

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社
問合せ窓口 <https://www.renesas.com/jp/ja/support/contact/>

製品分類	MPU & MCU	発行番号	TN-RX*-A0234A/J	Rev.	第1版
題名	RX113 グループ ユーザーズマニュアル ハードウェア編 Rev.1.10 の誤記訂正		情報分類	技術情報	
適用製品	RX113 グループ	対象ロット等	関連資料	RX113 グループ ユーザーズマニュアル ハードウェア編 Rev.1.10 (R01UH0448JJ0110) テクニカルアップデート TN-RX*-A180A/J	
		全ロット			

RX113 グループ ユーザーズマニュアル ハードウェア編 Rev.1.10 において、仕様の削除とそれに伴う変更、ならびに誤記がありましたので、以下のとおり連絡、訂正いたします。

〈仕様の変更〉

テクニカルアップデート TN-RX*-A180A/J にて報告済みの制限事項に伴い、汎用入力ポート PH7 に関する仕様を削除いたします。

本件に係わるマニュアルの変更箇所は以下のとおりです。

ページ	項目	内容
46	表 1.1 (2/4)	入力専用ポートの数を「2/2」から「1/1」に変更。詳細は次ページ参照
56	表 1.4 (4/4)	I/O ポートの一覧から PH7 を削除
57	図 1.3	18 番ピンの「PH7/XCIN」を「XCIN」に変更
58	図 1.4	G1 番ピンの「XCIN/PH7」を「XCIN」に変更
59	図 1.5	9 番ピンの「PH7/XCIN」を「XCIN」に変更
60	表 1.5 (1/3)	18 番ピンの「PH7」を削除
64	表 1.6 (2/3)	G1 番ピンの「PH7」を削除
66	表 1.7 (1/2)	9 番ピンの「PH7」を削除
187	9.4.2	汎用ポートに設定するという処理を削除。詳細は次ページ参照
343	表 18.1	「PORTH」の行を削除
344	表 18.2	「PORTH」の行を削除
352	図 18.8	「ポート H : PH7」の図を削除
356	18.3.3	PH7 に関する記載を削除
363	表 18.5	「PH7/XCIN」の行から PH7 に関する記載を削除。詳細は次々ページ参照
1412	表 43.3	「ポート PH7」を削除
1413	表 43.4	「ポート PH7」を削除
1413	表 43.5	「ポート PH7」を削除
1413	表 43.6	「ポート PH7」を削除
1478	表 1.1 (2/2)	「PH7」の行を削除

•Page 46 of 1488

「表 1.1 仕様概要 (2/4)」において、入力ポートの本数、プルアップ抵抗の数、オープンドレイン出力の数を以下のとおり変更いたします。

【変更前】

表 1.1 仕様概要 (2/4)

分類	モジュール / 機能	説明
(省略)		
I/Oポート	汎用入出力ポート	100ピン/64ピン - 入出力：82/46 - 入力：2/2 - プルアップ抵抗：69/38 - オープンドレイン出力：61/34 5Vトレラント：4/4
(省略)		

【変更後】

表 1.1 仕様概要 (2/4)

分類	モジュール / 機能	説明
(省略)		
I/Oポート	汎用入出力ポート	100ピン/64ピン - 入出力：82/46 - 入力：1/1 - プルアップ抵抗：71/41 - オープンドレイン出力：60/34 5Vトレラント：4/4
(省略)		

•Page 187 of 1488

「9.4.2 サブクロックを使用しない場合の端子処理」を、以下のとおり変更いたします。

【変更前】

サブクロックを使用しない場合は、SOSCCR.SOSTP ビットを“1”（停止）に、かつ RCR3.RTCEN ビットを“0”（サブクロック発振器停止）にしてください（汎用ポート PH7 に設定）。ポート PH7 としても使用しない場合は、未使用端子の処理をしてください。未使用端子の処理については、「18.5 未使用端子の処理」を参照してください。

【変更後】

サブクロックを使用しない場合は、SOSCCR.SOSTP ビットを“1”（サブクロック発振器停止）に、かつ RCR3.RTCEN ビットを“0”（サブクロック発振器停止）にし、**XCOUT** 端子は解放、**XCIN** 端子は抵抗を介して **VCC** または **VSS** に接続してください。

•Page 363 of 1488

「表 18.5 未使用端子の処理内容」を、以下のとおり変更いたします。

【変更前】

表 18.5 未使用端子の処理内容

端子名	処理内容
(省略)	
PH7/XCIN	サブクロックを使用しない場合は、RCR3.RTCENビットを“0”、およびSOSCCR.SOSTPビットを“1”（汎用ポートPH7）に設定 ポートPH7としても使用しない場合は、ポート0～3、5、A～F、H、J（PJ0、PJ2、PJ3）の入力設定の処理と同様
XCOUT	端子を開放
ポート0～3、5、A～F、H、J（PJ0、PJ2、PJ3）	- 入力に設定（PORTn.PDRビット=0）し、1端子ごとに抵抗を介してVCCに接続（プルアップ）、または1端子ごとに抵抗を介してVSSに接続（プルダウン）（注1） - 出力に設定（PORTn.PDRビット=1）し、出力データを“0”に設定（PORTn.PODRビット=0）とし、端子を開放（注1、注2）
ポート4、9、J（PJ6、PJ7）	- 入力に設定（PORTn.PDRビット=0）し、1端子ごとに抵抗を介してAVCC0に接続（プルアップ）、または1端子ごとに抵抗を介してAVSS0に接続（プルダウン）（注1） - 出力に設定（PORTn.PDRビット=1）し、出力データを“0”に設定（PORTn.PODRビット=0）とし、端子を開放（注1、注2）
ポート0～5、9、A～F、H、J（PJ3） （64ピンパッケージの場合。存在しないポートに対して）	出力に設定（PORTn.PDRビット=1）し、出力データを“0”に設定（PORTn.PODRビット=0）とし、端子を開放（注1、注2）（「18.4 ポート方向レジスタ(PDR)の初期化」参照）
(省略)	

【変更後】

表 18.5 未使用端子の処理内容

端子名	処理内容
(省略)	
XCIN	サブクロックを使用しない場合は、RCR3.RTCENビットを“0”、およびSOSCCR.SOSTPビットを“1”（サブクロック発振器停止）に設定し、抵抗を介してVCCに接続（プルアップ）、または抵抗を介してVSSに接続（プルダウン）
XCOUT	端子を開放
ポート0～3、5、A～F、J（PJ0、PJ2、PJ3）	- 入力に設定（PORTn.PDRビット=0）し、1端子ごとに抵抗を介してVCCに接続（プルアップ）、または1端子ごとに抵抗を介してVSSに接続（プルダウン）（注1） - 出力に設定（PORTn.PDRビット=1）し、出力データを“0”に設定（PORTn.PODRビット=0）とし、端子を開放（注1、注2）
ポート4、9、J（PJ6、PJ7）	- 入力に設定（PORTn.PDRビット=0）し、1端子ごとに抵抗を介してAVCC0に接続（プルアップ）、または1端子ごとに抵抗を介してAVSS0に接続（プルダウン）（注1） - 出力に設定（PORTn.PDRビット=1）し、出力データを“0”に設定（PORTn.PODRビット=0）とし、端子を開放（注1、注2）
ポート0～5、9、A～F、J（PJ3） （64ピンパッケージの場合。存在しないポートに対して）	出力に設定（PORTn.PDRビット=1）し、出力データを“0”に設定（PORTn.PODRビット=0）とし、端子を開放（注1、注2）（「18.4 ポート方向レジスタ(PDR)の初期化」参照）
(省略)	

<マニュアル訂正内容>

•Page 61 of 1488

「表 1.5 機能別端子一覧 (100 ピン LFQFP)」において、以下のとおり 50 番ピンの記載を訂正いたします。

【変更前】

表 1.5 機能別端子一覧 (100 ピン LFQFP) (2/3)

ピン 番号	電源、クロック、 システム制御	I/O ポート	タイマ (MTU, POE, RTC, TMR)	通信 (SCle, SCIf, RSPI, RIIC, USB, SSI)	LCD、 タッチ	その他
(省略)						
50		PC2	MTIOC4B	RXD5/ SMOSI5 /SSCL5/IRRXD5/SSLA3	COM3	
(省略)						

【変更後】

表 1.5 機能別端子一覧 (100 ピン LFQFP) (2/3)

ピン 番号	電源、クロック、 システム制御	I/O ポート	タイマ (MTU, POE, RTC, TMR)	通信 (SCle, SCIf, RSPI, RIIC, USB, SSI)	LCD、 タッチ	その他
(省略)						
50		PC2	MTIOC4B	RXD5/ SMISO5 /SSCL5/IRRXD5/SSLA3	COM3	
(省略)						

•Page 65 of 1488

「表 1.6 機能別端子一覧 (100 ピン TFLGA)」において、以下のとおり J10 番ピンの記載を訂正いたします。

【変更前】

表 1.6 機能別端子一覧 (100 ピン TFLGA) (3/3)

ピン 番号	電源、クロック、 システム制御	I/O ポート	タイマ (MTU, POE, RTC, TMR)	通信 (SCle, SCIf, RSPI, RIIC, USB, SSI)	LCD、 タッチ	その他
(省略)						
J10		PC2	MTIOC4B	RXD5/ SMOSI5 /SSCL5/IRRXD5/SSLA3	COM3	
(省略)						

【変更後】

表 1.6 機能別端子一覧 (100 ピン TFLGA) (3/3)

ピン 番号	電源、クロック、 システム制御	I/O ポート	タイマ (MTU, POE, RTC, TMR)	通信 (SCle, SCIf, RSPI, RIIC, USB, SSI)	LCD、 タッチ	その他
(省略)						
J10		PC2	MTIOC4B	RXD5/ SMISO5 /SSCL5/IRRXD5/SSLA3	COM3	
(省略)						

•Page 66 to 67 of 1488

「表 1.7 機能別端子一覧（64 ピン LFQFP）」において、以下のとおり 34、39、51 番ピンの記載を訂正いたします。

【変更前】

表 1.7 機能別端子一覧（64 ピン LFQFP）

ピン 番号	電源、クロック、 システム制御	I/O ポート	タイマ (MTU、POE、RTC、TMR)	通信 (SC1e、SC1f、RSPI、RIIC、USB、SSI)	LCD、 タッチ	その他
(省略)						
34		PB6/PC0	MTIOC3D	RXD9/ SMOSI9 /SSCL9/SSIRXD0	SEG12/ COM5	
(省略)						
39		PB0	MTIC5W/MTIOC0C/ RTCOUT	SCL0/RSPCKA/RXD6/ SMOSI6 /SSCL6		IRQ2/ADTRG0#
(省略)						
51		PE0	MTIOC2A/POE3#	SCK12/CTS9#/RTS9#/ SS6# /SSISCK0	SEG32	IRQ0/AN008
(省略)						

【変更後】

表 1.7 機能別端子一覧（64 ピン LFQFP）

ピン 番号	電源、クロック、 システム制御	I/O ポート	タイマ (MTU、POE、RTC、TMR)	通信 (SC1e、SC1f、RSPI、RIIC、USB、SSI)	LCD、 タッチ	その他
(省略)						
34		PB6/PC0	MTIOC3D	RXD9/ SMISO9 /SSCL9/SSIRXD0	SEG12/ COM5	
(省略)						
39		PB0	MTIC5W/MTIOC0C/ RTCOUT	SCL0/RSPCKA/RXD6/ SMISO6 /SSCL6		IRQ2/ADTRG0#
(省略)						
51		PE0	MTIOC2A/POE3#	SCK12/CTS9#/RTS9#/ SS9# /SSISCK0	SEG32	IRQ0/AN008
(省略)						

•Page 95 of 1488

「表 3.1 モード設定端子による動作モードの選択」において、以下のとおりブートモード (FINE インタフェース) を追加いたします。

【変更前】

表 3.1 モード設定端子による動作モードの選択

モード設定端子		動作モード
MD (注 1)	UB#	
Low	Low	ブートモード (USB インタフェース)
Low	High または オープン	ブートモード (SCI インタフェース)
High	—	シングルチップモード

注 1. MCU 動作中に MD 端子を変化させないください。

【変更後】

表 3.1 モード設定端子による動作モードの選択

モード設定端子		動作モード
MD (注 1)	UB#	
Low	Low	ブートモード (USB インタフェース)
Low	High または オープン	ブートモード (SCI インタフェース)
High	—	シングルチップモード
Low → High (注 2)	High または オープン	ブートモード (FINE インターフェース)

注 1. MCU 動作中に MD 端子を変化させないください。

注 2. MD 端子を Low でリセット解除後、20 ~ 100ms の間に High へ切り替えてください。

•Page 98 of 1488

「3.3.2 ブートモード」に、以下のとおり「3.3.2.3 ブートモード (FINE インタフェース)」を追加いたします。

【変更後】

3.3.2.3 ブートモード (FINE インタフェース)

MCU 内部の専用領域に格納された、フラッシュメモリ書き換えプログラム (ブートプログラム) が動作するモードです。FINE インタフェースを使用して、MCU 外部から内蔵 ROM (コードフラッシュメモリ、データフラッシュメモリ) を書き換えることができます。詳細は、「42.8.3 ブートモード (FINE インタフェース)」を参照してください。

MD 端子を Low、UB# 端子を High または オープン にしてリセット解除後、20 ~ 100ms の間に MD 端子を High へ切り替えると、ブートモード (FINE インタフェース) で起動します。

•Page 98 of 1488

「図 3.1 モード設定端子のレベルと動作モード」に、以下のとおりブートモード (FINE インタフェース) を追加いたします。

【変更前】

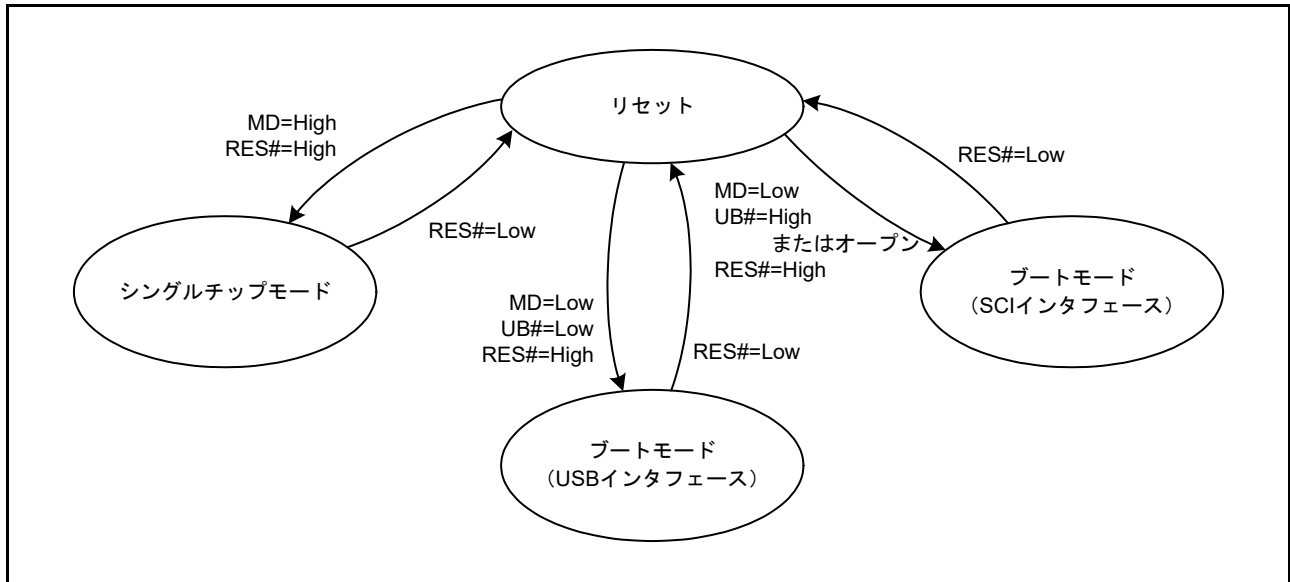


図 3.1 モード設定端子のレベルと動作モード

【変更後】

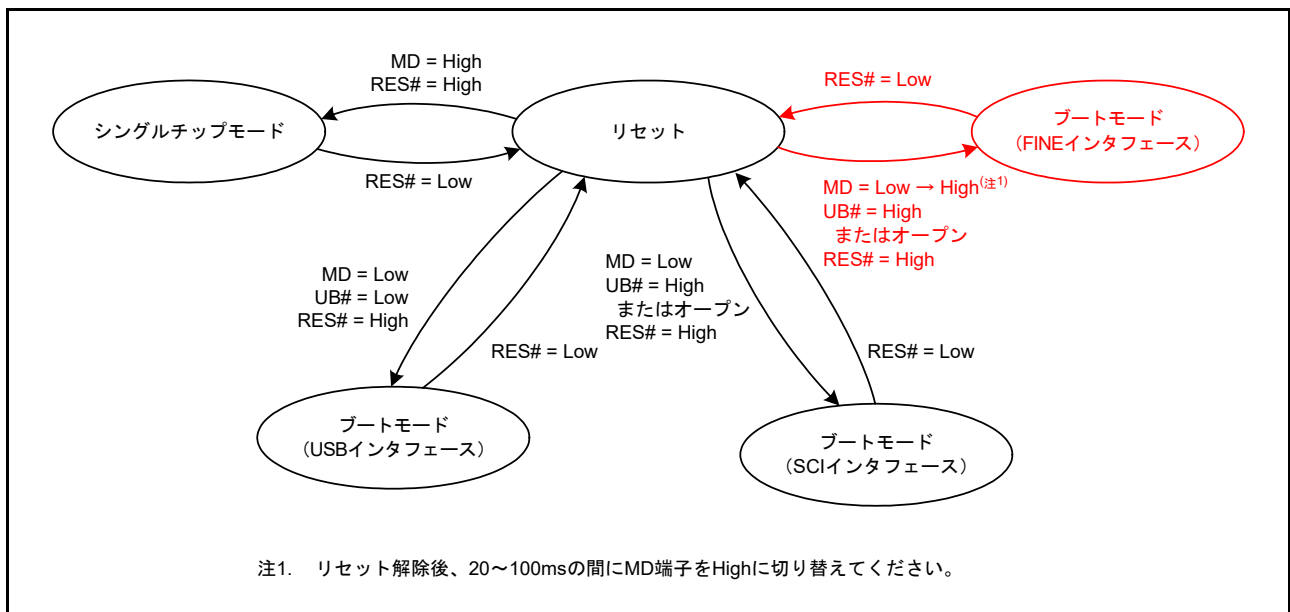


図 3.1 モード設定端子のレベルと動作モード

•Page 209 of 1488

「表 11.2 各モードにおける遷移および解除方法と動作状態」において、注 1 に以下のとおり LPT コンペアマッチ (ELC 経由) 割り込みを追加いたします。

【変更前】

注1. 外部端子割り込み (NMI、IRQ0～IRQ7)、周辺機能割り込み (RTCアラーム、RTC周期、IWDT、電圧監視、USB)

【変更後】

注1. 外部端子割り込み (NMI, IRQ0～IRQ7)、周辺機能割り込み (RTCアラーム、RTC周期、IWDT、電圧監視、USB、**LPTコンペアマッチ (ELC 経由)**)

•Page 210 of 1488

「図 11.1 モード遷移」において、注 2 に以下のとおり LPT コンペアマッチ (ELC 経由) 割り込みを追加いたします。

【変更前】

注2. 外部端子割り込み (NMI、IRQ0～IRQ7)、周辺機能割り込み (RTCアラーム、RTC周期、IWDT、電圧監視、USB)。

【変更後】

注2. 外部端子割り込み (NMI, IRQ0～IRQ7)、周辺機能割り込み (RTCアラーム、RTC周期、IWDT、電圧監視、USB、**LPTコンペアマッチ (ELC 経由)**)。

•Page 233 of 1488

「11.6.3.2 ソフトウェアスタンバイモードの解除」において、ソフトウェアスタンバイモードの解除要因に以下のとおり LPT コンペアマッチ (ELC 経由) 割り込みを追加いたします。

【変更前】

11.6.3.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部端子割り込み (NMI、IRQ0 ~ IRQ7)、周辺機能割り込み (RTC アラーム、RTC 周期、IWDT、電圧監視、USB)、RES# 端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによって行われます。ソフトウェアスタンバイモードの解除要因が発生すると、ソフトウェアスタンバイモード移行前に動作していた各発振器は動作を再開します。その後、これらすべての発振器の発振が安定するのを待ってソフトウェアスタンバイモードから復帰します。

- 割り込みによる解除

NMI、IRQ0 ~ IRQ7、RTC アラーム、RTC 周期、IWDT、電圧監視、USB の割り込み要求が発生すると、ソフトウェアスタンバイモード移行前に動作していた各発振器は動作を再開します。その後、MOSCWTCR.MSTS[4:0] ビットまたは HOCOWTCR.HSTS[4:0] ビットで設定した各発振器の発振安定待ち時間が経過したところで、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

【変更後】

11.6.3.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部端子割り込み (NMI、IRQ0 ~ IRQ7)、周辺機能割り込み (RTC アラーム、RTC 周期、IWDT、電圧監視、USB、**LPT コンペアマッチ (ELC 経由)**)、RES# 端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによって行われます。ソフトウェアスタンバイモードの解除要因が発生すると、ソフトウェアスタンバイモード移行前に動作していた各発振器は動作を再開します。その後、これらすべての発振器の発振が安定するのを待ってソフトウェアスタンバイモードから復帰します。

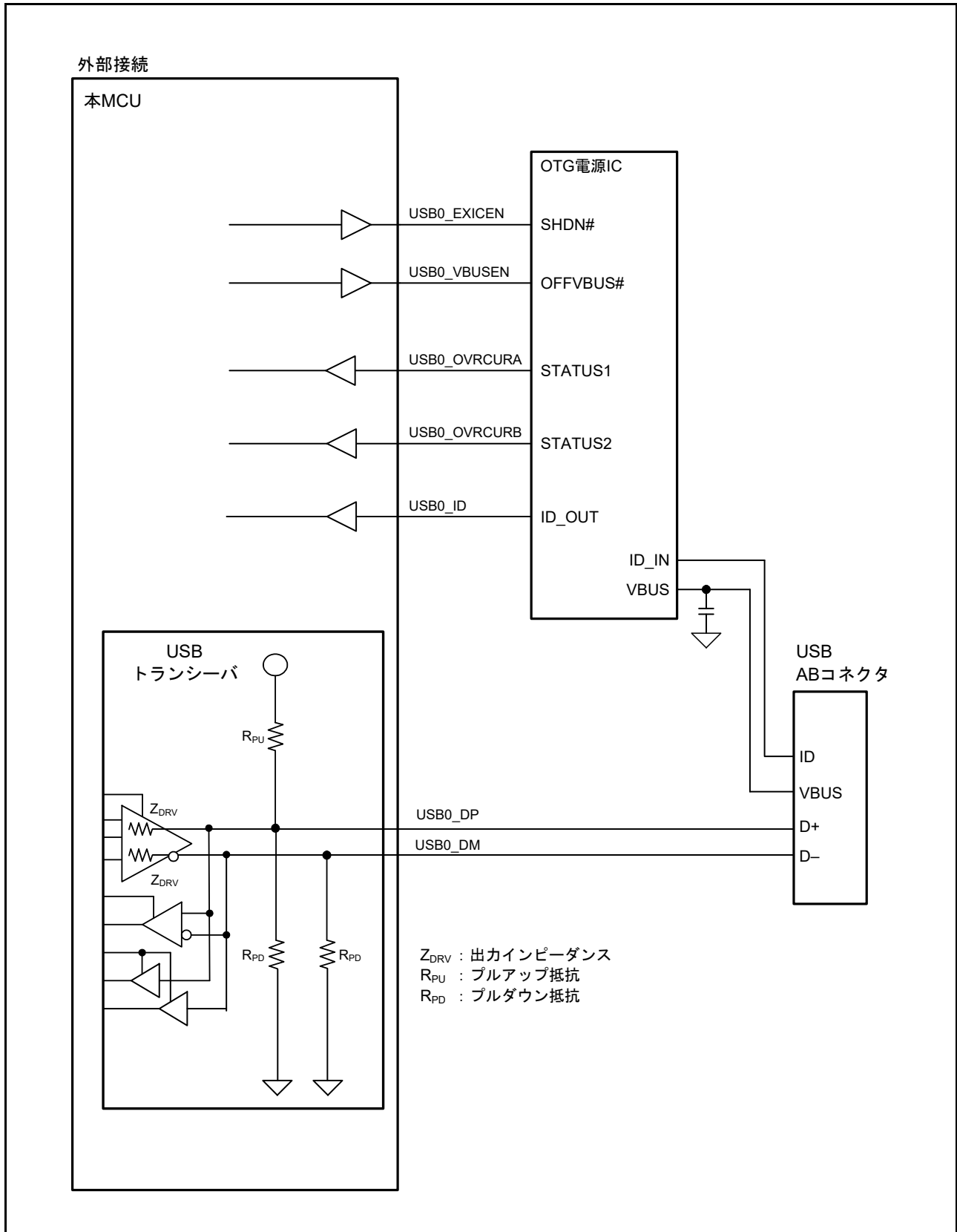
- 割り込みによる解除

NMI、IRQ0 ~ IRQ7、RTC アラーム、RTC 周期、IWDT、電圧監視、USB、**LPT コンペアマッチ (ELC 経由)** の割り込み要求が発生すると、ソフトウェアスタンバイモード移行前に動作していた各発振器は動作を再開します。その後、MOSCWTCR.MSTS[4:0] ビットまたは HOCOWTCR.HSTS[4:0] ビットで設定した各発振器の発振安定待ち時間が経過したところで、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

•Page 768 of 1488

「図 27.2 セルフパワー時の USB コネクタの OTG 接続例」において、以下のとおりプルアップ抵抗を追加いたします。

【变更前】



【変更後】

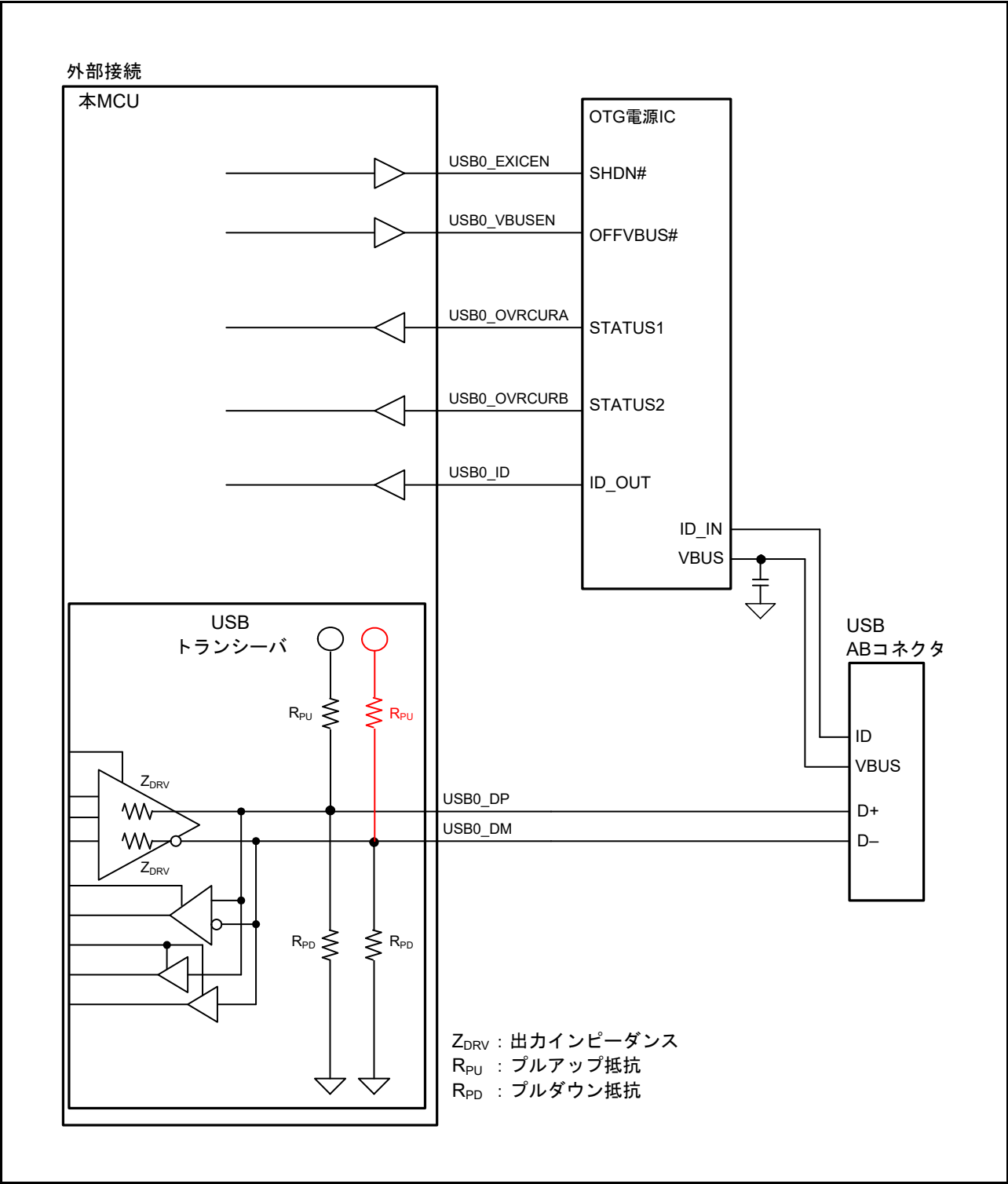


図 27.2 セルフパワー時の USB コネクタの OTG 接続例

•Page 873 of 1488

「28.3.5 SCI の初期化 (調歩同期式モード)」に、以下の説明を追加いたします。

【変更後】

図 28.9 は、リセット解除後に図 28.8 に従って SCI を調歩同期式モードに設定して、データ送信を行ったときのタイミング例です。図に示すように、端子機能を TXD 端子に設定した時点では、SCR.TE ビットが“0”であるため端子はハイインピーダンスです。TE ビットを“1”にした後送信データを書くと、データ送信が開始されます。TE ビットを“1”にしてからデータ送信が開始されるまでには、1 フレーム分の内部待機期間があります。調歩同期式モードでは、この期間 TXD 端子は High になります。

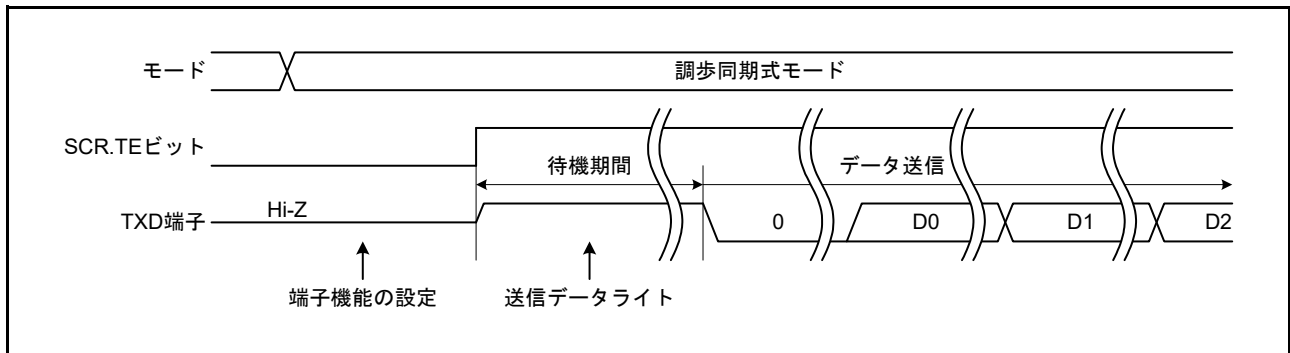


図 28.9 調歩同期式モード時のデータ送信タイミング例

•Page 902 of 1488

「図 28.37 SCI の初期化フローチャートの例（スマートカードインタフェースモード）」を以下のとおり訂正いたします。

【変更前】

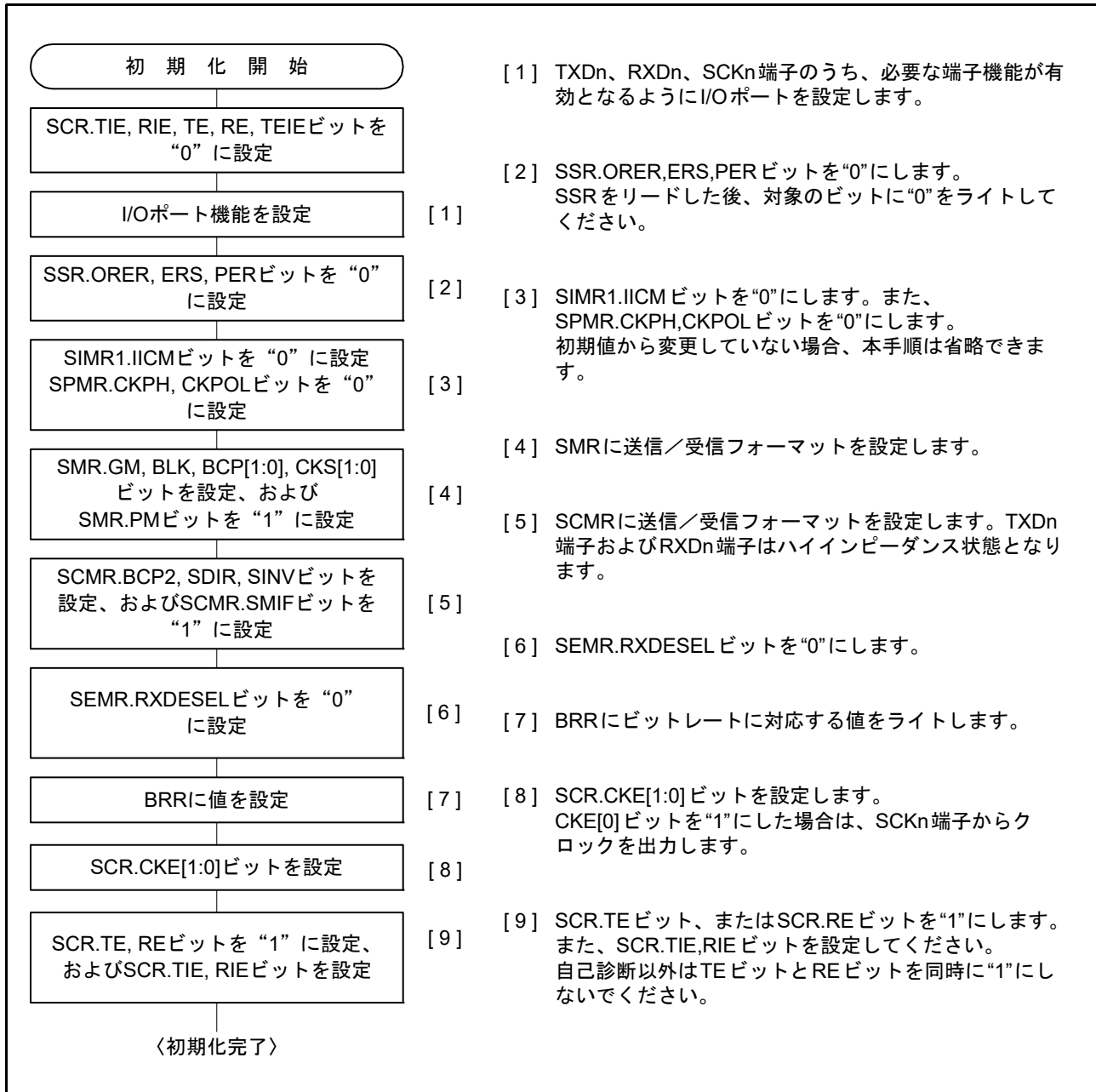


図 28.37 SCI の初期化フローチャートの例（スマートカードインタフェースモード）

【変更後】

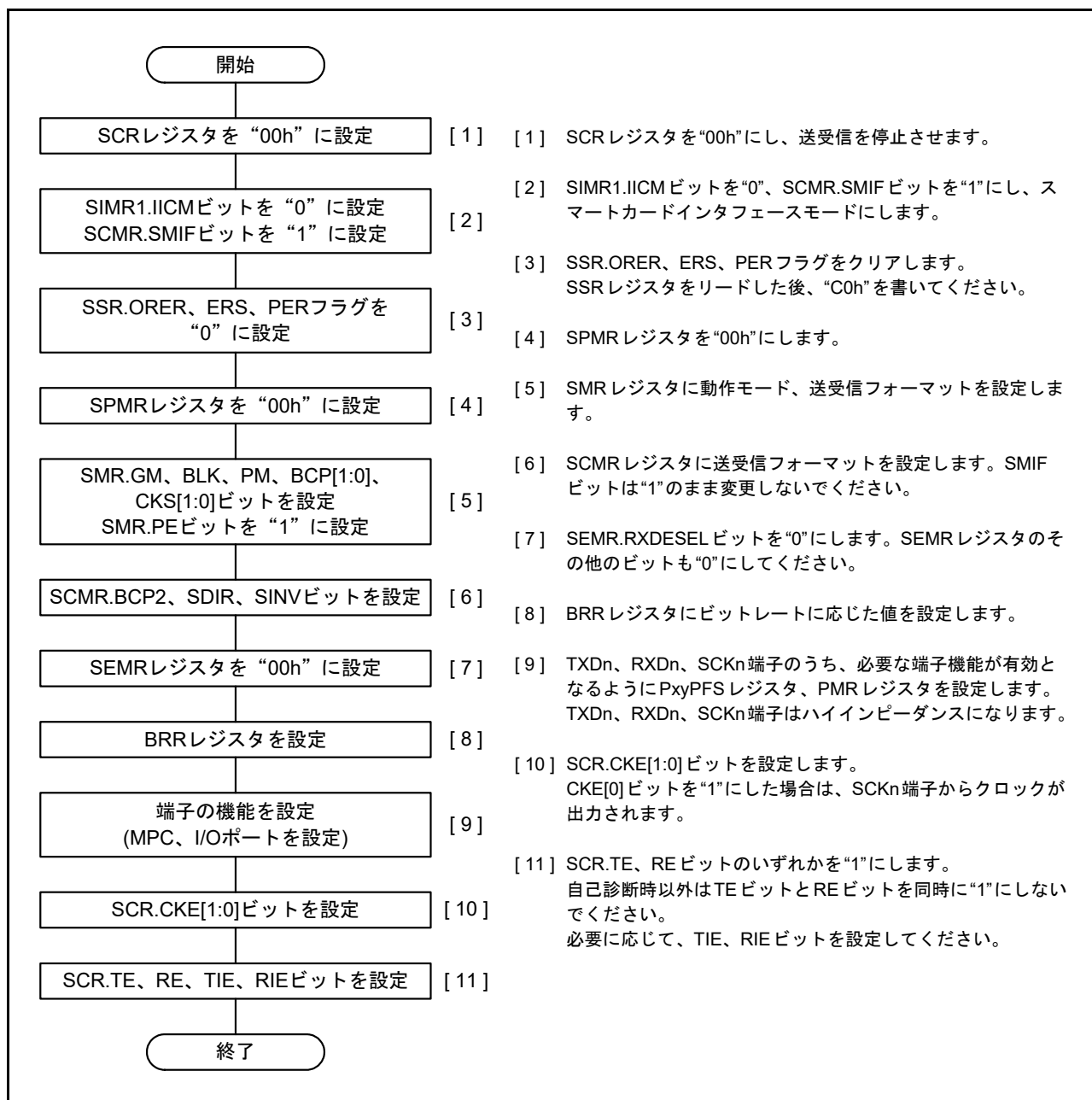


図 28.38 SCI の初期化フローチャートの例 (スマートカードインタフェースモード)

•Page 902 of 1488

「28.6.5 SCI の初期化（スマートカードインタフェースモード）」に、以下の説明を追加いたします。

【変更後】

図 28.39 は、リセット解除後に図 28.38 に従って SCI をスマートカードインタフェースモードに設定して、データ送信を行ったときのタイミング例です。図に示すように、端子機能を SCK 端子、TXD 端子に設定した時点では、それぞれ SCR.CKE[0] ビット、SCR.TE ビットが“0”であるため端子はハイインピーダンスです。CKE[0] ビットを“1”にすると SCK 端子からクロックが出力されます。TE ビットを“1”にした後送信データを書くと、データ送信が開始されます。TE ビットを“1”にしてからデータ送信が開始されるまでには、1 フレーム分の内部待機期間があります。スマートカードインタフェースモードでは、この期間 TXD 端子はハイインピーダンスになります。

スマートカードインタフェースモードでは、TE ビット、RE ビットが共に“0”になっている場合でも、CKE[0] ビットが“1”（クロック出力）であれば、クロックを出力し続けます。

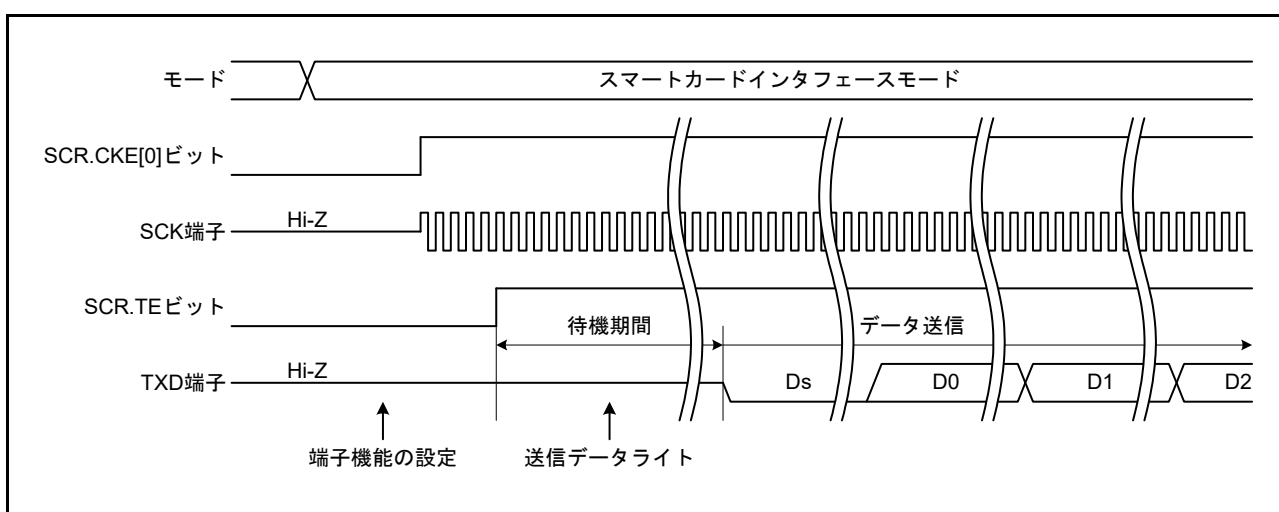


図 28.39 スマートカードインタフェースモード時のデータ送信タイミング例

•Page 908 of 1488

「28.6.8 クロック出力制御」の説明を以下のとおり変更いたします。

【変更前】

SMR.GM ビットが“1”であるとき、SCR.CKE[1:0] ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 28.43 にクロック出力の固定タイミングを示します。GM ビット=1、CKE[1] ビット=0 とし、CKE[0] ビットを制御した場合の例です。

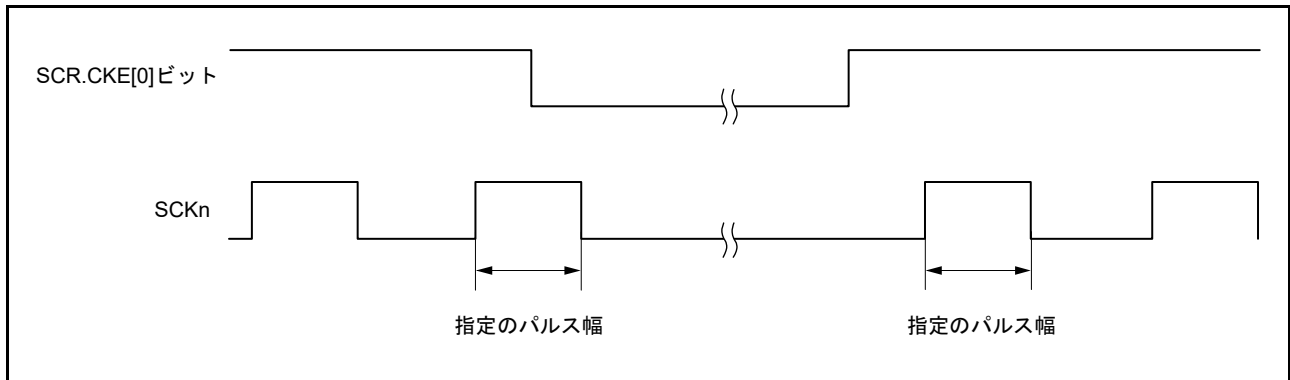


図 28.43 クロック出力固定タイミング

電源投入時は、クロックのデューティを確保するため、以下の手順で処理してください。

(1) 電源投入時

電源投入時からクロックデューティを確保するため、以下の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗 / プルダウン抵抗を使用してください。
2. SCR.CKE[1] ビットおよび I/O ポート機能を設定し、SCKn 端子を指定の出力に固定してください。
3. SMR レジスタと SCMR レジスタを設定し、スマートカードインタフェースモードの動作に切り替えてください。
4. SCR.CKE[0] ビットを“1”にして、クロック出力を開始させてください。

【変更後】

SMR.GM ビットが“1”であるとき、SCR.CKE[1:0] ビットによってクロック出力を High や Low に固定することができます。CKE[1:0] ビットを“01b”(クロック出力)にすると、SCK 端子から基本クロックが出力されます。基本クロックの周波数(ビットレート)の設定については、「28.2.9 ビットレートレジスタ(BRR)」を参照してください。CKE[1:0] ビットを“00b”(Low 出力固定)や“10b”(High 出力固定)にすると、SCK 端子から Low や High を出力できます。

図 28.45 にクロック出力制御を行ったときのタイミング図を示します。

なお、SMR.GM ビットが“0”(非 GSM モード)の場合に CKE[1:0] ビットを変更すると、その結果がすぐに SCK 端子に反映されるため、SCK 端子から意図しない幅のパルスが出力されることがあります。

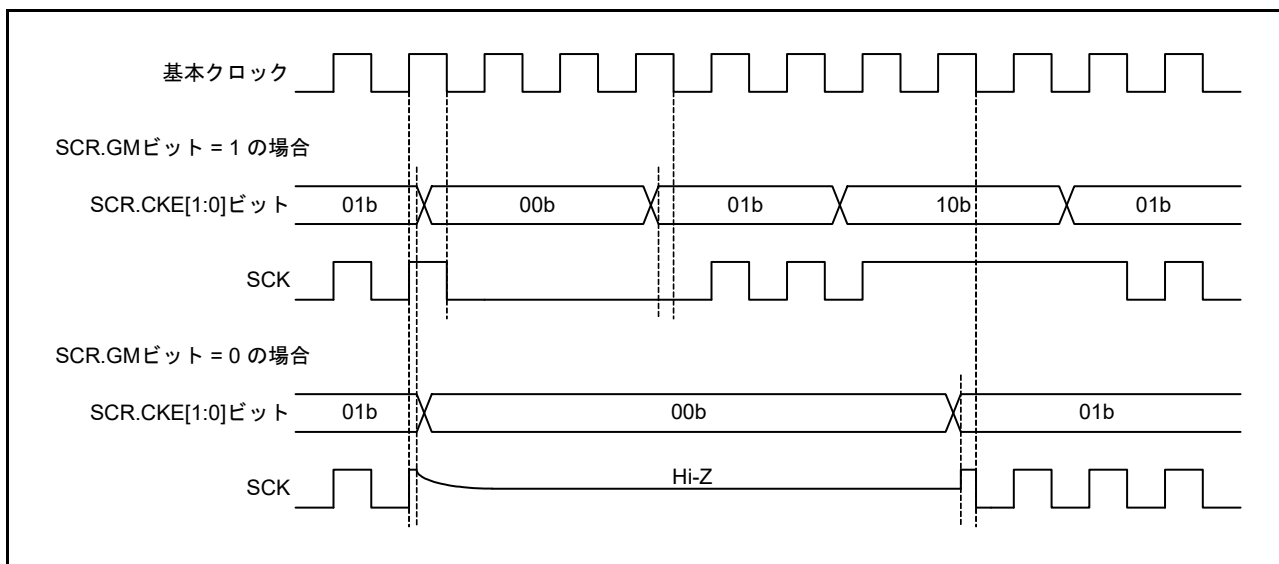


図 28.45 クロック出力制御

•Page 918 of 1488

「28.7 簡易 I²C モードの動作」に、以下のとおり「28.7.7 バスハングアップからの回復」を追加いたします。

【変更後】

28.7.7 バスハングアップからの回復

通信不具合などで SCI の内部状態が異常になり、バスをスタックさせてしまった場合、以下の手順で SCI をリセットし、バスを解放してください。

- (1) SCR.TE ビットと RE ビットを同時に“0”にして、SCI をリセットする。
- (2) SIMR3 レジスタを“F0h”にして、バスを解放する。
- (3) SSR.RDRF フラグが“1”の場合は、RDR レジスタをダミーリードして RDRF フラグをクリアする。
- (4) SCR.TE ビットと RE ビットを同時に“1”にする。

•Page 951 of 1488

「28.13.14 トランスミットイネーブルビット (TE ビット) に関する注意事項」の表記を以下のとおり見直し、注 1 を追加いたします。

【変更前】

端子の機能を「TXDn」に設定した状態で、SCR.TE ビットを“0” (シリアル送信動作を禁止) にすると、端子の出力がハイインピーダンスになります。

以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

- (1) TXDn ラインにプルアップ抵抗を接続する。
- (2) SCR.TE ビットを“0”にする前に、端子の機能を「汎用入出力ポート、出力」に変更する。
また、SCR.TE ビットを“1”にしてから、端子の機能を「TXDn」に変更する。

【変更後】

SCR.TE ビットが“0” (シリアル送信動作を禁止) のときに端子の機能を「TXDn」にしたり、端子の機能が「TXDn」になっているときに TE ビットを“0”にしたりすると、TXDn 端子の出力がハイインピーダンスになります。

以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

- (1) TXDn ラインにプルアップ抵抗を接続する。
- (2) TE ビットを“1”にしてから、端子の機能を「TXDn」にする (注 1)。また、TE ビットを“0”にする前に、端子の機能を「汎用入出力ポート、出力」にする。

注 1. TXI 割り込みが許可されているときに TE ビットを“1”にすると、割り込みが発生します。このことが問題になる場合は、端子の機能を「TXDn」にした後に、対応する ICU.IERm.IENj ビットを“1”にしてください。

•Page 1217 of 1488

「35.2.15 CTSU センサオフセットレジスタ 1」において、CTSUICOG[1:0] ビットの説明文を以下のとおり訂正いたします。

【変更前】

CTSUICOG[1:0] ビット (CTSUI CO ゲイン調整ビット)

センサ ICO とリファレンス ICO の出力周波数ゲインを調整します。通常は最大ゲイン“00b”を設定してください。非タッチータッチ時の容量変化が、センサ ICO のダイナミックレンジを大きく超える場合は、ゲイン調整ビットで適切なゲインに調整してください。

【変更後】

CTSUICOG[1:0] ビット (CTSUI CO ゲイン調整ビット)

センサ ICO とリファレンス ICO の出力周波数ゲインを調整します。非タッチータッチ時の容量変化が、センサ ICO のダイナミックレンジを大きく超える場合は、ゲイン調整ビットで適切なゲインに調整してください。

•Page 1255 of 1488

「36.2.12 A/D 変換値加算回数選択レジスタ (ADADC)」において、ADC[1:0] ビットの説明文を以下のとおり訂正いたします。

【変更前】

ADC[1:0] ビット (加算回数選択ビット)

ダブルトリガモードでの選択チャネル (ADCSR.DBLANS[4:0] ビットでの選択チャネル) を含む A/D 変換および加算モードが選択されたチャネル、内部基準電圧の A/D 変換に対して共通の加算回数を設定します。ADC[1:0] ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

【変更後】

ADC[1:0] ビット (加算回数選択ビット)

ダブルトリガモードでの選択チャネル (ADCSR.DBLANS[4:0] ビットでの選択チャネル) を含む A/D 変換および加算モードが選択されたチャネル、**温度センサ出力**、内部基準電圧の A/D 変換に対して共通の加算回数を設定します。ADC[1:0] ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

•Page 1281 of 1488

「36.8.14 12 ビット A/D コンバータ入力を使用する場合のポートの設定」を以下のとおり訂正いたします。

【変更前】

36.8.14 12 ビット A/D コンバータ入力を使用する場合のポートの設定

12 ビット A/D コンバータを使用する場合は、ポート 4、ポート 9 のポート出力は使用しないでください。ポート 4、ポート 9 の回路の一部で、アナログ電源を使用しているためです。

【変更後】

36.8.14 12 ビット A/D コンバータ入力を使用する場合のポートの設定

12 ビット A/D コンバータを使用する場合は、ポート 4、ポート 9、**PJ6 および PJ7** のポート出力は使用しないでください。ポート 4、ポート 9、**PJ6 および PJ7** の回路の一部で、アナログ電源を使用しているためです。

•Page 1284 of 1488

「37.2.3 DADRm フォーマット選択レジスタ (DADPR) (m = 0, 1)」において、レジスタ名を以下のとおり変更いたします。

【変更前】

37.2.3 DADRm フォーマット選択レジスタ (DADPR) (m = 0, 1)

【変更後】

37.2.3 データレジスタフォーマット選択レジスタ (DADPR)

•Page 1421 of 1488

「表 43.14 DC 特性 (12)」の記載を以下のとおり変更いたします。

【変更前】

表 43.14 DC 特性 (12)

条件：1.8V ≤ VCC = VCC_USB ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105℃

項目	記号	min	typ	max	単位	測定条件
VCL 端子外付け容量	C _{VCL}	1.4	4.7	7.0	μF	

注. 推奨は4.7μFです。接続するコンデンサのばらつきは、上記の範囲内にしてください。

【変更後】

表 43.14 DC 特性 (12)

条件：1.8V ≤ VCC = VCC_USB ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105℃

項目	記号	規格値
内部電源安定用平滑コンデンサ容量	C _{VCL}	4.7μF +50/-70% (注1)

注1. 静電容量の公称値が4.7μFの積層セラミックコンデンサを推奨します。

•Page 1440 of 1488

「表 43.31 内蔵周辺モジュールタイミング (2)」において、以下のとおりスレープモード時の max 規定を削除いたします。

【変更前】

表 43.31 内蔵周辺モジュールタイミング (2)

条件：1.8V ≤ VCC = VCC_USB ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V、
T_a = -40 ~ +105°C、C = 30pF

項目			記号	min	max	単位	測定条件
RSPI	RSPCKクロックサイクル	マスタ	t _{SPcyc}	2	4096	t _{Pcyc} (注 1)	図 43.42
		スレーブ		8	4096		
(省略)							

【変更後】

表 43.31 内蔵周辺モジュールタイミング (2)

条件：1.8V ≤ VCC = VCC_USB ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V、
T_a = -40 ~ +105°C、C = 30pF

項目			記号	min	max	単位	測定条件
RSPI	RSPCKクロックサイクル	マスタ	t _{SPcyc}	2	4096	t _{Pcyc} (注 1)	図 43.42
		スレーブ		8	—		
(省略)							

•Page 1441 of 1488

「表 43.32 内蔵周辺モジュールタイミング (3)」において、以下のとおりスレープモード時の max 規定を削除いたします。

【変更前】

表 43.32 内蔵周辺モジュールタイミング (3)

条件：1.8V ≤ VCC = VCC_USB ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V、
T_a = -40 ~ +105°C、C = 30pF

項目		記号	min	max	単位 (注 1)	測定条件
簡易 SPI	SCKクロックサイクル出力（マスタ）	t _{SPcyc}	4	65536	t _{Pcyc}	図 43.42
	SCKクロックサイクル入力（スレーブ）		6	65536	t _{Pcyc}	
(省略)						

【変更後】

表 43.32 内蔵周辺モジュールタイミング (3)

条件：1.8V ≤ VCC = VCC_USB ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V、
T_a = -40 ~ +105°C、C = 30pF

項目		記号	min	max	単位 (注 1)	測定条件
簡易 SPI	SCKクロックサイクル出力（マスタ）	t _{SPcyc}	4	65536	t _{Pcyc}	図 43.42
	SCKクロックサイクル入力（スレーブ）		6	—	t _{Pcyc}	
(省略)						

•Page 1464 of 1488

「表 43.51 内部昇圧方式」の記載方法を以下のとおり変更いたします。

【変更前】

表 43.51 内部昇圧方式

条件：1.8V ≤ VCC = VCC_USB ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
CAPH-CAPL 端子間外付け容量	C1	0.33	0.47	0.61	μF	
V _{L1} 端子外付け容量	C2	0.33	0.47	0.61	μF	
V _{L2} 端子外付け容量	C3	0.33	0.47	0.61	μF	
V _{L3} 端子外付け容量	C4	0.33	0.47	0.61	μF	
V _{L4} 端子外付け容量	C5	0.33	0.47	0.61	μF	

【変更後】

表 43.51 内部昇圧方式

条件：1.8V ≤ VCC = VCC_USB ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目	規格値	測定条件
CAPH-CAPL 端子間外付け容量	0.47μF ±30%	
V _{L1} ~ V _{L4} 端子外付け容量	0.47μF ±30%	

•Page 1465 of 1488

「表 43.52 内部昇圧方式 LCD 特性」において、以下のとおり記載を変更し、トリプラ出力電圧の記号を訂正いたします。

【変更前】

表 43.52 内部昇圧方式 LCD 特性

条件：1.8V ≤ VCC = VCC_USB ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105℃

項目	記号	条件		min	typ	max	単位	測定条件
LCD出力電圧可変範囲	V _{L1}	C1～C4接続	VLCD = 04h	0.9	1.0	1.08	V	
			VLCD = 05h	0.95	1.05	1.13	V	
			VLCD = 06h	1	1.1	1.18	V	
			VLCD = 07h	1.05	1.15	1.23	V	
			VLCD = 08h	1.1	1.2	1.28	V	
			VLCD = 09h	1.15	1.25	1.33	V	
			VLCD = 0Ah	1.2	1.3	1.38	V	
			VLCD = 0Bh	1.25	1.35	1.43	V	
			VLCD = 0Ch	1.3	1.4	1.48	V	
			VLCD = 0Dh	1.35	1.45	1.53	V	
			VLCD = 0Eh	1.4	1.5	1.58	V	
			VLCD = 0Fh	1.45	1.55	1.63	V	
			VLCD = 10h	1.5	1.6	1.68	V	
			VLCD = 11h	1.55	1.65	1.73	V	
			VLCD = 12h	1.6	1.70	1.78	V	
	VLCD = 13h	1.65	1.75	1.83	V			
ダブル出力電圧	V _{L2}	C1～C3, C5接続		2V _{L1} - 0.10	2V _{L1}	2V _{L1}	V	
トリプラ出力電圧	V _{L3}	C1～C5接続		3V _{L1} - 0.15	3V _{L1}	3V _{L1}	V	
基準電圧セットアップ時間 (注1)	t _{VL1S}			5	—	—	ms	
昇圧ウェイト時間 (注2)	t _{VLWT}	C1～C4接続		500	—	—	ms	

【変更後】

表 43.52 内部昇圧方式 LCD 特性

条件：1.8V ≤ VCC = VCC_USB ≤ 3.6V, 1.8V ≤ AVCC0 ≤ 3.6V, VSS = AVSS0 = VSS_USB = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
LCD出力電圧可変範囲	V _{L1}	0.9	1.0	1.08	V	VLCD = 04h
		0.95	1.05	1.13	V	VLCD = 05h
		1	1.1	1.18	V	VLCD = 06h
		1.05	1.15	1.23	V	VLCD = 07h
		1.1	1.2	1.28	V	VLCD = 08h
		1.15	1.25	1.33	V	VLCD = 09h
		1.2	1.3	1.38	V	VLCD = 0Ah
		1.25	1.35	1.43	V	VLCD = 0Bh
		1.3	1.4	1.48	V	VLCD = 0Ch
		1.35	1.45	1.53	V	VLCD = 0Dh
		1.4	1.5	1.58	V	VLCD = 0Eh
		1.45	1.55	1.63	V	VLCD = 0Fh
		1.5	1.6	1.68	V	VLCD = 10h
		1.55	1.65	1.73	V	VLCD = 11h
		1.6	1.70	1.78	V	VLCD = 12h
		1.65	1.75	1.83	V	VLCD = 13h
ダブル出力電圧	V _{L2}	2V _{L1} - 0.10	2V _{L1}	2V _{L1}	V	
トリプル出力電圧	V _{L4}	3V _{L1} - 0.15	3V _{L1}	3V _{L1}	V	
基準電圧セットアップ時間 (注1)	t _{VL1S}	5	—	—	ms	
昇圧ウェイト時間 (注2)	t _{VLWT}	500	—	—	ms	

•Page 1465 of 1488

「表 43.53 内部昇圧方式 LCD 特性」の記載を以下のとおり変更いたします。

【変更前】

表 43.53 内部昇圧方式 LCD 特性

条件：1.8V ≤ VCC = VCC_USB ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目	記号	条件	min	typ	max	単位	測定条件
LCD 出力電圧可変範囲	V _{L1}	C1 ~ C4 接続	VLCD = 04h	0.9	1.0	1.08	V
			VLCD = 05h	0.95	1.05	1.13	V
			VLCD = 06h	1	1.1	1.18	V
			VLCD = 07h	1.05	1.15	1.23	V
			VLCD = 08h	1.1	1.2	1.28	V
			VLCD = 09h	1.15	1.25	1.33	V
			VLCD = 0Ah	1.2	1.3	1.38	V
ダブル出力電圧	V _{L2}	C1 ~ C5 接続	2V _{L1} - 0.08	2V _{L1}	2V _{L1}	V	
トリプル出力電圧	V _{L3}	C1 ~ C5 接続	3V _{L1} - 0.12	3V _{L1}	3V _{L1}	V	
クアドロプル出力電圧	V _{L4}	C1 ~ C5 接続	4V _{L1} - 0.16	4V _{L1}	4V _{L1}	V	
基準電圧セットアップ時間 (注1)	t _{VL1S}		5	—	—	ms	
昇圧ウェイト時間 (注2)	t _{VLWT}	C1 ~ C5 接続	500	—	—	ms	

【変更後】

表 43.53 内部昇圧方式 LCD 特性

条件：1.8V ≤ VCC = VCC_USB ≤ 3.6V、1.8V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
LCD 出力電圧可変範囲	V _{L1}	0.9	1.0	1.08	V	VLCD = 04h
		0.95	1.05	1.13	V	VLCD = 05h
		1	1.1	1.18	V	VLCD = 06h
		1.05	1.15	1.23	V	VLCD = 07h
		1.1	1.2	1.28	V	VLCD = 08h
		1.15	1.25	1.33	V	VLCD = 09h
		1.2	1.3	1.38	V	VLCD = 0Ah
ダブル出力電圧	V _{L2}	2V _{L1} - 0.08	2V _{L1}	2V _{L1}	V	
トリプル出力電圧	V _{L3}	3V _{L1} - 0.12	3V _{L1}	3V _{L1}	V	
クアドロプル出力電圧	V _{L4}	4V _{L1} - 0.16	4V _{L1}	4V _{L1}	V	
基準電圧セットアップ時間 (注1)	t _{VL1S}	5	—	—	ms	
昇圧ウェイト時間 (注2)	t _{VLWT}	500	—	—	ms	

•Page 1466 of 1488

「表 43.54 容量分割方式」の記載方法を以下のとおり変更いたします。

【変更前】

表 43.54 容量分割方式

条件：2.2V ≤ VCC = VCC_USB ≤ 3.6V、2.2V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105℃

項目	記号	min	typ	max	単位	測定条件
CAPH-CAPL 端子間外付け容量	C1	0.33	0.47	0.61	μF	
V _{L1} 端子外付け容量	C2	0.33	0.47	0.61	μF	
V _{L2} 端子外付け容量	C3	0.33	0.47	0.61	μF	
V _{L3} 端子外付け容量	C4	0.33	0.47	0.61	μF	
V _{L4} 端子外付け容量	C5	0.33	0.47	0.61	μF	

【変更後】

表 43.54 容量分割方式

条件：2.2V ≤ VCC = VCC_USB ≤ 3.6V、2.2V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = VSS_USB = 0V、T_a = -40 ~ +105℃

項目	規格値	測定条件
CAPH-CAPL 端子間外付け容量	0.47μF ±30%	
V _{L1} 端子外付け容量	0.47μF ±30%	
V _{L2} 端子外付け容量	0.47μF ±30%	
V _{L4} 端子外付け容量	0.47μF ±30%	

•Page 1466 of 1488

「表 43.55 容量分割方式 LCD 特性」の記載方法を以下のとおり変更いたします。

【変更前】

表 43.55 容量分割方式 LCD 特性

条件： $2.2V \leq VCC = VCC_USB \leq 3.6V$ 、 $2.2V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	条件	min	typ	max	単位	測定条件
V_{L4} 電圧 (注1)	V_{L4}	C1 ~ C4 接続	—	VCC	—	V	
V_{L2} 電圧 (注1)	V_{L2}	C1 ~ C4 接続	$2/3V_{L4} - 0.07$	$2/3V_{L4}$	$2/3V_{L4} + 0.07$	V	
V_{L1} 電圧 (注1)	V_{L1}	C1 ~ C4 接続	$1/3V_{L4} - 0.08$	$1/3V_{L4}$	$1/3V_{L4} + 0.08$	V	
容量分割ウェイト時間 (注1)	t_{WAIT}		100	—	—	ms	

【変更後】

表 43.55 容量分割方式 LCD 特性

条件： $2.2V \leq VCC = VCC_USB \leq 3.6V$ 、 $2.2V \leq AVCC0 \leq 3.6V$ 、 $VSS = AVSS0 = VSS_USB = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
V_{L4} 電圧	V_{L4}	—	VCC	—	V	
V_{L2} 電圧	V_{L2}	$2/3V_{L4} - 0.07$	$2/3V_{L4}$	$2/3V_{L4} + 0.07$	V	
V_{L1} 電圧	V_{L1}	$1/3V_{L4} - 0.08$	$1/3V_{L4}$	$1/3V_{L4} + 0.08$	V	
容量分割ウェイト時間 (注1)	t_{WAIT}	100	—	—	ms	

以上