

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

# 日立半導体技術情報

〒 1 0 0 - 0 0 0 4  
 東京都千代田区大手町 2 丁目 6 番 2 号  
 (日本ビル)  
 TEL (03)5201-5192 (ダイヤルイン)  
 株式会社 日立製作所 半導体グループ  
 新事業開発部

製品分類	マイクロプロセッサ	発行番号	TN-SH7-406A	Rev.	第 1 版
題名	SH7615 ハードウェアマニュアルの誤記訂正		情報分類	1. 仕様変更 ②. ドキュメント訂正追加等 3. 使用上の注意事項 4. マスク変更 5. ライン変更	
適用製品	HD6417615ARF	対象ロット等	関連資料	SH7615 ハードウェアマニュアル第 1 版 (ADJ-602-209)	有効期限
		全ロット			永年

拝啓、貴社益々ご清栄のこととお慶び申し上げます。また、日頃より格段のご愛顧を賜り深謝申し上げます。

SH7615 ハードウェアマニュアルに以下の誤記訂正があります。

本内容をご配慮の上、ご使用下さいますよう、よろしくお願い申し上げます。

## 1. 第 7 章 バスステートコントローラ (BSC)

7.5.11 64M ビットシンクロナス DRAM (2M ワード×32 ビット品) との接続方法 ... 7-68 ページ

(3) シンクロナス DRAM に対するモード設定

### 【変更前】

シンクロナス DRAM に対してモードを設定する場合には、CPU から X+H'FFBF0000、  
 または X+H'FFBF8000 番地に書き込みを行ってください (X は、設定した値)。  
 X+H'FFBF0000 と X+H'FFBF8000 のどちらを使うかは、シンクロナス DRAM の使用に依存します。

### 【変更後】

シンクロナス DRAM に対してモードを設定する場合には、CPU から X+H'FFFF0000、  
 または X+H'FFFF8000 番地に書き込みを行ってください (X は、設定した値)。  
 X+H'FFFF0000 と X+H'FFFF8000 のどちらを使うかは、シンクロナス DRAM の仕様依存します。

## 2. 第 9 章 イーサネットコントローラ (EtherC)

9.2.8 PHY 部ステータスレジスタ (PSR) ... 9-19 ページ

### 【変更前】

ビット 0: LNKSTA 端子状態 (LMON)

LNKSTA 端子に PHY-LSI から出力される Link 信号を接続することによって、Link 状態を読み込むことができます。極性については、接続する PHY-LSI の仕様を参照してください。

### 【変更後】

ビット 0: LNKSTA 端子状態 (LMON)

LNKSTA 端子に PHY-LSI から出力される Link 信号を接続することによって、Link 状態を読み込むことができます。極性については、接続する PHY-LSI の仕様を参照してください。

【注】 LMON ビットは、LNKSTA 端子が High レベル時 0、

Low レベル時 1 となります。

### 3. 第 14 章 FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

#### (1) 図 14.5 シリアル送信のフローチャートの例 ... 14-46 ページ

##### 【変更前】

##### [3] シリアル送信の継続手順:

シリアル送信を続けるときは、TDFE ビットの 1 を読み出して書き込み可能であることを確認した後に SCFTDR にデータを書き込み、TDFE ビットを 0 にクリアしてください。ただし、FIFO データインプティ割り込み (TXI) で DMAC を起動し、SCFTDR にデータを書き込む場合には、TDFE ビットのチェック、およびクリアは自動的に行われます。

##### 【変更後】

##### [3] シリアル送信の継続手順:

シリアル送信を続けるときは、TDFE ビットの 1 を読み出して書き込み可能であることを確認した後に SCFTDR にデータを書き込み、TDFE ビットを 0 にクリアしてください。ただし、FIFO データエンプティ割り込み (TXI) で DMAC を起動し、SCFTDR にデータを書き込む場合には、TDFE ビットのチェック、およびクリアは自動的に行われます。

#### (2) 図 14.14 マルチプロセッサシリアル受信のフローチャートの例 (1) ... 14-57 ページ

##### 【変更前】

##### [5] SCIF の状態を確認して受信データを読み出し:

シリアルステータス 1 レジスタ (SC1SSR) を読み出して、RDF=1 であることを確認した後、FIFO データレジスタ

##### 【変更後】

##### [5] SCIF の状態を確認して受信データを読み出し:

シリアルステータス 1 レジスタ (SC1SSR) を読み出して、RDF=1 であることを確認した後、FIFO データレジスタ (SCFRDR) の受信データを読み出します。

#### (3) 14.3.4 クロック同期式モード時の動作 ... 14-60 ページ

##### 【変更前】

クロック同期式モードでは、SCIF は同期クロックの立ち下がりに同期してデータを受信します。

##### 【変更後】

クロック同期式モードでは、SCIF は同期クロックの立ち上がりに同期してデータを受信します。

- 以上 -