

# RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲3-2-24 豊洲フォレシア

ルネサスエレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-RL*-A032B/J	Rev.	第2版
題名	誤記訂正通知 RL78/L12 ユーザーズマニュアル Rev.2.00 の記載変更		情報分類	技術情報	
適用製品	RL78/L12 グループ	対象ロット等 全ロット	関連資料	RL78/L12 ユーザーズマニュアル ハードウェア編 Rev.2.00 R01UH0330JJ0200 (Nov.2013)	

RL78/L12 ユーザーズマニュアル ハードウェア編 Rev.2.00(R01UH0330JJ0200)において、下記訂正がごさいます。

## 今回通知する訂正内容

訂正箇所	該当ページ	内容
2.4 端子ブロック図 図2-8 端子タイプ 7-5-7 の端子ブロック図	p.45	注意追加
2.4 端子ブロック図 図2-10 端子タイプ 8-5-1 の端子ブロック図	p.47	注意追加
2.4 端子ブロック図 図2-11 端子タイプ 8-5-2 の端子ブロック図	p.48	注意追加
2.4 端子ブロック図 図2-12 端子タイプ 8-5-3 の端子ブロック図	p.49	注意追加
2.4 端子ブロック図 図2-13 端子タイプ 8-5-7 の端子ブロック図	p.50	注意追加
2.4 端子ブロック図 図2-14 端子タイプ 12-1-4 の端子ブロック図	p.51	注意追加

## ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

ユーザーズマニュアルの訂正一覧

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメントNo.	和文	R01UH0330JJ0200	
1	12.5.7 SNOOZEモード機能 SNOOZEモード動作時のタイミング・チャート(図12-69, 図12-71)		p.461, p.463	p.3, 4
2	12.6.3 SNOOZEモード機能		p.486	p.5
3	12.6.3 SNOOZEモード機能 SNOOZEモード動作時のタイミング・チャート(図12-88, 図12-89, 図12-91)		p.488, p.489, p.491	p.6-8
4	17.3.1 割り込み要求フラグ・レジスタ(IF0L, IF0H, IF1L, IF1H, IF2L)		p.704	p.9
5	17.3.2 割り込みマスク・フラグ・レジスタ(MK0L, MK0H, MK1L, MK1H, MK2L)		p.706	p.10
6	17.4.3 多重割り込み処理 表17-5 割り込み処理中に多重割り込み可能な割り込み要求の関係		p.716	p.11
7	30.8 データ・メモリSTOPモード低電源電圧データ保持特性		p.907	p.12
8	31.8 データ・メモリSTOPモード低電源電圧データ保持特性		p.956	p.13
9	7.3.4 リアルタイム・クロック・コントロール・レジスタ1(RTCC1)		p.293	p.14
10	2.4 端子ブロック図 図2-8 端子タイプ 7-5-7 の端子ブロック図		p.45	p.15
11	2.4 端子ブロック図 図2-10 端子タイプ 8-5-1 の端子ブロック図		p.47	p.16
12	2.4 端子ブロック図 図2-11 端子タイプ 8-5-2 の端子ブロック図		p.48	p.17
13	2.4 端子ブロック図 図2-12 端子タイプ 8-5-3 の端子ブロック図		p.49	p.18
14	2.4 端子ブロック図 図2-13 端子タイプ 8-5-7 の端子ブロック図		p.50	p.19
15	2.4 端子ブロック図 図2-14 端子タイプ 12-1-4 の端子ブロック図		p.51	p.20

誤記訂正の該当箇所は、誤)太字下線、正)グレー・ハッチングで記載します。

記載変更・注意追加の該当箇所は、旧)太字下線、新)グレー・ハッチングで記載します。

発行文書履歴

RL78/L12 ユーザーズマニュアル Rev.2.00 誤記訂正通知 発行文書履歴

文書番号	発行日	記事
TN-RL*-A032A/J	2014年10月29日	初版発行 訂正一覧のNo.1 ~ No.8 の誤記訂正
TN-RL*-A046A/J	2015年7月6日	訂正一覧のNo.9 の記載追加
TN-RL*-A032B/J	2016年2月22日	第二版発行 訂正一覧のNo.10 ~ No.15 の誤記訂正(本通知です。)

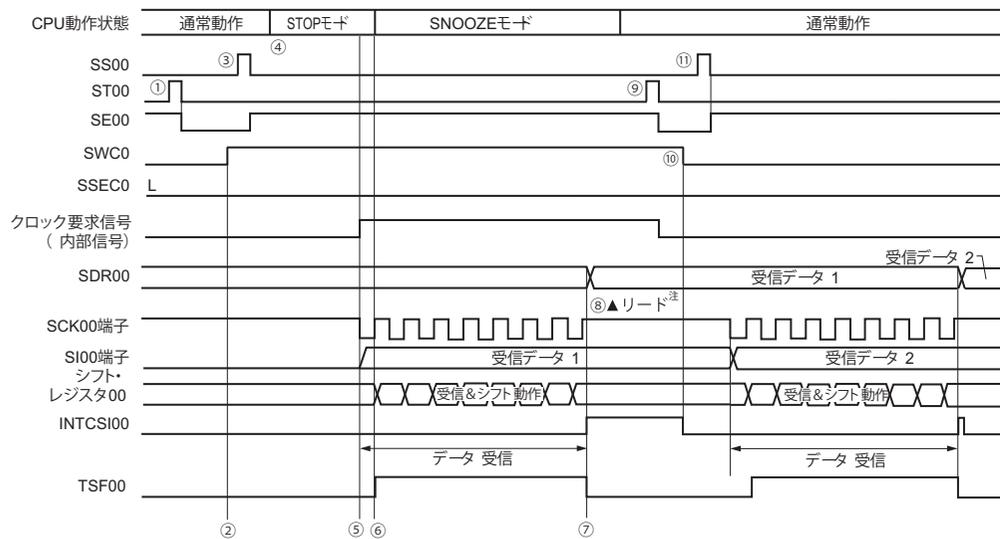
1. 12.5.7 SNOOZE モード機能

**SNOOZE モード動作時のタイミング・チャート(図 12-69, 図 12-71) (p.461, p.463)**

CPU動作状態、クロック要求信号(内部信号)とTSF00のタイミング・チャートの誤記訂正

誤)

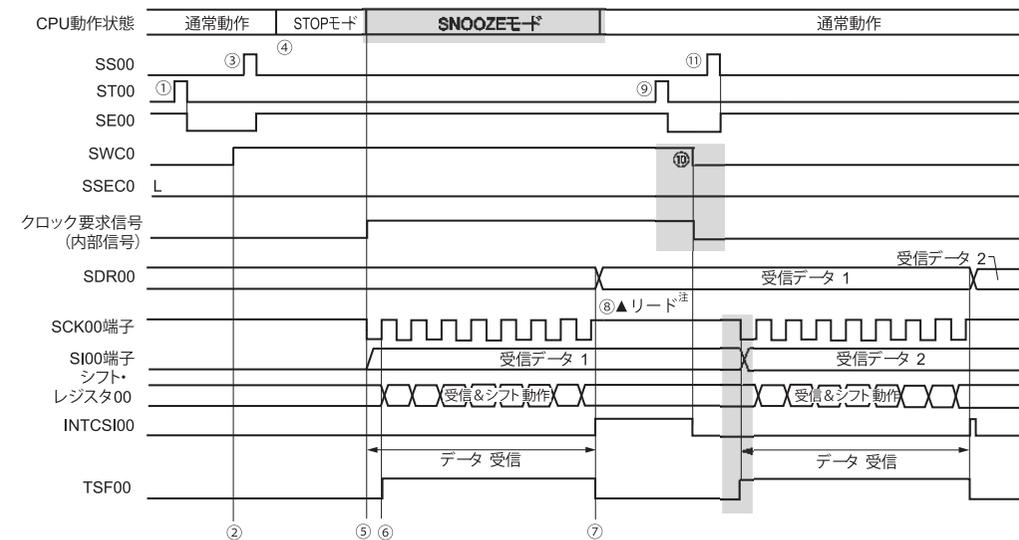
図 12 - 69 SNOOZE モード動作 (1 回起動) 時のタイミング・チャート (タイプ 1 : DAPmn =0, CKPmn = 0)



(省略)

正)

図 12 - 69 SNOOZE モード動作 (1 回起動) 時のタイミング・チャート (タイプ 1 : DAPmn =0, CKPmn = 0)

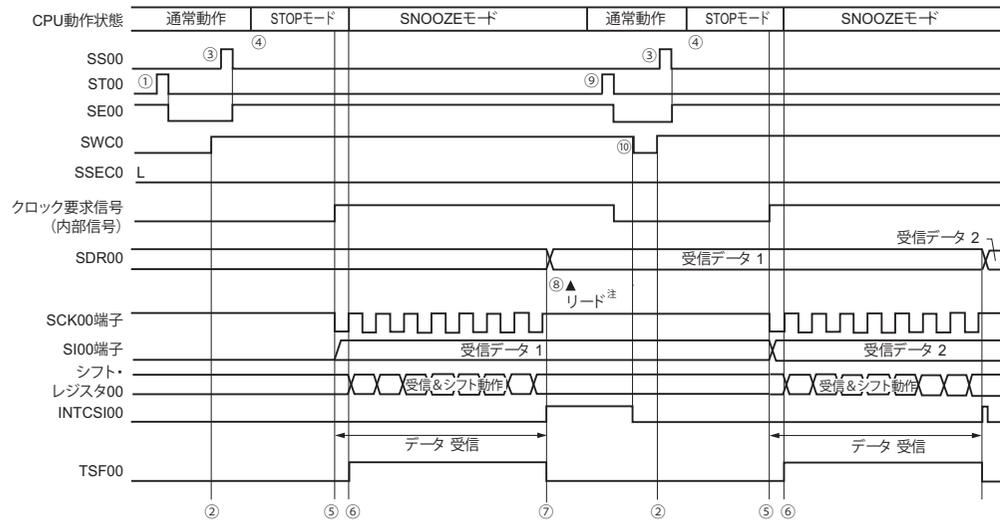


(省略)

CPU動作状態、クロック要求信号（内部信号）とINTCSI00のタイミング・チャートの誤記訂正

誤)

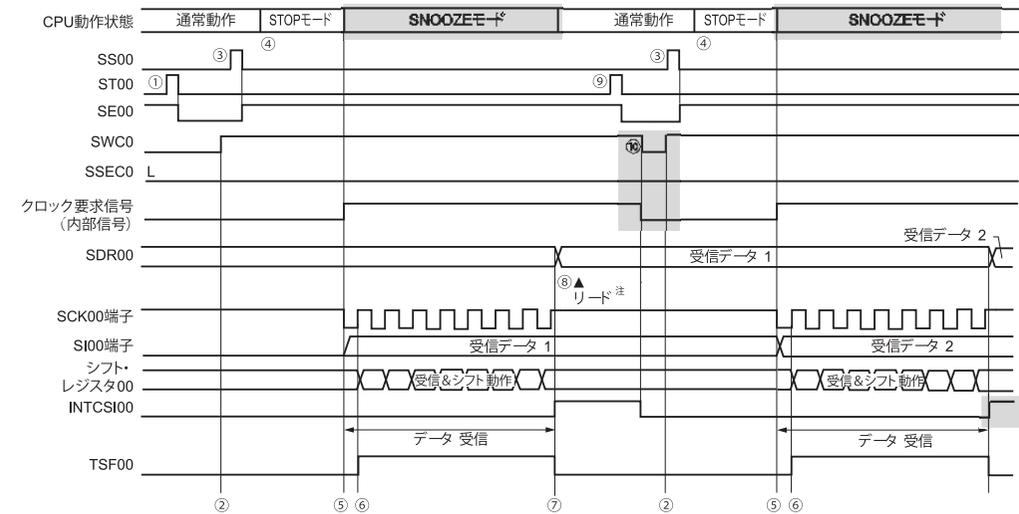
図 12 - 71 SNOOZE モード動作（連続起動）時のタイミング・チャート  
（タイプ 1：DAPmn = 0, CKPmn = 0）



(省略)

正)

図 12 - 71 SNOOZE モード動作（連続起動）時のタイミング・チャート  
（タイプ 1：DAPmn = 0, CKPmn = 0）



(省略)

## 2. 12.6.3 SNOOZEモード機能の注意追加(p.486)

誤)

### 12.6.3 SNOOZEモード機能

STOPモード時にRxDq端子入力の検出により、UART受信を動作させるモードです。通常STOPモード時はUARTの通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUART受信を行うことができます。

(省略)

注意1. SNOOZEモードは、 $f_{CLK}$ に高速オンチップ・オシレータ・クロック ( $f_{IH}$ ) を選択している場合のみ設定可能です。

(省略)

4. SSECm=1の設定では、パリティ・エラー、フレーミング・エラー、オーバーラン・エラー時にPEFmn, FEFmn、OVFmnフラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECm = 1で使用するときは、SWC0= 1 に設定する前にPEFmn, FEFmn, OVFmnフラグをクリアし、また、SDRm1レジスタのビット7-0 (RxDq) を読み出してください。

正)

### 12.6.3 SNOOZEモード機能

STOPモード時にRxDq端子入力の検出により、UART受信を動作させるモードです。通常STOPモード時はUARTの通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUART受信を行うことができます。

(省略)

注意1. SNOOZEモードは、 $f_{CLK}$ に高速オンチップ・オシレータ・クロック ( $f_{IH}$ ) を選択している場合のみ設定可能です。

(省略)

4. SSECm=1の設定では、パリティ・エラー、フレーミング・エラー、オーバーラン・エラー時にPEFmn, FEFmn、OVFmnフラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECm = 1で使用するときは、SWC0= 1 に設定する前にPEFmn, FEFmn, OVFmnフラグをクリアし、また、SDRm1レジスタのビット7-0 (RxDq) を読み出してください。
5. RxDq端子の有効エッジ検出によりSNOOZEモードへ移行します。  
また、スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず、SNOOZEモードを継続することがあります。この場合、次のUART受信で正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

3. 12.6.3 SNOOZE モード機能

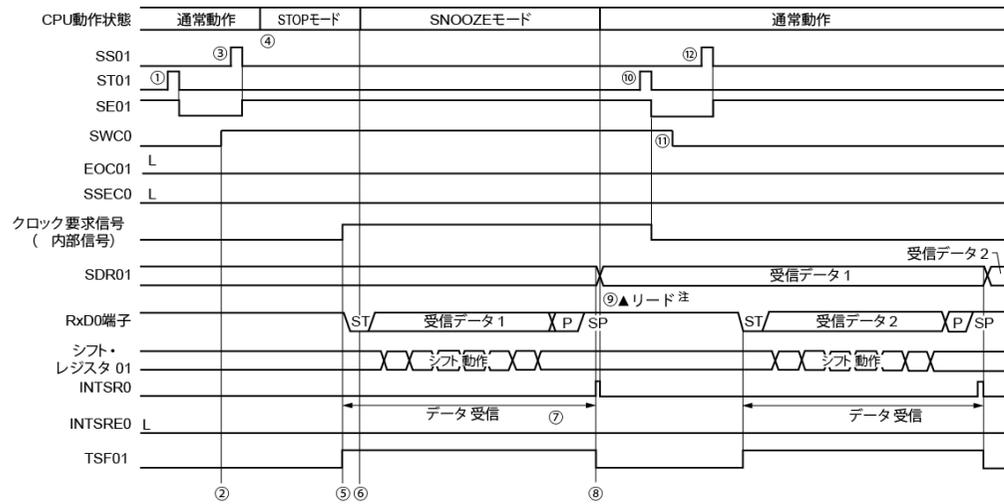
SNOOZE モード動作時のタイミング・チャート(図 12-88, 図 12-89,

図 12-91)(p.488, p.489, p.491)

CPU動作状態、クロック要求信号(内部信号)、INTSR0とTSF01のタイミング・チャートの誤記訂正

誤)

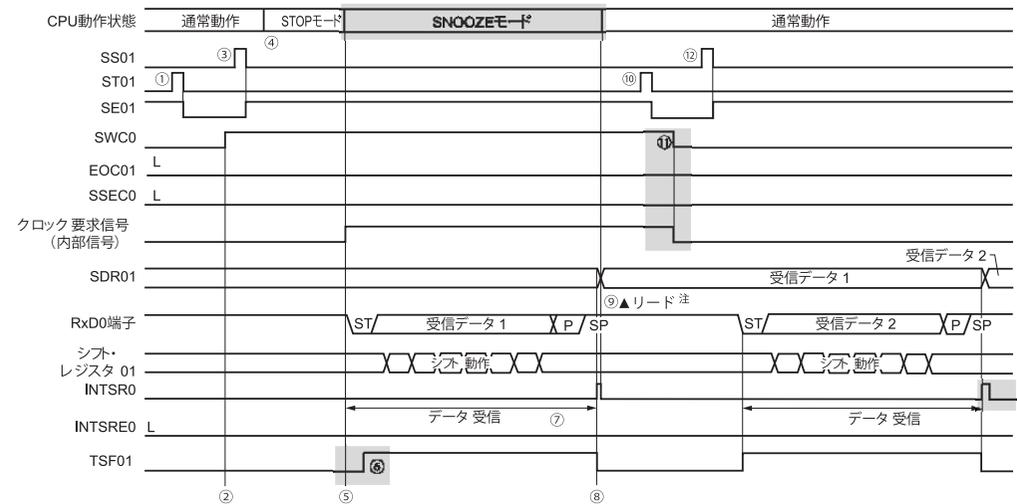
図 12 - 88 SNOOZE モード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート



(省略)

正)

図 12 - 88 SNOOZE モード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート

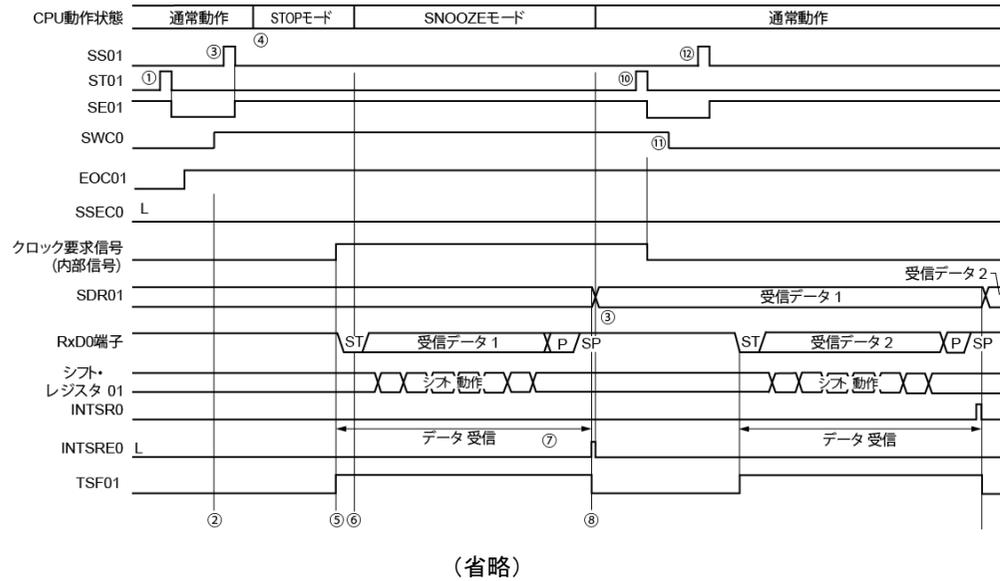


(省略)

CPU動作状態、クロック要求信号(内部信号)、SDR01、INTSR0とTSF01のタイミング・チャートの誤記訂正

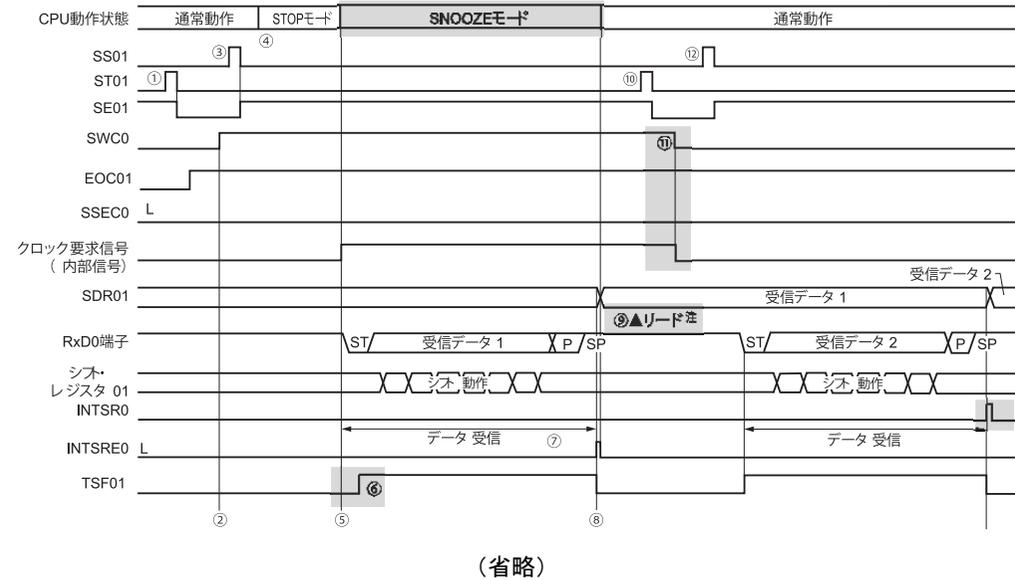
誤)

図 12 - 89 SNOOZE モード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャート



正)

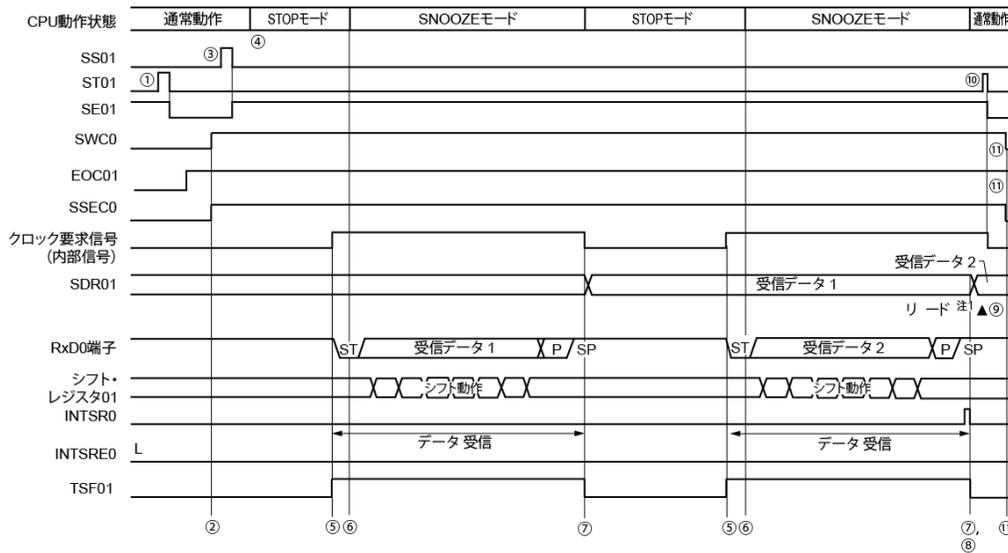
図 12 - 89 SNOOZE モード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャート



CPU動作状態、クロック要求信号(内部信号)、INTSR0とTSF01のタイミング・チャートの誤記訂正

誤)

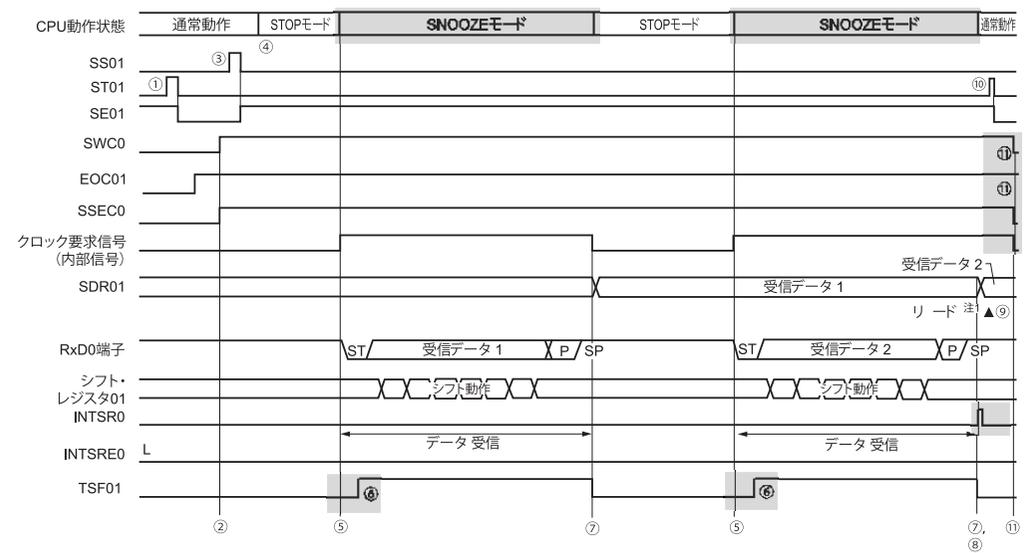
図 12 - 91 SNOOZE モード動作 (EOCm1 = 1, SSECM = 1) 時のタイミング・チャート



(省略)

正)

図 12 - 91 SNOOZE モード動作 (EOCm1 = 1, SSECM = 1) 時のタイミング・チャート



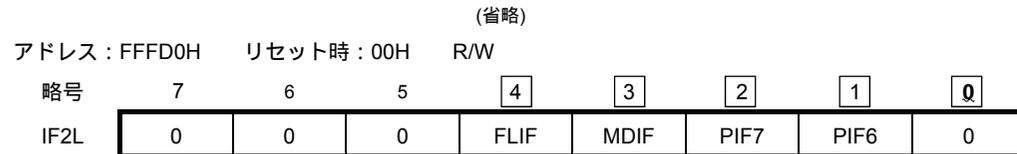
(省略)

2. 17.3.1 割り込み要求フラグ・レジスタ(IF0L, IF0H, IF1L, IF1H, IF2L)

図 17-2 割り込み要求フラグ・レジスタ(IF0L, IF0H, IF1L, IF1H, IF2L)のフォーマット(64ピン製品)の誤記訂正(p.704)

誤)

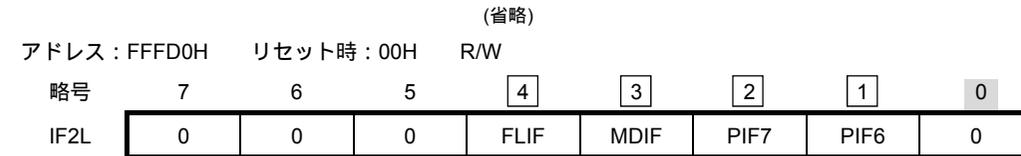
図17-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L) のフォーマット  
(64ピン製品)



XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

正)

図17-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L) のフォーマット  
(64ピン製品)



XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

3. 17. 3. 2 割り込みマスク・フラグ・レジスタ(MK0L, MK0H, MK1L, MK1H, MK2L)(p.706)

図 17-3 割り込みマスク・フラグ・レジスタ(MK0L, MK0H, MK1L, MK1H, MK2L)のフォーマット(64ピン製品)の誤記訂正

誤)

図17-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L) のフォーマット (64ピン製品)

(省略)

アドレス：FFFD4H    リセット時：FFH    R/W

略号	7	6	5	4	3	2	1	0
MK2L	1	1	1	FLMK	MDMK	PMK7	PMK6	1

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

正)

図17-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L) のフォーマット (64ピン製品)

(省略)

アドレス：FFFD4H    リセット時：FFH    R/W

略号	7	6	5	4	3	2	1	0
MK2L	1	1	1	FLMK	MDMK	PMK7	PMK6	1

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

4. 17.4.3 多重割り込み処理

表 17-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

(p.716)

誤)

表17-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求								ソフト ウェア 割り込 み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0							
マスカブル 割り込み	ISP1 = 0 ISP0 = 0		x	x	x	x	x	x	x	
	ISP1 = 0 ISP0 = 1		x		x	x	x	x	x	
	ISP1 = 1 ISP0 = 0		x		x		x	x	x	
	ISP1 = 1 ISP0 = 1		---		---		---		---	
	ソフトウェア割り込み		x		x		x		x	

(省略)

正)

表17-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求								ソフト ウェア 割り込 み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0							
マスカブル 割り込み	ISP1 = 0 ISP0 = 0		x	x	x	x	x	x	x	
	ISP1 = 0 ISP0 = 1		x		x	x	x	x	x	
	ISP1 = 1 ISP0 = 0		x		x		x	x	x	
	ISP1 = 1 ISP0 = 1		x		x		x		x	
	ソフトウェア割り込み		x		x		x		x	

(省略)

5. 30.8 データ・メモリ STOP モード低電源電圧データ保持特性(p.907)

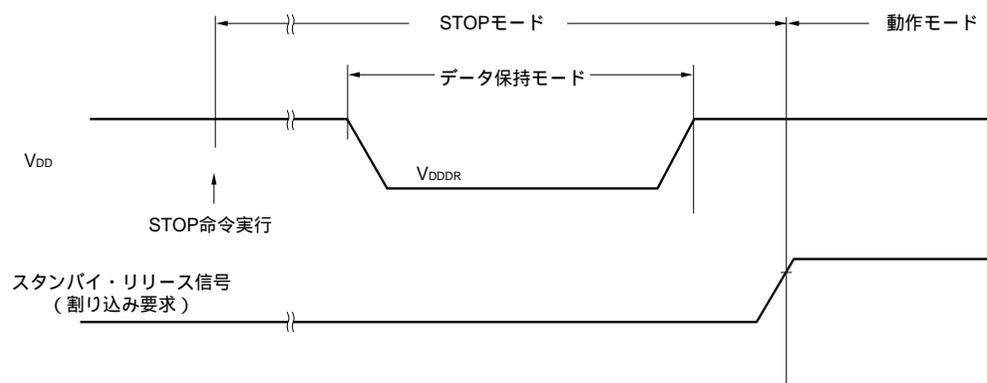
旧)

30.8 データ・メモリSTOPモード低電源電圧データ保持特性

( $T_A = -40 \sim +85$  )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V <sub>DDDR</sub>		1.46 <sup>※</sup>		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持されません。



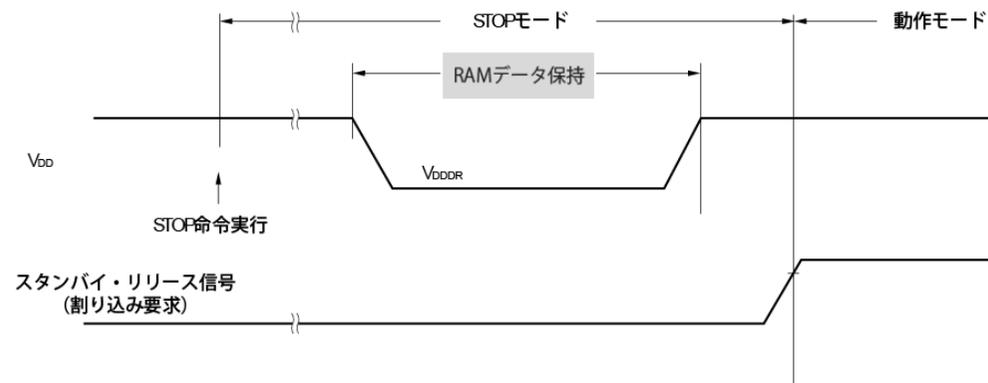
新)

30.8 RAMデータ保持特性

( $T_A = -40 \sim +85$  )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V <sub>DDDR</sub>		1.46 <sup>※</sup>		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。



6. 31.8 データ・メモリ STOP モード低電源電圧データ保持特性(p.956)

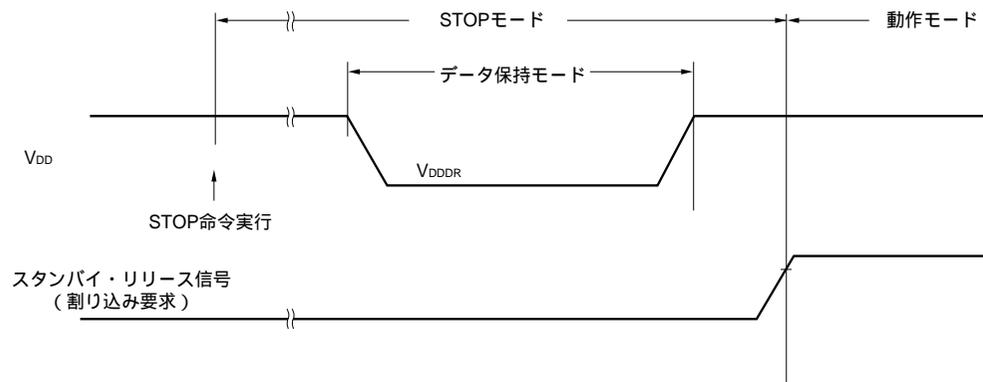
旧)

31.8 データ・メモリSTOPモード低電源電圧データ保持特性

( $T_A = -40 \sim +105$  )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V <sub>DDDR</sub>		1.44 <sup>註</sup>		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持されません。



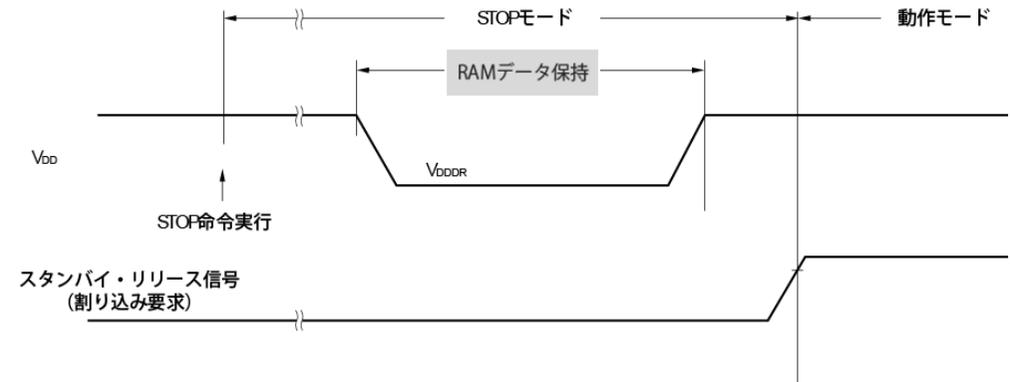
新)

31.8 RAMデータ保持特性

( $T_A = -40 \sim +105$  )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V <sub>DDDR</sub>		1.44 <sup>註</sup>		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。



9.7.3.4 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1) の記

載追加(p.293)

旧)

RWAIT	リアルタイム・クロックのウェイト制御
0	カウンタ動作設定
1	SEC~YEAR カウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。  
 カウンタ値を読み出し、書き込みを行う際は必ず1を書き込んでください。  
 内部カウンタ（16ビット）は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。  
 RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能（RWST = 1）となるまで動作クロック（ $f_{RTC}$ ）の最大1クロック時間がかかります。  
 内部カウンタ（16ビット）のオーバフローがRWAIT = 1のときに起きた場合は、オーバフローが起きたことを保持してRWAIT = 0になったあと、カウント・アップします。  
 ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバフローが起きたことを保持しません。

新)

RWAIT	リアルタイム・クロックのウェイト制御
0	カウンタ動作設定
1	SEC~YEAR カウンタ停止設定。カウンタ値読み出し、書き込みモード。

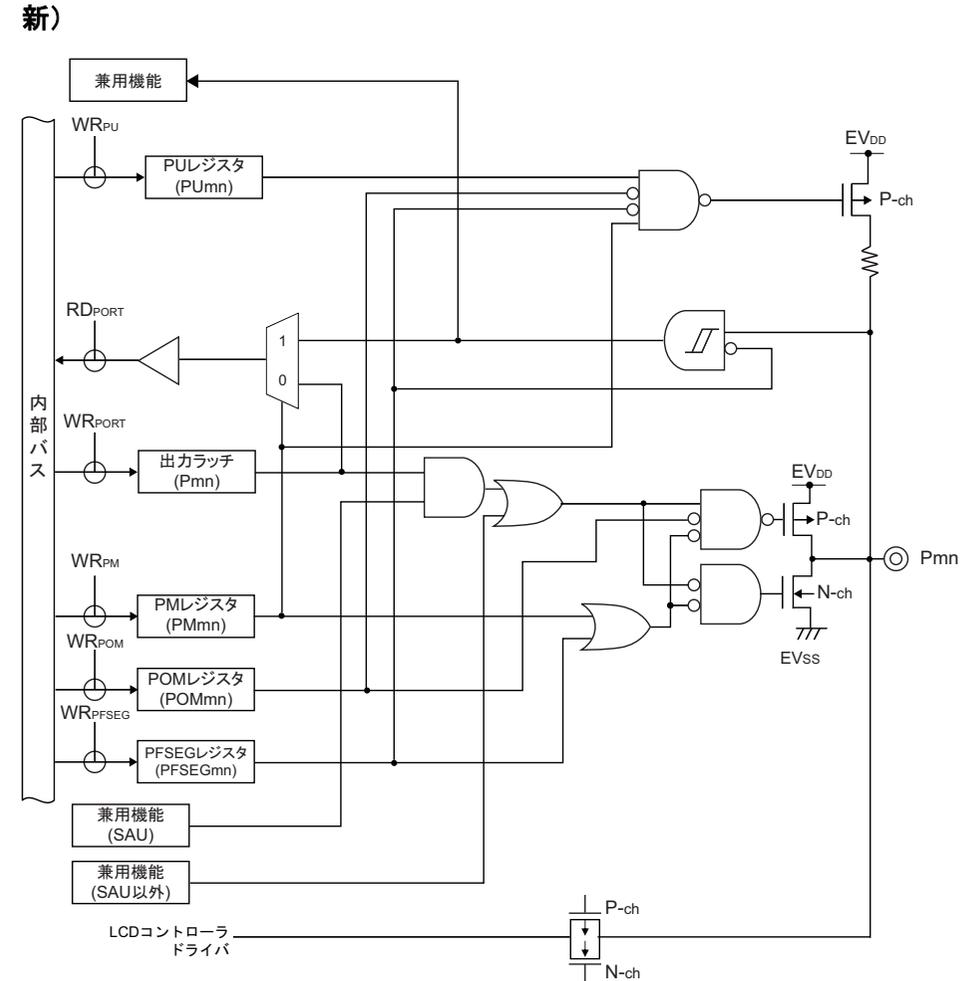
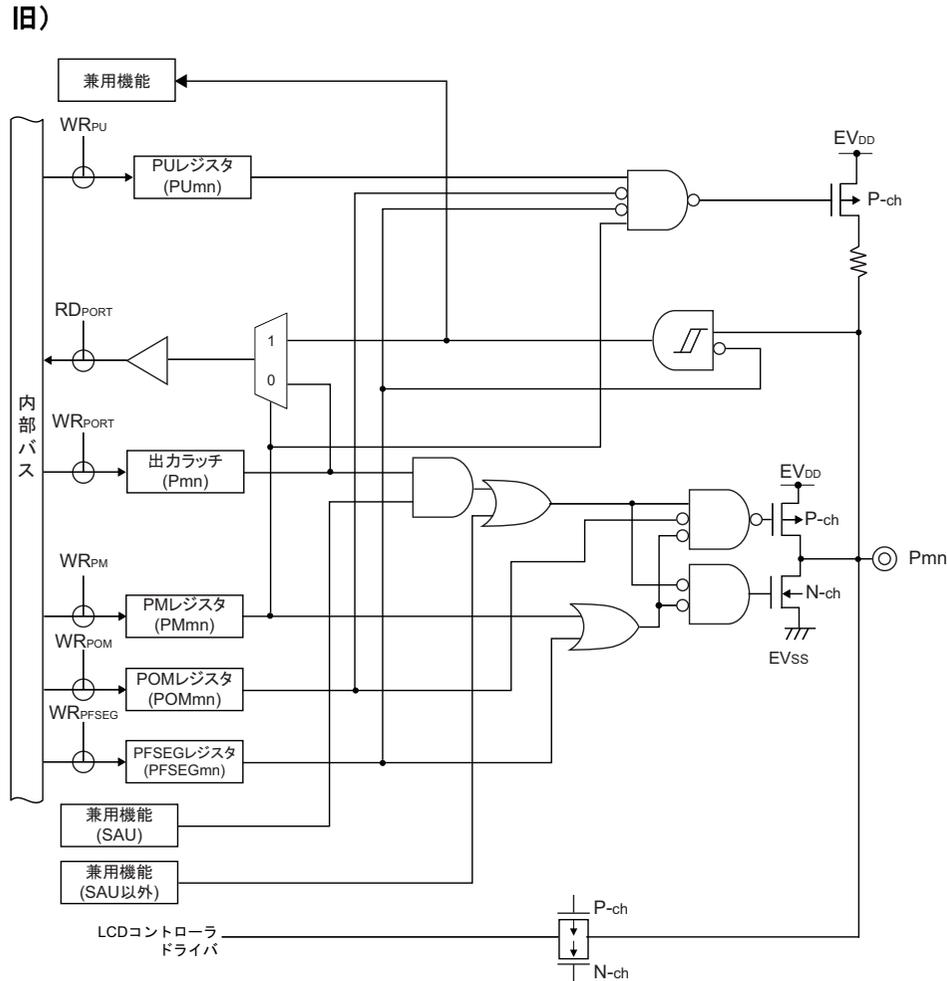
カウンタの動作を制御します。  
 カウンタ値を読み出し、書き込みを行う際は必ず1を書き込んでください。  
 内部カウンタ（16ビット）は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。  
 RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能（RWST = 1）となるまで動作クロック（ $f_{RTC}$ ）の最大1クロック時間がかかります。<sup>(注1,注2)</sup>  
 内部カウンタ（16ビット）のオーバフローがRWAIT = 1のときに起きた場合は、オーバフローが起きたことを保持してRWAIT = 0になったあと、カウント・アップします。  
 ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバフローが起きたことを保持しません。

注1. RTCE=1に設定した後、 $f_{RTC}$  の1クロック時間内でRWAIT=1とした場合、RWSTビットが“1”になるまで動作クロック（ $f_{RTC}$ ）の2クロック時間がかかる場合があります。

注2. スタンバイ (HALTモード、STOPモード、SNOOZEモード) から復帰した後、 $f_{RTC}$  の1クロック時間内で、RWAIT=1とした場合、RWSTビットが”1”になるまでに、動作クロック（ $f_{RTC}$ ）の2クロック時間がかかる場合があります。

10.2.4 端子ブロック図

図2-8 端子タイプ 7-5-7 の端子ブロック図(p.45)



注意. ポート出力モード・レジスタ (POMx) で N-ch オープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

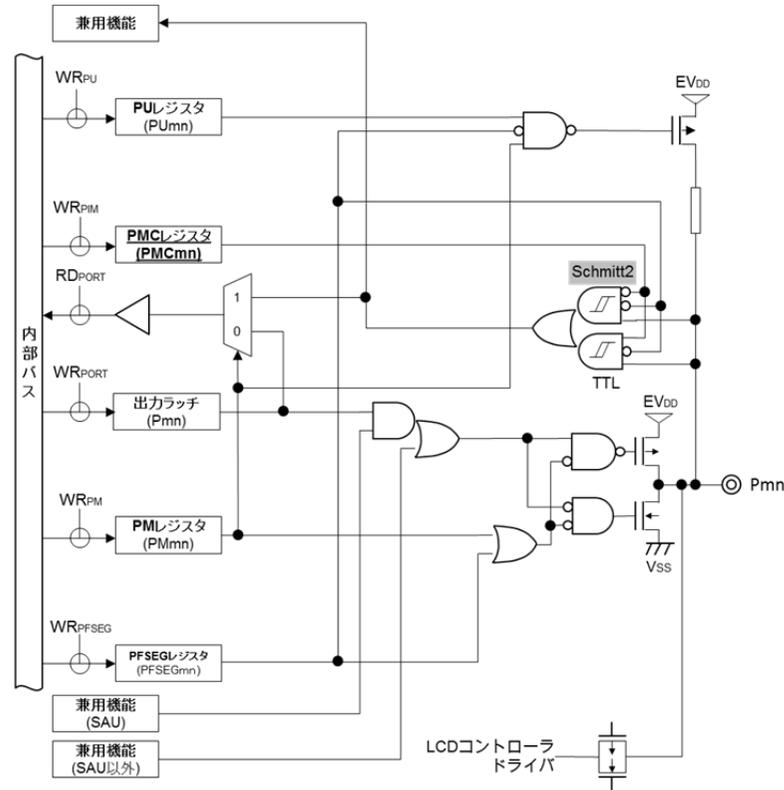
- 備考 1. 兼用機能は、2. 1 ポート機能を参照してください。  
2. SAU：シリアル・アレイ・ユニット

- 備考 1. 兼用機能は、2. 1 ポート機能を参照してください。  
2. SAU：シリアル・アレイ・ユニット

11.2.4 端子ブロック図

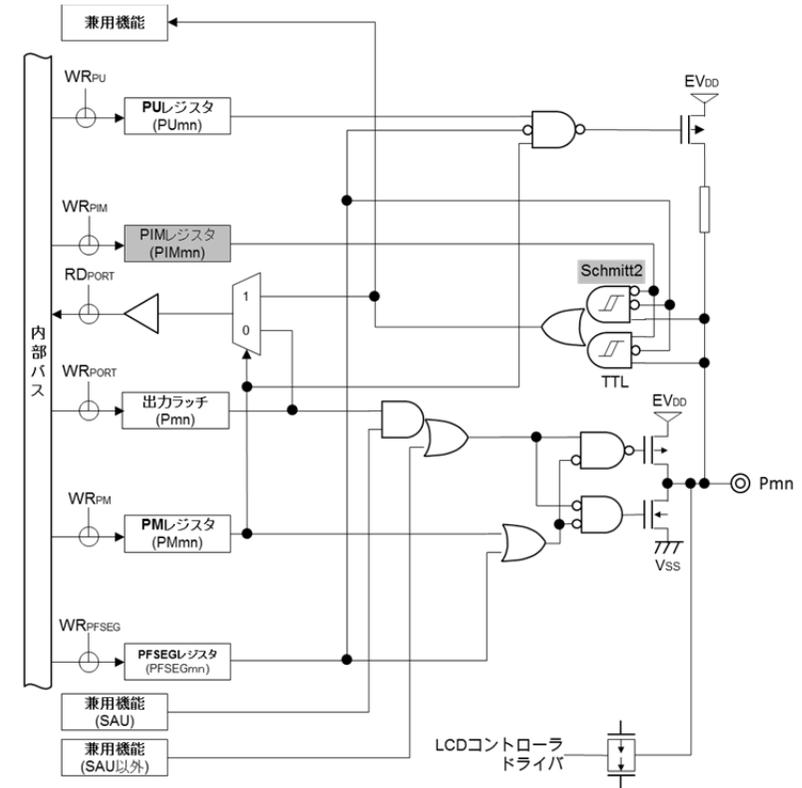
図2-10 端子タイプ 8-5-1 の端子ブロック図(p.47)

旧)



- 備考
1. 兼用機能は、2.1 ポート機能を参照してください。
  2. SAU: シリアル・アレイ・ユニット

新)



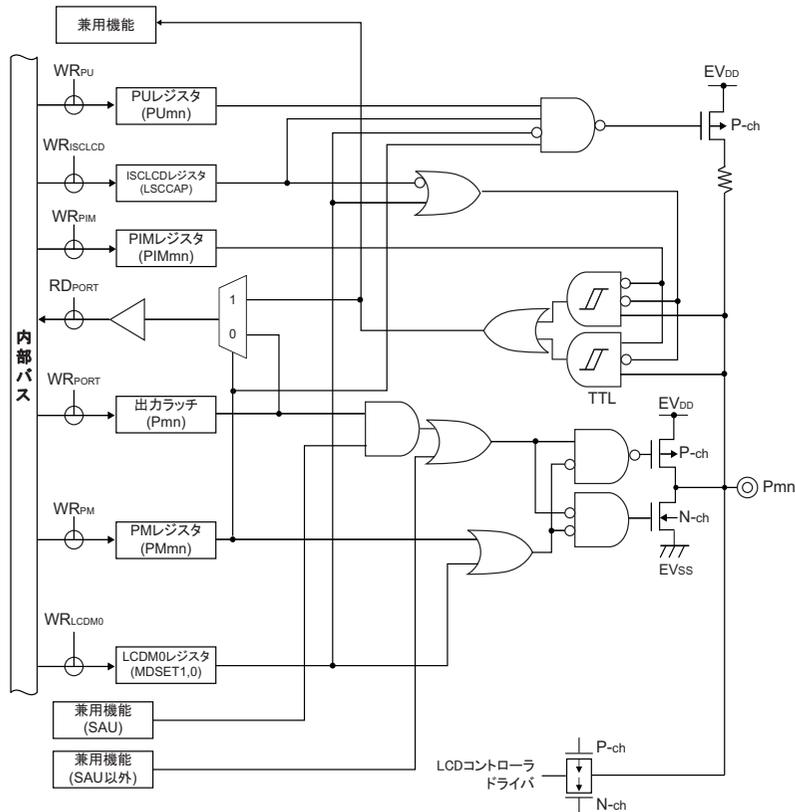
注意. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ローレベルを入力してください。

- 備考
1. 兼用機能は、2.1 ポート機能を参照してください。
  2. SAU: シリアル・アレイ・ユニット

12.2.4 端子ブロック図

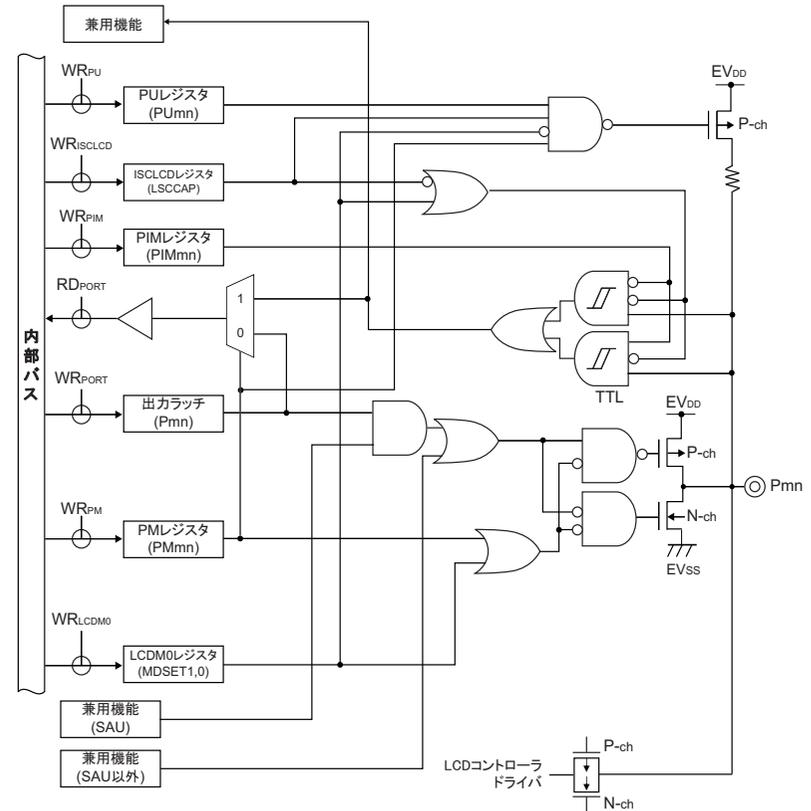
図2-11 端子タイプ 8-5-2 の端子ブロック図(p.48)

旧)



- 備考
1. 兼用機能は、2.1 ポート機能を参照してください。
  2. SAU: シリアル・アレイ・ユニット

新)



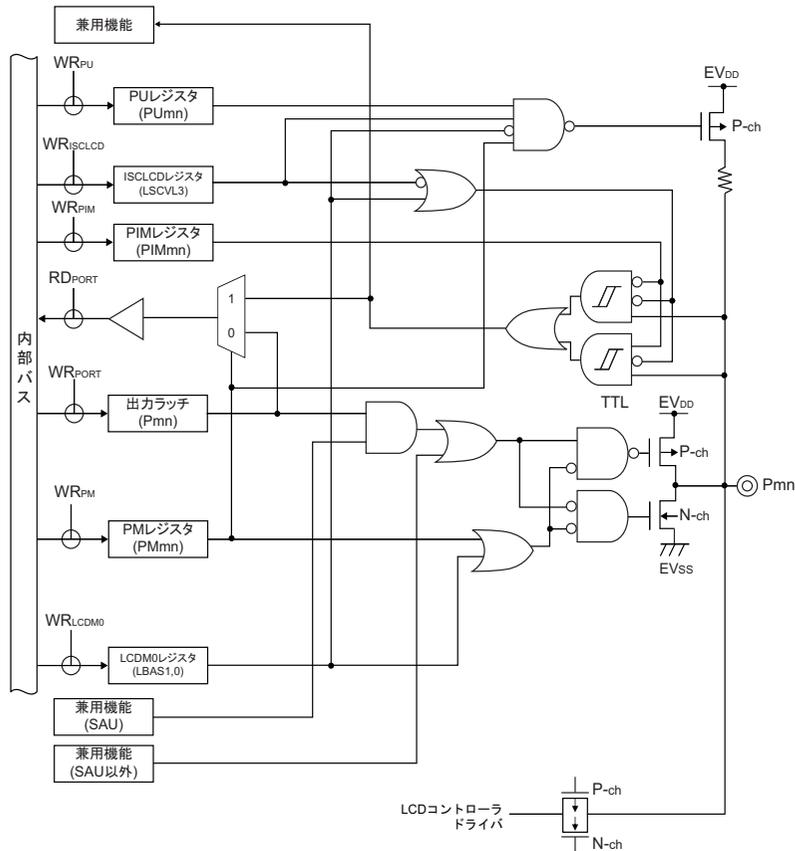
注意. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ローレベルを入力してください。

- 備考
1. 兼用機能は、2.1 ポート機能を参照してください。
  2. SAU: シリアル・アレイ・ユニット

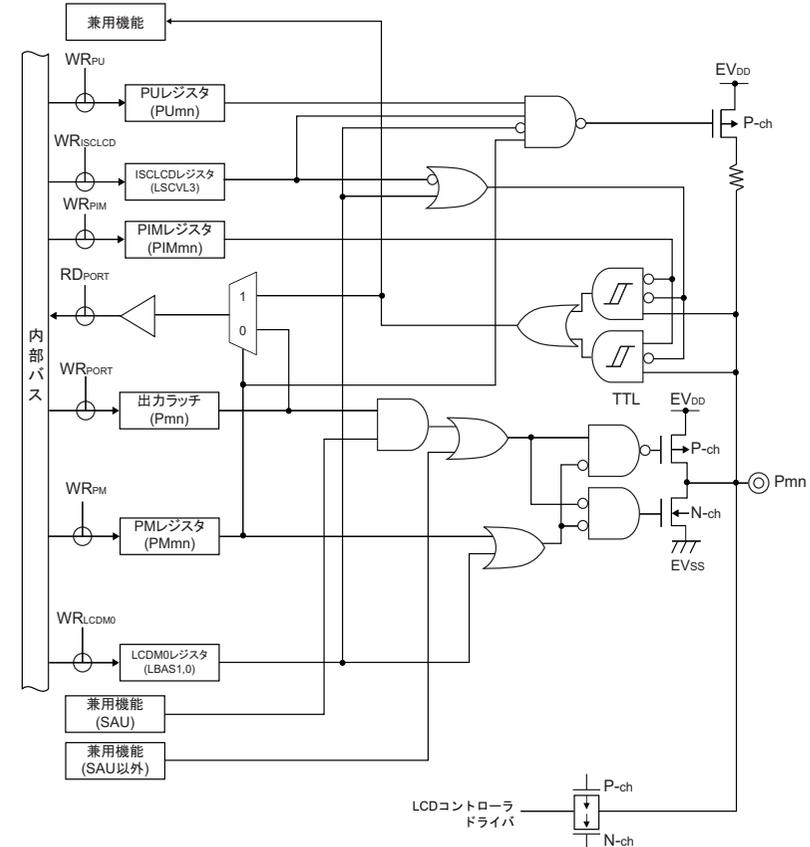
13.2.4 端子ブロック図

図2-12 端子タイプ 8-5-3 の端子ブロック図(p.49)

旧)



新)



注意. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ローレベルを入力してください。

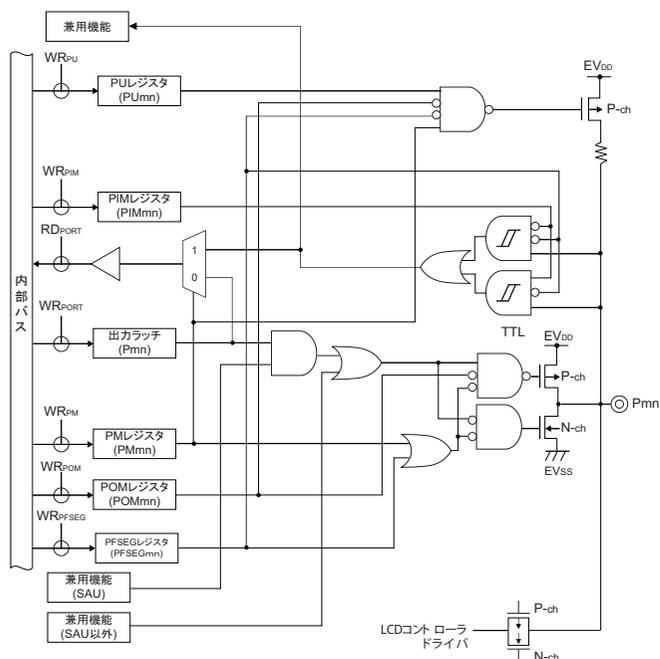
- 備考
1. 兼用機能は、2.1 ポート機能を参照してください。
  2. SAU: シリアル・アレイ・ユニット

- 備考
1. 兼用機能は、2.1 ポート機能を参照してください。
  2. SAU: シリアル・アレイ・ユニット

14.2.4 端子ブロック図

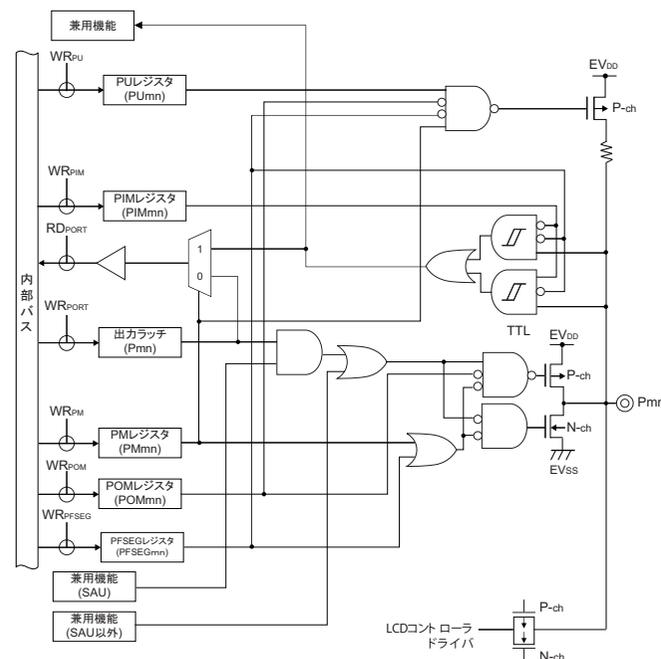
図2-13 端子タイプ 8-5-7 の端子ブロック図(p.50)

旧)



- 備考
1. 兼用機能は、2.1 ポート機能を参照してください。
  2. SAU: シリアル・アレイ・ユニット

新)



注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

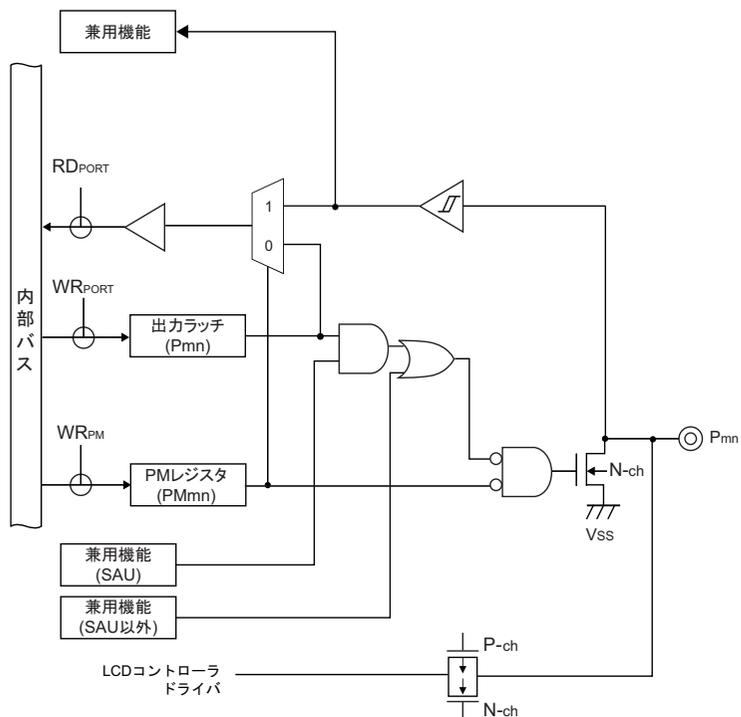
注意2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ローレベルを入力してください。

- 備考
1. 兼用機能は、2.1 ポート機能を参照してください。
  2. SAU: シリアル・アレイ・ユニット

15.2.4 端子ブロック図

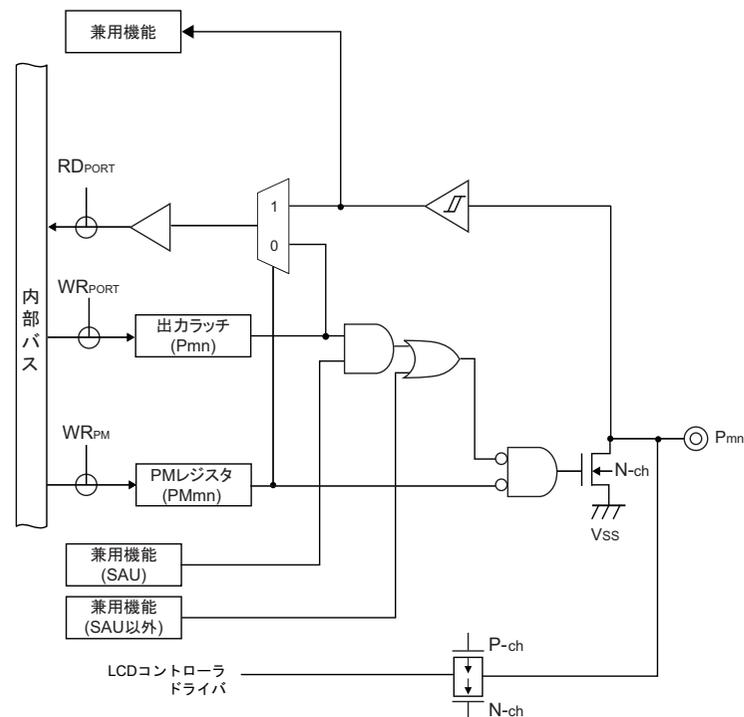
図2-14 端子タイプ 12-1-4 の端子ブロック図(p.51)

旧)



- 備考
1. 兼用機能は、2.1 ポート機能を参照してください。
  2. SAU: シリアル・アレイ・ユニット

新)



注意 出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

- 備考
1. 兼用機能は、2.1 ポート機能を参照してください。
  2. SAU: シリアル・アレイ・ユニット

以上