

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/contact/>
 E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-US-061 A/JA/Rev.1.00	第1版
題名	誤記訂正通知 RL78/L12 ユーザーズマニュアル Rev.1.00 の記載変更		情報分類	技術情報
適用製品	RL78/L12 グループ : R5F10Rxxx	対象ロット等 全ロット	関連資料	RL78/L12 ユーザーズマニュアル ハードウェア編 Rev.1.00 R01UH0330JJ0100 (Jan.2013)

RL78/L12 ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0330JJ0100)において、下記訂正がごさいます。

今回通知する訂正内容

訂正箇所	該当ページ	内容
3. 1. 3 内部データ・メモリ空間	p.62	仕様拡張
12. 6. 3 SNOOZEモード機能	p.482	仕様変更
19. 3. 2 STOPモード	p.742, p.743	誤記訂正
19. 3. 3 SNOOZEモード	p.745	誤記訂正
23. 3. 6 不正メモリ・アクセス検出機能	p.792	誤記訂正
図25-3 ユーザ・オプション・バイト(000C2H)	p.805	仕様拡張
26. 4. 3 データ・フラッシュへのアクセス手順	p.818	誤記訂正
30. 3. 1 端子特性	p.863, p.864	誤記訂正
30. 3. 2 電源電流特性	p.868 - p.873	誤記訂正
30. 4 AC特性	p.874	仕様拡張
30. 5. 1 シリアル・アレイ・ユニット	p.877 - p.895	誤記訂正
30. 5. 2 シリアル・インタフェースIIICA	p.896 - p.898	誤記訂正
30. 6. 1 A/Dコンバータ特性	p.899 - p.901	仕様拡張
30. 6. 2 温度センサ／内部基準電圧特性	p.901	誤記訂正
30. 6. 3 POR回路特性	p.901	誤記訂正
30. 6. 5 電源電圧立ち上げ時間	p.903	仕様追加
30. 8 データ・メモリSTOPモード低電源電圧データ保持特性	p.908	仕様拡張
電気的特性 (G: Ta = -40~+105°C)	新規追加	仕様拡張

ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

ユーザーズマニュアルの訂正一覧

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメントNo.	和文	R01UH0330JJ0100	
1	3. 1. 3	内部データ・メモリ空間	p.62	p.3
2	12. 6. 3	SNOOZEモード機能	p.482	p.4, p.5
3	19. 3. 2	STOPモード	p.742, p.743	p.6
4	19. 3. 3	SNOOZEモード	p.745	p.7
5	23. 3. 6	不正メモリ・アクセス検出機能	p.792	p.8, p.9
6	図25-3	ユーザ・オプション・バイト(000C2H)	p.805	p.10
7	26. 4. 3	データ・フラッシュへのアクセス手順	p.818	p.11, p.12
8	30. 3. 1	端子特性	p.863, p.864	p.13
9	30. 3. 2	電源電流特性	p.868 – p.873	p.13
10	30. 4	AC特性	p.874	p.13
11	30. 5. 1	シリアル・アレイ・ユニット	p.877 – p.895	p.13
12	30. 5. 2	シリアル・インタフェースII CA	p.896 – p.898	p.13
13	30. 6. 1	A/Dコンバータ特性	p.899 – p.901	p.14
14	30. 6. 2	温度センサ／内部基準電圧特性	p.901	p.14
15	30. 6. 3	POR回路特性	p.901	p.14
16	30. 6. 5	電源電圧立ち上げ時間	p.903	p.14
17	30. 8	データ・メモリSTOPモード低電源電圧データ保持特性	p.908	p.14
18		電気的特性(G:Ta = -40~+105°C)	新規追加	p.14

誤記訂正の該当箇所は、誤)太字下線、正)グレー・ハッチングで記載します。

発行文書履歴

RL78/L12 ユーザーズマニュアル Rev.1.00 誤記訂正通知 発行文書履歴

文書番号	発行日	記事
TN-US* 0 CFI A/J 00000000	2013年8月GG日 000000	版発行 訂正一覧のNo.1 ~ No.17 の誤記訂正(本通知です。)

1. 3. 1. 3 内部データ・メモリ空間

誤)

注意 2. 次に示す製品の内部 RAM 領域は、セルフ・プログラミング機能およびデータ・フラッシュ機能使用時にスタック領域として使用できません。

R5F10Rx8 (x = B, F, G, J)	: FFE20H-FFEDFH, FFB00H-FFC89H
R5F10RxA (x = B, F, G, J, L)	: FFE20H-FFEDFH, FFB00H-FFC89H
R5F10RxC (x = B, F, G, J, L)	: FFE20H-FFEDFH, FF900H-FFC89H

正)

注意 2. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、バクタ割り込み処理の分岐先や DMA による転送先 / 転送元で利用する RAM アドレスを FFE20H-FFEDFH の領域に配置しないでください。

3. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、次に示す製品の RAM 領域は、各ライブラリで使用するため使用禁止になります。

R5F10Rx8 (x = B, F, G, J) : FFB00H-FFC89H

R5F10RxA (x = B, F, G, J, L) : FFB00H-FFC89H

R5F10RxC (x = B, F, G, J, L) : FF900H-FFC89H

2. 12.6.3 SNOOZE モード機能

誤)

STOPモード時にRxDq端子入力の検出によりUARTの受信動作をさせるモードです。通常STOP時にUARTは通信動作を停止しますが、このモードを使うことで、RxDq端子入力の検出によってCPUを動作させずにUARTの受信動作を行うことができます。

SNOOZEモード機能を使用する場合は、STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm (SSCm)のSWCmビットを1に設定します。

注意 1. SNOOZE モードは、f_{CLK} に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

2. UARTq を SNOOZE モードで使用するときの最大転送レートは 9600 bps です。

正)

STOPモード時にRxDq端子入力の検出により、UART受信を動作させるモードです。通常STOP時はUARTの通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUART受信を行うことができます。

UARTqをSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。(図12-93、図12-95 SNOOZEモード動作時のフローチャートを参照)

- ・ SNOOZEモード時は、UART受信ポーレートの設定を通常動作時とは異なる値に変更する必要があります。表12-3を参照してSPSmレジスタ、SDRmnレジスタ[15:9]を設定してください。
- ・ EOCmnビット、SSECmnビットを設定します。通信エラーが発生した場合にエラー割り込み (INTSRE0) の発生許可 / 停止を設定することができます。
- ・ STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm (SSCm) のSWCmビットをセット (1) してください。初期設定完了後、シリアル・チャンネル開始レジスタm (SSm) のSSm1ビットをセット (1) します。

STOPモードに移行後、RxDqのエッジを検出 (スタート・ビット入力) すると、UART受信を開始します。

注意 1. SNOOZE モードは、f_{CLK} に高速オンチップ・オシレータ・クロック (f_{IH}) を選択している場合のみ使用できます。

2. SNOOZE モードでの転送レートは 4800bps のみです。

3. SWCm=1 の設定では、STOP モード中に受信開始した時のみ UARTq を使用できません。他の SNOOZE 機能や割り込みと同時に使用して、次のような STOP モード以外の状態で受信開始した場合は、正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。
 - ・ SWCm=1 に設定後、STOP モードに移行する前に受信開始した場合
 - ・ 他の SNOOZE モード中に受信開始した場合
 - ・ STOP モードから割り込みなどで通常動作に復帰後、SWCm=0 に戻す前に受信開始した場合
4. SSECM=1 の設定では、パリティ・エラー、フレーミング・エラー、オーバーラン・エラー時に PEFmn, FEFmn, OVFmn フラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECM = 1 で使用するときは、SWC0=1 に設定する前に PEFmn, FEFmn, OVFmn フラグをクリアし、また、SDRm1 レジスタのビット 7-0 (RxDq) を読み出してください。

表12-3 SNOOZEモード時のUART受信ボー・レート設定

高速オンチップ・オシレータ (f _{IH})	SNOOZEモード時のUART受信ボー・レート			
	ボー・レート4800 bps			
	動作クロック (f _{MCK})	SDRmn [15:9]	最大許容値	最小許容値
24MHz±1.0% ^注	fCLK /2 ⁵	79	1.60%	- 2.18%
16MHz±1.0% ^注	fCLK /2 ⁴	105	2.27%	- 1.53%
12MHz±1.0% ^注	fCLK /2 ⁴	79	1.60%	- 2.19%
8MHz±1.0% ^注	fCLK /2 ³	105	2.27%	- 1.53%
6MHz±1.0% ^注	fCLK /2 ³	79	1.60%	- 2.19%
4MHz±1.0% ^注	fCLK /2 ²	105	2.27%	- 1.53%
3MHz±1.0% ^注	fCLK /2 ²	79	1.60%	- 2.19%
2MHz±1.0% ^注	fCLK /2 ¹	105	2.27%	- 1.54%
1MHz±1.0% ^注	fCLK /2 ⁰	105	2.27%	- 1.57%

注 高速オンチップ・オシレータ・クロック周波数精度が±1.5%、±2.0%の場合は、次のように許容範囲が狭くなります。

- ・ f_{IH}±1.5%の場合は、上表の最大許容値に - 0.5%、最小許容値に + 0.5%してください。
- ・ f_{IH}±2.0%の場合は、上表の最大許容値に - 1.0%、最小許容値に + 1.0%してください。

備考 最大許容値、最小許容値は、UART 受信時のボー・レート許容値です。この範囲に送信側のボー・レートが収まるように設定してください。

3. 19.3.2 STOPモード

誤)

図19-5 STOPモードの割り込み要求発生による解除

- (1) CPUクロックが高速システム・クロック (X1発振) の場合
(省略)

注2. STOPモード解除のウェイト時間

- ・ 高速システム・クロック (X1発振) : 3クロック

- (2) CPUクロックが高速システム・クロック (外部クロック入力) の場合

- (3) CPUクロックが高速オンチップ・オシレータ・クロックの場合
(省略)

注2. STOPモード解除時間

クロック供給停止 : 19.08 μ s ~ 32.99 μ s

ウェイト

- ・ ベクタ割り込み処理を行う場合 : 7クロック
- ・ ベクタ割り込み処理を行わない場合 : 1クロック

正)

図19-5 STOPモードの割り込み要求発生による解除

- (1) CPUクロックが高速システム・クロック (X1発振) の場合
(省略)

注2. STOPモード解除時間

**クロック供給停止 : 18 μ s ~ “ 65 μ sまたは発振安定時間 (OSTSで設定) の
長い方”**

ウェイト

- ・ ベクタ割り込み処理を行う場合 : 10~11クロック
- ・ ベクタ割り込み処理を行わない場合 : 4~5クロック

備考 クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

- (2) CPUクロックが高速システム・クロック (外部クロック入力) の場合

- (3) CPUクロックが高速オンチップ・オシレータ・クロックの場合
(省略)

注2. STOPモード解除時間

クロック供給停止 : 18 μ s ~ 65 μ s

ウェイト

- ・ ベクタ割り込み処理を行う場合 : 7クロック
- ・ ベクタ割り込み処理を行わない場合 : 1クロック

備考 クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

4. 19.3.3 SNOOZE モード

誤)

SNOOZEモードの移行では、次の時間だけウエイト状態になります。

STOP→SNOOZE

HS(高速メイン)モード： 18.96~28.95 μs

LS(低速メイン)モード： 20.24~28.95 μs

LV(低電圧メイン)モード： 20.98~28.95 μs

SNOOZE→通常動作

・ベクタ割り込み処理を行う場合

HS(高速メイン)モード： 6.79~12.4 μs+7クロック

LS(低速メイン)モード： 2.58~7.8 μs+7クロック

LV(低電圧メイン)モード： 12.45~17.3 μs+7クロック

・ベクタ割り込み処理を行わない場合

HS(高速メイン)モード： 6.79~12.4 μs+1クロック

LS(低速メイン)モード： 2.58~7.8 μs+1クロック

LV(低電圧メイン)モード： 12.45~17.3 μs+1クロック

正)

SNOOZEモードの移行では、次の時間だけウエイト状態になります。

STOPモード → SNOOZEモードの遷移時間：18 μs ~ 65 μs

備考 STOPモード → SNOOZEモードの遷移時間は、温度条件とSTOPモード期間によって変化します。

SNOOZEモード → 通常動作の遷移時間：

・ベクタ割り込み処理を行う場合

HS(高速メイン)モード： “ 4.99~9.44 μs” +7クロック

LS(低速メイン)モード： “ 1.10~5.08 μs” +7クロック

LV(低電圧メイン)モード： “ 16.58~25.40 μs” +7クロック

・ベクタ割り込み処理を行わない場合

HS(高速メイン)モード： “ 4.99~9.44 μs” +1クロック

LS(低速メイン)モード： “ 1.10~5.08 μs” +1クロック

LV(低電圧メイン)モード： “ 16.58~25.40 μs” +1クロック

5. 23. 3. 6 不正メモリ・アクセス検出機能

誤)

図23 - 10 不正アクセス検出空間

アドレス	アクセス可否		
	読み出し	書き込み	命令フェッチ (実行)
FFFFFH	OK	OK	NG
FFFF0H FFEF0H FFEDFH			OK
yyyyyH	OK	NG	NG
F1000H F0FFFH		OK	OK
F0800H F07FH	OK	OK	NG
F0000H EFFFFH			OK
xxxxxH	OK	OK	NG
00000H			OK

正)

図23 - 10 不正アクセス検出空間

アドレス	アクセス可否		
	読み出し	書き込み	命令フェッチ (実行)
FFFFFH	OK	OK	NG
FFFF0H FFEF0H FFEDFH			OK
zzzzzH	OK	NG	NG
F1000H F0FFFH		OK	OK
F0800H F07FH	OK	OK	NG
F0000H EFFFFH			OK
xxxxxH	OK	OK	NG
00000H			OK

注 各製品のコード・フラッシュ・メモリ，RAM のアドレスは次のようになります。

製品	コード・フラッシュ・メモリ (00000H-xxxxxH)	RAM (yyyyyH-FFEFFH)
R5F10Rx8 (x = B, F, G, J)	8192×8ビット (00000H-01FFFH)	1024×8ビット (FFB00H-FFEFFH)
R5F10RxA (x = B, F, G, J, L)	16384×8ビット (00000H-03FFFH)	1024×8ビット (FFB00H-FFEFFH)
R5F10RxC (x = B, F, G, J, L)	32768×8ビット (00000H-07FFFH)	1536×8ビット (FF900H-FFEFFH)

注 各製品のコード・フラッシュ・メモリ，RAM，検出最下位アドレスを次に示します。

製品	コード・フラッシュ・メモリ (00000H-xxxxxH)	RAM (zzzzzH-FFEFFH)	読み出し / 命令フェッチ (実行) 時の検出最下位アドレス (yyyyyH)
R5F10Rx8 (x = B, F, G, J)	8192×8ビット (00000H-01FFFH)	1024×8ビット (FFB00H-FFEFFH)	10000H
R5F10RxA (x = B, F, G, J, L)	16384×8ビット (00000H-03FFFH)	1024×8ビット (FFB00H-FFEFFH)	10000H
R5F10Rx8 (x = B, F, G, J)	8192×8ビット (00000H-01FFFH)	1024×8ビット (FFB00H-FFEFFH)	80000H

6. 図 25-3 ユーザ・オプション・バイト(000C2H)

旧)

図25-3 ユーザ・オプション・バイト(000C2H)のフォーマット

アドレス：000C2H

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

CMODE1	CMODE0	フラッシュの動作モード設定		
		動作周波数範囲	動作電圧範囲	
0	0	LV (低電圧メイン) モード	1 MHz ~ 4 MHz	1.6 V ~ 5.5 V
1	0	LS (低速メイン) モード	1 MHz ~ 8 MHz	1.8 V ~ 5.5 V
1	1	HS (高速メイン) モード	1 MHz ~ 16 MHz	2.4 V ~ 5.5 V
			1 MHz ~ 24 MHz	2.7 V ~ 5.5 V
上記以外		設定禁止		

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
1	0	1	1	4 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

注意 ビット 5-4 には、必ず 10B を書き込んでください。

新)

図25-3 ユーザ・オプション・バイト(000C2H)のフォーマット

アドレス：000C2H

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

CMODE1	CMODE0	フラッシュの動作モード設定		
		動作周波数範囲	動作電圧範囲	
0	0	LV (低電圧メイン) モード	1 MHz ~ 4 MHz	1.6 V ~ 5.5 V
1	0	LS (低速メイン) モード	1 MHz ~ 8 MHz	1.8 V ~ 5.5 V
1	1	HS (高速メイン) モード	1 MHz ~ 16 MHz	2.4 V ~ 5.5 V
			1 MHz ~ 24 MHz	2.7 V ~ 5.5 V
上記以外		設定禁止		

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

注意 ビット 5-4 には、必ず 10B を書き込んでください。

7. 26. 4. 3 データフラッシュへのアクセス手順

誤)

リセット解除後の初期状態では、データ・フラッシュは停止状態であり、そのままではアクセス(リードおよびプログラミング)はできません。アクセスするには以下の手順を行ってください。

- ① データ・フラッシュ・コントロール・レジスタ(DFLCTL)のビット0(DFLEN)に“1”を書き込む。
- ② ソフトウェア・タイマなどでセットアップ時間をウエイトする。
セットアップ時間はメイン・クロックの各モードによって異なります。
<各メイン・クロック・モードでのセットアップ時間>
 - ・ HS(高速メイン)モード時 : 5 μ s
 - ・ LS(低速メイン)モード時 : 720 ns
 - ・ LV(低電圧メイン)モード時 : 10 μ s
- ③ セットアップ時間のウエイト完了後、データ・フラッシュはアクセス可能となります。

- 注意 1. セットアップ時間中は、データ・フラッシュへのアクセス禁止です。
2. セットアップ時間中に STOP 命令を実行したい場合は、いったん DFLEN = 0 に設定してから STOP 命令を実行してください。

正)

リセット解除後、データ・フラッシュは停止状態です。データ・フラッシュへアクセスするには、以下の手順で初期設定を行う必要があります。

- ① データ・フラッシュ・コントロール・レジスタ(DFLCTL)のビット0(DFLEN)に“1”を設定する。
 - ② ソフトウェア・タイマなどでセットアップ時間をウエイトする。
セットアップ時間はメイン・クロックの各フラッシュの動作モードによって異なります。
- <各フラッシュの動作モードでのセットアップ時間>
- ・ HS(高速メイン)モード時 : 5 μ s
 - ・ LS(低速メイン)モード時 : 720 ns
 - ・ LV(低電圧メイン)モード時 : 10 μ s
- ③ セットアップ時間のウエイト完了後、データ・フラッシュへのアクセスが可能となります。

- 注意 1. セットアップ時間中のデータ・フラッシュへのアクセスは禁止です。
2. セットアップ時間中に STOP モードに移行することは禁止です。セットアップ時間中に STOP モードに移行する場合は、DFLEN = 0 に設定してから、STOP 命令を実行してください。
3. データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作(HIOSTOP = 0)させ、30 μ s 経過後にデータ・フラッシュ・ライブラリを実行してください。

初期設定後は、CPU命令による読み出し、またはデータ・フラッシュ・ライブラリによる読み出し/書き換えが可能です。

ただし、データ・フラッシュ・アクセス時にDMAコントローラが動作する場合は、次のいずれかの手順に従って実施してください。

(A) DMAの転送保留 / 強制終了

データ・フラッシュを読み出す前に、使用している全てのチャンネルのDMA転送を保留してください。ただし、DWAITnビットに1を設定後、データ・フラッシュの読み出し前までに3クロック (f_{CLK}) 以上の間隔をあげてください。データ・フラッシュの読み出し後に、DWAITnビットを0に設定し転送保留を解除してください。

または、データ・フラッシュを読み出す前に、15.5.5 ソフトウェアでの強制終了の手順に従ってDMA転送を強制終了してください。DMA転送の再開はデータ・フラッシュ読み出し後に行ってください。

(B) ライブラリを使用してデータ・フラッシュにアクセス

最新のデータ・フラッシュ・ライブラリを使用して、データ・フラッシュにアクセスしてください。

(C) NOPの挿入

データ・フラッシュの読み出し命令の直前にNOP命令を挿入してください。

<例>

```
MOVW    HL,!addr16    ; RAMの読み出し
NOP      ; データ・フラッシュのリード前にNOP命令を挿入
MOV      A,[DE]       ; データ・フラッシュの読み出し
```

ただし、C言語などの高級言語を使用している場合、1コードに対してコンパイラが2命令を生成する場合があります。この場合、データ・フラッシュの読み出し命令の直前にNOP命令が挿入されないため、(A)または(B)にて、読み出ししてください。

- 備考1. n : DMAチャンネル番号 (n = 0, 1)
- 備考2. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

30.3.1 端子特性

誤)

p.863, p.864 の「注 2.」の誤記訂正。

8. 30.3.2 電源電流特性

誤)

p.868- p.873 の注および、IDD2, IDD3 の TYP.値の誤記訂正。

9. 30.4 AC 特性

旧)

p.874 「外部システム・クロック周波数」および「外部システム・クロック入力ハイ、ロウ・レベル幅」の仕様拡張。

10. 30.5.1 シリアル・アレイ・ユニット

誤)

p.877- p.895 「30.5.1 シリアル・アレイ・ユニット」の誤記訂正。

11. 30.5.2 シリアル・インタフェース IICA

誤)

p.896- p.898 「30.5.2 シリアル・インタフェース IICA」の誤記訂正。

正)

テクニカル・アップデート別紙1「第30章 電気的特性」の p.7, p.8 を参照してください。

正)

テクニカル・アップデート別紙1「第30章 電気的特性」の p.12- p.17 を参照してください。

新)

テクニカル・アップデート別紙1「第30章 電気的特性」の p.18 を参照してください。

正)

テクニカル・アップデート別紙1「第30章 電気的特性」の p.22- p.43 を参照してください。

正)

テクニカル・アップデート別紙1「第30章 電気的特性」の p.44- p.48 を参照してください。

30. 6. 1 A/D コンバータ特性

旧)

p.899- p.901 「30. 6. 1 A/D コンバータ特性」の仕様拡張。

12. 30. 6. 2 温度センサ／内部基準電圧特性

誤)

p.901 「30. 6. 2 温度センサ / 内部基準電圧特性」の誤記訂正。

13. 30. 6. 3 POR 回路特性

誤)

p.901 「30. 6. 3 POR 回路特性」の誤記訂正。

14. 30. 6. 5 電源電圧立ち上げ時間

旧)

p.903 「電源電圧立ち上げ時間」の仕様追加。

15. 30. 8 データ・メモリ STOP モード低電源電圧データ保持特性

旧)

p.908 「30. 8 データ・メモリ STOP モード低電源電圧データ保持特性」の仕様拡張。

16. 電气的特性

「電气的特性 (G : Ta = -40~+105°C)」の仕様拡張。

新)

テクニカル・アップデート別紙1「第30章 電气的特性」の p.49- p.52 を参照してください。

正)

テクニカル・アップデート別紙1「第30章 電气的特性」の p.53 を参照してください。

正)

テクニカル・アップデート別紙1「第30章 電气的特性」の p.53 を参照してください。

追加)

テクニカル・アップデート別紙1「第30章 電气的特性」の p.55 を参照してください。

新)

テクニカル・アップデート別紙1「第30章 電气的特性」の p.60 を参照してください。

追加)

テクニカル・アップデート別紙2「第31章 電气的特性」を参照してください。

以上

第30章 電気的特性

この章では、A：民生用途 ($T_A = -40 \sim +85^\circ\text{C}$)、G：産業用途 ($T_A = -40 \sim +85^\circ\text{C}$ にて使用する場合) の電気的特性を示します。

- 注意1. RL78マイクロコントローラには開発 / 評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
2. EV_{DD} 、 EV_{SS} 端子がない製品は、 EV_{DD} を V_{DD} に、 EV_{SS} を V_{SS} に置き換えてください。
 3. 製品により搭載している端子が異なります。2.1 ポート機能~2.1.6 製品別搭載端子 (ポート以外の端子) を参照してください。

30.1 絶対最大定格

絶対最大定格 ($T_A = 25\text{ }^\circ\text{C}$) (1/3)

項目	略号	条件	定格	単位
電源電圧	V _{DD}	V _{DD} = EV _{DD}	- 0.5 ~ + 6.5	V
	EV _{DD}	V _{DD} = EV _{DD}	- 0.5 ~ + 6.5	V
	EV _{SS}		- 0.5 ~ + 0.3	V
REGC端子入力電圧	V _I REGC	REGC	- 0.3 ~ + 2.8 かつ - 0.3 ~ V _{DD} + 0.3 ^注	V
入力電圧	V _{I1}	P10-P17, P30-P32, P40-P43, P50-P54, P70-P74, P120, P125-P127, P140-P147	- 0.3 ~ EV _{DD} + 0.3 かつ - 0.3 ~ V _{DD} + 0.3 ^{注2}	V
	V _{I2}	P60, P61 (N-chオープン・ドレイン)	- 0.3 ~ EV _{DD} + 0.3 かつ - 0.3 ~ V _{DD} + 0.3 ^{注2}	V
	V _{I3}	P20, P21, P121-P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$	- 0.3 ~ V _{DD} + 0.3 ^{注2}	V
出力電圧	V _{O1}	P10-P17, P30-P32, P40-P43, P50-P54, P60, P61, P70-P74, P120, P125-P127, P130, P140-P147	- 0.3 ~ EV _{DD} + 0.3 かつ - 0.3 ~ V _{DD} + 0.3 ^{注2}	V
	V _{O2}	P20, P21	- 0.3 ~ V _{DD} + 0.3 ^{注2}	V
アナログ入力電圧	V _{A11}	ANI16-ANI23	- 0.3 ~ EV _{DD} + 0.3 かつ - 0.3 ~ AV _{REF(+)} + 0.3 ^{注2, 3}	V
	V _{A12}	ANIO, ANI1	- 0.3 ~ V _{DD} + 0.3 かつ - 0.3 ~ AV _{REF(+)} + 0.3 ^{注2, 3}	V

注1. REGC端子にはコンデンサ (0.47 ~ 1 μF) を介してV_{SS}に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

2. 6.5 V以下であること。
3. A/D変換対象の端子は、AV_{REF(+)} + 0.3を越えないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 1. 特に指定がないがぎり、兼用端子の特性はポート端子の特性と同じです。

2. AV_{REF(+)} : A/Dコンバータの+側基準電圧
3. V_{SS}を基準電圧とする。

絶対最大定格 (TA = 25 °C) (2/3)

項目	略号	条件		定格	単位
LCD電圧	VL1	VL1電圧 ^{注1}		- 0.3 ~ + 2.8且つ -0.3 ~ VL4+0.3	V
	VL2	VL2電圧 ^{注1}		-0.3 ~ VL4+0.3 ^{注2}	V
	VL3	VL3電圧 ^{注1}		-0.3 ~ VL4+0.3 ^{注2}	V
	VL4	VL4電圧 ^{注1}		- 0.3 ~ + 6.5	V
	VL _{CAP}	CAPL, CAPH電圧 ^{注1}		-0.3 ~ VL4+0.3 ^{注2}	V
	VL _{OUT}	COM0-COM7, SEG0-SEG38, COMEXP 出 力電圧	外部抵抗分割方式	メモリ性液晶モード以外	- 0.3 ~ V _{DD} + 0.3 ^{注2}
			メモリ性液晶モード	-0.3 ~ VL4+0.3 ^{注2}	
	容量分割方式		- 0.3 ~ V _{DD} + 0.3 ^{注2}		
	内部昇圧方式		-0.3 ~ VL4+0.3 ^{注2}		

注 1. この値は、VL1, VL2, VL3, VL4端子への電圧印加する場合の絶対最大定格を規定するものであり、電圧印加して使用することを推奨しているわけではありません。内部昇圧方式、容量分割方式の場合、VL1, VL2, VL3, VL4端子にはコンデンサ (0.47±30 %) を介してV_{SS}に接続し、CAPL端子、CAPH端子間にもコンデンサ (0.47±30 %) を接続してください。

2. 6.5 V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 V_{SS}を基準電圧とする。

絶対最大定格 ($T_A = 25\text{ }^\circ\text{C}$) (3/3)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	I _{OH1}	1端子	P10-P17, P30-P32, P40-P43, P50-P54, P70-P74, P120, P125-P127, P130, P140-P147	- 40	mA
		端子合計 - 170 mA	P10-P14, P40-P43, P120, P130, P140-P147	- 70	mA
			P15-P17, P30-P32, P50-P54, P70-P74, P125-P127	- 100	mA
	I _{OH2}	1端子	P20, P21	- 0.5	mA
		端子合計		- 1	mA
ロウ・レベル出力電流	I _{OL1}	1端子	P10-P17, P30-P32, P40-P43, P50-P54, P60, P61, P70-P74, P120, P125-P127, P130, P140-P147	40	mA
		端子合計 170 mA	P10-P14, P40-P43, P120, P130, P140-P147	70	mA
			P15-P17, P30-P32, P50-P54, P60, P61, P70-P74, P125-P127	100	mA
	I _{OL2}	1端子	P20, P21	1	mA
		端子合計		2	mA
	動作周囲温度	T _A	通常動作時		- 40 ~ + 85
フラッシュ・メモリ・プログラミング時					
保存温度	T _{stg}			- 65 ~ + 150	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

30.2 発振回路特性

30.2.1 X1, XT1発振回路特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.6 \text{ V} \leq V_{DD} = V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1クロック発振 周波数 (f_x) 注	セラミック発振子 / 水晶振動子	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1.0		20.0	MHz
		$2.4 \text{ V} \leq V_{DD} \leq 2.7 \text{ V}$	1.0		16.0	
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	1.0		8.0	
		$1.6 \text{ V} \leq V_{DD} < 1.8 \text{ V}$	1.0		4.0	
XT1クロック発振周波数 (f_{XT}) 注	水晶振動子		32	32.768	35	kHz

注 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、AC特性を参照してください。

また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 X1, XT1発振回路を使用する場合は、5.4 システム・クロック発振回路を参照してください。

30. 2. 2 オンチップ・オシレータ特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.6 \text{ V} \leq \text{EV}_{\text{DD}} = \text{V}_{\text{DD}} \leq 5.5 \text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}} = 0 \text{ V}$)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
高速オンチップ・オシレータ・ クロック周波数 ^{注1,2}	f _{ih}			1		24	MHz
高速オンチップ・オシレータ ・クロック周波数精度		- 20 ~ + 85 °C	1.8 V ≤ V _{DD} ≤ 5.5 V	- 1		+ 1	%
			1.6 V ≤ V _{DD} < 1.8 V	- 5		+ 5	%
		- 40 ~ - 20 °C	1.8 V ≤ V _{DD} ≤ 5.5 V	- 1.5		+ 1.5	%
			1.6 V ≤ V _{DD} < 1.8 V	- 5.5		+ 5.5	%
低速オンチップ・オシレータ ・クロック周波数	f _{il}				15		kHz
低速オンチップ・オシレータ ・クロック周波数精度				- 15		+ 15	%

注 1. 高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H) のビット0-3およびHOCODIVレジスタのビット0-2によって選択します。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

30.3 DC特性

30.3.1 端子特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.6 \text{ V} \leq \text{EV}_{DD} = \text{V}_{DD} \leq 5.5 \text{ V}$, $\text{V}_{SS} = \text{EV}_{SS} = 0 \text{ V}$)

(1/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	IOH1	P10-P17, P30-P32, P40-P43, P50-P54, P70-P74, P120, P125-P127, P130, P140-P147 1端子			-10.0 ^{注2}	mA	
		P10-P14, P40-P43, P120, P130, P140-P147 合計 (デューティ = 70%時 ^{注3})	4.0 V \leq EV _{DD} \leq 5.5 V			-40.0	mA
			2.7 V \leq EV _{DD} < 4.0 V			-8.0	mA
			1.8 V \leq EV _{DD} < 2.7 V			-4.0	mA
			1.6 V \leq EV _{DD} < 1.8 V			-2.0	mA
		P15-P17, P30-P32, P50-P54, P70-P74, P125-P127 合計 (デューティ = 70%時 ^{注3})	4.0 V \leq EV _{DD} \leq 5.5 V			-60.0	mA
			2.7 V \leq EV _{DD} < 4.0 V			-15.0	mA
	1.8 V \leq EV _{DD} < 2.7 V				-8.0	mA	
	全端子合計 (デューティ = 70%時 ^{注3})					-100.0	mA
	IOH2	P20, P21 1端子				-0.1	mA
全端子合計			1.6 V \leq V _{DD} \leq 5.5 V			-0.2	mA

注1. V_{DD}, EV_{DD}端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

- 合計の電流値を越えないでください。
- デューティ \leq 70%の条件での出力電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます (デューティ比をn%に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (\text{I}_{OH} \times 0.7) / (n \times 0.01)$$

$$< \text{計算例} > \text{I}_{OH} = -10.0 \text{ mAの場合, } n = 80\%$$

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) = -8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 P10, P12, P15, P17は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.6 \text{ V} \leq \text{EV}_{\text{DD}} = \text{V}_{\text{DD}} \leq 5.5 \text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}} = 0 \text{ V}$)

(2/5)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 ^{注1}	IOL1	P10-P17, P30-P32, P40-P43, P50-P54, P70-P74, P120, P125-P127, P130, P140-P147 1端子				20.0 ^{注2}	mA	
		P60, P61 1端子				15.0 ^{注2}	mA	
		P10-P14, P40-P43, P120, P130, P140-P147 合計 (デューティ = 70%時 ^{注3})	4.0 V \leq EV _{DD} \leq 5.5 V				70.0	mA
			2.7 V \leq EV _{DD} < 4.0 V				15.0	mA
			1.8 V \leq EV _{DD} < 2.7 V				9.0	mA
			1.6 V \leq EV _{DD} < 1.8 V				4.5	mA
		P15-P17, P30-P32, P50-P54, P60, P61, P70-P74, P125-P127 合計 (デューティ = 70%時 ^{注3})	4.0 V \leq EV _{DD} \leq 5.5 V				80.0	mA
			2.7 V \leq EV _{DD} < 4.0 V				35.0	mA
			1.8 V \leq EV _{DD} < 2.7 V				20.0	mA
			1.6 V \leq EV _{DD} < 1.8 V				10.0	mA
	全端子合計 (デューティ = 70%時 ^{注3})						150.0	mA
IOL2	P20, P21	1端子				0.4	mA	
		全端子合計	1.6 V \leq V _{DD} \leq 5.5 V			0.8	mA	

注1 V_{DD}, EV_{DD}端子から出力端子に流れ出しても、デバイスの動作を保证する電流値です。

- 合計の電流値を越えないでください。
- デューティ \leq 70%の条件での出力電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます (デューティ比をn%に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (\text{I}_{\text{OH}} \times 0.7) / (n \times 0.01)$$

<計算例> I_{OH} = -10.0 mAの場合, n = 80%

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) = -8.7 \text{ mA}$$

ただし、1端子当りに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.6 \text{ V} \leq \text{EV}_{\text{DD}} = \text{V}_{\text{DD}} \leq 5.5 \text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}} = 0 \text{ V}$)

(3/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	V _{IH1}	P10-P17, P30-P32, P40-P43, P50-P54, P70-P74, P120, P125-P127, P140-P147	通常入力バッファ	0.8EV _{DD}		EV _{DD}	V
	V _{IH2}	P10, P11, P15, P16	TTL入力バッファ 4.0 V ≤ EV _{DD} ≤ 5.5 V	2.2		EV _{DD}	V
			TTL入力バッファ 3.3 V ≤ EV _{DD} < 4.0 V	2.0		EV _{DD}	V
			TTL入力バッファ 1.6 V ≤ EV _{DD} < 3.3 V	1.50		EV _{DD}	V
	V _{IH3}	P20, P21		0.7V _{DD}		V _{DD}	V
	V _{IH4}	P60, P61		0.7EV _{DD}		EV _{DD}	V
	V _{IH5}	P121-P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$		0.8V _{DD}		V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	P10-P17, P30-P32, P40-P43, P50-P54, P70-P74, P120, P125-P127, P140-P147	通常入力バッファ	0		0.2EV _{DD}	V
	V _{IL2}	P10, P11, P15, P16	TTL入力バッファ 4.0 V ≤ EV _{DD} ≤ 5.5 V	0		0.8	V
			TTL入力バッファ 3.3 V ≤ EV _{DD} < 4.0 V	0		0.5	V
			TTL入力バッファ 1.6 V ≤ EV _{DD} < 3.3 V	0		0.32	V
	V _{IL3}	P20, P21		0		0.3V _{DD}	V
	V _{IL4}	P60, P61		0		0.3EV _{DD}	V
	V _{IL5}	P121-P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$		0		0.2V _{DD}	V

注意 P10, P12, P15, P17は , N-chオープン・ドレイン・モード時でもV_{IH}の最大値 (MAX.) はEV_{DD}です。

備考 特に指定のないかぎり , 兼用端子の特性はポート端子の特性と同じです。

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.6 \text{ V} \leq \text{EV}_{\text{DD}} = \text{V}_{\text{DD}} \leq 5.5 \text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}} = 0 \text{ V}$)

(4/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧	V _{OH1}	P10-P17, P30-P32, P40-P43, P50-P54, P70-P74, P120, P125-P127, P130, P140-P147	$4.0 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OH1}} = -10 \text{ mA}$	EV _{DD} - 1.5			V
			$4.0 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OH1}} = -3.0 \text{ mA}$	EV _{DD} - 0.7			V
			$2.7 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OH1}} = -2.0 \text{ mA}$	EV _{DD} - 0.6			V
			$1.8 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OH1}} = -1.5 \text{ mA}$	EV _{DD} - 0.5			V
			$1.6 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OH1}} = -1.0 \text{ mA}$	EV _{DD} - 0.5			V
	V _{OH2}	P20, P21	$1.6 \text{ V} \leq \text{V}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OH2}} = -100 \mu\text{A}$	V _{DD} - 0.5			V
ロウ・レベル出力電圧	V _{OL1}	P10-P17, P30-P32, P40-P43, P50-P54, P70-P74, P120, P125-P127, P130, P140-P147	$4.0 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OL1}} = 20 \text{ mA}$			1.3	V
			$4.0 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OL1}} = 8.5 \text{ mA}$			0.7	V
			$2.7 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OL1}} = 3.0 \text{ mA}$			0.6	V
			$2.7 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OL1}} = 1.5 \text{ mA}$			0.4	V
			$1.8 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OL1}} = 0.6 \text{ mA}$			0.4	V
			$1.6 \text{ V} \leq \text{EV}_{\text{DD}} < 5.5 \text{ V}$, $I_{\text{OL1}} = 0.3 \text{ mA}$			0.4	V
	V _{OL2}	P20, P21	$1.6 \text{ V} \leq \text{V}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OL2}} = 400 \mu\text{A}$			0.4	V
	V _{OL3}	P60, P61	$4.0 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OL3}} = 15.0 \text{ mA}$			2.0	V
			$4.0 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OL3}} = 5.0 \text{ mA}$			0.4	V
			$2.7 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OL3}} = 3.0 \text{ mA}$			0.4	V
			$1.8 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OL3}} = 2.0 \text{ mA}$			0.4	V
			$1.6 \text{ V} \leq \text{EV}_{\text{DD}} < 5.5 \text{ V}$, $I_{\text{OL3}} = 1.0 \text{ mA}$			0.4	V

注意 P10, P12, P15, P17は , N-chオープン・ドレイン・モード時には , ハイ・レベル出力しません。

備考 特に指定のないかぎり , 兼用端子の特性はポート端子の特性と同じです。

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.6 \text{ V} \leq \text{EV}_{DD} = \text{V}_{DD} \leq 5.5 \text{ V}$, $\text{V}_{SS} = \text{EV}_{SS} = 0 \text{ V}$)

(5/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力リーク電流	I _{LIH1}	P10-P17, P30-P32, P40-P43, P50-P54, P60, P61, P70-P74, P120, P125-P127, P140-P147	V _I = EV _{DD}		1	μA	
	I _{LIH2}	P20, P21, P137, $\overline{\text{RESET}}$	V _I = V _{DD}		1	μA	
	I _{LIH3}	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)	V _I = V _{DD}	入力ポート時, 外部クロック入力時	1	μA	
			発振子接続時		10	μA	
ロウ・レベル入力リーク電流	I _{LIL1}	P10-P17, P30-P32, P40-P43, P50-P54, P60, P61, P70-P74, P120, P125-P127, P140-P147	V _I = EV _{SS}		- 1	μA	
	I _{LIL2}	P20, P21, P137, $\overline{\text{RESET}}$	V _I = V _{SS}		- 1	μA	
	I _{LIL3}	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)	V _I = V _{SS}	入力ポート時, 外部クロック入力時	- 1	μA	
			発振子接続時		- 10	μA	
内蔵プルアップ抵抗	R _{U1}	V _I = EV _{SS}	SEGxx兼用ポート				
			2.4 V ≤ EV _{DD} = V _{DD} ≤ 5.5 V	10	20	100	kΩ
			1.6 V ≤ EV _{DD} = V _{DD} < 2.4 V	10	30	100	kΩ
	R _{U2}		上記以外のポート (P60, P61, P130は除く)	10	20	100	kΩ

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

30. 3. 2 電源電流特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.6 \text{ V} \leq \text{EV}_{\text{DD}} = \text{V}_{\text{DD}} \leq 5.5 \text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}} = 0 \text{ V}$)

(1 / 3)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
電源電流 ¹	IDD1	動作モード	HS(高速メイン)モード ⁵	$f_{\text{IH}} = 24 \text{ MHz}$ ³	基本動作	$\text{V}_{\text{DD}} = 5.0 \text{ V}$	1.5		mA
						$\text{V}_{\text{DD}} = 3.0 \text{ V}$	1.5		
				通常動作	$\text{V}_{\text{DD}} = 5.0 \text{ V}$	3.3	5.0	mA	
					$\text{V}_{\text{DD}} = 3.0 \text{ V}$	3.3	5.0		
			$f_{\text{IH}} = 16 \text{ MHz}$ ³	通常動作	$\text{V}_{\text{DD}} = 5.0 \text{ V}$	2.5	3.7	mA	
					$\text{V}_{\text{DD}} = 3.0 \text{ V}$	2.5	3.7		
			LS(低速メイン)モード ⁵	$f_{\text{IH}} = 8 \text{ MHz}$ ³	通常動作	$\text{V}_{\text{DD}} = 3.0 \text{ V}$	1.2	1.8	mA
						$\text{V}_{\text{DD}} = 2.0 \text{ V}$	1.2	1.8	
			LV(低電圧メイン)モード ⁵	$f_{\text{IH}} = 4 \text{ MHz}$ ³	通常動作	$\text{V}_{\text{DD}} = 3.0 \text{ V}$	1.2	1.7	mA
						$\text{V}_{\text{DD}} = 2.0 \text{ V}$	1.2	1.7	
		HS(高速メイン)モード ⁵	$f_{\text{MX}} = 20 \text{ MHz}$ ² , $\text{V}_{\text{DD}} = 5.0 \text{ V}$	通常動作	方形波入力		2.8	4.4	mA
					発振子接続		3.0	4.6	
			$f_{\text{MX}} = 20 \text{ MHz}$ ² , $\text{V}_{\text{DD}} = 3.0 \text{ V}$	通常動作	方形波入力		2.8	4.4	mA
					発振子接続		3.0	4.6	
			$f_{\text{MX}} = 10 \text{ MHz}$ ² , $\text{V}_{\text{DD}} = 5.0 \text{ V}$	通常動作	方形波入力		1.8	2.6	mA
					発振子接続		1.8	2.6	
			$f_{\text{MX}} = 10 \text{ MHz}$ ² , $\text{V}_{\text{DD}} = 3.0 \text{ V}$	通常動作	方形波入力		1.8	2.6	mA
					発振子接続		1.8	2.6	
		LS(低速メイン)モード ⁵	$f_{\text{MX}} = 8 \text{ MHz}$ ² , $\text{V}_{\text{DD}} = 3.0 \text{ V}$	通常動作	方形波入力		1.1	1.7	mA
					発振子接続		1.1	1.7	
$f_{\text{MX}} = 8 \text{ MHz}$ ² , $\text{V}_{\text{DD}} = 2.0 \text{ V}$	通常動作		方形波入力		1.1	1.7	mA		
			発振子接続		1.1	1.7			
サブシステム・クロック動作	$f_{\text{SUB}} = 32.768 \text{ kHz}$ ⁴ $T_A = -40^\circ\text{C}$	通常動作	方形波入力		3.5	4.9	μA		
			発振子接続		3.6	5.0			
	$f_{\text{SUB}} = 32.768 \text{ kHz}$ ⁴ $T_A = +25^\circ\text{C}$	通常動作	方形波入力		3.6	4.9	μA		
			発振子接続		3.7	5.0			
	$f_{\text{SUB}} = 32.768 \text{ kHz}$ ⁴ $T_A = +50^\circ\text{C}$	通常動作	方形波入力		3.7	5.5	μA		
			発振子接続		3.8	5.6			
$f_{\text{SUB}} = 32.768 \text{ kHz}$ ⁴ $T_A = +70^\circ\text{C}$	通常動作	方形波入力		3.8	6.3	μA			
$f_{\text{SUB}} = 32.768 \text{ kHz}$ ⁴ $T_A = +85^\circ\text{C}$	通常動作	方形波入力		4.1	7.7	μA			
			発振子接続		4.2	7.8			

(注, 備考は次ページにあります。)

- 注1. VDD, EVDDに流れるトータル電流です。入力端子をVDD, EVDDまたはVSS, EVSSに固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし, A/Dコンバータ, LVD回路, I/Oポート, 内蔵プルアップ/プルダウン抵抗, データ・フラッシュ書き換え時に流れる電流は含みません。
2. 高速オンチップ・オシレータ, サブシステム・クロックは停止時。
 3. 高速システム・クロック, サブシステム・クロックは停止時。
 4. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。超低消費発振 (AMPHS1 = 1) 設定時。RTC, 12ビット・インターバル・タイマ, ウォッチドッグ・タイマ, LCDコントローラ / ドライバに流れる電流は含みません。
 5. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。
 - HS (高速メイン) モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @ 1 MHz ~ 24 MHz
 $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @ 1 MHz ~ 16 MHz
 - LS (低速メイン) モード : $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @ 1 MHz ~ 8 MHz
 - LV (低電圧メイン) モード : $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @ 1 MHz ~ 4 MHz

- 備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数
 3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
 4. 「サブシステム・クロック動作」以外のTYP.値の温度条件は, $T_A = 25\text{ }^\circ\text{C}$ です。

(TA = - 40 ~ + 85 °C , 1.6 V ≤ EVDD = VDD ≤ 5.5 V , VSS = EVSS = 0 V)

(2/3)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
電源電流 ¹	IDD2 ²	HALT モード	HS(高速メイン)モード ⁷	f _{IH} = 24 MHz ⁴	V _{DD} = 5.0 V	0.44	1.28	mA	
					V _{DD} = 3.0 V	0.44	1.28		
				f _{IH} = 16 MHz ⁴	V _{DD} = 5.0 V	0.40	1.00	mA	
					V _{DD} = 3.0 V	0.40	1.00		
				LS(低速メイン)モード ⁷	f _{IH} = 8 MHz ⁴	V _{DD} = 3.0 V	260	530	μA
					V _{DD} = 2.0 V	260	530		
			LV(低電圧メイン)モード ⁷	f _{IH} = 4 MHz ⁴	V _{DD} = 3.0 V	420	640	μA	
					V _{DD} = 2.0 V	420	640		
			HS(高速メイン)モード ⁷	f _{MX} = 20 MHz ³ , V _{DD} = 5.0 V	方形波入力	0.28	1.00	mA	
					発振子接続	0.45	1.17		
				f _{MX} = 20 MHz ³ , V _{DD} = 3.0 V	方形波入力	0.28	1.00	mA	
					発振子接続	0.45	1.17		
				f _{MX} = 10 MHz ³ , V _{DD} = 5.0 V	方形波入力	0.19	0.60	mA	
					発振子接続	0.26	0.67		
				f _{MX} = 10 MHz ³ , V _{DD} = 3.0 V	方形波入力	0.19	0.60	mA	
					発振子接続	0.26	0.67		
			LS(低速メイン)モード ⁷	f _{MX} = 8 MHz ³ , V _{DD} = 3.0 V	方形波入力	95	330	μA	
					発振子接続	145	380		
		サブシステム・クロック動作	f _{SUB} = 32.768 kHz ⁵ T _A = - 40°C	方形波入力	0.31	0.57	μA		
				発振子接続	0.50	0.76			
			f _{SUB} = 32.768 kHz ⁵ T _A = + 25°C	方形波入力	0.37	0.57	μA		
				発振子接続	0.56	0.76			
			f _{SUB} = 32.768 kHz ⁵ T _A = + 50°C	方形波入力	0.46	1.17	μA		
				発振子接続	0.65	1.36			
	f _{SUB} = 32.768 kHz ⁵ T _A = + 70°C	方形波入力	0.57	1.97	μA				
	f _{SUB} = 32.768 kHz ⁵ T _A = + 85°C	方形波入力	0.76	2.16	μA				
		発振子接続	1.04	3.56					
	IDD3 ⁶	STOP モード ⁸	T _A = - 40°C		0.17	0.50	μA		
			T _A = + 25°C		0.23	0.50			
			T _A = + 50°C		0.32	1.10			
			T _A = + 70°C		0.43	1.90			
			T _A = + 85°C		0.71	3.30			

(注 , 備考は次ページにあります。)

- 注1. VDD, EVDDに流れるトータル電流です。入力端子をVDD, EVDDまたはVSS, EVSSに固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし, A/Dコンバータ, LVD回路, I/Oポート, 内蔵プルアップ/プルダウン抵抗, データ・フラッシュ書き換え時に流れる電流は含みません。
2. フラッシュ・メモリでのHALT命令実行時。
 3. 高速オンチップ・オシレータ, サブシステム・クロックは停止時。
 4. 高速システム・クロック, サブシステム・クロックは停止時。
 5. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。
RTCLPC = 1, かつ超低消費発振 (AMPHS1 = 1) 設定時。RTCに流れる電流は含みます。ただし, 12ビット・インターバル・タイマ, ウォッチドッグ・タイマ, LCDコントローラ / ドライバに流れる電流は含みません。
 6. RTC, 12ビット・インターバル・タイマ, ウォッチドッグ・タイマに流れる電流は含みません。
 7. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。
HS (高速メイン) モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @ 1 MHz ~ 24 MHz
 $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @ 1 MHz ~ 16 MHz
LS (低速メイン) モード : $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @ 1 MHz ~ 8 MHz
LV (低電圧メイン) モード : $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @ 1 MHz ~ 4 MHz
 8. STOPモード時にサブシステム・クロックを動作させる場合の電流値は, HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

- 備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数
 3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
 4. 「サブシステム・クロック動作」, 「STOPモード」以外のTYP.値の温度条件は, $T_A = 25\text{ }^\circ\text{C}$ です。

(TA = - 40 ~ + 85 °C , 1.6 V ≤ EVDD = VDD ≤ 5.5 V , VSS = EVSS = 0 V)

(3/3)

項 目	略号	条 件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	I _{FIL} 注1				0.20		μA
RTC動作電流	I _{RTC} 注1, 2, 3	f _{MAIN} は停止			0.08注12		μA
12ビット・インターバル・タイマ動作電流	I _{IT} 注1, 2, 4				0.08注12		μA
ウォッチドッグ・タイマ動作電流	I _{WDT} 注1, 2, 5	f _{IL} = 15 kHz			0.24		μA
A/Dコンバータ動作電流	I _{ADC} 注1, 6	最高速変換時	標準モード , AV _{REFP} = V _{DD} = 5.0 V		1.3	1.7	mA
			低電圧モード , AV _{REFP} = V _{DD} = 3.0 V		0.5	0.7	mA
A/Dコンバータ基準電圧電流	I _{ADREF} 注1				75.0		μA
温度センサ動作電流	I _{TMPS} 注1				75.0		μA
LVD動作電流	I _{LVD} 注1, 7				0.08		μA
セルフ・プログラミング動作電流	I _{FSP} 注1, 9				2.50	12.20	mA
BGO動作電流	I _{BGO} 注1, 8				2.00	12.20	mA
LCD動作電流	I _{LCD1} 注11, 12	外部抵抗分割方式	V _{DD} = EV _{DD} = 5.0 V V _{L4} = 5.0 V		0.04	0.20	μA
			V _{DD} = EV _{DD} = 5.0 V V _{L4} = 5.1 V (VLCD = 12H)		1.12	3.70	μA
	I _{LCD2} 注11	内部昇圧方式	V _{DD} = EV _{DD} = 5.0 V V _{L4} = 3.0 V (VLCD = 04H)		0.63	2.20	μA
			V _{DD} = EV _{DD} = 3.0 V V _{L4} = 3.0 V		0.12	0.50	μA
I _{LCD3} 注11	容量分割方式	V _{DD} = EV _{DD} = 3.0 V V _{L4} = 3.0 V		0.12	0.50	μA	
SNOOZE動作電流	I _{SNOZ} 注1	ADC動作	モード遷移中注10		0.50	0.60	mA
			変換動作中, 低電圧モード, AV _{REFP} = V _{DD} = 3.0 V		1.20	1.44	
		CSI/URT動作			0.70	0.84	

注1. VDDに流れる電流です。

- 高速オンチップ・オシレータ, 高速システム・クロックは停止時。
- リアルタイム・クロック (RTC) にのみ流れる電流です (低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでのリアルタイム・クロックの動作時は, IDD1またはIDD2にIRTCを加算した値が, RL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はIFILを加算してください。IDD2のサブシステム・クロック動作にはリアルタイム・クロックの動作電流が含まれています。
- 12ビット・インターバル・タイマにのみ流れる電流です (低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでの12ビット・インターバル・タイマの動作時は, IDD1またはIDD2にIITを加算した値が, RL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はIFILを加算してください。

5. ウォッチドッグ・タイマにのみ流れる電流です (低速オンチップ・オシレータの動作電流を含みます)。ウォッチドッグ・タイマの動作時は、IDD1、IDD2またはIDD3にIWDTを加算した値が、RL78マイクロコントローラの電流値となります。
6. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータの動作時はIDD1またはIDD2にIADCを加算した値が、RL78マイクロコントローラの電流値となります。
7. LVD回路にのみ流れる電流です。LVD回路の動作時は、IDD1、IDD2またはIDD3にILVDを加算した値がRL78マイクロコントローラの電流値となります。
8. データ・フラッシュ書き換え動作に流れる電流です。
9. セルフ・プログラミング動作に流れる電流です。
10. SNOOZEモードへの移行時間は、18.3.3 SNOOZEモードを参照してください。
11. LCDコントローラ / ドライバにのみ流れる電流です。動作モードまたはHALTモード時にLCDコントローラ / ドライバが動作中の場合、電源電流 (IDD1またはIDD2) にLCD動作電流 (ILCD1またはILCD2またはILCD3) を加算した値が、RL78/L12の電流値となります。LCDパネルに流れる電流は含みません。
TYP.値、MAX.値は以下の条件の値になります。
 - ・ システム・クロックにfSUB選択、LCDクロック = 128 Hz時 (LCDC0 = 07H)
 - ・ 4時分割、1/3バイアス設定
12. 外部抵抗分割方式使用時の外部分割抵抗に流れる電流は含みません。

備考1. fIL : 低速オンチップ・オシレータ・クロック周波数

2. fSUB : サブシステム・クロック周波数 (XT1クロック発振周波数)

3. fCLK : CPU / 周辺ハードウェア・クロック周波数

4. TYP.値の温度条件は、TA = 25 °Cです。

30.4 AC特性

30.4.1 基本動作

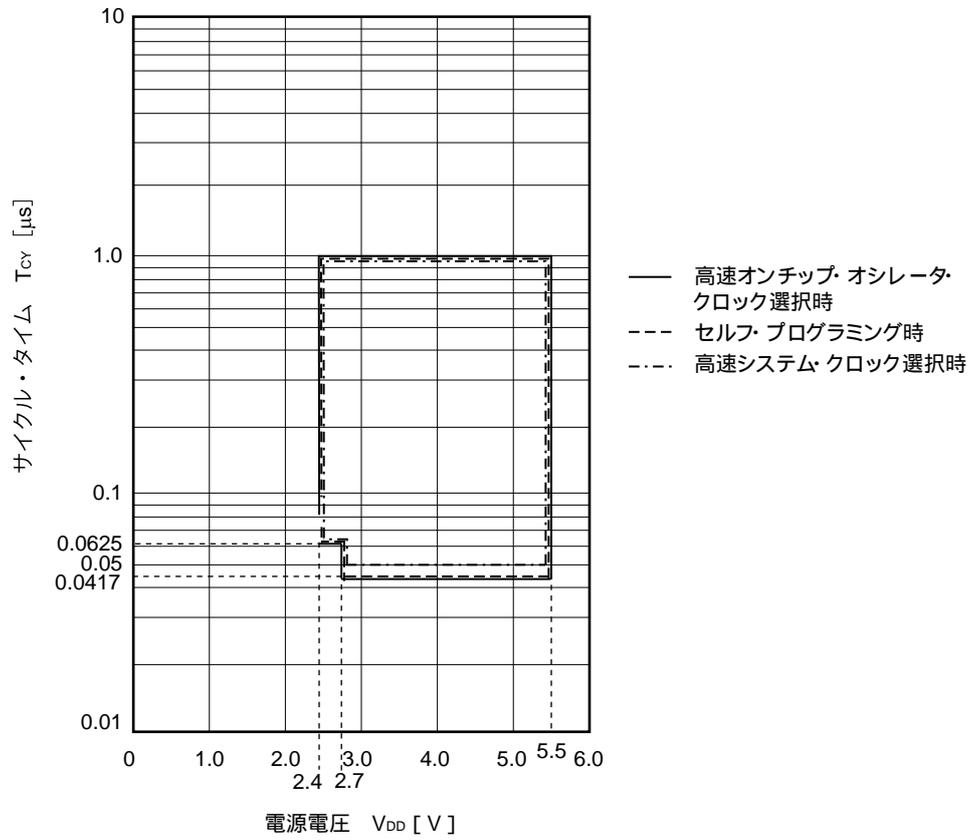
($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.6 \text{ V} \leq \text{EV}_{\text{DD}} = \text{V}_{\text{DD}} \leq 5.5 \text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}} = 0 \text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	T_{CY}	メインシステム・クロック (f_{MAIN})動作	HS(高速メイン)モード	$2.7 \text{ V} \leq \text{V}_{\text{DD}} \leq 5.5 \text{ V}$	0.04167		1	μs
				$2.4 \text{ V} \leq \text{V}_{\text{DD}} < 2.7 \text{ V}$	0.0625		1	μs
			LV(低電圧メイン)モード	$1.6 \text{ V} \leq \text{V}_{\text{DD}} \leq 5.5 \text{ V}$	0.25		1	μs
			LS(低速メイン)モード	$1.8 \text{ V} \leq \text{V}_{\text{DD}} \leq 5.5 \text{ V}$	0.125		1	μs
		サブシステム・クロック(f_{SUB})動作	$1.8 \text{ V} \leq \text{V}_{\text{DD}} \leq 5.5 \text{ V}$	28.5	30.5	31.3	μs	
		セルフ・プログラミング時	HS(高速メイン)モード	$2.7 \text{ V} \leq \text{V}_{\text{DD}} \leq 5.5 \text{ V}$	0.04167		1	μs
				$2.4 \text{ V} \leq \text{V}_{\text{DD}} < 2.7 \text{ V}$	0.0625		1	μs
				LV(低電圧メイン)モード	$1.8 \text{ V} \leq \text{V}_{\text{DD}} \leq 5.5 \text{ V}$	0.25		1
LS(低速メイン)モード	$1.8 \text{ V} \leq \text{V}_{\text{DD}} \leq 5.5 \text{ V}$			0.125		1	μs	
外部システム・クロック 周波数	f_{EX}	$2.7 \text{ V} \leq \text{V}_{\text{DD}} \leq 5.5 \text{ V}$		1.0		20.0	MHz	
		$2.4 \text{ V} \leq \text{V}_{\text{DD}} < 2.7 \text{ V}$		1.0		16.0	MHz	
		$1.8 \text{ V} \leq \text{V}_{\text{DD}} < 2.4 \text{ V}$		1.0		8.0	MHz	
		$1.6 \text{ V} \leq \text{V}_{\text{DD}} < 1.8 \text{ V}$		1.0		4.0	MHz	
	f_{EXS}			32		35	kHz	
外部システム・クロック入力 ハイ,ロウ・レベル幅	t_{EXH} , t_{EXL}	$2.7 \text{ V} \leq \text{V}_{\text{DD}} \leq 5.5 \text{ V}$		24			ns	
		$2.4 \text{ V} \leq \text{V}_{\text{DD}} < 2.7 \text{ V}$		30			ns	
		$1.8 \text{ V} \leq \text{V}_{\text{DD}} < 2.4 \text{ V}$		60			ns	
		$1.6 \text{ V} \leq \text{V}_{\text{DD}} < 1.8 \text{ V}$		120			ns	
	t_{EXHS} , t_{EXLS}			13.7			μs	
TI00-TI07入力ハイ・レベル幅, ロウ・レベル幅	t_{TIH} , t_{TIL}			$1/f_{\text{MCK}} + 10$			ns	
TO00 -TO07出力周波数	f_{RO}	HS(高速メイン)モード	$4.0 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$			16	MHz	
			$2.7 \text{ V} \leq \text{EV}_{\text{DD}} < 4.0 \text{ V}$			8	MHz	
			$2.4 \text{ V} \leq \text{EV}_{\text{DD}} < 2.7 \text{ V}$			4	MHz	
		LS(低速メイン)モード	$1.8 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$			4	MHz	
		LV(低電圧メイン)モード	$1.6 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$			2	MHz	
PCLBUZ0, PCLBUZ1出力周波 数	f_{PCL}	HS(高速メイン)モード	$4.0 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$			16	MHz	
			$2.7 \text{ V} \leq \text{EV}_{\text{DD}} < 4.0 \text{ V}$			8	MHz	
			$2.4 \text{ V} \leq \text{EV}_{\text{DD}} < 2.7 \text{ V}$			4	MHz	
		LS(低速メイン)モード	$1.8 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$			4	MHz	
		LV(低電圧メイン)モード	$1.8 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$			4	MHz	
		$1.6 \text{ V} \leq \text{EV}_{\text{DD}} < 1.8 \text{ V}$			2	MHz		
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t_{INTH} , t_{INTL}	INTP0	$1.6 \text{ V} \leq \text{V}_{\text{DD}} \leq 5.5 \text{ V}$	1			μs	
		INTP1-INTP7	$1.6 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$	1			μs	
キー割り込み入力 ロウ・レベル幅	t_{KR}	KR0-KR3	$1.8 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$	250			ns	
			$1.6 \text{ V} \leq \text{EV}_{\text{DD}} < 1.8 \text{ V}$	1			μs	
RESETロウ・レベル幅	t_{RSL}			10			μs	

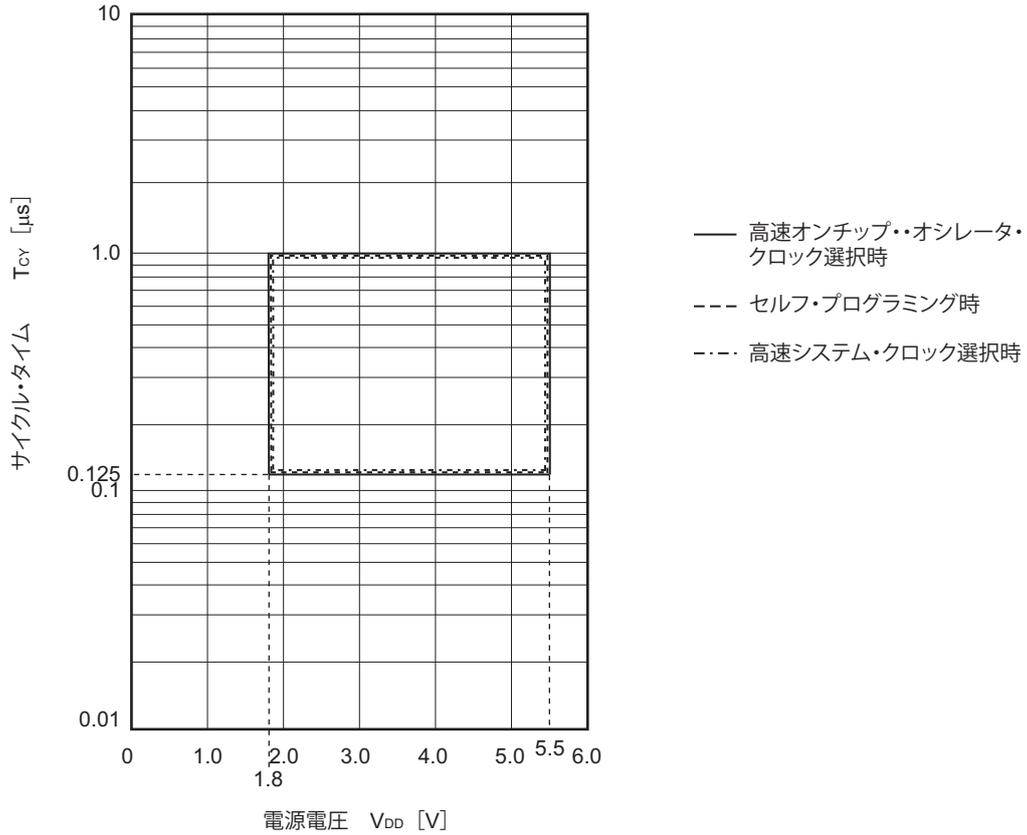
備考 f_{MCK} : タイマ・アレイ・ユニットの動作クロック周波数。

(タイマ・モードレジスタ0n(TMR0n)のCKS0nビットで設定する動作クロック。n:チャンネル番号(n=0-7))

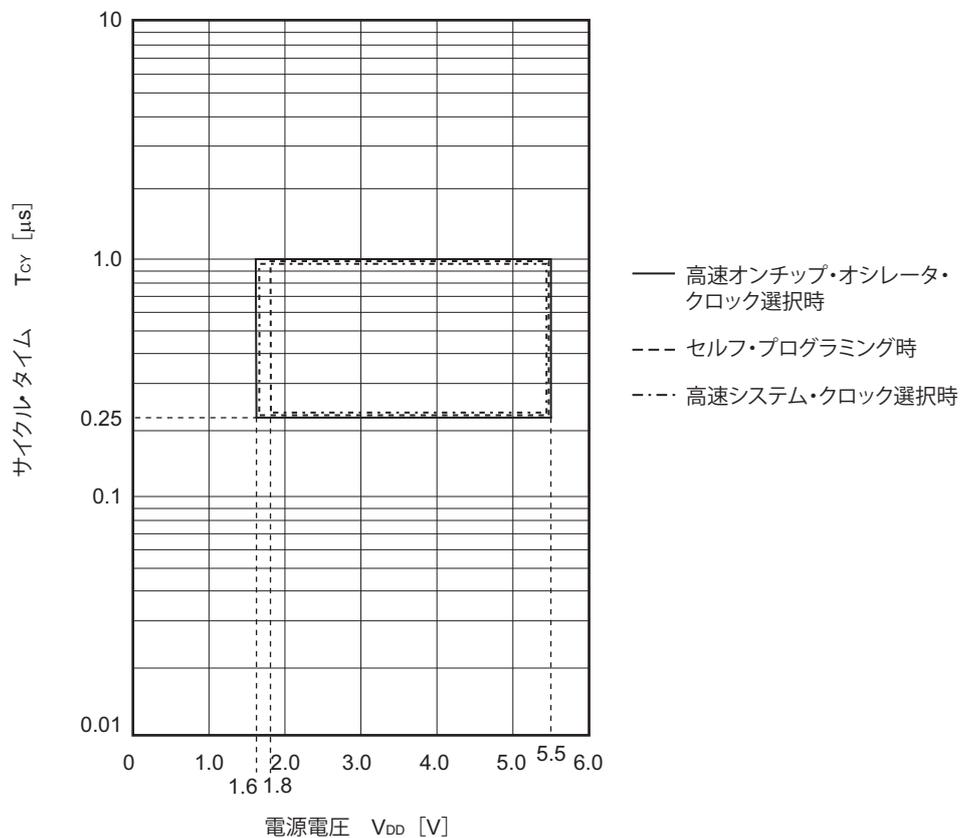
メイン・システム・クロック動作時の最小命令実行時間

T_{cy} vs V_{DD} (HS (高速メイン) モード)

T_{CY} vs V_{DD} (LS (低速メイン) モード)



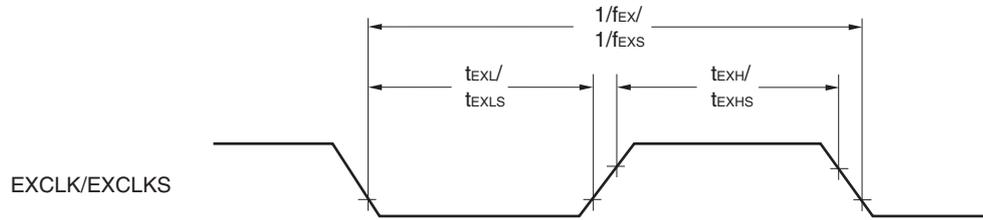
T_{CY} vs V_{DD} (LV (低電圧メイン) モード)



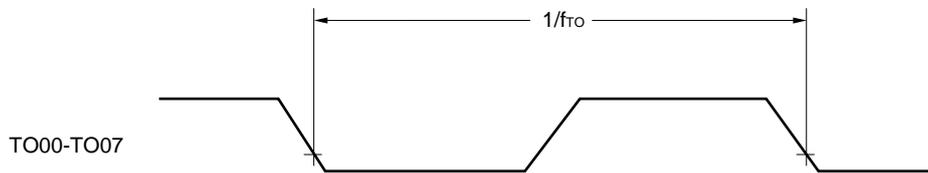
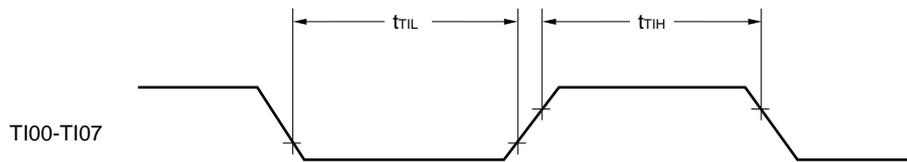
ACタイミング測定点



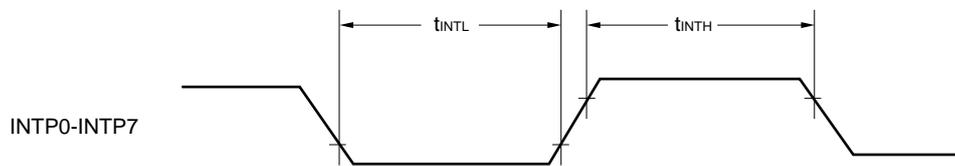
外部システム・クロック・タイミング



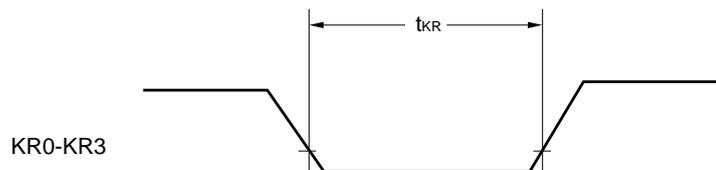
TI/TOタイミング



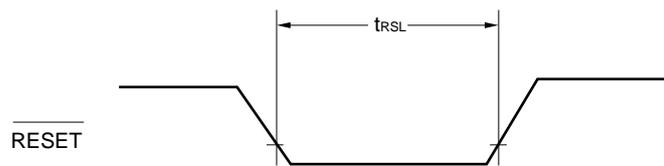
割り込み要求入カタイミング



キー割り込み入カタイミング



RESET入カタイミング



30.5 周辺機能特性

ACタイミング測定点



30.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時 (UARTモード)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.6 \text{ V} \leq \text{EVDD} = \text{VDD} \leq 5.5 \text{ V}$, $\text{VSS} = \text{EVSS} = 0 \text{ V}$)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		LV (低電圧メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート ^{注1}		2.4 V \leq EVDD = VDD \leq 5.5 V		$f_{\text{MCK}}/6$		$f_{\text{MCK}}/6$		$f_{\text{MCK}}/6$	bps
		最大転送レート理論値 $f_{\text{MCK}} = f_{\text{CLK}}$ ^{注2}		4.0		1.3		0.6	Mbps
		1.8 V \leq EVDD = VDD \leq 5.5 V				$f_{\text{MCK}}/6$		$f_{\text{MCK}}/6$	bps
		最大転送レート理論値 $f_{\text{MCK}} = f_{\text{CLK}}$ ^{注2}				1.3		0.6	Mbps
		1.6 V \leq EVDD = VDD \leq 5.5 V						$f_{\text{MCK}}/6$	bps
		最大転送レート理論値 $f_{\text{MCK}} = f_{\text{CLK}}$ ^{注2}						0.6	Mbps

注1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

2. CPU / 周辺ハードウェア・クロック (f_{CLK}) の最高動作周波数を次に示します。

HS (高速メイン)モード : 24 MHz (2.7 V \leq V_{DD} \leq 5.5 V)

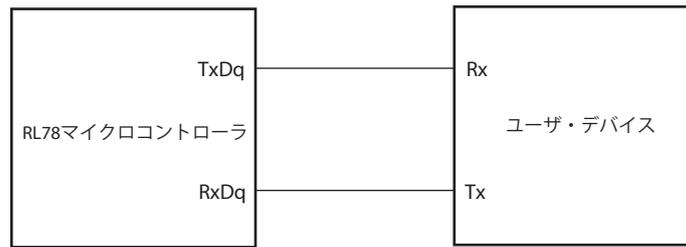
16 MHz (2.4 V \leq V_{DD} \leq 5.5 V)

LS (低速メイン)モード : 8 MHz (1.8 V \leq V_{DD} \leq 5.5 V)

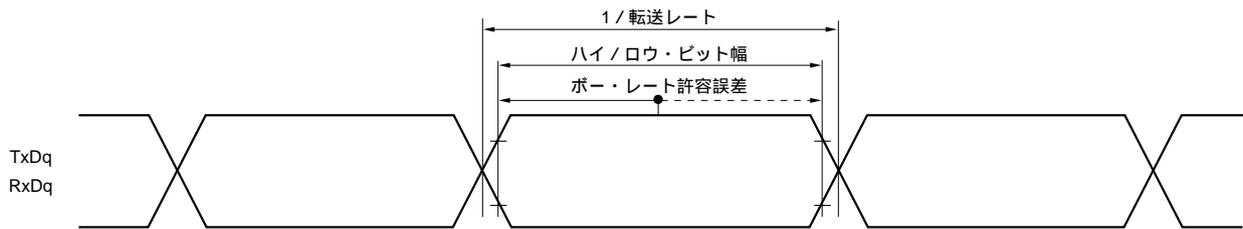
LV (低電圧メイン)モード : 4 MHz (1.6 V \leq V_{DD} \leq 5.5 V)

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Rx/Dq端子は通常入力バッファを選択し、Tx/Dq端子は通常出力モードを選択します。

UARTモード接続図 (同電位通信時)



UARTモードのビット幅 (同電位通信時) (参考)



備考1. q : UART番号 ($q = 0$) , g : PIM, POM番号 ($g = 1$)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・クロック選択レジスタ m ($SPSm$) とシリアル・モード・レジスタ mn ($SMRmn$) の $CKSmn$ ビットで設定する動作クロック。 m : ユニット番号 , n : チャンネル番号 ($mn = 00, 01$))

(2) 同電位通信時 (CSIモード) (マスタ・モード , SCKp...内部クロック出力)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.6 \text{ V} \leq \text{EV}_{\text{DD}} = \text{V}_{\text{DD}} \leq 5.5 \text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}} = 0 \text{ V}$)

項 目	略 号	条 件	HS (高速メイン) モード		LS (低速メイン) モード		LV (定電圧メイン) モード		単 位	
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.		
			SCKpサイクル・タイム	t _{KCY1}	2.7 V ≤ EV _{DD} ≤ 5.5 V	167 ^{注1}		500 ^{注1}		
	2.4 V ≤ EV _{DD} ≤ 5.5 V	250 ^{注1}			500 ^{注1}		1000 ^{注1}		ns	
	1.8 V ≤ EV _{DD} ≤ 5.5 V				500 ^{注1}		1000 ^{注1}		ns	
	1.6 V ≤ EV _{DD} ≤ 5.5 V						1000 ^{注1}		ns	
SCKpハイ , ロウ・レベル幅	t _{KH1} , t _{KL1}	4.0 V ≤ EV _{DD} ≤ 5.5 V	t _{KCY1} /2 - 12		t _{KCY1} /2 - 50		t _{KCY1} /2 - 50		ns	
		2.7 V ≤ EV _{DD} ≤ 5.5 V	t _{KCY1} /2 - 18		t _{KCY1} /2 - 50		t _{KCY1} /2 - 50		ns	
	2.4 V ≤ EV _{DD} ≤ 5.5 V	t _{KCY1} /2 - 38		t _{KCY1} /2 - 50		t _{KCY1} /2 - 50		ns		
	1.8 V ≤ EV _{DD} ≤ 5.5 V			t _{KCY1} /2 - 50		t _{KCY1} /2 - 50		ns		
	1.6 V ≤ EV _{DD} ≤ 5.5 V					t _{KCY1} /2 - 100		ns		
Slpセットアップ時間 (対SCKp↑) ^{注2}	t _{SIK1}	2.7 V ≤ EV _{DD} ≤ 5.5 V		44		110		110		ns
		2.4 V ≤ EV _{DD} ≤ 5.5 V		75		110		110		ns
		1.8 V ≤ EV _{DD} ≤ 5.5 V				110		110		ns
		1.6 V ≤ EV _{DD} ≤ 5.5 V						220		ns
Slpホールド時間 (対SCKp↑) ^{注2}	t _{KSI1}	2.4 V ≤ EV _{DD} ≤ 5.5 V		19		19		19		ns
		1.8 V ≤ EV _{DD} ≤ 5.5 V				19		19		
		1.6 V ≤ EV _{DD} ≤ 5.5 V						19		
SCKp↓ → SOP出力遅延時間 ^{注3}	t _{KSO1}	C = 30 pF ^{注4}	2.4 V ≤ EV _{DD} ≤ 5.5 V		25		25		25	ns
			1.8 V ≤ EV _{DD} ≤ 5.5 V				25		25	
			1.6 V ≤ EV _{DD} ≤ 5.5 V						25	

注1. かつCSI00は2/f_{MCK}以上 , CSI01は4/f_{MCK}以上に設定してください。

- DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“ 対SCKp↓ ” となります。
- DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“ 対SCKp↑ ” となります。
- Cは , SCKp, SOP出力ラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で , Slp端子は通常入力バッファ , SOP端子とSCKp端子は通常出力モードを選択。

備考1. p : CSI番号 (p = 00, 01) , m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0, 1) ,
g : PIM, POM番号 (g = 1)

- f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波 (シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。
m : ユニット番号 , n : チャネル番号 (mn = 00, 01))

(3) 同電位通信時 (CSIモード) (スレーブ・モード, SCKp...外部クロック入力)

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD = VDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件		HS (高速メイン)モード		LS (低速メイン)モード		LV (低電圧メイン)モード		単位	
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.		
SCKpサイクル・タイム ^{注4}	tkcy2	4.0 V ≤ EVDD ≤ 5.5 V	20 MHz < fMCK	8/fMCK						ns	
			fMCK ≤ 20 MHz	6/fMCK		6/fMCK		6/fMCK		ns	
		2.7 V ≤ EVDD < 4.0 V	16 MHz < fMCK	8/fMCK						ns	
			fMCK ≤ 16 MHz	6/fMCK		6/fMCK		6/fMCK		ns	
		2.4 V ≤ EVDD < 2.7 V		6/fMCKかつ 500			6/fMCK		6/fMCK		ns
		1.8 V ≤ EVDD < 2.4 V						6/fMCK		6/fMCK	ns
		1.6 V ≤ EVDD < 1.8 V							6/fMCK		ns
SCKpハイ, ロウ・レベル幅	tkH2, tkL2	4.0 V ≤ EVDD ≤ 5.5 V		tkcy2/2 - 7		tkcy2/2 - 7		tkcy2/2 - 7		ns	
		2.7 V ≤ EVDD < 4.0 V		tkcy2/2 - 8		tkcy2/2 - 8		tkcy2/2 - 8		ns	
		2.4 V ≤ EVDD < 2.7 V		tkcy2/2 - 18		tkcy2/2 - 18		tkcy2/2 - 18		ns	
		1.8 V ≤ EVDD < 2.4 V				tkcy2/2 - 18		tkcy2/2 - 18		ns	
		1.6 V ≤ EVDD < 1.8 V						tkcy2/2 - 66		ns	
Slpセットアップ時間 (対SCKp↑) ^{注1}	tsik2	2.7 V ≤ EVDD ≤ 5.5 V		1/fMCK + 20		1/fMCK + 30		1/fMCK + 30		ns	
		2.4 V ≤ EVDD < 2.7 V		1/fMCK + 30		1/fMCK + 30		1/fMCK + 30		ns	
		1.8 V ≤ EVDD < 2.4 V				1/fMCK + 30		1/fMCK + 30		ns	
		1.6 V ≤ EVDD < 1.8 V						1/fMCK + 40		ns	
Slpホールド時間 (対SCKp↑) ^{注1}	tkSI2	2.4 V ≤ EVDD ≤ 5.5 V		1/fMCK + 31		1/fMCK + 31		1/fMCK + 31		ns	
		1.8 V ≤ EVDD < 2.4 V				1/fMCK + 31		1/fMCK + 31		ns	
		1.6 V ≤ EVDD < 1.8 V						1/fMCK + 250		ns	
SCKp↓ → Sop出力遅延時間 ^{注2}	tkSO2	C = 30 pF ^{注3}	4.0 V ≤ EVDD ≤ 5.5 V		2/fMCK + 44		2/fMCK + 110		2/fMCK + 110	ns	
			2.7 V ≤ EVDD < 4.0 V		2/fMCK + 44		2/fMCK + 110		2/fMCK + 110	ns	
			2.4 V ≤ EVDD < 2.7 V		2/fMCK + 75		2/fMCK + 110		2/fMCK + 110	ns	
			1.8 V ≤ EVDD < 2.4 V				2/fMCK + 110		2/fMCK + 110	ns	
			1.6 V ≤ EVDD < 1.8 V						2/fMCK + 220	ns	

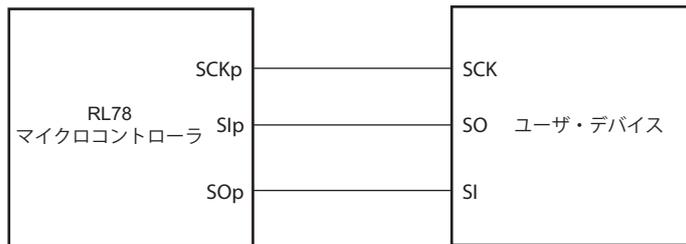
(注, 注意, 備考は次ページにあります。)

- 注1. $DAPmn = 0, CKPmn = 0$ または $DAPmn = 1, CKPmn = 1$ のとき。 $DAPmn = 0, CKPmn = 1$ または $DAPmn = 1, CKPmn = 0$ のときは“ 対SCKp↓ ”となります。
2. $DAPmn = 0, CKPmn = 0$ または $DAPmn = 1, CKPmn = 1$ のとき。 $DAPmn = 0, CKPmn = 1$ または $DAPmn = 1, CKPmn = 0$ のときは“ 対SCKp↑ ”となります。
3. Cは、SOp出カラインの負荷容量です。
4. SNOOZEモードでの転送レートは、MAX.1 Mbpsです。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子とSCKp端子は通常入力バッファを選択し、SOp端子は通常出力モードを選択します。

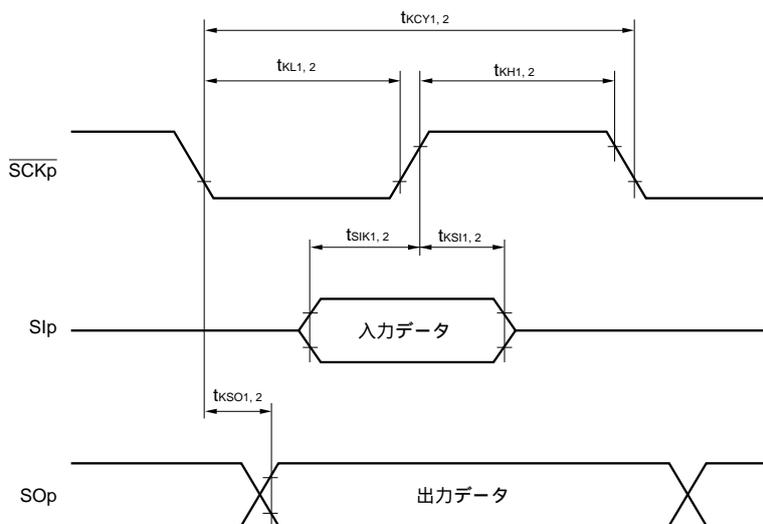
- 備考1. p : CSI番号 (p = 00, 01) , m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0, 1) ,
g : PIM, POM番号 (g = 1)
2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号 , n : チャネル番号 (mn = 00, 01))

CSIモード接続図 (同電位通信時)



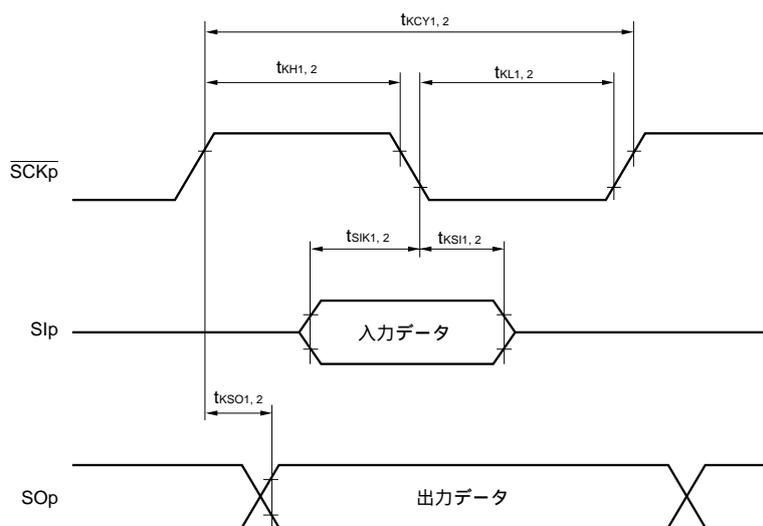
CSIモード・シリアル転送タイミング (同電位通信時)

(DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



CSIモード・シリアル転送タイミング (同電位通信時)

(DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考 1. p : CSI番号 (p = 00, 01)

2. m : ユニット番号 , n : チャネル番号 (mn = 00, 01)

(4) 異電位 (1.8 V系 , 2.5 V系 , 3 V系) 通信時 (UARTモード) (1/2)
 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.8 \text{ V} \leq \text{EV}_{\text{DD}} = \text{V}_{\text{DD}} \leq 5.5 \text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}} = 0 \text{ V}$)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV(低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート	受信	4.0 V \leq EV _{DD} \leq 5.5 V, 2.7 V \leq V _b \leq 4.0 V		f _{MCK} /6 ^{注1}		f _{MCK} /6 ^{注1}		f _{MCK} /6 ^{注1}	bps
		最大転送レート 理論値 f _{MCK} = f _{CLK} ^{注3}		4.0		1.3		0.6	Mbps
		2.7 V \leq EV _{DD} < 4.0 V, 2.3 V \leq V _b \leq 2.7 V		f _{MCK} /6 ^{注1}		f _{MCK} /6 ^{注1}		f _{MCK} /6 ^{注1}	bps
		最大転送レート 理論値 f _{MCK} = f _{CLK} ^{注3}		4.0		1.3		0.6	Mbps
		2.4 V \leq EV _{DD} < 3.3 V, 1.6 V \leq V _b \leq 2.0 V		f _{MCK} /6 ^{注1}		f _{MCK} /6 ^{注1}		f _{MCK} /6 ^{注1}	bps
		最大転送レート 理論値 f _{MCK} = f _{CLK} ^{注3}		4.0		1.3		0.6	Mbps
		1.8 V \leq EV _{DD} < 3.3 V, 1.6 V \leq V _b \leq 2.0 V				f _{MCK} /6 ^{注1,2}		f _{MCK} /6 ^{注1,2}	bps
		最大転送レート 理論値 f _{MCK} = f _{CLK} ^{注3}				1.3		0.6	Mbps

注1. SNOOZEモードでの転送レートは , 4800 bpsのみとなります。

2. EV_{DD} \geq V_bで使用してください。

3. CPU / 周辺ハードウェア・クロック (f_{CLK}) の最高動作周波数を次に示します。

HS (高速メイン) モード : 24 MHz (2.7 V \leq V_{DD} \leq 5.5 V)

16 MHz (2.4 V \leq V_{DD} \leq 5.5 V)

LS (低速メイン) モード : 8 MHz (1.8 V \leq V_{DD} \leq 5.5 V)

LV (低電圧メイン) モード : 4 MHz (1.6 V \leq V_{DD} \leq 5.5 V)

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で , Rx_{Dq}端子はTTL入力バッファを選択し , Tx_{Dq}端子はN-chオープン・ドレイン出力 (V_{DD}耐圧 (32ピン ~ 52ピン製品) / EV_{DD}耐圧 (64ピン製品)) モードを選択します。なおV_{IH} , V_{IL}は , TTL入力バッファ選択時のDC特性を参照してください。

備考1. V_b [V] : 通信ライン電圧

2. q : UART番号 (q = 0) , g : PIM, POM番号 (g = 1)

3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号 , n : チャンネル番号 (mn = 00, 01))

(4) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (UARTモード) (2/2)
 (TA = -40 ~ +85 °C, 1.8 V ≤ EVDD = VDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート	送信	4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		注1		注1		注1	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 1.4 kΩ, Vb = 2.7 V		2.8 ^{注2}		2.8 ^{注2}		2.8 ^{注2}	Mbps
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		注3		注3		注3	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 2.7 kΩ, Vb = 2.3 V		1.2 ^{注4}		1.2 ^{注4}		1.2 ^{注4}	Mbps
		2.4 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		注6		注6		注6	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 5.5 kΩ, Vb = 1.6 V		0.43 注7		0.43 注7		0.43 注7	Mbps
		1.8 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V				注5,6		注5,6	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 5.5 kΩ, Vb = 1.6 V				0.43 注7		0.43 注7	Mbps

注1. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。
 4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{ -C_b \times R_b \times \ln(1 - \frac{2.2}{V_b}) \}} \times 3 \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{ -C_b \times R_b \times \ln(1 - \frac{2.2}{V_b}) \}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

- この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。
- fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。
 2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{ -C_b \times R_b \times \ln(1 - \frac{2.0}{V_b}) \}} \times 3 \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{ -C_b \times R_b \times \ln(1 - \frac{2.0}{V_b}) \}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \quad [\%]$$

―――
転送レート

※この値は送信側と受信側の相対差の理論値となります。

4. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

5. $EV_{DD} \geq V_b$ で使用してください。

6. $f_{MCK}/6$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

$1.8\text{ V} \leq EV_{DD} < 3.3\text{ V}, 1.6\text{ V} \leq V_b \leq 2.0\text{ V}$ 時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\left\{ -C_b \times R_b \times \ln \left(1 - \frac{1.5}{V_b} \right) \right\} \times 3} \quad [\text{bps}]$$

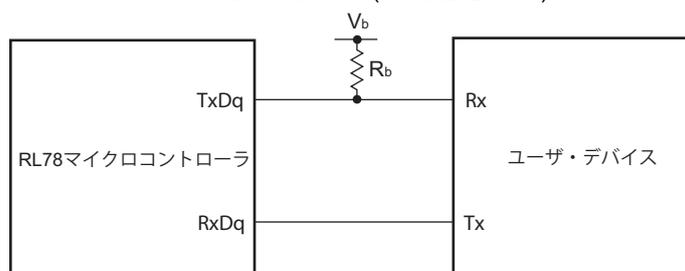
$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \left\{ -C_b \times R_b \times \ln \left(1 - \frac{1.5}{V_b} \right) \right\}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

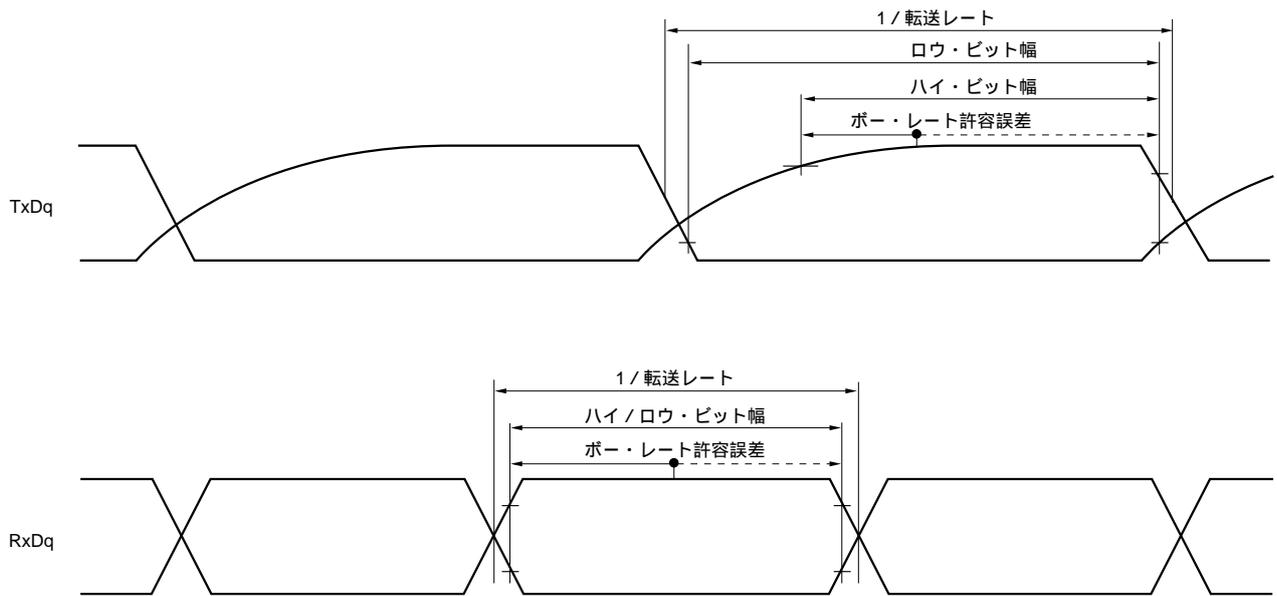
7. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注6により算出してください。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力 (V_{DD} 耐圧 (32ピン~52ピン製品) / EV_{DD} 耐圧 (64ピン製品)) モードを選択します。なお V_{IH} , V_{IL} は、TTL入力バッファ選択時のDC特性を参照してください。

UARTモード接続図 (異電位通信時)



UARTモードのビット幅 (異電位通信時) (参考)



- 備考1. R_b [Ω]: 通信ライン (TxDq) プルアップ抵抗値, C_b [F]: 通信ライン (TxDq) 負荷容量値, V_b [V]: 通信ライン電圧
2. q : UART番号 ($q = 0, 1$), g : PIM, POM番号 ($g = 1$)
3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・クロック選択レジスタ m (SPS m) とシリアル・モード・レジスタ mn (SMR mn) のCKS m nビットで設定する動作クロック。 m : ユニット番号, n : チャンネル番号 ($mn = 00, 01$))

(5) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, SCKp...内部クロック出力, CSI00のみ対応)
 (TA = -40 ~ +85 °C, 2.7 V ≤ EVDD = VDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	tkCY1	tkCY1 ≥ 2/fCLK	4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	200 ^{注1}		1150 ^{注1}		1150 ^{注1}		ns
			2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	300 ^{注1}		1150 ^{注1}		1150 ^{注1}		ns
SCKpハイ・レベル幅	tkH1		4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	tkCY1/2 - 50		tkCY1/2 - 50		tkCY1/2 - 50		ns
			2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	tkCY1/2 - 120		tkCY1/2 - 120		tkCY1/2 - 120		ns
SCKpロウ・レベル幅	tkL1		4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	tkCY1/2 - 7		tkCY1/2 - 50		tkCY1/2 - 50		ns
			2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	tkCY1/2 - 10		tkCY1/2 - 50		tkCY1/2 - 50		ns
Slpセットアップ時間 (対SCKp↑) ^{注2}	tsIK1		4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	58		479		479		ns
			2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	121		479		479		ns
Slpホールド時間 (対SCKp↑) ^{注2}	tkSI1		4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	10		10		10		ns
			2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	10		10		10		ns
SCKp↓ → SOp出力遅延 時間 ^{注2}	tkSO1		4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ		60		60		60	ns
			2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		130		130		130	ns
Slpセットアップ時間 (対SCKp↓) ^{注3}	tsIK1		4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	23		110		110		ns
			2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	33		110		110		ns
Slpホールド時間 (対SCKp↓) ^{注3}	tkSI1		4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	10		10		10		ns
			2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	10		10		10		ns
SCKp↑ → SOp出力遅延 時間 ^{注3}	tkSO1		4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ		10		10		10	ns
			2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		10		10		10	ns

(注, 注意, 備考は次ページにあります。)

- 注1. かつCSI00は $2/f_{MCK}$ 以上, CSI01は $4/f_{MCK}$ 以上に設定してください。
2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。
 2. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, SIp端子はTTL入力バッファを選択し, SOp端子とSCKp端子はN-chオープン・ドレイン出力 (V_{DD} 耐圧 (32ピン~52ピン製品) / E_{VDD} 耐圧 (64ピン製品)) モードを選択します。なお V_{IH} , V_{IL} は, TTL入力バッファ選択時のDC特性を参照してください。

- 備考1. R_b [Ω] : 通信ライン (SCKp, SOp) プルアップ抵抗値, C_b [F] : 通信ライン (SCKp, SOp) 負荷容量値, V_b [V] : 通信ライン電圧
2. p : CSI番号 (p = 00, 01) , m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0, 1) ,
g : PIM, POM番号 (g = 1)
 3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号, n : チャネル番号 (mn = 00, 01))

- (6) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, SCKp...内部クロック出力)
 (1/2)
 (TA = -40 ~ +85 °C, 1.8 V ≤ EVDD = VDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム	tkcy1	tkcy1 ≥ 4/fCLK 4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	300		1150		1150		ns
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	500		1150		1150		ns
		2.4 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	1150		1150		1150		ns
		1.8 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注, Cb = 30 pF, Rb = 5.5 kΩ			1150		1150		ns
SCKpハイ・レベル幅	tkH1	4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkcy1/2 - 75		tkcy1/2 - 75		tkcy1/2 - 75		ns
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkcy1/2 - 170		tkcy1/2 - 170		tkcy1/2 - 170		ns
		2.4 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	tkcy1/2 - 458		tkcy1/2 - 458		tkcy1/2 - 458		ns
		1.8 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注, Cb = 30 pF, Rb = 5.5 kΩ			tkcy1/2 - 458		tkcy1/2 - 458		ns
SCKpロウ・レベル幅	tkL1	4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkcy1/2 - 12		tkcy1/2 - 50		tkcy1/2 - 50		ns
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkcy1/2 - 18		tkcy1/2 - 50		tkcy1/2 - 50		ns
		2.4 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	tkcy1/2 - 50		tkcy1/2 - 50		tkcy1/2 - 50		ns
		1.8 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注, Cb = 30 pF, Rb = 5.5 kΩ			tkcy1/2 - 50		tkcy1/2 - 50		ns

注 EVDD ≥ Vbで使用してください。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, Slp端子はTTL入力バッファを選択し, SOp端子とSCKp端子はN-chオープン・ドレイン出力 (VDD耐圧 (32ピン~52ピン製品) / EVDD耐圧 (64ピン製品)) モードを選択します。なおVIH, VILは, TTL入力バッファ選択時のDC特性を参照してください。

(6) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, SCKp...内部クロック出力) (2/2)
 (TA = -40 ~ +85 °C, 1.8 V ≤ EVDD = VDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件	HS(高速メイン)モード		LS(低速メイン)モード		LV(低電圧メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Slpセットアップ時間 (対SCKp↑)注 ¹	t _{SIK1}	4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	81		479		479		ns
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	177		479		479		ns
		2.4 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	479		479		479		ns
		1.8 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注 ³ , Cb = 30 pF, Rb = 5.5 kΩ			479		479		ns
Slpホールド時間 (対SCKp↑)注 ¹	t _{SIK1}	4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	19		19		19		ns
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		19		19		ns
		2.4 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	19		19		19		ns
		1.8 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注 ³ , Cb = 30 pF, Rb = 5.5 kΩ			19		19		ns
SCKp↓ → SOP出力遅延 時間注 ¹	t _{KSO1}	4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		100		100		100	ns
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		195		195		195	ns
		2.4 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ		483		483		483	ns
		1.8 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注 ³ , Cb = 30 pF, Rb = 5.5 kΩ				483		483	ns
Slpセットアップ時間 (対SCKp↓)注 ²	t _{SIK1}	4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	44		110		110		ns
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	44		110		110		ns
		2.4 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	110		110		110		ns
		1.8 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注 ³ , Cb = 30 pF, Rb = 5.5 kΩ			110		110		ns
Slpホールド時間 (対SCKp↓)注 ²	t _{SIK1}	4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	19		19		19		ns
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		19		19		ns
		2.4 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	19		19		19		ns
		1.8 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注 ³ , Cb = 30 pF, Rb = 5.5 kΩ			19		19		ns
SCKp↑ → SOP出力遅延 時間注 ²	t _{KSO1}	4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		25		25		25	ns
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		25		25		25	ns
		2.4 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ		25		25		25	ns

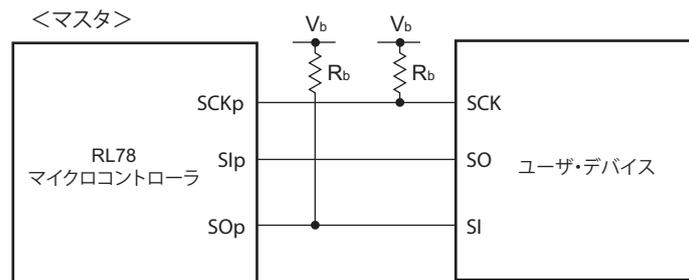
		1.8 V \leq EV _{DD} < 3.3 V, 1.6 V \leq V _b \leq 2.0 V ^{注3,,} C _b = 30 pF, R _b = 5.5 k Ω				25		25	ns
--	--	--	--	--	--	----	--	----	----

(注, 注意, 備考は次ページにあります。)

- 注 1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。
2. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。
3. EV_{DD0} \geq V_bで使用してください。

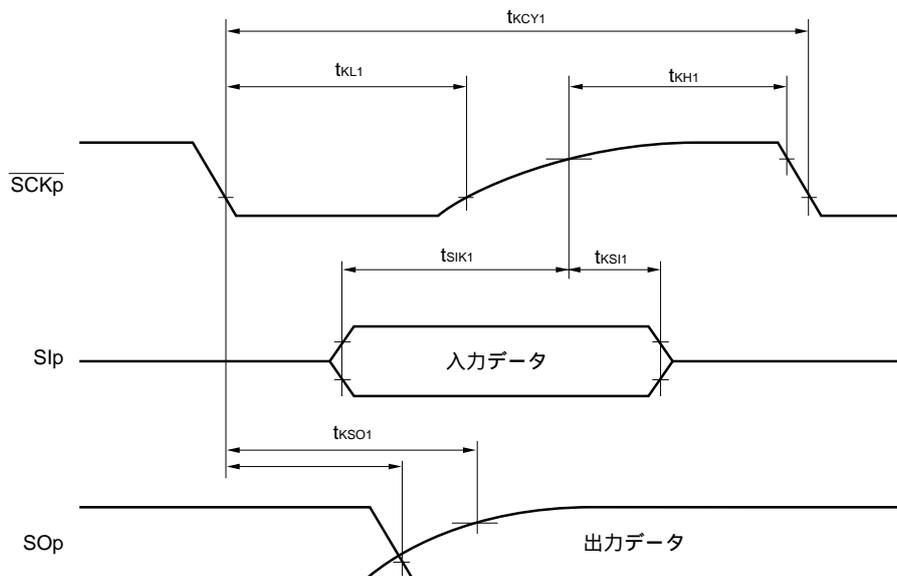
注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, SIp端子はTTL入力バッファを選択し, SOp端子とSCKp端子はN-chオープン・ドレイン出力 (V_{DD}耐圧 (32ピン~52ピン製品) / EV_{DD}耐圧 (64ピン製品)) モードを選択します。なおV_{IH}, V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。

CSIモード接続図 (異電位通信時)

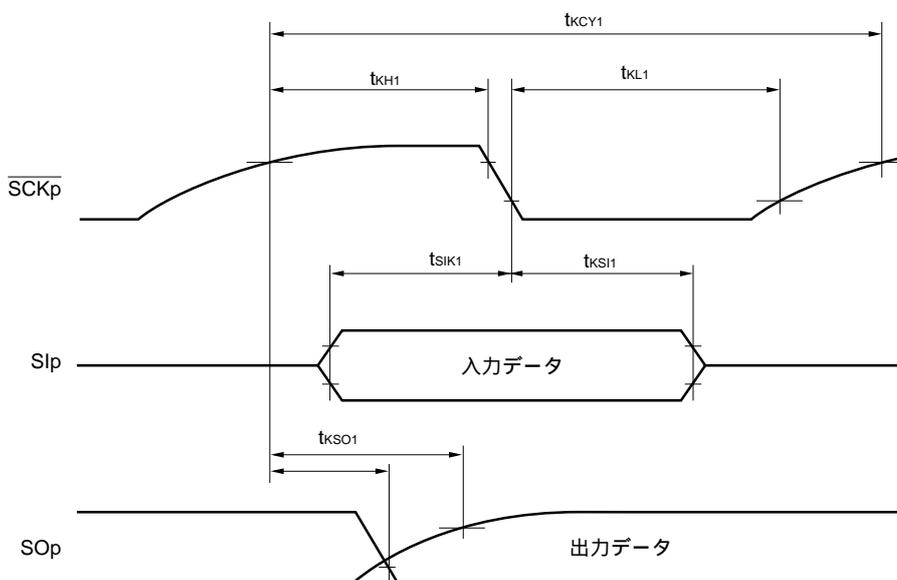


- 備考1. R_b [Ω] : 通信ライン (SCKp, SOp) プルアップ抵抗値 , C_b [F] : 通信ライン (SCKp, SOp) 負荷容量値 , V_b [V] : 通信ライン電圧
2. p : CSI番号 ($p = 00, 01$) , m : ユニット番号 ($m = 0$) , n : チャネル番号 ($n = 0, 1$) ,
 g : PIM, POM番号 ($g = 1$)
 3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数 (シリアル・クロック選択レジスタ m (SPS m) とシリアル・モード・レジスタ mn (SMR mn) のCKSM n ビットで設定する動作クロック。 m : ユニット番号 , n : チャネル番号 ($mn = 00, 01$))

CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）
 （DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）
 （DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



備考 p : CSI番号 (p = 00, 01) , m : ユニット番号 (m = 0) ,
 n : チャネル番号 (n = 0, 1) , g : PIM, POM番号 (g = 1)

(7) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (CSIモード) (スレープ・モード, SCKp...外部クロック入力)
 (TA = -40 ~ +85 °C, 1.8 V ≤ EVDD = VDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・タイム ^{注1}	tkCY2	4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	20 MHz < fMCK ≤ 24 MHz	12/fMCK						ns
			8 MHz < fMCK ≤ 20 MHz	10/fMCK						ns
		4 MHz < fMCK ≤ 8 MHz	8/fMCK		16/fMCK					ns
		fMCK ≤ 4 MHz	6/fMCK		10/fMCK		10/fMCK			ns
	2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	20 MHz < fMCK ≤ 24 MHz	16/fMCK							ns
		16 MHz < fMCK ≤ 20 MHz	14/fMCK							ns
		8 MHz < fMCK ≤ 16 MHz	12/fMCK							ns
		4 MHz < fMCK ≤ 8 MHz	8/fMCK		16/fMCK					ns
	2.4 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V	fMCK ≤ 4 MHz	6/fMCK		10/fMCK		10/fMCK			ns
		20 MHz < fMCK ≤ 24 MHz	36/fMCK							ns
		16 MHz < fMCK ≤ 20 MHz	32/fMCK							ns
		8 MHz < fMCK ≤ 16 MHz	26/fMCK							ns
1.8 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2}	4 MHz < fMCK ≤ 8 MHz			16/fMCK					ns	
	fMCK ≤ 4 MHz			10/fMCK		10/fMCK			ns	
	4 MHz < fMCK ≤ 8 MHz			16/fMCK					ns	
	fMCK ≤ 4 MHz			10/fMCK		10/fMCK			ns	
SCKp ハイ, ロウ・レベル幅	tkH2, tkL2	4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		tkCY2/2 - 12		tkCY2/2 - 50		tkCY2/2 - 50		ns
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		tkCY2/2 - 18		tkCY2/2 - 50		tkCY2/2 - 50		ns
	2.4 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		tkCY2/2 - 50		tkCY2/2 - 50		tkCY2/2 - 50		ns	
	1.8 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2}				tkCY2/2 - 50		tkCY2/2 - 50		ns	
Slp セットアップ時間 (対 SCKp ↑) ^{注3}	tSIK2	4.0 V ≤ EVDD < 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		1/fMCK + 20		1/fMCK + 30		1/fMCK + 30		ns
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		1/fMCK + 20		1/fMCK + 30		1/fMCK + 30		ns
		2.4 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		1/fMCK + 30		1/fMCK + 30		1/fMCK + 30		ns
		1.8 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2}				1/fMCK + 30		1/fMCK + 30		ns
Slp ホールド時間 (対 SCKp ↑) ^{注3}	tKS12	4.0 V ≤ EVDD < 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		1/fMCK + 31		1/fMCK + 31		1/fMCK + 31		ns
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		1/fMCK + 31		1/fMCK + 31		1/fMCK + 31		ns
		2.4 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		1/fMCK + 31		1/fMCK + 31		1/fMCK + 31		ns
		1.8 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2}				1/fMCK + 31		1/fMCK + 31		ns
SCKp ↓ → SOP 出力遅延時間 ^{注4}	tkSO2	4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ			2/fMCK + 120		2/fMCK + 573		2/fMCK + 573	ns
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ			2/fMCK + 214		2/fMCK + 573		2/fMCK + 573	ns
		2.4 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ			2/fMCK + 573		2/fMCK + 573		2/fMCK + 573	ns
		1.8 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 30 pF, Rb = 5.5 kΩ					2/fMCK + 573		2/fMCK + 573	ns

(注, 注意, 備考は次ページにあります。)

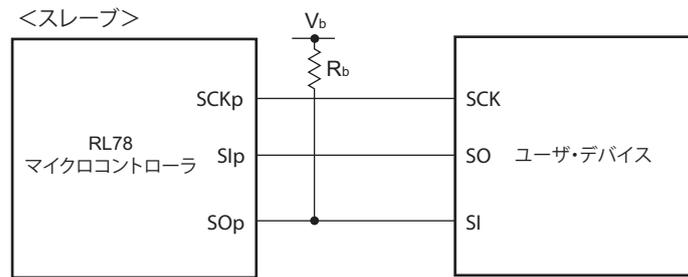
注1. SNOOZEモードでの転送レートは, MAX. 1 Mbps

2. EVDD ≥ Vb で使用してください。

3. $DAPmn = 0, CKPmn = 0$ または $DAPmn = 1, CKPmn = 1$ のとき。 $DAPmn = 0, CKPmn = 1$ または $DAPmn = 1, CKPmn = 0$ のときは“ 対SCKp↓ ”となります。
4. $DAPmn = 0, CKPmn = 0$ または $DAPmn = 1, CKPmn = 1$ のとき。 $DAPmn = 0, CKPmn = 1$ または $DAPmn = 1, CKPmn = 0$ のときは“ 対SCKp↑ ”となります。

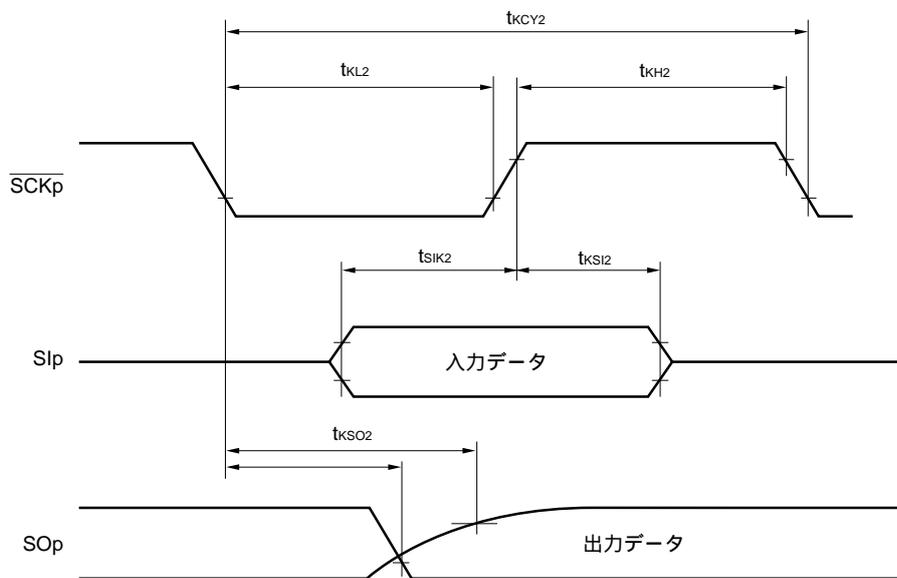
注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で , SIp端子とSCKp端子はTTL入力バッファを選択し , SOp端子はN-chオープン・ドレイン出力 (V_{DD} 耐圧 (32ピン~52ピン製品) / $E_{V_{DD}}$ 耐圧 (64ピン製品)) モードを選択します。なお V_{IH} , V_{IL} は , TTL入力バッファ選択時のDC特性を参照してください。

CSIモード接続図 (異電位通信時)

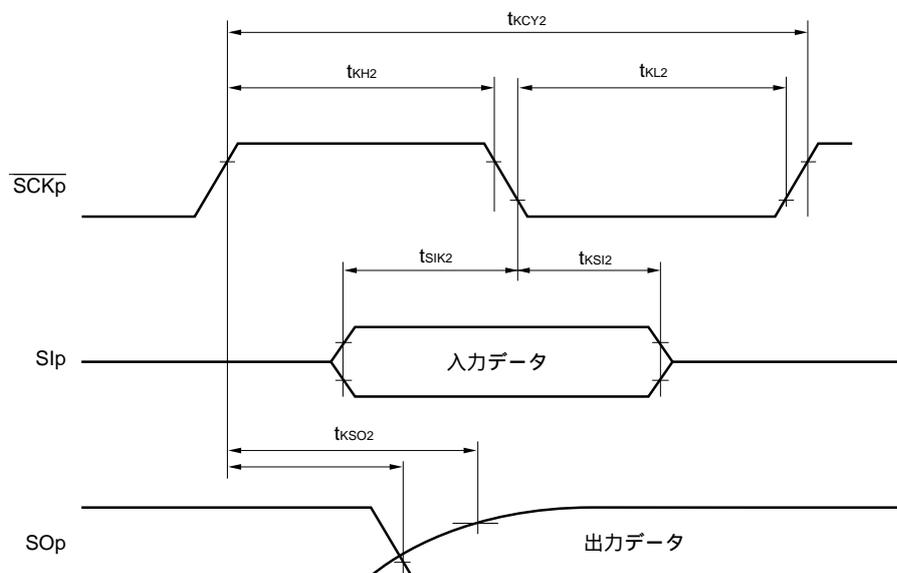


- 備考1. R_b [Ω] : 通信ライン (SO_p) プルアップ抵抗値, C_b [F] : 通信ライン (SO_p) 負荷容量値,
 V_b [V] : 通信ライン電圧
2. p : CSI番号 ($p = 00, 01$), m : ユニット番号 (0), n : チャネル番号 ($n = 0, 1$),
 g : PIM, POM番号 ($g = 1$)
 3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
シリアル・クロック選択レジスタ m (SPS m) とシリアル・モード・レジスタ mn (SMR mn) のCKS mn ビットで設定する動作クロック。 m : ユニット番号, n : チャネル番号 ($mn = 00, 01$)

CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
 （DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
 （DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



備考 p : CSI番号 (p = 00, 01) , m : ユニット番号 (m = 0) ,
 n : チャネル番号 (n = 0, 1) , g : PIM, POM番号 (g = 1)

30. 5. 2 シリアル・インタフェースIICA

(1) I²C 標準モード(T_A = -40 ~ +85 °C, 1.6 V ≤ EV_{DD} = V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS} = 0 V)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		LV (低電圧メイン)モード		単位	
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.		
SCLA0クロック周波数	f _{SCL}	標準モード :	2.7 V ≤ EV _{DD} ≤ 5.5 V	0	100	0	100	0	100	kHz
		f _{CLK} ≥ 1 MHz	2.4 V ≤ EV _{DD} ≤ 5.5 V	0	100	0	100	0	100	
			1.8 V ≤ EV _{DD} ≤ 5.5 V			0	100	0	100	
			1.6 V ≤ EV _{DD} ≤ 5.5 V					0	100	
リスタート・コンディションのセットアップ時間	t _{SU : STA}	2.7 V ≤ EV _{DD} ≤ 5.5 V	4.7		4.7		4.7		μs	
		2.4 V ≤ EV _{DD} ≤ 5.5 V	4.7		4.7		4.7			
		1.8 V ≤ EV _{DD} ≤ 5.5 V			4.7		4.7			
		1.6 V ≤ EV _{DD} ≤ 5.5 V					4.7			
ホールド時間 ¹	t _{HD : STA}	2.7 V ≤ EV _{DD} ≤ 5.5 V	4.0		4.0		4.0		μs	
		2.4 V ≤ EV _{DD} ≤ 5.5 V	4.0		4.0		4.0			
		1.8 V ≤ EV _{DD} ≤ 5.5 V			4.0		4.0			
		1.6 V ≤ EV _{DD} ≤ 5.5 V					4.0			
SCLA0 = "L"のホールド・タイム	t _{LOW}	2.7 V ≤ EV _{DD} ≤ 5.5 V	4.7		4.7		4.7		μs	
		2.4 V ≤ EV _{DD} ≤ 5.5 V	4.7		4.7		4.7			
		1.8 V ≤ EV _{DD} ≤ 5.5 V			4.7		4.7			
		1.6 V ≤ EV _{DD} ≤ 5.5 V					4.7			
SCLA0 = "H"のホールド・タイム	t _{HIGH}	2.7 V ≤ EV _{DD} ≤ 5.5 V	4.0		4.0		4.0		μs	
		2.4 V ≤ EV _{DD} ≤ 5.5 V	4.0		4.0		4.0			
		1.8 V ≤ EV _{DD} ≤ 5.5 V			4.0		4.0			
		1.6 V ≤ EV _{DD} ≤ 5.5 V					4.0			
データ・セットアップ時間 (受信時)	t _{SU : DAT}	2.7 V ≤ EV _{DD} ≤ 5.5 V	250		250		250		ns	
		2.4 V ≤ EV _{DD} ≤ 5.5 V	250		250		250			
		1.8 V ≤ EV _{DD} ≤ 5.5 V			250		250			
		1.6 V ≤ EV _{DD} ≤ 5.5 V					250			
データ・ホールド時間 (送信時) ²	t _{HD : DAT}	2.7 V ≤ EV _{DD} ≤ 5.5 V	0	3.45	0	3.45	0	3.45	μs	
		2.4 V ≤ EV _{DD} ≤ 5.5 V	0	3.45	0	3.45	0	3.45		
		1.8 V ≤ EV _{DD} ≤ 5.5 V			0	3.45	0	3.45		
		1.6 V ≤ EV _{DD} ≤ 5.5 V					0	3.45		
ストップ・コンディションのセットアップ時間	t _{SU : STO}	2.7 V ≤ EV _{DD} ≤ 5.5 V	4.0		4.0		4.0		μs	
		2.4 V ≤ EV _{DD} ≤ 5.5 V	4.0		4.0		4.0			
		1.8 V ≤ EV _{DD} ≤ 5.5 V			4.0		4.0			
		1.6 V ≤ EV _{DD} ≤ 5.5 V					4.0			
パス・フリー時間	t _{BUF}	2.7 V ≤ EV _{DD} ≤ 5.5 V	4.7		4.7		4.7		μs	
		2.4 V ≤ EV _{DD} ≤ 5.5 V	4.7		4.7		4.7			
		1.8 V ≤ EV _{DD} ≤ 5.5 V			4.7		4.7			
		1.6 V ≤ EV _{DD} ≤ 5.5 V					4.7			

(注は次ページに、備考は次々ページにあります。)

- 注 1. スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスが生成されます。
2. $t_{HD:DAT}$ の最大値 (MAX.) は，通常転送時の数値であり， \overline{ACK} (アクノリッジ) タイミングでは，ウエイトがかかります。

備考 各モードにおける C_b (通信ライン容量) のMAX.値と，そのときの R_b (通信ライン・プルアップ抵抗値) の値は次のとおりです。

標準モード : $C_b = 400 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$

(2) I²C ファースト・モード

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD = VDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f _{SCL}	ファースト・モード : 2.7 V ≤ EVDD ≤ 5.5 V	0	400	0	400	0	400	kHz
		f _{CLK} ≥ 3.5 MHz 2.4 V ≤ EVDD ≤ 5.5 V	0	400	0	400	0	400	
		1.8 V ≤ EVDD ≤ 5.5 V			0	400	0	400	
リスタート・コンディションのセットアップ時間	t _{SU : STA}	2.7 V ≤ EVDD ≤ 5.5 V	0.6		0.6		0.6		μs
		2.4 V ≤ EVDD ≤ 5.5 V	0.6		0.6		0.6		
		1.8 V ≤ EVDD ≤ 5.5 V			0.6		0.6		
ホールド時間 ^{注1}	t _{HD : STA}	2.7 V ≤ EVDD ≤ 5.5 V	0.6		0.6		0.6		μs
		2.4 V ≤ EVDD ≤ 5.5 V	0.6		0.6		0.6		
		1.8 V ≤ EVDD ≤ 5.5 V			0.6		0.6		
SCLA0 = "L" のホールド・タイム	t _{LOW}	2.7 V ≤ EVDD ≤ 5.5 V	1.3		1.3		1.3		μs
		2.4 V ≤ EVDD ≤ 5.5 V	1.3		1.3		1.3		
		1.8 V ≤ EVDD ≤ 5.5 V			1.3		1.3		
SCLA0 = "H" のホールド・タイム	t _{HIGH}	2.7 V ≤ EVDD ≤ 5.5 V	0.6		0.6		0.6		μs
		2.4 V ≤ EVDD ≤ 5.5 V	0.6		0.6		0.6		
		1.8 V ≤ EVDD ≤ 5.5 V			0.6		0.6		
データ・セットアップ時間 (受信時)	t _{SU : DAT}	2.7 V ≤ EVDD ≤ 5.5 V	100		100		100		ns
		2.4 V ≤ EVDD ≤ 5.5 V	100		100		100		
		1.8 V ≤ EVDD ≤ 5.5 V			100		100		
データ・ホールド時間 (送信時) ^{注2}	t _{HD : DAT}	2.7 V ≤ EVDD ≤ 5.5 V	0	0.9	0	0.9	0	0.9	μs
		2.4 V ≤ EVDD ≤ 5.5 V	0	0.9	0	0.9	0	0.9	
		1.8 V ≤ EVDD ≤ 5.5 V			0	0.9	0	0.9	
ストップ・コンディションの セットアップ時間	t _{SU : STO}	2.7 V ≤ EVDD ≤ 5.5 V	0.6		0.6		0.6		μs
		2.4 V ≤ EVDD ≤ 5.5 V	0.6		0.6		0.6		
		1.8 V ≤ EVDD ≤ 5.5 V			0.6		0.6		
バス・フリー時間	t _{BUF}	2.7 V ≤ EVDD ≤ 5.5 V	1.3		1.3		1.3		μs
		2.4 V ≤ EVDD ≤ 5.5 V	1.3		1.3		1.3		
		1.8 V ≤ EVDD ≤ 5.5 V			1.3		1.3		

注1. スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスが生成されます。

2. t_{HD : DAT}の最大値 (MAX.) は，通常転送時の数値であり， $\overline{\text{ACK}}$ (アクノリッジ) タイミングでは，ウエイトがかかります。

備考 各モードにおけるC_b (通信ライン容量) のMAX.値と，そのときのR_b (通信ライン・プルアップ抵抗値) の値は次のとおりです。

ファースト・モード : C_b = 320 pF, R_b = 1.1 kΩ

(3) I²C ファースト・モード・プラス

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD = VDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件		HS (高速メイン)モード		LS (低速メイン)モード		LV (低電圧メイン)モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f _{SCL}	ファースト・モード・プラス : f _{CLK} ≥ 10 MHz	2.7 V ≤ EVDD ≤ 5.5 V	0	1000	-	-	-	-	kHz
リスタート・コンディションのセットアップ時間	t _{SU:STA}	2.7 V ≤ EVDD ≤ 5.5 V		0.26		-	-	-	-	μs
ホールド時間 ^{注1}	t _{HD:STA}	2.7 V ≤ EVDD ≤ 5.5 V		0.26		-	-	-	-	μs
SCLA0 = "L"のホールド・タイム	t _{LOW}	2.7 V ≤ EVDD ≤ 5.5 V		0.5		-	-	-	-	μs
SCLA0 = "H"のホールド・タイム	t _{HIGH}	2.7 V ≤ EVDD ≤ 5.5 V		0.26		-	-	-	-	μs
データ・セットアップ時間 (受信時)	t _{SU:DAT}	2.7 V ≤ EVDD ≤ 5.5 V		50		-	-	-	-	ns
データ・ホールド時間 (送信時) ^{注2}	t _{HD:DAT}	2.7 V ≤ EVDD ≤ 5.5 V		0	0.45	-	-	-	-	μs
ストップ・コンディションのセットアップ時間	t _{SU:STO}	2.7 V ≤ EVDD ≤ 5.5 V		0.26		-	-	-	-	μs
バス・フリー時間	t _{BUF}	2.7 V ≤ EVDD ≤ 5.5 V		0.5		-	-	-	-	μs

注 1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

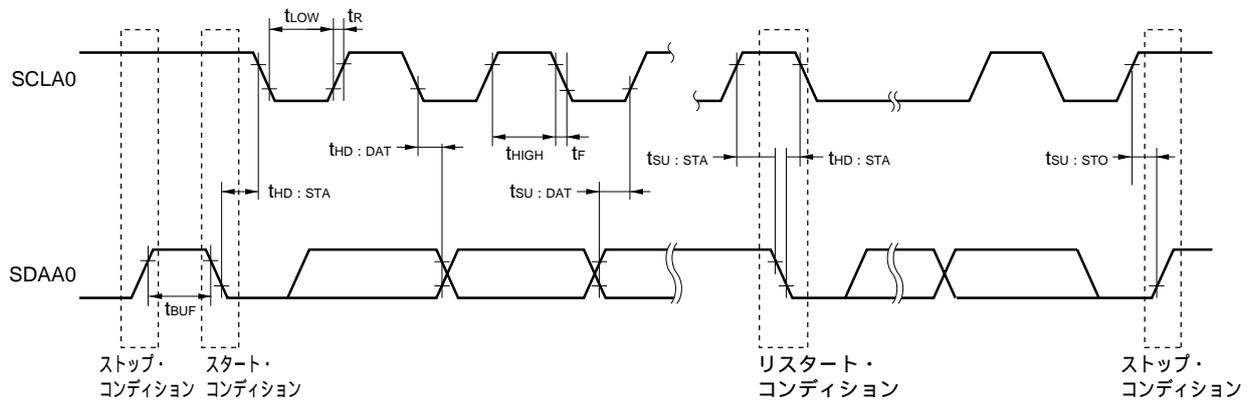
2. t_{HD:DAT}の最大値 (MAX.) は, 通常転送時の数値であり, $\overline{\text{ACK}}$ (アクノリッジ) タイミングでは, ウエイトがかかります。

注意 周辺I/Oリダイレクション・レジスタ (PIOR) のビット2 (PIOR2) が1の場合も, 上記の値を適用できます。ただし, 端子特性 (I_{OH1}, I_{OL1}, V_{OH1}, V_{OL1}) はリダイレクト先の値を満たしてください。

備考 各モードにおけるC_b (通信ライン容量) のMAX.値と, そのときのR_b (通信ライン・プルアップ抵抗値) の値は次のとおりです。

ファースト・モード・プラス : C_b = 120 pF, R_b = 1.1 kΩ

IICAシリアル転送タイミング



30.6 アナログ特性

30.6.1 A/Dコンバータ特性

A/Dコンバータ特性の区分

入力チャネル	基準電圧 基準電圧 (+) = AV _{REFP} 基準電圧 (-) = AV _{REFM}	基準電圧 (+) = V _{DD} 基準電圧 (-) = V _{SS}	基準電圧 (+) = V _{BGR} 基準電圧 (-) = AV _{REFM}
ANI0-ANI1	-	30.6.1 (3) 参照	30.6.1 (4) 参照
ANI16-ANI23	30.6.1 (2) 参照		
内部基準電圧 温度センサ出力電圧	30.6.1 (1) 参照		

(1) 基準電圧 (+) = AV_{REFP}/ANI0 (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = AV_{REFM}/ANI1 (ADREFM = 1) 選択時, 変換対象: 内部基準電圧, 温度センサ出力電圧

(T_A = - 40 ~ + 85 °C , 2.4 V ≤ EV_{DD} = V_{DD} ≤ 5.5 V , 1.6 V ≤ AV_{REFP} ≤ V_{DD} ≤ 5.5 V , V_{SS} = EV_{SS} = 0 V , 基準電圧 (+) = AV_{REFP} , 基準電圧 (-) = AV_{REFM} = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位	
分解能	RES		8		10	bit	
総合誤差 ^{注1}	AINL	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}	1.8 V ≤ AV _{REFP} ≤ 5.5 V		1.2	±3.5	LSB
			1.6 V ≤ AV _{REFP} ≤ 5.5 V ^{注4}		1.2	±7.0	LSB
変換時間	t _{CONV}	10ビット分解能 変換対象: 内部基準電圧出力, 温度センサ出力電圧 (HS (高速メイン) モード)	3.6 V ≤ V _{DD} ≤ 5.5 V,	2.375		39	μs
			2.7 V ≤ V _{DD} ≤ 5.5 V,	3.5625		39	μs
			2.4 V ≤ V _{DD} ≤ 5.5 V,	17		39	μs
ゼロスケール誤差 ^{注1,2}	E _{ZS}	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}	1.8 V ≤ AV _{REFP} ≤ 5.5 V			±0.25	%FSR
			1.6 V ≤ AV _{REFP} ≤ 5.5 V ^{注4}			±0.50	%FSR
フルスケール誤差 ^{注1,2}	E _{FS}	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}	1.8 V ≤ AV _{REFP} ≤ 5.5 V			±0.25	%FSR
			1.6 V ≤ AV _{REFP} ≤ 5.5 V ^{注4}			±0.50	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}	1.8 V ≤ AV _{REFP} ≤ 5.5 V			±2.5	LSB
			1.6 V ≤ AV _{REFP} ≤ 5.5 V ^{注4}			±5.0	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}	1.8 V ≤ AV _{REFP} ≤ 5.5 V			±1.5	LSB
			1.6 V ≤ AV _{REFP} ≤ 5.5 V ^{注4}			±2.0	LSB
アナログ入力電圧	V _{AIN}	内部基準電圧出力 (2.4 V ≤ V _{DD} ≤ 5.5 V , HS (高速メイン) モード)			V _{BGR} ^{注5}	V	
		温度センサ出力電圧 (2.4 V ≤ V _{DD} ≤ 5.5 V , HS (高速メイン) モード)			V _{TMPS25} ^{注5}	V	

注1. 量子化誤差 (±1/2 LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. AV_{REFP} < V_{DD} の場合, MAX. 値は次のようになります。

総合誤差 : AV_{REFP} = V_{DD} のMAX. 値に ±1.0 LSB を加算してください

ゼロスケール誤差 / フルスケール誤差 : AV_{REFP} = V_{DD} のMAX. 値に ±0.05 %FSR を加算してください

積分直線性誤差 / 微分直線性誤差 : AV_{REFP} = V_{DD} のMAX. 値に ±0.5 LSB を加算してください

4. 変換時間をMIN. 57 μs , MAX. 95 μs に設定した場合の値です。

5. 30.6.2 温度センサ / 内部基準電圧特性を参照してください。

(2) 基準電圧(+) = $AV_{REFP}/ANI0$ (ADREFP1 = 0, ADREFP0 = 1), 基準電圧(-) = $AV_{REFM}/ANI1$ (ADREFM = 1) 選択時, 変換対象: ANI16-ANI23

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $1.6 \text{ V} \leq EV_{DD} = V_{DD} \leq 5.5 \text{ V}$, $1.6 \text{ V} \leq AV_{REFP} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$, 基準電圧(+)= AV_{REFP} , 基準電圧(-)= $AV_{REFM} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能 $1.8 \text{ V} \leq AV_{REFP} \leq 5.5 \text{ V}$		1.2	± 5.0	LSB
		$AV_{REFP} = EV_{DD} = V_{DD}$ ^{注3} $1.6 \text{ V} \leq AV_{REFP} \leq 5.5 \text{ V}$ ^{注4}		1.2	± 8.5	LSB
変換時間	tCONV	10ビット分解能 $3.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	2.125		39	μs
		$AV_{REFP} = EV_{DD} = V_{DD}$ ^{注3} $2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	3.1875		39	μs
		$1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	17		39	μs
		$1.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	57		95	μs
ゼロスケール誤差 ^{注1,2}	EVS	10ビット分解能 $1.8 \text{ V} \leq AV_{REFP} \leq 5.5 \text{ V}$			± 0.35	%FSR
		$AV_{REFP} = EV_{DD} = V_{DD}$ ^{注34} $1.6 \text{ V} \leq AV_{REFP} \leq 5.5 \text{ V}$ ^{注4}			± 0.60	%FSR
フルスケール誤差 ^{注1,2}	EFS	10ビット分解能 $1.8 \text{ V} \leq AV_{REFP} \leq 5.5 \text{ V}$			± 0.35	%FSR
		$AV_{REFP} = EV_{DD} = V_{DD}$ ^{注3} $1.6 \text{ V} \leq AV_{REFP} \leq 5.5 \text{ V}$ ^{注4}			± 0.60	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 $1.8 \text{ V} \leq AV_{REFP} \leq 5.5 \text{ V}$			± 3.5	LSB
		$AV_{REFP} = EV_{DD} = V_{DD}$ ^{注3} $1.6 \text{ V} \leq AV_{REFP} \leq 5.5 \text{ V}$ ^{注4}			± 6.0	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能 $1.8 \text{ V} \leq AV_{REFP} \leq 5.5 \text{ V}$			± 2.0	LSB
		$AV_{REFP} = EV_{DD} = V_{DD}$ ^{注3} $1.6 \text{ V} \leq AV_{REFP} \leq 5.5 \text{ V}$ ^{注4}			± 2.5	LSB
アナログ入力電圧	VAIN		0		AV_{REFP} かつ EV_{DD}	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. $AV_{REFP} < EV_{DD} = V_{DD}$ の場合, MAX.値は次のようになります。

総合誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ± 4.0 LSBを加算してください

ゼロスケール誤差 / フルスケール誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ± 0.20 %FSRを加算してください

積分直線性誤差 / 微分直線性誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ± 2.0 LSBを加算してください

4. 変換時間をMIN. $57 \mu\text{s}$, MAX. $95 \mu\text{s}$ に設定した場合の値です。

(3) 基準電圧 (+) = V_{DD} (ADREFP1 = 0, ADREFP0 = 0), 基準電圧 (-) = V_{SS} (ADREFM = 0) 選択時,
変換対象: ANI0, ANI1, ANI16-ANI23, 内部基準電圧、温度センサ出力電圧

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.6 \text{ V} \leq EV_{DD} = V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$, 基準電圧 (+) = V_{DD} , 基準電圧 (-) = V_{SS})

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能	RES		8		10	bit	
総合誤差 ^{注1}	AINL	10ビット分解能	$1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		1.2	± 7.0	LSB
			$1.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ^{注3}		1.2	± 10.5	LSB
変換時間	tCONV	10ビット分解能	$3.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	2.125		39	μs
			$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	3.1875		39	μs
			$1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	17		39	μs
			$1.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	57		95	μs
		10ビット分解能 変換対象: 内部基準電 圧出力, 温度センサ出 力電圧 HS (高速メイン) モ ード	$3.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$,	2.375		39	μs
			$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$,	3.5625		39	μs
ゼロスケール誤差 ^{注1,2}	EVS	10ビット分解能	$1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 0.60	%FSR
			$1.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ^{注3}			± 0.85	%FSR
フルスケール誤差 ^{注1,2}	EFS	10ビット分解能	$1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 0.60	%FSR
			$1.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ^{注3}			± 0.85	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能	$1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 4.0	LSB
			$1.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ^{注3}			± 6.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能	$1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 2.0	LSB
			$1.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ^{注3}			± 2.5	LSB
アナログ入力電圧	VAIN	ANI0-ANI1	0		V_{DD}	V	
		ANI16-ANI23	0		EV_{DD}	V	
		内部基準電圧出力 ($2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, HS (高速メイン) モード)			V_{BGR} ^{注4}	V	
		温度センサ出力電圧 ($2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, HS (高速メイン) モード)			V_{TMPS25} ^{注4}	V	

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. 変換時間をMIN. $57 \mu\text{s}$, MAX. $95 \mu\text{s}$ に設定した場合の値です。

4. 30.6.2 温度センサ / 内部基準電圧特性を参照してください。

(4) 基準電圧(+) = 内部基準電圧(ADREFP1 = 1, ADREFP0 = 0), 基準電圧(-) = $AV_{REFM}/ANI1$ (ADREFM = 1) 選択時, 変換対象: ANI0, ANI16-ANI23

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq EV_{DD} = V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$, 基準電圧(+) = V_{BGR} ^{注3}, 基準電圧(-) = AV_{REFM} ^{注4} = 0 V, HS (高速メイン) モード)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8			bit
変換時間	t _{CONV}	8ビット分解能	$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	17		39	μs
ゼロスケール誤差 ^{注1,2}	EZS	8ビット分解能	$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 0.60	%FSR
積分直線性誤差 ^{注1}	ILE	8ビット分解能	$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 2.0	LSB
微分直線性誤差 ^{注1}	DLE	8ビット分解能	$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 1.0	LSB
アナログ入力電圧	V _{AIN}			0		V_{BGR} ^{注3}	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. 30.6.2 温度センサ / 内部基準電圧特性を参照してください。

4. 基準電圧(-) = V_{SS}の場合, MAX.値は次のようになります。

ゼロスケール誤差 : 基準電圧(-) = AV_{REFM} 時のMAX.値に ± 0.35 %FSRを加算してください

積分直線性誤差 : 基準電圧(-) = AV_{REFM} 時のMAX.値に ± 0.5 LSBを加算してください

微分直線性誤差 : 基準電圧(-) = AV_{REFM} 時のMAX.値に ± 0.2 LSBを加算してください

30.6.2 温度センサ / 内部基準電圧特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq \text{EV}_{\text{DD}} = \text{V}_{\text{DD}} \leq 5.5 \text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}} = 0 \text{ V}$, HS (高速メイン) モード)

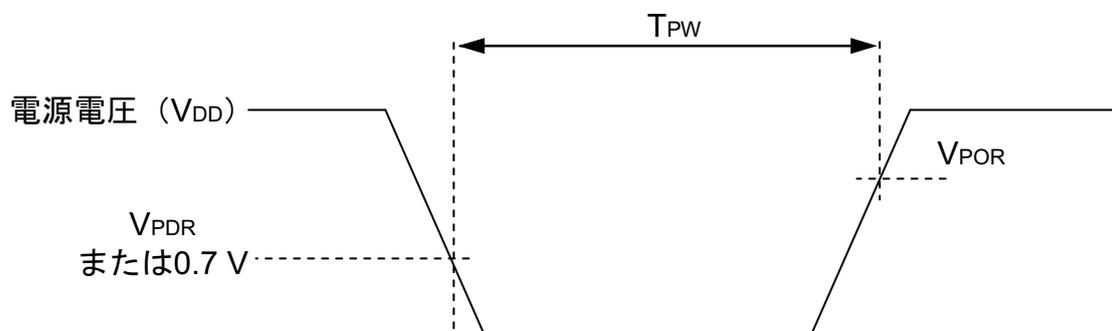
項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	V _{TMP525}	ADSレジスタ = 80H設定, $T_A = +25^\circ\text{C}$		1.05		V
内部基準電圧	V _{BGR}	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	F _{VTMP5}	温度センサ電圧の温度依存		-3.6		mV/ $^\circ\text{C}$
動作安定待ち時間	t _{AMP}		5			μs

30.6.3 POR回路特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $\text{V}_{\text{SS}} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V _{POR}	電源立ち上がり時	1.47	1.51	1.55	V
	V _{PDR}	電源立ち下がり時	1.46	1.50	1.54	V
最小パルス幅注	T _{PW}		300			μs

注 V_{DD}がV_{PDR}を下回った場合に、PORによるリセット動作に必要な時間です。またSTOPモード時および、クロック動作ステータス制御レジスタ (CSC) のビット0 (HIOSTOP) とビット7 (MSTOP) の設定によりメイン・システム・クロック (f_{MAIN}) を停止時は、V_{DD}が0.7 Vを下回ってから、V_{POR}を上回るまでのPORによるリセット動作に必要な時間です。



30. 6. 4 LVD回路特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{PDR} \leq V_{DD} = V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS0} \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
検出電圧	電源電圧レベル	VLVD0	電源立ち上がり時	3.98	4.06	4.14	V
			電源立ち下がり時	3.90	3.98	4.06	V
		VLVD1	電源立ち上がり時	3.68	3.75	3.82	V
			電源立ち下がり時	3.60	3.67	3.74	V
		VLVD2	電源立ち上がり時	3.07	3.13	3.19	V
			電源立ち下がり時	3.00	3.06	3.12	V
		VLVD3	電源立ち上がり時	2.96	3.02	3.08	V
			電源立ち下がり時	2.90	2.96	3.02	V
		VLVD4	電源立ち上がり時	2.86	2.92	2.97	V
			電源立ち下がり時	2.80	2.86	2.91	V
		VLVD5	電源立ち上がり時	2.76	2.81	2.87	V
			電源立ち下がり時	2.70	2.75	2.81	V
		VLVD6	電源立ち上がり時	2.66	2.71	2.76	V
			電源立ち下がり時	2.60	2.65	2.70	V
		VLVD7	電源立ち上がり時	2.56	2.61	2.66	V
			電源立ち下がり時	2.50	2.55	2.60	V
		VLVD8	電源立ち上がり時	2.45	2.50	2.55	V
			電源立ち下がり時	2.40	2.45	2.50	V
		VLVD9	電源立ち上がり時	2.05	2.09	2.13	V
			電源立ち下がり時	2.00	2.04	2.08	V
		VLVD10	電源立ち上がり時	1.94	1.98	2.02	V
			電源立ち下がり時	1.90	1.94	1.98	V
		VLVD11	電源立ち上がり時	1.84	1.88	1.91	V
			電源立ち下がり時	1.80	1.84	1.87	V
		VLVD12	電源立ち上がり時	1.74	1.77	1.81	V
			電源立ち下がり時	1.70	1.73	1.77	V
VLVD13	電源立ち上がり時	1.64	1.67	1.70	V		
	電源立ち下がり時	1.60	1.63	1.66	V		
最小パルス幅	tLW		300			μs	
検出遅延	tLD				300	μs	

割り込み & リセット・モードのLVD検出電圧

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{PDR} \leq EV_{DD} = V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
割り込み & リセット・モード	V _{LVD13}	$V_{POC2}, V_{POC1}, V_{POC0} = 0, 0, 0$, 立ち下がりリセット電圧	1.60	1.63	1.66	V	
	V _{LVD12}	$LVIS1, LVIS0 = 1, 0$	立ち上がりリセット解除電圧	1.74	1.77	1.81	V
			立ち下がり割り込み電圧	1.70	1.73	1.77	V
	V _{LVD11}	$LVIS1, LVIS0 = 0, 1$	立ち上がりリセット解除電圧	1.84	1.88	1.91	V
			立ち下がり割り込み電圧	1.80	1.84	1.87	V
	V _{LVD4}	$LVIS1, LVIS0 = 0, 0$	立ち上がりリセット解除電圧	2.86	2.92	2.97	V
			立ち下がり割り込み電圧	2.80	2.86	2.91	V
	V _{LVD11}	$V_{POC2}, V_{POC1}, V_{POC0} = 0, 0, 1$, 立ち下がりリセット電圧	1.80	1.84	1.87	V	
	V _{LVD10}	$LVIS1, LVIS0 = 1, 0$	立ち上がりリセット解除電圧	1.94	1.98	2.02	V
			立ち下がり割り込み電圧	1.90	1.94	1.98	V
	V _{LVD9}	$LVIS1, LVIS0 = 0, 1$	立ち上がりリセット解除電圧	2.05	2.09	2.13	V
			立ち下がり割り込み電圧	2.00	2.04	2.08	V
	V _{LVD2}	$LVIS1, LVIS0 = 0, 0$	立ち上がりリセット解除電圧	3.07	3.13	3.19	V
			立ち下がり割り込み電圧	3.00	3.06	3.12	V
	V _{LVD8}	$V_{POC2}, V_{POC1}, V_{POC0} = 0, 1, 0$, 立ち下がりリセット電圧	2.40	2.45	2.50	V	
	V _{LVD7}	$LVIS1, LVIS0 = 1, 0$	立ち上がりリセット解除電圧	2.56	2.61	2.66	V
立ち下がり割り込み電圧			2.50	2.55	2.60	V	
V _{LVD6}	$LVIS1, LVIS0 = 0, 1$	立ち上がりリセット解除電圧	2.66	2.71	2.76	V	
		立ち下がり割り込み電圧	2.60	2.65	2.70	V	
V _{LVD1}	$LVIS1, LVIS0 = 0, 0$	立ち上がりリセット解除電圧	3.68	3.75	3.82	V	
		立ち下がり割り込み電圧	3.60	3.67	3.74	V	
V _{LVD5}	$V_{POC2}, V_{POC1}, V_{POC0} = 0, 1, 1$, 立ち下がりリセット電圧	2.70	2.75	2.81	V		
V _{LVD4}	$LVIS1, LVIS0 = 1, 0$	立ち上がりリセット解除電圧	2.86	2.92	2.97	V	
		立ち下がり割り込み電圧	2.80	2.86	2.91	V	
V _{LVD3}	$LVIS1, LVIS0 = 0, 1$	立ち上がりリセット解除電圧	2.96	3.02	3.08	V	
		立ち下がり割り込み電圧	2.90	2.96	3.02	V	
V _{LVD0}	$LVIS1, LVIS0 = 0, 0$	立ち上がりリセット解除電圧	3.98	4.06	4.14	V	
		立ち下がり割り込み電圧	3.90	3.98	4.06	V	

30.6.5 電源電圧立ち上げ時間

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	SV _{DD}				54	V/ms

注意 V_{DD} が30.4 AC特性に示す動作電圧範囲内に達するまで、LVD回路か外部リセットで内部リセット状態を保ってください。

30.7 LCD特性

30.7.1 外部抵抗分割方式

(1) スタティック・モード

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{L4}(\text{MIN.}) \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	V_{L4}		2.0		V_{DD}	V

(2) 1/2バイアス, 1/4バイアス

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{L4}(\text{MIN.}) \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	V_{L4}		2.7		V_{DD}	V

(3) 1/3バイアス

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{L4}(\text{MIN.}) \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	V_{L4}		2.5		V_{DD} 注	V

注 メモリ性液晶駆動時 (MLCDレジスタのMLCDENビット = 1) は, 5.5 V (MAX.) となります。

30.7.2 内部昇圧方式

(1) 1/3バイアス

(TA = -40 ~ +85 °C, 1.8V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
LCD出力電圧可変範囲	VL1	C1-C4 ^{注1} = 0.47 μF	VLCD = 04H	0.90	1.00	1.08	V
			VLCD = 05H	0.95	1.05	1.13	V
			VLCD = 06H	1.00	1.10	1.18	V
			VLCD = 07H	1.05	1.15	1.23	V
			VLCD = 08H	1.10	1.20	1.28	V
			VLCD = 09H	1.15	1.25	1.33	V
			VLCD = 0AH	1.20	1.30	1.38	V
			VLCD = 0BH	1.25	1.35	1.43	V
			VLCD = 0CH	1.30	1.40	1.48	V
			VLCD = 0DH	1.35	1.45	1.53	V
			VLCD = 0EH	1.40	1.50	1.58	V
			VLCD = 0FH	1.45	1.55	1.63	V
			VLCD = 10H	1.50	1.60	1.68	V
			VLCD = 11H	1.55	1.65	1.73	V
VLCD = 12H	1.60	1.70	1.78	V			
VLCD = 13H	1.65	1.75	1.83	V			
ダブル出力電圧	VL2	C1-C4 ^{注1} = 0.47 μF	2 VL1 - 0.1	2 VL1	2 VL1	V	
トリプル出力電圧	VL4	C1-C4 ^{注1} = 0.47 μF	3 VL1 - 0.15	3 VL1	3 VL1	V	
基準電圧セットアップ時間 ^{注2}	t _{WAIT1}		5			ms	
昇圧ウエイト時間 ^{注3}	t _{WAIT2}	C1-C4 ^{注1} = 0.47 μF	500			ms	

注1. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : VL1-GND間に接続するコンデンサです。

C3 : VL2-GND間に接続するコンデンサです。

C4 : VL4-GND間に接続するコンデンサです。

C1 = C2 = C3 = C4 = 0.47 μF ±30%

2. VLCDレジスタで基準電圧を設定してから (基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択 (LCDM0レジスタのMDSET1, MDSET0ビット = 01B) にしてから), 昇圧を開始する (VLCON = 1) までに必要なウエイト時間です。

3. 昇圧を開始してから (VLCON = 1), 表示が可能になる (LCDON = 1) までのウエイト時間です。

(2) 1/4バイアス

(TA = -40 ~ +85 °C, 1.8V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
LCD出力電圧可変範囲	VL1 ^{注4}	C1-C5 ^{注1} = 0.47 μF	VLCD = 04H	0.90	1.00	1.08	V
			VLCD = 05H	0.95	1.05	1.13	V
			VLCD = 06H	1.00	1.10	1.18	V
			VLCD = 07H	1.05	1.15	1.23	V
			VLCD = 08H	1.10	1.20	1.28	V
			VLCD = 09H	1.15	1.25	1.33	V
			VLCD = 0AH	1.20	1.30	1.38	V
			VLCD = 0BH	1.25	1.35	1.43	V
			VLCD = 0CH	1.30	1.40	1.48	V
			VLCD = 0DH	1.35	1.45	1.53	V
			VLCD = 0EH	1.40	1.50	1.58	V
			VLCD = 0FH	1.45	1.55	1.63	V
			VLCD = 10H	1.50	1.60	1.68	V
			VLCD = 11H	1.55	1.65	1.73	V
VLCD = 12H	1.60	1.70	1.78	V			
VLCD = 13H	1.65	1.75	1.83	V			
ダブル出力電圧	VL2	C1-C5 ^{注1} = 0.47 μF	2 VL1 - 0.08	2 VL1	2 VL1	V	
トリプル出力電圧	VL3	C1-C5 ^{注1} = 0.47 μF	3 VL1 - 0.12	3 VL1	3 VL1	V	
クアドラプル出力電圧	VL4 ^{注4}	C1-C5 ^{注1} = 0.47 μF	4 VL1 - 0.16	4 VL1	4 VL1	V	
基準電圧セットアップ時間 ^{注2}	t _{WAIT1}		5			ms	
昇圧ウエイト時間 ^{注3}	t _{WAIT2}	C1-C5 ^{注1} = 0.47 μF	500			ms	

注1. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : VL1-GND間に接続するコンデンサです。

C3 : VL2-GND間に接続するコンデンサです。

C4 : VL3-GND間に接続するコンデンサです。

C5 : VL4-GND間に接続するコンデンサです。

C1 = C2 = C3 = C4 = C5 = 0.47 μF ± 30%

- VLCDレジスタで基準電圧を設定してから (基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択 (LCDM0レジスタのMDSET1, MDSET0 = 01B) してから), 昇圧を開始する (VLCON = 1) までに必要なウエイト時間です。
- 昇圧を開始してから (VLCON = 1), 表示が可能になる (LCDON = 1) までのウエイト時間です。
- VL4が5.5V以下になるように設定してください。

30. 7. 3 容量分割方式

1/3バイアス

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.2 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
V_{L4} 電圧	V_{L4}	$C1-C4 = 0.47 \mu\text{F}$ ^{注2}		V_{DD}		V
V_{L2} 電圧	V_{L2}	$C1-C4 = 0.47 \mu\text{F}$ ^{注2}	$2/3 V_{L4}$ - 0.1	$2/3 V_{L4}$	$2/3 V_{L4}$ + 0.1	V
V_{L1} 電圧	V_{L1}	$C1-C4 = 0.47 \mu\text{F}$ ^{注2}	$1/3 V_{L4}$ - 0.1	$1/3 V_{L4}$	$1/3 V_{L4}$ + 0.1	V
容量分割ウェイト時間 ^{注1}	t_{WAIT}		100			ms

注1．降圧を開始してから ($V_{LCON} = 1$) , 表示が可能になる ($LCDON = 1$) までのウェイト時間です。

2．LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : V_{L1} -GND間に接続するコンデンサです。

C3 : V_{L2} -GND間に接続するコンデンサです。

C4 : V_{L4} -GND間に接続するコンデンサです。

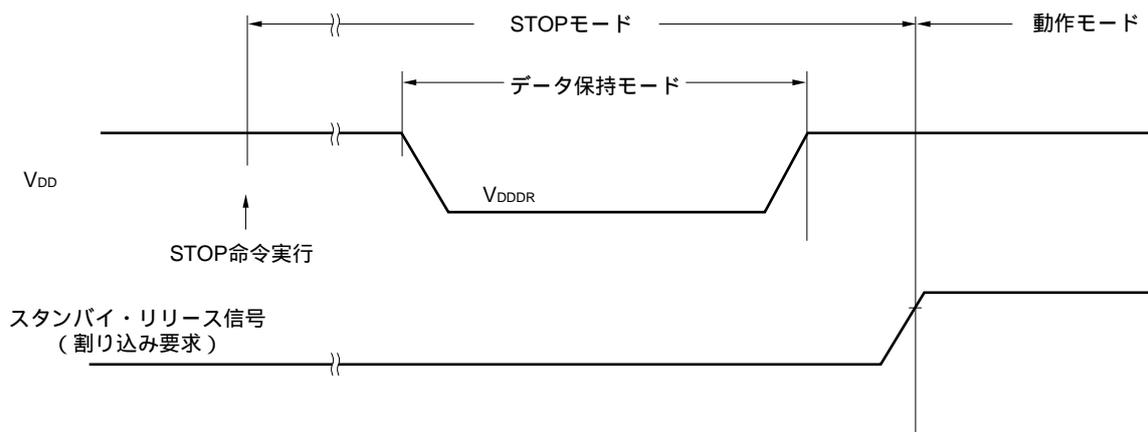
$C1 = C2 = C3 = C4 = 0.47 \mu\text{F} \pm 30\%$

30.8 データ・メモリSTOPモード低電源電圧データ保持特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V_{DDDR}		1.46 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時，PORリセットがかかるまではデータを保持しますが，PORリセットがかかった場合のデータは保持されません。



30.9 フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.8 \text{ V} \leq EV_{DD} = V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	f_{CLK}	$1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1		24	MHz
コード・フラッシュの書き換え回数 注1, 2, 3	C_{erwr}	保持年数：20年 $T_A = 85^\circ\text{C}$	1,000			回
データ・フラッシュの書き換え回数 注1, 2, 3		保持年数：1年 $T_A = 25^\circ\text{C}$		1,000,000		
		保持年数：5年 $T_A = 85^\circ\text{C}$	100,000			
		保持年数：20年 $T_A = 85^\circ\text{C}$	10,000			

注 1. 消去1回+消去後の書き込み1回で書き換え回数1回となります。

保持年数は，1度書き換えた後，次に書き換えを行うまでの期間です。

- フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時
- この特性はフラッシュ・メモリの特性を示すものであり，当社の信頼性試験から得られた結果です。

30.10 専用フラッシュ・メモリ・プログラマ通信 (UART)

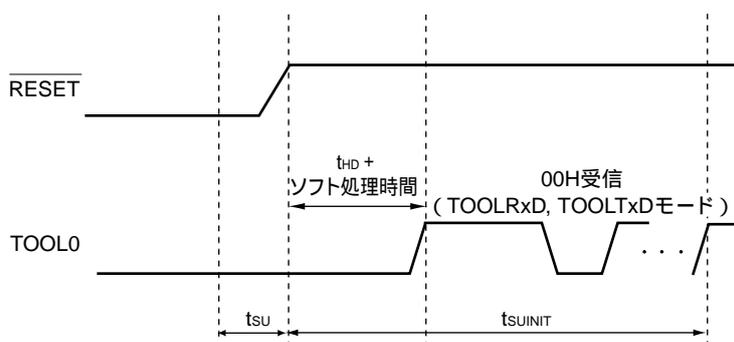
($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.8 \text{ V} \leq EV_{DD} = V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		フラッシュ・メモリのプログラミング時	115,200		1,000,000	bps

30.11 フラッシュ・メモリ・プログラミング・モード 引き込み時タイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.8 \text{ V} \leq \text{EV}_{\text{DD}} = \text{V}_{\text{DD}} \leq 5.5 \text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
端子リセット解除から初期設定通信を完了する時間	t_{SUNIT}	端子リセット解除前にPOR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから, 端子リセットを解除するまでの時間	t_{SU}	端子リセット解除前にPOR, LVDリセットは解除	10			μs
外部リセット解除から, TOOL0端子をロウ・レベルにホールドする時間 (フラッシュ・ファームs処理時間を除く)	t_{HD}	端子リセット解除前にPOR, LVDリセットは解除	1			ms



- ① TOOL0端子にロウ・レベルを入力
- ② 端子リセットが解除 (端子リセット解除前にPOR, LVDリセットは解除されていること)
- ③ TOOL0端子のロウ・レベルが解除
- ④ UART受信によるモード引きこみ, ボー・レート設定完了

備考 t_{SUNIT} : この区間では, 外部 / 内部リセット解除から100 ms以内に初期設定通信を完了してください。

t_{SU} : TOOL0端子をロウ・レベルにしてから, 端子リセットを解除するまでの時間

t_{HD} : 外部 / 内部リセット解除から, TOOL0端子をロウ・レベルに保持する時間 (ソフト処理時間を除く)

第31章 電気的特性

この章では、G：産業用途 ($T_A = -40 \sim +105^\circ\text{C}$) の電気的特性を示します。

- 注意1. RL78マイクロコントローラには開発 / 評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
2. EV_{DD} , EV_{SS} 端子がない製品は、 EV_{DD} を V_{DD} に、 EV_{SS} を V_{SS} に置き換えてください。
3. 製品により搭載している端子が異なります。2.1 ポート機能～2.1.6 製品別搭載端子 (ポート以外の端子) を参照してください。

”G：産業用途 ($T_A = -40 \sim +105^\circ\text{C}$)”は、”A：民生用途，G：産業用途 ($T_A = -40 \sim +85^\circ\text{C}$ にて使用する場合)”と次に示す機能が異なります。

用途区分	A：民生用途， G：産業用途 ($T_A = -40 \sim +85^\circ\text{C}$ にて使用する場合)	G：産業用途
動作周囲温度	-40 ~ +85°C	-40 ~ +105°C
動作モード 動作電圧範囲	HS (高速メイン) モード： 2.7 V ≤ V_{DD} ≤ 5.5 V @ 1 MHz ~ 32 MHz 2.4 V ≤ V_{DD} ≤ 5.5 V @ 1 MHz ~ 16 MHz LS (低速メイン) モード： 1.8 V ≤ V_{DD} ≤ 5.5 V @ 1 MHz ~ 8 MHz LV (低電圧メイン) モード： 1.6 V ≤ V_{DD} ≤ 5.5 V @ 1 MHz ~ 4 MHz	HS (高速メイン) モードのみ： 2.7 V ≤ V_{DD} ≤ 5.5 V @ 1 MHz ~ 32 MHz 2.4 V ≤ V_{DD} ≤ 5.5 V @ 1 MHz ~ 16 MHz
高速オンチップ・オシレータ・クロック精度	1.8 V ≤ V_{DD} ≤ 5.5 V： ±1.0 % @ $T_A = -20^\circ\text{C} \sim +85^\circ\text{C}$ ±1.5 % @ $T_A = -40^\circ\text{C} \sim -20^\circ\text{C}$ 1.6 V ≤ V_{DD} < 1.8 V： ±5.0 % @ $T_A = -20^\circ\text{C} \sim +85^\circ\text{C}$ ±5.5 % @ $T_A = -40^\circ\text{C} \sim -20^\circ\text{C}$	2.4 V ≤ V_{DD} ≤ 5.5 V： ±2.0 % @ $T_A = +85^\circ\text{C} \sim +105^\circ\text{C}$ ±1.0 % @ $T_A = -20^\circ\text{C} \sim +85^\circ\text{C}$ ±1.5 % @ $T_A = -40^\circ\text{C} \sim -20^\circ\text{C}$
シリアル・アレイ・ユニット	UART CSI00 : $f_{CLK}/2$ (16Mbps対応) , $f_{CLK}/4$ CSI01 簡易I ² C	UART CSI00 : $f_{CLK}/4$ CSI01 簡易I ² C
IICA	標準モード ファースト・モード ファースト・モード・プラス	標準モード ファースト・モード
電圧検出回路	・ 立ち上がり : 1.67 V ~ 4.06 V (14段階) ・ 立ち下がり : 1.63 V ~ 3.98 V (14段階)	・ 立ち上がり : 2.61 V ~ 4.06 V (8段階) ・ 立ち下がり : 2.55 V ~ 3.98 V (8段階)

備考 G：産業用途 ($T_A = -40 \sim +105^\circ\text{C}$) の電気的特性は、”A：民生用途，G：産業用途 ($T_A = -40 \sim +85^\circ\text{C}$ のみ使用時)” と異なります。詳細は、このページ以降の31.1~31.10を参照してください。

31.1 絶対最大定格

絶対最大定格 ($T_A = 25\text{ }^\circ\text{C}$) (1/3)

項目	略号	条件	定格	単位
電源電圧	V _{DD}	V _{DD} = EV _{DD}	- 0.5 ~ + 6.5	V
	EV _{DD}	V _{DD} = EV _{DD}	- 0.5 ~ + 6.5	V
	EV _{SS}		- 0.5 ~ + 0.3	V
REGC端子入力電圧	V _I REGC	REGC	- 0.3 ~ + 2.8 かつ - 0.3 ~ V _{DD} + 0.3 ^注	V
入力電圧	V _{I1}	P10-P17, P30-P32, P40-P43, P50-P54, P70-P74, P120, P125-P127, P140-P147	- 0.3 ~ EV _{DD} + 0.3 かつ - 0.3 ~ V _{DD} + 0.3 ^{注2}	V
	V _{I2}	P60, P61 (N-chオープン・ドレイン)	- 0.3 ~ EV _{DD} + 0.3 かつ - 0.3 ~ V _{DD} + 0.3 ^{注2}	V
	V _{I3}	P20, P21, P121-P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$	- 0.3 ~ V _{DD} + 0.3 ^{注2}	V
出力電圧	V _{O1}	P10-P17, P30-P32, P40-P43, P50-P54, P60, P61, P70-P74, P120, P125-P127, P130, P140-P147	- 0.3 ~ EV _{DD} + 0.3 かつ - 0.3 ~ V _{DD} + 0.3 ^{注2}	V
	V _{O2}	P20, P21	- 0.3 ~ V _{DD} + 0.3 ^{注2}	V
アナログ入力電圧	V _{A11}	ANI16-ANI23	- 0.3 ~ EV _{DD} + 0.3 かつ - 0.3 ~ AV _{REF(+)} + 0.3 ^{注2, 3}	V
	V _{A12}	ANIO, ANI1	- 0.3 ~ V _{DD} + 0.3 かつ - 0.3 ~ AV _{REF(+)} + 0.3 ^{注2, 3}	V

注1. REGC端子にはコンデンサ (0.47 ~ 1 μF) を介してV_{SS}に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

- 6.5 V以下であること。
- A/D変換対象の端子は、AV_{REF(+)} + 0.3を越えないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

- 備考 1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。
- AV_{REF(+)} : A/Dコンバータの+側基準電圧
 - V_{SS}を基準電圧とする。

絶対最大定格 (TA = 25 °C) (2/3)

項目	略号	条件		定格	単位
LCD電圧	VL1	VL1電圧 ^{注1}		- 0.3 ~ + 2.8且つ -0.3 ~ VL4+0.3	V
	VL2	VL2電圧 ^{注1}		-0.3 ~ VL4+0.3 ^{注2}	V
	VL3	VL3電圧 ^{注1}		-0.3 ~ VL4+0.3 ^{注2}	V
	VL4	VL4電圧 ^{注1}		- 0.3 ~ + 6.5	V
	VL _{CAP}	CAPL, CAPH電圧 ^{注1}		-0.3 ~ VL4+0.3 ^{注2}	V
	VL _{OUT}	COM0-COM7, SEG0-SEG38, COMEXP 出 力電圧	外部抵抗分割方式	メモリ性液晶モード以外	- 0.3 ~ V _{DD} + 0.3 ^{注2}
			メモリ性液晶モード	-0.3 ~ VL4+0.3 ^{注2}	
	容量分割方式		- 0.3 ~ V _{DD} + 0.3 ^{注2}		
	内部昇圧方式		-0.3 ~ VL4+0.3 ^{注2}		

注 1. この値は, VL1, VL2, VL3, VL4端子への電圧印加する場合の絶対最大定格を規定するものであり, 電圧印加して使用することを推奨しているわけではありません。内部昇圧方式, 容量分割方式の場合, VL1, VL2, VL3, VL4端子にはコンデンサ (0.47±30 %) を介してV_{SS}に接続し, CAPL端子, CAPH端子間にもコンデンサ (0.47±30 %) を接続してください。

2. 6.5 V以下であること。

注意 各項目のうち1項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で, 製品をご使用ください。

備考 V_{SS}を基準電圧とする。

絶対最大定格 (TA = 25 °C) (3/3)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	I _{OH1}	1端子	P10-P17, P30-P32, P40-P43, P50-P54, P70-P74, P120, P125-P127, P130, P140-P147	- 40	mA
		端子合計 - 170 mA	P10-P14, P40-P43, P120, P130, P140-P147	- 70	mA
			P15-P17, P30-P32, P50-P54, P70-P74, P125-P127	- 100	mA
	I _{OH2}	1端子	P20, P21	- 0.5	mA
		端子合計		- 1	mA
ロウ・レベル出力電流	I _{OL1}	1端子	P10-P17, P30-P32, P40-P43, P50-P54, P60, P61, P70-P74, P120, P125-P127, P130, P140-P147	40	mA
		端子合計 170 mA	P10-P14, P40-P43, P120, P130, P140-P147	70	mA
			P15-P17, P30-P32, P50-P54, P60, P61, P70-P74, P125-P127	100	mA
	I _{OL2}	1端子	P20, P21	1	mA
		端子合計		2	mA
	動作周囲温度	T _A	通常動作時		- 40 ~ + 105 ^注
フラッシュ・メモリ・プログラミング時					
保存温度	T _{stg}			- 65 ~ + 150	°C

注 TA=+85°C~+105°Cでの動作時間 :10,000時間

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

31.2 発振回路特性

31.2.1 X1, XT1発振回路特性

($T_A = -40 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq E_{VDD} = V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = E_{VSS} = 0 \text{ V}$)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1クロック発振 周波数 (f_x) 注	セラミック発振子 /	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1.0		20.0	MHz
	水晶振動子	$2.4 \text{ V} \leq V_{DD} \leq 2.7 \text{ V}$	1.0		16.0	
XT1クロック発振周波数 (f_{XT}) 注	水晶振動子		32	32.768	35	kHz

注 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、AC特性を参照してください。

また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 X1, XT1発振回路を使用する場合は、5.4 システム・クロック発振回路を参照してください。

31. 2. 2 オンチップ・オシレータ特性

($T_A = -40 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq V_{DD} = V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
高速オンチップ・オシレータ・ クロック周波数 ^{注1,2}	f _{IH}			1		24	MHz
高速オンチップ・オシレータ ・クロック周波数精度		- 20 ~ + 85 °C	2.4 V ≤ V _{DD} ≤ 5.5 V	- 1		+ 1	%
		- 40 ~ - 20 °C	2.4 V ≤ V _{DD} ≤ 5.5 V	- 1.5		+ 1.5	%
		+ 85 ~ + 105 °C	2.4 V ≤ V _{DD} ≤ 5.5 V	- 2.0		+ 2.0	%
低速オンチップ・オシレータ ・クロック周波数	f _{IL}				15		kHz
低速オンチップ・オシレータ ・クロック周波数精度				- 15		+ 15	%

注 1. 高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H) のビット0-3およびHOCODIVレジスタのビット0-2によって選択します。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

31.3 DC特性

30.3.1 端子特性

($T_A = -40 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq E_{VDD} = V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = E_{VSS} = 0 \text{ V}$)

(1/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流 ^{注1}	IOH1	P10-P17, P30-P32, P40-P43, P50-P54, P70-P74, P120, P125-P127, P130, P140-P147 1端子			-3.0 ^{注2}	mA
		P10-P14, P40-P43, P120, P130, P140-P147 合計 (デューティ = 70%時 ^{注3})	$4.0 \text{ V} \leq E_{VDD} \leq 5.5 \text{ V}$		-30.0	mA
			$2.7 \text{ V} \leq E_{VDD} < 4.0 \text{ V}$		-8.0	mA
			$2.4 \text{ V} \leq E_{VDD} < 2.7 \text{ V}$		-4.0	mA
		P15-P17, P30-P32, P50-P54, P70-P74, P125-P127 合計 (デューティ = 70%時 ^{注3})	$4.0 \text{ V} \leq E_{VDD} \leq 5.5 \text{ V}$		-30.0	mA
			$2.7 \text{ V} \leq E_{VDD} < 4.0 \text{ V}$		-15.0	mA
	$2.4 \text{ V} \leq E_{VDD} < 2.7 \text{ V}$			-8.0	mA	
	全端子合計 (デューティ = 70%時 ^{注3})				-60.0	mA
IOH2	P20, P21	1端子			-0.1	mA
		全端子合計	$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		-0.2	mA

注1. V_{DD} , E_{VDD} 端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. 合計の電流値を越えないでください。

3. デューティ $\leq 70\%$ の条件での出力電流の値です。

デューティ $> 70\%$ に変更した出力電流の値は、次の計算式で求めることができます(デューティ比をn%に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

<計算例> $I_{OH} = -10.0 \text{ mA}$ の場合, $n = 80\%$

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) = -8.7 \text{ mA}$$

ただし、1端子当りに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 P10, P12, P15, P17は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

($T_A = -40 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq \text{EV}_{\text{DD}} = \text{V}_{\text{DD}} \leq 5.5 \text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}} = 0 \text{ V}$)

(2/5)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 ^{注1}	IoL1	P10-P17, P30-P32, P40-P43, P50-P54, P70-P74, P120, P125-P127, P130, P140-P147 1端子				8.5 ^{注2}	mA	
		P60, P61 1端子				15.0 ^{注2}	mA	
		P10-P14, P40-P43, P120, P130, P140-P147 合計 (デューティ = 70%時 ^{注3})	4.0 V \leq EV _{DD} \leq 5.5 V				40.0	mA
			2.7 V \leq EV _{DD} < 4.0 V				15.0	mA
			2.4 V \leq EV _{DD} < 2.7 V				9.0	mA
		P15-P17, P30-P32, P50-P54, P60, P61, P70-P74, P125-P127 合計 (デューティ = 70%時 ^{注3})	4.0 V \leq EV _{DD} \leq 5.5 V				40.0	mA
			2.7 V \leq EV _{DD} < 4.0 V				35.0	mA
	2.4 V \leq EV _{DD} < 2.7 V				20.0	mA		
	全端子合計 (デューティ = 70%時 ^{注3})						80.0	mA
	IoL2	P20, P21	1端子				0.4	mA
全端子合計			2.4 V \leq V _{DD} \leq 5.5 V				0.8	mA

注1 V_{DD}, EV_{DD}端子から出力端子に流れ出しても、デバイスの動作を保证する電流値です。

- 合計の電流値を越えないでください。
- デューティ \leq 70%の条件での出力電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます (デューティ比をn%に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (\text{IoL} \times 0.7) / (n \times 0.01)$$

< 計算例 > IoL = 10.0 mAの場合, n = 80%

$$\text{端子合計の出力電流} = (10.0 \times 0.7) / (80 \times 0.01) \approx 8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

($T_A = -40 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq \text{EV}_{\text{DD}} = \text{V}_{\text{DD}} \leq 5.5 \text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}} = 0 \text{ V}$)

(3/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	V _{IH1}	P10-P17, P30-P32, P40-P43, P50-P54, P70-P74, P120, P125-P127, P140-P147	通常入力バッファ	0.8EV _{DD}		EV _{DD}	V
	V _{IH2}	P10, P11, P15, P16	TTL入力バッファ 4.0 V ≤ EV _{DD} ≤ 5.5 V	2.2		EV _{DD}	V
			TTL入力バッファ 3.3 V ≤ EV _{DD} < 4.0 V	2.0		EV _{DD}	V
			TTL入力バッファ 2.4 V ≤ EV _{DD} < 3.3 V	1.50		EV _{DD}	V
	V _{IH3}	P20, P21		0.7V _{DD}		V _{DD}	V
	V _{IH4}	P60, P61		0.7EV _{DD}		EV _{DD}	V
	V _{IH5}	P121-P124, P137, EXCLK, EXCLKS, RESET		0.8V _{DD}		V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	P10-P17, P30-P32, P40-P43, P50-P54, P70-P74, P120, P125-P127, P140-P147	通常入力バッファ	0		0.2EV _{DD}	V
	V _{IL2}	P10, P11, P15, P16	TTL入力バッファ 4.0 V ≤ EV _{DD} ≤ 5.5 V	0		0.8	V
			TTL入力バッファ 3.3 V ≤ EV _{DD} < 4.0 V	0		0.5	V
			TTL入力バッファ 2.4 V ≤ EV _{DD} < 3.3 V	0		0.32	V
	V _{IL3}	P20, P21		0		0.3V _{DD}	V
	V _{IL4}	P60, P61		0		0.3EV _{DD}	V
	V _{IL5}	P121-P124, P137, EXCLK, EXCLKS, RESET		0		0.2V _{DD}	V

注意 P10, P12, P15, P17は , N-chオープン・ドレイン・モード時でもV_{IH}の最大値 (MAX.) はEV_{DD}です。

備考 特に指定のないかぎり , 兼用端子の特性はポート端子の特性と同じです。

($T_A = -40 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq \text{EV}_{\text{DD}} = \text{V}_{\text{DD}} \leq 5.5 \text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}} = 0 \text{ V}$)

(4/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	V _{OH1}	P10-P17, P30-P32, P40-P43, P50-P54, P70-P74, P120, P125-P127, P130, P140-P147	$4.0 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OH1}} = -3.0 \text{ mA}$	EV _{DD} - 0.7		V
			$2.7 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OH1}} = -2.0 \text{ mA}$	EV _{DD} - 0.6		V
			$2.4 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OH1}} = -1.5 \text{ mA}$	EV _{DD} - 0.5		V
	V _{OH2}	P20, P21	$2.4 \text{ V} \leq \text{V}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OH2}} = -100 \mu\text{A}$	V _{DD} - 0.5		V
ロウ・レベル出力電圧	V _{OL1}	P10-P17, P30-P32, P40-P43, P50-P54, P70-P74, P120, P125-P127, P130, P140-P147	$4.0 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OL1}} = 8.5 \text{ mA}$		0.7	V
			$2.7 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OL1}} = 3.0 \text{ mA}$		0.6	V
			$2.7 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OL1}} = 1.5 \text{ mA}$		0.4	V
			$2.4 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OL1}} = 0.6 \text{ mA}$		0.4	V
	V _{OL2}	P20, P21	$2.4 \text{ V} \leq \text{V}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OL2}} = 400 \mu\text{A}$		0.4	V
	V _{OL3}	P60, P61	$4.0 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OL3}} = 15.0 \text{ mA}$		2.0	V
			$4.0 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OL3}} = 5.0 \text{ mA}$		0.4	V
			$2.7 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OL3}} = 3.0 \text{ mA}$		0.4	V
			$2.4 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$, $I_{\text{OL3}} = 2.0 \text{ mA}$		0.4	V

注意 P10, P12, P15, P17は , N-chオープン・ドレイン・モード時には , ハイ・レベル出力しません。

備考 特に指定のないかぎり , 兼用端子の特性はポート端子の特性と同じです。

($T_A = -40 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq \text{EV}_{DD} = \text{V}_{DD} \leq 5.5 \text{ V}$, $\text{V}_{SS} = \text{EV}_{SS} = 0 \text{ V}$)

(5/5)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I _{LIH1}	P10-P17, P30-P32, P40-P43, P50-P54, P60, P61, P70-P74, P120, P125-P127, P140-P147	$V_i = \text{EV}_{DD}$			1	μA
	I _{LIH2}	P20, P21, P137, $\overline{\text{RESET}}$	$V_i = \text{V}_{DD}$			1	μA
	I _{LIH3}	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)	$V_i = \text{V}_{DD}$	入力ポート時, 外部クロック入力 時 発振子接続時			1 10
ロウ・レベル入力リーク電流	I _{LIL1}	P10-P17, P30-P32, P40-P43, P50-P54, P60, P61, P70-P74, P120, P125-P127, P140-P147	$V_i = \text{EV}_{SS}$			- 1	μA
	I _{LIL2}	P20, P21, P137, $\overline{\text{RESET}}$	$V_i = \text{V}_{SS}$			- 1	μA
	I _{LIL3}	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)	$V_i = \text{V}_{SS}$	入力ポート時, 外部クロック入力 時 発振子接続時			- 1 - 10
内蔵プルアップ抵抗	R _{U1}	$V_i = \text{EV}_{SS}$	SEGxx兼用ポート				
			$2.4 \text{ V} \leq \text{EV}_{DD} = \text{V}_{DD} \leq 5.5 \text{ V}$	10	20	100	k Ω
	R _{U2}		上記以外のポート (P60, P61, P130は除く)	10	20	100	k Ω

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

31.3.2 電源電流特性

($T_A = -40 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq \text{EV}_{\text{DD}} = \text{V}_{\text{DD}} \leq 5.5 \text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}} = 0 \text{ V}$)

(1/3)

項目	略号	条件		MIN.	TYP.	MAX.	単位			
電源電流 ¹	I _{DD1}	動作モード	HS (高速メイン)モード ⁵	f _{IH} = 24 MHz ³	基本動作	V _{DD} = 5.0 V		1.5		mA
						V _{DD} = 3.0 V		1.5		
				通常動作	V _{DD} = 5.0 V		3.3	5.3	mA	
					V _{DD} = 3.0 V		3.3	5.3		
				f _{IH} = 16 MHz ³	通常動作	V _{DD} = 5.0 V		2.5	3.9	mA
						V _{DD} = 3.0 V		2.5	3.9	
			HS (高速メイン)モード ⁵	f _{MX} = 20 MHz ² , V _{DD} = 5.0 V	通常動作	方形波入力		2.8	4.7	mA
						発振子接続		3.0	4.8	
				f _{MX} = 20 MHz ² , V _{DD} = 3.0 V	通常動作	方形波入力		2.8	4.7	mA
						発振子接続		3.0	4.8	
				f _{MX} = 10 MHz ² , V _{DD} = 5.0 V	通常動作	方形波入力		1.8	2.8	mA
						発振子接続		1.8	2.8	
		f _{MX} = 10 MHz ² , V _{DD} = 3.0 V		通常動作	方形波入力		1.8	2.8	mA	
					発振子接続		1.8	2.8		
		サブシステム・クロック動作	f _{SUB} = 32.768 kHz ⁴ T _A = -40°C	通常動作	方形波入力		3.5	4.9	μA	
					発振子接続		3.6	5.0		
			f _{SUB} = 32.768 kHz ⁴ T _A = +25°C	通常動作	方形波入力		3.6	4.9	μA	
					発振子接続		3.7	5.0		
f _{SUB} = 32.768 kHz ⁴ T _A = +50°C	通常動作		方形波入力		3.7	5.5	μA			
			発振子接続		3.8	5.6				
f _{SUB} = 32.768 kHz ⁴ T _A = +70°C	通常動作		方形波入力		3.8	6.3	μA			
			発振子接続		3.9	6.4				
f _{SUB} = 32.768 kHz ⁴ T _A = +85°C	通常動作	方形波入力		4.1	7.7	μA				
		発振子接続		4.2	7.8					
f _{SUB} = 32.768 kHz ⁴ T _A = +105°C	通常動作	方形波入力		6.4	19.7	μA				
		発振子接続		6.5	19.8					

(注, 備考は次ページにあります。)

- 注1. VDD, EVDDに流れるトータル電流です。入力端子をVDD, EVDDまたはVSS, EVSSに固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし, A/Dコンバータ, LVD回路, I/Oポート, 内蔵プルアップ / プルダウン抵抗, データ・フラッシュ書き換え時に流れる電流は含みません。
2. 高速オンチップ・オシレータ, サブシステム・クロックは停止時。
 3. 高速システム・クロック, サブシステム・クロックは停止時。
 4. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。超低消費発振 (AMPHS1 = 1) 設定時。RTC, 12ビット・インターバル・タイマ, ウォッチドッグ・タイマ, LCDコントローラ / ドライバに流れる電流は含みません。
 5. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。
HS (高速メイン) モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 24\text{ MHz}$
 $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 16\text{ MHz}$

- 備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数
 3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
 4. 「サブシステム・クロック動作」以外のTYP.値の温度条件は, $T_A = 25\text{ }^\circ\text{C}$ です。

(TA = - 40 ~ + 105 °C , 2.4 V ≤ EVDD = VDD ≤ 5.5 V , VSS = EVSS = 0 V)

(2/3)

項 目	略号	条 件		MIN.	TYP.	MAX.	単位	
電源電流 ¹	IDD2 ²	HALT モード	HS(高速メイン)モード ⁷	f _{IH} = 24 MHz ⁴	V _{DD} = 5.0 V	0.44	2.3	mA
					V _{DD} = 3.0 V	0.44	2.3	
				f _{IH} = 16 MHz ⁴	V _{DD} = 5.0 V	0.40	1.7	mA
					V _{DD} = 3.0 V	0.40	1.7	
			HS(高速メイン)モード ⁷	f _{MX} = 20 MHz ³ , V _{DD} = 5.0 V	方形波入力	0.28	1.9	mA
					発振子接続	0.45	2.0	
				f _{MX} = 20 MHz ³ , V _{DD} = 3.0 V	方形波入力	0.28	1.9	mA
					発振子接続	0.45	2.0	
		f _{MX} = 10 MHz ³ , V _{DD} = 5.0 V	方形波入力	0.19	1.02	mA		
			発振子接続	0.26	1.10			
		f _{MX} = 10 MHz ³ , V _{DD} = 3.0 V	方形波入力	0.19	1.02	mA		
			発振子接続	0.26	1.10			
		サブシステム・クロック動作		f _{SUB} = 32.768 kHz ⁵ T _A = - 40°C	方形波入力	0.31	0.57	μA
					発振子接続	0.50	0.76	
	f _{SUB} = 32.768 kHz ⁵ T _A = + 25°C			方形波入力	0.37	0.57	μA	
				発振子接続	0.56	0.76		
	f _{SUB} = 32.768 kHz ⁵ T _A = + 50°C			方形波入力	0.46	1.17	μA	
				発振子接続	0.65	1.36		
	f _{SUB} = 32.768 kHz ⁵ T _A = + 70°C			方形波入力	0.57	1.97	μA	
				発振子接続	0.76	2.16		
f _{SUB} = 32.768 kHz ⁵ T _A = + 85°C	方形波入力	0.85	3.37	μA				
	発振子接続	1.04	3.56					
f _{SUB} = 32.768 kHz ⁵ T _A = + 105°C	方形波入力	3.04	15.37	μA				
	発振子接続	3.23	15.56					
IDD3 ⁶	STOP モード ⁸	T _A = - 40°C		0.17	0.50	μA		
		T _A = + 25°C		0.23	0.50			
		T _A = + 50°C		0.32	1.10			
		T _A = + 70°C		0.43	1.90			
		T _A = + 85°C		0.71	3.30			
		T _A = + 105°C		2.90	15.30			

(注 , 備考は次ページにあります。)

- 注1. VDD, EVDDに流れるトータル電流です。入力端子をVDD, EVDDまたはVSS, EVSSに固定した状態での入力電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
2. フラッシュ・メモリでのHALT命令実行時。
 3. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。
 4. 高速システム・クロック、サブシステム・クロックは停止時。
 5. 高速オンチップ・オシレータ、高速システム・クロックは停止時。
RTCLPC = 1, かつ超低消費発振 (AMPHS1 = 1) 設定時。RTCに流れる電流は含みます。ただし、12ビット・インターバル・タイマ、ウォッチドッグ・タイマ、LCDコントローラ / ドライバに流れる電流は含みません。
 6. RTC, 12ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
 7. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。
HS (高速メイン) モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 24\text{ MHz}$
 $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$
 8. STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

- 備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数
 3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
 4. 「サブシステム・クロック動作」, 「STOPモード」以外のTYP.値の温度条件は、 $T_A = 25\text{ }^\circ\text{C}$ です。

(TA = - 40 ~ + 105 °C , 2.4 V ≤ EVDD = VDD ≤ 5.5 V , VSS = EVSS = 0 V)

(3/3)

項目	略号	条件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	I _{FIL} 注1				0.20		μA
RTC動作電流	I _{RTC} 注1, 2, 3	f _{MAIN} は停止			0.08注12		μA
12ビット・インターバル・タイマ動作電流	I _{IT} 注1, 2, 4				0.08注12		μA
ウォッチドッグ・タイマ動作電流	I _{WDT} 注1, 2, 5	f _{IL} = 15 kHz			0.24		μA
A/Dコンバータ動作電流	I _{ADC} 注1, 6	最高速変換時	標準モード , AV _{REFP} = V _{DD} = 5.0 V		1.3	1.7	mA
			低電圧モード , AV _{REFP} = V _{DD} = 3.0 V		0.5	0.7	mA
A/Dコンバータ基準電圧電流	I _{ADREF} 注1				75.0		μA
温度センサ動作電流	I _{TMPS} 注1				75.0		μA
LVD動作電流	I _{LVD} 注1, 7				0.08		μA
セルフ・プログラミング動作電流	I _{FSP} 注1, 9				2.50	12.20	mA
BGO動作電流	I _{BGO} 注1, 8				2.50	12.20	mA
LCD動作電流	I _{LCD1} 注11, 12	外部抵抗分割方式	V _{DD} = EV _{DD} = 5.0 V V _{L4} = 5.0 V		0.04	0.20	μA
			V _{DD} = EV _{DD} = 5.0 V V _{L4} = 5.1 V (VLCD = 12H)		1.12	3.70	μA
	I _{LCD2} 注11	内部昇圧方式	V _{DD} = EV _{DD} = 5.0 V V _{L4} = 3.0 V (VLCD = 04H)		0.63	2.20	μA
			V _{DD} = EV _{DD} = 3.0 V V _{L4} = 3.0 V		0.12	0.50	μA
I _{LCD3} 注11	容量分割方式	V _{DD} = EV _{DD} = 3.0 V V _{L4} = 3.0 V		0.12	0.50	μA	
SNOOZE動作電流	I _{SNOZ} 注1	ADC動作	モード遷移中注10		0.50	1.10	mA
			変換動作中 , 低電圧モード , AV _{REFP} = V _{DD} = 3.0 V		1.20	2.04	
		CSI/UART動作			0.70	1.54	

注1. VDDに流れる電流です。

- 高速オンチップ・オシレータ , 高速システム・クロックは停止時。
- リアルタイム・クロック (RTC) にのみ流れる電流です (低速オンチップ・オシレータ , XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでのリアルタイム・クロックの動作時は , IDD1またはIDD2にIRTCを加算した値が , RL78マイクロコントローラの電流値となります。また , 低速オンチップ・オシレータ選択時はIFILを加算してください。IDD2のサブシステム・クロック動作にはリアルタイム・クロックの動作電流が含まれています。
- 12ビット・インターバル・タイマにのみ流れる電流です (低速オンチップ・オシレータ , XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでの12ビット・インターバル・タイマの動作時は , IDD1またはIDD2にIITを加算した値が , RL78マイクロコントローラの電流値となります。また , 低速オンチップ・オシレータ選択時はIFILを加算してください。

5. ウォッチドッグ・タイマにのみ流れる電流です (低速オンチップ・オシレータの動作電流を含みます)。ウォッチドッグ・タイマの動作時は、IDD1、IDD2またはIDD3にIWDTを加算した値が、RL78マイクロコントローラの電流値となります。
6. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータの動作時はIDD1またはIDD2にIADCを加算した値が、RL78マイクロコントローラの電流値となります。
7. LVD回路にのみ流れる電流です。LVD回路の動作時は、IDD1、IDD2またはIDD3にILVDを加算した値がRL78マイクロコントローラの電流値となります。
8. データ・フラッシュ書き換え動作に流れる電流です。
9. セルフ・プログラミング動作に流れる電流です。
10. SNOOZEモードへの移行時間は、18.3.3 SNOOZEモードを参照してください。
11. LCDコントローラ / ドライバにのみ流れる電流です。動作モードまたはHALTモード時にLCDコントローラ / ドライバが動作中の場合、電源電流 (IDD1またはIDD2) にLCD動作電流 (ILCD1またはILCD2またはILCD3) を加算した値が、RL78マイクロコントローラの電流値となります。LCDパネルに流れる電流は含みません。
TYP.値、MAX.値は以下の条件の値になります。
 - ・ システム・クロックにfSUB選択、LCDクロック = 128 Hz時 (LCDC0 = 07H)
 - ・ 4時分割、1/3バイアス設定
12. 外部抵抗分割方式使用時の外部分割抵抗に流れる電流は含みません。

備考1. fIL : 低速オンチップ・オシレータ・クロック周波数

2. fSUB : サブシステム・クロック周波数 (XT1クロック発振周波数)

3. fCLK : CPU / 周辺ハードウェア・クロック周波数

4. TYP.値の温度条件は、TA = 25 °Cです。

31.4 AC特性

31.4.1 基本動作

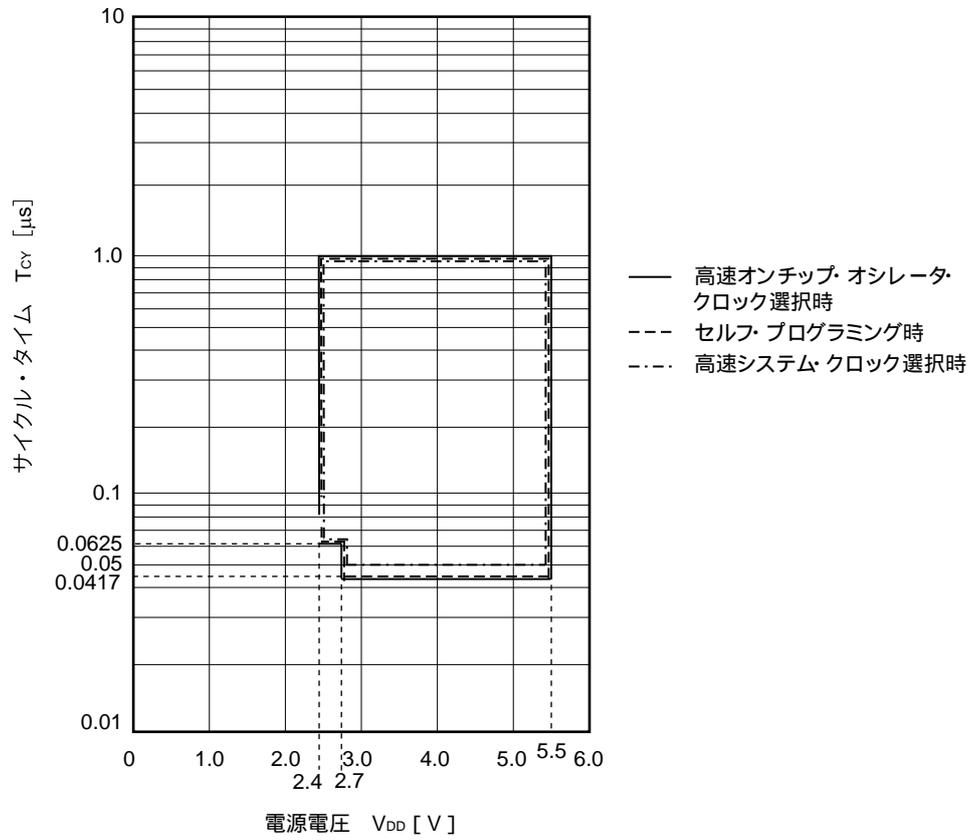
($T_A = -40 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq E_{VDD} = V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = E_{VSS} = 0 \text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
命令サイクル (最小命令実行時間)	T _{cy}	メインシステム・クロック (f _{MAIN})動作	HS(高速メイン)モード 2.7V ≤ V _{DD} ≤ 5.5V	0.04167		1	μs
			2.4V ≤ V _{DD} < 2.7V	0.0625		1	μs
		サブシステム・クロック (f _{SUB})動作	2.4V ≤ V _{DD} ≤ 5.5V	28.5	30.5	31.3	μs
		セルフ・プロ グラミング時	HS(高速メイン)モード 2.7V ≤ V _{DD} ≤ 5.5V	0.04167		1	μs
			2.4V ≤ V _{DD} < 2.7V	0.0625		1	μs
外部システム・クロック 周波数	f _{EX}	2.7V ≤ V _{DD} ≤ 5.5V		1.0		20.0	MHz
		2.4V ≤ V _{DD} < 2.7V		1.0		16.0	MHz
	f _{EXS}			32		35	kHz
外部システム・クロック入力 ハイ,ロウ・レベル幅	t _{EXH} ,	2.7V ≤ V _{DD} ≤ 5.5V		24			ns
	t _{EXL}	2.4V ≤ V _{DD} < 2.7V		30			ns
	t _{EXHS} , t _{EXLS}			13.7			μs
TI00-TI07入力ハイ・レベル幅, ロウ・レベル幅	t _{TIH} , t _{TIL}			1/f _{MCK} + 10			ns
TO00 -TO07出力周波数	f _{TO}	HS(高速メイン)モード	4.0V ≤ E _{VDD} ≤ 5.5V			16	MHz
			2.7V ≤ E _{VDD} < 4.0V			8	MHz
			2.4V ≤ E _{VDD} < 2.7V			4	MHz
PCLBUZ0, PCLBUZ1出力周波 数	f _{FCL}	HS(高速メイン)モード	4.0V ≤ E _{VDD} ≤ 5.5V			16	MHz
			2.7V ≤ E _{VDD} < 4.0V			8	MHz
			2.4V ≤ E _{VDD} < 2.7V			4	MHz
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t _{INTH} , t _{INTL}	INTP0	2.4V ≤ V _{DD} ≤ 5.5V	1			μs
		INTP1-INTP7	2.4V ≤ E _{VDD} ≤ 5.5V	1			μs
キー割り込み入力 ロウ・レベル幅	t _{KR}	KR0-KR3	2.4V ≤ E _{VDD} ≤ 5.5V	250			ns
RESETロウ・レベル幅	t _{RSL}			10			μs

備考 f_{MCK} : タイマ・アレイ・ユニットの動作クロック周波数。

(タイマ・モード・レジスタ0n(TMR0n)のCKS0nビットで設定する動作クロック。n:チャンネル番号(n = 0-7))

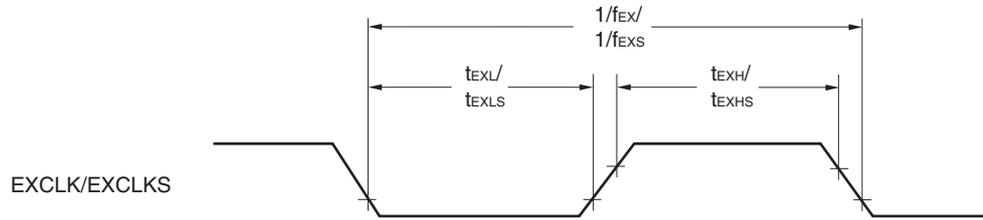
メイン・システム・クロック動作時の最小命令実行時間

T_{cy} vs V_{DD} (HS (高速メイン) モード)

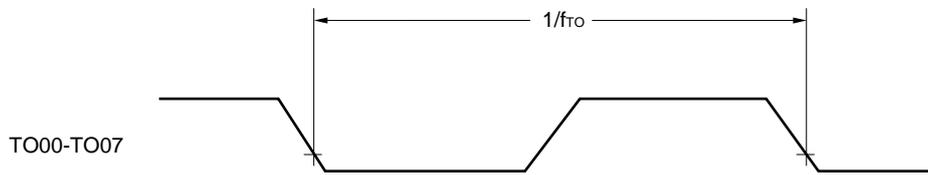
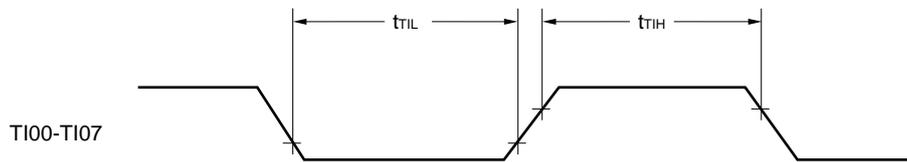
ACタイミング測定点



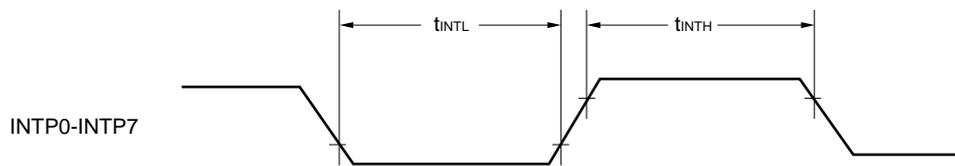
外部システム・クロック・タイミング



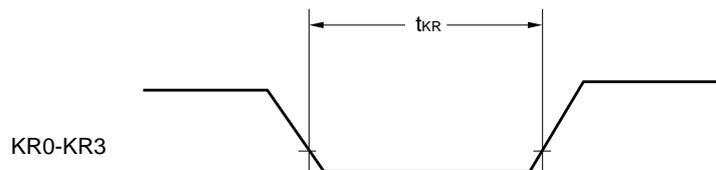
TI/TOタイミング



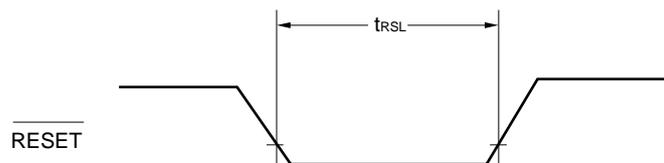
割り込み要求入カタイミング



キー割り込み入カタイミング



RESET入カタイミング



31.5 周辺機能特性

ACタイミング測定点



31.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時 (UARTモード)

($T_A = -40 \sim +105 \text{ } ^\circ\text{C}$, $2.4 \text{ V} \leq E_{VDD} = V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = E_{VSS} = 0 \text{ V}$)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
転送レート ^{注1}				$f_{MCK}/12$	bps
		最大転送レート理論値 $f_{MCK} = f_{CLK}$ ^{注2}		2.0	Mbps

注1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

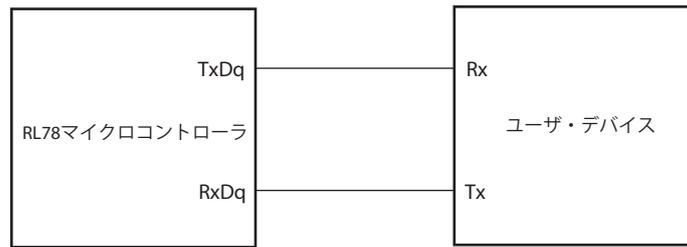
2. CPU / 周辺ハードウェア・クロック (f_{CLK}) の最高動作周波数を次に示します。

HS (高速メイン)モード : 24 MHz ($2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$)

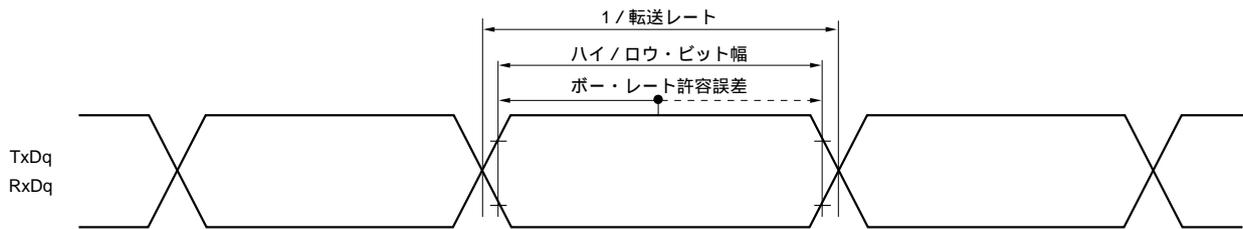
16 MHz ($2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$)

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子は通常入力バッファを選択し、TxDq端子は通常出力モードを選択します。

UARTモード接続図 (同電位通信時)



UARTモードのビット幅 (同電位通信時) (参考)



備考1. q : UART番号 (q = 0) , g : PIM, POM番号 (g = 1)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号 , n : チャンネル番号 (mn = 00, 01))

(2) 同電位通信時 (CSIモード) (マスタ・モード, SCKp...内部クロック出力)
 (TA = -40 ~ +105 °C, 2.4 V ≤ EVDD = VDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件		HS (高速メイン) モード		単位
				MIN.	MAX.	
SCKpサイクル・タイム	tkCY1	2.7 V ≤ EVDD ≤ 5.5 V		334 ^{注1}		ns
		2.4 V ≤ EVDD ≤ 5.5 V		500 ^{注1}		ns
SCKpハイ, ロウ・レベル幅	tkH1, tkL1	4.0 V ≤ EVDD ≤ 5.5 V		tkCY1/2 - 24		ns
		2.7 V ≤ EVDD ≤ 5.5 V		tkCY1/2 - 36		ns
		2.4 V ≤ EVDD ≤ 5.5 V		tkCY1/2 - 76		ns
Slpセットアップ時間 (対SCKp↑) ^{注2}	tsIK1	2.7 V ≤ EVDD ≤ 5.5 V		66		ns
		2.4 V ≤ EVDD ≤ 5.5 V		113		ns
Slpホールド時間 (対SCKp↑) ^{注2}	tkSI1	2.4 V ≤ EVDD ≤ 5.5 V		38		ns
SCKp↓ → SOp出力遅延時間 ^{注3}	tkSO1	C = 30 pF ^{注4}	2.4 V ≤ EVDD ≤ 5.5 V		50	ns

注1. $\frac{C}{4f_{MCK}}$ 以上に設定してください。

- DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。
- DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。
- Cは, SCKp, SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, Slp端子は通常入力バッファ, SOp端子とSCKp端子は通常出力モードを選択。

備考1. p: CSI番号 (p = 00, 01), m: ユニット番号 (m = 0), n: チャネル番号 (n = 0, 1),
g: PIM, POM番号 (g = 1)

- fMCK: シリアル・アレイ・ユニットの動作クロック周波 (シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。
m: ユニット番号, n: チャネル番号 (mn = 00, 01))

(3) 同電位通信時 (CSIモード) (スレーブ・モード, SCKp...外部クロック入力)
 ($T_A = -40 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq \text{EV}_{\text{DD}} = \text{V}_{\text{DD}} \leq 5.5 \text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}} = 0 \text{ V}$)

項目	略号	条件		HS (高速メイン) モード		単位
				MIN.	MAX.	
SCKpサイクル・タイム ^{注4}	tkcy2	$4.0 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$	$20 \text{ MHz} < f_{\text{MCK}}$	$16/f_{\text{MCK}}$		ns
			$f_{\text{MCK}} \leq 20 \text{ MHz}$	$12/f_{\text{MCK}}$		ns
		$2.7 \text{ V} \leq \text{EV}_{\text{DD}} < 4.0 \text{ V}$	$16 \text{ MHz} < f_{\text{MCK}}$	$16/f_{\text{MCK}}$		ns
			$f_{\text{MCK}} \leq 16 \text{ MHz}$	$12/f_{\text{MCK}}$		ns
		$2.4 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$		$12/f_{\text{MCK}}$ かつ 1000		ns
SCKpハイ, ロウ・レベル幅	tkH2, tkL2	$4.0 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$		$t_{\text{KCY2}}/2 - 14$		ns
		$2.7 \text{ V} \leq \text{EV}_{\text{DD}} < 4.0 \text{ V}$		$t_{\text{KCY2}}/2 - 16$		ns
		$2.4 \text{ V} \leq \text{EV}_{\text{DD}} < 2.7 \text{ V}$		$t_{\text{KCY2}}/2 - 36$		ns
Slpセットアップ時間 (対SCKp \uparrow) ^{注1}	tsik2	$2.7 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$		$1/f_{\text{MCK}} + 40$		ns
		$2.4 \text{ V} \leq \text{EV}_{\text{DD}} < 2.7 \text{ V}$		$1/f_{\text{MCK}} + 60$		ns
Slpホールド時間 (対SCKp \uparrow) ^{注1}	tkSI2	$2.4 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$		$1/f_{\text{MCK}} + 62$		ns
SCKp \downarrow \rightarrow Sop出力遅延時間 注2	tkSO2	C = 30 pF ^{注3}	$4.0 \text{ V} \leq \text{EV}_{\text{DD}} \leq 5.5 \text{ V}$		$2/f_{\text{MCK}} + 66$	ns
			$2.7 \text{ V} \leq \text{EV}_{\text{DD}} < 4.0 \text{ V}$		$2/f_{\text{MCK}} + 66$	ns
			$2.4 \text{ V} \leq \text{EV}_{\text{DD}} < 2.7 \text{ V}$		$2/f_{\text{MCK}} + 113$	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp \downarrow ”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp \uparrow ”となります。

3. Cは, SOp出カラインの負荷容量です。

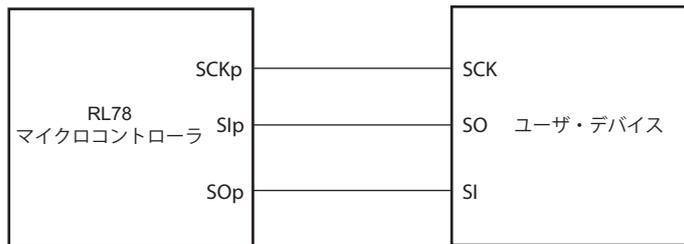
4. SNOOZEモードでの転送レートは, MAX.1 Mbpsです。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, Slp端子とSCKp端子は通常入力バッファを選択し, SOp端子は通常出力モードを選択します。

備考1. p: CSI番号 (p = 00, 01), m: ユニット番号 (m = 0), n: チャネル番号 (n = 0, 1),
g: PIM, POM番号 (g = 1)

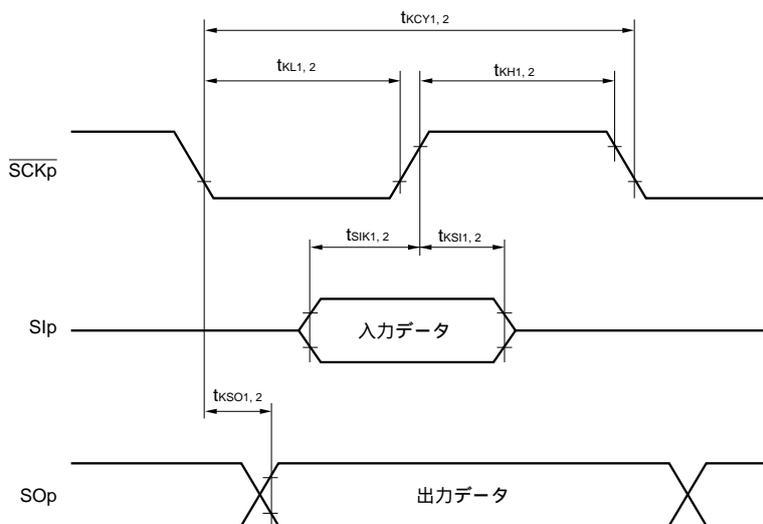
2. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数
 (シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m: ユニット番号, n: チャネル番号 (mn = 00, 01))

CSIモード接続図 (同電位通信時)



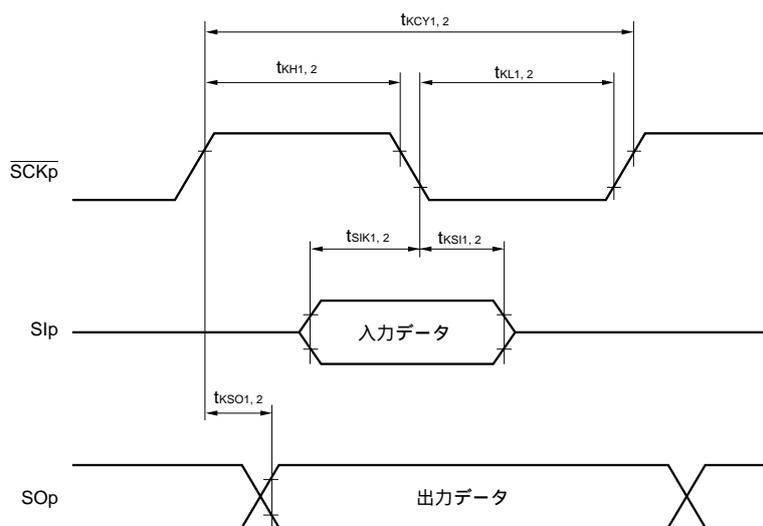
CSIモード・シリアル転送タイミング (同電位通信時)

(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング (同電位通信時)

(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考 1. p : CSI番号 (p = 00, 01)

2. m : ユニット番号 , n : チャネル番号 (mn = 00, 01)

(4) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (UARTモード) (1/2)

($T_A = -40 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq \text{EV}_{\text{DD}} = \text{V}_{\text{DD}} \leq 5.5 \text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}} = 0 \text{ V}$)

項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
転送レート		受信 4.0 V \leq EV _{DD} \leq 5.5 V, 2.7 V \leq V _b \leq 4.0 V		$f_{\text{MCK}}/12$ ^{注1}	bps
			最大転送レート 理論値 $f_{\text{MCK}} = f_{\text{CLK}}$ ^{注2}		2.0
		2.7 V \leq EV _{DD} < 4.0 V, 2.3 V \leq V _b \leq 2.7 V		$f_{\text{MCK}}/12$ ^{注1}	bps
			最大転送レート 理論値 $f_{\text{MCK}} = f_{\text{CLK}}$ ^{注2}		2.0
		2.4 V \leq EV _{DD} < 3.3 V, 1.6 V \leq V _b \leq 2.0 V		$f_{\text{MCK}}/12$ ^{注1}	bps
			最大転送レート 理論値 $f_{\text{MCK}} = f_{\text{CLK}}$ ^{注2}		2.0

注1. SNOOZEモードでの転送レートは, 4800 bpsのみとなります。

2. CPU / 周辺ハードウェア・クロック (f_{CLK}) の最高動作周波数を次に示します。

HS (高速メイン) モード : 24 MHz (2.7 V \leq V_{DD} \leq 5.5 V)

16 MHz (2.4 V \leq V_{DD} \leq 5.5 V)

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, RxDq端子はTTL入力バッファを選択し, TxDq端子はN-chオープン・ドレイン出力 (V_{DD}耐圧 (32ピン~52ピン製品) / EV_{DD}耐圧 (64ピン製品)) モードを選択します。なおV_{IH}, V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。

備考1. V_b [V]: 通信ライン電圧

2. q: UART番号 (q = 0), g: PIM, POM番号 (g = 1)

3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m: ユニット番号, n: チャンネル番号 (mn = 00, 01))

(4) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (UARTモード) (2/2)
 (TA = -40 ~ +105 °C, 2.4 V ≤ EVDD = VDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
転送レート	送信	4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		注1	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 1.4 kΩ, Vb = 2.7 V		2.0注2	Mbps
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		注3	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 2.7 kΩ, Vb = 2.3 V		1.2注4	Mbps
		2.4 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		注5	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 5.5 kΩ, Vb = 1.6 V		0.43 注6	Mbps

注1. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。
 4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.2}{V_b} \right) \right\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.2}{V_b} \right) \right\}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

3. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。
 2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.0}{V_b} \right) \right\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.0}{V_b} \right) \right\}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

4. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

5. $f_{MCK}/6$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

$1.8\text{ V} \leq E_{VDD} < 3.3\text{ V}$, $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$ 時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\left\{ -C_b \times R_b \times \ln \left(1 - \frac{1.5}{V_b} \right) \right\} \times 3} \quad [\text{bps}]$$

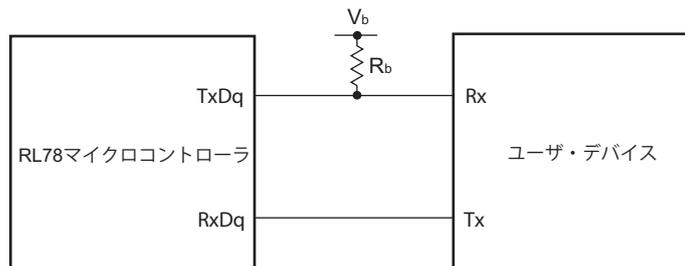
$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \left\{ -C_b \times R_b \times \ln \left(1 - \frac{1.5}{V_b} \right) \right\}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

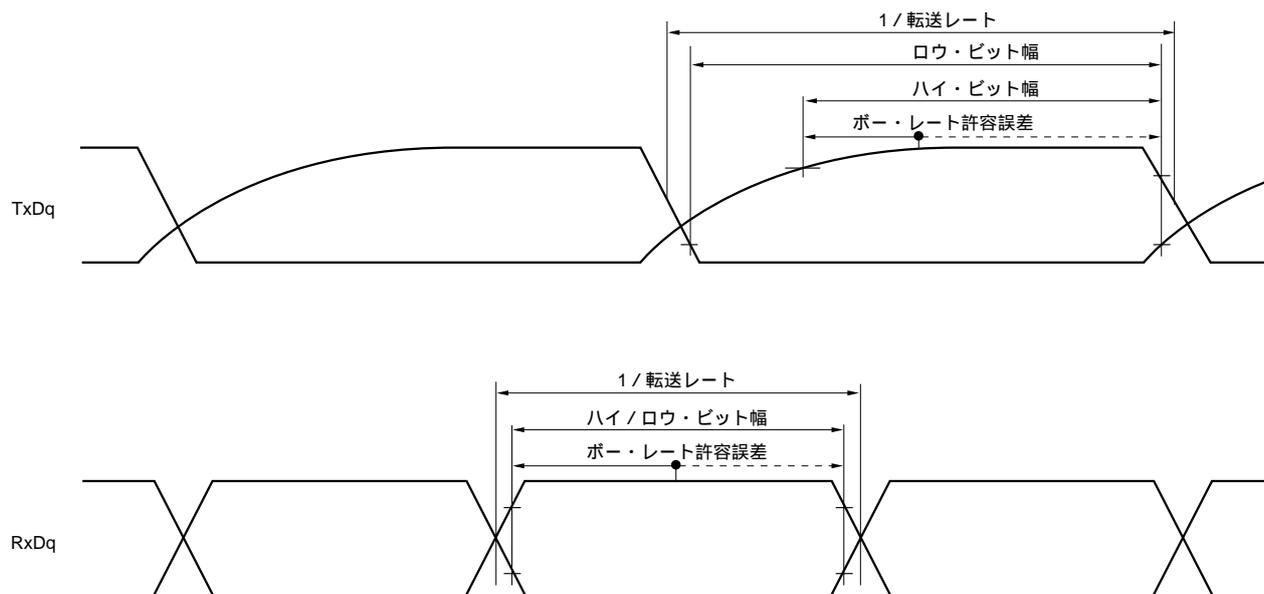
6. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注5により算出してください。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力 (V_{DD} 耐圧 (32ピン~52ピン製品) / E_{VDD} 耐圧 (64ピン製品)) モードを選択します。なお V_{IH} , V_{IL} は、TTL入力バッファ選択時のDC特性を参照してください。

UARTモード接続図 (異電位通信時)



UARTモードのビット幅 (異電位通信時) (参考)



備考1. R_b [Ω]: 通信ライン (TxDq) プルアップ抵抗値, C_b [F]: 通信ライン (TxDq) 負荷容量値, V_b [V]: 通信ライン電圧

2. q : UART番号 ($q = 0, 1$), g : PIM, POM番号 ($g = 1$)

3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。 m : ユニット番号, n : チャンネル番号 ($mn = 00, 01$))

(5) 異電位 (1.8 V系 , 2.5 V系 , 3 V系) 通信時 (CSIモード) (マスタ・モード , SCKp...内部クロック出力)
(1/2)

($T_A = -40 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq EV_{DD} = V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	HS(高速メイン)モード		単位
			MIN.	MAX.	
SCKpサイクル・タイム	t_{KCY1}	$t_{KCY1} \geq 4/f_{CLK}$ $4.0 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	600		ns
		$2.7 \text{ V} \leq EV_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$	600		ns
		$2.4 \text{ V} \leq EV_{DD} < 3.3 \text{ V}$, $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 5.5 \text{ k}\Omega$	2300		ns
SCKpハイ・レベル幅	t_{KH1}	$4.0 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	$t_{KCY1}/2$ - 150		ns
		$2.7 \text{ V} \leq EV_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$	$t_{KCY1}/2$ - 340		ns
		$2.4 \text{ V} \leq EV_{DD} < 3.3 \text{ V}$, $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 5.5 \text{ k}\Omega$	$t_{KCY1}/2$ - 916		ns
SCKpロウ・レベル幅	t_{KL1}	$4.0 \text{ V} \leq EV_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	$t_{KCY1}/2$ - 24		ns
		$2.7 \text{ V} \leq EV_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$	$t_{KCY1}/2$ - 36		ns
		$2.4 \text{ V} \leq EV_{DD} < 3.3 \text{ V}$, $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 5.5 \text{ k}\Omega$	$t_{KCY1}/2$ - 100		ns

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で , SIp端子はTTL入力バッファを選択し , SOp端子とSCKp端子はN-chオープン・ドレイン出力 (V_{DD} 耐圧 (32ピン~52ピン製品) / EV_{DD} 耐圧 (64ピン製品)) モードを選択します。なお V_{IH} , V_{IL} は , TTL入力バッファ選択時のDC特性を参照してください。

(5) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, SCKp...内部クロック出力) (2/2)
 (TA = -40 ~ +105 °C, 2.4 V ≤ EVDD = VDD ≤ 5.5 V, VSS = EVSS = 0 V)

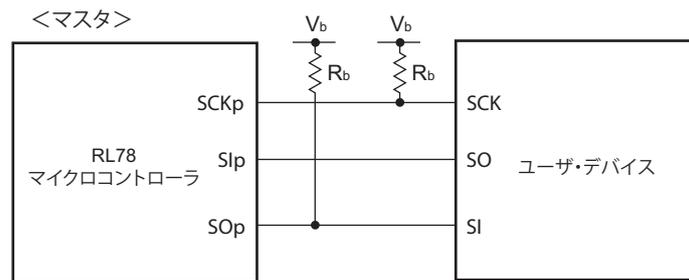
項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
Slpセットアップ時間 (対SCKp↑) 注 ¹	t _{SIK1}	4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	162		ns
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	354		ns
		2.4 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	958		ns
Slpホールド時間 (対SCKp↑) 注 ¹	t _{SI1}	4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	38		ns
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	38		ns
		2.4 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	38		ns
SCKp↓ → SOp出力遅延 時間注 ¹	t _{KSO1}	4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		200	ns
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		390	ns
		2.4 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ		966	ns
Slpセットアップ時間 (対SCKp↓) 注 ²	t _{SIK1}	4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	88		ns
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	88		ns
		2.4 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	220		ns
Slpホールド時間 (対SCKp↓) 注 ²	t _{SI1}	4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	38		ns
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	38		ns
		2.4 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	38		ns
SCKp↑ → SOp出力遅延 時間注 ²	t _{KSO1}	4.0 V ≤ EVDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		50	ns
		2.7 V ≤ EVDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		50	ns
		2.4 V ≤ EVDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ		50	ns

(注, 注意, 備考は次ページにあります。)

- 注 1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。
2. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

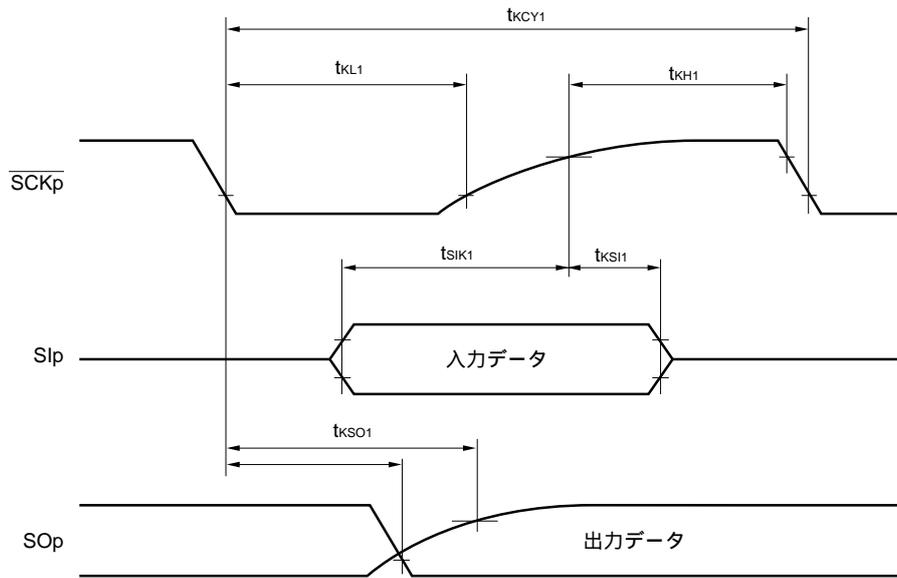
注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で , SIp端子はTTL入力バッファを選択し , SOp端子とSCKp端子はN-chオープン・ドレイン出力 (V_{DD}耐圧 (32ピン~52ピン製品) / EV_{DD}耐圧 (64ピン製品)) モードを選択します。なおV_{IH} , V_{IL}は , TTL入力バッファ選択時のDC特性を参照してください。

CSIモード接続図 (異電位通信時)

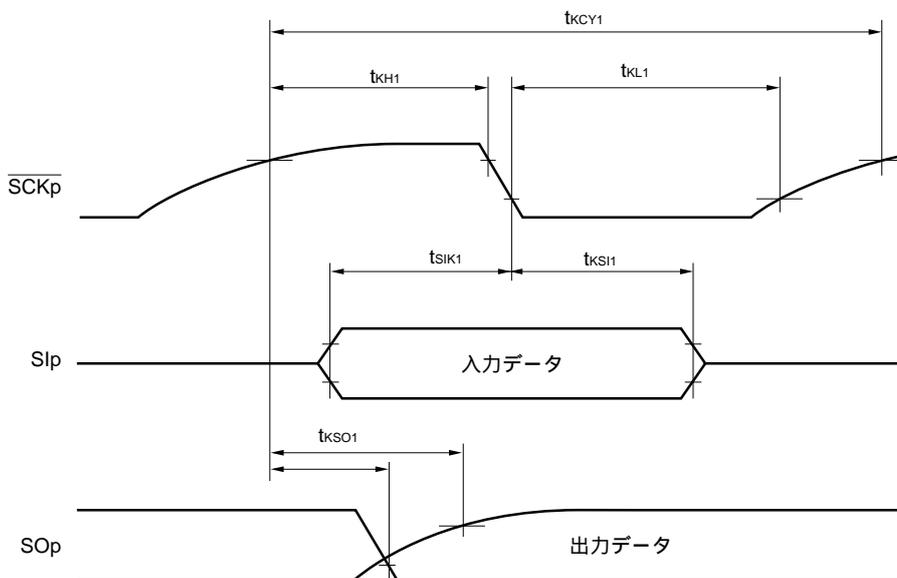


- 備考1. R_b [Ω] : 通信ライン (SCKp, SOp) プルアップ抵抗値 , C_b [F] : 通信ライン (SCKp, SOp) 負荷容量値 , V_b [V] : 通信ライン電圧
2. p : CSI番号 ($p = 00, 01$) , m : ユニット番号 ($m = 0$) , n : チャネル番号 ($n = 0, 1$) ,
 g : PIM, POM番号 ($g = 1$)
 3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数 (シリアル・クロック選択レジスタ m (SPS m) とシリアル・モード・レジスタ mn (SMR mn) のCKSM n ビットで設定する動作クロック。 m : ユニット番号 , n : チャネル番号 ($mn = 00, 01$))

CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）
 （DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）
 （DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



備考 p : CSI番号 (p = 00, 01) , m : ユニット番号 (m = 0) ,
 n : チャネル番号 (n = 0, 1) , g : PIM, POM番号 (g = 1)

(6) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (CSIモード) (スレーブ・モード, SCKp...外部クロック入力)
 ($T_A = -40 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq \text{EV}_{\text{DD}} = \text{V}_{\text{DD}} \leq 5.5 \text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}} = 0 \text{ V}$)

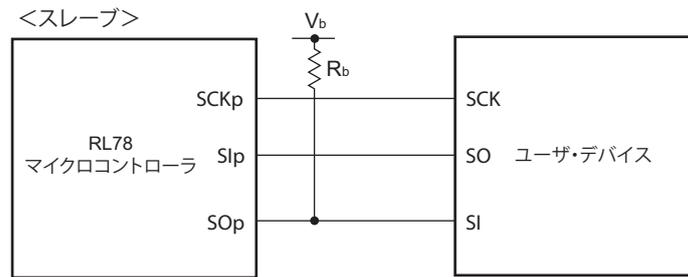
項目	略号	条件		HS (高速メイン) モード		単位
				MIN.	MAX.	
SCKp サイクル・タイム ^{注1}	t _{KCY2}	4.0 V ≤ EV _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V	20 MHz < f _{MCK} ≤ 24 MHz	24/f _{MCK}		ns
			8 MHz < f _{MCK} ≤ 20 MHz	20/f _{MCK}		ns
			4 MHz < f _{MCK} ≤ 8 MHz	16/f _{MCK}		ns
			f _{MCK} ≤ 4 MHz	12/f _{MCK}		ns
	2.7 V ≤ EV _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V	20 MHz < f _{MCK} ≤ 24 MHz	32/f _{MCK}		ns	
		16 MHz < f _{MCK} ≤ 20 MHz	28/f _{MCK}		ns	
		8 MHz < f _{MCK} ≤ 16 MHz	24/f _{MCK}		ns	
		4 MHz < f _{MCK} ≤ 8 MHz	16/f _{MCK}		ns	
	2.4 V ≤ EV _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V	20 MHz < f _{MCK} ≤ 24 MHz	72/f _{MCK}		ns	
		16 MHz < f _{MCK} ≤ 20 MHz	64/f _{MCK}		ns	
		8 MHz < f _{MCK} ≤ 16 MHz	52/f _{MCK}		ns	
		4 MHz < f _{MCK} ≤ 8 MHz	32/f _{MCK}		ns	
	f _{MCK} ≤ 4 MHz	20/f _{MCK}		ns		
SCKp ハイ , 口 ウ・ レベル幅	t _{KH2} , t _{KL2}	4.0 V ≤ EV _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V	t _{KCY2} /2 - 24		ns	
		2.7 V ≤ EV _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V	t _{KCY2} /2 - 36		ns	
		2.4 V ≤ EV _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V	t _{KCY2} /2 - 100		ns	
Slp セットアッ プ時間 (対 SCKp ↑) 注 2	t _{SIK2}	4.0 V ≤ EV _{DD} < 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V	1/f _{MCK} + 40		ns	
		2.7 V ≤ EV _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V	1/f _{MCK} + 40		ns	
		2.4 V ≤ EV _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V	1/f _{MCK} + 60		ns	
Slp ホールド時 間 (対 SCKp ↑) 注 2	t _{KS12}	4.0 V ≤ EV _{DD} < 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V	1/f _{MCK} + 62		ns	
		2.7 V ≤ EV _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V	1/f _{MCK} + 62		ns	
		2.4 V ≤ EV _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V	1/f _{MCK} + 62		ns	
SCKp ↓ → SOp 出力遅延時間 ^{注3}	t _{KSO2}	4.0 V ≤ EV _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ		2/f _{MCK} + 240	ns	
		2.7 V ≤ EV _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ		2/f _{MCK} + 428	ns	
		2.4 V ≤ EV _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ		2/f _{MCK} + 1146	ns	

(注, 注意, 備考は次ページにあります。)

- 注1. SNOOZEモードでの転送レートは , MAX. 1 Mbps
2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“ 対SCKp↓ ” となります。
 3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“ 対SCKp↑ ” となります。

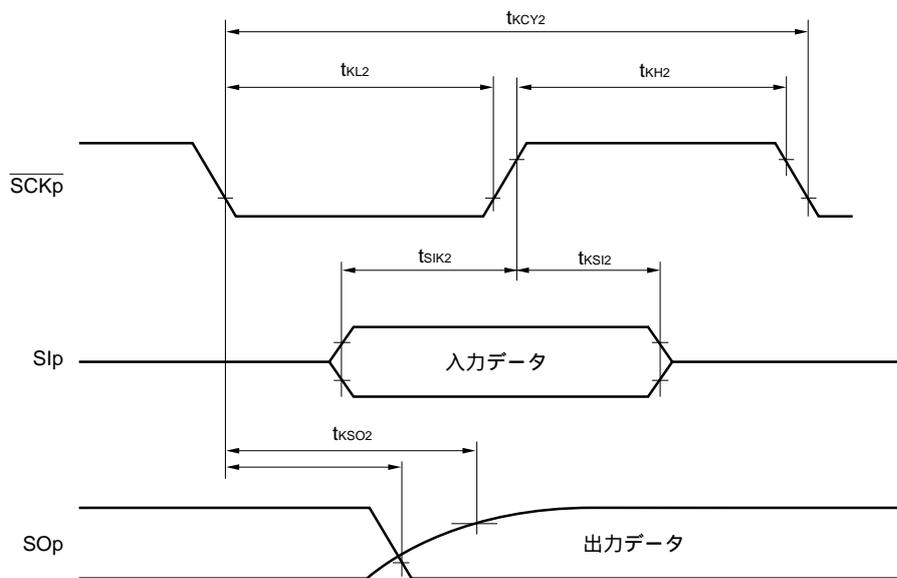
注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で , SIp端子とSCKp端子はTTL入力バッファを選択し , SOp端子はN-chオープン・ドレイン出力 (V_{DD} 耐圧 (32ピン~52ピン製品) / EV_{DD} 耐圧 (64ピン製品)) モードを選択します。なお V_{IH} , V_{IL} は , TTL入力バッファ選択時のDC特性を参照してください。

CSIモード接続図 (異電位通信時)

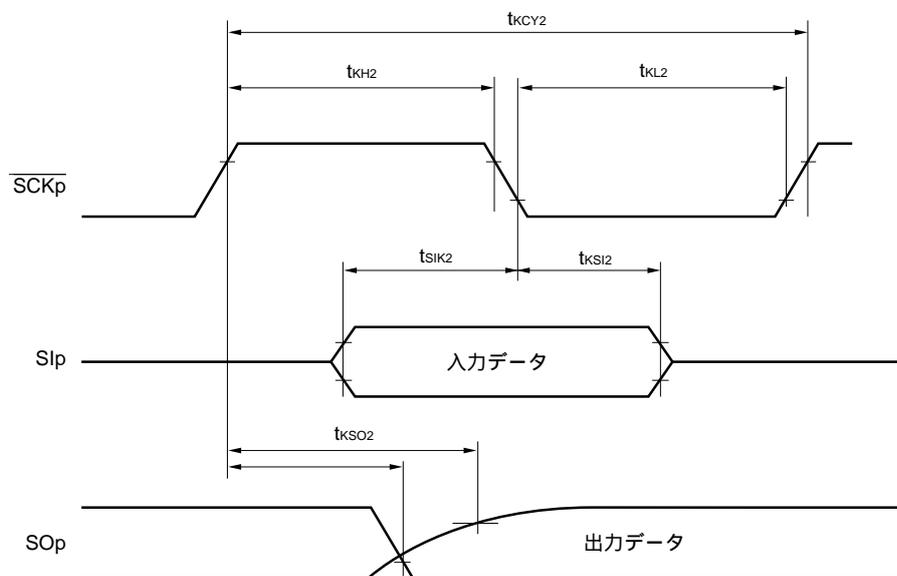


- 備考1. R_b [Ω] : 通信ライン (SOp) プルアップ抵抗値 , C_b [F] : 通信ライン (SOp) 負荷容量値 ,
 V_b [V] : 通信ライン電圧
2. p : CSI番号 ($p = 00, 01$) , m : ユニット番号 (0) , n : チャネル番号 ($n = 0, 1$) ,
 g : PIM, POM番号 ($g = 1$)
3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
 シリアル・クロック選択レジスタ m (SPS m) とシリアル・モード・レジスタ mn (SMR mn) のCKSm n ビットで設定する動作クロック。 m : ユニット番号 , n : チャネル番号 ($mn = 00, 01$))

CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
 （DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
 （DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



備考 p : CSI番号 (p = 00, 01) , m : ユニット番号 (m = 0) ,
 n : チャネル番号 (n = 0, 1) , g : PIM, POM番号 (g = 1)

31.5.2 シリアル・インタフェースIICA

(1) I²C 標準モード

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD = VDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		単位	
			MIN.	MAX.		
SCLA0クロック周波数	fSCL	標準モード : fCLK ≥ 1 MHz	2.7 V ≤ EVDD ≤ 5.5 V	0	100	kHz
			2.4 V ≤ EVDD ≤ 5.5 V	0	100	
リスタート・コンディションのセットアップ時間	tSU : STA		2.7 V ≤ EVDD ≤ 5.5 V	4.7		μs
			2.4 V ≤ EVDD ≤ 5.5 V	4.7		
ホールド時間 ^{注1}	tHD : STA		2.7 V ≤ EVDD ≤ 5.5 V	4.0		μs
			2.4 V ≤ EVDD ≤ 5.5 V	4.0		
SCLA0 = "L" のホールド・タイム	tLOW		2.7 V ≤ EVDD ≤ 5.5 V	4.7		μs
			2.4 V ≤ EVDD ≤ 5.5 V	4.7		
SCLA0 = "H" のホールド・タイム	tHIGH		2.7 V ≤ EVDD ≤ 5.5 V	4.0		μs
			2.4 V ≤ EVDD ≤ 5.5 V	4.0		
データ・セットアップ時間 (受信時)	tSU : DAT		2.7 V ≤ EVDD ≤ 5.5 V	250		ns
			2.4 V ≤ EVDD ≤ 5.5 V	250		
データ・ホールド時間 (送信時) ^{注2}	tHD : DAT		2.7 V ≤ EVDD ≤ 5.5 V	0	3.45	μs
			2.4 V ≤ EVDD ≤ 5.5 V	0	3.45	
ストップ・コンディションのセットアップ時間	tSU : STO		2.7 V ≤ EVDD ≤ 5.5 V	4.0		μs
			2.4 V ≤ EVDD ≤ 5.5 V	4.0		
パス・フリー時間	tBUF		2.7 V ≤ EVDD ≤ 5.5 V	4.7		μs
			2.4 V ≤ EVDD ≤ 5.5 V	4.7		

注 1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

2. tHD : DATの最大値 (MAX.) は, 通常転送時の数値であり, \overline{ACK} (アクノリッジ) タイミングでは, ウエイトがかかります。

備考 各モードにおけるCb (通信ライン容量) のMAX.値と, そのときのRb (通信ライン・プルアップ抵抗値) の値は次のとおりです。

標準モード : Cb = 400 pF, Rb = 2.7 kΩ

(2) I²C ファースト・モード

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD = VDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SCLA0クロック周波数	f _{SCL}	2.7 V ≤ EVDD ≤ 5.5 V	0	400	kHz
		2.4 V ≤ EVDD ≤ 5.5 V f _{CLK} ≥ 3.5 MHz	0	400	
リスタート・コンディションのセットアップ時間	t _{SU: STA}	2.7 V ≤ EVDD ≤ 5.5 V	0.6		μs
		2.4 V ≤ EVDD ≤ 5.5 V	0.6		
ホールド時間 ^{注1}	t _{HD: STA}	2.7 V ≤ EVDD ≤ 5.5 V	0.6		μs
		2.4 V ≤ EVDD ≤ 5.5 V	0.6		
SCLA0="L"のホールド・タイム	t _{LOW}	2.7 V ≤ EVDD ≤ 5.5 V	1.3		μs
		2.4 V ≤ EVDD ≤ 5.5 V	1.3		
SCLA0="H"のホールド・タイム	t _{HIGH}	2.7 V ≤ EVDD ≤ 5.5 V	0.6		μs
		2.4 V ≤ EVDD ≤ 5.5 V	0.6		
データ・セットアップ時間 (受信時)	t _{SU: DAT}	2.7 V ≤ EVDD ≤ 5.5 V	100		ns
		2.4 V ≤ EVDD ≤ 5.5 V	100		
データ・ホールド時間 (送信時) ^{注2}	t _{HD: DAT}	2.7 V ≤ EVDD ≤ 5.5 V	0	0.9	μs
		2.4 V ≤ EVDD ≤ 5.5 V	0	0.9	
ストップ・コンディションの セットアップ時間	t _{SU: STO}	2.7 V ≤ EVDD ≤ 5.5 V	0.6		μs
		2.4 V ≤ EVDD ≤ 5.5 V	0.6		
パス・フリー時間	t _{BUF}	2.7 V ≤ EVDD ≤ 5.5 V	1.3		μs
		2.4 V ≤ EVDD ≤ 5.5 V	1.3		

注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

2. t_{HD: DAT}の最大値 (MAX.) は, 通常転送時の数値であり, \overline{ACK} (アクノリッジ) タイミングでは, ウエイトがかかります。

備考 各モードにおけるC_b (通信ライン容量) のMAX.値と, そのときのR_b (通信ライン・プルアップ抵抗値) の値は次のとおりです。

ファースト・モード : C_b = 320 pF, R_b = 1.1 kΩ

31.6 アナログ特性

31.6.1 A/Dコンバータ特性

A/Dコンバータ特性の区分

入力チャネル	基準電圧 基準電圧 (+) = AV _{REFP} 基準電圧 (-) = AV _{REFM}	基準電圧 (+) = V _{DD} 基準電圧 (-) = V _{SS}	基準電圧 (+) = V _{BGR} 基準電圧 (-) = AV _{REFM}
ANI0-ANI1	-	31.6.1 (3) 参照	31.6.1 (4) 参照
ANI16-ANI23	31.6.1 (2) 参照		
内部基準電圧 温度センサ出力電圧	31.6.1 (1) 参照		-

(1) 基準電圧 (+) = AV_{REFP}/ANI0 (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = AV_{REFM}/ANI1 (ADREFM = 1) 選択時, 変換対象: 内部基準電圧, 温度センサ出力電圧

(T_A = -40 ~ +105 °C, 2.4 V ≤ EV_{DD} = V_{DD} ≤ 5.5 V, 2.4V ≤ AV_{REFP} ≤ V_{DD} ≤ 5.5V, V_{SS} = EV_{SS} = 0 V, 基準電圧 (+) = AV_{REFP}, 基準電圧 (-) = AV_{REFM} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}	2.4 V ≤ AV _{REFP} ≤ 5.5 V		±3.5	LSB
変換時間	t _{CONV}	10ビット分解能 変換対象: 内部基準電圧出力, 温度センサ出力電圧 (HS (高速メイン) モード)	3.6 V ≤ V _{DD} ≤ 5.5 V,	2.375	39	μs
		2.7 V ≤ V _{DD} ≤ 5.5 V,	3.5625	39	μs	
		2.4 V ≤ V _{DD} ≤ 5.5 V,	17	39	μs	
ゼロスケール誤差 ^{注1,2}	E _{ZS}	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}	1.8 V ≤ AV _{REFP} ≤ 5.5 V		±0.25	%FSR
フルスケール誤差 ^{注1,2}	E _{FS}	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}	1.8 V ≤ AV _{REFP} ≤ 5.5 V		±0.25	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}	1.8 V ≤ AV _{REFP} ≤ 5.5 V		±2.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}	1.8 V ≤ AV _{REFP} ≤ 5.5 V		±1.5	LSB
アナログ入力電圧	V _{AIN}	内部基準電圧出力 (2.4 V ≤ V _{DD} ≤ 5.5 V, HS (高速メイン) モード)	V _{BGR} ^{注4}			V
		温度センサ出力電圧 (2.4 V ≤ V _{DD} ≤ 5.5 V, HS (高速メイン) モード)	V _{TMP25} ^{注4}			V

注1. 量子化誤差 (±1/2 LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. AV_{REFP} < V_{DD} の場合, MAX. 値は次のようになります。

総合誤差 : AV_{REFP} = V_{DD} のMAX. 値に ±1.0 LSB を加算してください

ゼロスケール誤差 / フルスケール誤差 : AV_{REFP} = V_{DD} のMAX. 値に ±0.05 %FSR を加算してください

積分直線性誤差 / 微分直線性誤差 : AV_{REFP} = V_{DD} のMAX. 値に ±0.5 LSB を加算してください

4. 30.6.2 温度センサ / 内部基準電圧特性を参照してください。

(2) 基準電圧(+) = $AV_{REFP}/ANI0$ (ADREFP1 = 0, ADREFP0 = 1), 基準電圧(-) = $AV_{REFM}/ANI1$ (ADREFM = 1) 選択時, 変換対象: ANI16-ANI23

($T_A = -40 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq EV_{DD} = V_{DD} \leq 5.5 \text{ V}$, $2.4 \text{ V} \leq AV_{REFP} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$, 基準電圧(+)= AV_{REFP} , 基準電圧(-)= $AV_{REFM} = 0 \text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
分解能	RES			8		10	bit	
総合誤差 ^{注1}	AINL	10ビット分解能 $AV_{REFP} = EV_{DD} = V_{DD}$ ^{注3}	$2.4 \text{ V} \leq AV_{REFP} \leq 5.5 \text{ V}$		1.2	± 5.0	LSB	
変換時間	tCONV	10ビット分解能 $AV_{REFP} = EV_{DD} = V_{DD}$ ^{注3}	$3.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	2.125		39	μs	
			$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		3.1875		39	μs
			$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		17		39	μs
ゼロスケール誤差 ^{注1,2}	EZS	10ビット分解能 $AV_{REFP} = EV_{DD} = V_{DD}$ ^{注34}	$2.4 \text{ V} \leq AV_{REFP} \leq 5.5 \text{ V}$			± 0.35	%FSR	
フルスケール誤差 ^{注1,2}	EFS	10ビット分解能 $AV_{REFP} = EV_{DD} = V_{DD}$ ^{注3}	$2.4 \text{ V} \leq AV_{REFP} \leq 5.5 \text{ V}$			± 0.35	%FSR	
積分直線性誤差 ^{注1}	ILE	10ビット分解能 $AV_{REFP} = EV_{DD} = V_{DD}$ ^{注3}	$2.4 \text{ V} \leq AV_{REFP} \leq 5.5 \text{ V}$			± 3.5	LSB	
微分直線性誤差 ^{注1}	DLE	10ビット分解能 $AV_{REFP} = EV_{DD} = V_{DD}$ ^{注3}	$2.4 \text{ V} \leq AV_{REFP} \leq 5.5 \text{ V}$			± 2.0	LSB	
アナログ入力電圧	VAIN	ANI16-ANI23		0		AV_{REFP} かつ EV_{DD}	V	

注1. 量子化誤差 ($\pm 1/2 \text{ LSB}$) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. $AV_{REFP} < EV_{DD} = V_{DD}$ の場合, MAX.値は次のようになります。

総合誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に $\pm 4.0 \text{ LSB}$ を加算してください

ゼロスケール誤差 / フルスケール誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に $\pm 0.20 \text{ \%FSR}$ を加算してください

積分直線性誤差 / 微分直線性誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に $\pm 2.0 \text{ LSB}$ を加算してください

(3) 基準電圧 (+) = V_{DD} (ADREFP1 = 0, ADREFP0 = 0), 基準電圧 (-) = V_{SS} (ADREFM = 0) 選択時,
変換対象: ANI0, ANI1, ANI16-ANI23, 内部基準電圧、温度センサ出力電圧

($T_A = -40 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq EV_{DD} = V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$, 基準電圧 (+) = V_{DD} , 基準電圧 (-) = V_{SS})

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能	$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		1.2	± 7.0	LSB
変換時間	tCONV	10ビット分解能	$3.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	2.125		39	μs
			$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	3.1875		39	μs
			$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	17		39	μs
		10ビット分解能 変換対象: 内部基準電 圧出力, 温度センサ出 力電圧 HS (高速メイン) モ ード	$3.6 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$,	2.375		39	μs
			$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$,	3.5625		39	μs
			$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$,	17		39	μs
ゼロスケール誤差 ^{注1,2}	EZS	10ビット分解能	$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 0.60	%FSR
フルスケール誤差 ^{注1,2}	EFS	10ビット分解能	$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 0.60	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能	$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 4.0	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能	$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			± 2.0	LSB
アナログ入力電圧	VAIN	ANI0-ANI1		0		V_{DD}	V
		ANI16-ANI23		0		EV_{DD}	V
		内部基準電圧出力 ($2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, HS (高速メイン) モード)		V_{BGR} ^{注3}			V
		温度センサ出力電圧 ($2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, HS (高速メイン) モード)		V_{TMPS25} ^{注3}			V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. 31.6.2 温度センサ / 内部基準電圧特性を参照してください。

(4) 基準電圧(+) = 内部基準電圧(ADREFP1 = 1, ADREFP0 = 0), 基準電圧(-) = $AV_{REFM}/ANI1$ (ADREFM = 1) 選択時, 変換対象: ANI0, ANI16-ANI23

($T_A = -40 \sim +105 \text{ } ^\circ\text{C}$, $2.4 \text{ V} \leq EV_{DD} = V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$, 基準電圧(+)= V_{BGR} ^{注3}, 基準電圧(-)= AV_{REFM} ^{注4} = 0 V, HS (高速メイン) モード)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8			bit
変換時間	t _{CONV}	8ビット分解能	$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	17		39	μs
ゼロスケール誤差 ^{注1,2}	EZS	8ビット分解能	$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			±0.60	%FSR
積分直線性誤差 ^{注1}	ILE	8ビット分解能	$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			±2.0	LSB
微分直線性誤差 ^{注1}	DLE	8ビット分解能	$2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			±1.0	LSB
アナログ入力電圧	V _{AIN}			0		V_{BGR} ^{注3}	V

注1. 量子化誤差(±1/2 LSB)を含みません。

2. フルスケール値に対する比率(%FSR)で表します。

3. 30.6.2 温度センサ / 内部基準電圧特性を参照してください。

4. 基準電圧(-) = V_{SS}の場合, MAX.値は次のようになります。

ゼロスケール誤差 : 基準電圧(-) = AV_{REFM} 時のMAX.値に±0.35 %FSRを加算してください

積分直線性誤差 : 基準電圧(-) = AV_{REFM} 時のMAX.値に±0.5 LSBを加算してください

微分直線性誤差 : 基準電圧(-) = AV_{REFM} 時のMAX.値に±0.2 LSBを加算してください

31.6.2 温度センサ / 内部基準電圧特性

($T_A = -40 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq \text{EV}_{\text{DD}} = \text{V}_{\text{DD}} \leq 5.5 \text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}} = 0 \text{ V}$, HS (高速メイン) モード)

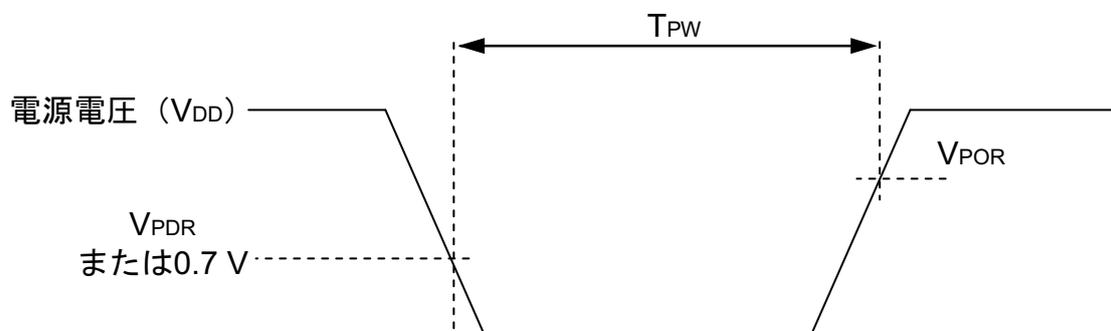
項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	V _{TMP525}	ADSレジスタ = 80H設定, $T_A = +25^\circ\text{C}$		1.05		V
内部基準電圧	V _{BGR}	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	F _{VTMP5}	温度センサ電圧の温度依存		-3.6		mV/ $^\circ\text{C}$
動作安定待ち時間	t _{AMP}		5			μs

31.6.3 POR回路特性

($T_A = -40 \sim +105 \text{ }^\circ\text{C}$, $\text{V}_{\text{SS}} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V _{POR}	電源立ち上がり時	1.45	1.51	1.57	V
	V _{PDR}	電源立ち下がり時	1.44	1.50	1.56	V
最小パルス幅注	T _{PW}		300			μs

注 V_{DD}がV_{PDR}を下回った場合に、PORによるリセット動作に必要な時間です。またSTOPモード時および、クロック動作ステータス制御レジスタ (CSC) のビット0 (HIOSTOP) とビット7 (MSTOP) の設定によりメイン・システム・クロック (f_{MAIN}) を停止時は、V_{DD}が0.7 Vを下回ってから、V_{POR}を上回るまでのPORによるリセット動作に必要な時間です。



31.6.4 LVD回路特性

($T_A = -40 \sim +105 \text{ }^\circ\text{C}$, $V_{PDR} \leq EV_{DD} = V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS0} \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
検出電圧	電源電圧レベル	V _{LVD0}	電源立ち上がり時	3.90	4.06	4.22	V
			電源立ち下がり時	3.83	3.98	4.13	V
	V _{LVD1}	電源立ち上がり時	3.60	3.75	3.90	V	
		電源立ち下がり時	3.53	3.67	3.81	V	
	V _{LVD2}	電源立ち上がり時	3.01	3.13	3.25	V	
		電源立ち下がり時	2.94	3.06	3.18	V	
	V _{LVD3}	電源立ち上がり時	2.90	3.02	3.14	V	
		電源立ち下がり時	2.85	2.96	3.07	V	
	V _{LVD4}	電源立ち上がり時	2.81	2.92	3.03	V	
		電源立ち下がり時	2.75	2.86	2.97	V	
	V _{LVD5}	電源立ち上がり時	2.70	2.81	2.92	V	
		電源立ち下がり時	2.64	2.75	2.86	V	
	V _{LVD6}	電源立ち上がり時	2.61	2.71	2.81	V	
		電源立ち下がり時	2.55	2.65	2.75	V	
	V _{LVD7}	電源立ち上がり時	2.51	2.61	2.71	V	
		電源立ち下がり時	2.45	2.55	2.65	V	
最小パルス幅	t _{LW}		300			μs	
検出遅延	t _{LD}				300	μs	

割り込み & リセット・モードのLVD検出電圧

($T_A = -40 \sim +105 \text{ }^\circ\text{C}$, $V_{PDR} \leq E_{VDD} = V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = E_{VSS} = 0 \text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
割り込み & リセット・モード	V _{LVD5}	V _{POC2} , V _{POC1} , V _{POC0} = 0, 1, 1, 立ち下がりリセット電圧		2.64	2.75	2.86	V	
	V _{LVD4}		LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.81	2.92	3.03	V
				立ち下がり割り込み電圧	2.75	2.86	2.97	V
	V _{LVD3}		LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.90	3.02	3.14	V
				立ち下がり割り込み電圧	2.85	2.96	3.07	V
	V _{LVD0}		LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.90	4.06	4.22	V
立ち下がり割り込み電圧				3.83	3.98	4.13	V	

31.6.5 電源電圧立ち上げ時間

($T_A = -40 \sim +105 \text{ }^\circ\text{C}$, $V_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	S _{VDD}				54	V/ms

注意 V_{DD}が31.4 AC特性に示す動作電圧範囲内に達するまで、LVD回路か外部リセットで内部リセット状態を保ってください。

31.7 LCD特性

31.7.1 外部抵抗分割方式

(1) スタティック・モード

($T_A = -40 \sim +105 \text{ }^\circ\text{C}$, $V_{L4}(\text{MIN.}) \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	V_{L4}		2.0		V_{DD}	V

注 2.4V以上であること。

(2) 1/2バイアス, 1/4バイアス

($T_A = -40 \sim +105 \text{ }^\circ\text{C}$, $V_{L4}(\text{MIN.}) \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	V_{L4}		2.7		V_{DD}	V

(3) 1/3バイアス

($T_A = -40 \sim +105 \text{ }^\circ\text{C}$, $V_{L4}(\text{MIN.}) \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	V_{L4}		2.5		V_{DD} 注	V

注 メモリ性液晶駆動時 (MLCDレジスタのMLCDENビット = 1) は, 5.5 V (MAX.) となります。

31.7.2 内部昇圧方式

(1) 1/3バイアス

(TA = -40 ~ +105 °C, 2.4V ≤ VDD ≤ 5.5V, VSS = 0V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
LCD出力電圧可変範囲	VL1	C1-C4 ^{注1} = 0.47 μF	VLCD = 04H	0.90	1.00	1.08	V
			VLCD = 05H	0.95	1.05	1.13	V
			VLCD = 06H	1.00	1.10	1.18	V
			VLCD = 07H	1.05	1.15	1.23	V
			VLCD = 08H	1.10	1.20	1.28	V
			VLCD = 09H	1.15	1.25	1.33	V
			VLCD = 0AH	1.20	1.30	1.38	V
			VLCD = 0BH	1.25	1.35	1.43	V
			VLCD = 0CH	1.30	1.40	1.48	V
			VLCD = 0DH	1.35	1.45	1.53	V
			VLCD = 0EH	1.40	1.50	1.58	V
			VLCD = 0FH	1.45	1.55	1.63	V
			VLCD = 10H	1.50	1.60	1.68	V
			VLCD = 11H	1.55	1.65	1.73	V
VLCD = 12H	1.60	1.70	1.78	V			
VLCD = 13H	1.65	1.75	1.83	V			
ダブル出力電圧	VL2	C1-C4 ^{注1} = 0.47 μF	2 VL1 - 0.1	2 VL1	2 VL1	V	
トリプル出力電圧	VL4	C1-C4 ^{注1} = 0.47 μF	3 VL1 - 0.15	3 VL1	3 VL1	V	
基準電圧セットアップ時間 ^{注2}	t _{WAIT1}		5			ms	
昇圧ウエイト時間 ^{注3}	t _{WAIT2}	C1-C4 ^{注1} = 0.47 μF	500			ms	

注1. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : VL1-GND間に接続するコンデンサです。

C3 : VL2-GND間に接続するコンデンサです。

C4 : VL4-GND間に接続するコンデンサです。

C1 = C2 = C3 = C4 = 0.47 μF ±30%

2. VLCDレジスタで基準電圧を設定してから (基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択 (LCDM0レジスタのMDSET1, MDSET0ビット = 01B) にしてから), 昇圧を開始する (VLCON = 1) までに必要なウエイト時間です。

3. 昇圧を開始してから (VLCON = 1) , 表示が可能になる (LCDON = 1) までのウエイト時間です。

(2) 1/4バイアス

(TA = -40 ~ +105 °C, 2.4V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
LCD出力電圧可変範囲	VL1 ^{注4}	C1-C5 ^{注1} = 0.47 μF	VLCD = 04H	0.90	1.00	1.08	V
			VLCD = 05H	0.95	1.05	1.13	V
			VLCD = 06H	1.00	1.10	1.18	V
			VLCD = 07H	1.05	1.15	1.23	V
			VLCD = 08H	1.10	1.20	1.28	V
			VLCD = 09H	1.15	1.25	1.33	V
			VLCD = 0AH	1.20	1.30	1.38	V
			VLCD = 0BH	1.25	1.35	1.43	V
			VLCD = 0CH	1.30	1.40	1.48	V
			VLCD = 0DH	1.35	1.45	1.53	V
			VLCD = 0EH	1.40	1.50	1.58	V
			VLCD = 0FH	1.45	1.55	1.63	V
			VLCD = 10H	1.50	1.60	1.68	V
			VLCD = 11H	1.55	1.65	1.73	V
VLCD = 12H	1.60	1.70	1.78	V			
VLCD = 13H	1.65	1.75	1.83	V			
ダブル出力電圧	VL2	C1-C5 ^{注1} = 0.47 μF	2 VL1 - 0.08	2 VL1	2 VL1	V	
トリプル出力電圧	VL3	C1-C5 ^{注1} = 0.47 μF	3 VL1 - 0.12	3 VL1	3 VL1	V	
クアドラプル出力電圧	VL4 ^{注4}	C1-C5 ^{注1} = 0.47 μF	4 VL1 - 0.16	4 VL1	4 VL1	V	
基準電圧セットアップ時間 ^{注2}	t _{WAIT1}		5			ms	
昇圧ウエイト時間 ^{注3}	t _{WAIT2}	C1-C5 ^{注1} = 0.47 μF	500			ms	

注1. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : VL1-GND間に接続するコンデンサです。

C3 : VL2-GND間に接続するコンデンサです。

C4 : VL3-GND間に接続するコンデンサです。

C5 : VL4-GND間に接続するコンデンサです。

C1 = C2 = C3 = C4 = C5 = 0.47 μF ± 30%

- VLCDレジスタで基準電圧を設定してから (基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択 (LCDM0レジスタのMDSET1, MDSET0 = 01B) してから), 昇圧を開始する (VLCON = 1) までに必要なウエイト時間です。
- 昇圧を開始してから (VLCON = 1) , 表示が可能になる (LCDON = 1) までのウエイト時間です。
- VL4が5.5V以下になるように設定してください。

31.7.3 容量分割方式

1/3バイアス

($T_A = -40 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
V_{L4} 電圧	V_{L4}	$C1-C4 = 0.47 \mu\text{F}$ ^{注2}		V_{DD}		V
V_{L2} 電圧	V_{L2}	$C1-C4 = 0.47 \mu\text{F}$ ^{注2}	$2/3 V_{L4}$ - 0.1	$2/3 V_{L4}$	$2/3 V_{L4}$ + 0.1	V
V_{L1} 電圧	V_{L1}	$C1-C4 = 0.47 \mu\text{F}$ ^{注2}	$1/3 V_{L4}$ - 0.1	$1/3 V_{L4}$	$1/3 V_{L4}$ + 0.1	V
容量分割ウェイト時間 ^{注1}	t_{WAIT}		100			ms

注1. 降圧を開始してから ($V_{LCON} = 1$) , 表示が可能になる ($LCDON = 1$) までのウェイト時間です。

2. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : V_{L1} -GND間に接続するコンデンサです。

C3 : V_{L2} -GND間に接続するコンデンサです。

C4 : V_{L4} -GND間に接続するコンデンサです。

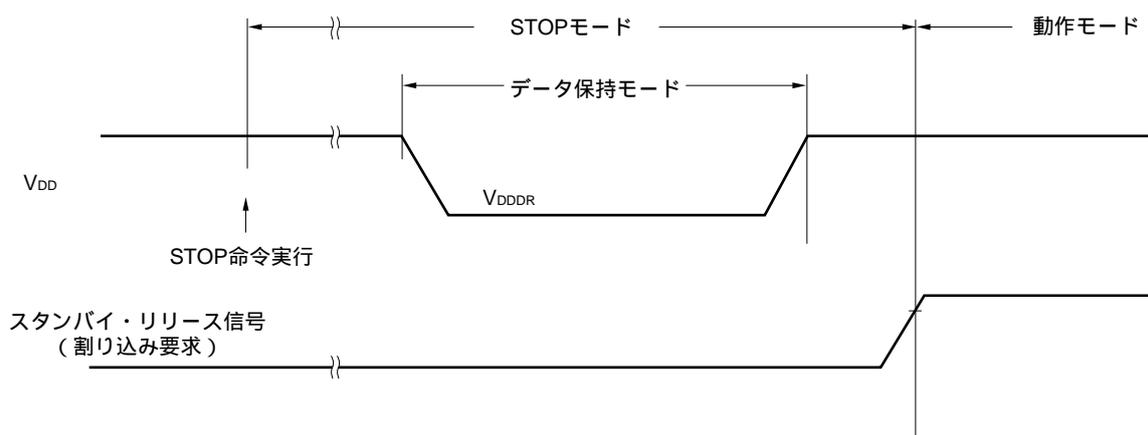
$C1 = C2 = C3 = C4 = 0.47 \mu\text{F} \pm 30\%$

31.8 データ・メモリSTOPモード低電源電圧データ保持特性

($T_A = -40 \sim +105 \text{ } ^\circ\text{C}$, $V_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V_{DDDR}		1.44 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時，PORリセットがかかるまではデータを保持しますが，PORリセットがかかった場合のデータは保持されません。



31.9 フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +105 \text{ } ^\circ\text{C}$, $2.4 \text{ V} \leq EV_{DD} = V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	f_{CLK}	$1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1		24	MHz
コード・フラッシュの書き換え回数 注1, 2, 3	C_{erwr}	保持年数：20年 $T_A = 85^\circ\text{C}$	1,000			回
データ・フラッシュの書き換え回数 注1, 2, 3		保持年数：1年 $T_A = 25^\circ\text{C}$		1,000,000		
		保持年数：5年 $T_A = 85^\circ\text{C}$	100,000			
		保持年数：20年 $T_A = 85^\circ\text{C}$	10,000			

注 1. 消去1回+消去後の書き込み1回で書き換え回数1回となります。

保持年数は，1度書き換えた後，次に書き換えを行うまでの期間です。

- フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時
- この特性はフラッシュ・メモリの特性を示すものであり，当社の信頼性試験から得られた結果です。

31.10 専用フラッシュ・メモリ・プログラマ通信 (UART)

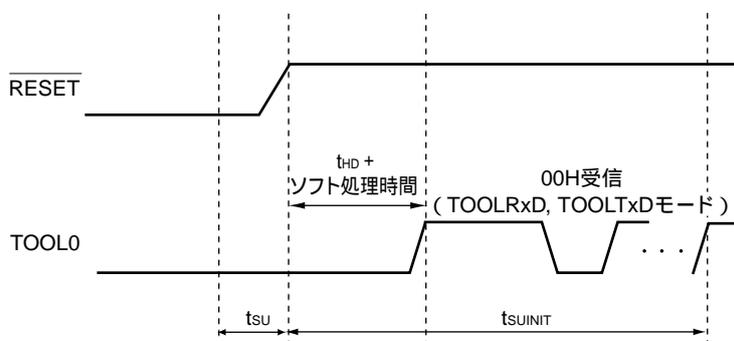
($T_A = -40 \sim +105 \text{ } ^\circ\text{C}$, $2.4 \text{ V} \leq EV_{DD} = V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		フラッシュ・メモリのプログラミング時	115,200		1,000,000	bps

31.11 フラッシュ・メモリ・プログラミング・モード 引き込み時タイミング

($T_A = -40 \sim +105 \text{ } ^\circ\text{C}$, $2.4 \text{ V} \leq \text{EV}_{\text{DD}} = \text{V}_{\text{DD}} \leq 5.5 \text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
端子リセット解除から初期設定通信を完了する時間	t_{SUNIT}	端子リセット解除前にPOR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから、端子リセットを解除するまでの時間	t_{SU}	端子リセット解除前にPOR, LVDリセットは解除	10			μs
外部リセット解除から、TOOL0端子をロウ・レベルにホールドする時間 (フラッシュ・ファーム処理時間を除く)	t_{HD}	端子リセット解除前にPOR, LVDリセットは解除	1			ms



- ① TOOL0端子にロウ・レベルを入力
- ② 端子リセットが解除 (端子リセット解除前にPOR, LVDリセットは解除されていること)
- ③ TOOL0端子のロウ・レベルが解除
- ④ UART受信によるモード引きこみ, ボー・レート設定完了

備考 t_{SUNIT} : この区間では、外部 / 内部リセット解除から100 ms以内に初期設定通信を完了してください。

t_{SU} : TOOL0端子をロウ・レベルにしてから、端子リセットを解除するまでの時間

t_{HD} : 外部リセット解除から、TOOL0端子をロウ・レベルにホールドする時間 (フラッシュ・ファーム処理時間を除く)