

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/contact/>
 E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RL*-A041A/J	Rev.	%
題名	誤記訂正通知 RL78/G14 ユーザーズマニュアル Rev.3.10 の記載変更		情報分類	技術情報	
適用製品	RL78/G14 グループ : R5F104xxx	対象ロット等 全ロット	関連資料	RL78/G14 ユーザーズマニュアル ハードウェア編 Rev.3.10 R01UH0186JJ0310 (Sep. 2014)	

RL78/G14 ユーザーズマニュアル ハードウェア編 Rev.3.10 (R01UH0186JJ0310)において、下記訂正がございます。

今回通知する訂正内容

訂正箇所	該当ページ	内容
1.2 型名一覧 52ピンからR5F104JK, R5F104JLの品名を削除	p.8	仕様変更
1.3.7 52ピン製品 注釈2を削除	p.19	仕様変更
1.6 機能概要 52ピンの情報を削除	p.48-50	仕様変更
2.1.15 52ピン(コード・フラッシュ・メモリ96 KB~512 KB) 384KB、512KBの情報を削除	p.84	仕様変更
R5F104JK, R5F104JLの情報を削除	p.131, p.132, p.137, p.138, p.139, p.144, p.149, p.194, p.960, p.983, p.1088, p.1136, p.1306	仕様変更
6.3.3 タイマ・モード・レジスタmn 図6-12のカウントクロックの選択	p.304	誤記訂正
17.3.12 シリアル出力レジスタm(SOm) 図17-19の注釈の シリアル出力レジスタm(SOm)のリセット時の値	p.710	誤記訂正
19.5.3 DTC保留命令の誤記訂正	p.984	誤記訂正
21.4.4 除算命令中の割り込み処理	p.1023	説明追加
21.4.5 割り込み要求の保留の誤記訂正	p.1024	誤記訂正
33.2 オペレーション一覧	p.1155	説明追加

ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

ユーザーズマニュアルの訂正一覧

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメントNo.	和文	R01UH0186JJ0310	
1	1.2 型名一覧	52ピンからR5F104JK, R5F104JLの品名を削除	p.8	p.3
2	1.3.7 52ピン製品	注釈2を削除	p.19	p.4
3	1.6 機能概要	52ピンの情報を削除	p.48-50	p.5-7
4	2.1.15 52ピン(コード・フラッシュ・メモリ96 KB~512 KB)	384KB、512KBの情報削除	p.84	p.8
5		R5F104JK, R5F104JLを削除	p.131, p.132, p.137, p.138, p.139, p.144, p.149, p.194, p.960, p.983, p.1088, p.1136, p.1306	p.9-14
6	6.3.3 タイマ・モード・レジスタmn	図6-12のカウントクロックの選択	p.304	p.15
7	17.3.12 シリアル出力レジスタm(SOm)	図17-19の注釈の シリアル出力レジスタm(SOm)のリセット時の値	p.710	p.16
8	19.5.3 DTC保留命令の誤記訂正		p.984	p.17
9	21.4.4 除算命令中の割り込み処理		p.1023	p.18
10	21.4.5 割り込み要求の保留の誤記訂正		p.1024	p.19
11	33.2 オペレーション一覧		p.1155	p.20

誤記訂正の該当箇所は、誤)太字下線、正)グレー・ハッチングで記載します。

発行文書履歴

RL78/G14 ユーザーズマニュアル Rev.3.10 誤記訂正通知 発行文書履歴

文書番号	発行日	記事
TN-RL*-A041A/J	2014年12月3日	発行 訂正一覧の No.1 ~ No.11 の誤記訂正(本通知です。)

1. 1.2 型名一覧

52ピンから R5F104JK, R5F104JL の品名を削除(p.8)

誤)

ピン数	パッケージ	用途 区分 ^{注1}	発注形名
(省略)			
52ピン	52ピン・プラス チックLQFP (10 × 10 mm, 0.65mmピッチ)	A	R5F104JKFA#30^{注2} , R5F104JLFA#30^{注2} R5F104JKFA#50^{注2} , R5F104JLFA#50^{注2} R5F104JCAFA#V0, R5F104JDAFA#V0, R5F104JEFA#V0, R5F104JFAFA#V0, R5F104JGAFA#V0, R5F104JHAFA#V0, R5F104JJAFA#V0 R5F104JCAFA#X0, R5F104JDAFA#X0, R5F104JEFA#X0, R5F104JFAFA#X0, R5F104JGAFA#X0, R5F104JHAFA#X0, R5F104JJAFA#X0
		D	R5F104JCDFA#V0, R5F104JDDFA#V0, R5F104JEDFA#V0, R5F104JFDFA#V0, R5F104JGDFA#V0, R5F104JHDFA#V0, R5F104JJDFA#V0 R5F104JCDFA#X0, R5F104JDDFA#X0, R5F104JEDFA#X0, R5F104JFDFA#X0, R5F104JGDFA#X0, R5F104JHDFA#X0, R5F104JJDFA#X0
		G	R5F104JCGFA#30^{注2} , R5F104JLGF#30^{注2} R5F104JCGFA#50^{注2} , R5F104JLGF#50^{注2} R5F104JCGFA#V0, R5F104JDGFA#V0, R5F104JEGFA#V0, R5F104JFGFA#V0, R5F104JGGFA#V0, R5F104JHGFA#V0, R5F104JJGFA#V0 R5F104JCGFA#X0, R5F104JDGFA#X0, R5F104JEGFA#X0, R5F104JFGFA#X0, R5F104JGGFA#X0, R5F104JHGFA#X0, R5F104JJGFA#X0

(省略)

正)

ピン数	パッケージ	用途 区分 ^{注1}	発注形名
(省略)			
52ピン	52ピン・プラス チックLQFP (10 × 10 mm, 0.65mmピッチ)	A	R5F104JCAFA#V0, R5F104JDAFA#V0, R5F104JEFA#V0, R5F104JFAFA#V0, R5F104JGAFA#V0, R5F104JHAFA#V0, R5F104JJAFA#V0 R5F104JCAFA#X0, R5F104JDAFA#X0, R5F104JEFA#X0, R5F104JFAFA#X0, R5F104JGAFA#X0, R5F104JHAFA#X0, R5F104JJAFA#X0
		D	R5F104JCDFA#V0, R5F104JDDFA#V0, R5F104JEDFA#V0, R5F104JFDFA#V0, R5F104JGDFA#V0, R5F104JHDFA#V0, R5F104JJDFA#V0 R5F104JCDFA#X0, R5F104JDDFA#X0, R5F104JEDFA#X0, R5F104JFDFA#X0, R5F104JGDFA#X0, R5F104JHDFA#X0, R5F104JJDFA#X0
		G	R5F104JCGFA#V0, R5F104JDGFA#V0, R5F104JEGFA#V0, R5F104JFGFA#V0, R5F104JGGFA#V0, R5F104JHGFA#V0, R5F104JJGFA#V0 R5F104JCGFA#X0, R5F104JDGFA#X0, R5F104JEGFA#X0, R5F104JFGFA#X0, R5F104JGGFA#X0, R5F104JHGFA#X0, R5F104JJGFA#X0

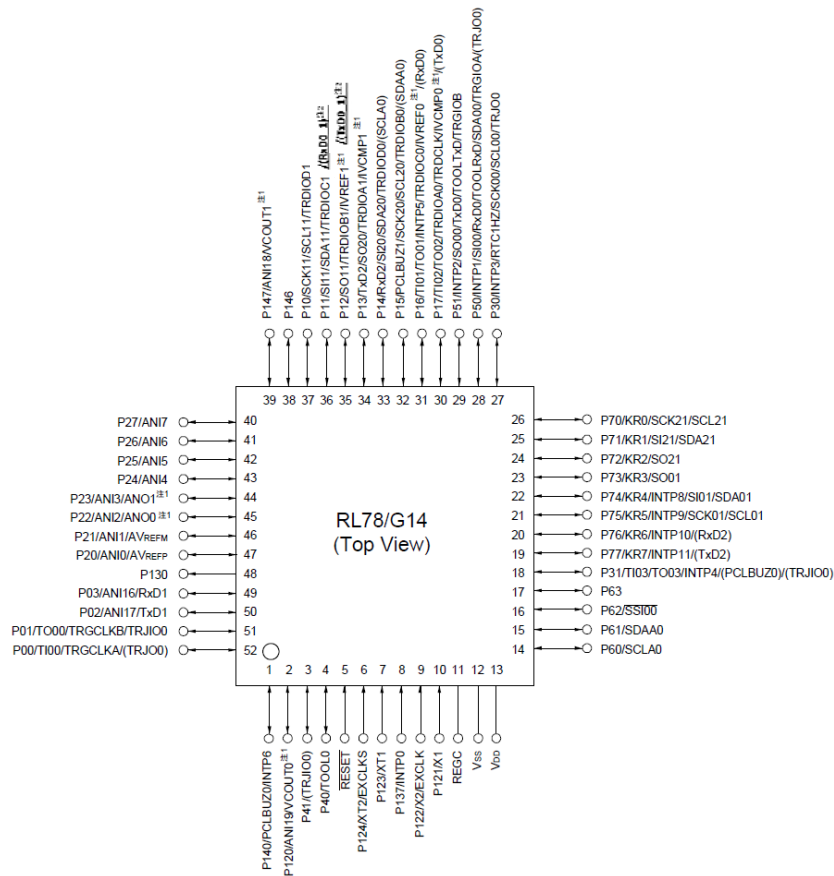
(省略)

2. 1.3.7 52ピン製品 注釈2を削除(p.19)

誤)

1.3.7 52ピン製品

・52ピン・プラスチックLQFP(10×10mm, 0.65mmピッチ)

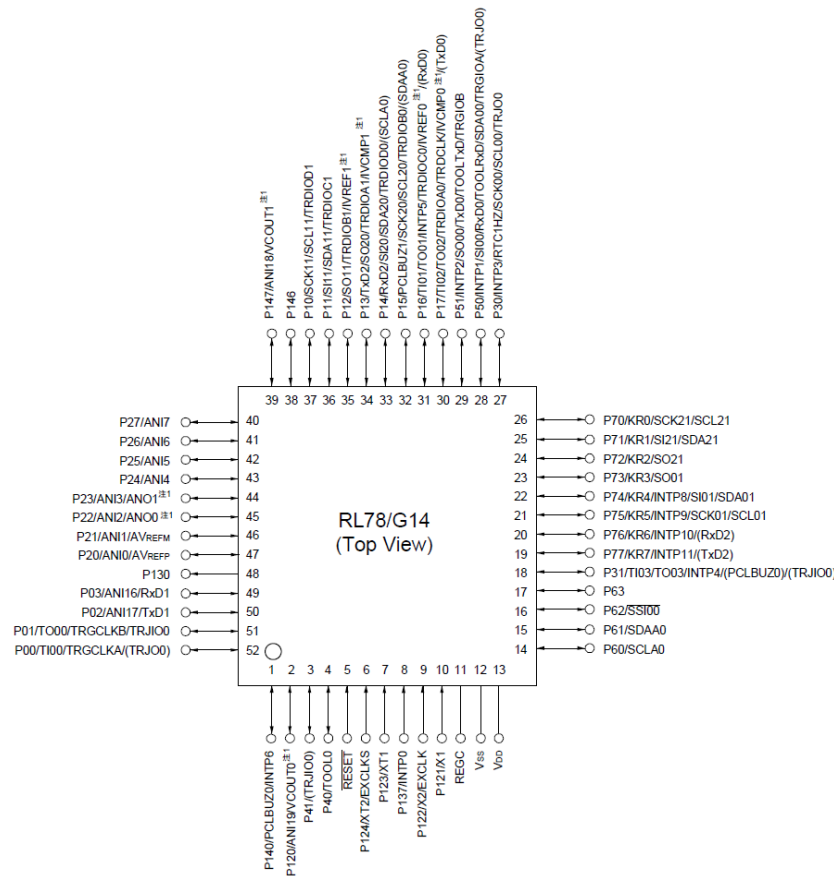


注 1. コード・フラッシュ・メモリが 96 KB 以上の製品に搭載されます。
 注 2. コード・フラッシュ・メモリが 384 KB 以上の製品に搭載されます。

正)

1.3.7 52ピン製品

・52ピン・プラスチックLQFP(10×10mm, 0.65mmピッチ)



注 1. コード・フラッシュ・メモリが 96 KB 以上の製品に搭載されます。

3. 1.6 機能概要から52ピンの情報を削除 (p.48-50)

誤)

【48ピン, ~~52ピン~~, 64ピン製品(コード・フラッシュ・メモリ 384 KB~512 KB)】

注意周辺 I/O リダイレクション・レジスタ 0, 1 (PIOR0, 1)を 00H に設定時の機能概要です。

(1/2)

項目	48ピン	52ピン	64ピン
	R5F104Gx (x = K, L)	R5F104Jx (x = K, L)	R5F104Lx (x = K, L)
コード・フラッシュ・メモリ	384-512 KB	384-512 KB	384-512 KB
データ・フラッシュ・メモリ	8 KB	8 KB	8 KB
RAM	32-48 KB ^注	32-48 KB^注	32-48 KB ^注
アドレス空間	1 Mバイト		
(省略)			
I/Oポート	合計	44	48 58
	CMOS入出力	34	38 48
	CMOS入力	5	5 5
	CMOS出力	1	1 1
	N-ch O.D入出力(6 V耐圧)	4	4 4
タイマ	16ビット・タイマ	8チャンネル (TAU:4チャンネル, タイマRJ:1チャンネル, タイマRD:2チャンネル, タイマRG:1チャンネル)	
	ウォッチドッグ・タイマ	1チャンネル	
	リアルタイム・クロック(RTC)	1チャンネル	
	12ビット・インターバル・タイマ	1チャンネル	
	タイマ出力	タイマ出力:14本 PWM出力:9本	
	RTC出力	1本 • 1 Hz (サブシステム・クロック: f _{SUB} =32.768 kHz)	

(注は次ページにあります。)

正)

【48ピン, 64ピン製品(コード・フラッシュ・メモリ 384 KB~512 KB)】

注意周辺 I/O リダイレクション・レジスタ 0, 1 (PIOR0, 1)を 00H に設定時の機能概要です。

(1/2)

項目	48ピン	64ピン	
	R5F104Gx (x = K, L)	R5F104Lx (x = K, L)	
コード・フラッシュ・メモリ	384-512 KB	384-512 KB	
データ・フラッシュ・メモリ	8 KB	8 KB	
RAM	32-48 KB ^注	32-48 KB ^注	
アドレス空間	1 Mバイト		
(省略)			
I/Oポート	合計	44	58
	CMOS入出力	34	48
	CMOS入力	5	5
	CMOS出力	1	1
	N-ch O.D入出力(6 V耐圧)	4	4
タイマ	16ビット・タイマ	8チャンネル (TAU:4チャンネル, タイマRJ:1チャンネル, タイマRD:2チャンネル, タイマRG:1チャンネル)	
	ウォッチドッグ・タイマ	1チャンネル	
	リアルタイム・クロック(RTC)	1チャンネル	
	12ビット・インターバル・タイマ	1チャンネル	
	タイマ出力	タイマ出力:14本 PWM出力:9本	
	RTC出力	1本 • 1 Hz (サブシステム・クロック: f _{SUB} =32.768 kHz)	

(注は次ページにあります。)

誤)

注 セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、フラッシュ・ライブラリが次に示す製品の RAM 領域を一部使用します。対象製品とフラッシュ・ライブラリが使用する RAM 領域のスタートアドレスを示します。

R5F104xL (x = G, J, L, M, P) : スタート・アドレス F3F00H

フラッシュ・ライブラリが使用する RAM 領域は、RL78 ファミリセルフ・プログラミング・ライブラリセルフ RAM リスト(R20UT2943)を参照してください。

正)

注 セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、フラッシュ・ライブラリが次に示す製品の RAM 領域を一部使用します。対象製品とフラッシュ・ライブラリが使用する RAM 領域のスタートアドレスを示します。

R5F104xL (x = G, L, M, P) : スタート・アドレス F3F00H

フラッシュ・ライブラリが使用する RAM 領域は、RL78 ファミリセルフ・プログラミング・ライブラリセルフ RAM リスト(R20UT2943)を参照してください。

誤)

(2/2)

項目	48ピン	52ピン	64ピン
	R5F104Gx (x = K, L)	R5F104Jx (x = K, L)	R5F104Lx (x = K, L)
クロック出力/ブザー出力	2本	2本	2本
	<ul style="list-style-type: none"> 2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (メイン・システム・クロック: $f_{MAIN} = 20$ MHz動作時) 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (サブシステム・クロック: $f_{SUB} = 32.768$ kHz動作時) 		
8/10ビット分解能A/Dコンバータ	10チャンネル	12チャンネル	12チャンネル
D/Aコンバータ	2チャンネル		
コンパレータ	2チャンネル		
シリアル・インタフェース	【48ピン, 52ピン製品】 • CSI: 2チャンネル/UART (LIN-bus対応): 1チャンネル/簡易I2C: 2チャンネル • CSI: 1チャンネル/UART: 1チャンネル/簡易I2C: 1チャンネル • CSI: 2チャンネル/UART: 1チャンネル/簡易I2C: 2チャンネル 【64ピン製品】 • CSI: 2チャンネル/UART (LIN-bus対応): 1チャンネル/簡易I2C: 2チャンネル • CSI: 2チャンネル/UART: 1チャンネル/簡易I2C: 2チャンネル • CSI: 2チャンネル/UART: 1チャンネル/簡易I2C: 2チャンネル		
	I ² Cバス	1チャンネル	1チャンネル
データ・トランスファ・コントローラ (DTC)	32要因		33要因
イベント・リンク・コントローラ (ELC)	イベント入力: 22, イベントトリガ出力: 9		
ベクタ割り込み要因	内部	24	24
	外部	10	13
キー割り込み	6		8
リセット	<ul style="list-style-type: none"> RESET端子によるリセット ウォッチドッグ・タイマによる内部リセット パワーオン・リセットによる内部リセット 電圧検出回路による内部リセット 不正命令の実行による内部リセット^注 RAMパリティ・エラーによる内部リセット 不正メモリ・アクセスによる内部リセット 		
パワーオン・リセット回路	<ul style="list-style-type: none"> パワーオン・リセット: 1.51 ± 0.03 V パワーダウン・リセット: 1.50 ± 0.03 V 		
電圧検出回路	1.63 V ~ 4.06 V (14段階)		
オンチップ・デバッグ機能	あり		
電源電圧	VDD = 1.6 ~ 5.5 V		
動作周囲温度	T _A = -40 ~ +85°C (A: 民生用途, D: 産業用途), T _A = -40 ~ +105°C (G: 産業用途)		

正)

(2/2)

項目	48ピン	64ピン
	R5F104Gx (x = K, L)	R5F104Lx (x = K, L)
クロック出力/ブザー出力	2本	2本
	<ul style="list-style-type: none"> 2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (メイン・システム・クロック: $f_{MAIN} = 20$ MHz動作時) 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (サブシステム・クロック: $f_{SUB} = 32.768$ kHz動作時) 	
8/10ビット分解能A/Dコンバータ	10チャンネル	12チャンネル
D/Aコンバータ	2チャンネル	
コンパレータ	2チャンネル	
シリアル・インタフェース	【48ピン製品】 • CSI: 2チャンネル/UART (LIN-bus対応): 1チャンネル/簡易I2C: 2チャンネル • CSI: 1チャンネル/UART: 1チャンネル/簡易I2C: 1チャンネル • CSI: 2チャンネル/UART: 1チャンネル/簡易I2C: 2チャンネル 【64ピン製品】 • CSI: 2チャンネル/UART (LIN-bus対応): 1チャンネル/簡易I2C: 2チャンネル • CSI: 2チャンネル/UART: 1チャンネル/簡易I2C: 2チャンネル • CSI: 2チャンネル/UART: 1チャンネル/簡易I2C: 2チャンネル	
	I ² Cバス	1チャンネル
データ・トランスファ・コントローラ (DTC)	32要因	33要因
イベント・リンク・コントローラ (ELC)	イベント入力: 22, イベントトリガ出力: 9	
ベクタ割り込み要因	内部	24
	外部	10
キー割り込み	6	
リセット	<ul style="list-style-type: none"> RESET端子によるリセット ウォッチドッグ・タイマによる内部リセット パワーオン・リセットによる内部リセット 電圧検出回路による内部リセット 不正命令の実行による内部リセット^注 RAMパリティ・エラーによる内部リセット 不正メモリ・アクセスによる内部リセット 	
パワーオン・リセット回路	<ul style="list-style-type: none"> パワーオン・リセット: 1.51 ± 0.03 V パワーダウン・リセット: 1.50 ± 0.03 V 	
電圧検出回路	1.63 V ~ 4.06 V (14段階)	
オンチップ・デバッグ機能	あり	
電源電圧	VDD = 1.6 ~ 5.5 V	
動作周囲温度	T _A = -40 ~ +85°C (A: 民生用途, D: 産業用途), T _A = -40 ~ +105°C (G: 産業用途)	

4. 1.15 52ピン(コード・フラッシュ・メモリ 96KB~512KB)

384KB, 512KB の情報削除 (p.84)

誤)

2.1.15 52ピン(コード・フラッシュ・メモリ 96KB~512KB)

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P10	8-1-8	入出力	入力ポート	SCK11/SCL11/TRDIOD1	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 (省略)
P11	7-1-8			SI11/SDA11/TRDIOD1/ (RxD0_1) ^{注3}	
P12	7-6-6			SO11/TRDIOD1/IVREF1/ (INTP5)/(TxD0_1) ^{注3}	
(省略)					

注 1. 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロール・レジスタ x (PMCx)で設定します(1ビット単位で設定可能)。

注 2. 各端子をデジタル/アナログのいずれにするかは、A/D ポート・コンフィギュレーション・レジスタ(ADPC)で設定します。

注 3. コード・フラッシュ・メモリが 384 KB 以上の製品に搭載されます。

備考 上図の()内の機能は、周辺 I/O リダイレクション・レジスタ 0, 1 (PIOR0, 1)の設定により、割り当て可能です。

正)

2.1.15 52ピン(コード・フラッシュ・メモリ 96KB~256KB)

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
(省略)					
P10	8-1-8	入出力	入力ポート	SCK11/SCL11/TRDIOD1	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 (省略)
P11	7-1-8			SI11/SDA11/TRDIOD1/ (RxD0_1) ^{注3}	
P12	7-6-6			SO11/TRDIOD1/IVREF1/ (INTP5)	
(省略)					

注 1. 各端子をデジタル/アナログのいずれにするかは、ポート・モード・コントロール・レジスタ x (PMCx)で設定します(1ビット単位で設定可能)。

注 2. 各端子をデジタル/アナログのいずれにするかは、A/D ポート・コンフィギュレーション・レジスタ(ADPC)で設定します。

備考 上図の()内の機能は、周辺 I/O リダイレクション・レジスタ 0, 1 (PIOR0, 1)の設定により、割り当て可能です。

5. R5F104JK, R5F104JL の情報を削除

(該当ページは各項目に記載)

3.1 メモリ空間(p.131)

誤)

図 3 - 9 メモリ・マップ(R5F104xK (x = G, J, L, M, P))

3.1 メモリ空間(p.133)

誤)

図 3 - 10 メモリ・マップ(R5F104xL (x = G, J, L, M, P))

フラッシュ・メモリのアドレス値とブロック番号の対応の備考(p.137)

誤)

表 3 - 3 フラッシュ・メモリのアドレス値とブロック番号の対応(3/4)
(省略)

備考 R5F104xK (x = G, J, L, M, P): ブロック番号 00H-17FH

フラッシュ・メモリのアドレス値とブロック番号の対応の備考(p.138)

誤)

表 3 - 4 フラッシュ・メモリのアドレス値とブロック番号の対応(4/4)
(省略)

備考 R5F104xL (x = G, J, L, M, P): ブロック番号 00H-1FFH

3.1 メモリ空間(p.131)

正)

図 3 - 9 メモリ・マップ(R5F104xK (x = G, L, M, P))

3.1 メモリ空間(p.133)

正)

図 3 - 10 メモリ・マップ(R5F104xL (x = G, L, M, P))

フラッシュ・メモリのアドレス値とブロック番号の対応の備考(p.137)

正)

表 3 - 3 フラッシュ・メモリのアドレス値とブロック番号の対応(3/4)
(省略)

備考 R5F104xK (x = G, L, M, P): ブロック番号 00H-17FH

フラッシュ・メモリのアドレス値とブロック番号の対応の備考(p.138)

正)

表 3 - 4 フラッシュ・メモリのアドレス値とブロック番号の対応(4/4)
(省略)

備考 R5F104xL (x = G, L, M, P): ブロック番号 00H-1FFH

3.1.1 内部プログラム・メモリ空間 (p.139)

誤)

表 3-5 内部 ROM 容量

製品	内部ROM	
	構造	容量
R5F104xA (x = A-C, E-G)	フラッシュ・メモリ	16384 × 8ビット(00000H-03FFFFH)
R5F104xC (x = A-C, E-G, J, L)		32768 × 8ビット(00000H-07FFFFH)
R5F104xD (x = A-C, E-G, J, L)		49152 × 8ビット(00000H-0BFFFFH)
R5F104xE (x = A-C, E-G, J, L)		65536 × 8ビット(00000H-0FFFFFH)
R5F104xF (x = A-C, E-G, J, L, M, P)		98304 × 8ビット(00000H-17FFFFH)
R5F104xG (x = A-C, E-G, J, L, M, P)		131072 × 8ビット(00000H-1FFFFFH)
R5F104xH (x = E-G, J, L, M, P)		196608 × 8ビット(00000H-2FFFFFH)
R5F104xJ (x = F, G, J, L, M, P)		262144 × 8ビット(00000H-3FFFFFH)
R5F104xK (x = G, J, L, M, P)		393216 × 8ビット(00000H-5FFFFFH)
R5F104xL (x = G, J, L, M, P)		524288 × 8ビット(00000H-7FFFFFH)

(省略)

3.1.3 内部データ・メモリ空間 (p.144)

誤)

表 3-8 内部 RAM 容量

製品	内部RAM
R5F104xA (x = A-C, E-G)	2560 × 8ビット(FF500H-FFEFFH)
R5F104xC (x = A-C, E-G, J, L)	4096 × 8ビット(FEF00H-FFEFFH)
R5F104xD (x = A-C, E-G, J, L)	5632 × 8ビット(FE900H-FFEFFH)
R5F104xE (x = A-C, E-G, J, L)	
R5F104xF (x = A-C, E-G, J, L, M, P)	12288 × 8ビット(FCF00H-FFEFFH)
R5F104xG (x = A-C, E-G, J, L, M, P)	16384 × 8ビット(FBF00H-FFEFFH)
R5F104xH (x = E-G, J, L, M, P)	20480 × 8ビット(FAF00H-FFEFFH)
R5F104xJ (x = F, G, J, L, M, P)	24576 × 8ビット(F9F00H-FFEFFH)
R5F104xK (x = G, J, L, M, P)	32768 × 8ビット(F7F00H-FFEFFH)
R5F104xL (x = G, J, L, M, P)	49152 × 8ビット(F3F00H-FFEFFH)

(省略)

3.1.1 内部プログラム・メモリ空間 (p.139)

正)

表 3-5 内部 ROM 容量

製品	内部ROM	
	構造	容量
R5F104xA (x = A-C, E-G)	フラッシュ・メモリ	16384 × 8ビット(00000H-03FFFFH)
R5F104xC (x = A-C, E-G, J, L)		32768 × 8ビット(00000H-07FFFFH)
R5F104xD (x = A-C, E-G, J, L)		49152 × 8ビット(00000H-0BFFFFH)
R5F104xE (x = A-C, E-G, J, L)		65536 × 8ビット(00000H-0FFFFFH)
R5F104xF (x = A-C, E-G, J, L, M, P)		98304 × 8ビット(00000H-17FFFFH)
R5F104xG (x = A-C, E-G, J, L, M, P)		131072 × 8ビット(00000H-1FFFFFH)
R5F104xH (x = E-G, J, L, M, P)		196608 × 8ビット(00000H-2FFFFFH)
R5F104xJ (x = F, G, J, L, M, P)		262144 × 8ビット(00000H-3FFFFFH)
R5F104xK (x = G, L, M, P)		393216 × 8ビット(00000H-5FFFFFH)
R5F104xL (x = G, L, M, P)		524288 × 8ビット(00000H-7FFFFFH)

(省略)

3.1.3 内部データ・メモリ空間 (p.144)

正)

表 3-8 内部 RAM 容量

製品	内部RAM
R5F104xA (x = A-C, E-G)	2560 × 8ビット(FF500H-FFEFFH)
R5F104xC (x = A-C, E-G, J, L)	4096 × 8ビット(FEF00H-FFEFFH)
R5F104xD (x = A-C, E-G, J, L)	5632 × 8ビット(FE900H-FFEFFH)
R5F104xE (x = A-C, E-G, J, L)	
R5F104xF (x = A-C, E-G, J, L, M, P)	12288 × 8ビット(FCF00H-FFEFFH)
R5F104xG (x = A-C, E-G, J, L, M, P)	16384 × 8ビット(FBF00H-FFEFFH)
R5F104xH (x = E-G, J, L, M, P)	20480 × 8ビット(FAF00H-FFEFFH)
R5F104xJ (x = F, G, J, L, M, P)	24576 × 8ビット(F9F00H-FFEFFH)
R5F104xK (x = G, L, M, P)	32768 × 8ビット(F7F00H-FFEFFH)
R5F104xL (x = G, L, M, P)	49152 × 8ビット(F3F00H-FFEFFH)

(省略)

3.2.1 制御レジスタ (p.149)

誤)

(省略)

注意4. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、フラッシュ・ライブラリが次に示す製品のRAM領域を一部使用します。対象製品とフラッシュ・ライブラリが使用するRAM領域のスタートアドレスを示します。

R5F104xD (x = A-C, E-G, J, L) : スタート・アドレス FE900H

R5F104xE (x = A-C, E-G, J, L) : スタート・アドレス FE900H

R5F104xJ (x = F, G, J, L, M, P) : スタート・アドレス F9F00H

R5F104xL (x = G, J, L, M, P) : スタート・アドレス F3F00H

フラッシュ・ライブラリが使用するRAM領域は、RL78ファミリセルフプログラミングライブラリセルフRAMリスト(R20UT2943)を参照してください。

注意5. 次に示す製品の内部RAM 領域は、オンチップ・デバッキングのトレース機能使用時にスタック・メモリとして使用できません。

R5F104xJ (x = A-C, E-G, J, L) : FA300H-FA6FFH

R5F104xL (x = G, J, L, M, P) : F4300H-F46FFH

4.3 ポート機能を制御するレジスタ (p.194)

誤)

(省略)

注 1. 30ピン, 32ピン製品のみ。

注 2. R5F104xF (x = A-C, E-G, J, L, M, P), R5F104xG (x = A-C, E-G, J, L, M, P), R5F104xH (x = E-G, J, L, M, P), R5F104xJ (x = F, G, J, L, M, P), **R5F104xK (x = G, J, L, M, P), R5F104xL (x = G, J, L, M, P)のみ**

3.2.1 制御レジスタ (p.149)

正)

(省略)

注意4. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、フラッシュ・ライブラリが次に示す製品のRAM領域を一部使用します。対象製品とフラッシュ・ライブラリが使用するRAM領域のスタートアドレスを示します。

R5F104xD (x = A-C, E-G, J, L) : スタート・アドレス FE900H

R5F104xE (x = A-C, E-G, J, L) : スタート・アドレス FE900H

R5F104xJ (x = F, G, J, L, M, P) : スタート・アドレス F9F00H

R5F104xL (x = G, L, M, P) : スタート・アドレス F3F00H

フラッシュ・ライブラリが使用するRAM領域は、RL78ファミリセルフプログラミングライブラリセルフRAMリスト(R20UT2943)を参照してください。

注意5. 次に示す製品の内部RAM 領域は、オンチップ・デバッキングのトレース機能使用時にスタック・メモリとして使用できません。

R5F104xJ (x = A-C, E-G, J, L) : FA300H-FA6FFH

R5F104xL (x = G, L, M, P) : F4300H-F46FFH

4.3 ポート機能を制御するレジスタ (p.194)

正)

(省略)

注 1. 30ピン, 32ピン製品のみ。

注 2. R5F104xF (x = A-C, E-G, J, L, M, P), R5F104xG (x = A-C, E-G, J, L, M, P), R5F104xH (x = E-G, J, L, M, P), R5F104xJ (x = F, G, J, L, M, P), **R5F104xK (x = G, L, M, P), R5F104xL (x = G, L, M, P)のみ**

19.3.1 DTC コントロールデータ領域と DTC ベクタテーブル領域の配置

(p.960)

誤)

(省略)

注意 3. 次に示す製品の内部 RAM 領域は、セルフ・プログラミング機能およびデータ・フラッシュ機能使用時に DTC コントロールデータ領域および DTC ベクタテーブル領域として使用できません。

R5F104xD (x = A-C, E-G, J, L) : FE900H-FED09H

R5F104xE (x = A-C, E-G, J, L) : FE900H-FED09H

R5F104xJ (x = A-C, E-G, J, L) : F9F00H-FA309H

R5F104xL (x = G, J, L, M, P) : F3F00H-F4309H

注意 4. 次に示す製品の内部 RAM 領域は、オンチップ・デバッキングのトレース機能使用時に DTC コントロールデータ領域および DTC ベクタテーブル領域として使用できません。

R5F104xJ (x = A-C, E-G, J, L) : FA300H-FA6FFH

R5F104xL (x = G, J, L, M, P) : F4300H-F46FFH

19.5.2 DTC コントロールデータ領域と DTC ベクタテーブル領域の配置 (p.983)

誤)

(省略)

• 次に示す製品の内部 RAM 領域は、セルフ・プログラミング機能およびデータ・フラッシュ機能使用時に DTC コントロールデータ領域および DTC ベクタテーブル領域として使用できません。

R5F104xD (x = A-C, E-G, J, L) : FE900H-FED09H

R5F104xE (x = A-C, E-G, J, L) : FE900H-FED09H

R5F104xJ (x = A-C, E-G, J, L) : F9F00H-FA309H

R5F104xL (x = G, J, L, M, P) : F3F00H-F4309H

• 次に示す製品の内部 RAM 領域は、オンチップ・デバッキングのトレース機能使用時に DTC コントロールデータ領域および DTC ベクタテーブル領域として使用できません。

R5F104xJ (x = A-C, E-G, J, L) : FA300H-FA6FFH

R5F104xL (x = G, J, L, M, P) : F4300H-F46FFH

• RAM パリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、ノーマルモード使用時においても DTRLD レジスタを初期化(00H)してください。

19.3.1 DTC コントロールデータ領域と DTC ベクタテーブル領域の配置

(p.960)

正)

(省略)

注意 3. 次に示す製品の内部 RAM 領域は、セルフ・プログラミング機能およびデータ・フラッシュ機能使用時に DTC コントロールデータ領域および DTC ベクタテーブル領域として使用できません。

R5F104xD (x = A-C, E-G, J, L) : FE900H-FED09H

R5F104xE (x = A-C, E-G, J, L) : FE900H-FED09H

R5F104xJ (x = A-C, E-G, J, L) : F9F00H-FA309H

R5F104xL (x = G, L, M, P) : F3F00H-F4309H

注意 4. 次に示す製品の内部 RAM 領域は、オンチップ・デバッキングのトレース機能使用時に DTC コントロールデータ領域および DTC ベクタテーブル領域として使用できません。

R5F104xJ (x = A-C, E-G, J, L) : FA300H-FA6FFH

R5F104xL (x = G, L, M, P) : F4300H-F46FFH

19.5.2 DTC コントロールデータ領域と DTC ベクタテーブル領域の配置 (p.983)

正)

(省略)

• 次に示す製品の内部 RAM 領域は、セルフ・プログラミング機能およびデータ・フラッシュ機能使用時に DTC コントロールデータ領域および DTC ベクタテーブル領域として使用できません。

R5F104xD (x = A-C, E-G, J, L) : FE900H-FED09H

R5F104xE (x = A-C, E-G, J, L) : FE900H-FED09H

R5F104xJ (x = A-C, E-G, J, L) : F9F00H-FA309H

R5F104xL (x = G, L, M, P) : F3F00H-F4309H

• 次に示す製品の内部 RAM 領域は、オンチップ・デバッキングのトレース機能使用時に DTC コントロールデータ領域および DTC ベクタテーブル領域として使用できません。

R5F104xJ (x = A-C, E-G, J, L) : FA300H-FA6FFH

R5F104xL (x = G, L, M, P) : F4300H-F46FFH

• RAM パリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、ノーマルモード使用時においても DTRLD レジスタを初期化(00H)してください。

27.3.6 不正メモリ・アクセス検出機能 (p.1088)

誤)

(省略)

注 各製品のコード・フラッシュ・メモリ, RAM, 検出最下位アドレスを次に示します。

製品	コード・フラッシュ・メモリ (00000H-xxxxxH)	RAM (zzzzzH-FFEFFH)	読み出し/命令フェッチ (実行)時の検出最下位 アドレス(yyyyyH)
R5F104xA(x=A-C, E-G)	16384 × 8ビット (00000H-03FFFH)	2560 × 8ビット (FF500H-FFEFFH)	10000H
R5F104xC(x=A-C,E-G,J,L)	32768 × 8ビット (00000H-07FFFH)	4096 × 8ビット (FEF00H-FFEFFH)	10000H
R5F104xD(x=A-C,E-G,J,L)	49152 × 8ビット (00000H-0BFFFH)	5632 × 8ビット (FE900H-FFEFFH)	10000H
R5F104xE(x=A-C,E-G,J,L)	65536 × 8ビット (00000H-0FFFFH)	5632 × 8ビット (FE900H-FFEFFH)	10000H
R5F104xF(x=A-C,E-G,J,L,M,P)	98304 × 8ビット (00000H-17FFFH)	12288 × 8ビット (FCF00H-FFEFFH)	20000H
R5F104xG(x=A-C,E-G,J,L,M,P)	131072 × 8ビット (00000H-1FFFFH)	16384 × 8ビット (F000H-FFEFFH)	20000H
R5F104xH(x=E-G,J,L,M,P)	196608 × 8ビット (00000H-2FFFFH)	20480 × 8ビット (FAF00H-FFEFFH)	30000H
R5F104xJ(x=F,G,J,L,M,P)	262144 × 8ビット (00000H-3FFFFH)	24576 × 8ビット (F9F00H-FFEFFH)	40000H
R5F104xK(x=G,J,L,M,P)	393216 × 8ビット (00000H-5FFFFH)	32768 × 8ビット (F7F00H-FFEFFH)	60000H
R5F104xL(x=G,J,L,M,P)	524688 × 8ビット (00000H-7FFFFH)	49152 × 8ビット (F3F00H-FFEFFH)	80000H

27.3.6 不正メモリ・アクセス検出機能 (p.1088)

正)

(省略)

注 各製品のコード・フラッシュ・メモリ, RAM, 検出最下位アドレスを次に示します。

製品	コード・フラッシュ・メモリ (00000H-xxxxxH)	RAM (zzzzzH-FFEFFH)	読み出し/命令フェッチ (実行)時の検出最下位 アドレス(yyyyyH)
R5F104xA(x=A-C, E-G)	16384 × 8ビット (00000H-03FFFH)	2560 × 8ビット (FF500H-FFEFFH)	10000H
R5F104xC(x=A-C,E-G,J,L)	32768 × 8ビット (00000H-07FFFH)	4096 × 8ビット (FEF00H-FFEFFH)	10000H
R5F104xD(x=A-C,E-G,J,L)	49152 × 8ビット (00000H-0BFFFH)	5632 × 8ビット (FE900H-FFEFFH)	10000H
R5F104xE(x=A-C,E-G,J,L)	65536 × 8ビット (00000H-0FFFFH)	5632 × 8ビット (FE900H-FFEFFH)	10000H
R5F104xF(x=A-C,E-G,J,L,M,P)	98304 × 8ビット (00000H-17FFFH)	12288 × 8ビット (FCF00H-FFEFFH)	20000H
R5F104xG(x=A-C,E-G,J,L,M,P)	131072 × 8ビット (00000H-1FFFFH)	16384 × 8ビット (F000H-FFEFFH)	20000H
R5F104xH(x=E-G,J,L,M,P)	196608 × 8ビット (00000H-2FFFFH)	20480 × 8ビット (FAF00H-FFEFFH)	30000H
R5F104xJ(x=F,G,J,L,M,P)	262144 × 8ビット (00000H-3FFFFH)	24576 × 8ビット (F9F00H-FFEFFH)	40000H
R5F104xK(x=G,L,M,P)	393216 × 8ビット (00000H-5FFFFH)	32768 × 8ビット (F7F00H-FFEFFH)	60000H
R5F104xL(x=G,L,M,P)	524688 × 8ビット (00000H-7FFFFH)	49152 × 8ビット (F3F00H-FFEFFH)	80000H

31.3 ユーザ資源の確保 (p.1136)

誤)

(省略)

注 1. 製品によって、次のようにアドレスが異なります。

製品名(コード・フラッシュ・メモリ容量)	注1のアドレス
R5F104xA (x = A-C, E-G)	03FFFFH
R5F104xC (x = A-C, E-G, J, L)	07FFFFH
R5F104xD (x = A-C, E-G, J, L)	0BFFFFH
R5F104xE (x = A-C, E-G, J, L)	0FFFFFFH
R5F104xF (x = A-C, E-G, J, L, M, P)	17FFFFH
R5F104xG (x = A-C, E-G, J, L, M, P)	1FFFFFFH
R5F104xH (x = E-G, J, L, M, P)	2FFFFFFH
R5F104xJ (x = F, G, J, L, M, P)	3FFFFFFH
R5F104xK (x = G, J, L, M, P)	5FFFFFFH
R5F104xL (x = G, J, L, M, P)	7FFFFFFH

(省略)

36.7 52ピン製品 (p.1306)

誤)

R5F104JCAFA, R5F104JDAFA, R5F104JEAFA, R5F104JFAFA, R5F104JGAFA,
 R5F104JHAFA, R5F104JJFAFA
 R5F104JCDAFA, R5F104JDDFA, R5F104JEDFA, R5F104JFDFA, R5F104JGDFA,
 R5F104JHDAFA, R5F104JJDAFA
 R5F104JCGFA, R5F104JDGFA, R5F104JEGFA, R5F104JFGFA, R5F104JGGFA,
 R5F104JHGFA, R5F104JJGFA
~~R5F104JKFAFA, R5F104JLAFA~~
~~R5F104JKGFA, R5F104JLGFA~~

(省略)

31.3 ユーザ資源の確保 (p.1136)

正)

(省略)

注 1. 製品によって、次のようにアドレスが異なります。

製品名(コード・フラッシュ・メモリ容量)	注1のアドレス
R5F104xA (x = A-C, E-G)	03FFFFH
R5F104xC (x = A-C, E-G, J, L)	07FFFFH
R5F104xD (x = A-C, E-G, J, L)	0BFFFFH
R5F104xE (x = A-C, E-G, J, L)	0FFFFFFH
R5F104xF (x = A-C, E-G, J, L, M, P)	17FFFFH
R5F104xG (x = A-C, E-G, J, L, M, P)	1FFFFFFH
R5F104xH (x = E-G, J, L, M, P)	2FFFFFFH
R5F104xJ (x = F, G, J, L, M, P)	3FFFFFFH
R5F104xK (x = G, L, M, P)	5FFFFFFH
R5F104xL (x = G, L, M, P)	7FFFFFFH

(省略)

36.7 52ピン製品 (p.1306)

正)

R5F104JCAFA, R5F104JDAFA, R5F104JEAFA, R5F104JFAFA, R5F104JGAFA,
 R5F104JHAFA, R5F104JJFAFA
 R5F104JCDAFA, R5F104JDDFA, R5F104JEDFA, R5F104JFDFA, R5F104JGDFA,
 R5F104JHDAFA, R5F104JJDAFA
 R5F104JCGFA, R5F104JDGFA, R5F104JEGFA, R5F104JFGFA, R5F104JGGFA,
 R5F104JHGFA, R5F104JJGFA

(省略)

6. 6.3.3 タイマ・モード・レジスタ mn 図 6-12 のカウントクロックの選択 (p.304)

誤)

図 6 - 12 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(1/4)

アドレス:F0190H, F0191H (TMR00) - F0196H, F0197H (TMR03) リセット時:0000H R/W
F01D0H, F01D1H (TMR10) - F01D6H, F01D7H (TMR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n=2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

(省略)

CCS mn	チャンネルnのカウント・クロック (f _{TCLK}) の選択
0	CKSmn0, CKSmn1ビットで指定した動作クロック (f _{MCK})
1	TImn端子からの入力信号の有効エッジ
カウント・クロック (f _{TCLK}) は、カウンタ, 出力制御回路, 割り込み制御回路に使用されます。	

(省略)

正)

図 6 - 12 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(1/4)

アドレス:F0190H, F0191H (TMR00) - F0196H, F0197H (TMR03) リセット時:0000H R/W
F01D0H, F01D1H (TMR10) - F01D6H, F01D7H (TMR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n=2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

(省略)

CCS mn	チャンネルnのカウント・クロック (f _{TCLK}) の選択
0	CKSmn0, CKSmn1ビットで指定した動作クロック (f _{MCK})
1	TImn端子からの入力信号の有効エッジ ・ユニット0の場合: チャンネル0では, TIS0で選択した入力信号の有効エッジ チャンネル1では, TIS0で選択した入力信号の有効エッジ チャンネル3では, ISCで選択した入力信号の有効エッジ
カウント・クロック (f _{TCLK}) は、カウンタ, 出力制御回路, 割り込み制御回路に使用されます。	

(省略)

7. 17.3.12 シリアル出力レジスタ m(SOm)

図 17-19 の注釈の シリアル出力レジスタ m(SOm)のリセット時の値 (p.710)

誤)

図17-19 シリアル出力レジスタm(SOm)のフォーマット

アドレス: F0128H, F0129H リセット時:0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	CKO 03	CKO 02	CKO 01	CKO 00	0	0	0	0	SO 03	SO 02	SO 01	SO 00

アドレス: F0168H, F0169H リセット時:0F0FH^注 R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO1	0	0	0	0	CKO 13	CKO 12	CKO 11	CKO 10	0	0	0	0	SO 13	SO 12	SO 11	SO 10

(省略)

注. 30-64ピン製品は, リセット時:3030H

(省略)

正)

図17-19 シリアル出力レジスタm(SOm)のフォーマット

アドレス: F0128H, F0129H リセット時:0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	CKO 03	CKO 02	CKO 01	CKO 00	0	0	0	0	SO 03	SO 02	SO 01	SO 00

アドレス: F0168H, F0169H リセット時:0F0FH^注 R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO1	0	0	0	0	CKO 13	CKO 12	CKO 11	CKO 10	0	0	0	0	SO 13	SO 12	SO 11	SO 10

(省略)

注. 30-64ピン製品は, リセット時:0303H

(省略)

8. 19.5.3 DTC 保留命令の誤記訂正 (p.984)

誤)

(省略)

DTC 転送要求が発生しても、次の命令直後ではデータ転送は保留されます。また、PREFIX 命令コードと直後の1命令の間にDTCが起動されることはありません。

- コールリターン命令
- 無条件分岐命令
- 条件付き分岐命令
- コード・フラッシュ・メモリへのリードアクセス命令
- IFxx, MKxx, PRxx, PSWへのビット操作命令とオペランドにESレジスタを含んだ8ビット操作命令
- データ・フラッシュ・メモリにアクセスする命令

注意1. DTC 転送要求を受け付けると、DTC 転送が完了するまで、全ての割り込み要求が保留されます。

注意2. DTC 保留命令による DTC 保留中は、全ての割り込み要求が保留されます

正)

(省略)

DTC 転送要求が発生しても、次の命令直後ではデータ転送は保留されます。また、PREFIX 命令コードと直後の1命令の間にDTCが起動されることはありません。

- コールリターン命令
- 無条件分岐命令
- 条件付き分岐命令
- コード・フラッシュ・メモリへのリードアクセス命令
- IFxx, MKxx, PRxx, PSWへのビット操作命令とオペランドにESレジスタを含んだ8ビット操作命令
- データ・フラッシュ・メモリにアクセスする命令
- 乗除積和算命令(MULU命令を除く)

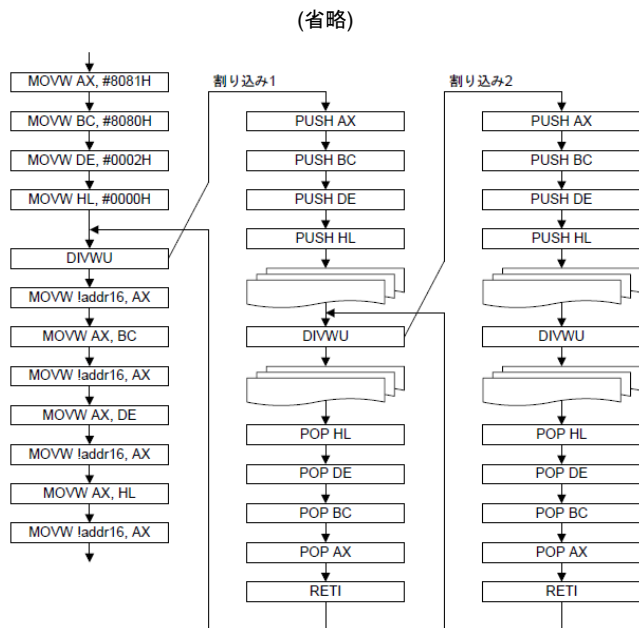
注意1. DTC 転送要求を受け付けると、DTC 転送が完了するまで、全ての割り込み要求が保留されます。

注意2. DTC 保留命令による DTC 保留中は、全ての割り込み要求が保留されます

9. 21.4.4 除算命令中の割り込み処理 (p.1023)

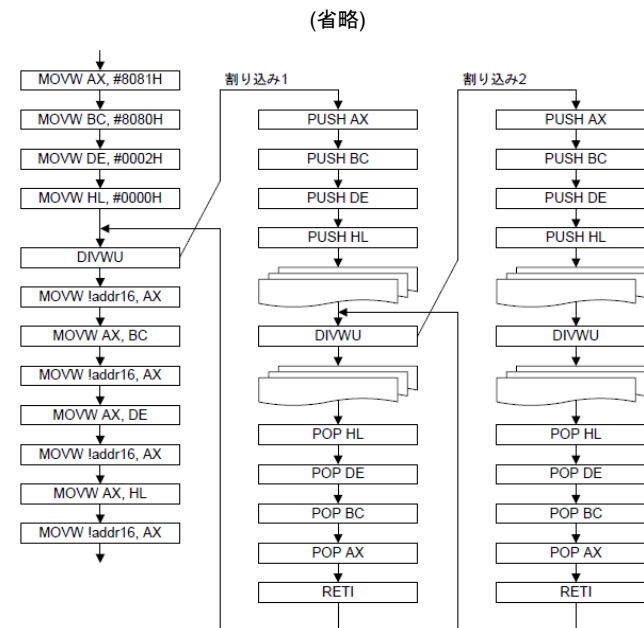
誤)

RL78/G14は、除算命令実行時に割り込み応答性を向上させるため、DIVHU/DIVWU命令中の割り込みに対応します。



正)

RL78/G14は、除算命令実行時に割り込み応答性を向上させるため、DIVHU/DIVWU命令中の割り込みに対応します。



注意. 割り込み処理中に DIVHU, DIVWU 命令を実行する場合、割り込み禁止状態(DI)で実行してください。

但し、RAM 領域での命令実行を除き、アセンブリ言語ソースにて DIVHU, DIVWU 命令の直後に NOP 命令を追加した場合は、割り込み許可状態でも DIVHU, DIVWU 命令を実行する事ができます。下記のコンパイラはビルド時に DIVHU, DIVWU 命令が出力される場合、その直後に自動で NOP 命令が挿入されます。

- ・ CA78K0R (ルネサスエレクトロニクス社 コンパイラ製品)V1.71 以降の C 言語ソースおよびアセンブリ言語ソース
- ・ EWRL78 (IAR 社 コンパイラ製品) Service pack 1.40.6 以降の C 言語ソース
- ・ GNURL78 (KPIT 社 コンパイラ)の C 言語ソース

10. 21.4.5 割り込み要求の保留の誤記訂正 (p.1024)**誤)**

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令(割り込み要求の保留命令)を次に示します。

- MOV PSW, #byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, \$addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12HLレジスタの各レジスタに対する書き込み命令

正)

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令(割り込み要求の保留命令)を次に示します。

- MOV PSW, #byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, \$addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- MULHU
- MULH
- MACHU
- MACH
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12HLレジスタの各レジスタに対する書き込み命令

11. 33.2 オペレーション一覧 (p.1155)

誤)

表 33 - 16 オペレーション一覧(12/18)

(省略)

- 注 1. 内部 RAM 領域, SFR 領域および拡張 SFR 領域をアクセスしたとき, またはデータ・アクセスをしないときの CPU クロック(f_{CLK})数。
- 注 2. コード・フラッシュ領域および 8 ビット命令でデータ・フラッシュ領域をアクセスしたときの CPU クロック(f_{CLK})数。

備考 1. クロック数は内部 ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部 RAM 領域から命令フェッチする場合, 最大 2 倍 + 3 クロックになります。

備考 2. MACR : 積和演算累計レジスタ(MACRH, MACRL)

正)

表 33 - 16 オペレーション一覧(12/18)

(省略)

- 注 1. 内部 RAM 領域, SFR 領域および拡張 SFR 領域をアクセスしたとき, またはデータ・アクセスをしないときの CPU クロック(f_{CLK})数。
- 注 2. コード・フラッシュ領域および 8 ビット命令でデータ・フラッシュ領域をアクセスしたときの CPU クロック(f_{CLK})数。

備考 1. クロック数は内部 ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部 RAM 領域から命令フェッチする場合, 最大 2 倍 + 3 クロックになります。

備考 2. MACR : 積和演算累計レジスタ(MACRH, MACRL)

注意. 割り込み処理中に DIVHU, DIVWU 命令を実行する場合, 割り込み禁止状態(DI)で実行してください。

但し, RAM 領域での命令実行を除き, アセンブリ言語ソースにて DIVHU, DIVWU 命令の直後に NOP 命令を追加した場合は, 割り込み許可状態でも DIVHU, DIVWU 命令を実行することができます。下記のコンパイラはビルド時に DIVHU, DIVWU 命令が出力される場合, その直後に自動で NOP 命令が挿入されます。

- ・ CA78K0R (ルネサスエレクトロニクス社 コンパイラ製品)V1.71 以降の C 言語ソースおよびアセンブリ言語ソース
- ・ EWRL78 (IAR 社 コンパイラ製品) Service pack 1.40.6 以降の C 言語ソース
- ・ GNURL78 (KPIT 社 コンパイラ)の C 言語ソース

以上