発行日：2011 年 11 月 30 日

RENESAS TECHNICAL UPDATE

〒211-8668　神奈川県川崎市中原区下沼部 1753
ルネサス エレクトロニクス株式会社
問合せ窓口　http://japan.renesas.com/inquiry
E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RL*-A001A/J	Rev.	1.00
題名	誤記訂正通知 RL78/G13　ユーザーズマニュアル Rev.1.00 の記載変更		情報分類	技術情報	
適用製品	RL78/G13 グループ ：R5F100xxx，R5F101xxx	対象ロット等 全ロット	関連資料	RL78/G13　ユーザーズマニュアル ハードウェア編　Rev.1.00 R01UH0146JJ0100 (Aug.2011)	

RL78/G13 ユーザーズマニュアル ハードウェア編 Rev.1.00（R01UH0146JJ0100）において、下記訂正がございます。

新たな訂正内容

該当ページ	該当箇所	内容
p.4,17,1055	64ピン・プラスチックTQFP（7mm × 7mm）パッケージ	誤記削除
p.446-451	リアルタイム・クロック　各カウント・レジスタ	誤記削除
p.467	インターバル･タイマ・コントロール・レジスタ（ITMC）	説明追加
p.490	A/D電圧コンパレータ使用時のタイミング・チャート	説明追加
p.496-498	A/D変換時間の選択　安定待ち時間あり（6/8）～（8/8）	誤記訂正
p.500,504	A/Dコンバータ　スタンバイ･モード移行時の注意	説明追加
p.842,844	マスカブル割り込み要求の受け付け動作	誤記訂正
p.893,895	電圧検出回路（LVD）のタイミング・チャート	誤記訂正
p.896-898	電圧検出回路（LVD）割り込み＆リセット・モード	誤記訂正
p.1005	電気的特性 29. 4. 2 電源電流特性（4）RL78/G13全製品共通	説明追加

誤記訂正の該当箇所は、**誤）太字下線**、正）グレー・ハッチングで記載します。

ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

日程は 2012 年 2 月頃を予定しています。詳細日程については販売会社、特約店にお問い合わせください。

(c) 2011. Renesas Electronics Corporation. All rights reserved.

ユーザーズマニュアルの訂正一覧

No	該当箇所			Rev1.00	Rev2.00 以降[注]
		ドキュメントNo.	和文	R01UH0146JJ0100	R01UH0146JJ0200
			英文	R01UH0146EJ0100	R01UH0146EJ0200
1	64ピン・プラスチックTQFP（7mm × 7mm）パッケージの誤記削除			×	○
2	リアルタイム・クロック　各カウント・レジスタの誤記削除			×	○
3	インターバル･タイマ・コントロール・レジスタ（ITMC）の説明追加			×	○
4	A/D電圧コンパレータ使用時のタイミング・チャートの説明追加			×	○
5	A/D変換時間の選択　安定待ち時間あり（6/8）～（8/8）の誤記訂正			×	○
6	A/Dコンバータ　スタンバイ･モード移行時の説明追加			×	○
7	マスカブル割り込み要求の受け付け動作の誤記訂正			×	○
8	電圧検出回路（LVD）のタイミング・チャートの誤記訂正			×	○
9	電圧検出回路（LVD）割り込み＆リセット・モードの誤記訂正			×	○
10	電気的特性　29. 4. 2 電源電流特性（4）RL78/G13全製品共通の説明追加			×	○

注.　ユーザーズマニュアル改版は、2012 年 2 月頃を予定しています。

備考.　各記号はそれぞれ以下の意味を示します。

○ ： 訂正済み

× ： 訂正対象（修正予定）

1. 64 ピン・プラスチック TQFP（7mm × 7mm）パッケージ開発中止に伴う、関連情報の記載削除

64 ピン・プラスチック TQFP（7mm × 7mm）のオーダー情報削除（p.4）

誤）

（2/3）

ピン数	パッケージ	データフラッシュ	オーダ名称
（省略）			
64ピン	64ピン・プラスチックLQFP（12x12）	搭載	R5F100LCAFA, R5F100LDAFA, R5F100LEAFA, R5F100LFAFA, R5F100LGAFA, R5F100LHAFA, R5F100LJAFA, R5F100LKAFA, R5F100LLAFA
		非搭載	R5F101LCAFA, R5F101LDAFA, R5F101LEAFA, R5F101LFAFA, R5F101LGAFA, R5F101LHAFA, R5F101LJAFA, R5F101LKAFA, R5F101LLAFA
	64ピン・プラスチックLQFP（ファインピッチ）（10x10）	搭載	R5F100LCAFB, R5F100LDAFB, R5F100LEAFB, R5F100LFAFB, R5F100LGAFB, R5F100LHAFB, R5F100LJAFB, R5F100LKAFB, R5F100LLAFB
		非搭載	R5F101LCAFB, R5F101LDAFB, R5F101LEAFB, R5F101LFAFB, R5F101LGAFB, R5F101LHAFB, R5F101LJAFB, R5F101LKAFB, R5F101LLAFB
	64ピン・プラスチックTQFP（ファインピッチ）（7x7）	搭載	R5F100LCAFC, R5F100LDAFC, R5F100LEAFC, R5F100LFAFC, R5F100LGAFC, R5F100LHAFC, R5F100LJAFC
		非搭載	R5F101LCAFC, R5F101LDAFC, R5F101LEAFC, R5F101LFAFC, R5F101LGAFC, R5F101LHAFC, R5F101LJAFC
	64ピン・プラスチックFBGA（4x4）	搭載	R5F100LCABG, R5F100LDABG, R5F100LEABG, R5F100LFABG, R5F100LGABG, R5F100LHABG, R5F100LJABG
		非搭載	R5F101LCABG, R5F101LDABG, R5F101LEABG, R5F101LFABG, R5F101LGABG, R5F101LHABG, R5F101LJABG

正）

(2/3)

ピン数	パッケージ	データフラッシュ	オーダ名称
（省略）			
64ピン	64ピン・プラスチックLQFP（12x12）	搭載	R5F100LCAFA, R5F100LDAFA, R5F100LEAFA, R5F100LFAFA, R5F100LGAFA, R5F100LHAFA, R5F100LJAFA, R5F100LKAFA, R5F100LLAFA
		非搭載	R5F101LCAFA, R5F101LDAFA, R5F101LEAFA, R5F101LFAFA, R5F101LGAFA, R5F101LHAFA, R5F101LJAFA, R5F101LKAFA, R5F101LLAFA
	64ピン・プラスチックLQFP（ファインピッチ）（10x10）	搭載	R5F100LCAFB, R5F100LDAFB, R5F100LEAFB, R5F100LFAFB, R5F100LGAFB, R5F100LHAFB, R5F100LJAFB, R5F100LKAFB, R5F100LLAFB
		非搭載	R5F101LCAFB, R5F101LDAFB, R5F101LEAFB, R5F101LFAFB, R5F101LGAFB, R5F101LHAFB, R5F101LJAFB, R5F101LKAFB, R5F101LLAFB
	64ピン・プラスチックFBGA（4x4）	搭載	R5F100LCABG, R5F100LDABG, R5F100LEABG, R5F100LFABG, R5F100LGABG, R5F100LHABG, R5F100LJABG
		非搭載	R5F101LCABG, R5F101LDABG, R5F101LEABG, R5F101LFABG, R5F101LGABG, R5F101LHABG, R5F101LJABG

64 ピン･プラスチック TQFP（7mm × 7mm）の端子接続図削除（p.17）

誤）

1. 3. 11　64 ピン製品

- 64**ピン・プラスチック**LQFP（12×12）
- 64**ピン・プラスチック**LQFP（**ファインピッチ**）（10×10）
- **64ピン・プラスチックTQFP（ファインピッチ）（7×7）**

（省略）

正）

1. 3. 11　64 ピン製品

- 64**ピン・プラスチック**LQFP（12×12）
- 64**ピン・プラスチック**LQFP（**ファインピッチ**）（10×10）

（省略）

64 ピン･プラスチック TQFP（7mm × 7mm）の外形図削除（p.1055）

誤）

R5F100LCAFC, R5F100LDAFC, R5F100LEAFC, R5F100LFAFC, R5F100LGAFC, R5F100LHAFC, R5F100LJAFC
R5F101LCAFC, R5F101LDAFC, R5F101LEAFC, R5F101LFAFC, R5F101LGAFC, R5F101LHAFC, R5F101LJAFC

64-PIN PLASTIC TQFP (7x7) 開発中

正）　該当ページ削除

2. リアルタイム・クロック　各カウント・レジスタの誤記削除

リアルタイム・クロック　秒カウント・レジスタ(SEC)の誤記削除（p.446）

誤）

（5）秒カウント・レジスタ（SEC）

0-59（10進）までの値を取り，秒のカウント値を示す8ビットのレジスタです。

サブカウント・レジスタからのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ，最大2クロック（f_{RTC}）後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。範囲外の値を設定した場合は，1周期後に正常値に戻ります。

SECレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

正）

（5）秒カウント・レジスタ（SEC）

0-59（10進）までの値を取り，秒のカウント値を示す8ビットのレジスタです。

サブカウント・レジスタからのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ，最大2クロック（f_{RTC}）後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。

SECレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

リアルタイム･クロック　分カウント･レジスタ（MIN）の誤記削除（p.446）

誤）

（6）分カウント・レジスタ（MIN）

0-59（10進）までの値を取り，分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ最大2クロック（f_{RTC}）後に，カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の00-59をBCDコードで設定してください。範囲外の値を設定した場合は，1周期後に正常値に戻ります。

MINレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

正）

（6）分カウント・レジスタ（MIN）

0-59（10進）までの値を取り，分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ最大2クロック（f_{RTC}）後に，カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の00-59をBCDコードで設定してください。

MINレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

リアルタイム･クロック　時カウント･レジスタ（HOUR）の誤記削除（p.447）

誤）

（7）時カウント・レジスタ（HOUR）

00-23または01-12, 21-32（10進）までの値を取り，時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ最大2クロック（f_{RTC}）後にカウンタへ書き込みされます。書き込み中に分カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また，リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のビット3（AMPM）で設定した時間制に応じて，10進の00-23または01-12, 21-32をBCDコードで設定してください。

AMPMビットの値を変更すると，HOURレジスタの値は設定した時間制に対応する値に変更されます。

範囲外の値を設定した場合は，1周期後に正常値に戻ります。

HOURレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，12Hになります。

ただし，リセット後に，AMPMビットに1をセットした場合は00Hとなります。

正）

（7）時カウント・レジスタ（HOUR）

00-23または01-12, 21-32（10進）までの値を取り，時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ最大2クロック（f_{RTC}）後にカウンタへ書き込みされます。書き込み中に分カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また，リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のビット3（AMPM）で設定した時間制に応じて，10進の00-23または01-12, 21-32をBCDコードで設定してください。

AMPMビットの値を変更すると，HOURレジスタの値は設定した時間制に対応する値に変更されます。

HOURレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，12Hになります。

ただし，リセット後に，AMPMビットに1をセットした場合は00Hとなります。

リアルタイム・クロック　日カウント・レジスタ（DAY）の誤記削除（p.449）

誤）

（8）日カウント・レジスタ（DAY）

1-31（10進）までの値を取り，日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバフローによりカウント・アップします。

カウンタは，次に示すようにカウントします。

（省略）

書き込みを行った場合は，バッファに書き込まれ最大2クロック（f_{RTC}）後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の01-31をBCDコードで設定してください。範囲外の値を設定した場合は，1周期後に正常値に戻ります。

DAYレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，01Hになります。

正）

（8）日カウント・レジスタ（DAY）

1-31（10進）までの値を取り，日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバフローによりカウント・アップします。

カウンタは，次に示すようにカウントします。

（省略）

書き込みを行った場合は，バッファに書き込まれ最大2クロック（f_{RTC}）後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の01-31をBCDコードで設定してください。

DAYレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，01Hになります。

リアルタイム･クロック　曜日カウント･レジスタ（WEEK）の誤記削除（p.450）

誤）

（9）曜日カウント・レジスタ（WEEK）

0-6（10進）までの値を取り，曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ最大の2クロック（f_{RTC}）後にカウンタへ書き込まれます。また設定する値は，10進の00-06をBCDコードで設定してください。範囲外の値を設定した場合は，1周期後に正常値に戻ります。

WEEKレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

正）

（9）曜日カウント・レジスタ（WEEK）

0-6（10進）までの値を取り，曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ最大の2クロック（f_{RTC}）後にカウンタへ書き込まれます。また設定する値は，10進の00-06をBCDコードで設定してください。

WEEKレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

リアルタイム･クロック　月カウント･レジスタ（MONTH）の誤記削除（p.451）

誤）

（10）月カウント・レジスタ（MONTH）

MONTHレジスタは1-12（10進）までの値を取り，月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ最大2クロック（f_{RTC}）後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の01-12をBCDコードで設定してください。範囲外の値を設定した場合は，1周期後に正常値に戻ります。

MONTHレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，01Hになります。

正）

（10）月カウント・レジスタ（MONTH）

MONTHレジスタは1-12（10進）までの値を取り，月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ最大2クロック（f_{RTC}）後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の01-12をBCDコードで設定してください。

MONTHレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，01Hになります。

リアルタイム・クロック　年カウント・レジスタ（YEAR）の誤記削除（p.451）

誤）

（11）年カウント・レジスタ（YEAR）

0-99（10進）までの値を取り，年のカウント値を示す8ビットのレジスタです。

月カウント・レジスタ（MONTH）からのオーバフローによりカウント・アップします。

00, 04, 08, ･･･, 92, 96がうるう年となります。

書き込みを行った場合は，バッファに書き込まれ最大2クロック（f_{RTC}）後にカウンタへ書き込まれます。書き込み中にMONTHレジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の00-99をBCDコードで設定してください。範囲外の値を設定した場合は，1周期後に正常値に戻ります。

YEARレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

正）

（11）年カウント・レジスタ（YEAR）

0-99（10進）までの値を取り，年のカウント値を示す8ビットのレジスタです。

月カウント・レジスタ（MONTH）からのオーバフローによりカウント・アップします。

00, 04, 08, ･･･, 92, 96がうるう年となります。

書き込みを行った場合は，バッファに書き込まれ最大2クロック（f_{RTC}）後にカウンタへ書き込まれます。書き込み中にMONTHレジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の00-99をBCDコードで設定してください。

YEARレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

3. 12 ビット･インターバル･タイマ　インターバル･タイマ･コントロール･レジスタ(ITMC)の注意追加（p.467）

誤）

（3）インターバル・タイマ・コントロール・レジスタ（ITMC）

(省略)

注意1. RINTEビットを1→0に変更する場合は，INTITを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。再度動作開始（0→1）する場合は，ITIFフラグをクリアしてから割り込み処理許可にしてください。

2. RINTEビットのリード値は，RINTEビット設定後，カウント・クロックの1クロック後に反映されます。

3. ITCMP11-ITCMP0ビットの設定を変更する場合は，必ずRINTE = 0のときに行ってください。
ただし，RINTE = 0→1または1→0に変更するのと同時にITCMP11-ITCMP0ビットの設定を変更することは可能です。

正）

（3）インターバル・タイマ・コントロール・レジスタ（ITMC）

(省略)

注意1. RINTEビットを1→0に変更する場合は，INTITを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。再度動作開始（0→1）する場合は，ITIFフラグをクリアしてから割り込み処理許可にしてください。

2. RINTEビットのリード値は，RINTEビット設定後，カウント・クロックの1クロック後に反映されます。

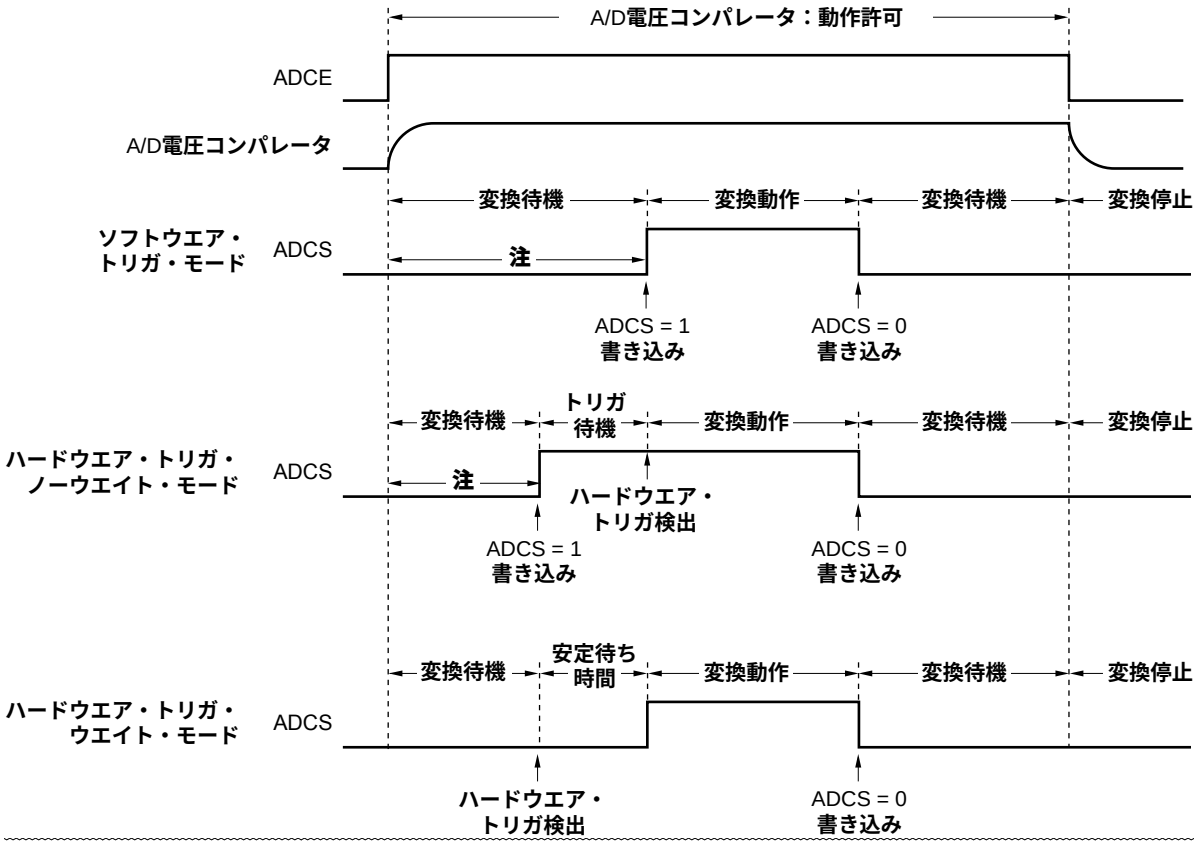
3. スタンバイ･モードから復帰後にRINTEビット設定して，再度スタンバイ･モードに移行する場合は，RINTEビットの書き込み値が反映されたことを確認するか，スタンバイ･モードの復帰からカウント･クロックの1クロック分以上経過後に移行してください。

4. ITCMP11-ITCMP0ビットの設定を変更する場合は，必ずRINTE = 0のときに行ってください。
ただし，RINTE = 0→1または1→0に変更するのと同時にITCMP11-ITCMP0ビットの設定を変更することは可能です。

4. A/D 電圧コンパレータ使用時のタイミング・チャートの説明追加（p.490）

誤）

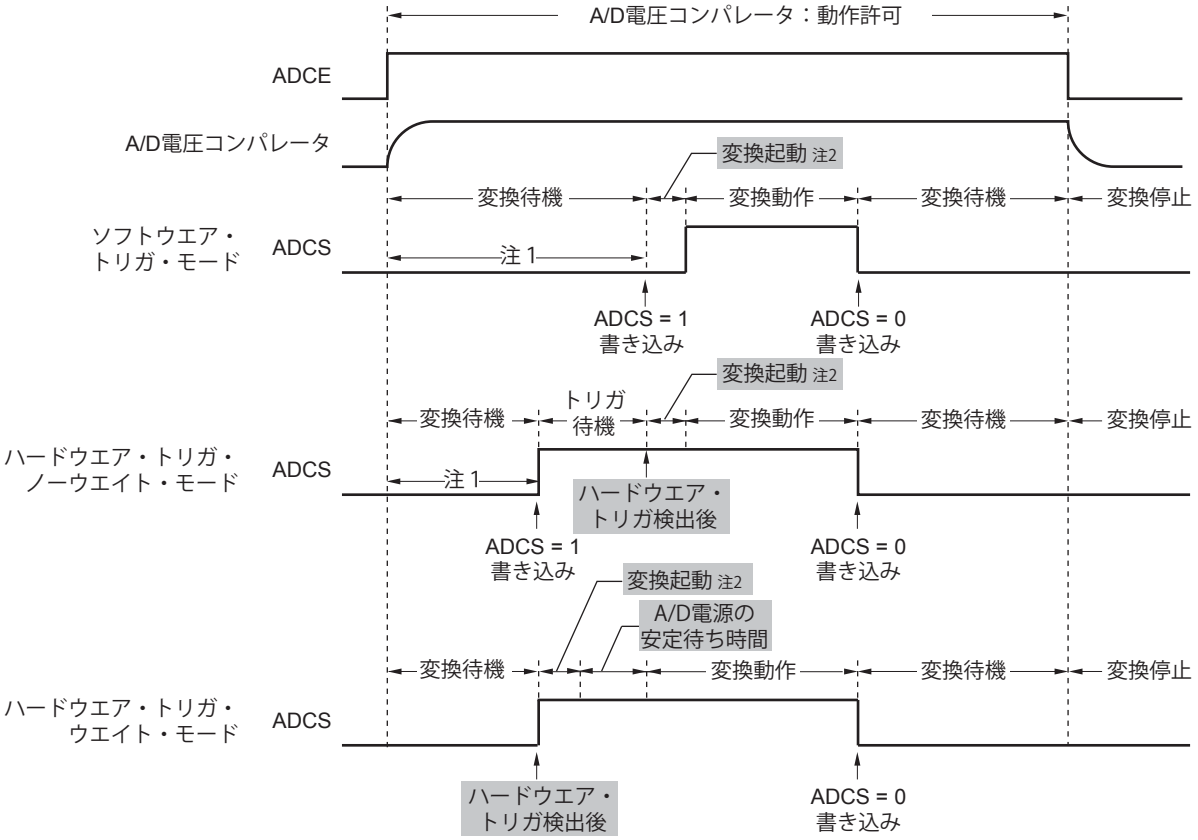
図11ー4　A/D**電圧コンパレータ使用時のタイミング・チャート**



注.　（省略）

正）

図11－4　A/D電圧コンパレータ使用時のタイミング・チャート



注 1.　（省略）

2.　変換起動には，最大で次の時間がかかります。

ADM0			変換クロック	変換起動時間（f_{CLK}クロック数）	
FR2	FR1	FR0	（f_{AD}）	ソフトウエア・トリガ・モード／ハードウエア・トリガ・ノーウエイト・モード	ハードウエア・トリガ・ウエイト・モード
0	0	0	f_{CLK}/64	63	1
0	0	1	f_{CLK}/32	31	
0	1	0	f_{CLK}/16	15	
0	1	1	f_{CLK}/8	7	
1	0	0	f_{CLK}/6	5	
1	0	1	f_{CLK}/5	4	
1	1	0	f_{CLK}/4	3	
1	1	1	f_{CLK}/2	1	

備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

5. A/D 変換時間の選択(6/8)～(8/8) 安定待ち時間あり の誤記訂正 (p.496 - p.498)

誤)

表11－3　A/D変換時間の選択（6/8）

(6) 2.7 V≦V_{DD}＜3.6 V

安定待ち時間あり（ハードウエア・トリガ・ウエイト・モード）

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換時間の選択						変換クロック (f_{AD})
FR2	FR1	FR0	LV1	LV0		f_{CLK} = 1 MHz	f_{CLK} = 2 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 32 MHz	
0	0	0	0	0	標準1	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	54 μs	f_{CLK}/64
0	0	1								54 μs	27 μs	f_{CLK}/32
0	1	0							54 μs	27 μs	13.5 μs	f_{CLK}/16
0	1	1						54 μs	27 μs	13.5 μs	6.75 μs	f_{CLK}/8
1	0	0						40.5 μs	20.25 μs	10.125 μs	5.0625 μs	f_{CLK}/6
1	0	1						33.75 μs	16.875 μs	8.4375 μs	設定禁止	f_{CLK}/5
1	1	0					54 μs	27 μs	13.5 μs	6.75 μs		f_{CLK}/4
1	1	1				54 μs	27 μs	13.5 μs	6.75 μs	設定禁止		f_{CLK}/2
0	0	0	0	1	標準2	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	50 μs	f_{CLK}/64
0	0	1								50 μs	25 μs	f_{CLK}/32
0	1	0							50 μs	25 μs	12.5 μs	f_{CLK}/16
0	1	1						50 μs	25 μs	12.5 μs	6.25 μs	f_{CLK}/8
1	0	0						37.5 μs	18.75 μs	9.375 μs	4.6875 μs	f_{CLK}/6
1	0	1						31.25 μs	15.625 μs	7.8125 μs	設定禁止	f_{CLK}/5
1	1	0					50 μs	25 μs	12.5 μs	6.25 μs		f_{CLK}/4
1	1	1				50 μs	25 μs	12.5 μs	6.25 μs	設定禁止		f_{CLK}/2
0	0	0	1	0	低電圧1	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	54 μs	f_{CLK}/64
0	0	1								54 μs	27 μs	f_{CLK}/32
0	1	0							54 μs	27 μs	設定禁止	f_{CLK}/16
0	1	1						54 μs	27 μs	設定禁止		f_{CLK}/8
1	0	0						40.5 μs	設定禁止			f_{CLK}/6
1	0	1						33.75 μs				f_{CLK}/5
1	1	0					54 μs	27 μs				f_{CLK}/4
1	1	1				54 μs	27 μs	設定禁止				f_{CLK}/2
0	0	0	1	1	低電圧2	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	50 μs	f_{CLK}/64
0	0	1								50 μs	25 μs	f_{CLK}/32
0	1	0							50 μs	25 μs	設定禁止	f_{CLK}/16
0	1	1						50 μs	25 μs	設定禁止		f_{CLK}/8
1	0	0						37.5 μs	設定禁止			f_{CLK}/6
1	0	1						31.25 μs				f_{CLK}/5
1	1	0					50 μs	25 μs				f_{CLK}/4
1	1	1				50 μs	25 μs	設定禁止				f_{CLK}/2

誤）

表11－3　A/D変換時間の選択（7/8）

（7）1.8 V≦V_{DD}＜2.7 V

安定待ち時間あり（ハードウエア・トリガ・ウエイト・モード）

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換時間の選択						変換クロック (f_{AD})
FR2	FR1	FR0	LV1	LV0		f_{CLK} = 1 MHz	f_{CLK} = 2 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz 注	f_{CLK} = 32 MHz	
0	0	0	0	0	標準1	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	f_{CLK}/64
0	0	1										f_{CLK}/32
0	1	0										f_{CLK}/16
0	1	1										f_{CLK}/8
1	0	0										f_{CLK}/6
1	0	1										f_{CLK}/5
1	1	0										f_{CLK}/4
1	1	1										f_{CLK}/2
0	0	0	0	1	標準2	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	f_{CLK}/64
0	0	1										f_{CLK}/32
0	1	0										f_{CLK}/16
0	1	1										f_{CLK}/8
1	0	0										f_{CLK}/6
1	0	1										f_{CLK}/5
1	1	0										f_{CLK}/4
1	1	1										f_{CLK}/2
0	0	0	1	0	低電圧1	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	54 μs	f_{CLK}/64
0	0	1								54 μs	27 μs	f_{CLK}/32
0	1	0							54 μs	27 μs	設定禁止	f_{CLK}/16
0	1	1						54 μs	27 μs	設定禁止		f_{CLK}/8
1	0	0						40.5 μs	設定禁止			f_{CLK}/6
1	0	1						33.75 μs				f_{CLK}/5
1	1	0					54 μs	27 μs				f_{CLK}/4
1	1	1				54 μs	27 μs	設定禁止				f_{CLK}/2
0	0	0	1	1	低電圧2	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	50 μs	f_{CLK}/64
0	0	1								50 μs	25 μs	f_{CLK}/32
0	1	0							50 μs	25 μs	設定禁止	f_{CLK}/16
0	1	1						50 μs	25 μs	設定禁止		f_{CLK}/8
1	0	0						37.5 μs	設定禁止			f_{CLK}/6
1	0	1						31.25 μs				f_{CLK}/5
1	1	0					50 μs	25 μs				f_{CLK}/4
1	1	1				50 μs	25 μs	設定禁止				f_{CLK}/2

注.　（省略）

誤）

表11ー3　A/D変換時間の選択（8/8）

（8）1.6 V≦V_{DD}＜1.8 V

安定待ち時間あり（ハードウエア・トリガ・ウエイト・モード）

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換時間の選択						変換クロック (f_{AD})
FR2	FR1	FR0	LV1	LV0		f_{CLK} = 1 MHz	f_{CLK} = 2 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz注1	f_{CLK} = 16 MHz注2	f_{CLK} = 32 MHz	
0	0	0	0	0	標準1	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	f_{CLK}/64
0	0	1										f_{CLK}/32
0	1	0										f_{CLK}/16
0	1	1										f_{CLK}/8
1	0	0										f_{CLK}/6
1	0	1										f_{CLK}/5
1	1	0										f_{CLK}/4
1	1	1										f_{CLK}/2
0	0	0	0	1	標準2	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	f_{CLK}/64
0	0	1										f_{CLK}/32
0	1	0										f_{CLK}/16
0	1	1										f_{CLK}/8
1	0	0										f_{CLK}/6
1	0	1										f_{CLK}/5
1	1	0										f_{CLK}/4
1	1	1										f_{CLK}/2
0	0	0	1	0	低電圧1	設定禁止	設定禁止	設定禁止	設定禁止	108 μs	設定禁止	f_{CLK}/64
0	0	1							108 μs	設定禁止		f_{CLK}/32
0	1	0						108 μs	設定禁止			f_{CLK}/16
0	1	1					108 μs	設定禁止				f_{CLK}/8
1	0	0					81 μs					f_{CLK}/6
1	0	1				135 μs	設定禁止					f_{CLK}/5
1	1	0				108 μs						f_{CLK}/4
1	1	1				設定禁止						f_{CLK}/2
0	0	0	1	1	低電圧2	設定禁止	設定禁止	設定禁止	設定禁止	100 μs	設定禁止	f_{CLK}/64
0	0	1							100 μs	設定禁止		f_{CLK}/32
0	1	0						100 μs	設定禁止			f_{CLK}/16
0	1	1					100 μs	設定禁止				f_{CLK}/8
1	0	0					設定禁止					f_{CLK}/6
1	0	1				125 μs						f_{CLK}/5
1	1	0				100 μs						f_{CLK}/4
1	1	1				設定禁止						f_{CLK}/2

注.　（省略）

正）

表11－3　A/D変換時間の選択（6/8）

（6）2.7 V≦V_{DD}＜3.6 V

安定待ち時間あり（ハードウエア・トリガ・ウエイト・モード）

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換時間の選択						変換クロック (f_{AD})
FR2	FR1	FR0	LV1	LV0		f_{CLK} = 1 MHz	f_{CLK} = 2 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 32 MHz	
0	0	0	0	0	標準1	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	54 μs	f_{CLK}/64
0	0	1								54 μs	27 μs	f_{CLK}/32
0	1	0							54 μs	27 μs	13.5 μs	f_{CLK}/16
0	1	1						54 μs	27 μs	13.5 μs	6.75 μs	f_{CLK}/8
1	0	0						40.5 μs	20.25 μs	10.125 μs	5.0625 μs	f_{CLK}/6
1	0	1						33.75 μs	16.875 μs	8.4375 μs	設定禁止	f_{CLK}/5
1	1	0					54 μs	27 μs	13.5 μs	6.75 μs		f_{CLK}/4
1	1	1				54 μs	27 μs	13.5 μs	6.75 μs	設定禁止		f_{CLK}/2
0	0	0	0	1	標準2	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	50 μs	f_{CLK}/64
0	0	1								50 μs	25 μs	f_{CLK}/32
0	1	0							50 μs	25 μs	12.5 μs	f_{CLK}/16
0	1	1						50 μs	25 μs	12.5 μs	6.25 μs	f_{CLK}/8
1	0	0						37.5 μs	18.75 μs	9.375 μs	4.6875 μs	f_{CLK}/6
1	0	1						31.25 μs	15.625 μs	7.8125 μs	設定禁止	f_{CLK}/5
1	1	0					50 μs	25 μs	12.5 μs	6.25 μs		f_{CLK}/4
1	1	1				50 μs	25 μs	12.5 μs	6.25 μs	設定禁止		f_{CLK}/2
0	0	0	1	0	低電圧1	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	42 μs	f_{CLK}/64
0	0	1								42 μs	21 μs	f_{CLK}/32
0	1	0							42 μs	21 μs	設定禁止	f_{CLK}/16
0	1	1						42 μs	21 μs	設定禁止		f_{CLK}/8
1	0	0						31.5 μs	設定禁止			f_{CLK}/6
1	0	1						26.25 μs				f_{CLK}/5
1	1	0					42 μs	21 μs				f_{CLK}/4
1	1	1				42 μs	21 μs	設定禁止				f_{CLK}/2
0	0	0	1	1	低電圧2	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	38 μs	f_{CLK}/64
0	0	1								38 μs	19 μs	f_{CLK}/32
0	1	0							38 μs	19 μs	設定禁止	f_{CLK}/16
0	1	1						38 μs	19 μs	設定禁止		f_{CLK}/8
1	0	0						28.5 μs	設定禁止			f_{CLK}/6
1	0	1						23.75 μs				f_{CLK}/5
1	1	0					38 μs	19 μs				f_{CLK}/4
1	1	1				38 μs	19 μs	設定禁止				f_{CLK}/2

正）

表11－3　A/D変換時間の選択（7/8）

（7）1.8 V≦V_{DD}＜2.7 V
安定待ち時間あり（ハードウエア・トリガ・ウエイト・モード）

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換時間の選択						変換クロック (f_{AD})
FR2	FR1	FR0	LV1	LV0		f_{CLK} = 1 MHz	f_{CLK} = 2 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz 注	f_{CLK} = 32 MHz	
×	×	×	0	0	標準1	設定禁止						－
×	×	×	0	1	標準2	設定禁止						－
0	0	0	1	0	低電圧1	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	42 μs	f_{CLK}/64
0	0	1								42 μs	21 μs	f_{CLK}/32
0	1	0							42 μs	21 μs	設定禁止	f_{CLK}/16
0	1	1						42 μs	21 μs	設定禁止		f_{CLK}/8
1	0	0						31.5 μs	設定禁止			f_{CLK}/6
1	0	1						26.25 μs				f_{CLK}/5
1	1	0					42 μs	21 μs				f_{CLK}/4
1	1	1				42 μs	21 μs	設定禁止				f_{CLK}/2
0	0	0	1	1	低電圧2	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	38 μs	f_{CLK}/64
0	0	1								38 μs	19 μs	f_{CLK}/32
0	1	0							38 μs	19 μs	設定禁止	f_{CLK}/16
0	1	1						38 μs	19 μs	設定禁止		f_{CLK}/8
1	0	0						28.5 μs	設定禁止			f_{CLK}/6
1	0	1						23.75 μs				f_{CLK}/5
1	1	0					38 μs	19 μs				f_{CLK}/4
1	1	1				38 μs	19 μs	設定禁止				f_{CLK}/2

注.　（省略）

正）

表11－3　A/D変換時間の選択（8/8）

（8）1.6 V≦V_{DD}＜1.8 V
安定待ち時間あり（ハードウエア・トリガ・ウエイト・モード）

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換時間の選択						変換クロック (f_{AD})
FR2	FR1	FR0	LV1	LV0		f_{CLK} = 1 MHz	f_{CLK} = 2 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz注1	f_{CLK} = 16 MHz注2	f_{CLK} = 32 MHz	
×	×	×	0	0	標準1	設定禁止	－	×	×	×	0	0
×	×	×	0	1	標準2	設定禁止	－	×	×	×	0	1
0	0	0	1	0	低電圧1	設定禁止	設定禁止	設定禁止	設定禁止	84 μs	設定禁止	f_{CLK}/64
0	0	1							84 μs	設定禁止		f_{CLK}/32
0	1	0						84 μs	設定禁止			f_{CLK}/16
0	1	1					84 μs	設定禁止				f_{CLK}/8
1	0	0					63 μs					f_{CLK}/6
1	0	1				105 μs	設定禁止					f_{CLK}/5
1	1	0				84 μs						f_{CLK}/4
1	1	1				設定禁止						f_{CLK}/2
0	0	0	1	1	低電圧2	設定禁止	設定禁止	設定禁止	設定禁止	76 μs	設定禁止	f_{CLK}/64
0	0	1							76 μs	設定禁止		f_{CLK}/32
0	1	0						76 μs	設定禁止			f_{CLK}/16
0	1	1					76 μs	設定禁止				f_{CLK}/8
1	0	0					設定禁止					f_{CLK}/6
1	0	1				95 μs						f_{CLK}/5
1	1	0				76 μs						f_{CLK}/4
1	1	1				設定禁止						f_{CLK}/2

注.　（省略）

6. A/D コンバータ　スタンバイ･モード移行する場合の注意追加

A/Dコンバータ･モード･レジスタ2（ADM2）の注意追加（p.500）

誤）

（4）A/Dコンバータ・モード・レジスタ2（ADM2）

(省略)

注意　ADM2レジスタを書き換える場合は，必ず変換動作停止状態（A/Dコンバータ・モード・レジスタ0（ADM0）のADCS = 0）のときに行ってください。

正）

（4）A/Dコンバータ・モード・レジスタ2（ADM2）

(省略)

注意1.　ADM2レジスタを書き換える場合は，必ず変換動作停止状態（A/Dコンバータ・モード・レジスタ0（ADM0）のADCS = 0）のときに行ってください。

2.　STOPモードもしくはサブシステム･クロックでCPU動作中にHALTモードへ移行する場合は，ADREFP1 = 1に設定しないでください。内部基準電圧（ADREFP1，ADREFP0 = 1，0）選択時は，29. 4. 2　電源電流特性に示すA/Dコンバータ基準電圧電流(I_{ADREF})の電流値が加算されます。

アナログ入力チャネル指定レジスタ(ADS)の注意追加（p.504）

誤）

図11－11　アナログ入力チャネル指定レジスタ（ADS）のフォーマット（2/2）

アドレス：FFF31H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

(省略)

注意1.　ビット5, 6には必ず0を設定してください。

(省略)

6. AV_{REFP}をA/Dコンバータの＋側の基準電圧源として使用している場合，ANI0をA/D変換チャネルとして選択しないでください。
7. AV_{REFM}をA/Dコンバータの－側の基準電圧源として使用している場合，ANI1をA/D変換チャネルとして選択しないでください。
8. ADISS = 1を設定した場合，＋側の基準電圧源に内部基準電圧（1.45 V）は使用できません。

正）

図11－11　アナログ入力チャネル指定レジスタ（ADS）のフォーマット（2/2）

アドレス：FFF31H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

(省略)

注意1.　ビット5, 6には必ず0を設定してください。

(省略)

6. AV_{REFP}をA/Dコンバータの＋側の基準電圧源として使用している場合，ANI0をA/D変換チャネルとして選択しないでください。
7. AV_{REFM}をA/Dコンバータの－側の基準電圧源として使用している場合，ANI1をA/D変換チャネルとして選択しないでください。
8. ADISS = 1を設定した場合，＋側の基準電圧源に内部基準電圧（1.45 V）は使用できません。
9. STOPモードもしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は，ADISS = 1に設定しないでください。ADISS = 1設定時は，29. 4. 2　電源電流特性に示すA/Dコンバータ基準電圧電流(I_{ADREF})の電流値が加算されます。

7. マスカブル割り込み要求の受け付け動作の誤記訂正

表 16-4 マスカブル割り込み要求発生から処理までの時間の誤記訂正（p.842）

誤）

16. 4. 1　**マスカブル割り込み要求の受け付け動作**

（省略）

表16－4　マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間[注]
処理時間	9クロック	14クロック

注　RET 命令の直前に割り込み要求が発生したとき，ウエイトする時間が最大となります。

備考　1 クロック：1/f_{CLK}（f_{CLK}：CPU クロック）

正）

16. 4. 1　**マスカブル割り込み要求の受け付け動作**

（省略）

表16－4　マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間[注]
処理時間	9クロック	16クロック

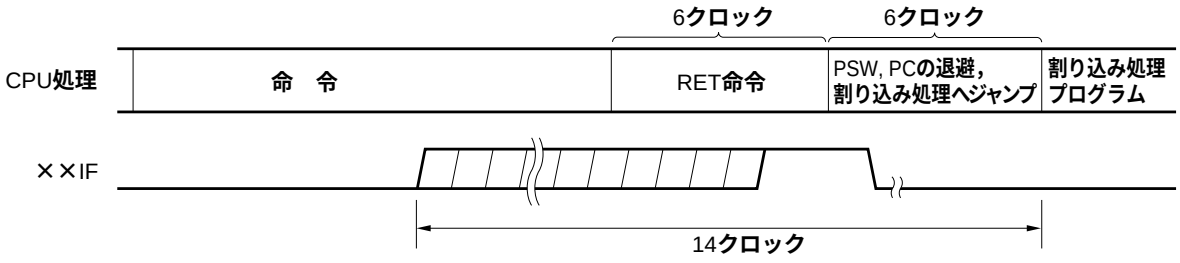
注　内部 RAM 領域からの命令実行時は除きます。

備考　1 クロック：1/f_{CLK}（f_{CLK}：CPU クロック）

図 16-9 割り込み要求の受け付けタイミング（最大時間）の誤記訂正（p.844）

誤）

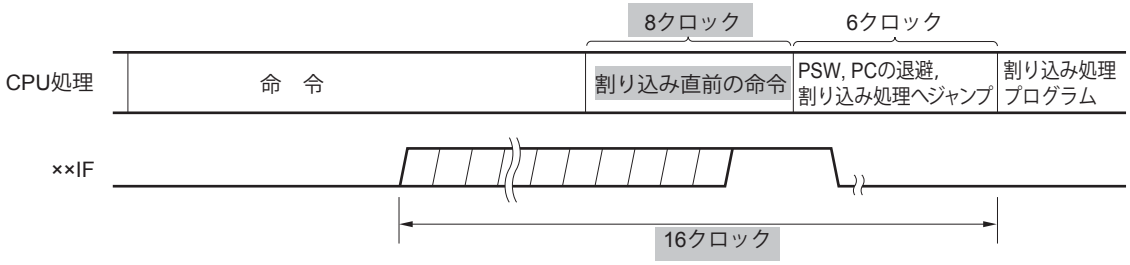
図16－9　割り込み要求の受け付けタイミング（最大時間）



備考　1 クロック：1/fCLK（fCLK：CPU クロック）

正）

図16－9　割り込み要求の受け付けタイミング（最大時間）



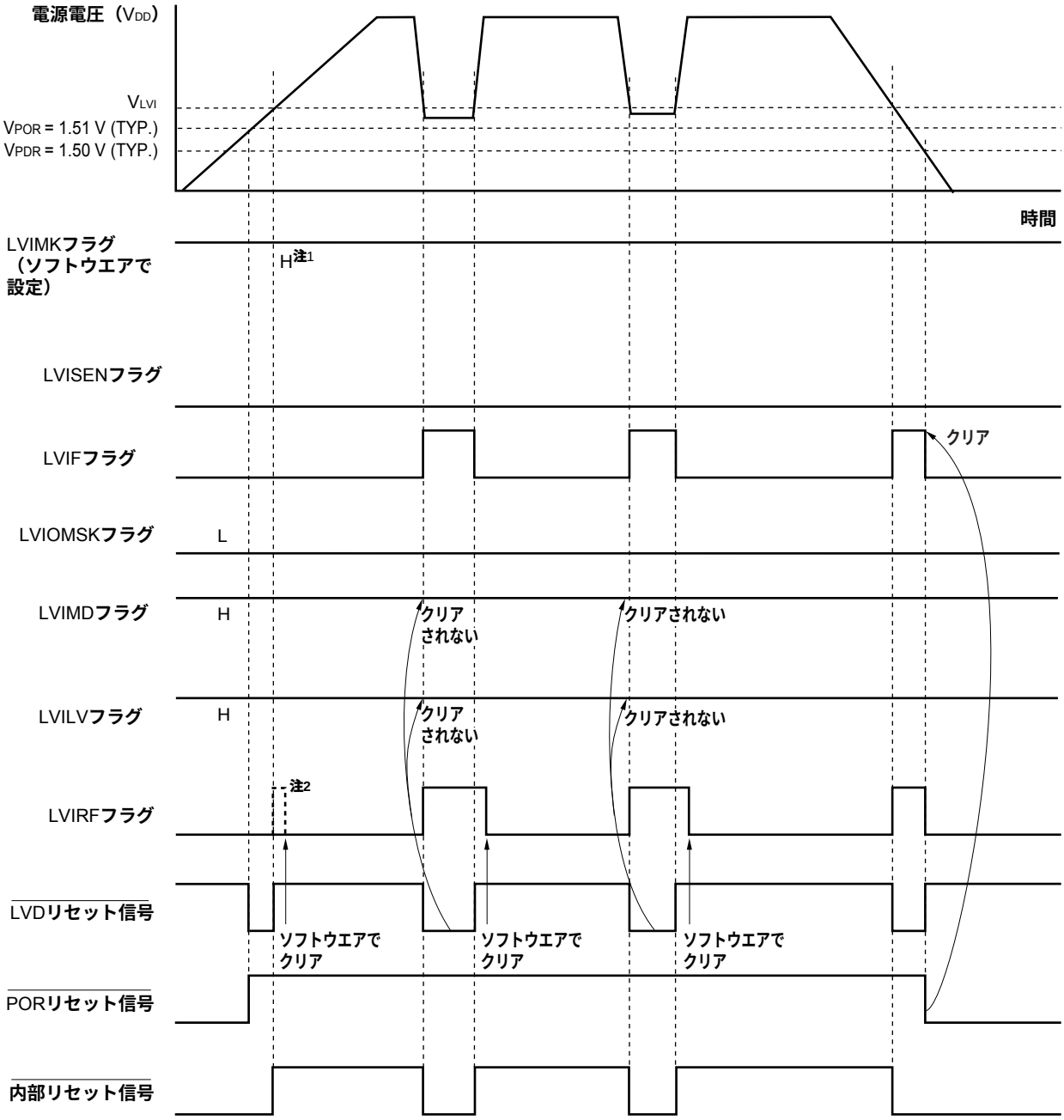
備考　1 クロック：1/fCLK（fCLK：CPU クロック）

8. 電圧検出回路（LVD）のタイミング・チャートの誤記訂正

図 21－4 内部リセット信号発生のタイミングの誤記訂正（p.893）

誤）

図21－4　**内部リセット信号発生のタイミング（オプション・バイト**LVIMDS1, LVIMDS0 = 1, 1**）**



注1. LVIMK フラグはリセット信号の発生により，“1”になっています。

2. LVIRF フラグはリセット・コントロール・フラグ・レジスタ（RESF）のビット 0 です。

電源立ち上がり波形により，LVIRF フラグが最初から 1 になることがあります。

RESF レジスタについての詳細は，**第 19 章　リセット機能**を参照してください。

正）

図21ー4　**内部リセット信号発生のタイミング（オプション・バイト**LVIMDS1, LVIMDS0 = 1, 1**）**

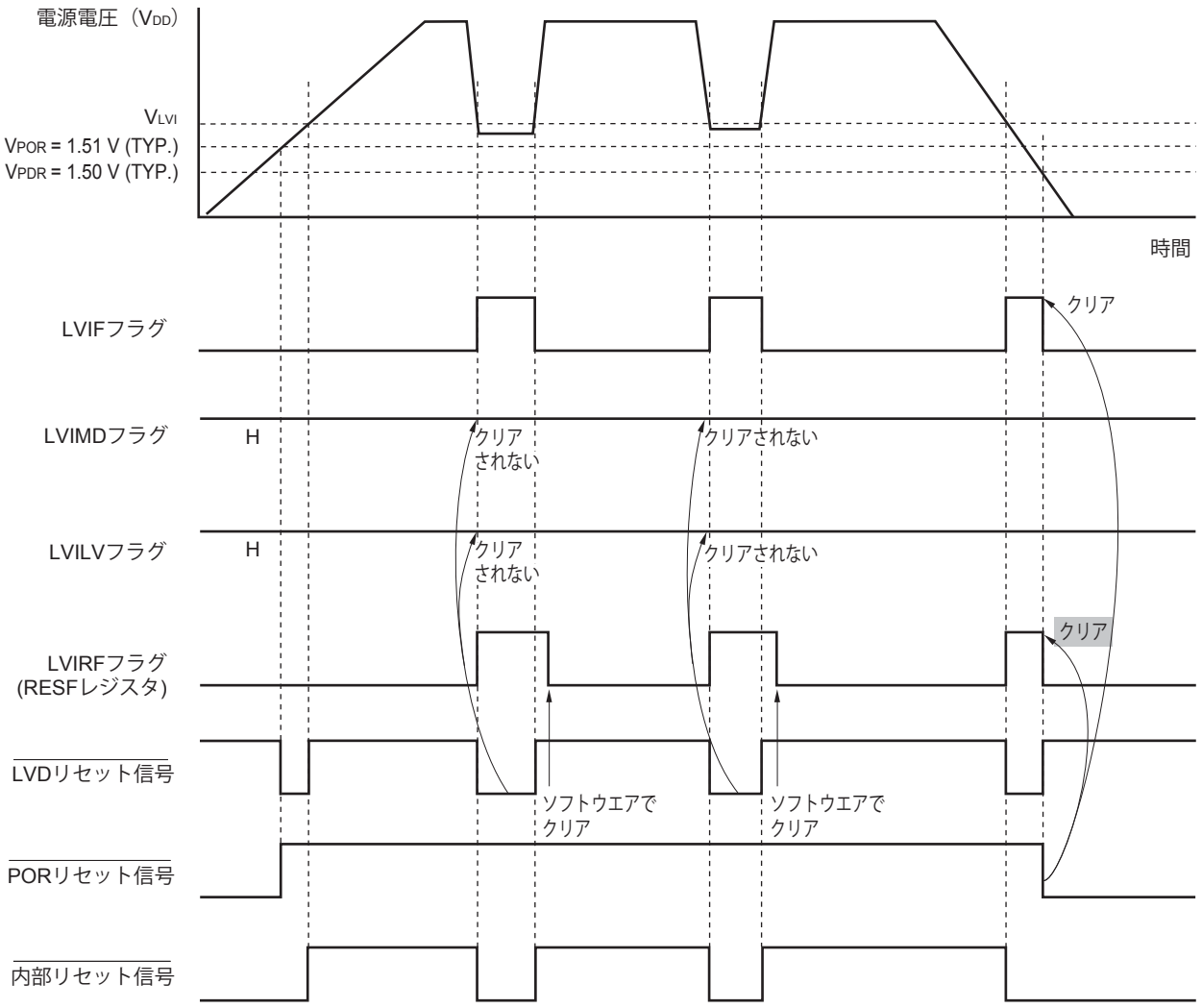
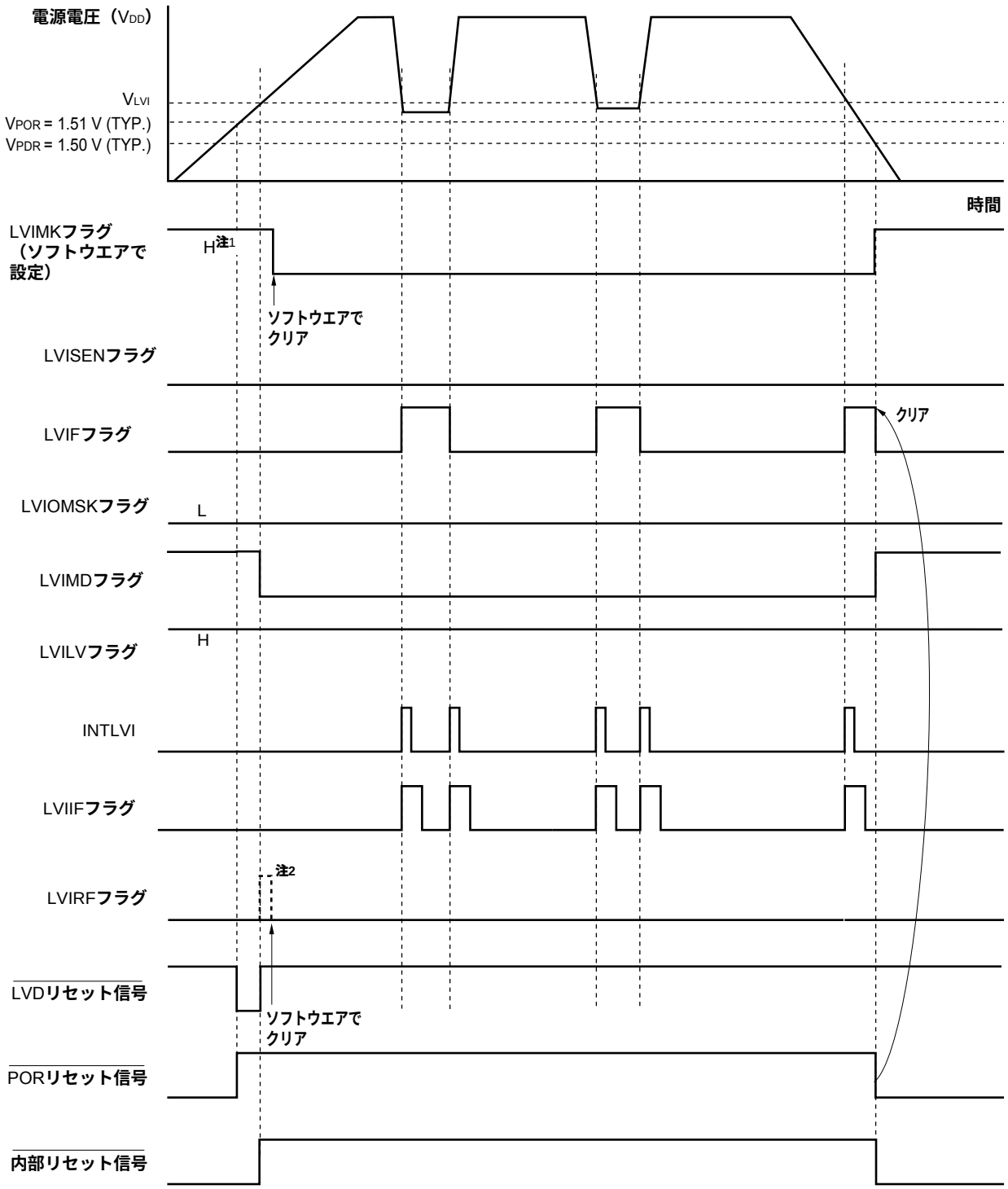


図 21－5 割り込み信号発生のタイミングの誤記訂正（p.895）

誤）

図21－5　**割り込み信号発生のタイミング（オプション・バイト**LVIMDS1, LVIMDS0 = 0, 1**）**



注 1. LVIMK フラグはリセット信号の発生により，“1”になっています。

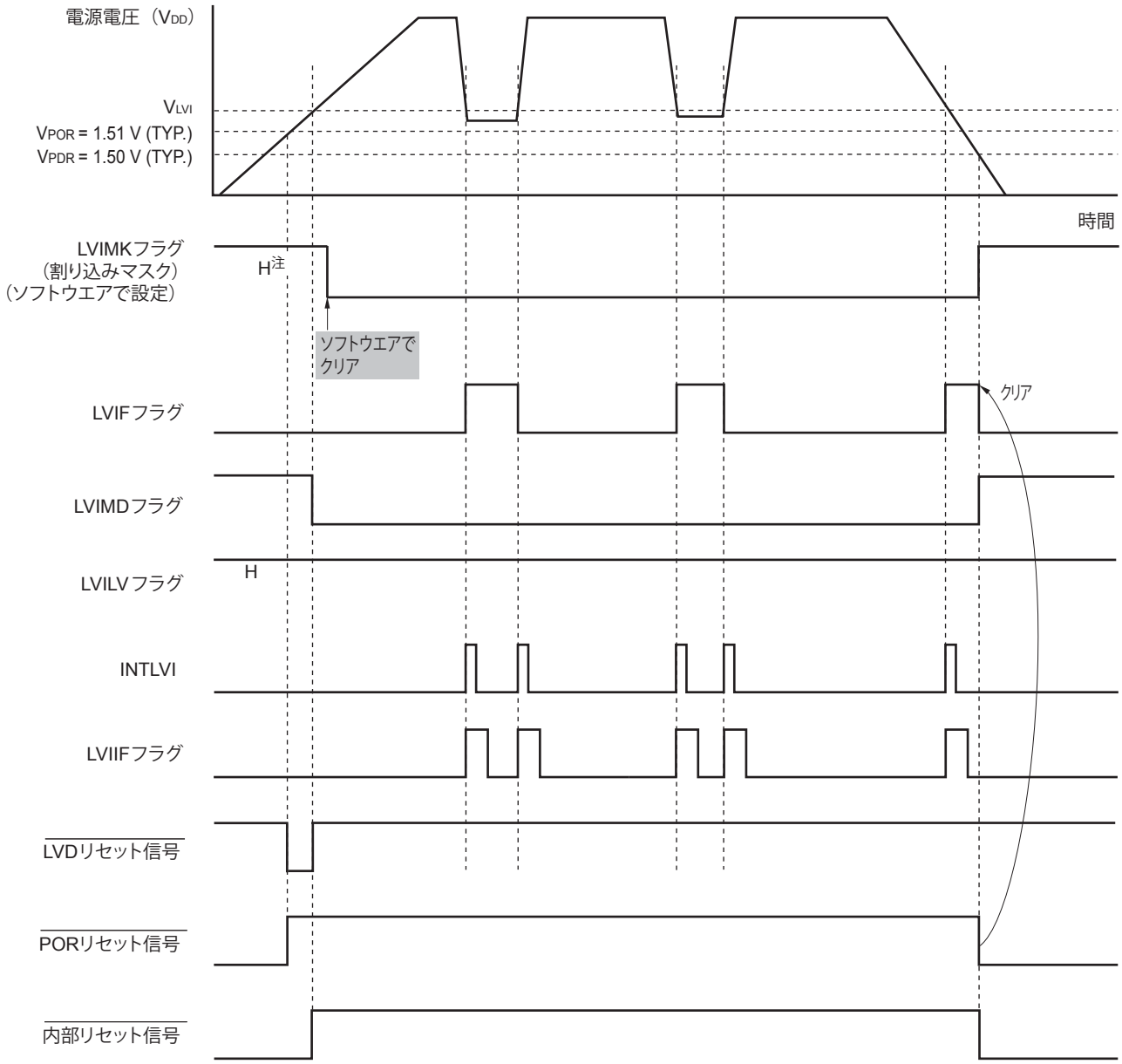
2. LVIRF フラグはリセット・コントロール・フラグ・レジスタ（RESF）のビット 0 です。

電源立ち上がり波形により，LVIRF フラグが最初から 1 になることがあります。

RESF レジスタについての詳細は，**第 19 章　リセット機能**を参照してください。

正）

図21－5　**割り込み信号発生のタイミング（オプション・バイト**LVIMDS1, LVIMDS0 = 0, 1**）**



注. LVIMK フラグはリセット信号の発生により，“1”になっています。

9. 電圧検出回路（LVD）割り込み＆リセット・モードの誤記訂正

割り込み＆リセット・モードとして使用時の設定の誤記訂正（p.896）

誤）

21. 4. 3　割り込み＆リセット・モードとして使用時の設定

●動作開始時

動作モード（割り込み＆リセット・モード（LVIMDS1, LVIMDS0 = 1, 0））と検出電圧（V_{LVIH}, V_{LVIL}）の設定は，オプション・バイト 000C1H/010C1H で設定しておきます。

(省略)

図21－6に，電圧検出回路の内部リセット信号と割り込み信号発生のタイミングを示します。

注意　電源立ち上がり波形により，LVIRF フラグが最初から 1 になることがあります。
RESF レジスタについての詳細は，第 19 章　リセット機能を参照してください。

正）

21. 4. 3　割り込み＆リセット・モードとして使用時の設定

●動作開始時

動作モード（割り込み＆リセット・モード（LVIMDS1, LVIMDS0 = 1, 0））と検出電圧（V_{LVIH}, V_{LVIL}）の設定は，オプション・バイト 000C1H/010C1H で設定しておきます。

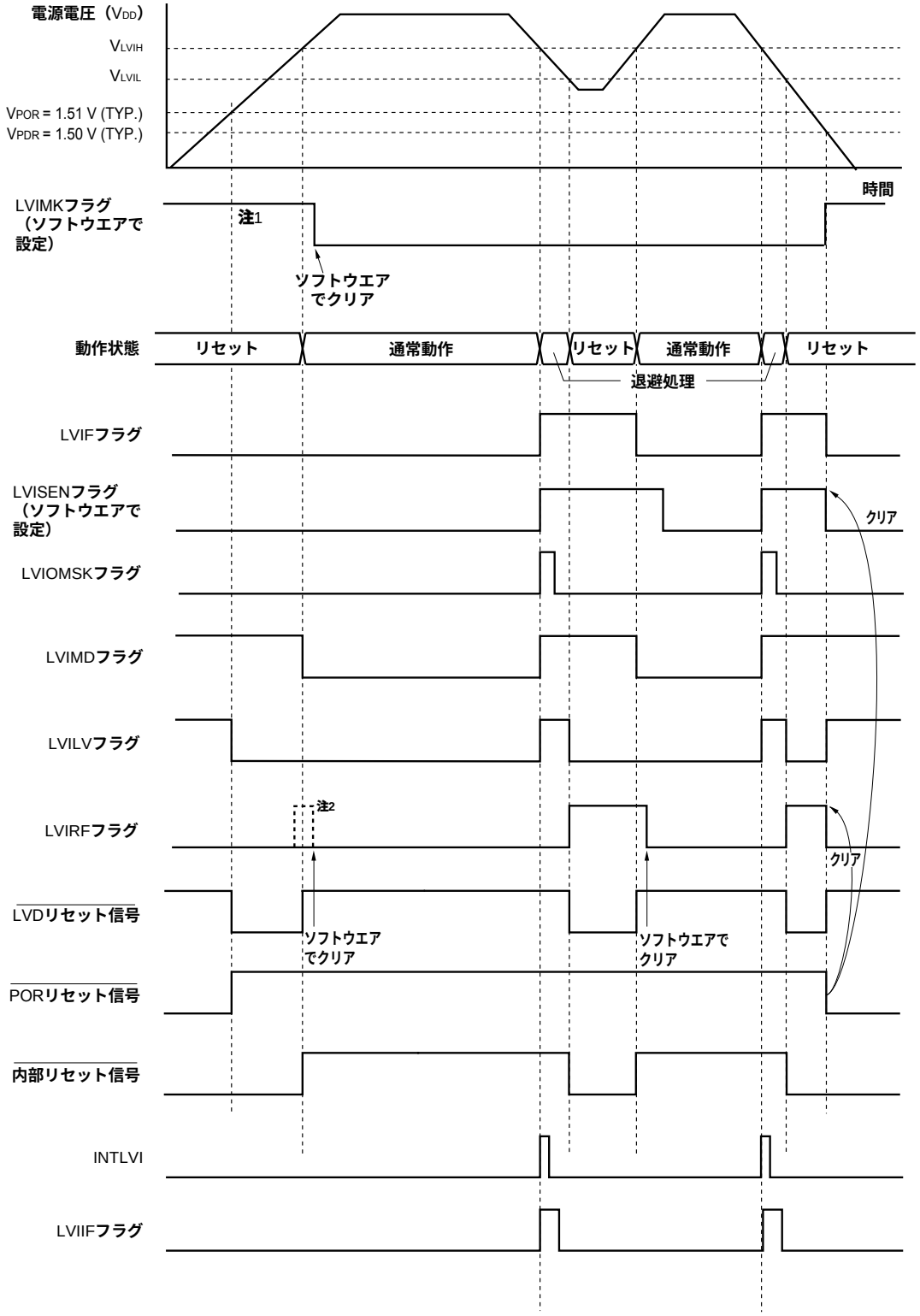
(省略)

図21－6に，電圧検出回路の内部リセット信号と割り込み信号発生のタイミングを示します。
図21－7　割り込み発生後の処理手順，図21－8　割り込み＆リセット・モードの初期設定に示すフローチャートの手順に従って実施してください。

割り込み＆リセット信号発生のタイミングの誤記訂正（p.897）

誤）

図21－6　割り込み＆リセット信号発生のタイミング（オプション・バイトLVIMDS1, LVIMDS0 = 1, 0**）**



注 1.　LVIMK フラグはリセット信号の発生により，“1”になっています。

2.　LVIRF フラグはリセット・コントロール・フラグ・レジスタ（RESF）のビット 0 です。

電源立ち上がり波形により，LVIRF フラグが最初から 1 になることがあります。

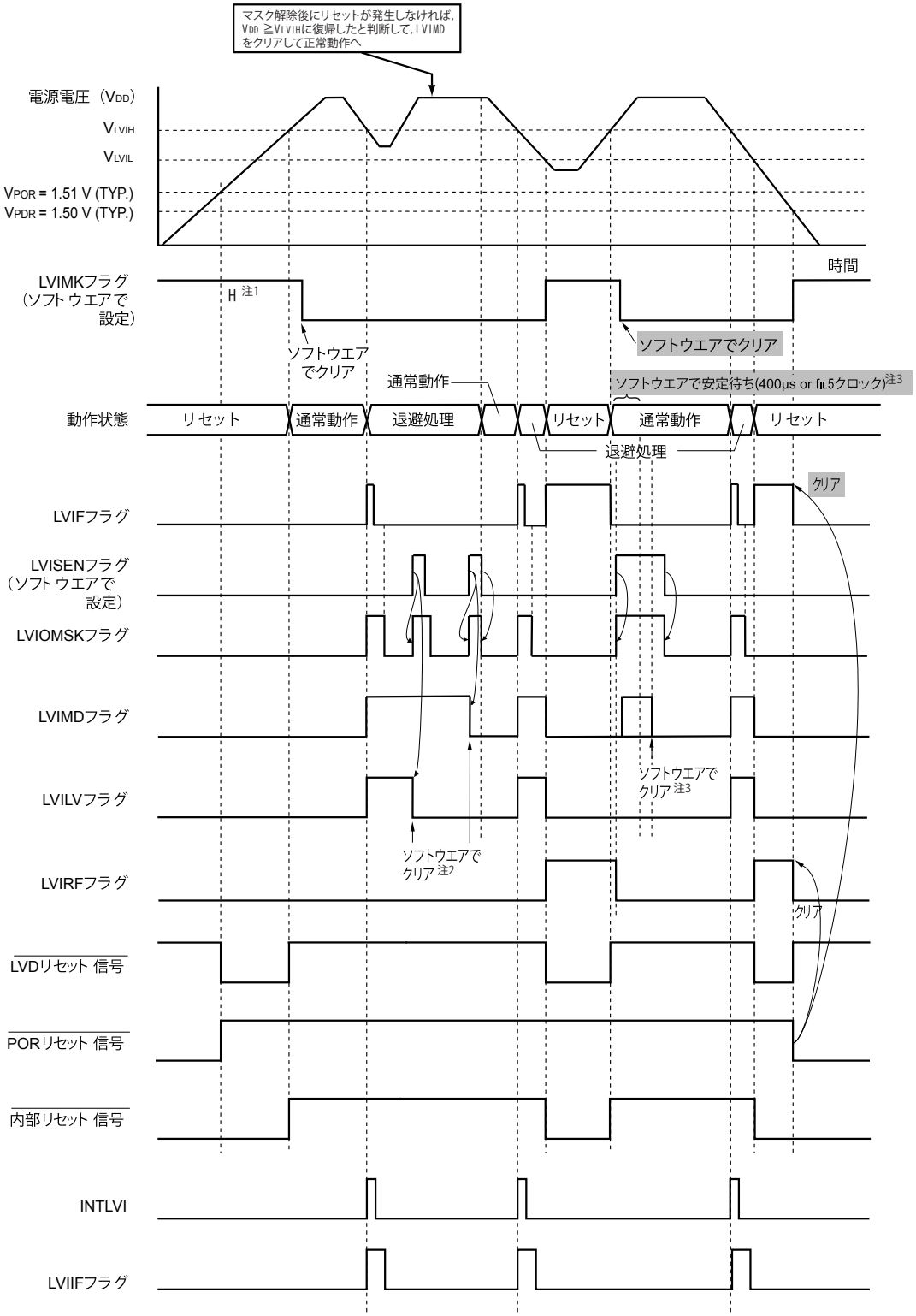
RESF レジスタについての詳細は，**第 19 章　リセット機能**を参照してください。

備考　V_{POR}：POR電源立ち上がり検出電圧

V_{PDR}：POR 電源立ち下がり検出電圧

正）

図21－6　割り込み＆リセット信号発生のタイミング（オプション・バイトLVIMDS1, LVIMDS0 = 1, 0）（1/2）



注 1.　LVIMK フラグはリセット信号の発生により，“1”になっています。

2.　割り込み＆リセット・モード使用時，割り込み発生後は，図 21－7　割り込み発生後の処理手順に従って実施してください。

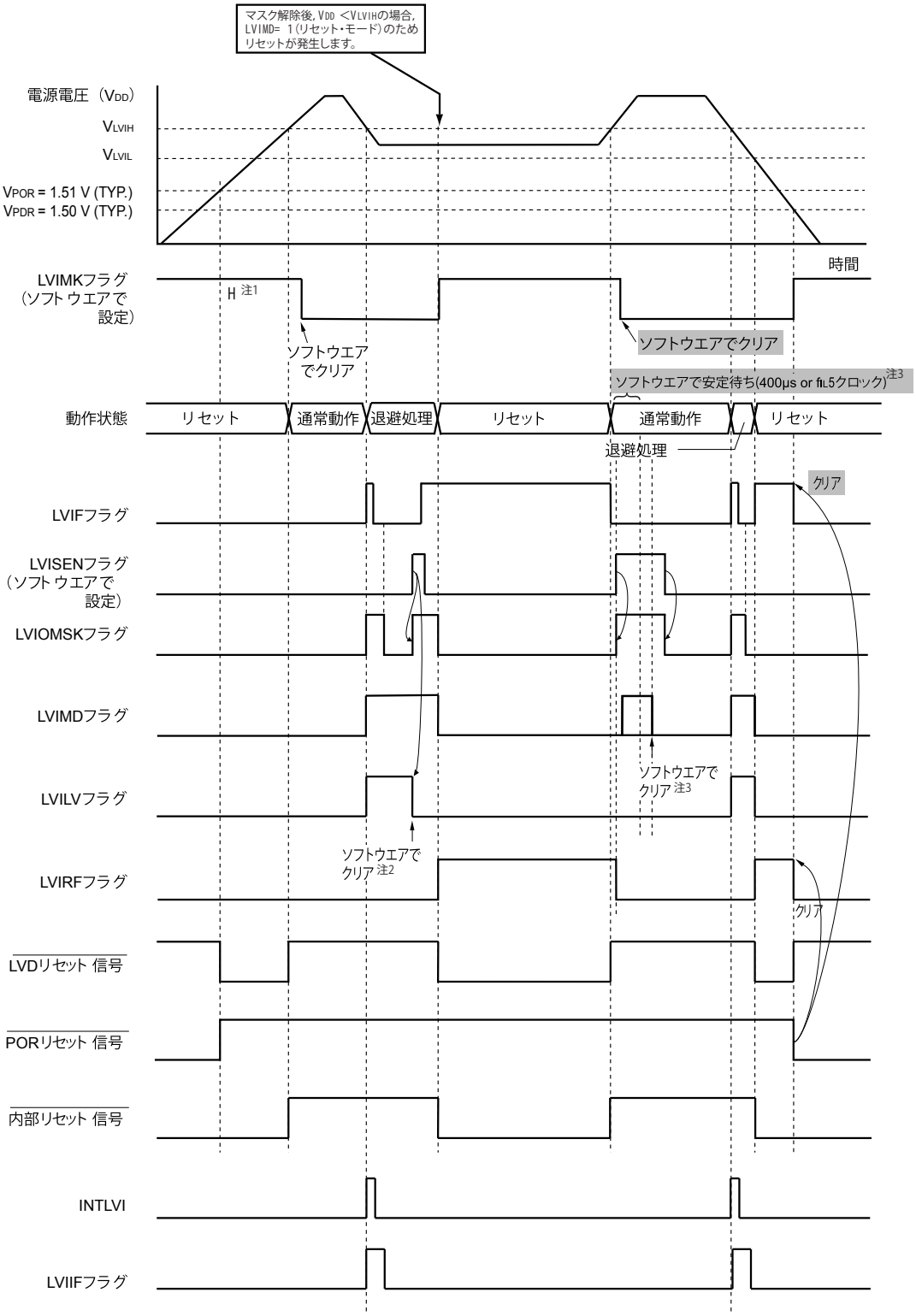
3.　割り込み＆リセット・モード使用時，リセット解除後は，図 21－8　割り込み＆リセット・モードの初期設定の設定手順に従って実施してください。

備考　　V_{POR}：POR電源立ち上がり検出電圧

V_{PDR}：POR 電源立ち下がり検出電圧

正）

図21－6　割り込み＆リセット信号発生のタイミング（オプション・バイトLVIMDS1, LVIMDS0 = 1, 0）（2/2）



注 1.　LVIMK フラグはリセット信号の発生により，“1”になっています。

2.　割り込み＆リセット・モード使用時，割り込み発生後は，図 21－7　割り込み発生後の処理手順に従って実施してください。

3.　割り込み＆リセット・モード使用時，リセット解除後は，図 21－8　割り込み＆リセット・モードの初期設定の設定手順に従って実施してください。

備考　V_{POR}：POR電源立ち上がり検出電圧

V_{PDR}：POR 電源立ち下がり検出電圧

図21－7　動作電圧の確認手順

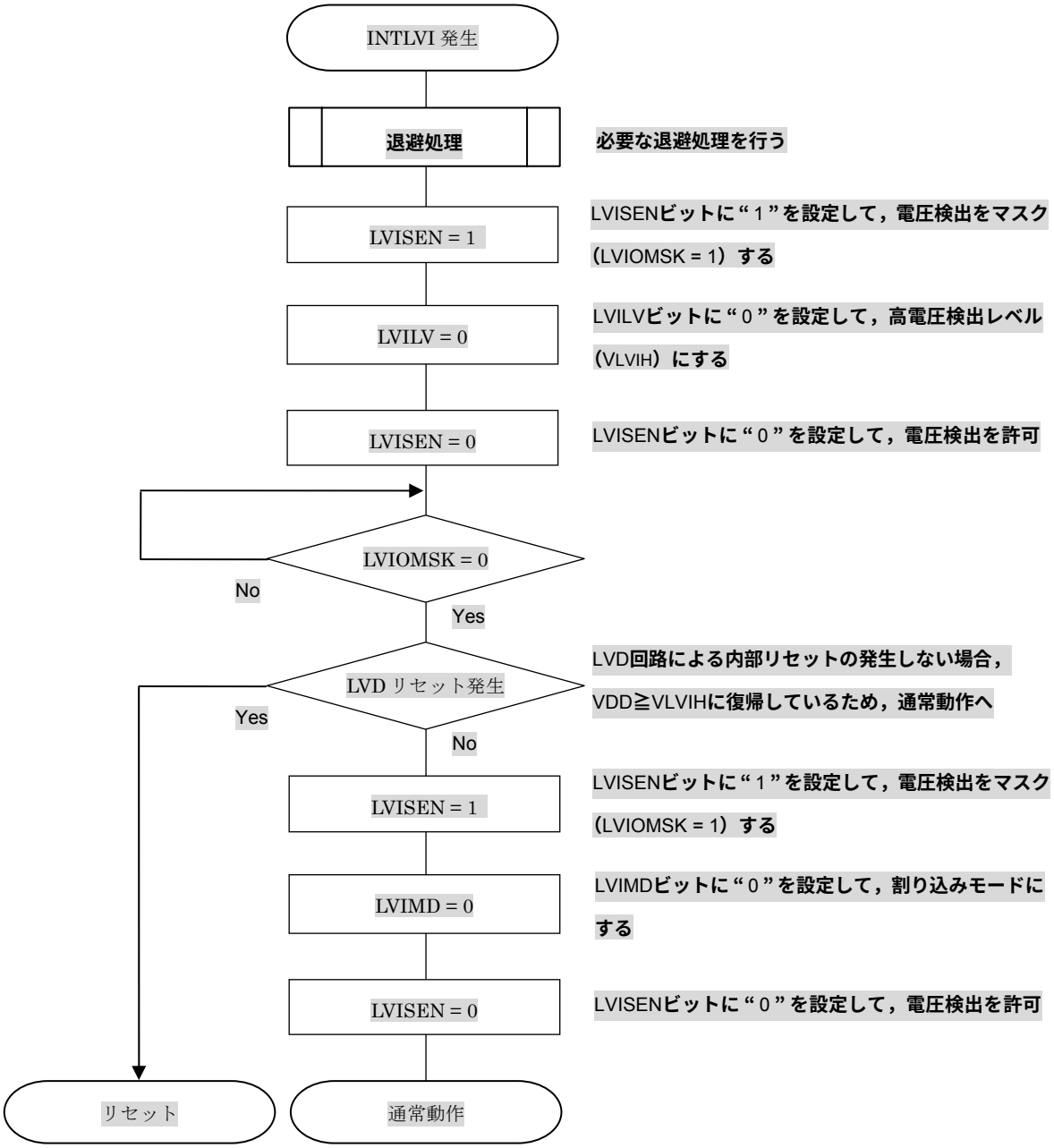
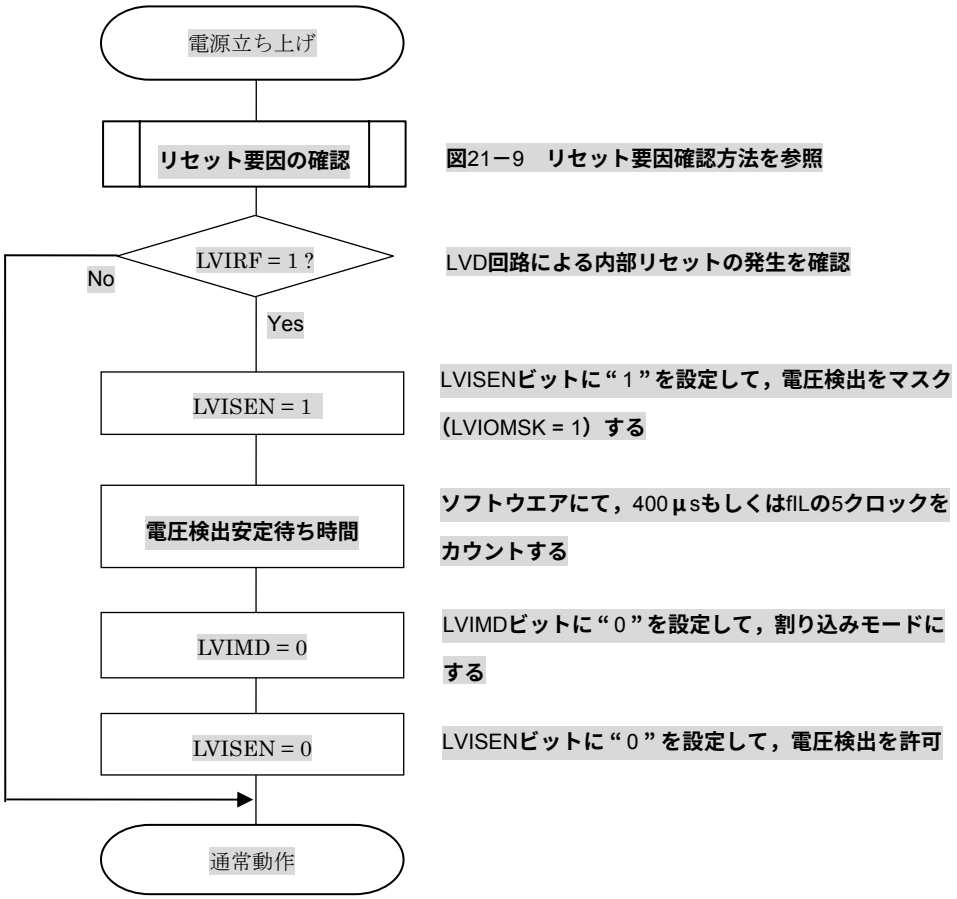


図 21－8　割り込み＆リセット・モードの初期設定の説明追加（p.898）

割り込み＆リセット・モード（LVIMDS1, LVIMDS0 = 1, 0）を設定した場合，LVDリセット解除後（LVIRF = 1）から400μsもしくはfILの5クロック分の電圧検出安定待ち時間が必要です。電圧検出安定待ち後，LVIMDビットをクリア（0）して初期化してください。電圧検出安定待ち時間のカウント中およびLVIMDビットの書き換え時は，LVISEN = 1に設定してLVDによるリセットまたは割り込み発生をマスクしてください。

図21－8　割り込み＆リセット・モードの初期設定の手順を示します。

図21－8　割り込み＆リセット･モードの初期設定



備考　f_{IL}：低速オンチップ・オシレータ・クロック周波数

10. 電気的特性 29. 4. 2 電源電流特性(4)RL78/G13 全製品共通の項目追加 (p.1005)

誤）

（4）RL78/G13全製品共通

（T_A = －40～＋85 ℃，1.6 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略号	条　件		MIN.	TYP.	MAX.	単位
RTC動作電流	I_{RTC} 注1, 2	f_{SUB} = 32.768 kHz	リアルタイム・クロック動作		0.02		μA
			インターバル・タイマ動作		0.02		
ウォッチドッグ・タイマ動作電流	I_{WDT} 注2, 3	f_{IL} = 15 kHz			0.22		μA
A/Dコンバータ動作電流	I_{ADC} 注4	最高速変換時	標準モード，AV_{REFP} = V_{DD} = 5.0 V		1.3	1.7	mA
			低電圧モード，AV_{REFP} = V_{DD} = 3.0 V		0.5	0.7	mA
温度センサ動作電流	I_{TMPS}				75		μA
LVD動作電流	I_{LVI} 注5				0.08		μA
BGO動作電流	I_{BGO} 注6				2.50	12.20	mA

注.　（省略）

正）

（4）RL78/G13全製品共通

（T_A = －40～＋85 ℃，1.6 V≦EV_{DD0} = EV_{DD1}≦V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　目	略号	条　件		MIN.	TYP.	MAX.	単位
RTC動作電流	I_{RTC} 注1, 2	f_{SUB} = 32.768 kHz	リアルタイム・クロック動作		0.02		μA
			インターバル・タイマ動作		0.02		
ウォッチドッグ・タイマ動作電流	I_{WDT} 注2, 3	f_{IL} = 15 kHz			0.22		μA
A/Dコンバータ動作電流	I_{ADC} 注4	最高速変換時	標準モード，AV_{REFP} = V_{DD} = 5.0 V		1.3	1.7	mA
			低電圧モード，AV_{REFP} = V_{DD} = 3.0 V		0.5	0.7	mA
A/Dコンバータ基準電圧電流	I_{ADREF}				75		μA
温度センサ動作電流	I_{TMPS}				75		μA
LVD動作電流	I_{LVI} 注5				0.08		μA
BGO動作電流	I_{BGO} 注6				2.50	12.20	mA

注.　（省略）

発行文書履歴

RL78/G13 誤記訂正通知　発行文書履歴

文書番号	発行日	記事
TN-RL*-A001A/J	2011 年 11 月 30 日	初版発行 訂正一覧の No.1 ～ No.10 の誤記訂正 （本通知です。）

－以上－