

# RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753  
 ルネサス エレクトロニクス株式会社  
 問合せ窓口 <http://japan.renesas.com/contact/>  
 E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-RL*-A002A/J	Rev.	第1版
題名	誤記訂正通知 RL78/G12 ユーザーズマニュアル Rev.1.00 の記載変更		情報分類	技術情報	
適用製品	RL78/G12 グループ : R5F102xxx, R5F103xxx	対象ロット等	関連資料	RL78/G12 ユーザーズマニュアル ハードウェア編 Rev.1.00 R01UH0200JJ0100 (Mar.2012)	
		全ロット			

RL78/G12 ユーザーズマニュアル ハードウェア編 Rev.1.00(R01UH0200JJ0100)において、下記訂正がございます。

## 今回通知する訂正内容

訂正箇所	該当ページ	内容
1.1 RL78/G12 製品の違い(R5F102とR5F103)	p.1, p.2	概要追加
1.6 機能概要	p.10	注意追加
図3-1 メモリ・マップ(R5F10266, R5F10366)	p.22	注意追加
内部データ・メモリ空間／制御レジスタ／汎用レジスタに関する注意	p.34, p.42, p.44	説明追加
図3-8 データ・メモリとアドレッシングの対応(R5F10266, R5F10366)	p.36	注意追加
高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)	p.155	注意変更
A/Dコンバータ・モード・レジスタ0 (ADM0)	p.282	誤記訂正
A/D変換時間の選択	p.286, p.288	誤記訂正
図19-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング	p.632, p.633	誤記訂正
24.4 データ・フラッシュの概要	p.682	注意追加
24.6 セキュリティ設定	p.688	誤記訂正
表24-12 各プログラミング・モード時のセキュリティ設定方法	p.689	削除
24.7 セルフ書き込みによるフラッシュ・メモリ・プログラミング	p.690	注意追加
24.7.1 フラッシュ・シールド・ウィンドウ機能	p.692	誤記訂正
28.8 フラッシュ・メモリ・プログラミング特性	p.757	スペック確定

## ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

ユーザズマニュアルの訂正一覧

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメントNo.	和文	R01UH0200JJ0100	
1	1.1 RL78/G12 製品の違い(R5F102とR5F103)の概要追加		p.1, p.2	p.3, p.4
2	1.6 機能概要の注意追加		p.10	p.5
3	図3-1 メモリ・マップ(R5F10266, R5F10366)注意追加		p.22	p.6
4	内部データ・メモリ空間／制御レジスタ／汎用レジスタに関する注意の説明追加		p.34, p.42, p.44	p.7
5	図3-8 データ・メモリとアドレッシングの対応(R5F10266, R5F10366)の注意追加		p.36	p.8
6	高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)の注意変更		p.155	p.9
7	A/Dコンバータ・モード・レジスタ0(ADM0)の誤記訂正		p.282	p.10
8	A/D変換時間の選択の誤記訂正		p.286, p.288	p.11, p.12
9	図19-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングの誤記訂正		p.632, p.633	p.13 - p.15
10	24.4 データ・フラッシュの概要の注意追加		p.682	p.16
11	24.6 セキュリティ設定の誤記訂正		p.688	p.17
12	表24-12 各プログラミング・モード時のセキュリティ設定方法の削除		p.689	p.18
13	24.7 セルフ書き込みによるフラッシュ・メモリ・プログラミングの注意追加		p.690	p.19
14	24.7.1 フラッシュ・シールド・ウインドウ機能の誤記訂正		p.692	p.20
15	28.8 フラッシュ・メモリ・プログラミング特性のスペック確定		p.757	p.21

誤記訂正の該当箇所は、誤)太字下線、正)グレー・ハッチングで記載します。

**1. RL78/G12 製品の違い(R5F102とR5F103)の概要追加**

**R5F102とR5F103の違い(p.1, p.2)**

追加)

**第1章 概 説**

**1.1 R5F102とR5F103の違い**

RL78/G12のR5F102とR5F103の違いは、次のとおりです。

- ・データ・フラッシュの搭載 / 非搭載
- ・高速オンチップ・オシレータの発振周波数精度
- ・シリアル・インタフェースのチャンネル数
- ・DMA機能の搭載 / 非搭載
- ・安全機能の搭載 / 非搭載

**1.1.1 データ・フラッシュ**

R5F102は、2KBのデータ・フラッシュを搭載しており、R5F103はデータ・フラッシュを搭載していません。

製品	データ・フラッシュ
<b>R5F102</b> R5F1026A, R5F1027A, R5F102AA, R5F10269, R5F10279, R5F102A9, R5F10268, R5F10278, R5F102A8, R5F10267, R5F10277, R5F102A7, R5F10266 <sup>※</sup>	2KB
<b>R5F103</b> R5F1036A, R5F1037A, R5F103AA, R5F10369, R5F10379, R5F103A9, R5F10368, R5F10378 R5F103A8, R5F10367, R5F10377, R5F103A7, R5F10366	非搭載

**注.** R5F10266 は RAM が 256Byte と少ないため、お客様のプログラムの仕様によっては、データ・フラッシュ・ライブラリを実行するためのスタック領域が確保できず、データ・フラッシュへの書き込み／消去ができない場合があります。

**注意** ユーザ・プログラムでフラッシュ・メモリの書き換えを行う場合は、各ライブラリを利用するため、フラッシュ ROM, RAM 領域を使用します。そのため、RL78 ファミリー フラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズマニュアルおよび RL78 ファミリー データ・フラッシュ・ライブラリ Type04 ユーザーズマニュアルを必ずご確認の上、ご使用ください。

### 1.1.2 オンチップ・オシレータ特性

(1) R5F102の高速オンチップ・オシレータ・発振周波数精度

発振子	条 件	MIN.	MAX.	単位
高速オンチップ・オシレータ 発振周波数精度	T <sub>A</sub> = -20~+85 °C	-1	+1	%
	T <sub>A</sub> = -40~-20 °C	-1.5	+1.5	

(2) R5F103の高速オンチップ・オシレータ・発振周波数精度

発振子	条 件	MIN.	MAX.	単位
高速オンチップ・オシレータ 発振周波数精度	T <sub>A</sub> = -40~+85 °C	-5	+5	%

### 1.1.3 周辺機能

R5F102とR5F103は、次に示す周辺機能に違いがあります。

RL78/G12		R5F102		R5F103	
		20, 24ピン製品	30ピン製品	20, 24ピン製品	30ピン製品
シリアル・インタフェース	UART	1チャンネル	3チャンネル	1チャンネル	
	CSI	2チャンネル	3チャンネル	1チャンネル	
	簡易I <sup>2</sup> C	2チャンネル	3チャンネル	なし	
DMA機能		2チャンネル		なし	
安全機能	CRC演算	あり		なし	
	RAMガード	あり		なし	
	SFRガード	あり		なし	

2. 機能概要の注意追加 (p.10)

誤)

1.6 機能概要

周辺 I/O リダイレクション・レジスタ(PIOR)を 00H に設定したときの機能概要を示します(30ピンのデータ・フラッシュ搭載品のタイマ出力を除く)。

(1/2)

項目	20ピン		24ピン		30ピン	
	R5F1026x	R5F1036x	R5F1027x	R5F1037x	R5F102Ax	R5F103Ax
コード・フラッシュ・メモリ	2-16 KB		4-16 KB			
データ・フラッシュ・メモリ	2 KB	—	2 KB	—	2 KB	—
RAM	256 B -1.5 KB <sup>注1</sup>		512 B -1.5 KB <sup>注1</sup>		512 B -2KB	
メモリ空間	1 Mバイト					
(省略)						
タイマ	16ビット・タイマ	4チャンネル			8チャンネル	
	ウォッチドッグ・タイマ	1チャンネル				
	12ビット・インターバル・タイマ	1チャンネル				
	タイマ出力	4/8 <sup>注2</sup> 本(PWM出力 <sup>注3</sup> :3/7 <sup>注2</sup> 本)				

注1. セルフ・プログラミング機能がデータ・フラッシュ機能使用時は 639 バイト(詳細は、第3章参照)

2. 30ピンのデータ・フラッシュ搭載品で、PIOR0=1に設定した場合です。

3. 使用チャンネルの設定によって、出力数は変わります(6.8.3 多重PWM出力機能としての動作参照)。

正)

1.6 機能概要

周辺 I/O リダイレクション・レジスタ(PIOR)を 00H に設定したときの機能概要を示します(R5F102Axのタイマ出力を除く)。

(1/2)

項目	20ピン		24ピン		30ピン	
	R5F1026x	R5F1036x	R5F1027x	R5F1037x	R5F102Ax	R5F103Ax
コード・フラッシュ・メモリ	2-16 KB <sup>注1</sup>		4-16 KB			
データ・フラッシュ・メモリ	2 KB	—	2 KB	—	2 KB	—
RAM	256 B -1.5 KB		512 B -1.5 KB		512 B -2KB	
アドレス空間	1 Mバイト					
(省略)						
タイマ	16ビット・タイマ	4チャンネル			8チャンネル	
	ウォッチドッグ・タイマ	1チャンネル				
	12ビット・インターバル・タイマ	1チャンネル				
	タイマ出力	4/8 <sup>注2</sup> 本(PWM出力 <sup>注3</sup> :3/7 <sup>注2</sup> 本)				

注1. R5F10266とR5F10366は、セルフ・プログラミング機能は使用できません。

2. R5F102Axで、PIOR0=1に設定した場合です。

3. 使用チャンネルの設定によって、出力数は変わります(6.8.3 多重PWM出力機能としての動作参照)。

注意 ユーザ・プログラムでフラッシュ・メモリの書き換えを行う場合は、各ライブラリを利用するため、フラッシュ ROM, RAM 領域を使用します。そのため、RL78 ファミリー フラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズマニュアルおよび RL78 ファミリー データ・フラッシュ・ライブラリ Type04 ユーザーズマニュアルを必ずご確認の上、ご使用ください。

### 3. メモリ・マップ(R5F10266, R5F10366)の注意追加 (p.22)

誤)

図3-1 メモリ・マップ(R5F10266, R5F10366)

(省略)

注 1. セルフ・プログラミング機能使用時とデータ・フラッシュ機能使用時は、セルフ・プログラミング・ライブラリで使用する FFE20H-FFEFFH の領域が使用禁止になります。

(省略)

正)

図3-1 メモリ・マップ(R5F10266, R5F10366)

(省略)

注 1. データ・フラッシュを書き換える場合、データ・フラッシュ・ライブラリで使用するスタックは FFEA2H-FFEDFH に、データ・バッファと DMA 転送で利用する RAM アドレスは FFE00H-FFE19H に配置してください。詳細は、RL78 ファミリ データ・フラッシュ・ライブラリ Type04 ユーザーズマニュアルをご確認ください。

(省略)

注意2. R5F10266はRAMが256Byteと少ないため、お客様のプログラムの仕様によっては、データ・フラッシュ・ライブラリを実行するためのスタック領域が確保できず、データ・フラッシュへの書き込み／消去ができない場合があります。詳細は、RL78ファミリ データ・フラッシュ・ライブラリ Type04 ユーザーズマニュアルをご確認ください。

3. R5F10266 と R5F10366 は、セルフ・プログラミング機能は使用できません。

4. 内部データ・メモリ空間／制御レジスタ／汎用レジスタに関する注意の説明追加 (p.34, p.42, p.44)

誤)

注意 1. 汎用レジスタ(FFEE0H-FFEFFH)の空間は、命令フェッチやスタック領域としての使用を禁止します。

2. 次に示す製品の RAM 領域は、セルフ・プログラミング機能使用時とデータ・フラッシュ機能使用時に、スタック・メモリとして使用できません(図 3-1～図 3-6 メモリ・マップ参照)。

R5F10x66, R5F10x67, R5F10x77, R5F10xA7, ..... : FFE20H-FFEFFH

R5F10xA8, R5F10xA9, R5F10xAA

R5F10x68, R5F10x78 : FFE20H-FFEFFH, FFC00H-FFC80H

R5F10x69, R5F10x79 : FFE20H-FFEFFH, FFB00H-FFC80H

R5F10x6A, R5F10x7A : FFE20H-FFEFFH, FF900H-FFC80H

(x = 2, 3)

正)

(省略)

注意 1. 汎用レジスタ(FFEE0H-FFEFFH)の空間は、命令フェッチやスタック領域としての使用を禁止します。

2. セルフ・プログラミング時またはデータ・フラッシュ書き換え時は、次に示す製品の RAM 領域に各ライブラリが使用するスタックやデータ・バッファと DMA 転送で利用する RAM アドレスを配置しないでください。詳細は、RL78 ファミリーフラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズマニュアルおよび RL78 ファミリー データ・フラッシュ・ライブラリ Type04 ユーザーズマニュアルをご確認ください。

R5F10266 : FFE20H-FFEA1H, FFEE0H-FFEFFH

(データ・フラッシュ・ライブラリで使用するスタックは FFEA2H-FFEDFH に、データ・バッファと DMA 転送で利用する RAM アドレスは FFE00H-FFE19H に配置してください。)

R5F102mn, R5F103mn : FFE20H-FFEFFH

m:ピン数記号 (m = 6, 7, A), n:ROM 容量記号 (n = 7, 8, 9, A)

3. 次に示す製品の RAM 領域は、セルフ・プログラミング・ライブラリおよびデータ・フラッシュ・ライブラリで使用するため使用禁止になります。(図 3-3～図 3-5 メモリ・マップ参照)。

R5F102m8, R5F103m8 : FFC00H-FFC80H

R5F102m9, R5F103m9 : FFB00H-FFC80H

R5F102mA, R5F103mA : FF900H-FFC80H

m:ピン数記号 (m = 6, 7)

**5. データ・メモリとアドレッシングの対応 (R5F10266, R5F10366)の注意追加 (p.36)**

誤)

図3-8 データ・メモリとアドレッシングの対応 (R5F10266, R5F10366)

(省略)

注 1. セルフ・プログラミング機能使用時とデータ・フラッシュ機能使用時は、セルフ・プログラミング・ライブラリで使用する FFE20H-FFEFFFH の領域が使用禁止になります。

(省略)

正)

図3-8 データ・メモリとアドレッシングの対応 (R5F10266, R5F10366)

注 1. データ・フラッシュを書き換える場合、データ・フラッシュ・ライブラリで使用するスタックは FFEA2H-FFEDFH に、データ・バッファと DMA 転送で利用する RAM アドレスは FFE00H-FFE19H に配置してください。詳細は、RL78 ファミリ データ・フラッシュ・ライブラリ Type04 ユーザーズマニュアルをご確認ください。

(省略)

注意2. R5F10266はRAMが256Byteと少ないため、お客様のプログラムの仕様によっては、データ・フラッシュ・ライブラリを実行するためのスタック領域が確保できず、データ・フラッシュへの書き込み／消去ができない場合があります。詳細は、RL78ファミリ データ・フラッシュ・ライブラリ Type04 ユーザーズマニュアルをご確認ください。

3. R5F10266 と R5F10366 は、セルフ・プログラミング機能は使用できません。

**6. 高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV) 注意変更 (p.148)**

誤)

(8) 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)

(省略)

**注意1.** HOCODIVレジスタの設定は周波数の変更前、変更後ともに動作可能な電圧範囲で行ってください。

**2.** HOCODIVレジスタによって周波数を変更した場合も、オプション・バイト(000C2H)で設定したフラッシュ動作モードの電圧の範囲内で使用してください。

オプションバイト(000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE2			
1	0	LS(低速メイン)モード	1MHz~8MHz	1.8V~5.5V
1	1	HS(高速メイン)モード	1MHz~16MHz	2.4V~5.5V
			1MHz~24MHz	2.7V~5.5V

**3.** HOCODIVレジスタで値を変更してから、3クロック間は設定前の周波数で動作します。また、システム・クロックに高速オンチップ・オシレータ・クロックを設定したときは、さらに3クロック分の発振安定待ちをします。

**4.** システム・クロックにX1発振/外部発振入力を設定しているときに、高速オンチップ・オシレータの周波数を変更する場合は、先にCSCレジスタのビット0(HIOSTOP)を1にセットし、高速オンチップ・オシレータを停止させてください。

正)

(8) 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)

(省略)

**注意1.** HOCODIVレジスタの設定は、周波数の変更前、変更後ともにオプション・バイト(000C2H)で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプションバイト(000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE2			
1	0	LS(低速メイン)モード	1MHz~8MHz	1.8V~5.5V
1	1	HS(高速メイン)モード	1MHz~16MHz	2.4V~5.5V
			1MHz~24MHz	2.7V~5.5V

**2.** HOCODIVレジスタの設定は、高速オンチップ・オシレータ・クロック (fIH) をCPU/周辺ハードウェア・クロック (fCLK) に選択している状態で行ってください。

**3.** HOCODIVレジスタで周波数を変更後、次の遷移時間経過して周波数が切り替わります。

- ・変更前の周波数で3クロック 動作

- ・変更後の周波数で最大3クロックのCPU/周辺ハードウェア・クロック ウェイト

**7. A/Dコンバータ・モード・レジスタ0(ADM0)の誤記訂正 (p.282)**

誤)

(2) A/Dコンバータ・モード・レジスタ0(ADM0)

(省略)

注意1. ADMD, FR2-FR0, LV1, LV0, ADCEビットの変更は、変換停止時の変換待機状態(ADCS = 0)で行ってください。

2. ADCE = 0, ADCS = 0 設定状態から8ビット操作命令で ADCE = 1, ADCS = 1 に設定することは禁止します。  
必ず 11.7 A/Dコンバータの設定フローチャートの手順に従ってください。

正)

(2) A/Dコンバータ・モード・レジスタ0(ADM0)

(省略)

注意1. ADMD, FR2-FR0, LV1, LV0ビットの変更は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

2. ADCS = 1, ADCE = 0 の設定は禁止です。
3. ADCS = 0, ADCE = 0設定状態から8ビット操作命令でADCS = 1, ADCE = 1に設定することは禁止します。  
必ず 10.7 A/Dコンバータの設定フローチャートの手順に従ってください。

8. A/D変換時間の選択の誤記訂正 (p.286, p.288)

誤)

表10-3 A/D変換時間の選択

(2)低電圧モード<sup>注1</sup>

安定待ち時間なし(ソフトウェア・トリガ・モード/ハードウェア・トリガ・ノーウエイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (fAD)	変換クロック数	変換時間	変換時間の選択例					
FR2	FR1	FR0	LV1	LV0					1.8 V ≤ VDD ≤ 5.5 V				注2	注3
									fCLK = 1 MHz	fCLK = 2 MHz	fCLK = 4 MHz	fCLK = 8 MHz		
0	0	1	0	0	低電圧1	fCLK/32	19 fAD	608/fCLK	設定禁止	設定禁止	設定禁止	76 μs	38 μs	25.33 μs
0	1	0	fCLK/16	(サンプリング・クロック数 :		304/fCLK			76 μs	38 μs	19 μs	12.67 μs		
0	1	1	fCLK/8	クロック数 :		152/fCLK			76 μs	38 μs	19 μs	9.5 μs <sup>注4</sup>	6.33 μs	
1	0	0	fCLK/6	7 fAD)		114/fCLK			57 μs	28.5 μs	14.25 μs <sup>注4</sup>	7.125 μs <sup>注4</sup>	4.75 μs	
1	0	1	fCLK/5			95/fCLK	95 μs	47.5 μs	23.75 μs	11.875 μs <sup>注4</sup>	5.938 μs <sup>注4</sup>	3.96 μs		
1	1	0	fCLK/4			76/fCLK	76 μs	38 μs	19 μs	9.5 μs <sup>注4</sup>	4.75 μs <sup>注4</sup>	3.17 μs <sup>注5</sup>		
1	1	1	fCLK/2			38/fCLK	38 μs	19 μs	9.5 μs <sup>注4</sup>	4.75 μs <sup>注4</sup>	2.375 μs <sup>注5</sup>	設定禁止		
上記以外						-	-	-	設定禁止					
0	0	1	0	1	低電圧2	fCLK/32	17 fAD	544/fCLK	設定禁止	設定禁止	設定禁止	68 μs	34 μs	22.667 μs
0	1	0	fCLK/16	(サンプリング・クロック数 :		272/fCLK			68 μs	34 μs	17 μs	11.333 μs		
0	1	1	fCLK/8	クロック数 :		136/fCLK			68 μs	34 μs	17 μs	8.5 μs <sup>注4</sup>	5.667 μs	
1	0	0	fCLK/6	5 fAD)		102/fCLK			51 μs	25.5 μs	12.75 μs <sup>注4</sup>	6.375 μs <sup>注4</sup>	4.25 μs	
1	0	1	fCLK/5			85/fCLK	85 μs	42.5 μs	21.25 μs	10.625 μs <sup>注4</sup>	5.313 μs <sup>注4</sup>	3.542 μs		
1	1	0	fCLK/4			68/fCLK	68 μs	34 μs	17 μs	8.5 μs <sup>注4</sup>	4.25 μs <sup>注4</sup>	2.833 μs <sup>注5</sup>		
1	1	1	fCLK/2			34/fCLK	34 μs	17 μs	8.5 μs <sup>注4</sup>	4.25 μs <sup>注4</sup>	2.125 μs <sup>注5</sup>	設定禁止		
上記以外						-	-	-	設定禁止					

(4)低電圧モード<sup>注1</sup>

安定待ち時間あり<sup>注2</sup>(ハードウェア・トリガ・ウエイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (fAD)	安定待ちクロック数	変換クロック数	安定待ち時間+変換時間	安定待ち時間+変換時間の選択例					
FR2	FR1	FR0	LV1	LV0						1.8 V ≤ VDD ≤ 5.5 V				注3	注4
										fCLK = 1 MHz	fCLK = 2 MHz	fCLK = 4 MHz	fCLK = 8 MHz		
0	0	1	0	0	低電圧1	fCLK/32	2 fAD	19 fAD	672/fCLK	設定禁止	設定禁止	設定禁止	84 μs	42 μs	28 μs
0	1	0	fCLK/16	(サンプリング・クロック数 :		336/fCLK			84 μs	42 μs	21 μs	14 μs			
0	1	1	fCLK/8	クロック数 :		168/fCLK			84 μs	42 μs	21 μs	10.5 μs <sup>注5</sup>	7 μs		
1	0	0	fCLK/6	7 fAD)		126/fCLK			63 μs	31.25 μs	15.75 μs <sup>注5</sup>	7.875 μs <sup>注5</sup>	5.25 μs		
1	0	1	fCLK/5			105/fCLK	105 μs	52.5 μs	26.25 μs	13.125 μs <sup>注5</sup>	6.563 μs <sup>注5</sup>	4.38 μs			
1	1	0	fCLK/4			84/fCLK	84 μs	42 μs	21 μs	10.5 μs <sup>注5</sup>	5.25 μs <sup>注5</sup>	3.5 μs <sup>注6</sup>			
1	1	1	fCLK/2			42/fCLK	42 μs	21 μs	10.5 μs <sup>注5</sup>	5.25 μs <sup>注5</sup>	2.625 μs <sup>注6</sup>	設定禁止			
上記以外						-	-	-	設定禁止						
0	0	1	0	1	低電圧2	fCLK/32	17 fAD	608/fCLK	設定禁止	設定禁止	設定禁止	76 μs	38 μs	25.33 μs	
0	1	0	fCLK/16	(サンプリング・クロック数 :		304/fCLK			76 μs	38 μs	19 μs	12.67 μs			
0	1	1	fCLK/8	クロック数 :		152/fCLK			76 μs	38 μs	19 μs	9.5 μs <sup>注5</sup>	6.33 μs		
1	0	0	fCLK/6	5 fAD)		114/fCLK			57 μs	28.5 μs	14.25 μs <sup>注5</sup>	7.125 μs <sup>注5</sup>	4.75 μs		
1	0	1	fCLK/5			95/fCLK	95 μs	47.5 μs	23.75 μs	11.875 μs <sup>注5</sup>	5.938 μs <sup>注5</sup>	3.96 μs			
1	1	0	fCLK/4			76/fCLK	76 μs	38 μs	19 μs	9.5 μs <sup>注5</sup>	4.75 μs <sup>注5</sup>	3.17 μs <sup>注6</sup>			
1	1	1	fCLK/2			38/fCLK	38 μs	19 μs	9.5 μs <sup>注5</sup>	4.75 μs <sup>注5</sup>	2.375 μs <sup>注6</sup>	設定禁止			
上記以外						-	-	-	設定禁止						

(省略)

注意1. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、いったんA/D変換動作を停止 (ADCS = 0) させたのちに行ってください。

正)

表10-3 A/D変換時間の選択  
(2)低電圧モード<sup>注1</sup>

安定待ち時間なし(ソフトウェア・トリガ・モード/ハードウェア・トリガ・ノーウエイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (fAD)	変換クロック数	変換時間	変換時間の選択例					
FR2	FR1	FR0	LV1	LV0					1.8 V ≤ VDD ≤ 5.5 V				注2	注3
									fCLK = 1 MHz	fCLK = 2 MHz	fCLK = 4 MHz	fCLK = 8 MHz		
0	0	1	1	0	低電圧1	fCLK/32	19 fAD	608/fCLK	設定禁止	設定禁止	設定禁止	76 μs	38 μs	25.33 μs
0	1	0	fCLK/16	(サンプリング・クロック数 :		304/fCLK			76 μs	38 μs	19 μs	12.67 μs		
0	1	1	fCLK/8	7 fAD)		152/fCLK			76 μs	38 μs	19 μs	9.5 μs <sup>注4</sup>	6.33 μs	
1	0	0	fCLK/6			114/fCLK			57 μs	28.5 μs	14.25 μs <sup>注4</sup>	7.125 μs <sup>注4</sup>	4.75 μs	
1	0	1	fCLK/5			95/fCLK	95 μs	47.5 μs	23.75 μs	11.875 μs <sup>注4</sup>	5.938 μs <sup>注4</sup>	3.96 μs		
1	1	0	fCLK/4			76/fCLK	76 μs	38 μs	19 μs	9.5 μs <sup>注4</sup>	4.75 μs <sup>注4</sup>	3.17 μs <sup>注5</sup>		
1	1	1	fCLK/2			38/fCLK	38 μs	19 μs	9.5 μs <sup>注4</sup>	4.75 μs <sup>注4</sup>	2.375 μs <sup>注5</sup>	設定禁止		
0	0	1	1	1	低電圧2	fCLK/32	17 fAD	544/fCLK	設定禁止	設定禁止	設定禁止	68 μs	34 μs	22.667 μs
0	1	0	fCLK/16	(サンプリング・クロック数 :		272/fCLK			68 μs	34 μs	17 μs	11.333 μs		
0	1	1	fCLK/8	5 fAD)		136/fCLK			68 μs	34 μs	17 μs	8.5 μs <sup>注4</sup>	5.667 μs	
1	0	0	fCLK/6			102/fCLK			51 μs	25.5 μs	12.75 μs <sup>注4</sup>	6.375 μs <sup>注4</sup>	4.25 μs	
1	0	1	fCLK/5			85/fCLK	85 μs	42.5 μs	21.25 μs	10.625 μs <sup>注4</sup>	5.313 μs <sup>注4</sup>	3.542 μs		
1	1	0	fCLK/4			68/fCLK	68 μs	34 μs	17 μs	8.5 μs <sup>注4</sup>	4.25 μs <sup>注4</sup>	2.833 μs <sup>注5</sup>		
1	1	1	fCLK/2			34/fCLK	34 μs	17 μs	8.5 μs <sup>注4</sup>	4.25 μs <sup>注4</sup>	2.125 μs <sup>注5</sup>	設定禁止		
上記以外					-	-	-	設定禁止						

(4)低電圧モード<sup>注1</sup>

安定待ち時間あり<sup>注2</sup>(ハードウェア・トリガ・ウエイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (fAD)	安定待ちクロック数	変換クロック数	安定待ち時間+変換時間	安定待ち時間+変換時間の選択例					
FR2	FR1	FR0	LV1	LV0						1.8 V ≤ VDD ≤ 5.5 V				注3	注4
										fCLK = 1 MHz	fCLK = 2 MHz	fCLK = 4 MHz	fCLK = 8 MHz		
0	0	1	1	0	低電圧1	fCLK/32	2 fAD	19 fAD	672/fCLK	設定禁止	設定禁止	設定禁止	84 μs	42 μs	28 μs
0	1	0	fCLK/16	(サンプリング・クロック数 :		336/fCLK			84 μs	42 μs	21 μs	14 μs			
0	1	1	fCLK/8	7 fAD)		168/fCLK			84 μs	42 μs	21 μs	10.5 μs <sup>注5</sup>	7 μs		
1	0	0	fCLK/6			126/fCLK			63 μs	31.25 μs	15.75 μs <sup>注5</sup>	7.875 μs <sup>注5</sup>	5.25 μs		
1	0	1	fCLK/5			105/fCLK	105 μs	52.5 μs	26.25 μs	13.125 μs <sup>注5</sup>	6.563 μs <sup>注5</sup>	4.38 μs			
1	1	0	fCLK/4			84/fCLK	84 μs	42 μs	21 μs	10.5 μs <sup>注5</sup>	5.25 μs <sup>注5</sup>	3.5 μs <sup>注6</sup>			
1	1	1	fCLK/2			42/fCLK	42 μs	21 μs	10.5 μs <sup>注5</sup>	5.25 μs <sup>注5</sup>	2.625 μs <sup>注6</sup>	設定禁止			
0	0	1	1	1	低電圧2	fCLK/32	17 fAD	608/fCLK	設定禁止	設定禁止	設定禁止	76 μs	38 μs	25.33 μs	
0	1	0	fCLK/16	(サンプリング・クロック数 :		304/fCLK			76 μs	38 μs	19 μs	12.67 μs			
0	1	1	fCLK/8	5 fAD)		152/fCLK			76 μs	38 μs	19 μs	9.5 μs <sup>注5</sup>	6.33 μs		
1	0	0	fCLK/6			114/fCLK			57 μs	28.5 μs	14.25 μs <sup>注5</sup>	7.125 μs <sup>注5</sup>	4.75 μs		
1	0	1	fCLK/5			95/fCLK	95 μs	47.5 μs	23.75 μs	11.875 μs <sup>注5</sup>	5.938 μs <sup>注5</sup>	3.96 μs			
1	1	0	fCLK/4			76/fCLK	76 μs	38 μs	19 μs	9.5 μs <sup>注5</sup>	4.75 μs <sup>注5</sup>	3.17 μs <sup>注6</sup>			
1	1	1	fCLK/2			38/fCLK	38 μs	19 μs	9.5 μs <sup>注5</sup>	4.75 μs <sup>注5</sup>	2.375 μs <sup>注6</sup>	設定禁止			
上記以外					-	-	-	-	設定禁止						

(省略)

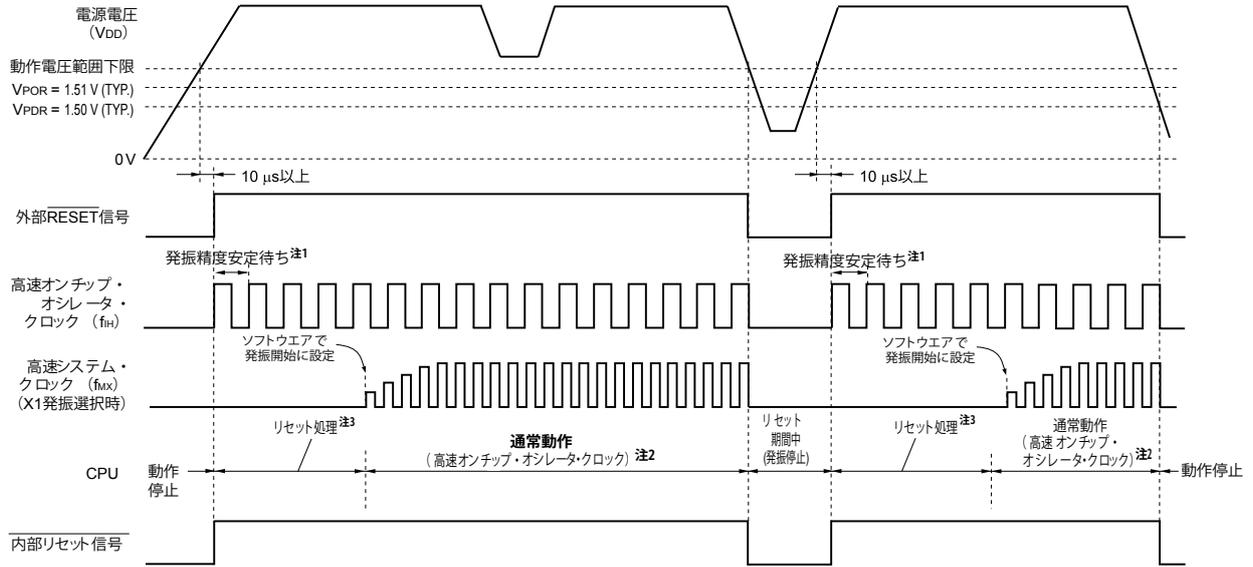
注意1. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

9. パワーオン・リセット回路 図 19-2 の誤記訂正 (p.632 - p.633)

誤)

図 19-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング

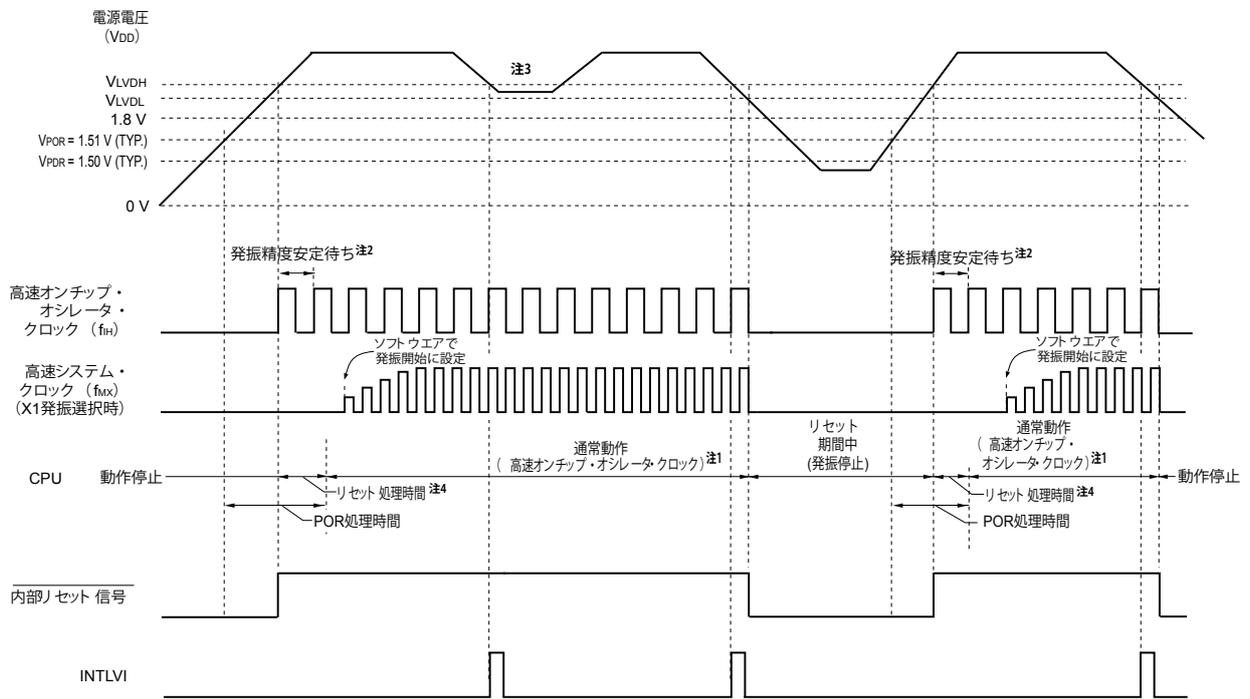
(a) LVDオフ時(オプション・バイト000C1HのVPOC2 = 1)



(省略)

注3. リセット処理時間: 265~407 μs

(b) LVDが割り込み & リセット・モード時(オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 0)



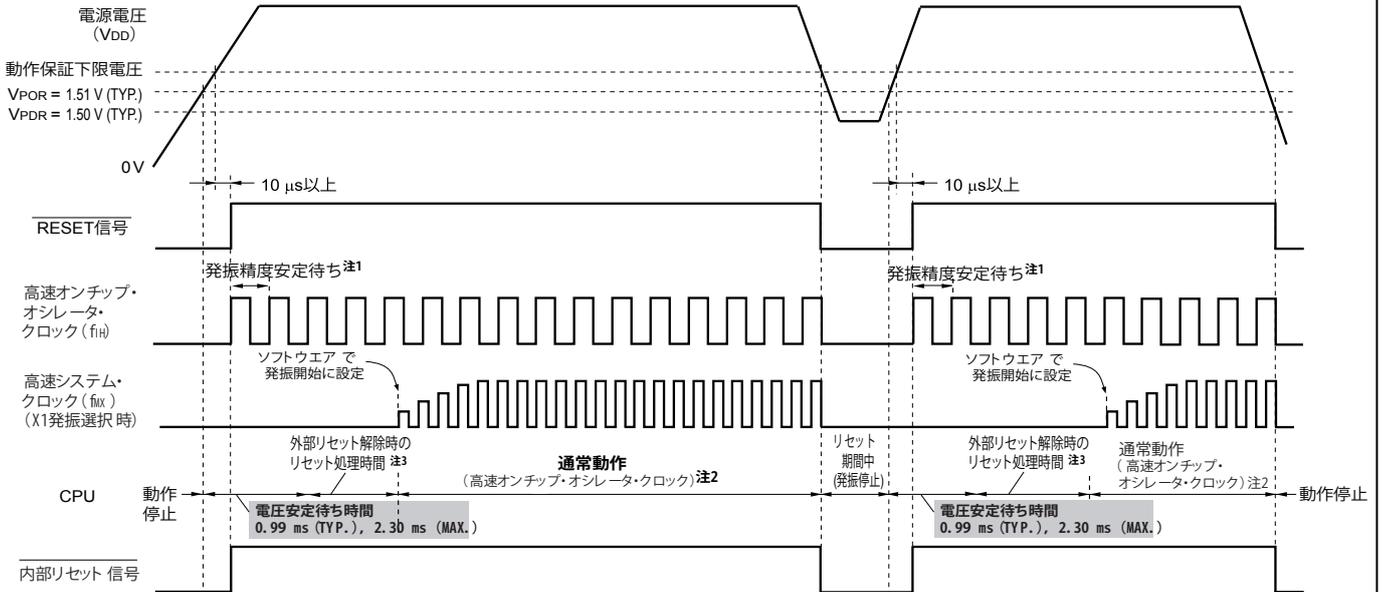
(省略)

注4. リセット処理時間: 497~720 μs

正)

図 19-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング

(1) RESET 端子による外部リセット入力使用時

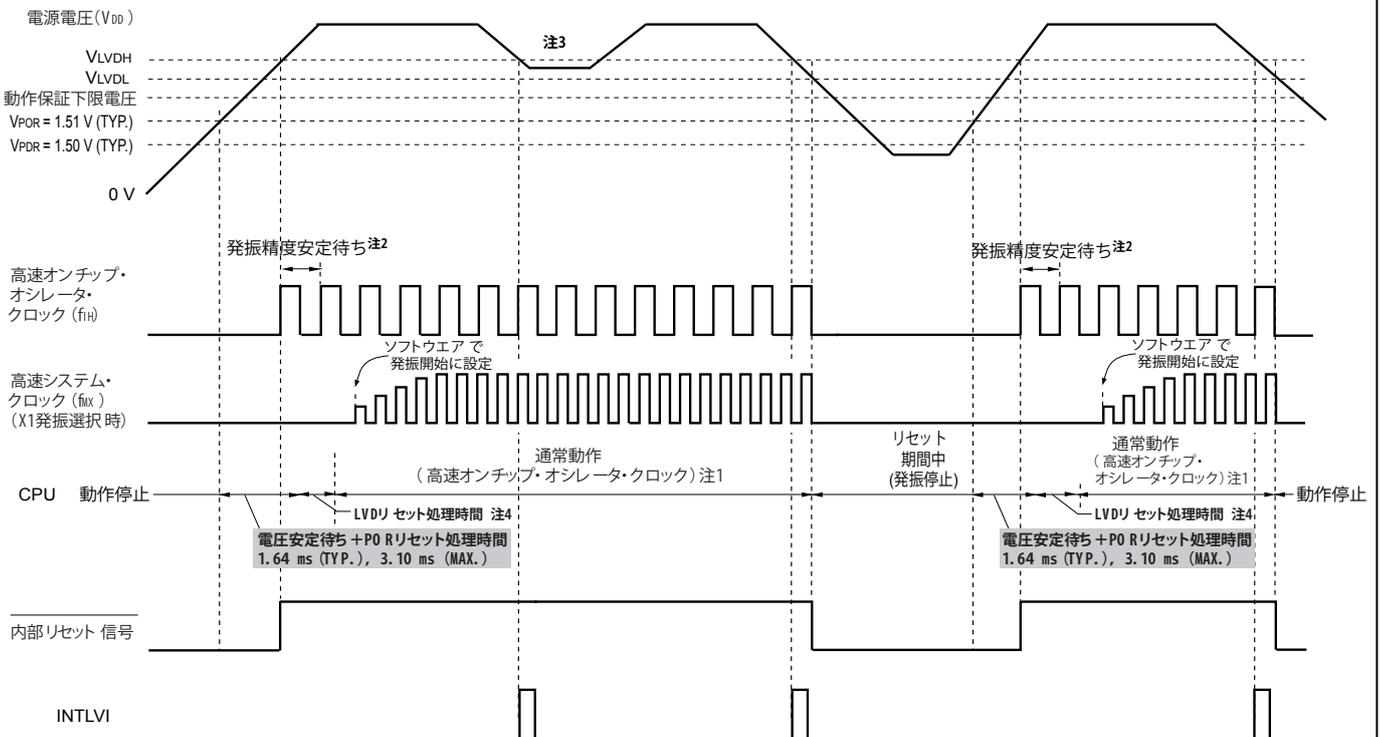


(省略)

注3. 通常動作が開始されるまでの時間は、VPOR (1.51 V (TYP.))に達してからの“電圧安定待ち時間”に加えて、RESET信号をハイ・レベル(1)にしてから次の“外部リセット解除時のリセット処理時間”が掛かります。

外部リセット解除時のリセット処理時間：0.672 ms (TYP.), 0.832 ms (MAX.)(LVD使用時)  
0.399 ms (TYP.), 0.519 ms (MAX.)(LVDオフ時)

(2) LVD 割り込み&リセット・モード時 (オプション・バイト 000C1H の LVIMDS1, LVIMDS0 = 1, 0)

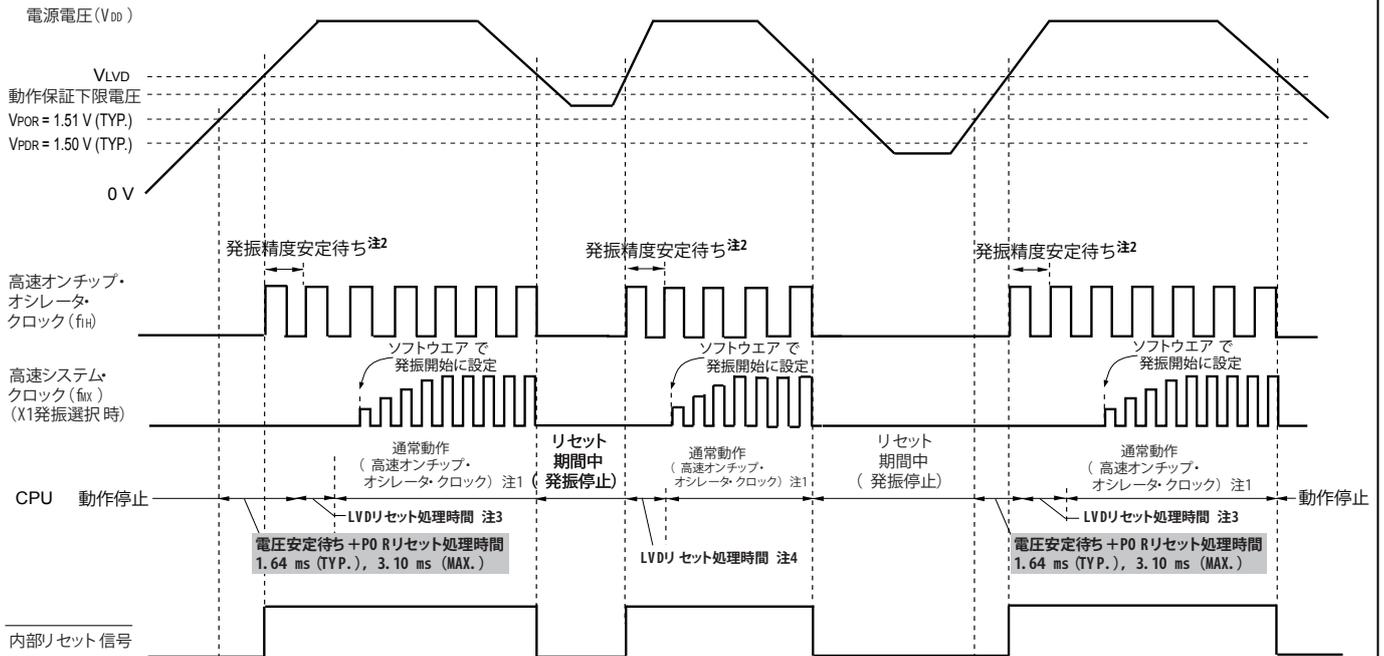


(省略)

注4. 通常動作が開始されるまでの時間は、VPOR (1.51 V (TYP.))に達してからの“電圧安定待ち+PORリセット処理時間”に加えて、LVD検出レベル(VLVDH)に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間：0 ms ~ 0.0701 ms (MAX.)

(3) LVD リセット・モード時 (オプション・バイト 000C1H の LVIMDS1, LVIMDS0 = 1, 1)



(省略)

注3. 通常動作が開始されるまでの時間は、VPOR (1.51 V (TYP.))に達してからの“電圧安定待ち+PORリセット処理時間”に加えて、LVD検出レベル (VLVD)に達してから次の“LVDリセット処理時間”が掛かります。  
LVDリセット処理時間：0 ms ~ 0.0701 ms (MAX.)

4. 電源電圧降下時、電圧検出回路 (LVD)による内部リセットのみ発生後に電源電圧が復帰した場合、LVD検出レベル (VLVD)に達してから次の“LVDリセット処理時間”が掛かります。  
LVDリセット処理時間：0.0629 ms (TYP.), 0.0701 ms (MAX.)

## 10. データ・フラッシュの概要 注意追加 (p.682)

### 誤)

データ・フラッシュの概要は次のとおりです。

- ・フラッシュ・メモリ・プログラマや外部デバイスによるプログラミングに対応
- ・プログラミング単位は 8 ビット単位
- ・1 ブロック = 1 K バイト単位で消去可能
- ・CPU 命令によるアクセスはバイト・リードのみ(4 クロック+ウエイト3 クロック)
- ・データ専用領域なので、データ・フラッシュからの命令実行(コード・フェッチ)はできません
- ・データ・フラッシュの書き換え中に、コード・フラッシュからの命令実行が可能  
(バックグラウンド・オペレーション(BGO)対応)
- ・コード・フラッシュの書き換え中(セルフ・プログラミング時)に、データ・フラッシュにアクセスすることは禁止
- ・リセット解除後は停止状態なので、使用するためにはデータ・フラッシュ・コントロール・レジスタ(DFLCTL)を設定します
- ・データ・フラッシュの書き換え中に、DFLCTL レジスタを操作することは禁止
- ・データ・フラッシュの書き換え中に、HALT, STOP モードに移行することは禁止

### 正)

データ・フラッシュの概要は次のとおりです。データ・フラッシュの書き換え方法の詳細は、RL78ファミリ データ・フラッシュ・ライブラリ Type04 ユーザーズマニュアルを参照してください。

- ・フラッシュ・メモリ・プログラマや外部デバイスによるプログラミングに対応
- ・プログラミング単位は 8 ビット単位
- ・1 ブロック = 1 K バイト単位で消去可能
- ・CPU 命令によるアクセスはバイト・リードのみ(1 クロック+ウエイト3 クロック)
- ・データ専用領域なので、データ・フラッシュからの命令実行(コード・フェッチ)はできません
- ・データ・フラッシュの書き換え中に、コード・フラッシュからの命令実行が可能  
(バックグラウンド・オペレーション(BGO)対応)
- ・コード・フラッシュの書き換え中(セルフ・プログラミング時)に、データ・フラッシュにアクセスすることは禁止
- ・リセット解除後は停止状態なので、使用するためにはデータ・フラッシュ・コントロール・レジスタ(DFLCTL)を設定します
- ・データ・フラッシュの書き換え中に、DFLCTL レジスタを操作することは禁止
- ・データ・フラッシュの書き換え中に、HALT, STOP モードに移行することは禁止

**注意1. R5F10266のみ、データ・フラッシュの書き換え中は、割り込み禁止です。DI命令によりIEフラグがクリア(0)されている状態でデータ・フラッシュ・ライブラリを実行してください。**

**2. データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作(HIOSTOP=0)させ、30us経過後にデータ・フラッシュ・ライブラリを実行してください。**

## 11. セキュリティ設定の誤記訂正 (p.688)

誤)

### 24.6 セキュリティ設定

RL78/G12は、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより、次の操作をすることができます。

(省略)

出荷時の初期状態では、ブロック消去／書き込み／ブート・クラスタ0の書き換えは、すべて許可になっています。セキュリティは、オンボード／オフボード・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

RL78/G12のセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表24-11に示します。

**注意** フラッシュ・メモリ・プログラムのセキュリティ機能は、セルフ・プログラミングに対応していません。

正)

### 24.6 セキュリティ設定

RL78/G12は、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより、次の操作をすることができます。

(省略)

出荷時の初期状態では、ブロック消去／書き込み／ブート・クラスタ0の書き換えは、すべて許可になっています。セキュリティは、オンボード／オフボード・プログラミングでのみ設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

RL78/G12のセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表24-11に示します。

**注意** フラッシュ・メモリ・プログラムのセキュリティ機能は、セルフ・プログラミングに対応していません。

12. セルフ・プログラミング・モード時のセキュリティ設定方法の削除 (p.689)

誤)

表24-12 各プログラミング・モード時のセキュリティ設定方法

(1) オンボード／オフボード・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラマの GUI上などで設定する	設定後、無効にできない
書き込み禁止		セキュリティ・リリース・コマンドを実行する
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

注意 セキュリティ・リリース・コマンドは、「ブロック消去禁止」および「ブート・クラスタ0の書き換え禁止」に設定されておらず、コード・フラッシュ領域およびデータ・フラッシュ領域がブランクである場合に有効となります。

(2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	<u>セット・インフォメーション・ライブラリ</u> <u>で設定する</u>	設定後、無効にできない
書き込み禁止		<u>オンボード／オフボード・プログラミングで、セキュリティ・リリース・コマンドを実行する(セルフ・プログラミングでは無効にできない)</u>
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

正)

表24-12 各プログラミング・モード時のセキュリティ設定方法

(1) オンボード／オフボード・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラマの GUI上などで設定する	設定後、無効にできない
書き込み禁止		セキュリティ・リリース・コマンドを実行する
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

注意 セキュリティ・リリース・コマンドは、「ブロック消去禁止」および「ブート・クラスタ0の書き換え禁止」に設定されておらず、コード・フラッシュ領域およびデータ・フラッシュ領域がブランクである場合に有効となります。

### 13. セルフ書き込みによるフラッシュメモリプログラミングの注意追加 (p.690)

誤)

#### 24.7 セルフ書き込みによるフラッシュ・メモリ・プログラミング

RL78/G12は、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はRL78/G12セルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

**注意1. セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI命令によりIEフラグがクリア(0)されている状態でセルフ・プログラミング・ライブラリを実行してください。**

**割り込みを許可する場合は、EI命令によりIEフラグがセット(1)されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア(0)して、セルフ・プログラミング・ライブラリを実行してください。**

(省略)

正)

#### 24.7 セルフ書き込みによるフラッシュ・メモリ・プログラミング

RL78/G12は、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はRL78/G12セルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

**注意1. セルフ・プログラミング中は、割り込み禁止です。DI命令によりIEフラグがクリア(0)されている状態でセルフ・プログラミング・ライブラリを実行してください。**

(省略)

**3. セルフ・プログラミング中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロック動作(HIOSTOP=0)させ、30us経過後にセルフ・プログラミング・ライブラリを実行してください。**

**4. R5F10266とR5F10366は、セルフ・プログラミング機能は使用できません。**

14. フラッシュ・シールド・ウインドウ機能の誤記訂正 (p.692)

誤)

24.7.1 フラッシュ・シールド・ウインドウ機能

(省略)

ウインドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は、オンボード／オフボード・プログラミングとセルフ・プログラミングのいずれでも設定／変更できます。

(省略)

表24-14 フラッシュ・シールド・ウインドウ機能の設定／変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の 設定／変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	フラッシュ・セルフ・プログラミング・ライブラリで、ウインドウの先頭ブロック、最終ブロックを指定する	ウインドウ範囲内のみブロック消去できる	ウインドウ範囲内のみ書き込みできる
オンボード／オフボード・プログラミング時	専用フラッシュ・メモリ・プログラマのGUIなどで、ウインドウの先頭ブロック、最終ブロックを指定する	ウインドウ範囲外もブロック消去可能	ウインドウ範囲外も書き込み可能

備考 オンボード／オフボード・プログラミング時の書き込み／消去を禁止したい場合には、24.6 セキュリティ設定を参照してください。

正)

24.7.1 フラッシュ・シールド・ウインドウ機能

(省略)

ウインドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は、オンボード／オフボード・プログラミングでのみ設定／変更できます。

(省略)

表24-14 フラッシュ・シールド・ウインドウ機能の設定／変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の 設定／変更方法	実行コマンド	
		ブロック消去	書き込み
オンボード／オフボード・プログラミング時	専用フラッシュ・メモリ・プログラマのGUIなどで、ウインドウの先頭ブロック、最終ブロックを指定する	ウインドウ範囲外もブロック消去可能	ウインドウ範囲外も書き込み可能

備考 オンボード／オフボード・プログラミング時の書き込み／消去を禁止したい場合には、24.6 セキュリティ設定を参照してください。

15. フラッシュ・メモリ・プログラミング特性のスペック確定 (p.757)

誤)

28.8 フラッシュ・メモリ・プログラミング特性

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	f <sub>CLK</sub>	$1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1		24	MHz
コード・フラッシュの書き換え回数	C <sub>erwr</sub>	消去 1 回+消去後の書き込み 1 回を書き換え回数 1 回とする。保持年数は、1 度書き換えた後、次に書き換えを行うまでの期間とする。	セルフ/シリアル保持20年 <sup>注</sup>	1,000		回
データ・フラッシュの書き換え回数			セルフ/シリアル保持1年 <sup>注</sup>		1,000,000	
		セルフ/シリアル保持5年 <sup>注</sup>	100,000			

注 フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時

注意 この特性はターゲット(目標値)であり、デバイス評価後に変更の可能性があります。

正)

28.8 フラッシュ・メモリ・プログラミング特性

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	f <sub>CLK</sub>	$1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1		24	MHz
コード・フラッシュの書き換え回数 注1,2,3	C <sub>erwr</sub>	保持年数：20年	$T_A = 85$ <sup>注3</sup>	1,000		回
データ・フラッシュの書き換え回数 注1,2,3		保持年数：1年	$T_A = 25$ <sup>注3</sup>		1,000,000	
		保持年数：5年	$T_A = 85$ <sup>注3</sup>	100,000		
		保持年数：20年	$T_A = 85$ <sup>注3</sup>	10,000		

注 1. 消去 1 回+消去後の書き込み 1 回を書き換え回数 1 回とする。保持年数は、1 度書き換えた後、次に書き換えを行うまでの期間とする。

2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時

3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

**発行文書履歴**

RL78/G12 ユーザーズマニュアル Rev.1.00 誤記訂正通知 発行文書履歴

文書番号	発行日	記事
TN-RL*-A002A/J	2012年10月11日	初版発行 訂正一覧の No.1 ~ No.15 の誤記訂正(本通知です。)

以上