

# RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア  
ルネサス エレクトロニクス株式会社

問合せ窓口 <https://www.renesas.com/jp/ja/support/contact/>

製品分類	MPU & MCU	発行番号	TN-SH7-A0927A/J	Rev.	第1版
題名	ユーザーズマニュアル誤記訂正		情報分類	技術情報	
適用製品	<ul style="list-style-type: none"> <li>SH7214 グループ、SH7216 グループ</li> <li>SH7239 グループ、SH7237 グループ</li> </ul>	対象ロット等	関連資料	<ul style="list-style-type: none"> <li>SH7214 グループ、SH7216 グループ ユーザーズマニュアル ハードウェア編 Rev.4.00(R01UH0230JJ0400)</li> <li>SH7239 グループ、SH7237 グループ ユーザーズマニュアル ハードウェア編 Rev.2.00(R01UH0086JJ0200)</li> </ul>	
	全ロット				

上記適用製品のユーザーズマニュアルにおいて、誤記がございましたので、訂正のご連絡を致します。

各製品グループの対応は下表になります。

項番	内容	章番号	章	該当箇所	
				SH7214 グループ、SH7216 グループ	SH7239 グループ、SH7237 グループ
1	動作モードの選択の修正	3	MCU 動作モード	表 3.1	非該当
2	リセット同期 PWM モード時の出力端子の修正	11	MTU2	表 11.52	表 11.52
3	相補 PWM モード時のレジスタ設定の修正	11	MTU2	表 11.55	表 11.55
4	(g) PWM 周期の設定の修正	11	MTU2	11.4.8	11.4.8
5	PWM 周期の変更例の修正	11	MTU2	図 11.42	図 11.42
6	SCI の割り込み要因と DTC の修正	16	SCI	16.5	16.5
7	ICCR2 BBSY、SCP ビットの修正、注追加	19	IIC3	19.3.2	非該当
8	マスタ送信動作の注追加	19	IIC3	19.4.2	非該当
9	スレーブ送信動作の注追加	19	IIC3	19.4.4	非該当
10	スレーブ受信モード動作タイミング(2)の修正	19	IIC3	図 19.12	非該当
11	DTC による動作の修正	19	IIC3	19.6	非該当
12	DTC による動作例の修正	19	IIC3	表 19.5	非該当
13	動作モード別端子機能一覧の修正	22	PFC	表 22.7	非該当
14	FCU のモード/状態と受け付け可能なコマンドの関係の修正	27/23	ROM	表 27.13	表 23.12
15	FSTATRO SUSRDY ビットの修正	27/23	ROM	27.3.7	23.3.7
16	USB ブートモード時のシステム構成図の修正	27	ROM	図 27.9	非該当
17	外形寸法図の修正	-	付録	図 C.1	非該当

< 誤記訂正内容 >

1. 「3. MCU 動作モード」 3.1 動作モードの選択の表 3.1 動作モードの選択を以下のように修正します。

《SH7214 グループ、SH7216 グループのみ》

【変更前】

MCU 動作 モード	端子設定			モード名	内蔵 ROM	CS0 空間のバス幅
	FWE	MD1	MD0			
モード 7 <sup>12</sup>	1	1	1	USB ブートモード	有効	-
モード 7 <sup>13</sup>	1	1	1	ユーザプログラムモード	有効	-

【変更後】

MCU 動作 モード	端子設定			モード名	内蔵 ROM	CS0 空間のバス幅
	FWE	MD1	MD0			
モード 7 <sup>12</sup>	1	1	1	USB ブートモード	有効	BSC の CS0BCR により設定
モード 7 <sup>13</sup>	1	1	1	ユーザプログラムモード	有効	-

2. 「11. マルチファンクションタイマパルスユニット 2 (MTU2)」 11.4.7 リセット同期 PWM モードの  
表 11.52 リセット同期 PWM モード時の出力端子を以下のように修正します。

【変更前】

チャンネル	出力端子	説明
3	TIOC3B	PWM 出力端子 1
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 の逆相波形)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 の逆相波形)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 の逆相波形)

【変更後】

チャンネル	出力端子	説明
3	TIOC3A	PWM 周期に同期したトグル出力 (または入出力ポート)
	TIOC3B	PWM 出力端子 1
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 の逆相波形)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 の逆相波形)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 の逆相波形)

3. 「11. マルチファンクションタイマパルスユニット 2 (MTU2)」 11.4.8 相補 PWM モードの  
表 11.55 相補 PWM モード時のレジスタ設定を以下のように修正します。

【変更前】

チャンネル	カウンタ/ レジスタ	説明	CPU からの 読み出し/書き込み
<del> </del>			
テンポラリレジスタ 3 (TEMP3)		PWM 出力 3/TGRB_4 のテンポラリレジスタ	読み出し/書き込み不可

【変更後】

チャンネル	カウンタ/ レジスタ	説明	CPU からの 読み出し/書き込み
<del> </del>			
テンポラリレジスタ 3 (TEMP3)		PWM 出力 3/TGRB_4 のテンポラリレジスタ	読み出し/書き込み不可
テンポラリレジスタ 4 (TEMP4)		TGRA_3 のテンポラリレジスタ	読み出し/書き込み不可
テンポラリレジスタ 5 (TEMP5)		TCDR のテンポラリレジスタ	読み出し/書き込み不可

4. 「11. マルチファンクションタイマパルスユニット 2 (MTU2)」 11.4.8 相補 PWM モードの  
(g) PWM 周期の設定を以下のように修正します。

【変更前】

TGRC\_3、TCBR に設定した値は、タイマモードレジスタ (TMDR) の MD3~MD0 で選択した転送タイミングで  
TGRA\_3、TCDR に同時に転送されます。

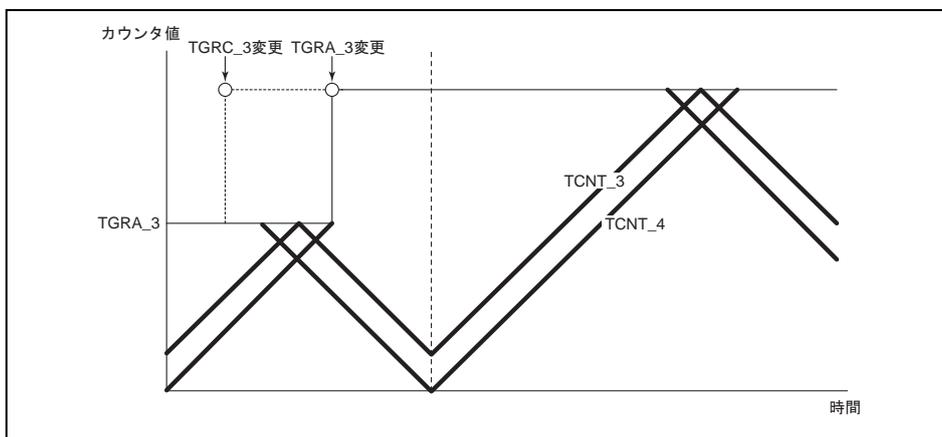
【変更後】

TGRD\_4 への書き込みを行い転送を許可すると、TGRC\_3、TCBR に設定した値は、タイマモードレジスタ (TMDR)  
の MD3~MD0 で選択した転送タイミングで TGRA\_3、TCDR に同時に転送されます。

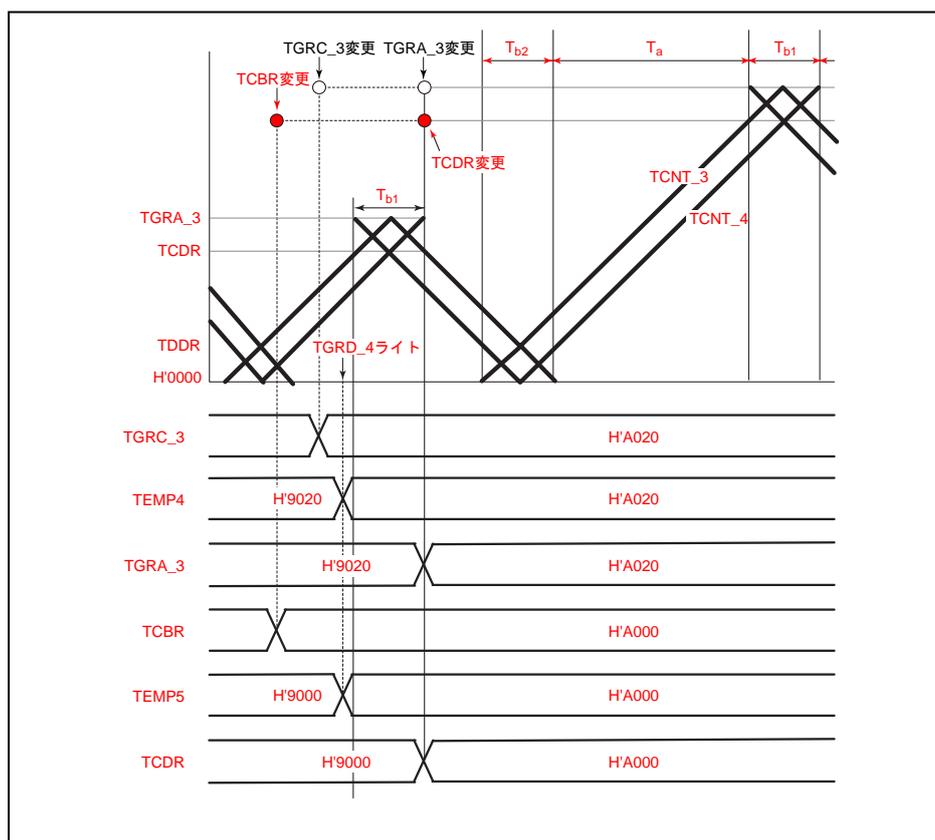
5. 「11. マルチファンクションタイマパルスユニット 2 (MTU2)」 11.4.8 相補 PWM モードの図 11.42

PWM 周期の変更例を以下のように修正します。

【変更前】



【変更後】



6. 「16. シリアルコミュニケーションインタフェース (SCI)」 16.5 SCI の割り込み要因と DTC の説明を以下のように修正します。

**【変更前】**

シリアルステータスレジスタ (SCSSR) の TDRE フラグが 1 にセットされると、**TDR エンプティ** 要求が発生します。**TDR エンプティ** 要求で、データトランスファコントローラ (DTC) を起動してデータ転送を行うことができます。**TDRE フラグは DTC による**トランスミットデータレジスタ (SCTDR) への書き込みが行われると自動的に 0 にクリアされます。

SCSSR の RDRF フラグが 1 にセットされると、**RDR フル** 要求が発生します。**RDR フル** 要求で、DTC を起動して、データ転送を行うことができます。

**RDRF フラグは DTC による**レシーブデータレジスタ (SCRDR) の読み出しが行われると、自動的に 0 にクリアされます。

**【変更後】**

シリアルステータスレジスタ (SCSSR) の TDRE フラグが 1 にセットされると、**TXI 割り込み** 要求が発生します。**TXI 割り込み** 要求でデータトランスファコントローラ (DTC) を起動してデータ転送を行うことができます。

**DTC 起動による**データ転送時は、**DTC の DISEL ビットが 0** でかつ転送カウンタ値が 0 以外の場合には、SCTDR への書き込みが行われると TDRE フラグが自動的に 0 にクリアされて CPU への **TXI 割り込み** 要求は発生しませんが、**DISEL ビットが 0** でかつ転送カウンタが 0 または **DISEL ビットが 1** の場合には、SCTDR への書き込みが行われても **TDRE フラグは 0** にクリアされずに SCTDR への書き込み後に CPU への **TXI 割り込み** 要求が発生します。

SCSSR の RDRF フラグが 1 にセットされると **RXI 割り込み** 要求が発生します。**RXI 割り込み** 要求で DTC を起動してデータ転送を行うことができます。**DTC 起動による**データ転送時は、**DTC の DISEL ビットが 0** でかつ転送カウンタ値が 0 以外の場合には、SCRDR の読み出しが行われると RDRF フラグが自動的に 0 にクリアされて CPU への **RXI 割り込み** 要求は発生しませんが、**DISEL ビットが 0** でかつ転送カウンタが 0 または **DISEL ビットが 1** の場合には、SCRDR の読み出しが行われても RDRF フラグは 0 にクリアされずに SCRDR の読み出し後に CPU への **RXI 割り込み** 要求が発生します。

7. 「19. I<sup>2</sup>C バスインタフェース 3 (IIC3)」 19.3.2 I<sup>2</sup>C バスコントロールレジスタ 2 (ICCR2)

BBSY、SCP ビットを以下のように修正、注を追加します。

《SH7214 グループ、SH7216 グループのみ》

【変更前】

ビット	ビット名	初期値	R/W	説明
7	BBSY	0	R/W	バスビジー I <sup>2</sup> C バスの占有／解放状態を示すフラグ機能とマスタモードの開始／停止条件発行機能の 2 つがあります。クロック同期式シリアルフォーマットの場合、本ビットをリードすると常に 0 が読み出されます。I <sup>2</sup> C バスフォーマットの場合、SCL=ハイレベルの状態 で SDA がハイレベルからローレベルに変化すると、開始条件が発行されたと認識して 1 にセットされます。SCL=ハイレベルの状態 で SDA がローレベルからハイレベルに変化すると、停止条件が発行されたと認識して 0 にクリアされます。開始条件を発行する場合は BBSY に 1、SCP に 0 をライトします。開始条件再送時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。
6	SCP	1	R/W	開始／停止条件発行禁止 SCP ビットはマスタモードで開始条件／停止条件の発行を制御します。開始条件を発行する場合、BBSY に 1、SCP に 0 をライトします。開始条件の再送信時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。本ビットはリードすると常に 1 が読み出されます。1 をライトしてもデータは格納されません。
1	IICRST	0	R/W	IIC コントロール部リセット IICRST は I <sup>2</sup> C バスのレジスタを除くコントロール部をリセットします。I <sup>2</sup> C バスの動作中に通信不具合などによりハングアップしたとき、IICRST ビットを 1 にセットすると IIC3 の一部のレジスタとコントロール部をリセットすることができます。

【変更後】

ビット	ビット名	初期値	R/W	説明
7	BBSY	0	R/W	バスビジー I <sup>2</sup> C バスの占有／解放状態を示すフラグ機能とマスタモードの開始／停止条件発行機能の2つがあります。クロック同期式シリアルフォーマットの場合、本ビットをリードすると常に0が読み出されます。I <sup>2</sup> C バスフォーマットの場合、SCL=ハイレベルの状態ではSDAがハイレベルからローレベルに変化すると、開始条件が発行されたと認識して1にセットされます。SCL=ハイレベルの状態ではSDAがローレベルからハイレベルに変化すると、停止条件が発行されたと認識して0にクリアされます。開始条件を発行する場合はBBSYに1、SCPに0を同時にライトします。開始条件再送時も同様に行います。停止条件の発行はBBSYに0、SCPに0を同時にライトすることで行います。
6	SCP	1	R/W	開始／停止条件発行禁止 SCPビットはマスタモードで開始条件／停止条件の発行を制御します。開始条件を発行する場合、BBSYに1、SCPに0を同時にライトします。開始条件の再送信時も同様に行います。停止条件の発行はBBSYに0、SCPに0を同時にライトすることで行います。本ビットはリードすると常に1が読み出されます。1をライトしてもデータは格納されません。
1	IICRST*	0	R/W	IICコントロール部リセット IICRSTはI <sup>2</sup> Cバスのレジスタを除くコントロール部をリセットします。I <sup>2</sup> Cバスの動作中に通信不具合などによりハングアップしたとき、IICRSTビットを1にセットするとIIC3の一部のレジスタとコントロール部をリセットすることができます。

【注】 \* ICCR2のIICRSTビットに1をライトすると、下記の状態になります。

IICRST=1によるリセット期間中は、データ送受信を停止します。しかし、開始条件、停止条件、バス競合負けを検出する機能は動作しています。SCL端子、SDA端子へ入力された信号によっては、ICCR1、ICCR2、ICSRの状態が更新される場合がありますのでリセット後は初期設定を実施してください。

8. 「19. I<sup>2</sup>C バスインタフェース 3 (IIC3)」 19.4.2 マスタ送信動作に以下のように注を追加します。

《SH7214 グループ、SH7216 グループのみ》

【変更後】

【注】 \*NACKF=1 を検出した場合、転送終了処理で必ず NACKF をクリアしてください。クリアするまでは次の送信/受信ができません。

9. 「19. I<sup>2</sup>C バスインタフェース 3 (IIC3)」 19.4.4 スレーブ送信動作に以下のように注を追加します。

《SH7214 グループ、SH7216 グループのみ》

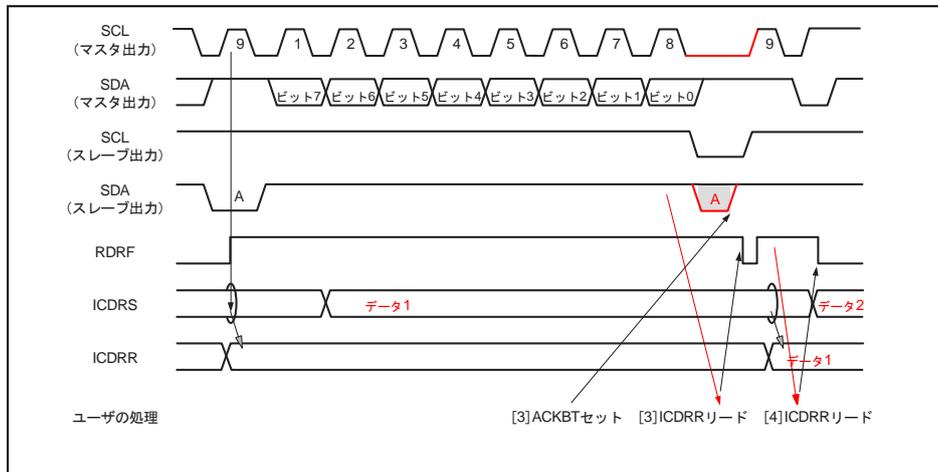
【変更後】

【注】 \*NACKF=1 を検出した場合、転送終了処理で必ず NACKF をクリアしてください。クリアするまでは次の送信/受信ができません。

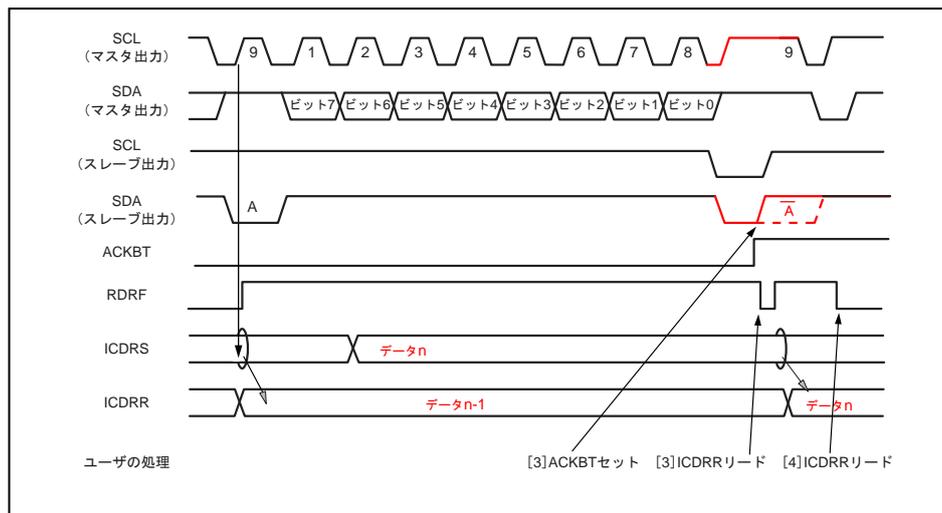
10. 「19. I<sup>2</sup>C バスインタフェース 3 (IIC3)」 19.4.5 スレーブ受信動作の図 19.12 スレーブ受信モード動作タイミング (2) を以下のように修正します。

《SH7214 グループ、SH7216 グループのみ》

【変更前】



【変更後】



1 1. 「19. I<sup>2</sup>C バスインタフェース 3 (IIC3)」 19.6 DTC による動作を以下のように修正します。

《SH7214 グループ、SH7216 グループのみ》

【変更前】

19.6 DTC による動作

I<sup>2</sup>C バスフォーマットでは、スレーブアドレスと R/ $\overline{W}$  ビットによるスレーブデバイスおよび転送方向の選択や、アクノリッジビットによる受信の確認および最終フレームの表示などが行われるため、DTC によるデータの連続転送は、割り込みによる CPU 処理と組み合わせて行う必要があります。

DTC を利用した処理の例を表 19.5 に示します。スレーブモードでも転送データ数がわかっていると仮定しています。

【変更後】

19.6 DMAC/DTC による動作

I<sup>2</sup>C バスフォーマットでは、スレーブアドレスと R/ $\overline{W}$  ビットによるスレーブデバイスおよび転送方向の選択や、アクノリッジビットによる受信の確認および最終フレームの表示などが行われるため、DMAC/DTC によるデータの連続転送は、割り込みによる CPU 処理と組み合わせて行う必要があります。

DMAC/DTC を利用した処理の例を表 19.5 に示します。スレーブモードでも転送データ数がわかっていると仮定しています。

1 2. 「19. I<sup>2</sup>C バスインタフェース 3 (IIC3) 」 19.6 DTC による動作 表 19.5 DTC による動作例を以下のよう修正します。

《SH7214 グループ、SH7216 グループのみ》

【変更前】

表 19.5 DTC による動作例

項目	マスタ送信モード	マスタ受信モード	スレーブ送信モード	スレーブ受信モード
スレーブアドレス+R/ $\overline{W}$ ビット送信/受信	DTC で送信 (ICDR ライト)	CPU で送信 (ICDR ライト)	CPU で受信 (ICDR リード)	CPU で受信 (ICDR リード)
ダミーデータリード	-	CPU で処理 (ICDR ライト)	-	-
本体データ送信/受信	DTC で送信 (ICDR ライト)	DTC で受信 (ICDR リード)	DTC で送信 (ICDR ライト)	DTC で受信 (ICDR リード)
最終フレーム処理	不要	CPU で受信 (ICDR リード)	不要	CPU で受信 (ICDR リード)
DTC 転送データフレーム数設定	送信：実データ数+1 (+1 は、スレーブアドレス+R/ $\overline{W}$ ビット分)	受信：実データ数	送信：実データ数	受信：実データ数

【変更後】

表 19.5 DMAC/DTC による動作例

項目	マスタ送信モード	マスタ受信モード	スレーブ送信モード	スレーブ受信モード
スレーブアドレス+R/ $\overline{W}$ ビット送信/受信	DMAC/DTC で送信* (ICDRT ライト)	CPU で送信 (ICDRT ライト)	CPU で受信 (ICDRR リード)	CPU で受信 (ICDRR リード)
ダミーデータリード	-	CPU で処理 (ICDRR リード)	-	CPU で処理 (ICDRR リード)
本体データ送信/受信	DMAC/DTC で送信 (ICDRT ライト)	DMAC/DTC で受信 (ICDRR リード)	DMAC/DTC で送信 (ICDRT ライト)	DMAC/DTC で受信 (ICDRR リード)
最終フレーム処理	不要	CPU で受信 (ICDRR リード)	不要	CPU で受信 (ICDRR リード)
DTC 転送データフレーム数設定	送信：実データ数+1 (+1 は、スレーブアドレス+R/ $\overline{W}$ ビット分)	受信：実データ数	送信：実データ数	受信：実データ数

【注】 \* 開始条件を発行 (BBSY=1、SCP=0 をライト) してから、DMAC/DTC 転送を許可してください。

13. 「22. ピンファンクションコントローラ (PFC)」 表 22.7 動作モード別端子機能一覧を以下のように修正します。

《SH7214 グループ、SH7216 グループのみ》

【変更前】

ピン番号 BGA	ピン番号 LQFP	端子名				PFC で 設定可能な 機能
		初期機能				
		内蔵 ROM 無効		内蔵 ROM 有効	シングルチップ	
		MCU モード 0	MCU モード 1	MCU モード 2	MCU モード 3	
B5	167	PE9			PE9/DACK2/TIOC3B/TX_EN	
C5	168	PE10			PE10/DREQ3/TIOC3C/SSL3/ TXD2/TX_CLK	

【変更後】

ピン番号 BGA	ピン番号 LQFP	端子名				PFC で 設定可能な 機能
		初期機能				
		内蔵 ROM 無効		内蔵 ROM 有効	シングルチップ	
		MCU モード 0	MCU モード 1	MCU モード 2	MCU モード 3	
B5	168	PE9			PE9/DACK2/TIOC3B/TX_EN	
C5	167	PE10			PE10/DREQ3/TIOC3C/SSL3/ TXD2/TX_CLK	

14. 「27. フラッシュメモリ (ROM)」 の表 27.13 FCU のモード/状態と受け付け可能なコマンドの関係を以下のよう修正します。(章番号および表番号は SH7214 グループ、SH7216 グループのもです。SH7239 グループ、SH7237 グループでは 23 章の表番号 23.12 となります。)

【変更前】

項目	P/E ノーマルモード			ステータスリードモード							ロックビットリードモード		
	書き込みサスペンド中	消去サスペンド中	その他の状態	書き込み/消去の処理中	書き込み/消去の中断処理中	ロックビットリード処理中	書き込みサスペンド中	消去サスペンド中	コマンドロック状態	その他の状態	書き込みサスペンド中	消去サスペンド中	その他の状態
FSTATR0 レジスタの FRDY ビット	1	1	1	0	0	0	1	1	0/1	1	1	1	1
FSTATR0 レジスタの SUSRDY ビット	0	0	0	1	0	0	0	0	0	0	0	0	0
FSTATR0 レジスタの ERSSPD ビット	0	1	0	0	0/1	0	0	1	0	0	0	1	0
FSTATR0 レジスタの PRGSPD ビット	1	0	0	0	0/1	0	1	0	0	0	1	0	0
FASTAT レジスタの CMDLK ビット	0	0	0	0	0	0	0	0	1	0	0	0	0
ノーマルモード移行	○	○	○	×	×	×	○	○	×	○	○	○	○
ステータスリードモード移行	○	○	○	×	×	×	○	○	×	○	○	○	○
ロックビットリードモード移行(ロックビットリード1)	○	○	○	×	×	×	○	○	×	○	○	○	○
プログラム	×	△	○	×	×	×	×	△	×	○	×	△	○
ブロックイレーズ	×	×	○	×	×	×	×	×	×	○	×	×	○
P/E サスペンド	×	×	×	○	×	×	×	×	×	×	×	×	×
P/E レジューム	○	○	×	×	×	×	○	○	×	×	○	○	×
ステータスレジスタクリア	○	○	○	×	×	×	○	○	○	○	○	○	○
ロックビットリード2	○	○	○	×	×	×	○	○	×	○	○	○	○
ロックビットプログラム	×	△	○	×	×	×	×	△	×	○	×	△	○
周辺クロック通知	×	×	○	×	×	×	×	×	×	○	×	×	○

【変更後】

項目	P/E ノーマルモード			ステータスリードモード									ロックビット リードモード		
	書き込みサスペンド中	消去サスペンド中	その他の状態	書き込み／消去の処理中	消去サスペンド中の書き込み処理中	書き込み／消去の中断処理中	ロックビットリードの処理中	書き込みサスペンド中	消去サスペンド中	コマンドロック状態 (FRDY=0)	コマンドロック状態 (FRDY=1)	その他の状態	書き込みサスペンド中	消去サスペンド中	その他の状態
FSTATR0 レジスタの FRDY ビット	1	1	1	0	0	0	0	1	1	0	1	1	1	1	1
FSTATR0 レジスタの SUSRDY ビット	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
FSTATR0 レジスタの ERSSPD ビット	0	1	0	0	1	0/1	0/1	0	1	0/1	0/1	0	0	1	0
FSTATR0 レジスタの PRGSPD ビット	1	0	0	0	0	0/1	0/1	1	0	0/1	0/1	0	1	0	0
FASTAT レジスタの CMDLK ビット	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0
ノーマルモード移行	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
ステータスリードモード移行	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
ロックビットリードモード移行 (ロックビットリード1)	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
プログラム	×	△	○	×	×	×	×	×	△	×	×	○	×	△	○
ブロックイレーズ	×	×	○	×	×	×	×	×	×	×	×	○	×	×	○
P/E サスペンド	×	×	×	○	×	×	×	×	×	×	×	×	×	×	×
P/E レジューム	○	○	×	×	×	×	×	○	○	×	×	×	○	○	×
ステータスレジスタクリア	○	○	○	×	×	×	×	○	○	×	○	○	○	○	○
ロックビットリード2	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
ロックビットプログラム	×	△	○	×	×	×	×	×	△	×	×	○	×	△	○
周辺クロック通知	×	×	○	×	×	×	×	×	×	×	×	○	×	×	○

15. 「27. フラッシュメモリ (ROM)」 27.3.7 フラッシュステータスレジスタ 0 (FSTATR0) の SUSRDY ビットを以下のように修正します。(章番号は SH7214 グループ、SH7216 グループのもので、SH7239 グループ、SH7237 グループでは 23 章となります。)

【変更前】

ビット	ビット名	初期値	R/W	説明
3	SUSRDY	0	R	サスペンドレディビット FCU が P/E サスペンドコマンドを受け付け可能であることを示すビットです。 0：P/E サスペンドコマンド受け付け不可能 1：P/E サスペンドコマンド受け付け可能 [セット条件] ・書き込み/消去処理を開始後、P/E サスペンドコマンドの受け付けが可能な状態に遷移した [クリア条件] ・P/E サスペンドコマンドを受け付けた ・書き込み/消去処理中に、コマンドロック状態に遷移した

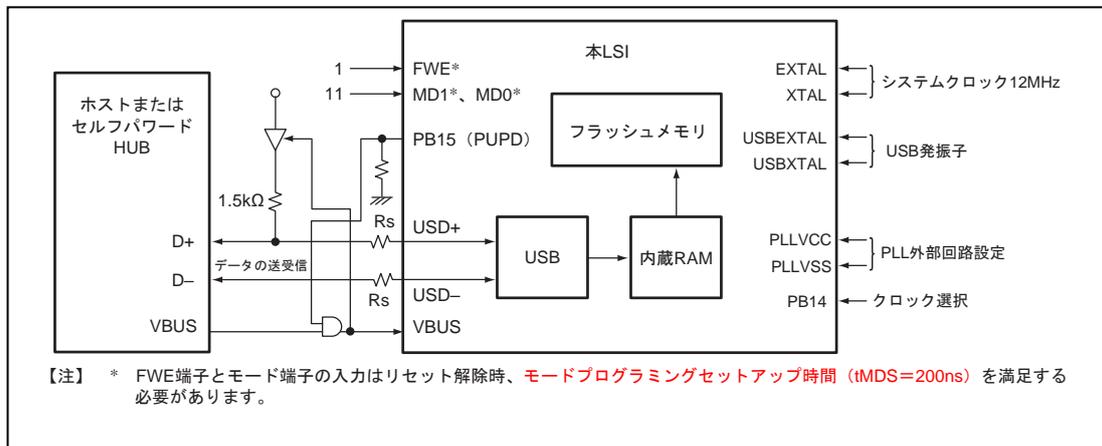
【変更後】

ビット	ビット名	初期値	R/W	説明
3	SUSRDY	0	R	サスペンドレディビット FCU が P/E サスペンドコマンドを受け付け可能であることを示すビットです。 0：P/E サスペンドコマンド受け付け不可能 1：P/E サスペンドコマンド受け付け可能 [セット条件] ・書き込み/消去処理を開始後、P/E サスペンドコマンドの受け付けが可能な状態に遷移した [クリア条件] ・P/E サスペンドコマンドを受け付けた ・書き込み/消去処理中に、コマンドロック状態に遷移した ・書き込み/消去処理が終了した

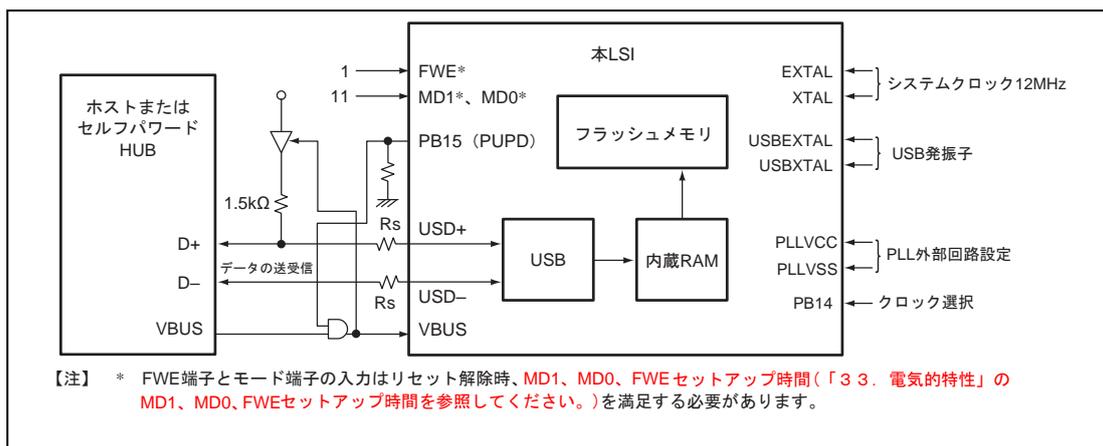
16. 「27. フラッシュメモリ (ROM)」 27.5.4 USB ブートモードの図 27.9 USB ブートモード時のシステム構成図を以下のように修正します。

《SH7214 グループ、SH7216 グループのみ》

【変更前】



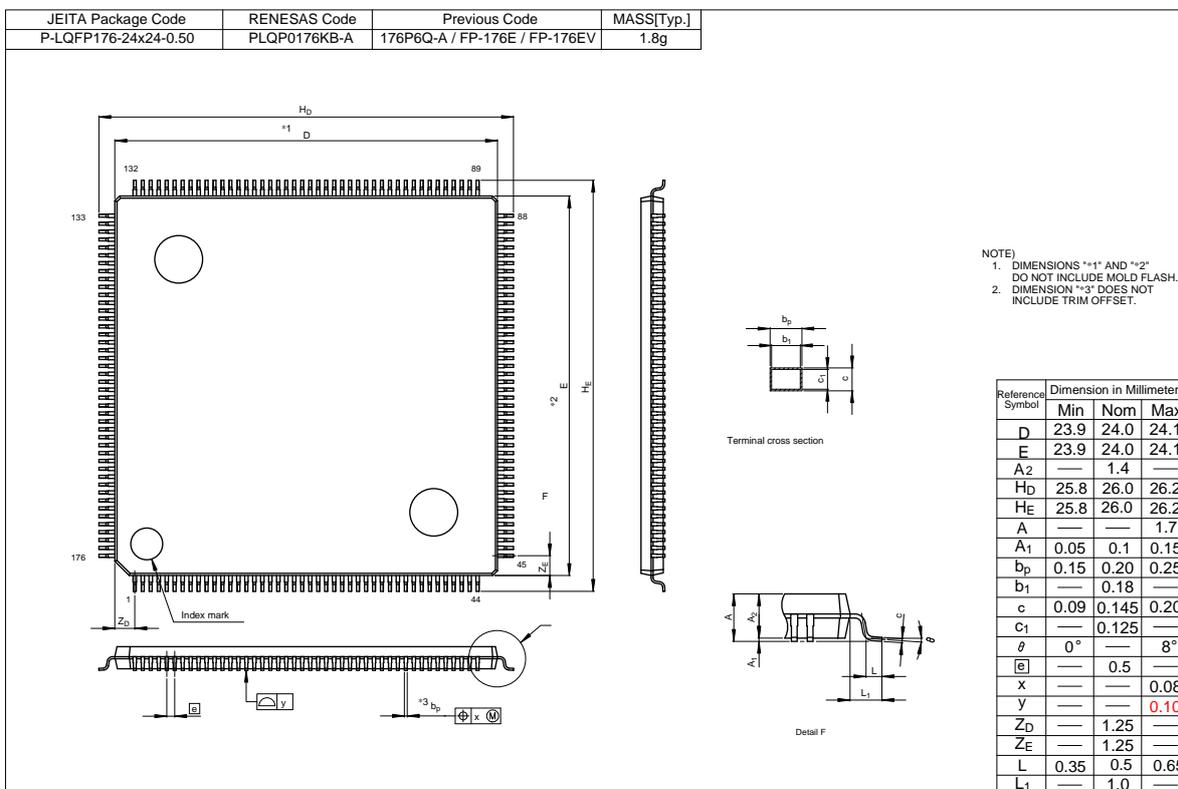
【変更後】



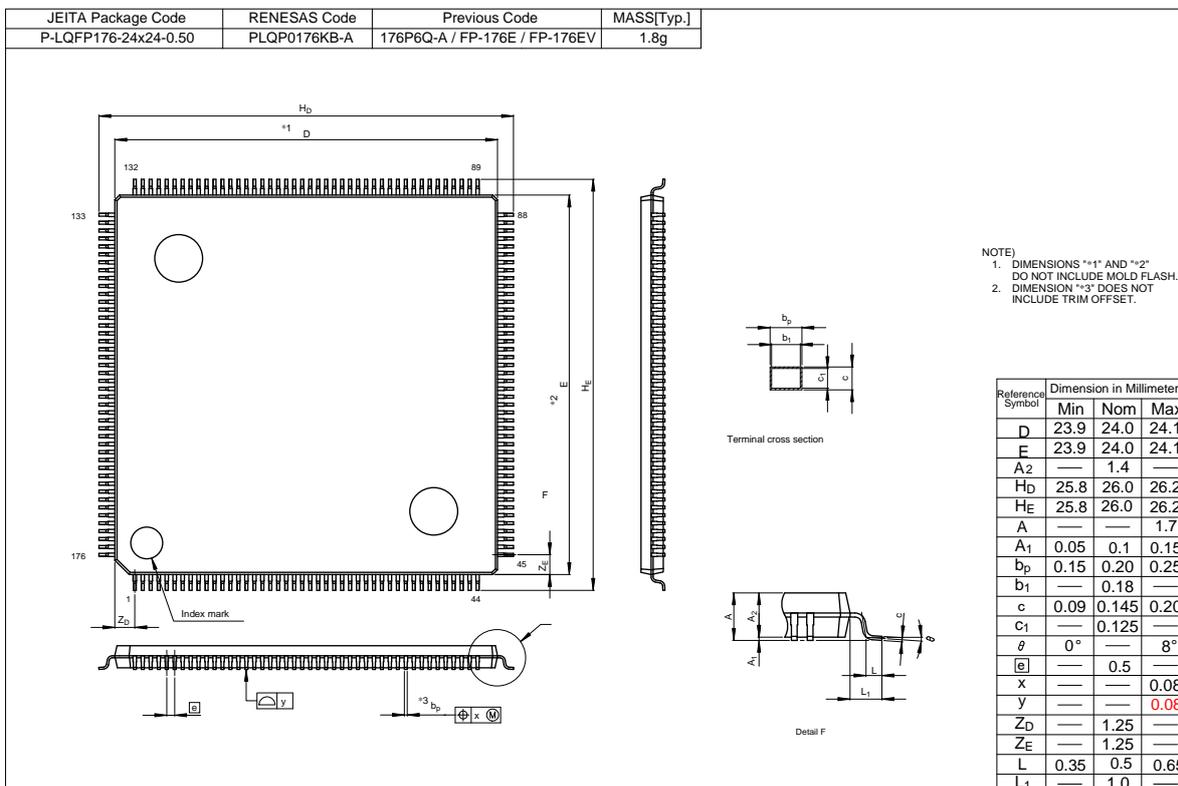
17. 「付録」 C. 外形寸法図の図 C.1 外形寸法図 (1) を以下のように修正します。

《SH7214 グループ、SH7216 グループのみ》

【変更後】



【変更後】



以上