

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル
株式会社 ルネサス テクノロジ

問合せ窓口 <http://japan.renesas.com/inquiry>

E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-SH7-A744A/J	Rev.	第1 版
題名	SH7280 グループハードウェアマニュアル誤記訂正		情報分類	技術情報	
適用製品	・ SH7280 グループ	対象ロット等	関連資料	・ SH7280 グループハードウェア マニュアル (RJJ09B0366-0200(H))	
		全ロット			

上記適用製品のハードウェアマニュアルにおいて、誤記がございましたので、訂正のご連絡を致します。

詳細は、以下をご参照ください。

「7 章 ユーザブ레이크コントローラ(UBC)」 P7-26 に説明追加します。

【変更後】

7.5 割り込み要因

7.5.1 割り込み要因

UBC の割り込み要因にはユーザブ레이크割り込みがあります。

表 7.4 に割り込み要因を示します。

ブ레이크コントロールレジスタ(BRCR)のコンペアマッチフラグ SCMFD3~0、SCMFC3~0 ビットのいずれかに 1 がセットされたとき、ユーザブ레이크割り込みが発生します。

割り込みフラグビットを 0 にクリアすることで割り込み要求は解除されます。

表 7.4 割り込み要因

名称	割り込み要因	割り込み許可ビット	割り込みフラグ	割り込みレベル
ユーザ ブ레이크	ユーザブ레이크 割り込み	-	SCMFD3, SCMFD2, SCMFD1, SCMFD0, SCMFC3, SCMFC2, SCMFC1, SCMFC0	15 固定

「8 章 データトランスファコントローラ(DTC)」 P8-29,30、「8.5.9 DTC のバス権解放タイミング」の表 8.1 の注記を以下に変更追加します。

【変更後】

設定 2 では以下の制限があります。

周波数制限レジスタ(FRQCR)によるクロック設定は、IΦ:BΦ:PΦ:MΦ:AΦ=8:4:4:4:4、8:4:4:8:4 にしてください。

設定 3 では以下の制限があります。

BSCEHR の DTPR ビットは 0 で使用してください。1 は設定禁止です。

「8 章 データトランスファコントローラ(DTC)」 P8-31、「8.5.10 DTC の起動優先順位」に以下の注記を追加します。

【変更後】

次の起動要因が来る前に DTC リクエストが発生した場合は、最初に要求のあった要因から転送を開始しますが、DTC リクエストが発生する前に優先度の高い起動要因が来た場合は、優先度の高い要因から転送を開始します。なお、DTC リクエストは内部バスの動作状態により発生タイミングが変化します。

「9 章 バスステートコントローラ(BSC)」 P9-42、「9.4.8 バス機能拡張レジスタ(BSCEHR)」の説明を以下のように修正します。

【変更前】

DTBST 説明

1．周波数制御レジスタ(FRQCR)によるクロック設定は、IΦ:BΦ:PΦ:MΦ:AΦ=8:4:4:4:4、4:2:2:2:2、2:1:1:1:1 にしてください。

DTPR 説明

ただし、DTC 起動中に複数の DTC 起動要求が発生した場合には DTC 起動優先順位に従って次の転送が行われます。

【注】本ビットを 1 に設定する場合は、以下の制限があります。

- 1．ベクタ情報は、内蔵 ROM または内蔵 RAM に配置してください。
- 2．転送情報は ROM に配置してください。
- 3．転送情報リードスキップ機能は常に無効となります。

【変更後】

DTBST 説明

1．周波数制御レジスタ(FRQCR)によるクロック設定は、IΦ:BΦ:PΦ:MΦ:A fΦ=8:4:4:4:4、8:4:4:8:4 にしてください。

DTPR 説明

詳細は「8.5.10 DTC 起動の優先順位」を参照下さい。

【注】本ビットを 1 に設定する場合は、以下の制限があります。

- 1．ベクタ情報は、内蔵 ROM または内蔵 RAM に配置してください。
- 2．転送情報は RAM に配置してください。
- 3．転送情報リードスキップ機能は常に無効となります。
- 4．DTLOCK=0 にて使用してください。DTLOCK=1 は設定禁止です。

「9 章 バスステートコントローラ(BSC)」 P9-88、「9.5.7 パースト ROM(クロック非同期)インターフェース」の表 9.17 に注記を追加します。

【変更後】

アクセスバイトサイズ 16 バイトの転送は DMAC のみ使用可能です。DTC、CPU によるアクセスサイズは最大 32 ビットとなります。

「9 章 バスステートコントローラ(BSC)」 P9-93、「9.5.9 パースト ROM(クロック同期)インターフェース」の説明を以下のように修正します。

【変更前】

このような空読み出しサイクルは、メモリアクセスタイムの増加をもたらし、プログラム実行速度の低下およびDMA 転送速度の低下を招くので、キャッシュ有効区間でのキャッシュフルによる 16 バイト転送や、DMA による 16 バイトリードを有効に活用することが重要です。

【変更後】

このような空読み出しサイクルは、メモリアクセスタイムの増加をもたらし、プログラム実行速度の低下およびDMA 転送速度の低下を招くので、DMA による 16 バイトリードを有効に活用することが重要です。

「9 章 バスステートコントローラ(BSC)」 P9-104 に説明追加します。

【変更後】

9.6 割り込み要因

9.6.1 割り込み要因

BSC の割り込み要因にはコンペアマッチ割り込み(CMI)があります。

表 9.23 に割り込み要因を示します。割り込み要因は、リフレッシュタイマコントロール/ステータスレジスタ(RTCSR)のコンペアマッチインタラプトイネーブルビット(CMIE)で、許可または禁止ができます。

RTCSR のコンペアマッチフラグ(CMF)に 1 がセットされ、かつコンペアマッチインタラプトイネーブルビット(CMIE)に 1 がセットされているとき、コンペアマッチ割り込み(CMI)が発生します。

割り込みフラグビットを 0 にクリアすることで割り込み要求は解除されます。

表 9.23 割り込み要因

名称	割り込み要因	割り込み許可ビット	割り込みフラグ
CMI	コンペアマッチ割り込み	CMIE	CMF

「10 章 ダイレクトメモリアクセスコントローラ(DMAC)」 P10-42 に説明追加します。

【変更後】

10.5 割り込み要因

10.5.1 割り込み要因と優先順位

DMAC の割り込み要因は各チャネル毎にデータ転送終了割り込み(DEI)とデータ転送 1/2 終了割り込み(HEI)の 2 種類があります。

表 10.11 に各割り込み要因と優先順位を示します。各割り込み要因は、DMA チャネルコントロールレジスタ(CHCR)の IE ビットおよび HIE ビットで、許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

DMA チャネルコントロールレジスタ(CHCR)のトランスファエンドフラグに 1 がセットされ、かつトランスファエンドインタラプトイネーブルビット(IE)に 1 がセットされているとき、データ転送終了割り込み(DEI)が発生します。

DMA チャネルコントロールレジスタ(CHCR)のハーフエンドフラグに 1 がセットされ、かつハーフエンドインタラプトイネーブルビット(HIE)に 1 がセットされているとき、データ転送 1/2 終了割り込み(HEI)が発生します。

割り込みフラグビットを 0 にクリアすることで割り込み要求は解除されます。

チャネル間の優先順位は、割り込みコントローラにより変更可能です。チャネル内の優先順位は固定です。詳細は「第 6 章 割り込みコントローラ(INTC)」を参照してください。

表 10.11 割り込み要因

チャネル	割り込み要因	割り込み許可ビット	割り込みフラグビット	優先順位
0	データ転送終了割り込み(TEI_0)	IE	TE	高 ↑ ↓ 低
	データ転送 1/2 終了割り込み(HEI_0)	HIE	HE	
1	データ転送終了割り込み(TEI_1)	IE	TE	
	データ転送 1/2 終了割り込み(HEI_1)	HIE	HE	
2	データ転送終了割り込み(TEI_2)	IE	TE	
	データ転送 1/2 終了割り込み(HEI_2)	HIE	HE	
3	データ転送終了割り込み(TEI_3)	IE	TE	
	データ転送 1/2 終了割り込み(HEI_3)	HIE	HE	
4	データ転送終了割り込み(TEI_4)	IE	TE	
	データ転送 1/2 終了割り込み(HEI_4)	HIE	HE	
5	データ転送終了割り込み(TEI_5)	IE	TE	
	データ転送 1/2 終了割り込み(HEI_5)	HIE	HE	
6	データ転送終了割り込み(TEI_6)	IE	TE	
	データ転送 1/2 終了割り込み(HEI_6)	HIE	HE	
7	データ転送終了割り込み(TEI_7)	IE	TE	
	データ転送 1/2 終了割り込み(HEI_7)	HIE	HE	

「14 章 コンペアマッチタイマ(CMT)」 P14-6「14.4.1 割り込み要因と DTC/DMA 転送要求」に説明追加します。

【変更後】

表 14.2 割り込み要因

チャネル	割り込み要因	割り込み許可ビット	割り込みフラグビット	DMAC/DTC の起動	優先順位
0	CMIO	CMIE	CMF	可	高
1	CM11	CMIE	CMF	可	低

「15 章 ウォッチドッグタイマ(WDT)」 P15-12 に説明追加します。

【変更後】

15.5 割り込み要因

15.5.1 割り込み要因

WDT の割り込み要因にはインターバルタイマ割り込み(ITI)があります。

表 15.3 に割り込み要因を示します。割り込み要因は、ウォッチドッグタイマコントロールステータスレジスタ(WTCSR)のインターバルタイマオーバフローフラグビット(IOVF)に 1 がセットされているとき、インターバルタイマ割り込み(ITI)が発生します。割り込みフラグビットを 0 にクリアすることで割り込み要求は解除されます。

表 15.3 割り込み要因

名称	割り込み要因	割り込み許可ビット	割り込みフラグビット
ITI	インターバルタイマ割り込み	-	インターバルタイマオーバフローフラグ(IOVF)

「16 章 シリアルコミュニケーションインターフェース(SCI)」 P16-12,13,14,15 「16.3.7 シリアルステータスレジスタ(SCSSR)」の各ビットの説明の一部を以下に修正します。

【変更前】

パワーオンリセット、スタンバイモード時

【変更後】

パワーオンリセット、モジュールスタンバイモード時

「16 章 シリアルコミュニケーションインターフェース(SCI)」 P16-41 図 16.12 シリアルデータ受信フローチャートの例(1)のフローチャートの説明を以下に修正します。

【変更前】

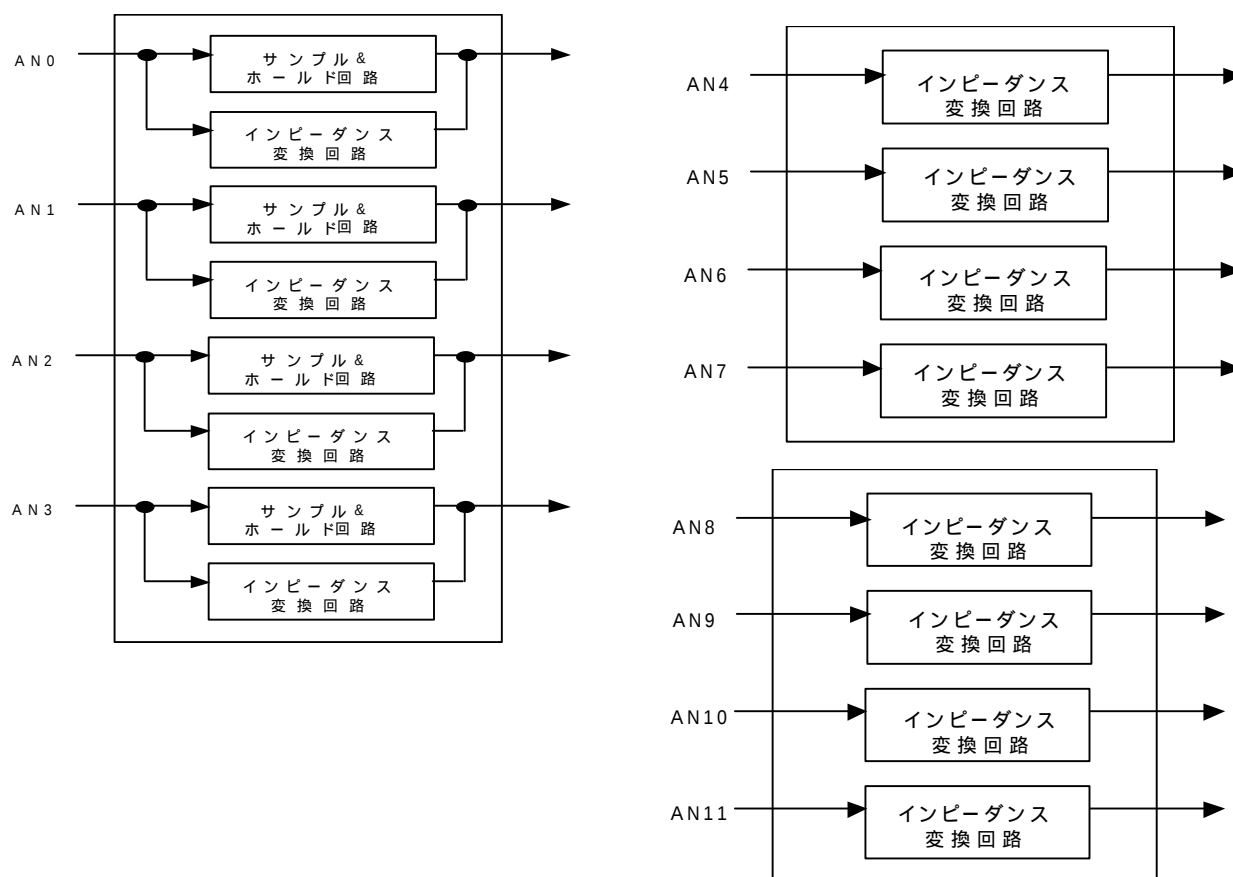
SCSCR の CKE1, CKE0 ビットを設定(TE,RE ビットは 0)

【変更後】

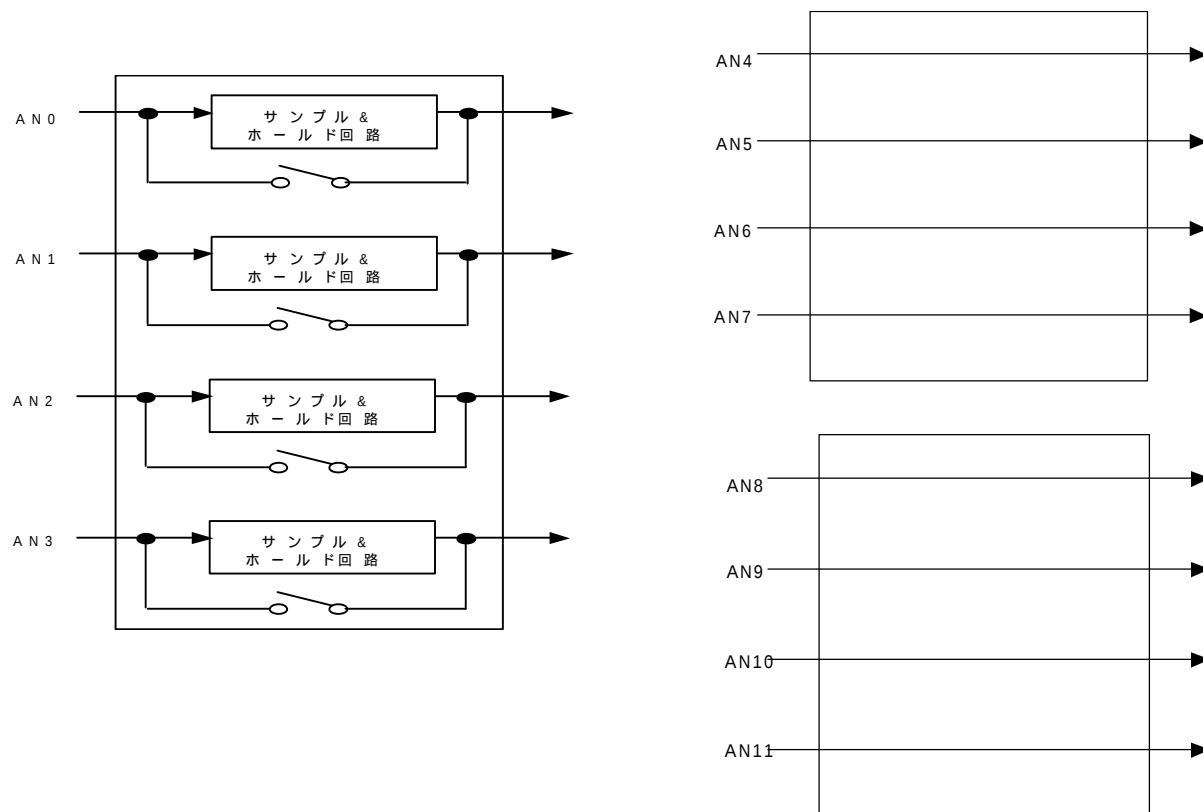
SCRDR の受信データを読み出し SCSSR の RDRF フラグを 0 にクリア

「20章 A/D変換機(ADC)」 P20-3 図20.1 A/D変換機のブロック図の一部を変更します。

【変更前】



【変更後】



「2 0 章 A/D 変換機(ADC)」 P20-29 「20.75 ノイズ対策上の注意」 の説明の一部を変更します。

【変更前】

また、AVREF に接続するためのバイパスコンデンサおよび ANn に接続するフィルタのコンデンサは AVss に接続してください。

【変更後】

また、AVREF に接続するためのバイパスコンデンサおよび ANn に接続するフィルタのコンデンサは AVREFVSS に接続してください。

図 20.10 に示す 0.1 μ F のコンデンサは、できる限り端子の近くに配置してください。

「2 2 章 コントローラエリアネットワーク(RCAN-ET)」 P22-23 「21.4.3 ビットコンフィギュレーションレジスタ 0 ,1 (BCR0, BCR1)」の(2) BCR0 の説明の一部を修正します。

【変更前】

ビット	ビット名	初期値	R/W	説明
7 ~ 0	BPR[7:0]	0000000	R/W	ボーレートプリスケール これらのビットは、1 タイムクオンタに対する周辺バスクロック数を設定します。 0000000 : 2×周辺バスクロック 0000001 : 4×周辺バスクロック 0000010 : 6×周辺バスクロック : 2×(レジスタ値+1)×周辺バスクロック 1111111 : 512×周辺バスクロック

【変更後】

ビット	ビット名	初期値	R/W	説明
7 ~ 0	BPR[7:0]	00000000	R/W	ボーレートプリスケール これらのビットは、1 タイムクオンタに対する周辺バスクロック数を設定します。 00000000 : 2×周辺バスクロック 00000001 : 4×周辺バスクロック 00000010 : 6×周辺バスクロック : 2×(レジスタ値+1)×周辺バスクロック 01111111 : 512×周辺バスクロック

「2 2 章 コントローラエリアネットワーク(RCAN-ET)」 P22-59 「21.11.2 リセット」の説明の一部を修正します。

【変更前】

- ・ ハードウェアリセット

パワーオンリセット、モジュールスタンバイ、ソフトウェアスタンバイでは RCAN-ET は初期化されます。

【変更後】

- ・ ハードウェアリセット

パワーオンリセット、モジュールスタンバイでは RCAN-ET は初期化されます。

「2 4 章 I/O ポート」 P24-8 「24.1.3 ポート A ポートレジスタ H,L(PAPRH, PAPRL)」の説明の一部を修正します。

【変更前】

PAPRH および PAPRL は、読み出しのみ可能な 16 ビットのレジスタで、PFC の設定にかかわらず常に端子の状態を読み出すことができます。

【変更後】

PAPRH および PAPRL は、読み出しのみ可能な 16 ビットのレジスタで、端子の状態を読み出すことができます。ただし、PA8 を SCIF 機能に設定し、SCSCR レジスタの TE=0 かつ SCSPTR レジスタの SPBI0=0 の場合は、該当する端子の状態を読み出すことはできません。

「2 4 章 I/O ポート」 P24-31 「24.4.3 ポート D ポートレジスタ H,L(PDPRH, PDPRL)」の説明の一部を修正します。

【変更前】

PDPRH および PDPRL は、読み出しのみ可能な 16 ビットのレジスタで、PFC の設定にかかわらず常に端子の状態を読み出すことができます。

【変更後】

PDPRH および PDPRL は、読み出しのみ可能な 16 ビットのレジスタで、端子の状態を読み出すことができます。ただし、PD18 を SCIF 機能に設定し、SCSCR レジスタの TE=0 かつ SCSPTR レジスタの SPBI0=0 の場合は、該当する端子の状態を読み出すことはできません。

「3 1 章 電気的特性」 P31-1 「31.1 絶対最大定格」の説明の一部を修正します。

【変更前】

項目	記号	定格値	単位
電源電圧	DrVcc	-0.2 ~ +4.3	V

【変更後】

項目	記号	定格値	単位
電源電圧	DrVcc	-0.2 ~ +7.0	V

「3 1 章 電気的特性」 P31-41 「31.3.6 MTU2,MTU2S モジュールタイミング」の注記の一部を修正します。

【変更前】

【注】tpcyc は周辺クロック(PΦ)の周期を示します。

【変更後】

【注】tpcyc は周辺クロック(PΦ)の周期を示します。MTU2S の場合は、MTU2S クロック(MΦ)になります。