

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

# RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル  
株式会社 ルネサス テクノロジ  
問合せ窓口 <http://japan.renesas.com/inquiry>  
E-mail: [csc@renesas.com](mailto:csc@renesas.com)

No 10 製品分類	MPU & MCU	発行番号	TN-SH7-A754A/J	Rev.	第1版
題名	SH7216 グループハードウェアマニュアル誤記訂正		情報分類	技術情報	
適用製品	<ul style="list-style-type: none"> <li>・ SH7216 グループ</li> <li>・ SH7214 グループ</li> </ul>	対象ロット等	関連資料	<ul style="list-style-type: none"> <li>・ SH7216 グループハードウェア マニュアル (RJJ09B0575-0101)</li> </ul>	
		週コード 0924 以降			

上記適用製品のハードウェアマニュアルにおいて、誤記がございましたので、訂正のご連絡を致します。  
詳細は、以下をご参照ください。

「1章 概要」 表 1.1 の項目および特徴に製品型名を追加します。

#### 【変更前】

項目	特徴
FPU	浮動小数点コプロセッサ
クロックパルス発振器 (CPG)	CPUクロック：最大 200MHz
イーサネットコントローラ (Ether-C)	MAC(Media Access Control 機能)
内蔵 ROM	1M バイト内蔵
内蔵 RAM	8 ページ 128k バイト内蔵
パッケージ	LQFP2424-176(0.5 ピッチ) LQFP2020-176(0.4 ピッチ)

#### 【変更後】

項目	特徴
FPU (SH7216A, SH7216B, SH7216G, SH7216H のみ)	浮動小数点コプロセッサ
クロックパルス発振器 (CPG)	CPUクロック：最大 200MHz (SH7216A, SH7216B, SH7214A, SH7214B) ：最大 100MHz (SH7216G, SH7216H, SH7214G, SH7214H)
イーサネットコントローラ (Ether-C) (SH7216A, SH7214A, SH7216G, SH7214G のみ)	MAC(Media Access Control 機能)
内蔵 ROM	1M バイト、768k バイト、512k バイト
内蔵 RAM	8 ページ、6 ページ、4 ページ 128k バイト、96k バイト、64k バイト
パッケージ	LQFP2424-176 (0.5 ピッチ) LQFP2020-176 (0.4 ピッチ) BGA1313-176 (0.8 ピッチ)

「1章 概要」 P1-9、図 1.2 ピン配置図 に BGA パッケージのピン配置を追加します。

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15									
A	PE1	VSS	PE14	PE11	PE8	VSS	PA2	VSS	AVREF VSS	PF5	AVREF	PF3	PF0	AVREF VSS	RES	A								
B	PE3	PE0	VCCQ	PE13	PE9	PE7	PA3	PA0	AVSS	PF6	AVREF	PF1	ASEMD 0	VCL	VSS	B								
C	PE6	PE4	PE2	PE12	PE10	PA5	PA1	VCL	MD0	AVCC	AVCC	TRST	FWE	VCCQ	TDO	C								
D	PA21	PE5	VCL	PE15	VCCQ	PA4	WDTO VF	MD1	PF7	PF4	PF2	AVSS	TCK	TMS	TDI	D								
E	PA18	PA19	PA20	VSS	<b>BP-176V (上面図)</b>								PLLVC C	PLLVS S	EXTAL	XTAL	E							
F	PA16	PA15	PA17	VSS									PB14	NMI	PB15	VSS	F							
G	PA13	VSS	VCCQ	PA14									DrVSS	VBUS	USD-	USD+	G							
H	PC2	PC3	PC1	PC0									PB12	PB13	DrVCC	VSS	H							
J	PC6	PC7	PC5	PC4									VCL	VCCQ	USBEX TAL	USBXT AL	J							
K	PC9	PC10	PC8	VSS									PA8	PA7	PA6	VSS	K							
L	PC12	PC13	PC11	PC14									VSS	PA11	PA10	PA9	L							
M	PC15	VSS	VCCQ	PB0									PB8	VSS	PD4	PD5	VSS	PD14	PD19	PD21	PD30	VCCQ	PA12	M
N	VCL	PB1	PB5	PB7									PB10	PD1	VCCQ	PD10	PD11	VCL	PD16	VCCQ	PD27	PD29	PD31	N
P	PB2	PB3	VCL	VCCQ									PB11	PD3	PD7	PD9	PD13	VSS	PD18	PD22	PD24	PD25	PD28	P
R	PB4	PB6	VSS	PB9	PD0	PD2	PD6	PD8	PD12	PD15	PD17	PD20	PD23	VSS	PD26	R								
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15									

「1章 概要」 P1-9、図 1.2 ピン配置図 記載のピン機能を以下のように修正します。

【変更前】

No 48 PB7/A23/IRQ7/SCK4/TCLKC/TENDO

【変更後】

No 48 PB7/A23/IRQ7/SCK4/TCLKC/TENDO/RDWR

「2章 CPU」 P2-1 に説明を追加します。

【変更前】

SH2A/SH2A-FPU でサポートしているデータフォーマットを図 2.1 に示します。

【変更後】

SH2A/SH2A-FPU でサポートしているデータフォーマットを図 2.1 に示します。

なお、SH7216A, SH7216B, SH7216G, SH7216H は SH2A-FPU、SH7214A, SH7214B, SH7214G, SH7214H は SH2A になります。

「3章 MCU 動作モード」 P3-3 ~ 3-5、図 3.1 ~ 図 3.3 記載のアドレスを以下のように修正します。

【変更前】

H'0040 1FFF  
H'0040 2000

FCU ファーム領域(8KB)

H'0040 1FFF  
H'0040 2000

【変更後】

H'0040 1FFF  
H'0040 2000

FCU ファーム領域(8KB)

H'0040 3FFF  
H'0040 4000

「4章 クロックパルス発振器(CPG)」 P4-2 図 4.1 に注記を追加します。

【変更後】

I Max : 200MHz は SH7216A, SH7216B, SH7214A, SH7214B

I Max : 100MHz は SH7216G, SH7216H, SH7214G, SH7214H

「4章 クロックパルス発振器(CPG)」 P4-6 「4.3 クロック動作モード」 に注記を追加します。

【変更前】

最大周波数 : I =200MHz、B =50MHz、P =50MHz、M =100MHz、A =50MHz

【変更後】

最大周波数\* : I =200MHz/100MHz、B =50MHz、P =50MHz、M =100MHz、A =50MHz

\* I Max : 200MHz は SH7216A, SH7216B, SH7214A, SH7214B

I Max : 100MHz は SH7216G, SH7216H, SH7214G, SH7214H

「7章 ユーザブレークコントローラ(UBC)」 P7-26 に説明追加します。

【変更後】

7.5 割り込み要因

7.5.1 割り込み要因

UBC の割り込み要因にはユーザブレーク割り込みがあります。

表 7.4 に割り込み要因を示します。

ブレークコントロールレジスタ(BRCR)のコンペアマッチフラグ SCMFD3~0、SCMFC3~0 ビットのいずれかに 1 がセットされたとき、ユーザブレーク割り込みが発生します。

割り込みフラグビットを 0 にクリアすることで割り込み要求は解除されます。

表 7.4 割り込み要因

名称	割り込み要因	割り込み許可ビット	割り込みフラグ	割り込みレベル
ユーザ ブレーク	ユーザブレーク 割り込み	-	SCMFD3, SCMFD2, SCMFD1, SCMFDO, SCMFC3, SCMFC2, SCMFC1, SCMF0	15 固定

「8章 データトランスファコントローラ(DTC)」 P8-30、「8.5.9 DTC のバス権解放タイミング」の説明を以下のように修正します。

【変更前】

DTC は起動要求が発生するとバスアービタに対してバス権を要求します。DTC がバス権を解放するのは、ベクタリードの後、ベクタリード後の NOP の発行時、転送情報のリード後、1 回のデータ転送後、

【変更後】

DTC は起動要求が発生するとバスアービタに対してバス権を要求します。DTC がバス権を解放するのは、ベクタリードの後、転送情報のリード後、1 回のデータ転送後、

「8章 データトランスファコントローラ(DTC)」 P8-30、「8.5.9 DTC のバス権解放タイミング」の表 8.1 の注記を以下に変更追加します。

【変更後】

設定 2 では以下の制限があります。

周波数制限レジスタ(FRQCR)によるクロック設定は、I :B :P :M :A =16:4:4:4:4、16:4:4:8:4、8:4:4:4:4、8:4:4:8:4 にしてください。

設定 3 では以下の制限があります。

BSCEHR の DTPR ビットは 0 で使用してください。1 は設定禁止です。

「8章 データトランスファコントローラ(DTC)」 P8-32、「8.5.10 DTC の起動優先順位」に以下の注記を追加します。

【変更後】

次の起動要因が来る前に DTC リクエストが発生した場合は、最初に要求のあった要因から転送を開始しますが、DTC リクエストが発生する前に優先度の高い起動要因が来た場合は、優先度の高い要因から転送を開始します。なお、DTC リクエストは内部バスの動作状態により発生タイミングが変化します。

「8章 データトランスファコントローラ(DTC)」 P8-36、「8.9 使用上の注意事項」の説明を以下のように修正します。

【変更前】

スタンバイコントロールレジスタにより、DTCの動作禁止/許可を設定することができます。初期値ではDTCの動作禁止状態です。

【変更後】

スタンバイコントロールレジスタにより、DTCの動作禁止/許可を設定することができます。初期値ではDTCの動作状態です。

「9章 バスステートコントローラ(BSC)」 P9-42、「9.4.8 バス機能拡張レジスタ(BSCEHR)」の説明を以下のように修正します。

【変更前】

DTBST 説明

1. 周波数制御レジスタ(FRQCR)によるクロック設定は、I :B :P :M :A =4:2:2:2:2、または2:1:1:1:1にしてください。

DTPR 説明

ただし、DTC起動中に複数のDTC起動要求が発生した場合にはDTC起動優先順位に従って次の転送が行われます。

【注】本ビットを1に設定する場合は、以下の制限があります。

1. ベクタ情報は、内蔵ROMまたは内蔵RAMに配置してください。
2. 転送情報はROMに配置してください。
3. 転送情報リードスキップ機能は常に無効となります。

【変更後】

DTBST 説明

1. 周波数制御レジスタ(FRQCR)によるクロック設定は、I :B :P :M :A f =16:4:4:4:4、16:4:4:8:4、8:4:4:4:4、8:4:4:8:4にしてください。

DTPR 説明

詳細は「8.5.10 DTC 起動の優先順位」を参照下さい。

【注】本ビットを1に設定する場合は、以下の制限があります。

1. ベクタ情報は、内蔵ROMまたは内蔵RAMに配置してください。
2. 転送情報はRAMに配置してください。
3. 転送情報リードスキップ機能は常に無効となります。
4. DTLOCK=0にて使用してください。DTLOCK=1は設定禁止です。

「9章 バスステートコントローラ(BSC)」 P9-88、「9.5.7 バーストROM(クロック非同期)インターフェース」の表9.17に注記を追加します。

【変更後】

アクセスバイトサイズ16バイトの転送はDMACのみ使用可能です。DTC、E-DMAC、CPUによるアクセスサイズは最大32ビットとなります。

「9章 バスステートコントローラ(BSC)」 P9-93、「9.5.9 バーストROM(クロック同期)インターフェース」の説明を以下のように修正します。

【変更前】

このような空読み出しサイクルは、メモリアクセスタイムの増加をもたらし、プログラム実行速度の低下およびDMA転送速度の低下を招くので、キャッシュ有効区間でのキャッシュフルによる16バイト転送や、DMAによる16バイトリードを有効に活用することが重要です。

【変更後】

このような空読み出しサイクルは、メモリアクセスタイムの増加をもたらし、プログラム実行速度の低下およびDMA転送速度の低下を招くので、DMAによる16バイトリードを有効に活用することが重要です。

「9章 バスステートコントローラ(BSC)」 P9-104 に説明追加します。

【変更後】

## 9.6 割り込み要因

### 9.6.1 割り込み要因

BSCの割り込み要因にはコンペアマッチ割り込み(CMI)があります。

表9.23に割り込み要因を示します。割り込み要因は、リフレッシュタイムコントロール/ステータスレジスタ(RTCSR)のコンペアマッチインタラプトイネーブルビット(CMIE)で、許可または禁止ができます。

RTCSRのコンペアマッチフラグ(CMF)に1がセットされ、かつコンペアマッチインタラプトイネーブルビット(CMIE)に1がセットされているとき、コンペアマッチ割り込み(CMI)が発生します。

割り込みフラグビットを0にクリアすることで割り込み要求は解除されます。

表 9.23 割り込み要因

名称	割り込み要因	割り込み許可ビット	割り込みフラグ
CMI	コンペアマッチ割り込み	CMIE	CMF

「9章 バスステートコントローラ(BSC)」 P9-104 「9.6.6 使用上の注意事項」の説明を以下のように修正します。

【変更前】

SDRAM制御信号のうちRD/WR, RASL, CASLはそれぞれA16, A18, A19と同一端子に割り付けています。SDRAM,とASIC等外付けLSIをSH7216のバスに接続する場合は、以下としてください。

ASIC等外付けLSIのアドレスをA0～A15の16ビットで使用する。

【変更後】

SDRAM制御信号のうちRD/WRはPB0/A16とPB7/A23、RASL, CASLは、PB2/A18, PB3/A19のアドレスと同一端子に割り付けています。SDRAM,とASIC等外付けLSIをSH7216のバスに接続する場合は、以下としてください。

PB7/A23に割り付けられているRD/WRを使用する。

ASIC等外付けLSIのアドレスをA0～A22の23ビットで使用する。

「10章 ダイレクトメモリアクセスコントローラ(DMAC)」 P10-41 に説明追加します。

【変更後】

10.5 割り込み要因

10.5.1 割り込み要因と優先順位

DMACの割り込み要因は各チャンネル毎にデータ転送終了割り込み(DEI)とデータ転送1/2終了割り込み(HEI)の2種類があります。

表10.11に各割り込み要因と優先順位を示します。各割り込み要因は、DMAチャンネルコントロールレジスタ(CHCR)のIEビットおよびHIEビットで、許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

DMAチャンネルコントロールレジスタ(CHCR)のトランスファエンドフラグに1がセットされ、かつトランスファエンドインタラプトイネーブルビット(IE)に1がセットされているとき、データ転送終了割り込み(DEI)が発生します。

DMAチャンネルコントロールレジスタ(CHCR)のハーフエンドフラグに1がセットされ、かつハーフエンドインタラプトイネーブルビット(HIE)に1がセットされているとき、データ転送1/2終了割り込み(HEI)が発生します。

割り込みフラグビットを0にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第6章 割り込みコントローラ(INTC)」を参照してください。

表 10.11 割り込み要因

チャンネル	割り込み要因	割り込み許可ビット	割り込みフラグビット	優先順位
0	データ転送終了割り込み(TEI_0)	IE	TE	高 ↑ ↓ 低
	データ転送1/2終了割り込み(HEI_0)	HIE	HE	
1	データ転送終了割り込み(TEI_1)	IE	TE	
	データ転送1/2終了割り込み(HEI_1)	HIE	HE	
2	データ転送終了割り込み(TEI_2)	IE	TE	
	データ転送1/2終了割り込み(HEI_2)	HIE	HE	
3	データ転送終了割り込み(TEI_3)	IE	TE	
	データ転送1/2終了割り込み(HEI_3)	HIE	HE	
4	データ転送終了割り込み(TEI_4)	IE	TE	
	データ転送1/2終了割り込み(HEI_4)	HIE	HE	
5	データ転送終了割り込み(TEI_5)	IE	TE	
	データ転送1/2終了割り込み(HEI_5)	HIE	HE	
6	データ転送終了割り込み(TEI_6)	IE	TE	
	データ転送1/2終了割り込み(HEI_6)	HIE	HE	
7	データ転送終了割り込み(TEI_7)	IE	TE	
	データ転送1/2終了割り込み(HEI_7)	HIE	HE	

「14章 コンペアマッチタイマ(CMT)」 P14-2「14.2.1 コンペアマッチタイマスタートレジスタ(CMSTR)」の説明を以下のよう

【変更前】

CMSTRはパワーオンリセット時およびソフトウェアスタンバイモード時にH'0000に初期化されます。モジュールスタンバイモード時には以前の値を保持します。

【変更後】

CMSTRはパワーオンリセット時およびモジュールスタンバイモード時にH'0000に初期化されます。ソフトウェアスタンバイ



モード時には以前の値を保持します。

「14章 コンペアマッチタイマ(CMT)」 P14-3「14.2.2 コンペアマッチタイマコントロール/ステータスレジスタ(CMCSR)」の説明を以下のように修正します。

【変更前】

CMCSR はパワーオンリセット時およびソフトウェアスタンバイモード時に H'0000 に初期化されます。モジュールスタンバイモード時には以前の値を保持します。

【変更後】

CMCSR はパワーオンリセット時およびモジュールスタンバイモード時に H'0000 に初期化されます。ソフトウェアスタンバイモード時には以前の値を保持します。

「14章 コンペアマッチタイマ(CMT)」 P14-4「14.2.3 コンペアマッチカウンタ(CMCNT)」の説明を以下のように修正します。

【変更前】

CMCNT はパワーオンリセット時およびソフトウェアスタンバイモード時に H'0000 に初期化されます。モジュールスタンバイモード時には以前の値を保持します。

【変更後】

CMCNT はパワーオンリセット時およびモジュールスタンバイモード時に H'0000 に初期化されます。ソフトウェアスタンバイモード時には以前の値を保持します。

「14章 コンペアマッチタイマ(CMT)」 P14-4「14.2.4 コンペアマッチコンスタントレジスタ(CMCOR)」の説明を以下のように修正します。

【変更前】

CMCOR はパワーオンリセット時およびソフトウェアスタンバイモード時に H'0000 に初期化されます。モジュールスタンバイモード時には以前の値を保持します。

【変更後】

CMCOR はパワーオンリセット時およびモジュールスタンバイモード時に H'0000 に初期化されます。ソフトウェアスタンバイモード時には以前の値を保持します。

「14章 コンペアマッチタイマ(CMT)」 P14-6「14.4.1 割り込み要因と DTC/DMA 転送要求」に説明追加します。

【変更後】

表 14.2 割り込み要因

チャンネル	割り込み要因	割り込み許可ビット	割り込みフラグビット	DMAC/DTCの起動	優先順位
0	CMIO	CMIE	CMF	可	高
1	CMI1	CMIE	CMF	可	低

「15章 ウォッチドッグタイマ(WDT)」 P15-12 に説明追加します。

【変更後】

## 15.5 割り込み要因

### 15.5.1 割り込み要因

WDTの割り込み要因にはインターバルタイマ割り込み(ITI)があります。

表15.3に割り込み要因を示します。割り込み要因は、ウォッチドッグタイマコントロールステータスレジスタ(WTCSR)のインターバルタイマオーバーフローフラグビット(IOVF)に1がセットされているとき、インターバルタイマ割り込み(ITI)が発生します。割り込みフラグビットを0にクリアすることで割り込み要求は解除されます。

表 15.3 割り込み要因

名称	割り込み要因	割り込み許可ビット	割り込みフラグビット
ITI	インターバルタイマ割り込み	-	インターバルタイマオーバーフローフラグ(IOVF)

「16章 シリアルコミュニケーションインターフェース(SCI)」 P16-12,13,14,15 「16.3.7 シリアルステータスレジスタ(SCSSR)」の各ビットの説明の一部を以下に修正します。

【変更前】

パワーオンリセット、スタンバイモード時

【変更後】

パワーオンリセット、モジュールスタンバイモード時

「16章 シリアルコミュニケーションインターフェース(SCI)」 P16-41 図 16.12 シリアルデータ受信フローチャートの例(1)のフローチャートの説明を以下に修正します。

【変更前】

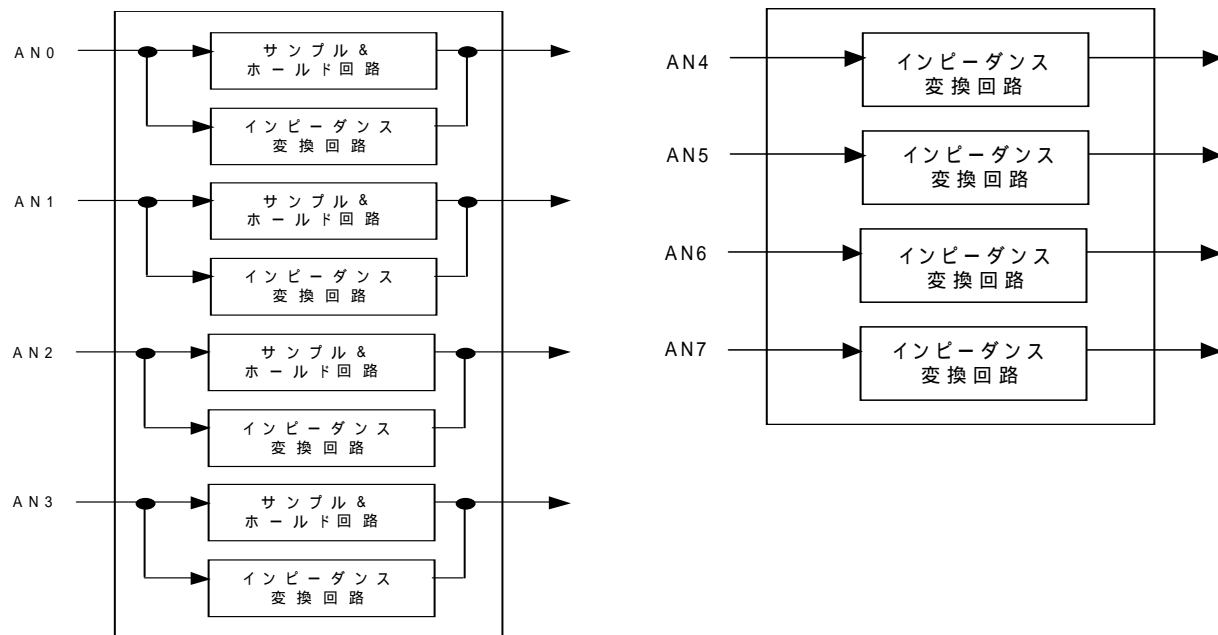
SCSCRのCKE1, CKE0ビットを設定(TE, REビットは0)

【変更後】

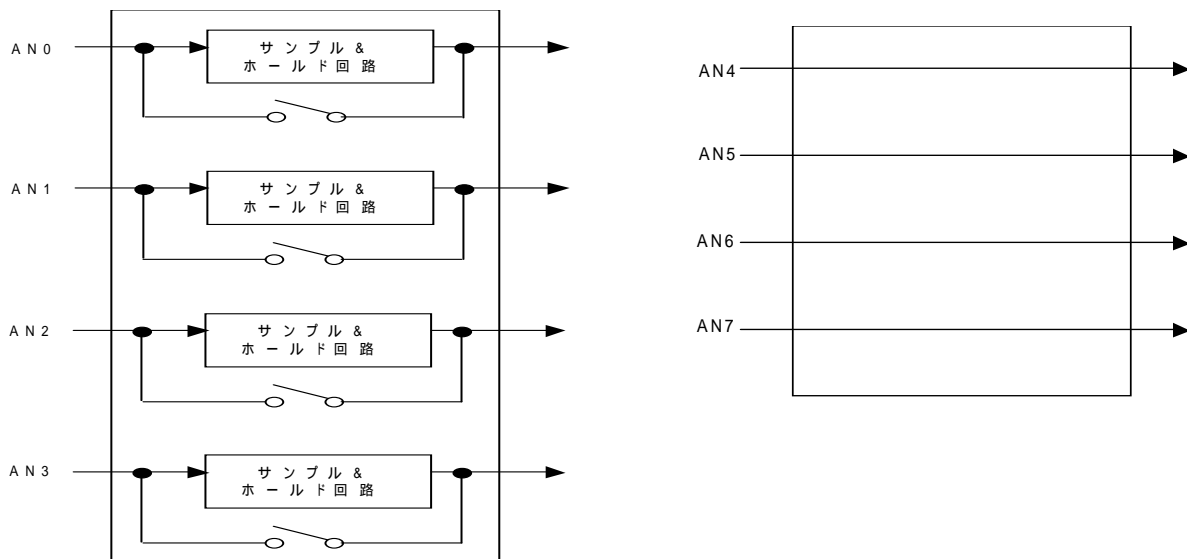
SCRDRの受信データを読み出し SCSSRのRDRFフラグを0にクリア

「20章 A/D変換機(ADC)」 P20-2 図20.1 A/D変換機のブロック図の一部を変更します。

【変更前】



【変更後】



「20章 A/D変換機(ADC)」 P20-15 図20.4 A/D<sub>0</sub>変換機の動作例1の説明の一部を変更します。

【変更前】

【ADBYPSR<sub>0</sub>の設定】

SHビット:0

【変更後】

【ADBYPSR<sub>0</sub>の設定】

SHビット:1

「20章 A/D変換機(ADC)」 P20-24 「20.75 ノイズ対策上の注意」の説明の一部を変更します。

【変更前】

また、AVREFに接続するためのバイパスコンデンサおよびAN<sub>n</sub>に接続するフィルタのコンデンサはAV<sub>ss</sub>に接続してください。

【変更後】

また、AVREFに接続するためのバイパスコンデンサおよびAN<sub>n</sub>に接続するフィルタのコンデンサはAVREFV<sub>SS</sub>に接続してください。

図20.10に示す0.1μFのコンデンサは、できる限り端子の近くに配置してください。

「21章 コントローラエリアネットワーク(RCAN-ET)」 P21-23 「21.4.3ビットコンフィギュレーションレジスタ0,1(BCR0, BCR1)」の(2)BCR0の説明の一部を修正します。

【変更前】

ビット	ビット名	初期値	R/W	説明
7 ~ 0	BPR[7:0]	0000000	R/W	ボーレートプリスケール これらのビットは、1タイムクオンタに対する周辺バスクロック数を設定します。 0000000 : 2×周辺バスクロック 0000001 : 4×周辺バスクロック 0000010 : 6×周辺バスクロック : : 2×(レジスタ値+1)×周辺バスクロック 1111111 : 512×周辺バスクロック

【変更後】

ビット	ビット名	初期値	R/W	説明
7 ~ 0	BPR[7:0]	00000000	R/W	ボーレートプリスケール これらのビットは、1タイムクオンタに対する周辺バスクロック数を設定します。 00000000 : 2×周辺バスクロック 00000001 : 4×周辺バスクロック 00000010 : 6×周辺バスクロック : : 2×(レジスタ値+1)×周辺バスクロック 01111111 : 512×周辺バスクロック

「2.1章 コントローラエリアネットワーク(RCAN-ET)」 P21-59 「2.1.11.2 リセット」の説明の一部を修正します。

【変更前】

- ハードウェアリセット  
 パワーオンリセット、モジュールスタンバイ、ソフトウェアスタンバイでは RCAN-ET は初期化されます。

【変更後】

- ハードウェアリセット  
 パワーオンリセット、モジュールスタンバイでは RCAN-ET は初期化されます。

「2.2章 ピンファンクションコントローラ(PFC)」 P22-3 表 22.2 マルチプレクス一覧表(SH7216 ポート B)を以下のように修正します。

【変更前】

表 22.2 マルチプレクス一覧表(SH7216 ポート B)

ポート	機能 1 (関連機能)	機能 2 (関連機能)	機能 3 (関連機能)	機能 4 (関連機能)	機能 5 (関連機能)	機能 6 (関連機能)	機能 7 (関連機能)	機能 8 (関連機能)
B	PB7 入出力 (ポート)	A23 出力 (BSC)	TENDO 出力 (DMAC)	IRQ7 入力 (INTC)	TCLKC 入力 (MTU2)		SCK4 入出力 (SCI)	

【変更後】

表 22.2 マルチプレクス一覧表(SH7216 ポート B)

ポート	機能 1 (関連機能)	機能 2 (関連機能)	機能 3 (関連機能)	機能 4 (関連機能)	機能 5 (関連機能)	機能 6 (関連機能)	機能 7 (関連機能)	機能 8 (関連機能)
B	PB7 入出力 (ポート)	A23 出力、 (BSC)	TENDO 出力 (DMAC)	IRQ7 入力 (INTC)	TCLKC 入力 (MTU2)		SCK4 入出力 (SCI)	RDWR 出力 (BSC)

「2.2章 ピンファンクションコントローラ(PFC)」 P22-29、ポート B コントロールレジスタ L2 の説明を以下のように修正します。

【変更前】

ポート B コントロールレジスタ L2 (PBCRL2)

ビット	ビット名	初期値	R/W	説明
14 ~ 12	PB7MD[2:0]	000	R/W	PB7 モード PB7/A23/TENDO/IRQ7/TCLKC/SCK4/端子の機能を制御します。 000 : PB7 入出力(ポート) 001 : A23 出力(BSC) 010 : TENDO 出力(DMAC) 011 : IRQ7 入力(INTC) 100 : TCLKC 入力(MTU2) 101 : 設定禁止 110 : SCK4 入出力(SCI) 111 : 設定禁止

【変更後】

ポート B コントロールレジスタ L2 (PBCRL2)

ビット	ビット名	初期値	R/W	説明
14 ~ 12	PB7MD[2:0]	000	R/W	PB7 モード PB7/A23/TENDO/IRQ7/TCLKC/SCK4/RDWR 端子の機能を制御します。 000 : PB7 入出力(ポート) 001 : A23 出力(BSC) 010 : TENDO 出力(DMAC) 011 : IRQ7 入力(INTC) 100 : TCLKC 入力(MTU2) 101 : 設定禁止 110 : SCK4 入出力(SCI) 111 : RDWR 出力(BSC)

「2 3 章 10 ポート」 P23-4、「23.1.3 ポート A ポートレジスタ H、L (PAPRH、PAPRL)」を以下のように修正します。

【変更前】

PAPRH および PAPRL は、読み出しのみ可能な 16 ビットのレジスタで、PFC の設定にかかわらず常に端子の状態を読み出すことができます。

【変更後】

PAPRH および PAPRL は、読み出しのみ可能な 16 ビットのレジスタで、端子の状態を読み出すことができます。ただし、PA12 を RSPI 機能に設定した場合および PA11 ~ PA6 を Ether 機能に設定した場合は該当する端子の状態を読み出すことはできません。

「2 3 章 10 ポート」 P23-5、図 23.2、を以下のように修正します。

【変更前】

PB7(入出力)/A23(出力)/TENDO(出力)/IRQ7(入力)/TCLKC(入力)/SCK4(入出力)

【変更後】

PB7(入出力)/A23(出力)/TENDO(出力)/IRQ7(入力)/TCLKC(入力)/SCK4(入出力)/RDWR(出力)

「2 3 章 10 ポート」 P23-7、「23.2.3 ポート B ポートレジスタ L (BPRL)」を以下のように修正します。

【変更前】

BPRL は、読み出しのみ可能な 16 ビットのレジスタで、PFC の設定にかかわらず常に端子の状態を読み出すことができます。

【変更後】

BPRL は、読み出しのみ可能な 16 ビットのレジスタで、端子の状態を読み出すことができます。ただし、PB3 を SCIF 機能に

設定し、SCSCR レジスタの TE=0 かつ SCSPTR レジスタの SPB2I0=0 の場合は該当する端子の状態を読み出すことはできません。

「2.3 章 IO ポート」 P23-14、「2.3.4.3 ポート D ポートレジスタ H、L (PDPRH、PDPRL)」を以下のように修正します。

【変更前】

PDPRH および PDPRL は、読み出しのみ可能な 16 ビットのレジスタで、PFC の設定にかかわらず常に端子の状態を読み出すことができます。

【変更後】

PDPRH および PDPRL は、読み出しのみ可能な 16 ビットのレジスタで、端子の状態を読み出すことができます。ただし、PD31 ~ 30 を RSPI 機能に設定した場合および PD22 ~ PD20 を Ether 機能に設定した場合は該当する端子の状態を読み出すことはできません。

「2.3 章 IO ポート」 P23-18、「2.3.5.3 ポート E ポートレジスタ L (PEPRL)」を以下のように修正します。

【変更前】

PEPRL は、読み出しのみ可能な 16 ビットのレジスタで、PFC の設定にかかわらず常に端子の状態を読み出すことができます。

【変更後】

PEPRL は、読み出しのみ可能な 16 ビットのレジスタで、端子の状態を読み出すことができます。ただし、PE10, PE8 ~ PE7 を RSPI 機能に設定した場合、PE15 ~ PE11, PE9 ~ PE8, PE2 ~ PE1 を Ether 機能に設定した場合および PE5 を SCIF 機能に設定し、SCSCR レジスタの TE=0 かつ SCSPTR レジスタの SPB2I0=0 の場合は該当する端子の状態を読み出すことはできません。

「2.7 章 フラッシュメモリ (ROM)」 P27-1、「2.7.1 概要」を以下のように修正します。

【変更前】

SH7216 は 1MB のコード格納用フラッシュメモリ (ROM) を内蔵しています。ROM の特徴を以下に示します。

2.7.1 特徴

ユーザマツト： 1MB

【変更後】

SH7216、SH7214 は最大 1MB のコード格納用フラッシュメモリ (ROM) を内蔵しています。ROM の特徴をいかに示します。

2.7.1 特徴

ユーザマツト： 1MB (SH72167, SH72147)  
： 768kB (SH72166, SH72146)  
： 512kB (SH72165, SH72145)

「27章 フラッシュメモリ(ROM)」 P27-61、「27.6.3 FCU コマンド使用方法」を以下のように修正します。

【変更前】

図 27.16 に FCU RAM へのファームウェア転送フローを示します。FCU RAM にデータを書込む場合には、FENTRYR レジスタを H'0000 に設定して FCU を停止してください。DMAC の設定方法の詳細は、「第10章ダイレクトメモリアクセスコントローラ(DMAC)」を参照してください。

【変更後】

図 27.16 に FCU RAM へのファームウェア転送フローを示します。FCU RAM にデータを書込む場合には、FENTRYR レジスタを H'0000 に設定して FCU を停止してください。FCU RAM へのファームウェアの転送は、CPU もしくは DMAC にて行ってください。DMAC の設定方法の詳細は、「第10章ダイレクトメモリアクセスコントローラ(DMAC)」を参照してください。

「27章 フラッシュメモリ(ROM)」 P27-62、図 27.16 FCU RAM へのファームウェア転送フローの説明を以下のように修正します。

【変更前】

DMAC 設定

【変更後】

FCU RAM へのコピー

「28章 データフラッシュ(FLD)」 P28-1、「28.1 特長」の説明を以下のように追記します。

【変更前】

- ・ 周辺バス(Pバス)経由で読み出し可能  
データマットはPバス経由の読み出しが可能です。

【変更後】

- ・ 周辺バス(Pバス)経由で読み出し可能  
データマットはPバス経由の読み出しが可能です。  
読み出しプログラムは、内蔵 RAM もしくは内蔵 ROM 上にて実行可能です。

「28章 データフラッシュ(FLD)」 P28-37、「28.8 使用上の注意事項」の説明を以下のように追記します。

【変更後】

(8) 読み出しプログラムについて

FLD を読み出すプログラムは、内蔵 RAM もしくは内蔵 ROM 上にて実行してください。



「29章 内蔵RAM(RAM)」 P28-1、「29.1 特長」の説明を以下のように追記します。

【変更前】

本 LSI は 128kB の RAM を内蔵しています。

【変更後】

SH7216, SH7214 は最大 128kB の RAM を内蔵しています。

29.1 特徴

・ページ

SH72167, SH72147 : 128kB 8ページ(0 ~ 7ページ)

SH72166, SH72146 : 96kB 6ページ(0 ~ 5ページ)

SH72165, SH72145 : 64kB 4ページ(0 ~ 3ページ)

「30章 低消費電力モード」 P30-6、「30.3.3 スタンバイコントロールレジスタ 3 (STBCR3)」の説明を以下のように修正します。

【変更前】

ビット	ビット名	初期値	R/W	説明
4	MSTP34	1	R/W	モジュールストップビット 34 MSTP34 ビットを 1 にセットすると POE2 へのクロックの供給を停止します。 0 : POE2 は動作 1 : POE2 へのクロック供給禁止

【変更後】

ビット	ビット名	初期値	R/W	説明
4	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

「30章 低消費電力モード」 P30-14、「30.4.4 モジュールスタンバイ機能」の説明の 8 行目から 10 行目を削除します。

【変更前】

ただし、CMT と DAC は例外です

:

全レジスタが初期化されます。

【変更後】

削除

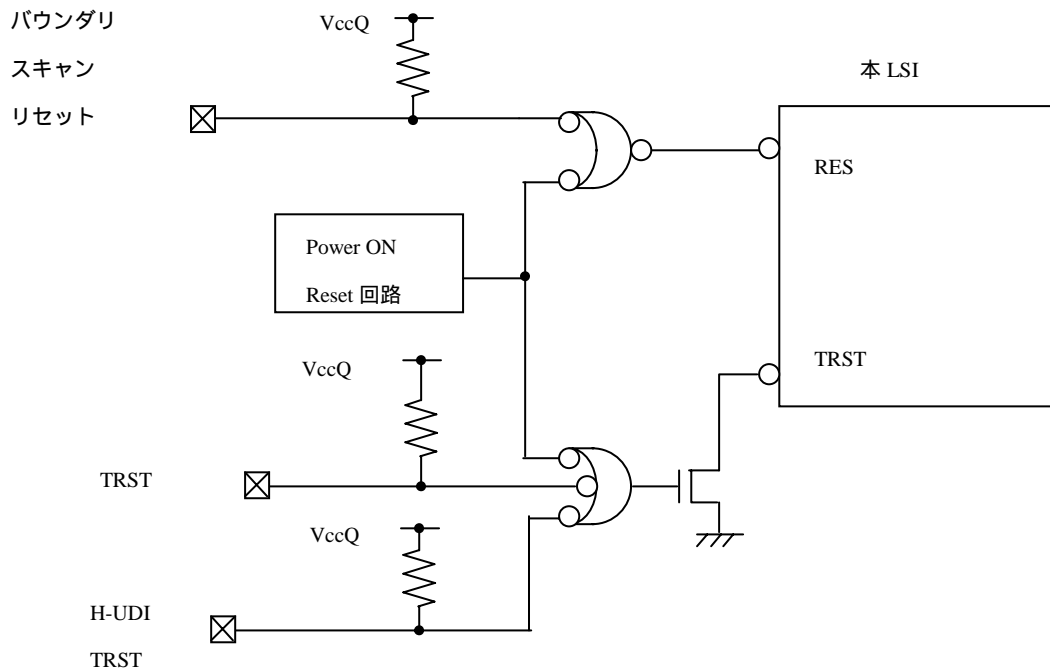
「3 1章 ユーザデバッグインターフェース(H-UDI)」 P31-23、31.7 使用上の注意事項に以下を追記します。

【変更後】

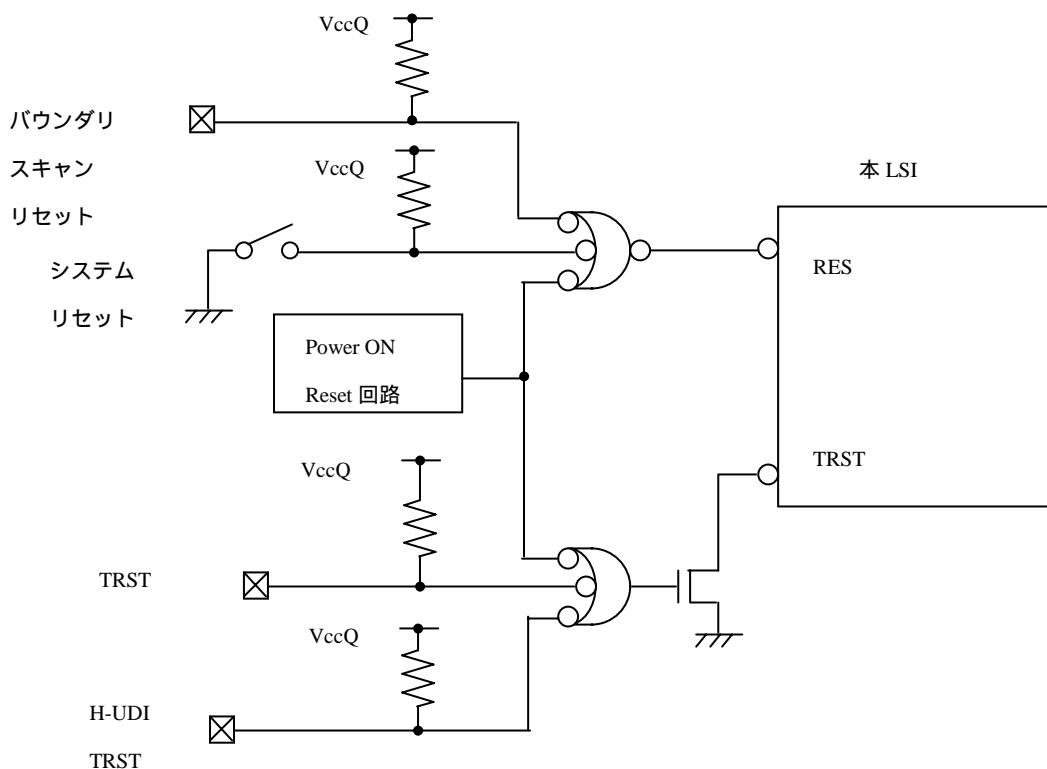
9 . TRST 端子ネグートから 200ns 経過するまでの間、TMS 端子はハイレベルに固定してください。

「3 1章 ユーザデバッグインターフェース(H-UDI)」 P31-24、図 31.5 を修正します。

【変更前】



【変更後】



「3 2章 レジスタ一覧」 P32-75 POE2, CMT に対して修正します。

【変更前】

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
POE2	ICSR1	初期化	保持	保持	保持	保持
	OCSR1	初期化	保持	保持	保持	保持
	ICSR2	初期化	保持	保持	保持	保持
	OCSR2	初期化	保持	保持	保持	保持
	ICSR3	初期化	保持	保持	保持	保持
	SPOER	初期化	保持	保持	保持	保持
	POECR1	初期化	保持	保持	保持	保持
	POECR2	初期化	保持	保持	保持	保持
CMT	CMSTR	初期化	保持	初期化	保持	保持
	CMCSR_0	初期化	保持	初期化	保持	保持
	CMCNT_0	初期化	保持	初期化	保持	保持
	CMCOR_0	初期化	保持	初期化	保持	保持
	CMCSR_1	初期化	保持	初期化	保持	保持
	CMCNT_1	初期化	保持	初期化	保持	保持
	CMCOR_1	初期化	保持	初期化	保持	保持

【変更後】

モジュール名	レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
POE2	ICSR1	初期化	保持	保持	-	保持
	OCSR1	初期化	保持	保持	-	保持
	ICSR2	初期化	保持	保持	-	保持
	OCSR2	初期化	保持	保持	-	保持
	ICSR3	初期化	保持	保持	-	保持
	SPOER	初期化	保持	保持	-	保持
	POECR1	初期化	保持	保持	-	保持
	POECR2	初期化	保持	保持	-	保持
CMT	CMSTR	初期化	保持	保持	初期化	保持
	CMCSR_0	初期化	保持	保持	初期化	保持
	CMCNT_0	初期化	保持	保持	初期化	保持
	CMCOR_0	初期化	保持	保持	初期化	保持
	CMCSR_1	初期化	保持	保持	初期化	保持
	CMCNT_1	初期化	保持	保持	初期化	保持
	CMCOR_1	初期化	保持	保持	初期化	保持

「3 2章 レジスタ一覧」 P32-76,77 RSPI に対して修正します。

【変更前】

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
RSPI	SPCR	初期化	保持	保持	保持	保持
	SSLP	初期化	保持	保持	保持	保持
	SPPCR	初期化	保持	保持	保持	保持
	SPSR	初期化	保持	保持	保持	保持
	SPDR	初期化	保持	保持	保持	保持
	SPSCR	初期化	保持	保持	保持	保持
	SPSSR	初期化	保持	保持	保持	保持
	SPBR	初期化	保持	保持	保持	保持
	SPDCR	初期化	保持	保持	保持	保持
	SPCKD	初期化	保持	保持	保持	保持
	SSLND	初期化	保持	保持	保持	保持
	SPND	初期化	保持	保持	保持	保持
	SPCMD0	初期化	保持	保持	保持	保持
	SPCMD1	初期化	保持	保持	保持	保持
	SPCMD2	初期化	保持	保持	保持	保持
SPCMD3	初期化	保持	保持	保持	保持	

【変更後】

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
RSPI	SPCR	初期化	保持	保持	初期化	保持
	SSLP	初期化	保持	保持	初期化	保持
	SPPCR	初期化	保持	保持	初期化	保持
	SPSR	初期化	保持	保持	初期化	保持
	SPDR	初期化	保持	保持	初期化	保持
	SPSCR	初期化	保持	保持	初期化	保持
	SPSSR	初期化	保持	保持	初期化	保持
	SPBR	初期化	保持	保持	初期化	保持
	SPDCR	初期化	保持	保持	初期化	保持
	SPCKD	初期化	保持	保持	初期化	保持
	SSLND	初期化	保持	保持	初期化	保持
	SPND	初期化	保持	保持	初期化	保持
	SPCMD0	初期化	保持	保持	初期化	保持
	SPCMD1	初期化	保持	保持	初期化	保持
	SPCMD2	初期化	保持	保持	初期化	保持
SPCMD3	初期化	保持	保持	初期化	保持	

「3 2章 レジスタ一覧」 P32-78,79 RCAN-ET に対して修正します。

【変更前】

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
RCAN-ET	MCR	初期化	保持	初期化	初期化	保持
	GSR	初期化	保持	初期化	初期化	保持
	BCR1	初期化	保持	初期化	初期化	保持
	BCRO	初期化	保持	初期化	初期化	保持
	IRR	初期化	保持	初期化	初期化	保持
	IMR	初期化	保持	初期化	初期化	保持
	TEC/REC	初期化	保持	初期化	初期化	保持
	TXPR1,0	初期化	保持	初期化	初期化	保持
	TXCRO	初期化	保持	初期化	初期化	保持
	TXACK0	初期化	保持	初期化	初期化	保持
	ABACK0	初期化	保持	初期化	初期化	保持
	RXPRO	初期化	保持	初期化	初期化	保持
	RFPRO	初期化	保持	初期化	初期化	保持
	MBIMRO	初期化	保持	初期化	初期化	保持
	UMSRO	初期化	保持	初期化	初期化	保持
	MB[0] CONTROL1H	初期化	保持	初期化	初期化	保持
	MB[0] CONTROL1L	初期化	保持	初期化	初期化	保持

【変更後】

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
RCAN-ET	MCR	初期化	保持	保持	初期化	保持
	GSR	初期化	保持	保持	初期化	保持
	BCR1	初期化	保持	保持	初期化	保持
	BCRO	初期化	保持	保持	初期化	保持
	IRR	初期化	保持	保持	初期化	保持
	IMR	初期化	保持	保持	初期化	保持
	TEC/REC	初期化	保持	保持	初期化	保持
	TXPR1,0	初期化	保持	保持	初期化	保持
	TXCRO	初期化	保持	保持	初期化	保持
	TXACK0	初期化	保持	保持	初期化	保持
	ABACK0	初期化	保持	保持	初期化	保持
	RXPRO	初期化	保持	保持	初期化	保持
	RFPRO	初期化	保持	保持	初期化	保持
	MBIMRO	初期化	保持	保持	初期化	保持
	UMSRO	初期化	保持	保持	初期化	保持
	MB[0] CONTROL1H	初期化	保持	保持	初期化	保持
	MB[0] CONTROL1L	初期化	保持	保持	初期化	保持

「付録 A.端子状態」 付録-3 DMAC の DREQ 端子状態を修正します。

【変更前】

端子機能		端子状態						
分類	端子名	リセット状態		低消費電力状態		バス権 解放 状態	発振 停止 検出時	POE 機能 検出時
		パワーオン	マニュアル	ソフトウェア スタンバイ	スリープ			
DMAC	DREQ0(PE0) DREQ1(PE2)	Z	I	Z	I	I	I	I

【変更後】

端子機能		端子状態						
分類	端子名	リセット状態		低消費電力状態		バス権 解放 状態	発振 停止 検出時	POE 機能 検出時
		パワーオン	マニュアル	ソフトウェア スタンバイ	スリープ			
DMAC	DREQ0(PE0) DREQ1(PE2)	Z	I	Z	I	I	I *8	I

「付録 A.端子状態」 付録-6 RSPI の SSLQ 端子状態を修正します。

【変更前】

端子機能		端子状態						
分類	端子名	リセット状態		低消費電力状態		バス権 解放 状態	発振 停止 検出時	POE 機能 検出時
		パワーオン	マニュアル	ソフトウェア スタンバイ	スリープ			
RSPI	SSL0	Z	I/0	K*1	I/0	I/0	I/0	I/0
	SSL ~SSL3	Z	0	0*1	0	0	0	0

【変更後】

端子機能		端子状態						
分類	端子名	リセット状態		低消費電力状態		バス権 解放 状態	発振 停止 検出時	POE 機能 検出時
		パワーオン	マニュアル	ソフトウェア スタンバイ	スリープ			
RSPI	SSL0	Z	I/0	K*1	I/0	I/0	I/0	I/0
	SSL1 ~ SSL3	Z	0	K*1	0	0	0	0

「付録 A.端子状態」 付録-10 注意事項を修正します。

【変更前】

- \*5 大電流ポートコントロールレジスタ(HCPCR)の MZIZDH ビットを 1 にすると、ハイインピーダンスになります。
- \*6 大電流ポートコントロールレジスタ(HCPCR)の MZIZDL ビットを 1 にすると、ハイインピーダンスになります。
- \*7 大電流ポートコントロールレジスタ(HCPCR)の MZIZEH ビットを 1 にすると、ハイインピーダンスになります。

\*8 大電流ポートコントロールレジスタ(HCPCR)のMZIZELビットを1にすると、ハイインピーダンスになります。

【変更後】

\*5 大電流ポートコントロールレジスタ(HCPCR)のMZIZDHビットを0にすると、ハイインピーダンスになります。

\*6 大電流ポートコントロールレジスタ(HCPCR)のMZIZDLビットを0にすると、ハイインピーダンスになります。

\*7 大電流ポートコントロールレジスタ(HCPCR)のMZIZEHビットを0にすると、ハイインピーダンスになります。

\*8 大電流ポートコントロールレジスタ(HCPCR)のMZIZELビットを0にすると、ハイインピーダンスになります。