

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル

株式会社 ルネサス テクノロジ

問合せ窓口 <http://japan.renesas.com/inquiry>E-mail: csc@renesas.com

製品分類	MPU&MCU	発行番号	TN-H8*-A406A/J	Rev.	第1版
題名	H8SX/1657 グループハードウェアマニュアルの誤記訂正		情報分類	技術資料	
適用製品	H8SX/1657 グループ	対象ロット等	関連資料	H8SX/1657 グループハードウェアマニュアル (RJ09B0320-0200)	
		全ロット			

H8SX/1657 グループハードウェアマニュアルにおいて誤記がありましたので、ご案内申し上げます。

< 誤記訂正内容 >

1. 概要

(1) 頁 1-2 「表 1.1 仕様概要」の CPU について以下のように訂正します。

〔変更前〕

分類	モジュール/機能	説明
CPU	CPU	【省略 ~変更無し~】 ・積和演算命令をサポート (16×16+32 32ビット)

〔変更後〕

分類	モジュール/機能	説明
CPU	CPU	【省略 ~変更無し~】 ・積和演算命令をサポート (16×16+42 42ビット)

5. 割り込みコントローラ

DTCER の記述に関して、DTCERF、DTCERG、DTCERH を削除致します。

(1) 頁 5-27 「5.6.5 割り込みによる DTC、DMAC の起動」の記述から、DTCERF、DTCERG、DTCERH を削除します。
 【変更前】

(1) 割り込み要因の選択

DMAC の各チャンネルの起動要因は、DMRSR により選択します。選択した起動要因は、選択回路を經由して DMAC に入力されます。内蔵モジュール割り込みによる転送が有効になるように設定 (DMDR のビット設定：DTF1=1、DTF0=0、DTE=1)、DMDR の DTA ビットが 1 にセットされていると、その DMAC の起動要因になった割り込み要因は DMAC が管理することになり、DTC の起動要因および CPU の割り込み要因になりません。

DMAC に管理されている割り込み以外の割り込み要因は、DTC の DTCERA ~ DTCERH の DTCE ビットにより、DTC 起動要因とするか、CPU 割り込み要因とするかを選択します。

(省略 ~変更無し~)

(2) 優先順位判定

(省略 ~変更無し~)

(3) 動作順序

(省略 ~変更無し~)

表 5.6 に、DMAC の DMDR の DTA ビット、DTC の DTCERA ~ DTCERH の DTCE ビット、および MRB の DISEL ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

【変更後】

(1) 割り込み要因の選択

DMAC の各チャンネルの起動要因は、DMRSR により選択します。選択した起動要因は、選択回路を經由して DMAC に入力されます。内蔵モジュール割り込みによる転送が有効になるように設定 (DMDR のビット設定：DTF1=1、DTF0=0、DTE=1)、DMDR の DTA ビットが 1 にセットされていると、その DMAC の起動要因になった割り込み要因は DMAC が管理することになり、DTC の起動要因および CPU の割り込み要因になりません。

DMAC に管理されている割り込み以外の割り込み要因は、DTC の DTCERA ~ **DTCERE** の DTCE ビットにより、DTC 起動要因とするか、CPU 割り込み要因とするかを選択します。

(省略 ~変更無し~)

(2) 優先順位判定

(省略 ~変更無し~)

(3) 動作順序

(省略 ~変更なし~)

表 5.6 に、DMAC の DMDR の DTA ビット、DTC の DTCERA ~ **DTCERE** の DTCE ビット、および MRB の DISEL ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

7. DMAコントローラ(DMAC)

(1) 頁 7-7 DBSR のビット 31~0 の初期値を以下のように訂正します。

【変更前】

ビット	ビット名	初期値	R/W	説明
31~16	BKSZH31 ~ BKSZH16	不定	R/W	【省略 ~変更無し~】
15~0	BKSZ15 ~ BKSZ0	不定	R/W	【省略 ~変更無し~】

【変更後】

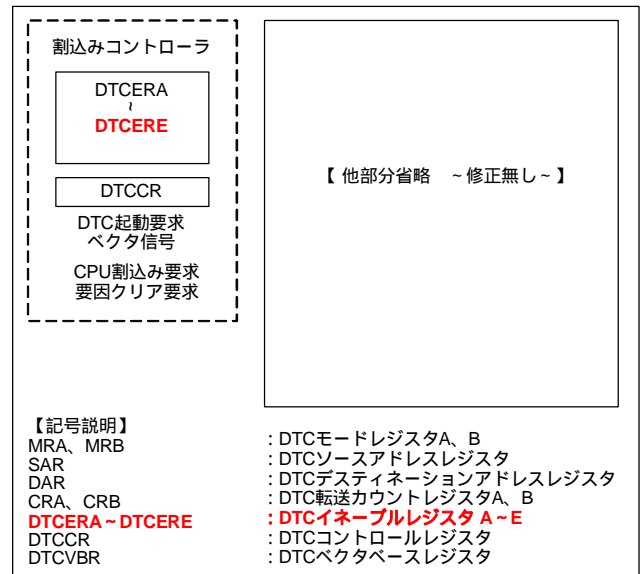
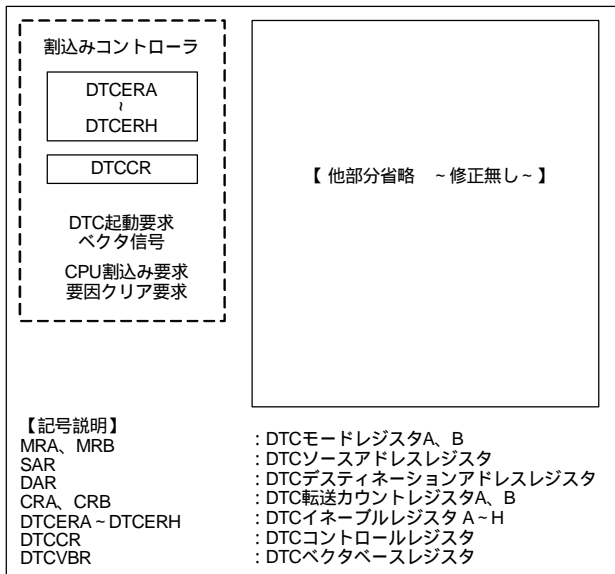
ビット	ビット名	初期値	R/W	説明
31~16	BKSZH31 ~ BKSZH16	0	R/W	【省略 ~変更無し~】
15~0	BKSZ15 ~ BKSZ0	0	R/W	【省略 ~変更無し~】

8. データ転送コントローラ(DTC)

(1) 頁 8-2 「図 8.1 DTC のブロック図」内の DTCER の記述を以下のように訂正します。

〔変更前〕図 8.1 DTC のブロック図

〔変更後〕図 8.1 DTC のブロック図



(2) 頁 8-3 「8.2 レジスタの説明」の DTC イネーブルレジスタの記述から、DTCERF、DTCERG、DTCERH を削除します。

〔変更前〕

- ・ DTC イネーブルレジスタ A ~ H (DTCERA ~ DTCERH)

〔変更後〕

- ・ DTC イネーブルレジスタ A ~ **E** (DTCERA ~ **DTCERE**)

(3) 頁 8-7 DTC イネーブルレジスタの説明から、DTCERF、DTCERG、DTCERH を削除します。

〔変更前〕

- 8.2.7 DTC イネーブルレジスタ A ~ H (DTCERA ~ DTCERE)

〔変更後〕

- 8.2.7 DTC イネーブルレジスタ A ~ **E** (DTCERA ~ DTCERE)

9. I/Oポート

(1) 頁 9-35 「表 9.5 各ポートの出力信号有効設定一覧」の PA1 の記述を以下のように訂正します。

〔変更前〕

Port	出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定
PA 1	BACK_OE	BACK		SYSCR.EXPE=1,BCR1.BRLE=1
	(RD/WR)_OE	RD/WR		SYSCR.EXPE=1,PF2.REWRE=1、または SRAMCR.BCSELn=1

〔変更後〕

Port	出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定
PA 1	BACK_OE	BACK		SYSCR.EXPE=1,BCR1.BRLE=1
	(RD/WR)_OE	RD/WR		SYSCR.EXPE=1,PF2. RDWRE =1、または SRAMCR.BCSELn=1

(2) 頁 9-42 PF7 のビット 7~4 の説明を以下のように訂正します。

〔変更前〕

ビット	ビット名	初期値	R/W	説明
7 6	DMAS3A DMAS3B	0 0	R/W R/W	DMAC 制御端子セレクト DMAC_3 を制御するための入出力ポートを選択します。 00：設定禁止 01：P63~P65 を DMAC 制御端子として設定 10：設定禁止 11：設定禁止
5 4	DMAS2A DMAS2B	0 0	R/W R/W	DMAC 制御端子セレクト DMAC_2 を制御するための入出力ポートを選択します。 00：設定禁止 01：P60~P62 を DMAC 制御端子として設定 10：設定禁止 11：設定禁止

〔変更後〕

ビット	ビット名	初期値	R/W	説明
7 6	DMAS3A DMAS3B	0 0	R/W R/W	DMAC 制御端子セレクト DMAC_3 を制御するための入出力ポートを選択します。 00： 設定無効(P63~P65 は DMAC 制御端子として使用できません) 01：P63~P65 を DMAC 制御端子として設定 10：設定禁止 11：設定禁止
5 4	DMAS2A DMAS2B	0 0	R/W R/W	DMAC 制御端子セレクト DMAC_2 を制御するための入出力ポートを選択します。 00： 設定無効(P60~P62 は DMAC 制御端子として使用できません) 01：P60~P62 を DMAC 制御端子として設定 10：設定禁止 11：設定禁止

12. 8ビットタイマ(TMR)

(1) 頁 12-19 「12.7.2 A/D 変換器の起動」の説明を以下のように訂正します。

〔変更前〕

TMR_0 のコンペアマッチ A のみ、A/D 変換器を起動することができます。

TMR_0 のコンペアマッチ A の発生により、TCSR_0 の CMFA フラグが 1 にセットされたとき、ADTE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、8 ビットタイマの変換トリガが選択されていれば、A/D 変換が開始されます。

〔変更後〕

TMR_0、TMR_2 のコンペアマッチ A で、A/D 変換器を起動することができます。

コンペアマッチ A の発生により、TCSR の CMFA フラグが 1 にセットされたとき、ADTE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、8 ビットタイマの変換トリガが選択されていれば、A/D 変換が開始されます。

13. ウォッチドッグタイマ(WDT)

(1) 頁 13-4 リセットコントロールレジスタ(RSTCSR)のビット 7 の説明を以下のように訂正します。

〔変更前〕

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)	ウォッチドッグタイマオーバフローフラグ ウォッチドッグタイマモードで、TCNT がオーバフローするとセットされます。インターバルタイマモードではセットされません。0 ライトのみ可能です。 [セット条件] ウォッチドッグタイマモードで TCNT がオーバフロー(H'FF H'00)したとき [クリア条件] 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)

〔変更後〕

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)	ウォッチドッグタイマオーバフローフラグ ウォッチドッグタイマモードで、TCNT がオーバフローするとセットされます。インターバルタイマモードではセットされません。0 ライトのみ可能です。 [セット条件] ウォッチドッグタイマモードで TCNT がオーバフロー(H'FF H'00)したとき [クリア条件] 1 の状態をリードした後、0 をライトしたとき

14. シリアルコミュニケーションインタフェース

(1) 頁 14-12 シリアルステータスレジスタ(SSR)のビット名を以下のように訂正します。

〔変更前〕

シリアルステータスレジスタ(SSR)

・SCMRのSMIF=0のとき

ビット	7	6	5	4	3	2	1	0
ビット名	TDRE	RDRF	ORER	FRE	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

〔変更後〕

シリアルステータスレジスタ(SSR)

・SCMRのSMIF=0のとき

ビット	7	6	5	4	3	2	1	0
ビット名	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

20. 低消費電力

(1) 頁 20-7 MSTPCRAのビット13の対象モジュールを以下のように訂正します。

〔変更前〕

ビット	ビット名	初期値	R/W	説明
14	MSTPA14	0	R/W	リザーブビット
13	MSTPA13	0	R/W	リードすると常に0が読み出されます。ライトする値は常に0にしてください。

〔変更後〕

ビット	ビット名	初期値	R/W	説明
14	MSTPA14	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
13	MSTPA13	0	R/W	DMAコントローラ(DMAC)