

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

# RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル

株式会社 ルネサス テクノロジ

問合せ窓口 <http://japan.renesas.com/inquiry>E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU&MCU	発行番号	TN-H8*-A404A/J	Rev.	第1版
題名	H8SX/1651 グループハードウェアマニュアルの誤記訂正		情報分類	技術資料	
適用製品	H8SX/1651 グループ	対象ロット等	関連資料	H8SX/1651 グループハードウェアマニュアル (RJ09B0259-0200)	
		全ロット			

H8SX/1651 グループハードウェアマニュアルにおいて誤記がありましたので、ご案内申し上げます。

< 誤記訂正内容 >

## 1. 概要

(1) 頁 1-2 「表 1.1 仕様概要」の CPU について以下のように訂正します。

〔変更前〕

分類	モジュール/機能	説明
CPU	CPU	【省略 ~変更無し~】 ・積和演算命令をサポート (16×16+32 32ビット)

〔変更後〕

分類	モジュール/機能	説明
CPU	CPU	【省略 ~変更無し~】 ・積和演算命令をサポート ( <b>16×16+42 42ビット</b> )

5. 割り込みコントローラ

(1) 頁 5-27 「5.6.5 割り込みによる DMAC、DTC の起動」の記述から、DTCERF、DTCERG、DTCERH を削除します。  
〔変更前〕

(1) 割り込み要因の選択

DMAC の各チャンネルの起動要因は、DMRSR により選択します。選択した起動要因は、選択回路を經由して DMAC に入力されます。内蔵モジュール割り込みによる転送が有効になるように設定 (DMDR のビット設定：DTF1=1、DTF0=0、DTE=1) DMDR の DTA ビットが 1 にセットされていると、その DMAC の起動要因になった割り込み要因は DMAC が管理することになり、DTC の起動要因および CPU の割り込み要因になりません。

DMAC に管理されている割り込み以外の割り込み要因は、DTC の DTCERA ~ DTCERH の DTCE ビットにより、DTC 起動要因とするか、CPU 割り込み要因とするかを選択します。

(省略 ~変更無し~)

(2) 優先順位判定

(省略 ~変更無し~)

(3) 動作順序

(省略 ~変更無し~)

表 5.6 に、DMAC の DMDR の DTA ビット、DTC の DTCERA ~ DTCERH の DTCE ビット、および MRB の DISEL ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

〔変更後〕

(1) 割り込み要因の選択

DMAC の各チャンネルの起動要因は、DMRSR により選択します。選択した起動要因は、選択回路を經由して DMAC に入力されます。内蔵モジュール割り込みによる転送が有効になるように設定 (DMDR のビット設定：DTF1=1、DTF0=0、DTE=1) DMDR の DTA ビットが 1 にセットされていると、その DMAC の起動要因になった割り込み要因は DMAC が管理することになり、DTC の起動要因および CPU の割り込み要因になりません。

DMAC に管理されている割り込み以外の割り込み要因は、DTC の DTCERA ~ **DTCERE** の DTCE ビットにより、DTC 起動要因とするか、CPU 割り込み要因とするかを選択します。

(省略 ~変更無し~)

(2) 優先順位判定

(省略 ~変更無し~)

(3) 動作順序

(省略 ~変更なし~)

表 5.6 に、DMAC の DMDR の DTA ビット、DTC の DTCERA ~ **DTCERE** の DTCE ビット、および MRB の DISEL ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

7. DMAコントローラ(DMAC)

(1) 頁 7-7 DBSR のビット 31~0 の初期値を以下のように訂正します。

〔変更前〕

ビット	ビット名	初期値	R/W	説明
31~16	BKSZH31 ~ BKSZH16	不定	R/W	【省略 ~変更無し~】
15~0	BKSZ15 ~ BKSZ0	不定	R/W	【省略 ~変更無し~】

〔変更後〕

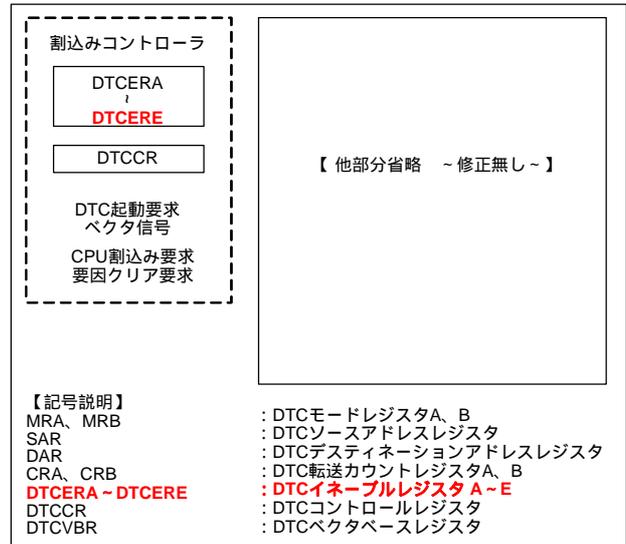
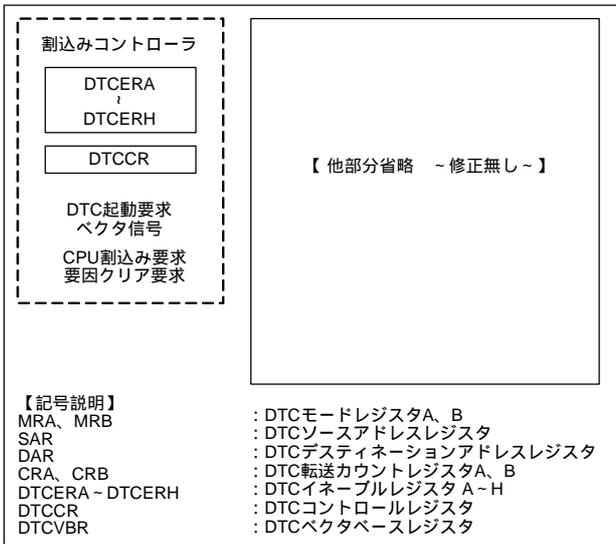
ビット	ビット名	初期値	R/W	説明
31~16	BKSZH31 ~ BKSZH16	0	R/W	【省略 ~変更無し~】
15~0	BKSZH15 ~ BKSZ0	0	R/W	【省略 ~変更無し~】

8. データトランスファコントローラ(DTC)

(1) 頁 8-2 「図 8.1 DTC のブロック図」内の DTCER の記述を以下のように訂正します。

〔変更前〕図 8.1 DTC のブロック図

〔変更後〕図 8.1 DTC のブロック図



(2) 頁 8-3 「8.2 レジスタの説明」の DTC イネーブルレジスタの記述から、DTCERF、DTCERG、DTCERH を削除します。

〔変更前〕

- ・ DTC イネーブルレジスタ A ~ H (DTCERA ~ DTCERH)

〔変更後〕

- ・ DTC イネーブルレジスタ A ~ **E** (DTCERA ~ **DTCERE**)

(3) 頁 8-7 DTC イネーブルレジスタの説明から、DTCERF、DTCERG、DTCERH を削除します。

〔変更前〕

8.2.7 DTC イネーブルレジスタ A ~ H(DTCERA ~ DTCERH)

DTCER は、DTC を起動する割り込み要因を選択するためのレジスタで、DTCERA ~ DTCERH があります。

【以下省略】

〔変更後〕

8.2.7 DTC イネーブルレジスタ A ~ **E**(DTCERA ~ **DTCERE**)

DTCER は、DTC を起動する割り込み要因を選択するためのレジスタで、DTCERA ~ **DTCERE** があります。

【以下省略】

9. I/Oポート

(1) 頁 9-31 「表 9.5 各ポートの出力信号有効設定一覧」の PA1 の記述を以下のように訂正します。

〔変更前〕

Port	出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定
PA	1	BACK_OE	BACK	BCR1.BRLE=1
		(RD/WR)_OE	RD/WR	PFCR2.REWRE=1、または SRAMCR.BCSELn=1

〔変更後〕

Port	出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定
PA	1	BACK_OE	BACK	BCR1.BRLE=1
		(RD/WR)_OE	RD/WR	PFCR2. <b>RDWRE</b> =1、または SRAMCR.BCSELn=1

(2) 頁 9-38 PFCR7 のビット 7~4 の説明を以下のように訂正します。

〔変更前〕

ビット	ビット名	初期値	R/W	説明
7 6	DMAS3A DMAS3B	0 0	R/W R/W	DMAC 制御端子セレクト DMAC_3 を制御するための入出力ポートを選択します。 00：設定禁止 01：P63~P65 を DMAC 制御端子として設定 10：設定禁止 11：設定禁止
5 4	DMAS2A DMAS2B	0 0	R/W R/W	DMAC 制御端子セレクト DMAC_2 を制御するための入出力ポートを選択します。 00：設定禁止 01：P60~P62 を DMAC 制御端子として設定 10：設定禁止 11：設定禁止

〔変更後〕

ビット	ビット名	初期値	R/W	説明
7 6	DMAS3A DMAS3B	0 0	R/W R/W	DMAC 制御端子セレクト DMAC_3 を制御するための入出力ポートを選択します。 00： <b>設定無効(P63~P65 は DMAC 制御端子として使用できません)</b> 01：P63~P65 を DMAC 制御端子として設定 10：設定禁止 11：設定禁止
5 4	DMAS2A DMAS2B	0 0	R/W R/W	DMAC 制御端子セレクト DMAC_2 を制御するための入出力ポートを選択します。 00： <b>設定無効(P60~P62 は DMAC 制御端子として使用できません)</b> 01：P60~P62 を DMAC 制御端子として設定 10：設定禁止 11：設定禁止

12. 8ビットタイマ(TMR)

(1) 頁 12-19 「12.7.2 A/D 変換器の起動」の説明を以下のように訂正します。

〔変更前〕

TMR\_0 のコンペアマッチ A のみ、A/D 変換器を起動することができます。

TMR\_0 のコンペアマッチ A の発生により、TCSR\_0 の CMFA フラグが 1 にセットされたとき、ADTE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。この時 A/D 変換器側で、8 ビットタイマの変換トリガが選択されていれば、A/D 変換が開始されます。

〔変更後〕

**TMR\_0、TMR\_2 のコンペアマッチ A で、A/D 変換器を起動することができます。**

**コンペアマッチ A の発生により、TCSR の CMFA フラグが 1 にセットされたとき、ADTE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。この時 A/D 変換器側で、8 ビットタイマの変換トリガが選択されていれば、A/D 変換が開始されます。**

13. ウォッチドッグタイマ(WDT)

(1) 頁 13-4 リセットコントロールレジスタ(RSTCSR)のビット 7 の説明を以下のように訂正します。

〔変更前〕

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)	ウォッチドッグタイマオーバフローフラグ ウォッチドッグタイマモードで、TCNT がオーバフローするとセットされます。インターバルタイマモードではセットされません。0 ライトのみ可能です。 [セット条件] ウォッチドッグタイマモードで TCNT がオーバフロー(H'FF H'00)したとき [クリア条件] 1 の状態をリードした後、0 をライトしたとき <b>(割り込みを使用し、CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)</b>

〔変更後〕

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)	ウォッチドッグタイマオーバフローフラグ ウォッチドッグタイマモードで、TCNT がオーバフローするとセットされます。インターバルタイマモードではセットされません。0 ライトのみ可能です。 [セット条件] ウォッチドッグタイマモードで TCNT がオーバフロー(H'FF H'00)したとき [クリア条件] 1 の状態をリードした後、0 をライトしたとき

14. シリアルコミュニケーションインタフェース(SCI)

(1) 頁 14-12 シリアルステータスレジスタ(SSR)のビット名を以下のように訂正します。

〔変更前〕

シリアルステータスレジスタ(SSR)

・SCMRのSMIF=0のとき

ビット	7	6	5	4	3	2	1	0
ビット名	TDRE	RDRF	ORER	FRE	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

〔変更後〕

シリアルステータスレジスタ(SSR)

・SCMRのSMIF=0のとき

ビット	7	6	5	4	3	2	1	0
ビット名	TDRE	RDRF	ORER	<b>FER</b>	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

20. レジスタ一覧

(1) 頁 20-6 「20.1 レジスタアドレス一覧」のDTCERの記述から、DTCERF、DTCERG、DTCERHを削除します。

〔変更前〕

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセス 状態数 (リード/ライト)
~説明省略(変更なし)~						
DTC イネーブルレジスタ E	DTCERE	16	H'FFF28	INTC	16	2lφ /3lφ
<b>DTC イネーブルレジスタ F</b>	<b>DTCERF</b>	<b>16</b>	<b>H'FFF2A</b>	<b>INTC</b>	<b>16</b>	<b>2l /3l</b>
<b>DTC イネーブルレジスタ G</b>	<b>DTCERG</b>	<b>16</b>	<b>H'FFF2C</b>	<b>INTC</b>	<b>16</b>	<b>2l /3l</b>
<b>DTC イネーブルレジスタ H</b>	<b>DTCERH</b>	<b>16</b>	<b>H'FFF2E</b>	<b>INTC</b>	<b>16</b>	<b>2l /3l</b>
DTC コントロールレジスタ	DTCCR	8	H'FFF30	INTC	16	2lφ /3lφ
~説明省略(変更なし)~						

〔変更後〕

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセス 状態数 (リード/ライト)
~説明省略(変更なし)~						
DTC イネーブルレジスタ E	DTCERE	16	H'FFF28	INTC	16	2lφ /3lφ
DTC コントロールレジスタ	DTCCR	8	H'FFF30	INTC	16	2lφ /3lφ
~説明省略(変更なし)~						

(2) 頁 20-19 「20.2 レジスタビット一覧」 の INTC モジュールの記述から、DTCERF、DTCERG、DTCERH を削除します。

〔変更前〕

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
~ 説明省略(変更なし) ~									TPU_5
DTCERA ~ DTCERD	~ 説明省略(変更なし) ~								INTC
DTCERE	DTCE15	DTCE14	DTCE13	DTCE12	DTCE11	DTCE10	DTCE9	DTCE8	
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0	
<b>DTCERF</b>	<b>DTCE15</b>	<b>DTCE14</b>	<b>DTCE13</b>	<b>DTCE12</b>	<b>DTCE11</b>	<b>DTCE10</b>	<b>DTCE9</b>	<b>DTCE8</b>	
	<b>DTCE7</b>	<b>DTCE6</b>	<b>DTCE5</b>	<b>DTCE4</b>	<b>DTCE3</b>	<b>DTCE2</b>	<b>DTCE1</b>	<b>DTCE0</b>	
<b>DTCERG</b>	<b>DTCE15</b>	<b>DTCE14</b>	<b>DTCE13</b>	<b>DTCE12</b>	<b>DTCE11</b>	<b>DTCE10</b>	<b>DTCE9</b>	<b>DTCE8</b>	
	<b>DTCE7</b>	<b>DTCE6</b>	<b>DTCE5</b>	<b>DTCE4</b>	<b>DTCE3</b>	<b>DTCE2</b>	<b>DTCE1</b>	<b>DTCE0</b>	
<b>DTCERH</b>	<b>DTCE15</b>	<b>DTCE14</b>	<b>DTCE13</b>	<b>DTCE12</b>	<b>DTCE11</b>	<b>DTCE10</b>	<b>DTCE9</b>	<b>DTCE8</b>	
	<b>DTCE7</b>	<b>DTCE6</b>	<b>DTCE5</b>	<b>DTCE4</b>	<b>DTCE3</b>	<b>DTCE2</b>	<b>DTCE1</b>	<b>DTCE0</b>	
DTCCR	-	-	-	RRS	RCHNE	-	-	ERR	
INTCR ~ ISR	~ 説明省略(変更なし) ~								
~ 説明省略(変更なし) ~									I/O ポート

〔変更後〕

レジスタ 略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	モジュール
~ 説明省略(変更なし) ~									TPU_5
DTCERA ~ DTCERD	~ 説明省略(変更なし) ~								INTC
DTCERE	DTCE15	DTCE14	DTCE13	DTCE12	DTCE11	DTCE10	DTCE9	DTCE8	
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0	
DTCCR	-	-	-	RRS	RCHNE	-	-	ERR	
INTCR ~ ISR	~ 説明省略(変更なし) ~								
~ 説明省略(変更なし) ~									I/O ポート

(3) 頁 20-28 「20.3 各動作モードにおけるレジスタの状態」のINTC モジュールの記述から、DTCERF、DTCERG、DTCERH を削除します。

〔変更前〕

レジスタ 略称	リセット	スリープ モード	モジュール ストップ 状態	全モジュール クロック ストップ モード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
～説明省略(変更なし)～							TPU_5
DTCERA ~ DTCERD	～説明省略(変更なし)～						INTC
DTCERE	初期化	-	-	-	-	初期化	
<b>DTCERF</b>	<b>初期化</b>					<b>初期化</b>	
<b>DTCERG</b>	<b>初期化</b>					<b>初期化</b>	
<b>DTCERH</b>	<b>初期化</b>					<b>初期化</b>	
DTCCR	初期化	-	-	-	-	初期化	
INTCR ~ ISR	～説明省略(変更なし)～						
～説明省略(変更なし)～							I/O ポート

〔変更後〕

レジスタ 略称	リセット	スリープ モード	モジュール ストップ 状態	全モジュール クロック ストップ モード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
～説明省略(変更なし)～							TPU_5
DTCERA ~ DTCERD	～説明省略(変更なし)～						INTC
DTCERE	初期化	-	-	-	-	初期化	
DTCCR	初期化	-	-	-	-	初期化	
INTCR ~ ISR	～説明省略(変更なし)～						
～説明省略(変更なし)～							I/O ポート