

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル

株式会社 ルネサス テクノロジ

問合せ窓口 <http://japan.renesas.com/inquiry>E-mail: csc@renesas.com

製品分類	MPU&MCU	発行番号	TN-H8*-A400A/J	Rev.	第1版
題名	H8SX/1638、H8SX/1638L グループハードウェアマニュアルの誤記訂正		情報分類	技術資料	
適用製品	H8SX/1638、H8SX/1638L グループ	対象ロット等	関連資料	H8SX/1638 グループ, H8SX/1638L グループハードウェアマニュアル (RJJ09B0396-0200)	
		全ロット			

H8SX/1638 グループ、H8SX/1638L グループのハードウェアマニュアルにおいて誤記がありましたので、ご案内申し上げます。

< 誤記訂正内容 >

1. 概要

(1) 頁 1-6 「表 1.2 H8SX/1638、H8SX/1638L グループのサポート機能比較表」の機能を以下のように訂正します。

〔変更前〕

機能		H8SX/1638 グループ	H8SX/1638L グループ
パッケージ	LQFP-144		

〔変更後〕

機能		H8SX/1638 グループ	H8SX/1638L グループ
パッケージ	LQFP-120		

7. 割り込みコントローラ

(1) 頁 7-33, 頁 7-34 「7.6.5 割り込みによる DTC、DMAC の起動」の記述から、DTCERG、DTCERH を削除します。

〔変更前〕

(1) 割り込み要因の選択

DMAC の各チャンネルの起動要因は、DMRSR により選択します。選択した起動要因は、選択回路を經由して DMAC に入力されます。内蔵モジュール割り込みによる転送が有効になるように設定 (DMDR のビット設定 : DTF1=1、DTF0=0、DTE=1)、DMDR の DTA ビットが 1 にセットされていると、その DMAC の起動要因になった割り込み要因は DMAC が管理することになり、DTC の起動要因および CPU の割り込み要因になりません。

DMAC に管理されている割り込み以外の割り込み要因は、DTC の DTCERA ~ DTCERH の DTCE ビットにより、DTC 起動要因とするか、CPU 割り込み要因とするかを選択します。

(省略 ~変更無し~)

(2) 優先順位判定

(省略 ~変更無し~)

(3) 動作順序

(省略 ~変更無し~)

表 7.6 に、DMAC の DMDR の DTA ビット、DTC の DTCERA ~ DTCERH の DTCE ビット、および MRB の DISEL ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

〔変更後〕

(1) 割り込み要因の選択

DMAC の各チャンネルの起動要因は、DMRSR により選択します。選択した起動要因は、選択回路を經由して DMAC に入力されます。内蔵モジュール割り込みによる転送が有効になるように設定 (DMDR のビット設定 : DTF1=1、DTF0=0、DTE=1)、DMDR の DTA ビットが 1 にセットされていると、その DMAC の起動要因になった割り込み要因は DMAC が管理することになり、DTC の起動要因および CPU の割り込み要因になりません。

DMAC に管理されている割り込み以外の割り込み要因は、DTC の DTCERA ~ **DTCERF** の DTCE ビットにより、DTC 起動要因とするか、CPU 割り込み要因とするかを選択します。

(省略 ~変更無し~)

(2) 優先順位判定

(省略 ~変更無し~)

(3) 動作順序

(省略 ~変更なし~)

表 7.6 に、DMAC の DMDR の DTA ビット、DTC の DTCERA ~ **DTCERF** の DTCE ビット、および MRB の DISEL ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

12. I/Oポート

(1) 頁 12-5 「表 12.1 ポート機能一覧」のポート F の機能を以下のように訂正します。

〔変更前〕

ポート名	概要	ビット	機能			シュミットトリガ 入力端子 ^{*1}	入力プル アップ MOS 機能	オープン ドレイン 出力機能
			入出力	入力	出力			
ポート F	アドレス出力、 SCI 入出力、 バス制御出力と兼用 汎用入出力ポート	～説明省略(変更なし)～						
		5	PF5	-	21/TxD5/IrTXD/CS5-D	-		
		～説明省略(変更なし)～						

〔変更後〕

ポート名	概要	ビット	機能			シュミットトリガ 入力端子 ^{*1}	入力プル アップ MOS 機能	オープン ドレイン 出力機能
			入出力	入力	出力			
ポート F	アドレス出力、 SCI 入出力、 バス制御出力と兼用 汎用入出力ポート	～説明省略(変更なし)～						
		5	PF5	-	A21 /TxD5/IrTXD/CS5-D	-		
		～説明省略(変更なし)～						

(2) 頁 12-7 「表 12.2 各ポートのレジスタ構成」の表と記述を以下のように訂正します。

〔変更前〕

ポート	端子数	レジスタ					
		DDR	DR	PORT	ICR	PCR	ODR
ポート 1～ポート 5		～説明省略(変更なし)～					
ポート 6	6					-	-
ポート A	8					-	-
ポート B	4					-	-
ポート D ^{*1} ～ポート K ^{*2}		～説明省略(変更なし)～					

【記号説明】 : レジスタあり、- : レジスタなし

【注】* ライト時は、初期値をライトしてください。

*1 PCJKE=1 のときはアクセスしないでください。

*2 PCJKE=0 のときはアクセスしないでください。

〔変更後〕

ポート	端子数	レジスタ					
		DDR	DR	PORT	ICR	PCR	ODR
ポート 1～ポート 5		～説明省略(変更なし)～					
ポート 6 ^{*3}	6					-	-
ポート A	8					-	-
ポート B ^{*4}	4					-	-
ポート D ^{*1} ～ポート K ^{*2}		～説明省略(変更なし)～					

【記号説明】 : レジスタあり、- : レジスタなし

【注】*1 PCJKE=1 のときはアクセスしないでください。

*2 PCJKE=0 のときはアクセスしないでください。

*3 ポート 6 は、下位 6 ビットが有効で、上位 2 ビットはリザーブビットです。ライト時は、初期値をライトしてください。

*4 ポート B は、下位 4 ビットが有効で、上位 4 ビットはリザーブビットです。ライト時は、初期値をライトしてください。

(3) 頁 12-16 「12.2.2 ポート 2」の設定を以下のように訂正します。

〔変更前〕

(4) P24/PO4/TIOCA4/TIOCB4/TMRI1/SCK1/IRQ12-A

モジュール名	端子機能	設定			
		TPU	SCI	PPG	PORT
		TIOCB4_OE	SCK1_OE	PO4_OE	P24DDR
~ 以下省略(変更なし) ~					

(6) P22/PO2/TIOCC3/TMO0/TxD0/IRQ10-A

モジュール名	端子機能	設定				
		TPU	TMR	SCI	PPG	PORT
		TIOCC3_OE	TMO0_OE	TxD0_OE	PO2_OE	P22DDR
~ 以下省略(変更なし) ~						

〔変更後〕

(4) P24/PO4/TIOCA4/TIOCB4/TMRI1/SCK1/IRQ12-A

モジュール名	端子機能	設定			
		TPU	SCI	PPG	I/Oポート
		TIOCB4_OE	SCK1_OE	PO4_OE	P24DDR
~ 以下省略(変更なし) ~					

(6) P22/PO2/TIOCC3/TMO0/TxD0/IRQ10-A

モジュール名	端子機能	設定				
		TPU	TMR	SCI	PPG	I/Oポート
		TIOCC3_OE	TMO0_OE	TxD0_OE	PO2_OE	P22DDR
~ 以下省略(変更なし) ~						

(4) 頁 12-27 12.2.7 ポート B の PB3、PB2 の記述を、以下のように訂正します。

〔変更前〕

(1) PB3/ $\overline{CS3}$ / $\overline{CS7}$ -A

動作モードと EXPE ビット、**バスコントローラのレジスタ**、ポートファンクションコントロールレジスタ (PFCR) の設定、および PB3DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定		
		バスコントローラ		I/O ポート
		$\overline{CS3_OE}$	$\overline{CS7A_OE}$	PB3DDR
~ 以下省略(変更なし) ~				

(2) PB2/ $\overline{CS2}$ -A/ $\overline{CS6}$ -A

動作モードと EXPE ビット、**バスコントローラのレジスタ**、ポートファンクションコントロールレジスタ (PFCR) の設定、および PB2DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定		
		バスコントローラ		I/O ポート
		$\overline{CS2A_OE}$	$\overline{CS6A_OE}$	PB2DDR
~ 以下省略(変更なし) ~				

〔変更後〕

(1) PB3/ $\overline{CS3}$ / $\overline{CS7}$ -A

動作モードと EXPE ビット、ポートファンクションコントロールレジスタ (PFCR) の設定、および PB3DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定		
		I/O ポート		
		$\overline{CS3_OE}$	$\overline{CS7A_OE}$	PB3DDR
~ 以下省略(変更なし) ~				

(2) PB2/ $\overline{CS2}$ -A/ $\overline{CS6}$ -A

動作モードと EXPE ビット、ポートファンクションコントロールレジスタ (PFCR) の設定、および PB2DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定		
		I/O ポート		
		$\overline{CS2A_OE}$	$\overline{CS6A_OE}$	PB2DDR
~ 以下省略(変更なし) ~				

(5) 頁 12-30 「12.2.10 ポート F」の設定を以下のように訂正します。

〔変更前〕

(1) PF7/A23/ $\overline{CS4}$ -C/ $\overline{CS5}$ -C/ $\overline{CS6}$ -C/ $\overline{CS7}$ -C/SCK5

モジュール名	端子機能	設定						
		SCI	I/O ポート					
		SCK5_OE	A23_OE	$\overline{CS4C}$ _OE	$\overline{CS5C}$ _OE	$\overline{CS6C}$ _OE	$\overline{CS7C}$ _OE	PF7DDR
SCI	SCK6 出力	1	-	-	-	-	-	-
~ 以下省略(変更なし) ~								

〔変更後〕

(1) PF7/A23/ $\overline{CS4}$ -C/ $\overline{CS5}$ -C/ $\overline{CS6}$ -C/ $\overline{CS7}$ -C /SCK5

モジュール名	端子機能	設定						
		SCI	I/O ポート					
		SCK5_OE	A23_OE	$\overline{CS4C}$ _OE	$\overline{CS5C}$ _OE	$\overline{CS6C}$ _OE	$\overline{CS7C}$ _OE	PF7DDR
SCI	SCK5 出力	1	-	-	-	-	-	-
~ 以下省略(変更なし) ~								

(6) 頁 12-46 「表 12.5 各ポートの出力信号有効設定一覧」の出力信号名を以下のように訂正します。

〔変更前〕

Port	出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定	
PF	7	A23A_OE	~ 説明省略(変更なし) ~		
		SCK5_OE			
		$\overline{CS4C}$ _OE	CS4	PFCR1.CS4S[A,B]=10	SYSCR.EXPE=1,PFCR0.CS4E=1
		$\overline{CS5C}$ _OE	CS5	PFCR1.CS5S[A,B]=10	SYSCR.EXPE=1,PFCR0.CS5E=1
		$\overline{CS6C}$ _OE	CS6	PFCR1.CS6S[A,B]=10	SYSCR.EXPE=1,PFCR0.CS6E=1
		$\overline{CS7C}$ _OE	CS7	PFCR1.CS7S[A,B]=10	SYSCR.EXPE=1,PFCR0.CS7E=1
	6	A22A_OE	~ 説明省略(変更なし) ~		
		$\overline{CS6D}$ _OE	CS6 ³	PFCR1.CS6S[A,B]=11	SYSCR.EXPE=1,PFCR0.CS6E=1
	5	A21A_OE	~ 説明省略(変更なし) ~		
		TxD5_OE			
		IrTxD_OE			
		$\overline{CS5D}$ _OE	CS5 ³	PFCR1.CS5S[A,B]=11	SYSCR.EXPE=1,PFCR0.CS5E=1
~ 以下省略(変更なし) ~					

〔変更後〕

Port	出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定	
PF	7	A23A_OE	~ 説明省略(変更なし) ~		
		SCK5_OE			
		$\overline{CS4C}$ _OE	$\overline{CS4}$	PFCR1.CS4S[A,B]=10	SYSCR.EXPE=1,PFCR0.CS4E=1
		$\overline{CS5C}$ _OE	$\overline{CS5}$	PFCR1.CS5S[A,B]=10	SYSCR.EXPE=1,PFCR0.CS5E=1
		$\overline{CS6C}$ _OE	$\overline{CS6}$	PFCR1.CS6S[A,B]=10	SYSCR.EXPE=1,PFCR0.CS6E=1
		$\overline{CS7C}$ _OE	$\overline{CS7}$	PFCR1.CS7S[A,B]=10	SYSCR.EXPE=1,PFCR0.CS7E=1
	6	A22A_OE	~ 説明省略(変更なし) ~		
		$\overline{CS6D}$ _OE	$\overline{CS6}$ ³	PFCR1.CS6S[A,B]=11	SYSCR.EXPE=1,PFCR0.CS6E=1
	5	A21A_OE	~ 説明省略(変更なし) ~		
		TxD5_OE			
		IrTxD_OE			
		$\overline{CS5D}$ _OE	$\overline{CS5}$ ³	PFCR1.CS5S[A,B]=11	SYSCR.EXPE=1,PFCR0.CS5E=1
~ 以下省略(変更なし) ~					

19. A/D変換器

(1) 頁 19-11 ADCR_0 のビット 3,2 の説明を以下のように訂正します。

〔変更前〕

ビット	ビット名	初期値	R/W	説明
3	CKS1	0	R/W	クロックセレクト 1、0
2	CKS0	0	R/W	~説明省略(変更なし)~ CKS1 CKS0 00:変換時間 = 530 ステート ^{*2} (max) 01:変換時間 = 266 ステート ^{*2} (max) 10:変換時間 = 134 ステート ^{*2} (max) 11:変換時間 = 68 ステート ^{*2} (max)

〔変更後〕

ビット	ビット名	初期値	R/W	説明
3	CKS1	0	R/W	クロックセレクト 1、0
2	CKS0	0	R/W	~説明省略(変更なし)~ CKS1 CKS0 00:変換時間 = 528 ステート ^{*2} (max) 01:変換時間 = 268 ステート ^{*2} (max) 10:変換時間 = 138 ステート ^{*2} (max) 11:変換時間 = 73 ステート ^{*2} (max)

(2) 頁 19-13 ADCR_1 のビット 3,2 の説明を以下のように訂正します。

〔変更前〕

ビット	ビット名	初期値	R/W	説明
3	CKS1	0	R/W	クロックセレクト 1、0
2	CKS0	0	R/W	~説明省略(変更なし)~ EXCKS CKS1 CKS0 000:変換時間 = 530 ステート ^{*2} (max) 001:変換時間 = 266 ステート ^{*2} (max) 010:変換時間 = 134 ステート ^{*2} (max) 011:変換時間 = 68 ステート ^{*2} (max) 100:変換時間 = 332 ステート ^{*2} (max) 101:変換時間 = 168 ステート ^{*2} (max) 110:変換時間 = 87 ステート ^{*2} (max) 111:変換時間 = 46 ステート ^{*2} (max)

〔変更後〕

ビット	ビット名	初期値	R/W	説明
3	CKS1	0	R/W	クロックセレクト 1、0
2	CKS0	0	R/W	~説明省略(変更なし)~ EXCKS CKS1 CKS0 000:変換時間 = 528 ステート ^{*2} (max) 001:変換時間 = 268 ステート ^{*2} (max) 010:変換時間 = 138 ステート ^{*2} (max) 011:変換時間 = 73 ステート ^{*2} (max) 100:変換時間 = 336 ステート ^{*2} (max) 101:変換時間 = 172 ステート ^{*2} (max) 110:変換時間 = 90 ステート ^{*2} (max) 111:変換時間 = 49 ステート ^{*2} (max)

(3) 頁 19-19 「表 19.3 A/D 変換特性(EXCKS=0 時)」、 「表 19.4 A/D 変換特性(EXCKS=1 時：ユニット 1)」を、
以下のように訂正します。

〔変更前〕

表 19.3 A/D 変換特性(EXCKS=0 時)

項目	記号	CKS1=0						CKS1=1					
		CKS0=0			CKS0=1			CKS0=0			CKS0=1		
		min	typ	max									
A/D 変換開始遅延時間	t _D	4	-	14	4	-	10	4	-	8	3	-	7
入力サンプリング時間	t _{SPL}	-	312	-	-	156	-	-	78	-	-	39	-
A/D 変換時間	t _{CONV}	518	-	528	262	-	268	134	-	138	69	-	73

表 19.4 A/D 変換特性(EXCKS=1 時：ユニット 1)

項目	記号	CKS1=0						CKS1=1					
		CKS0=0			CKS0=1			CKS0=0			CKS0=1		
		min	typ	max									
A/D 変換開始遅延時間	t _D	4	-	14	4	-	10	4	-	8	3	-	7
入力サンプリング時間	t _{SPL}	-	120	-	-	60	-	-	30	-	-	15	-
A/D 変換時間	t _{CONV}	326	-	336	166	-	172	86	-	90	45	-	49

〔変更後〕

表 19.3 A/D 変換特性(ユニット 0)

項目	記号	CKS1=0						CKS1=1					
		CKS0=0			CKS0=1			CKS0=0			CKS0=1		
		min	typ	max	min	typ	max	min	typ	max	min	typ	max
A/D 変換開始遅延時間	t _D	3	-	14	3	-	10	3	-	8	3	-	7
入力サンプリング時間	t _{SPL}	-	312	-	-	156	-	-	78	-	-	39	-
A/D 変換時間	t _{CONV}	517	-	528	261	-	268	133	-	138	69	-	73

表 19.4.1 A/D 変換特性(ユニット 1：EXCKS=0 時)

項目	記号	CKS1=0						CKS1=1					
		CKS0=0			CKS0=1			CKS0=0			CKS0=1		
		min	typ	max	min	typ	max	min	typ	max	min	typ	max
A/D 変換開始遅延時間	t _D	4	-	14	4	-	10	4	-	8	4	-	7
入力サンプリング時間	t _{SPL}	-	312	-	-	156	-	-	78	-	-	39	-
A/D 変換時間	t _{CONV}	518	-	528	262	-	268	134	-	138	70	-	73

表 19.4.2 A/D 変換特性(ユニット 1：EXCKS=1 時)

項目	記号	CKS1=0						CKS1=1					
		CKS0=0			CKS0=1			CKS0=0			CKS0=1		
		min	typ	max	min	typ	max	min	typ	max	min	typ	max
A/D 変換開始遅延時間	t _D	4	-	14	4	-	10	4	-	8	4	-	7
入力サンプリング時間	t _{SPL}	-	120	-	-	60	-	-	30	-	-	15	-
A/D 変換時間	t _{CONV}	326	-	336	166	-	172	86	-	90	46	-	49

22. フラッシュメモリ

(1) 頁 22-28 「表 22.5 オンボードプログラミングモードの設定方法」のモード設定の記述を以下のように訂正します。

〔変更前〕

モード設定	EMLE	MD2	MD1	MD0
ユーザブートモード	0	0	0	1
ブートモード	0	0	1	0
ユーザプログラミングモード	0	1	1	0
	0	1	1	1

〔変更後〕

モード設定	EMLE	MD2	MD1	MD0
ユーザブートモード	0	0	0	1
ブートモード	0	0	1	0
ユーザプログラムモード	0	1	1	0
	0	1	1	1

26. レジスタ一覧

(1) 頁 26-46 「26.3 各動作モードにおけるレジスタの状態」のSYSTEM モジュールの記述を以下のように訂正します。

〔変更前〕

レジスタ略称	リセット	モジュールストップ状態	スリープモード	全モジュールクロックストップモード	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード	ハードウェアスタンバイモード	モジュール
～説明省略(変更なし)～								FLASH
DPSBYCR	初期化	-	-	-	-	初期化 ^{*1}	初期化	SYSTEM
DPSWCR	初期化	-	-	-	-	初期化 ^{*1}	初期化	
DPSIER	初期化	-	-	-	-	初期化 ^{*1}	初期化	
DPSIFR	初期化	-	-	-	-	初期化 ^{*1}	初期化	
DPSIEGR	初期化	-	-	-	-	初期化 ^{*1}	初期化	
RSTSR	初期化	-	-	-	-	初期化 ^{*1}	初期化	
LVDCR ^{*2}	初期化 ^{*3}	-	-	-	-	-	初期化	
～説明省略(変更なし)～								SCI_2

〔変更後〕

レジスタ略称	リセット	モジュールストップ状態	スリープモード	全モジュールクロックストップモード	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード	ハードウェアスタンバイモード	モジュール
～説明省略(変更なし)～								FLASH
DPSBYCR	初期化	-	-	-	-		初期化	SYSTEM
DPSWCR	初期化	-	-	-	-		初期化	
DPSIER	初期化	-	-	-	-		初期化	
DPSIFR	初期化	-	-	-	-		初期化	
DPSIEGR	初期化	-	-	-	-		初期化	
RSTSR	初期化	-	-	-	-		初期化	
LVDCR ^{*2}	初期化 ^{*3}	-	-	-	-	-	初期化	
～説明省略(変更なし)～								SCI_2