

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

日立マイクロコンピュータ技術情報

〒 1 0 0 - 0 0 0 4

東京都千代田区大手町 2 丁目 6 番 2 号

(日本ビル)

TEL (03)5201- 5146 (ダイヤルイン)

株式会社 日立製作所 半導体グループ

題 目	SH-4、シンクロナス DRAM 間の クロック配線		発行番号	TN-SH7-372A	
			分 類	1. 仕様変更 ②. ドキュメント訂正追加等 3. 使用上の注意事項	
適 用 製 品	SH7750, SH7750S	対象ロット等	SH7750 シリーズ ハードウェアマニュアル	Rev.	有効期限
		全ロット		関連資料	

[概要] SH-4、シンクロナス DRAM 間のクロック配線について

SH-4 はシンクロナス DRAM と接続可能なインターフェイスを備えていますが、これらを実装する PCB の設計には注意が必要です。SH-4 の CK10 端子とシンクロナス DRAM のクロック入力端子を結ぶ配線の実装設計を行う場合、次の 2 項目が設計目標となります。

- 1 . シンクロナス DRAM 受端におけるクロック波形の歪みを抑制し、シンクロナス DRAM を正常動作させる
- 2 . SH-4 送端におけるクロック波形の歪みを抑制し、PLL 回路 2 を正常動作させる

以下、この 2 項目を満たすためのクロック配線例を示します。さらに SH7750, SH7750S の BGA パッケージ版は CK10 の負荷を分散させるために CK102 を備えていますが、この端子の使用法を

- 3 . CK102 使用上の注意

にて説明します。

[詳細内容]

1. シンクロナス DRAM 受端におけるクロック波形の歪みを抑制し、シンクロナス DRAM を正常動作させるために

SH-4 の CK10 端子から出力されたクロック信号をシンクロナス DRAM に正しく伝送するためには、基板上の配線方式と線路構造に注意が必要です。例として SH-4 の外部バスに 16 ビット幅のシンクロナス DRAM を 4 個並列に接続した場合の SH-4 とシンクロナス DRAM の配置とクロックの配線を図 1 に示します。この例では 4 層板を使用し、内層の 2 層を電源、グランド層としています。また抵抗等を用いたクロック線の終端処理は行っていません。本例における要点は以下の 3 点となります。

(1) SH-4 とシンクロナス DRAM の配置

SH-4 の D0 から D63 のピンは 16 ビット単位で CK10 を中心としたチップの両側に配置されています。このため、4 個の 16 ビット幅のシンクロナス DRAM を図 1 のように配置すると最もコンパクトな配置、配線が行えます(4 層板の場合)。なお本例では 4 個のシンクロナス DRAM のうち、2 個は半田面に実装しています。

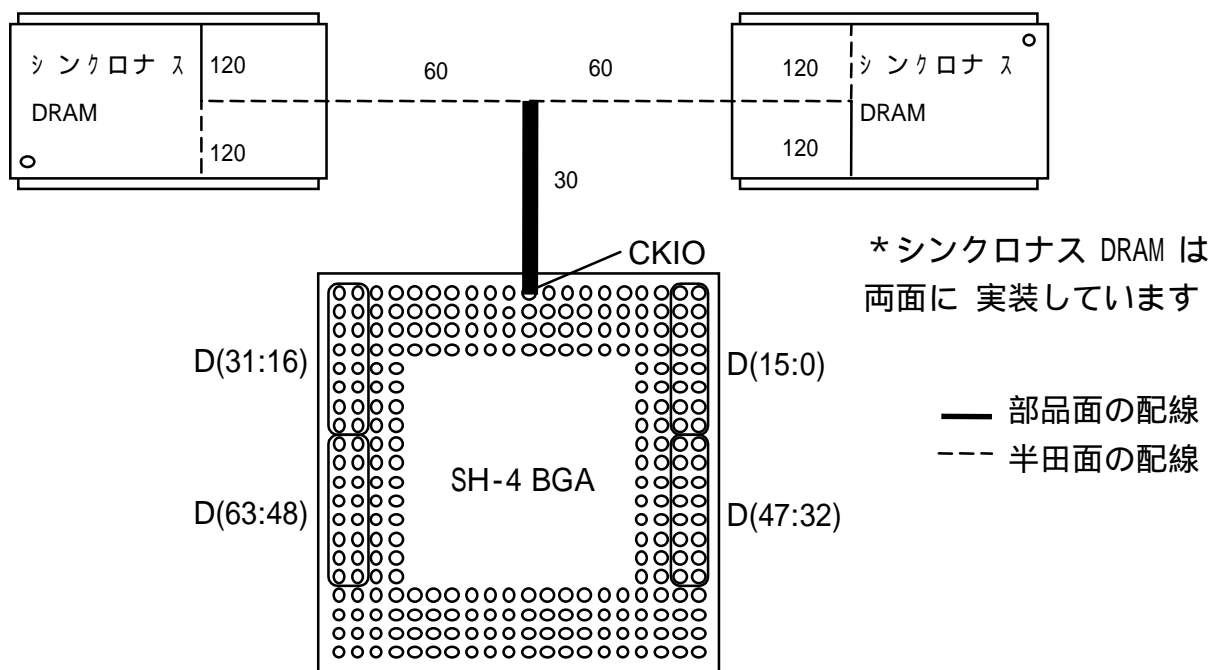


図1 SH-4、シンクロナス DRAM の配置とクロック配線例

(2) SH-4 の出力インピーダンスと配線の特性インピーダンスの整合

一般に波形の歪みを抑制する場合、線路の送端、または終端でインピーダンス整合を取り、信号の多重反射を抑制する必要があります。本例では SH-4 の出力インピーダンス(参考値:立ち上がり時 30、立ち下がり時 10)に線路の特性インピーダンスを整合させる方法を選択しました。この方法には以下の長所があります。

- ・通常の基板厚 1.6mm の 4 層板で 100 以上ある線路の特性インピーダンスを 30 まで低減するため、信号の立ち上がりが速くなる。
- ・インピーダンス整合に伴う追加部品を一切必要としない。

具体的なインピーダンス値は以下の方法で決めています。まず CK10 端子直後の線路の特性インピーダンスを SH-4 の立ち上がり時の出力インピーダンスである 30 に整合させます。さらに線路の分岐点におけるインピーダンス不整合を無くすために、分岐前の特性インピーダンス 30 に対して、分岐後の特性インピーダンスを 2 倍の約 60 とします。同様の理由で 2 回目の分岐以降の線路の特性インピーダンスを約 120 に調整しています。図 1 にクロック配線とその分岐線路毎の特性インピーダンス値を示します。この分岐線路毎のインピーダンス調整は、線路幅を分岐線路毎に変化させることで実現しています。図 2 に示すマイクロストリップ線路の場合、

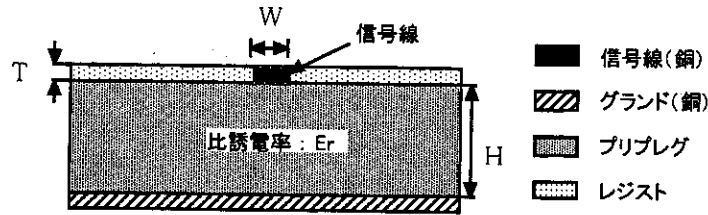


図2 マイクロストリップ線路の縦構造

その線路の特性インピーダンス Z_0 は、レジストを無視できるとすると次式に従います⁽¹⁾。

$$Z_0 = \frac{87}{\sqrt{E_r + 1.414}} \ln\left(\frac{5.98H}{0.8W + T}\right)$$

上式の変数の内、 E_r 、 H 、 T は基板全体で統一されるため、分岐線路毎に調整可能なパラメータは W のみであることがわかります。なお、レジストの影響まで含んだ特性インピーダンスや、マイクロストリップ以外の構造を持つ線路の特性インピーダンスは各種シミュレータ (Apsim 社 RLGC⁽²⁾、Avant! 社 Star-HSPICE⁽³⁾ 等) で計算することができます。

(3) 等長配線

本例では SH-4 送端でインピーダンス整合を取っているため、シンクロナス DRAM 受端における終端処理を行っていません。このため 4 つのシンクロナス DRAM 受端で反射が発生しますが、分岐線路を等長化しているためにこれらの反射波は分岐点において位相が一致し、反射波は全て SH-4 送端に戻るようになります。SH-4 の送端では出力インピーダンスと線路の特性インピーダンスを整合させてあるため、反射波の再反射は起こりません。なお等長配線の精度は、クロック線の線路長によらず誤差 1mm 以内に抑えておけば効果があります。

これまでに述べたインピーダンス調整と等長配線は同時に行われて初めて効果があります。

2. SH-4 送端におけるクロック波形の歪みを抑制し、PLL 回路 2 を正常動作させるために

SH-4 は内部バスクロック (B) と CK10 の位相を合わせるために CK10 からのクロック出力を内部の PLL 回路 2 にフィードバックしています。このため CK10 に関しては、受端だけでなく SH-4 送端でのシグナルインテグリティが必要です。特に SH-4 送端における階段状の電圧波形は PLL 回路 2 の安定動作を妨げる可能性があります。この階段状の波形を抑制するには、受端からの反射波をクロックの立ち上がりまたは立下り時間内に収める必要があります。クロックの立ち上がりまたは立ち下り時間を τ 、信号の伝播速度を v とすると、CK10 の線路長 l (CK10 から最も遠い受端までの距離) は、

$$\frac{2l}{v} < \tau$$

を満たす必要があります。SH-4 の場合 の min 値は 0.7ns(参考値)となるため、ここで v を本ボードにおけるシミュレーション値である約 160mm/ns とすると、許容される線路長 l は約 56mm となります (シミュレータは Apsim 社 RLGC⁽²⁾)。

3. CKI02 使用上の注意

SH-4 は CKI0 の負荷を軽減させるために CKI02 端子を備えています。この 2 つの端子の違いは、CKI0 の出力が PLL 回路 2 にフィードバックされるのに対して、CKI02 の出力はフィードバックされないことです。そのため、CKI0 と内部バスクロック (B) の位相が合うことは保証されますが、CKI02 と B が合うことは保証されません。ゆえに B と位相の一致を要求するシンクロナス DRAM 等のデバイスを接続する際は、以下の事項に注意してください。

- CKI0 と CKI02 のうち、1 つしか必要としない場合は、CKI0 の方に接続してください
- CKI0 と CKI02 を使用し、かつ B と CKI02 の位相を合わせる必要がある場合には、CKI0 と CKI02 の負荷が等しくなるように調整してください。

<参考> 「SH7750 ハードウェアマニュアル第 5 版 付録 D」に CKI0 と CKI02 の出力部のブロック図が掲載されています。

4. 実基板上での対策

ユーザ側のシステム構成では、これまでに述べたクロックパターン仕様で基板を設計することができないことも考えられます。実際の基板で起こる問題として以下の 2 点があげられます。

- シンクロナス DRAM (もしくは ASIC) 受端での CKI0 波形異常 (基板インピーダンスの不整合)
- CKI0 の PLL 回路 2 の動作不安定 (CKI0 送端での反射波による PLL 誤動作)

上記、2 つの問題において基板上の CKI0 パターンにダンピング抵抗を入れて、対策する方法が考えられます。このときダンピング抵抗は CKI0 端子への反射波の影響を極力小さくし、かつ CKI0 送端からみた基板上のインピーダンスをより均一に見せるために、CKI0 パターン送端 (SH-4 の CKI0 端子) のすぐ近くに実装する必要があります。

挿入するダンピング抵抗としては、SH-4 の出力インピーダンスである 30 (参考値) に近づける 20 ~ 40 程度のものを推奨します。正確な値は実際の基板のパターンや負荷条件によって決まるため、実際の基板上で調整する必要があります。このとき CKI0 パターンの送端および受端の波形がもっともきれいになる (階段状の波形をなくす、もしくはスレッシュホールド電圧 ($V_{ddq}/2$) 近辺から階段状の部分はずす) ように抵抗値を調整します。

5. 参考文献

- (1) Mark I. Montrose, Printed Circuit Board Design Techniques for EMC Compliance, Chapter4: IEEE Press (邦訳 : プリント回路の EMC 設計 オーム社)
- (2) <http://www.edac.org/Apsim/rlgc.html>
- (3) <http://www.avanticorp.com/pdf/hspice.pdf>