

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/inquiry>E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RX*-A014A/J	Rev.	第1版
題名	RX630 グループ RIIC モジュールのタイミング仕様変更		情報分類	技術情報	
適用製品	RX630 グループ	対象ロット等	関連資料	RX630 グループ ユーザーズマニュアル ハードウェア編 Rev.1.01 (R01UH0040JJ0101)	
		全ロット			

RX630 グループ ユーザーズマニュアル ハードウェア編 Rev. 1.01 の電気的特性「45.4.5 内蔵周辺モジュールタイミング」の表 45.18 内部モジュールタイミング(4)、表 45.19 内部モジュールタイミング(5) に以下の変更がありますので連絡いたします。

1. 記号の変更

記号を以下のように変更します。

変更前 変更後

(1/PCLK) → t_{IICcyc} (RIIC)

(1/PCLK) → t_{Pcyc} (簡易 IIC)

(以下、2、3 では「 t_{IICcyc} 」「 t_{Pcyc} 」と記します。)

2. 表 45.18 内部モジュールタイミング(4)

以下の規格値を変更いたします。下線部が変更点です。

2.1 RIIC (Standardmode、SMBus) ICFER.FMPE=0

項目	記号		変更前	変更後
SCL 入力サイクル時間	tSCL	min	<u>8(10)</u> ×(1/PCLK)+1300	<u>6(12)</u> × t_{IICcyc} +1300
SCL 入力 High パルス幅	tSCLH	min	<u>3(5)</u> ×(1/PCLK)+300	<u>3(6)</u> × t_{IICcyc} +300
SCL 入力 Low パルス幅	tSCLL	min	<u>5</u> ×(1/PCLK)+1000	<u>3(6)</u> × t_{IICcyc} +300
SCL、SDA 入力スパイクパルス除去時間	tSP	max	<u>4</u> ×(1/PCLK)	<u>1(4)</u> × t_{IICcyc}
SDA 入力バスフリー時間	tBUF	min	<u>5</u> ×(1/PCLK)+1000	<u>3(6)</u> × t_{IICcyc} +300
開始条件入力ホールド時間	tSTAH	min	<u>3(5)</u> ×(1/PCLK)+300	t_{IICcyc} +300
再送開始条件入力セットアップ時間	tSTAS	min	<u>5</u> ×(1/PCLK)+1000	1000
停止条件入力セットアップ時間	tSTOS	min	<u>3(5)</u> ×(1/PCLK)+300	<u>1000</u>
データ入力セットアップ時間	tSDAS	min	<u>250</u>	<u>t_{IICcyc}+50</u>

2.2 RIIC (Fast-mode)

項目	記号		変更前	変更後
SCL 入力サイクル時間	tSCL	min	$8(10) \times (1/PCLK) + 600$	$6(12) \times tIICcyc + 600$
SCL 入力 High パルス幅	tSCLH	min	$3(5) \times (1/PCLK) + 300$	$3(6) \times tIICcyc + 300$
SCL 入力 Low パルス幅	tSCLL	min	$5 \times (1/PCLK) + 300$	$3(6) \times tIICcyc + 300$
SCL、SDA 入力スパイクパルス除去時間	tSP	max	$4 \times (1/PCLK)$	$1(4) \times tIICcyc$
SDA 入力バスフリー時間	tBUF	min	$5 \times (1/PCLK) + 300$	$3(6) \times tIICcyc + 300$
開始条件入力ホールド時間	tSTAH	min	$3(5) \times (1/PCLK) + 300$	$tIICcyc + 300$
再送開始条件入力セットアップ時間	tSTAS	min	$5 \times (1/PCLK) + 300$	300
停止条件入力セットアップ時間	tSTOS	min	$3(5) \times (1/PCLK) + 300$	300
データ入力セットアップ時間	tSDAS	min	100	$tIICcyc + 50$

3. 表 45.19 内部モジュールタイミング (5)

以下の規格値を変更いたします。

3.1 RIIC (Fast-mode+) ICFER.FMPE=1

項目	記号		変更前	変更後
SCL 入力サイクル時間	tSCL	min	$8(10) \times (1/PCLK) + 240$	$6(12) \times tIICcyc + 240$
SCL 入力 High パルス幅	tSCLH	min	$3(5) \times (1/PCLK) + 120$	$3(6) \times tIICcyc + 120$
SCL 入力 Low パルス幅	tSCLL	min	$5 \times (1/PCLK) + 120$	$3(6) \times tIICcyc + 120$
SCL、SDA 入力スパイクパルス除去時間	tSP	max	$4 \times (1/PCLK)$	$1(4) \times tIICcyc$
SDA 入力バスフリー時間	tBUF	min	$5 \times (1/PCLK) + 120$	$3(6) \times tIICcyc + 120$
開始条件入力ホールド時間	tSTAH	min	$3(5) \times (1/PCLK) + 120$	$tIICcyc + 120$
再送開始条件入力セットアップ時間	tSTAS	min	$5 \times (1/PCLK) + 120$	120
停止条件入力セットアップ時間	tSTOS	min	$3(5) \times (1/PCLK) + 120$	120
データ入力セットアップ時間	tSDAS	min	50	$tIICcyc + 20$

4. 訂正後の表 45.18、表 45.19

次ページ以降に変更後の表 45.18、表 45.19 を示します。表中の太字は変更する規格値を表します。

表 45.18 内蔵周辺モジュールタイミング (4)

条件：VCC=AVCC0=VCC_USB=2.7~3.6V、VREFH/VREFH0=2.7V~AVCC0

VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V

PCLK=8~50MHz、 $T_a=T_{opr}$

駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min (注1、注2)	max	単位	測定条件
IIC (Standard-mode、SMBus) ICFER、FMPE=0	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 1300$	—	ns	図45.37
	SCL入力Highパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDA入カバスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	1000	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
IIC (Fast-mode)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 600$	—	ns	
	SCL入力Highパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	$20 + 0.1C_b$	300	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	$20 + 0.1C_b$	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDA入カバスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	300	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	300	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	

注. t_{IICcyc} : IIC の内部基準クロック (IICφ) の周期

注1. () 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. C_b はバスラインの容量総計です。

表45.19 内蔵周辺モジュールタイミング(5)

条件:VCC=AVCC0=VCC_USB=2.7~3.6V、VREFH/VREFH0=2.7V~AVCC0

VSS=AVSS0=VREFL/VREFL0=VSS_USB=0V

PCLK=8~50MHz、 $T_a = T_{opr}$

駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min (注1、注2)	max	単位	測定条件
RIIC (Fast-mode+) ICFER.FMPE=1	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 240$	—	ns	図45.37
	SCL入力Highパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 120$	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 120$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	120	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	120	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDA入力バスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 120$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{IICcyc} + 120$	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	120	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	120	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 20$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	550	pF	
	簡易IIC (Standard-mode)	SDA入力立ち上がり時間	t_{Sr}	—	1000	
SDA入力立ち下がり時間		t_{Sf}	—	300	ns	
SDA入カスパイクパルス除去時間		t_{SP}	0	$4 \times t_{Pcyc}$	ns	
データ入力セットアップ時間		t_{SDAS}	250	—	ns	
データ入力ホールド時間		t_{SDAH}	0	—	ns	
SCL、SDAの容量性負荷		C_b	—	400	pF	
簡易IIC (Fast-mode)	SCL、SDA入力立ち上がり時間	t_{Sr}	$20 + 0.1C_b$	300	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	$20 + 0.1C_b$	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{Pcyc}$	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	

注. t_{IICcyc} : RIIC の内部基準クロック (IICφ) の周期、 t_{Pcyc} : PCLKの周期

注1. () 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. C_b はバスラインの容量総計です。

以上