

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル
株式会社 ルネサス テクノロジ
問合せ窓口 <http://japan.renesas.com/inquiry>
E-mail: csc@renesas.com

製品分類	MPU&MCU	発行番号	TN-SH7-A572A/J	Rev.	第1版
題名	SH7720 ハードウェアマニュアルの訂正について(2)		情報分類	技術情報	
適用製品	HD6417720	対象ロット等	関連資料	SH7720 ハードウェアマニュアル (RJJ09B0027-0200 Rev2.00)	
		全ロット			

SH7720 ハードウェアマニュアル Rev2.00 に誤記、及び記載漏れがありましたので、訂正のご連絡をいたします。

1. 1-9ページ 図1.2 ピン配置図 (PLBG0256GA-A (BP-256H/HV))」の誤記

端子番号	誤	正
K17	SCIF0_TxD/PTT2	SCIF0_TxD/IrTx/PTT2
L17	SCIF0_RxD/PTT1	SCIF0_RxD/IrRx/PTT1

2. 1-10ページ 図1.3 ピン配置図 (PLBG0256KA-A (BP-256C/CV))」の誤記

端子番号	誤	正
K1	VccQ1	VssQ1
L1	VssQ1	VccQ1
L20	SCIF0_TxD/PTT2	SCIF0_TxD/IrTx/PTT2
L21	SCIF0_RxD/PTT1	SCIF0_RxD/IrRx/PTT1
U5	D15	D5

3. 1-11～18ページ 表1.2 ピン配置表」の誤記

(誤)

端子番号 (PLBG0256G A-A)	端子番号 (PLBG0256K A-A)	端子名	機能	入出力	I/O バッファ 供給電源
K17	L20	SCIF0_TxD/PTT2	送信データ/汎用ポート	O/IO	VccQ
L17	L21	SCIF0_RxD/PTT1	受信データ/汎用ポート	I/IO	VccQ

(正)

端子番号 (PLBG0256G A-A)	端子番号 (PLBG0256K A-A)	端子名	機能	入出力	I/O バッファ 供給電源
K17	L20	SCIF0_TxD/IrTx/PTT2	送信データ/送信データ/汎用ポート	O/O/IO	VccQ
L17	L21	SCIF0_RxD/IrRx/PTT1	受信データ/受信データ/汎用ポート	I/I/IO	VccQ

4. 11-3ページ 「1.1 特長」の誤記

(誤) (9) USBH/USBF クロック制御レジスタ

USBH/USBF クロック制御レジスタには、USBH/USBF クロックを生成する源クロックと分周比を設定します。

(正) (9) USBH/USBF クロック制御レジスタ

USBH/USBF クロック制御レジスタには、USBH/USBF クロックを生成する源クロックを設定します。

5. 11-8ページ 「1.4.1 周波数制御レジスタ (FRQCR)」の誤記

(誤)

ビット	ビット名	初期値	R/W	説明
15	PLL2EN	0	R/W	PLL2 イネーブル クロック動作モード7 のとき、PLL 回路2 を ON にするかどうかを設定します。 USBH/USBF クロックにPLL 回路2 の出力を用いるときに ON にします。 クロック動作モード7 以外のときは、このビットの値によらず PLL 回路2 は ON になります。 0 PLL 回路2 を OFF にする 1 PLL 回路2 を ON にする

(正)

ビット	ビット名	初期値	R/W	説明
15	PLL2EN	0	R/W	PLL2 イネーブル クロック動作モード7 のとき、PLL 回路2 を ON にするかどうかを設定します。 クロック動作モード7 以外のときは、このビットの値によらず PLL 回路2 は ON になります。 0 PLL 回路2 を OFF にする 1 PLL 回路2 を ON にする

6. 31-19 ページ 「3.3.15 転送クロックコントロールレジスタ (CLKON)」の誤記

(誤) MMCIF おいて、20Mbps の転送クロックを実現するためには、周辺クロックを40MHz とし CSEL3 ~ CSEL0 を0001 に設定する必要があります。

(正) MMCIF おいて、16.5Mbps の転送クロックを実現するためには、周辺クロックを33MHz とし CSEL3 ~ CSEL0 を0001 に設定する必要があります。

7. 34-1 ~ 4 ページ 表34.1 マルチプレクス一覧表」の誤記

(誤)

ポート	ポート機能 (関連モジュール)	その他の機能 (関連モジュール)
T	PTT2 入出力 (ポート)	SCIF0_TxD 出力 (SCIF)
	PTT1 入出力 (ポート)	SCIF0_RxD 入力 (SCIF)

(正)

ポート	ポート機能 (関連モジュール)	その他の機能 (関連モジュール)
T	PTT2 入出力 (ポート)	SCIF0_TxD 出力 (SCIF) / IrTx 出力 (IrDA)
	PTT1 入出力 (ポート)	SCIF0_RxD 入力 (SCIF) / IrRx 入力 (IrDA)

8. 35-22ページ 図35.16 ポート」の誤記

(誤) PTT2 (入出力) / SCIF0_TxD (出力)
 PTT1 (入出力) / SCIF0_RxD (入力)

(正) PTT2 (入出力) / IrTx (出力) / SCIF0_TxD (出力)
 PTT1 (入出力) / IrRx (入力) / SCIF0_RxD (入力)

9. 36-5～12ページ 表36.3 SH7720の端子とパウンダリスキャンレジスタの対応」の誤記

(誤)

ビット名	端子名	入出力	ビット名	端子名	入出力
194	SCIF0_RxD/PTT1	IN	172	USB1_ovr_current/USBF_VBUS	IN
193	SCIF0_TxD/PTT2	IN	171	PCC_VS1/PINT4/PTK0	OUT
155	SCIF0_RxD/PTT1	OUT	133	PCC_VS1/PINT4/PTK0	Control
154	SCIF0_TxD/PTT2	OUT	132	PCC_VS2/PINT5/PTK1	Control
117	SCIF0_RxD/PTT1	Control	95	ADTRG/PTF0	IN
116	SCIF0_TxD/PTT2	Control	94	USB1_pwr_en/USBF_UPLUP/ PTH0	IN

(正)

ビット名	端子名	入出力	ビット名	端子名	入出力
194	SCIF0_RxD/IrRx/PTT1	IN	172	USB1_ovr_current/USBF_VBUS	IN
193	SCIF0_TxD/IrTx/PTT2	IN	171	PCC_VS1/PINT4/PTK0	OUT
155	SCIF0_RxD/IrRx/PTT1	OUT	133	PCC_VS1/PINT4/PTK0	Control
154	SCIF0_TxD/IrTx/PTT2	OUT	132	PCC_VS2/PINT5/PTK1	Control
117	SCIF0_RxD/IrRx/PTT1	Control	95	ADTRG/PTF0	IN
116	SCIF0_TxD/IrTx/PTT2	Control	94	USB1_pwr_en/USBF_UPLUP/ PTH0	IN

10. 38-63ページ 表38.17 USB モジュールクロックタイミング」の誤記

(誤)

条件 V_{CCQ} = 2.7 ~ 3.6V, V_{CCQ1} = 2.7 ~ 3.6V または 1.65 ~ 1.95V, V_{CC} = 1.4 ~ 1.6V, AV_{CC-USB} = 3.0 ~ 3.6V, T_a = -20 ~ 75

項目	記号	Min	Max	単位	参照図
UCLK 外部入力クロック周波数 (48MHz)	t _{FREQ}	47.9	48.1	MHz	38.66
クロック立ち上がり時間	t _{R48}		2	ns	
クロック立ち下がり時間	t _{F48}		2	ns	
デューティ (t _{HIGH} / t _{LOW})	t _{DUTY}	90	110	%	

(正)

条件 V_{CCQ} = 2.7 ~ 3.6V, V_{CCQ1} = 2.7 ~ 3.6V または 1.65 ~ 1.95V, V_{CC} = 1.4 ~ 1.6V, AV_{CC-USB} = 3.0 ~ 3.6V, T_a = -20 ~ 75

項目	記号	Min	Max	単位	参照図
EXTAL_USB クロック周波数 (48MHz)	t _{FREQ}	47.9	48.1	MHz	38.66
クロック立ち上がり時間	t _{R48}		6	ns	
クロック立ち下がり時間	t _{F48}		6	ns	

11. 付録-1～9 ページ 表 A.1 SH7720 端子状態表」の誤記

(誤)

分類		端子名	パワー オン リセット	マニユアル リセット	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	バス 解放	I/O	未使用 端子 の処理
PLBG0 256GA-A	PLBG0 256KA-A								
K17	L20	SCIF0_TxD/PTT2	V	Z/P	Z/K	Z/Z	O/P	O/IO	オープン
L17	L21	SCIF0_RxD/PTT1	V	Z/P	Z/K	Z/Z	I/P	I/IO	オープン

(正)

分類		端子名	パワー オン リセット	マニユアル リセット	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	バス 解放	I/O	未使用 端子 の処理
PLBG0 256GA-A	PLBG0 256KA-A								
K17	L20	SCIF0_TxD/IrTx/PTT2	V	Z/Z/P	Z/Z/K	Z/Z/Z	O/O/P	O/O/IO	オープン
L17	L21	SCIF0_RxD/IrRx/PTT1	V	Z/Z/P	Z/Z/K	Z/Z/Z	I/I/P	I/I/IO	オープン

- 以上 -