

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-SH7-A893A/J	Rev.	第1版
題名	バスステートコントローラ (BSC) の内部バスの最小アイドル数説明の追加		情報分類	技術情報	
適用製品	SH7210 シリーズ SH7243 シリーズ SH7280 シリーズ	対象ロット等	関連資料	SH7211 グループハードウェアマニュアル (RJJ09B0338-0300) SH7280 グループ、SH7243 グループ ユーザーズマニュアル ハードウェア編 (R01UH0229JJ0300)	
		全ロット			

上記適用製品のバスステートコントローラ (BSC) において、内部バスの最小アイドル数の訂正があります。

【ユーザーズマニュアル誤記訂正】

“SH7280 グループ、SH7243 グループ ユーザーズマニュアル ハードウェア編” を例に、ユーザーズマニュアルの訂正内容を記載します。

9.5.10 アクセスサイクル間アイドル

< 訂正前(p.9-100) >

表 9.22 内部バスの最小アイドル数 (CPU 動作)

CPU 動作	クロック比 (Iφ : Bφ)		
	4:1	2:1	1:1
ライト→ライト	2	2	3
ライト→リード	0	0	1
リード→ライト	2	2	3
リード→リード	0	0	1

< 訂正後(p.9-100) >

表 9.22 内部バスの最小アイドル数 (CPU 動作)

CPU 動作	クロック比 (Iφ : Bφ)		
	4:1	2:1	1:1
ライト→ライト	0	0	0
ライト→リード	0	0	0
リード→ライト	2 or 0* ¹	2 or 0* ¹	3 or 0* ¹
リード→リード	0	0	0

【動作条件】

- CS1BCR および CS2BCR のサイクル間アイドル指定はすべて 0 を指定。
- CS1WCR および CS2WCR の WM ビットは 1 (外部 WAIT 端子無効)、SW[1:0]は 00 (CS アサート延長しない)、HW[1:0]は 00 (CS ネゲート延長しない)。
- CS1 および CS2 とともに SRAM を接続し、バス幅は 16 ビット。
- CPU のデータ転送命令による、アクセスサイズは 16 ビット (MOV.W)。

【注】 *1 命令フェッチによる外部バスのリード (F バス経由) と、データ転送命令による外部バスのライト (M バス経由) が連続した場合です。

< 訂正前(p.9-101) >

表 9.23 内部バスの最小アイドル数 (DMAC 動作)

DMAC 動作	転送モード	
	デュアルアドレス	シングルアドレス
ライト→ライト	0	2
ライト→リード	0 または 2	0
リード→ライト	0	0
リード→リード	0	2

- 【注】 1. デュアルアドレス転送のライト→ライト、リード→リード動作は分割されたサイクルの実行中です。
2. デュアルアドレス転送のライト→リードの 0 は異なるチャンネルが連続起動した場合、2 は同一のチャンネルが連続起動した場合です。
3. シングルアドレスのライト→リード、リード→ライトは異なるチャンネルを連続起動した場合です。
- 「ライト」は DACK 付きデバイス→外部メモリ、「リード」は外部メモリ→DACK 付きデバイスへの転送です。

< 訂正後(p.9-101) >

表 9.23 内部バスの最小アイドル数 (DMAC 動作)

DMAC 動作	転送モード				
	デュアルアドレス				
	オートリクエスト	周辺モジュール	外部リクエスト (レベル, AM=0)	外部リクエスト (レベル, AM=1)	外部リクエスト (エッジ)
ライト→ライト*	2	2	4* ¹ or 2* ²	9* ¹ * ⁴ or 2* ²	4* ¹ or 2* ²
ライト→リード*	0	0	2* ¹ or 0* ²	6* ¹ * ⁴ or 0* ²	1* ¹ or 0* ²
リード→ライト	0	0	0	0	0
リード→リード	2	2	5* ¹ or 2* ²	4* ¹ or 2* ²	4* ¹ or 2* ²

DMAC 動作	転送モード	
	シングルアドレス	
	外部リクエスト (レベル)	外部リクエスト (エッジ)
ライト→ライト*	7* ¹ * ⁴ or 0* ²	2* ¹ or 0* ²
ライト→リード*	0* ²	0* ²
リード→ライト	0* ²	0* ²
リード→リード	5* ¹ or 0* ²	2* ¹ or 0* ²

【動作条件】

- CS1BCR および CS2BCR のサイクル間アイドル指定はすべて 0 を指定。
- CS1WCR および CS2WCR の WM ビットは 1(外部 WAIT 端子無効)、SW[1:0]は 00(CS アサート延長しない)、HW[1:0]は 00(CS ネゲート延長しない)。
- CS1 および CS2 とともに SRAM を接続し、バス幅は 16 ビット。
- DMA 転送サイズは 16 ビット。DMAC の動作モードはバーストモード。
- デュアルアドレスのライト→ライトは内蔵メモリ→外部メモリ間データ転送、リード→リードは外部メモリ→内蔵メモリ間データ転送、ライト→リード、リード→ライトは外部メモリ→外部メモリ間データ転送。
- シングルアドレスのライトは、DACK 付きデバイス→外部メモリ、リードは外部メモリ→DACK 付きデバイスへの転送。

- 【注】 *1 同一チャンネルの DMA 転送が連続した場合の、最小アイドル数です。
- *2 異なるチャンネル間の DMA 転送が連続した場合の、最小アイドル数です。
- *3 前アクセスに対して CS アサート延長 (Th)、アクセスウェイト (Tw)、CS ネゲート延長 (Tf) を挿入する場合、ライトバッファ効果で、表の値よりも Th+Tw+Tf だけ最小アイドル数は小さくなります。
- *4 ライトバッファ効果による、最小アイドル数の減少は発生しません。

< 訂正前(p.9-101) >

表 9.24 異種メモリ間アクセス時の前に挿入されるアイドルサイクル数

		後サイクル							
		SRAM	バースト ROM (非同期)	MPX-I/O	バイト SRAM (BAS=0)	バイト SRAM (BAS=1)	SDRAM	SDRAM (低周波モード)	バースト ROM (同期)
前 サ イ ク ル	SRAM	0	0	1	0	1	1	1.5	0
	バースト ROM (非同期)	0	0	1	0	1	1	1.5	0
	MPX-I/O	1	1	0	1	1	1	1.5	1
	バイト SRAM (BAS=0)	0	0	1	0	1	1	1.5	0
	バイト SRAM (BAS=1)	1	1	2	1	0	0	1.5	1
	SDRAM	1	1	2	1	0	0	-	1
	SDRAM (低周波モード)	1.5	1.5	2.5	1.5	0.5	-	1	1.5
	バースト ROM (同期)	0	0	1	0	1	1	1.5	0

< 訂正後(p.9-101) >

表 9.24 異種メモリ間アクセス時の前に挿入されるアイドルサイクル数

		後アクセス							
		SRAM	バースト ROM (非同期)	MPX-I/O	バイト SRAM (BAS=0)	バイト SRAM (BAS=1)	SDRAM	SDRAM (低周波モード)	バースト ROM (同期)
前 ア ク セ ス	SRAM	0	0	1	0	1	1	1.5	0
	バースト ROM (非同期)	0	0	1	0	1	1	1.5	0
	MPX-I/O	1	1	0	1	1	1	1.5	1
	バイト SRAM (BAS=0)	0	0	1	0	1	1	1.5	0
	バイト SRAM (BAS=1)	1	1	2	1	0	0	1.5	1
	SDRAM	1	1	2	1	0	0	-	1
	SDRAM (低周波モード)	1.5	1.5	2.5	1.5	0.5	-	1	1.5
	バースト ROM (同期)	0	0	1	0	1	1	1.5	0

< 訂正前(p.9-102) >

サイクル間アイドル数の試算例

CPUアクセスで、CS1空間からCS2空間へデータを転送する例を考えます。転送は、CS1リード→CS1リード→CS2ライト→CS2ライト→CS1リード→...を繰り返すものとします。

• 条件

- CS1BCRおよびCS2BCRのサイクル間アイドル指定はすべて0を指定。
- CS1WCRおよびCS2WCRのWMビットは1（外部WAIT端子無効）、HW[1:0]は00（CSネゲート延長しない）。
- Iφ:Bφは4:1とし、転送の間は他の処理を行わない。
- CS1およびCS2ともに、通常SRAMを接続し、バス幅32ビットでアクセスサイズも32ビットで行う。

アイドル数を決める項目を、各サイクル間ごとに試算します。下表で、Rはリード、Wはライトを示します。

項目	R→R	R→W	W→W	W→R	備 考
(1)/(2)	0	0	0	0	CSnBCRの設定が0であるため
(3)/(4)	0	0	0	0	WMビットが1であるため
(5)	1	1	0	0	リードサイクル後に発生
(6)	0	2	2	0	表8.19のIφ:Bφ = 4:1の部分を参照
(7)	0	1	0	0	ライトバッファ効果で2回目では発生しない
(5)+(6)+(7)	0	4	2	0	
(8)	0	0	0	0	SRAM→SRAMであるため
試算アイドル サイクル数	1	4	2	0	(1)/(2)項、(3)/(4)項、(5)+(6)+(7)項、(8)項の中の 最大値
実際に発生する アイドル数	1	4	2	1	W→Rで不一致が発生した原因は、(6)の内部アイドル 数を0と試算したが、実際にはループ判定命令の実行 のため、内部アイドルが発生したため。

図 9.42 アイドルサイクル数の試算例と実際の比較

< 訂正後(p.9-102) >

サイクル間アイドル数の試算例

CPUアクセスで、CS1空間からCS2空間へデータを転送する例を考えます。転送は、CS1リード→CS1リード→CS2ライト→CS2ライト→CS1リード→...を繰り返すものとします。

• 条件

- CS1BCRおよびCS2BCRのサイクル間アイドル指定はすべて0を指定。
- CS1WCRおよびCS2WCRのWMビットは1（外部WAIT端子無効）、HW[1:0]は00（CSネゲート延長しない）。
- Iφ:Bφは4:1とし、転送の間は他の処理を行わない。
- CS1およびCS2ともに、SRAMを接続し、バス幅16ビットでアクセスサイズも16ビットで行う。

アイドル数を決める項目を、各サイクル間ごとに試算します。下表で、Rはリード、Wはライトを示します。

項目	R→R	R→W	W→W	W→R	備 考
(1)/(2)	0	0	0	0	CSnBCRの設定が0であるため
(3)/(4)	0	0	0	0	WMビットが1であるため
(5)	1	1	0	0	リードサイクル後に発生
(6)	0	2	0	0	表9.22のIφ:Bφ = 4:1の部分を参照
(7)	0	1	0	0	ライトバッファ効果で2回目では発生しない
(5)+(6)+(7)	1	4	0	0	
(8)	0	0	0	0	SRAM→SRAMであるため
試算アイドル サイクル数	1	4	0	0	(1)/(2)項、(3)/(4)項、(5)+(6)+(7)項、(8)項の中の 最大値
実際に発生する アイドル数	1	4	0	1	W→Rで不一致が発生した原因は、(6)の内部アイドル 数を0と試算したが、実際にはループ判定命令の実行 のため、内部アイドルが発生したため。

図 9.42 アイドルサイクル数の試算例と実際の比較

9.5.12 その他

< 訂正前(p.9-105) >

図 9.44 に $I\phi:B\phi:P\phi=4:4:1$ の場合の周辺バスへのライトアクセスタイミングの一例を示します。CPU が接続されている C バスでは $I\phi$ に同期してデータ出力します。 $I\phi:B\phi=1:1$ の場合は C バスから I バスへのデータ転送は $2I\phi+B\phi$ 期間必要になります。

< 訂正後(p.9-105) >

図 9.44 に $I\phi:B\phi:P\phi=4:4:1$ の場合の周辺バスへのライトアクセスタイミングの一例を示します。CPU が接続されている C バスでは $I\phi$ に同期してデータ出力します。 $I\phi:B\phi=1:1$ の場合は C バスから I バスへのデータ転送は $2I\phi$ 期間必要になります。

以上