

お客様各位	RL78/G1A ユーザーズマニュアル Rev0.02 誤記訂正通知 (ご報告)	M C Y G - A B - 1 2 - 0 0 7 0
		2 0 1 2 年 6 月 2 1 日
		ルネサス エレクトロニクス株式会社 MCU 事業本部 MCU システム統括部 汎用 M C U 戦略企画部 課長 村上 功

(担当:中野 正隆)

拝啓、貴社益々ご清祥のこととお慶び申し上げます。また、平素は当社の製品をご愛顧いただき、厚く御礼申し上げます。

さて、掲題の件につきまして下記にご報告させていただきます。

何卒内容のご確認、ならびにご査収のほど宜しくお願いいたします。

敬具

記

1. 対象製品

RL78/G1A グループ:

R5F10Exxx

2. 関連資料

RL78/G1A ユーザーズマニュアル ハードウェア編 Rev.0.02:

R01UH0305JJ0002 (Nov.2011)

3. 通知内容

RL78/G1A ユーザーズマニュアル ハードウェア編 Rev.0.02 (R01UH0305JJ0002)において、下記訂正がございます。

今回通知する訂正内容

訂正内容	該当ページ	内容
端子機能 表2-3 P60-P63の未使用端子処理の誤記訂正	p.42	誤記訂正
リセット処理時間/スタンバイ・モード解除時間の誤記訂正	p.194, p.734, p.735, p.739, p.755, p.756, p.733, p.737-738, p.740	誤記訂正
A/Dコンバータ・モード・レジスタ0(ADM0)の誤記訂正	p.364	誤記訂正
シリアル・アレイ・ユニット SNOOZEモード使用時の注意追加	p.503, p505 p.529-530, p.532	注意追加
キー・リターン・コントロール・レジスタ(KRCTL)の誤記訂正	p.721	誤記訂正
キー・リターン・フラグ・レジスタ(KRF)の誤記訂正	p.723	誤記訂正
フラッシュメモリ データ・フラッシュの説明追加	p.810	説明追加

ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

日程は2012年9月頃を予定しています。詳細日程については販売会社、特約店にお問い合わせください。

ユーザーズマニュアルの訂正一覧

No	訂正内容と該当箇所		本通知での 該当ページ
	ドキュメントNo.	R01UH0305JJ0002	
1	リアルタイム・クロック動作開始後のSTOPモードへの移行の誤記訂正	p.332	p.3 - p.4
2	PCLBUZn端子の出カクロック選択の表の誤記訂正	p.348	p.5
3	A/Dコンバータ・モード・レジスタ0(ADM0)変更時の注意事項の誤記訂正	p.364,367-370	p.6 - p.7
4	A/Dコンバータ 温度センサ、内部基準電圧(1.45V)の説明追加	p.372,375,402,410	p.8 - p.11
5	マスカブル割り込み要求の受け付け動作の誤記訂正	p.711,713	p.12 - p.13
6	電圧検出回路(LVD)のタイミング・チャートの誤記訂正	p.766,768	p.14 - p.17
7	電圧検出回路(LVD) 割り込み&リセット・モードの誤記訂正	P769-772	p.18 - p.23
8	安全機能 22. 3. 8 A/Dテスト機能の説明追加	p.789,790	p.24 - p.25
9	電気的特性 29. 2 絶対最大定格誤記訂正	p.853	p.26 - p.27.
10	電気的特性 29. 6. 1 シリアル・アレイ・ユニット誤記訂正	p.871,872	p.28 - p.32.
11	電気的特性 29. 7. 1 A/Dコンバータ特性の誤記訂正	p.895 - p.900	p.33 - p.41
12	電気的特性 29. 7. 2 温度センサ特性の条件追加	p.901	p.42
★	端子機能 表2-3 P60-P63の未使用端子処理の誤記訂正	p.42	p.43
★	リセット処理時間/スタンバイ・モード解除時間の誤記訂正	p.194, p.734, p.735, p.739, p.755, p.756, p.733, p.737-738, p.740	p.44 - p.48
★	A/Dコンバータ・モード・レジスタ0(ADM0)の誤記訂正	p.364	p.49
★	シリアル・アレイ・ユニット SNOOZEモード使用時の注意追加	p.503, p.505 p.529-530, p.532	p.50
★	キー・リターン・コントロール・レジスタ(KRCTL)の誤記訂正	p.721	p.51
★	キー・リターン・フラグ・レジスタ(KRF)の誤記訂正	p.723	p.52 - p.53
★	フラッシュメモリ データ・フラッシュの説明追加	p.810	p.54

誤記訂正の該当箇所は、誤)太字下線、正)グレー・ハッチングで記載します。

備考. ★は今回通知する訂正内容です。無印は前回までに通知した訂正内容です。

1. リアルタイム・クロック動作開始後のSTOPモードへの移行の誤記訂正

7.4.2 動作開始後のSTOPモードへの移行の誤記訂正 (p.332)

誤)

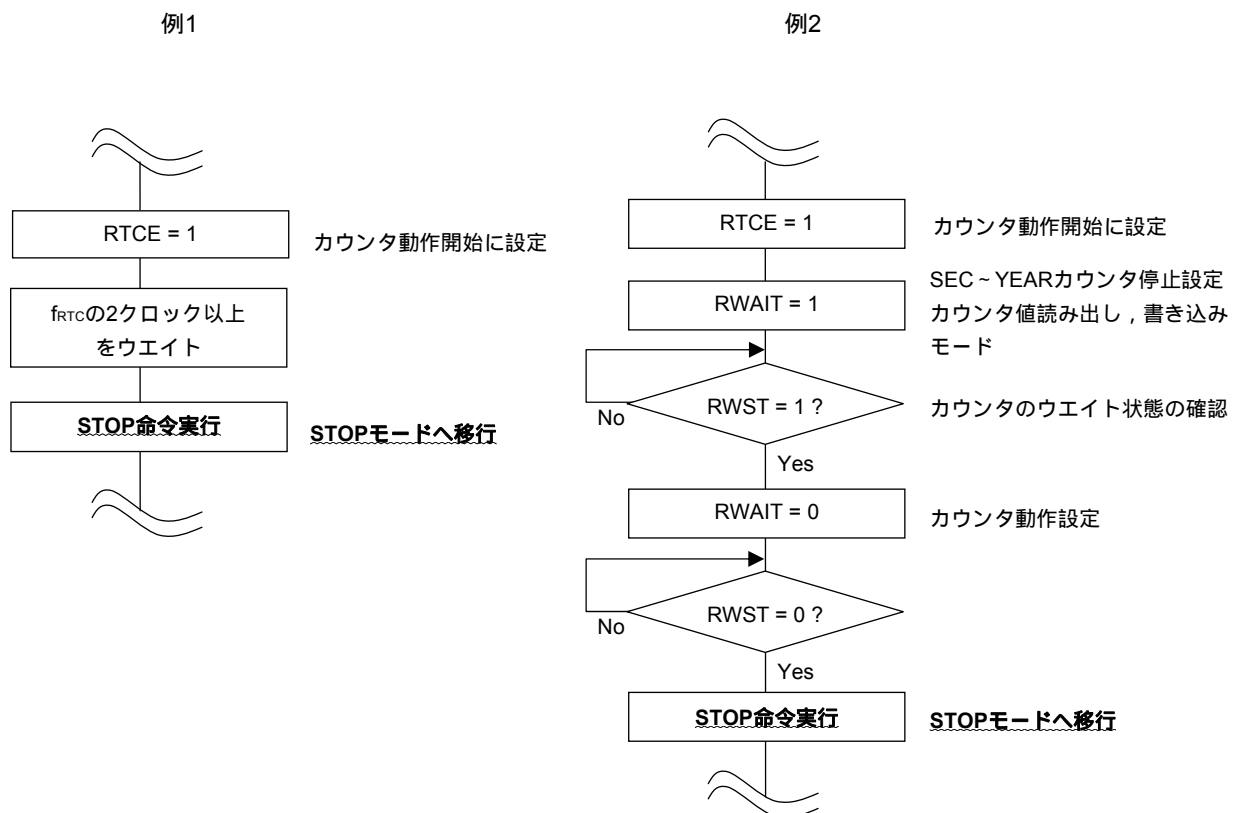
7.4.2 動作開始後のSTOPモードへの移行

RTCE = 1に設定直後にSTOPモードへ移行する場合は、次のどちらかの処理をしてください。

ただし、RTCE = 1に設定後、INTRTC割り込みの発生以降にSTOPモードへ移行する場合は、これらの処理は必要ありません。

- ・RTCE = 1に設定してから、入力クロック(f_{RTC})の2クロック分以上経過後にSTOPモードへ移行する(図7-18 例1参照)。
- ・RTCE = 1に設定後、RWAIT = 1に設定し、RWSTビットが1になるのをポーリングで確認する。それから、RWAIT = 0に設定し、RWSTビットが0になったのを再度ポーリングで確認後にSTOPモードへ移行する(図7-18 例2参照)。

図7-18 RTCE = 1に設定後のSTOPモードへの移行手順



正)

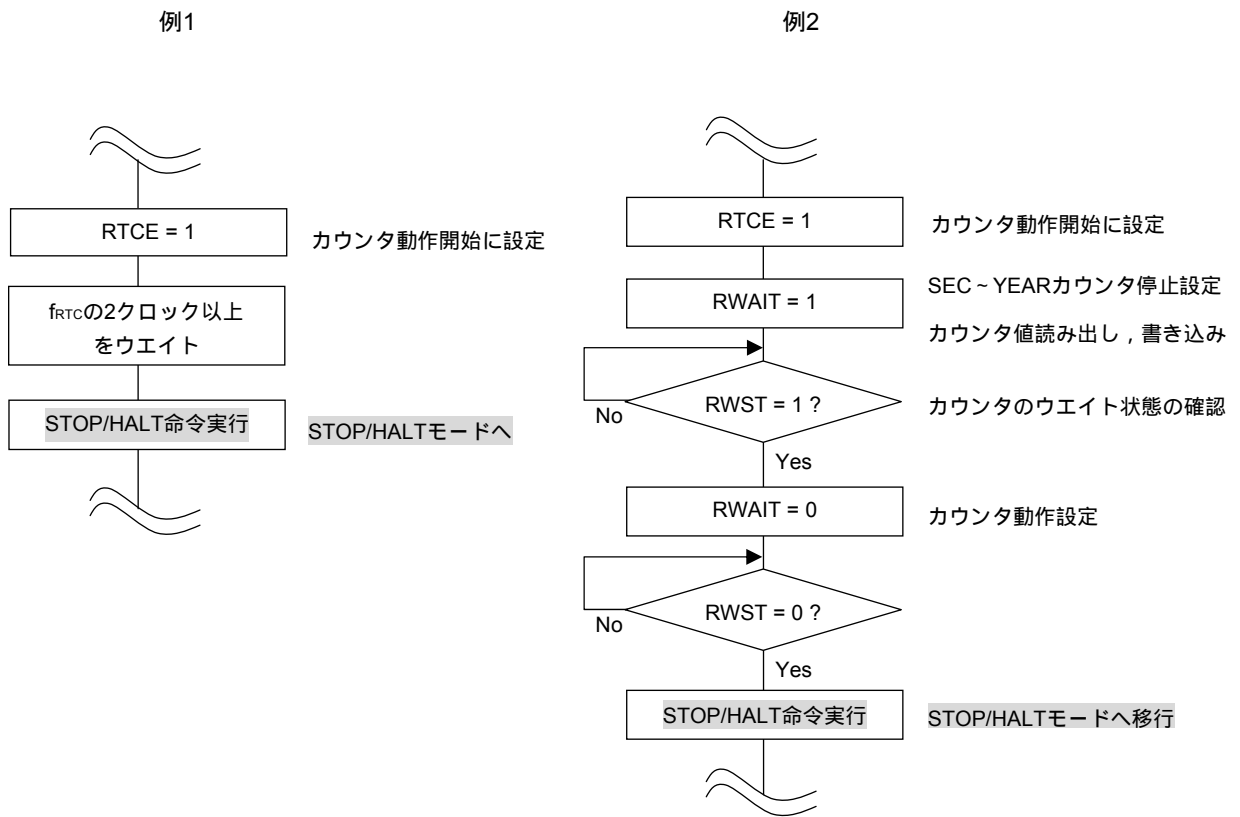
7.4.2 動作開始後のSTOP/HALTモードへの移行

RTCE = 1に設定直後にSTOP/HALTモードへ移行する場合は、次のどちらかの処理をしてください。

ただし、RTCE = 1に設定後、INTRTC割り込みの発生以降にSTOP/HALTモードへ移行する場合は、これらの処理は必要ありません。

- ・RTCE = 1に設定してから、入カクロック(f_{RTC})の2クロック分以上経過後にSTOP/HALTモードへ移行する(図7-18 例1参照)。
- ・RTCE = 1に設定後、RWAIT = 1に設定し、RWSTビットが1になるのをポーリングで確認する。それから、RWAIT = 0に設定し、RWSTビットが0になったのを再度ポーリングで確認後にSTOP/HALTモードへ移行する(図7-18 例2参照)。

図7-18 RTCE = 1に設定後のSTOP/HALTモードへの移行手順



2. PCLBUZn端子の出力クロック選択の表の誤記訂正

図 9-2 クロック出力選択レジスタn(CKSn)の誤記訂正 (p.348)

誤)

CSELn	CCSn2	CCSn1	CCSn0	PCLBUZn端子の出力クロックの選択				
				f _{MAIN} =5MHz	f _{MAIN} =10MHz	f _{MAIN} =20MHz	f _{MAIN} =32MHz	
0	0	0	0	f _{MAIN}	5MHz	10MHz ^注	設定禁止 ^注	設定禁止 ^注
0	0	0	1	f _{MAIN} /2	2.5MHz	5MHz	10MHz ^注	16MHz ^注
0	0	1	0	f _{MAIN} /2 ²	1.25MHz	2.5MHz	5MHz	8MHz ^注
0	0	1	1	f _{MAIN} /2 ³	625kHz	1.25MHz	2.5MHz	4MHz
0	1	0	0	f _{MAIN} /2 ⁴	312.5kHz	625kHz	1.25MHz	2MHz
(省略)								
1	1	1	0	f _{SUB} /2 ⁶	512Hz			
1	1	1	1	f _{SUB} /2 ⁷	256Hz			

注 出力クロックは、16 MHz以内の範囲で使用してください。また、 $2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$ で使用する場合は、

8 MHz以内のみ使用可能です。詳しくは、29.5 AC特性を参照してください。

正)

CSELn	CCSn2	CCSn1	CCSn0	PCLBUZn端子の出力クロックの選択				
				f _{MAIN} =5MHz	f _{MAIN} =10MHz	f _{MAIN} =20MHz	f _{MAIN} =32MHz	
0	0	0	0	f _{MAIN}	5MHz	設定禁止 ^注	設定禁止 ^注	設定禁止 ^注
0	0	0	1	f _{MAIN} /2	2.5MHz	5MHz	設定禁止 ^注	設定禁止 ^注
0	0	1	0	f _{MAIN} /2 ²	1.25MHz	2.5MHz	5MHz	8MHz ^注
0	0	1	1	f _{MAIN} /2 ³	625kHz	1.25MHz	2.5MHz	4MHz
0	1	0	0	f _{MAIN} /2 ⁴	312.5kHz	625kHz	1.25MHz	2MHz
(省略)								
1	1	1	0	f _{SUB} /2 ⁶	512Hz			
1	1	1	1	f _{SUB} /2 ⁷	256Hz			

注 出力クロックは、8MHz以内の範囲で使用してください。詳しくは、29.5 AC特性を参照してください。

3. A/Dコンバータ・モード・レジスタ0(ADM0)変更時の注意事項の誤記訂正

(2) A/Dコンバータ・モード・レジスタ0(ADM0)の誤記訂正 (p.364)

誤)

(2) A/Dコンバータ・モード・レジスタ0(ADM0)

(省略)

- 注意 1. ADMD, FR2-FR0, LV1, LV0ビット, **ADCE**の変更は変換停止状態, **および変換待機状態**(ADCS = 0)で行ってください。
2. ADCE = 0, ADCS = 0 設定状態から8ビット操作命令でADCE = 1, ADCS = 1に設定することは禁止します。必ず11.7 A/Dコンバータの設定フローチャートの手順に従ってください。

正)

(2) A/Dコンバータ・モード・レジスタ0(ADM0)

(省略)

- 注意 1. ADMD, FR2-FR0, LV1, LV0ビットの変更は**変換停止状態(ADCS = 0, ADCE=0)**で行ってください。
2. ADCEビットを書き換える場合は, **変換停止状態, および変換待機状態(ADCS = 0)**で行ってください。
3. ADCE = 0, ADCS = 0設定状態から8ビット操作命令でADCE = 1, ADCS = 1に設定することは禁止します。必ず11.7 A/Dコンバータの設定フローチャートの手順に従ってください。

表 11-3 A/D変換時間の選択の注意事項の誤記訂正 (p.367 – 370)**誤)**

表11-3 A/D変換時間の選択

(省略)

注意 1. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態、および変換待機状態 (ADCS = 0)で行ってください。

正)

表11-3 A/D変換時間の選択

(省略)

注意 1. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE=0)で
行ってください。

4. A/Dコンバータ 温度センサ、内部基準電圧(1.45V)の説明追加

図 11-7 A/Dコンバータ・モード・レジスタ2(ADM2)の説明追加 (p.372)

誤)

図11-7 A/Dコンバータ・モード・レジスタ2(ADM2)のフォーマット(1/2)

アドレス:F0010H リセット時:00H R/W

略号	7	6	5	4	③	②	1	①
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/Dコンバータの+側の基準電圧源の選択
0	0	AV _{DD} から供給
0	1	P20/AV _{REFP} /ANI0から供給
1	0	内部基準電圧(1.45 V)から供給
1	1	設定禁止
(省略)		

(省略)

正)

図11-7 A/Dコンバータ・モード・レジスタ2(ADM2)のフォーマット(1/2)

アドレス:F0010H リセット時:00H R/W

略号	7	6	5	4	③	②	1	①
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/Dコンバータの+側の基準電圧源の選択
0	0	AV _{DD} から供給
0	1	P20/AV _{REFP} /ANI0から供給
1	0	内部基準電圧(1.45 V)から供給^注
1	1	設定禁止
(省略)		

注 HS(高速メイン)モードでのみ選択可能です。

(省略)

図 11-11 アナログ入力チャンネル指定レジスタ(ADS)の説明追加 (p.375)

誤)

図11-11 アナログ入力チャンネル指定レジスタ(ADS)のフォーマット(1/2)

○セレクト・モード(ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力 チャンネル	入カソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV _{REFP} 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV _{REFM} 端子
(省略)							
0	1	1	1	1	1	設定禁止	
1	0	0	0	0	0	—	温度センサ出力
1	0	0	0	0	1	—	内部基準電圧出力(1.45 V)
上記以外						設定禁止	

正)

図11-11 アナログ入力チャンネル指定レジスタ(ADS)のフォーマット(1/2)

○セレクト・モード(ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力 チャンネル	入カソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV _{REFP} 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV _{REFM} 端子
(省略)							
0	1	1	1	1	1	設定禁止	
1	0	0	0	0	0	—	温度センサ出力 ^注
1	0	0	0	0	1	—	内部基準電圧出力(1.45 V) ^注
上記以外						設定禁止	

注 HS(高速メイン)モードでのみ選択可能です。

11.7.4 温度センサ使用時の設定の説明追加 (p.402)

誤)

11.7.4 温度センサ使用時の設定(例 ソフトウェア・トリガ・モード, ワンショット変換モード時)

図11-35 温度センサ使用時の設定

(省略)

注 ADRCKビット, ADUL/ADLLレジスタの設定により, 割り込み信号が発生しない場合があります。この場合, ADCR, ADCRHレジスタに結果は格納されません。

正)

11.7.4 温度センサ使用時の設定(例 ソフトウェア・トリガ・モード, ワンショット変換モード時)

図11-35 温度センサ使用時の設定

(省略)

注 ADRCKビット, ADUL/ADLLレジスタの設定により, 割り込み信号が発生しない場合があります。この場合, ADCR, ADCRHレジスタに結果は格納されません。

注意 HS(高速メイン)モードでのみ選択可能です。

11.10 A/Dコンバータの注意事項(2)ANI0-ANI12, ANI16-ANI30 端子入力範囲についての説明追加 (p.410)

誤)

11.10 A/Dコンバータの注意事項

(2)ANI0-ANI12, ANI16-ANI30端子入力範囲について

ANI0-ANI12, ANI16-ANI30端子入力電圧は規格の範囲内でご使用ください。特にAV_{DD}, AV_{REFP}以上, AV_{SS}, AV_{REFM}以下(絶対最大定格の範囲内でも)の電圧が入力されると, そのチャンネルの変換値が不定となります。また, ほかのチャンネルの変換値にも影響を与えることがあります。

内蔵基準電圧(1.45 V)をA/Dコンバータの+側の基準電圧源に選択した場合は, ADSレジスタで選択されている端子には内蔵基準電圧以上の電圧を入れないでください。ただし, ADSレジスタで選択されていない端子が内蔵基準電圧以上の電圧になっていても問題ありません。

正)

11.10 A/Dコンバータの注意事項

(2)ANI0-ANI12, ANI16-ANI30端子入力範囲について

ANI0-ANI12, ANI16-ANI30端子入力電圧は規格の範囲内でご使用ください。特にAV_{DD}, AV_{REFP}以上, AV_{SS}, AV_{REFM}以下(絶対最大定格の範囲内でも)の電圧が入力されると, そのチャンネルの変換値が不定となります。また, ほかのチャンネルの変換値にも影響を与えることがあります。

内蔵基準電圧(1.45 V)をA/Dコンバータの+側の基準電圧源に選択した場合は, ADSレジスタで選択されている端子には内蔵基準電圧以上の電圧を入れないでください。ただし, ADSレジスタで選択されていない端子が内蔵基準電圧以上の電圧になっていても問題ありません。

注意 内部基準電圧(1.45 V)は, HS(高速メイン)モードでのみ選択可能です。

5. マスカブル割り込み要求の受け付け動作の誤記訂正

表 16-4 マスカブル割り込み要求発生から処理までの時間の誤記訂正 (p.711)

誤)

16.4.1 マスカブル割り込み要求の受け付け動作

(省略)

表16-4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
処理時間	9クロック	14クロック

注 RET 命令の直前に割り込み要求が発生したとき、ウェイトする時間が最大となります。

備考 1クロック: $1/f_{CLK}$ (f_{CLK} : CPU クロック)

正)

16.4.1 マスカブル割り込み要求の受け付け動作

(省略)

表16-4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
処理時間	9クロック	16クロック

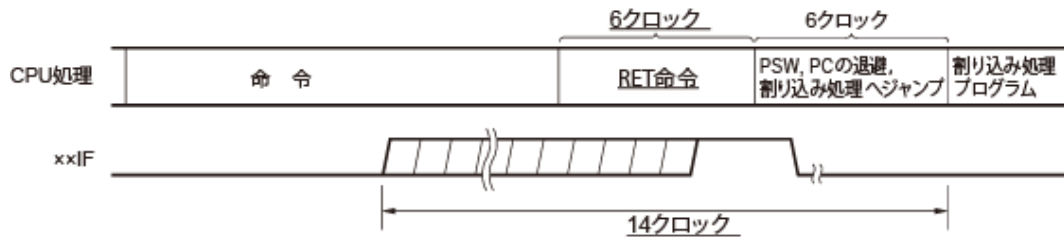
注 内部 RAM 領域からの命令実行時は除きます。

備考 1クロック: $1/f_{CLK}$ (f_{CLK} : CPU クロック)

図 16-9 割り込み要求の受け付けタイミング(最大時間)の誤記訂正 (p.713)

誤)

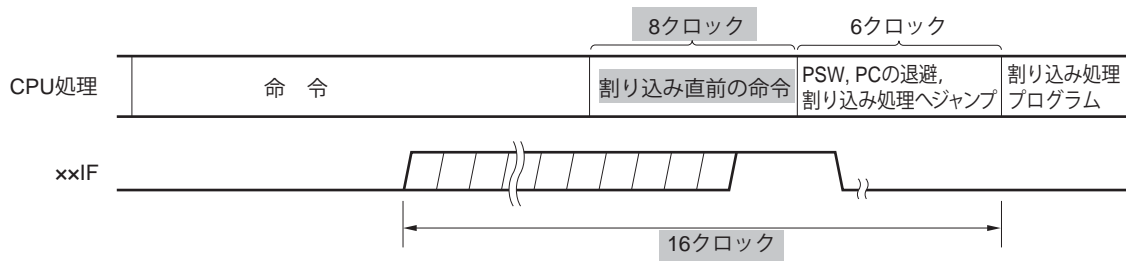
図16-9 割り込み要求の受け付けタイミング(最大時間)



備考 1クロック: $1/f_{CLK}$ (f_{CLK} : CPU クロック)

正)

図16-9 割り込み要求の受け付けタイミング(最大時間)



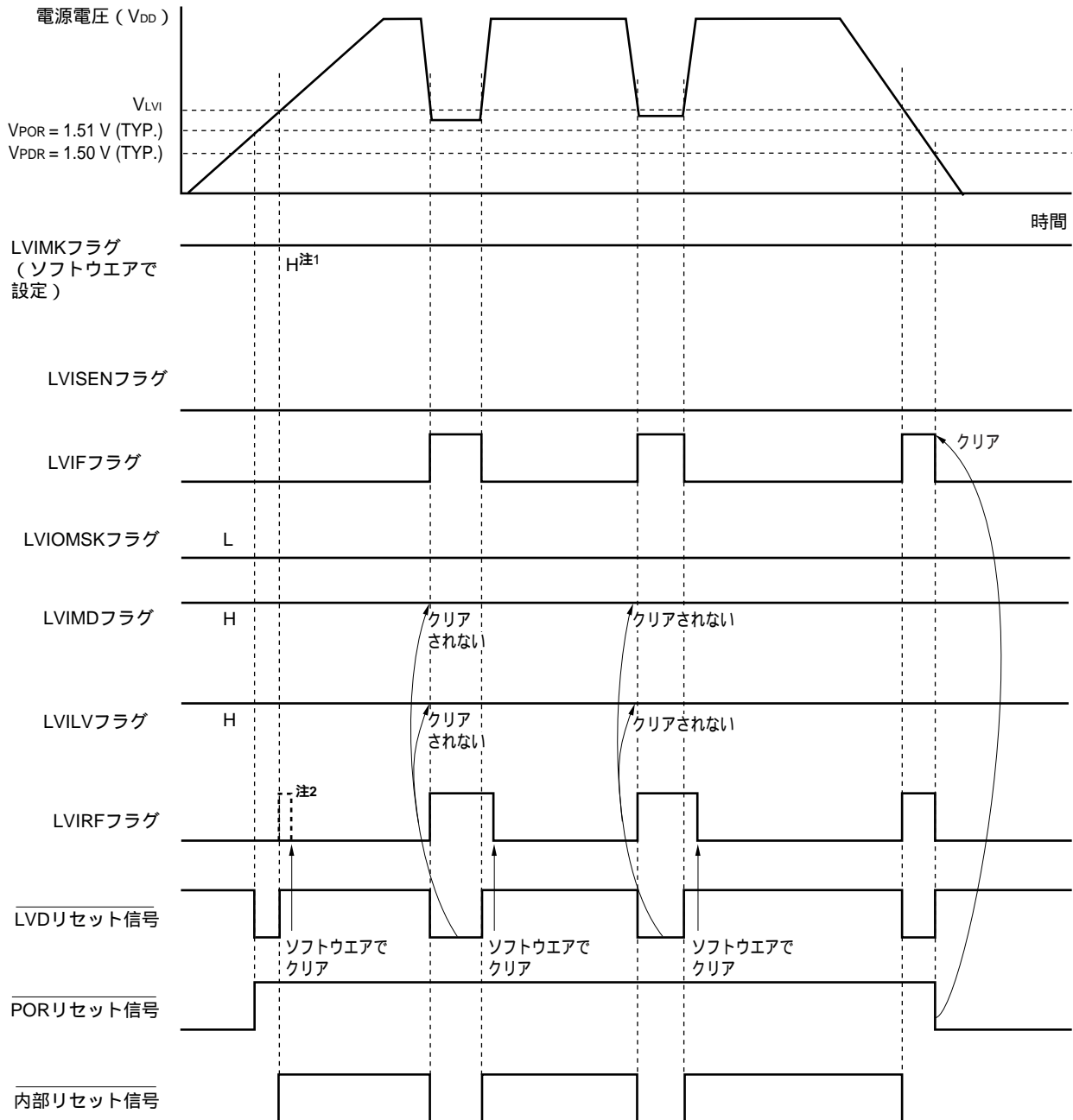
備考 1クロック: $1/f_{CLK}$ (f_{CLK} : CPU クロック)

6. 電圧検出回路(LVD)のタイミング・チャートの誤記訂正

図 21-4 内部リセット信号発生タイミングの誤記訂正 (p.766)

誤)

図21-4 内部リセット信号発生のタイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 1)



注1. LVIMK フラグはリセット信号の発生により、“1”になっています。

2. LVIRF フラグはリセット・コントロール・フラグ・レジスタ(RESF)のビット0です。

電源立ち上がり波形により、LVIRF フラグが最初から1になることがあります。

RESF レジスタについての詳細は、第19章 リセット機能を参照してください。

正)

図21-4 内部リセット信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 1)

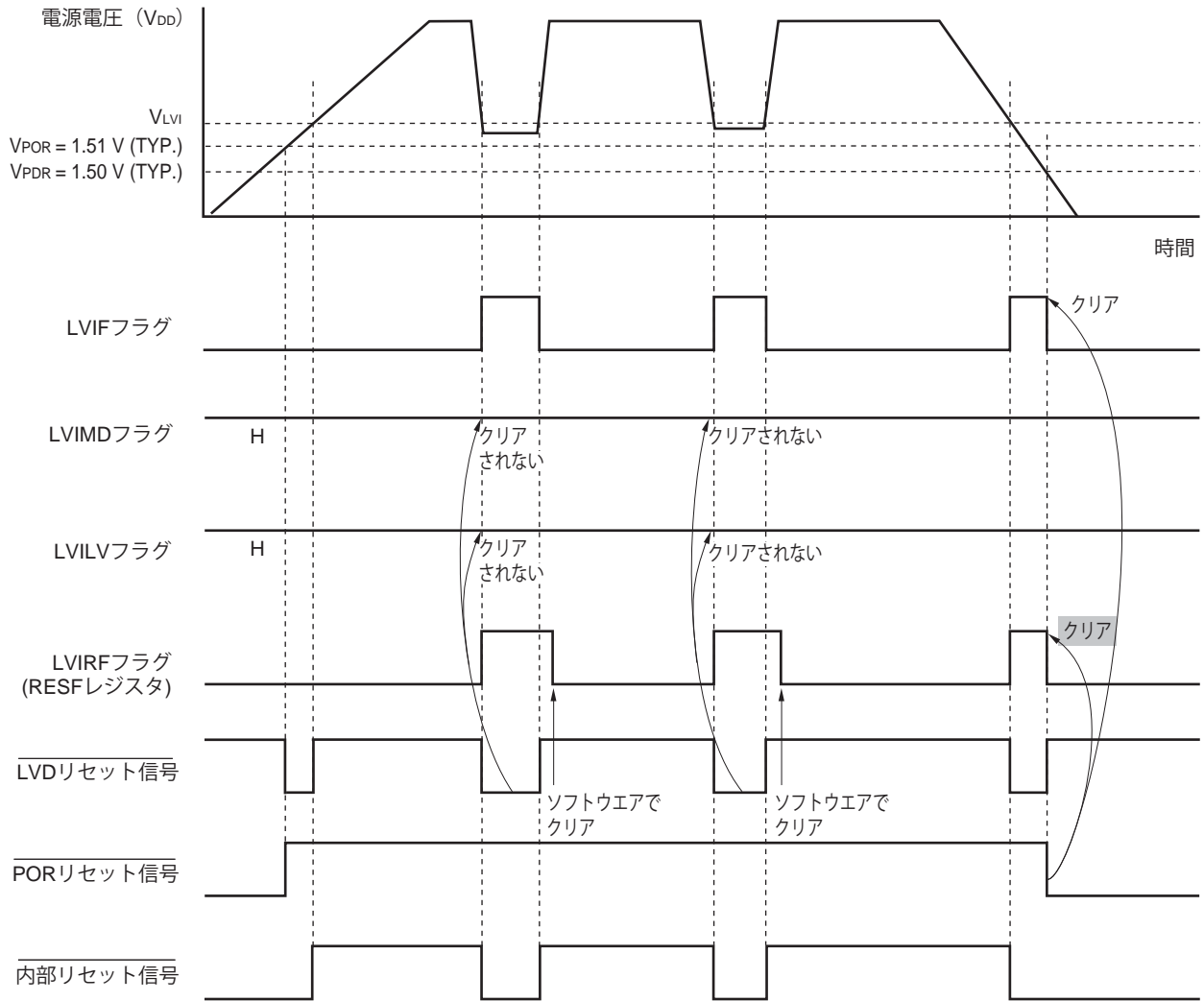
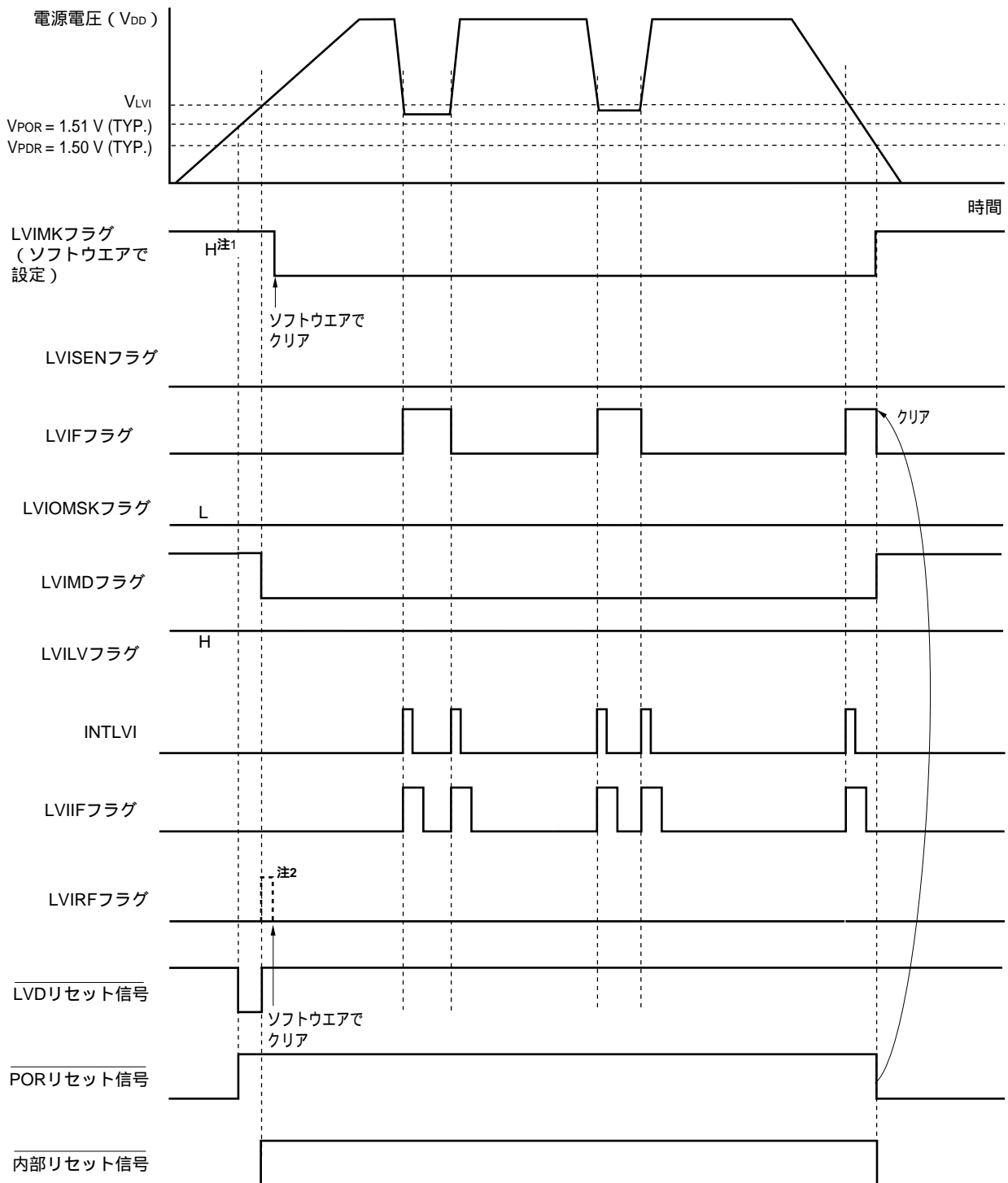


図 21-5 割り込み信号発生タイミングの誤記訂正 (p.768)

誤)

図21-5 割り込み信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 0, 1)



注 1. LVIMK フラグはリセット信号の発生により、“1”になっています。

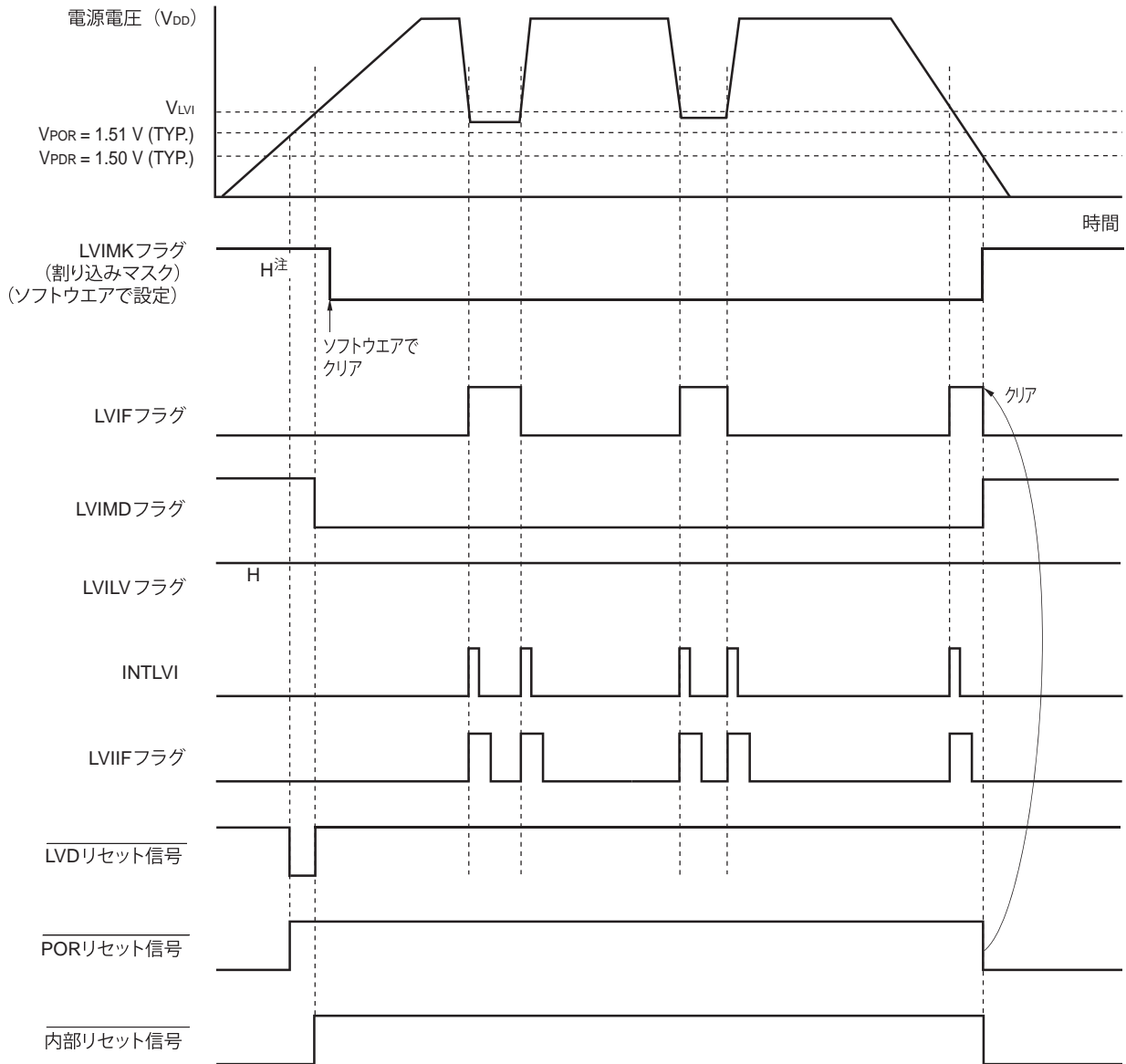
2. LVIRF フラグはリセット・コントロール・フラグ・レジスタ (RESF) のビット 0 です。

電源立ち上がり波形により、LVIRF フラグが最初から 1 になることがあります。

RESF レジスタについての詳細は、第 19 章 リセット機能を参照してください。

正)

図21-5 割り込み信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 0, 1)



注. LVIMK フラグはリセット信号の発生により, "1"になっています。

7. 電圧検出回路(LVD) 割り込み&リセット・モードの誤記訂正

割り込み&リセット・モードとして使用時の設定の誤記訂正 (p.769)

誤)

21.4.3 割り込み&リセット・モードとして使用時の設定

- 動作開始時

動作モード(割り込み&リセット・モード(LVIMDS1, LVIMDS0 = 1, 0))と検出電圧(V_{LVIH}, V_{LVIL})の設定は、オプション・バイト 000C1H/010C1H で設定しておきます。

(省略)

注意 電源立ち上がり波形により、LVIRF フラグが最初から 1 になることがあります。

RESF レジスタについての詳細は、第 19 章 リセット機能を参照してください。

図21-6に、電圧検出回路の内部リセット信号と割り込み信号発生タイミングを示します。

正)

21.4.3 割り込み&リセット・モードとして使用時の設定

- 動作開始時

動作モード(割り込み&リセット・モード(LVIMDS1, LVIMDS0 = 1, 0))と検出電圧(V_{LVIH}, V_{LVIL})の設定は、オプション・バイト 000C1H/010C1H で設定しておきます。

(省略)

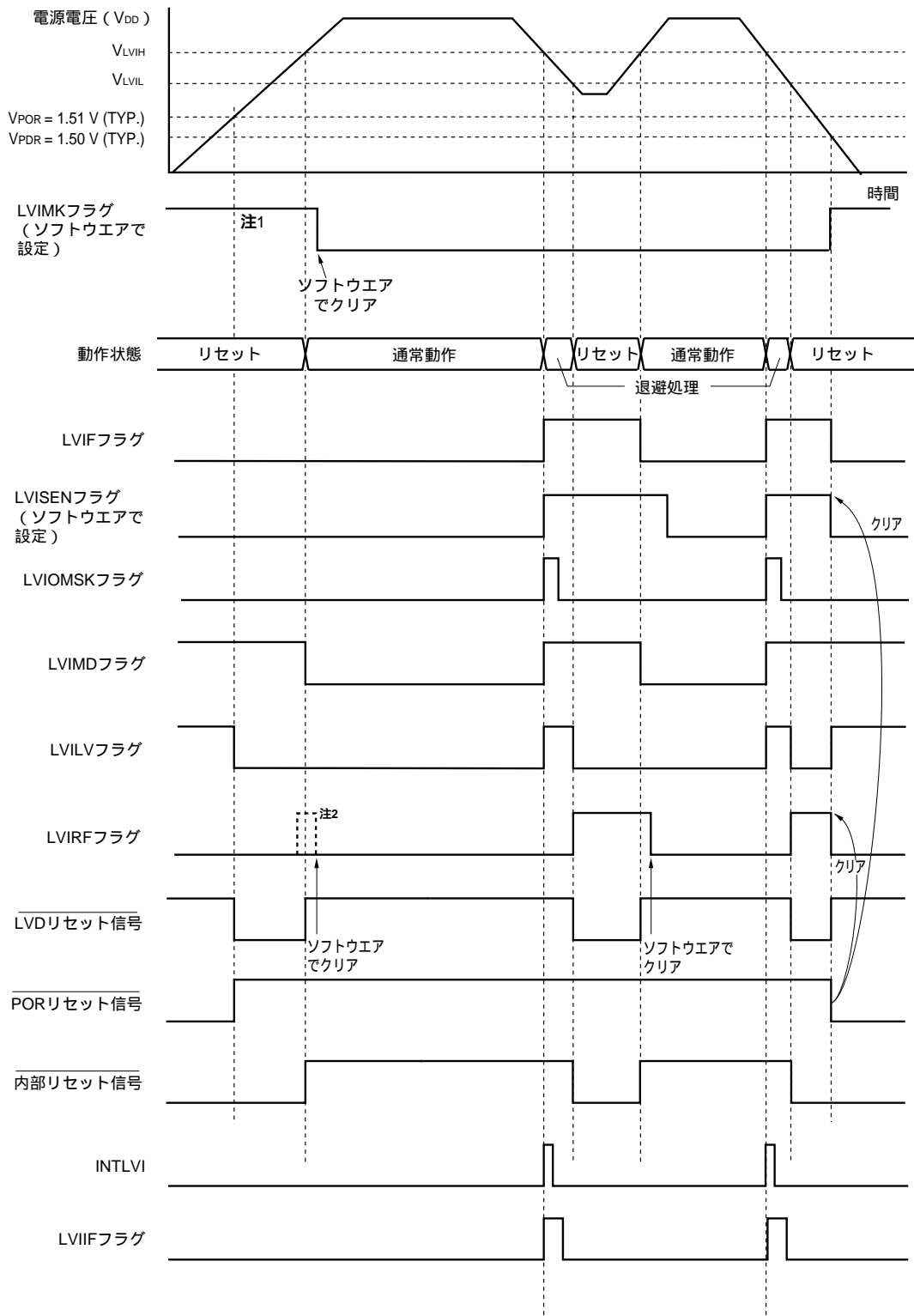
図21-6に、電圧検出回路の内部リセット信号と割り込み信号発生タイミングを示します。

図21-7 割り込み発生後の処理手順、図21-8 割り込み&リセット・モードの初期設定に示すフローチャートの手順に従って実施してください。

割り込み&リセット信号発生のタイミングの誤記訂正 (p.770)

誤)

図21-6 割り込み&リセット信号発生のタイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)



注 1. LVIMK フラグはリセット信号の発生により、“1”になっています。

2. LVIRF フラグはリセット・コントロール・フラグ・レジスタ(RESF)のビット0です。

電源立ち上がり波形により、LVIRF フラグが最初から1になることがあります。

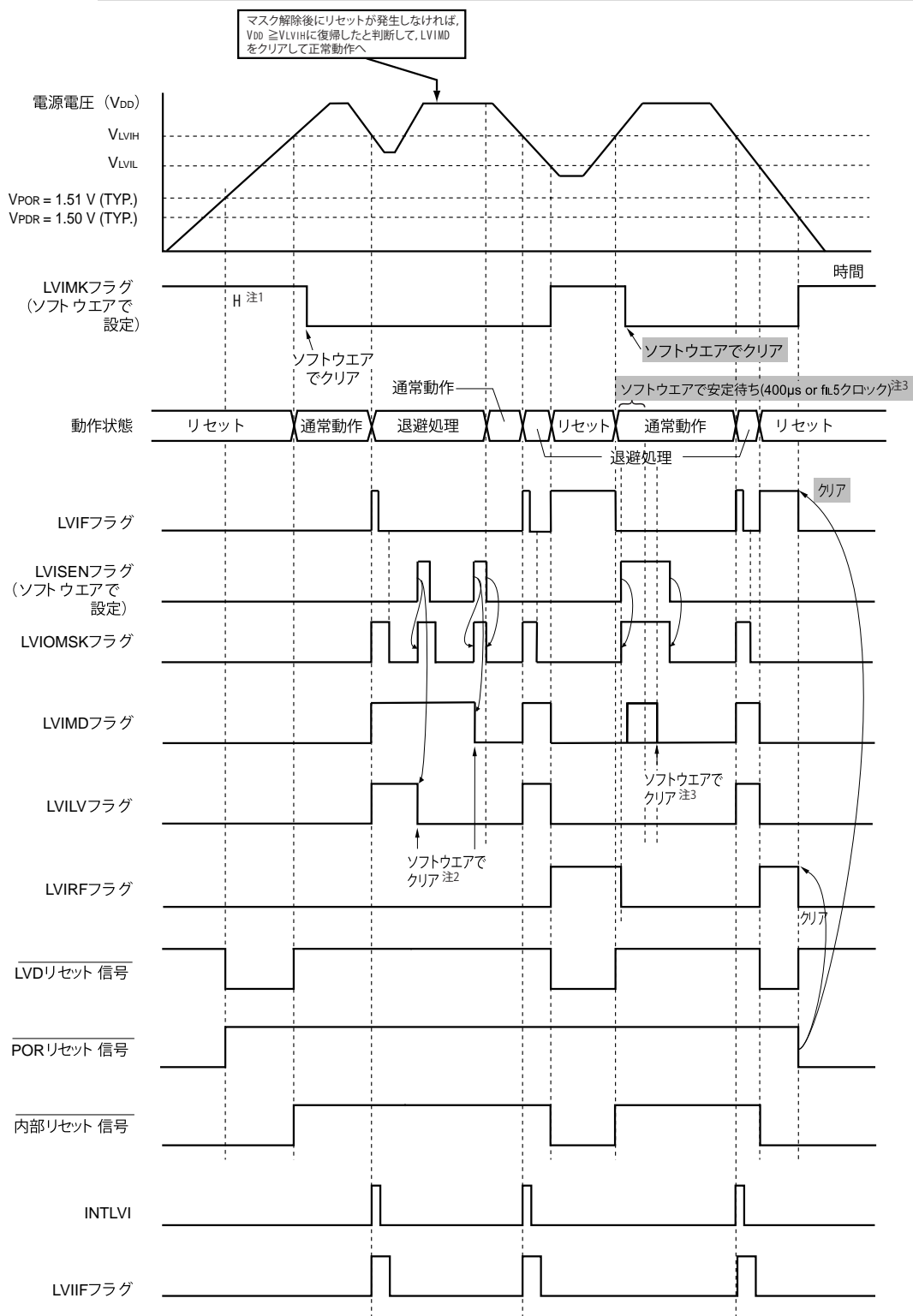
RESF レジスタについての詳細は、第 19 章 リセット機能を参照してください。

備考 V_{POR}: POR電源立ち上がり検出電圧

V_{PDR}: POR 電源立ち下がり検出電圧

正)

図21-6 割り込み&リセット信号発生のタイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0) (1/2)



注 1. LVIMK フラグはリセット信号の発生により、“1”になっています。

2. 割り込み & リセット・モード使用時、割り込み発生後は、図 21-7 割り込み発生後の処理手順に従って実施してください。

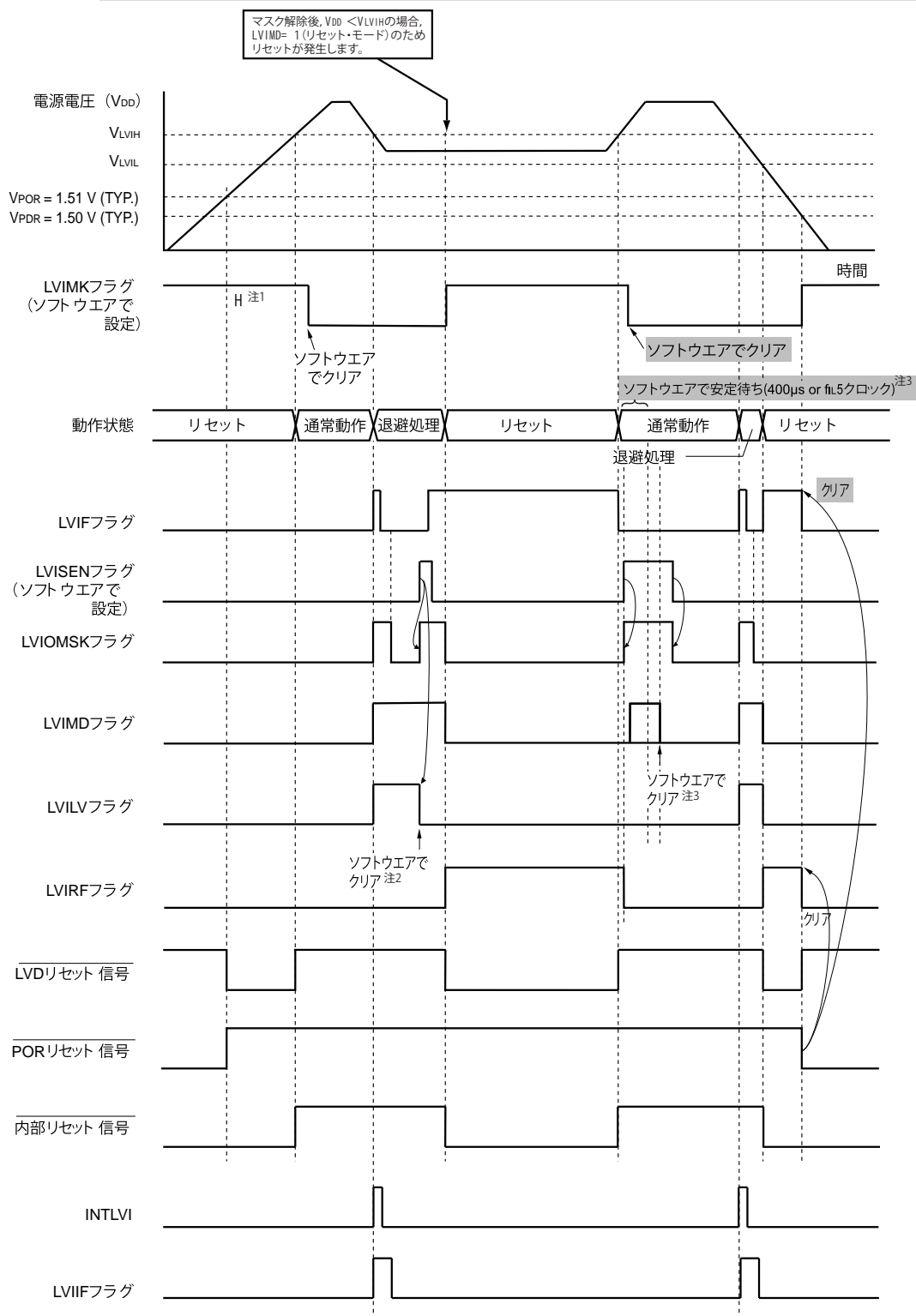
3. 割り込み & リセット・モード使用時、リセット解除後は、図 21-8 割り込み & リセット・モードの初期設定の設定手順に従って実施してください。

備考 V_{POR} : POR電源立ち上がり検出電圧

V_{PDR} : POR 電源立ち下がり検出電圧

正)

図21-6 割り込み&リセット信号発生のタイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0) (2/2)



注 1. LVIMK フラグはリセット信号の発生により、“1”になっています。

2. 割り込み&リセット・モード使用時、割り込み発生後は、図 21-7 割り込み発生後の処理手順に従って実施してください。

3. 割り込み&リセット・モード使用時、リセット解除後は、図 21-8 割り込み&リセット・モードの初期設定の設定手順に従って実施してください。

備考 V_{POR} : POR電源立ち上がり検出電圧

V_{PDR} : POR 電源立ち下がり検出電圧

図21-7 割り込み発生後の処理手順

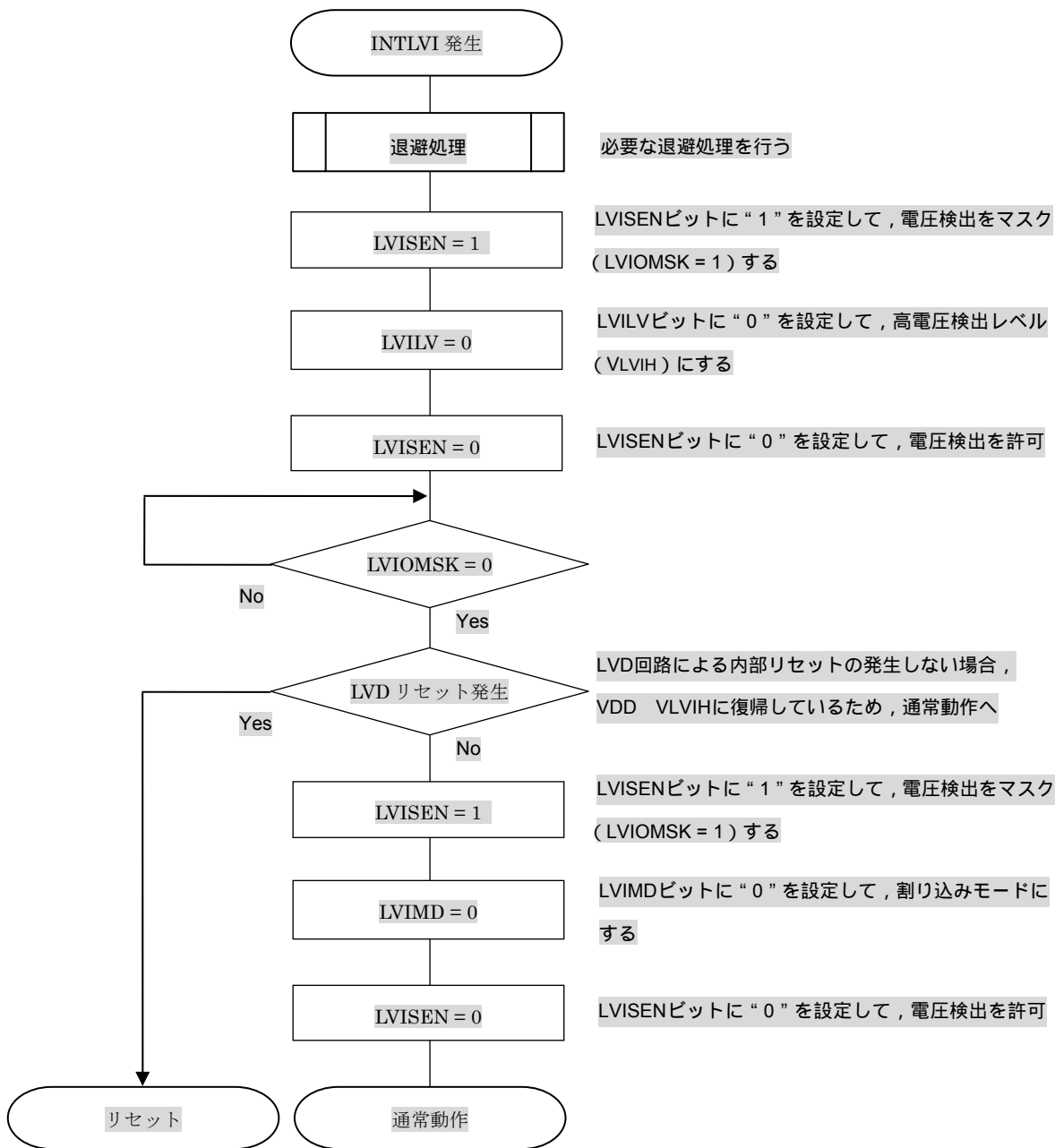
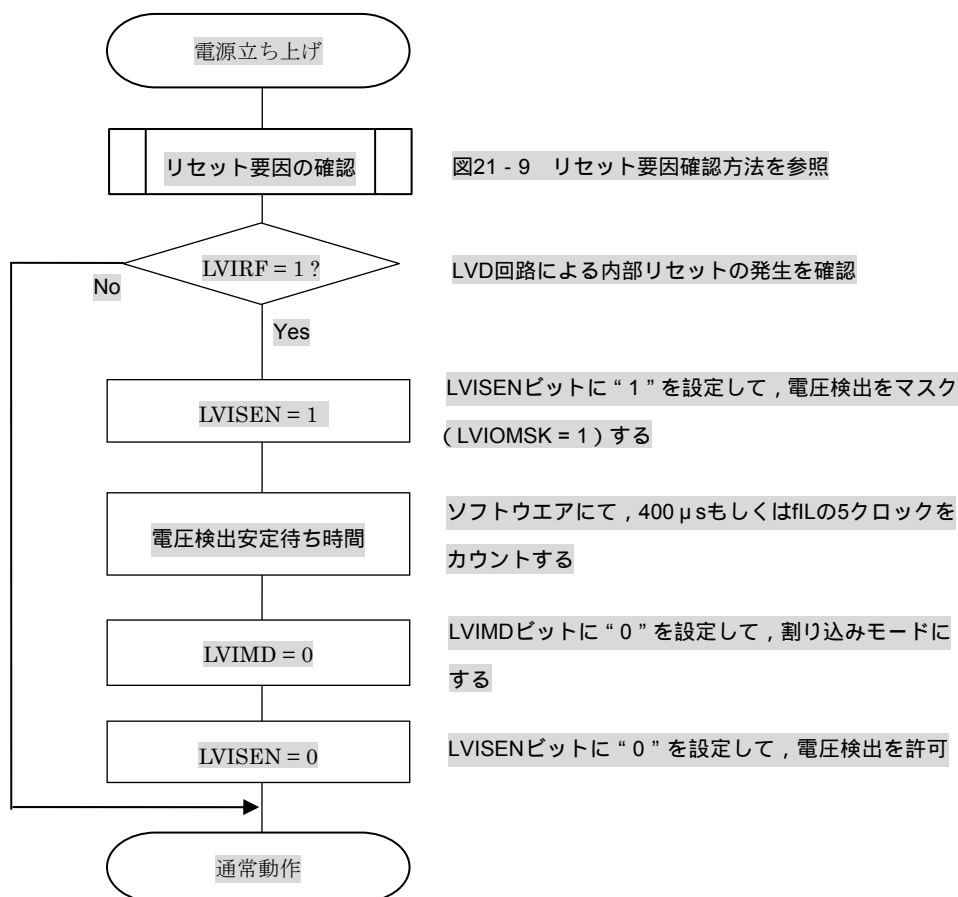


図 21-8 割り込み & リセット・モードの初期設定の説明追加 (p.772)

割り込み & リセット・モード(LVIMDS1, LVIMDS0 = 1, 0)を設定した場合, LVDリセット解除後(LVIRF = 1)から400 μ sもしくはf_{IL}の5クロック分の電圧検出安定待ち時間が必要です。電圧検出安定待ち後, LVIMDビットをクリア(0)して初期化してください。電圧検出安定待ち時間のカウント中およびLVIMDビットの書き換え時は, LVISEN = 1に設定してLVDによるリセットまたは割り込み発生をマスクしてください。

図21-8 割り込み & リセット・モードの初期設定の手順を示します。

図21-8 割り込み & リセット・モードの初期設定



備考 f_{IL}: 低速オンチップ・オシレータ・クロック周波数

8. 安全機能 22.3.8 A/D テスト機能の説明追加

図 22-15 A/D テスト・レジスタ(ADTES)の説明追加 (p.789)

誤)

(1) A/Dテスト・レジスタ(ADTES)

図22-15 A/Dテスト・レジスタ(ADTES)のフォーマット

アドレス:F0013H リセット時:00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANlxx(アナログ入力チャンネル指定レジスタ(ADS)で設定)
1	0	一側の基準電圧(ADM2レジスタのADREFMビットで設定)
1	1	±側の基準電圧(ADM2レジスタのADREFP1, ADREFP0ビットで設定)
上記以外		設定禁止

正)

(1) A/Dテスト・レジスタ(ADTES)

図22-15 A/Dテスト・レジスタ(ADTES)のフォーマット

アドレス:F0013H リセット時:00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANlxx(アナログ入力チャンネル指定レジスタ(ADS)で設定) ^注
1	0	一側の基準電圧(ADM2レジスタのADREFMビットで設定)
1	1	±側の基準電圧(ADM2レジスタのADREFP1, ADREFP0ビットで設定) ^注
上記以外		設定禁止

注 温度センサ出力, 内部基準電圧出力(1.45V)は, HS(高速メイン)モードでのみ選択可能です。

図 22-16 アナログ入力チャンネル指定レジスタ(ADS)の説明追加 (p.790)

誤)

図22-16 アナログ入力チャンネル指定レジスタ(ADS)のフォーマット

○セレクト・モード(ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力 チャンネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV _{REFP} 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV _{REFM} 端子
(省略)							
0	1	1	1	1	1	設定禁止	
1	0	0	0	0	0	—	温度センサ出力
1	0	0	0	0	1	—	内部基準電圧出力(1.45 V)
上記以外						設定禁止	

(注意1-9は次ページにあります。)

(省略)

正)

図22-16 アナログ入力チャンネル指定レジスタ(ADS)のフォーマット

○セレクト・モード(ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力 チャンネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV _{REFP} 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV _{REFM} 端子
(省略)							
0	1	1	1	1	1	設定禁止	
1	0	0	0	0	0	—	温度センサ出力 ^注
1	0	0	0	0	1	—	内部基準電圧出力(1.45 V) ^注
上記以外						設定禁止	

(注意1-9は次ページにあります。)

注. HS(高速メイン)モードでのみ選択可能です。

(省略)

9. 電気的特性 29.2 絶対最大定格誤記訂正 (p.853)

誤)

絶対最大定格 ($T_A=25^\circ\text{C}$) (1/2)

項目	略号	条件	定格	単位
電源電圧	V_{DD}		$-0.5 \sim +6.5$	V
	EV_{DD0}	$EV_{DD0} \leq V_{DD}$	$-0.5 \sim +6.5$	V
	AV_{DD}	$AV_{DD0} \leq V_{DD}$	$-0.5 \sim +4.6$	V
	V_{SS}		$-0.5 \sim +0.3$	V
	EV_{SS0}		$-0.5 \sim +0.3$	V
	AV_{SS}		$-0.5 \sim +0.3$	V
REGC端子入力電圧	V_{IREGC}	REGC	$-0.3 \sim +2.8$ かつ $-0.3 \sim V_{DD} + 0.3$ ^{注1}	V
(省略)				

注1. REGC端子にはコンデンサ (0.47~1 μF) を介して V_{SS} に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

2. 6.5 V 以下であること。

正)

絶対最大定格 ($T_A=25^\circ\text{C}$) (1/2)

項目	略号	条件	定格	単位
電源電圧	V_{DD}		$-0.5 \sim +6.5$	V
	EV_{DD0}		$-0.5 \sim +6.5$	V
	AV_{DD}		$-0.5 \sim +4.6$	V
	AV_{REFP}		$-0.3 \sim AV_{DD} + 0.3$ ^{注3}	V
	V_{SS}		$-0.5 \sim +0.3$	V
	EV_{SS0}		$-0.5 \sim +0.3$	V
	AV_{SS}		$-0.5 \sim +0.3$	V
	AV_{REFM}		$-0.3 \sim AV_{DD} + 0.3$ ^{注3} かつ $AV_{REFM} \leq AV_{REFP}$	V
REGC端子入力電圧	V_{IREGC}	REGC	$-0.3 \sim +2.8$ かつ $-0.3 \sim V_{DD} + 0.3$ ^{注1}	V
(省略)				

注1. REGC端子にはコンデンサ (0.47~1 μF) を介して V_{SS} に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

2. 6.5 V 以下であること。

3. 4.6V 以下であること

10. 電気的特性 29.6.1 シリアル・アレイ・ユニット誤記訂正

(2) 同電位通信時(CSIモード)(マスタ・モード($f_{MCK}/2$), \overline{SCKp} ...内部クロック出力)の誤記訂正 (p.871)

誤)

(2) 同電位通信時(CSIモード)(マスタ・モード($f_{MCK}/2$), \overline{SCKp} ...内部クロック出力)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.7 \text{ V} \leq E_{V_{DD0}} \leq V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = E_{V_{SS0}} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
\overline{SCKp} サイクル・タイム	t_{KCY1}	$2.7 \text{ V} \leq E_{V_{DD0}} \leq 3.6 \text{ V}$	83.3 ^{注1}			ns
\overline{SCKp} ハイ, ロウ・レベル幅	t_{KH1}, t_{KL1}	$2.7 \text{ V} \leq E_{V_{DD0}} \leq 3.6 \text{ V}$	$f_{KCY1}/2-10$			ns
Slpセットアップ時間 (対 \overline{SCKp} ↑) ^{注2}	t_{SIK1}	$2.7 \text{ V} \leq E_{V_{DD0}} \leq 3.6 \text{ V}$	31 ^{注4}			ns
Slpホールド時間 (対 \overline{SCKp} ↑) ^{注2}	t_{KSI1}	$2.7 \text{ V} \leq E_{V_{DD0}} \leq 3.6 \text{ V}$	10			ns
\overline{SCKp} ↓→SOp出力遅延時間 ^{注3}	t_{KSO1}	$C = 20 \text{ pF}$ ^{注5}			10	ns

(省略)

正)

(2) 同電位通信時(CSIモード)(マスタ・モード($f_{MCK}/2$), \overline{SCKp} ...内部クロック出力)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.7 \text{ V} \leq E_{V_{DD0}} \leq V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = E_{V_{SS0}} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
\overline{SCKp} サイクル・タイム	t_{KCY1}	$2.7 \text{ V} \leq E_{V_{DD0}} \leq 3.6 \text{ V}$	83.3 ^{注1}			ns
\overline{SCKp} ハイ, ロウ・レベル幅	t_{KH1}, t_{KL1}	$2.7 \text{ V} \leq E_{V_{DD0}} \leq 3.6 \text{ V}$	$f_{KCY1}/2-10$			ns
Slpセットアップ時間 (対 \overline{SCKp} ↑) ^{注2}	t_{SIK1}	$2.7 \text{ V} \leq E_{V_{DD0}} \leq 3.6 \text{ V}$	33 ^{注4}			ns
Slpホールド時間 (対 \overline{SCKp} ↑) ^{注2}	t_{KSI1}	$2.7 \text{ V} \leq E_{V_{DD0}} \leq 3.6 \text{ V}$	10			ns
\overline{SCKp} ↓→SOp出力遅延時間 ^{注3}	t_{KSO1}	$C = 20 \text{ pF}$ ^{注5}			10	ns

(省略)

(3) 同電位通信時(CSIモード)(マスタ・モード($f_{MCK}/4$), \overline{SCKp} ...内部クロック出力)の誤記訂正 (p.872)

誤)

(3)同電位通信時(CSIモード)(マスタ・モード($f_{MCK}/4$), \overline{SCKp} ...内部クロック出力)(TA = -40 ~ +85 °C, 1.6 V ≤ EV_{DD0} ≤ V_{DD} ≤ 3.6 V, V_{SS} = EV_{SS0} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
\overline{SCKp} サイクル・タイム	t _{KCY1}	2.7 V ≤ EV _{DD0} ≤ 3.6 V	125 ^{注1}			ns
		2.4 V ≤ EV _{DD0} ≤ 3.6 V	250 ^{注1}			ns
		1.8 V ≤ EV _{DD0} ≤ 3.6 V	500 ^{注1}			ns
(省略)						
Slpセットアップ時間 (対 \overline{SCKp} ↑) ^{注2}	t _{SIK1}	2.7 V ≤ EV _{DD0} ≤ 3.6 V	38			ns
		2.4 V ≤ EV _{DD0} ≤ 3.6 V	75			ns
		1.8 V ≤ EV _{DD0} ≤ 3.6 V	150			ns
		1.6 V ≤ EV _{DD0} ≤ 3.6 V	300			ns
Slpホールド時間 (対 \overline{SCKp} ↑) ^{注2}	t _{KSI1}		19			ns
\overline{SCKp} ↓→SOp出力遅延時間 ^{注3}	t _{KSO1}	C = 30 pF ^{注4}			25	ns

(省略)

正)

(3)同電位通信時(CSIモード)(マスタ・モード($f_{MCK}/4$), \overline{SCKp} ...内部クロック出力)(TA = -40 ~ +85 °C, 1.6 V ≤ EV_{DD0} ≤ V_{DD} ≤ 3.6 V, V_{SS} = EV_{SS0} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
\overline{SCKp} サイクル・タイム	t _{KCY1}	2.7 V ≤ EV _{DD0} ≤ 3.6 V	125 ^{注1}			ns
		2.4 V ≤ EV _{DD0} ≤ 3.6 V	250 ^{注1}			ns
		1.8 V ≤ EV _{DD0} ≤ 3.6 V	500 ^{注1}			ns
(省略)						
Slpセットアップ時間 (対 \overline{SCKp} ↑) ^{注2}	t _{SIK1}	2.7 V ≤ EV _{DD0} ≤ 3.6 V	44			ns
		2.4 V ≤ EV _{DD0} ≤ 3.6 V	75			ns
		1.8 V ≤ EV _{DD0} ≤ 3.6 V	110			ns
		1.6 V ≤ EV _{DD0} ≤ 3.6 V	220			ns
Slpホールド時間 (対 \overline{SCKp} ↑) ^{注2}	t _{KSI1}		19			ns
\overline{SCKp} ↓→SOp出力遅延時間 ^{注3}	t _{KSO1}	C = 30 pF ^{注4}			25	ns

(省略)

(4) 同電位通信時(CSIモード)(スレーブ・モード, $\overline{\text{SCKp}}$...外部クロック入力)の誤記訂正 (p.873)

誤)

(4) 同電位通信時(CSIモード)(スレーブ・モード, $\overline{\text{SCKp}}$...外部クロック入力)

(TA = -40~+85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 3.6 V, VSS = EVSS0 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
$\overline{\text{SCKp}}$ サイクル・タイム ^{注4}	t _{KCY2}	2.7 V ≤ EVDD0 < 3.6 V	16 MHz < f _{MCK}	8/f _{MCK}		ns	
			f _{MCK} ≤ 16 MHz	6/f _{MCK}		ns	
		1.8 V ≤ EVDD0 < 2.7 V	16 MHz < f _{MCK}	8/f _{MCK}		ns	
			f _{MCK} ≤ 16 MHz	6/f _{MCK}		ns	
		1.6 V ≤ EVDD0 < 1.8 V		6/f _{MCK}		ns	
$\overline{\text{SCKp}}$ ハイ, ロウ・レベル幅	t _{KH2} , t _{KL2}	1.6 V ≤ EVDD0 ≤ 3.6 V	t _{KCY2} /2			ns	
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注1}	t _{SIK2}	2.7 V ≤ EVDD0 ≤ 3.6 V	50			ns	
		1.8 V ≤ EVDD0 < 2.7 V	80			ns	
		1.6 V ≤ EVDD0 < 1.8 V	160			ns	
Slpホールド時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注1}	t _{KSI2}	2.7 V ≤ EVDD0 ≤ 3.6 V	1/f _{MCK} + 31			ns	
		1.8 V ≤ EVDD0 < 2.7 V	1/f _{MCK} + 31			ns	
		1.6 V ≤ EVDD0 < 1.8 V	1/f _{MCK} + 250			ns	
$\overline{\text{SCKp}}$ ↓ → SOp出力遅延時間 ^{注2}	t _{KSO2}	C = 30 pF ^{注3}	2.7 V ≤ EVDD0 < 3.6 V			2/f _{MCK} + 44	ns
			2.4 V ≤ EVDD0 < 2.7 V			2/f _{MCK} + 75	ns
			1.8 V ≤ EVDD0 < 2.4 V			2/f _{MCK} + 110	ns
			1.6 V ≤ EVDD0 < 1.8 V			2/f _{MCK} + 220	ns

(省略)

正)

(4) 同電位通信時 (CSIモード) (スレーブ・モード, $\overline{\text{SCKp}}$...外部クロック入力) $(T_A = -40 \sim +85 \text{ }^\circ\text{C}, 1.6 \text{ V} \leq \text{EV}_{\text{DD0}} \leq \text{V}_{\text{DD}} \leq 3.6 \text{ V}, \text{V}_{\text{SS}} = \text{EV}_{\text{SS0}} = 0 \text{ V})$

項目	略号	条件		MIN.	TYP.	MAX.	単位	
$\overline{\text{SCKp}}$ サイクル・タイム ^{注4}	t_{CY2}	$2.7 \text{ V} \leq \text{EV}_{\text{DD0}} < 3.6 \text{ V}$	$16 \text{ MHz} < f_{\text{MCK}}$	$8/f_{\text{MCK}}$			ns	
			$f_{\text{MCK}} \leq 16 \text{ MHz}$	$6/f_{\text{MCK}}$			ns	
		$1.8 \text{ V} \leq \text{EV}_{\text{DD0}} < 2.7 \text{ V}$	$16 \text{ MHz} < f_{\text{MCK}}$	$8/f_{\text{MCK}}$				ns
			$f_{\text{MCK}} \leq 16 \text{ MHz}$	$6/f_{\text{MCK}}$				ns
		$1.6 \text{ V} \leq \text{EV}_{\text{DD0}} < 1.8 \text{ V}$		$6/f_{\text{MCK}}$			ns	
$\overline{\text{SCKp}}$ ハイ、ロウ・レベル幅	$t_{\text{KH2}},$ t_{KL2}	$1.6 \text{ V} \leq \text{EV}_{\text{DD0}} \leq 3.6 \text{ V}$		$t_{\text{CY2}}/2$			ns	
Slpセットアップ時間 (対 $\overline{\text{SCKp}}\uparrow$) ^{注1}	t_{SIK2}	$2.7 \text{ V} \leq \text{EV}_{\text{DD0}} \leq 3.6 \text{ V}$		$1/f_{\text{MCK}}+20$			ns	
		$1.8 \text{ V} \leq \text{EV}_{\text{DD0}} < 2.7 \text{ V}$		$1/f_{\text{MCK}}+30$			ns	
		$1.6 \text{ V} \leq \text{EV}_{\text{DD0}} < 1.8 \text{ V}$		$1/f_{\text{MCK}}+40$				ns
Slpホールド時間 (対 $\overline{\text{SCKp}}\uparrow$) ^{注1}	t_{KSI2}	$2.7 \text{ V} \leq \text{EV}_{\text{DD0}} \leq 3.6 \text{ V}$		$1/f_{\text{MCK}}+31$			ns	
		$1.8 \text{ V} \leq \text{EV}_{\text{DD0}} < 2.7 \text{ V}$		$1/f_{\text{MCK}}+31$			ns	
		$1.6 \text{ V} \leq \text{EV}_{\text{DD0}} < 1.8 \text{ V}$		$1/f_{\text{MCK}}+$ 250				ns
$\overline{\text{SCKp}}\downarrow \rightarrow \text{SOp}$ 出力遅延時間 ^{注2}	t_{KSO2}	$C = 30 \text{ pF}$ ^{注3}	$2.7 \text{ V} \leq \text{EV}_{\text{DD0}} < 3.6 \text{ V}$			$2/f_{\text{MCK}}+44$	ns	
			$2.4 \text{ V} \leq \text{EV}_{\text{DD0}} < 2.7 \text{ V}$			$2/f_{\text{MCK}}+75$	ns	
			$1.8 \text{ V} \leq \text{EV}_{\text{DD0}} < 2.4 \text{ V}$			$2/f_{\text{MCK}}+110$	ns	
			$1.6 \text{ V} \leq \text{EV}_{\text{DD0}} < 1.8 \text{ V}$			$2/f_{\text{MCK}}+220$	ns	

(省略)

(9) 異電位 (2.5 V系) 通信時 (CSIモード) (スレーブ・モード, $\overline{\text{SCKp}}$...外部クロック入力) の誤記訂正 (p.887)

誤)

(9) 異電位 (2.5 V系) 通信時 (CSIモード) (スレーブ・モード, $\overline{\text{SCKp}}$...外部クロック入力)(TA = -40 ~ +85 °C, 1.8 V ≤ EV_{DD0} ≤ V_{DD} ≤ 3.6 V, V_{SS} = EV_{SS0} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKp サイクル・タイム ^{注1}	tkCY2	2.7 V ≤ EV _{DD0} < 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V	24 MHz < f _{MCK}	20/f _{MCK}		ns
			20 MHz < f _{MCK} ≤ 24 MHz	16/f _{MCK}		ns
			16 MHz < f _{MCK} ≤ 20 MHz	14/f _{MCK}		ns
			8 MHz < f _{MCK} ≤ 16 MHz	12/f _{MCK}		ns
			4 MHz < f _{MCK} ≤ 8 MHz	8/f _{MCK}		ns
			f _{MCK} ≤ 4 MHz	6/f _{MCK}		ns
		1.8 V ≤ EV _{DD0} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2}	24 MHz < f _{MCK}	48/f _{MCK}		ns
			20 MHz < f _{MCK} ≤ 24 MHz	36/f _{MCK}		ns
			16 MHz < f _{MCK} ≤ 20 MHz	32/f _{MCK}		ns
			8 MHz < f _{MCK} ≤ 16 MHz	26/f _{MCK}		ns
			4 MHz < f _{MCK} ≤ 8 MHz	16/f _{MCK}		ns
			f _{MCK} ≤ 4 MHz	10/f _{MCK}		ns
SCKp ハイ, ロウ・レベル幅	tkH2,	2.7 V ≤ EV _{DD0} < 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V	tkCY2/2 - 18			ns
	tkL2	1.8 V ≤ EV _{DD0} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2}	tkCY2/2 - 50			ns
Slp セットアップ時間 (対 SCKp↑) ^{注3}	tSIK2	2.7 V ≤ EV _{DD0} < 3.6 V	60			ns
		1.8 V ≤ EV _{DD0} < 3.3 V	97			
Slp ホールド時間 (対 SCKp↑) ^{注3}	tkSI2		1/f _{MCK} + 31			ns
SCKp ↓ → SOp 出力遅延 時間 ^{注4}	tkSO2	2.7 V ≤ EV _{DD0} ≤ 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ			2/f _{MCK} + 214	ns
		1.8 V ≤ EV _{DD0} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2} , C _b = 30 pF, R _b = 5.5 kΩ			2/f _{MCK} + 573	ns

(省略)

正)

9) 異電位 (2.5 V系) 通信時 (CSIモード) (スレーブ・モード, $\overline{\text{SCKp}}$...外部クロック入力)(TA = -40 ~ +85 °C, 1.8 V ≤ EV_{DD0} ≤ V_{DD} ≤ 3.6 V, V_{SS} = EV_{SS0} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
SCKp サイクル・タイム ^{注1}	t _{KCY2}	2.7 V ≤ EV _{DD0} < 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V	24 MHz < f _{MCK}	20/f _{MCK}			ns	
			20 MHz < f _{MCK} ≤ 24 MHz	16/f _{MCK}			ns	
			16 MHz < f _{MCK} ≤ 20 MHz	14/f _{MCK}			ns	
			8 MHz < f _{MCK} ≤ 16 MHz	12/f _{MCK}			ns	
			4 MHz < f _{MCK} ≤ 8 MHz	8/f _{MCK}			ns	
			f _{MCK} ≤ 4 MHz	6/f _{MCK}			ns	
		1.8 V ≤ EV _{DD0} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2}	24 MHz < f _{MCK}	48/f _{MCK}				ns
			20 MHz < f _{MCK} ≤ 24 MHz	36/f _{MCK}				ns
			16 MHz < f _{MCK} ≤ 20 MHz	32/f _{MCK}				ns
			8 MHz < f _{MCK} ≤ 16 MHz	26/f _{MCK}				ns
			4 MHz < f _{MCK} ≤ 8 MHz	16/f _{MCK}				ns
			f _{MCK} ≤ 4 MHz	10/f _{MCK}				ns
SCKp ハイ, ロウ・レベル幅	t _{KH2} ,	2.7 V ≤ EV _{DD0} < 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V	t _{KCY2} /2 - 18			ns		
	t _{KL2}	1.8 V ≤ EV _{DD0} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2}	t _{KCY2} /2 - 50			ns		
Slp セットアップ時間 (対 SCKp ↑) ^{注3}	t _{SIK2}	2.7 V ≤ EV _{DD0} < 3.6 V	1/f _{MCK} + 20			ns		
		1.8 V ≤ EV _{DD0} < 3.3 V	1/f _{MCK} + 30					
Slp ホールド時間 (対 SCKp ↑) ^{注3}	t _{KS12}		1/f _{MCK} + 31			ns		
SCKp ↓ → SOp 出力遅延 時間 ^{注4}	t _{KSO2}	2.7 V ≤ EV _{DD0} ≤ 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ			2/f _{MCK} + 214	ns		
		1.8 V ≤ EV _{DD0} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2} , C _b = 30 pF, R _b = 5.5 kΩ			2/f _{MCK} + 573	ns		

(省略)

11. 電気的特性 29.7.1 A/Dコンバータ特性の誤記訂正

(1) $AV_{REF(+)} = AV_{REFP}/ANI0$, $AV_{REF(-)} = AV_{REFM}/ANI1$ 選択時,

対象 ANI 端子: ANI2-ANI12 (AVDD を電源とする ANI 端子) の誤記訂正 (p.895)

誤)

(1) $AV_{REF(+)} = AV_{REFP}/ANI0$ (ADREFP1 = 0, ADREFP0 = 1), $AV_{REF(-)} = AV_{REFM}/ANI1$ (ADREFM = 1) 選択時,

対象 ANI 端子: ANI0-ANI12 (AVDD を電源とする ANI 端子)

(TA = -40 ~ +85 °C, 1.6 V ≤ VDD ≤ 3.6 V, 1.6 V ≤ AVDD ≤ 3.6 V, VSS = 0 V, AVSS = 0 V, 基本電圧 (+) = AVREFP, 基準電圧 (-) = AVREFM = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES	$2.4\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	8		12	bit
		$1.8\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	8		10 注1	
		$1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	8 注2			
総合誤差注3	AINL	12ビット分解能 $2.4\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			±6.0	LSB
		10ビット分解能 $1.8\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			±3.5	
		8ビット分解能 $1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			±1.75	
変換時間	tCONV	ADTYP = 0, 12ビット分解能 $2.4\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	3.375			μs
		ADTYP = 0, 10ビット分解能注1 $1.8\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	6.75			
		ADTYP = 0, 8ビット分解能注2 $1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	13.5			
		ADTYP = 1, 8ビット分解能 $2.4\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	2.5625			
			$1.8\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	5.125		
	$1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	10.25				
ゼロスケール誤差注3,4	EZS	12ビット分解能 $2.4\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			±4.0	%FSR
		10ビット分解能 $1.8\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			±2.5	
		8ビット分解能 $1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			±1.25	
フルスケール誤差注3,4	EFS	12ビット分解能 $2.4\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			±4.0	%FSR
		10ビット分解能 $1.8\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			±2.5	
		8ビット分解能 $1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			±1.25	
積分直線性誤差注3	ILE	12ビット分解能 $2.4\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	LSB
		10ビット分解能 $1.8\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	
		8ビット分解能 $1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	
微分直線性誤差注3	DLE	12ビット分解能 $2.4\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	LSB
		10ビット分解能 $1.8\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	
		8ビット分解能 $1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	
基準電圧(+)	AVREF(+)	≡ AVREFP				V
		$2.4\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	2.4		AVDD	
		$1.8\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	1.8		AVDD	
	$1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	1.6		AVDD		
基準電圧(-)	AVREF(-)	≡ AVREFM	-0.5		0.3	V
アナログ入力電圧	VAIN		0		AVREFP	V
	VBGR	$2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	1.38	1.45	1.5	V
消費電流	IADC	AVDD = 3.6 V		460	1090	μA
VREF電流	IAREF	AVREFP = 3.6 V		14	25	μA

(省略)

正)

(1) $AV_{REF(+)} = AV_{REFP}/ANI0$ ($ADREFP1 = 0, ADREFP0 = 1$), $AV_{REF(-)} = AV_{REFM}/ANI1$ ($ADREFM = 1$) 選択時,対象ANI端子: ANI2-ANI12 (AV_{DD} を電源とするANI端子)($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.6 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$, $1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $AV_{SS} = 0 \text{ V}$,基準電圧(+)= AV_{REFP} , 基準電圧(-)= $AV_{REFM} = 0 \text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES		$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	8		12	bit
			$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	8		10 ^{注1}	
			$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	8 ^{注2}			
総合誤差 ^{注3}	AINL	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			±6.0	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			±3.5	
		8ビット分解能	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			±1.75	
変換時間	t _{CONV}	ADTYP = 0, 12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	3.375			μs
		ADTYP = 0, 10ビット分解能 ^{注1}	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	6.75			
		ADTYP = 0, 8ビット分解能 ^{注2}	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	13.5			
		ADTYP = 1, 8ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	2.5625			
			$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	5.125			
			$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	10.25			
ゼロスケール誤差 ^{注3, 4}	EZS	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			±4.0	%FSR
		10ビット分解能	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			±2.5	
		8ビット分解能	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			±1.25	
フルスケール誤差 ^{注3, 4}	EFS	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			±4.0	%FSR
		10ビット分解能	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			±2.5	
		8ビット分解能	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			±1.25	
積分直線性誤差 ^{注3}	ILE	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			T.B.D.	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			T.B.D.	
		8ビット分解能	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			T.B.D.	
微分直線性誤差 ^{注3}	DLE	12ビット分解能	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			T.B.D.	LSB
		10ビット分解能	$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			T.B.D.	
		8ビット分解能	$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			T.B.D.	
アナログ入力電圧	V _{AIN}			0		AV _{REFP}	V
	V _{BGR}	$2.4 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$	HSモード	1.38	1.45	1.5	V
消費電流	I _{ADC}	AV _{DD} = 3.6 V			460	1090	μA
V _{REF} 電流	I _{AVREF}	AV _{REFP} = 3.6 V			14	25	μA

(省略)

(2) AVREF(+) = AVDD, AVREF(-) = AVSS 選択時,**対象 ANI 端子: ANI0-ANI12 (AVDD を電源とする ANI 端子) の誤記訂正 (p.897)**

誤)

(2) AVREF(+) = AVDD (ADREFP1 = 0, ADREFP0 = 0), AVREF(-) = AVSS (ADREFM = 0) 選択時,

対象 ANI 端子: ANI0-ANI12 (AVDD を電源とする ANI 端子)

(TA = -40 ~ +85 °C, 1.6 V ≤ VDD ≤ 3.6 V, 1.6 V ≤ AVDD ≤ 3.6 V, VSS = 0 V, AVSS = 0 V, 基本電圧 (+) = AVDD,

基準電圧 (-) = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES	2.4 V ≤ AVDD ≤ 3.6 V	8		12	bit
		1.8 V ≤ AVDD ≤ 3.6 V	8		10 注 1	
		1.6 V ≤ AVDD ≤ 3.6 V	8 注 2			
総合誤差注 3	AINL	12 ビット分解能 2.4 V ≤ AVDD ≤ 3.6 V			±9.0	LSB
		10 ビット分解能 1.8 V ≤ AVDD ≤ 3.6 V			±5.0	
		8 ビット分解能 1.6 V ≤ AVDD ≤ 3.6 V			±2.5	
変換時間	tCONV	ADTYP = 0, 12 ビット分解能 2.4 V ≤ AVDD ≤ 3.6 V	3.375			μs
		ADTYP = 0, 10 ビット分解能注 1 1.8 V ≤ AVDD ≤ 3.6 V	6.75			
		ADTYP = 0, 8 ビット分解能注 2 1.6 V ≤ AVDD ≤ 3.6 V	13.5			
		ADTYP = 1, 8 ビット分解能 2.4 V ≤ AVDD ≤ 3.6 V	2.5625			
		1.8 V ≤ AVDD ≤ 3.6 V 1.6 V ≤ AVDD ≤ 3.6 V	5.125 10.25			
ゼロスケール誤差注 3, 4	EVS	12 ビット分解能 2.4 V ≤ AVDD ≤ 3.6 V			±7.0	%FSR
		10 ビット分解能 1.8 V ≤ AVDD ≤ 3.6 V			±3.75	
		8 ビット分解能 1.6 V ≤ AVDD ≤ 3.6 V			±2.0	
フルスケール誤差注 3, 4	EFS	12 ビット分解能 2.4 V ≤ AVDD ≤ 3.6 V			±7.0	%FSR
		10 ビット分解能 1.8 V ≤ AVDD ≤ 3.6 V			±3.75	
		8 ビット分解能 1.6 V ≤ AVDD ≤ 3.6 V			±2.0	
積分直線性誤差注 3	ILE	12 ビット分解能 2.4 V ≤ AVDD ≤ 3.6 V			T.B.D.	LSB
		10 ビット分解能 1.8 V ≤ AVDD ≤ 3.6 V			T.B.D.	
		8 ビット分解能 1.6 V ≤ AVDD ≤ 3.6 V			T.B.D.	
微分直線性誤差注 3	DLE	12 ビット分解能 2.4 V ≤ AVDD ≤ 3.6 V			T.B.D.	LSB
		10 ビット分解能 1.8 V ≤ AVDD ≤ 3.6 V			T.B.D.	
		8 ビット分解能 1.6 V ≤ AVDD ≤ 3.6 V			T.B.D.	
基準電圧(+)	AVREF(+)	≡ AVDD	1.6		3.6	V
基準電圧(-)	AVREF(-)	≡ AVSS	-0.5		0.3	V
アナログ入力電圧	VAIN		0		AVREFP	V
	VBGR	2.4 V ≤ VDD ≤ 3.6 V	1.38	1.45	1.5	V
消費電流	IADC	AVDD = 3.6 V		460	1090	μA
VREF 電流	IAREF	AVREFP = 3.6 V		14	25	μA

(省略)

正)

(2) $AV_{REF(+)} = AV_{DD}$ ($ADREFP1 = 0$, $ADREFP0 = 0$), $AV_{REF(-)} = AV_{SS}$ ($ADREFM = 0$) 選択時,対象ANI端子: ANI0-ANI12 (AV_{DD} を電源とするANI端子) $(T_A = -40 \sim +85 \text{ }^\circ\text{C}, 1.6 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}, 1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}, V_{SS} = 0 \text{ V}, AV_{SS} = 0 \text{ V},$ 基準電圧(+)= AV_{DD} , 基準電圧(-)= $AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES	$2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	8		12	bit
		$1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	8		10 注1	
		$1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	8 注2			
総合誤差注3	AINL	12ビット分解能 $2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			± 9.0	LSB
		10ビット分解能 $1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			± 5.0	
		8ビット分解能 $1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			± 2.5	
変換時間	tCONV	ADTYP = 0, 12ビット分解能 $2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	3.375			μs
		ADTYP = 0, 10ビット分解能注1 $1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	6.75			
		ADTYP = 0, 8ビット分解能注2 $1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	13.5			
		ADTYP = 1, 8ビット分解能 $2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	2.5625			
		$1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	5.125			
		$1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	10.25			
ゼロスケール誤差注3,4	EZS	12ビット分解能 $2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			± 7.0	%FSR
		10ビット分解能 $1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			± 3.75	
		8ビット分解能 $1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			± 2.0	
フルスケール誤差注3,4	EFS	12ビット分解能 $2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			± 7.0	%FSR
		10ビット分解能 $1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			± 3.75	
		8ビット分解能 $1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			± 2.0	
積分直線性誤差注3	ILE	12ビット分解能 $2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			T.B.D.	LSB
		10ビット分解能 $1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			T.B.D.	
		8ビット分解能 $1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			T.B.D.	
微分直線性誤差注3	DLE	12ビット分解能 $2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			T.B.D.	LSB
		10ビット分解能 $1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			T.B.D.	
		8ビット分解能 $1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			T.B.D.	
アナログ入力電圧	V_{AIN}		0		AV_{DD}	V
	V_{BGR}	$2.4 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$	HSモード	1.38	1.45	1.5
消費電流	I_{ADC}	$AV_{DD} = 3.6 \text{ V}$		460	1090	μA
VREF電流	I_{AVREF}	$AV_{REFP} = 3.6 \text{ V}$		14	25	μA

(省略)

(3) AVREF(+)=AVREFP/ANI0, AVREF(-)=AVREFM/ANI1 選択時,**対象 ANI 端子: ANI16-ANI30 (EVDD0 を電源とする ANI 端子) の誤記訂正 (p.898)**

誤)

(3) AVREF(+)=AVREFP/ANI0 (ADREFP1=0, ADREFP0=1), AVREF(-)=AVREFM/ANI1 (ADREFM=1) 選択時,

対象 ANI 端子: ANI16-ANI30 (EVDD0 を電源とする ANI 端子)

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 3.6 V, 1.6 V ≤ AVDD ≤ 3.6 V, VSS = EVSS0 = 0 V, AVSS = 0 V,

基本電圧(+)=AVREFP, 基準電圧(-)=AVREFM = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES	2.4 V ≤ AVDD ≤ 3.6 V	8		12	bit
		1.8 V ≤ AVDD ≤ 3.6 V	8		10 注 1	
		1.6 V ≤ AVDD ≤ 3.6 V		8 注 2		
総合誤差注 3	AINL	12 ビット分解能 2.4 V ≤ AVDD ≤ 3.6 V			±9.0	LSB
		10 ビット分解能 1.8 V ≤ AVDD ≤ 3.6 V			±5.0	
		8 ビット分解能 1.6 V ≤ AVDD ≤ 3.6 V			±2.5	
変換時間	tCONV	ADTYP = 0, 12 ビット分解能 2.4 V ≤ AVDD ≤ 3.6 V	4.125			μs
		ADTYP = 0, 10 ビット分解能注 1 1.8 V ≤ AVDD ≤ 3.6 V	9.5			
		ADTYP = 0, 8 ビット分解能注 2 1.6 V ≤ AVDD ≤ 3.6 V	57.5			
		ADTYP = 1, 8 ビット分解能 2.4 V ≤ AVDD ≤ 3.6 V	3.3125			
		1.8 V ≤ AVDD ≤ 3.6 V 1.6 V ≤ AVDD ≤ 3.6 V	7.875 54.25			
ゼロスケール誤差注 3, 4	EZS	12 ビット分解能 2.4 V ≤ AVDD ≤ 3.6 V			±7.0	%FSR
		10 ビット分解能 1.8 V ≤ AVDD ≤ 3.6 V			±3.75	
		8 ビット分解能 1.6 V ≤ AVDD ≤ 3.6 V			±2.0	
フルスケール誤差注 3, 4	EFS	12 ビット分解能 2.4 V ≤ AVDD ≤ 3.6 V			±7.0	%FSR
		10 ビット分解能 1.8 V ≤ AVDD ≤ 3.6 V			±3.75	
		8 ビット分解能 1.6 V ≤ AVDD ≤ 3.6 V			±2.0	
積分直線性誤差注 3	ILE	12 ビット分解能 2.4 V ≤ AVDD ≤ 3.6 V			T.B.D.	LSB
		10 ビット分解能 1.8 V ≤ AVDD ≤ 3.6 V			T.B.D.	
		8 ビット分解能 1.6 V ≤ AVDD ≤ 3.6 V			T.B.D.	
微分直線性誤差注 3	DLE	12 ビット分解能 2.4 V ≤ AVDD ≤ 3.6 V			T.B.D.	LSB
		10 ビット分解能 1.8 V ≤ AVDD ≤ 3.6 V			T.B.D.	
		8 ビット分解能 1.6 V ≤ AVDD ≤ 3.6 V			T.B.D.	
基準電圧(+)	AVREF(+) ≡ AVREFP	2.4 V ≤ AVDD ≤ 3.6 V	2.4		AVDD	V
		1.8 V ≤ AVDD ≤ 3.6 V	1.8		AVDD	
		1.6 V ≤ AVDD ≤ 3.6 V	1.6		AVDD	
基準電圧(-)	AVREF(-) ≡ AVREFM		-0.5		0.3	V
アナログ入力電圧	VAIN		0		AVREFP	V
	VBGR	2.4 V ≤ VDD ≤ 3.6 V	1.38	1.45	1.5	V
消費電流	IADC	AVDD = 3.6 V		400	950	μA
VREF 電流	IAREF	AVREFP = 3.6 V		14	25	μA

(省略)

正)

(3) $AV_{REF(+)} = AV_{REFP}/ANI0$ ($ADREFP1 = 0, ADREFP0 = 1$), $AV_{REF(-)} = AV_{REFM}/ANI1$ ($ADREFM = 1$) 選択時,対象ANI端子: ANI16-ANI30 (EV_{DD0} を電源とするANI端子) $(T_A = -40 \sim +85 \text{ }^\circ\text{C}, 1.6 \text{ V} \leq EV_{DD0} \leq V_{DD} \leq 3.6 \text{ V}, 1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}, V_{SS} = EV_{SS0} = 0 \text{ V},$ $AV_{SS} = 0 \text{ V}, \text{基準電圧}(+) = AV_{REFP}, \text{基準電圧}(-) = AV_{REFM} = 0 \text{ V})$

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES	$2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	8		12	bit
		$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	8		10 注1	
		$1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	8 注2			
総合誤差注3	AINL	12ビット分解能 $2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 9.0	LSB
		10ビット分解能 $1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 5.0	
		8ビット分解能 $1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 2.5	
変換時間	tCONV	ADTYP = 0, 12ビット分解能 $2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	4.125			μs
		ADTYP = 0, 10ビット分解能注1 $1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	9.5			
		ADTYP = 0, 8ビット分解能注2 $1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	57.5			
		ADTYP = 1, 8ビット分解能 $2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	3.3125			
		$1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$	7.875			
ゼロスケール誤差注3,4	EZS	12ビット分解能 $2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 7.0	%FSR
		10ビット分解能 $1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 3.75	
		8ビット分解能 $1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 2.0	
フルスケール誤差注3,4	EFS	12ビット分解能 $2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 7.0	%FSR
		10ビット分解能 $1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 3.75	
		8ビット分解能 $1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			± 2.0	
積分直線性誤差注3	ILE	12ビット分解能 $2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			T.B.D.	LSB
		10ビット分解能 $1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			T.B.D.	
		8ビット分解能 $1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			T.B.D.	
微分直線性誤差注3	DLE	12ビット分解能 $2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			T.B.D.	LSB
		10ビット分解能 $1.8 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			T.B.D.	
		8ビット分解能 $1.6 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6 \text{ V}$			T.B.D.	
アナログ入力電圧	VAIN		0		AV_{REFP} かつ EV_{DD0}	V
	V _{BGR}	$2.4 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$	HSモード	1.38	1.45	1.5
消費電流	I _{ADC}	$AV_{DD} = 3.6 \text{ V}$		400	950	μA
V _{REF} 電流	I _{AVREF}	$AV_{REFP} = 3.6 \text{ V}$		14	25	μA

(省略)

(4) AVREF(+) = AVDD, AVREF(-) = AVSS 選択時,**対象 ANI 端子: ANI16-ANI30 (EVDD0 を電源とする ANI 端子) の誤記訂正(p.899)**

誤)

(4) AVREF(+) = AVDD (ADREFP1 = 0, ADREFP0 = 0), AVREF(-) = AVSS (ADREFM = 0) 選択時,

対象 ANI 端子: ANI16-ANI30 (EVDD0 を電源とする ANI 端子)

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 3.6 V, 1.6 V ≤ AVDD ≤ 3.6 V, VSS = EVSS0 = 0 V, AVSS = 0 V,

基本電圧(+) = AVDD, 基準電圧(-) = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES	2.4 V ≤ AVDD ≤ 3.6 V	8		12	bit
		1.8 V ≤ AVDD ≤ 3.6 V	8		10 注1	
		1.6 V ≤ AVDD ≤ 3.6 V	8 注2			
総合誤差注3	AINL	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V		±14.0	LSB
		10ビット分解能	1.8 V ≤ AVDD ≤ 3.6 V		±7.5	
		8ビット分解能	1.6 V ≤ AVDD ≤ 3.6 V		±3.75	
変換時間	tCONV	ADTYP = 0, 12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V	4.125		μs
		ADTYP = 0, 10ビット分解能注1	1.8 V ≤ AVDD ≤ 3.6 V	9.5		
		ADTYP = 0, 8ビット分解能注2	1.6 V ≤ AVDD ≤ 3.6 V	57.5		
		ADTYP = 1, 8ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V	3.3125		
			1.8 V ≤ AVDD ≤ 3.6 V	7.875		
ゼロスケール誤差注3,4	EZS	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V		±9.0	%FSR
		10ビット分解能	1.8 V ≤ AVDD ≤ 3.6 V		±5.0	
		8ビット分解能	1.6 V ≤ AVDD ≤ 3.6 V		±2.5	
フルスケール誤差注3,4	EFS	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V		±9.0	%FSR
		10ビット分解能	1.8 V ≤ AVDD ≤ 3.6 V		±5.0	
		8ビット分解能	1.6 V ≤ AVDD ≤ 3.6 V		±2.5	
積分直線性誤差注3	ILE	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V		T.B.D.	LSB
		10ビット分解能	1.8 V ≤ AVDD ≤ 3.6 V		T.B.D.	
		8ビット分解能	1.6 V ≤ AVDD ≤ 3.6 V		T.B.D.	
微分直線性誤差注3	DLE	12ビット分解能	2.4 V ≤ AVDD ≤ 3.6 V		T.B.D.	LSB
		10ビット分解能	1.8 V ≤ AVDD ≤ 3.6 V		T.B.D.	
		8ビット分解能	1.6 V ≤ AVDD ≤ 3.6 V		T.B.D.	
基準電圧(+)	AVREF(+)	≡ AVDD	1.6		3.6	V
基準電圧(-)	AVREF(-)	≡ AVSS	-0.5		0.3	V
アナログ入力電圧	VAIN		0		AVREFP	V
	VBGR	2.4 V ≤ VDD ≤ 3.6 V	1.38	1.45	1.5	V
消費電流	IADC	AVDD = 3.6 V		400	950	μA
VREF 電流	IAREF	AVREFP = 3.6 V		14	25	μA

(省略)

正)

(4) $AV_{REF(+)} = AV_{DD}$ ($ADREFP1 = 0$, $ADREFP0 = 0$), $AV_{REF(-)} = AV_{SS}$ ($ADREFM = 0$) 選択時,対象ANI端子: ANI16-ANI30 (EV_{DD0} を電源とするANI端子) $(T_A = -40 \sim +85 \text{ }^\circ\text{C}, 1.6 \text{ V} \leq EV_{DD0} \leq V_{DD} \leq 3.6 \text{ V}, 1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}, V_{SS} = EV_{SS0} = 0 \text{ V}, AV_{SS} = 0 \text{ V},$ 基準電圧(+)= AV_{DD} , 基準電圧(-)= $AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能	R _{ES}	$2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	8		12	bit	
		$1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	8		10 注1		
		$1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	8 注2				
総合誤差注3	AINL	12ビット分解能 $2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			± 14.0	LSB	
		10ビット分解能 $1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			± 7.5		
		8ビット分解能 $1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			± 3.75		
変換時間	t _{CONV}	ADTYP = 0, 12ビット分解能 $2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	4.125			μs	
		ADTYP = 0, 10ビット分解能注1 $1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	9.5				
		ADTYP = 0, 8ビット分解能注2 $1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	57.5				
		ADTYP = 1, 8ビット分解能	$2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	3.3125			
			$1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$	7.875			
ゼロスケール誤差注3, 4	E _{ZS}	12ビット分解能 $2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			± 9.0	%FSR	
		10ビット分解能 $1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			± 5.0		
		8ビット分解能 $1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			± 2.5		
フルスケール誤差注3, 4	E _{FS}	12ビット分解能 $2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			± 9.0	%FSR	
		10ビット分解能 $1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			± 5.0		
		8ビット分解能 $1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			± 2.5		
積分直線性誤差注3	I _{LE}	12ビット分解能 $2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			T.B.D.	LSB	
		10ビット分解能 $1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			T.B.D.		
		8ビット分解能 $1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			T.B.D.		
微分直線性誤差注3	D _{LE}	12ビット分解能 $2.4 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			T.B.D.	LSB	
		10ビット分解能 $1.8 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			T.B.D.		
		8ビット分解能 $1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$			T.B.D.		
アナログ入力電圧	V _{AIN}		0		AV_{DD} かつ EV_{DD0}	V	
	V _{BGR}	$2.4 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$	HSモード	1.38	1.45	1.5	V
消費電流	I _{ADC}	$AV_{DD} = 3.6 \text{ V}$		400	950	μA	
V _{REF} 電流	I _{AVREF}	$AV_{REFP} = 3.6 \text{ V}$		14	25	μA	

(省略)

**(5)AVREF(+)= 内部基準電圧, AVREF(-)= AVSS 選択時,
対象 ANI 端子: ANI0-ANI12, ANI16-ANI30 の誤記訂正(p.900)**

誤)

(5)AVREF(+)= 内部基準電圧(1.45V) (ADREFP1 = 1, ADREFP0 = 0), AVREF(-) = AVSS(ADREFM = 0)選択時, 対象ANI端子: ANI0-ANI12, ANI16-ANI30

(TA = -40~+85 °C, $1.6\text{ V} \leq \text{EVDD0} \leq \text{VDD} \leq 3.6\text{ V}$, $1.6\text{ V} \leq \text{AVDD} \leq 3.6\text{ V}$, VSS = EVSS0 = 0 V, AVSS = 0V, 基本電圧(+)= 内部基準電圧, 基準電圧(-)= AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		8	bit
変換時間	tCONV	省略				
ゼロスケール誤差 ^{注1,2}	EZS					
積分直線性誤差 ^{注1}	ILE					
微分直線性誤差 ^{注1}	DLE					
基準電圧(+)	AVREF(+)	= 内部基準電圧	1.38	1.45	1.5	V
<u>基準電圧(-)</u>	<u>AVREF(-)</u>	<u>= AVSS</u>	<u>-0.5</u>		<u>0.3</u>	<u>V</u>
アナログ入力電圧	VAIN		0		AVREFP	V
	VBGR		変換禁止			V
消費電流	IADC	AVDD=3.6V		400	950	μA
VREF電流	IAREF			75		μA

(省略)

正)

(5)AVREF(+)= 内部基準電圧(1.45V) (ADREFP1 = 1, ADREFP0 = 0), AVREF(-) = AVSS(ADREFM = 0)選択時, 対象ANI端子: ANI0-ANI12, ANI16-ANI30

(TA = -40~+85 °C, $2.4\text{ V} \leq \text{VDD} \leq 3.6\text{ V}$, $1.6\text{ V} \leq \text{EVDD0} \leq \text{VDD}$, $2.4\text{ V} \leq \text{AVDD} \leq 3.6\text{ V}$, VSS = EVSS0 = 0 V, AVSS = 0V, 基準電圧(+)= 内部基準電圧, 基準電圧(-)= AVSS = 0 V, HS(高速メイン)モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8			bit
変換時間	tCONV	(省略)				
ゼロスケール誤差 ^{注1,2}	EZS					
積分直線性誤差 ^{注1}	ILE					
微分直線性誤差 ^{注1}	DLE					
基準電圧(+)	AVREF(+)	= 内部基準電圧(VBGR)	1.38	1.45	1.5	V
アナログ入力電圧	VAIN		0		VBGR	V
	VBGR		変換禁止			V
消費電流	IADC	AVDD=3.6V		400	950	μA
VREF電流	IAREF			75		μA

(省略)

12. 電気的特性 29.7.2 温度センサ特性の条件追加 (p.901)

誤)

29.7.2 温度センサ特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq V_{DD0} \leq V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = V_{SS0} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	V _{TMP525}	ADSレジスタ = 80H設定, $T_A = +25^\circ\text{C}$		1.05		V
リファレンス出力電圧	V _{CONST}	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	F _{VTMP5}	温度センサ電圧の温度依存		-3.6		mV/ $^\circ\text{C}$
動作安定待ち時間	t _{AMP}				2	μs

正)

29.7.2 温度センサ特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, HS(高速メイン)モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	V _{TMP525}	ADSレジスタ = 80H設定, $T_A = +25^\circ\text{C}$		1.05		V
リファレンス出力電圧	V _{CONST}	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	F _{VTMP5}	温度センサ電圧の温度依存		-3.6		mV/ $^\circ\text{C}$
動作安定待ち時間	t _{AMP}				2	μs

13. 端子機能 表 2-3 P60-P63 の未使用端子処理の誤記訂正 (p.42)

誤)

表 2-3 各端子の未使用端子処理 (64 ピン製品) (2/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
(省略)			
P41/ANI30/TI07/TO07	11-U	入出力	入力時:個別に抵抗を介して, EV _{DD0} またはEV _{SS0} に接続してください。 出力時: <u>オープンにしてください。</u>
P42/TI04/TO04	8-R		
P43			
P50/ANI26/INTP1/SI11/ SDA11	11-U		
P51/ANI25/SO11/INTP2			
P60/SCLA0	13-R		
P61/SDAA0			
P62			
P63			
(省略)			

正)

表 2-3 各端子の未使用端子処理 (64 ピン製品) (2/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
(省略)			
P41/ANI30/TI07/TO07	11-U	入出力	入力時:個別に抵抗を介して, EV _{DD0} またはEV _{SS0} に接続してください。 出力時:オープンにしてください。
P42/TI04/TO04	8-R		
P43			
P50/ANI26/INTP1/SI11/ SDA11	11-U		
P51/ANI25/SO11/INTP2			入力時:個別に抵抗を介して, EV _{DD0} またはEV _{SS0} に接続してください。 出力時:ポートの出カラッチに0を設定してオープン, またはポートの出カラッチに1を設定し, 個別に抵抗を介してEV _{DD0} , またはEV _{SS0} に接続してください。
P60/SCLA0	13-R		
P61/SDAA0			
P62			
P63			
(省略)			

14. リセット処理時間／スタンバイ・モード解除時間の誤記訂正

リセット処理時間の誤記訂正 (p.194, p.734, p.735, p.739, p.755, p.756)

誤)

電源投入時, POR によるリセットのリセット処理時間

リセット処理時間: 387~720 μ s (LVD使用時)

155~407 μ s (LVDオフ時)

HALT 解除時, STOP 解除時のリセット処理時間

リセット処理時間: 387~720 μ s (LVD使用時)

155~407 μ s (LVDオフ時)

RESET 入力によるリセットのリセット処理時間

リセット処理時間: 387~674 μ s (LVD使用時)

155~360 μ s (LVDオフ時)

正)

電源投入時, POR によるリセットのリセット処理時間

リセット処理時間: 497~720 μ s (LVD使用時)

265~407 μ s (LVDオフ時)

HALT 解除時, STOP 解除時, RESET 入力によるリセットのリセット処理時間

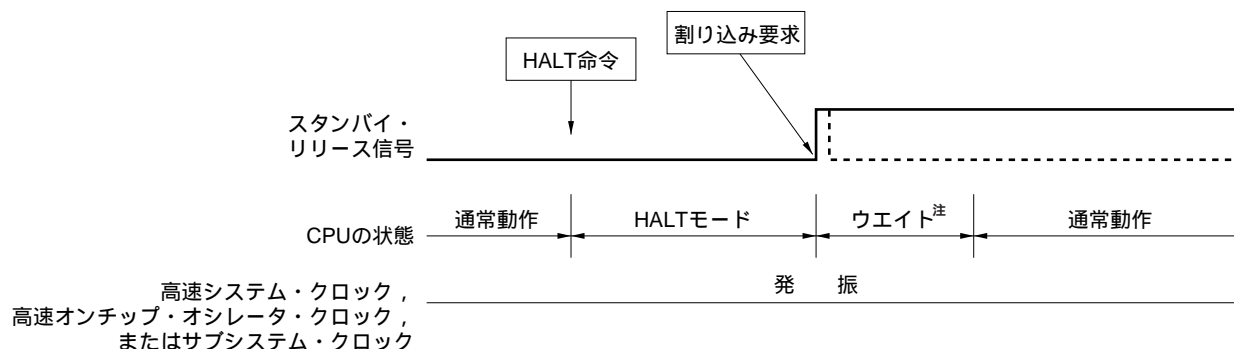
リセット処理時間: 388~673 μ s (LVD使用時)

156~360 μ s (LVDオフ時)

HALTモード解除時間の誤記訂正 (p.733)

誤)

図18-3 HALTモードの割り込み要求発生による解除



注 HALTモード解除のウェイト時間

・ベクタ割り込み処理を行う場合

メイン・システム・クロック時 : 13~15クロック

サブシステム・クロック時 (RTCLPC = 0) : 8~10クロック

サブシステム・クロック時 (RTCLPC = 1) : 9~11クロック

・ベクタ割り込み処理を行わない場合

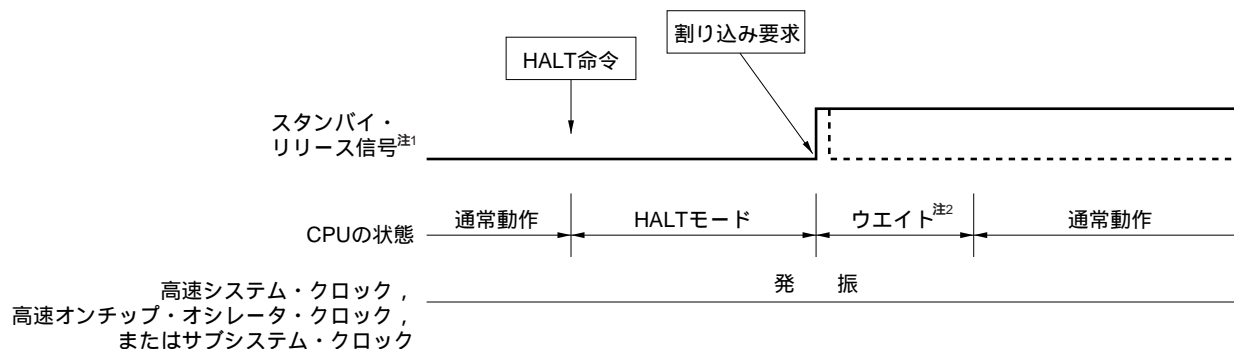
メイン・システム・クロック時 : 8~9クロック

サブシステム・クロック時 (RTCLPC = 0) : 3~4クロック

サブシステム・クロック時 (RTCLPC = 1) : 4~5クロック

正)

図18-3 HALTモードの割り込み要求発生による解除



注 1. スタンバイ・リリース信号に関する詳細は、図16-1を参照してください。

2. HALTモード解除のウェイト時間

・ベクタ割り込み処理を行う場合

メイン・システム・クロック時 : 15~16クロック

サブシステム・クロック時 (RTCLPC = 0) : 10~11クロック

サブシステム・クロック時 (RTCLPC = 1) : 11~12クロック

・ベクタ割り込み処理を行わない場合

メイン・システム・クロック時 : 9~10クロック

サブシステム・クロック時 (RTCLPC = 0) : 4~5クロック

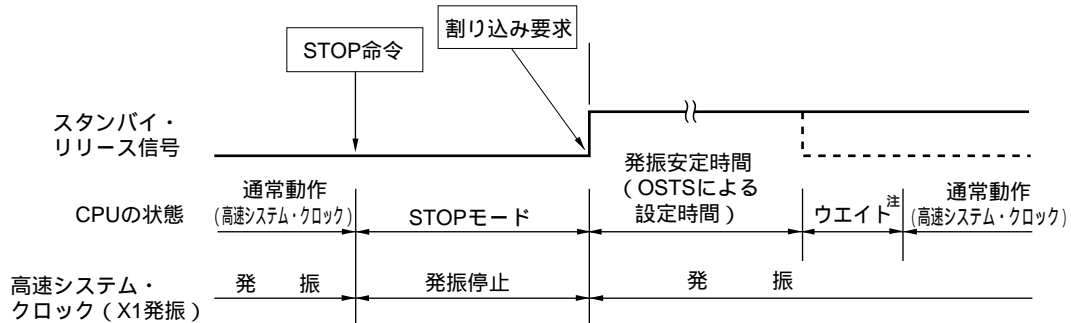
サブシステム・クロック時 (RTCLPC = 1) : 5~6クロック

STOPモード解除時間の誤記訂正 (p.737-p.738)

誤)

図18-5 STOPモードの割り込み要求発生による解除(1/2)

(1) CPUクロックが高速システム・クロック(X1発振)の場合

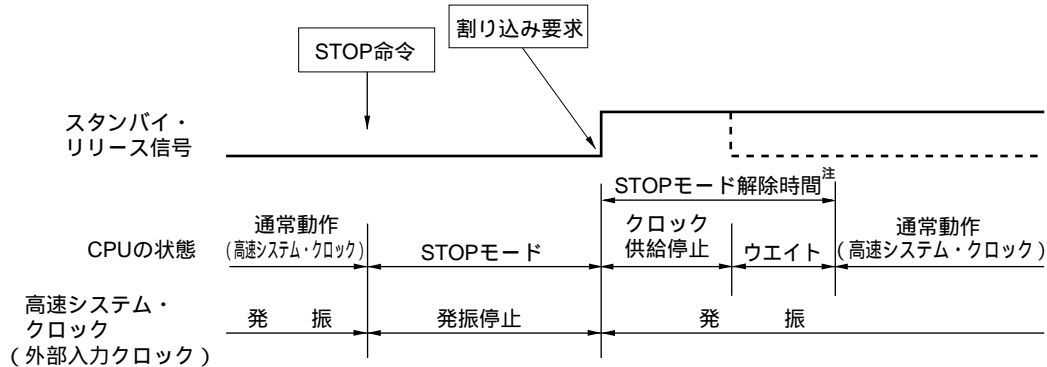


注 STOPモード解除のウエイト時間

・高速システム・クロック(X1発振):3クロック

図18-5 STOPモードの割り込み要求発生による解除(2/2)

(2) CPUクロックが高速システム・クロック(外部クロック入力)の場合



(3) CPUクロックが高速オンチップ・オシレータ・クロックの場合

(省略)

注 STOPモード解除時間:

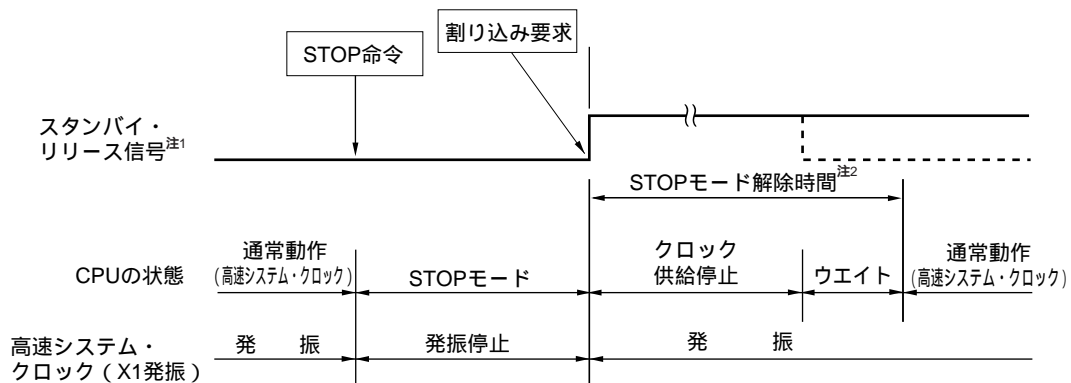
・高速システム・クロック(外部クロック入力) :19.1~31.98 μ s

・高速オンチップ・オシレータ・クロック :19.1~31.98 μ s

正)

図18-5 STOPモードの割り込み要求発生による解除(1/2)

(1) CPUクロックが高速システム・クロック(X1発振)の場合



注1. スタンバイ・リリース信号に関する詳細は、図16-1を参照してください。

2. STOPモード解除時間

クロック供給停止: 18.96 μ s~“28.95 μ sと発振安定時間(OSTSで設定)の長い方”

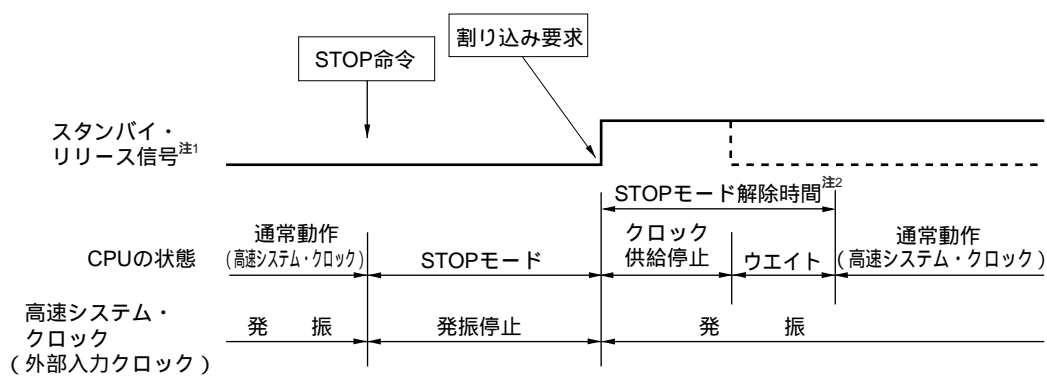
ウエイト

・ベクタ割り込み処理を行う場合 : 10~11クロック

・ベクタ割り込み処理を行わない場合 : 4~5クロック

図18-5 STOPモードの割り込み要求発生による解除(2/2)

(2) CPUクロックが高速システム・クロック(外部クロック入力)の場合



(3) CPUクロックが高速オンチップ・オシレータ・クロックの場合

(省略)

注1. スタンバイ・リリース信号に関する詳細は、図16-1を参照してください。

2. STOPモード解除時間

クロック供給停止 : 19.08 μ s~32.99 μ s

ウエイト

・ベクタ割り込み処理を行う場合 : 7クロック

・ベクタ割り込み処理を行わない場合 : 1クロック

SNOOZE モード移行時間の説明追加 (p.740)

誤)

18. 2. 3 SNOOZE モード

(1) SNOOZEモードの設定および動作状態

(省略)

正)

18. 2. 3 SNOOZE モード

(1) SNOOZEモードの設定および動作状態

(省略)

SNOOZEモードの移行では、次の時間だけウェイト状態になります。

STOP→SNOOZE

HS(高速メイン)モード:	18.96~28.95 μ s
LS(低速メイン)モード:	20.24~28.95 μ s
LV(低電圧メイン)モード:	20.98~28.95 μ s

SNOOZE→通常動作

・ベクタ割り込み処理を行う場合

HS(高速メイン)モード:	6.79~12.4 μ s+7クロック
LS(低速メイン)モード:	2.58~7.8 μ s+7クロック
LV(低電圧メイン)モード:	12.45~17.3 μ s+7クロック

・ベクタ割り込み処理を行わない場合

HS(高速メイン)モード:	6.79~12.4 μ s+1クロック
LS(低速メイン)モード:	2.58~7.8 μ s+1クロック
LV(低電圧メイン)モード:	12.45~17.3 μ s+1クロック

15. (2)A/Dコンバータ・モード・レジスタ 0(ADM0)の誤記訂正 (p.364)

(2)A/Dコンバータ・モード・レジスタ 0(ADM0)

誤)

注1. FR2-FR0, LV1, LV0ビットおよびA/D変換に関する詳細は、表11-3 A/D変換時間の選択を参照してください。

2. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ウエイト・モード時は、ADCSビットを変換動作状態のステータス・フラグとして使用することができます。ただし、ハードウェア・トリガ・ノーウエイト・モード時は、ステータス・フラグとして使用することはできません。

3. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウエイト・モード時、A/D電圧コンパレータはADCSビットとADCEビットで動作制御され、動作開始から安定するまでに、安定待ち時間がかかります。このため、ADCEビットに1を設定してから安定待ち時間を経過したあとに、ADCSビットに1を設定することで、最初の変換データより有効となります。安定待ち時間を満たさずにADCSビットに1を設定した場合は、最初の変換データを無視してください。

[安定待ち時間]

アナログ入力チャンネルに高精度チャンネル選択の場合 :0.5 μ s

テスト・モード設定(ADTESレジスタのADTES1 = 1)選択の場合:0.5 μ s

アナログ入力チャンネルに標準チャンネル選択の場合 :2 μ s

アナログ入力チャンネルに温度センサ出力/内部基準電圧出力(ADSレジスタのADISS = 1)選択の場合:2 μ s

正)

注1. FR2-FR0, LV1, LV0ビットおよびA/D変換に関する詳細は、表11-3 A/D変換時間の選択を参照してください。

削除

2. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウエイト・モード時、A/D電圧コンパレータはADCSビットとADCEビットで動作制御され、動作開始から安定するまでに、安定待ち時間がかかります。このため、ADCEビットに1を設定してから安定待ち時間を経過したあとに、ADCSビットに1を設定することで、最初の変換データより有効となります。安定待ち時間を満たさずにADCSビットに1を設定した場合は、最初の変換データを無視してください。

[安定待ち時間]

アナログ入力チャンネルに高精度チャンネル選択の場合 :0.5 μ s

テスト・モード設定(ADTESレジスタのADTES1 = 1)選択の場合:0.5 μ s

アナログ入力チャンネルに標準チャンネル選択の場合 :2 μ s

アナログ入力チャンネルに温度センサ出力/内部基準電圧出力(ADSレジスタのADISS = 1)選択の場合:2 μ s

16. シリアル・アレイ・ユニット SNOOZE モード使用時の注意追加

CSI SNOOZE モードの説明追加 (p.503, p.505)

誤)

(省略)

注意 SNOOZE モード移行前と SNOOZE モードで受信動作を完了したあとは、必ず STm0 ビットを 1 に設定し SEm0 ビットをクリア(動作停止)させてください。

正)

(省略)

注意 SNOOZE モード移行前と SNOOZE モードで受信動作を完了したあとは、STm0 ビットを 1 に設定してください(SEm0 ビットがクリアされ動作停止)。

また、受信動作を完了したあとは、SWCm ビットもクリアしてください(SNOOZE 解除)。

UART SNOOZE モードの説明追加 (p.529-530, p.532)

誤)

(省略)

注意 SNOOZE モード移行前と SNOOZE モードで受信動作を完了したあとは、必ず STm1 ビットを 1 に設定し Sem1 ビットをクリア(動作停止)させてください。

正)

(省略)

注意 SNOOZE モード移行前と SNOOZE モードで受信動作を完了したあとは、STm1 ビットを 1 に設定してください(SEm1 ビットがクリアされ動作停止)。

また、受信動作を完了したあとは、SWCm ビットもクリアしてください(SNOOZE 解除)。

17. キー・リターン・コントロール・レジスタ(KRCTL)の誤記訂正 (p.721)

誤)

KREG	検出エッジの選択 (KR0-KR9)
0	<u>立ち上がりエッジ</u>
1	<u>立ち下がりエッジ</u>

正)

KREG	検出エッジの選択 (KR0-KR9)
0	立ち下がりエッジ
1	立ち上がりエッジ

18. キー・リターン・コントロール・レジスタ(KRCTL)の誤記訂正 (p.723)

誤)

(3)キー割り込みフラグレジスタ (KRF)

キー割り込みフラグ(KRF0-KRF5)を制御するレジスタです。

KRFレジスタは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-4 キー割り込みフラグ・レジスタ(KRF)のフォーマット

アドレス:FFF35H リセット時:00H R/W

略号	7	6	5	4	3	2	1	0
KRF	0	0	KRF5	KRF4	KRF3	KRF2	KRF1	KRF0

KRFn	キー割り込みフラグ
0	キー割り込み信号を未検出
1	キー割り込み信号を検出

注意1. キー割り込み入力端子にロウ・レベルが入力されている状態で、KRFレジスタの対象ビットをセットすると、割り込みが発生します。

この割り込みを無視したい場合は、割り込みマスク・フラグで割り込み処理禁止にしてから、KRM0、KRM1レジスタをセットしてください。その後、キー割り込み入力ロウ・レベル幅(29.5.1 基本動作参照)を待ってから、割り込み要求フラグをクリアし、割り込み処理許可にしてください。

2. キー割り込みモードで使用していないビットは通常ポートとして使用可能です。

3. KR6-KR9については、入力レベルを順次確認することでチャンネルを特定してください。

正)

(3)キー割り込みフラグレジスタ (KRF)

キー割り込みフラグ(KRF0-KRF5)を制御するレジスタです。

KRFレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-4 キー割り込みフラグ・レジスタ(KRF)のフォーマット

アドレス:FFF35H リセット時:00H R/W^注

略号	7	6	5	4	3	2	1	0
KRF	0	0	KRF5	KRF4	KRF3	KRF2	KRF1	KRF0

KRFn	キー割り込みフラグ
0	キー割り込み信号を未検出
1	キー割り込み信号を検出

注 “1”の書き込みは無効となります。KRFnをクリアする場合は、対象ビットに“0”，他のビットに“1”を8ビット・メモリ操作命令で書き込んでください。

注意1. KRMD = 0 のとき、KRFn = 1 の設定は禁止です。

2. KR6-KR9については、入力レベルを順次確認することでチャンネルを特定してください。

19. フラッシュメモリ データ・フラッシュの説明追加 (p.810)

誤)

データ・フラッシュの概要は次のとおりです。

- ・フラッシュ・メモリ・プログラマや外部デバイスによるプログラミングに対応
- ・プログラミング単位は 8 ビット単位
- ・1 ブロック = 1 K バイト単位で消去可能
- ・CPU 命令によるアクセスはバイト・リードのみ(読み出し:4クロック)

(省略)

正)

データ・フラッシュの概要は次のとおりです。

- ・フラッシュ・メモリ・プログラマや外部デバイスによるプログラミングに対応
- ・プログラミング単位は 8 ビット単位
- ・1 ブロック = 1 K バイト単位で消去可能
- ・CPU 命令によるアクセスはバイト・リードのみ(1クロック+ウエイト3クロック)

(省略)

- ・データ・フラッシュの書き換え中に、HALT/STOP モードへ移行することは禁止

発行文書履歴

RL78/G1A 誤記訂正通知 発行文書履歴

文書番号	発行日	記事
MCYG-AB-11-0048	2012年2月23日	初版発行 訂正一覧の No.1 ~ No.12 の誤記訂正
MCYG-AB-12-0070	2012年6月21日	2版発行 訂正一覧の No.13 ~ No.19 の誤記訂正

—以上—