

お客様各位	RL78/G1A ユーザーズマニュアル Rev0.02 誤記訂正通知 (ご報告)	MCYG-AB-11-0048
		2012年2月23日
		ルネサス エレクトロニクス株式会社
		MCU 事業本部 MCU システム統括部 汎用 MCU 戦略企画部 課長 村上 功 (担当:中野 正隆)

拝啓、貴社益々ご清祥のこととお慶び申し上げます。また、平素は当社の製品をご愛顧いただき、厚く御礼申し上げます。

さて、掲題の件につきまして下記にご報告させていただきます。

何卒内容のご確認、ならびにご査収のほど宜しくお願いいたします。

敬具

記

1. 対象製品

RL78/G1A グループ:

R5F10Exxx

2. 関連資料

RL78/G1A ユーザーズマニュアル ハードウェア編 Rev.0.02:

R01UH0305JJ0002 (Nov.2011)

3. 通知内容

RL78/G1A ユーザーズマニュアル ハードウェア編 Rev.0.02(R01UH0305JJ0002)において、下記訂正がございます。

訂正内容

該当ページ	該当箇所	内容
p.332	リアルタイム・クロック動作開始後のSTOPモードへの移行の誤記訂正	誤記訂正
p.348	PCLBUZn端子の出カクロック選択の表の誤記訂正	誤記訂正
p.364,367-370	A/Dコンバータ・モード・レジスタ0(ADM0)変更時の注意事項の誤記訂正	誤記訂正
p.372,375,402,410	A/Dコンバータ 温度センサ、内部基準電圧(1.45V)の説明追加	説明追加
p.711,713	マスカブル割り込み要求の受け付け動作の誤記訂正	誤記訂正
p.766,768	電圧検出回路(LVD)のタイミング・チャートの誤記訂正	誤記訂正
P769-772	電圧検出回路(LVD) 割り込み&リセット・モードの誤記訂正	誤記訂正
p.789,790	安全機能 22. 3. 8 A/Dテスト機能の説明追加	説明追加
p.853	電氣的特性 29. 2 絶対最大定格誤記訂正	条件追加
p.871,872	電氣的特性 29. 6. 1 シリアル・アレイ・ユニット誤記訂正	誤記訂正
p.895 - p.900	電氣的特性 29. 7. 1 A/Dコンバータ特性の誤記訂正	誤記訂正
p.901	電氣的特性 29. 7. 2 温度センサ特性の条件追加	条件追加

誤記訂正の該当箇所は、誤)太字下線、正)グレー・ハッチングで記載します。

ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

日程は 2012 年 9 月頃を予定しています。詳細日程については販売会社、特約店にお問い合わせください。

ユーザーズマニュアルの訂正一覧

No	該当箇所		Rev0.02	Rev1.00 以降 ^注
	ドキュメントNo.	和文	R01UH0305JJ0002	R01UH0305JJ0100
		英文	R01UH0305EJ0002	R01UH0305EJ0100
1	リアルタイム・クロック動作開始後の STOP モードへの移行の誤記訂正		×	○
2	PCLBUZn端子の出力クロック選択の表の誤記訂正		×	○
3	A/Dコンバータ・モード・レジスタ0(ADM0)変更時の注意事項の誤記訂正		×	○
4	A/Dコンバータ 温度センサ、内部基準電圧(1.45V)の説明追加		×	○
5	マスクابل割り込み要求の受け付け動作の誤記訂正		×	○
6	電圧検出回路(LVD)のタイミング・チャートの誤記訂正		×	○
7	電圧検出回路(LVD) 割り込み&リセット・モードの誤記訂正		×	○
8	安全機能 22. 3. 8 A/Dテスト機能の説明追加		×	○
9	電気的特性 29. 2 絶対最大定格誤記訂正		×	○
10	電気的特性 29. 6. 1 シリアル・アレイ・ユニット誤記訂正		×	○
11	電気的特性 29. 7. 1 A/Dコンバータ特性の誤記訂正		×	○
12	電気的特性 29. 7. 2 温度センサ特性の条件追加		×	○

誤記訂正の該当箇所は、誤)太字下線、正)グレー・ハッチングで記載します。

注. ユーザーズマニュアル改版は、2012 年 9 月頃を予定しています。

備考. 各記号はそれぞれ以下の意味を示します。

○ : 訂正済み

× : 訂正対象(修正予定)

1. リアルタイム・クロック動作開始後の STOP モードへの移行の誤記訂正

7.4.2 動作開始後の STOP モードへの移行の誤記訂正 (p.332)

誤)

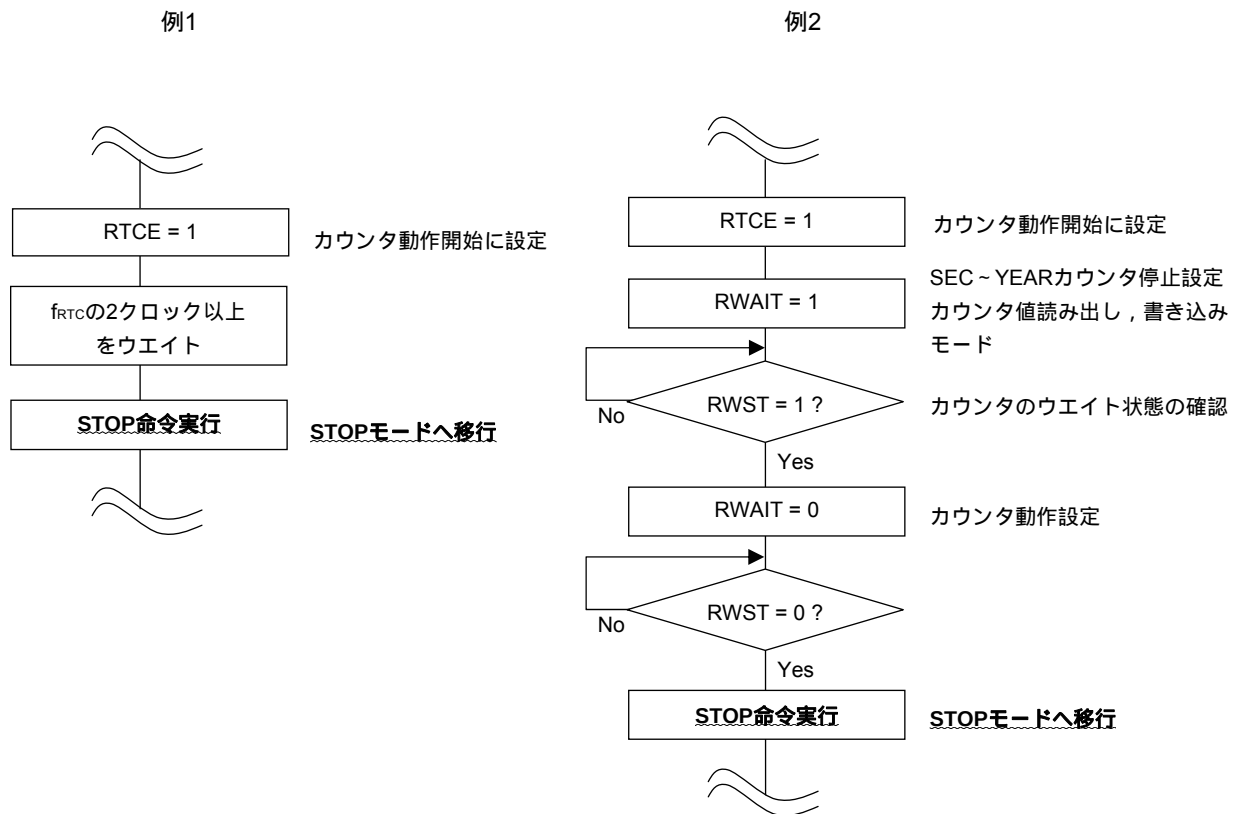
7.4.2 動作開始後のSTOPモードへの移行

RTCE = 1に設定直後にSTOPモードへ移行する場合は、次のどちらかの処理をしてください。

ただし、RTCE = 1に設定後、INTRTC割り込みの発生以降にSTOPモードへ移行する場合は、これらの処理は必要ありません。

- ・RTCE = 1に設定してから、入力クロック(f_{RTC})の2クロック分以上経過後にSTOPモードへ移行する(図7-18 例1参照)。
- ・RTCE = 1に設定後、RWAIT = 1に設定し、RWSTビットが1になるのをポーリングで確認する。それから、RWAIT = 0に設定し、RWSTビットが0になったのを再度ポーリングで確認後にSTOPモードへ移行する(図7-18 例2参照)。

図7-18 RTCE = 1に設定後のSTOPモードへの移行手順



正)

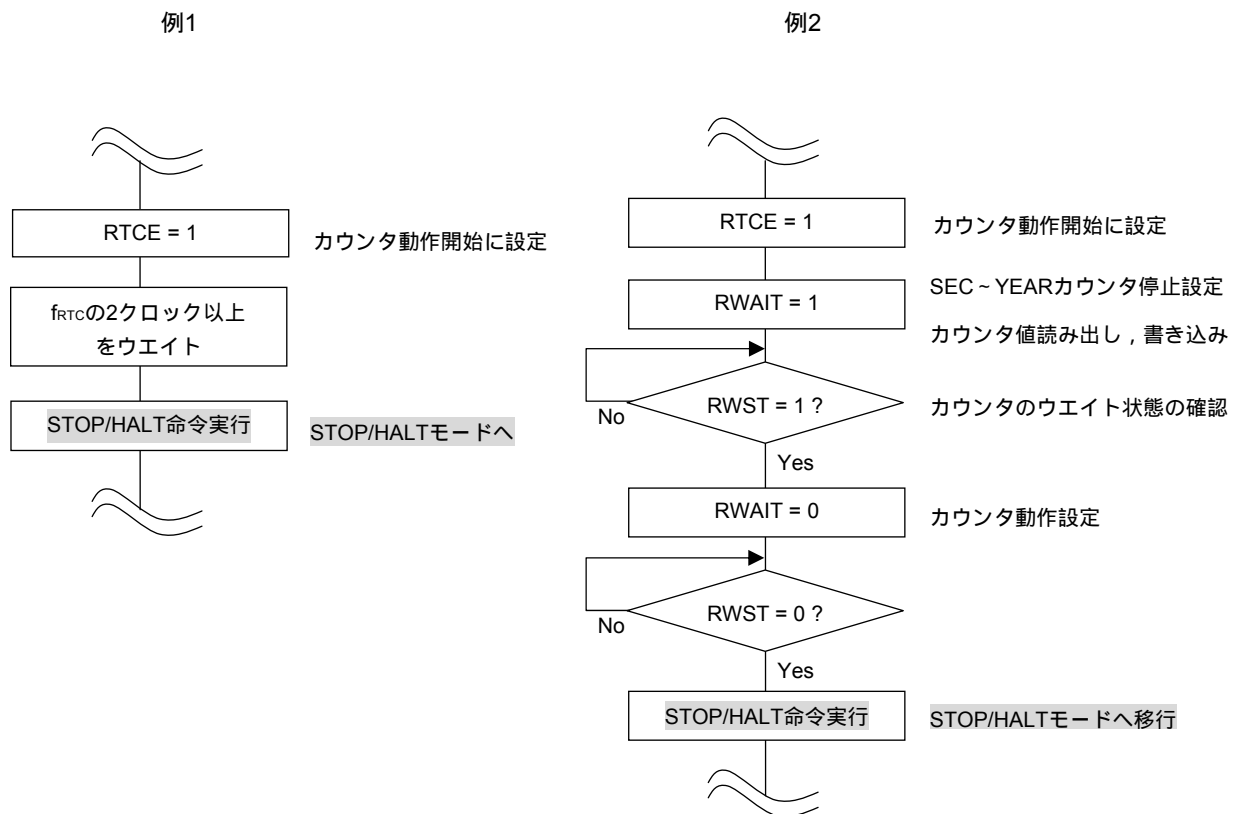
7.4.2 動作開始後のSTOP/HALTモードへの移行

RTCE = 1に設定直後にSTOP/HALTモードへ移行する場合は、次のどちらかの処理をしてください。

ただし、RTCE = 1に設定後、INTRTC割り込みの発生以降にSTOP/HALTモードへ移行する場合は、これらの処理は必要ありません。

- ・RTCE = 1に設定してから、入力クロック(f_{RTC})の2クロック分以上経過後にSTOP/HALTモードへ移行する(図7-18 例1参照)。
- ・RTCE = 1に設定後、RWAIT = 1に設定し、RWSTビットが1になるのをポーリングで確認する。それから、RWAIT = 0に設定し、RWSTビットが0になったのを再度ポーリングで確認後にSTOP/HALTモードへ移行する(図7-18 例2参照)。

図7-18 RTCE = 1に設定後のSTOP/HALTモードへの移行手順



2. PCLBUZn 端子の出力クロック選択の表の誤記訂正

図 9-2 クロック出力選択レジスタ n(CKS_n)の誤記訂正 (p.348)

誤)

CSEL _n	CCS _{n2}	CCS _{n1}	CCS _{n0}		PCLBUZn端子の出力クロックの選択			
					f _{MAIN} =5MHz	f _{MAIN} =10MHz	f _{MAIN} =20MHz	f _{MAIN} =32MHz
0	0	0	0	f _{MAIN}	5MHz	10MHz ^注	設定禁止 ^注	設定禁止 ^注
0	0	0	1	f _{MAIN} /2	2.5MHz	5MHz	10MHz ^注	16MHz ^注
0	0	1	0	f _{MAIN} /2 ²	1.25MHz	2.5MHz	5MHz	8MHz ^注
0	0	1	1	f _{MAIN} /2 ³	625kHz	1.25MHz	2.5MHz	4MHz
0	1	0	0	f _{MAIN} /2 ⁴	312.5kHz	625kHz	1.25MHz	2MHz
(省略)								
1	1	1	0	f _{SUB} /2 ⁶	512Hz			
1	1	1	1	f _{SUB} /2 ⁷	256Hz			

注 出力クロックは、16 MHz以内の範囲で使用してください。また、2.7 V ≤ V_{DD} < 4.0 Vで使用する場合は、

8 MHz以内のみ使用可能です。詳しくは、29. 5 AC特性を参照してください。

正)

CSEL _n	CCS _{n2}	CCS _{n1}	CCS _{n0}		PCLBUZn端子の出力クロックの選択			
					f _{MAIN} =5MHz	f _{MAIN} =10MHz	f _{MAIN} =20MHz	f _{MAIN} =32MHz
0	0	0	0	f _{MAIN}	5MHz	設定禁止 ^注	設定禁止 ^注	設定禁止 ^注
0	0	0	1	f _{MAIN} /2	2.5MHz	5MHz	設定禁止 ^注	設定禁止 ^注
0	0	1	0	f _{MAIN} /2 ²	1.25MHz	2.5MHz	5MHz	8MHz ^注
0	0	1	1	f _{MAIN} /2 ³	625kHz	1.25MHz	2.5MHz	4MHz
0	1	0	0	f _{MAIN} /2 ⁴	312.5kHz	625kHz	1.25MHz	2MHz
(省略)								
1	1	1	0	f _{SUB} /2 ⁶	512Hz			
1	1	1	1	f _{SUB} /2 ⁷	256Hz			

注 出力クロックは、8MHz以内の範囲で使用してください。詳しくは、29. 5 AC特性を参照してください。

3. A/Dコンバータ・モード・レジスタ0(ADM0)変更時の注意事項の誤記訂正

(2) A/Dコンバータ・モード・レジスタ0(ADM0)の誤記訂正 (p.364)

誤)

(2) A/Dコンバータ・モード・レジスタ0(ADM0)

(省略)

- 注意 1. ADMD, FR2-FR0, LV1, LV0ビット, **ADCE**の変更は変換停止状態, **および変換待機状態**(ADCS = 0)で行ってください。
2. ADCE = 0, ADCS = 0 設定状態から8ビット操作命令でADCE = 1, ADCS = 1に設定することは禁止します。必ず11.7 A/Dコンバータの設定フローチャートの手順に従ってください。

正)

(2) A/Dコンバータ・モード・レジスタ0(ADM0)

(省略)

- 注意 1. ADMD, FR2-FR0, LV1, LV0ビットの変更は**変換停止状態(ADCS = 0, ADCE=0)**で行ってください。
2. ADCEビットを書き換える場合は, **変換停止状態, および変換待機状態(ADCS = 0)**で行ってください。
3. ADCE = 0, ADCS = 0設定状態から8ビット操作命令でADCE = 1, ADCS = 1に設定することは禁止します。必ず11.7 A/Dコンバータの設定フローチャートの手順に従ってください。

表 11-3 A/D 変換時間の選択の注意事項の誤記訂正 (p.367 – 370)**誤)**

表 11－3 A/D変換時間の選択

(省略)

注意 1. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態、および変換待機状態 (ADCS = 0)で行ってください。

正)

表 11－3 A/D変換時間の選択

(省略)

注意 1. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE=0)で行ってください。

4. A/Dコンバータ 温度センサ、内部基準電圧(1.45V)の説明追加

図 11-7 A/Dコンバータ・モード・レジスタ 2(ADM2)の説明追加 (p.372)

誤)

図 11-7 A/Dコンバータ・モード・レジスタ2(ADM2)のフォーマット(1/2)

アドレス:F0010H リセット時:00H R/W

略号	7	6	5	4	③	②	1	①
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/Dコンバータの+側の基準電圧源の選択
0	0	AV _{DD} から供給
0	1	P20/AV _{REFP} /ANI0から供給
1	0	内部基準電圧(1.45 V)から供給
1	1	設定禁止
(省略)		

(省略)

正)

図 11-7 A/Dコンバータ・モード・レジスタ2(ADM2)のフォーマット(1/2)

アドレス:F0010H リセット時:00H R/W

略号	7	6	5	4	③	②	1	①
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/Dコンバータの+側の基準電圧源の選択
0	0	AV _{DD} から供給
0	1	P20/AV _{REFP} /ANI0から供給
1	0	内部基準電圧(1.45 V)から供給注
1	1	設定禁止
(省略)		

注 HS(高速メイン)モードでのみ選択可能です。

(省略)

図 11-11 アナログ入力チャンネル指定レジスタ(ADS)の説明追加 (p.375)

誤)

図11-11 アナログ入力チャンネル指定レジスタ(ADS)のフォーマット(1/2)

○セレクト・モード(ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力 チャンネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV _{REFP} 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV _{REFM} 端子
(省略)							
0	1	1	1	1	1	設定禁止	
1	0	0	0	0	0	—	温度センサ出力
1	0	0	0	0	1	—	内部基準電圧出力(1.45 V)
上記以外						設定禁止	

正)

図11-11 アナログ入力チャンネル指定レジスタ(ADS)のフォーマット(1/2)

○セレクト・モード(ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力 チャンネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV _{REFP} 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV _{REFM} 端子
(省略)							
0	1	1	1	1	1	設定禁止	
1	0	0	0	0	0	—	温度センサ出力 ^注
1	0	0	0	0	1	—	内部基準電圧出力(1.45 V) ^注
上記以外						設定禁止	

注 HS(高速メイン)モードでのみ選択可能です。

11. 7. 4 温度センサ使用時の設定の説明追加 (p.402)

誤)

11. 7. 4 温度センサ使用時の設定 (例 ソフトウェア・トリガ・モード, ワンショット変換モード時)

図11-35 温度センサ使用時の設定

(省略)

注 ADRCKビット, ADUL/ADLLレジスタの設定により, 割り込み信号が発生しない場合があります。この場合, ADCR, ADCRHレジスタに結果は格納されません。

正)

11. 7. 4 温度センサ使用時の設定 (例 ソフトウェア・トリガ・モード, ワンショット変換モード時)

図11-35 温度センサ使用時の設定

(省略)

注 ADRCKビット, ADUL/ADLLレジスタの設定により, 割り込み信号が発生しない場合があります。この場合, ADCR, ADCRHレジスタに結果は格納されません。

注意 HS(高速メイン)モードでのみ選択可能です。

11.10 A/Dコンバータの注意事項(2)ANI0-ANI12, ANI16-ANI30 端子入力範囲についての説明追加 (p.410)

誤)

11. 10 A/Dコンバータの注意事項

(2)ANI0-ANI12, ANI16-ANI30端子入力範囲について

ANI0-ANI12, ANI16-ANI30端子入力電圧は規格の範囲内でご使用ください。特に AV_{DD} , AV_{REFP} 以上, AV_{SS} , AV_{REFM} 以下(絶対最大定格の範囲内でも)の電圧が入力されると, そのチャネルの変換値が不定となります。また, ほかのチャネルの変換値にも影響を与えることがあります。

内蔵基準電圧(1.45 V)をA/Dコンバータの+側の基準電圧源に選択した場合は, ADSレジスタで選択されている端子には内蔵基準電圧以上の電圧を入れないでください。ただし, ADSレジスタで選択されていない端子が内蔵基準電圧以上の電圧になっていても問題ありません。

正)

11. 10 A/Dコンバータの注意事項

(2)ANI0-ANI12, ANI16-ANI30端子入力範囲について

ANI0-ANI12, ANI16-ANI30端子入力電圧は規格の範囲内でご使用ください。特に AV_{DD} , AV_{REFP} 以上, AV_{SS} , AV_{REFM} 以下(絶対最大定格の範囲内でも)の電圧が入力されると, そのチャネルの変換値が不定となります。また, ほかのチャネルの変換値にも影響を与えることがあります。

内蔵基準電圧(1.45 V)をA/Dコンバータの+側の基準電圧源に選択した場合は, ADSレジスタで選択されている端子には内蔵基準電圧以上の電圧を入れないでください。ただし, ADSレジスタで選択されていない端子が内蔵基準電圧以上の電圧になっていても問題ありません。

注意 内部基準電圧(1.45 V)は, HS(高速メイン)モードでのみ選択可能です。

5. マスカブル割り込み要求の受け付け動作の誤記訂正

表 16-4 マスカブル割り込み要求発生から処理までの時間の誤記訂正 (p.711)

誤)

16. 4. 1 マスカブル割り込み要求の受け付け動作

(省略)

表16-4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
処理時間	9クロック	14クロック

注 RET 命令の直前に割り込み要求が発生したとき、ウェイトする時間が最大となります。

備考 1 クロック: 1/f_{CLK} (f_{CLK}: CPU クロック)

正)

16. 4. 1 マスカブル割り込み要求の受け付け動作

(省略)

表16-4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
処理時間	9クロック	16クロック

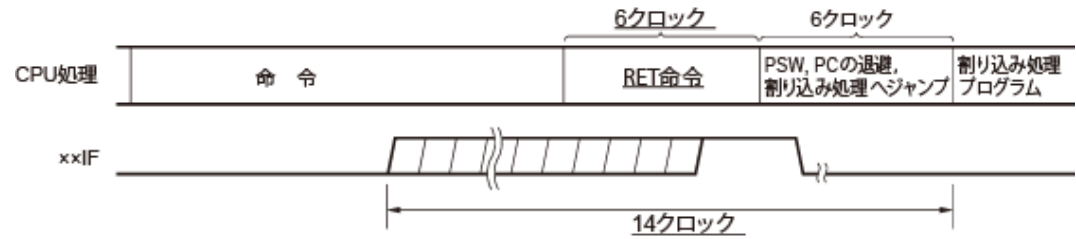
注 内部 RAM 領域からの命令実行時は除きます。

備考 1 クロック: 1/f_{CLK} (f_{CLK}: CPU クロック)

図 16-9 割り込み要求の受け付けタイミング(最大時間)の誤記訂正 (p.713)

誤)

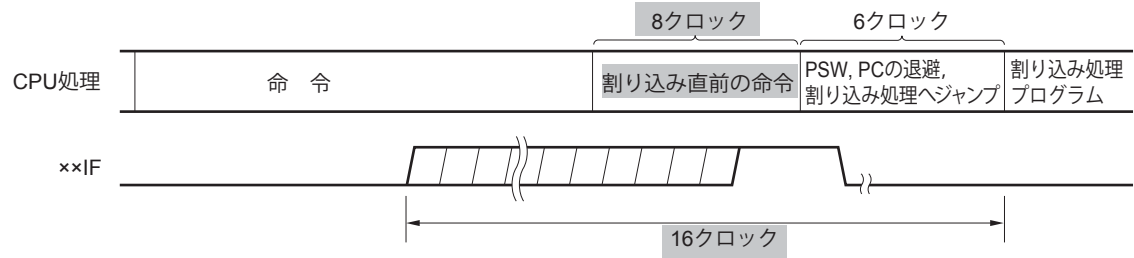
図16-9 割り込み要求の受け付けタイミング(最大時間)



備考 1クロック: $1/f_{CLK}$ (f_{CLK} : CPU クロック)

正)

図16-9 割り込み要求の受け付けタイミング(最大時間)



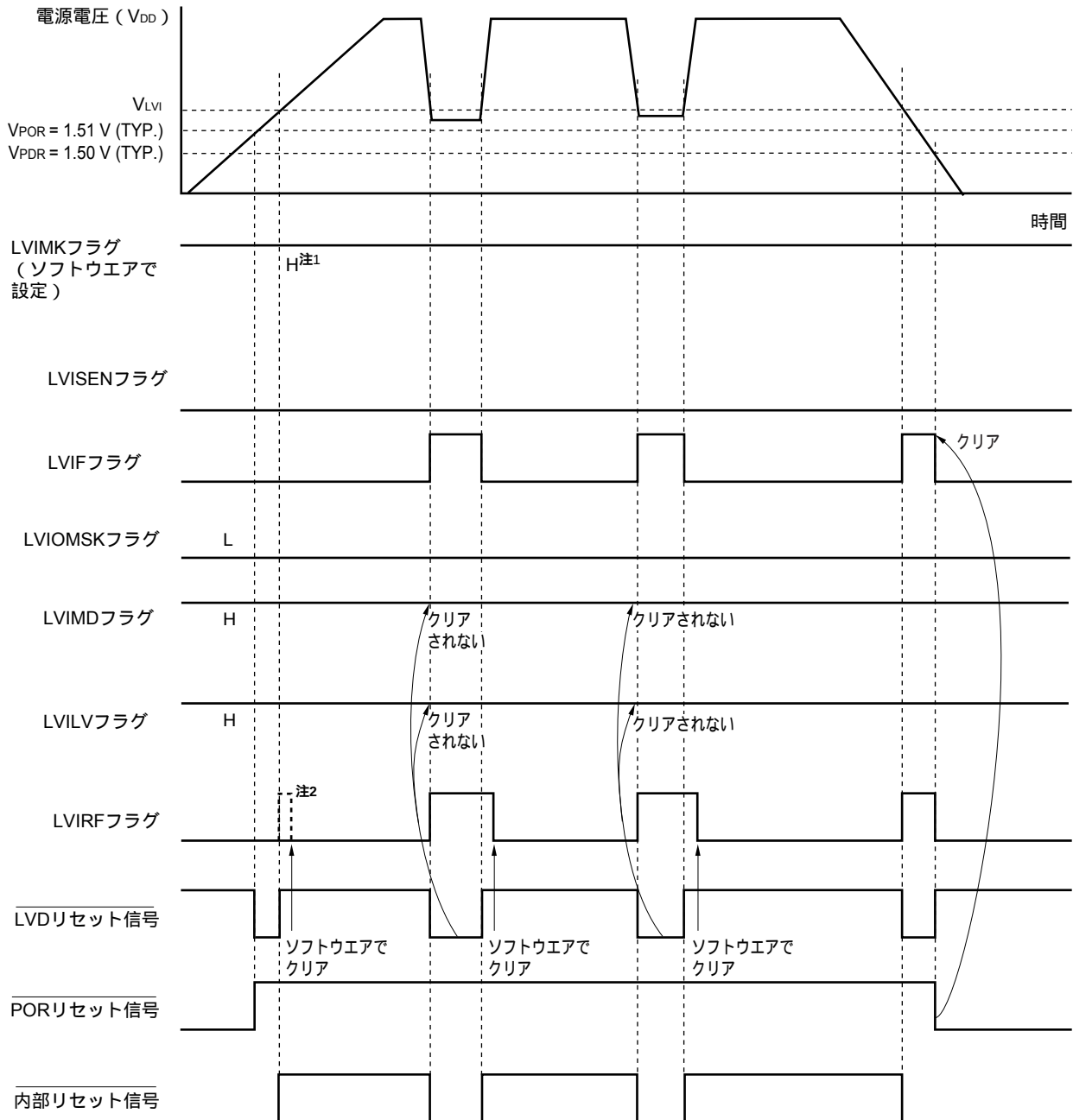
備考 1クロック: $1/f_{CLK}$ (f_{CLK} : CPU クロック)

6. 電圧検出回路(LVD)のタイミング・チャートの誤記訂正

図 21-4 内部リセット信号発生タイミングの誤記訂正 (p.766)

誤)

図21-4 内部リセット信号発生のタイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 1)



注1. LVIMK フラグはリセット信号の発生により、“1”になっています。

2. LVIRF フラグはリセット・コントロール・フラグ・レジスタ(RESF)のビット0です。

電源立ち上がり波形により、LVIRF フラグが最初から1になることがあります。

RESF レジスタについての詳細は、第 19 章 リセット機能を参照してください。

図21-4 内部リセット信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 1)

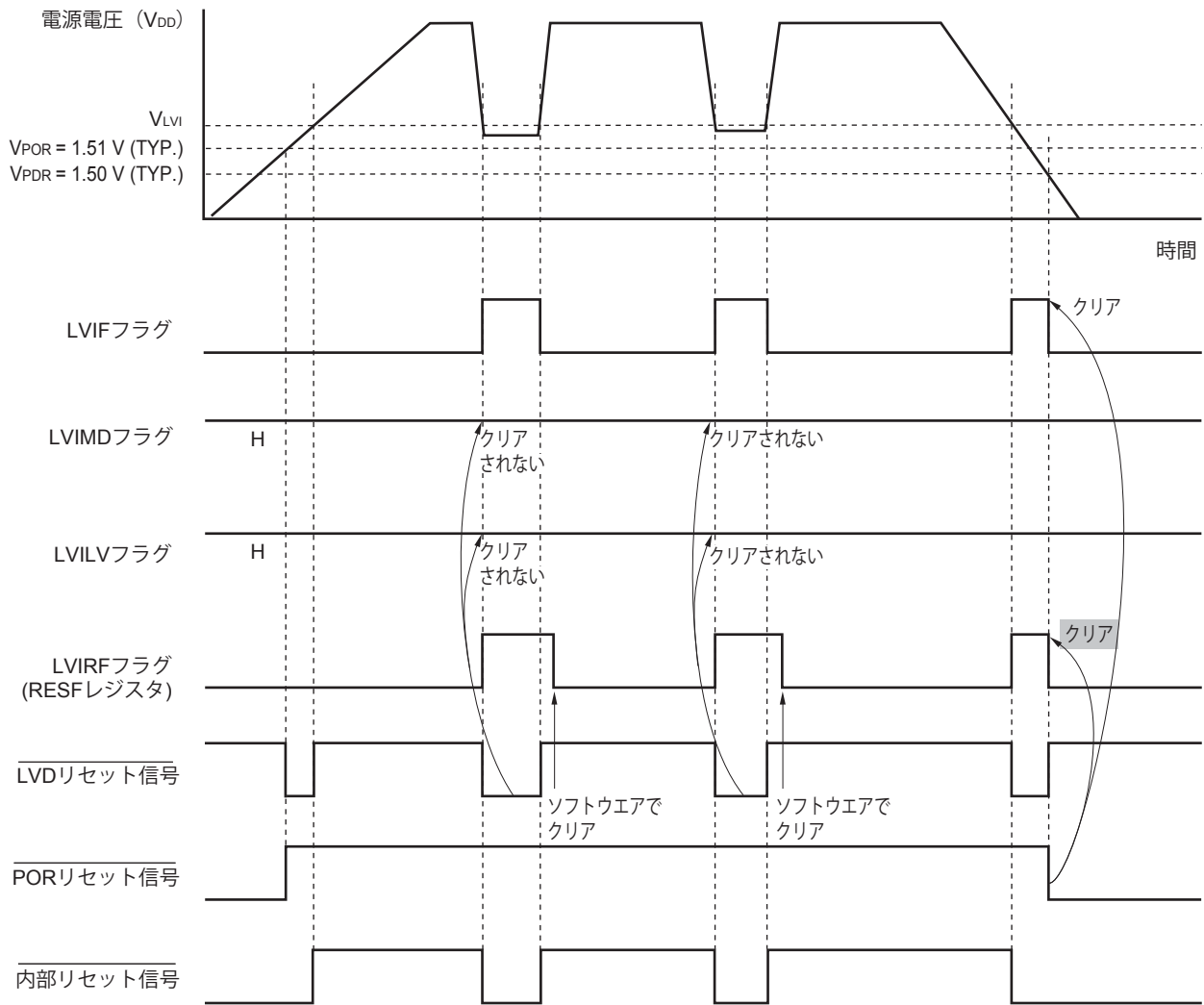
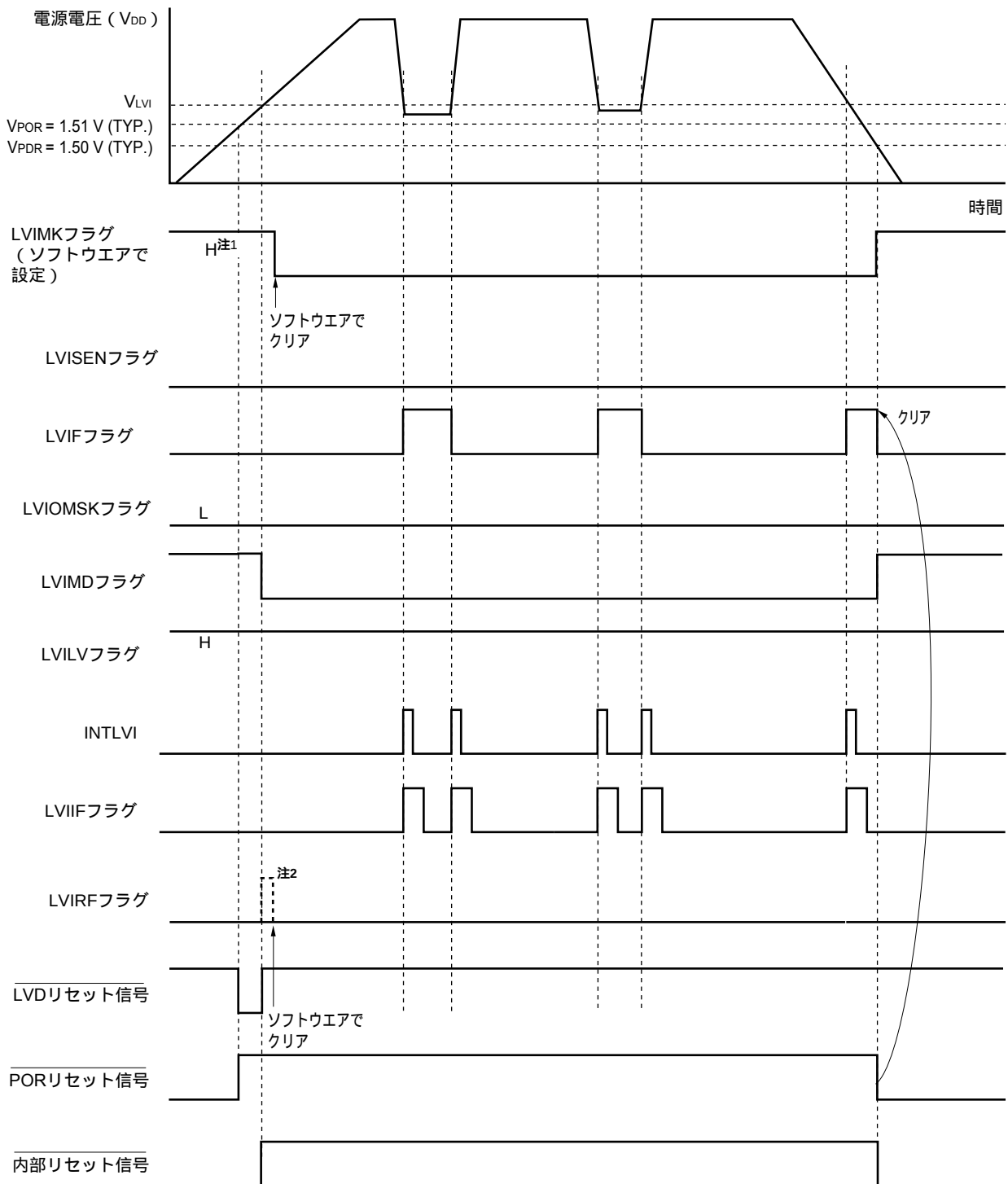


図 21-5 割り込み信号発生タイミングの誤記訂正 (p.768)

誤)

図21-5 割り込み信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 0, 1)



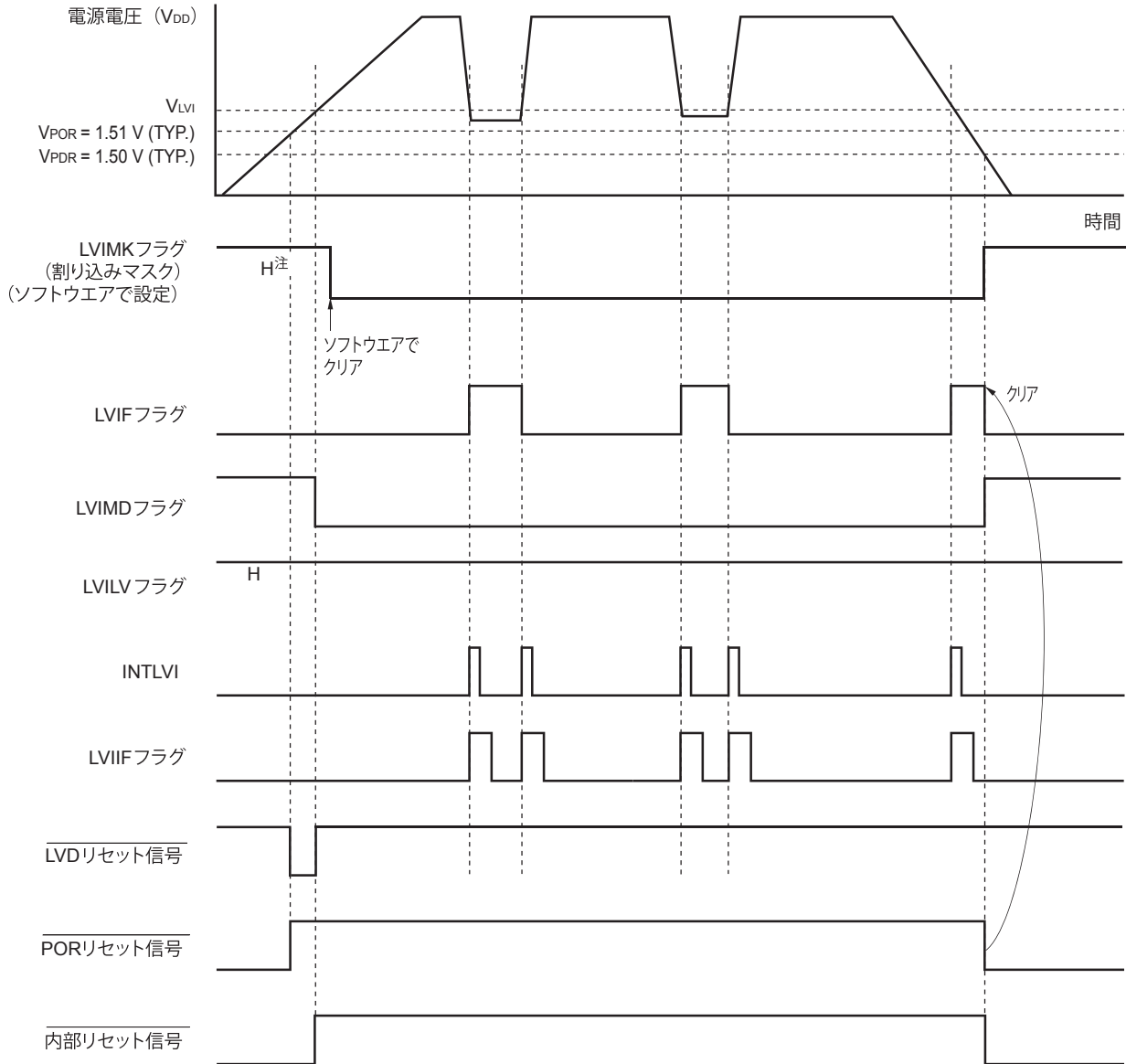
注 1. LVIMK フラグはリセット信号の発生により、“1”になっています。

2. LVIRF フラグはリセット・コントロール・フラグ・レジスタ(RESF)のビット 0 です。

電源立ち上がり波形により、LVIRF フラグが最初から 1 になることがあります。

RESF レジスタについての詳細は、第 19 章 リセット機能を参照してください。

図21-5 割り込み信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 0, 1)



注. LVIMK フラグはリセット信号の発生により, “1”になっています。

7. 電圧検出回路(LVD) 割り込み & リセット・モードの誤記訂正

割り込み & リセット・モードとして使用時の設定の誤記訂正 (p.769)

誤)

21. 4. 3 割り込み & リセット・モードとして使用時の設定

- 動作開始時

動作モード(割り込み & リセット・モード(LVIMDS1, LVIMDS0 = 1, 0))と検出電圧(V_{LVIH}, V_{LVIL})の設定は、オプション・バイト 000C1H/010C1H で設定しておきます。

(省略)

注意 電源立ち上がり波形により、LVIRF フラグが最初から 1 になることがあります。

RESF レジスタについての詳細は、第 19 章 リセット機能を参照してください。

図21－6に、電圧検出回路の内部リセット信号と割り込み信号発生タイミングを示します。

正)

21. 4. 3 割り込み & リセット・モードとして使用時の設定

- 動作開始時

動作モード(割り込み & リセット・モード(LVIMDS1, LVIMDS0 = 1, 0))と検出電圧(V_{LVIH}, V_{LVIL})の設定は、オプション・バイト 000C1H/010C1H で設定しておきます。

(省略)

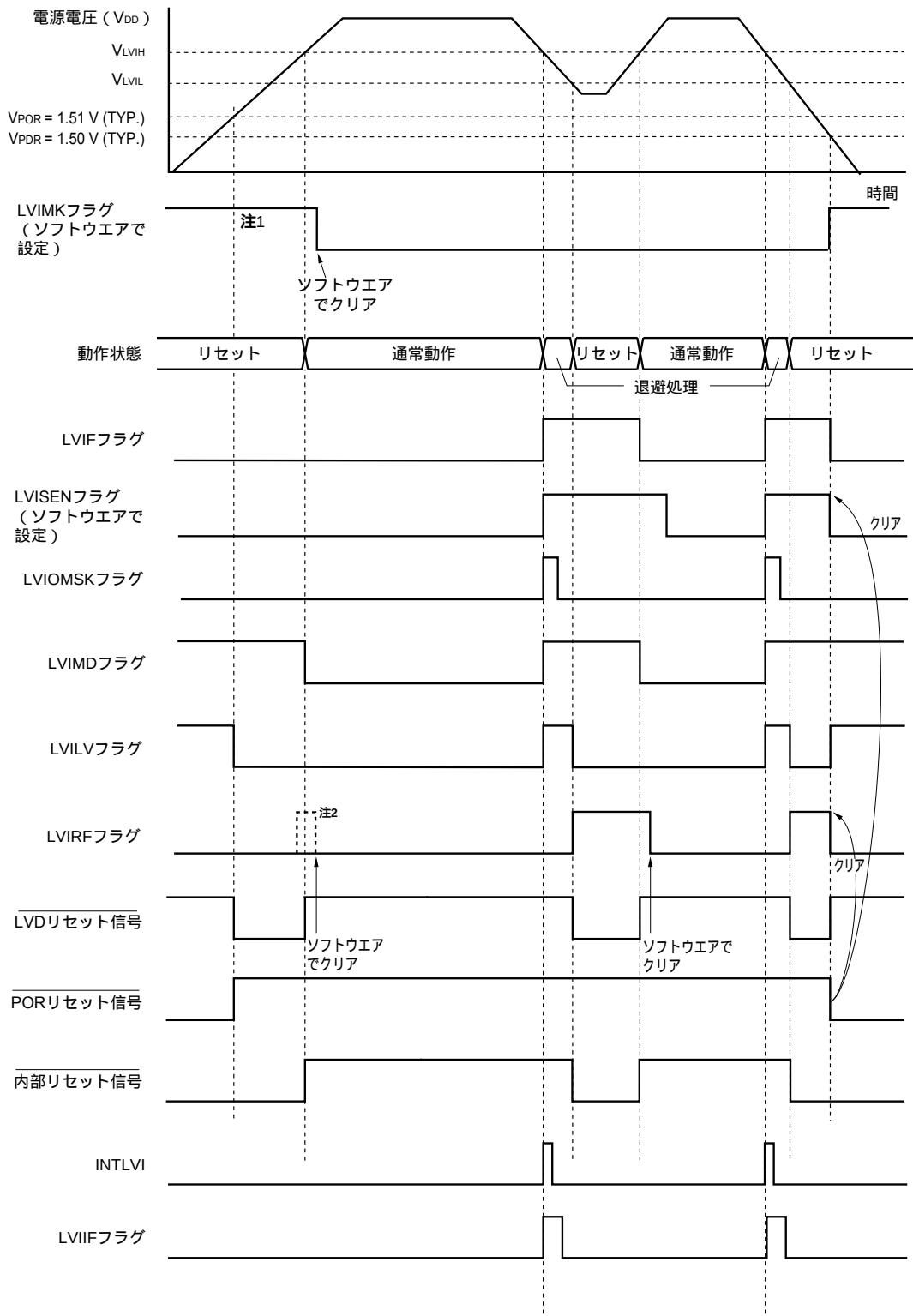
図21－6に、電圧検出回路の内部リセット信号と割り込み信号発生タイミングを示します。

図21－7 割り込み発生後の処理手順、図21－8 割り込み & リセット・モードの初期設定に示すフローチャートの手順に従って実施してください。

割り込み & リセット信号発生タイミングの誤記訂正 (p.770)

誤)

図21-6 割り込み & リセット信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)



注 1. LVIMK フラグはリセット信号の発生により、“1”になっています。

2. LVIRF フラグはリセット・コントロール・フラグ・レジスタ(RESF)のビット0です。

電源立ち上がり波形により、LVIRF フラグが最初から1になることがあります。

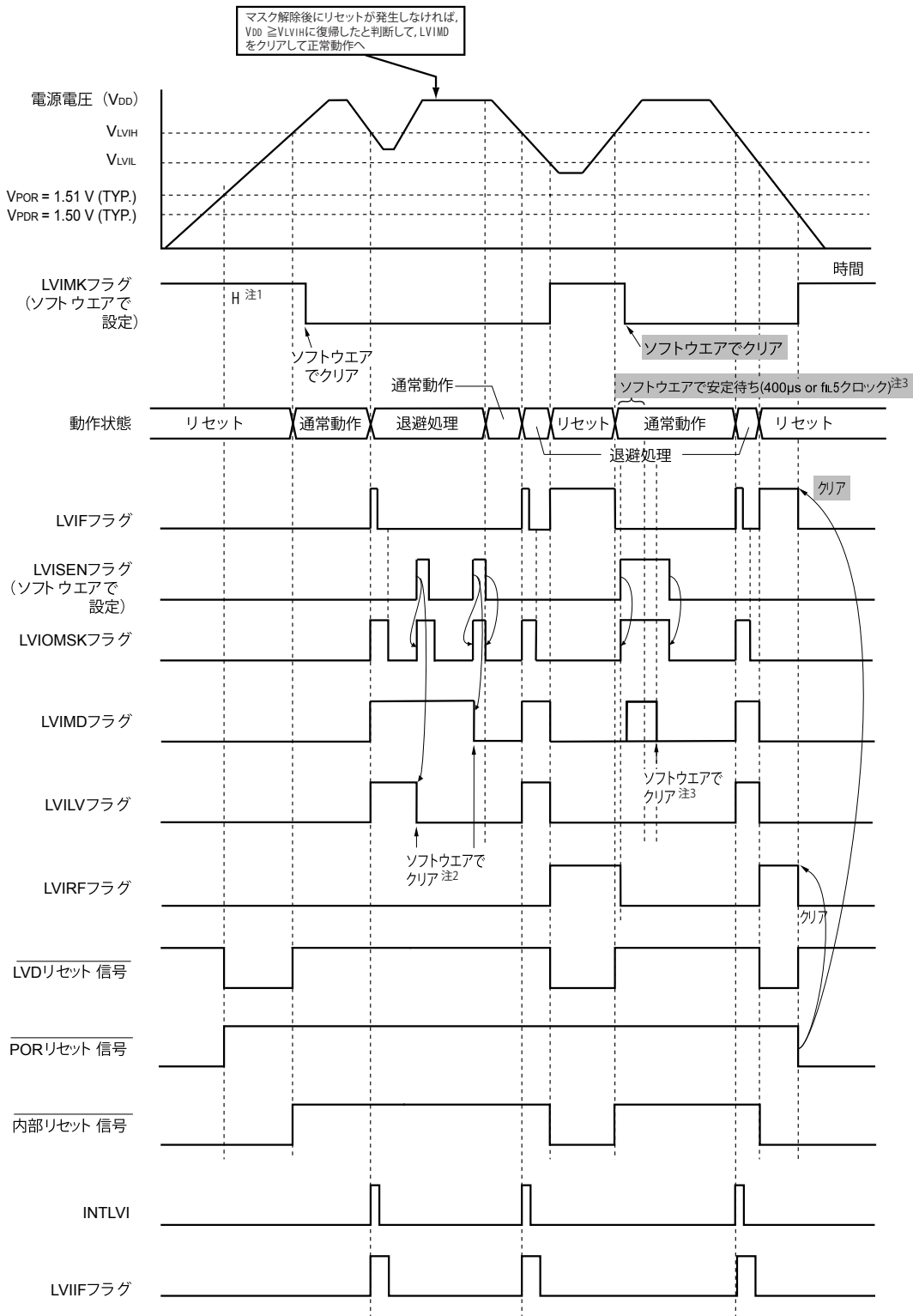
RESFレジスタについての詳細は、第19章 リセット機能を参照してください。

備考 V_{POR} : POR電源立ち上がり検出電圧

V_{PDR} : POR 電源立ち下がり検出電圧

正)

図21-6 割り込み&リセット信号発生のタイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0) (1/2)



注 1. LVIMK フラグはリセット信号の発生により、“1”になっています。

2. 割り込み&リセット・モード使用時、割り込み発生後は、図 21-7 割り込み発生後の処理手順に従って実施してください。

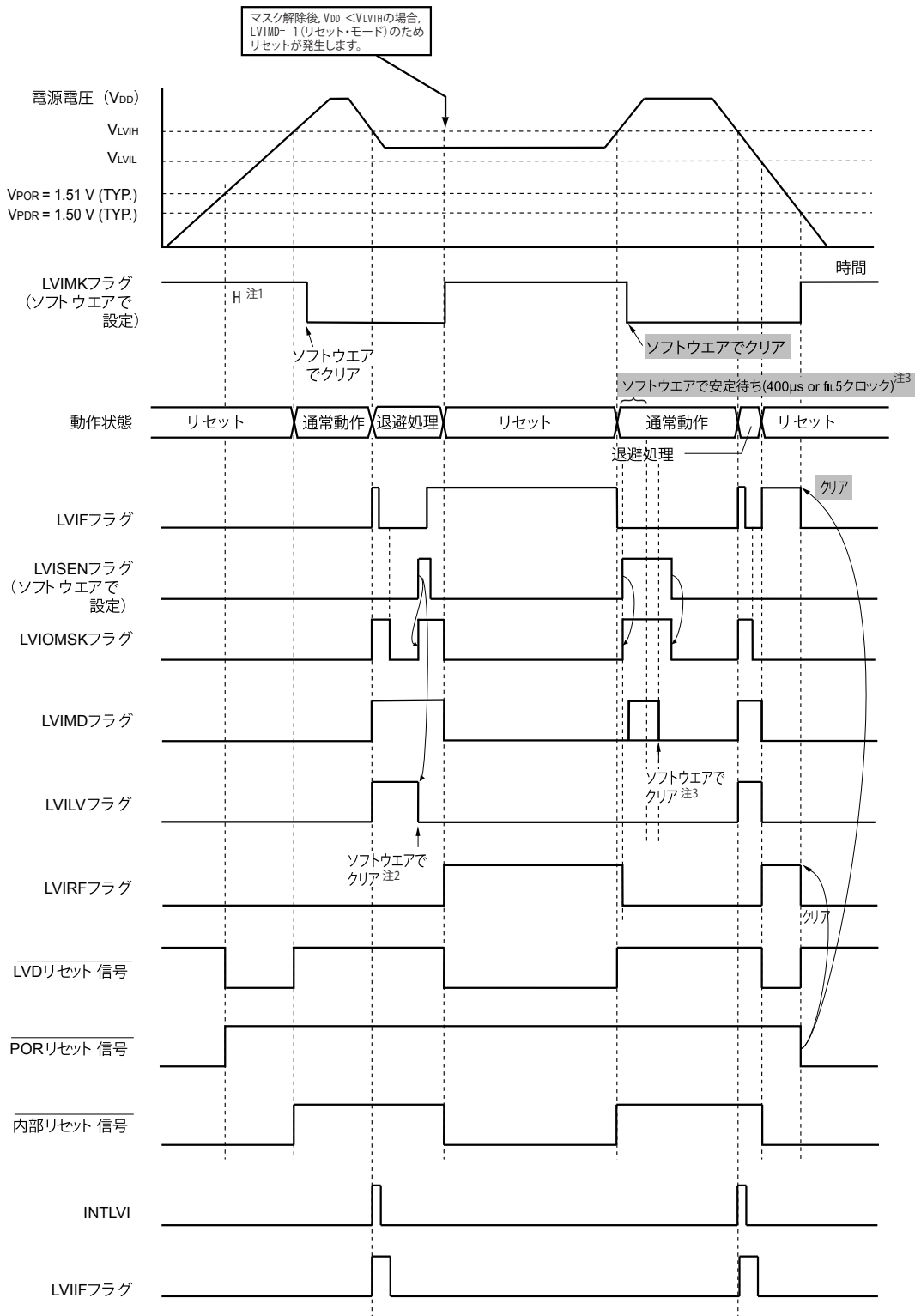
3. 割り込み&リセット・モード使用時、リセット解除後は、図 21-8 割り込み&リセット・モードの初期設定の設定手順に従って実施してください。

備考 V_{POR} : POR電源立ち上がり検出電圧

V_{PDR} : POR 電源立ち下がり検出電圧

正)

図21-6 割り込み&リセット信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0) (2/2)



注 1. LVIMK フラグはリセット信号の発生により、“1”になっています。

2. 割り込み&リセット・モード使用時、割り込み発生後は、図 21-7 割り込み発生後の処理手順に従って実施してください。

3. 割り込み&リセット・モード使用時、リセット解除後は、図 21-8 割り込み&リセット・モードの初期設定の設定手順に従って実施してください。

備考 V_{POR} : POR電源立ち上がり検出電圧

V_{PDR} : POR 電源立ち下がり検出電圧

図21-7 割り込み発生後の処理手順

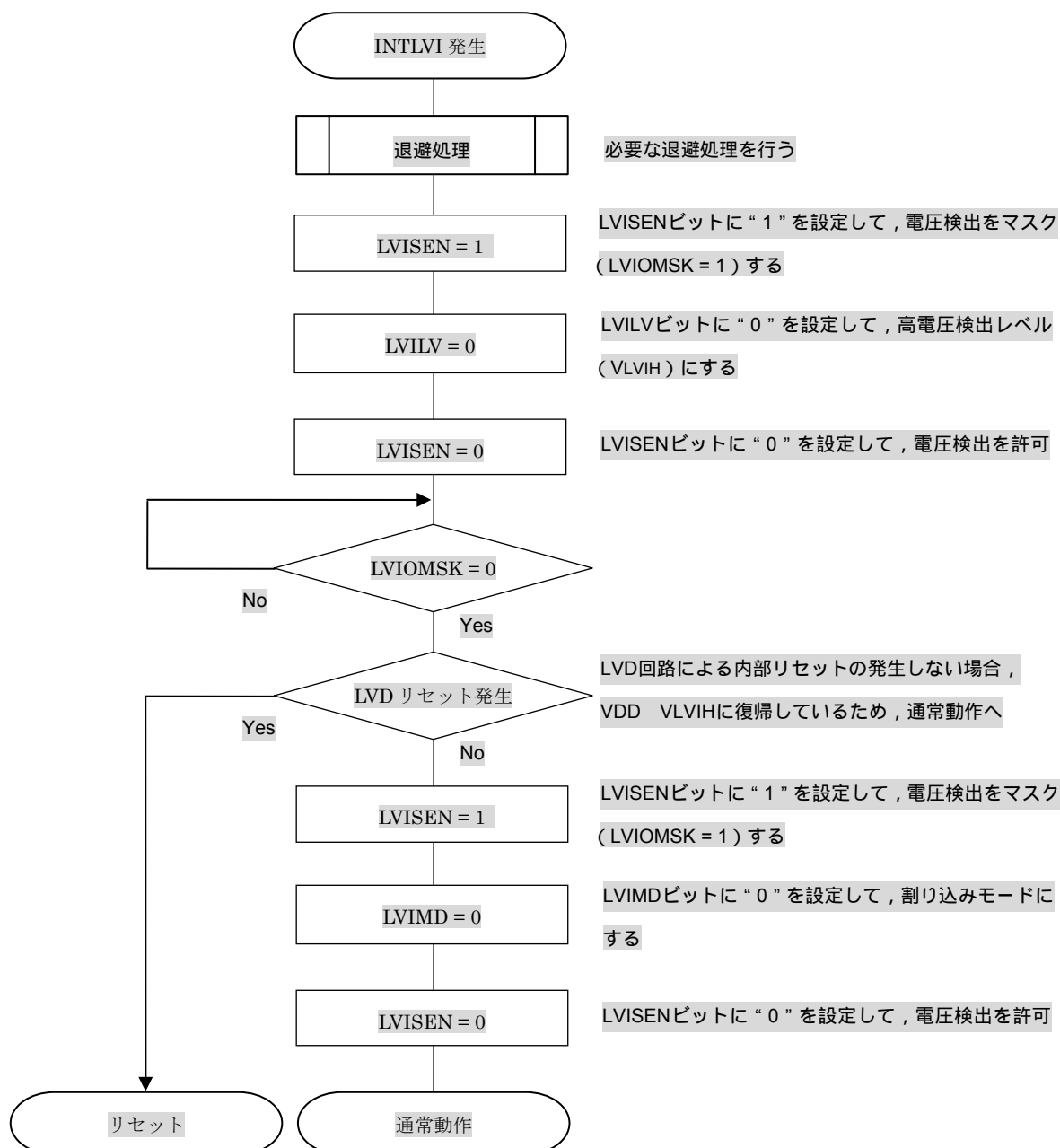
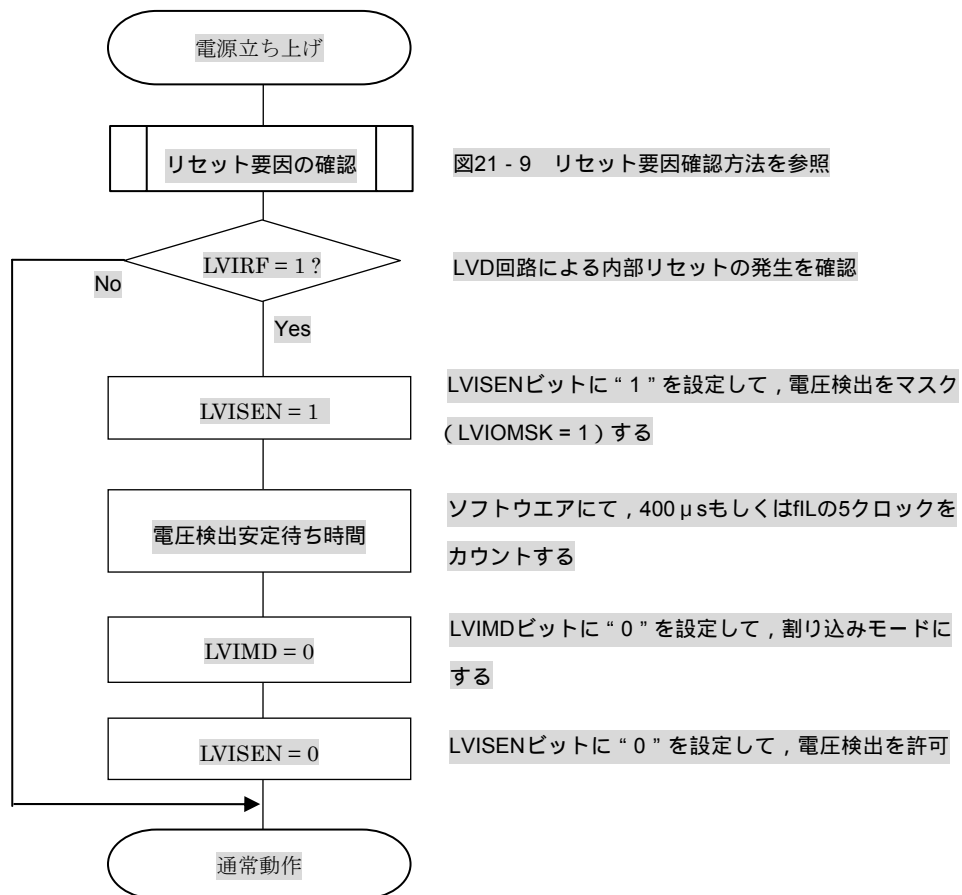


図 21-8 割り込み & リセット・モードの初期設定の説明追加 (p.772)

割り込み & リセット・モード (LVIMDS1, LVIMDS0 = 1, 0) を設定した場合, LVDリセット解除後 (LVIRF = 1) から 400 μ s もしくは f_{IL} の 5 クロック分の電圧検出安定待ち時間が必要です。電圧検出安定待ち後, LVIMD ビットをクリア (0) して初期化してください。電圧検出安定待ち時間のカウント中および LVIMD ビットの書き換え時は, LVISEN = 1 に設定して LVD によるリセットまたは割り込み発生をマスクしてください。

図21-8 割り込み & リセット・モードの初期設定の手順を示します。

図21-8 割り込み & リセット・モードの初期設定



備考 f_{IL}: 低速オンチップ・オシレータ・クロック周波数

8. 安全機能 22. 3. 8 A/D テスト機能の説明追加

図 22-15 A/D テスト・レジスタ(ADTES)の説明追加 (p.789)

誤)

(1)A/Dテスト・レジスタ(ADTES)

図22ー15 A/Dテスト・レジスタ(ADTES)のフォーマット

アドレス:F0013H リセット時:00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANlxx(アナログ入力チャネル指定レジスタ(ADS)で設定)
1	0	一側の基準電圧(ADM2レジスタのADREFMビットで設定)
1	1	±側の基準電圧(ADM2レジスタのADREFP1, ADREFP0ビットで設定)
上記以外		設定禁止

正)

(1)A/Dテスト・レジスタ(ADTES)

図22ー15 A/Dテスト・レジスタ(ADTES)のフォーマット

アドレス:F0013H リセット時:00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANlxx(アナログ入力チャネル指定レジスタ(ADS)で設定) ^注
1	0	一側の基準電圧(ADM2レジスタのADREFMビットで設定)
1	1	±側の基準電圧(ADM2レジスタのADREFP1, ADREFP0ビットで設定) ^注
上記以外		設定禁止

注 温度センサ出力, 内部基準電圧出力(1.45V)は, HS(高速メイン)モードでのみ選択可能です。

図 22-16 アナログ入力チャネル指定レジスタ(ADS)の説明追加 (p.790)

誤)

図22-16 アナログ入力チャネル指定レジスタ(ADS)のフォーマット

○セレクト・モード(ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力 チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV _{REFP} 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV _{REFM} 端子
(省略)							
0	1	1	1	1	1	設定禁止	
1	0	0	0	0	0	—	温度センサ出力
1	0	0	0	0	1	—	内部基準電圧出力(1.45 V)
上記以外						設定禁止	

(注意1-9は次ページにあります。)

(省略)

正)

図22-16 アナログ入力チャネル指定レジスタ(ADS)のフォーマット

○セレクト・モード(ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力 チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV _{REFP} 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV _{REFM} 端子
(省略)							
0	1	1	1	1	1	設定禁止	
1	0	0	0	0	0	—	温度センサ出力 ^注
1	0	0	0	0	1	—	内部基準電圧出力(1.45 V) ^注
上記以外						設定禁止	

(注意1-9は次ページにあります。)

注. HS(高速メイン)モードでのみ選択可能です。

(省略)

9. 電気的特性 29.2 絶対最大定格誤記訂正 (p.853)

誤)

絶対最大定格 (T_A=25°C) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		-0.5~+6.5	V
	EV _{DD0}	$EV_{DD0} \leq V_{DD}$	-0.5~+6.5	V
	AV _{DD}	$AV_{DD0} \leq V_{DD}$	-0.5~+4.6	V
	V _{SS}		-0.5~+0.3	V
	EV _{SS0}		-0.5~+0.3	V
	AV _{SS}		-0.5~+0.3	V
REGC端子入力電圧	V _{IREGC}	REGC	-0.3~+2.8 かつ -0.3~V _{DD} +0.3 ^{注1}	V
(省略)				

注1. REGC端子にはコンデンサ (0.47~1μF) を介してV_{SS}に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

2. 6.5 V 以下であること。

正)

絶対最大定格 (T_A=25°C) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		-0.5~+6.5	V
	EV _{DD0}		-0.5~+6.5	V
	AV _{DD}		-0.5~+4.6	V
	AV _{REFP}		-0.3~AV _{DD} +0.3 ^{注3}	V
	V _{SS}		-0.5~+0.3	V
	EV _{SS0}		-0.5~+0.3	V
	AV _{SS}		-0.5~+0.3	V
	AV _{REFM}		-0.3~AV _{DD} +0.3 ^{注3} かつ $AV_{REFM} \leq AV_{REFP}$	V
REGC端子入力電圧	V _{IREGC}	REGC	-0.3~+2.8 かつ -0.3~V _{DD} +0.3 ^{注1}	V
(省略)				

注1. REGC端子にはコンデンサ (0.47~1μF) を介してV_{SS}に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

2. 6.5 V 以下であること。

3. 4.6V 以下であること

10. 電気的特性 29. 6. 1 シリアル・アレイ・ユニット誤記訂正

(2) 同電位通信時(CSI モード)(マスタ・モード($f_{MCK}/2$), $\overline{SCKp}$...内部クロック出力)の誤記訂正 (p.871)

誤)

(2) 同電位通信時(CSI モード)(マスタ・モード($f_{MCK}/2$), $\overline{SCKp}$...内部クロック出力)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.7 \text{ V} \leq EV_{DD0} \leq V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = EV_{SS0} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCKp}$ サイクル・タイム	t_{KCY1}	$2.7 \text{ V} \leq EV_{DD0} \leq 3.6 \text{ V}$	83.3 ^{注1}			ns
$\overline{SCKp}$ ハイ, ロウ・レベル幅	t_{KH1}, t_{KL1}	$2.7 \text{ V} \leq EV_{DD0} \leq 3.6 \text{ V}$	$f_{KCY1}/2-10$			ns
Slpセットアップ時間 (対 $\overline{SCKp}\uparrow$) ^{注2}	t_{SIK1}	$2.7 \text{ V} \leq EV_{DD0} \leq 3.6 \text{ V}$	31 ^{注4}			ns
Slpホールド時間 (対 $\overline{SCKp}\uparrow$) ^{注2}	t_{KSI1}	$2.7 \text{ V} \leq EV_{DD0} \leq 3.6 \text{ V}$	10			ns
$\overline{SCKp}\downarrow \rightarrow \text{SOp}$ 出力遅延時間 ^{注3}	t_{KSO1}	$C = 20 \text{ pF}$ ^{注5}			10	ns

(省略)

正)

(2) 同電位通信時(CSI モード)(マスタ・モード($f_{MCK}/2$), $\overline{SCKp}$...内部クロック出力)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $2.7 \text{ V} \leq EV_{DD0} \leq V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = EV_{SS0} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCKp}$ サイクル・タイム	t_{KCY1}	$2.7 \text{ V} \leq EV_{DD0} \leq 3.6 \text{ V}$	83.3 ^{注1}			ns
$\overline{SCKp}$ ハイ, ロウ・レベル幅	t_{KH1}, t_{KL1}	$2.7 \text{ V} \leq EV_{DD0} \leq 3.6 \text{ V}$	$f_{KCY1}/2-10$			ns
Slpセットアップ時間 (対 $\overline{SCKp}\uparrow$) ^{注2}	t_{SIK1}	$2.7 \text{ V} \leq EV_{DD0} \leq 3.6 \text{ V}$	33 ^{注4}			ns
Slpホールド時間 (対 $\overline{SCKp}\uparrow$) ^{注2}	t_{KSI1}	$2.7 \text{ V} \leq EV_{DD0} \leq 3.6 \text{ V}$	10			ns
$\overline{SCKp}\downarrow \rightarrow \text{SOp}$ 出力遅延時間 ^{注3}	t_{KSO1}	$C = 20 \text{ pF}$ ^{注5}			10	ns

(省略)

(3) 同電位通信時(CSIモード)(マスタ・モード($f_{MCK}/4$), $\overline{SCKp}$...内部クロック出力)の誤記訂正 (p.872)

誤)

(3)同電位通信時(CSIモード)(マスタ・モード($f_{MCK}/4$), $\overline{SCKp}$...内部クロック出力)(TA = -40~+85 °C, 1.6 V ≤ EV_{DD0} ≤ V_{DD} ≤ 3.6 V, V_{SS} = EV_{SS0} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCKp}}$ サイクル・タイム	t _{KCY1}	2.7 V ≤ EV _{DD0} ≤ 3.6 V	125 ^{注1}			ns
		2.4 V ≤ EV _{DD0} ≤ 3.6 V	250 ^{注1}			ns
		1.8 V ≤ EV _{DD0} ≤ 3.6 V	500 ^{注1}			ns
(省略)						
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注2}	t _{SIK1}	2.7 V ≤ EV _{DD0} ≤ 3.6 V	38			ns
		2.4 V ≤ EV _{DD0} ≤ 3.6 V	75			ns
		1.8 V ≤ EV _{DD0} ≤ 3.6 V	150			ns
		1.6 V ≤ EV _{DD0} ≤ 3.6 V	300			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注2}	t _{KSI1}		19			ns
$\overline{\text{SCKp}}$ ↓→SO _p 出力遅延時間 ^{注3}	t _{KSO1}	C = 30 pF ^{注4}			25	ns

(省略)

正)

(3)同電位通信時(CSIモード)(マスタ・モード($f_{MCK}/4$), $\overline{SCKp}$...内部クロック出力)(TA = -40~+85 °C, 1.6 V ≤ EV_{DD0} ≤ V_{DD} ≤ 3.6 V, V_{SS} = EV_{SS0} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCKp}}$ サイクル・タイム	t _{KCY1}	2.7 V ≤ EV _{DD0} ≤ 3.6 V	125 ^{注1}			ns
		2.4 V ≤ EV _{DD0} ≤ 3.6 V	250 ^{注1}			ns
		1.8 V ≤ EV _{DD0} ≤ 3.6 V	500 ^{注1}			ns
(省略)						
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注2}	t _{SIK1}	2.7 V ≤ EV _{DD0} ≤ 3.6 V	44			ns
		2.4 V ≤ EV _{DD0} ≤ 3.6 V	75			ns
		1.8 V ≤ EV _{DD0} ≤ 3.6 V	110			ns
		1.6 V ≤ EV _{DD0} ≤ 3.6 V	220			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注2}	t _{KSI1}		19			ns
$\overline{\text{SCKp}}$ ↓→SO _p 出力遅延時間 ^{注3}	t _{KSO1}	C = 30 pF ^{注4}			25	ns

(省略)

(4)同電位通信時(CSIモード)(スレーブ・モード, $\overline{\text{SCKp}}$ …外部クロック入力)の誤記訂正 (p.873)

誤)

(4)同電位通信時(CSIモード)(スレーブ・モード, $\overline{\text{SCKp}}$ …外部クロック入力)

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 3.6 V, VSS = EVSS0 = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
$\overline{\text{SCKp}}$ サイクル・タイム ^{注4}	t _{KCY2}	2.7 V ≤ EVDD0 < 3.6 V	16 MHz < f _{MCK}	8/f _{MCK}		ns
			f _{MCK} ≤ 16 MHz	6/f _{MCK}		ns
		1.8 V ≤ EVDD0 < 2.7 V	16 MHz < f _{MCK}	8/f _{MCK}		ns
			f _{MCK} ≤ 16 MHz	6/f _{MCK}		ns
		1.6 V ≤ EVDD0 < 1.8 V		6/f _{MCK}		ns
$\overline{\text{SCKp}}$ ハイ, ロウ・レベル幅	t _{KH2} , t _{KL2}	1.6 V ≤ EVDD0 ≤ 3.6 V		t _{KCY2} /2		ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注1}	t _{SIK2}	2.7 V ≤ EVDD0 ≤ 3.6 V		50		ns
		1.8 V ≤ EVDD0 < 2.7 V		80		ns
		1.6 V ≤ EVDD0 < 1.8 V		160		ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注1}	t _{KSI2}	2.7 V ≤ EVDD0 ≤ 3.6 V		1/f _{MCK} + 31		ns
		1.8 V ≤ EVDD0 < 2.7 V		1/f _{MCK} + 31		ns
		1.6 V ≤ EVDD0 < 1.8 V		1/f _{MCK} + 250		ns
$\overline{\text{SCKp}}$ ↓→SOp出力遅延時間 ^{注2}	t _{KSO2}	C = 30 pF ^{注3}	2.7 V ≤ EVDD0 < 3.6 V		2/f _{MCK} + 44	ns
			2.4 V ≤ EVDD0 < 2.7 V		2/f _{MCK} + 75	ns
			1.8 V ≤ EVDD0 < 2.4 V		2/f _{MCK} + 110	ns
			1.6 V ≤ EVDD0 < 1.8 V		2/f _{MCK} + 220	ns

(省略)

正)

(4) 同電位通信時 (CSI モード) (スレーブ・モード, $\overline{\text{SCKp}}$...外部クロック入力)

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 3.6 V, VSS = EVSS0 = 0 V)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
$\overline{\text{SCKp}}$ サイクル・タイム ^{注4}	t _{KCY2}	2.7 V ≤ EVDD0 < 3.6 V	16 MHz < f _{MCK}	8/f _{MCK}			ns
			f _{MCK} ≤ 16 MHz	6/f _{MCK}			ns
		1.8 V ≤ EVDD0 < 2.7 V	16 MHz < f _{MCK}	8/f _{MCK}			ns
			f _{MCK} ≤ 16 MHz	6/f _{MCK}			ns
		1.6 V ≤ EVDD0 < 1.8 V		6/f _{MCK}			ns
$\overline{\text{SCKp}}$ ハイ, ロウ・レベル幅	t _{KH2} , t _{KL2}	1.6 V ≤ EVDD0 ≤ 3.6 V		t _{KCY2} /2			ns
Slp セットアップ時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注1}	t _{SIK2}	2.7 V ≤ EVDD0 ≤ 3.6 V		1/f _{MCK} + 20			ns
		1.8 V ≤ EVDD0 < 2.7 V		1/f _{MCK} + 30			ns
		1.6 V ≤ EVDD0 < 1.8 V		1/f _{MCK} + 40			ns
Slp ホールド時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注1}	t _{KSI2}	2.7 V ≤ EVDD0 ≤ 3.6 V		1/f _{MCK} + 31			ns
		1.8 V ≤ EVDD0 < 2.7 V		1/f _{MCK} + 31			ns
		1.6 V ≤ EVDD0 < 1.8 V		1/f _{MCK} + 250			ns
$\overline{\text{SCKp}}$ ↓ → SOp 出力遅延時間 ^{注2}	t _{KSO2}	C = 30 pF ^{注3}	2.7 V ≤ EVDD0 < 3.6 V			2/f _{MCK} + 44	ns
			2.4 V ≤ EVDD0 < 2.7 V			2/f _{MCK} + 75	ns
			1.8 V ≤ EVDD0 < 2.4 V			2/f _{MCK} + 110	ns
			1.6 V ≤ EVDD0 < 1.8 V			2/f _{MCK} + 220	ns

(省略)

(9)異電位(2.5 V系)通信時(CSIモード)(スレーブ・モード, $\overline{\text{SCKp}}$ …外部クロック入力)の誤記訂正 (p.887)

誤)

(9)異電位(2.5 V系)通信時(CSIモード)(スレーブ・モード, $\overline{\text{SCKp}}$ …外部クロック入力)

(TA = -40~+85 °C, 1.8 V ≤ EVDD0 ≤ VDD ≤ 3.6 V, VSS = EVSS0 = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCKp サイクル・タイム ^{注1}	t _{KCY2}	2.7 V ≤ EVDD0 < 3.6 V, 24 MHz < f _{MCK}	20/f _{MCK}			ns
		2.3 V ≤ V _b ≤ 2.7 V, 20 MHz < f _{MCK} ≤ 24 MHz	16/f _{MCK}			ns
		16 MHz < f _{MCK} ≤ 20 MHz	14/f _{MCK}			ns
		8 MHz < f _{MCK} ≤ 16 MHz	12/f _{MCK}			ns
		4 MHz < f _{MCK} ≤ 8 MHz	8/f _{MCK}			ns
		f _{MCK} ≤ 4 MHz	6/f _{MCK}			ns
		1.8 V ≤ EVDD0 < 3.3 V, 24 MHz < f _{MCK}	48/f _{MCK}			ns
		1.6 V ≤ V _b ≤ 2.0 V ^{注2} , 20 MHz < f _{MCK} ≤ 24 MHz	36/f _{MCK}			ns
		16 MHz < f _{MCK} ≤ 20 MHz	32/f _{MCK}			ns
		8 MHz < f _{MCK} ≤ 16 MHz	26/f _{MCK}			ns
		4 MHz < f _{MCK} ≤ 8 MHz	16/f _{MCK}			ns
		f _{MCK} ≤ 4 MHz	10/f _{MCK}			ns
SCKp ハイ, ロウ・レベル幅	t _{KH2} ,	2.7 V ≤ EVDD0 < 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V	t _{KCY2} /2 - 18			ns
	t _{KL2}	1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2}	t _{KCY2} /2 - 50			ns
Slp セットアップ時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注3}	t _{SIK2}	2.7 V ≤ EVDD0 < 3.6 V	60			ns
		1.8 V ≤ EVDD0 < 3.3 V	97			
Slp ホールド時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注3}	t _{KSI2}		1/f _{MCK} + 31			ns
SCKp ↓ → SOp 出力遅延 時間 ^{注4}	t _{KSO2}	2.7 V ≤ EVDD0 ≤ 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ			2/f _{MCK} + 214	ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2} , C _b = 30 pF, R _b = 5.5 kΩ			2/f _{MCK} + 573	ns

(省略)

正)

9) 異電位 (2.5 V系) 通信時 (CSIモード) (スレーブ・モード, $\overline{\text{SCKp}}$...外部クロック入力)(T_A = -40 ~ +85 °C, 1.8 V ≤ EV_{DD0} ≤ V_{DD} ≤ 3.6 V, V_{SS} = EV_{SS0} = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
$\overline{\text{SCKp}}$ サイクル・タイム ^{注1}	t _{KCY2}	2.7 V ≤ EV _{DD0} < 3.6 V, 24 MHz < f _{MCK}	20/f _{MCK}			ns
		2.3 V ≤ V _b ≤ 2.7 V, 20 MHz < f _{MCK} ≤ 24 MHz	16/f _{MCK}			ns
		16 MHz < f _{MCK} ≤ 20 MHz	14/f _{MCK}			ns
		8 MHz < f _{MCK} ≤ 16 MHz	12/f _{MCK}			ns
		4 MHz < f _{MCK} ≤ 8 MHz	8/f _{MCK}			ns
		f _{MCK} ≤ 4 MHz	6/f _{MCK}			ns
		1.8 V ≤ EV _{DD0} < 3.3 V, 24 MHz < f _{MCK}	48/f _{MCK}			ns
		1.6 V ≤ V _b ≤ 2.0 V ^{注2} , 20 MHz < f _{MCK} ≤ 24 MHz	36/f _{MCK}			ns
		16 MHz < f _{MCK} ≤ 20 MHz	32/f _{MCK}			ns
		8 MHz < f _{MCK} ≤ 16 MHz	26/f _{MCK}			ns
		4 MHz < f _{MCK} ≤ 8 MHz	16/f _{MCK}			ns
		f _{MCK} ≤ 4 MHz	10/f _{MCK}			ns
$\overline{\text{SCKp}}$ ハイ, ロウ・レベル幅	t _{KH2} ,	2.7 V ≤ EV _{DD0} < 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V	t _{KCY2} /2 - 18			ns
	t _{KL2}	1.8 V ≤ EV _{DD0} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2}	t _{KCY2} /2 - 50			ns
Slp セットアップ時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注3}	t _{SIK2}	2.7 V ≤ EV _{DD0} < 3.6 V	1/f _{MCK} + 20			ns
		1.8 V ≤ EV _{DD0} < 3.3 V	1/f _{MCK} + 30			ns
Slp ホールド時間 (対 $\overline{\text{SCKp}}$ ↑) ^{注3}	t _{KSI2}		1/f _{MCK} + 31			ns
$\overline{\text{SCKp}}$ ↓ → SOp 出力遅延 時間 ^{注4}	t _{KSO2}	2.7 V ≤ EV _{DD0} ≤ 3.6 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ			2/f _{MCK} + 214	ns
		1.8 V ≤ EV _{DD0} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2} , C _b = 30 pF, R _b = 5.5 kΩ			2/f _{MCK} + 573	ns

(省略)

11. 電気的特性 29. 7. 1 A/D コンバータ特性の誤記訂正

(1) $AV_{REF}(+) = AV_{REFP}/ANI0$, $AV_{REF}(-) = AV_{REFM}/ANI1$ 選択時,対象 ANI 端子: ANI2-ANI12 (AV_{DD} を電源とする ANI 端子) の誤記訂正 (p.895)

誤)

(1) $AV_{REF}(+) = AV_{REFP}/ANI0$ ($ADREFP1 = 0$, $ADREFP0 = 1$), $AV_{REF}(-) = AV_{REFM}/ANI1$ ($ADREFM = 1$) 選択時,対象 ANI 端子: ANI0-ANI12 (AV_{DD} を電源とする ANI 端子)($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $1.6 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$, $1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $AV_{SS} = 0 \text{ V}$, 基本電圧 (+) = AV_{REFP} , 基準電圧 (-) = $AV_{REFM} = 0 \text{ V}$)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
分解能	RES		$2.4\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	8		12	bit
			$1.8\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	8		10 注 1	
			$1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	8 注 2			
総合誤差 注 3	AINL	12 ビット分解能	$2.4\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			±6.0	LSB
		10 ビット分解能	$1.8\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			±3.5	
		8 ビット分解能	$1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			±1.75	
変換時間	tCONV	ADTYP = 0, 12 ビット分解能	$2.4\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	3.375			μs
		ADTYP = 0, 10 ビット分解能注 1	$1.8\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	6.75			
		ADTYP = 0, 8 ビット分解能注 2	$1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	13.5			
		ADTYP = 1, 8 ビット分解能	$2.4\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	2.5625			
			$1.8\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	5.125			
			$1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	10.25			
ゼロスケール誤差 注 3, 4	EVS	12 ビット分解能	$2.4\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			±4.0	%FSR
		10 ビット分解能	$1.8\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			±2.5	
		8 ビット分解能	$1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			±1.25	
フルスケール誤差 注 3, 4	EFS	12 ビット分解能	$2.4\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			±4.0	%FSR
		10 ビット分解能	$1.8\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			±2.5	
		8 ビット分解能	$1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			±1.25	
積分直線性誤差 注 3	ILE	12 ビット分解能	$2.4\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	LSB
		10 ビット分解能	$1.8\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	
		8 ビット分解能	$1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	
微分直線性誤差 注 3	DLE	12 ビット分解能	$2.4\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	LSB
		10 ビット分解能	$1.8\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	
		8 ビット分解能	$1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	
基準電圧 (+)	AVREF(+)	≡ AVREFP	$2.4\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	2.4		AVDD	V
			$1.8\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	1.8		AVDD	
			$1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	1.6		AVDD	
基準電圧 (-)	AVREF(-)	≡ AVREFM		-0.5		0.3	V
アナログ入力電圧	VAIN			0		AVREFP	V
	VBGR	$2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V}$		1.38	1.45	1.5	V
消費電流	IADC	AVDD = 3.6 V			460	1090	μA
VREF 電流	IAREF	AVREFP = 3.6 V			14	25	μA

(省略)

正)

(1) $AV_{REF(+)} = AV_{REFP}/ANI0$ ($ADREFP1 = 0, ADREFP0 = 1$), $AV_{REF(-)} = AV_{REFM}/ANI1$ ($ADREFM = 1$) 選択時,対象ANI端子: ANI2-ANI12 (AV_{DD} を電源とするANI端子)($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$, $1.6\text{ V} \leq V_{DD} \leq 3.6\text{ V}$, $1.6\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$, $V_{SS} = 0\text{ V}$, $AV_{SS} = 0\text{ V}$,基準電圧 (+) = AV_{REFP} , 基準電圧 (-) = $AV_{REFM} = 0\text{ V}$)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
分解能	RES		$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$	8		12	bit
			$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$	8		10 ^{注1}	
			$1.6\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$	8 ^{注2}			
総合誤差 ^{注3}	AINL	12ビット分解能	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			±6.0	LSB
		10ビット分解能	$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			±3.5	
		8ビット分解能	$1.6\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			±1.75	
変換時間	tCONV	ADTYP = 0, 12ビット分解能	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$	3.375			μs
		ADTYP = 0, 10ビット分解能 ^{注1}	$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$	6.75			
		ADTYP = 0, 8ビット分解能 ^{注2}	$1.6\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$	13.5			
		ADTYP = 1, 8ビット分解能	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$	2.5625			
			$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$	5.125			
			$1.6\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$	10.25			
ゼロスケール誤差 ^{注3, 4}	EZS	12ビット分解能	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			±4.0	%FSR
		10ビット分解能	$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			±2.5	
		8ビット分解能	$1.6\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			±1.25	
フルスケール誤差 ^{注3, 4}	EFS	12ビット分解能	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			±4.0	%FSR
		10ビット分解能	$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			±2.5	
		8ビット分解能	$1.6\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			±1.25	
積分直線性誤差 ^{注3}	ILE	12ビット分解能	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	LSB
		10ビット分解能	$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	
		8ビット分解能	$1.6\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	
微分直線性誤差 ^{注3}	DLE	12ビット分解能	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	LSB
		10ビット分解能	$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	
		8ビット分解能	$1.6\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	
アナログ入力電圧	VAIN			0		AVREFP	V
	VBGR	$2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	HSモード [*]	1.38	1.45	1.5	V
消費電流	IADC	AVDD = 3.6 V			460	1090	μA
VREF電流	IAVREF	AVREFP = 3.6 V			14	25	μA

(省略)

(2) AVREF(+) = AVDD, AVREF(−) = AVSS 選択時,対象 ANI 端子: ANI0-ANI12 (AVDD を電源とする ANI 端子) の誤記訂正(p.897)

誤)

(2) $AV_{REF(+)} = AV_{DD}$ ($ADREFP1 = 0$, $ADREFP0 = 0$), $AV_{REF(-)} = AV_{SS}$ ($ADREFM = 0$) 選択時,

対象 ANI 端子: ANI0-ANI12 (AVDD を電源とする ANI 端子)

(TA = −40 ~ +85 °C, 1.6 V ≤ VDD ≤ 3.6 V, 1.6 V ≤ AVDD ≤ 3.6 V, VSS = 0 V, AVSS = 0 V, 基本電圧(+) = AVDD,

基準電圧(−) = AVSS = 0 V)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
分解能	RES		2.4 V ≦ AV _{DD} ≦ 3.6 V	8		12	bit
			1.8 V ≦ AV _{DD} ≦ 3.6 V	8		10 注 1	
			1.6 V ≦ AV _{DD} ≦ 3.6 V	8 注 2			
総合誤差注 3	AINL	12 ビット分解能	2.4 V ≦ AV _{DD} ≦ 3.6 V			±9.0	LSB
		10 ビット分解能	1.8 V ≦ AV _{DD} ≦ 3.6 V			±5.0	
		8 ビット分解能	1.6 V ≦ AV _{DD} ≦ 3.6 V			±2.5	
変換時間	t _{CONV}	ADTYP = 0, 12 ビット分解能	2.4 V ≦ AV _{DD} ≦ 3.6 V	3.375			μs
		ADTYP = 0, 10 ビット分解能注 1	1.8 V ≦ AV _{DD} ≦ 3.6 V	6.75			
		ADTYP = 0, 8 ビット分解能注 2	1.6 V ≦ AV _{DD} ≦ 3.6 V	13.5			
		ADTYP = 1, 8 ビット分解能	2.4 V ≦ AV _{DD} ≦ 3.6 V	2.5625			
			1.8 V ≦ AV _{DD} ≦ 3.6 V	5.125			
			1.6 V ≦ AV _{DD} ≦ 3.6 V	10.25			
ゼロスケール誤差注 3, 4	EVS	12 ビット分解能	2.4 V ≦ AV _{DD} ≦ 3.6 V			±7.0	%FSR
		10 ビット分解能	1.8 V ≦ AV _{DD} ≦ 3.6 V			±3.75	
		8 ビット分解能	1.6 V ≦ AV _{DD} ≦ 3.6 V			±2.0	
フルスケール誤差注 3, 4	EFS	12 ビット分解能	2.4 V ≦ AV _{DD} ≦ 3.6 V			±7.0	%FSR
		10 ビット分解能	1.8 V ≦ AV _{DD} ≦ 3.6 V			±3.75	
		8 ビット分解能	1.6 V ≦ AV _{DD} ≦ 3.6 V			±2.0	
積分直線性誤差注 3	ILE	12 ビット分解能	2.4 V ≦ AV _{DD} ≦ 3.6 V			T.B.D.	LSB
		10 ビット分解能	1.8 V ≦ AV _{DD} ≦ 3.6 V			T.B.D.	
		8 ビット分解能	1.6 V ≦ AV _{DD} ≦ 3.6 V			T.B.D.	
微分直線性誤差注 3	DLE	12 ビット分解能	2.4 V ≦ AV _{DD} ≦ 3.6 V			T.B.D.	LSB
		10 ビット分解能	1.8 V ≦ AV _{DD} ≦ 3.6 V			T.B.D.	
		8 ビット分解能	1.6 V ≦ AV _{DD} ≦ 3.6 V			T.B.D.	
基準電圧(+)	AV _{REF(+)}	≡ AV _{DD}		1.6		3.6	V
基準電圧(−)	AV _{REF(−)}	≡ AV _{SS}		−0.5		0.3	V
アナログ入力電圧	V _{AIN}			0		AV _{REFP}	V
	V _{BGR}	2.4 V ≦ V _{DD} ≦ 3.6 V		1.38	1.45	1.5	V
消費電流	I _{ADC}	AV _{DD} = 3.6 V			460	1090	μA
VREF 電流	I _{AVREF}	AV _{REFP} = 3.6 V			14	25	μA

(省略)

正)

(2) $AV_{REF(+)} = AV_{DD}$ ($ADREFP1 = 0$, $ADREFP0 = 0$), $AV_{REF(-)} = AV_{SS}$ ($ADREFM = 0$) 選択時,対象ANI端子: ANI0-ANI12 (AV_{DD} を電源とするANI端子)($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $1.6 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$, $1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, $AV_{SS} = 0 \text{ V}$,基準電圧(+)= AV_{DD} , 基準電圧(-)= $AV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
分解能	RES		2.4 V≦AV _{DD} ≦3.6 V	8		12	bit
			1.8 V≦AV _{DD} ≦3.6 V	8		10 注 1	
			1.6 V≦AV _{DD} ≦3.6 V	8 注 2			
総合誤差注 3	AINL	12 ビット分解能	2.4 V≦AV _{DD} ≦3.6 V			±9.0	LSB
		10 ビット分解能	1.8 V≦AV _{DD} ≦3.6 V			±5.0	
		8 ビット分解能	1.6 V≦AV _{DD} ≦3.6 V			±2.5	
変換時間	t _{CONV}	ADTYP = 0, 12 ビット分解能	2.4 V≦AV _{DD} ≦3.6 V	3.375			μs
		ADTYP = 0, 10 ビット分解能注 1	1.8 V≦AV _{DD} ≦3.6 V	6.75			
		ADTYP = 0, 8 ビット分解能注 2	1.6 V≦AV _{DD} ≦3.6 V	13.5			
		ADTYP = 1, 8 ビット分解能	2.4 V≦AV _{DD} ≦3.6 V	2.5625			
			1.8 V≦AV _{DD} ≦3.6 V	5.125			
			1.6 V≦AV _{DD} ≦3.6 V	10.25			
ゼロスケール誤差注 3, 4	EZS	12 ビット分解能	2.4 V≦AV _{DD} ≦3.6 V			±7.0	%FSR
		10 ビット分解能	1.8 V≦AV _{DD} ≦3.6 V			±3.75	
		8 ビット分解能	1.6 V≦AV _{DD} ≦3.6 V			±2.0	
フルスケール誤差注 3, 4	EFS	12 ビット分解能	2.4 V≦AV _{DD} ≦3.6 V			±7.0	%FSR
		10 ビット分解能	1.8 V≦AV _{DD} ≦3.6 V			±3.75	
		8 ビット分解能	1.6 V≦AV _{DD} ≦3.6 V			±2.0	
積分直線性誤差注 3	ILE	12 ビット分解能	2.4 V≦AV _{DD} ≦3.6 V			T.B.D.	LSB
		10 ビット分解能	1.8 V≦AV _{DD} ≦3.6 V			T.B.D.	
		8 ビット分解能	1.6 V≦AV _{DD} ≦3.6 V			T.B.D.	
微分直線性誤差注 3	DLE	12 ビット分解能	2.4 V≦AV _{DD} ≦3.6 V			T.B.D.	LSB
		10 ビット分解能	1.8 V≦AV _{DD} ≦3.6 V			T.B.D.	
		8 ビット分解能	1.6 V≦AV _{DD} ≦3.6 V			T.B.D.	
アナログ入力電圧	V _{AIN}			0		AV _{DD}	V
	V _{BGR}	2.4 V≦V _{DD} ≦3.6 V	HSモード	1.38	1.45	1.5	V
消費電流	I _{ADC}	AV _{DD} = 3.6 V			460	1090	μA
VREF 電流	I _{AVREF}	AV _{REFP} = 3.6 V			14	25	μA

(省略)

(3) $AV_{REF}(+) = AV_{REFP}/ANI0$, $AV_{REF}(-) = AV_{REFM}/ANI1$ 選択時,

対象 ANI 端子: ANI16-ANI30 (EVDD0 を電源とする ANI 端子) の誤記訂正 (p.898)

誤)

(3) $AV_{REF}(+) = AV_{REFP}/ANI0$ ($ADREFP1 = 0$, $ADREFP0 = 1$), $AV_{REF}(-) = AV_{REFM}/ANI1$ ($ADREFM = 1$) 選択時,

対象 ANI 端子: ANI16-ANI30 (EVDD0 を電源とする ANI 端子)

(T_A = -40 ~ +85 °C, $1.6\text{ V} \leq EV_{DD0} \leq V_{DD} \leq 3.6\text{ V}$, $1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$, $V_{SS} = EV_{SS0} = 0\text{ V}$, $AV_{SS} = 0\text{ V}$,基本電圧 (+) = AV_{REFP} , 基準電圧 (-) = $AV_{REFM} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能	RES	$2.4\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	8		12	bit
		$1.8\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	8		10 注 1	
		$1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$		8 注 2		
総合誤差 注 3	AINL	12 ビット分解能 $2.4\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			±9.0	LSB
		10 ビット分解能 $1.8\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			±5.0	
		8 ビット分解能 $1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			±2.5	
変換時間	t _{CONV}	ADTYP = 0, 12 ビット分解能 $2.4\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	4.125			μs
		ADTYP = 0, 10 ビット分解能 注 1 $1.8\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	9.5			
		ADTYP = 0, 8 ビット分解能 注 2 $1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	57.5			
		ADTYP = 1, 8 ビット分解能 $2.4\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	3.3125			
		$1.8\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	7.875			
		$1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	54.25			
ゼロスケール誤差 注 3, 4	EVS	12 ビット分解能 $2.4\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			±7.0	%FSR
		10 ビット分解能 $1.8\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			±3.75	
		8 ビット分解能 $1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			±2.0	
フルスケール誤差 注 3, 4	EFS	12 ビット分解能 $2.4\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			±7.0	%FSR
		10 ビット分解能 $1.8\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			±3.75	
		8 ビット分解能 $1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			±2.0	
積分直線性誤差 注 3	ILE	12 ビット分解能 $2.4\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	LSB
		10 ビット分解能 $1.8\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	
		8 ビット分解能 $1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	
微分直線性誤差 注 3	DLE	12 ビット分解能 $2.4\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	LSB
		10 ビット分解能 $1.8\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	
		8 ビット分解能 $1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	
基準電圧 (+)	$AV_{REFP}(+)$	$\equiv AV_{REFP}$ $2.4\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	2.4		AV_{DD}	V
		$1.8\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	1.8		AV_{DD}	
		$1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$	1.6		AV_{DD}	
基準電圧 (-)	$AV_{REFM}(-)$	$\equiv AV_{REFM}$	-0.5		0.3	V
アナログ入力電圧	V _{AIN}		0		AV_{REFP}	V
	V _{BGR}	$2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	1.38	1.45	1.5	V
消費電流	I _{ADC}	$AV_{DD} = 3.6\text{ V}$		400	950	μA
V _{REF} 電流	I _{AVREF}	$AV_{REFP} = 3.6\text{ V}$		14	25	μA

(省略)

正)

(3) $AV_{REF(+)} = AV_{REFP}/ANI0$ ($ADREFP1 = 0, ADREFP0 = 1$), $AV_{REF(-)} = AV_{REFM}/ANI1$ ($ADREFM = 1$) 選択時,対象ANI端子: ANI16-ANI30 (EV_{DD0} を電源とするANI端子) $(T_A = -40 \sim +85\text{ }^{\circ}\text{C}, 1.6\text{ V} \leq EV_{DD0} \leq V_{DD} \leq 3.6\text{ V}, 1.6\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}, V_{SS} = EV_{SS0} = 0\text{ V},$ $AV_{SS} = 0\text{ V}$, 基準電圧(+)= AV_{REFP} , 基準電圧(-)= $AV_{REFM} = 0\text{ V}$)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
分解能	RES		$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$	8		12	bit
			$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$	8		10 注 1	
			$1.6\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$	8 注 2			
総合誤差 注 3	AINL	12 ビット分解能	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			±9.0	LSB
		10 ビット分解能	$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			±5.0	
		8 ビット分解能	$1.6\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			±2.5	
変換時間	tCONV	ADTYP = 0, 12 ビット分解能	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$	4.125			μs
		ADTYP = 0, 10 ビット分解能 注 1	$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$	9.5			
		ADTYP = 0, 8 ビット分解能 注 2	$1.6\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$	57.5			
		ADTYP = 1, 8 ビット分解能	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$	3.3125			
			$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$	7.875			
			$1.6\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$	54.25			
ゼロスケール誤差 注 3, 4	EZS	12 ビット分解能	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			±7.0	%FSR
		10 ビット分解能	$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			±3.75	
		8 ビット分解能	$1.6\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			±2.0	
フルスケール誤差 注 3, 4	EFS	12 ビット分解能	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			±7.0	%FSR
		10 ビット分解能	$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			±3.75	
		8 ビット分解能	$1.6\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			±2.0	
積分直線性誤差 注 3	ILE	12 ビット分解能	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	LSB
		10 ビット分解能	$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	
		8 ビット分解能	$1.6\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	
微分直線性誤差 注 3	DLE	12 ビット分解能	$2.4\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	LSB
		10 ビット分解能	$1.8\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	
		8 ビット分解能	$1.6\text{ V} \leq AV_{REFP} \leq AV_{DD} \leq 3.6\text{ V}$			T.B.D.	
アナログ入力電圧	VAIN			0		AVREFP かつ EVDD0	V
	VBGR	$2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	HSモード*	1.38	1.45	1.5	V
消費電流	IADC	AVDD = 3.6 V			400	950	μA
VREF 電流	IAREF	AVREFP = 3.6 V			14	25	μA

(省略)

(4) $AV_{REF(+)} = AV_{DD}$, $AV_{REF(-)} = AV_{SS}$ 選択時,対象 ANI 端子: ANI16-ANI30 (EV_{DD0} を電源とする ANI 端子) の誤記訂正 (p.899)

誤)

(4) $AV_{REF(+)} = AV_{DD}$ ($ADREFP1 = 0$, $ADREFP0 = 0$), $AV_{REF(-)} = AV_{SS}$ ($ADREFM = 0$) 選択時,対象 ANI 端子: ANI16-ANI30 (EV_{DD0} を電源とする ANI 端子)($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $1.6 \text{ V} \leq EV_{DD0} \leq V_{DD} \leq 3.6 \text{ V}$, $1.6 \text{ V} \leq AV_{DD} \leq 3.6 \text{ V}$, $V_{SS} = EV_{SS0} = 0 \text{ V}$, $AV_{SS} = 0 \text{ V}$,基本電圧 (+) = AV_{DD} , 基準電圧 (-) = $AV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
分解能	RES		2.4 V ≦ AV _{DD} ≦ 3.6 V	8		12	bit
			1.8 V ≦ AV _{DD} ≦ 3.6 V	8		10 注 1	
			1.6 V ≦ AV _{DD} ≦ 3.6 V	8 注 2			
総合誤差 注 3	AINL	12 ビット分解能	2.4 V ≦ AV _{DD} ≦ 3.6 V			±14.0	LSB
		10 ビット分解能	1.8 V ≦ AV _{DD} ≦ 3.6 V			±7.5	
		8 ビット分解能	1.6 V ≦ AV _{DD} ≦ 3.6 V			±3.75	
変換時間	t _{CONV}	ADTYP = 0, 12 ビット分解能	2.4 V ≦ AV _{DD} ≦ 3.6 V	4.125			μs
		ADTYP = 0, 10 ビット分解能 注 1	1.8 V ≦ AV _{DD} ≦ 3.6 V	9.5			
		ADTYP = 0, 8 ビット分解能 注 2	1.6 V ≦ AV _{DD} ≦ 3.6 V	57.5			
		ADTYP = 1, 8 ビット分解能	2.4 V ≦ AV _{DD} ≦ 3.6 V	3.3125			
			1.8 V ≦ AV _{DD} ≦ 3.6 V	7.875			
			1.6 V ≦ AV _{DD} ≦ 3.6 V	54.25			
ゼロスケール誤差 注 3, 4	EVS	12 ビット分解能	2.4 V ≦ AV _{DD} ≦ 3.6 V			±9.0	%FSR
		10 ビット分解能	1.8 V ≦ AV _{DD} ≦ 3.6 V			±5.0	
		8 ビット分解能	1.6 V ≦ AV _{DD} ≦ 3.6 V			±2.5	
フルスケール誤差 注 3, 4	EFS	12 ビット分解能	2.4 V ≦ AV _{DD} ≦ 3.6 V			±9.0	%FSR
		10 ビット分解能	1.8 V ≦ AV _{DD} ≦ 3.6 V			±5.0	
		8 ビット分解能	1.6 V ≦ AV _{DD} ≦ 3.6 V			±2.5	
積分直線性誤差 注 3	ILE	12 ビット分解能	2.4 V ≦ AV _{DD} ≦ 3.6 V			T.B.D.	LSB
		10 ビット分解能	1.8 V ≦ AV _{DD} ≦ 3.6 V			T.B.D.	
		8 ビット分解能	1.6 V ≦ AV _{DD} ≦ 3.6 V			T.B.D.	
微分直線性誤差 注 3	DLE	12 ビット分解能	2.4 V ≦ AV _{DD} ≦ 3.6 V			T.B.D.	LSB
		10 ビット分解能	1.8 V ≦ AV _{DD} ≦ 3.6 V			T.B.D.	
		8 ビット分解能	1.6 V ≦ AV _{DD} ≦ 3.6 V			T.B.D.	
基準電圧(＋)	AV _{REF(+)}	≡ AV _{DD}		1.6		3.6	V
基準電圧(－)	AV _{REF(-)}	≡ AV _{SS}		－0.5		0.3	V
アナログ入力電圧	V _{AIN}			0		AV _{REFP}	V
	V _{BGR}	2.4 V ≦ V _{DD} ≦ 3.6 V		1.38	1.45	1.5	V
消費電流	I _{ADC}	AV _{DD} = 3.6 V			400	950	μA
V _{REF} 電流	I _{AVREF}	AV _{REFP} = 3.6 V			14	25	μA

(省略)

正)

(4) $AV_{REF(+)} = AV_{DD}$ ($ADREFP1 = 0$, $ADREFP0 = 0$), $AV_{REF(-)} = AV_{SS}$ ($ADREFM = 0$) 選択時,対象ANI端子: ANI16-ANI30 (EV_{DD0} を電源とするANI端子)(T_A = -40 ~ +85 °C, $1.6\text{ V} \leq EV_{DD0} \leq V_{DD} \leq 3.6\text{ V}$, $1.6\text{ V} \leq AV_{DD} \leq 3.6\text{ V}$, $V_{SS} = EV_{SS0} = 0\text{ V}$, $AV_{SS} = 0\text{ V}$,基準電圧(+) = AV_{DD} , 基準電圧(-) = $AV_{SS} = 0\text{ V}$)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
分解能	RES		2.4 V ≦ AV _{DD} ≦ 3.6 V	8		12	bit
			1.8 V ≦ AV _{DD} ≦ 3.6 V	8		10 注 1	
			1.6 V ≦ AV _{DD} ≦ 3.6 V	8 注 2			
総合誤差 注 3	AINL	12 ビット分解能	2.4 V ≦ AV _{DD} ≦ 3.6 V			±14.0	LSB
		10 ビット分解能	1.8 V ≦ AV _{DD} ≦ 3.6 V			±7.5	
		8 ビット分解能	1.6 V ≦ AV _{DD} ≦ 3.6 V			±3.75	
変換時間	t _{CONV}	ADTYP = 0, 12 ビット分解能	2.4 V ≦ AV _{DD} ≦ 3.6 V	4.125			μs
		ADTYP = 0, 10 ビット分解能 注 1	1.8 V ≦ AV _{DD} ≦ 3.6 V	9.5			
		ADTYP = 0, 8 ビット分解能 注 2	1.6 V ≦ AV _{DD} ≦ 3.6 V	57.5			
		ADTYP = 1, 8 ビット分解能	2.4 V ≦ AV _{DD} ≦ 3.6 V	3.3125			
			1.8 V ≦ AV _{DD} ≦ 3.6 V	7.875			
			1.6 V ≦ AV _{DD} ≦ 3.6 V	54.25			
ゼロスケール誤差 注 3, 4	E _{ZS}	12 ビット分解能	2.4 V ≦ AV _{DD} ≦ 3.6 V			±9.0	%FSR
		10 ビット分解能	1.8 V ≦ AV _{DD} ≦ 3.6 V			±5.0	
		8 ビット分解能	1.6 V ≦ AV _{DD} ≦ 3.6 V			±2.5	
フルスケール誤差 注 3, 4	E _{FS}	12 ビット分解能	2.4 V ≦ AV _{DD} ≦ 3.6 V			±9.0	%FSR
		10 ビット分解能	1.8 V ≦ AV _{DD} ≦ 3.6 V			±5.0	
		8 ビット分解能	1.6 V ≦ AV _{DD} ≦ 3.6 V			±2.5	
積分直線性誤差 注 3	ILE	12 ビット分解能	2.4 V ≦ AV _{DD} ≦ 3.6 V			T.B.D.	LSB
		10 ビット分解能	1.8 V ≦ AV _{DD} ≦ 3.6 V			T.B.D.	
		8 ビット分解能	1.6 V ≦ AV _{DD} ≦ 3.6 V			T.B.D.	
微分直線性誤差 注 3	DLE	12 ビット分解能	2.4 V ≦ AV _{DD} ≦ 3.6 V			T.B.D.	LSB
		10 ビット分解能	1.8 V ≦ AV _{DD} ≦ 3.6 V			T.B.D.	
		8 ビット分解能	1.6 V ≦ AV _{DD} ≦ 3.6 V			T.B.D.	
アナログ入力電圧	V _{AIN}			0		AV _{DD} かつ EV _{DD0}	V
	V _{BGR}	2.4 V ≦ V _{DD} ≦ 3.6 V	HSモード	1.38	1.45	1.5	V
消費電流	I _{ADC}	AV _{DD} = 3.6 V			400	950	μA
V _{REF} 電流	I _{AVREF}	AV _{REFP} = 3.6 V			14	25	μA

(省略)

(5)AVREF(+)= 内部基準電圧, AVREF(-)= AVSS 選択時,**対象 ANI 端子: ANI0-ANI12, ANI16-ANI30 の誤記訂正(p.900)****誤)**

(5)AVREF(+)= 内部基準電圧(1.45V) (ADREFP1 = 1, ADREFP0 = 0), AVREF(-) = AVSS(ADREFM = 0)選択時, 対象ANI端子: ANI0-ANI12, ANI16-ANI30

(TA = -40~+85 °C, $1.6\text{ V} \leq \text{EV}_{\text{DD0}} \leq \text{V}_{\text{DD}} \leq 3.6\text{ V}$, $1.6\text{ V} \leq \text{AV}_{\text{DD}} \leq 3.6\text{ V}$, VSS = EVSS0 = 0 V, AVSS = 0V, 基本電圧(+)= 内部基準電圧, 基準電圧(-)= AVSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能	RES		8		8	bit
変換時間	tCONV	省略				
ゼロスケール誤差 ^{注1, 2}	EZS					
積分直線性誤差 ^{注1}	ILE					
微分直線性誤差 ^{注1}	DLE					
基準電圧(+)	AVREF(+)	= 内部基準電圧	1.38	1.45	1.5	V
<u>基準電圧(-)</u>	<u>AVREF(-)</u>	<u>= AVSS</u>	<u>-0.5</u>		<u>0.3</u>	<u>V</u>
アナログ入力電圧	VAIN		0		AVREFP	V
	VBGR		変換禁止			V
消費電流	IADC	AVDD=3.6V		400	950	μA
VREF電流	IAREF			75		μA

(省略)

正)

(5)AVREF(+)= 内部基準電圧(1.45V) (ADREFP1 = 1, ADREFP0 = 0), AVREF(-) = AVSS(ADREFM = 0)選択時, 対象ANI端子: ANI0-ANI12, ANI16-ANI30

(TA = -40~+85 °C, $2.4\text{ V} \leq \text{V}_{\text{DD}} \leq 3.6\text{ V}$, $1.6\text{ V} \leq \text{EV}_{\text{DD0}} \leq \text{V}_{\text{DD}}$, $2.4\text{ V} \leq \text{AV}_{\text{DD}} \leq 3.6\text{ V}$, VSS = EVSS0 = 0 V, AVSS = 0V, 基準電圧(+)= 内部基準電圧, 基準電圧(-)= AVSS = 0 V, HS(高速メイン)モード)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能	RES		8			bit
変換時間	tCONV	(省略)				
ゼロスケール誤差 ^{注1, 2}	EZS					
積分直線性誤差 ^{注1}	ILE					
微分直線性誤差 ^{注1}	DLE					
基準電圧(＋)	AVREF(+)	= 内部基準電圧(VBGR)	1.38	1.45	1.5	V
アナログ入力電圧	VAIN		0		VBGR	V
	VBGR		変換禁止			V
消費電流	IADC	AVDD=3.6V		400	950	μA
VREF電流	IAREF			75		μA

(省略)

12. 電气的特性 29. 7. 2 温度センサ特性の条件追加 (p.901)

誤)

29. 7. 2 温度センサ特性

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $2.4 \text{ V} \leq V_{DD0} \leq V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = V_{SS0} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
温度センサ出力電圧	V_{TMPS25}	ADSレジスタ = 80H設定, $T_A = +25^{\circ}\text{C}$		1.05		V
リファレンス出力電圧	V_{CONST}	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	F_{VTMPS}	温度センサ電圧の温度依存		-3.6		mV/ $^{\circ}\text{C}$
動作安定待ち時間	t_{AMP}				2	μs

正)

29. 7. 2 温度センサ特性

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $2.4 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$, HS(高速メイン)モード)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
温度センサ出力電圧	V_{TMPS25}	ADSレジスタ = 80H設定, $T_A = +25^{\circ}\text{C}$		1.05		V
リファレンス出力電圧	V_{CONST}	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	F_{VTMPS}	温度センサ電圧の温度依存		-3.6		mV/ $^{\circ}\text{C}$
動作安定待ち時間	t_{AMP}				2	μs

発行文書履歴

RL78/G1A 誤記訂正通知 発行文書履歴

文書番号	発行日	記事
MCYG-AB-11-0048	2012 年 2 月 23 日	初版発行 訂正一覧の No.1 ～ No.12 の誤記訂正

－ 以上 －