

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲三丁目2番24号

豊洲フォレシア

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-78K-A007A/J	Rev.	第1版
題名	78K0R/Kx3 P50,P51 ポート機能の制限事項について		情報分類	技術情報	
適用製品	78K0R/Kx3 拡張規格品 (1.1 対象型名一覧に記載)	対象ロット等 全ロット	関連資料	各製品のユーザーズ・マニュアル U17894JJ9V0UD00 Rev.9.00 U18432JJ5V0UD00 Rev.5.00 U18417JJ4V0UD00 Rev.4.00	

上記適用製品において、外部バス・インタフェース機能使用している場合、P50、P51のポート機能に制限事項がございます。

今回通知する制限事項一覧

項目	本通知で追加となる制限事項	対象製品	本通知での該当ページ
1	78K0R/Kx3 P50,P51 ポート機能の制限事項	78K0R/KG3,KH3,KJ3 拡張規格品 (1.1 対象型名一覧に記載)	p.2 - p.4

通知済みの制限事項一覧

項目	通知済みの制限事項	対象製品	本通知での該当ページ
2	クロック出力／ブザー出力制御回路出力停止時の出力レベルに関する制限	別紙 1.制限事項履歴に記載	p.5
3	リアルタイム・カウンタ (RTC) の定周期割り込みとアラーム割り込みの同時使用に関する制限		p.6
4	リアルタイム・カウンタ (RTC) のカウンタ動作停止後の年/月/曜日/日/時/分/秒カウント・レジスタに関する制限		p.7
5	DMA コントローラの終了に関する制限事項		p.8, 9
6	DMA コントローラの DWAITn ビットによる DMA 転送の保留に関する制限事項		p.10

※ 前版の技術通知 (ZBG-CC-09-0009) に記載の中で、ユーザーズ・マニュアルの誤記訂正に関してはすべて修正済みのため、制限事項のみの掲載とさせていただきます。

発行文書履歴

78K0R/Kx3 制限事項通知 発行文書履歴

文書番号	発行日	記事
ZBG-CC-07-0021	2007年10月1日	初版発行
ZBG-CC-08-0009	2008年6月19日	f _{IH} =8MHz, HALT モード時の電源電流 (I _{DD2}) の MAX 値の誤記訂正を追加。
ZBG-CC-09-0009	2009年4月23日	<ul style="list-style-type: none"> ・3線シリアル I/O 通信 電気的特性の誤記訂正を追加 ・DMA コントローラの応答時間の誤記訂正を追加 ・DMA コントローラの終了に関する制限事項を追加 ・DMA コントローラの DWAITn ビットによる DMA 転送の保留に関する制限事項を追加
TN-78K-A007A/J	2016年7月15日	初版発行 <ul style="list-style-type: none"> ・本通知の制限事項一覧の項目 1。 ・採番管理変更にともない初版として発行。

本通知で追加となる制限事項

1. 78K0R/Kx3 P50,P51 ポート機能の制限事項

1.1 対象型名一覧

本制限事項の対象となる型名一覧を表 1 に示します。

表 1 対象型名一覧

対象グループ	対象型名
78K0R/KG3	UPD78F1162AGC-UEU-AX UPD78F1163AGC-UEU-AX UPD78F1164AGC-UEU-AX UPD78F1165AGC-UEU-AX UPD78F1166AGC-UEU-AX UPD78F1167AGC-UEU-AX UPD78F1168AGC-UEU-AX UPD78F1162AGC(A)-UEU-AX UPD78F1163AGC(A)-UEU-AX UPD78F1164AGC(A)-UEU-AX UPD78F1165AGC(A)-UEU-AX UPD78F1166AGC(A)-UEU-AX UPD78F1167AGC(A)-UEU-AX UPD78F1168AGC(A)-UEU-AX UPD78F1162AGF-GAS-AX UPD78F1163AGF-GAS-AX UPD78F1164AGF-GAS-AX UPD78F1165AGF-GAS-AX UPD78F1166AGF-GAS-AX UPD78F1167AGF-GAS-AX UPD78F1168AGF-GAS-AX UPD78F1162AGF(A)-GAS-AX UPD78F1163AGF(A)-GAS-AX UPD78F1164AGF(A)-GAS-AX UPD78F1165AGF(A)-GAS-AX UPD78F1166AGF(A)-GAS-AX UPD78F1167AGF(A)-GAS-AX UPD78F1168AGF(A)-GAS-AX
78K0R/KH3	UPD78F1174AGF-GAT-AX UPD78F1175AGF-GAT-AX UPD78F1176AGF-GAT-AX UPD78F1177AGF-GAT-AX UPD78F1178AGF-GAT-AX UPD78F1174AGF(A)-GAT-AX UPD78F1175AGF(A)-GAT-AX UPD78F1176AGF(A)-GAT-AX UPD78F1177AGF(A)-GAT-AX UPD78F1178AGF(A)-GAT-AX
78K0R/KJ3	UPD78F1184AGJ-GAE-AX UPD78F1185AGJ-GAE-AX UPD78F1186AGJ-GAE-AX UPD78F1187AGJ-GAE-AX UPD78F1188AGJ-GAE-AX UPD78F1184AGJ(A)-GAE-AX UPD78F1185AGJ(A)-GAE-AX UPD78F1186AGJ(A)-GAE-AX UPD78F1187AGJ(A)-GAE-AX UPD78F1188AGJ(A)-GAE-AX

※ 型名はブランク品の型名です。上記型名以外に、書き込み出荷品およびエンボステーピング品が対象となります。

1.2 対象の使用方法

外部バス・インタフェース機能を使用（MEMレジスタのビット7(EXEN)=1）し、下記①～③の設定すべてが該当の場合に、本制限事項の対象となります。

- ① マルチプレクスト・バス・モード（MEMレジスタのビット3(MM3)=0）
- ② 8ビット・バス・モード（MEMレジスタのビット2(MM2)=0）
- ③ 256バイト拡張モード（MEMレジスタのビット1,0(MM1,MM0)=0,0）

1.3 制限事項の内容

上記設定にした場合、P50、P51の入力値を正しく読めない。

(入力ポートとしてご使用になれません。)

1.4 対策

外部バス・インタフェース機能を使用する場合、P50、P51を入力ポートとして使用しないでください。

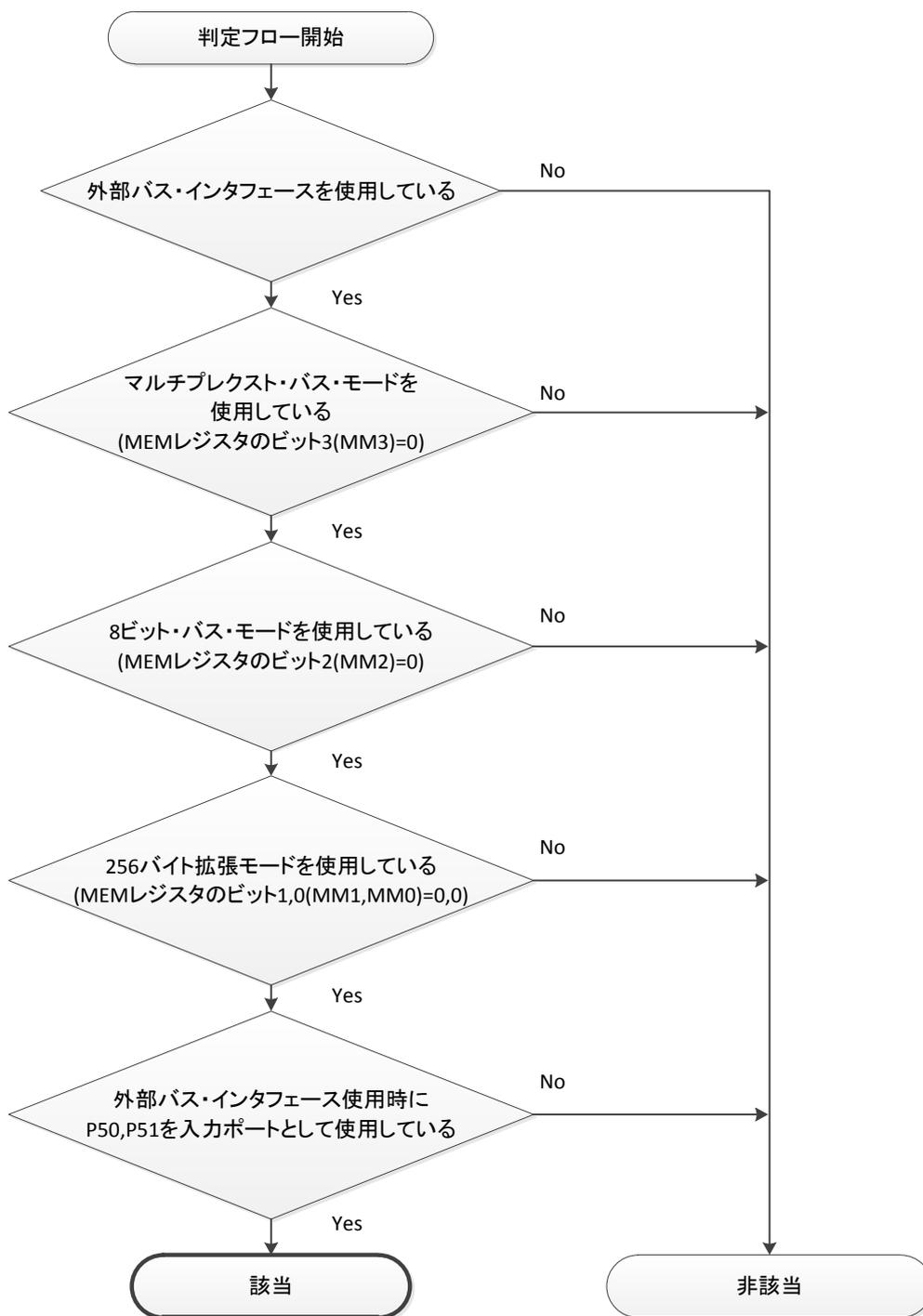
出力ポートとしては、外部バス・インタフェース機能の使用の有無に関わらず使用できます。

1.5 その他

本件は使用上の制限事項とさせていただきます。

1.6 該非判定フロー

下記フローチャートに示す条件に合致した場合、本制限事項に該当となります。



2. 通知済みの制限事項について

2. クロック出力／ブザー出力制御回路出力停止時の出力レベルに関する制限

2.1 制限事項の対象となる使用方法

CKS レジスタによる出力クロックの選択（CSELn, CCSn2, CCSn1, CCSn0）で源発振（f_{MAIN}, f_{SUB}）以外の分周クロックを選択し、クロック出力／ブザー出力を出力禁止（PCLOEn ビットをクリア）とした場合。

2.2 現象

クロック出力／ブザー出力の出力レベルを、出力禁止としたとき、本来であればロウ・レベルで停止するところ、上記の使用方法においては、出力禁止としたタイミングでのレベル（ハイ／ロウ）で停止します。

2.3 暫定対策（使用制限）

クロック出力／ブザー出力を出力禁止（PCLOEn ビットをクリア）とした後、CKS レジスタによる出力クロックの選択を源発振（f_{MAIN}, f_{SUB}）に設定することにより、ロウ・レベル出力になります。但し、本来出力していた幅と異なるハイ・パルスの出力後にロウ・レベルとなる点はご了承下さい。

2.4 恒久対策

上記の対象となる使用方法においてもロウ・レベルで出力が停止するようにデバイスを修正しております。

修正対象品は、別紙 1 の制限事項履歴をご参照ください。

備考 n = 0, 1

3. RTC 定周期割り込みとアラーム割り込みの同時使用に関する制限

3.1 制限事項の対象となる使用方法

定周期割り込みを使用 (RTCC0 レジスタの(CT2, CT1, CT0) \neq (0, 0, 0)) し、アラーム割り込みも使用 (RTCC1 レジスタの WALE=1, WALIE=1) した上、定周期割り込みとアラーム割り込みを同時に発生させる場合です。定周期割り込みのみを使用時や、アラーム割り込みのみを使用時は対象外となります。両方の割り込みを使用する場合でも同時に割り込みを発生させない場合は対象外となります。

3.2 現象

上記の対象となる使用方法にて、INTRTC 割り込みが発生すると同時に RTCC1 レジスタの RIFG フラグはセットされます。しかし、WAFG フラグがセットされるのは、INTRTC 割り込みからサブシステム・クロックの1クロック分 (約 30.52us) 経過後となります。そのため、INTRTC 割り込み処理内で WAFG フラグを読み出しても WAFG フラグがまだセットされていない場合があります。

3.3 暫定対策 (使用制限)

上記の対象となる使用方法にて INTRTC 割り込みが発生したとき、割り込みのステータス RIFG フラグを先に確認してください。RIFG=1 (定周期割り込み発生あり) の場合、INTRTC 割り込み発生からサブシステム・クロックの1クロック分 (約 30.52us) 以上経過後に WAFG フラグを確認してください。RIFG=0 (定周期割り込み発生なし) の場合、WAFG フラグの確認にサブシステム・クロックの1クロック分 (約 30.52us) を待つ必要はありません。

3.4 恒久対策

上記の対象となる使用方法において INTRTC 割り込みが発生するタイミングと同時に WAFG フラグと RIFG フラグをセットするようにデバイスを修正しております。

修正対象品は、別紙 1 の制限事項履歴をご参照ください。

4. カウンタ動作停止後の年/月/曜日/日/時/分/秒カウント・レジスタに関する制限

4.1 制限事項の対象となる使用方法

リアルタイム・カウンタを使用時、サブカウント・レジスタ (RSUBC) のカウント値が 7FFDH^{注1} または 7FFE^{注1} のタイミングで、RTC を停止 (RTCC0 レジスタの RTCE ビットをクリア) する場合があります。

4.2 現象

上記の対象となる使用方法において、RTCE ビットは“0”となりますが、秒カウント・レジスタ (SEC) が f_{SUB} 周期でカウントアップしてしまい、停止しないことがあります。その場合、分、時、日、曜日、月、年のカウント・レジスタもカウントアップを続けます。

4.3 暫定対策 (使用制限)

RTC を停止 (RTCE ビットをクリア) する場合、RTCC1 レジスタの RWAIT ビットをセットし、その後 RWST フラグが“1”になったのを確認してから RTCE ビットをクリアしてください。RTC を再開する場合、RTCE ビットをセットしてから RWAIT ビットをクリアしてください。これにより、RTC を停止 (RTCE ビットをクリア) 時に SEC レジスタが停止せずにカウントアップすることはなく、停止します。

4.4 恒久対策

上記の対象となる使用方法においても、秒カウント・レジスタ (SEC) を停止するようにデバイスを修正しております。

修正対象品は、別紙 1 の制限事項履歴をご参照ください。

注 1 時計誤差補正を行う場合、7FFDH, 7FFE^{注1}ではなく 7FFDH±補正值, 7FFE^{注1}±補正值になります。

5. DMA コントローラの終了に関する制限

DMA のチャンネル 0 の転送トリガ、チャンネル 1 の転送トリガ、どちらかのチャンネルの転送終了(ソフトウェアによる強制終了、転送回数完了による自動終了)が競合した場合、終了しなかったチャンネルの DMA 転送が 2 回続けて発生する場合があります。

5.1 制限事項の対象となる使用方法 (ソフトウェアによる強制終了の場合)

DMA のチャンネル 0, チャンネル 1 の両チャンネルを共に使用している時に、“チャンネル 0 の転送トリガ発生”と“チャンネル 1 の転送トリガ発生”と“ソフトウェアによる強制終了 (DRCn レジスタの DSTn ビットのクリア)”の 3 要因のタイミングが競合する場合です。この 3 要因のタイミングが競合した場合のみ対象となり、どれか一つでも競合しない場合は対象外となります。よって、両チャンネルを同時に使用しない場合や、両チャンネルを同時に使用してもソフトウェアによる強制終了をしない場合は対象外となります。

また、競合時の強制終了しないチャンネルの転送トリガが最終転送分 (DBCn レジスタ値が 0001H 時のトリガ) の場合は、対象外となります。

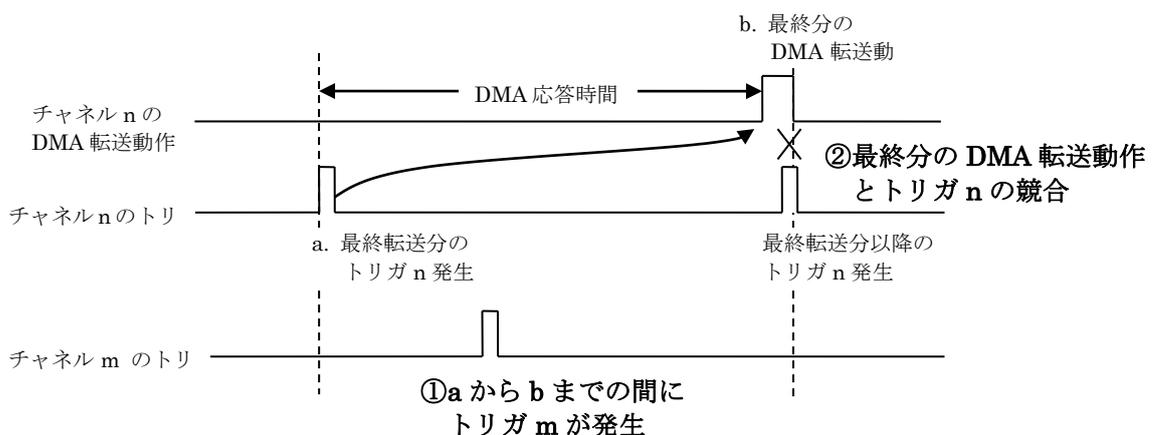
5.1.1 現象

上記 3 要因が競合後、DSTn ビットのクリアにて強制終了しなかった方のチャンネルの DMA 転送が 2 回続けて (1 回多く) 実行されることがあります。その場合、強制終了しなかったチャンネルの DBCn レジスタ値は DMA 転送が実行される毎にデクリメントされて、計 2 減ります。

5.2 制限事項の対象となる使用方法(転送回数完了による自動終了の場合)

DMA のチャンネル 0, チャンネル 1 の両チャンネルを共に使用している時に、片方のチャンネル n に設定した転送回数完了による自動終了時に、下記 2 つの条件に共に該当する場合制限事項の対象となります。

- ①最終の DMA 転送分の“チャンネル n の転送トリガ発生”から“そのチャンネル n の最終の DMA 転送動作終了”タイミングまでの間にチャンネル m の転送トリガが発生した場合。
- ②“チャンネル n の最終の DMA 転送のタイミング”と“チャンネル n の転送トリガ発生”が競合する場合。



両チャンネルを同時に使用していても、最終転送分のチャンネル n のトリガ発生以降はチャンネル n のトリガが発生しない場合や、DMA の転送トリガ間隔が DMA 応答時間+2 クロック以上の場合は、②の競合が発生しないため対象外となります。また、チャンネル m の転送トリガが最終転送分 (DBCm レジスタ値が 0001H 時のトリガ) の場合は、対象外となります。

5.2.1 現象

上記①, ②の要因が発生後, チャンネル m の DMA 転送が 2 回続けて (1 回多く) 実行されることがあります。その場合, チャンネル m の DBCm レジスタ値は DMA 転送が実行される毎にデクリメントされて, 計 2 減ります。

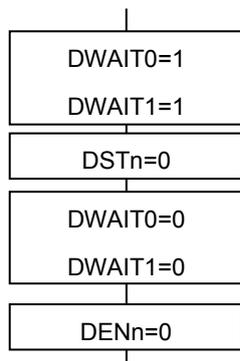
備考 (n,m)=(0,1)or(1,0)

5.3 対策 (使用制限)

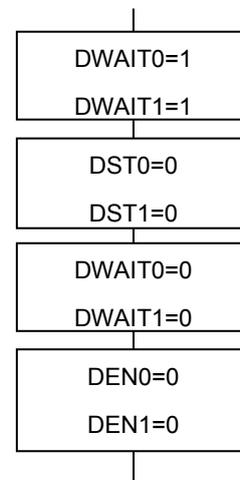
5.3.1 ソフトウェアによる強制終了の場合

DMA を両チャンネル共に使用している時にソフトウェアで強制終了する場合は, 両チャンネル共に DWAITn ビットをセットして DMA 転送を保留してから, DSTn0 ビットをクリアしてください。その後, 両チャンネル共に DWAITn ビットをクリアし保留を解除してから, DENn ビットをクリアしてください。

・両チャンネルを共に使用時にどちらかのチャンネルを強制終了する手順



・両チャンネルを共に使用時に両チャンネル共に強制終了する手順



備考 n = 0, 1

5.3.2 転送回数完了による自動終了の場合

同一チャンネルへの連続する転送トリガ間隔は, 最大応答時間+2クロック以上に設定してください。よって, 項目 4 の誤記訂正で追加された注意事項に従うことにより, 本制限事項にも該当いたしません。

6. DMA コントローラの DWAITn ビットによる DMA 転送の保留に関する制限

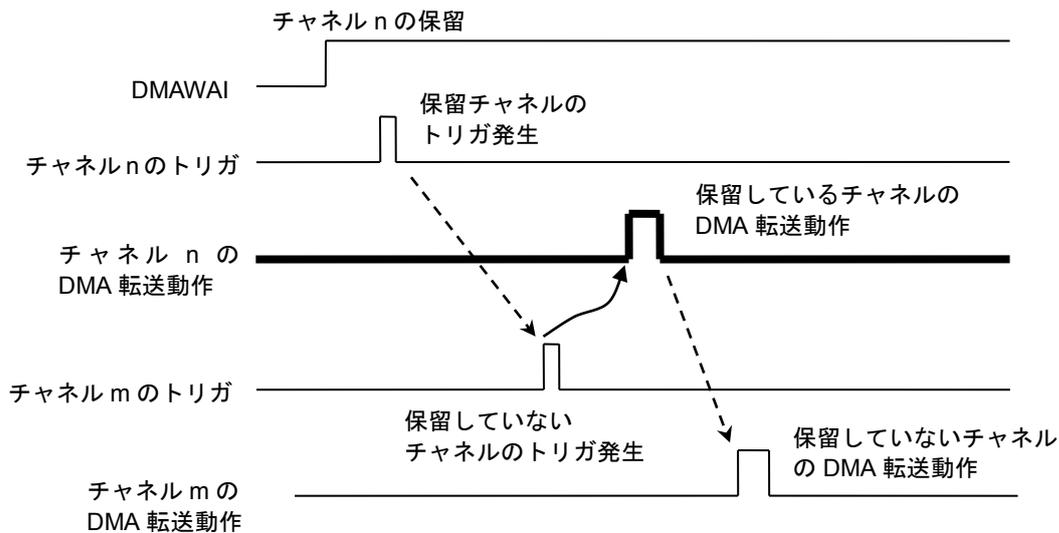
DMA のチャンネル 0、チャンネル 1 を同時に使用している場合、片方の DMA を保留にした後(DMCn の DWAITn ビットをセット)、その保留中に保留したチャンネルの転送トリガが発生し、それ以降に保留していないチャンネルの転送トリガが発生すると、保留したチャンネルの DMA 転送が実行される場合があります。

6.1 制限事項の対象となる使用方法

DMA のチャンネル 0、チャンネル 1 の両チャンネルを共に使用している時に、チャンネル n を DMCn レジスタの DWAITn ビットをセットして保留にした後、その保留中に保留したチャンネル n の転送トリガが発生し、それ以降に保留していないチャンネル m の転送トリガが発生した場合です。チャンネル n の転送トリガとチャンネル m の転送トリガに同一 DMA 起動要因を設定した場合や、同時に発生した場合も対象となります。両チャンネルを共に保留している場合は対象外となります。

6.2 現象

上記の対象となる使用方法での保留していないチャンネル m の転送トリガが発生後に、保留しているチャンネル n の DMA 転送が実行されることがあります。その後にチャンネル m の DMA 転送も実行されます。本来であれば、チャンネル m の DMA 転送だけが実行され、チャンネル n の DMA 転送は保留される動作となります。



備考 (n,m)=(0,1)or(1,0)

6.3 対策（使用制限）

DMA のチャンネル 0、チャンネル 1 の両チャンネルを共に使用している時に、DMCn レジスタの DWAITn ビットをセットし保留する場合は、両チャンネル共に DWAITn ビットをセットして DMA 転送を保留してください。

備考 n = 0, 1

以上

制限事項履歴

		従来規格品	拡張規格品	
項目	内容	KE3 : μ PD78F1142 / F1143 / F1144 / F1145 / F1146 KF3 : μ PD78F1152 / F1153 / F1154 / F1155 / F1156 KG3 : μ PD78F1162 / F1163 / F1164 / F1165 / F1166 / F1167 / F1168 KH3 : μ PD78F1174 / F1175 / F1176 / F1177 / F1178	KE3 : μ PD78F1142A / F1143A / F1144A / F1145A / F1146A KF3 : μ PD78F1152A / F1153A / F1154A / F1155A / F1156A	KG3 : μ PD78F1162A / F1163A / F1164A / F1165A / F1166A / F1167A / F1168A KH3 : μ PD78F1174A / F1175A / F1176A / F1177A / F1178A KJ3 : μ PD78F1184A / F1185A / F1186A / F1187A / F1188A
1	78K0R/Kx3 P50,P51 ポート機能の制限事項	○	○	×
2	クロック出力/ブザー出力制御回路出力停止時の出力レベルに関する制限	×	○	○
3	リアルタイム・カウンタ(RTC)の定周期割り込みとアラーム割り込みの同時使用に関する制限	×	○	○
4	リアルタイム・カウンタ(RTC)のカウンタ動作停止後の年/月/曜日/日/時/分/秒カウント・レジスタに関する制限	×	○	○
5	DMA コントローラの終了に関する制限事項	×	×	×
6	DMA コントローラの DWAITn ビットによる DMA 転送の保留に関する制限事項	×	×	×

備考) 各記号はそれぞれ以下の意味を示します。

- × : 制限事項対象
- : 制限事項対象外