

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

# RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル  
 株式会社 ルネサス テクノロジ  
 問合せ窓口 E-mail: support\_apl@renesas.com

製品分類	MPU&MCU	発行番号	TN-32R-068A/JA	Rev.	第 1 版
題名	32172/32173 グループユーザーズマニュアル正誤表 (Rev. E)		情報分類	ドキュメント訂正追加等	
適用製品	32172/32173 グループ	対象ロット等	関連資料	32172/32173 グループ ユーザーズマニュアル	

2001 年 11 月に発行されました「32172/32173 グループユーザーズマニュアルRev. 1.2」に、内容の訂正がありましたのでお知らせいたします。

32172/32173 グループユーザーズマニュアルRev. 1.2 をご利用の際は、添付の正誤表をご使用ください。

なお、添付の正誤表 (Rev. E) には、同マニュアルの正誤表 (Rev. A)、正誤表 (Rev. B)、正誤表 (Rev. C) および正誤表 (Rev. D) の内容も記載しています。

- ・ [ TECHNICAL NEWS No. M32R-37-0202 ] : 正誤表 (Rev. A)
- ・ [ TECHNICAL NEWS No. M32R-38-0204 ] : 正誤表 (Rev. B)
- ・ [ TECHNICAL NEWS No. M32R-42-0206 ] : 正誤表 (Rev. C)
- ・ [ TECHNICAL UPDATE No. TN-M32R-062A/JA ] : 正誤表 (Rev. D)

添付資料：32172/32173 グループユーザーズマニュアル正誤表 (Rev. E) ...28枚

	ページ	箇所	内容
Rev. D で追加	全章	未配置 ビットの 処理	(誤) 何も配置されていません 書き込み時の条件：書き込み無効
			(正) 何も配置されていません。"0"に固定してください。 書き込み時の条件：常に0を書き込む
Rev. E で追加	4-5	4.3 EIT の 処理手順	追加 下線部分を追加。  ハードウェア後処理では、バックアップレジスタ(BPCレジスタ、PSWレジスタのBPSWフィールド)の内容を、PC、PSWレジスタへ戻します。 <u>なお、「RTE命令」実行後のBPC、PSWレジスタのBPSWフィールドの値は不定です。</u>
Rev.B で追加	5-7	注意書き	(誤) 注意  EITハンドラ(PSWレジスタのIEビットが禁止状態)以外での、割り込みベクタレジスタ(IVECT)の読み出しは行わないでください。またEITハンドラでは、割り込みマスクレジスタ(IMASK)を読み出した後にIVECTレジスタを読み出してください。
			(正) 注意  EITハンドラ内でPSWレジスタのIEビットが禁止状態以外では、割り込みベクタレジスタ(IVECT)の読み出しは行わないでください。またEITハンドラでは、割り込みマスクレジスタ(IMASK)を読み出した後にIVECTレジスタを読み出してください。
Rev. E で追加			追加 ・割り込みベクタレジスタ(IVECT)の読み出し後、割り込み許可(IEビットへの"1"書き込み)する場合には、内蔵メモリ等へのダミーアクセス後に許可してください。 (EITハンドラ処理例のICUベクタテーブルの読み出しは内蔵ROMへのアクセスとなりますので、ダミーアクセスを追加する必要はありません。)
Rev.B で追加	5-8	注意書き	(誤) 注意  EITハンドラ(PSWレジスタのIEビットが禁止状態)以外での、割り込みマスクレジスタ(IMASK)への書き込みは行わないでください。
			(正) 注意  EITハンドラ内でPSWレジスタのIEビットが禁止状態以外では、割り込みマスクレジスタ(IMASK)への書き込みは行わないでください。
Rev. E で追加			追加 ・割り込み要求マスクレジスタ(IMASK)への書き込み後、割り込みを許可(IEビットへの"1"書き込み)する場合には、以下の処理順で実行してください。 (1) 割り込み要求マスクレジスタ(IMASK)への書き込み (2) 内蔵メモリ、SFR等への1回以上のダミーアクセス (3) 1個以上の命令(注1) (4) 割り込みを許可(IEビットへの"1"書き込み)  注1. クロックサイクルを消費しないNOP(アセンブラがアライメント調整のために自動挿入するNOP:命令コードH'F000)以外の命令。

	ページ	箇所		内容
Rev. D で追加	5-11	ICU IREQビット の注釈	追加	<p>割り込み制御レジスタ IREQ (割り込み要求) ビットの注釈に以下を追記。</p> <p>注. ・IREQ ビットをクリアしても、CPU コアへの割り込み要求(EI)は、クリアされません。CPU コアへの割り込み要求(EI)は、次の動作によってのみクリアされます。</p> <ul style="list-style-type: none"> <li>( 1 ) リセット</li> <li>( 2 ) IVECT レジスタの読み出し</li> <li>( 3 ) IMASK レジスタへの書き込み</li> </ul>
Rev. D で追加	5-12	図 5.3.3, 図 5.3.4	差し替え	<div data-bbox="592 510 1481 846" style="border: 1px solid black; padding: 5px;"> </div> <p>図5.3.3 割り込み制御レジスタ構成 (エッジタイプ)</p> <div data-bbox="592 936 1481 1272" style="border: 1px solid black; padding: 5px;"> </div> <p>図5.3.4 割り込み制御レジスタ構成 (レベルタイプ)</p>

Rev. E  
で追加

ページ	箇所	内容
5-20	ページ 差し替え	<div style="text-align: right;"> <p><b>割り込みコントローラ( ICU )</b> 5.5 割り込み動作説明</p> </div> <hr/> <p><b>5</b></p> <p>5.5.2 内蔵周辺I/Oの割り込みハンドラ処理</p> <p>(1)割り込みハンドラへの分岐</p> <p>CPUが割り込み要求を受け付けると、「4.3 EITの処理手順」に示すとおり、ハードウェア前処理を行った後、EITベクタエントリへ分岐します。外部割り込み( EI )に割り当てられたEITベクタエントリは、H'0000 0080番地で、ここには外部割り込み要求に対する割り込みハンドラプログラムの先頭への分岐命令(分岐先アドレスではないことに注意)を書きます。</p> <p>(2)外部割り込み( EI )ハンドラ処理</p> <p>外部割り込み( EI )ハンドラ(内蔵周辺I/Oからの割り込み)の動作例を図5.5.2に示します。</p> <p>[1]各レジスタのスタックへの退避 BPC、PSW、および汎用レジスタをスタックに退避してください。また、必要に応じてアキュムレータを退避してください。</p> <p>[2]割り込みマスクレジスタ( IMASK )読み出しとスタック退避 割り込みマスクレジスタを読み出してスタックに退避します。</p> <p>[3]割り込みベクタレジスタ( IVECT )読み出し 割り込みベクタレジスタを読み出します。割り込みベクタレジスタは、割り込み要求受付時に、受け付けた割り込み要求要因のICUベクタテーブルのアドレス下位16ビットが格納されるレジスタです。この割り込みベクタレジスタ読み出しにより、以下の処理がハードウェアで自動的に行われます。</p> <ul style="list-style-type: none"> <li>•受け付けた割り込み要求要因の割り込み優先レベル( ILEVEL )を、新しいIMASK値としてIMASKレジスタにセット(受け付けた割り込み要求要因より低い割り込み優先レベルの割り込みをマスク)</li> <li>•受け付けた割り込み要求要因をクリア(レベルタイプの割り込み要求要因はクリアされません)</li> <li>•CPUコアへの割り込み要求( EI )を解除</li> <li>•ICU内部のシーケンサを起動し、内部処理(割り込み優先度判定)を開始</li> </ul> <p>[4]割り込み要求マスクレジスタ( IMASK )の読み出しと上書き 割り込み要求マスクレジスタを読み出し、読み出した値で上書きします。この書き込みにより、以下の処理がハードウェアで自動的に行われます。</p> <ul style="list-style-type: none"> <li>•CPUコアへの割り込み要求( EI )を解除</li> <li>•ICU内部のシーケンサを起動し、内部処理(割り込み優先度判定)を開始</li> </ul> <p>[5]ICUベクタテーブルの読み出し 受け付けた割り込み要求要因のICUベクタテーブルを読み出します。該当するICUベクタテーブルのアドレスは、[3]で読み出した割り込みベクタレジスタの内容(受け付けた割り込み要求要因のICUベクタテーブルのアドレス下位16ビット)をゼロ拡張することで得られます。ICUベクタテーブルには該当割り込み要求要因の割り込みハンドラ先頭番地を記述しておきます。</p> <p>[6]多重割り込みの許可 割り込みの処理中にさらに優先レベルの高い割り込みを許可(多重割り込みの許可)する場合には、PSWのIEビットを"1"にセットします。</p> <p>注：割り込み要求マスクレジスタ( IMASK )への書き込み後、割り込み許可( IEビットへの"1"書き込み)する場合には、注意事項があります。詳細については、「5.2.2 割り込み要求マスクレジスタ」を参照してください。</p> <p>[7]各内蔵周辺I/Oの割り込みハンドラへの分岐 [5]で読み出した割り込みハンドラ先頭番地へ分岐します。</p> <p>[8]各内蔵周辺I/Oの割り込みハンドラ処理</p> <hr/> <p style="text-align: center;">5-20a</p>

Rev. E  
で追加

ページ	箇所	内容
5-20	ページ 差し替え	<div style="text-align: right;"> <p><b>割り込みコントローラ( ICU )</b> 5.5 割り込み動作説明</p> </div> <hr/> <p style="font-size: 2em; font-weight: bold; margin-left: 20px;">5</p> <p>[ 9 ] 割り込みの禁止 PSWのIEビットを"0"にクリアして、割り込みを禁止します。</p> <p>[ 10 ] 割り込みマスクレジスタ(IMASK)の復帰 [ 2 ]で退避した割り込みマスクレジスタを復帰します。</p> <p>[ 11 ] スタックからの各レジスタの復帰 [ 1 ]で退避したレジスタを復帰します。</p> <p>[ 12 ] 外部割り込み処理の完了 RTE命令を実行し、外部割り込み処理を完了します。プログラムは現在処理中の割り込み要求を受け付けられる前の状態に戻ります。</p> <p>( 3 ) 割り込み要求発生元の特定 各内蔵周辺I/Oで割り込み要求に複数の要因がある場合は、各内蔵周辺I/Oの割り込み要求ステータスレジスタで、要因を特定してください。</p> <p>( 4 ) 多重割り込みの許可 割り込みハンドラ内で多重割り込みを許可する場合は、PSWのIE(割り込みイネーブル)ビットに"1"をセットして、割り込み要求の受付を許可してください。ただし、IEに"1"を書き込む前に、必ず各レジスタ(BPC、PSW、汎用レジスタおよびIMASK)をスタックに退避してください。</p> <p>注：・多重割り込みの許可は、「図5.5.2 内蔵周辺I/Oからの割り込み動作例」に示すように、割り込みベクタレジスタ(IVECT)読み出し後、ICUベクタテーブルを読み出してから行ってください。</p> <hr style="width: 50%; margin-left: auto; margin-right: auto;"/> <p style="text-align: center;">5-20b</p>

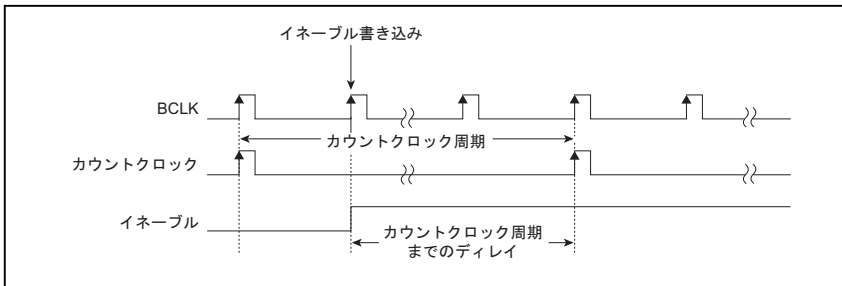
Rev. E  
で追加

ページ	箇所	内容
5-21	ページ 差し替え	<div style="text-align: right; margin-bottom: 10px;">                     割り込みコントローラ( ICU )                      5.5 割り込み動作説明                 </div> <div style="text-align: center; font-size: 2em; margin-bottom: 10px;">5</div> <p>注1. EIT受付/復帰時の動作については、「4.3 EITの処理手順」をあわせて参照してください。</p> <p>注2. 割り込みベクタレジスタ (IVECT) の読み出しと、割り込みマスクレジスタ (IMASK) への書き込みは、EITハンドラ内の割り込み禁止期間で行ってください。</p> <p>注3. 多重割り込みを許可する場合には、[6]と[9]の処理を実行してください。</p> <p>注4. 割り込みベクタレジスタ (IVECT) の読み出し後に、割り込みを許可 (IEビットへの"1"書き込み) する場合は、内蔵メモリ等へのダミーアクセス後に許可してください。本例では、IVECTの読み出し後にICUベクタテーブルの読み出しを行うため、ダミーアクセスを追加する必要はありません。また、割り込みマスクレジスタ (IMASK) の書き込み後に、割り込みを許可 (IEビットへの"1"書き込み) する場合は、注意事項があります。詳細については、「5.3.2 割り込み要求マスクレジスタ」を参照してください。</p>

図5.5.2 内蔵周辺I/Oからの割り込み動作例

ページ	箇所		内容
Rev. E で追加	6-45	図6.7.9	<p>「図6.7.9 擬似フラッシュエミュレーションモード移行シーケンス」を以下のように訂正。</p> <div style="text-align: center;"> <pre> graph TD     A([設定開始]) --&gt; B[RAMへのフラッシュデータ 書き込み]     B --&gt; C["擬似フラッシュバンクレジスタ へRAM配置アドレスの設定 LBANKAD アドレスA12-A18 SBANKAD アドレスA12-A19"]     C --&gt; D["擬似フラッシュ エミュレーションの許可 MODENL 1 MODENS 1"]     D --&gt; E["擬似フラッシュ エミュレーションモードに移行 FEMMOD 1"]     E --&gt; F([設定終了])                     </pre> </div>
			(正)
Rev. E で追加	6-52	6-10 フラッシュメモリ書き換え時の注意事項	<p>フラッシュメモリ書き換え時の注意事項に以下を追加。</p> <ul style="list-style-type: none"> <li>・JTAG 経由で書き込み/消去時には、FP 端子の制御をチップ内部で行いますので、端子状態に関係なくフラッシュメモリの書き込み/消去が可能です。</li> </ul>



	ページ	箇所	内容				
Rev. E で追加	7-3	表7.3.1	<p>「表7.3.1 リセット解除後の内部状態」に以下を追加。</p> <table border="1"> <tr> <td>レジスタ</td> <td>リセット解除後の状態</td> </tr> <tr> <td>R0 ~ R15</td> <td>不定</td> </tr> </table>	レジスタ	リセット解除後の状態	R0 ~ R15	不定
レジスタ	リセット解除後の状態						
R0 ~ R15	不定						
Rev. E で追加	8-30	ポート入力機能許可レジスタ	<p>ポート入力機能許可レジスタの説明に以下を追加。</p> <p>周辺入力機能を選択する場合の設定順序を以下に示します。</p> <ol style="list-style-type: none"> <li>1) 端子レベル確定後にポート入力許可</li> <li>2) ポート動作モードによる機能選択</li> </ol>				
Rev. E で追加	8-39	8.5 入出力ポートの注意事項	<p>入出力ポートの注意事項に以下を追加。</p> <ul style="list-style-type: none"> <li>・ポート入力禁止機能について リセット後は入力禁止になっているため、入力機能を使用するためには、ポート入力機能許可ビットを"1"にして入力許可に設定する必要があります。ポート入力禁止時には、端子に"L"レベルが入力されているのと等価の状態になっています。そのため、入力禁止時にポート動作モードレジスタで周辺入力機能を選択すると、"L"レベル入力により意図しない動作となる場合があります。</li> </ul>				
Rev. E で追加	9-33	9.2.6 DMA転送カウントレジスタ	<p>DMA転送カウントレジスタの説明に以下を追加。</p> <p>転送許可状態では、ハードウェア的にプロテクトされているためデータの書き込みはできません。</p> <p>リングバッファモードではフリーランダウンカウントとなります。転送禁止になるまで継続します。また、アンダフローによる割り込みは発生しません。</p>				
Rev. E で追加	10-10	プリスケアラレジスタ	<p>プリスケアラレジスタの説明に以下を追加。</p> <p>プリスケアラレジスタを動作中に読み出すと、カウント動作中の値ではなく書き込んだ値を読み出します。</p>				
Rev. E で追加	10-44, 10-53, 10-62	10.3.2 TMSの動作概要、10.4.2 TMLの動作概要、および10.5.1 TID概要	<p>&lt; カウントクロック分のディレイ &gt;</p> <ul style="list-style-type: none"> <li>・タイマ動作はカウントクロックに同期しているため、イネーブルからタイマ動作開始までにカウントクロック分のディレイを含みます。</li> </ul>  <p>図10.a.b カウントクロックのディレイ</p>				

Rev. E  
で追加

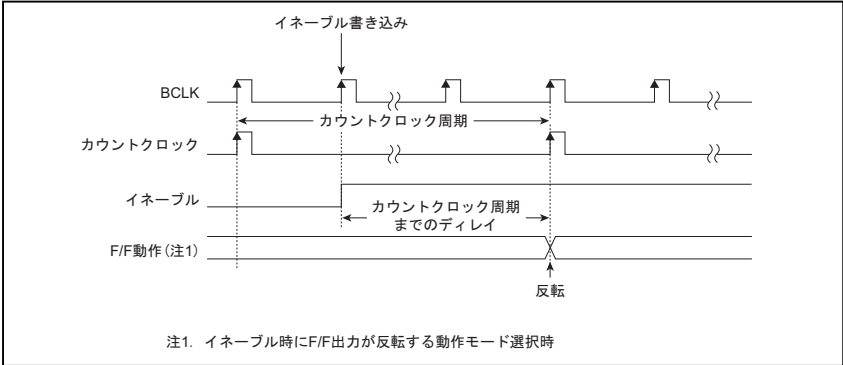
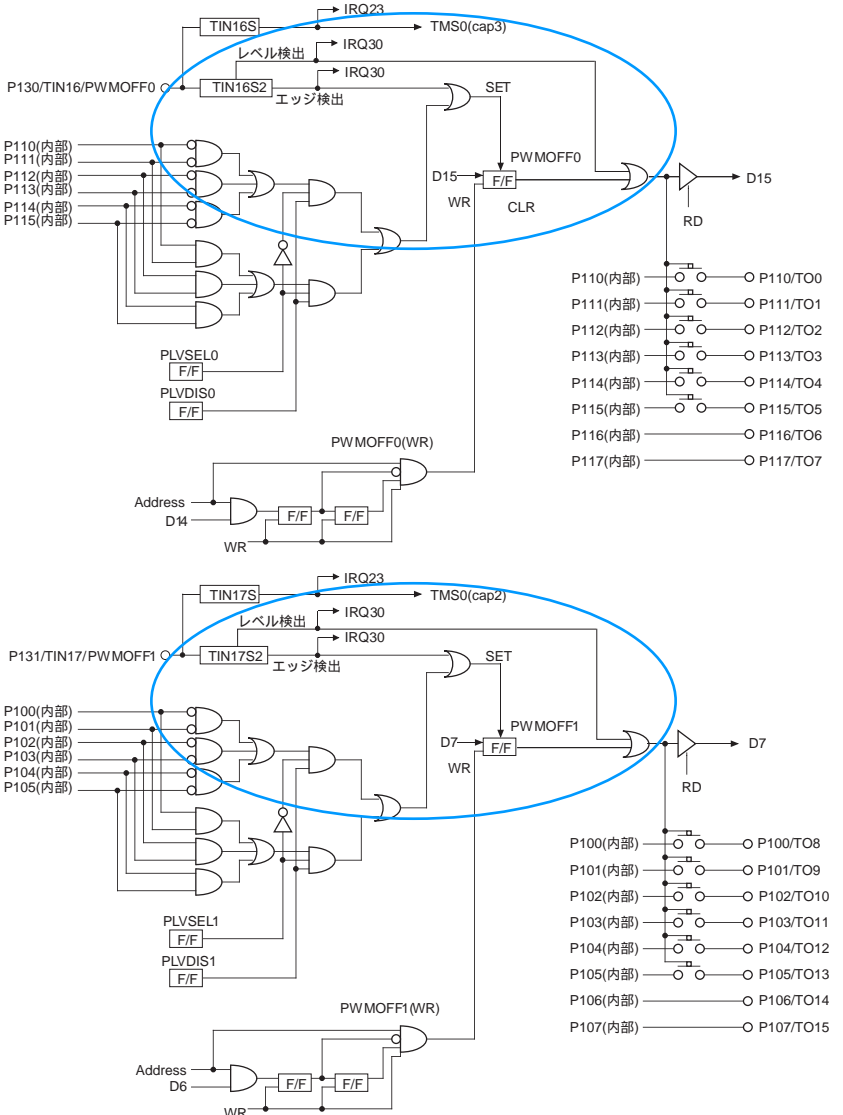
ページ	箇所	追加	内容
10-78	TOM各モードの概要	追加	<p>&lt; カウントクロック分のディレイ &gt;</p> <ul style="list-style-type: none"> <li>・ タイマ動作はカウントクロックに同期しているため、イネーブルからタイマ動作開始までにカウントクロック分のディレイを含みます。イネーブル時に F/F 出力が反転する動作モードの場合は、F/F 出力もカウントクロックに同期して反転します。</li> </ul>  <p>注1. イネーブル時にF/F出力が反転する動作モード選択時</p>

図 10.6.2a カウントクロック分のディレイ

Rev. E  
で追加

ページ	箇所	訂正	内容
10-113	図10.6.15	訂正	<p>「図10.6.15 PWM出力禁止機能の回路構成」を下記のように訂正。</p> 

	ページ	箇所	内容
Rev. E で追加	10-114	TOM出力 禁止機能	<p>(1) 外部端子 (TIN16、TIN17) から入力された信号による PWM 出力禁止の説明に以下を追加。</p> <p>追加</p> <p>TIN 入力処理制御レジスタ 4 (TINCR4) の TIN16 "PWMOFF0" 選択ビット (TIN16S2)、TIN17 "PWMOFF1" 選択ビット (TIN17S2) で、立ち上がりエッジ、立ち下がりエッジ、両エッジを選択した場合          外部端子 (TIN16/PWMOFF0、TIN17/PWMOFF1) でのエッジ検出時に PWM 出力が禁止となります。この時、PWM 出力禁止レジスタ n (PWMOFFn) の PWMOFFnS ビットが "1" にセットされます。          PWM 出力許可状態への復帰は、PWM 出力禁止レジスタ n (PWMOFFn) の PWMOFFnS ビットの "0" クリアによって行います。</p> <p>TIN 入力処理制御レジスタ 4 (TINCR4) の TIN16 "PWMOFF0" 選択ビット (TIN16S2)、TIN17 "PWMOFF1" 選択ビット (TIN17S2) で、L レベル、H レベルを選択した場合          外部端子 (TIN16/PWMOFF0、TIN17/PWMOFF1) への PWM 出力禁止レベル入力期間中、PWM 出力が禁止となります。この時、PWM 出力禁止レジスタ n (PWMOFFn) の PWMOFFnS ビットが "1" にセットされます。          PWM 出力許可状態への復帰は、外部端子 (TIN16/PWMOFF0、TIN17/PWMOFF1) への PWM 出力禁止レベル入力解除によって行われます。この時、PWM 出力禁止レジスタ n (PWMOFFn) の PWMOFFnS ビットからは、最後に書き込みを行った設定値が読み出されます。</p> <p>注：外部端子 (TIN16/PWMOFF0、TIN17/PWMOFF1) への PWM 出力禁止レベル入力時に、PWM 出力禁止レジスタ n (PWMOFFn) の PWMOFFnS ビットへの書き込みを行った場合、書き込んだ値はレジスタに格納されます。ただし、読み出しを行った場合は、"1" が読み出されます。その後、外部端子への PWM 出力禁止レベル入力が解除されると PWMOFFnS ビット設定内容の読み出しが可能となり、その設定値に従い PWM 出力が制御されます。</p> <p>(2) ポート P100 ~ P105 および P110 から P115 の端子レベルによる PWM 出力禁止の説明に以下を追加。</p> <p>追加</p> <p>ポート P100/T08 ~ P105/T013、P110/T00 ~ P115/T05 からの PWM 出力禁止レベル検出後、PWM 出力が禁止となります。PWM 出力禁止時、PWM 出力禁止レジスタ n (PWMOFFn) の PWMOFFnS ビットが "1" にセットされます。          PWM 出力許可状態への復帰は、ポート P100/T08 ~ P105/T013、P110/T00 ~ P115/T05 からの PWM 出力禁止レベル解除後、PWM 出力禁止レジスタ n (PWMOFFn) の PWMOFFnS ビットの "0" クリアによって行います。</p> <p>注：ポート P100/T08 ~ P105/T013、P110/T00 ~ P115/T05 からの PWM 出力禁止レベル出力時に、PWM 出力禁止レジスタ n (PWMOFFn) の PWMOFFnS ビットへの書き込みを行った場合、そのときの書き込み動作は無効となります。</p>
Rev. E で追加	10-115	TOM出力 禁止機能	<p>(3) ポート出力禁止レジスタ(PWMOFF0, PWMOFF1)によるPWM出力の説明に以下を追加。</p> <p>追加</p> <p>PWM出力許可状態への復帰は、上記に記載した設定手順 の段階でPWM出力禁止レジスタn (PWMOFFn) のPWMOFFnSビットを"0" クリアすることにより行います。</p>

	ページ	箇所	内容
Rev. D で追加	12-3	表12.1.1	<p>制約事項解除による最大ボーレートの訂正。</p> <p>(誤) ボーレート                      CSIOモード 152ビット/秒 ~ 2Mビット/秒 (f(BCLK = 20MHz 動作時))                      UARTモード 19ビット/秒 ~ <u>156Kビット/秒</u> (f(BCLK = 20MHz 動作時))</p>
			<p>(正) ボーレート                      CSIOモード 152ビット/秒 ~ 2Mビット/秒 (f(BCLK = 20MHz 動作時))                      UARTモード 19ビット/秒 ~ <u>1.25Mビット/秒</u> (f(BCLK = 20MHz 動作時))</p>
Rev. D で追加	12-30, 12-48, 12-52, 12-59, 12-66	UART 使用時 BRG 設定値 制約事項 (解除)	<p>UART 使用時の BRG(ボーレート)レジスタの設定値、制約事項の解除。</p> <p>(誤) UART モードの時には BRG が 7 以上となるように設定してください。</p> <p>ボーレートジェネレータカウントソースとして 1 分周値( f(BCLK)そのもの ) を選択した場合、ボーレートレジスタには 7 以上の値を設定してください。</p> <p>BRG カウントソース (CDVI) で f(BCLK) を選択した場合、ボーレートレジスタ設定値は 7 以上という制限があります。</p> <p>クロックデバイダ分周比 1 を選択した場合、ボーレートレジスタ設定値は 7 以上という制限があります。</p> <p>BRG クロックソース選択ビットで f(BCLK)を選択した場合は、BRG レジスタには 7 以上の値を設定してください。</p>
			<p>(正) &lt;削除&gt;</p>

Rev. A  
で追加

ページ	箇所	内容																																																																																																																																																																														
13-24	表 13.2.1	<p>表13.2.1中のボーレート = 500kbps時のサンプリングポイントを訂正。 (□で囲んだ箇所を訂正)</p> <p>(誤) 表13.2.1 CPUクロック：40MHz時のビットタイミング設定例</p> <table border="1"> <thead> <tr> <th>ボーレート</th> <th>BRP設定値</th> <th>Tq周期(ns)</th> <th>1ビットのTq数</th> <th>PROP+PH1</th> <th>PH2</th> <th>サンプリングポイント</th> </tr> </thead> <tbody> <tr> <td rowspan="5">1M bps</td> <td>3</td> <td>100</td> <td>10</td> <td>7</td> <td>2</td> <td>80%</td> </tr> <tr> <td>3</td> <td>100</td> <td>10</td> <td>6</td> <td>3</td> <td>70%</td> </tr> <tr> <td>3</td> <td>100</td> <td>10</td> <td>5</td> <td>4</td> <td>60%</td> </tr> <tr> <td>4</td> <td>125</td> <td>8</td> <td>5</td> <td>2</td> <td>75%</td> </tr> <tr> <td>4</td> <td>125</td> <td>8</td> <td>4</td> <td>3</td> <td>63%</td> </tr> <tr> <td rowspan="8">500k bps</td> <td>4</td> <td>125</td> <td>16</td> <td>13</td> <td>2</td> <td>80%</td> </tr> <tr> <td>4</td> <td>125</td> <td>16</td> <td>12</td> <td>3</td> <td>70%</td> </tr> <tr> <td>4</td> <td>125</td> <td>16</td> <td>11</td> <td>4</td> <td>60%</td> </tr> <tr> <td>7</td> <td>200</td> <td>10</td> <td>7</td> <td>2</td> <td>75%</td> </tr> <tr> <td>7</td> <td>200</td> <td>10</td> <td>6</td> <td>3</td> <td>63%</td> </tr> <tr> <td>7</td> <td>200</td> <td>10</td> <td>5</td> <td>4</td> <td>63%</td> </tr> <tr> <td>9</td> <td>250</td> <td>8</td> <td>5</td> <td>2</td> <td>63%</td> </tr> <tr> <td>9</td> <td>250</td> <td>8</td> <td>4</td> <td>3</td> <td>63%</td> </tr> </tbody> </table> <hr/> <p>(正) 表13.2.1 CPUクロック：40MHz時のビットタイミング設定例</p> <table border="1"> <thead> <tr> <th>ボーレート</th> <th>BRP設定値</th> <th>Tq周期(ns)</th> <th>1ビットのTq数</th> <th>PROP+PH1</th> <th>PH2</th> <th>サンプリングポイント</th> </tr> </thead> <tbody> <tr> <td rowspan="5">1M bps</td> <td>3</td> <td>100</td> <td>10</td> <td>7</td> <td>2</td> <td>80%</td> </tr> <tr> <td>3</td> <td>100</td> <td>10</td> <td>6</td> <td>3</td> <td>70%</td> </tr> <tr> <td>3</td> <td>100</td> <td>10</td> <td>5</td> <td>4</td> <td>60%</td> </tr> <tr> <td>4</td> <td>125</td> <td>8</td> <td>5</td> <td>2</td> <td>75%</td> </tr> <tr> <td>4</td> <td>125</td> <td>8</td> <td>4</td> <td>3</td> <td>63%</td> </tr> <tr> <td rowspan="8">500k bps</td> <td>4</td> <td>125</td> <td>16</td> <td>13</td> <td>2</td> <td>88%</td> </tr> <tr> <td>4</td> <td>125</td> <td>16</td> <td>12</td> <td>3</td> <td>81%</td> </tr> <tr> <td>4</td> <td>125</td> <td>16</td> <td>11</td> <td>4</td> <td>75%</td> </tr> <tr> <td>7</td> <td>200</td> <td>10</td> <td>7</td> <td>2</td> <td>80%</td> </tr> <tr> <td>7</td> <td>200</td> <td>10</td> <td>6</td> <td>3</td> <td>70%</td> </tr> <tr> <td>7</td> <td>200</td> <td>10</td> <td>5</td> <td>4</td> <td>60%</td> </tr> <tr> <td>9</td> <td>250</td> <td>8</td> <td>5</td> <td>2</td> <td>75%</td> </tr> <tr> <td>9</td> <td>250</td> <td>8</td> <td>4</td> <td>3</td> <td>63%</td> </tr> </tbody> </table>	ボーレート	BRP設定値	Tq周期(ns)	1ビットのTq数	PROP+PH1	PH2	サンプリングポイント	1M bps	3	100	10	7	2	80%	3	100	10	6	3	70%	3	100	10	5	4	60%	4	125	8	5	2	75%	4	125	8	4	3	63%	500k bps	4	125	16	13	2	80%	4	125	16	12	3	70%	4	125	16	11	4	60%	7	200	10	7	2	75%	7	200	10	6	3	63%	7	200	10	5	4	63%	9	250	8	5	2	63%	9	250	8	4	3	63%	ボーレート	BRP設定値	Tq周期(ns)	1ビットのTq数	PROP+PH1	PH2	サンプリングポイント	1M bps	3	100	10	7	2	80%	3	100	10	6	3	70%	3	100	10	5	4	60%	4	125	8	5	2	75%	4	125	8	4	3	63%	500k bps	4	125	16	13	2	88%	4	125	16	12	3	81%	4	125	16	11	4	75%	7	200	10	7	2	80%	7	200	10	6	3	70%	7	200	10	5	4	60%	9	250	8	5	2	75%	9	250	8	4	3	63%
ボーレート	BRP設定値	Tq周期(ns)	1ビットのTq数	PROP+PH1	PH2	サンプリングポイント																																																																																																																																																																										
1M bps	3	100	10	7	2	80%																																																																																																																																																																										
	3	100	10	6	3	70%																																																																																																																																																																										
	3	100	10	5	4	60%																																																																																																																																																																										
	4	125	8	5	2	75%																																																																																																																																																																										
	4	125	8	4	3	63%																																																																																																																																																																										
500k bps	4	125	16	13	2	80%																																																																																																																																																																										
	4	125	16	12	3	70%																																																																																																																																																																										
	4	125	16	11	4	60%																																																																																																																																																																										
	7	200	10	7	2	75%																																																																																																																																																																										
	7	200	10	6	3	63%																																																																																																																																																																										
	7	200	10	5	4	63%																																																																																																																																																																										
	9	250	8	5	2	63%																																																																																																																																																																										
	9	250	8	4	3	63%																																																																																																																																																																										
ボーレート	BRP設定値	Tq周期(ns)	1ビットのTq数	PROP+PH1	PH2	サンプリングポイント																																																																																																																																																																										
1M bps	3	100	10	7	2	80%																																																																																																																																																																										
	3	100	10	6	3	70%																																																																																																																																																																										
	3	100	10	5	4	60%																																																																																																																																																																										
	4	125	8	5	2	75%																																																																																																																																																																										
	4	125	8	4	3	63%																																																																																																																																																																										
500k bps	4	125	16	13	2	88%																																																																																																																																																																										
	4	125	16	12	3	81%																																																																																																																																																																										
	4	125	16	11	4	75%																																																																																																																																																																										
	7	200	10	7	2	80%																																																																																																																																																																										
	7	200	10	6	3	70%																																																																																																																																																																										
	7	200	10	5	4	60%																																																																																																																																																																										
	9	250	8	5	2	75%																																																																																																																																																																										
	9	250	8	4	3	63%																																																																																																																																																																										

	ページ	箇所	内容
Rev. E で追加	13-14	CANコント ロールレジ スタ(CANx CNT)の FRSTビット	追加  (4) FRSTビットの注意書きに以下を追加。  注4 .FRST ビットを "1" にセットし、プロトコル制御部がリセット状態になると、CAN タイムスタンプカウンタレジスタと CAN 送受信エラーカウンタは "0" に初期化されます。
Rev. E で追加	13-48	CANメッセ ージコント ロールレジ スタ (CxMSLxC NT)のTRFIN ビット	追加  (8) TRFINビットの注意書きに以下を追加。  13. リモートフレーム送受信時は、TRFIN ビットはハードウェアにより自動的にクリア動作が行われます。TRFIN ビットを送受信完了フラグとして使用できません。
Rev. E で追加	13-80	13.3 CANプ ロトコル	追加  CANプロトコルの説明に以下を追加。  図13.3.2a CAN送受信時のデータフォーマット  図13.3.2aに、CANで使用可能な送受信転送データフォーマット例を示します。送受信はCANメッセージスロット (COMSLnSID0 ~ COMSLnDT7, C1MSLnSID0 ~ C1MSLnDT7) のMSB側から順に行われます。  <div data-bbox="603 918 1481 1355" data-label="Diagram"> <p>The diagram illustrates the CAN data format. It is divided into two main sections: the Arbitration Field and the Data Field. The Arbitration Field starts with the SOF (Start of Frame) bit, followed by the SID (Standard Identifier) bits (SID0, SID1, SID2, SID3). The Data Field follows, starting with the MSB (Most Significant Bit) and containing data bits b0, b1, b2, b3, and b4. The diagram uses arrows to indicate the direction of data flow and bit positions.</p> </div>

図13.3.2a CAN送受信転送データフォーマット例

Rev. E  
で追加

ページ	箇所	内容
13-108	CANモジュールの注意事項	<div style="text-align: right;"> <p>CANモジュール</p> <p>13.9 CANモジュールの注意事項</p> </div> <h2 style="text-align: center;">13</h2> <h3>13.9 CANモジュールの注意事項</h3> <ul style="list-style-type: none"> <li>・リモートフレーム送受信キャンセルについて</li> </ul> <p>リモートフレーム送信アボート、リモートフレーム受信キャンセルを行う際には、CANメッセージロットコントロールレジスタにH'00またはH'0Fを書き込んだ後、RA(リモートアクティブ)ビットが"0"にクリアされたことを確認してください。</p> <p>(1)リモートフレーム送信アボート時</p> <div style="border: 1px solid black; padding: 10px; margin: 10px 0;"> <pre> graph TD     Start([送信アボート 処理開始]) --&gt; Write[CANメッセージロット コントロールレジスタ にH'00またはH'0Fを 書き込み (注1)]     Write --&gt; Read[CANメッセージロット コントロールレジスタ の読み出し]     Read --&gt; Decision{RA(リモートアクティブ) ビット=0?}     Decision -- Yes --&gt; End([送信アボート 処理完了])     Decision -- No --&gt; Write             </pre> <p style="font-size: small;">注1. H'00, H'0Fどちらの書き込みでも問題ありません。</p> </div> <p>図13.9.1 リモートフレーム送信アボート時の処理フロー</p> <p>(2)リモートフレーム受信キャンセル時</p> <div style="border: 1px solid black; padding: 10px; margin: 10px 0;"> <pre> graph TD     Start([受信キャンセル 処理開始]) --&gt; Write[CANメッセージロット コントロールレジスタ にH'00またはH'0Fを 書き込み (注1)]     Write --&gt; Read[CANメッセージロット コントロールレジスタ の読み出し]     Read --&gt; Decision{RA(リモートアクティブ) ビット=0?}     Decision -- Yes --&gt; End([受信キャンセル 処理完了])     Decision -- No --&gt; Write             </pre> <p style="font-size: small;">注1. H'00, H'0Fどちらの書き込みでも問題ありません。</p> </div> <p>図13.9.2 リモートフレーム受信キャンセル時の処理フロー</p>

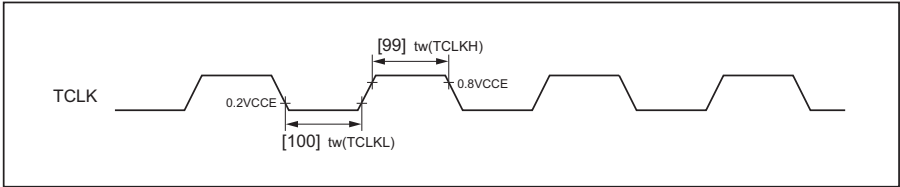
Rev. E  
で追加

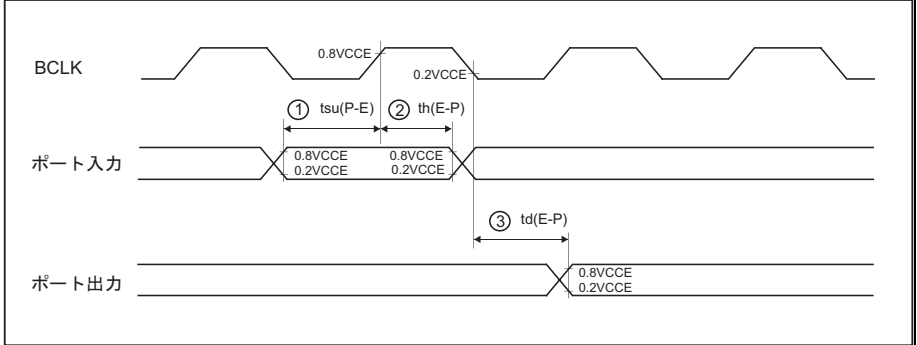
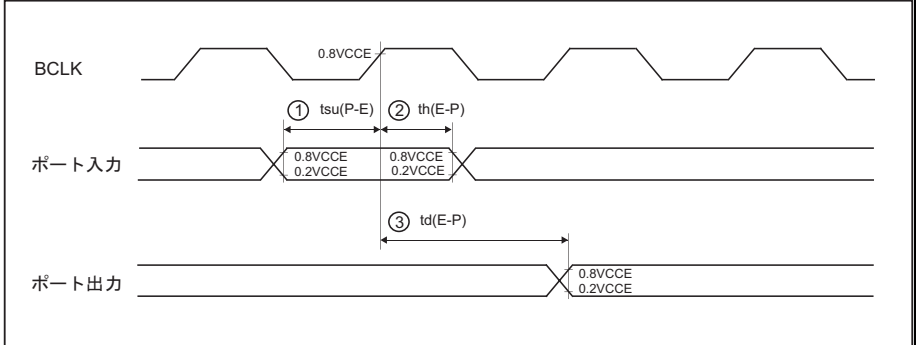
ページ	箇所	内容
17-26	図17.4.5	<p data-bbox="571 183 1337 219">A0がWR信号につながっていたのを、BHE信号につなげるように訂正。</p> <p data-bbox="480 241 536 277">訂正</p> <div data-bbox="587 255 1437 808"> <p data-bbox="667 277 1369 725">             M32172F2              A12, A30, D0, D7, D8, D15, RD, CS0, WR, BHE, BLE, CS1, WAIT              QS32X2245              A18, A1, D7, D0, WR, RD, CS, A0, OE              SRAM              A18, A0, D15, D0, WR, RD, BHE, BLE, CS, WAIT              CL=50pF時2nsデータ遅延のみでメモリ接続可能              8ビットメモリ              max1MB              max1MB              max1MB              H0000 0000              H0004 0000              H000F FFFF              H0010 0000              H0020 0000              H0030 0000              H0040 0000              メモリマッピング              内蔵フラッシュメモリ (256KB)              未使用              外部メモリ領域 (1MB) 8ビットバス領域              外部メモリ領域 (1MB) 16ビットバス領域              ゴースト領域              1M-CS0領域              2M-CS1領域              バスのウェイト数は、1~4に設定可能              通常はポート機能として使用。4ウェイト以上のウェイトが必要な場合にのみWAIT使用              注・QS32X2245は、IDT Company製の製品です。         </p> </div> <p data-bbox="571 819 1481 855">図17.4.5 32172外部拡張メモリ接続例 (BUSMOD = "1"で8/16ビット混在メモリ使用時)</p>



	ページ	箇所	内容																				
Rev. D で追加	23-3, 23-4	推奨動作 条件	(誤)																				
			<記号> IOH(peak) <項目> "H" 尖頭出力電流P0~P11,P14~P22 (注3)																				
			<記号> IOH(avg) <項目> "H" 平均出力電流P0~P11,P14~P22 (注4)																				
			<記号> IOL(peak) <項目> "L" 尖頭出力電流P0~P11,P14~P22 (注3)																				
			<記号> IOL(avg) <項目> "L" 平均出力電流P0~P11,P14~P22 (注4)																				
		(正)	P0~P22																				
Rev. D で追加	23-5, 23-7	DC特性 注釈	(誤)																				
			注3. RESET 端子以外はダブルファンクションとなっています。																				
		(正)	注3. JTMS,JTRST,JTDI,RESET,FP,MOD0,1 端子以外はダブルファンクションとなっています。																				
Rev. D で追加	23-8	RAM保持 電源電流 のグラフ	差し替え 標準サンプルのRAM保持電源電流 (参考値) のグラフを以下のものと差し替え。  標準サンプルのRAM保持電源電流 (参考値)  <table border="1"> <caption>Approximate data from the graph</caption> <thead> <tr> <th>VDD [V]</th> <th>IDD [µA] (Ta=125°C)</th> <th>IDD [µA] (Ta=85°C)</th> <th>IDD [µA] (Ta=25°C)</th> </tr> </thead> <tbody> <tr> <td>1.5</td> <td>~40</td> <td>~10</td> <td>~1</td> </tr> <tr> <td>2.0</td> <td>~60</td> <td>~15</td> <td>~1.5</td> </tr> <tr> <td>3.0</td> <td>~100</td> <td>~25</td> <td>~2.5</td> </tr> <tr> <td>3.6</td> <td>~150</td> <td>~40</td> <td>~4</td> </tr> </tbody> </table>	VDD [V]	IDD [µA] (Ta=125°C)	IDD [µA] (Ta=85°C)	IDD [µA] (Ta=25°C)	1.5	~40	~10	~1	2.0	~60	~15	~1.5	3.0	~100	~25	~2.5	3.6	~150	~40	~4
VDD [V]	IDD [µA] (Ta=125°C)	IDD [µA] (Ta=85°C)	IDD [µA] (Ta=25°C)																				
1.5	~40	~10	~1																				
2.0	~60	~15	~1.5																				
3.0	~100	~25	~2.5																				
3.6	~150	~40	~4																				

ページ	箇所	内容		
Rev. D で追加	23-13, 23-14	推奨動作 条件	以下の定格値の下線部を訂正。	
			(誤)	<記号、項目> VDD、RAM電源電圧 <最小> <u>3.0</u> <最大> <u>3.6</u>
			(正)	<最小> 3.0 VCCI - 0.3   <最大> VCCI + 0.3   3.6
			(誤)	<記号、項目> FVCC、フラッシュ電源電圧 <最小> <u>3.0</u> <最大> <u>3.6</u>
			(正)	<最小> 3.0 VCCI - 0.3   <最大> VCCI + 0.3   3.6
			(誤)	<記号、項目> AVCC、アナログ電源電圧 <最小> <u>3.0</u> <最大> <u>3.6</u>
			(正)	<最小> 3.0 VCCE - 0.3   <最大> VCCE + 0.3   3.6
			(誤)	<記号、項目> OSC-VCC、PLL電源電圧 <最小> <u>3.0</u> <最大> <u>3.6</u>
			(正)	<最小> 3.0 VCCI - 0.3   <最大> VCCI + 0.3   3.6
			(誤)	<記号、項目> VREF、アナログ基準電圧 <最小> <u>3.0</u> <最大> <u>3.6</u>
			(正)	<最小> 3.0 VCCE - 0.3   <最大> VCCE + 0.3   3.6

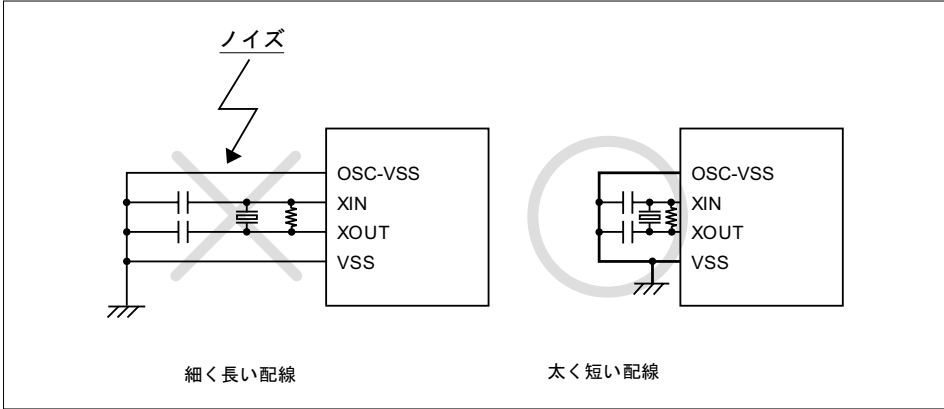
	ページ	箇所	内容																					
Rev. D で追加	23-15, 23-17	DC特性	(誤)	以下の定格値の下線部を訂正。  <記号> VT+ - VT-  <項目> <u>ヒステリシス</u> <u>ADTRG、RTDCLK、RTDRXD、SCLKI0,1,4,5、RXD0,1,2,3,4,5、TCLK3-0、</u> <u>JTMS、JTRST、JTDI、TIN0-33、RESET、FP、MOD0,1</u>																				
			(正)	<項目> ヒステリシス RTDCLK、RTDRXD、SCLKI0,1,4,5、RXD0~7、TIN0~11、TIN0A,B、 TIN1A,B、RESET、FP、MOD0,1、JTMS、JTRST、JTDI																				
			(誤)	以下の注釈を訂正。  注3. RESET 端子以外はダブルファンクションとなっています。																				
			(正)	注3. JTMS,JTRST,JTDI,RESET,FP,MOD0,1端子以外はダブルファンクションとな っています。																				
Rev. D で追加	23-21, 23-28	AC特性	追加	(4a) TCLK  <table border="1"> <thead> <tr> <th rowspan="2">記号</th> <th rowspan="2">項目</th> <th colspan="2">規格値</th> <th rowspan="2">単位</th> <th rowspan="2">参照図番 図23. 3. 5a</th> </tr> <tr> <th>最小</th> <th>最大</th> </tr> </thead> <tbody> <tr> <td>tw(TCLKH)</td> <td>TCLKH 入力“H”パルス幅</td> <td><math>7 \times \frac{t_c(\text{BCLK})}{2}</math></td> <td></td> <td>ns</td> <td>[99]</td> </tr> <tr> <td>tw(TCLKL)</td> <td>TCLKH 入力“L”パルス幅</td> <td><math>7 \times \frac{t_c(\text{BCLK})}{2}</math></td> <td></td> <td>ns</td> <td>[100]</td> </tr> </tbody> </table>  図23. 3. 5a TCLKタイミング	記号	項目	規格値		単位	参照図番 図23. 3. 5a	最小	最大	tw(TCLKH)	TCLKH 入力“H”パルス幅	$7 \times \frac{t_c(\text{BCLK})}{2}$		ns	[99]	tw(TCLKL)	TCLKH 入力“L”パルス幅	$7 \times \frac{t_c(\text{BCLK})}{2}$		ns	[100]
				記号			項目	規格値			単位	参照図番 図23. 3. 5a												
最小	最大																							
tw(TCLKH)	TCLKH 入力“H”パルス幅	$7 \times \frac{t_c(\text{BCLK})}{2}$		ns	[99]																			
tw(TCLKL)	TCLKH 入力“L”パルス幅	$7 \times \frac{t_c(\text{BCLK})}{2}$		ns	[100]																			
Rev. D で追加	23-23	AC特性 RTDタイ ミング	(誤)	以下の記号を訂正。  <記号> tv(RTDCLKL-RTDACK) . . . 86																				
			(正)	tv(RTDCLKH-RTDACK)																				
			(誤)	<記号> tv(RTDRXD-RTDCLKL) . . . 89																				
			(正)	tsu(RTDRXD-RTDCLKH)																				

ページ	箇所		内容
Rev. D で追加	23-27	図 23.3.1	<p>ポートデータ出力タイミングを訂正。</p> <p>(誤) 21.3.3 AC特性</p>  <p>図23.3.1 入出力ポートタイミング</p>
			<p>(正) 21.3.3 AC特性</p>  <p>図23.3.1 入出力ポートタイミング</p>
Rev. D で追加	23-33	AC特性 RTDタイ ミング図	<p>RTDタイミング図内の以下の記号を訂正。</p> <p>(誤) &lt;記号&gt; th(RTDCLKH-RTDACK) . . . 88</p>
			<p>(正) th(RTDCLKH-RTDRXD)</p>
			<p>(誤) &lt;記号&gt; tsu(RTDRXD-RTDCLKL) . . . 89</p>
			<p>(正) tsu(RTDRXD-RTDCLKH)</p>

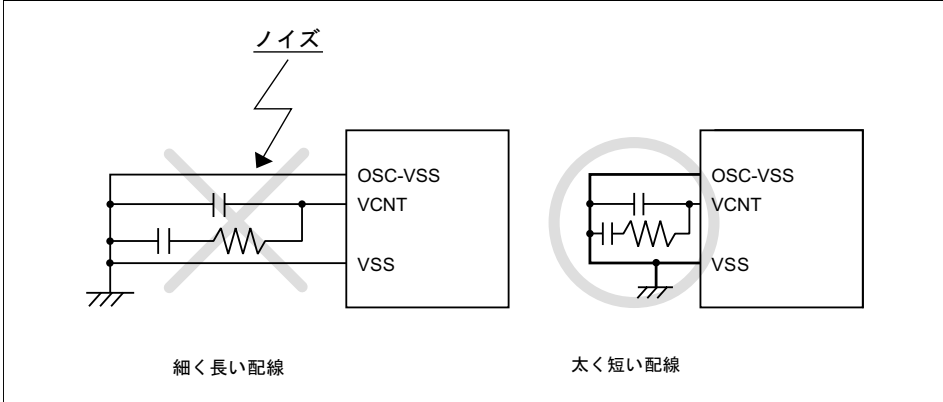
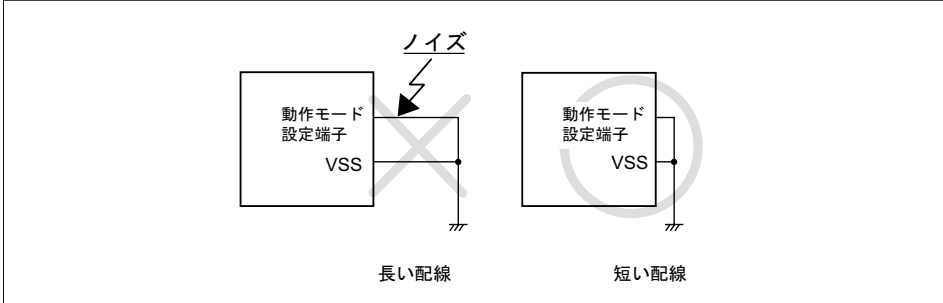
Rev. C  
で追加

ページ	箇所	内容
付録 4-23	ページ 差し替え	<div style="text-align: right;"> <p><b>注意事項のまとめ</b></p> <p>付録4.15 ノイズに関する注意事項</p> </div> <hr/> <p><b>付録4</b></p> <p><b>付録4.15 ノイズに関する注意事項</b></p> <p>ノイズに関する注意事項及びその対策例を以下に示します。本対策例はノイズに関して理論上有効ですが、実使用に際しては本対策を実施した後も十分なシステム評価を行ってください。</p> <p><b>付録4.15.1 配線長の短縮</b></p> <p>基板上の配線は、ノイズをマイコン内部に引き込むアンテナとなる可能性があります。総配線長が短いほど、ノイズをマイコン内部に引き込む可能性は低くなります。</p> <p>(1) RESET# 端子の配線</p> <p>RESET#端子に接続する配線は、短くしてください。特にRESET#端子とVSS端子間に接続するコンデンサは、それぞれの端子とのできるだけ短い配線(20mm以内)で接続してください。</p> <p>&lt;理由&gt;</p> <p>リセットは、マイコン内部を初期状態にする機能です。RESET#端子に入力されるパルス幅は、タイミング必要条件で規定されます。パルス幅が規定幅より短いノイズがRESET#端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。</p> <div style="text-align: center;"> </div> <p>付図4.15.1 RESET#端子の配線例</p> <hr/> <p style="text-align: center;">付録4-23</p>

Rev. C  
で追加

ページ	箇所	内容
付録 4-24	ページ 差し替え	<div style="text-align: right;"> <p><b>注意事項のまとめ</b></p> <p>付録4.15 ノイズに関する注意事項</p> </div> <hr/> <p>(2) クロック入出力端子の配線</p> <p>クロック入出力端子に接続する配線は、できるだけ太く短くしてください。</p> <p>発振子に接続するコンデンサの接地側リード線とマイコンのOSC-VSS端子とは、最短(20mm以内)の配線で接続してください。</p> <p>発振用のVSSパターンはベタパターンとしてGNDに接地ください。</p> <p>&lt;理由&gt;</p> <p>マイコンは発振子(回路)で生成されたクロックに同期して動作します。クロックの入出力端子にノイズが侵入するとクロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVSSレベルと発振子のVSSレベルとの間にノイズによる電位差が生じると正確なクロックがマイコン入力されません。</p> <div style="text-align: center;">  </div> <p>付図4.15.2 クロック入出力端子の配線例</p> <hr/> <p style="text-align: center;">付録4-24</p>

Rev. C  
で追加

ページ	箇所	内容
付録 4-25	ページ 差し替え	<div style="text-align: right;"> <p><b>注意事項のまとめ</b></p> <p>付録4.15 ノイズに関する注意事項</p> </div> <hr/> <p>(3) VCNT 端子の配線</p> <p>VCNT端子に接続する配線は、できるだけ太く短くしてください。 VCNTに接続するコンデンサの接地用リード線とマイコンのOSC-VSS端子とは最短で接続してください。 VCNT用のVSSパターンはベタパターンとしてGNDに接地ください。</p> <p>&lt;理由&gt;</p> <p>VCNT端子の外付け回路は、搭載されているPLLの内部電圧の安定化とノイズ除去としてのローパスフィルタの役割があります。そのためローパスフィルタの限度を超えたノイズが侵入すると、内部回路が安定せず正常なクロックが生成できなくなる可能性があり、誤動作や暴走の原因となります。</p> <div style="text-align: center;">  <p>細く長い配線                      太く短い配線</p> </div> <p>付図4.15.3 VCNT端子の配線例</p> <p>(4) 動作モード設定端子の配線</p> <p>動作モード設定端子とVCC又はVSS端子とを接続する場合、最短の配線で接続してください。</p> <p>&lt;理由&gt;</p> <p>動作モード設定端子のレベルは、マイコンの動作モードに影響します。動作モード設定端子とVCC又はVSS端子とを接続する場合、動作モード設定端子とVCC又はVSS端子との間にノイズによる電位差が生じると動作モードが不安定となり、誤動作や暴走の原因となります。</p> <div style="text-align: center;">  <p>長い配線                      短い配線</p> </div> <p>付図4.15.4 MOD0, MOD1端子の配線例</p> <hr/> <p style="text-align: center;">付録4-25</p>

Rev. C  
で追加

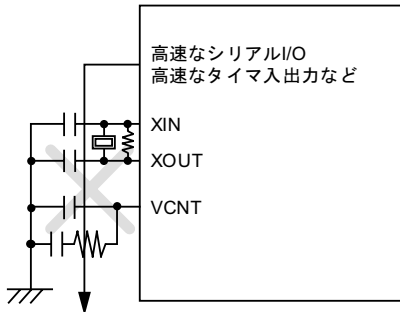
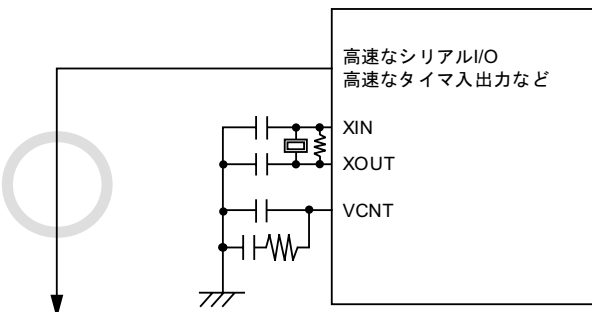
ページ	箇所	内容
付録 4-26	ページ 差し替え	<div data-bbox="312 247 1255 318" style="text-align: right;"> <p><b>注意事項のまとめ</b> 付録4.15 ノイズに関する注意事項</p> </div> <hr/> <div data-bbox="312 343 960 376"> <p><b>付録4.15.2 VSS-VCCライン間へのバイパスコンデンサ挿入</b></p> </div> <div data-bbox="370 392 1162 419"> <p>VSS-VCCライン間に0.1<math>\mu</math>F程度のバイパスコンデンサを、以下の条件で挿入してください。</p> </div> <div data-bbox="381 430 1260 508"> <ul style="list-style-type: none"> <li>● VSS端子-バイパスコンデンサ間の配線長とVCC端子-バイパスコンデンサ間の配線長を等しくする</li> <li>● VSS端子-バイパスコンデンサ間の配線長とVCC端子-バイパスコンデンサ間の配線長を最短とする</li> <li>● VSSライン及びVCCラインは、他の信号線よりも幅の広い配線を使用する</li> </ul> </div> <div data-bbox="312 533 1255 786"> </div> <div data-bbox="312 794 823 819"> <p>付図4.15.5 VSS-VCCライン間のバイパスコンデンサ挿入例</p> </div> <div data-bbox="340 852 761 877"> <p><b>付録4.15.3 アナログ入力端子の配線処理</b></p> </div> <div data-bbox="353 898 1260 948"> <p>アナログ入力端子に接続されるアナログ信号線のマイコンのできるだけ近い位置に、100~500<math>\Omega</math>程度の抵抗を直列に接続してください。</p> </div> <div data-bbox="353 952 1260 1002"> <p>アナログ入力端子とAVSS端子間の、AVSS端子にできるだけ近い位置に容量100pF程度のコンデンサを挿入してください。</p> </div> <div data-bbox="391 1025 450 1049"> <p>&lt;理由&gt;</p> </div> <div data-bbox="418 1052 1260 1155"> <p>通常、アナログ入力端子(A-D変換器入力端子など)に入力される信号はセンサからの出力信号です。事象の変化を検知するセンサは、マイコンを実装している基板から離れた位置に配置されることが多く、アナログ入力端子への配線は必然的に長くなります。この長い配線はノイズをマイコン内部に引きこむアンテナとなるため、アナログ入力端子にノイズが引き込まれやすくなります。</p> </div> <div data-bbox="418 1159 1260 1209"> <p>また、アナログ入力端子とAVSS端子間のコンデンサをAVSS端子から遠い位置で接地した場合、そのグラウンド上のノイズがコンデンサ経路でマイコンに侵入します。</p> </div> <div data-bbox="312 1238 1255 1576"> </div> <div data-bbox="312 1584 788 1609"> <p>付図4.15.6 アナログ信号線と抵抗及びコンデンサ挿入例</p> </div> <hr/> <div data-bbox="738 1682 830 1707" style="text-align: center;"> <p>付録4-26</p> </div>



Rev. C  
で追加

ページ	箇所	内容
付録 4-27	ページ 差し替え	<div style="text-align: right;"> <p><b>注意事項のまとめ</b></p> <p>付録4.15 ノイズに関する注意事項</p> </div> <hr/> <p><b>付録4</b></p> <p><b>付録4.15.4 発振子およびVCNT端子への配慮</b></p> <p>マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。</p> <p>(1) 大電流が流れる信号線からの回避</p> <p>マイコンが扱う電流値の範囲を超えた大きな電流が流れる信号線は、マイコン(特に発振子, VCNT端子)からできるだけ遠い位置に配置ください。また、GNDパターンによる回路の保護を実施ください。</p> <p>&lt;理由&gt;</p> <p>マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンス(M)によるノイズが発生します。</p> <div style="border: 1px solid black; padding: 10px; margin: 10px 0;"> <p>信号線の隣接により相互インダクタンスによるノイズが発生</p> <p>大電流</p> <p>M</p> <p>OSC-VSS</p> <p>XIN</p> <p>XOUT</p> <p>VCNT</p> <p>GND</p> <p>大電流の流れる信号線が隣接している</p> <p>大電流</p> <p>M</p> <p>OSC-VSS</p> <p>XIN</p> <p>XOUT</p> <p>VCNT</p> <p>GND</p> <p>大電流の流れる信号線を遠ざける</p> </div> <p>付図4.15.7 大電流が流れる信号線の配線例</p> <hr/> <p style="text-align: center;">付録4-27</p>

Rev. C  
で追加

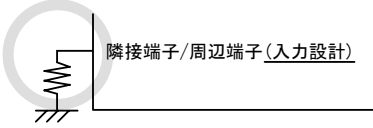
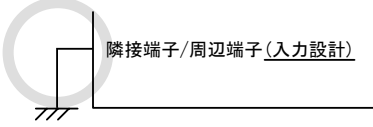
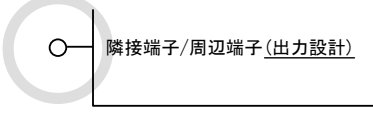
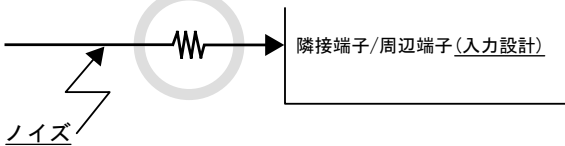
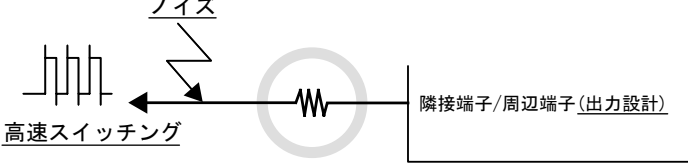
ページ	箇所	内容
付録 4-28	ページ 差し替え	<div style="text-align: right;"> <p><b>注意事項のまとめ</b></p> <p>付録4.15 ノイズに関する注意事項</p> </div> <hr/> <p>(2) 高速にレベル変化する信号線からの回避</p> <p>高速にレベル変化する信号線は、発振子からできるだけ遠い位置に配置してください。 また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受け易い信号線と交差させないでください。</p> <p>&lt;理由&gt;</p> <p>高速にレベル変化する信号線はその信号の立ち上がり、立ち下がり時の影響を他の信号線に与え易く、特にクロック関連の信号線と交差する場合クロックの波形が乱れ、誤動作や暴走の原因となります。</p> <div style="border: 1px solid black; padding: 10px; margin: 10px 0;">  <p style="text-align: center;">配線が交差している</p> </div> <div style="border: 1px solid black; padding: 10px; margin: 10px 0;">  <p style="text-align: center;">配線を遠ざけて、交差させない</p> </div> <p>付図4.15.8 高速にレベル変化する信号線の配線例</p> <hr/> <p style="text-align: center;">付録4-28</p>

Rev. C  
で追加

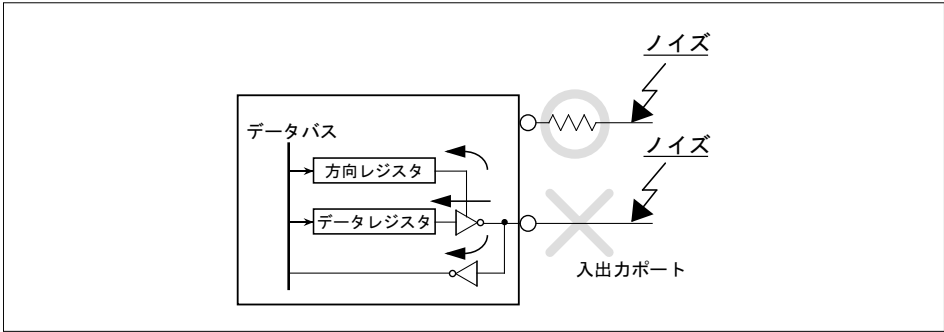
ページ	箇所	内容
付録 4-29	ページ 差し替え	<div style="text-align: right;"> <p><b>注意事項のまとめ</b></p> <p>付録4.15 ノイズに関する注意事項</p> </div> <hr/> <p>(3) 強力なノイズ源となる信号線からの保護</p> <p>強力なノイズが印加される可能性のある端子を発振用端子/VCNT端子の隣接ポートに極力使用しないでください。もし空き端子として処理が可能である場合は入力ポート状態で抵抗を介してGNDに接続、もしくは出力オープン状態で出力固定としてください。使用される場合は、入力専用を推奨いたします。</p> <p>より強力なノイズ源から保護するには、隣接ポートを入力ポート状態で抵抗を介してGNDに接続し、隣接ポートと同一のポートグループは、なるべく入力専用とします。更に安定させたい場合には、同一のポートグループも使用せず入力ポート状態で抵抗を介してGNDに接続します。使用される場合は、ノイズ保護のための制限抵抗を接続します。</p> <p>&lt;理由&gt;</p> <p>発振用端子およびVCNT端子に隣接するポートまたは端子が、高速動作したり、外部から強いノイズを受けると、発振回路にノイズが回り込むことが考えられ、発振が不安定になる可能性があります。</p> <div style="border: 1px solid black; padding: 10px; margin: 10px 0;"> <p style="text-align: center;">出力端子からのスイッチングノイズが直接ポートへ印加される</p> <p style="text-align: center;">入力端子から外来ノイズが直接ポートへ印加される</p> </div>
		付録4-29

付図4.15.9 ノイズが印加される端子処理例

Rev. C  
で追加

ページ	箇所	内容
付録 4-30	ページ 差し替え	<div style="text-align: right;"> <p><b>注意事項のまとめ</b></p> <p>付録4.15 ノイズに関する注意事項</p> </div> <hr/> <div style="text-align: center;"> <h1>付録4</h1> </div> <div style="text-align: center; margin-top: 20px;">  <p>隣接端子/周辺端子(入力設計)</p> <p>入力モードでノイズの影響を制限する方法</p> </div> <div style="text-align: center; margin-top: 20px;">  <p>隣接端子/周辺端子(入力設計)</p> <p>入力モードでノイズの影響を制限する方法</p> </div> <div style="text-align: center; margin-top: 20px;">  <p>隣接端子/周辺端子(出力設計)</p> <p>出力モードでノイズの影響を制限する方法</p> </div> <div style="text-align: center; margin-top: 20px;">  <p>隣接端子/周辺端子(入力設計)</p> <p>抵抗によるノイズを制限する方法</p> </div> <div style="text-align: center; margin-top: 20px;">  <p>隣接端子/周辺端子(出力設計)</p> <p>抵抗によるスイッチングノイズを制限する方法</p> </div>
		付図4.15.10 発振用端子およびVCNT端子に隣接する端子処理例
		付録4-30

Rev. C  
で追加

ページ	箇所	内容
付録 4-31	ページ 差し替え	<div style="text-align: right;"> <p><b>注意事項のまとめ</b></p> <p>付録4.15 ノイズに関する注意事項</p> </div> <hr/> <p><b>付録4</b></p> <p><b>付録4.15.5 入出力ポート処理</b></p> <p>入出力ポートは以下の要領で、ハードウェア、ソフトウェアの両面で対策を行ってください。</p> <p>〈ハードウェア面〉</p> <ul style="list-style-type: none"> <li>● 入出力ポートに100Ω以上の抵抗を直列に挿入する</li> </ul> <p>〈ソフトウェア面〉</p> <ul style="list-style-type: none"> <li>● 入力ポートではプログラムで複数回読み込みを行い、レベルの一致を確認する</li> <li>● 出力ポートではノイズによって出力データが反転する可能性があるため、一定周期でデータレジスタの再書き込みを行う</li> <li>● 一定周期で、方向レジスタの再書き込みを行う</li> </ul> <div style="border: 1px solid black; padding: 10px; margin: 10px 0;">  <p>The diagram shows a data bus connected to a direction register and a data register. The data register is connected to an I/O port. A resistor is placed in series between the data register and the I/O port. Two noise sources, labeled 'ノイズ', are shown as lightning bolts striking the I/O port lines. A large 'X' is drawn over the I/O port lines, indicating that noise is a problem to be addressed.</p> </div> <p>付図4.15.11 入出力ポート処理例</p> <hr/> <p style="text-align: center;">付録4-31</p>