

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

開発ツール (http://www.necel.com/micro/a/development/asiam/78k0kx2/index.html) (1/5)

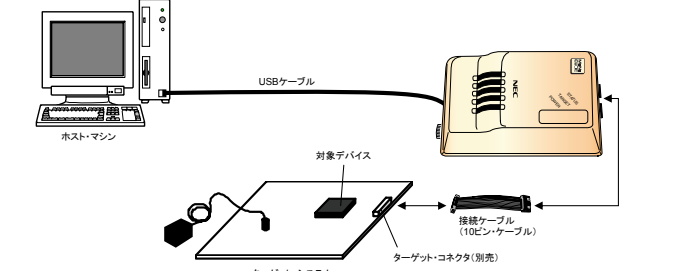
(1) ソフトウェアツール

ホストマシン	ソフトウェアツール
IBM PC/AT互換機 PC85-NXシリーズ	ソフトウェアパッケージ SPT8K0 セルフプログラバ R78K00 コンパイラ C27800 オンラインソースファイル C2780KL 統合デバッグ ID78K0-QB システムシミュレータ SM-kor 78K0K02 デバイスファイル DF780547

(2) ハードウェアツール(1/3)

オンチップ・デバッグ・エミュレータ QB-78K0MINI (MINICUBE®)	ターゲットコネクタの仕様
QB-78K0MINI	2.54mmピッチの10ピン汎用コネクタ

備考 QB-78K0MINIは、ID78K0-QB、USBケーブル、接続ケーブル(10ピンケーブル)、セルフチェック・ボードを添付しています。



ピン番号	1	2	3	4	5	6	7	8	9	10	説明
1	RESET_IN	IN									ターゲットシステム上のセット入力端子
2	RESET_OUT	OUT									対象デバイスへのセット出力端子
3	FLM00	OUT									対象デバイスへのフラッシュメモリ出力端子
4	VDD	IN									ターゲットシステムの電源を接続する端子の入力端子
5	X2DATA	IN/OUT									デバッグケーブルのデータ通信用入出力端子
6	GND	—									GNDに接続
7	X1CLK	OUT									対象デバイスへのクロック出力端子
8	GND	—									GNDに接続
9	RESERVED	—									オープン
10	RESERVED	—									オープン

注1: MINICUBEの端子名です。
注2: MINICUBEを基点とした方向です。

開発ツール (5/5)

- (3) フラッシュ・メモリ用書き込みツール(3/3)
② フラッシュ・メモリプログラマ PG-FP4, FL-PR4, PG-FP3, FP-1ITE3(1/2)

-PG-FP4, FL-PR4のターゲットコネクタのピン配置(フロント側から見た図)

1	3	5	7	9	11	13	15
2	4	6	8	10	12	14	16

タイプB(16ピン)

-PG-FP4, FL-PR4のターゲットコネクタの端子構成

FFM番号	ターゲットコネクタ タイプB(16ピン)
GND	1
RESET	2
SFR0	3
VDD	4
SFR1	5
SFR2	6
SOCK	7
VDD1	8
CLK	9
VDD2	10
VDD3	11
FLM0	12
IFL0	13
FLM1	14
RESERVED	15
RESERVED	16

注 () 内の番号と、それに対応する端子は、78K0K02では使用しません。

オペレーション一覧(1/7)

表現形式	記述方法
IFP	X (R0), A (R1), C (R2), B (R3), E (R4), D (R5), L (R6), H (R7) AX (R0), BC (R1), DE (R2), HL (R3) 特殊機能レジスタ参照 ²⁾ 特殊機能レジスタ参照(16ビット操作可能なレジスタの機能アドレスのみ) ³⁾
saddr	FE204-FFFFH (イーディエー・データまたはイーディエー・データ参照命令時は機能アドレスのみ) FE204-FFFFH (イーディエー・データまたはイーディエー・データ参照命令時は機能アドレスのみ)
addr16	0000-FFFFH (イーディエー・データまたはイーディエー・データ参照命令時は機能アドレスのみ) 0000-FFFFH (イーディエー・データまたはイーディエー・データ参照命令時は機能アドレスのみ)
addr8	0000-FFFFH (イーディエー・データまたはイーディエー・データ参照命令時は機能アドレスのみ) 0000-FFFFH (イーディエー・データまたはイーディエー・データ参照命令時は機能アドレスのみ)
word	16ビットイーディエー・データまたはイーディエー・データ参照命令時は機能アドレスのみ 8ビットイーディエー・データまたはイーディエー・データ参照命令時は機能アドレスのみ
byte	8ビットイーディエー・データまたはイーディエー・データ参照命令時は機能アドレスのみ 4ビットイーディエー・データまたはイーディエー・データ参照命令時は機能アドレスのみ
RbN	R0-R3

注: FFD0H-FFDFHは、アドレスできません。

オペレーション一覧(5/7)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット 演算	CMP	A, Rbyte	2	4	—	A ← byte	x	x	x	
		saddr, Rbyte	3	6	8	(saddr) ← byte	x	x	x	
		A, r ¹³⁾	2	4	—	A ← r	x	x	x	
		r, A	2	4	—	r ← A	x	x	x	
		A, saddr	2	4	5	A ← (saddr)	x	x	x	
		A, addr16	3	8	9	A ← (addr16)	x	x	x	
16ビット 演算	ADDDW	A, [HL]	1	4	5	A ← (HL)	x	x	x	
		A, [HL+byte]	2	8	9	A ← (HL+byte)	x	x	x	
		A, [HL+H]	2	8	9	A ← (HL+H)	x	x	x	
		A, [HL+C]	2	8	9	A ← (HL+C)	x	x	x	
		AX, #word	3	6	—	AX, CY ← AX+word	x	x	x	
		SUBW, AX, #word	3	6	—	AX, CY ← AX-word	x	x	x	
乗除算	CMPW	AX, #word	3	6	—	AX ← word	x	x	x	
	MULU	X	2	16	—	AX ← A × X	x	x	x	
増減	DIVUW	C	2	25	—	AX(H商), C(余り) ← AX ÷ C	x	x	x	
		INC	r	1	2	—	r ← r+1	x	x	x
	saddr	2	4	6	(saddr) ← (saddr)+1	x	x	x		
	DEC	r	1	2	—	r ← r-1	x	x	x	
	saddr	2	4	6	(saddr) ← (saddr)-1	x	x	x		
	INCW	rp	1	4	—	rp ← rp+1	x	x	x	
DECW	rp	1	4	—	rp ← rp-1	x	x	x		
ローシフト	ROL	A, 1	1	2	—	(CY, A ← A, A ← A) × 1	x			
		A, 1	1	2	—	(CY, A ← A, A ← A) × 1	x			
		RORC	A, 1	1	2	—	(CY, A ← A, A ← A) × 1	x		
		ROL	A, 1	1	2	—	(CY, A ← A, A ← A) × 1	x		
		ROL4	[HL]	2	10	12	A(H) ← (HL), (HL) ← A(H), (HL) ← (HL) × 2	x		
		ROL4	[HL]	2	10	12	A(H) ← (HL), (HL) ← A(H), (HL) ← (HL) × 2	x		
BCD 補正	ADJBA	A, B	2	4	—	Decimal Adjust Accumulator after Addition	x	x	x	
	ADJBS	A, B	2	4	—	Decimal Adjust Accumulator after Subtraction	x	x	x	
ビット 操作	MOV1	CY, saddr, bit	3	6	7	CY ← (saddr, bit)	x			
		CY, sft, bit	3	6	7	CY ← sft, bit	x			
		CY, A, bit	2	4	—	CY ← A, bit	x			
		CY, PSW, bit	3	6	7	CY ← PSW, bit	x			
		CY, [HL], bit	2	6	7	CY ← (HL), bit	x			
		saddr, bit, CY	3	6	8	(saddr, bit) ← CY	x			
A, bit, CY	PSW, bit, CY	[HL], bit, CY	2	6	8	sft sft bit ← CY	A ← bit, CY	PSW bit ← CY	x	x

注1: 内部高速RAM領域をアクセスしたとき、またはデータ・アクセスしない命令のとき
注2: 内部高速RAM以外の領域をアクセスしたとき
注3: r = Aを除く

備考1: 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCR)で選択したCPUクロック(C_{PU})の1クロック分です。
注2: クロック数は内部ROM領域にプログラムがある場合です。

特殊機能レジスタ(SFR)一覧(2/4)

アドレス	特殊機能レジスタ(SFR)名称	番号	R/W	操作可能なビット範囲	リセット時
FF41H	8ビット・タイマ・カウンタ・レジスタ951	CR51	RW	—	— 00H
FF43H	8ビット・タイマ・カウンタ・コントロール・レジスタ951	TMCS1	RW	—	— 00H
FF48H	外部割り込みおよびリセット許可レジスタ	EGP	RW	—	— 00H
FF49H	外部割り込みおよびリセット許可レジスタ	EGN	RW	—	— 00H
FF4FH	入出力制御レジスタ	ISC	RW	—	— 00H
FF50H	アンロック・レジスタ・インターフェース・レジスタ	ASIM6	RW	—	— 01H
FF53H	アンロック・レジスタ・インターフェース・レジスタ	ASIS6	R	—	— 00H
FF55H	アンロック・レジスタ・インターフェース・レジスタ	ASIF6	R	—	— 00H
FF57H	クロック選択レジスタ96	CKSR6	RW	—	— 00H
FF58H	ボーレーン・レジスタ・コントロール・レジスタ96	BRCS6	RW	—	— FFH
FF5BH	アンロック・レジスタ・インターフェース・コントロール・レジスタ96	ASICL6	RW	—	— 16H
FF68H	8ビット・タイマ・モード・レジスタ90	TMH40	RW	—	— 00H
FF6AH	タイマ・クロック選択レジスタ90	TCL50	RW	—	— 00H
FF6BH	8ビット・タイマ・モード・コントロール・レジスタ90	TMCS0	RW	—	— 00H
FF6CH	8ビット・タイマ・モード・コントロール・レジスタ91	TMCS1	RW	—	— 00H
FF6DH	8ビット・タイマ・モード・コントロール・レジスタ91	TMCS1	RW	—	— 00H
FF6EH	アンロック・レジスタ・インターフェース・レジスタ	ASIM0	RW	—	— 01H
FF71H	ボーレーン・レジスタ・コントロール・レジスタ90	BRCS0	RW	—	— 1FH
FF72H	変換・バッファ・レジスタ90	RXB0	R	—	— FFH
FF73H	アンロック・レジスタ・インターフェース・レジスタ	ASIS0	R	—	— 00H
FF74H	変換・バッファ・レジスタ90	TXS0	RW	—	— FFH
FF75H	シフト・レジスタ・コントロール・レジスタ90	CSM10	RW	—	— 00H
FF76H	シフト・レジスタ・コントロール・レジスタ90	CSM10	RW	—	— 00H
FF77H	変換・バッファ・レジスタ90	SOB10	RW	—	— 00H
FF78H	タイマ・クロック選択レジスタ951	TCL51	RW	—	— 00H
FF79H	ウォッチドッグ・タイマ・インターフェース・レジスタ	WDT6	RW	—	— 1AH/BAH 3H
FFB7H	クロック動作モード選択レジスタ	OSCC1L	RW	—	— 00H
FFB8H	内部高速メモリ・レジスタ	RCM	RW	—	— 80H ¹⁾
FFA1H	メイン・バンク・モード・レジスタ	MCM	RW	—	— 00H
FFA2H	メイン・バンク・モード・レジスタ	MOC	RW	—	— 80H

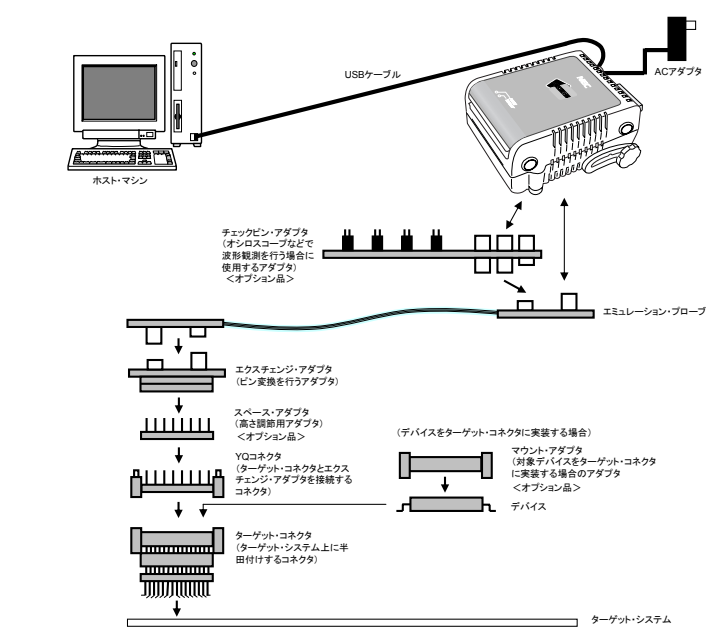
注1: WDT6のビット値は、オプション・ビットの設定で決定します。
注2: リセット・モード・レジスタは00Hです。変換・バッファ・レジスタは変換・バッファ・レジスタに自動的に16Hにリセットされます。

開発ツール (2/5)

(2) ハードウェアツール(2/3)

インターフェース・エミュレータ	インターフェース・エミュレータ	インターフェース・エミュレータ	インターフェース・エミュレータ	インターフェース・エミュレータ	インターフェース・エミュレータ	インターフェース・エミュレータ	インターフェース・エミュレータ
QB-78K0K02	QB-78K0K02	QB-78K0K02	QB-78K0K02	QB-78K0K02	QB-78K0K02	QB-78K0K02	QB-78K0K02

備考 QB-78K0K02は、ID78K0-QB、USBケーブル、電源ユニット、QB-MIN2、接続ケーブル(10ピンケーブル、16ピンケーブル)、78K0-OCUボードを添付しています。



注1: MINICUBEの端子名です。
注2: MINICUBEを基点とした方向です。

オペレーション一覧(2/7)

命令群	ニモニック	オペランド	バイト	クロック	オペレーション	フラグ
8ビットデータ転送	MOV	r, Rbyte	2	4	— r ← byte	x x x x
		saddr, Rbyte	3	6	7 (saddr) ← byte	x x x x
		sft, Rbyte	3	6	7 sft ← byte	x x x x
		A, r ¹³⁾	1	2	— A ← r	x x x x
		r, A	1	2	— r ← A	x x x x
		A, saddr	2	4	5 A ← (saddr)	x x x x
		A, addr16	3	8	9 A ← (addr16)	x x x x
		A, [HL]	1	4	5 A ← (HL)	x x x x
		A, [HL+byte]	2	8	9 A ← (HL+byte)	x x x x
		A, [HL+H]	2	8	9 A ← (HL+H)	x x x x
16ビットデータ転送	XCH	A, Rbyte	3	6	8 (saddr) ← (saddr) + byte	x x x x
		saddr, Rbyte	3	6	8 (saddr) ← (saddr) + byte	x x x x
		A, r ¹³⁾	1	2	— A ← r	x x x x
		r, A	1	2	— r ← A	x x x x
		A, saddr	2	4	5 A ← (saddr)	x x x x
		A, addr16	3	8	9 A ← (addr16)	x x x x
		A, [HL]	1	4	5 A ← (HL)	x x x x
		A, [HL+byte]	2	8	9 A ← (HL+byte)	x x x x
		A, [HL+H]	2	8	9 A ← (HL+H)	x x x x
		A, [HL+C]	2	8	9 A ← (HL+C)	x x x x

注1: 内部高速RAM領域をアクセスしたとき、またはデータ・アクセスしない命令のとき
注2: 内部高速RAM以外の領域をアクセスしたとき
注3: r = Aを除く

備考1: 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCR)で選択したCPUクロック(C_{PU})の1クロック分です。
注2: クロック数は内部ROM領域にプログラムがある場合です。

オペレーション一覧(6/7)

命令群	ニモニック	オペランド	バイト	クロック	オペレーション	フラグ
8ビットデータ操作	AND1	CY, saddr, bit	3	6	7 CY ← CY & (saddr, bit)	x
		CY, sft, bit	3	6	7 CY ← CY & sft, bit	x
		A, bit	2	4	— A ← A & bit	x
		CY, PSW, bit	3	6	7 CY ← CY & PSW, bit	x
		CY, [HL], bit	2	6	7 CY ← CY & (HL), bit	x
		CY, A, bit	2	4	— CY ← CY & A, bit	x
		CY, PSW, bit	3	6	7 CY ← CY & PSW, bit	x
		CY, [HL], bit	2	6	7 CY ← CY & (HL), bit	x
		CY, A, bit	2	4	— CY ← CY & A, bit	x
		CY, PSW, bit	3	6	7 CY ← CY & PSW, bit	x
16ビットデータ操作	XOR1	CY, saddr, bit	3	6	7 CY ← CY ^ (saddr, bit)	x
		CY, sft, bit	3	6	7 CY ← CY ^ sft, bit	x
		A, bit	2	4	— A ← A ^ bit	x
		CY, PSW, bit	3	6	7 CY ← CY ^ PSW, bit	x
		CY, [HL], bit	2	6	7 CY ← CY ^ (HL), bit	x
		CY, A, bit	2	4	— CY ← CY ^ A, bit	x
		CY, PSW, bit	3	6	7 CY ← CY ^ PSW, bit	x
		CY, [HL], bit	2	6	7 CY ← CY ^ (HL), bit	x
		CY, A, bit	2	4	— CY ← CY ^ A, bit	x
		CY, PSW, bit	3	6	7 CY ← CY ^ PSW, bit	x

注1: 内部高速RAM領域をアクセスしたとき、またはデータ・アクセスしない命令のとき
注2: 内部高速RAM以外の領域をアクセスしたとき
注3: r = Aを除く

備考1: 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCR)で選択したCPUクロック(C_{PU})の1クロック分です。
注2: クロック数は内部ROM領域にプログラムがある場合です。

特殊機能レジスタ(SFR)一覧(3/4)

アドレス	特殊機能レジスタ(SFR)名称	番号	R/W	操作可能なビット範囲		リセット時
				16bit	16bit	
FFA3H	変換安定時間カウンタ特殊レジスタ	OSTC	R	○	○	00H
FFA4H	変換安定時間カウンタ特殊レジスタ	OSTS	RW	—	—	00H
FFA5H	ICコンパレータ特殊レジスタ	ICD0	RW	—	—	00H
FFA6H	ICコンパレータ特殊レジスタ	ICD0	RW	○	○	00H
FFA7H	スレーブアナログ特殊レジスタ	SVAO	RW	—	—	00H
FFA8H	ICクロック選択特殊レジスタ	ICDCL	RW	○	○	00H
FFA9H	IC機能拡張特殊レジスタ	ICX0	RW	○	○	00H
FFAAH	IC状態特殊レジスタ	ICSD	R	○	○	00H
FFABH	ICアナログ特殊レジスタ	ICSF	RW	○	○	00H
FFACH	リセット・コントローラ・フラグ特殊レジスタ	RESF	R	—	—	00H ^注
FFBAH	16ビットタイマ・モード・コントローラ特殊レジスタ	TMC0	RW	○	○	00H
FFBBH	プリスケラ・モード・コントローラ特殊レジスタ	PRM0	RW	○	○	00H
FFBCH	キャプチャ・コンペア・コントローラ特殊レジスタ	CC0	RW	○	○	00H
FFBDH	16ビットタイマ・モード・コントローラ特殊レジスタ	TMC0	RW	○	○	00H
FFBEH	4ビットタイマ特殊レジスタ	LVM0	RW	○	○	00H ^注
FFBFH	4ビットタイマ特殊レジスタ	LVM0	RW	○	○	00H ^注
FFC0H	割り込み要求フラグ特殊レジスタ	IF0	R/W	○	○	00H
FFC1H	割り込み要求フラグ特殊レジスタ	IF1	R/W	○	○	00H
FFC2H	割り込み要求フラグ特殊レジスタ	IF1	R/W	○	○	00H
FFC3H	割り込み要求フラグ特殊レジスタ	IF1	R/W	○	○	00H
FFC4H	割り込みマスク・フラグ特殊レジスタ	M0K0	R/W	○	○	FFH
FFC5H	割り込みマスク・フラグ特殊レジスタ	M0K0	R/W	○	○	FFH
FFC6H	割り込みマスク・フラグ特殊レジスタ	MK1	R/W	○	○	FFH
FFC7H	割り込みマスク・フラグ特殊レジスタ	MK1	R/W	○	○	FFH
FFC8H	優先順位指定フラグ特殊レジスタ	PR0	R/W	○	○	FFH
FFC9H	優先順位指定フラグ特殊レジスタ	PR0	R/W	○	○	FFH
FFCAH	優先順位指定フラグ特殊レジスタ	PR1	R/W	○	○	FFH
FFCBH	優先順位指定フラグ特殊レジスタ	PR1	R/W	○	○	FFH

注 RESF, LVM, IFのリセット値は、リセット要因により変化する。