

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

V850/SB1™, V850/SB2™

32ビット・シングルチップ・マイクロコンピュータ

ハードウェア編

μPD703031A	μPD703030B	μPD703034A	μPD703034B
μPD703031AY	μPD703030BY	μPD703034AY	μPD703034BY
μPD703032A	μPD703031B	μPD703035A	μPD703035B
μPD703032AY	μPD703031BY	μPD703035AY	μPD703035BY
μPD703033A	μPD703032B	μPD703037A	μPD703036H
μPD703033AY	μPD703032BY	μPD703037AY	μPD703036HY
μPD70F3032A	μPD703033B	μPD70F3035A	μPD703037H
μPD70F3032AY	μPD703033BY	μPD70F3035AY	μPD703037HY
μPD70F3033A	μPD70F3030B	μPD70F3037A	μPD70F3035B
μPD70F3033AY	μPD70F3030BY	μPD70F3037AY	μPD70F3035BY
	μPD70F3032B		μPD70F3036H
	μPD70F3032BY		μPD70F3036HY
	μPD70F3033B		μPD70F3037H
	μPD70F3033BY		μPD70F3037HY

(メモ)

目次要約

第1章	イントロダクション	...	31
第2章	端子機能	...	75
第3章	CPU機能	...	97
第4章	バス制御機能	...	131
第5章	割り込み/例外処理機能	...	149
第6章	クロック発生機能	...	186
第7章	タイマ/カウンタ機能	...	204
第8章	時計用タイマ機能	...	261
第9章	ウォッチドッグ・タイマ機能	...	268
第10章	シリアル・インタフェース機能	...	276
第11章	A/Dコンバータ	...	441
第12章	DMA機能	...	462
第13章	リアルタイム出力機能 (RTO)	...	477
第14章	ポート機能	...	485
第15章	リセット機能	...	527
第16章	レギュレータ	...	528
第17章	ROMコレクション機能	...	529
第18章	フラッシュ・メモリ	...	534
第19章	IEBusコントローラ (V850/SB2)	...	553
第20章	電気的特性	...	611
第21章	外形図	...	647
第22章	半田付け推奨条件	...	649
付録A	ターゲット・システム設計上の注意	...	654
付録B	レジスタ索引	...	656
付録C	命令セット一覧	...	662
付録D	総合索引	...	669
付録E	改版履歴	...	678

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

V850シリーズ、V850/SA1、V850/SB1、V850/SB2、IEBus、Inter Equipment Busは、日本電気株式会社の商標です。

Windowsは米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

注意： μ PD703030BY, 703031AY, 703031BY, 703032AY, 703032BY, 703033AY, 703033BY, 703034AY, 703034BY, 703035AY, 703035BY, 703036HY, 703037AY, 703037HY, 70F3030BY, 70F3032AY, 70F3032BY, 70F3033AY, 70F3033BY, 70F3035AY, 70F3035BY, 70F3036HY, 70F3037AY, 70F3037HYは μ Cバス・インタフェース回路を内蔵しています。

μ Cバス・インタフェースを使用される場合には、カスタム・コードをご発注いただく時に、事前にその旨ご申告下さい。申告に基づき、以下の特典が受けられます。

日本電気株式会社の μ Cバス対応部品をご購入いただくことにより、これらの部品を μ Cシステムに使用する実施権がフィリップス社 μ C特許に基づき許諾されることとなります。ただし、これらの μ Cシステムはフィリップス社によって設定された μ C標準規格に合致しているものとします。

Purchase of NEC μ C components conveys a license under the Philips μ C Patent Rights to use these components in an μ C system, provided that the system conforms to the μ C Standard Specification as defined by Philips.

本製品のうち、外国為替および外国貿易管理法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品： μ PD70F3030B, 70F3030BY, 70F3032A, 70F3032AY, 70F3032B, 70F3032BY, 70F3033A, 70F3033AY, 70F3033B, 70F3033BY, 70F3035A, 70F3035AY, 70F3035B, 70F3035BY, 70F3036H, 70F3036HY, 70F3037A, 70F3037AY, 70F3037H, 70F3037HY

ユーザ判定品： μ PD703030B, 703030BY, 703031A, 703031AY, 703031B, 703031BY, 703032A, 703032AY, 703032B, 703032BY, 703033A, 703033AY, 703033B, 703033BY, 703034A, 703034AY, 703034B, 703034BY, 703035A, 703035AY, 703035B, 703035BY, 703036H, 703036HY, 703037A, 703037AY, 703037H, 703037HY

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
 - 文書による当社の承諾なしに本資料の転載複製を禁じます。
 - 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 - 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
 - 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 - 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

本版で改訂された主な箇所

(1/2)

箇 所	内 容
全般	・対象製品から次の製品を削除 μ PD703030A, 703030AY, 703036A, 703036AY
p.65	1. 5. 1 最小命令実行時間 記述を追加
p.65	1. 5. 1 命令セット 記述を追加
p.75	表2 - 1 各端子の入出力バッファ電源 記述を追加
p.93	2. 4 端子の入出力回路タイプ, 入出力バッファ電源と未使用時の処理 P33の記述を変更
p.97	3. 1 最小命令実行時間 記述を追加
p.128	3. 4. 9 特定レジスタ 記述を追加
p.132	4. 2. 2 (1) システム制御レジスタ (SYC) 注, 注意の追加
p.161	5. 3. 3 マスカブル割り込みの優先順位 備考を追加
p.165	5. 3. 4 割り込み制御レジスタ (xxICn) 注意を追加
p.168	5. 3. 5 インサースビス・プライオリティ・レジスタ (ISPR) 注意を追加
p.169	5. 3. 6 IDフラグ 備考を追加
p.179	5. 6. 2 (2) サービス・プログラム中に例外を発生させる場合 備考を追加
p.182	5. 8. 1 EI命令後の割り込み要求有効タイミング 追加
p.183	5. 9 DMA転送時の割り込み制御レジスタのビット操作命令 追加
p.188	6. 3. 1 (1) プロセッサ・クロック・コントロール・レジスタ (PCC) 注意に記述を追加
p.190	6. 3. 1 (2) パワー・セーブ・コントロール・レジスタ (PSC) 記述を変更, 注を変更
p.194, 195	表6 - 1 HALTモード時の動作状態 記述を削除
p.197	表6 - 2 IDLEモード時の動作状態 記述を変更
p.198	6. 4. 4 (1) 設定および動作状態 記述を追加
p.199	表6 - 3 ソフトウェアSTOPモード時の動作状態 記述を変更
p.201	6. 6 (1) 内蔵ROM上で命令を実行しているとき 追加
p.202	6. 6 (2) 外部ROM上で命令を実行しているとき 追加
p.210	7. 1. 4 (1) 16ビット・タイマ・モード・コントロール・レジスタ0, 1 (TMC0, TMC1) 注意に記述を追加
p.211	7. 1. 4 (2) キャプチャ・コンペア・コントロール・レジスタ0, 1 (CRC0, CRC1) 注意に記述を追加
p.219	図7 - 5 (a) 16ビット・タイマ・モード・コントロール・レジスタ0, 1 (TMC0, TMC1) 記述を変更
p.220	図7 - 6 PPG出力の構成図 追加
p.220	図7 - 7 PPG出力動作のタイミング 追加
p.221	図7 - 8 (a) 16ビット・タイマ・モード・コントロール・レジスタ0, 1 (TMC0, TMC1) 記述を変更
p.223	図7 - 11 (a) 16ビット・タイマ・モード・コントロール・レジスタ0, 1 (TMC0, TMC1) 記述を変更
p.225	図7 - 14 (a) 16ビット・タイマ・モード・コントロール・レジスタ0, 1 (TMC0, TMC1) 記述を変更

箇所	内容
p.227	図7 - 17 リスタートによるパルス幅測定動作のタイミング (立ち上がりエッジ指定時) 記述の変更
p.228	図7 - 18 (a) 16ビット・タイマ・モード・コントロール・レジスタ0, 1 (TMC0, TMC1) 記述を変更
p.241	7.3.1 概要 追加
p.252	図7 - 32 インターバル・タイマ動作のタイミング (3/3) 記述の変更
p.254	図7 - 34 方形波出力動作のタイミング 備考に記述を追加
p.256	図7 - 35 PWM出力の動作のタイミング 備考に記述を追加
p.271	9.3(2) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) 注意を追加
p.417	図10 - 46 ASIMnの設定 (アシンクロナス・シリアル・インタフェース・モード) 注意の記述を変更
p.446	11.3(2) アナログ入力チャンネル指定レジスタ (ADS) 注意を追加
p.457	11.7 A/Dコンバータ特性表の読み方 追加
p.463	12.3 構成 追加
p.473	12.5 動作 追加
p.474	12.6 注意事項 追加
p.477	13.2 特徴 追加
p.479	13.3(2) 出力ラッチ 追加
p.482	13.5 使用方法 記述を追加
p.484	13.7(3) 追加
p.485	表14 - 1 各端子の入出力バッファ電源 記述を追加
p.514	14.2.8(1) P9端子の機能 注意を追加
p.517	14.2.9(1) P10端子の機能 注意を追加
p.526	14.4.1(2) 入力モードの場合 注意の記述を変更
p.528	16.1 概要 記述を追加
p.528	図16 - 1 レギュレータ 記述の追加
p.538	図18 - 1 V850/SB1, V850/SB2フラッシュ書き込み用アダプタ (FA-100GC-8EU) の配線例 追加
p.539	表18 - 1 V850/SB1, V850/SB2フラッシュ書き込み用アダプタ (FA-100GC-8EU) の配線表 追加
p.540	図18 - 2 V850/SB1, V850/SB2フラッシュ書き込み用アダプタ (FA-100GF-3BA) の配線例 追加
p.541	表18 - 2 V850/SB1, V850/SB2フラッシュ書き込み用アダプタ (FA-100GF-3BA) の配線表 追加
p.611	第20章 電気的特性 追加
p.647	第21章 外形図 追加
p.649	第22章 半田付け推奨条件 追加
p.654	付録A ターゲット・システム設計上の注意 追加
p.669	付録D 総合索引 追加
p.678	付録E 改版履歴 追加

本文欄外の★印は、本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナーを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

はじめに

- 対象者** このマニュアルは、V850/SB1, V850/SB2の機能を理解し、それを用いた応用システムを設計するユーザを対象とします。
- 目的** このマニュアルは、次の構成に示すハードウェア機能をユーザに理解していただくことを目的としています。
- 構成** V850/SB1, V850/SB2のユーザズ・マニュアルは、ハードウェア編（このマニュアル）と、アーキテクチャ編（V850シリーズ™ ユーザズ・マニュアル アーキテクチャ編）の2冊に分かれています。

ハードウェア編

- ・ 端子機能
- ・ CPU機能
- ・ 内蔵周辺機能
- ・ フラッシュ・メモリ・プログラミング
- ・ IEBusコントローラ（V850/SB2のみ）
- ・ 電気的特性

アーキテクチャ編

- ・ データ・タイプ
- ・ レジスタ・セット
- ・ 命令形式と命令セット
- ・ 割り込みと例外
- ・ パイプラインの動作

- 読み方** このマニュアルの読者には、電気、論理回路、およびマイクロコンピュータに関する一般知識を必要とします。

レジスタ名が分かっている、レジスタの詳細を確認するとき

付録B レジスタ索引を利用してください。

機能名などが分かっている、その詳細を確認するとき

付録D 総合索引を利用してください。

命令機能の詳細を理解しようとするとき

別冊の**V850シリーズ ユーザズ・マニュアル アーキテクチャ編**を参照してください。

V850/SB1, V850/SB2の電気的特性を知りたいとき

第20章 電気的特性を参照してください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がデバイス・ファイルで予約語に定義されているものです。

一通りV850/SB1, V850/SB2の機能を理解しようとするとき

目次に従ってお読みください。

- 凡 例** データ表記の重み：左が上位桁，右が下位桁
アクティブ・ロウの表記： \overline{xxx} （端子，信号名称に上線）
メモリ・マップのアドレス：上部 - 上位，下部 - 下位
注：本文中に付けた注の説明
注意：気を付けて読んでいただきたい内容
備考：本文の補足説明
数の表記：2進数 ... xxxxまたはxxxxB
10進数 ... xxxx
16進数 ... xxxxH
2のべき数を示す接頭語（アドレス空間，メモリ容量）：
K（キロ）： 2^{10} ... 1024
M（メガ）： 2^{20} ... 1024²
G（ギガ）： 2^{30} ... 1024³

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V850/SB1, V850/SB2に関する資料

資料名	資料番号
V850シリーズ ユーザーズ・マニュアル アーキテクチャ編	U10243J
V850/SB1, V850/SB2 ユーザーズ・マニュアル ハードウェア編	このマニュアル

開発ツールに関する資料(ユーザーズ・マニュアル)

資料名	資料番号	
CA850 Ver.2.40以上 Cコンパイラ・パッケージ	操作編	U15024J
	C言語編	U15025J
	プロジェクト・マネージャ編	U15026J
	アセンブリ言語編	U15027J
ID850 Ver.2.40 統合ディバッガ	操作編 Windows®ベース	U15181J
SM850 Ver.2.40 システム・シミュレータ	操作編 Windowsベース	U15182J
SM850 Ver.2.00以上 システム・シミュレータ	外部部品ユーザ・オープン・インタフェース仕様編	U14873J
RX850 Ver.3.13以上 リアルタイムOS	基礎編	U13430J
	インストレーション編	U13410J
	テクニカル編	U13431J
RX850 Pro Ver.3.13 リアルタイムOS	基礎編	U13773J
	インストレーション編	U13774J
	テクニカル編	U13772J
RD850 Ver.3.01 タスク・ディバッガ		U13737J
RD850 Pro Ver.3.01 タスク・ディバッガ		U13916J
AZ850 Ver.3.0 システム・パフォーマンス・アナライザ		U14410J
PG-FP3 フラッシュ・メモリ・プログラマ		U13502J
PG-FP4 フラッシュ・メモリ・プログラマ		U15260J

目 次

第1章 イン트로ダクション ... 31

- 1.1 概 説 ... 31
- 1.2 V850/SB1 (A品) ... 35
 - 1.2.1 特徴 (V850/SB1 (A品)) ... 35
 - 1.2.2 応用分野 (V850/SB1 (A品)) ... 36
 - 1.2.3 オーダ情報 (V850/SB1 (A品)) ... 37
 - 1.2.4 端子接続図 (Top View)(V850/SB1 (A品)) ... 38
 - 1.2.5 機能ブロック構成 (V850/SB1 (A品)) ... 41
- 1.3 V850/SB1 (B品) ... 45
 - 1.3.1 特徴 (V850/SB1 (B品)) ... 45
 - 1.3.2 応用分野 (V850/SB1 (B品)) ... 46
 - 1.3.3 オーダ情報 (V850/SB1 (B品)) ... 47
 - 1.3.4 端子接続図 (Top View)(V850/SB1 (B品)) ... 48
 - 1.3.5 機能ブロック構成 (V850/SB1 (B品)) ... 51
- 1.4 V850/SB2 (A品) ... 55
 - 1.4.1 特徴 (V850/SB2 (A品)) ... 55
 - 1.4.2 応用分野 (V850/SB2 (A品)) ... 56
 - 1.4.3 オーダ情報 (V850/SB2 (A品)) ... 57
 - 1.4.4 端子接続図 (Top View)(V850/SB2 (A品)) ... 58
 - 1.4.5 機能ブロック構成 (V850/SB2 (A品)) ... 61
- 1.5 V850/SB2 (B, H品) ... 65
 - 1.5.1 特徴 (V850/SB2 (B, H品)) ... 65
 - 1.5.2 応用分野 (V850/SB2 (B, H品)) ... 66
 - 1.5.3 オーダ情報 (V850/SB2 (B, H品)) ... 67
 - 1.5.4 端子接続図 (Top View)(V850/SB2 (B, H品)) ... 68
 - 1.5.5 機能ブロック構成 (V850/SB2 (B, H品)) ... 71

第2章 端子機能 ... 75

- 2.1 端子機能一覧 ... 75
- 2.2 端子状態 ... 82
- 2.3 端子機能の説明 ... 83
- 2.4 端子の入出力回路タイプ, 入出力バッファ電源と未使用時の処理 ... 93
- 2.5 端子の入出力回路 ... 95

第3章 CPU機能 ... 97

- 3.1 特 徴 ... 97
- 3.2 CPUレジスタ・セット ... 98
 - 3.2.1 プログラム・レジスタ・セット ... 99
 - 3.2.2 システム・レジスタ・セット ... 100
- 3.3 動作モード ... 103
- 3.4 アドレス空間 ... 104

- 3.4.1 CPUアドレス空間 ... 104
- 3.4.2 イメージ ... 105
- 3.4.3 CPUアドレス空間のラップ・アラウンド ... 106
- 3.4.4 メモリ・マップ ... 107
- 3.4.5 領域 ... 108
- 3.4.6 外部拡張モード ... 116
- 3.4.7 アドレス空間の推奨使用方法 ... 119
- 3.4.8 周辺I/Oレジスタ ... 121
- 3.4.9 特定レジスタ ... 128

第4章 バス制御機能 ... 131

- 4.1 特徴 ... 131
- 4.2 バス制御端子と制御レジスタ ... 131
 - 4.2.1 バス制御端子 ... 131
 - 4.2.2 制御レジスタ ... 132
- 4.3 バス・アクセス ... 132
 - 4.3.1 アクセス・クロック数 ... 132
 - 4.3.2 バス幅 ... 133
- 4.4 メモリ・ブロック機能 ... 135
- 4.5 ウェイト機能 ... 136
 - 4.5.1 プログラマブル・ウェイト機能 ... 136
 - 4.5.2 外部ウェイト機能 ... 137
 - 4.5.3 プログラマブル・ウェイトと外部ウェイトの関係 ... 137
- 4.6 アイドル・ステート挿入機能 ... 138
- 4.7 バス・ホールド機能 ... 139
 - 4.7.1 機能概要 ... 139
 - 4.7.2 バス・ホールド手順 ... 140
 - 4.7.3 パワー・セーブ・モード時の動作 ... 140
- 4.8 バス・タイミング ... 141
- 4.9 バスの優先順位 ... 148
- 4.10 境界動作条件 ... 148
 - 4.10.1 プログラム空間 ... 148
 - 4.10.2 データ空間 ... 148

第5章 割り込み/例外処理機能 ... 149

- 5.1 概要 ... 149
 - 5.1.1 特徴 ... 149
- 5.2 ノンマスクابل割り込み ... 152
 - 5.2.1 動作 ... 153
 - 5.2.2 復帰 ... 155
 - 5.2.3 NPフラグ ... 156
 - 5.2.4 NMI端子のノイズ除去 ... 156
 - 5.2.5 NMI端子のエッジ検出機能 ... 157
- 5.3 マスクابل割り込み ... 158
 - 5.3.1 動作 ... 158
 - 5.3.2 復帰 ... 160
 - 5.3.3 マスクابل割り込みの優先順位 ... 161

5.3.4	割り込み制御レジスタ (xxICn) ...	165
5.3.5	インサースervice・プライオリティ・レジスタ (ISPR) ...	168
5.3.6	IDフラグ ...	169
5.3.7	ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ...	170
5.3.8	ノイズ除去 ...	170
5.3.9	エッジ検出機能 ...	172
5.4	ソフトウェア例外 ...	173
5.4.1	動作 ...	173
5.4.2	復帰 ...	174
5.4.3	EPフラグ ...	175
5.5	例外トラップ ...	175
5.5.1	不正命令コード ...	175
5.5.2	動作 ...	176
5.5.3	復帰 ...	177
5.6	優先順位指定 ...	178
5.6.1	割り込みと例外の優先順位 ...	178
5.6.2	多重割り込み ...	178
5.7	応答時間 ...	180
5.8	割り込みが受け付けられない期間 ...	181
★	5.8.1 EI命令後の割り込み要求有効タイミング ...	182
★	5.9 DMA転送時の割り込み制御レジスタのビット操作命令 ...	183
5.10	キー割り込み機能 ...	184

第6章 クロック発生機能 ... 186

6.1	概要 ...	186
6.2	構成 ...	187
6.3	クロック出力機能 ...	187
6.3.1	制御レジスタ ...	188
6.4	パワー・セーブ機能 ...	192
6.4.1	概要 ...	192
6.4.2	HALTモード ...	193
6.4.3	IDLEモード ...	196
6.4.4	ソフトウェアSTOPモード ...	198
6.5	発振安定時間の確保 ...	200
6.6	パワー・セーブ機能に関する注意事項 ...	201

第7章 タイマ/カウンタ機能 ... 204

7.1	16ビット・タイマ (TM0, TM1) ...	204
7.1.1	概要 ...	204
7.1.2	機能 ...	204
7.1.3	構成 ...	206
7.1.4	タイマ0, 1制御レジスタ ...	209
7.2	16ビット・タイマの動作 ...	217
7.2.1	インターバル・タイマ (16ビット) としての動作 ...	217
7.2.2	PPG出力としての動作 ...	219
7.2.3	パルス幅測定としての動作 ...	221
7.2.4	外部イベント・カウンタとしての動作 ...	228

	7.2.5	方形波出力としての動作	...	230
	7.2.6	ワンショット・パルス出力としての動作	...	231
	7.2.7	注意事項	...	236
★	7.3	8ビット・タイマ (TM2-TM7)	...	241
	7.3.1	概要	...	241
	7.3.2	機能	...	241
	7.3.3	構成	...	243
	7.3.4	タイマn制御レジスタ	...	244
	7.4	8ビット・タイマの動作	...	250
	7.4.1	インターバル・タイマ (8ビット)としての動作	...	250
	7.4.2	外部イベント・カウンタとしての動作	...	253
	7.4.3	方形波出力 (8ビット分解能)としての動作	...	254
	7.4.4	8ビットPWM出力としての動作	...	255
	7.4.5	インターバル・タイマ (16ビット)としての動作	...	258
	7.4.6	注意事項	...	260

第8章 時計用タイマ機能 ... 261

8.1	機能	...	261	
8.2	構成	...	262	
8.3	時計用タイマ制御レジスタ	...	263	
8.4	動作	...	266	
	8.4.1	時計用タイマとしての動作	...	266
	8.4.2	インターバル・タイマとしての動作	...	266
	8.4.3	注意事項	...	267

第9章 ウォッチドッグ・タイマ機能 ... 268

9.1	機能	...	268	
9.2	構成	...	270	
9.3	ウォッチドッグ・タイマ制御レジスタ	...	270	
9.4	動作	...	273	
	9.4.1	ウォッチドッグ・タイマとしての動作	...	273
	9.4.2	インターバル・タイマとしての動作	...	274
9.5	スタンバイ機能制御レジスタ	...	275	

第10章 シリアル・インタフェース機能 ... 276

10.1	概要	...	276	
10.2	3線式シリアルI/O (CSI0-CSI3)	...	276	
	10.2.1	構成	...	277
	10.2.2	CSIn制御レジスタ	...	278
	10.2.3	動作	...	281
10.3	I ² Cバス (A品)	...	284	
	10.3.1	構成	...	287
	10.3.2	I ² C制御レジスタ	...	289
	10.3.3	I ² Cバス・モードの機能	...	301
	10.3.4	I ² Cバスの定義および制御方法	...	302
	10.3.5	I ² C割り込み要求 (INTIICn)	...	309

10.3.6	割り込み要求 (INTIICn) 発生タイミングおよびウェイト制御	...	327
10.3.7	アドレスの一致検出方法	...	328
10.3.8	エラーの検出	...	328
10.3.9	拡張コード	...	328
10.3.10	アービトレーション	...	329
10.3.11	ウェイク・アップ機能	...	330
10.3.12	通信予約	...	331
10.3.13	注意事項	...	334
10.3.14	通信動作	...	335
10.3.15	データ通信のタイミング	...	337
10.4	I ² Cバス (B, H品)	...	344
10.4.1	構成	...	347
10.4.2	I ² C制御レジスタ	...	349
10.4.3	I ² Cバス・モードの機能	...	363
10.4.4	I ² Cバスの定義および制御方法	...	364
10.4.5	I ² C割り込み要求 (INTIICn)	...	371
10.4.6	割り込み要求 (INTIICn) 発生タイミングおよびウェイト制御	...	389
10.4.7	アドレスの一致検出方法	...	390
10.4.8	エラーの検出	...	390
10.4.9	拡張コード	...	390
10.4.10	アービトレーション	...	391
10.4.11	ウェイク・アップ機能	...	392
10.4.12	通信予約	...	393
10.4.13	注意事項	...	398
10.4.14	通信動作	...	399
10.4.15	データ通信のタイミング	...	402
10.5	アシンクロナス・シリアル・インタフェース (UART0, UART1)	...	409
10.5.1	構成	...	409
10.5.2	UARTn制御レジスタ	...	411
10.5.3	動作	...	416
10.5.4	スタンバイ機能	...	428
10.6	3線式可変長シリアルI/O (CSI4)	...	429
10.6.1	構成	...	429
10.6.2	CSI4制御レジスタ	...	432
10.6.3	動作	...	436

第11章 A/Dコンバータ ... 441

11.1	機能	...	441
11.2	構成	...	442
11.3	制御レジスタ	...	444
11.4	動作	...	447
11.4.1	基本動作	...	447
11.4.2	入力電圧と変換結果	...	449
11.4.3	A/Dコンバータの動作モード	...	450
11.5	低消費電力モード	...	453
11.6	注意事項	...	453
★ 11.7	A/Dコンバータ特性表の読み方	...	457

第12章 DMA機能 ... 462

- 12.1 機能 ... 462
- 12.2 転送終了割り込み要求 ... 462
- ★ 12.3 構成 ... 463
- 12.4 制御レジスタ ... 464
- ★ 12.5 動作 ... 473
- ★ 12.6 注意事項 ... 474

第13章 リアルタイム出力機能 (RTO) ... 477

- 13.1 機能 ... 477
- ★ 13.2 特徴 ... 477
- 13.3 構成 ... 478
- 13.4 RTO制御レジスタ ... 480
- 13.5 使用方法 ... 482
- 13.6 動作 ... 483
- 13.7 注意事項 ... 484

第14章 ポート機能 ... 485

- 14.1 各ポートの構成 ... 485
- 14.2 各ポートの端子機能 ... 485
 - 14.2.1 ポート0 ... 485
 - 14.2.2 ポート1 ... 491
 - 14.2.3 ポート2 ... 496
 - 14.2.4 ポート3 ... 501
 - 14.2.5 ポート4, ポート5 ... 506
 - 14.2.6 ポート6 ... 509
 - 14.2.7 ポート7, ポート8 ... 511
 - 14.2.8 ポート9 ... 513
 - 14.2.9 ポート10 ... 516
 - 14.2.10 ポート11 ... 520
- 14.3 ポート端子を兼用端子として使用する場合の設定 ... 523
- 14.4 ポート機能の動作 ... 526
 - 14.4.1 入出力ポートへの書き込み ... 526
 - 14.4.2 入出力ポートからの読み出し ... 526

第15章 リセット機能 ... 527

- 15.1 概要 ... 527
- 15.2 端子動作 ... 527

第16章 レギュレータ ... 528

- 16.1 概要 ... 528
- 16.2 動作 ... 528

第17章 ROMコレクション機能 ... 529

- 17.1 概 要 ... 529
- 17.2 ROMコレクション周辺I/Oレジスタ ... 530

第18章 フラッシュ・メモリ ... 534

- 18.1 特 徴 ... 534
 - 18.1.1 消去単位 ... 535
 - 18.1.2 書き込み / 読み込み時間 ... 536
- 18.2 フラッシュ・ライターによる書き込み方法 ... 537
- 18.3 プログラミング環境 ... 542
- 18.4 通信方式 ... 543
- 18.5 端子処理 ... 545
 - 18.5.1 V_{PP}端子 ... 545
 - 18.5.2 シリアル・インタフェース端子 ... 546
 - 18.5.3 $\overline{\text{RESET}}$ 端子 ... 548
 - 18.5.4 ポート端子 (NMIを含む) ... 548
 - 18.5.5 その他の信号端子 ... 548
 - 18.5.6 電 源 ... 548
- 18.6 プログラミング方法 ... 549
 - 18.6.1 フラッシュ・メモリ制御 ... 549
 - 18.6.2 フラッシュ・メモリ・プログラミング・モード ... 550
 - 18.6.3 通信方式の選択 ... 550
 - 18.6.4 通信コマンド ... 551
 - 18.6.5 使用する資源 ... 552

第19章 IEBusコントローラ (V850/SB2) ... 553

- 19.1 IEBusコントローラの機能 ... 553
 - 19.1.1 IEBusの通信プロトコル ... 553
 - 19.1.2 バス占有権の決定 (アービトレーション) ... 554
 - 19.1.3 通信モード ... 554
 - 19.1.4 通信アドレス ... 555
 - 19.1.5 同報通信 ... 555
 - 19.1.6 IEBusの伝送フォーマット ... 556
 - 19.1.7 伝送データ ... 566
 - 19.1.8 ビット・フォーマット ... 569
- 19.2 IEBusコントローラの構成 ... 570
- 19.3 IEBusコントローラの内部レジスタ ... 572
 - 19.3.1 内部レジスタ一覧 ... 572
 - 19.3.2 内部レジスタ ... 573
- 19.4 IEBusコントローラの割り込み動作 ... 596
 - 19.4.1 割り込み制御部 ... 596
 - 19.4.2 割り込み要因一覧 ... 597
 - 19.4.3 通信エラー要因処理一覧 ... 598
- 19.5 割り込み発生タイミングおよび主なCPU処理内容 ... 600
 - 19.5.1 マスタ送信 ... 600
 - 19.5.2 マスタ受信 ... 602

19. 5. 3	スレーブ送信	...	604
19. 5. 4	スレーブ受信	...	606
19. 5. 5	IEBus制御用割り込み発生間隔	...	607
★	第20章	電気的特性	... 611
★	第21章	外形図	... 647
★	第22章	半田付け推奨条件	... 649
★	付録A	ターゲット・システム設計上の注意	... 654
	付録B	レジスタ索引	... 656
	付録C	命令セット一覧	... 662
★	付録D	総合索引	... 669
	D. 1	50音で始まる語句の索引	... 669
	D. 2	数字, アルファベットで始まる語句の索引	... 673
★	付録E	改版履歴	... 678

図の目次 (1/7)

図番号	タイトル, ページ
3 - 1	CPUレジスタ・セット ... 98
3 - 2	CPUアドレス空間 ... 104
3 - 3	アドレス空間上のイメージ ... 105
3 - 4	プログラム空間 ... 106
3 - 5	データ空間 ... 106
3 - 6	メモリ・マップ ... 107
3 - 7	内蔵ROM領域 (128 Kバイト) ... 108
3 - 8	内蔵ROM / 内蔵フラッシュ・メモリ領域 (256 Kバイト) ... 108
3 - 9	内蔵ROM / 内蔵フラッシュ・メモリ領域 (384 Kバイト) ... 109
3 - 10	内蔵ROM / 内蔵フラッシュ・メモリ領域 (512 Kバイト) ... 109
3 - 11	内蔵RAM領域 (8 Kバイト) ... 111
3 - 12	内蔵RAM領域 (12 Kバイト) ... 111
3 - 13	内蔵RAM領域 (16 Kバイト) ... 112
3 - 14	内蔵RAM領域 (24 Kバイト) ... 112
3 - 15	内蔵周辺I/O領域 ... 113
3 - 16	外部メモリ領域 (64 K, 256 K, 1 Mバイト拡張時) ... 114
3 - 17	外部メモリ領域 (4 Mバイト拡張時) ... 115
3 - 18	ラップ・アラウンドを利用した応用例 ... 119
3 - 19	推奨メモリ・マップ (フラッシュ・メモリ内蔵品) ... 120
4 - 1	バイト・アクセス (8ビット) ... 133
4 - 2	ハーフワード・アクセス (16ビット) ... 133
4 - 3	ワード・アクセス (32ビット) ... 134
4 - 4	メモリ・ブロック ... 135
4 - 5	ウェイト制御 ... 137
4 - 6	ウェイト挿入例 ... 137
4 - 7	バス・ホールド手順 ... 140
4 - 8	メモリ・リード ... 141
4 - 9	メモリ・ライト ... 145
4 - 10	バス・ホールド・タイミング ... 147
5 - 1	ノンマスクابل割り込みの処理形態 ... 153
5 - 2	ノンマスクابل割り込み要求の受け付け動作 ... 154
5 - 3	RETI命令の処理形態 ... 155
5 - 4	マスクابل割り込みの処理形態 ... 159
5 - 5	RETI命令の処理形態 ... 160
5 - 6	割り込み処理中にほかの割り込み要求が発生した場合の処理例 ... 162
5 - 7	同時発生した割り込み要求の処理例 ... 164
5 - 8	ソフトウェア例外の処理形態 ... 173

図の目次 (2/7)

図番号	タイトル, ページ
5 - 9	RETI命令の処理形態 ... 174
5 - 10	不正命令コード ... 175
5 - 11	例外トラップの処理形態 ... 176
5 - 12	RETI命令の処理形態 ... 177
5 - 13	割り込み要求受け付け時のパイプライン動作 (概略) ... 180
5 - 14	パイプラインの流れと割り込み要求発生時のタイミング ... 183
5 - 15	キー・リターンのブロック図 ... 185
6 - 1	クロック発生回路 ... 187
6 - 2	発振安定時間 ... 200
7 - 1	TM0, TM1のブロック図 ... 205
7 - 2	インターバル・タイマ動作時の制御レジスタ設定内容 ... 217
7 - 3	インターバル・タイマの構成図 ... 218
7 - 4	インターバル・タイマ動作のタイミング ... 218
7 - 5	PPG出力動作時の制御レジスタ設定内容 ... 219
7 - 6	PPG出力の構成図 ... 220
7 - 7	PPG出力動作のタイミング ... 220
7 - 8	フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容 ... 221
7 - 9	フリー・ランニング・カウンタによるパルス幅測定の構成図 ... 222
7 - 10	フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時) ... 222
7 - 11	フリー・ランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容 ... 223
7 - 12	立ち上がりエッジ指定時のCRn1キャプチャ動作 ... 224
7 - 13	フリー・ランニング・カウンタによるパルス幅測定動作のタイミング (両エッジ指定時) ... 224
7 - 14	フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容 ... 225
7 - 15	フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング (立ち上がりエッジ指定時) ... 226
7 - 16	リスタートによるパルス幅測定時の制御レジスタ設定内容 ... 227
7 - 17	リスタートによるパルス幅測定動作のタイミング (立ち上がりエッジ指定時) ... 227
7 - 18	外部イベント・カウンタ・モード時の制御レジスタ設定内容 ... 228
7 - 19	外部イベント・カウンタの構成図 ... 229
7 - 20	外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) ... 229
7 - 21	方形波出力モード時の制御レジスタ設定内容 ... 230
7 - 22	方形波出力動作のタイミング ... 231

図の目次 (3/7)

図番号	タイトル, ページ
7 - 23	ソフトウェア・トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容 ... 232
7 - 24	ソフトウェア・トリガによるワンショット・パルス出力動作のタイミング ... 233
7 - 25	外部トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容 ... 234
7 - 26	外部トリガによるワンショット・パルス出力動作のタイミング (立ち上がりエッジ指定時) ... 235
7 - 27	16ビット・タイマ・レジスタnのスタート・タイミング ... 236
7 - 28	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング ... 236
7 - 29	キャプチャ・レジスタのデータ保持タイミング ... 237
7 - 30	OVFnビットの動作タイミング ... 238
7 - 31	TM2-TM7のブロック図 ... 242
7 - 32	インターバル・タイマ動作のタイミング ... 250
7 - 33	外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) ... 253
7 - 34	方形波出力動作のタイミング ... 254
7 - 35	PWM出力の動作タイミング ... 256
7 - 36	CRn0変更による動作のタイミング ... 257
7 - 37	16ビット分解能カスケード接続モード ... 259
7 - 38	タイマnのスタート・タイミング ... 260
7 - 39	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング ... 260
8 - 1	時計用タイマのブロック図 ... 261
8 - 2	時計用タイマ/インターバル・タイマの動作タイミング ... 267
8 - 3	時計用タイマ割り込み要求 (INTWTN) の発生例 (割り込み周期 = 0.5 sの場合) ... 267
9 - 1	ウォッチドッグ・タイマのブロック図 ... 268
10 - 1	3線式シリアルI/Oのブロック図 ... 277
10 - 2	CSIMnの設定 (動作停止モード) ... 281
10 - 3	CSIMnの設定 (3線式シリアルI/Oモード) ... 282
10 - 4	3線式シリアルI/Oモードのタイミング ... 283
10 - 5	I ² Cnのブロック図 ... 285
10 - 6	I ² Cバスによるシリアル・バス構成例 ... 286
10 - 7	端子構成図 ... 301
10 - 8	I ² Cバスのシリアル・データ転送タイミング ... 302
10 - 9	スタート・コンディション ... 302
10 - 10	アドレス ... 303
10 - 11	転送方向指定 ... 304
10 - 12	アクノリッジ信号 ... 305
10 - 13	ストップ・コンディション ... 306

図の目次 (4/7)

図番号	タイトル, ページ
10 - 14	ウエイト信号 ... 307
10 - 15	アービトレーション・タイミング例 ... 329
10 - 16	通信予約のタイミング ... 332
10 - 17	通信予約受け付けタイミング ... 332
10 - 18	通信予約の手順 ... 333
10 - 19	マスタ動作手順 ... 335
10 - 20	スレーブ動作手順 ... 336
10 - 21	マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) ... 338
10 - 22	スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) ... 341
10 - 23	I ² Cnのブロック図 ... 345
10 - 24	I ² Cバスによるシリアル・バス構成例 ... 346
10 - 25	端子構成図 ... 363
10 - 26	I ² Cバスのシリアル・データ転送タイミング ... 364
10 - 27	スタート・コンディション ... 364
10 - 28	アドレス ... 365
10 - 29	転送方向指定 ... 366
10 - 30	アクノリッジ信号 ... 367
10 - 31	ストップ・コンディション ... 368
10 - 32	ウエイト信号 ... 369
10 - 33	アービトレーション・タイミング例 ... 391
10 - 34	通信予約のタイミング ... 394
10 - 35	通信予約受け付けタイミング ... 394
10 - 36	通信予約の手順 ... 395
10 - 37	STTn = 1設定禁止タイミング ... 396
10 - 38	マスタ通信開始または中止の手順 ... 397
10 - 39	マスタ動作手順 (1) ... 399
10 - 40	マスタ動作手順 (2) ... 400
10 - 41	スレーブ動作手順 ... 401
10 - 42	マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) ... 403
10 - 43	スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) ... 406
10 - 44	UARTnのブロック図 ... 410
10 - 45	ASIMnの設定 (動作停止モード) ... 416
10 - 46	ASIMnの設定 (アシンクロナス・シリアル・インタフェース・モード) ... 417
10 - 47	ASISnの設定 (アシンクロナス・シリアル・インタフェース・モード) ... 418
10 - 48	BRGCnの設定 (アシンクロナス・シリアル・インタフェース・モード) ... 419
10 - 49	BRGMCMn0, BRGMCMn1の設定 (アシンクロナス・シリアル・インタフェース・モード) ... 420
10 - 50	サンプリング誤差を考慮したボー・レートの許容誤差 (k = 16の場合) ... 422
10 - 51	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット ... 423

図の目次 (5/7)

図番号	タイトル, ページ
10 - 52	アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング ... 425
10 - 53	アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング ... 426
10 - 54	受信エラー・タイミング ... 427
10 - 55	3線式可変長シリアルI/Oのブロック図 ... 430
10 - 56	16ビット以外の転送ビット長を設定した場合 ... 431
10 - 57	CSIM4の設定 (動作停止モード) ... 436
10 - 58	CSIM4の設定 (3線式可変長シリアルI/Oモード) ... 437
10 - 59	CSIB4の設定 (3線式可変長シリアルI/Oモード) ... 438
10 - 60	3線式可変長シリアルI/Oモードのタイミング ... 439
10 - 61	3線式可変長シリアルI/Oモードのタイミング (CSIB4 = 08Hの場合) ... 440
11 - 1	A/Dコンバータのブロック図 ... 442
11 - 2	A/Dコンバータの基本動作 ... 448
11 - 3	アナログ入力電圧とA/D変換結果の関係 ... 449
11 - 4	ハードウェア・スタートによるA/D変換動作 (立ち下がりエッジ指定時) ... 451
11 - 5	ソフトウェア・スタートによるA/D変換動作 ... 452
11 - 6	アナログ入力端子の処理 ... 454
11 - 7	A/D変換終了割り込み要求発生タイミング ... 455
11 - 8	AV _{DD} 端子の処理 ... 456
11 - 9	総合誤差 ... 458
11 - 10	量子化誤差 ... 458
11 - 11	ゼロスケール誤差 ... 459
11 - 12	フルスケール誤差 ... 459
11 - 13	微分直線性誤差 ... 460
11 - 14	積分直線性誤差 ... 460
11 - 15	サンプリング時間 ... 461
12 - 1	DMAのブロック図 ... 463
12 - 2	DRAnの設定値と内蔵RAM (8 Kバイト) 領域の対応 ... 466
12 - 3	DRAnの設定値と内蔵RAM (12 Kバイト) 領域の対応 ... 467
12 - 4	DRAnの設定値と内蔵RAM (16 Kバイト) 領域の対応 ... 468
12 - 5	DRAnの設定値と内蔵RAM (24 Kバイト) 領域の対応 ... 469
12 - 6	DMA転送動作のタイミング図 ... 473
12 - 7	DMA0-DMA5転送要求が同時に発生した場合の処理 ... 474
12 - 8	DMA動作時に割り込み処理が2回発生する場合 ... 475
13 - 1	RTOのブロック図 ... 478
13 - 2	リアルタイム出力バッファ・レジスタの構成 ... 479
13 - 3	RTOの動作タイミング例 (EXTR = 0, BYTE = 0の場合) ... 483

図の目次 (6/7)

図番号	タイトル, ページ
14 - 1	P00-P07のブロック図 ... 490
14 - 2	P10-P12, P14, P15のブロック図 ... 494
14 - 3	P13のブロック図 ... 495
14 - 4	P20-P22, P24, P25のブロック図 ... 499
14 - 5	P23, P26, P27のブロック図 ... 500
14 - 6	P30-P32, P35-P37のブロック図 ... 504
14 - 7	P33, P34のブロック図 ... 505
14 - 8	P40-P47, P50-P57のブロック図 ... 508
14 - 9	P60-P65のブロック図 ... 510
14 - 10	P70-P77, P80-P83のブロック図 ... 512
14 - 11	P90-P96のブロック図 ... 515
14 - 12	P100-P107のブロック図 ... 519
14 - 13	P110-P113のブロック図 ... 522
15 - 1	システム・リセット・タイミング ... 527
16 - 1	レギュレータ ... 528
17 - 1	ROMコレクションのブロック図 ... 529
17 - 2	ROMコレクションの動作とプログラムの流れ ... 533
18 - 1	V850/SB1, V850/SB2フラッシュ書き込み用アダプタ (FA-100GC-8EU) の配線例 ... 538
18 - 2	V850/SB1, V850/SB2フラッシュ書き込み用アダプタ (FA-100GF-3BA) の配線例 ... 540
18 - 3	フラッシュ・メモリにプログラムを書き込むための環境 ... 542
18 - 4	専用フラッシュ・ライターとの通信 (UART0) ... 543
18 - 5	専用フラッシュ・ライターとの通信 (CSI0) ... 543
18 - 6	専用フラッシュ・ライターとの通信 (CSI0 + HS) ... 544
18 - 7	V _{PP} 端子の接続例 ... 545
18 - 8	信号の衝突 (シリアル・インタフェースの入力端子) ... 546
18 - 9	ほかのデバイスの異常動作 ... 547
18 - 10	信号の衝突 ($\overline{\text{RESET}}$ 端子) ... 548
18 - 11	フラッシュ・メモリの操作手順 ... 549
18 - 12	フラッシュ・メモリ・プログラミング・モード ... 550
18 - 13	通信コマンド ... 551
19 - 1	IEBusの伝送信号フォーマット ... 556
19 - 2	マスタ・アドレス・フィールド ... 557
19 - 3	スレーブ・アドレス・フィールド ... 558
19 - 4	コントロール・フィールド ... 560

図の目次 (7/7)

図番号	タイトル, ページ
19 - 5	電文長フィールド ... 562
19 - 6	データ・フィールド ... 563
19 - 7	スレーブ・ステータスのビット構成 ... 567
19 - 8	ロック・アドレスの構成 ... 568
19 - 9	IEBusのビット・フォーマット ... 569
19 - 10	IEBusコントローラのブロック図 ... 570
19 - 11	割り込み発生タイミング (, , の場合) ... 579
19 - 12	割り込み発生タイミング (, の場合) ... 580
19 - 13	ロック状態中のINTIE2割り込み発生タイミング (, の場合) ... 580
19 - 14	ロック状態中のINTIE2割り込み発生タイミング (の場合) ... 581
19 - 15	同報通信フラグの動作例 ... 585
19 - 16	割り込み制御部の構成 ... 596
19 - 17	マスタ送信 ... 600
19 - 18	マスタ受信 ... 602
19 - 19	スレーブ送信 ... 604
19 - 20	スレーブ受信 ... 606
19 - 21	マスタ送信 (割り込み発生間隔) ... 607
19 - 22	マスタ受信 (割り込み発生間隔) ... 608
19 - 23	スレーブ送信 (割り込み発生間隔) ... 609
19 - 24	スレーブ受信 (割り込み発生間隔) ... 610
A - 1	100ピン・プラスチックLQFP (ファインピッチ) (14×14) の場合 ... 654
A - 2	100ピン・プラスチックQFP (14×20) の場合 ... 655

表の目次 (1/3)

表番号	タイトル, ページ
1 - 1	V850/SB1の製品一覧 ... 32
1 - 2	V850/SB2の製品一覧 ... 33
2 - 1	各端子の入出力バッファ電源 ... 75
2 - 2	V850/SB1とV850/SB2の端子の違い ... 75
2 - 3	動作モードによる各端子の動作状態 ... 82
3 - 1	プログラム・レジスタ一覧 ... 99
3 - 2	システム・レジスタ番号 ... 100
3 - 3	割り込み / 例外テーブル ... 110
4 - 1	バス制御端子 ... 131
4 - 2	アクセス・クロック数 ... 132
4 - 3	バス優先順位 ... 148
5 - 1	割り込み要因一覧 ... 150
5 - 2	割り込み制御レジスタ (xxICn) ... 167
5 - 3	割り込みと例外の優先順位 ... 178
5 - 4	キー・リターン検出端子の割り当て ... 185
6 - 1	HALTモード時の動作状態 ... 194
6 - 2	IDLEモード時の動作状態 ... 197
6 - 3	ソフトウェアSTOPモード時の動作状態 ... 199
7 - 1	タイマ0, 1の構成 ... 206
7 - 2	TIn0端子の有効エッジとCRn0のキャプチャ・トリガ ... 207
7 - 3	TIn1端子の有効エッジとCRn0のキャプチャ・トリガ ... 207
7 - 4	TIn0端子の有効エッジとCRn1のキャプチャ・トリガ ... 208
7 - 5	タイマ2-7の構成 ... 243
8 - 1	インターバル・タイマのインターバル時間 ... 262
8 - 2	時計用タイマの構成 ... 262
8 - 3	インターバル・タイマのインターバル時間 ... 266
9 - 1	ウォッチドッグ・タイマの暴走検出時間 ... 269
9 - 2	インターバル・タイマのインターバル時間 ... 269
9 - 3	ウォッチドッグ・タイマの構成 ... 270
9 - 4	ウォッチドッグ・タイマの暴走検出時間 ... 273
9 - 5	インターバル・タイマのインターバル時間 ... 274

表の目次 (2/3)

表番号	タイトル, ページ
10 - 1	CSInの構成 ... 277
10 - 2	I ² Cnの構成 ... 287
10 - 3	選択クロックの設定 ... 299
10 - 4	INTIICn発生タイミングおよびウエイト制御 ... 327
10 - 5	拡張コードのビットの定義 ... 329
10 - 6	アービトレーション発生時の状態と割り込み要求発生タイミング ... 330
10 - 7	ウエイト時間 ... 331
10 - 8	I ² Cnの構成 ... 347
10 - 9	選択クロックの設定 ... 361
10 - 10	INTIICn発生タイミングおよびウエイト制御 ... 389
10 - 11	拡張コードのビットの定義 ... 391
10 - 12	アービトレーション発生時の状態と割り込み要求発生タイミング ... 392
10 - 13	ウエイト時間 ... 393
10 - 14	ウエイト時間 ... 396
10 - 15	UARTnの構成 ... 409
10 - 16	メイン・クロックとポー・レートの関係 ... 421
10 - 17	受信エラーの要因 ... 427
10 - 18	CSI4の構成 ... 429
11 - 1	A/Dコンバータの構成 ... 442
12 - 1	DMAで使用できる内蔵RAM領域 ... 465
13 - 1	RTOの構成 ... 478
13 - 2	リアルタイム出力バッファ・レジスタに対する操作時の動作 ... 479
13 - 3	リアルタイム出力ポートの動作モードと出力トリガ ... 481
14 - 1	各端子の入出力バッファ電源 ... 485
14 - 2	ポート0の兼用端子 ... 486
14 - 3	ポート1の兼用端子 ... 491
14 - 4	ポート2の兼用端子 ... 496
14 - 5	ポート3の兼用端子 ... 501
14 - 6	ポート4, ポート5の兼用端子 ... 506
14 - 7	ポート6の兼用端子 ... 509
14 - 8	ポート7, ポート8の兼用端子 ... 511
14 - 9	ポート9の兼用端子 ... 513
14 - 10	ポート10の兼用端子 ... 516
14 - 11	ポート11の兼用端子 ... 520
14 - 12	ポート端子を兼用端子として使用する場合の設定 ... 523

表の目次 (3/3)

表番号	タイトル, ページ
18 - 1	V850/SB1, V850/SB2フラッシュ書きこみ用アダプタ (FA-100GC-8EU) の配線表 ... 539
18 - 2	V850/SB1, V850/SB2フラッシュ書きこみ用アダプタ (FA-100GF-3BA) の配線表 ... 541
18 - 3	専用フラッシュ・ライター (PG-FP3) の信号生成 ... 544
18 - 4	各シリアル・インタフェースが使用する端子 ... 546
18 - 5	通信方式一覧 ... 550
18 - 6	フラッシュ・メモリ制御用コマンド ... 551
18 - 7	応答コマンド ... 552
19 - 1	通信モード1における伝送速度, 最大伝送バイト数 ... 554
19 - 2	コントロール・ビットの内容 ... 559
19 - 3	ロックされたスレーブ・ユニットに対するコントロール・フィールド ... 560
19 - 4	ロックされていないスレーブ・ユニットに対するコントロール・フィールド ... 560
19 - 5	コントロール・フィールドのアクノリッジ信号出力条件 ... 561
19 - 6	電文長ビットの内容 ... 562
19 - 7	IEBusコントローラの内部レジスタ一覧 ... 572
19 - 8	ISRレジスタの各フラグのリセット条件 ... 587
19 - 9	割り込み要因一覧 ... 597
19 - 10	通信エラー要因処理一覧 ... 598
22 - 1	表面実装タイプの半田付け条件 ... 649
C - 1	オペランド記述に使われる略号 ... 662
C - 2	オペコード欄に使われる略号 ... 663
C - 3	オペレーション欄に使われる略号 ... 663
C - 4	フラグの動作 ... 664
C - 5	条件コード ... 664

第1章 イントロダクション

V850/SB1, V850/SB2は, NECのリアルタイム制御向けシングルチップ・マイクロコンピュータV850シリーズのロウ・パワー・シリーズの1製品です。

1.1 概 説

V850/SB1, V850/SB2は, V850シリーズのCPUコアを使用し, ROM/RAM, タイマ/カウンタ, シリアル・インタフェース, A/Dコンバータ, タイマ, DMAコントローラなどの周辺機能を内蔵した32ビット・シングルチップ・マイクロコンピュータです。

V850/SA1™に対しては, 3-5 VのI/Oインタフェースの対応, ROMコレクションなどの周辺機能を追加しています。

V850/SB2は, V850/SB1に車内LAN (IEBus™ (Inter Equipment Bus™)) の周辺機能を追加しています。

V850/SB1, V850/SB2は, 高いリアルタイム応答性と1クロック・ピッチの基本命令に加え, デジタル・サーボ制御の応用に最適な命令として, ハードウェア乗算器による乗算命令, 飽和演算命令, ビット操作命令などを持っています。また, リアルタイム制御システムとして, 低消費電力を必要とするオーディオ機器, カー・オーディオ, VTRなどへの応用が, きわめて高いコスト・パフォーマンスで実現できます。

表1 - 1にV850/SB1, V850/SB2の製品一覧について示します。

表1 - 1 V850/SB1の製品一覧

製品名		I ² C 内蔵	ROM		RAM サイズ	パッケージ	IEBus 内蔵
愛称	品名		種類	サイズ			
V850/SB1	μ PD703031A	なし	マスクROM	128 Kバイト	12 Kバイト	100ピンQFP (14 × 20) / 100ピンLQFP (14 × 14)	なし
	μ PD703031AY	あり					
	μ PD703033A	なし	マスクROM	256 Kバイト	16 Kバイト	100ピンQFP (14 × 20) / 100ピンLQFP (14 × 14)	
	μ PD70F3033A						
	μ PD703033AY	あり	マスクROM				
	μ PD70F3033AY		フラッシュ・メモリ				
	μ PD703032A	なし	マスクROM	512 Kバイト	24 Kバイト	100ピンQFP (14 × 20)	
	μ PD70F3032A		フラッシュ・メモリ				
	μ PD703032AY	あり	マスクROM				
	μ PD70F3032AY		フラッシュ・メモリ				
	μ PD703031B	なし	マスクROM	128 Kバイト	8 Kバイト	100ピンQFP (14 × 20) / 100ピンLQFP (14 × 14)	
	μ PD703031BY	あり					
	μ PD703033B	なし	マスクROM	256 Kバイト	16 Kバイト	100ピンQFP (14 × 20) / 100ピンLQFP (14 × 14)	
	μ PD70F3033B		フラッシュ・メモリ				
	μ PD703033BY	あり	マスクROM				
	μ PD70F3033BY		フラッシュ・メモリ				
	μ PD703030B	なし	マスクROM	384 Kバイト	24 Kバイト	100ピンQFP (14 × 20) / 100ピンLQFP (14 × 14)	
	μ PD70F3030B		フラッシュ・メモリ				
	μ PD703030BY	あり	マスクROM				
	μ PD70F3030BY		フラッシュ・メモリ				
μ PD703032B	なし	マスクROM	512 Kバイト	24 Kバイト	100ピンQFP (14 × 20)		
μ PD70F3032B		フラッシュ・メモリ					
μ PD703032BY	あり	マスクROM					
μ PD70F3032BY		フラッシュ・メモリ					

表1 - 2 V850/SB2の製品一覧

製品名		I ² C 内蔵	ROM		RAM サイズ	パッケージ	IEBus 内蔵
愛称	品名		種類	サイズ			
V850/SB2	μ PD703034A	なし	マスクROM	128 Kバイト	12 Kバイト	100ピンQFP (14 × 20) / 100ピンLQFP (14 × 14)	あり
	μ PD703034AY	あり					
	μ PD703035A	なし	マスクROM	256 Kバイト	16 Kバイト	100ピンQFP (14 × 20) / 100ピンLQFP (14 × 14)	
	μ PD70F3035A						
	μ PD703035AY	あり	マスクROM				
	μ PD70F3035AY		フラッシュ・メモリ				
	μ PD703037A	なし	マスクROM	512 Kバイト	24 Kバイト	100ピンQFP (14 × 20)	
	μ PD70F3037A						
	μ PD703037AY	あり	マスクROM				
	μ PD70F3037AY		フラッシュ・メモリ				
	μ PD703034B	なし	マスクROM	128 Kバイト	8 Kバイト	100ピンQFP (14 × 20) / 100ピンLQFP (14 × 14)	
	μ PD703034BY	あり					
	μ PD703035B	なし	マスクROM	256 Kバイト	16 Kバイト	100ピンQFP (14 × 20) / 100ピンLQFP (14 × 14)	
	μ PD70F3035B						
	μ PD703035BY	あり	マスクROM				
	μ PD70F3035BY		フラッシュ・メモリ				
	μ PD703036H	なし	マスクROM	384 Kバイト	24 Kバイト	100ピンQFP (14 × 20) / 100ピンLQFP (14 × 14)	
	μ PD70F3036H						
	μ PD703036HY	あり	マスクROM				
	μ PD70F3036HY		フラッシュ・メモリ				
μ PD703037H	なし	マスクROM	512 Kバイト	24 Kバイト	100ピンQFP (14 × 20)		
μ PD70F3037H						フラッシュ・メモリ	
μ PD703037HY	あり	マスクROM					
μ PD70F3037HY		フラッシュ・メモリ					

このマニュアルでは、V850/SB1, V850/SB2の品名を次に示すように記載しています。

・ A品

V850/SB1のA品 : μ PD703031A, 703031AY, 703032A, 703032AY, 703033A, 703033AY, 70F3032A,
70F3032AY, 70F3033A, 70F3033AY

V850/SB2のA品 : μ PD703034A, 703034AY, 703035A, 703035AY, 703037A, 703037AY, 70F3035A,
70F3035AY, 70F3037A, 70F3037AY

・ B品 , H品

V850/SB1のB品 : μ PD703030B, 703030BY, 703031B, 703031BY, 703032B, 703032BY, 703033B,
703033BY, 70F3030B, 70F3030BY, 70F3032B, 70F3032BY, 70F3033B, 70F3033BY

V850/SB2のB, H品 : μ PD703034B, 703034BY, 703035B, 703035BY, 703036H, 703036HY, 703037H,
703037HY, 70F3035B, 70F3035BY, 70F3036H, 70F3036HY, 70F3037H,
70F3037HY

・フラッシュ・メモリ品

V850/SB1のフラッシュ・メモリ品 : μ PD70F3030B, 70F3030BY, 70F3032A, 70F3032AY, 70F3032B,
70F3032BY, 70F3033A, 70F3033AY, 70F3033B, 70F3033BY

V850/SB2のフラッシュ・メモリ品 : μ PD70F3035A, 70F3035AY, 70F3035B, 70F3035BY, 70F3036H,
70F3036HY, 70F3037A, 70F3037AY, 70F3037H, 70F3037HY

・マスクROM品

V850/SB1のマスクROM品 : μ PD703030B, 703030BY, 703031A, 703031AY, 703031B, 703031BY,
703032A, 703032AY, 703032B, 703032BY, 703033A, 703033AY, 703033B,
703033BY

V850/SB2のマスクROM品 : μ PD703034A, 703034AY, 703034B, 703034BY, 703035A, 703035AY,
703035B, 703035BY, 703036H, 703036HY, 703037A, 703037AY,
703037H, 703037HY

・Y品 (I²C内蔵品)

V850/SB1のY品 (I²C内蔵品) : μ PD703030BY, 703031AY, 703031BY, 703032AY, 703032BY, 703033AY,
703033BY, 70F3030BY, 70F3032AY, 70F3032BY, 70F3033AY, 70F3033BY

V850/SB2のY品 (I²C内蔵品) : μ PD703034AY, 703034BY, 703035AY, 703035BY, 703036HY, 703037AY,
703037HY, 70F3035AY, 70F3035BY, 70F3036HY, 70F3037AY, 70F3037BY

1.2 V850/SB1 (A品)

1.2.1 特徴 (V850/SB1 (A品))

命令数 74

最小命令実行時間 50 ns (20 MHz動作時, 外部電源5 V, レギュレータ出力3.3 V動作時)

汎用レジスタ 32ビット×32本

命令セット 符号付き乗算 (16×16 32) : 100 ns (20 MHz動作時)

(レジスタ・ハザードが起きない後続の命令を並列に実行可能)

飽和演算 (オーバフロー/アンダフロー検出機能付き)

32ビット・シフト命令 : 1クロック

ビット操作命令

ロング/ショート形式を持つロード/ストア命令

メモリ空間 16 Mバイト・リニア・アドレス空間 (プログラム/データ共用)

外部拡張 : 4 Mバイトまで可能

メモリ・ブロック分割機能 : 2 Mバイト/ブロック

プログラマブル・ウェイト機能

アイドル・ステート挿入機能

外部バス・インタフェース

16ビット・データ・バス (アドレス/データ・マルチプレクス)

アドレス・バス : セパレート出力可能

3-5 Vインタフェース可能

バス・ホールド機能

外部ウェイト機能

内蔵メモリ μ PD703031A, 703031AY (マスクROM : 128 Kバイト / RAM : 12 Kバイト)

μ PD703033A, 703033AY (マスクROM : 256 Kバイト / RAM : 16 Kバイト)

μ PD703032A, 703032AY (マスクROM : 512 Kバイト / RAM : 24 Kバイト)

μ PD70F3033A, 70F3033AY (フラッシュ・メモリ : 256 Kバイト / RAM : 16 Kバイト)

μ PD70F3032A, 70F3032AY (フラッシュ・メモリ : 512 Kバイト / RAM : 24 Kバイト)

割り込み / 例外

ノンマスクابل割り込み : 2要因

マスクابل割り込み : 37要因 (μ PD703031A, 703032A, 703033A, 70F3032A, 70F3033A)

38要因 (μ PD703031AY, 703032AY, 703033AY, 70F3032AY,
70F3033AY)

ソフトウェア例外 : 32要因

例外トラップ : 1要因

I/Oライン 合計 : 83 (入力ポート : 12 入出力ポート : 71)

3-5 Vインタフェース可能

タイマ / カウンタ

16ビット・タイマ : 2ch (PWM出力)

8ビット・タイマ : 6ch (カスケード接続可能, 4本PWM出力可能)

時計用タイマ サブクロック/メイン・クロック動作：1ch
 IDLEモード時もサブクロック/メイン・クロックで動作可能

ウォッチドッグ・タイマ：1ch

シリアル・インタフェース (SIO)
 アシクロナス・シリアル・インタフェース (UART)
 クロック同期式シリアル・インタフェース (CSI)
 I²Cバス・インタフェース (I²C)
 (μ PD703031AY, 703032AY, 703033AY, 70F3032AY, 70F3033AYのみ)
 8-16ビット可変長シリアル・インタフェース
 CSI /UART : 2ch
 CSI / I²C : 2ch
 CSI (8-16可変) : 1ch
 専用ポー・レート・ジェネレータ：3ch

A/Dコンバータ 10ビット分解能：12ch

DMAコントローラ 内蔵RAM 内蔵周辺I/O間：6ch

リアルタイム出力ポート 8ビット×1ch または 4ビット×2ch

ROMコレクション：4箇所修正可能

レギュレータ：4.0~5.5 V入力 内部3.3 V

キー・リターン機能：4-8本セレクト可能，立ち下がりエッジ固定

クロック・ジェネレータ メイン・クロック/サブクロック動作
 CPUクロック5段階 (サブ動作含む)

パワー・セーブ機能 HALT/IDLE/STOPモード

パッケージ 100ピン・プラスチックLQFP (ファインピッチ) (14×14)
 100ピン・プラスチックQFP (14×20)

CMOS構造 完全スタティック回路

1.2.2 応用分野 (V850/SB1 (A品))

AV機器

例 オーディオ，カー・オーディオ，VTR，TV

1.2.3 オーダ情報 (V850/SB1 (A品))

品 名	パッケージ	内蔵ROM
μ PD703031AGC-xxx-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	マスクROM (128 Kバイト)
μ PD703031AGF-xxx-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD703031AYGC-xxx-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	"
μ PD703031AYGF-xxx-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD703033AGC-xxx-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	マスクROM (256 Kバイト)
μ PD703033AGF-xxx-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD703033AYGC-xxx-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	"
μ PD703033AYGF-xxx-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD703032AGF-xxx-3BA	"	マスクROM (512 Kバイト)
μ PD703032AYGF-xxx-3BA	"	"
μ PD70F3033AGC-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	フラッシュ・メモリ (256 Kバイト)
μ PD70F3033AGF-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD70F3033AYGC-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	"
μ PD70F3033AYGF-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD70F3032AGF-3BA	"	フラッシュ・メモリ (512 Kバイト)
μ PD70F3032AYGF-3BA	"	"

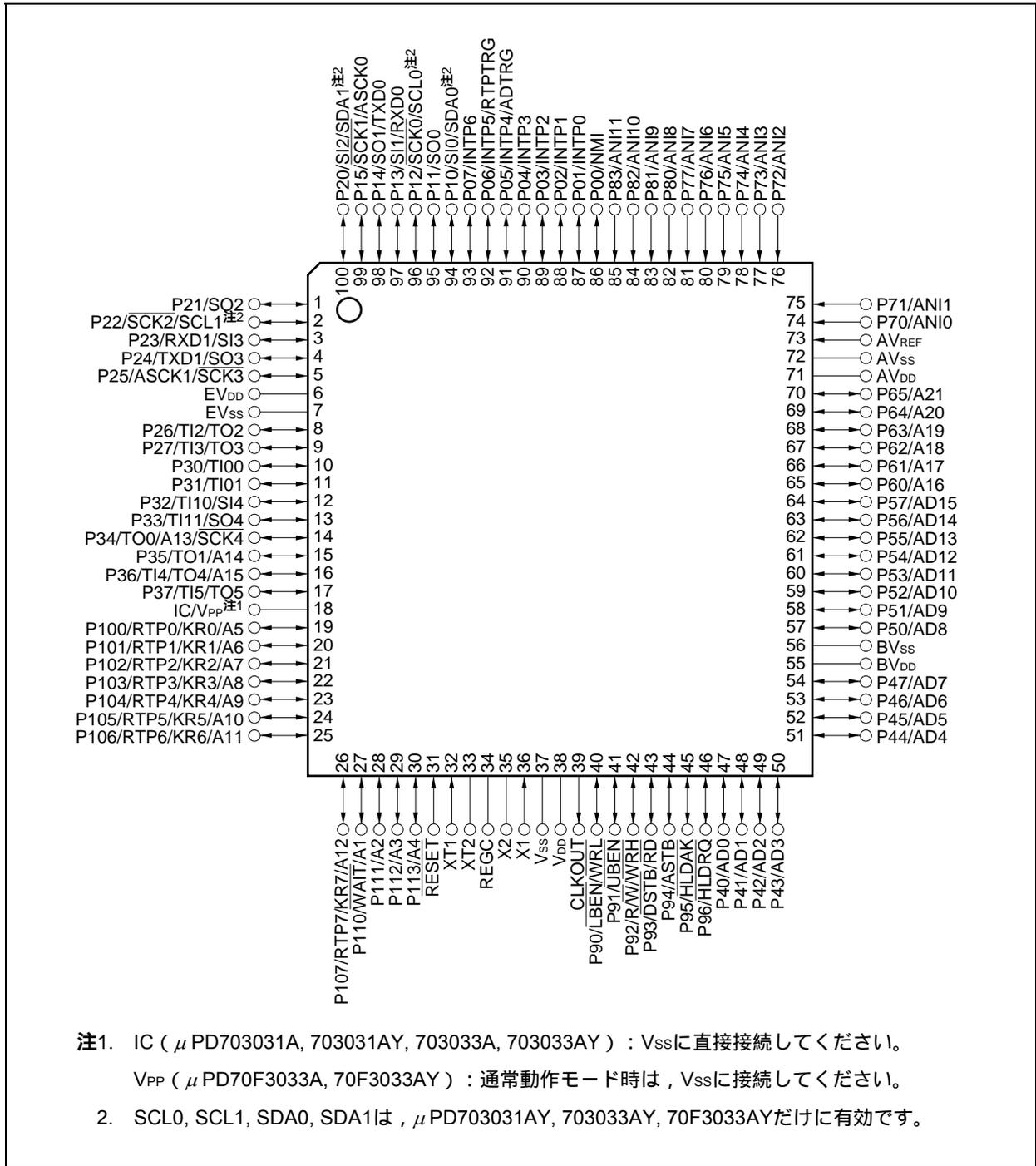
備考1. xxxはROMコード番号です。

2. ROMレス品はありません。

1.2.4 端子接続図 (Top View) (V850/SB1 (A品))

100ピン・プラスチックLQFP (ファインピッチ) (14×14)

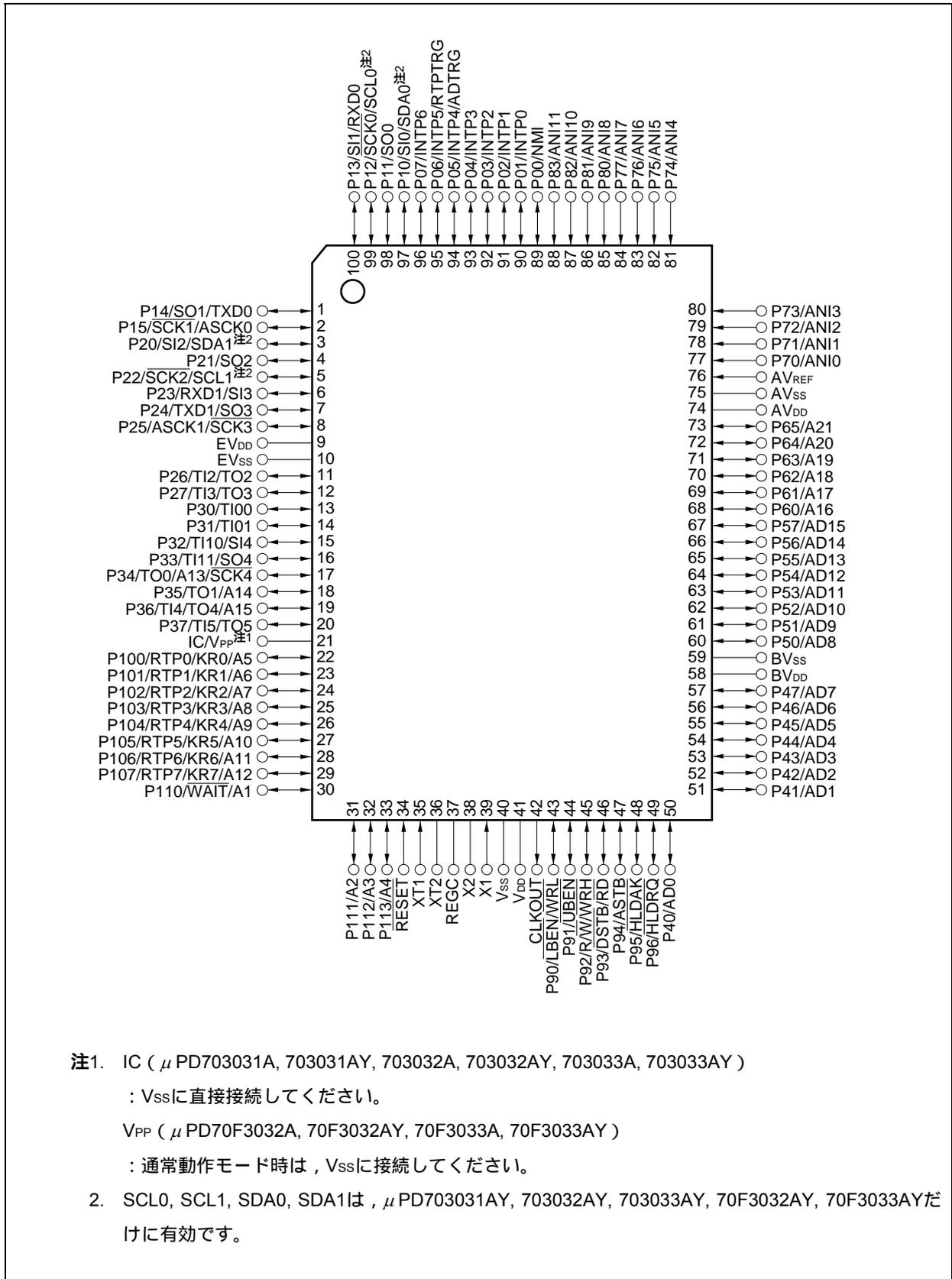
- ・ μ PD703031AGC-xxx-8EU
- ・ μ PD703031AYGC-xxx-8EU
- ・ μ PD703033AGC-xxx-8EU
- ・ μ PD703033AYGC-xxx-8EU



- 注1. IC (μ PD703031A, 703031AY, 703033A, 703033AY) : VSSに直接接続してください。
 VPP (μ PD70F3033A, 70F3033AY) : 通常動作モード時は, VSSに接続してください。
2. SCL0, SCL1, SDA0, SDA1は, μ PD703031AY, 703033AY, 70F3033AYだけに有効です。

100ピン・プラスチックQFP (14 × 20)

- μ PD703031AGF-xxx-3BA • μ PD703033AGF-xxx-3BA • μ PD70F3033AGF-3BA
- μ PD703031AYGF-xxx-3BA • μ PD703033AYGF-xxx-3BA • μ PD70F3033AYGF-3BA
- μ PD703032AGF-xxx-3BA • μ PD70F3032AGF-3BA
- μ PD703032AYGF-xxx-3BA • μ PD70F3032AYGF-3BA



注1. IC (μ PD703031A, 703031AY, 703032A, 703032AY, 703033A, 703033AY)

: V_{SS}に直接接続してください。

V_{PP} (μ PD70F3032A, 70F3032AY, 70F3033A, 70F3033AY)

: 通常動作モード時は, V_{SS}に接続してください。

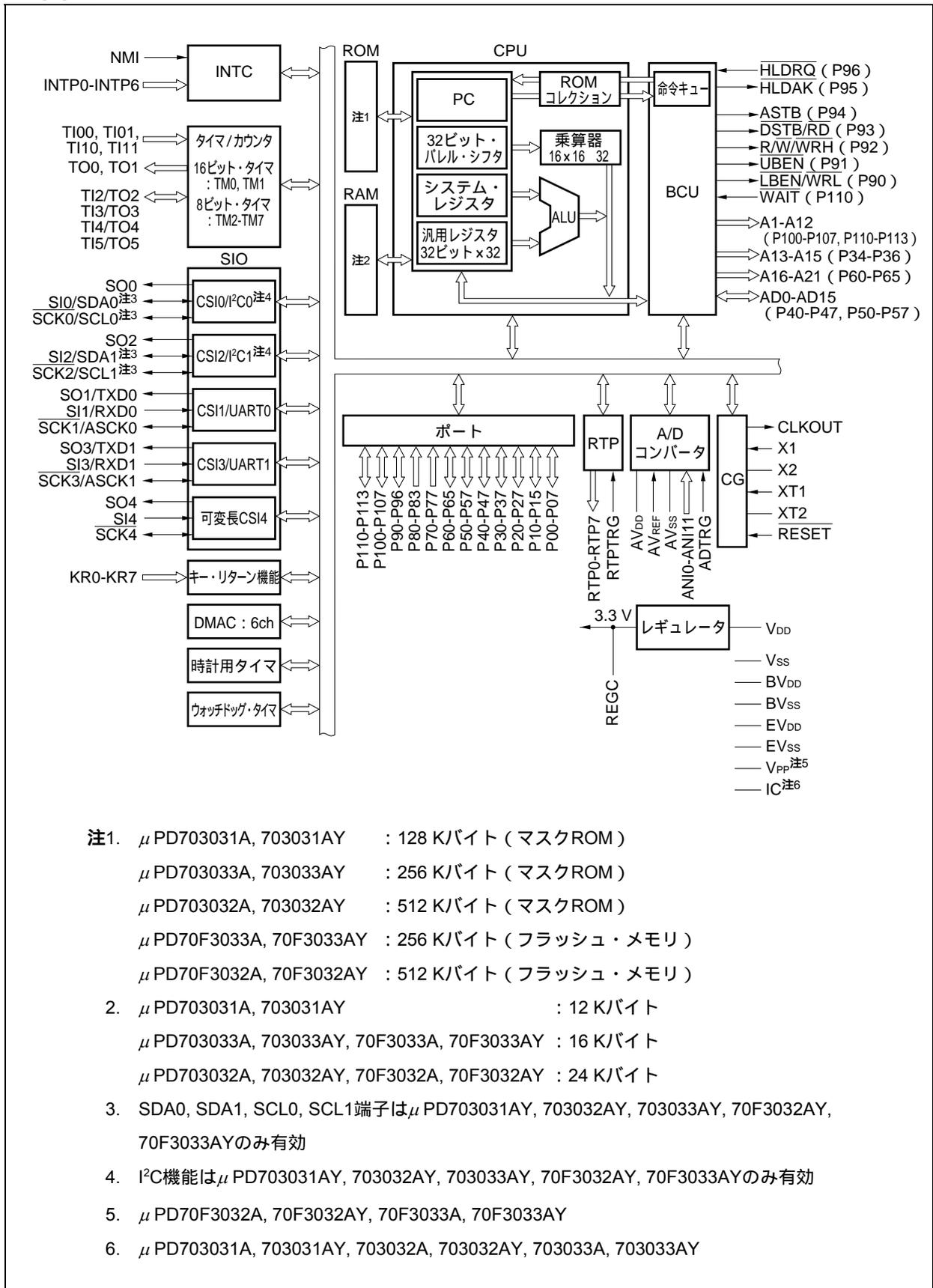
2. SCL0, SCL1, SDA0, SDA1は, μ PD703031AY, 703032AY, 703033AY, 70F3032AY, 70F3033AYだけに有効です。

端子名称 (V850/SB1 (A品))

A1-A21	: Address Bus	P70-P77	: Port7
AD0-AD15	: Address/Data Bus	P80-P83	: Port8
ADTRG	: A/D Trigger Input	P90-P96	: Port9
ANI0-ANI11	: Analog Input	P100-P107	: Port10
ASCK0, ASCK1	: Asynchronous Serial Clock	P110-P113	: Port11
ASTB	: Address Strobe	$\overline{\text{RD}}$: Read
AV _{DD}	: Analog V _{DD}	$\overline{\text{REGC}}$: Regulator Control
AV _{REF}	: Analog Reference Voltage	$\overline{\text{RESET}}$: Reset
AV _{SS}	: Analog V _{SS}	RTP0-RTP7	: Real-time Port
BV _{DD}	: Power Supply for Bus Interface	RTPTRG	: RTP Trigger
BV _{SS}	: Ground for Bus Interface	$\overline{\text{R/W}}$: Read/Write Status
CLKOUT	: Clock Output	$\overline{\text{RXD0}}, \overline{\text{RXD1}}$: Receive Data
$\overline{\text{DSTB}}$: Data Strobe	$\overline{\text{SCK0-SCK4}}$: Serial Clock
EV _{DD}	: Power Supply for Port	SCL0, SCL1	: Serial Clock
EV _{SS}	: Ground for Port	SDA0, SDA1	: Serial Data
$\overline{\text{HLDK}}$: Hold Acknowledge	SI0-SI4	: Serial Input
$\overline{\text{HLDRQ}}$: Hold Request	SO0-SO4	: Serial Output
IC	: Internally Connected	TI00, TI01, TI10,	: Timer Input
INTP0-INTP6	: Interrupt Request From Peripherals	TI11, TI2-TI5	
KR0-KR7	: Key Return	TO0-TO5	: Timer Output
$\overline{\text{LBEN}}$: Lower Byte Enable	$\overline{\text{TXD0}}, \overline{\text{TXD1}}$: Transmit Data
NMI	: Non-maskable Interrupt Request	$\overline{\text{UBEN}}$: Upper Byte Enable
P00-P07	: Port0	V _{DD}	: Power Supply
P10-P15	: Port1	V _{PP}	: Programming Power Supply
P20-P27	: Port2	V _{SS}	: Ground
P30-P37	: Port3	$\overline{\text{WAIT}}$: Wait
P40-P47	: Port4	$\overline{\text{WRH}}$: Write Strobe High Level Data
P50-P57	: Port5	$\overline{\text{WRL}}$: Write Strobe Low Level Data
P60-P65	: Port6	X1, X2	: Crystal for Main Clock
		XT1, XT2	: Crystal for Sub-clock

1.2.5 機能ブロック構成 (V850/SB1 (A品))

(1) 内部ブロック図



(2) 内部ユニット**(a) CPU**

アドレス計算，算術論理演算，データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行できます。

乗算器（16ビット×16ビット 32ビット），バレル・シフタ（32ビット）などの専用ハードウェアを内蔵し，複雑な命令処理の高速化を図っています。

(b) バス・コントロール・ユニット (BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は，プリフェッチ・アドレスを生成し，命令コードのプリフェッチを行います。プリフェッチされた命令コードは，内部の命令キューに取り込まれます。

(c) ROM

00000000H番地からマッピングされるマスクROMまたはフラッシュ・メモリです。製品によりROM容量が異なります。次に各製品のROM容量について示します。

μ PD703031A, 703031AY : 128 Kバイト (マスクROM)

μ PD703033A, 703033AY : 256 Kバイト (マスクROM)

μ PD70F3033A, 70F3033AY : 256 Kバイト (フラッシュ・メモリ)

μ PD703032A, 703032AY : 512 Kバイト (マスクROM)

μ PD70F3032A, 70F3032AY : 512 Kバイト (フラッシュ・メモリ)

命令フェッチ時にCPUから1クロックでアクセスできます。

(d) RAM

製品によりRAM容量とマッピングされる番地が異なります。次に各製品のRAM容量について示します。

μ PD703031A, 703031AY : 12 Kバイト (FFFFC000H番地からマッピング)

μ PD703033A, 703033AY, 70F3033A, 70F3033AY : 16 Kバイト (FFFFB000H番地からマッピング)

μ PD703032A, 703032AY, 70F3032A, 70F3032AY : 24 Kバイト (FFFF9000H番地からマッピング)

データ・アクセス時にCPUから1クロックでアクセスできます。

(e) 割り込みコントローラ (INTC)

内蔵周辺ハードウェア，および外部からのハードウェア割り込み要求 (NMI, INTP0-INTP6) を処理します。これらの割り込み要求は，8レベルの割り込み優先順位を指定でき，割り込み要因に対して多重処理制御ができます。

(f) クロック・ジェネレータ (CG)

メイン・システム・クロック (f_{XX}) 用とサブシステム・クロック (f_{XT}) 用の2種類の発振回路を内蔵しています。5種類 (f_{XX} , $f_{XX}/2$, $f_{XX}/4$, $f_{XX}/8$, f_{XT}) のクロックを生成して、そのうちの1つをCPUの動作クロック (f_{CPU}) として供給します。

(g) タイマ/カウンタ

16ビットのタイマ/イベント・カウンタを2チャンネルと、8ビットのタイマ/イベント・カウンタを4チャンネル、8ビットのインターバル・タイマを2チャンネル内蔵しています。パルス間隔や周波数の計測、プログラマブルなパルスの出力ができます。

2チャンネルの8ビット・タイマ/イベント・カウンタをカスケード接続し、16ビット・タイマとしても使用できます。

2チャンネルの8ビット・インターバル・タイマをカスケード接続し、16ビット・タイマとしても使用できます。

(h) 時計用タイマ

サブシステム・クロック (32.768 kHz) またはメイン・システム・クロックから時計カウント用の基準時間 (0.5秒) をカウントします。メイン・システム・クロックによるインターバル・タイマとしても同時に使用できます。

(i) ウォッチドッグ・タイマ

プログラムの暴走、システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。インターバル・タイマとしても使用できます。

ウォッチドッグ・タイマとして使用する場合は、オーバフローでノンマスカブル割り込み要求 (INTWDT) が発生します。インターバル・タイマとして使用する場合は、オーバフローでマスカブル割り込み要求 (INTWDTM) が発生します。

(j) シリアル・インタフェース (SIO)

V850/SB1には、シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェース (UART0, UART1)、クロック同期式シリアル・インタフェース (CSI0-CSI3)、8-16ビット可変長シリアル・インタフェース (CSI4)、I²Cバス・インタフェース (I²C0, I²C1) を内蔵して、最大5チャンネルを同時に使用できます。このうち2チャンネルはUARTとCSIの切り替えが可能、別の2チャンネルはCSIとI²Cの切り替えができます。

UART0, UART1は、TXD0, TXD1, RXD0, RXD1端子によりデータ転送を行います。

CSI0-CSI3は、SO0-SO3, SI0-SI3, $\overline{\text{SCK0-SCK3}}$ 端子によりデータ転送を行います。

CSI4は、SO4, SI4, $\overline{\text{SCK4}}$ 端子によりデータ転送を行います。

I²C0, I²C1は、SDA0, SDA1, SCL0, SCL1端子によりデータ転送を行います。

I²C0, I²C1は、 μ PD703031AY, 703032AY, 703033AY, 70F3032AY, 70F3033AYのみ内蔵しています。

UARTとCSI4は専用ポー・レート・ジェネレータを内蔵しています。

(k) A/Dコンバータ

12本のアナログ入力端子を持つ高速、高分解能の10ビットA/Dコンバータです。逐次変換方式で変換します。

(l) DMAコントローラ

6チャンネルのDMAコントローラを内蔵しています。内蔵周辺I/Oによる割り込み要求に基づいて、内蔵RAMと内蔵周辺I/O間でデータを転送します。

(m) RTP

あらかじめ設定しておいた8ビット・データを、外部トリガ信号またはタイマのコンペア・レジスタの一致信号により出力ラッチに転送する、リアルタイム出力機能です。4ビット×2chとしても使用できます。

(n) ポート

次に示すように、汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	ポート機能	制御機能
ポート0	8ビット入出力	汎用ポート	NMI, 外部割り込み, A/Dコンバータ・トリガ, RTPトリガ
ポート1	6ビット入出力		シリアル・インタフェース
ポート2	8ビット入出力		シリアル・インタフェース, タイマ入出力
ポート3	8ビット入出力		タイマ入出力, 外部アドレス・バス, シリアル・インタフェース
ポート4	8ビット入出力		外部アドレス/データ・バス
ポート5	8ビット入出力		
ポート6	6ビット入出力		外部アドレス・バス
ポート7	8ビット入力		A/Dコンバータ・アナログ入力
ポート8	4ビット入力		
ポート9	7ビット入出力		外部バス・インタフェース制御信号入出力
ポート10	8ビット入出力		リアルタイム出力ポート, 外部アドレス・バス, キー・リターン入力
ポート11	4ビット入出力		ウェイト制御, 外部アドレス・バス

1.3 V850/SB1 (B品)

1.3.1 特徴 (V850/SB1 (B品))

命令数 74

最小命令実行時間 50 ns (20 MHz動作時, 外部電源5 V, レギュレータ出力3.3 V動作時)

汎用レジスタ 32ビット×32本

命令セット 符号付き乗算 (16×16 32) : 100 ns (20 MHz動作時)

(レジスタ・ハザードが起きない後続の命令を並列に実行可能)

飽和演算 (オーバフロー/アンダフロー検出機能付き)

32ビット・シフト命令 : 1クロック

ビット操作命令

ロング/ショート形式を持つロード/ストア命令

メモリ空間 16 Mバイト・リニア・アドレス空間 (プログラム/データ共用)

外部拡張 : 4 Mバイトまで可能

メモリ・ブロック分割機能 : 2 Mバイト/ブロック

プログラマブル・ウェイト機能

アイドル・ステート挿入機能

外部バス・インタフェース

16ビット・データ・バス (アドレス/データ・マルチプレクス)

アドレス・バス : セパレート出力可能

3-5 Vインタフェース可能

バス・ホールド機能

外部ウェイト機能

内蔵メモリ μ PD703031B, 703031BY (マスクROM : 128 Kバイト / RAM : 8 Kバイト)

μ PD703033B, 703033BY (マスクROM : 256 Kバイト / RAM : 16 Kバイト)

μ PD703030B, 703030BY (マスクROM : 384 Kバイト / RAM : 24 Kバイト)

μ PD703032B, 703032BY (マスクROM : 512 Kバイト / RAM : 24 Kバイト)

μ PD70F3033B, 70F3033BY (フラッシュ・メモリ : 256 Kバイト / RAM : 16 Kバイト)

μ PD70F3030B, 70F3030BY (フラッシュ・メモリ : 384 Kバイト / RAM : 24 Kバイト)

μ PD70F3032B, 70F3032BY (フラッシュ・メモリ : 512 Kバイト / RAM : 24 Kバイト)

割り込み / 例外

ノンマスクابل割り込み : 2要因

マスクابل割り込み : 37要因 (μ PD703030B, 703031B, 703032B, 703033B, 70F3030B,
70F3032B, 70F3033B)

38要因 (μ PD703030BY, 703031BY, 703032BY, 703033BY,
70F3030BY, 70F3032BY, 70F3033BY)

ソフトウェア例外 : 32要因

例外トラップ : 1要因

I/Oライン 合計 : 83 (入力ポート : 12 出力ポート : 71)

3-5 Vインタフェース可能

タイマ/カウンタ

16ビット・タイマ : 2ch (PWM出力)

8ビット・タイマ : 6ch (カスケード接続可能, 4本PWM出力可能)

時計用タイマ サブクロック/メイン・クロック動作 : 1ch

IDLEモード時もサブクロック/メイン・クロックで動作可能

ウォッチドッグ・タイマ : 1ch

シリアル・インタフェース (SIO)

アシンクロナス・シリアル・インタフェース (UART)

クロック同期式シリアル・インタフェース (CSI)

I²Cバス・インタフェース (I²C)

(μ PD703030BY, 703031BY, 703032BY, 703033BY, 70F3030BY, 70F3032BY, 70F3033BYのみ)

8-16ビット可変長シリアル・インタフェース

CSI /UART : 2ch

CSI/ I²C : 2ch

CSI (8-16可変) : 1ch

専用ポー・レート・ジェネレータ : 3ch

A/Dコンバータ 10ビット分解能 : 12ch

DMAコントローラ 内蔵RAM 内蔵周辺I/O間 : 6ch

リアルタイム出力ポート 8ビット×1ch または 4ビット×2ch

ROMコレクション : 4箇所修正可能

レギュレータ : 4.0~5.5 V入力 内部3.3 V

キー・リターン機能 : 4-8本セレクト可能, 立ち下がりエッジ固定

クロック・ジェネレータ メイン・クロック/サブクロック動作

CPUクロック5段階 (サブ動作含む)

パワー・セーブ機能 HALT/IDLE/STOPモード

パッケージ 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

100ピン・プラスチックQFP (14×20)

CMOS構造 完全スタティック回路

1.3.2 応用分野 (V850/SB1 (B品))

AV機器

例 オーディオ, カー・オーディオ, VTR, TV

1.3.3 オーダ情報 (V850/SB1 (B品))

品 名	パッケージ	内蔵ROM
μ PD703031BGC-xxx-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	マスクROM (128 Kバイト)
μ PD703031BGF-xxx-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD703031BYGC-xxx-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	"
μ PD703031BYGF-xxx-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD703033BGC-xxx-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	マスクROM (256 Kバイト)
μ PD703033BGF-xxx-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD703033BYGC-xxx-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	"
μ PD703033BYGF-xxx-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD703030BGC-xxx-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	マスクROM (384 Kバイト)
μ PD703030BGF-xxx-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD703030BYGC-xxx-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	"
μ PD703030BYGF-xxx-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD703032BGF-xxx-3BA	"	マスクROM (512 Kバイト)
μ PD703032BYGF-xxx-3BA	"	"
μ PD70F3033BGC-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	フラッシュ・メモリ (256 Kバイト)
μ PD70F3033BGF-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD70F3033BYGC-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	"
μ PD70F3033BYGF-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD70F3030BGC-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	フラッシュ・メモリ (384 Kバイト)
μ PD70F3030BGF-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD70F3030BYGC-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	"
μ PD70F3030BYGF-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD70F3032BGF-3BA	"	フラッシュ・メモリ (512 Kバイト)
μ PD70F3032BYGF-3BA	"	"

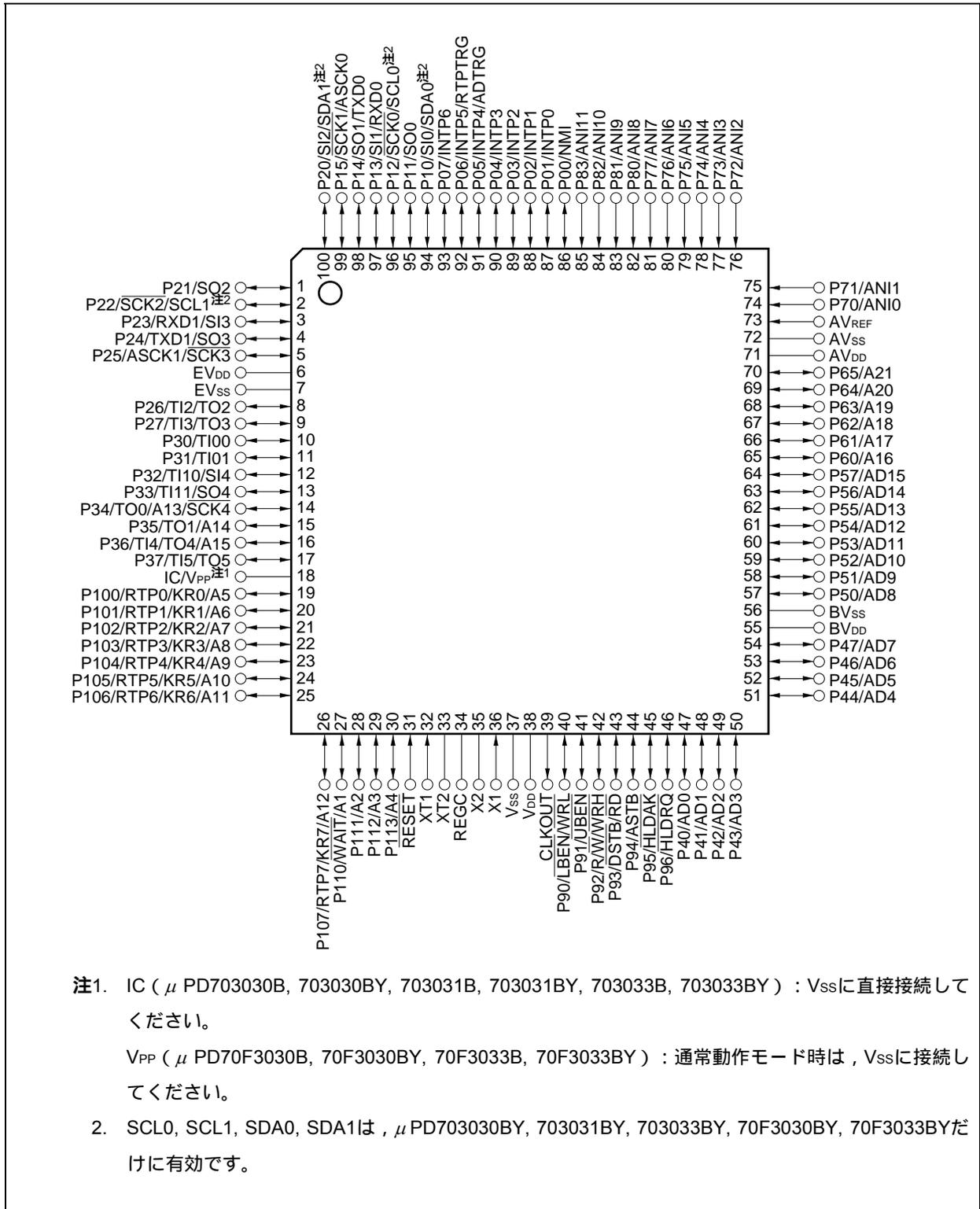
備考1. xxxはROMコード番号です。

2. ROMレス品はありません。

1.3.4 端子接続図 (Top View) (V850/SB1 (B品))

100ピン・プラスチックLQFP (ファインピッチ) (14×14)

- μ PD703030BGC-xxx-8EU • μ PD703033BGC-xxx-8EU • μ PD70F3033BGC-8EU
- μ PD703030BYGC-xxx-8EU • μ PD703033BYGC-xxx-8EU • μ PD70F3033BYGC-8EU
- μ PD703031BGC-xxx-8EU • μ PD70F3030BGC-8EU
- μ PD703031BYGC-xxx-8EU • μ PD70F3030BYGC-8EU



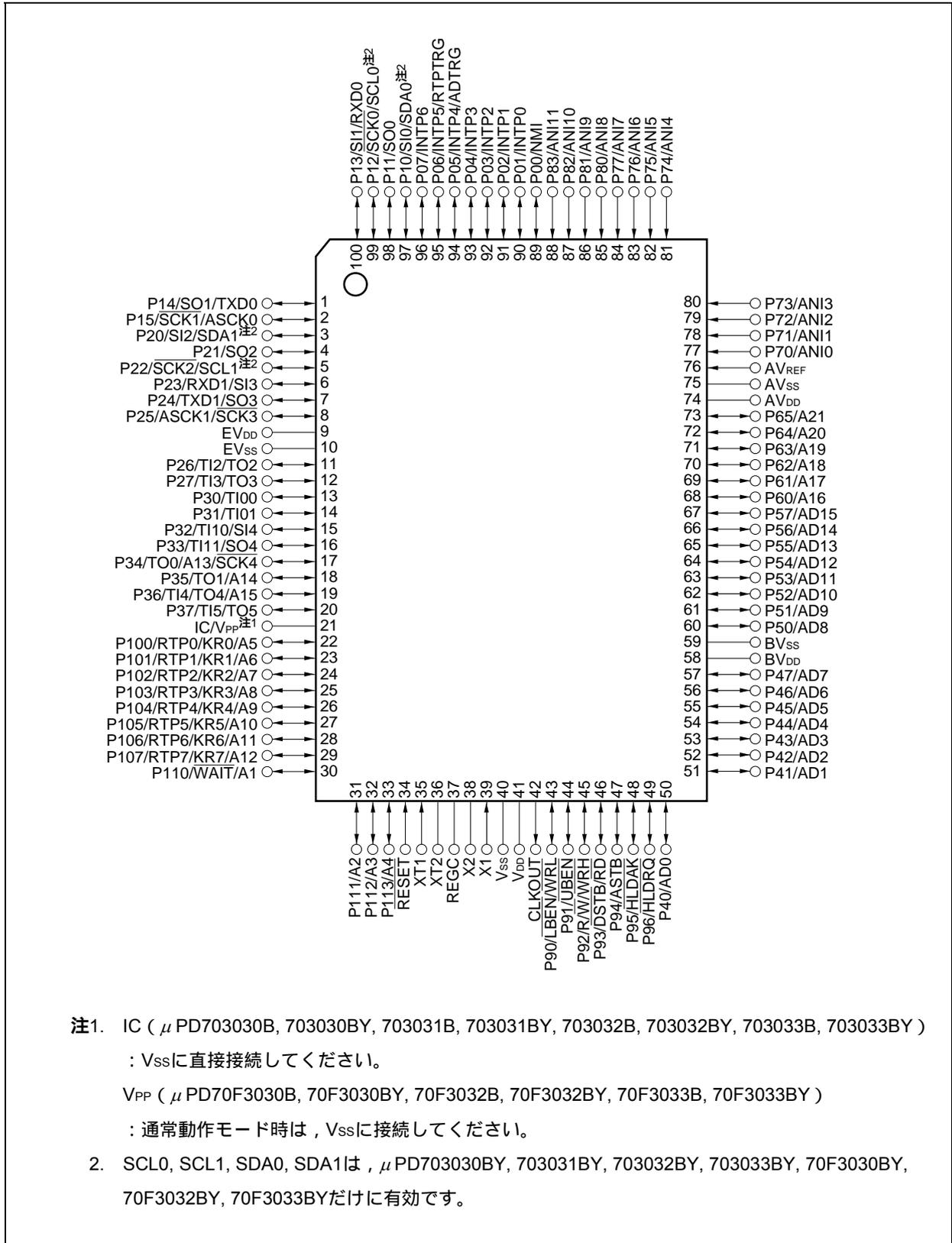
注1. IC (μ PD703030B, 703030BY, 703031B, 703031BY, 703033B, 703033BY) : V_{SS}に直接接続してください。

V_{PP} (μ PD70F3030B, 70F3030BY, 70F3033B, 70F3033BY) : 通常動作モード時は, V_{SS}に接続してください。

2. SCL0, SCL1, SDA0, SDA1は, μ PD703030BY, 703031BY, 703033BY, 70F3030BY, 70F3033BYだけに有効です。

100ピン・プラスチックQFP (14 × 20)

- ・ μ PD703030BGF-xxx-3BA
- ・ μ PD703030BYGF-xxx-3BA
- ・ μ PD703031BGF-xxx-3BA
- ・ μ PD703031BYGF-xxx-3BA
- ・ μ PD703032BGF-xxx-3BA
- ・ μ PD703032BYGF-xxx-3BA
- ・ μ PD703033BGF-xxx-3BA
- ・ μ PD703033BYGF-xxx-3BA
- ・ μ PD703030BGF-3BA
- ・ μ PD703032BGF-3BA
- ・ μ PD703032BYGF-3BA
- ・ μ PD703033BGF-3BA
- ・ μ PD703033BYGF-3BA



注1. IC (μ PD703030B, 703030BY, 703031B, 703031BY, 703032B, 703032BY, 703033B, 703033BY)

: VSSに直接接続してください。

VPP (μ PD70F3030B, 70F3030BY, 70F3032B, 70F3032BY, 70F3033B, 70F3033BY)

: 通常動作モード時は, VSSに接続してください。

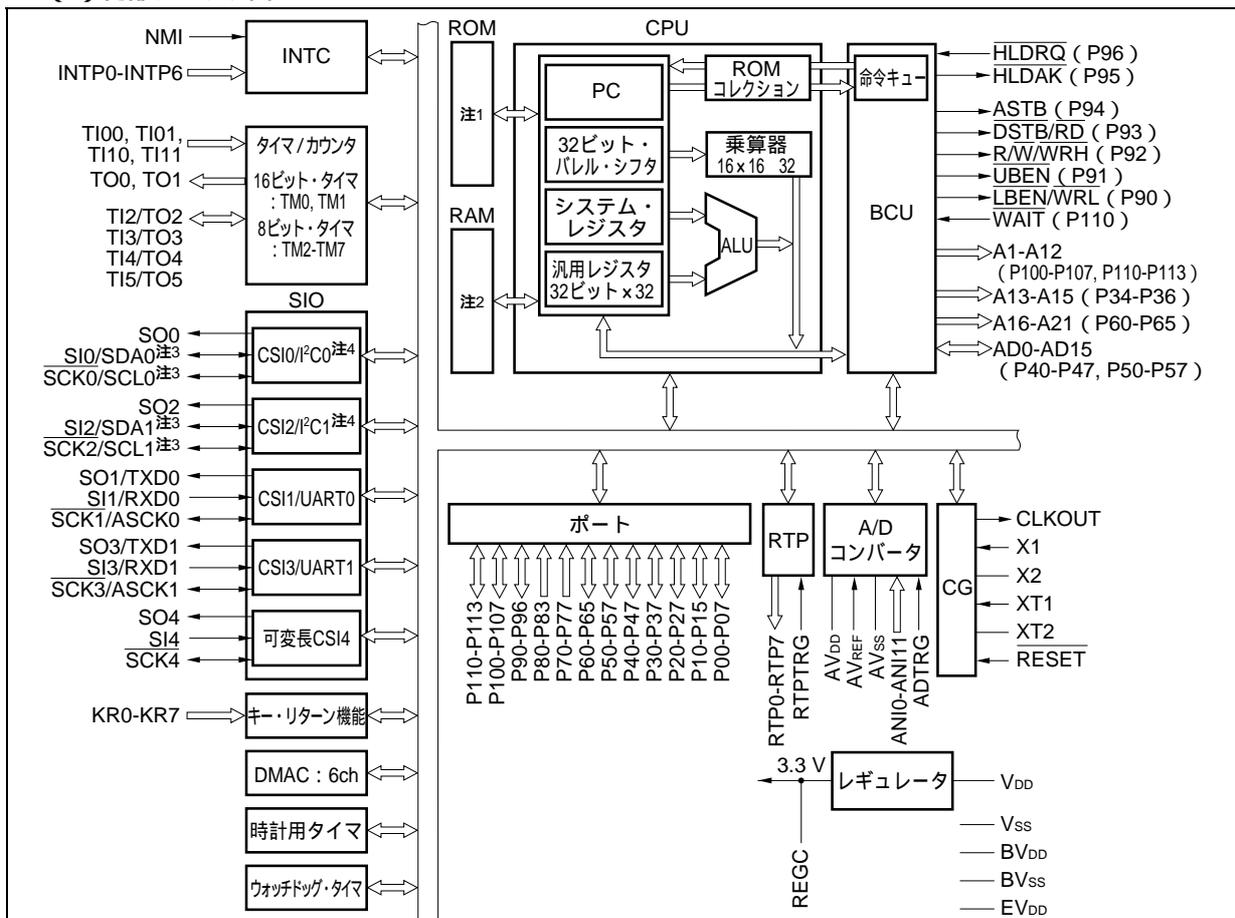
2. SCL0, SCL1, SDA0, SDA1は, μ PD703030BY, 703031BY, 703032BY, 703033BY, 70F3030BY, 70F3032BY, 70F3033BYだけに有効です。

端子名称 (V850/SB1 (B品))

A1-A21	: Address Bus	P70-P77	: Port7
AD0-AD15	: Address/Data Bus	P80-P83	: Port8
ADTRG	: A/D Trigger Input	P90-P96	: Port9
ANI0-ANI11	: Analog Input	P100-P107	: Port10
ASCK0, ASCK1	: Asynchronous Serial Clock	P110-P113	: Port11
ASTB	: Address Strobe	$\overline{\text{RD}}$: Read
AV _{DD}	: Analog V _{DD}	$\overline{\text{REGC}}$: Regulator Control
AV _{REF}	: Analog Reference Voltage	$\overline{\text{RESET}}$: Reset
AV _{SS}	: Analog V _{SS}	RTP0-RTP7	: Real-time Port
BV _{DD}	: Power Supply for Bus Interface	RTPTRG	: RTP Trigger
BV _{SS}	: Ground for Bus Interface	$\overline{\text{R/W}}$: Read/Write Status
CLKOUT	: Clock Output	$\overline{\text{RXD0}}$, $\overline{\text{RXD1}}$: Receive Data
$\overline{\text{DSTB}}$: Data Strobe	$\overline{\text{SCK0-SCK4}}$: Serial Clock
EV _{DD}	: Power Supply for Port	SCL0, SCL1	: Serial Clock
EV _{SS}	: Ground for Port	SDA0, SDA1	: Serial Data
$\overline{\text{HLDK}}$: Hold Acknowledge	SI0-SI4	: Serial Input
$\overline{\text{HLDRQ}}$: Hold Request	SO0-SO4	: Serial Output
IC	: Internally Connected	TI00, TI01, TI10,	: Timer Input
INTP0-INTP6	: Interrupt Request From Peripherals	TI11, TI2-TI5	
KR0-KR7	: Key Return	TO0-TO5	: Timer Output
$\overline{\text{LBEN}}$: Lower Byte Enable	$\overline{\text{TXD0}}$, $\overline{\text{TXD1}}$: Transmit Data
NMI	: Non-maskable Interrupt Request	$\overline{\text{UBEN}}$: Upper Byte Enable
P00-P07	: Port0	V _{DD}	: Power Supply
P10-P15	: Port1	V _{PP}	: Programming Power Supply
P20-P27	: Port2	V _{SS}	: Ground
P30-P37	: Port3	$\overline{\text{WAIT}}$: Wait
P40-P47	: Port4	$\overline{\text{WRH}}$: Write Strobe High Level Data
P50-P57	: Port5	$\overline{\text{WRL}}$: Write Strobe Low Level Data
P60-P65	: Port6	X1, X2	: Crystal for Main Clock
		XT1, XT2	: Crystal for Sub-clock

1.3.5 機能ブロック構成 (V850/SB1 (B品))

(1) 内部ブロック図



- 注1. μ PD703031B, 703031BY : 128 Kバイト (マスクROM)
 μ PD703033B, 703033BY : 256 Kバイト (マスクROM)
 μ PD703030B, 703030BY : 384 Kバイト (マスクROM)
 μ PD703032B, 703032BY : 512 Kバイト (マスクROM)
 μ PD70F3033B, 70F3033BY : 256 Kバイト (フラッシュ・メモリ)
 μ PD70F3030B, 70F3030BY : 384 Kバイト (フラッシュ・メモリ)
 μ PD70F3032B, 70F3032BY : 512 Kバイト (フラッシュ・メモリ)
2. μ PD703031B, 703031BY : 8 Kバイト
 μ PD703033B, 703033BY, 70F3033B, 70F3033BY : 16 Kバイト
 μ PD703030B, 703030BY, 703032B, 703032BY, 70F3030B, 70F3030BY, 70F3032B, 70F3032BY : 24 Kバイト
3. SDA0, SDA1, SCL0, SCL1端子は μ PD703030BY, 703031BY, 703032BY, 703033BY, 70F3032BY, 70F3030BY, 70F3033BYのみ有効
4. I²C機能は μ PD703030BY, 703031BY, 703032BY, 703033BY, 70F3030BY, 70F3032BY, 70F3033BYのみ有効
5. μ PD70F3030B, 70F3030BY, 70F3032B, 70F3032BY, 70F3033B, 70F3033BY
6. μ PD703030B, 703030BY, 703031B, 703031BY, 703032B, 703032BY, 703033B, 703033BY

(2) 内部ユニット**(a) CPU**

アドレス計算，算術論理演算，データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行できます。

乗算器（16ビット×16ビット 32ビット），バレル・シフタ（32ビット）などの専用ハードウェアを内蔵し，複雑な命令処理の高速化を図っています。

(b) バス・コントロール・ユニット (BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は，プリフェッチ・アドレスを生成し，命令コードのプリフェッチを行います。プリフェッチされた命令コードは，内部の命令キューに取り込まれます。

(c) ROM

00000000H番地からマッピングされるマスクROMまたはフラッシュ・メモリです。製品によりROM容量が異なります。次に各製品のROM容量について示します。

μ PD703031B, 703031BY	: 128 Kバイト (マスクROM)
μ PD703033B, 703033BY	: 256 Kバイト (マスクROM)
μ PD70F3033B, 70F3033BY	: 256 Kバイト (フラッシュ・メモリ)
μ PD703030B, 703030BY	: 384 Kバイト (マスクROM)
μ PD70F3030B, 70F3030BY	: 384 Kバイト (フラッシュ・メモリ)
μ PD703032B, 703032BY	: 512 Kバイト (マスクROM)
μ PD70F3032B, 70F3032BY	: 512 Kバイト (フラッシュ・メモリ)

命令フェッチ時にCPUから1クロックでアクセスできます。

(d) RAM

製品によりRAM容量とマッピングされる番地が異なります。次に各製品のRAM容量について示します。

μ PD703031B, 703031BY	: 8 Kバイト (FFFFD000H番地からマッピング)
μ PD703033B, 703033BY, 70F3033B, 70F3033BY	: 16 Kバイト (FFFFB000H番地からマッピング)
μ PD703030B, 703030BY, 70F3030B, 70F3030BY,	: 24 Kバイト (FFFF9000H番地からマッピング)
703032B, 703032BY, 70F3032B, 70F3032BY	

データ・アクセス時にCPUから1クロックでアクセスできます。

(e) 割り込みコントローラ (INTC)

内蔵周辺ハードウェア，および外部からのハードウェア割り込み要求 (NMI, INTP0-INTP6) を処理します。これらの割り込み要求は，8レベルの割り込み優先順位を指定でき，割り込み要因に対して多重処理制御ができます。

(f) クロック・ジェネレータ (CG)

メイン・システム・クロック (f_{XX}) 用とサブシステム・クロック (f_{XT}) 用の2種類の発振回路を内蔵しています。5種類 (f_{XX} , $f_{XX}/2$, $f_{XX}/4$, $f_{XX}/8$, f_{XT}) のクロックを生成して、そのうちの1つをCPUの動作クロック (f_{CPU}) として供給します。

(g) タイマ/カウンタ

16ビットのタイマ/イベント・カウンタを2チャンネルと、8ビットのタイマ/イベント・カウンタを4チャンネル、8ビットのインターバル・タイマを2チャンネル内蔵しています。パルス間隔や周波数の計測、プログラマブルなパルスの出力ができます。

2チャンネルの8ビット・タイマ/イベント・カウンタをカスケード接続し、16ビット・タイマとしても使用できます。

2チャンネルの8ビット・インターバル・タイマをカスケード接続し、16ビット・タイマとしても使用できます。

(h) 時計用タイマ

サブシステム・クロック (32.768 kHz) またはメイン・システム・クロックから時計カウント用の基準時間 (0.5秒) をカウントします。メイン・システム・クロックによるインターバル・タイマとしても同時に使用できます。

(i) ウォッチドッグ・タイマ

プログラムの暴走、システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。インターバル・タイマとしても使用できます。

ウォッチドッグ・タイマとして使用する場合は、オーバフローでノンマスカブル割り込み要求 (INTWDT) が発生します。インターバル・タイマとして使用する場合は、オーバフローでマスカブル割り込み要求 (INTWDTM) が発生します。

(j) シリアル・インタフェース (SIO)

V850/SB1には、シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェース (UART0, UART1)、クロック同期式シリアル・インタフェース (CSI0-CI3)、8-16ビット可変長シリアル・インタフェース (CSI4)、I²Cバス・インタフェース (I²C0, I²C1) を内蔵して、最大5チャンネルを同時に使用できます。このうち2チャンネルはUARTとCSIの切り替えが可能、別の2チャンネルはCSIとI²Cの切り替えができます。

UART0, UART1は、TXD0, TXD1, RXD0, RXD1端子によりデータ転送を行います。

CSI0-CI3は、SO0-SO3, SI0-SI3, $\overline{SCK0-SCK3}$ 端子によりデータ転送を行います。

CSI4は、SO4, SI4, $\overline{SCK4}$ 端子によりデータ転送を行います。

I²C0, I²C1は、SDA0, SDA1, SCL0, SCL1端子によりデータ転送を行います。

I²C0, I²C1は、 μ PD703030BY, 703031BY, 703032BY, 703033BY, 70F3030BY, 70F3032BY, 70F3033BYのみ内蔵しています。

UARTとCSI4は専用ポー・レート・ジェネレータを内蔵しています。

(k) A/Dコンバータ

12本のアナログ入力端子を持つ高速、高分解能の10ビットA/Dコンバータです。逐次変換方式で変換します。

(l) DMAコントローラ

6チャンネルのDMAコントローラを内蔵しています。内蔵周辺I/Oによる割り込み要求に基づいて、内蔵RAMと内蔵周辺I/O間でデータを転送します。

(m) RTP

あらかじめ設定しておいた8ビット・データを、外部トリガ信号またはタイマのコンペア・レジスタの一致信号により出力ラッチに転送する、リアルタイム出力機能です。4ビット×2chとしても使用できます。

(n) ポート

次に示すように、汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	ポート機能	制御機能
ポート0	8ビット入出力	汎用ポート	NMI, 外部割り込み, A/Dコンバータ・トリガ, RTPトリガ
ポート1	6ビット入出力		シリアル・インタフェース
ポート2	8ビット入出力		シリアル・インタフェース, タイマ入出力
ポート3	8ビット入出力		タイマ入出力, 外部アドレス・バス, シリアル・インタフェース
ポート4	8ビット入出力		外部アドレス/データ・バス
ポート5	8ビット入出力		
ポート6	6ビット入出力		外部アドレス・バス
ポート7	8ビット入力		A/Dコンバータ・アナログ入力
ポート8	4ビット入力		
ポート9	7ビット入出力		外部バス・インタフェース制御信号入出力
ポート10	8ビット入出力		リアルタイム出力ポート, 外部アドレス・バス, キー・リターン入力
ポート11	4ビット入出力		ウェイト制御, 外部アドレス・バス

1.4 V850/SB2 (A品)

1.4.1 特徴 (V850/SB2 (A品))

命令数 74

最小命令実行時間 79 ns (12.58 MHz動作時, 外部電源5 V, レギュレータ出力3.0 V動作時)

汎用レジスタ 32ビット×32本

命令セット 符号付き乗算 (16×16 32) : 158 ns (12.58 MHz動作時)

(レジスタ・ハザードが起きない後続の命令を並列に実行可能)

飽和演算 (オーバフロー/アンダフロー検出機能付き)

32ビット・シフト命令 : 1クロック

ビット操作命令

ロング/ショート形式を持つロード/ストア命令

メモリ空間 16 Mバイト・リニア・アドレス空間 (プログラム/データ共用)

外部拡張 : 4 Mバイトまで可能

メモリ・ブロック分割機能 : 2 Mバイト/ブロック

プログラマブル・ウェイト機能

アイドル・ステート挿入機能

外部バス・インタフェース

16ビット・データ・バス (アドレス/データ・マルチプレクス)

アドレス・バス : セパレート出力可能

3-5 Vインタフェース可能

バス・ホールド機能

外部ウェイト機能

内蔵メモリ μ PD703034A, 703034AY (マスクROM : 128 Kバイト / RAM : 12 Kバイト)

μ PD703035A, 703035AY (マスクROM : 256 Kバイト / RAM : 16 Kバイト)

μ PD703037A, 703037AY (マスクROM : 512 Kバイト / RAM : 24 Kバイト)

μ PD70F3035A, 70F3035AY (フラッシュ・メモリ : 256 Kバイト / RAM : 16 Kバイト)

μ PD70F3037A, 70F3037AY (フラッシュ・メモリ : 512 Kバイト / RAM : 24 Kバイト)

割り込み / 例外

ノンマスクابل割り込み : 2要因

マスクابل割り込み : 39要因 (μ PD703034A, 703035A, 703037A, 70F3035A, 70F3037A)

40要因 (μ PD703034AY, 703035AY, 703037AY, 70F3035AY,

70F3037AY)

ソフトウェア例外 : 32要因

例外トラップ : 1要因

I/Oライン 合計 : 83 (入力ポート : 12 入出力ポート : 71)

3-5 Vインタフェース可能

タイマ / カウンタ

16ビット・タイマ : 2ch (PWM出力)

8ビット・タイマ : 6ch (カスケード接続可能, 4本PWM出力可能)

時計用タイマ サブクロック/メイン・クロック動作：1ch
 IDLEモード時もサブクロック/メイン・クロックで動作可能

ウォッチドッグ・タイマ：1ch

シリアル・インタフェース (SIO)

- アシンクロナス・シリアル・インタフェース (UART)
- クロック同期式シリアル・インタフェース (CSI)
- I²Cバス・インタフェース (I²C)
- (μ PD703034AY, 703035AY, 703037AY, 70F3035AY, 70F3037AYのみ)
- 8-16ビット可変長シリアル・インタフェース
 - CSI /UART : 2ch
 - CSI / I²C : 2ch
 - CSI (8-16可変) : 1ch
 - 専用ポー・レート・ジェネレータ : 3ch

A/Dコンバータ 10ビット分解能：12ch

DMAコントローラ 内蔵RAM 内蔵周辺I/O間：6ch

リアルタイム出力ポート 8ビット×1ch または 4ビット×2ch

ROMコレクション：4箇所修正可能

レギュレータ：4.0-5.5 V入力 内部3.0 V

キー・リターン機能：4-8本セレクト可能，立ち下がりエッジ固定

クロック・ジェネレータ メイン・クロック/サブクロック動作
 CPUクロック5段階 (サブ動作含む)

パワー・セーブ機能 HALT/IDLE/STOPモード

IEBusコントローラ：1ch

パッケージ 100ピン・プラスチックLQFP (ファインピッチ) (14×14)
 100ピン・プラスチックQFP (14×20)

CMOS構造 完全スタティック回路

1.4.2 応用分野 (V850/SB2 (A品))

AV機器

例 オーディオ，カー・オーディオ，VTR，TV

1.4.3 オーダ情報 (V850/SB2 (A品))

品 名	パッケージ	内蔵ROM
μ PD703034AGC-xxx-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	マスクROM (128 Kバイト)
μ PD703034AGF-xxx-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD703034AYGC-xxx-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	"
μ PD703034AYGF-xxx-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD703035AGC-xxx-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	マスクROM (256 Kバイト)
μ PD703035AGF-xxx-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD703035AYGC-xxx-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	"
μ PD703035AYGF-xxx-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD703037AGF-xxx-3BA	"	マスクROM (512 Kバイト)
μ PD703037AYGF-xxx-3BA	"	"
μ PD70F3035AGC-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	フラッシュ・メモリ (256 Kバイト)
μ PD70F3035AGF-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD70F3035AYGC-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	"
μ PD70F3035AYGF-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD70F3037AGF-3BA	"	フラッシュ・メモリ (512 Kバイト)
μ PD70F3037AYGF-3BA	"	"

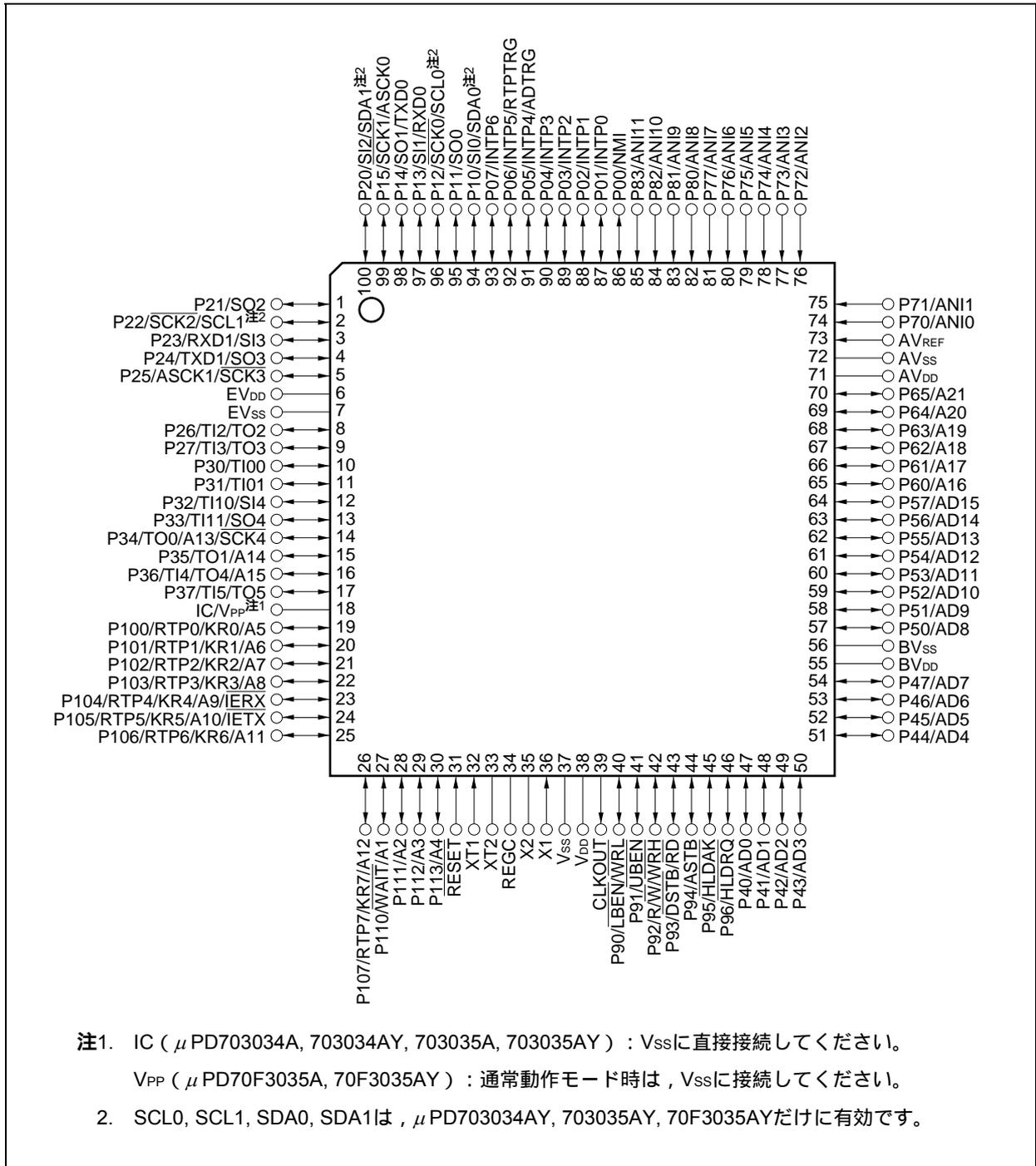
備考1. xxxはROMコード番号です。

2. ROMレス品はありません。

1.4.4 端子接続図 (Top View) (V850/SB2 (A品))

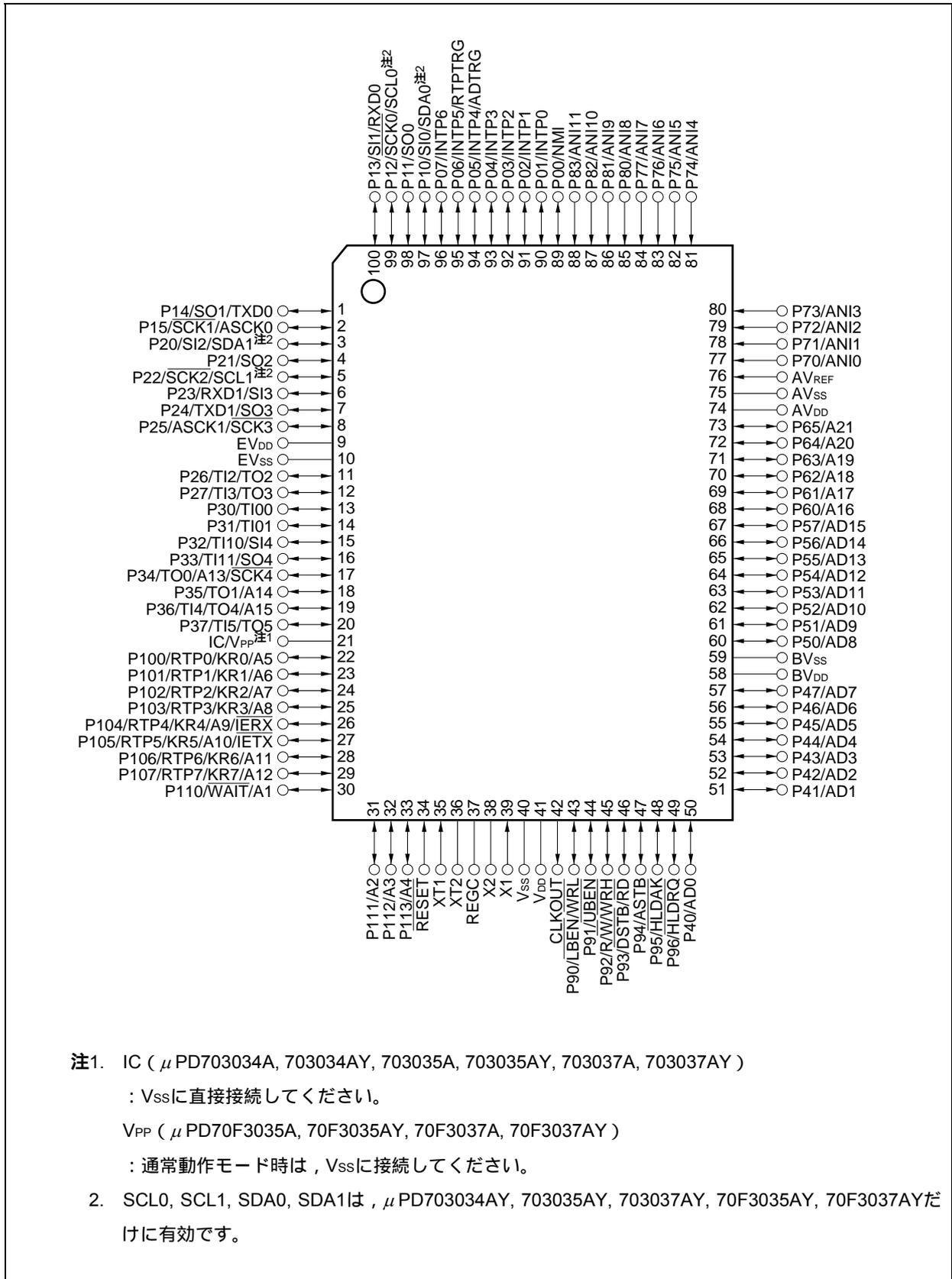
100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)

- ・ μ PD703034AGC-xxx-8EU
- ・ μ PD703034AYGC-xxx-8EU
- ・ μ PD703035AGC-xxx-8EU
- ・ μ PD703035AYGC-xxx-8EU



100ピン・プラスチックQFP (14 x 20)

- μ PD703034AGF-xxx-3BA • μ PD703037AGF-xxx-3BA • μ PD70F3037AGF-3BA
- μ PD703034AYGF-xxx-3BA • μ PD703037AYGF-xxx-3BA • μ PD70F3037AYGF-3BA
- μ PD703035AGF-xxx-3BA • μ PD70F3035AGF-3BA
- μ PD703035AYGF-xxx-3BA • μ PD70F3035AYGF-3BA



注1. IC (μ PD703034A, 703034AY, 703035A, 703035AY, 703037A, 703037AY)

: VSSに直接接続してください。

VPP (μ PD70F3035A, 70F3035AY, 70F3037A, 70F3037AY)

: 通常動作モード時は, VSSに接続してください。

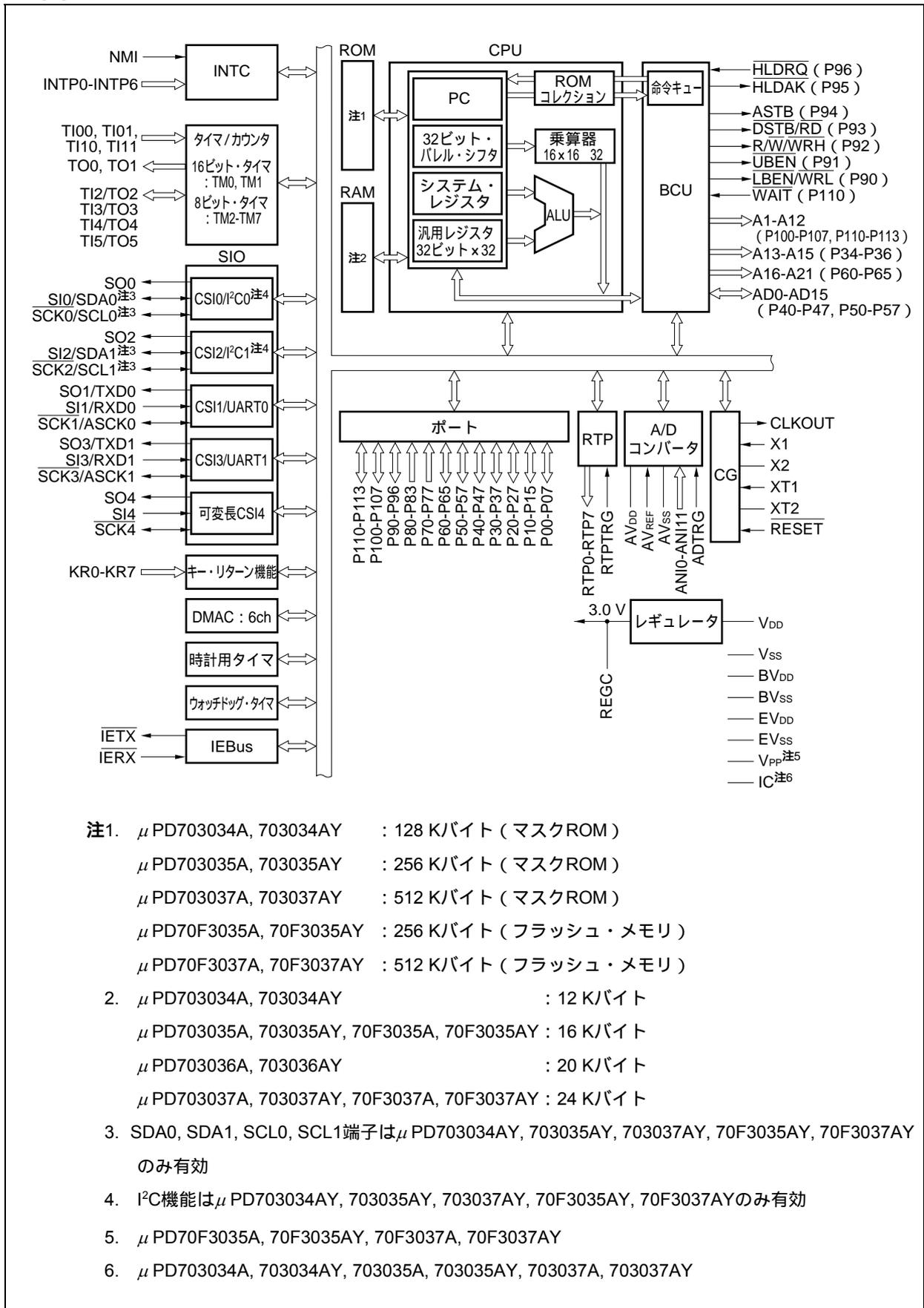
2. SCL0, SCL1, SDA0, SDA1は, μ PD703034AY, 703035AY, 703037AY, 70F3035AY, 70F3037AYだけに有効です。

端子名称 (V850/SB2)

A1-A21	: Address Bus	P70-P77	: Port7
AD0-AD15	: Address/Data Bus	P80-P83	: Port8
ADTRG	: A/D Trigger Input	P90-P96	: Port9
ANI0-ANI11	: Analog Input	P100-P107	: Port10
ASCK0, ASCK1	: Asynchronous Serial Clock	P110-P113	: Port11
ASTB	: Address Strobe	$\overline{\text{RD}}$: Read
AV _{DD}	: Analog V _{DD}	REGC	: Regulator Control
AV _{REF}	: Analog Reference Voltage	RESET	: Reset
AV _{SS}	: Analog V _{SS}	RTP0-RTP7	: Real-time Output Port
BV _{DD}	: Power Supply for Bus Interface	RTPTRG	: RTP Trigger
BV _{SS}	: Ground for Bus Interface	$\overline{\text{R/W}}$: Read/Write Status
CLKOUT	: Clock Output	RXD0, RXD1	: Receive Data
$\overline{\text{DSTB}}$: Data Strobe	SCK0-SCK4	: Serial Clock
EV _{DD}	: Power Supply for Port	SCL0, SCL1	: Serial Clock
EV _{SS}	: Ground for Port	SDA0, SDA1	: Serial Data
$\overline{\text{HLDK}}$: Hold Acknowledge	SI0-SI4	: Serial Input
$\overline{\text{HLDRQ}}$: Hold Request	SO0-SO4	: Serial Output
IC	: Internally Connected	TI00, TI01, TI10,	: Timer Input
$\overline{\text{IERX}}$: IEBus Receive Data	TI11, TI2-TI5	
$\overline{\text{IETX}}$: IEBus Transmit Data	TO0-TO5	: Timer Output
INTP0-INTP6	: Interrupt Request From Peripherals	TXD0, TXD1	: Transmit Data
KR0-KR7	: Key Return	$\overline{\text{UBEN}}$: Upper Byte Enable
$\overline{\text{LBEN}}$: Lower Byte Enable	V _{DD}	: Power Supply
NMI	: Non-maskable Interrupt Request	V _{PP}	: Programming Power Supply
P00-P07	: Port0	V _{SS}	: Ground
P10-P15	: Port1	$\overline{\text{WAIT}}$: Wait
P20-P27	: Port2	$\overline{\text{WRH}}$: Write Strobe High Level Data
P30-P37	: Port3	$\overline{\text{WRL}}$: Write Strobe Low Level Data
P40-P47	: Port4	X1, X2	: Crystal for Main Clock
P50-P57	: Port5	XT1, XT2	: Crystal for Sub-clock
P60-P65	: Port6		

1.4.5 機能ブロック構成 (V850/SB2 (A品))

(1) 内部ブロック図



(2) 内部ユニット**(a) CPU**

アドレス計算，算術論理演算，データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行できます。

乗算器（16ビット×16ビット 32ビット），バレル・シフタ（32ビット）などの専用ハードウェアを内蔵し，複雑な命令処理の高速化を図っています。

(b) バス・コントロール・ユニット (BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は，プリフェッチ・アドレスを生成し，命令コードのプリフェッチを行います。プリフェッチされた命令コードは，内部の命令キューに取り込まれます。

(c) ROM

00000000H番地からマッピングされるマスクROMまたはフラッシュ・メモリです。製品によりROM容量が異なります。次に各製品のROM容量について示します。

μ PD703034A, 703034AY : 128 Kバイト (マスクROM)

μ PD703035A, 703035AY : 256 Kバイト (マスクROM)

μ PD70F3035A, 70F3035AY : 256 Kバイト (フラッシュ・メモリ)

μ PD703037A, 703037AY : 512 Kバイト (マスクROM)

μ PD70F3037A, 70F3037AY : 512 Kバイト (フラッシュ・メモリ)

命令フェッチ時にCPUから1クロックでアクセスできます。

(d) RAM

製品によりRAM容量とマッピングされる番地が異なります。次に各製品のRAM容量について示します。

μ PD703034A, 703034AY : 12 Kバイト (FFFFC000H番地からマッピング)

μ PD703035A, 703035AY, 70F3035A, 70F3035AY : 16 Kバイト (FFFFB000H番地からマッピング)

μ PD703037A, 703037AY, 70F3037A, 70F3037AY : 24 Kバイト (FFFF9000H番地からマッピング)

データ・アクセス時にCPUから1クロックでアクセスできます。

(e) 割り込みコントローラ (INTC)

内蔵周辺ハードウェア，および外部からのハードウェア割り込み要求 (NMI, INTPO-INTP6) を処理します。これらの割り込み要求は，8レベルの割り込み優先順位を指定でき，割り込み要因に対して多重処理制御ができます。

(f) クロック・ジェネレータ (CG)

メイン・システム・クロック (f_{XX}) 用とサブシステム・クロック (f_{XT}) 用の2種類の発振回路を内蔵しています。5種類 (f_{XX} , $f_{XX}/2$, $f_{XX}/4$, $f_{XX}/8$, f_{XT}) のクロックを生成して、そのうちの1つをCPUの動作クロック (f_{CPU}) として供給します。

(g) タイマ/カウンタ

16ビットのタイマ/イベント・カウンタを2チャンネルと、8ビットのタイマ/イベント・カウンタを4チャンネル、8ビットのインターバル・タイマを2チャンネル内蔵しています。パルス間隔や周波数の計測、プログラマブルなパルスの出力ができます。

2チャンネルの8ビット・タイマ/イベント・カウンタをカスケード接続し、16ビット・タイマとしても使用できます。

2チャンネルの8ビット・インターバル・タイマをカスケード接続し、16ビット・タイマとしても使用できます。

(h) 時計用タイマ

サブシステム・クロック (32.768 kHz) またはメイン・システム・クロックから時計カウント用の基準時間 (0.5秒) をカウントします。メイン・システム・クロックによるインターバル・タイマとしても同時に使用できます。

(i) ウォッチドッグ・タイマ

プログラムの暴走、システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。インターバル・タイマとしても使用できます。

ウォッチドッグ・タイマとして使用する場合は、オーバフローでノンマスクابل割り込み要求 (INTWDT) が発生します。インターバル・タイマとして使用する場合は、オーバフローでマスクابل割り込み要求 (INTWDTM) が発生します。

(j) シリアル・インタフェース (SIO)

V850/SB2には、シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェース (UART0, UART1)、クロック同期式シリアル・インタフェース (CSI0-CSI3)、8-16ビット可変シリアル・インタフェース (CSI4)、I²Cバス・インタフェース (I²C0, I²C1) を内蔵して、最大5チャンネルを同時に使用できます。このうち2チャンネルはUARTとCSIの切り替えが可能、別の2チャンネルはCSIとI²Cの切り替えができます。

UART0, UART1は、TXD0, TXD1, RXD0, RXD1端子によりデータ転送を行います。

CSI0-CSI3は、SO0-SO3, SI0-SI3, $\overline{SCK0}$ - $\overline{SCK3}$ 端子によりデータ転送を行います。

CSI4は、SO4, SI4, $\overline{SCK4}$ 端子によりデータ転送を行います。

I²C0, I²C1は、SDA0, SDA1, SCL0, SCL1端子によりデータ転送を行います。

I²C0, I²C1は、 μ PD703034AY, 703035AY, 703037AY, 70F3035AY, 70F3037AYのみ内蔵しています。

UARTとCSI4は専用ポー・レート・ジェネレータを内蔵しています。

(k) A/Dコンバータ

12本のアナログ入力端子を持つ高速、高分解能の10ビットA/Dコンバータです。逐次変換方式で変換します。

(l) DMAコントローラ

6チャンネルのDMAコントローラを内蔵しています。内蔵周辺I/Oによる割り込み要求に基づいて、内蔵RAMと内蔵周辺I/O間でデータを転送します。

(m) RTP

あらかじめ設定しておいた8ビット・データを、外部トリガ信号またはタイマのコンペア・レジスタの一致信号により出力ラッチに転送する、リアルタイム出力機能です。4ビット×2chとしても使用できます。

(n) ポート

次に示すように、汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	ポート機能	制御機能
ポート0	8ビット入出力	汎用ポート	NMI, 外部割り込み, A/Dコンバータ・トリガ, RTPトリガ
ポート1	6ビット入出力		シリアル・インタフェース
ポート2	8ビット入出力		シリアル・インタフェース, タイマ入出力
ポート3	8ビット入出力		タイマ入出力, 外部アドレス・バス, シリアル・インタフェース
ポート4	8ビット入出力		外部アドレス/データ・バス
ポート5	8ビット入出力		
ポート6	6ビット入出力		外部アドレス・バス
ポート7	8ビット入力		A/Dコンバータ・アナログ入力
ポート8	4ビット入力		
ポート9	7ビット入出力		外部バス・インタフェース制御信号入出力
ポート10	8ビット入出力		リアルタイム出力ポート, 外部アドレス・バス, キー・リターン入力, IEBusデータ入出力
ポート11	4ビット入出力		ウエイト制御, 外部アドレス・バス

(o) IEBusコントローラ

IEBusコントローラは、ユニット間のデータ転送を行うことを目的とした小規模のデジタル・データ伝送システムです。

IEBusコントローラは、V850/SB2だけに内蔵されています。

1.5 V850/SB2 (B, H品)

1.5.1 特徴 (V850/SB2 (B, H品))

命令数 74

- ★ 最小命令実行時間 B品：79 ns (12.58 MHz動作時，外部電源5 V，レギュレータ出力3.0 V動作時)
H品：53 ns (18.87 MHz動作時，外部電源5 V，レギュレータ出力3.3 V動作時)
- 汎用レジスタ 32ビット×32本
- ★ 命令セット 符号付き乗算 (16×16 32) (レジスタ・ハザードが起きない後続の命令を並列に実行可能)
B品：158 ns (12.58 MHz動作時)
H品：106 ns (18.87 MHz動作時)
飽和演算 (オーバフロー/アンダフロー検出機能付き)
32ビット・シフト命令：1クロック
ビット操作命令
ロング/ショート形式を持つロード/ストア命令
- メモリ空間 16 Mバイト・リニア・アドレス空間 (プログラム/データ共用)
外部拡張：4 Mバイトまで可能
メモリ・ブロック分割機能：2 Mバイト/ブロック
プログラマブル・ウエイト機能
アイドル・ステート挿入機能
- 外部バス・インタフェース
16ビット・データ・バス (アドレス/データ・マルチプレクス)
アドレス・バス：セパレート出力可能
3-5 Vインタフェース可能
バス・ホールド機能
外部ウエイト機能
- 内蔵メモリ μ PD703034B, 703034BY (マスクROM：128 Kバイト/RAM：8 Kバイト)
 μ PD703035B, 703035BY (マスクROM：256 Kバイト/RAM：16 Kバイト)
 μ PD703036H, 703036HY (マスクROM：384 Kバイト/RAM：24 Kバイト)
 μ PD703037H, 703037HY (マスクROM：512 Kバイト/RAM：24 Kバイト)
 μ PD70F3035B, 70F3035BY (フラッシュ・メモリ：256 Kバイト/RAM：16 Kバイト)
 μ PD70F3036H, 70F3036HY (フラッシュ・メモリ：384 Kバイト/RAM：24 Kバイト)
 μ PD70F3037H, 70F3037HY (フラッシュ・メモリ：512 Kバイト/RAM：24 Kバイト)
- 割り込み/例外
ノンマスクابل割り込み：2要因
マスクابل割り込み：39要因 (μ PD703034B, 703035B, 703036H, 703037H, 70F3035B, 70F3036H, 70F3037H)
40要因 (μ PD703034BY, 703035BY, 703036HY, 703037HY, 70F3035BY, 70F3036HY, 70F3037HY)
ソフトウェア例外：32要因
例外トラップ：1要因

I/Oライン 合計：83（入力ポート：12 入出力ポート：71）
 3-5Vインタフェース可能

タイマ/カウンタ
 16ビット・タイマ：2ch（PWM出力）
 8ビット・タイマ：6ch（カスケード接続可能，4本PWM出力可能）

時計用タイマ サブクロック/メイン・クロック動作：1ch
 IDLEモード時もサブクロック/メイン・クロックで動作可能

ウォッチドッグ・タイマ：1ch

シリアル・インタフェース（SIO）
 アシクロナス・シリアル・インタフェース（UART）
 クロック同期式シリアル・インタフェース（CSI）
 I²Cバス・インタフェース（I²C）
 （ μ PD703034BY, 703035BY, 703036HY, 703037HY, 70F3035BY, 70F3036HY, 70F3037HYの
 み）
 8-16ビット可変長シリアル・インタフェース
 CSI /UART : 2ch
 CSI / I²C : 2ch
 CSI（8-16可変） : 1ch
 専用ポー・レート・ジェネレータ：3ch

A/Dコンバータ 10ビット分解能：12ch

DMAコントローラ 内蔵RAM 内蔵周辺I/O間：6ch

リアルタイム出力ポート 8ビット×1ch または 4ビット×2ch

ROMコレクション：4箇所修正可能

レギュレータ：4.0-5.5V入力 内部3.0V

キー・リターン機能：4-8本セレクト可能，立ち下がりエッジ固定

クロック・ジェネレータ メイン・クロック/サブクロック動作
 CPUクロック5段階（サブ動作含む）

パワー・セーブ機能 HALT/IDLE/STOPモード

IEBusコントローラ：1ch

パッケージ 100ピン・プラスチックLQFP（ファインピッチ）（14×14）
 100ピン・プラスチックQFP（14×20）

CMOS構造 完全スタティック回路

1.5.2 応用分野（V850/SB2（B, H品））

AV機器

例 オーディオ，カー・オーディオ，VTR，TV

1.5.3 オーダ情報 (V850/SB2 (B, H品))

品名	パッケージ	内蔵ROM
μ PD703034BGC-xxx-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14) マスクROM	(128 Kバイト)
μ PD703034BGF-xxx-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD703034BYGC-xxx-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	"
μ PD703034BYGF-xxx-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD703035BGC-xxx-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14) マスクROM	(256 Kバイト)
μ PD703035BGF-xxx-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD703035BYGC-xxx-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	"
μ PD703035BYGF-xxx-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD703036HGC-xxx-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14) マスクROM	(384 Kバイト)
μ PD703036HGF-xxx-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD703036HYGC-xxx-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	"
μ PD703036HYGF-xxx-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD703037HGF-xxx-3BA	"	マスクROM (512 Kバイト)
μ PD703037HYGF-xxx-3BA	"	"
μ PD70F3035BGC-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14) フラッシュ・メモリ	(256 Kバイト)
μ PD70F3035BGF-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD70F3035BYGC-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	"
μ PD70F3035BYGF-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD70F3036HGC-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14) フラッシュ・メモリ	(384 Kバイト)
μ PD70F3036HGF-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD70F3036HYGC-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	"
μ PD70F3036HYGF-3BA	100ピン・プラスチックQFP (14×20)	"
μ PD70F3037HGF-3BA	"	フラッシュ・メモリ (512 Kバイト)
μ PD70F3037HYGF-3BA	"	"

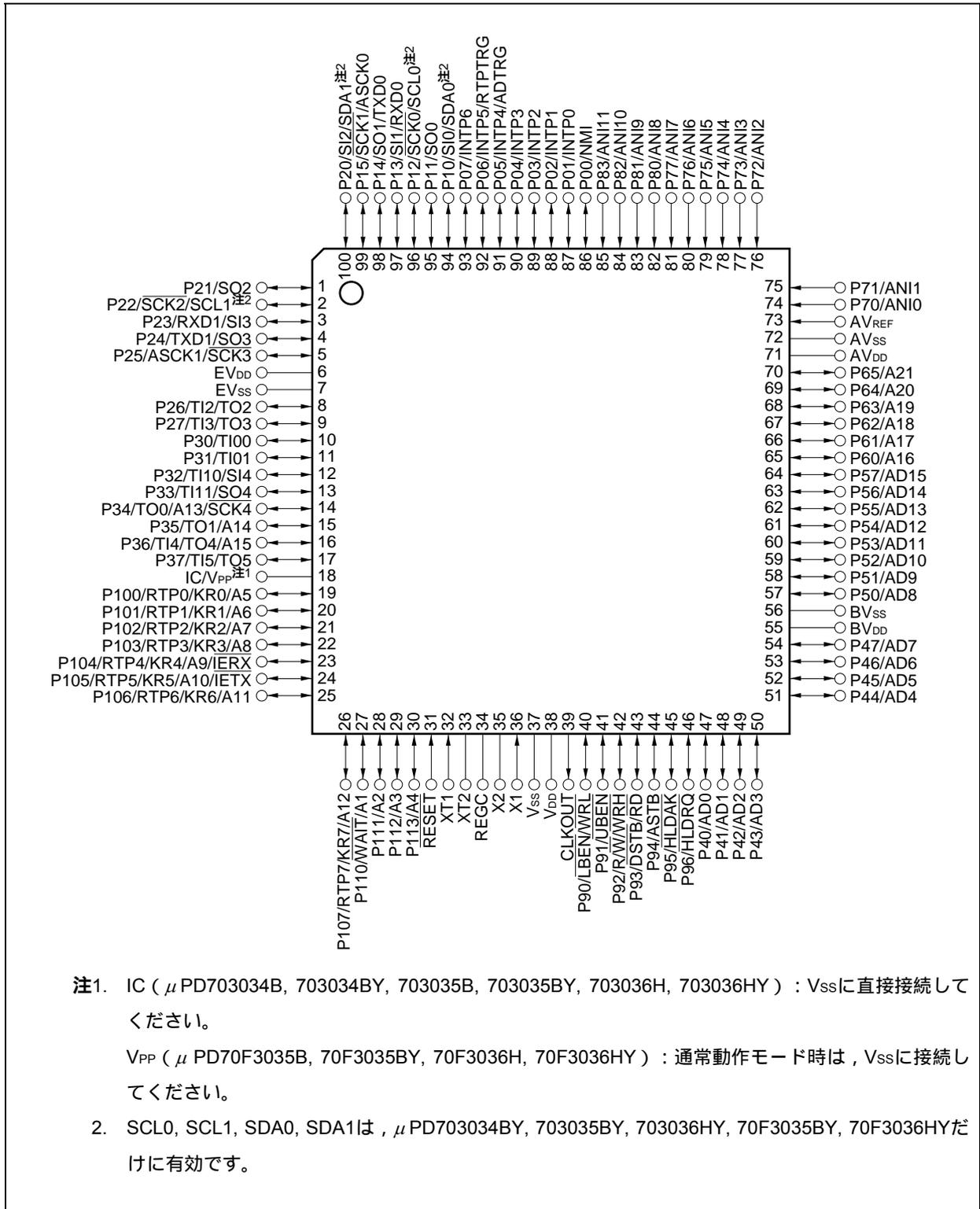
備考1. xxxはROMコード番号です。

2. ROMレス品はありません。

1.5.4 端子接続図 (Top View) (V850/SB2 (B, H品))

100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)

- ・ μ PD703034BGC-xxx-8EU
- ・ μ PD703034BYGC-xxx-8EU
- ・ μ PD703035BGC-xxx-8EU
- ・ μ PD703035BYGC-xxx-8EU
- ・ μ PD703036HGC-xxx-8EU
- ・ μ PD703036HYGC-xxx-8EU
- ・ μ PD703035BGC-8EU
- ・ μ PD703035BYGC-8EU
- ・ μ PD70F3036HGC-8EU
- ・ μ PD70F3036HYGC-8EU



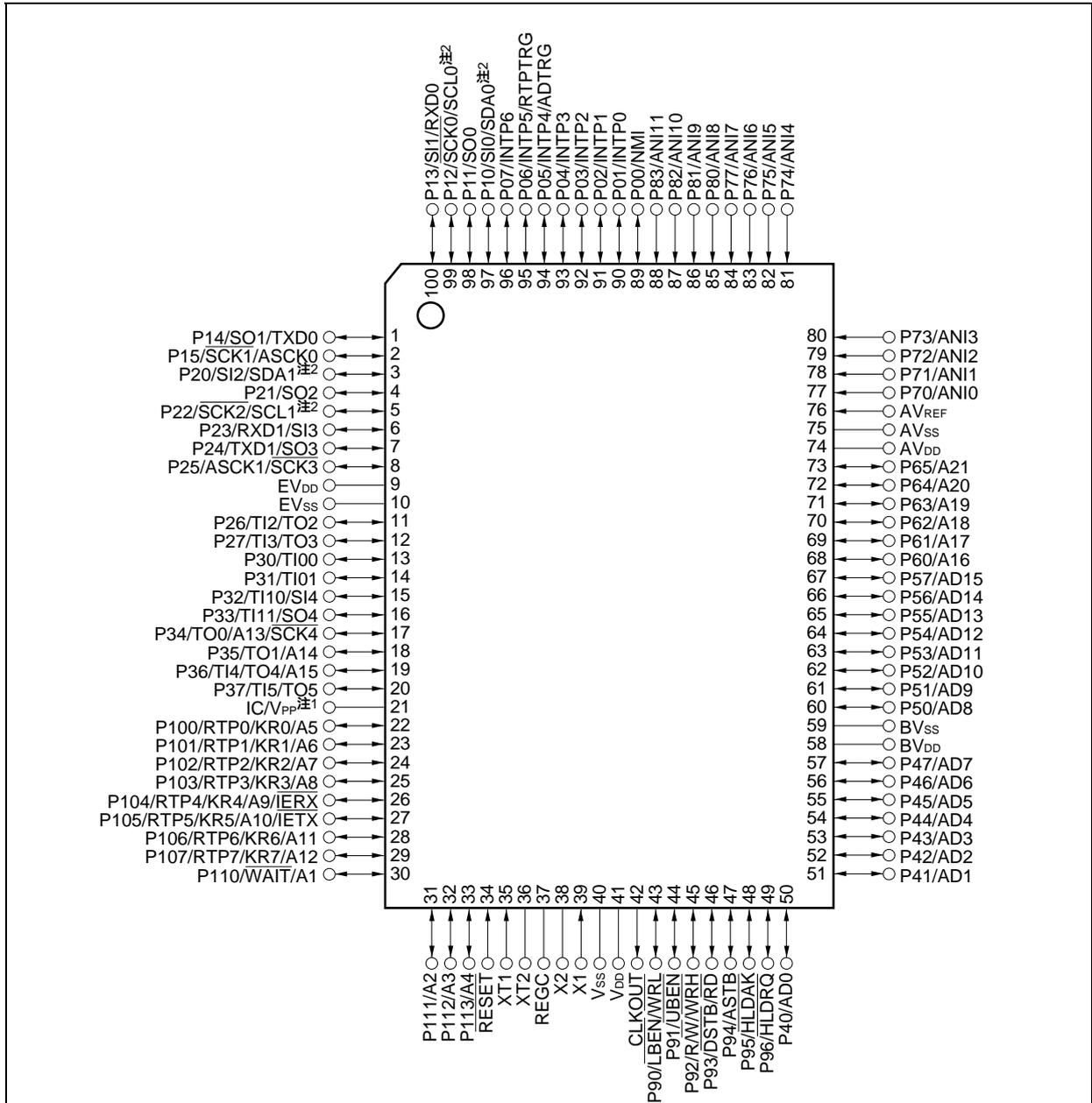
注1. IC (μ PD703034B, 703034BY, 703035B, 703035BY, 703036H, 703036HY) : V_{SS}に直接接続してください。

V_{PP} (μ PD70F3035B, 70F3035BY, 70F3036H, 70F3036HY) : 通常動作モード時は, V_{SS}に接続してください。

2. SCL0, SCL1, SDA0, SDA1は, μ PD703034BY, 703035BY, 703036HY, 70F3035BY, 70F3036HYだけに有効です。

100ピン・プラスチックQFP (14 × 20)

- ・ μ PD703034BGF-xxx-3BA
- ・ μ PD703034BYGF-xxx-3BA
- ・ μ PD703035BGF-xxx-3BA
- ・ μ PD703035BYGF-xxx-3BA
- ・ μ PD703036HGF-xxx-3BA
- ・ μ PD703036HYGF-xxx-3BA
- ・ μ PD703037HGF-xxx-3BA
- ・ μ PD703037HYGF-xxx-3BA
- ・ μ PD70F3035BGF-3BA
- ・ μ PD70F3035BYGF-3BA
- ・ μ PD70F3036HGF-xxx-3BA
- ・ μ PD70F3036HYGF-xxx-3BA
- ・ μ PD70F3037HGF-3BA
- ・ μ PD70F3037HYGF-3BA



注1. IC (μ PD703034B, 703034BY, 703035B, 703035BY, 703036H, 703036HY, 703037H, 703037HY)

: V_{SS}に直接接続してください。

V_{PP} (μ PD70F3035B, 70F3035BY, 70F3036H, 70F3036HY, 70F3037H, 70F3037HY)

: 通常動作モード時は, V_{SS}に接続してください。

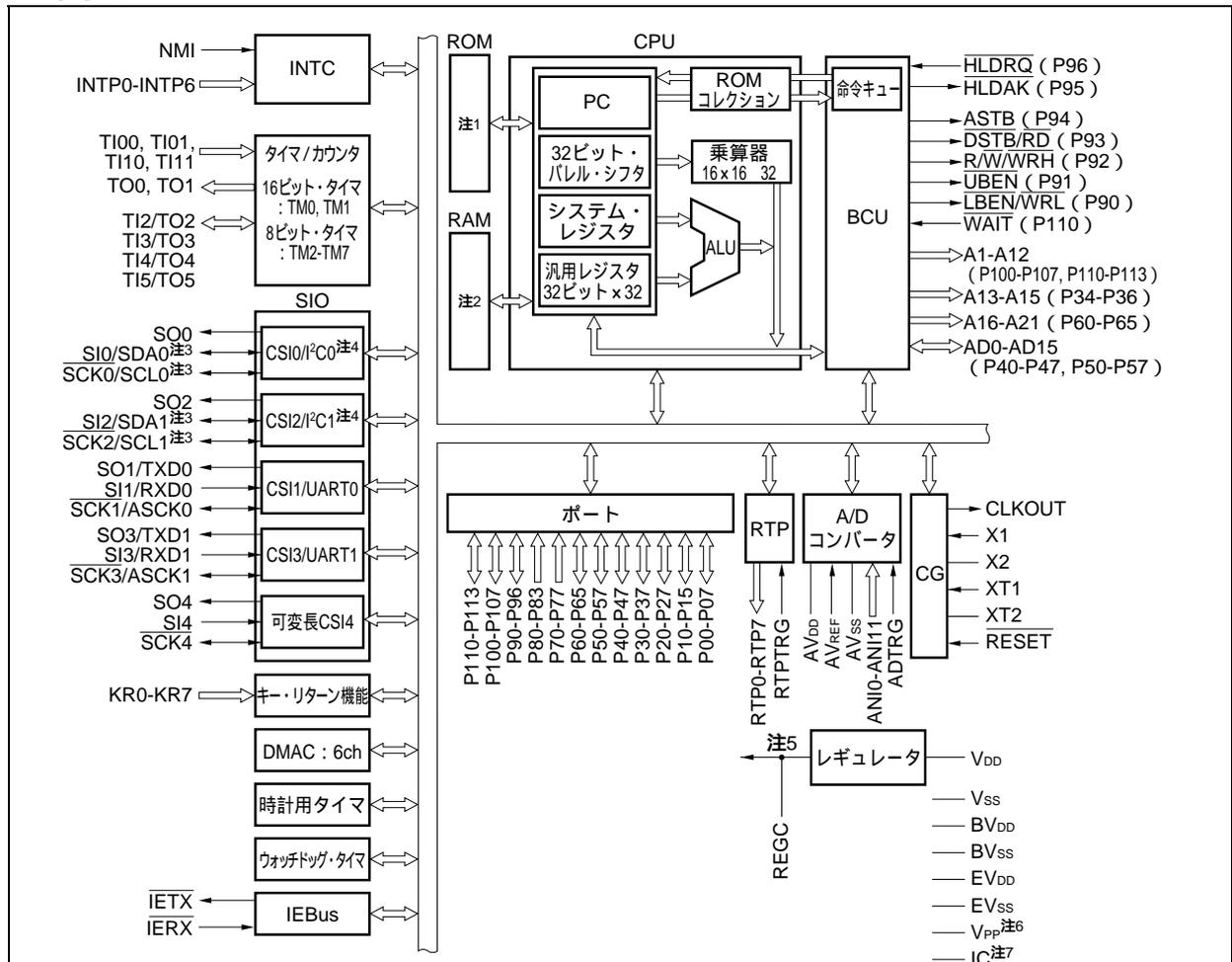
2. SCL0, SCL1, SDA0, SDA1は, μ PD703034BY, 703035BY, 703036HY, 703037HY, 70F3035BY, 70F3036HY, 70F3037HYだけに有効です。

端子名称 (V850/SB2 (B, H品))

A1-A21	: Address Bus	P70-P77	: Port7
AD0-AD15	: Address/Data Bus	P80-P83	: Port8
ADTRG	: A/D Trigger Input	P90-P96	: Port9
ANI0-ANI11	: Analog Input	P100-P107	: Port10
ASCK0, ASCK1	: Asynchronous Serial Clock	P110-P113	: Port11
ASTB	: Address Strobe	\overline{RD}	: Read
AV _{DD}	: Analog V _{DD}	\overline{REGC}	: Regulator Control
AV _{REF}	: Analog Reference Voltage	\overline{RESET}	: Reset
AV _{SS}	: Analog V _{SS}	RTP0-RTP7	: Real-time Output Port
BV _{DD}	: Power Supply for Bus Interface	RTPTRG	: RTP Trigger
BV _{SS}	: Ground for Bus Interface	$\overline{R/W}$: Read/Write Status
CLKOUT	: Clock Output	RXD0, $\overline{RXD1}$: Receive Data
\overline{DSTB}	: Data Strobe	$\overline{SCK0-SCK4}$: Serial Clock
EV _{DD}	: Power Supply for Port	SCL0, SCL1	: Serial Clock
EV _{SS}	: Ground for Port	SDA0, SDA1	: Serial Data
\overline{HLDK}	: Hold Acknowledge	SI0-SI4	: Serial Input
\overline{HLDRQ}	: Hold Request	SO0-SO4	: Serial Output
IC	: Internally Connected	TI00, TI01, TI10,	: Timer Input
\overline{IERX}	: IEBus Receive Data	TI11, TI2-TI5	
\overline{IETX}	: IEBus Transmit Data	TO0-TO5	: Timer Output
INTP0-INTP6	: Interrupt Request From Peripherals	TXD0, TXD1	: Transmit Data
KR0-KR7	: Key Return	\overline{UBEN}	: Upper Byte Enable
\overline{LBEN}	: Lower Byte Enable	V _{DD}	: Power Supply
NMI	: Non-maskable Interrupt Request	V _{PP}	: Programming Power Supply
P00-P07	: Port0	V _{SS}	: Ground
P10-P15	: Port1	\overline{WAIT}	: Wait
P20-P27	: Port2	\overline{WRH}	: Write Strobe High Level Data
P30-P37	: Port3	\overline{WRL}	: Write Strobe Low Level Data
P40-P47	: Port4	X1, X2	: Crystal for Main Clock
P50-P57	: Port5	XT1, XT2	: Crystal for Sub-clock
P60-P65	: Port6		

1.5.5 機能ブロック構成 (V850/SB2 (B, H品))

(1) 内部ブロック図



- 注1. μ PD703034B, 703034BY : 128 Kバイト (マスクROM)
 μ PD703035B, 703035BY : 256 Kバイト (マスクROM)
 μ PD703036H, 703036HY : 384 Kバイト (マスクROM)
 μ PD703037H, 703037HY : 512 Kバイト (マスクROM)
 μ PD70F3035B, 70F3035BY : 256 Kバイト (フラッシュ・メモリ)
 μ PD70F3036H, 70F3036HY : 384 Kバイト (フラッシュ・メモリ)
 μ PD70F3037H, 70F3037HY : 512 Kバイト (フラッシュ・メモリ)
2. μ PD703034B, 703034BY : 8 Kバイト
 μ PD703035B, 703035BY, 70F3035B, 70F3035BY : 16 Kバイト
 μ PD703036H, 703036HY, 703037H, 703037HY, 70F3036H, 70F3036HY, 70F3037H, 70F3037HY : 24 Kバイト
3. SDA0, SDA1, SCL0, SCL1端子は μ PD703034BY, 703035BY, 703036HY, 703037HY, 70F3035BY, 70F3036HY, 70F3037HYのみ有効
4. I²C機能は μ PD703034BY, 703035BY, 703036HY, 703037HY, 70F3035BY, 70F3036HY, 70F3037HYのみ有効
5. B品 : 3.0 V, H品 : 3.3 V
6. μ PD70F3035B, 70F3035BY, 70F3036H, 70F3036HY, 70F3037H, 70F3037HY
7. μ PD703034B, 703034BY, 703035B, 703035BY, 703036H, 703036HY, 703037H, 703037HY

(2) 内部ユニット**(a) CPU**

アドレス計算，算術論理演算，データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行できます。

乗算器（16ビット×16ビット 32ビット），バレル・シフタ（32ビット）などの専用ハードウェアを内蔵し，複雑な命令処理の高速化を図っています。

(b) バス・コントロール・ユニット (BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は，プリフェッチ・アドレスを生成し，命令コードのプリフェッチを行います。プリフェッチされた命令コードは，内部の命令キューに取り込まれます。

(c) ROM

00000000H番地からマッピングされるマスクROMまたはフラッシュ・メモリです。製品によりROM容量が異なります。次に各製品のROM容量について示します。

μ PD703034B, 703034BY	: 128 Kバイト (マスクROM)
μ PD703035B, 703035BY	: 256 Kバイト (マスクROM)
μ PD70F3035B, 70F3035BY	: 256 Kバイト (フラッシュ・メモリ)
μ PD703036H, 703036HY	: 384 Kバイト (マスクROM)
μ PD70F3036H, 70F3036HY	: 384 Kバイト (フラッシュ・メモリ)
μ PD703037H, 703037HY	: 512 Kバイト (マスクROM)
μ PD70F3037H, 70F3037HY	: 512 Kバイト (フラッシュ・メモリ)

命令フェッチ時にCPUから1クロックでアクセスできます。

(d) RAM

製品によりRAM容量とマッピングされる番地が異なります。次に各製品のRAM容量について示します。

μ PD703034B, 703034BY	: 8 Kバイト (FFFFD000H番地からマッピング)
μ PD703035B, 703035BY, 70F3035B, 70F3035BY	: 16 Kバイト (FFFFB000H番地からマッピング)
μ PD703036H, 703036HY, 70F3036H, 70F3036HY, 703037H, 703037HY, 70F3037H, 70F3037HY	: 24 Kバイト (FFFF9000H番地からマッピング)

データ・アクセス時にCPUから1クロックでアクセスできます。

(e) 割り込みコントローラ (INTC)

内蔵周辺ハードウェア，および外部からのハードウェア割り込み要求 (NMI, INTP0-INTP6) を処理します。これらの割り込み要求は，8レベルの割り込み優先順位を指定でき，割り込み要因に対して多重処理制御ができます。

(f) クロック・ジェネレータ (CG)

メイン・システム・クロック (f_{XX}) 用とサブシステム・クロック (f_{XT}) 用の2種類の発振回路を内蔵しています。5種類 (f_{XX} , $f_{XX}/2$, $f_{XX}/4$, $f_{XX}/8$, f_{XT}) のクロックを生成して、そのうちの1つをCPUの動作クロック (f_{CPU}) として供給します。

(g) タイマ/カウンタ

16ビットのタイマ/イベント・カウンタを2チャンネルと、8ビットのタイマ/イベント・カウンタを4チャンネル、8ビットのインターバル・タイマを2チャンネル内蔵しています。パルス間隔や周波数の計測、プログラマブルなパルスの出力ができます。

2チャンネルの8ビット・タイマ/イベント・カウンタをカスケード接続し、16ビット・タイマとしても使用できます。

2チャンネルの8ビット・インターバル・タイマをカスケード接続し、16ビット・タイマとしても使用できます。

(h) 時計用タイマ

サブシステム・クロック (32.768 kHz) またはメイン・システム・クロックから時計カウント用の基準時間 (0.5秒) をカウントします。メイン・システム・クロックによるインターバル・タイマとしても同時に使用できます。

(i) ウォッチドッグ・タイマ

プログラムの暴走、システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。インターバル・タイマとしても使用できます。

ウォッチドッグ・タイマとして使用する場合は、オーバフローでノンマスカブル割り込み要求 (INTWDT) が発生します。インターバル・タイマとして使用する場合は、オーバフローでマスカブル割り込み要求 (INTWDTM) が発生します。

(j) シリアル・インタフェース (SIO)

V850/SB2には、シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェース (UART0, UART1)、クロック同期式シリアル・インタフェース (CSI0-CSI3)、8-16ビット可変シリアル・インタフェース (CSI4)、I²Cバス・インタフェース (I²C0, I²C1) を内蔵して、最大5チャンネルを同時に使用できます。このうち2チャンネルはUARTとCSIの切り替えが可能、別の2チャンネルはCSIとI²Cの切り替えができます。

UART0, UART1は、TXD0, TXD1, RXD0, RXD1端子によりデータ転送を行います。

CSI0-CSI3は、SO0-SO3, SI0-SI3, $\overline{SCK0}$ - $\overline{SCK3}$ 端子によりデータ転送を行います。

CSI4は、SO4, SI4, $\overline{SCK4}$ 端子によりデータ転送を行います。

I²C0, I²C1は、SDA0, SDA1, SCL0, SCL1端子によりデータ転送を行います。

I²C0, I²C1は、 μ PD703034BY, 703035BY, 703036HY, 703037HY, 70F3035BY, 70F3036HY, 70F3037HYのみ内蔵しています。

UARTとCSI4は専用ポー・レート・ジェネレータを内蔵しています。

(k) A/Dコンバータ

12本のアナログ入力端子を持つ高速、高分解能の10ビットA/Dコンバータです。逐次変換方式で変換します。

(l) DMAコントローラ

6チャンネルのDMAコントローラを内蔵しています。内蔵周辺I/Oによる割り込み要求に基づいて、内蔵RAMと内蔵周辺I/O間でデータを転送します。

(m) RTP

あらかじめ設定しておいた8ビット・データを、外部トリガ信号またはタイマのコンペア・レジスタの一致信号により出力ラッチに転送する、リアルタイム出力機能です。4ビット×2chとしても使用できます。

(n) ポート

次に示すように、汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	ポート機能	制御機能
ポート0	8ビット入出力	汎用ポート	NMI, 外部割り込み, A/Dコンバータ・トリガ, RTPトリガ
ポート1	6ビット入出力		シリアル・インタフェース
ポート2	8ビット入出力		シリアル・インタフェース, タイマ入出力
ポート3	8ビット入出力		タイマ入出力, 外部アドレス・バス, シリアル・インタフェース
ポート4	8ビット入出力		外部アドレス/データ・バス
ポート5	8ビット入出力		
ポート6	6ビット入出力		外部アドレス・バス
ポート7	8ビット入力		A/Dコンバータ・アナログ入力
ポート8	4ビット入力		
ポート9	7ビット入出力		外部バス・インタフェース制御信号入出力
ポート10	8ビット入出力		リアルタイム出力ポート, 外部アドレス・バス, キー・リターン入力, IEBusデータ入出力
ポート11	4ビット入出力		ウエイト制御, 外部アドレス・バス

(o) IEBusコントローラ

IEBusコントローラは、ユニット間のデータ転送を行うことを目的とした小規模のデジタル・データ伝送システムです。

IEBusコントローラは、V850/SB2だけに内蔵されています。

第2章 端子機能

2.1 端子機能一覧

V850/SB1, V850/SB2の端子名称と機能をポート端子とそれ以外の端子に分けて説明します。

端子の入出力バッファ電源には、AV_{DD}、BV_{DD}、EV_{DD}の3系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

電 源	対応する端子	使用可能な電圧範囲
★ AV _{DD}	ポート7, ポート8	ADコンバータ使用時: 4.5 V AV _{DD} 5.5 V ADコンバータ未使用時: 3.5 V AV _{DD} 5.5 V
BV _{DD}	ポート4, ポート5, ポート6, ポート9, CLKOUT	3.0 V BV _{DD} 5.5 V
EV _{DD}	ポート0, ポート1, ポート2, ポート3, ポート10, ポート11, $\overline{\text{RESET}}$	3.0 V EV _{DD} 5.5 V

注意 使用する電圧範囲が3.0~4.0 V未満の場合と、4.0~5.5 Vの場合とでは電気的特性が異なります。

V850/SB1とV850/SB2の端子の違いについて次に示します。

表2 - 2 V850/SB1とV850/SB2の端子の違い

端 子	V850/SB1				V850/SB2			
	μ PD703031A, μ PD703032A, μ PD703033A, μ PD703030B, μ PD703031B, μ PD703032B, μ PD703033B	μ PD70F3032A, μ PD70F3033A, μ PD70F3030B, μ PD70F3032B, μ PD70F3033B	μ PD703031AY, μ PD703032AY, μ PD703033AY, μ PD703030BY, μ PD703031BY, μ PD703032BY, μ PD703033BY	μ PD70F3032AY, μ PD70F3033AY, μ PD70F3030BY, μ PD70F3032BY, μ PD70F3033BY	μ PD703034A, μ PD703035A, μ PD703037A, μ PD703034B, μ PD703035B, μ PD703036H, μ PD703037H	μ PD70F3035A, μ PD70F3037A, μ PD70F3035B, μ PD70F3036H, μ PD70F3037H	μ PD703034AY, μ PD703035AY, μ PD703037AY, μ PD703034BY, μ PD703035BY, μ PD703036HY, μ PD703037HY	μ PD70F3035AY, μ PD70F3037AY, μ PD70F3035BY, μ PD70F3036HY, μ PD70F3037HY
IC	あり	なし	あり	なし	あり	なし	あり	なし
V _{PP}	なし	あり	なし	あり	なし	あり	なし	あり
SDA0, SDA1	なし		あり		なし		あり	
SCL0, SCL1	なし		あり		なし		あり	
$\overline{\text{IERX}}$	なし				あり			
$\overline{\text{IETX}}$	なし				あり			

(1) ポート端子

(1/3)

端子名称	入出力	PULL	機能	兼用端子
P00	入出力	あり	ポート0 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	NMI
P01				INTP0
P02				INTP1
P03				INTP2
P04				INTP3
P05				INTP4/ADTRG
P06				INTP5/RTPTRG
P07				INTP6
P10	入出力	あり	ポート1 6ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	SI0/SDA0
P11				SO0
P12				SCK0/SCL0
P13				SI1/RXD0
P14				SO1/TXD0
P15				SCK1/ASCK0
P20	入出力	あり	ポート2 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	SI2/SDA1
P21				SO2
P22				SCK2/SCL1
P23				SI3/RXD1
P24				SO3/TXD1
P25				SCK3/ASCK1
P26				TI2/TO2
P27				TI3/TO3
P30	入出力	あり	ポート3 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	TI00
P31				TI01
P32				TI10/SI4
P33				TI11/SO4
P34				TO0/A13/SCK4
P35				TO1/A14
P36				TI4/TO4/A15
P37				TI5/TO5
P40	入出力	なし	ポート4 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	AD0
P41				AD1
P42				AD2
P43				AD3
P44				AD4
P45				AD5
P46				AD6
P47				AD7

備考 PULL : 内蔵プルアップ抵抗

端子名称	入出力	PULL	機 能	兼用端子
P50	入出力	なし	ポート5 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	AD8
P51				AD9
P52				AD10
P53				AD11
P54				AD12
P55				AD13
P56				AD14
P57				AD15
P60	入出力	なし	ポート6 6ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	A16
P61				A17
P62				A18
P63				A19
P64				A20
P65				A21
P70	入力	なし	ポート7 8ビット入力ポート	ANI0
P71				ANI1
P72				ANI2
P73				ANI3
P74				ANI4
P75				ANI5
P76				ANI6
P77				ANI7
P80	入力	なし	ポート8 4ビット入力ポート	ANI8
P81				ANI9
P82				ANI10
P83				ANI11
P90	入出力	なし	ポート9 7ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	$\overline{\text{LBEN}}/\overline{\text{WRL}}$
P91				$\overline{\text{UBEN}}$
P92				$\overline{\text{R}}/\overline{\text{W}}/\overline{\text{WRH}}$
P93				$\overline{\text{DSTB}}/\overline{\text{RD}}$
P94				$\overline{\text{ASTB}}$
P95				$\overline{\text{HLD}}\overline{\text{AK}}$
P96				$\overline{\text{HLDR}}\overline{\text{Q}}$
P100	入出力	あり	ポート10 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	$\overline{\text{RTP0}}/\overline{\text{A5}}/\overline{\text{KR0}}$
P101				$\overline{\text{RTP1}}/\overline{\text{A6}}/\overline{\text{KR1}}$
P102				$\overline{\text{RTP2}}/\overline{\text{A7}}/\overline{\text{KR2}}$
P103				$\overline{\text{RTP3}}/\overline{\text{A8}}/\overline{\text{KR3}}$
P104				$\overline{\text{RTP4}}/\overline{\text{A9}}/\overline{\text{KR4}}/\overline{\text{IERX}}$
P105				$\overline{\text{RTP5}}/\overline{\text{A10}}/\overline{\text{KR5}}/\overline{\text{IETX}}$
P106				$\overline{\text{RTP6}}/\overline{\text{A11}}/\overline{\text{KR6}}$
P107				$\overline{\text{RTP7}}/\overline{\text{A12}}/\overline{\text{KR7}}$

備考 PULL : 内蔵プルアップ抵抗

端子名称	入出力	PULL	機 能	兼用端子
P110	入出力	あり	ポート11 4ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	A1/WAIT
P111				A2
P112				A3
P113				A4

備考 PULL : 内蔵プルアップ抵抗

(2) ポート以外の端子

(1/3)

端子名称	入出力	PULL	機能	兼用端子
A1	出力	あり	外部にメモリを拡張する場合の下位アドレス・バス	P110/WAIT
A2-A4				P111-P113
A5-A8				P100/RTP0/KR0- P103/RTP3/KR3
A9				R104/RTP4/KR4/ IERX
A10				P105/RTP5/KR5/ IETX
A11, A12				R106/RTP6/KR6, P107/RTP7/KR7
A13				P34/TO0/SCK4
A14				P35/TO1
A15				P36/TI4/TO4
A16-A21	出力	なし	外部にメモリを拡張する場合の上位アドレス・バス	P60-P65
AD0-AD7	入出力	なし	外部にメモリを拡張する場合の16ビット・マルチプレクスト・アドレス/データ・バス	P40-P47
AD8-AD15				P50-P57
ADTRG	入力	あり	A/Dコンバータ外部トリガ入力	P05/INTP4
ANI0-ANI7	入力	なし	A/Dコンバータへのアナログ入力	P70-P77
ANI8-ANI11	入力	なし		P80-P83
ASCK0	入力	あり	UART0, UART1のポー・レート・クロック入力	P15/SCK1
ASCK1				P25/SCK3
ASTB	出力	なし	外部アドレス・ストロープ信号出力	P94
AV _{DD}	-	-	A/Dコンバータおよび兼用ポート用正電源供給	-
AV _{REF}	入力	-	A/Dコンバータ用基準電圧入力	-
AV _{SS}	-	-	A/Dコンバータおよび兼用ポート用グランド電位	-
BV _{DD}	-	-	バス・インタフェースおよび兼用ポート用正電源供給	-
BV _{SS}	-	-	バス・インタフェースおよび兼用ポート用グランド電位	-
CLKOUT	出力	-	内部システム・クロック出力	-
DSTB	出力	なし	外部データ・ストロープ信号出力	P93/RD
EV _{DD}	-	-	入出力ポートおよび兼用機能端子用正電源供給（バス・インタフェース兼用ポートは除く）	-
EV _{SS}	-	-	入出力ポートおよび兼用機能端子用グランド電位（バス・インタフェース兼用ポートは除く）	-
HLD _{AK}	出力	なし	バス・ホールド・アクノリッジ出力	P95
HLD _{RQ}	入力	なし	バス・ホールド要求入力	P96
IERX	入力	あり	IEBusデータ入力（V850/SB2のみ）	R104/RTP4/KR4/A9
IETX	出力		IEBusデータ出力（V850/SB2のみ）	R105/RTP5/KR5/A10
INTP0-INTP3	入力	あり	外部割り込み要求入力（アナログ・ノイズ除去）	P01-P04
INTP4			外部割り込み要求入力（デジタル・ノイズ除去）	P05/ADTRG
INTP5				P06/RTPTRG
INTP6			外部割り込み要求入力（リモコン対応デジタル・ノイズ除去）	P07

備考 PULL：内蔵プルアップ抵抗

端子名称	入出力	PULL	機 能	兼用端子
KR0-KR3	入力	あり	キー・リターン入力	P100/A5/RTP0- P103/A8/RTP3
KR4				P104/A9/RTP4/I $\overline{\text{ERX}}$
KR5				P105/A10/RTP5/I $\overline{\text{ETX}}$
KR6, KR7				P106/A11/RTP6, P107/A12/RTP7
LBEN	出力	なし	外部データ・バスの下位バイト・イネーブル信号出力	P90/WRL
IC	-	-	内部接続 (マスクROM品のみ)	-
NMI	入力	あり	ノンマスクابل割り込み要求入力 (アナログ・ノイズ除去)	P00
$\overline{\text{RD}}$	出力	なし	リード・ストロープ信号出力	P93/DSTB
REGC	-	-	レギュレータ出力安定容量接続	-
RESET	入力	-	システム・リセット入力	-
RTP0-RTP3	出力	あり	リアルタイム出力ポート	P100/A5/KR0- P103/A8/KR3
RTP4				P104/A9/KR4/I $\overline{\text{ERX}}$
RTP5				P105/A10/KR5/I $\overline{\text{ETX}}$
RTP6, RTP7				P106/A11/KR6, P107/A12/KR7
RTPTRG	入力	あり	RTP外部トリガ入力	P06/INTP5
$\overline{\text{R/W}}$	出力	なし	外部リード/ライト・ステータス出力	P92/WRH
RXD0	入力	あり	UART0, UART1のシリアル受信データ入力	P13/SI1
RXD1				P23/SI3
SCK0	入出力	あり	CSI0-CSI3のシリアル・クロック入出力 (3線式)	P12/SCL0
SCK1				P15/ASCK0
SCK2				P22/SCL1
SCK3				P25/ASCK1
SCK4			可変長CSI4のシリアル・クロック入出力 (3線式)	P34/TO0/A13
SCL0	入出力	あり	I ² C0, I ² C1のシリアル・クロック入出力 (Y品 (I ² C内蔵品) のみ)	P12/SCK0
SCL1				P22/SCK2
SDA0	入出力	あり	I ² C0, I ² C1のシリアル送受信データ入出力 (Y品 (I ² C内蔵品) のみ)	P10/SI0
SDA1				P20/SI2
SI0	入力	あり	CSI0-CSI3のシリアル受信データ入力 (3線式)	P10/SDA0
SI1				P13/RXD0
SI2				P20/SDA1
SI3				P23/RXD1
SI4			可変長CSI4のシリアル受信データ入力 (3線式)	P32/TI10
SO0	出力	あり	CSI0-CSI3のシリアル送信データ出力 (3線式)	P11
SO1				P14/TXD0
SO2				P21
SO3				P24/TXD1
SO4			可変長CSI4のシリアル送信データ出力 (3線式)	P33/TI11

備考 PULL : 内蔵プルアップ抵抗

端子名称	入出力	PULL	機 能	兼用端子
TI00	入力	あり	TM0の外部カウント・クロック入力 / 外部キャプチャ・トリガ入力	P30
TI01			TM0の外部キャプチャ・トリガ入力	P31
TI10			TM1の外部カウント・クロック入力 / 外部キャプチャ・トリガ入力	P32/SI4
TI11			TM1の外部キャプチャ・トリガ入力	P33/SO4
TI2			TM2の外部カウント・クロック入力	P26/TO2
TI3			TM3の外部カウント・クロック入力	P27/TO3
TI4			TM4の外部カウント・クロック入力	P36/TO4/A15
TI5			TM5の外部カウント・クロック入力	P37/TO5
TO0, TO1	出力	あり	TM0, TM1のパルス信号出力	P34/A13/SCK4, P35/A14
TO2			TM2のパルス信号出力	P26/TO2
TO3			TM3のパルス信号出力	P27/TO3
TO4			TM4のパルス信号出力	P36/TO4/A15
TO5			TM5のパルス信号出力	P37/TO5
TXD0	出力	あり	UART0, UART1のシリアル送信データ出力	P14/SO1
TXD1				P24/SO3
UBEN	出力	なし	外部データ・バスの上位バイト・イネーブル信号出力	P91
V _{DD}	-	-	正電源供給端子	-
V _{PP}	-	-	プログラム書き込み / ベリファイ時の高電圧印加端子 (フラッシュ・メモリ品のみ)	-
V _{SS}	-	-	グランド電位	-
WAIT	入力	あり	バス・サイクルにウエイトを挿入する制御信号入力	P110/A1
WRH	出力	なし	外部データ・バスの上位バイト・ライト・ストロープ信号出力	P92/RW
WRL			外部データ・バスの下位バイト・ライト・ストロープ信号出力	P90/LBEN
X1	入力	なし	メイン・クロック用発振子接続	-
X2				-
XT1	入力	なし	サブクロック用発振子接続	-
XT2				-

備考 PULL : 内蔵プルアップ抵抗

2.2 端子状態

動作モードによる各端子の動作状態を次に示します。

表2-3 動作モードによる各端子の動作状態

端子	動作状態	リセット	HALTモード/ アイドル・ステート	IDLEモード/ STOPモード	バス・ ホールド	バス・サイクル 非活性 ^{注2}
AD0-AD15		Hi-Z ^{注1}	Hi-Z	Hi-Z	Hi-Z	Hi-Z
A1-A15		Hi-Z	保持	保持	保持	保持 ^{注3}
A16-A21		Hi-Z	保持	Hi-Z	Hi-Z	保持 ^{注3}
$\overline{\text{LBEN}}, \overline{\text{UBEN}}$		Hi-Z	保持	Hi-Z	Hi-Z	保持 ^{注3}
$\overline{\text{R/W}}$		Hi-Z	H	Hi-Z	Hi-Z	H
$\overline{\text{DSTB}}, \overline{\text{WRL}}, \overline{\text{WRH}}, \overline{\text{RD}}$		Hi-Z	H	Hi-Z	Hi-Z	H
$\overline{\text{ASTB}}$		Hi-Z	H	Hi-Z	Hi-Z	H
$\overline{\text{HLDRQ}}$		-	動作	-	動作	動作
$\overline{\text{HLDK}}$		Hi-Z	動作	Hi-Z	L	動作
$\overline{\text{WAIT}}$		-	-	-	-	-
$\overline{\text{CLKOUT}}$		Hi-Z	動作 ^{注4}	L	動作 ^{注4}	動作 ^{注4}

注1. リセット時、各端子（CLKOUT端子は除く）はポート端子（入力モード）

2. バス・サイクル非活性タイミングは、プログラム・カウンタ（PC）が内部メモリ領域を指している状態
3. ・リセット解除後に外部拡張モードに設定し、外部メモリ領域に1回もアクセスしていないとき：不定
・外部メモリ領域にアクセスしたあとのバス・サイクル非活性時、あるいは外部拡張モード解除後に再び外部拡張モードに設定し、外部メモリ領域に1回もアクセスしていないとき：外部メモリ領域に最後にアクセスした外部バス・サイクルの状態を保持
4. クロック出力インヒビット・モード時はロウ・レベル（L）

備考 Hi-Z：ハイ・インピーダンス

保持：直前の外部バス・サイクルでの状態を保持

L：ロウ・レベル出力

H：ハイ・レベル出力

-：入力非サンプリング

2.3 端子機能の説明

(1) P00-P07 (Port 0) ... 3ステート入出力

ポート0は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P00-P07は入出力ポートとして機能するほか、NMI入力、外部割り込み要求入力、A/Dコンバータの外部トリガ、リアルタイム出力ポートの外部トリガとして動作します。また、モードを選択でき、EGP0レジスタとEGN0レジスタで端子の有効エッジを指定します。

(a) ポート機能

P00-P07はポート0モード・レジスタ (PM0) により、ビット単位に入力または出力を設定できます。

(b) 兼用機能

(i) NMI (Non-maskable Interrupt Request) ... 入力

ノンマスカブル割り込み要求信号入力端子です。

(ii) INTP0-INTP6 (Interrupt Request From Peripherals) ... 入力

外部割り込み要求入力端子です。

(iii) ADTRG (A/D Trigger Input) ... 入力

A/Dコンバータの外部トリガ入力端子です。A/Dコンバータ・モード・レジスタ1 (ADM1) で制御します。

(iv) RTPTRG (Real-time Port Trigger Input) ... 入力

リアルタイム出力ポートの外部トリガ入力端子です。リアルタイム出力ポート・コントロール・レジスタ (RTPC) で制御します。

(2) P10-P15 (Port 1) ... 3ステート入出力

ポート1は、1ビット単位で入力または出力を設定できる6ビットの入出力ポートです。

P10-P15は入出力ポートとして機能するほか、シリアル・インタフェースの入出力として動作します。

P10-P12, P14, P15は、通常出力とN-chオープン・ドレイン出力を選択できます。

(a) ポート機能

P10-P15はポート1モード・レジスタ (PM1) により、ビット単位に入力または出力を設定できます。

(b) 兼用機能

(i) SI0, SI1 (Serial Input 0, 1) ... 入力

CSI0, CSI1のシリアル受信データ入力端子です。

(ii) SO0, SO1 (Serial Output 0, 1) ... 出力

CSI0, CSI1のシリアル送信データ出力端子です。

(iii) $\overline{\text{SCK0}}$, $\overline{\text{SCK1}}$ (Serial Clock 0, 1) ... 3ステート入出力

CSI0, CSI1のシリアル・クロック入出力端子です。

(iv) SDA0 (Serial Data 0) ... 入出力

I²C0のシリアル送受信データ入出力端子です (Y品 (I²C内蔵品) のみ)。

(v) SCL0 (Serial Clock 0) ... 入出力

I²C0のシリアル・クロック入出力端子です (Y品 (I²C内蔵品) のみ)。

(vi) RXD0 (Receive Data 0) ... 入力

UART0のシリアル受信データ入力端子です。

(vii) TXD0 (Transmit Data 0) ... 出力

UART0のシリアル送信データ出力端子です。

(viii) ASCK0 (Asynchronous Serial Clock 0) ... 入力

UART0のシリアル・ポー・レート・クロック入力端子です。

(3) P20-P27 (Port 2) ... 3ステート入出力

ポート2は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P20-P27は入出力ポートとして機能するほか、シリアル・インタフェースの入出力、タイマ/カウンタの入出力として動作します。

P20-P22, P24, P25は、通常出力とN-chオープン・ドレイン出力を選択できます。

(a) ポート機能

P20-P27はポート2モード・レジスタ (PM2) により、ビット単位に入力または出力を設定できます。

(b) 兼用機能

(i) SI2, SI3 (Serial Input 2, 3) ... 入力

CSI2, CSI3のシリアル受信データ入力端子です。

(ii) SO2, SO3 (Serial Output 2, 3) ... 出力

CSI2, CSI3のシリアル送信データ出力端子です。

(iii) $\overline{\text{SCK2}}$, $\overline{\text{SCK3}}$ (Serial Clock 2, 3) ... 3ステート入出力

CSI2, CSI3のシリアル・クロック入出力端子です。

(iv) SDA1 (Serial Data 1) ... 入出力

I²Cのシリアル送受信データ入出力端子です (Y品 (I²C内蔵品) のみ)。

(v) SCL1 (Serial Clock 1) ... 入出力

I²Cのシリアル・クロック入出力端子です (Y品 (I²C内蔵品) のみ)。

(vi) RXD1 (Receive Data 1) ... 入力

UART1のシリアル受信データ入力端子です。

(vii) TXD1 (Transmit Data 1) ... 出力

UART1のシリアル送信データ出力端子です。

(viii) ASCK1 (Asynchronous Serial Clock 1) ... 入力

UART1のシリアル・ボー・レート・クロック入力端子です。

(ix) TI2, TI3 (Timer Input 2, 3) ... 入力

タイマ2, 3の外部カウンタ・クロック入力端子です。

(x) TO2, TO3 (Timer Output 2, 3) ... 出力

タイマ2, 3のパルス信号出力端子です。

(4) P30-P37 (Port 3) ... 3ステート入出力

ポート3は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P30-P37は入出力ポートとして機能するほか、タイマ/カウンタの入出力、メモリを外部に拡張する場合のアドレス・バス (A13-A15)、シリアル・インタフェースの入出力として動作します。

P33, P34は、通常出力とN-chオープン・ドレイン出力を選択できます。

(a) ポート機能

P30-P37はポート3モード・レジスタ (PM3) により、ビット単位に入力または出力を設定できます。

(b) 兼用機能

(i) TI00, TI01, TI10, TI11, TI4, TI5 (Timer Input 00, 01, 10, 11, 4, 5) ... 入力

タイマ0, 1, 4, 5の外部カウンタ・クロック入力端子です。

(ii) TO0, TO1, TO4, TO5 (Timer Output 0, 1, 4, 5) ... 出力

タイマ0, 1, 4, 5のパルス信号出力端子です。

(iii) A13-A15 (Address Bus 13-15) ... 出力

外部アクセス時のアドレス・バスで、22ビット・アドレスのA13-A15ビット・アドレス出力端子です。出力は、バス・サイクルのT1ステートの立ち上がりに同期して変化します。バス・サイクルが非活性のタイミングでは、直前のバス・サイクルのアドレスを保持します。

(iv) SI4 (Serial Input 4) ... 入力
CSI4のシリアル受信データ入力端子です。

(v) SO4 (Serial Output 4) ... 出力
CSI4のシリアル送信データ出力端子です。

(vi) $\overline{\text{SCK4}}$ (Serial Clock 4) ... 3ステート入出力
CSI4のシリアル・クロック入出力端子です。

(5) P40-P47 (Port 4) ... 3ステート入出力

ポート4は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P40-P47は入出力ポートとして機能するほか、メモリを外部に拡張する場合の時分割アドレス/データ・バス (AD0-AD7) として動作します。

入出力信号レベルは、バス・インタフェース用電源 BV_{DD} 、 BV_{SS} を基準とします。

(a) ポート機能

P40-P47はポート4モード・レジスタ (PM4) により、ビット単位に入力または出力を設定できます。

(b) 兼用機能 (外部拡張機能)

P40-P47は、メモリ拡張レジスタ (MM) により、AD0-AD7に指定できます。

(i) AD0-AD7 (Address/Data Bus 0-7) ... 3ステート入出力

外部アクセス時のアドレス/データのマルチプレクスト・バスです。アドレス・タイミング (T1ステート) では22ビット・アドレスのAD0-AD7出力端子となり、データ・タイミング (T2, TW, T3) では16ビット・データの下位8ビット入出力バス端子となります。出力は、バス・サイクルの各ステートの立ち上がりに同期して変化します。バス・サイクルが非活性のタイミングでは、ハイ・インピーダンスとなります。

(6) P50-P57 (Port 5) ... 3ステート入出力

ポート5は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P50-P57は入出力ポートとして機能するほか、メモリを外部に拡張する場合の時分割アドレス/データ・バス (AD8-AD15) として動作します。

入出力信号レベルは、バス・インタフェース用電源 BV_{DD} 、 BV_{SS} を基準とします。

(a) ポート機能

P50-P57はポート5モード・レジスタ (PM5) により、ビット単位に入力または出力を設定できます。

(b) 兼用機能 (外部拡張機能)

P50-P57はメモリ拡張レジスタ (MM) により、AD8-AD15に指定できます。

(i) AD8-AD15 (Address/Data Bus 8-15) ... 3ステート入出力

外部アクセス時のアドレス/データのマルチプレクスト・バスです。アドレス・タイミング(T1ステート)では22ビット・アドレスのAD8-AD15出力端子となり、データ・タイミング(T2, TW, T3)では16ビット・データの上位8ビット入出力バス端子となります。出力は、バス・サイクルの各ステートの立ち上がりに同期して変化します。バス・サイクルが非活性のタイミングでは、ハイ・インピーダンスとなります。

(7) P60-P65 (Port 6) ... 3ステート入出力

ポート6は、1ビット単位で入力または出力を設定できる6ビットの入出力ポートです。

P60-P65は入出力ポートとして機能するほか、メモリを外部に拡張する場合のアドレス・バス(A16-A21)として動作します。ポート6に8ビット・アクセスした場合の上位2ビットはライト時は無視され、リード時は00が読み出されます。

入出力信号レベルは、バス・インタフェース用電源 BV_{DD} 、 BV_{SS} を基準とします。

(a) ポート機能

P60-P65はポート6モード・レジスタ(PM6)により、ビット単位に入力または出力を設定できます。

(b) 兼用機能(外部拡張機能)

P60-P65はメモリ拡張レジスタ(MM)により、A16-A21に指定できます。

(i) A16-A21 (Address Bus 16-21) ... 出力

外部アクセス時のアドレス・バスで、22ビット・アドレスの上位6ビット・アドレス出力端子です。出力は、バス・サイクルのT1ステートの立ち上がりに同期して変化します。バス・サイクルが非活性のタイミングでは、直前のバス・サイクルのアドレスを保持します。

(8) P70-P77 (Port 7), P80-P83 (Port 8) ... 入力

ポート7は、全端子が入力に固定の8ビットの入力専用ポートです。ポート8は4ビットの入力専用ポートです。

P70-P77, P80-P83は入力ポートとして機能するほか、兼用機能ではA/Dコンバータのアナログ入力として動作します。

(a) ポート機能

P70-P77, P80-P83は入力専用です。

(b) 兼用機能

P70-P77はANI0-ANI7端子と、P80-P83はANI8-ANI11端子と兼用になっていますが、切り替えはできません。

(i) ANI0-ANI11 (Analog Input 0-11) ... 入力

A/Dコンバータへのアナログ入力端子です。

ノイズによる誤動作を防ぐため、 AV_{SS} との間にコンデンサを接続してください。また、A/Dコンバータへの入力に使用している端子には、 $AV_{SS} - AV_{REF}$ の範囲外の電圧が加わらないようにしてください。 AV_{REF} 以上、 AV_{SS} 以下のノイズが入る可能性がある場合は、 V_F の小さいダイオードでクランプしてください。

(9) P90-P96 (Port 9) ... 3ステート入出力

ポート9は、1ビット単位で入力または出力を設定できる7ビットの入出力ポートです。

P90-P96は入出力ポートとして機能するほか、メモリを外部に拡張する場合の制御信号出力、バス・ホールド制御信号出力として動作します。

ポート9に8ビット・アクセスした場合の上位1ビットは、ライト時は無視され、リード時は0が読み出されます。

入出力信号レベルは、バス・インタフェース用電源 BV_{DD} 、 BV_{SS} を基準とします。

(a) ポート機能

P90-96はポート9モード・レジスタ (PM9) により、ビット単位に入力または出力を設定できます。

(b) 兼用機能 (外部拡張機能)

P90-P96はメモリ拡張レジスタ (MM) により、メモリを外部に拡張する場合の制御信号出力として動作します。

(i) \overline{LBEN} (Lower Byte Enable) ... 出力

外部16ビット・データ・バスの下位バイト・イネーブル信号出力端子です。奇数アドレスへのバイト・アクセス時はインアクティブ (ハイ・レベル) になります。出力は、バス・サイクルのT1ステートの立ち上がり同期して変化します。バス・サイクルが非活性のタイミングでは、直前のバス・サイクルの状態を保持します。

(ii) \overline{UBEN} (Upper Byte Enable) ... 出力

外部16ビット・データ・バスの上位バイト・イネーブル信号出力端子です。偶数アドレスへのバイト・アクセス時はインアクティブ (ハイ・レベル) になります。出力は、バス・サイクルのT1ステートの立ち上がり同期して変化します。バス・サイクルが非活性のタイミングでは、直前のバス・サイクルの状態を保持します。

アクセス		\overline{UBEN}	\overline{LBEN}	AD0
ワード・アクセス		0	0	0
ハーフワード・アクセス		0	0	0
バイト・アクセス	偶数アドレス	1	0	0
	奇数アドレス	0	1	1

(iii) \overline{RW} (Read/Write Status) ... 出力

外部アクセス時のバス・サイクルが、リード・サイクルかライト・サイクルかを示すステータス信号出力端子です。リード・サイクルではハイ・レベル、ライト・サイクルではロウ・レベルになります。出力は、バス・サイクルのT1ステートの立ち上がり同期して変化します。バス・サイクルが非活性のタイミングでは、ハイ・レベルになります。

(iv) \overline{DSTB} (Data Strobe) ... 出力

外部データ・バスのアクセス・ストロブ信号出力端子です。出力はバス・サイクルのT2, TWステートの期間中アクティブ(ロウ・レベル)になります。バス・サイクルが非活性のタイミングではインアクティブ(ハイ・レベル)になります。

(v) \overline{ASTB} (Address Strobe) ... 出力

外部アドレス・バスのラッチ・ストロブ信号出力端子です。出力は、バス・サイクルのT1ステートの立ち下がり同期してアクティブ(ロウ・レベル)になり、T3ステートの立ち下がり同期してインアクティブ(ハイ・レベル)になります。バス・サイクルが非活性のタイミングでは、インアクティブになります。

(vi) \overline{HLDAK} (Hold Acknowledge) ... 出力

V850/SB1, V850/SB2がバス・ホールド要求を受けて、アドレス・バス、データ・バス、制御バスをそれぞれハイ・インピーダンス状態にしたことを示すアクノリッジ信号出力端子です。

この信号がアクティブの間、アドレス・バス、データ・バス、制御バスはハイ・インピーダンス状態になります。

(vii) \overline{HLDRQ} (Hold Request) ... 入力

外部デバイスがV850/SB1, V850/SB2に対し、アドレス・バス、データ・バス、制御バスの解放を要求する入力端子です。この端子は、CLKOUTに対して非同期に入力できます。この端子がアクティブになると、V850/SB1, V850/SB2は実行中のバス・サイクルがあればその終了後に、なければすぐにアドレス・バス、データ・バス、制御バスをハイ・インピーダンス状態にし、 \overline{HLDAK} 信号をアクティブにしてバスを解放します。

(viii) \overline{WRL} (Write Strobe Low Level Data) ... 出力

外部16ビット・データ・バスの下位データのライト・ストロブ信号出力端子です。 \overline{DSTB} と同じ、ライト・サイクルで出力します。

(ix) \overline{WRH} (Write Strobe High Level Data) ... 出力

外部16ビット・データ・バスの上位データのライト・ストロブ信号出力端子です。 \overline{DSTB} と同じライト・サイクルで出力します。

(x) \overline{RD} (Read) ... 出力

外部16ビット・データ・バスのリード・ストロブ信号出力端子です。 \overline{DSTB} と同じリード・サイクルで出力します。

(10) P100-P107 (Port 10) ... 3ステート入出力

ポート10は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P100-P107は入出力ポートとして機能するほか、リアルタイム出力ポート、メモリを外部に拡張する場合のアドレス・バス (A5-A12)、キー・リターン入力と、IEBusのデータ入出力 (V850/SB2のみ) として動作します。

P100-P107は、通常出力とN-chオープン・ドレイン出力を選択できます。

(a) ポート機能

P100-107はポート10モード・レジスタ (PM10) により、ビット単位に入力または出力を設定できます。

(b) 兼用機能**(i) RTP0-RTP7 (Real-time Output Port 0-7) ... 出力**

リアルタイム出力ポートです。

(ii) A5-A12 (Address Bus 5-12) ... 出力

外部アクセス時のアドレス・バスで、22ビット・アドレスのA5-A12ビット・アドレス出力端子です。出力は、バス・サイクルのT1ステートの立ち上がりに同期して変化します。バス・サイクルが非活性のタイミングでは、直前のバス・サイクルのアドレスを保持します。

(iii) KR0-KR7 (Key Return 0-7) ... 入力

キー割り込み入力端子です。キー・リターン・モード・レジスタ (KRM) で動作を指定します。

(iv) $\overline{\text{IERX}}$ (IEBus Receive Data) ... 入力

IEBusデータ入力信号です。V850/SB2用のみの端子です。

(v) $\overline{\text{IETX}}$ (IEBus Transmit Data) ... 出力

IEBusデータ出力信号です。V850/SB2用のみの端子です。

(11) P110-P113 (Port 11) ... 3ステート入出力

ポート11は、1ビット単位で入力または出力を設定できる4ビットの入出力ポートです。

P110-P113は入出力ポートとして機能するほか、メモリを外部に拡張する場合のアドレス・バス (A1-A4)、バス・サイクルにウエイトを挿入する制御信号 ($\overline{\text{WAIT}}$) として動作します。

(a) ポート機能

P110-113はポート11モード・レジスタ (PM11) により、ビット単位に入力または出力を設定できます。

(b) 兼用機能

(i) A1-A4 (Address Bus 1-4) ... 出力

外部アクセス時のアドレス・バスで、22ビット・アドレスの下位4ビット・アドレス出力端子です。出力は、バス・サイクルのT1ステートの立ち上がり同期して変化します。バス・サイクルが非活性のタイミングでは、直前のバス・サイクルのアドレスを保持します。

(ii) $\overline{\text{WAIT}}$ (Wait) ... 入力

バス・サイクルにウエイトを挿入する制御信号入力端子です。バス・サイクルのT2, TWステートのクロックの立ち下がりデスプリングされます。

ウエイト機能のON/OFFは、ポート兼用機能コントロール・レジスタ (PAC) で行います。

注意 $\overline{\text{WAIT}}$ 端子の入出力バッファの電源は EV_{DD} 系であるため、 EV_{DD} と BV_{DD} の電位が異なる場合、外部ウエイト信号の電位は BV_{DD} 系ではなく、 EV_{DD} 系にあわせてください。

(12) $\overline{\text{RESET}}$ (Reset) ... 入力

$\overline{\text{RESET}}$ 入力は非同期入力で、動作クロックと無関係に一定のロウ・レベル幅を持つ信号が入力されると、すべての動作に優先してシステム・リセットがかかります。

通常のイニシャライズ/スタートのほかに、スタンバイ・モード (HALT, IDLE, STOP) の解除にも使用します。

(13) REGC (Regulator Control) ... 入力

レギュレータ用のコンデンサ接続端子です。

(14) CLKOUT (Clock Out) ... 出力

内部で生成したバス・クロックを出力します。

(15) X1, X2 (Crystal)

システム・クロック発生用の発振子接続端子です。

(16) XT1, XT2 (Crystal for Sub-Clock)

サブクロック発生用の発振子接続端子です。

(17) AV_{DD} (Analog V_{DD})

A/Dコンバータおよび兼用ポート用のアナログ正電源供給端子です。

(18) AV_{SS} (Analog V_{SS})

A/Dコンバータおよび兼用ポート用のグラウンド端子です。

(19) AV_{REF} (Analog Reference Voltage) ... 入力

A/Dコンバータ用の基準電圧供給端子です。

(20) BV_{DD} (Power Supply for Bus Interface)

バス・インタフェースおよび兼用ポート用の正電源供給端子です。

(21) BV_{SS} (Ground for Bus Interface)

バス・インタフェースおよび兼用ポート用のグランド端子です。

(22) EV_{DD} (Power Supply for Port)

入出力ポートおよび兼用機能端子用の正電源供給端子です(バス・インタフェース兼用ポートは除きます)。

(23) EV_{SS} (Ground for Port)

入出力ポートおよび兼用機能端子用のグランド端子です(バス・インタフェース兼用ポートは除きます)。

(24) V_{DD} (Power Supply)

正電源供給端子です。すべてのV_{DD}端子を正電源に接続してください。

(25) V_{SS} (Ground)

グランド端子です。すべてのV_{SS}端子をグランドに接続してください。

(26) V_{PP} (Programming Power Supply)

フラッシュ・メモリ・プログラミング・モード用の正電源供給端子です。

フラッシュ・メモリ品用の端子です。通常動作モード時は、V_{SS}に接続してください。

(27) IC (Internally Connected)

内部接続端子です。マスクROM品用の端子です。通常動作モード時は、V_{SS}に直接接続してください。

2.4 端子の入出力回路タイプ，入出力バッファ電源と未使用時の処理

(1/2)

端子	兼用端子名	入出力回路タイプ	入出力バッファ電源	推奨接続方法
P00	NMI	8-A	EV _{DD}	入力時：個別に抵抗を介してEV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P01-P04	INTP0-INTP3			
P05	INTP4/ADTRG			
P06	INTP5/RTPTRG			
P07	INTP6			
P10	SI0/SDA0			
P11	SO0	26		
P12	SCK0/SCL0	10-A		
P13	SI1/RXD0	8-A		
P14	SO1/TXD0	26		
P15	SCK1/ASCK0	10-A		
P20	SI2/SDA1	10-A	EV _{DD}	
P21	SO2	26		
P22	SCK2/SCL1	10-A		
P23	SI3/RXD1	8-A		
P24	SO3/TXD1	26		
P25	SCK3/ASCK1	10-A		
P26, P27	TI2/TO2, TI3/TO3	8-A	EV _{DD}	
P30, P31	TI00, TI01	8-A		
P32	TI10/SI4	10-A		
P33	TI11/SO4			
P34	TO0/A13/SCK4	5-A		
P35	TO1/A14			
P36	TI4/TO4/A15			
P37	TI5/TO5			
P40-P47	AD0-AD7	5	BV _{DD}	入力時：個別に抵抗を介してBV _{DD} またはBV _{SS} に接続してください。 出力時：オープンにしてください。
P50-P57	AD8-AD15	5	BV _{DD}	
P60-P65	A16-A21	5	BV _{DD}	
P70-P77	ANI0-ANI7	9	AV _{DD}	個別に抵抗を介してAV _{DD} またはAV _{SS} に接続してください。
P80-P83	ANI8-ANI11	9	AV _{DD}	
P90	LBEN/WRL	5	BV _{DD}	入力時：個別に抵抗を介してBV _{DD} またはBV _{SS} に接続してください。 出力時：オープンにしてください。
P91	UBEN			
P92	R/W/WRH			
P93	DSTB/RD			
P94	ASTB			
P95	HLDK			
P96	HLDRQ			
P100-P103	RTP0/A5/KR0-RTP3/A8/KR3	10-A	EV _{DD}	入力時：個別に抵抗を介してEV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P104	RTP4/A9/KR4/I _{ERX}			
P105	RTP5/A10/KR5/I _{ETX}			
P106, P107	RTP6/A11/KR6, RTP7/A12/KR7			

★

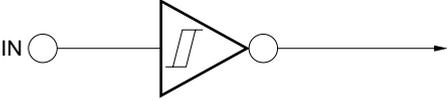
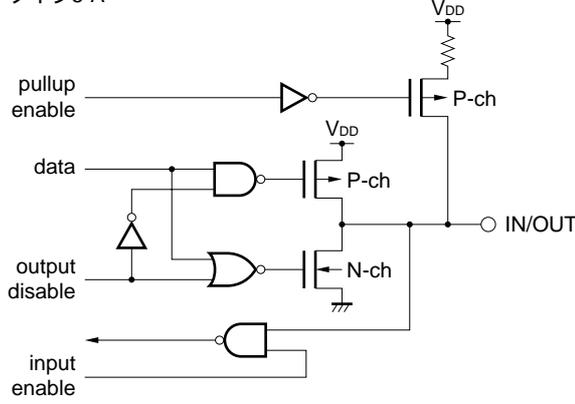
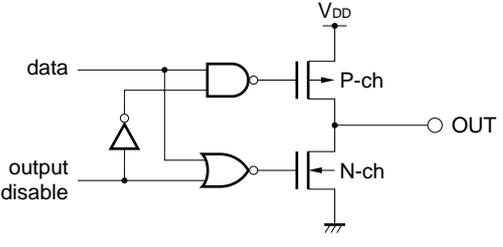
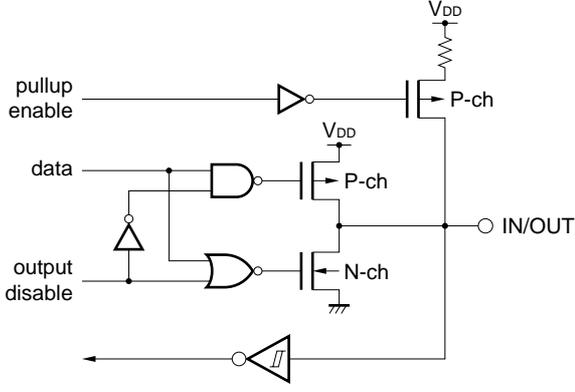
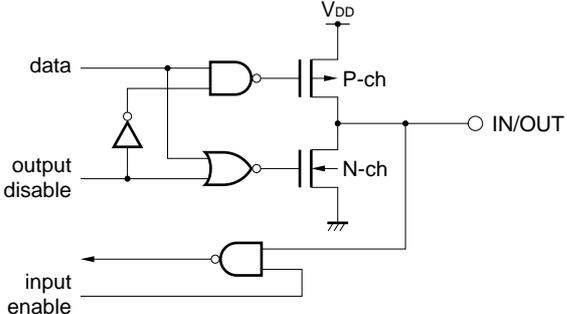
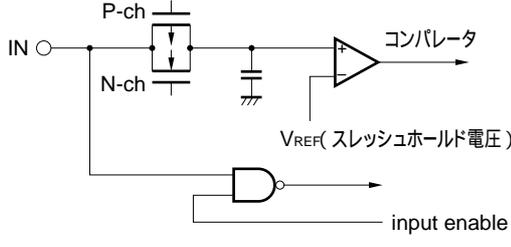
端子	兼用端子名	入出力回路 タイプ	入出力バッファ 電源	推奨接続方法
P110	A1/WAIT	5-A	EV _{DD}	入力時：個別に抵抗を介してEV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P111-P113	A2-A4			
AV _{REF}	-	-	-	抵抗を介してAV _{SS} に接続してください。
CLKOUT	-	4	BV _{DD}	オープンにしてください。
RESET	-	2	EV _{DD}	-
X1	-	-	-	-
X2	-	-	-	-
XT1	-	16	-	抵抗を介してV _{SS} に接続してください。
XT2	-	16	-	オープンにしてください。
V _{PP} ^{注1}	-	-	-	V _{SS} に接続してください。
IC ^{注2}	-	-	-	V _{SS} に直接接続してください。
V _{DD}	-	-	-	-
V _{SS}	-	-	-	-
AV _{DD}	-	-	-	-
AV _{SS}	-	-	-	-
BV _{DD}	-	-	-	-
BV _{SS}	-	-	-	-
EV _{DD}	-	-	-	-
EV _{SS}	-	-	-	-

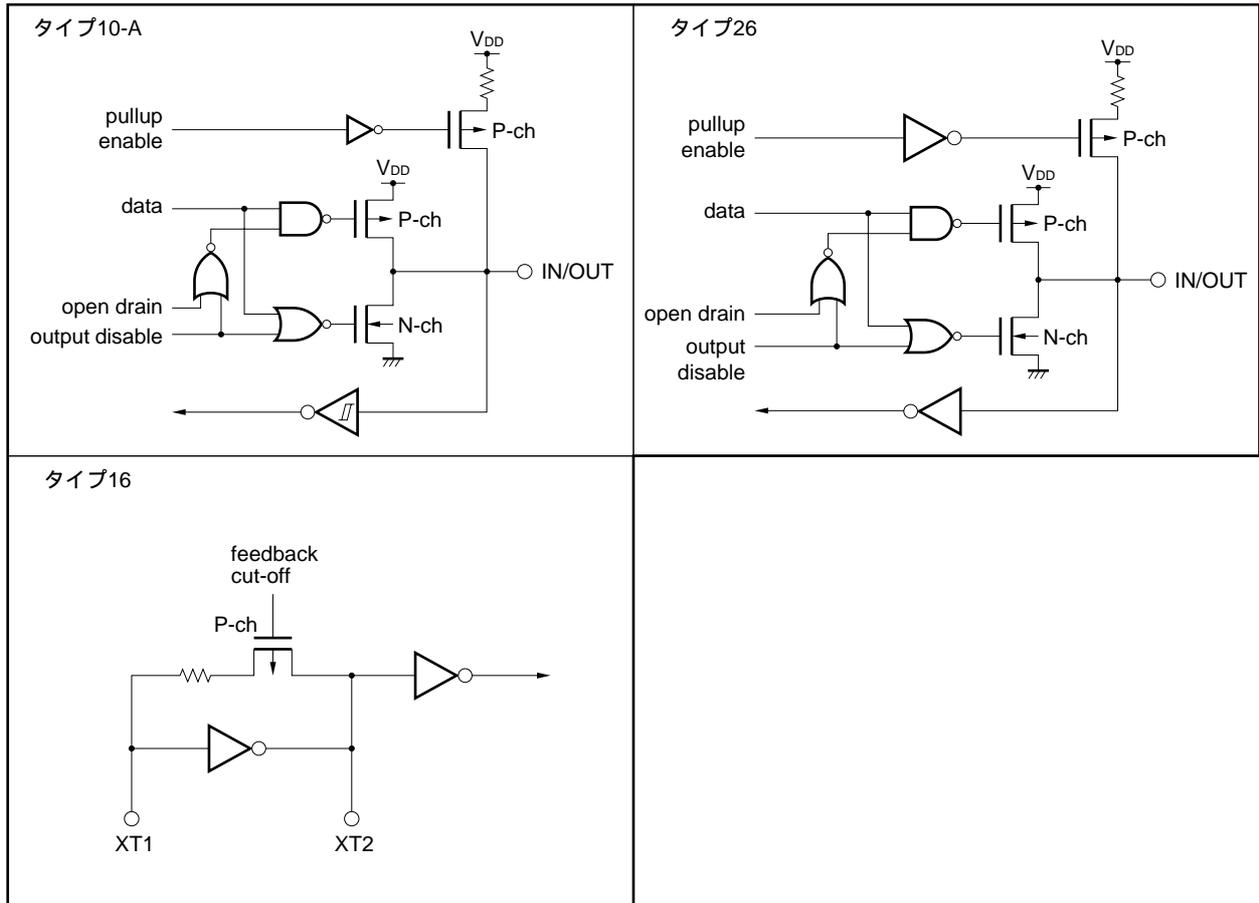
注1. フラッシュ・メモリ品のみ

2. マスクROM品のみ

2.5 端子の入出力回路

(1/2)

<p>タイプ2</p>  <p>ヒステリシス特性を有するシュミット・トリガ入力となっています。</p>	<p>タイプ5-A</p> 
<p>タイプ4</p>  <p>出力をハイ・インピーダンス(P-ch, N-chともにオフ)にできるプッシュプル出力です。</p>	<p>タイプ8-A</p> 
<p>タイプ5</p> 	<p>タイプ9</p> 



第3章 CPU機能

V850/SB1, V850/SB2は, RISCアーキテクチャをベースとして, 5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

3.1 特 徴

★ 最小命令実行時間

V850/SB1 (A品, B品) : 50 ns (内部20 MHz動作時)

V850/SB2 (A品, B品) : 79 ns (内部12.58 MHz動作時)

V850/SB2 (H品) : 53 ns (内部18.87 MHz動作時)

アドレス空間 : 16 Mバイト・リニア

汎用レジスタ : 32ビット×32本

内部32ビット・アーキテクチャ

5段パイプライン制御

乗除算命令

飽和演算命令

32ビット・シフト命令(1クロック)

ロング/ショート形式を持つロード/ストア命令

ビット操作命令4種

・SET1

・CLR1

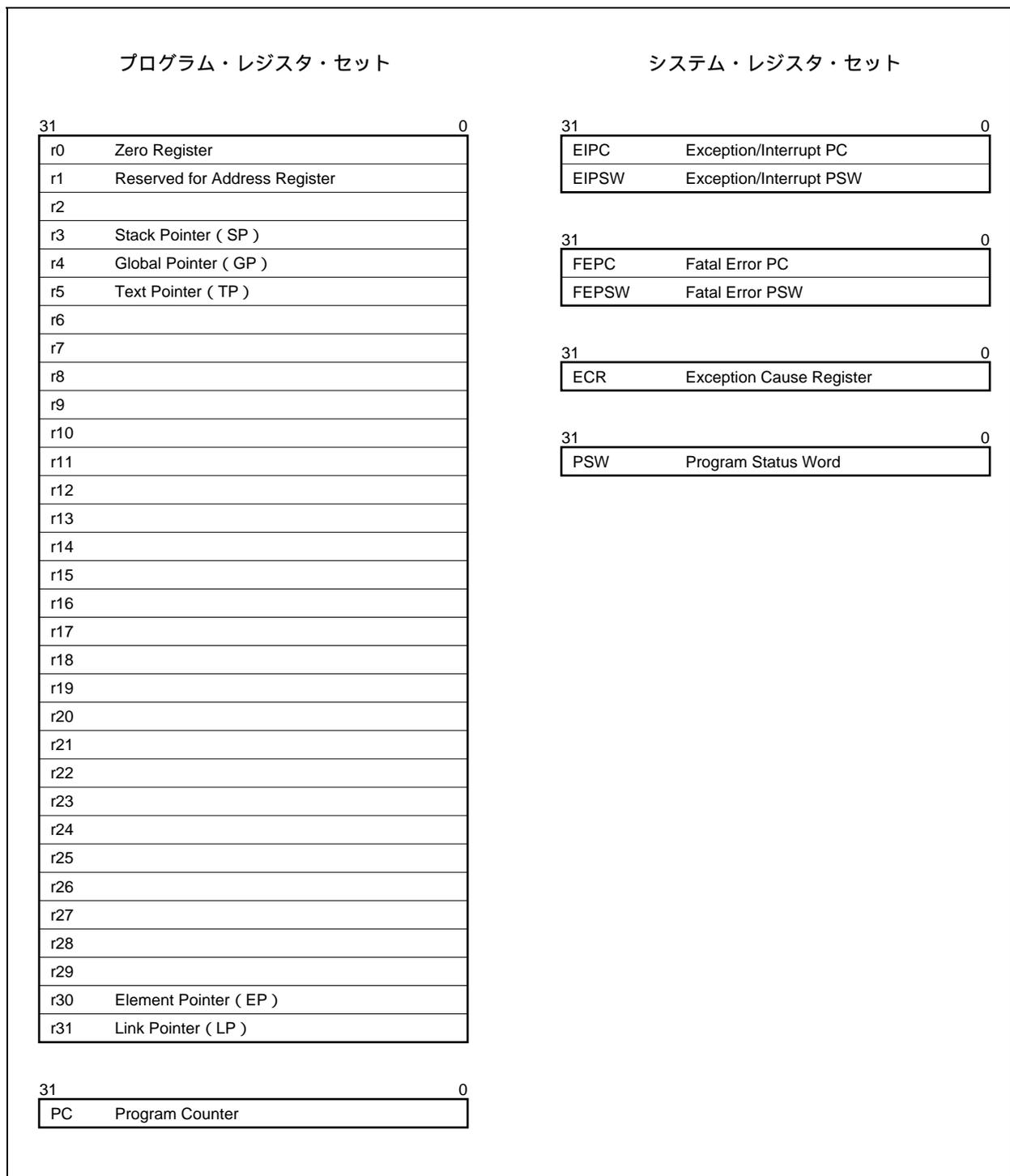
・NOT1

・TST1

3.2 CPUレジスタ・セット

V850/SB1, V850/SB2のCPUレジスタは、汎用のプログラム・レジスタ・セットと専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅です。詳細はV850シリーズ **ユーザーズ・マニュアル アーキテクチャ編**を参照してください。

図3 - 1 CPUレジスタ・セット



3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

(1) 汎用レジスタ

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。また、r1, r3, r4, r5, r31はアセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻してください。

r2はリアルタイムOSが使用することがあります。使用するリアルタイムOSがr2を使用していない場合は、変数用レジスタとしてr2を使用できます。

表3 - 1 プログラム・レジスタ一覧

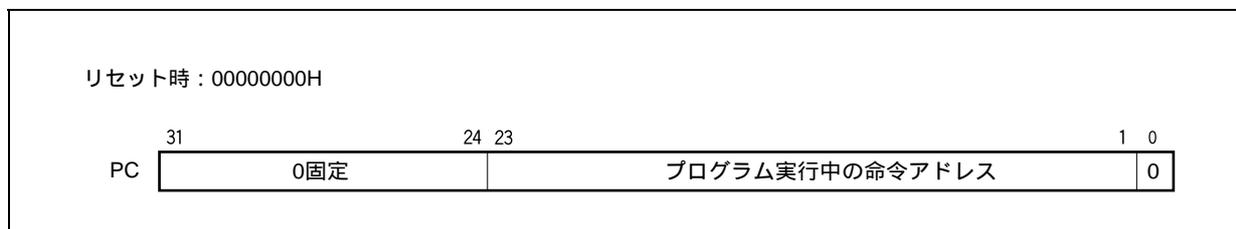
名 称	用 途	動 作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミューディエト作成用のワーキング・レジスタとして使用
r2	アドレス/データ変数用レジスタ（使用するリアルタイムOSがr2を使用していない場合）	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域 ^注 の先頭を指すレジスタとして使用
r6-r29	アドレス/データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

注 プログラム・コードを配置する領域

(2) プログラム・カウンタ (PC)

プログラム実行中の命令アドレスを保持します。下位24ビットが有効で、ビット31-24は0に固定されます。ビット23からビット24へのキャリーがあっても無視します。

また、ビット0は0に固定されており、奇数番地への分岐はできません。



3.2.2 システム・レジスタ・セット

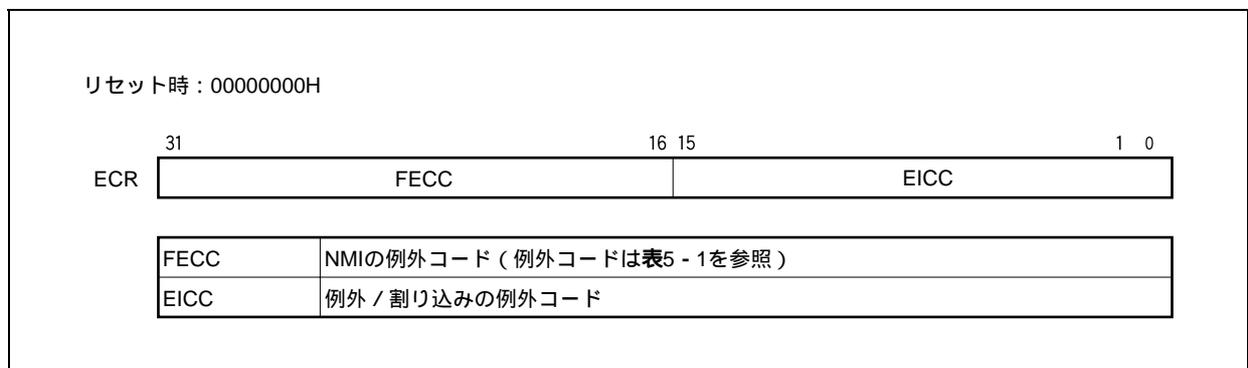
システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

表3-2 システム・レジスタ番号

番号	システム・レジスタ名称	用途	動作
0	EIPC	割り込み時状態退避レジスタ	例外または割り込みが発生した場合に、PCとPSWを退避するレジスタです。このレジスタは1組しかいないため、多重割り込みを許可する場合は、プログラムでこのレジスタを退避してください。
1	EIPSW		
2	FEPC	NMI時状態退避レジスタ	NMIが発生した場合に、PCとPSWを退避するレジスタです。
3	FEPSW		
4	ECR	割り込み要因レジスタ	例外、マスカブル割り込み、NMIが発生した場合に、その要因を保持するレジスタです。このレジスタは上位16ビットを“FECC”と呼び、NMIの例外コードがセットされます。下位16ビットは“EICC”と呼び、例外/割り込みの例外コードがセットされます。
5	PSW	プログラム・ステータス・ワード	プログラム・ステータス・ワードは、プログラムの状態（命令実行結果）やCPUの状態を示すフラグの集合です。
6-31	予約		

これらのシステム・レジスタへのリード/ライトは、システム・レジスタ・ロード/ストア命令（LDSR命令/STSR命令）で示すシステム・レジスタ番号を指定して行います。

(1) 割り込み要因レジスタ（ECR）



(2) プログラム・ステータス・ワード (PSW)

(1/2)

リセット時：00000020H

31	8	7	6	5	4	3	2	1	0						
PSW	RFU							NP	EP	ID	SAT	CY	OV	S	Z

RFU	予約フィールドです (0に固定されています)。
-----	-------------------------

NP	ノンマスクابل割り込み (NMI) 処理状態
0	NMI処理中ではない
1	NMI処理中 NMIが受け付けられるとセット (1) され, 多重割り込みを禁止します。詳細は 5.2.3 NPフラグ を参照してください。

EP	例外処理状態
0	例外処理中ではない
1	例外処理中 例外の発生でセット (1) されます。割り込み要求は受け付けます。詳細は, 5.4.3 EPフラグ を参照してください。

ID	マスクابل割り込み処理の指定
0	マスクابل割り込みの受け付けを許可
1	マスクابل割り込みの受け付けを禁止 マスクابل割り込み要求を受け付けるとセット (1) されます。詳細は, 5.3.6 IDフラグ を参照してください。

SAT ^注	飽和演算命令の演算結果の飽和検出
0	飽和していない セット(1)されているときに飽和演算命令を実行した結果が飽和しなくても、クリア(0)はされません。クリア(0)するには、PSWに直接書き込んでください。
1	飽和した

CY	演算結果のキャリーまたはボロー検出
0	キャリーまたはボローは発生していない
1	キャリーまたはボローが発生した

OV ^注	演算中のオーバーフロー検出
0	オーバーフローは発生していない
1	オーバーフローが発生した

S ^注	演算結果の正/負の検出
0	負ではない(正またはゼロであった)
1	負であった

Z	演算結果のゼロの検出
0	ゼロではなかった
1	ゼロであった

注 飽和演算時のOVビットとSビットの内容で、飽和处理した演算結果が決まります。また、飽和演算時にOVビットがセット(1)された場合だけ、SATビットはセット(1)されます。

演算結果の状態	フラグの状態			飽和处理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正(最大値を越えない)	演算前の 値を保持	0	0	演算結果そのもの
負(最大値を越えない)			1	

3.3 動作モード

V850/SB1, V850/SB2は次に示す動作モードがあります。

(1) 通常動作モード (シングルチップ・モード)

システム・リセット解除後，バス・インタフェース関連の各端子はポート・モードになり，内蔵ROMのリセット・エントリ・アドレスに分岐し，内蔵ROMに書き込まれた命令の処理を開始します。命令によりメモリ拡張モード・レジスタ (MM) を設定すると，外部メモリ領域に外部デバイスを接続できる外部拡張モードになります。

(2) フラッシュ・メモリ・プログラミング・モード

このモードは，フラッシュ・メモリ品だけが備えています。V_{PP}端子にV_{PP}電圧を印加した場合に，内部フラッシュ・メモリの書き込み/消去ができます。

V _{PP}	動作モード
0	通常動作モード
7.8 V	フラッシュ・メモリ・プログラミング・モード
V _{DD}	設定禁止

3.4 アドレス空間

3.4.1 CPUアドレス空間

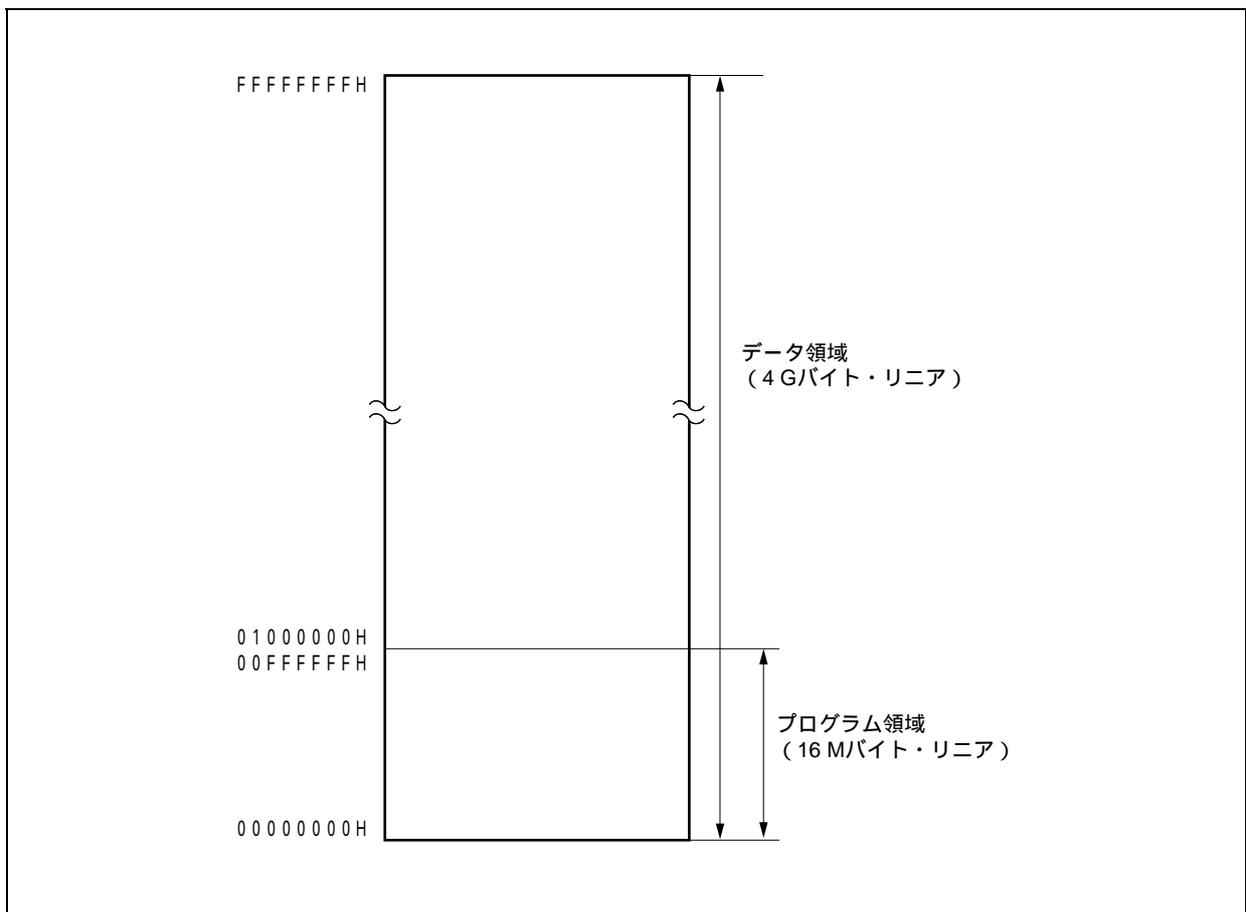
V850/SB1, V850/SB2のCPUは、32ビット・アーキテクチャです。

オペランド・アドレッシング（データ・アクセス）においては、最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。

命令アドレスのアドレッシングにおいては、最大16 Mバイトのリニア・アドレス空間（プログラム空間）をサポートしています。

次にCPUアドレス空間を示します。

図3 - 2 CPUアドレス空間

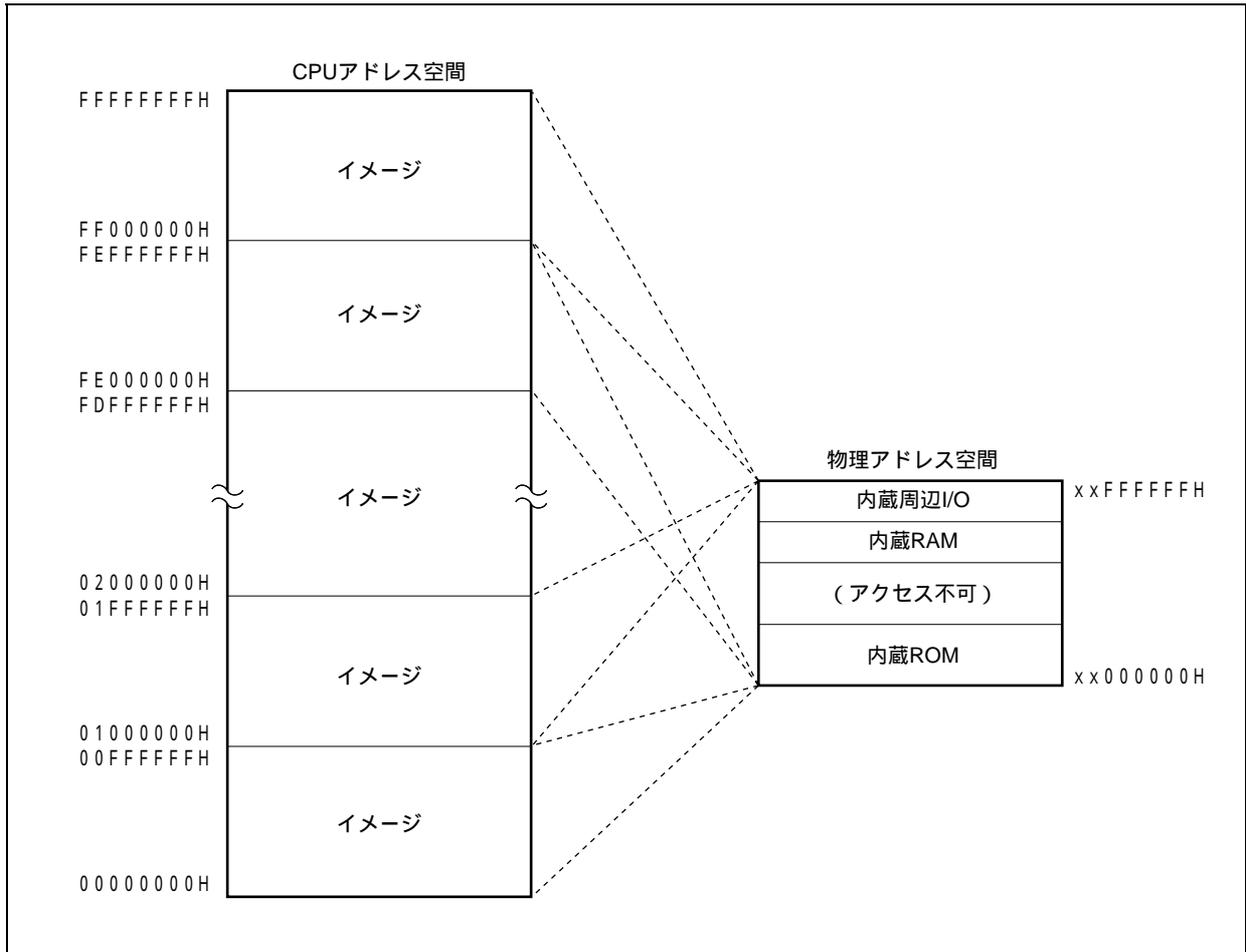


3.4.2 イメージ

4 GバイトのCPUアドレス空間には、16 Mバイトの物理アドレス空間が256個のイメージとして見えます。つまり、CPUアドレスのビット31-ビット24がどのような値でも、同じ16 Mバイトの物理アドレス空間をアクセスします。次にアドレス空間上のイメージを示します。

物理アドレスのxx000000H番地が、CPUアドレスの00000000H番地のほかに、01000000H番地、02000000H番地、...、FE000000H番地、FF000000H番地に見えます。これは、32ビットのCPUアドレスが上位8ビットを無視し、24ビットの物理アドレスとしてアクセスするためです。

図3 - 3 アドレス空間上のイメージ



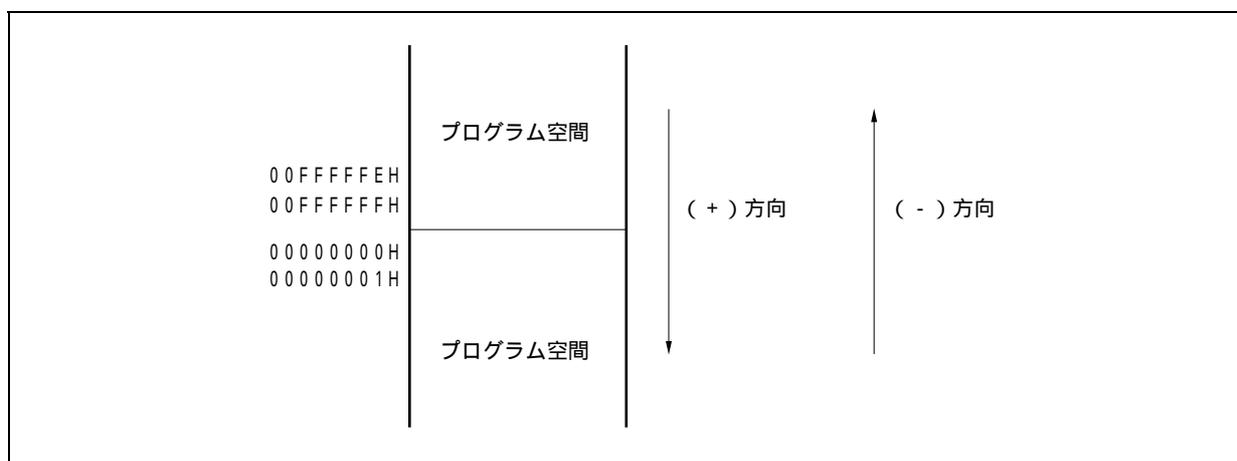
3.4.3 CPUアドレス空間のラップ・アラウンド

(1) プログラム空間

PC(プログラム・カウンタ)は32ビットのうち上位8ビットが0固定で、下位24ビットだけが有効です。分岐アドレス計算などでビット23からビット24に対するキャリーまたはボローがあっても上位8ビットはこれを無視します。したがって、プログラム空間の下限である00000000H番地と、上限の00FFFFFFH番地は連続したアドレスになり、この境界でラップ・アラウンドします。

注意 00FFF000H-00FFFFFFHの4 Kバイトの領域は、周辺I/O領域のため命令フェッチができません。したがって、分岐アドレス計算結果が、この領域にかかるような操作は行わないでください。

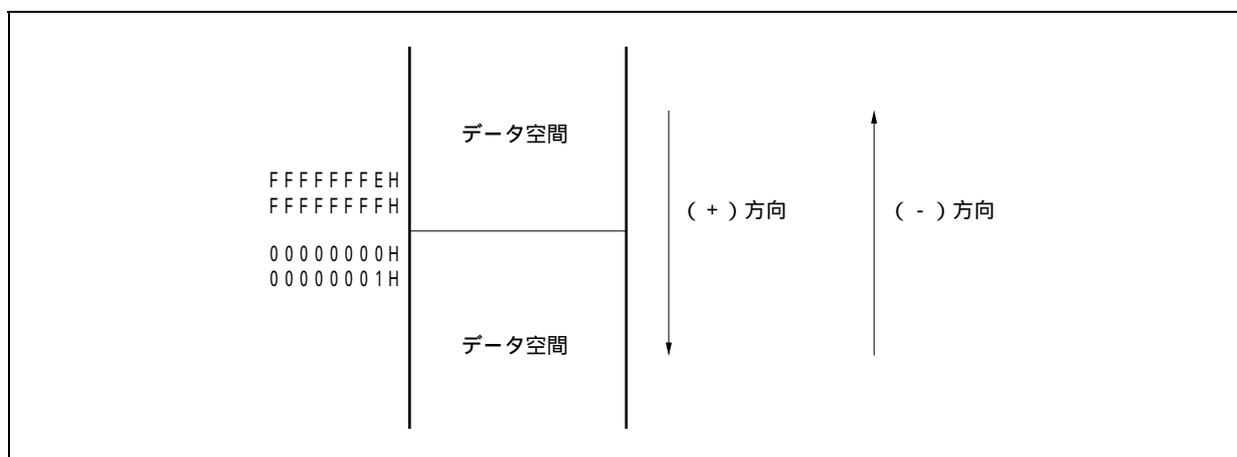
図3 - 4 プログラム空間



(2) データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。したがって、データ空間の下限である00000000H番地と、上限のFFFFFFFFH番地は連続したアドレスとなり、この境界でラップ・アラウンドします。

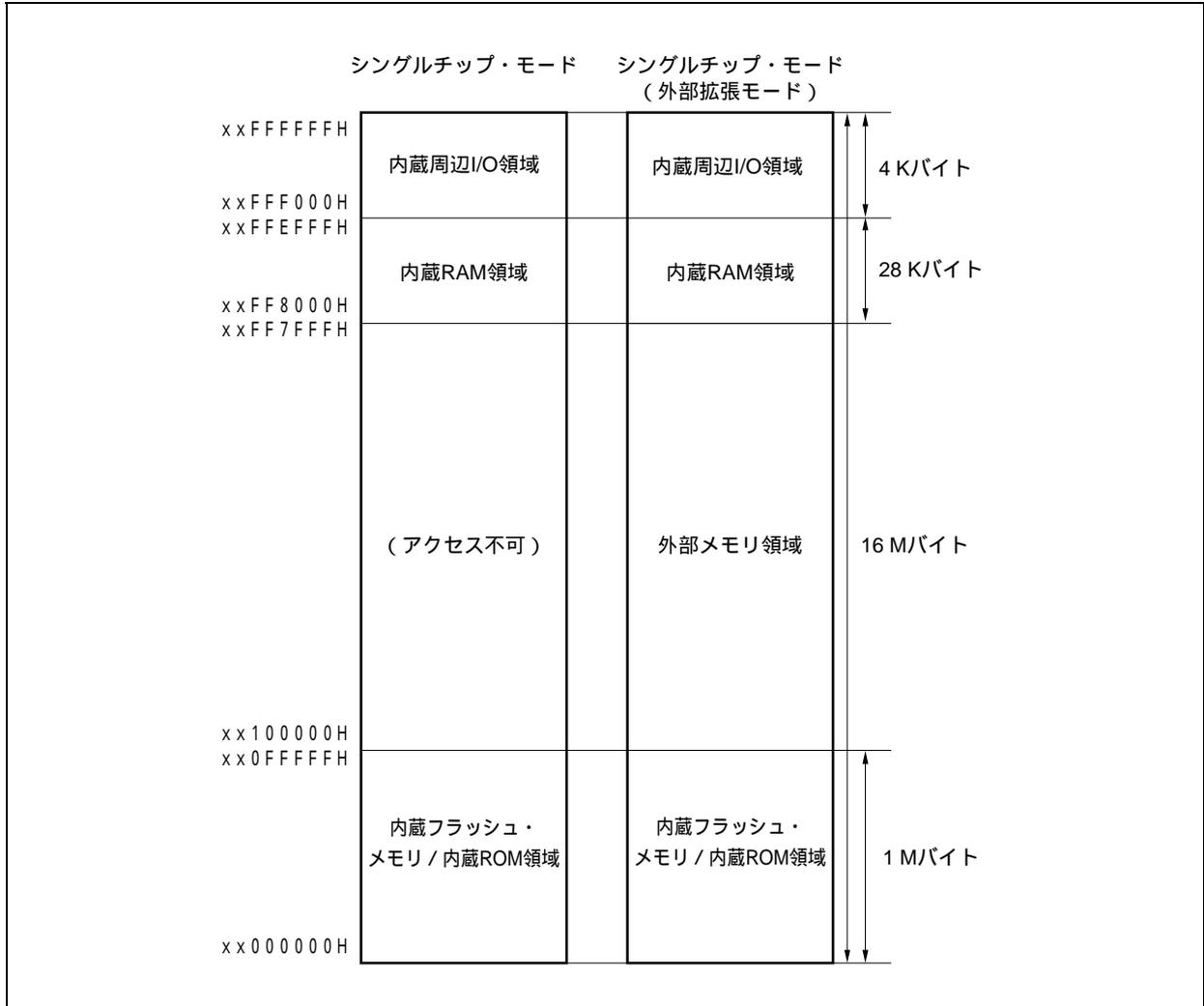
図3 - 5 データ空間



3.4.4 メモリ・マップ

V850/SB1, V850/SB2では, 次を示すように各領域を予約しています。

図3-6 メモリ・マップ



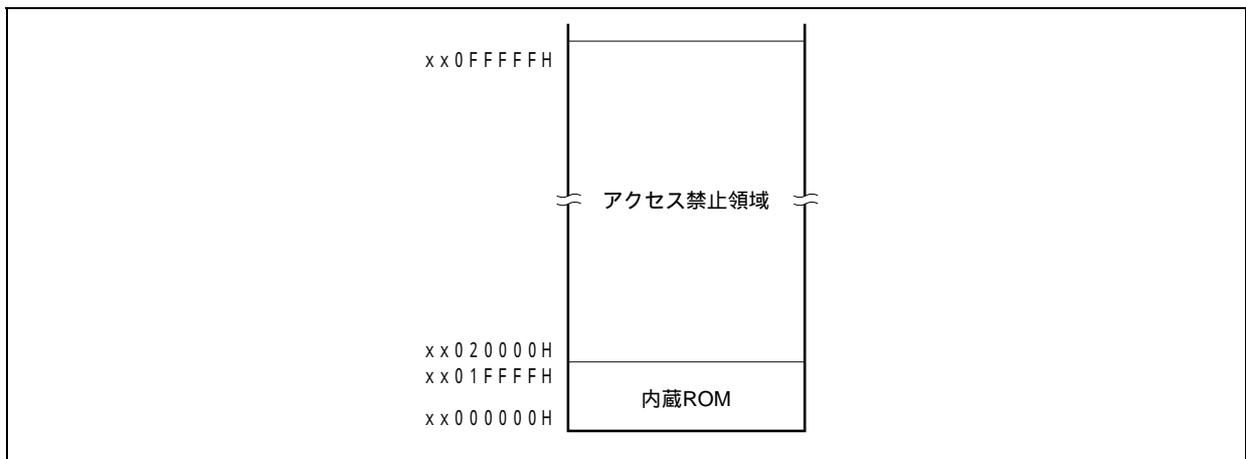
3.4.5 領域

(1) 内蔵ROM / 内蔵フラッシュ・メモリ領域

内蔵ROM / 内蔵フラッシュ・メモリ領域は、最大1 Mバイトが予約されています。

- (a) V850/SB1 (μ PD703031A, 703031AY, 703031B, 703031BY),
 V850/SB2 (μ PD703034A, 703034AY, 703034B, 703034BY)
 xx000000Hからxx01FFFFH番地に128 Kバイト実装しています。
 xx020000Hからxx0FFFFFFH番地はアクセス禁止領域です。

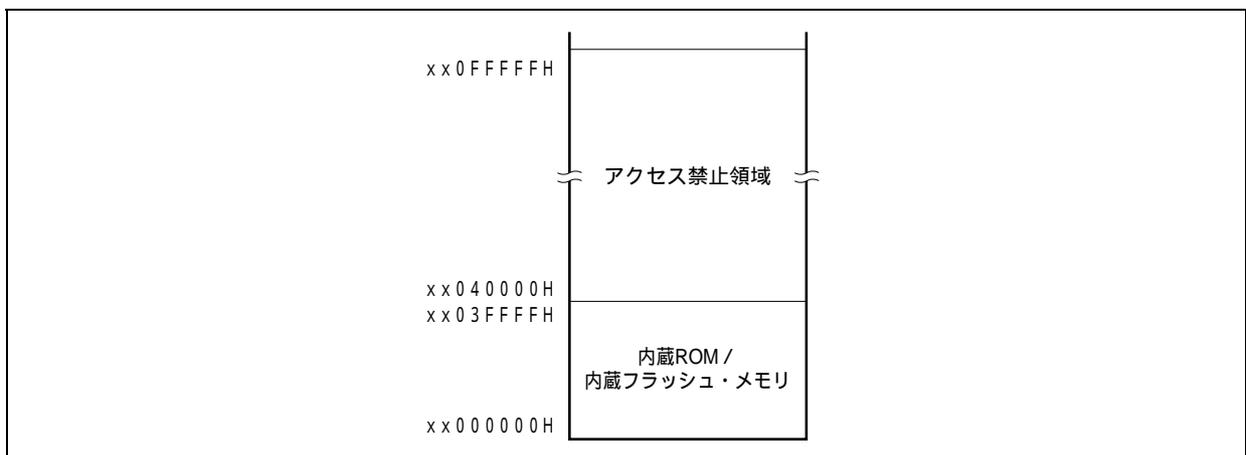
図3 - 7 内蔵ROM領域 (128 Kバイト)



(b) V850/SB1

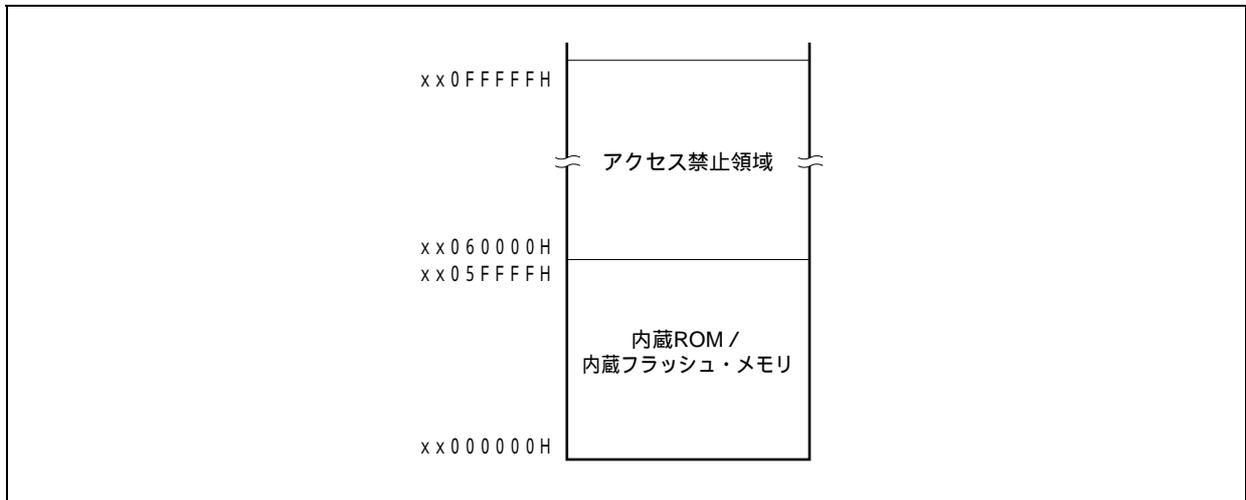
- (μ PD703033A, 703033AY, 70F3033A, 70F3033AY, 703033B, 703033BY, 70F3033B, 70F3033BY),
 V850/SB2
 (μ PD703035A, 703035AY, 70F3035A, 70F3035AY, 703035B, 703035BY, 70F3035B, 70F3035BY)
 xx000000Hからxx03FFFFH番地に256 Kバイト実装しています。
 xx040000Hからxx0FFFFFFH番地はアクセス禁止領域です。

図3 - 8 内蔵ROM / 内蔵フラッシュ・メモリ領域 (256 Kバイト)



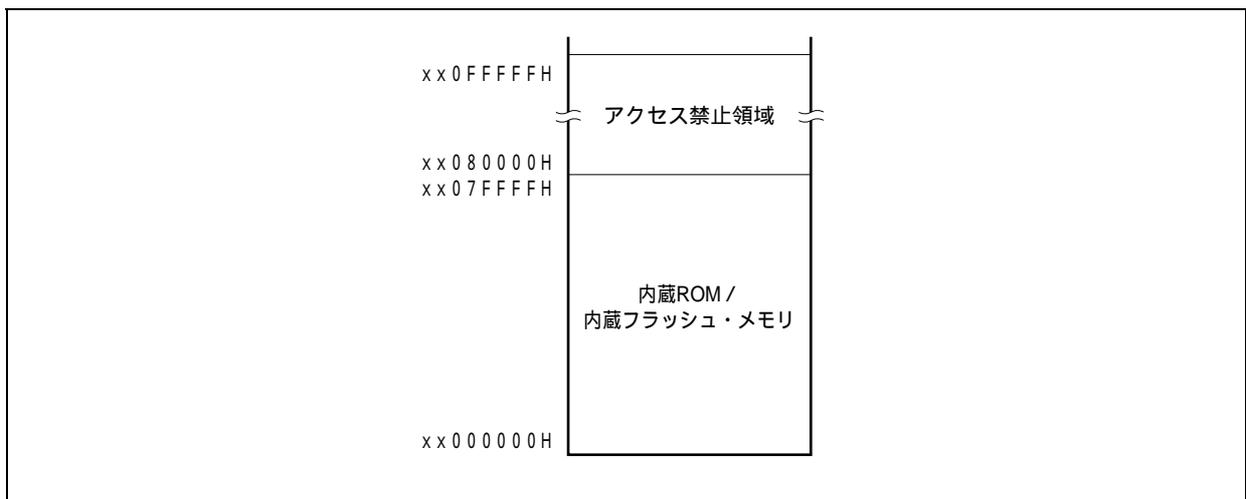
- (c) V850/SB1 (μ PD703030B, 703030BY, 70F3030B, 70F3030BY),
 V850/SB2 (μ PD703036H, 703036HY, 70F3036H, 70F3036HY)
 xx000000Hからxx05FFFFH番地に384 Kバイト実装しています。
 xx060000Hからxx0FFFFFFH番地はアクセス禁止領域です。

図3 - 9 内蔵ROM / 内蔵フラッシュ・メモリ領域 (384 Kバイト)



- (d) V850/SB1
 (μ PD703032A, 703032AY, 70F3032A, 70F3032AY, 703032B, 703032BY, 70F3032B, 70F3032BY),
 V850/SB2
 (μ PD703037A, 703037AY, 70F3037A, 70F3037AY, 703037H, 703037HY, 70F3037H, 70F3037HY)
 xx000000Hからxx07FFFFH番地に512 Kバイト実装しています。
 xx080000Hからxx0FFFFFFH番地はアクセス禁止領域です。

図3 - 10 内蔵ROM / 内蔵フラッシュ・メモリ領域 (512 Kバイト)



割り込み / 例外テーブル

V850/SB1, V850/SB2は、割り込み / 例外に対応したハンドラ・アドレスを固定化することで、割り込み応答性を高速化しています。

このハンドラ・アドレスの集合を割り込み / 例外テーブルと呼び、内蔵ROMに置かれています。割り込み / 例外要求が受け付けられると、ハンドラ・アドレスにジャンプし、そのメモリに置かれているプログラムを実行します。次に割り込み / 例外要因と対応するアドレスを示します。

表3 - 3 割り込み / 例外テーブル

割り込み / 例外テーブル の先頭アドレス	割り込み / 例外要因	割り込み / 例外テーブル の先頭アドレス	割り込み / 例外要因
00000000H	RESET	000001D0H	INTTM6
00000010H	NMI	000001E0H	INTTM7
00000020H	INTWDT	000001F0H	INTIIC0 ^注 /INTCSI0
00000040H	TRAP0n (n = 0-F)	00000200H	INTSER0
00000050H	TRAP1n (n = 0-F)	00000210H	INTSR0/INTCSI1
00000060H	ILGOP	00000220H	INTST0
00000080H	INTWDTM	00000230H	INTCSI2
00000090H	INTP0	00000240H	INTIIC1 ^注
000000A0H	INTP1	00000250H	INTSER1
000000B0H	INTP2	00000260H	INTSR1/INTCSI3
000000C0H	INTP3	00000270H	INTST1
000000D0H	INTP4	00000280H	INTCSI4
000000E0H	INTP5	00000290H	INTIE1 (V850/SB2のみ)
000000F0H	INTP6	000002A0H	INTIE2 (V850/SB2のみ)
00000140H	INTWTNI	000002B0H	INTAD
00000150H	INTTM00	000002C0H	INTDMA0
00000160H	INTTM01	000002D0H	INTDMA1
00000170H	INTTM10	000002E0H	INTDMA2
00000180H	INTTM11	000002F0H	INTDMA3
00000190H	INTTM2	00000300H	INTDMA4
000001A0H	INTTM3	00000310H	INTDMA5
000001B0H	INTTM4	00000320H	INTWTN
000001C0H	INTTM5	00000330H	INTKR

注 Y品 (I²C内蔵品) のみ有効です。

(2) 内蔵RAM領域

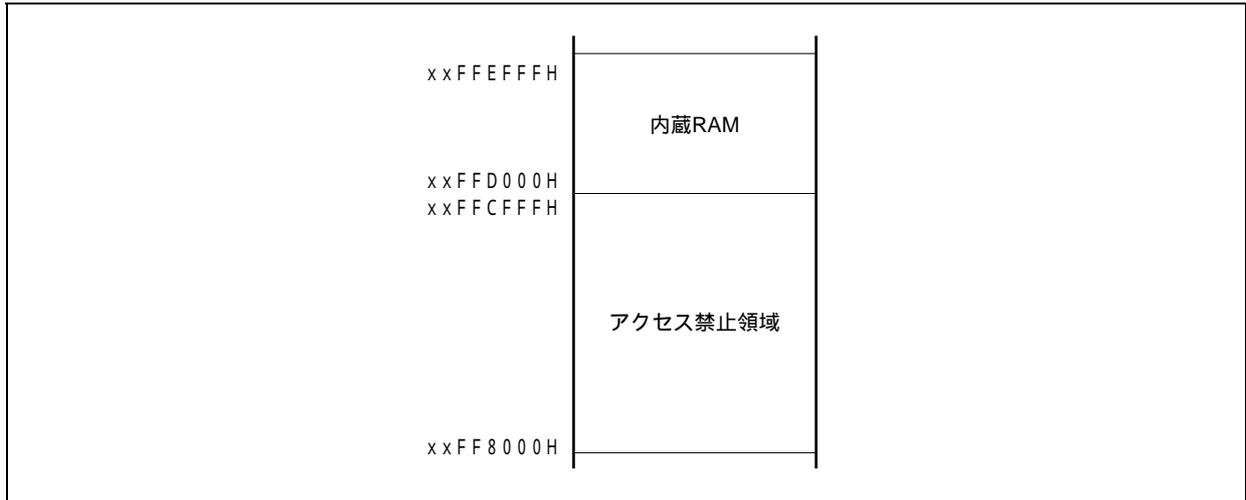
内蔵RAM領域は、最大28 Kバイトが予約されています。

(a) V850/SB1 (μ PD703031B, 703031BY), V850/SB2 (μ PD703034B, 703034BY)

xxFFD000HからxxFFEFFFH番地に8 Kバイト実装しています。

xxFF8000HからxxFFCFFFH番地はアクセス禁止領域です。

図3 - 11 内蔵RAM領域 (8 Kバイト)

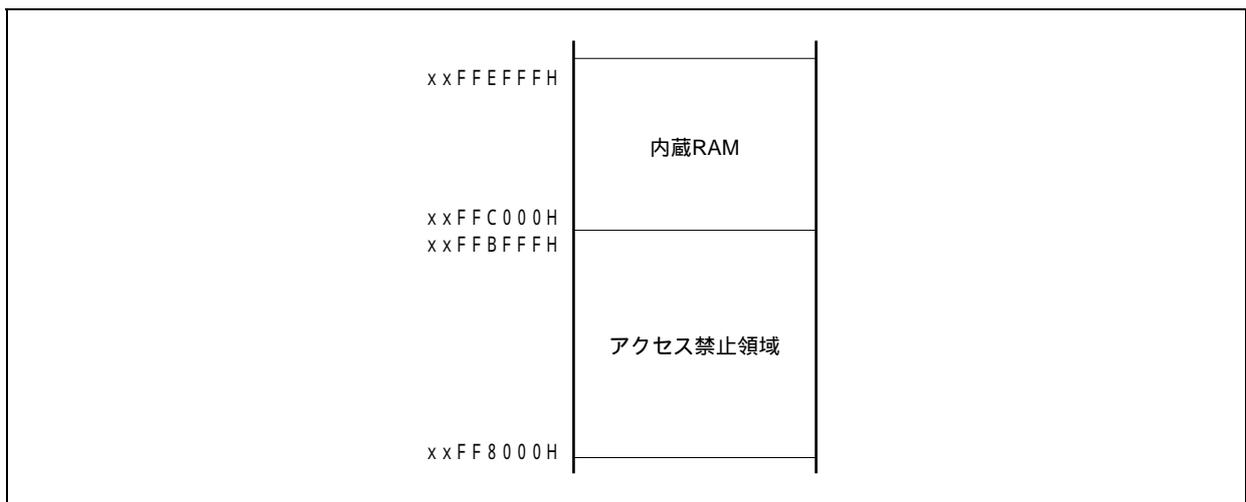


(b) V850/SB1 (μ PD703031A, 703031AY), V850/SB2 (μ PD703034A, 703034AY)

xxFFC000HからxxFFEFFFH番地に12 Kバイト実装しています。

xxFF8000HからxxFFBFFFH番地はアクセス禁止領域です。

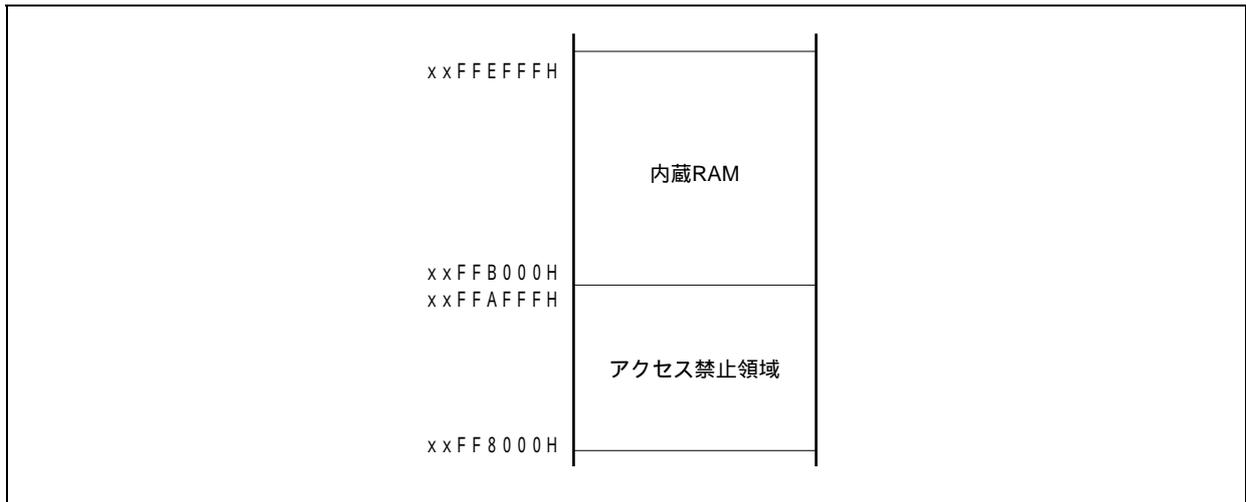
図3 - 12 内蔵RAM領域 (12 Kバイト)



(c) V850/SB1

(μ PD703033A, 703033AY, 70F3033A, 70F3033AY, 703033B, 703033BY, 70F3033B, 70F3033BY),
 V850/SB2
 (μ PD703035A, 703035AY, 70F3035A, 70F3035AY, 703035B, 703035BY, 70F3035B, 70F3035BY)
 xxFFB000HからxxFFEFFFH番地に16 Kバイト実装しています。
 xxFF8000HからxxFFAFFFH番地はアクセス禁止領域です。

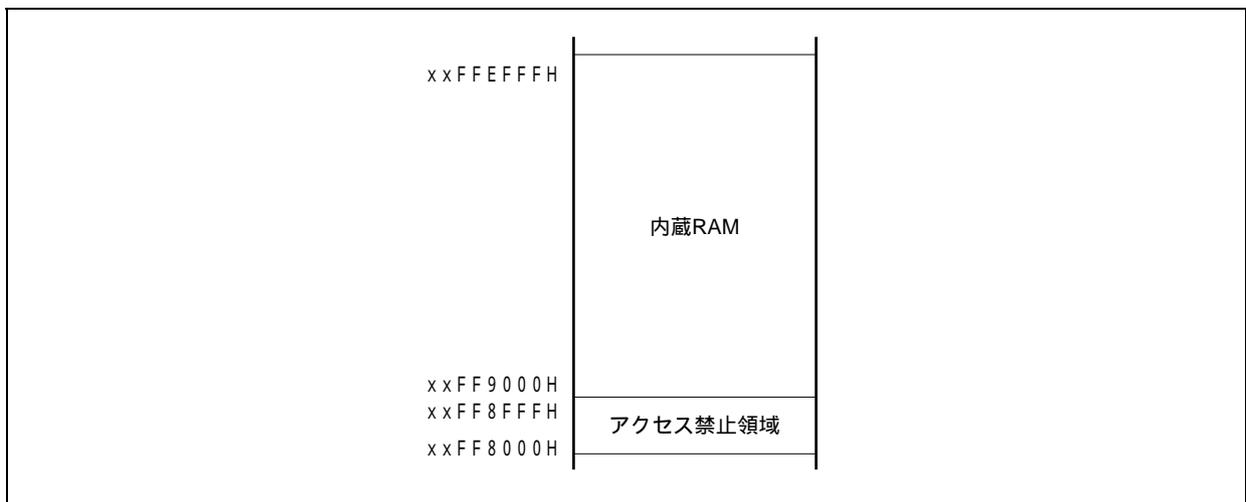
図3 - 13 内蔵RAM領域 (16 Kバイト)



(d) V850/SB1

(μ PD703030B, 703030BY, 70F3030B, 70F3030BY, 703032A, 703032AY, 70F3032A, 70F3032AY,
 703032B, 703032BY, 70F3032B, 70F3032BY)
 V850/SB2
 (μ PD703036H, 703036HY, 70F3036H, 70F3036HY, 703037A, 703037AY, 70F3037A, 70F3037AY,
 703037H, 703037HY, 70F3037H, 70F3037HY)
 xxFF9000HからxxFFEFFFH番地に24 Kバイト実装しています。
 xxFF8000HからxxFF8FFFH番地はアクセス禁止領域です。

図3 - 14 内蔵RAM領域 (24 Kバイト)



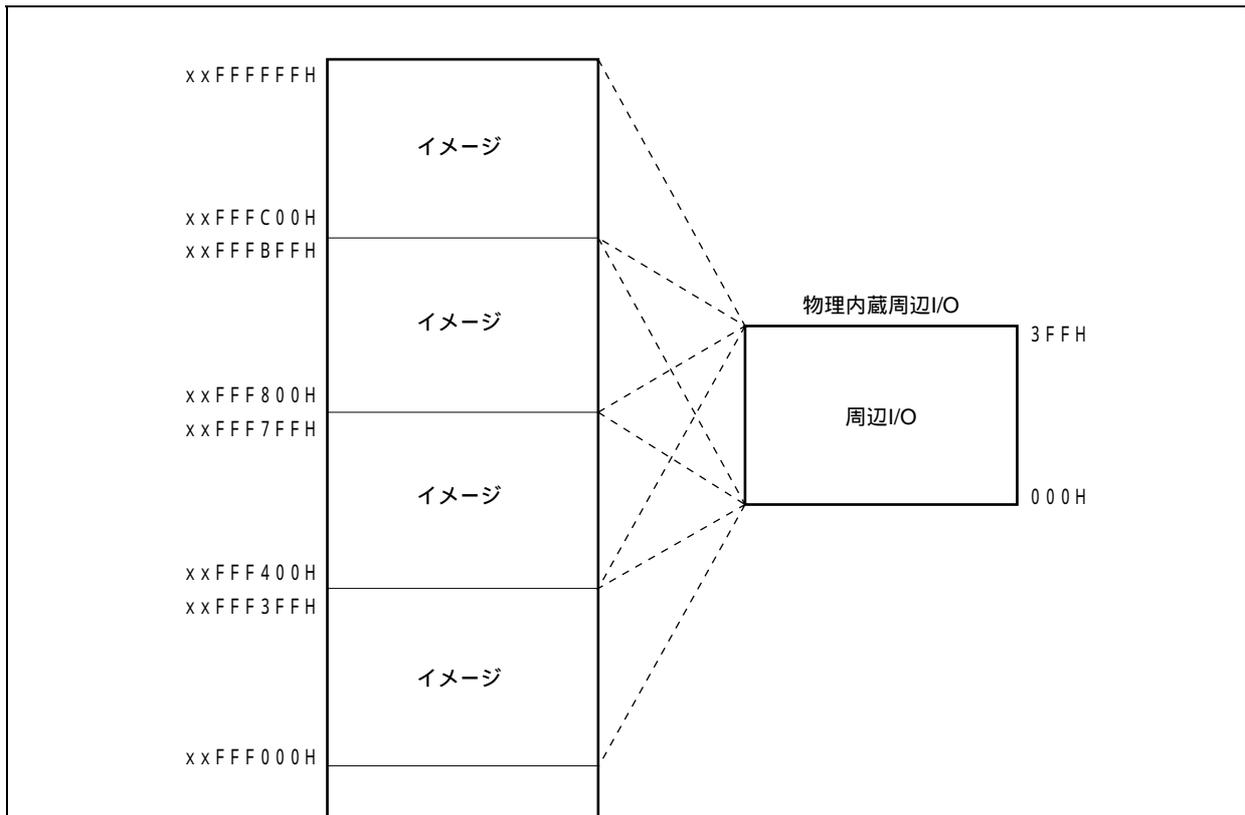
(3) 内蔵周辺I/O領域

内蔵周辺I/O領域はFFF000H-FFFFFFH番地の4 Kバイトが予約されています。

V850/SB1, V850/SB2は、物理内蔵周辺I/OとしてFFF000H-FFF3FFH番地の1 Kバイトに割り当てており、残りの領域(FFF400H-FFFFFFH)にはそのイメージが見えます。

内蔵周辺I/O領域には内蔵周辺ハードウェアの動作モード指定、状態モニタリングなどの機能を割り付けた周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

図3 - 15 内蔵周辺I/O領域



- 注意1. アドレスの最下位ビットはデコードしていません。したがって、奇数アドレス ($2n+1$ 番地) のレジスタにバイト・アクセスした場合は、ハードウェア上、偶数アドレス ($2n$) のレジスタへアクセスします。
2. バイト・アクセス可能なレジスタにハーフワード・アクセスした場合、リード時は上位8ビットが不定になり、ライト時は下位8ビット・データがレジスタに書き込まれます。
 3. ハーフワード・アクセスだけ可能な n 番地のレジスタにワード・アクセスすると、2回のハーフワード・アクセスに置き換わり、1回目(下位16ビット)は n 番地のレジスタにアクセスし、2回目(上位16ビット)は $n+2$ 番地のレジスタにアクセスします。
 4. ワード・アクセス可能な n 番地のレジスタにワード・アクセスすると、2回のハーフワード・アクセスに置き換わり、1回目(下位16ビット)は n 番地のレジスタにアクセスし、2回目(上位16ビット)は $n+2$ 番地のレジスタにアクセスします。
 5. レジスタとして定義されていないレジスタは、将来の拡張用に予約されています。アクセスした場合の動作は不定であり、保証しません。

(4) 外部メモリ

V850/SB1, V850/SB2は、最大16 Mバイト (xx100000H-xxFF7FFFH) の領域を外部メモリ領域として使用できます (シングルチップ・モード: 外部拡張時)。

外部拡張モードを指定すると、64 K, 256 K, 1 M, 4 Mバイトの物理外部メモリを割り当てることができます。物理外部メモリ以外の領域には、そのイメージが見えます。

ただし、内蔵RAM領域、内蔵周辺I/O領域に対しては、外部メモリのアクセス対象になりません。

図3 - 16 外部メモリ領域 (64 K, 256 K, 1 Mバイト拡張時)

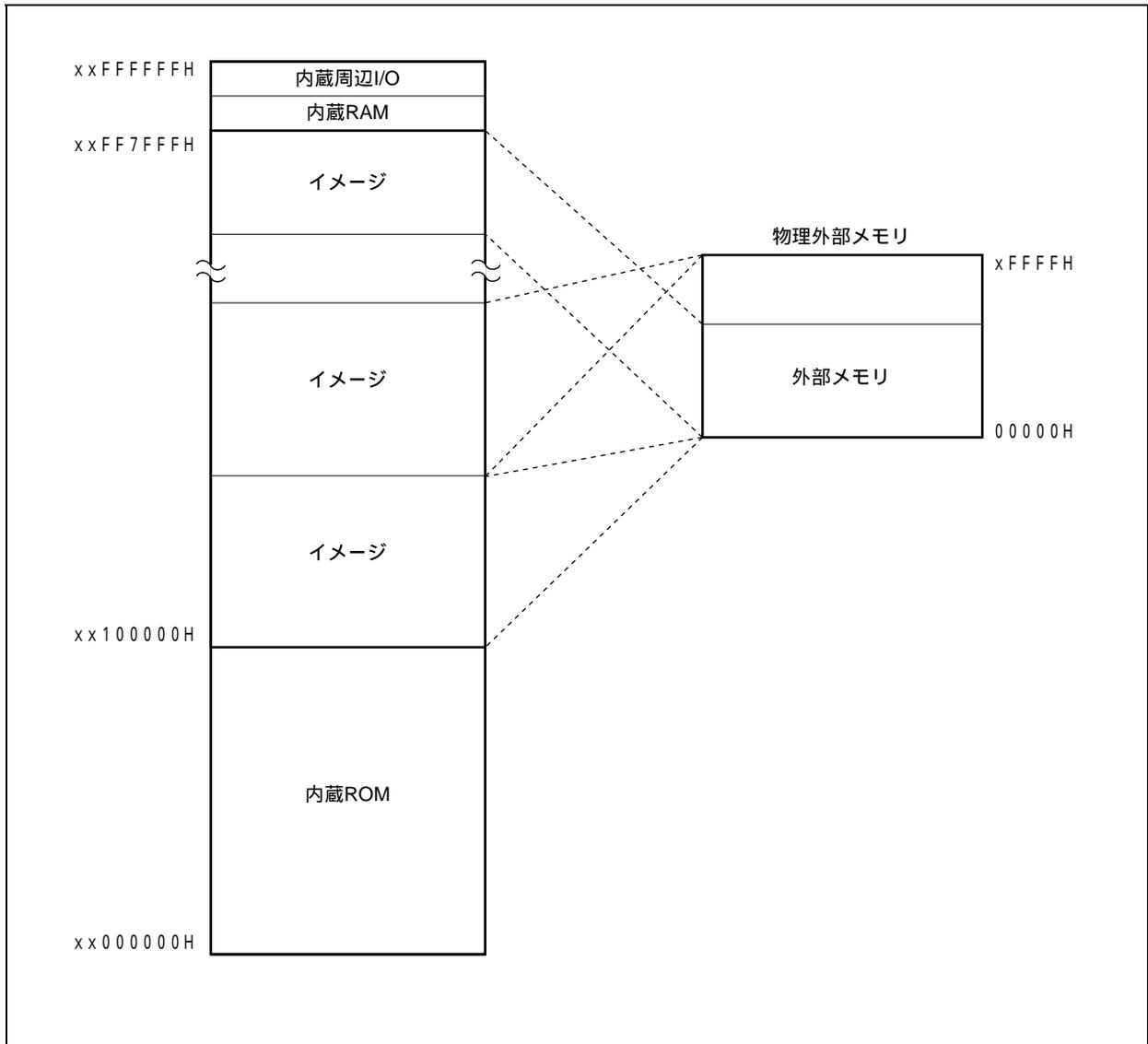
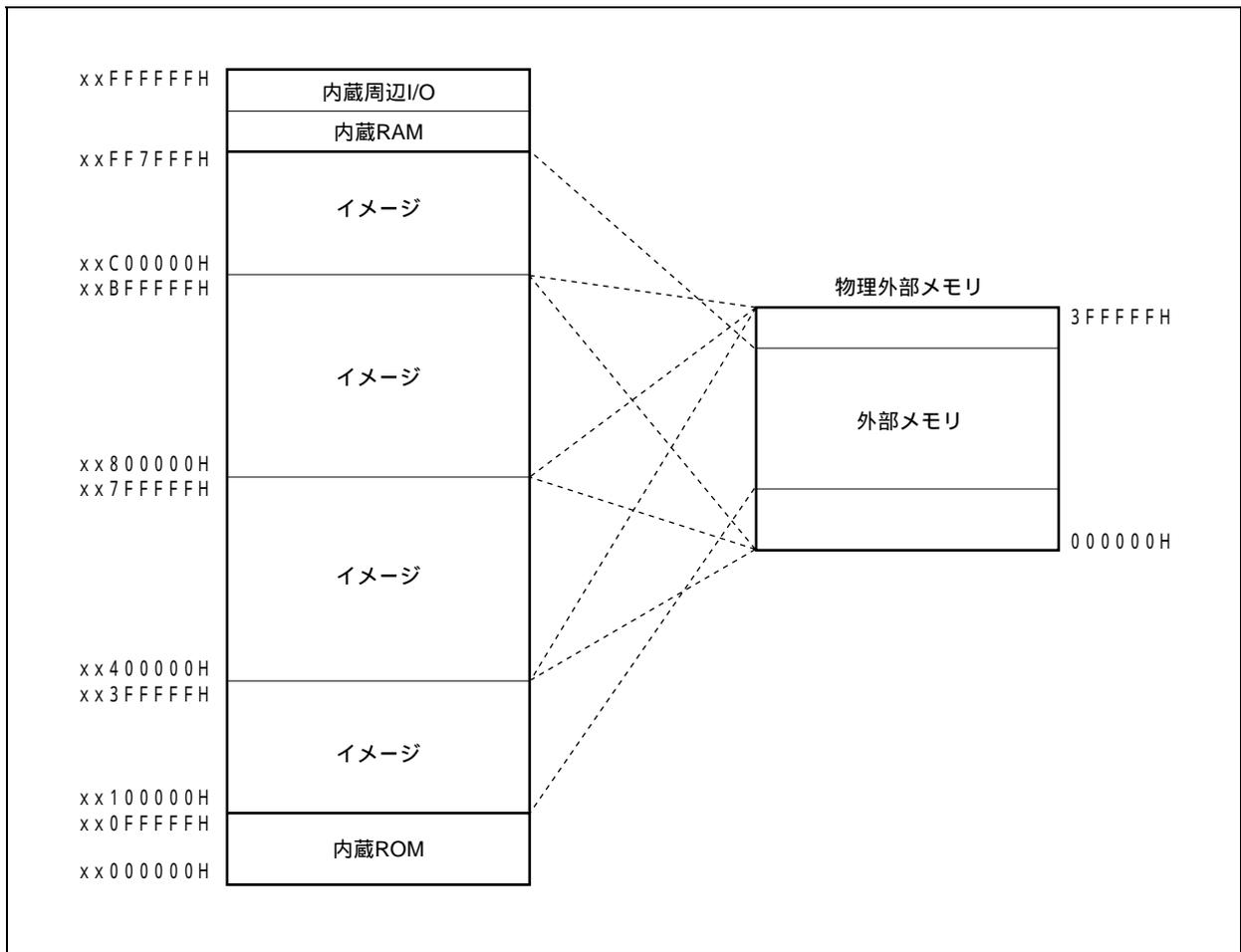


図3 - 17 外部メモリ領域 (4 Mバイト拡張時)



3.4.6 外部拡張モード

V850/SB1, V850/SB2では、ポート4, 5, 6, 9の各端子を用いて外部メモリ空間に外部デバイスを接続できます。外部デバイスを接続するには、メモリ拡張モード・レジスタ(MM)を用いて、ポート端子を外部拡張モードに設定してください。また、アドレス・バス(A1-A15)はデータ・バス(D1-D15)とマルチプレクスト出力になっていますが、メモリ・アドレス出力モード・レジスタ(MAM)の設定により、セパレート出力もできます(セパレート・バス使用時のディバグについては、対応するインサーキット・エミュレータのユーザーズ・マニュアルを参照してください)。

注意 A1端子と $\overline{\text{WAIT}}$ 端子が兼用端子になっているため、セパレート・バスを使用する場合は $\overline{\text{WAIT}}$ 端子によるウエイト機能が使用できません(ただし、プログラマブル・ウエイトは使用できます)。
逆に、 $\overline{\text{WAIT}}$ 端子によるウエイト機能を使用する場合はセパレート・バスが使用できません。

V850/SB1, V850/SB2の通常動作モード時は、シングルチップ・モードに固定されるため、リセット時の各ポート/コントロール・モード兼用端子はポート・モードになり、外部メモリは使用できません。外部メモリを使用する場合(外部拡張モード)は、プログラムでMMレジスタまたはMAMレジスタを設定してください(メモリ領域はMMレジスタで設定します)。

(1) メモリ拡張モード・レジスタ (MM)

ポート4, 5, 6, 9の各端子のモードを設定します。外部拡張モードでは、最大4 Mバイトの外部メモリ領域に外部デバイスを接続できます。ただし、内蔵RAM領域、内蔵周辺I/O領域、およびシングルチップ・モード時の内蔵ROM領域には外部デバイスを接続できません（物理的に接続しても、アクセス対象になりません）。

MMレジスタは8/1ビット単位でリード/ライト可能です。ただし、ビット4-ビット7は0に固定です。

リセット時：00H R/W アドレス：FFFFFF04CH

	7	6	5	4	③	②	①	④
MM	0	0	0	0	MM3	MM2	MM1	MM0

MM3	P95, P96動作モード設定
0	ポート・モード
1	外部拡張モード (HLDAK : P95, HLDRQ : P96)

MM2	MM1	MM0	アドレス空間	ポート4	ポート5	ポート6	ポート9	
0	0	0	-	ポート・モード				
0	1	1	64 Kバイト 拡張モード	AD0- AD7	AD8- AD15	A16, A17	LBEN, UBEN, R/W, DSTB, ASTB, WRL, WRH, RD	
1	0	0	256 Kバイト 拡張モード					
1	0	1	1 Mバイト 拡張モード					A18, A19
1	1	x	4 Mバイト 拡張モード					A20, A21
その他				RFU (予約)				

注意 外部拡張モードに切り替える場合、切り替える前に必ずポート9 (P9) のP93, P94ビットに“1”を設定してください。

備考 各ポート端子の動作の詳細については2.3 端子機能の説明を参照してください。

(2) メモリ・アドレス出力モード・レジスタ (MAM)

ポート3, 10, 11の各端子のモードを設定します。外部拡張モード時のアドレス・バス (A1-A15) のセパレート出力を設定できます。

MAMレジスタは8ビット単位でライトのみ可能です。読み出した場合は、不定値が読み出されます。ビット3-ビット7は0に固定です。

リセット時 : 00H W アドレス : FFFFFFF068H

	7	6	5	4	3	2	1	0
MAM	0	0	0	0	0	MAM2	MAM1	MAM0

MAM2	MAM1	MAM0	アドレス空間	ポート11	ポート10	ポート3
0	0	0	-	ポート・モード		
0	1	0	32バイト	A1-A4	A5-A8	<div style="display: flex; flex-direction: column; align-items: center;"> <div style="margin-bottom: 5px;">A9-A12</div> <div style="margin-bottom: 5px;">A13</div> <div style="margin-bottom: 5px;">A14</div> <div style="margin-bottom: 5px;">A15</div> </div>
0	1	1	512バイト			
1	0	0	8 Kバイト			
1	0	1	16 Kバイト			
1	1	0	32 Kバイト			
1	1	1	64 Kバイト			

注意 メモリ・アドレス出力モード・レジスタ (MAM) のデバッグは、インサーキット・エミュレータではできません。また、ソフトウェアによるMAMレジスタの設定でセパレート・バスへの切り替えができません。詳細については対応するインサーキット・エミュレータのユーザーズ・マニュアルを参照してください。

備考 各ポート端子の動作の詳細については2.3 端子機能の説明を参照してください。

セパレート・バス出力は、P34-P36, P100-P107, P110-P113より出力されます。セパレート・バス出力する場合の手順を次に示します。

セパレート出力に使用するポートm (Pm) のPnビットを0に設定します (m = 3, 10, 11)。

ポートmモード・レジスタ (PMm) のPMnビットを0 (出力モード) に設定します (m = 3, 10, 11)。

セパレート・バスとして使用するポートをセパレート・バス以外の兼用端子として使用している場合は、兼用端子が使用している機能をオフします。

メモリ・アドレス出力モード・レジスタ (MAM) を設定します。

メモリ拡張モード・レジスタ (MM) を設定します。

- 備考** m = 3の場合 : n = 34-36
 m = 10の場合 : n = 100-107
 m = 11の場合 : n = 110-113

3.4.7 アドレス空間の推奨使用方法

V850/SB1, V850/SB2のアーキテクチャでは、データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトには、命令から直接オペランド・データ・アクセスを行えます。しかし、ポインタ用レジスタとして使う汎用レジスタには限りがあり、ポインタの値を変更するときのアドレス計算にかかる性能低下を極力抑えることで、変数用の汎用レジスタを最大限に確保し、かつプログラム・サイズを抑えられます。

V850/SB1, V850/SB2のメモリ・マップに関連して、ポインタ運用の効率化を目的として、次に示す使用方法を推奨します。

(1) プログラム空間

PC (プログラム・カウンタ) は、32ビットのうち上位8ビットは“0”に固定されており、下位24ビットだけ有効です。したがって、プログラム空間に関しては無条件に00000000H番地から連続した16 Mバイト空間がそのままメモリ・マップに対応します。

(2) データ空間

データ空間のラップ・アラウンドを利用したリソースを効率的に運用するため、4 GバイトのCPUアドレス空間の00000000H - 007FFFFFFH番地およびFF800000H - FFFFFFFFH番地のそれぞれ連続した8 Mバイトをデータ空間として使用します。V850/SB1, V850/SB2では、4 GバイトのCPUアドレス空間に16 Mバイトの物理アドレス空間が256個のイメージとして見えるため、この24ビット・アドレスの最上位ビット (ビット23) を32ビット長まで符号拡張したアドレスとして割り当てています。

(a) ラップ・アラウンドを利用した応用例

LD/ST disp16 [R] 命令でR = r0 (ゼロ・レジスタ) とした場合、符号拡張したdisp16により、00000000H番地 ± 32 Kバイトの範囲がアドレッシング可能です。内蔵ハードウェアのすべてを含むすべてのリソースについて1つのポインタでアドレス指定できます。

ゼロ・レジスタ (r0) はハードウェアで0固定のレジスタのため、ポインタ専用に費やすレジスタは実質不要になります。

図3 - 18 ラップ・アラウンドを利用した応用例

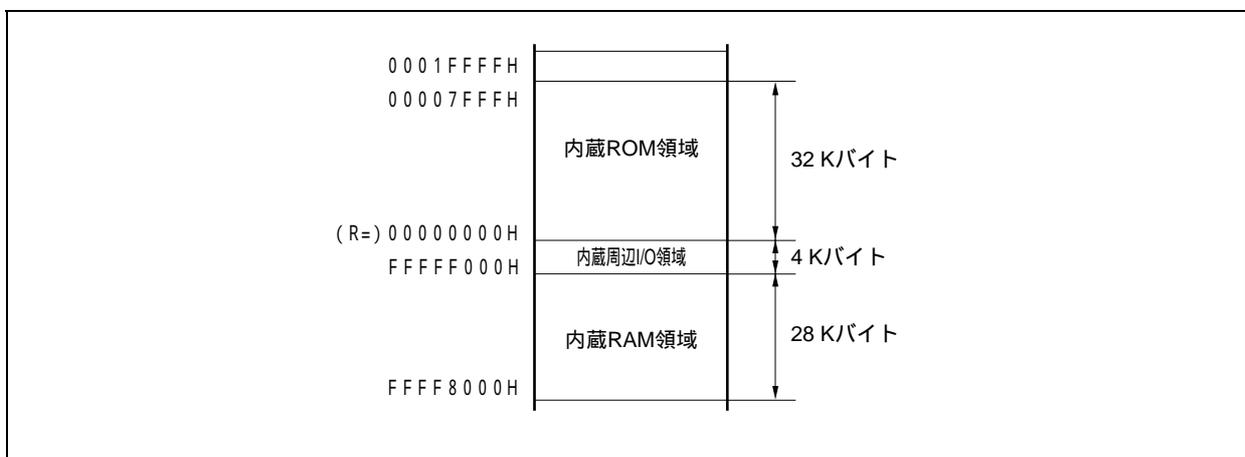
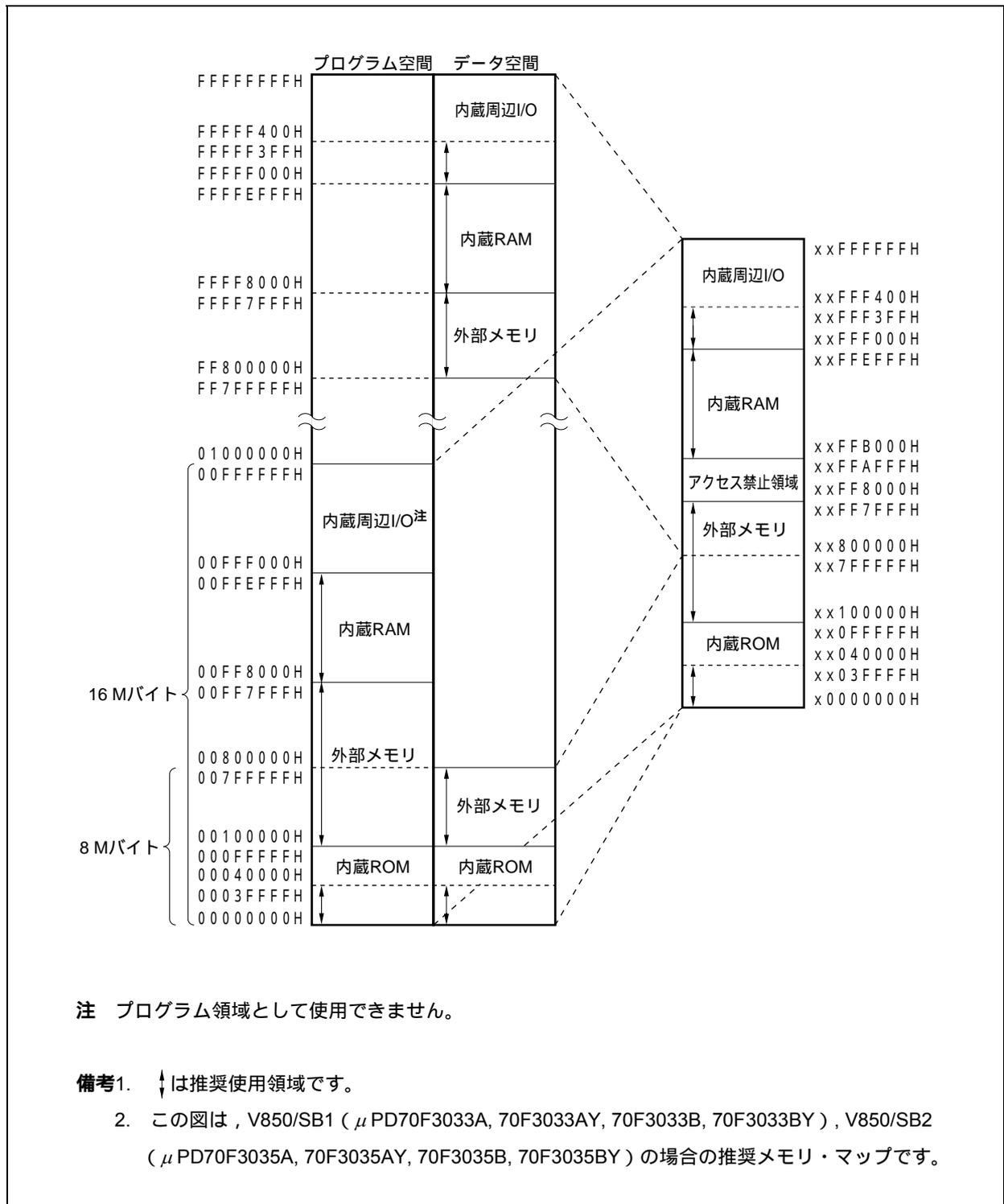


図3 - 19 推奨メモリ・マップ (フラッシュ・メモリ内蔵品)



3.4.8 周辺I/Oレジスタ

(1/7)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				リセット時	
				1	8	16	32		
FFFFFF00H	ポート0	P0	R/W					00H ^注	
FFFFFF02H	ポート1	P1							
FFFFFF04H	ポート2	P2							
FFFFFF06H	ポート3	P3							
FFFFFF08H	ポート4	P4							
FFFFFF0AH	ポート5	P5							
FFFFFF0CH	ポート6	P6							
FFFFFF0EH	ポート7	P7	R					不定	
FFFFFF10H	ポート8	P8							
FFFFFF12H	ポート9	P9	R/W					00H ^注	
FFFFFF14H	ポート10	P10							
FFFFFF16H	ポート11	P11							
FFFFFF20H	ポート0モード・レジスタ	PM0						FFH	
FFFFFF22H	ポート1モード・レジスタ	PM1						3FH	
FFFFFF24H	ポート2モード・レジスタ	PM2						FFH	
FFFFFF26H	ポート3モード・レジスタ	PM3							
FFFFFF28H	ポート4モード・レジスタ	PM4							
FFFFFF2AH	ポート5モード・レジスタ	PM5							
FFFFFF2CH	ポート6モード・レジスタ	PM6						3FH	
FFFFFF32H	ポート9モード・レジスタ	PM9						7FH	
FFFFFF34H	ポート10モード・レジスタ	PM10						FFH	
FFFFFF36H	ポート11モード・レジスタ	PM11						1FH	
FFFFFF40H	ポート兼用機能コントロール・レジスタ	PAC						00H	
FFFFFF4CH	メモリ拡張モード・レジスタ	MM							
FFFFFF60H	データ・ウエイト・コントロール・レジスタ	DWC						FFFFH	
FFFFFF62H	バス・サイクル・コントロール・レジスタ	BCC						AAAAH	
FFFFFF64H	システム制御レジスタ	SYC						00H	
FFFFFF68H	メモリ・アドレス出力モード・レジスタ	MAM		W					
FFFFFF70H	パワー・セーブ・コントロール・レジスタ	PSC		R/W					C0H
FFFFFF74H	プロセッサ・クロック・コントロール・レジスタ	PCC							03H
FFFFFF78H	システム・ステータス・レジスタ	SYS						00H	
FFFFFF80H	プルアップ抵抗オプション・レジスタ0	PU0							
FFFFFF82H	プルアップ抵抗オプション・レジスタ1	PU1							
FFFFFF84H	プルアップ抵抗オプション・レジスタ2	PU2							
FFFFFF86H	プルアップ抵抗オプション・レジスタ3	PU3							
FFFFFF94H	プルアップ抵抗オプション・レジスタ10	PU10							
FFFFFF96H	プルアップ抵抗オプション・レジスタ11	PU11							
FFFFFF0A2H	ポート1ファンクション・レジスタ	PF1							
FFFFFF0A4H	ポート2ファンクション・レジスタ	PF2							

注 リセットにより入力モードに初期化されるので、リード時は端子レベルを読み出します。00Hに初期化されるのは出力ラッチです。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				リセット時
				1	8	16	32	
FFFFFF0A6H	ポート3ファンクション・レジスタ	PF3	R/W					00H
FFFFFF0B4H	ポート10ファンクション・レジスタ	PF10						
FFFFFF0C0H	立ち上がりエッジ指定レジスタ0	EGP0						
FFFFFF0C2H	立ち下がりエッジ指定レジスタ0	EGN0						
FFFFFF100H	割り込み制御レジスタ	WDTIC						47H
FFFFFF102H	割り込み制御レジスタ	PIC0						
FFFFFF104H	割り込み制御レジスタ	PIC1						
FFFFFF106H	割り込み制御レジスタ	PIC2						
FFFFFF108H	割り込み制御レジスタ	PIC3						
FFFFFF10AH	割り込み制御レジスタ	PIC4						
FFFFFF10CH	割り込み制御レジスタ	PIC5						
FFFFFF10EH	割り込み制御レジスタ	PIC6						
FFFFFF118H	割り込み制御レジスタ	WTNIIC						
FFFFFF11AH	割り込み制御レジスタ	TMIC00						
FFFFFF11CH	割り込み制御レジスタ	TMIC01						
FFFFFF11EH	割り込み制御レジスタ	TMIC10						
FFFFFF120H	割り込み制御レジスタ	TMIC11						
FFFFFF122H	割り込み制御レジスタ	TMIC2						
FFFFFF124H	割り込み制御レジスタ	TMIC3						
FFFFFF126H	割り込み制御レジスタ	TMIC4						
FFFFFF128H	割り込み制御レジスタ	TMIC5						
FFFFFF12AH	割り込み制御レジスタ	TMIC6						
FFFFFF12CH	割り込み制御レジスタ	TMIC7						
FFFFFF12EH	割り込み制御レジスタ	CSIC0						
FFFFFF130H	割り込み制御レジスタ	SERIC0						
FFFFFF132H	割り込み制御レジスタ	CSIC1						
FFFFFF134H	割り込み制御レジスタ	STIC0						
FFFFFF136H	割り込み制御レジスタ	CSIC2						
FFFFFF138H	割り込み制御レジスタ ^{注1}	IICIC1						
FFFFFF13AH	割り込み制御レジスタ	SERIC1						
FFFFFF13CH	割り込み制御レジスタ	CSIC3						
FFFFFF13EH	割り込み制御レジスタ	STIC1						
FFFFFF140H	割り込み制御レジスタ	CSIC4						
FFFFFF142H	割り込み制御レジスタ ^{注2}	IEBIC1						
FFFFFF144H	割り込み制御レジスタ ^{注2}	IEBIC2						
FFFFFF146H	割り込み制御レジスタ	ADIC						
FFFFFF148H	割り込み制御レジスタ	DMAIC0						
FFFFFF14AH	割り込み制御レジスタ	DMAIC1						
FFFFFF14CH	割り込み制御レジスタ	DMAIC2						
FFFFFF14EH	割り込み制御レジスタ	DMAIC3						
FFFFFF150H	割り込み制御レジスタ	DMAIC4						

注1. Y品 (I²C内蔵品) のみ有効です。

2. V850/SB2のみ有効です。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				リセット時
				1	8	16	32	
FFFFFF152H	割り込み制御レジスタ	DMAIC5	R/W					47H
FFFFFF154H	割り込み制御レジスタ	WTNIC						
FFFFFF156H	割り込み制御レジスタ	KRIC						
FFFFFF166H	インサースervice・プライオリティ・レジスタ	ISPR	R					00H
FFFFFF170H	コマンド・レジスタ	PRCMD	W					不定
FFFFFF180H	DMA周辺I/Oアドレス・レジスタ0	DIOA0	R/W					00H
FFFFFF182H	DMA内蔵RAMアドレス・レジスタ0	DRA0						
FFFFFF184H	DMAバイト・カウント・レジスタ0	DBC0						
FFFFFF186H	DMAチャンネル・コントロール・レジスタ0	DCHC0						
FFFFFF190H	DMA周辺I/Oアドレス・レジスタ1	DIOA1						
FFFFFF192H	DMA内蔵RAMアドレス・レジスタ1	DRA1						
FFFFFF194H	DMAバイト・カウント・レジスタ1	DBC1						
FFFFFF196H	DMAチャンネル・コントロール・レジスタ1	DCHC1						
FFFFFF1A0H	DMA周辺I/Oアドレス・レジスタ2	DIOA2						
FFFFFF1A2H	DMA内蔵RAMアドレス・レジスタ2	DRA2						
FFFFFF1A4H	DMAバイト・カウント・レジスタ2	DBC2						
FFFFFF1A6H	DMAチャンネル・コントロール・レジスタ2	DCHC2						
FFFFFF1B0H	DMA周辺I/Oアドレス・レジスタ3	DIOA3						
FFFFFF1B2H	DMA内蔵RAMアドレス・レジスタ3	DRA3						
FFFFFF1B4H	DMAバイト・カウント・レジスタ3	DBC3						
FFFFFF1B6H	DMAチャンネル・コントロール・レジスタ3	DCHC3						
FFFFFF1C0H	DMA周辺I/Oアドレス・レジスタ4	DIOA4						
FFFFFF1C2H	DMA内蔵RAMアドレス・レジスタ4	DRA4						
FFFFFF1C4H	DMAバイト・カウント・レジスタ4	DBC4						
FFFFFF1C6H	DMAチャンネル・コントロール・レジスタ4	DCHC4						
FFFFFF1D0H	DMA周辺I/Oアドレス・レジスタ5	DIOA5						
FFFFFF1D2H	DMA内蔵RAMアドレス・レジスタ5	DRA5						
FFFFFF1D4H	DMAバイト・カウント・レジスタ5	DBC5						
FFFFFF1D6H	DMAチャンネル・コントロール・レジスタ5	DCHC5						
FFFFFF200H	16ビット・タイマ・レジスタ0	TM0	R					0000H
FFFFFF202H	16ビット・キャプチャ/コンペア・レジスタ00	CR00	注					
FFFFFF204H	16ビット・キャプチャ/コンペア・レジスタ01	CR01	注					
FFFFFF206H	プリスケラ・モード・レジスタ00	PRM00	R/W					00H
FFFFFF208H	16ビット・タイマ・モード・コントロール・レジスタ0	TMC0						
FFFFFF20AH	キャプチャ/コンペア・コントロール・レジスタ0	CRC0						
FFFFFF20CH	タイマ出力コントロール・レジスタ0	TOC0						
FFFFFF20EH	プリスケラ・モード・レジスタ01	PRM01						
FFFFFF210H	16ビット・タイマ・レジスタ1	TM1	R					0000H
FFFFFF212H	16ビット・キャプチャ/コンペア・レジスタ10	CR10	注					
FFFFFF214H	16ビット・キャプチャ/コンペア・レジスタ11	CR11	注					
FFFFFF216H	プリスケラ・モード・レジスタ10	PRM10	R/W					00H

注 コンペア・モード時 : R/W

キャプチャ・モード時 : R

(4/7)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				リセット時
				1	8	16	32	
FFFFFF218H	16ビット・タイマ・モード・コントロール・レジスタ1	TMC1	R/W					00H
FFFFFF21AH	キャプチャ/コンペア・コントロール・レジスタ1	CRC1						
FFFFFF21CH	タイマ出力コントロール・レジスタ1	TOC1						
FFFFFF21EH	プリスケアラ・モード・レジスタ11	PRM11						
FFFFFF240H	8ビット・カウンタ2	TM2	R					04H
FFFFFF242H	8ビット・コンペア・レジスタ2	CR20	R/W					
FFFFFF244H	タイマ・クロック選択レジスタ20	TCL20						
FFFFFF246H	8ビット・タイマ・モード・コントロール・レジスタ2	TMC2						
FFFFFF24AH	16ビット・カウンタ23 (カスケード接続時のみ)	TM23	R					0000H
FFFFFF24CH	16ビット・コンペア・レジスタ23 (カスケード接続時のみ)	CR23	R/W					
FFFFFF24EH	タイマ・クロック選択レジスタ21	TCL21						00H
FFFFFF250H	8ビット・カウンタ3	TM3	R					
FFFFFF252H	8ビット・コンペア・レジスタ3	CR30	R/W					04H
FFFFFF254H	タイマ・クロック選択レジスタ30	TCL30						
FFFFFF256H	8ビット・タイマ・モード・コントロール・レジスタ3	TMC3						
FFFFFF25EH	タイマ・クロック選択レジスタ31	TCL31						
FFFFFF260H	8ビット・カウンタ4	TM4	R					00H
FFFFFF262H	8ビット・コンペア・レジスタ4	CR40	R/W					
FFFFFF264H	タイマ・クロック選択レジスタ40	TCL40						04H
FFFFFF266H	8ビット・タイマ・モード・コントロール・レジスタ4	TMC4						
FFFFFF26AH	16ビット・カウンタ45 (カスケード接続時のみ)	TM45	R					0000H
FFFFFF26CH	16ビット・コンペア・レジスタ45 (カスケード接続時のみ)	CR45	R/W					
FFFFFF26EH	タイマ・クロック選択レジスタ41	TCL41						00H
FFFFFF270H	8ビット・カウンタ5	TM5	R					
FFFFFF272H	8ビット・コンペア・レジスタ5	CR50	R/W					04H
FFFFFF274H	タイマ・クロック選択レジスタ50	TCL50						
FFFFFF276H	8ビット・タイマ・モード・コントロール・レジスタ5	TMC5						
FFFFFF27EH	タイマ・クロック選択レジスタ51	TCL51						
FFFFFF280H	8ビット・カウンタ6	TM6	R					0000H
FFFFFF282H	8ビット・コンペア・レジスタ6	CR60	R/W					
FFFFFF284H	タイマ・クロック選択レジスタ60	TCL60						04H
FFFFFF286H	8ビット・タイマ・モード・コントロール・レジスタ6	TMC6						
FFFFFF28AH	16ビット・カウンタ67 (カスケード接続時のみ)	TM67	R					0000H
FFFFFF28CH	16ビット・コンペア・レジスタ67 (カスケード接続時のみ)	CR67	R/W					
FFFFFF28EH	タイマ・クロック選択レジスタ61	TCL61						00H
FFFFFF290H	8ビット・カウンタ7	TM7	R					
FFFFFF292H	8ビット・コンペア・レジスタ7	CR70	R/W					04H
FFFFFF294H	タイマ・クロック選択レジスタ70	TCL70						
FFFFFF296H	8ビット・タイマ・モード・コントロール・レジスタ7	TMC7						
FFFFFF29EH	タイマ・クロック選択レジスタ71	TCL71						
FFFFFF2A0H	シリアルI/Oシフト・レジスタ0	SIO0						00H
FFFFFF2A2H	シリアル動作モード・レジスタ0	CSIM0						

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				リセット時
				1	8	16	32	
FFFFFF2A4H	シリアル・クロック選択レジスタ0	CSIS0	R/W					00H
FFFFFF2B0H	シリアルI/Oシフト・レジスタ1	SIO1						
FFFFFF2B2H	シリアル動作モード・レジスタ1	CSIM1						
FFFFFF2B4H	シリアル・クロック選択レジスタ1	CSIS1						
FFFFFF2C0H	シリアルI/Oシフト・レジスタ2	SIO2						
FFFFFF2C2H	シリアル動作モード・レジスタ2	CSIM2						
FFFFFF2C4H	シリアル・クロック選択レジスタ2	CSIS2						
FFFFFF2D0H	シリアルI/Oシフト・レジスタ3	SIO3						
FFFFFF2D2H	シリアル動作モード・レジスタ3	CSIM3						
FFFFFF2D4H	シリアル・クロック選択レジスタ3	CSIS3						
FFFFFF2E0H	可変長シリアルI/Oシフト・レジスタ4	SIO4						0000H
FFFFFF2E2H	可変長シリアル制御レジスタ4	CSIM4						00H
FFFFFF2E4H	可変長シリアル設定レジスタ4	CSIB4						
FFFFFF2E6H	ポー・レート・ジェネレータ・ソース・クロック選択レジスタ4	BRGCN4						
FFFFFF2E8H	ポー・レート出力クロック選択レジスタ4	BRGCK4						7FH
FFFFFF300H	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	ASIM0						00H
FFFFFF302H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	ASIS0	R					
FFFFFF304H	ポー・レート・ジェネレータ・コントロール・レジスタ0	BRGC0	R/W					
FFFFFF306H	送信シフト・レジスタ0	TXS0	W					FFH
FFFFFF308H	受信バッファ・レジスタ0	RXB0	R					
FFFFFF30EH	ポー・レート・ジェネレータ・モード・コントロール・レジスタ00	BRGMC00	R/W					00H
FFFFFF310H	アシンクロナス・シリアル・インタフェース・モード・レジスタ1	ASIM1						
FFFFFF312H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	ASIS1	R					
FFFFFF314H	ポー・レート・ジェネレータ・コントロール・レジスタ1	BRGC1	R/W					
FFFFFF316H	送信シフト・レジスタ1	TXS1	W					FFH
FFFFFF318H	受信バッファ・レジスタ1	RXB1	R					
FFFFFF31EH	ポー・レート・ジェネレータ・モード・コントロール・レジスタ10	BRGMC10	R/W					00H
FFFFFF320H	ポー・レート・ジェネレータ・モード・コントロール・レジスタ01	BRGMC01						
FFFFFF322H	ポー・レート・ジェネレータ・モード・コントロール・レジスタ11	BRGMC11						
FFFFFF33CH	IICフラグ・レジスタ0 ^{注1}	IICF0						
FFFFFF33EH	IICフラグ・レジスタ1 ^{注1}	IICF1						
FFFFFF340H	IICコントロール・レジスタ0 ^{注2}	IICC0						
FFFFFF342H	IIC状態レジスタ0 ^{注2}	IICS0	R					
FFFFFF344H	IICクロック選択レジスタ0 ^{注2}	IICCL0	R/W					
FFFFFF346H	スレーブ・アドレス・レジスタ0 ^{注2}	SVA0	R/W					
FFFFFF348H	IICシフト・レジスタ0 ^{注2}	IIC0						
FFFFFF34AH	IIC機能拡張レジスタ0 ^{注2}	IICX0						
FFFFFF34CH	IICクロック拡張レジスタ0 ^{注2}	IICCE0						
FFFFFF350H	IICコントロール・レジスタ1 ^{注2}	IICC1						
FFFFFF352H	IIC状態レジスタ1 ^{注2}	IICS1	R					

注1. Y品 (I²C内蔵品) のB, H品のみ

2. Y品 (I²C内蔵品) のみ有効です。

アドレス	機能レジスタ名称		略号	R/W	操作可能ビット				リセット時	
					1	8	16	32		
FFFFF354H	IICクロック選択レジスタ1 ^{注1}		IICCL1	R/W					00H	
FFFFF356H	スレーブ・アドレス・レジスタ1 ^{注1}		SVA1							
FFFFF358H	IICシフト・レジスタ1 ^{注1}		IIC1							
FFFFF35AH	IIC機能拡張レジスタ1 ^{注1}		IICX1							
FFFFF35CH	IICクロック拡張レジスタ1 ^{注1}		IICCE1							
FFFFF360H	時計用タイマ・モード・レジスタ		WTNM							
FFFFF364H	時計用タイマ・クロック選択レジスタ		WTNCS							
FFFFF366H	時計用タイマ高速クロック選択レジスタ ^{注2}		WTNHC							
FFFFF36CH	コレクション・コントロール・レジスタ		CORCN							
FFFFF36EH	コレクション要求レジスタ		CORRQ							
FFFFF370H	コレクション・アドレス・レジスタ0		CORAD0							00000000H
FFFFF374H	コレクション・アドレス・レジスタ1		CORAD1							
FFFFF378H	コレクション・アドレス・レジスタ2		CORAD2							
FFFFF37CH	コレクション・アドレス・レジスタ3		CORAD3							
FFFFF380H	発振安定時間選択レジスタ		OSTS					04H		
FFFFF382H	ウォッチドッグ・タイマ・クロック選択レジスタ		WDCS					00H		
FFFFF384H	ウォッチドッグ・タイマ・モード・レジスタ		WDTM							
FFFFF38EH	DMA起動要因拡張レジスタ		DMAS							
FFFFF3A0H	リアルタイム出力バッファ・レジスタL		RTBL							
FFFFF3A2H	リアルタイム出力バッファ・レジスタH		RTBH							
FFFFF3A4H	リアルタイム出力ポート・モード・レジスタ		RTPM							
FFFFF3A6H	リアルタイム出力ポート・コントロール・レジスタ		RTPC							
FFFFF3C0H	A/Dコンバータ・モード・レジスタ1		ADM1							
FFFFF3C2H	アナログ入力チャンネル指定レジスタ		ADS							
FFFFF3C4H	A/D変換結果レジスタ		ADCR	R					0000H	
FFFFF3C6H	A/D変換結果レジスタH (上位8ビット)		ADCRH						00H	
FFFFF3C8H	A/Dコンバータ・モード・レジスタ2		ADM2	R/W						
FFFFF3D0H	キー・リターン・モード・レジスタ		KRM							
FFFFF3D4H	ノイズ除去制御レジスタ		NCC							
FFFFF3DEH	IEBus高速クロック選択レジスタ	V850/SB2	IEHCLK ^{注3}							
FFFFF3E0H	IEBusコントロール・レジスタ		BCR							
FFFFF3E2H	IEBus自局アドレス・レジスタ		UAR						0000H	
FFFFF3E4H	IEBusスレーブ・アドレス・レジスタ		SAR							
FFFFF3E6H	IEBus相手先アドレス・レジスタ		PAR		R					
FFFFF3E8H	IEBusコントロール・データ・レジスタ		CDR		R/W				01H	
FFFFF3EAH	IEBus電文長レジスタ		DLR							
FFFFF3ECH	IEBusデータ・レジスタ		DR							
FFFFF3EEH	IEBusユニット・ステータス・レジスタ		USR		R				00H	
FFFFF3F0H	IEBusインタラプト・ステータス・レジスタ		ISR		R/W					

注1. Y品 (I²C内蔵品) のみ有効です。

2. V850/SB1のB品, V850/SB2のH品のみ
3. V850/SB2のH品のみ

(7/7)

アドレス	機能レジスタ名称		略号	R/W	操作可能ビット				リセット時
					1	8	16	32	
FFFFFF3F2H	IEBusスレープ・ステータス・レジスタ	V850/SB2	SSR	R					41H
FFFFFF3F4H	IEBus通信成功カウンタ	V850/SB2	SCR						01H
FFFFFF3F6H	IEBus伝送カウンタ	V850/SB2	CCR						20H
FFFFFF3F8H	IEBusクロック選択レジスタ	V850/SB2	IECLK	R/W					00H

3.4.9 特定レジスタ

特定レジスタは、プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。この特定レジスタへのライト・アクセスは特定のシーケンスで行われ、不正なストア動作時はシステム・ステータス・レジスタ (SYS) に報告されます。V850/SB1, V850/SB2にはパワー・セーブ・コントロール・レジスタ (PSC) とプロセッサ・クロック・コントロール・レジスタ (PCC) の2つの特定レジスタがあります。PSCレジスタについては6.3.1(2) **パワー・セーブ・コントロール・レジスタ (PSC)** , PCCレジスタについては6.3.1(1) **プロセッサ・クロック・コントロール・レジスタ (PCC)** を参照してください。

特定レジスタへのデータ設定は次のシーケンスで行います。

DMA動作を禁止する。

割り込み禁止にする (PSWのNPビットを1に設定)。

コマンド・レジスタ (PRCMD) に任意の8ビット・データを書き込む。

特定レジスタに設定データを書き込む (次の命令で行います)。

- ・ストア命令 (ST/SST命令)

- ・ビット操作命令 (SET1/CLR1/NOT1命令)

割り込み禁止を解除する (PSWのNPビットを0に戻す)。

★ NOP命令を挿入する (5命令)。

DMA動作が必要な場合、DMA動作を許可する。

なお、特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

注意1. PRCMD発行 () と、その直後の特定レジスタ書き込み () の間で割り込み要求 / DMA要求を受け付けた場合、特定レジスタへの書き込みは行われず、プロテクション・エラー (SYSレジスタのPRERRビットが“1”) が発生することがあります。このため、PSWのNPビットを1に設定し () , INT/NMIの受け付け / DMA転送を禁止してください。
特定レジスタの設定にビット操作命令を使用した場合も同様です。
次に記述例を示します。

[記述例] : PCCレジスタの場合

```
LDSR  rX, 5           ; NPビット = 1
ST.B  r0, PRCMD[r0]  ; PRCMDへの書き込み
ST.B  rD, PCC[r0]    ; PCCレジスタ設定
LDSR  rY, 5           ; NPビット = 0
      :
```

備考 rD : PCC設定値, rX : PSWに書き込む値, rY : PSWに書き戻す値が、設定済みとします。

なお、PSWの値を保存する場合、NPビットをセットする前のPSWの値をrYレジスタに転送しておいてください。

注意2. 特定レジスタをアクセスする前に、必ずDMAを停止させてからアクセスしてください。

3. IDLEモード、STOPモードにするためにPSCレジスタにデータを設定する場合、IDLE/STOPモード解除後のルーチンが正しく実行されるように、ダミー命令を挿入する必要があります。詳細は6.6 パワー・セーブ機能に関する注意事項を参照してください。

(1) コマンド・レジスタ (PRCMD)

コマンド・レジスタ (PRCMD) は、プログラムの暴走などにより特定レジスタへの不正書き込みが発生しないよう特定レジスタへのライト・アクセス時に使用するレジスタです。8ビット単位でライトのみ可能です。リード時は不定値になります。

不正なストア動作の発生は、SYSレジスタのPRERRビットでチェックできます。

リセット時：不定 W アドレス：FFFFFF170H

	7	6	5	4	3	2	1	0
PRCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

REGn	レジストレーション・コード
0/1	任意の8ビット・データ

備考 n = 0-7

(2) システム・ステータス・レジスタ (SYS)

システム全体の動作状態を示すステータス・フラグが割り付けられています。8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF078H

	7	6	5	④	3	2	1	0
SYS	0	0	0	PRERR	0	0	0	0

PRERR	プロテクション・エラーの検出
0	プロテクション・エラーは発生していない
1	プロテクション・エラーが発生している

PRERRフラグの動作条件を次に示します。

(a) セット条件 (PRERR = 1)

最近の周辺I/Oに対するストア命令動作がPRCMDへの書き込み動作でない状態で、特定レジスタへの書き込み動作を行ったとき。

PRCMDレジスタへの書き込み動作後の最初のストア命令動作が、特定レジスタ以外の周辺I/Oレジスタに対するとき。

(b) リセット条件 (PRERR = 0)

SYSのPRERRフラグに“0”を書き込んだとき。ただし備考1の場合は除きます。

システム・リセット時。

備考1. PRCMDレジスタの書き込み動作直後に、SYSレジスタのPRERRビットに“0”を書き込むと、PRERRビットは“1”にセットされます (SYSレジスタは特定レジスタでないため)。

2. PRCMDレジスタの書き込み動作直後に、再びPRCMDレジスタへの書き込みを行うと、SYSレジスタのPRERRビットは“1”にセットされます (SYSレジスタは特定レジスタでないため)。

第4章 バス制御機能

V850/SB1, V850/SB2は、外部にROM, RAMなどのメモリやI/Oなどを接続できる外部バス・インタフェース機能を内蔵しています。

4.1 特 徴

アドレス・バス（セパレート出力可能）

16ビット・データ・バス

ポートとの兼用端子で外部デバイスに接続可能

ウエイト機能

・2ブロックごとに最大3ステートのプログラマブル・ウエイト機能

・ $\overline{\text{WAIT}}$ 端子による外部ウエイト機能

アイドル・ステート挿入機能

バス使用権調停機能

バス・ホールド機能

4.2 バス制御端子と制御レジスタ

4.2.1 バス制御端子

外部デバイスの接続には、次の端子を使用します。

表4-1 バス制御端子

外部バス・インタフェース機能使用時	対応するポート
アドレス/データ・バス (AD0-AD7)	ポート4 (P40-P47)
アドレス/データ・バス (AD8-AD15)	ポート5 (P50-P57)
アドレス・バス (A1-A4)	ポート11 (P110-P113)
アドレス・バス (A5-A12)	ポート10 (P100-P107)
アドレス・バス (A13-A15)	ポート3 (P34-P36)
アドレス・バス (A16-A21)	ポート6 (P60-P65)
リード/ライト制御 ($\overline{\text{LBEN}}$, $\overline{\text{UBEN}}$, R/W, DSTB, WRL, WRH, RD)	ポート9 (P90-P93)
アドレス・ストロブ (ASTB)	ポート9 (P94)
バス・ホールド制御 ($\overline{\text{HLDRQ}}$, $\overline{\text{HLDK}}$)	ポート9 (P95, P96)
外部ウエイト制御 (WAIT)	ポート11 (P110)

各端子のバス・インタフェース機能は、メモリ拡張モード・レジスタ (MM) またはメモリ・アドレス出力モード・レジスタ (MAM) の設定により有効になります。外部インタフェースの動作モード指定に関する詳細は、3.4.6 (1) メモリ拡張モード・レジスタ (MM)、(2) メモリ・アドレス出力モード・レジスタ (MAM) を参照してください。

注意 セバレート・バス使用時のデバッグについては、対応するインサーキット・エミュレータのユーザーズ・マニュアルを参照してください。

4.2.2 制御レジスタ

(1) システム制御レジスタ (SYC)

このレジスタは、バス・インタフェース用制御信号を切り替えます。
8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF064H

	7	6	5	4	3	2	1	①
SYC	0	0	0	0	0	0	0	BIC

BIC	バス・インタフェースの制御
0	$\overline{\text{DSTB}}$, $\overline{\text{R/W}}$, $\overline{\text{LBEN}}$, $\overline{\text{UBEN}}$ ^注 信号出力
1	$\overline{\text{RD}}$, $\overline{\text{WRL}}$, $\overline{\text{WRH}}$, $\overline{\text{UBEN}}$ ^注 信号出力

★ 注 $\overline{\text{UBEN}}$ 信号は、外部拡張モード(メモリ拡張モード・レジスタ(MM)による設定)時、BICビットの設定にかかわらず出力されます。

★ 注意 ポート9を入出力ポートとして使用するときは、システム制御レジスタ(SYC)のBICビットを“0”に設定してください。
なお、システム・リセット時にはBICビット = 0になります。

4.3 バス・アクセス

4.3.1 アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数を次に示します。

表4-2 アクセス・クロック数

バス・サイクル形態	周辺I/O (バス幅)			
	内蔵ROM (32ビット)	内蔵RAM (32ビット)	周辺I/O (16ビット)	外部メモリ (16ビット)
命令フェッチ	1	3	不可	3 + n
オペランド・データ・アクセス	3	1	3	3 + n

備考1. 単位はクロック/アクセスです。

2. n: ウェイト挿入数

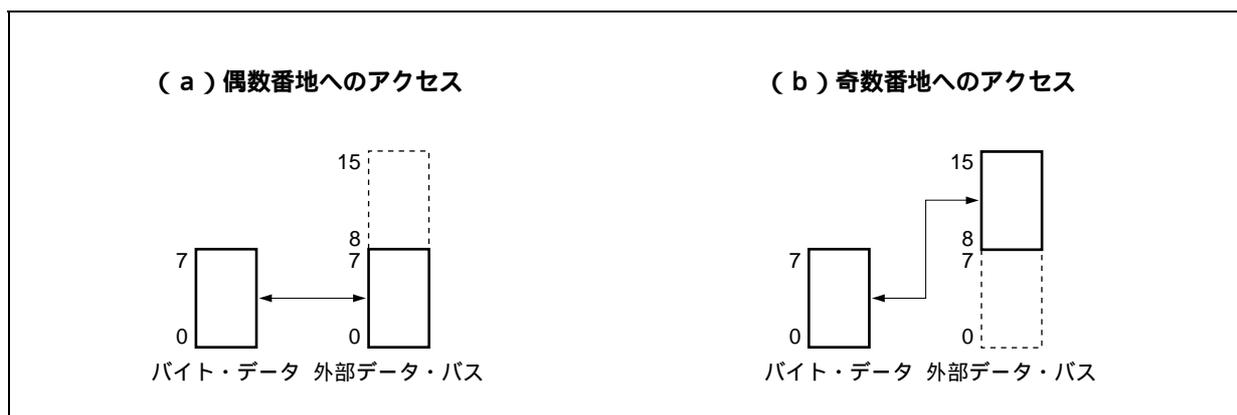
4.3.2 バス幅

CPUが周辺I/Oアクセス，外部メモリ・アクセスを行う場合には，8, 16, 32ビット・アクセスがあります。次にそれぞれのアクセス時の動作を示します。

(1) バイト・アクセス (8ビット)

バイト・アクセスには，偶数番地へのアクセスと奇数番地へのアクセスの2つの方法があります。

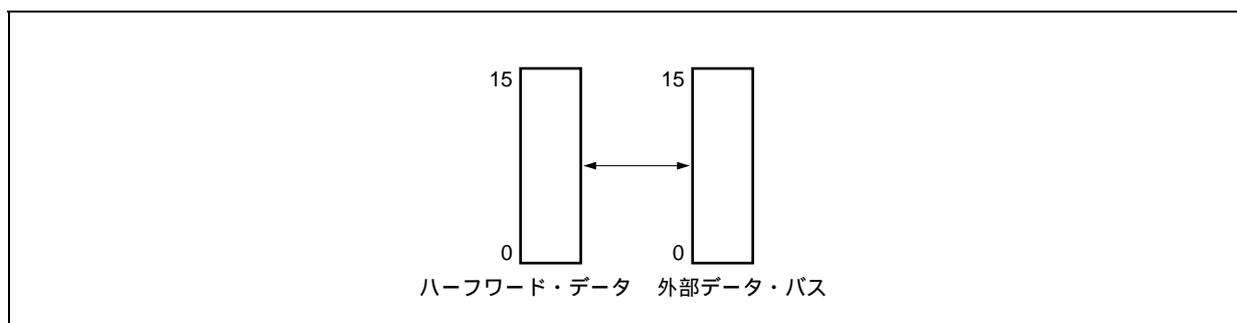
図4 - 1 バイト・アクセス (8ビット)



(2) ハーフワード・アクセス (16ビット)

データ・バスは16ビット固定なので，外部メモリへのハーフワード・アクセスでは，データをそのままやりとります。

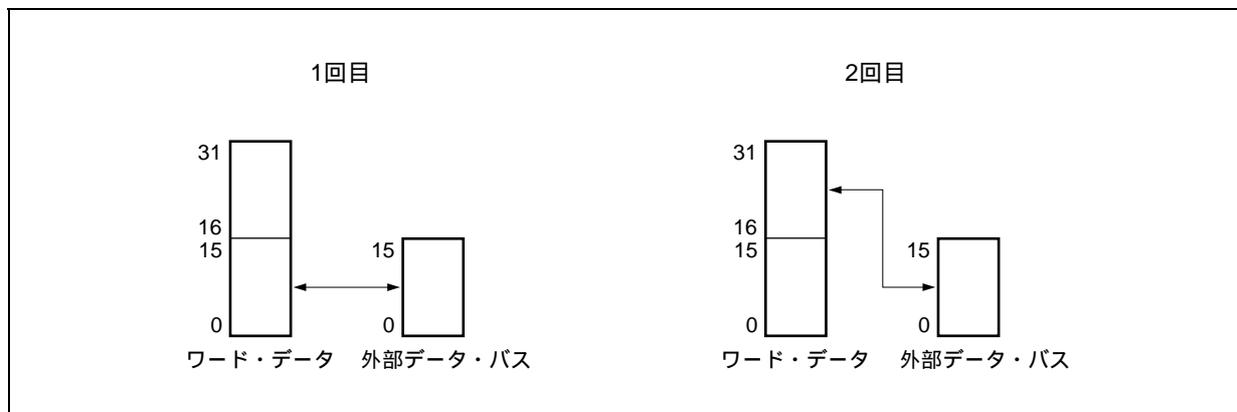
図4 - 2 ハーフワード・アクセス (16ビット)



(3) ワード・アクセス (32ビット)

外部メモリへのワード・アクセスでは、下位ハーフワード、上位ハーフワードの順でアクセスします。

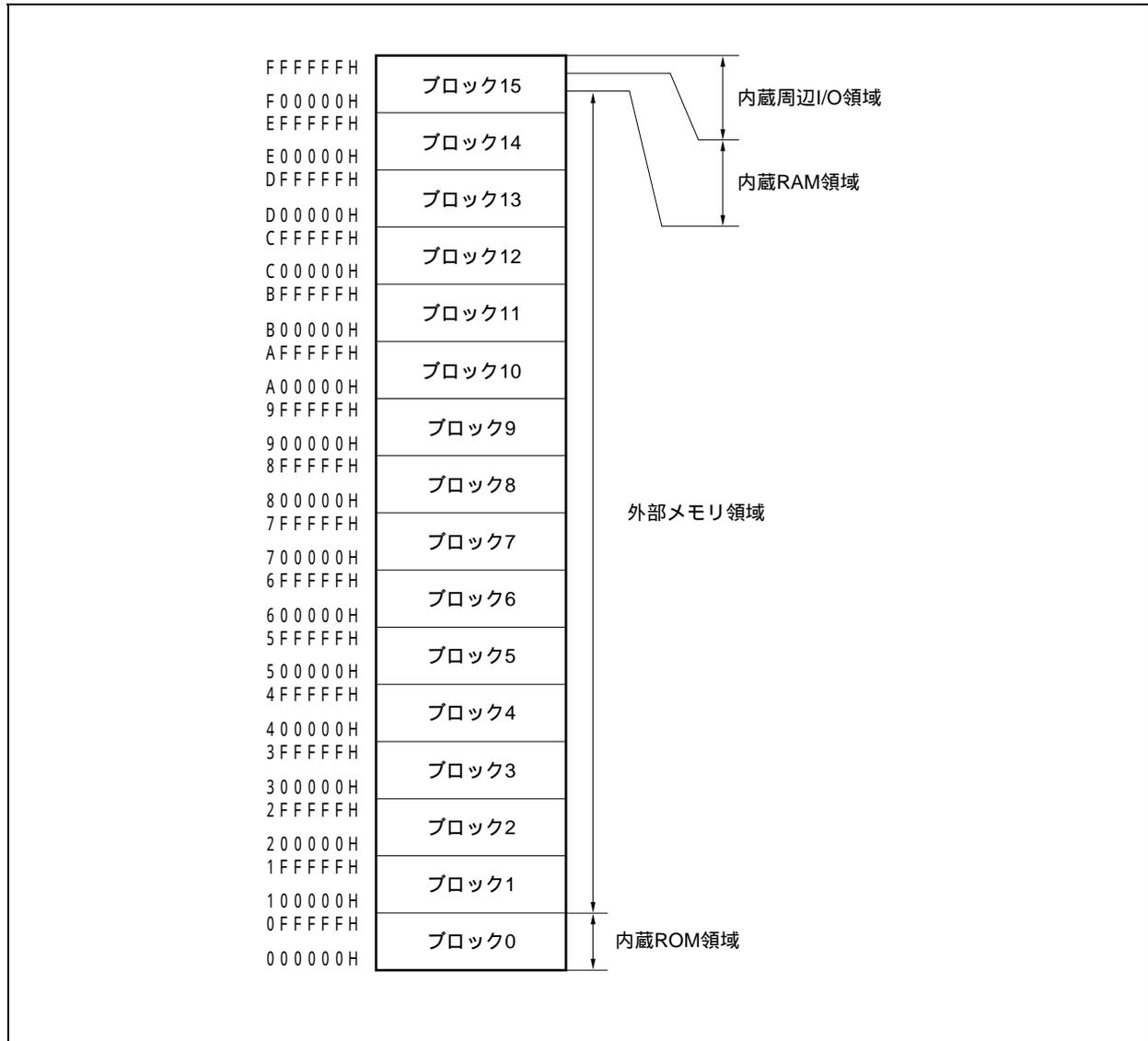
図4-3 ワード・アクセス (32ビット)



4.4 メモリ・ブロック機能

16 Mバイトのメモリ空間は1 Mバイト単位のメモリ・ブロックに分割され、2ブロック単位にプログラマブル・ウエイト機能、バス・サイクル動作モードなどを独立に制御できます。

図4-4 メモリ・ブロック



4.5 ウェイト機能

4.5.1 プログラマブル・ウェイト機能

低速メモリ，I/Oに対するインタフェースを容易に実現させることを目的とし，2ブロックごとに起動されるバス・サイクルに対し，最大3ステートのデータ・ウェイトを挿入できます。

ウェイト数は，データ・ウェイト・コントロール・レジスタ（DWC）でプログラマブルに設定できます。システム・リセット直後は，全ブロックに対して3データ・ウェイトの挿入状態になります。

(1) データ・ウェイト・コントロール・レジスタ（DWC）

16ビット単位でリード/ライト可能です。

リセット時：FFFFH R/W アドレス：FFFFFF060H																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DWC	DW 71	DW 70	DW 61	DW 60	DW 51	DW 50	DW 41	DW 40	DW 31	DW 30	DW 21	DW 20	DW 11	DW 10	DW 01	DW 00
	DWn1		DWn0		挿入ウェイト・ステート数											
	0		0		0											
	0		1		1											
	1		0		2											
	1		1		3											
	n	ウェイト挿入されるブロック														
	0	ブロック0/1														
	1	ブロック2/3														
	2	ブロック4/5														
	3	ブロック6/7														
	4	ブロック8/9														
	5	ブロック10/11														
	6	ブロック12/13														
	7	ブロック14/15														

ブロック0は内蔵ROM領域に予約されており，DWCレジスタの設定にかかわらずプログラマブル・ウェイトの対象外で，常にノー・ウェイト・アクセスを行います。

ブロック15の内蔵RAM領域はプログラマブル・ウェイトの対象外で，常にノー・ウェイト・アクセスを行います。また，内蔵周辺I/O領域はプログラマブル・ウェイトの対象外で，各周辺機能からのウェイト制御だけを行います。

4.5.2 外部ウエイト機能

極端に遅いデバイスや、I/O、非同期システムに接続する場合など、外部デバイスに同期をとる目的で、外部ウエイト端子 (WAIT) によりバス・サイクルに任意のウエイト・ステートを挿入できます。

外部ウエイトの挿入はデータ・ウエイトだけ行われます。ただし、内蔵ROM、内蔵RAM、内蔵周辺I/Oの各領域へのアクセスに対しては、プログラマブル・ウエイトと同様に、外部ウエイトによって制御できません。

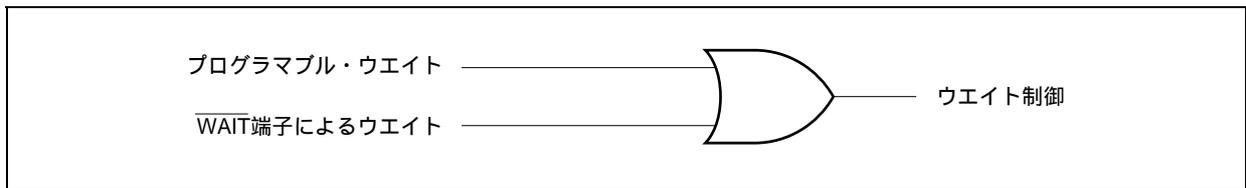
$\overline{\text{WAIT}}$ 入力は、CLKOUTに対する非同期入力が可能で、バス・サイクルのT2、TWステートのクロックの立ち下がりですamplingします。サンプル・タイミングにおける設定/保持時間を満たさないときは、次のステートでウエイトを挿入するか、挿入しないかのどちらかになります。

注意 A1端子と $\overline{\text{WAIT}}$ 端子が兼用端子になっているため、セパレート・バスを使用する場合は $\overline{\text{WAIT}}$ 端子によるウエイト機能が使用できません(ただし、プログラマブル・ウエイトは使用できます)。逆に、 $\overline{\text{WAIT}}$ 端子によるウエイト機能を使用する場合はセパレート・バスが使用できません。

4.5.3 プログラマブル・ウエイトと外部ウエイトの関係

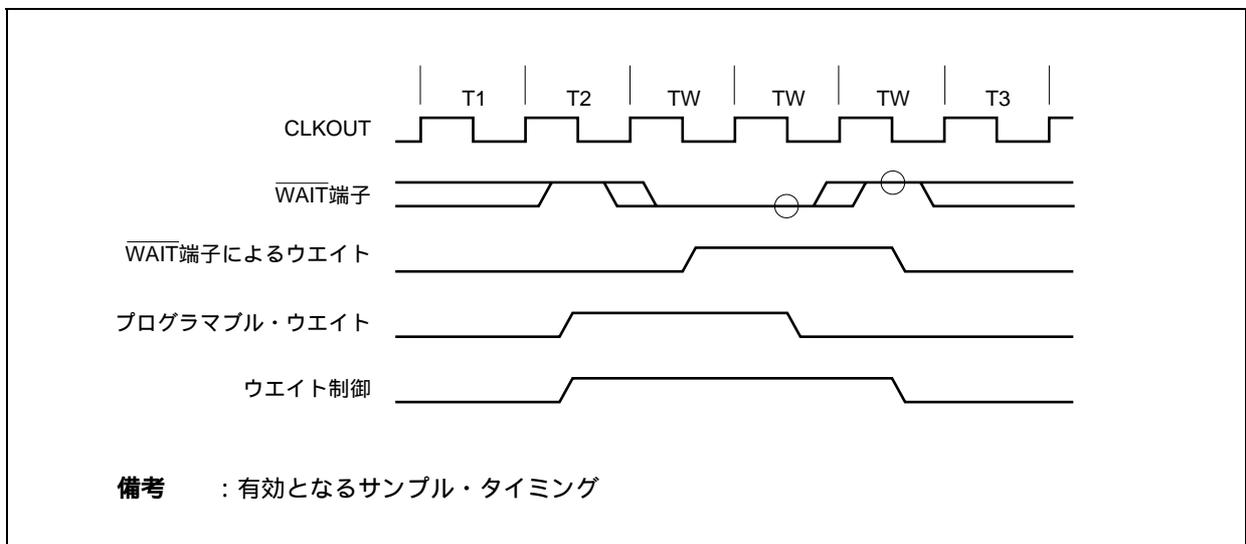
ウエイト・サイクルは、プログラマブル・ウエイトの設定値によるウエイト・サイクルと、 $\overline{\text{WAIT}}$ 端子制御によるウエイト・サイクルの論理和として挿入され、どちらか多い方のウエイト・サイクル数だけ挿入されます。

図4-5 ウエイト制御



たとえば、プログラマブル・ウエイト、 $\overline{\text{WAIT}}$ 端子が次のようなタイミングのとき、バス・サイクルは、3ウエイトになります。

図4-6 ウエイト挿入例



4.6 アイドル・ステート挿入機能

低速メモリに対するインタフェースを容易に実現させることを目的として、2ブロックごとにリード・アクセス時のメモリのデータ出力フロート遅延時間を確保するために、起動されるバス・サイクルに対し、T3ステート後に1ステートのアイドル・ステート（TI）を挿入できます。連続する次のバス・サイクルは、1アイドル・ステート後から開始します。

アイドル・ステートの挿入指定は、バス・サイクル・コントロール・レジスタ（BCC）でプログラマブルに設定できます。

システム・リセット直後は、全ブロックに対してアイドル・ステートの挿入状態になります。

(1) バス・サイクル・コントロール・レジスタ（BCC）

16ビット単位でリード/ライト可能です。

リセット時：AAAAH R/W アドレス：FFFFFF062H																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BCC	BC 71	0	BC 61	0	BC 51	0	BC 41	0	BC 31	0	BC 21	0	BC 11	0	BC 01	0
	BCn1	アイドル・ステート挿入指定														
	0	挿入しない														
	1	挿入する														
	n	アイドル・ステートの挿入されるブロック														
	0	ブロック0/1														
	1	ブロック2/3														
	2	ブロック4/5														
	3	ブロック6/7														
	4	ブロック8/9														
	5	ブロック10/11														
	6	ブロック12/13														
	7	ブロック14/15														

ブロック0は内蔵ROM領域に予約されているため、ブロック0に対してアイドル・ステートの挿入は指定できません。

ブロック15における、内蔵RAM領域、内蔵周辺I/O領域は、アイドル・ステート挿入の対象外になります。

このレジスタのビット0, 2, 4, 6, 8, 10, 12, 14には必ず“0”を設定してください。“1”を設定した場合の動作は保証できません。

4.7 バス・ホールド機能

4.7.1 機能概要

メモリ拡張モード・レジスタ（MM）のMM3ビットをセット（1）すると、P95、P96の $\overline{\text{HLDRQ}}$ 、 $\overline{\text{HLDAK}}$ 端子機能が有効になります。

ほかのバス・マスタからのバス獲得要求として $\overline{\text{HLDRQ}}$ 端子がアクティブ（ロウ・レベル）になったことを受け付けると、外部アドレス/データ・バス、各種ストロープ端子をハイ・インピーダンス状態^注にし、解放します（バス・ホールド状態）。 $\overline{\text{HLDRQ}}$ 端子がインアクティブ（ハイ・レベル）になりバス獲得要求が解除されれば、再びこれらの端子の駆動を開始します。バス・ホールド期間中は、外部メモリ・アクセスがあるまで、内部の動作を継続します。

バス・ホールド状態は、 $\overline{\text{HLDAK}}$ 端子がアクティブ（ロウ・レベル）になったことで知ることができます。

マルチプロセッサ構成、DMAコントローラ接続時など、バス・マスタが複数存在するようなシステムを構成できます。

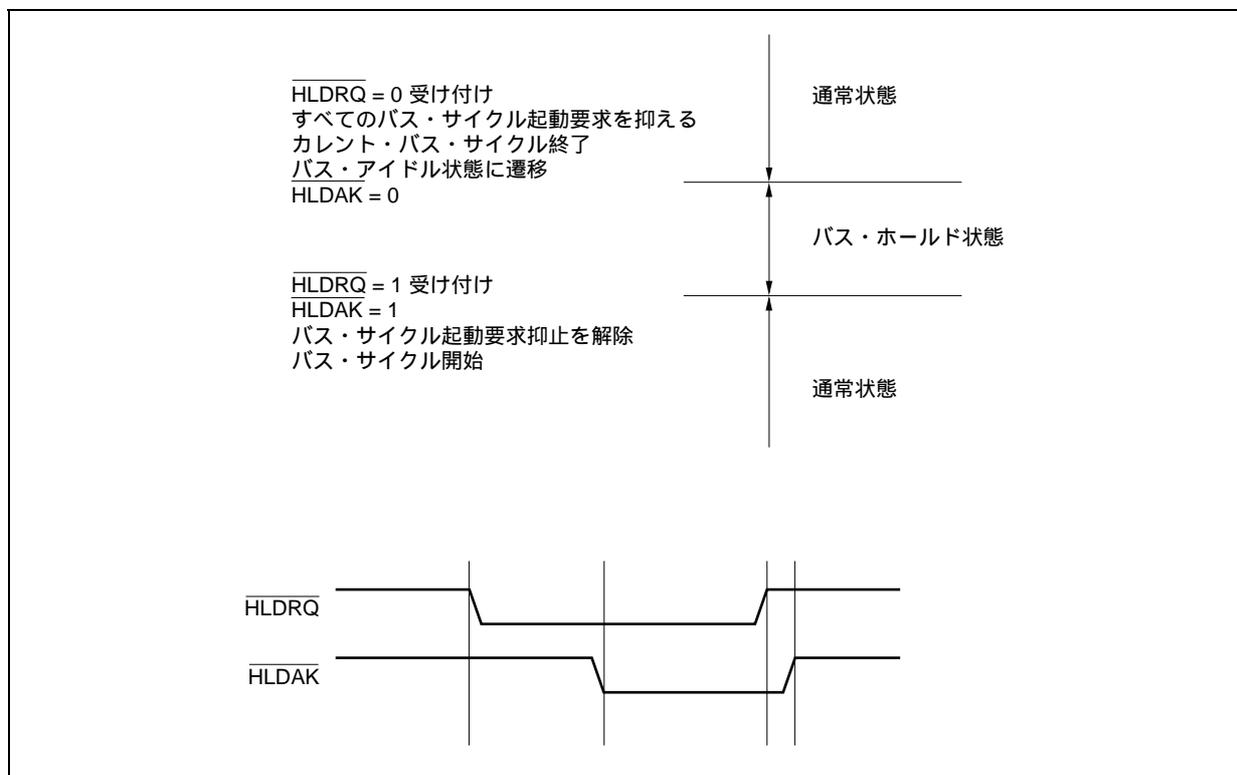
なお、ワード・アクセス時の1回目と2回目の間にはバス・ホールド要求は受け付けません。また、ビット操作命令のリード・モディファイ・ライト・アクセスにおけるリード・アクセスとライト・アクセスの間にもバス・ホールド要求は受け付けません。

注 セパレート・バスを使用しているときのA1-A15端子は、保持状態になります。

4.7.2 バス・ホールド手順

バス・ホールド状態遷移の手順を次に示します。

図4-7 バス・ホールド手順



4.7.3 パワー・セーブ・モード時の動作

IDLEモード期間中およびソフトウェアSTOPモード期間中は、システム・クロックが停止するため、 $\overline{\text{HLDQR}}$ 端子がアクティブになっても受け付けられずバス・ホールド状態にはなりません。

HALTモードでは、 $\overline{\text{HLDQR}}$ 端子がアクティブになると、ただちに $\overline{\text{HLDAR}}$ 端子がアクティブになり、バス・ホールド状態になります。同様に $\overline{\text{HLDQR}}$ 端子がインアクティブになると、 $\overline{\text{HLDAR}}$ 端子がインアクティブになり、バス・ホールド状態は解除され、再びHALTモードに戻ります。

4.8 バス・タイミング

V850/SB1, V850/SB2は, 外部デバイスとのリード/ライト制御を次の2つのモードで実行できます。

- ・ $\overline{\text{DSTB}}$, $\overline{\text{R/W}}$, $\overline{\text{LBEN}}$, $\overline{\text{UBEN}}$, $\overline{\text{ASTB}}$ 信号を使用するモード
- ・ $\overline{\text{RD}}$, $\overline{\text{WRL}}$, $\overline{\text{WRH}}$, $\overline{\text{ASTB}}$ 信号を使用するモード

これらのモードは, システム制御レジスタ (SYC) のBICビットで設定してください(4.2.2(1) システム制御レジスタ (SYC) 参照)。

図4-8 メモリ・リード (1/4)

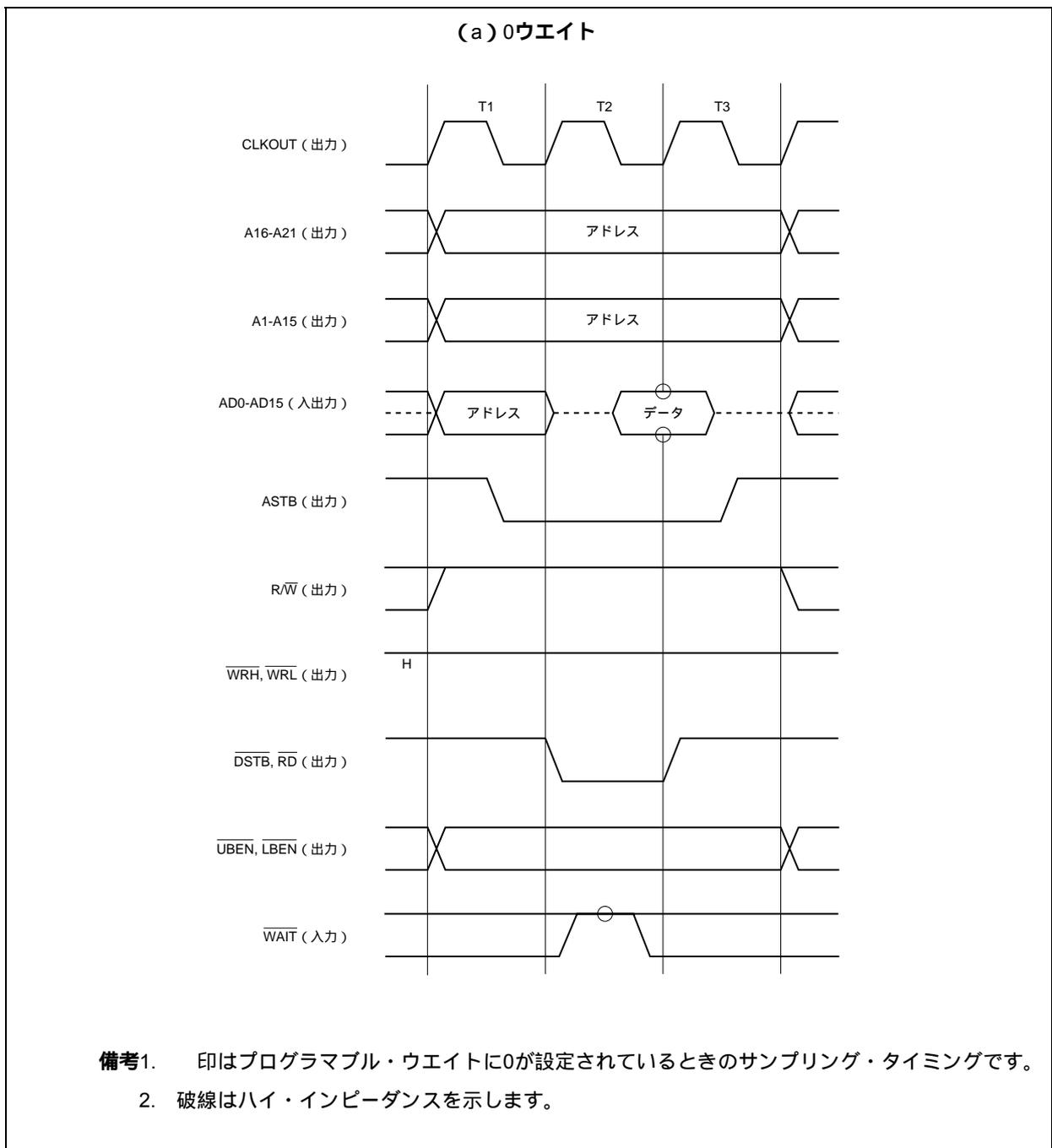


図4 - 8 メモリ・リード (2/4)

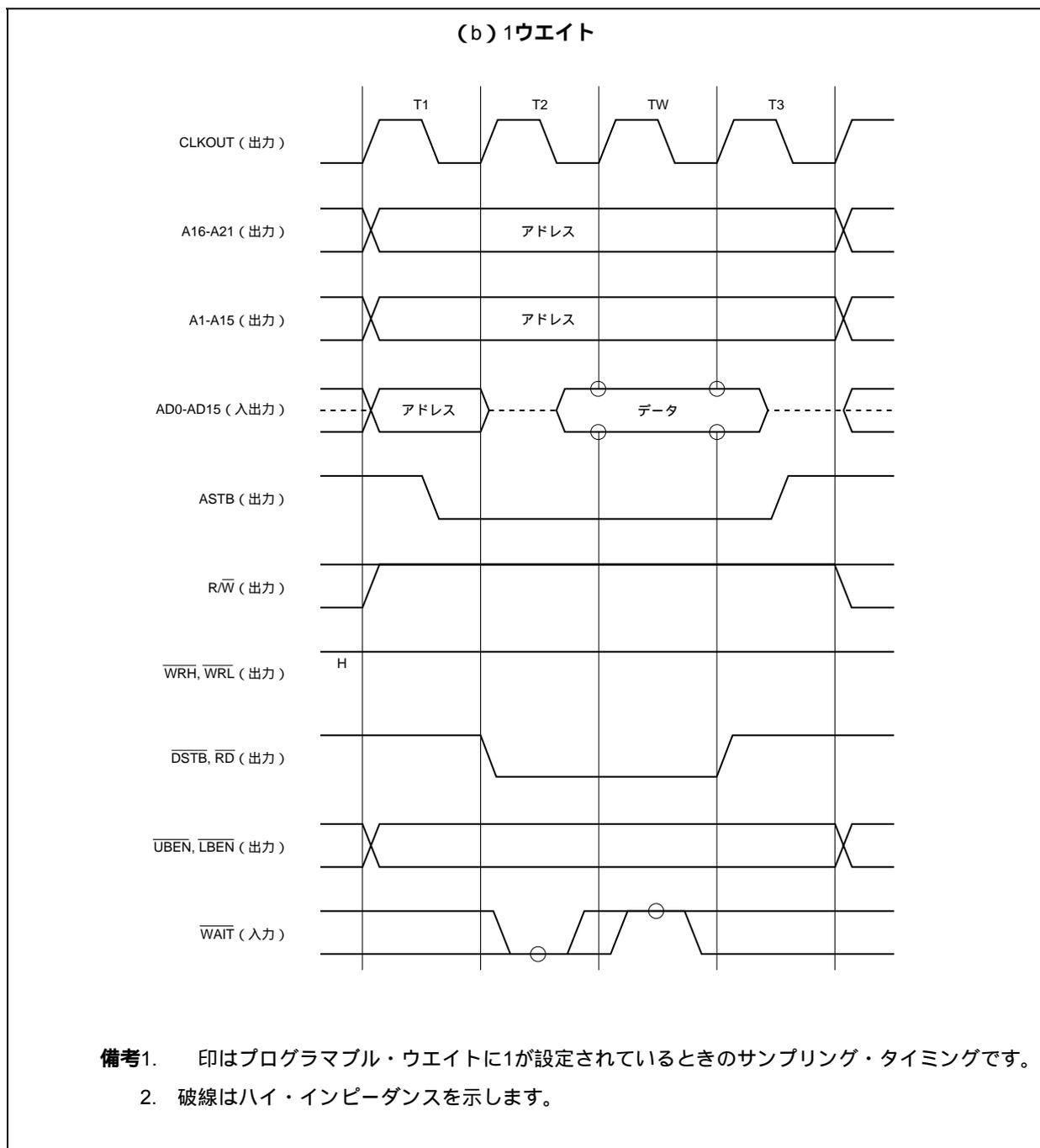


図4 - 8 メモリ・リード (3/4)

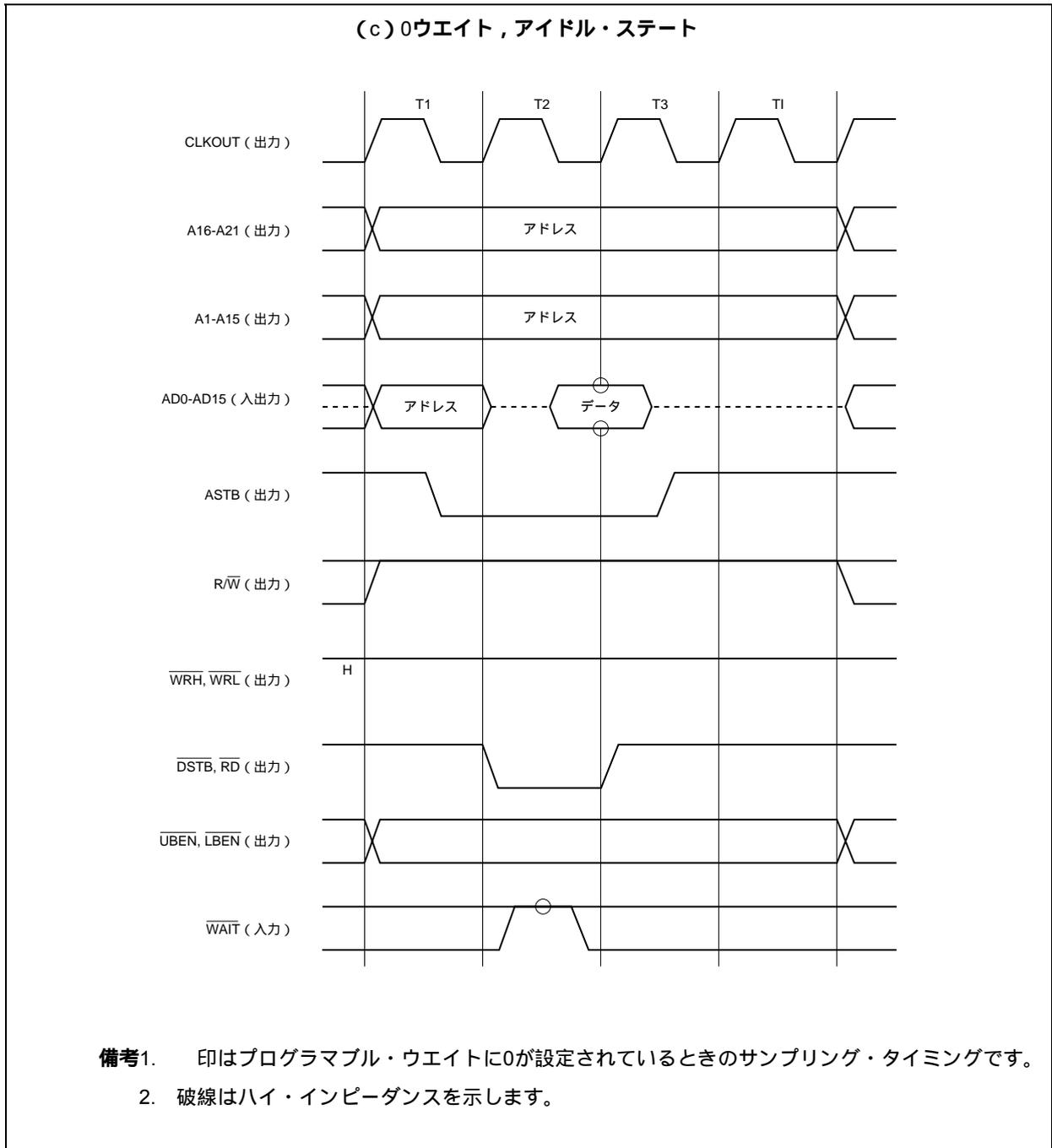


図4 - 8 メモリ・リード (4/4)

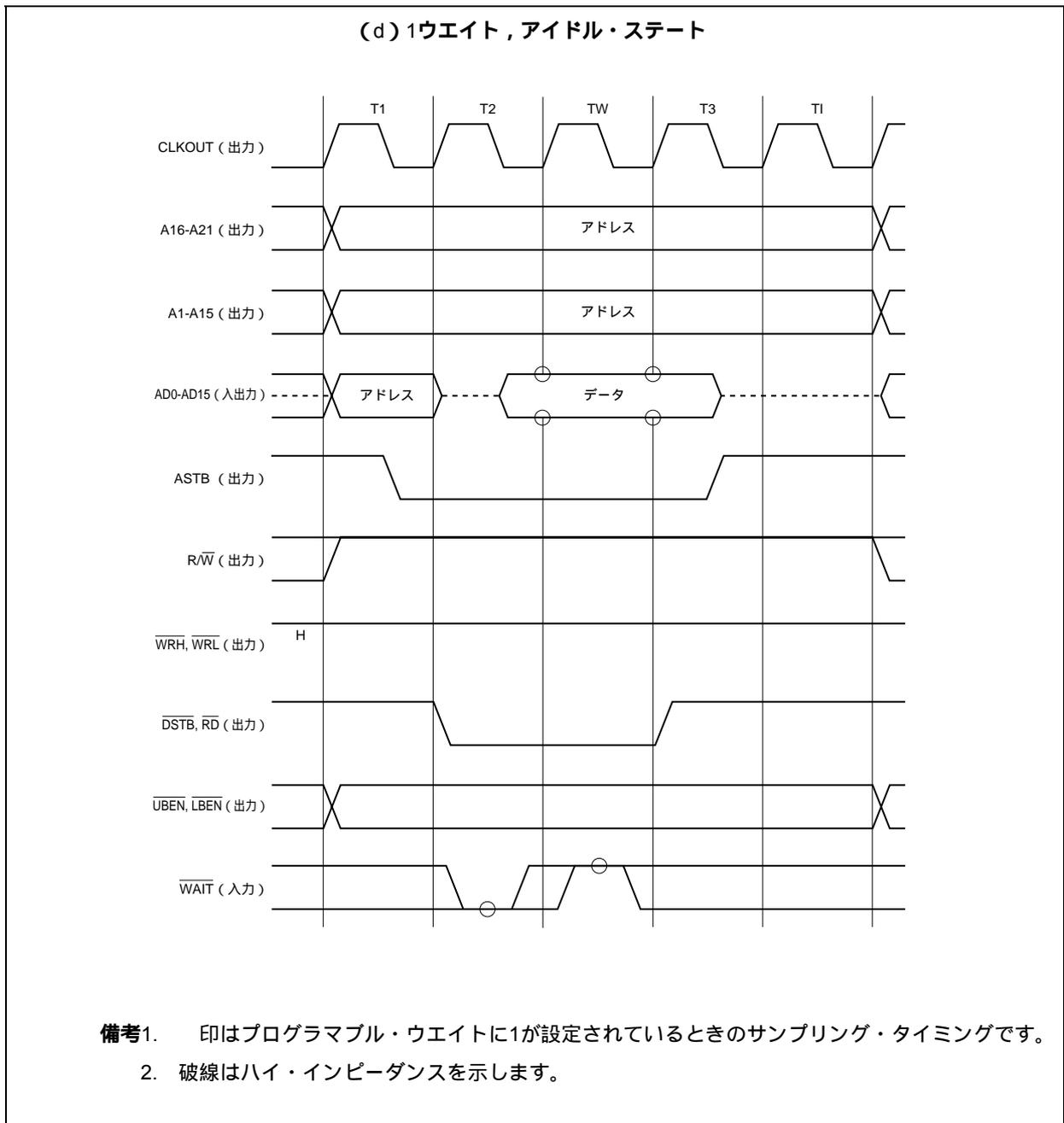


図4 - 9 メモリ・ライト (1/2)

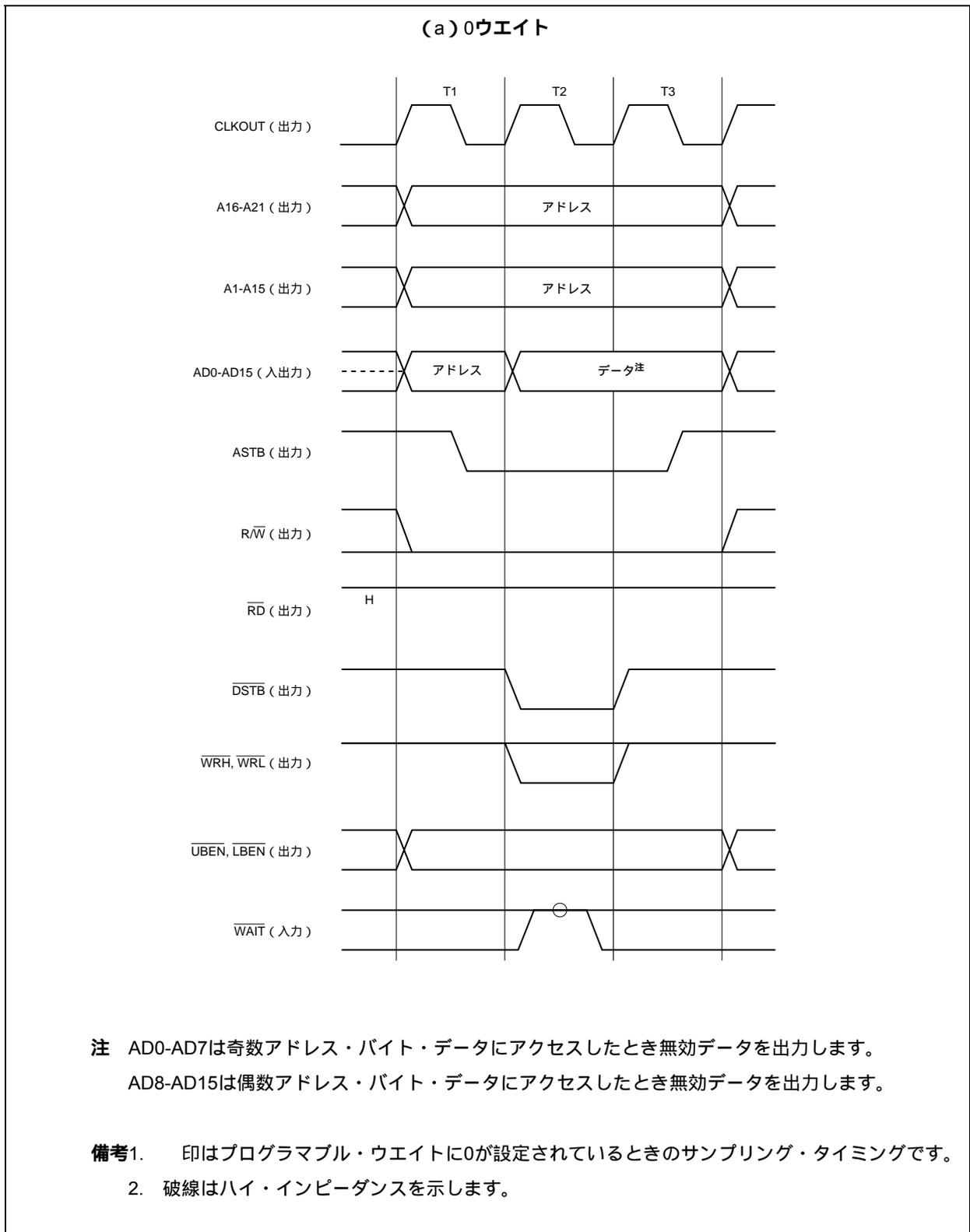


図4 - 9 メモリ・ライト (2/2)

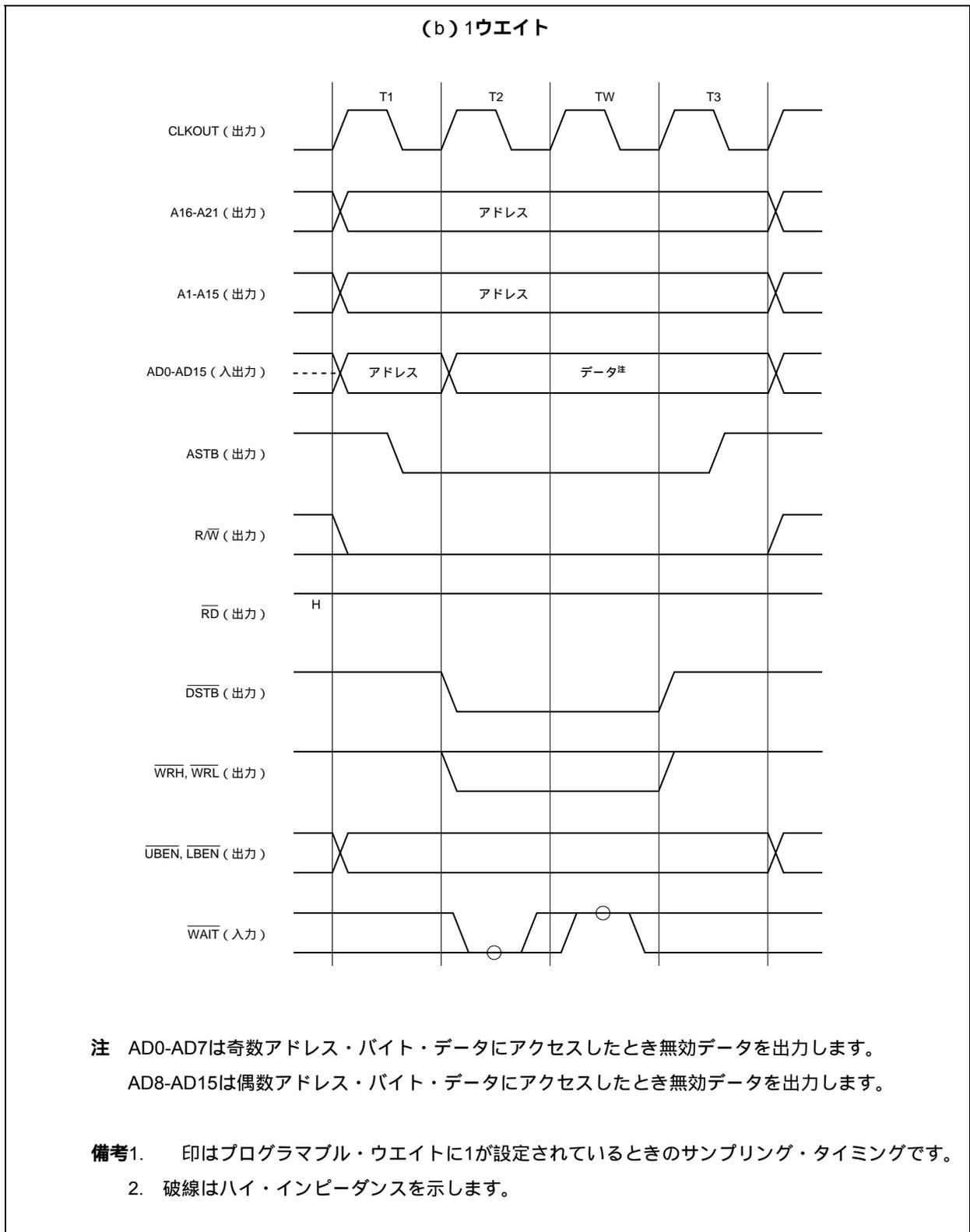
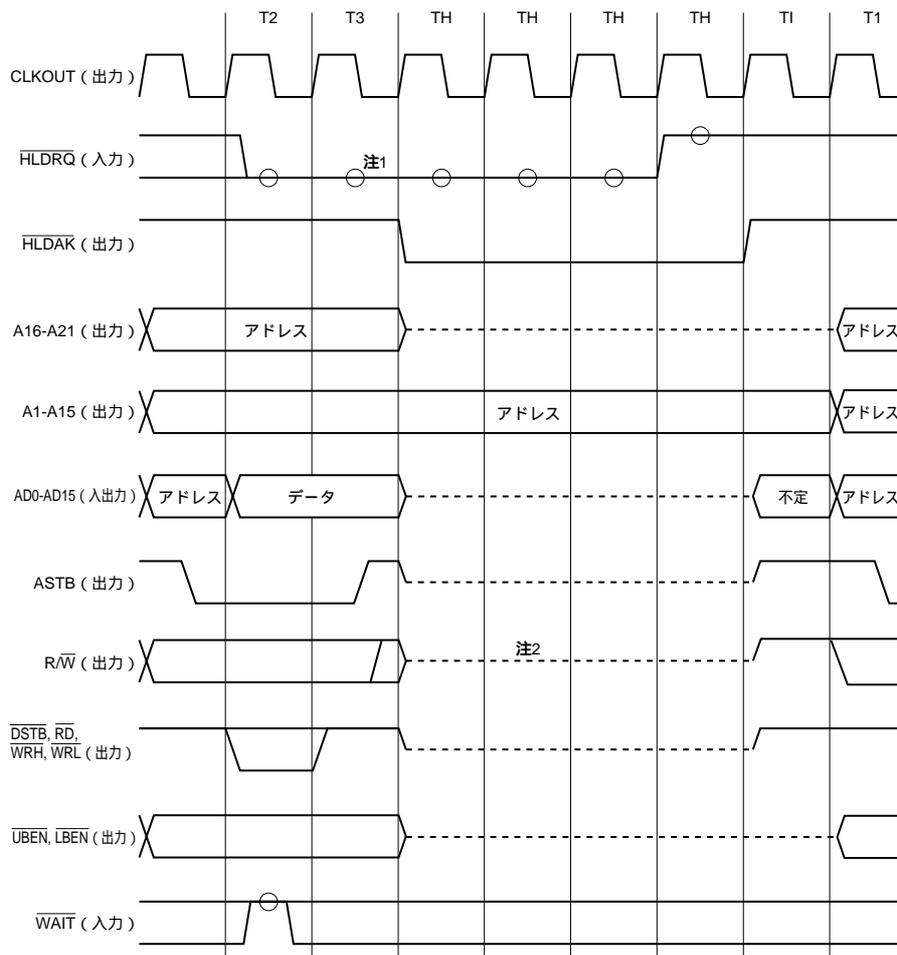


図4 - 10 バス・ホールド・タイミング



注1. このサンプリング時に $\overline{\text{HLDRQ}}$ 信号がインアクティブ（ハイ・レベル）の場合、バス・ホールド状態には移行しません。

2. ライト・サイクル後にバス・ホールド状態に遷移した場合、 $\overline{\text{HLDAR}}$ 信号がハイ・レベルからロウ・レベルに変化する直前に、 $\overline{\text{R/W}}$ 端子から一瞬ハイ・レベルを出力することがあります。

備考1. 印はプログラマブル・ウエイトに0が設定されているときのサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

4.9 バスの優先順位

- ★ 外部バス・サイクルには、バス・ホールド、メモリ・アクセス、命令フェッチ（分岐）、命令フェッチ（連続）の4つがあります。優先順位はバス・ホールドが最も高く、メモリ・アクセス、命令フェッチ（分岐）、命令フェッチ（連続）の順で低くなります。

リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には、命令フェッチが挿入されることがあります。

なお、ワード・アクセスの下位ハーフワード・アクセスと上位ハーフワード・アクセスの間には、命令フェッチは挿入されません。

表4-3 バス優先順位

外部バス・サイクル	優先順位
バス・ホールド	1
メモリ・アクセス	2
命令フェッチ（分岐）	3
命令フェッチ（連続）	4

4.10 境界動作条件

4.10.1 プログラム空間

(1) 内蔵周辺I/O領域への分岐や内蔵RAM領域から周辺I/Oへの連続フェッチは行わないでください。分岐や命令フェッチを行った場合、NOP命令コードのフェッチを継続し、外部メモリからのフェッチなどは行いません。

(2) 内蔵RAM領域の上限に分岐命令がある場合、内蔵周辺I/O領域にまたがるプリフェッチ動作（無効フェッチ）は発生しません。

4.10.2 データ空間

ハーフワード（16ビット）/ワード（32ビット）長のデータ・アクセスは、それぞれハーフワード境界（アドレスの最下位ビットが“0”）/ワード境界（アドレスの下位2ビットが“0”）にアラインされたアドレスに対してだけ行います。したがって、メモリまたはメモリ・ブロックの境界をまたぐようなアクセスは発生しません。詳細は、V850シリーズ ユーザーズ・マニュアル アーキテクチャ編を参照してください。

第5章 割り込み / 例外処理機能

5.1 概要

V850/SB1, V850/SB2は、割り込み処理用に専用の割り込みコントローラ (INTC) を内蔵し、合計37要因から40要因の割り込み要求を処理できる強力な割り込み機能を実現しています。

なお、割り込みをプログラムの実行とは別に独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。一般に、例外は割り込みより優先的に処理されます。

V850/SB1, V850/SB2では、内蔵している周辺ハードウェアと外部からの各種割り込み要求を処理できます。さらに、TRAP命令による例外処理の起動 (ソフトウェア例外) や、例外事象の発生 (不正命令コードのフェッチ) による例外処理の起動 (例外トラップ) が可能です。

5.1.1 特徴

割り込み

- ・ノンマスカブル割り込み : 2要因
- ・マスカブル割り込み (製品によってマスカブル割り込みの要因数が異なります)

(V850/SB1)

μ PD703030B, 703031A, 703031B, 703032A, 703032B, 703033A, 703033B,
70F3030B, 70F3032A, 70F3032B, 70F3033A, 70F3033B : 37要因

μ PD703030BY, 703031AY, 703031BY, 703032AY, 703032BY, 703033AY, 703033BY,
70F3030BY, 70F3032AY, 70F3032BY, 70F3033AY, 70F3033BY : 38要因

(V850/SB2)

μ PD703034A, 703034B, 703035A, 703035B, 703036H, 703037A, 703037H,
70F3035A, 70F3035B, 70F3036H, 70F3037A, 70F3037H : 39要因

μ PD703034AY, 703034BY, 703035AY, 703035BY, 703036HY, 703037AY, 703037HY,
70F3035AY, 70F3035BY, 70F3036HY, 70F3037AY, 70F3037HY : 40要因

- ・8レベルのプログラマブル優先順位制御
- ・優先順位に従った割り込み要求に対するマスク指定
- ・個々のマスカブル割り込み要求に対するマスク指定
- ・外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

例外

- ・ソフトウェア例外 : 32要因
- ・例外トラップ : 1要因 (不正命令コード例外)

割り込み / 例外要因を表5 - 1に示します。

表5-1 割り込み要因一覧(1/2)

種類	分類	デフォルト・ 優先リティ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
リセット	割り込み	-	RESET	リセット入力	-	0000H	00000000H	不定	-
ノンマスク カブル	割り込み	-	NMI	NMI端子入力	-	0010H	00000010H	nextPC	-
	割り込み	-	INTWDT	WDTOVFノンマスクカブル	WDT	0020H	00000020H	nextPC	-
ソフトウ エア例外	例外	-	TRAP0 ^{注1}	TRAP命令	-	004nH ^{注1}	00000040H	nextPC	-
	例外	-	TRAP1n ^{注1}	TRAP命令	-	005nH ^{注1}	00000050H	nextPC	-
例外トラップ	例外	-	ILGOP	不正命令コード	-	0060H	00000060H	nextPC	-
マスクカブル	割り込み	0	INTWDTM	WDTOVFマスクカブル	WDT	0080H	00000080H	nextPC	WDTIC
		1	INTP0	INTP0端子	端子	0090H	00000090H	nextPC	PIC0
		2	INTP1	INTP1端子	端子	00A0H	000000A0H	nextPC	PIC1
		3	INTP2	INTP2端子	端子	00B0H	000000B0H	nextPC	PIC2
		4	INTP3	INTP3端子	端子	00C0H	000000C0H	nextPC	PIC3
		5	INTP4	INTP4端子	端子	00D0H	000000D0H	nextPC	PIC4
		6	INTP5	INTP5端子	端子	00E0H	000000E0H	nextPC	PIC5
		7	INTP6	INTP6端子	端子	00F0H	000000F0H	nextPC	PIC6
		8	INTWTNI	時計用タイマ・プリスケアラ	WT	0140H	00000140H	nextPC	WTNIIC
		9	INTTM00	INTTM00	TM0	0150H	00000150H	nextPC	TMIC00
		10	INTTM01	INTTM01	TM0	0160H	00000160H	nextPC	TMIC01
		11	INTTM10	INTTM10	TM1	0170H	00000170H	nextPC	TMIC10
		12	INTTM11	INTTM11	TM1	0180H	00000180H	nextPC	TMIC11
		13	INTTM2	TM2コンペア一致/OVF	TM2	0190H	00000190H	nextPC	TMIC2
		14	INTTM3	TM3コンペア一致/OVF	TM3	01A0H	000001A0H	nextPC	TMIC3
		15	INTTM4	TM4コンペア一致/OVF	TM4	01B0H	000001B0H	nextPC	TMIC4
		16	INTTM5	TM5コンペア一致/OVF	TM5	01C0H	000001C0H	nextPC	TMIC5
		17	INTTM6	TM6コンペア一致/OVF	TM6	01D0H	000001D0H	nextPC	TMIC6
		18	INTTM7	TM7コンペア一致/OVF	TM7	01E0H	000001E0H	nextPC	TMIC7
		19	INTIIC0 ^{注2} / INTCSI0	I ² C0割り込み / CSI0送信終了	I ² C0/CSI0	01F0H	000001F0H	nextPC	CSIC0
		20	INTSER0	UART0シリアル・エラー	UART0	0200H	00000200H	nextPC	SERIC0
		21	INTSR0/ INTCSI1	UART0受信終了 / CSI1送信終了	UART0/ CSI1	0210H	00000210H	nextPC	CSIC1
		22	INTST0	UART0送信終了	UART0	0220H	00000220H	nextPC	STIC0
		23	INTCSI2	CSI2送信終了	CSI2	0230H	00000230H	nextPC	CSIC2
		24	INTIIC1 ^{注2}	I ² C1割り込み	I ² C1	0240H	00000240H	nextPC	IICIC1
		25	INTSER1	UART1シリアル・エラー	UART1	0250H	00000250H	nextPC	SERIC1
		26	INTSR1/ INTCSI3	UART1受信終了 / CSI3送信終了	UART1/ CSI3	0260H	00000260H	nextPC	CSIC3
		27	INTST1	UART1送信終了	UART1	0270H	00000270H	nextPC	STIC1
		28	INTCSI4	CSI4送信終了	CSI4	0280H	00000280H	nextPC	CSIC4
		29	INTIE1 ^{注3}	IEBus転送終了	IEBus	0290H	00000290H	nextPC	IEBIC1
30	INTIE2 ^{注3}	IEBus通信終了	IEBus	02A0H	000002A0H	nextPC	IEBIC2		

注1. nは0-FHの値

2. Y品 (I²C内蔵品) のみ有効です。
3. V850/SB2のみ有効です。

表5 - 1 割り込み要因一覧 (2/2)

種類	分類	デフォルト・ プライオリティ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
マスカブル	割り込み	31	INTAD	A/D変換終了	A/D	02B0H	000002B0H	nextPC	ADIC
		32	INTDMA0	DMA0転送終了	DMA0	02C0H	000002C0H	nextPC	DMAIC0
		33	INTDMA1	DMA1転送終了	DMA1	02D0H	000002D0H	nextPC	DMAIC1
		34	INTDMA2	DMA2転送終了	DMA2	02E0H	000002E0H	nextPC	DMAIC2
		35	INTDMA3	DMA3転送終了	DMA3	02F0H	000002F0H	nextPC	DMAIC3
		36	INTDMA4	DMA4転送終了	DMA4	0300H	00000300H	nextPC	DMAIC4
		37	INTDMA5	DMA5転送終了	DMA5	0310H	00000310H	nextPC	DMAIC5
		38	INTWTN	時計用タイマOVF	WT	0320H	00000320H	nextPC	WTNIC
		39	INTKR	キー・リターン割り込み	KR	0330H	00000330H	nextPC	KRIC

備考1. デフォルト・プライオリティ：複数の同一優先順位レベルのマスカブル割り込み要求が同時に発生している場合に優先される順位です。0が最高優先順位です。

復帰PC：割り込み / 例外処理起動時に、EIPCまたはFEPCにセーブされるPC値のことです。ただし、DIVH（除算）命令実行中に割り込みを受け付けたときセーブされる復帰PC値は、カレントの命令（DIVH命令）のPC値となります。

2. 不正命令コード例外時の不正命令の実行アドレスは、（復帰PC - 4）で求められます。
3. RESET以外の例外 / 割り込みの復帰PCは（事象発生したときのPCの値 + 1）となります。
4. ノンマスカブル割り込み（INTWDT）とマスカブル割り込み（INTWDTM）は、ウォッチドッグ・タイマ・モード・レジスタ（WDTM）のWDTM4ビットで設定します。

5.2 ノンマスクابل割り込み

ノンマスクابل割り込み要求は、割り込み禁止 (DI) 状態でも無条件に受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込み要求に対して最優先されます。

この製品のノンマスクابل割り込み要求には、次の2つがあります。

- ・ NMI端子入力 (NMI)
- ・ ノンマスクابل・ウォッチドッグ・タイマ割り込み要求 (INTWDT)

NMI端子に立ち上がりエッジ指定レジスタ0 (EGP0) と立ち下がりエッジ指定レジスタ0 (EGN0) で指定した有効エッジが検出されたとき、割り込みが発生します。

INTWDTについては、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のWDTM4ビットを“1”に設定した状態でだけ、ノンマスクابل割り込み (INTWDT) として機能します。

ノンマスクابل割り込みのサービス・プログラムを実行している (PSW.NP = 1) 場合は、ノンマスクابل割り込み要求は保留されます。保留されたノンマスクابل割り込みは、現在実行中のノンマスクابل割り込みサービス・プログラムの終了後 (RETI命令実行後)、またはLDSR命令によりPSW.NP = 0にすると受け付けられません。ただし、ノンマスクابل割り込みサービス・プログラム実行中に、ノンマスクابل割り込み要求が2回以上発生しても、PSW.NP = 0後に受け付けられるノンマスクابل割り込みは1回だけです。

注意 ノンマスクابل割り込み処理中に、LDSR命令によりPSW.NP = 0に変更した場合、以降の割り込み受け付けの判別が正常にできなくなります。

5.2.1 動作

ノンマスクブル割り込み要求が発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンに制御を移します。

復帰PCをFEPCに退避します。

現在のPSWをFEPSWに退避します。

ECRの上位ハーフワード（FECC）に例外コード0010H, 0020Hを書き込みます。

PSWのNP, IDビットをセットし，EPビットをクリアします。

PCにノンマスクブル割り込みに対するハンドラ・アドレス（00000010H, 00000020H）をセットし，制御を移します。

図5 - 1 ノンマスクブル割り込みの処理形態

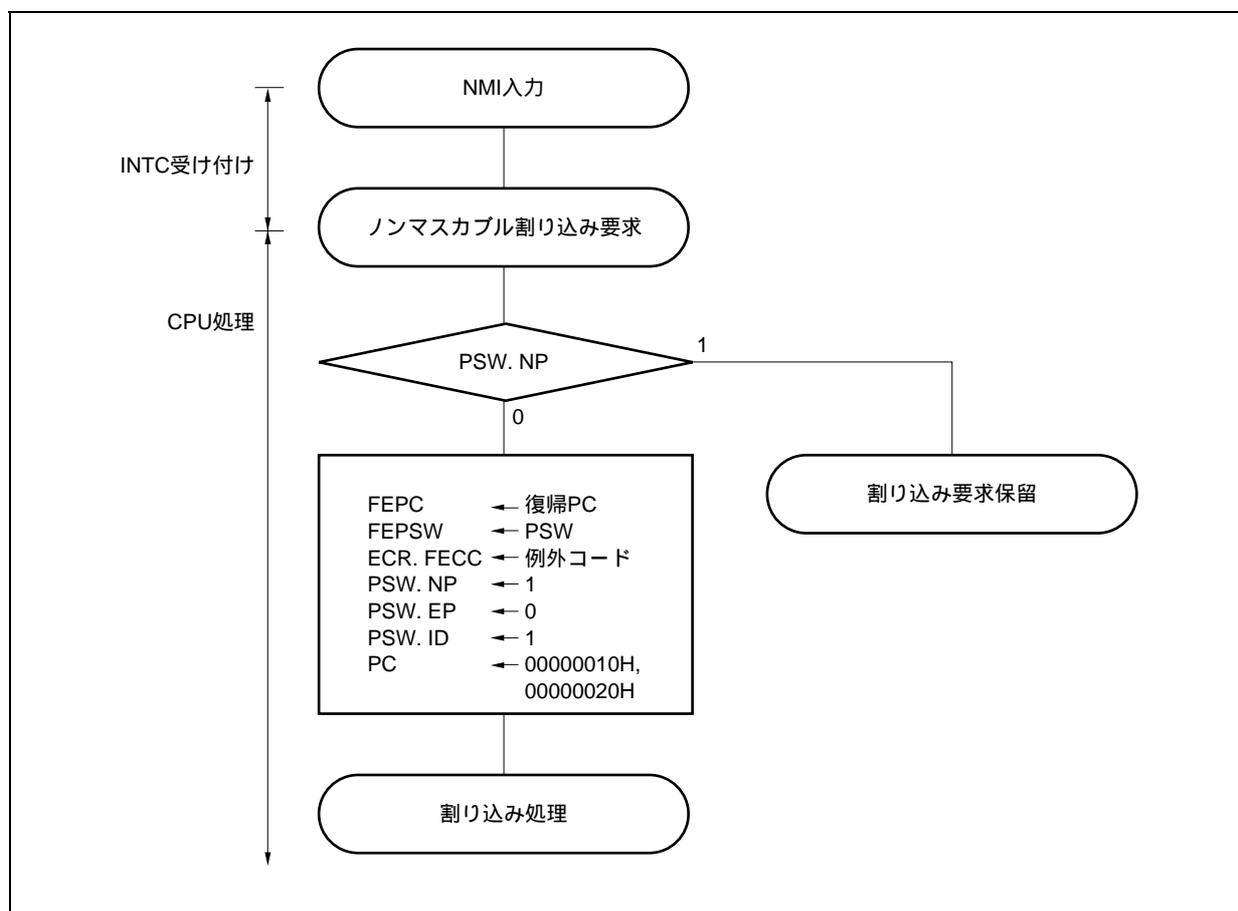
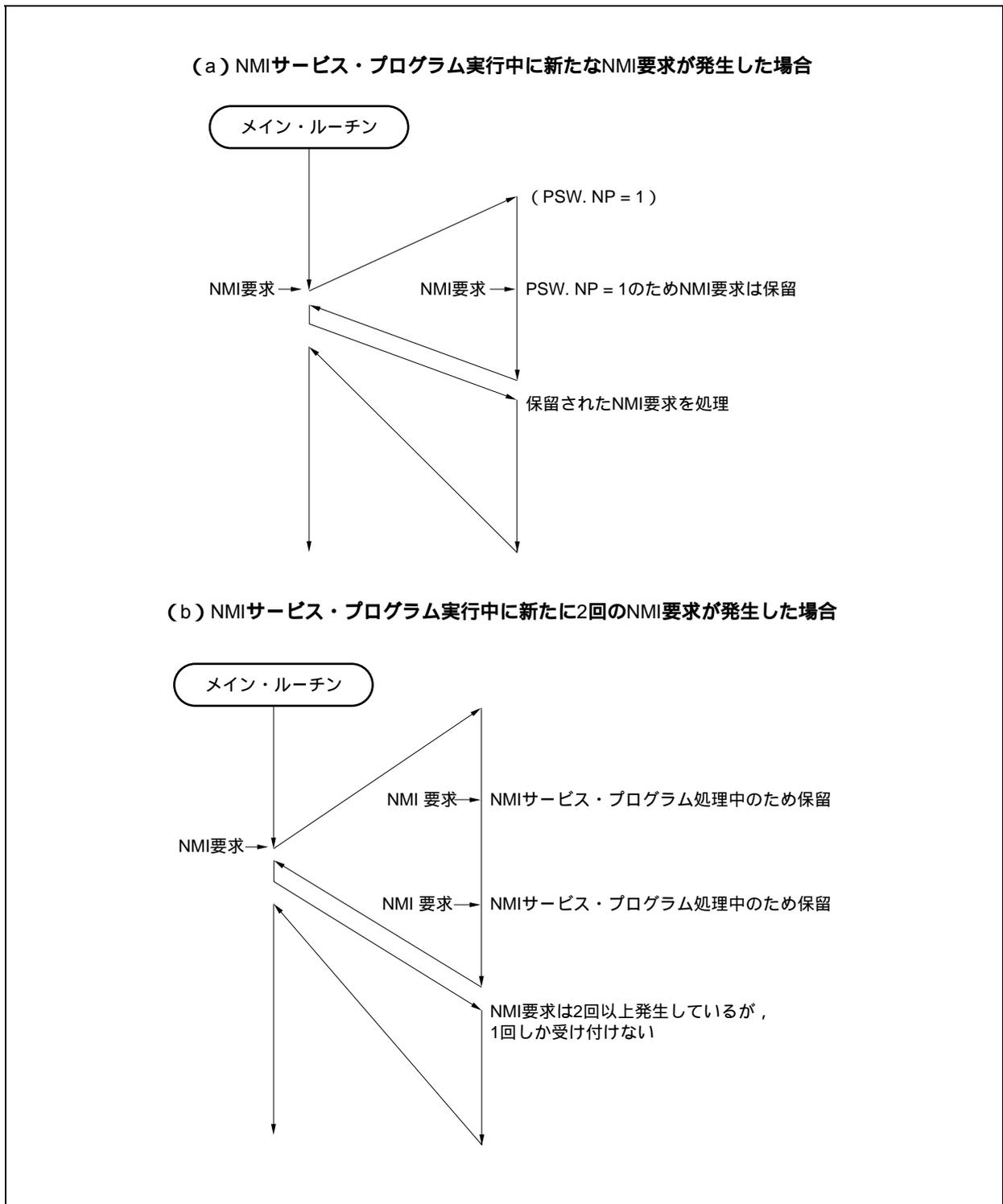


図5-2 ノンマスカブル割り込み要求の受け付け動作



5.2.2 復 帰

ノンマスクابل割り込み処理からは、RETI命令で復帰します。

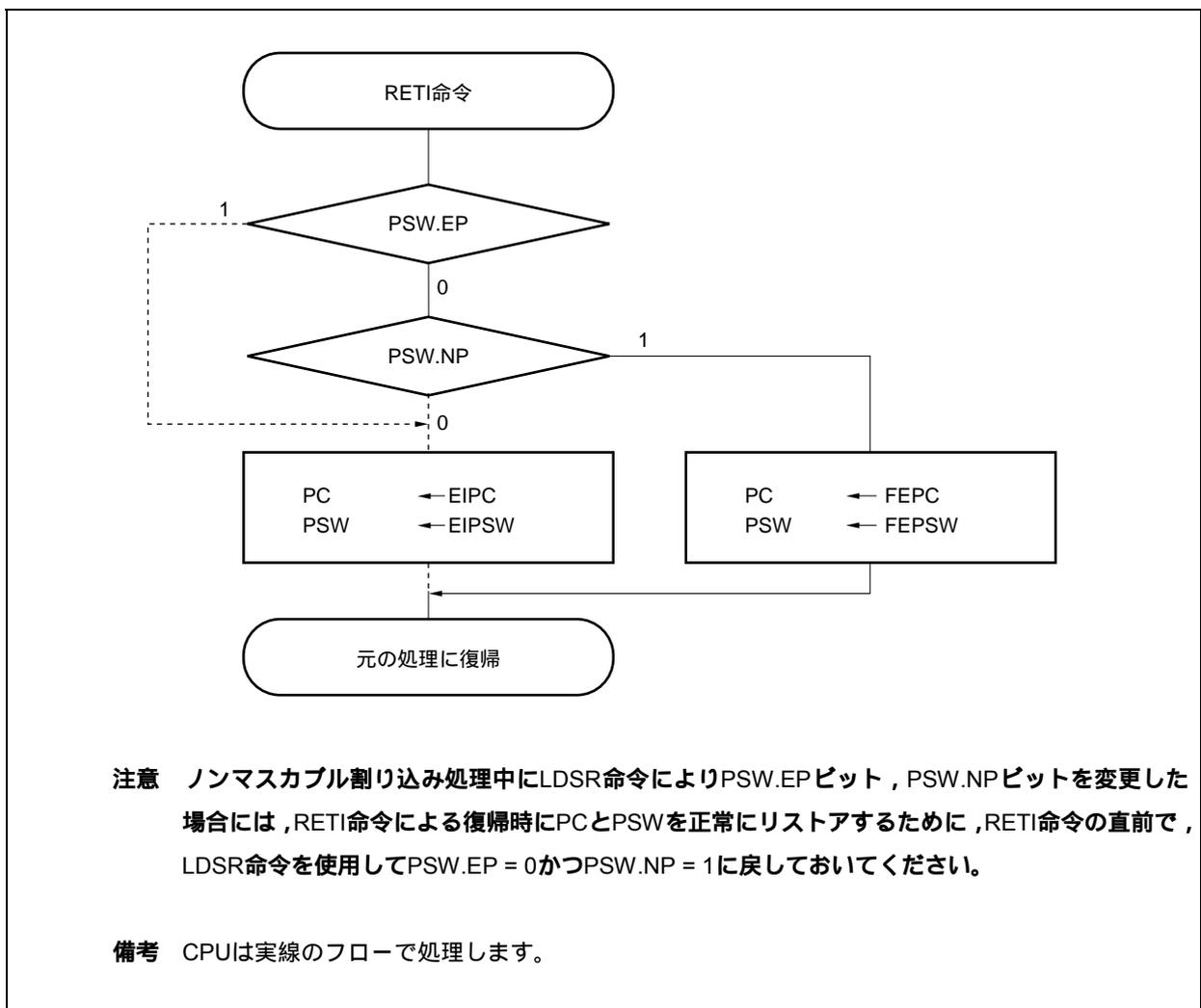
RETI命令の動作

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットが0かつPSWのNPビットが1なので、FEPC, FEPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PC, PSWのアドレスに制御を移します。

RETI命令の処理形態を次に示します。

図5 - 3 RETI命令の処理形態



5.2.3 NPフラグ

NPフラグは、ノンマスクابل割り込み（NMI）の処理中であることを示すステータス・フラグです。

NMI割り込み要求を受け付けるとセットされ、NMI要求をマスクして多重割り込みを禁止します。

リセット時：00000020H

	31		8	7	6	5	4	3	2	1	0				
PSW	0							NP	EP	ID	SAT	CY	OV	S	Z

NP	NMI処理状態
0	NMI割り込み処理中でない
1	NMI割り込み処理中

5.2.4 NMI端子のノイズ除去

NMI端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、NMI端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

なお、NMI端子はソフトウェアSTOPモードの解除に使用します。ソフトウェアSTOPモードでは、内部システム・クロックは停止しているため、システム・クロックを使用したノイズ除去を行っていません。

5.2.5 NMI端子のエッジ検出機能

NMI端子の有効エッジは，“立ち上がりエッジ”，“立ち下がりエッジ”，“両エッジ”，“立ち上がり，立ち下がりエッジとも検出しない”の4種類から選択できます。

立ち上がりエッジ指定レジスタ0 (EGP0) と立ち下がりエッジ指定レジスタ0 (EGN0) でノンマスクابل割り込み (NMI) の有効エッジを指定します。8/1ビット単位でリード/ライト可能です。

リセット後のNMI端子は“立ち上がり，立ち下がりエッジとも検出しない”になっていますので，EGP0, EGN0 レジスタで有効エッジを許可しないと，割り込み要求を受け付けません（通常ポートとして機能します）。

P00を出力ポートとして使用する場合は，NMIの有効エッジを“立ち上がり，立ち下がりとも検出しない”に設定してください。

(1) 立ち上がりエッジ指定レジスタ0 (EGP0)

リセット時：00H R/W アドレス：FFFFFF0C0H

	⑦	⑥	⑤	④	③	②	①	①
EGP0	EGP07	EGP06	EGP05	EGP04	EGP03	EGP02	EGP01	EGP00

EGP0n	立ち上がりエッジ有効の制御
0	立ち上がりエッジで割り込み要求信号の発生なし
1	立ち上がりエッジで割り込み要求信号の発生あり

n = 0 : NMI端子の制御
n = 1-7 : INTP0-INTP6端子の制御

(2) 立ち下がりエッジ指定レジスタ0 (EGN0)

リセット時：00H R/W アドレス：FFFFFF0C2H

	⑦	⑥	⑤	④	③	②	①	①
EGN0	EGN07	EGN06	EGN05	EGN04	EGN03	EGN02	EGN01	EGN00

EGN0n	立ち下がりエッジ有効の制御
0	立ち下がりエッジで割り込み要求信号の発生なし
1	立ち下がりエッジで割り込み要求信号の発生あり

n = 0 : NMI端子の制御
n = 1-7 : INTP0-INTP6端子の制御

5.3 マスカブル割り込み

マスカブル割り込み要求は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求です。V850/SB1, V850/SB2には37～40種類のマスカブル割り込み要因があります（5.1.1 特徴参照）。

複数のマスカブル割り込み要求が同時に発生した場合は、デフォルト優先順位により、その優先順位が決定します。またデフォルト優先順位とは別に、割り込み制御レジスタによって、8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求が受け付けられると割り込み禁止（DI）状態になり、以後のマスカブル割り込み要求の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり、受け付け中の割り込み要求の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし、多重割り込みを許可するときは、EI命令を実行する前にEIPC, EIPSWをメモリ、またはレジスタに退避し、RETI命令を実行する前にDIを行って、EIPC, EIPSWを元の値に復帰してください。

ウォッチドッグ・タイマ・モード・レジスタ（WDTM）のWDTM4ビットを“0”に設定すると、ウォッチドッグ・タイマ・オーバフロー割り込みは、マスカブル割り込み（INTWDTM）として機能します。

5.3.1 動作

INT入力によりマスカブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンに制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

ECRの下位ハーフワード（EICC）に例外コードを書き込みます。

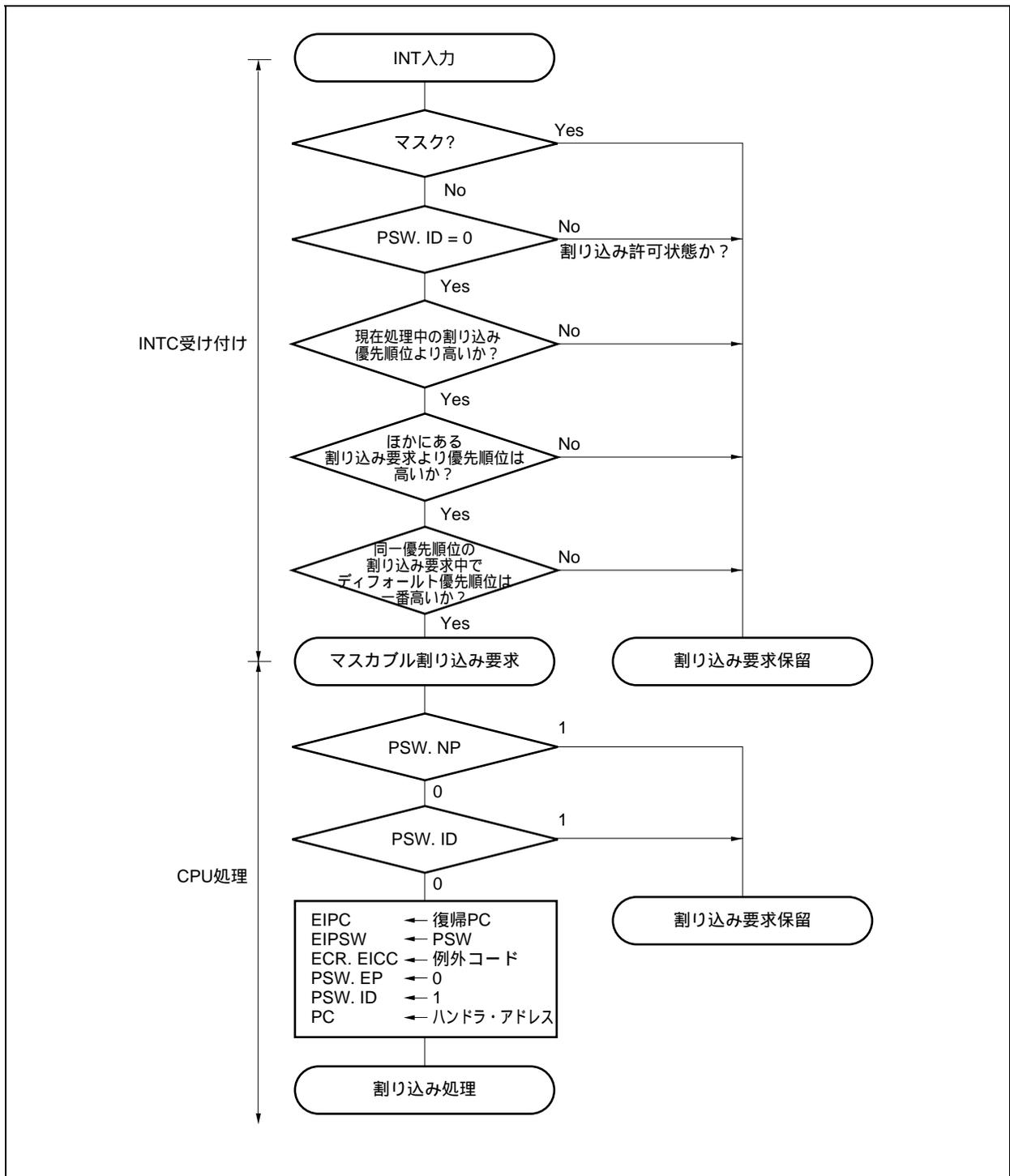
PSWのIDビットをセットし、EPビットをクリアします。

PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

なお、INTCでマスクされているINT入力と、ほかの割り込み処理中（PSW.NP = 1またはPSW.ID = 1）に発生したINT入力は、INTC内部で保留されます。この場合、マスクを解除するか、またはRETI命令、LDSR命令を使用してPSW.NP = 0かつPSW.ID = 0にすると、保留していたINT入力により新たなマスカブル割り込み処理が開始されます。

マスカブル割り込みの処理形態を次に示します。

図5-4 マスカブル割り込みの処理形態



5.3.2 復 帰

マスクブル割り込み処理からは、RETI命令で復帰します。

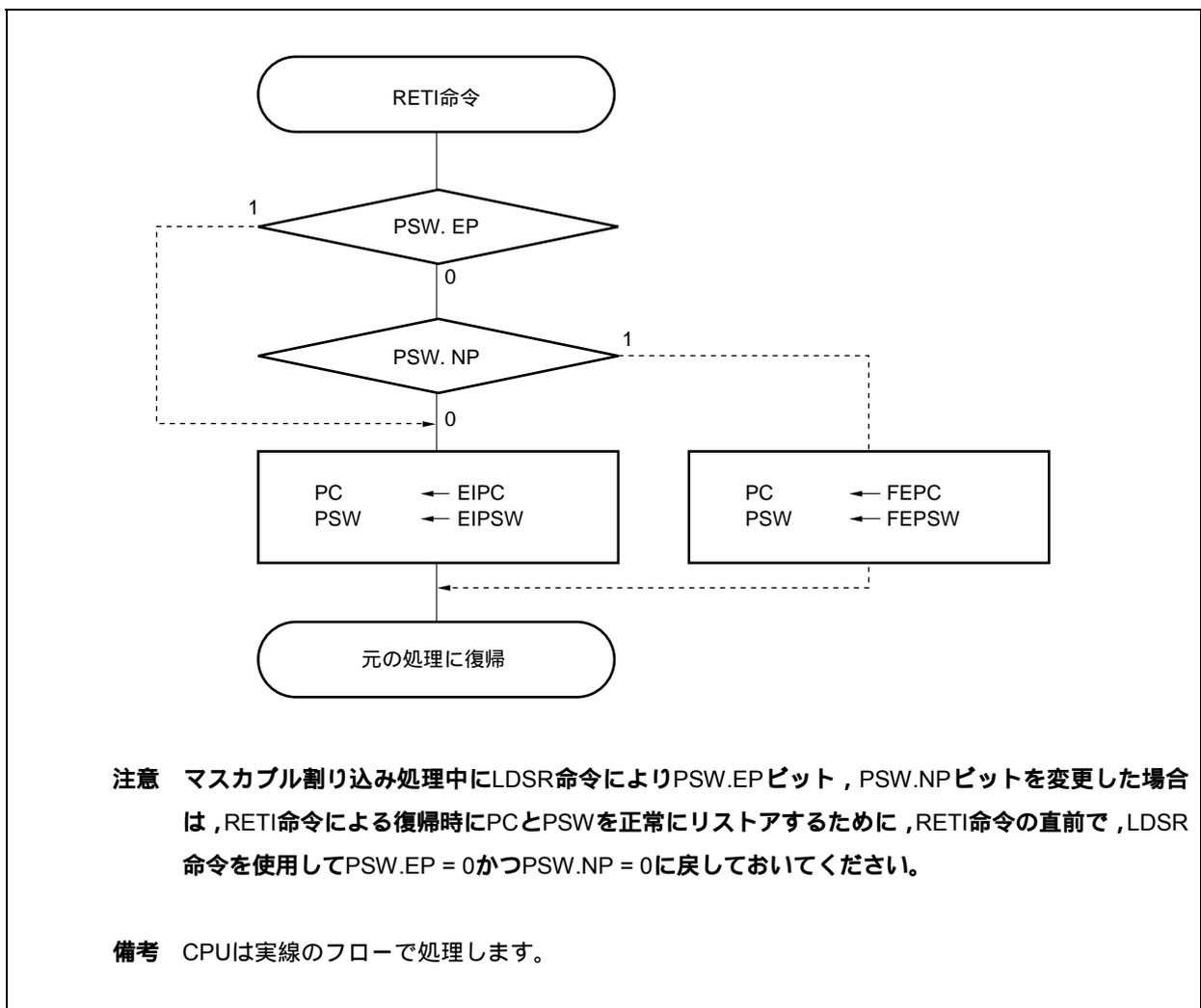
RETI命令の動作

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットが0かつPSWのNPビットが0なので、EIPC, EIPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PC, PSWのアドレスに制御を移します。

RETI命令の処理形態を次に示します。

図5 - 5 RETI命令の処理形態



5.3.3 マスカブル割り込みの優先順位

V850/SB1, V850/SB2は、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込み優先順位指定ビット (xxPRn) によるプログラマブル優先順位制御があります。デフォルト優先順位による制御は、xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込みを処理します (表5 - 1 **割り込み要因一覧**参照)。プログラマブル優先順位制御は、各割り込み要求を優先順位指定フラグの設定によって8レベルに分けます。

なお、割り込み要求を受け付けるとPSWのIDフラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア (0) し、割り込み許可状態にしてください。

- ★ **備考** xx : 各周辺ユニット識別名称 (表5 - 2参照)
n : 周辺ユニット番号 (表5 - 2参照)

図5 - 6 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (1/2)

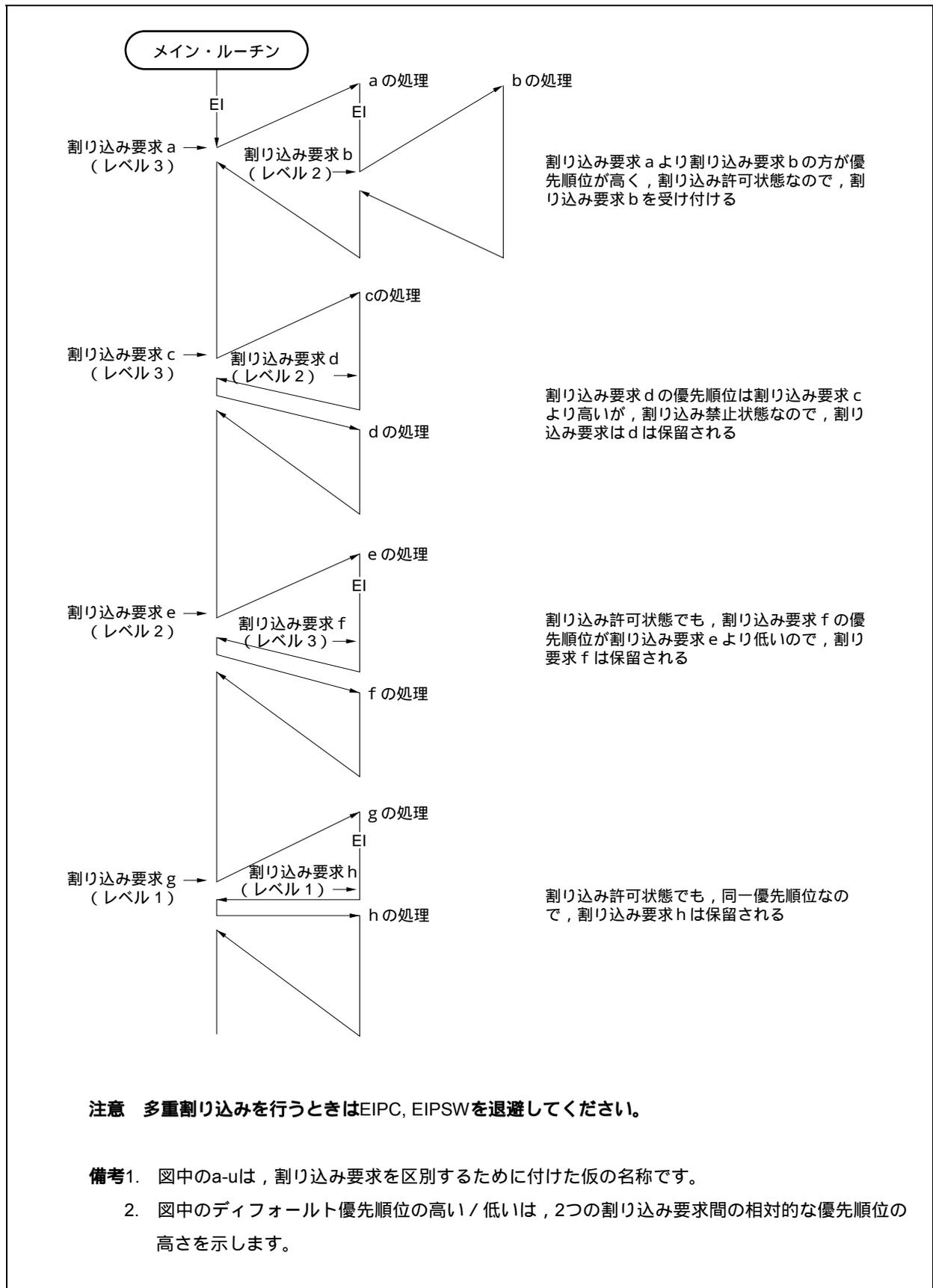


図5 - 6 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (2/2)

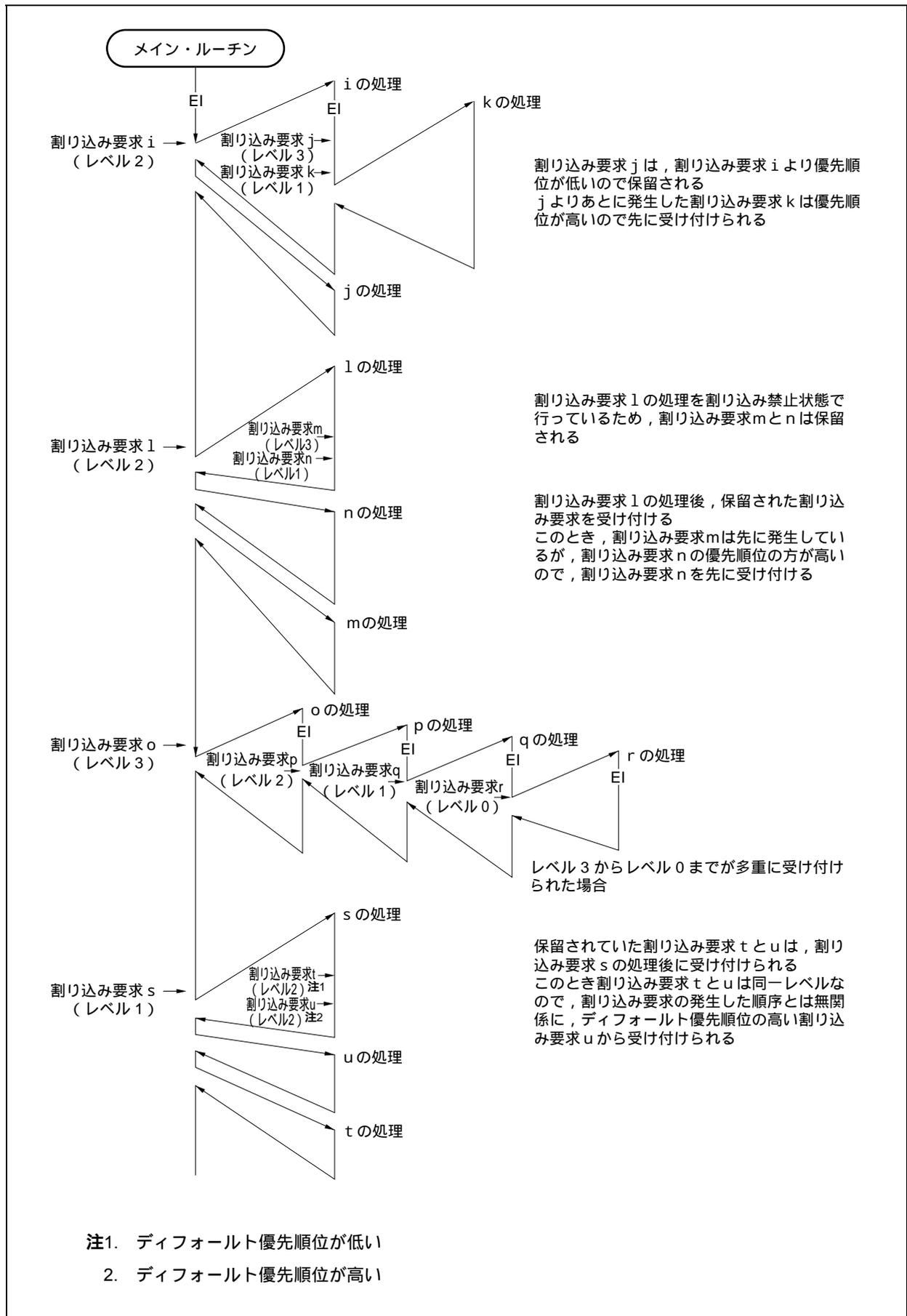
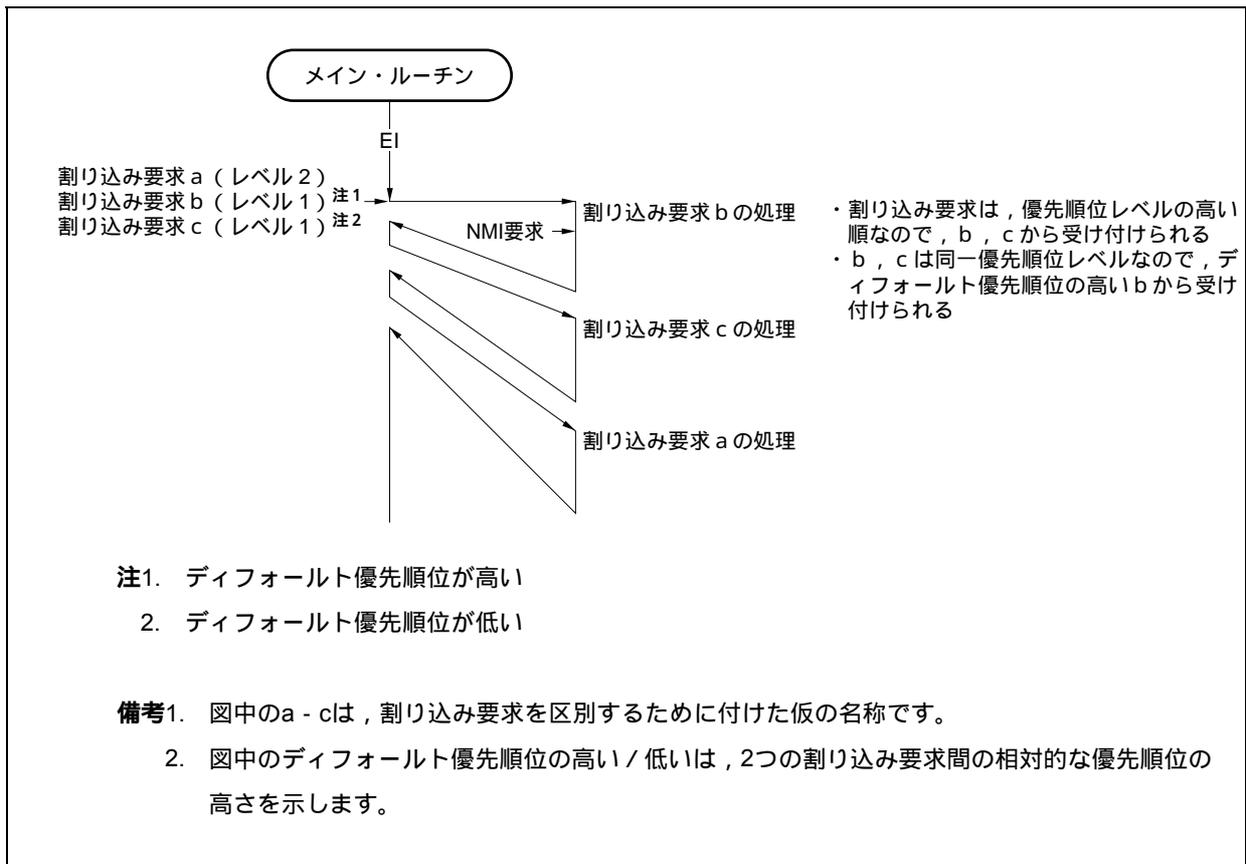


図5 - 7 同時発生した割り込み要求の処理例



5.3.4 割り込み制御レジスタ (xxlCn)

割り込み要求 (マスカブル割り込み) ごとに割り当てられ、各割り込みに対する制御条件を設定します。8/1 ビット単位でリード/ライト可能です。

注意1. 次に示す3つの条件が競合した場合、割り込み処理が2度実行されます。ただし、DMAを使用していない場合、割り込み処理が2度実行されることはありません。

- ・割り込み要求フラグ (xxlFn) に対するビット操作命令を実行
- ・割り込み要求フラグ (xxlFn) と同じ割り込み制御レジスタ (xxlCn) のハードウェアによる割り込みが発生
- ・割り込み要求フラグ (xxlFn) に対するビット操作命令を実行中にDMAが起動

ソフトウェアによる回避方法を次に2つ示します。

ソフトウェアによるビット操作命令の前にDI命令、あとにEI命令を挿入し、ビット操作命令実行直後に割り込みにジャンプしないようにしてください。

割り込み要求を受け付けた場合はハードウェアで割り込み禁止状態 (DI状態) になるので、各割り込み処理ルーチンでEI命令を実行する前に、割り込み要求フラグ (xxlFn) をクリアしてください。

- ★
2. xxlCnレジスタのxxlFnビットを読み出す場合は、割り込み禁止状態で行ってください。割り込み許可状態でxxlFnビットを読み出すと、割り込みの受け付けとビットの読み出しのタイミングが競合した場合に、正常な値が読み出せないことがあります。

リセット時：47H R/W アドレス：FFFFFF100H-FFFFFF156H

	⑦	⑥	5	4	3	2	1	0
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0

xxIFn	割り込み要求フラグ ^注
0	割り込み要求なし
1	割り込み要求あり

xxMKn	割り込みマスク・フラグ
0	割り込み処理を許可
1	割り込み処理を禁止（保留）

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル0（最高位）を指定
0	0	1	レベル1を指定
0	1	0	レベル2を指定
0	1	1	レベル3を指定
1	0	0	レベル4を指定
1	0	1	レベル5を指定
1	1	0	レベル6を指定
1	1	1	レベル7（最低位）を指定

注 割り込み要求が受け付けられるとハードウェアにより自動的にリセットされます。

備考 xx：各周辺ユニット識別名称（表5-2参照）
n：周辺ユニット番号（表5-2参照）

各割り込み制御レジスタのアドレスとビットを次に示します。

表5-2 割り込み制御レジスタ (xxICn)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFFF100H	WDTIC	WDTIF	WDTMK	0	0	0	WDTPR2	WDTPR1	WDTPR0
FFFFFF102H	PIC0	PIF0	PMK0	0	0	0	PPR02	PPR01	PPR00
FFFFFF104H	PIC1	PIF1	PMK1	0	0	0	PPR12	PPR11	PPR10
FFFFFF106H	PIC2	PIF2	PMK2	0	0	0	PPR22	PPR21	PPR20
FFFFFF108H	PIC3	PIF3	PMK3	0	0	0	PPR32	PPR31	PPR30
FFFFFF10AH	PIC4	PIF4	PMK4	0	0	0	PPR42	PPR41	PPR40
FFFFFF10CH	PIC5	PIF5	PMK5	0	0	0	PPR52	PPR51	PPR50
FFFFFF10EH	PIC6	PIF6	PMK6	0	0	0	PPR62	PPR61	PPR60
FFFFFF118H	WTNIC	WTNIF	WTNIMK	0	0	0	WTNIPR2	WTNIPR1	WTNIPR0
FFFFFF11AH	TMIC00	TMIF00	TMMK00	0	0	0	TMPR002	TMPR001	TMPR000
FFFFFF11CH	TMIC01	TMIF01	TMMK01	0	0	0	TMPR012	TMPR011	TMPR010
FFFFFF11EH	TMIC10	TMIF10	TMMK10	0	0	0	TMPR102	TMPR101	TMPR100
FFFFFF120H	TMIC11	TMIF11	TMMK11	0	0	0	TMPR112	TMPR111	TMPR110
FFFFFF122H	TMIC2	TMIF2	TMMK2	0	0	0	TMPR22	TMPR21	TMPR20
FFFFFF124H	TMIC3	TMIF3	TMMK3	0	0	0	TMPR32	TMPR31	TMPR30
FFFFFF126H	TMIC4	TMIF4	TMMK4	0	0	0	TMPR42	TMPR41	TMPR40
FFFFFF128H	TMIC5	TMIF5	TMMK5	0	0	0	TMPR52	TMPR51	TMPR50
FFFFFF12AH	TMIC6	TMIF6	TMMK6	0	0	0	TMPR62	TMPR61	TMPR60
FFFFFF12CH	TMIC7	TMIF7	TMMK7	0	0	0	TMPR72	TMPR71	TMPR70
FFFFFF12EH	CSIC0	CSIF0	CSMK0	0	0	0	CSPR02	CSPR01	CSPR00
FFFFFF130H	SERIC0	SERIF0	SERMK0	0	0	0	SERPR02	SERPR01	SERPR00
FFFFFF132H	CSIC1	CSIF1	CSMK1	0	0	0	CSPR12	CSPR11	CSPR10
FFFFFF134H	STIC0	STIF0	STMK0	0	0	0	STPR02	STPR01	STPR00
FFFFFF136H	CSIC2	CSIF2	CSMK2	0	0	0	CSPR22	CSPR21	CSPR20
FFFFFF138H	IICIC1 ^{注1}	IICIF1	IICMK1	0	0	0	IICPR12	IICPR11	IICPR10
FFFFFF13AH	SERIC1	SERIF1	SERMK1	0	0	0	SERPR12	SERPR11	SERPR10
FFFFFF13CH	CSIC3	CSIF3	CSMK3	0	0	0	CSPR32	CSPR31	CSPR30
FFFFFF13EH	STIC1	STIF1	STMK1	0	0	0	STPR12	STPR11	STPR10
FFFFFF140H	CSIC4	CSIF4	CSMK4	0	0	0	CSPR42	CSPR41	CSPR40
FFFFFF142H	IEBIC1 ^{注2}	IEBIF1	IEBMK1	0	0	0	IEBPR12	IEBPR11	IEBPR10
FFFFFF144H	IEBIC2 ^{注2}	IEBIF2	IEBMK2	0	0	0	IEBPR22	IEBPR21	IEBPR20
FFFFFF146H	ADIC	ADIF	ADMK	0	0	0	ADPR2	ADPR1	ADPR0
FFFFFF148H	DMAIC0	DMAIF0	DMAMK0	0	0	0	DMAPR02	DMAPR01	DMAPR00
FFFFFF14AH	DMAIC1	DMAIF1	DMAMK1	0	0	0	DMAPR12	DMAPR11	DMAPR10
FFFFFF14CH	DMAIC2	DMAIF2	DMAMK2	0	0	0	DMAPR22	DMAPR21	DMAPR20
FFFFFF14EH	DMAIC3	DMAIF3	DMAMK3	0	0	0	DMAPR32	DMAPR31	DMAPR30
FFFFFF150H	DMAIC4	DMAIF4	DMAMK4	0	0	0	DMAPR42	DMAPR41	DMAPR40
FFFFFF152H	DMAIC5	DMAIF5	DMAMK5	0	0	0	DMAPR52	DMAPR51	DMAPR50
FFFFFF154H	WTNIC	WTNIF	WTNIMK	0	0	0	WTNIPR2	WTNIPR1	WTNIPR0
FFFFFF156H	KRIC	KRIF	KRMK	0	0	0	KRPR2	KRPR1	KRPR0

注1. Y品 (I²C内蔵品) のみ有効です。

2. V850/SB2のみ有効です。

5.3.5 インサース・プライオリティ・レジスタ (ISPR)

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求が受け付けられると、その割り込み要求の優先順位レベルに対応するビットがセット (1) され、サービス中保持されます。

RETI命令の実行時、ISPRレジスタ内でセット (1) されているビットのうち、最も優先順位の高い割り込み要求に対応するビットがハードウェアにより自動的にリセット (0) されます。ただし、ノンマスカブルの割り込み処理や例外処理からの復帰の場合はリセット (0) されません。

8/1ビット単位でリードのみ可能です。

- ★ **注意** ISPRレジスタを読み出す場合は、割り込み禁止状態で行ってください。割り込み許可状態でISPRレジスタを読み出すと、割り込みの受け付けとレジスタの読み出しのタイミングが競合した場合に、正常な値が読み出せないことがあります。

リセット時 : 00H R アドレス : FFFFF166H

⑦	⑥	⑤	④	③	②	①	①
ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0

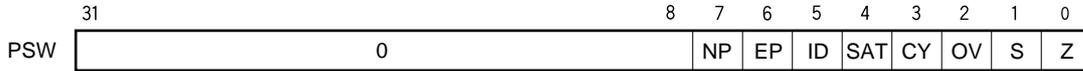
ISPRn	受け付け中の割り込みの優先順位
0	優先順位nの割り込み要求を受け付けていない
1	優先順位nの割り込み要求を受け付け中

備考 n : 0-7 (優先順位のレベル)

5.3.6 IDフラグ

マスクブル割り込みの動作状態を制御し、割り込み要求受け付けの許可 / 禁止制御情報を記憶します。割り込み禁止フラグ (ID) があり、PSWに割り付けられています。

リセット時 : 00000020H



ID	マスクブル割り込み処理の指定 ^注
0	マスクブル割り込み要求の受け付けを許可
1	マスクブル割り込み要求の受け付けを禁止

注 割り込み禁止フラグ (ID) の機能

DI命令でセット (1) , EI命令でリセット (0) されます。また、RETI命令およびPSWへのLDSR命令により値が書き換えられます。

ノンマスクブル割り込み要求および例外は、このフラグの状態に関係なく受け付けられます。また、マスクブル割り込み要求を受け付けると、IDフラグはハードウェアで自動的にセット (1) されます。

受け付け禁止期間中 (ID = 1) に発生した割り込み要求は、xxICnのxxIFnビットがセット (1) され、IDフラグがリセット (0) されると受け付けられます。

- ★ **備考** xx : 各周辺ユニット識別名称 (表5 - 2参照)
n : 周辺ユニット番号 (表5 - 2参照)

5.3.7 ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

8/1ビット単位でリード/ライト可能です (詳細は第9章 ウォッチドッグ・タイマ機能参照)。

リセット時 : 00H R/W アドレス : FFFFF384H

⑦	6	5	4	3	2	1	0
WDTM	RUN	0	0	WDTM4	0	0	0

RUN	ウォッチドッグ・タイマの動作制御
0	カウント動作停止
1	カウントをクリアしてカウント開始

WDTM4	タイマ・モード選択 / WDTによる割り込み制御
0	インターバル・タイマ・モード
1	WDTモード

注意 RUN, WDTM4ビットに“1”を書き込むと、リセット入力以外ではクリアできません。

5.3.8 ノイズ除去

(1) INTP0-INTP3端子のノイズ除去

INTP0-INTP3端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、各端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

(2) INTP4, INTP5端子のノイズ除去

INTP4, INTP5端子はデジタル・ノイズ除去回路を内蔵しています。

INTP端子の入力レベルをサンプリング・クロック (f_{xx}) で検出し、同じレベルが3回連続で検出されなかった場合は、ノイズとして除去します。次に注意事項を示します。

- ・入力パルス幅が2~3クロックの場合、有効エッジとして検出するかノイズとして除去するかは不定です。
- ・確実に有効エッジを検出するためには、3クロック以上の同一レベルの入力が必要です。
- ・サンプリング・クロックに同期してノイズが発生している場合、ノイズとして認められないことがあります。この場合、入力端子にフィルタを付加してノイズを除去してください。

(3) INTP6端子のノイズ除去

INTP6端子はデジタル・ノイズ除去回路を内蔵しています。

デジタル・サンプリングを行うサンプリング・クロックを f_{xx} , $f_{xx}/64$, $f_{xx}/128$, $f_{xx}/256$, $f_{xx}/512$, $f_{xx}/1024$, f_{XT} の中から選択できます。サンプリングの回数は3回です。

(a) ノイズ除去制御レジスタ (NCC)

ノイズ除去制御レジスタ (NCC) は、INTP6端子のデジタル・ノイズ除去クロックを選択します。ノイズ除去クロックに f_{XT} を使用すると、IDLE/STOPモード時にもINTP6外部割り込みの機能を使用することができます。8ビット単位でリード/ライト可能です。

注意 サンプリング・クロック変更後、ノイズ除去回路がイニシャライズされるのに、サンプリング・クロック×3クロック時間がかかります。そのため、サンプリング・クロックを変更してからサンプリング・クロック×3クロックの間に、INTP6の有効エッジが入力されると割り込み要求が発生する場合があります。したがって、割り込み機能、DMA機能を使用する場合は、次の点に注意してください。

- ・割り込み機能使用時は、サンプリング・クロック×3クロック経過後、割り込み要求フラグ (PIC6の7ビット) をクリアしてから割り込みを許可してください。
- ・DMA機能使用時は、サンプリング・クロック×3クロック経過後、DMAを許可してください (DCHCnの0ビット)。

リセット時 : 00H R/W アドレス : FFFFF3D4H

	7	6	5	4	3	2	1	0
NCC	0	0	0	0	0	NCS2	NCS1	NCS0

NCS2	NCS1	NCS0	ノイズ除去クロック	確実にノイズ除去するノイズ幅 ^{注1}	
				$f_{xx} = 20 \text{ MHz}$ ^{注2}	$f_{xx} = 12.58 \text{ MHz}$
0	0	0	f_{xx}	100 ns	158 ns
0	0	1	$f_{xx}/64$	6.4 μs	10.1 μs
0	1	0	$f_{xx}/128$	12.8 μs	20.3 μs
0	1	1	$f_{xx}/256$	25.6 μs	40.6 μs
1	0	0	$f_{xx}/512$	51.2 μs	81.3 μs
1	0	1	$f_{xx}/1024$	102.4 μs	162.7 μs
1	1	0	設定禁止		
1	1	1	f_{XT}	61 μs	

注1. 3回サンプリングするため、確実に除去するノイズ幅は、2×ノイズ除去クロックになります。

2. V850/SB1のみ

5.3.9 エッジ検出機能

INTP0-INTP6端子の有効エッジは、次の4種類から端子ごとに選択できます。

- ・立ち上がりエッジ
- ・立ち下がりエッジ
- ・両エッジ
- ・立ち上がり、立ち下がりエッジとも検出しない

立ち上がりエッジ指定レジスタ0 (EGP0) により、立ち上がりエッジの有効を制御します。また、立ち下がりエッジ指定レジスタ0 (EGN0) により、立ち下がりエッジの有効を制御します。EGP0, EGN0については5.2.5 NMI端子のエッジ検出機能を参照してください。

リセット後のINTP0-INTP6端子は“立ち上がり、立ち下がりエッジとも検出しない”になっていますので、EGP0, EGN0レジスタで有効エッジを許可しないと、割り込み要求を受け付けません（通常ポートとして機能します）。

P01-P07を出力ポートとして使用する場合は、INTP0-INTP6の有効エッジを“立ち上がり、立ち下がりとも検出しない”に設定するか、または割り込み要求をマスクしてください。

5.4 ソフトウェア例外

ソフトウェア例外は、CPUのTRAP命令の実行により発生する例外で、常に受け付け可能です。

- ・ TRAP命令フォーマット：TRAP vector（ただし、vectorは0-1FHの値）

命令機能の詳細は、V850シリーズ **ユーザーズ・マニュアル アーキテクチャ編**を参照してください。

5.4.1 動作

ソフトウェア例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

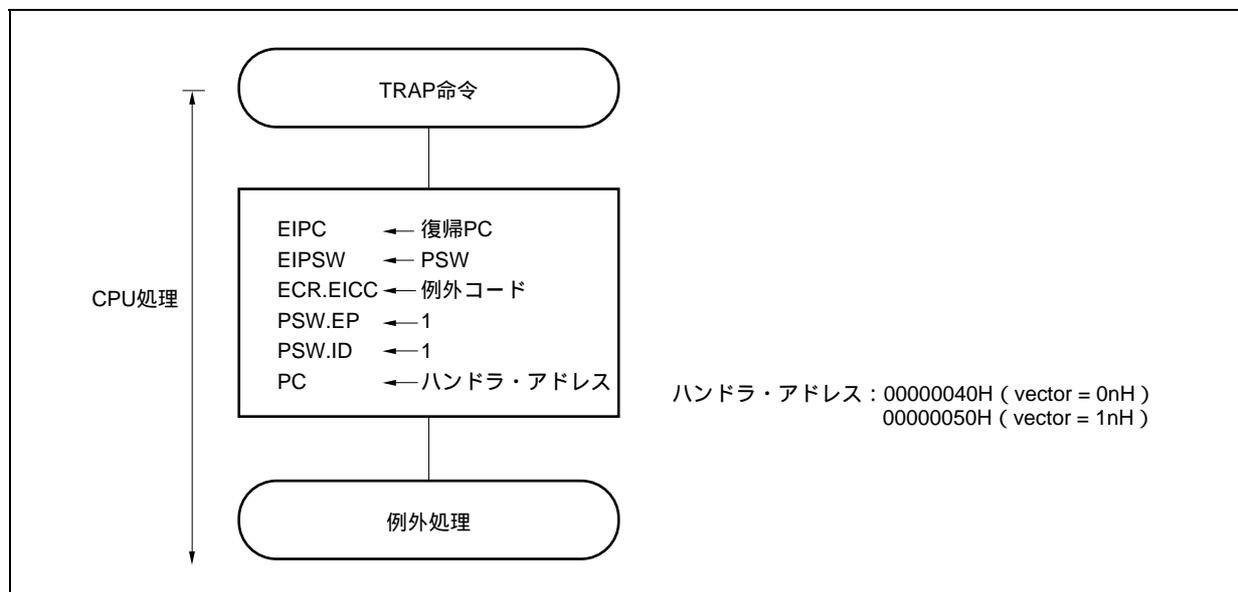
ECR（割り込み要因）の下位16ビット（EICC）に例外コードを書き込みます。

PSWのEP, IDビットをセットします。

PCにソフトウェア例外に対するハンドラ・アドレス（00000040H, 00000050H）をセットし、制御を移します。

ソフトウェア例外の処理形態を、次に示します。

図5 - 8 ソフトウェア例外の処理形態



5.4.2 復 帰

ソフトウェア例外処理からは，RETI命令で復帰します。

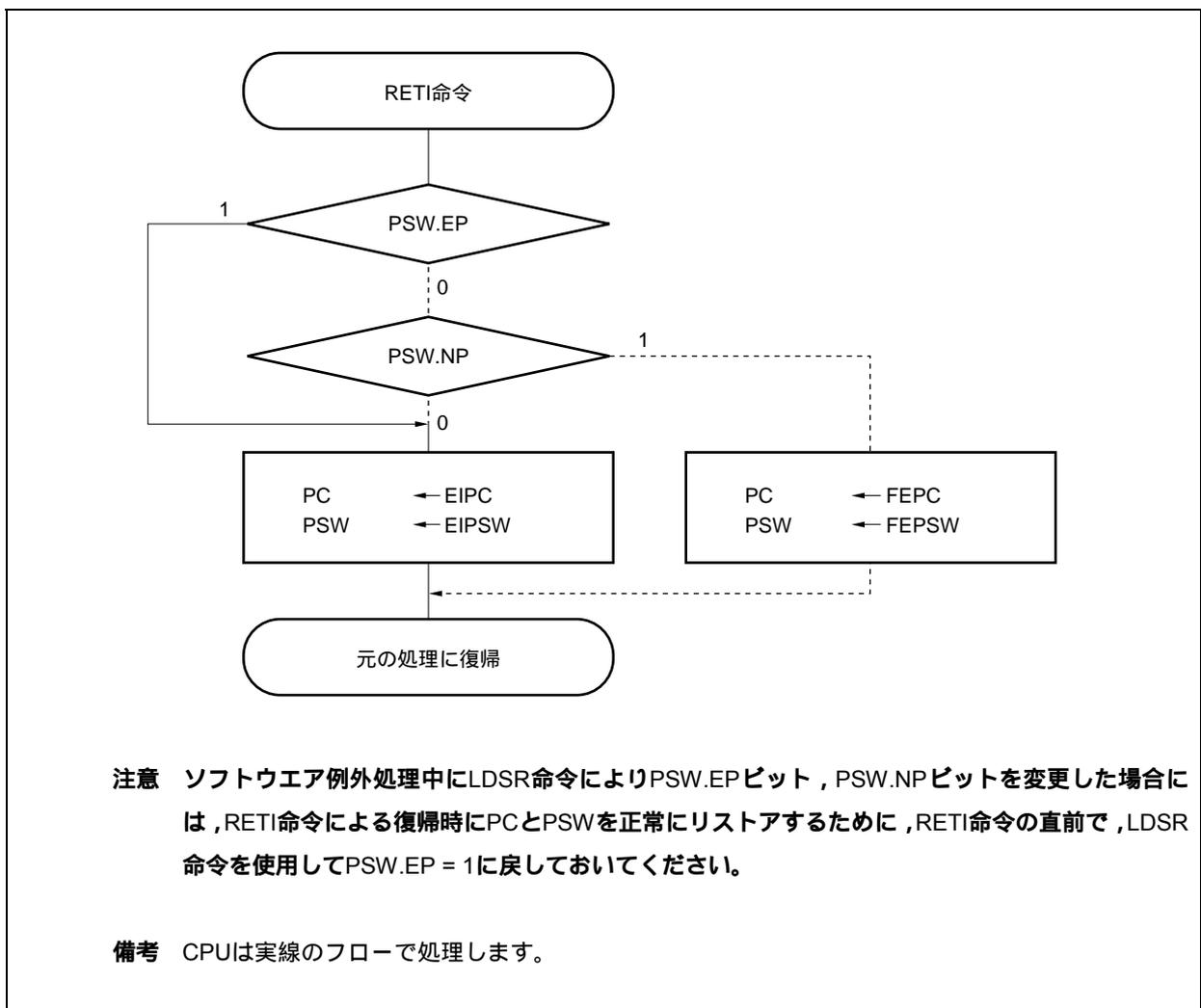
RETI命令の動作

RETI命令の実行により，CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットが1なので，EIPC, EIPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PC, PSWのアドレスに制御を移します。

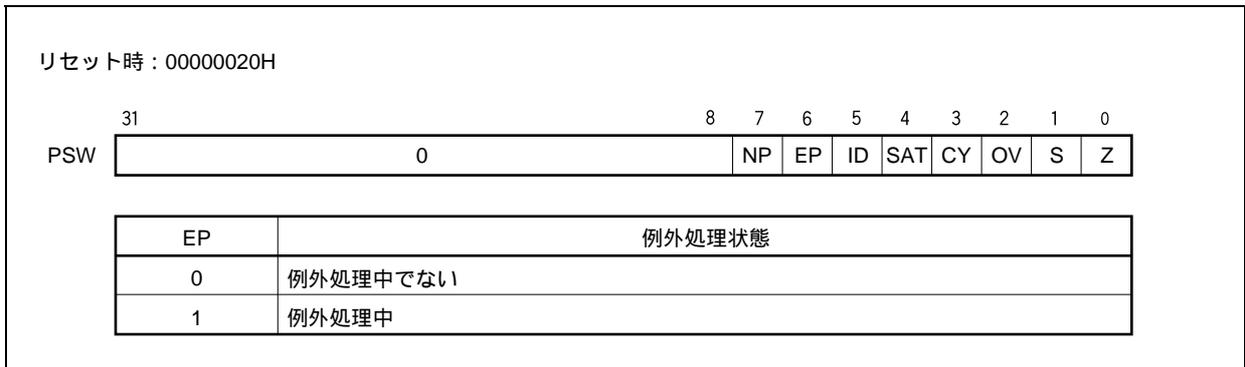
RETI命令の処理形態を次に示します。

図5 - 9 RETI命令の処理形態



5.4.3 EPフラグ

EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされ、割り込みを禁止します。



5.5 例外トラップ

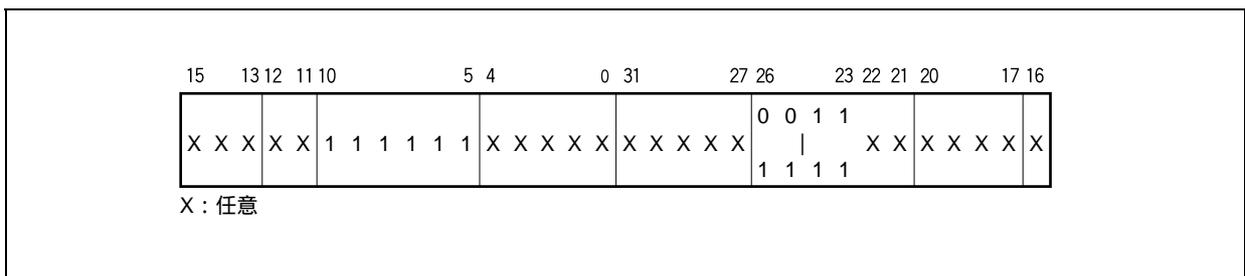
命令の不正実行が発生した場合に要求される割り込みです。V850/SB1, V850/SB2では、不正命令コード例外 (ILGOP : Illegal Opcode Trap) が例外トラップに当たります。

- ・不正命令コード例外：次に実行しようとする命令のサブオペコードが不正命令コードの場合に発生

5.5.1 不正命令コード

不正命令コードは、32ビット長命令形式で、ビット5-10が111111Bで、かつビット23-26が0011B-1111Bになる任意の命令コードとして定義します。

図5 - 10 不正命令コード



5.5.2 動作

例外トラップが発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

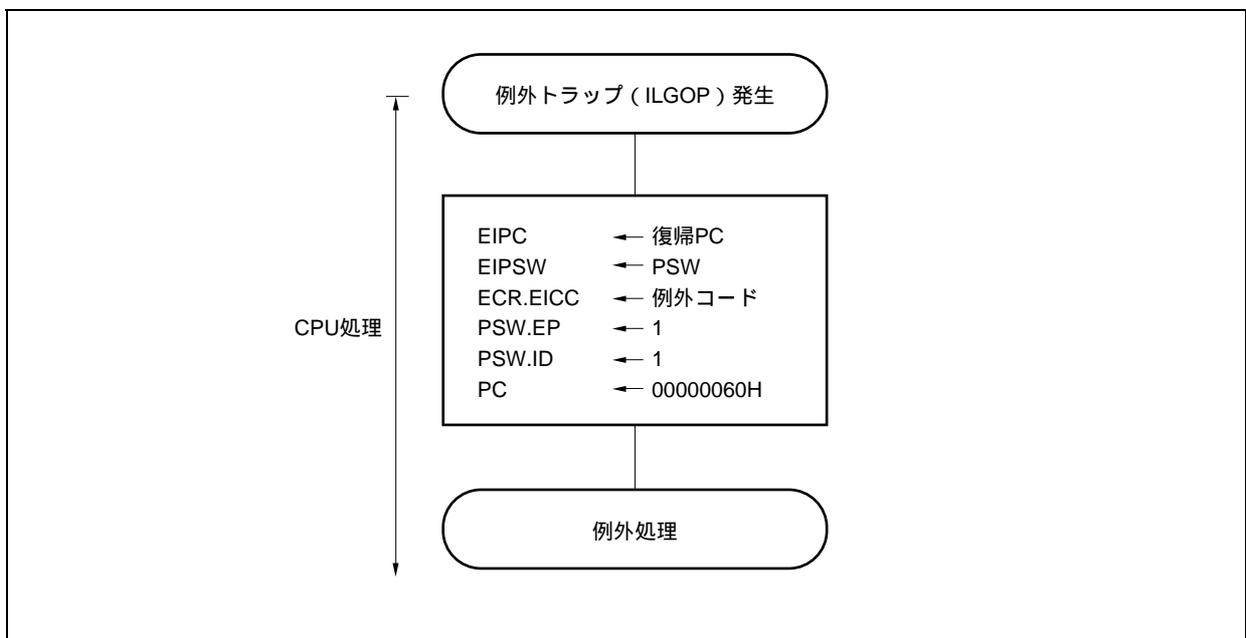
ECRの下位16ビット（EICC）に例外コード（0060H）を書き込みます。

PSWのEP, IDビットをセットします。

PCに例外トラップに対するハンドラ・アドレス（00000060H）をセットし，制御を移します。

例外トラップの処理形態を次に示します。

図5 - 11 例外トラップの処理形態



5.5.3 復 帰

例外トラップからは，RETI命令で復帰します。

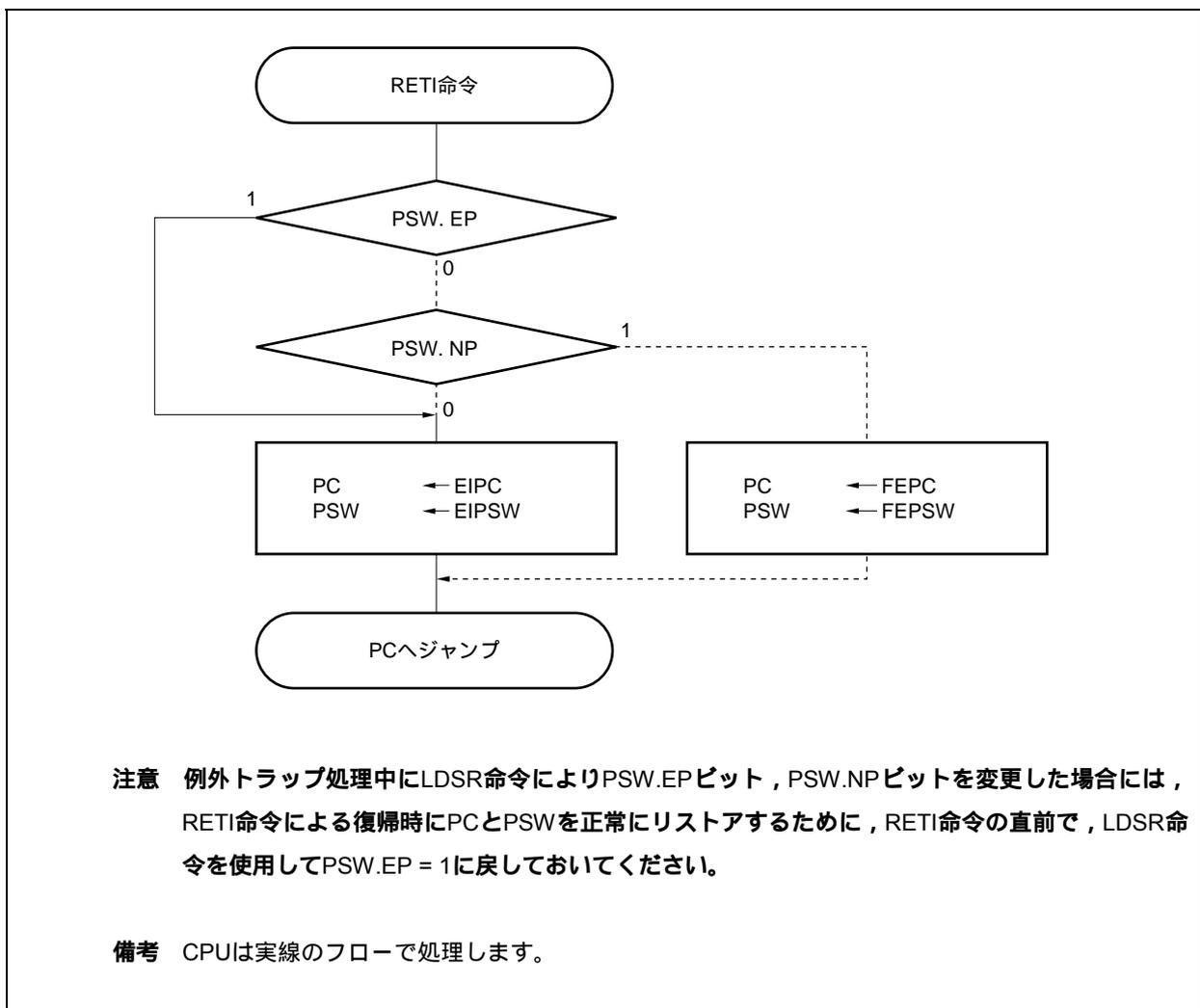
RETI命令の動作

RETI命令の実行により，CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットが1なので，EIPC, EIPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PC, PSWのアドレスに制御を移します。

RETI命令の処理形態を次に示します。

図5 - 12 RETI命令の処理形態



5.6 優先順位指定

5.6.1 割り込みと例外の優先順位

表5 - 3 割り込みと例外の優先順位

	RESET	NMI	INT	TRAP	ILGOP
RESET		*	*	*	*
NMI	X				
INT	X				
TRAP	X				
ILGOP	X				

RESET : リセット

NMI : ノンマスカブル割り込み

INT : マスカブル割り込み

TRAP : ソフトウェア例外

ILGOP : 不正命令コード例外

* : 左部の項目は上部の項目を無視する

X : 左部の項目は上部の項目に無視される
 : 上部の項目は左部の項目より優先順位が高い
 : 左部の項目は上部の項目より優先順位が高い

5.6.2 多重割り込み

多重割り込み処理制御は、現在処理中の割り込みより優先順位レベルの高い割り込み要求があった場合、現在処理中の割り込みを中断して、優先順位の高い割り込み要求を受け付ける機能です。

現在処理している割り込みの優先順位レベル以下の割り込み要求だった場合は、その割り込み要求は保留されます。

割り込みの多重処理制御は、割り込み許可状態 (ID = 0) のときに行われます。したがって、割り込み処理ルーチンでも割り込み許可状態 (ID = 0) にしてください。

マスカブル割り込みまたは例外のサービス・プログラム中に、マスカブル割り込みの許可または例外を発生させる場合は、EIPC, EIPSWを退避してください。

次のような手順で行います。

(1) サービス・プログラム中にマスカブル割り込み要求を受け付ける場合

マスカブル割り込みまたは例外のサービス・プログラム

```

...
...
・EIPCをメモリまたはレジスタへ退避
・EIPSWをメモリまたはレジスタへ退避
・EI命令（割り込み要求受け付け許可）
...
...
...
...
・DI命令（割り込み要求受け付け禁止）
・退避していた値をEIPSWに復帰
・退避していた値をEIPCに復帰
・RETI命令
    
```

INTP入力などの割り込み受け付け

(2) サービス・プログラム中に例外を発生させる場合

マスカブル割り込みまたは例外のサービス・プログラム

```

...
...
・EIPCをメモリまたはレジスタへ退避
・EIPSWをメモリまたはレジスタへ退避
・EI命令（割り込み要求受け付け許可）
...
...
・TRAP命令
・不正命令コード
...
...
・退避していた値をEIPSWに復帰
・退避していた値をEIPCに復帰
・RETI命令
    
```

TRAP命令などの例外受け付け
不正命令コード例外受け付け

多重割り込み処理制御のための優先順位は、各マスカブル割り込み要求ごとに0-7まで（0が最優先）の8レベルが、ソフトウェアで任意に設定できます。優先順位レベルの設定は、マスカブル割り込み要求ごとに用意されている割り込み要求制御レジスタ（xxICn）のxxPRn0-xxPRn2ビットで行います。リセット時には、xxMKnビットにより割り込み要求はマスクされ、xxPRn0-xxPRn2ビットにより優先順位はレベル7に設定されます。

- ★ **備考** xx：各周辺ユニット識別名称（表5-2参照）
n：周辺ユニット番号（表5-2参照）

マスクابل割り込みの優先順位

(高) レベル0 > レベル1 > レベル2 > レベル3 > レベル4 > レベル5 > レベル6 > レベル7 (低)

多重処理制御により中断された割り込み処理は、優先順位レベルの高い割り込み処理が終了し、RETI命令が実行されたあと、再開します。

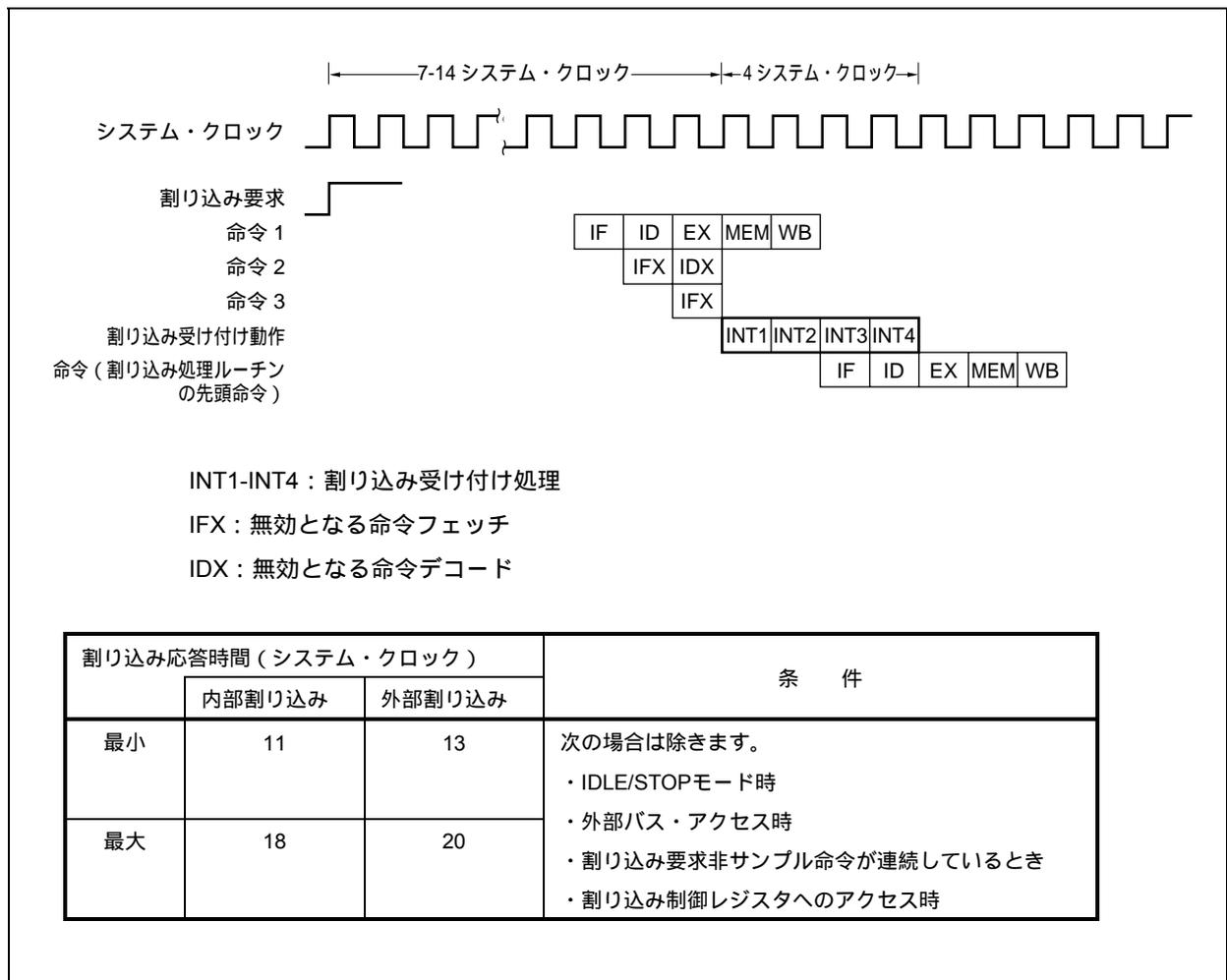
保留された割り込み要求は、実行中の割り込み処理が終了したあと、RETI命令の実行後に受け付けられます。

注意 ノンマスクابل割り込み処理ルーチン内 (RETI命令を実行するまでの期間) では、マスクابل割り込みを受け付けず、保留します。

5.7 応答時間

割り込み要求発生から割り込み処理が起動されるまでの割り込み応答時間を次に示します。

図5 - 13 割り込み要求受け付け時のパイプライン動作 (概略)



5.8 割り込みが受け付けられない期間

割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません。

割り込み要求非サンプル命令

- ・ EI命令
- ・ DI命令
- ・ LDSR reg2,0x5命令 (対PSW)

★ 5.8.1 EI命令後の割り込み要求有効タイミング

DI命令（割り込み禁止）かつ割り込みをマスクしていない（MKフラグ = 0）状態において、割り込み要求が発生（IFフラグ = 1）した場合、EI命令（割り込み許可）を実行するとCPUが割り込み要求を受け付けるまでに7システム・クロックが必要です。この7システム・クロック間にDI命令（割り込み禁止）を実行すると、CPUは割り込み要求を受け付けません。

したがって、EI命令（割り込み許可）実行後は、命令実行クロック数で7システム・クロック分の命令を挿入する必要があります。ただし、次の条件の場合7システム・クロック分確保しても割り込み要求は受け付けないので確保は禁止します。

- ・ IDLE/STOPモード
- ・ 割り込み要求非サンプリング命令（PSW.IDビットを操作する命令）
- ・ 割り込み要求制御レジスタ（xxICn）へのアクセス

次にプログラム処理例を示します。

【プログラム処理例】

```

DI
:           ; (MKフラグ = 0)
:           ; 割り込み要求発生 (IFフラグ = 1)
EI          ; EI命令実行
NOP         ; 1システム・クロック
NOP         ; 1システム・クロック
NOP         ; 1システム・クロック
NOP         ; 1システム・クロック
JR         LP1 ; 3システム・クロック (LP1ルーチンに分岐)
:
LP1        ; LP1ルーチン
DI          ; EI命令実行後, NOP x 4, JR命令により8クロック目に実行

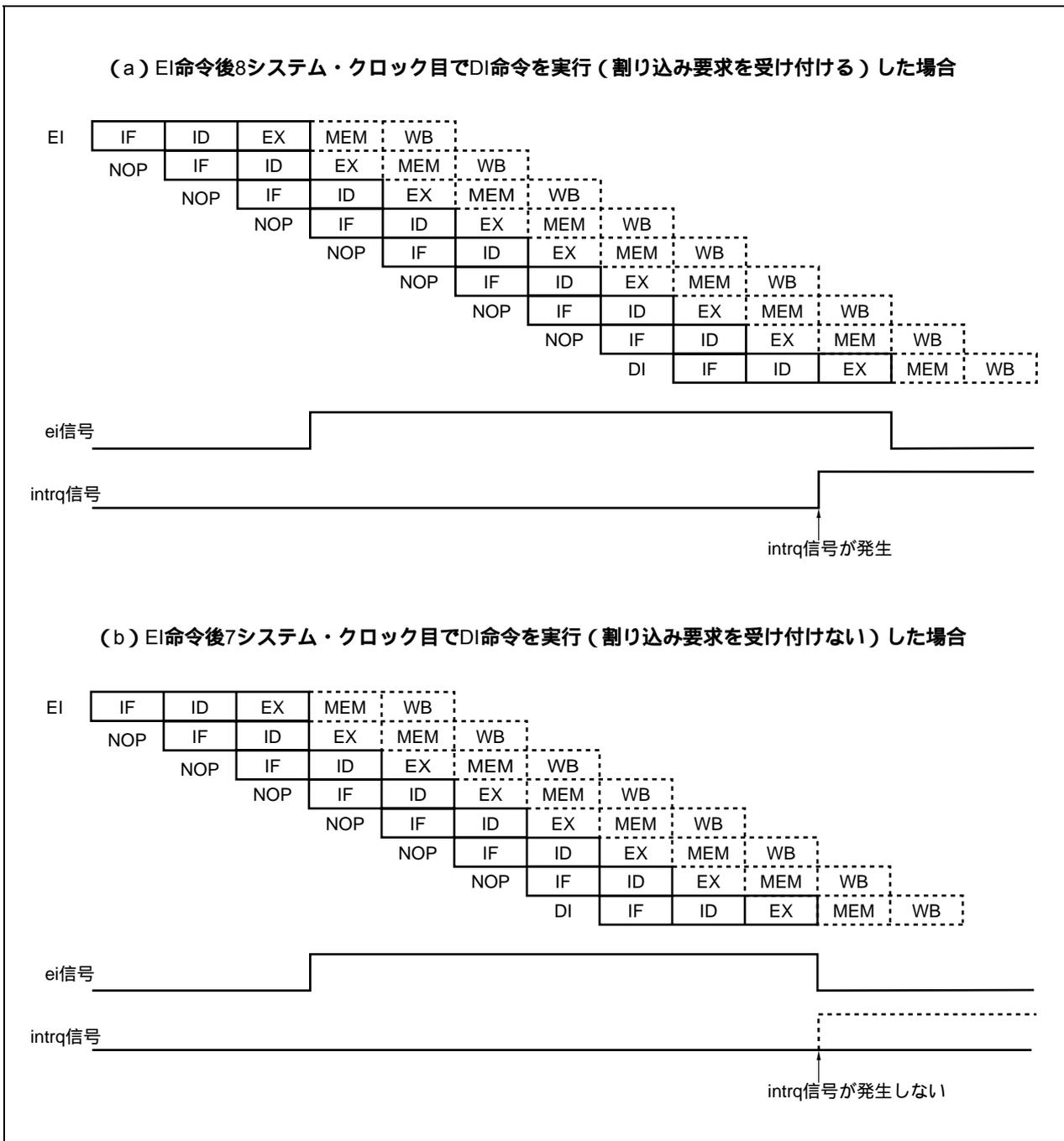
```

注

注 この期間にDI命令（PSW.ID = 1）を実行しないでください。

- 備考1.** この例の場合、DI命令はEI命令実行後、8システム・クロック目に実行されるので、CPUは割り込み要求を受け付け、割り込み処理を行います。
2. 割り込み処理ルーチンの命令がEI命令後の8システム・クロック目から実行するということではありません。割り込み処理ルーチンの命令を実行するのは、CPUが割り込み要求を受け付けてから4システム・クロック後です。
3. この例はEI命令実行前に割り込み要求が発生（IFフラグ = 1）した場合ですが、EI命令実行後に割り込み要求が発生した場合も、IFフラグがセット（1）されてから、7システム・クロック間は割り込み禁止（PSW.ID = 1）にすると、CPUは割り込み要求を受け付けません。

図5 - 14 パイプラインの流れと割り込み要求発生タイミング



★ 5.9 DMA転送時の割り込み制御レジスタのビット操作命令

DMA機能を使用している場合、EI状態で割り込み制御レジスタ (xxICn) をビット操作するとき、操作前にDI命令、操作後にEI命令を実行してください。または、割り込み制御ルーチンの先頭で、xxIFビットをクリア (0) してください。

なお、DMA機能を使用しない場合は、このような操作をする必要はありません。

備考 xx : 各周辺ユニット識別名称 (表5 - 2参照)

n : 周辺ユニット番号 (表5 - 2参照)

5.10 キー割り込み機能

キー・リターン・モード・レジスタ (KRM) の設定により、キー入力端子 (KR0-KR7) に立ち下がりエッジを入力することによって、キー割り込み (INTKR) を発生させることができます。

キー・リターン・モード・レジスタ (KRM) は5ビット内蔵しています。KRM0ビットは4ビット単位でKR0-KR3信号を制御して、KRM4-KRM7ビットはそれぞれKR4-KR7信号を制御します (4-8ビット間で任意に設定可能)。8/1ビット単位でリード/ライト可能です。

(1) キー・リターン・モード・レジスタ (KRM)

リセット時: 00H R/W アドレス: FFFFFFF3D0H

	⑦	⑥	⑤	④	3	2	1	①
KRM	KRM7	KRM6	KRM5	KRM4	0	0	0	KRM0

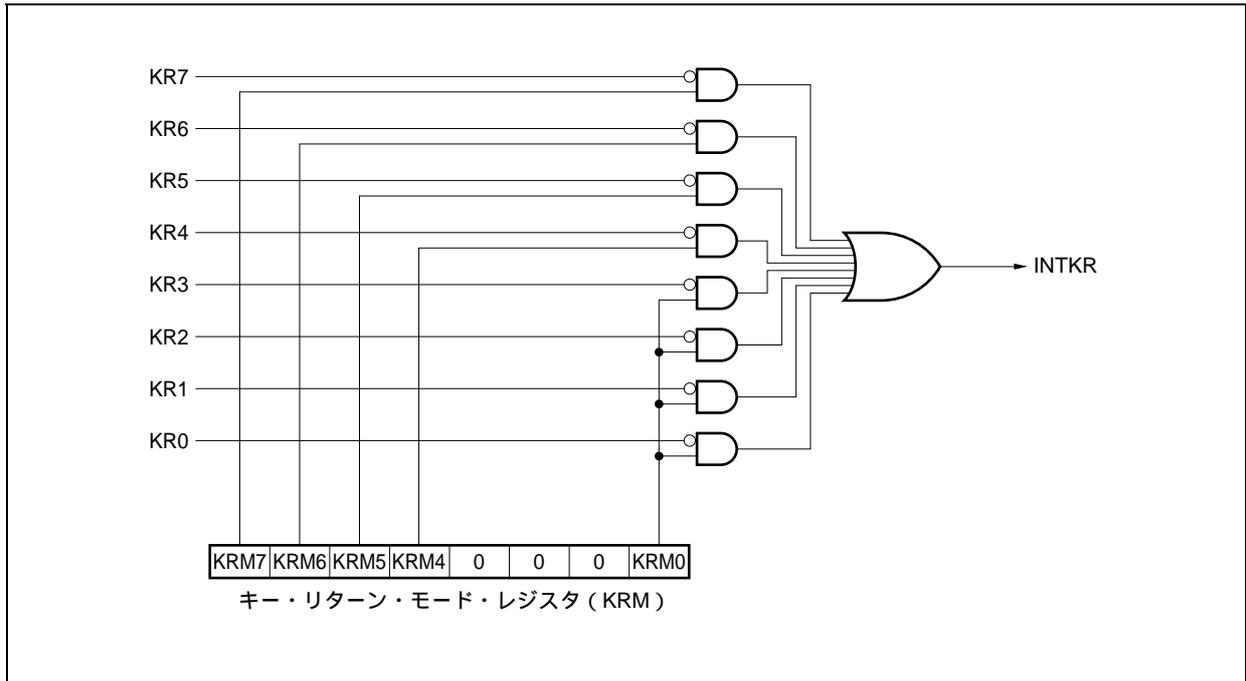
KRMn	キー・リターン・モードの制御
0	キー・リターン信号を検出しない
1	キー・リターン信号を検出する

注意 キー・リターン・モード・レジスタ (KRM) を変更すると、割り込み要求フラグがセットされる場合があります。したがって、あらかじめ割り込みを禁止してからKRMレジスタを変更し、割り込み要求フラグをクリアしてから、割り込みを許可してください。

表5 - 4 キー・リターン検出端子の割り当て

フラグ	設定される端子
KRM0	KR0-KR3信号を4ビット単位で制御
KRM4	KR4信号を1ビット単位で制御
KRM5	KR5信号を1ビット単位で制御
KRM6	KR6信号を1ビット単位で制御
KRM7	KR7信号を1ビット単位で制御

図5 - 15 キー・リターンのブロック図



第6章 クロック発生機能

6.1 概 要

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。システム・クロック発生回路には、次の2種類があります。

(1) メイン・クロック発生回路

V850/SB1は、2～20 MHzの周波数を発振します。V850/SB2のA品、B品は、2-12.58 MHz、V850/SB2のH品は、2-19 MHzの周波数を発振します。STOP命令の実行およびプロセッサ・クロック・コントロール・レジスタ（PCC）の設定により発振を停止できます。リセット期間中は発振を停止します。

IDLEモード時は、時計用タイマだけに周辺クロックを供給できます。したがって、IDLEモード時はサブクロック発振器を使用しなくても、時計用タイマをカウントさせることができます。

- 注意1.** リセット入力、STOP命令の実行によりメイン発振器が停止すると、その解除後に発振安定時間を確保します。発振安定時間は発振安定時間選択レジスタ（OSTS）で設定します。発振安定時間カウント用のタイマとしてウォッチドッグ・タイマを使用します。
2. PCCレジスタのMCKビットを1にセットしてメイン・クロックを停止したあとに、MCKビットを0にクリアしてメイン・クロック停止を解除した場合、発振安定時間は確保されません。

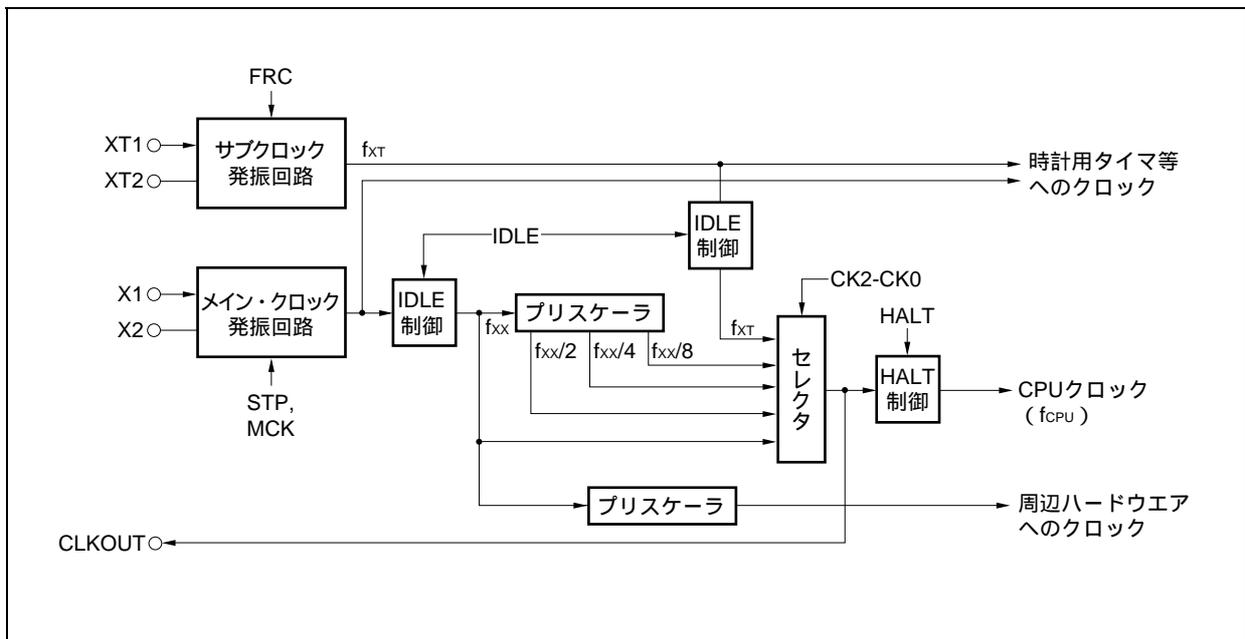
(2) サブクロック発生回路

32.768 kHzの周波数を発振します。STOP命令を実行しても発振は停止しません。また、リセット入力では発振を停止しません。

サブクロック発生回路を使用しないとき、プロセッサ・クロック・コントロール・レジスタ（PCC）のFRCビットで、内蔵帰還抵抗を使用しない設定にできます。これによってSTOPモード時の消費電流を低減できます。

6.2 構成

図6 - 1 クロック発生回路



6.3 クロック出力機能

CPUクロックをCLKOUT端子に出力する機能です。

クロック出力許可の場合、CPUクロックをCLKOUT端子に出力します。禁止の場合は、ロウ・レベルをCLKOUT端子に出力します。

IDLE, STOPモード時は、出力を停止します（ロウ・レベル固定）。

パワー・セーブ・コントロール・レジスタ（PSC）のDCLK1, DCLK0ビットで制御します。

リセット期間中はハイ・インピーダンス状態になります。リセット解除後はロウ・レベルを出力します。

注意 CLKOUTを出力している間は、CPUクロック（プロセッサ・クロック・コントロール・レジスタ（PCC）のCK2-CK0ビット）を変更しないでください。

6.3.1 制御レジスタ

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

このレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4.9 特定レジスタ参照)。8/1ビット単位でリード/ライト可能です。

リセット時：03H R/W アドレス：FFFFFF074H

	⑦	⑥	5	4	3	②	1	0
PCC	FRC	MCK	0	0	0	CK2	CK1	CK0

FRC	サブクロックの内蔵帰還抵抗の選択
0	使用する
1	使用しない

MCK	メイン・クロックの動作
0	動作
1	停止

CK2 ^{注1,2}	CK1	CK0	CPUクロックの選択
0	0	0	f _{xx}
0	0	1	f _{xx} /2
0	1	0	f _{xx} /4
0	1	1	f _{xx} /8
1	X	X	f _{XT} (サブクロック)

注1. CK2を操作する場合は、1ビット単位で操作してください。8ビット単位で操作する場合は、CK1, CK0の値は変更しないでください。

2. CPUがサブクロックで動作しているとき(CK2 = 1)は、HALTモード、ソフトウェアSTOPモードに設定しないでください。

注意1. CLKOUTを出力している間は、CPUクロック (PCCレジスタのCK2-CK0ビット) を変更しないでください。

2. CPUクロックがメイン・クロックで動作中にMCKビットを1にしてもメイン・クロックの動作は停止しません。CPUクロックがサブクロックに変更したあと停止します。

3. ビット3-5には必ず“0”を設定してください。

備考 X：任意

★

(a) メイン・クロック動作 サブクロック動作の設定例

- CK2 1 : ビット操作命令推奨。CK1, CK0は変更しない。
- サブクロック動作 : CK2ビットを設定したあと、サブクロック動作するまでに次に示す命令数が最大かかります。
(設定前のCPUクロック周波数 / サブクロック周波数) × 2
したがって、上記命令数分のウエイトをプログラムにより挿入してください。
- MCK 1 : メイン・クロックを停止するときのみ

(b) サブクロック動作 メイン・クロック動作の設定例

- MCK 0 : メイン・クロック発振開始
プログラムによりウエイトを挿入して、メイン・クロックの発振安定時間が経過するまで待ちます。
- CK2 0 : ビット操作命令推奨。CK1, CK0は変更しない。
- メイン・クロック動作 : CK2ビットを設定したあと、メイン・クロック動作するまでに最大2命令かかります。

(2) パワー・セーブ・コントロール・レジスタ (PSC)

このレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込み可能です(3.4.

9 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセット時 : C0H R/W アドレス : FFFFF070H

	7	6	5	4	3	②	①	0
PSC	DCLK1	DCLK0	0	0	0	IDLE	STP	0

DCLK1	DCLK0	CLKOUT端子動作指定
0	0	出力許可
0	1	設定禁止
1	0	設定禁止
1	1	出力禁止 (リセット時)

IDLE	IDLEモードの設定
0	通常モード
1	IDLEモード ^{注1}

STP	STOPモードの設定
0	通常モード
1	STOPモード ^{注2}

- ★ 注1. IDLEモードが解除されると、自動的にリセット(0)されます。
- 2. STOPモードが解除されると、自動的にリセット(0)されます。

★ **注意** DCLK0, DCLK1ビットは、8ビット単位で操作してください。

(3) 発振安定時間選択レジスタ (OSTS)

8ビット単位でリード/ライト可能です。

リセット時 : 04H R/W アドレス : FFFFF380H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS1	発振安定時間の選択		
			クロック	f _{xx}	
				20 MHz ^注	12.58 MHz
0	0	0	2 ¹⁴ /f _{xx}	819.2 μs	1.3 ms
0	0	1	2 ¹⁶ /f _{xx}	3.3 ms	5.2 ms
0	1	0	2 ¹⁷ /f _{xx}	6.6 ms	10.4 ms
0	1	1	2 ¹⁸ /f _{xx}	13.1 ms	20.8 ms
1	0	0	2 ¹⁹ /f _{xx}	26.2 ms	41.6 ms
上記以外			設定禁止		

注 V850/SB1のみ

6.4 パワー・セーブ機能

6.4.1 概要

各モードを組み合わせ、用途によって切り替えて使用すると、効果的な低消費電力システムを実現できます。パワー・セーブ機能には、次に示すものがあります。

(1) HALTモード

このモードでは、クロック発振回路は動作を継続しますが、CPUの動作クロックが停止します。その他の内蔵周辺機能へのクロック供給は継続され、動作を継続します。システムのトータルの消費電力を低減できます。

専用命令（HALT命令）により、HALTモードに移行します。

(2) IDLEモード

クロック発振回路の動作を継続したままでCPUの動作クロックと内蔵周辺機能の動作クロックを停止させることにより、システム全体を停止させるモードです。ただし、サブクロックは動作を継続し、サブクロックで動作している内蔵周辺機能にクロックを供給します。

このモードからの解除時に、発振回路の発振安定時間などを確保する必要がないため、高速に通常動作に移行できます。

パワー・セーブ・コントロール・レジスタ（PSC）のIDLEビットをセット（1）すると、IDLEモードに移行します。

(3) ソフトウェアSTOPモード

サブクロック・システム以外のクロック発振回路を停止させ、システム全体を停止させるモードです。サブクロックの供給は継続され、サブクロックで動作している内蔵周辺機能は動作を継続します。サブクロックを使用しない場合は、リーク電流だけの超低消費電力状態になります。サブクロックでCPUを動作させている場合は、STOPモードの設定を禁止します。

PSCレジスタのSTPビットをセット（1）すると、STOPモードに移行します。

(4) サブクロック動作

CPUクロックをサブクロック動作に設定し、PCCレジスタのMCKビットをセット（1）することにより、システム全体をサブクロックだけで動作させる低消費電力状態になります。

IDLEモードに設定するとCPUの動作クロックと一部の周辺機能（DMAC, BCU）が停止するため、HALTモードよりも消費電力を低減できます。

6.4.2 HALTモード

(1) 設定および動作状態

クロック発振回路は動作を継続しますが、CPUの動作クロックが停止するモードです。その他の内蔵周辺機能へのクロック供給は継続され、動作を継続します。CPUの空き時間にHALTモードに設定すると、システムのトータルの消費電力を低減できます。

HALTモードではプログラムの実行は停止しますが、その直前のすべてのレジスタと内蔵RAMの内容は保持されます。また、CPUの命令処理に依存しないオンチップの周辺機能は動作を継続します。

HALTモードは、HALT命令により移行します。CPUクロックがメイン・クロックの場合に設定できます。表6-1にHALTモード時の動作状態を示します。

(2) HALTモードの解除

HALTモードは、NMI要求、マスクされていないマスクブル割り込み要求、およびRESET端子入力により解除されます。

(a) 割り込み要求による解除

NMI要求、マスクされていないマスクブル割り込み要求により、優先順位とは無関係に解除されま
す。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のようになります。

(i) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求が発生するとHALTモードの解除だけ行い、この割り込み要求は受け付けません。割り込み要求そのものは保持します。

(ii) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求(NMI要求を含む)が発生すると、HALTモードの解除とともにこの割り込み要求を受け付けます。

(b) RESET端子入力による解除

通常のリセット動作と同じです。

★

表6 - 1 HALTモード時の動作状態 (1/2)

項目	HALTモードの 設定	CPUがメイン・クロックで動作中	
		サブクロックがない場合	サブクロックがある場合
CPU		停止	
ROMコレクション		停止	
クロック発生回路		メイン・クロック，サブクロックとも発振 CPUへのクロック供給は停止	
16ビット・タイマ (TM0)		動作	
16ビット・タイマ (TM1)		動作	
8ビット・タイマ (TM2)		動作	
8ビット・タイマ (TM3)		動作	
8ビット・タイマ (TM4)		動作	
8ビット・タイマ (TM5)		動作	
8ビット・タイマ (TM6)		動作	
8ビット・タイマ (TM7)		動作	
時計用タイマ		カウント・クロックにメイン・クロックを選択時 に動作	動作
ウォッチドッグ・タイマ		動作 (インターバル・タイマのみ)	
シリアル・ インタフェ ース	CSI0-CSI3	動作	
	I ² C0 ^注 , I ² C1 ^注	動作	
	UART0, UART1	動作	
	CSI4	動作	
IEBus (V850/SB2のみ)		動作	
A/Dコンバータ		動作	
DMA0-DMA5		動作	
リアルタイム出力		動作	
ポート機能		保持	
外部バス・インタフェース		バス・ホールド機能のみ動作	

注 Y品 (I²C内蔵品) のみ

★

表6 - 1 HALTモード時の動作状態 (2/2)

HALTモードの 設定		CPUがメイン・クロックで動作中	
		サブクロックがない場合	サブクロックがある場合
項目			
外部割り込み要求	NMI	動作	
	INTP0-INTP3	動作	
	INTP4, INTP5	動作	
	INTP6	動作	
キー・リターン機能		動作	
外部拡張モード時	AD0-AD15	ハイ・インピーダンス ^注	
	A16-A21	保持 ^注 ($\overline{\text{HLDAK}} = 0$ のときはハイ・インピーダンス)	
	$\overline{\text{LBEN}}, \overline{\text{UBEN}}$	保持 ^注 ($\overline{\text{HLDAK}} = 0$ のときはハイ・インピーダンス)	
	$\overline{\text{R/W}}$	ハイ・レベル出力 ^注 ($\overline{\text{HLDAK}} = 0$ のときはハイ・インピーダンス)	
	$\overline{\text{DSTB}}, \overline{\text{WRL}}, \overline{\text{WRH}}, \overline{\text{RD}}$		
	$\overline{\text{ASTB}}$		
	$\overline{\text{HLDAK}}$	動作	

注 HALT命令実行後も、内部の命令プリフェッチ・キューがいっぱいになるまでの間は、命令フェッチ動作を継続します。いっぱいになったあと、表6 - 1の状態ですべて停止します。

6.4.3 IDLEモード

(1) 設定および動作状態

クロック発振回路は動作を継続したままで、内部メイン・クロックの供給が停止し、システム全体（時計用タイムは除く）が停止するモードです。内部サブクロックの供給は継続されます。このモードからの解除時に、発振回路の発振安定時間を確保する必要がないため、高速に通常動作に移行できます。

IDLEモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタと内蔵RAMの内容は保持します。オンチップの周辺機能も動作を停止します（サブクロック動作中の周辺機能は停止しません）。外部バス・ホールド要求（ $\overline{\text{HLDRQ}}$ ）は受け付けません。

パワー・セーブ・コントロール・レジスタ（PSC）のIDLEビットをセット（1）すると、このモードに移行します。

表6 - 2にIDLEモード時の動作状態を示します。

(2) IDLEモードの解除

ノンマスカブル割り込み入力、動作可能な内蔵周辺I/Oから出力されるマスクされていないマスカブル割り込み要求、 $\overline{\text{RESET}}$ 端子入力により解除されます。

表6 - 2 IDLEモード時の動作状態

IDLEモードの 設定		サブクロックがある場合	サブクロックがない場合
項目			
CPU		停止	
ROMコレクション		停止	
クロック発生回路		メイン・クロック，サブクロックとも発振 CPU，内蔵周辺機能へのクロック供給は停止	
16ビット・タイマ (TM0)		カウント・クロックにINTW TNI選択時に動作 (時計用タイマのカウント・クロックにはf _{XT} を選 択)	停止
16ビット・タイマ (TM1)		停止	
8ビット・タイマ (TM2)		停止	
8ビット・タイマ (TM3)		停止	
8ビット・タイマ (TM4)		カウント・クロックにf _{XT} 選択時に動作	停止
8ビット・タイマ (TM5)		カウント・クロックにf _{XT} 選択時に動作	停止
★	8ビット・タイマ (TM6)	カウント・クロックにTO0選択時に動作 (ただしTM0動作時のみ)	
★	8ビット・タイマ (TM7)	カウント・クロックにTO0選択時に動作 (ただしTM0動作時のみ)	
時計用タイマ		動作	
ウォッチドッグ・タイマ		停止	
★	シリアル・ インタフェ ース	CSI0-C SI3	シリアル・クロックに外部クロック選択時に動作
		I ² C ⁰ ^注 , I ² C ¹ ^注	停止
		UART0, UART1	ポー・レート・クロックに外部クロック選択 (送信のみ) 時に動作
		CS14	シリアル・クロックに外部クロック選択時に動作
IEBus (V850/SB2のみ)		停止	
A/Dコンバータ		停止	
DMA0-DMA5		停止	
リアルタイム出力		INTTM4, INTTM5選択時に動作 (TM4, TM5動作 時)	停止
ポート機能		保持	
外部バス・インタフェース		停止	
外部割り込 み要求	NMI	動作	
	INTP0-INTP3	動作	
	INTP4, INTP5	停止	
	INTP6	ノイズ除去回路にf _{XT} 選択時に動作	停止
キー・リターン機能		動作	
外部拡張 モード時	AD0-AD15	ハイ・インピーダンス	
	A16-A21		
	LBEN, UBEN		
	R/W		
	DSTB, WRL, WRH, RD		
	ASTB		
	HLDK		

注 Y品 (I²C内蔵品) のみ

6.4.4 ソフトウェアSTOPモード

(1) 設定および動作状態

メイン・クロック発振回路を停止させ、内部メイン・クロックの供給が停止し、システム全体が停止するモードです。サブクロック発振回路は動作しており、内部サブクロックの供給は継続します。プロセッサ・クロック・コントロール・レジスタ (PCC) のFRCビットをセット (1) すると、サブクロック発振回路の内蔵帰還抵抗をカットします。これにより、デバイスのリーク電流だけの超低消費電力を実現します。

このモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタと内蔵RAMの内容は保持します。オンチップの周辺機能も動作を停止します (サブクロック動作中の周辺機能は停止しません)。

★ 外部バス・ホールド要求 ($\overline{\text{HLDRQ}}$) は受け付けません。

設定時のCPUクロックがメイン・クロックの場合だけ設定できます。パワー・セーブ・コントロール・レジスタ (PSC) のSTPビットをセット (1) すると、このモードに移行します。

CPUクロックにサブクロックを選択しているときは、このモードに設定しないでください。

表6 - 3にSTOPモード時の動作状態を示します。

(2) ソフトウェアSTOPモードの解除

ノンマスクブル割り込み入力、動作可能な内蔵周辺I/Oから出力されるマスクされていないマスクブル割り込み要求、 $\overline{\text{RESET}}$ 端子入力により解除されます。

STOPモードを解除したときは、発振回路の発振安定時間を確保します。

表6-3 ソフトウェアSTOPモード時の動作状態

STOPモードの 設定		サブクロックがある場合		サブクロックがない場合	
		サブクロックがある場合		サブクロックがない場合	
項目					
CPU		停止			
ROMコレクション		停止			
クロック発生回路		メイン・クロック発振停止, サブクロック発振 CPU, 内蔵周辺機能へのクロック供給は停止			
16ビット・タイマ (TM0)		カウント・クロックにINTWNTI選択時に動作 (時計用タイマのカウント・クロックにはf _{XT} を選 択)	停止		
16ビット・タイマ (TM1)		停止			
8ビット・タイマ (TM2)		停止			
8ビット・タイマ (TM3)		停止			
8ビット・タイマ (TM4)		カウント・クロックにf _{XT} 選択時に動作	停止		
8ビット・タイマ (TM5)		カウント・クロックにf _{XT} 選択時に動作	停止		
★	8ビット・タイマ (TM6)	カウント・クロックにTO0選択時に動作 (ただしTM0動作時のみ)			
★	8ビット・タイマ (TM7)	カウント・クロックにTO0選択時に動作 (ただしTM0動作時のみ)			
時計用タイマ		カウント・クロックにf _{XT} を選択時に動作	停止 (動作禁止)		
ウォッチドッグ・タイマ		停止			
★	シリアル・ インタフェ ース	CSI0-CSI3	シリアル・クロックに外部クロック選択時に動作		
		I ² C0 ^注 , I ² C1 ^注	停止		
		UART0, UART1	ポー・レート・クロックに外部クロック選択 (送信のみ) 時に動作		
		CSI4	シリアル・クロックに外部クロック選択時に動作		
IEBus (V850/SB2のみ)		停止			
A/Dコンバータ		停止			
DMA0-DMA5		停止			
リアルタイム出力		INTTM4, INTTM5選択時に動作 (TM4, TM5動作 時)	停止		
ポート機能		保持			
外部バス・インタフェース		停止			
外部割り込 み要求		NMI	動作		
		INTP0-INTP3	動作		
		INTP4, INTP5	停止		
		INTP6	ノイズ除去回路にf _{XT} 選択時に動作	停止	
キー・リターン機能		動作			
外部拡張 モード時		AD0-AD15	ハイ・インピーダンス		
		A16-A21			
		LBEN, UBEN			
		R/W			
		DSTB, WRL, WRH, RD			
		ASTB			
		HLDK			

注 Y品 (I²C内蔵品) のみ

6.5 発振安定時間の確保

STOPモード解除後の停止状態の発振回路が安定するまでの時間の確保について次に示します。

(1) ノンマスクابل割り込み、マスクされていないマスクابل割り込み要求で時間を確保する場合

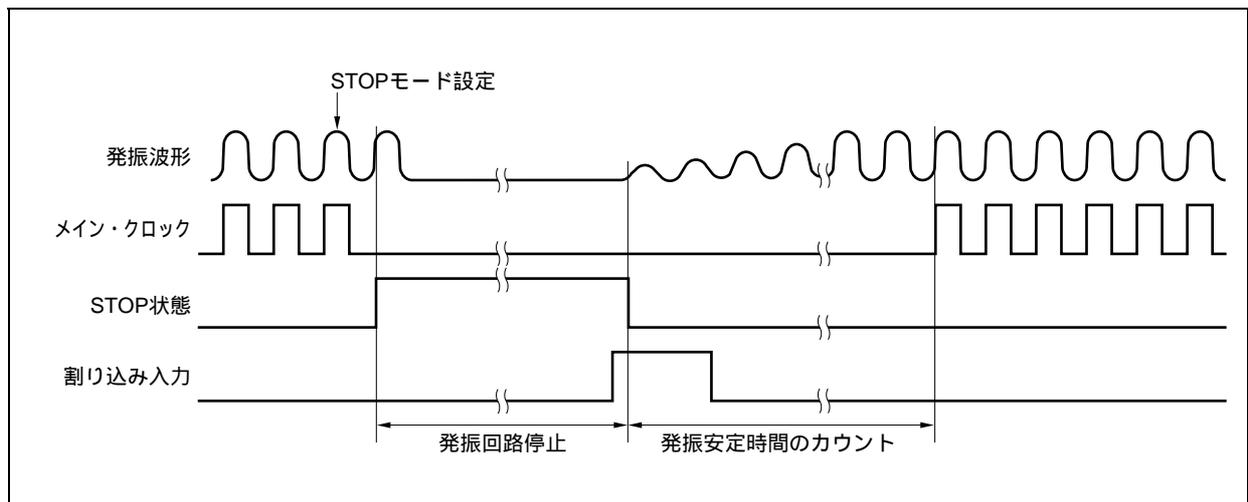
ノンマスクابل割り込み、マスクされていないマスクابل割り込み要求が入力されると、STOPモードが解除されます。割り込み入力でカウンタ（ウォッチドッグ・タイマ）がカウントを開始し、そのカウント時間で、発振回路からのクロック出力が安定するまでの時間を確保します。

- ★ 発振安定時間は、発振安定時間選択レジスタ（OSTS）により設定します。

発振安定時間 WDTカウント時間

所定時間後、システム・クロック出力が開始し、割り込みのハンドラ・アドレスに分岐します。

図6-2 発振安定時間



(2) RESET端子で時間を確保する場合（RESET端子入力）

RESET端子で時間を確保する場合には、第15章 リセット機能を参照してください。

- ★ 発振安定時間は、OSTSレジスタのリセット時の値により、 $2^{19}/f_{xx}$ になります。

6.6 パワー・セーブ機能に関する注意事項

★ (1) 内蔵ROM上で命令を実行しているとき

内蔵ROM上で命令を実行中に、パワー・セーブ・モード（IDLEモードまたはSTOPモード）に設定するときは、パワー・セーブ・モード解除後のルーチンが正しく実行されるように、ダミー命令としてNOP命令を挿入する必要があります。

パワー・セーブ・モード設定シーケンスを次に示します。

DMA動作を禁止する。

割り込み禁止にする（PSWレジスタのNPビットを1に設定）。

コマンド・レジスタ（PRCMD）に任意の8ビット・データを書き込む

PSCレジスタに設定データを書き込む（次の命令で行います）。

・ストア命令（ST/SST命令）

・ビット操作命令（SET1/CLR1/NOT1命令）

割り込み禁止を解除する（PSWレジスタのNPビットを0に戻す）。

NOP命令を挿入する（2または5命令）。

DMA動作が必要な場合、DMA動作を許可する。

注意1. NPビットを0に戻す（ ）命令の実行により、PSWのIDビットの値が変化しないときはNOP命令を2つ、変化するときはNOP命令を5つ挿入（ ）してください。
次に記述例を示します。

[記述例]

```

LDSR  rX, 5           ;NPビット = 1
ST.B  r0, PRCMD[r0]  ;PRCMDへの書き込み
ST.B  rD, PSC[r0]    ;PSCレジスタ設定
LDSR  rY, 5           ;NPビット = 0
NOP                                     ;ダミー命令 (2または5命令)
      :
NOP
(next instruction) ;IDLE/STOPモード解除後の実行ルーチン
      :
```

備考 rD：PSC設定値，rX：PSWに書き込む値，rY：PSWに書き戻す値が，設定済みとします。

なお、PSWの値を保存する場合、NPビットをセットする前のPSWの値をrYレジスタに転送しておいてください。

2. IDLEモード，STOPモードに設定するためのPSCレジスタに対するストア命令（ ）後の命令（ 割り込み禁止解除， NOP命令）は，各パワー・セーブ・モードに入る前に実行されます。

(2) 外部ROM上で命令を実行しているとき

V850/SB1, V850/SB2を次に示す発生条件で使用した場合、パワー・セーブ・モード解除後、プログラム・カウンタ（PC）の指すアドレスと、実際に命令を読み込むアドレスに、ずれが生じてしまいます。

このため、CPUはPSCレジスタに書き込みを行う命令の4バイト後から16バイト後の命令のうち、4/8バイト分の命令を無視して実行し、さらに誤った命令を実行してしまう可能性があります。

- ★ **注意** PCのずれは【発生条件】の(i) - (iii)のすべての条件がそろった場合のみ発生します。1つでも条件が異なれば発生しません。

【発生条件】

- (i) 外部ROM上で命令を実行中に、パワー・セーブ・モード（IDLEモードまたはSTOPモード）に設定
- (ii) 割り込み要求により、パワー・セーブ・モード解除
- (iii) パワー・セーブ・モード解除後、割り込み要求が保留された状態で、続く命令を実行

割り込み要求が保留される条件：

- ・ PSCレジスタのNPフラグが“1”の場合（NMI処理中/ソフトウェアによりセット）
- ・ PSCレジスタのIDフラグが“1”の場合（割り込み要求処理中/DI命令/ソフトウェアによりセット）
- ・ 割り込み要求処理中で、割り込み許可（EI）状態となっているが、処理中の割り込み要求に対して、優先順位が同じか低い割り込み要求で、解除された場合

したがって、次に示す条件でご使用ください。

【使用条件】

- (i) 外部ROM上で命令実行中に、パワー・セーブ・モード（IDLEモードまたは、STOPモード）を使用しない。
- (ii) 外部ROM上で命令を実行中に、パワー・セーブ・モードを使用する場合、次のようにソフトウェア対策を行う。
 - ・ PSCレジスタに書き込みを行う命令の4バイト後から、NOP命令を6個挿入する。
 - ・ NOP命令のあとに、PCのずれを解消するために、BR \$+2命令を挿入する。

【回避プログラム例】

```
LDSR  rX, 5           ; rXの値をPSWに設定
ST.B   r0, PRCMD[r0]  ; PRCMDへ書き込み
ST.B   rD, PSC[r0]    ; PSCレジスタ設定
LDSR   rY, 5           ; PSWの値を戻す
NOP                                         ; NOP命令6個以上
NOP
NOP
NOP
NOP
NOP
NOP
BR    $+2             ; PCのずれを解消
```

備考 rD : PSC設定値, rX : PSWに書き込む値, rY : PSWに書き戻す値が, 設定済みとします。

第7章 タイマ / カウンタ機能

7.1 16ビット・タイマ (TM0, TM1)

7.1.1 概要

16ビット・キャプチャ / コンペア・レジスタ : 各2本 (CRn0, CRn1)

独立したキャプチャ / トリガ入力 : 各2本 (TIn0, TIn1)

キャプチャ / 一致割り込み要求信号 (INTTMn0, INTTMn1) 出力可能

イベント入力 (TIn0と兼用) はデジタル・ノイズ除去回路を介して入力, エッジ指定可能

一致検出により動作するタイマ出力 : 各1本 (TOn)

P34/TO0, P35/TO1端子をTO0, TO1端子 (タイマ出力) として使用する場合は, ポート3 (P3) の値を "0" (ポート・モード出力) に, ポート3モード・レジスタ (PM3) の値を "0" にしてください。ポートとタイマの出力値の論理和 (OR) が出力されます。

備考 n = 0, 1

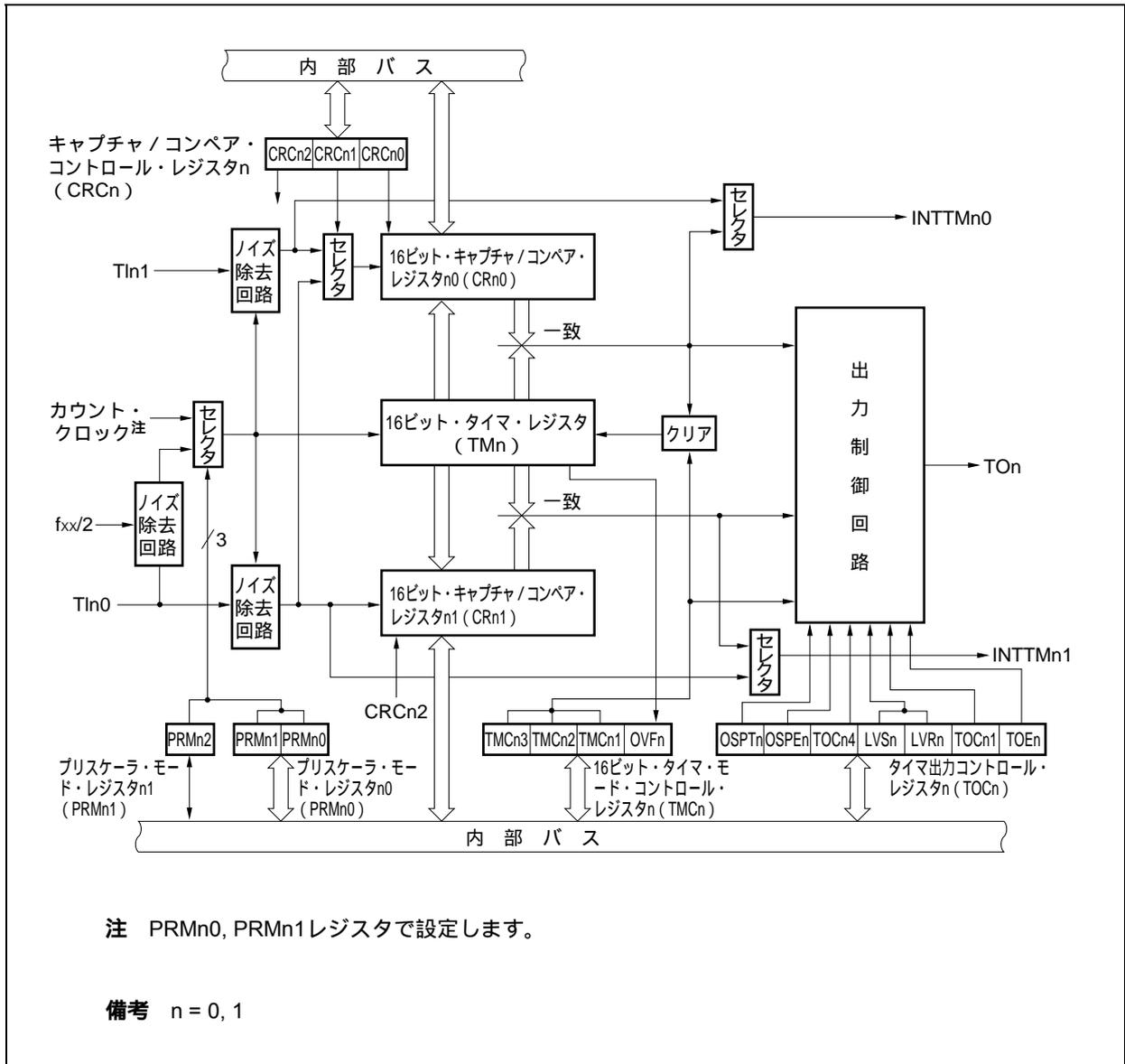
7.1.2 機能

TM0, TM1には, 次のような機能があります。

- ・ インターバル・タイマ
- ・ PPG出力
- ・ パルス幅測定
- ・ 外部イベント・カウンタ
- ・ 方形波出力
- ・ ワンショット・パルス出力

図7 - 1にブロック図を示します。

図7-1 TM0, TM1のブロック図



(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

(2) PPG出力

周波数と出力パルス幅を任意に設定できる矩形波を出力できます。

(3) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

(4) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(5) 方形波出力

任意の周波数の方形波出力が可能です。

(6) ワンショット・パルス出力

出力パルス幅を任意に設定できるワンショット・パルスを出力できます。

7.1.3 構成

タイマ0, 1は、次のハードウェアで構成されています。

表7-1 タイマ0,1の構成

項目	構成
タイマ・レジスタ	16ビット×2本 (TM0, TM1)
レジスタ	16ビット・キャプチャ/コンペア・レジスタ: 16ビット×各2本 (CRn0, CRn1)
タイマ出力	2本 (TO0, TO1)
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ0, 1 (TMC0, TMC1) キャプチャ/コンペア・コントロール・レジスタ0, 1 (CRC0, CRC1) 16ビット・タイマ出力コントロール・レジスタ0, 1 (TOC0, TOC1) プリスケラ・モード・レジスタn0, n1 (PRMn0, PRMn1)

(1) 16ビット・タイマ・レジスタ0, 1 (TM0, TM1)

TMnは、カウント・パルスをカウントする16ビットのリード専用レジスタです。

入力クロックの立ち上がりに同期して、カウンタをインクリメントします。また、動作中にカウント値を読み出した場合、カウント・クロックの入力を一時停止し、その時点でのカウント値を読み出します。次の場合、カウント値は0000Hになります。

RESET入力

TMCn3, TMCn2をクリア

TIn0有効エッジ入力でクリア&スタート・モード時のTIn0有効エッジが入力されたとき

CRn0の一致でクリア&スタート・モード時のTMnとCRn0の一致

ワンショット・パルス出力モードで、OSPTnのセットまたはTIn0有効エッジが入力されたとき

(2) 16ビット・キャプチャ/コンペア・レジスタn0 (CR00, CR10)

CRn0は、キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。

CRCnレジスタのCRCn0ビットにより、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

(a) CRn0をコンペア・レジスタとして使用するとき

CRn0に設定した値とTMnレジスタのカウント値を常に比較し、一致したときに割り込み要求 (INTTMn0) を発生します。TMnをインターバル・タイマ動作に設定したとき、インターバル時間を保持するレジスタとしても使用できます。

(b) CRn0をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTIn0端子またはTIn1端子の有効エッジが選択できます。TIn0またはTIn1の有効エッジの設定は、PRMn0レジスタで行います。

キャプチャ・トリガをTIn0端子の有効エッジに指定したときは表7-2、キャプチャ・トリガをTIn1端子の有効エッジに指定したときは表7-3のようになります。

表7-2 TIn0端子の有効エッジとCRn0のキャプチャ・トリガ

ESn01	ESn00	TIn0端子の有効エッジ	CRn0のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち上がりエッジ
0	1	立ち上がりエッジ	立ち下がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり / 立ち下がり両エッジ	キャプチャ動作しない

備考 n = 0, 1

表7-3 TIn1端子の有効エッジとCRn0のキャプチャ・トリガ

ESn11	ESn10	TIn1端子の有効エッジ	CRn0のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり / 立ち下がり両エッジ	立ち上がり / 立ち下がり両エッジ

備考 n = 0, 1

★ CRn0は、16ビット・メモリ操作命令で設定します。ただし、キャプチャ・レジスタとして使用するときは、16ビット・メモリ操作命令でリードのみ可能です。

RESET入力により0000Hになります。

注意 TMnとCRn0の一致でクリア&スタート・モードでは、CRn0には0000H以外の値を設定してください。ただし、フリー・ランニング・モードおよびTIn0の有効エッジでクリア&スタート・モードにおいて、CRn0に0000Hを設定した場合は、オーバフロー (FFFFH) 後に割り込み要求 (INTTMn0) を発生します。

(3) 16ビット・キャプチャ/コンペア・レジスタn1 (CR01, CR11)

キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。CRCnレジスタのCRCn2ビットにより、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

(a) CRn1をコンペア・レジスタとして使用するとき

CRn1に設定した値とTMnのカウンタ値を常に比較し、一致したときに割り込み要求 (INTTMn1) を発生します。

(b) CRn1をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTIn0端子の有効エッジが選択できます。TIn0の有効エッジの設定は、PRMn0レジスタで行います。

キャプチャ・トリガをTIn0端子の有効エッジに指定したときは表7-4のようになります。

表7-4 TIn0端子の有効エッジとCRn1のキャプチャ・トリガ

ESn01	ESn00	TIn0端子の有効エッジ	CRn1のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり/立ち下がり両エッジ	立ち上がり/立ち下がり両エッジ

備考 n = 0, 1

- ★ CRn1は、16ビット・メモリ操作命令で設定します。ただし、キャプチャ・レジスタとして使用するときは、16ビット・メモリ操作命令でリードのみ可能です。

$\overline{\text{RESET}}$ 入力により0000Hになります。

注意 TMnとCRn0の一致でクリア&スタート・モードでは、CRn1には0000H以外の値を設定してください。ただし、フリー・ランニング・モードおよびTIn0の有効エッジでクリア&スタート・モードにおいて、CRn1に0000Hを設定した場合は、オーバフロー (FFFFH) 後に割り込み要求 (INTTMn1) を発生します。

7.1.4 タイマ0, 1制御レジスタ

タイマ0, 1を制御するレジスタを次に示します。

- ・ 16ビット・タイマ・モード・コントロール・レジスタn (TMCn)
- ・ キャプチャ/コンペア・コントロール・レジスタn (CRCn)
- ・ 16ビット・タイマ出力コントロール・レジスタn (TOCn)
- ・ プリスケアラ・モード・レジスタn0, n1 (PRMn0, PRMn1)

また、次のレジスタも使用します。

- ・ 16ビット・タイマ・レジスタn (TMn)
- ・ 16ビット・キャプチャ/コンペア・レジスタn0, n1 (CRn0, CRn1)

(1) 16ビット・タイマ・モード・コントロール・レジスタ0, 1 (TMC0, TMC1)

16ビット・タイマの動作モード、16ビット・タイマ・レジスタn (TMn) のクリア・モード、出力タイミングの設定およびオーバーフローを検出するレジスタです。

TMCnは、8/1ビット・メモリ操作命令で設定します。

RESET \bar 入力により00Hになります。

注意 16ビット・タイマ・レジスタnは、TMCn2, TMCn3ビットに0, 0 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMCn2, TMCn3ビットに0, 0を設定してください。

リセット時：00H R/W アドレス：FFFFFF208H, FFFFFFF218H

	7	6	5	4	3	2	1	①
TMCn	0	0	0	0	TMCn3	TMCn2	TMCn1	OVFn
(n = 0, 1)								
TMCn3	TMCn2	TMCn1	動作モードおよび クリア・モードの選択	TO出力タイミング の選択	割り込みの発生			
0	0	0	動作停止 (TMnは0にクリア)	変化なし	発生しない			
0	0	1						
0	1	0	フリー・ランニング・ モード	TMnとCRn0の一致 または TMnとCRn1の一致	TMnとCRn0の一致 および TMnとCRn1の一致 で発生			
0	1	1						
0	1	1						
1	0	0	TIn0の有効エッジで クリア&スタート	TMnとCRn0の一致 または TMnとCRn1の一致				
1	0	1						
1	1	0	TMnとCRn0の一致 でクリア&スタート	TMnとCRn0の一致 または TMnとCRn1の一致				
1	1	1						
1	1	1						

OVFn	16ビット・タイマ・レジスタnのオーバフロー検出
0	オーバフローなし
1	オーバフローあり

- 注意1. OVFnビット以外のビットには、タイマ動作を停止してから書き込んでください。
2. TIn0端子の有効エッジの設定は、プリスケアラ・モード・レジスタn0 (PRMn0) で行います。
 3. TMnとCRn0の一致でクリア&スタートするモードを選択した場合、CRn0の設定値がFFFFHで、TMnの値がFFFFHから0000Hに変化するとき、OVFnビットが1に設定されます。
 4. ビット4-7には、必ず“0”を設定してください。

★
備考 TO_n : タイマnの出力端子
TIn₀ : タイマnの入力端子
TM_n : 16ビット・タイマ・レジスタn
CR_{n0} : コンペア・レジスタn0
CR_{n1} : コンペア・レジスタn1

(2) キャプチャ/コンペア・コントロール・レジスタ0, 1 (CRC0, CRC1)

16ビット・キャプチャ/コンペア・レジスタ n (CR n 0, CR n 1) の動作を制御するレジスタです。

CRC n は、8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF20AH, FFFFFFF21AH

	7	6	5	4	3	2	1	0
CRC n	0	0	0	0	0	CRC n 2	CRC n 1	CRC n 0

($n = 0, 1$)

CRC n 2	CR n 1の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC n 1	CR n 0のキャプチャ・トリガの選択
0	TIn1の有効エッジでキャプチャする
1	TIn0の有効エッジの逆相でキャプチャする

CRC n 0	CR n 0の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

注意1. CRC n の設定は、必ずタイマ動作を停止させてから行ってください。

2. 16ビット・タイマ・モード・コントロール・レジスタ n (TMC n) で、TM n とCR n 0の一致でクリア&スタート・モードを選択したとき、CR n 0をキャプチャ・レジスタに指定しないでください。
3. TIn0の有効エッジに立ち上がり/立ち下がりの両エッジを選択した場合には、CR n 0レジスタにはキャプチャは動作しません。
4. キャプチャ・トリガは、TIn0, TIn1からの信号を確実にキャプチャ動作させるために、プリスケアラ・モード・レジスタ0 n , 1 n (PRM0 n , PRM1 n) で選択したカウント・クロックの2回分より長いパルスが必要となります。
5. ビット3-7には必ず“0”を設定してください。

★

(3) 16ビット・タイマ出力コントロール・レジスタ0, 1 (TOC0, TOC1)

タイマn出力制御回路の動作を制御するレジスタです。R-S型フリップフロップ (LV0) のセット/リセット, 出力の反転許可/禁止, タイマnのタイマ出力許可/禁止, ワンショット・パルス出力動作の許可/禁止およびソフトウェアによるワンショット・パルスの出力トリガを設定します。

TOCnは, 8/1ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

リセット時: 00H R/W アドレス: FFFFF20CH, FFFFF21CH

	7	⑥	⑤	4	③	②	1	①
TOCn	0	OSPTn	OSPEn	TOCn4	LVSn	LVRn	TOCn1	TOEn
(n = 0, 1)								
OSPTn	ソフトウェアによるワンショット・パルスの出力トリガの制御							
0	ワンショット・パルス・トリガなし							
1	ワンショット・パルス・トリガあり							
OSPEn	ワンショット・パルスの出力動作の制御							
0	連続パルス出力							
1	ワンショット・パルス出力 ^注							
TOCn4	CRn1とTMnの一致によるタイマ出力F/Fの制御							
0	反転動作禁止							
1	反転動作許可							
LVSn	LVRn	タイマnのタイマ出力F/Fの状態の設定						
0	0	変化しない						
0	1	タイマ出力F/Fをリセット (0)						
1	0	タイマ出力F/Fをセット (1)						
1	1	設定禁止						
TOCn1	CRn0とTMnの一致またはTln0の有効エッジによるタイマ出力F/Fの制御							
0	反転動作禁止							
1	反転動作許可							
TOEn	タイマnの出力の制御							
0	出力禁止 (出力は0レベルに固定)							
1	出力許可							

注 ワンショット・パルス出力はフリー・ランニング・モード, Tln0の有効エッジでクリア&スタート・モードでのみ正常動作します。

注意1. TOCnの設定は, 必ずタイマ動作を停止させてから行ってください。

2. データ設定後にLVSn, LVRnを読み出すと, 0になっています。

3. OSPTnはデータ設定後に自動的にクリアされるので, 読み出すと0になっています。

4. ワンショット・パルス出力以外 (OSPEnビット = 0) の場合は, OSPTnをセット (1) しないでください。

(4) プリスケアラ・モード・レジスタ00, 01 (PRM00, PRM01)

16ビット・タイマ (TM0) のカウント・クロックおよびTI0n入力の有効エッジを設定するレジスタです。PRM00, PRM01は、8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF206H

	7	6	5	4	3	2	1	0
PRM00	ES011	ES010	ES001	ES000	0	0	PRM01	PRM00

リセット時：00H R/W アドレス：FFFFFF20EH

	7	6	5	4	3	2	1	0
PRM01	0	0	0	0	0	0	0	PRM02

ES011	ES010	TI01有効エッジの選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がりの両エッジ

ES001	ES000	TI00有効エッジの選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がりの両エッジ

PRM02	PRM01	PRM00	カウント・クロックの選択		
			カウント・クロック	f _{xx}	
0				20 MHz ^{注2}	12.58 MHz
0	0	0	f _{xx} /2	100 ns	158 ns
0	0	1	f _{xx} /16	800 ns	1.3 μs
0	1	0	INTWTNI	-	-
1	1	1	TI00有効エッジ ^{注1}	-	-
1	0	0	f _{xx} /4	200 ns	318 ns
1	0	1	f _{xx} /64	3.2 μs	5.1 μs
1	1	0	f _{xx} /256	12.8 μs	20.3 μs
	1	1	設定禁止	-	-

注1. 外部クロックは、内部クロック (f_{xx}/2) の2回分より長いパルスが必要になります。

2. V850/SB1のみ

- 注意1. カウント・クロックにTI00の有効エッジを設定する場合、TI00有効エッジでクリア&スタート・モードまたはTI00をキャプチャ・トリガに設定しないでください。
2. PRM0nは、必ずタイマ動作を停止させてからデータを設定してください。
3. システム・リセット直後にTI0n端子がハイ・レベルの場合、TI0n端子の有効エッジを立ち上がり、または両エッジに指定して、16ビット・タイマ(TM0)の動作を許可すると、その直後に立ち上がりエッジを検出します。TI0n端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。

(5) プリスケアラ・モード・レジスタ10, 11 (PRM10, PRM11)

16ビット・タイマ (TM1) のカウント・クロックおよびTI1n入力の有効エッジを設定するレジスタです。
 PRM10, PRM11は、8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF216H

	7	6	5	4	3	2	1	0
PRM10	ES111	ES110	ES101	ES100	0	0	PRM11	PRM10

リセット時：00H R/W アドレス：FFFFFF21EH

	7	6	5	4	3	2	1	0
PRM11	0	0	0	0	0	0	0	PRM12

ES111	ES110	TI11有効エッジの選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がりの両エッジ

ES101	ES100	TI10有効エッジの選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がりの両エッジ

PRM12	PRM11	PRM10	カウント・クロックの選択		
			カウント・クロック	f _{xx}	
0					20 MHz ^{注2}
0	0	0	f _{xx} /2	100 ns	158 ns
0	0	1	f _{xx} /4	200 ns	318 ns
0	1	0	f _{xx} /16	800 ns	1.3 μs
1	1	1	TI10有効エッジ ^{注1}	-	-
1	0	0	f _{xx} /32	1.6 μs	2.5 μs
1	0	1	f _{xx} /128	6.4 μs	10.2 μs
1	1	0	f _{xx} /256	12.8 μs	20.3 μs
	1	1	設定禁止	-	-

注1. 外部クロックは、内部クロック (f_{xx}/2) の2回分より長いパルスが必要になります。

2. V850/SB1のみ

- 注意1. カウント・クロックにTI10の有効エッジを設定する場合、TI10有効エッジでクリア&スタート・モードまたはTI10をキャプチャ・トリガに設定しないでください。
2. PRM1nは、必ずタイマ動作を停止させてからデータを設定してください。
3. システム・リセット直後にTI1n端子がハイ・レベルの場合、TI1n端子の有効エッジを立ち上がり、または両エッジに指定して、16ビット・タイマ(TM1)の動作を許可すると、その直後に立ち上がりエッジを検出します。TI1n端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。

7.2 16ビット・タイマの動作

7.2.1 インターバル・タイマ (16ビット) としての動作

16ビット・タイマ・モード・コントロール・レジスタ n (TMC n) と、キャプチャ/コンペア・コントロール・レジスタ n (CRC n) を図7-2のように設定することにより、インターバル・タイマとして動作します ($n = 0, 1$)。

16ビット・キャプチャ/コンペア・レジスタ $n0$ (CR $n0$) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生します。

16ビット・タイマ・レジスタ n (TM n) のカウント値がCR $n0$ に設定した値と一致したとき、TM n の値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM $n0$) が発生します。

プリスケアラ・モード・レジスタ $n0$ (PRM $n0$) のPRM $n0$, PRM $n1$ ビットとプリスケアラ・モード・レジスタ $n1$ (PRM $n1$) のPRM $n2$ ビットで、16ビット・タイマ/イベント・カウンタのカウント・クロックを選択できます。

図7-2 インターバル・タイマ動作時の制御レジスタ設定内容

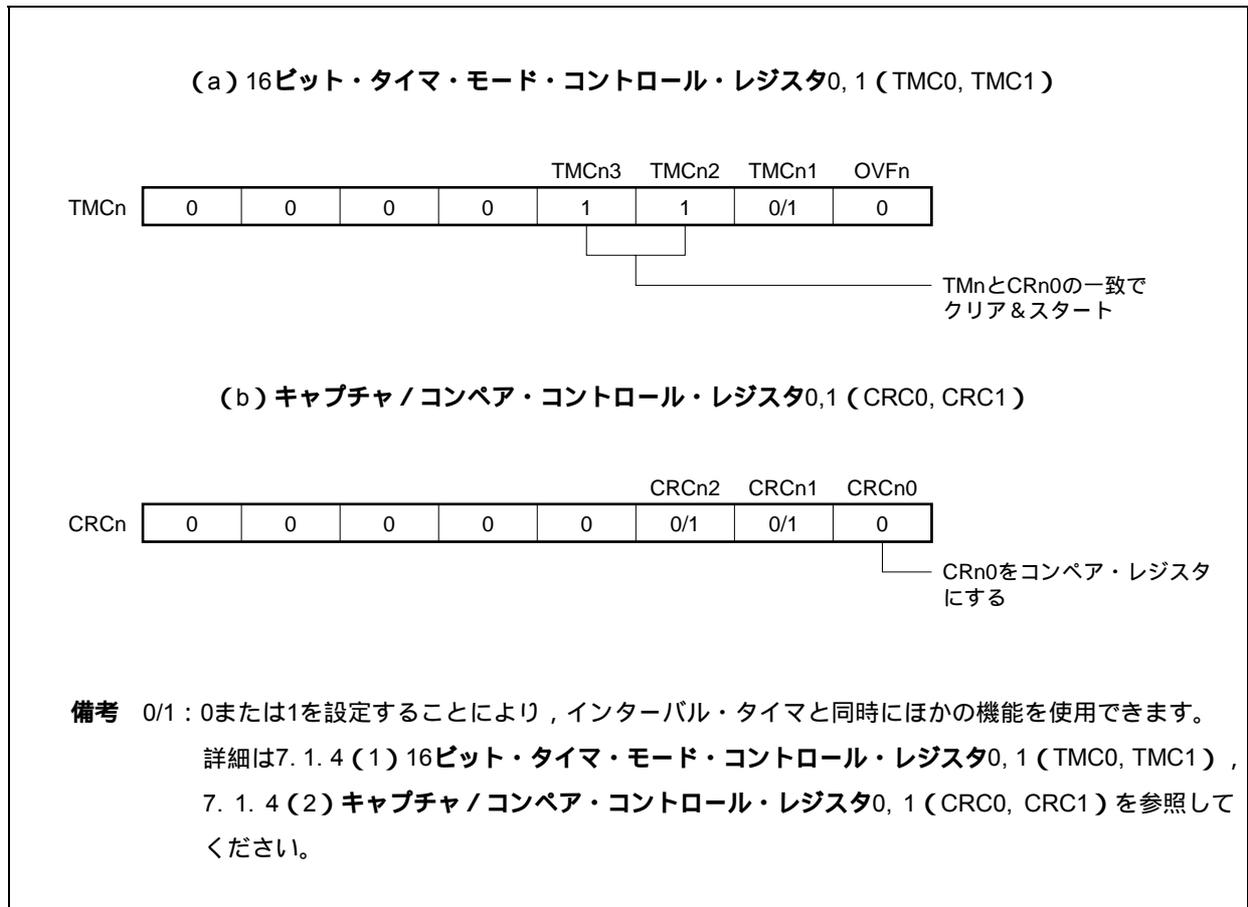


図7-3 インターバル・タイマの構成図

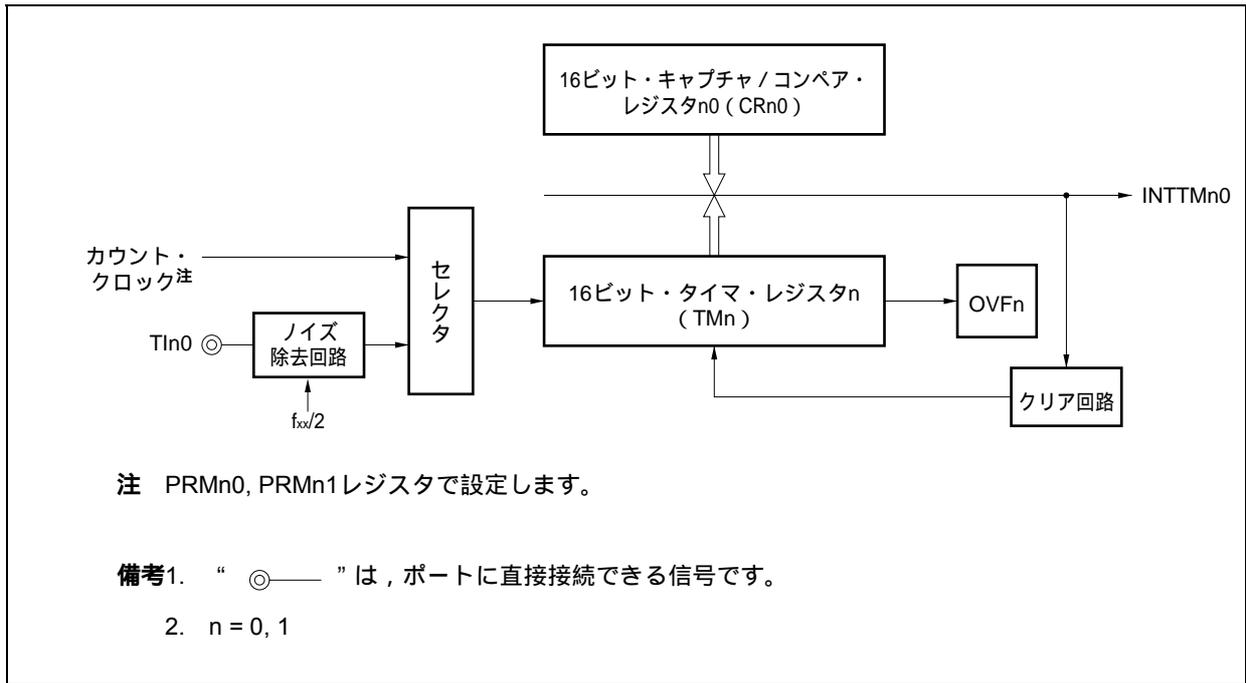
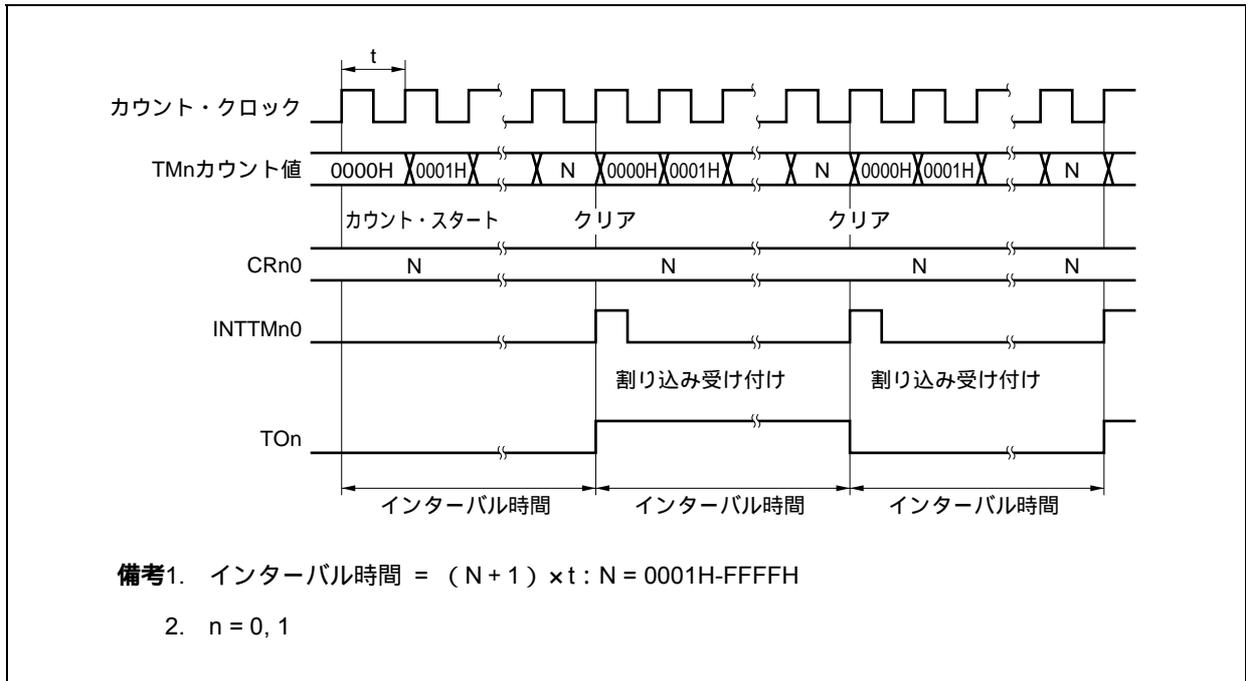


図7-4 インターバル・タイマ動作のタイミング

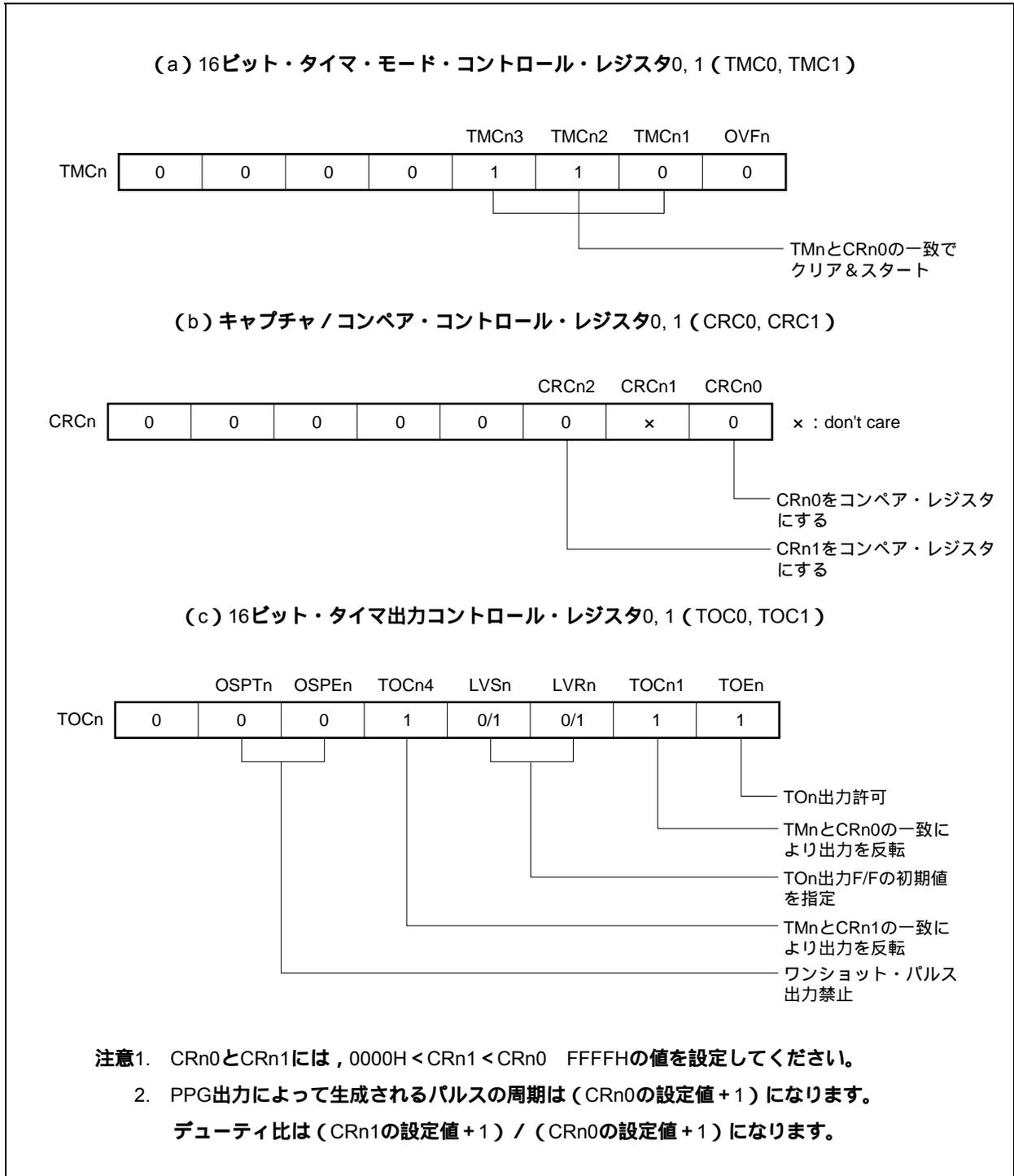


7.2.2 PPG出力としての動作

16ビット・タイマ・モード・コントロール・レジスタn (TMCn) と、キャプチャ/コンペア・コントロール・レジスタn (CRCn) を図7-5のように設定すると、PPG (Programmable Pulse Generator) 出力として動作します。

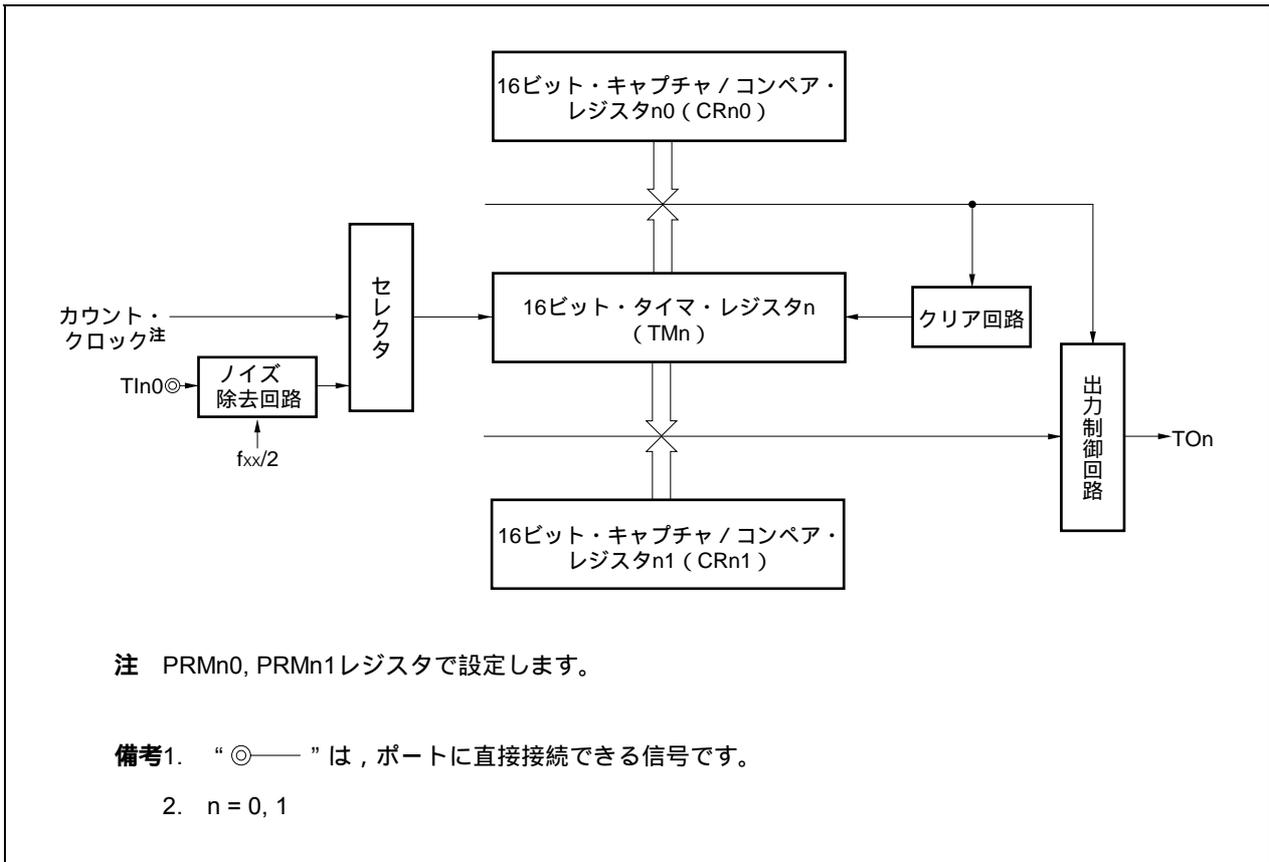
PPG出力パルスは、16ビット・キャプチャ/コンペア・レジスタn0 (CRn0) にあらかじめ設定したカウント値を1周期とし、16ビット・キャプチャ/コンペア・レジスタn1 (CRn1) にあらかじめ設定したカウント値をパルス幅とする矩形波をTOn端子から出力します。

図7-5 PPG出力動作時の制御レジスタ設定内容



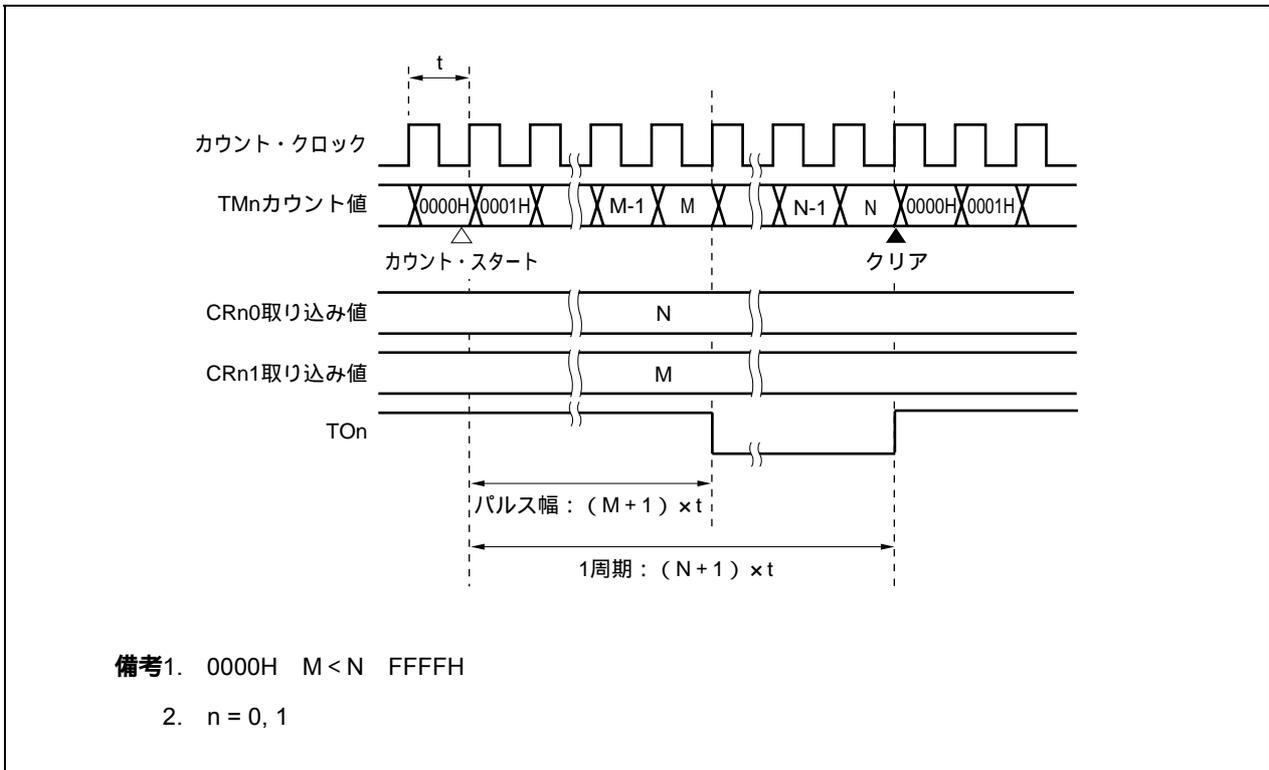
★

図7-6 PPG出力の構成図



★

図7-7 PPG出力動作のタイミング



7.2.3 パルス幅測定としての動作

16ビット・タイマ・レジスタ (TMn) を使用し, TIn0端子およびTIn1端子に入力される信号のパルス幅を測定できます。

測定方法には, TMnをフリー・ランニングさせて測定する方法と, TIn0端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

(1) フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定

16ビット・タイマ・レジスタn (TMn) をフリー・ランニングで動作させているとき (図7-8参照), TIn0端子にプリスケラ・モード・レジスタn0 (PRMn0) で指定したエッジが入力されると, TMnの値を16ビット・キャプチャ/コンペア・レジスタn1 (CRn1) に取り込み, 外部割り込み要求信号 (INTTMn1) をセットします。

エッジ指定は, プリスケラ・モード・レジスタn0 (PRMn0) のビット6, 7 (ESn10, ESn11) で行い, 立ち上がり, 立ち下がり, 両エッジの3種類の選択ができます。

有効エッジの検出は, プリスケラ・モード・レジスタn0, n1 (PRMn0, PRMn1) で選択したカウント・クロック周期でサンプリングを行い, 2回有効レベルを検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

図7-8 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容

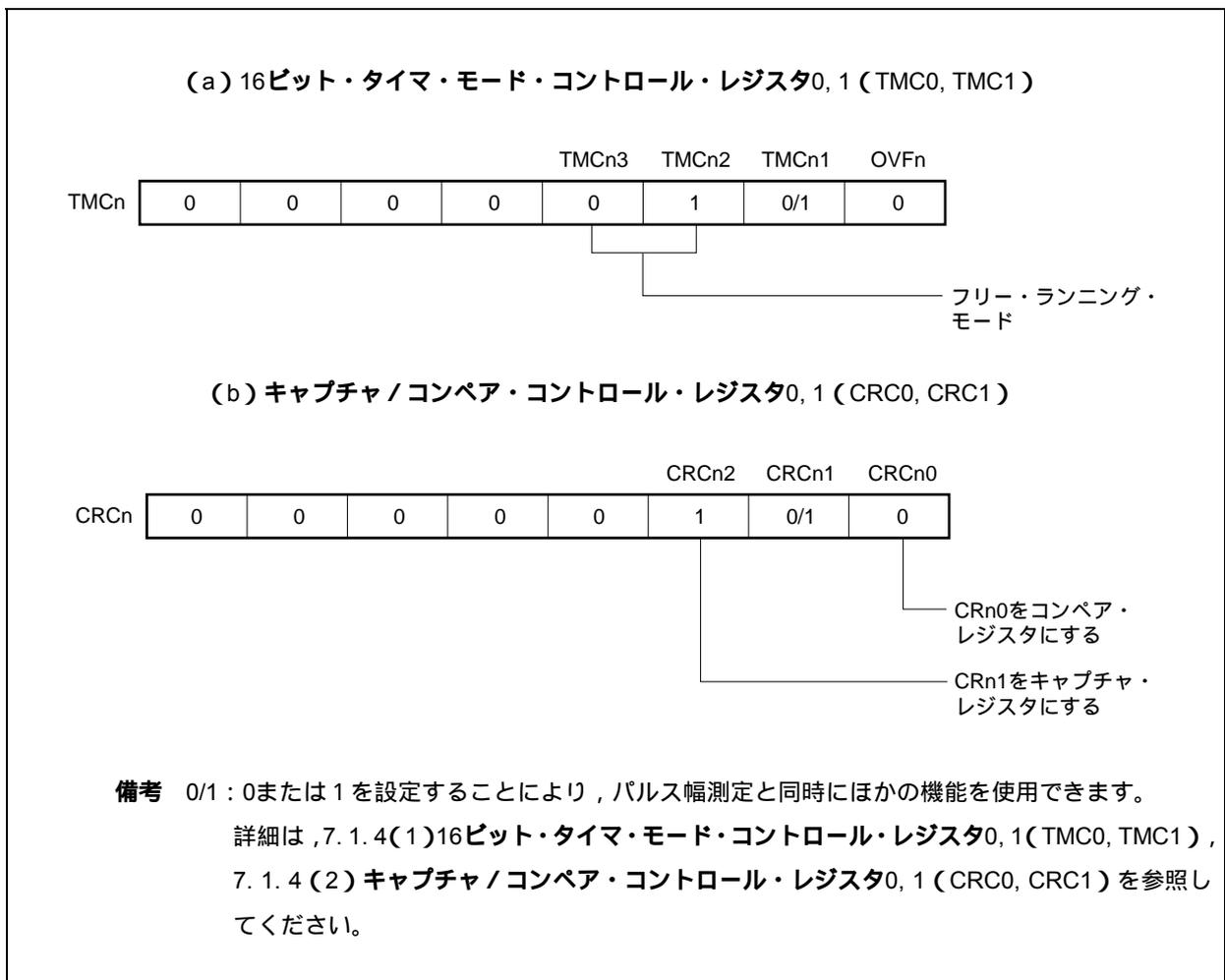


図7-9 フリー・ランニング・カウンタによるパルス幅測定の構成図

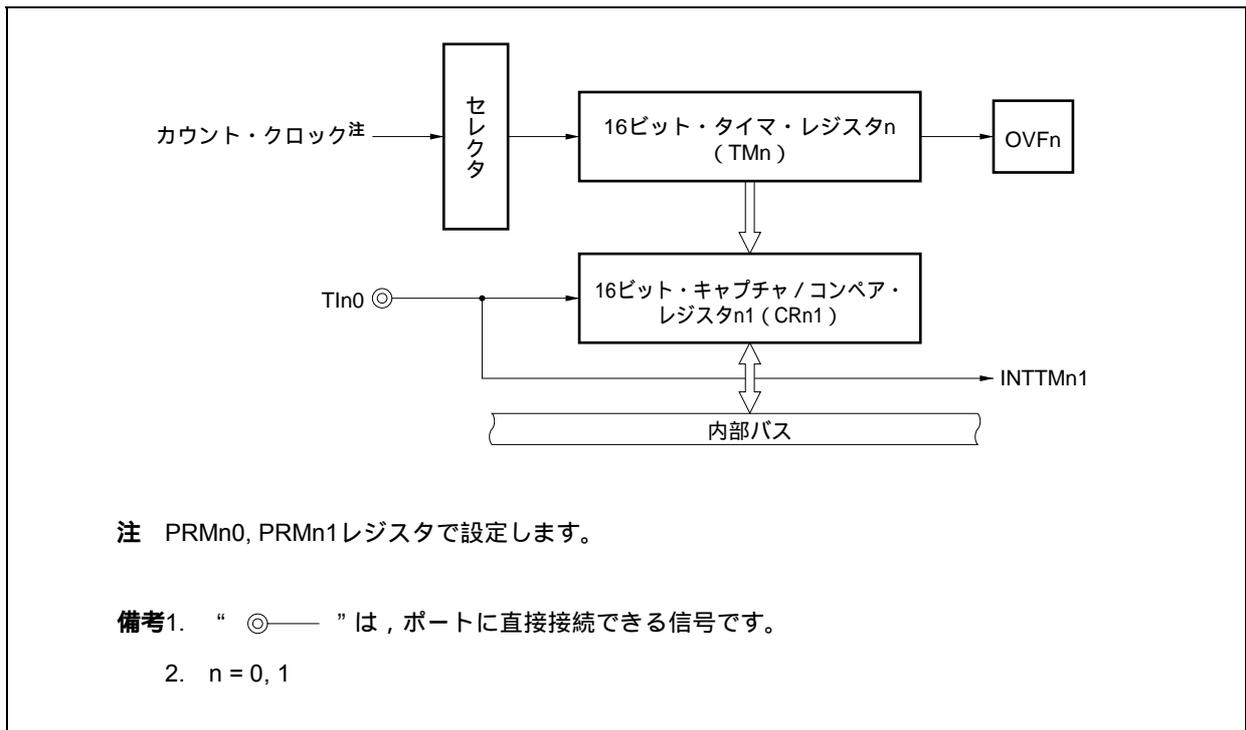
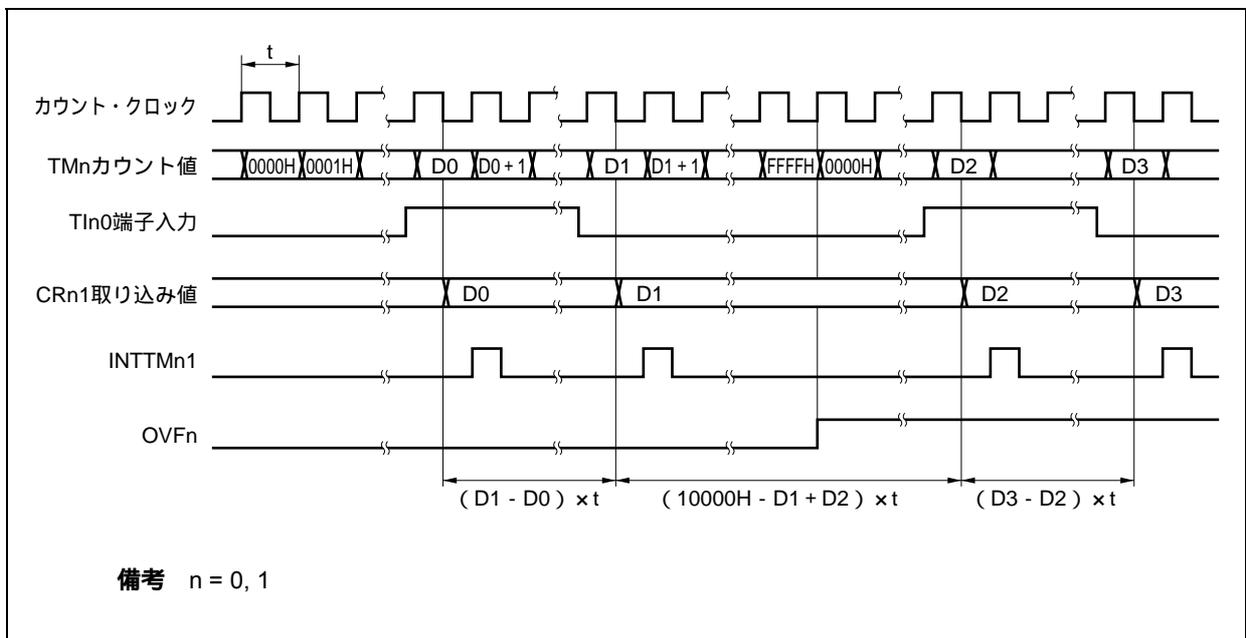


図7-10 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時)



(2) フリー・ランニング・カウンタによる2つのパルス幅測定

16ビット・タイマ・レジスタn (TMn) をフリー・ランニングで動作させているとき (図7-11参照) , TIn0端子およびTIn1端子に入力される2つの信号のパルス幅を同時に測定できます。

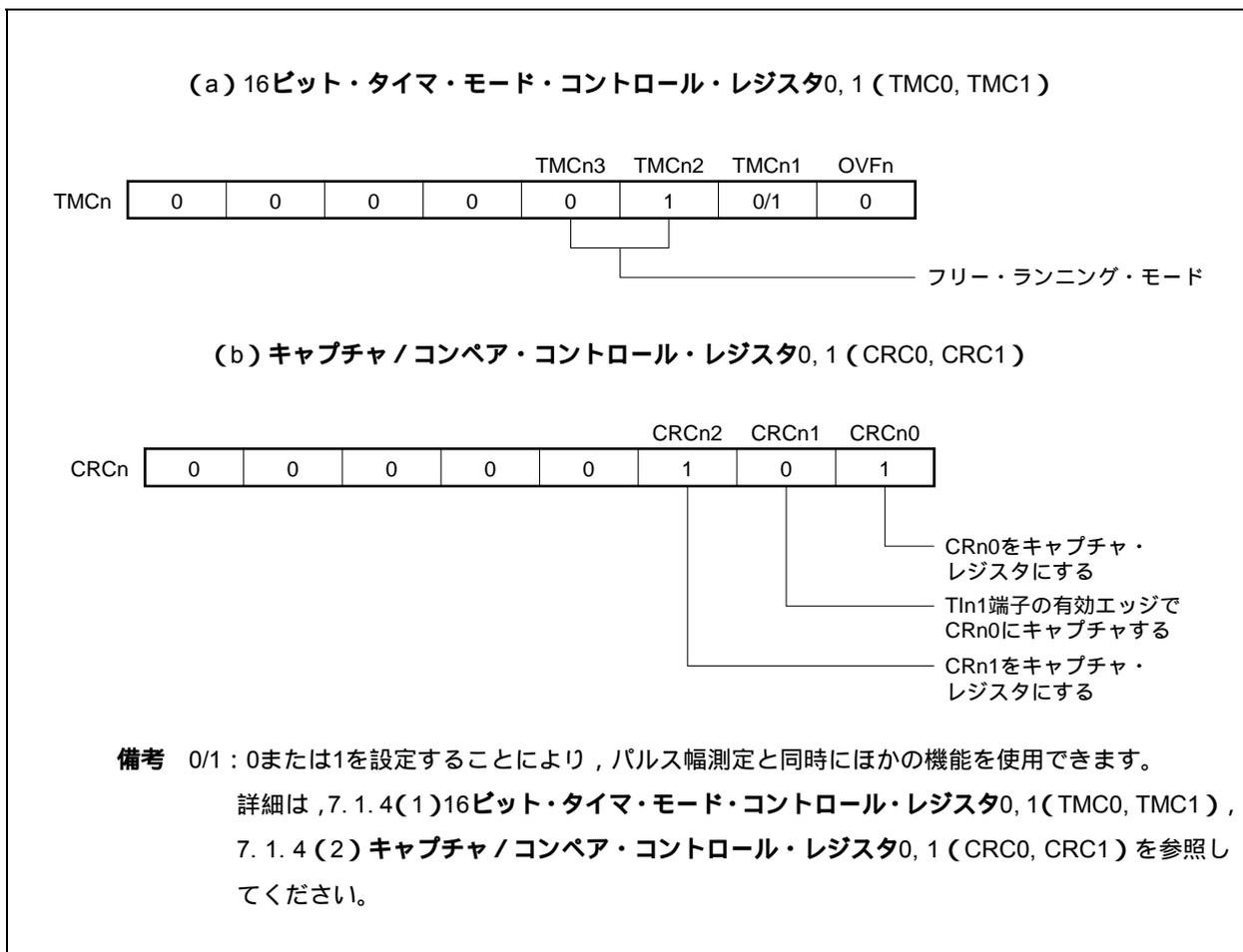
TIn0端子にプリスケアラ・モード・レジスタn0 (PRMn0) のESn00, ESn01ビットで指定したエッジが入力されると, TMnの値を16ビット・キャプチャ/コンペア・レジスタn1 (CRn1))に取り込み, 外部割り込み要求信号 (INTTMn1) をセットします。

また, TIn1端子にPRMn0のESn10, ESn11ビットで指定したエッジが入力されると, TMnの値を16ビット・キャプチャ/コンペア・レジスタn0 (CRn0))に取り込み, 外部割り込み要求信号 (INTTMn0) をセットします。

TIn0端子とTIn1端子のエッジ指定は, PRMn0のESn00, ESn01ビットおよびESn10, ESn11ビットでそれぞれ行い, 立ち上がり, 立ち下がり, 両エッジの3種類の選択ができます。

TIn0端子の有効エッジの検出は, プリスケアラ・モード・レジスタn0, n1 (PRMn0, PRMn1) で選択したカウント・クロック周期でサンプリングを行い, 2回有効レベルを検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

図7-11 フリー・ランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容



・キャプチャ動作について (フリー・ランニング・モード)

キャプチャ・トリガが入力されたときのキャプチャ・レジスタの動作を示します。

図7 - 12 立ち上がりエッジ指定時のCRn1キャプチャ動作

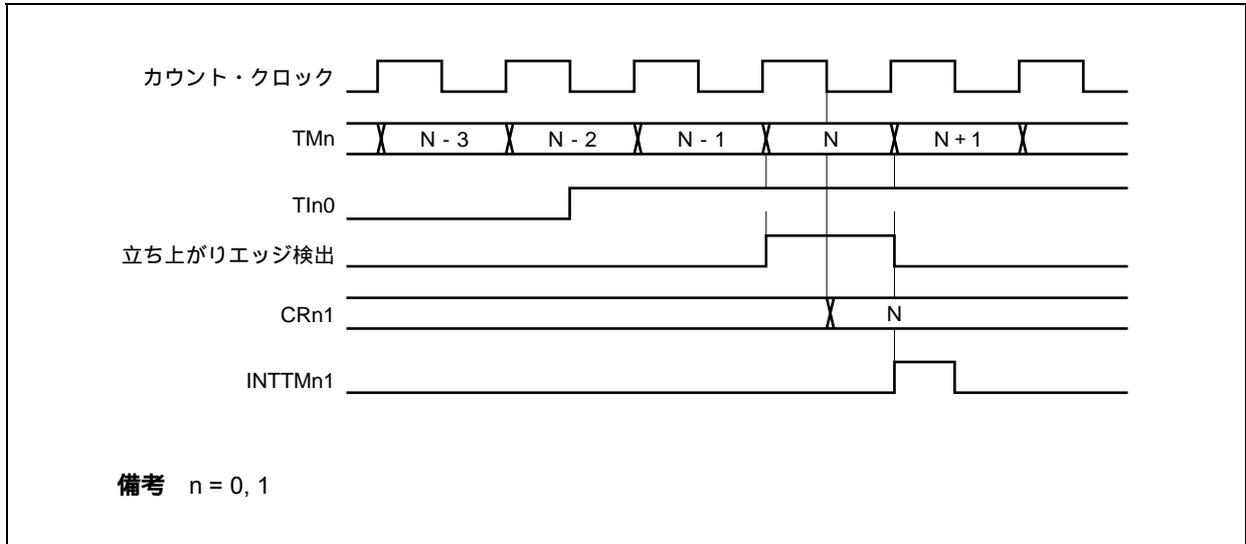
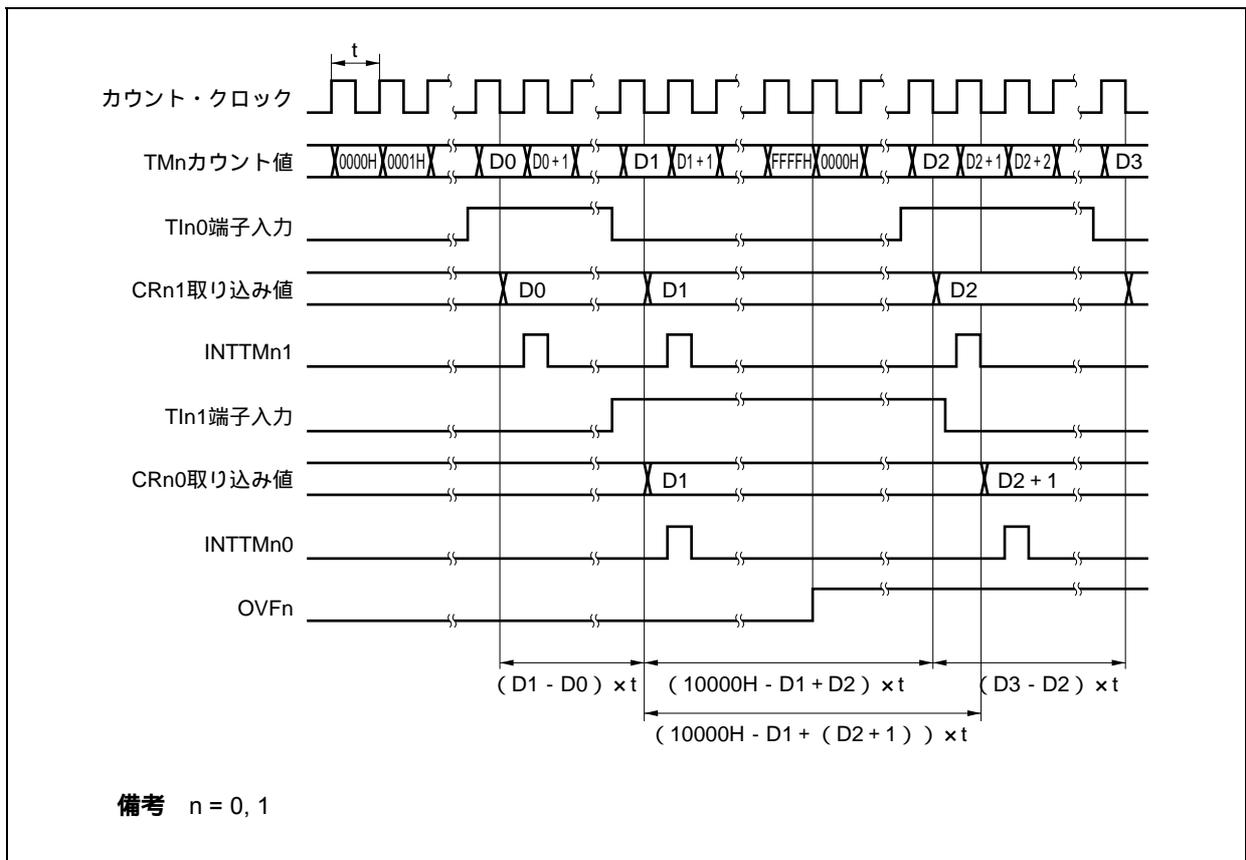


図7 - 13 フリー・ランニング・カウンタによるパルス幅測定動作のタイミング (両エッジ指定時)



(3) フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定

16ビット・タイマ・レジスタn (TMn) をフリー・ランニングで動作させているとき (図7 - 14参照) , TIn0端子に入力する信号のパルス幅を測定できます。

TIn0端子にプリスケアラ・モード・レジスタn0 (PRMn0) のESn00, ESn01ビットで指定したエッジが入力されると, TMnの値を16ビット・キャプチャ/コンペア・レジスタn1 (CRn1))に取り込み, 外部割り込み要求信号 (INTTMn1) をセットします。

また, CRn1へのキャプチャ動作と逆のエッジ入力で, TMnの値を16ビット・キャプチャ/コンペア・レジスタn0 (CRn0))に取り込みます。

TIn0端子のエッジ指定は, プリスケアラ・モード・レジスタn0 (PRMn0) のESn00, ESn01ビットで行い, 立ち上がりエッジまたは立ち下がりエッジの選択ができます。

TIn0端子の有効エッジの検出は, プリスケアラ・モード・レジスタn0, n1 (PRMn0, PRMn1) で選択したカウント・クロック周期でサンプリングを行い, 2回有効レベルを検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

注意 TIn0端子の有効エッジを, 立ち上がり, 立ち下がりの両エッジに指定した場合, キャプチャ/コンペア・レジスタn0 (CRn0) はキャプチャ動作を行えません。

図7 - 14 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容

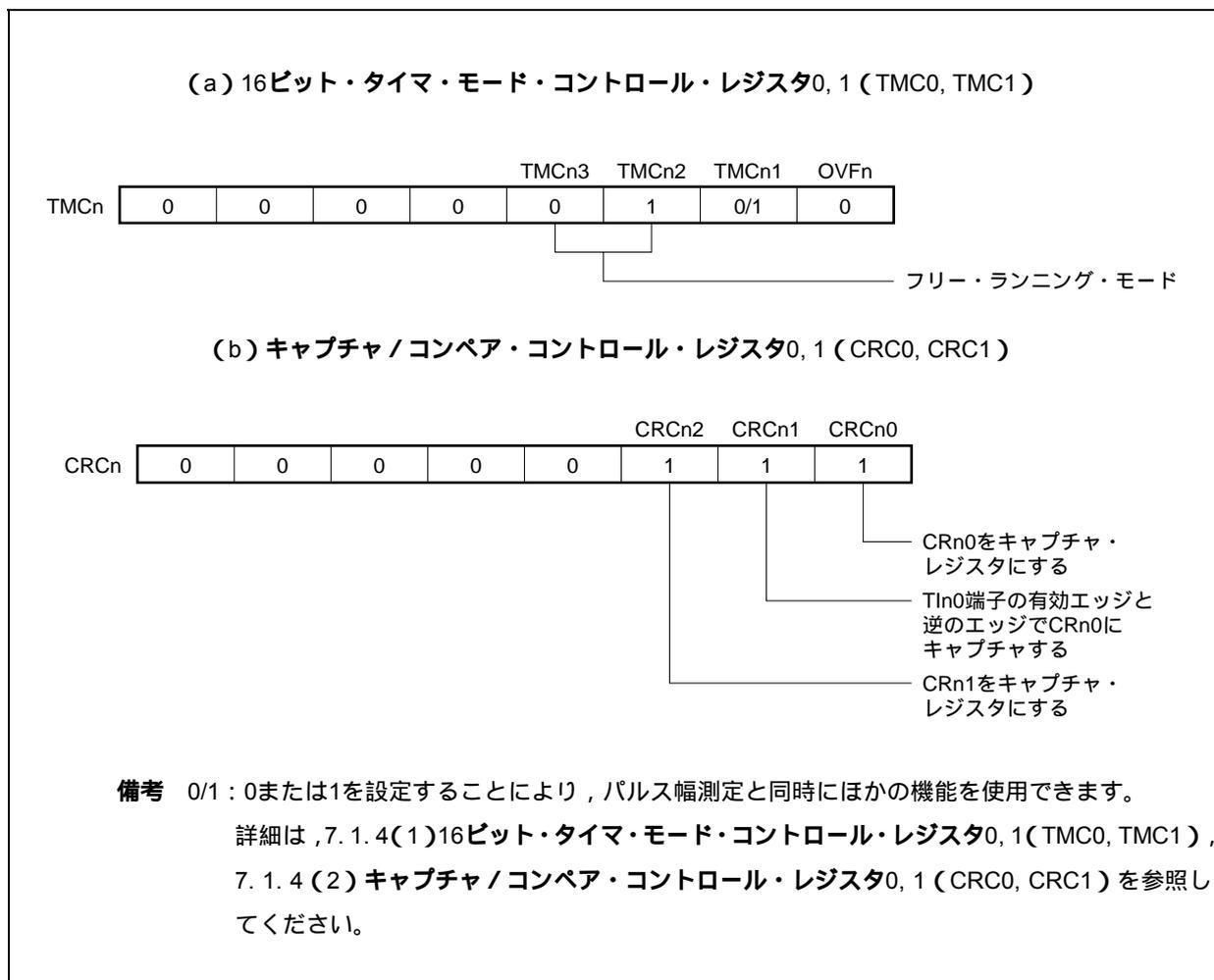
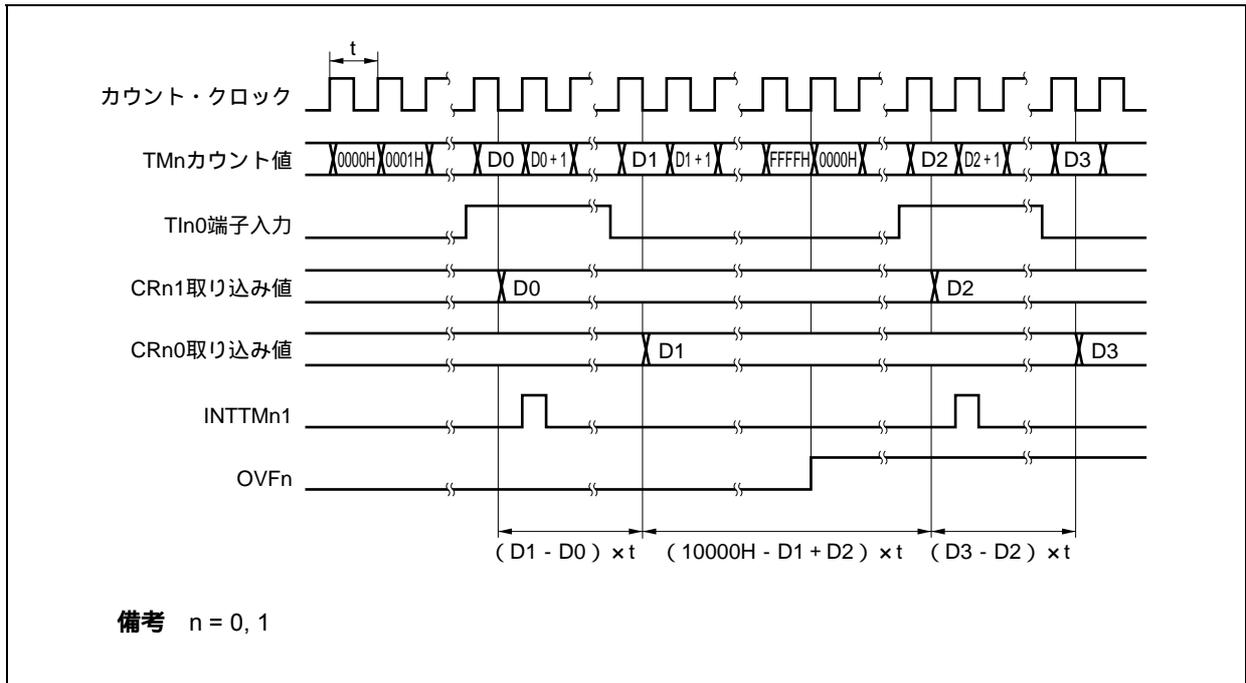


図7 - 15 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング
(立ち上がりエッジ指定時)



(4) リスタートによるパルス幅測定

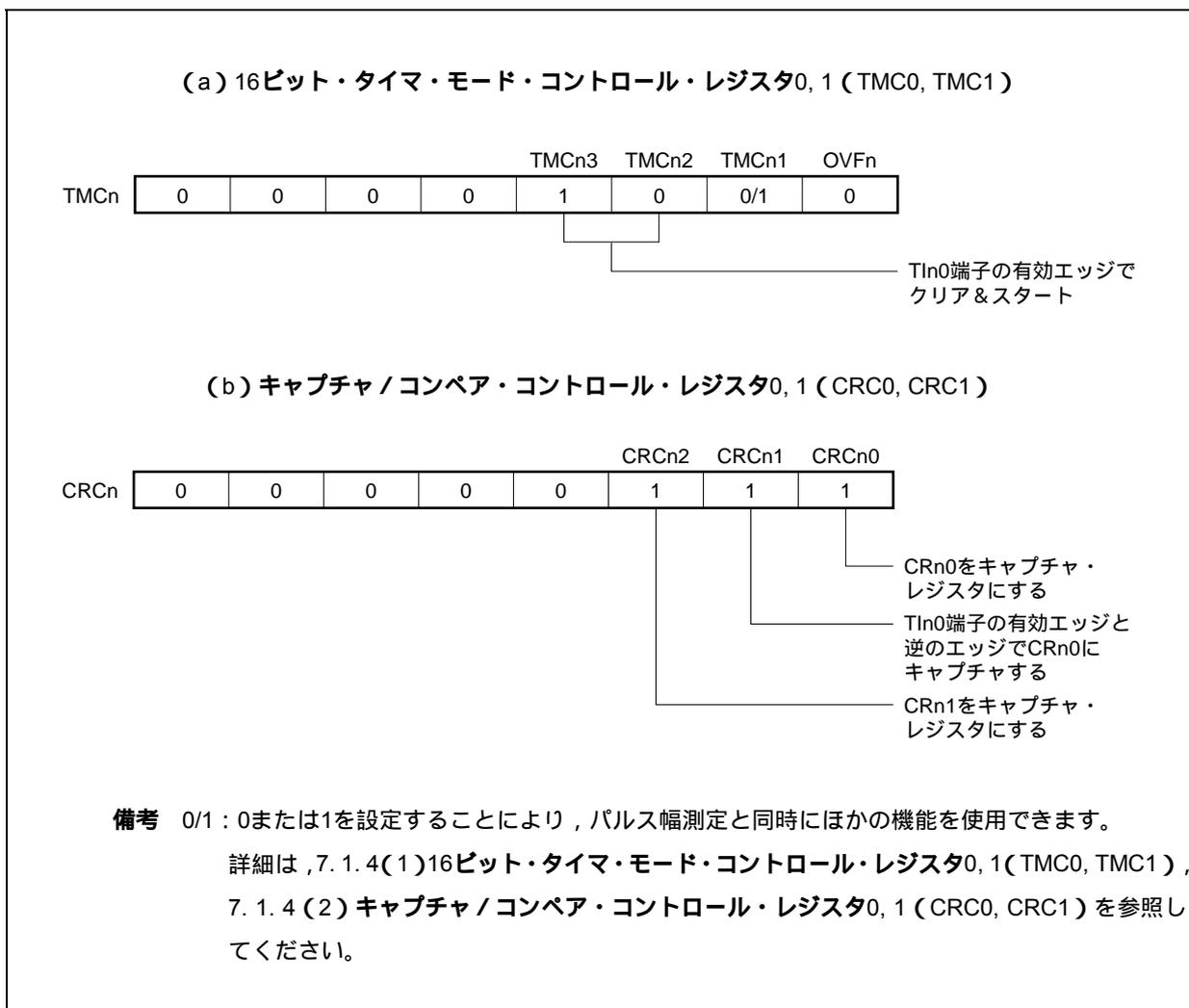
TIn0端子への有効エッジを検出したとき、16ビット・タイマ・レジスタn (TMn) のカウンタ値を16ビット・キャプチャ/コンペア・レジスタn1 (CRn1) に取り込んだあと、TMnをクリアしてカウントを再開することにより、TIn0端子に入力された信号のパルス幅を測定します (図7 - 17参照)。

エッジ指定は、プリスケアラ・モード・レジスタn0 (PRMn0) のESn00, ESn01ビットにより、立ち上がりエッジまたは立ち下がりエッジの選択ができます。

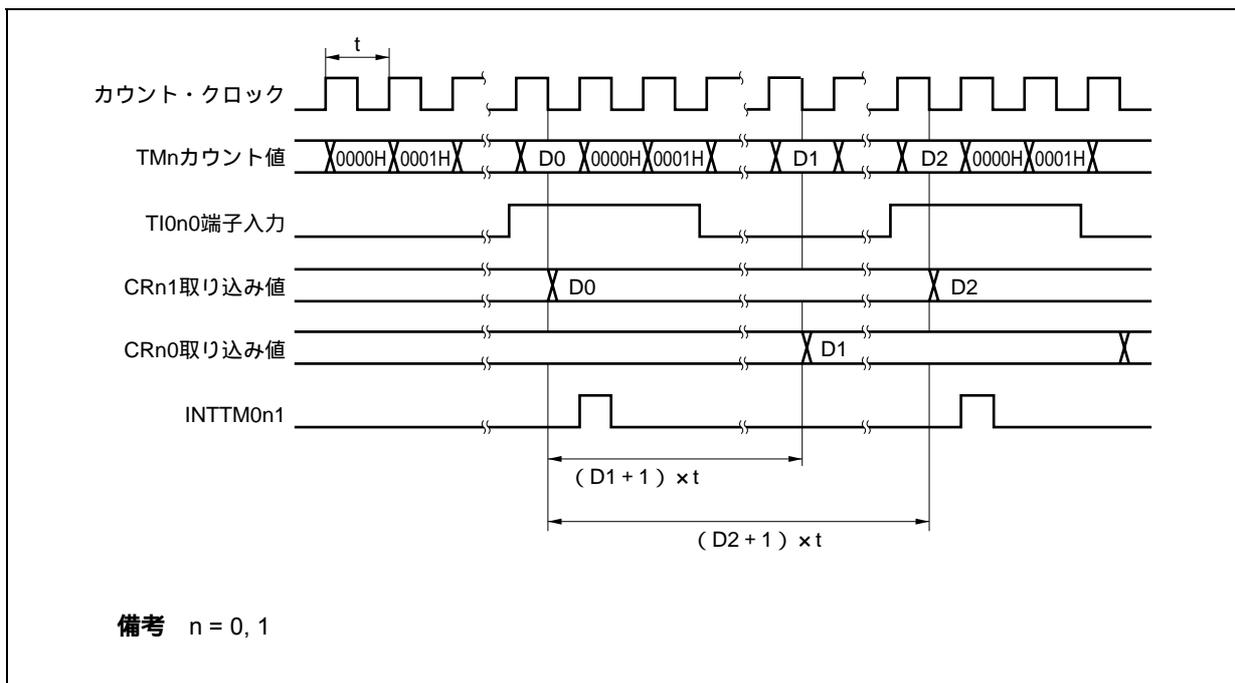
有効エッジの検出は、プリスケアラ・モード・レジスタn0, n1 (PRMn0, PRMn1) で選択したカウント・クロック周期でサンプリングを行い、2回有効レベルを検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

注意 TIn0端子の有効エッジを、立ち上がり/立ち下がり両エッジに指定した場合、16ビット・キャプチャ/コンペア・レジスタn0 (CRn0) はキャプチャ動作を行えません。

図7 - 16 リスタートによるパルス幅測定時の制御レジスタ設定内容



★ 図7 - 17 リスタートによるパルス幅測定動作のタイミング (立ち上がりエッジ指定時)



7.2.4 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TIn0端子に入力される外部からのクロック・パルス数を16ビット・タイマ・レジスタn (TMn) でカウントするものです。

プリスケアラ・モード・レジスタn0 (PRMn0) で指定した有効エッジが入力されるたびに、TMnがインクリメントされます。

TMnのカウント値が16ビット・キャプチャ/コンペア・レジスタn0 (CRn0) の値と一致すると、TMnは0にクリアされ、割り込み要求信号 (INTTMn0) が発生します。

エッジ指定は、プリスケアラ・モード・レジスタn0 (PRMn0) のESn00, ESn01ビットにより、立ち上がり、立ち下がり、両エッジの3種類から選択できます。

有効エッジの検出は、 $f_{xx}/2$ のクロック周期でサンプリングを行い、2回有効レベルを検出することではじめて動作するため、短いパルス幅のノイズを除去できます。

図7-18 外部イベント・カウンタ・モード時の制御レジスタ設定内容

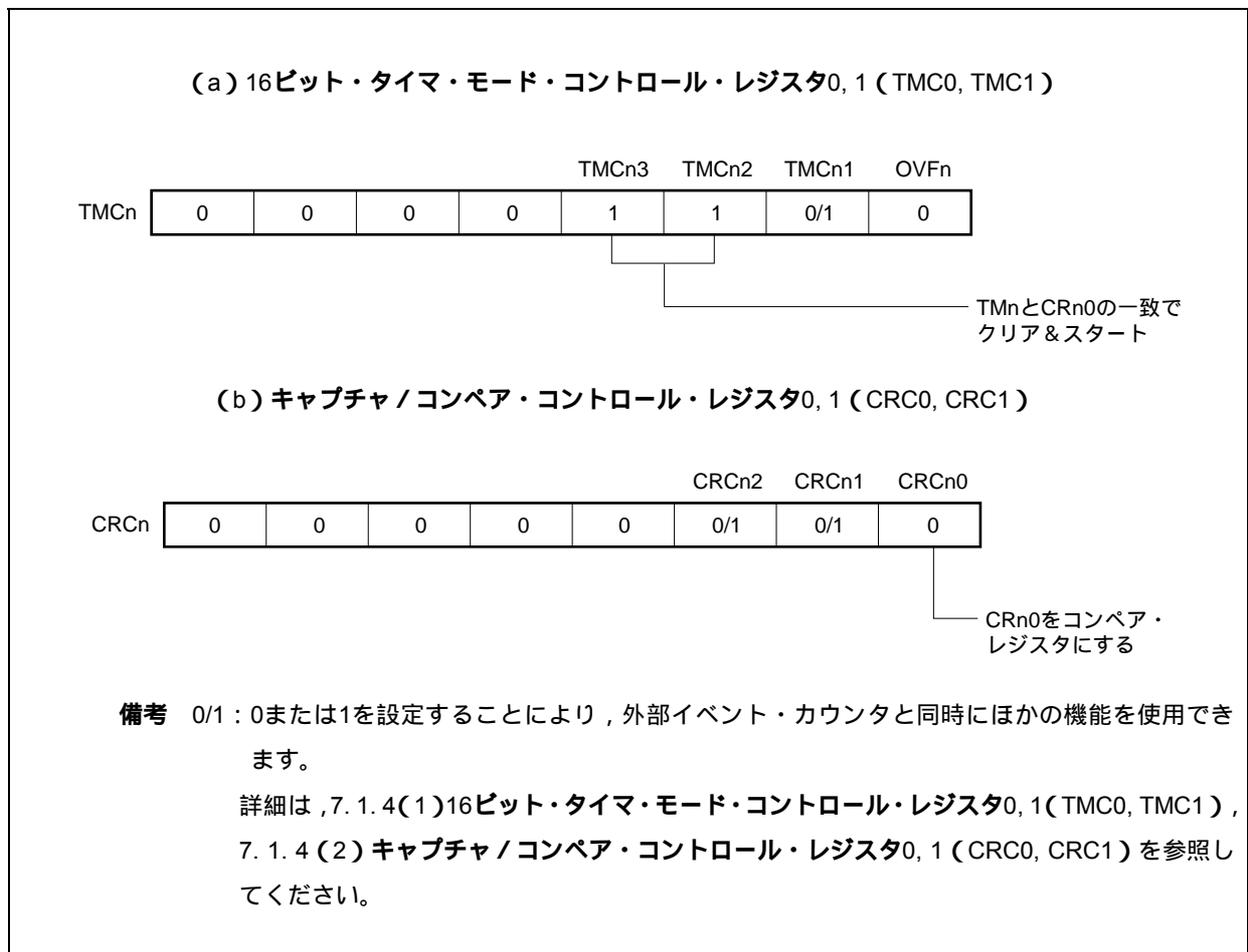


図7 - 19 外部イベント・カウンタの構成図

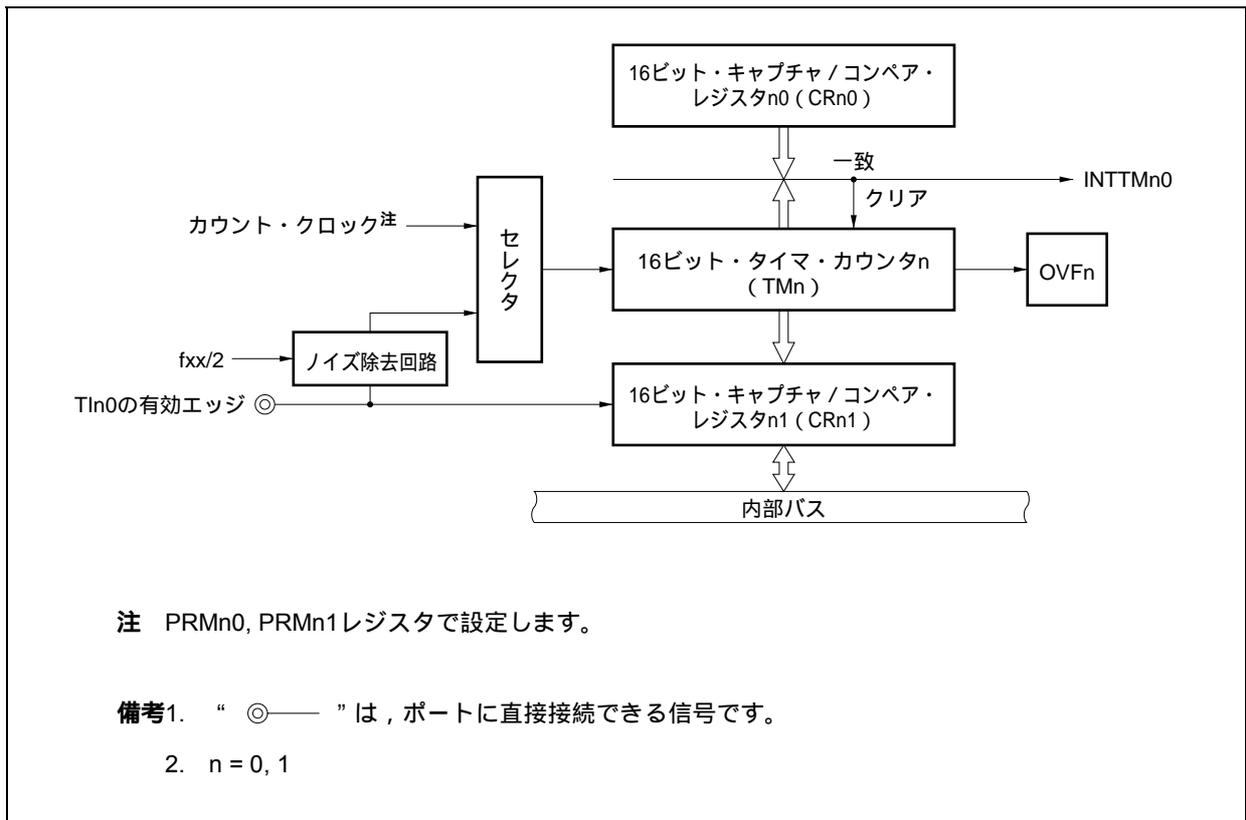
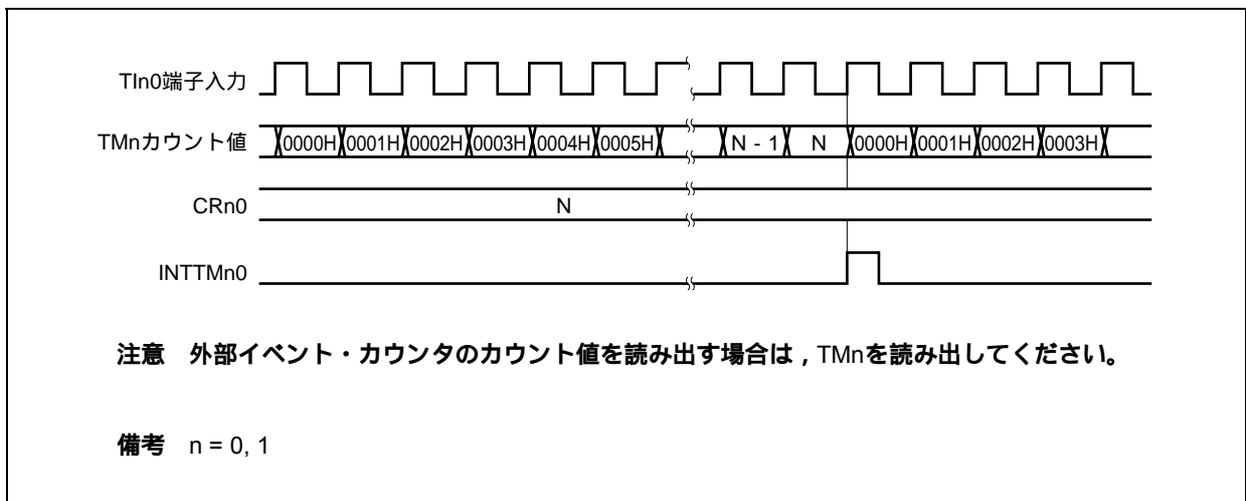


図7 - 20 外部イベント・カウンタ動作のタイミング（立ち上がりエッジ指定時）



7.2.5 方形波出力としての動作

16ビット・キャプチャ/コンペア・レジスタn0 (CRn0) にあらかじめ設定したカウント値をインターバルとする、任意の周波数の方形波出力です。

16ビット・タイマ出力コントロール・レジスタn (TOCn) のTOEn, TOCn1ビットに1を設定することにより、CRn1にあらかじめ設定したカウント値をインターバルとしてTON端子の出力状態が反転します。これによって、任意の周波数の方形波出力が可能です。

図7-21 方形波出力モード時の制御レジスタ設定内容

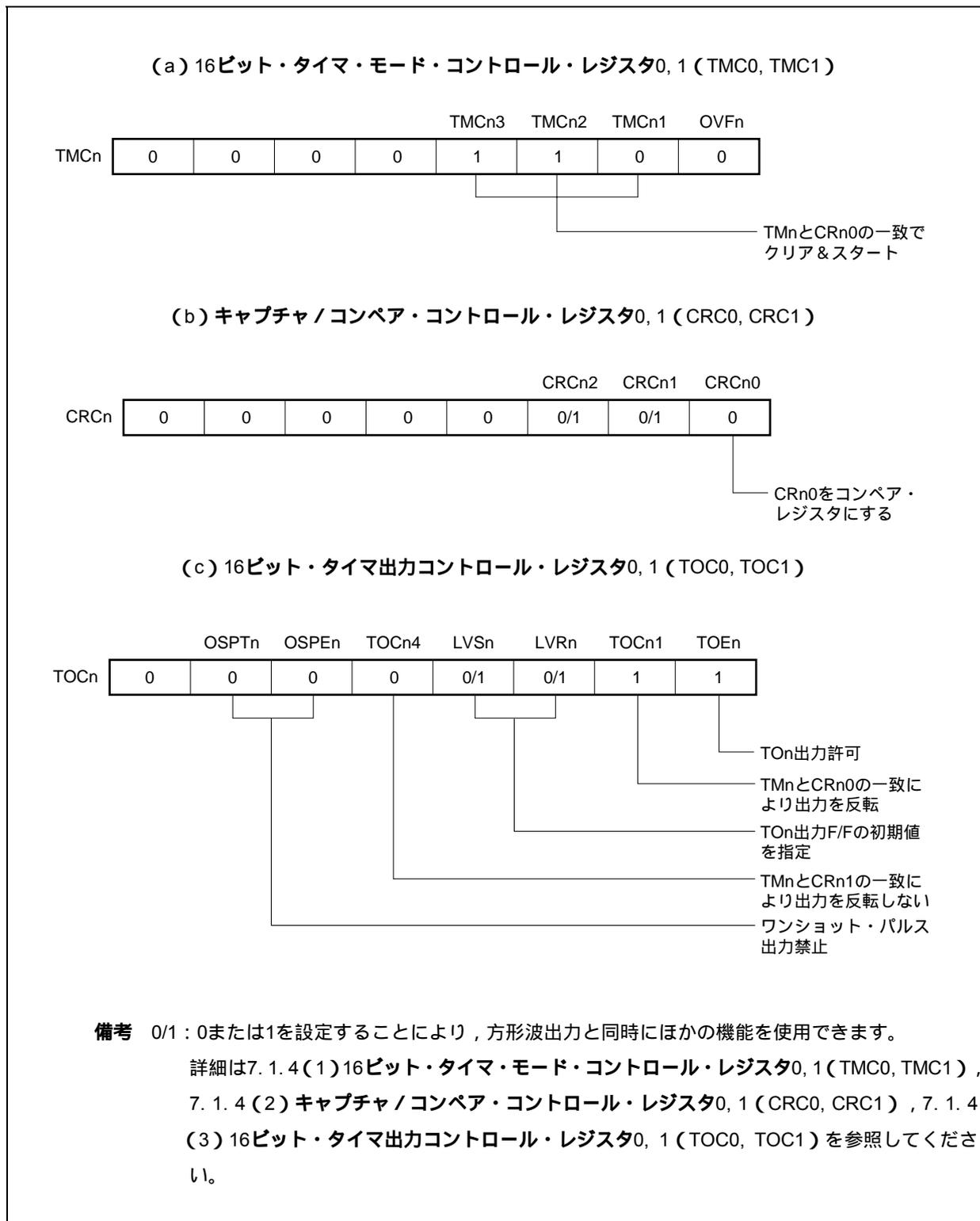
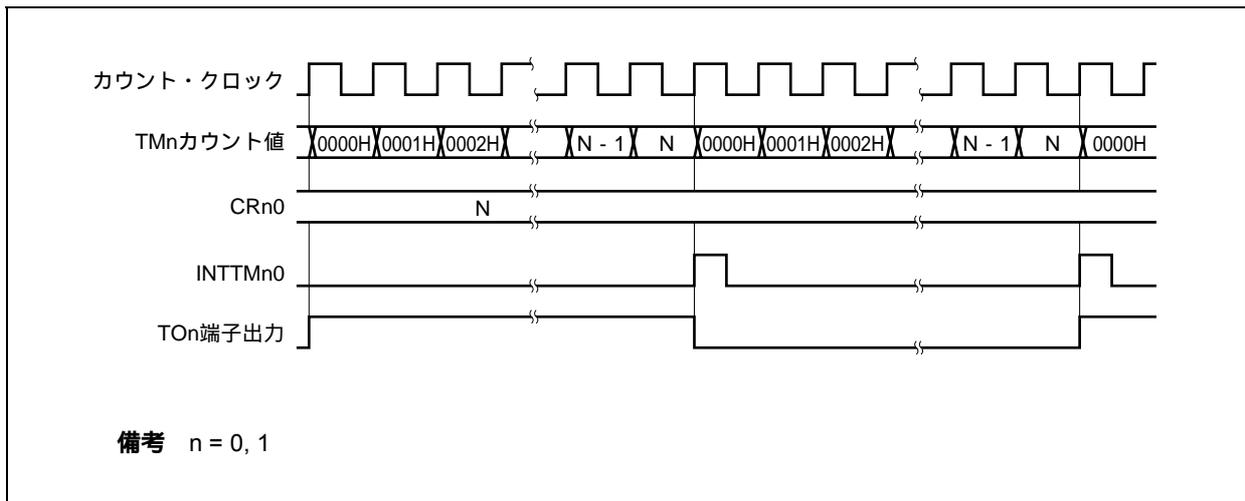


図7-22 方形波出力動作のタイミング



7.2.6 ワンショット・パルス出力としての動作

ソフトウェア・トリガおよび外部トリガ (TIn0端子入力) に同期したワンショット・パルスを出力できます。

(1) ソフトウェア・トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタn (TMCn) , キャプチャ/コンペア・コントロール・レジスタn (CRCn) および16ビット・タイマ出力コントロール・レジスタn (TOCn) を図7-23のように設定し, ソフトウェアでTOCnのOSPnビットを1にセットすることにより, ワンショット・パルスをTOn端子から出力します。

OSPnを1にセットすることにより, 16ビット・タイマ/イベント・カウンタがクリア&スタートし, 16ビット・キャプチャ/コンペア・レジスタn1 (CRn1) にあらかじめ設定したカウント値 (N) で出力がアクティブになります。その後, 16ビット・キャプチャ/コンペア・レジスタn0 (CRn0) にあらかじめ設定したカウント値 (M) で出力がインアクティブとなります^注。

ワンショット・パルス出力後も, TMnは動作を継続しています。TMnを停止させるためには, TMCnに00Hを設定する必要があります。

注 ここでは $N < M$ の場合の例です。 $N > M$ のときはCRn0で出力がアクティブになり, CRn1でインアクティブとなります。

注意 ワンショット・パルスを出力しているときは, OSPnを1にセットしないでください。再度ワンショット・パルスを出力したいときは, 現在のワンショット・パルス出力が終了したあとで行ってください。

図7 - 23 ソフトウェア・トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容

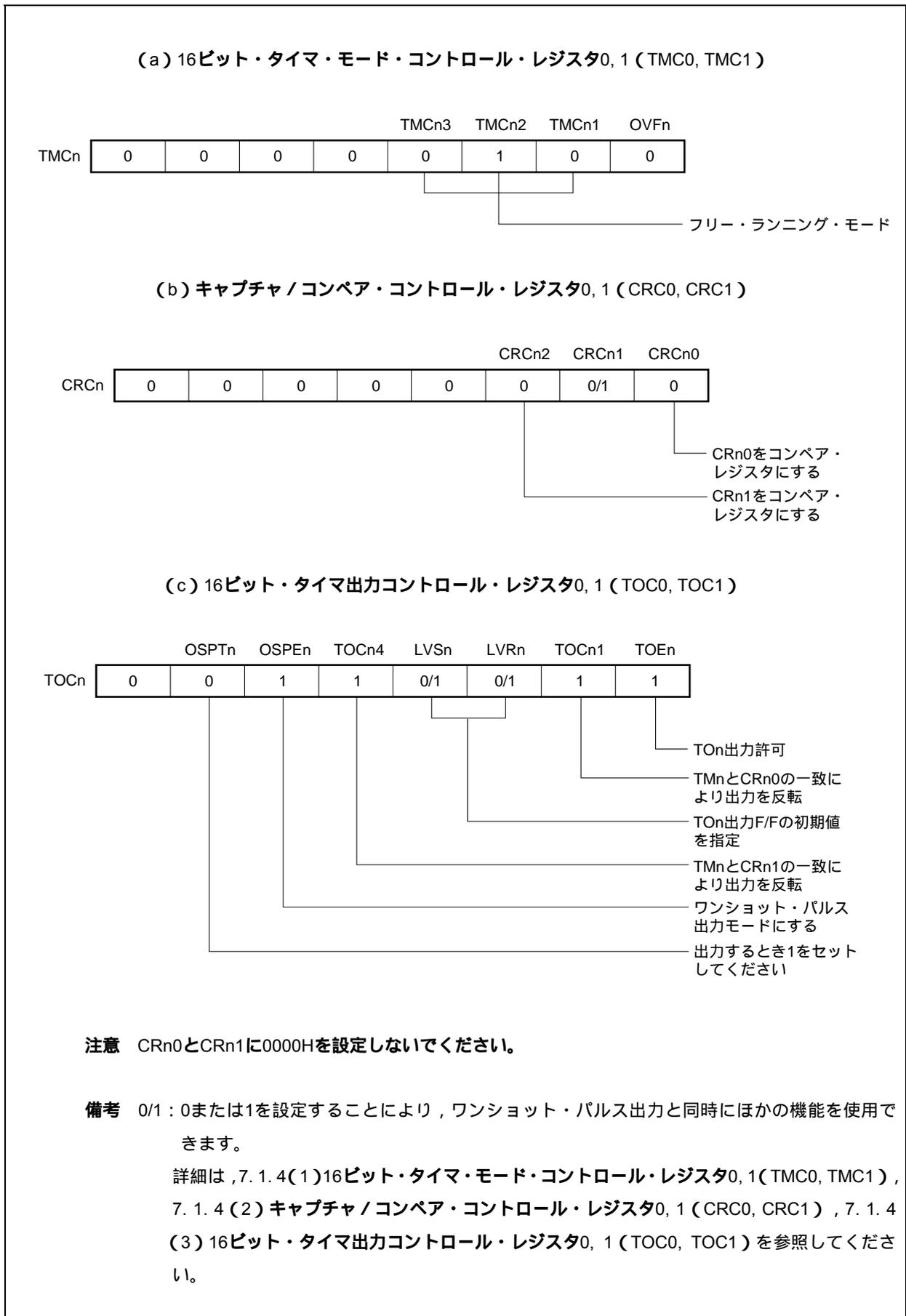
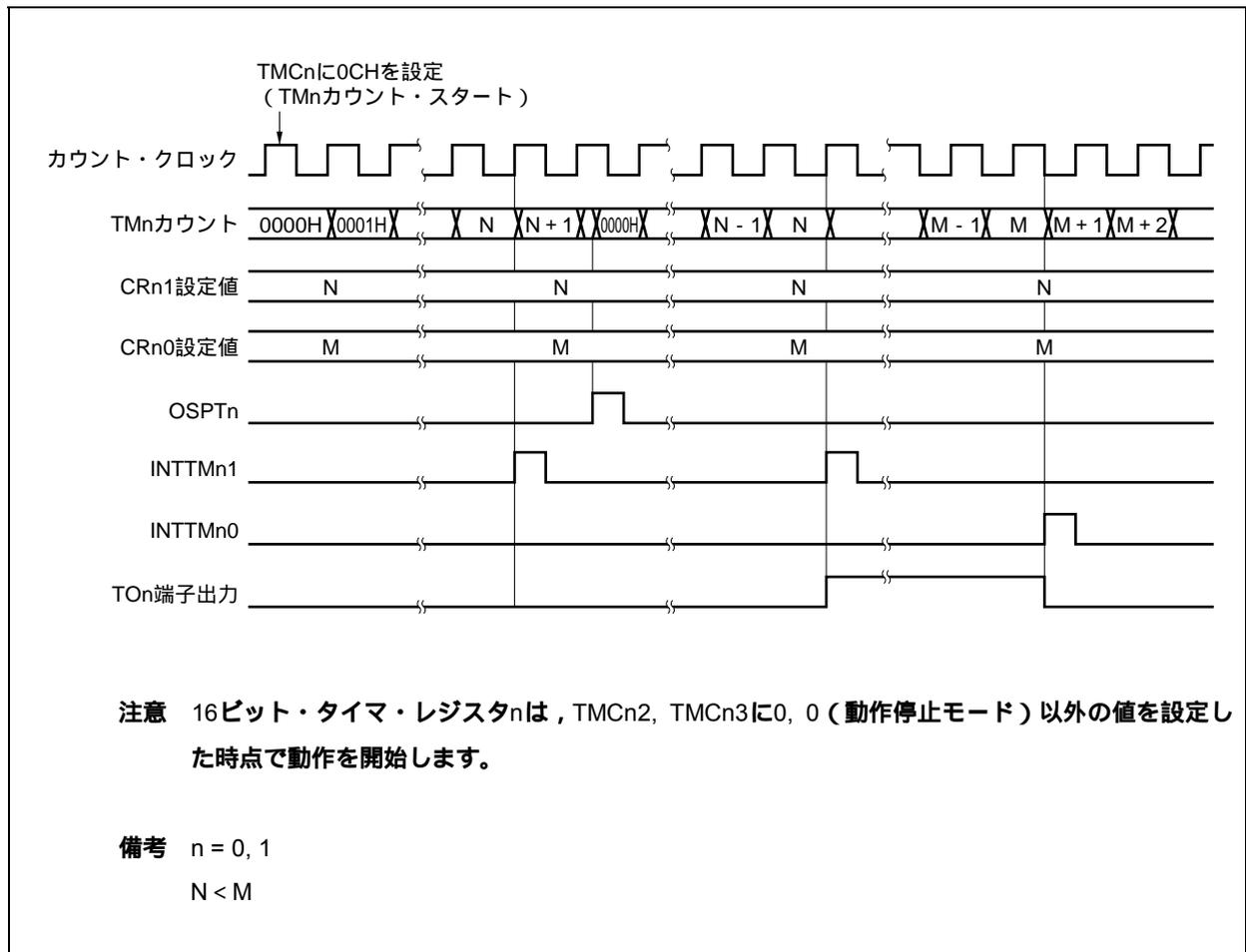


図7-24 ソフトウェア・トリガによるワンショット・パルス出力動作のタイミング



(2) 外部トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタn (TMCn)、キャプチャ/コンペア・コントロール・レジスタn (CRCn) および16ビット・タイマ出力コントロール・レジスタn (TOCn) を図7-25のように設定し、Tin0端子の有効エッジを外部トリガとしてワンショット・パルスをTOn端子から出力します。

Tin0端子の有効エッジ指定は、プリスケアラ・モード・レジスタn0 (PRMn0) のビット4, 5 (ESn00, ESn01) で行い、立ち上がり、立ち下がり、両エッジの3種類の選択ができます。

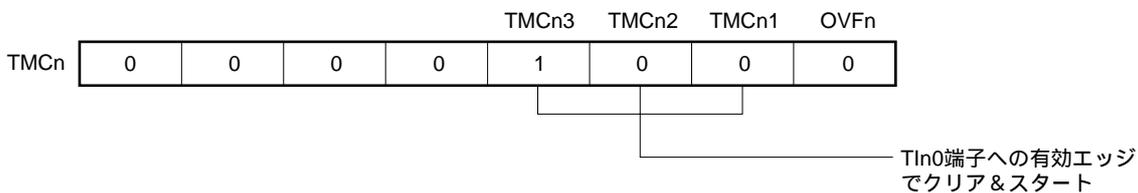
Tin0端子への有効エッジで16ビット・タイマ/イベント・カウンタがクリア&スタートし、16ビット・キャプチャ/コンペア・レジスタn1 (CRn1) にあらかじめ設定したカウント値 (N) で出力がアクティブになります。その後、16ビット・キャプチャ/コンペア・レジスタn0 (CRn0) にあらかじめ設定したカウント値 (M) で出力がインアクティブとなります^注。

注 ここではN < Mの場合の例です。N > MのときはCRn0で出力がアクティブになり、CRn1でインアクティブとなります。

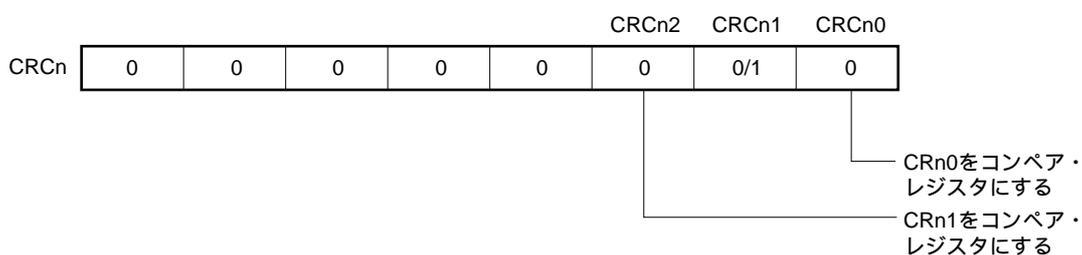
注意 ワンショット・パルスを出力しているときに、外部トリガが発生すると、16ビット・タイマ/イベント・カウンタがクリア&スタートし、再度、ワンショット・パルスを出力します。

図7 - 25 外部トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容

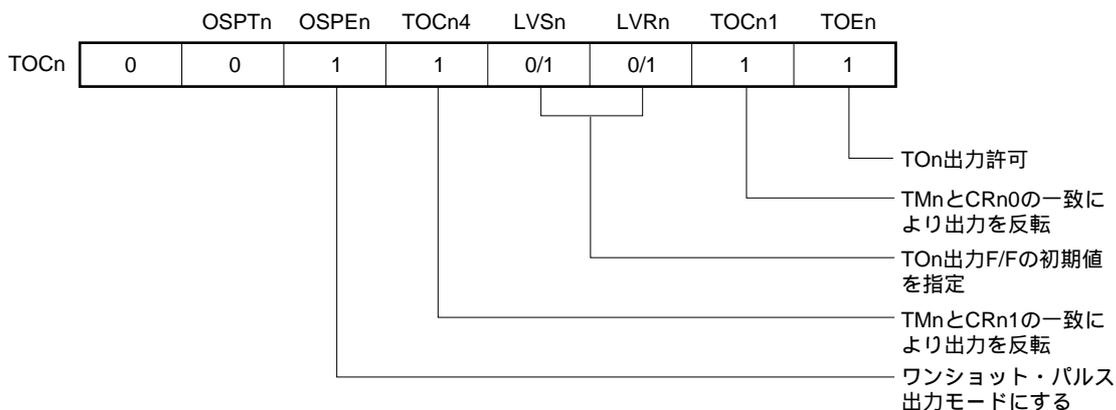
(a) 16ビット・タイマ・モード・コントロール・レジスタ0, 1 (TMC0, TMC1)



(b) キャプチャ/コンペア・コントロール・レジスタ0, 1 (CRC0, CRC1)



(c) 16ビット・タイマ出力コントロール・レジスタ0, 1 (TOC0, TOC1)

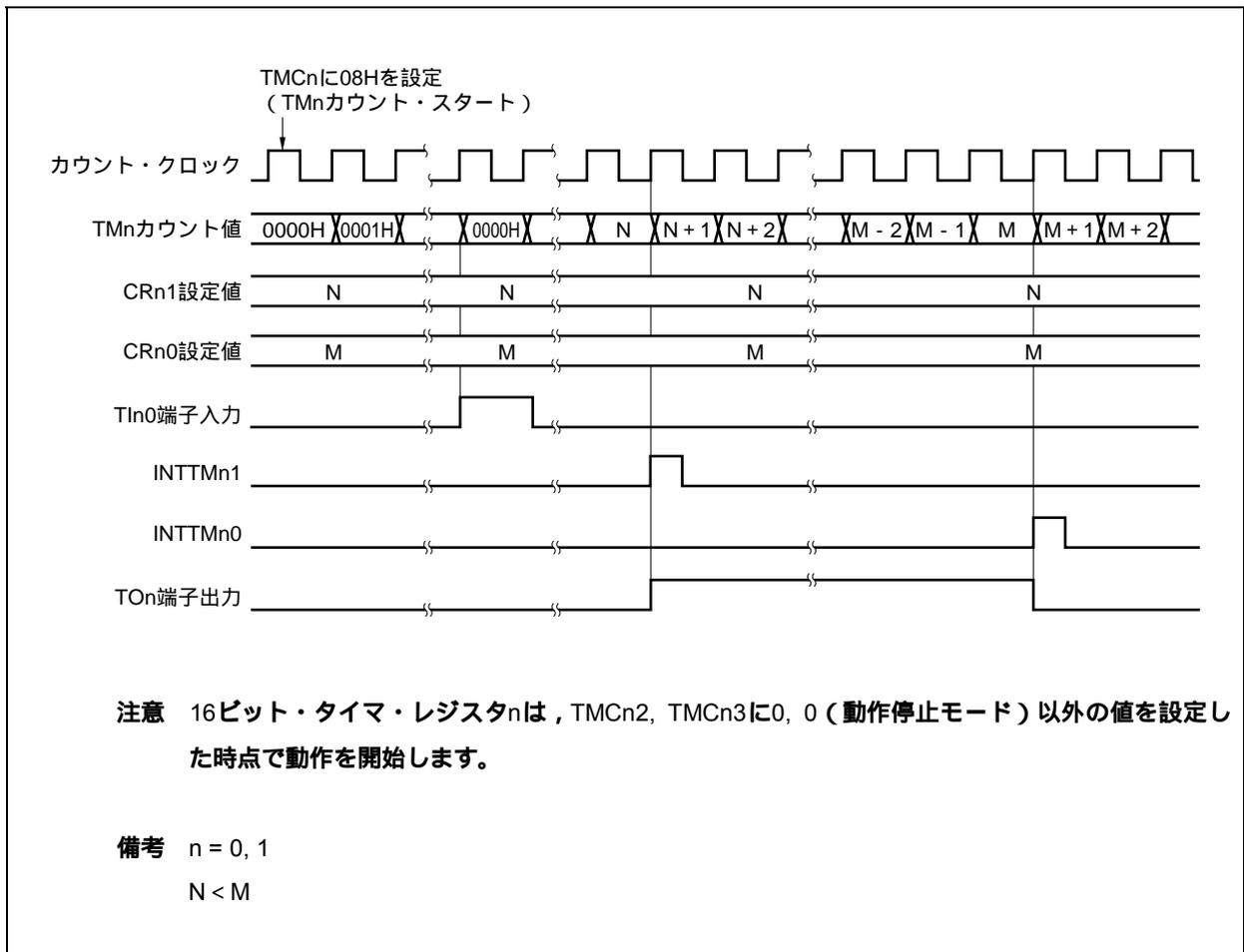


注意 CRn0とCRn1に0000Hを設定しないでください。

備考 0/1 : 0または1を設定することにより、ワンショット・パルス出力と同時にほかの機能を使用できます。

詳細は、7.1.4(1)16ビット・タイマ・モード・コントロール・レジスタ0, 1(TMC0, TMC1), 7.1.4(2)キャプチャ/コンペア・コントロール・レジスタ0, 1(CRC0, CRC1), 7.1.4(3)16ビット・タイマ出力コントロール・レジスタ0, 1(TOC0, TOC1)を参照してください。

図7-26 外部トリガによるワンショット・パルス出力動作のタイミング (立ち上がりエッジ指定時)

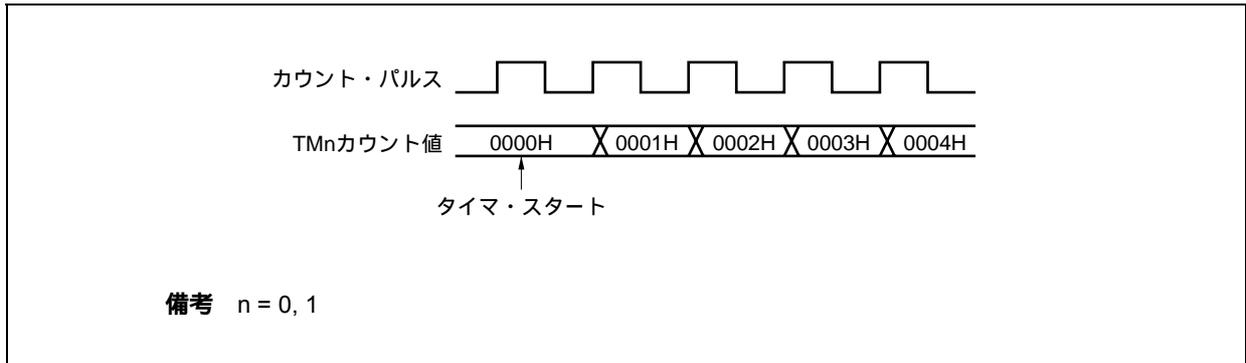


7.2.7 注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は最大で1クロック分の誤差が発生します。これは、カウント・パルスに対して16ビット・タイマ・レジスタn (TMn) のスタートが非同期で行われるためです。

図7-27 16ビット・タイマ・レジスタnのスタート・タイミング



(2) 16ビット・キャプチャ/コンペア・レジスタの設定 (TMnとCRn0の一致でクリア&スタート・モードの場合)

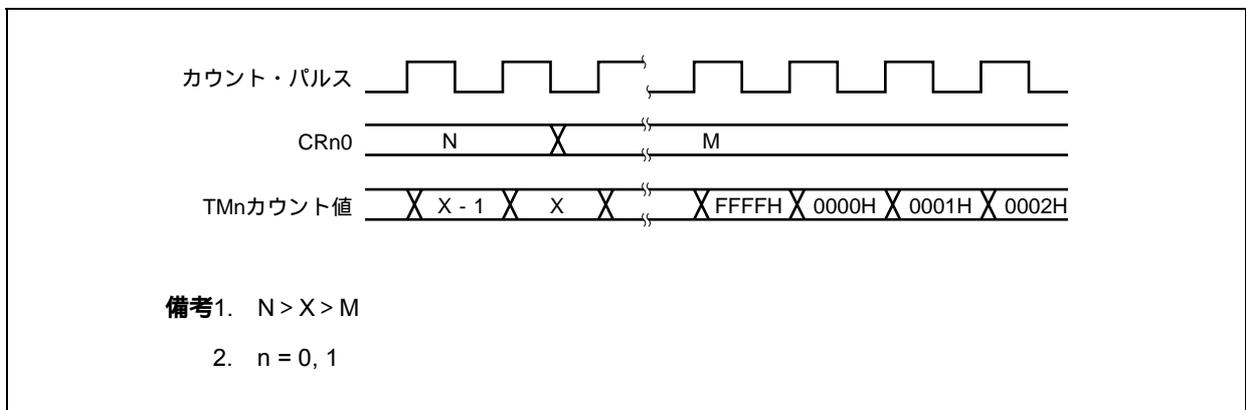
16ビット・キャプチャ/コンペア・レジスタn0, n1 (CRn0, CRn1) には、0000H以外の値を設定してください (イベント・カウンタとして使用する場合、1パルスのカウント動作はできません)。

(3) タイマ・カウント動作中のコンペア・レジスタの設定

16ビット・キャプチャ/コンペア・レジスタn0 (CRn0) の変更後の値が、16ビット・タイマ・レジスタn (TMn) の値よりも小さいとき、TMnはカウントを継続し、オーバフローして0から再カウントします。

したがって、CRn0変更後の値 (M) が、変更前の値 (N) より小さいときは、CRn0を変更したあと、タイマをリセットし再スタートさせる必要があります。

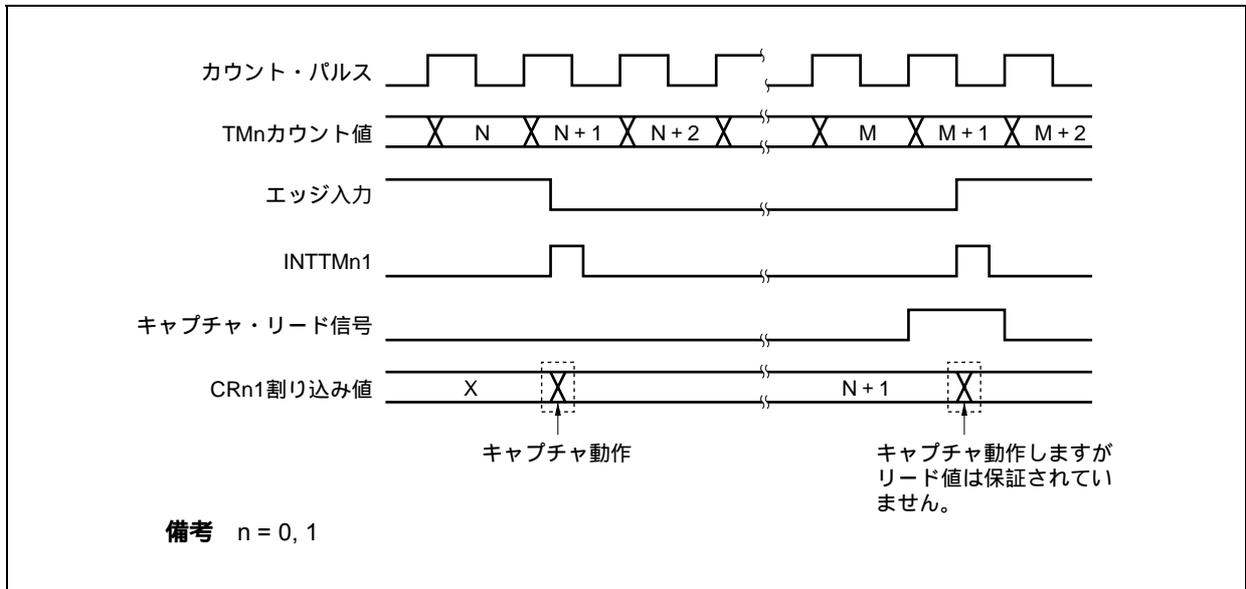
図7-28 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



(4) キャプチャ・レジスタのデータ保持タイミング

16ビット・キャプチャ/コンペア・レジスタ n 1 (CR n 1) の読み出し中にTIn0端子の有効エッジが入力したとき、CR n 1はキャプチャ動作を行います。このときのリード値は保証されません。ただし、有効エッジの検出による割り込み要求信号 (INTTM n 1) はセットされます。

図7-29 キャプチャ・レジスタのデータ保持タイミング



(5) 有効エッジの設定

TIn0端子の有効エッジの設定は、16ビット・タイマ・モード・コントロール・レジスタ n のTMC n 2, TMC n 3ビットに0, 0を設定し、タイマ動作を停止させたあとに行ってください。有効エッジの設定は、プリスケラ・モード・レジスタ n 0 (PRM n 0) のES n 00, ES n 01ビットで行います。

(6) ワンショット・パルスの再トリガ

(a) ソフトウェアによるワンショット・パルス出力

ワンショット・パルスを出力しているときは、OSPT n を1にセットしないでください。再度ワンショット・パルスを出力したいときは、現在のワンショット・パルス出力が終了したあとに行ってください。

(b) 外部トリガによるワンショット・パルス出力

ワンショット・パルスを出力しているときに、外部トリガが発生すると、16ビット・タイマ/イベント・カウンタがクリア&スタートし、再度、ワンショット・パルスを出力します。

(c) ワンショット・パルス出力機能について

タイマ0, 1のワンショット・パルス出力をソフトウェア・トリガで使用する場合、TIn0端子またはその兼用ポート端子のレベルを変化させないでください。

この場合でも外部トリガは有効となっているので、TIn0端子またはその兼用ポート端子のレベルでもタイマがクリア&スタートしてしまい、意図しないタイミングでパルスが出力されてしまいます。

(7) OVF_nビットの動作

(a) OVF_nビットのセット

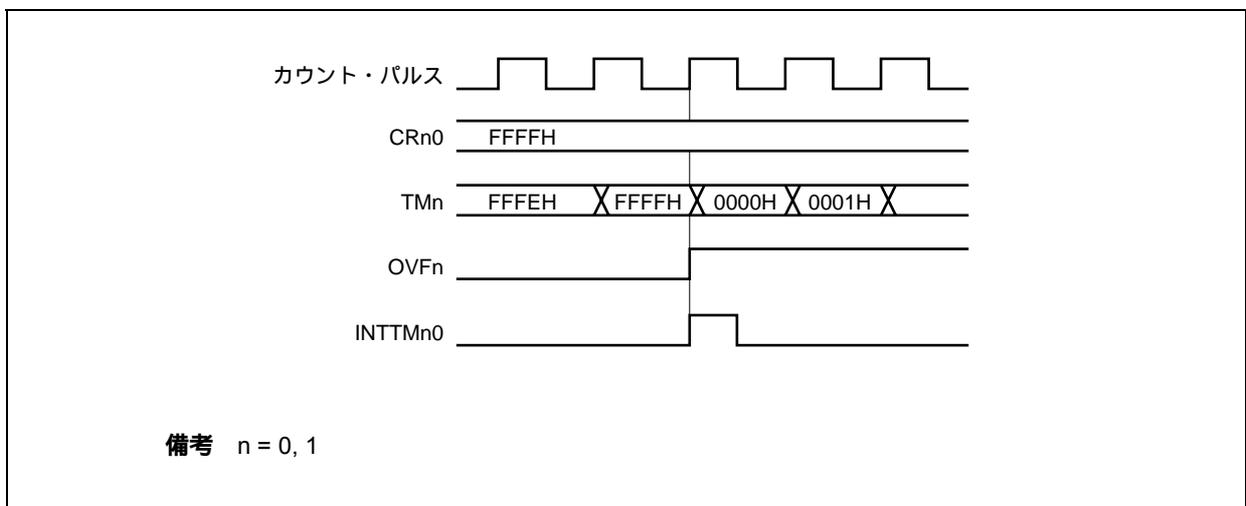
TM_nレジスタがオーバフローしたとき以外に、OVF_nビットは、次のときに“1”に設定されます。

TM_nとCR_{n0}の一致でクリア&スタートするモード、TIn₀の有効エッジでクリア&スタートのいずれかを選択

CR_{n0}をFFFFHに設定

TM_nがCR_{n0}との一致によりFFFFHから0000Hにクリアされるとき

図7-30 OVF_nビットの動作タイミング



(b) OVF_nビットのクリア

TM_nがオーバフロー後、次のカウント・クロックがカウントされる(TM_nが0001Hになる)前にOVF_nフラグをクリアしても、再度セットされクリアは無効となります。

(8) 競合動作

(a) リード期間とキャプチャ・トリガ入力の競合した場合

16ビット・キャプチャ/コンペア・レジスタ_{n0}, _{n1} (CR_{n0}, CR_{n1}) をキャプチャ・レジスタとして使用しているとき、リード期間とキャプチャ・トリガ入力が競合した場合は、キャプチャ・トリガ入力が優先されます。CR_{n0}, CR_{n1}のリード・データは不定となります。

(b) ライト期間とTM_nとの一致タイミングが競合した場合

16ビット・キャプチャ/コンペア・レジスタ_{n0}, _{n1} (CR_{n0}, CR_{n1}) をコンペア・レジスタとして使用しているとき、ライト期間と16ビット・タイマ・レジスタ_n (TM_n) との一致タイミングが競合した場合は、一致判別は正常に行われません。一致タイミング付近でCR_{n0}, CR_{n1}のライト動作は行わないでください。

(9) タイマ動作**(a) CRn1のキャプチャ**

16ビット・タイマ・レジスタn (TMn) をリードしても、16ビット・キャプチャ/コンペア・レジスタn1 (CRn1) にはキャプチャしません。

(b) TIn0, TIn1端子の受け付け

CPUの動作モードに関係なくタイマが停止していると、TIn0, TIn1端子への入力信号は受け付けられません。

(c) ワンショット・パルス出力

ワンショット・パルス出力は、フリー・ランニング・モードまたはTIn0端子の有効エッジでクリア&スタート・モードでのみ正常に動作します。TMnとCRn0の一致でクリア&スタート・モードでは、オーバフローしないため、ワンショット・パルス出力ができません。

(10) キャプチャ動作**(a) カウント・クロックにTIn0の有効エッジを指定した場合**

カウント・クロックにTIn0の有効エッジを指定した場合、TIn0をトリガに指定したキャプチャ・レジスタは正常に動作しません。

(b) TIn0の有効エッジに立ち上がり、立ち下りの両エッジを選択した場合

CRn0レジスタのキャプチャ・トリガをTIn0の有効エッジの逆相に設定し、TIn0の有効エッジに立ち上がり、立ち下りの両エッジを選択した場合、キャプチャ動作は行いません。

(c) TIn1, TIn0からの信号を確実にキャプチャ動作する場合

キャプチャ・トリガは、TIn1, TIn0からの信号を確実にキャプチャ動作するために、プリスケアラ・モード・レジスタn0, n1 (PRMn0, PRMn1) で選択したカウント・クロックの2回分より長いパルスを必要とします。

(d) 割り込み要求入力

キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み要求入力 (INTTMn0, INTTMn1) は次のカウント・クロックの立ち上がりで発生します。

(11) コンペア動作**(a) タイマ動作中にCRn0, CRn1を書き換えたとき**

タイマ動作中に16ビット・タイマ・キャプチャ/コンペア・レジスタn0, n1 (CRn0, CRn1) を書き換えたとき、その値がタイマ値に近く、かつタイマ値より大きい場合、一致割り込み要求の発生やクリア動作が正常に行われず、可能性があります。

(b) CRn0, CRn1をコンペア・モードに設定したとき

コンペア・モードに設定したCRn0, CRn1は、キャプチャ・トリガが入力されていてもキャプチャ

動作を行いません。

(12) エッジ検出

(a) システム・リセット直後にTIn0端子またはTIn1端子がハイ・レベルの場合

システム・リセット直後にTIn0端子またはTIn1端子がハイ・レベルの場合、TIn0端子またはTIn1端子の有効エッジを立ち上がりまたは両エッジに指定し、16ビット・タイマ/カウンタ n (TM n)の動作を許可すると、その直後に立ち上がりエッジを検出します。TIn0端子またはTIn1端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止したあとの再動作許可時には、立ち上がり/立ち下がりエッジは検出されません。

(b) ノイズ除去のためのサンプリング・クロック

TIn0の有効エッジをカウント・クロックで使用する場合と、キャプチャ・トリガとして使用する場合で、ノイズ除去のためのサンプリング・クロックが異なります。前者は $f_{xx}/2$ で、後者はプリスケアラ・モード・レジスタ $n0, n1$ (PRM $n0, PRMn1$)で選択したカウント・クロックでサンプリングします。有効エッジの検出は、有効エッジをサンプリングして2回有効レベルを検出すると、はじめてキャプチャ動作するため、短いパルス幅のノイズを除去できます。

7.3 8ビット・タイマ (TM2-TM7)

★ 7.3.1 概要

8ビット・コンペア・レジスタ：8本 (CRn0)

カスケード接続により16ビット・コンペア・レジスタ (最大2本) として使用可能

コンペアー一致/オーバフロー割り込み要求信号 (INTTMn) 出力可能

イベント入力 (TIm) のカウントが可能

一致検出により動作するタイマ出力：各1本 (TOm)

P26/TI2/TO2, P27/TI3/TO3, P36/TI4/TO4, P37/TI5/TO5端子をTO2, TO3, TO4, TO5端子 (タイマ出力) として使用する場合は, ポート2, 3 (P2, P3) の値を“0” (ロウ・レベル出力) に, ポート2, 3モードレジスタ (PM2, PM3) の値を“0” (ポート出力モード) にしてください。ポートとタイマの出力値の論理和 (OR) が出力されます。

TO_n端子とTIn端子は兼用しているため, どちらか一方の機能しか使えません。

備考 n = 2-7,

m = 2-5

7.3.2 機能

8ビット・タイマnには, 次の2つのモードがあります (n = 2-7)。

- ・タイマを単体で使用するモード (単体モード)
- ・カスケード接続して使用するモード (16ビット分解能: カスケード接続モード)

注意 カスケード接続して使用しない場合は, 次に示すレジスタにはアクセスしないでください。

- ・16ビット・カウンタ (TM23, TM45, TM67)
- ・16ビット・コンペア・レジスタ (CR23, CR45, CR67)

次に, これら2つのモードについて説明します。

(1) タイマを単体で使用するモード (単体モード)

8ビットのタイマ/イベント・カウンタとして動作します。

次のような機能として使用できます。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・方形波出力
- ・PWM出力

(2) カスケード接続して使用するモード (16ビット分解能: カスケード接続モード)

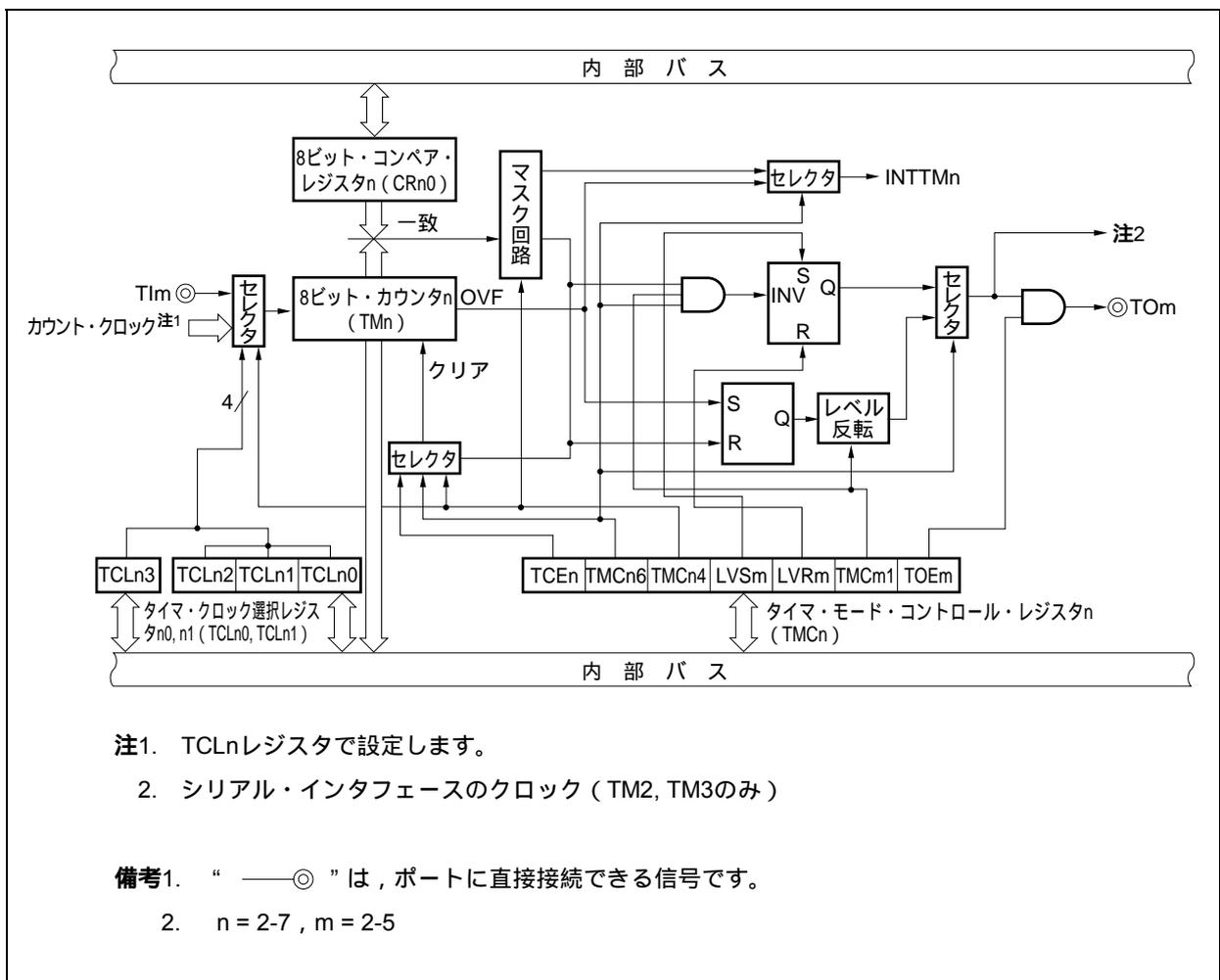
TM2とTM3, TM4とTM5をカスケード接続することにより, 16ビットのタイマ/イベント・カウンタとして動作します。次のような機能として使用できます。

- ・ 16ビット分解能のインターバル・タイマ
- ・ 16ビット分解能の外部イベント・カウンタ
- ・ 16ビット分解能の方形波出力

TM6とTM7をカスケード接続することにより, 16ビットのインターバル・タイマとして動作します。

- ・ 16ビット分解能のインターバル・タイマ

図7-31 TM2-TM7のブロック図



7.3.3 構成

タイマ n は、次のハードウェアで構成されています。

表7-5 タイマ2-7の構成

項目	構成
タイマ・レジスタ	8ビット・カウンタ2-7 (TM2-TM7) 16ビット・カウンタ23, 45, 67 (TM23, TM45, TM67) : カスケード接続時のみ
レジスタ	8ビット・コンペア・レジスタ2-7 (CR20-CR70) 16ビット・コンペア・レジスタ23, 45, 67 (CR23, CR45, CR67) : カスケード接続時のみ
タイマ出力	TO2-TO5
制御レジスタ	タイマ・クロック選択レジスタ20-70, 21-71 (TCL20-TCL70, TCL21-TCL71) 8ビット・タイマ・モード・コントロール・レジスタ2-7 (TMC2-TMC7)

(1) 8ビット・カウンタ2-7 (TM2-TM7)

TM n は、カウント・パルスをカウントする8ビットのリード専用レジスタです。

カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。

TM2とTM3, TM4とTM5, TM6とTM7は、それぞれカスケード接続し、16ビット・タイマとして使用できます。

TM m とTM $m+1$ をカスケード接続し16ビット・タイマとして使用した場合、16ビット・メモリ操作命令により読み出せます。しかし、内部8ビット・バスで接続されているので、TM m とTM $m+1$ を2回に分けて読み出します。したがって、カウント変化中の読み出しを考慮し、2回読むことにより比較してください。

動作中にカウント値を読み出した場合、カウント・クロックの入力を一時停止し、その時点でのカウント値を読み出します。次の場合、カウント値は00Hになります。

RESET入力

TCE n をクリア

TM n とCR $n0$ の一致でクリア & スタート・モード時のTM n とCR $n0$ の一致

注意 カスケード接続時は、最下位タイマ (TM2, TM4, TM6) のTCE n をクリアしても00Hとなりません。

備考 $n = 2-7$

$m = 2, 4, 6$

(2) 8ビット・コンペア・レジスタ2-7 (CR20-CR70)

CRn0レジスタは、8ビット・メモリ操作命令で設定します。

CRn0に設定した値と、8ビット・カウンタn (TMn) のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求 (INTTMn) が発生します (PWMモード以外)。

CRn0の値は00H-FFHの範囲で設定でき、カウント動作中に書き換えができます。

TMmとTMm + 1をカスケード接続し、16ビット・タイマとして使用した場合、CRm0とCR (m + 1) 0は、16ビット・コンペア・レジスタとして動作し、16ビット・メモリ操作命令で設定します。16ビット長でカウンタ値とレジスタ値を比較し、一致すると割り込み要求 (INTTMm) を発生します。そのとき、INTTMm + 1割り込み要求も発生するので、TMmとTMm + 1をカスケード接続して使用する場合は、INTTMm + 1割り込み要求をマスクしてください。

CRn0レジスタは、 $\overline{\text{RESET}}$ 入力により00Hになります。

注意 カスケード接続時にデータを設定するときは、必ずタイマ動作を停止させてから行ってください。

備考 n = 2-7

m = 2, 4, 6

7.3.4 タイマn制御レジスタ

タイマnを制御するレジスタには、次の2種類があります。

- ・タイマ・クロック選択レジスタn0, n1 (TCLn0, TCLn1)
- ・8ビット・タイマ・モード・コントロール・レジスタn (TMCn)

(1) タイマ・クロック選択レジスタ20-70, 21-71 (TCL20-TCL70, TCL21-TCL71)

タイマnのカウンタ・クロックを設定するレジスタです。

TCLn0, TCLn1は、8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

リセット時：00H R/W アドレス：FFFFF244H, FFFFF254H

	7	6	5	4	3	2	1	0
TCLn0	0	0	0	0	0	TCLn2	TCLn1	TCLn0

(n = 2, 3)

リセット時：00H R/W アドレス：FFFFF24EH, FFFFF25EH

	7	6	5	4	3	2	1	0
TCLn1	0	0	0	0	0	0	0	TCLn3

(n = 2, 3)

TCLn3	TCLn2	TCLn1	TCLn0	カウンタ・クロックの選択		
				クロック	f _{xx}	
					20 MHz ^注	12.58 MHz
0	0	0	0	TInの立ち下がりエッジ	-	-
0	0	0	1	TInの立ち上がりエッジ	-	-
0	0	1	0	f _{xx} /4	200 ns	318 ns
0	0	1	1	f _{xx} /8	400 ns	636 ns
0	1	0	0	f _{xx} /16	800 ns	1.3 μs
0	1	0	1	f _{xx} /32	1.6 μs	2.5 μs
0	1	1	0	f _{xx} /128	6.4 μs	10.2 μs
0	1	1	1	f _{xx} /512	25.6 μs	40.7 μs
1	0	0	0	設定禁止	-	-
1	0	0	1	設定禁止	-	-
1	0	1	0	f _{xx} /64	3.2 μs	5.1 μs
1	0	1	1	f _{xx} /256	12.8 μs	20.3 μs
1	1	0	0	設定禁止	-	-
1	1	0	1	設定禁止	-	-
1	1	1	0	設定禁止	-	-
1	1	1	1	設定禁止	-	-

注 V850/SB1のみ

注意1. TCLn0, TCLn1を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから行ってください。

2. TCLn0のビット3-7, TCLn1のビット1-7には必ず“0”を設定してください。

備考 カスケード接続時、TM3のTCL33-TCL30の設定は無効になります。

リセット時：00H R/W アドレス：FFFFFF264H, FFFFF274H

	7	6	5	4	3	2	1	0
TCLn0	0	0	0	0	0	TCLn2	TCLn1	TCLn0

(n = 4, 5)

リセット時：00H R/W アドレス：FFFFFF26EH, FFFFF27EH

	7	6	5	4	3	2	1	0
TCLn1	0	0	0	0	0	0	0	TCLn3

(n = 4, 5)

TCLn3	TCLn2	TCLn1	TCLn0	カウント・クロックの選択		
				クロック	f _{xx}	
					20 MHz ^注	12.58 MHz
0	0	0	0	TInの立ち下がりエッジ	-	-
0	0	0	1	TInの立ち上がりエッジ	-	-
0	0	1	0	f _{xx} /4	200 ns	318 ns
0	0	1	1	f _{xx} /8	400 ns	636 ns
0	1	0	0	f _{xx} /16	800 ns	1.3 μs
0	1	0	1	f _{xx} /32	1.6 μs	2.5 μs
0	1	1	0	f _{xx} /128	6.4 μs	10.2 μs
0	1	1	1	f _{xt} (サブクロック)	30.5 μs	30.5 μs
1	0	0	0	設定禁止	-	-
1	0	0	1	設定禁止	-	-
1	0	1	0	f _{xx} /64	3.2 μs	5.1 μs
1	0	1	1	f _{xx} /256	12.8 μs	20.3 μs
1	1	0	0	設定禁止	-	-
1	1	0	1	設定禁止	-	-
1	1	1	0	設定禁止	-	-
1	1	1	1	設定禁止	-	-

注 V850/SB1のみ

- 注意1. TCLn0, TCLn1を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから行ってください。
2. TCLn0のビット3-7, TCLn1のビット1-7には必ず“0”を設定してください。

備考 カスケード接続時, TM5のTCL53-TCL50の設定は無効になります。

リセット時：00H R/W アドレス：FFFFFF284H, FFFFFFF294H

	7	6	5	4	3	2	1	0
TCLn0	0	0	0	0	0	TCLn2	TCLn1	TCLn0

(n = 6, 7)

リセット時：00H R/W アドレス：FFFFFF28EH, FFFFFFF29EH

	7	6	5	4	3	2	1	0
TCLn1	0	0	0	0	0	0	0	TCLn3

(n = 6, 7)

TCLn3	TCLn2	TCLn1	TCLn0	カウント・クロックの選択		
				クロック	f _{xx}	
					20 MHz ^注	12.58 MHz
0	0	0	0	設定禁止	-	-
0	0	0	1	設定禁止	-	-
0	0	1	0	f _{xx} /4	200 ns	318 ns
0	0	1	1	f _{xx} /8	400 ns	636 ns
0	1	0	0	f _{xx} /16	800 ns	1.3 μs
0	1	0	1	f _{xx} /32	1.6 μs	2.5 μs
0	1	1	0	f _{xx} /64	3.2 μs	5.1 μs
0	1	1	1	f _{xx} /128	6.4 μs	10.2 μs
1	0	0	0	設定禁止	-	-
1	0	0	1	設定禁止	-	-
1	0	1	0	f _{xx} /256	12.8 μs	20.3 μs
1	0	1	1	f _{xx} /512	25.6 μs	40.7 μs
1	1	0	0	設定禁止	-	-
1	1	0	1	設定禁止	-	-
1	1	1	0	設定禁止	-	-
1	1	1	1	TM0オーバーフロー信号	-	-

注 V850/SB1のみ

注意1. TCLn0, TCLn1を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから行ってください。

2. TCLn0のビット3-7, TCLn1のビット1-7には必ず“0”を設定してください。

備考 カスケード接続時, TM7のTCL73-TCL70の設定は無効になります。

(2) 8ビット・タイマ・モード・コントロール・レジスタ2-7 (TMC2-TMC7)

TMCnは、次の6種類の設定を行うレジスタです。

- 8ビット・カウンタn (TMn) のカウント動作制御
- 8ビット・カウンタn (TMn) の動作モードの選択
- 単体モード/カスケード接続モードの選択
- タイマ出力F/F (フリップフロップ) の状態設定
- タイマF/Fの制御またはPWM (フリー・ランニング) モード時のアクティブ・レベルの選択
- タイマ出力の制御

TMCnは、8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により04Hになります (ハードウェアの状態は04Hに初期化されますが、リードすると00Hが読み出されます)。

リセット時：04H R/W アドレス：TMC2 FFFFFFF246H TMC5 FFFFFFF276H
 TMC3 FFFFFFF256H TMC6 FFFFFFF286H
 TMC4 FFFFFFF266H TMC7 FFFFFFF296H

TMCn
(n = 2-7, m = 2-5)

⑦	6	5	4	③	②	1	①
TCEn	TMCn6	0	TMCn4	LVS _m	LVR _m	TMCm1	TOEm

TCEn	TMnのカウンタ動作制御
0	カウンタを0にクリア後，カウンタ動作禁止（プリスケアラ禁止）
1	カウンタ動作開始

TMCn6	TMnの動作モード選択
0	TMnとCRn0の一致でクリア&スタート・モード
1	PWM（フリー・ランニング）モード

TMCn4	単体モード/カスケード接続モードの選択
0	単体モード（n = 2, 4, 6時は0固定）
1	カスケード接続モード（下位タイマと接続）

LVS _m	LVR _m	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット（0）
1	0	タイマ出力F/Fをセット（1）
1	1	設定禁止

TMCm1	PWM（フリー・ランニング）モード以外（TMCn6 = 0）	PWM（フリー・ランニング）モード（TMCn6 = 1）
	タイマF/Fの制御	アクティブ・レベルの選択
0	反転動作禁止	ハイ・アクティブ
1	反転動作許可	ロウ・アクティブ

TOEm	タイマ出力の制御
0	出力禁止（ポート・モード）
1	出力許可

注意1. タイマ出力端子（TO_m）として使用する場合は，ポートの値を“0”（ポート・モード出力）にしてください。タイマ出力値のORが出力されます。

2. TO_m端子とTIm端子は兼用しているため，どちらか一方の機能しか使用できません。

備考1. PWMモード時は，TCEm = 0により，PWM出力はインアクティブ・レベルになります。

2. データ設定後にLVS_m, LVR_m読み出すと，0が読み出せます。

7.4 8ビット・タイマの動作

7.4.1 インターバル・タイマ (8ビット) としての動作

8ビット・コンペア・レジスタn (CRn0) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

8ビット・カウンタn (TMn) のカウント値がCRn0に設定した値と一致したとき、TMnの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTMn) が発生します。

タイマ・クロック選択レジスタn0 (TCLn0) のTCLn0-TCLn2ビットとタイマ・クロック選択レジスタn1 (TCLn1) のTCLn3ビットでTMnのカウント・クロックを選択できます (n = 2-7)。

設定方法

各レジスタの設定を行います。

- ・ TCLn0, TCLn1 : カウント・クロックの選択
- ・ CRn0 : コンペア値
- ・ TMCn : TMnとCRn0の一致でクリア&スタート・モードを選択
(TMCn = 0000xx11B x = don't care)

TCEn = 1を設定すると、カウント動作を開始します。

TMnとCRn0の値が一致すると、INTTMnが発生します (TMnは00Hにクリアされます)。

以後、同一間隔でINTTMnが繰り返し発生します。カウント動作を停止するときは、TCEn = 0にしてください。

図7-32 インターバル・タイマ動作のタイミング (1/3)

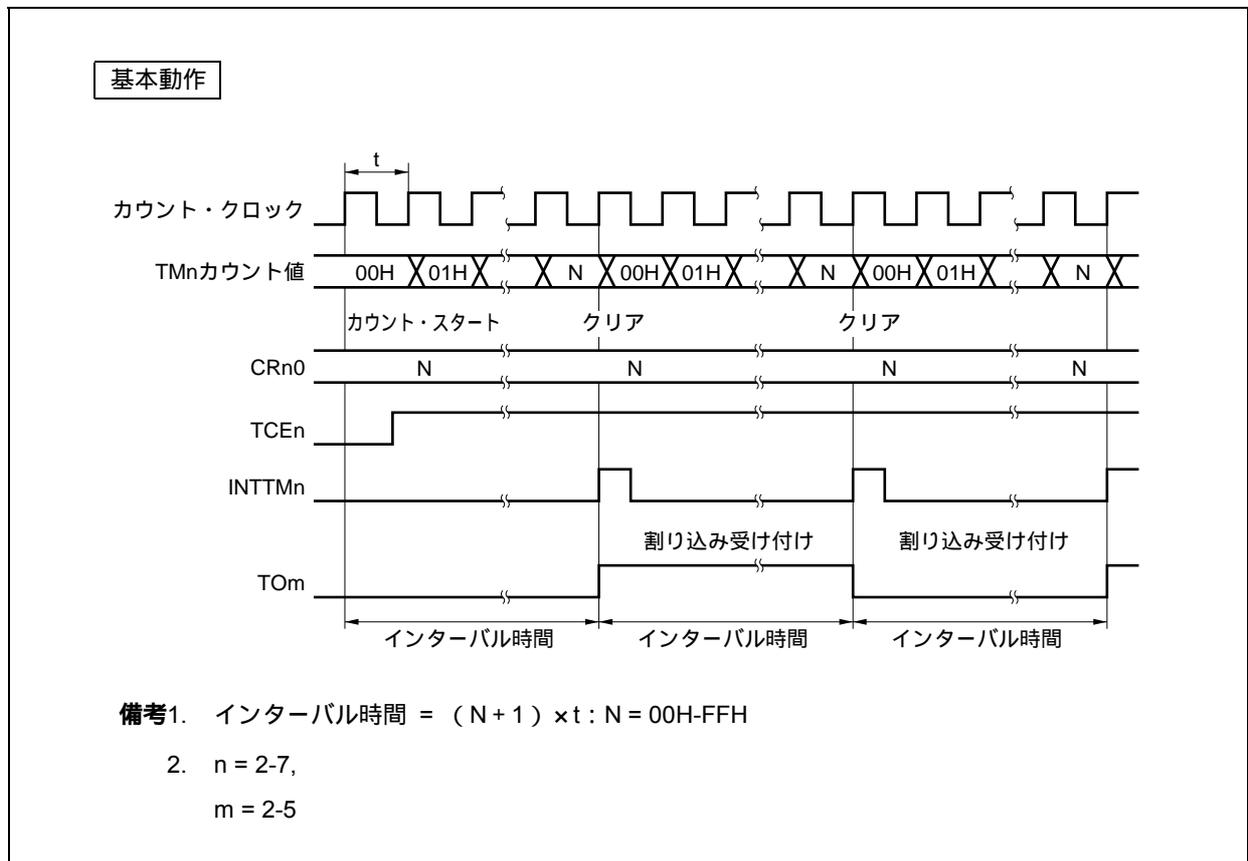
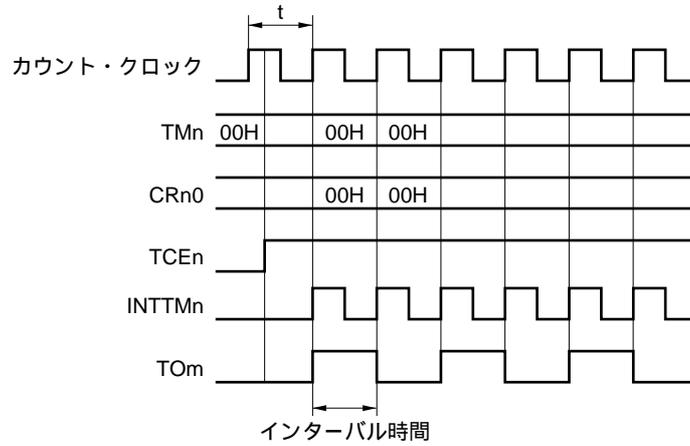


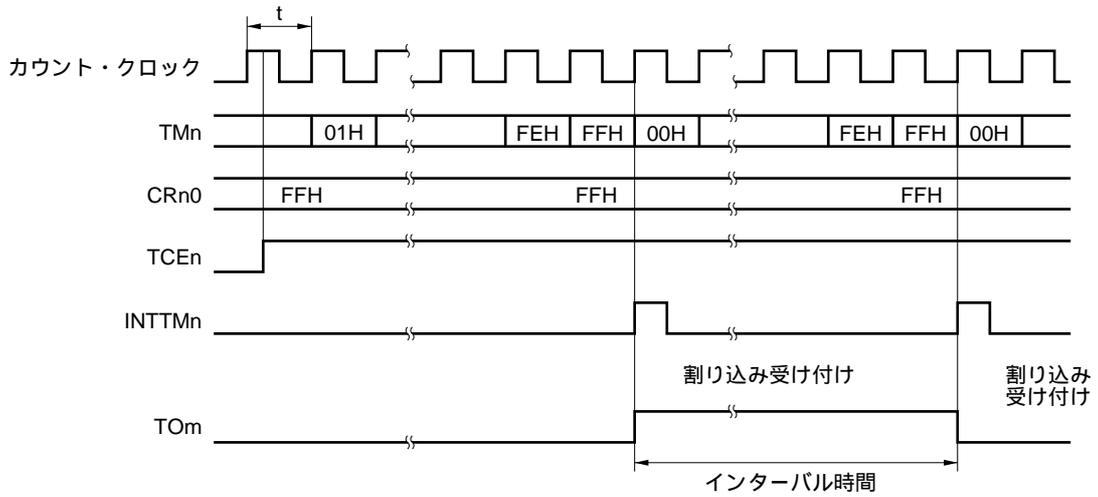
図7-32 インターバル・タイマ動作のタイミング (2/3)

CRn0 = 00Hの場合



備考 n = 2-7,
m = 2-5

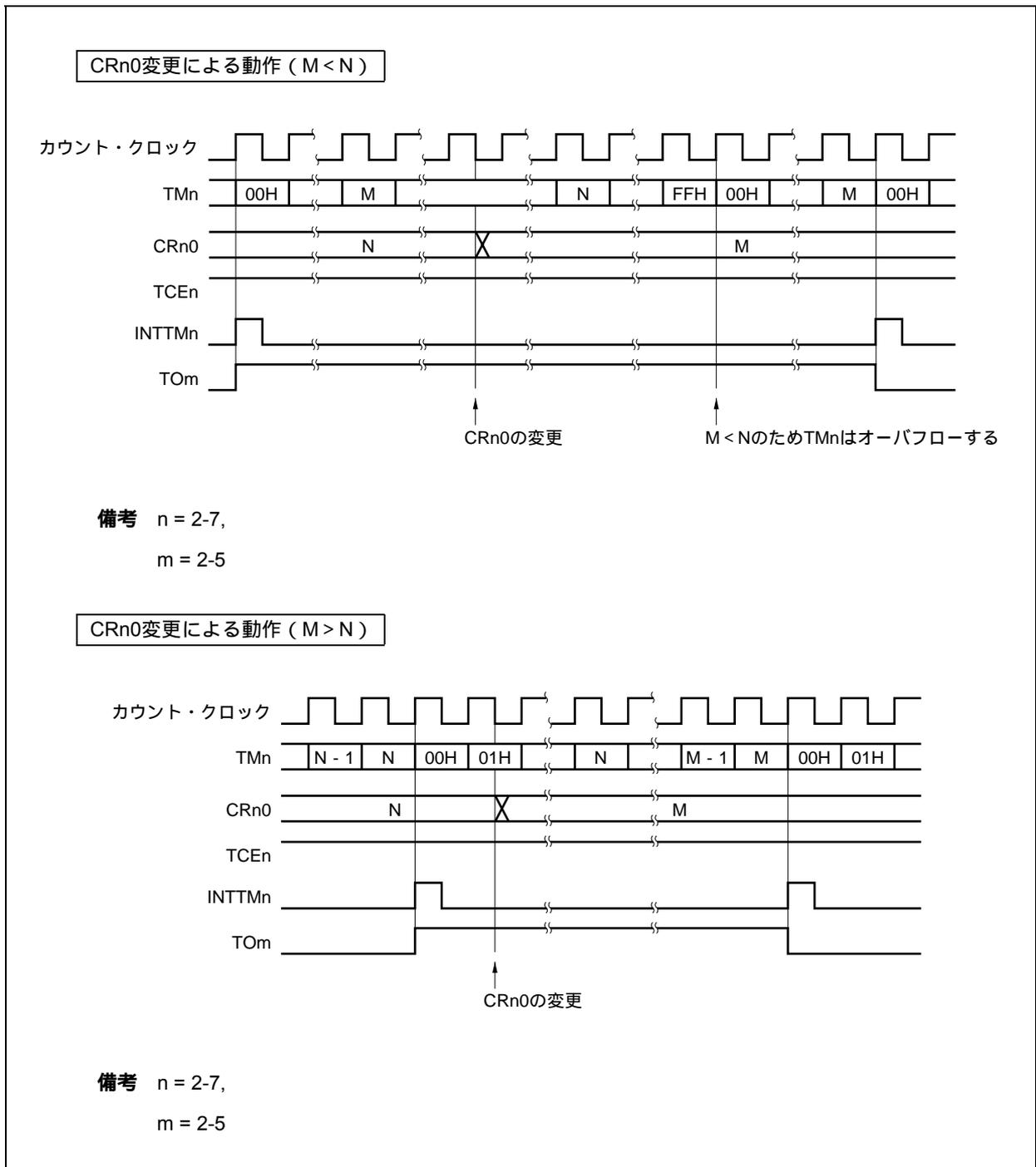
CRn0 = FFHの場合



備考 n = 2-7,
m = 2-5

★

図7-32 インターバル・タイマ動作のタイミング (3/3)



7.4.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TInに入力される外部からのクロック・パルス数をカウントするものです。

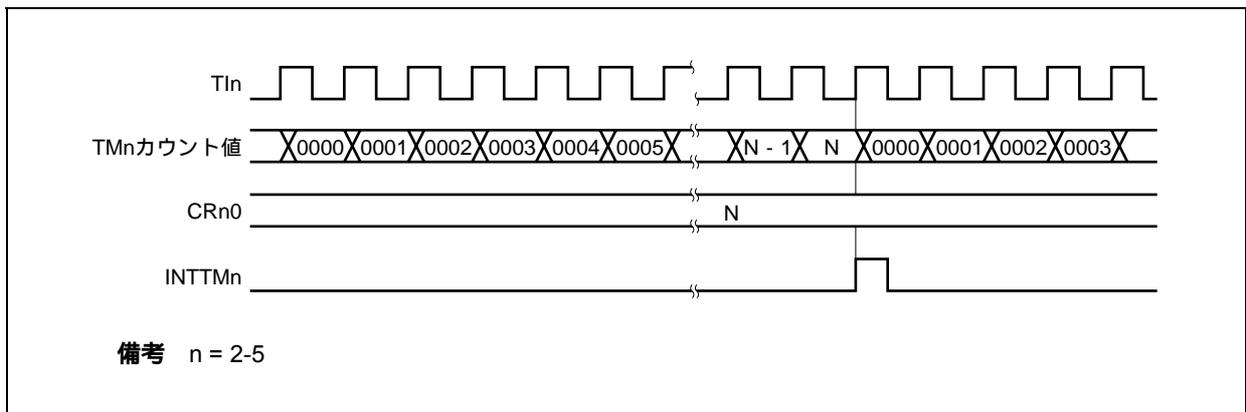
タイマ・クロック選択レジスタn0, n1 (TCLn0, TCLn1) で指定した有効エッジが入力されるたびに、TMnがインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりのいずれかを選択できます。

TMnの計数値が8ビット・コンペア・レジスタn (CRn0) の値と一致すると、TMnは0にクリアされ、割り込み要求信号 (INTTMn) が発生します。

以後、TMnの値とCRn0の値が一致するたびに、INTTMnが発生します。

備考 n = 2-5

図7 - 33 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



7.4.3 方形波出力（8ビット分解能）としての動作

8ビット・コンペア・レジスタn (CRn0) にあらかじめ設定したカウント値をインターバルとする、任意の周波数の方形波出力として動作します。

8ビット・タイマ・モード・コントロール・レジスタn (TMCn) のビット0 (TOEn) に1を設定することにより、CRn0にあらかじめ設定したカウント値をインターバルとしてTOnの出力状態が反転します。これにより、任意の周波数の方形波出力（デューティ比 = 50 %）が可能です。

設定方法

各レジスタの設定を行います。

- ・ポート・ラッチ，ポート・モード・レジスタに“0”を設定
- ・TCLn0, TCLn1：カウント・クロックの選択
- ・CRn0：コンペア値
- ・TMCn：TMnとCRn0の一致でクリア&スタート・モード

LVS _n	LVR _n	タイマ出力F/Fの状態設定
1	0	ハイ・レベル出力
0	1	ロウ・レベル出力

タイマ出力F/Fの反転許可

タイマ出力許可 TOEn = 1

TCEn = 1を設定すると、カウント動作を開始します。

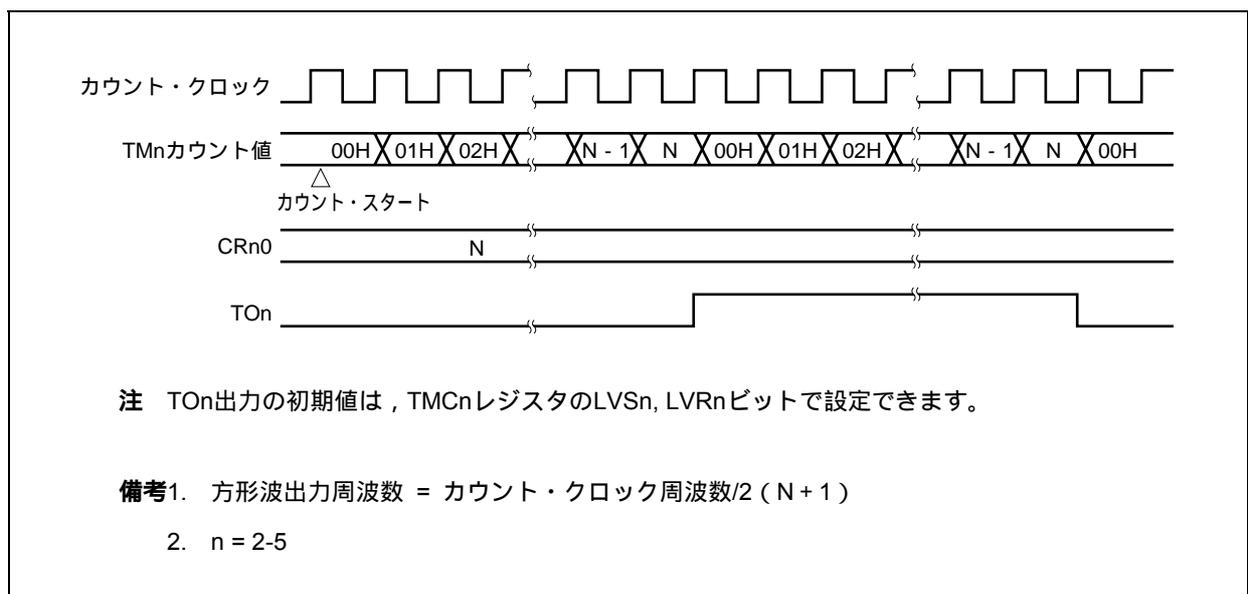
TMnとCRn0の値が一致すると、タイマ出力F/Fが反転します。

また、INTTMnが発生し、TMnは00Hにクリアされます。

以後、同一間隔でタイマ出力F/Fが反転し、TOnから方形波が出力されます。

備考 n = 2-5

図7 - 34 方形波出力動作のタイミング



7.4.4 8ビットPWM出力としての動作

8ビット・タイマ・モード・コントロール・レジスタ n (TMCn)のTMCn6ビットを“1”に設定することにより、PWM出力として動作します。

8ビット・コンペア・レジスタ n (CRn0)に設定した値で決まるデューティ比のパルスを、TONから出力します。

PWMパルスのアクティブ・レベルの幅は、CRn0に設定してください。また、アクティブ・レベルは、TMCnのTMCn1ビットにより選択できます。

カウント・クロックは、タイマ・クロック選択レジスタ $n0$ (TCLn0)のTCLn0-TCLn2ビットとタイマ・クロック選択レジスタ $n1$ (TCLn1)のTCLn3ビットで選択できます。

TMCnのTOEnビットにより、PWM出力の許可/禁止が選択できます。

注意 PWMモード時のCRn0の書き換えは、1周期に1回のみ可能です。

備考 $n = 2-5$

(1) PWM出力の基本動作

設定方法

ポート・ラッチ、ポート・モード・レジスタ n に“0”を設定します。

8ビット・コンペア・レジスタ (CRn0)でアクティブ・レベル幅を設定します。

タイマ・クロック選択レジスタ $n0, n1$ (TCLn0, TCLn1)で、カウント・クロックを選択します。

TMCnのTMCn1ビットで、アクティブ・レベルを設定します。

TMCnのTCEnビットに“1”を設定すると、カウント動作を開始します。

カウント動作を停止するときは、TCEnに“0”を設定してください。

PWM出力の動作

カウント動作を開始すると、PWM出力 (TONからの出力)はオーバフローが発生するまでインアクティブ・レベルを出力します。

オーバフローが発生すると、設定方法 で設定したアクティブ・レベルを出力します。アクティブ・レベルは、CRn0と8ビット・カウンタ n (TMn)のカウント値が一致するまで出力されます。

CRn0とカウント値が一致したあとのPWM出力は、再度オーバフローが発生するまでインアクティブ・レベルを出力します。

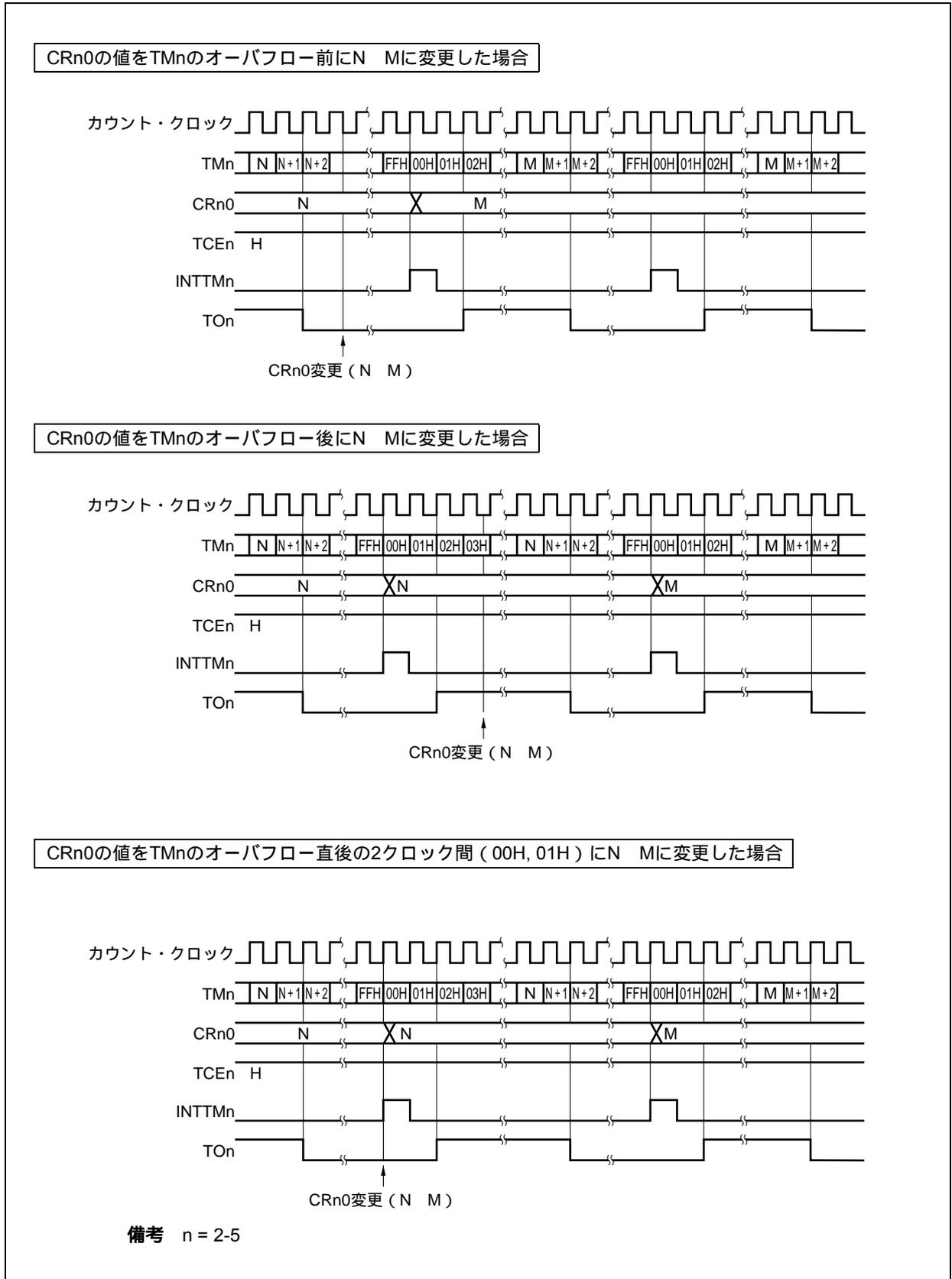
以後、カウント動作が停止されるまで、 を繰り返します。

TCEn = 0によりカウント動作を停止すると、PWM出力はインアクティブ・レベルになります。

備考 $n = 2-5$

(b) CRn0変更による動作について

図7-36 CRn0変更による動作のタイミング



7.4.5 インターバル・タイマ (16ビット) としての動作

(1) カスケード接続 (16ビット・タイマ) モード

V850/SB1, V850/SB2では、カスケード接続時だけ使用できる16ビット・レジスタを用意しています。使用できるレジスタは、次のとおりです。

TM2, TM3をカスケード接続時 : 16ビット・カウンタ TM23 (アドレス : FFFFF24AH)
 16ビット・コンペア・レジスタ CR23 (アドレス : FFFFF24CH)
 TM4, TM5をカスケード接続時 : 16ビット・カウンタ TM45 (アドレス : FFFFF26AH)
 16ビット・コンペア・レジスタ CR45 (アドレス : FFFFF26CH)
 TM6, TM7をカスケード接続時 : 16ビット・カウンタ TM67 (アドレス : FFFFF28AH)
 16ビット・コンペア・レジスタ CR67 (アドレス : FFFFF28CH)

8ビット・タイマ・モード・コントロール・レジスタm (TMCm) のTMCm4ビットに“1”を設定することにより、16ビット分解能のタイマ/カウンタ・モードになります (m = 3, 5, 7)。

8ビット・コンペア・レジスタn (CRn0) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します (n = 2-7)。

以降の説明では、TM2とTM3での方法を示しています。TM4とTM5、TM6とTM7で使用する際は、それぞれを置き換えてください。

設定方法例 (TM2とTM3をカスケード接続した場合)

各レジスタの設定を行います。

- ・TCL20, TCL21 : TM2はカウント・クロック選択 (カスケード接続するTM3は設定不要)
- ・CR20, CR30 : コンペア値 (各コンペア値とも00H-FFHの設定が可能)
- ・TMC2 : TM2とCR20の一致でクリア & スタート・モードを選択 (x : don't care)

TM2	TMC2 = 0000xxx0B
TM3	TMC3 = 0001xxx0B

TMC3のTCE3ビット = 1に設定します。そのあとにTMC2のTCE2ビット = 1に設定し、カウント動作を開始します。

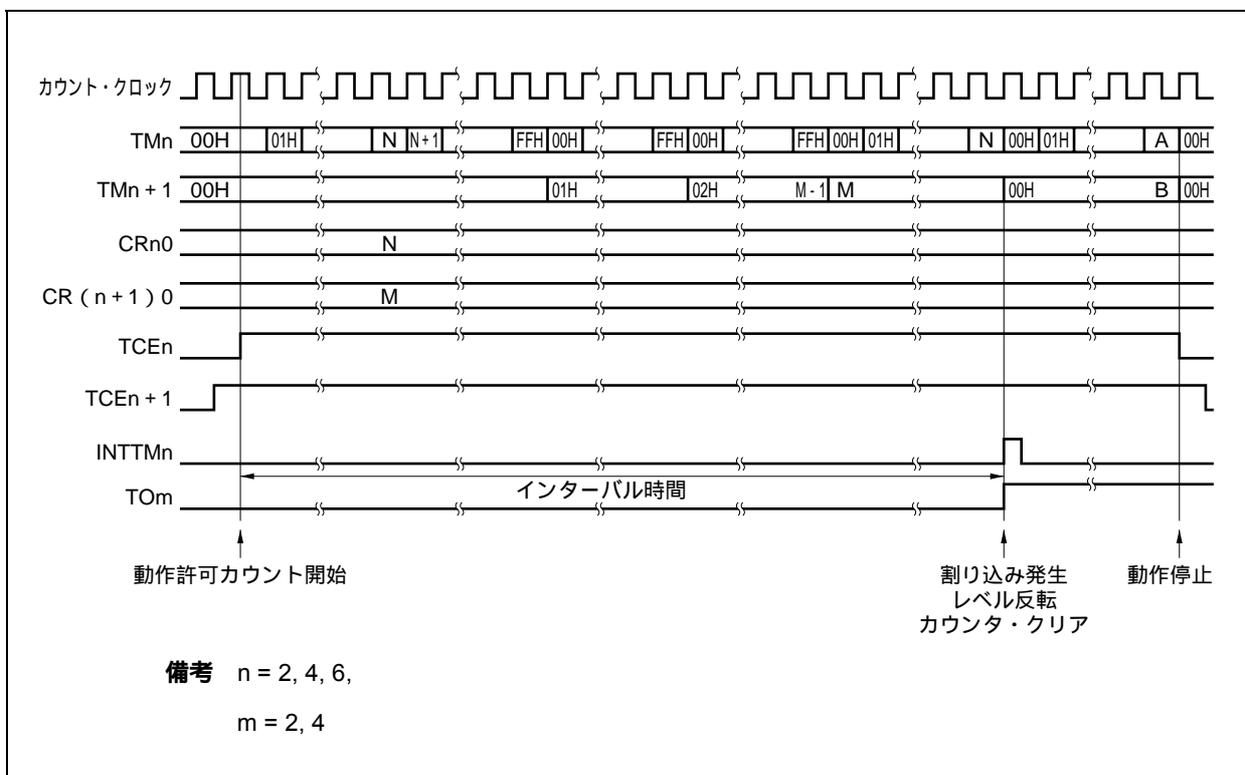
カスケード接続されたタイマのTM23とCR23の値が一致すると、割り込み要求信号 (INTTM2) が発生します (TM2, TM3は00Hにクリアされます)。

以後、同一間隔でINTTM2が繰り返し発生します。

- 注意1. カウント動作の再スタート/ストップは、TMC2のTCE2ビットのみを設定することにより、カウント動作/停止させることができます。
2. 8ビット・タイマ (TM2, TM3) をカスケード接続し、16ビット・タイマ (TM23) として使用中に、コンペア・レジスタ (CR23) の設定値を変更する場合、カスケード接続したそれぞれの8ビット・タイマのカウント動作を停止させてからCR23の値を変更してください。タイマを停止させないでCR23の値を変更した場合、上位8ビット (TM3) の値が不定となります。
3. カスケード接続で使用している場合でも、上位のタイマ3 (TM3) のカウント値がCR30と一致すると、上位のタイマ3 (TM3) の割り込み要求信号 (INTTM3) が発生します。TM3は割り込み禁止のため必ずマスクしてください。

16ビット分解能カスケード接続モードのタイミング例を次に示します。

図7 - 37 16ビット分解能カスケード接続モード

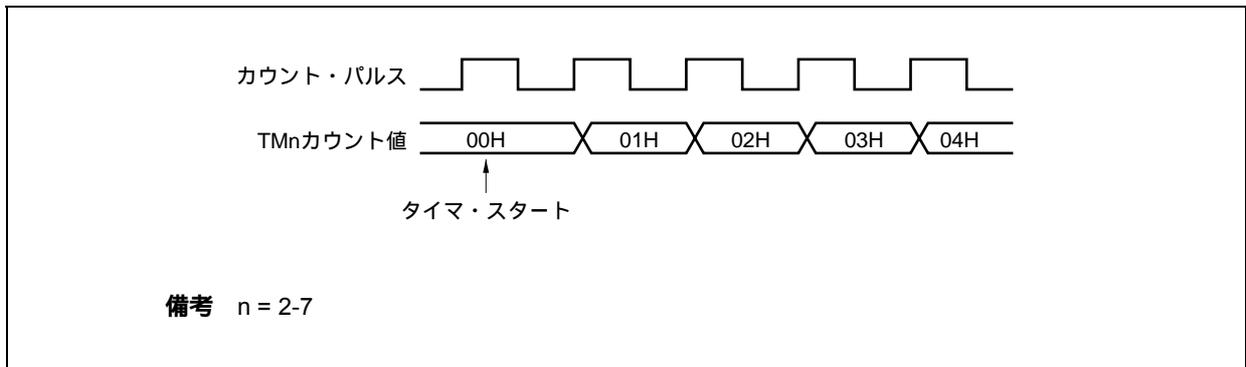


7.4.6 注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・パルスに対して8ビット・カウンタ n (TM n) のスタートが非同期で行われるためです。

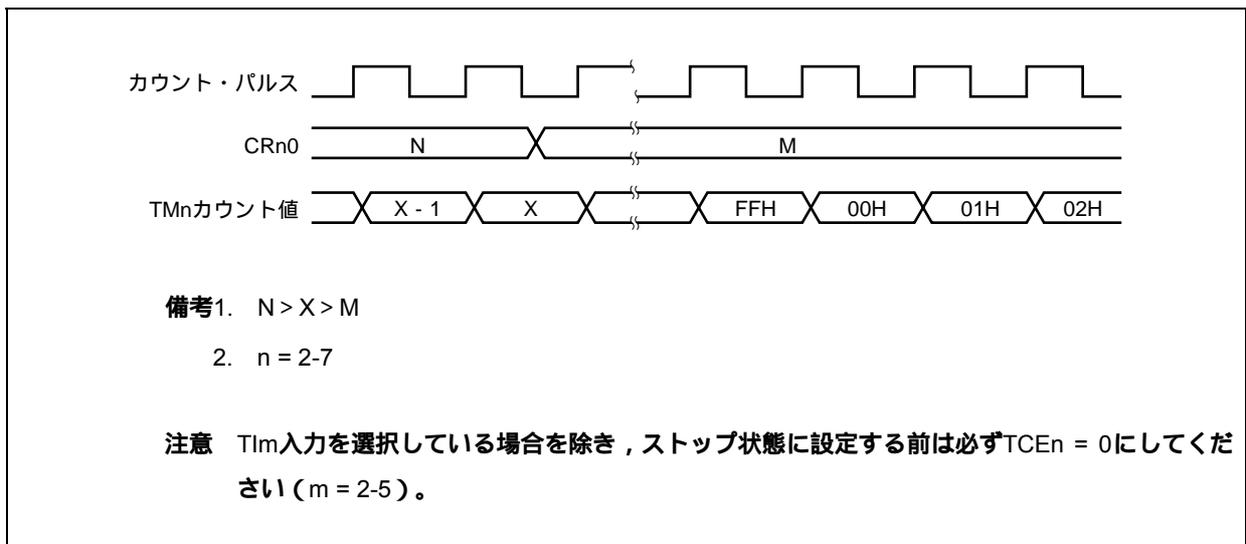
図7 - 38 タイマ n のスタート・タイミング



(2) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

8ビット・コンペア・レジスタ n (CR n 0) の変更後の値が、8ビット・タイマ・レジスタ (TM n) の値よりも小さいときはカウントを継続し、オーバーフローして0から再カウントします。したがって、CR n 0の変更後の値 (M) が、変更前の値 (N) より小さく、かつTM n レジスタのカウント値より小さいときは、CR n 0を変更したあと、タイマを再スタートさせる必要があります ($n = 2-5$)。

図7 - 39 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



(3) タイマ動作中のTM n 読み出しについて

動作中のTM n の読み出しは、選択クロックを一時停止して読み出すため、選択クロックはより長いハイ/ロウ・レベルのある波形を選択してください ($n = 2-7$)。

第8章 時計用タイマ機能

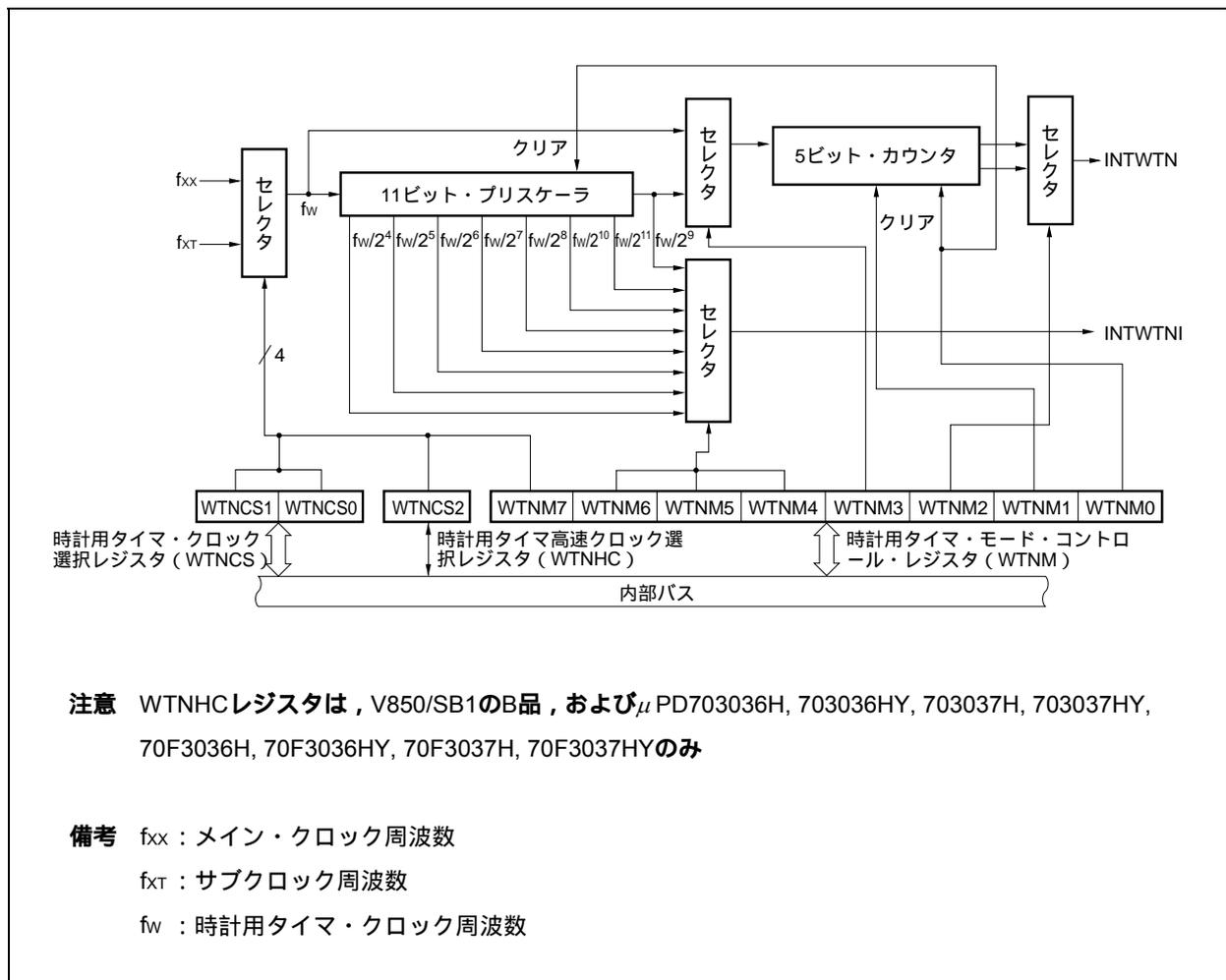
8.1 機能

時計用タイマには、次のような機能があります。

- ・時計用タイマ
- ・インターバル・タイマ

時計用タイマとインターバル・タイマは、同時に使用できます。

図8 - 1 時計用タイマのブロック図



(1) 時計用タイマ

メイン・クロックまたはサブクロックを使用すると、0.5秒または0.25秒の時間間隔で割り込み要求 (INTWTDN) を発生します。

(2) インターバル・タイマ

あらかじめ設定した時間間隔で、割り込み要求 (INTWTDNI) を発生します。

表8 - 1 インターバル・タイマのインターバル時間

インターバル時間	$f_w = 32.768 \text{ kHz}$ 動作時
$2^4 \times 1/f_w$	488 μs
$2^5 \times 1/f_w$	977 μs
$2^6 \times 1/f_w$	1.95 ms
$2^7 \times 1/f_w$	3.91 ms
$2^8 \times 1/f_w$	7.81 ms
$2^9 \times 1/f_w$	15.6 ms
$2^{10} \times 1/f_w$	31.2 ms
$2^{11} \times 1/f_w$	62.4 ms

備考 f_w : 時計用タイマ・クロック周波数

8.2 構成

時計用タイマは、次のハードウェアで構成されています。

表8 - 2 時計用タイマの構成

項目	構成
カウンタ	5ビット×1本
プリスケアラ	11ビット×1本
制御レジスタ	時計用タイマ・モード・コントロール・レジスタ (WTNM) 時計用タイマ高速クロック選択レジスタ (WTNHC) ^注 時計用タイマ・クロック選択レジスタ (WTNCS)

注 WTNHCレジスタは、V850/SB1のB品、および μ PD703036H, 703036HY, 703037H, 703037HY, 70F3036H, 70F3036HY, 70F3037H, 70F3037HYのみ

8.3 時計用タイマ制御レジスタ

時計用タイマを制御するレジスタには、時計用タイマ・モード・コントロール・レジスタ (WTNM) , 時計用タイマ高速クロック選択レジスタ (WTNHC) [※], 時計用タイマ・クロック選択レジスタ (WTNCS) があります。時計用タイマは、カウント・クロックやインターバル時間を設定したあとに動作させてください。

注意 WTNHCレジスタは、V850/SB1のB品、および μ PD703036H, 703036HY, 703037H, 703037HY, 70F3036H, 70F3036HY, 70F3037H, 70F3037HYのみ

(1) 時計用タイマ・モード・コントロール・レジスタ (WTNM)

時計用タイマのカウント・クロックおよび動作の許可/禁止、プリスケアラのインターバル時間、5ビット・カウンタの動作制御および時計用フラグのセット時間を設定するレジスタです。

WTNMは、8/1ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF360H							
	7	6	5	4	3	2	① ②
WTNM	WTNM7	WTNM6	WTNM5	WTNM4	WTNM3	WTNM2	WTNM1 WTNM0
	WTNM6	WTNM5	WTNM4	プリスケアラのインターバル時間の選択			
	0	0	0	2 ⁴ /f _w (488 μs)			
	0	0	1	2 ⁵ /f _w (977 μs)			
	0	1	0	2 ⁶ /f _w (1.95 ms)			
	0	1	1	2 ⁷ /f _w (3.91 ms)			
	1	0	0	2 ⁸ /f _w (7.81 ms)			
	1	0	1	2 ⁹ /f _w (15.6 ms)			
	1	1	0	2 ¹⁰ /f _w (31.2 ms)			
	1	1	1	2 ¹¹ /f _w (62.4 ms)			
	WTNM3	WTNM2	時計用タイマの割り込み				
	0	0	2 ¹⁴ /f _w (0.5 s)				
	0	1	2 ¹³ /f _w (0.25 s)				
	1	0	2 ⁵ /f _w (977 μs)				
	1	1	2 ⁴ /f _w (488 μs)				
	WTNM1	5ビット・カウンタの動作制御					
	0	動作停止後クリア					
	1	スタート					
	WTNM0	時計用タイマの動作許可					
	0	動作停止 (プリスケアラ, 5ビット・カウンタともにクリア)					
	1	動作許可					

備考1. f_w : 時計用タイマ・クロック周波数
 2. () 内は, f_w = 32.768 kHz動作時
 3. WTNM7の設定については, (3) 時計用タイマ・クロック選択レジスタ (WTNCS) を参照してください。

(2) 時計用タイマ高速クロック選択レジスタ (WTNHC)

時計用タイマのカウンタ・クロックを選択するレジスタです。

WTNMレジスタのWTNM7ビット，時計用タイマ・クロック選択レジスタ (WTNCS) のWTNCS1，WTNCS0ビットの組み合わせによりカウンタ・クロックが決まります。

WTNHCは，8ビット・メモリ操作命令で設定します。

RESET \bar 入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF366H

	7	6	5	4	3	2	1	0
WTNHC	0	0	0	0	0	0	0	WTNCS2

注意 WTNHCレジスタは，V850/SB1のB品，および μ PD703036H, 703036HY, 703037H, 703037HY, 70F3036H, 70F3036HY, 70F3037H, 70F3037HYのみ

(3) 時計用タイマ・クロック選択レジスタ (WTNCS)

時計用タイマのカウンタ・クロックを選択するレジスタです。

WTNCSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

注意 時計用タイマ動作中にWTNM, WTNHC, WTNCSレジスタの内容(インターバル時間, 時計用タイマの割り込み時間, カウンタ・クロック)を変更しないでください。

リセット時: 00H R/W アドレス: FFFFF364H

	7	6	5	4	3	2	1	0
WTNCS	0	0	0	0	0	0	WTNCS1	WTNCS0

WTNCS2 ^注	WTNCS1	WTNCS0	WTNM7	カウンタ・クロックの選択	メイン・クロック周波数
0	0	0	0	$f_{xx}/2^7$	4.194 MHz
0	0	0	1	f_{XT} (サブクロック)	-
0	0	1	0	$f_{xx}/3 \times 2^6$	6.291 MHz
0	0	1	1	$f_{xx}/2^8$	8.388 MHz
0	1	0	0	設定禁止	-
0	1	0	1	設定禁止	-
0	1	1	0	$f_{xx}/3 \times 2^7$	12.582 MHz
0	1	1	1	$f_{xx}/2^9$	16.777 MHz
1	0	1	0	$f_{xx}/3^2 \times 2^6$	18.874 MHz
その他				設定禁止	-

注 WTNCS2ビットは、V850/SB1のB品、および μ PD703036H, 703036HY, 703037H, 703037HY, 70F3036H, 70F3036HY, 70F3037H, 70F3037HYのみ

備考 WTNM7は、WTNMレジスタのビット7

8.4 動作

8.4.1 時計用タイマとしての動作

サブクロック (32.768 kHz) を使用すると、0.5秒の時間間隔の時計用タイマとして動作します。時計用タイマは、一定の時間間隔ごとに割り込み要求を発生します。

時計用タイマ・モード・コントロール・レジスタ (WTNM) のビット0 (WTNM0) とビット1 (WTNM1) に1を設定するとカウント動作がスタートします。0を設定すると11ビット・プリスケアラと5ビット・カウンタがクリアされ、カウント動作が停止します。

時計用タイマは、WTNM1ビットを0にすることにより5ビット・カウンタをクリアできます。このとき最大で15.6 msの誤差が発生することがあります。

また、インターバル・タイマは、WTNM0ビットを0にすることによりクリアできます。ただし、5ビット・カウンタも同時にクリアされるため、時計用タイマのオーバフロー (INTWNT) には、最大で0.5秒の誤差が発生することがあります。

8.4.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

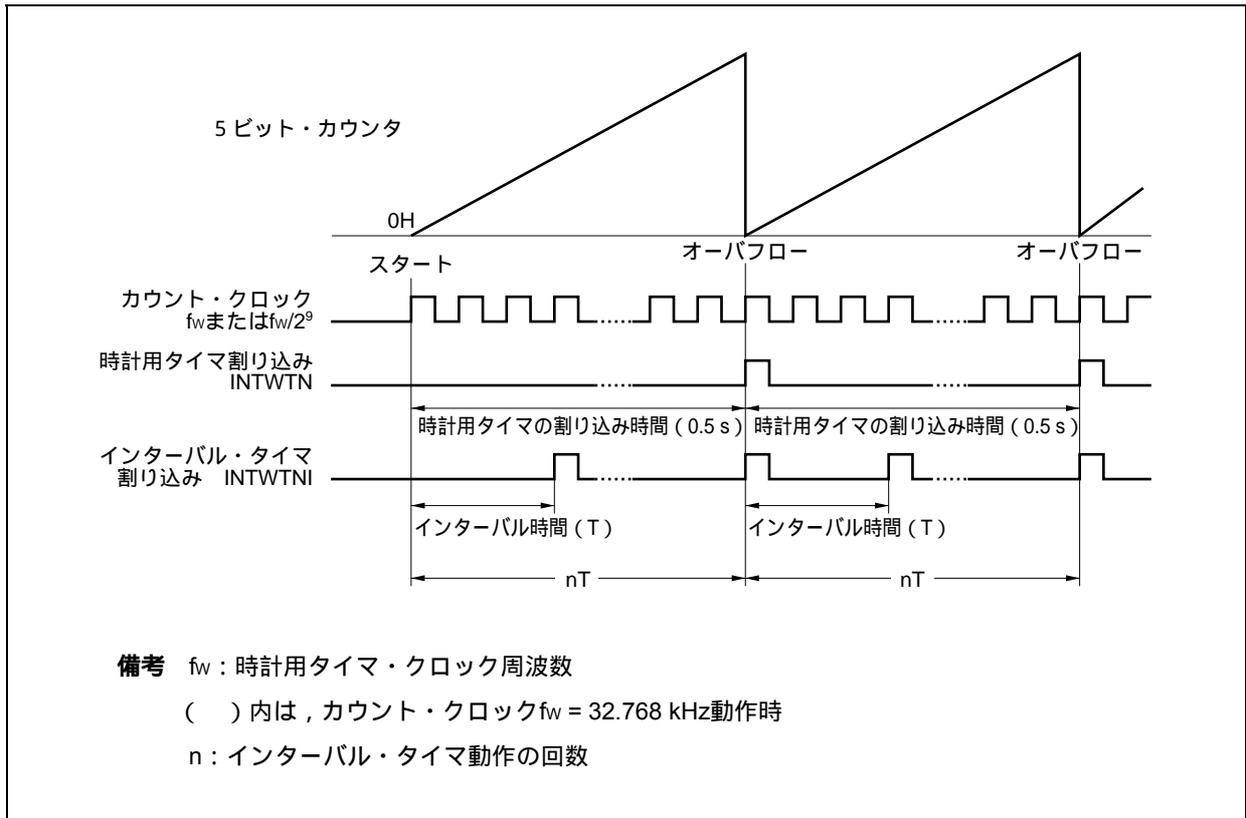
時計用タイマ・モード・コントロール・レジスタ (WTNM) のビット4-6 (WTNM4-WTNM6) により、インターバル時間を選択できます。

表8-3 インターバル・タイマのインターバル時間

WTNM6	WTNM5	WTNM4	インターバル時間	$f_w = 32.768 \text{ kHz}$ 動作時
0	0	0	$2^4 \times 1/f_w$	488 μs
0	0	1	$2^5 \times 1/f_w$	977 μs
0	1	0	$2^6 \times 1/f_w$	1.95 ms
0	1	1	$2^7 \times 1/f_w$	3.91 ms
1	0	0	$2^8 \times 1/f_w$	7.81 ms
1	0	1	$2^9 \times 1/f_w$	15.6 ms
1	1	0	$2^{10} \times 1/f_w$	31.2 ms
1	1	1	$2^{11} \times 1/f_w$	62.4 ms

備考 f_w : 時計用タイマ・クロック周波数

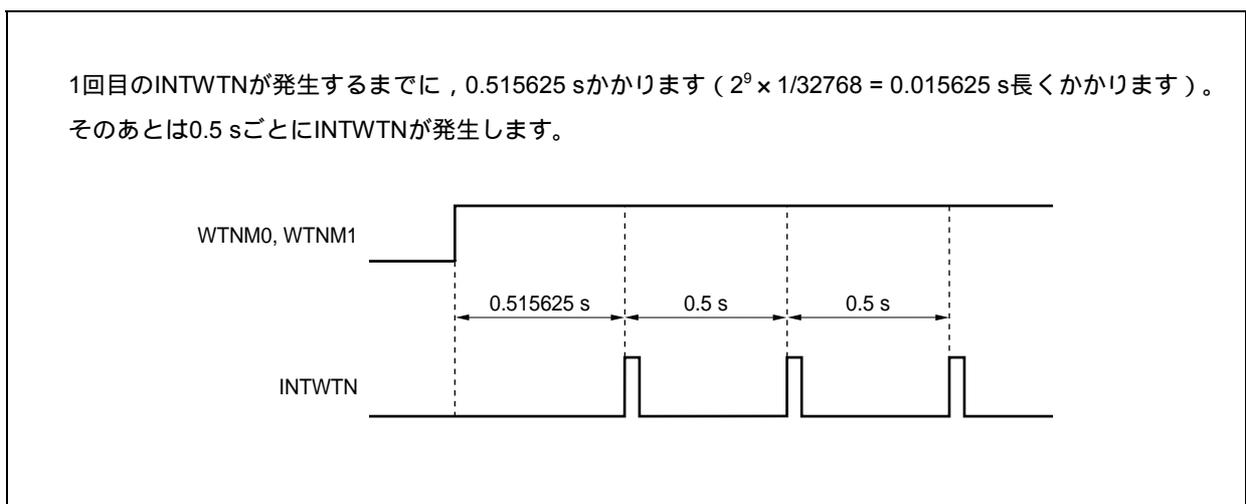
図8 - 2 時計用タイマ/インターバル・タイマの動作タイミング



8.4.3 注意事項

動作許可 (WTNMレジスタのWTNM1, WTNM0ビット = 1) してから、最初の1回目の時計用タイマ割り込み要求 (INTWTN) が発生するまで多少時間がかかります。

図8 - 3 時計用タイマ割り込み要求 (INTWTN) の発生例 (割り込み周期 = 0.5 sの場合)



第9章 ウォッチドッグ・タイマ機能

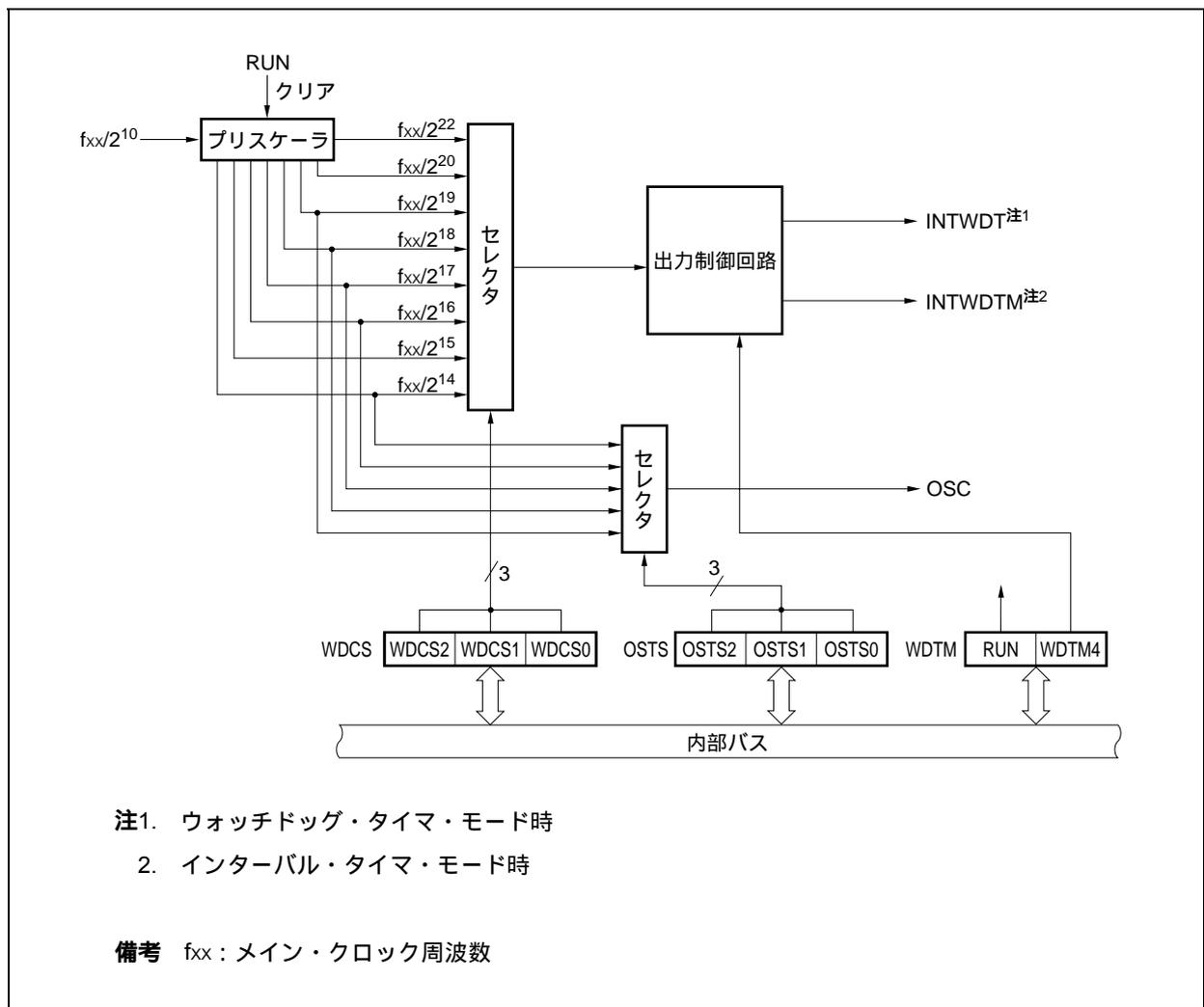
9.1 機能

ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ
- ・発振安定時間の選択

注意 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください。

図9-1 ウォッチドッグ・タイマのブロック図



(1) ウォッチドッグ・タイマ・モード

プログラムの暴走を検出します。暴走検出時、ノンマスカブル割り込みを発生できます。

表9 - 1 ウォッチドッグ・タイマの暴走検出時間

クロック	暴走検出時間	
	$f_{xx} = 20 \text{ MHz}$ ^注	$f_{xx} = 12.58 \text{ MHz}$
$2^{14}/f_{xx}$	819.2 μs	1.3 ms
$2^{15}/f_{xx}$	1.6 ms	2.6 ms
$2^{16}/f_{xx}$	3.3 ms	5.2 ms
$2^{17}/f_{xx}$	6.6 ms	10.4 ms
$2^{18}/f_{xx}$	13.1 ms	20.8 ms
$2^{19}/f_{xx}$	26.2 ms	41.6 ms
$2^{20}/f_{xx}$	52.4 ms	83.3 ms
$2^{22}/f_{xx}$	209.7ms	333.4 ms

注 V850/SB1のみ

(2) インターバル・タイマ・モード

あらかじめ設定した時間間隔で割り込みを発生します。

表9 - 2 インターバル・タイマのインターバル時間

クロック	インターバル時間	
	$f_{xx} = 20 \text{ MHz}$ ^注	$f_{xx} = 12.58 \text{ MHz}$
$2^{14}/f_{xx}$	819.2 μs	1.3 ms
$2^{15}/f_{xx}$	1.6 ms	2.6 ms
$2^{16}/f_{xx}$	3.3 ms	5.2 ms
$2^{17}/f_{xx}$	6.6 ms	10.4 ms
$2^{18}/f_{xx}$	13.1 ms	20.8 ms
$2^{19}/f_{xx}$	26.2 ms	41.6 ms
$2^{20}/f_{xx}$	52.4 ms	83.3 ms
$2^{22}/f_{xx}$	209.7 ms	333.4 ms

注 V850/SB1のみ

9.2 構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表9-3 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	発振安定時間選択レジスタ (OSTS) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

9.3 ウォッチドッグ・タイマ制御レジスタ

ウォッチドッグ・タイマを制御するレジスタを次に示します。

- ・発振安定時間選択レジスタ (OSTS)
- ・ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

(1) 発振安定時間選択レジスタ (OSTS)

リセット時またはSTOPモードを解除してから発振が安定するまでの発振安定時間を選択するレジスタです。

OSTSは、8ビット・メモリ操作命令で設定します。

RESET入力により04Hになります。

リセット時：04H R/W アドレス：FFFFFF380H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
			クロック	f _{xx}	
				20 MHz ^注	12.58 MHz
0	0	0	2 ¹⁴ /f _{xx}	819.2 μs	1.3 ms
0	0	1	2 ¹⁶ /f _{xx}	3.3 ms	5.2 ms
0	1	0	2 ¹⁷ /f _{xx}	6.6 ms	10.4 ms
0	1	1	2 ¹⁸ /f _{xx}	13.1 ms	20.8 ms
1	0	0	2 ¹⁹ /f _{xx} (リセット時)	26.2 ms	41.6 ms
上記以外			設定禁止		

注 V850/SB1のみ

(2) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)

ウォッチドッグ・タイマおよびインターバル・タイマのオーバーフロー時間を設定するレジスタです。

WDCSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF382H

	7	6	5	4	3	2	1	0
WDCS	0	0	0	0	0	WDCS2	WDCS1	WDCS0

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマ/インターバル・タイマのオーバーフロー時間		
			クロック	f _{xx}	
				20 MHz ^注	12.58 MHz
0	0	0	2 ¹⁴ /f _{xx}	819.2 μs	1.3 ms
0	0	1	2 ¹⁵ /f _{xx}	1.6 ms	2.6 ms
0	1	0	2 ¹⁶ /f _{xx}	3.3 ms	5.2 ms
0	1	1	2 ¹⁷ /f _{xx}	6.6 ms	10.4 ms
1	0	0	2 ¹⁸ /f _{xx}	13.1 ms	20.8 ms
1	0	1	2 ¹⁹ /f _{xx}	26.2 ms	41.6 ms
1	1	0	2 ²⁰ /f _{xx}	52.4 ms	83.3 ms
1	1	1	2 ²² /f _{xx}	209.7 ms	333.4 ms

注 V850/SB1のみ

★ 注意 ビット3-7には必ず“0”を設定してください。

(3) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード、カウント許可/禁止を設定するレジスタです。

WDTMは、8/1ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF384H

	⑦	6	5	4	3	2	1	0
WDTM	RUN	0	0	WDTM4	0	0	0	0

RUN	ウォッチドッグ・タイマの動作モードの選択 ^{注1}
0	カウントの停止
1	カウンタをクリアし、カウントを開始

WDTM4	ウォッチドッグ・タイマの動作モードの選択 ^{注2}
0	インターバル・タイマ・モード (オーバーフロー発生時、マスカブル割り込みINTWDTM発生)
1	ウォッチドッグ・タイマ・モード1 (オーバーフロー発生時、ノンマスカブル割り込みINTWDT発生)

注1. RUNは、一度セット(1)されると、ソフトウェアでクリア(0)することはできません。
したがって、カウントを開始すると、RESET入力以外で停止させることはできません。

2. WDTM4は、一度セット(1)されると、ソフトウェアでクリア(0)することはできません。

注意 RUNをセット(1)し、ウォッチドッグ・タイマをクリアしたとき、実際のオーバーフロー時間は、設定した時間より最大 $2^{10}/f_{\text{clk}}$ 秒短くなります。

9.4 動作

9.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

WDTMのビット7 (RUN) に1を設定することにより、カウント動作を開始します。カウント動作を開始したあと、設定した暴走検出時間間隔内にRUNに再度1を設定すると、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

RUNに1がセットされず、暴走検出時間を越えてしまった場合は、ノンマスクブル割り込み (INTWDT) が発生します (リセット機能はありません)。

ウォッチドッグ・タイマは、IDLEモード時とSTOPモード時は動作を停止します。したがって、IDLEモードやSTOPモードに入る前にRUNを1に設定し、ウォッチドッグ・タイマをクリアしてください。

また、HALTモード時はウォッチドッグ・タイマは動作するため、HALTモードを使用するときは、ウォッチドッグ・タイマを使用しないでください。

- 注意1.** 実際の暴走検出時間は、設定時間に対して最大 $2^{10}/f_{xx}$ 秒短くなる場合があります。
- 2.** CPUクロックにサブクロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止 (保持) します。

表9 - 4 ウォッチドッグ・タイマの暴走検出時間

クロック	暴走検出時間	
	$f_{xx} = 20 \text{ MHz}$ ^注	$f_{xx} = 12.58 \text{ MHz}$
$2^{14}/f_{xx}$	819.2 μ s	1.3 ms
$2^{15}/f_{xx}$	1.6 ms	2.6 ms
$2^{16}/f_{xx}$	3.3 ms	5.2 ms
$2^{17}/f_{xx}$	6.6 ms	10.4 ms
$2^{18}/f_{xx}$	13.1 ms	20.8 ms
$2^{19}/f_{xx}$	26.2 ms	41.6 ms
$2^{20}/f_{xx}$	52.4 ms	83.3 ms
$2^{22}/f_{xx}$	209.7ms	333.4 ms

注 V850/SB1のみ

9.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に0を設定することにより、あらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

インターバル・タイマとして動作しているとき、WDTICレジスタの割り込みマスク・フラグ (WDTMK) と優先順位指定フラグ (WDTPR0-WDTPR2) が有効となり、マスカブル割り込み (INTWDTM) を発生させることができます。INTWDTMのデフォルト優先順位は、マスカブル割り込みの中で最も高く設定されています。

インターバル・タイマは、HALTモード時では動作を継続しますが、IDLEモード時とSTOPモード時は動作を停止します。したがって、IDLEモード/STOPモードに入る前にWDTMレジスタのRUNビットを1に設定し、インターバル・タイマをクリアしたあと、IDLEモード/STOPモードに設定してください。

- 注意1. 一度WDTMのビット4 (WDTM4) に1を設定する (ウォッチドッグ・タイマ・モードを選択する) と、RESET入力されないかぎり、インターバル・タイマ・モードにはなりません。
- WDTMで設定した直後のインターバル時間は、設定時間に対して最大 $2^{10}/f_{xx}$ 秒短くなる場合があります。
 - CPUクロックにサブクロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止 (保持) します。

表9-5 インターバル・タイマのインターバル時間

クロック	インターバル時間	
	$f_{xx} = 20 \text{ MHz}$ ^注	$f_{xx} = 12.58 \text{ MHz}$
$2^{14}/f_{xx}$	819.2 μs	1.3 ms
$2^{15}/f_{xx}$	1.6 ms	2.6 ms
$2^{16}/f_{xx}$	3.3 ms	5.2 ms
$2^{17}/f_{xx}$	6.6 ms	10.4 ms
$2^{18}/f_{xx}$	13.1 ms	20.8 ms
$2^{19}/f_{xx}$	26.2 ms	41.6 ms
$2^{20}/f_{xx}$	52.4 ms	83.3 ms
$2^{22}/f_{xx}$	209.7ms	333.4 ms

注 V850/SB1のみ

9.5 スタンバイ機能制御レジスタ

(1) 発振安定時間選択レジスタ (OSTS)

STOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ (OSTS) で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により04Hになります。

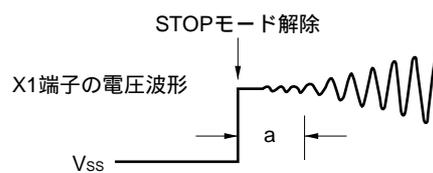
リセット時：04H R/W アドレス：FFFFFF380H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
			クロック	f_{xx}	
				20 MHz ^注	12.58 MHz
0	0	0	$2^{14}/f_{xx}$	819.2 μ s	1.3 ms
0	0	1	$2^{16}/f_{xx}$	3.3 ms	5.2 ms
0	1	0	$2^{17}/f_{xx}$	6.6 ms	10.4 ms
0	1	1	$2^{18}/f_{xx}$	13.1 ms	20.8 ms
1	0	0	$2^{19}/f_{xx}$ (リセット時)	26.2 ms	41.6 ms
上記以外			設定禁止		

注 V850/SB1のみ

注意 STOPモード解除時のウェイト時間は、 $\overline{\text{RESET}}$ 入力による場合も、割り込み発生による場合も、STOPモード解除後クロック発振を開始するまでの時間（下図 a）は含みません。



第10章 シリアル・インタフェース機能

10.1 概 要

V850/SB1, V850/SB2は、次のシリアル・インタフェースを内蔵しています。

- ・チャンネル0：3線式シリアルI/O (CSI0) / I²C0[※]
- ・チャンネル1：3線式シリアルI/O (CSI1) / アシンクロナス・シリアル・インタフェース (UART0)
- ・チャンネル2：3線式シリアルI/O (CSI2) / I²C1[※]
- ・チャンネル3：3線式シリアルI/O (CSI3) / アシンクロナス・シリアル・インタフェース (UART1)
- ・チャンネル4：8-16ビット可変長3線式シリアルI/O (CSI4)

注 I²C0, I²C1はマルチマスタ対応です (Y品 (I²C内蔵品) のみ)。

3線式シリアルI/OまたはI²Cのどちらかを使用できます。

10.2 3線式シリアルI/O (CSI0-CSI3)

CSIn (n = 0-3) には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。

(2) 3線式シリアルI/Oモード (MSB先頭固定)

シリアル・クロック ($\overline{\text{SCKn}}$)、シリアル出力 (SON)、シリアル入力 (SIn) の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットは、MSB固定です。

SCK0-SCK3端子は、ポート1, 2ファンクション・レジスタ (PF1, PF2) の設定により、それぞれ通常出力とN-chオープン・ドレイン出力を選択できます。

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

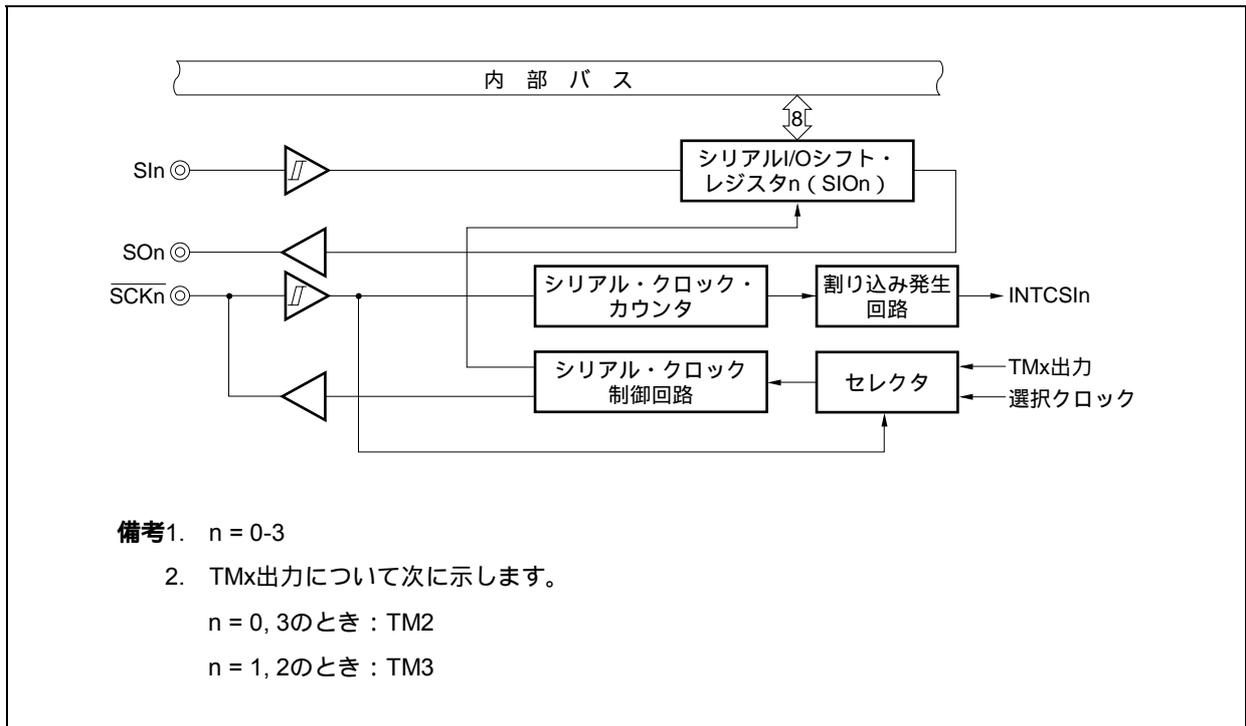
10.2.1 構成

CSInは、次のハードウェアで構成されています。

表10 - 1 CSInの構成

項目	構成
レジスタ	シリアルI/Oシフト・レジスタ0-3 (SIO0-SIO3)
制御レジスタ	シリアル動作モード・レジスタ0-3 (CSIM0-CSIM3)
	シリアル・クロック選択レジスタ0-3 (CSIS0-CSIS3)

図10 - 1 3線式シリアルI/Oのブロック図



(1) シリアルI/Oシフト・レジスタ0-3 (SIO0-SIO3)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信（シフト動作）を行う8ビット・レジスタです。

SIO_nは、8ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタ_n (CSIM_n) のビット7 (CSIE_n) が1のとき、SIO_nにデータを書き込むか、または読み出すことによりシリアル動作が開始します。

送信時は、SIO_nに書き込まれたデータが、シリアル出力 (SO_n) に出力されます。

受信時は、データがシリアル入力 (SIn) からSIO_nに読み込まれます。

RESET入力により00Hになります。

注意 転送動作中のSIO_nアクセスは、転送起動トリガとなるアクセス以外は実行しないでください (MODE = 0のときはリードが、MODE = 1のときはライトが禁止となります)。

10.2.2 CSIn制御レジスタ

CSInを制御するレジスタには、次のものがあります。

- ・シリアル動作モード・レジスタn (CSIMn)
- ・シリアル・クロック選択レジスタn (CSISn)

(1)シリアル・クロック選択レジスタ0-3(CSIS0-CSIS3),シリアル動作モード・レジスタ0-3(CSIM0-CSIM3)

CSISnレジスタは,シリアル・インタフェース・チャンネルnのシリアル・クロックを設定するレジスタです。

CSISnレジスタは,8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

CSIMnレジスタは,シリアル・インタフェース・チャンネルnのシリアル・クロック,動作モード,動作の許可/停止を設定するレジスタです。

CSIMnレジスタは,8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

リセット時：00H R/W アドレス：CSIS0 FFFFF2A4H CSIS2 FFFFF2C4H
CSIS1 FFFFF2B4H CSIS3 FFFFF2D4H

	7	6	5	4	3	2	1	0
CSISn	0	0	0	0	0	0	0	SCLn2

(n = 0-3)

リセット時：00H R/W アドレス：CSIM0 FFFFF2A2H CSIM2 FFFFF2C2H
CSIM1 FFFFF2B2H CSIM3 FFFFF2D2H

	6	5	4	3	2	1	0
CSIMn	CSIE _n	0	0	0	0	MODE _n	SCLn1 SCLn0

(n = 0-3)

CSIE _n	SIO _n の動作許可/禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 ^{注1}
1	動作許可	カウント動作許可	シリアル機能 + ポート機能 ^{注2}

MODE _n	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SIO _n 出力
0	送信/送受信モード	SIO _n ライト	通常出力
1	受信専用モード	SIO _n リード	ポート機能

SCLn2	SCLn1	SCLn0	クロックの選択
0	0	0	外部クロック入力 (SCK _n)
0	0	1	n = 0, 3時: TM2の出力 n = 1, 2時: TM3の出力
0	1	0	f _{xx} /8
0	1	1	f _{xx} /16
1	0	0	設定禁止
1	0	1	設定禁止
1	1	0	f _{xx} /32
1	1	1	f _{xx} /64

注1. CSIE_n = 0 (SIO_n動作停止状態) のとき, SIn, SO_n, SCK_n端子はポート機能として使用できます。

2. CSIE_n = 1 (SIO_n動作許可状態) のとき, 送信機能だけ使用する場合はSIn端子, 受信専用モード時はSO_n端子をポート機能として使用できます。

注意1. SCLn1, SCLn0のビット操作はしないでください。

2. CSIM_nレジスタのビット6-3には必ず“0”を設定してください。

備考 選択クロックをタイマの出力にした場合, P26/TO2/TI2, P27/TO3/TI3端子をタイマ出力モードにする必要はありません。

10.2.3 動作

CSInには、次の2種類の動作モードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード

(1) 動作停止モード

動作停止モードではシリアル転送を行いませんので、消費電力を低減できます。

また、動作停止モードでは、SIn, SOn, $\overline{\text{SCKn}}$ 端子を入出力ポートとして選択していれば、通常の入出力ポートとして使用できます。

(a) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタn (CSIMn) のCSIEnビットで行います。

図10 - 2 CSIMnの設定 (動作停止モード)

リセット時 : 00H	R/W	アドレス : CSIM0 FFFFF2A2H CSIM2 FFFFF2C2H CSIM1 FFFFF2B2H CSIM3 FFFFF2D2H							
		7	6	5	4	3	2	1	0
CSIMn	CSIEn	0	0	0	0	MODEn	SCLn1	SCLn0	
(n = 0-3)									
CSIEn	SIO _n の動作許可 / 禁止の指定								
	シフト・レジスタ動作	シリアル・カウンタ				ポート			
0	動作禁止	クリア				ポート機能			

(2) 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック (\overline{SCKn}) , シリアル出力 (SOn) , シリアル入力 (SI_n) の3本のラインで通信を行います。

(a) レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ_n (CSIM_n) で行います。

図10 - 3 CSIM_nの設定 (3線式シリアルI/Oモード)

リセット時 : 00H	R/W	アドレス : CSIM0 FFFFF2A2H	CSIM2 FFFFF2C2H
		CSIM1 FFFFF2B2H	CSIM3 FFFFF2D2H

CSIM _n (n = 0-3)	7	6	5	4	3	2	1	0
	CSIE _n	0	0	0	0	MODE _n	SCL _{n1}	SCL _{n0}

CSIE _n	SIO _n の動作許可 / 禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
1	動作許可	カウント動作許可	シリアル機能 + ポート機能

MODE _n	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SOn出力
0	送信 / 送受信モード	SIO _n ライト	通常出力
1	受信専用モード	SIO _n リード	ポート機能

SCL _{n2}	SCL _{n1}	SCL _{n0}	クロックの選択
0	0	0	外部クロック入力 (\overline{SCKn})
0	0	1	n = 0, 3時 : TO2 n = 1, 2時 : TO3
0	1	0	f _{xx} /8
0	1	1	f _{xx} /16
1	0	0	設定禁止
1	0	1	設定禁止
1	1	0	f _{xx} /32
1	1	1	f _{xx} /64

備考 SCL_{n2}ビットについては10. 2. 2 (1) シリアル・クロック選択レジスタ_n (CSIS_n) , シリアル動作モード・レジスタ_n (CSIM_n) を参照してください。

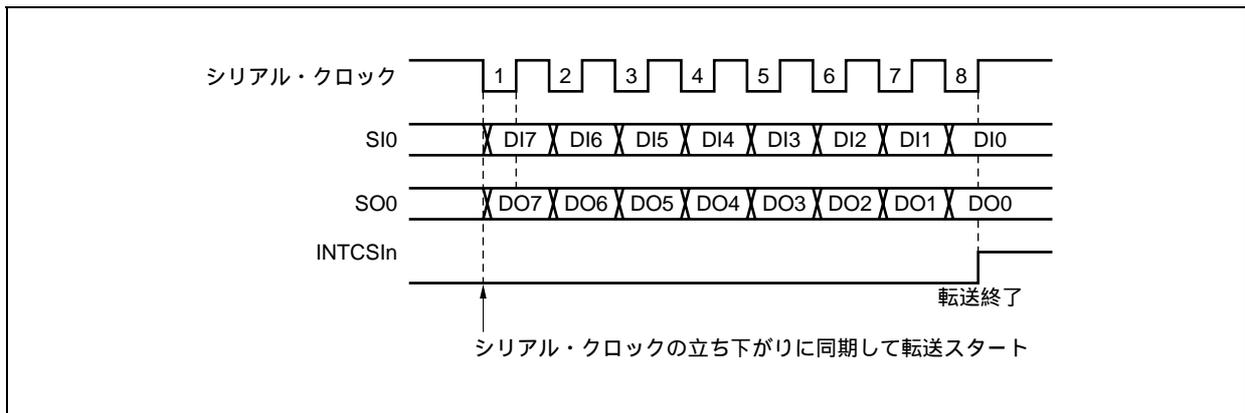
(b) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

シリアルI/Oシフト・レジスタn (SIO_n)のシフト動作は、シリアル・クロックの立ち下がりに同期して行われます。そして、送信データがSO_nラッチに保持され、SO_n端子から出力されます。また、シリアル・クロックの立ち上がりで、SIn端子に入力された受信データがSIO_nにラッチされます。

8ビット転送終了により、SIO_nの動作は自動的に停止し、割り込み要求フラグ (INTCSIn) がセットされます。

図10 - 4 3線式シリアルI/Oモードのタイミング



(c) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタn (SIO_n)に転送データをセットすることで開始します。

- ・ SIO_nの動作制御ビット (CSIEn) = 1
- ・ 8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはシリアル・クロックがハイ・レベルの状態

SIO_nへの転送データのセットは次のように行います。

- ・ 送信 / 送受信モード
CSIEn = 1, MODEn = 0のとき、SIO_nライトで転送スタート
- ・ 受信専用モード
CSIEn = 1, MODEn = 1のとき、SIO_nのリードで転送スタート

注意 SIO_nにデータを書き込んだあと、CSIEnを“1”にしても転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (INTCSIn) をセットします。

10.3 I²Cバス (A品)

この機能を使用する場合は、P10/SDA0, P12/SCL0, P20/SDA1, P22/SCL1端子をN-chオープン・ドレイン出力に設定してください。

I²Cバスを内蔵している製品を次に示します。

V850/SB1 : μ PD703031AY, 703032AY, 703033AY, 70F3032AY, 70F3033AY

V850/SB2 : μ PD703034AY, 703035AY, 703037AY, 70F3035AY, 70F3037AY

I²C0, I²C1には、次の2種類のモードがあります。

- ・動作停止モード
- ・I²C (Inter IC) バス・モード (マルチマスタ対応)

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード (マルチマスタ対応)

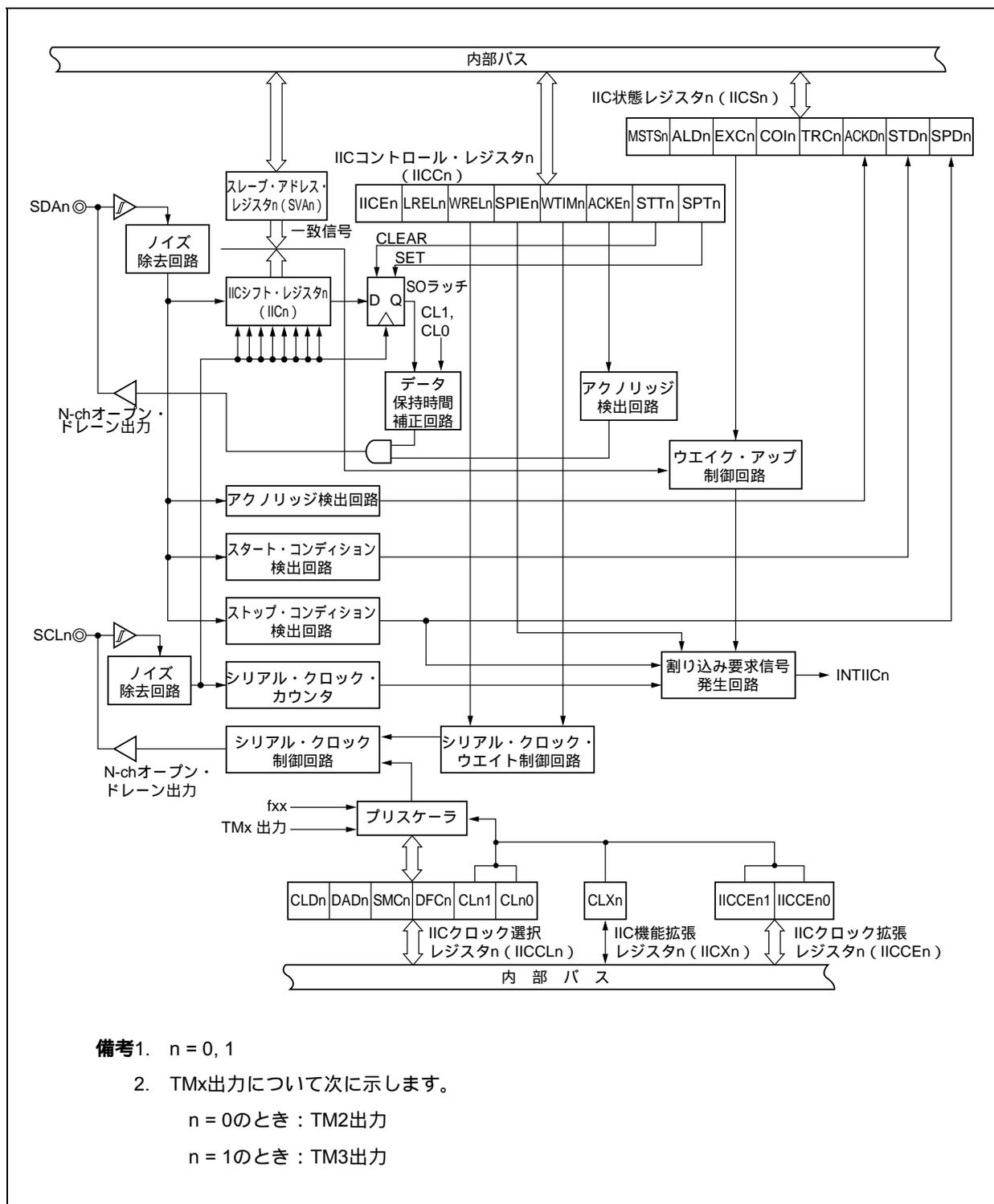
シリアル・クロック (SCLn) とシリアル・データ・バス (SDAn) の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対してシリアル・データ・バス上に“スタート・コンディション”、“データ”および“ストップ・コンディション”を出力できます。スレーブは、受信したこれらのデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

I²Cnでは、SCLnとSDAnはオープン・ドレイン出力になっているため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

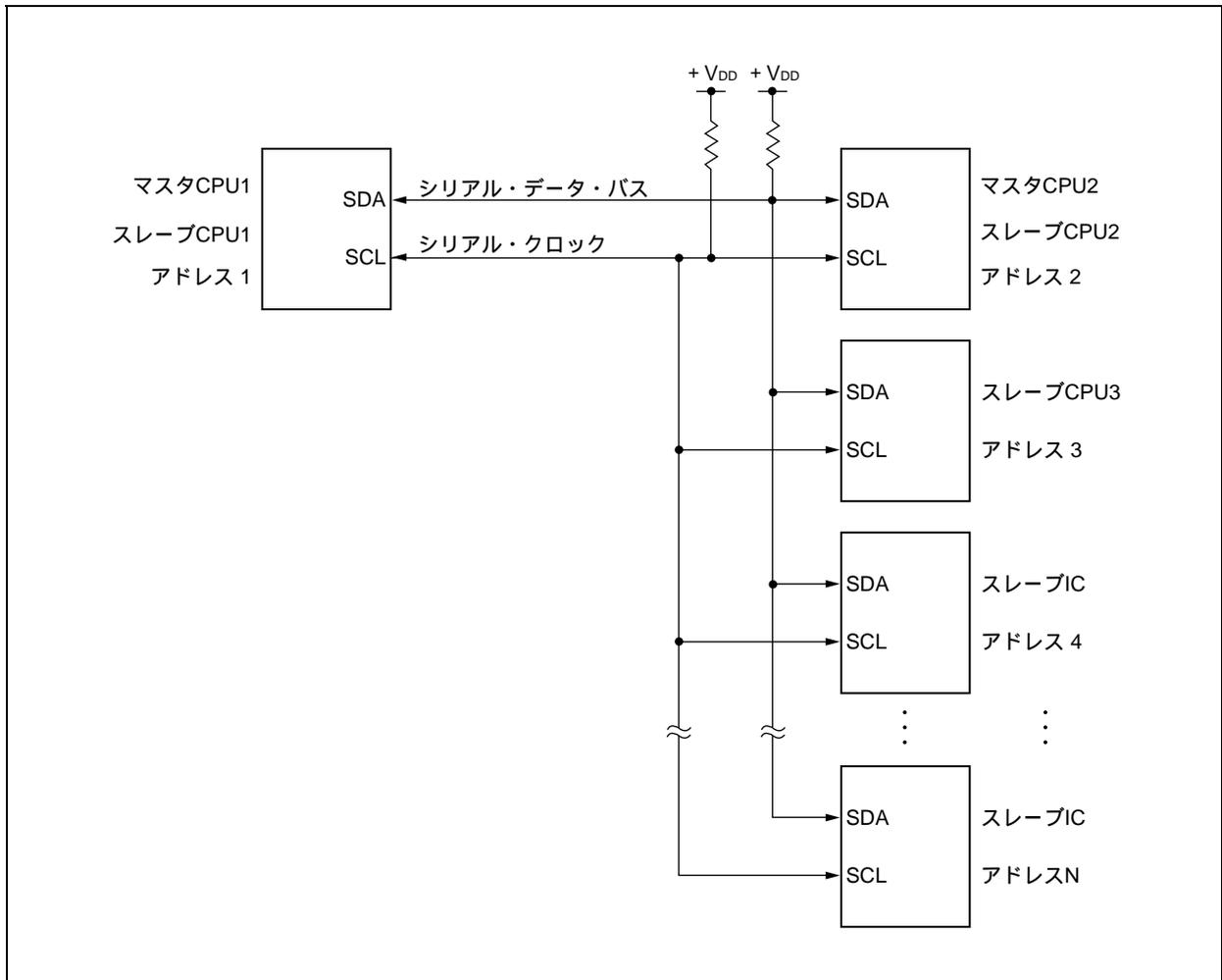
備考 n = 0, 1

図10 - 5 I²Cnのブロック図



次にシリアル・バス構成例を示します。

図10 - 6 I²Cバスによるシリアル・バス構成例



10.3.1 構成

I²Cnは、次のハードウェアで構成されています（n = 0, 1）。

表10 - 2 I²Cnの構成

項目	構成
レジスタ	IICシフト・レジスタ0, 1 (IIC0, IIC1) スレーブ・アドレス・レジスタ0, 1 (SVA0, SVA1)
制御レジスタ	IICコントロール・レジスタ0, 1 (IICC0, IICC1) IIC状態レジスタ0, 1 (IICS0, IICS1) IICクロック選択レジスタ0, 1 (IICCL0, IICCL1) IICクロック拡張レジスタ0, 1 (IICCE0, IICCE1) IIC機能拡張レジスタ0, 1 (IICX0, IICX1)

(1) IICシフト・レジスタ0, 1 (IIC0, IIC1)

IICnは、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICnは送信および受信の両方に使用されます（n = 0, 1）。

IICnに対する書き込み/読み出しにより、実際の送受信動作が制御されます。

IICnは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

(2) スレーブ・アドレス・レジスタ0, 1 (SVA0, SVA1)

スレーブとして使用する場合に、自局アドレスを設定するレジスタです。

SVA_nは、8ビット・メモリ操作命令で設定します（n = 0, 1）。

$\overline{\text{RESET}}$ 入力により、00Hになります。

(3) SOラッチ

SOラッチは、SDA_n端子出力レベルを保持するラッチです（n = 0, 1）。

(4) ウェイク・アップ制御回路

スレーブ・アドレス・レジスタn (SVA_n) に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求を発生させる回路です（n = 0, 1）。

(5) クロック・セクタ

使用するサンプリング・クロックを選択します。

(6) シリアル・クロック・カウンタ

送信/受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(7) 割り込み要求信号発生回路

割り込み要求信号 (INTIICn) の発生を制御します。

I²C割り込みは、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目 (WTIMnビットで設定)
- ・ストップ・コンディション検出による割り込み発生 (SPIEnビットで設定)

備考1. n = 0, 1

2. WTIMnビット : IICコントロール・レジスタn (IICn) のビット3

SPIEnビット : IICコントロール・レジスタn (IICn) のビット4

(8) シリアル・クロック制御回路

マスタ・モード時に、SCLn端子に出力するクロックをサンプリング・クロックから生成します(n = 0, 1)。

(9) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

**(10) アクノリッジ出力回路, ストップ・コンディション検出回路, スタート・コンディション検出回路,
アクノリッジ検出回路**

各種制御信号の出力および検出を行います。

(11) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

10.3.2 I²C制御レジスタ

I²C0, I²C1は、次のレジスタで制御します。

- ・ IICコントロール・レジスタ0, 1 (IICC0, IICC1)
- ・ IIC状態レジスタ0, 1 (IICS0, IICS1)
- ・ IICクロック選択レジスタ0, 1 (IICCL0, IICCL1)
- ・ IICクロック拡張レジスタ0, 1 (IICCE0, IICCE1)
- ・ IIC機能拡張レジスタ0, 1 (IICX0, IICX1)

また、次のレジスタも使用します。

- ・ IICシフト・レジスタ0, 1 (IIC0, IIC1)
- ・ スレーブ・アドレス・レジスタ0, 1 (SVA0, SVA1)

(1) IICコントロール・レジスタ0, 1 (IICC0, IICC1)

I²Cnの動作許可/禁止、ウエイト・タイミングの設定、その他I²C動作の設定を行うレジスタです。

IICnは、8/1ビット・メモリ操作命令で設定します (n = 0, 1)。

RESET \bar 入力により、00Hになります。

注意 I²C0, I²C1バス・モード時、ポート1モード・レジスタ (PM1)、ポート2モード・レジスタ (PM2)、ポート1ファンクション・レジスタ (PF1)、ポート2ファンクション・レジスタ (PF2) を次のように設定してください。また、出力ラッチはそれぞれ0に設定してください。

端 子	ポート・モード・レジスタ	ポート・ファンクション・レジスタ
P10/SI0/SDA0	PM1レジスタのPM10 = 0	PF1レジスタのPF10 = 1
P12/SCK0/SCL0	PM1レジスタのPM12 = 0	PF1レジスタのPF12 = 1
P20/SI2/SDA1	PM2レジスタのPM20 = 0	PF2レジスタのPF20 = 1
P22/SCK2/SCL1	PM2レジスタのPM22 = 0	PF2レジスタのPF22 = 1

リセット時：00H R/W アドレス：FFFFFF340H, FFFFFFF350H

	⑦	⑥	⑤	④	③	②	①	①
IICn	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn

(n = 0, 1)

IICEn	I ² Cn動作許可 / 禁止の指定
0	動作停止。IIC状態レジスタn (IICSn) をプリセット。内部動作も停止。
1	動作許可。
クリアされる条件 (IICEn = 0)	
<ul style="list-style-type: none"> ・ 命令によるクリア ・ $\overline{\text{RESET}}$入力時 	
セットされる条件 (IICEn = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

LRELn	通信退避
0	通常動作。
1	<p>現在行っている通信から退避し、待機状態。実行後自動的にクリアされる。</p> <p>自局に関係ない拡張コードを受信したときなどに使用する。</p> <p>SCLn, SDAnラインはハイ・インピーダンス状態になる。</p> <p>次のフラグがクリアされる。</p> <ul style="list-style-type: none"> ・ STDn ・ ACKDn ・ TRCn ・ COIn ・ EXCn ・ MSTSn ・ STTn ・ SPTn
<p>次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。</p> <p>ストップ・コンディション検出後、マスタとしての起動</p> <p>スタート・コンディション後のアドレス一致または拡張コード受信</p>	
クリアされる条件 (LRELn = 0) 注	
<ul style="list-style-type: none"> ・ 実行後、自動的にクリア ・ $\overline{\text{RESET}}$入力時 	
セットされる条件 (LRELn = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

注 IICEn = 0により、このフラグの信号を無効にします。

備考	STDn	:	IIC状態レジスタn (IICSn) のビット1
	ACKDn	:	" のビット2
	TRCn	:	" のビット3
	COIn	:	" のビット4
	EXCn	:	" のビット5
	MSTSn	:	" のビット7

WRELn	ウェイト解除の制御	
0	ウェイトを解除しない。	
1	ウェイト解除する。ウェイト解除後、自動的にクリアされる。	
クリアされる条件 (WRELn = 0) 注		セットされる条件 (WRELn = 1)
<ul style="list-style-type: none"> ・実行後、自動的にクリア ・RESET入力時 		<ul style="list-style-type: none"> ・命令によるセット

SPIEn	ストップ・コンディション検出による割り込み要求発生への許可 / 禁止	
0	禁止	
1	許可	
クリアされる条件 (SPIEn = 0) 注		セットされる条件 (SPIEn = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・RESET入力時 		<ul style="list-style-type: none"> ・命令によるセット

WTIMn	ウェイトおよび割り込み要求発生への制御	
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままウェイトスレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままウェイトスレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
アドレス転送中はこのビットの設定は無効になり、転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにウェイトが入ります。自局アドレスを受信したスレーブは、アクノリッジ発生後の9クロック目の立ち下がりでウェイトに入ります。拡張コードを受信したスレーブは、8クロック目の立ち下がりでウェイトに入ります。		
クリアされる条件 (WTIMn = 0) 注		セットされる条件 (WTIMn = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・RESET入力時 		<ul style="list-style-type: none"> ・命令によるセット

注 IICEn = 0により、このフラグの信号を無効にします。

備考 n = 0, 1

ACKEn	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDAnラインをロウ・レベルにする。ただし、アドレス転送中は無効、EXCn = 1の場合は有効。	
クリアされる条件 (ACKEn = 0) 注		セットされる条件 (ACKEn = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ $\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・ 命令によるセット

STTn	スタート・コンディション・トリガ	
0	スタート・コンディションを生成しない。	
1	<p>バスが解放されているとき (ストップ状態) :</p> <p>スタート・コンディションを生成する (マスタとしての起動)。SDAnラインをハイ・レベルからロウ・レベルに変化させ、スタート・コンディションを生成する。そのあと、規格の時間を確保し、SCLnをロウ・レベルにする。</p> <p>バスに参加していないとき :</p> <p>スタート・コンディション予約フラグとして機能。セットされると、バスが解放されたあと自動的にスタート・コンディションを生成する。</p> <p>ウェイト状態 (マスタ時) :</p> <p>ウェイトを解除してリスタート・コンディションを生成する。</p>	
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセットは禁止です。ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたあとにだけセット可能です。</p> <p>マスタ送信の場合：ACKn期間中は、正常にスタート・コンディションが生成されていないことがあります。ウェイト期間中にセットしてください。</p> <p>・ SPTnと同時にセットすることは禁止です。</p>		
クリアされる条件 (STTn = 0)		セットされる条件 (STTn = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ アービトレーションに負けたとき ・ マスタでのスタート・コンディション生成後クリア ・ LRELn = 1によるクリア ・ IICEn = 0のとき ・ $\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・ 命令によるセット

注 IICEn = 0により、このフラグの信号を無効にします。

備考 ビット1 (STTn) は、データ設定後に読み出すと0になっています。

SPTn	ストップ・コンディション・トリガ	
0	ストップ・コンディションを生成しない。	
1	ストップ・コンディションを生成する（マスタとしての転送終了）。 SDAnラインをロウ・レベルにしたあと、SCLnラインをハイ・レベルにするか、またはSCLnがハイ・レベルになるのを待つ。そのあと、規格の時間を確保し、SDAnラインをロウ・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成する。	
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセットは禁止です。ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたあとのウェイト期間中にだけセット可能です。</p> <p>マスタ送信の場合：ACKn期間中は、正常にストップ・コンディションが生成されないことがあります。ウェイト期間中にセットしてください。</p> <ul style="list-style-type: none"> ・STTnと同時にセットすることは禁止です。 <p>SPTnのセットは、マスタのときのみ行ってください。注</p> <p>WTIMn = 0設定時に、8クロック出力後のウェイト期間中にSPTnをセットすると、ウェイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。</p> <p>9クロック目を出力する必要がある場合には、8クロック出力後のウェイト期間中にWTIMn = 0 1に設定し、9クロック目出力後のウェイト期間中にSPTnをセットしてください。</p>		
クリアされる条件 (SPTn = 0)		セットされる条件 (SPTn = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・アービトラーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LRELn = 1によるクリア ・IICEn = 0のとき ・RESET\bar入力時 		<ul style="list-style-type: none"> ・命令によるセット

注 SPTnのセットは、マスタのときのみ行ってください。ただし、動作許可後最初のストップ・コンディションを検出するまでにマスタ動作を行うには、一度SPTnをセットしてストップ・コンディションを生成する必要があります。詳細は、10.3.13 **注意事項**を参照してください。

注意 IIC状態レジスタn (IICSn) のビット3 (TRCn) = 1のとき、9クロック目にWRELnをセットしてウェイト解除すると、TRCnをクリアしてSDAnラインをハイ・インピーダンスにします。

備考1. ビット0 (SPTn) は、データ設定後に読み出すと0になっています。

2. n = 0, 1

(2) IIC状態レジスタ0, 1 (IICS0, IICS1)

I²Cnのステータスを表すレジスタです。

IICSnは、8/1ビット・メモリ操作命令で設定します。IICSnは読み出しのみ可能です (n = 0, 1)。

RESET入力により、00Hになります。

(1/3)

リセット時：00H R アドレス：FFFFFF342H, FFFFFFF352H

	⑦	⑥	⑤	④	③	②	①	①
IICSn	MSTS _n	ALD _n	EXC _n	COL _n	TRC _n	ACKD _n	STD _n	SPD _n

(n = 0, 1)

MSTS _n	マスタの状態	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件 (MSTS _n = 0)		セットされる条件 (MSTS _n = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・ALD_n = 1のとき ・LREL_n = 1によるクリア ・IICEn = 1 0のとき ・RESET入力時 		<ul style="list-style-type: none"> ・スタート・コンディション生成時

ALD _n	アービトレーション負け検出	
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTS _n がクリアされる。	
クリアされる条件 (ALD _n = 0)		セットされる条件 (ALD _n = 1)
<ul style="list-style-type: none"> ・IICS_n読み出し後、自動的にクリア^注 ・IICEn = 1 0のとき ・RESET入力時 		<ul style="list-style-type: none"> ・アービトレーションに負けたとき

EXC _n	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信。	
クリアされる条件 (EXC _n = 0)		セットされる条件 (EXC _n = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL_n = 1によるクリア ・IICEn = 1 0のとき ・RESET入力時 		<ul style="list-style-type: none"> 受信したアドレス・データの上位4ビットが“0000”または“1111”のとき (8クロック目の立ち上がりでセット)

注 IICS_nのほかのビットに対しビット操作命令を実行した場合もクリアされます。

備考 LREL_n : IICコントロール・レジスタn (IIC_{Cn}) のビット6
 IICEn : " のビット7

COIn	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件 (COIn = 0)		セットされる条件 (COIn = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELn = 1によるクリア ・IICEn = 1 0のとき ・RESET入力時 		受信アドレスが自局アドレス (SVAn) と一致したとき (8クロック目の立ち上がりでセット)

TRCn	送信 / 受信状態検出	
0	受信状態 (送信状態以外)。SDAnラインをハイ・インピーダンスにする。	
1	送信状態。SDAnラインにSOラッチの値が出力できるようにする (1バイト目の9クロック目の立ち上がり以降有効)	
クリアされる条件 (TRCn = 0)		セットされる条件 (TRCn = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・LRELn = 1によるクリア ・IICEn = 1 0のとき ・WRELn = 1によるクリア^注 ・ALDn = 0 1のとき ・RESET入力時 		マスタの場合 <ul style="list-style-type: none"> ・スタート・コンディション生成時 スレーブの場合 <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) で “1” を入力したとき
マスタの場合 <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に “1” を出力したとき スレーブの場合 <ul style="list-style-type: none"> ・スタート・コンディション検出時 通信不参加の場合		

注 IIC状態レジスタn (IICSn) のビット3 (TRCn) = 1のとき, 9クロック目にIICコントロール・レジスタn (IICcn) のビット5 (WRELn) をセットしてウエイトを解除すると, TRCnをクリアしてSDAnラインをハイ・インピーダンスにします。

- 備考1.** WRELn : IICコントロール・レジスタn (IICcn) のビット5
 LRELn : " のビット6
 IICEn : " のビット7
2. n = 0, 1

ACKDn	アクノリッジ検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出。	
	クリアされる条件 (ACKDn = 0)	セットされる条件 (ACKDn = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LRELn = 1によるクリア ・IICEn = 1 0のとき ・RESET入力時 	SCLnの9クロック目の立ち上がり時にSDAnラインがロウ・レベルであったとき

STDn	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出。アドレス転送期間であることを示す。	
	クリアされる条件 (STDn = 0)	セットされる条件 (STDn = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LRELn = 1によるクリア ・IICEn = 1 0のとき ・RESET入力時 	・スタート・コンディション検出時

SPDn	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出。マスタでの通信が終了し、バスが解放される。	
	クリアされる条件 (SPDn = 0)	セットされる条件 (SPDn = 1)
	<ul style="list-style-type: none"> ・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・IICEn = 1 0のとき ・RESET入力時 	・ストップ・コンディション検出時

- 備考1. LRELn : IICコントロール・レジスタn (IICcn) のビット6
IICEn : " のビット7
2. n = 0, 1

(3) IICクロック選択レジスタ0, 1 (IICCL0, IICCL1)

I²Cnの転送クロックを設定するレジスタです。

IICCLnは、8/1ビット・メモリ操作命令で設定します。SMCn, CLn1, CLn0ビットの設定は、IIC機能拡張レジスタn (IICXn) のCLXnビットと、IICクロック拡張レジスタn (IICCEn) のIICCEn1, IICCEn0ビットと組み合わせて設定します (10.3.2 (6) I²Cnの転送クロックの設定方法参照) (n = 0, 1)。

RESET入力により、00Hになります。

リセット時：00H R/W^注 アドレス：FFFFFF344H, FFFFFFF354H

	7	6	⑤	④	3	2	1	0
IICCLn	0	0	CLDn	DADn	SMCn	DFCn	CLn1	CLn0

(n = 0, 1)

CLDn	SCLnラインのレベル検出 (IICEn = 1のときのみ有効)
0	SCLnラインがロウ・レベルであることを検出
1	SCLnラインがハイ・レベルであることを検出
クリアされる条件 (CLDn = 0)	セットされる条件 (CLDn = 1)
<ul style="list-style-type: none"> ・ SCLnラインがロウ・レベルのとき ・ IICEn = 0のとき ・ RESET入力時 	<ul style="list-style-type: none"> ・ SCLnラインがハイ・レベルのとき

DADn	SDAnラインのレベル検出 (IICEn = 1のときのみ有効)
0	SDAnラインがロウ・レベルであることを検出
1	SDAnラインがハイ・レベルであることを検出
クリアされる条件 (DADn = 0)	セットされる条件 (DADn = 1)
<ul style="list-style-type: none"> ・ SDAnラインがロウ・レベルのとき ・ IICEn = 0のとき ・ RESET入力時 	<ul style="list-style-type: none"> ・ SDAnラインがハイ・レベルのとき

SMCn	動作モードの切り替え
0	標準モードで動作
1	高速モードで動作

DFCn	デジタル・フィルタの動作制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン
デジタル・フィルタは、高速モード時にのみ使用できます。 高速モード時はDFCnのオン/オフにより、転送クロックが変化することはありません。	

注 ビット4, ビット5はRead Onlyです。

注意 ビット7, 6には必ず“0”を設定してください。

備考 IICEn : IICコントロール・レジスタn (IICCn) のビット7

(4) IIC機能拡張レジスタ0, 1 (IICX0, IICX1)

I²Cnの機能拡張を設定するレジスタです (高速モード時のみ有効)。

IICXnは、1/8ビット・メモリ操作命令で設定します。CLXnビットの設定は、IICクロック選択レジスタn (IICCLn) のSMCn, CLn1, CLn0ビットと、IICクロック拡張レジスタn (IICCEn) のIICCEn1, IICCEn0ビットと組み合わせて設定します (10.3.2 (6) I²Cnの転送クロックの設定方法参照) (n = 0, 1)。

RESET入力により、00Hになります。

リセット時 : 00H								R/W	アドレス : FFFFF34AH, FFFFF35AH							
	7	6	5	4	3	2	1	①								
IICXn	0	0	0	0	0	0	0	CLXn								
(n = 0, 1)																

(5) IICクロック拡張レジスタ0, 1 (IICCE0, IICCE1)

I²Cnの転送クロックの拡張を設定するレジスタです。

IICCEnは、8ビット・メモリ操作命令で設定します。IICCEn1, IICCEn0ビットの設定は、IICクロック選択レジスタn (IICCLn) のSMCn, CLn1, CLn0ビットと、IIC機能拡張レジスタn (IICXn) のCLXnビットと組み合わせて設定します (10.3.2 (6) I²Cnの転送クロックの設定方法参照) (n = 0, 1)。

RESET入力により、00Hになります。

リセット時 : 00H								R/W	アドレス : FFFFF34CH, FFFFF35CH							
	7	6	5	4	3	2	1	0								
IICCEn	0	0	0	0	0	0	IICCEn1	IICCEn0								
(n = 0, 1)																

(6) I²Cnの転送クロックの設定方法

I²Cnの転送クロック周波数 (f_{SCL}) は、次の計算式により求められます (n = 0, 1)。

$$f_{SCL} = 1 / (m \times T + t_R + t_F)$$

m = 12, 24, 48, 36, 54, 44, 86, 172, 132, 198 (表10-3 選択クロックの設定参照)

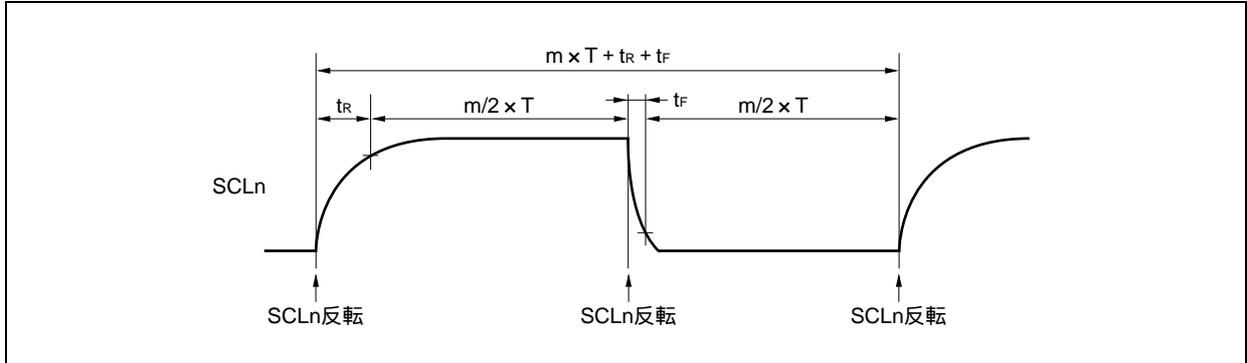
T : 1/f_{xx}

t_R : SCLn立ち上がり時間

t_F : SCLn立ち下がり時間

たとえば、 $f_{xx} = 20 \text{ MHz}$ 、 $m = 198$ 、 $t_r = 200 \text{ ns}$ 、 $t_f = 50 \text{ ns}$ の場合の I^2Cn の転送クロック周波数 (f_{SCL}) は、次の計算式により求められます。

$$f_{SCL} = 1 / (198 \times 50 \text{ ns} + 200 \text{ ns} + 50 \text{ ns}) \quad 98.5 \text{ kHz}$$



選択クロックは、IICクロック選択レジスタ n (IICCLn) のSMCn、CLn1、CLn0ビット、IIC機能拡張レジスタ n (IICXn) のCLXnビット、IICクロック拡張レジスタ n (IICCEn) のIICCEn1、IICCEn0ビットを組み合わせ設定します ($n = 0, 1$)。

表10 - 3 選択クロックの設定

IICCEn		IICXn	IICCLn			選択クロック (f_{xx}/m)	設定可能なメイン・クロック周波数 (f_{xx}) の範囲	動作モード	
ビット1	ビット0	ビット0	ビット3	ビット1	ビット0				
IICCEn1	IICCEn0	CLXn	SMCn	CLn1	CLn0				
x	x	1	1	0	x	$f_{xx}/12$	4.0 MHz ~ 4.19 MHz	高速モード (SMCn = 1)	
x	x	0	1	0	x	$f_{xx}/24$	4.0 MHz ~ 8.38 MHz		
x	x	0	1	1	0	$f_{xx}/48$	8.0 MHz ~ 16.67 MHz		
0	1	0	1	1	1	$f_{xx}/36$	12.0 MHz ~ 13.4 MHz		
1	0	0	1	1	1	$f_{xx}/54$	16.0 MHz ~ 20.0 MHz ^注		
0	0	0	1	1	1	n = 0	TM2の出力/18	TM2の設定	
						n = 1	TM3の出力/18	TM3の設定	
x	x	0	0	0	0	$f_{xx}/44$	2.0 MHz ~ 4.19 MHz	標準モード (SMCn = 0)	
x	x	0	0	0	1	$f_{xx}/86$	4.19 MHz ~ 8.38 MHz		
x	x	0	0	1	0	$f_{xx}/172$	8.38 MHz ~ 16.67 MHz		
0	1	0	0	1	1	$f_{xx}/132$	12.0 MHz ~ 13.4 MHz		
1	0	0	0	1	1	$f_{xx}/198$	16.0 MHz ~ 20.0 MHz ^注		
0	0	0	0	1	1	n = 0	TM2の出力/66	TM2の設定	
						n = 1	TM3の出力/66	TM3の設定	
その他						設定禁止			

注 V850/SB1およびV850/SB2のH品のみ

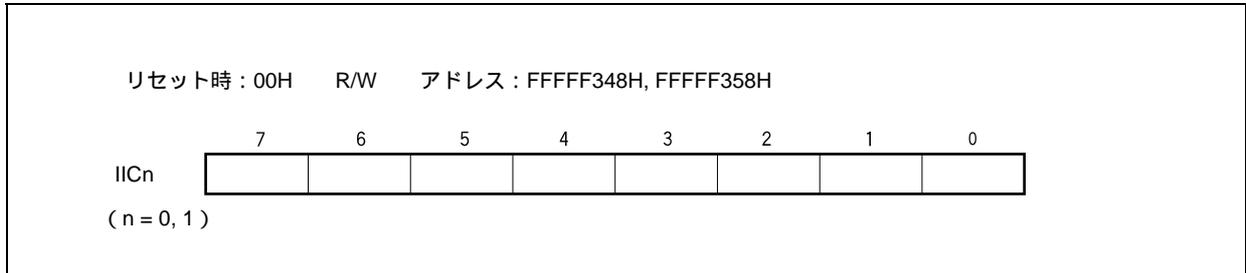
備考1. $n = 0, 1$

2. x : Don't care

3. 選択クロックをタイマの出力にした場合、P26/TO2/TI2、P27/TO3/TI3端子をタイマ出力モードにする必要はありません。

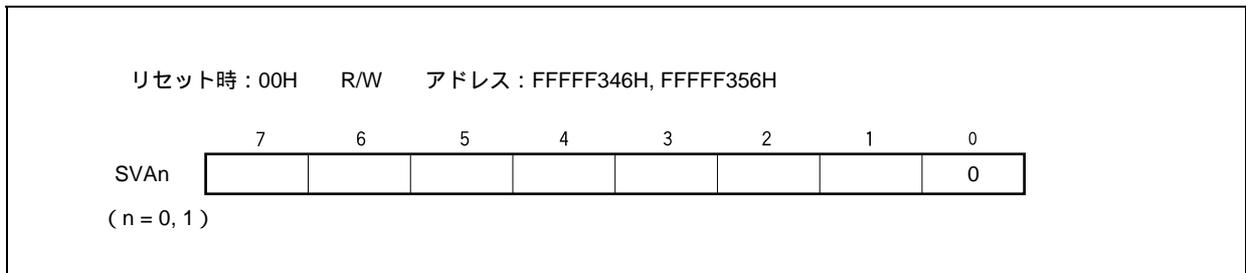
(7) IICシフト・レジスタ0, 1 (IIC0, IIC1)

このレジスタは、シリアル・クロックに同期してシリアル送受信（シフト動作）を行うためのものです。8ビット単位でリード/ライト可能ですが、データ転送中にIICnへデータを書き込まないでください(n = 0, 1)。



(8) スレーブ・アドレス・レジスタ0, 1 (SVA0, SVA1)

このレジスタには、I²Cバスのスレーブ・アドレスを格納します。8ビット単位でリード/ライト可能ですが、ビット0は0に固定されています。



10.3.3 I²Cバス・モードの機能

(1) 端子構成

シリアル・クロック端子 (SCLn) と、シリアル・データ・バス端子 (SDAn) の構成は、次のようになっています (n=0, 1)。

SCLn ... シリアル・クロックを入出力するための端子。

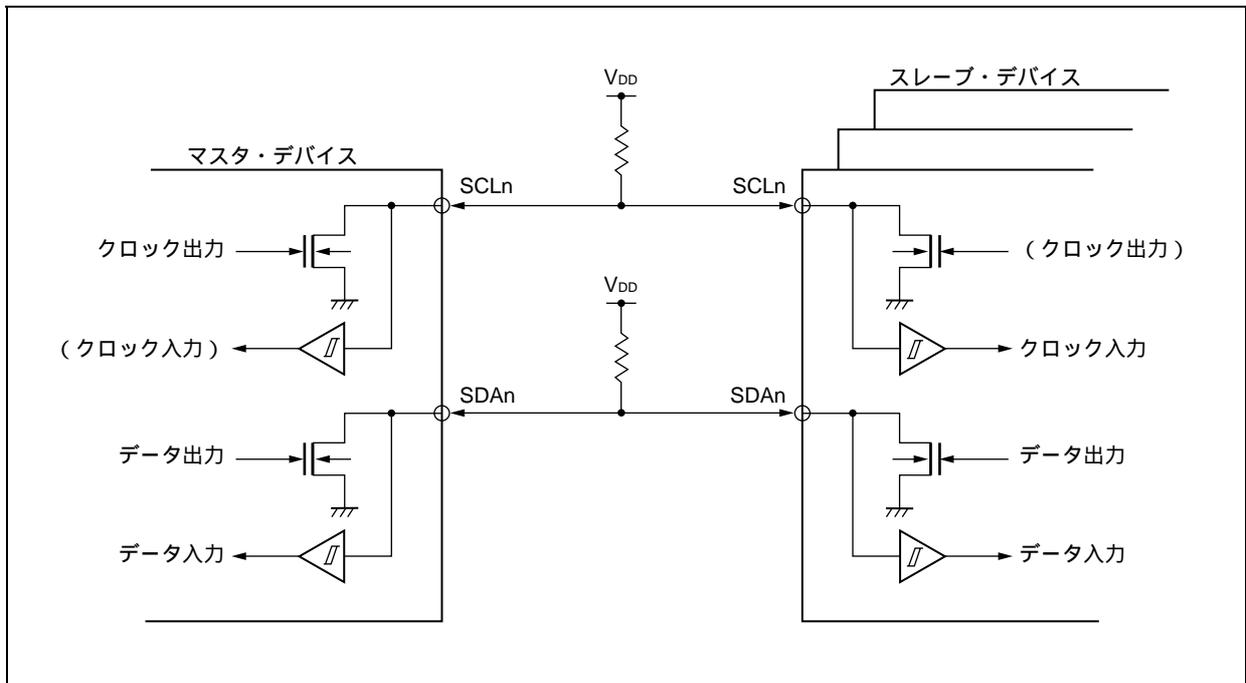
マスタ, スレーブともに出力はN-chオープン・ドレイン。入力は、シュミット入力。

SDAn ... シリアル・データの入出力兼用端子。

マスタ, スレーブともに出力はN-chオープン・ドレイン。入力は、シュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図10-7 端子構成図

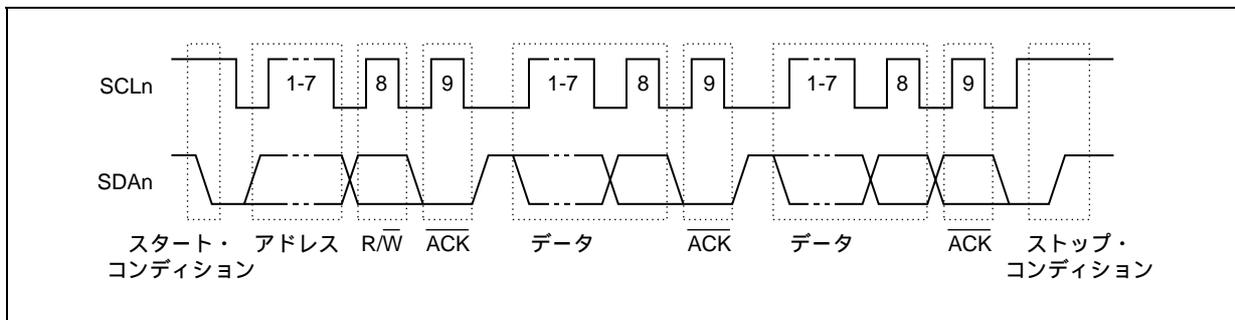


10.3.4 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に出力されている“スタート・コンディション”、“データ”および“ストップ・コンディション”の各転送タイミングを次に示します。

図10-8 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが出力します。

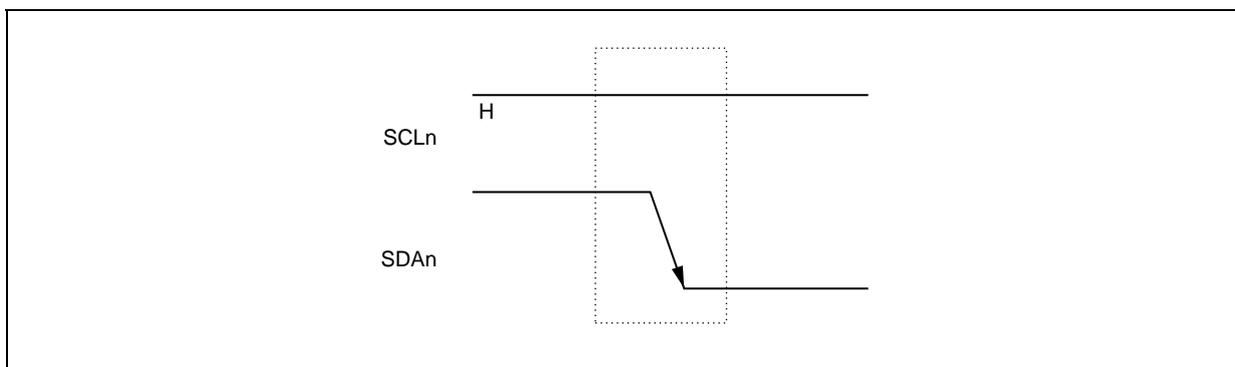
アクノリッジ信号 (ACK) は、マスタ、スレーブのどちらでも出力できます (通常、8ビット・データの受信側が出力します)。

シリアル・クロック (SCLn) は、マスタが出力し続けます。ただし、スレーブはSCLnのロウ・レベル期間を延長し、ウエイトを挿入できます (n = 0, 1)。

(1) スタート・コンディション

SCLn端子がハイ・レベルのときに、SDAn端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLn端子、SDAn端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに出る信号です。スレーブは、スタート・コンディションを検出するハードウェアを内蔵しています (n = 0, 1)。

図10-9 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (SPDn : IIC状態レジスタn (IICSn) のビット0 = 1) のときにIICコントロール・レジスタn (IICcn) のビット1 (STTn) をセット (1) すると出力されます。また、スタート・コンディションを検出すると、IICSnのビット1 (STDn) がセット (1) されます (n = 0, 1)。

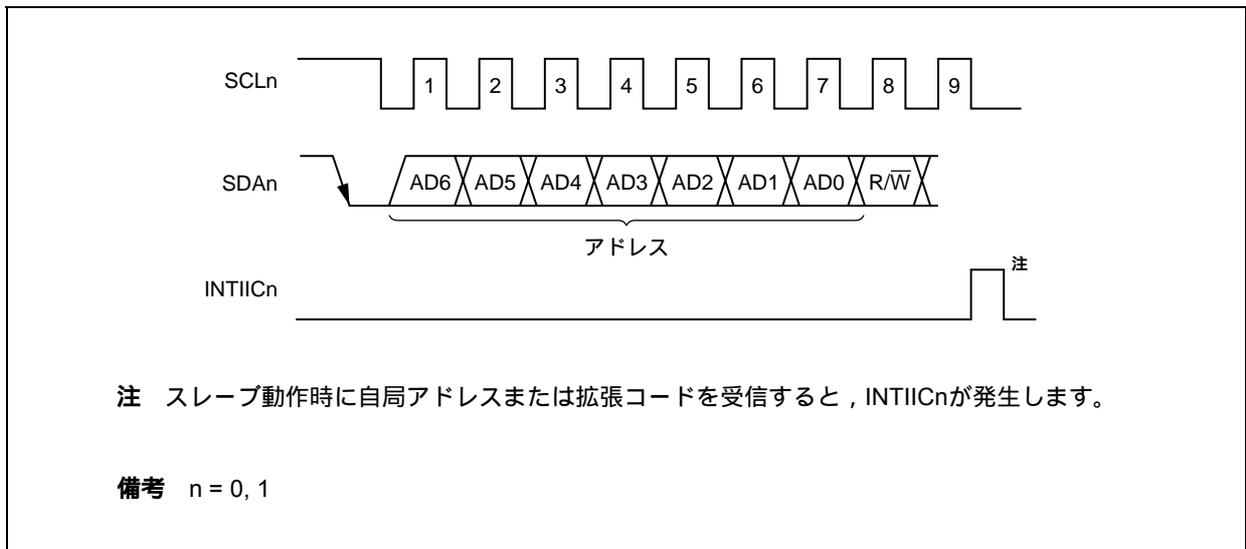
(2) アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ n (SVAn) と一致しているかを調べます。このとき、7ビット・データとSVAnの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを送信するまでマスタとの通信を行います ($n = 0, 1$)。

図10 - 10 アドレス



アドレスは、スレーブのアドレスと(3) **転送方向指定**に説明する転送方向を合わせて8ビットとしてIICシフト・レジスタ n (IICn) に書き込むと出力します。また、受信したアドレスはIICnに書き込まれます ($n = 0, 1$)。

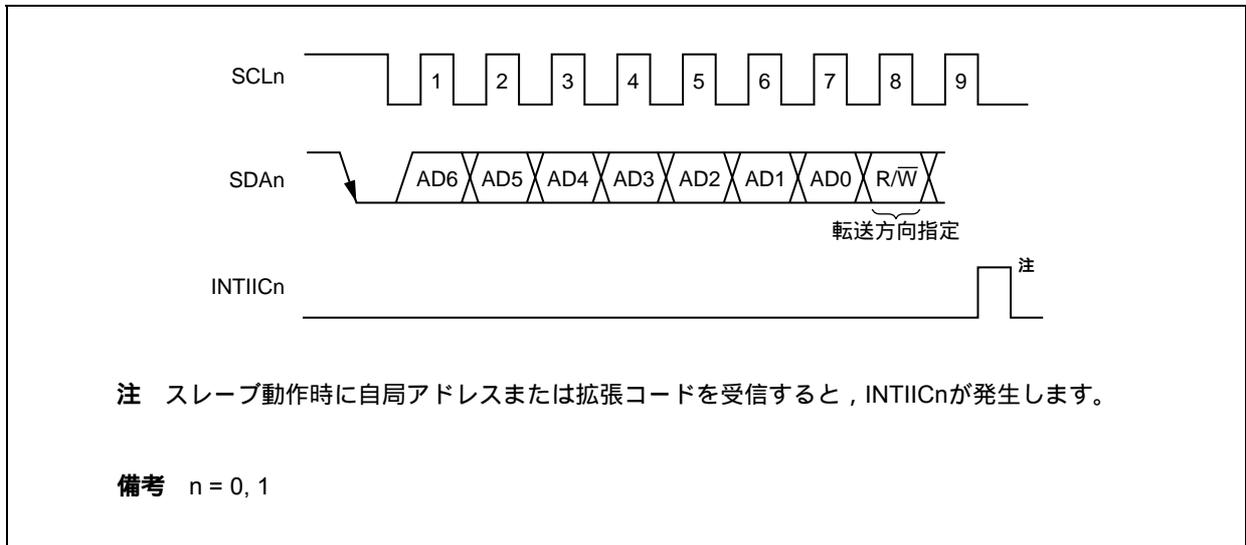
なお、スレーブのアドレスは、IICnの上位7ビットに割り当てられます。

(3) 転送方向指定

マスタは、7ビットのアドレスに続いて転送方向を指定するため、1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図10 - 11 転送方向指定



(4) アクノリッジ信号 (ACK)

アクノリッジ信号 (ACK) は送信側と受信側におけるシリアル・データ受信を確認するための信号です。

受信側は、8ビット・データを受信するごとにアクノリッジ信号を返します。送信側は通常、8ビット・データ送信後、アクノリッジ信号を受信します。ただし、マスタが受信の場合、最終データを受信したときはアクノリッジ信号を出力しません。送信側は、8ビット送信後、受信側からアクノリッジ信号が返されたか検出を行います。アクノリッジ信号が返されたとき、受信が正しく行われたものとして処理を続けます。また、スレーブからアクノリッジ信号が返らないとき、マスタは、ストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジ信号が返らない場合、次の2つの要因が考えられます。

受信が正しく行われていない。

最終データの受信が終わっている。

受信側が9クロック目にSDAnラインをロウ・レベルにすると、アクノリッジ信号がアクティブになります (正常受信返答)。

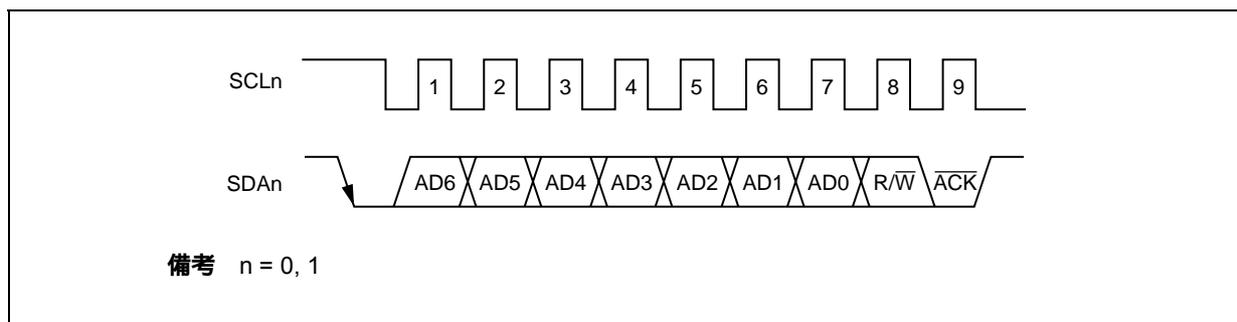
IICコントロール・レジスタn (IICn) のビット2 (ACKEn) = 1でアクノリッジ信号自動発生許可状態になります (n = 0, 1)。

7ビットのアドレス情報に続く8ビット目のデータによりIIC状態レジスタn (IICSn) のビット3 (TRCn) が設定されますが、TRCnビットの値が“0”の場合は受信状態なので、ACKEn = 1にしてください (n = 0, 1)。

スレーブ受信動作時 (TRCn = 0)、スレーブ側が複数バイトを受信し、次のデータを必要としない場合は、ACKEn = 0にすると、マスタ側が次の転送を開始しないようにできます。

同様に、マスタ受信動作時 (TRCn = 0) も次のデータを必要とせず、リスタート・コンディションまたはストップ・コンディションを出力したい場合、ACK信号を発生しないようにACKEn = 0にしてください。これは、スレーブ送信動作時に、SDAnラインにデータのMSBデータを出力しないようにするためです (送信停止)。

図10 - 12 アクノリッジ信号



自局アドレス受信時は、ACKEnの値にかかわらずSCLnの8クロック目の立ち下がりに同期してアクノリッジ信号を自動出力し、自局アドレス以外の受信時は、アクノリッジ信号を出力しません (n = 0, 1)。

データ受信時のアクノリッジ信号の出力方法はウェイト・タイミングの設定により次のようになります。

8クロック・ウェイト選択時：ウェイト解除を行う前にACKEn = 1とすることでSCLnの8クロック目の立ち下がりに同期してアクノリッジ信号を出力します。

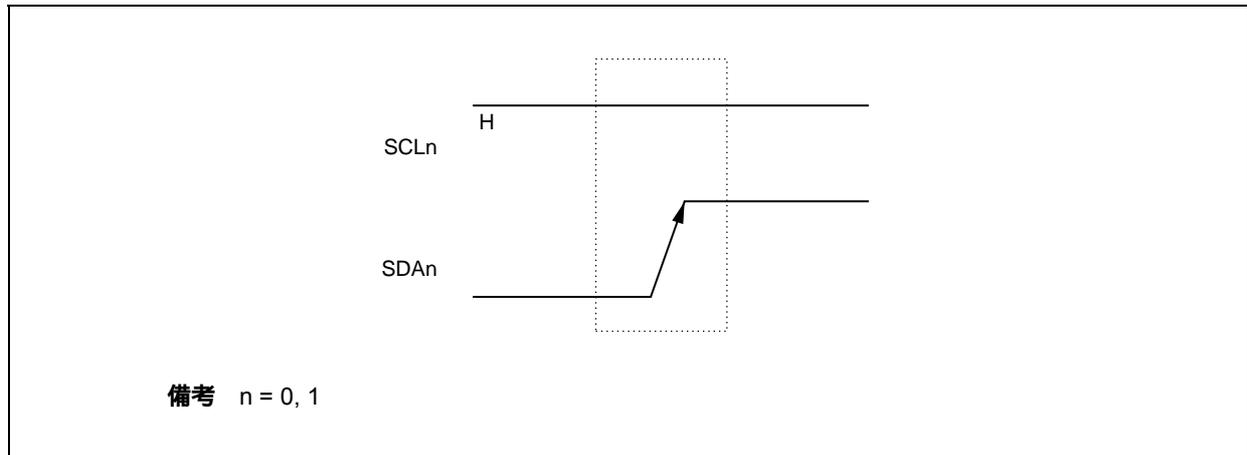
9クロック・ウェイト選択時：あらかじめACKEn = 1とすることでSCLnの8クロック目の立ち下がりに同期してアクノリッジ信号を自動出力します。

(5) ストップ・コンディション

SCLn端子がハイ・レベルのときに、SDAn端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります ($n=0,1$)。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに出力する信号です。また、スレーブはストップ・コンディションを検出するハードウェアを内蔵しています。

図10 - 13 ストップ・コンディション



ストップ・コンディションは、IICコントロール・レジスタ n (IICn) のビット0 (SPTn) をセット (1) すると発生します。また、ストップ・コンディションを検出するとIIC状態レジスタ n (IICSn) のビット0 (SPDn) がセット (1) され、IICnのビット4 (SPIEn) がセット (1) されている場合にはINTIICnが発生します ($n=0,1$)。

(6) ウェイト信号 ($\overline{\text{WAIT}}$)

ウェイト信号 ($\overline{\text{WAIT}}$) は、マスタまたはスレーブがデータの送受信が準備中 (ウェイト状態) であることを相手に知らせるための信号です。

SCLn端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます ($n = 0, 1$)。

図10 - 14 ウェイト信号 (1/2)

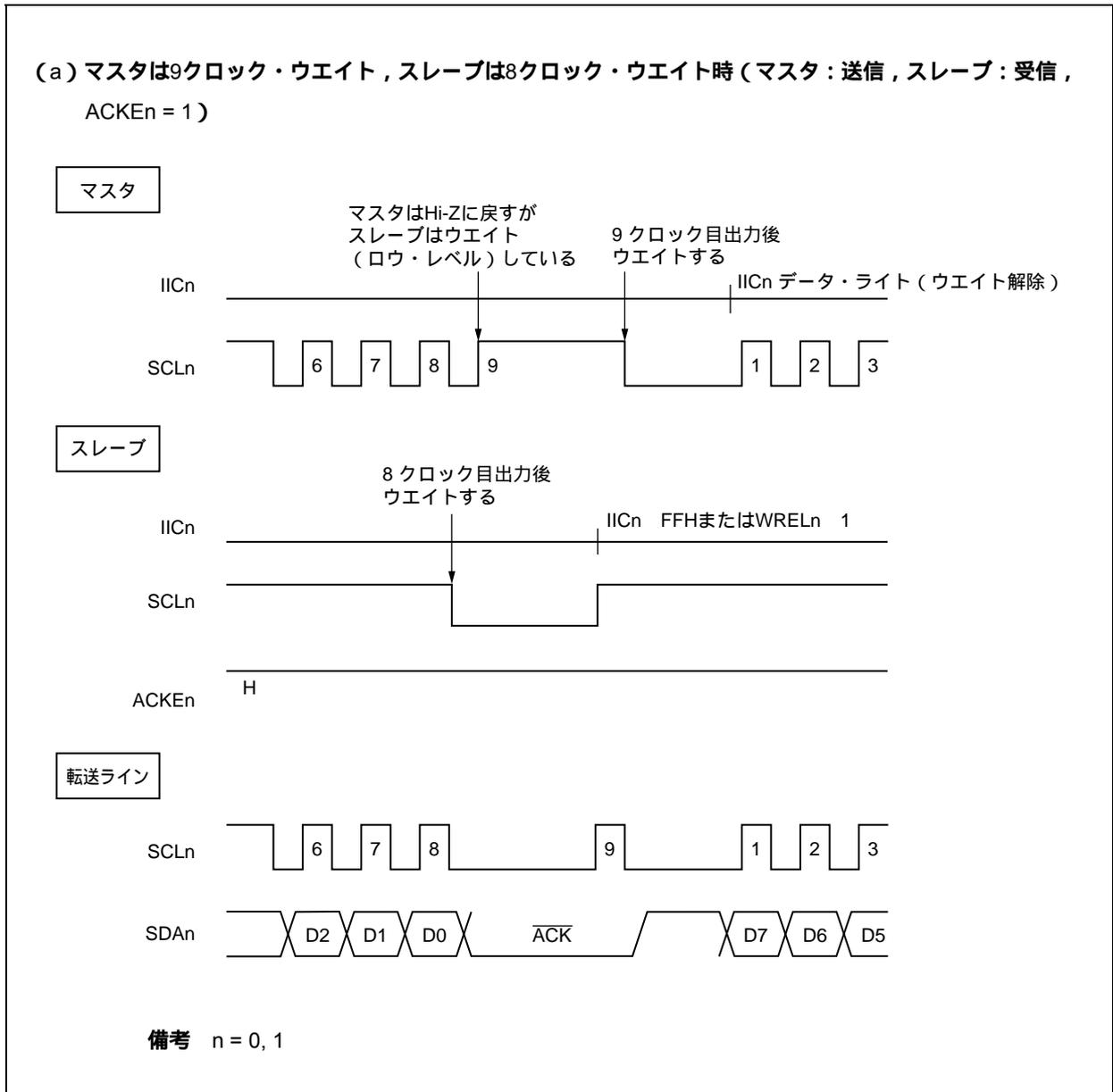
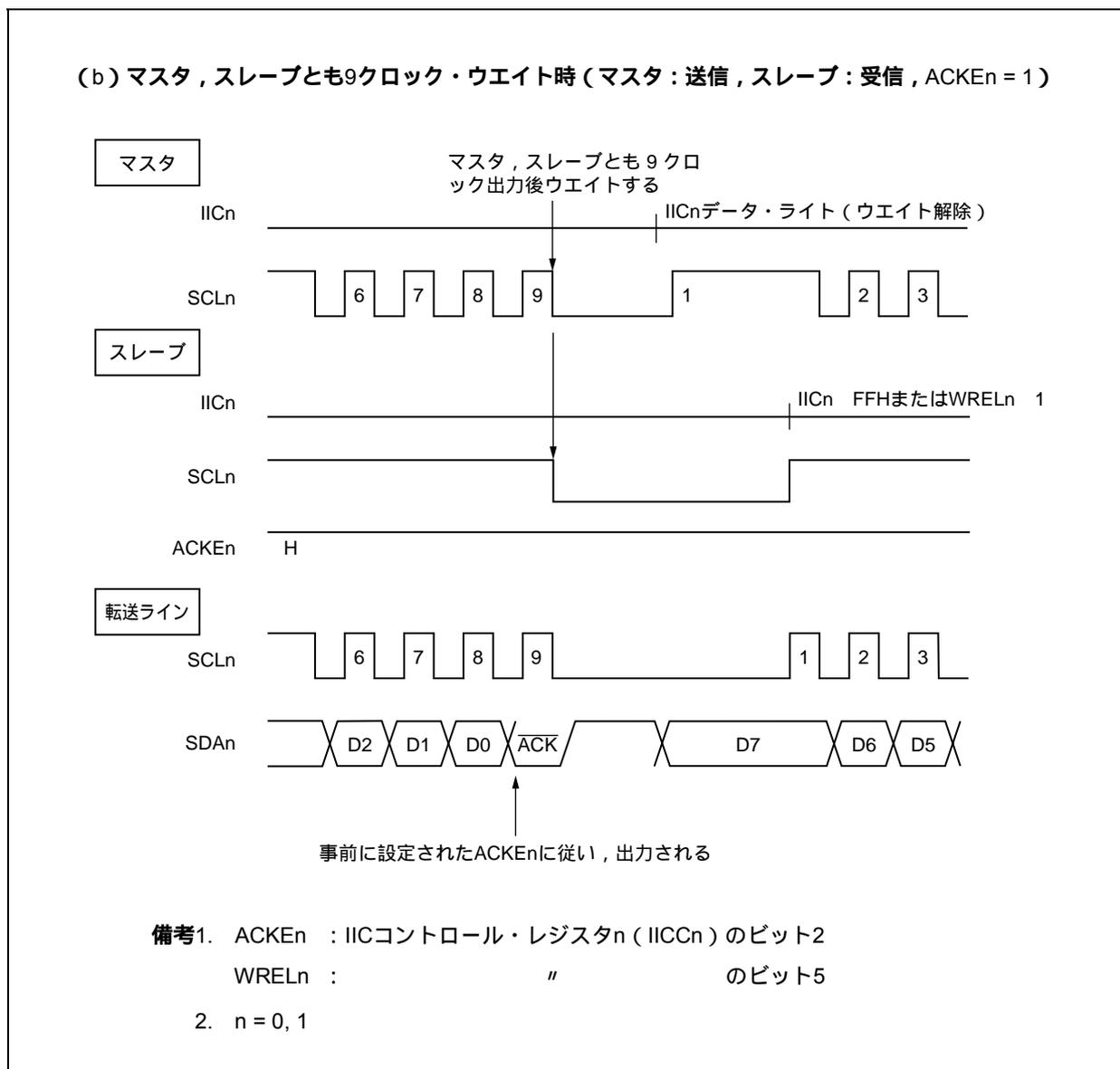


図10 - 14 ウェイト信号 (2/2)



ウェイトは, IICコントロール・レジスタn (IICn) のビット3 (WTIMn) の設定により自動的に発生します (n = 0, 1)。

通常, 受信側はIICnのビット5 (WRELn) = 1またはIICシフト・レジスタn (IICn) FFHライトにするとウェイトを解除し, 送信側はIICnにデータを書き込むとウェイトを解除します。

マスタの場合は, 次の方法でもウェイトを解除できます。

- ・ IICnのビット1 (STTn) = 1
- ・ IICnのビット0 (SPTn) = 1

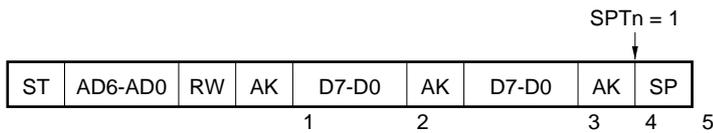
10.3.5 I²C割り込み要求 (INTIICn)

次に、INTIICn割り込み要求発生タイミングと、INTIICn割り込みタイミングでのIIC状態レジスタn (IICSn) の値を示します (n = 0, 1)。

(1) マスタ動作

(a) Start ~ Address ~ Data ~ Data ~ Stop (通常送受信)

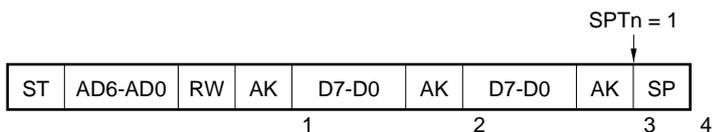
WTIMn = 0のとき



- 1 : IICSn = 10XXX110B
- 2 : IICSn = 10XXX000B
- 3 : IICSn = 10XXX000B (WTIMn = 1)
- 4 : IICSn = 10XXXX00B
- 5 : IICSn = 0000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき

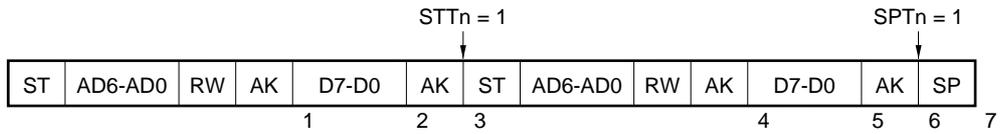


- 1 : IICSn = 10XXX110B
- 2 : IICSn = 10XXX100B
- 3 : IICSn = 10XXXX00B
- 4 : IICSn = 0000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

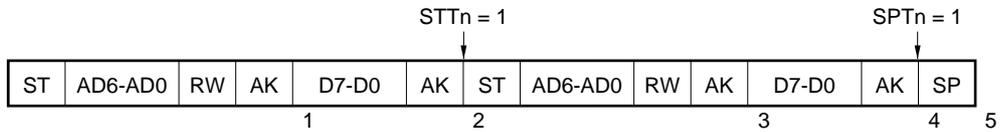
WTIMn = 0のとき



- 1 : IICSn = 10XXX110B
- 2 : IICSn = 10XXX000B (WTIMn = 1)
- 3 : IICSn = 10XXXX00B (WTIMn = 0)
- 4 : IICSn = 10XXX110B (WTIMn = 0)
- 5 : IICSn = 10XXX000B (WTIMn = 1)
- 6 : IICSn = 10XXXX00B
- 7 : IICSn = 0000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき

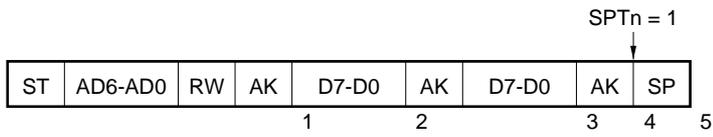


- 1 : IICSn = 10XXX110B
- 2 : IICSn = 10XXXX00B
- 3 : IICSn = 10XXX110B
- 4 : IICSn = 10XXXX00B
- 5 : IICSn = 0000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(c) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

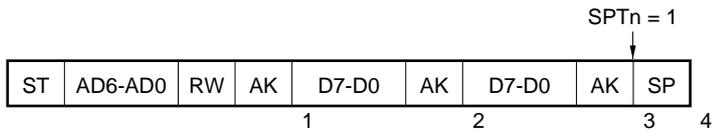
WTIMn = 0のとき



- 1 : IICSn = 1010X110B
- 2 : IICSn = 1010X000B
- 3 : IICSn = 1010X000B (WTIMn = 1)
- 4 : IICSn = 1010XX00B
- 5 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき



- 1 : IICSn = 1010X110B
- 2 : IICSn = 1010X100B
- 3 : IICSn = 1010XX00B
- 4 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(2) スレーブ動作 (スレーブ・アドレス・データ受信時 (SVAn一致))

(a) Start ~ Address ~ Data ~ Data ~ Stop

WTIMn = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2	3		4

1 : IICSn = 0001X110B

2 : IICSn = 0001X000B

3 : IICSn = 0001X000B

4 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2	3		4

1 : IICSn = 0001X110B

2 : IICSn = 0001X100B

3 : IICSn = 0001XX00B

4 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMn = 0のとき (リスタート後, SVAn一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3	4	5

1 : IICSn = 0001X110B

2 : IICSn = 0001X000B

3 : IICSn = 0001X110B

4 : IICSn = 0001X000B

5 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき (リスタート後, SVAn一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3	4	5

1 : IICSn = 0001X110B

2 : IICSn = 0001XX00B

3 : IICSn = 0001X110B

4 : IICSn = 0001XX00B

5 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(c) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIMn = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3	4	5

- 1 : IICSn = 0001X110B
- 2 : IICSn = 0001X000B
- 3 : IICSn = 0010X010B
- 4 : IICSn = 0010X000B
- 5 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP	
				1	2					3	4	5	6

- 1 : IICSn = 0001X110B
- 2 : IICSn = 0001XX00B
- 3 : IICSn = 0010X010B
- 4 : IICSn = 0010X110B
- 5 : IICSn = 0010XX00B
- 6 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(d) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMn = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3		4

1 : IICSn = 0001X110B

2 : IICSn = 0001X000B

3 : IICSn = 00000X10B

4 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3		4

1 : IICSn = 0001X110B

2 : IICSn = 0001XX00B

3 : IICSn = 00000X10B

4 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(3) スレーブ動作 (拡張コード受信時)

(a) Start ~ Code ~ Data ~ Data ~ Stop

WTIMn = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			1		2		3	4

1 : IICSn = 0010X010B

2 : IICSn = 0010X000B

3 : IICSn = 0010X000B

4 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP	
			1	2		3		4	5

1 : IICSn = 0010X010B

2 : IICSn = 0010X110B

3 : IICSn = 0010X100B

4 : IICSn = 0010XX00B

5 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(b) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMn = 0のとき (リスタート後, SVAn一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1		2					3	4	5

1 : IICSn = 0010X010B

2 : IICSn = 0010X000B

3 : IICSn = 0001X110B

4 : IICSn = 0001X000B

5 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき (リスタート後, SVAn一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1	2		3				4		5 6

1 : IICSn = 0010X010B

2 : IICSn = 0010X110B

3 : IICSn = 0010XX00B

4 : IICSn = 0001X110B

5 : IICSn = 0001XX00B

6 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(c) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIMn = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1		2				3		4	5

1 : IICSn = 0010X010B

2 : IICSn = 0010X000B

3 : IICSn = 0010X010B

4 : IICSn = 0010X000B

5 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP	
			1	2		3			4	5		6	7

1 : IICSn = 0010X010B

2 : IICSn = 0010X110B

3 : IICSn = 0010XX00B

4 : IICSn = 0010X010B

5 : IICSn = 0010X110B

6 : IICSn = 0010XX00B

7 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(d) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMn = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1		2					3		4

1 : IICSn = 0010X010B

2 : IICSn = 0010X000B

3 : IICSn = 00000X10B

4 : IICSn = 00000001B

備考 必ず発生

SPIEn = 1のときだけ発生

X 任意

n = 0, 1

WTIMn = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1	2		3				4		5

1 : IICSn = 0010X010B

2 : IICSn = 0010X110B

3 : IICSn = 0010XX00B

4 : IICSn = 00000X10B

5 : IICSn = 00000001B

備考 必ず発生

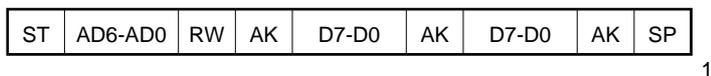
SPIEn = 1のときだけ発生

X 任意

n = 0, 1

(4) 通信不参加の動作

(a) Start ~ Code ~ Data ~ Data ~ Stop



1 : IICSn = 00000001B

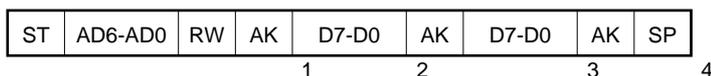
備考 SPIEn = 1のときだけ発生

n = 0, 1

(5) アービトレーション負けの動作 (アービトレーション負けのあと, スレーブとして動作)

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

WTIMn = 0のとき



1 : IICSn = 0101X110B (例 割り込み処理中にALDnをリード)

2 : IICSn = 0001X000B

3 : IICSn = 0001X000B

4 : IICSn = 00000001B

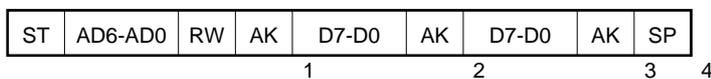
備考 必ず発生

SPIEn = 1のときだけ発生

X 任意

n = 0, 1

WTIMn = 1のとき



1 : IICSn = 0101X110B (例 割り込み処理中にALDnをリード)

2 : IICSn = 0001X100B

3 : IICSn = 0001XX00B

4 : IICSn = 00000001B

備考 必ず発生

SPIEn = 1のときだけ発生

X 任意

n = 0, 1

(b) 拡張コード送信中にアービトレーションに負けた場合

WTIMn = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
		1		2		3		4

1 : IICSn = 0110X010B (例 割り込み処理中にALDnをリード)

2 : IICSn = 0010X000B

3 : IICSn = 0010X000B

4 : IICSn = 00000001B

備考 必ず発生

SPIEn = 1のときだけ発生

X 任意

n = 0, 1

WTIMn = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
		1	2		3		4	5

1 : IICSn = 0110X010B (例 割り込み処理中にALDnをリード)

2 : IICSn = 0010X110B

3 : IICSn = 0010X100B

4 : IICSn = 0010XX00B

5 : IICSn = 00000001B

備考 必ず発生

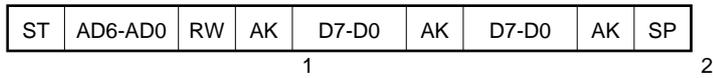
SPIEn = 1のときだけ発生

X 任意

n = 0, 1

(6) アービトレーション負けの動作 (アービトレーション負けのあと, 不参加)

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

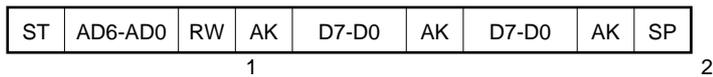


1 : IICSn = 01000110B (例 割り込み処理中にALDnをリード)

2 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 n = 0, 1

(b) 拡張コード送信中にアービトレーションに負けた場合



1 : IICSn = 0110X010B (例 割り込み処理中にALDnをリード)

ソフトでIICn : LRELn = 1を設定

2 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(c) データ転送時にアービトレーションに負けた場合

WTIMn = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2			3

1 : IICSn = 10001110B

2 : IICSn = 01000000B (例 割り込み処理中にALDnをリード)

3 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 n = 0, 1

WTIMn = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2			3

1 : IICSn = 10001110B

2 : IICSn = 01000100B (例 割り込み処理中にALDnをリード)

3 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 n = 0, 1

(d) データ転送時にリスタート・コンディションで負けた場合

拡張コード以外 (例 SVAn不一致)

ST	AD6-AD0	RW	AK	D7-Dn	ST	AD6-AD0	RW	AK	D7-D0	AK	SP		
				1					2				3

1 : IICSn = 1000X110B

2 : IICSn = 01000110B (例 割り込み処理中にALDnをリード)

3 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 Dn = D6-D0
 n = 0, 1

拡張コード

ST	AD6-AD0	RW	AK	D7-Dn	ST	AD6-AD0	RW	AK	D7-D0	AK	SP		
				1					2				3

1 : IICSn = 1000X110B

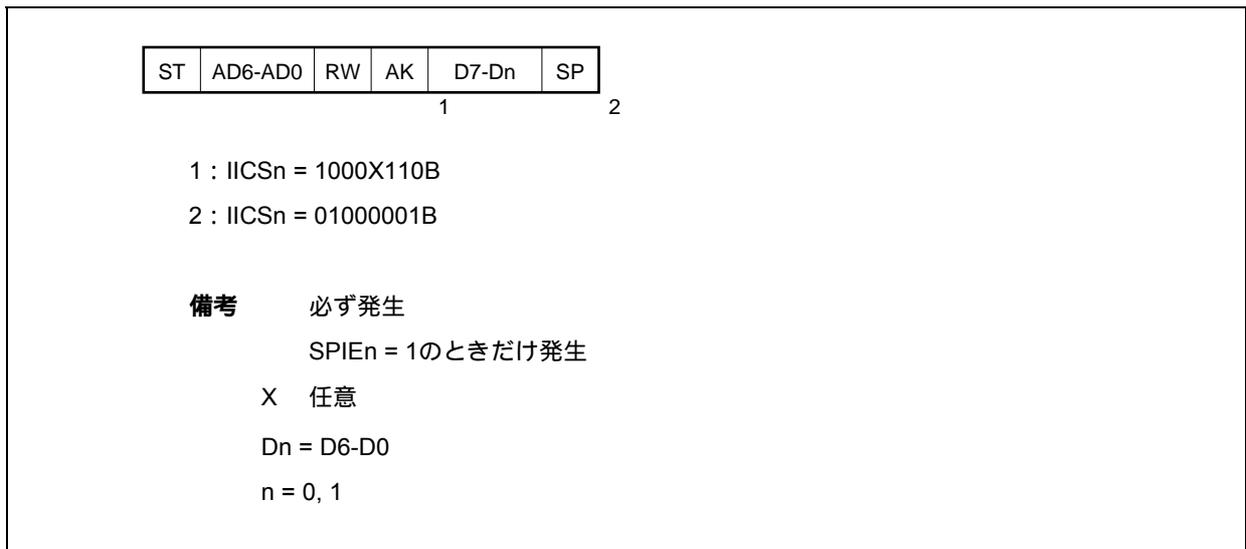
2 : IICSn = 0110X010B (例 割り込み処理中にALDnをリード)

ソフトでIICn : LRELn = 1を設定

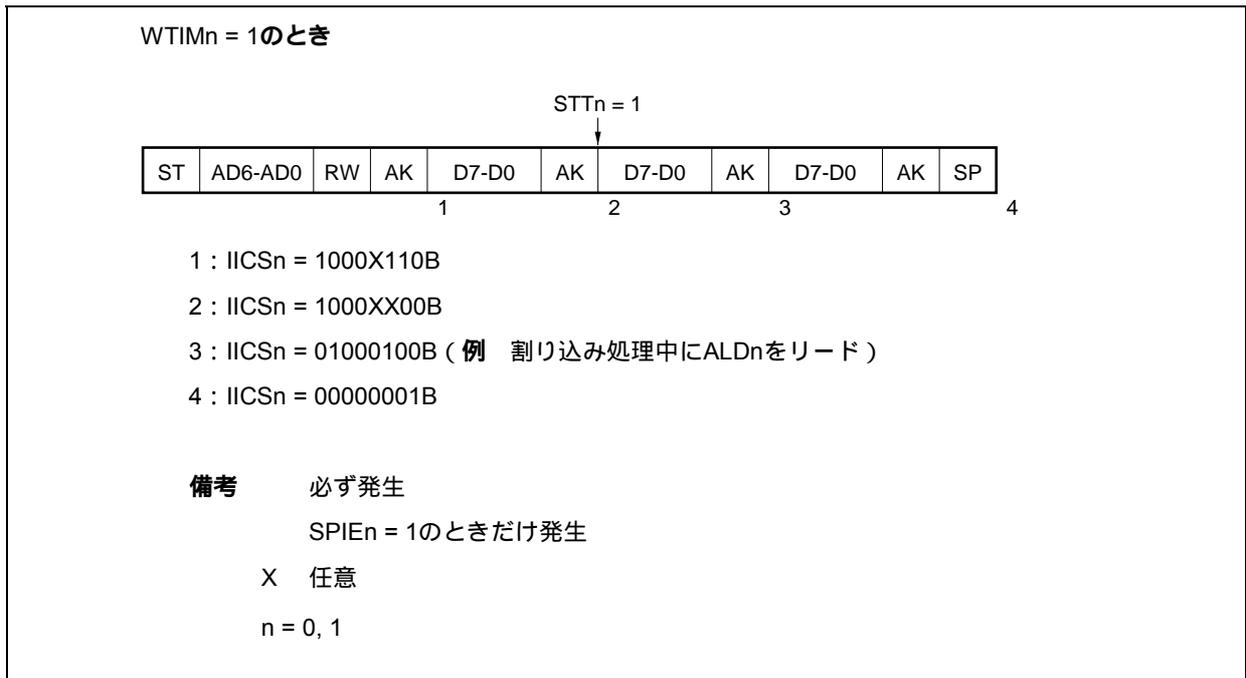
3 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 Dn = D6-D0
 n = 0, 1

(e) データ転送時にストップ・コンディションで負けた場合



(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合



(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

WTIMn = 1のとき

1 : IICSn = 1000X110B
 2 : IICSn = 1000XX00B
 3 : IICSn = 01000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

WTIMn = 1のとき

1 : IICSn = 1000X110B
 2 : IICSn = 1000XX00B
 3 : IICSn = 01000000B (例 割り込み処理中にALDnをリード)
 4 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

10.3.6 割り込み要求 (INTIICn) 発生タイミングおよびウェイト制御

IICコントロール・レジスタn (IICn) のビット3 (WTIMn) の設定で、次に示すタイミングでINTIICnが発生して、ウェイト制御を行います (n = 0, 1)。

表10 - 4 INTIICn発生タイミングおよびウェイト制御

WTIMn	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1,2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1,2}	9 ^{注2}	9 ^{注2}	9	9	9

注1. スレーブのINTIICn信号およびウェイトは、スレーブ・アドレス・レジスタn (SVAn) に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。

また、このとき、IICnのビット2 (ACKEn) の設定にかかわらず、 \overline{ACK} が出力されます。拡張コードを受信したスレーブは8クロック目の立ち下がりINTIICnが発生します。

2. スレーブ・アドレス・レジスタn (SVAn) と受信したアドレスが一致していない場合は、INTIICnもウェイトも発生しません。

備考1. 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

2. n = 0, 1

(1) アドレス送受信時

- ・スレーブ動作時：WTIMnビットにかかわらず、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIMnビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がり発生します。

(2) データ受信時

マスタ/スレーブ動作時：WTIMnビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

マスタ/スレーブ動作時：WTIMnビットにより、割り込みおよびウェイト・タイミングが決まります。

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・IICコントロール・レジスタn (IICn) のビット5 (WRELn) = 1
- ・IICシフト・レジスタn (IICn) のライト動作
- ・スタート・コンディションのセット (IICコントロール・レジスタn (IICn) のビット1 (STTn) = 1)
- ・ストップ・コンディションのセット (IICコントロール・レジスタn (IICn) のビット0 (SPTn) = 1)

8クロック・ウェイト選択 (WTIMn = 0) 時は、ウェイト解除前に \overline{ACK} の出力レベルを決定する必要があります。

備考 n = 0, 1

(5) ストップ・コンディション検出

INTIICnは、ストップ・コンディションを検出すると発生します。

備考 n = 0, 1

10.3.7 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致の検出は、ハードウェアで自動的に行えます。スレーブ・アドレス・レジスタn (SVAn) に自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVAnに設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICn割り込み要求が発生します (n = 0, 1)。

10.3.8 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDAn) の状態が、送信しているデバイスのIICシフト・レジスタn (IICn) にも取り込まれるため、送信開始前と送信終了後のIICnデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します (n = 0, 1)。

10.3.9 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (EXCn) をセットし、8クロック目の立ち下がりで割り込み要求 (INTIICn) を発生します (n = 0, 1)。
スレーブ・アドレス・レジスタn (SVAn) に格納された自局アドレスは影響しません。

(2) 10ビット・アドレス転送で、SVAnに“11110xx0”を設定し、マスタから“11110xx0”が転送されてきた場合は、次のようになります。ただしINTIICnは、8クロック目の立ち下がりで発生します (n = 0, 1)。

上位4ビット・データの一致 : EXCn = 1^注
7ビット・データの一致 : COIn = 1^注

注 EXCn : IIC状態レジスタn (IICSn) のビット5
COIn : " のビット4

(3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアが行います。
たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICコントロール・レジスタn (IICn) のビット6 (LRELn) = 1に設定し、次の通信待機状態となります。

表10 - 5 拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
0000 000	1	スタート・バイト
0000 001	x	CBUSアドレス
0000 010	x	異なるバス・フォーマット用に予約されているアドレス
1111 0xx	x	10ビット・スレーブ・アドレス指定

10.3.10 アービトレーション

複数のマスタがスタート・コンディションを同時に出力した場合（STDn = 1になる前にSTTn = 1にしたとき^注），データが異なるまでクロックの調整をしながら，マスタ通信を行います。この動作をアービトレーションと呼びます（n = 0, 1）。

アービトレーションに負けたマスタは，アービトレーションに負けたタイミングで，IIC状態レジスタn（IICSn）のアービトレーション負けフラグ（ALDn）をセットし，SCLn，SDAnラインともハイ・インピーダンス状態にしてバスを解放します（n = 0, 1）。

アービトレーションに負けたことは，次の割り込み要求発生タイミング（8または9クロック目，ストップ・コンディション検出など）で，ソフトウェアでALDn = 1になっていることで検出します（n = 0, 1）。

割り込み発生タイミングについては，10.3.5 I²C割り込み要求（INTIICn）を参照してください。

注 STDn : IIC状態レジスタn（IICSn）のビット1
 STTn : IICコントロール・レジスタn（IICn）のビット1

図10 - 15 アービトレーション・タイミング例

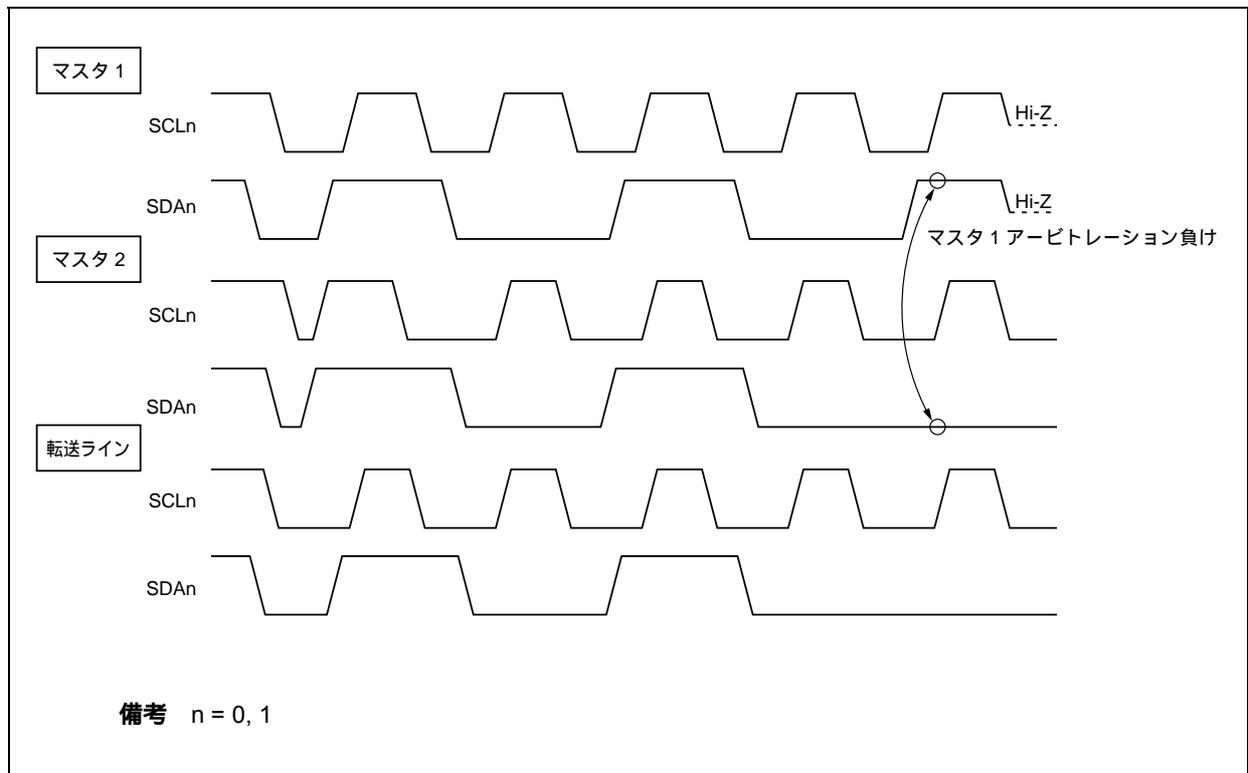


表10 - 6 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ受信後のACK転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション出力時 (SPIEn = 1時) ^{注2}
リスタート・コンディションを出力しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを出力しようとしたがストップ・コンディション検出	ストップ・コンディション出力時 (SPIEn = 1時) ^{注2}
ストップ・コンディションを出力しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを出力しようとしたがSCLnがロウ・レベル	

- 注1. WTIMn (IICコントロール・レジスタn (IICn) のビット3) = 1の場合には, 9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIMn = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングで割り込み要求を発生します (n = 0, 1)。
2. アービトレーションが起こる可能性がある場合, マスタ動作ではSPIEn = 1にしてください (n = 0, 1)。

備考 SPIEn : IICコントロール・レジスタn (IICn) のビット5

10.3.11 ウェイク・アップ機能

I²Cバスのスレーブ機能で, 自局アドレスと拡張コードを受信したときに割り込み要求 (INTIICn) が発生する機能です。アドレスが一致しないときは不要な割り込み要求を発生せず, 効率よく処理できます。

スタート・コンディションを検出すると, ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを出力した場合) でも, アービトレーション負けでスレーブになる可能性があるため, アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると, ウェイク・アップ機能に関係なく, IICコントロール・レジスタn (IICn) のビット5 (SPIEn) の設定によって, 割り込み要求の発生許可/禁止が決定します (n = 0, 1)。

10.3.12 通信予約

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない(ACKを返さず、IICコントロール・レジスタn(IICn)のビット6(LRELn) = 1でバスを解放した)とき (n = 0, 1)

バスに不参加の状態、IICnのビット1(STTn)をセットすると、バスが解放されたあと(ストップ・コンディション検出後)に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

バスの解放を検出(ストップ・コンディション検出)すると、IICシフト・レジスタn(IICn)ライト操作により、マスタとしてのアドレス転送を開始します。このとき、IICnのビット4(SPIEn)をセットしておいてください(n = 0, 1)。

STTnをセットしたとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます(n = 0, 1)。

バスが解放されているとき …………… スタート・コンディション生成
 バスが解放されていないとき(待機状態) … 通信予約

通信予約として動作するのかどうかを確認するには、STTnをセットし、ウェイト時間をとったあと、MSTS_n(IIC状態レジスタn(IICSn)のビット7)を確認することで行います(n = 0, 1)。

ウェイト時間は、表10-7に示す時間をソフトウェアにより確保してください。なお、ウェイト時間はIICクロック選択レジスタn(IICCLn)のビット3, 1, 0(SMCn, CLn1, CLn0)により設定できます(n = 0, 1)。

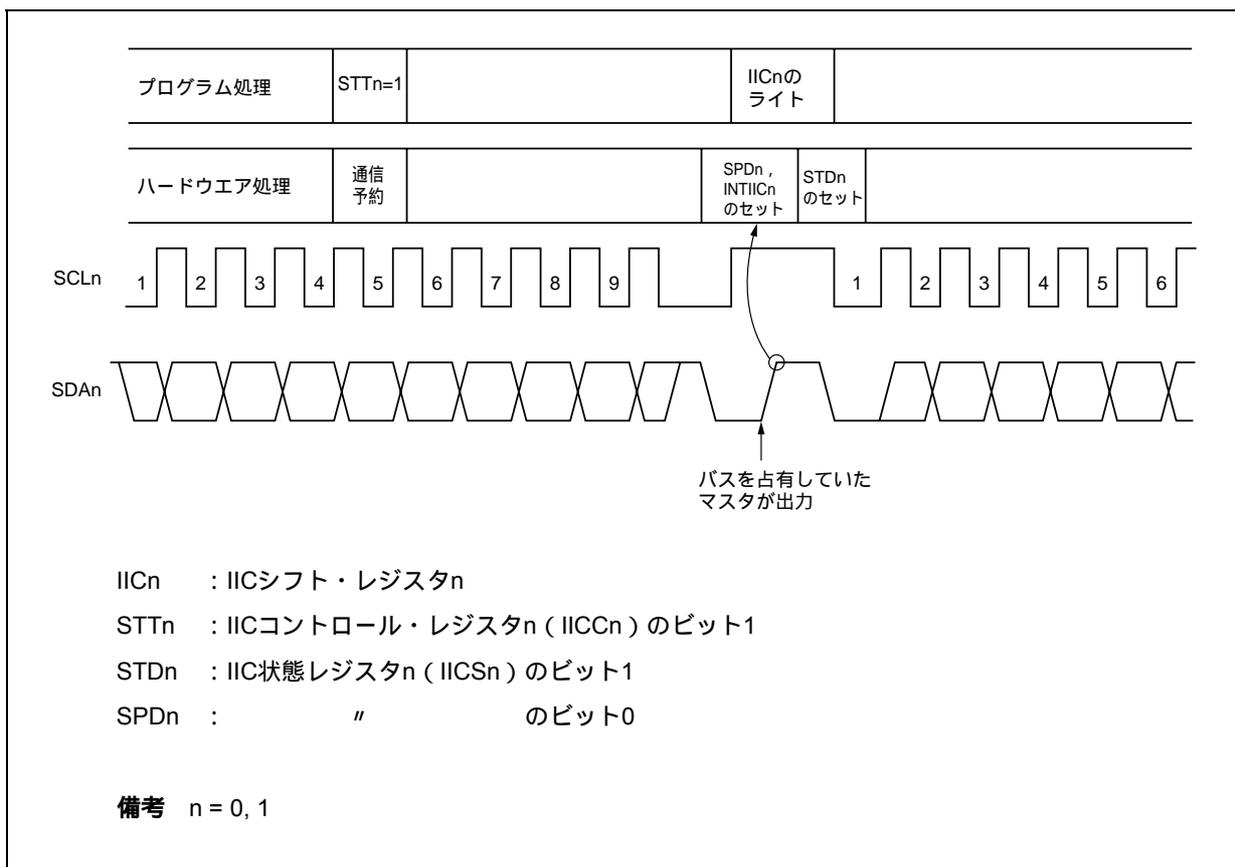
表10-7 ウェイト時間

SMCn	CLn1	CLn0	ウェイト時間
0	0	0	26クロック
0	0	1	46クロック
0	1	0	92クロック
0	1	1	37クロック
1	0	0	16クロック
1	0	1	
1	1	0	32クロック
1	1	1	13クロック

備考 n = 0, 1

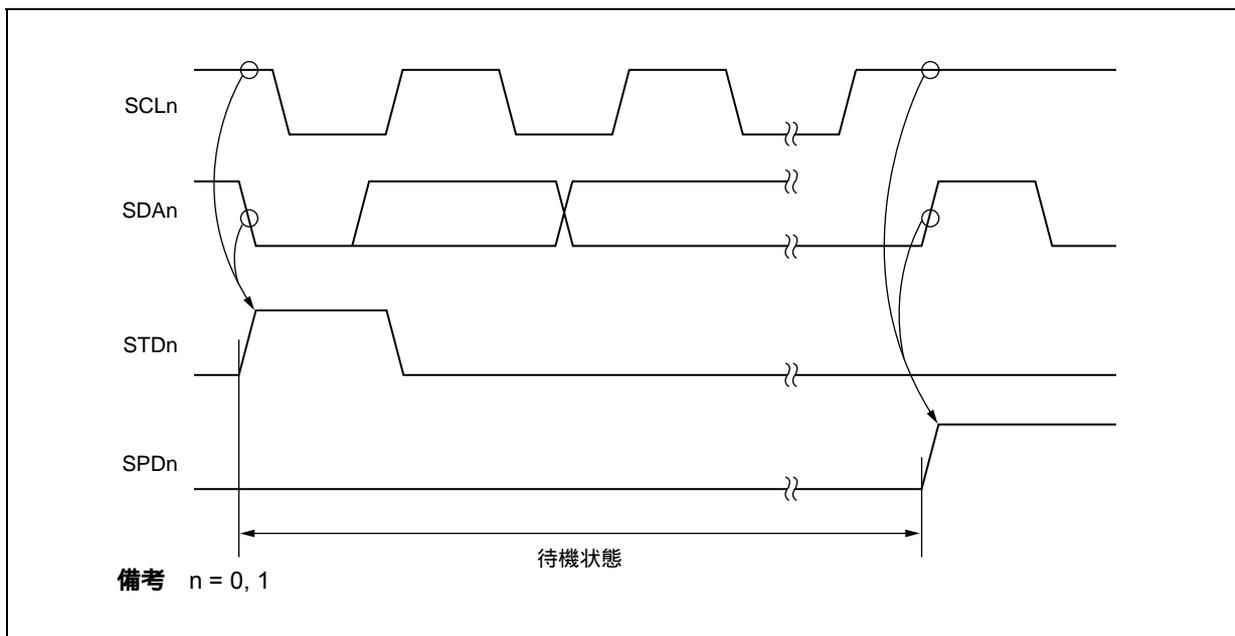
通信予約のタイミングを次に示します。

図10 - 16 通信予約のタイミング



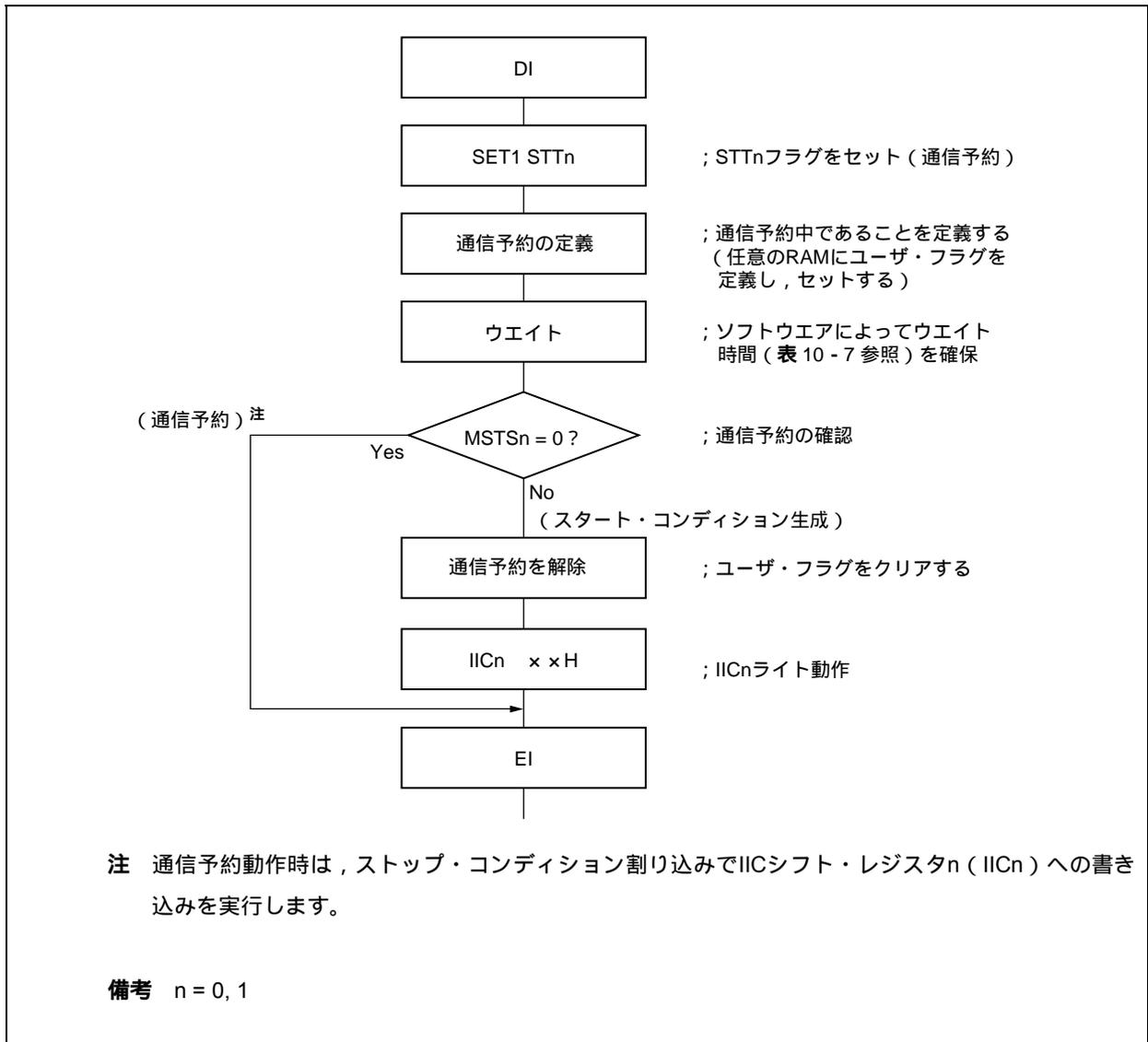
通信予約は次のタイミングで受け付けられます。IIC状態レジスタn (IICSn) のビット1 (STDn) = 1になったあと、ストップ・コンディション検出までにIICコントロール・レジスタn (IICcn) のビット1 (STTn) = 1で通信予約をします (n = 0, 1)。

図10 - 17 通信予約受け付けタイミング



次に通信予約の手順を示します。

図10 - 18 通信予約の手順



10.3.13 注意事項

リセット後、ストップ・コンディションを検出していない（バスが解放されていない）状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスの解放をしてからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない（ストップ・コンディションを検出していない）状態では、マスタ通信を行えません。

ストップ・コンディションの生成は次の順番で行ってください。

IICクロック選択レジスタn (IICCLn) の設定

IICコントロール・レジスタn (IICCn) のビット7 (IICEn) のセット

IICCnのビット0のセット

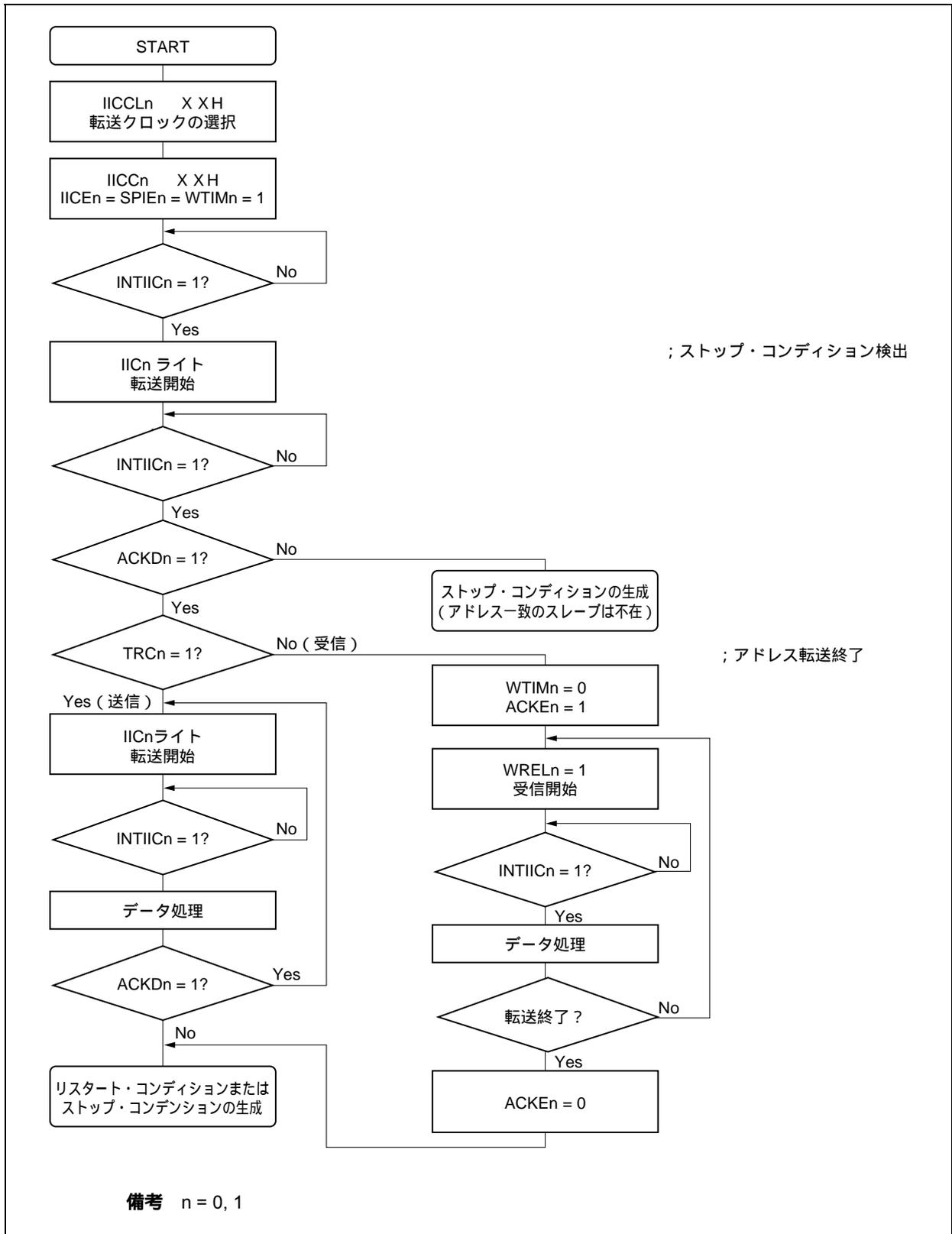
備考 n = 0, 1

10.3.14 通信動作

(1) マスタ動作

マスタ通信手順の例を次に示します。

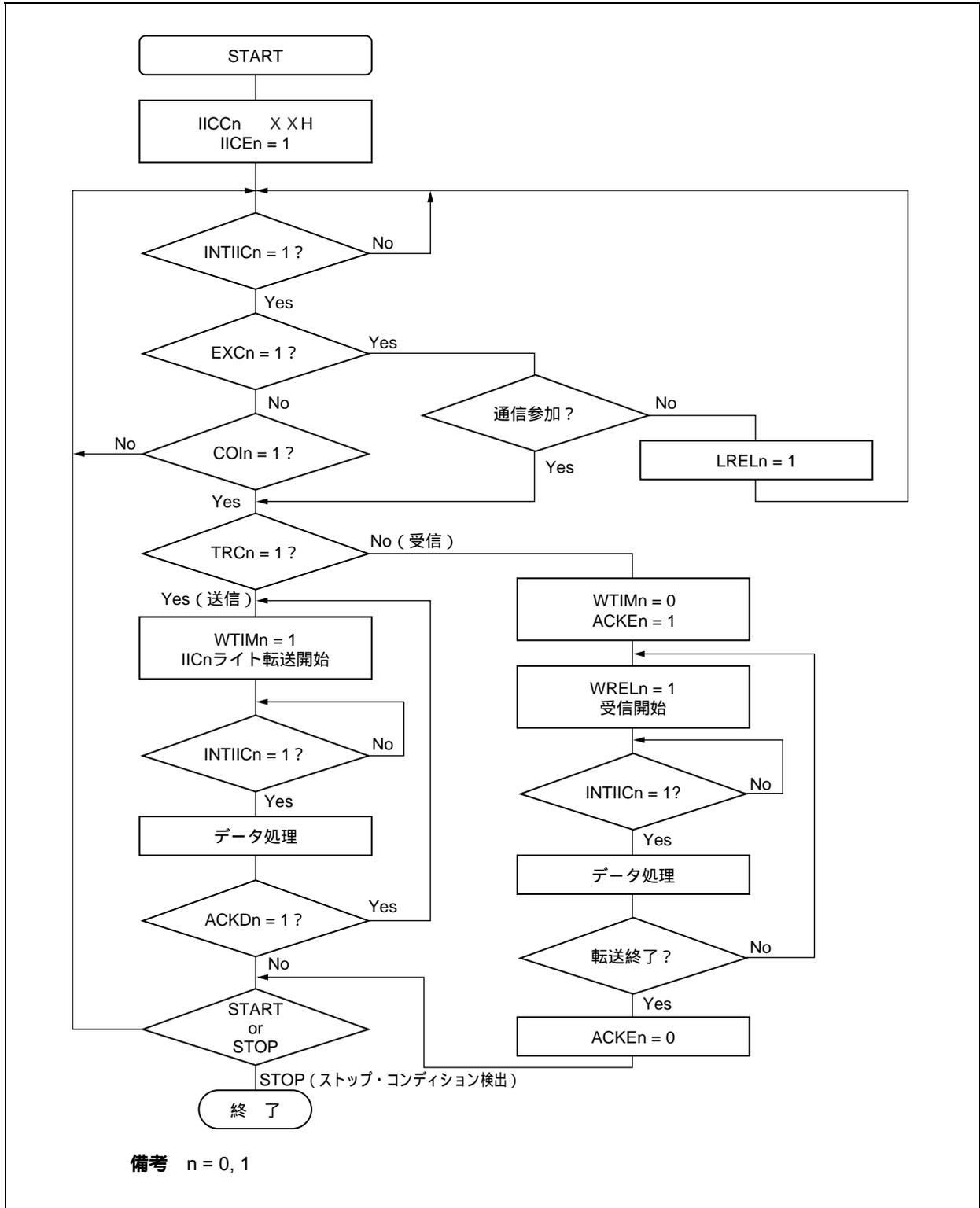
図10 - 19 マスタ動作手順



(2) スレーブ動作

スレーブ通信手順の例を次に示します。

図10-20 スレーブ動作手順



10.3.15 データ通信のタイミング

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRCnビット（IIC状態レジスタn（IICSn）のビット3）を送信し、スレーブとのシリアル通信を開始します。

シリアル・クロック（SCLn）の立ち下がりに同期してIICバス・シフト・レジスタn（IICn）のシフト動作が行われ、送信データがSOラッチに転送され、SDAn端子からMSBファーストで出力されます。

また、SCLnの立ち上がりでSDAn端子に入力されたデータがIICnに取り込まれます。

データ通信のタイミングを次に示します。

備考 n = 0, 1

図10 - 21 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

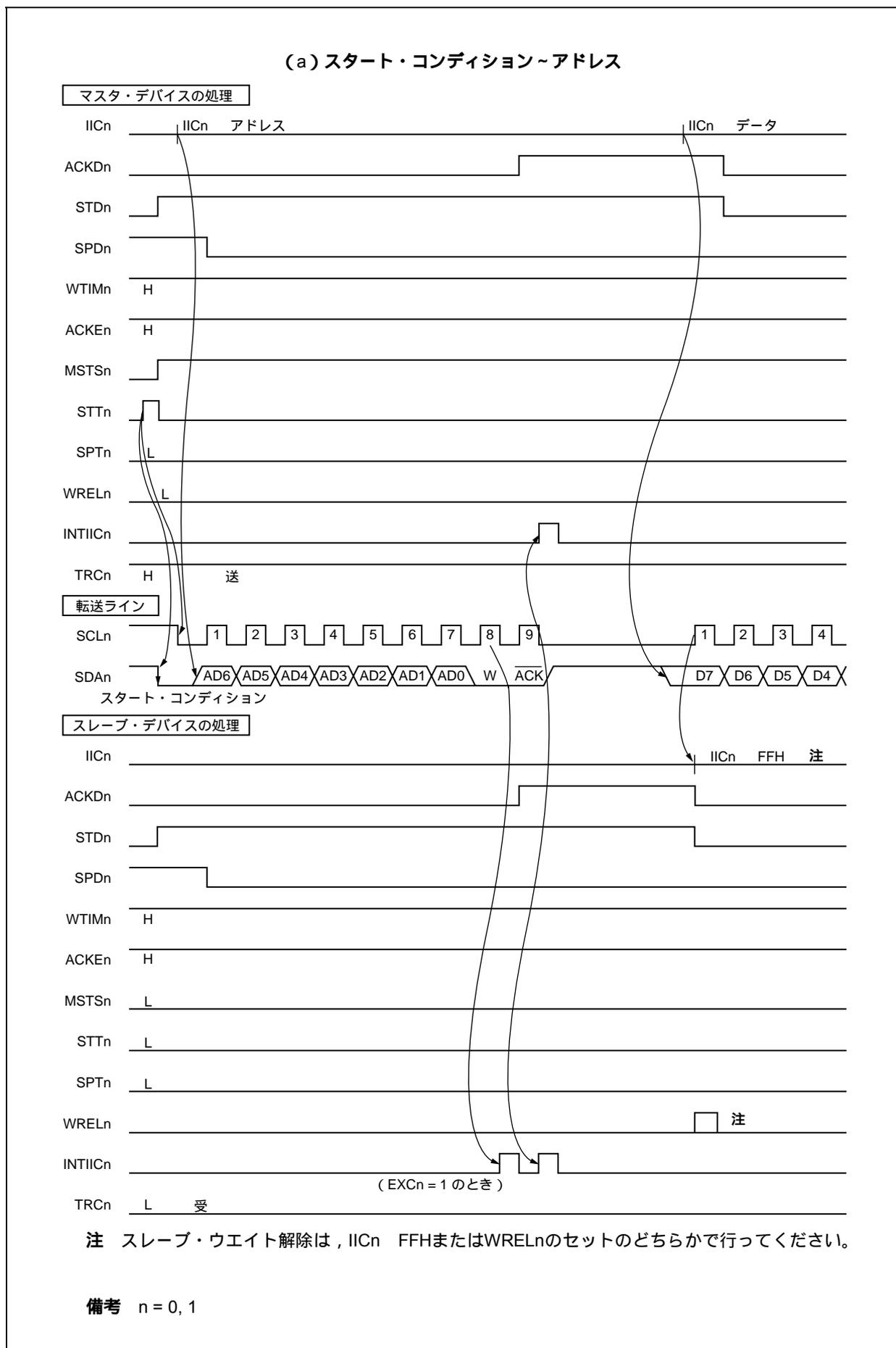


図10 - 21 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

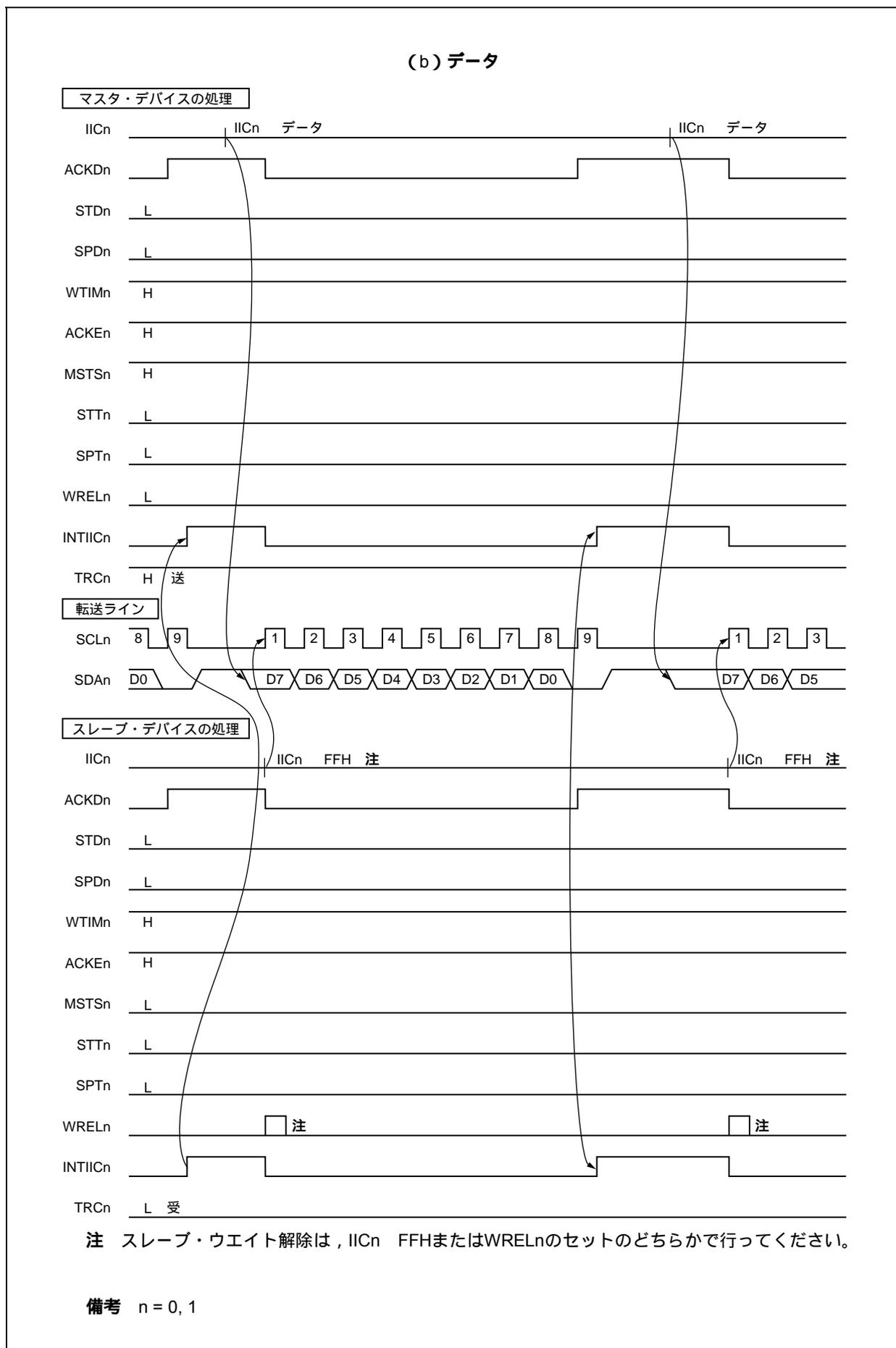


図10 - 21 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)

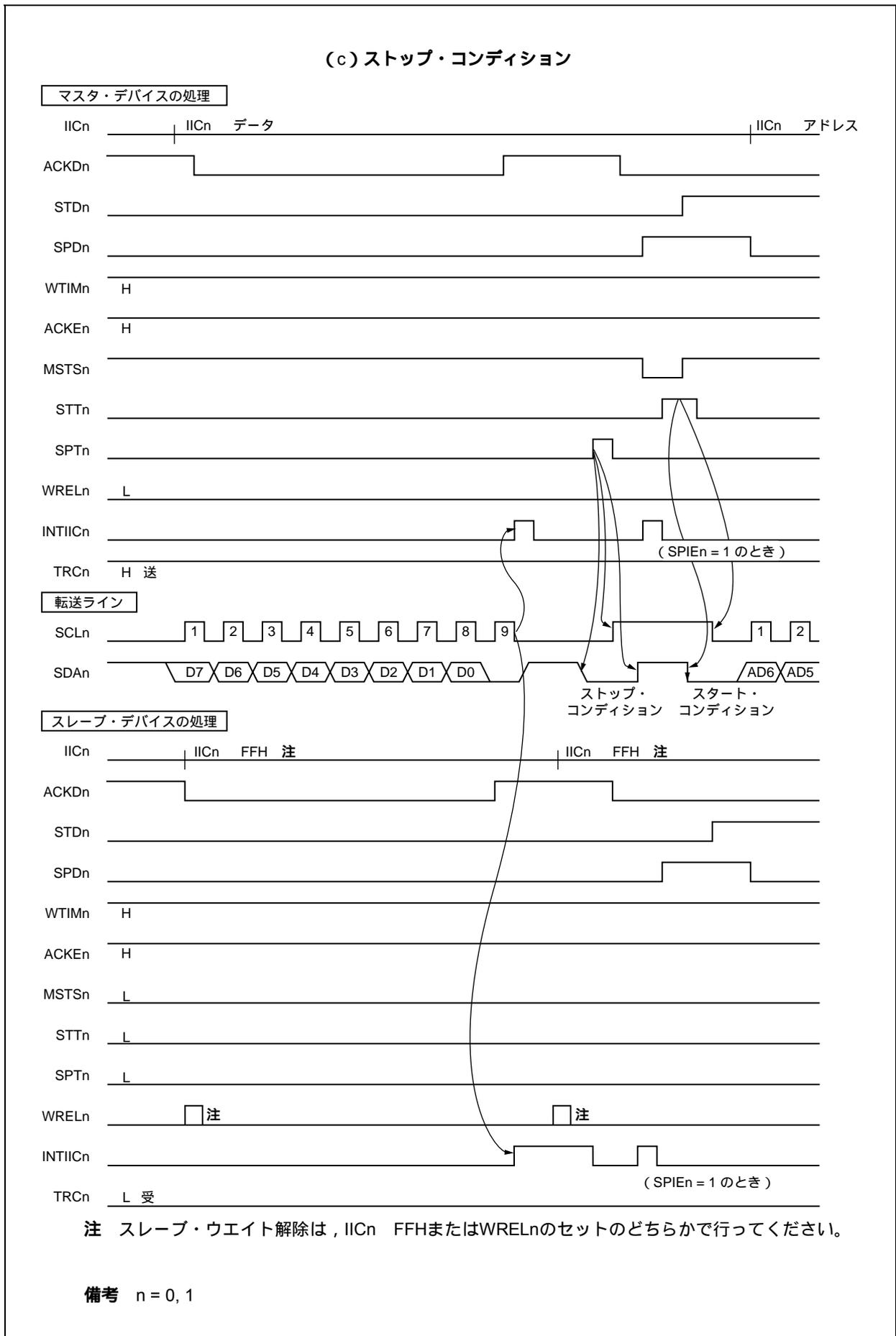


図10 - 22 スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

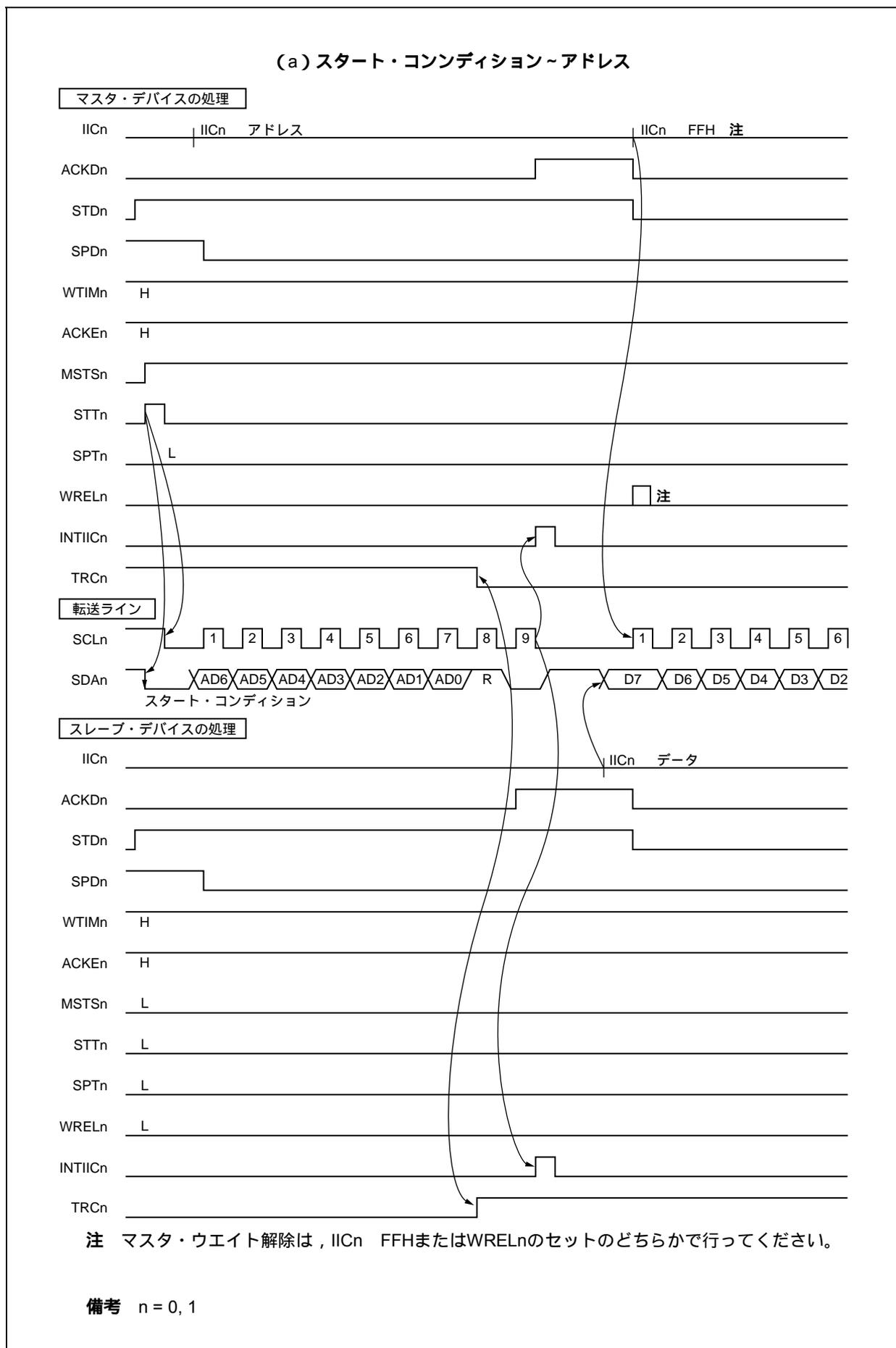


図10 - 22 スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

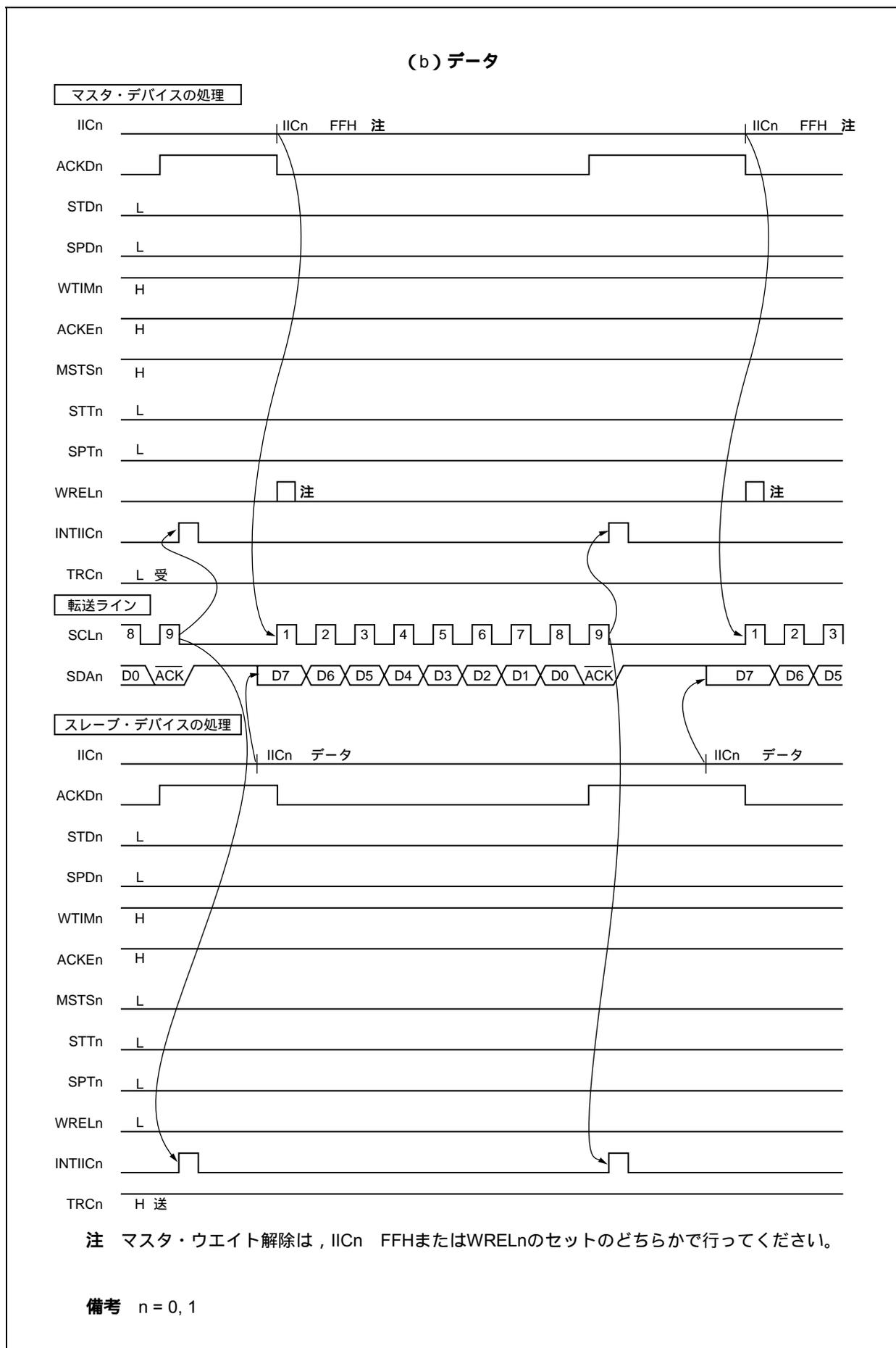
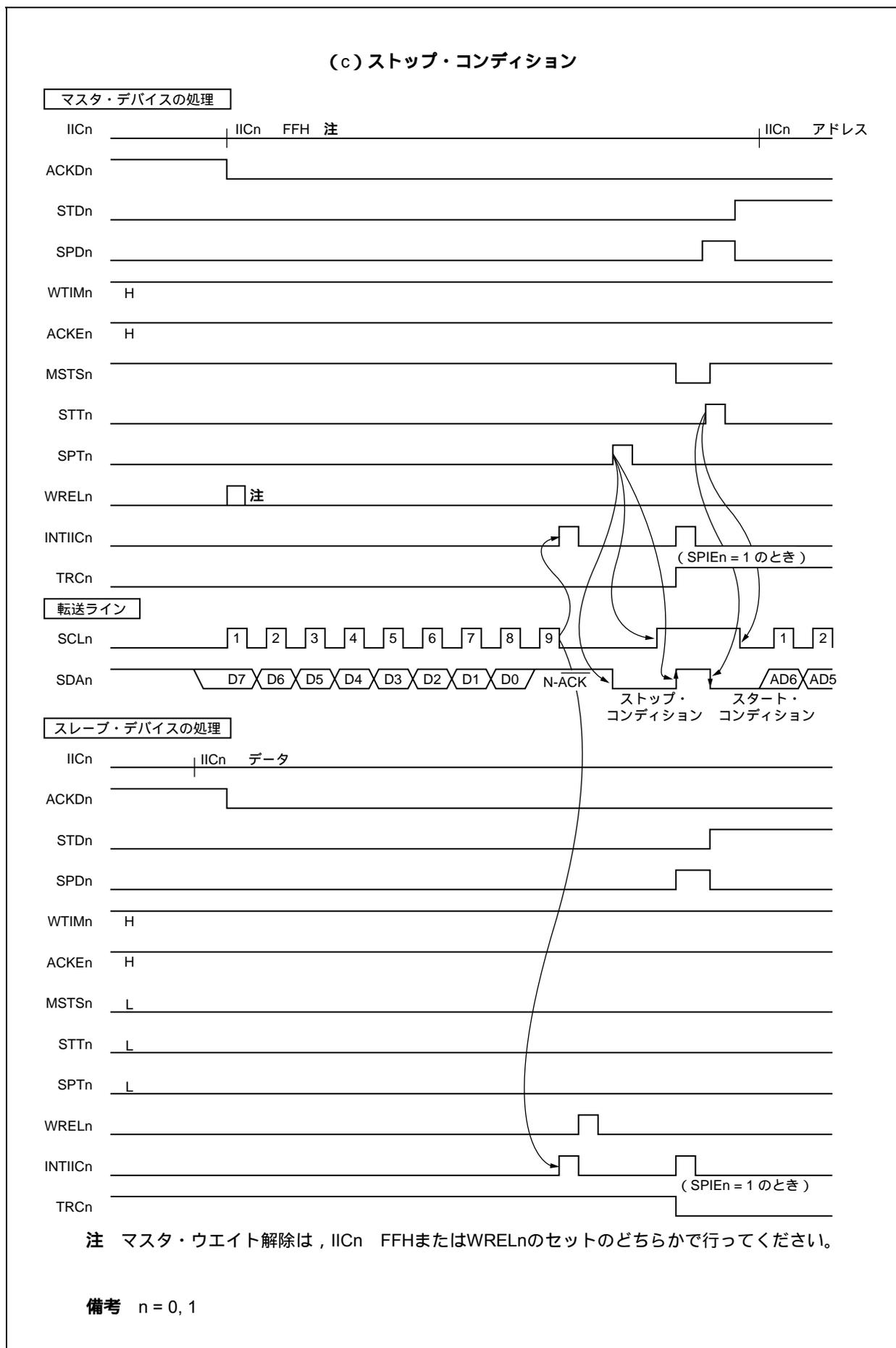


図10 - 22 スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)



10.4 I²Cバス (B, H品)

この機能を使用する場合は、P10/SDA0, P12/SCL0, P20/SDA1, P22/SCL1端子をN-chオープン・ドレイン出力に設定してください。

I²Cバスを内蔵している製品を次に示します。

V850/SB1 : μ PD703030BY, 703031BY, 703032BY, 703033BY, 70F3030BY, 70F3032BY, 70F3033BY
V850/SB2 : μ PD703034BY, 703035BY, 703036HY, 703037HY, 70F3035BY, 70F3036HY, 70F3037HY

I²C0, I²C1には、次の2種類のモードがあります。

- ・動作停止モード
- ・I²C (Inter IC) バス・モード (マルチマスタ対応)

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード (マルチマスタ対応)

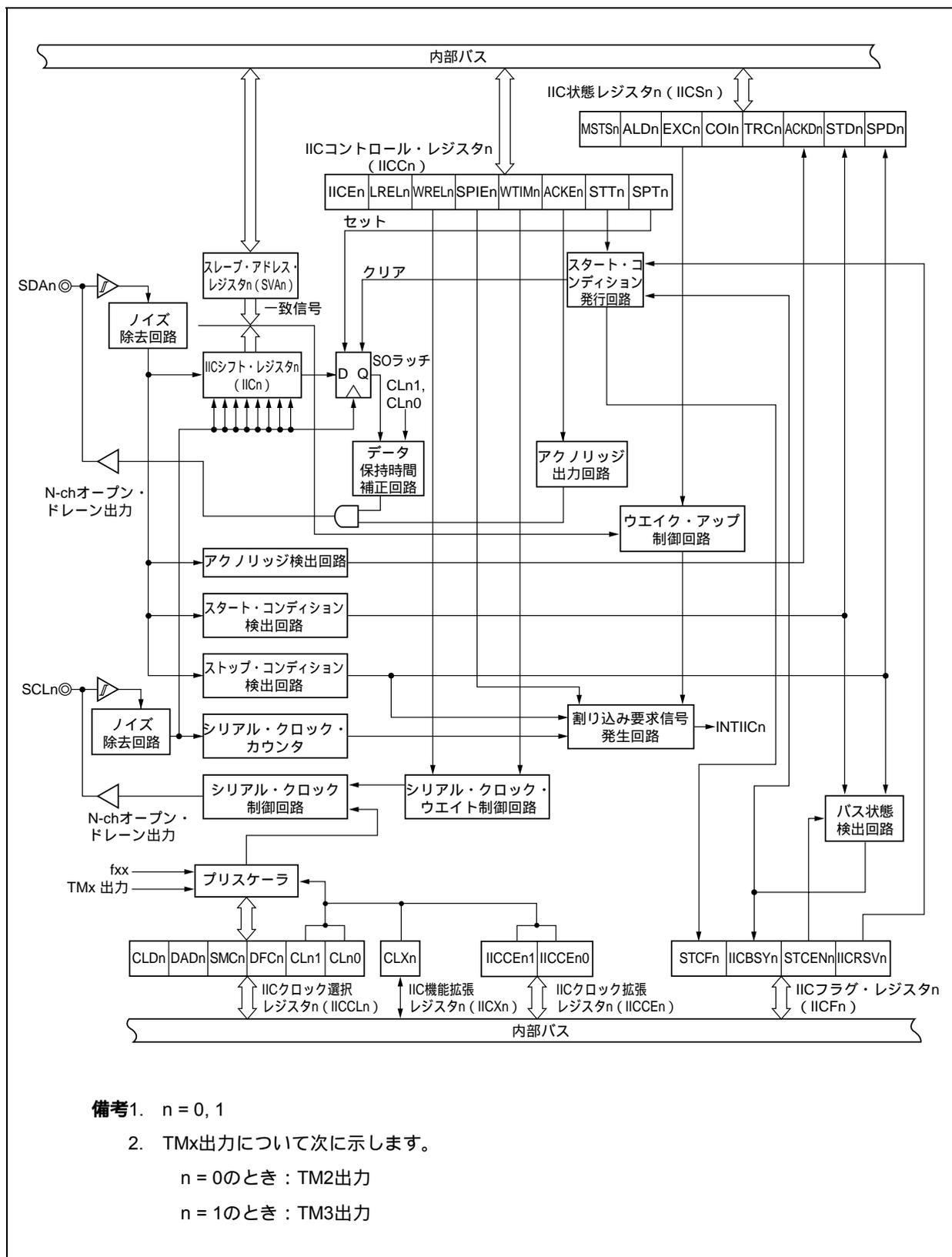
シリアル・クロック (SCLn) とシリアル・データ・バス (SDAn) の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対してシリアル・データ・バス上に“スタート・コンディション”、“データ”および“ストップ・コンディション”を出力できます。スレーブは、受信したこれらのデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

I²Cnでは、SCLnとSDAnはオープン・ドレイン出力になっているため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

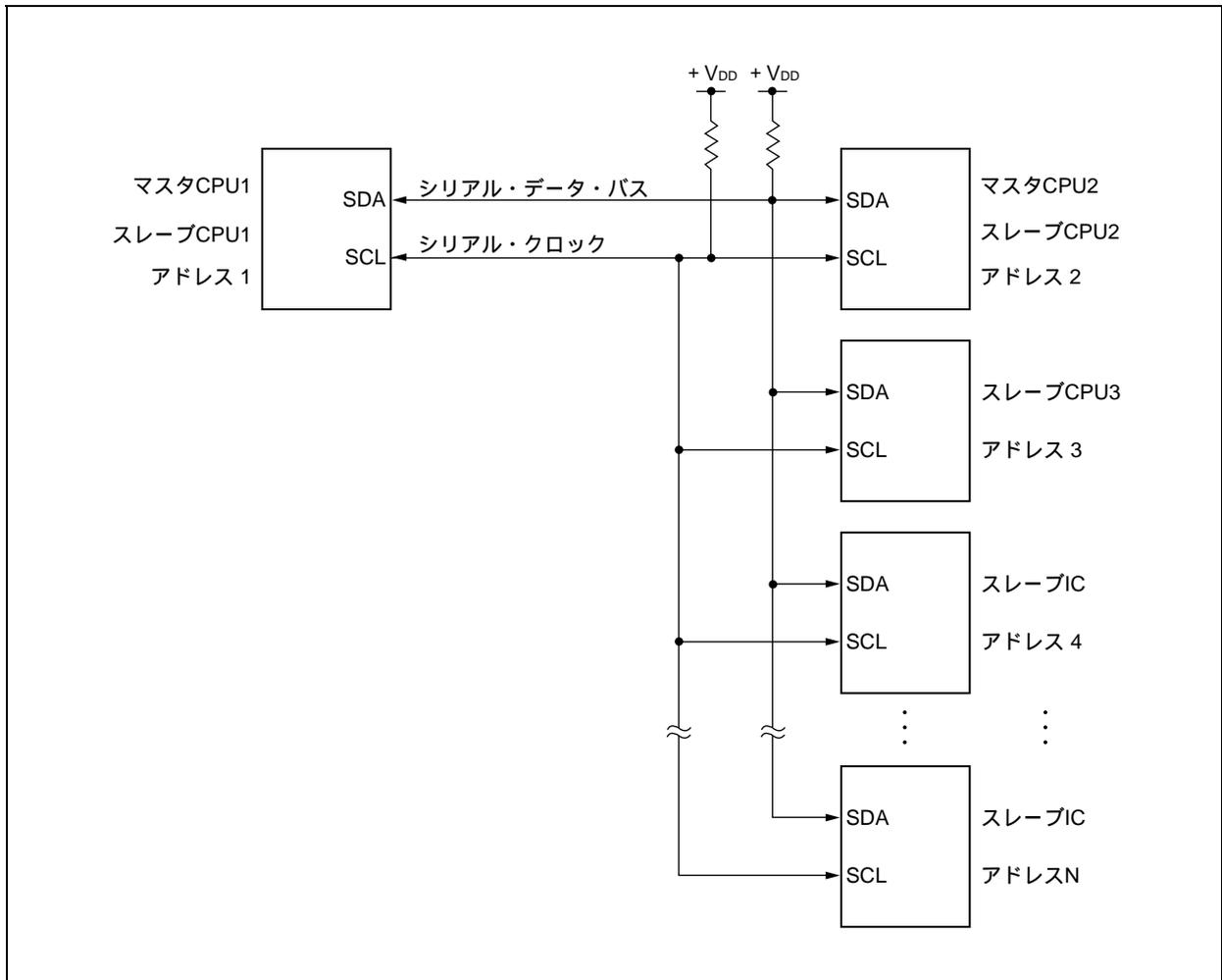
備考 n = 0, 1

図10 - 23 I²Cnのブロック図



次にシリアル・バス構成例を示します。

図10 - 24 I²Cバスによるシリアル・バス構成例



10.4.1 構成

I²Cnは、次のハードウェアで構成されています (n = 0, 1)。

表10 - 8 I²Cnの構成

項目	構成
レジスタ	IICシフト・レジスタ0, 1 (IIC0, IIC1) スレーブ・アドレス・レジスタ0, 1 (SVA0, SVA1)
制御レジスタ	IICコントロール・レジスタ0, 1 (IICC0, IICC1) IIC状態レジスタ0, 1 (IICS0, IICS1) IICフラグ・レジスタ0, 1 (IICF0, IICF1) IICクロック選択レジスタ0, 1 (IICCL0, IICCL1) IICクロック拡張レジスタ0, 1 (IICCE0, IICCE1) IIC機能拡張レジスタ0, 1 (IICX0, IICX1)

(1) IICシフト・レジスタ0, 1 (IIC0, IIC1)

IICnは、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICnは送信および受信の両方に使用されます (n = 0, 1)。

IICnに対する書き込み / 読み出しにより、実際の送受信動作が制御されます。

IICnは、8ビット・メモリ操作命令で設定します。

RESET \bar 入力により、00Hになります。

(2) スレーブ・アドレス・レジスタ0, 1 (SVA0, SVA1)

スレーブとして使用する場合に、自局アドレスを設定するレジスタです。

SVAnは、8ビット・メモリ操作命令で設定します (n = 0, 1)。

RESET \bar 入力により、00Hになります。

(3) SOラッチ

SOラッチは、SDAn端子出力レベルを保持するラッチです (n = 0, 1)。

(4) ウェイク・アップ制御回路

スレーブ・アドレス・レジスタn (SVAn) に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求を発生させる回路です (n = 0, 1)。

(5) クロック・セクタ

使用するサンプリング・クロックを選択します。

(6) シリアル・クロック・カウンタ

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(7) 割り込み要求信号発生回路

割り込み要求信号 (INTIICn) の発生を制御します。

I²C割り込みは、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目 (WTIMnビットで設定)
- ・ストップ・コンディション検出による割り込み発生 (SPIEnビットで設定)

備考1. n = 0, 1

2. WTIMnビット : IICコントロール・レジスタn (IICFn) のビット3

SPIEnビット : IICコントロール・レジスタn (IICFn) のビット4

(8) シリアル・クロック制御回路

マスタ・モード時に、SCLn端子に出力するクロックをサンプリング・クロックから生成します(n = 0, 1)。

(9) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

(10) アクノリッジ出力回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路

各種制御信号の出力および検出を行います。

(11) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

(12) スタート・コンディション発行回路

STTnビットがセットされるとスタート・コンディションを発行します。

ただし、通信予約禁止状態 (IICRSVnビット = 1) で、かつバスが解放されていない (IICBSYnビット =

1) 場合には、この要求は無視し、STCFnビットをセットします。

備考 IICRSVnビット : IICフラグ・レジスタn (IICFn) のビット0

IICBSYnビット : " のビット6

STCFnビット : " のビット7

(13) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし、動作直後はバス状態を検出できないため、STCENnビットにより、初期状態を設定します。

備考 STCENnビット : IICフラグ・レジスタn (IICFn) のビット1

10.4.2 I²C制御レジスタ

I²C0, I²C1は、次のレジスタで制御します。

- ・ IICコントロール・レジスタ0, 1 (IICC0, IICC1)
- ・ IIC状態レジスタ0, 1 (IICS0, IICS1)
- ・ IICフラグ・レジスタ0, 1 (IICF0, IICF1)
- ・ IICクロック選択レジスタ0, 1 (IICCL0, IICCL1)
- ・ IICクロック拡張レジスタ0, 1 (IICCE0, IICCE1)
- ・ IIC機能拡張レジスタ0, 1 (IICX0, IICX1)

また、次のレジスタも使用します。

- ・ IICシフト・レジスタ0, 1 (IIC0, IIC1)
- ・ スレーブ・アドレス・レジスタ0, 1 (SVA0, SVA1)

(1) IICコントロール・レジスタ0, 1 (IICC0, IICC1)

I²Cnの動作許可/禁止、ウエイト・タイミングの設定、その他I²C動作の設定を行うレジスタです。

IICCnは、8/1ビット・メモリ操作命令で設定します (n = 0, 1)。

RESET \bar 入力により、00Hになります。

注意 I²C0, I²C1バス・モード時、ポート1モード・レジスタ (PM1)、ポート2モード・レジスタ (PM2)、ポート1ファンクション・レジスタ (PF1)、ポート2ファンクション・レジスタ (PF2) を次のように設定してください。また、出力ラッチはそれぞれ0に設定してください。

端 子	ポート・モード・レジスタ	ポート・ファンクション・レジスタ
P10/SI0/SDA0	PM1レジスタのPM10 = 0	PF1レジスタのPF10 = 1
P12/ $\overline{\text{SCK0}}$ /SCL0	PM1レジスタのPM12 = 0	PF1レジスタのPF12 = 1
P20/SI2/SDA1	PM2レジスタのPM20 = 0	PF2レジスタのPF20 = 1
P22/ $\overline{\text{SCK2}}$ /SCL1	PM2レジスタのPM22 = 0	PF2レジスタのPF22 = 1

リセット時：00H R/W アドレス：FFFFFF340H, FFFFFFF350H

	⑦	⑥	⑤	④	③	②	①	①
IICn	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn

(n = 0, 1)

IICEn	I ² Cn動作許可 / 禁止の指定
0	動作停止。IIC状態レジスタn (IICSn) をプリセット。内部動作も停止。
1	動作許可。
クリアされる条件 (IICEn = 0)	
<ul style="list-style-type: none"> ・ 命令によるクリア ・ $\overline{\text{RESET}}$入力時 	
セットされる条件 (IICEn = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

LRELn	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的にクリアされる。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLn, SDAnラインはハイ・インピーダンス状態になる。 次のフラグがクリアされる。 <ul style="list-style-type: none"> ・ STDn ・ ACKDn ・ TRCn ・ COIn ・ EXCn ・ MSTSn ・ STTn ・ SPTn
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。 ストップ・コンディション検出後、マスタとしての起動 スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件 (LRELn = 0) 注	
<ul style="list-style-type: none"> ・ 実行後、自動的にクリア ・ $\overline{\text{RESET}}$入力時 	
セットされる条件 (LRELn = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

注 IICEn = 0により、このフラグの信号を無効にします。

備考

STDn	:	IIC状態レジスタn (IICSn) のビット1
ACKDn	:	" のビット2
TRCn	:	" のビット3
COIn	:	" のビット4
EXCn	:	" のビット5
MSTSn	:	" のビット7

WRELn	ウェイト解除の制御	
0	ウェイトを解除しない。	
1	ウェイト解除する。ウェイト解除後、自動的にクリアされる。	
クリアされる条件 (WRELn = 0) 注		セットされる条件 (WRELn = 1)
<ul style="list-style-type: none"> ・実行後、自動的にクリア ・RESET入力時 		<ul style="list-style-type: none"> ・命令によるセット

SPIEn	ストップ・コンディション検出による割り込み要求発生の許可 / 禁止	
0	禁止	
1	許可	
クリアされる条件 (SPIEn = 0) 注		セットされる条件 (SPIEn = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・RESET入力時 		<ul style="list-style-type: none"> ・命令によるセット

WTIMn	ウェイトおよび割り込み要求発生の制御	
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままウェイトスレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままウェイトスレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
アドレス転送中はこのビットの設定は無効になり、転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにウェイトが入ります。自局アドレスを受信したスレーブは、アクノリッジ発生後の9クロック目の立ち下がりでウェイトに入ります。拡張コードを受信したスレーブは、8クロック目の立ち下がりでウェイトに入ります。		
クリアされる条件 (WTIMn = 0) 注		セットされる条件 (WTIMn = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・RESET入力時 		<ul style="list-style-type: none"> ・命令によるセット

注 IICEn = 0により、このフラグの信号を無効にします。

備考 n = 0, 1

ACKEn	アクノリッジ制御
0	アクノリッジを禁止。
1	アクノリッジを許可。9クロック期間中にSDAnラインをロウ・レベルにする。ただし、アドレス転送中は無効，EXCn = 1の場合は有効。
クリアされる条件 (ACKEn = 0) 注	
<ul style="list-style-type: none"> ・命令によるクリア ・RESET入力時 	
セットされる条件 (ACKEn = 1)	
<ul style="list-style-type: none"> ・命令によるセット 	

STTn	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	<p>バスが解放されているとき (ストップ状態) :</p> <p>スタート・コンディションを生成する (マスタとしての起動)。SDAnラインをハイ・レベルからロウ・レベルに変化させ、スタート・コンディションを生成する。そのあと、規格の時間を確保し、SCLnをロウ・レベルにする。</p> <p>バスに参加していないとき :</p> <p>通信予約機能許可の場合 (IICRSVn = 0)</p> <ul style="list-style-type: none"> ・スタート・コンディション予約フラグとして機能。セットされると、バスが解放されたあと自動的にスタート・コンディションを生成する。 <p>通信予約機能禁止の場合 (IICRSVn = 1)</p> <ul style="list-style-type: none"> ・STCFnビットがセットされる。スタート・コンディションは生成しない。 <p>ウェイト状態 (マスタ時) :</p> <p>ウェイトを解除してリスタート・コンディションを生成する。</p>
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセットは禁止です。ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたあとにだけセット可能です。</p> <p>マスタ送信の場合：ACKn期間中は、正常にスタート・コンディションが生成されていないことがあります。ウェイト期間中にセットしてください。</p> <p>スレーブの場合：通信予約機能禁止 (IICRSVn = 1) の場合でも、通信予約状態になってしまいます。</p> <ul style="list-style-type: none"> ・SPTnと同時にセットすることは禁止です。 	
クリアされる条件 (STTn = 0)	
<ul style="list-style-type: none"> ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成後クリア ・LRELn = 1によるクリア ・IICEn = 0のとき ・RESET入力時 	
セットされる条件 (STTn = 1)	
<ul style="list-style-type: none"> ・命令によるセット 	

注 IICEn = 0により、このフラグの信号を無効にします。

備考1. ビット1 (STTn) は、データ設定後に読み出すと0になっています。

2. IICRSVn : IICフラグ・レジスタn (IICFn) のビット0
STCFn : IICフラグ・レジスタn (IICFn) のビット7
3. n = 0, 1

SPTn	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない。
1	ストップ・コンディションを生成する（マスタとしての転送終了）。 SDAnラインをロウ・レベルにしたあと、SCLnラインをハイ・レベルにするか、またはSCLnがハイ・レベルになるのを待つ。そのあと、規格の時間を確保し、SDAnラインをロウ・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成する。
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセットは禁止です。ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたあとのウェイト期間中にだけセット可能です。</p> <p>マスタ送信の場合：ACKn期間中は、正常にストップ・コンディションが生成されないことがあります。ウェイト期間中にセットしてください。</p> <ul style="list-style-type: none"> ・STTnと同時にセットすることは禁止です。 <p>SPTnのセットは、マスタのときのみ行ってください。<small>注</small></p> <p>WTIMn = 0設定時に、8クロック出力後のウェイト期間中にSPTnをセットすると、ウェイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。</p> <p>9クロック目出力する必要がある場合には、8クロック出力後のウェイト期間中にWTIMn = 0 1に設定し、9クロック目出力後のウェイト期間中にSPTnをセットしてください。</p>	
クリアされる条件 (SPTn = 0)	セットされる条件 (SPTn = 1)
<ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LRELn = 1によるクリア ・IICEn = 0のとき ・RESET入力時 	<ul style="list-style-type: none"> ・命令によるセット

注 SPTnのセットは、マスタのときのみ行ってください。ただし、IICフラグ・レジスタn (IICFn) のIICRSVnビットが0の場合、動作許可後最初のストップ・コンディションを検出するまでにマスタ動作を行うには、一度SPTnをセットしてストップ・コンディションを生成する必要があります。詳細は、10. 4. 13 **注意事項**を参照してください。

注意 IIC状態レジスタn (IICSn) のビット3 (TRCn) = 1のとき、9クロック目にWRELnをセットしてウェイト解除すると、TRCnをクリアしてSDAnラインをハイ・インピーダンスにします。

備考1. ビット0 (SPTn) は、データ設定後に読み出すと0になっています。

2. n = 0, 1

(2) IIC状態レジスタ0, 1 (IICS0, IICS1)

I²Cnのステータスを表すレジスタです。

IICSnは、8/1ビット・メモリ操作命令で設定します。IICSnは読み出しのみ可能です (n = 0, 1)。

RESET入力により、00Hになります。

(1/3)

リセット時：00H R アドレス：FFFFFF342H, FFFFFFF352H

	⑦	⑥	⑤	④	③	②	①	①
IICSn	MSTS _n	ALD _n	EXC _n	COL _n	TRC _n	ACKD _n	STD _n	SPD _n

(n = 0, 1)

MSTS _n	マスタの状態	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件 (MSTS _n = 0)		セットされる条件 (MSTS _n = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・ALD_n = 1のとき ・LREL_n = 1によるクリア ・IICEn = 1 0のとき ・RESET入力時 		<ul style="list-style-type: none"> ・スタート・コンディション生成時

ALD _n	アービトレーション負け検出	
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTS _n がクリアされる。	
クリアされる条件 (ALD _n = 0)		セットされる条件 (ALD _n = 1)
<ul style="list-style-type: none"> ・IICS_n読み出し後、自動的にクリア^注 ・IICEn = 1 0のとき ・RESET入力時 		<ul style="list-style-type: none"> ・アービトレーションに負けたとき

EXC _n	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信。	
クリアされる条件 (EXC _n = 0)		セットされる条件 (EXC _n = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL_n = 1によるクリア ・IICEn = 1 0のとき ・RESET入力時 		<ul style="list-style-type: none"> 受信したアドレス・データの上位4ビットが“0000”または“1111”のとき (8クロック目の立ち上がりでセット)

注 IICS_nのほかのビットに対しビット操作命令を実行した場合もクリアされます。

備考 LREL_n : IICコントロール・レジスタn (IIC_{Cn}) のビット6
 IICEn : " のビット7

COIn	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
	クリアされる条件 (COIn = 0)	セットされる条件 (COIn = 1)
	<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELn = 1によるクリア ・IICEEn = 1 0のとき ・$\overline{\text{RESET}}$入力時 	受信アドレスが自局アドレス (SVAn) と一致したとき (8クロック目の立ち上がりでセット)

TRCn	送信 / 受信状態検出	
0	受信状態 (送信状態以外)。SDAnラインをハイ・インピーダンスにする。	
1	送信状態。SDAnラインにSOラッチの値が出力できるようにする (1バイト目の9クロック目の立ち上がり以降有効)	
	クリアされる条件 (TRCn = 0)	セットされる条件 (TRCn = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・LRELn = 1によるクリア ・IICEEn = 1 0のとき ・WRELn = 1によるクリア^注 ・ALDn = 0 1のとき ・$\overline{\text{RESET}}$入力時 マスタの場合 <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に “1” を出力したとき スレーブの場合 <ul style="list-style-type: none"> ・スタート・コンディション検出時 通信不参加の場合	マスタの場合 <ul style="list-style-type: none"> ・スタート・コンディション生成時 スレーブの場合 <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) で “1” を入力したとき

注 IIC状態レジスタn (IICSn) のビット3 (TRCn) = 1のとき, 9クロック目にIICコントロール・レジスタn (IICcn) のビット5 (WRELn) をセットしてウエイトを解除すると, TRCnをクリアしてSDAnラインをハイ・インピーダンスにします。

- 備考1.** WRELn : IICコントロール・レジスタn (IICcn) のビット5
 LRELn : " のビット6
 IICEEn : " のビット7
2. n = 0, 1

ACKDn	アクノリッジ検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出。	
	クリアされる条件 (ACKDn = 0)	セットされる条件 (ACKDn = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LRELn = 1によるクリア ・IICEn = 1 0のとき ・RESET入力時 	SCLnの9クロック目の立ち上がり時にSDAnラインがロウ・レベルであったとき

STDn	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出。アドレス転送期間であることを示す。	
	クリアされる条件 (STDn = 0)	セットされる条件 (STDn = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LRELn = 1によるクリア ・IICEn = 1 0のとき ・RESET入力時 	<ul style="list-style-type: none"> ・スタート・コンディション検出時

SPDn	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出。マスタでの通信が終了し、バスが解放される。	
	クリアされる条件 (SPDn = 0)	セットされる条件 (SPDn = 1)
	<ul style="list-style-type: none"> ・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・IICEn = 1 0のとき ・RESET入力時 	<ul style="list-style-type: none"> ・ストップ・コンディション検出時

- 備考1. LRELn : IICコントロール・レジスタn (IICcn) のビット6
IICEn : " のビット7
2. n = 0, 1

(3) IICフラグ・レジスタ0, 1 (IICF0, IICF1)

I²Cnの動作モードの設定と、I²Cバスの状態を表すレジスタです。

IICFnレジスタは、8/1ビット・メモリ操作命令で設定します。

IICRSVnビットにより通信予約機能の禁止/許可を設定します(10.4.12 通信予約参照)。

また、STCENnビットにより、IICBSYnビットの初期値を設定します(10.4.13 注意事項参照)。

IICRSVnビットとSTCENnビットは、I²Cnが動作禁止(IICコントロール・レジスタn(IICFn)のIICEnビット = 0)のときのみ書き込み可能です。動作許可後、IICFnレジスタは読み出し可能となります(n = 0, 1)。

RESET入力により、00Hになります。

IICFn = 00Hの場合、A品と同じ動作となります。

(1/2)

リセット時：00H R/W注 アドレス：FFFFFF33CH, FFFFFFF33EH

	⑦	⑥	5	4	3	2	①	①
IICFn	STCFn	IICBSYn	0	0	0	0	STCENn	IICRSVn

(n = 0, 1)

STCFn	STTnビット・クリア
0	スタート・コンディション発行
1	STTnビット・クリア
クリアされる条件 (STCFn = 0)	セットされる条件 (STCFn = 1)
<ul style="list-style-type: none"> STTn = 1によるクリア RESET入力時 	<ul style="list-style-type: none"> 通信予約禁止 (IICRSVn = 1) 設定時のSTTnクリア

IICBSYn	I ² Cnバス状態
0	バス解放状態
1	バス通信状態
クリアされる条件 (IICBSYn = 0)	セットされる条件 (IICBSYn = 1)
<ul style="list-style-type: none"> ストップ・コンディション検出時 RESET入力時 	<ul style="list-style-type: none"> スタート・コンディション検出時 STCENn = 0時のIICEnのセット

注 ビット6, 7はRead Onlyです。

備考 STTn : IICコントロール・レジスタn (IICFn) のビット1
 IICEn : " のビット7

STCENn	初期スタート許可トリガ	
0	動作許可 (IICEn = 1) 後, ストップ・コンディションを検出するまで, スタート・コンディションを生成できない。	
1	動作許可 (IICEn = 1) 後, ストップ・コンディションを検出しなくても, スタート・コンディションを生成できる。	
クリアされる条件 (STCENn = 0)		セットされる条件 (STCENn = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・$\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・命令によるセット

IICRSVn	通信予約機能禁止ビット	
0	通信予約許可	
1	通信予約禁止	
クリアされる条件 (IICRSVn = 0)		セットされる条件 (IICRSVn = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・$\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・命令によるセット

- 注意1.** STCENnビットへの書き込みは動作停止 (IICEn = 0) 時のみ行ってください。
2. STCENn = 1とした場合, I²C動作許可直後は実際のバス状態にかかわらずバス解放状態 (IICBSYn = 0) と認識しますので, 1回目のスタート・コンディションを発行 (STTn = 1) する場合は他の通信を破壊しないようにバスが解放されていることを確認する必要があります。
3. IICRSVnビットへの書き込みは動作停止 (IICEn = 0) 時のみ行ってください。

備考 STTn : IICコントロール・レジスタn (IICn) のビット1
 IICEn : " のビット7

(4) IICクロック選択レジスタ0, 1 (IICCL0, IICCL1)

I²Cnの転送クロックを設定するレジスタです。

IICCLnは、8/1ビット・メモリ操作命令で設定します。SMCn, CLn1, CLn0ビットの設定は、IIC機能拡張レジスタn (IICXn) のCLXnビットと、IICクロック拡張レジスタn (IICCEn) のIICCEn1, IICCEn0ビットと組み合わせて設定します (10.4.2 (7) I²Cnの転送クロックの設定方法参照) (n = 0, 1)。

$\overline{\text{RESET}}$ 入力により、00Hになります。

リセット時：00H R/W^注 アドレス：FFFFFF344H, FFFFFFF354H

	7	6	⑤	④	3	2	1	0
IICCLn	0	0	CLDn	DADn	SMCn	DFCn	CLn1	CLn0

(n = 0, 1)

CLDn	SCLnラインのレベル検出 (IICEn = 1のときのみ有効)
0	SCLnラインがロウ・レベルであることを検出
1	SCLnラインがハイ・レベルであることを検出
クリアされる条件 (CLDn = 0)	
<ul style="list-style-type: none"> ・ SCLnラインがロウ・レベルのとき ・ IICEn = 0のとき ・ $\overline{\text{RESET}}$入力時 	
セットされる条件 (CLDn = 1)	
<ul style="list-style-type: none"> ・ SCLnラインがハイ・レベルのとき 	

DADn	SDAnラインのレベル検出 (IICEn = 1のときのみ有効)
0	SDAnラインがロウ・レベルであることを検出
1	SDAnラインがハイ・レベルであることを検出
クリアされる条件 (DADn = 0)	
<ul style="list-style-type: none"> ・ SDAnラインがロウ・レベルのとき ・ IICEn = 0のとき ・ $\overline{\text{RESET}}$入力時 	
セットされる条件 (DADn = 1)	
<ul style="list-style-type: none"> ・ SDAnラインがハイ・レベルのとき 	

SMCn	動作モードの切り替え
0	標準モードで動作
1	高速モードで動作

DFCn	デジタル・フィルタの動作制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン
デジタル・フィルタは、高速モード時にのみ使用できます。	
高速モード時はDFCnのオン/オフにより、転送クロックが変化することはありません。	

注 ビット4, ビット5はRead Onlyです。

注意 ビット7, 6には必ず“0”を設定してください。

備考 IICEn : IICコントロール・レジスタn (IICCn) のビット7

(5) IIC機能拡張レジスタ0, 1 (IICX0, IICX1)

I²Cnの機能拡張を設定するレジスタです（高速モード時のみ有効）。

IICXnは、1/8ビット・メモリ操作命令で設定します。CLXnビットの設定は、IICクロック選択レジスタn (IICCLn) のSMCn, CLn1, CLn0ビットと、IICクロック拡張レジスタn (IICCEn) のIICCEn1, IICCEn0ビットと組み合わせて設定します（10.4.2(7) I²Cnの転送クロックの設定方法参照）（n = 0, 1）。

RESET入力により、00Hになります。

リセット時：00H								R/W	アドレス：FFFFFF34AH, FFFFFFF35AH							
	7	6	5	4	3	2	1	①								
IICXn	0	0	0	0	0	0	0	CLXn								
(n = 0, 1)																

(6) IICクロック拡張レジスタ0, 1 (IICCE0, IICCE1)

I²Cnの転送クロックの拡張を設定するレジスタです。

IICCEnは、8ビット・メモリ操作命令で設定します。IICCEn1, IICCEn0ビットの設定は、IICクロック選択レジスタn (IICCLn) のSMCn, CLn1, CLn0ビットと、IIC機能拡張レジスタn (IICXn) のCLXnビットと組み合わせて設定します（10.4.2(7) I²Cnの転送クロックの設定方法参照）（n = 0, 1）。

RESET入力により、00Hになります。

リセット時：00H								R/W	アドレス：FFFFFF34CH, FFFFFFF35CH							
	7	6	5	4	3	2	1	0								
IICCEn	0	0	0	0	0	0	IICCEn1	IICCEn0								
(n = 0, 1)																

(7) I²Cnの転送クロックの設定方法

I²Cnの転送クロック周波数 (f_{SCL}) は、次の計算式により求められます（n = 0, 1）。

$$f_{SCL} = 1 / (m \times T + t_R + t_F)$$

m = 12, 24, 48, 36, 54, 44, 86, 172, 132, 198 (表10-9 選択クロックの設定参照)

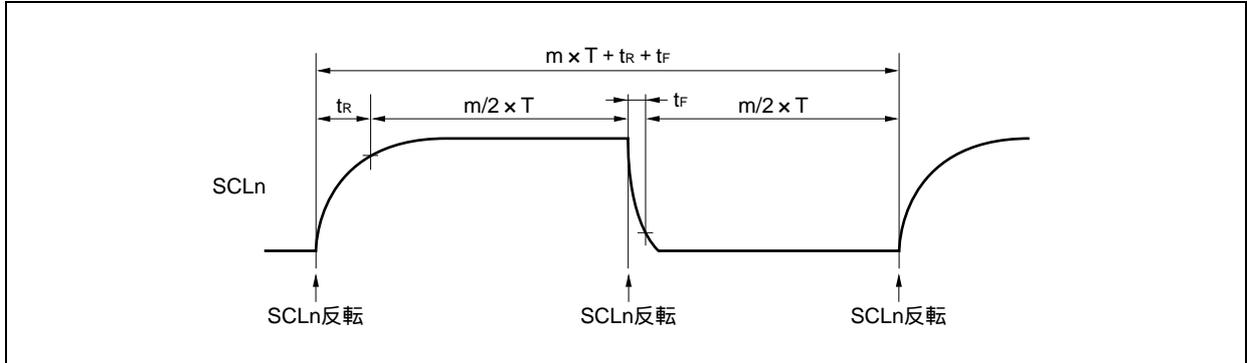
T : 1/f_{xx}

t_R : SCLn立ち上がり時間

t_F : SCLn立ち下がり時間

たとえば、 $f_{xx} = 20 \text{ MHz}$ 、 $m = 198$ 、 $t_r = 200 \text{ ns}$ 、 $t_f = 50 \text{ ns}$ の場合の I^2Cn の転送クロック周波数 (f_{SCL}) は、次の計算式により求められます。

$$f_{SCL} = 1 / (198 \times 50 \text{ ns} + 200 \text{ ns} + 50 \text{ ns}) \quad 98.5 \text{ kHz}$$



選択クロックは、IICクロック選択レジスタn (IICCLn) のSMCn、CLn1、CLn0ビット、IIC機能拡張レジスタn (IICXn) のCLXnビット、IICクロック拡張レジスタn (IICCEn) のIICCEn1、IICCEn0ビットを組み合わせ設定します ($n = 0, 1$)。

表10 - 9 選択クロックの設定

IICCEn		IICXn	IICCLn			選択クロック (f_{xx}/m)	設定可能なメイン・クロック周波数 (f_{xx}) の範囲	動作モード
ビット1	ビット0	ビット0	ビット3	ビット1	ビット0			
IICCEn1	IICCEn0	CLXn	SMCn	CLn1	CLn0			
x	x	1	1	0	x	$f_{xx}/12$	4.0 MHz ~ 4.19 MHz	高速モード (SMCn = 1)
x	x	0	1	0	x	$f_{xx}/24$	4.0 MHz ~ 8.38 MHz	
x	x	0	1	1	0	$f_{xx}/48$	8.0 MHz ~ 16.67 MHz	
0	1	0	1	1	1	$f_{xx}/36$	12.0 MHz ~ 13.4 MHz	
1	0	0	1	1	1	$f_{xx}/54$	16.0 MHz ~ 20.0 MHz ^注	
0	0	0	1	1	1	n = 0	TM2の出力/18	TM2の設定
						n = 1	TM3の出力/18	TM3の設定
x	x	0	0	0	0	$f_{xx}/44$	2.0 MHz ~ 4.19 MHz	標準モード (SMCn = 0)
x	x	0	0	0	1	$f_{xx}/86$	4.19 MHz ~ 8.38 MHz	
x	x	0	0	1	0	$f_{xx}/172$	8.38 MHz ~ 16.67 MHz	
0	1	0	0	1	1	$f_{xx}/132$	12.0 MHz ~ 13.4 MHz	
1	0	0	0	1	1	$f_{xx}/198$	16.0 MHz ~ 20.0 MHz ^注	
0	0	0	0	1	1	n = 0	TM2の出力/66	TM2の設定
						n = 1	TM3の出力/66	TM3の設定
その他						設定禁止		

注 μ PD703034BY, 703035BY, 70F3035BYでは設定できません。

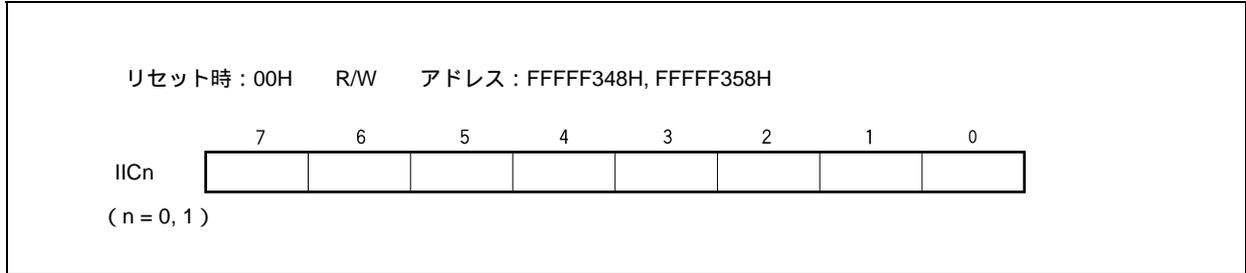
備考1. $n = 0, 1$

2. x : Don't care

3. 選択クロックをタイマの出力にした場合、P26/TO2/TI2, P27/TO3/TI3端子をタイマ出力モードにする必要はありません。

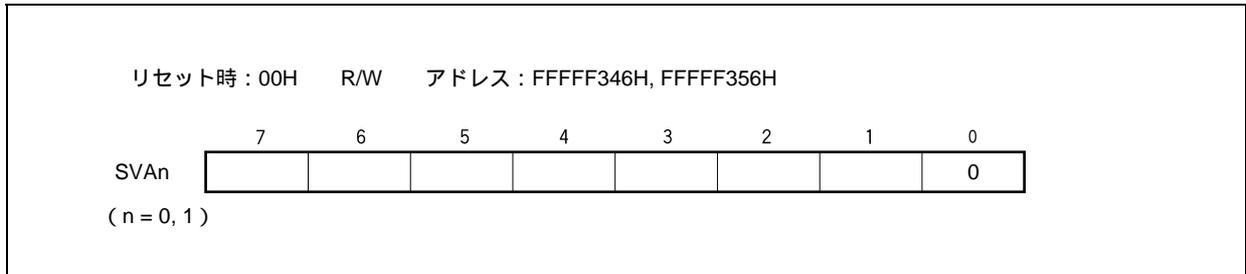
(8) IICシフト・レジスタ0, 1 (IIC0, IIC1)

このレジスタは、シリアル・クロックに同期してシリアル送受信（シフト動作）を行うためのものです。8ビット単位でリード/ライト可能ですが、データ転送中にIICnへデータを書き込まないでください(n = 0, 1)。



(9) スレーブ・アドレス・レジスタ0, 1 (SVA0, SVA1)

このレジスタには、I²Cバスのスレーブ・アドレスを格納します。8ビット単位でリード/ライト可能ですが、ビット0は0に固定されています。



10.4.3 I²Cバス・モードの機能

(1) 端子構成

シリアル・クロック端子 (SCLn) と、シリアル・データ・バス端子 (SDAn) の構成は、次のようになっています (n=0, 1)。

SCLn ... シリアル・クロックを入出力するための端子。

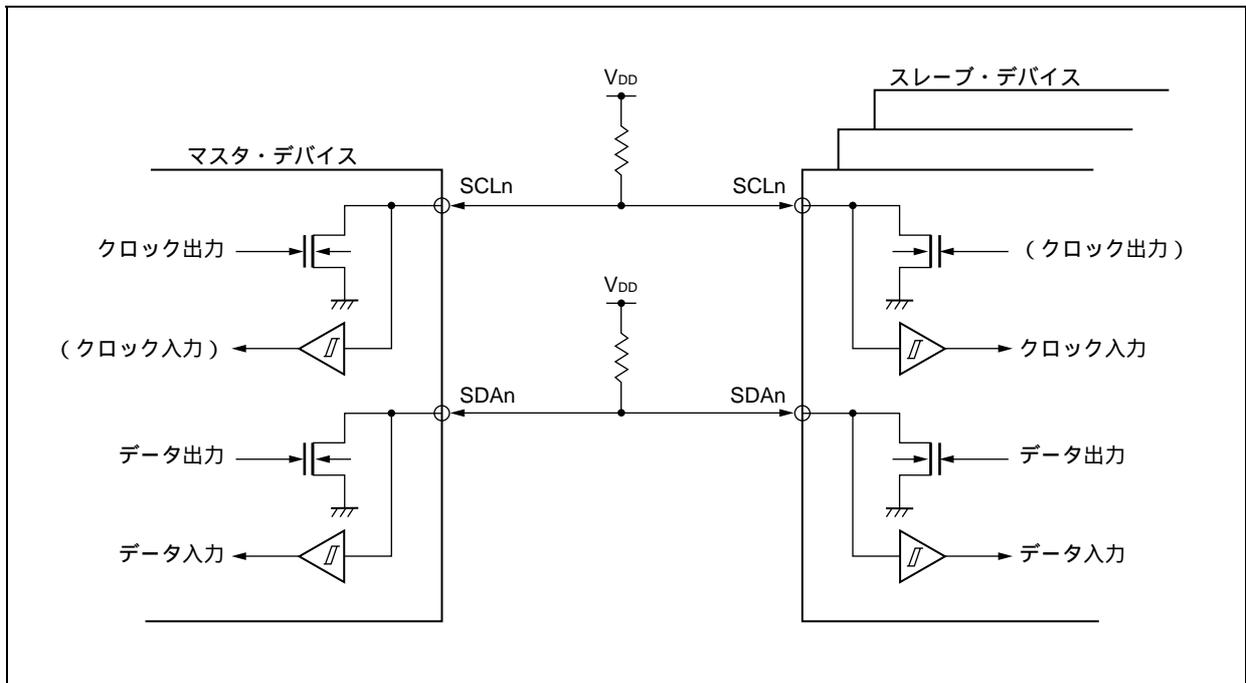
マスタ, スレーブともに出力はN-chオープン・ドレイン。入力は、シュミット入力。

SDAn ... シリアル・データの入出力兼用端子。

マスタ, スレーブともに出力はN-chオープン・ドレイン。入力は、シュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図10 - 25 端子構成図

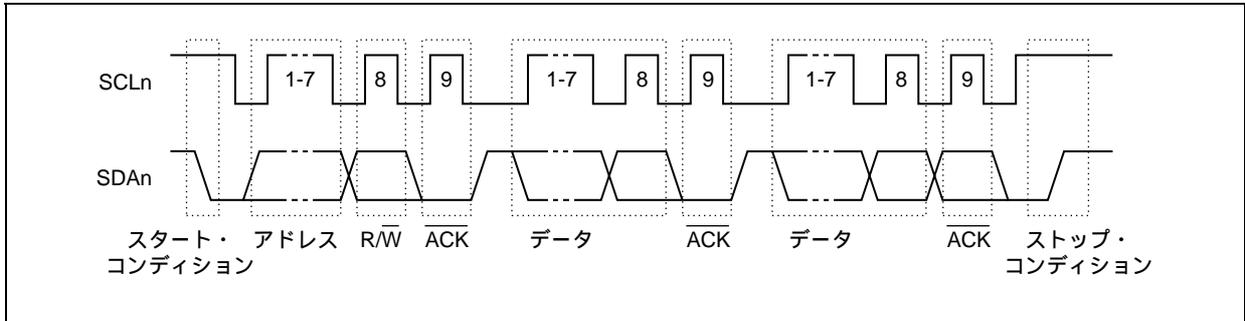


10.4.4 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に出力されている“スタート・コンディション”、“データ”および“ストップ・コンディション”の各転送タイミングを次に示します。

図10 - 26 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが出力します。

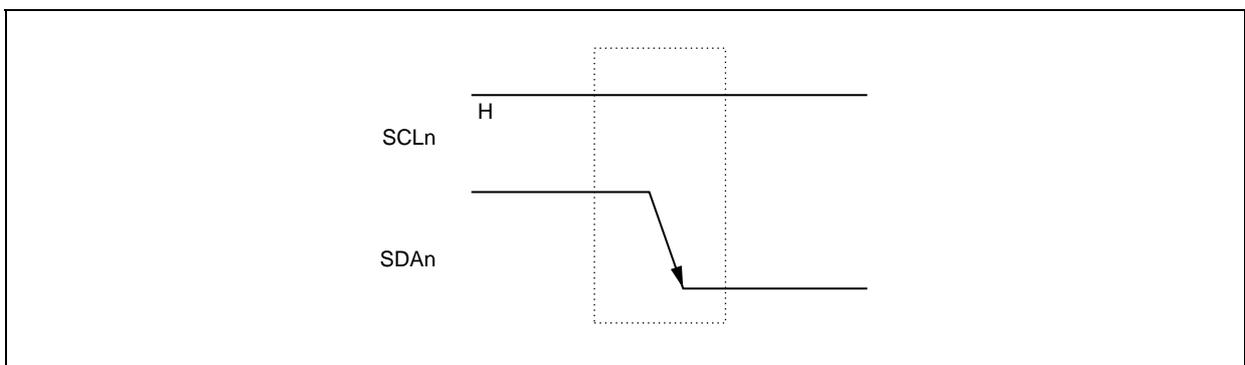
アックノリッジ信号 (ACK) は、マスタ、スレーブのどちらでも出力できます (通常、8ビット・データの受信側が出力します)。

シリアル・クロック (SCLn) は、マスタが出力し続けます。ただし、スレーブはSCLnのロウ・レベル期間を延長し、ウエイトを挿入できます (n = 0, 1)。

(1) スタート・コンディション

SCLn端子がハイ・レベルのときに、SDAn端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLn端子、SDAn端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに出力する信号です。スレーブは、スタート・コンディションを検出するハードウェアを内蔵しています (n = 0, 1)。

図10 - 27 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (SPDn : IIC状態レジスタn (IICSn) のビット0 = 1) のときにIICコントロール・レジスタn (IICcn) のビット1 (STTn) をセット (1) すると出力されます。また、スタート・コンディションを検出すると、IICSnのビット1 (STDn) がセット (1) されます (n = 0, 1)。

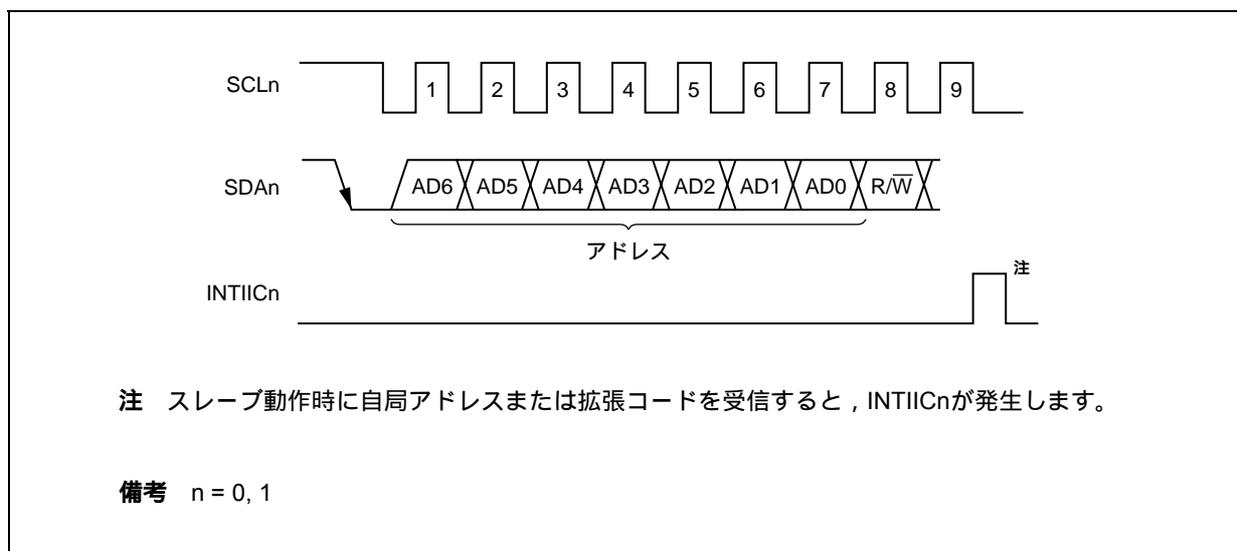
(2) アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ n (SVAn) と一致しているかを調べます。このとき、7ビット・データとSVAnの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを送信するまでマスタとの通信を行います ($n = 0, 1$)。

図10 - 28 アドレス



アドレスは、スレーブのアドレスと(3) **転送方向指定**に説明する転送方向を合わせて8ビットとしてIICシフト・レジスタ n (IICn) に書き込むと出力します。また、受信したアドレスはIICnに書き込まれます ($n = 0, 1$)。

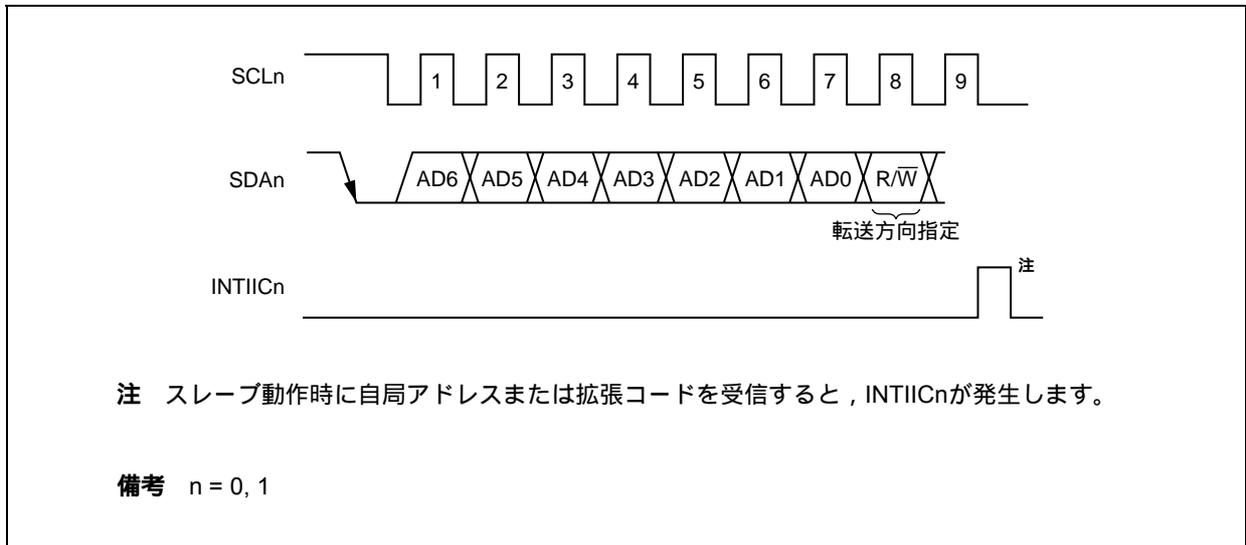
なお、スレーブのアドレスは、IICnの上位7ビットに割り当てられます。

(3) 転送方向指定

マスタは、7ビットのアドレスに続いて転送方向を指定するため、1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図10 - 29 転送方向指定



(4) アクノリッジ信号 (ACK)

アクノリッジ信号 (ACK) は送信側と受信側におけるシリアル・データ受信を確認するための信号です。

受信側は、8ビット・データを受信するごとにアクノリッジ信号を返します。送信側は通常、8ビット・データ送信後、アクノリッジ信号を受信します。ただし、マスタが受信の場合、最終データを受信したときはアクノリッジ信号を出力しません。送信側は、8ビット送信後、受信側からアクノリッジ信号が返されたか検出を行います。アクノリッジ信号が返されたとき、受信が正しく行われたものとして処理を続けます。また、スレーブからアクノリッジ信号が返らないとき、マスタは、ストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジ信号が返らない場合、次の2つの要因が考えられます。

受信が正しく行われていない。

最終データの受信が終わっている。

受信側が9クロック目にSDAnラインをロウ・レベルにすると、アクノリッジ信号がアクティブになります (正常受信返答)。

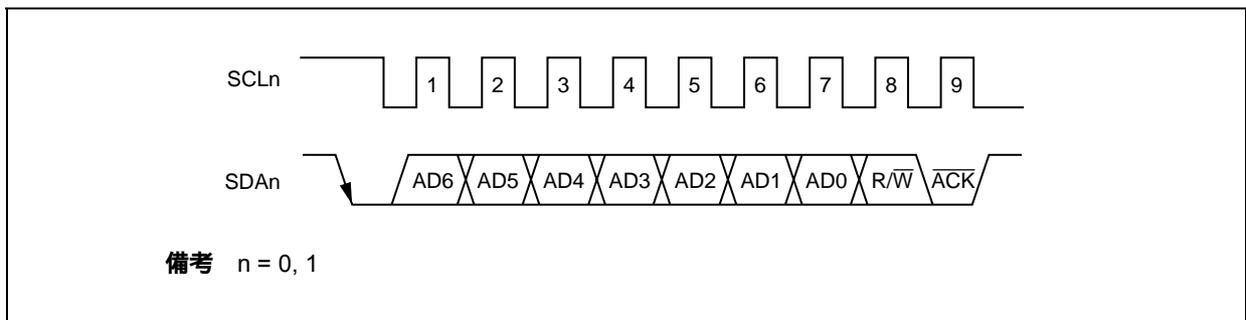
IICコントロール・レジスタn (IICn) のビット2 (ACKEn) = 1でアクノリッジ信号自動発生許可状態になります (n = 0, 1)。

7ビットのアドレス情報に続く8ビット目のデータによりIIC状態レジスタn (IICSn) のビット3 (TRCn) が設定されますが、TRCnビットの値が“0”の場合は受信状態なので、ACKEn = 1にしてください (n = 0, 1)。

スレーブ受信動作時 (TRCn = 0)、スレーブ側が複数バイトを受信し、次のデータを必要としない場合は、ACKEn = 0にすると、マスタ側が次の転送を開始しないようになります。

同様に、マスタ受信動作時 (TRCn = 0) も次のデータを必要とせず、リスタート・コンディションまたはストップ・コンディションを出力したい場合、ACK信号を発生しないようにACKEn = 0にしてください。これは、スレーブ送信動作時に、SDAnラインにデータのMSBデータを出力しないようにするためです (送信停止)。

図10 - 30 アクノリッジ信号



自局アドレス受信時は、ACKEnの値にかかわらずSCLnの8クロック目の立ち下がりに同期してアクノリッジ信号を自動出力し、自局アドレス以外の受信時は、アクノリッジ信号を出力しません (n = 0, 1)。

データ受信時のアクノリッジ信号の出力方法はウェイト・タイミングの設定により次のようになります。

8クロック・ウェイト選択時：ウェイト解除を行う前にACKEn = 1とすることでSCLnの8クロック目の立ち下がりに同期してアクノリッジ信号を出力します。

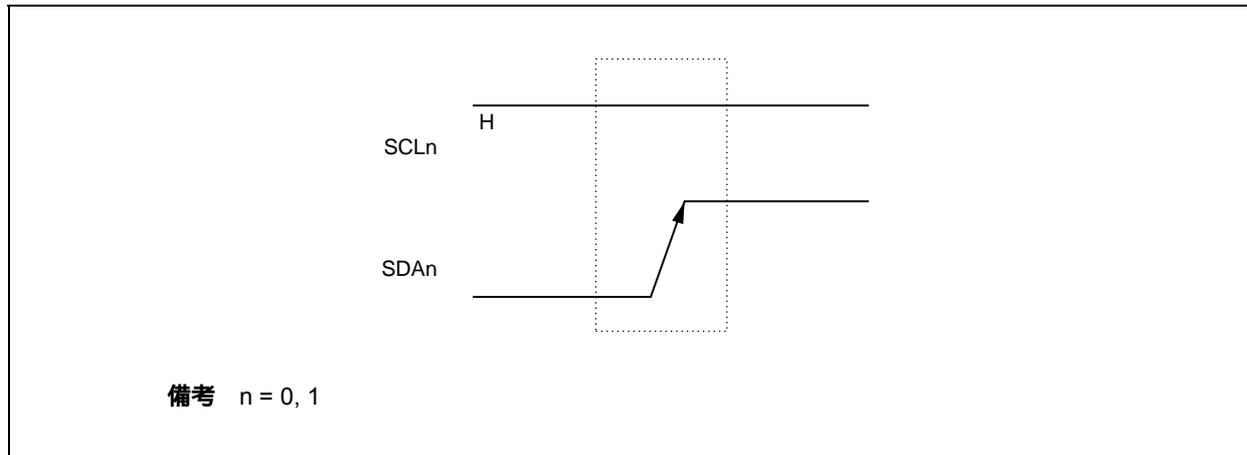
9クロック・ウェイト選択時：あらかじめACKEn = 1とすることでSCLnの8クロック目の立ち下がりに同期してアクノリッジ信号を自動出力します。

(5) ストップ・コンディション

SCLn端子がハイ・レベルのときに、SDAn端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります ($n=0,1$)。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに出力する信号です。また、スレーブはストップ・コンディションを検出するハードウェアを内蔵しています。

図10 - 31 ストップ・コンディション



ストップ・コンディションは、IICコントロール・レジスタ n (IICn) のビット0 (SPTn) をセット (1) すると発生します。また、ストップ・コンディションを検出するとIIC状態レジスタ n (IICSn) のビット0 (SPDn) がセット (1) され、IICnのビット4 (SPIEn) がセット (1) されている場合にはINTIICnが発生します ($n=0,1$)。

(6) ウェイト信号 (WAIT)

ウェイト信号 (WAIT) は、マスタまたはスレーブがデータの送受信が準備中 (ウェイト状態) であることを相手に知らせるための信号です。

SCLn端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます (n = 0, 1)。

図10 - 32 ウェイト信号 (1/2)

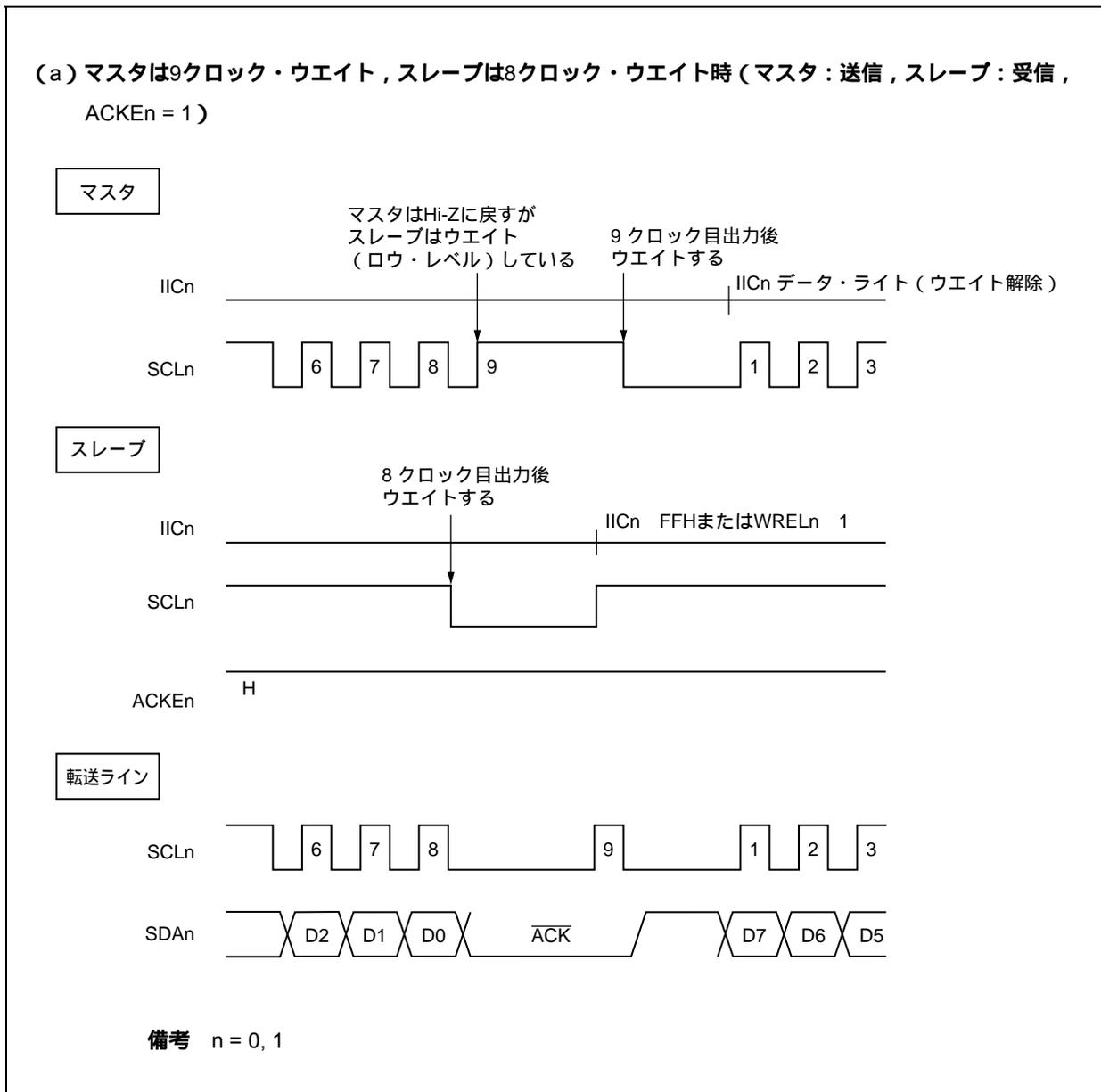
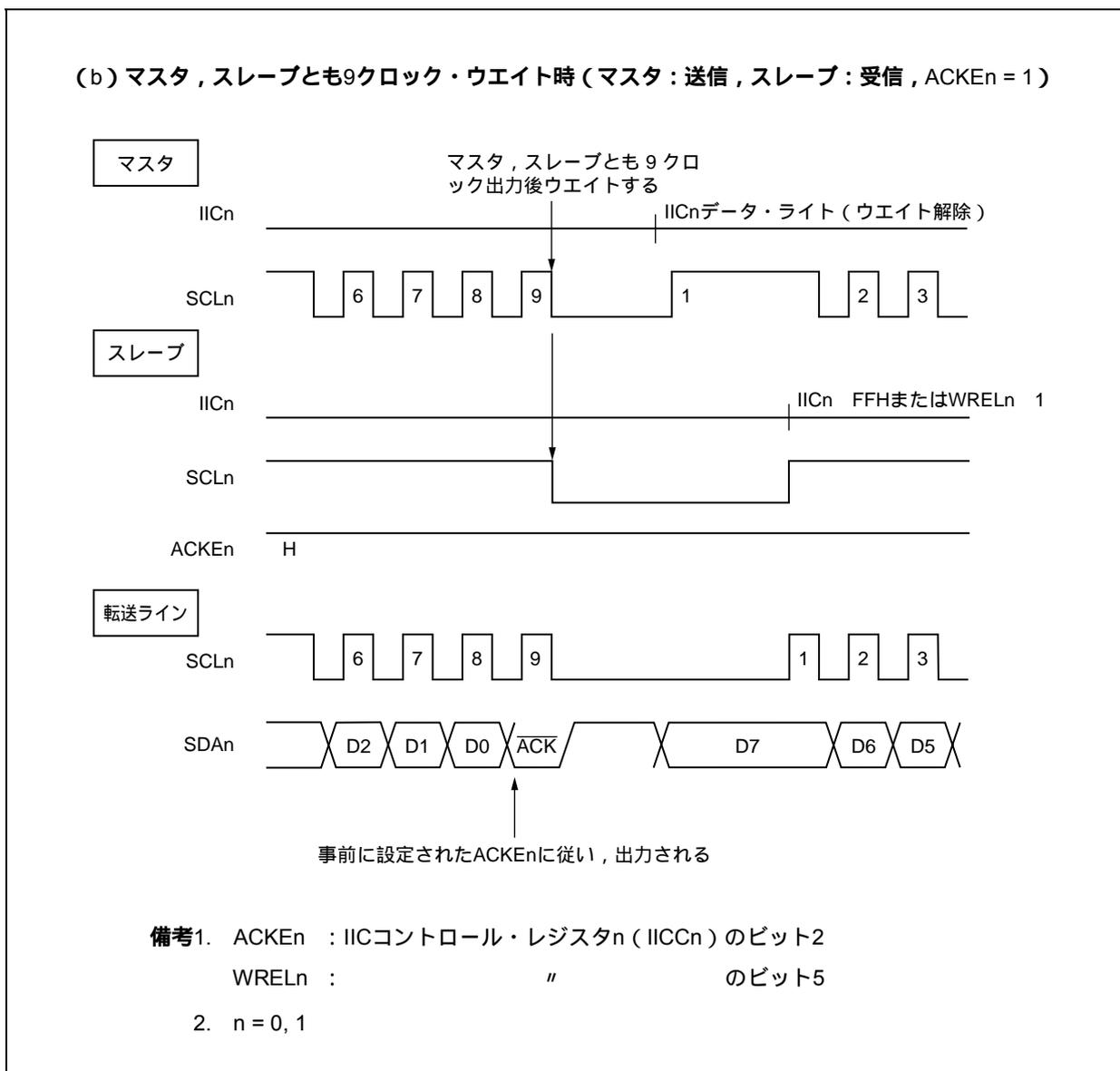


図10 - 32 ウェイト信号 (2/2)



ウェイトは、IICコントロール・レジスタn (IICn) のビット3 (WTIMn) の設定により自動的に発生します (n = 0, 1)。

通常、受信側はIICnのビット5 (WRELn) = 1またはIICシフト・レジスタn (IICn) FFHライトにするとウェイトを解除し、送信側はIICnにデータを書き込むとウェイトを解除します。

マスタの場合は、次の方法でもウェイトを解除できます。

- ・ IICnのビット1 (STTn) = 1
- ・ IICnのビット0 (SPTn) = 1

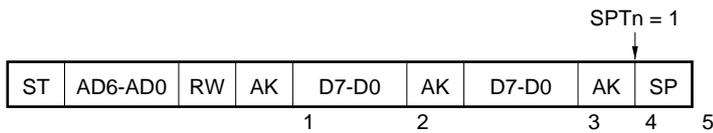
10.4.5 I²C割り込み要求 (INTIICn)

次に、INTIICn割り込み要求発生タイミングと、INTIICn割り込みタイミングでのIIC状態レジスタn (IICSn) の値を示します (n = 0, 1)。

(1) マスタ動作

(a) Start ~ Address ~ Data ~ Data ~ Stop (通常送受信)

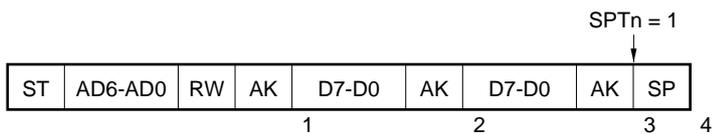
WTIMn = 0のとき



- 1 : IICSn = 10XXX110B
- 2 : IICSn = 10XXX000B
- 3 : IICSn = 10XXX000B (WTIMn = 1)
- 4 : IICSn = 10XXXX00B
- 5 : IICSn = 0000001B

備考 必ず発生
SPIEn = 1のときだけ発生
X 任意
n = 0, 1

WTIMn = 1のとき

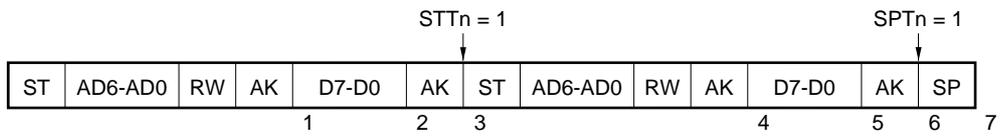


- 1 : IICSn = 10XXX110B
- 2 : IICSn = 10XXX100B
- 3 : IICSn = 10XXXX00B
- 4 : IICSn = 0000001B

備考 必ず発生
SPIEn = 1のときだけ発生
X 任意
n = 0, 1

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

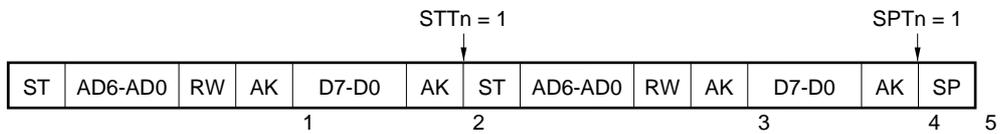
WTIMn = 0のとき



- 1 : IICSn = 10XXX110B
- 2 : IICSn = 10XXX000B (WTIMn = 1)
- 3 : IICSn = 10XXXX00B (WTIMn = 0)
- 4 : IICSn = 10XXX110B (WTIMn = 0)
- 5 : IICSn = 10XXX000B (WTIMn = 1)
- 6 : IICSn = 10XXXX00B
- 7 : IICSn = 0000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき

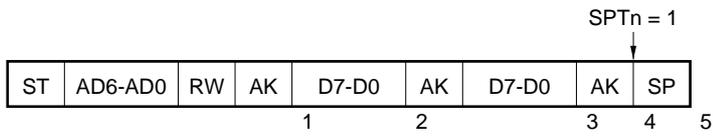


- 1 : IICSn = 10XXX110B
- 2 : IICSn = 10XXXX00B
- 3 : IICSn = 10XXX110B
- 4 : IICSn = 10XXXX00B
- 5 : IICSn = 0000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(c) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

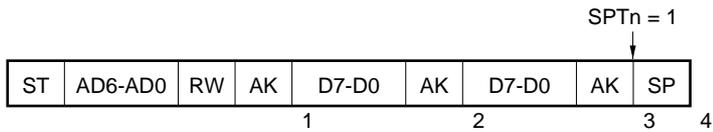
WTIMn = 0のとき



- 1 : IICSn = 1010X110B
- 2 : IICSn = 1010X000B
- 3 : IICSn = 1010X000B (WTIMn = 1)
- 4 : IICSn = 1010XX00B
- 5 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき



- 1 : IICSn = 1010X110B
- 2 : IICSn = 1010X100B
- 3 : IICSn = 1010XX00B
- 4 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(2) スレーブ動作 (スレーブ・アドレス・データ受信時 (SVAn一致))

(a) Start ~ Address ~ Data ~ Data ~ Stop

WTIMn = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2	3		4

1 : IICSn = 0001X110B

2 : IICSn = 0001X000B

3 : IICSn = 0001X000B

4 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2	3		4

1 : IICSn = 0001X110B

2 : IICSn = 0001X100B

3 : IICSn = 0001XX00B

4 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMn = 0のとき (リスタート後, SVAn一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3	4	5

1 : IICSn = 0001X110B

2 : IICSn = 0001X000B

3 : IICSn = 0001X110B

4 : IICSn = 0001X000B

5 : IICSn = 00000001B

備考 必ず発生

SPIEn = 1のときだけ発生

X 任意

n = 0, 1

WTIMn = 1のとき (リスタート後, SVAn一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3	4	5

1 : IICSn = 0001X110B

2 : IICSn = 0001XX00B

3 : IICSn = 0001X110B

4 : IICSn = 0001XX00B

5 : IICSn = 00000001B

備考 必ず発生

SPIEn = 1のときだけ発生

X 任意

n = 0, 1

(c) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIMn = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3	4	5

- 1 : IICSn = 0001X110B
- 2 : IICSn = 0001X000B
- 3 : IICSn = 0010X010B
- 4 : IICSn = 0010X000B
- 5 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP	
				1	2					3	4	5	6

- 1 : IICSn = 0001X110B
- 2 : IICSn = 0001XX00B
- 3 : IICSn = 0010X010B
- 4 : IICSn = 0010X110B
- 5 : IICSn = 0010XX00B
- 6 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(d) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMn = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3		4

1 : IICSn = 0001X110B

2 : IICSn = 0001X000B

3 : IICSn = 00000X10B

4 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3		4

1 : IICSn = 0001X110B

2 : IICSn = 0001XX00B

3 : IICSn = 00000X10B

4 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(3) スレーブ動作 (拡張コード受信時)

(a) Start ~ Code ~ Data ~ Data ~ Stop

WTIMn = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			1		2		3	4

1 : IICSn = 0010X010B

2 : IICSn = 0010X000B

3 : IICSn = 0010X000B

4 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP	
			1	2		3		4	5

1 : IICSn = 0010X010B

2 : IICSn = 0010X110B

3 : IICSn = 0010X100B

4 : IICSn = 0010XX00B

5 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(b) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMn = 0のとき (リスタート後, SVAn一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1		2					3	4	5

1 : IICSn = 0010X010B

2 : IICSn = 0010X000B

3 : IICSn = 0001X110B

4 : IICSn = 0001X000B

5 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき (リスタート後, SVAn一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1	2		3				4		5 6

1 : IICSn = 0010X010B

2 : IICSn = 0010X110B

3 : IICSn = 0010XX00B

4 : IICSn = 0001X110B

5 : IICSn = 0001XX00B

6 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(c) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIMn = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1		2				3		4	5

1 : IICSn = 0010X010B

2 : IICSn = 0010X000B

3 : IICSn = 0010X010B

4 : IICSn = 0010X000B

5 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

WTIMn = 1のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP	
			1	2		3			4	5		6	7

1 : IICSn = 0010X010B

2 : IICSn = 0010X110B

3 : IICSn = 0010XX00B

4 : IICSn = 0010X010B

5 : IICSn = 0010X110B

6 : IICSn = 0010XX00B

7 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(d) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMn = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1		2					3		4

1 : IICSn = 0010X010B

2 : IICSn = 0010X000B

3 : IICSn = 00000X10B

4 : IICSn = 00000001B

備考 必ず発生

SPIEn = 1のときだけ発生

X 任意

n = 0, 1

WTIMn = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1	2		3				4		5

1 : IICSn = 0010X010B

2 : IICSn = 0010X110B

3 : IICSn = 0010XX00B

4 : IICSn = 00000X10B

5 : IICSn = 00000001B

備考 必ず発生

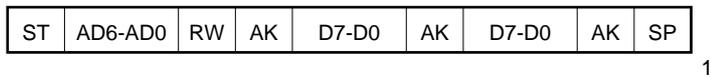
SPIEn = 1のときだけ発生

X 任意

n = 0, 1

(4) 通信不参加の動作

(a) Start ~ Code ~ Data ~ Data ~ Stop



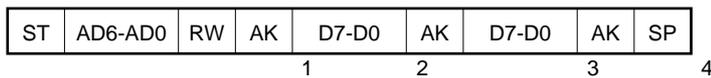
1 : IICSn = 00000001B

備考 SPIEn = 1のときだけ発生
n = 0, 1

(5) アービトレーション負けの動作 (アービトレーション負けのあと, スレーブとして動作)

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

WTIMn = 0のとき



1 : IICSn = 0101X110B (例 割り込み処理中にALDnをリード)

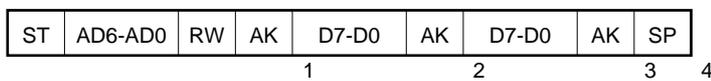
2 : IICSn = 0001X000B

3 : IICSn = 0001X000B

4 : IICSn = 00000001B

備考 必ず発生
SPIEn = 1のときだけ発生
X 任意
n = 0, 1

WTIMn = 1のとき



1 : IICSn = 0101X110B (例 割り込み処理中にALDnをリード)

2 : IICSn = 0001X100B

3 : IICSn = 0001XX00B

4 : IICSn = 00000001B

備考 必ず発生
SPIEn = 1のときだけ発生
X 任意
n = 0, 1

(b) 拡張コード送信中にアービトレーションに負けた場合

WTIMn = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
		1		2		3		4

1 : IICSn = 0110X010B (例 割り込み処理中にALDnをリード)

2 : IICSn = 0010X000B

3 : IICSn = 0010X000B

4 : IICSn = 00000001B

備考 必ず発生

SPIEn = 1のときだけ発生

X 任意

n = 0, 1

WTIMn = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
		1	2		3		4	5

1 : IICSn = 0110X010B (例 割り込み処理中にALDnをリード)

2 : IICSn = 0010X110B

3 : IICSn = 0010X100B

4 : IICSn = 0010XX00B

5 : IICSn = 00000001B

備考 必ず発生

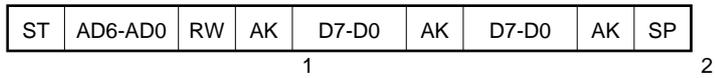
SPIEn = 1のときだけ発生

X 任意

n = 0, 1

(6) アービトレーション負けの動作 (アービトレーション負けのあと, 不参加)

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

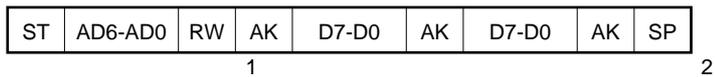


1 : IICSn = 01000110B (例 割り込み処理中にALDnをリード)

2 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 n = 0, 1

(b) 拡張コード送信中にアービトレーションに負けた場合



1 : IICSn = 0110X010B (例 割り込み処理中にALDnをリード)

ソフトでIICn : LRELn = 1を設定

2 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(c) データ転送時にアービトレーションに負けた場合

WTIMn = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2			3

1 : IICSn = 10001110B

2 : IICSn = 01000000B (例 割り込み処理中にALDnをリード)

3 : IICSn = 00000001B

備考 必ず発生
SPIEn = 1のときだけ発生
n = 0, 1

WTIMn = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2			3

1 : IICSn = 10001110B

2 : IICSn = 01000100B (例 割り込み処理中にALDnをリード)

3 : IICSn = 00000001B

備考 必ず発生
SPIEn = 1のときだけ発生
n = 0, 1

(d) データ転送時にリスタート・コンディションで負けた場合

拡張コード以外 (例 SVAn不一致)

ST	AD6-AD0	RW	AK	D7-Dn	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1					2		3

1 : IICSn = 1000X110B

2 : IICSn = 01000110B (例 割り込み処理中にALDnをリード)

3 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 Dn = D6-D0
 n = 0, 1

拡張コード

ST	AD6-AD0	RW	AK	D7-Dn	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1					2		3

1 : IICSn = 1000X110B

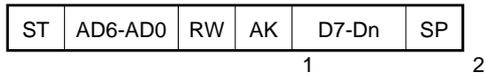
2 : IICSn = 0110X010B (例 割り込み処理中にALDnをリード)

ソフトでIICn : LRELn = 1を設定

3 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 Dn = D6-D0
 n = 0, 1

(e) データ転送時にストップ・コンディションで負けた場合



1 : IICSn = 1000X110B

2 : IICSn = 01000001B

備考 必ず発生
SPIEn = 1のときだけ発生

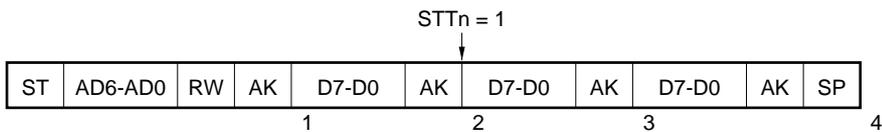
X 任意

Dn = D6-D0

n = 0, 1

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

WTIMn = 1のとき



1 : IICSn = 1000X110B

2 : IICSn = 1000XX00B

3 : IICSn = 01000100B (例 割り込み処理中にALDnをリード)

4 : IICSn = 00000001B

備考 必ず発生
SPIEn = 1のときだけ発生

X 任意

n = 0, 1

(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

WTIMn = 1のとき

1 : IICSn = 1000X110B
 2 : IICSn = 1000XX00B
 3 : IICSn = 01000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

WTIMn = 1のとき

1 : IICSn = 1000X110B
 2 : IICSn = 1000XX00B
 3 : IICSn = 01000000B (例 割り込み処理中にALDnをリード)
 4 : IICSn = 00000001B

備考 必ず発生
 SPIEn = 1のときだけ発生
 X 任意
 n = 0, 1

10.4.6 割り込み要求 (INTIICn) 発生タイミングおよびウェイト制御

IICコントロール・レジスタn (IICn) のビット3 (WTIMn) の設定で、次に示すタイミングでINTIICnが発生して、ウェイト制御を行います (n = 0, 1)。

表10 - 10 INTIICn発生タイミングおよびウェイト制御

WTIMn	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1,2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1,2}	9 ^{注2}	9 ^{注2}	9	9	9

注1. スレーブのINTIICn信号およびウェイトは、スレーブ・アドレス・レジスタn (SVAn) に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。

また、このとき、IICnのビット2 (ACKEn) の設定にかかわらず、 $\overline{\text{ACK}}$ が出力されます。拡張コードを受信したスレーブは8クロック目の立ち下がりINTIICnを発生します。

2. スレーブ・アドレス・レジスタn (SVAn) と受信したアドレスが一致していない場合は、INTIICnもウェイトも発生しません。

備考1. 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

2. n = 0, 1

(1) アドレス送受信時

- ・スレーブ動作時：WTIMnビットにかかわらず、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIMnビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がり発生します。

(2) データ受信時

マスタ/スレーブ動作時：WTIMnビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

マスタ/スレーブ動作時：WTIMnビットにより、割り込みおよびウェイト・タイミングが決まります。

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・IICコントロール・レジスタn (IICn) のビット5 (WRELn) = 1
- ・IICシフト・レジスタn (IICn) のライト動作
- ・スタート・コンディションのセット (IICコントロール・レジスタn (IICn) のビット1 (STTn) = 1)
- ・ストップ・コンディションのセット (IICコントロール・レジスタn (IICn) のビット0 (SPTn) = 1)

8クロック・ウェイト選択 (WTIMn = 0) 時は、ウェイト解除前に $\overline{\text{ACK}}$ の出力レベルを決定する必要があります。

備考 n = 0, 1

(5) ストップ・コンディション検出

INTIICnは、ストップ・コンディションを検出すると発生します。

備考 n = 0, 1

10.4.7 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致の検出は、ハードウェアで自動的に行えます。スレーブ・アドレス・レジスタn (SVAn) に自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVAnに設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICn割り込み要求が発生します (n = 0, 1)。

10.4.8 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDAn) の状態が、送信しているデバイスのIICシフト・レジスタn (IICn) にも取り込まれるため、送信開始前と送信終了後のIICnデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します (n = 0, 1)。

10.4.9 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (EXCn) をセットし、8クロック目の立ち下がりで割り込み要求 (INTIICn) を発生します (n = 0, 1)。
スレーブ・アドレス・レジスタn (SVAn) に格納された自局アドレスは影響しません。

(2) 10ビット・アドレス転送で、SVAnに“11110xx0”を設定し、マスタから“11110xx0”が転送されてきた場合は、次のようになります。ただしINTIICnは、8クロック目の立ち下がりで発生します (n = 0, 1)。

上位4ビット・データの一致 : EXCn = 1^注

7ビット・データの一致 : COIn = 1^注

注 EXCn : IIC状態レジスタn (IICSn) のビット5

COIn : " のビット4

(3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアが行います。

たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICコントロール・レジスタn (IICcn) のビット6 (LRELn) = 1に設定し、次の通信待機状態となります。

表10 - 11 拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
0000 000	1	スタート・バイト
0000 001	x	CBUSアドレス
0000 010	x	異なるバス・フォーマット用に予約されているアドレス
1111 0xx	x	10ビット・スレーブ・アドレス指定

10.4.10 アービトレーション

複数のマスタがスタート・コンディションを同時に出力した場合（STDn = 1になる前にSTTn = 1にしたとき^注），データが異なるまでクロックの調整をしながら，マスタ通信を行います。この動作をアービトレーションと呼びます（n = 0, 1）。

アービトレーションに負けたマスタは，アービトレーションに負けたタイミングで，IIC状態レジスタn（IICSn）のアービトレーション負けフラグ（ALDn）をセットし，SCLn，SDAnラインともハイ・インピーダンス状態にしてバスを解放します（n = 0, 1）。

アービトレーションに負けたことは，次の割り込み要求発生タイミング（8または9クロック目，ストップ・コンディション検出など）で，ソフトウェアでALDn = 1になっていることで検出します（n = 0, 1）。

割り込み発生タイミングについては，10.4.5 I²C割り込み要求（INTIICn）を参照してください。

注 STDn : IIC状態レジスタn（IICSn）のビット1
 STTn : IICコントロール・レジスタn（IICn）のビット1

図10 - 33 アービトレーション・タイミング例

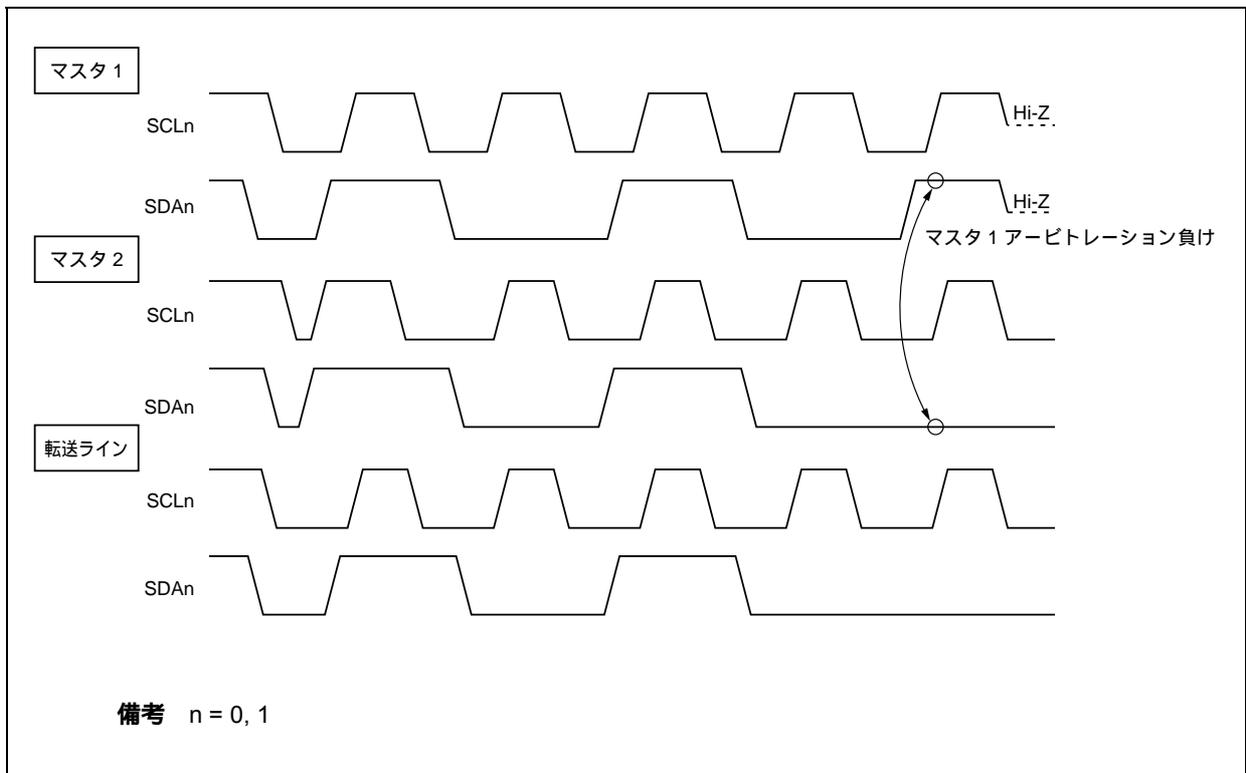


表10 - 12 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ受信後のACK転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション出力時 (SPIEn = 1時) ^{注2}
リスタート・コンディションを出力しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを出力しようとしたがストップ・コンディション検出	ストップ・コンディション出力時 (SPIEn = 1時) ^{注2}
ストップ・コンディションを出力しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを出力しようとしたがSCLnがロウ・レベル	

- 注1. WTIMn (IICコントロール・レジスタn (IICn) のビット3) = 1の場合には, 9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIMn = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングで割り込み要求を発生します (n = 0, 1)。
2. アービトレーションが起こる可能性がある場合, マスタ動作ではSPIEn = 1にしてください (n = 0, 1)。

備考 SPIEn : IICコントロール・レジスタn (IICn) のビット5

10.4.11 ウェイク・アップ機能

I²Cバスのスレーブ機能で, 自局アドレスと拡張コードを受信したときに割り込み要求 (INTIICn) が発生する機能です。アドレスが一致しないときは不要な割り込み要求を発生せず, 効率よく処理できます。

スタート・コンディションを検出すると, ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを出力した場合) でも, アービトレーション負けでスレーブになる可能性があるため, アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると, ウェイク・アップ機能に関係なく, IICコントロール・レジスタn (IICn) のビット5 (SPIEn) の設定によって, 割り込み要求の発生許可/禁止が決定します (n = 0, 1)。

10.4.12 通信予約

(1) 通信予約機能許可の場合 (IICFnレジスタのIICRSVn = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (ACKを返さず、IICコントロール・レジスタn (IICCn) のLRELn = 1でバスを解放した) とき (n = 0, 1)

バスに不参加の状態、IICCnのビット1 (STTn) をセットすると、バスが解放されたあと (ストップ・コンディション検出後) に、自動的にスタート・コンディションを生成し、ウエイト状態になります。

バスの解放を検出 (ストップ・コンディション検出) すると、IICシフト・レジスタn (IICn) ライト操作により、マスタとしてのアドレス転送を開始します。このとき、IICCnのビット4 (SPIEn) をセットしておいてください (n = 0, 1)。

STTnをセットしたとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます (n = 0, 1)。

バスが解放されているとき スタート・コンディション生成
 バスが解放されていないとき (待機状態) .. 通信予約

通信予約として動作するのかどうかを確認するには、STTnをセットし、ウエイト時間をとったあと、MSTS_n (IIC状態レジスタn (IICSn) のビット7) を確認することで行います (n = 0, 1)。

ウエイト時間は、表10 - 13に示す時間をソフトウェアにより確保してください。なお、ウエイト時間はIICクロック選択レジスタn (IICCLn) のビット3, 1, 0 (SMCn, CLn1, CLn0) により設定できます (n = 0, 1)。

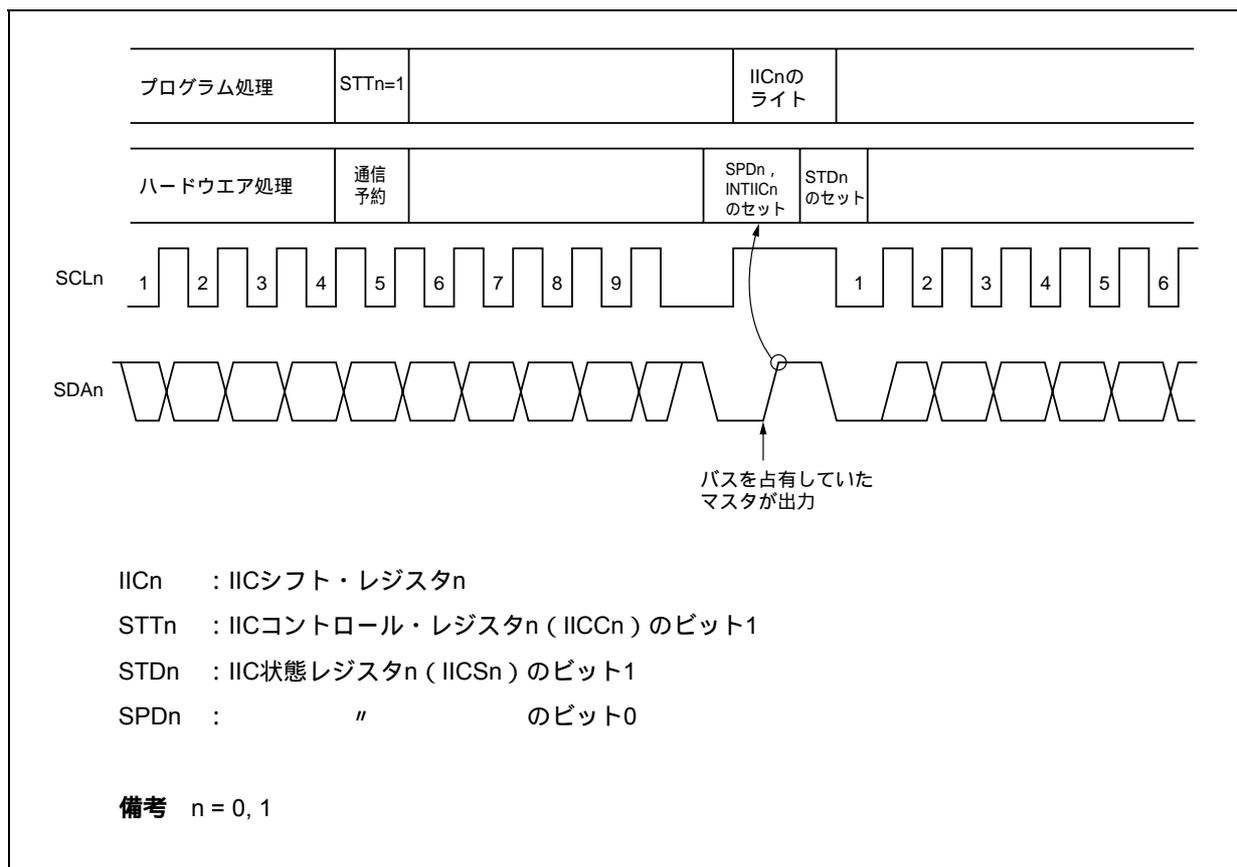
表10 - 13 ウエイト時間

SMCn	CLn1	CLn0	ウエイト時間
0	0	0	26クロック
0	0	1	46クロック
0	1	0	92クロック
0	1	1	37クロック
1	0	0	16クロック
1	0	1	
1	1	0	32クロック
1	1	1	13クロック

備考 n = 0, 1

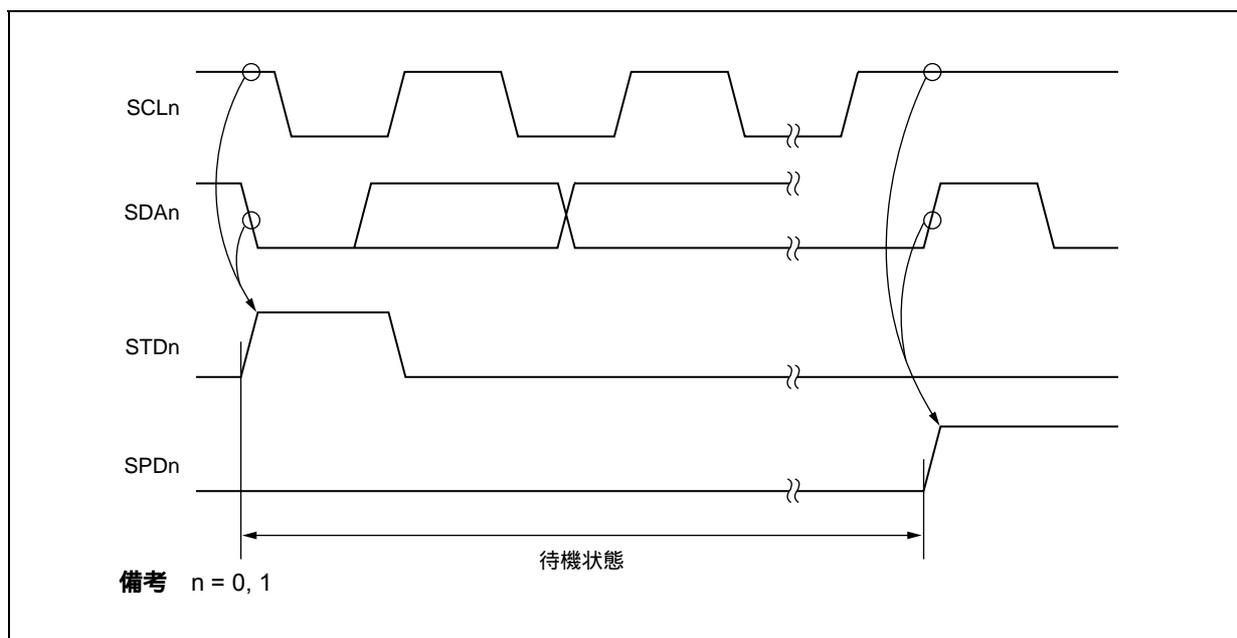
通信予約のタイミングを次に示します。

図10 - 34 通信予約のタイミング



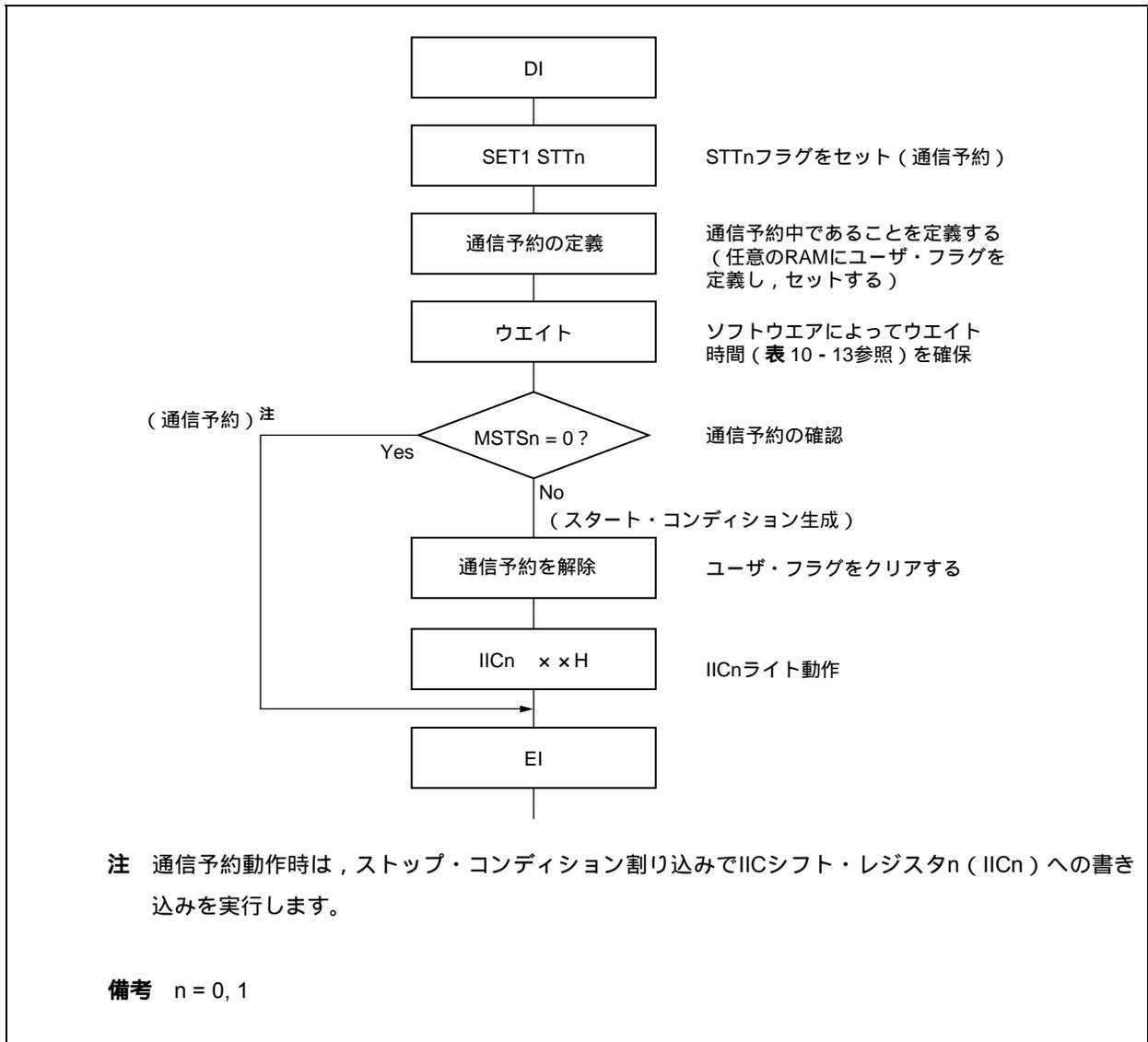
通信予約は次のタイミングで受け付けられます。IIC状態レジスタn (IICSn) のビット1 (STDn) = 1 になったあと、ストップ・コンディション検出までにIICコントロール・レジスタn (IICn) のビット1 (STTn) = 1で通信予約をします (n = 0, 1)。

図10 - 35 通信予約受け付けタイミング



次に通信予約の手順を示します。

図10 - 36 通信予約の手順



(2) 通信予約機能禁止 (IICFnレジスタのIICRSVn = 1) の場合

バスが通信中で、この通信に不参加の状態ではIICnレジスタのSTTnビットをセットすると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない ($\overline{\text{ACK}}$ を返さず、IICコントロール・レジスタn (IICFn) のLRELn = 1でバスを開放した) とき (n = 0, 1)。

スタート・コンディションが生成されたか拒絶されたを確認するには、IICFnレジスタのSTCFnフラグを確認することにより行います。STTn = 1としてからSTCFnフラグがセットされるまで表10 - 14に示す時間がかかりますので、ソフトウェアによりこの時間を確保してください。

表10 - 14 ウェイト時間

IICCEn1	IICCEn0	CLn1	CLn0	ウェイト時間
X	X	0	0	3クロック
X	X	0	1	3クロック
X	X	1	0	6クロック
0	0	1	1	3×N
0	1	1	1	6クロック
1	0	1	1	9クロック

備考1. N : TM2, TM3の出力

X : Don't care

2. n = 0, 1

注意 アドレス一致または拡張コード受信でスレーブ状態となった場合 (図10 - 37で示すタイミング) はSTTn = 1を行わないでください。通信予約状態になってしまいます。

図10 - 37 STTn = 1設定禁止タイミング

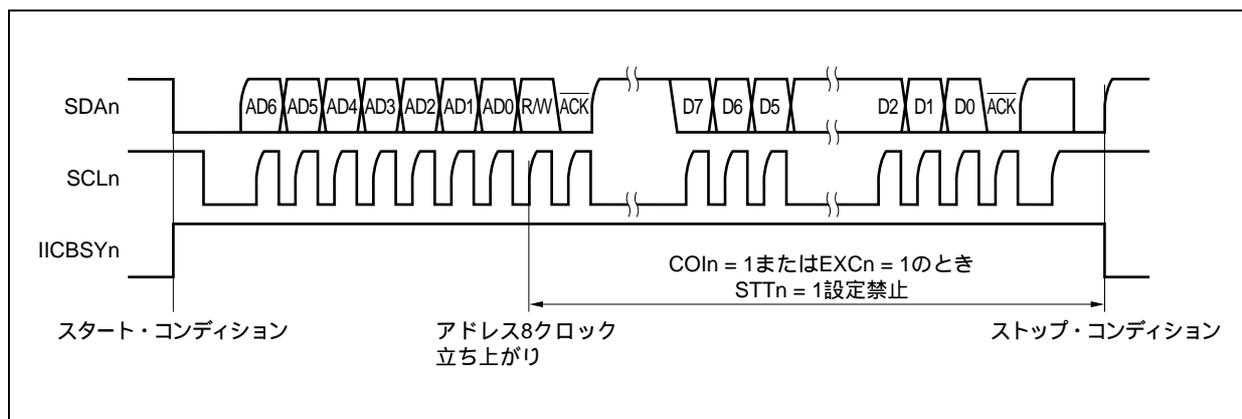
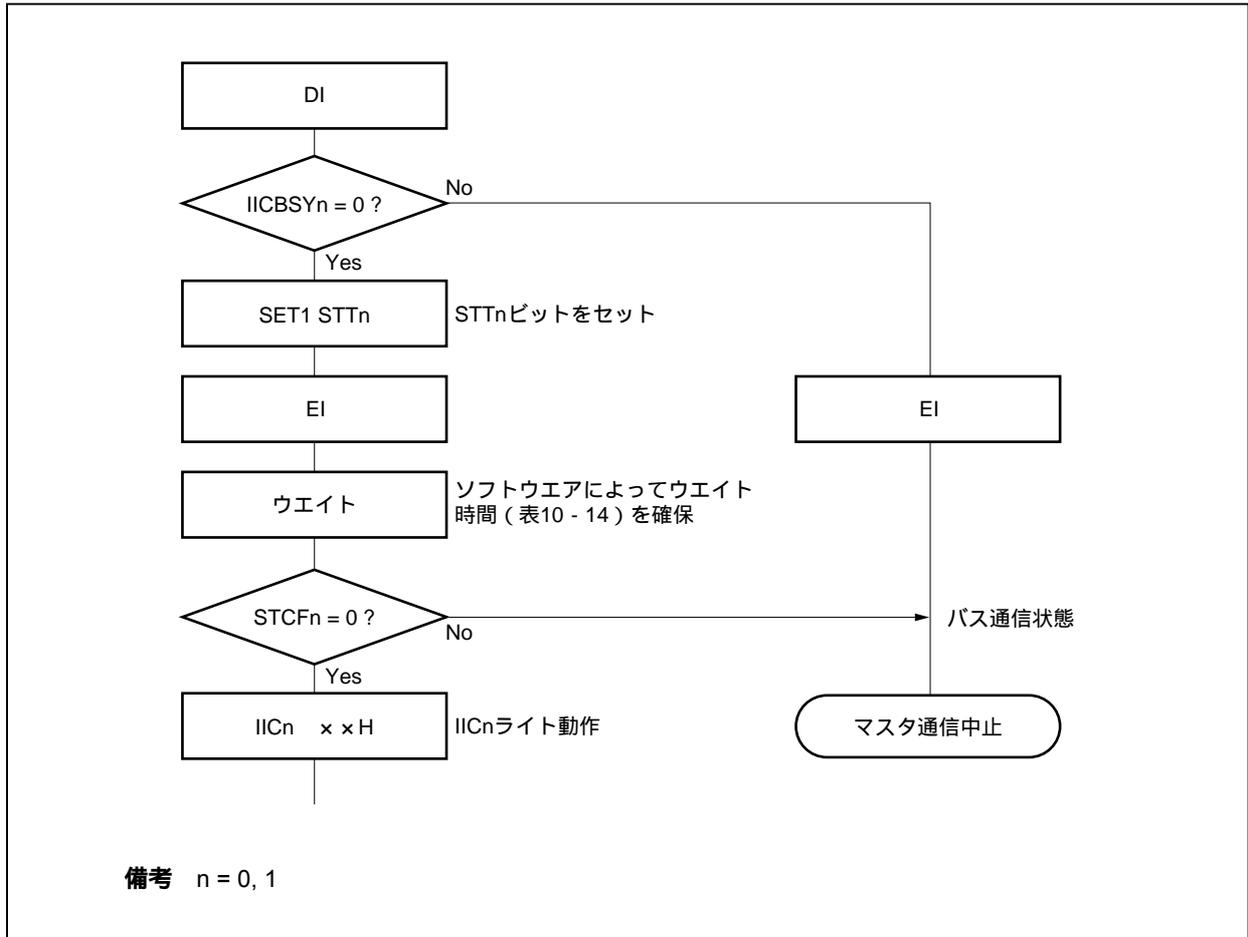


図10 - 38 マスタ通信開始または中止の手順



10.4.13 注意事項

(a) IICFnレジスタのSTCENn = 0の場合

I²C動作許可直後、実際のバス状態にかかわらず通信状態 (IICBSYn = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを開放してからマスタ通信を行ってください。

ストップ・コンディションの生成は次の順番で行ってください。

IICクロック選択レジスタn (IICCLn) の設定

IICコントロール・レジスタn (IICCN) のIICENビットのセット

IICCNレジスタのSPTnビットのセット

(b) IICFnレジスタのSTCENn = 1の場合

I²C動作許可直後、実際のバス状態にかかわらず開放状態 (IICBSYn = 0) と認識しますので、1回目のスタート・コンディションを発行 (IICCNレジスタのSTTn = 1) する場合は、ほかの通信を破壊しないようにバスが開放されていることを確認する必要があります。

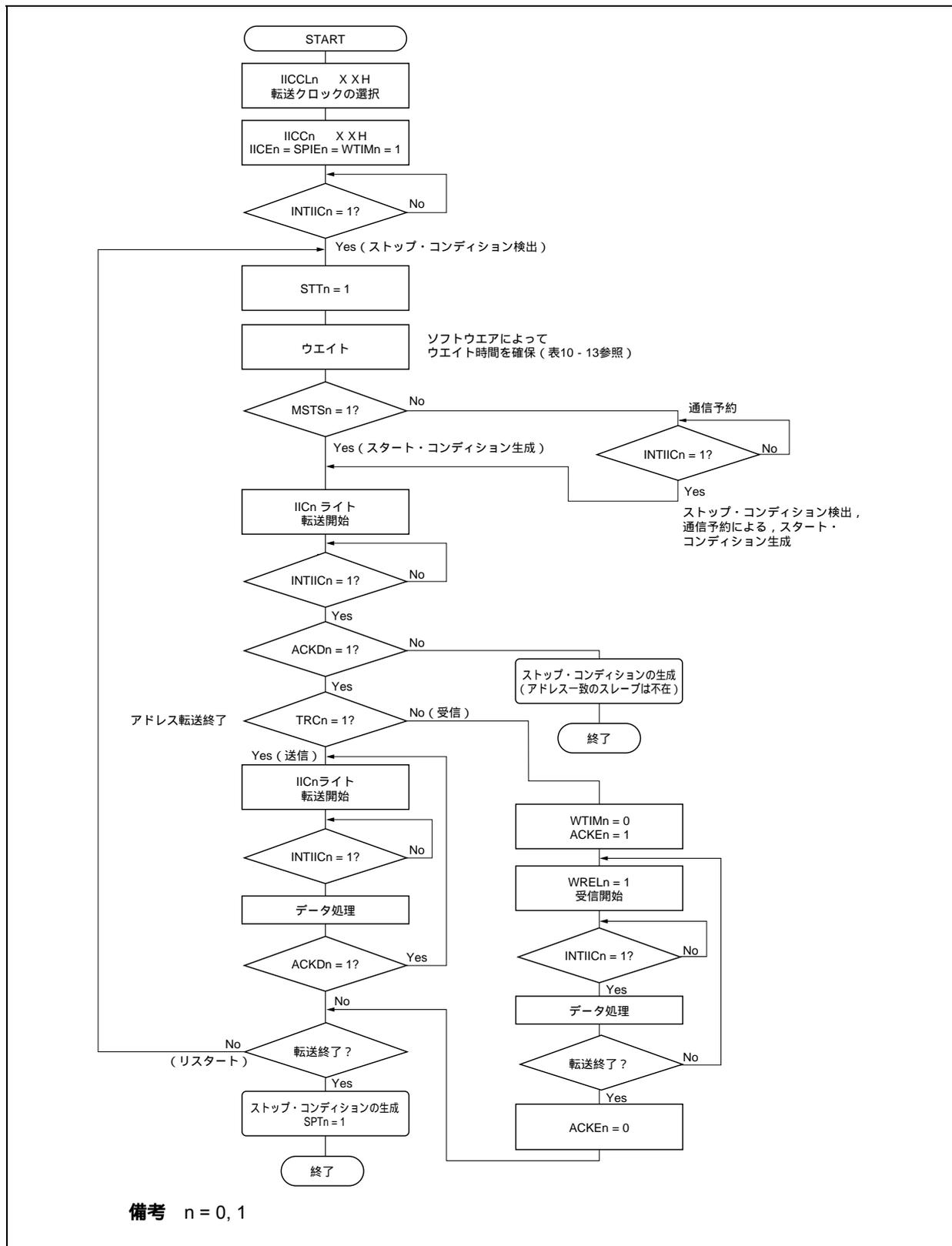
備考 n = 0, 1

10.4.14 通信動作

(1) マスタ動作

通信予約機能許可 (IICRSVn = 0) , およびストップ・コンディション検出後スタート時 (STCENn = 0) におけるマスタ通信手順の例を次に示します。

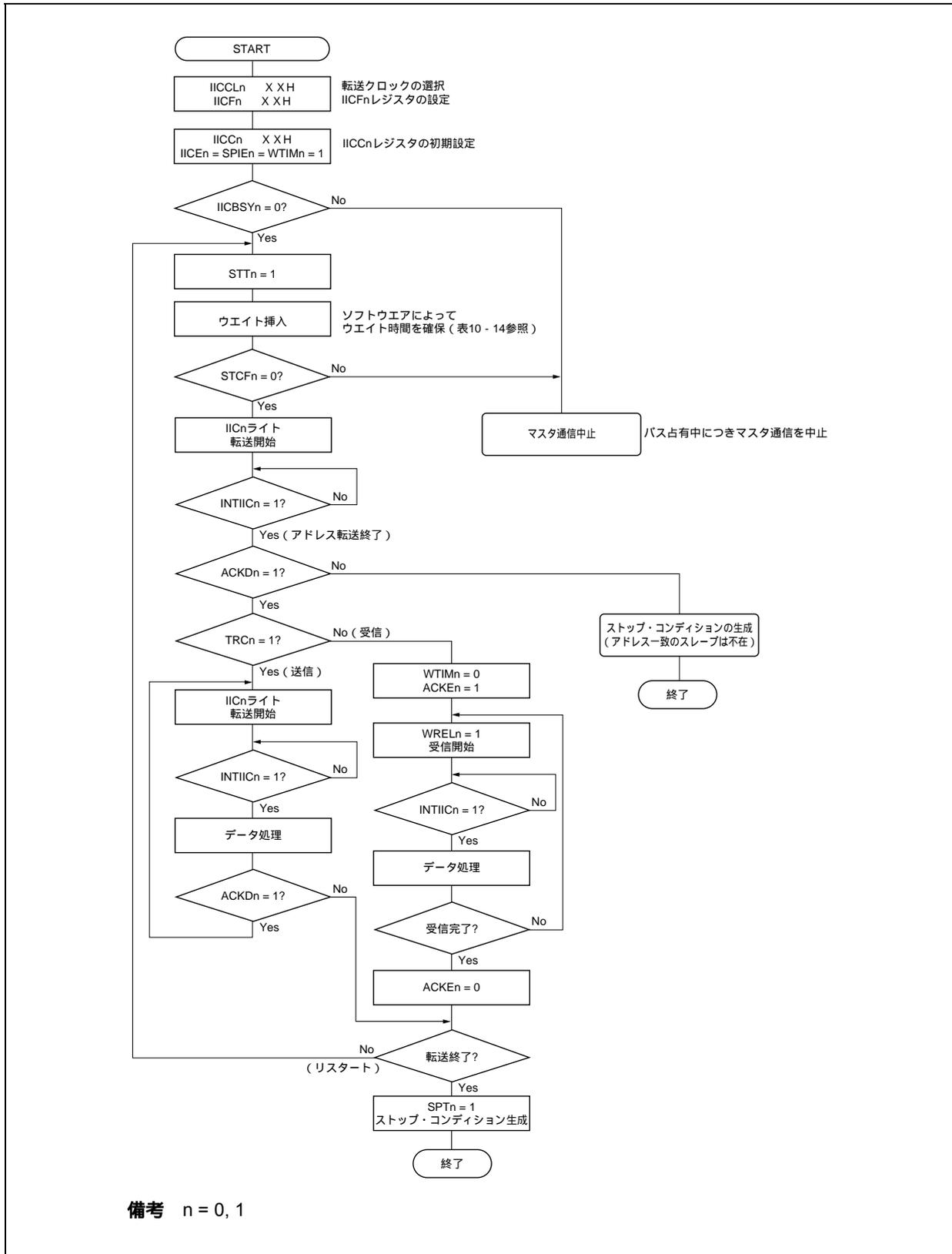
図10 - 39 マスタ動作手順 (1)



(2) マスタ動作

通信予約機能禁止 (IICRSVn = 1) およびストップ・コンディション未検出によるスタート (STCENn = 1) 時における通信手順の例を次に示します。

図10 - 40 マスタ動作手順 (2)

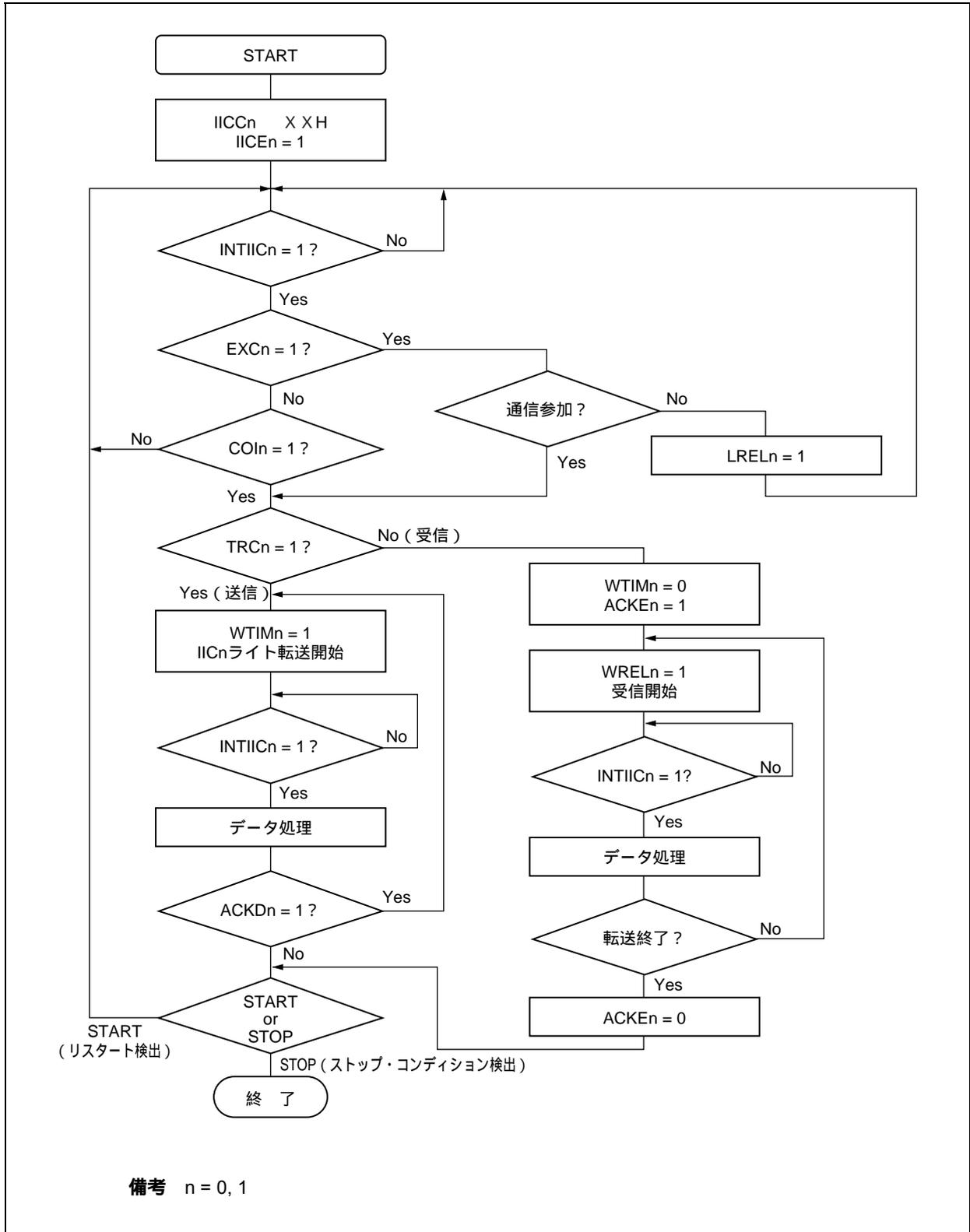


備考 n = 0, 1

(3) スレーブ動作

スレーブ通信手順の例を次に示します。

図10-41 スレーブ動作手順



10.4.15 データ通信のタイミング

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRCnビット（IIC状態レジスタn（IICSn）のビット3）を送信し、スレーブとのシリアル通信を開始します。

シリアル・クロック（SCLn）の立ち下がりに同期してIICバス・シフト・レジスタn（IICn）のシフト動作が行われ、送信データがSOラッチに転送され、SDAn端子からMSBファーストで出力されます。

また、SCLnの立ち上がりでSDAn端子に入力されたデータがIICnに取り込まれます。

データ通信のタイミングを次に示します。

備考 n = 0, 1

図10 - 42 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

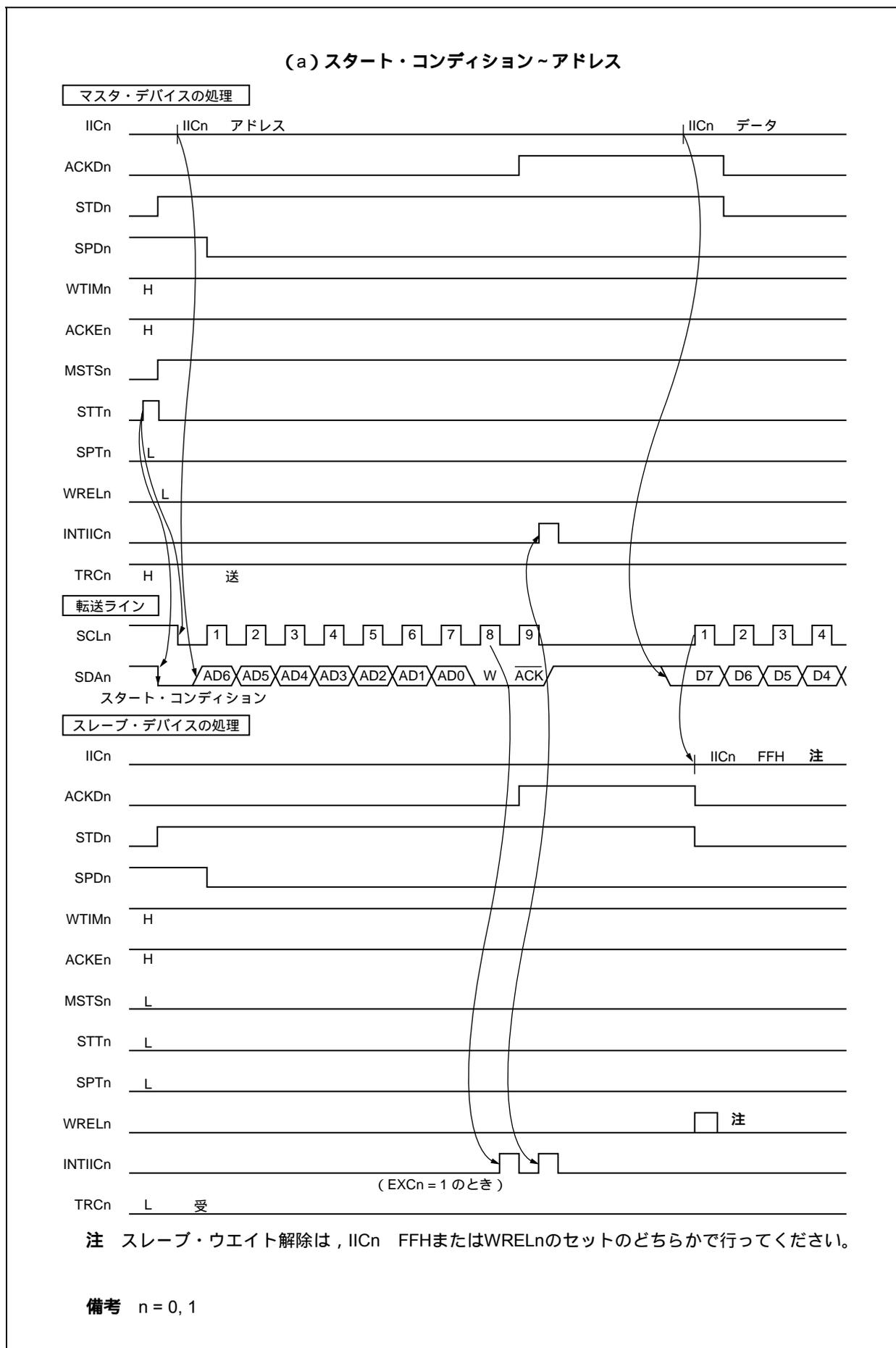


図10 - 42 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

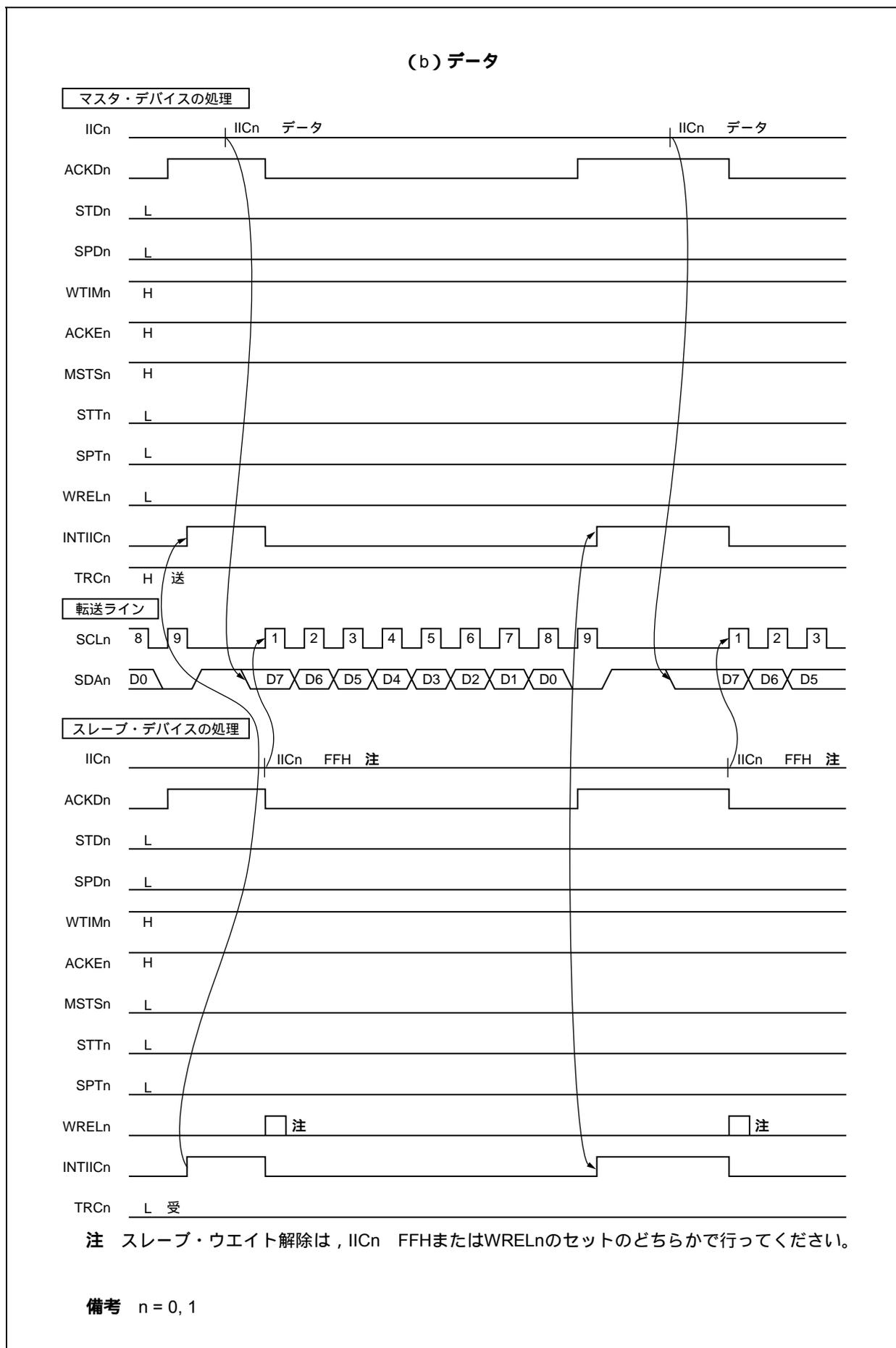


図10 - 42 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)

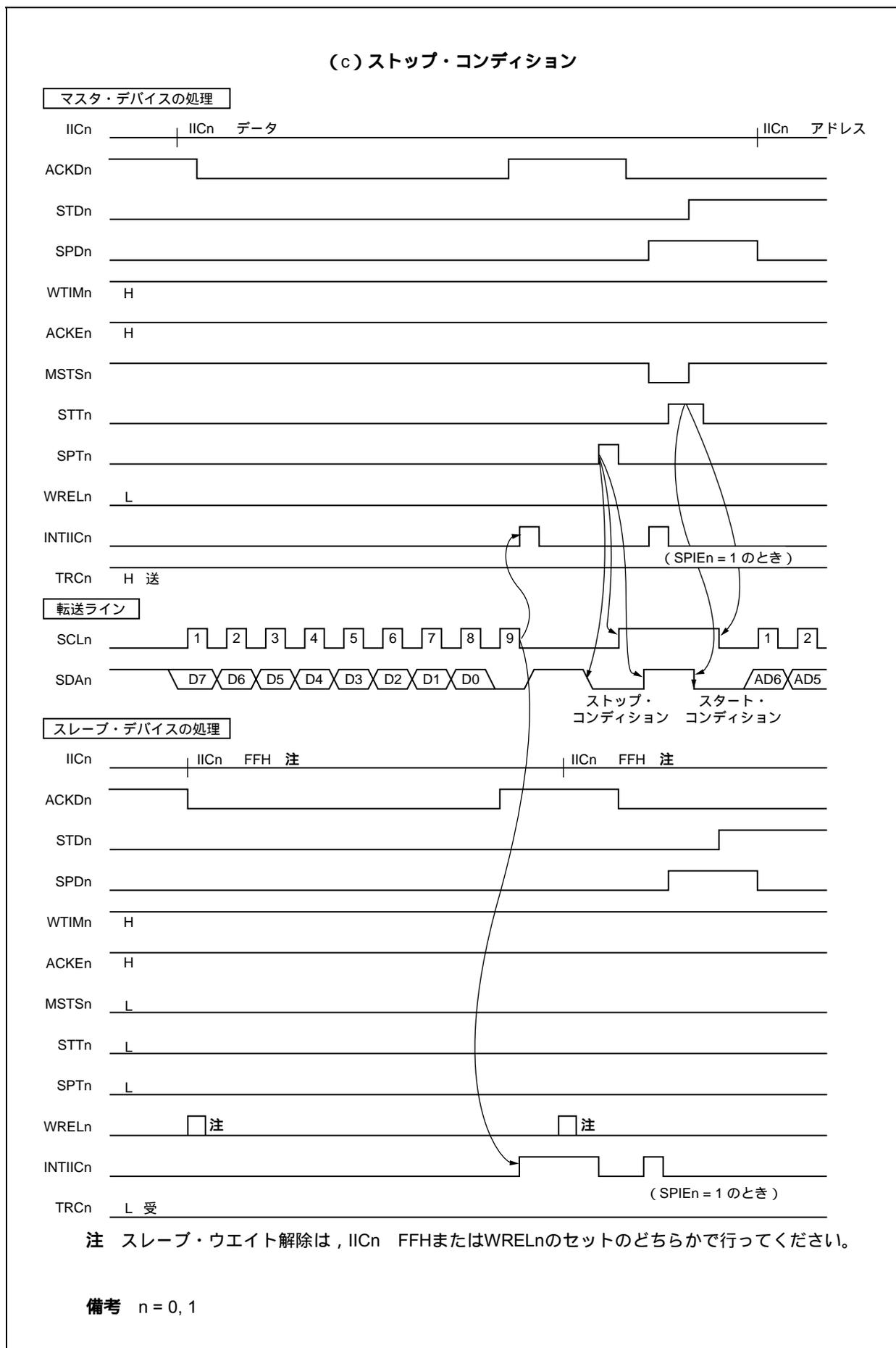


図10 - 43 スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

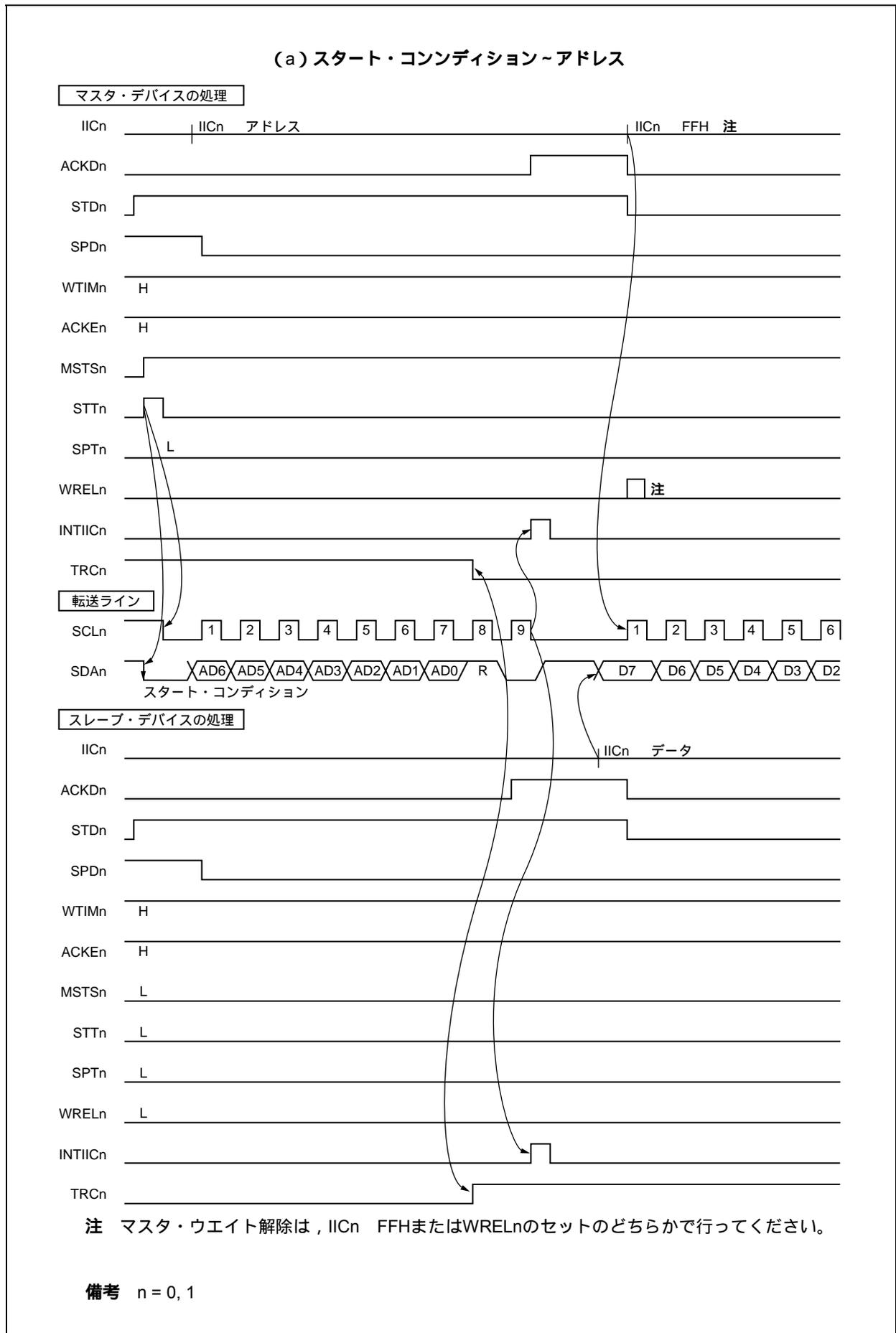


図10 - 43 スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

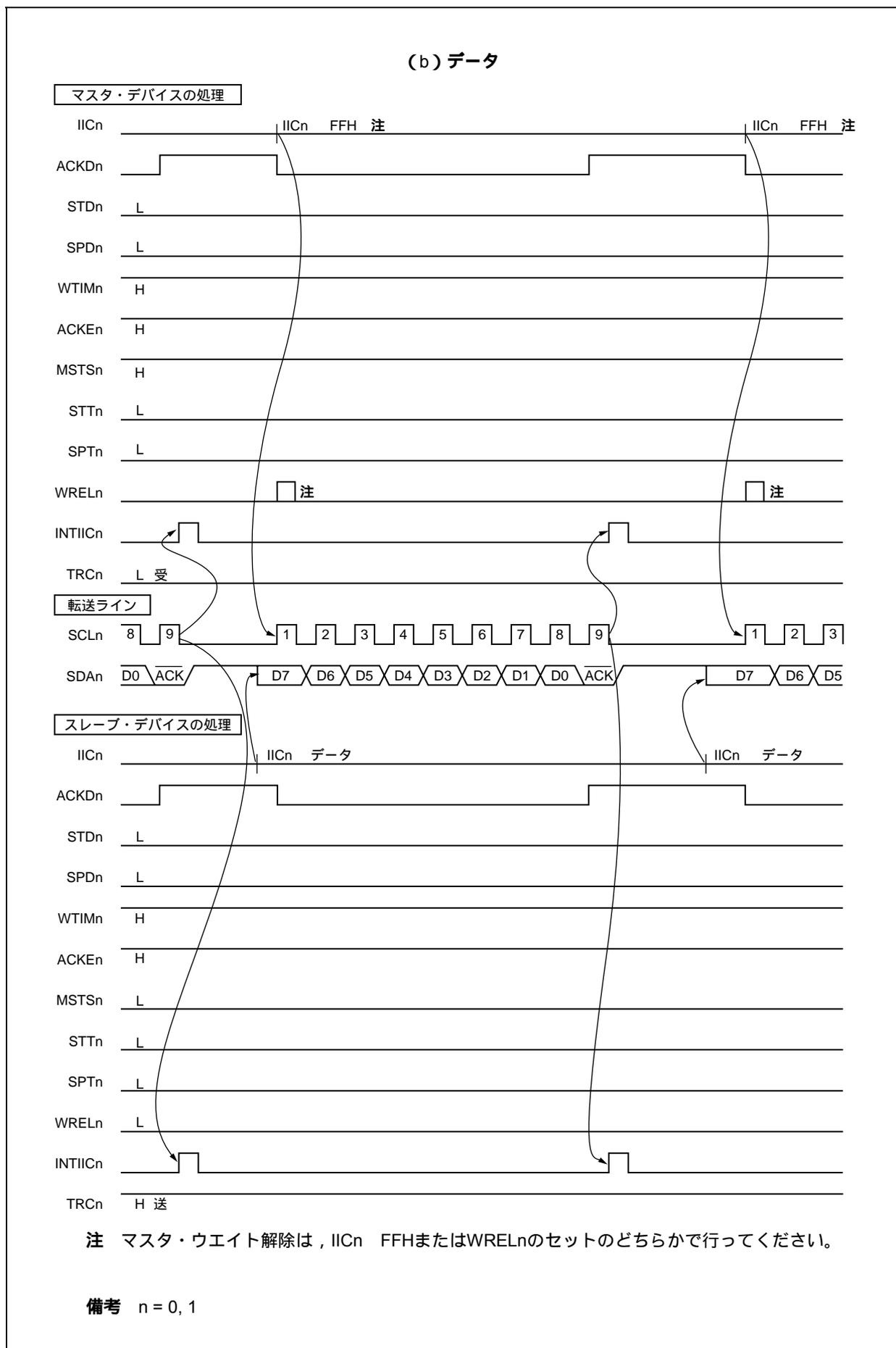
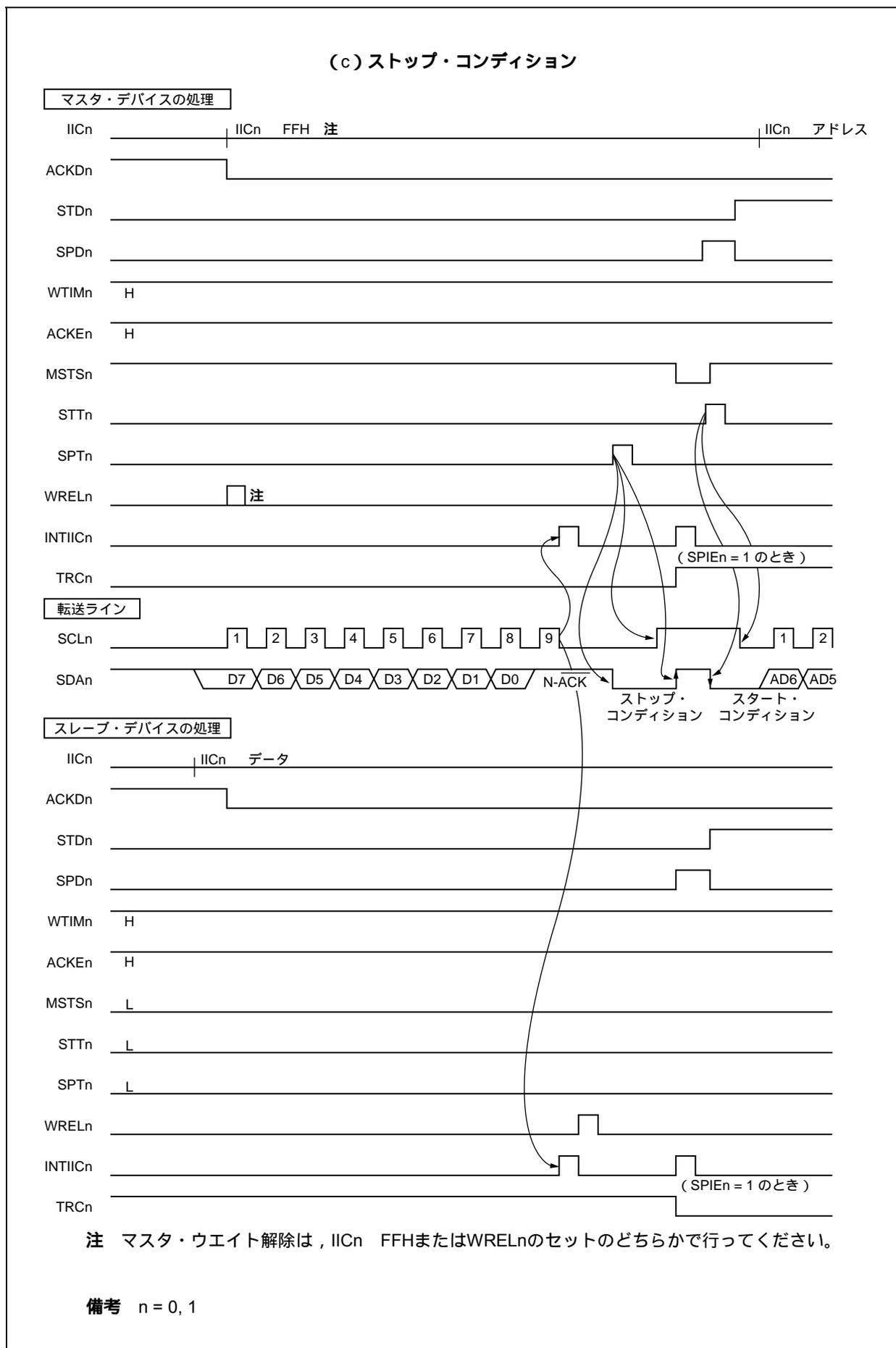


図10 - 43 スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)



10.5 アシクロナス・シリアル・インタフェース (UART0, UART1)

UARTn (n = 0, 1) には、次の2種類の動作モードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) アシクロナス・シリアル・インタフェース・モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UARTn専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

また、ASCKn端子への入力クロックを分周してボー・レートを定義することもできます。

UARTn専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート (31.25 kbps) を使用することもできます。

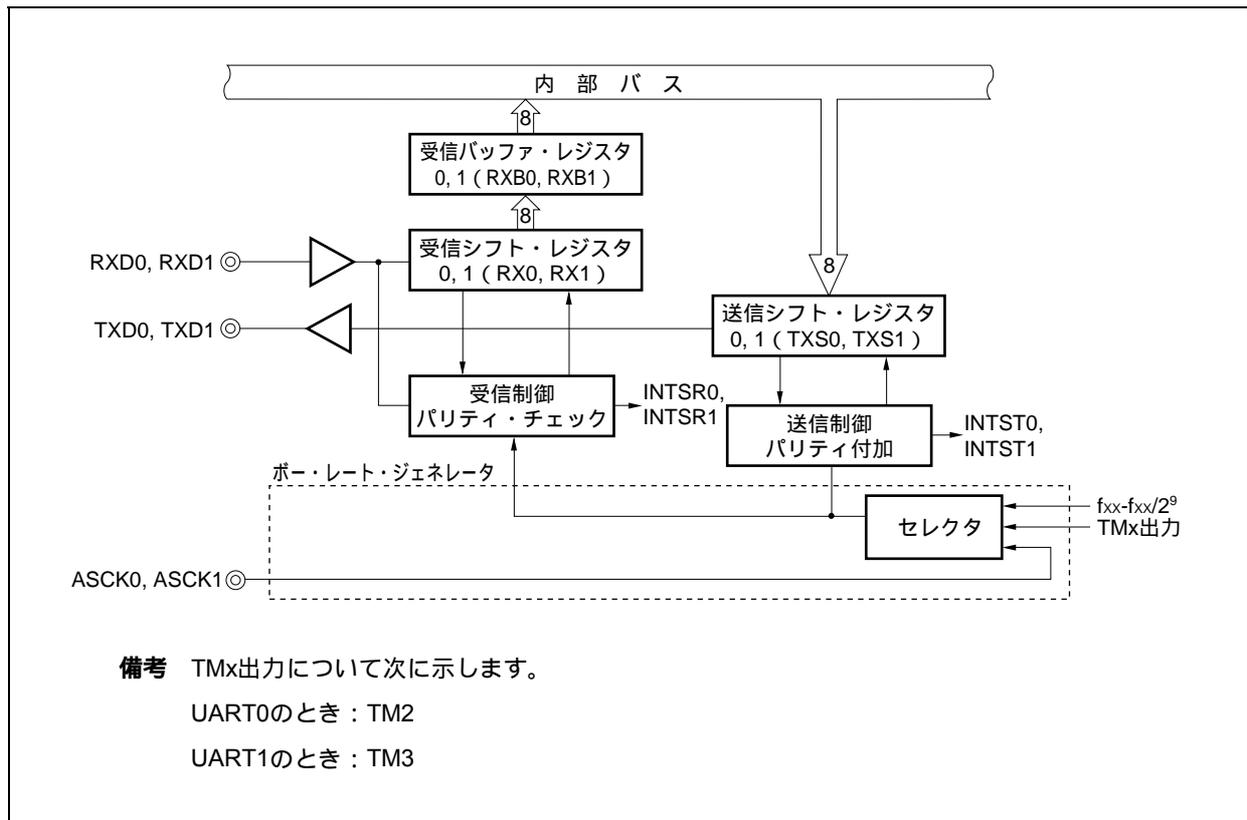
10.5.1 構成

UARTnは、次のハードウェアで構成されています。

表10 - 15 UARTnの構成

項目	構成
レジスタ	送信シフト・レジスタ0, 1 (TXS0, TXS1) 受信バッファ・レジスタ0, 1 (RXB0, RXB1)
制御レジスタ	アシクロナス・シリアル・インタフェース・モード・レジスタ0, 1 (ASIM0, ASIM1) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0, 1 (ASIS0, ASIS1) ボー・レート・ジェネレータ・コントロール・レジスタ0, 1 (BRGC0, BRGC1) ボー・レート・ジェネレータ・モード・コントロール・レジスタ00, 01 (BRGMC00, BRGMC01) ボー・レート・ジェネレータ・モード・コントロール・レジスタ10, 11 (BRGMC10, BRGMC11)

図10 - 44 UARTnのブロック図

**(1) 送信シフト・レジスタ0, 1 (TXS0, TXS1)**

送信データを設定するレジスタです。TXSnに書き込まれたデータをシリアル・データとして送信します。

データ長を7ビットに指定した場合、TXSnに書き込んだデータのビット0-ビット6が送信データとして転送されます。TXSnにデータを書き込むことにより、送信動作を開始します。

TXSnは、8ビット・メモリ操作命令で書き込みます。読み出しはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注意 送信動作中は、TXSnへの書き込みを行わないでください。

(2) 受信シフト・レジスタ0, 1 (RX0, RX1)

RXD0, RXD1端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。1バイト分のデータを受信すると、受信データを受信バッファ・レジスタ0, 1 (RXB0, RXB1)へ転送します。

RX0, RX1はプログラムで直接操作することはできません。

(3) 受信バッファ・レジスタ0, 1 (RXB0, RXB1)

受信データを保持するレジスタです。データを1バイト受信することに新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXBnのビット0-ビット6に転送され、RXBnのMSBは必ず0になります。

RXBnは、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

(4) 送信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ n (ASIM n) に設定された内容に従って、送信シフト・レジスタ n (TXS n) に書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットの付加などの送信動作の制御を行います。

(5) 受信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ n (ASIM n) に設定された内容に従って、受信動作を制御します。また、受信動作中にパリティ・エラーなどのエラー・チェックも行い、エラーを検出したときにはエラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ n (ASIS n) にセットします。

10.5.2 UART n 制御レジスタ

UART n は、次のレジスタで制御します ($n = 0, 1$)。

- ・アシンクロナス・シリアル・インタフェース・モード・レジスタ n (ASIM n)
- ・アシンクロナス・シリアル・インタフェース・ステータス・レジスタ n (ASIS n)
- ・ボー・レート・ジェネレータ・コントロール・レジスタ n (BRGC n)
- ・ボー・レート・ジェネレータ・モード・コントロール・レジスタ n_0, n_1 (BRGMC $n_0, BRGMCn_1$)

(1) アシクロナス・シリアル・インタフェース・モード・レジスタ0, 1 (ASIM0, ASIM1)

UARTnのシリアル転送動作を制御する8ビットのレジスタです。

ASIMnは、8/1ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

リセット時：00H R/W アドレス：FFFFFF300H, FFFFFFF310H

	⑦	⑥	5	4	3	2	1	0
ASIMn	TXEn	RXEn	PS1n	PS0n	UCLn	SLn	ISRMn	0

(n = 0, 1)

TXEn	RXEn	動作モード	RXDn/Pxx端子の機能	TXDn/Pxx端子の機能
0	0	動作停止	ポート機能	ポート機能
0	1	UARTnモード (受信のみ)	シリアル機能	ポート機能
1	0	UARTnモード (送信のみ)	ポート機能	シリアル機能
1	1	UARTnモード (送受信)	シリアル機能	シリアル機能

PS1n	PS0n	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない (パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

UCLn	キャラクタ長の指定
0	7ビット
1	8ビット

SLn	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRMn	エラー発生時の受信完了割り込み制御
0	エラー発生時、受信完了割り込みを発生する
1	エラー発生時、受信完了割り込みを発生しない

注意1. 動作モードの切り替えは、シリアル送受信動作を停止させたあとに行ってください。

2. ビット0には必ず“0”を設定してください。

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0, 1 (ASIS0, ASIS1)

アシクロナス・シリアル・インタフェース・モードで受信エラー発生時、エラーの種類を表示するレジスタです。

ASISnは、8/1ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

リセット時：00H R アドレス：FFFFFF302H, FFFFFFF312H

	7	6	5	4	3	②	①	①
ASISn	0	0	0	0	0	PEn	FEn	OVEEn

(n = 0, 1)

PEn	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FEn	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 ^{注1} (ストップ・ビットが検出されないとき)

OVEEn	オーバラン・エラー・フラグ
0	オーバラン・エラーなし
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)

- 注1. アシクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn) のビット2 (SLn) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。
2. オーバラン・エラーが発生したとき、受信バッファ・レジスタn (RXBn) を必ず読み出してください。RXBnを読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

(3) ボー・レート・ジェネレータ・コントロール・レジスタ0, 1 (BRGC0, BRGC1)

UARTnのシリアル・クロックを設定するレジスタです。

BRGCnは、8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF304H, FFFFFFF314H

BRGCn (n = 0, 1)	7	6	5	4	3	2	1	0		
	MDLn7	MDLn6	MDLn5	MDLn4	MDLn3	MDLn2	MDLn1	MDLn0		
	MD Ln7	MD Ln6	MD Ln5	MD Ln4	MD Ln3	MD Ln2	MD Ln1	MD Ln0	入力クロックの選択	k
	0	0	0	0	x	x	x		設定禁止	-
	0	0	0	0	1	0	0	0	fscck/8	8
	0	0	0	0	1	0	0	1	fscck/9	9
	0	0	0	0	1	0	1	0	fscck/10	10
	0	0	0	0	1	0	1	1	fscck/11	11
	0	0	0	0	1	1	0	0	fscck/12	12
	0	0	0	0	1	1	0	1	fscck/13	13
	0	0	0	0	1	1	1	0	fscck/14	14
	0	0	0	0	1	1	1	1	fscck/15	15
	0	0	0	1	0	0	0	0	fscck/16	16

	1	1	1	1	1	1	1	1	fscck/255	255

注意1. BRGCnはリセット時に00Hになります。動作させる前に“設定禁止”以外の設定にしてください。停止状態で“設定禁止”の設定にしても問題ありません。

2. 通信動作中にBRGCnへの書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGCnへの書き込みを行わないでください。

備考 fscck : 8ビット・カウンタのソース・クロック

(4) ボー・レート・ジェネレータ・モード・コントロール・レジスタn0, n1 (BRGMCn0, BRGMCn1)

UARTnのソース・クロックを設定するレジスタです。

BRGMCn0, BRGMCn1は、8ビット・メモリ操作命令で設定します (n = 0, 1)。

RESET入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF30EH, FFFFFFF31EH

	7	6	5	4	3	2	1	0
BRGMCn0	0	0	0	0	0	TPSn2	TPSn1	TPSn0

(n = 0, 1)

リセット時：00H R/W アドレス：FFFFFF320H, FFFFFFF322H

	7	6	5	4	3	2	1	0
BRGMCn1	0	0	0	0	0	0	0	TPSn3

(n = 0, 1)

TPSn3	TPSn2	TPSn1	TPSn0	8ビット・カウンタのソース・クロック選択	m
0	0	0	0	外部クロック (ASCKn)	-
0	0	0	1	f _{xx}	0
0	0	1	0	f _{xx} /2	1
0	0	1	1	f _{xx} /4	2
0	1	0	0	f _{xx} /8	3
0	1	0	1	f _{xx} /16	4
0	1	1	0	f _{xx} /32	5
0	1	1	1	n = 0時：TM3の出力 n = 1時：TM2の出力	-
1	0	0	0	f _{xx} /64	6
1	0	0	1	f _{xx} /128	7
1	0	1	0	f _{xx} /256	8
1	0	1	1	f _{xx} /512	9
1	1	0	0	設定禁止	-
1	1	0	1		-
1	1	1	0		-
1	1	1	1		-

- 注意1.** 通信動作中にBRGMCn0, n1への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGMCn0, n1への書き込みを行わないでください。
2. BRGMCn0のビット7-3には必ず“0”を設定してください。

- 備考1.** 8ビット・カウンタのソース・クロック：f_{sck}
2. 選択クロックをタイマの出力にした場合、P26/TO2/TI2, P27/TO3/TI3端子をタイマ出力モードにする必要はありません。

10.5.3 動作

UARTnには、次の2種類の動作モードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース・モード

(1) 動作停止モード

動作停止モードでは、シリアル転送を行いませんので、消費電力を低減できます。

また、動作停止モードでは、端子を通常のポートとして使用できます。

(a) レジスタの設定

動作停止モードの設定は、アシンクロナス・シリアル・インタフェース・モード・レジスタn(ASIMn) のTXEn, RXEnビットで行います。

図10 - 45 ASIMnの設定 (動作停止モード)

リセット時 : 00H R/W アドレス : FFFFFFF300H, FFFFFFF310H

7	6	5	4	3	2	1	0
TXEn	RXEn	PS1n	PS0n	CLn	SLn	ISRMn	0

(n = 0, 1)

TXEn	RXEn	動作モード	RXDn/Pxx端子の機能	TXDn/Pxx端子の機能
0	0	動作停止	ポート機能	ポート機能

注意1. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

2. ビット0には必ず“0”を設定してください。

(2) アシクロナス・シリアル・インタフェース・モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UARTn専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。

UARTn専用ポー・レート・ジェネレータを利用してMIDI規格のポー・レート（31.25 kbps）を使用することもできます。

(a) レジスタの設定

アシクロナス・シリアル・インタフェース・モードの設定は、ASIMn, BRGCn, BRGMCn0, BRGMCn1で行います（n = 0, 1）。

図10 - 46 ASIMnの設定（アシクロナス・シリアル・インタフェース・モード）

リセット時：00H R/W アドレス：FFFFFF300H, FFFFFFF310H

	7	6	5	4	3	2	1	0
ASIMn	TXEn	RXEn	PS1n	PS0n	CLn	SLn	ISRMn	0

(n = 0, 1)

TXEn	RXEn	動作モード	RXDn/Pxx端子の機能	TXDn/Pxx端子の機能
0	1	UARTnモード（受信のみ）	シリアル機能	ポート機能
1	0	UARTnモード（送信のみ）	ポート機能	シリアル機能
1	1	UARTnモード（送受信）	シリアル機能	シリアル機能

PS1n	PS0n	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない（パリティ・エラーを発生しない）
1	0	奇数パリティ
1	1	偶数パリティ

CLn	キャラクタ長の指定
0	7ビット
1	8ビット

SLn	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRMn	エラー発生時の受信完了割り込み制御
0	エラー発生時、受信完了割り込みを発生する
1	エラー発生時、受信完了割り込みを発生しない

注意1. 動作モードの切り替えは、シリアル送受信動作を停止させたあとに行ってください。

2. ビット0には必ず“0”を設定してください。

3. RXDn端子にハイ・レベルが入力された状態で、RXEn = 1と設定してください。
ロウ・レベルのとき、RXEn = 1と設定すると受信を開始してしまいます。

★

図10 - 47 ASISnの設定 (アシンクロナス・シリアル・インタフェース・モード)

リセット時 : 00H R アドレス : FFFFFFF302H, FFFFFFF312H

	7	6	5	4	3	2	1	0
ASISn	0	0	0	0	0	PEn	FEn	OVer

(n = 0, 1)

PEn	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FEn	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 ^{注1} (ストップ・ビットが検出されないとき)

OVer	オーバラン・エラー・フラグ
0	オーバラン・エラーなし
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)

注1. アシンクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn) のビット2 (SLn) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

注2. オーバラン・エラーが発生したとき、受信バッファ・レジスタn (RXBn) を必ず読み出してください。RXBnを読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

図10 - 48 BRGCnの設定 (アシンクロナス・シリアル・インタフェース・モード)

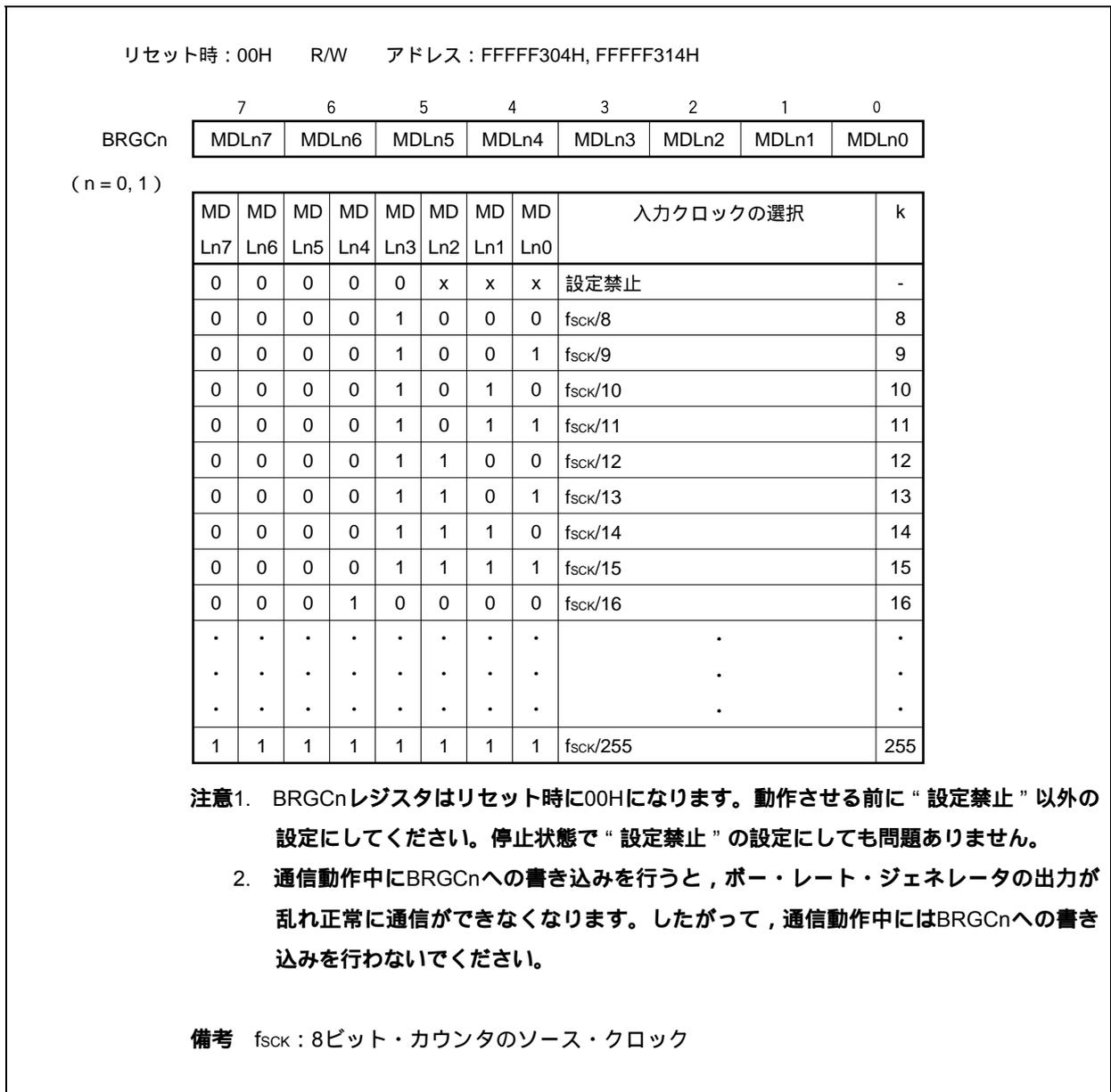


図10 - 49 BRGMCn0, BRGMCn1の設定 (アシンクロナス・シリアル・インタフェース・モード)

リセット時：00H R/W アドレス：FFFFFF30EH, FFFFFFF31EH

	7	6	5	4	3	2	1	0
BRGMCn0	0	0	0	0	0	TPSn2	TPSn1	TPSn0

(n = 0, 1)

リセット時：00H R/W アドレス：FFFFFF320H, FFFFFFF322H

	7	6	5	4	3	2	1	0
BRGMCn1	0	0	0	0	0	0	0	TPSn3

(n = 0, 1)

TPSn3	TPSn2	TPSn1	TPSn0	8ビット・カウンタのソース・クロック選択	m
0	0	0	0	外部クロック (ASCKn)	-
0	0	0	1	f _{xx}	0
0	0	1	0	f _{xx} /2	1
0	0	1	1	f _{xx} /4	2
0	1	0	0	f _{xx} /8	3
0	1	0	1	f _{xx} /16	4
0	1	1	0	f _{xx} /32	5
0	1	1	1	n = 0時：TM3の出力 n = 1時：TM2の出力	-
1	0	0	0	f _{xx} /64	6
1	0	0	1	f _{xx} /128	7
1	0	1	0	f _{xx} /256	8
1	0	1	1	f _{xx} /512	9
1	1	0	0	設定禁止	-
1	1	0	1		-
1	1	1	0		-
1	1	1	1		-

注意1. 通信動作中にBRGMCn0, n1への書き込みを行うと、ポー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGMCn0, n1への書き込みを行わないでください。

2. BRGMCn0レジスタのビット7-3には必ず“0”を設定してください。

備考1. f_{xx}：メイン・クロック発振周波数

2. 選択クロックをタイマの出力にした場合、P26/TO2/TI2, P27/TO3/TI3端子をタイマ出力モードにする必要はありません。

(b) ボー・レート

生成するボー・レート用の送受信クロックは、メイン・クロックを分周した信号になります。

・メイン・クロックによるボー・レート用の送受信クロックの生成

メイン・クロックを分周して送受信クロックを生成します。メイン・クロックから生成するボー・レートは次の式によって求められます。

< 8 k 255の場合 >

$$[\text{ボー・レート}] = \frac{f_{xx}}{2^{m+1} \times k} \text{ [Hz]}$$

- f_{xx} : メイン・クロック発振周波数
- m : TPSn3-TPSn0で設定した値 (0 m 9)
- k : MDLn7-MDLn0で設定した値 (8 k 255)

・ボー・レートの許容誤差範囲

ボー・レートの許容範囲は、1フレームのビット数、およびカウンタの分周比 [1 / (16 + k)] に依存します。表10 - 16にメイン・クロックとボー・レートの間係を、図10 - 50にボー・レートの許容誤差の例を示します。

表10 - 16 メイン・クロックとボー・レートの間係

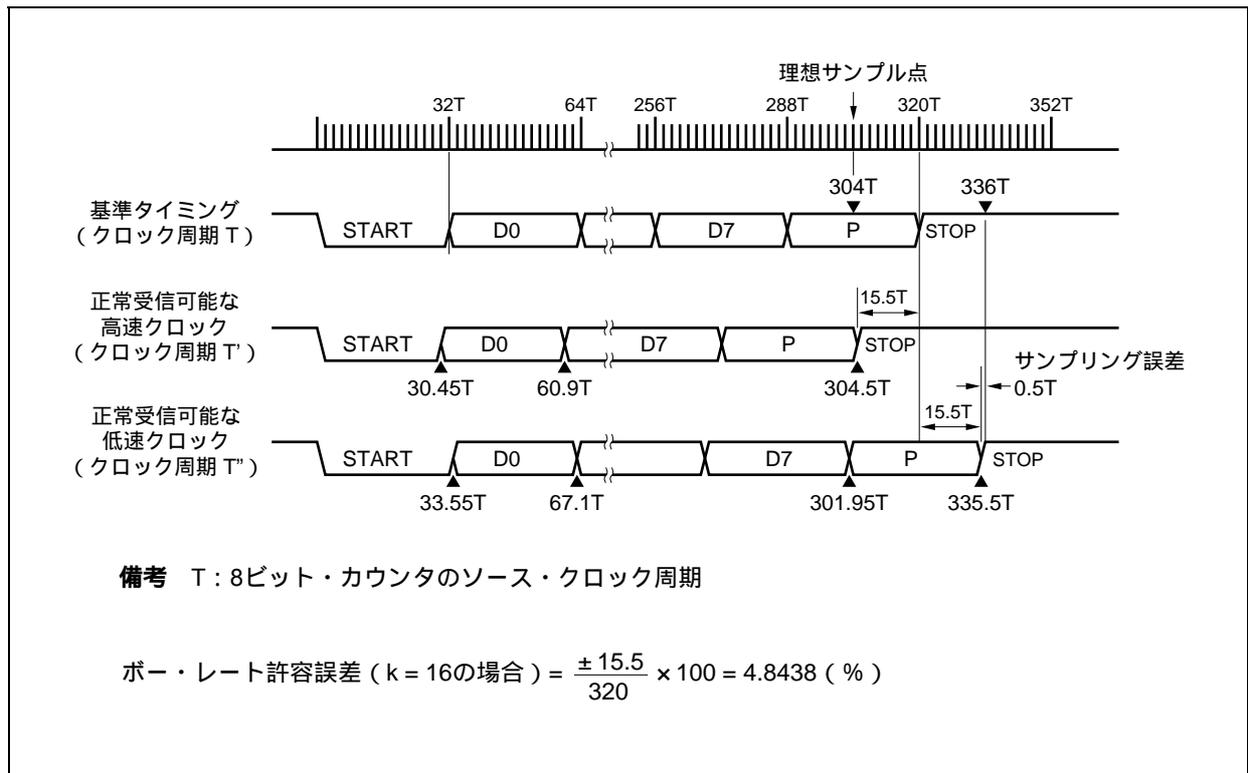
ボー・レート (bps)	f _{xx} = 8 MHz			f _{xx} = 12.58 MHz			f _{xx} = 16 MHz ^{注1}			f _{xx} = 20 MHz ^{注2}		
	k	m	誤差 (%)	k	m	誤差 (%)	k	m	誤差 (%)	k	m	誤差 (%)
32	244	9	0.06	-	-	-	-	-	-	-	-	-
64	244	8	0.06	192	9	- 0.02	244	9	0.06	-	-	-
128	244	7	0.06	192	8	- 0.02	244	8	0.06	152	9	0.39
300	208	6	0.16	164	7	- 0.12	208	7	0.16	130	8	0.16
600	208	5	0.16	164	6	- 0.12	208	6	0.16	130	7	0.16
1200	208	4	0.16	164	5	- 0.12	208	5	0.16	130	6	0.16
2400	208	3	0.16	164	4	- 0.12	208	4	0.16	130	5	0.16
4800	208	2	0.16	164	3	- 0.12	208	3	0.16	130	4	0.16
9600	208	1	0.16	164	2	- 0.12	208	2	0.16	130	3	0.16
19200	208	0	0.16	164	1	- 0.12	208	1	0.16	130	2	0.16
38400	104	0	0.16	164	0	- 0.12	208	0	0.16	130	1	0.16
76800	52	0	0.16	82	0	- 0.12	104	0	0.16	130	0	0.16
150000	27	0	- 1.24	42	0	- 0.16	53	0	0.63	67	0	- 0.50
300000	13	0	2.56	21	0	- 0.16	27	0	- 1.24	33	0	1.01
312500	13	0	- 1.54	20	0	0.64	26	0	- 1.54	8	2	0.00

注1. V850/SB1, およびV850/SB2のH品

2. V850/SB1のみ

備考 f_{xx} : メイン・クロック発振周波数

図10 - 50 サンプリング誤差を考慮したボー・レートの許容誤差 (k = 16の場合)



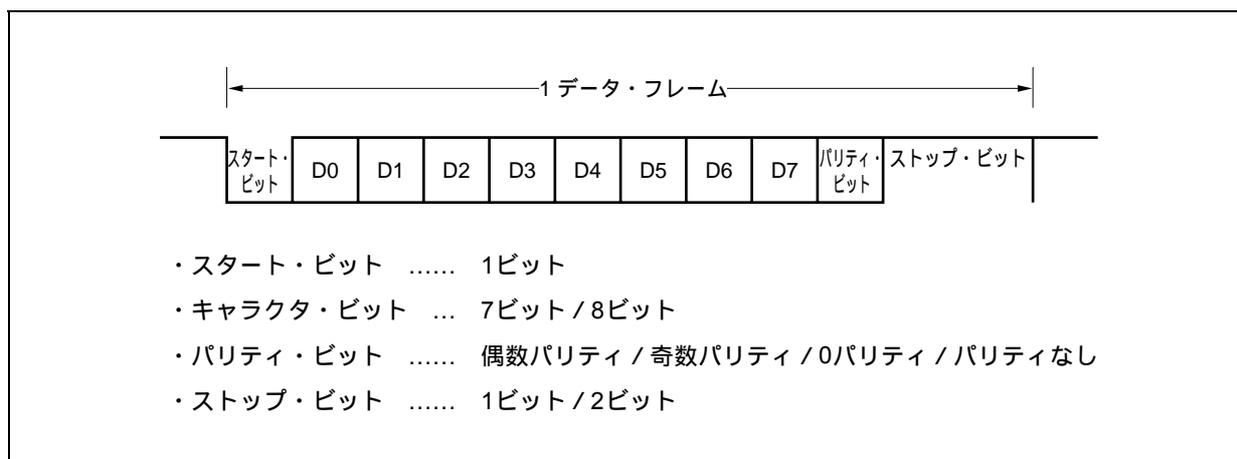
(3) 通信動作

(a) データ・フォーマット

送受信データのフォーマットは図10-43に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ n (ASIM n)によって行います ($n=0, 1$)。

図10-51 アシンクロナス・シリアル・インタフェースの送受信データのフォーマット



キャラクタ・ビットとして7ビットを選択した場合、下位7ビット（ビット0-ビット6）のみが有効となり、送信の場合は最上位ビット（ビット7）は無視され、受信の場合は必ず最上位ビット（ビット7）は“0”になります。

シリアル転送レートの設定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ n (ASIM n)とボー・レート・ジェネレータ・コントロール・レジスタ n (BRGC n)によって行います ($n=0, 1$)。

また、シリアルデータの受信エラーが発生した場合、アシンクロナス・シリアル・インタフェース・ステータス・レジスタ n (ASIS n)の状態を読むことによって受信エラーの内容を判定できます ($n=0, 1$)。

(b) パリティの種類と動作

パリティ・ビットは、通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしとでは、誤りを検出できません。

(i) 偶数パリティ**・送信時**

パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：1

送信データ中に、値が“1”のビットの数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(ii) 奇数パリティ**・送信時**

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：0

送信データ中に、値が“1”のビットの数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

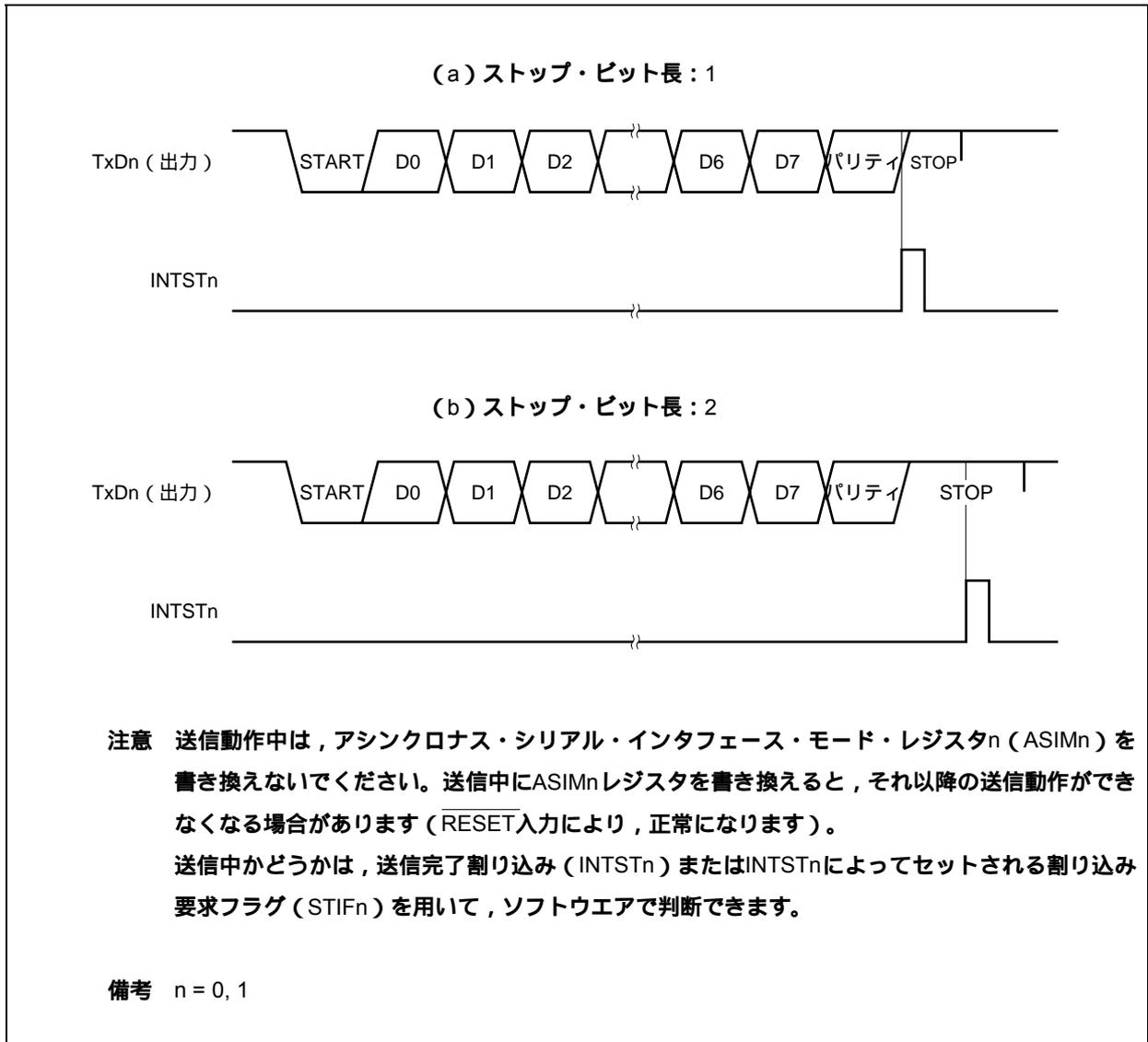
(c) 送 信

送信シフト・レジスタ n (TXSn) に送信データを書き込むことによって送信動作は起動します。スタート・ビット, パリティ・ビット, ストップ・ビットは自動的に付加されます。

送信動作の開始により, TXSn内のデータがシフト・アウトされTXSnが空になると, 送信完了割り込み (INTSTn) が発生します。

送信完了割り込みのタイミングを次に示します。

図10 - 52 アシクロナス・シリアル・インタフェース送信完了割り込みタイミング



(d) 受信

受信動作はアシンクロナス・シリアル・インタフェース・モード・レジスタ n (ASIM n) のビット6 (RXEn) がセット (1) されると許可状態となり、RXD n 端子入力のサンプリングを行います。

RXD n 端子入力のサンプリングは、BRGC n で指定したシリアル・クロックで行います。

RXD n 端子入力がロウ・レベルになると、8ビット・カウンタがカウントを開始し、設定したボー・レートの半分の時間が経過したところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RXD n 端子入力をサンプリングした結果、ロウ・レベルであれば、スタート・ビットとして認識し、8ビット・カウンタを初期化してカウントを開始し、データのサンプリングを行います。スタート・ビットに続いて、キャラクタ・データ、パリティ・ビットおよび1ビットのストップ・ビットが検出されると、1フレームのデータ受信が終了します。

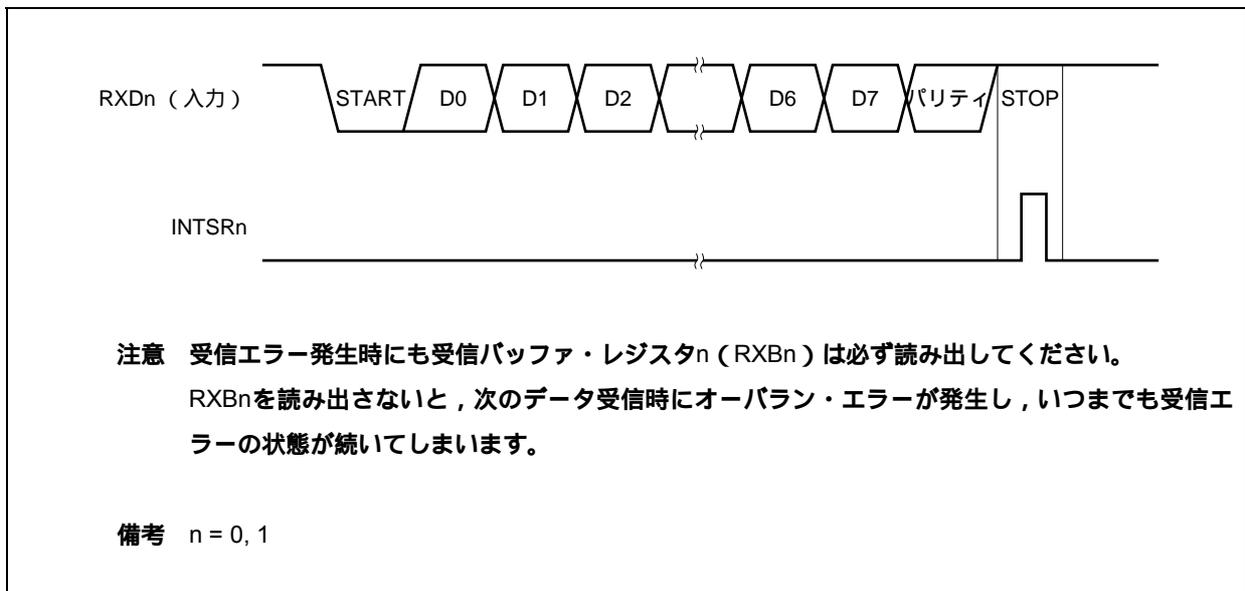
1フレームのデータ受信が終了すると、シフト・レジスタ内の受信データを受信バッファ・レジスタ n (RXB n) に転送し、受信完了割り込み要求 (INTSR n) を発生します。

また、エラーが発生しても、RXB n にエラーの発生した受信データを転送します。エラー発生時、ASIM n のビット1 (ISRM n) がクリア (0) されている場合は、INTSR n を発生します。ISRM n ビットがセット (1) されている場合は、INTSR n は発生しません。

なお、受信動作中にRXEnビットをリセット (0) すると、ただちに受信動作を停止します。このとき、RXB n およびASIS n の内容は変化せず、また、INTSR n 、INTSER n も発生しません。

次にアシンクロナス・シリアル・インタフェース受信完了割り込みタイミングを示します。

図10 - 53 アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング



(e) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果、エラー・フラグがアシンクロナス・シリアル・インタフェース・ステータス・レジスタ_n (ASISn) 内に立つと同時に、受信エラー割り込み要求 (INTSERn) を発生します。受信エラー割り込み要求は受信完了割り込み要求 (INTSRn) より先に発生します。

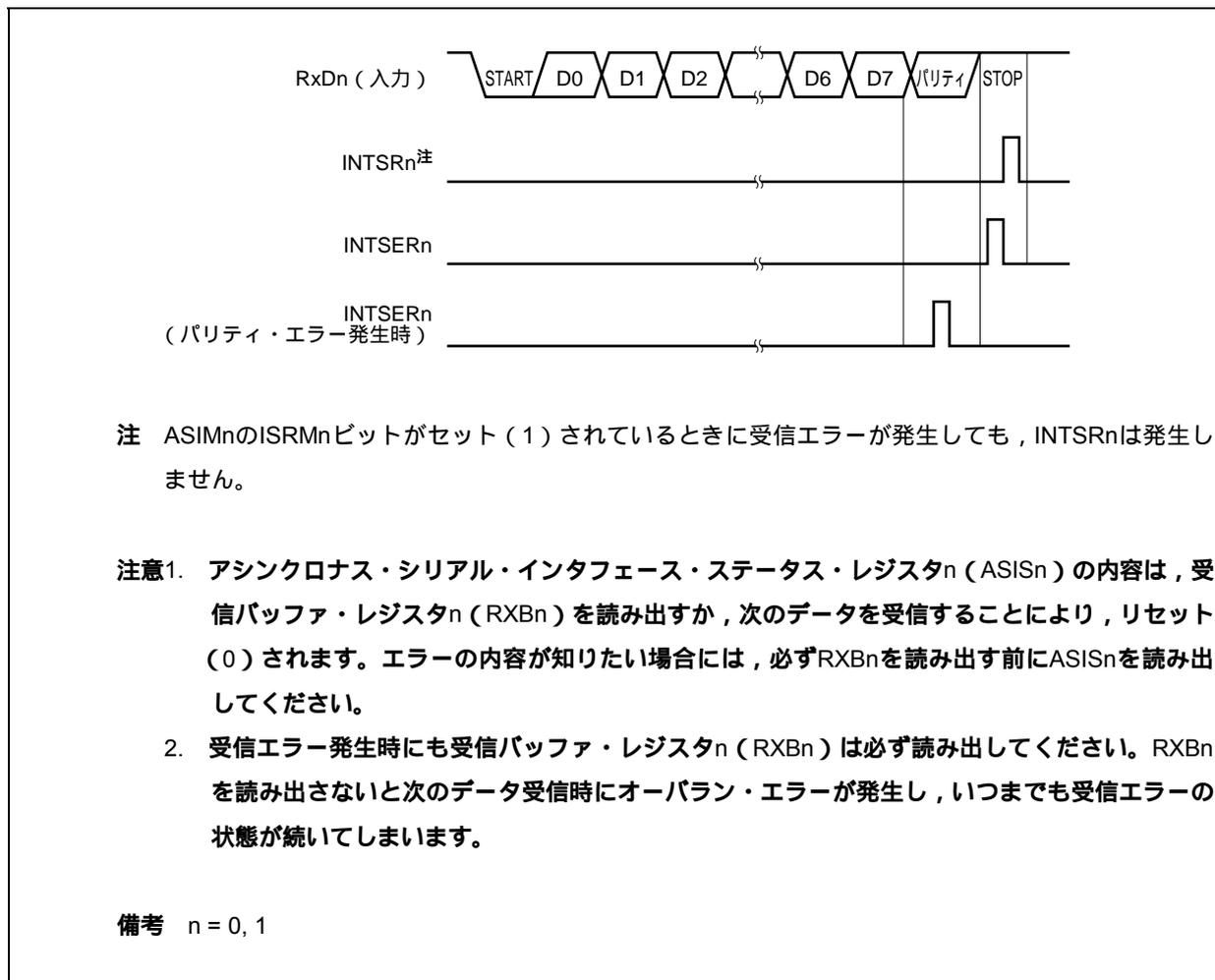
受信エラー割り込み処理 (INTSERn) 内でASISnの内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出できます。

ASISnの内容は、受信バッファ・レジスタ_n (RXBn) を読み出すか、次のデータを受信することでリセット (0) されます (次のデータにエラーがあれば、そのエラー・フラグがセットされます)。

表10 - 17 受信エラーの要因

受信エラー	要 因	ASISnの値
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない	04H
フレーミング・エラー	ストップ・ビットが検出されない	02H
オーバラン・エラー	受信バッファ・レジスタからデータを読み出す前に次のデータ受信完了	01H

図10 - 54 受信エラー・タイミング



10.5.4 スタンバイ機能

(1) HALTモード時の動作

シリアル転送動作は通常に行われます。

(2) STOPモード時 / IDLEモード時

(a) シリアル・クロックとして内部クロックを選択した場合

アシンクロナス・シリアル・インタフェース・モード・レジスタ n (ASIM n)、送信シフト・レジスタ n (TXS n)、受信バッファ・レジスタ n (RXB n)は、クロック停止直前の値を保持したまま動作を停止します。

TXD n 端子出力は、送信状態のときにクロックが停止された場合 (STOPモード時)は、直前のデータを保持します。受信中にクロックが停止された場合は、直前までの受信データを格納し、それ以降の動作を停止します。クロックが再起動されると続けて受信動作を再開します。

(b) シリアル・クロックとして外部クロックを選択した場合

シリアル転送動作は通常に行われます。

10.6 3線式可変長シリアルI/O (CSI4)

CSI4には、次の2種類の動作モードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。

(2) 3線式可変長シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ($\overline{SCK4}$)、シリアル出力 (SO4)、シリアル入力 (SI4) の3本のラインにより、8ビットから16ビットの可変データ転送を行うモードです。

3線式可変長シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送するデータの先頭ビットは、MSB/LSB切り替えができます。

3線式可変長シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

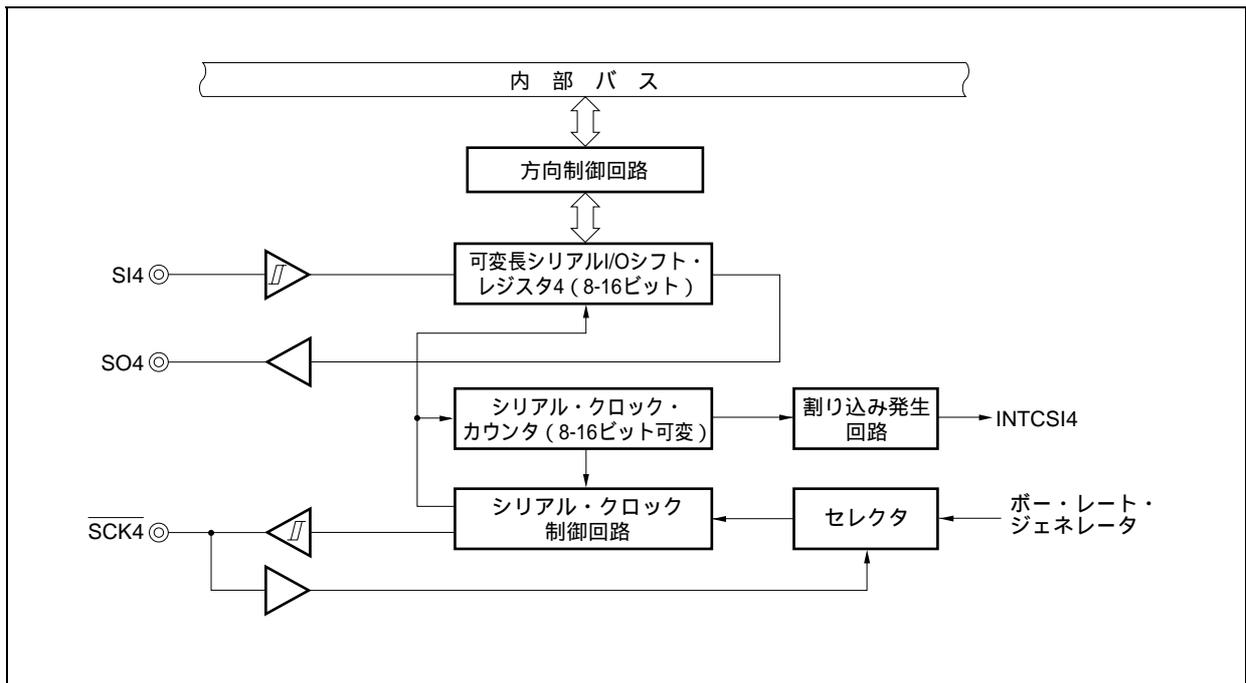
10.6.1 構成

CSI4は、次のハードウェアで構成されています。

表10 - 18 CSI4の構成

項目	構成
レジスタ	可変長シリアルI/Oシフト・レジスタ4 (SIO4)
制御レジスタ	可変長シリアル制御レジスタ4 (CSIM4)
	可変長シリアル設定レジスタ4 (CSIB4)
	ボー・レート・ジェネレータ・ソース・クロック選択レジスタ4 (BRGCN4)
	ボー・レート出力クロック選択レジスタ4 (BRGCK4)

図10 - 55 3線式可変長シリアルI/Oのブロック図



(1) 可変長シリアルI/Oシフト・レジスタ4 (SIO4)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信（シフト動作）を行う16ビット可変レジスタです。

SIO4は、16ビット・メモリ操作命令で設定します。

可変長シリアル制御レジスタ4 (CSIM4) のビット7 (CSIE4) が1のとき、SIO4にデータを書き込むか、または読み出すことによりシリアル動作が開始します。

送信時は、SIO4に書き込まれたデータが、シリアル出力 (SO4) に出力されます。

受信時は、データがシリアル入力 (SI4) からSIO4に読み込まれます。

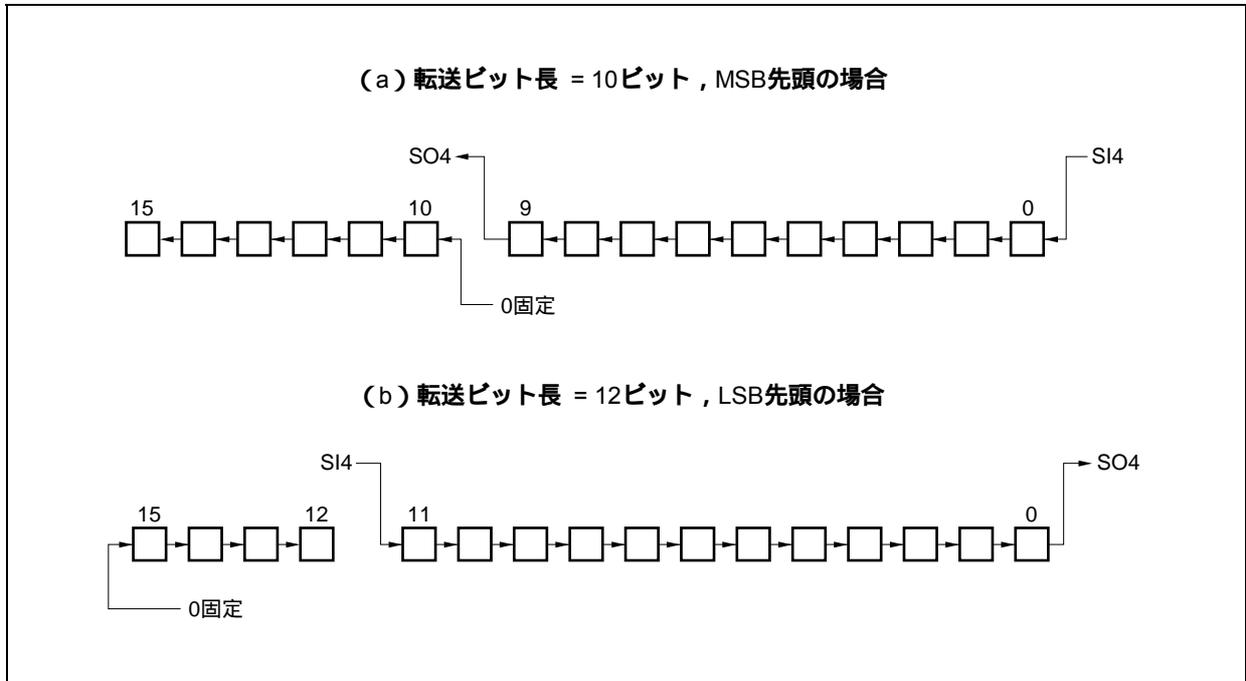
RESET入力により0000Hになります。

注意 転送動作中のSIO4アクセスは、転送起動トリガとなるアクセス以外は実行しないでください (MODE4 = 0のときはリードが、MODE4 = 1のときはライトが禁止となります)。



転送ビット長を16ビット以外に設定した場合、シフト・レジスタヘデータをセットするときには、転送先頭ビットがMSB/LSBであっても下位ビットから詰めて行ってください。使用しない上位ビットにセットするデータは任意ですが、シリアル転送後の受信データは“0”になります。

図10 - 56 16ビット以外の転送ビット長を設定した場合



10.6.2 CSI4制御レジスタ

CSI4を制御するレジスタには、次のものがあります。

- ・可変長シリアル制御レジスタ4 (CSIM4)
- ・可変長シリアル設定レジスタ4 (CSIB4)
- ・ポー・レート・ジェネレータ・ソース・クロック選択レジスタ4 (BRGCN4)
- ・ポー・レート出力クロック選択レジスタ4 (BRGCK4)

(1) 可変長シリアル制御レジスタ4 (CSIM4)

シリアル・インタフェース・チャンネル4のシリアル・クロック，動作モード，動作の許可/停止を設定するレジスタです。

CSIM4は，8/1ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF2E2H

	⑦	6	5	4	3	2	1	0
CSIM4	CSIE4	0	0	0	0	MODE4	0	SCL4

CSIE4	SIO4の動作許可/禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 ^{注1}
1	動作許可	カウント動作許可	シリアル機能+ポート機能 ^{注2}

MODE4	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SO4出力
0	送信/送受信モード	SIO4ライト	通常出力
1	受信専用モード	SIO4リード	ポート機能

SCL4	シリアル・クロックの選択
0	外部クロック入力 (SCK4)
1	BRG (ポー・レート・ジェネレータ)

注1. CSIE4 = 0 (SIO4動作停止状態) のとき，SI4, SO4, $\overline{SCK4}$ 端子はポート機能として使用できます。

注2. CSIE4 = 1 (SIO4動作許可状態) のとき，送信機能だけ使用する場合はSI4端子，受信専用モード時はSO4端子をポート機能として使用できます。

(2) 可変長シリアル設定レジスタ4 (CSIB4)

シリアル・インタフェース・チャンネル4の動作形式を設定するレジスタです。

可変長シリアル設定レジスタ4 (CSIB4) のビット3-0 (BSEL3-BSEL0) で、可変レジスタのビット長を設定します。また、ビット4 (DIR) が1のときMSB先頭、0のときLSB先頭で転送を行います。

CSIB4は、8/1ビット・メモリ操作命令で設定します。

RESET \bar 入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFFE4H

	7	⑥	⑤	④	3	2	1	0
CSIB4	0	CMODE	DMODE	DIR	BSEL3	BSEL2	BSEL1	BSEL0

CMODE	DMODE	SCK4の アクティブ・レベル	SI4の 取り込みタイミング	SO4の 出力タイミング
0	0	ロウ・レベル	SCK4の立ち上がりエッジ	SCK4の立ち下がりエッジ
0	1	ロウ・レベル	SCK4の立ち下がりエッジ	SCK4の立ち上がりエッジ
1	0	ハイ・レベル	SCK4の立ち下がりエッジ	SCK4の立ち上がりエッジ
1	1	ハイ・レベル	SCK4の立ち上がりエッジ	SCK4の立ち下がりエッジ

DIR	シリアル転送方向
0	LSB先頭
1	MSB先頭

BSEL3	BSEL2	BSEL1	BSEL0	シリアル・レジスタのビット長
0	0	0	0	16ビット
1	0	0	0	8ビット
1	0	0	1	9ビット
1	0	1	0	10ビット
1	0	1	1	11ビット
1	1	0	0	12ビット
1	1	0	1	13ビット
1	1	1	0	14ビット
1	1	1	1	15ビット
その他				設定禁止

(3) ボー・レート・ジェネレータ・ソース・クロック選択レジスタ4 (BRGCN4)

BRGCN4は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF2E6H

	7	6	5	4	3	2	1	0
BRGCN4	0	0	0	0	0	BRGN2	BRGN1	BRGN0

BRGN2	BRGN1	BRGN0	ソース・クロック (f _{sck})	n
0	0	0	f _{xx}	0
0	0	1	f _{xx} /2	1
0	1	0	f _{xx} /4	2
0	1	1	f _{xx} /8	3
1	0	0	f _{xx} /16	4
1	0	1	f _{xx} /32	5
1	1	0	f _{xx} /64	6
1	1	1	f _{xx} /128	7

(4) ポー・レート出力クロック選択レジスタ4 (BRGCK4)

BRGCK4は、8ビット・メモリ操作命令で設定します。

RESET入力により7FHになります。

リセット時：7FH R/W アドレス：FFFFFF2E8H

7	6	5	4	3	2	1	0
0	BRGK6	BRGK5	BRGK4	BRGK3	BRGK2	BRGK1	BRGK0

BRGK	ポー・レート出力クロック	k						
6	5	4	3	2	1	0		
0	0	0	0	0	0	0	設定禁止	0
0	0	0	0	0	0	1	f _{sck} /2	1
0	0	0	0	0	1	0	f _{sck} /4	2
0	0	0	0	0	1	1	f _{sck} /6	3
.
.
.
1	1	1	1	1	1	0	f _{sck} /252	126
1	1	1	1	1	1	1	f _{sck} /254	127

生成するポー・レート用の送受信クロックは、メイン・クロックを分周した信号になります。

・メイン・クロックによるポー・レート用の送受信クロックの生成

メイン・クロックを分周して送受信クロックを生成します。メイン・クロックから生成するポー・レートは次の式によって求められます。

< 1 k 127の場合 >

$$[\text{ポー・レート}] = \frac{f_{xx}}{2^n \times k \times 2} \text{ [Hz]}$$

f_{xx} : メイン・クロック発振周波数

n : BRGN2-BRGN0で設定した値 (0 n 7)

k : BRGK6-BRGK0で設定した値 (1 k 127)

注意 可変長シリアルI/O (CSI4) のポー・レート用送受信クロックは、CPUの動作クロック以上の転送速度で使用しないでください。CPUの動作クロック以上の転送速度で使用した場合、正常なデータが転送できません。

10.6.3 動作

CSi4には、次の2種類の動作モードがあります。

- ・動作停止モード
- ・3線式可変長シリアルI/Oモード

(1) 動作停止モード

動作停止モードではシリアル転送を行いませんので、消費電力を低減できます。

また、動作停止モードでは、SI4, SO4, SCK4端子を通常の入出力ポートとしても使用できます。

(a) レジスタの設定

動作停止モードの設定は、可変長シリアル制御レジスタ4 (CSIM4) のCSIE4ビットで行います。

CSIE4 = 0 (SIO4動作停止状態) のとき、SI4, SO4, SCK4と接続した端子はポート機能として使用できます。

図10 - 57 CSIM4の設定 (動作停止モード)

リセット時 : 00H R/W アドレス : FFFFF2E2H								
	7	6	5	4	3	2	1	0
CSIM4	CSIE4	0	0	0	0	MODE4	0	SCL4
	CSIE4	SIO4の動作許可 / 禁止の指定						
		シフト・レジスタ動作	シリアル・カウンタ	ポート				
	0	動作禁止	クリア	ポート機能				

(2) 3線式可変長シリアルI/Oモード

3線式可変長シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するとき有効です。

シリアル・クロック (SCK4)，シリアル出力 (SO4)，シリアル入力 (SI4) の3本のラインで通信を行います。

(a) レジスタの設定

3線式可変長シリアルI/Oモードの設定は、可変長シリアル制御レジスタ4 (CSIM4) で行います。

図10 - 58 CSIM4の設定 (3線式可変長シリアルI/Oモード)

リセット時 : 00H R/W アドレス : FFFFF2E2H								
	7	6	5	4	3	2	1	0
CSIM4	CSIE4	0	0	0	0	MODE4	0	SCL4
CSIE4	SIO4の動作許可 / 禁止の指定							
	シフト・レジスタ動作		シリアル・カウンタ		ポート			
1	動作許可		カウント動作許可		シリアル機能 + ポート機能			
MODE4	転送動作モード・フラグ							
	動作モード		転送起動トリガ		SO4出力			
0	送信 / 送受信モード		SIO4ライト		通常出力			
1	受信専用モード		SIO4リード		ポート機能			
SCL4	シリアル・クロックの選択							
0	外部クロック入力 (SCK4)							
1	BRG (ポー・レート・ジェネレータ)							

可変長シリアル設定レジスタ4 (CSIB4) のビット3-0 (BSEL3-BSEL0) で、可変長レジスタのビット長を設定します。また、ビット4 (DIR) が1のときMSB先頭、0のときLSB先頭で転送を行います。

図10 - 59 CSIB4の設定 (3線式可変長シリアル/I/Oモード)

リセット時：00H R/W アドレス：FFFFFFE4H

	7	⑥	⑤	④	3	2	1	0
CSIB4	0	CMODE	DMODE	DIR	BSEL3	BSEL2	BSEL1	BSEL0

CMODE	DMODE	SCK4の アクティブ・レベル	SI4の 取り込みタイミング	SO4の 出力タイミング
0	0	ロウ・レベル	SCK4の立ち上がりエッジ	SCK4の立ち下がりエッジ
0	1	ロウ・レベル	SCK4の立ち下がりエッジ	SCK4の立ち上がりエッジ
1	0	ハイ・レベル	SCK4の立ち下がりエッジ	SCK4の立ち上がりエッジ
1	1	ハイ・レベル	SCK4の立ち上がりエッジ	SCK4の立ち下がりエッジ

DIR	シリアル転送方向
0	LSB先頭
1	MSB先頭

BSEL3	BSEL2	BSEL1	BSEL0	シリアル・レジスタのビット長
0	0	0	0	16ビット
1	0	0	0	8ビット
1	0	0	1	9ビット
1	0	1	0	10ビット
1	0	1	1	11ビット
1	1	0	0	12ビット
1	1	0	1	13ビット
1	1	1	0	14ビット
1	1	1	1	15ビット
その他				設定禁止

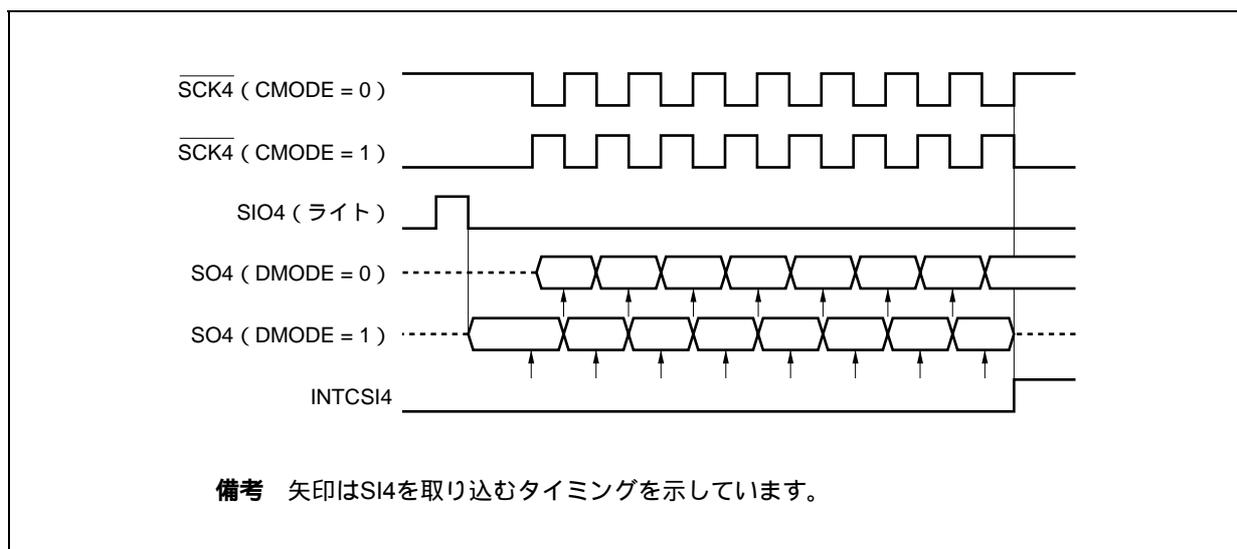
(b) 通信動作

3線式可変長シリアルI/Oモードは、可変長シリアル設定レジスタ4 (CSIB4) のビット3-0 (BSEL3-BSEL0) で設定した8~16ビットの単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

全ビットの転送が終了すると、SIO4の動作は自動的に停止して、割り込み要求フラグ (INTCSI4) がセットされます。

また、可変長シリアル設定レジスタ4 (CSIB4) のビット6, 5 (CMODE, DMODE) でシリアル・クロック (SCK4) の属性とシリアル・データ (SI4, SO4) の位相を変更できます。

図10 - 60 3線式可変長シリアルI/Oモードのタイミング



シリアル・クロック (SCK4) はCMODE = 0のとき、動作停止中はハイ・レベルで停止して、転送動作中はロウ・レベルを出力します。また、CMODE = 1のとき、動作停止中はロウ・レベルで停止して、転送動作中はハイ・レベルを出力します。SO4出力タイミングおよびSI4の取り込むタイミングも、DMODEの値によって半クロック位相をずらすことができます。

ただし、割り込み信号 (INTCSI4) は、どの場合でもシリアル・クロック (SCK4) の最終エッジで発生します。

(c) 転送スタート

シリアル転送は次の2つの条件を満たしたとき、転送が可能になります。

- ・ SIO4の動作制御ビット (CSIE4) = 1
- ・ シリアル転送後、内部のシリアル・クロックが停止した状態

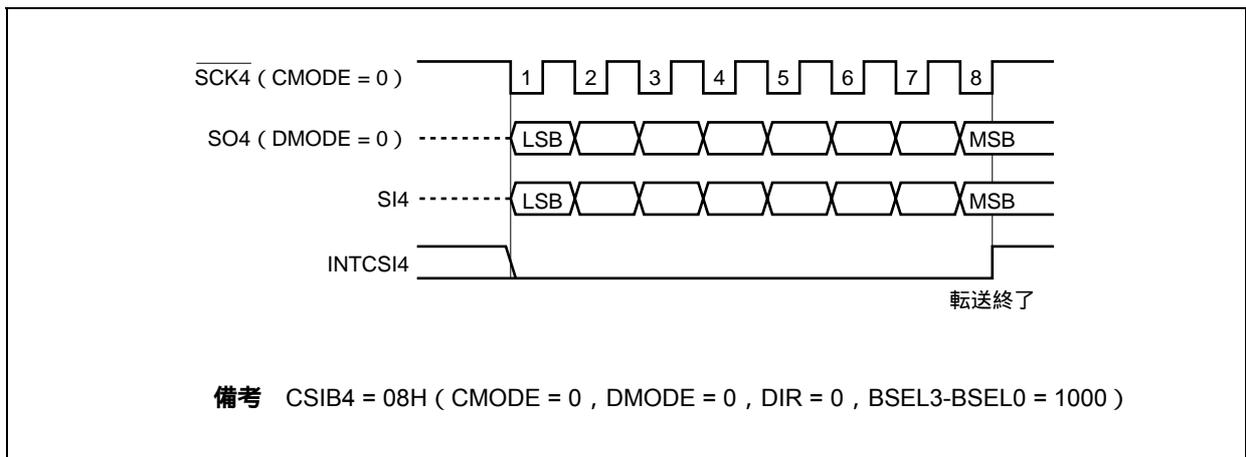
このとき、次の操作を行うと転送が開始されます。

- ・ 送信 / 送受信モード (MODE4 = 0)
SIO4ライトで転送スタート
- ・ 受信専用モード (MODE4 = 1)
SIO4のリードで転送スタート

注意 SIO4にアクセスしたあと、CSIE4 = 1にしても転送はスタートしません。

最終ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (INTCSI4) をセットします。

図10 - 61 3線式可変長シリアルI/Oモードのタイミング (CSIB4 = 08Hの場合)



第11章 A/Dコンバータ

11.1 機能

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、10ビット分解能、12チャンネル (ANI0-ANI11) の構成になっています。

V850/SB1, V850/SB2では、低速変換および低消費電力モードをサポートしています。

(1) ハードウェア・スタート

トリガ入力 (ADTRG) により変換開始 (立ち上がり, 立ち下がり, 立ち上がりと立ち下がりの両エッジの指定が可能)。

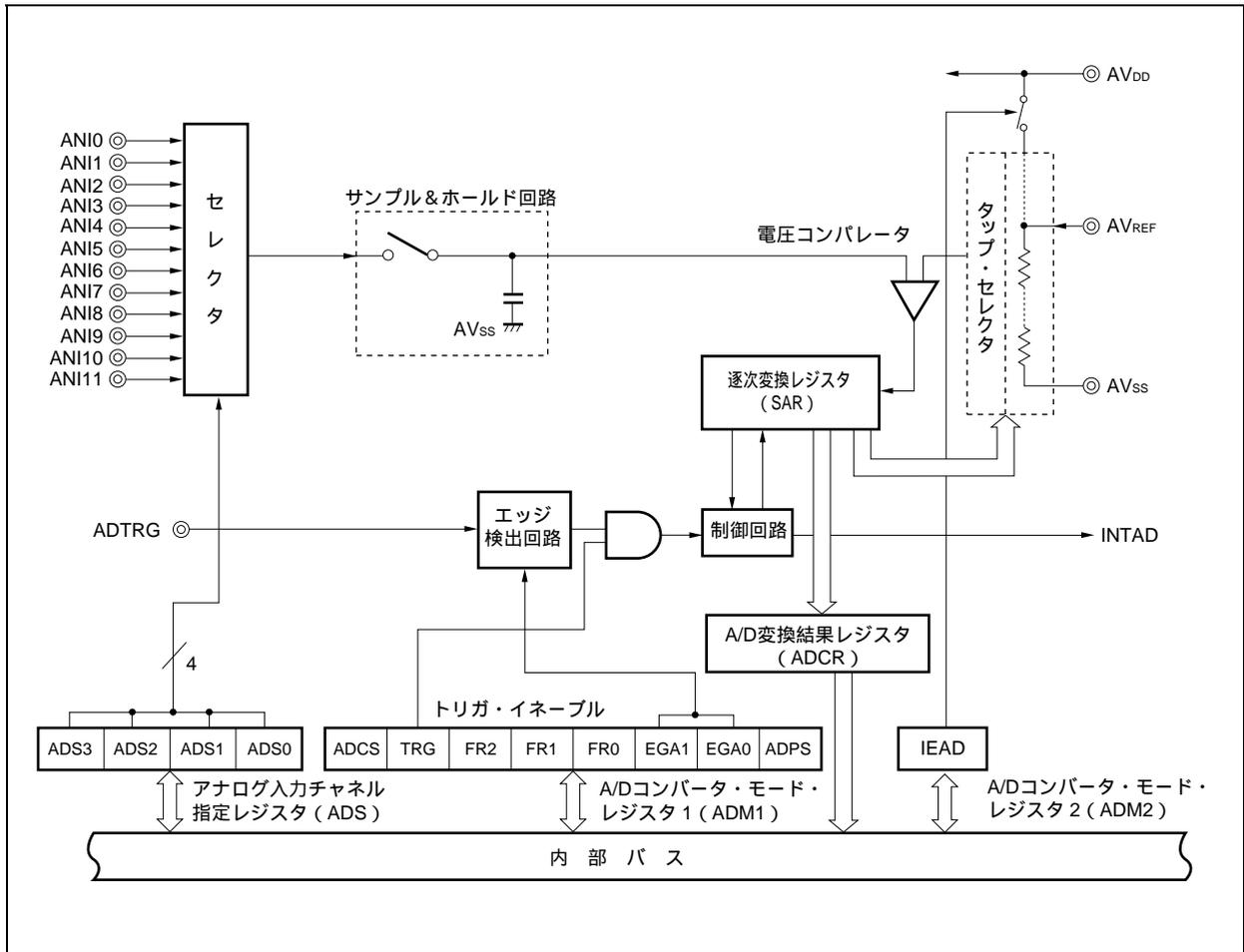
(2) ソフトウェア・スタート

A/Dコンバータ・モード・レジスタ1 (ADM1) を設定することにより変換開始。

アナログ入力をANI0-ANI11から1チャンネル選択し、A/D変換を行います。A/D変換の動作は、ハードウェア・スタート時ではA/D変換動作終了後停止し、割り込み要求 (INTAD) を発生します。ソフトウェア・スタート時では、A/D変換動作を繰り返し行います。A/D変換を1回終了するたびに、INTADが発生します。

次にブロック図を示します。

図11-1 A/Dコンバータのブロック図



11.2 構成

A/Dコンバータは、次のハードウェアで構成しています。

表11-1 A/Dコンバータの構成

項目	構成
アナログ入力	12チャンネル (ANI0-ANI11)
レジスタ	逐次変換レジスタ (SAR) A/D変換結果レジスタ (ADCR) A/D変換結果レジスタH (ADCRH) : 上位8ビットだけ読み出し可能
制御レジスタ	A/Dコンバータ・モード・レジスタ1 (ADM1) A/Dコンバータ・モード・レジスタ2 (ADM2) アナログ入力チャンネル指定レジスタ (ADS)

(1) 逐次変換レジスタ (SAR)

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ (比較電圧) の値を比較し、その結果を最上位ビット (MSB) から保持するレジスタです。

最下位ビット (LSB) まで保持すると (A/D変換終了)、SARの内容はA/D変換結果レジスタに転送されます。

(2) A/D変換結果レジスタ (ADCR), A/D変換結果レジスタH (ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します（下位6ビットは0に固定）。

ADCRは、16ビット・メモリ操作命令で読み出します。 $\overline{\text{RESET}}$ 入力により、0000Hになります。

また、A/D変換結果の上位8ビットだけを使用する場合、ADCRHは8ビット・メモリ操作命令で読み出します。 $\overline{\text{RESET}}$ 入力により、00Hになります。

★ **注意** A/Dコンバータ・モード・レジスタ1 (ADM1), アナログ入力チャンネル指定レジスタ (ADS) に対して書き込み動作を行ったとき、ADCRの内容は不定になることがあります。そのため、A/D変換結果を読み出す場合は、A/D変換動作中 (ADCS = 1) に行ってください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(3) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路から順次送られてくるアナログ入力信号を1つ1つサンプリングし、電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(4) 電圧コンパレータ

電圧コンパレータは、アナログ入力と直列抵抗ストリングの出力電圧を比較します。

(5) 直列抵抗ストリング

直列抵抗ストリングは AV_{REF} - AV_{SS} 間に接続されており、アナログ入力と比較する電圧を発生します。

(6) ANI0-ANI11端子

A/Dコンバータへの12チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力チャンネル指定レジスタ (ADS) でアナログ入力として選択した端子以外は、入力ポートとして使用できます。

注意 ANI0-ANI11入力電圧は規格の範囲内でご使用ください。特に AV_{REF} 以上、 AV_{SS} 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

(7) AV_{REF} 端子

A/Dコンバータの基準電圧を入力する端子です。

AV_{REF} , AV_{SS} 間にかかる電圧に基づいて、ANI0-ANI11に入力される信号をデジタル信号に変換します。

(8) AV_{SS} 端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常に V_{SS} 端子と同電位で使用してください。

(9) AV_{DD} 端子

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常に V_{DD} 端子と同電位で使用してください。

11.3 制御レジスタ

A/Dコンバータは、次に示すレジスタで制御します。

- ・ A/Dコンバータ・モード・レジスタ1 (ADM1)
- ・ アナログ入力チャネル指定レジスタ (ADS)
- ・ A/Dコンバータ・モード・レジスタ2 (ADM2)

(1) A/Dコンバータ・モード・レジスタ1 (ADM1)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止、外部トリガを設定するレジスタです。

ADM1は、8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

(1/2)

リセット時：00H R/W アドレス：FFFFFF3C0H								
	⑦	⑥	5	4	3	2	1	①
ADM1	ADCS	TRG	FR2	FR1	FR0	EGA1	EGA0	ADPS
	ADCS	A/D変換動作の制御						
	0	変換動作停止						
	1	変換動作許可						
	TRG	ソフトウェア・スタート/ハードウェア・スタートの選択						
	0	ソフトウェア・スタート						
	1	ハードウェア・スタート						

ADPS	FR2	FR1	FR0	変換時間の選択		
				変換時間 ^{注1} + 安定時間 ^{注2}	f _{xx}	
					20 MHz ^{注3}	12.58 MHz
0	0	0	0	168/f _{xx}	8.4 μs	設定禁止
0	0	0	1	120/f _{xx}	6.0 μs	9.5 μs
0	0	1	0	84/f _{xx}	設定禁止	6.7 μs
0	0	1	1	60/f _{xx}	設定禁止	設定禁止
0	1	0	0	48/f _{xx}	設定禁止	設定禁止
0	1	0	1	36/f _{xx}	設定禁止	設定禁止
0	1	1	0	設定禁止	設定禁止	設定禁止
0	1	1	1	12/f _{xx}	設定禁止	設定禁止
1	0	0	0	168/f _{xx} + 64/f _{xx}	8.4 + 4.2 μs	設定禁止
1	0	0	1	120/f _{xx} + 60/f _{xx}	6.0 + 3.0 μs	9.5 + 4.8 μs
1	0	1	0	84/f _{xx} + 42/f _{xx}	設定禁止	6.7 + 3.3 μs
1	0	1	1	60/f _{xx} + 30/f _{xx}	設定禁止	設定禁止
1	1	0	0	48/f _{xx} + 24/f _{xx}	設定禁止	設定禁止
1	1	0	1	36/f _{xx} + 18/f _{xx}	設定禁止	設定禁止
1	1	1	0	設定禁止	設定禁止	設定禁止
1	1	1	1	12/f _{xx} + 6/f _{xx}	設定禁止	設定禁止

EGA1	EGA0	外部トリガ信号, エッジ指定
0	0	エッジ検出なし
0	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
1	1	立ち下がり, 立ち上がりの両エッジ検出

ADPS	A/D変換停止時 (ADCS = 0) のコンパレータ制御
0	コンパレータ・オン
1	コンパレータ・オフ

注1. 変換時間 (実際にA/D変換にかかる時間)。

必ず, 5 μs 変換時間 10 μsになるように設定してください。

2. 安定時間 (A/D変換器のセットアップ時間)。

1回のA/D変換で「変換時間 + 安定時間」の時間がかかります。ADPS = 0のときは, 安定時間はなくなります。

3. V850/SB1のみ

注意1. 動作周波数が2.4~3.6 MHzのとき, A/Dコンバータは使用できません。

2. ADCS = 0のときはADPS = 1として電流消費をカットしてください。

(2) アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

ADSは、8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

リセット時：00H R/W アドレス：FFFFFF3C2H

	7	6	5	4	3	2	1	0
ADS	0	0	0	0	ADS3	ADS2	ADS1	ADS0

ADS3	ADS2	ADS1	ADS0	アナログ入力チャネルの指定
0	0	0	0	ANI0
0	0	0	1	ANI1
0	0	1	0	ANI2
0	0	1	1	ANI3
0	1	0	0	ANI4
0	1	0	1	ANI5
0	1	1	0	ANI6
0	1	1	1	ANI7
1	0	0	0	ANI8
1	0	0	1	ANI9
1	0	1	0	ANI10
1	0	1	1	ANI11
その他				設定禁止

★

注意 ビット7-4には必ず“0”を設定してください。

(3) A/Dコンバータ・モード・レジスタ2 (ADM2)

AV_{DD}とAV_{REF}の間の切断 / 接続を指定するレジスタです。

ADM2は、8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

リセット時：00H R/W アドレス：FFFFFF3C8H

	7	6	5	4	3	2	1	①
ADM2	0	0	0	0	0	0	0	IEAD

IEAD	A/D電流カット制御
0	AV _{DD} , AV _{REF} 間を切断
1	AV _{DD} , AV _{REF} 間を接続

11.4 動作

11.4.1 基本動作

A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ (ADS) で1チャンネル選択してください。

選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット9をセットし、タップ・セレクトは直列抵抗ストリングの電圧タップを $(1/2) AV_{REF}$ にします。

直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力 $(1/2) AV_{REF}$ よりも大きければ、SARのMSBをセットしたままです。また、 $(1/2) AV_{REF}$ よりも小さければMSBをリセットします。

次にSARのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。

- ・ビット9 = 1 : $(3/4) AV_{REF}$
- ・ビット9 = 0 : $(1/4) AV_{REF}$

この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット8を次のように操作します。

- アナログ入力電圧 電圧タップ : ビット8 = 1
- アナログ入力電圧 電圧タップ : ビット8 = 0

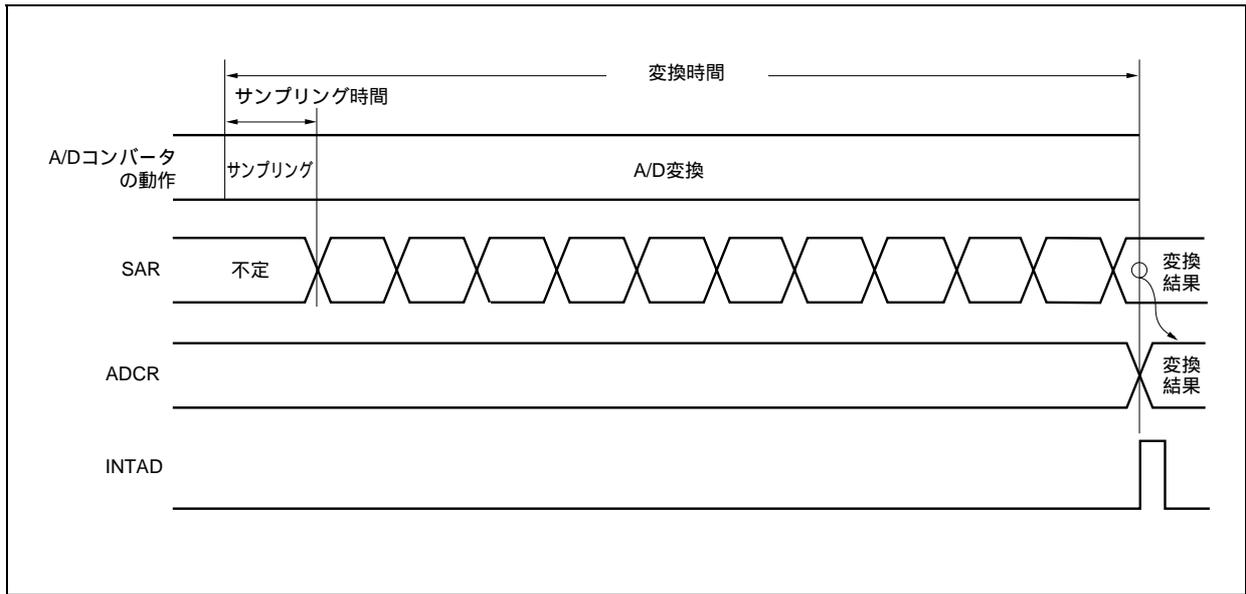
このような比較をSARのビット0まで続けます。

10ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ (ADCR) に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求 (INTAD) を発生できます。

注意 ADCS = 0 1に設定した直後の最初のA/D変換値は定格を満たさないことがあります。

図11-2 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ1 (ADM1) のビット7 (ADCS) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、ADM1、アナログ入力チャネル指定レジスタ (ADS) に対する書き込み操作を行うと変換動作は初期化され、ADCSがセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ (ADCR) は、 $\overline{\text{RESET}}$ により0000Hとなります。

11.4.2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI11) に入力されたアナログ入力電圧とA/D変換結果 (A/D変換結果レジスタ (ADCR)) には次式に示す関係があります。

$$ADCR = \text{INT} \left(\frac{V_{IN}}{AV_{REF}} \times 1024 + 0.5 \right)$$

または、

$$\left(ADCR - 0.5 \right) \times \frac{AV_{REF}}{1024} < V_{IN} < \left(ADCR + 0.5 \right) \times \frac{AV_{REF}}{1024}$$

INT () : () 内の値の整数部を返す関数

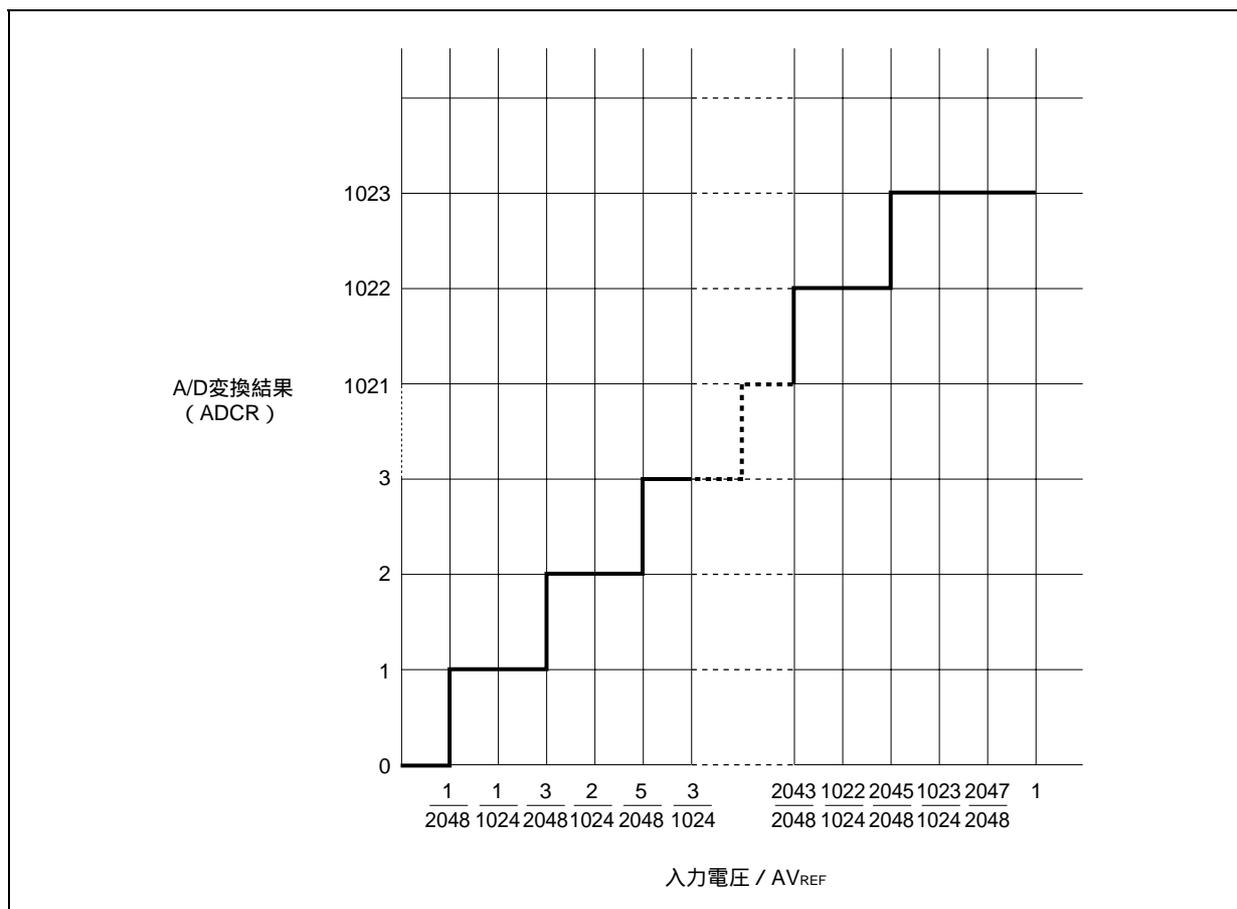
V_{IN} : アナログ入力電圧

AV_{REF} : AV_{REF}端子電圧

ADCR : A/D変換結果レジスタ (ADCR) の値

次にアナログ入力電圧とA/D変換結果の関係を示します。

図11 - 3 アナログ入力電圧とA/D変換結果の関係



11.4.3 A/Dコンバータの動作モード

アナログ入力チャンネル指定レジスタ (ADS) によってANI0-ANI11からアナログ入力を1チャンネル選択し, A/D変換を行います。A/D変換動作の起動方法には, 次の2種類があります。

ハードウェア・スタート: トリガ入力 (ADTRG) により変換開始 (立ち上がり, 立ち下がり, 立ち上がりと立ち下がりの両エッジ指定可能)

ソフトウェア・スタート: A/Dコンバータ・モード・レジスタ1 (ADM1) を設定することにより開始

A/D変換結果はA/D変換結果レジスタ (ADCR) に格納され, 同時に割り込み要求信号 (INTAD) が発生します。

(1) ハードウェア・スタートによるA/D変換動作

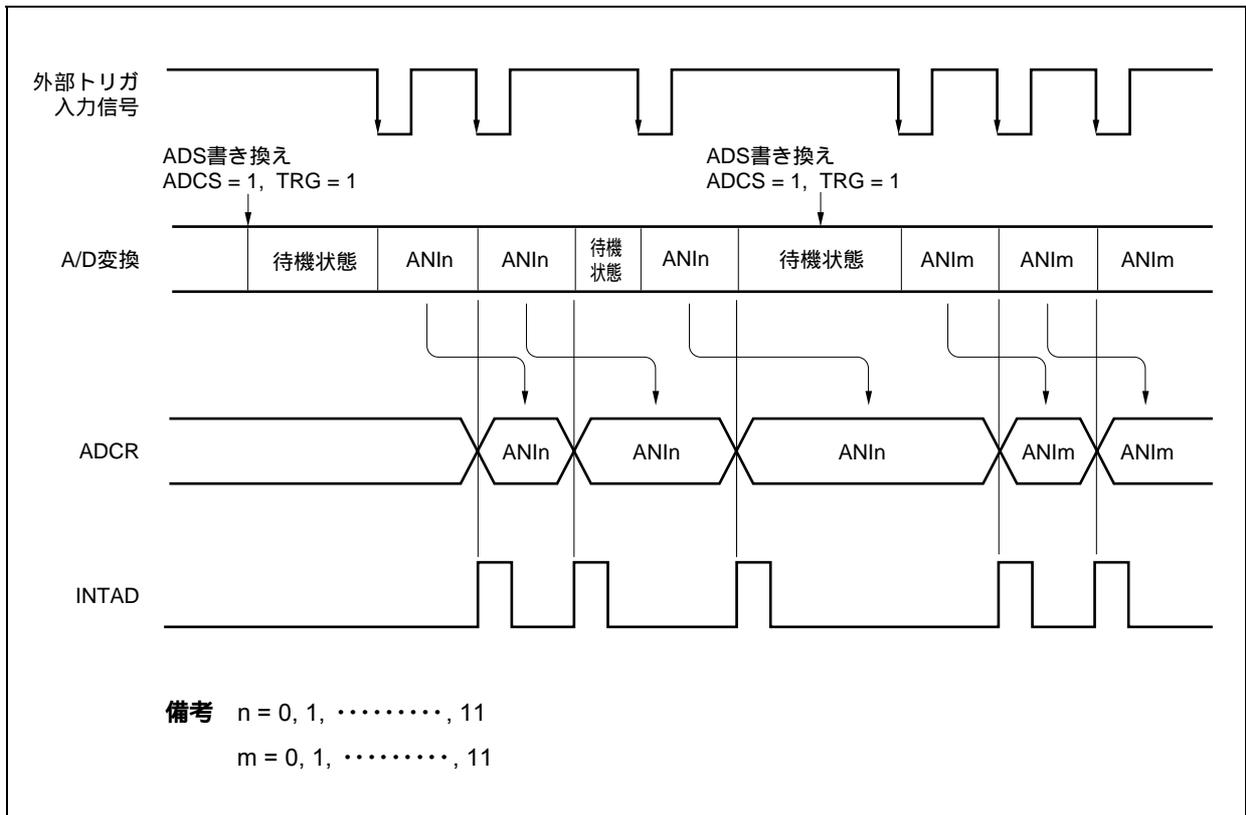
A/Dコンバータ・モード・レジスタ1 (ADM1) のビット6 (TRG) に1, ビット7 (ADCS) に1を設定することによってA/D変換動作の待機状態になります。外部トリガ信号が入力されると, アナログ入力チャネル指定レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると, 変換結果をA/D変換結果レジスタ (ADCR) に格納し, 割り込み要求信号 (INTAD) が発生します。A/D変換動作が一度起動し, 1回のA/D変換が終了すると, 新たに外部トリガ信号が入力されないかぎり, A/D変換動作は開始しません。

A/D変換動作中に, 再度ADCSが1であるデータをADM1に書き込むと, そのとき行っていたA/D変換動作を中断し, 新たに外部トリガ信号が入力されるまで待機します。外部トリガ入力信号が再度入力されると, A/D変換動作を最初から行います。

また, A/D変換動作中に, ADCSが0であるデータをADM1に書き込むと, ただちにA/D変換動作を停止します。

図11-4 ハードウェア・スタートによるA/D変換動作 (立ち下がりエッジ指定時)



(2) ソフトウェア・スタートによるA/D変換動作

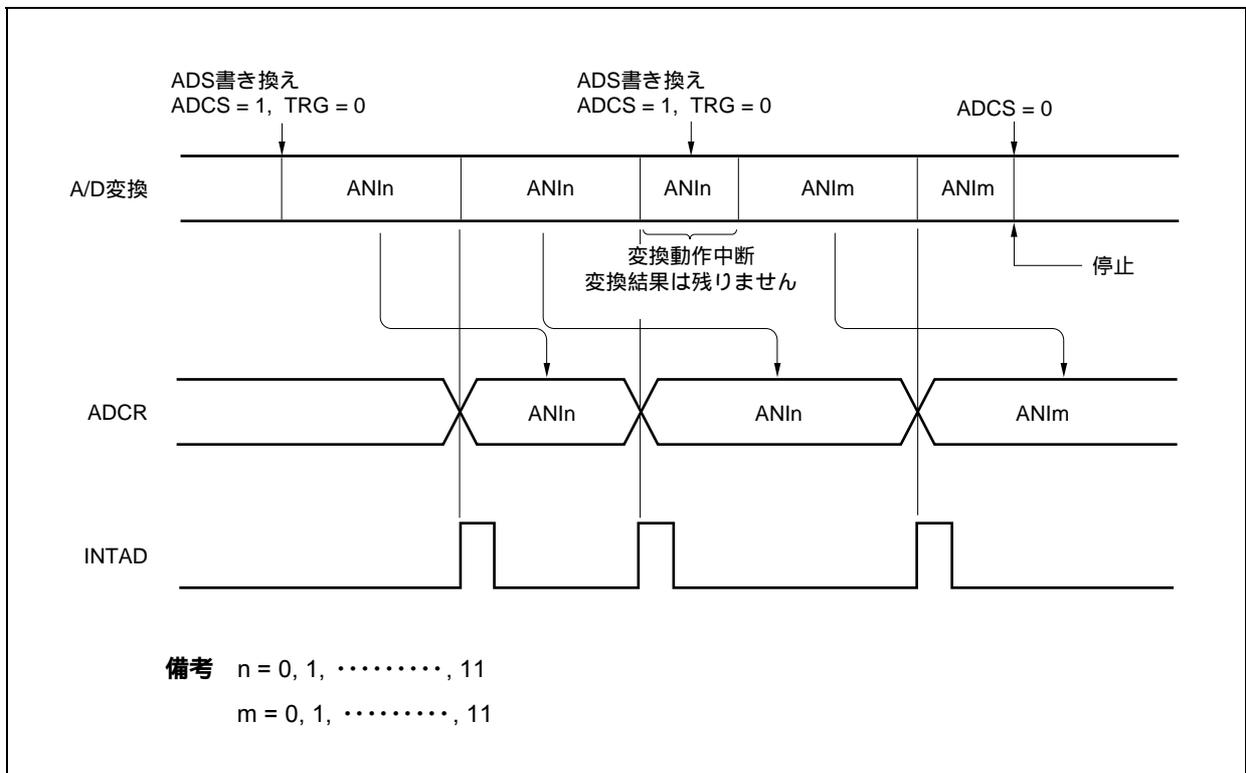
A/Dコンバータ・モード・レジスタ1 (ADM1) のビット6 (TRG) に0, ビット7 (ADCS) に1を設定することにより, アナログ入力チャネル指定レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると, 変換結果をA/D変換結果レジスタ (ADCR) に格納し, 割り込み要求信号 (INTAD) が発生します。A/D変換動作が一度起動し, 1回のA/D変換が終了すると, ただちに次のA/D変換動作を開始します。新たなデータをADSに書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に, ADSを書き換えると, そのとき行っていたA/D変換動作を中断し, 新たに選択したアナログ入力チャネルのA/D変換動作を開始します。

また, A/D変換動作中にADCSが0であるデータをADM1に書き込むと, ただちにA/D変換動作を停止します。

図11 - 5 ソフトウェア・スタートによるA/D変換動作



11.5 低消費電力モード

V850/SB1, V850/SB2にはAV_{DD}とAV_{REF}の間を切断/接続する機能があります。A/Dコンバータ・モード・レジスタ2 (ADM2) を設定することにより切り替えができます。

AV_{DD} AV_{REF}かつ精度を要求しないシステムにおいて、AV_{REF}端子をオープンにして、通常の状態ではAV_{DD}-AV_{REF}間を接続して、スタンバイ・モードでは切断することにより消費電流を小さくすることができます。基準電圧は、AV_{DD}からスイッチを介して供給するために変換精度は低下します。

A/Dコンバータを使用しない場合は、電流消費をカットするためにA/D変換停止時 (ADCS = 0) の電流削減機能である、タップ・セレクタと電圧供給部 (AV_{DD}) を切断してください。

- ・ A/Dコンバータ・モード・レジスタ1 (ADM1) のADPSビットを“1”に設定
- ・ A/Dコンバータ・モード・レジスタ2 (ADM2) のIEADビットを“0”に設定

なお、ADPSビットを再度“0” (コンパレータ・オン) にする場合、A/Dコンバータを動作開始させるまでに安定時間 (Max: 5 μ s) が必要になります。したがってソフトウェアで5 μ s以上のウエイトを確保してください。

11.6 注意事項

(1) スタンバイ・モード時の消費電流について

A/Dコンバータは、IDLE/STOPモード時には動作が停止します (HALTモード時は動作可能)。このとき変換動作停止 (A/Dコンバータ・モード・レジスタ1 (ADM1) のビット7 (ADCS) = 0) にすることにより、消費電流を低減できます。

STOP, IDLEモード時には、ユーザ回路でAV_{REF}の電圧をAV_{SS}と同電位 (0V) にしてください。

(2) ANI0-ANI11入力範囲について

ANI0-ANI11入力電圧は規格の範囲内でご使用ください。特にAV_{REF}以上、AV_{SS}以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) 競合動作について

変換終了時のA/D変換結果レジスタ (ADCR) ライトと命令によるADCRリードとの競合

ADCRリードが優先されます。リードしたあと、新しい変換結果がADCRにライトされます。

変換終了時のADCRライトと外部トリガ信号入力の競合

A/D変換中の外部トリガ信号は受け付けません。したがって、ADCRライト中の外部トリガ信号も受け付けません。

変換終了時のADCRライトとA/Dコンバータ・モード・レジスタ1 (ADM1) ライト、またはアナログ入力チャンネル指定レジスタ (ADS) ライトの競合

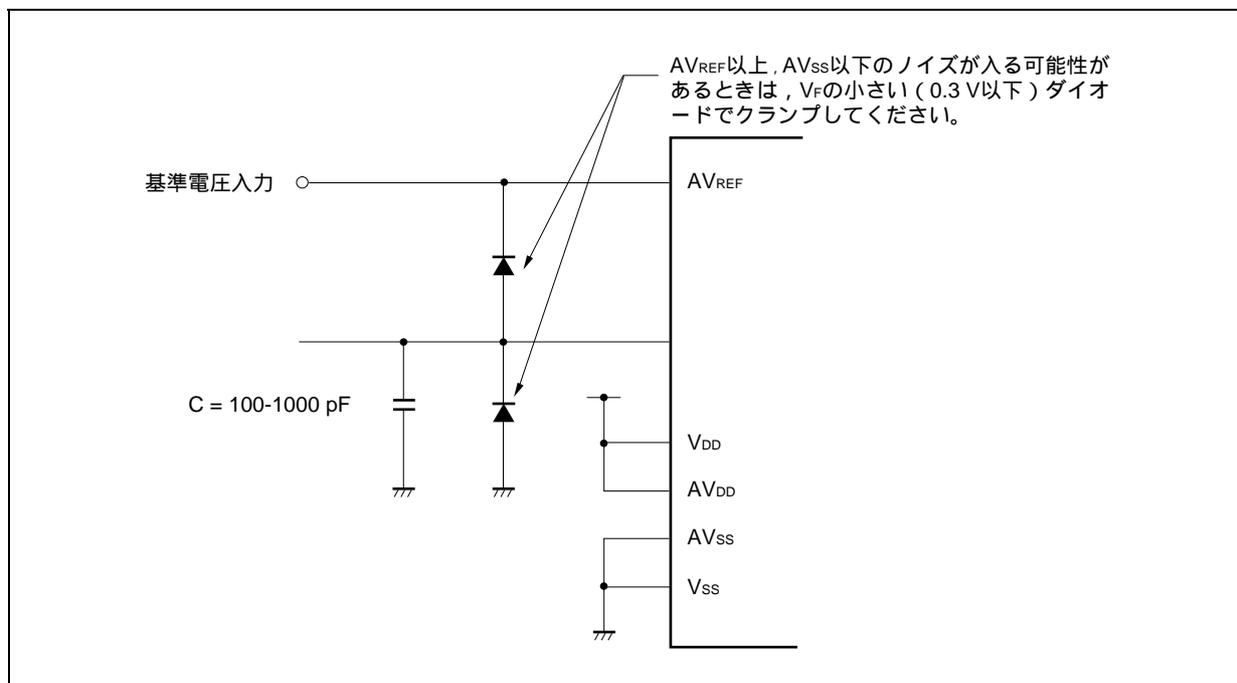
A/D変換終了後のADCRライト直後に、ADM1またはADSへライトした場合、ADCRレジスタに不定値が格納されますので変換結果は保証されません。

★

(4) ノイズ対策について

10ビット分解能を保つためには、 AV_{REF} 、 $ANI0$ - $ANI11$ 端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図11-9のようにコンデンサを外付けすることを推奨します。

図11-6 アナログ入力端子の処理



(5) ANI0-ANI11

アナログ入力(ANI0-ANI11)端子はポート端子と兼用になっています。

ANI0-ANI11のいずれかを選択してA/D変換をする場合、変換中にポートの入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(6) AV_{REF}端子の入力インピーダンスについて

AV_{REF}端子とAV_{SS}端子の間には直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスが高い場合、AV_{REF}端子とAV_{SS}端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

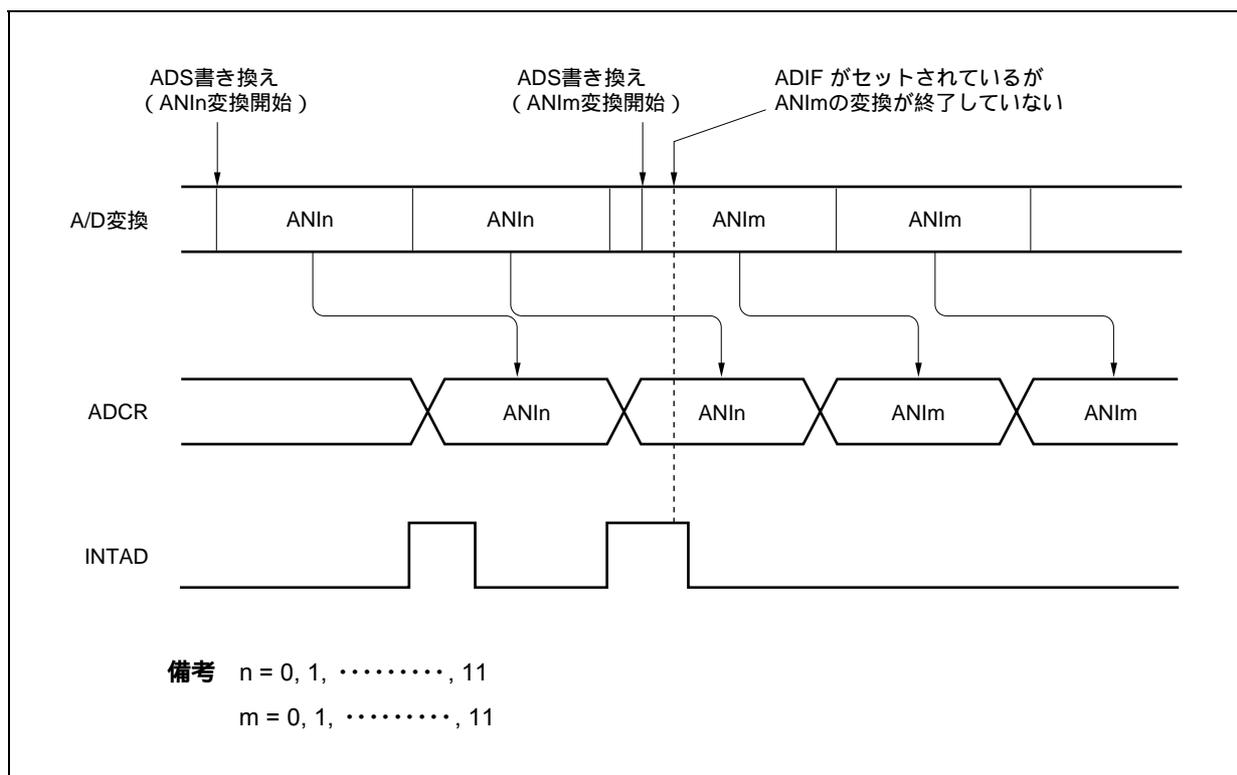
(7) 割り込み要求フラグ (ADIF) について

アナログ入力チャネル指定レジスタ (ADS) を変更しても、割り込み要求フラグ (ADIF) はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があり、ADS書き換え直後にADIFを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされている場合がありますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリアしてください。

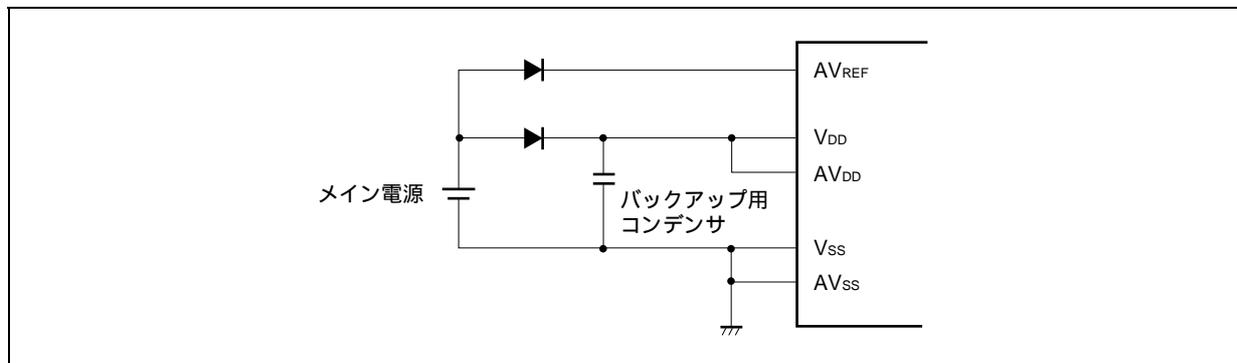
図11-7 A/D変換終了割り込み要求発生タイミング



(8) AV_{DD}端子について

AV_{DD}端子はアナログ回路の電源端子であり，ANI0-ANI11の入力回路にも電源を供給しています。

したがって，バックアップ電源に切り替えるようなアプリケーションにおいても，図11 - 8のように必ずV_{DD}端子と同レベルの電位を印加してください。

図11 - 8 AV_{DD}端子の処理

(9) A/D変換結果レジスタ (ADCR) の読み出しについて

A/Dコンバータ・モード・レジスタ1 (ADM1)，アナログ入力チャネル指定レジスタ (ADS) に対して書き込み動作を行ったとき，ADCRの内容は不定になることがあります。そのため，A/D変換結果を読み

★ 出す場合は，A/D変換動作中 (ADCS = 1) に行ってください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

★ 11.7 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧，つまり，デジタル出力1ビットあたりのアナログ入力電圧の比率を1LSB(Least Significant Bit)といいます。1LSBのフルスケールに対する比率を%FSR(Full Scale Range)で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次の式になります。

$$\begin{aligned} 1\%FSR &= (\text{変換可能なアナログ入力電圧の最大値} - \text{変換可能なアナログ入力電圧の最小値}) / 100 \\ &= (AV_{REF} - 0) / 100 \\ &= AV_{REF} / 100 \end{aligned}$$

1LSBは分解能10ビットのとき，次のようになります。

$$\begin{aligned} 1LSB &= 1/2^{10} = 1/1024 \\ &= 0.098\%FSR \end{aligned}$$

精度は分解能とは関係なく，総合誤差によって決まります。

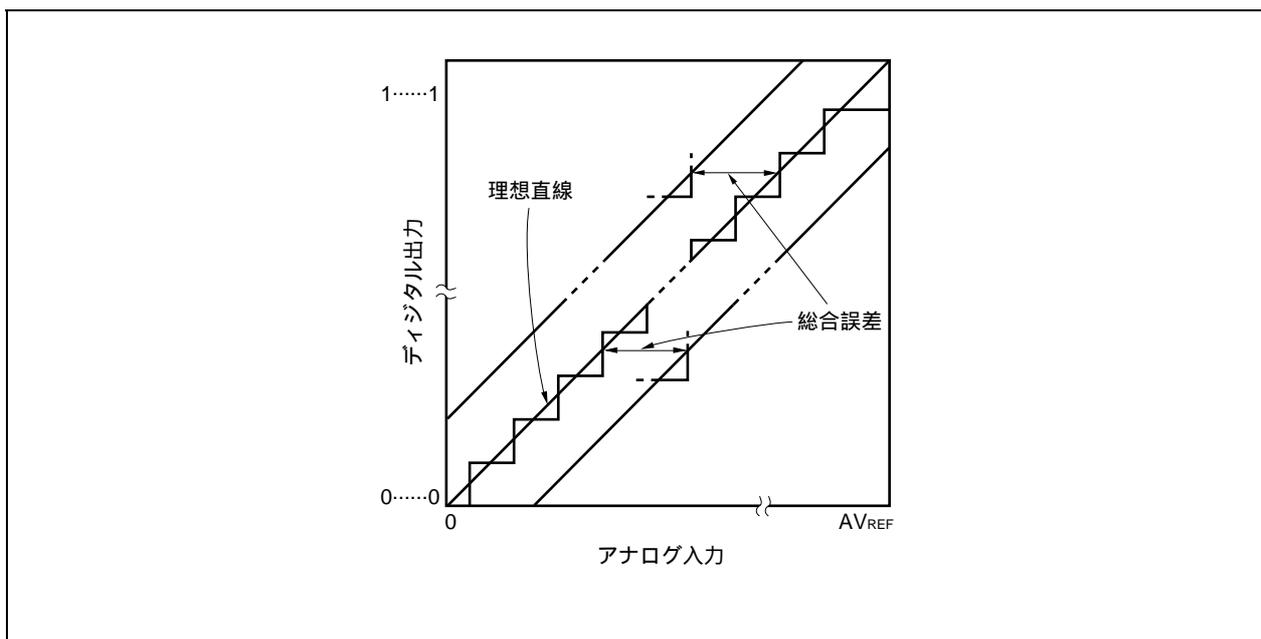
(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差，フルスケール誤差，直線性誤差，およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお，特性表の総合誤差には量子化誤差は含まれていません。

図11-9 総合誤差

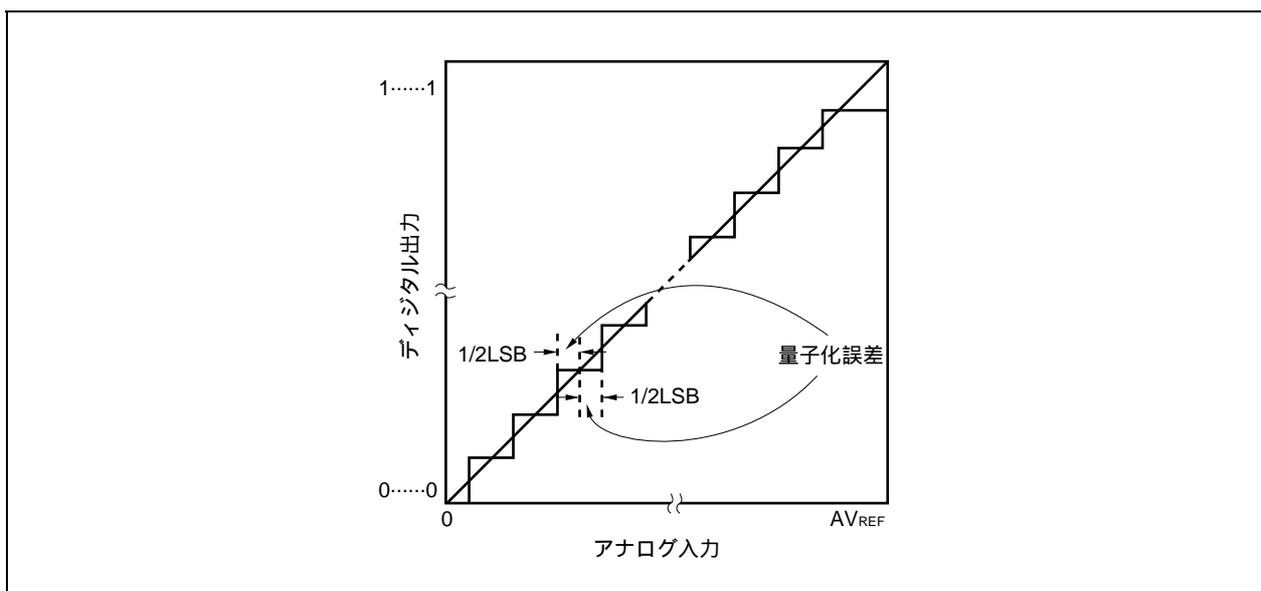


(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2\text{LSB}$ の誤差です。A/Dコンバータでは、 $\pm 1/2\text{LSB}$ の範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

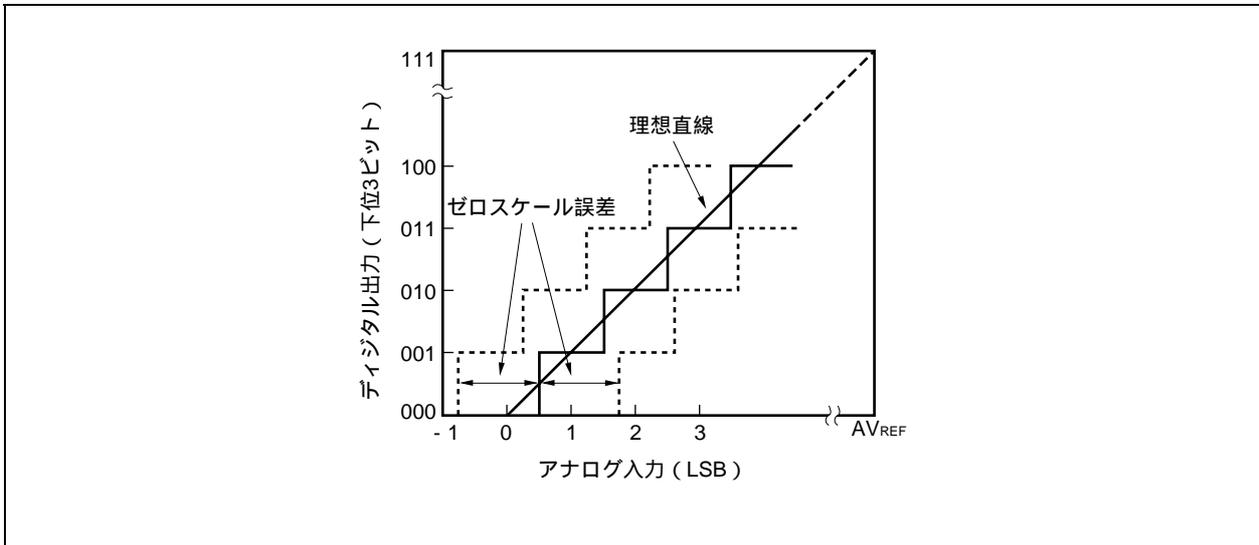
図11-10 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値 (1/2LSB) との差を表します。

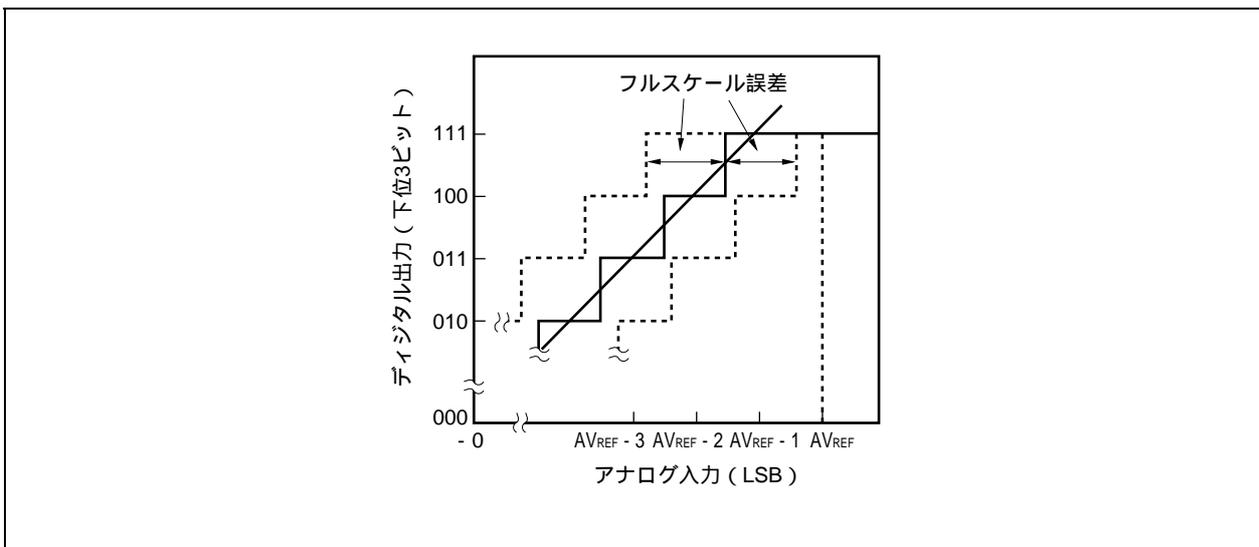
図11 - 11 ゼロスケール誤差



(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値 (フルスケール - 3/2LSB) との差を表します。

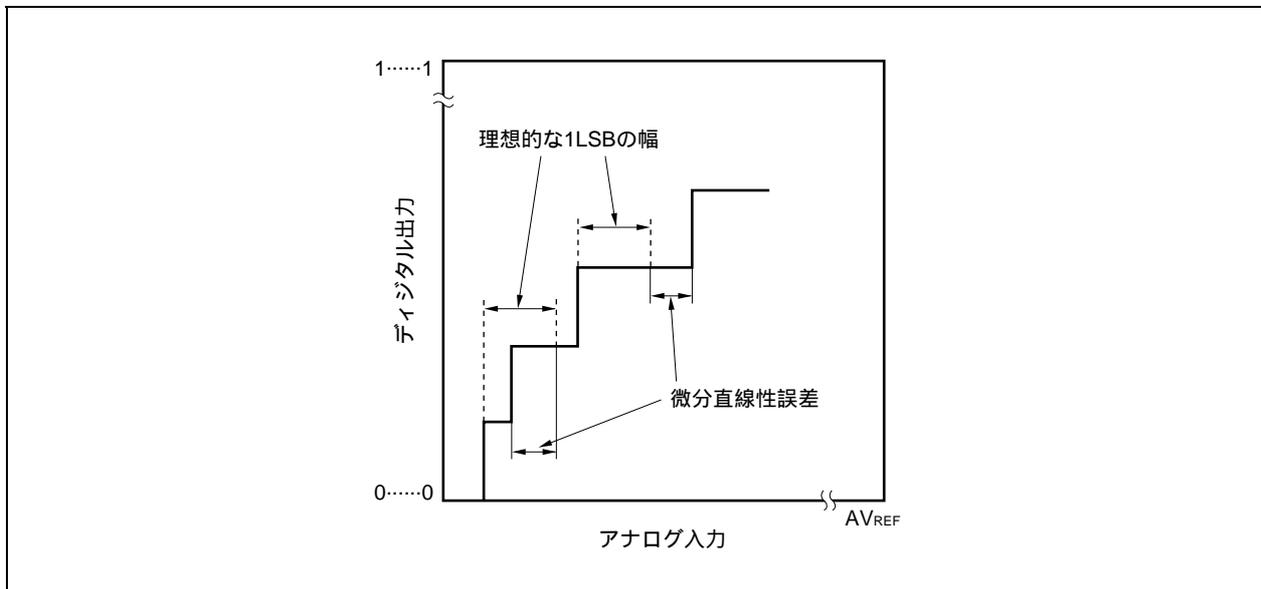
図11 - 12 フルスケール誤差



(6) 微分直線性誤差

理想的にはあるコードを出力する幅は1LSBですが，あるコードを出力する幅の実測値と理想値との差を表します。

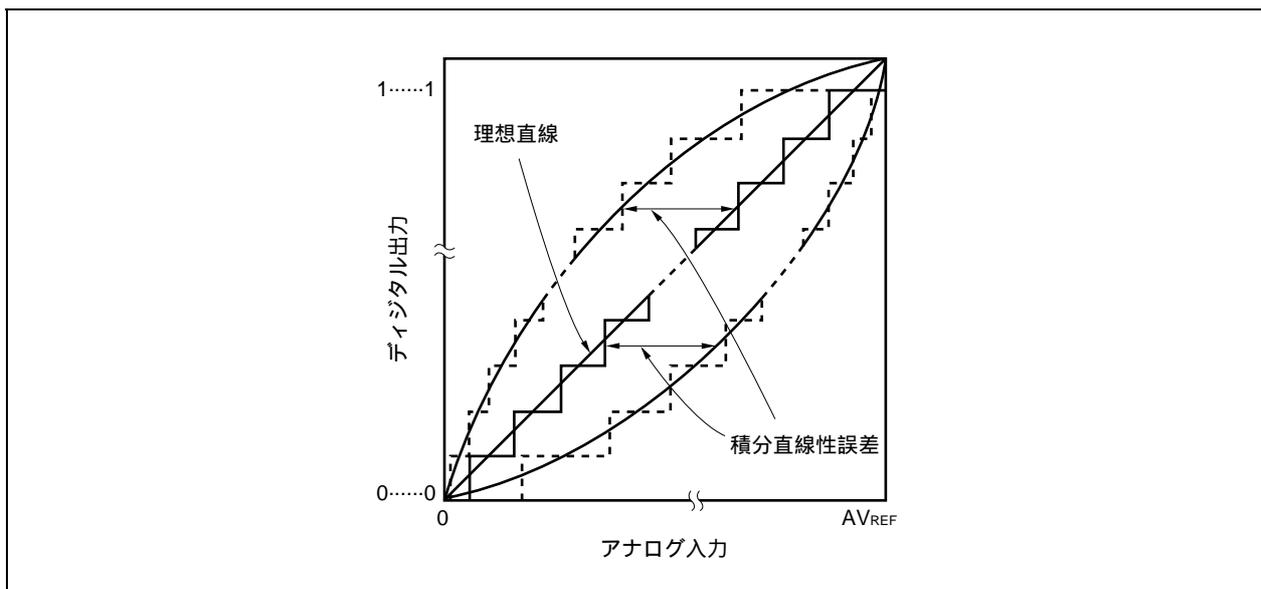
図11 - 13 微分直線性誤差



(7) 積分直線性誤差

変換特性が，理想的な直線関係から外れている程度を指します。ゼロスケール誤差，フルスケール誤差を0としたときの，実測値と理想直線との差の最大値を表します。

図11 - 14 積分直線性誤差



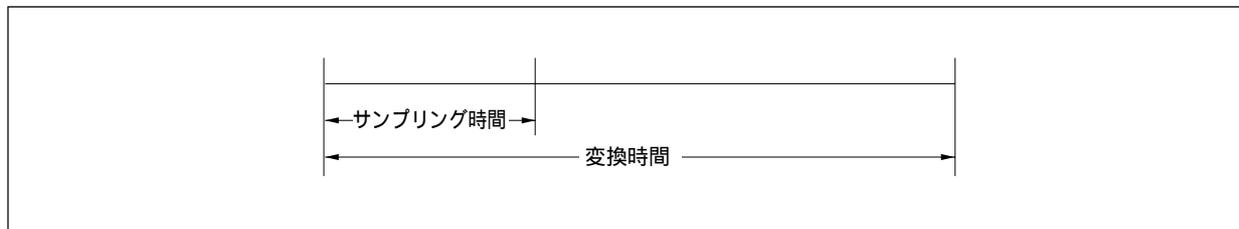
(8) 変換時間

アナログ入力電圧が与えられてから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。

図11 - 15 サンプリング時間

第12章 DMA機能

12.1 機能

DMA (Direct Memory Access) コントローラは、内蔵周辺ハードウェア (シリアル・インタフェース、タイマ、A/Dコンバータ) によるDMA要求に基づいて、内蔵RAMと周辺I/O間でデータ転送を行います。

この製品には6組の独立したDMAチャンネルがあり、8ビット/16ビット単位で転送できます。最大転送回数は256回 (8ビット単位転送時) まで指定できます。指定した転送回数を転送したあと、各チャンネルから独立にDMA転送終了割り込み要求 (INTDMA0-INTDMA5) を出力します。

同時に複数のDMA転送要求が発生した場合、次の優先順位でDMA転送を行います。

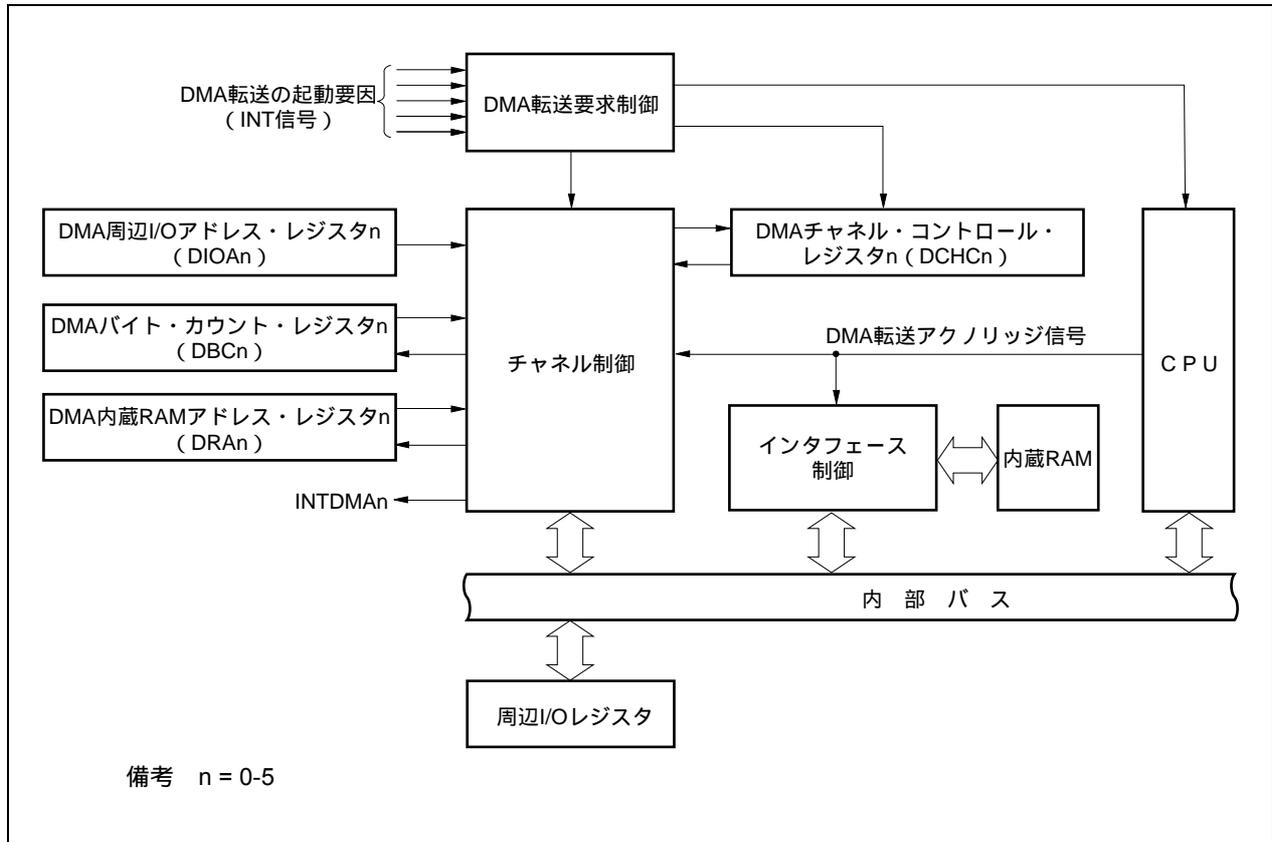
DMA0 > DMA1 > DMA2 > DMA3 > DMA4 > DMA5

12.2 転送終了割り込み要求

指定した転送回数のデータ転送が終了したあと、DMAチャンネル・コントロール・レジスタ (DCHCn) のTCnビットが“1”になると、割り込みコントローラに対して各チャンネルごとにDMA転送終了割り込み要求 (INTDMA0-INTDMA5) が発生します。

★ 12.3 構成

図12-1 DMAのブロック図



(1) DMA転送要求制御部

所望のDMA転送の起動要因 (INT信号) が入力されると、CPUに対してDMA転送要求信号を発生します。CPUはDMA転送要求信号を受け付けると、現在のCPU処理終了後に、チャンネル制御部、インタフェース制御部に対してDMA転送アクリッジ信号を発生します。

INT信号は12.4 (5) DMAチャンネル・コントロール・レジスタ n (DCHC n) のTTY $Pn1$, TTY $Pn0$ ビットを参照してください。

(2) チャンネル制御部

転送対象となるDMA転送チャンネル n (DMA0-DMA5) を判別し、チャンネル n の各周辺I/Oレジスタで設定した転送対象となる内蔵ROMや周辺I/Oアドレスやアクセス・サイクル (内蔵RAM: 1クロック, 周辺I/Oレジスタ: 3クロック), 転送方向, 転送回数を制御します。また同時に複数のDMA n 転送要求 (INT信号) が発生した場合の優先順位も制御します。

12.4 制御レジスタ

(1) DMA周辺I/Oアドレス・レジスタ0-5 (DIOA0-DIOA5)

DMAチャンネルnの周辺I/Oレジスタのアドレスを設定します。

16ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：DIOA0 FFFFF180H DIOA3 FFFFF1B0H
 DIOA1 FFFFF190H DIOA4 FFFFF1C0H
 DIOA2 FFFFF1A0H DIOA5 FFFFF1D0H

	15	14	13	12	11	10	9		1	0
DIOAn	0	0	0	0	0	0	IOAn9-IOAn1		0	0

(n = 0-5)

注意 DIOAnでは次に示す周辺I/Oレジスタのアドレスを設定しないでください。

P4, P5, P6, P9, P11, PM4, PM5, PM6, PM9, PM11, MM, DWC, BCC, SYC, PSC, PCC, SYS,
 PRCMD, DIOAn, DRAn, DBCn, DCHCn, CORCN, CORRQ, CORADn, 割り込み制御レジスタ
 (xxlCn), ISPR

(2) DMA内蔵RAMアドレス・レジスタ0-5 (DRA0-DRA5)

DMAチャネルnの内蔵RAMのアドレスを設定します (n = 0-5)。

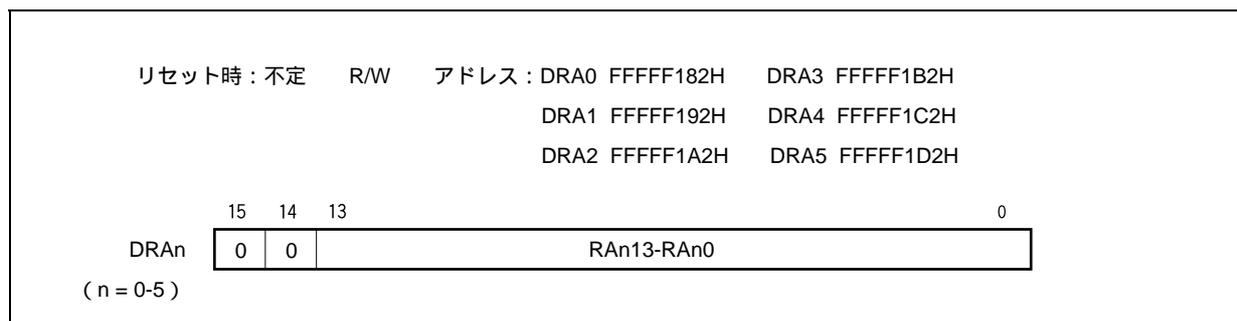
各製品によって内蔵RAM容量が異なるため、DMAで使用できる内蔵RAM領域が異なります。次に各製品ごとのDRAnレジスタに設定できる内蔵RAM領域を示します。

表12 - 1 DMAで使用できる内蔵RAM領域

製 品		内蔵RAM容量	DMAで使用できるRAMサイズ	DMAで使用できるRAM領域
V850/SB1	μ PD703031B, 703031BY	8 Kバイト	8 Kバイト	xxFFD000H-xxFFEFFFFH
V850/SB2	μ PD703034B, 703034BY			
V850/SB1	μ PD703031A, 703031AY,	12 Kバイト	12 Kバイト	xxFFC000H-xxFFEFFFFH
V850/SB2	μ PD703034A, 703034AY			
V850/SB1	μ PD703033A, 703033AY, 703033B, 703033BY, 70F3033A, 70F3033AY, 70F3033B, 70F3033BY	16 Kバイト	16 Kバイト	xxFFB000H-xxFFEFFFFH
V850/SB2	μ PD703035A, 703035AY, 703035B, 703035BY, 70F3035A, 70F3035AY, 70F3035B, 70F3035BY			
V850/SB1	μ PD703030B, 703030BY, 703032A, 703032AY, 703032B, 703032BY, 70F3030B, 70F3030BY, 70F3032A, 70F3032AY, 70F3032B, 70F3032BY	24 Kバイト	16 Kバイト	xxFF9000H-xxFFBFFFFH, xxFFE000H-xxFFEFFFFH
V850/SB2	μ PD703036H, 703036HY, 703037A, 703037AY, 703037H, 703037HY, 70F3036H, 70F3036HY, 70F3037A, 70F3037AY, 70F3037H, 70F3037HY			

DCHCnレジスタのDADnビット = 0のとき、1回の転送ごとにアドレスをインクリメント (8ビット転送時は“1”インクリメント、16ビット転送時は“2”インクリメント) します (n = 0-5)。

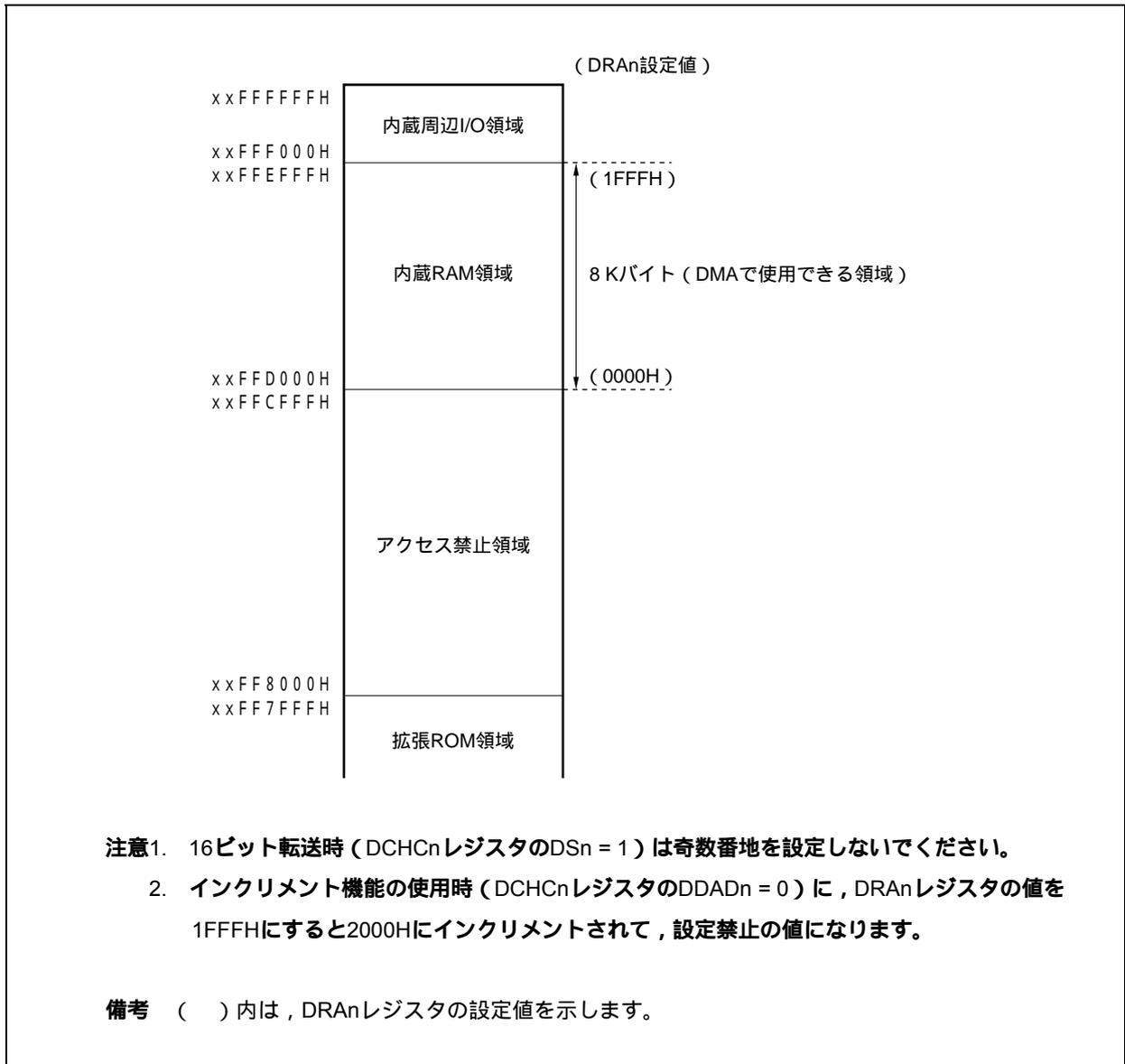
16ビット単位でリード/ライト可能です。



次にDRAnの設定値と内蔵RAM領域との対応を示します。

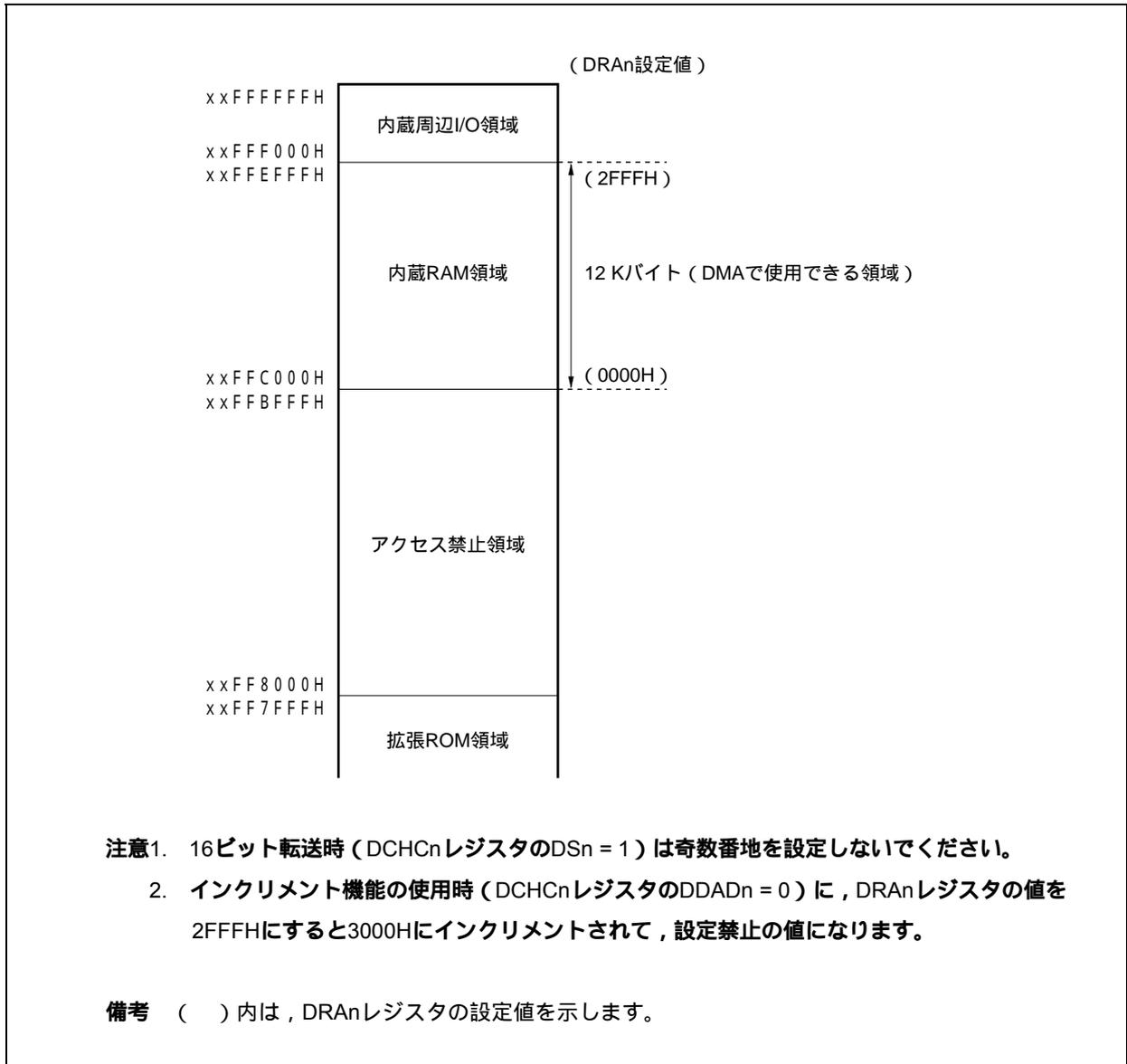
- (a) V850/SB1 (μ PD703031B, 703031BY), V850/SB2 (μ PD703034B, 703034BY)
 DRAnレジスタには0000Hから1FFFHの範囲の値を設定してください (n = 0-5)。
 2000Hから3FFFHの範囲の値は設定禁止です。

図12 - 2 DRAnの設定値と内蔵RAM (8 Kバイト) 領域の対応



(b) V850/SB1 (μ PD703031A, 703031AY), V850/SB2 (μ PD703034A, 703034AY)
 DRAnレジスタには0000Hから2FFFHの範囲の値を設定してください (n = 0-5)。
 3000Hから3FFFHの範囲の値は設定禁止です。

図12 - 3 DRAnの設定値と内蔵RAM (12 Kバイト) 領域の対応



(c) V850/SB1

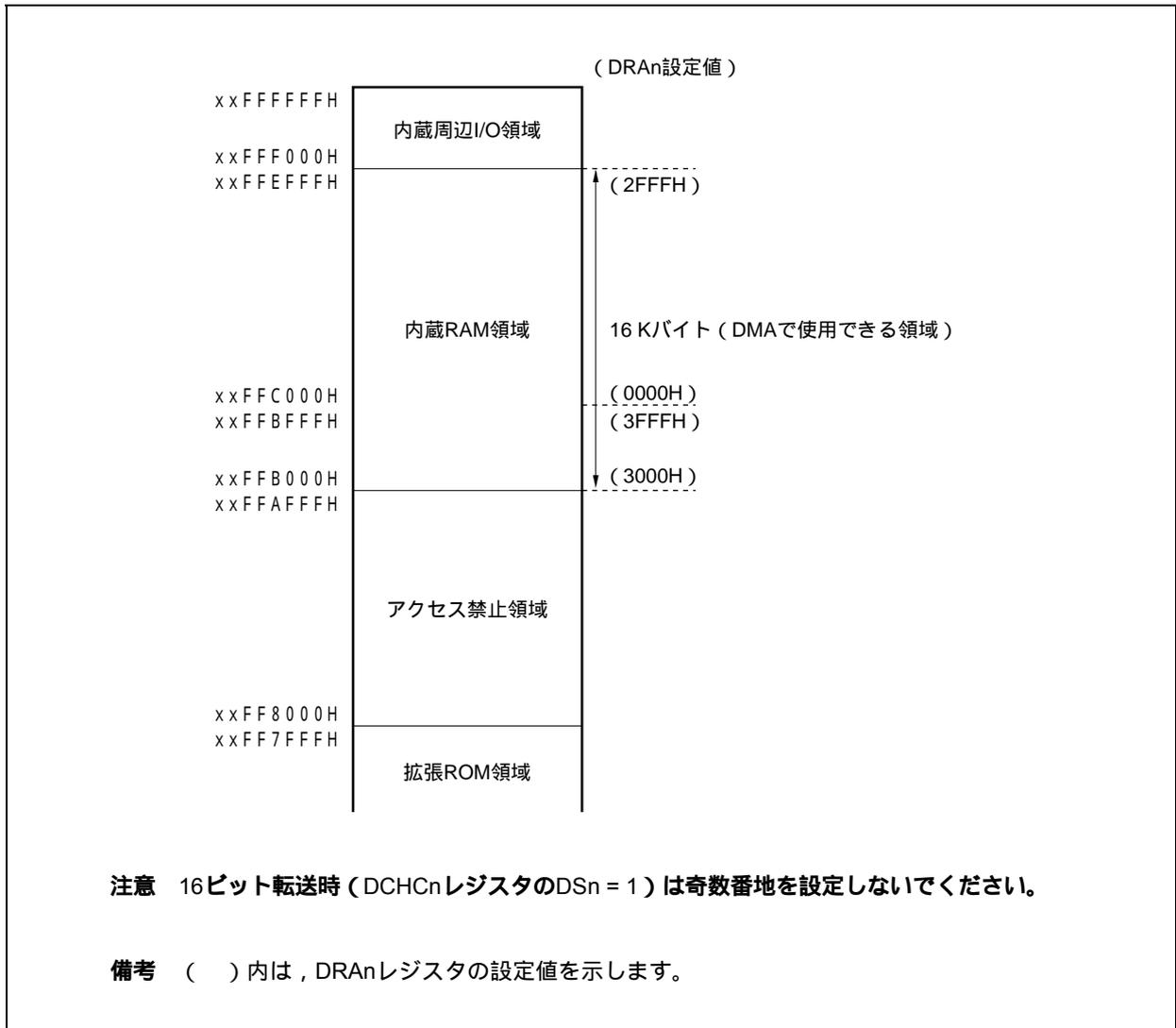
(μ PD703033A, 703033AY, 703033B, 703033BY, 70F3033A, 70F3033AY, 70F3033B, 70F3033BY),

V850/SB2

(μ PD703035A, 703035AY, 703035B, 703035BY, 70F3035A, 70F3035AY, 70F3035B, 70F3035BY)

DRA_nレジスタには0000Hから2FFFH, 3000Hから3FFFHの範囲の値を設定してください (n = 0-5)。

図12-4 DRA_nの設定値と内蔵RAM (16 Kバイト) 領域の対応



(d) V850/SB1

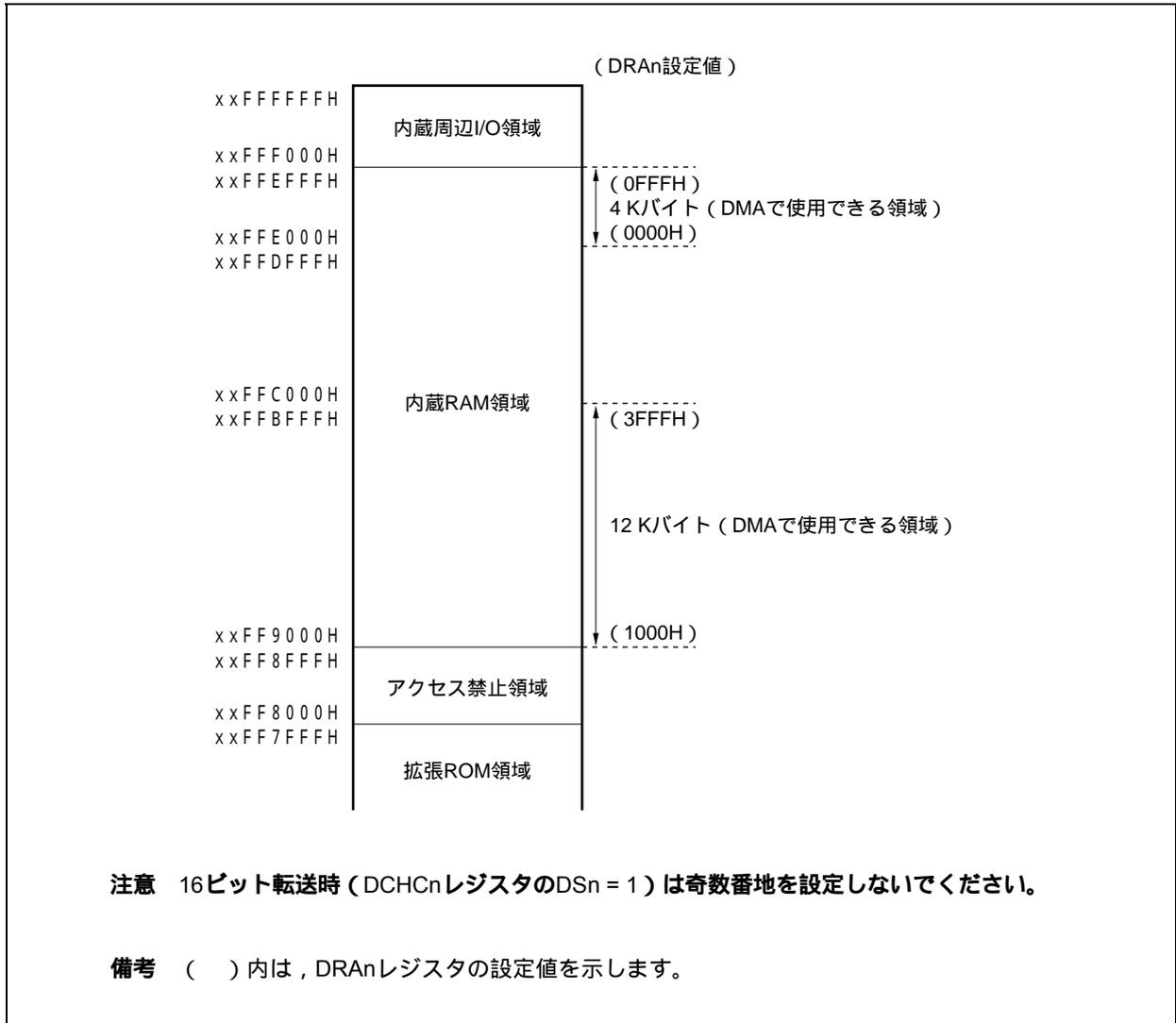
(μ PD703030B, 703030BY, 703032A, 703032AY, 703032B, 703032BY, 70F3030B, 70F3030BY, 70F3032A, 70F3032AY, 70F3032B, 70F3032BY),

V850/SB2

(μ PD703036H, 703036HY, 703037A, 703037AY, 703037H, 703037HY, 70F3036H, 70F3036HY, 70F3037A, 70F3037AY, 70F3037H, 70F3037HY)

DRA_nレジスタには0000Hから0FFFH, 1000Hから3FFFHの範囲の値を設定してください (n = 0-5)。

図12 - 5 DRA_nの設定値と内蔵RAM (24 Kバイト) 領域の対応



(3) DMAバイト・カウント・レジスタ0-5 (DBC0-DBC5)

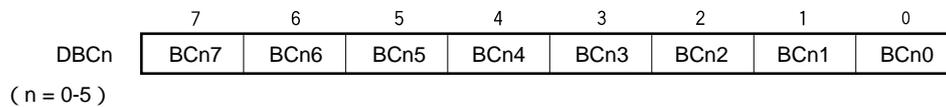
DMAチャンネルnの転送数を設定する8ビット・レジスタです。

DMA転送中は、残り転送回数を保持します。

1転送ごとに、バイト転送の場合は1ずつデクリメント、16ビット転送の場合は2ずつデクリメントされ、ポローが発生すると転送を終了します。したがって、バイト転送の場合は“転送回数 - 1”を、16ビット転送の場合は“(転送回数 - 1) × 2”を設定してください。なお、16ビット転送の場合ビット0の設定値は無視され、デクリメント後、ビット0に0が設定されます。

8ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：DBC0 FFFFF184H DBC3 FFFFF1B4H
 DBC1 FFFFF194H DBC4 FFFFF1C4H
 DBC2 FFFFF1A4H DBC5 FFFFF1D4H



注意 16ビット転送の場合、0ビット目の設定値は無視されます。

(4) DMA起動要因拡張レジスタ (DMAS)

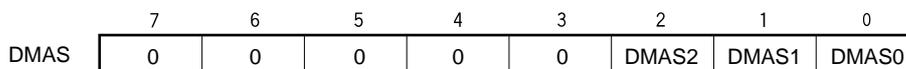
DMAの起動要因を拡張する8ビット・レジスタです。

DCHCnレジスタのTTYPn1, TTYPn0ビットの組み合わせによりDMAの起動要因が決まります。

DMAS2-DMAS0ビットの設定については、12. 4 (5) DMAチャンネル・コントロール・レジスタ0-5 (DCHC0-DCHC5) を参照してください (n = 0-5)。

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF38EH



チャンネルn	DMAS2	DMAS1	DMAS0	TTYPn0	TTYPn0	DMA転送の起動要因の設定
4	x	x	x	0	0	INTST1
				0	1	INTCSI4
				1	0	INTAD
				1	1	INTTM2
5	x	x	x	0	0	INTCSI3/INTSR1
				0	1	INTCSI4
				1	0	INTCSI2
				1	1	INTTM6

TDIRn	周辺I/O 内蔵RAMの転送方向の制御 ^{注3}
0	内蔵RAM 周辺I/O
1	周辺I/O 内蔵RAM

DSn	DMA転送での転送データ・サイズの制御 ^{注3}
0	8ビット転送
1	16ビット転送

ENn	DMA転送の許可 / 禁止の制御 ^{注4}
0	禁止
1	許可 (DMA転送終了後はリセット“0”)

- 注1. 指定した転送回数が終了するとセット(1)されます。書き込み命令でクリアされます。
2. INTIIC0, INTIIC1は、Y品 (I²C内蔵品) のみ有効です。
3. 転送フォーマットは、DMA周辺I/Oアドレス・レジスタ (DIOAn) で指定した周辺I/Oレジスタの仕様 (アクセス可能なデータ・サイズ, リード/ライト) にあわせてください。
4. 指定した転送回数が終了後、0にクリアされます。

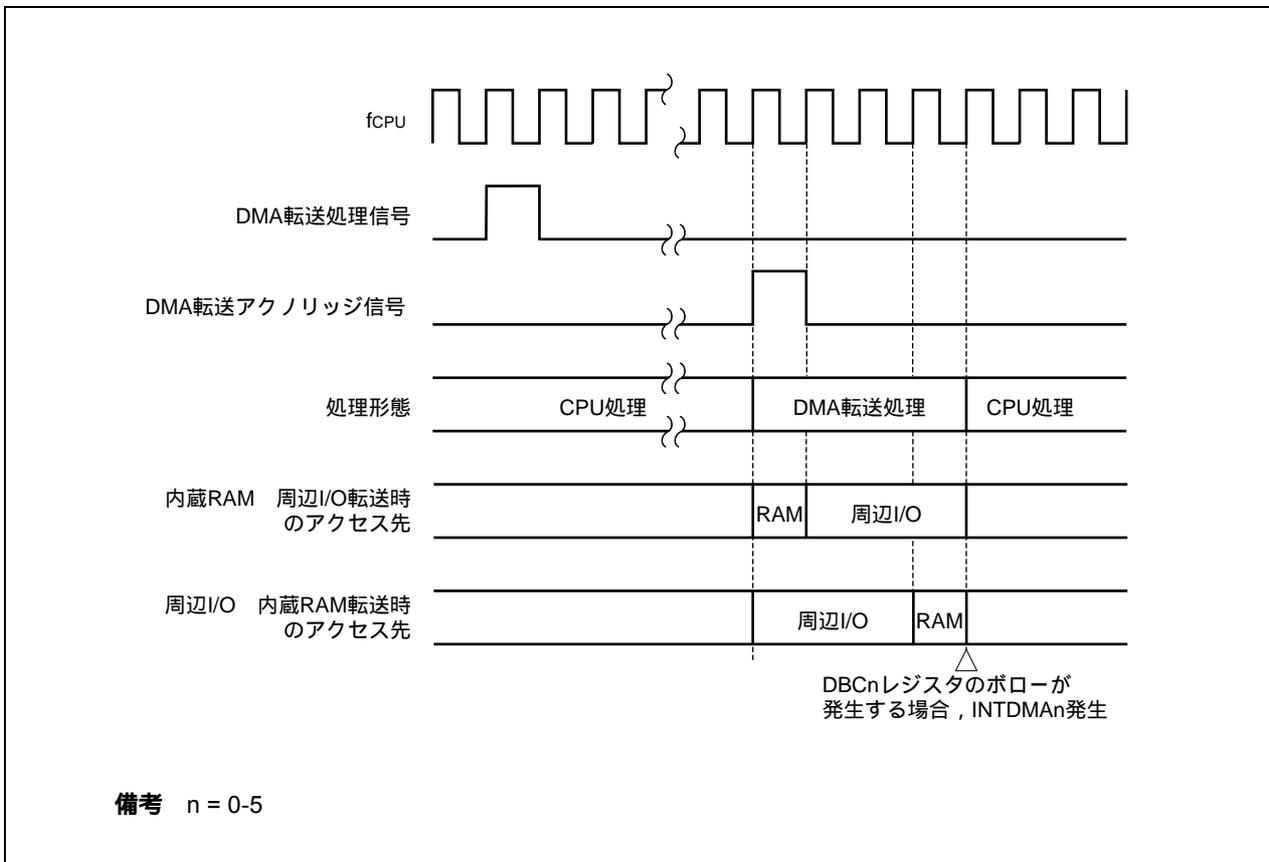
★ 12.5 動作

CPU処理中にDMA転送要求が発生すると、現在のCPU処理終了後にDMA転送を開始します。1回のDMA転送には、転送方向によらずCPUクロック（ f_{CPU} ）の4クロックを必要とします。その内訳は次のとおりです。

- ・内蔵RAMアクセス：1クロック
- ・周辺I/Oアクセス：3クロック

1回のDMA転送（8/16ビット）が終了すると、必ずCPU処理に移行します。次にDMA転送動作のタイミング図を示します。

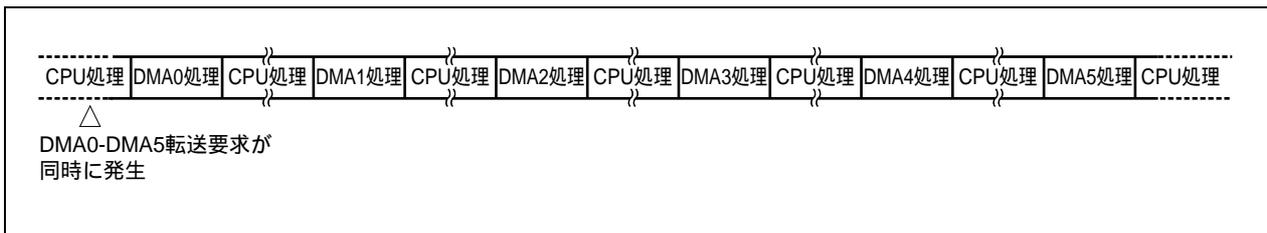
図12-6 DMA転送動作のタイミング図



同時に複数のDMA転送要求が発生した場合、DMA0 > DMA1 > DMA2 > DMA3 > DMA4 > DMA5の優先順位でDMA転送要求を行います。優先順位の高いDMA転送要求を実行中、優先順位の低いDMA転送要求は保留されません。優先順位の高いDMA転送が終了したあとに、必ずCPU処理にいったん移行し、そのCPU処理終了後に優先順位の低いDMA転送要求を行います。

次に同時にDMA0-DMA5転送要求が発生した場合の処理を示します。

図12 - 7 DMA0-DMA5転送要求が同時に発生した場合の処理



DMA動作が停止するのは、IDLE/STOPモード時のみです。HALTモード時はDMA動作を継続します。また、バス・ホールド期間中もDMA動作を行い、外部メモリにアクセスしたあともDMA動作を行います。

★ 12.6 注意事項

DMA機能を使用している場合、EI状態（割り込み許可状態）で次に示す条件すべてに該当したときには、通常1回しか発生しない割り込み処理が2回発生します。

【発生条件】

- (i) 割り込み制御レジスタ (xxICn) の割り込み要求フラグ (xxIFn) に対するビット操作命令 (SET1, CLR1, NOT1, TST1命令) の実行
- (ii) (i) で使用するレジスタと同一レジスタでハードウェアによる割り込み処理が発生

備考 xx : 各周辺ユニット識別名称 (表5 - 2参照)
n : 周辺ユニット番号 (表5 - 2参照)

たとえば、DMA機能を使用している場合、CSIC0レジスタの割り込み要求フラグ (CSIF0) をCLR1命令でビット操作中に、マスクされていないINTCSI0割り込みが発生したときには、INTCSI0割り込み処理が2回発生します。

このような条件下では、割り込み処理が受け付けられたときにハードウェアで割り込み要求フラグ (xxIF) がクリア (0) されないため、RETI命令 (割り込み処理復帰) 後に再度割り込み処理が実行されてしまいます。したがって、次に示す条件のいずれかで使用してください。

【発生条件】

- (i) 割り込み制御レジスタ (xxICn) をビット操作するときには必ず操作前にDI命令、操作後にEI命令を実行する。
- (ii) 割り込みルーチンの先頭で、割り込み要求フラグ (xxIFn) をクリア (0) する。

注意 DMA機能を使用しない場合には、(i) または (ii) の操作をする必要はありません。

備考 xx : 各周辺ユニット識別名称 (表5 - 2参照)
n : 周辺ユニット番号 (表5 - 2参照)

図12 - 8 DMA動作時に割り込み処理が2回発生する場合 (1/2)

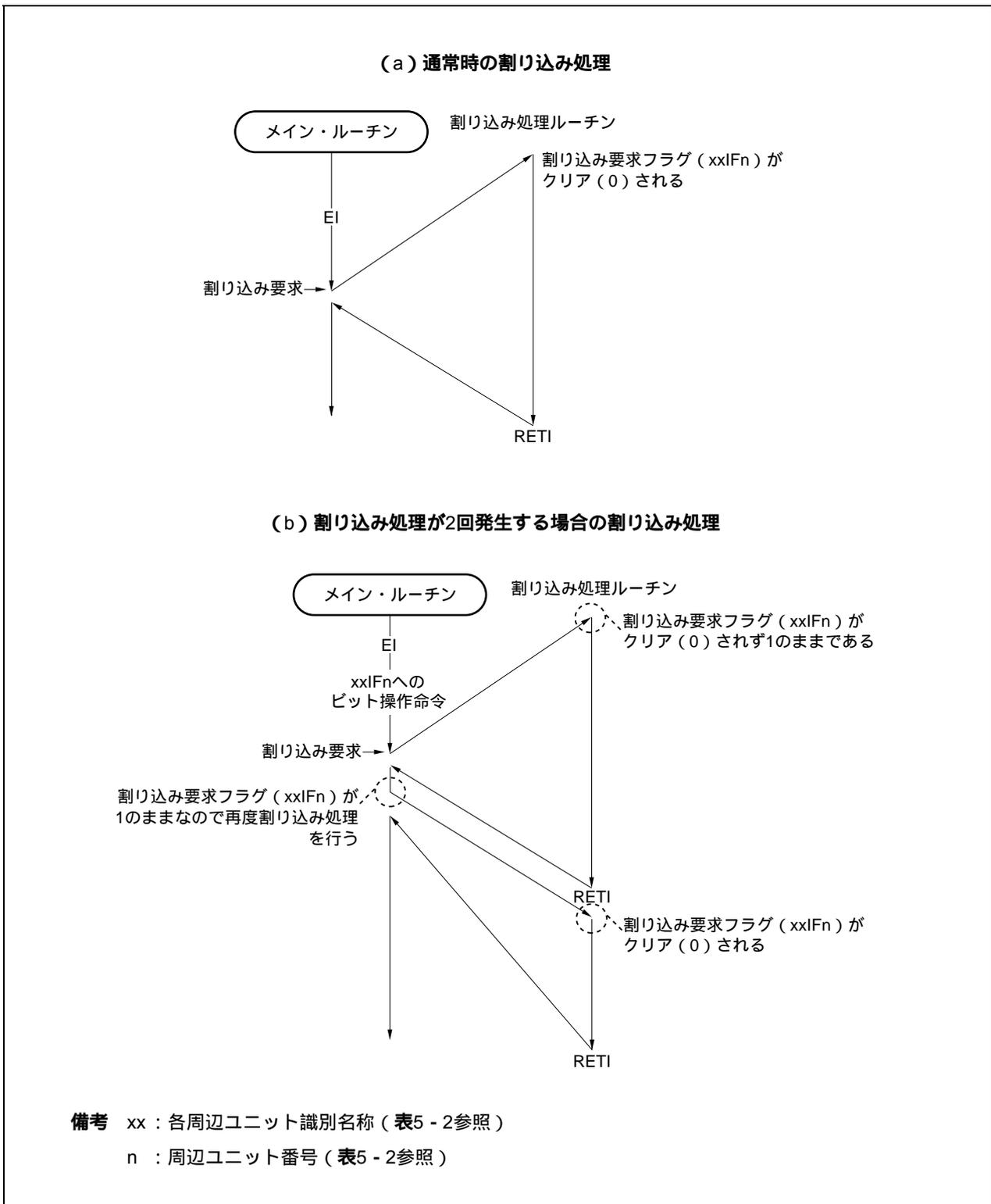
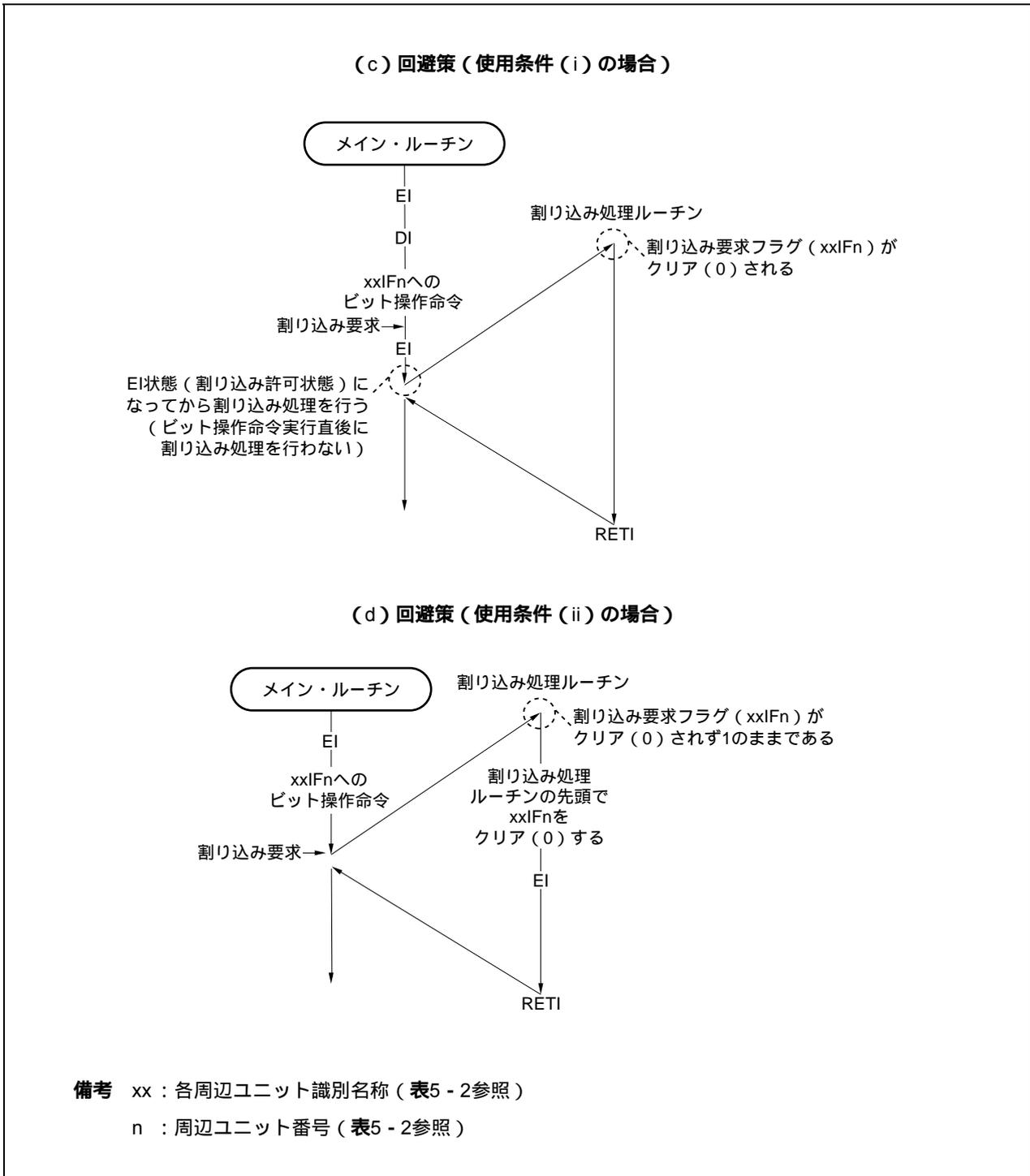


図12 - 8 DMA動作時に割り込み処理が2回発生する場合 (2/2)



第13章 リアルタイム出力機能 (RTO)

13.1 機能

V850/SB1, V850/SB2は、リアルタイム出力バッファ・レジスタ (RTBL, RTBH) にあらかじめ設定したデータを、外部割り込みまたは外部トリガの発生と同時にハードウェアで出力ラッチに転送して、外部に出力するリアルタイム出力機能 (RTO) を内蔵しています。

RTOを使用することにより、ジッタのない信号が出力できますので、ステッピング・モータなどの制御に最適です。

1ビット単位でポート・モード / リアルタイム出力ポート・モードの指定ができます。

次にRTOのブロック図を示します。

★ 13.2 特徴

8ビットのリアルタイム出力ユニット

ポート・モードとリアルタイム出力モードを1ビット単位で選択可能

チャンネル数：8ビット×1チャンネル (8ビット×1チャンネル / 4ビット×2チャンネルを選択可能)

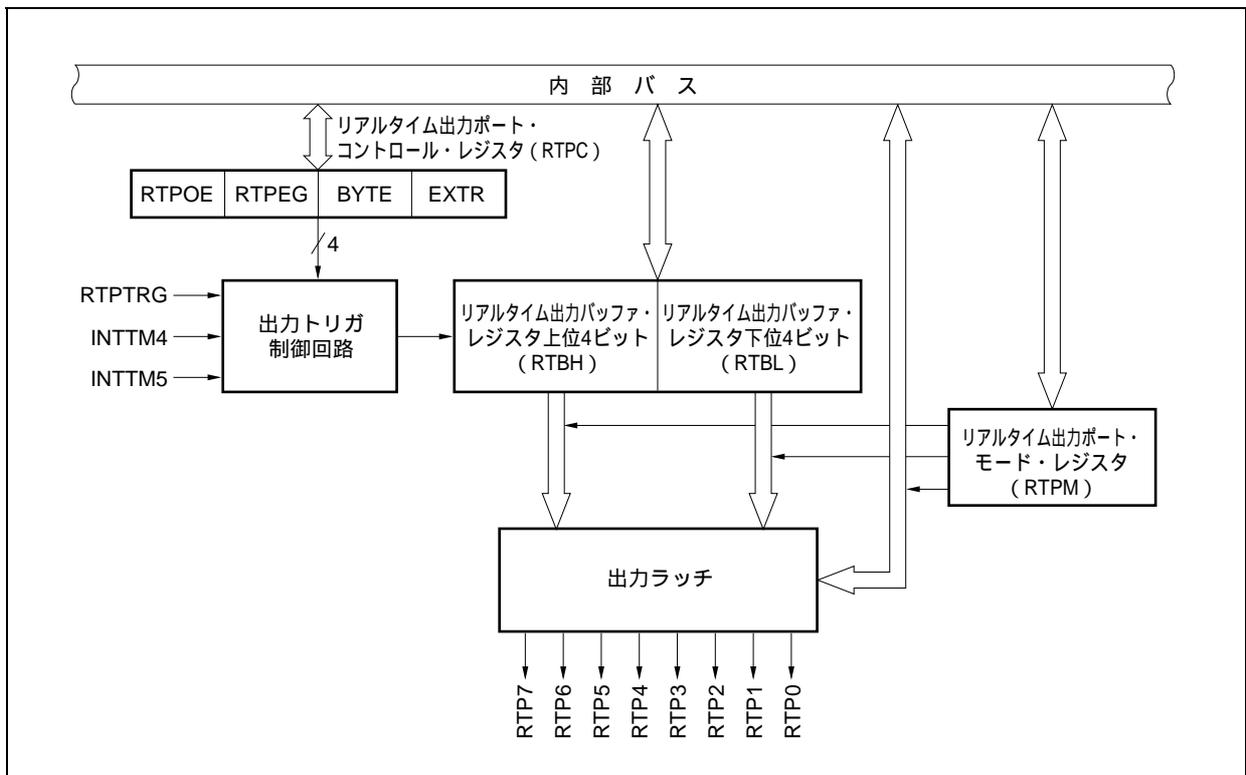
トリガ信号

外部割り込み：RTPTRG

内部割り込み：INTTM4, INTTM5

13.3 構成

図13 - 1 RTOのブロック図



RTOは、次のハードウェアで構成しています。

表13 - 1 RTOの構成

項目	構成
レジスタ	リアルタイム出力バッファ・レジスタ (RTBL, RTBH)
制御レジスタ	リアルタイム出力ポート・モード・レジスタ (RTPM) リアルタイム出力ポート・コントロール・レジスタ (RTPC)

(1) リアルタイム出力バッファ・レジスタ (RTBL, RTBH)

出力データをあらかじめ保持しておく4ビットのレジスタです。

RTBL, RTBHは図13 - 2に示すように周辺I/Oレジスタ領域内でそれぞれ独立したアドレスにマッピングされています。

4ビット×2チャンネルの動作モードを指定したときは, RTBL, RTBHはそれぞれ独立にデータを設定できます。また, RTBL, RTBHのどちらのアドレスを指定しても両方のデータを一括して読み出せます。

8ビット×1チャンネルの動作モードを指定したときは, RTBL, RTBHのどちらか一方に8ビット・データを書き込むことにより, RTBL, RTBHそれぞれにデータを設定できます。また, RTBL, RTBHのどちらのアドレスを指定しても両方のデータを一括して読み出せます。

図13 - 2にRTBL, RTBHの構成を, 表13 - 2にRTBL, RTBHに対する操作時の動作を示します。

図13 - 2 リアルタイム出力バッファ・レジスタの構成



表13 - 2 リアルタイム出力バッファ・レジスタに対する操作時の動作

動作モード	操作対象 レジスタ	リード時 ^{注1}		ライト時 ^{注2}	
		上位4ビット	下位4ビット	上位4ビット	下位4ビット
4ビット×2チャンネル	RTBL	RTBH	RTBL	無効	RTBL
	RTBH	RTBH	RTBL	RTBH	無効
8ビット×1チャンネル	RTBL	RTBH	RTBL	RTBH	RTBL
	RTBH	RTBH	RTBL	RTBH	RTBL

注1. リアルタイム出力ポート・モード (RTPM) に指定したビットのみ読み出しができます。ポート・モードに指定したビットに対してリードした場合は, 0を読み出します。

2. リアルタイム出力ポートに設定後, リアルタイム出力トリガが発生されるまでにRTBL, RTBHに出力データを設定してください。

★ (2) 出力ラッチ

リアルタイム出力バッファ・レジスタで設定した値がリアルタイム出力ポート・トリガ発生によりハードウェア的に転送される出力ラッチです。出力ラッチはリード不可です。

リアルタイム出力ポートに指定したポートは出力ラッチにデータを設定できません。リアルタイム出力ポートの初期値を設定する場合は, リアルタイム出力ポート・モードに設定する前にポート・モード時に出力ラッチにデータを設定する必要があります (13.5 使用方法参照)

13.4 RTO制御レジスタ

RTOは、次の2種類のレジスタで制御します。

- ・リアルタイム出力ポート・モード・レジスタ (RTPM)
- ・リアルタイム出力ポート・コントロール・レジスタ (RTPC)

(1) リアルタイム出力ポート・モード・レジスタ (RTPM)

リアルタイム出力ポート・モードとポート・モードの選択を1ビット単位で設定するレジスタです。

RTPMは、8/1ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

リセット時：00H R/W アドレス：FFFFFF3A4H

	7	6	5	4	3	2	1	0
RTPM	RTPM7	RTPM6	RTPM5	RTPM4	RTPM3	RTPM2	RTPM1	RTPM0
RTPMn	リアルタイム出力ポートの選択 (n = 0-7)							
0	ポート・モード							
1	リアルタイム出力ポート・モード							

- 注意1.** リアルタイム出力ポートとして使用する場合、リアルタイム出力を行うポートは出力モードに設定してください。
- 2.** リアルタイム出力ポートに指定したあとのポートは、出力ラッチにデータを設定できません。したがって、初期値を設定する場合には、リアルタイム出力ポート・モードにする前に出力ラッチにデータを設定してください(13.5 使用方法参照)。

(2) リアルタイム出力ポート・コントロール・レジスタ (RTPC)

リアルタイム出力ポートの動作モード，および出力トリガを設定するレジスタです。

リアルタイム出力ポートの動作モードと出力トリガについては表13 - 3に示すような関係があります。

RTPCは，8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

リセット時：00H R/W アドレス：FFFFF3A6H

	⑦	⑥	⑤	④	3	2	1	0
RTPC	RTPOE	RTPEG	BYTE	EXTR	0	0	0	0

RTPOE	リアルタイム出力ポートの動作制御
0	動作禁止 ^注
1	動作許可

RTPEG	RTPTRG信号の有効エッジ
0	立ち下がりエッジ
1	立ち上がりエッジ

BYTE	リアルタイム出力ポートの動作モード
0	4ビット×2チャンネル
1	8ビット×1チャンネル

EXTR	RTPTRG信号によるリアルタイム出力の制御
0	RTPTRGをリアルタイム出力トリガにしない
1	RTPTRGをリアルタイム出力トリガにする

注 リアルタイム出力動作禁止 (RTPOE = 0) の場合，RTP0-RTP7は“0”を出力します。

表13 - 3 リアルタイム出力ポートの動作モードと出力トリガ

BYTE	EXTR	動作モード	RTBH ポート出力	RTBL ポート出力
0	0	4ビット×2チャンネル	INTTM5	INTTM4
	1		INTTM4	RTPTRG
1	0	8ビット×1チャンネル	INTTM4	
	1		RTPTRG	

★ 13.5 使用方法

(1) リアルタイム出力動作を禁止する。

リアルタイム出力ポート・コントロール・レジスタ (RTPC) のビット7 (RTPOE) = 0に設定。

(2) 初期設定

(i) リアルタイム出力ポートに最初に出力する値をポート10の出力ラッチに設定する。

(ii) PM10を出力モードに設定する。

(iii) 1ビット単位でリアルタイム出力ポート・モードかポート・モードかを指定する。

リアルタイム出力ポート・モード・レジスタ (RTPM) を設定。

(iv) トリガおよび有効エッジを選択する。

RTPCのビット4, 5, 6 (EXTR, BYTE, RTPEG) を設定。

(v) (i) と同じ値をリアルタイム出力バッファ・レジスタ (RTBH, RTBL) に設定する。

(3) リアルタイム出力動作を許可する。

RTPOE = 1に設定。

(4) 選択した転送トリガが発生するまでに, ポート10の出力ラッチ (P100-P107) を0にして, 次の出力をRTBH, RTBLに設定する。

(5) 選択したトリガに対応する割り込み処理により, 順次, 次のリアルタイム出力値をRTBH, RTBLに設定する。

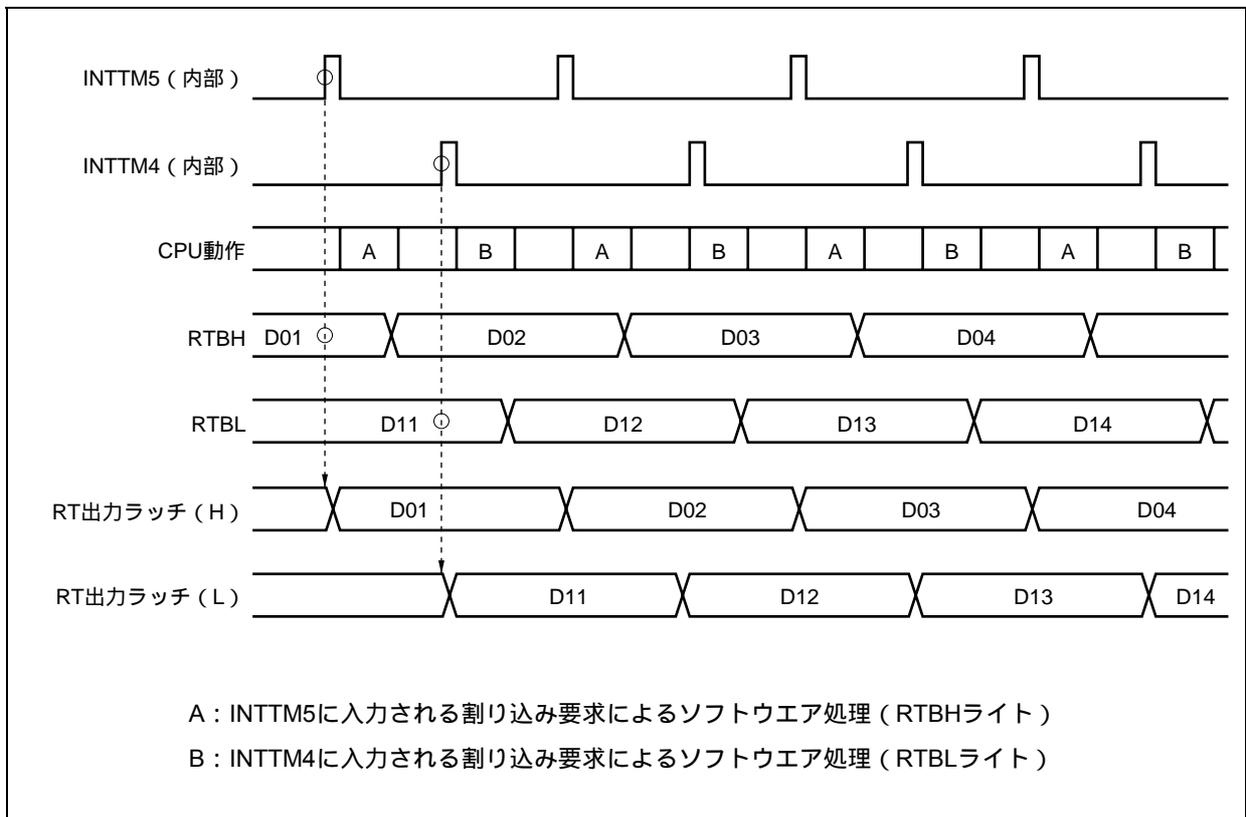
13.6 動作

リアルタイム出力ポート・コントロール・レジスタ (RTPC) のビット7 (RTPOE) = 1でリアルタイム出力動作を許可した場合、選択された転送トリガ (EXTRとBYTEで設定[※]) の発生に同期して、リアルタイム出力バッファ・レジスタ (RTBH, RTBL) のデータを実出力ラッチに転送します。転送されたデータのうちリアルタイム出力ポート・モード・レジスタ (RTPM) の設定により、リアルタイム出力ポートに指定されたビットのデータのみをRTP0-RTP7のそれぞれのビットから出力します。RTPMでポート・モードに指定されたビットは0を出力します。

RTPOE = 0でリアルタイム出力動作を禁止した場合は、RTPMの設定に関係なくRTP0-RTP7は0を出力します。

注 EXTR : リアルタイム出力ポート・コントロール・レジスタ (RTPC) のビット4
 BYTE : " のビット5

図13 - 3 RTOの動作タイミング例 (EXTR = 0, BYTE = 0の場合)



13.7 注意事項

(1) 初期設定は、リアルタイム出力ポート・コントロール・レジスタ (RTPC) のビット7 (RTPOE) を0にし、リアルタイム出力動作を禁止してから行ってください。

(2) 一度リアルタイム出力動作を禁止 (RTPOE = 0) した場合は、リアルタイム出力動作を許可 (RTPOE = 01) する前に、必ず出力ラッチと同じ初期値をリアルタイム出力バッファ・レジスタ (RTBH, RTBL) に設定してください。

★ (3) 次に示す信号の競合が発生した場合には動作保証ができません。ソフトウェアにより競合回避を行ってください。

- ・ RTPモード ポート・モードの切り替え (RTPOE = 1) と選択してリアルタイム出力ポート・トリガの有効エッジとの競合

- ・ RTPモードにおけるRTBH, RTBLの書き込みと選択したリアルタイム出力ポート・トリガの有効エッジとの競合

第14章 ポート機能

14.1 各ポートの構成

V850/SB1, V850/SB2は、ポート0-11の合計83本の入出力ポート（うち12本は入力専用ポート）を内蔵しています。

端子の入出力バッファ電源には、AV_{DD}、BV_{DD}、EV_{DD}の3系統があります。それぞれの電源と端子の関係を次に示します。

表14-1 各端子の入出力バッファ電源

電源	対応する端子	使用可能な電圧範囲
★ AV _{DD}	ポート7, ポート8	ADコンバータ使用時: 4.5 V AV _{DD} 5.5 V ADコンバータ未使用時: 3.5 V AV _{DD} 5.5 V
BV _{DD}	ポート4, ポート5, ポート6, ポート9, CLKOUT	3.0 V BV _{DD} 5.5 V
EV _{DD}	ポート0, ポート1, ポート2, ポート3, ポート10, ポート11, RESET	3.0 V EV _{DD} 5.5 V

注意 使用する電圧範囲が3.0~4.0 V未満の場合と、4.0~5.5 Vの場合とでは電気的特性が異なります。

14.2 各ポートの端子機能

14.2.1 ポート0

ポート0は、1ビット単位で入出力を制御できる8ビット入出力ポートです。また、ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

P00-P04をNMI, INTP0-INPT3端子として使用する場合、アナログ・ノイズ除去回路によりノイズ除去されます。

P05-P07をINTP4/ADTRG, INTP5/RTPTRG, INTP6端子として使用する場合、デジタル・ノイズ除去回路によりノイズ除去されます。

リセット時：00H R/W アドレス：FFFFFF00H

	7	6	5	4	3	2	1	0
P0	P07	P06	P05	P04	P03	P02	P01	P00

P0n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考 入力モード時：ポート0（P0）をリードすると、そのときの端子レベルを読み出します。ライトすると、P0にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート0（P0）をリードすると、P0の値を読み出します。ライトすると、P0に値を書き込み、すぐに書き込んだ値を出力します。

ポート0は、次に示す端子と兼用しています。

表14 - 2 ポート0の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート0	P00	NMI	入出力	あり	アナログ・ノイズ除去
	P01	INTP0			
	P02	INTP1			
	P03	INTP2			
	P04	INTP3			
	P05	INTP4/ADTRG			デジタル・ノイズ除去
	P06	INTP5/RTPTRG			
	P07	INTP6			

注 ソフトウェア・プルアップ機能

(1) P0端子の機能

ポート0は、1ビット単位で入出力を制御できる8ビット入出力ポートです。ポート0モード・レジスタ（PM0）で入出力を制御します。

出力モード時、ポート0（P0）に設定した各ビットの値を出力します。出力モードとして使用するときは、各割り込み要求の有効エッジを無効にするか、各割り込み要求をマスク（NMI以外）してください。

入力モード時にP0をリードすると端子状態をリードできます。また、出力モード時にP0をリードすると、P0（出力ラッチ）の値をリードできます。

NMI、INTP0-INTP6の有効エッジは、立ち上がりエッジ指定レジスタ0（EGP0）と、立ち下がりエッジ指定レジスタ0（EGN0）で指定します。

プルアップ抵抗オプション・レジスタ0（PU0）の指定により、ビット単位でプルアップ抵抗を接続できます。

リセット入力により、入力モードに初期化されます。また、各割り込み要求の有効エッジも無効になります（リセット直後、NMI, INTP0-INTP6は機能しません）。

(2) ノイズ除去

(a) NMI, INTP0-INTP3端子のノイズ除去

アナログ・ディレイによるノイズ除去回路を内蔵しています。このため、これらの端子に一定時間以上同じレベルの信号を入力すると、有効エッジとして検出します。また、エッジの検出は一定時間後になります。

(b) INTP4-INTP6, ADTRG, RTPTRG端子のノイズ除去

デジタル・ノイズ除去回路を内蔵しています。

INTP4, INTP5, ADTRG, RTPTRG端子のデジタル・サンプリングによるノイズ除去は、端子の入力レベルをサンプリング・クロック (f_{xx}) で検出し、同じレベルが3回連続で検出されなかった場合に行われます。

INTP6端子については、ノイズ除去幅を変更することができます（5.3.8(3) INTP6端子のノイズ除去参照）。

- 注意1. 入力パルス幅が2~3クロックの場合、有効エッジとして検出するか、ノイズとして除去するかは不定です。
2. 確実にパルスとして検出するためには、3クロック以上の同一レベルの入力が必要です。
 3. サンプリング・クロックに同期してノイズが発生している場合は、ノイズとして認められないことがあります。このような場合には、入力端子にフィルタを付加してノイズを除去してください。
 4. 通常入力ポートとして使用する場合はノイズ除去を行いません。

(3) 制御レジスタ

(a) ポート0モード・レジスタ (PM0)

8/1ビット単位でリード/ライト可能です。

リセット時: FFH R/W アドレス: FFFFF020H								
	7	6	5	4	3	2	1	0
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00
	PM0n	入出力モードの制御 (n = 0-7)						
	0	出力モード						
	1	入力モード						

(b) プルアップ抵抗オプション・レジスタ0 (PU0)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF080H

	7	6	5	4	3	2	1	0
PU0	PU07	PU06	PU05	PU04	PU03	PU02	PU01	PU00

PU0n	内蔵プルアップ抵抗接続制御 (n = 0-7)
0	接続しない
1	接続する

(c) 立ち上がりエッジ指定レジスタ0 (EGP0)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF0C0H

	⑦	⑥	⑤	④	③	②	①	①
EGP0	EGP07	EGP06	EGP05	EGP04	EGP03	EGP02	EGP01	EGP00

EGP0n	立ち上がりエッジ検出の制御 (n = 0-7)
0	立ち上がりエッジで割り込み要求信号の発生なし
1	立ち上がりエッジで割り込み要求信号の発生あり

備考 n = 0 : NMI端子の制御
 n = 1-7 : INTP0-INTP6端子の制御

(d) 立ち下がりエッジ指定レジスタ0 (EGN0)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF0C2H

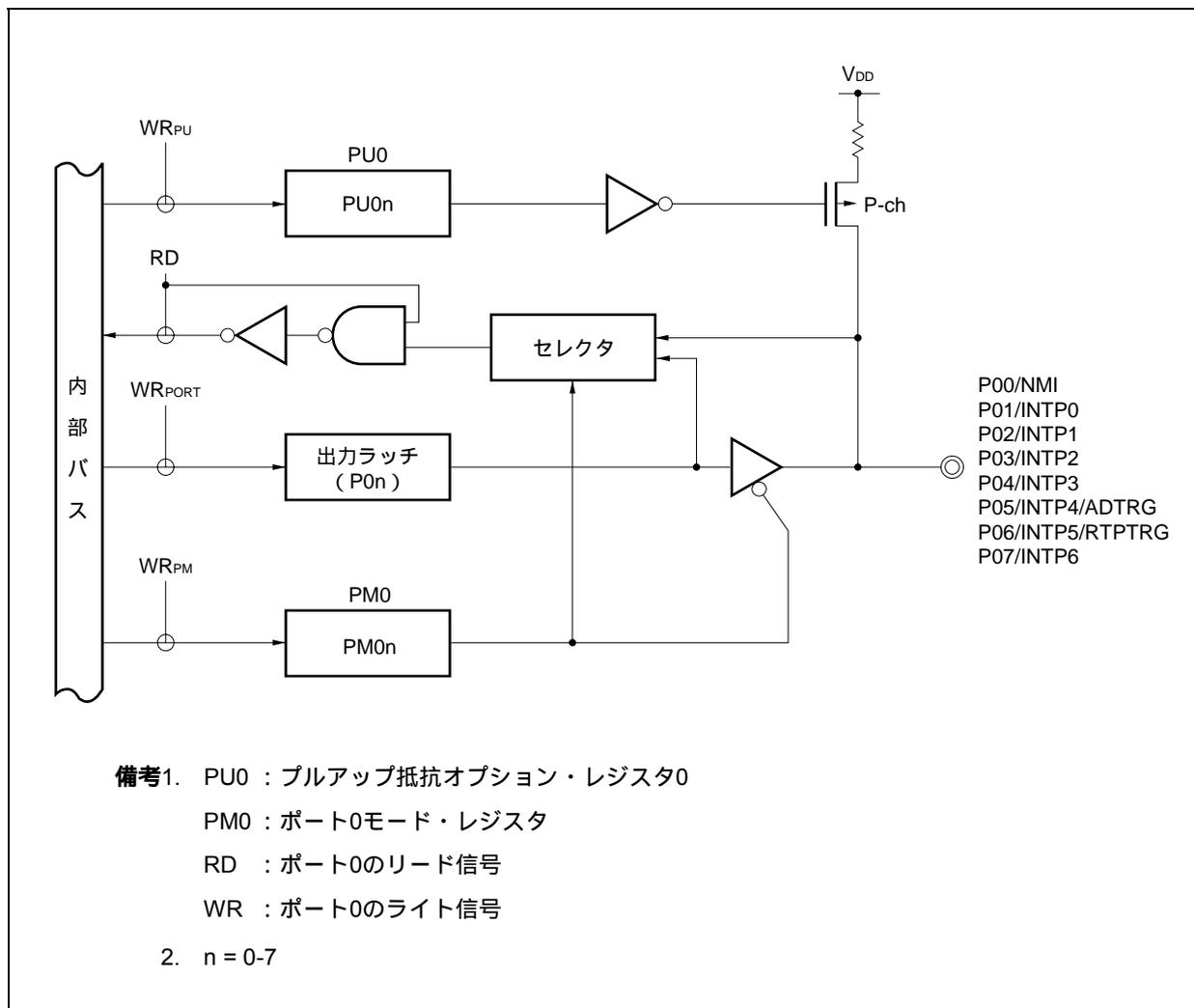
	⑦	⑥	⑤	④	③	②	①	①
EGN0	EGN07	EGN06	EGN05	EGN04	EGN03	EGN02	EGN01	EGN00

EGN0n	立ち下がりエッジ検出の制御 (n = 0-7)
0	立ち下がりエッジで割り込み要求信号の発生なし
1	立ち下がりエッジで割り込み要求信号の発生あり

備考 n = 0 : NMI端子の制御
n = 1-7 : INTP0-INTP6端子の制御

(4) ブロック図 (ポート0)

図14 - 1 P00-P07のブロック図



14.2.2 ポート1

ポート1は、1ビット単位で入出力を制御できる6ビット入出力ポートです。また、ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

ビット0, 1, 2, 4, 5は、通常出力とN-chオープン・ドレイン出力を選択できます。

リセット時：00H R/W アドレス：FFFFFF002H

	7	6	5	4	3	2	1	0
P1	0	0	P15	P14	P13	P12	P11	P10

P1n	出力データの制御（出力モード時）（n = 0-5）
0	0を出力
1	1を出力

備考 入力モード時：ポート1（P1）をリードすると、そのときの端子レベルを読み出します。

ライトすると、P1にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート1（P1）をリードすると、P1の値を読み出します。ライトすると、P1に値を書き込み、すぐに書き込んだ値を出力します。

ポート1は、次に示す端子と兼用しています。SDA0, SCL0端子は、Y品（I²C内蔵品）のみ有効です。

表14-3 ポート1の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート1	P10	SI0/SDA0	入出力	あり	N-chオープン・ドレイン出力選択可能
	P11	SO0			
	P12	SCK0/SCL0			
	P13	SI1/RXD0			-
	P14	SO1/TXD0			N-chオープン・ドレイン出力選択可能
	P15	SCK1/ASCK0			

注 ソフトウェア・プルアップ機能

(1) P1端子の機能

ポート1は、1ビット単位で入出力を制御できる6ビット入出力ポートです。ポート1モード・レジスタ（PM1）で入出力を制御します。

出力モード時、ポート1（P1）に設定した各ビットの値を出力します。また、ポート1ファンクション・レジスタ（PF1）により、P10-P12, P14, P15の出力を通常出力とN-chオープン・ドレイン出力のどちらかに指定できます。

入力モード時にP1をリードすると端子状態をリードできます。また、出力モード時にP1をリードすると、P1（出力ラッチ）の値をリードできます。

プルアップ抵抗オプション・レジスタ1（PU1）の指定により、ビット単位でプルアップ抵抗を接続できます。

兼用端子を出力として使用するときは、P1とPM1レジスタを0にしてください。ポート出力と兼用端子

のORが端子から出力されます。

リセット入力により，入力モードに初期化されます。

(2) 制御レジスタ

(a) ポート1モード・レジスタ (PM1)

8/1ビット単位でリード/ライト可能です。

リセット時：3FH R/W アドレス：FFFFFF022H

	7	6	5	4	3	2	1	0
PM1	0	0	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	入出力モードの制御 (n = 0-5)
0	出力モード
1	入力モード

(b) プルアップ抵抗オプション・レジスタ1 (PU1)

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF082H

	7	6	5	4	3	2	1	0
PU1	0	0	PU15	PU14	PU13	PU12	PU11	PU10

PU1n	内蔵プルアップ抵抗接続制御 (n = 0-5)
0	接続しない
1	接続する

(c) ポート1ファンクション・レジスタ (PF1)

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF0A2H

	7	6	5	4	3	2	1	0
PF1	0	0	PF15	PF14	0 ^注	PF12	PF11	PF10

PF1n	通常出力 / N-chオープン・ドレイン出力の制御 (n = 0-2, 4, 5)
0	通常出力
1	N-chオープン・ドレイン出力

注 ビット3は通常出力に固定です。

(3) ブロック図 (ポート1)

図14 - 2 P10-P12, P14, P15のブロック図

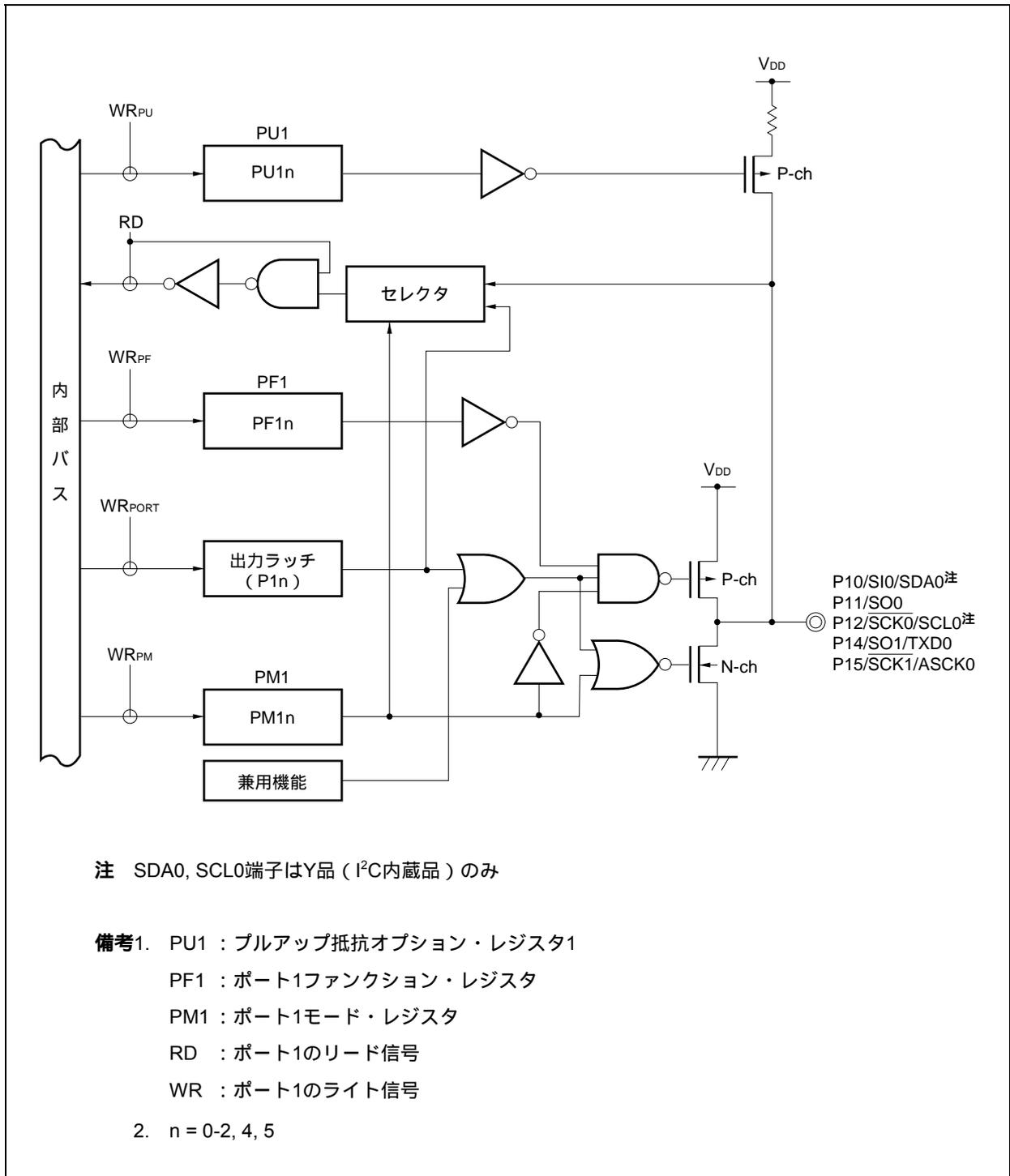
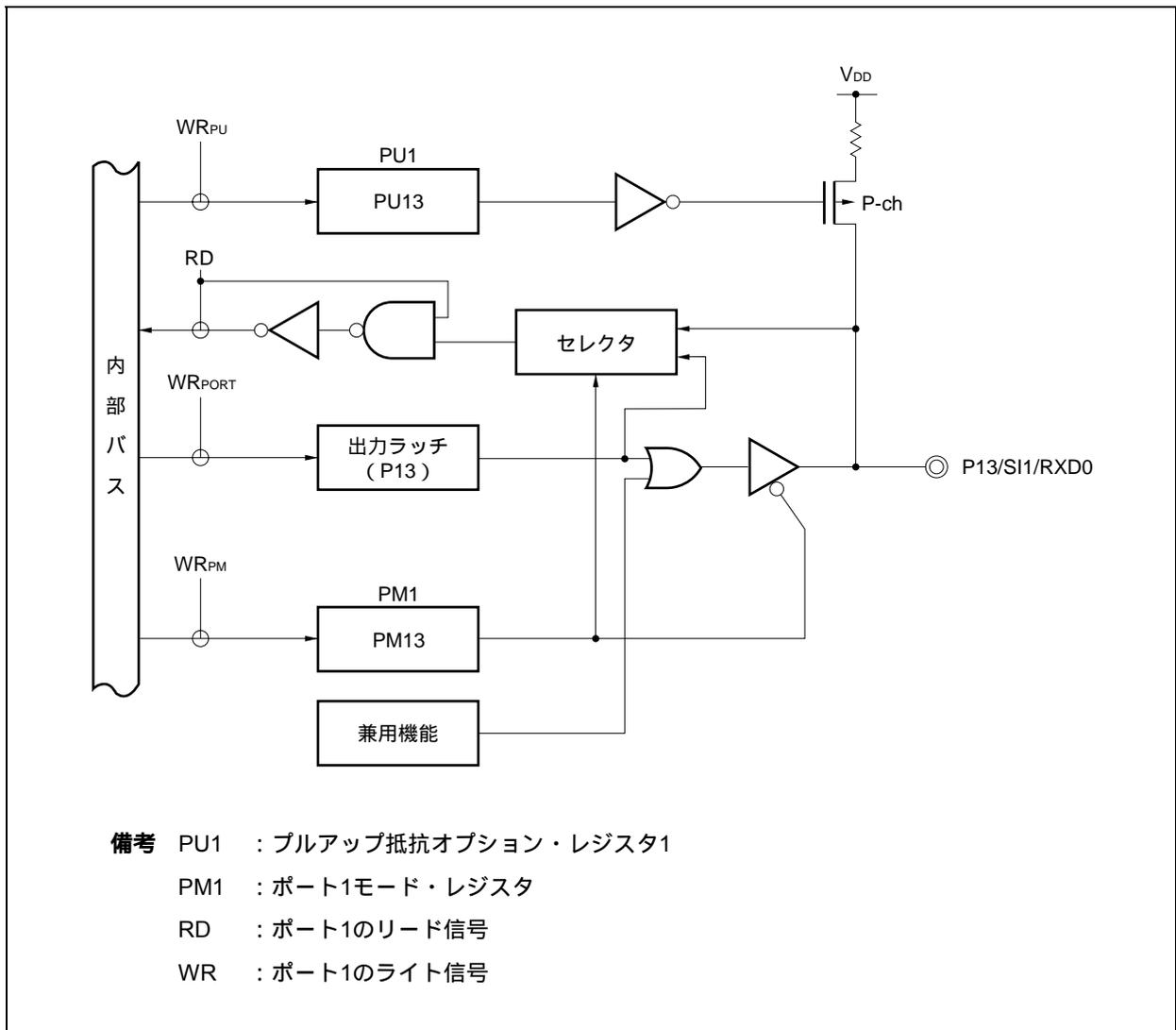


図14 - 3 P13のブロック図



14.2.3 ポート2

ポート2は、1ビット単位で入出力を制御できる8ビット入出力ポートです。また、ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

P20, P21, P22, P24, P25は通常出力とN-chオープン・ドレイン出力を選択できます。

P26, P27をTI2, TI3端子として使用する場合、デジタル・ノイズ除去回路によりノイズ除去されます。

リセット時：00H R/W アドレス：FFFF004H

	7	6	5	4	3	2	1	0
P2	P27	P26	P25	P24	P23	P22	P21	P20

P2n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考 入力モード時：ポート2（P2）をリードすると、そのときの端子レベルを読み出します。ライトすると、P2にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート2（P2）をリードすると、P2の値を読み出します。ライトすると、P2に値を書き込み、すぐに書き込んだ値を出力します。

ポート2は次に示す端子と兼用しています。SDA1, SCL1端子は、Y品（I²C内蔵品）のみ有効です。

表14 - 4 ポート2の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート2	P20	SI2/SDA1	入出力	あり	N-chオープン・ドレイン出力選択可能
	P21	SO2			
	P22	SCK2/SCL1			-
	P24	SO3/TXD1			
	P25	SCK3/ASCK1			デジタル・ノイズ除去
	P26	TI2/TO2			
	P27	TI3/TO3			

注 ソフトウェア・プルアップ機能

(1) P2端子の機能

ポート2は、1ビット単位で入出力を制御できる8ビット入出力ポートです。ポート2モード・レジスタ (PM2) で入出力を制御します。

出力モード時、ポート2 (P2) に設定した各ビットの値を出力します。またポート2ファンクション・レジスタ (PF2) により、P20, P21, P22, P24, P25の出力を通常出力とN-chオープン・ドレイン出力のどちらかに指定できます。

入力モード時にP2をリードすると端子状態をリードできます。また、出力モード時にP2をリードすると、P2 (出力ラッチ) の値をリードできます。

プルアップ抵抗オプション・レジスタ2 (PU2) の指定により、ビット単位でプルアップ抵抗を接続できます。

TI2, TI3端子として使用するときは、デジタル・ノイズ除去回路 (ポート0のデジタル・ノイズ除去回路と同等) により、ノイズ除去されます。

兼用端子を出力として使用するときは、P2とPM2を0にしてください。ポート出力と兼用端子のORが端子から出力されます。

リセット入力により、入力モードに初期化されます。

(2) 制御レジスタ

(a) ポート2モード・レジスタ (PM2)

8/1ビット単位でリード/ライト可能です。

リセット時 : FFH R/W アドレス : FFFFF024H								
	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20
	PM2n	入出力モードの制御 (n = 0-7)						
	0	出力モード						
	1	入力モード						

(b) プルアップ抵抗オプション・レジスタ2 (PU2)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF084H

	7	6	5	4	3	2	1	0
PU2	PU27	PU26	PU25	PU24	PU23	PU22	PU21	PU20

PU2n	内蔵プルアップ抵抗接続制御 (n = 0-7)
0	接続しない
1	接続する

(c) ポート2ファンクション・レジスタ (PF2)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF0A4H

	7	6	5	4	3	2	1	0
PF2	0	0	PF25	PF24	0	PF22	PF21	PF20

PF2n	通常出力 / N-chオープン・ドレイン出力の制御 (n = 0-2, 4, 5)
0	通常出力
1	N-chオープン・ドレイン出力

(3) ブロック図 (ポート2)

図14 - 4 P20-P22, P24, P25のブロック図

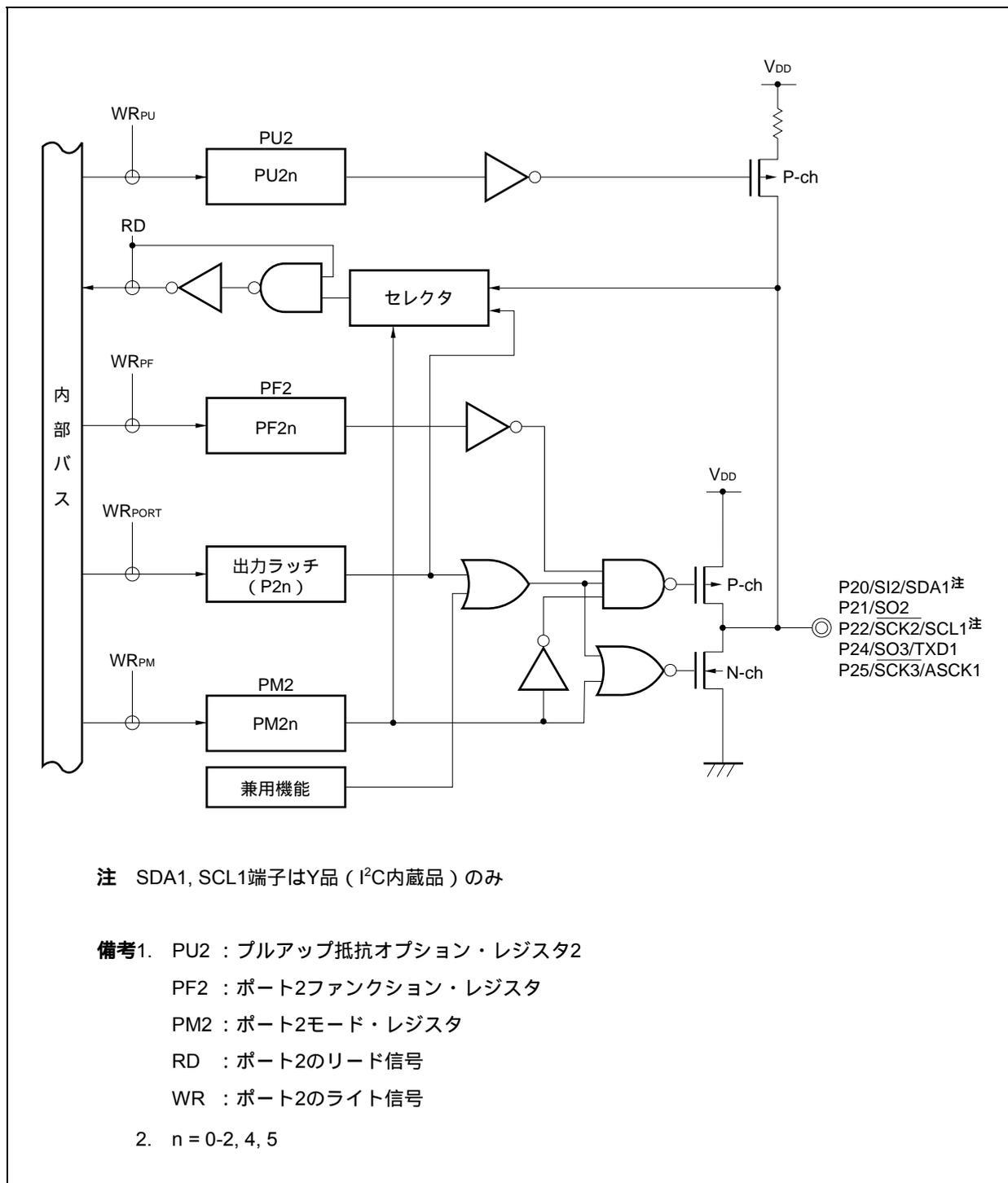
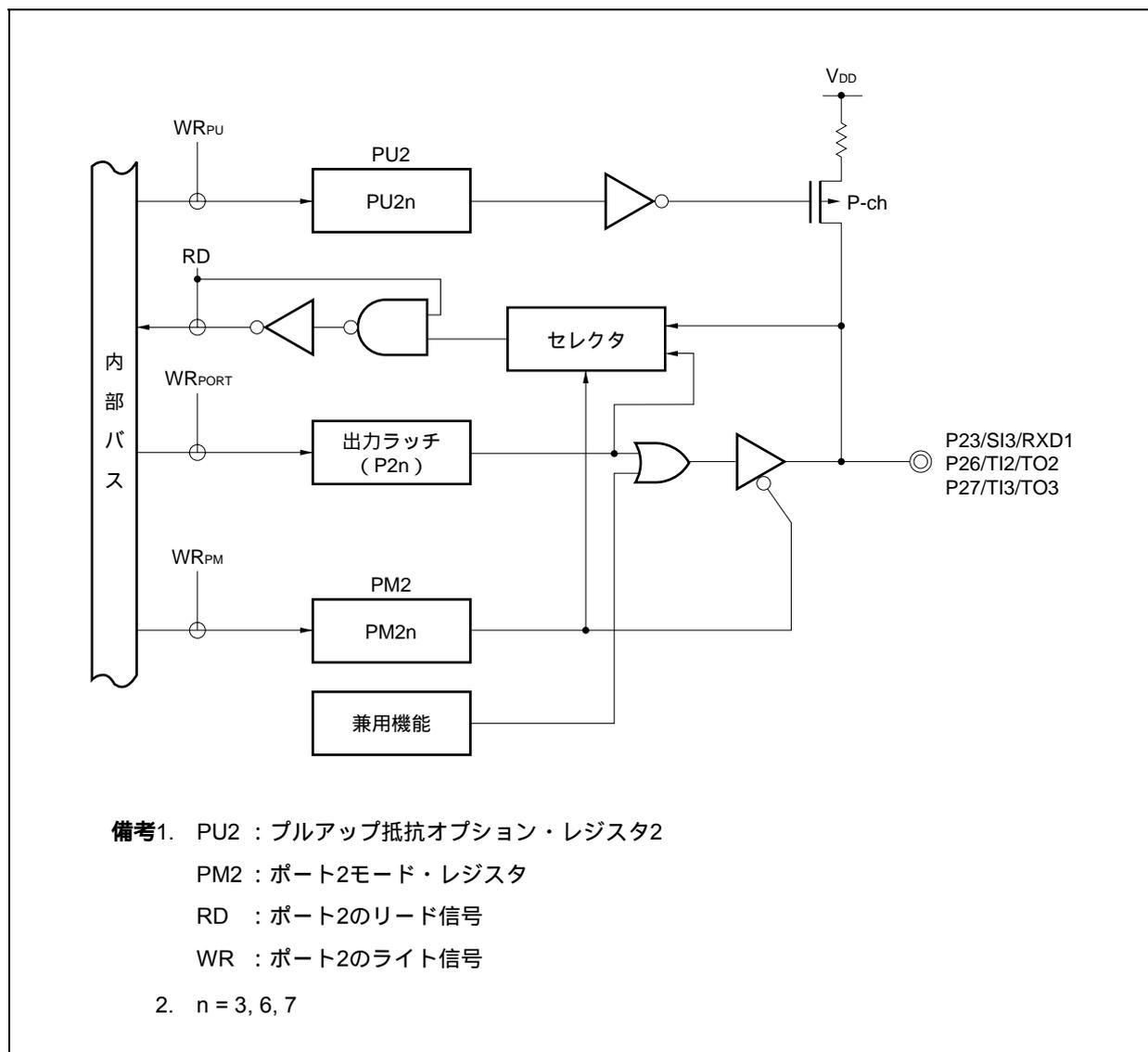


図14 - 5 P23, P26, P27のブロック図



14.2.4 ポート3

ポート3は、1ビット単位で入出力を制御できる8ビット入出力ポートです。また、ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

P33, P34は通常出力とN-chオープン・ドレイン出力を選択できます。

P36, P37をTI4, TI5端子として使用する場合、デジタル・ノイズ除去回路によりノイズ除去されます。

リセット時：00H R/W アドレス：FFFFFF006H

	7	6	5	4	3	2	1	0
P3	P37	P36	P35	P34	P33	P32	P31	P30

P3n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考 入力モード時：ポート3（P3）をリードすると、そのときの端子レベルを読み出します。ライトすると、P3にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート3（P3）をリードすると、P3の値を読み出します。ライトすると、P3に値を書き込み、すぐに書き込んだ値を出力します。

ポート3は、次に示す端子と兼用しています。

表14 - 5 ポート3の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考		
ポート3	P30	TI00	入出力	あり	-	
	P31	TI01				
	P32	TI10/SI4			N-chオープン・ドレイン出力選択可能	
	P33	TI11/SO4				
	P34	TO0/A13/SCK4			-	
	P35	TO1/A14				
	P36	TI4/TO4/A15				デジタル・ノイズ除去
	P37	TI5/TO5				

注 ソフトウェア・プルアップ機能

(1) P3端子の機能

ポート3は、1ビット単位で入出力を制御できる8ビット入出力ポートです。ポート3モード・レジスタ (PM3) により、入出力を制御します。

出力モード時、ポート3 (P3) に設定した各ビットの値を出力します。またポート3ファンクション・レジスタ (PF3) により、P33, P34の出力を通常出力とN-chオープン・ドレイン出力のどちらかに指定できます。

入力モード時にP3をリードすると端子状態をリードできます。また、出力モード時にP3をリードすると、P3 (出力ラッチ) の値をリードできます。

プルアップ抵抗オプション・レジスタ3 (PU3) の指定により、ビット単位でプルアップ抵抗を接続できます。

T14, T15端子として使用するときは、デジタル・ノイズ除去回路 (ポート0のデジタル・ノイズ除去回路と同等) により、ノイズ除去されます。

A13-A15端子として使用するときは、メモリ・アドレス出力モード・レジスタ (MAM) で設定します。このとき、必ずPM3レジスタ (PM34-PM36) とP3レジスタ (P34-P36) を0に設定してください。

兼用端子を出力として使用するときは、P3とPM3を0にしてください。ポート出力と兼用端子のORが端子から出力されます。

リセット入力により、入力モードに初期化されます。

(2) 制御レジスタ

(a) ポート3モード・レジスタ (PM3)

8/1ビット単位でリード/ライト可能です。

リセット時: FFH R/W アドレス: FFFFFFF026H								
	7	6	5	4	3	2	1	0
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30
	PM3n	入出力モードの制御 (n = 0-7)						
	0	出力モード						
	1	入力モード						

(b) プルアップ抵抗オプション・レジスタ3 (PU3)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF086H

	7	6	5	4	3	2	1	0
PU3	PU37	PU36	PU35	PU34	PU33	PU32	PU31	PU30

PU3n	内蔵プルアップ抵抗接続制御 (n = 0-7)
0	接続しない
1	接続する

(c) ポート3ファンクション・レジスタ (PF3)

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF0A6H

	7	6	5	4	3	2	1	0
PF3	0	0	0	PF34	PF33	0	0	0

PF3n	通常出力 / N-chオープン・ドレイン出力の制御 (n = 3, 4)
0	通常出力
1	N-chオープン・ドレイン出力

(3) ブロック図 (ポート3)

図14 - 6 P30-P32, P35-P37のブロック図

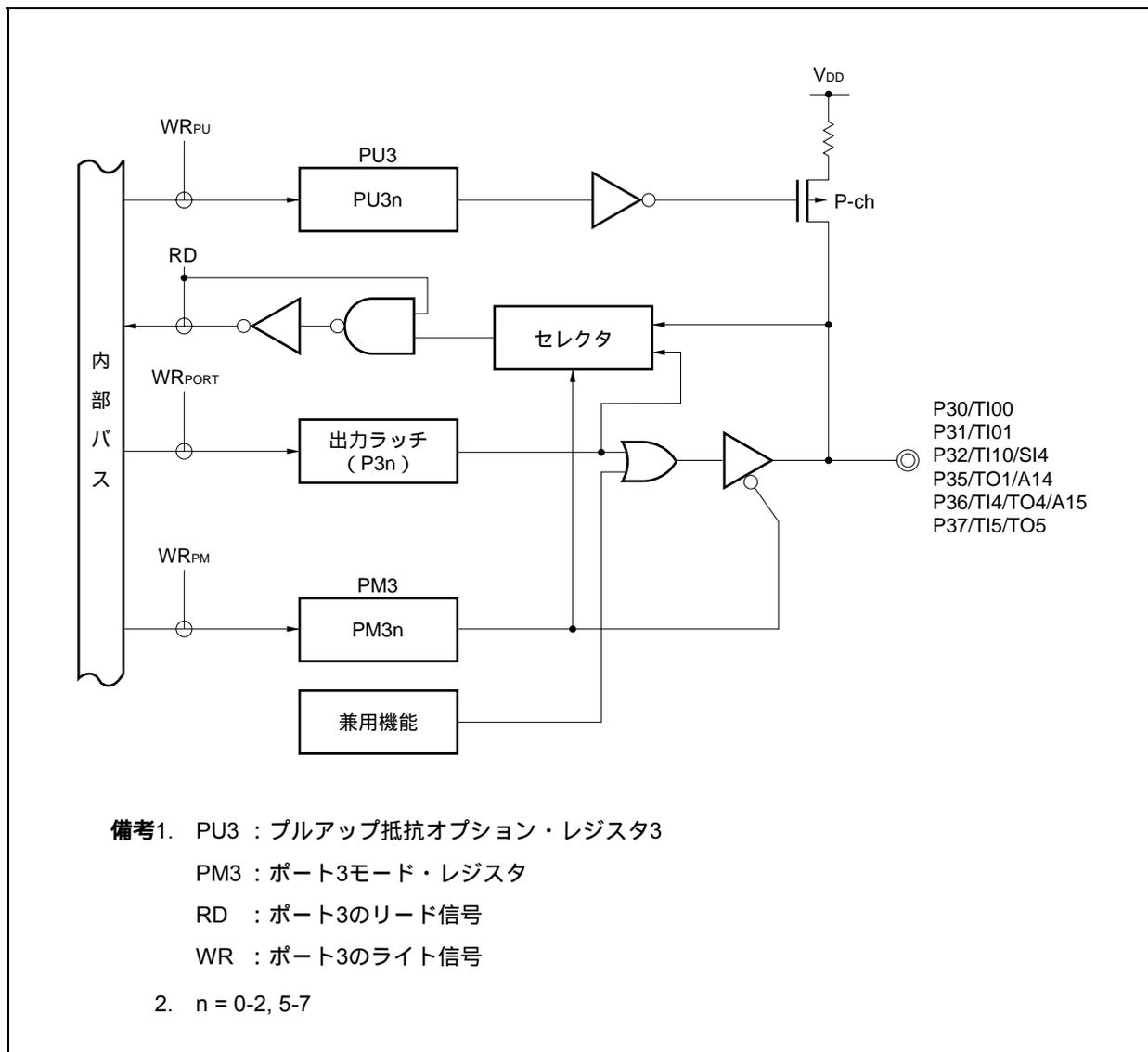
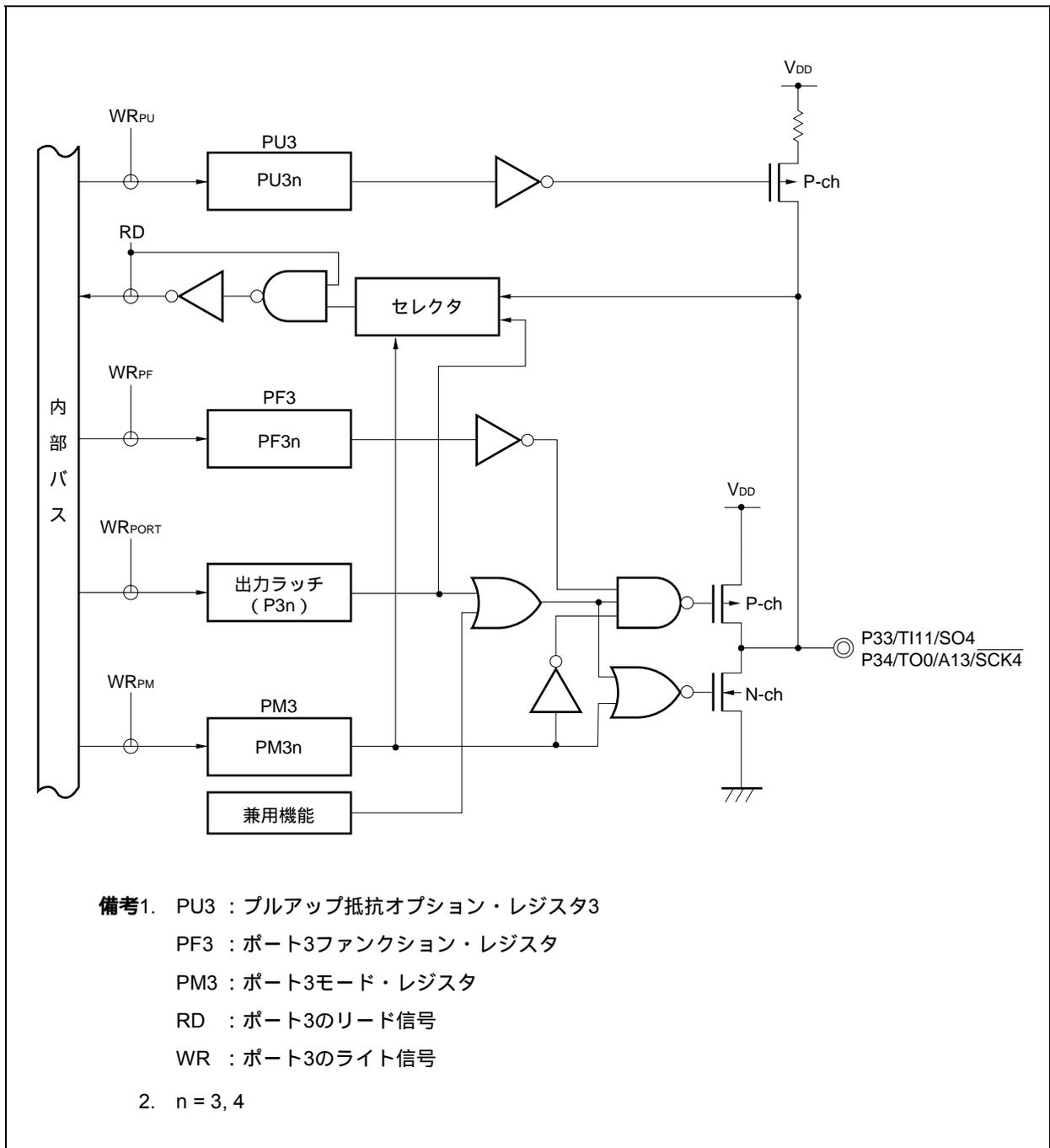


図14 - 7 P33, P34のブロック図



14.2.5 ポート4, ポート5

ポート4, ポート5は, 1ビット単位で入出力を制御できる8ビット入出力ポートです。

リセット時: 00H R/W アドレス: FFFFF008H, FFFFF00AH

	7	6	5	4	3	2	1	0
Pn	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0

(n = 4, 5)

Pnx	出力データの制御 (出力モード時) (n = 4, 5, x = 0-7)
0	0を出力
1	1を出力

備考 入力モード時: ポート4 (P4), ポート5 (P5) をリードすると, そのときの端子レベルを読み出します。ライトすると, P4, P5にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時: ポート4 (P4), ポート5 (P5) をリードすると, P4, P5の値を読み出します。ライトすると, P4, P5に値を書き込み, すぐに書き込んだ値を出力します。

ポート4, ポート5は, 次を示す端子と兼用しています。

表14 - 6 ポート4, ポート5の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考
ポート4	P40	AD0	なし	-
	P41	AD1		
	P42	AD2		
	P43	AD3		
	P44	AD4		
	P45	AD5		
	P46	AD6		
ポート5	P50	AD8	なし	-
	P51	AD9		
	P52	AD10		
	P53	AD11		
	P54	AD12		
	P55	AD13		
	P56	AD14		
	P57	AD15		

注 ソフトウェア・プルアップ機能

(1) P4, P5端子の機能

ポート4, ポート5は, 1ビット単位で入出力を制御できる8ビット入出力ポートです。ポート4モード・レジスタ (PM4), ポート5モード・レジスタ (PM5) で入出力を制御します。

出力モード時, ポート4, ポート5 (P4, P5) に設定した各ビットの値を出力します。

入力モード時にP4, P5をリードすると端子状態をリードできます。また, 出力モード時にP4, P5をリードすると, P4, P5 (出力ラッチ) の値をリードできます。

ソフトウェア・プルアップ機能は内蔵していません。

AD0-AD15として使用する場合は, メモリ拡張レジスタ (MM) で設定します。PM4, PM5の影響は受けません。

リセット入力により, 入力モードに初期化されます。

(2) 制御レジスタ

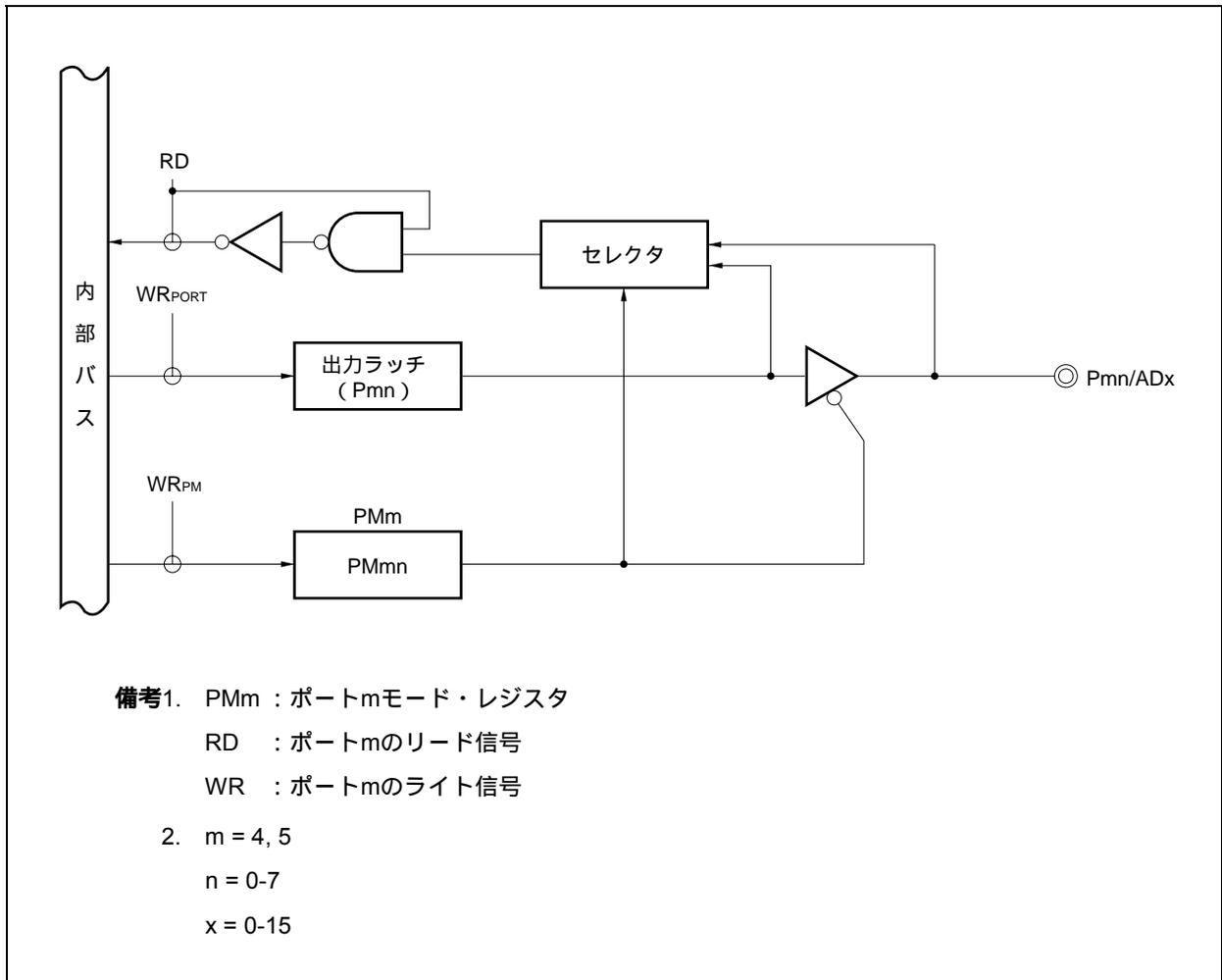
(a) ポート4モード・レジスタ, ポート5モード・レジスタ (PM4, PM5)

8/1ビット単位でリード/ライト可能です。

リセット時 : FFH R/W アドレス : FFFFF028H, FFFFF02AH									
	7	6	5	4	3	2	1	0	
PMn	PMn7	PMn6	PMn5	PMn4	PMn3	PMn2	PMn1	PMn0	
(n = 4, 5)									
	PMnx	入出力モードの制御 (n = 4, 5, x = 0-7)							
	0	出力モード							
	1	入力モード							

(3) ブロック図 (ポート4, ポート5)

図14 - 8 P40-P47, P50-P57のブロック図



14.2.6 ポート6

ポート6は、1ビット単位で入出力を制御できる6ビット入出力ポートです。

リセット時：00H R/W アドレス：FFFFFF00CH

	7	6	5	4	3	2	1	0
P6	0	0	P65	P64	P63	P62	P61	P60

P6n	出力データの制御（出力モード時）（n = 0-5）
0	0を出力
1	1を出力

備考 入力モード時：ポート6（P6）をリードすると、そのときの端子レベルを読み出します。ライトすると、P6にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート6（P6）をリードすると、P6の値を読み出します。ライトすると、P6に値を書き込み、すぐに書き込んだ値を出力します。

ポート6は、次に示す端子と兼用しています。

表14-7 ポート6の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考
ポート6	P60	A16	なし	-
	P61	A17		
	P62	A18		
	P63	A19		
	P64	A20		
	P65	A21		

注 ソフトウェア・プルアップ機能

(1) P6端子の機能

ポート6は、1ビット単位で入出力を制御できる6ビット入出力ポートです。ポート6モード・レジスタ（PM6）で入出力を制御します。

出力モード時、ポート6（P6）に設定した各ビットの値を出力します。

入力モード時にP6をリードすると端子状態をリードできます。また、出力モード時にP6をリードすると、P6（出力ラッチ）の値をリードできます。

ソフトウェア・プルアップ機能は内蔵していません。

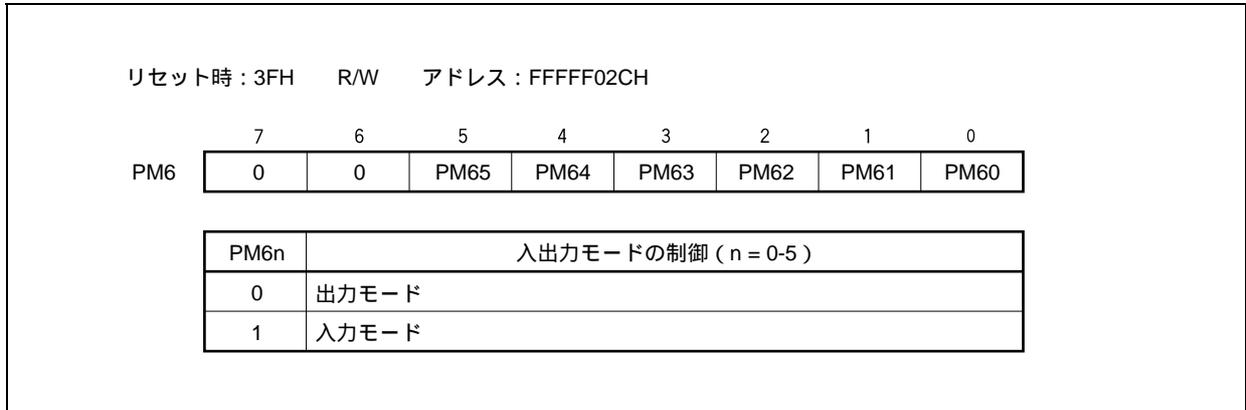
A16-A21として使用する場合は、メモリ拡張レジスタ（MM）で設定してください。PM6の影響は受けません。

リセット入力により、入力モードに初期化されます。

(2) 制御レジスタ

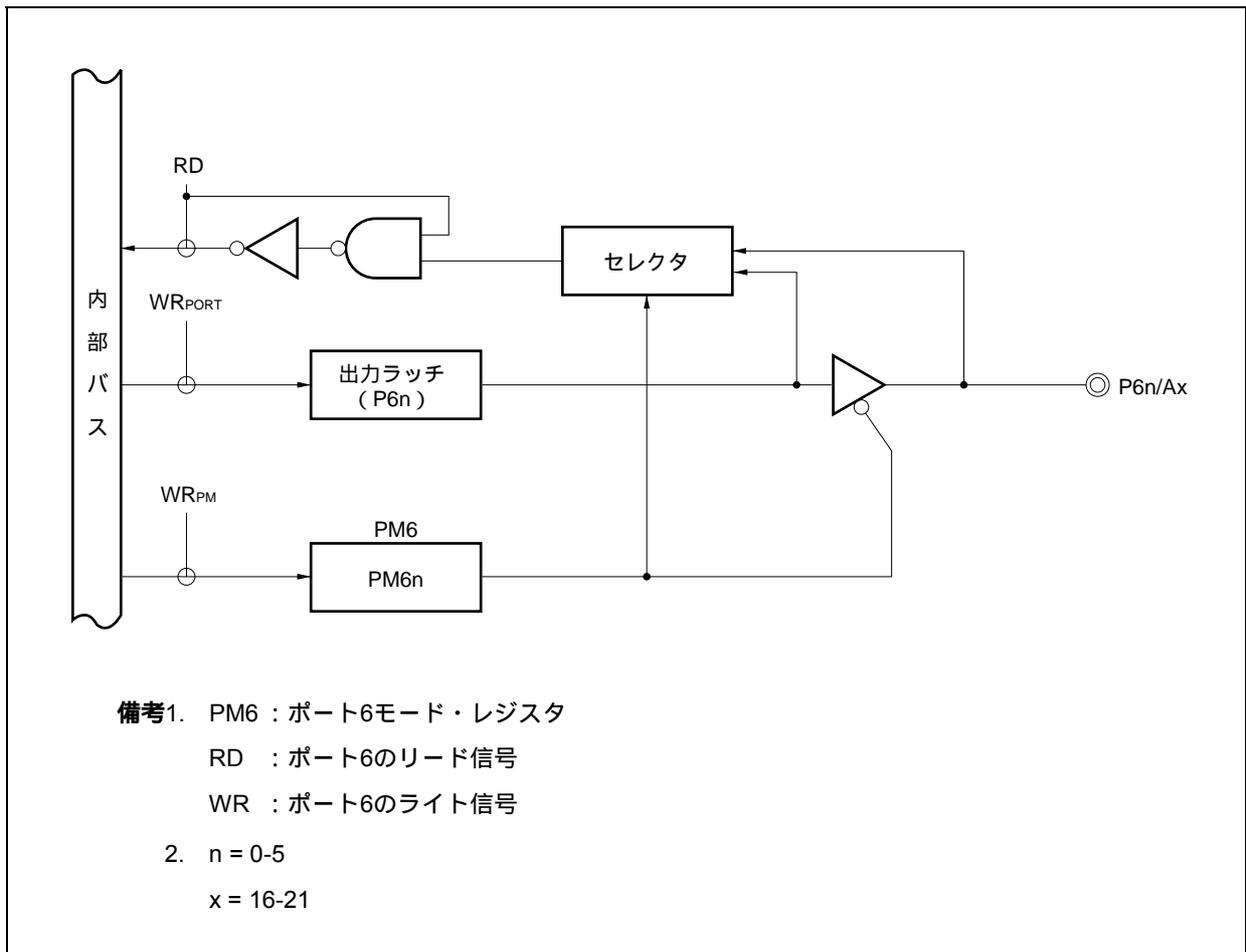
(a) ポート6モード・レジスタ (PM6)

8/1ビット単位でリード/ライト可能です。



(3) ブロック図 (ポート6)

図14 - 9 P60-P65のブロック図



14.2.7 ポート7, ポート8

ポート7は, 8ビットの入力ポートです。ポート8は, 4ビットの入力ポートです。8/1ビット単位でリードのみ可能です。

リセット時: 不定 R アドレス: FFFFF00EH							
7	6	5	4	3	2	1	0
P77	P76	P75	P74	P73	P72	P71	P70
P7n		端子レベル (n = 0-7)					
0/1		ビットnの端子レベルをリード					
リセット時: 不定 R アドレス: FFFFF010H							
7	6	5	4	3	2	1	0
0	0	0	0	P83	P82	P81	P80
P8n		端子レベル (n = 0-3)					
0/1		ビットnの端子レベルをリード					

ポート7, ポート8は, 次を示す端子と兼用しています。

表14 - 8 ポート7, ポート8の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート7	P70	ANI0	入力	なし	-
	P71	ANI1			
	P72	ANI2			
	P73	ANI3			
	P74	ANI4			
	P75	ANI5			
	P76	ANI6			
	P77	ANI7			
ポート8	P80	ANI8	入力	なし	-
	P81	ANI9			
	P82	ANI10			
	P83	ANI11			

注 ソフトウェア・プルアップ機能

(1) P7, P8端子の機能

ポート7は、8ビットの入力専用ポートです。ポート8は、4ビットの入力専用ポートです。

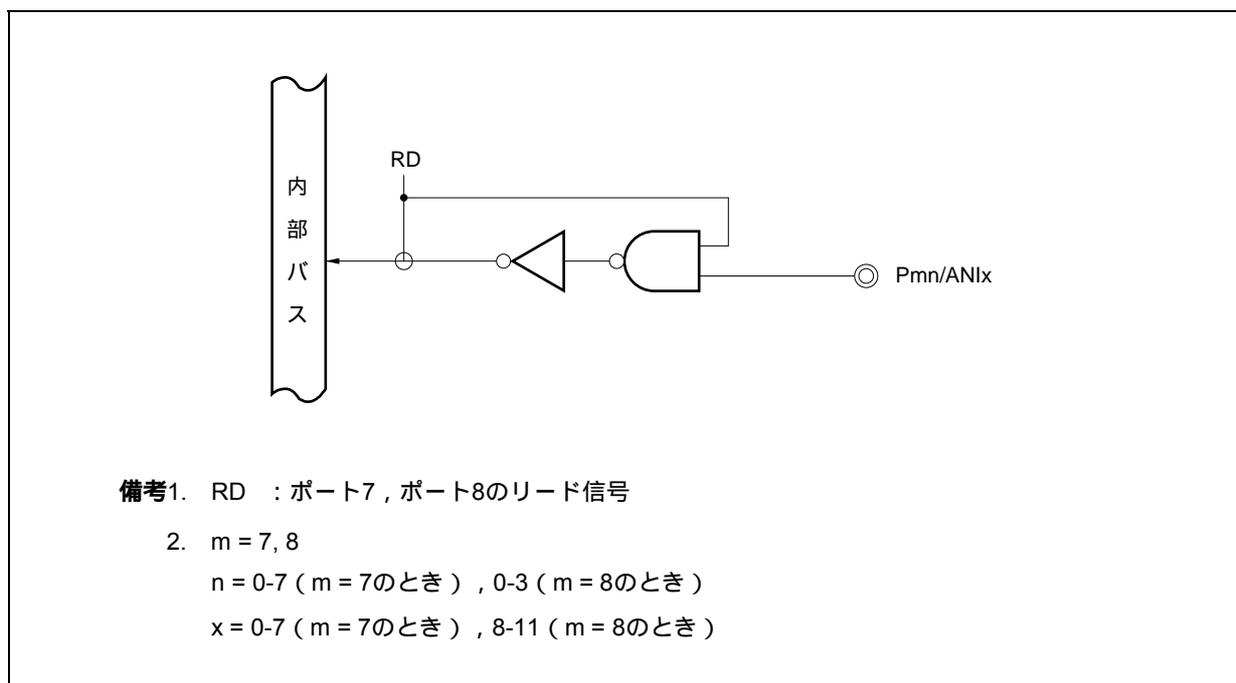
ポート7 (P7) , ポート8 (P8) をリードすると端子状態をリードできます。また、P7, P8にはデータを書き込めません。

ソフトウェア・プルアップ機能は内蔵していません。

アナログ入力に指定された端子をリードしたときの値は不定です。また、A/D変換中にP7, P8の値をリードしないでください。

(2) ブロック図 (ポート7, ポート8)

図14 - 10 P70-P77, P80-P83のブロック図



14.2.8 ポート9

ポート9は、1ビット単位で入出力を制御できる7ビット入出力ポートです。

リセット時：00H R/W アドレス：FFFFFF012H

	7	6	5	4	3	2	1	0
P9	0	P96	P95	P94	P93	P92	P91	P90

P9n	出力データの制御（出力モード時）（n = 0-6）
0	0を出力
1	1を出力

備考 入力モード時：ポート9（P9）をリードすると、そのときの端子レベルを読み出します。ライトすると、P9にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート9（P9）をリードすると、P9の値を読み出します。ライトすると、P9に値を書き込み、すぐに書き込んだ値を出力します。

ポート9は、次に示す端子と兼用しています。

表14 - 9 ポート9の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート9	P90	LBEN/WRL	入出力	なし	-
	P91	UBEN			
	P92	R/W / WRH			
	P93	DSTB/RD			
	P94	ASTB			
	P95	HLDK			
	P96	HLDK			

注 ソフトウェア・プルアップ機能

(1) P9端子の機能

ポート9は、1ビット単位で入出力を制御できる7ビット入出力ポートです。ポート9モード・レジスタ (PM9) で入出力を制御します。

出力モード時、ポート9 (P9) に設定した各ビットの値を出力します。

入力モード時にP9をリードすると端子状態をリードできます。また、出力モード時にP9をリードすると、P9 (出力ラッチ) の値をリードできます。

ソフトウェア・プルアップ機能は内蔵していません。

P9を拡張モード時のコントロール信号として使用する場合は、メモリ拡張モード・レジスタ (MM) で設定してください。

リセット入力により、入力モードに初期化されます。

- ★ **注意** ポート9を入出力ポートとして使用するときは、システム制御レジスタ (SYC) のBICビットを “0” に設定してください。
 なお、システム・リセット時はBICビット = 0になります。

(2) 制御レジスタ

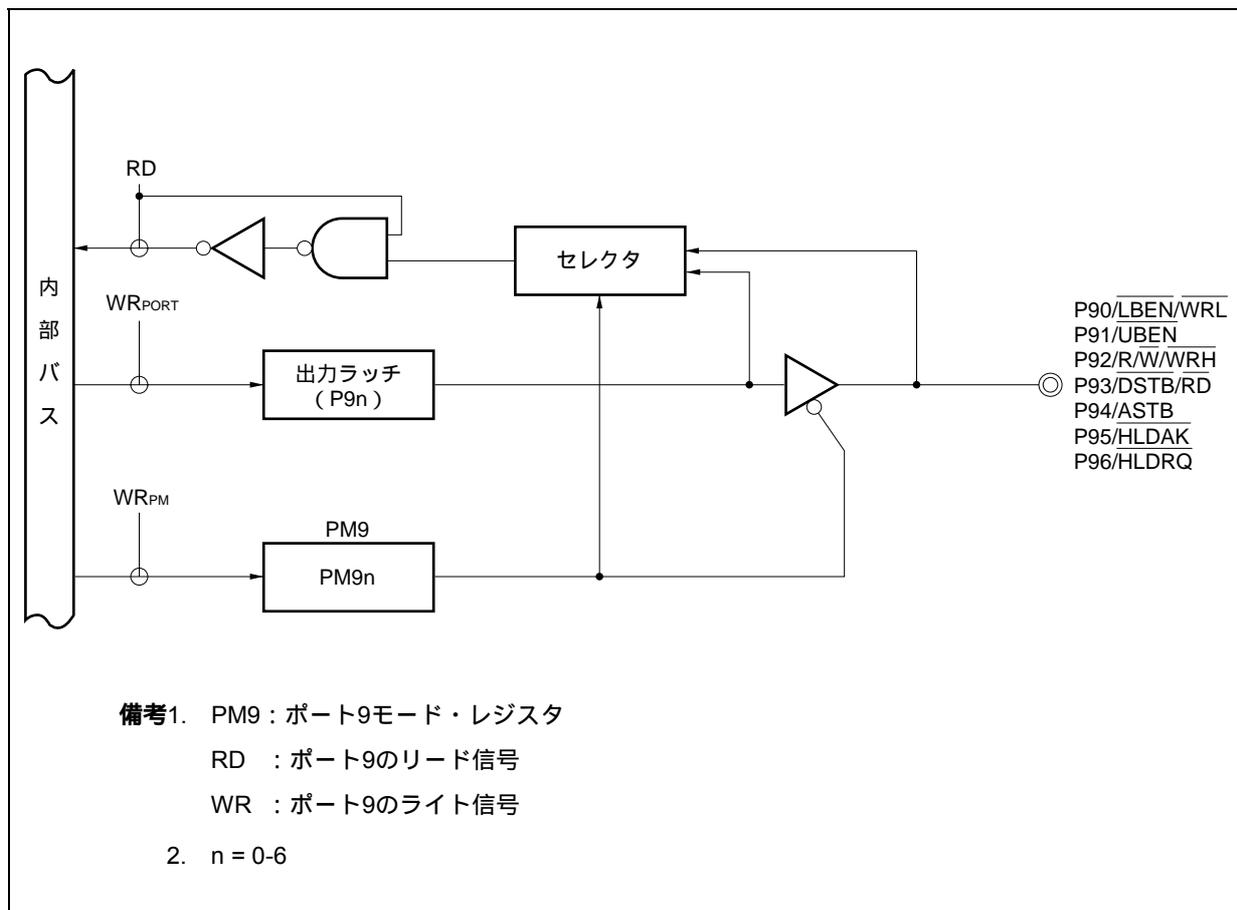
(a) ポート9モード・レジスタ (PM9)

8/1ビット単位でリード/ライト可能です。

リセット時 : 7FH R/W アドレス : FFFFF032H								
	7	6	5	4	3	2	1	0
PM9	0	PM96	PM95	PM94	PM93	PM92	PM91	PM90
	PM9n	入出力モードの制御 (n = 0-6)						
	0	出力モード						
	1	入力モード						

(3) ブロック図 (ポート9)

図14 - 11 P90-P96のブロック図



14.2.9 ポート10

ポート10は、1ビット単位で入出力を制御できる8ビット入出力ポートです。また、ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

通常出力とN-chオープン・ドレイン出力を選択できます。

P100-P107をKR0-KR7端子として使用する場合、アナログ・ノイズ除去回路によりノイズ除去されます。

リセット時：00H R/W アドレス：FFFFFF014H

	7	6	5	4	3	2	1	0
P10	P107	P106	P105	P104	P103	P102	P101	P100

P10n	出力データの制御（出力モード時）（n=0-7）
0	0を出力
1	1を出力

備考 入力モード時：ポート10（P10）をリードすると、そのときの端子レベルを読み出します。ライトすると、P10にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート10（P10）をリードすると、P10の値を読み出します。ライトすると、P10に値を書き込み、すぐに書き込んだ値を出力します。

ポート10は、次に示す端子と兼用しています。 $\overline{\text{IERX}}$ 、 $\overline{\text{IETX}}$ 端子はV850/SB2のみ有効です。

表14 - 10 ポート10の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート10	P100	RTP0/A5/KR0	入出力	あり	N-chオープン・ドレイン出力選択可能 アナログ・ノイズ除去
	P101	RTP1/A6/KR1			
	P102	RTP2/A7/KR2			
	P103	RTP3/A8/KR3			
	P104	RTP4/A9/KR4/ $\overline{\text{IERX}}$			
	P105	RTP5/A10/KR5/ $\overline{\text{IETX}}$			
	P106	RTP6/A11/KR6			
	P107	RTP7/A12/KR7			

注 ソフトウェア・プルアップ機能

(1) P10端子の機能

ポート10は、1ビット単位で入出力を制御できる8ビット入出力ポートです。ポート10モード・レジスタ（PM10）で入出力を制御します。

出力モード時、ポート10（P10）に設定した各ビットの値を出力します。また、ポート10ファンクション・レジスタ（PF10）で、出力を通常出力とN-chオープン・ドレイン出力のどちらかに設定できます。

入力モード時にP10をリードすると端子状態をリードできます。また、出力モード時にP10をリードすると、P10（出力ラッチ）の値をリードできます。

プルアップ抵抗オプション・レジスタ10（PU10）の指定により、ビット単位でプルアップ抵抗を接続

できます。

A5-A12端子として使用するときは、メモリ・アドレス出力モード・レジスタ (MAM) で設定します。
このとき、必ずP10とPM10を0に設定してください。

KR0-KR7端子として使用するときは、アナログ・ノイズ除去回路によりノイズが除去されます。

兼用端子として出力するときは、ポート出力と兼用端子のORが端子から出力されます。

リセット入力により、入力モードに初期化されます。

★ **注意** リアルタイム出力機能として使用する際には、13.5 使用方法に従って設定してください。

(2) 制御レジスタ

(a) ポート10モード・レジスタ (PM10)

8/1ビット単位でリード/ライト可能です。

リセット時：FFH R/W アドレス：FFFFFF034H

	7	6	5	4	3	2	1	0
PM10	PM107	PM106	PM105	PM104	PM103	PM102	PM101	PM100
PM10n	入出力モードの制御 (n = 0-7)							
0	出力モード							
1	入力モード							

(b) プルアップ抵抗オプション・レジスタ10 (PU10)

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF094H

	7	6	5	4	3	2	1	0
PU10	PU107	PU106	PU105	PU104	PU103	PU102	PU101	PU100
PU10n	内蔵プルアップ抵抗接続制御 (n = 0-7)							
0	接続しない							
1	接続する							

(c) ポート10ファンクション・レジスタ (PF10)

8/1ビット単位でリード/ライト可能です。

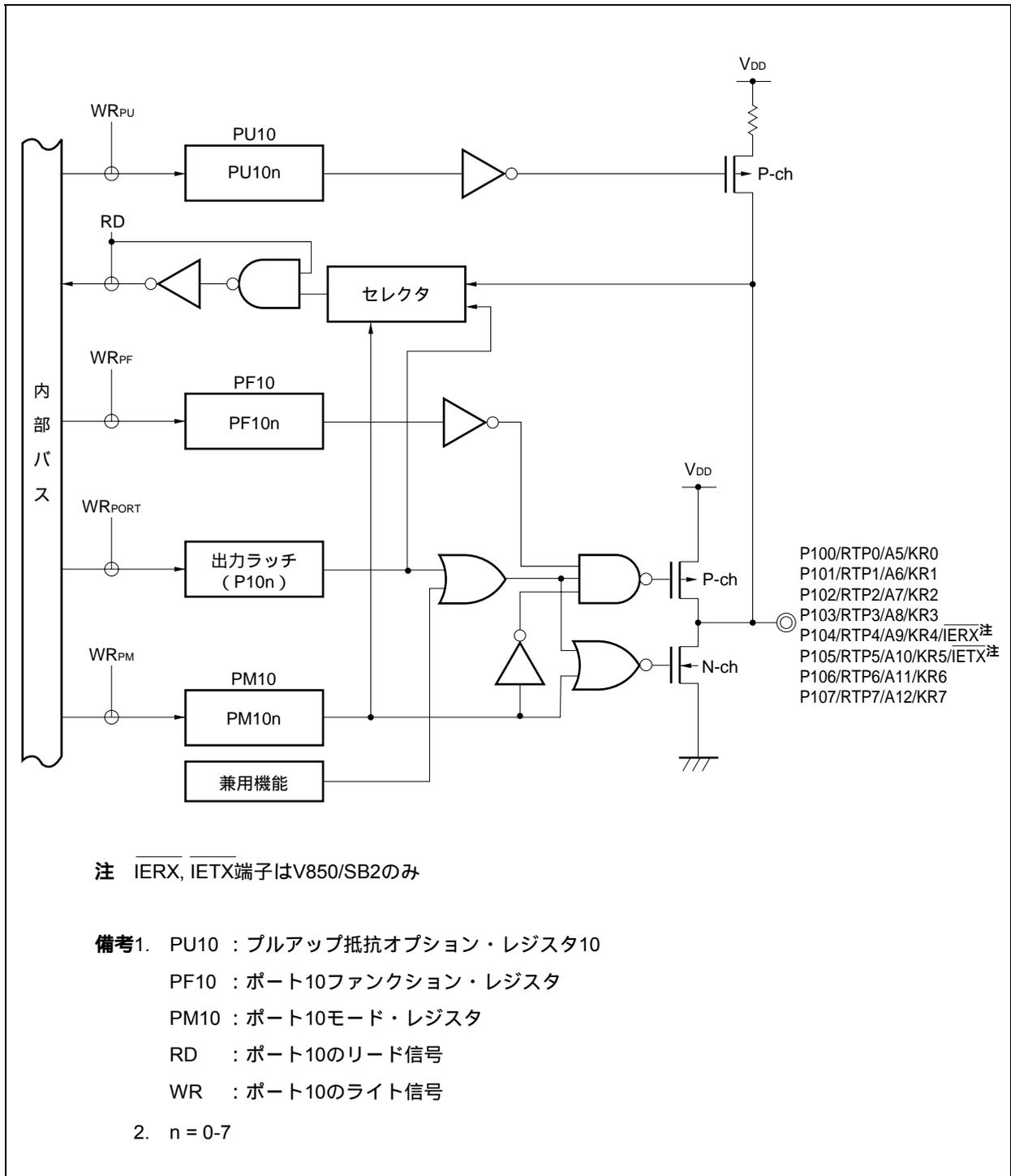
リセット時 : 00H R/W アドレス : FFFFF0B4H

	7	6	5	4	3	2	1	0
PF10	PF107	PF106	PF105	PF104	PF103	PF102	PF101	PF100

PF10n	通常出力 / N-chオープン・ドレイン出力の制御 (n = 0-7)
0	通常出力
1	N-chオープン・ドレイン出力

(3) ブロック図 (ポート10)

図14 - 12 P100-P107のブロック図



14.2.10 ポート11

ポート11は、4ビットの入出力ポートです。ビット0-ビット3は、ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

8/1ビット単位でリード/ライト可能です。

ウエイト機能のON/OFFをポート兼用機能コントロール・レジスタ（PAC）で行います。

注意 ウエイト機能を使用する場合、BV_{DD}とEV_{DD}を同じ電位にしてください。

リセット時：00H R/W アドレス：FFFFF016H

	7	6	5	4	3	2	1	0
P11	0	0	0	不定	P113	P112	P111	P110

P11n	出力データの制御（出力モード時）（n=0-3）
0	0を出力
1	1を出力

備考 入力モード時：ポート11（P11）をリードすると、そのときの端子レベルを読み出します。ライトすると、P11にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート11（P11）をリードすると、P11の値を読み出します。ライトすると、P11に値を書き込み、すぐに書き込んだ値を出力します。

ポート11は、次に示す端子と兼用しています。

表14 - 11 ポート11の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート11	P110	A1/WAIT	入出力	あり	-
	P111	A2			
	P112	A3			
	P113	A4			

注 ソフトウェア・プルアップ機能

(1) P11端子の機能

ポート11は、ビット単位で入出力を制御できる入出力ポートで、計4ビットのポートです。

出力モード時、ポート11（P11）に設定した各ビットの値（ビット0-ビット3）を出力します。

入力モード時にP11をリードすると端子状態をリードできます。また、出力モード時にP11をリードすると、P11（出力ラッチ）の値をリードできます（ビット0-ビット3のみ）。

プルアップ抵抗オプション・レジスタ11（PU11）の設定により、P110-P113までビット単位でプルアップ抵抗を接続できます。

ウエイト機能のON/OFFはポート兼用機能コントロール・レジスタ（PAC）で行います。

A1-A4端子として使用するときは、メモリ・アドレス出力モード・レジスタ（MAM）で設定します。このとき、必ずP11とPM11を0に設定してください。

リセット入力により，入力モードに初期化されます。

注意 セバレート・バスを使用しているときは， $\overline{\text{WAIT}}$ 端子によるウェイト機能は使用できません。
ただし，プログラマブル・ウェイトは使用できます。

(2) 制御レジスタ

(a) ポート11モード・レジスタ (PM11)

8/1ビット単位でリード/ライト可能です。

リセット時：1FH R/W アドレス：FFFFFF036H

	7	6	5	4	3	2	1	0
PM11	0	0	0	1	PM113	PM112	PM111	PM110

PM11n	入出力モードの制御 (n = 0-3)
0	出力モード
1	入力モード

(b) プルアップ抵抗オプション・レジスタ11 (PU11)

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF096H

	7	6	5	4	3	2	1	0
PU11	0	0	0	0	PU113	PU112	PU111	PU110

PU11n	内蔵プルアップ抵抗接続制御 (n = 0-3)
0	接続しない
1	接続する

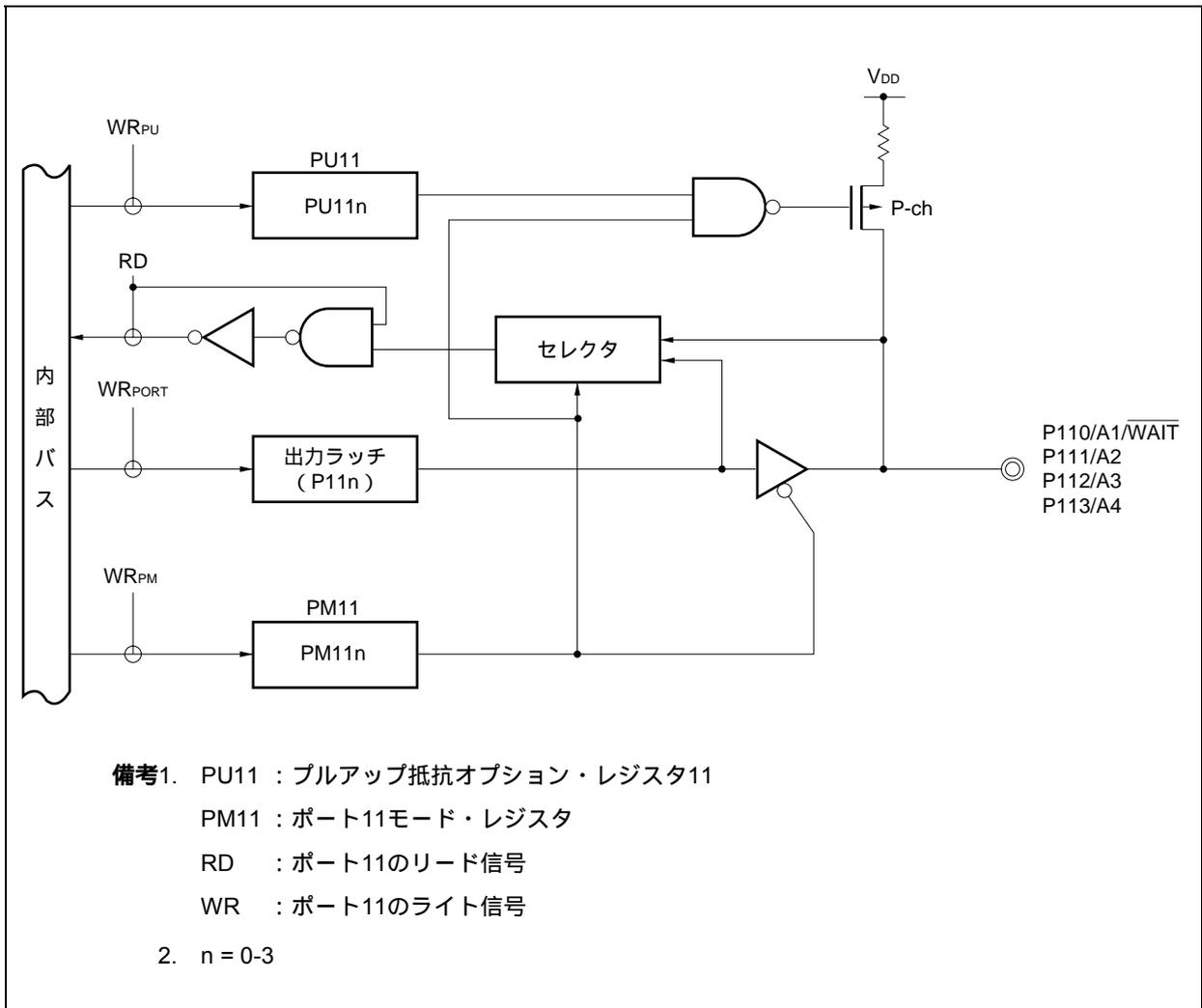
(c) ポート兼用機能コントロール・レジスタ (PAC)

8/1ビット単位でリード/ライト可能です。



(3) ブロック図 (ポート11)

図14 - 13 P110-P113のブロック図



14.3 ポート端子を兼用端子として使用する場合の設定

ポート端子を兼用端子として使用する場合，ポートnモード・レジスタ（PM0-PM6, PM9-PM11），出力ラッチを表14 - 12のように設定してください。

表14 - 12 ポート端子を兼用端子として使用する場合の設定（1/3）

端子名称	兼用端子		PMnレジスタの PMnxビット	Pnレジスタの Pnxビット	その他のビット (レジスタ)
	名称	入出力			
P00	NMI	入力	PM00 = 1	P00 = 設定不要	-
P01	INTP0	入力	PM01 = 1	P01 = 設定不要	-
P02	INTP1	入力	PM02 = 1	P02 = 設定不要	-
P03	INTP2	入力	PM03 = 1	P03 = 設定不要	-
P04	INTP3	入力	PM04 = 1	P04 = 設定不要	-
P05	INTP4	入力	PM05 = 1	P05 = 設定不要	-
	ADTRG	入力			
P06	INTP5	入力	PM06 = 1	P06 = 設定不要	-
	RTPTRG	入力			
P07	INTP6	入力	PM07 = 1	P07 = 設定不要	-
P10	SI0	入力	PM10 = 1	P10 = 設定不要	-
	SDA0 ^注	入出力	PM10 = 0	P10 = 0	PF10 = 1
P11	SO0	出力	PM11 = 0	P11 = 0	-
P12	SCK0	入力	PM12 = 1	P12 = 設定不要	-
		出力	PM12 = 0	P12 = 0	
	SCL0 ^注	入出力			PF12 = 1
P13	SI1	入力	PM13 = 1	P13 = 設定不要	-
	RXD0	入力			
P14	SO1	出力	PM14 = 0	P14 = 0	-
	TXD0	出力			
P15	SCK1	入力	PM15 = 1	P15 = 設定不要	-
		出力	PM15 = 0	P15 = 0	
	ASCK0	入力	PM15 = 1	P15 = 設定不要	
P20	SI2	入力	PM20 = 1	P20 = 設定不要	-
	SDA1 ^注	入出力	PM20 = 0	P20 = 0	PF20 = 1
P21	SO2	出力	PM21 = 0	P21 = 0	-
P22	SCK2	入力	PM22 = 1	P22 = 設定不要	-
		出力	PM22 = 0	P22 = 0	
	SCL1 ^注	入出力			
P23	SI3	入力	PM23 = 1	P23 = 設定不要	-
	RXD1	入力			
P24	SO3	出力	PM24 = 0	P24 = 0	-
	TXD1	出力			
P25	SCK3	入力	PM25 = 1	P25 = 設定不要	-
		出力	PM25 = 0	P25 = 0	
	ASCK1	入力	PM25 = 1	P25 = 設定不要	

注 Y品（I²C内蔵品）のみ

表14 - 12 ポート端子を兼用端子として使用する場合の設定 (2/3)

端子名称	兼用端子		PMnレジスタの PMnxビット	Pnレジスタの Pnxビット	その他のビット (レジスタ)
	名称	入出力			
P26	TI2	入力	PM26 = 1	P26 = 設定不要	-
	TO2	出力	PM26 = 0	P26 = 0	
P27	TI3	入力	PM27 = 1	P27 = 設定不要	-
	TO3	出力	PM27 = 0	P27 = 0	
P30	TI00	入力	PM30 = 1	P30 = 設定不要	-
P31	TI01	入力	PM31 = 1	P31 = 設定不要	-
P32	TI10	入力	PM32 = 1	P32 = 設定不要	-
	SI4	入力			
P33	TI11	入力	PM33 = 1	P33 = 設定不要	-
	SO4	出力	PM33 = 0	P33 = 0	
P34	TO0	出力	PM34 = 0	P34 = 0	-
	A13	出力			3.4.6(2) 参照 (MAM)
	SCK4	入力	PM34 = 1	P34 = 設定不要	-
P35		出力	PM35 = 0	P35 = 0	-
		出力			3.4.6(2) 参照 (MAM)
P36	TI4	入力	PM36 = 1	P36 = 設定不要	-
	TO4	出力	PM36 = 0	P36 = 0	
	A15	出力			3.4.6(2) 参照 (MAM)
P37	TI5	入力	PM37 = 1	P37 = 設定不要	-
	TO5	出力	PM37 = 0	P37 = 0	
P40-P47	AD0-AD7	入出力	PM40-PM47 = 設定不要	P40-P47 = 設定不要	3.4.6(1) 参照 (MM)
P50-P57	AD8-AD15	入出力	PM50-PM57 = 設定不要	P50-P57 = 設定不要	3.4.6(1) 参照 (MM)
P60-P65	A16-A21	出力	PM60-PM65 = 設定不要	P60-P65 = 設定不要	3.4.6(1) 参照 (MM)
P70-P77	ANI0-ANI7	入力	なし	P70-P77 = 設定不要	-
P80-P83	ANI8-ANI11	入力	なし	P80-P83 = 設定不要	-
P90	LBEN	出力	PM90 = 設定不要	P90 = 設定不要	3.4.6(1) 参照 (MM)
	WRL	出力			
P91	UBEN	出力	PM91 = 設定不要	P91 = 設定不要	3.4.6(1) 参照 (MM)
P92	R/W	出力	PM92 = 設定不要	P92 = 設定不要	3.4.6(1) 参照 (MM)
	WRH	出力			
P93	DSTB	出力	PM93 = 設定不要	P93 = 1	3.4.6(1) 参照 (MM)
	RD	出力			
P94	ASTB	出力	PM94 = 設定不要	P94 = 1	3.4.6(1) 参照 (MM)
P95	HLDKAK	出力	PM95 = 設定不要	P95 = 設定不要	3.4.6(1) 参照 (MM)
P96	HLDRQ	入力	PM96 = 設定不要	P96 = 設定不要	3.4.6(1) 参照 (MM)
P100-P103	RTP0-RTP3	出力	PM100-PM103 = 0	P100-P103 = 0	-
	A5-A8	出力			3.4.6(2) 参照 (MAM)
	KR0-KR3	入力	PM100-PM103 = 1	P100-P103 = 設定不要	-
P104	RTP4	出力	PM104 = 0	P104 = 0	-
	A9	出力			3.4.6(2) 参照 (MAM)

表14 - 12 ポート端子を兼用端子として使用する場合の設定 (3/3)

端子名称	兼用端子		PMnレジスタの PMnxビット	Pnレジスタの Pnxビット	その他のビット (レジスタ)
P104	KR4	入力	PM104 = 1	P104 = 設定不要	-
	IEX ^注	入力			-
P105	RTP5	出力	PM105 = 0	P105 = 0	-
	A10	出力			3.4.6(2)参照(MAM)
	KR5	入力	PM105 = 1	P105 = 設定不要	-
	IETX ^注	出力	PM105 = 0	P105 = 0	-
P106, P107	RTP6, RTP7	出力	PM106, PM107 = 0	P106, P107 = 0	-
	A11, A12	出力			3.4.6(2)参照(MAM)
	KR6, KR7	入力	PM106, PM107 = 1	P106, P107 = 設定不要	-
P110	A1	出力	PM110 = 0	P110 = 0	3.4.6(2)参照(MAM)
	WAIT	入力	PM110 = 1	P110 = 設定不要	WAC = 1(PAC)
P111-P113	A2-A4	出力	PM111-PM113 = 0	P111-P113 = 0	3.4.6(2)参照(MAM)

注 V850/SB2のみ

注意 ポート0は、外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを設定して出力レベルを変化させた場合、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用する場合は、あらかじめ割り込みマスク・フラグに1を設定してください。

備考 PMnレジスタのPMnxビット / PnのPnxビット

n : 0 (x = 0-7) n : 1 (x = 0-5) n : 2 (x = 0-7) n : 3 (x = 0-7) n : 4 (x = 0-7)
 n : 5 (x = 0-7) n : 6 (x = 0-5) n : 7 (x = 0-7) n : 8 (x = 0-3) n : 9 (x = 0-6)
 n : 10 (x = 0-7) n : 11 (x = 0-3)

14.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

14.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込めます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込めます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

- ★ **注意** ビット操作命令 (CLR, SET1, NOT1) の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容がそのときの入力端子の状態に上書きされ、不定となります。

14.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

第15章 リセット機能

15.1 概要

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるとシステム・リセットがかかり、オンチップの各ハードウェアは初期状態にイニシャライズされます。また、リセット期間中メイン・クロックは発振を停止します。サブクロックは発振を継続します。

$\overline{\text{RESET}}$ 端子がロウ・レベルからハイ・レベルになると、リセット状態が解除され、CPUはプログラムの実行を開始します。各種レジスタの内容は、プログラムの中で必要に応じてイニシャライズしてください。

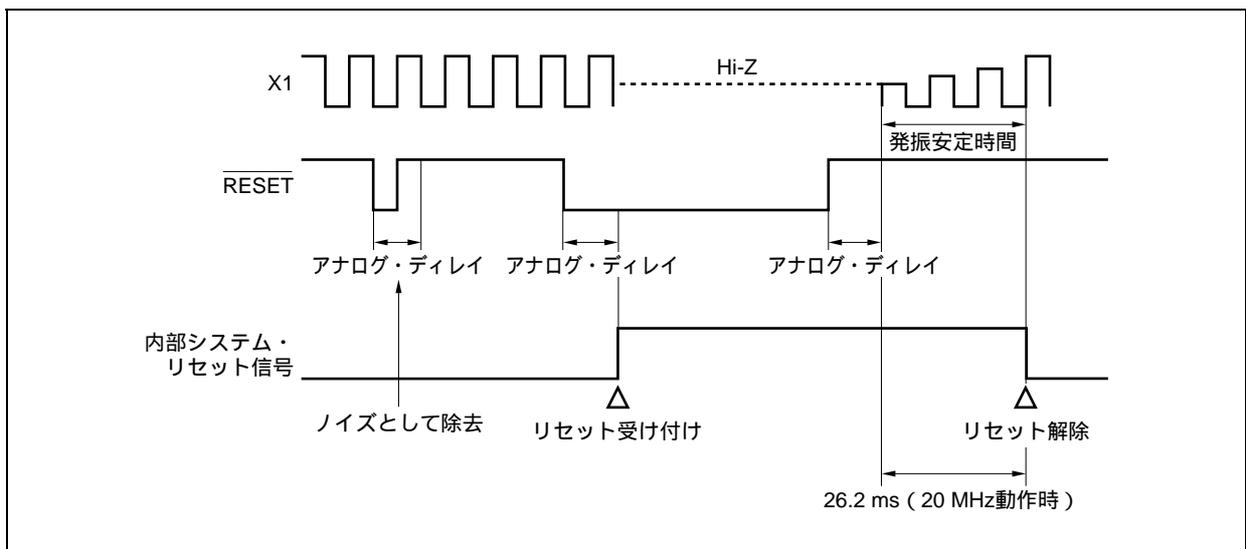
$\overline{\text{RESET}}$ 端子はノイズによる誤動作を防ぐためにアナログ・ディレイによるノイズ除去回路を内蔵しています。

15.2 端子動作

システム・リセット期間中は、ほとんどの端子出力($\overline{\text{RESET}}$, X2, XT2, REGC, AVREF, VDD, VSS, AVDD, AVSS, BVDD, BVSS, EVDD, EVSS, VPP/ICを除く全端子)がハイ・インピーダンスになります。

したがって、たとえば外部にメモリを接続している場合は、各端子にプルアップ（またはプルダウン）抵抗を付けてください。付けていない場合、これらの端子がハイ・インピーダンスになるため、メモリ内のデータを破壊する可能性があります。同様に内蔵の周辺I/O機能の信号出力、出力ポートにおいても、影響がないよう端子を処理してください。

図15-1 システム・リセット・タイミング



第16章 レギュレータ

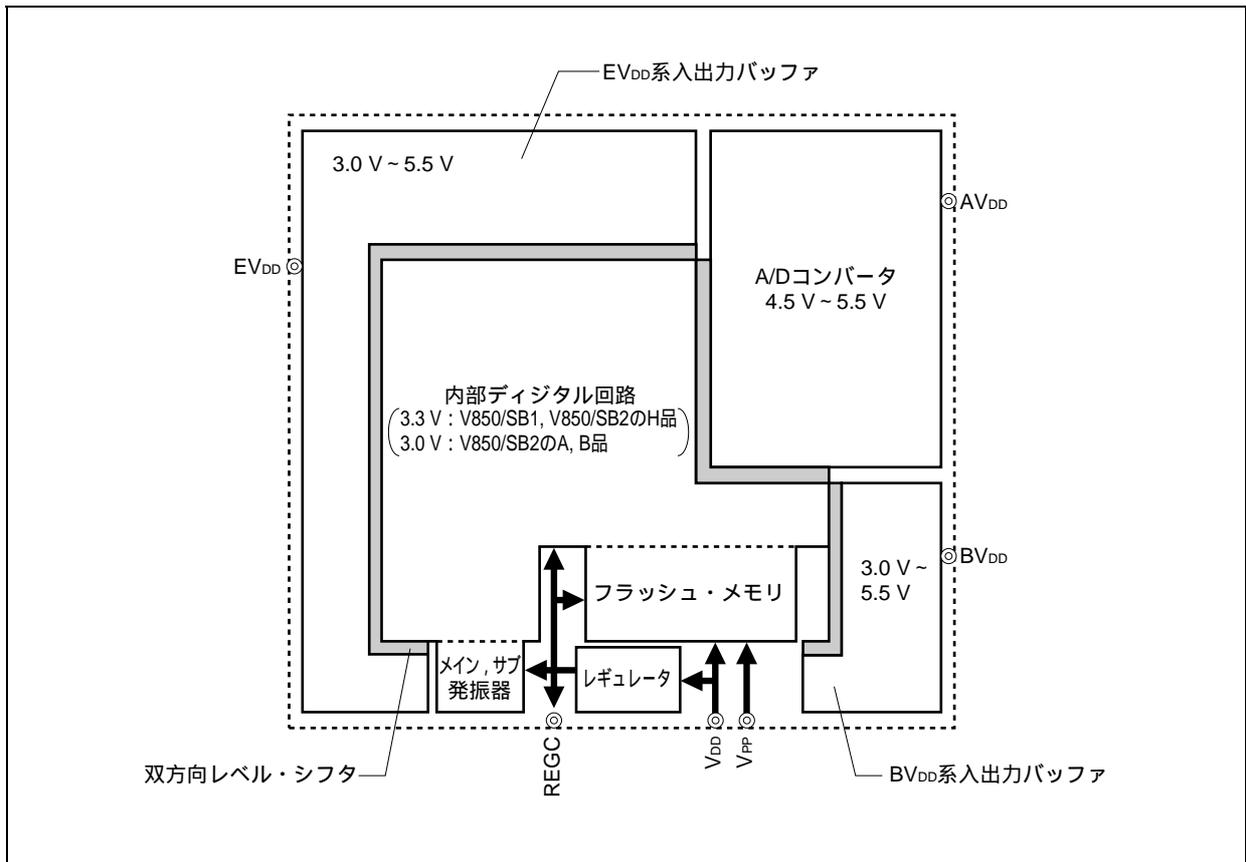
16.1 概要

V850/SB1, V850/SB2は、5 V単一電源、低消費電力/低ノイズを実現するために、レギュレータを内蔵しています。

このレギュレータは、発振器ブロックと内部ロジック回路（A/Dコンバータ、出力バッファは除く）に、V_{DD}電源電圧を降圧した電圧を供給します。レギュレータ出力電圧は、3.3 V（V850/SB1, V850/SB2のH品）、3.0 V（V850/SB2のA, B品）に設定しています。

各端子に対応する電源については、2.4 端子の入出力回路タイプ、入出力バッファ電源と未使用時の処理を参照してください。

図16 - 1 レギュレータ



16.2 動作

V850/SB1, V850/SB2のレギュレータは、いかなるモード（STOP, IDLE, HALT）でも常に動作しています。

また、レギュレータの出力を安定させるためにREGC端子に容量（約1 μ Fの電解コンデンサ）を接続してください。

第17章 ROMコレクション機能

17.1 概要

V850/SB1, V850/SB2に搭載するROMコレクション機能は、マスクROM内のプログラムの一部を内蔵RAMのプログラムに置き換えて実行する機能です。

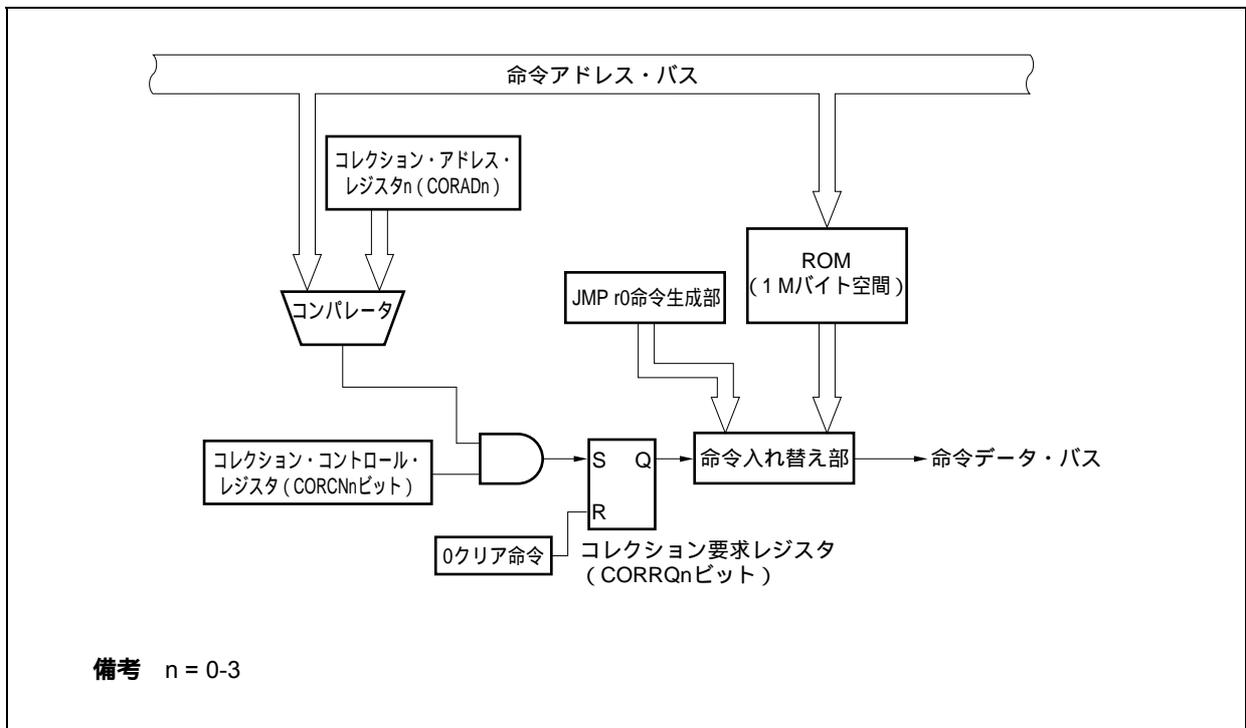
プログラムの置き換えを始めたいアドレス（修正アドレス）の命令を、JMP r0命令に入れ替えて00000000Hにジャンプさせます。次にコレクション要求レジスタ（CORRQ）をチェックしてフラグ（CORRQn）がセット（1）されていたら、ジャンプ命令などにより内蔵RAM空間にジャンプして内蔵RAMに制御が移ります（n = 0-3）。

ROMコレクション機能を使用すると、マスクROMで発見された命令バグの修正やプログラムの流れを変更することができます。

修正アドレスは、4箇所指定できます。

- 注意1. ROMコレクション機能は、内蔵ROMのデータに対しては使用できません。命令コードに対してだけ行うことができます。データに対してROMコレクションを行うと、そのデータがJMP r0命令の命令コードに入れ替わります。
- 2. CORCN, CORRQ, CORAD0-CORAD3レジスタへアクセスする命令に対してROMコレクションを行うことを禁止します。

図17 - 1 ROMコレクションのブロック図



17.2 ROMコレクション周辺I/Oレジスタ

(1) コレクション・コントロール・レジスタ (CORCN)

コレクション・アドレス・レジスタ (CORADn) に設定した修正アドレスとフェッチ・アドレスが一致したときに、JMP r0命令コードと入れ替えをするかしないかを制御するレジスタです (n = 0-3)。

各チャネルごとに、コンパレータの一致検出の許可 / 禁止を設定できます。

8/1ビット・メモリ操作命令で設定します。

リセット時 : 00H R/W アドレス : FFFFF36CH

	7	6	5	4	③	②	①	①
CORCN	0	0	0	0	COREN3	COREN2	COREN1	COREN0

CORENn	CORADnレジスタとフェッチ・アドレスの一致検出の制御
0	一致検出の禁止
1	一致検出の許可

備考 n = 0-3

(2) コレクション要求レジスタ (CORRQ)

ROMコレクションが発生したチャンネルを記憶するレジスタです。修正アドレスとフェッチ・アドレスが一致したあとに、JMP r0命令により00000000H番地にジャンプします。このときにコレクション要求レジスタ (CORRQ) をリードすると次に示す場合をプログラムで判断することができます。

- リセット入力 : CORRQ = 00H
- ROMコレクションの発生 : CORRQnビット = 1 (n = 0-3)
- ユーザ・プログラムによる00000000H番地への分岐 : CORRQ = 00H

リセット時 : 00H R/W アドレス : FFFFF36EH

	7	6	5	4	③	②	①	④
CORRQ	0	0	0	0	CORRQ3	CORRQ2	CORRQ1	CORRQ0

CORRQn	チャンネルnROMコレクション要求フラグ
0	ROMコレクション要求なし
1	ROMコレクション要求発生

備考 n = 0-3

(3) コレクション・アドレス・レジスタ0-3 (CORAD0-CORAD3)

ROMのなかに修正したい命令の先頭アドレス (修正アドレス) を設定するレジスタです。

コレクション・アドレス・レジスタ (CORADn) は、4つあるためにプログラムを最大4箇所修正することができます (n = 0-3)。

各製品によってROM容量が異なるため、次に示す範囲で修正アドレスを設定してください。

μ PD703031A, 703031AY, 703031B, 703031BY, 703034A, 703034AY, 703034B, 703034BY (128 Kバイト) : 00000000H-0001FFFEH

μ PD703033A, 703033AY, 703033B, 703033BY, 703035A, 703035AY, 703035B, 703035BY (256 Kバイト) : 00000000H-0003FFFEH

μ PD703030B, 703030BY, 703036H, 703036HY (384 Kバイト) : 00000000H-0005FFFEH

μ PD703032A, 703032AY, 703032B, 703032BY, 703037A, 703037AY, 703037H, 703037HY (512 Kバイト) : 00000000H-0007FFFEH

ビット0, 20-31は0に固定してください。

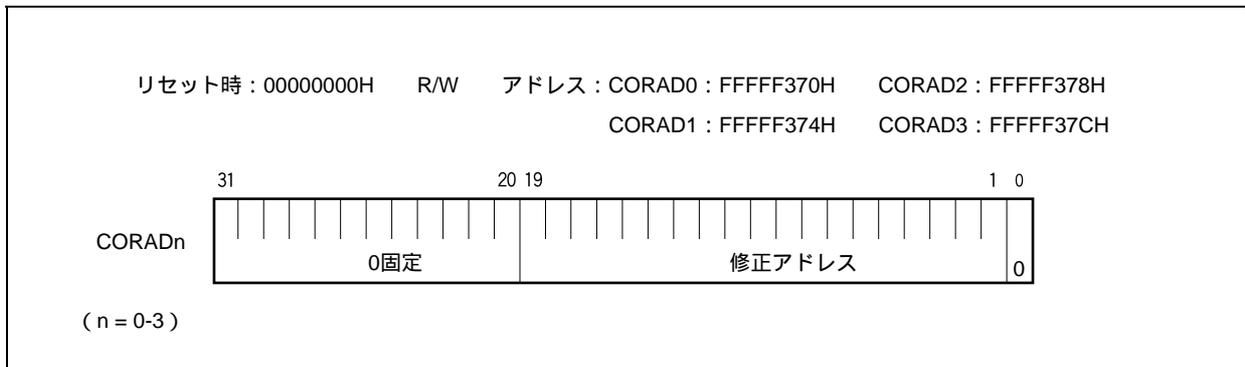
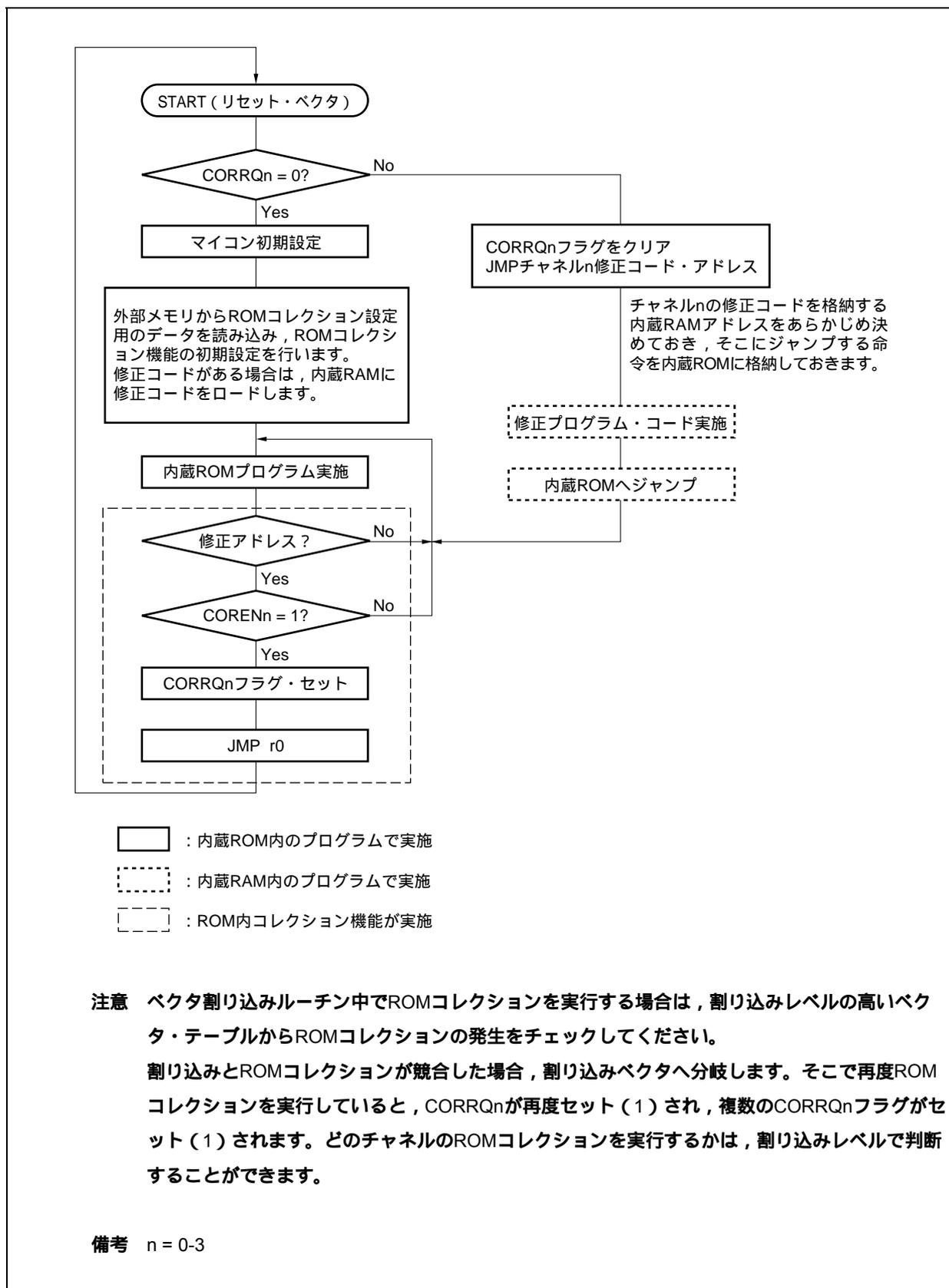


図17-2 ROMコレクションの動作とプログラムの流れ



第18章 フラッシュ・メモリ

次に示す製品はV850/SB1, V850/SB2のフラッシュ・メモリ内蔵品です。

注意 フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品（ES製品ではなく）で十分に評価してください。

(1) V850/SB1

μ PD70F3033A, 70F3033AY, 70F3033B, 70F3033BY : 256 Kバイトのフラッシュ・メモリ内蔵品
μ PD70F3030B, 70F3030BY : 384 Kバイトのフラッシュ・メモリ内蔵品
μ PD70F3032A, 70F3032AY, 70F3032B, 70F3032BY : 512 Kバイトのフラッシュ・メモリ内蔵品

(2) V850/SB2

μ PD70F3035A, 70F3035AY, 70F3035B, 70F3035BY : 256 Kバイトのフラッシュ・メモリ内蔵品
μ PD70F3036H, 70F3036HY : 384 Kバイトのフラッシュ・メモリ内蔵品
μ PD70F3037A, 70F3037AY, 70F3037H, 70F3037HY : 512 Kバイトのフラッシュ・メモリ内蔵品

このフラッシュ・メモリへの命令フェッチは、マスクROM内蔵品と同様に1クロックで4バイトをアクセスできます。

フラッシュ・メモリへの書き込みは、ターゲット・システムに実装した状態（オンボード）で行えます。専用フラッシュ・ライタをターゲット・システムに接続して書き込みます。

フラッシュ・メモリを使用した開発環境および用途として次のようなことが考えられます。

ターゲット・システムにV850/SB1, V850/SB2を半田実装後、ソフトウェアの変更可能
ソフトウェアを区別することで少量多品種生産が容易
量産立ち上げ時のデータ調整が容易

18.1 特徴

- ・4バイト/1クロック・アクセス（命令フェッチ・アクセス時）
- ・全エリア一括消去/エリア単位で消去
- ・専用フラッシュ・ライタからシリアル・インタフェースを介して通信
- ・消去/書き込み電圧： $V_{PP} = 7.8\text{ V}$
- ・オンボード・プログラミング
- ・エリア（128 Kバイト）単位のセルフ書き込みによるフラッシュ・メモリ・プログラミングが可能

18.1.1 消去単位

消去単位は、各製品によって異なります。

(1) V850/SB1 (μ PD70F3033A, 70F3033AY, 70F3033B, 70F3033BY), V850/SB2 (μ PD70F3035A, 70F3035AY, 70F3035B, 70F3035BY)

256 Kバイトのフラッシュ・メモリ内蔵品の消去単位を次に示します。

(a) 全エリア一括消去

xx000000H-xx03FFFFHの領域を同時に消去できます。

(b) エリア消去

エリア単位で消去ができます (128 Kバイト単位のエリアが2つあります)。

エリア0: xx000000H-xx01FFFFH (128 Kバイト) の領域を消去

エリア1: xx020000H-xx03FFFFH (128 Kバイト) の領域を消去

(2) V850/SB1 (μ PD70F3030B, 70F3030BY), V850/SB2 (μ PD70F3036H, 70F3036HY)

384 Kバイトのフラッシュ・メモリ内蔵品の消去単位を次に示します。

(a) 全エリア一括消去

xx000000H-xx05FFFFHの領域を同時に消去できます。

(b) エリア消去

エリア単位で消去ができます (128 Kバイト単位のエリアが3つあります)。

エリア0: xx000000H-xx01FFFFH (128 Kバイト) の領域を消去

エリア1: xx020000H-xx03FFFFH (128 Kバイト) の領域を消去

エリア2: xx040000H-xx05FFFFH (128 Kバイト) の領域を消去

(3) V850/SB1(μ PD70F3032A, 70F3032AY, 70F3032B, 70F3032BY), V850/SB2(μ PD70F3037A, 70F3037AY, 70F3037H, 70F3037HY)

512 Kバイトのフラッシュ・メモリ内蔵品の消去単位を次に示します。

(a) 全エリア一括消去

xx000000H-xx07FFFFHの領域を同時に消去できます。

(b) エリア消去

エリア単位で消去ができます (128 Kバイト単位のエリアが4つあります)。

エリア0 : xx000000H-xx01FFFFH (128 Kバイト) の領域を消去

エリア1 : xx020000H-xx03FFFFH (128 Kバイト) の領域を消去

エリア2 : xx040000H-xx05FFFFH (128 Kバイト) の領域を消去

エリア3 : xx060000H-xx07FFFFH (128 Kバイト) の領域を消去

18. 1. 2 書き込み / 読み込み時間

書き込み / 読み込み時間を次に示します。

- ・ 書き込み時間 : 50 μ s / バイト
- ・ 読み込み時間 : 50 ns (サイクル時間)

18.2 フラッシュ・ライターによる書き込み方法

専用フラッシュ・ライターにより，オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

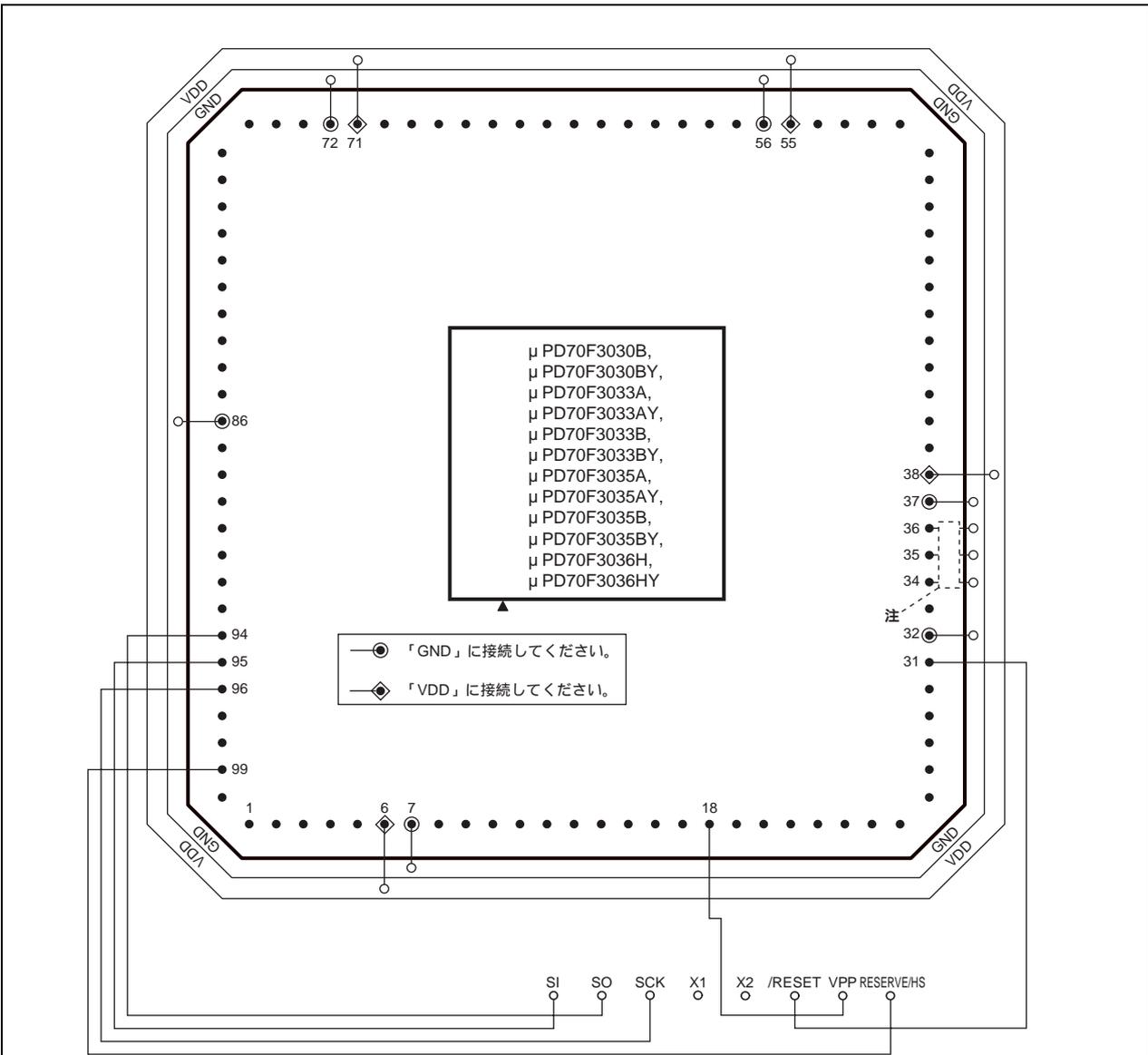
ターゲット・システム上にV850/SB1, V850/SB2を実装後，フラッシュ・メモリの内容を書き換えます。
ターゲット・システム上には，専用フラッシュ・ライターを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

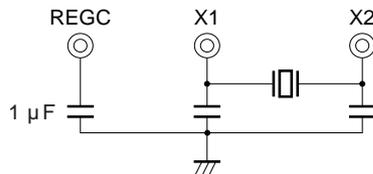
ターゲット・システム上にV850/SB1, V850/SB2を実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

備考 FAシリーズは，（株）内藤電誠町田製作所の製品です。

★ 図18 - 1 V850/SB1, V850/SB2フラッシュ書き込み用アダプタ (FA-100GC-8EU) の配線例



注 フラッシュ・ライター (PG-FP3) のCLK端子からV850/SB1, V850/SB2へのクロック供給はできません。フラッシュ書き込みアダプタ上 (破線部) に発振回路を作成してCPUクロックを供給してください。次に発振回路例を示します。



備考1. 記述していない端子は、未使用時の端子処理に従って処理してください (2.4 端子の入出力回路タイプ, 入出力バッファ電源と未使用時の処理参照)。

抵抗を介してVDD に接続する場合、1 k-10 k の抵抗を接続することを推奨します。

2. このアダプタは100ピン・プラスチックLQFP (ファイン・ピッチ) パッケージ用です。
3. この図はハンドシェイク対応CSI時の結線です。

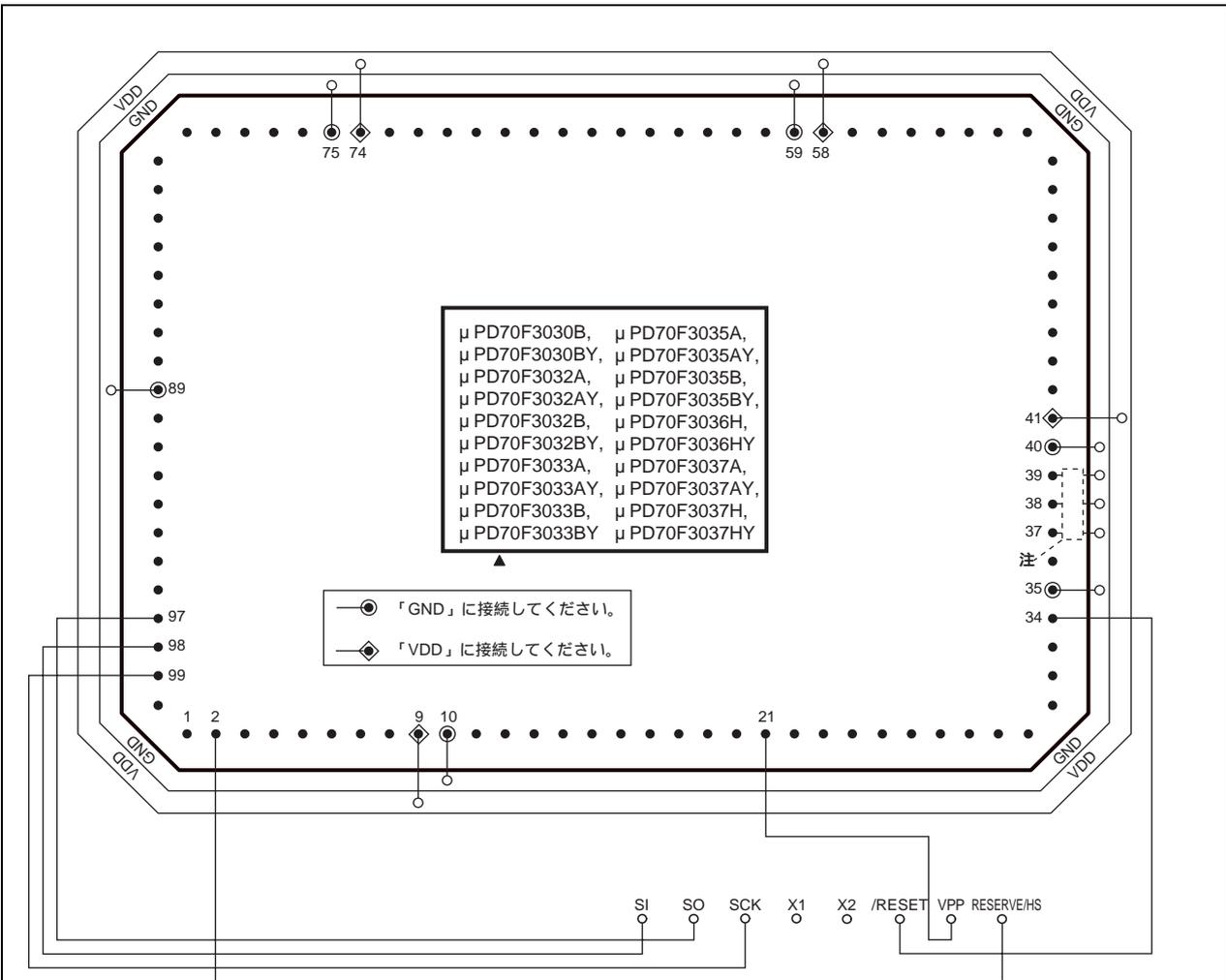
★ 表18 - 1 V850/SB1, V850/SB2フラッシュ書き込み用アダプタ (FA-100GC-8EU) の配線表

フラッシュ・ライター (PG-FP3) 接続端子図			CSI0-HS使用時		CSI0使用時		UART0使用時	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RXD	入力	受信信号	P11/SO0	95	P11/SO0	95	P14/SO1/TXD0	97
SO/TXD	出力	送信信号	P10/SI0/SDA0	94	P10/SI0/SDA0	94	P13/SO0/RXD0	98
SCK	出力	転送クロック	P12/SCK0/SCL0	96	P12/SCK0/SCL0	96	必要なし	必要なし
CLK	-	未使用	必要なし	必要なし	必要なし	必要なし	必要なし	必要なし
/RESET	出力	リセット信号	$\overline{\text{RESET}}$	31	$\overline{\text{RESET}}$	31	$\overline{\text{RESET}}$	31
VPP	出力	書き込み電圧	IC/VPP	18	IC/VPP	18	IC/VPP	18
HS	入力	CSI0+HS通信の ハンドシェイク信号	P15/ $\overline{\text{SCK4/ASCK0}}$	99	必要なし	必要なし	必要なし	必要なし
VDD	-	VDD電圧生成 / 電圧監視	VDD	38	VDD	38	VDD	38
			EVDD	6	EVDD	6	EVDD	6
			BVDD	5	BVDD	5	BVDD	5
			AVDD	71	AVDD	71	AVDD	71
GND	-	グラウンド	Vss	37	Vss	37	Vss	37
			EVss	7	EVss	7	EVss	7
			BVss	56	BVss	56	BVss	56
			AVss	72	AVss	72	AVss	72
			P00/NMI	86	P00/NMI	86	P00/NMI	86

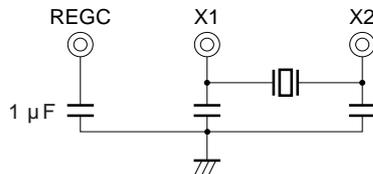
注 フラッシュ・ライター (PG-FP3) のCLK端子からV850/SB1, V850/SB2へのクロック供給はできません。

フラッシュ書きこみアダプタ上 (破線部) に発振回路を作成してCPUクロックを供給してください。

★ 図18 - 2 V850/SB1, V850/SB2フラッシュ書き込み用アダプタ (FA-100GF-3BA) の配線例



注 フラッシュ・ライタ (PG-FP3) のCLK端子からV850/SB1, V850/SB2へのクロック供給はできません。フラッシュ書きこみアダプタ上 (破線部) に発振回路を作成してCPUクロックを供給してください。次に発振回路例を示します。



備考1. 記述していない端子は、未使用時の端子処理に従って処理してください (2.4 端子の入出力回路タイプ, 入出力バッファ電源と未使用時の処理参照)。

抵抗を介してVDD に接続する場合, 1k-10k の抵抗を接続することを推奨します。

2. このアダプタは100ピン・プラスチックQFPパッケージ用です。
3. この図はハンドシェイク対応CSI時の結線です。

★ 表18 - 2 V850/SB1, V850/SB2フラッシュ書き込み用アダプタ (FA-100GF-3BA) の配線表

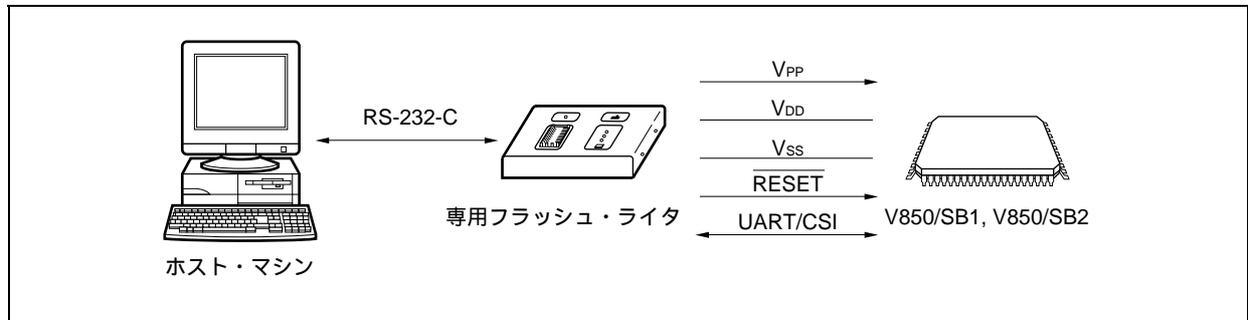
フラッシュ・ライタ (PG-FP3) 接続端子図			CSI0-HS使用時		CSI0使用時		UART0使用時	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RXD	入力	受信信号	P11/SO0	98	P11/SO0	98	P14/SO1/TXD0	100
SO/TXD	出力	送信信号	P10/SI0/SDA0	97	P10/SI0/SDA0	97	P13/SO0/RXD0	1
SCK	出力	転送クロック	P12/SCK0/SCL0	99	P12/SCK0/SCL0	99	必要なし	必要なし
CLK	-	未使用	必要なし	必要なし	必要なし	必要なし	必要なし	必要なし
/RESET	出力	リセット信号	RESET	34	RESET	34	RESET	34
VPP	出力	書き込み電圧	IC/VPP	21	IC/VPP	21	IC/VPP	21
HS	入力	CSI0+HS通信の ハンドシェーク信号	P15/SCK4/ASCK0	2	必要なし	必要なし	必要なし	必要なし
VDD	-	VDD電圧生成 / 電圧監視	VDD	41	VDD	41	VDD	41
			EVDD	9	EVDD	9	EVDD	9
			BVDD	8	BVDD	8	BVDD	8
			AVDD	74	AVDD	74	AVDD	74
GND	-	グラウンド	Vss	40	Vss	40	Vss	40
			EVss	10	EVss	10	EVss	10
			BVss	59	BVss	59	BVss	59
			AVss	75	AVss	75	AVss	75
			P00/NMI	89	P00/NMI	89	P00/NMI	89

注 フラッシュ・ライタ (PG-FP3) のCLK端子からV850/SB1, V850/SB2へのクロック供給はできません。
フラッシュ書きこみアダプタ上 (破線部) に発振回路を作成してCPUクロックを供給してください。

18.3 プログラミング環境

V850/SB1, V850/SB2のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図18 - 3 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・ライターには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・ライターとV850/SB1, V850/SB2とのインタフェースはUART0またはCSI0を使用して、書き込み、消去等の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ (FAシリーズ) が必要です。

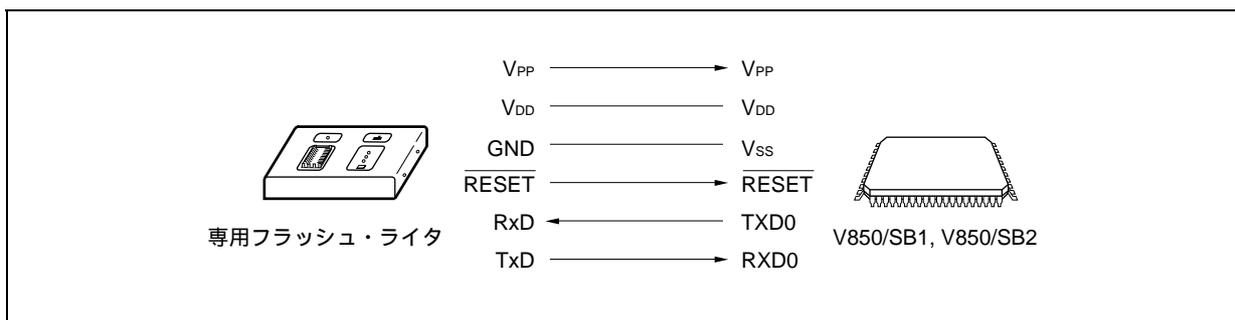
18.4 通信方式

専用フラッシュ・ライタとV850/SB1, V850/SB2との通信は, V850/SB1, V850/SB2のUART0またはCSI0によるシリアル通信で行います。

(1) UART0

転送レート : 4800 - 76800 bps

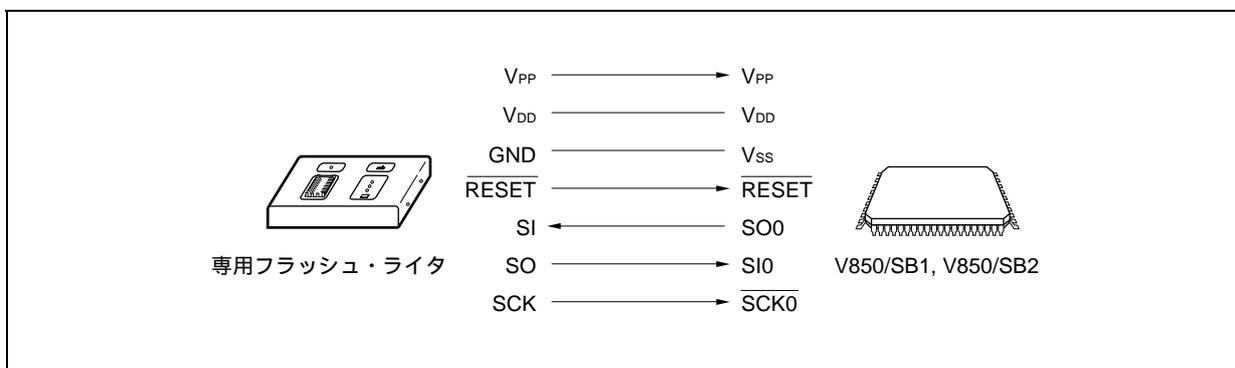
図18 - 4 専用フラッシュ・ライタとの通信 (UART0)



(2) CSI0

シリアル・クロック : ~1 MHz (MSBファースト)

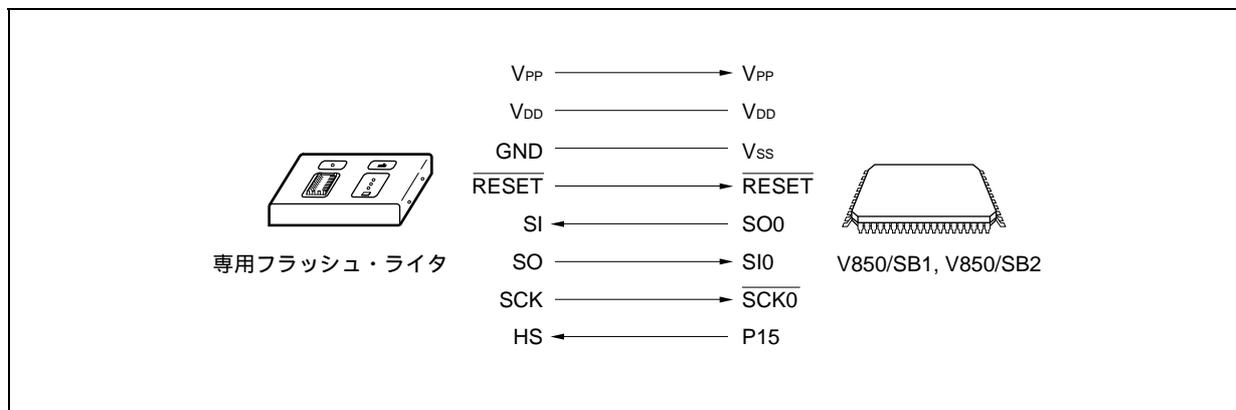
図18 - 5 専用フラッシュ・ライタとの通信 (CSI0)



(3) CSI0+HS

シリアル・クロック：～1 MHz (MSBファースト)

図18 - 6 専用フラッシュ・ライタとの通信 (CSI0+HS)



専用フラッシュ・ライタが転送クロックを出力し、V850/SB1, V850/SB2はスレーブとして動作します。
 専用フラッシュ・ライタとしてPG-FP3を使用した場合、PG-FP3はV850/SB1, V850/SB2に対して次の信号を生成します。詳細はPG-FP3 **ユーザーズ・マニュアル**を参照してください。

表18 - 3 専用フラッシュ・ライタ (PG-FP3) の信号生成

PG-FP3			V850/SB1, V850/SB2	接続時の処置		
信号名	入出力	端子機能	端子名	CSI0	UART0	CSI0 + HS
V _{PP}	出力	書き込み電圧	V _{PP}			
V _{DD}	入出力	V _{DD} 電圧生成/電圧監視	V _{DD}			
GND	-	グラウンド	V _{SS}			
CLK ^注	出力	V850/SB1, V850/SB2へのクロック出力	X1	x	x	x
RESET	出力	リセット信号	RESET			
SI/RxD	入力	受信信号	SO0/TXD0			
SO/TxD	出力	送信信号	SI0/RXD0			
SCK	出力	転送クロック	SCK0		x	
HS	入力	CSI0+HS通信のハンドシェイク信号	P15	x	x	

注 ターゲット・ボード上でクロックを供給してください。

備考 : 必ず接続してください。

: ターゲット・ボード上で生成されていれば、接続の必要はありません。

x : 接続の必要はありません。

18.5 端子処理

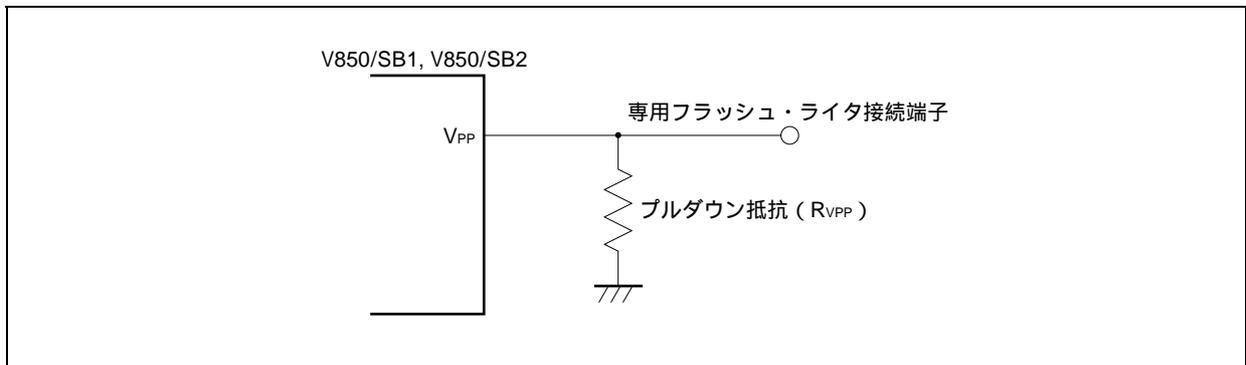
オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・ライターと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、ポートはすべて出力ハイ・インピーダンス状態になるため、外部デバイスが出力ハイ・インピーダンス状態を認めない場合は端子処理が必要です。

18.5.1 V_{PP}端子

通常動作モード時は、V_{PP}端子に0 Vを入力します。また、フラッシュ・メモリ・プログラミング・モード時は、V_{PP}端子に7.8 Vの書き込み電圧を供給します。V_{PP}端子の接続例を次に示します。

図18 - 7 V_{PP}端子の接続例



18.5.2 シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表18-4 各シリアル・インタフェースが使用する端子

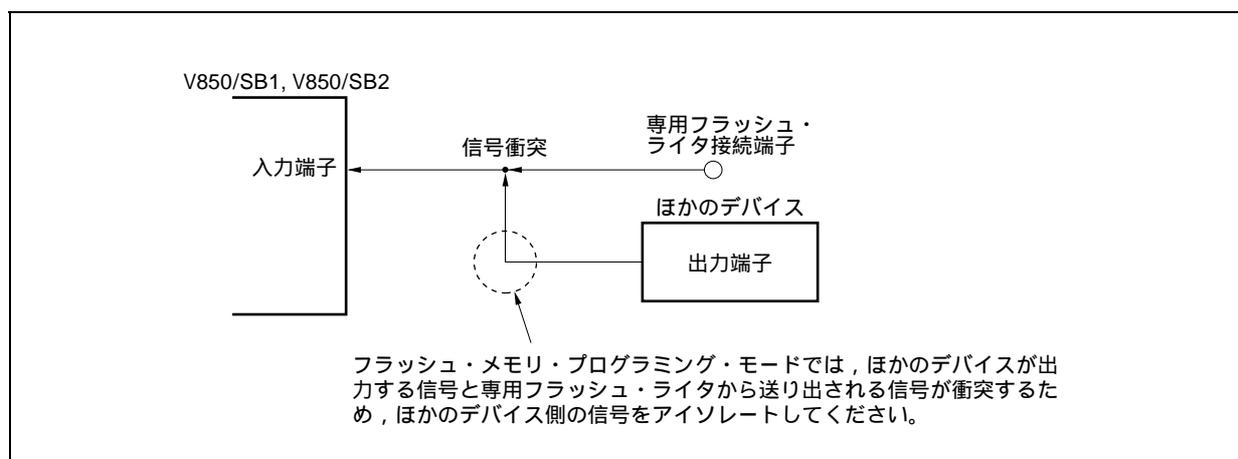
シリアル・インタフェース	使用端子
CSI0	SO0, SI0, $\overline{\text{SCK0}}$
CSI0 + HS	SO0, SI0, $\overline{\text{SCK0}}$, P15
UART0	TXD0, RXD0

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライタを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライタ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

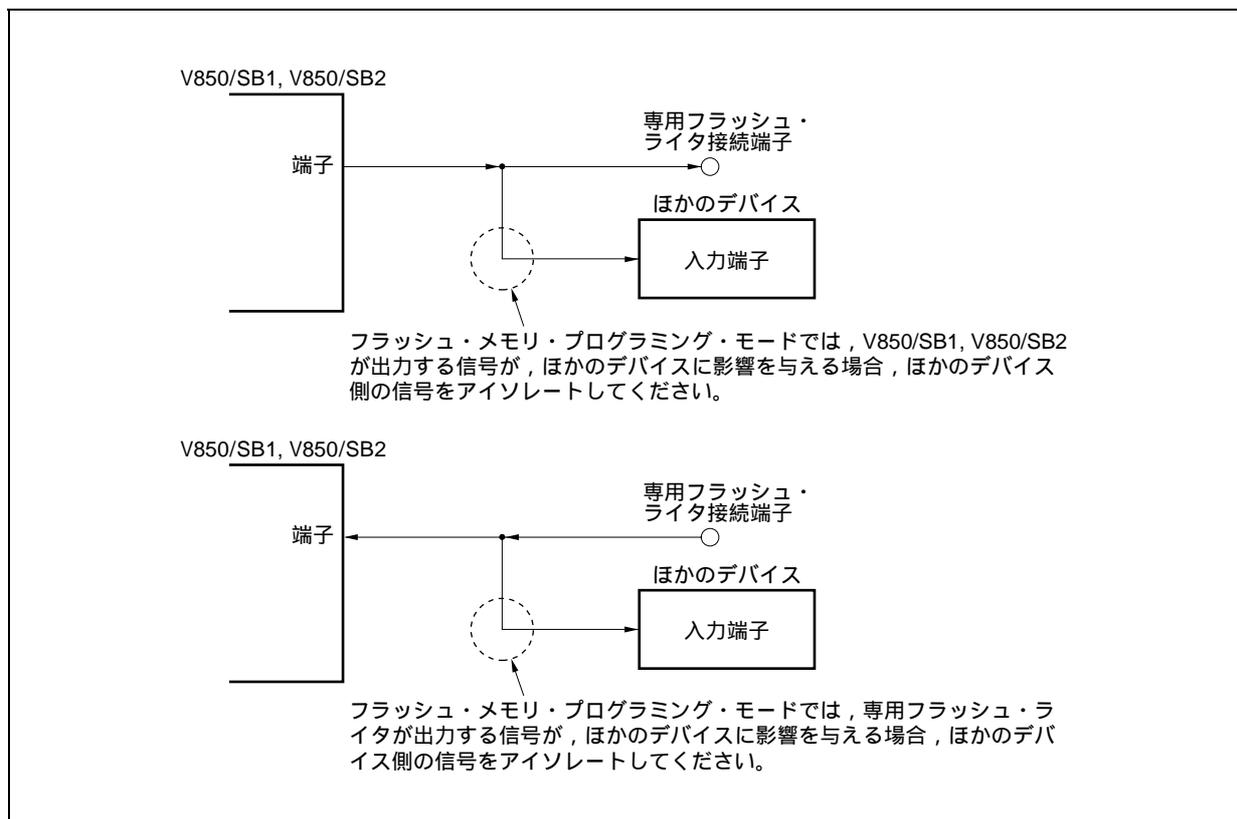
図18-8 信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に，専用フラッシュ・ライター（出力または入力）を接続する場合，ほかのデバイスに信号が出力され，異常動作を起こす可能性があります。この異常動作を避けるため，ほかのデバイスとの接続をアイソレートするか，またはほかのデバイスへの入力信号を無視するように設定してください。

図18 - 9 ほかのデバイスの異常動作

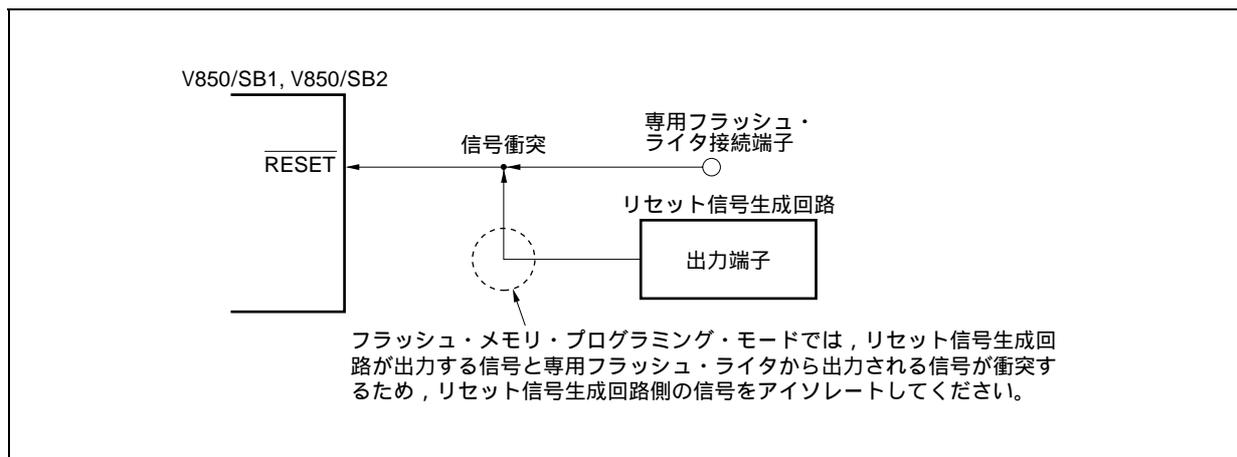


18.5.3 $\overline{\text{RESET}}$ 端子

オンボード上で、リセット信号生成回路と接続している $\overline{\text{RESET}}$ 端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図18 - 10 信号の衝突 ($\overline{\text{RESET}}$ 端子)



18.5.4 ポート端子 (NMIを含む)

フラッシュ・メモリ・プログラミング・モードに設定すると、専用フラッシュ・ライタと通信する端子を除くすべてのポート端子は出力ハイ・インピーダンス状態になります。なお、ポートに接続されている外部デバイスに出力ハイ・インピーダンス状態禁止などの問題が生じる場合には、抵抗を介して V_{DD} に接続するか、または抵抗を介して V_{SS} に接続するなどの処置をしてください。

18.5.5 その他の信号端子

$X1$, $X2$, $XT1$, $XT2$, AV_{REF} は、通常動作モード時と同じ状態に接続してください。

18.5.6 電 源

電源は、次に示すように供給してください。

$$V_{DD} = EV_{DD}$$

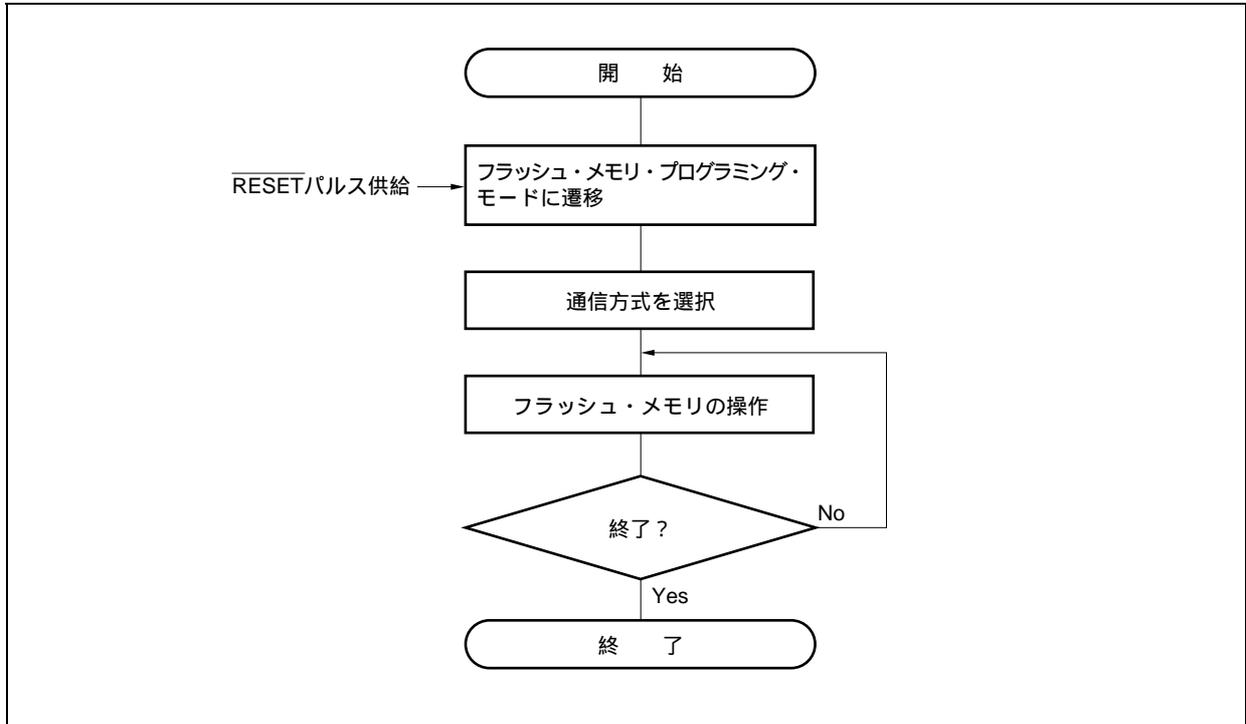
その他の電源 (AV_{DD} , AV_{SS} , BV_{DD} , BV_{SS}) は、通常動作モード時と同じ電源を供給してください。

18.6 プログラミング方法

18.6.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図18 - 11 フラッシュ・メモリの操作手順

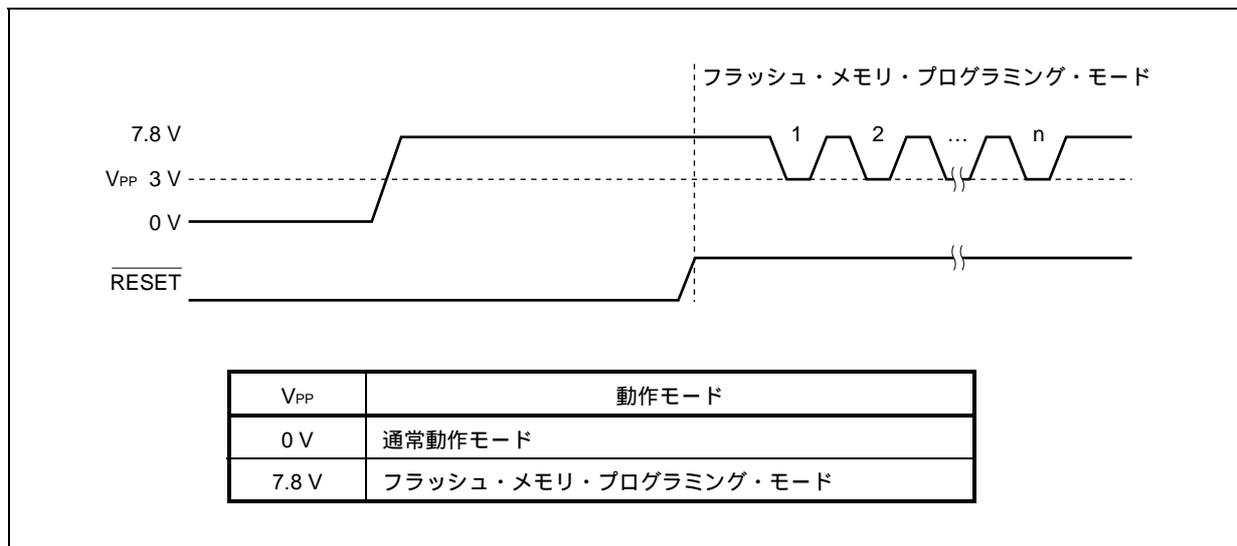


18.6.2 フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・ライタを使用してフラッシュ・メモリの内容を書き換えるときは、V850/SB1, V850/SB2をフラッシュ・メモリ・プログラミング・モードにしてください。モードへ遷移するには、V_{PP}端子を設定後、リセットを解除します。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

図18 - 12 フラッシュ・メモリ・プログラミング・モード



18.6.3 通信方式の選択

V850/SB1, V850/SB2では、フラッシュ・メモリ・プログラミング・モードに遷移後、V_{PP}端子にパルス（最大16パルス）を入力することで通信方式を選択します。このV_{PP}パルスは専用フラッシュ・ライタが生成します。

パルス数と通信方式の関係を次に示します。

表18 - 5 通信方式一覧

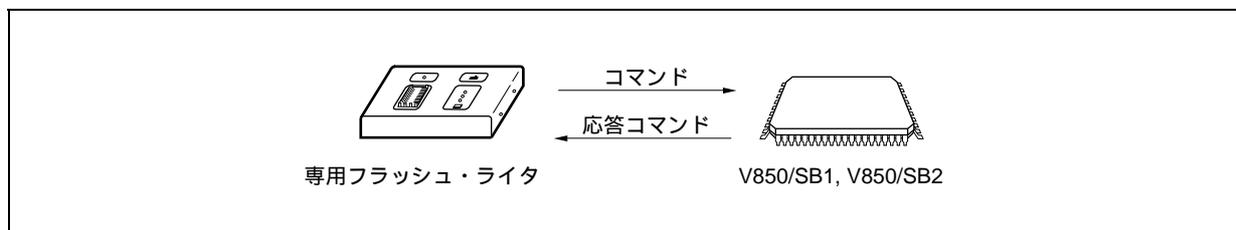
V _{PP} パルス	通信方式	備考
0	CSI0	V850/SB1, V850/SB2はスレーブ動作, MSBファースト
3	CSI0 + HS	V850/SB1, V850/SB2はスレーブ動作, MSBファースト
8	UART0	通信レート: 9600 bps (リセット時), LSBファースト
その他	RFU	設定禁止

注意 UART0選択時、受信クロックは、V_{PP}パルス受信後に専用フラッシュ・ライタから送られてくるリセット・コマンドを基準に計算します。

18.6.4 通信コマンド

V850/SB1, V850/SB2と専用フラッシュ・ライタは、コマンドを介して通信します。専用フラッシュ・ライタからV850/SB1, V850/SB2へ送られるコマンドを「コマンド」と呼び、V850/SB1, V850/SB2から専用フラッシュ・ライタへ送られる応答信号を「応答コマンド」と呼びます。

図18 - 13 通信コマンド



V850/SB1, V850/SB2のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてライタから発行され、V850/SB1, V850/SB2がコマンドに対応した各処理を行います。

表18 - 6 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	一括ベリファイ・コマンド	全メモリの内容と入力したデータを比較
	エリア・ベリファイ・コマンド	指定したエリアの内容と入力したデータを比較
消去	エリア消去コマンド	指定した1エリアを消去
	ライトバック・コマンド	過消去時の書き戻し
ブランク・チェック	一括ブランク・チェック・コマンド	全メモリの消去状態を確認
	エリア・ブランク・チェック・コマンド	指定したエリアの消去状態を確認
データ・ライト	高速書き込みコマンド	書き込みアドレス、書き込みバイト数の指定によりデータを書き込み、ベリファイ・チェックを実行
	連続書き込みコマンド	直前に実行された高速書き込みコマンドに続くアドレスからデータを書き込み、ベリファイ・チェックを実行
システム設定, 制御	ステータス読み出しコマンド	動作状況のステータスを得る
	発振周波数設定コマンド	発振周波数の設定
	消去時間設定コマンド	一括消去の消去時間設定
	書き込み時間設定コマンド	データ書き込み時の書き込み時間設定
	ライトバック時間設定コマンド	ライトバック時間の設定
	ボー・レート設定コマンド	UART使用時のボー・レート設定
	シリコン・シグネチャ・コマンド	シリコン・シグネチャ情報を読み出す
リセット・コマンド	各状態からの脱出	

V850/SB1, V850/SB2は、専用フラッシュ・ライタから発行されたコマンドに対して、応答コマンドを返します。V850/SB1, V850/SB2が送出する応答コマンドを次に示します。

表18 - 7 応答コマンド

応答コマンド名称	機 能
ACK (アクリッジ)	コマンド/データなどのアクリッジ
NAK (ノット・アクリッジ)	不正なコマンド/データなどのアクリッジ

18.6.5 使用する資源

フラッシュ・メモリ・プログラミング・モードで使用する資源は、内蔵RAMのFFE000H-FFE7FFHの領域とすべてのレジスタです。内蔵RAMのFFE800H-FFEFFFH領域は、電源をオフにしないかぎりデータを保持しています。なお、リセットにより初期化されるレジスタは、初期値に変更します。

第19章 IEBusコントローラ (V850/SB2)

IEBus (Inter Equipment Bus) は、ユニット間のデータ伝送を行うことを目的とした小規模のデジタル・データ伝送システムです。V850/SB2でIEBusを実現する場合は、IEBusドライバ/レシーバを内蔵していないため、これらを外付けする必要があります。

V850/SB2が内蔵しているIEBusコントローラは、負論理になります。

19.1 IEBusコントローラの機能

19.1.1 IEBusの通信プロトコル

IEBusの通信プロトコルを次に示します。

(1) マルチタスク方式

IEBusに接続しているすべてのユニットで、ほかのユニットへのデータ伝送ができます。

(2) 同報通信機能

次に示す「1つのユニット 対 複数ユニット」の通信ができます。

- ・グループ同報通信 : グループ・ユニットに対しての同報通信
- ・一斉同報通信 : すべてのユニットに対しての同報通信

(3) 実効伝送速度

実効伝送速度は、モード1になります (V850/SB2は、実効伝送速度モードのモード0、モード2はサポートしていません)。

- ・モード1 : 約17 Kbps

注意 1つのIEBus上に、異なるモードを混在することはできません。

(4) 通信方式

半二重非同期通信方式でデータを転送します。

(5) アクセス制御 : CSMA/CD (Carrier Sense Multiple Access with Collision Detection)

IEBus占有の優先順位を次に示します。

同報通信が個別通信 (1ユニット 対 1ユニットの通信) より優先されます。

マスタ・アドレスの小さいほうが優先されます。

(6) 通信規模

IEBusの通信規模を次に示します。

- ・ユニット数：最大50ユニット
- ・ケーブル長：最大150 m (ツイスト・ペア・ケーブルを使用した場合)

注意 実際のシステムにおける通信規模は、IEBusドライバ/レシーバやIEBusを構成するケーブルなどの特性によって異なります。

19.1.2 バス占有権の決定 (アービトレーション)

IEBusに接続された装置は、ほかのユニットを制御するときバスを占有するための動作を行います。この動作をアービトレーションと呼びます。

アービトレーションでは、複数のユニットが同時に送信を開始したときに、それらの複数のユニットの中から1つのユニットに対して、バスを占有する許可を与える処理を行います。

アービトレーションにより1ユニットのみがバス占有権を得るために、次に示すようなバス占有の優先条件があります。

注意 通信が途中で終了した場合、バスの占有権は解放されます。

(1) 通信の種類による優先条件

同報通信 (1ユニット 対 複数ユニットの通信) が、通常通信 (1ユニット 対 1ユニットの通信) より優先されます。

(2) マスタ・アドレスによる優先条件

通信種類が同じ場合は、マスタ・アドレスの最も小さいものが優先されます。

マスタ・アドレスは12ビットで構成され、000Hのユニットが最上位に優先順位を持ち、FFFHのユニットが最下位の優先順位を持ちます。

19.1.3 通信モード

IEBusには、伝送速度の異なる3種類の通信モードがあります。V850/SB2は、通信モード1固定になります。通信モード1における伝送速度および1通信フレーム中の最大伝送バイト数を次に示します。

表19-1 通信モード1における伝送速度，最大伝送バイト数

通信モード	最大伝送バイト数	最大伝送速度 ^注
1	32バイト/フレーム	約17 Kbps

注 最大伝送バイト数を伝送したときの実効伝送速度

IEBusに接続した各ユニットは、通信を行う前にあらかじめ通信モードを選択しておきます。また、マスタ・ユニットとその通信相手ユニット (スレーブ・ユニット) の通信モードが同一でないと、通信は正しく行われません。

19.1.4 通信アドレス

IEBusでは、各ユニットに12ビットの固有な通信アドレスが割り当てられています。次に通信アドレスの構成を示します。

- ・上位4ビット：グループ番号（各ユニットの所属するグループを識別する番号）
- ・下位8ビット：ユニット番号（グループ内の各ユニットを識別する番号）

19.1.5 同報通信

通常の通信では、マスタ・ユニットとその通信相手局となるスレーブ・ユニットはともに1ユニットで、1対1の送信 / 受信が行われます。それに対して同報通信ではスレーブ・ユニットが複数あり、マスタ・ユニットは複数のスレーブ・ユニットに対して送信を行います。スレーブ・ユニットが複数あるために、通信中スレーブ・ユニットからはアクノリッジ信号は返されません。

同報通信を行うか通常の通信を行うかは、同報ビットにより選択することができます（19.1.6(2)同報ビット参照）。

同報通信には、グループ同報通信と一斉同報通信の2種類の同報通信があります。グループ同報と一斉同報の識別は、スレーブ・アドレスの値で行われます（19.1.6(4)スレーブ・アドレス・フィールド参照）。

(1) グループ同報通信

通信アドレスの上位4ビットのグループ番号が等しいグループ内のユニットに対して、同報通信を行います。

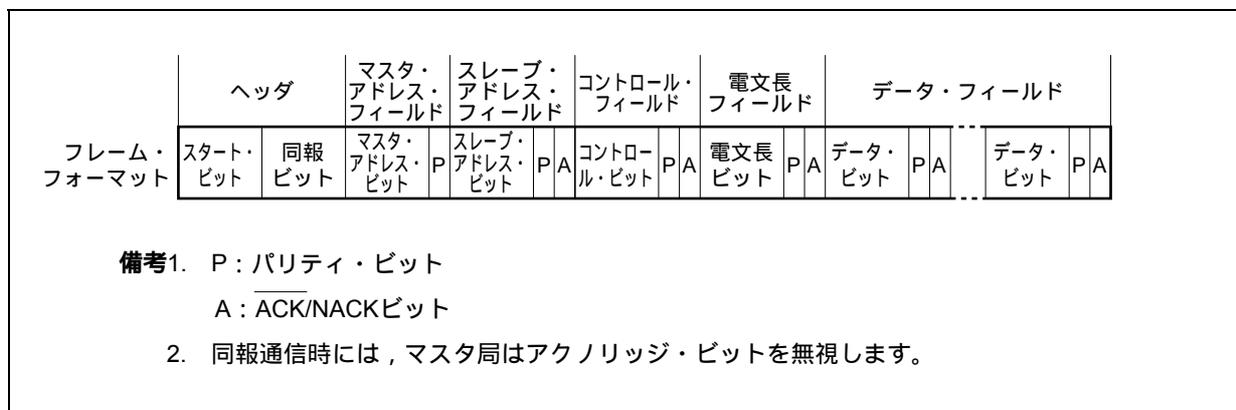
(2) 一斉同報通信

グループ番号の値にかかわらず、すべてのユニットに対して同報通信を行います。

19.1.6 IEBusの伝送フォーマット

IEBusの伝送信号フォーマットを図19 - 1に示します。

図19 - 1 IEBusの伝送信号フォーマット



(1) スタート・ビット

スタート・ビットは、データ伝送の開始をほかのユニットに知らせるための信号です。

データ伝送を開始しようとするユニットは、決められた時間 $\overline{\text{IETX}}$ 端子からハイ・レベルの信号（スタート・ビット）を出力し、同報ビットの出力へ移行します。

スタート・ビットを出力しようとしたとき、すでにほかのユニットがスタート・ビットを出力している場合には、スタート・ビットを出力しないでそのユニットのスタート・ビット出力終了を待ち、その終了タイミングに同期して同報ビット出力へ移行します。

送信を開始したユニット以外は、このスタート・ビットを検出し、受信状態へ移行します。

(2) 同報ビット

マスタが通信相手として単一のスレーブを選択（個別通信）しているのか、複数のスレーブを選択（同報通信）しているのかを示します。

同報ビットが0の場合は同報通信を示し、1の場合は個別通信を示します。また、同報通信には、グループ同報と一斉同報があり、これらの識別はスレーブ・アドレスの値によって行われます（19.1.6(4)スレーブ・アドレス・フィールド参照）

同報通信の場合には、通信相手局となるスレーブ・ユニットが複数存在するため、マスタ・アドレス・フィールド以降の各フィールドでのアクノリッジ・ビットは返されません。

2つ以上のユニットが同じタイミングで通信フレームの送を開始した場合には、同報通信が個別通信より優先され、アービトレーションに勝ち残ります。

自局がマスタとしてバスを占有しているときは、IEBusコントロール・レジスタ（BCR）の同報リクエスト・ビット（ALLRQ）に設定した値が出力されます。

(3) マスタ・アドレス・フィールド

マスタが自局のアドレスをスレーブに伝えるために出力します。

マスタ・アドレス・フィールドは、図19 - 2に示す構成となっています。

2つ以上のユニットが、同じタイミングで同じ値の同報ビットの送信を開始した場合、アービトレーションの判定は、マスタ・アドレス・フィールドへ持ち越されます。

マスタ・アドレス・フィールドでは、1ビット送信するごとに出力しているデータとバス上のデータを比較します。比較の結果、出力しているマスタ・アドレスとバス上のデータが異なった場合、アービトレーションに負けたと判断して、送信を中止し受信状態に変わります。

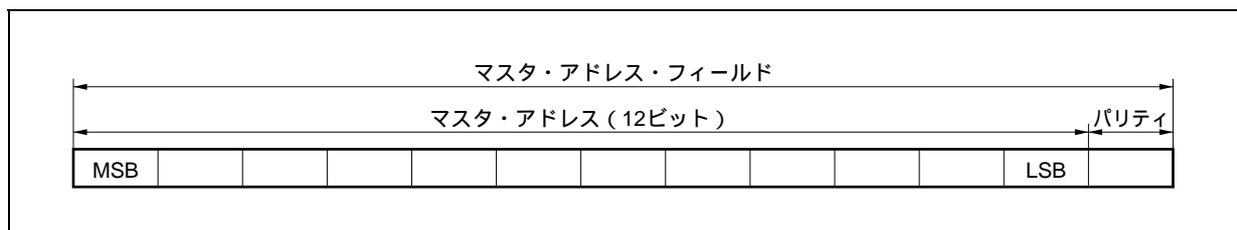
IEBusは、ワイアードANDで構成されているため、アービトレーションに参加しているユニット（アービトレーション・マスタ）の中で、最小のマスタ・アドレスを持つユニットがアービトレーションに勝ち残ります。

最終的に12ビットのマスタ・アドレスを出力後、1つのユニットのみがマスタ・ユニットとして送信状態で残ります。

次に、このマスタ・ユニットはパリティ・ビットを出力し、ほかのユニットに対してマスタ・アドレスを確定させ、スレーブ・アドレス・フィールド出力へ移行します。

自局がマスタとしてバスを占有しているときは、IEBus自局アドレス・レジスタ（UAR）で設定したアドレスが出力されます。

図19 - 2 マスタ・アドレス・フィールド



(4) スレーブ・アドレス・フィールド

マスタが通信を行いたい相手局のアドレスを出力します。

スレーブ・アドレス・フィールドは、図19 - 3に示す構成になっています。

12ビットのスレーブ・アドレス送信後、スレーブ・アドレスが間違っ受信されることを避けるため、パリティ・ビットを出力します。次にスレーブ・ユニットがバス上にあることを確認するために、マスタ・ユニットはスレーブ・ユニットからのアクノリッジ信号を検出します。アクノリッジ信号を検出した場合、コントロール・フィールド出力へ移行します。ただし、同報通信時は、アクノリッジ・ビットを検出せずに、コントロール・フィールド出力へ移行します。

スレーブ・ユニットは、スレーブ・アドレスが一致して、マスタ・アドレスとスレーブ・アドレスの両方のパリティが偶数であることを検出した場合、アクノリッジ信号を出力します。スレーブ・ユニットは、パリティが奇数の場合、マスタ・アドレスまたはスレーブ・アドレスが正しく受信されなかったと判断して、アクノリッジ信号を出力しません。このとき、マスタ・ユニットは待機（モニタ）状態になり、通信が終了します。

また、同報通信の場合にはスレーブ・アドレスは、次のようにグループ同報ノ一斉同報の識別に使用されます。

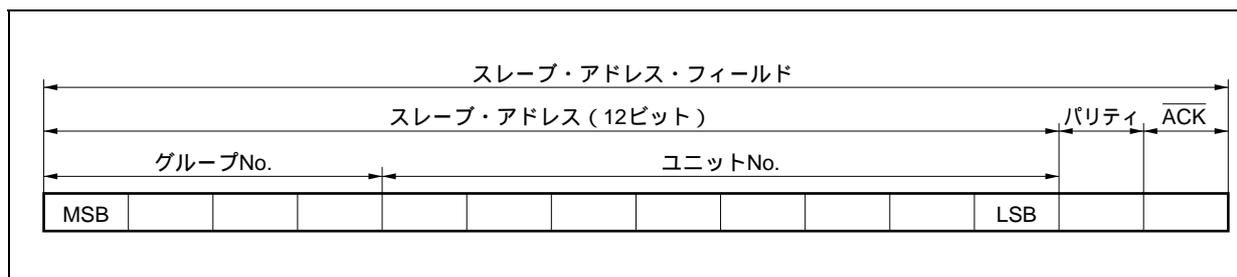
スレーブ・アドレスがFFFHのとき : 一斉同報通信

スレーブ・アドレスがFFFH以外のとき : グループ同報通信

備考 グループ同報通信時のグループNo.は、スレーブ・アドレスの上位4ビットの値になります。

自局がマスタとしてバスを占有しているときは、IEBusスレーブ・アドレス・レジスタ（SAR）で設定したアドレスが出力されます。

図19 - 3 スレーブ・アドレス・フィールド



(5) コントロール・フィールド

マスタがスレーブに要求する動作内容を出力します。

コントロール・フィールドは、図19-4に示す構成になっています。

コントロール・ビットに続くパリティが偶数で、かつマスタ・ユニットの要求機能をスレーブが実行できる場合は、スレーブ・ユニットはアクノリッジ信号を出力して、次の電文長フィールドへ移行します。ただし、パリティが偶数でもスレーブ・ユニットがマスタ・ユニットの要求を実行できない場合や、パリティが奇数の場合は、スレーブ・ユニットはアクノリッジ信号を出力しないで、待機（モニタ）状態に戻ります。

マスタ・ユニットはアクノリッジ信号を確認したあと、次の電文長フィールドへ移行します。

アクノリッジ信号を確認できない場合は、マスタ・ユニットは待機状態になり、通信が終了します。ただし、同報通信の場合は、マスタ・ユニットはアクノリッジ信号を確認しないで次の電文長フィールドへ移行します。

コントロール・ビットの内容を表19-2に示します。

表19-2 コントロール・ビットの内容

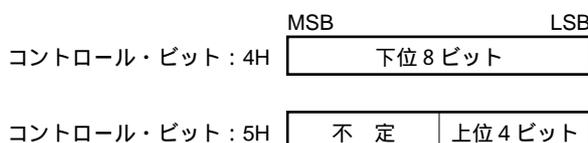
ビット3 ^{注1}	ビット2	ビット1	ビット0	機 能
0	0	0	0	スレーブ・ステータスの読み込み
0	0	0	1	未定義
0	0	1	0	未定義
0	0	1	1	データ読み込みとロック ^{注2}
0	1	0	0	ロック・アドレスの読み込み（下位8ビット） ^{注3}
0	1	0	1	ロック・アドレスの読み込み（上位4ビット） ^{注3}
0	1	1	0	スレーブ・ステータスの読み込みとロック解除 ^{注2}
0	1	1	1	データ読み込み
1	0	0	0	未定義
1	0	0	1	未定義
1	0	1	0	コマンド書き込みとロック ^{注2}
1	0	1	1	データ書き込みとロック ^{注2}
1	1	0	0	未定義
1	1	0	1	未定義
1	1	1	0	コマンド書き込み
1	1	1	1	データ書き込み

注1. ビット3（MSB）の値により、以後の電文長フィールドの電文長ビットおよびデータ・フィールドのデータ転送方向が変わります。

ビット3 = 1の場合：マスタ・ユニットからスレーブ・ユニットへ転送

ビット3 = 0の場合：スレーブ・ユニットからマスタ・ユニットへ転送

2. ロックの設定 / 解除を指定するコントロール・ビットです（19.1.7（4）**ロックの設定 / 解除**参照）。
3. ロック・アドレスは、1バイト単位（8ビット）で伝送されるため、次に示す構成になっています。



マスタ・ユニットによりロックを設定されたユニットは、ロックを要求したマスタ・ユニット以外から受信したコントロール・ビットが表19 - 3に示した以外の場合は、受け付けを拒否してアクノリッジ・ビットを出力しません。

表19 - 3 ロックされたスレーブ・ユニットに対するコントロール・フィールド

ビット3	ビット2	ビット1	ビット0	機 能
0	0	0	0	スレーブ・ステータスの読み込み
0	1	0	0	ロック・アドレスの読み込み (下位8ビット)
0	1	0	1	ロック・アドレスの読み込み (上位4ビット)

また、マスタ・ユニットによりロックを設定されていないユニットは、表19 - 4に示したコントロール・データを受信した場合は、受け付けを拒否してアクノリッジ・ビットを出力しません。

表19 - 4 ロックされていないスレーブ・ユニットに対するコントロール・フィールド

ビット3	ビット2	ビット1	ビット0	機 能
0	1	0	0	ロック・アドレスの読み込み (下位8ビット)
0	1	0	1	ロック・アドレスの読み込み (上位4ビット)

自局がマスタとしてバスを占有しているときは、IEBusコントロール・データ・レジスタ (CDR) に設定した値が出力されます。

図19 - 4 コントロール・フィールド

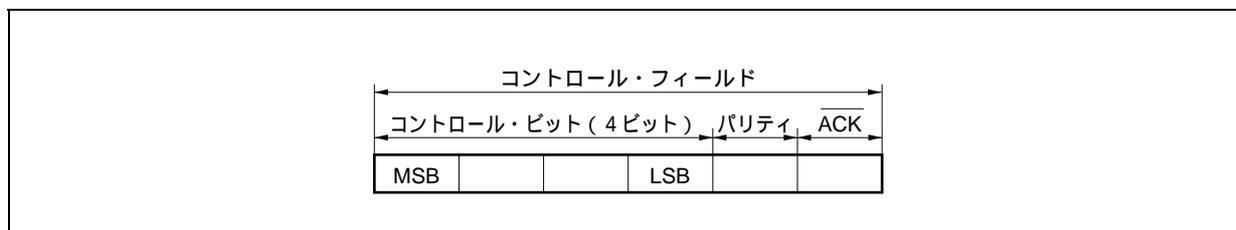


表19 - 5 コントロール・フィールドのアクノリッジ信号出力条件

(a) 受信したコントロール・データがAH, BH, EH, FHの場合

通信の種類 (ALL TRANS) 個別通信 = 0 同報通信 = 1	通信対象 (SLVRQ) スレーブ指定 = 1 指定なし = 0	ロック状態 (LOCK) ロック = 1 非ロック = 0	マスタ・ユニット判定 (PARと一致) ロック要求ユニット = 1 それ以外 = 0	スレーブ送信許可 (ENSLVTX)	スレーブ受信許可 (ENSLVRX)	受信したコントロール・データ			
						AH	BH	EH	FH
0	1	0	don't care	don't care	1				
		1	1						
上記以外						x			

(b) 受信したコントロール・データが0H, 3H, 4H, 5H, 6H, 7Hの場合

通信の種類 (ALL TRANS) 個別通信 = 0 同報通信 = 1	通信対象 (SLVRQ) スレーブ指定 = 1 指定なし = 0	ロック状態 (LOCK) ロック = 1 非ロック = 0	マスタ・ユニット判定 (PARと一致) ロック要求ユニット = 1 それ以外 = 0	スレーブ送信許可 (ENSLVTX)	スレーブ受信許可 (ENSLVRX)	受信したコントロール・データ					
						0H	3H	4H	5H	6H	7H
0	1	0	don't care	0	don't care	x	x	x			x
								x	x		
		1	1			don't care	x			x	x
						1	x				x
上記以外						x					

注意 受信したコントロール・データが表19 - 5以外の場合は無条件でx (ACK返信しない) になります。

備考1. : ACK返信する, x : ACK返信しない

2. ENSLVTX : IEBusユニット・コントロール・レジスタ (BCR) のビット4

ENSLVRX : " のビット3

LOCK : IEBusユニット・ステータス・レジスタ (USR) のビット2

SLVRQ : " のビット6

PAR : IEBus相手先アドレス・レジスタ

(6) 電文長フィールド

送信側が受信側に対して送信データのバイト数を伝えるために出力します。

電文長フィールドは、図19 - 5に示す構成になっています。

電文長ビットと送信データ数の関係を表19 - 6に示します。

図19 - 5 電文長フィールド

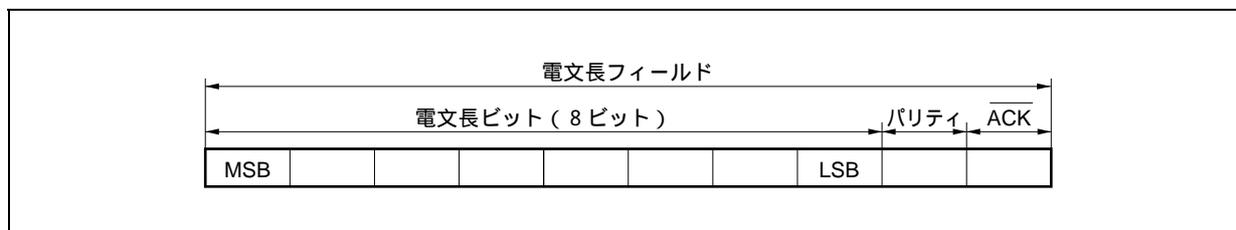


表19 - 6 電文長ビットの内容

電文長ビット (16進)	送信データ・バイト数
01H	1バイト
02H	2バイト
⋮	⋮
FFH	255バイト
00H	256バイト

電文長フィールドの動作は、マスタ送信時 (コントロール・ビットのビット3 = 1) とマスタ受信時 (コントロール・ビットのビット3 = 0) では異なります。

(a) マスタ送信時

電文長ビットおよびパリティ・ビットは、マスタ・ユニットが出力します。スレーブ・ユニットは、パリティが偶数であることを検出した場合、アクノリッジ信号を出力して、次のデータ・フィールドへ移行します。ただし、同報通信では、スレーブ・ユニットはアクノリッジ信号を出力しません。

スレーブ・ユニットは、パリティが奇数の場合、電文長ビットが正しく受信されなかったと判断して、アクノリッジ信号を出力しないで、待機 (モニタ) 状態に戻ります。このとき、マスタ・ユニットも待機状態に戻り、通信が終了します。

(b) マスタ受信時

電文長ビットおよびパリティ・ビットはスレーブ・ユニットが出力し、各ビットの同期信号はマスタ・ユニットが出力します。マスタ・ユニットは、パリティが偶数であることを検出した場合、アクノリッジ信号を出力します。

マスタ・ユニットは、パリティが奇数の場合、電文長ビットが正しく受信されなかったと判断して、アクノリッジ信号を出力しないで、待機 (モニタ) 状態に戻ります。このとき、スレーブ・ユニットも待機状態に戻り、通信が終了します。

(7) データ・フィールド

送信側が出力するデータです。

マスタ・ユニットは、データ・フィールドを使用してスレーブ・ユニットにデータを送信したり、スレーブ・ユニットからデータを受信したりします。

データ・フィールドは、次に示す構成になっています。

図19-6 データ・フィールド



データ・ビットに続き、パリティ・ビットとアクノリッジ・ビットが、それぞれマスタ・ユニットおよびスレーブ・ユニットより出力されます。

同報通信は、マスタ・ユニットの送信動作のみに使用してください。また、このときアクノリッジ信号は無視されます。

マスタ送信時とマスタ受信時の動作を次に示します。

(a) マスタ送信時

マスタ・ユニットからスレーブ・ユニットへ書き込みする場合、マスタ・ユニットは、スレーブ・ユニットに対してデータ・ビット、パリティ・ビットを送信します。スレーブ・ユニットは、データ・ビット、パリティ・ビットを受信して、パリティが偶数で、IEBusデータ・レジスタ (DR) に受信データを格納していなければ、アクノリッジ信号を出力します。パリティが奇数、またはDRレジスタに受信データを格納している場合、スレーブ・ユニットは対応するデータの受け付けを拒否して、アクノリッジ信号を出力しません。

スレーブ・ユニットからアクノリッジ信号が出力されなかった場合、マスタ・ユニットは再び同じデータを送信します。この動作はスレーブ・ユニットからのアクノリッジ信号を検出するか、データが最大伝送バイト数を越えるまで続けられます。

パリティが偶数で、スレーブ・ユニットからアクノリッジ信号が出力された場合、データに続きがあり、かつ最大伝送バイト数を越えていなければ、マスタ・ユニットは次のデータを送信します。

また、同報通信の場合では、スレーブ・ユニットからアクノリッジ信号は出力しないで、マスタ・ユニットはデータを1バイトごとに転送します。同報通信時にスレーブ・ユニットがデータ・ビット、パリティ・ビットを受信して、パリティが奇数、またはDRレジスタが受信データを格納中の場合は、正常に受信ができなかったと判断され、受信を中止します。

(b) マスタ受信時

マスタ・ユニットがスレーブ・ユニットから読み込みする場合、マスタ・ユニットは、すべての読み込みビットに対応する同期信号を出力します。

スレーブ・ユニットは、データ、パリティ・ビットの内容をマスタ・ユニットからの同期信号に応じてバス上に出力します。

マスタ・ユニットは、スレーブ・ユニットの出力したデータ、パリティ・ビットを読み込み、パリティを確認します。

パリティが奇数、またはDRレジスタが受信データを格納中の場合、マスタ・ユニットはそのデータの受け付けを拒否して、アクノリッジ信号を出力しません。1通信フレームで送信できる最大伝送バイト数以内であれば、マスタ・ユニットは同じデータの読み込み動作を繰り返します。

また、パリティが偶数、かつDRレジスタが受信データを格納していない場合、マスタ・ユニットはデータを受け付け、アクノリッジ信号を返します。1フレームで送信できる最大伝送バイト数以内であればマスタ・ユニットは次のデータを読み込みます。

注意 同報通信ではマスタ受信を行わないでください。スレーブ・ユニットが特定できず、正常なデータ転送ができません。

(8) パリティ・ビット

パリティ・ビットは、伝送データに誤りがないことを確認するために使用します。

パリティ・ビットは、マスタ・アドレス・ビット、スレーブ・アドレス・ビット、コントロール・ビット、電文長ビット、データ・ビットの各データに対して付加されます。

パリティ・ビットは、偶数パリティです。データ中の '1' になっているビット数が奇数の場合は、パリティ・ビットは '1' になります。データ中の '1' になっているビット数が偶数の場合は、パリティ・ビットは '0' になります。

(9) アクノリッジ・ビット

通常の通信 (1ユニット 対 1ユニット間の通信) では、データを正しく受け付けたかを確認するために、次に示す箇所にアクノリッジ・ビットが付加されます。

- ・スレーブ・アドレス・フィールドの最後
- ・コントロール・フィールドの最後
- ・電文長フィールドの最後
- ・データ・フィールドの最後

アクノリッジ・ビットの定義を次に示します。

0 : 伝送データを認識したことを示します。(ACK)

1 : 伝送データを認識しなかったことを示します。(NACK)

ただし、同報通信の場合は、アクノリッジ・ビットの内容は無視されます。

(a) スレーブ・アドレス・フィールドの最後のアクノリッジ・ビット

次に示すいずれかの場合、スレーブ・アドレス・フィールドの最後のアクノリッジ・ビットはNACKになり、伝送は中止されます。

- ・ マスタ・アドレス・ビットまたはスレーブ・アドレス・ビットのパリティが正しくない場合
- ・ タイミング・エラー（ビット・フォーマットにエラー）が発生した場合
- ・ スレーブ・ユニットが存在しなかった場合

(b) コントロール・フィールドの最後のアクノリッジ・ビット

次に示すいずれかの場合、コントロール・フィールドの最後のアクノリッジ・ビットはNACKになり、伝送は中止されます。

- ・ コントロール・ビットのパリティが正しくない場合
- ・ スレーブ受信許可フラグ（ENSLVRX）がセット（1）されていないときに、コントロール・ビットのビット3=1（書き込み動作）の場合（19.3.2(1)IEBusコントロール・レジスタ（BCR）参照）
- ・ スレーブ送信許可フラグ（ENSLVTX）がセット（1）されていないときに、コントロール・ビットがデータの読み込み（3H, 7H）の場合（19.3.2(1)IEBusコントロール・レジスタ（BCR）参照）
- ・ ロックを設定しているのに、ロックを設定したユニット以外からコントロール・ビットの3H, 6H, 7H, AH, BH, EH, FHを要求した場合
- ・ ロックを設定していないのに、コントロール・ビットがロック・アドレスの読み込み（4H, 5H）の場合
- ・ タイミング・エラーが発生した場合
- ・ 未定義のコントロール・ビットの場合

注意1. スレーブ送信許可フラグ（ENSLVTX）がセット（1）されていない場合でも、スレーブ・ステータス要求のコントロール・データを受信したときは必ずACKを返信します。

2. スレーブ受信許可フラグ（ENSLVRX）がセット（1）されていない場合でも、データ/コマンド書き込みのコントロール・データを受信すると、コントロール・フィールドのアクノリッジ・ビットでNACKを返信します。

個別通信の場合だけENSLVRXフラグによりスレーブ受信を禁止（通信を中止）することができます。同報通信の場合は、通信が接続され、データ要求割り込み（INTIE1）やIEBus終了割り込み（INTIE2）が発生します。

(c) 電文長フィールドの最後のアクノリッジ・ビット

次に示すいずれかの場合、電文長フィールドの最後のアクノリッジ・ビットはNACKになり、伝送は中止されます。

- ・電文長ビットのパリティが正しくない場合
- ・タイミング・エラーが発生した場合

(d) データ・フィールドの最後のアクノリッジ・ビット

次に示すいずれかの場合、データ・フィールドの最後のアクノリッジ・ビットはNACKになり、伝送は中止されます。

- ・データ・ビットのパリティが正しくない場合^注
- ・タイミング・エラーが前回のアクノリッジ・ビット伝送以降で発生した場合
- ・IEBusデータ・レジスタ (DR) に受信データが格納されており、それ以上のデータを受け付けることができない場合^注

注 この場合、実行されている通信が個別通信のとき、送信側は1フレームで伝送できる最大伝送バイト数以内であれば、そのデータ・フィールドの送信を再実行します。同報通信の場合は、送信側からのデータ再送はなく、受信側は通信エラーとなり受信を中止します。

19.1.7 伝送データ**(1) スレーブ・ステータス**

マスタ・ユニットは、スレーブ・ステータスを読み込むことにより、スレーブ・ユニットが、アクノリッジ・ビット (ACK) を返送しなかった理由を知ることができます。

スレーブ・ステータスは、スレーブ・ユニットが最後に行った通信結果に対して決定されます。

すべてのスレーブ・ユニットは、スレーブ・ステータスの情報を提供できます。

スレーブ・ステータスについて次に示します。

図19-7 スレーブ・ステータスのビット構成

MSB			LSB				
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
ビット0 ^{注1}		意 味					
0		IEBusデータ・レジスタ (DR) に送信データが書き込まれていない					
1		IEBusデータ・レジスタ (DR) に送信データが書き込まれている					
ビット1 ^{注2}		意 味					
0		IEBusデータ・レジスタ (DR) に受信データが格納されていない					
1		IEBusデータ・レジスタ (DR) に受信データが格納されている					
ビット2		意 味					
0		ユニットがロック状態でない					
1		ユニットがロック状態である					
ビット3		意 味					
0		0固定					
ビット4 ^{注3}		意 味					
0		スレーブ送信停止					
1		スレーブ送信動作可能					
ビット5		意 味					
0		0固定					
ビット7	ビット6	意 味					
0	0	モード0	ユニットがサポートしている最高位のモードを示します ^{注4} 。				
0	1	モード1					
1	0	モード2					
1	1	未使用					

注1. リセット時：ビット0は“1”になります。

2. 受信バッファが1バイト分になります。

3. スレーブ・ユニットの場合，IEBusコントロール・レジスタ (BCR) のビット4 (ENSLVTX) で示される状態に該当します。

4. スレーブ・ユニットの場合，ビット7, 6はそれぞれモード1に固定されています (ビット7, 6=0, 1)。

(2) ロック・アドレス

ロック・アドレスの読み込み処理時（コントロール・ビット：4H, 5H）には、ロック命令を発行したマスタ・ユニットのアドレス（12ビット）が、次に示すように1バイト単位に構成されて、読み出されます。

図19 - 8 ロック・アドレスの構成

**(3) データ**

コントロール・ビットがデータ読み込み（3H, 7H）の場合、スレーブ・ユニットのデータ・バッファにあるデータがマスタ・ユニットに読み込まれます。

コントロール・ビットがデータ書き込み（BH, FH）の場合、スレーブ・ユニットが受信したデータは、そのスレーブ・ユニットの動作規定に従って処理されます。

(4) ロックの設定 / 解除

ロック機能は、メッセージを複数の通信フレームにわたって転送する場合に使用します。

ロックを設定したユニットは、ロックをかけたユニット以外からの受信は行いません（同報通信の受信も行いません）。

ロックの設定 / 解除について次に示します。

(a) ロックの設定

ロックを指定したコントロール・ビット（3H, AH, BH）で、電文長フィールドの送受信終了後（ $\overline{\text{ACK}} = 0$ ）、電文長ビットで指定したデータ・バイト数分のデータを送信 / 受信を成功せずに通信フレームを終了した場合、スレーブ・ユニットは、マスタ・ユニットよりロックが設定されます。また、このときスレーブ・ステータスを表すバイト中のロックに関するビット（ビット2）がセット（1）されます。

(b) ロックの解除

ロックを指定したコントロール・ビット（3H, AH, BH）、またはロックの解除を指定したコントロール・ビット（6H）で、1通信フレーム内に電文長ビットで指定したデータ・バイト数分のデータを送信 / 受信終了後、スレーブ・ユニットは、マスタ・ユニットよりロックが解除されます。また、このときスレーブ・ステータスを表すバイト中のロックに関するビット（ビット2）がリセット（0）されます。

なお、同報通信にはロックの設定 / 解除は行われません。

次にロックの設定 / 解除の条件を示します。

(c) ロック設定条件

コントロール・データ	同報通信		個別通信	
	通信終了	フレーム終了	通信終了	フレーム終了
3H, 6H ^注	/		ロックにならない	ロック設定
AH, BH	ロックにならない	ロックにならない	ロックにならない	ロック設定
0H, 4H, 5H, EH, FH	ロックにならない	ロックにならない	ロックにならない	ロックにならない

注 コントロール・データ6H (スレーブ・ステータスの読み込みとロック解除) でのフレーム終了は、データ・フィールドにおいてパリティが奇数で自局からのアクノリッジ信号が出力されずに最大伝送バイト数まで繰り返された場合に発生します。

(d) ロック解除条件 (ロック中)

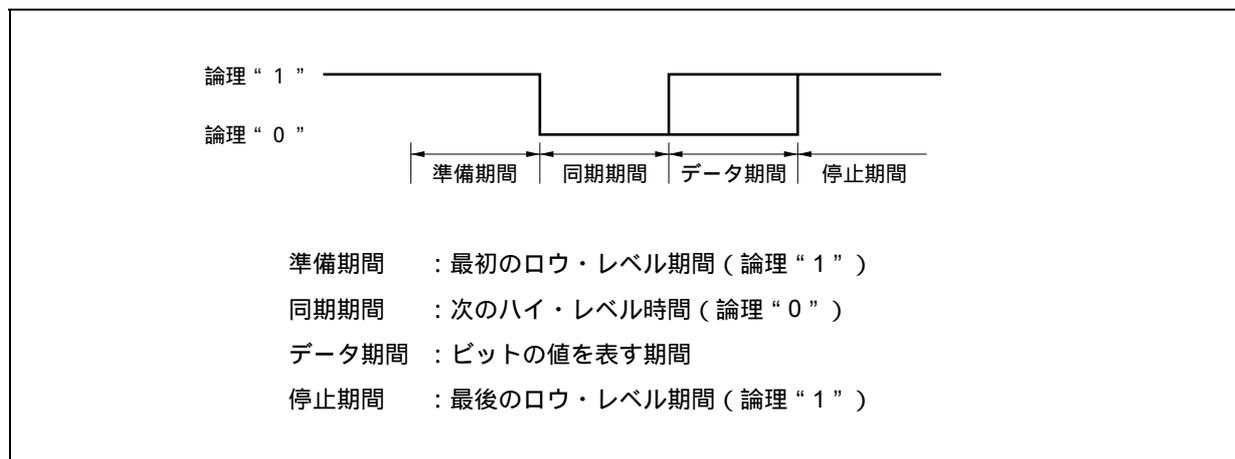
コントロール・データ	ロック要求ユニットからの同報通信		ロック要求ユニットからの個別通信	
	通信終了	フレーム終了	通信終了	フレーム終了
3H, 6H ^注	/		ロック解除	ロック保持
AH, BH	ロック解除	ロック解除	ロック解除	ロック保持
0H, 4H, 5H, EH, FH	ロック保持	ロック保持	ロック保持	ロック保持

注 コントロール・データ6H (スレーブ・ステータスの読み込みとロック解除) でのフレーム終了は、データ・フィールドにおいてパリティが奇数で自局からのアクノリッジ信号が出力されずに最大伝送バイト数まで繰り返された場合に発生します。

19.1.8 ビット・フォーマット

IEBusの通信フレームを構成するビット・フォーマットを次に示します。

図19-9 IEBusのビット・フォーマット



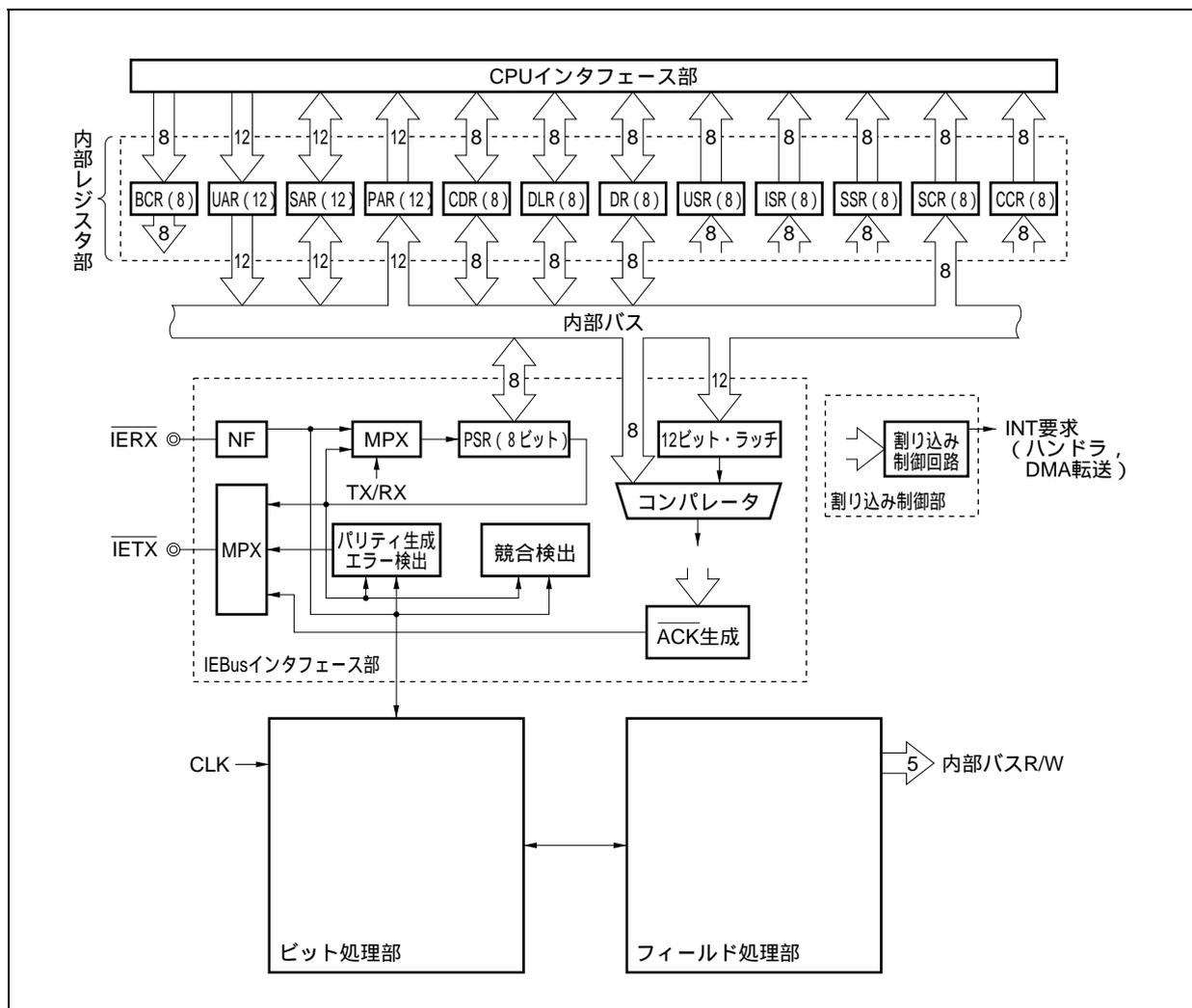
同期期間とデータ期間の長さは、ほぼ等しくなっています。

IEBusは1ビットごとに同期がとられています。また、ビット全体の時間と、そのビット中に割り当てられている期間の時間に関する仕様は、伝送ビットの種類、マスタ・ユニットかスレーブ・ユニットかの違いにより異なります。また、マスタ・ユニット、スレーブ・ユニットは通信中、各期間 (準備期間、同期期間、データ期間、停止期間) が所定の時間どおり出力されているかを検出しています。所定の時間どおり出力されていない場合は、マスタ・ユニット、スレーブ・ユニットはタイミング・エラーとしてただちに通信を終了し待機状態に戻ります。

19.2 IEBusコントローラの構成

IEBusコントローラのブロック図を次に示します。

図19 - 10 IEBusコントローラのブロック図



(1) ハードウェアの構成と機能

IEBusの内部構成は、次に示す6つのブロックから構成されています。

- ・ CPUインタフェース部
- ・ 割り込み制御部
- ・ 内部レジスタ部
- ・ ビット処理部
- ・ フィールド処理部
- ・ IEBusインタフェース部

(a) CPUインタフェース部

CPU (V850/SB2) とIEBus本体とをインタフェースするための制御部です。

(b) 割り込み制御部

IEBus本体からの割り込み要求信号をCPUに渡すための制御部です。

(c) 内部レジスタ部

IEBusの制御を行うコントロール・レジスタ, 各フィールドのデータを設定します (19.3 IEBusコントローラの内部レジスタ参照)。

(d) ビット処理部

ビット・タイミングの生成, 分解を行い, 主にビット・シーケンスROM, 8ビット・プリセット・タイマ, 判定器から構成されています。

(e) フィールド処理部

通信フレーム内のフィールドを生成して, 主にフィールド・シーケンスROM, 4ビット・ダウン・カウンタ, 判定器から構成されています。

(f) IEBusインタフェース部

外付けドライバ/レシーバのインタフェース部で, 主にノイズ・フィルタ, シフト・レジスタ, 競合検出, パリティ検出, パリティ生成回路, $\overline{\text{ACK/NACK}}$ 生成回路から構成されています。

19.3 IEBusコントローラの内部レジスタ

19.3.1 内部レジスタ一覧

表19-7 IEBusコントローラの内部レジスタ一覧

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				1	8	16	
FFFFFF3E0H	IEBusコントロール・レジスタ	BCR	R/W				00H
FFFFFF3E2H	IEBus自局アドレス・レジスタ	UAR					0000H
FFFFFF3E4H	IEBusスレーブ・アドレス・レジスタ	SAR					
FFFFFF3E6H	IEBus相手先アドレス・レジスタ	PAR	R				
FFFFFF3E8H	IEBusコントロール・データ・レジスタ	CDR	R/W				01H
FFFFFF3EAH	IEBus電文長レジスタ	DLR					
FFFFFF3ECH	IEBusデータ・レジスタ	DR					00H
FFFFFF3EEH	IEBusユニット・ステータス・レジスタ	USR	R				
FFFFFF3F0H	IEBusインタラプト・ステータス・レジスタ	ISR	R/W				
FFFFFF3F2H	IEBusスレーブ・ステータス・レジスタ	SSR	R				41H
FFFFFF3F4H	IEBus通信成功カウンタ	SCR					01H
FFFFFF3F6H	IEBus伝送カウンタ	CCR					20H
FFFFFF3F8H	IEBusクロック選択レジスタ	IECLK	R/W				00H
FFFFFF3DEH	IEBus高速クロック選択レジスタ	IEHCLK ^注	R/W				00H

注 IEHCLKレジスタはV850/SB2のH品のみ

19.3.2 内部レジスタ

次にIEBusコントローラに内蔵されている各レジスタを説明します。

(1) IEBusコントロール・レジスタ (BCR)

リセット時 : 00H R/W アドレス : FFFFF3E0H

	⑦	⑥	⑤	④	③	2	1	0
BCR	ENIEBUS	MSTRQ	ALLRQ	ENSLVTX	ENSLVRX	0	0	0

ENIEBUS	通信許可フラグ
0	IEBusユニットを停止
1	IEBusユニットをアクティブにする

MSTRQ	マスタ・リクエスト・フラグ
0	IEBusユニットをマスタとして要求しない
1	IEBusユニットをマスタとして要求する

ALLRQ	同報リクエスト・フラグ
0	個別通信を要求する
1	同報通信を要求する

ENSLVTX	スレーブ送信許可フラグ
0	スレーブ送信を禁止
1	スレーブ送信を許可

ENSLVRX	スレーブ受信許可フラグ
0	スレーブ受信を禁止
1	スレーブ受信を許可

注意1. マスタとして動作中、その通信が通信終了/フレーム終了するか、または競合負け、通信エラー発生により通信中止になるまでは、BCRレジスタへの書き込み動作（ビット操作命令も含む）を禁止します。したがって、マスタ要求の多重化はできません。ただし、マスタ要求が保留された状態でスレーブ指定された場合、通信終了時に通信終了フラグ/フレーム終了フラグをクリアするためにBCRレジスタへ書き込みを行う動作は問題ありません。また、通信を強制終了する（ENIEBUSフラグ = 0）場合も問題ありません。

2. BCRレジスタに対するビット操作命令と、MSTRQフラグのハードウェア・リセットが競合すると正常に動作しない場合があります。この場合、次に示す対策により回避できます。

- ・ハードウェア・リセットはスレーブ・アドレス・フィールドのアクノリッジ期間に行われるので、(b) マスタ・リクエスト・フラグ (MSTRQ) の注意1を守ってください。
- ・BCRレジスタの書き込みに対しては、上記の注意1を守ってください。

(a) 通信許可フラグ (ENIEBUS) ... ビット7

セット/リセット条件

セット : ソフトウェア操作で行います。

リセット : ソフトウェア操作で行います。

注意 ENIEBUSフラグをセットする場合は、あらかじめ次の設定を両方行ってください。

- ・割り込み許可 (EI) 状態かつINTIE2の割り込み処理を許可 (IEBMK = 2) に設定
- ・IEBusの自局アドレス・レジスタ (UAR) の設定

(b) マスタ・リクエスト・フラグ (MSTRQ) ... ビット6

セット/リセット条件

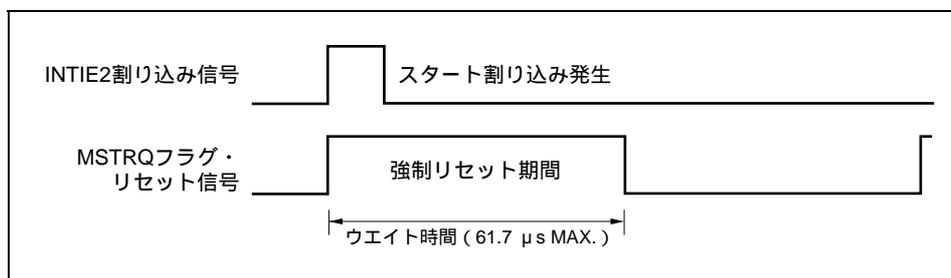
セット : ソフトウェア操作で行います。

リセット : アービトレーション期間の終わりにハードウェアにて行われます。

スレーブ・アドレス・フィールドのACK期間にリセット信号が発生するため、この期間にMSTRQフラグのセット命令を行っても無効になります。

注意1. 競合に負けた場合の再マスタ要求は、ソフトウェア処理にて行ってください。

競合に負けた場合で、再マスタ要求を行うときはウェイト時間を確保してからMSTRQフラグのセット (1) を行ってください。このウェイト期間内にMSTRQフラグのセット命令を実行してもセット (1) されません。



2. マスタ要求して、バス占有権を得た場合は、その通信が終了する (ISRレジスタの通信終了フラグまたはフレーム終了フラグがセット (1)) まで、MSTRQフラグ、ENSLVTXフラグ、ENSLVRXフラグのいずれかをセット (1) しないでください。セットした場合、割り込み要求が発生しなくなります。ただし、通信を中止する場合は問題ありません。

(c) 同報リクエスト・フラグ (ALLRQ) ... ビット5

セット/リセット条件

セット : ソフトウェア操作で行います。

リセット : ソフトウェア操作で行います。

注意 同報通信を要求する場合は必ずALLRQフラグをセットし、MSTRQフラグをセットしてください。

(d) スレーブ送信許可フラグ (ENSLVTX) ... ビット4

セット/リセット条件

セット : ソフトウェア操作で行います。

リセット : ソフトウェア操作で行います。

注意1. マスタ要求時には、MSTRQフラグをセットする前にENSLVTXフラグをクリアしてください。

スレーブ時にENSLVTXフラグをセットしていない状態でマスタからスレーブ送信要求があった場合は、コントロール・フィールドでNACKを返信します。また、禁止状態から許可状態に戻したときは、次の新しいフレームから有効になります。

2. ENSLVTXフラグがセットされていないときに、データ/コマンド書き込みのコントロール・データ (3H, 7H) を受信すると、コントロール・フィールドのアクノリッジ・ビットでNACKを返信します。
3. ENSLVTXフラグをリセット状態にしたときでも、スレーブ・ステータス要求のコントロール・データを返信したときは、ステータス割り込み (INTIE2) が発生し、通信は継続します。

(e) スレーブ受信許可フラグ (ENSLVRX) ... ビット3

セット/リセット条件

セット : ソフトウェア操作で行います。

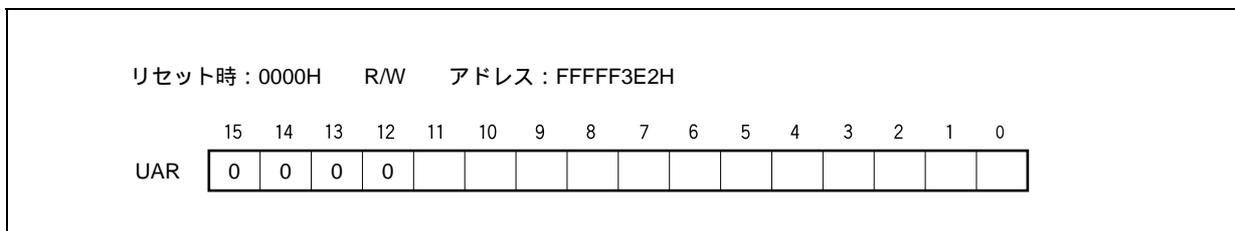
リセット : ソフトウェア操作で行います。

注意 ほかのCPU処理で忙しいときは、ENSLVRXフラグをリセットすると、コントロール・フィールドのアクノリッジ・ビットでNACKを返信し、スレーブ受信を禁止できます。したがって、ENSLVRXフラグをリセットすると個別通信を禁止できますが、同報通信は禁止できません。ただし、個別通信時、受信したスレーブ・アドレスが自局アドレスと一致した場合、スタート割り込み (INTIE2) を発生します。CPU処理を優先させた場合 (受信も送信も行わない場合) は、ENIEBUSフラグをリセットし、IEBusユニットを停止してください。また、禁止状態から許可状態に戻したときは、次の新しいフレームから有効になります。

(2) IEBus自局アドレス・レジスタ (UAR)

IEBusユニットの自局アドレスを設定するレジスタです。通信を開始する前に、必ずUARを設定してください。

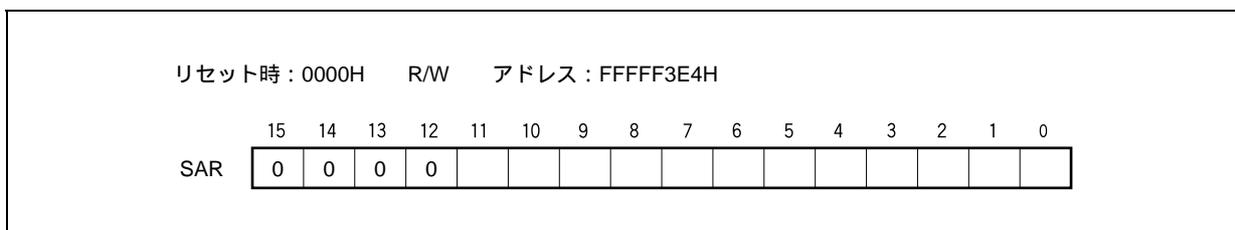
ビット11-0に、ユニット・アドレス (12ビット) を設定します。



(3) IEBusスレーブ・アドレス・レジスタ (SAR)

マスタ要求時にスレーブ・アドレス・フィールドの送信データの値に反映されます。マスタ要求時は、通信を開始する前に、必ずSARを設定してください。

ビット11-0に、スレーブ・アドレス (12ビット) を設定します。



(4) IEBus相手先アドレス・レジスタ (PAR)

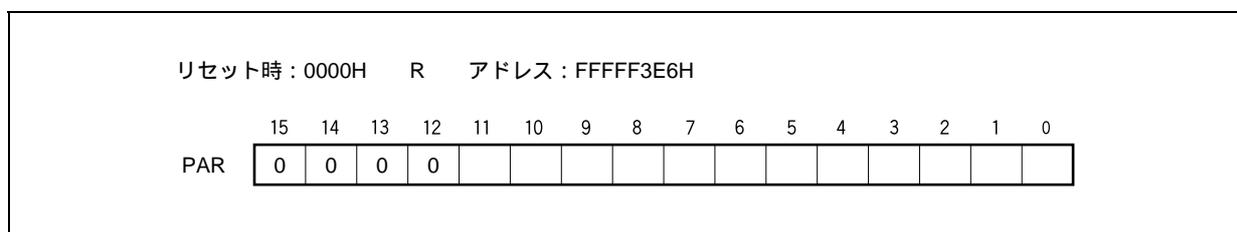
(a) スレーブ・ユニット時

マスタ・アドレス・フィールドの受信データの値 (マスタ・ユニットのアドレス) が書き込まれます。

マスタからロック・アドレス (下位8ビット) の読み込み要求 (4H) を受けた場合, CPUがPARの値を読み出したあとに, 下位8ビットのデータをIEBusデータ・レジスタ (DR) に書き込んでください。

マスタからロック・アドレス (上位4ビット) の読み込み要求 (5H) を受けた場合, CPUがPARの値を読み出したあとに, 上位4ビットのデータをIEBusデータ・レジスタ (DR) に書き込んでください。

ビット11-0に, 相手先アドレス (12ビット) を設定します。



(5) IEBusコントロール・データ・レジスタ (CDR)

(a) マスタ・ユニット時

下位4ビットのデータは, コントロール・フィールドで送信されるデータに反映されます。マスタ要求時は, 通信を開始する前にCDRをあらかじめ設定してください。

(b) スレーブ・ユニット時

下位4ビットは, コントロール・フィールドで受信したデータが書き込まれます。

IEBusインタラプト・ステータス・レジスタ (ISR) のステータス送信フラグ (STATUS) がセットされると, 割り込み (INTIE2) が発生して, ソフトウェア操作でCDRの下位4ビットの値により各処理を行ってください。

リセット時：01H R/W アドレス：FFFFF3E8H

	7	6	5	4	3	2	1	0
CDR	0	0	0	0	MOD	SELCL2	SELCL1	SELCL0

MOD	SELCL2	SELCL1	SELCL0	機 能
0	0	0	0	スレーブ・ステータスの読み込み
0	0	0	1	未定義
0	0	1	0	未定義
0	0	1	1	データ読み込みとロック
0	1	0	0	ロック・アドレスの読み込み（下位8ビット）
0	1	0	1	ロック・アドレスの読み込み（上位4ビット）
0	1	1	0	スレーブ・ステータスの読み込みとロック解除
0	1	1	1	データ読み込み
1	0	0	0	未定義
1	0	0	1	未定義
1	0	1	0	コマンド書き込みとロック
1	0	1	1	データ書き込みとロック
1	1	0	0	未定義
1	1	0	1	未定義
1	1	1	0	コマンド書き込み
1	1	1	1	データ書き込み

- 注意1. スレーブ・ユニットは、受信したデータがコマンドかデータか判断する必要があるため、通信終了後にCDRの値を読み出してください。
2. マスタ・ユニットが未定義の値を設定した場合、スレーブ・ユニットからNACKが返されて、通信は途中終了されますが、同報通信時には、マスタ・ユニットは $\overline{\text{ACK}}$ /NACKを認識せずに通信継続するため、未定義の値を設定しないでください。
3. 競合で負けて、勝ったユニットからスレーブ・ステータス要求を受けた場合、電文長レジスタ（DLR）が01Hに固定されるので、次にマスタを再要求する場合は、必ず所定の電文長をDLRに設定してください。

(c) スレーブ・ステータス返信動作

マスタからスレーブ・ステータスの要求 (コントロール・データ : 0H, 6H) , ロック・アドレスの要求 (4H, 5H) を受信した場合, 自局の状態によりコントロール・フィールドでのACK返信動作が異なります。

非ロック状態で “ 0H, 6H ” のコントロール・データを受信した場合	ACK返信する
非ロック状態で “ 4H, 5H ” のコントロール・データを受信した場合	ACK返信しない
ロック状態でロック要求した局から “ 0H, 4H, 5H, 6H ” のコントロール・データを受信した場合	ACK返信する
ロック状態でロック要求した局以外から “ 0H, 4H, 5H ” のコントロール・データを受信した場合	ACK返信する
ロック状態でロック要求した局以外から “ 6H ” のコントロール・データを受信した場合	ACK返信しない

- のすべての場合, スレーブ・ステータス, ロック・アドレスの要求を受け付けたということで STATUSFフラグ (ISRレジスタのビット4) がセットし, ステータス割り込み要求 (INTIE2) が発生します。発生タイミングは, コントロール・フィールドのパリティ・ビットの終わり (ACKビットの始まり) です。ただし, ACK返信を行わない場合は, ACKビット終了後, NACKエラーとなり通信は終了します。

図19 - 11 割り込み発生タイミング (, , の場合)

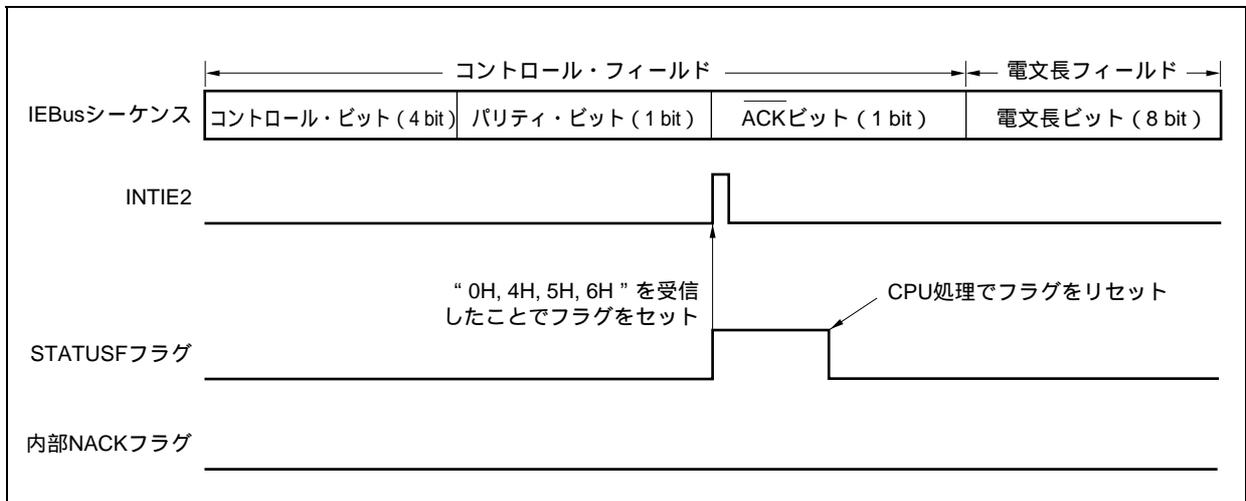
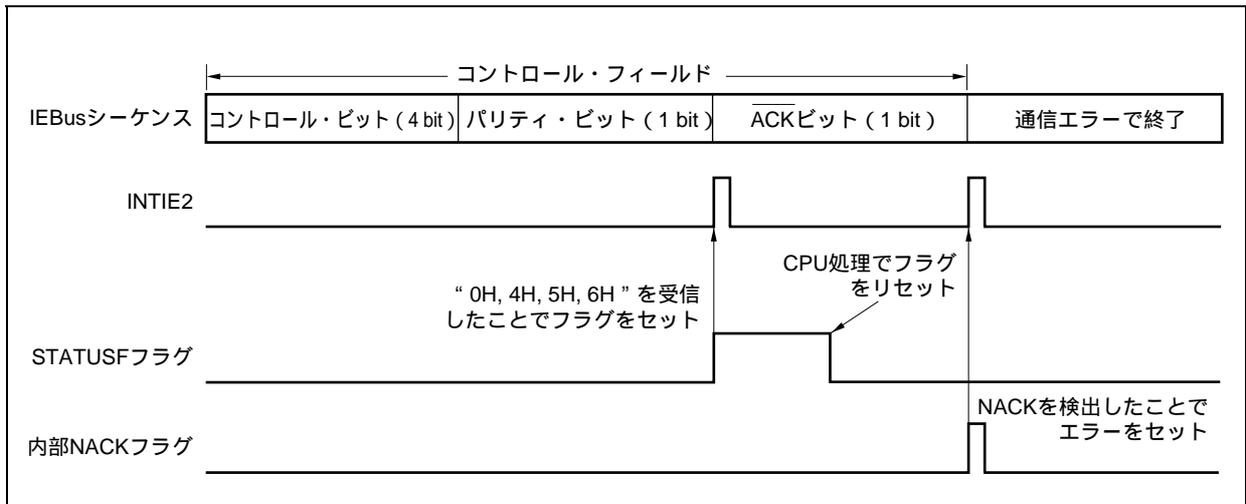


図19 - 12 割り込み発生タイミング (, の場合)



、 の場合、「ロック状態中におけるロック要求以外からの通信」であるため、自局が通信対象の場合でもスタート割り込みや通信完了割り込み (INTIE2) は発生しません。ただし、スレーブ・ステータス、ロック・アドレスの要求を受け付けた場合はSTATUSFフラグ (ISRレジスタのビット4) がセットし、ステータス割り込み要求 (INTIE2) が発生します。このようにロック状態中に同じコントロール・データを受けた場合でも、マスタ側がロック要求局 () か、それ以外の局 () により、INTIE2の発生タイミングが異なります。

図19 - 13 ロック状態中のINTIE2割り込み発生タイミング (, の場合)

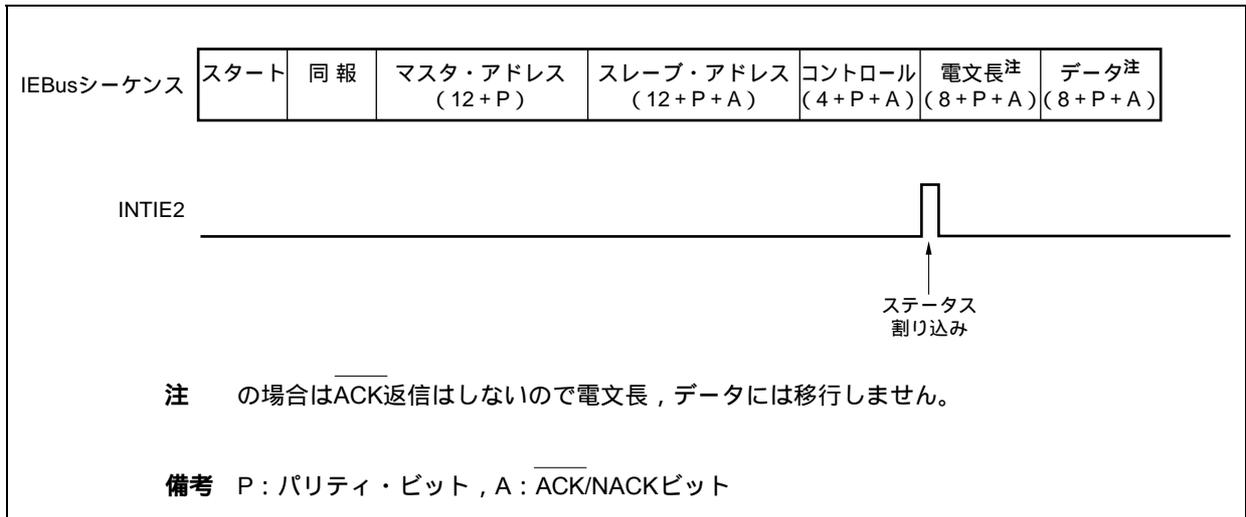
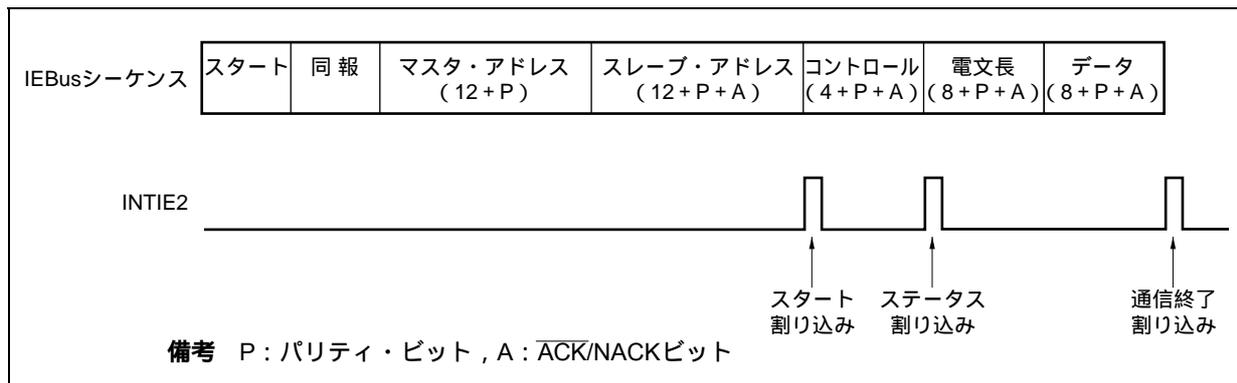


図19 - 14 ロック状態中のINTIE2割り込み発生タイミング (の場合)



(6) IEBus電文長レジスタ (DLR)

(a) 送信ユニット時 (マスタ送信, スレーブ送信)

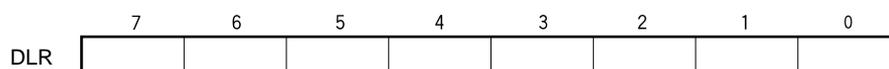
電文長フィールドで送信されるデータに反映され, 送信データのバイト数を表します。送信前にあらかじめDLRを設定してください。

(b) 受信ユニット時 (マスタ受信, スレーブ受信)

送信ユニットから送信される電文長フィールドの受信データが書き込まれます。

備考 IEBus電文長レジスタは, 書き込み側と読み出し側が別レジスタになっており, 書き込んだデータがそのまま読み出せる構成にはなっていません。読み出せるデータはIEBus通信で受信したデータとなります。

リセット時: 01H R/W アドレス: FFFFF3EAH



ビット								設定値	通信データ・バイト数
7	6	5	4	3	2	1	0		
0	0	0	0	0	0	0	1	01H	1バイト
0	0	0	0	0	0	1	0	02H	2バイト
:	:	:	:	:	:	:	:	:	:
0	0	1	0	0	0	0	0	20H	32バイト
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	1	FFH	255バイト
0	0	0	0	0	0	0	0	00H	256バイト

- 注意1.** マスタからスレーブ・ステータス, ロック・アドレス (上位4ビット, 下位8ビット) の送信要求 (0H, 4H, 5H, 6H) があつたとき, DLRの内容は, 01Hにハードウェア上で設定されるため, CPUは設定する必要がありません。
- 2.** 競合で負けて, 勝ったユニットからスレーブ・ステータス要求を受けた場合, 電文長レジスタ (DLR) が01Hに固定されるので, 次にマスタを再要求する場合は, 必ず所定の電文長をDLRに設定してください。

(7) IEBusデータ・レジスタ (DR)

IEBusデータ・レジスタ (DR) は、通信データを設定するレジスタです。ビット7-0に通信データ (8ビット) を設定します。

備考 IEBusデータ・レジスタは、書き込み側と読み出し側が別レジスタになっており、書き込んだデータがそのまま読み出せる構成にはなっていません。読み出されるデータはIEBus通信で受信したデータとなります。

(a) 送信ユニット時

IEBusデータ・レジスタ (DR) に書き込まれたデータ (1バイト分) は、IEBus内部のシフト・レジスタに格納されます。引き続き最上位ビットから出力されて、正常に1バイトの送信が終了するごとにCPUに対して割り込み (INTIE1) が発行されます。ただし、個別送信時に1バイト・データ送信後NACK受信した場合は、DRからシフト・レジスタへの転送は行われず、同一データを再送します。このとき、INTIE1は発生しません。

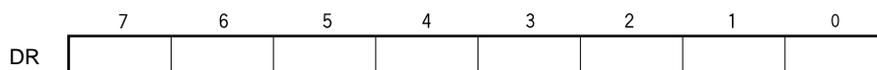
INTIE1は、IEBusデータ・レジスタ (DR) の値がIEBusインタフェース部のシフト・レジスタに格納されるタイミングで発行されます。ただし、最終バイトおよび32バイト目 (1通信フレームの最終バイト) をシフト・レジスタに格納したとき、INTIE1は発行されません。

(b) 受信ユニット時

IEBusインタフェース部のシフト・レジスタで受信したデータ1バイト分が格納されます。正常に1バイトの受信が終了するごとに割り込み (INTIE1) が発行されます。

送受信データをIEBusデータ・レジスタ (DR) に転送するとき、DMAを使用するとCPUの処理を軽減できます。

リセット時 : 00H R/W アドレス : FFFFF3ECh



- 注意1.** 送信ユニット時に次のデータの設定が間に合わない場合、アンダラン発生となり通信エラーの割り込み (INTIE2) が発生して送信を中止します。
- 2.** 受信ユニット時にデータの読み出しが次のデータ受信タイミングに間に合わない場合は、オーバラン状態になります。このとき、個別通信受信時はデータ・フィールドのアクノリッジ・ビットでNACKを返信し、マスタ・ユニットに再送を要求します。同報通信受信時はオーバラン・エラー発生となり、通信エラー割り込み (INTIE2) が発生します。

(8) IEBusユニット・ステータス・レジスタ (USR)

リセット時：00H R アドレス：FFFFF3EEH

	7	⑥	⑤	④	③	②	1	0
USR	0	SLVRQ	ARBIT	ALLTRNS	ACK	LOCK	0	0

SLVRQ	スレーブ要求フラグ
0	マスタからスレーブ要求なし
1	マスタからスレーブ要求あり

ARBIT	競合結果フラグ
0	競合勝ち
1	競合負け

ALLTRNS	同報通信フラグ
0	個別通信状態
1	同報通信状態

ACK	ACK送信フラグ
0	NACKを送信
1	ACKを送信

LOCK	ロック状態フラグ
0	ユニットが非ロック状態
1	ユニットがロック状態

(a) スレーブ要求フラグ (SLVRQ) ... ビット6

マスタからスレーブ要求があったかを示すフラグです。

セット/リセット条件

セット：自局がスレーブ要求されたとき（個別通信受信時は受信したスレーブ・アドレスと自局UARが一致したとき。同報通信受信時は受信したスレーブ・アドレスの上位4ビットと一致、または受信したスレーブ・アドレスがFFFFHのとき）に、スレーブ・アドレス・フィールドのアクノリッジ期間開始時にハードウェアでセットされます。

リセット：自局がスレーブ要求されていないとき、ハードウェアにてリセットします。タイミングはセット時と同じです。ただし、正常に通信を受信した直後（SLVRQビットがセット状態）に自局がスレーブ要求され、その通信のスレーブ・アドレス・フィールドでパリティ・エラーが発生した場合、フラグはリセットしません。

(b) 競合結果フラグ (ARBIT) ... ビット5

競合結果を示すフラグです。

セット / リセット条件

セット : マスタの要求後, アービトレーション期間中に自局が出力しているデータとバス・ラインのデータが不一致のときにセットされます。

リセット : スタート・ビット・タイミングでリセットされます。

注意1. 競合結果フラグ (ARBIT) のリセット・タイミングは, 自局がスタート・ビットを出力する場合としない場合で異なります。

- ・スタート・ビットを出力する : 出力開始タイミングでリセット
- ・スタート・ビットを出力しない : スタート・ビットの検出タイミング (出力から約 160 μ s) でリセット

2. マスタ要求したあと, 他局のスタート・ビット出力の方が早く, 自局がスタート・ビットを出力していない場合はスタート・ビットの検出タイミングでリセットします。

(c) 同報通信フラグ (ALLTRNS) ... ビット4

ユニットが同報通信しているかを示すフラグです。フラグの内容は, 各フレームの同報フィールドで更新されます。

セット / リセット条件は, システム・リセットで初期化 (リセット) される以外は, 同報フィールド・ビットの受信データにより変化します。

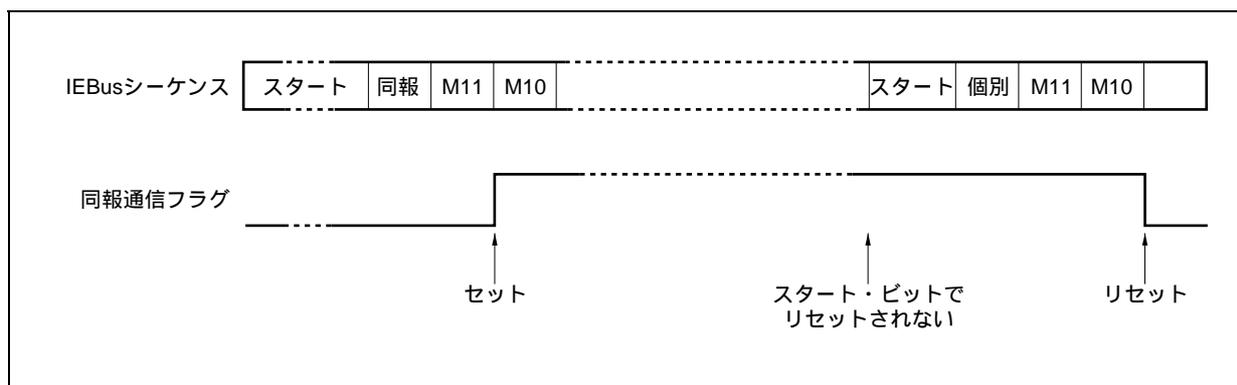
セット / リセット条件

セット : 同報フィールドで「同報」を受信したとき

リセット : 同報フィールドで「個別」を受信したとき, またはシステム・リセット入力時

注意 同報通信フラグの更新は, 自局が通信対象である / なしにかかわらず行われます。

図19 - 15 同報通信フラグの動作例



(d) ACK送信フラグ (ACK) ... ビット3

受信ユニット時, 各フィールドのACK期間中にACKを送信したかを示します。フラグの内容は, 各フレームのACK期間で更新されます。ただし, パリティ・エラー発生などにより, 内部回路が初期化された場合は, そのフィールドのACK期間での更新はされません。

(e) ロック状態フラグ (LOCK) ... ビット2

ユニットがロック状態かを示すフラグです。

セット/リセット条件

セット : コントロール・フィールドでロック指定 (3H, 6H, AH, BH) を受けて, 通信終了フラグがロウ・レベルで, かつフレーム終了フラグがハイ・レベルのときセットされます。

リセット : 通信許可フラグをクリアした場合。

コントロール・フィールドでロック解除 (3H, 6H, AH, BH) を受けて, 通信終了フラグがセットされた場合。

注意 同報通信では, ロックの設定/解除はできません。また, ロック状態中はロック要求したユニット以外からの個別通信を受け付けません。ただしロック要求ユニット以外からの通信でも, その通信がスレーブ・ステータス要求であるかぎり受け付けます。

(9) IEBusインタラプト・ステータス・レジスタ (ISR)

IEBusの割り込み発行時の状態を示すステータス・レジスタです。割り込みが発生するごとにISRを読み出して、所定の割り込み処理を行います。

ISRレジスタは読み出し後リセットしてください。リセットされるまでは、以後のINTIE2割り込み信号が発生しません（保留もされません）。

ISRレジスタのリセットは、表19 - 8のリセット条件に従って各フラグをリセットしてください。

表19 - 8 ISRレジスタの各フラグのリセット条件

フラグ名	リセット条件	処理例
IEERR, STARTF, STATUSF	ISRレジスタのバイト書き込み動作。書き込み値は任意	ISR = 00Hなど
ENDTRNS, ENDFRAM	MSTRQフラグ, ENSLVTXフラグ, ENSLVRXフラグのいずれかをセットする	BCRレジスタ = 88H, またはENSLVTX = 1など

注意 ISRレジスタへのアクセスにより、ENDTRNS, ENDFRAMフラグへ0の書き込みを行っても、これらのフラグはリセットされません。上記の方法でリセットしてください。

備考 MSTRQ : IEBusコントロール・レジスタ (BCR) のビット6

ENSLVTX : IEBusコントロール・レジスタ (BCR) のビット4

ENSLVRX : IEBusコントロール・レジスタ (BCR) のビット3

リセット時：00H R/W アドレス：FFFFFF3F0H

	7	⑥	⑤	④	③	②	1	0
ISR	0	IEERR	STARTF	STATUSF	ENDTRNS	ENDFRAM	0	0

IEERR	通信エラー・フラグ (通信中)
0	通信エラーなし
1	通信エラー発生

STARTF	スタート割り込みフラグ
0	スタート割り込み発生なし
1	スタート割り込み発生あり

STATUSF	ステータス送信フラグ (スレーブ時)
0	スレーブ・ステータス/ロック・アドレス (上位4ビット, 下位8ビット) 送信要求なし
1	スレーブ・ステータス/ロック・アドレス (上位4ビット, 下位8ビット) 送信要求あり

ENDTRNS	通信終了フラグ
0	電文長フィールドで設定した伝送バイト数分の通信が終了せず
1	電文長フィールドで設定した伝送バイト数分の通信が終了

ENDFRAM	フレーム終了フラグ
0	フレーム (モード1で規定される最大伝送バイト数分 (32バイト) の通信) が終了せず
1	フレーム (モード1で規定される最大伝送バイト数分 (32バイト) の通信) が終了

注意 IEERR, STARTF, STATUSF, ENDTRNS, ENDFRAMは、それぞれ割り込み要求信号 (INTIE2) の生成要因となります (図19 - 16 割り込み制御部の構成を参照)。そのためどれか1つの割り込み要因がセットされた状態のとき、後発の要因による割り込み要求は発生しません。割り込み処理プログラムにより、次の割り込み発生タイミングまでに割り込み発生要因のフラグをクリアしてください。

(a) 通信エラー・フラグ (IEERR) ... ビット6

通信中のエラーを検出するフラグです。

セット/リセット条件

セット : タイミング・エラー, パリティ・エラー (データ・フィールドを除く), NACK受信 (データ・フィールドを除く), アンダラン・エラー, オーバラン・エラー (同報通信受信時に発生) のいずれかが発生したときにセットされます。

リセット : ソフトウェア操作で行います。

(b) スタート割り込みフラグ (STARTF) ... ビット5

スレーブ・アドレス・フィールドのACK期間の割り込みを示すフラグです。

セット/リセット条件

セット : マスタ要求時は, スレーブ・アドレス・フィールドでセットされます。

スレーブ・ユニット時は, マスタから要求があったとき (ロック状態ではロック要求ユニットからのスレーブ要求があった場合のみ) にセットされます。

リセット : ソフトウェア操作で行います。

(c) ステータス送信フラグ (STATUSF) ... ビット4

スレーブ時にマスタからスレーブ・ステータス, ロック・アドレス (上位4ビット, 下位8ビット) のいずれかの送信状態であることを示すフラグです。

セット/リセット条件

セット : スレーブ・ユニット時に, マスタからコントロール・フィールドで, 0H, 4H, 5H, 6H を受信したときにセットされます。

リセット : ソフトウェア操作で行います。

(d) 通信終了フラグ (ENDTRNS) ... ビット3

電文長フィールドで設定した / された伝送バイト数分の通信が終了したかを示すフラグです。

セット/リセット条件

セット : SCRのカウント値が0になったとき, セットされます。

リセット : MSTRQフラグ, ENSLVTXフラグ, ENSLVRXフラグのいずれかがセットされたとき, リセットされます。

(e) フレーム終了フラグ (ENDFRAM) ... ビット2

モード1で規定されている最大伝送バイト数分 (32バイト) の通信が終了したかを示すフラグです。

セット/リセット条件

セット : CCRのカウント値が0になったとき, セットされます。

リセット : MSTRQフラグ, ENSLVTXフラグ, ENSLVRXフラグのいずれかがセットされたとき, リセットされます。

(f) 通信エラー発生要因

タイミング・エラー

発生条件：通信ビットのハイ/ロウ・レベル幅が規定値からはずれた場合に発生します。

備考：それぞれの規定値はビット処理部に設定されていて、内部の8ビット・タイマで監視されています。タイミング・エラーが発生した場合、割り込みが発生します。

パリティ・エラー

発生条件：受信ユニット時、各フィールドで生成パリティと受信パリティが一致しなかった場合に発生します。

備考：個別通信時はデータ・フィールド以外でパリティ・エラーが発生した場合、割り込みが発生します。

同報通信時はデータ・フィールドでパリティ・エラーが発生した場合でも、割り込みが発生します。

制限事項：同報通信要求を行い競合負けしたスレーブ要求があった場合は、データ・フィールドでパリティ・エラーが発生しても、割り込みは発生しません。

NACK受信

発生条件：個別通信時、マスタ/スレーブ・ユニットにかかわらず、スレーブ・アドレス、コントロール、電文長の各フィールドで $\overline{\text{ACK}}$ 期間にNACKを受信したときに発生します。

NACK受信エラーが発生するのは個別通信時のみです。同報通信の場合は、 $\overline{\text{ACK}}/\text{NACK}$ の判定を行いません。

備考：データ・フィールド以外でNACKを受信した場合、割り込みが発生します。

アンダラン

発生条件：データ送信時に、 $\overline{\text{ACK}}$ 受信までにIEBusデータ・レジスタ (DR) に次に送信されるデータの書き込みが間に合わなかった場合に発生します。

備考：アンダランが発生した場合、割り込みが発生します。

オーバラン

発生条件：受信ユニット時に1バイトごとのデータがIEBusデータ・レジスタ (DR) に格納されるデータ割り込み要求 (INTIE1) が発生し、DMAまたはソフトウェアでDRレジスタの読み込み処理を行います。この読み込み処理が遅れて次のデータの受信タイミングになると、オーバラン・エラーが発生します。

備考：個別通信受信時は、次のデータのACK期間でアクノリッジを返信しません。これにより送信ユニットはデータを再送します。したがって、IEBus伝送カウンタ (CCR) のディクリメントを行いますが、IEBus通信成功カウンタ (SCR) のディクリメントは行いません。

同報通信受信時は、通信エラー割り込み要求 (INTIE2) を発生し、受信を中止します。このときDRレジスタは更新されません。また、INTIE1も発生せず、STATRXフラグ (SSRレジスタのビット1) のセット (1) を保持します。オーバラン状態の解除は、DRレジスタを読み出したあとのデータ受信タイミングになります。

(g) オーバラン・エラーの補足説明**(i) 個別通信受信でオーバラン状態になり、フレーム終了する場合**

オーバラン状態のあとのDR読み込みが実行されず、データ再送が最大伝送バイト数分（32バイト）に達した場合、フレーム終了割り込み（INTIE2）が発生します。フレーム終了したあともDR読み込みを行うまではオーバラン状態を保持します。

(ii) 上記(i)の場合で次の受信が開始された場合、または同報/個別通信に関係なく最終データを受信したあと、DR読み込みを行わず次の通信が開始された場合

オーバラン状態で自局宛での通信が開始された場合でも、スレーブ・アドレスやコントロール、電文長の各フィールドのACK期間では、オーバラン起因のNACK返信は行いません（DRの更新も行いません）。次の通信が自局宛での通信でない場合は、DR読み込みを行うまではDRを更新しません。自局非対象のため、データ割り込み（INTIE1）や通信エラー割り込み（INTIE2）は発生しません。

(iii) オーバラン状態で次の送信動作を行う場合

オーバラン状態で次の送信を行う場合は、2バイト以上の送信ができません。

データ要求割り込み（INTIE1）が発生しないため、送信データの設定ができず、アンダラン・エラーになります。したがって、オーバラン状態を解除してから送信を行ってください。

(iv) オーバラン状態の解除

オーバラン状態の解除は、DR読み出しとシステム・リセット時にのみ行われます。したがって、通信エラー割り込み処理プログラム中などで、必ずDR読み出しを行ってください。

(10) IEBusスレーブ・ステータス・レジスタ (SSR)

スレーブ・ユニットの通信状態を示すレジスタです。マスタからスレーブ・ステータス送信要求を受けたら、CPUはSSRを読み出したあと、IEBusデータ・レジスタ (DR) に書き込むことでスレーブ・ステータスを送信できます。また、このときの電文長は自動的に01Hに設定されるので、IEBus電文長レジスタ (DLR) を設定する必要はありません (ハードウェアによりプリセットされます)。

ビット7, 6は、ユニットがサポートする最高位のモードを示すために “01” (モード1) に固定されています。

リセット時 : 41H R アドレス : FFFFF3F2H

	7	6	5	④	3	②	①	①
SSR	0	1	0	STATSLV	0	STATLOCK	STATRX	STATTX

STATSLV	スレーブ送信状態フラグ
0	スレーブ送信停止
1	スレーブ送信許可

STATLOCK	ロック状態フラグ
0	非ロック状態
1	ロック状態

STATRX	DR受信状態
0	DRに受信データを未格納
1	DRに受信データを格納

STATTX	DR送信状態
0	DRに送信データを未格納
1	DRに送信データを格納

(a) スレーブ送信状態フラグ (STATSLV) ... ビット4

スレーブ送信許可フラグの内容が反映されます。

(b) ロック状態フラグ (STATLOCK) ... ビット2

ロック状態のフラグの内容が反映されます。

(c) DR受信状態 (STATRX) ... ビット1

DRの受信状態を示すフラグです。

(d) DR送信状態 (STATTX) ... ビット0

DRの送信状態を示すフラグです。

(11) IEBus通信成功カウンタ (SCR)

IEBus通信成功カウンタ (SCR) は、残りの通信バイト数を示すレジスタです。

IEBus電文長レジスタ (DLR) で設定された値が、データ・フィールドのACKによりデクリメントされるカウンタのカウンタ値が読み出されます。また、カウンタ値が00HになるとIEBusインタラプト・ステータス・レジスタ (ISR) の通信終了フラグ (ENDTRNS) がセットされます。

リセット時：01H R アドレス：FFFFFF3F4H

	7	6	5	4	3	2	1	0
SCR								

ビット								設定値	残り通信データ・バイト数
7	6	5	4	3	2	1	0		
0	0	0	0	0	0	0	1	01H	1バイト
0	0	0	0	0	0	1	0	02H	2バイト
:	:	:	:	:	:	:	:	:	:
0	0	1	0	0	0	0	0	20H	32バイト
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	1	FFH	255バイト
0	0	0	0	0	0	0	0	00H	0バイト (通信終了) または 256バイト ^注

注 実際のハード・カウンタのビット長は、9ビットで構成されています。00Hが読み出されたときは、残りの通信データ・バイト数が0バイト (通信終了) か、256バイトなのか判断できません。したがって、通信終了フラグと併用して処理するか、通信開始時の最初の割り込み (00H) が読み出された場合は、残りの通信データ・バイト数は256バイトと判断することができます。

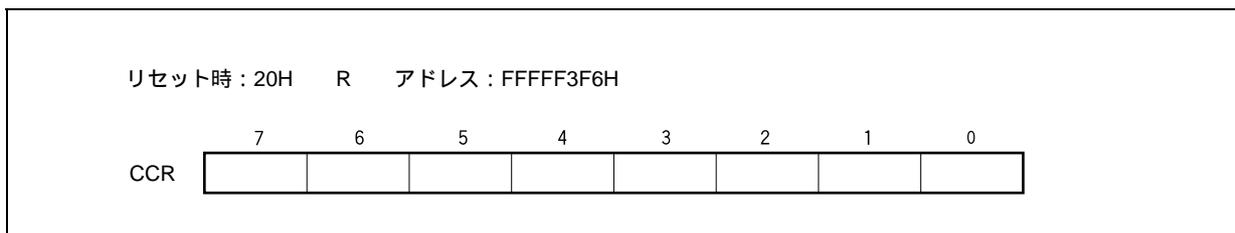
(12) IEBus伝送カウンタ (CCR)

IEBus伝送カウンタ (CCR) は、通信モードで規定されている通信バイト数に対する残りバイト数を示すレジスタです。

IEBus伝送カウンタ (CCR) のビット7-0は、伝送バイト数を示します。

モード1で規定されている1フレーム当たりの最大伝送バイト数(32バイト)がプリセットされ、データ・フィールドの $\overline{\text{ACK}}$ の期間に $\overline{\text{ACK}}$ /NACKに関係なくデクリメントされるカウンタのカウンタ値が読み出されます。SCR (IEBus通信成功カウンタ) が正常通信 ($\overline{\text{ACK}}$) でデクリメントされるのに対して、CCRは $\overline{\text{ACK}}$ /NACKにかかわらず1バイトを通信するとデクリメントされます。また、カウンタ値が00HになるとIEBusインタラプト・ステータス・レジスタ (ISR) のフレーム終了フラグ (ENDFRAM) がセットされます。

モード1のプリセット値のフレーム当たりの最大伝送バイト数は、20H (32バイト) になります。



(13) IEBusクロック選択レジスタ (IECLK)

IEBusのクロックを選択するレジスタです。使用できるメイン・クロック周波数を次に示します。それ以外のメイン・クロック周波数は使用できません。

- ・ 6.0 MHz/6.291 MHz
- ・ 12.0 MHz/12.582 MHz

備考 μ PD703036H, 703036HY, 70F3036H, 70F3036HY, 703037H, 703037HY, 70F3037H, 70F3037HYについては、IEBus高速クロック選択レジスタ (IEHCLK) と組み合わせることによって、より多くのIEBusクロックを選択できます。



(14) IEBus高速クロック選択レジスタ (IEHCLK)

IEBusのクロックを選択するレジスタです。使用できるメイン・クロック周波数を次に示します。それ以外のメイン・クロック周波数は使用できません。

- ・ 6.0 MHz/6.291 MHz
- ・ 12.0 MHz/12.582 MHz
- ・ 18.0 MHz/18.873 MHz

注意 IEHCLKレジスタはV850/SB2のH品 (μ PD703036H, 703036HY, 70F3036H, 70F3036HY, 703037H, 703037HY, 70F3037H, 70F3037HY) のみ搭載しています。

リセット時 : 00H	R/W	アドレス : FFFFF3DEH						
IEHCLK	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	IECS1
IECS1	IECS ^注	IEBusのクロック選択						
0	0	f _{xx} = 6.0 MHzまたはf _{xx} = 6.291 MHzのとき						
0	1	f _{xx} = 12.0 MHzまたはf _{xx} = 12.582 MHzのとき						
1	0	f _{xx} = 18.0 MHzまたはf _{xx} = 18.873 MHzのとき						
1	1	設定禁止						

注 IECLKレジスタの0ビット

19.4 IEBusコントローラの割り込み動作

19.4.1 割り込み制御部

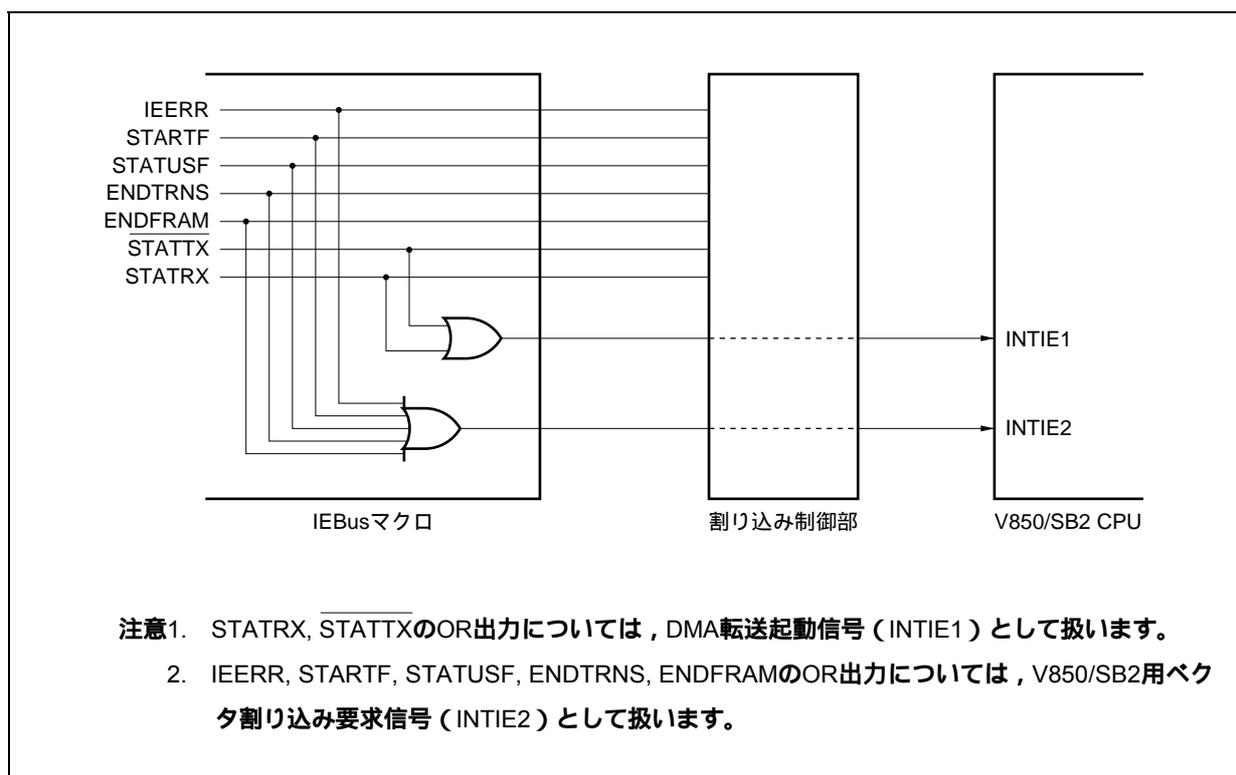
割り込み要求信号について次に示します。

通信エラー	: IEERR
スタート割り込み	: STARTF
ステータス通信	: STATUSF
通信終了	: ENDTRNS
フレーム終了	: ENDFRAM
送信データ書き込み要求	: $\overline{\text{STATTX}}$
受信データ読み出し要求	: STATRX

上記の - の割り込み要求は、IEBusインタラプト・ステータス・レジスタ (ISR) にアサインされています (表19-9 割り込み要因一覧参照)。

次に割り込み制御部の構成を示します。

図19-16 割り込み制御部の構成



19.4.2 割り込み要因一覧

V850/SB2内蔵用IEBusコントローラの割り込み要求信号は、ベクタ割り込みとDMA転送の2つに分けられます。割り込み要求信号は、ソフトウェア操作で指定できます。割り込み要因の一覧を次に示します。

表19-9 割り込み要因一覧

割り込み要因		発生状態		割り込み発生後のCPU処理	備考
		ユニット	フィールド		
通信エラー	タイミング・エラー	マスタ/スレーブ	全フィールド	通信処理のやり直し	通信エラーは、タイミング・エラー、パリティ・エラー、NACK受信、アンダラン・エラー、オーバラン・エラーのOR出力になります。
	パリティ・エラー	受信	データ以外(個別)		
			全フィールド(同報)		
	NACK受信	受信(送信)	データ以外(個別)		
	アンダラン・エラー	送信	データ		
オーバラン・エラー	受信	データ(同報)			
スタート割り込み	マスタ	スレーブ/アドレス	スレーブ要求判定 競合判定 (負けた場合は再マスタ処理) 通信準備処理	マスタ要求時は、競合に負けた場合も必ず割り込みが発生します。	
		スレーブ	スレーブ/アドレス		スレーブ要求判定 通信準備処理
ステータス送信	スレーブ	コントロール	スレーブ・ステータスなどの送信処理例を参照してください。	スレーブ送信許可フラグに関係なく発生します。コントロール・フィールドでNACK返信するときも発生します。	
通信終了	送信	データ	DMA転送終了処理	SCRが0になるとセットされます。	
	受信	データ	DMA転送終了処理 受信データ処理		
フレーム終了	送信	データ	再通信準備処理	CCRが0になるとセットされます。	
	受信	データ	再受信準備処理		
送信データ書き込み	送信	データ	送信データ読み出し ^注	送信データを内部シフト・レジスタへ転送後にセットされます。最終データ転送時には発生しません。	
受信データ読み出し	受信	データ	受信データ読み出し ^注	正常データ受信後にセットされます。	

注 DMA転送またはソフトウェア操作をしない場合

19.4.3 通信エラー要因処理一覧

各通信エラー（タイミング・エラー，NACK受信エラー，オーバーラン・エラー，アンダラン・エラー，パリティ・エラー）発生条件，および内蔵IEBusコントローラのエラー処理内容，およびソフトウェアでの処理例を次に示します。

表19 - 10 通信エラー要因処理一覧 (1/2)

		タイミング・エラー			
発生条件	自局状態	受信時		送信時	
	発生条件	ビット規定タイミングを外れた場合			
	発生場所	データ・フィールド以外	データ・フィールド	データ・フィールド以外	データ・フィールド
同報通信時	ハードウェア処理	・受信中止 ・INTIE2発生 ・スタート・ビット待ち状態へ 備考 他局間の通信は終了しない。		・送信中止 ・INTIE2発生 ・スタート・ビット待ち状態へ	
	ソフトウェア処理	・エラー処理（再送要求など）		・エラー処理（再送要求など）	
個別通信時	ハードウェア処理	・受信中止 ・INTIE2発生 ・NACK返信 ・スタート・ビット待ち状態へ		・送信中止 ・INTIE2発生 ・スタート・ビット待ち状態へ	
	ソフトウェア処理	・エラー処理（再送要求など）		・エラー処理（再送要求など）	

		NACK受信エラー				
発生条件	自局状態	受信時		送信時		
	発生条件	自局NACK送信		NACK受信		
	発生場所	データ・フィールド以外	データ・フィールド	データ・フィールド以外	データ・フィールド	32バイト目のデータでNACK受信
同報通信時	ハードウェア処理	-	-	-	-	-
	ソフトウェア処理	-	-	-	-	-
個別通信時	ハードウェア処理	・受信中止 ・INTIE2発生 ・スタート・ビット待ち状態へ	・INTIE2発生せず ・他局が再送するデータを受信	・送信中止 ・INTIE2発生 ・スタート・ビット待ち状態へ	・INTIE2発生せず ・再送処理	・INTIE2発生 ^注 ・スタート・ビット待ち状態へ
	ソフトウェア処理	・エラー処理（再送要求など）	-	・エラー処理（再送要求など）	-	・エラー処理（再送要求など）

注 ISR.6 (IEERR) および，ISR.2 (ENDFRAM) の両方がセット (1) されます。

リセットする場合は，表19 - 8の条件に従って，行ってください。

表19 - 10 通信エラー要因処理一覧 (2/2)

		オーバラン・エラー		アンダラン・エラー	
発生条件	自局状態	受信時		送信時	
	発生条件	DRの読み出しが次データ受信タイミングまでに間に合わない		DRの書き込みが次データ送信タイミングまでに間に合わない	
	発生場所	データ・フィールド以外	データ・フィールド	データ・フィールド以外	データ・フィールド
同報通信時	ハードウェア処理	-	<ul style="list-style-type: none"> 受信中止 INTIE2発生 スタート・ビット待ち状態へ <p>備考1. 他局間の通信は終了しない。 2. オーバラン状態解除までデータ受信できない。</p>	-	<ul style="list-style-type: none"> 送信中止 INTIE2発生 スタート・ビット待ち状態へ
	ソフトウェア処理	-	<ul style="list-style-type: none"> DR読み出しを実行し、オーバラン状態解除を行う エラー処理 (再送要求など) 	-	エラー処理 (再送要求など)
個別通信時	ハードウェア処理	-	<ul style="list-style-type: none"> INTIE2発生せず NACK返信 他局からデータ再送 <p>備考 オーバラン状態解除までデータ受信できない。</p>	-	<ul style="list-style-type: none"> 送信中止 INTIE2発生 スタート・ビット待ち状態へ
	ソフトウェア処理	-	<ul style="list-style-type: none"> DR読み出しを実行し、オーバラン状態解除を行う エラー処理 (再送要求など) 	-	エラー処理 (再送要求など)

		パリティ・エラー			
発生条件	自局状態	受信時		送信時	
	発生条件	受信データと受信パリティが不一致		-	
	発生場所	データ・フィールド以外	データ・フィールド	データ・フィールド以外	データ・フィールド
同報通信時	ハードウェア処理	<ul style="list-style-type: none"> 受信中止 INTIE2発生 スタート・ビット待ち状態へ <p>備考 他局間の通信は終了しない。</p>		-	-
	ソフトウェア処理	エラー処理 (再送要求など)		-	-
個別通信時	ハードウェア処理	<ul style="list-style-type: none"> 受信中止 INTIE2発生 スタート・ビット待ち状態へ 	<ul style="list-style-type: none"> 受信中止せず INTIE2発生せず NACK返信 他局から再送されたデータを受信 	-	-
	ソフトウェア処理	エラー処理 (再送要求など)	-	-	-

19.5 割り込み発生タイミングおよび主なCPU処理内容

19.5.1 マスタ送信

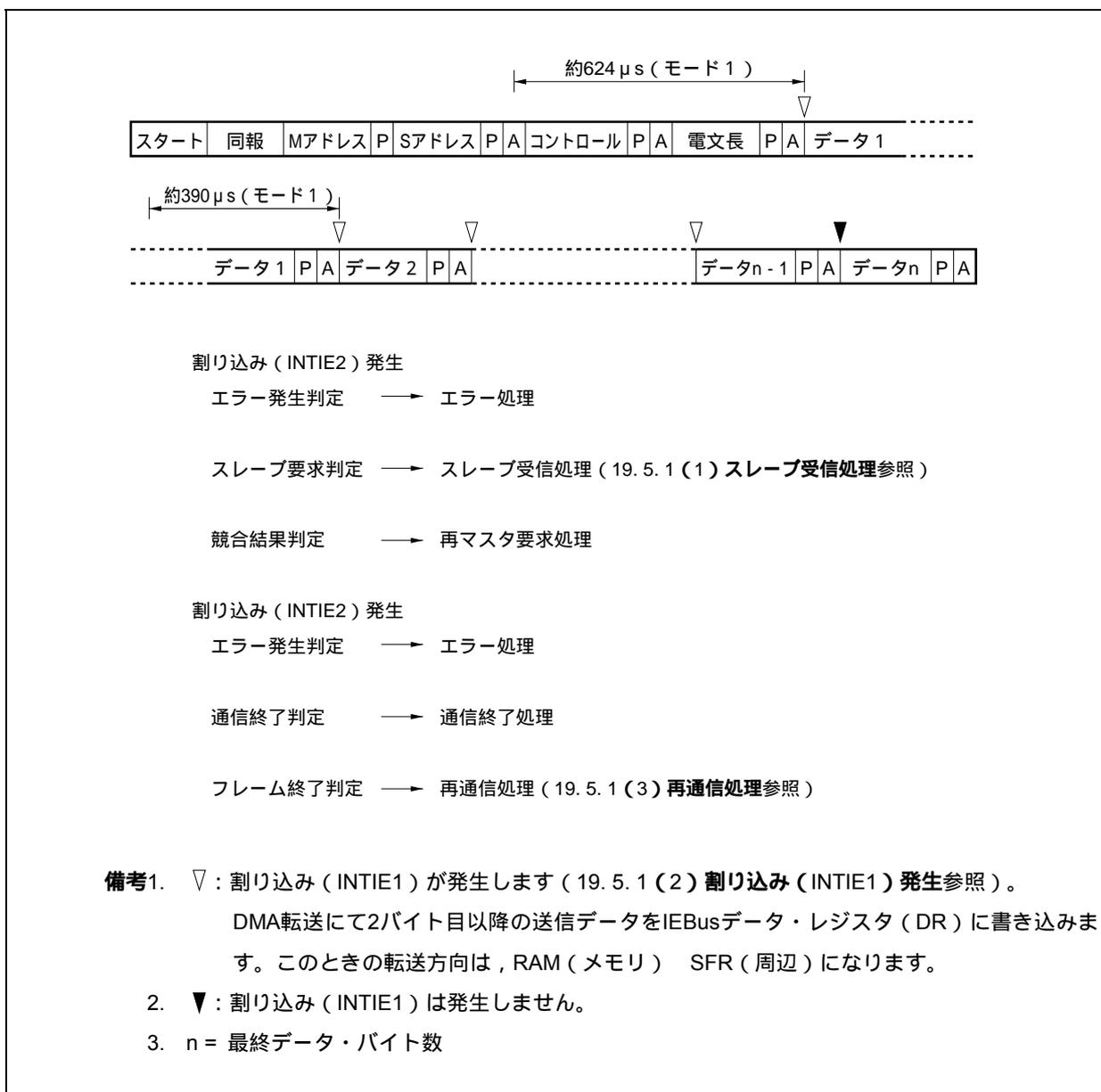
初期準備処理：

自局アドレス，スレーブ・アドレス，コントロール・データ，電文長，1バイト目送信データの設定

通信開始処理：

バス・コントロール・レジスタの設定（通信許可，マスタ・リクエスト，スレーブ受信許可）

図19 - 17 マスタ送信



(1) スレーブ受信処理

ベクタ割り込み処理でスレーブ受信要求を確認した場合は、1バイト目のデータを受信するまでに、DMA転送のデータの転送方向をRAM（メモリ） SFR（周辺）からSFR（周辺） RAM（メモリ）に変更してください。通信モード1のとき、このデータ転送方向の変更処理の保留期間は、最大約1040 μ sになります。

(2) 割り込み（INTIE1）発生

データ・フィールドでスレーブからNACKを受信した場合は、CPUに対して割り込み（INTIE1）は発生しないで、ハードウェアにより同じデータを再送します。また、送信データの書き込みが次のデータ書き込み期間内に間に合わなかった場合は、アンダラン発生により通信エラー割り込みが発生して、通信は途中終了になります。

(3) 再通信処理

図19 - 30の のベクタ割り込み処理では、1フレーム以内で正常にデータの送信が終了したか、しなかったかを判定します。正常に送信できていない（1フレーム以内で送信すべきデータ数が送信できなかった）場合は、次の通信フレームで再送、または続きのデータ送信を行ってください。

19.5.2 マスタ受信

マスタ受信を行う場合は、あらかじめスレーブとなるユニットに対して、「スレーブ送信」を予告しておく必要があります。したがって、マスタ受信は最低2通信フレーム必要になります。

スレーブ・ユニットは送信データを用意して、スレーブ送信許可フラグ (ENSLVTX) をセット (1) して待機します。

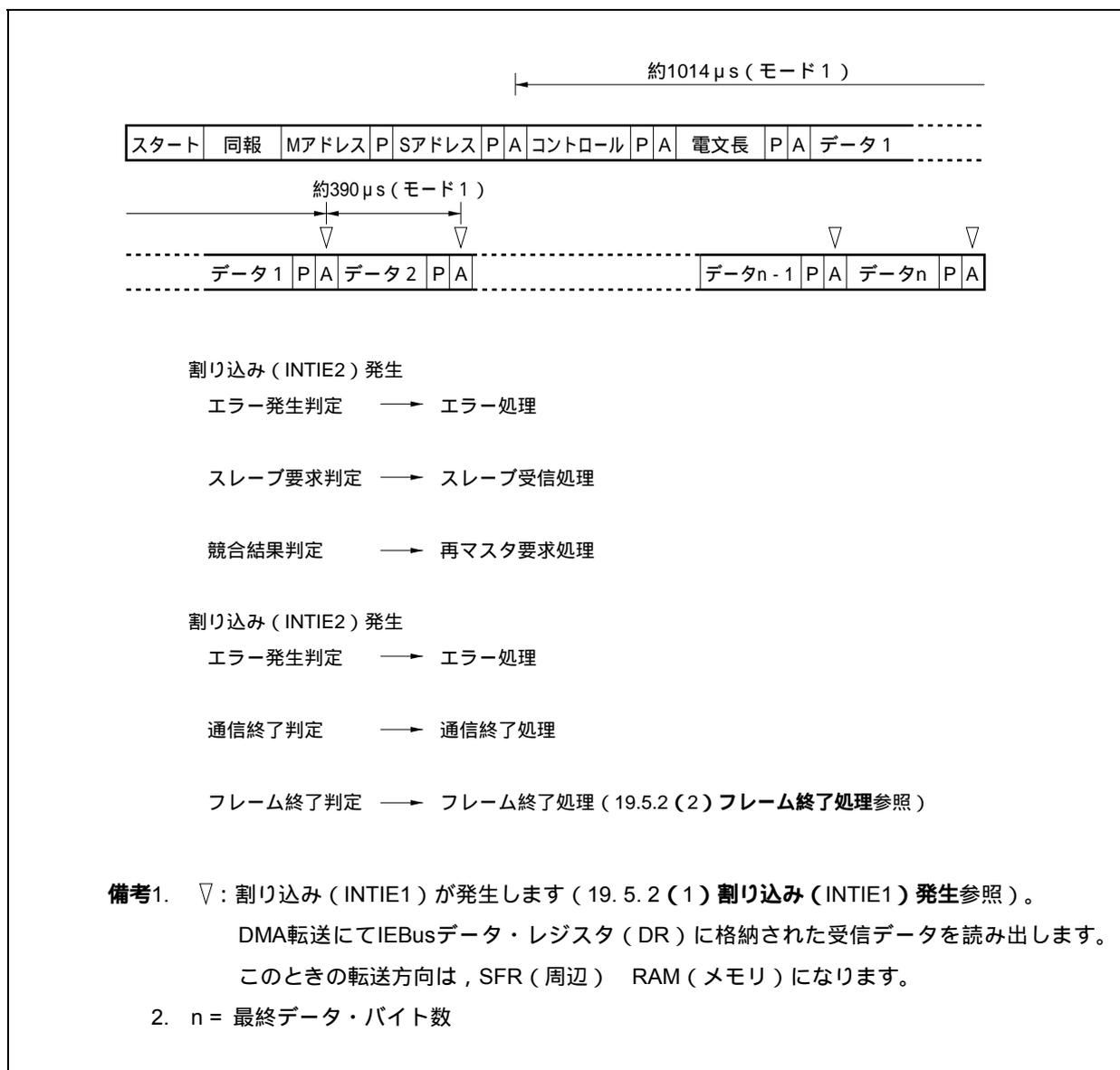
初期準備処理：

自局アドレス、スレーブ・アドレス、コントロール・データの設定

通信開始処理：

バス・コントロール・レジスタの設定 (通信許可、マスタ・リクエスト)

図19 - 18 マスタ受信



(1) 割り込み (INTIE1) 発生

データ・フィールドでNACKを送信 (ハードウェア処理) した場合は, CPUに対して割り込み (INTIE1) は発生しないで, スレーブより同じデータが再送されます。また, 受信したデータの読み出しが次のデータ受信に間に合わなかった場合は, 自動的にハードウェアでNACKを送信します。

(2) フレーム終了処理

図19 - 31の のベクタ割り込み処理では, 1フレーム以内で正常にデータの受信が終了したか, しなかったかを判定します。正常に受信できていない (1フレーム以内で受信すべきデータ数が受信できなかった) 場合は, 次の通信フレームで, スレーブに再送要求を行ってください。

19.5.3 スレーブ送信

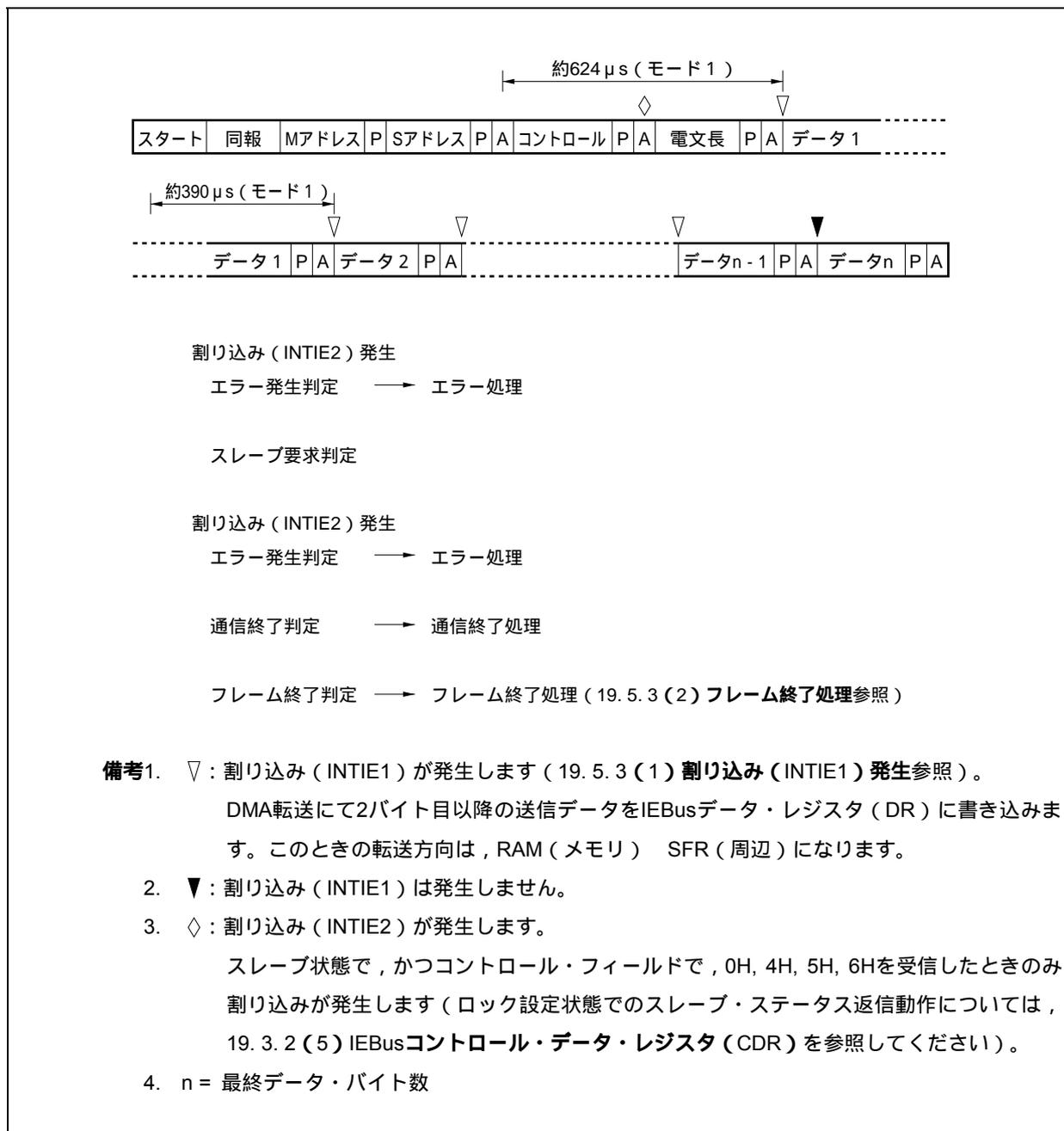
初期準備処理：

自局アドレス，電文長，1バイト目送信データの設定

通信開始処理：

バス・コントロール・レジスタの設定（通信許可，スレーブ送信許可，スレーブ受信許可）

図19 - 19 スレーブ送信



(1) 割り込み (INTIE1) 発生

データ・フィールドでスレーブからNACKを受信した場合は、CPUに対して割り込み (INTIE1) は発生しないで、ハードウェアより同じデータを再送します。また、送信データの書き込みが次のデータ書き込み期間内に間に合わなかった場合は、アンダラン発生により通信エラー割り込みが発生して、通信は異常終了になります。

(2) フレーム終了処理

図19 - 32の のベクタ割り込み処理では、1フレーム以内で正常にデータの送信が終了したか、しなかったかを判定します。正常に送信できていない (1フレーム以内で送信すべきデータ数が送信できなかった) 場合は、次の通信フレームで再送、または続きのデータ送信を行ってください。

19.5.4 スレーブ受信

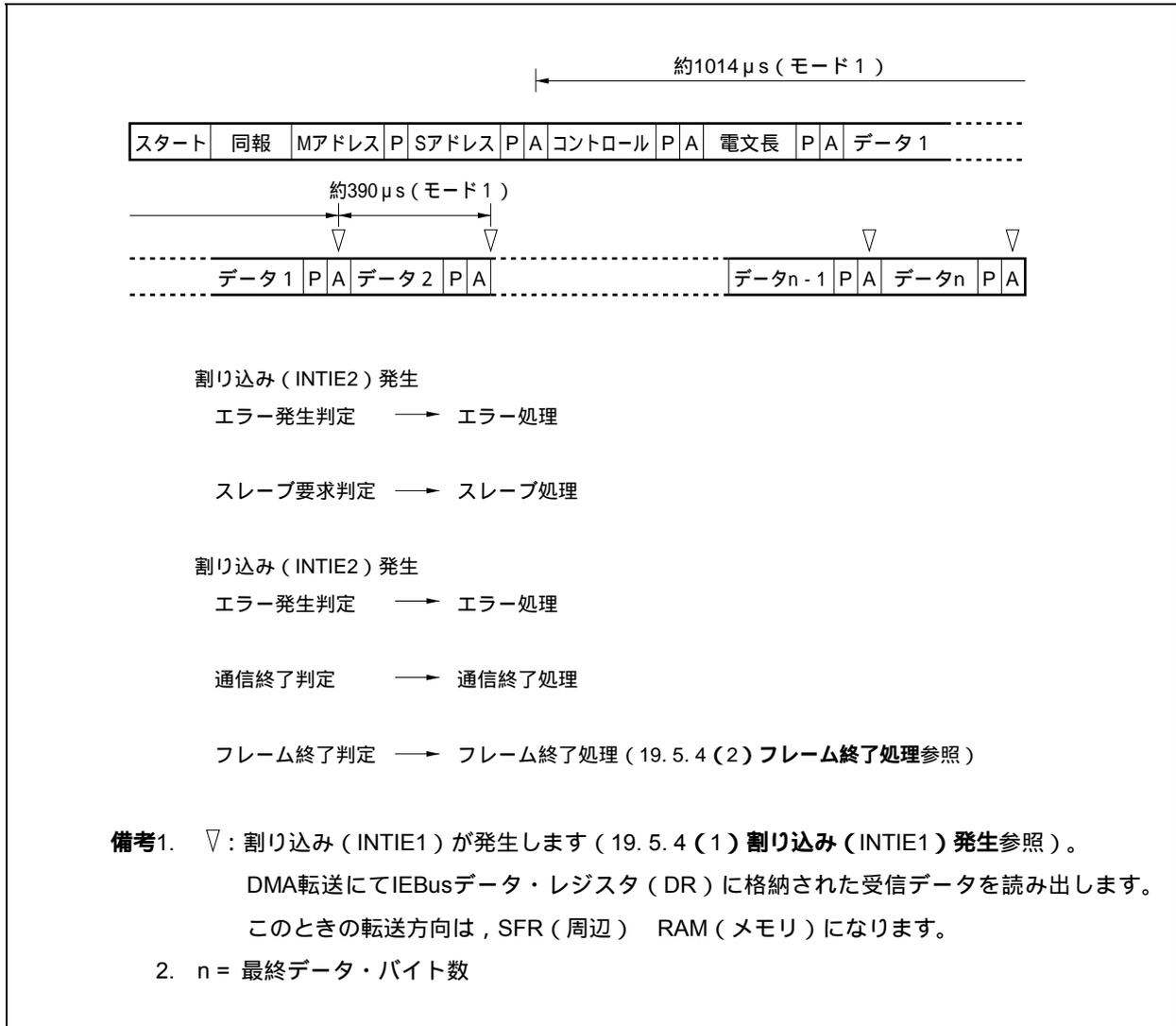
初期準備処理：

自局アドレスの設定

通信開始処理：

バス・コントロール・レジスタの設定（通信許可，スレーブ送信禁止，スレーブ受信許可）

図19 - 20 スレーブ受信



(1) 割り込み (INTIE1) 発生

データ・フィールドでNACKを送信した場合は、CPUに対して割り込み (INTIE1) は発生しないで、マスタより同じデータが再送されます。また、受信したデータの読み出しが次のデータ受信までに間に合わなかった場合は、自動的にNACKを送信します。

(2) フレーム終了処理

図19 - 33の のベクタ割り込み処理では、1フレーム以内で正常にデータの受信が終了したか、しなかったかを判定します。

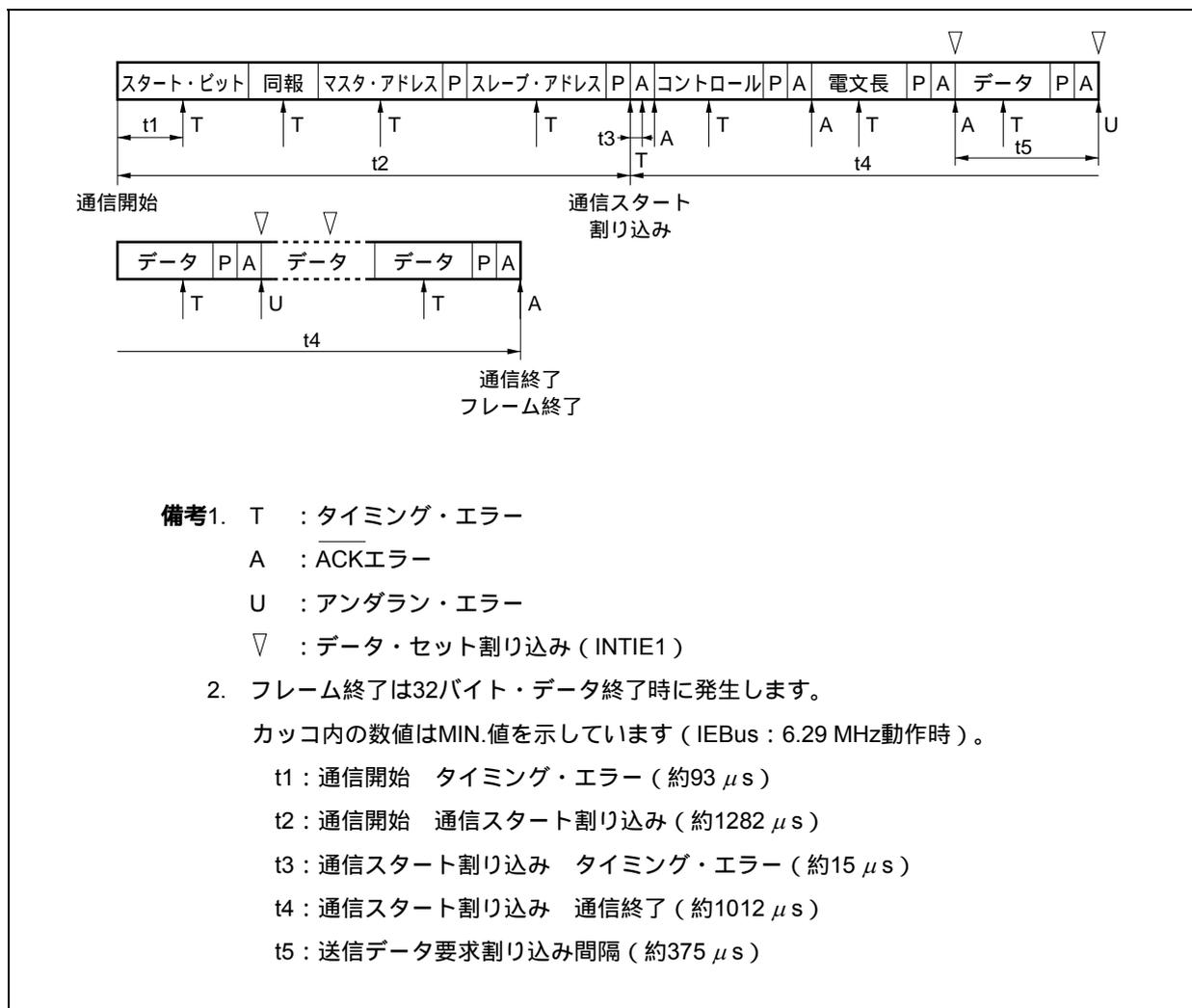
19.5.5 IEBus制御用割り込み発生間隔

各制御割り込みは、通信中それぞれのポイントで逐次発生して、次の割り込み発生までに必要な処理を行います。そのため、CPUはこの割り込みでの最短時間を考慮して、IEBusコントロール・ブロックを制御します。

次に示すエラー割り込みに関しては、発生する可能性のあるフィールドに“ ”で示しています（この“ ”で示しているポイントごとに割り込みが発生することはありません）。エラー割り込み（タイミング・エラー、パリティ・エラー、ACKエラー）が発生した場合、IEBus内部回路を初期化するため、その通信フレーム内でそれ以降の割り込みは発生しなくなります。

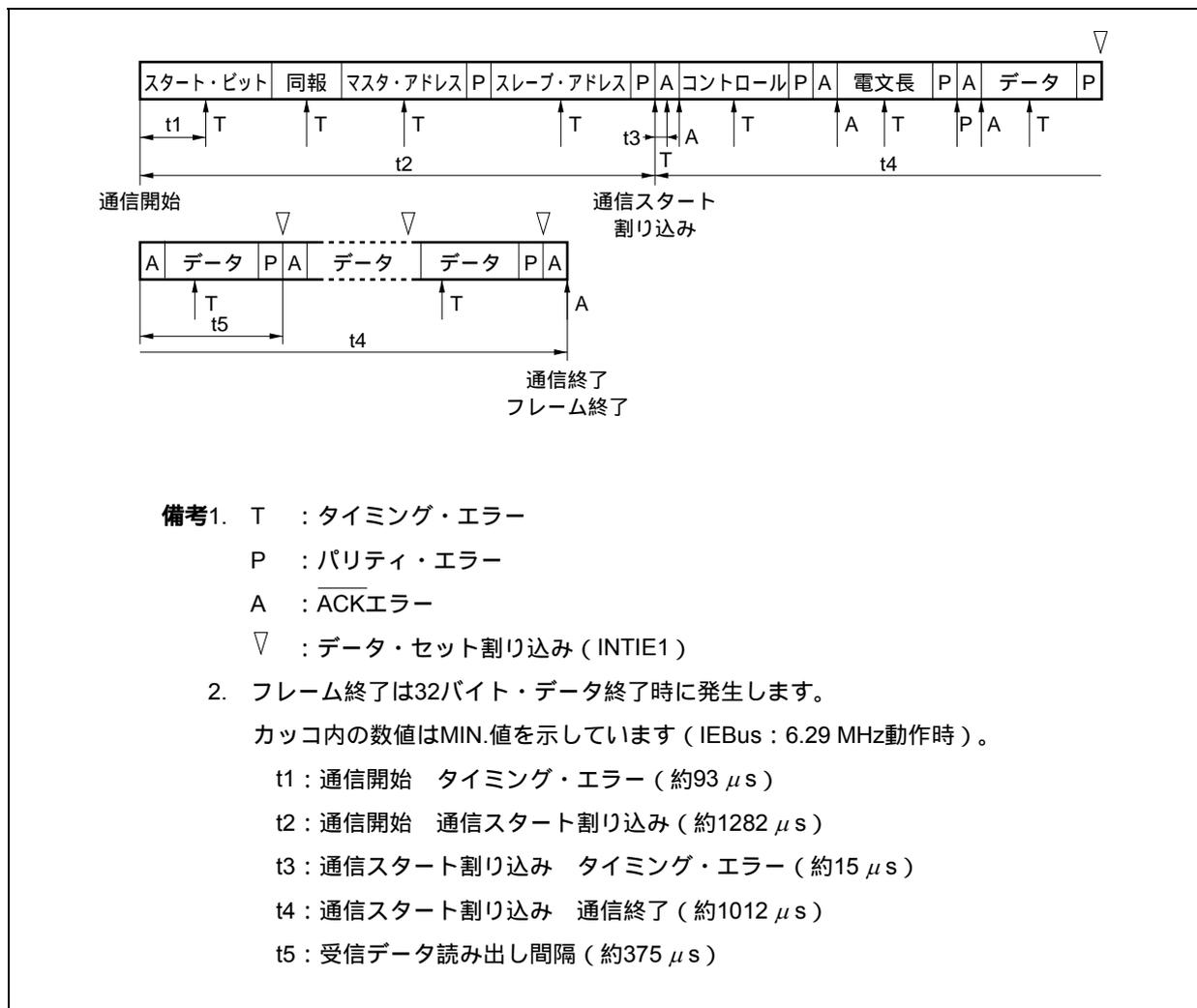
(1) マスタ送信

図19 - 21 マスタ送信（割り込み発生間隔）



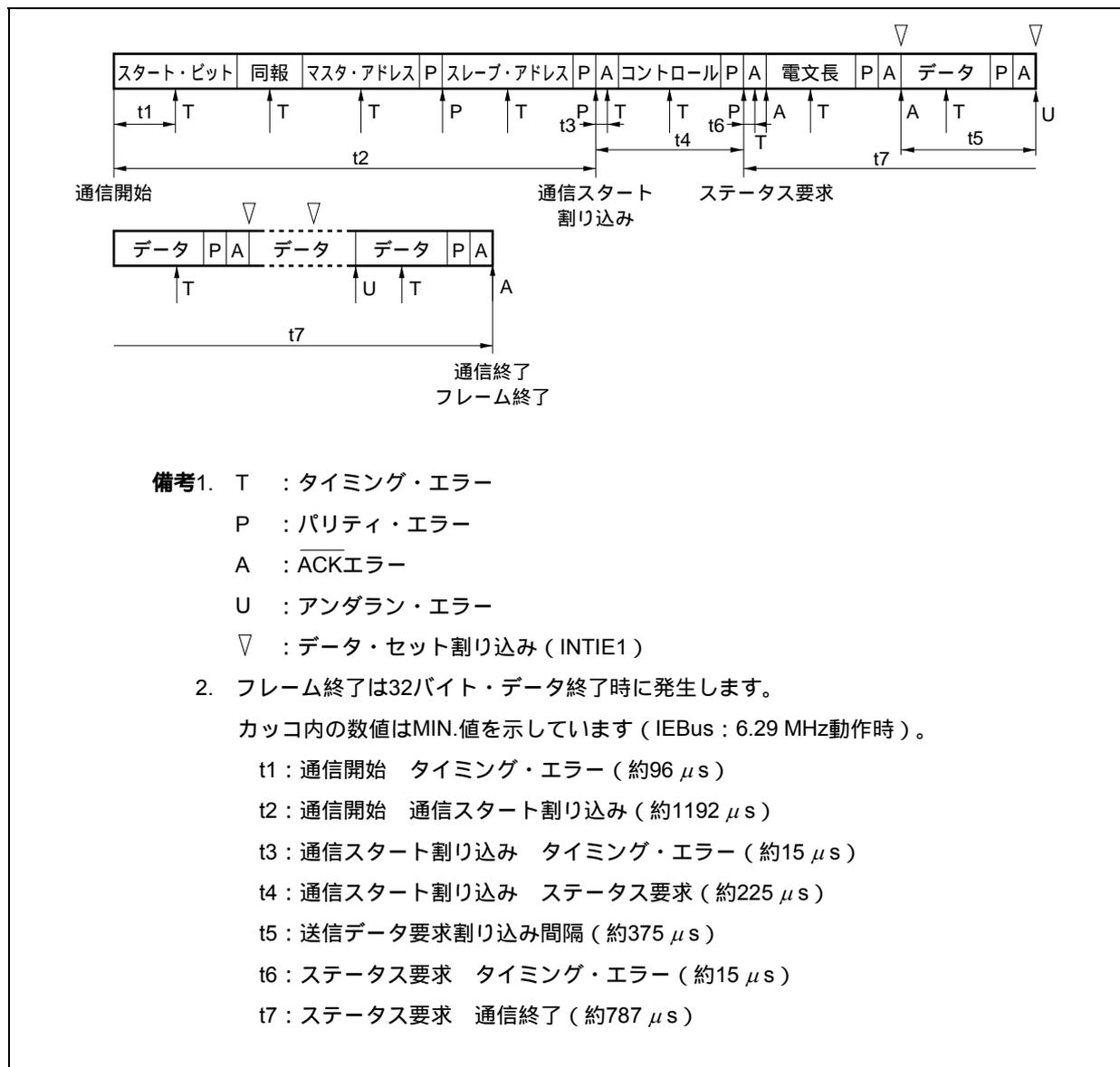
(2) マスタ受信

図19 - 22 マスタ受信 (割り込み発生間隔)



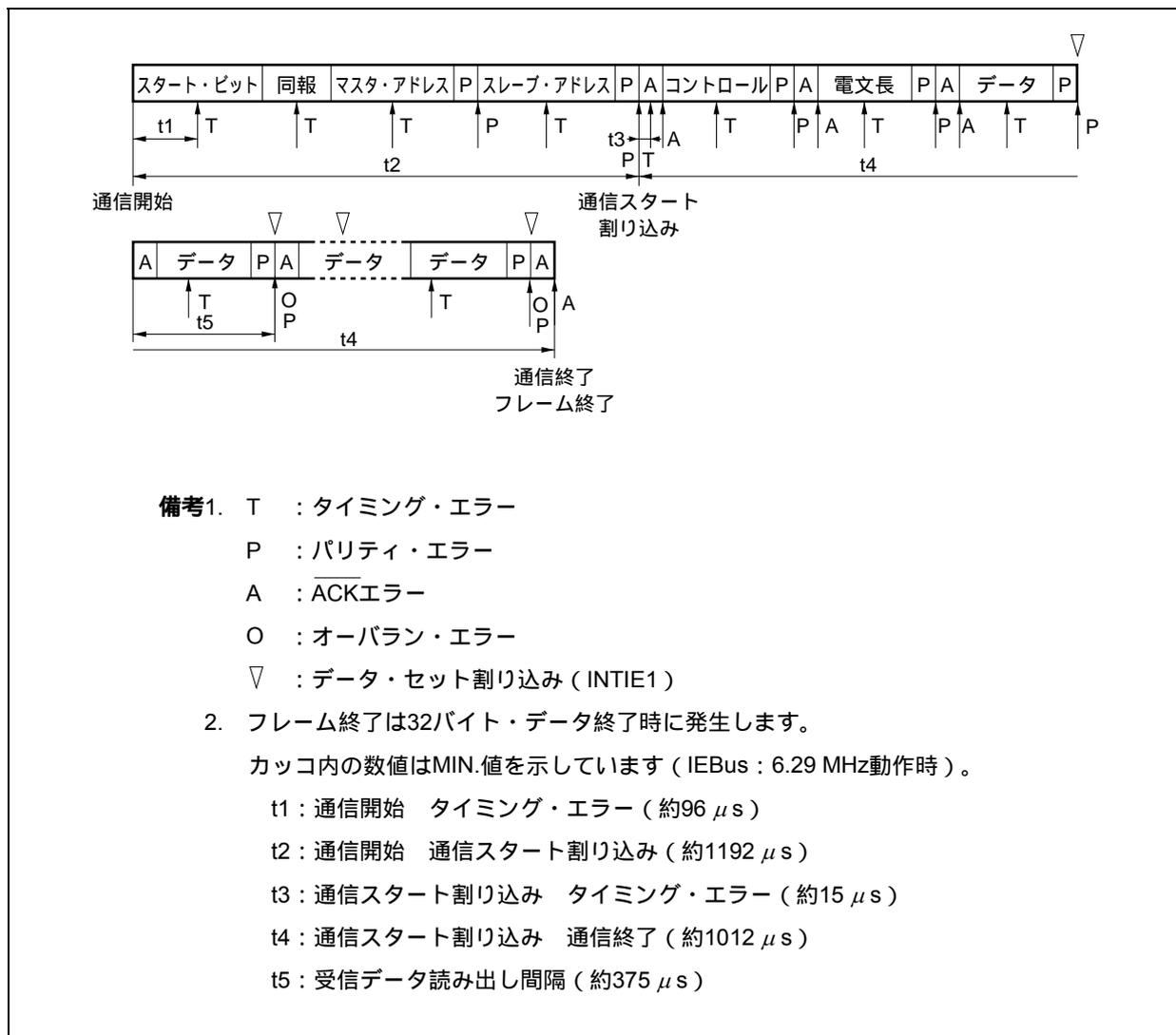
(3) スレーブ送信

図19 - 23 スレーブ送信 (割り込み発生間隔)



(4) スレーブ受信

図19-24 スレーブ受信 (割り込み発生間隔)



第20章 電気的特性

絶対最大定格 (T_A = 25 °C, V_{SS} = 0 V) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}	V _{DD} 端子	- 0.5 ~ + 7.0	V
	V _{PP}	フラッシュ・メモリ品のみ, 注1	- 0.5 ~ + 8.5	V
	AV _{DD}	AV _{DD} 端子	- 0.5 ~ + 7.0	V
	BV _{DD}	BV _{DD} 端子	- 0.5 ~ + 7.0	V
	EV _{DD}	EV _{DD} 端子	- 0.5 ~ + 7.0	V
	AV _{SS}	AV _{SS} 端子	- 0.5 ~ + 0.5	V
	BV _{SS}	BV _{SS} 端子	- 0.5 ~ + 0.5	V
	EV _{SS}	EV _{SS} 端子	- 0.5 ~ + 0.5	V
入力電圧	V _{I1}	注2 (BV _{DD} 系端子)	- 0.5 ~ BV _{DD} + 0.5 ^{注5}	V
	V _{I2}	注3, RESET (EV _{DD} 系端子)	- 0.5 ~ EV _{DD} + 0.5 ^{注5}	V
アナログ入力電圧	V _{IAN}	注4 (AV _{DD} 系端子)	- 0.5 ~ AV _{DD} + 0.5 ^{注5}	V
アナログ基準入力電圧	AV _{REF}	AV _{REF} 端子	- 0.5 ~ AV _{DD} + 0.5 ^{注5}	V
ロウ・レベル出力電流	I _{OL}	1端子	4.0	mA
		P00-P07, P10-P15, P20-P25の合計	25	mA
		P26, P27, P30-P37, P100-P107, P110-P113の合計	25	mA
		P40-P47, P90-P96, CLKOUTの合計	25	mA
		P50-P57, P60-P65の合計	25	mA
ハイ・レベル出力電流	I _{OH}	1端子	- 4.0	mA
		P00-P07, P10-P15, P20-P25の合計	- 25	mA
		P26, P27, P30-P37, P100-P107, P110-P113の合計	- 25	mA
		P40-P47, P90-P96, CLKOUTの合計	- 25	mA
		P50-P57, P60-P65の合計	- 25	mA
出力電圧	V _{O1}	注2, CLKOUT (BV _{DD} 系端子)	- 0.5 ~ BV _{DD} + 0.5 ^{注5}	V
	V _{O2}	注3 (EV _{DD} 系端子)	- 0.5 ~ EV _{DD} + 0.5 ^{注5}	V
動作周囲温度	T _A	通常動作モード	- 40 ~ + 85	
		フラッシュ・メモリ・プログラミング・ モード時 ^{注6}	10 ~ + 85	
		フラッシュ・メモリ・プログラミング・ モード時 ^{注7}	- 20 ~ + 85	
保存温度	T _{stg}	マスクROM品	- 65 ~ + 150	
		フラッシュ・メモリ品	- 40 ~ + 125	

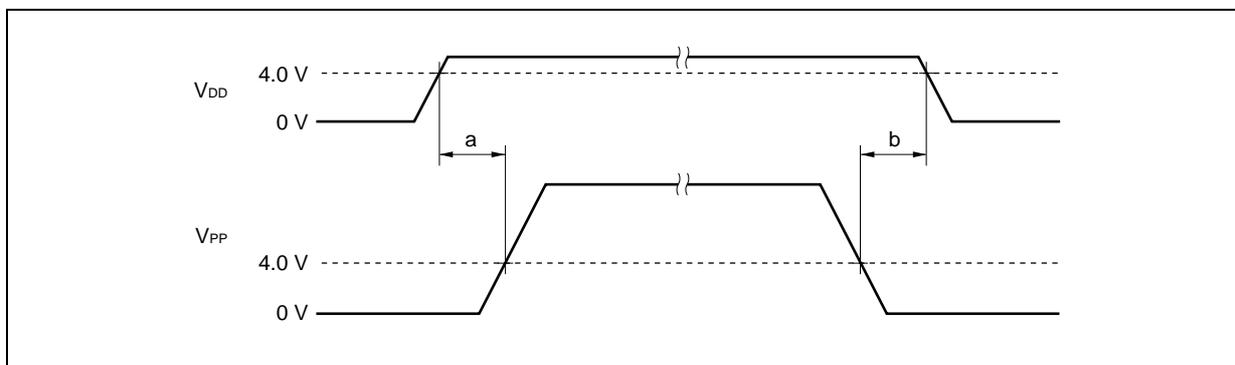
注1. フラッシュ・メモリ書き込み時， V_{PP} の電圧印加タイミングについては，必ず次の条件を満たしてください。

- ・電源電圧立ち上がり時

V_{DD} が動作電圧範囲の下限電圧（4.0 V）に達してから1 ms以上経過後， V_{PP} が V_{DD} を越えること（下図のa）。

- ・電源電圧立ち下がり時

V_{PP} が V_{DD} の動作電圧範囲の下限電圧（4.0 V）を下回ってから10 μ s以上経過後， V_{DD} を立ち下げること（下図のb）。



2. ポート4, 5, 6, 9（兼用端子も含みます）
3. ポート0, 1, 2, 3, 10, 11（兼用端子も含みます）
4. ポート7, 8（兼用端子も含みます）
5. それぞれの電源電圧の絶対最大定格（MAX.値）を越えないようにしてください。
6. μ PD70F3033A, 70F3033AYのK規格品， μ PD70F3035A, 70F3035AYのK, E規格品（規格はロット番号左から5桁目のアルファベットです。）
7. μ PD70F3033A, 70F3033AYのE規格品， μ PD70F3035A, 70F3035AYのP規格品， μ PD70F3032A, 70F3032AY, 70F3037, 70F3037AY, 70F3030B, 70F3030BY, 70F3032B, 70F3032BY, 70F3033B, 70F3033BY, 70F3035B, 70F3035BY, 70F3036H, 70F3036HY, 70F3037H, 70F3037HY（規格はロット番号左から5桁目のアルファベットです。）

注意1. IC製品の出力（または入出力）端子同士を直結したり， V_{DD} または V_{CC} やGNDに直結したりしないでください。ただし，オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また，ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で，製品をご使用ください。DC特性とAC特性に示す規格や条件が，製品の正常動作，品質保証の範囲です。

容量 ($T_A = 25$, $V_{DD} = AV_{DD} = BV_{DD} = EV_{DD} = V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C_i	$f_c = 1 \text{ MHz}$ 被測定ピン以外は0V			15	pF
入出力容量	C_{io}				15	pF
出力容量	C_o				15	pF

動作条件

(1) 動作周波数

動作周波数 (f_{xx})	V_{DD}	AV_{DD}		BV_{DD}	EV_{DD}	備考
		注1	注2			
2 ~ 20 MHz (V850SB1)	4.0 ~ 5.5 V	4.5 ~ 5.5 V	4.0 ~ 5.5 V	4.0 ~ 5.5 V	4.0 ~ 5.5 V	注3
2 ~ 17 MHz (V850/SB1)	4.0 ~ 5.5 V	4.5 ~ 5.5 V	4.0 ~ 5.5 V	3.0 ~ 5.5 V	3.0 ~ 5.5 V	
2 ~ 19 MHz (V850/SB2のH品)	4.0 ~ 5.5 V	4.5 ~ 5.5 V	4.0 ~ 5.5 V	4.0 ~ 5.5 V	4.0 ~ 5.5 V	
2 ~ 17 MHz (V850/SB2のH品)	4.0 ~ 5.5 V	4.5 ~ 5.5 V	4.0 ~ 5.5 V	3.0 ~ 5.5 V	3.0 ~ 5.5 V	
2 ~ 13 MHz (V850/SB2のA, B品)	4.0 ~ 5.5 V	4.5 ~ 5.5 V	4.0 ~ 5.5 V	3.0 ~ 5.5 V	3.0 ~ 5.5 V	
32.768 kHz	IDLEモード時以外	4.0 ~ 5.5 V	4.5 ~ 5.5 V	4.0 ~ 5.5 V	3.0 ~ 5.5 V	-
	IDLEモード時	3.5 ~ 5.5 V	-	4.0 ~ 5.5 V	3.0 ~ 5.5 V	注4

注1. A/Dコンバータ使用時

2. A/Dコンバータ未使用時

3. STOPモード(時計用タイマのみ動作)時は, $V_{DD} = 3.5 \sim 5.5 V$ 。また, STOPモードへの移行, またはSTOPモードからの復帰の際は, $V_{DD} = 4.0 V$ 以上で行ってください。

4. IDLEモードへの移行, またはIDLEモードからの復帰の際は, $V_{DD} = 4.0 V$ 以上で行ってください。

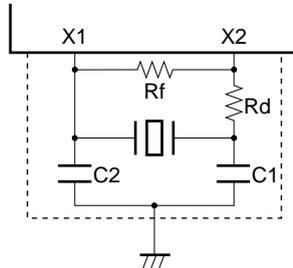
(2) CPU動作周波数

項目	略号	条件	MIN.	TYP.	MAX.	単位
CPU動作周波数	f_{CPU}	メイン・クロック動作時 (V850/SB1)	0.25		20	MHz
		メイン・クロック動作時 (V850/SB2のH品)	0.25		19	MHz
		メイン・クロック動作時 (V850/SB2のA, B品)	0.25		13	MHz
		サブクロック動作時		32.768		kHz

推奨発振回路

(1) メイン・クロック発振回路 (TA = -40 ~ +85)

(a) セラミック発振子または水晶振動子接続



項目	略号	条件	MIN.	TYP.	MAX.	単位
発振周波数 (V850/SB1)	f _{xx}		2		20	MHz
発振周波数 (V850/SB2のH品)	f _{xx}		2		19	MHz
発振周波数 (V850/SB2のA, B品)	f _{xx}		2		13	MHz
発振安定時間	-	リセット解除時		2 ¹⁹ /f _{xx}		s
	-	STOPモード解除時		注		s

注 発振安定時間選択レジスタ (OSTS) の設定によって値が異なります。

注意1. メイン・クロック発振回路は、内蔵レギュレータの出力電圧 (3.0 V/3.3 V (詳細については、第16章 レギュレータ参照)) で動作します。外部クロック入力禁止です。

2. メイン・クロック発振回路を使用する場合、配線容量などの影響を避けるために破線内の配線についての注意事項を次に示します。

- ・配線は極力短くしてください。
- ・ほかの配線と交差させないでください。
- ・大電流が流れる線には接近させないでください。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位になるようにしてください。
- ・大電流が流れるグランド・パターンに接地しないでください。
- ・発振回路から信号を取り出さないでください。

3. 発振波形のデューティは、5.5 : 4.5以内に収まるようにしてください。

4. V850/SB1, V850/SB2の各デバイスと発振子のマッチングについては、十分に評価してください。

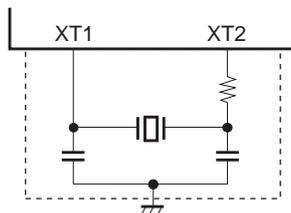
(i) 村田製作所：セラミック発振子 ($T_A = -40 \sim +85$)

メーカー	品名	発振周波数 f_{xx} (MHz)	推奨回路定数				発振電圧範囲	
			C1 (pF)	C2 (pF)	Rf (k Ω)	Rd (k Ω)	MIN. (V)	MAX. (V)
村田製作所 (V850/SB2の A, B品)	CSTLS6M29G53-B0	6.290	内蔵	内蔵	-	0	4.0	5.5
	CSTCR6M29G53-R0		内蔵	内蔵	-	0	4.0	5.5
	CSTLA12M5T55001-B0	12.583	内蔵	内蔵	-	0	4.0	5.5
	CSTCV12M5T54J01-R0		内蔵	内蔵	-	0	4.0	5.5
村田製作所 (V850/SB1)	CSTLS8M00G56-B0	8.00	内蔵	内蔵	-	0	4.0	5.5
	CSTCC8M00G56-R0		内蔵	内蔵	-	0	4.0	5.5
	CSTLA12M5T55-B0	12.5	内蔵	内蔵	-	0	4.0	5.5
	CSTCV12M5T54J-R0		内蔵	内蔵	-	0	4.0	5.5
	CSALS16M0X55-B0	16.00	10	10	-	0	4.0	5.5
	CSTCV16M0X51J-R0		内蔵	内蔵	-	0	4.0	5.5
	CSTLS20M0X51-B0	20.00	内蔵	内蔵	-	0	4.0	5.5
	CSTCW20M0X51-R0		内蔵	内蔵	22 k	0	4.0	5.5

注意 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。
また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850/SB1、V850/SB2の内部動作条件についてはAC、DC特性の規格内で使用してください。

(2) サブクロック発振回路 ($T_A = -40 \sim +85$)

(a) 水晶振動子接続



項目	略号	条件	MIN.	TYP.	MAX.	単位
発振周波数	f_{XT}		32	32.768	35	kHz
発振安定時間	-			10		s

注意1. サブクロック発振回路は、内蔵レギュレータの出力電圧 (3.0 V/3.3 V (詳細については、第16章 レギュレータ参照)) で動作します。外部クロック入力は禁止です。

2. サブクロック発振回路を使用する場合、配線容量などの影響を避けるために破線内の配線についての注意事項を次に示します。

- ・配線は極力短くしてください。
- ・ほかの配線と交差させないでください。
- ・大電流が流れる線には接近させないでください。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにしてください。
- ・大電流が流れるグランド・パターンに接地しないでください。
- ・発振回路から信号を取り出さないでください。

3. V850/SB1, V850/SB2の各デバイスと発振子のマッチングについては、十分に評価してください。

DC特性 (TA = -40 ~ +85 , VDD = 4.0 ~ 5.5 V , BVDD = EVDD = 3.0 ~ 5.5 V ,
 AVDD = 4.5 ~ 5.5 V (A/Dコンバータ使用時) , AVDD = 4.0 ~ 5.5 V (A/Dコンバータ未使用時) , VSS = AVSS
 = BVSS = EVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	VIH1	注1	4.0 V BVDD 5.5 V	0.7 BVDD		BVDD	V
			3.0 V BVDD < 4.0 V	0.8 BVDD		BVDD	V
	VIH2	注2	4.0 V EVDD 5.5 V	0.7 EVDD		EVDD	V
			3.0 V EVDD < 4.0 V	0.8 EVDD		EVDD	V
	VIH3	注3 ,	4.0 V EVDD 5.5 V	0.7 EVDD		EVDD	V
		RESET	3.0 V EVDD < 4.0 V	0.8 EVDD		EVDD	V
VIH4	注4		0.7 AVDD		AVDD	V	
ロウ・レベル入力電圧	VIL1	注1		BVSS		0.3 BVDD	V
	VIL2	注2		EVSS		0.3 EVDD	V
	VIL3	注3 , RESET		EVSS		0.3 EVDD	V
	VIL4	注4		AVSS		0.3 AVDD	V
ハイ・レベル出力電圧	VOH1	注1 , CLKOUT	3.0V BVDD 5.5V, IOH = - 100 μA	BVDD - 0.5			V
			4.0V BVDD 5.5V, IOH = - 3 mA	BVDD - 1.0			V
	VOH2	注2, 3	3.0V EVDD 5.5V, IOH = - 100 μA	EVDD - 0.5			V
			4.0V EVDD 5.5V, IOH = - 3 mA	EVDD - 1.0			V
ロウ・レベル出力電圧	VOL	IOL = 3 mA, 3.0 V BVDD, EVDD 5.5 V			0.5	V	
		IOL = 3 mA, 4.0 V BVDD, EVDD 5.5 V			0.4	V	
VPP電源電圧	VPP1	通常動作時 (V850/SB2のA, B品)	0		0.54	V	
		通常動作時 (V850/SB1とV850/SB2のH品)	0		0.6	V	
ハイ・レベル入力リーク電流	ILIH	VI = VDD = BVDD = EVDD = AVDD			5	μA	
ロウ・レベル入力リーク電流	ILIL	VI = 0 V			- 5	μA	
ハイ・レベル出力リーク電流	ILOH	VO = VDD = BVDD = EVDD = AVDD			5	μA	
ロウ・レベル出力リーク電流	ILOL	VO = 0 V			- 5	μA	
プルアップ抵抗	RL	VIN = 0 V	10	30	100	kΩ	

注1. ポート4, 5, 6, 9 (兼用端子も含みます)

2. P11, P14, P21, P24, P34, P35, P110-P113 (兼用端子も含みます)

3. P00-P07, P10, P12, P13, P15, P20, P22, P23, P25-P27, P30-P33, P36, P37, P100-P107 (兼用端子も含みます)

4. ポート7, 8 (兼用端子も含みます)

DC特性 (TA = -40 ~ +85 , VDD = 4.0 ~ 5.5 V , BVDD = EVDD = 3.0 ~ 5.5 V ,

AVDD = 4.5 ~ 5.5 V (A/Dコンバータ使用時) , AVDD = 4.0 ~ 5.5 V (A/Dコンバータ未使用時) , VSS = AVSS = BVSS = EVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
電源電流	μPD703030B, 703030BY, 703031A, 703031AY, 703031B, 703031BY, 703032A, 703032AY, 703032B, 703032BY, 703033A, 703033AY, 703033B, 703033BY, 703036H, 703036HY, 703037H, 703037HY	IDD1	通常動作時 ^{注1}		25	40	mA	
		IDD2	HALT時 ^{注1}		10	20	mA	
		IDD3	IDLE時 ^{注2}	時計用タイマ動作		1	4	mA
		IDD4	STOP時	時計用タイマ, サブクロック発振器動作		注3	70	μA
				サブクロック発振器停止, XT1 = VSS		注4	70	μA
		IDD5	通常動作時 (サブクロック動作) ^{注5}			50	150	μA
		IDD6	IDLE時 (サブクロック動作) ^{注5}			13	70	μA
	μPD703034A, 703034AY, 703034B, 703034BY, 703035A, 703035AY, 703035B, 703035BY, 703037A, 703037AY	IDD1	通常動作時 ^{注6}		15	25	mA	
		IDD2	HALT時 ^{注6}		6	13	mA	
		IDD3	IDLE時 ^{注7}	時計用タイマ動作		1	4	mA
		IDD4	STOP時	時計用タイマ, サブクロック発振器動作		注8	70	μA
				サブクロック発振器停止, XT1 = VSS		注9	70	μA
		IDD5	通常動作時 (サブクロック動作) ^{注5}			50	150	μA
		IDD6	IDLE時 (サブクロック動作) ^{注5}			13	70	μA

注1. fCPU = fXX = 20 MHz , 全周辺機能動作 (μPD703036H, 703036HY, 703037H, 703037HYはfXX = 19 MHz)

2. fXX = 20 MHz (μPD703036H, 703036HY, 703037H, 703037HYはfXX = 19 MHz)

3. IDD4 = 13 μA (μPD703031A, 703031AY, 703032A, 703032AY, 703033A, 703033AY)

IDD4 = 10 μA (μPD703030B, 703030BY, 703031B, 703031BY, 703032B, 703032BY, 703033B, 703033BY, 703036H, 703036HY, 703037H, 703037HY)

4. IDD4 = 8 μA (μPD703031A, 703031AY, 703032A, 703032AY, 703033A, 703033AY)

IDD4 = 5 μA (μPD703030B, 703030BY, 703031B, 703031BY, 703032B, 703032BY, 703033B, 703033BY, 703036H, 703036HY, 703037H, 703037HY)

5. fCPU = fXT = 32.768 kHz , メイン・クロック発振器停止

6. fCPU = fXX = 13 MHz , 全周辺機能動作

7. fXX = 13 MHz

8. IDD4 = 13 μA (μPD703034A, 703034AY, 703035A, 703035AY, 703037A, 703037AY)

IDD4 = 10 μA (μPD703034B, 703034BY, 703035B, 703035BY)

9. IDD4 = 8 μA (μPD703034A, 703034AY, 703035A, 703035AY, 703037A, 703037AY)

IDD4 = 5 μA (μPD703034B, 703034BY, 703035B, 703035BY)

備考 TYP.値は , TA = 25 , VDD = BVDD = EVDD = AVDD = 5.0 V時の参考値です。また , 出力バッファで消費する電流は含まれていません。

DC特性 (TA = -40 ~ +85 , VDD = 4.0 ~ 5.5 V , BVDD = EVDD = 3.0 ~ 5.5 V ,

AVDD = 4.5 ~ 5.5 V (A/Dコンバータ使用時) , AVDD = 4.0 ~ 5.5 V (A/Dコンバータ未使用時) , VSS = AVSS = BVSS = EVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電流	IDD1	通常動作時 ^{注1}	注2	33	60	mA	
			注3	37	65	mA	
			注4	42	70	mA	
		IDD2	HALT時 ^{注1}	注2	10	20	mA
				注3	12	24	mA
				注4	14	28	mA
	IDD3	IDLE時 ^{注5}	時計用タイマ動作		1	4	mA
	IDD4	STOP時	時計用タイマ , サブクロック発振器動作		注6	100	μA
			サブクロック発振器停止 , XT1 = VSS		注7	100	μA
	IDD5	通常動作時 (サブクロック動作) ^{注8}	注2, 3		200	600	μA
			注4		300	900	μA
	IDD6	IDLE時 (サブクロック動作) ^{注8}	注2, 3		90	180	μA
注4				170	340	μA	

注1. fCPU = fxx = 20 MHz , 全周辺機能動作 (μ PD70F3036H, 70F3036HY, 70F3037H, 70F3037HYはfxx = 19 MHz)

2. μ PD70F3033A, 70F3033AY, 70F3033B, 70F3033BY

3. μ PD70F3030B, 70F3030BY, 70F3036H, 70F3036HY

4. μ PD70F3032A, 70F3032AY, 70F3032B, 70F3032BY, 70F3037H, 70F3037HY

5. fxx = 20 MHz (μ PD70F3036H, 70F3036HY, 70F3037H, 70F3037HYはfxx = 19 MHz)

6. IDD4 = 13 μA (μ PD70F3032A, 70F3032AY, 70F3033A, 70F3033AY)

IDD4 = 10 μA (μ PD70F3030B, 70F3030BY, 70F3032B, 70F3032BY, 70F3033B, 70F3033BY, 70F3036H, 70F3036HY, 70F3037H, 70F3037HY)

7. IDD4 = 8 μA (μ PD70F3032A, 70F3032AY, 70F3033A, 70F3033AY)

IDD4 = 5 μA (μ PD70F3030B, 70F3030BY, 70F3032B, 70F3032BY, 70F3033B, 70F3033BY, 70F3036H, 70F3036HY, 70F3037H, 70F3037HY)

8. fCPU = fXT = 32.768 kHz , メイン・クロック発振器停止

備考 TYP.値は , TA = 25 , VDD = BVDD = EVDD = AVDD = 5.0 V時の参考値です。また , 出力バッファで消費する電流は含まれていません。

DC特性 ($T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5$ V , $BV_{DD} = EV_{DD} = 3.0 \sim 5.5$ V ,
 $AV_{DD} = 4.5 \sim 5.5$ V (A/Dコンバータ使用時) , $AV_{DD} = 4.0 \sim 5.5$ V (A/Dコンバータ未使用時) , $V_{SS} = AV_{SS}$
 $= BV_{SS} = EV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電流	IDD1	通常動作時 ^{注1}	注2	25	48	mA	
			注3	30	58	mA	
	IDD2	HALT時 ^{注1}	注2	7	15	mA	
			注3	9	20	mA	
	IDD3	IDLE時 ^{注4}	時計用タイマ動作		1	4	mA
	IDD4	STOP時	時計用タイマ , サブクロック発振器動作		注5	100	μ A
			サブクロック発振器停止 , XT1 = V _{SS}		注6	100	μ A
	IDD5	通常動作時 (サブクロック動作) ^{注7}	注2		200	600	μ A
			注3		300	900	μ A
	IDD6	IDLE時 (サブクロック動作) ^{注7}	注2		90	180	μ A
注3				170	340	μ A	

- 注1. $f_{CPU} = f_{XX} = 13$ MHz , 全周辺機能動作
2. μ PD70F3035A, 70F3035AY, 70F3035B, 70F3035BY
3. μ PD70F3037A, 70F3037AY
4. $f_{XX} = 13$ MHz
5. $I_{DD4} = 13 \mu$ A (μ PD70F3035A, 70F3035AY, 70F3037A, 70F3037AY)
 $I_{DD4} = 10 \mu$ A (μ PD70F3035B, 70F3035BY)
6. $I_{DD4} = 8 \mu$ A (μ PD70F3035A, 70F3035AY, 70F3037A, 70F3037AY)
 $I_{DD4} = 5 \mu$ A (μ PD70F3035B, 70F3035BY)
7. $f_{CPU} = f_{XT} = 32.768$ kHz , メイン・クロック発振器停止

備考 TYP.値は , $T_A = 25$, $V_{DD} = BV_{DD} = EV_{DD} = AV_{DD} = 5.0$ V時の参考値です。また , 出力バッファで消費する電流は含まれていません。

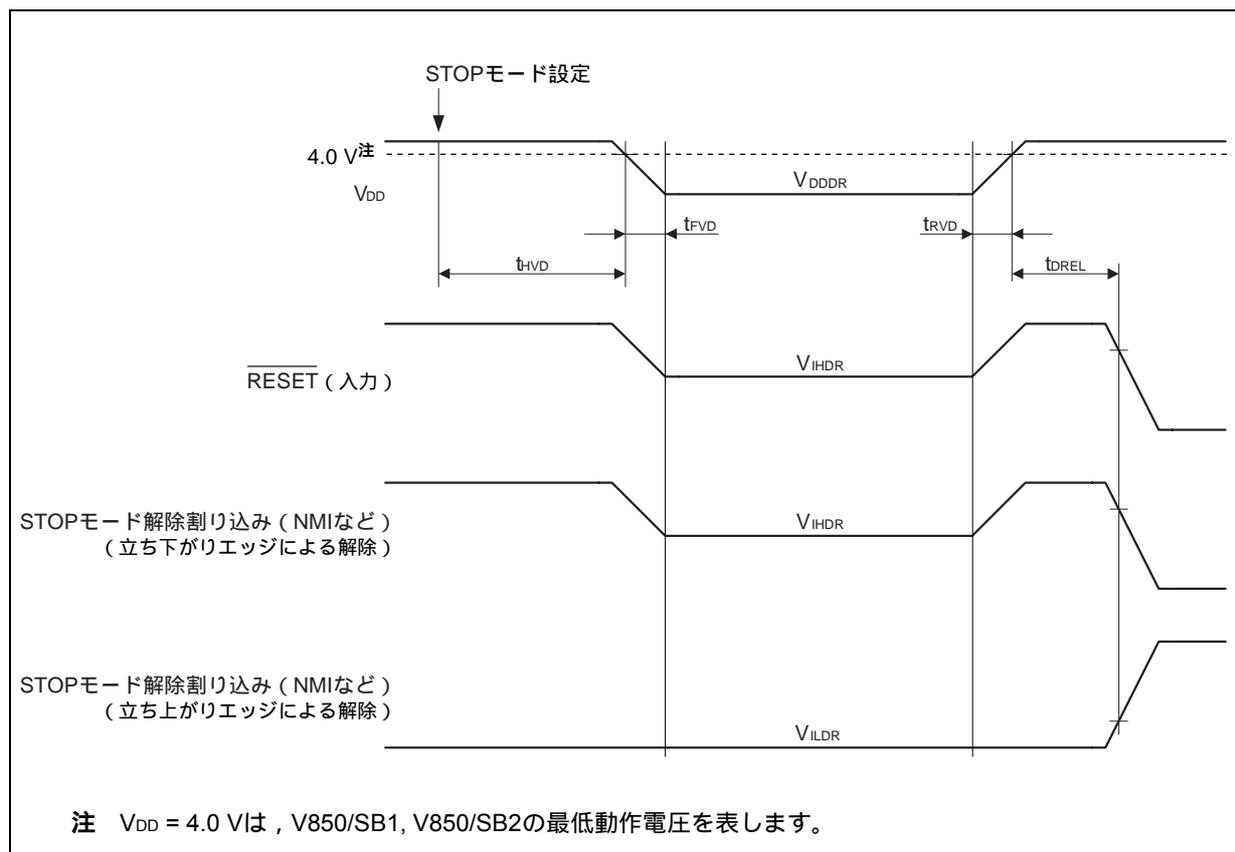
データ保持特性 ($T_A = -40 \sim +85$, $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
データ保持電圧	V _{DDDR}	STOPモード (全機能非動作) $T_A = -40 \sim +85$	2.7 ^{註1}		5.5	V	
		STOPモード (全機能非動作) $T_A = -40 \sim +45$	2.5 ^{註1}		5.5	V	
		STOPモード (全機能非動作) $T_A = -10 \sim +45$	2.0 ^{註1}		5.5	V	
データ保持電流	I _{DDDR}	V _{DD} = V _{DDDR} , XT1 = V _{SS} (サブクロック停止)	マスクROM品	注2	5	70	μA
				注3	8	70	μA
		フラッシュ・メモリ品	注4	5	100	μA	
			注5	8	100	μA	
電源電圧立ち上がり時間	t _{RVD}		200			μs	
電源電圧立ち下がり時間	t _{FVD}		200			μs	
電源電圧保持時間 (対STOPモード設定)	t _{HVD}		0			ms	
STOPモード解除信号入力時間	t _{DREL}		0			ms	
データ保持ハイ・レベル入力電圧	V _{IHDR}	全入力ポート	0.9 V _{DDDR}		V _{DDDR}	V	
データ保持ロウ・レベル入力電圧	V _{ILDR}	全入力ポート	0		0.1 V _{DDDR}	V	

注1. STOPモード (時計用タイマのみ動作) 時は, V_{DD} = 3.5 ~ 5.5 V。また, STOPモードへの移行, またはSTOPモードからの復帰の際は, V_{DD} = 4.0 V以上で行ってください。

- μPD703030B, 703030BY, 703031B, 703031BY, 703032B, 703032BY, 703033B, 703033BY, 703034B, 703034BY, 703035B, 703035BY, 703036H, 703036HY, 703037H, 703037HY
- μPD703031A, 703031AY, 703032A, 703032AY, 703033A, 703033AY, 703034A, 703034AY, 703035A, 703035AY, 703037A, 703037AY
- μPD70F3030B, 70F3030BY, 70F3032B, 70F3032BY, 70F3033B, 70F3033BY, 70F3035B, 70F3035BY, 70F3036H, 70F3036HY, 70F3037H, 70F3037HY
- μPD70F3032A, 70F3032AY, 70F3033A, 70F3033AY, 70F3035A, 70F3035AY, 70F3037A, 70F3037AY

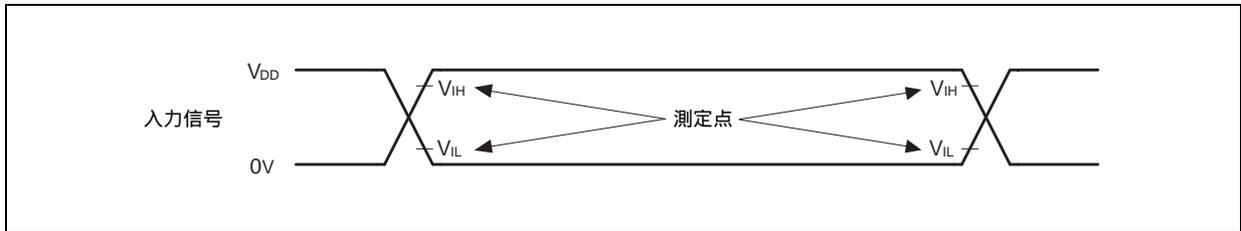
備考 TYP.値は, $T_A = 25$ の参考値です。



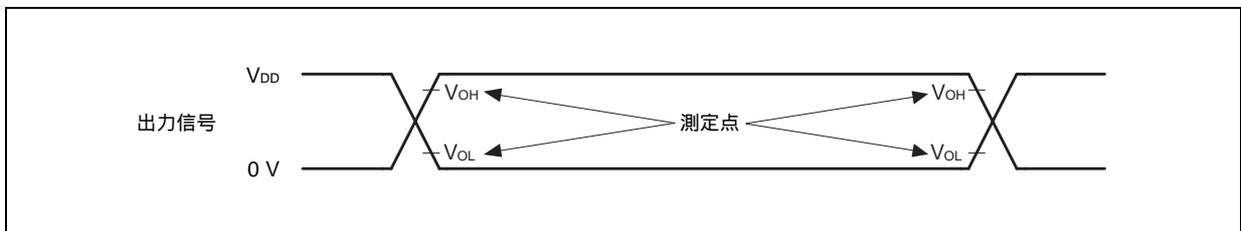
AC特性 ($T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5 \text{ V}$, $BV_{DD} = EV_{DD} = 3.0 \sim 5.5 \text{ V}$,

$AV_{DD} = 4.5 \sim 5.5 \text{ V}$ (A/Dコンバータ使用時) , $AV_{DD} = 4.0 \sim 5.5 \text{ V}$ (A/Dコンバータ未使用時) , $V_{SS} = AV_{SS}$
 $= BV_{SS} = EV_{SS} = 0 \text{ V}$)

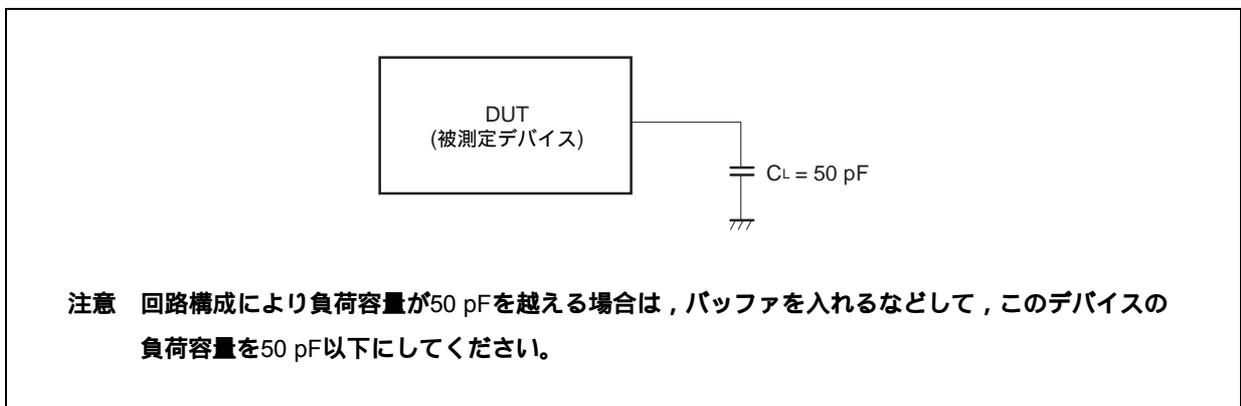
ACテスト入力測定点 ($V_{DD} : EV_{DD}$, BV_{DD} , AV_{DD})



ACテスト出力測定点 ($V_{DD} : EV_{DD}$, BV_{DD})



負荷条件



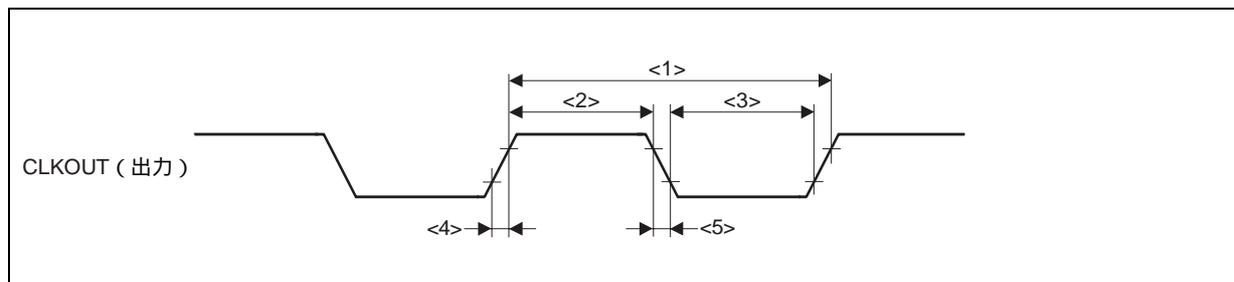
(1) クロック・タイミング

(a) $T_A = -40 \sim +85$, $V_{DD} = BV_{DD} = 4.0 \sim 5.5 V$, $EV_{DD} = 3.0 \sim 5.5 V$, $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0 V$

項目	略号	条件	MIN.	MAX.	単位	
CLKOUT出力周期	<1>	t_{CYK}	V850/SB1	50 ns	31.2 μs	
			V850/SB2のH品	52.6 ns	31.2 μs	
			V850/SB2のA, B品	76.9 ns	31.2 μs	
CLKOUTハイ・レベル幅	<2>	t_{WKH}	$0.4t_{CYK} - 12$		ns	
CLKOUTロウ・レベル幅	<3>	t_{WKL}	$0.4t_{CYK} - 12$		ns	
CLKOUT立ち上がり時間	<4>	t_{KR}		12	ns	
CLKOUT立ち下がり時間	<5>	t_{KF}		12	ns	

(b) $T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5 V$, $BV_{DD} = 3.0 \sim 4.0 V$, $EV_{DD} = 3.0 \sim 5.5 V$, $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0 V$

項目	略号	条件	MIN.	MAX.	単位	
CLKOUT出力周期	<1>	t_{CYK}	V850/SB1	58.8 ns	31.2 μs	
			V850/SB2のH品	58.8 ns	31.2 μs	
			V850/SB2のA, B品	76.9 ns	31.2 μs	
CLKOUTハイ・レベル幅	<2>	t_{WKH}	$0.4t_{CYK} - 15$		ns	
CLKOUTロウ・レベル幅	<3>	t_{WKL}	$0.4t_{CYK} - 15$		ns	
CLKOUT立ち上がり時間	<4>	t_{KR}		15	ns	
CLKOUT立ち下がり時間	<5>	t_{KF}		15	ns	



(2) 出力波形 (ポート4, ポート5, ポート6, ポート9, CLKOUT以外)

($T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5 \text{ V}$, $BV_{DD} = EV_{DD} = 3.0 \sim 5.5 \text{ V}$, $V_{SS} = BV_{SS} = EV_{SS} = 0 \text{ V}$)

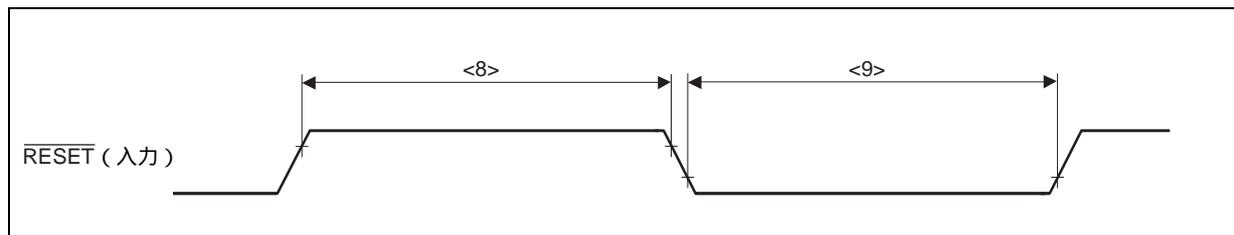
項目	略号	条件	MIN.	MAX.	単位
出力立ち上がり時間	<6> t_{OR}			20	ns
出力立ち下がり時間	<7> t_{OF}			20	ns



(3) リセット・タイミング

($T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5 \text{ V}$, $BV_{DD} = EV_{DD} = 3.0 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	MAX.	単位
RESET端子ハイ・レベル幅	<8> t_{WRSH}		500		ns
RESET端子ロウ・レベル幅	<9> t_{WRSL}		500		ns



(4) バス・タイミング

(a) クロック非同期 ($T_A = -40 \sim +85$, $V_{DD} = BV_{DD} = 4.0 \sim 5.5$ V, $EV_{DD} = 3.0 \sim 5.5$ V,
 $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0$ V)

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対ASTB)	<10> t_{SAST}		0.5T - 16		ns
アドレス保持時間 (対ASTB)	<11> t_{HSTA}		0.5T - 15		ns
DSTB アドレス・フロート遅延時間	<12> t_{FDA}			0	ns
アドレス データ入力設定時間	<13> t_{SAID}			(2+n)T - 40	ns
DSTB データ入力設定時間	<14> t_{SDID}			(1+n)T - 40	ns
ASTB DSTB 遅延時間	<15> t_{DSTD}		0.5T - 15		ns
データ入力保持時間 (対DSTB)	<16> t_{HDID}		0		ns
DSTB アドレス出力時間	<17> t_{DDA}		(1+i)T - 15		ns
DSTB ASTB 遅延時間	<18> t_{DDST1}		0.5T - 15		ns
DSTB ASTB 遅延時間	<19> t_{DDST2}		(1.5+i)T - 15		ns
DSTBロウ・レベル幅	<20> t_{WDL}		(1+n)T - 22		ns
ASTBハイ・レベル幅	<21> t_{WSTH}		T - 15		ns
DSTB データ出力時間	<22> t_{DDOD}			10	ns
データ出力設定時間 (対DSTB)	<23> t_{SODD}		(1+n)T - 25		ns
データ出力保持時間 (対DSTB)	<24> t_{HDOD}		T - 20		ns
WAIT設定時間 (対アドレス)	<25> t_{SAWT1}	n 1		1.5T - 40	ns
	<26> t_{SAWT2}	n 1		(1.5+n)T - 40	ns
WAIT保持時間 (対アドレス)	<27> t_{HAWT1}	n 1	(0.5+n)T		ns
	<28> t_{HAWT2}	n 1	(1.5+n)T		ns
WAIT設定時間 (対ASTB)	<29> t_{SSWT1}	n 1		T - 32	ns
	<30> t_{SSWT2}	n 1		(1+n)T - 32	ns
WAIT保持時間 (対ASTB)	<31> t_{HSTWT1}	n 1	nT		ns
	<32> t_{HSTWT2}	n 1	(1+n)T		ns
HLDQRQハイ・レベル幅	<33> t_{WHQH}		T + 10		ns
HLDQRQロウ・レベル幅	<34> t_{WHAL}		T - 15		ns
HLDQRQ バス出力遅延時間	<35> t_{DHAC}		- 6		ns
HLDQRQ HLDQRQ 遅延時間	<36> t_{DHQHA1}			(2n+7.5)T + 25	ns
HLDQRQ HLDQRQ 遅延時間	<37> t_{DHQHA2}		0.5T	1.5T + 25	ns

備考1. $T = 1/f_{CPU}$ (f_{CPU} : CPU動作クロック周波数)

2. $n =$ バス・サイクルに挿入されるウェイト・クロック数

プログラマブル・ウェイト挿入時は、サンプル・タイミングが変わります。

3. $i =$ リード・サイクル後に挿入されるアイドル・ステート数 (0または1)

4. 上記のスペックは、X1からデューティ5:5のクロックを入力した場合の値です。

(b) クロック非同期 ($T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5$ V, $BV_{DD} = 3.0 \sim 4.0$ V, $EV_{DD} = 3.0 \sim 5.5$ V
 $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0$ V)

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対ASTB)	<10> t_{SAST}		0.5T - 20		ns
アドレス保持時間 (対ASTB)	<11> t_{HSTA}	注1	0.5T - 20		ns
		注2	0.5T - 22		ns
DSTB アドレス・フロート遅延時間	<12> t_{FDA}			0	ns
アドレス データ入力設定時間	<13> t_{SAID}			(2+n)T - 50	ns
DSTB データ入力設定時間	<14> t_{SDID}			(1+n)T - 50	ns
ASTB DSTB 遅延時間	<15> t_{DSTD}		0.5T - 15		ns
データ入力保持時間 (対DSTB)	<16> t_{HDID}		0		ns
DSTB アドレス出力時間	<17> t_{DDA}		(1+i)T - 15		ns
DSTB ASTB 遅延時間	<18> t_{DDST1}		0.5T - 15		ns
DSTB ASTB 遅延時間	<19> t_{DDST2}		(1.5+i)T - 15		ns
DSTBロウ・レベル幅	<20> t_{WDL}		(1+n)T - 35		ns
ASTBハイ・レベル幅	<21> t_{WSTH}		T - 15		ns
DSTB データ出力時間	<22> t_{DDOD}			10	ns
データ出力設定時間 (対DSTB)	<23> t_{SODD}		(1+n)T - 35		ns
データ出力保持時間 (対DSTB)	<24> t_{HDOD}		T - 25		ns
WAIT設定時間 (対アドレス)	<25> t_{SAWT1}	n 1		1.5T - 55	ns
	<26> t_{SAWT2}	n 1		(1.5+n)T - 55	ns
WAIT保持時間 (対アドレス)	<27> t_{HAWT1}	n 1	(0.5+n)T		ns
	<28> t_{HAWT2}	n 1	(1.5+n)T		ns
WAIT設定時間 (対ASTB)	<29> t_{SSWT1}	n 1		T - 45	ns
	<30> t_{SSWT2}	n 1		(1+n)T - 45	ns
WAIT保持時間 (対ASTB)	<31> t_{HSTWT1}	n 1	nT		ns
	<32> t_{HSTWT2}	n 1	(1+n)T		ns
HLDQRQハイ・レベル幅	<33> t_{WHQH}		T + 10		ns
HLDARQロウ・レベル幅	<34> t_{WHAL}		T - 25		ns
HLDARQ バス出力遅延時間	<35> t_{DHAC}		- 6		ns
HLDQRQ HLDARQ 遅延時間	<36> t_{DHQHA1}			(2n+7.5)T + 25	ns
HLDQRQ HLDARQ 遅延時間	<37> t_{DHQHA2}		0.5T	1.5T + 25	ns

- 注1. μ PD703031A, 703031AY, 703031B, 703031BY, 703033A, 703033AY, 703033B, 703033BY, 703034A, 703034AY, 703034B, 703034BY, 703035A, 703035AY, 703035B, 703035BY, 70F3033A, 70F3033AY, 70F3033B, 70F3033BY, 70F3035A, 70F3035AY, 70F3035B, 70F3035BY
2. μ PD703030B, 703030BY, 703032A, 703032AY, 703032B, 703032BY, 703036H, 703036HY, 703037A, 703037AY, 703037H, 703037HY, 70F3030B, 70F3030BY, 70F3032A, 70F3032AY, 70F3032B, 70F3032BY, 70F3036H, 70F3036HY, 70F3037A, 70F3037AY, 70F3037H, 70F3037HY

備考1. $T = 1/f_{CPU}$ (f_{CPU} : CPU動作クロック周波数)

2. n = バス・サイクルに挿入されるウェイト・クロック数

プログラマブル・ウェイト挿入時は、サンプル・タイミングが変わります。

3. i = リード・サイクル後に挿入されるアイドル・ステート数 (0または1)

4. 上記のスペックは、X1からデューティ5:5のクロックを入力した場合の値です。

(c) クロック同期 ($T_A = -40 \sim +85$, $V_{DD} = BV_{DD} = 4.0 \sim 5.5$ V, $EV_{DD} = 3.0 \sim 5.5$ V,
 $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0$ V)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	<38> tDKA		0	19	ns
CLKOUT アドレス・フロート遅延時間	<39> tFKA		- 12	10	ns
CLKOUT ASTB遅延時間	<40> tDKST		0	19	ns
CLKOUT DSTB遅延時間	<41> tDKD		0	19	ns
データ入力設定時間(対CLKOUT)	<42> tSIDK		20		ns
データ入力保持時間(対CLKOUT)	<43> tHKID		5		ns
CLKOUT データ出力遅延時間	<44> tDKOD			19	ns
WAIT設定時間(対CLKOUT)	<45> tSWTK		20		ns
WAIT保持時間(対CLKOUT)	<46> tHKWT		5		ns
HLDRQ設定時間(対CLKOUT)	<47> tSHQK		20		ns
HLDRQ保持時間(対CLKOUT)	<48> tHKHQ		5		ns
CLKOUT アドレス・フロート遅延時間(バス・ホールド時)	<49> tDKF			19	ns
CLKOUT HLDK遅延時間	<50> tDKHA			19	ns

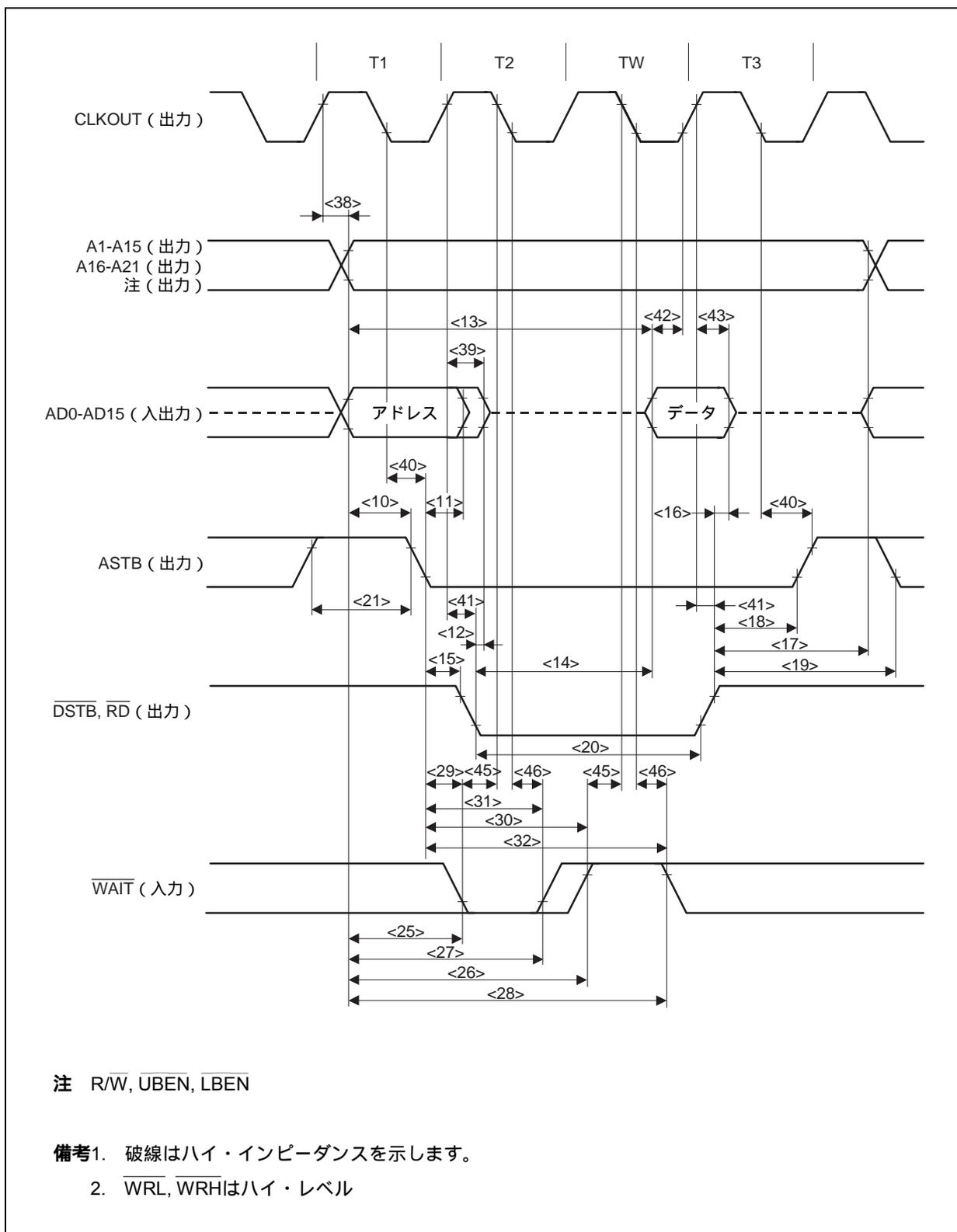
備考 上記のスペックは、X1からデューティ5：5のクロックを入力した場合の値です。

(d) クロック同期 ($T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5$ V, $BV_{DD} = 3.0 \sim 4.0$ V, $EV_{DD} = 3.0 \sim 5.5$ V,
 $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0$ V)

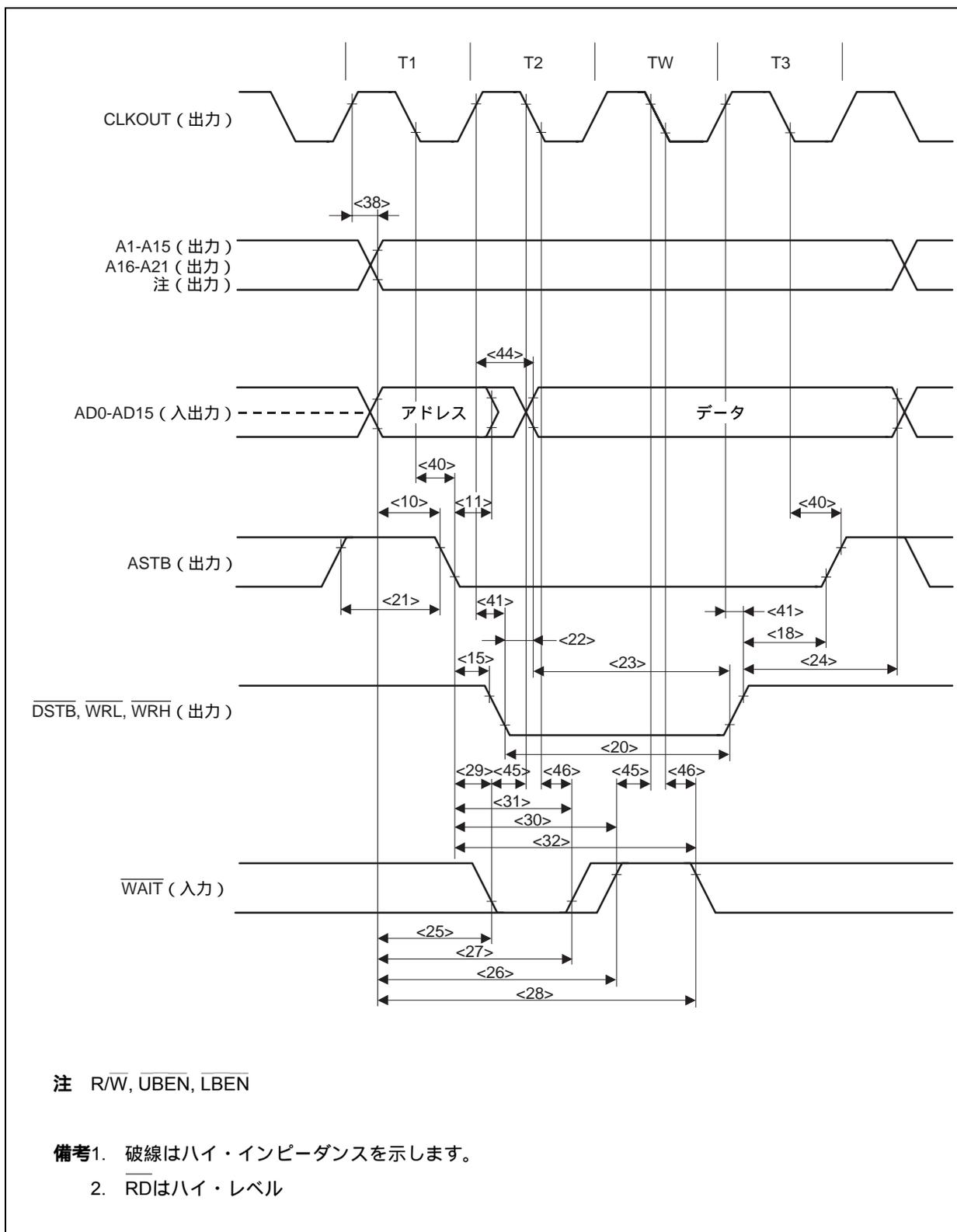
項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	<38> tDKA		0	22	ns
CLKOUT アドレス・フロート遅延時間	<39> tFKA		- 16	10	ns
CLKOUT ASTB遅延時間	<40> tDKST		0	19	ns
CLKOUT DSTB遅延時間	<41> tDKD		0	22	ns
データ入力設定時間(対CLKOUT)	<42> tSIDK		20		ns
データ入力保持時間(対CLKOUT)	<43> tHKID		5		ns
CLKOUT データ出力遅延時間	<44> tDKOD			22	ns
WAIT設定時間(対CLKOUT)	<45> tSWTK		24		ns
WAIT保持時間(対CLKOUT)	<46> tHKWT		5		ns
HLDRQ設定時間(対CLKOUT)	<47> tSHQK		24		ns
HLDRQ保持時間(対CLKOUT)	<48> tHKHQ		5		ns
CLKOUT アドレス・フロート遅延時間(バス・ホールド時)	<49> tDKF			19	ns
CLKOUT HLDK遅延時間	<50> tDKHA			19	ns

備考 上記のスペックは、X1からデューティ5：5のクロックを入力した場合の値です。

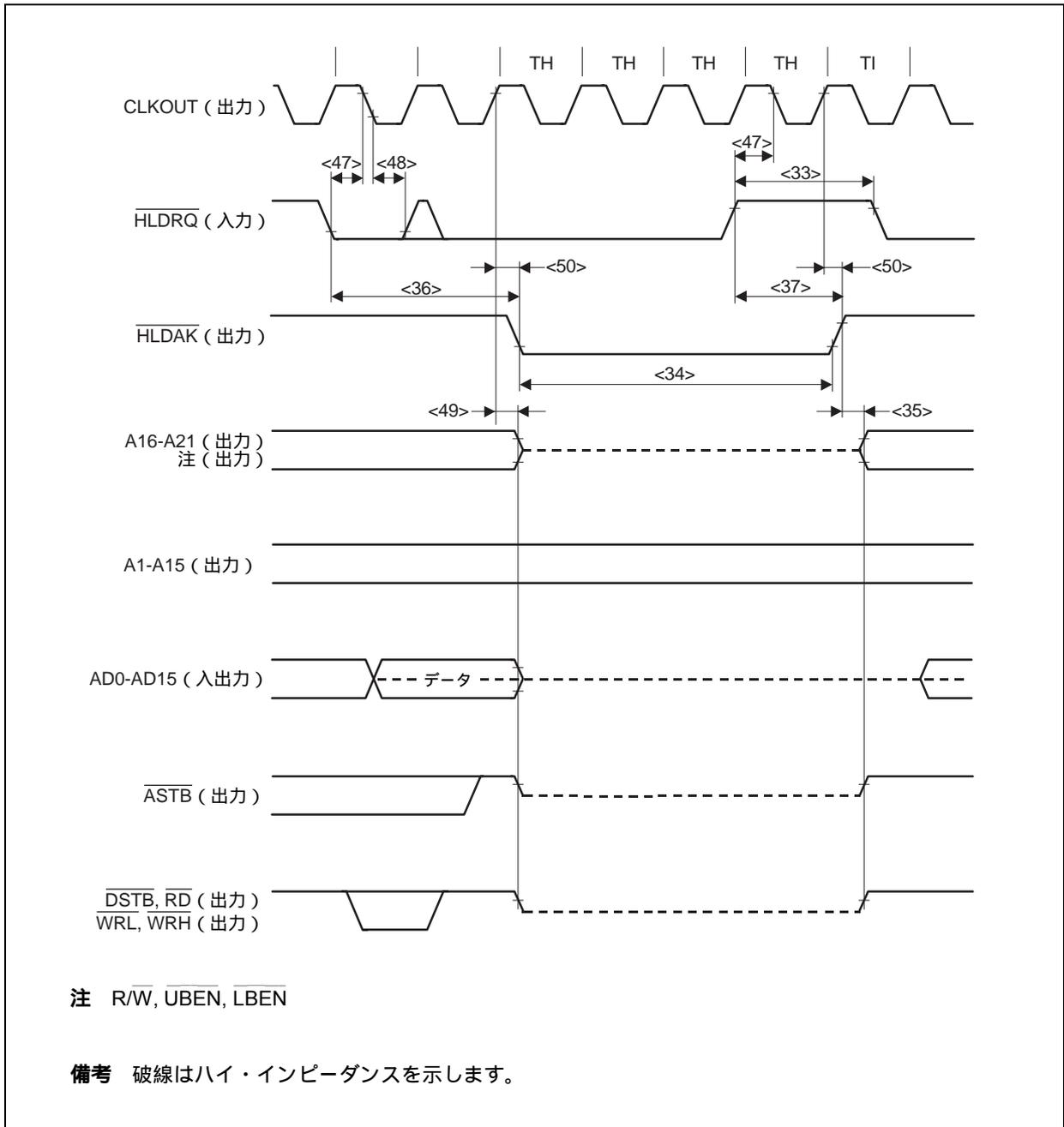
(e) リード・サイクル (CLKOUT同期/非同期, 1ウエイト)



(f) ライト・サイクル (CLKOUT同期/非同期, 1ウェイト)



(g) バス・ホールド・タイミング



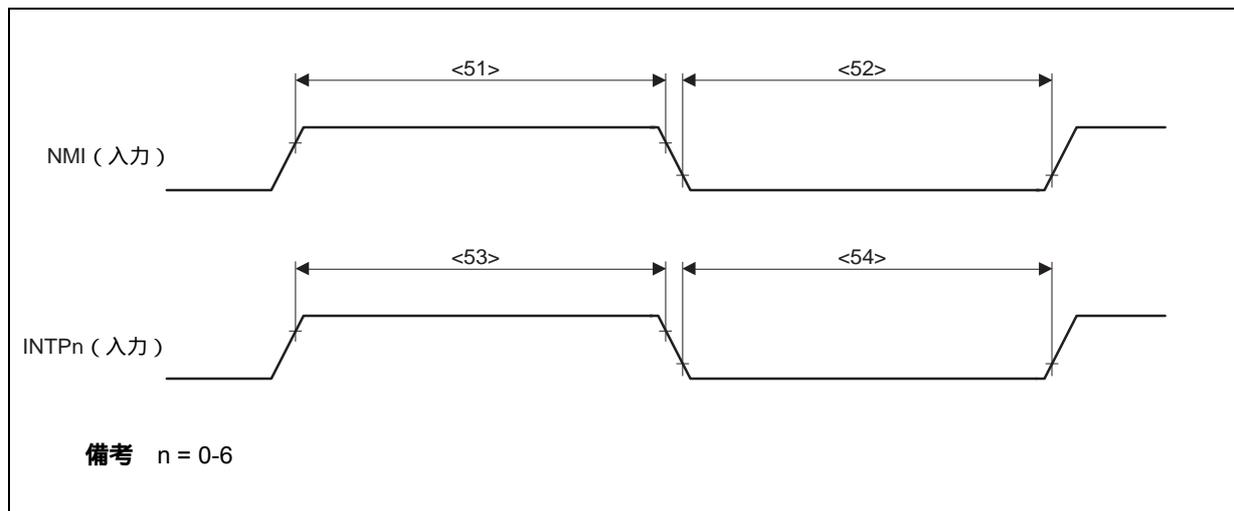
(5) 割り込みタイミング

($T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5$ V, $BV_{DD} = EV_{DD} = 3.0 \sim 5.5$ V, $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0$ V)

項目	略号	条件	MIN.	MAX.	単位
NMIハイ・レベル幅	<51>	t_{WNH}	500		ns
NMIロウ・レベル幅	<52>	t_{WNL}	500		ns
INTPnハイ・レベル幅	<53>	t_{WITH}	n = 0-3, アナログ・ノイズ除去	500	ns
			n = 4, 5, デジタル・ノイズ除去	$3T + 20$	ns
			n = 6, デジタル・ノイズ除去	$3T_{smp} + 20$	ns
INTPnロウ・レベル幅	<54>	t_{WTL}	n = 0-3, アナログ・ノイズ除去	500	ns
			n = 4, 5, デジタル・ノイズ除去	$3T + 20$	ns
			n = 6, デジタル・ノイズ除去	$3T_{smp} + 20$	ns

備考1. $T = 1/f_{xx}$

2. $T_{smp} =$ ノイズ除去サンプリング・クロック周期



(6) RPUタイミング

($T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5$ V, $BV_{DD} = EV_{DD} = 3.0 \sim 5.5$ V, $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0$ V)

項目	略号	条件	MIN.	MAX.	単位
TIn0, TIn1ハイ・レベル幅	<55>	t_{TlHn}	$n = 0, 1$	$2T_{sam} + 20^{※}$	ns
TIn0, TIn1ロウ・レベル幅	<56>	t_{TlLn}	$n = 0, 1$	$2T_{sam} + 20^{※}$	ns
TImハイ・レベル幅	<57>	t_{TlHm}	$m = 2-5$	$3T + 20$	ns
TImロウ・レベル幅	<58>	t_{TlLm}	$m = 2-5$	$3T + 20$	ns

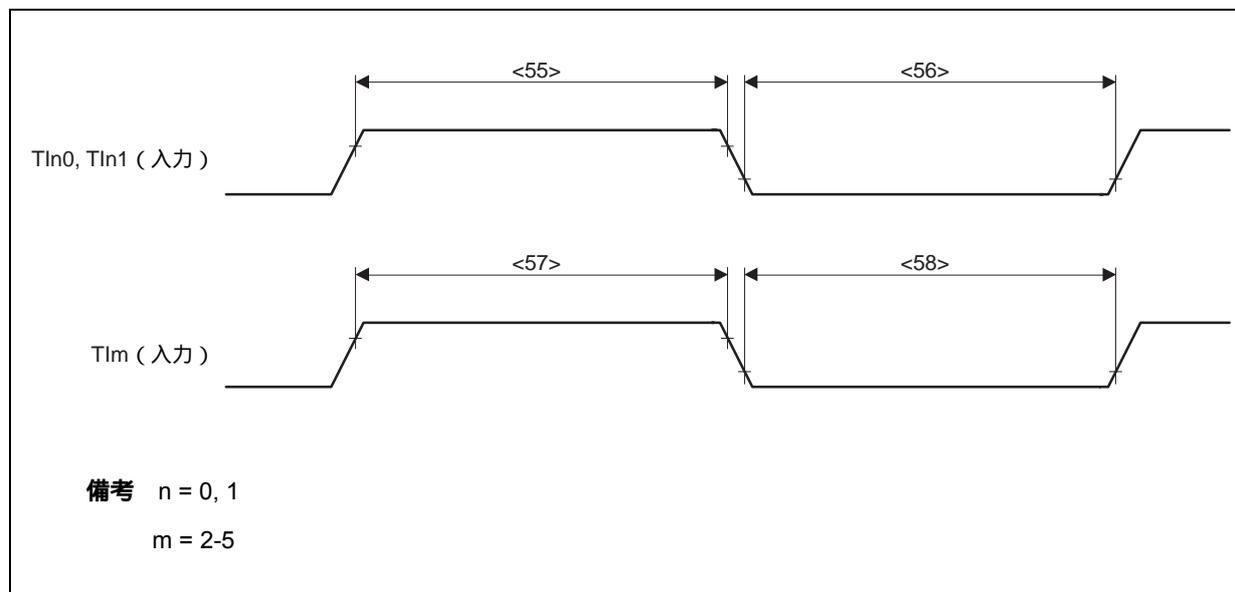
注 T_{sam} (カウント・クロック) は、プリスケアラ・モード・レジスタ $n0, n1$ (PRMn0, PRMn1) のPRMn2-PRMn0ビットを設定することにより、次に示すカウント・クロックを選択できます。

$n = 0$ (TM0) のとき, $T_{sam} = 2T, 4T, 16T, 64T, 256T, 1/INTWTVNI$ 周期

$n = 1$ (TM1) のとき, $T_{sam} = 2T, 4T, 16T, 32T, 128T, 256T$

ただし、カウント・クロックとしてTIn0の有効エッジを選択した場合, $T_{sam} = 4T$ となります。

備考 $T = 1/f_{xx}$

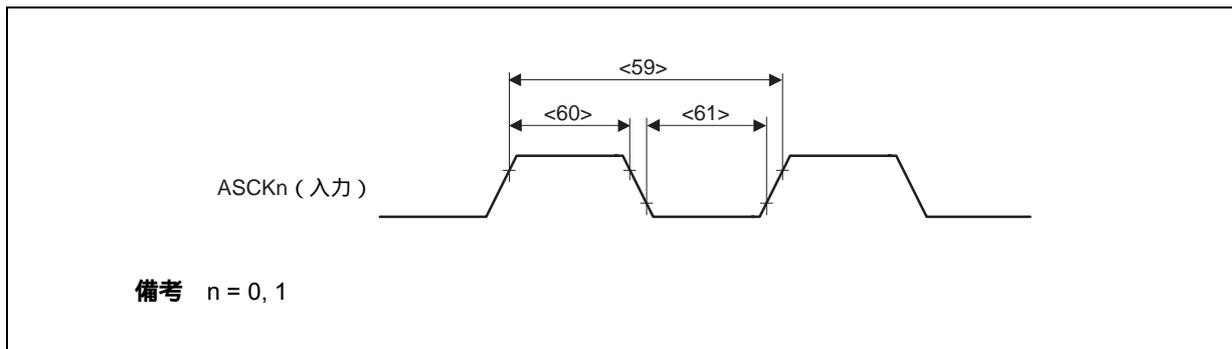


(7) アシクロナス・シリアル・インタフェース (UART0, UART1) タイミング

($T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5$ V, $BV_{DD} = EV_{DD} = 3.0 \sim 5.5$ V, $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0$ V)

項目	略号	条件	MIN.	MAX.	単位
ASCKnサイクル時間	<59> t_{KCY13}		200		ns
ASCKnハイ・レベル幅	<60> t_{KH13}		80		ns
ASCKnロウ・レベル幅	<61> t_{KL13}		80		ns

備考 n = 0, 1



(8) 3線式シリアル・インタフェース (CSI0-CSI3) タイミング

(a) マスタ・モード

($T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5$ V, $BV_{DD} = EV_{DD} = 3.0 \sim 5.5$ V, $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0$ V)

項目	略号	条件	MIN.	MAX.	単位
SCKn周期	<62> t _{KCY1}		400		ns
SCKnハイ・レベル幅	<63> t _{KH1}		140		ns
SCKnロウ・レベル幅	<64> t _{KL1}		140		ns
SIn設定時間 (対SCKn)	<65> t _{SIK1}		50		ns
SIn保持時間 (対SCKn)	<66> t _{SI1}		50		ns
SOn出力遅延時間 (対SCKn)	<67> t _{KSO1}			60	ns

備考 n = 0-3

(b) スレーブ・モード

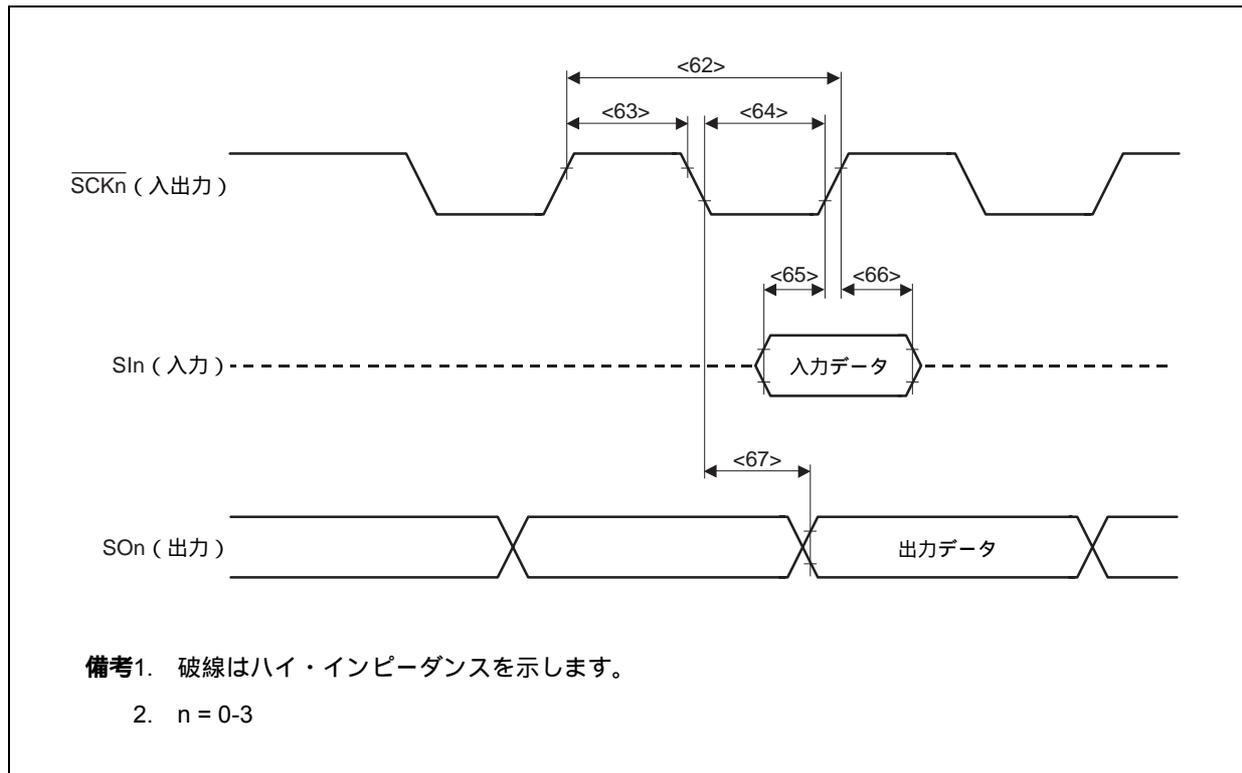
($T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5$ V, $BV_{DD} = EV_{DD} = 3.0 \sim 5.5$ V, $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0$ V)

項目	略号	条件	MIN.	MAX.	単位
SCKn周期	<62> t _{KCY2}		400		ns
SCKnハイ・レベル幅	<63> t _{KH2}		140		ns
SCKnロウ・レベル幅	<64> t _{KL2}		140		ns
SIn設定時間 (対SCKn)	<65> t _{SIK2}		50		ns
SIn保持時間 (対SCKn)	<66> t _{SI2}		50		ns
SOn出力遅延時間 (対SCKn)	<67> t _{KSO2}	4.0 V $E_{VDD} = 5.5$ V	注1	60	ns
			注2	70	ns
		3.0 V $E_{VDD} < 4.0$ V		100	ns

注1. μ PD703031A, 703031AY, 703031B, 703031BY, 703033A, 703033AY, 703033B, 703033BY, 703034A, 703034AY, 703034B, 703034BY, 703035A, 703035AY, 703035B, 703035BY, 70F3033A, 70F3033AY, 70F3033B, 70F3033BY, 70F3035A, 70F3035AY, 70F3035B, 70F3035BY

2. μ PD703030B, 703030BY, 703032A, 703032AY, 703032B, 703032BY, 703036H, 703036HY, 703037A, 703037AY, 703037H, 703037HY, 70F3030B, 70F3030BY, 70F3032A, 70F3032AY, 70F3032B, 70F3032BY, 70F3036H, 70F3036HY, 70F3037A, 70F3037AY, 70F3037H, 70F3037HY

備考 n = 0-3



(9) 3線式可変長シリアル・インタフェース (CSI4) タイミング

(a) マスタ・モード

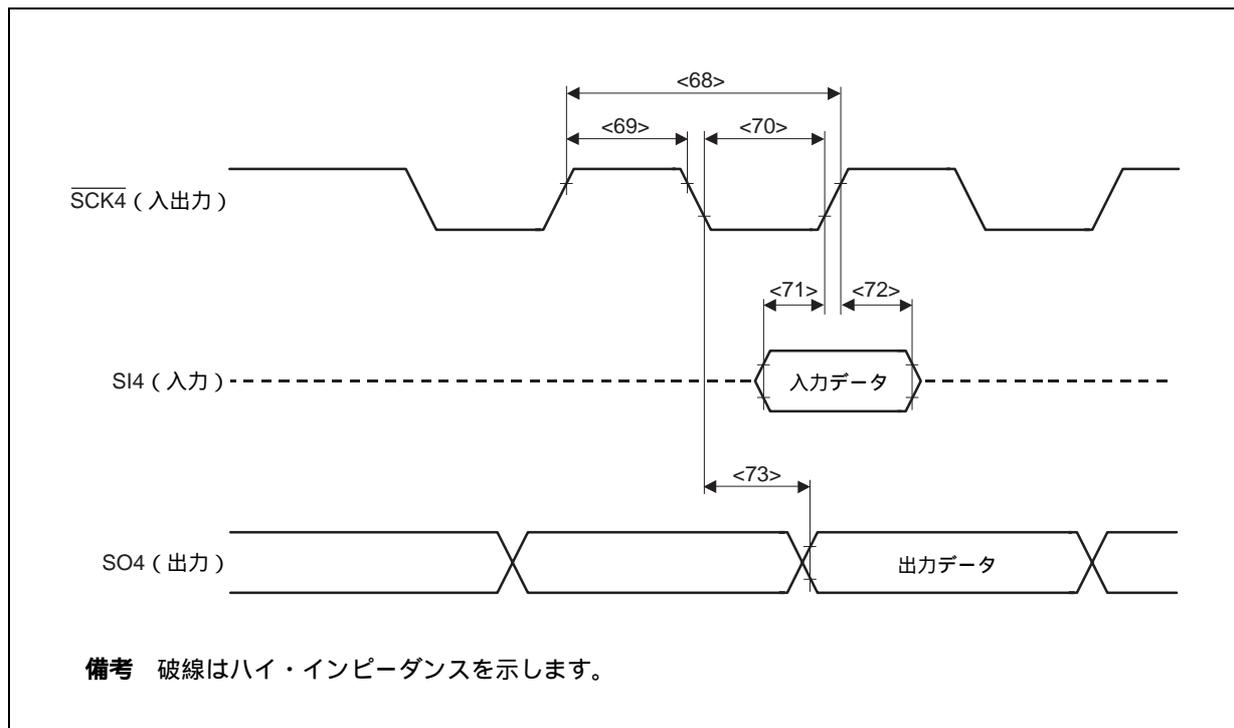
($T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5$ V, $BV_{DD} = EV_{DD} = 3.0 \sim 5.5$ V, $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0$ V)

項目	略号	条件	MIN.	MAX.	単位	
SCK4周期	<68>	t _{KCY1}	4.0 V $EV_{DD} = 5.5$ V	200		ns
			3.0 V $EV_{DD} < 4.0$ V	400		ns
SCK4ハイ・レベル幅	<69>	t _{KH1}	4.0 V $EV_{DD} = 5.5$ V	60		ns
			3.0 V $EV_{DD} < 4.0$ V	140		ns
SCK4ロウ・レベル幅	<70>	t _{KL1}	4.0 V $EV_{DD} = 5.5$ V	60		ns
			3.0 V $EV_{DD} < 4.0$ V	140		ns
SI4設定時間 (対SCK4)	<71>	t _{SIK1}	4.0 V $EV_{DD} = 5.5$ V	25		ns
			3.0 V $EV_{DD} < 4.0$ V	50		ns
SI4保持時間 (対SCK4)	<72>	t _{KSI1}		20		ns
SO4出力遅延時間 (対SCK4)	<73>	t _{KSO1}			55	ns

(b) スレーブ・モード

($T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5$ V, $BV_{DD} = EV_{DD} = 3.0 \sim 5.5$ V, $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0$ V)

項目	略号	条件	MIN.	MAX.	単位	
SCK4周期	<68>	t _{KCY2}	4.0 V $EV_{DD} = 5.5$ V	200		ns
			3.0 V $EV_{DD} < 4.0$ V	400		ns
SCK4ハイ・レベル幅	<69>	t _{KH2}	4.0 V $EV_{DD} = 5.5$ V	60		ns
			3.0 V $EV_{DD} < 4.0$ V	140		ns
SCK4ロウ・レベル幅	<70>	t _{KL2}	4.0 V $EV_{DD} = 5.5$ V	60		ns
			3.0 V $EV_{DD} < 4.0$ V	140		ns
SI4設定時間 (対SCK4)	<71>	t _{SIK2}	4.0 V $EV_{DD} = 5.5$ V	25		ns
			3.0 V $EV_{DD} < 4.0$ V	50		ns
SI4保持時間 (対SCK4)	<72>	t _{KSI2}		20		ns
SO4出力遅延時間 (対SCK4)	<73>	t _{KSO2}	4.0 V $EV_{DD} = 5.5$ V		55	ns
			3.0 V $EV_{DD} < 4.0$ V		100	ns



(10) I²Cバス・モード (Y品のみ) (1/2)

(T_A = -40 ~ +85 , V_{DD} = 4.0 ~ 5.5 V, BV_{DD} = EV_{DD} = 3.0 ~ 5.5 V, V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0 V)

項目	略号		標準モード		高速モード		単位	
			MIN.	MAX.	MIN.	MAX.		
SCLnクロック周波数	-	f _{CLK}	0	100	0	400	kHz	
バス・フリー・タイム (ストップ-スタート・コンディション間)	<74>	t _{BUF}	4.7	-	1.3	-	μs	
ホールド時間 ^{注1}	<75>	t _{HD:STA}	4.0	-	0.6	-	μs	
SCLnクロックのロウ・レベル幅	<76>	t _{LOW}	4.7	-	1.3	-	μs	
SCLnクロックのハイ・レベル幅	<77>	t _{HIGH}	4.0	-	0.6	-	μs	
スタート/リスタート・コンディション のセットアップ時間	<78>	t _{SU:STA}	4.7	-	0.6	-	μs	
データ・ ホールド時間	<79>	t _{HD:DAT}	CBUS互換マスタの場合	5.0	-	-	-	μs
			I ² Cモードの場合	0 ^{注2}	-	0 ^{注2}	0.9 ^{注3}	μs
データ・セットアップ時間	<80>	t _{SU:DAT}	250	-	100 ^{注4}	-	ns	
SDAnおよびSCLn信号の立ち上がり時間	<81>	t _R	-	1000	20 + 0.1Cb ^{注5}	300	ns	
SDAnおよびSCLn信号の立ち下がり時間	<82>	t _F	-	300	20 + 0.1Cb ^{注5}	300	ns	
ストップ・コンディションのセットアップ 時間	<83>	t _{SU:STO}	4.0	-	0.6	-	μs	
入力フィルタによって抑制されるスパイク のパルス幅	<84>	t _{SP}	-	-	0	50	ns	
各バス・ラインの容量性負荷	-	C _b	-	400	-	400	pF	

注1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。

2. 装置はSCLnの立ち下がり端の未定義領域を埋めるために (SCLn信号のV_{IHmin}.での), SDAn信号用に最低300 nsのホールド時間を内部的に提供する必要があります。

3. 装置がSCLn信号のロウ・ホールド時間 (t_{LOW}) を延長しない場合は、最大データ・ホールド時間 (t_{HD:DAT}) のみ満たすことが必要です。

4. 高速モードI²Cバスは、標準モードI²Cバス・システム内で利用できます。この場合、次に示す条件を満たすようにしてください。

- ・装置がSCLn信号のロウ状態ホールド時間を延長しない場合

$$t_{SU:DAT} = 250 \text{ ns}$$

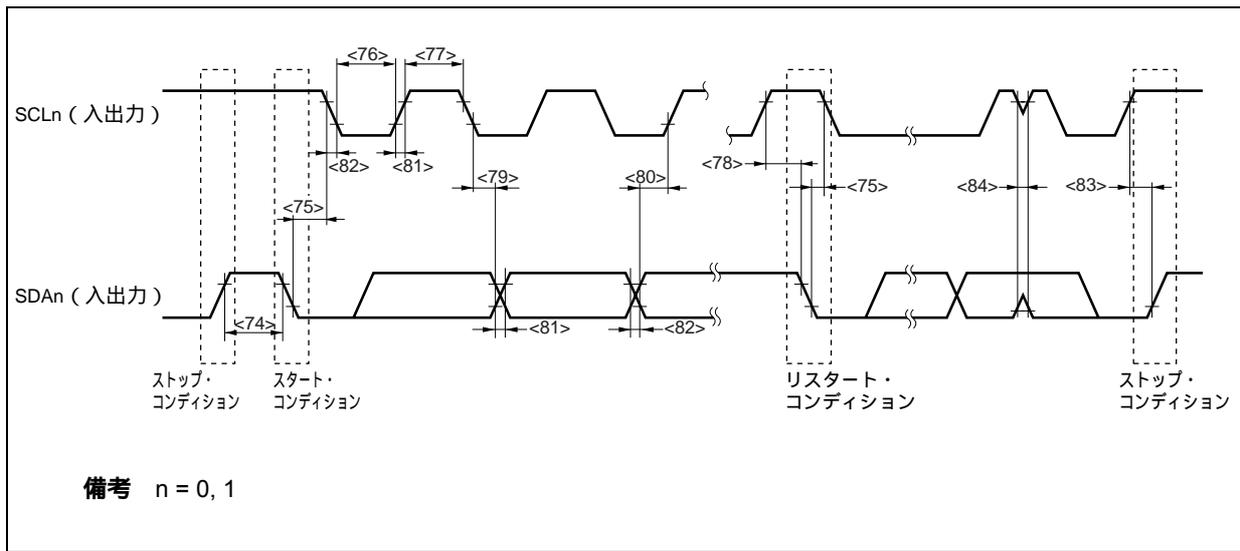
- ・装置がSCLn信号のロウ状態ホールド時間を延長する場合

SCLnラインが解放される (t_{Rmax} + t_{SU:DAT} = 1000 + 250 = 1250 ns : 標準モードI²Cバス仕様) 前に、次のデータ・ビットをSDAnラインに送出してください。

5. C_b : 1つのバス・ラインの合計キャパシタンス (単位 : pF)

備考 n = 0, 1

(10) I²Cバス・モード (Y品のみ) (2/2)



A/Dコンバータ特性 ($T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = AV_{REF} = 4.5 \sim 5.5$ V, $V_{SS} = AV_{SS} = 0$ V, 出力端子の負荷容量 : $C_L = 50$ pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	-		10	10	10	bit
総合誤差 ^{注1}	-	ADM2 = 00H			± 0.6	%FSR
		ADM2 = 01H			± 1.0	%FSR
変換時間	t _{CONV}		5		10	μs
ゼロスケール誤差 ^{注1}					± 0.4	%FSR
フルスケール誤差 ^{注1}		ADM2 = 00H			± 0.4	%FSR
		ADM2 = 01H			± 0.6	%FSR
積分直線性誤差 ^{注2}		ADM2 = 00H			± 4.0	LSB
		ADM2 = 01H			± 6.0	LSB
微分直線性誤差 ^{注2}		ADM2 = 00H			± 4.0	LSB
		ADM2 = 01H			± 6.0	LSB
アナログ基準電圧	AV _{REF}	AV _{REF} = AV _{DD}	4.5		5.5	V
アナログ電源電圧	AV _{DD}		4.5		5.5	V
アナログ入力電圧	V _{IAN}		AV _{SS}		AV _{REF}	V
AV _{REF} 入力電流	AI _{REF}			1	2	mA
AV _{DD} 電源電流	AI _{DD}	動作電流				
		ADM2 = 00H		3	6	mA
		ADM2 = 01H		4	8	mA

注1. 量子化誤差 (± 0.05 %FSR) は含みません。

2. 量子化誤差 (± 0.5 LSB) は含みません。

備考1. LSB : Least Significant Bit

FSR : Full Scale Range

2. ADM2 : A/Dコンバータ・モード・レジスタ2

IEBusコントローラ特性 (V850/SB2のみ)

($T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5$ V, $BV_{DD} = EV_{DD} = 3.0 \sim 5.5$ V, $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
IEBusシステム・クロック周波数	fs	通信モード：モード1固定		6.0 ^{注1}		MHz
				6.29 ^{注1,2}		MHz

注1. IEBusシステム・クロック周波数は、6.0 MHzと6.29 MHzを混在して使用できません。

- IEBusの規格ではシステム・クロック周波数は6.0 MHzですが、V850/SB2では6.29 MHzでの正常動作を保証しています。

レギュレータ ($T_A = -40 \sim +85$, $V_{DD} = 4.0 \sim 5.5$ V, $V_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力安定時間	t _{REG}	安定容量C = 1 μ F (REGC端子に接続)	1			ms

注意1. 電源電圧 (V_{DD}) を立ち上げる場合は、必ず $\overline{\text{RESET}} = V_{SS} = EV_{SS} = BV_{SS} = 0$ Vの状態 で V_{DD} を立ち上げてください。また、RESETはt_{REG}期間経過したあとにハイ・レベルにしてください。

- 電源電圧 (V_{DD}) を立ち上げてからt_{REG}期間経過する前に、電源電圧 (BV_{DD} , EV_{DD}) を立ち上げた場合、内部回路が不安定な状態で入出力バッファ電源がオンするため、t_{REG}期間経過するまでの間に、端子からデータをドライブする場合がありますのでご注意ください。

フラッシュ・メモリ・プログラミング・モード

(1) μ PD70F3030B, 70F3030BY, 70F3032A, 70F3032AY, 70F3032B, 70F3032BY, 70F3033B, 70F3033BY

書き込み/消去特性 ($T_A = -20 \sim +85$, $V_{DD} = AV_{DD} = BV_{DD} = EV_{DD} = 4.5 \sim 5.5$ V, $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
V _{PP} 電源電圧	V _{PP2}	フラッシュ・メモリ・プログラミング・モード時	7.5	7.8	8.1	V
V _{DD} 電源電流	I _{DD}	V _{PP} = V _{PP2} 時, f _{XX} = 20 MHz			注1	mA
V _{PP} 電源電流	I _{PP}	V _{PP} = V _{PP2} 時			100	mA
ステップ消去時間	t _{ER}	注2		0.2		s
1エリアあたりの総消去時間	t _{ERA}	ステップ消去時間 = 0.2 s時, 注3			20	s/エリア
ライトバック時間	t _{WB}	注4		1		ms
1ライトバック・コマンドあたりのライトバック回数	C _{WB}	ライトバック時間 = 1 ms時, 注5			300	回/ライトバック・コマンド
消去-ライトバック回数	C _{ERWB}				16	回
ステップ書き込み時間	t _{WR}	注6		20		μ s
1ワードあたりの総書き込み時間	t _{WRW}	ステップ書き込み時間 = 20 μ s設定時 (1ワード = 4 バイト), 注7	20		200	μ s/ワード
1エリアあたりの書き換え回数	C _{ERWR}	消去1回+消去後の書き込み1回 = 書き換え1回とする, 注8		100		回/エリア

注1. I_{DD} = 63 (μ PD70F3033B, 70F3033BY) , I_{DD} = 68 (μ PD70F3030B, 70F3030BY) , I_{DD} = 73 (μ PD70F3032A, 70F3032AY, 70F3032B, 70F3032BY)

2. ステップ消去時間の推奨設定値は0.2 sです。
3. 消去前のプリライトおよび消去ベリファイ時間 (ライトバック時間) は含まれません。
4. ライトバック時間の推奨設定値は1 msです。
5. ライトバック・コマンドの発行により, ライトバックは1回実行されます。したがって, ウェイト回数設定値はこの値からコマンド発行回数をマイナスした値にしてください。
6. ステップ書き込み時間の推奨設定値は20 μ sです。
7. 実際の1ワードあたりの書き込み時間は20 μ sが加算されます。書き込み中および書き込み後の内部ベリファイ時間は含まれません。
8. 出荷品に対する初回書き込み時には, 「消去 書き込み」の場合も「書き込みのみ」の場合も, 書き換え回数は1回となります。

例 (P: 書き込み, E: 消去)

出荷品 --- P E P E P : 書き換え回数3回
 出荷品 E P E P E P : 書き換え回数3回

備考1. PG-FP3使用時は, パラメータ・ファイルのダウンロードによって書き込み/消去に必要な時間のパラメータが自動設定されます。特に指示のない場合は設定値の変更は行わないでください。

2. エリア0 = 000000H-01FFFFH エリア2 = 040000H-05FFFFH
 エリア1 = 020000H-03FFFFH エリア3 = 060000H-07FFFFH
 μ PD70F3030B, 70F3030BYはエリア0~2, μ PD70F3032A, 70F3032AY, 70F3032B, 70F3032BYはエリア0~3, μ PD70F3033B, 70F3033BYはエリア0, 1です。

(2) μ PD70F3033A, 70F3033AY

書き込み / 消去特性 ($T_A = 10 \sim 85$... K規格品 ,
 $T_A = -20 \sim +85$... E規格品 ,
 $V_{DD} = AV_{DD} = BV_{DD} = EV_{DD} = 4.5 \sim 5.5$ V, $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
V _{PP} 電源電圧	V _{PP2}	フラッシュ・メモリ・プロ グラミング・モード時	7.5	7.8	8.1	V
V _{DD} 電源電流	I _{DD}	V _{PP} = V _{PP2} 時, f _{XX} = 20 MHz			63	mA
V _{PP} 電源電流	I _{PP}	V _{PP} = V _{PP2} 時			100	mA
ステップ消去時間	t _{ER}	注1		0.2		s
1エリアあたりの 総消去時間	t _{ERA}	ステップ消去時間 = 0.2 s時, 注2			20	s/エリア
ライトバック時間	t _{WB}	注3		1		ms
1ライトバック・コマンド あたりのライトバック回数	C _{WB}	ライトバック時間 = 1 ms時, 注4			300	回/ライトバ ック・コマンド
消去-ライトバック回数	C _{ERWB}				16	回
ステップ書き込み時間	t _{WR}	注5		20		μ s
1ワードあたりの 総書き込み時間	t _{WRW}	ステップ書き込み時間 = 20 μ s設定時 (1ワード = 4 バイト), 注6	20		200	μ s/ワード
1エリアあたりの 書き換え回数	C _{ERWR}	消去1回+消去後の書き込み1回 = 書き換え1回とする, 注7		注8		回/エリア

- 注1. ステップ消去時間の推奨設定値は0.2 sです。
 2. 消去前のプリライトおよび消去ベリファイ時間 (ライトバック時間) は含まれません。
 3. ライトバック時間の推奨設定値は1 msです。
 4. ライトバック・コマンドの発行により, ライトバックは1回実行されます。したがって, ウェイト回数設定値はこの値からコマンド発行回数をマイナスした値にしてください。
 5. ステップ書き込み時間の推奨設定値は20 μ sです。
 6. 実際の1ワードあたりの書き込み時間は20 μ sが加算されます。書き込み中および書き込み後の内部ベリファイ時間は含まれません。
 7. 出荷品に対する初回書き込み時には, 「消去 書き込み」の場合も「書き込みのみ」の場合も, 書き換え回数は1回となります。

例 (P : 書き込み, E : 消去)

出荷品 --- P E P E P : 書き換え回数3回
 出荷品 E P E P E P : 書き換え回数3回

8. K規格品 : 20回 / エリア
 E規格品 : 100回 / エリア

- 備考1. PG-FP3使用時は, パラメータ・ファイルのダウンロードによって書き込み / 消去に必要な時間のパラメータが自動設定されます。特に指示のない場合は設定値の変更は行わないでください。
 2. エリア0 = 000000H-01FFFFH
 エリア1 = 020000H-03FFFFH

(3) μ PD70F3035A, 70F3035AY

書き込み / 消去特性 ($T_A = 10 \sim 85$... K, E規格品,

$T_A = -20 \sim +85$... P規格品,

$V_{DD} = AV_{DD} = BV_{DD} = EV_{DD} = 4.5 \sim 5.5$ V, $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
V _{PP} 電源電圧	V _{PP2}	フラッシュ・メモリ・プロ グラミング・モード時	7.5	7.8	8.1	V
V _{DD} 電源電流	I _{DD}	V _{PP} = V _{PP2} 時, f _{XX} = 13 MHz			51	mA
V _{PP} 電源電流	I _{PP}	V _{PP} = V _{PP2} 時			100	mA
ステップ消去時間	t _{ER}	注1		0.2		s
1エリアあたりの 総消去時間	t _{ERA}	ステップ消去時間 = 0.2 s時, 注2			20	s/エリア
ライトバック時間	t _{WB}	注3		1		ms
1ライトバック・コマンド あたりのライトバック回数	C _{WB}	ライトバック時間 = 1 ms時, 注4			300	回/ライトバ ック・コマンド
消去-ライトバック回数	C _{ERWB}				16	回
ステップ書き込み時間	t _{WR}	注5		20		μ s
1ワードあたりの 総書き込み時間	t _{WRW}	ステップ書き込み時間 = 20 μ s設定時 (1ワード = 4 バイト), 注6	20		200	μ s/ワード
1エリアあたりの 書き換え回数	C _{ERWR}	消去1回+消去後の書き込み1回 = 書き換え1回とする, 注7		注8		回/エリア

注1. ステップ消去時間の推奨設定値 = 0.2 sです。

2. 消去前のプリライトおよび消去ベリファイ時間 (ライトバック時間) は含まれません。

3. ライトバック時間の推奨設定値 = 1 msです。

4. ライトバック・コマンドの発行により, ライトバックは1回実行されます。したがって, ウェイト回数設定値はこの値からコマンド発行回数をマイナスした値にしてください。

5. ステップ書き込み時間の推奨設定値 = 20 μ sです。

6. 実際の1ワードあたりの書き込み時間は20 μ sが加算されます。書き込み中および書き込み後の内部ベリファイ時間は含まれません。

7. 出荷品に対する初回書き込み時には, 「消去 書き込み」の場合も「書き込みのみ」の場合も, 書き換え回数は1回となります。

例 (P: 書き込み, E: 消去)

出荷品 --- P E P E P : 書き換え回数3回

出荷品 E P E P E P : 書き換え回数3回

8. K, E規格品 : 20回 / エリア

P規格品 : 100回 / エリア

備考1. PG-FP3使用時は, パラメータ・ファイルのダウンロードによって書き込み / 消去に必要な時間のパラメータが自動設定されます。特に指示のない場合は設定値の変更は行わないでください。

2. エリア0 = 000000H-01FFFFH

エリア1 = 020000H-03FFFFH

(4) μ PD70F3035B, 70F3035BY, 70F3037A, 70F3037AY,

書き込み / 消去特性 ($T_A = -20 \sim +85$, $V_{DD} = AV_{DD} = BV_{DD} = EV_{DD} = 4.5 \sim 5.5 V$,
 $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
V_{PP} 電源電圧	V_{PP2}	フラッシュ・メモリ・プロ グラミング・モード時	7.5	7.8	8.1	V
V_{DD} 電源電流	I_{DD}	$V_{PP} = V_{PP2}$ 時, $f_{XX} = 13$ MHz			注1	mA
V_{PP} 電源電流	I_{PP}	$V_{PP} = V_{PP2}$ 時			100	mA
ステップ消去時間	t_{ER}	注2		0.2		s
1エリアあたりの 総消去時間	t_{ERA}	ステップ消去時間 = 0.2 s時, 注3			20	s/エリア
ライトバック時間	t_{WB}	注4		1		ms
1ライトバック・コマンド あたりのライトバック回数	C_{WB}	ライトバック時間 = 1 ms時, 注5			300	回/ライトバ ック・コマンド
消去-ライトバック回数	C_{ERWB}				16	回
ステップ書き込み時間	t_{WR}	注6		20		μ s
1ワードあたりの 総書き込み時間	t_{WRW}	ステップ書き込み時間 = 20 μ s設定時 (1ワード = 4 バイト), 注7	20		200	μ s/ワード
1エリアあたりの 書き換え回数	C_{ERWR}	消去1回+消去後の書き込み1回 = 書き換え1回とする, 注8		100		回/エリア

- 注1. $I_{DD} = 51$ (μ PD70F3035B, 70F3035BY) ,
 $I_{DD} = 61$ (μ PD70F3037A, 70F3037AY) ,
2. ステップ消去時間の推奨設定値は0.2 sです。
 3. 消去前のプリライトおよび消去ベリファイ時間 (ライトバック時間) は含まれません。
 4. ライトバック時間の推奨設定値は1 msです。
 5. ライトバック・コマンドの発行により, ライトバックは1回実行されます。したがって, ウェイト回数設定値はこの値からコマンド発行回数をマイナスした値にしてください。
 6. ステップ書き込み時間の推奨設定値は20 μ sです。
 7. 実際の1ワードあたりの書き込み時間は20 μ sが加算されます。書き込み中および書き込み後の内部ベリファイ時間は含まれません。
 8. 出荷品に対する初回書き込み時には, 「消去 書き込み」の場合も「書き込みのみ」の場合も, 書き換え回数は1回となります。

例 (P: 書き込み, E: 消去)

出荷品 --- P E P E P : 書き換え回数3回

出荷品 E P E P E P : 書き換え回数3回

備考1. PG-FP3使用時は, パラメータ・ファイルのダウンロードによって書き込み / 消去に必要な時間のパラメータが自動設定されます。特に指示のない場合は設定値の変更は行わないでください。

2. エリア0 = 000000H-01FFFFH エリア2 = 040000H-05FFFFH
 エリア1 = 020000H-03FFFFH エリア3 = 060000H-07FFFFH

μ PD70F3035B, 70F3035BYはエリア0, 1, μ PD70F3037A, 70F3037AYはエリア0 ~ 3です。

(5) μ PD70F3036H, 70F3036HY, 70F3037H, 70F3037HY

書き込み / 消去特性 ($T_A = -20 \sim +85$, $V_{DD} = AV_{DD} = BV_{DD} = EV_{DD} = 4.5 \sim 5.5$ V,
 $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
V _{PP} 電源電圧	V _{PP2}	フラッシュ・メモリ・プロ グラミング・モード時	7.5	7.8	8.1	V
V _{DD} 電源電流	I _{DD}	V _{PP} = V _{PP2} 時, f _{XX} = 19 MHz			注1	mA
V _{PP} 電源電流	I _{PP}	V _{PP} = V _{PP2} 時			100	mA
ステップ消去時間	t _{ER}	注2		0.2		s
1エリアあたりの 総消去時間	t _{ERA}	ステップ消去時間 = 0.2 s時, 注3			20	s/エリア
ライトバック時間	t _{WB}	注4		1		ms
1ライトバック・コマンド あたりのライトバック回数	C _{WB}	ライトバック時間 = 1 ms時, 注5			300	回/ライトバ ック・コマ ンド
消去-ライトバック回数	C _{ERWB}				16	回
ステップ書き込み時間	t _{WR}	注6		20		μ s
1ワードあたりの 総書き込み時間	t _{WRW}	ステップ書き込み時間 = 20 μ s設定時 (1ワード = 4 バイト), 注7	20		200	μ s/ワード
1エリアあたりの 書き換え回数	C _{ERWR}	消去1回+消去後の書き込み1回 = 書き換え1回とする, 注8		100		回/エリア

- 注1. I_{DD} = 68 (μ PD70F3036H, 70F3036HY) ,
 I_{DD} = 73 (μ PD70F3037H, 70F3037HY)
- ステップ消去時間の推奨設定値は0.2 sです。
 - 消去前のプリライトおよび消去ベリファイ時間 (ライトバック時間) は含まれません。
 - ライトバック時間の推奨設定値は1 msです。
 - ライトバック・コマンドの発行により, ライトバックは1回実行されます。したがって, ウェイト回数設定値はこの値からコマンド発行回数をマイナスした値にしてください。
 - ステップ書き込み時間の推奨設定値は20 μ sです。
 - 実際の1ワードあたりの書き込み時間は20 μ sが加算されます。書き込み中および書き込み後の内部ベリファイ時間は含まれません。
 - 出荷品に対する初回書き込み時には, 「消去 書き込み」の場合も「書き込みのみ」の場合も, 書き換え回数は1回となります。

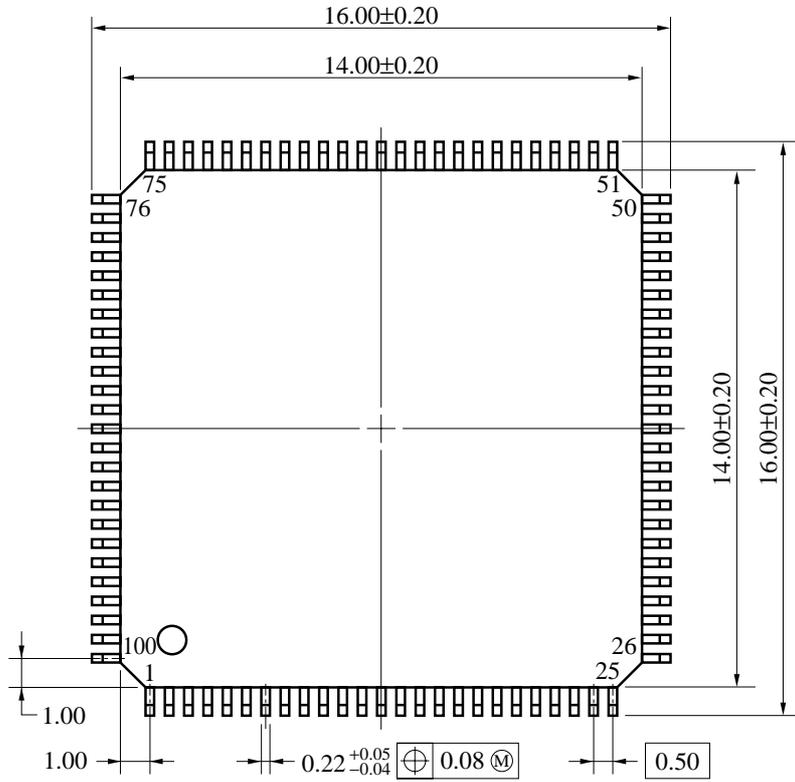
例 (P: 書き込み, E: 消去)

出荷品 --- P E P E P : 書き換え回数3回
 出荷品 E P E P E P : 書き換え回数3回

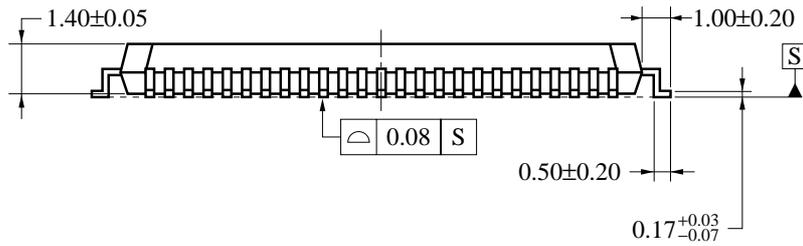
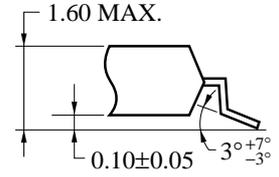
- 備考1. PG-FP3使用時は, パラメータ・ファイルのダウンロードによって書き込み / 消去に必要な時間のパラメータが自動設定されます。特に指示のない場合は設定値の変更は行わないでください。
- エリア0 = 000000H-01FFFFH エリア2 = 040000H-05FFFFH
 エリア1 = 020000H-03FFFFH エリア3 = 060000H-07FFFFH
 μ PD70F3036H, 70F3036HYはエリア0 ~ 2, μ PD70F3037H, 70F3037HYはエリア0 ~ 3です。

第21章 外形図

100ピン・プラスチック LQFP (ファインピッチ)(14x14) 外形図 (単位 : mm)

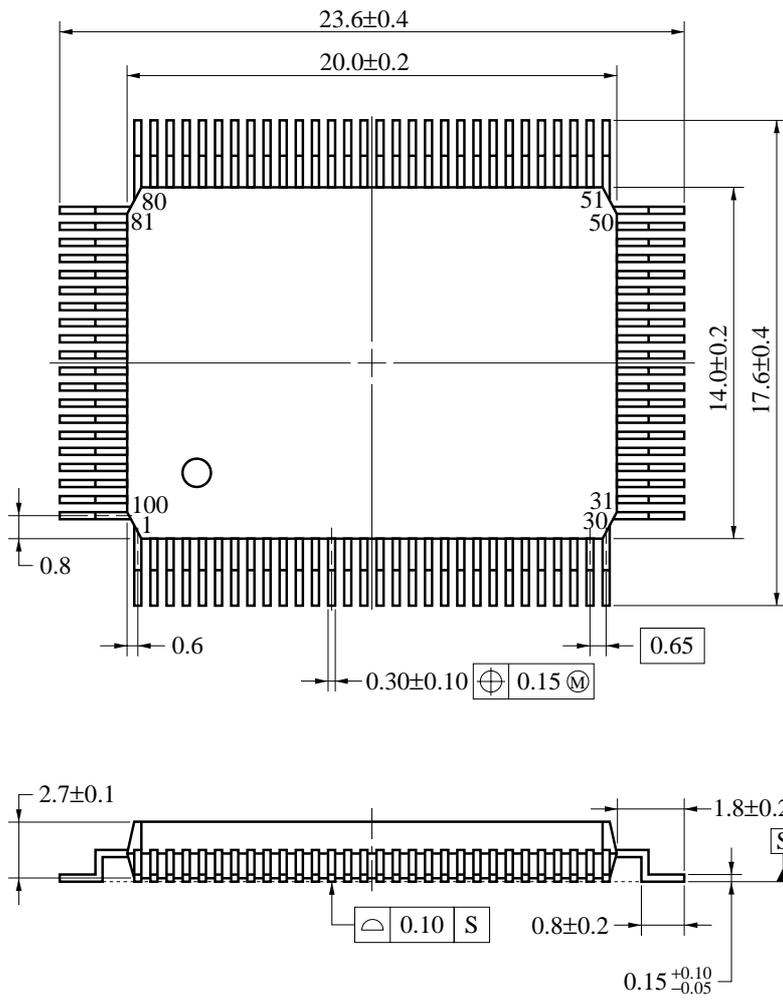


端子先端形状詳細図

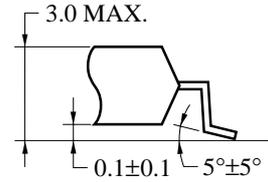


S100GC-50-8EU, 8EA-2

100ピン・プラスチック QFP (14x20) 外形図 (単位: mm)



端子先端形状詳細図



P100GF-65-3BA1-4

第22章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.ic.nec.co.jp/pkg/ja/jissou/index.html>)

表22 - 1 表面実装タイプの半田付け条件 (1/5)

- (1) μ PD703031AGC-xxx-8EU : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)
- μ PD703031BGC-xxx-8EU : "
- μ PD703031AYGC-xxx-8EU : "
- μ PD703031BYGC-xxx-8EU : "
- μ PD703033AGC-xxx-8EU : "
- μ PD703033BGC-xxx-8EU : "
- μ PD703033AYGC-xxx-8EU : "
- μ PD703033BYGC-xxx-8EU : "
- μ PD703034AGC-xxx-8EU : "
- μ PD703034BGC-xxx-8EU : "
- μ PD703034AYGC-xxx-8EU : "
- μ PD703034BYGC-xxx-8EU : "
- μ PD703035AGC-xxx-8EU : "
- μ PD703035BGC-xxx-8EU : "
- μ PD703035AYGC-xxx-8EU : "
- μ PD703035BYGC-xxx-8EU : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：2回以内 制限日数：7日間 [※] （以降は125℃プリバーク10～72時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215℃，時間：25～40秒（200℃以上），回数：2回以内 制限日数：7日間 [※] （以降は125℃プリバーク10～72時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-107-2
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

表22 - 1 表面実装タイプの半田付け条件 (2/5)

(2) μ PD703030BGC-xxx-8EU : 100ピン・プラスチックLQFP (ファインピッチ) (14 x 14)

μ PD703030BYGC-xxx-8EU :	"
μ PD703036HGC-xxx-8EU :	"
μ PD703036HYGC-xxx-8EU :	"
μ PD70F3033AGC-8EU :	"
μ PD70F3033BGC-8EU :	"
μ PD70F3033AYGC-8EU :	"
μ PD70F3033BYGC-8EU :	"
μ PD70F3035AGC-8EU :	"
μ PD70F3035BGC-8EU :	"
μ PD70F3035AYGC-8EU :	"
μ PD70F3035BYGC-8EU :	"

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：2回以内 制限日数：3日間 [*] （以降は125℃プリバーク10～72時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-103-2
VPS	パッケージ・ピーク温度：215℃，時間：25～40秒（200℃以上），回数：2回以内 制限日数：3日間 [*] （以降は125℃プリバーク10～72時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-103-2
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

表22 - 1 表面実装タイプの半田付け条件 (3/5)

(3)	μ PD703030BGF-xxx-3BA : 100ピン・プラスチックQFP (14×20)	μ PD703035AGF-xxx-3BA : 100ピン・プラスチックQFP (14×20)
	μ PD703030BYGF-xxx-3BA : "	μ PD703035BGF-xxx-3BA : "
	μ PD703031AGF-xxx-3BA : "	μ PD703035AYGF-xxx-3BA : "
	μ PD703031BGF-xxx-3BA : "	μ PD703035BYGF-xxx-3BA : "
	μ PD703031AYGF-xxx-3BA : "	μ PD703036HGF-xxx-3BA : "
	μ PD703031BYGF-xxx-3BA : "	μ PD703036HYGF-xxx-3BA : "
	μ PD703032AGF-xxx-3BA : "	μ PD703037AGF-xxx-3BA : "
	μ PD703032BGF-xxx-3BA : "	μ PD703037HGF-xxx-3BA : "
	μ PD703032AYGF-xxx-3BA : "	μ PD703037AYGF-xxx-3BA : "
	μ PD703032BYGF-xxx-3BA : "	μ PD703037HYGF-xxx-3BA : "
	μ PD703033AGF-xxx-3BA : "	μ PD70F3033AGF-3BA : "
	μ PD703033BGF-xxx-3BA : "	μ PD70F3033BGF-3BA : "
	μ PD703033AYGF-xxx-3BA : "	μ PD70F3033AYGF-3BA : "
	μ PD703033BYGF-xxx-3BA : "	μ PD70F3033BYGF-3BA : "
	μ PD703034AGF-xxx-3BA : "	μ PD70F3035AGF-3BA : "
	μ PD703034BGF-xxx-3BA : "	μ PD70F3035BGF-3BA : "
	μ PD703034AYGF-xxx-3BA : "	μ PD70F3035AYGF-3BA : "
	μ PD703034BYGF-xxx-3BA : "	μ PD70F3035BYGF-3BA : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：2回以内 制限日数：7日間 [※] （以降は125℃プリバーク20～72時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	IR35-207-2
VPS	パッケージ・ピーク温度：215℃，時間：25～40秒（200℃以上），回数：2回以内 制限日数：7日間 [※] （以降は125℃プリバーク20～72時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	VP15-207-2
ウェーブ・ ソルダーリング	半田槽温度：260℃以下，時間：10秒以内，回数：1回 予備加熱温度：120℃MAX.（パッケージ表面温度） 制限日数：7日間 [※] （以降は125℃プリバーク20～72時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	WS60-207-1
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

表22 - 1 表面実装タイプの半田付け条件 (4/5)

- (4) μ PD70F3030BGF-3BA : 100ピン・プラスチックQFP (14×20)
- μ PD70F3030BYGF-3BA : "
- μ PD70F3032AGF-3BA : "
- μ PD70F3032BGF-3BA : "
- μ PD70F3032AYGF-3BA : "
- μ PD70F3032BYGF-3BA : "
- μ PD70F3036HGF-3BA : "
- μ PD70F3036HYGF-3BA : "
- μ PD70F3037AGF-3BA : "
- μ PD70F3037HGF-3BA : "
- μ PD70F3037AYGF-3BA : "
- μ PD70F3037HYGF-3BA : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：2回以内 制限日数：3日間 [*] （以降は125℃プリバーク20～72時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-203-2
VPS	パッケージ・ピーク温度：215℃，時間：25～40秒（200℃以上），回数：2回以内 制限日数：3日間 [*] （以降は125℃プリバーク20～72時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-203-2
ウエーブ・ソルダリング	半田槽温度：260℃以下，時間：10秒以内，回数：1回 予備加熱温度：120℃MAX.（パッケージ表面温度） 制限日数：3日間 [*] （以降は125℃プリバーク20～72時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	WS60-203-1
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は 25℃，65 %RH 以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

表22 - 1 表面実装タイプの半田付け条件 (5/5)

- (5) μ PD70F3030BGC-8EU : 100ピン・プラスチックLQFP (ファインピッチ) (14 x 14)
 μ PD70F3030BYGC-8EU : "
 μ PD70F3036HGC-8EU : "
 μ PD70F3036HYGC-8EU : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：230 ，時間：30秒以内 (210 以上)，回数：2回以内 制限日数：3日間 [*] (以降は125 プリベーク10時間必要) < 留意事項 > 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキング ができません。	IR30-103-2
VPS	パッケージ・ピーク温度：215 ，時間：25~40秒以内 (200 以上)，回数：2回以内 制限日数：3日間 [*] (以降は125 プリベーク10時間必要) < 留意事項 > 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキング ができません。	VP15-103-2
端子部分加熱	端子温度：300 以下，時間：3秒以内 (デバイスの一辺当たり)	-

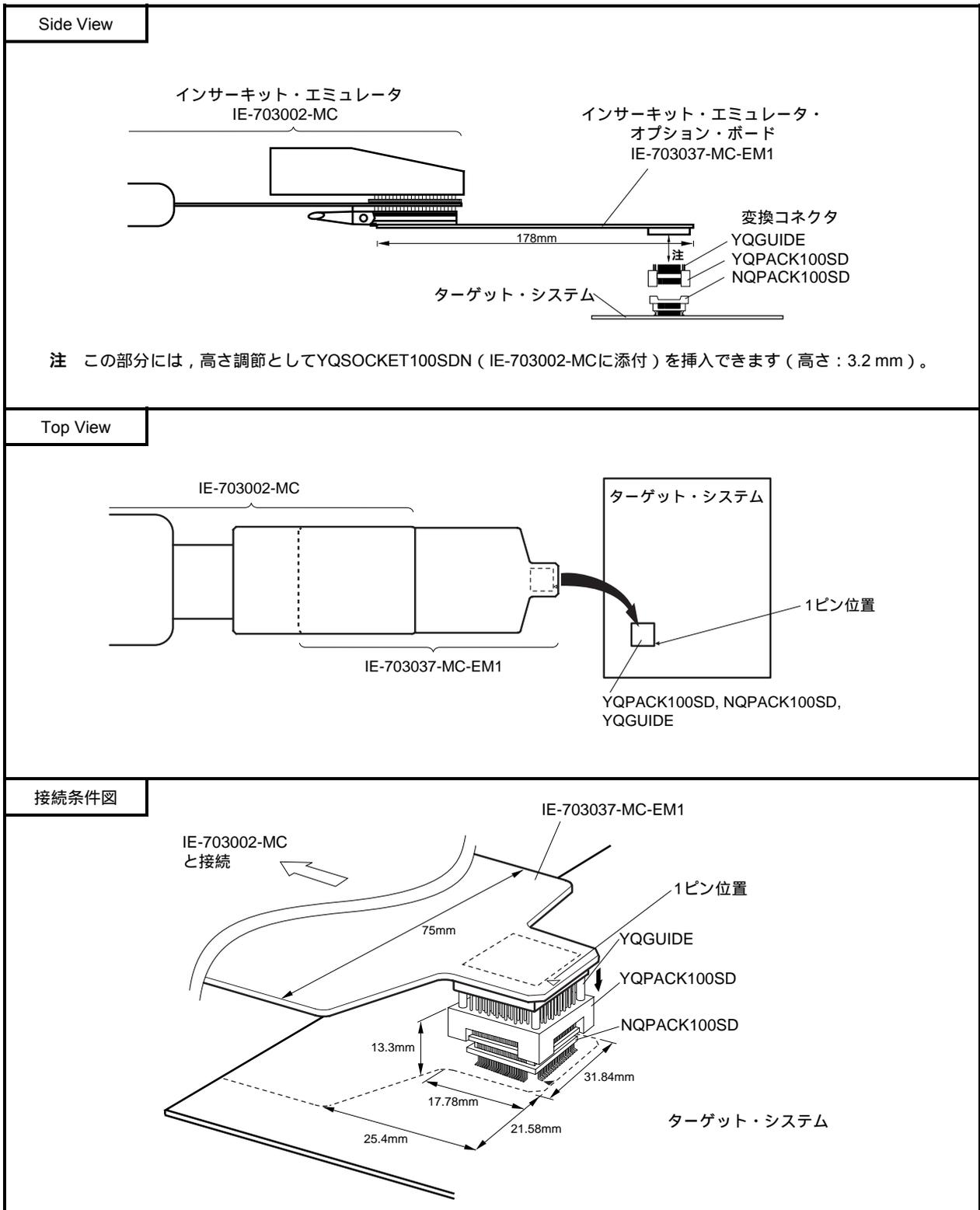
注 ドライバック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください (ただし，端子部分加熱は除く)。

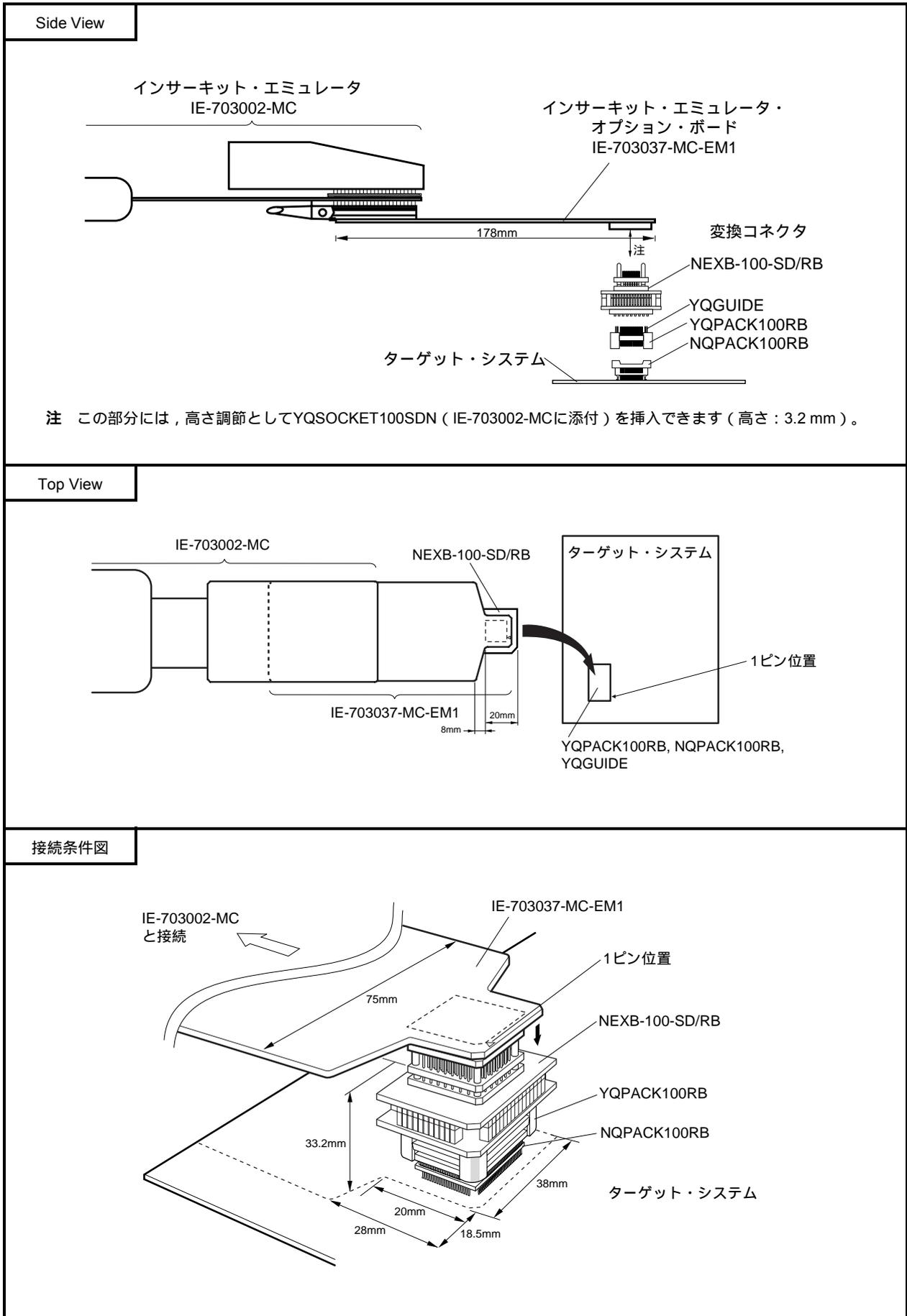
付録A ターゲット・システム設計上の注意

インサーキット・エミュレータ・オプション・ボードと変換コネクタの接続条件図を次に示します。この構成を基にターゲット・システム上に実装する部品の形状などを考慮してシステム設計をしてください。

図A-1 100ピン・プラスチックLQFP（ファインピッチ）（14×14）の場合



図A - 2 100ピン・プラスチックQFP (14×20) の場合



付録B レジスタ索引

(1/6)

略号	名称	ユニット	ページ
ADCR	A/D変換結果レジスタ	ADC	443
ADCRH	A/D変換結果レジスタH	ADC	443
ADIC	割り込み制御レジスタ	INTC	165-167
ADM1	A/Dコンバータ・モード・レジスタ1	ADC	444
ADM2	A/Dコンバータ・モード・レジスタ2	ADC	446
ADS	アナログ入力チャンネル指定レジスタ	ADC	446
ASIM0	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	UART	412
ASIM1	アシンクロナス・シリアル・インタフェース・モード・レジスタ1	UART	412
ASIS0	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	UART	413
ASIS1	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	UART	413
BCC	バス・サイクル・コントロール・レジスタ	BCU	138
BCR	IEBusコントロール・レジスタ	IEBus	573
BRGC0	ポー・レート・ジェネレータ・コントロール・レジスタ0	UART	414
BRGC1	ポー・レート・ジェネレータ・コントロール・レジスタ1	UART	414
BRGCK4	ポー・レート出力クロック選択レジスタ4	CSI	435
BRGCN4	ポー・レート・ジェネレータ・ソース・クロック選択レジスタ4	CSI	434
BRGMC00	ポー・レート・ジェネレータ・モード・コントロール・レジスタ00	UART	415
BRGMC01	ポー・レート・ジェネレータ・モード・コントロール・レジスタ01	UART	415
BRGMC10	ポー・レート・ジェネレータ・モード・コントロール・レジスタ10	UART	415
BRGMC11	ポー・レート・ジェネレータ・モード・コントロール・レジスタ11	UART	415
CCR	IEBus伝送カウンタ	IEBus	594
CDR	IEBusコントロール・データ・レジスタ	IEBus	577
CORAD0	コレクション・アドレス・レジスタ0	CPU	532
CORAD1	コレクション・アドレス・レジスタ1	CPU	532
CORAD2	コレクション・アドレス・レジスタ2	CPU	532
CORAD3	コレクション・アドレス・レジスタ3	CPU	532
CORCN	コレクション・コントロール・レジスタ	CPU	530
CORRQ	コレクション要求レジスタ	CPU	531
CR00	16ビット・キャプチャ/コンペア・レジスタ00	タイマ	207
CR01	16ビット・キャプチャ/コンペア・レジスタ01	タイマ	208
CR10	16ビット・キャプチャ/コンペア・レジスタ10	タイマ	207
CR11	16ビット・キャプチャ/コンペア・レジスタ11	タイマ	208
CR20	8ビット・コンペア・レジスタ2	タイマ	244
CR23	16ビット・コンペア・レジスタ23 (TM2, TM3カスケード接続時のみ)	タイマ	258
CR30	8ビット・コンペア・レジスタ3	タイマ	244
CR40	8ビット・コンペア・レジスタ4	タイマ	244
CR45	16ビット・コンペア・レジスタ45 (TM4, TM5カスケード接続時のみ)	タイマ	258
CR50	8ビット・コンペア・レジスタ5	タイマ	244

略号	名称	ユニット	ページ
CR60	8ビット・コンペア・レジスタ6	タイマ	244
CR67	16ビット・コンペア・レジスタ67 (TM6, TM7カスケード接続時のみ)	タイマ	258
CR70	8ビット・コンペア・レジスタ7	タイマ	244
CRC0	キャプチャ/コンペア・コントロール・レジスタ0	タイマ	211
CRC1	キャプチャ/コンペア・コントロール・レジスタ1	タイマ	211
CSIB4	可変長シリアル設定レジスタ4	CSI	433
CSIC0	割り込み制御レジスタ	INTC	165-167
CSIC1	割り込み制御レジスタ	INTC	165-167
CSIC2	割り込み制御レジスタ	INTC	165-167
CSIC3	割り込み制御レジスタ	INTC	165-167
CSIC4	割り込み制御レジスタ	INTC	165-167
CSIM0	シリアル動作モード・レジスタ0	CSI	279
CSIM1	シリアル動作モード・レジスタ1	CSI	279
CSIM2	シリアル動作モード・レジスタ2	CSI	279
CSIM3	シリアル動作モード・レジスタ3	CSI	279
CSIM4	可変長シリアル制御レジスタ4	CSI	432
CSIS0	シリアル・クロック選択レジスタ0	CSI	279
CSIS1	シリアル・クロック選択レジスタ1	CSI	279
CSIS2	シリアル・クロック選択レジスタ2	CSI	279
CSIS3	シリアル・クロック選択レジスタ3	CSI	279
DBC0	DMAバイト・カウント・レジスタ0	DMAC	470
DBC1	DMAバイト・カウント・レジスタ1	DMAC	470
DBC2	DMAバイト・カウント・レジスタ2	DMAC	470
DBC3	DMAバイト・カウント・レジスタ3	DMAC	470
DBC4	DMAバイト・カウント・レジスタ4	DMAC	470
DBC5	DMAバイト・カウント・レジスタ5	DMAC	470
DCHC0	DMAチャンネル・コントロール・レジスタ0	DMAC	471
DCHC1	DMAチャンネル・コントロール・レジスタ1	DMAC	471
DCHC2	DMAチャンネル・コントロール・レジスタ2	DMAC	471
DCHC3	DMAチャンネル・コントロール・レジスタ3	DMAC	471
DCHC4	DMAチャンネル・コントロール・レジスタ4	DMAC	471
DCHC5	DMAチャンネル・コントロール・レジスタ5	DMAC	471
DIOA0	DMA周辺I/Oアドレス・レジスタ0	DMAC	464
DIOA1	DMA周辺I/Oアドレス・レジスタ1	DMAC	464
DIOA2	DMA周辺I/Oアドレス・レジスタ2	DMAC	464
DIOA3	DMA周辺I/Oアドレス・レジスタ3	DMAC	464
DIOA4	DMA周辺I/Oアドレス・レジスタ4	DMAC	464
DIOA5	DMA周辺I/Oアドレス・レジスタ5	DMAC	464
DLR	IEBus電文長レジスタ	IEBus	582
DMAIC0	割り込み制御レジスタ	INTC	165-167
DMAIC1	割り込み制御レジスタ	INTC	165-167
DMAIC2	割り込み制御レジスタ	INTC	165-167
DMAIC3	割り込み制御レジスタ	INTC	165-167

略号	名称	ユニット	ページ
DMAIC4	割り込み制御レジスタ	INTC	165-167
DMAIC5	割り込み制御レジスタ	INTC	165-167
DMAS	DMA起動要因拡張レジスタ	DMAC	470
DR	IEBusデータ・レジスタ	IEBus	583
DRA0	DMA内蔵RAMアドレス・レジスタ0	DMAC	465
DRA1	DMA内蔵RAMアドレス・レジスタ1	DMAC	465
DRA2	DMA内蔵RAMアドレス・レジスタ2	DMAC	465
DRA3	DMA内蔵RAMアドレス・レジスタ3	DMAC	465
DRA4	DMA内蔵RAMアドレス・レジスタ4	DMAC	465
DRA5	DMA内蔵RAMアドレス・レジスタ5	DMAC	465
DWC	データ・ウェイト・コントロール・レジスタ	BCU	136
ECR	割り込み要因レジスタ	CPU	100
EGN0	立ち下がりエッジ指定レジスタ0	INTC	157, 489
EGP0	立ち上がりエッジ指定レジスタ0	INTC	157, 488
EIPC	割り込み時状態退避レジスタ	CPU	100
EIPSW	割り込み時状態退避レジスタ	CPU	100
FEPC	NMI時状態退避レジスタ	CPU	100
FEPSW	NMI時状態退避レジスタ	CPU	100
IEBIC1	割り込み制御レジスタ	IEBus	165-167
IEBIC2	割り込み制御レジスタ	IEBus	165-167
IECLK	IEBusクロック選択レジスタ	IEBus	594
IEHCLK	IEBus高速クロック選択レジスタ	IEBus	595
IIC0	IICシフト・レジスタ0	I ² C	300, 362
IIC1	IICシフト・レジスタ1	I ² C	300, 362
IICC0	IICコントロール・レジスタ0	I ² C	289, 349
IICC1	IICコントロール・レジスタ1	I ² C	289, 349
IICCE0	IICクロック拡張レジスタ0	I ² C	298, 360
IICCE1	IICクロック拡張レジスタ1	I ² C	298, 360
IICCL0	IICクロック選択レジスタ0	I ² C	297, 359
IICCL1	IICクロック選択レジスタ1	I ² C	297, 359
IICF0	IICフラグ・レジスタ0	I ² C	357
IICF1	IICフラグ・レジスタ1	I ² C	357
IICIC1	割り込み制御レジスタ	I ² C	165-167
IICS0	IIC状態レジスタ0	I ² C	294, 354
IICS1	IIC状態レジスタ1	I ² C	294, 354
IICX0	IIC機能拡張レジスタ0	I ² C	298, 360
IICX1	IIC機能拡張レジスタ1	I ² C	298, 360
ISPR	インサーピス・プライオリティ・レジスタ	INTC	168
ISR	IEBusインタラプト・ステータス・レジスタ	IEBus	587
KRIC	割り込み制御レジスタ	KR	165-167
KRM	キー・リターン・モード・レジスタ	KR	184
MAM	メモリ・アドレス出力モード・レジスタ	ポート	118
MM	メモリ拡張モード・レジスタ	ポート	117
NCC	ノイズ除去制御レジスタ	INTC	171

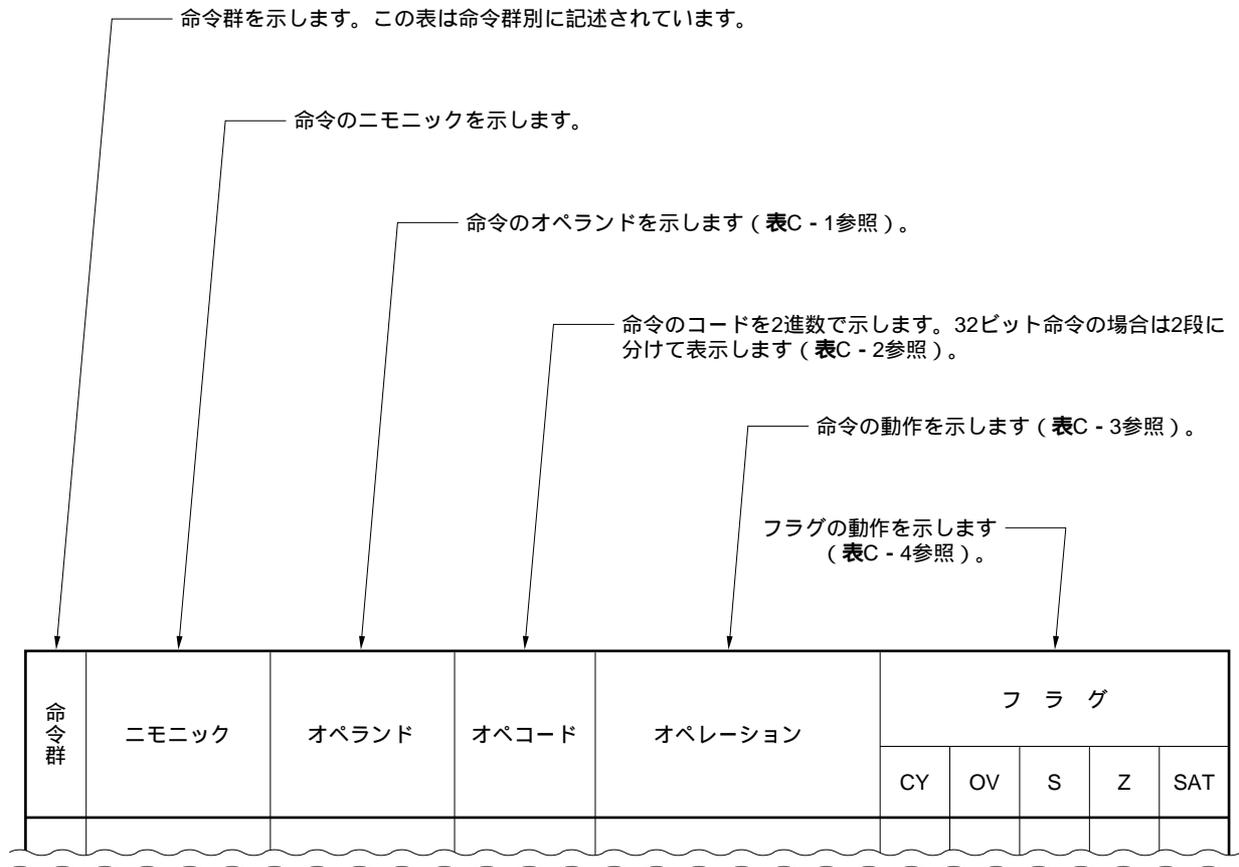
略号	名称	ユニット	ページ
OSTS	発振安定時間選択レジスタ	WDT	191, 270
P0	ポート0	ポート	486
P1	ポート1	ポート	491
P2	ポート2	ポート	496
P3	ポート3	ポート	501
P4	ポート4	ポート	506
P5	ポート5	ポート	506
P6	ポート6	ポート	509
P7	ポート7	ポート	511
P8	ポート8	ポート	511
P9	ポート9	ポート	513
P10	ポート10	ポート	516
P11	ポート11	ポート	520
PAC	ポート兼用機能コントロール・レジスタ	ポート	522
PAR	IEBus相手先アドレス・レジスタ	IEBus	577
PCC	プロセッサ・クロック・コントロール・レジスタ	CG	188
PF1	ポート1ファンクション・レジスタ	ポート	493
PF2	ポート2ファンクション・レジスタ	ポート	498
PF3	ポート3ファンクション・レジスタ	ポート	503
PF10	ポート10ファンクション・レジスタ	ポート	518
PIC0	割り込み制御レジスタ	INTC	165-167
PIC1	割り込み制御レジスタ	INTC	165-167
PIC2	割り込み制御レジスタ	INTC	165-167
PIC3	割り込み制御レジスタ	INTC	165-167
PIC4	割り込み制御レジスタ	INTC	165-167
PIC5	割り込み制御レジスタ	INTC	165-167
PIC6	割り込み制御レジスタ	INTC	165-167
PM0	ポート0モード・レジスタ	ポート	487
PM1	ポート1モード・レジスタ	ポート	492
PM2	ポート2モード・レジスタ	ポート	497
PM3	ポート3モード・レジスタ	ポート	502
PM4	ポート4モード・レジスタ	ポート	507
PM5	ポート5モード・レジスタ	ポート	507
PM6	ポート6モード・レジスタ	ポート	510
PM9	ポート9モード・レジスタ	ポート	514
PM10	ポート10モード・レジスタ	ポート	517
PM11	ポート11モード・レジスタ	ポート	521
PRCMD	コマンド・レジスタ	CG	129
PRM00	プリスケラ・モード・レジスタ00	RPU	213
PRM01	プリスケラ・モード・レジスタ01	RPU	213
PRM10	プリスケラ・モード・レジスタ10	RPU	215
PRM11	プリスケラ・モード・レジスタ11	RPU	215
PSC	パワー・セーブ・コントロール・レジスタ	CG	190
PSW	プログラム・ステータス・ワード	CPU	101

略号	名称	ユニット	ページ
PU0	プルアップ抵抗オプション・レジスタ0	ポート	488
PU1	プルアップ抵抗オプション・レジスタ1	ポート	492
PU2	プルアップ抵抗オプション・レジスタ2	ポート	498
PU3	プルアップ抵抗オプション・レジスタ3	ポート	503
PU10	プルアップ抵抗オプション・レジスタ10	ポート	517
PU11	プルアップ抵抗オプション・レジスタ11	ポート	521
RTBH	リアルタイム出力バッファ・レジスタH	RTO	479
RTBL	リアルタイム出力バッファ・レジスタL	RTO	479
RTPC	リアルタイム出力ポート・コントロール・レジスタ	RTO	481
RTPM	リアルタイム出力ポート・モード・レジスタ	RTO	480
RX0	受信シフト・レジスタ0	UART	410
RX1	受信シフト・レジスタ1	UART	410
RXB0	受信バッファ・レジスタ0	UART	410
RXB1	受信バッファ・レジスタ1	UART	410
SAR	IEBusスレーブ・アドレス・レジスタ	IEBus	576
SCR	IEBus通信成功カウンタ	IEBus	593
SERIC0	割り込み制御レジスタ	INTC	165-167
SERIC1	割り込み制御レジスタ	INTC	165-167
SIO0	シリアルI/Oシフト・レジスタ0	CSI	277
SIO1	シリアルI/Oシフト・レジスタ1	CSI	277
SIO2	シリアルI/Oシフト・レジスタ2	CSI	277
SIO3	シリアルI/Oシフト・レジスタ3	CSI	277
SIO4	可変長シリアルI/Oシフト・レジスタ4	CSI	430
SSR	IEBusスレーブ・ステータス・レジスタ	IEBus	592
STIC0	割り込み制御レジスタ	INTC	165-167
STIC1	割り込み制御レジスタ	INTC	165-167
SVA0	スレーブ・アドレス・レジスタ0	I ² C	300, 362
SVA1	スレーブ・アドレス・レジスタ1	I ² C	300, 362
SYC	システム制御レジスタ	CG	132
SYS	システム・ステータス・レジスタ	CG	129
TCL20	タイマ・クロック選択レジスタ20	タイマ	245
TCL21	タイマ・クロック選択レジスタ21	タイマ	245
TCL30	タイマ・クロック選択レジスタ30	タイマ	245
TCL31	タイマ・クロック選択レジスタ31	タイマ	245
TCL40	タイマ・クロック選択レジスタ40	タイマ	245
TCL41	タイマ・クロック選択レジスタ41	タイマ	245
TCL50	タイマ・クロック選択レジスタ50	タイマ	245
TCL51	タイマ・クロック選択レジスタ51	タイマ	245
TCL60	タイマ・クロック選択レジスタ60	タイマ	245
TCL61	タイマ・クロック選択レジスタ61	タイマ	245
TCL70	タイマ・クロック選択レジスタ70	タイマ	245
TCL71	タイマ・クロック選択レジスタ71	タイマ	245
TM0	16ビット・タイマ・レジスタ0	タイマ	206
TM1	16ビット・タイマ・レジスタ1	タイマ	206

略号	名称	ユニット	ページ
TM2	8ビット・カウンタ2	タイマ	243
TM23	16ビット・カウンタ23 (TM2, TM3カスケード接続時のみ)	タイマ	258
TM3	8ビット・カウンタ3	タイマ	243
TM4	8ビット・カウンタ4	タイマ	243
TM45	16ビット・カウンタ45 (TM4, TM5カスケード接続時のみ)	タイマ	258
TM5	8ビット・カウンタ5	タイマ	243
TM6	8ビット・カウンタ6	タイマ	243
TM67	16ビット・カウンタ67 (TM6, TM7カスケード接続時のみ)	タイマ	258
TM7	8ビット・カウンタ7	タイマ	243
TMC0	16ビット・タイマ・モード・コントロール・レジスタ0	タイマ	209
TMC1	16ビット・タイマ・モード・コントロール・レジスタ1	タイマ	209
TMC2	8ビット・タイマ・モード・コントロール・レジスタ2	タイマ	248
TMC3	8ビット・タイマ・モード・コントロール・レジスタ3	タイマ	248
TMC4	8ビット・タイマ・モード・コントロール・レジスタ4	タイマ	248
TMC5	8ビット・タイマ・モード・コントロール・レジスタ5	タイマ	248
TMC6	8ビット・タイマ・モード・コントロール・レジスタ6	タイマ	248
TMC7	8ビット・タイマ・モード・コントロール・レジスタ7	タイマ	248
TMIC00	割り込み制御レジスタ	INTC	165-167
TMIC01	割り込み制御レジスタ	INTC	165-167
TMIC10	割り込み制御レジスタ	INTC	165-167
TMIC11	割り込み制御レジスタ	INTC	165-167
TMIC2	割り込み制御レジスタ	INTC	165-167
TMIC3	割り込み制御レジスタ	INTC	165-167
TMIC4	割り込み制御レジスタ	INTC	165-167
TMIC5	割り込み制御レジスタ	INTC	165-167
TMIC6	割り込み制御レジスタ	INTC	165-167
TMIC7	割り込み制御レジスタ	INTC	165-167
TOC0	16ビット・タイマ出力コントロール・レジスタ0	RPU	212
TOC1	16ビット・タイマ出力コントロール・レジスタ1	RPU	212
TXS0	送信シフト・レジスタ0	UART	410
TXS1	送信シフト・レジスタ1	UART	410
UAR	IEBus自局アドレス・レジスタ	IEBus	576
USR	IEBusユニット・ステータス・レジスタ	IEBus	584
WDCS	ウォッチドッグ・タイマ・クロック選択レジスタ	WDT	271
WDTIC	割り込み制御レジスタ	INTC	165-167
WDTM	ウォッチドッグ・タイマ・モード・レジスタ	WDT	170, 272
WTNCS	時計用タイマ・クロック選択レジスタ	WT	265
WTNHC	時計用タイマ高速クロック選択レジスタ	WT	264
WTNIC	割り込み制御レジスタ	INTC	165-167
WTNIIC	割り込み制御レジスタ	INTC	165-167
WTNM	時計用タイマ・モード・コントロール・レジスタ	WT	263

付録C 命令セット一覧

・命令セット一覧表の読み方



表C - 1 オペランド記述に使われる略号

略号	説明
reg1	汎用レジスタ (r0-r31) : ソース・レジスタとして使用する。
reg2	汎用レジスタ (r0-r31) : おもにデスティネーション・レジスタとして使用する。
ep	エレメント・ポインタ (r30)
bit#3	ビット・ナンバ指定用3ビット・データ
imm x	xビット・イミューディエト
disp x	xビット・ディスプレイスメント
regID	システム・レジスタ番号
vector	トラップ・ベクタ (00H-1FH) を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ

表C-2 オペコード欄に使われる略号

略号	意味
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
d	ディスプレースメントの1ビット分データ
i	イミディエートの1ビット分データ
cccc	条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定3ビット・データ

表C-3 オペレーション欄に使われる略号

略号	意味
	代入
GR[]	汎用レジスタ
SR[]	システム・レジスタ
zero-extend (n)	nをワード長までゼロ拡張する。
sign-extend (n)	nをワード長まで符号拡張する。
load-memory (a,b)	アドレスaから、サイズbのデータを読み出す。
store-memory (a,b,c)	アドレスaに、データbをサイズcで書き込む。
load-memory-bit (a,b)	アドレスaのビットbを読み出す。
store-memory-bit (a,b,c)	アドレスaのビットbにcを書き込む。
saturated (n)	nの飽和处理を行う (nは2の補数)。 nが計算の結果、 n 7FFFFFFFHとなった場合、7FFFFFFFHとする。 n 80000000Hとなった場合、80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト (8ビット)
Halfword	ハーフワード (16ビット)
Word	ワード (32ビット)
+	加算
-	減算
	ビット連結
×	乗算
÷	除算
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

表C - 4 フラグの動作

識別子	説 明
(ブランク)	変化なし
0	0にクリア
x	結果に従ってセットまたはクリアされる
R	以前に退避した値がリストアされる

表C - 5 条件コード

条件名 (cond)	条件コード (cccc)	条 件 式	説 明
V	0000	$OV = 1$	Overflow
NV	1000	$OV = 0$	No overflow
C/L	0001	$CY = 1$	Carry Lower (Less than)
NC/NL	1001	$CY = 0$	No carry No lower (Greater than or equal)
Z/E	0010	$Z = 1$	Zero Equal
NZ/NE	1010	$Z = 0$	Not zero Not equal
NH	0011	$(CY OR Z) = 1$	Not higher (Less than or equal)
H	1011	$(CY OR Z) = 0$	Higher (Greater than)
N	0100	$S = 1$	Negative
P	1100	$S = 0$	Positive
T	0101	-	Always (無条件)
SA	1101	$SAT = 1$	Saturated
LT	0110	$(S XOR OV) = 1$	Less than signed
GE	1110	$(S XOR OV) = 0$	Greater than or equal signed
LE	0111	$((S XOR OV) OR Z) = 1$	Less than or equal signed
GT	1111	$((S XOR OV) OR Z) = 0$	Greater than signed

命令セット一覧表

命令群	ニモニック	オペランド	オペコード	オペレーション	フラグ				
					CY	OV	S	Z	SAT
ロード/ストア命令	SLD.B	disp7[ep], reg2	rrrrr0110ddddddd	adr ep + zero-extend(disp7) GR[reg2] sign-extend(Load-memory(adr, Byte))					
	SLD.H	disp8[ep], reg2	rrrrr1000ddddddd 注1	adr ep + zero-extend(disp8) GR[reg2]←sign-extend(Load-memory(adr, Halfword))					
	SLD.W	disp8[ep], reg2	rrrrr1010ddddddd0 注2	adr ep + zero-extend(disp8) GR[reg2] Load-memory(adr, Word)					
	LD.B	disp16[reg1], reg2	rrrrr111000RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend(disp16) GR[reg2] sign-extend(Load-memory(adr, Byte))					
	LD.H	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd0 注3	adr GR[reg1] + sign-extend(disp16) GR[reg2]←sign-extend(Load-memory(adr, Halfword))					
	LD.W	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend(disp16) GR[reg2] Load-memory(adr, Word)					
	SST.B	reg2, disp7[ep]	rrrrr0111ddddddd	adr ep + zero-extend(disp7) Store-memory(adr, GR[reg2], Byte)					
	SST.H	reg2, disp8[ep]	rrrrr1001ddddddd 注1	adr ep + zero-extend(disp8) Store-memory(adr, GR[reg2], Halfword)					
	SST.W	reg2, disp8[ep]	rrrrr1010ddddddd1 注2	adr ep + zero-extend(disp8) Store-memory(adr, GR[reg2], Word)					
	ST.B	reg2, disp16[reg1]	rrrrr111010RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend(disp16) Store-memory(adr, GR[reg2], Byte)					
	ST.H	reg2, disp16[reg1]	rrrrr111011RRRRR ddddddddddddddd0 注3	adr GR[reg1] + sign-extend(disp16) Store-memory(adr, GR[reg2], Halfword)					
	ST.W	reg2, disp16[reg1]	rrrrr111011RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend(disp16) Store-memory(adr, GR[reg2], Word)					
算術演算命令	MOV	reg1, reg2	rrrrr000000RRRRR	GR[reg2] GR[reg1]					
	MOV	imm5, reg2	rrrrr010000iiii	GR[reg2] sign-extend(imm5)					
	MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + (imm16 0 ¹⁶)					
	MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend(imm16)					
	ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2] GR[reg2] + GR[reg1]	x	x	x	x	
	ADD	imm5, reg2	rrrrr010010iiii	GR[reg2] GR[reg2] + sign-extend(imm5)	x	x	x	x	
	ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend(imm16)	x	x	x	x	
	SUB	reg1, reg2	rrrrr001101RRRRR	GR[reg2] GR[reg2] - GR[reg1]	x	x	x	x	
SUBR	reg1, reg2	rrrrr001100RRRRR	GR[reg2] GR[reg1] - GR[reg2]	x	x	x	x		

注1. ddddddd = disp8の上位7ビット

2. ddddddd = disp8の上位6ビット

3. ddddddddddddddd = disp16の上位15ビット

命令群	二モニック	オペランド	オペコード	オペレーション	フラグ				
					CY	OV	S	Z	SAT
算術演算命令	MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2] GR[reg2] ^注 × GR[reg1] ^注 (符号付き乗算)					
	MULH	imm5, reg2	rrrrr010111iiii	GR[reg2] GR[reg2] ^注 × sign-extend(imm5) (符号付き乗算)					
	MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] ^注 × imm16 (符号付き乗算)					
	DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2]←GR[reg2]÷GR[reg1] ^注 (符号付き除算)		x	x	x	
	CMP	reg1, reg2	rrrrr001111RRRRR	result GR[reg2] - GR[reg1]	x	x	x	x	
	CMP	imm5, reg2	rrrrr010011iiii	result GR[reg2] - sign-extend(imm5)	x	x	x	x	
	SETF	cccc, reg2	rrrrr1111110cccc 0000000000000000	if conditions are satisfied then GR[reg2] 00000001H else GR[reg2] 00000000H					
飽和演算命令	SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2] saturated(GR[reg2] + GR[reg1])	x	x	x	x	x
	SATADD	imm5, reg2	rrrrr010001iiii	GR[reg2]←saturated(GR[reg2] + sign-extend(imm5))	x	x	x	x	x
	SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2] saturated(GR[reg2] - GR[reg1])	x	x	x	x	x
	SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2]←saturated(GR[reg1] - sign-extend(imm16))	x	x	x	x	x
	SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2] saturated(GR[reg1] - GR[reg2])	x	x	x	x	x
論理演算命令	TST	reg1, reg2	rrrrr001011RRRRR	result GR[reg2]AND GR[reg1]		0	x	x	
	OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2] GR[reg2]OR GR[reg1]		0	x	x	
	ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1]OR zero-extend(imm16)		0	x	x	
	AND	reg1, reg2	rrrrr001010RRRRR	GR[reg2] GR[reg2]AND GR[reg1]		0	x	x	
	ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1]AND zero-extend(imm16)		0	0	x	
	XOR	reg1, reg2	rrrrr001001RRRRR	GR[reg2] GR[reg2]XOR GR[reg1]		0	x	x	
	XORI	imm16, reg1, reg2	rrrrr110101RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1]XOR zero-extend(imm16)		0	x	x	
	NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2] NOT(GR[reg1])		0	x	x	
	SHL	reg1, reg2	rrrrr111111RRRRR 0000000011000000	GR[reg2] GR[reg2]logically shift left by GR[reg1]	x	0	x	x	
	SHL	imm5, reg2	rrrrr010110iiii	GR[reg2] GR[reg2]logically shift left by zero-extend(imm5)	x	0	x	x	
	SHR	reg1, reg2	rrrrr111111RRRRR 0000000010000000	GR[reg2] GR[reg2]logically shift right by GR[reg1]	x	0	x	x	
	SHR	imm5, reg2	rrrrr010100iiii	GR[reg2] GR[reg2]logically shift right by zero-extend(imm5)	x	0	x	x	
	SAR	reg1, reg2	rrrrr111111RRRRR 0000000010100000	GR[reg2] GR[reg2]arithmetically shift right by GR[reg1]	x	0	x	x	
SAR	imm5, reg2	rrrrr010101iiii	GR[reg2] GR[reg2]arithmetically shift right by zero-extend(imm5)	x	0	x	x		

注 下位ハーフワード・データのみ有効

命令群	二モニック	オペランド	オペコード	オペレーション	フラグ				
					CY	OV	S	Z	SAT
分岐命令	JMP	[reg1]	00000000011RRRRR	PC GR[reg1]					
	JR	disp22	0000011110dddddd ddddddddddddddd0 注1	PC PC + sign-extend(disp22)					
	JARL	disp22, reg2	rrrrr11110dddddd ddddddddddddddd0 注1	GR[reg2] PC + 4 PC PC + sign-extend(disp22)					
	Bcond	disp9	dddd1011ddcccc 注2	if conditions are satisfied then PC PC + sign-extend(disp9)					
ビット操作命令	SET1	bit#3, disp16[reg1]	00bbb11110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend(disp16) Zフラグ Not(Load-memory-bit(adr, bit#3)) Store-memory-bit(adr, bit#3, 1)				×	
	CLR1	bit#3, disp16[reg1]	10bbb11110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend(disp16) Zフラグ Not(Load-memory-bit(adr, bit#3)) Store-memory-bit(adr, bit#3, 0)				×	
	NOT1	bit#3, disp16[reg1]	01bbb11110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend(disp16) Zフラグ Not(Load-memory-bit(adr, bit#3)) Store-memory-bit(adr, bit#3, Zフラグ)				×	
	TST1	bit#3, disp16[reg1]	11bbb11110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend(disp16) Zフラグ Not(Load-memory-bit(adr, bit#3))				×	

注1. ddddddddddddddddddd = disp22の上位21ビット

2. ddddddd = disp9の上位8ビット

命令群	二モニック	オペランド	オペコード	オペレーション	フラグ					
					CY	OV	S	Z	SAT	
特殊命令	LDSR	reg2, regID	rrrrr111111RRRRR 0000000000100000 注	SR[regID] GR[reg2] regID = EIPC, FEPC regID = EIPSW, FEPSW regID = PSW						
	STSR	regID, reg2	rrrrr111111RRRRR 0000000000100000	GR[reg2] SR[regID]						
	TRAP	vector	000001111111iiii 0000000010000000	EIPC PC+4 (復帰PC) EIPSW PSW ECR.EICC 割り込みコード PSW.EP 1 PSW.ID 1 PC 00000040H (vectorが00H-0FHのとき) 00000050H (vectorが10H-1FHのとき)						
	RETI		0000011111100000 0000000010100000	if PSW.EP = 1 then PC EIPC PSW EIPSW else if PSW.NP = 1 then PC FEPC PSW FEPSW else PC EIPC PSW EIPSW	R	R	R	R	R	
	HALT		0000011111100000 0000000010010000	停止する						
	DI		0000011111100000 0000000010110000	PSW.ID 1 (マスカブル割り込みの禁止)						
	EI		1000011111100000 0000000010110000	PSW.ID 0 (マスカブル割り込みの許可)						
	NOP		0000000000000000	何もせず最低1クロック費やします						

注 本命令では、二モニックの記述の都合上、ソース・レジスタをreg2としていますが、オペコード上はreg1のフィールドを使用しています。したがって、二モニック記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。

rrrrr = regID指定 RRRRR = reg2指定

D.1 50音で始まる語句の索引

【あ】

- アービトレーション ... 329, 391
- アイドル・ステート挿入機能 ... 138
- アクセス・クロック数 ... 132
- アシンクロナス・シリアル・インタフェース
... 409
- アシンクロナス・シリアル・インタフェース・ステ
ータス・レジスタ0,1 ... 413
- アシンクロナス・シリアル・インタフェース・モー
ド・レジスタ0,1 ... 412
- アドレス空間 ... 104
- アドレス空間の推奨使用方法 ... 119
- アドレスの一致検出方法 ... 328, 390
- アナログ入力チャネル指定レジスタ ... 446

【い】

- イメージ ... 105
- インサービス・プライオリティ・レジスタ ... 168
- インターバル・タイマ・モード ... 269

【う】

- ウエイク・アップ機能 ... 330, 392
- ウエイク・アップ制御回路 ... 287, 347
- ウエイト機能 ... 136
- ウォッチドッグ・タイマ機能 ... 268
- ウォッチドッグ・タイマ・クロック選択レジスタ
... 271
- ウォッチドッグ・タイマ・モード ... 269
- ウォッチドッグ・タイマ・モード・レジスタ
... 170, 272

【え】

- エラーの検出 ... 328, 390

【お】

- 応答時間 ... 180

- オフボード・プログラミング ... 537
- オンボード・プログラミング ... 537

【か】

- 外部ウエイト機能 ... 137
- 外部拡張モード ... 116
- 外部メモリ ... 114
- 拡張コード ... 328, 390
- 可変長シリアルI/Oシフト・レジスタ4 ... 430
- 可変長シリアル制御レジスタ4 ... 432
- 可変長シリアル設定レジスタ4 ... 433

【き】

- キー・リターン・モード・レジスタ ... 184
- キー割り込み機能 ... 184
- キャプチャ/コンペア・コントロール・レジスタ0,1
... 211
- 境界動作条件 ... 148

【く】

- クロック・ジェネレータ ... 43, 53, 63, 73
- クロック出力機能 ... 187
- クロック発生機能 ... 186

【こ】

- コマンド・レジスタ ... 129
- コレクション・アドレス・レジスタ0-3 ... 532
- コレクション・コントロール・レジスタ ... 530
- コレクション要求レジスタ ... 531

【さ】

- サブクロック発振回路 ... 186
- サンプリング時間 ... 461

【し】

システム・ステータス・レジスタ ... 129
 システム制御レジスタ ... 132
 システム・レジスタ・セット ... 100
 周辺I/Oレジスタ ... 121
 受信シフト・レジスタ0,1 ... 410
 受信バッファ・レジスタ0,1 ... 410
 シリアルI/Oシフト・レジスタ0-3 ... 277
 シリアル・インタフェース機能 ... 276
 シリアル・クロック・カウンタ ... 287, 347
 シリアル・クロック選択レジスタ0-3 ... 279
 シリアル動作モード・レジスタ0-3 ... 279
 シングルチップ・モード ... 103

【す】

スタート・コンディション ... 302, 364
 スタンバイ機能 ... 428
 ストップ・コンディション ... 306, 368
 スレーブ・アドレス・レジスタ0,1 ... 300, 362

【せ】

積分直線性誤差 ... 460
 絶対最大定格 ... 611
 ゼロスケール誤差 ... 459

【そ】

総合誤差 ... 457
 送信シフト・レジスタ0,1 ... 410
 ソフトウェアSTOPモード ... 192
 ソフトウェア・スタート ... 441
 ソフトウェア例外 ... 173

【た】

タイマ/カウンタ機能 ... 204
 タイマ・クロック選択レジスタ20-70 ... 245
 タイマ・クロック選択レジスタ 21-71 ... 245
 多重割り込み ... 178
 立ち上がりエッジ指定レジスタ0 ... 157, 488
 立ち下がりエッジ指定レジスタ0 ... 157, 489
 端子機能 ... 75
 端子の入出力回路タイプ ... 93
 端子の入出力バッファ電源 ... 93
 端子の未使用時の処理 ... 93

【ち】

逐次変換レジスタ ... 442
 チャンネル制御部 ... 463

【つ】

通信コマンド ... 551
 通信方式 ... 543
 通信予約 ... 331, 393
 通常動作モード ... 103

【て】

低消費電力モード ... 453
 データ・ウェイト・コントロール・レジスタ ... 136
 転送終了割り込み要求 ... 462

【と】

動作モード ... 103
 特定レジスタ ... 128
 時計用タイマ機能 ... 261
 時計用タイマ・クロック選択レジスタ ... 265
 時計用タイマ高速クロック選択レジスタ ... 264
 時計用タイマ・モード・コントロール・レジスタ
 ... 263

【な】

内蔵RAM領域 ... 111
 内蔵ROM領域 ... 108
 内蔵周辺I/O領域 ... 113

【の】

ノイズ除去制御レジスタ ... 171
 ノンマスカブル割り込み ... 152

【は】

ハードウェア・スタート ... 441
 ハーフワード・アクセス ... 133
 バイト・アクセス ... 133
 バス・コントロール・ユニット ... 42, 52, 62, 72
 バス・サイクル・コントロール・レジスタ ... 138
 バス制御機能 ... 131
 バス制御端子 ... 131
 バス・タイミング ... 141

バスの優先順位 ... 148
 バス幅 ... 133
 バス・ホールド機能 ... 139
 発振安定時間選択レジスタ ... 191, 270
 発振安定時間の確保 ... 200
 パワー・セーブ機能 ... 192
 パワー・セーブ・コントロール・レジスタ ... 190
 汎用レジスタ ... 99
 半田付け推奨条件 ... 649

【ひ】

微分直線性誤差 ... 460

【ふ】

不正命令コード ... 175
 フラッシュ・メモリ ... 534
 フラッシュ・メモリ制御 ... 549
 フラッシュ・メモリ・プログラミング・モード
 ... 103, 550
 フラッシュ・ライターによる書き込み方法 ... 537
 プリスケアラ・モード・レジスタ0n ... 213
 プリスケアラ・モード・レジスタ1n ... 215
 ブルアップ抵抗オプション・レジスタ0 ... 488
 ブルアップ抵抗オプション・レジスタ1 ... 492
 ブルアップ抵抗オプション・レジスタ10 ... 517
 ブルアップ抵抗オプション・レジスタ11 ... 521
 ブルアップ抵抗オプション・レジスタ2 ... 498
 ブルアップ抵抗オプション・レジスタ3 ... 503
 フルスケール誤差 ... 459
 プログラマブル・ウェイト機能 ... 136
 プログラミング環境 ... 542
 プログラミング方法 ... 549
 プログラム・カウンタ ... 99
 プログラム・ステータス・ワード ... 101
 プログラム・レジスタ・セット ... 99
 プロセッサ・クロック・コントロール・レジスタ
 ... 188
 分解能 ... 457

【へ】

変換時間 ... 461

【ほ】

ポート ... 44, 54, 64, 74
 ポート0 ... 485
 ポート0モード・レジスタ ... 487
 ポート1 ... 491
 ポート10 ... 516
 ポート10ファンクション・レジスタ ... 518
 ポート10モード・レジスタ ... 517
 ポート11 ... 520
 ポート11モード・レジスタ ... 521
 ポート1ファンクション・レジスタ ... 493
 ポート1モード・レジスタ ... 492
 ポート2 ... 496
 ポート2ファンクション・レジスタ ... 498
 ポート2モード・レジスタ ... 497
 ポート3 ... 501
 ポート3ファンクション・レジスタ ... 503
 ポート3モード・レジスタ ... 502
 ポート4 ... 506
 ポート4モード・レジスタ ... 507
 ポート5 ... 506
 ポート5モード・レジスタ ... 507
 ポート6 ... 509
 ポート6モード・レジスタ ... 510
 ポート7 ... 511
 ポート8 ... 511
 ポート9 ... 513
 ポート9モード・レジスタ ... 514
 ポート兼用機能コントロール・レジスタ ... 522
 ボー・レート出力クロック選択レジスタ4 ... 435
 ボー・レート・ジェネレータ・コントロール・レジ
 スタ0, 1 ... 414
 ボー・レート・ジェネレータ・ソース・クロック選
 択レジスタ4 ... 434
 ボー・レート・ジェネレータ・モード・コントロー
 ル・レジスタn0, n1 ... 415

【ま】

マスカブル割り込み ... 158

【め】

- メイン・クロック発振回路 ... 186
- メモリ・アドレス出力モード・レジスタ ... 118
- メモリ拡張モード・レジスタ ... 117
- メモリ・ブロック機能 ... 135
- メモリ・マップ ... 107

【ゆ】

- 優先順位指定 ... 178

【り】

- リアルタイム出力機能 ... 477
- リアルタイム出力バッファ・レジスタH ... 479
- リアルタイム出力バッファ・レジスタL ... 479
- リアルタイム出力ポート・コントロール・レジスタ
... 481
- リアルタイム出力ポート・モード・レジスタ ... 480
- リセット機能 ... 527
- 量子化誤差 ... 458

【れ】

- 例外トラップ ... 175
- レギュレータ ... 528

【わ】

- ワード・アクセス ... 134
- 割り込みコントローラ ... 42, 52, 62, 72
- 割り込み時状態退避レジスタ ... 100
- 割り込み制御レジスタ ... 165
- 割り込み要因レジスタ ... 100
- 割り込み要求信号発生回路 ... 288, 348
- 割り込み / 例外処理機能 ... 149

D.2 数字, アルファベットで始まる語句の索引

【数字】

16ビット・カウンタ23 ... 258
 16ビット・カウンタ45 ... 258
 16ビット・カウンタ67 ... 258
 16ビット・キャプチャ/コンペア・レジスタn0
 ... 207
 16ビット・キャプチャ/コンペア・レジスタn1
 ... 208
 16ビット・コンペア・レジスタ23 ... 258
 16ビット・コンペア・レジスタ45 ... 258
 16ビット・コンペア・レジスタ67 ... 258
 16ビット・タイマ ... 204
 16ビット・タイマ出力コントロール・レジスタ0, 1
 ... 212
 16ビット・タイマ・モード・コントロール・レジスタ0, 1 ... 209
 16ビット・タイマ・レジスタ0, 1 ... 206
 3線式可変長シリアルI/O ... 429
 3線式シリアルI/O ... 276
 8ビット・カウンタ2-7 ... 243
 8ビット・コンペア・レジスタ2-7 ... 244
 8ビット・タイマ ... 241
 8ビット・タイマ・モード・コントロール・レジスタ2-7 ... 248

【A】

A1-A4 ... 91
 A13-A15 ... 85
 A16-A21 ... 87
 A5-A12 ... 90
 AC特性 ... 623
 AD0-AD7 ... 86
 AD8-AD15 ... 87
 ADCR ... 443
 ADCRH ... 443
 ADIC ... 165-167
 ADM1 ... 444
 ADM2 ... 446
 ADS ... 446
 ADTRG ... 83
 A/Dコンバータ ... 441

A/Dコンバータ特性表の読み方 ... 457
 A/Dコンバータ・モード・レジスタ1 ... 444
 A/Dコンバータ・モード・レジスタ2 ... 446
 A/D変換結果レジスタ ... 443
 A/D変換結果レジスタH ... 443
 ANI0-ANI11 ... 88
 ASCK0 ... 84
 ASCK1 ... 85
 ASIM0, ASIM1 ... 412
 ASIS0, ASIS1 ... 413
 ASTB ... 89
 AV_{DD} ... 91
 AV_{REF} ... 91
 AV_{SS} ... 91

【B】

BCC ... 138
 BCR ... 573
 BCU ... 42, 52, 62, 72
 BRGC0, BRGC1 ... 414
 BRGCK4 ... 435
 BRGCN4 ... 434
 BRGMCn0, BRGMCn1 ... 415
 BV_{DD} ... 92
 BV_{SS} ... 92

【C】

CCR ... 594
 CDR ... 577
 CG ... 43, 53, 63, 73
 CLKOUT ... 91
 CORAD0-CORAD3 ... 532
 CORCN ... 530
 CORRQ ... 531
 CPU ... 42, 52, 62, 72
 CPUアドレス空間 ... 104
 CPUアドレス空間のラップ・アラウンド ... 106
 CPUレジスタ・セット ... 98
 CR20-CR70 ... 244
 CR23, CR45, CR67 ... 258
 CRC0, CRC1 ... 211

- CRn0 ... 207
 CRn1 ... 208
 CSIO-CSI3 ... 276
 CSI4 ... 429
 CSIB4 ... 433
 CSIC0-CSIC4 ... 165-167
 CSIM0-CSIM3 ... 279
 CSIM4 ... 432
 CSIS0-CSIS3 ... 279
- 【D】**
 DBC0-DBC5 ... 470
 DCHC0-DCHC5 ... 471
 DC特性 ... 617
 DIOA0-DIOA5 ... 464
 DLR ... 582
 DMAIC0-DMAIC5 ... 165-167
 DMAS ... 470
 DMA起動要因拡張レジスタ ... 470
 DMA機能 ... 462
 DMA周辺I/Oアドレス・レジスタ0-5 ... 464
 DMAチャンネル・コントロール・レジスタ0-5
 ... 471
 DMA転送要求制御部 ... 463
 DMA内蔵RAMアドレス・レジスタ0-5 ... 465
 DMAバイト・カウント・レジスタ0-5 ... 470
 DR ... 583
 DRA0-DRA5 ... 465
 $\overline{\text{DSTB}}$... 89
 DWC ... 136
- 【E】**
 ECR ... 100
 EGN0 ... 157, 489
 EGPO ... 157, 488
 EIPC ... 100
 EIPSW ... 100
 EPフラグ ... 175
 EV_{bd} ... 92
 EV_{ss} ... 92
- 【F】**
 FEPC ... 100
- FEPSW ... 100
- 【H】**
 HALTモード ... 192
 $\overline{\text{HLDK}}$... 89
 $\overline{\text{HLDRQ}}$... 89
- 【I】**
 I²Cバス ... 284, 344
 I²Cバス・モード ... 284, 344
 I²C割り込み要求 ... 309, 371
 IC ... 92
 IDフラグ ... 169
 IDLEモード ... 192
 IEBIC1 ... 165-167
 IEBIC2 ... 165-167
 IEBus相手先アドレス・レジスタ ... 577
 IEBusインタラプト・ステータス・レジスタ
 ... 587
 IEBusクロック選択レジスタ ... 594
 IEBus高速クロック選択レジスタ ... 595
 IEBusコントローラ ... 553
 IEBusコントロール・データ・レジスタ ... 577
 IEBusコントロール・レジスタ ... 573
 IEBus自局アドレス・レジスタ ... 576
 IEBusスレーブ・アドレス・レジスタ ... 576
 IEBusスレーブ・ステータス・レジスタ ... 592
 IEBus通信成功カウンタ ... 593
 IEBusデータ・レジスタ ... 583
 IEBus伝送カウンタ ... 594
 IEBus電文長レジスタ ... 582
 IEBusユニット・ステータス・レジスタ ... 584
 IECLK ... 594
 IEHCLK ... 595
 $\overline{\text{IERX}}$... 90
 $\overline{\text{IETX}}$... 90
 IIC0, IIC1 ... 300, 362
 IICC0, IICC1 ... 289, 349
 IICCE0, IICCE1 ... 298, 360
 IICCL0, IICCL1 ... 297, 359
 IICF0, IICF1 ... 357
 IICIC1 ... 165-167
 IICS0, IICS1 ... 294, 354

IICX0, IICX1 ...	298, 360	P20-P27 ...	84
IIC機能拡張レジスタ0, 1 ...	298, 360	P3 ...	501
IICクロック拡張レジスタ0, 1 ...	298, 360	P30-P37 ...	85
IICクロック選択レジスタ0, 1 ...	297, 359	P4 ...	506
IICコントロール・レジスタ0, 1 ...	289, 349	P40-P47 ...	86
IICシフト・レジスタ0, 1 ...	300, 362	P5 ...	506
IIC状態レジスタ0, 1 ...	294, 354	P50-P57 ...	86
IICフラグ・レジスタ0, 1 ...	357	P6 ...	509
INTC ...	42, 52, 62, 72	P60-P65 ...	87
INTP0-INTP6 ...	83	P7 ...	511
ISPR ...	168	P70-P77 ...	87
ISR ...	587	P8 ...	511
		P80-P83 ...	87
【K】		P9 ...	513
KR0-KR7 ...	90	P90-P96 ...	88
KRIC ...	165-167	PAC ...	522
KRM ...	184	PAR ...	577
		PCC ...	188
【L】		PF1 ...	493
LBEN ...	88	PF10 ...	518
		PF2 ...	498
【M】		PF3 ...	503
MAM ...	118	PIC0-PIC6 ...	165-167
MM ...	117	PM0 ...	487
		PM1 ...	492
【N】		PM10 ...	517
NCC ...	171	PM11 ...	521
NMI ...	83	PM2 ...	497
NMI時状態退避レジスタ ...	100	PM3 ...	502
		PM4 ...	507
【O】		PM5 ...	507
OSTS ...	191, 270	PM6 ...	510
		PM9 ...	514
【P】		PRCMD ...	129
P0 ...	486	PRM0n ...	213
P00-P07 ...	83	PRM1n ...	215
P1 ...	491	PSC ...	190
P10 ...	516	PSW ...	101
P10-P15 ...	83	PU0 ...	488
P100-P107 ...	90	PU1 ...	492
P11 ...	520	PU10 ...	517
P110-P113 ...	90	PU11 ...	521
P2 ...	496	PU2 ...	498

- PU3 ... 503
- 【R】**
- RAM ... 42, 52, 62, 72
- $\overline{\text{RD}}$... 89
- REGC ... 91
- $\overline{\text{RESET}}$... 91
- ROM ... 42, 52, 62, 72
- ROMコレクション機能 ... 529
- RTBH ... 479
- RTBL ... 479
- RTO ... 477
- RTP ... 44, 54, 64, 74
- RTP0-RTP7 ... 90
- RTPC ... 481
- RTPM ... 480
- RTPTRG ... 83
- $\overline{\text{R/W}}$... 89
- RX0, RX1 ... 410
- RXB0, RXB1 ... 410
- RXD0 ... 84
- RXD1 ... 85
- 【S】**
- SAR ... 576
- $\overline{\text{SCK0}}, \overline{\text{SCK1}}$... 84
- $\overline{\text{SCK2}}, \overline{\text{SCK3}}$... 84
- $\overline{\text{SCK4}}$... 86
- SCL0 ... 84
- SCL1 ... 85
- SCR ... 593
- SDA0 ... 84
- SDA1 ... 85
- SERIC0, SERIC1 ... 165-167
- SI0, SI1 ... 83
- SI2, SI3 ... 84
- SI4 ... 86
- SIO0-SIO3 ... 277
- SIO4 ... 430
- SO0, SO1 ... 84
- SO2, SO3 ... 84
- SO4 ... 86
- SOラッチ ... 287, 347
- SSR ... 592
- STIC0, STIC1 ... 165-167
- SVA0, SVA1 ... 300, 362
- SYC ... 132
- SYS ... 129
- 【T】**
- TCL20-TCL70 ... 245
- TCL21-TCL71 ... 245
- TI00, TI01, TI10, TI11, TI4, TI5 ... 85
- TI2, TI3 ... 85
- TM0, TM1 ... 206
- TM2-TM7 ... 243
- TM23, TM45, TM67 ... 258
- TMC0, TMC1 ... 209
- TMC2-TMC7 ... 248
- TMIC00 ... 165-167
- TMIC01 ... 165-167
- TMIC10 ... 165-167
- TMIC11 ... 165-167
- TMIC2-TMIC7 ... 165-167
- TO0, TO1, TO4, TO5 ... 85
- TO2, TO3 ... 85
- TOC0, TOC1 ... 212
- TXD0 ... 84
- TXD1 ... 85
- TXS0, TXS1 ... 410
- 【U】**
- UAR ... 576
- UART0, UART1 ... 409
- $\overline{\text{UBEN}}$... 88
- USR ... 584
- 【V】**
- V850/SB1 ... 35, 45
- V850/SB2 ... 55, 65
- V_{DD} ... 92
- V_{PP} ... 92
- V_{SS} ... 92
- 【W】**
- $\overline{\text{WAIT}}$... 91

WDCS ... 271
WDTIC ... 165-167
WDTM ... 170, 272
WRH ... 89
WRL ... 89
WTNCS ... 265
WTNHC ... 264
WTNIC ... 165-167
WTNIIC ... 165-167
WTNM ... 263

【X】

X1 ... 91
X2 ... 91
XT1 ... 91
XT2 ... 91

付録E 改版履歴

これまでの改版履歴を次に示します。なお，適用箇所は各版での章を示します。

(1/5)

箇所	内容	適応箇所
第4版	1. 2. 3 オーダ情報 (V850/SB1) を修正	第1章 インTRODクシヨ
	1. 3. 3 オーダ情報 (V850/SB2) を修正	
	2. 3 (5) P40-P47 (Port4) 記述を修正	第2章 端子機能
	2. 3 (6) P50-P57 (Port5) 記述を修正	
	2. 3 (7) P60-P65 (Port6) 記述を修正	
	2. 3 (9) P90-P96 (Port9) 記述を修正	
	2. 3 (11) (b) (ii) WAIT (Wait) 注意を修正	
	2. 3 (14) CLKOUT (Clock Out) を追加	
	5. 8 (1) EI命令後の割り込み処理受け付けについてを追加	
	6. 6 パワー・セーブ機能を追加	第6章 クロック発生機能
	7. 1. 3 (2) キャプチャ/コンペア・レジスタn0 (CR00, CR10) 注意を修正	第7章 タイマ/カウンタ機能
	7. 1. 3 (3) キャプチャ/コンペア・レジスタn1 (CR01, CR11) 注意を修正	
	図7-34 キャプチャ・レジスタのデータ保持タイミングを修正	
	7. 2. 7 (6) (c) ワンショット・パルス出力機能についてを追加	第11章 A/Dコンバータ
	図11-2 A/Dコンバータ・モード・レジスタ1 (ADM1) を修正	
	11. 5 低消費電力モード 記述を追加	
	第18章 フラッシュ・メモリ 注意を追加	第18章 フラッシュ・メモリ
	表19-5 コントロール・フィールドのアクノリッジ信号出力条件を追加	第19章 IEBusコントローラ (V850/SB2)
	19. 1. 8 ビット・フォーマット 記述を追加	
	19. 3. 2 (1) (a) 通信許可フラグ (ENIEBUS) 注意を修正	
	図19-18 ロック状態中のINTIE2割り込み発生タイミング (, の場合) 注を追加	
	19. 3. 2 (6) IEBus電文長レジスタ (DLR) 備考を追加	
	19. 3. 2 (7) IEBusデータ・レジスタ (DR) 備考を追加	
	19. 3. 2 (7) (a) 送信ユニット時 記述を追加	
	19. 3. 2 (8) (a) スレーブ要求フラグ (SLVRQ) 記述を修正	
	19. 3. 2 (8) (b) 競合結果フラグ (ARBIT) 注意を追加	
	19. 3. 2 (8) (e) ロック状態フラグ (LOCK) 注意の記述を追加	
	表19-8 ISRレジスタの各フラグのリセット条件を追加	
	19. 4. 3 通信エラー要因処理一覧を追加	
	図19-34 マスタ送信 (割り込み発生間隔) を修正	
	図19-35 マスタ受信 (割り込み発生間隔) を修正	
	図19-36 スレーブ送信 (割り込み発生間隔) を修正	
	図19-37 スレーブ受信 (割り込み発生間隔) を修正	

箇所	内容	適応箇所
第5版	・対象製品に次の製品を追加 μ PD703030B, 703030BY, 703031B, 703031BY, 703032B, 703032BY, 703033B, 703033BY, 703034B, 703034BY, 703035B, 703035BY, 703036H, 703036HY, 703037H, 703037HY, 70F3030B, 70F3030BY, 70F3032B, 70F3032BY, 70F3033B, 70F3033BY, 70F3035B, 70F3035BY, 70F3036H, 70F3036HY, 70F3037H, 70F3037HY	全般
	表2-3 動作モードによる各端子の動作状態 記述を変更, 注を追加	第2章 端子機能
	2.3(9)(b)(i) LBEN 記述を追加	
	2.4 端子の入出力回路タイプ, 入出力バッファ電源と未使用時の処理のP23入出力回路タイプの変更	
	3.2.2(2) プログラム・ステータス・ワード (PSW) の記述を変更, 注を追加	第3章 CPU機能
	3.4.5(2)(a) V850/SB1(μ PD703031B, 703031BY), V850/SB2(μ PD703034B, 703034BY) 追加	
	3.4.8 周辺I/Oレジスタ 注の変更, レジスタの追加	
	3.4.9 特定レジスタ [記述例] の記述変更	
	3.4.9 特定レジスタ 注意の記述変更	
	3.4.9 (2)(b) リセット条件 (PRERR = 0) 備考を追加	
	6.3.1(1) プロセッサ・クロック・コントロール・レジスタ (PCC) 注に記述を追加	第6章 クロック発生機能
	6.3.1(1)(b) サブクロック動作 メイン・クロック動作の設定例 記述を変更	
	6.3.1(2) パワー・セーブ・コントロール・レジスタ (PSC) 記述を変更, 注に記述を追加	
	表6-1 HALTモード時の動作状態 (2/2) 記述を追加	
	7.2.6 (2) 外部トリガによるワンショット・パルス出力 注意の記述を変更	第7章 タイマ / カウンタ機能
	7.2.7(6)(a) ソフトウェアによるワンショット・パルス出力 記述を変更	
	7.2.7(6)(b) 外部トリガによるワンショット・パルス出力 記述を変更	
	図8-1 時計用タイマのブロック図 レジスタを追加, 注意を追加	第8章 時計用タイマ機能
	表8-2 時計用タイマの構成 レジスタを追加, 注意を追加	
	8.3 時計用タイマ制御レジスタ 記述を追加, 注意を追加	
	8.3(2) 時計用タイマ高速クロック選択レジスタ (WTNHC) 追加	
	8.3(3) 時計用タイマ・クロック選択レジスタ (WTNCS) 記述を追加	
	10.2(2) 3線式シリアルI/Oモード (MSB先頭固定) 記述を追加	第10章 シリアル・インタフェース機能
	10.3.2(1) IICコントロール・レジスタ0, 1 (IICC0, IICC1) 注意の記述を変更	
	10.3.2(3) IICクロック選択レジスタ0, 1 (IICCL0, IICCL1) 注意を追加	
	10.4 I ² Cバス (B, H品) 追加	
	10.5.2(1) アシクロナス・シリアル・インタフェース・モード・レジスタ0, 1 (ASIM0, ASIM1) 注意に記述を追加	
	10.5.2(4) ポー・レート・ジェネレータ・モード・コントロール・レジスタn0, n1 (BRGMCn0, BRGMCn1) 注意に記述を追加	
	図10-45 ASIMnの設定 (動作停止モード) 注意に記述を追加	
	図10-46 ASIMnの設定 (アシクロナス・シリアル・インタフェース・モード) 注意に記述を追加	
	図10-49 BRGMCn0, BRGMCn1の設定 (アシクロナス・シリアル・インタフェース・モード) 注意に記述を追加	

箇所	内容	適応箇所
第5版	12.3.2(1)(a)V850/SB1(μ PD703031B, 703031BY), V850/SB2(μ PD703034B, 703034BY) 追加	第12章 DMA機能
	図12-10 DMAチャンネル・コントロール・レジスタ0-5(DCHC0-DCHC5) 注意を追加	
	表14-12 ポート端子を兼用端子として使用する場合の設定(1/3) 記述を追加	第14章 ポート機能
	14.4 ポート機能の動作 追加	
	18.1.1(2)V850/SB1(μ PD70F3030B, 70F3030BY), V850/SB2(μ PD70F3036H, 70F3036HY) 追加	第18章 フラッシュ・メモリ
	表19-5 コントロール・フィールドのアクノリッジ信号出力条件 記述を変更	第19章 IEBusコントローラ(V850/SB2)
	表19-7 IEBusコントローラの内部レジスタ一覧 レジスタを追加	
	19.3.2(13)IEBusクロック選択レジスタ(IECLK) 備考を追加	
	19.3.2(14)IEBus高速クロック選択レジスタ(IEHCLK) 追加	
第6版	対象製品から次の製品を削除 μ PD703030A, 703030AY, 703036A, 703036AY	全般
	1.5.1 最小命令実行時間 記述を追加	第1章 イントロダクション
	1.5.1 命令セット 記述を追加	
	表2-1 各端子の入出力バッファ電源 記述を追加	第2章 端子機能
	2.4 端子の入出力回路タイプ, 入出力バッファ電源と未使用時の処理 P33の記述を変更	
	3.1 最小命令実行時間 記述を追加	第3章 CPU機能
	3.4.9 特定レジスタ 記述を追加	
	4.2.2(1)システム制御レジスタ(SYC) 注, 注意の追加	第4章 バス制御機能
	5.3.3 マスカブル割り込みの優先順位 備考を追加	第5章 割り込み/例外処理機能
	5.3.4 割り込み制御レジスタ(XXICn) 注意を追加	
	5.3.5 インサース・プライオリティ・レジスタ(ISPR) 注意を追加	
	5.3.6 IDフラグ 備考を追加	
	5.6.2(2)サービス・プログラム中に例外を発生させる場合 備考を追加	
	5.8.1 EI命令後の割り込み要求有効タイミング 追加	
	5.9 DMA転送時の割り込み制御レジスタのビット操作命令 追加	
	6.3.1(1)プロセッサ・クロック・コントロール・レジスタ(PCC) 注意に記述を追加	
	6.3.1(2)パワー・セーブ・コントロール・レジスタ(PSC) 記述を変更, 注を変更	
	表6-1 HALTモード時の動作状態 記述を削除	
	表6-2 IDLEモード時の動作状態 記述を変更	
	6.4.4(1)設定および動作状態 記述を追加	
	表6-3 ソフトウェアSTOPモード時の動作状態 記述を変更	
	6.6(1)内蔵ROM上で命令を実行しているとき 追加	
	6.6(2)外部ROM上で命令を実行しているとき 追加	
	7.1.4(1)16ビット・タイマ・モード・コントロール・レジスタ0, 1(TMC0, TMC1) 注意に記述を追加	第7章 タイマ/カウンタ機能
	7.1.4(2)キャプチャ・コンペア・コントロール・レジスタ0, 1(CRC0, CRC1) 注意に記述を追加	

箇所	内容	適応箇所
第6版	図7-5(a)16ビット・タイマ・モード・コントロール・レジスタ0,1(TMC0,TMC1) 記述を変更	第7章 タイマ/カウンタ機能
	図7-6 PPG出力の構成図 追加	
	図7-7 PPG出力動作のタイミング 追加	
	図7-8(a)16ビット・タイマ・モード・コントロール・レジスタ0,1(TMC0,TMC1) 記述を変更	
	図7-11(a)16ビット・タイマ・モード・コントロール・レジスタ0,1(TMC0,TMC1) 記述を変更	
	図7-14(a)16ビット・タイマ・モード・コントロール・レジスタ0,1(TMC0,TMC1) 記述を変更	
	図7-17 リスタートによるパルス幅測定動作のタイミング(立ち上がりエッジ指定時) 記述の変更	
	図7-18(a)16ビット・タイマ・モード・コントロール・レジスタ0,1(TMC0,TMC1) 記述を変更	
	7.3.1 概要 追加	
	図7-32 インターバル・タイマ動作のタイミング(3/3) 記述の変更	
	図7-34 方形波出力動作のタイミング 備考に記述を追加	
	図7-35 PWM出力の動作のタイミング 備考に記述を追加	
	9.3(2) ウォッチドッグ・タイマ・クロック選択レジスタ(WDCS) 注意を追加	
	図10-46 ASIMnの設定(アシンクロナス・シリアル・インタフェース・モード) 注意の記述を変更	第10章 シリアル・インタフェース機能
	11.3(2) アナログ入力チャネル指定レジスタ(ADS) 注意を追加	第11章 A/Dコンバータ
	11.7 A/Dコンバータ特性表の読み方 追加	
	12.3 構成 追加	第12章 DMA機能
	12.5 動作 追加	
	12.6 注意事項 追加	
	13.2 特徴 追加	第13章 リアルタイム出力機能(RTO)
13.3(2) 出力ラッチ 追加		
13.5 使用方法 記述を追加		
13.7(3) 追加		
表14-1 各端子の入出力バッファ電源 記述を追加	第14章 ポート機能	
14.2.8(1) P9端子の機能 注意を追加		
14.2.9(1) P10端子の機能 注意を追加		
14.4.1(2) 入力モードの場合 注意の記述を変更		
16.1 概要 記述を追加	第16章 レギュレータ	
図16-1 レギュレータ 記述の追加		
図18-1 V850/SB1, V850/SB2フラッシュ書き込み用アダプタ(FA-100GC-8EU)の配線例 追加	第18章 フラッシュ・メモリ	
表18-1 V850/SB1, V850/SB2フラッシュ書き込み用アダプタ(FA-100GC-8EU)の配線表 追加		
図18-2 V850/SB1, V850/SB2フラッシュ書き込み用アダプタ(FA-100GF-3BA)の配線例 追加		

箇 所	内 容	適応箇所
第6版	表18-2 V850/SB1, V850/SB2フラッシュ書き込み用アダプタ (FA-100GF-3BA) の配線表 追加	第18章 フラッシュ・メモリ
	第20章 電気的特性 追加	第20章 電気的特性
	第21章 外形図 追加	第21章 外形図
	第22章 半田付け推奨条件 追加	第22章 半田付け推奨条件
	付録A ターゲット・システム設計上の注意 追加	付録A ターゲット・システム設計上の注意
	付録D 総合索引 追加	付録D 総合索引
	付録E 改版履歴 追加	付録E 改版履歴

[メモ]

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話：午前 9:00～12:00，午後 1:00～5:00)

電話 : 044-435-9494
FAX : 044-435-9608
E-mail : info@lsi.nec.co.jp

【営業関係お問い合わせ先】

システムLSI第一営業事業部

東京 (03)3798-6106, 6107, 6108, 6155
大阪 (06)6945-3178, 3200, 3208
名古屋 (052)222-2375
仙台 (022)267-8740
水戸 (029)226-1702
広島 (082)242-5504
鳥取 (0857)27-5313
松山 (089)945-4149

システムLSI第二営業事業部

東京 (03)3798-6110, 6111, 6112, 6151, 6156
名古屋 (052)222-2170, 2190
松本 (0263)35-1662
前橋 (027)243-6060
立川 (042)526-5981
静岡 (054)254-4794
金沢 (076)232-7303
福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【NECエレクトロニクス デバイス ホームページ】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.ic.nec.co.jp/>

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] V850/SB1, V850/SB2 ユーザーズ・マニュアル ハードウェア編
(U13850JJ6V0UD00 (第6版))

[お名前など] (さしつかえのない範囲で)

御社名(学校名, その他) ()
ご住所 ()
お電話番号 ()
お仕事の内容 ()
お名前 ()

1. ご評価(各欄に をご記入ください)

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他()					
()					

2. わかりやすい所(第 章, 第 章, 第 章, 第 章, その他)
理由 []

3. わかりにくい所(第 章, 第 章, 第 章, 第 章, その他)
理由 []

4. ご意見, ご要望

5. このドキュメントをお届けしたのは
NEC販売員, 特約店販売員, その他 ()

ご協力ありがとうございました。

下記あてにFAXで送信いただくか, 最寄りの販売員にコピーをお渡しください。

日本電気(株) NEC エレクトロニクス
半導体テクニカルホットライン
FAX : (044) 435-9608

2000.6