

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ユーザース・マニュアル

V850ES/HG2

32ビット・シングルチップ・マイクロコントローラ

ハードウェア編

μPD70F3706

μPD70F3707

資料番号 U17718JJ2V0UD00 (第2版)

発行年月 October 2006 N CP(K)

© NEC Electronics Corporation 2005

(メモ)

目次要約

第1章	イントロダクション	...	18
第2章	端子機能	...	27
第3章	CPU機能	...	46
第4章	ポート機能	...	82
第5章	クロック発生機能	...	161
第6章	16ビット・タイマ/イベント・カウンタP (TMP)	...	175
第7章	16ビット・タイマ/イベント・カウンタQ (TMQ)	...	270
第8章	16ビット・インターバル・タイマM (TMM)	...	378
第9章	時計タイマ機能	...	387
第10章	ウォッチドッグ・タイマ2機能	...	397
第11章	A/Dコンバータ	...	402
第12章	アシンクロナス・シリアル・インタフェースA (UARTA)	...	435
第13章	3線式可変長シリアルI/O (CSIB)	...	469
第14章	DMA機能 (DMAコントローラ)	...	517
第15章	割り込み/例外処理機能	...	539
第16章	キー割り込み機能	...	579
第17章	スタンバイ機能	...	581
第18章	リセット機能	...	602
第19章	クロック・モニタ	...	610
第20章	パワーオン・クリア回路	...	616
第21章	低電圧検出回路	...	618
第22章	レギュレータ	...	627
第23章	フラッシュ・メモリ	...	629
第24章	オプション・バイト機能	...	652
第25章	オンチップ・デバッグ機能	...	654
第26章	電気的特性	...	675
第27章	外形図	...	695
第28章	半田付け推奨条件	...	696
付録A	開発ツール	...	697
付録B	レジスタ索引	...	706
付録C	命令セット一覧	...	715
付録D	注意事項一覧	...	724
付録E	改版履歴	...	751

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力が入力ノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご注意ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

EEPROM, IECUBE, MINICUBE, AppliletはNECエレクトロニクス株式会社の登録商標です。

Windows, Windows XP, およびWindows NTは, 米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは, 米国IBM社の商標です。

SPARCstationは, 米国SPARC International, Inc.の商標です。

Solaris, SunOSは, 米国サン・マイクロシステムズ社の商標です。

TRONはThe Realtime Operating System Nucleusの略称です。

ITRONはIndustrial TRONの略称です。

- 本資料に記載されている内容は2006年9月現在のものです。今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

(1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

(2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

はじめに

- 対象者** このマニュアルは、V850ES/HG2の機能を理解し、それを用いた応用システムを設計するユーザを対象とします。
- 目的** このマニュアルは、次の構成に示すハードウェア機能をユーザに理解していただくことを目的としています。
- 構成** V850ES/HG2のユーザズ・マニュアルは、ハードウェア編（このマニュアル）と、アーキテクチャ編（V850ES ユーザズ・マニュアル アーキテクチャ編）の2冊に分かれています。

ハードウェア編

- ・端子機能
- ・CPU機能
- ・内蔵周辺機能
- ・フラッシュ・メモリ・プログラミング
- ・電気的特性

アーキテクチャ編

- ・データ・タイプ
- ・レジスタ・セット
- ・命令形式と命令セット
- ・割り込みと例外
- ・パイプラインの動作

- 読み方** このマニュアルの読者には、電気、論理回路、およびマイクロコンピュータに関する一般知識を必要とします。

一通りV850ES/HG2の機能を理解しようとするとき

目次に従ってお読みください。

レジスタ名がわかっていて、レジスタの詳細を確認するとき

付録B レジスタ索引を利用してください。

命令機能の詳細を理解しようとするとき

別冊のV850ES **ユーザズ・マニュアル アーキテクチャ編**を参照してください。

V850ES/HG2の電気的特性を知りたいとき

第26章 電気的特性を参照してください。

このマニュアルでは、「xxxレジスタのyyyビット」を「xxx.yyyビット」と表記しています。ただし、プログラムにそのまま「xxx.yyy」と記述しても、コンパイラ/アセンブラは正しく認識できませんので、注意してください。

本文欄外の 印は、本版で改訂された主な箇所を示しています。

この“ ”をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

- 凡 例** データ表記の重み：左が上位桁，右が下位桁
アクティブ・ロウの表記： \overline{xxx} （端子，信号名称に上線）
メモリ・マップのアドレス：上部 - 上位，下部 - 下位
注：本文中に付けた注の説明
注意：気を付けて読んでいただきたい内容
備考：本文の補足説明
数の表記：2進数 ... xxxxまたはxxxxB
10進数 ... xxxx
16進数 ... xxxxH
2のべき数を示す接頭語（アドレス空間，メモリ容量）：
K（キロ）： $2^{10} = 1024$
M（メガ）： $2^{20} = 1024^2$
G（ギガ）： $2^{30} = 1024^3$

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V850ES/HG2に関する資料

資料名	資料番号
V850ES ユーザーズ・マニュアル アーキテクチャ編	U15943J
V850ES/HG2 ユーザーズ・マニュアル ハードウェア編	このマニュアル

開発ツールに関する資料 (ユーザーズ・マニュアル)

資料名	資料番号	
QB-V850MINI オンチップ・デバッグ・エミュレータ	U17638J	
QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	U18371J	
CA850 Ver.3.00 Cコンパイラ・パッケージ	操作編	U17293J
	C言語編	U17291J
	アセンブリ言語編	U17292J
	リンク・ディレクティブ編	U17294J
PM+ Ver.6.20 プロジェクト・マネージャ	U17990J	
ID850QB Ver.3.20 統合デバッガ	操作編	U17964J
SM850 Ver.2.50 システム・シミュレータ	操作編	U16218J
SM850 Ver.2.00以上 システム・シミュレータ	外部部品ユーザ・オープン・インタフェース仕様編	U14873J
SM+ システム・シミュレータ	操作編	U17246J
	ユーザ・オープン・インタフェース編	U17247J
RX850 Ver.3.20 リアルタイムOS	基礎編	U13430J
	インストレーション編	U17419J
	テクニカル編	U13431J
	タスク・デバッガ編	U17420J
RX850 Pro Ver.3.20 リアルタイムOS	基礎編	U13773J
	インストレーション編	U17421J
	テクニカル編	U13772J
	タスク・デバッガ編	U17422J
AZ850 Ver.3.30 システム・パフォーマンス・アナライザ	U17423J	
PG-FP4 フラッシュ・メモリ・プログラマ	U15260J	

目 次

第1章	イントロダクション	... 18
1.1	概 説	... 18
1.2	特 徴	... 20
1.3	応用分野	... 21
1.4	オーダ情報	... 21
1.5	端子接続図 (Top View)	... 22
1.6	機能ブロック構成	... 24
1.6.1	内部ブロック図	... 24
1.6.2	内部ユニット	... 25
第2章	端子機能	... 27
2.1	端子機能一覧	... 27
2.2	端子機能の説明	... 33
2.3	端子の入出力回路タイプと未使用時の処理	... 42
2.4	端子の入出力回路	... 44
2.5	注意事項	... 45
第3章	CPU機能	... 46
3.1	特 徴	... 46
3.2	CPUレジスタ・セット	... 47
3.2.1	プログラム・レジスタ・セット	... 48
3.2.2	システム・レジスタ・セット	... 49
3.3	動作モード	... 55
3.3.1	動作モード指定	... 55
3.4	アドレス空間	... 56
3.4.1	CPUアドレス空間	... 56
3.4.2	CPUアドレス空間のラップ・アラウンド	... 57
3.4.3	メモリ・マップ	... 58
3.4.4	領 域	... 60
3.4.5	アドレス空間の推奨使用方法	... 63
3.4.6	周辺I/Oレジスタ	... 66
3.4.7	特定レジスタ	... 75
3.4.8	注意事項	... 79
第4章	ポート機能	... 82
4.1	特 徴	... 82
4.2	ポートの基本構成	... 82
4.3	ポートの機能	... 83
4.3.1	ポート機能の動作	... 83
4.3.2	ポート端子設定上の注意事項	... 84

4.3.3	ポート0	...	85
4.3.4	ポート1	...	90
4.3.5	ポート3	...	93
4.3.6	ポート4	...	100
4.3.7	ポート5	...	103
4.3.8	ポート7	...	110
4.3.9	ポート9	...	112
4.3.10	ポートCM	...	121
4.3.11	ポートCS	...	123
4.3.12	ポートCT	...	125
4.3.13	ポートDL	...	127
4.3.14	オンチップ・デバッグ用機能の兼用ポート端子	...	129
4.3.15	ポート端子を兼用端子として使用する場合のレジスタ設定	...	130
4.4	ブロック図	...	135
4.5	注意事項	...	160
4.5.1	ポート端子設定上の注意事項	...	160

第5章 クロック発生機能 ... 161

5.1	概要	...	161
5.2	構成	...	162
5.3	レジスタ	...	164
5.4	動作	...	169
5.4.1	各クロックの動作	...	169
5.4.2	クロック出力機能	...	169
5.5	PLL機能	...	170
5.5.1	概要	...	170
5.5.2	レジスタ	...	170
5.5.3	使用方法	...	174

第6章 16ビット・タイマ/イベント・カウンタP (TMP) ... 175

6.1	概要	...	175
6.2	機能	...	175
6.3	構成	...	176
6.4	レジスタ	...	178
6.5	動作	...	192
6.5.1	インターバル・タイマ・モード (TPnMD2-TPnMD0ビット = 000)	...	193
6.5.2	外部イベント・カウント・モード (TPnMD2-TPnMD0ビット = 001)	...	203
6.5.3	外部トリガ・パルス出力モード (TPnMD2-TPnMD0ビット = 010)	...	211
6.5.4	ワンショット・パルス出力モード (TPnMD2-TPnMD0ビット = 011)	...	223
6.5.5	PWM出力モード (TPnMD2-TPnMD0ビット = 100)	...	230
6.5.6	フリー・ランニング・タイマ・モード (TPnMD2-TPnMD0ビット = 101)	...	239
6.5.7	パルス幅測定モード (TPnMD2-TPnMD0ビット = 110)	...	256
6.5.8	タイマ出力動作説明	...	262
6.6	タイマ同調動作機能	...	263
6.7	セレクト機能	...	267
6.8	注意事項	...	269

第7章 16ビット・タイマ/イベント・カウンタQ (TMQ) ... 270

- 7.1 概要 ... 270
- 7.2 機能 ... 270
- 7.3 構成 ... 271
- 7.4 レジスタ ... 274
- 7.5 動作 ... 292
 - 7.5.1 インターバル・タイマ・モード (TQnMD2-TQnMD0ビット = 000) ... 293
 - 7.5.2 外部イベント・カウント・モード (TQnMD2-TQnMD0ビット = 001) ... 303
 - 7.5.3 外部トリガ・パルス出力モード (TQnMD2-TQnMD0ビット = 010) ... 311
 - 7.5.4 ワンショット・パルス出力モード (TQnMD2-TQnMD0ビット = 011) ... 324
 - 7.5.5 PWM出力モード (TQnMD2-TQnMD0ビット = 100) ... 333
 - 7.5.6 フリー・ランニング・タイマ・モード (TQnMD2-TQnMD0ビット = 101) ... 344
 - 7.5.7 パルス幅測定モード (TQnMD2-TQnMD0ビット = 110) ... 364
 - 7.5.8 三角波PWMモード (TQnMD2-TQnMD0ビット = 111) ... 370
 - 7.5.9 タイマ出力動作説明 ... 372
- 7.6 タイマ同調動作機能 ... 373
- 7.7 注意事項 ... 377

第8章 16ビット・インターバル・タイマM (TMM) ... 378

- 8.1 概要 ... 378
- 8.2 構成 ... 379
- 8.3 レジスタ ... 381
- 8.4 動作 ... 382
 - 8.4.1 インターバル・タイマ・モード ... 382
 - 8.4.2 注意事項 ... 386

第9章 時計タイマ機能 ... 387

- 9.1 機能 ... 387
- 9.2 構成 ... 388
- 9.3 レジスタ ... 390
- 9.4 動作 ... 394
 - 9.4.1 時計タイマとしての動作 ... 394
 - 9.4.2 インターバル・タイマとしての動作 ... 395
 - 9.4.3 注意事項 ... 396

第10章 ウォッチドッグ・タイマ2機能 ... 397

- 10.1 機能 ... 397
- 10.2 構成 ... 398
- 10.3 レジスタ ... 399
- 10.4 動作 ... 401

第11章 A/Dコンバータ ... 402

- 11.1 概要 ... 402
- 11.2 機能 ... 402

11.3	構 成	...	403
11.4	レジスタ	...	406
11.5	動 作	...	415
11.5.1	基本動作	...	415
11.5.2	トリガ・モード	...	416
11.5.3	動作モード	...	418
11.5.4	パワー・フェイル比較モード	...	422
11.6	注意事項	...	427
11.7	A/Dコンバータ特性表の読み方	...	431

第12章 アシンクロナス・シリアル・インタフェースA (UARTA) ... 435

12.1	特 徴	...	435
12.2	構 成	...	436
12.3	レジスタ	...	438
12.4	割り込み要求信号	...	444
12.5	動 作	...	445
12.5.1	データ・フォーマット	...	445
12.5.2	SBF送信/受信フォーマット	...	447
12.5.3	SBF送信	...	449
12.5.4	SBF受信	...	450
12.5.5	UART送信	...	451
12.5.6	連続送信の手順説明	...	451
12.5.7	UART受信	...	454
12.5.8	受信エラー	...	456
12.5.9	パリティの種類と動作	...	458
12.5.10	受信データのノイズ・フィルタ	...	459
12.6	専用ポー・レート・ジェネレータ	...	460
12.7	注意事項	...	468

第13章 3線式可変長シリアルI/O (CSIB) ... 469

13.1	特 徴	...	469
13.2	構 成	...	470
13.3	レジスタ	...	472
13.4	割り込み要求信号	...	479
13.5	動 作	...	480
13.5.1	シングル転送モード(マスタ・モード, 送信モード)	...	480
13.5.2	シングル転送モード(マスタ・モード, 受信モード)	...	482
13.5.3	シングル転送モード(マスタ・モード, 送受信モード)	...	484
13.5.4	シングル転送モード(スレーブ・モード, 送信モード)	...	486
13.5.5	シングル転送モード(スレーブ・モード, 受信モード)	...	488
13.5.6	シングル転送モード(スレーブ・モード, 送受信モード)	...	490
13.5.7	連続転送モード(マスタ・モード, 送信モード)	...	492
13.5.8	連続転送モード(マスタ・モード, 受信モード)	...	494
13.5.9	連続転送モード(マスタ・モード, 送受信モード)	...	497
13.5.10	連続転送モード(スレーブ・モード, 送信モード)	...	501
13.5.11	連続転送モード(スレーブ・モード, 受信モード)	...	503
13.5.12	連続転送モード(スレーブ・モード, 送受信モード)	...	506

- 13.5.13 受信エラー ... 510
- 13.5.14 クロック・タイミング ... 511
- 13.6 動作禁止時の出力端子状態 ... 513
- 13.7 ボー・レート・ジェネレータ ... 514
 - 13.7.1 ボー・レートの生成 ... 515
- 13.8 注意事項 ... 516

第14章 DMA機能 (DMAコントローラ) ... 517

- 14.1 特 徴 ... 517
- 14.2 構 成 ... 518
- 14.3 レジスタ ... 519
- 14.4 転送対象 ... 526
- 14.5 転送モード ... 526
- 14.6 転送タイプ ... 527
- 14.7 DMAチャンネルの優先順位 ... 528
- 14.8 DMA転送に関する各種時間 ... 528
- 14.9 DMA転送起動要因 ... 529
- 14.10 DMAの中断要因 ... 530
- 14.11 DMA転送の終了 ... 530
- 14.12 動作タイミング ... 530
- 14.13 注意事項 ... 535

第15章 割り込み / 例外処理機能 ... 539

- 15.1 特 徴 ... 539
- 15.2 ノンマスカブル割り込み ... 543
 - 15.2.1 動 作 ... 546
 - 15.2.2 復 帰 ... 547
 - 15.2.3 NPフラグ ... 548
- 15.3 マスカブル割り込み ... 549
 - 15.3.1 動 作 ... 549
 - 15.3.2 復 帰 ... 551
 - 15.3.3 マスカブル割り込みの優先順位 ... 552
 - 15.3.4 割り込み制御レジスタ (xxICn) ... 556
 - 15.3.5 割り込みマスク・レジスタ0-3 (IMR0-IMR3) ... 559
 - 15.3.6 インサービス・プライオリティ・レジスタ (ISPR) ... 561
 - 15.3.7 IDフラグ ... 562
 - 15.3.8 ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2) ... 562
- 15.4 ソフトウェア例外 ... 563
 - 15.4.1 動 作 ... 563
 - 15.4.2 復 帰 ... 564
 - 15.4.3 EPフラグ ... 565
- 15.5 例外トラップ ... 566
 - 15.5.1 不正命令コード ... 566
 - 15.5.2 デバッグ・トラップ ... 568
- 15.6 外部割り込み要求入力端子 (NMI, INTPO-INTP10) ... 570
 - 15.6.1 ノイズ除去 ... 570
 - 15.6.2 エッジ検出 ... 570

- 15.7 CPUの割り込み応答時間 ... 577
- 15.8 CPUが割り込みを受け付けない期間 ... 578
- 15.9 注意事項 ... 578

第16章 キー割り込み機能 ... 579

- 16.1 機能 ... 579
- 16.2 レジスタ ... 580
- 16.3 注意事項 ... 580

第17章 スタンバイ機能 ... 581

- 17.1 概要 ... 581
- 17.2 レジスタ ... 583
- 17.3 HALTモード ... 586
 - 17.3.1 設定および動作状態 ... 586
 - 17.3.2 HALTモードの解除 ... 586
- 17.4 IDLE1モード ... 588
 - 17.4.1 設定および動作状態 ... 588
 - 17.4.2 IDLE1モードの解除 ... 588
- 17.5 IDLE2モード ... 590
 - 17.5.1 設定および動作状態 ... 590
 - 17.5.2 IDLE2モードの解除 ... 590
 - 17.5.3 IDLE2モード解除時のセットアップ時間の確保 ... 592
- 17.6 STOPモード ... 593
 - 17.6.1 設定および動作状態 ... 593
 - 17.6.2 STOPモードの解除 ... 593
 - 17.6.3 STOPモード解除時の発振安定時間の確保 ... 596
- 17.7 サブクロック動作モード ... 597
 - 17.7.1 設定および動作状態 ... 597
 - 17.7.2 サブクロック動作モードの解除 ... 597
- 17.8 サブIDLEモード ... 599
 - 17.8.1 設定および動作状態 ... 599
 - 17.8.2 サブIDLEモードの解除 ... 600

第18章 リセット機能 ... 602

- 18.1 概要 ... 602
- 18.2 リセット要因を確認するレジスタ ... 603
- 18.3 動作 ... 604
 - 18.3.1 $\overline{\text{RESET}}$ 端子によるリセット動作 ... 604
 - 18.3.2 ウォッチドッグ・タイマ2によるリセット動作 ... 606
 - 18.3.3 パワーオン・クリア回路によるリセット動作 ... 607
 - 18.3.4 低電圧検出回路によるリセット動作 ... 607
 - 18.3.5 クロック・モニタによるリセット動作 ... 607
- 18.4 リセット解除後の動作 ... 608

第19章	クロック・モニタ	...	610
19.1	機能	...	610
19.2	構成	...	611
19.3	レジスタ	...	612
19.4	動作	...	613
第20章	パワーオン・クリア回路	...	616
20.1	機能	...	616
20.2	構成	...	616
20.3	動作	...	617
第21章	低電圧検出回路	...	618
21.1	機能	...	618
21.2	構成	...	618
21.3	レジスタ	...	619
21.4	動作	...	622
	21.4.1 内部リセット信号として使用する場合	...	622
	21.4.2 割り込みとして使用する場合	...	624
21.5	RAM保持電圧検出動作	...	625
21.6	エミュレーション機能	...	626
第22章	レギュレータ	...	627
22.1	概要	...	627
22.2	動作	...	628
第23章	フラッシュ・メモリ	...	629
23.1	特徴	...	629
23.2	メモリ構成	...	630
23.3	機能概要	...	631
23.4	専用フラッシュ・ライターでの書き換え	...	634
	23.4.1 プログラミング環境	...	634
	23.4.2 通信方式	...	635
	23.4.3 フラッシュ・メモリ制御	...	640
	23.4.4 通信方式の選択	...	641
	23.4.5 通信コマンド	...	642
	23.4.6 端子処理	...	643
23.5	セルフ・プログラミングによる書き換え	...	647
	23.5.1 概要	...	647
	23.5.2 特徴	...	648
	23.5.3 標準セルフ・プログラミング・フロー	...	649
	23.5.4 フラッシュ関数一覧	...	650
	23.5.5 端子処理	...	650
	23.5.6 使用する内部資源	...	651

第24章	オプション・バイト機能	...	652
第25章	オンチップ・デバッグ機能	...	654
25.1	DCUを使用する方法	...	655
25.1.1	接続回路例	...	655
25.1.2	インタフェース信号	...	656
25.1.3	マスク機能	...	657
25.1.4	レジスタ	...	658
25.1.5	動作	...	660
25.1.6	注意事項	...	661
25.2	DCUを使用しない方法	...	662
25.2.1	接続回路例	...	662
25.2.2	マスク機能	...	663
25.2.3	ユーザ資源の確保	...	664
25.2.4	注意事項	...	670
25.3	ROMセキュリティ機能	...	672
25.3.1	セキュリティID	...	672
25.3.2	設定方法	...	673
第26章	電気的特性	...	675
26.1	絶対最大定格	...	675
26.2	容量	...	677
26.3	動作条件	...	677
26.4	発振回路特性	...	678
26.4.1	メイン・クロック発振回路特性	...	678
26.4.2	サブクロック発振回路特性	...	679
26.4.3	PLL特性	...	680
26.4.4	内蔵発振器特性	...	680
26.5	電圧レギュレータ特性	...	680
26.6	DC特性	...	681
26.6.1	入出力レベル	...	681
26.6.2	端子リーク電流	...	682
26.6.3	電源電流	...	683
26.7	データ保持特性	...	684
26.8	AC特性	...	685
26.8.1	CLKOUT出力タイミング	...	686
26.9	基本動作	...	687
26.10	フラッシュ・メモリ・プログラミング特性	...	694
第27章	外形図	...	695
第28章	半田付け推奨条件	...	696
付録A	開発ツール	...	697
A.1	ソフトウェア・パッケージ	...	699
A.2	言語処理用ソフトウェア	...	699

A.3	制御ソフトウェア	...	699
A.4	デバッグ用ツール(ハードウェア)	...	700
A.4.1	IECUBE QB-V850ESFX2を使用する場合	...	700
A.4.2	MINICUBE QB-V850MINIを使用する場合	...	702
A.4.3	MINICUBE2 QB-MINI2を使用する場合	...	703
A.5	デバッグ用ツール(ソフトウェア)	...	704
A.6	組み込み用ソフトウェア	...	705
A.7	フラッシュ・メモリ書き込み用ツール	...	705
付録B	レジスタ索引	...	706
付録C	命令セット一覧	...	715
C.1	凡例	...	715
C.2	インストラクション・セット(アルファベット順)	...	718
付録D	注意事項一覧	...	724
付録E	改版履歴	...	751
E.1	本版で改訂された主な箇所	...	751

第1章 イントロダクション

V850ES/HG2は、NECエレクトロニクスのリアルタイム制御向けシングルチップ・マイクロコントローラV850マイコンのロウ・パワー・シリーズの1製品です。

1.1 概 説

V850ES/HG2は、V850ES CPUコアを使用し、ROM/RAM、タイマ/カウンタ、シリアル・インタフェース、A/Dコンバータなどの周辺機能を内蔵した32ビット・シングルチップ・マイクロコントローラです。

V850ES/HG2は、高いリアルタイム応答性と1クロック・ピッチの基本命令に加え、デジタル・サーボ制御の応用に最適な命令として、ハードウェア乗算器による乗算命令、飽和演算命令、ビット操作命令などを持っています。

表1 - 1にV850ES/HG2の製品一覧について示します。

表1 - 1 V850ES/HG2の製品一覧

品 名		μ PD70F3706	μ PD70F3707
内部メモリ	フラッシュ・メモリ	128 Kバイト	256 Kバイト
	RAM	12 Kバイト	
メモリ空間	論理空間	64 Mバイト	
汎用レジスタ		32ビット×32レジスタ	
メイン・クロック (発振周波数)		セラミック/クリスタル/外部クロック ・PLLモード時: $f_x = 4 \sim 5$ MHz ・クロック・スルー・モード時: $f_x = 4 \sim 5$ MHz	
サブクロック (発振周波数)		クリスタル発振/外部クロック: $f_{xt} = 32.768$ kHz RC発振: 20 kHz	
内蔵発振器		$f_R = 200$ kHz (TYP.)	
最小命令実行時間		50 ns (メイン・クロック (f_{xx}) = 20 MHz動作時)	
DSP機能		32 × 32 = 64 : 200-250 ns (20 MHz時) 32 × 32 + 32 = 32 : 300 ns (20 MHz時) 16 × 16 = 32 : 50-100 ns (20 MHz時) 16 × 16 + 32 = 32 : 150 ns (20 MHz時)	
I/Oポート		入出力: 84本	
タイマ		16ビット・タイマ/イベント・カウンタP : 4チャンネル 16ビット・タイマ/イベント・カウンタQ : 2チャンネル 16ビット・インターバル・タイマM : 1チャンネル ウォッチドッグ・タイマ2 : 1チャンネル 時計タイマ : 1チャンネル	
A/Dコンバータ		10ビット分解能×16チャンネル	
シリアル・ インタフェース		CSIB : 2チャンネル UARTA (LIN対応) : 3チャンネル	
DMAコントローラ		4チャンネル (転送対象: 内蔵周辺I/O, 内蔵RAM)	
割り込み要因		外部: 12 (12) ^注 , 内部: 43	
パワー・セーブ機能		HALT/IDLE1/IDLE2/STOP / サブクロック / サブIDLEモード	
リセット		RESET端子入力, ウォッチドッグ・タイマ2 (WDT2), クロック・モニタ (CLM), POC回路, 低電圧検出回路 (LVI)	
DCU		あり (RUN / ブレーク)	
動作電源電圧		3.5 ~ 5.5 V (A/Dコンバータ: 4.0 ~ 5.5 V)	
動作周囲温度		- 40 ~ + 85	
パッケージ		100ピン・プラスチックLQFP (ファインピッチ) (14 × 14 mm)	

注 ()内はSTOPモード解除可能な外部割り込み本数です。

1.2 特 徴

最小命令実行時間 50 ns (メイン・クロック (f_{xx}) = 20 MHz動作時)

汎用レジスタ 32ビット×32本

CPUの特徴 符号付き乗算 (16×16 32) : 1-2クロック)

符号付き乗算 (32×32 64) : 1-5クロック)

飽和演算 (オーバフロー/アンダフロー検出機能付き)

32ビット・シフト命令 : 1クロック

ビット操作命令

ロング/ショート形式を持つロード/ストア命令

メモリ空間 64 Mバイト・リニア・アドレス空間 (プログラム/データ共用)

・内蔵メモリ RAM : 12 Kバイト

フラッシュ・メモリ : 128 K/256 Kバイト (表1-1参照)

割り込み/例外

ノンマスカブル割り込み : 2要因

マスカブル割り込み : 53要因

ソフトウエア例外 : 32要因

例外トラップ : 2要因

I/Oライン 入出力ポート : 84

タイマ機能

16ビット・インターバル・タイマM (TMM) : 1 ch

16ビット・タイマ/イベント・カウンタP (TMP) : 4 ch

16ビット・タイマ/イベント・カウンタQ (TMQ) : 2 ch

時計用タイマ : 1 ch

ウォッチドッグ・タイマ2 : 1 ch

シリアル・インタフェース

アシンクロナス・シリアル・インタフェースA (UARTA)

3線式可変長シリアル・インタフェースB (CSIB)

UARTA (LIN対応) : 3 ch

CSIB : 2 ch

A/Dコンバータ 10ビット分解能 : 16 ch

DMAコントローラ : 4 ch

DCU (デバッグ・コントロール・ユニット) : JTAGインタフェース

クロック・ジェネレータ メイン・クロック/サブクロック動作

CPUクロック7段階 (f_{xx}, f_{xx}/2, f_{xx}/4, f_{xx}/8, f_{xx}/16, f_{xx}/32, f_{XT})

クロック・スルー・モード/PLLモード選択可

内蔵発振クロック : 200 kHz (TYP.)

パワー・セーブ機能 HALT/IDLE1/IDLE2/STOP/サブクロック/サブIDLEモード

パッケージ 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

1.3 応用分野

民生機器

1.4 オーダ情報

オーダ名称	パッケージ	内蔵フラッシュ・メモリ
μ PD70F3706GC-8EA-A	100ピン・プラスチックLQFP(ファインピッチ)(14×14)	128 Kバイト
μ PD70F3707GC-8EA-A	"	256 Kバイト

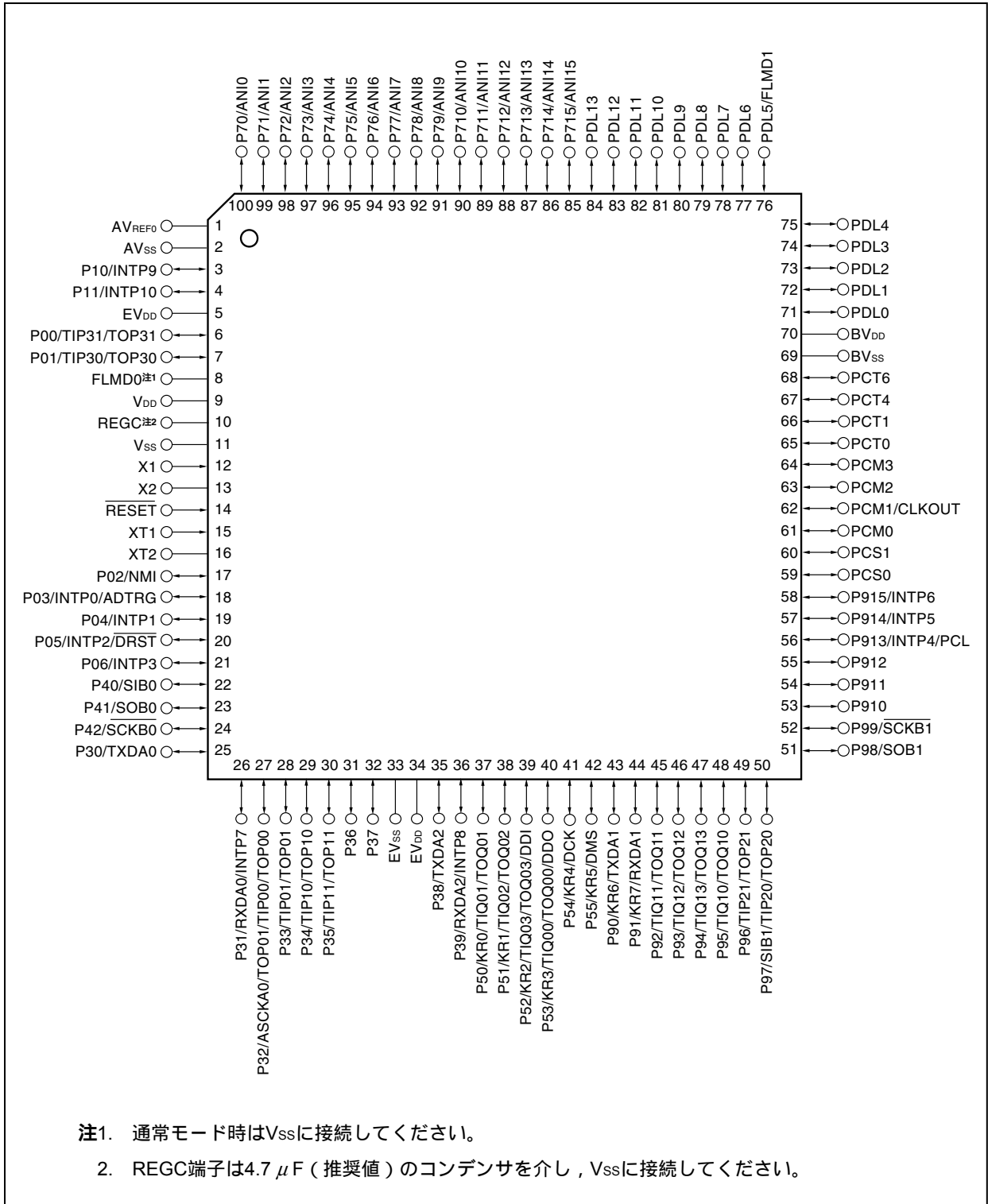
備考 オーダ名称末尾「-A」の製品は、鉛フリー製品です。

1.5 端子接続図 (Top View)

100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)

μPD70F3706GC-8EA-A

μPD70F3707GC-8EA-A

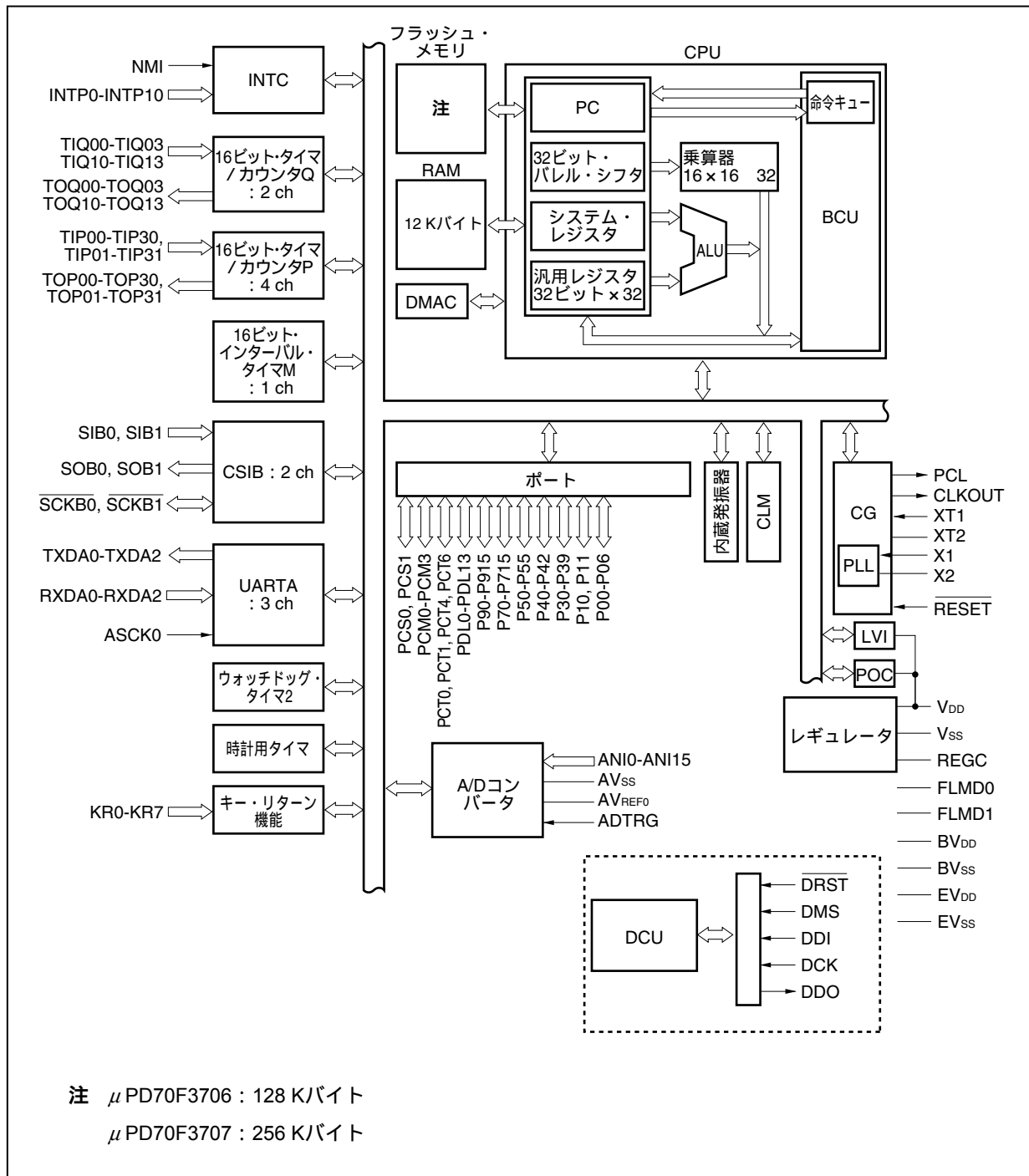


端子名称

ADTRG :	A/D trigger input	PCS0, PCS1 :	Port CS
ANI0 to ANI15 :	Analog input	PCT0, PCT1,	
ASCKA0 :	Asynchronous serial clock	PCT4, PCT6 :	Port CT
AVREF0 :	Analog reference voltage	PDL0 to PDL13 :	Port DL
AVSS :	Analog V _{SS}	REGC :	Regulator control
BVDD :	Power supply for bus interface	RESET :	Reset
BVSS :	Ground for bus interface	RXDA0 to RXDA2 :	Receive data
CLKOUT :	Clock output	SCKB0, SCKB1 :	Serial clock
DCK :	Debug clock	SIB0, SIB1 :	Serial input
DDI :	Debug data input	SOB0, SOB1 :	Serial output
DDO :	Debug data output	TIP00, TIP01,	
DMS :	Debug mode select	TIP10, TIP11,	
DRST :	Debug reset	TIP20, TIP21,	
EVDD :	Power supply for port	TIP30, TIP31,	
EVSS :	Ground for port	TIQ00 to TIQ03,	
FLMD0, FLMD1 :	Flash programming mode	TIQ10 to TIQ13 :	Timer input
INTP0 to INTP10 :	External interrupt input	TOP00, TOP01,	
KR0 to KR7 :	Key return	TOP10, TOP11,	
NMI :	Non-maskable interrupt request	TOP20, TOP21,	
P00 to P06 :	Port 0	TOP30, TOP31,	
P10, P11 :	Port 1	TOQ00 to TOQ03,	
P30 to P39 :	Port 3	TOQ10 to TOQ13 :	Timer output
P40 to P42 :	Port 4	TXDA0 to TXDA2 :	Transmit data
P50 to P55 :	Port 5	V _{DD} :	Power supply
P70 to P715 :	Port 7	V _{SS} :	Ground
P90 to P915 :	Port 9	X1, X2 :	Crystal for main clock
PCL :	Programmable clock output	XT1, XT2 :	Crystal for subclock
PCM0 to PCM3 :	Port CM		

1.6 機能ブロック構成

1.6.1 内部ブロック図



1.6.2 内部ユニット

(1) CPU

アドレス計算，算術論理演算，データ転送などのほとんどの命令処理を，5段パイプライン制御により1クロックで実行できます。

乗算器（16ビット×16ビット 32ビット），バレル・シフタ（32ビット）などの専用ハードウェアを内蔵し，複雑な処理の高速化を図っています。

(2) バス・コントロール・ユニット (BCU)

内部バスを制御します。

(3) ROM

0000000H-003FFFFH/0000000H-001FFFFH番地にマッピングされる256 K/128 Kバイトのフラッシュ・メモリです。命令フェッチ時にCPUから1クロックでアクセスできます。

(4) RAM

3FFC000H-3FFEFFFH番地にマッピングされる12 KバイトのRAMです。データ・アクセス時にCPUから1クロックでアクセスできます。

(5) 割り込みコントローラ (INTC)

内蔵周辺ハードウェア，および外部からのハードウェア割り込み要求（NMI, INTP0-INTP10）を処理します。これらの割り込み要求は，8レベルの割り込み優先順位を指定でき，多重処理制御ができます。

(6) クロック・ジェネレータ (CG)

メイン・クロック発振回路とサブクロック発振回路があり，メイン・クロック発振周波数（ f_x ）とサブクロック周波数（ f_{xT} ）を生成しています。メイン・クロック周波数（ f_{xx} ）として， f_x をそのまま使用するクロック・スルー・モードと， f_x を4通倍して使用するPLLモードがあります。

CPUクロック周波数（ f_{CPU} ）としては， f_{xx} ， $f_{xx}/2$ ， $f_{xx}/4$ ， $f_{xx}/8$ ， $f_{xx}/16$ ， $f_{xx}/32$ ， f_{xT} の7種類から選択できます。

(7) 内蔵発振器

内蔵発振器を搭載しています。発振周波数は200 kHz（TYP.）です。ウォッチドッグ・タイマ2とタイマMへクロック供給します。

(8) タイマ/カウンタ

16ビットのタイマ/イベント・カウンタP（TMP）を4チャンネル，16ビットのタイマ/イベント・カウンタQ（TMQ）を2チャンネル，16ビットのインターバル・タイマM（TMM）を1チャンネル内蔵しています。

(9) 時計用タイマ

サブクロック（32.768 kHz）またはプリスケアラ3からの f_{BRG} （32.768 kHz）から時計カウント用の基準時間（0.5秒）をカウントします。メイン・クロックによるインターバル・タイマとしても同時に使用できます。

(10) ウォッチドッグ・タイマ2

プログラムの暴走，システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。

ソース・クロックとして内蔵発振クロック，メイン・クロックを選択できます。

オーバフローでノンマスカブル割り込み要求信号（INTWDT2），またはシステム・リセット信号（WDT2RES）を発生します。

(11) シリアル・インタフェース

V850ES/HG2には，シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェースA（UARTA），3線式可変長シリアル・インタフェースB（CSIB）を内蔵しています。

UARTAは，TXDA0-TXDA2，RXDA0-RXDA2端子によりデータ転送を行います。

CSIBは，SOB0，SOB1，SIB0，SIB1， $\overline{\text{SCKB0}}$ ， $\overline{\text{SCKB1}}$ 端子によりデータ転送を行います。

(12) A/Dコンバータ

16本のアナログ入力端子を持つ10ビットA/Dコンバータです。逐次変換方式で変換します。

(13) DMAコントローラ

4チャンネルのDMAコントローラを内蔵しています。内蔵周辺I/Oによる割り込み要求に基づいて，内蔵RAM，内蔵周辺I/O間でデータを転送します。

(14) キー割り込み機能

8チャンネルのキー入力端子に立ち下がりエッジを入力することによって，キー割り込み要求信号（INTKR）を発生させることができます。

(15) DCU（デバッグ・コントロール・ユニット）

JTAG（Joint Test Action Group）の通信仕様を利用した，オンチップ・デバッグ機能を内蔵しています。通常ポート機能とオンチップ・デバッグ機能の切り替えは，制御端子の入力レベルとOCDMレジスタの2つで行います。

(16) ポート

汎用ポートとしての機能と制御端子の機能があります。詳細は第4章 **ポート機能**を参照してください。

第2章 端子機能

V850ES/HG2の端子名称と機能を次に示します。

2.1 端子機能一覧

端子の入出力バッファ電源には、AV_{REF0}、BV_{DD}、EV_{DD}の3系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

電 源	対応する端子
AV _{REF0}	ポート7
BV _{DD}	ポートCM, ポートCS, ポートCT, ポートDL
EV _{DD}	ポート0, ポート1, ポート3, ポート4, ポート5, ポート9, RESET

(1) ポート端子

表2 - 2 端子一覧 (ポート端子)(1/3)

端子名称	ピン番号	入出力	機 能	兼用端子
P00	6	入出力	ポート0 7ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	TIP31/TOP31
P01	7			TIP30/TOP30
P02	17			NMI
P03	18			INTP0/ADTRG
P04	19			INTP1
P05	20			INTP2/DRST
P06	21			INTP3
P10	3	入出力	ポート1 2ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	INTP9
P11	4			INTP10
P30	25	入出力	ポート3 10ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	TXDA0
P31	26			RXDA0/INTP7
P32	27			ASCKA0/TIP00/TOP00/TOP01
P33	28			TIP01/TOP01
P34	29			TIP10/TOP10
P35	30			TIP11/TOP11
P36	31			-
P37	32			-
P38	35			TXDA2
P39	36			RXDA2/INTP8

表2-2 端子一覧(ポート端子)(2/3)

端子名称	ピン番号	入出力	機能	兼用端子
P40	22	入出力	ポート4 3ビット入出力ポート 1ビット単位で入力/出力の指定が可能	SIB0
P41	23			SOB0
P42	24			SCKB0
P50	37	入出力	ポート5 6ビット入出力ポート 1ビット単位で入力/出力の指定が可能	KR0/TIQ01/TOQ01
P51	38			KR1/TIQ02/TOQ02
P52	39			KR2/TIQ03/TOQ03/DDI
P53	40			KR3/TIQ00/TOQ00/DDO
P54	41			KR4/DCK
P55	42			KR5/DMS
P70	100			入出力
P71	99	ANI1		
P72	98	ANI2		
P73	97	ANI3		
P74	96	ANI4		
P75	95	ANI5		
P76	94	ANI6		
P77	93	ANI7		
P78	92	ANI8		
P79	91	ANI9		
P710	90	ANI10		
P711	89	ANI11		
P712	88	ANI12		
P713	87	ANI13		
P714	86	ANI14		
P715	85	ANI15		
P90	43	入出力	ポート9 16ビット入出力ポート 1ビット単位で入力/出力の指定が可能	KR6/TXDA1
P91	44			KR7/RXDA1
P92	45			TIQ11/TOQ11
P93	46			TIQ12/TOQ12
P94	47			TIQ13/TOQ13
P95	48			TIQ10/TOQ10
P96	49			TIP21/TOP21
P97	50			SIB1/TIP20/TOP20
P98	51			SOB1
P99	52			SCKB1
P910	53			-
P911	54			-
P912	55			-
P913	56			INTP4/PCL
P914	57			INTP5
P915	58	INTP6		

表2 - 2 端子一覧 (ポート端子)(3/3)

端子名称	ピン番号	入出力	機 能	兼用端子
PCM0	61	入出力	ポートCM 4ビット入出力ポート 1ビット単位で入力/出力の指定が可能	-
PCM1	62			CLKOUT
PCM2	63			-
PCM3	64			-
PCS0	59	入出力	ポートCS 2ビット入出力ポート 1ビット単位で入力/出力の指定が可能	-
PCS1	60			-
PCT0	65	入出力	ポートCT 4ビット入出力ポート 1ビット単位で入力/出力の指定が可能	-
PCT1	66			-
PCT4	67			-
PCT6	68			-
PDL0	71	入出力	ポートDL 14ビット入出力ポート 1ビット単位で入力/出力の指定が可能	-
PDL1	72			-
PDL2	73			-
PDL3	74			-
PDL4	75			-
PDL5	76			FLMD1
PDL6	77			-
PDL7	78			-
PDL8	79			-
PDL9	80			-
PDL10	81			-
PDL11	82			-
PDL12	83			-
PDL13	84			-

(2) ポート以外の端子

表2-3 端子一覧(ポート以外の端子)(1/3)

端子名称	ピン番号	入出力	機能	兼用端子
NMI ^注	17	入力	外部割り込み入力 (ノンマスクابل, アナログ・ノイズ除去)	P02
INTP0	18	入力	部割り込み要求入力 (マスクابل, アナログ・ノイズ除去)	P03/ADTRG
INTP1	19			P04
INTP2	20			P05/DRST
INTP3	21			P06
INTP4	56			P913/PCL
INTP5	57			P914
INTP6	58			P915
INTP7	26			P31/RXDA0
INTP8	36			P39/RXDA2
INTP9	3			P10
INTP10	4			P11
TIP00	27	入力	外部イベント/クロック入力(TMP00)	P32/ASCKA0/TOP00/TOP01
TIP01	28		外部イベント入力(TMP01)	P33/TOP01
TIP10	29		外部イベント/クロック入力(TMP10)	P34/TOP10
TIP11	30		外部イベント入力(TMP11)	P35/TOP11
TIP20	50		外部イベント/クロック入力(TMP20)	P97/SIB1/TOP20
TIP21	49		外部イベント入力(TMP21)	P96/TOP21
TIP30	7		外部イベント/クロック入力(TMP30)	P01/TOP30
TIP31	6		外部イベント入力(TMP31)	P00/TOP31
TOP00	27		出力	タイマ出力(TMP00)
TOP01	27	タイマ出力(TMP01)		P32/ASCKA0/TIP00/TOP00
	28			P33/TIP01
TOP10	29	タイマ出力(TMP10)		P34/TIP10
TOP11	30	タイマ出力(TMP11)		P35/TIP11
TOP20	50	タイマ出力(TMP20)		P97/SIB1/TIP20
TOP21	49	タイマ出力(TMP21)		P96/TIP21
TOP30	7	タイマ出力(TMP30)		P01/TIP30
TOP31	6	タイマ出力(TMP31)		P00/TIP31
TIQ00	40	入力		外部イベント/クロック入力(TM00)
TIQ01	37		外部イベント入力(TM01)	P50/KR0/TOQ01
TIQ02	38		外部イベント入力(TM02)	P51/KR1/TOQ02
TIQ03	39		外部イベント入力(TM03)	P52/KR2/TOQ03/DDI
TIQ10	48		外部イベント/クロック入力(TM10)	P95/TOQ10
TIQ11	45		外部イベント入力(TM11)	P92/TOQ11
TIQ12	46		外部イベント入力(TM12)	P93/TOQ12
TIQ13	47		外部イベント入力(TM13)	P94/TOQ13

注 NMI端子はP02端子と兼用しており、リセット後はP02端子として機能します。NMIを有効にする場合は、PMC0.PMC02ビットをセット(1)してください。また、NMI端子の初期設定は"エッジ検出なし"になっています。INTF0, INTR0レジスタでNMI端子の有効エッジを選択してください。

表2-3 端子一覧（ポート以外の端子）(2/3)

端子名称	ピン番号	入出力	機能	兼用端子
TOQ00	40	出力	タイマ出力 (TMQ00)	P53/KR3/TIQ00/DDO
TOQ01	37		タイマ出力 (TMQ01)	P50/KR0/TIQ01
TOQ02	38		タイマ出力 (TMQ02)	P51/KR1/TIQ02
TOQ03	39		タイマ出力 (TMQ03)	P52/KR2/TIQ03/DDI
TOQ10	48		タイマ出力 (TMQ10)	P95/TIQ10
TOQ11	45		タイマ出力 (TMQ11)	P92/TIQ11
TOQ12	46		タイマ出力 (TMQ12)	P93/TIQ12
TOQ13	47		タイマ出力 (TMQ13)	P94/TIQ13
SIB0	22		入力	シリアル受信データ入力 (CSIB0)
SIB1	50	シリアル受信データ入力 (CSIB1)		P97/TIP20/TOP20
SOB0	23	出力	シリアル送信データ入力 (CSIB0)	P41
SOB1	51		シリアル送信データ入力 (CSIB1)	P98
SCKB0	24	入出力	シリアル・クロック入出力 (CSIB0)	P42
SCKB1	52		シリアル・クロック入出力 (CSIB1)	P99
RXDA0	26	入力	シリアル受信データ入力 (UARTA0)	P31/INTP7
RXDA1	44		シリアル受信データ入力 (UARTA1)	P91/KR7
RXDA2	36		シリアル受信データ入力 (UARTA2)	P39/INTP8
TXDA0	25	出力	シリアル送信データ出力 (UARTA0)	P30
TXDA1	43		シリアル送信データ出力 (UARTA1)	P90/KR6
TXDA2	35		シリアル送信データ出力 (UARTA2)	P38
ASCKA0	27	入力	UARTA0のポーレート・クロック入力	P32/TIP00/TOP00/TOP01
ANI0	100	入力	A/Dコンバータ用アナログ電圧入力	P70
ANI1	99			P71
ANI2	98			P72
ANI3	97			P73
ANI4	96			P74
ANI5	95			P75
ANI6	94			P76
ANI7	93			P77
ANI8	92			P78
ANI9	91			P79
ANI10	90			P710
ANI11	89			P711
ANI12	88			P712
ANI13	87			P713
ANI14	86			P714
ANI15	85			P715
AVREF0	1	-	A/Dコンバータ用基準電圧入力 兼ポート7用正電源供給端子	-
AVSS	2	-	A/Dコンバータ用グラウンド電位 (V _{SS} と同電位)	-
ADTRG	18	入力	A/Dコンバータ外部トリガ入力	P03/INTP0

表2-3 端子一覧(ポート以外の端子)(3/3)

端子名称	ピン番号	入出力	機能	兼用端子
KR0	37	入力	キー割り込み入力	P50/TIQ01/TOQ01
KR1	38			P51/TIQ02/TOQ02
KR2	39			P52/TIQ03/TOQ03/DDI
KR3	40			P53/TIQ00/TOQ00/DDO
KR4	41			P54/DCK
KR5	42			P55/DMS
KR6	43			P90/TXDA1
KR7	44			P91/RXDA1
DMS	42	入力	デバッグ・モード・セレクト	P55/KR5
DDI	39	入力	デバッグ・データ入力	P52/KR2/TIQ03/TOQ03
DDO	40	出力	デバッグ・データ出力	P53/KR3/TIQ00/TOQ00
DCK	41	入力	デバッグ・クロック入力	P54/KR4
$\overline{\text{DRST}}$	20	入力	デバッグ・リセット入力	P05/INTP2
FLMD0	8	入力	フラッシュ・プログラミング・モード引き込み用端子	-
FLMD1	76			PDL5
CLKOUT	62	出力	内部システム・クロック出力	PCM1
PCL	56	出力	クロック出力(X1入力クロックとサブシステム・クロックのタイミング出力)	P913/INTP4
REGC	10	-	レギュレータ出力安定容量接続	-
$\overline{\text{RESET}}$	14	入力	システム・リセット入力	-
X1	12	入力	メイン・クロック用発振子接続	-
X2	13	-		-
XT1	15	入力	サブクロック用発振子接続	-
XT2	16	-		-
V _{DD}	9	-	内部用正電源供給端子	-
V _{SS}	11	-	内部用グランド電位	-
BV _{DD}	70	-	バス・インタフェースおよび兼用ポート用正電源供給端子	-
BV _{SS}	69	-	バス・インタフェースおよび兼用ポート用グランド電位	-
EV _{DD}	5	-	外部用正電源供給端子 (V _{DD} と同電位)	-
	34	-		-
EV _{SS}	33	-	外部用グランド電位 (V _{SS} と同電位)	-

2.2 端子機能の説明

(1) P00-P06 (ポート0) ... 3ステート入出力

ポート0は、1ビット単位で入力または出力を設定できる7ビットの入出力ポートです。

P00-P06は入出力ポートとして機能するほか、NMI入力、外部割り込み要求信号入力、タイマ/カウンタの入出力、A/Dコンバータの外部トリガ、デバッグ・リセット入力として動作します。1ビットごとにポート/コントロール・モードを選択でき、INTR0レジスタとINTF0レジスタで端子の有効エッジを指定します。

P00-P06はプルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用できます。

(a) ポート・モード

P00-P06はポート・モード・レジスタ0 (PM0) により、ビット単位に入力または出力を設定できます。

(b) コントロール・モード

(i) NMI (Non-maskable interrupt request) ... 入力

ノンマスカブル割り込み要求信号入力端子です。

(ii) INTP0-INTP3 (External interrupt input) ... 入力

外部割り込み要求信号入力端子です。

(iii) TIP30, TIP31 (Timer input) ... 入力

タイマP3 (TMP3) 用の外部カウント・クロック入力端子です。

(iv) TOP30, TOP31 (Timer output) ... 入力

タイマP3 (TMP3) 用のパルス信号出力端子です。

(v) ADTRG (A/D trigger input) ... 入力

A/Dコンバータの外部トリガ入力端子です。A/Dコンバータ・モード・レジスタ0 (ADA0M0) で制御します。

(vi) $\overline{\text{DRST}}$ (Debug reset) ... 入力

デバッグ・リセット入力端子です。内蔵するデバッグ・コントロール・ユニット (DCU) を非同期に初期化する負論理の信号です。ロウ・レベルにするとDCUをリセット/無効にします。デバッグ機能を使用しない場合は、ロウ・レベルにしてください。

詳細は、**第25章 オンチップ・デバッグ機能**を参照してください。

(2) P10, P11 (ポート1) ... 3 ステート入出力

ポート1は、1ビット単位で入力または出力を設定できる2ビットの入出力ポートです。

P10, P11は入出力ポートとして機能するほか、コントロール・モードでは外部割り込み要求信号入力として動作します。1ビットごとにポート/コントロール・モードを選択でき、INTR1レジスタとINTF1レジスタで端子の有効エッジを指定します。

P10, P11はプルアップ抵抗オプション・レジスタ1 (PU1) により、内蔵プルアップ抵抗を使用できます。

(a) ポート・モード

P10, P11はポート・モード・レジスタ1 (PM1) により、ビット単位に入力または出力を設定できます。

(b) コントロール・モード

(i) INTP9, INTP10 (External interrupt input) ... 入力

外部割り込み要求信号入力端子です。

(3) P30-P39 (ポート3) ... 3ステート入出力

ポート3は、1ビット単位で入力または出力を設定できる10ビットの入出力ポートです。

P30-P39は入出力ポートとして機能するほか、外部割り込み要求信号入力、シリアル・インタフェースの入出力、タイマ/カウンタの入出力として動作します。1ビットごとにポート/コントロール・モードを選択でき、INTR3レジスタとINTF3レジスタで端子の有効エッジを指定します。

P30-P39はプルアップ抵抗オプション・レジスタ3 (PU3) により、内蔵プルアップ抵抗を使用できます。

(a) ポート・モード

P30-P39はポート・モード・レジスタ3 (PM3) により、ビット単位に入力または出力を設定できます。

(b) コントロール・モード**(i) RXDA0, RXDA2 (Receive data) ... 入力**

UARTA0, UARTA2のシリアル受信データ入力端子です。

(ii) TXDA0, TXDA2 (Transmit data) ... 出力

UARTA0, UARTA2のシリアル送信データ出力端子です。

(iii) ASCKA0 (Asynchronous serial clock) ... 入力

UARTA0用の入力端子です。

(iv) INTP7, INTP8 (External interrupt input) ... 入力

外部割り込み要求信号入力端子です。

(v) TIP00, TIP01, TIP10, TIP11 (Timer input) ... 入力

タイマP0, P1 (TMP0, TMP1) 用の入力端子です。

(vi) TOP00, TOP01, TOP10, TOP11 (Timer output) ... 出力

タイマP0, P1 (TMP0, TMP1) 用の出力端子です。

(4) P40-P42 (ポート4) ... 3ステート入出力

ポート4は、1ビット単位で入力または出力を設定できる3ビットの入出力ポートです。

P40-P42は入出力ポートとして機能するほか、シリアル・インタフェースの入出力として動作します。1ビットごとにポート/コントロール・モードを選択できます。

P40-P42はプルアップ抵抗オプション・レジスタ4 (PU4) により、内蔵プルアップ抵抗を使用できます。

(a) ポート・モード

P40-P42はポート・モード・レジスタ4 (PM4) により、ビット単位に入力または出力を設定できます。

(b) コントロール・モード**(i) SIB0 (Serial input) ... 入力**

CSIB0のシリアル受信データ入力端子です。

(ii) SOB0 (Serial output) ... 出力

CSIB0のシリアル送信データ出力端子です。

(iii) SCKB0 (Serial clock) ... 3ステート入出力

CSIB0のシリアル・クロック入出力端子です。

(5) P50-P55 (Port 5) ... 3 ステート入出力

ポート5は、1ビット単位で入力または出力を設定できる6ビットの入出力ポートです。

P50-P55は入出力ポートとして機能するほか、タイマ/カウンタの入出力、デバッグ機能入出力、キー割り込み入力機能として動作します。1ビットごとにポート/コントロール・モードを選択できます。

P50-P55はプルアップ抵抗オプション・レジスタ5 (PU5) により、内蔵プルアップ抵抗を使用できます。

(a) ポート・モード

P50-P55はポート・モード・レジスタ5 (PM5) により、ビット単位に入力または出力を設定できます。

(b) コントロール・モード**(i) KR0-KR5 (Key return) ... 入力**

キー割り込み入力端子です。入力ポート・モード時にキー・リターン・モード・レジスタ (KRM) で動作を指定します。

(ii) TIQ00, TIQ01, TIQ02, TIQ03 (Timer input) ... 入力

タイマQ0 (TMQ0) 用の入力端子です。

(iii) TOQ00, TOQ01, TOQ02, TOQ03 (Timer output) ... 出力

タイマQ0 (TMQ0) 用の出力端子です。

(iv) DDI (Debug data input) ... 入力

デバッグ・コントロール・ユニット (DCU) のデバッグ・データ入力端子です。
詳細は、**第25章 オンチップ・デバッグ機能**を参照してください。

(v) DDO (Debug data output) ... 出力

DCUのデバッグ・データ出力端子です。
詳細は、**第25章 オンチップ・デバッグ機能**を参照してください。

(vi) DCK (Debug clock input) ... 入力

DCUのデバッグ・クロック入力端子です。
詳細は、**第25章 オンチップ・デバッグ機能**を参照してください。

(vii) DMS (Debug mode select) ... 入力

DCUのデバッグ・モード・セレクト端子です
詳細は、**第25章 オンチップ・デバッグ機能**を参照してください。

(6) P70-P715 (ポート7) ... 3ステート入出力

ポート7は、1ビット単位で入力または出力を設定できる16ビットの入出力ポートです。

P70-P715は入出力ポートとして機能するほか、コントロール・モードではA/Dコンバータのアナログ入力として動作します。ただし、アナログ入力端子として使用する場合には、入力に設定してください。このときにポートをリードしないでください。

(a) ポート・モード

P70-P715 はポート・モード・レジスタ7L, 7H (PM7L, PM7H) により、ビット単位に入力または出力を設定できます。

(b) コントロール・モード

P70-P715はANI0-ANI15端子と兼用になっています。

(i) ANI0-ANI15 (Analog input 0 - 15) ... 入力

A/Dコンバータへのアナログ入力端子です。

(7) P90-P915 (ポート9) ... 3ステート入出力

ポート9は、1ビット単位で入力または出力を設定できる16ビットの入出力ポートです。

P90-P915は入出力ポートとして機能するほか、シリアル・インタフェースの入出力、タイマ/カウンタの入出力、クロック出力、外部割り込み要求信号入力、キー割り込み入力機能として動作します。1ビットごとにポート/コントロール・モードを選択でき、P913-P915はINTR9HレジスタとINTF9Hレジスタで端子の有効エッジを指定します。

P90-P915はプルアップ抵抗オプション・レジスタ9(PU9)により、内蔵プルアップ抵抗を使用できます。

(a) ポート・モード

P90-P915はポート9モード・レジスタ(PM9)により、ビット単位に入力または出力を設定できます。

(b) コントロール・モード**(i) SIB1 (Serial input) ... 入力**

CSIB1のシリアル受信データ入力端子です。

(ii) SOB1 (Serial output) ... 出力

CSIB1のシリアル送信データ出力端子です。

(iii) SCKB1 (Serial clock) ... 3ステート入出力

CSIB1のシリアル・クロック入出力端子です。

(iv) RXDA1 (Receive data) ... 入力

UARTA1のシリアル受信データ入力端子です。

(v) TXDA1 (Transmit data) ... 出力

UARTA1のシリアル送信データ出力端子です。

(vi) TIP20, TIP21 (Timer input) ... 入力

タイマP2(TMP2)用の入力端子です。

(vii) TOP20, TOP21 (Timer output) ... 出力

タイマP2(TMP2)用の出力端子です。

(viii) TIQ10, TIQ11, TIQ12, TIQ13 (Timer input) ... 入力

タイマQ1(TMQ1)用の入力端子です。

(ix) TOQ10, TOQ11, TOQ12, TOQ13 (Timer output) ... 出力

タイマQ1(TMQ1)用の出力端子です。

(x) PCL (Clock output) ... 出力

クロックを出力します。

(xi) INTP4-INTP6 (External interrupt input) ... 入力

外部割り込み要求信号入力端子です。

(xii) KR6, KR7 (Key return) ... 入力

キー割り込み入力端子です。入力ポート・モード時にキー・リターン・モード・レジスタ (KRM) で動作を指定します。

(8) PCM0-PCM3 (ポートCM) ... 3ステート入出力

ポートCMIは、1ビット単位で入力または出力を設定できる4ビットの入出力ポートです。

PCM0-PCM3は入出力ポートとして機能するほか、コントロール・モードではバス・クロック出力として動作します。

(a) ポート・モード

PCM0-PCM3はポート・モード・レジスタCM (PMCM) により、ビット単位に入力または出力を設定できます。

(b) コントロール・モード

(i) CLKOUT (Clock output) ... 出力

内部で生成したバス・クロックを出力します。

(9) PCS0, PCS1 (ポートCS) ... 3ステート入出力

ポートCSIは、1ビット単位で入力または出力を設定できる2ビットの入出力ポートです。

(a) ポート・モード

PCS0, PCS1はポート・モード・レジスタCS (PMCS) により、ビット単位に入力または出力を設定できます。

(10) PCT0, PCT1, PCT4, PCT6 (ポートCT) ... 3ステート入出力

ポートCTは、1ビット単位で入力または出力を設定できる4ビットの入出力ポートです。

(a) ポート・モード

PCT0, PCT1, PCT4, PCT6はポート・モード・レジスタCT (PMCT) により、ビット単位に入力または出力を設定できます。

(11) PDL0-PDL13 (ポートDL) ... 3ステート入出力

ポートDLは、1ビット単位で入力または出力を設定できる14ビットの入出力ポートです。

また、フラッシュ・メモリ・プログラミング時 (FLMD0にハイ・レベルを入力) にPDL5はFLMD1端子として動作します。このとき必ずFLMD1端子にはロウ・レベルを入力してください。

(a) ポート・モード

PDL0-PDL13はポート・モード・レジスタDL (PMDL) により、ビット単位に入力または出力を設定できます。

(12) RESET (Reset) ... 入力

RESET入力は非同期入力で、動作クロックと無関係に一定のロウ・レベル幅を持つ信号が入力されると、すべての動作に優先してシステム・リセットがかかります。

通常のイニシャライズ/スタートのほかに、スタンバイ・モード (HALT, IDLE, STOP) の解除にも使用します。

(13) X1, X2 (Crystal for main clock)

システム・クロック発生用の発振子接続端子です。

(14) XT1, XT2 (Crystal for subclock)

サブクロック発生用の発振子接続端子です。

(15) AV_{SS} (Ground for analog)

A/Dコンバータおよび兼用ポート用のグラウンド端子です。

(16) AV_{REF0} (Analog reference voltage) ... 入力

A/Dコンバータおよび兼用ポート用のアナログ正電源供給端子です。

A/Dコンバータ用の基準電圧供給端子を兼用しています。

(17) EV_{DD} (Power supply for port)

入出力ポートおよび兼用機能端子用の正電源供給端子です。

(18) EV_{SS} (Ground for port)

入出力ポートおよび兼用機能端子用のグラウンド端子です。

(19) V_{DD} (Power supply)

正電源供給端子です。すべてのV_{DD}端子を正電源に接続してください。

(20) V_{SS} (Ground)

グラウンド端子です。すべてのV_{SS}端子をグラウンドに接続してください。

(21) FLMD0 (Flash programming mode) ... 入力

フラッシュ・メモリ・プログラミング・モード用の信号入力端子です。

通常動作モード時は、V_{SS}に接続してください。

(22) BV_{DD} (Power supply for port)

入出力ポートおよび兼用機能端子用の正電源供給端子です。

(23) BV_{SS} (Ground for port)

入出力ポートおよび兼用機能端子用のグラウンド端子です。

(24) REGC (Regulator control) ... 入力

レギュレータ用のコンデンサ端子です。

2.3 端子の入出力回路タイプと未使用時の処理

(1/2)

端子	ピン番号	入出力回路タイプ	推奨接続方法	
P00/TIP31/TOP31	6	5-W	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。	
P01/TIP30/TOP30	7			
P02/NMI	17			
P03/INTP0/ADTRG	18			
P04/INTP1	19			
P05/INTP2/ $\overline{\text{DRST}}$	20	5-AF	入力時：個別に抵抗を介して，EV _{SS} に接続してください。 出力時：オープンにしてください。	
P06/INTP3	21	5-W	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。	
P10/INTP9	3	5-W	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。	
P11/INTP10	4			
P30/TXDA0	25	5-A	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。	
P31/RXDA0/INTP7	26	5-W		
P32/ASCKA0/TIP00/TOP00/ TOP01	27			
P33/TIP01/TOP01	28			
P34/TIP10/TOP10	29			
P35/TIP11/TOP11	30			
P36	31			5-A
P37	32			
P38/TXDA2	35			
P39/RXDA2/INTP8	36	5-W		
P40/SIB0	22	5-W		入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P41/SOB0	23	5-A		
P42/ $\overline{\text{SCKB0}}$	24	5-W		
P50/KR0/TIQ01/TOQ01	37	5-W	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。	
P51/KR1/TIQ02/TOQ02	38			
P52/KR2/TIQ03/TOQ03/DDI	39			
P53/KR3/TIQ00/TOQ00/DDO	40			
P54/KR4/DCK	41			
P55/KR5/DMS	42			
P70/ANI0-P715/ANI15	85-100	11-G	入力時：個別に抵抗を介して，AV _{REF0} またはAV _{SS} に接続してください。 出力時：オープンにしてください。	
P90/KR6/TXDA1	43	5-W	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。	
P91/KR7/RXDA1	44			
P92/TIQ11/TOQ11	45			
P93/TIQ12/TOQ12	46			
P94/TIQ13/TOQ13	47			
P95/TIQ10/TOQ10	48			
P96/TIP21/TOP21	49			
P97/SIB1/TIP20/TOP20	50			

端子	ピン番号	入出力回路タイプ	推奨接続方法
P98/SOB1	51	5-A	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P99/SCKB1	52	5-W	
P910-P912	53-55	5-A	
P913/INTP4/PCL	56	5-W	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P914/INTP5	57		
P915/INTP6	58		
PCM0	61	5	入力時：個別に抵抗を介して，BV _{DD} またはBV _{SS} に接続してください。 出力時：オープンにしてください。
PCM1/CLKOUT	62		
PCM2	63		
PCM3	64		
PCS0	59	5	入力時：個別に抵抗を介して，BV _{DD} またはBV _{SS} に接続してください。 出力時：オープンにしてください。
PCS1	60		
PCT0	65	5	入力時：個別に抵抗を介して，BV _{DD} またはBV _{SS} に接続してください。 出力時：オープンにしてください。
PCT1	66		
PCT4	67		
PCT6	68		
PDL0-PDL4	71-75	5	入力時：個別に抵抗を介して，BV _{DD} またはBV _{SS} に接続してください。 出力時：オープンにしてください。
PDL5/FLMD1	76		
PDL6-PDL13	77-84		
AV _{REF0}	1	-	V _{DD} に直接接続してください。
AV _{SS}	2	-	-
FLMD0 ^注	8	-	V _{SS} に直接接続してください。
REGC	10	-	-
RESET	14	2	-
X1	12	-	-
X2	13	-	-
XT1	15	16	抵抗を介して，V _{SS} に接続してください。
XT2	16	16	オープンにしてください。
V _{DD}	9	-	-
V _{SS}	11	-	-
BV _{DD}	70	-	-
BV _{SS}	69	-	-
EV _{DD}	5,34	-	-
EV _{SS}	33	-	-

注 セルフ・プログラミング中にRESET端子にノイズ除去幅を越えるノイズが入力された場合，FLMD0端子に容量を接続していると容量のチャージ抜けのタイミングによっては，フラッシュ・オンボード・モードに入ってしまうため，FLMD0端子に容量を接続しないでください。

2.4 端子の入出力回路

図2 - 1 端子の入出力回路タイプ (1/2)

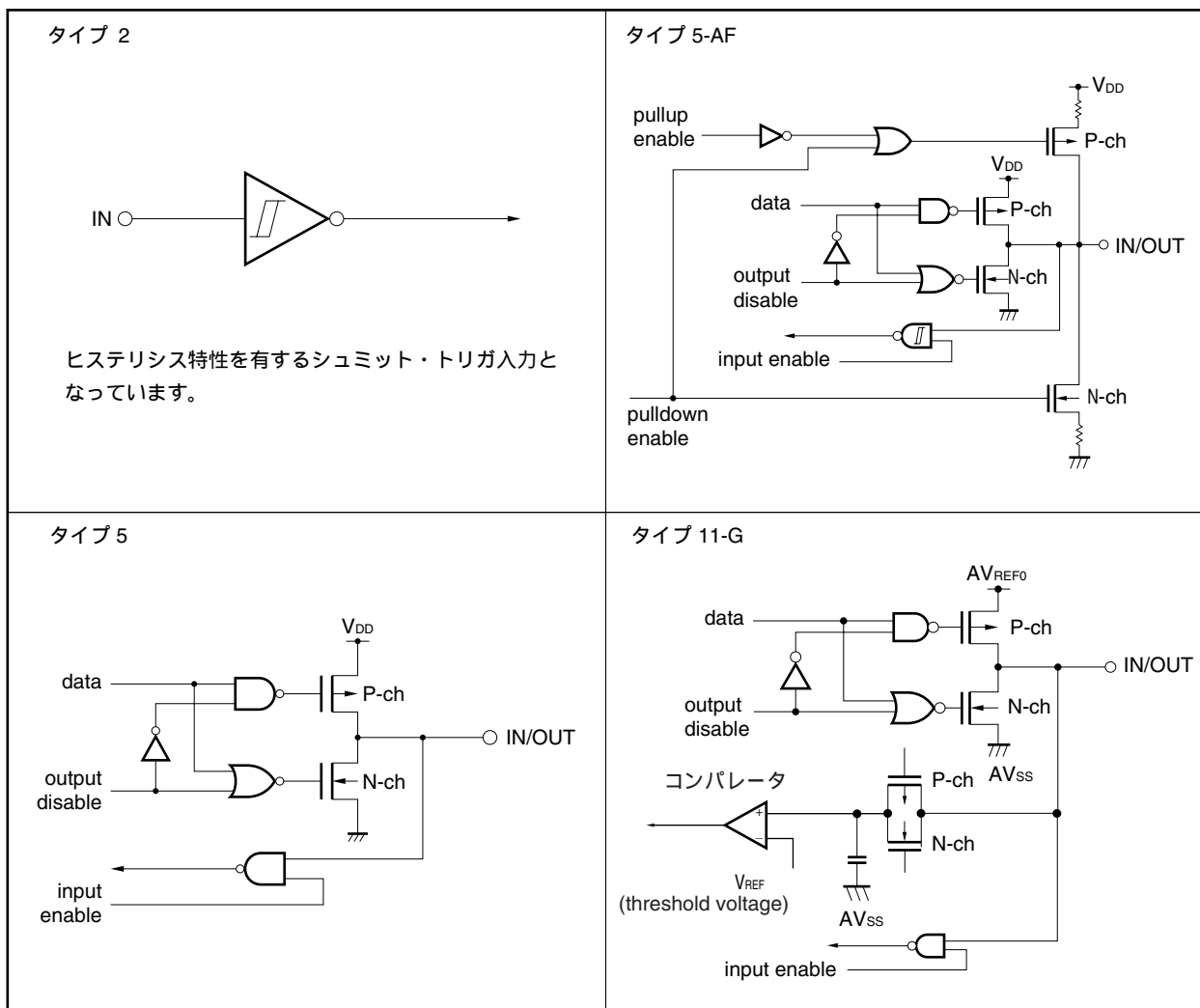
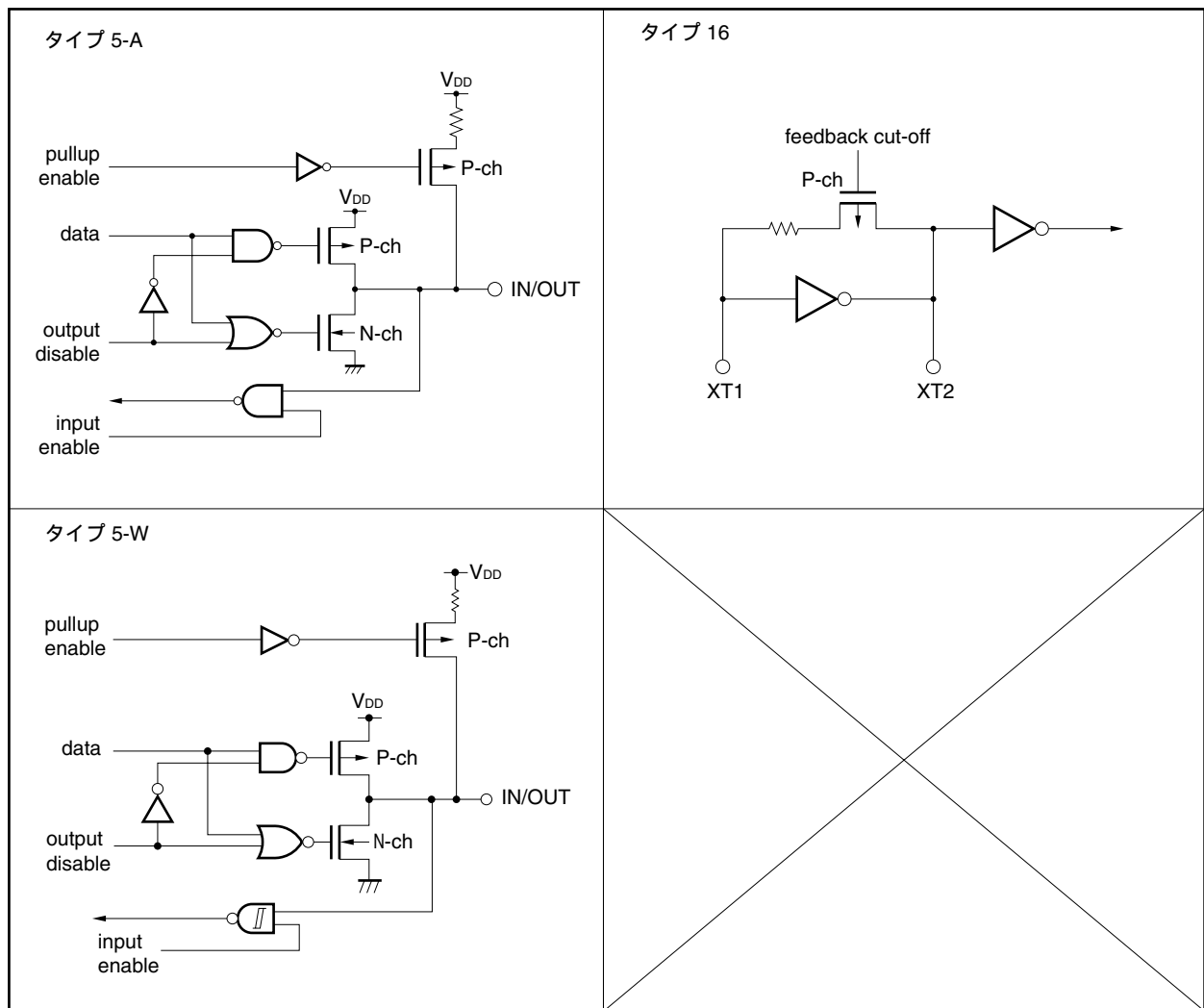


図2 - 1 端子の入出力回路タイプ (2/2)



備考 V_{DD} は、 EV_{DD} または BV_{DD} に置き換えて参照してください。 V_{SS} は、 EV_{SS} または BV_{SS} に置き換えて参照してください。

2.5 注意事項

次の端子は、電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

P53/KR3/TIQ00/TOQ00/DDO端子

第3章 CPU機能

V850ES/HG2のCPUは、RISCアーキテクチャをベースとして、5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

3.1 特 徴

最小命令実行時間：50 ns（20 MHz動作時）

メモリ空間 プログラム（物理アドレス）空間：64 Mバイト・リニア

データ（論理アドレス）空間 : 4 Gバイト・リニア

汎用レジスタ：32ビット×32本

内部32ビット・アーキテクチャ

5段パイプライン制御

乗除算命令

飽和演算命令

32ビット・シフト命令：1クロック

ロング/ショート形式を持つロード/ストア命令

ビット操作命令4種

- ・SET1
- ・CLR1
- ・NOT1
- ・TST1

3.2 CPUレジスタ・セット

V850ES/HG2のレジスタは、汎用のプログラム・レジスタ・セットと、専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅となっています。

詳細はV850ES ユーザーズ・マニュアル アーキテクチャ編を参照してください。

(1) プログラム・レジスタ・セット		(2) システム・レジスタ・セット	
31	0	31	0
r0	(ゼロ・レジスタ)	EIPC	(割り込み時状態回避レジスタ)
r1	(アセンブラ予約レジスタ)	EIPSW	(割り込み時状態回避レジスタ)
r2			
r3	(スタック・ポインタ (SP))	FEPC	(NMI時状態回避レジスタ)
r4	(グローバル・ポインタ (GP))	FEPSW	(NMI時状態回避レジスタ)
r5	(テキスト・ポインタ (TP))		
r6		ECR	(割り込み要因レジスタ)
r7			
r8		PSW	(プログラム・ステータス・ワード)
r9			
r10		CTPC	(CALLT実行時状態回避レジスタ)
r11		CTPSW	(CALLT実行時状態回避レジスタ)
r12			
r13		DBPC	(例外/デバッグ・トラップ時状態回避レジスタ)
r14		DBPSW	(例外/デバッグ・トラップ時状態回避レジスタ)
r15			
r16			
r17		CTBP	(CALLTベース・ポインタ)
r18			
r19			
r20			
r21			
r22			
r23			
r24			
r25			
r26			
r27			
r28			
r29			
r30	(エレメント・ポインタ (EP))		
r31	(リンク・ポインタ (LP))		
31	0		
PC	(プログラム・カウンタ)		

3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

(1) 汎用レジスタ (r0-r31)

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれでもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。r0は常に0を保持しているレジスタで、0を使用する演算やオフセット0のアドレッシングで使用されます。r30はSLD命令とSST命令により、メモリをアクセスするときのベース・ポインタとして使用されます。また、r1、r3-r5、r31は、アセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。r2は、リアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は、変数用レジスタとしてr2を使用できます。

表3 - 1 プログラム・レジスタ一覧

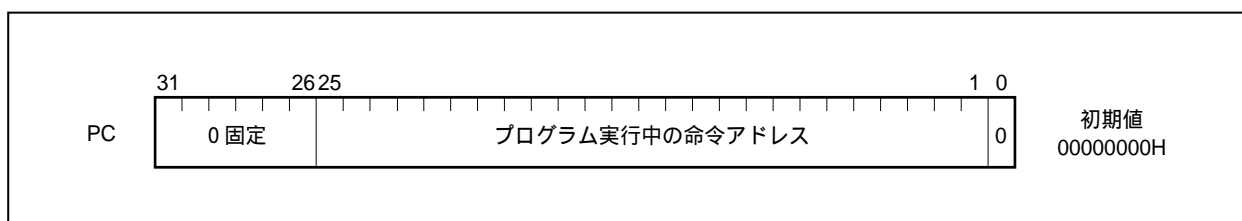
名称	用途	動作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミディエト作成用のワーキング・レジスタとして使用
r2	アドレス / データ変数用レジスタ (使用するリアルタイムOSがr2を使用していない場合)	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域 (プログラム・コードを配置する領域) の先頭を指すレジスタとして使用
r6-r29	アドレス / データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

備考 アセンブラやCコンパイラで使用されるr1、r3-r5、r31の詳細な説明は、CA850 (Cコンパイラ・パッケージ) ユーザーズ・マニュアル アセンブリー言語編を参照してください。

(2) プログラム・カウンタ (PC)

プログラム実行中の命令アドレスを保持します。下位26ビットが有効で、ビット31-26は0に固定されます。ビット25からビット26へのキャリーがあっても無視します。

また、ビット0は0に固定されており、奇数番地への分岐はできません。



3.2.2 システム・レジスタ・セット

システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

システム・レジスタへのリード/ライトは、システム・レジスタ・ロード/ストア命令 (LDSR, STSR命令) により、次に示すシステム・レジスタ番号を設定することで行います。

表3-2 システム・レジスタ番号

システム・レジスタ番号	システム・レジスタ名称	オペランド指定の可否	
		LDSR命令	STSR命令
0	割り込み時状態退避レジスタ (EIPC) ^{注1}		
1	割り込み時状態退避レジスタ (EIPSW) ^{注1}		
2	NMI時状態退避レジスタ (FEPC) ^{注1}		
3	NMI時状態退避レジスタ (FEPSW) ^{注1}		
4	割り込み要因レジスタ (ECR)	×	
5	プログラム・ステータス・ワード (PSW)		
6-15	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	×	×
16	CALLT実行時状態退避レジスタ (CTPC)		
17	CALLT実行時状態退避レジスタ (CTPSW)		
18	例外/デバッグ・トラップ時状態退避レジスタ (DBPC)	注2	注2
19	例外/デバッグ・トラップ時状態退避レジスタ (DBPSW)	注2	注2
20	CALLTベース・ポインタ (CTBP)		
21-31	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	×	×

注1. これらのレジスタは1組しかいないため、多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。

2. DBTRAP命令、または不正命令コードを実行してからDBRET命令を実行するまでの期間のみアクセス可能です。

注意 LDSR命令によりEIPCかFEPC、またはCTPCのビット0をセット(1)しても、割り込み処理後のRETI命令で復帰するときにビット0は無視されます(PCのビット0を0固定してあるため)。EIPC、FEPC、CTPCに値を設定する場合は、偶数値(ビット0=0)を設定してください。

備考 : アクセス可能

× : アクセス禁止

(1) 割り込み時状態退避レジスタ (EIPC, EIPSW)

割り込み時状態退避レジスタには、EIPCとEIPSWがあります。

ソフトウェア例外やマスカブル割り込みが発生した場合、プログラム・カウンタ (PC) の内容がEIPCに、プログラム・ステータス・ワード (PSW) の内容がEIPSWに退避されます (ノンマスカブル割り込み (NMI) 発生時には、NMI時状態退避レジスタ (FEPC, FEPSW) に退避されます)。

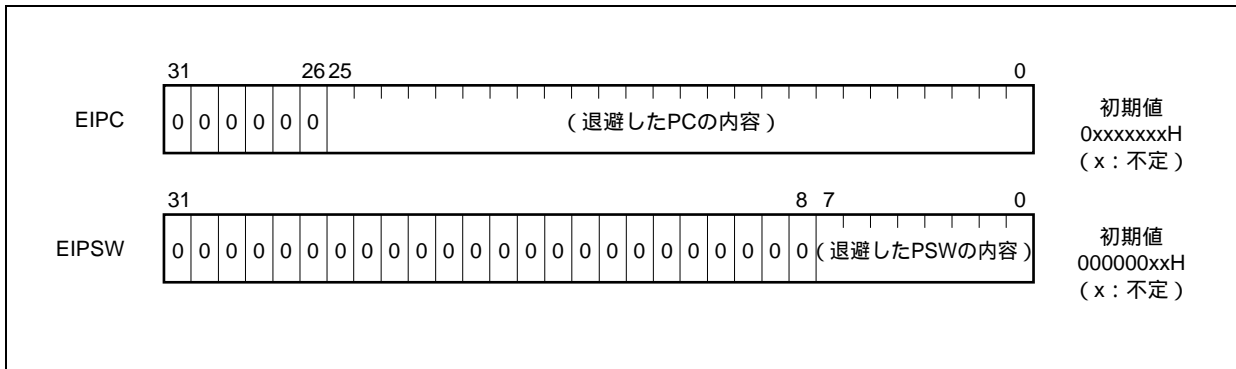
EIPCには、一部の命令 (15.8 CPUが割り込みを受け付けない期間参照) を除き、ソフトウェア例外やマスカブル割り込みが発生したときに実行していた命令の次の命令のアドレスが退避されます。

EIPSWには、現在のPSWの内容が退避されます。

割り込み時状態退避レジスタは1組しかないので、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお、EIPCのビット31-26とEIPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、EIPCの値はPCへ、EIPSWの値はPSWへ復帰します。



(2) NMI時状態退避レジスタ (FEPC, FEPSW)

NMI時状態退避レジスタには、FEPCとFEPSWがあります。

ノンマスクابل割り込み (NMI) が発生した場合、プログラム・カウンタ (PC) の内容がFEPCに、プログラム・ステータス・ワード (PSW) の内容がFEPSW に退避されます。

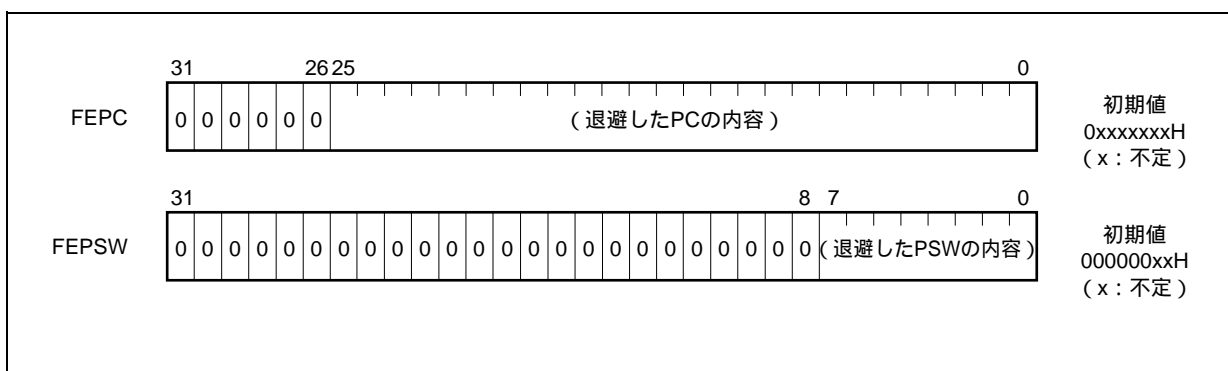
FEPCには、一部の命令を除き、NMIが発生したときに実行していた命令の次の命令のアドレスが退避されます。

FEPSWには、現在のPSWの内容が退避されます。

NMI時状態退避レジスタは1組しかないため、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

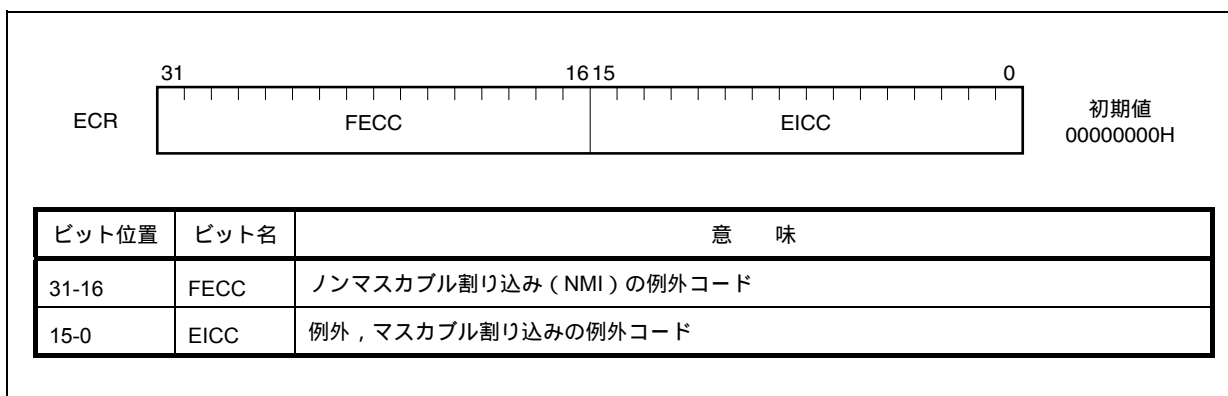
なお、FEPCのビット31-26とFEPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、FEPCの値はPCへ、FEPSWの値はPSWへ復帰します。



(3) 割り込み要因レジスタ (ECR)

割り込み要因レジスタ (ECR) は、例外や割り込みが発生した場合に、その要因を保持するレジスタです。ECRが保持する値は、割り込み要因ごとにコード化された例外コードです。なお、このレジスタは読み出し専用のため、LDSR命令を使ってこのレジスタにデータを書き込むことはできません。



(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワード (PSW) は、プログラムの状態 (命令実行の結果) やCPUの状態を示すフラグの集合です。

LDSR命令を使用してこのレジスタの各ビットの内容を変更した場合は、LDSR命令実行終了直後から変更内容が有効となります。ただし、IDフラグをセット (1) する場合、LDSR命令実行中から割り込み要求の受け付けを禁止します。

なお、ビット31-8は、将来の機能拡張のために予約されています (0に固定)。

(1/2)

PSW	<div style="display: flex; justify-content: space-between; align-items: center;"> 31 8 7 6 5 4 3 2 1 0 </div> <div style="border: 1px solid black; padding: 5px; display: flex; justify-content: space-between; align-items: center;"> RFU <table border="1" style="border-collapse: collapse; text-align: center;"> <tr> <td style="width: 15px;">NP</td> <td style="width: 15px;">EP</td> <td style="width: 15px;">ID</td> <td style="width: 15px;">SAT</td> <td style="width: 15px;">CY</td> <td style="width: 15px;">OV</td> <td style="width: 15px;">S</td> <td style="width: 15px;">Z</td> </tr> </table> </div>	NP	EP	ID	SAT	CY	OV	S	Z	初期値 00000020H
NP	EP	ID	SAT	CY	OV	S	Z			
ビット位置	フラグ名	意 味								
31-8	RFU	予約フィールドです。“0”に固定されています。								
7	NP	ノンマスクブル割り込み (NMI) 処理中であることを示します。NMI要求が受け付けられるとセット“1”され、多重割り込みを禁止します。 0: NMI処理中でない。 1: NMI処理中である。								
6	EP	例外処理中であることを示します。例外の発生でセット“1”されます。なお、このビットがセットされても割り込み要求は受け付けます。 0: 例外処理中でない。 1: 例外処理中である。								
5	ID	マスクブル割り込み要求を受け付ける状態かどうかを示します。 0: 割り込み可 1: 割り込み不可								
4	SAT ^注	飽和演算命令の演算結果がオーバーフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット“1”され、以降の命令の演算結果が飽和しなくてもクリア“0”されません。クリア“0”する場合は、LDSR命令により行います。なお、算術演算命令の実行では、セット“1”もクリア“0”も行いません。 0: 飽和していない。 1: 飽和している。								
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0: キャリー、またはボローは発生していない。 1: キャリー、またはボローが発生した。								
2	OV ^注	演算中にオーバーフローが発生したかどうかを示します。 0: オーバーフローは発生していない。 1: オーバーフローが発生した。								
1	S ^注	演算の結果が負かどうかを示します。 0: 演算の結果は、正または0であった。 1: 演算の結果は負であった。								
0	Z	演算の結果が0かどうかを示します。 0: 演算の結果は0でなかった。 1: 演算の結果は0であった。								
備考 注の説明は次ページに記載しています。										

注 飽和演算時のOVフラグとSフラグの内容で飽和処理した演算結果が決まります。また、飽和演算時にOVフラグがセット(1)された場合だけ、SATフラグはセット(1)されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正(最大値を越えない)	演算前の値を	0	0	演算結果そのもの
負(最大値を越えない)	保持		1	

(5) CALLT実行時状態退避レジスタ(CTPC, CTPSW)

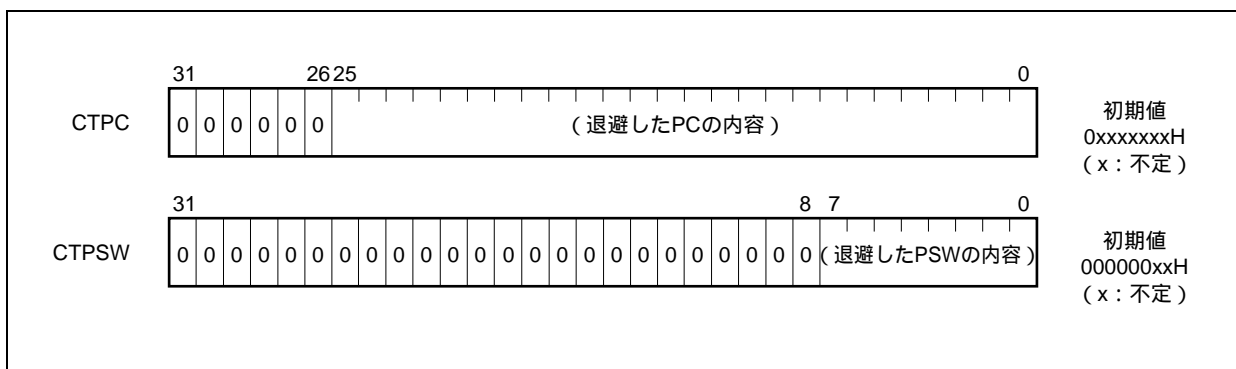
CALLT実行時状態退避レジスタには、CTPCとCTPSWがあります。

CALLT命令が実行されると、プログラム・カウンタ(PC)の内容がCTPCに、プログラム・ステータス・ワード(PSW)の内容がCTPSWに退避されます。

CTPCに退避される内容は、CALLT命令の次の命令のアドレスです。

CTPSWには、現在のPSWの内容が退避されます。

なお、CTPCのビット31-26とCTPSWのビット31-8は、将来の機能拡張のために予約されています(“0”に固定)。



(6) 例外 / デバッグ・トラップ時状態退避レジスタ (DBPC, DBPSW)

例外 / デバッグ・トラップ時状態退避レジスタとして、DBPCとDBPSWがあります。

例外トラップ,またはデバッグ・トラップが発生すると,プログラム・カウンタ(PC)の内容がDBPC に,プログラム・ステータス・ワード(PSW)の内容がDBPSWに退避されます。

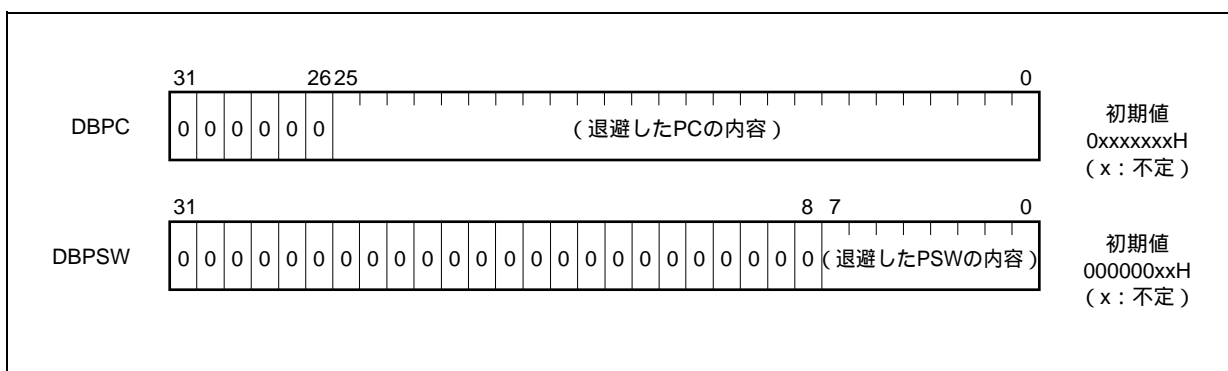
DBPCに退避される内容は,例外トラップ,またはデバッグ・トラップが発生したときに実行していた命令の次の命令のアドレスです。

DBPSWには,現在のPSWの内容が退避されます。

このレジスタへのリード/ライトは,DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけ可能です。

なお,DBPCのビット31-26とDBPSWのビット31-8は,将来の機能拡張のために予約されています(“0”に固定)。

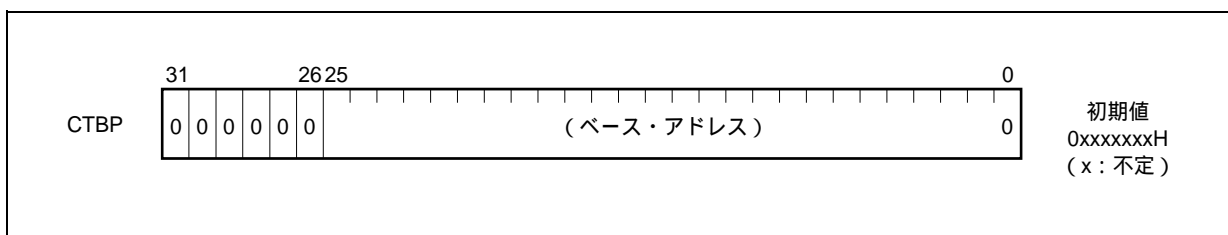
DBRET命令により,DBPCの値はPCへ,DBPSWの値はPSWへ復帰します。



(7) CALLTベース・ポインタ (CTBP)

CALLTベース・ポインタ (CTBP) は,テーブル・アドレスの指定,ターゲット・アドレスの生成に使用されます(ビット0は“0”に固定)。

なお,ビット31-26は,将来の機能拡張のために予約されています(“0”に固定)。



3.3 動作モード

V850ES/HG2は次に示す動作モードを備えます。

(1) 通常動作モード

システム・リセット解除後、バス・インタフェース関連の各端子はポート・モードになり、内蔵ROMのリセット・エントリ・アドレスに分岐し、命令処理を開始します。

(2) フラッシュ・メモリ・プログラミング・モード

このモードを指定すると、フラッシュ・ライターによる内蔵フラッシュ・メモリへのプログラム動作が可能になります。

(3) オンチップ・デバッグ・モード

JTAG (Joint Test Action Group) の通信仕様を利用したオンチップ・デバッグ機能を内蔵しています。詳細は第25章 **オンチップ・デバッグ機能**を参照してください。

3.3.1 動作モード指定

FLMD0, FLMD1端子の状態により、動作モードを指定します。

通常モード時は、リセット解除時に、FLMD0端子にロウ・レベルを入力してください。

フラッシュ・メモリ・プログラミング・モード時のFLMD0端子へのハイ・レベル入力、フラッシュ・ライター接続時はフラッシュ・ライターから行いますが、セルフ・プログラミング時は外部回路で行ってください。

リセット解除時の動作		リセット後の動作モード
FLMD0	FLMD1	
L	x	通常動作モード
H	L	フラッシュ・メモリ・プログラミング・モード
H	H	設定禁止

備考 L：ロウ・レベル入力

H：ハイ・レベル入力

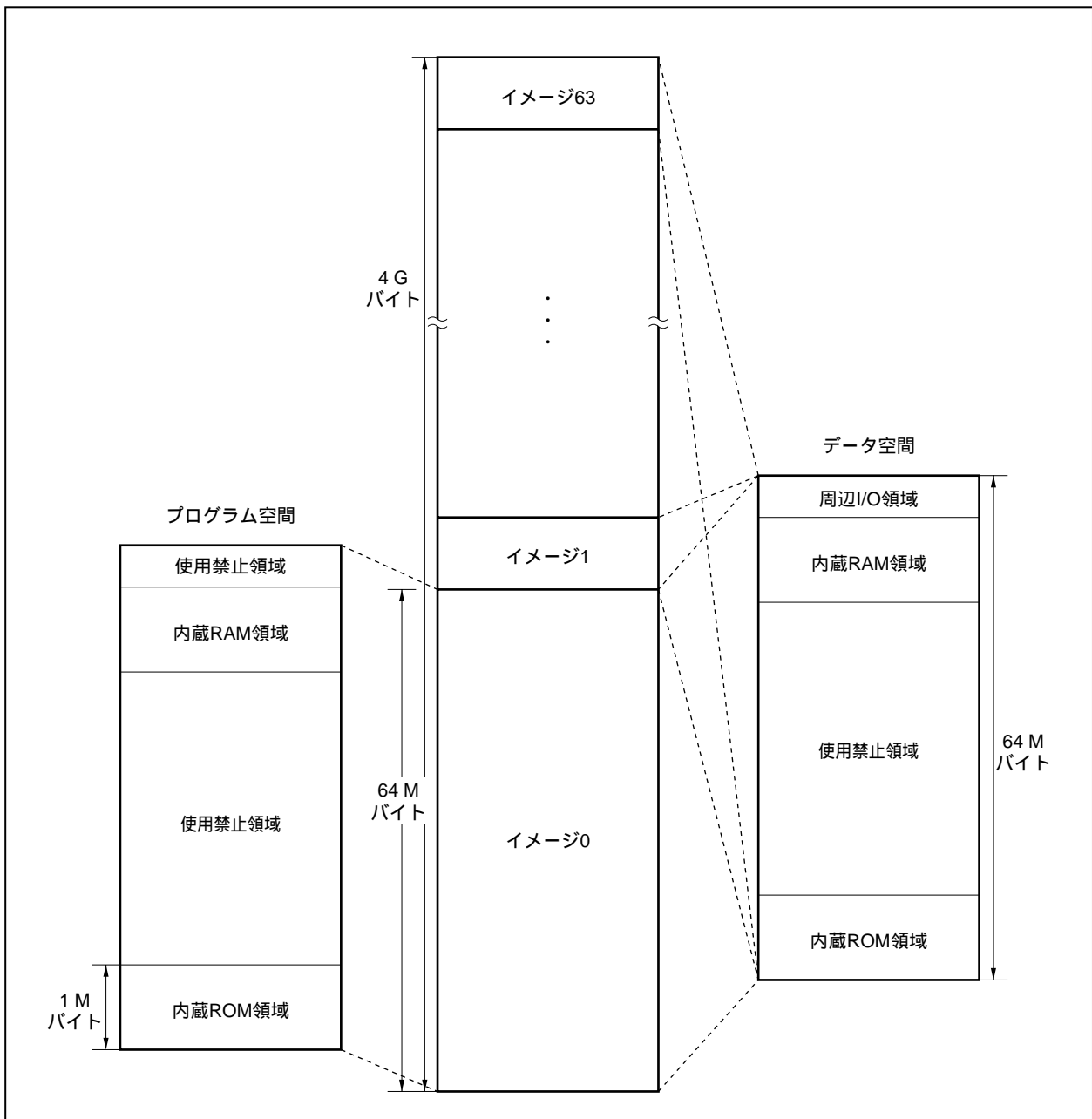
x：任意

3.4 アドレス空間

3.4.1 CPUアドレス空間

命令アドレスのアドレッシングにおいては、最大で64 Mバイトのリニア・アドレス空間（プログラム空間）のうち最大1 Mバイトの内蔵ROM領域と、内蔵RAM領域をサポートしています。オペランド・アドレッシング（データ・アクセス）においては、最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。ただし、4 Gバイトのアドレス空間には64 Mバイトの物理アドレス空間が64個のイメージとして見えます。つまり、ビット31-26がどのような値でも、同じ64 Mバイトの物理アドレス空間をアクセスします。

図3 - 1 アドレス空間上のイメージ



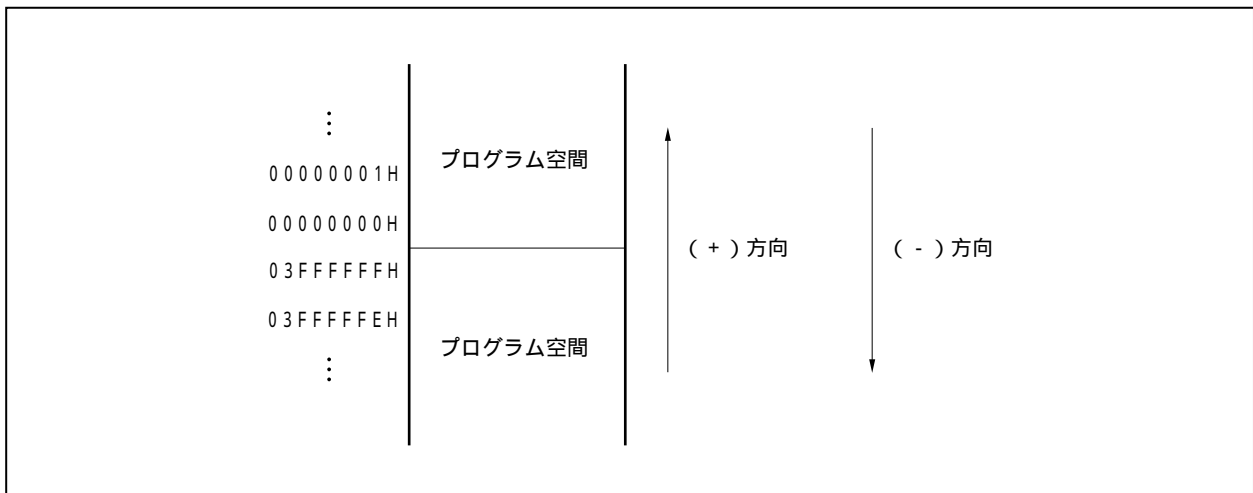
3.4.2 CPUアドレス空間のラップ・アラウンド

(1) プログラム空間

PC (プログラム・カウンタ) は32ビットのうち上位6ビットが0固定で、下位26ビットだけ有効です。分岐アドレス計算などでビット25からビット26に対するキャリーまたはボローがあっても上位6ビットはこれを無視します。

したがって、プログラム空間の上限である03FFFFFFH番地と、下限である00000000H番地は連続したアドレスとなります。このようにメモリ空間の上限と下限が連続したアドレスになることをラップ・アラウンドといいます。

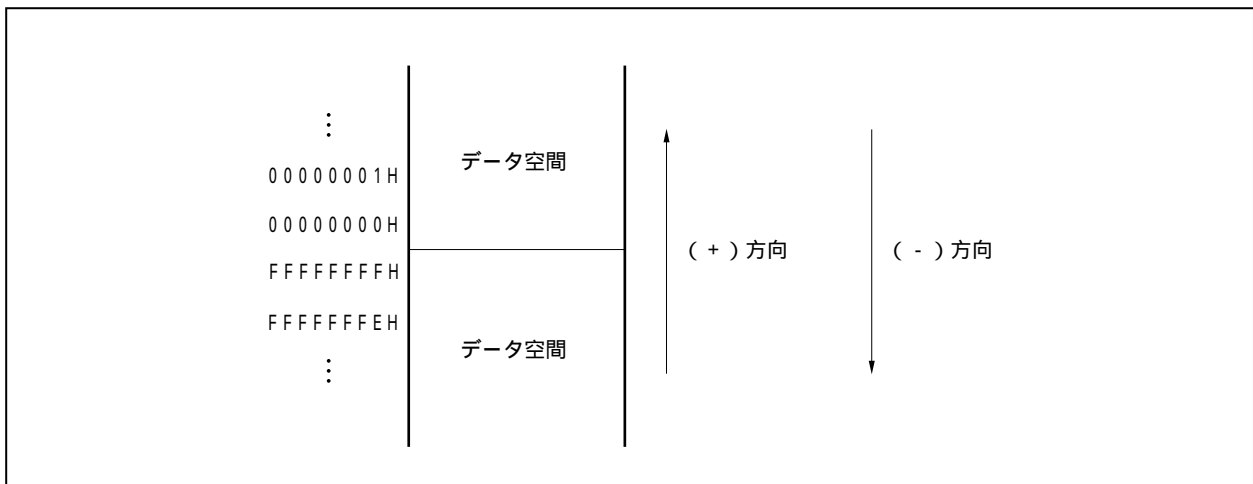
注意 03FFF000H-03FFFFFFHの4 Kバイトの領域は、内蔵周辺I/O領域のため、命令フェッチすることができません。したがって、分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。



(2) データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。

したがって、データ空間の上限であるFFFFFFFFH番地と、下限である00000000H番地は連続したアドレスになり、この境界でラップ・アラウンドします。



3.4.3 メモリ・マップ

V850ES/HG2では、次に示すように各領域を予約しています。

図3-2 データ・メモリ・マップ(物理アドレス)

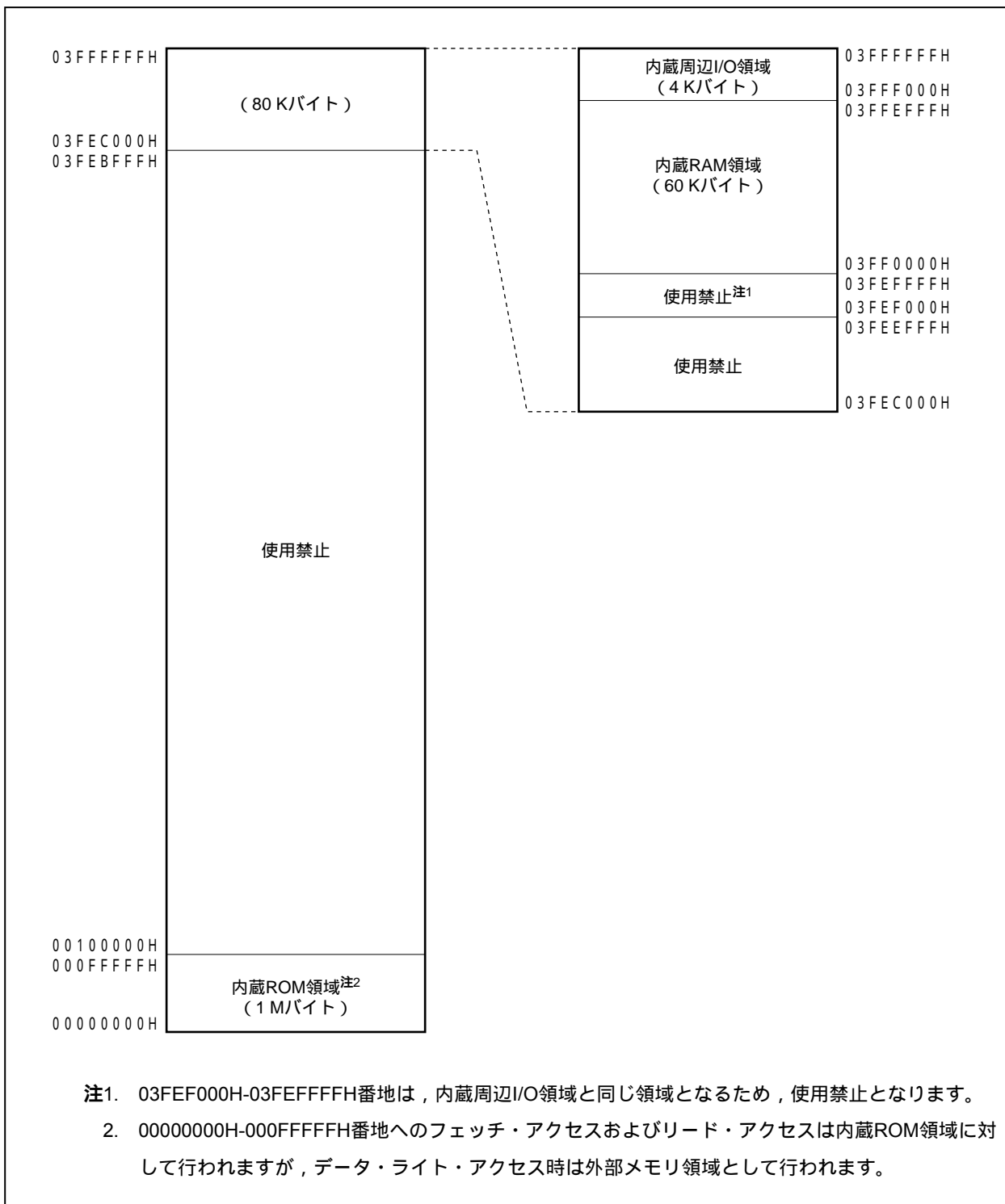
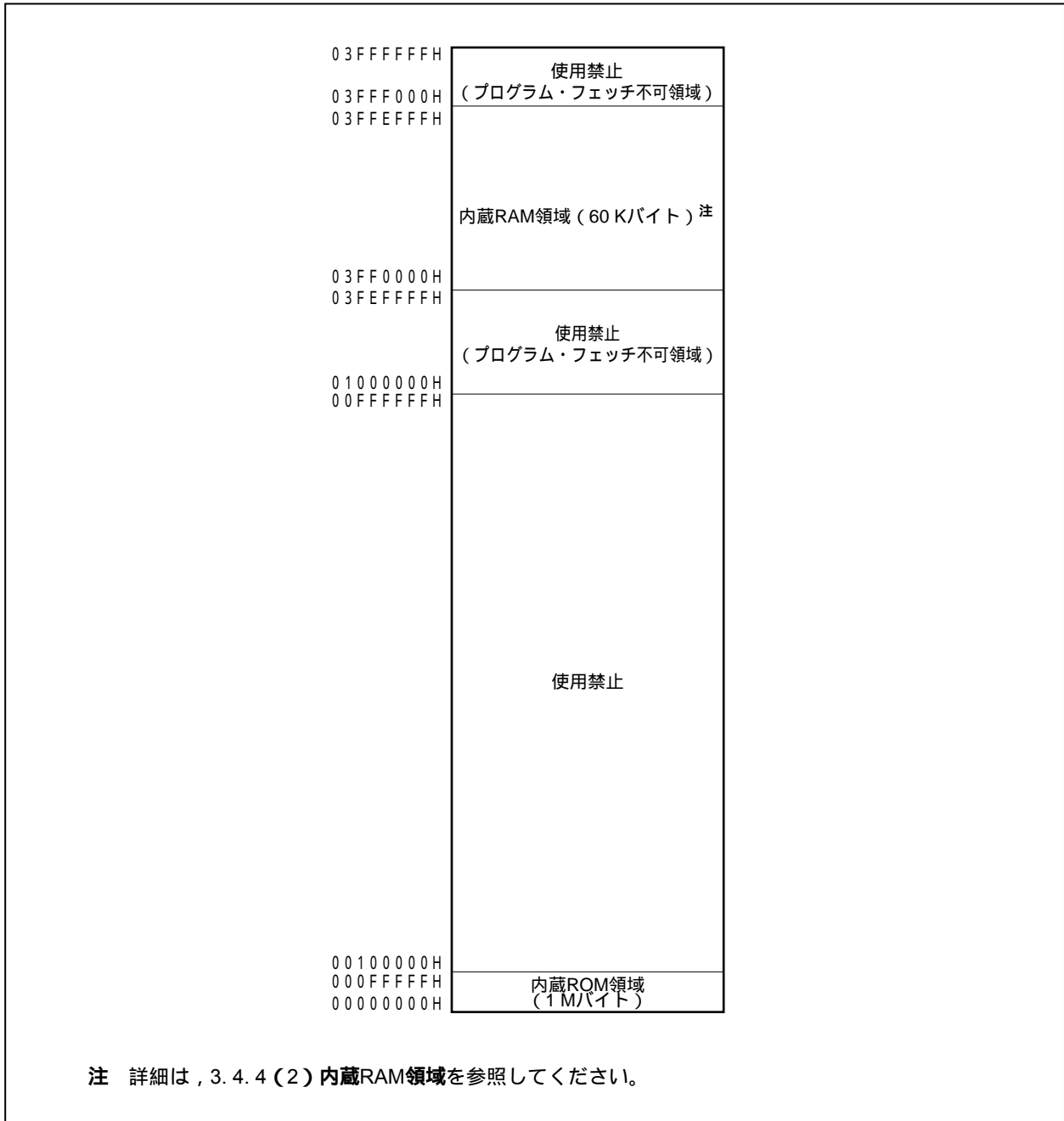


図3-3 プログラム・メモリ・マップ



3.4.4 領域

(1) 内蔵ROM領域

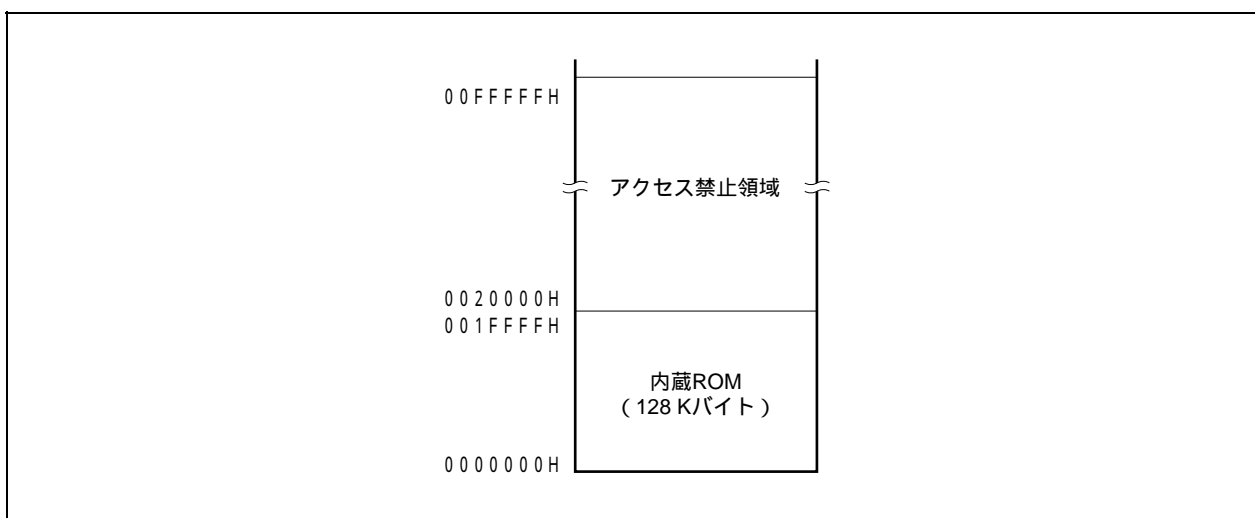
内蔵ROM領域は、最大1 Mバイトが予約されています。

(a) 内蔵ROM (128 Kバイト)

μ PD70F3706には、0000000Hから001FFFFH番地に128 Kバイト実装しています。

0020000Hから00FFFFFFH番地はアクセス禁止領域です。

図3 - 4 内蔵ROM (128 Kバイト)

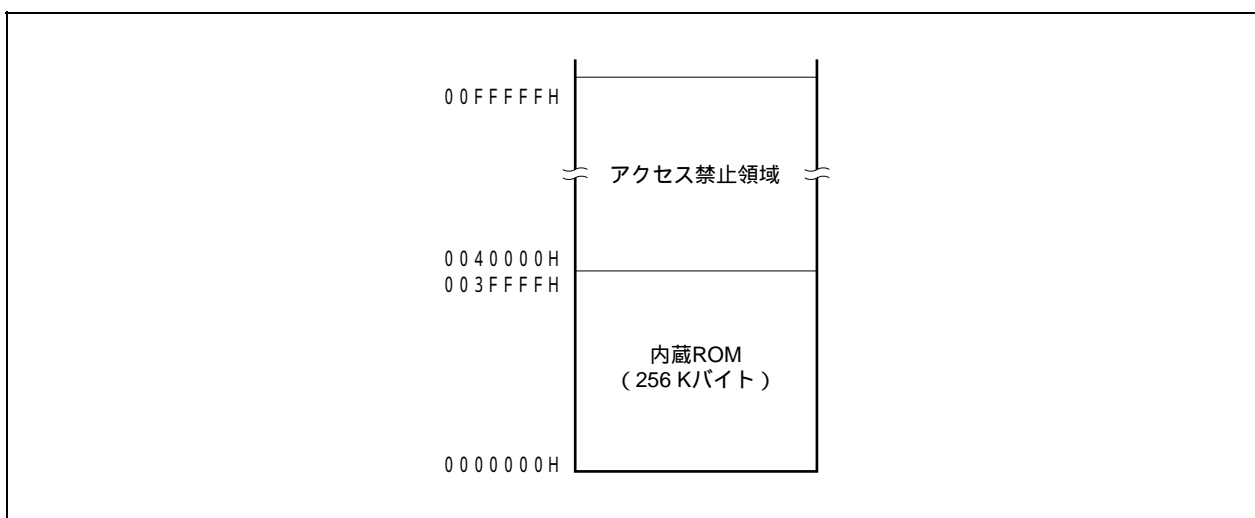


(b) 内蔵ROM (256 Kバイト)

μ PD70F3707には、0000000Hから003FFFFH番地に256 Kバイト実装しています。

0040000Hから00FFFFFFH番地はアクセス禁止領域です。

図3 - 5 内蔵ROM (256 Kバイト)



(2) 内蔵RAM領域

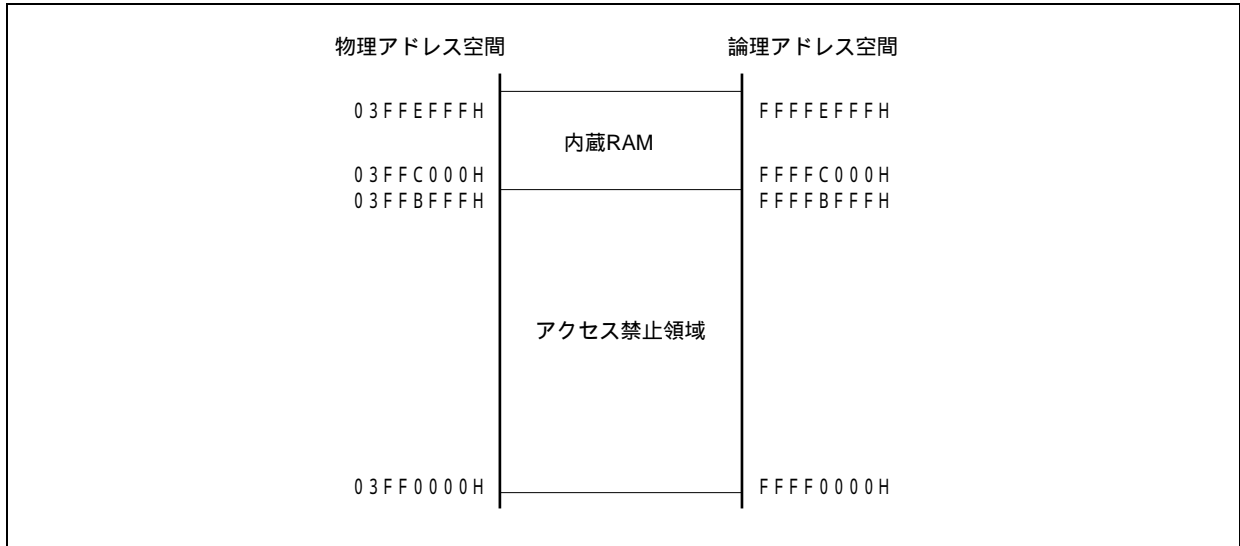
内蔵RAM領域は、最大60 Kバイトが予約されています。

(a) 内蔵RAM (12 Kバイト)

V850ES/HG2には03FFC000Hから03FFFEFFH番地に12 Kバイト実装しています。

03FF0000Hから03FFBFFFH番地はアクセス禁止領域です。

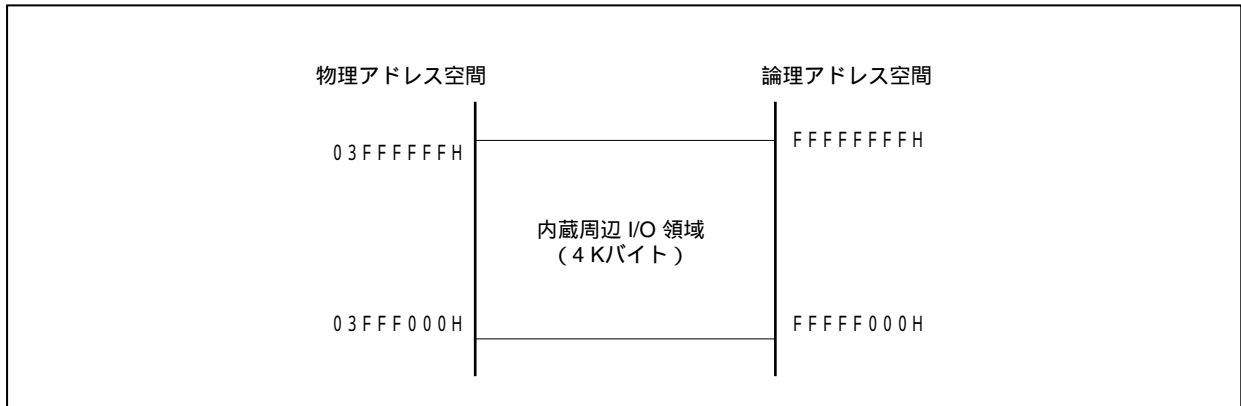
図3 - 6 内蔵RAM領域 (12 Kバイト)



(3) 内蔵周辺I/O領域

内蔵周辺I/O領域として03FFF000H-03FFFFFFH番地の4 Kバイトを予約しています。

図3 - 7 内蔵周辺I/O領域



内蔵周辺I/O領域には、内蔵周辺I/Oの動作モード指定、状態モニタリングなどの機能を割り付けた周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

- 注意1.** レジスタにワード・アクセスを行うと、アドレスの下位2ビットを無視したワード領域に対し下位、上位の順番でハーフワード・アクセスを2回行います。
- 2.** バイト・アクセス可能なレジスタにハーフワード・アクセスした場合、リード時は上位8ビットが不定になり、ライト時は下位8ビット・データがレジスタに書き込まれます。
- 3.** レジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。

3.4.5 アドレス空間の推奨使用方法

V850ES/HG2のアーキテクチャでは、データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトには、命令から直接オペランド・データ・アクセスが行えます。しかし、ポインタ用レジスタとして使う汎用レジスタには限りがあるため、ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで、変数用の汎用レジスタを最大限に確保し、かつプログラム・サイズを抑えることができます。

(1) プログラム空間

PC(プログラム・カウンタ)は、32ビットのうち上位6ビットは0に固定であり、下位26ビットだけ有効となります。したがって、プログラム空間に関しては無条件に00000000H番地から連続した64 Mバイト空間がそのままメモリ・マップに対応します。

内蔵RAM領域をプログラム空間として使用する場合は、03FFC000H-03FFEFFFH番地(12 Kバイト)に対してアクセスしてください。

注意 内蔵RAM領域の上限に分岐命令がある場合、内蔵周辺I/O領域にまたがるプリフェッチ動作(無効フェッチ)は発生しません。

(2) データ空間

V850ES/HG2では、4 GバイトのCPUアドレス空間に64 Mバイトの物理アドレス空間が64個のイメージとして見えるため、この26ビット・アドレスの最上位ビット(ビット25)を32ビット長まで符号拡張したアドレスとして割り当てています。

(a) ラップ・アラウンドを利用した応用例

LD/ST disp16[R]命令でR = r0(ゼロ・レジスタ)とした場合、符号拡張したdisp16により、00000000H番地 ± 32 Kバイトの範囲がアドレッシング可能です。内蔵ハードウェアのすべてのリソースについて1つのポインタでアドレス指定可能です。

ゼロ・レジスタ(r0)はハードウェアでゼロ固定のレジスタであり、ポインタ専用に費やすレジスタは実質不要となります。

図3 - 8 ラップ・アラウンド (μPD70F3707)

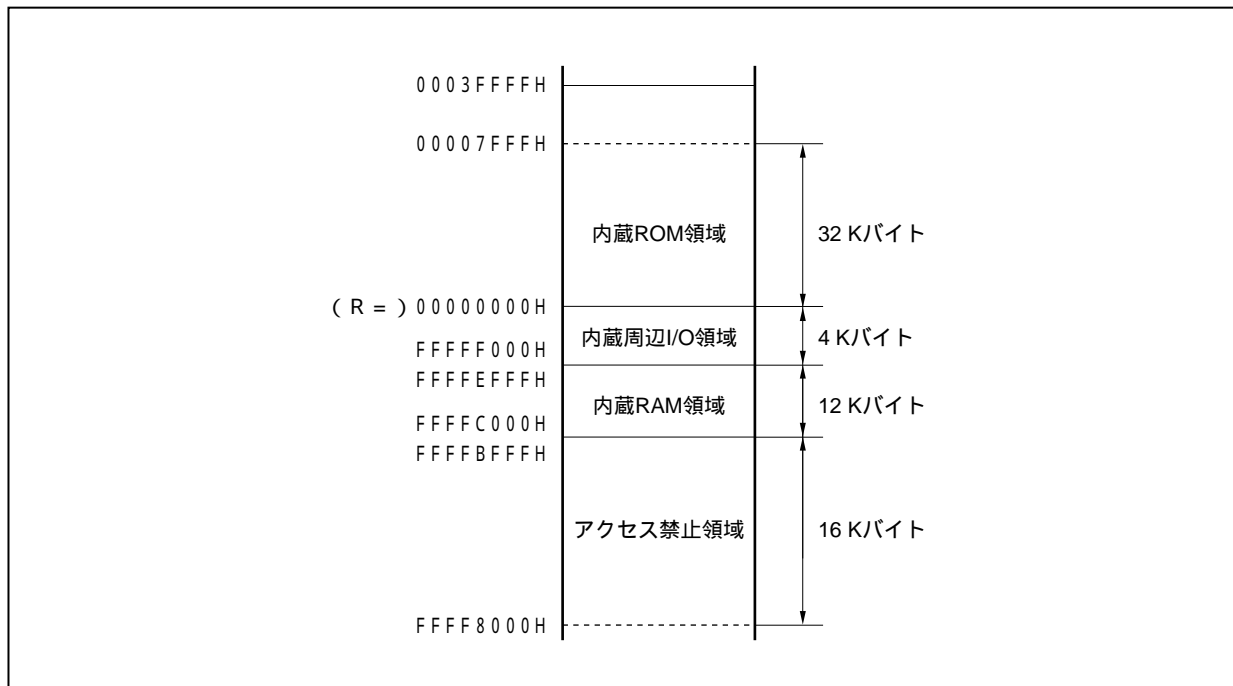
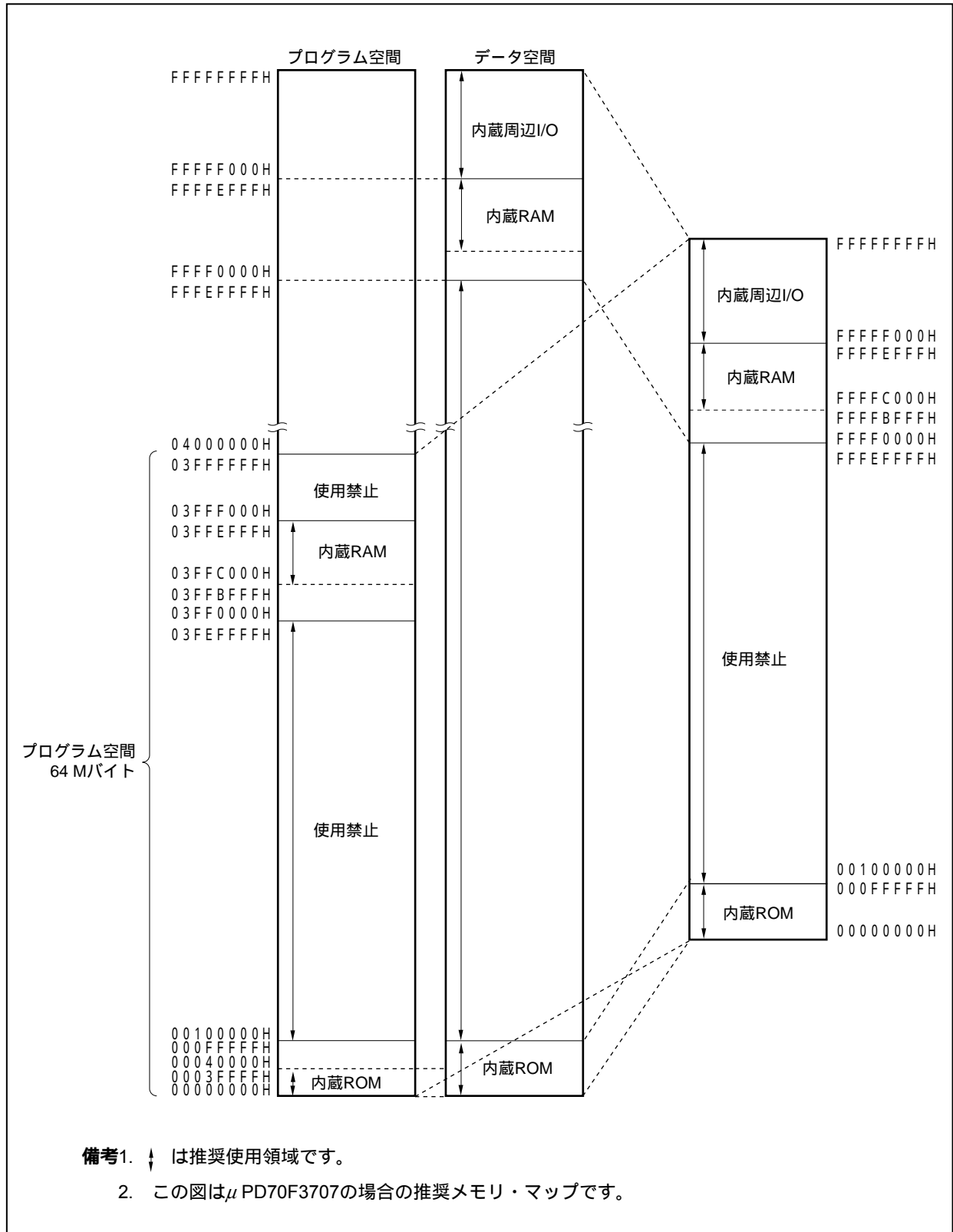


図3-9 推奨メモリ・マップ



3.4.6 周辺I/Oレジスタ

(1/9)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF004H	ポートDL	PDL	R/W				不定
FFFFFF004H	ポートDLL	PDLL					不定
FFFFFF005H	ポートDLH	PDLH					不定
FFFFFF008H	ポートCS	PCS					不定
FFFFFF00AH	ポートCT	PCT					不定
FFFFFF00CH	ポートCM	PCM					不定
FFFFFF024H	ポート・モード・レジスタDL	PMDL					FFFFH
FFFFFF024H	ポート・モード・レジスタDLL	PMDLL					FFH
FFFFFF025H	ポート・モード・レジスタDLH	PMDLH					FFH
FFFFFF028H	ポート・モード・レジスタCS	PMCS					FFH
FFFFFF02AH	ポート・モード・レジスタCT	PMCT					FFH
FFFFFF02CH	ポート・モード・レジスタCM	PMCM					FFH
FFFFFF04CH	ポート・モード・コントロール・レジスタCM	PMCCM					00H
FFFFFF06EH	システム・ウェイト・コントロール・レジスタ	VSWC					77H
FFFFFF080H	DMAソース・アドレス・レジスタ0L	DSA0L					不定
FFFFFF082H	DMAソース・アドレス・レジスタ0H	DSA0H					不定
FFFFFF084H	DMAデスティネーション・アドレス・レジスタ0L	DDA0L					不定
FFFFFF086H	DMAデスティネーション・アドレス・レジスタ0H	DDA0H					不定
FFFFFF088H	DMAソース・アドレス・レジスタ1L	DSA1L					不定
FFFFFF08AH	DMAソース・アドレス・レジスタ1H	DSA1H					不定
FFFFFF08CH	DMAデスティネーション・アドレス・レジスタ1L	DDA1L					不定
FFFFFF08EH	DMAデスティネーション・アドレス・レジスタ1H	DDA1H					不定
FFFFFF090H	DMAソース・アドレス・レジスタ2L	DSA2L					不定
FFFFFF092H	DMAソース・アドレス・レジスタ2H	DSA2H					不定
FFFFFF094H	DMAデスティネーション・アドレス・レジスタ2L	DDA2L					不定
FFFFFF096H	DMAデスティネーション・アドレス・レジスタ2H	DDA2H					不定
FFFFFF098H	DMAソース・アドレス・レジスタ3L	DSA3L					不定
FFFFFF09AH	DMAソース・アドレス・レジスタ3H	DSA3H					不定
FFFFFF09CH	DMAデスティネーション・アドレス・レジスタ3L	DDA3L					不定
FFFFFF09EH	DMAデスティネーション・アドレス・レジスタ3H	DDA3H					不定
FFFFFF0C0H	DMA転送カウント・レジスタ0	DBC0					不定
FFFFFF0C2H	DMA転送カウント・レジスタ1	DBC1					不定
FFFFFF0C4H	DMA転送カウント・レジスタ2	DBC2					不定
FFFFFF0C6H	DMA転送カウント・レジスタ3	DBC3				不定	
FFFFFF0D0H	DMAアドレッシング・コントロール・レジスタ0	DADC0				0000H	
FFFFFF0D2H	DMAアドレッシング・コントロール・レジスタ1	DADC1				0000H	
FFFFFF0D4H	DMAアドレッシング・コントロール・レジスタ2	DADC2				0000H	
FFFFFF0D6H	DMAアドレッシング・コントロール・レジスタ3	DADC3				0000H	

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	1	
FFFFF0F0H	DMAチャンネル・コントロール・レジスタ0	DCHC0	R/W				00H
FFFFF0D2H	DMAチャンネル・コントロール・レジスタ1	DCHC1					00H
FFFFF0D4H	DMAチャンネル・コントロール・レジスタ2	DCHC2					00H
FFFFF0D6H	DMAチャンネル・コントロール・レジスタ3	DCHC3					00H
FFFFF100H	割り込みマスク・レジスタ0	IMR0					FFFFH
FFFFF100H	割り込みマスク・レジスタ0L	IMR0L					FFH
FFFFF101H	割り込みマスク・レジスタ0H	IMR0H					FFH
FFFFF102H	割り込みマスク・レジスタ1	IMR1					FFFFH
FFFFF102H	割り込みマスク・レジスタ1L	IMR1L					FFH
FFFFF103H	割り込みマスク・レジスタ1H	IMR1H					FFH
FFFFF104H	割り込みマスク・レジスタ2	IMR2					FFFFH
FFFFF104H	割り込みマスク・レジスタ2L	IMR2L					FFH
FFFFF105H	割り込みマスク・レジスタ2H	IMR2H					FFH
FFFFF106H	割り込みマスク・レジスタ3	IMR3					FFFFH
FFFFF106H	割り込みマスク・レジスタ3L	IMR3L					FFH
FFFFF107H	割り込みマスク・レジスタ3H	IMR3H					FFH
FFFFF110H	割り込み制御レジスタ	LVIIC					47H
FFFFF112H	割り込み制御レジスタ	PIC0					47H
FFFFF114H	割り込み制御レジスタ	PIC1					47H
FFFFF116H	割り込み制御レジスタ	PIC2					47H
FFFFF118H	割り込み制御レジスタ	PIC3					47H
FFFFF11AH	割り込み制御レジスタ	PIC4					47H
FFFFF11CH	割り込み制御レジスタ	PIC5					47H
FFFFF11EH	割り込み制御レジスタ	PIC6					47H
FFFFF120H	割り込み制御レジスタ	PIC7					47H
FFFFF122H	割り込み制御レジスタ	TQ0OVIC					47H
FFFFF124H	割り込み制御レジスタ	TQ0CCIC0					47H
FFFFF126H	割り込み制御レジスタ	TQ0CCIC1					47H
FFFFF128H	割り込み制御レジスタ	TQ0CCIC2					47H
FFFFF12AH	割り込み制御レジスタ	TQ0CCIC3					47H
FFFFF12CH	割り込み制御レジスタ	TP0OVIC					47H
FFFFF12EH	割り込み制御レジスタ	TP0CCIC0					47H
FFFFF130H	割り込み制御レジスタ	TP0CCIC1					47H
FFFFF132H	割り込み制御レジスタ	TP1OVIC					47H
FFFFF134H	割り込み制御レジスタ	TP1CCIC0					47H
FFFFF136H	割り込み制御レジスタ	TP1CCIC1					47H
FFFFF138H	割り込み制御レジスタ	TP2OVIC					47H
FFFFF13AH	割り込み制御レジスタ	TP2CCIC0					47H
FFFFF13CH	割り込み制御レジスタ	TP2CCIC1					47H
FFFFF13EH	割り込み制御レジスタ	TP3OVIC					47H
FFFFF140H	割り込み制御レジスタ	TP3CCIC0					47H
FFFFF142H	割り込み制御レジスタ	TP3CCIC1					47H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値		
				1	8	16			
FFFFFF144H	割り込み制御レジスタ	TM0EQIC0	R/W				47H		
FFFFFF146H	割り込み制御レジスタ	CB0RIC					47H		
FFFFFF148H	割り込み制御レジスタ	CB0TIC					47H		
FFFFFF14AH	割り込み制御レジスタ	CB1RIC					47H		
FFFFFF14CH	割り込み制御レジスタ	CB1TIC					47H		
FFFFFF14EH	割り込み制御レジスタ	UA0RIC					47H		
FFFFFF150H	割り込み制御レジスタ	UA0TIC					47H		
FFFFFF152H	割り込み制御レジスタ	UA1RIC					47H		
FFFFFF154H	割り込み制御レジスタ	UA1TIC					47H		
FFFFFF156H	割り込み制御レジスタ	ADIC					47H		
FFFFFF160H	割り込み制御レジスタ	KRIC					47H		
FFFFFF162H	割り込み制御レジスタ	WTIIC					47H		
FFFFFF164H	割り込み制御レジスタ	WTIC					47H		
FFFFFF166H	割り込み制御レジスタ	PIC8					47H		
FFFFFF168H	割り込み制御レジスタ	PIC9					47H		
FFFFFF16AH	割り込み制御レジスタ	PIC10					47H		
FFFFFF16CH	割り込み制御レジスタ	TQ1OVIC					47H		
FFFFFF16EH	割り込み制御レジスタ	TQ1CCIC0					47H		
FFFFFF170H	割り込み制御レジスタ	TQ1CCIC1					47H		
FFFFFF172H	割り込み制御レジスタ	TQ1CCIC2					47H		
FFFFFF174H	割り込み制御レジスタ	TQ1CCIC3					47H		
FFFFFF176H	割り込み制御レジスタ	UA2RIC					47H		
FFFFFF178H	割り込み制御レジスタ	UA2TIC					47H		
FFFFFF182H	割り込み制御レジスタ	DMAIC0					47H		
FFFFFF184H	割り込み制御レジスタ	DMAIC1					47H		
FFFFFF186H	割り込み制御レジスタ	DMAIC2					47H		
FFFFFF188H	割り込み制御レジスタ	DMAIC3					47H		
FFFFFF1FAH	インサービス・プライオリティ・レジスタ	ISPR		R				00H	
FFFFFF1FCH	コマンド・レジスタ	PRCMD		W				不定	
FFFFFF1FEH	パワー・セーブ・コントロール・レジスタ	PSC		R/W				00H	
FFFFFF200H	A/Dコンバータ・モード・レジスタ0	ADA0M0					00H		
FFFFFF201H	A/Dコンバータ・モード・レジスタ1	ADA0M1					00H		
FFFFFF202H	A/Dコンバータ・チャンネル指定レジスタ0	ADA0S					00H		
FFFFFF203H	A/Dコンバータ・モード・レジスタ2	ADA0M2					00H		
FFFFFF204H	パワー・フェイル比較モード・レジスタ	ADA0PFM					00H		
FFFFFF205H	パワー・フェイル比較しきい値レジスタ	ADA0PFT					00H		
FFFFFF210H	A/D変換結果レジスタ0	ADA0CR0	R					不定	
FFFFFF211H	A/D変換結果レジスタ0H	ADA0CR0H							不定
FFFFFF212H	A/D変換結果レジスタ1	ADA0CR1							不定
FFFFFF213H	A/D変換結果レジスタ1H	ADA0CR1H						不定	
FFFFFF214H	A/D変換結果レジスタ2	ADA0CR2						不定	
FFFFFF215H	A/D変換結果レジスタ2H	ADA0CR2H						不定	

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	
				1	8	16		
FFFF216H	A/D変換結果レジスタ3	ADA0CR3	R				不定	
FFFF217H	A/D変換結果レジスタ3H	ADA0CR3H					不定	
FFFF218H	A/D変換結果レジスタ4	ADA0CR4					不定	
FFFF219H	A/D変換結果レジスタ4H	ADA0CR4H					不定	
FFFF21AH	A/D変換結果レジスタ5	ADA0CR5					不定	
FFFF21BH	A/D変換結果レジスタ5H	ADA0CR5H					不定	
FFFF21CH	A/D変換結果レジスタ6	ADA0CR6					不定	
FFFF21DH	A/D変換結果レジスタ6H	ADA0CR6H					不定	
FFFF21EH	A/D変換結果レジスタ7	ADA0CR7					不定	
FFFF21FH	A/D変換結果レジスタ7H	ADA0CR7H					不定	
FFFF220H	A/D変換結果レジスタ8	ADA0CR8					不定	
FFFF221H	A/D変換結果レジスタ8H	ADA0CR8H					不定	
FFFF222H	A/D変換結果レジスタ9	ADA0CR9					不定	
FFFF223H	A/D変換結果レジスタ9H	ADA0CR9H					不定	
FFFF224H	A/D変換結果レジスタ10	ADA0CR10					不定	
FFFF225H	A/D変換結果レジスタ10H	ADA0CR10H					不定	
FFFF226H	A/D変換結果レジスタ11	ADA0CR11					不定	
FFFF227H	A/D変換結果レジスタ11H	ADA0CR11H					不定	
FFFF228H	A/D変換結果レジスタ12	ADA0CR12					不定	
FFFF229H	A/D変換結果レジスタ12H	ADA0CR12H					不定	
FFFF22AH	A/D変換結果レジスタ13	ADA0CR13					不定	
FFFF22BH	A/D変換結果レジスタ13H	ADA0CR13H					不定	
FFFF22CH	A/D変換結果レジスタ14	ADA0CR14					不定	
FFFF22DH	A/D変換結果レジスタ14H	ADA0CR14H					不定	
FFFF22EH	A/D変換結果レジスタ15	ADA0CR15					不定	
FFFF22FH	A/D変換結果レジスタ15H	ADA0CR15H					不定	
FFFF300H	キー・リターン・モード・レジスタ	KRM		R/W				00H
FFFF308H	セレクタ動作制御レジスタ0	SELCNT0						00H
FFFF318H	ノイズ除去制御レジスタ	NFC						00H
FFFF400H	ポート0	P0						不定
FFFF402H	ポート1	P1					不定	
FFFF406H	ポート3	P3					不定	
FFFF406H	ポート3L	P3L					不定	
FFFF407H	ポート3H	P3H					不定	
FFFF408H	ポート4	P4					不定	
FFFF40AH	ポート5	P5					不定	
FFFF40EH	ポート7L	P7L					不定	
FFFF40FH	ポート7H	P7H					不定	
FFFF412H	ポート9	P9					不定	
FFFF412H	ポート9L	P9L					不定	
FFFF413H	ポート9H	P9H					不定	

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF420H	ポート・モード・レジスタ0	PM0	R/W				FFH
FFFFFF422H	ポート・モード・レジスタ1	PM1					FFH
FFFFFF426H	ポート・モード・レジスタ3	PM3					FFFFH
FFFFFF426H	ポート・モード・レジスタ3L	PM3L					FFH
FFFFFF427H	ポート・モード・レジスタ3H	PM3H					FFH
FFFFFF428H	ポート・モード・レジスタ4	PM4					FFH
FFFFFF42AH	ポート・モード・レジスタ5	PM5					FFH
FFFFFF42EH	ポート・モード・レジスタ7L	PM7L					FFH
FFFFFF42FH	ポート・モード・レジスタ7H	PM7H					FFH
FFFFFF432H	ポート・モード・レジスタ9	PM9					FFFFH
FFFFFF432H	ポート・モード・レジスタ9L	PM9L					FFH
FFFFFF433H	ポート・モード・レジスタ9H	PM9H					FFH
FFFFFF440H	ポート・モード・コントロール・レジスタ0	PMC0					00H
FFFFFF442H	ポート・モード・コントロール・レジスタ1	PMC1					00H
FFFFFF446H	ポート・モード・コントロール・レジスタ3	PMC3					0000H
FFFFFF446H	ポート・モード・コントロール・レジスタ3L	PMC3L					00H
FFFFFF448H	ポート・モード・コントロール・レジスタ4	PMC4					00H
FFFFFF44AH	ポート・モード・コントロール・レジスタ5	PMC5					00H
FFFFFF452H	ポート・モード・コントロール・レジスタ9	PMC9					0000H
FFFFFF452H	ポート・モード・コントロール・レジスタ9L	PMC9L				00H	
FFFFFF453H	ポート・モード・コントロール・レジスタ9H	PMC9H				00H	
FFFFFF460H	ポート・ファンクション・コントロール・レジスタ0	PFC0				00H	
FFFFFF466H	ポート・ファンクション・コントロール・レジスタ3L	PFC3L				00H	
FFFFFF46AH	ポート・ファンクション・コントロール・レジスタ5	PFC5				00H	
FFFFFF472H	ポート・ファンクション・コントロール・レジスタ9	PFC9				0000H	
FFFFFF472H	ポート・ファンクション・コントロール・レジスタ9L	PFC9L				00H	
FFFFFF473H	ポート・ファンクション・コントロール・レジスタ9H	PFC9H				00H	
FFFFFF540H	TMQ0制御レジスタ0	TQ0CTL0				00H	
FFFFFF541H	TMQ0制御レジスタ1	TQ0CTL1				00H	
FFFFFF542H	TMQ0 I/O制御レジスタ0	TQ0IOC0				00H	
FFFFFF543H	TMQ0 I/O制御レジスタ1	TQ0IOC1				00H	
FFFFFF544H	TMQ0 I/O制御レジスタ2	TQ0IOC2				00H	
FFFFFF545H	TMQ0オプション・レジスタ0	TQ0OPT0				00H	
FFFFFF546H	TMQ0キャプチャ/コンペア・レジスタ0	TQ0CCR0				0000H	
FFFFFF548H	TMQ0キャプチャ/コンペア・レジスタ1	TQ0CCR1				0000H	
FFFFFF54AH	TMQ0キャプチャ/コンペア・レジスタ2	TQ0CCR2				0000H	
FFFFFF54CH	TMQ0キャプチャ/コンペア・レジスタ3	TQ0CCR3				0000H	
FFFFFF54EH	TMQ0カウンタ・リード・バッファ・レジスタ	TQ0CNT	R			0000H	
FFFFFF590H	TMP0制御レジスタ0	TP0CTL0	R/W				00H
FFFFFF591H	TMP0制御レジスタ1	TP0CTL1					00H
FFFFFF592H	TMP0 I/O制御レジスタ0	TP0IOC0					00H
FFFFFF593H	TMP0 I/O制御レジスタ1	TP0IOC1					00H
FFFFFF594H	TMP0 I/O制御レジスタ2	TP0IOC2					00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF595H	TMP0オプション・レジスタ0	TP0OPT0	R/W				00H
FFFFF596H	TMP0キャプチャ/コンペア・レジスタ0	TP0CCR0					0000H
FFFFF598H	TMP0キャプチャ/コンペア・レジスタ1	TP0CCR1					0000H
FFFFF59AH	TMP0カウンタ・リード・バッファ・レジスタ	TP0CNT	R				0000H
FFFFF5A0H	TMP1制御レジスタ0	TP1CTL0	R/W				00H
FFFFF5A1H	TMP1制御レジスタ1	TP1CTL1					00H
FFFFF5A2H	TMP1 I/O制御レジスタ0	TP1IOC0					00H
FFFFF5A3H	TMP1 I/O制御レジスタ1	TP1IOC1					00H
FFFFF5A4H	TMP1 I/O制御レジスタ2	TP1IOC2					00H
FFFFF5A5H	TMP1オプション・レジスタ0	TP1OPT0					00H
FFFFF5A6H	TMP1キャプチャ/コンペア・レジスタ0	TP1CCR0					0000H
FFFFF5A8H	TMP1キャプチャ/コンペア・レジスタ1	TP1CCR1					0000H
FFFFF5AAH	TMP1カウンタ・リード・バッファ・レジスタ	TP1CNT	R				0000H
FFFFF5B0H	TMP2制御レジスタ0	TP2CTL0	R/W				00H
FFFFF5B1H	TMP2制御レジスタ1	TP2CTL1					00H
FFFFF5B2H	TMP2 I/O制御レジスタ0	TP2IOC0					00H
FFFFF5B3H	TMP2 I/O制御レジスタ1	TP2IOC1					00H
FFFFF5B4H	TMP2 I/O制御レジスタ2	TP2IOC2					00H
FFFFF5B5H	TMP2オプション・レジスタ0	TP2OPT0					00H
FFFFF5B6H	TMP2キャプチャ/コンペア・レジスタ0	TP2CCR0					0000H
FFFFF5B8H	TMP2キャプチャ/コンペア・レジスタ1	TP2CCR1					0000H
FFFFF5BAH	TMP2カウンタ・リード・バッファ・レジスタ	TP2CNT	R				0000H
FFFFF5C0H	TMP3制御レジスタ0	TP3CTL0	R/W				00H
FFFFF5C1H	TMP3制御レジスタ1	TP3CTL1					00H
FFFFF5C2H	TMP3 I/O制御レジスタ0	TP3IOC0					00H
FFFFF5C3H	TMP3 I/O制御レジスタ1	TP3IOC1					00H
FFFFF5C4H	TMP3 I/O制御レジスタ2	TP3IOC2					00H
FFFFF5C5H	TMP3オプション・レジスタ0	TP3OPT0					00H
FFFFF5C6H	TMP3キャプチャ/コンペア・レジスタ0	TP3CCR0					0000H
FFFFF5C8H	TMP3キャプチャ/コンペア・レジスタ1	TP3CCR1					0000H
FFFFF5CAH	TMP3カウンタ・リード・バッファ・レジスタ	TP3CNT	R				0000H
FFFFF610H	TMQ1制御レジスタ0	TQ1CTL0	R/W				00H
FFFFF611H	TMQ1制御レジスタ1	TQ1CTL1					00H
FFFFF612H	TMQ1 I/O制御レジスタ0	TQ1IOC0					00H
FFFFF613H	TMQ1 I/O制御レジスタ1	TQ1IOC1					00H
FFFFF614H	TMQ1 I/O制御レジスタ2	TQ1IOC2					00H
FFFFF615H	TMQ1タイマ・オプション・レジスタ0	TQ1OPT0					00H
FFFFF616H	TMQ1キャプチャ/コンペア・レジスタ0	TQ1CCR0					0000H
FFFFF618H	TMQ1キャプチャ/コンペア・レジスタ1	TQ1CCR1					0000H
FFFFF61AH	TMQ1キャプチャ/コンペア・レジスタ2	TQ1CCR2					0000H
FFFFF61CH	TMQ1キャプチャ/コンペア・レジスタ3	TQ1CCR3					0000H
FFFFF61EH	TMQ1カウンタ・リード・バッファ・レジスタ	TQ1CNT	R				0000H
FFFFF680H	時計タイマ動作モード・レジスタ	WTM	R/W				00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF690H	TMM0制御レジスタ0	TM0CTL0	R/W				00H
FFFFFF694H	TMM0コンペア・レジスタ0	TM0CMP0					0000H
FFFFFF6C0H	発振安定時間選択レジスタ	OSTS					06H
FFFFFF6C1H	PLLロック・アップ時間指定レジスタ	PLLS					03H
FFFFFF6D0H	ウォッチドッグ・タイマ・モード・レジスタ2	WDTM2					67H
FFFFFF6D1H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE					9AH
FFFFFF706H	ポート・ファンクション・コントロール拡張レジスタ3L	PFCE3L					00H
FFFFFF70AH	ポート・ファンクション・コントロール拡張レジスタ5	PFCE5					00H
FFFFFF712H	ポート・ファンクション・コントロール拡張レジスタ9	PFCE9					0000H
FFFFFF712H	ポート・ファンクション・コントロール拡張レジスタ9L	PFCE9L					00H
FFFFFF713H	ポート・ファンクション・コントロール拡張レジスタ9H	PFCE9H					00H
FFFFFF802H	システム・ステータス・レジスタ	SYS					00H
FFFFFF80CH	内蔵発振モード・レジスタ	RCM					00H
FFFFFF810H	DMAトリガ要因レジスタ0	DTFR0					00H
FFFFFF812H	DMAトリガ要因レジスタ1	DTFR1					00H
FFFFFF814H	DMAトリガ要因レジスタ2	DTFR2					00H
FFFFFF816H	DMAトリガ要因レジスタ3	DTFR3					00H
FFFFFF820H	パワー・セーブ・モード・レジスタ	PSMR					00H
FFFFFF824H	ロック・レジスタ	LOCKR	R				00H
FFFFFF828H	プロセッサ・クロック・コントロール・レジスタ	PCC	R/W				03H
FFFFFF82CH	PLLコントロール・レジスタ	PLLCTL					01H
FFFFFF82EH	CPU動作クロック・ステータス・レジスタ	CCLS	R				00H
FFFFFF82FH	プログラマブル・クロック・モード・レジスタ	PCLM	R/W				00H
FFFFFF870H	クロック・モニタ・モード・レジスタ	CLM					00H
FFFFFF888H	リセット要因フラグ・レジスタ	RESF					00H
FFFFFF890H	低電圧検出レジスタ	LVIM					00H
FFFFFF891H	低電圧検出レベル選択レジスタ	LVIS					00H
FFFFFF892H	内蔵RAMデータ・ステータス・レジスタ	RAMS					01H
FFFFFF8B0H	プリスケラ・モード・レジスタ0	PRSM0					00H
FFFFFF8B1H	プリスケラ・コンペア・レジスタ0	PRSCM0					00H
FFFFFF9FCH	オンチップ・デバッグ・モード・レジスタ	OCDM					01H
FFFFFF9FEH	周辺エミュレーション・レジスタ1	PEMU1					00H
FFFFFFA00H	UARTA0制御レジスタ0	UA0CTL0					10H
FFFFFFA01H	UARTA0制御レジスタ1	UA0CTL1					00H
FFFFFFA02H	UARTA0制御レジスタ2	UA0CTL2					FFH
FFFFFFA03H	UARTA0オプション制御レジスタ0	UA0OPT0					14H
FFFFFFA04H	UARTA0状態レジスタ	UA0STR					00H
FFFFFFA06H	UARTA0受信データ・レジスタ	UA0RX	R				FFH
FFFFFFA07H	UARTA0送信データ・レジスタ	UA0TX	R/W				FFH
FFFFFFA10H	UARTA1制御レジスタ0	UA1CTL0					10H
FFFFFFA11H	UARTA1制御レジスタ1	UA1CTL1					00H

注意 OCDMレジスタの詳細については、第25章 オンチップ・デバッグ機能を参照してください。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFFA12H	UARTA1制御レジスタ2	UA1CTL2	R/W				FFH
FFFFFFA13H	UARTA1オプション制御レジスタ0	UA1OPT0					14H
FFFFFFA14H	UARTA1状態レジスタ	UA1STR					00H
FFFFFFA16H	UARTA1受信データ・レジスタ	UA1RX	R				FFH
FFFFFFA17H	UARTA1送信データ・レジスタ	UA1TX	R/W				FFH
FFFFFFA20H	UARTA2制御レジスタ0	UA2CTL0					10H
FFFFFFA21H	UARTA2制御レジスタ1	UA2CTL1					00H
FFFFFFA22H	UARTA2制御レジスタ2	UA2CTL2					FFH
FFFFFFA23H	UARTA2オプション制御レジスタ0	UA2OPT0					14H
FFFFFFA24H	UARTA2状態レジスタ	UA2STR					00H
FFFFFFA26H	UARTA2受信データ・レジスタ	UA2RX	R				FFH
FFFFFFA27H	UARTA2送信データ・レジスタ	UA2TX	R/W				FFH
FFFFFB00H	TIP00ノイズ除去制御レジスタ	P00NFC					00H
FFFFFB04H	TIP01ノイズ除去制御レジスタ	P01NFC					00H
FFFFFB08H	TIP10ノイズ除去制御レジスタ	P10NFC					00H
FFFFFB0CH	TIP11ノイズ除去制御レジスタ	P11NFC					00H
FFFFFB10H	TIP20ノイズ除去制御レジスタ	P20NFC					00H
FFFFFB14H	TIP21ノイズ除去制御レジスタ	P21NFC					00H
FFFFFB18H	TIP30ノイズ除去制御レジスタ	P30NFC					00H
FFFFFB1CH	TIP31ノイズ除去制御レジスタ	P31NFC					00H
FFFFFB50H	TIQ00ノイズ除去制御レジスタ	Q00NFC					00H
FFFFFB54H	TIQ01ノイズ除去制御レジスタ	Q01NFC					00H
FFFFFB58H	TIQ02ノイズ除去制御レジスタ	Q02NFC					00H
FFFFFB5CH	TIQ03ノイズ除去制御レジスタ	Q03NFC					00H
FFFFFB60H	TIQ10ノイズ除去制御レジスタ	Q10NFC					00H
FFFFFB64H	TIQ11ノイズ除去制御レジスタ	Q11NFC					00H
FFFFFB68H	TIQ12ノイズ除去制御レジスタ	Q12NFC					00H
FFFFFB6CH	TIQ13ノイズ除去制御レジスタ	Q13NFC					00H
FFFFFC00H	外部割り込み立ち下がりエッジ指定レジスタ0	INTF0					00H
FFFFFC02H	外部割り込み立ち下がりエッジ指定レジスタ1	INTF1					00H
FFFFFC06H	外部割り込み立ち下がりエッジ指定レジスタ3	INTF3					0000H
FFFFFC06H	外部割り込み立ち下がりエッジ指定レジスタ3L	INTF3L					00H
FFFFFC13H	外部割り込み立ち下がりエッジ指定レジスタ9H	INTF9H					00H
FFFFFC20H	外部割り込み立ち上がりエッジ指定レジスタ0	INTR0					00H
FFFFFC22H	外部割り込み立ち上がりエッジ指定レジスタ1	INTR1					00H
FFFFFC26H	外部割り込み立ち上がりエッジ指定レジスタ3	INTR3					0000H
FFFFFC26H	外部割り込み立ち上がりエッジ指定レジスタ3L	INTR3L					00H
FFFFFC33H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTR9H					00H
FFFFFC40H	プルアップ抵抗オプション・レジスタ0	PU0					00H
FFFFFC42H	プルアップ抵抗オプション・レジスタ1	PU1					00H
FFFFFC46H	プルアップ抵抗オプション・レジスタ3	PU3					0000H
FFFFFC46H	プルアップ抵抗オプション・レジスタ3L	PU3L					00H
FFFFFC47H	プルアップ抵抗オプション・レジスタ3H	PU3H					00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFFC48H	プルアップ抵抗オプション・レジスタ4	PU4	R/W				00H
FFFFFFC4AH	プルアップ抵抗オプション・レジスタ5	PU5					00H
FFFFFFC52H	プルアップ抵抗オプション・レジスタ9	PU9					0000H
FFFFFFC52H	プルアップ抵抗オプション・レジスタ9L	PU9L					00H
FFFFFFC53H	プルアップ抵抗オプション・レジスタ9H	PU9H					00H
FFFFFFD00H	CSIB0制御レジスタ0	CB0CTL0					01H
FFFFFFD01H	CSIB0制御レジスタ1	CB0CTL1					00H
FFFFFFD02H	CSIB0制御レジスタ2	CB0CTL2					00H
FFFFFFD03H	CSIB0状態レジスタ	CB0STR					00H
FFFFFFD04H	CSIB0受信データ・レジスタ	CB0RX	R				0000H
FFFFFFD04H	CSIB0受信データ・レジスタL	CB0RXL					00H
FFFFFFD06H	CSIB0送信データ・レジスタ	CB0TX	R/W				0000H
FFFFFFD06H	CSIB0送信データ・レジスタL	CB0TXL					00H
FFFFFFD10H	CSIB1制御レジスタ0	CB1CTL0				01H	
FFFFFFD11H	CSIB1制御レジスタ1	CB1CTL1				00H	
FFFFFFD12H	CSIB1制御レジスタ2	CB1CTL2				00H	
FFFFFFD13H	CSIB1状態レジスタ	CB1STR				00H	
FFFFFFD14H	CSIB1受信データ・レジスタ	CB1RX	R				0000H
FFFFFFD14H	CSIB1受信データ・レジスタL	CB1RXL					00H
FFFFFFD16H	CSIB1送信データ・レジスタ	CB1TX	R/W				0000H
FFFFFFD16H	CSIB1送信データ・レジスタL	CB1TXL					00H

3.4.7 特定レジスタ

特定レジスタは、プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。V850ES/HG2には次の7個の特定レジスタがあります。

- ・パワー・セーブ・コントロール・レジスタ (PSC)
- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・クロック・モニタ・モード・レジスタ (CLM)
- ・リセット要因フラグ・レジスタ (RESF)
- ・低電圧検出レジスタ (LVIM)
- ・内蔵RAMデータ・ステータス・レジスタ (RAMS)
- ・オンチップ・デバッグ・モード・レジスタ (OCDM)

また、プログラムの暴走により応用システムが不用意に停止しないように、特定レジスタへの書き込み動作に対するプロテクション・レジスタとして、PRCMDレジスタがあり、特定レジスタへのライト・アクセスは特定のシーケンスで行われ、不正なストア動作はSYSレジスタに報告されます(ノイズや瞬時の電圧下降などで、オプション・データ(アドレス:007AH)の読み出し操作が不正となった場合にも、SYSレジスタに報告されます)。

(1) 特定レジスタへのデータ設定

特定レジスタへのデータ設定は次のシーケンスで行います。

DMA動作を禁止する。

任意の汎用レジスタに特定レジスタへ設定するためのデータを用意する。

PRCMDレジスタに で用意したデータを書き込む。

特定レジスタに設定データを書き込む（次の命令で行う）。

- ・ストア命令（ST/SST命令）
- ・ビット操作命令（SET1/CLR1/NOT1命令）

（ - NOP命令を挿入する（5命令）。）^注

DMA動作が必要な場合，DMA動作を許可する。

[記述例] PSCレジスタの場合（スタンバイ・モードの設定）

```
ST.B r11, PSMR [ r0 ] ;PSMRレジスタ設定 ( IDLE1, IDLE2, STOPモードの設定 )
CLR1 0, DCHCn [ r0 ] ;DMA動作禁止, n = 0-3
MOV 0x02, r10
ST.B r10, PRCMD [ r0 ] ;PRCMDレジスタ書き込み
ST.B r10, PSC [ r0 ] ;PSCレジスタ設定
NOP注 ;ダミー命令
NOP注 ;ダミー命令
NOP注 ;ダミー命令
NOP注 ;ダミー命令
NOP注 ;ダミー命令
SET1 0, DCHCn [ r0 ] ;DMA動作許可, n = 0-3
(next instruction)
```

なお，特定レジスタを読み出す場合は，特別なシーケンスは必要ありません。

注 IDLE1, IDLE2, STOP, サブIDLEモードに移行する場合（PSC.STPビット = 1）には，直後にNOP命令を5命令以上挿入する必要があります。

- 注意1.** コマンド・レジスタに対するストア命令では，割り込みを受け付けません。これはプログラムで上記 ， を連続したストア命令で行うことを前提としているためです。 ， の間にほかの命令が置かれていると，その命令で割り込みを受け付けた際，上記シーケンスが成立しなくなる場合があります，誤動作の要因となります。
- 2.** PRCMDレジスタへ書き込むデータはダミーですが，特定レジスタへの設定（例 ）で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み（例 ）でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。

(2) コマンド・レジスタ (PRCMD)

PRCMDレジスタは、プログラムの暴走などにより、応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。あらかじめ、PRCMDレジスタに対して書き込み動作を行ったあとの最初の特定期レジスタへの書き込みのみ有効となります。これにより定められたシーケンスによってだけ、レジスタの値が書き換えられ、不正な書き込み動作ができなくなります。

8ビット単位でライトのみ可能です（リードした場合、不定データを読み出します）。

リセットにより不定になります。

リセット時：不定 W アドレス：FFFFFF1FCH

	7	6	5	4	3	2	1	0
PRCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

(3) システム・ステータス・レジスタ (SYS)

システム全体の動作状態を示すステータス・フラグが割り付けられています。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H								R/W	アドレス：FFFFFF802H									
	7	6	5	4	3	2	1	0										
SYS	0	0	0	0	0	0	0	0	PRERR									
	PRERR		プロテクション・エラーの検出															
	0		プロテクション・エラーは発生していない															
	1		プロテクション・エラーが発生している															

PRERRフラグの動作条件を次に示します。

(a) セット条件 (PRERRフラグ = 1)

- (i) PRCMDレジスタへの書き込み動作を行わず、特定レジスタへの書き込み動作を行ったとき (3.4.7(1) **特定レジスタへのデータ設定**で示す を行わずに を行ったとき)。
- (ii) PRCMDレジスタへの書き込み動作後、特定レジスタ以外の内蔵周辺I/Oレジスタに書き込み動作 (ビット操作命令を含む) を行ったとき (3.4.7(1) **特定レジスタへのデータ設定**で示す が特定レジスタでなかったとき)。

備考 特定レジスタは、PRCMDレジスタへの書き込み動作と特定レジスタへの書き込み動作の間に、内蔵周辺I/Oレジスタの読み出し動作 (ビット操作命令を除く) など内蔵RAMへのアクセスを行っても、PRERRフラグはセットされず、特定レジスタに設定データを書き込むことができます。

(b) クリア条件 (PRERRフラグ = 0)

- (i) PRERRフラグに0を書き込んだとき。
- (ii) システム・リセットしたとき。

- 注意** 1. PRCMDレジスタへの書き込み動作直後に、特定レジスタではないSYSレジスタのPRERRビットに“0”を書き込んだ場合、PRERRビットは“0”になります (ライト優先)。
2. PRCMDレジスタへの書き込み動作直後に、特定レジスタではないPRCMDレジスタへの書き込み動作を行った場合、PRERRビットは“1”になります。

3.4.8 注意事項

(1) 最初に設定するレジスタ

V850ES/HG2を使用する際には、必ず最初に次のレジスタを設定してください。

- ・システム・ウェイト・コントロール・レジスタ (VSWC)
- ・オンチップ・デバッグ・モード・レジスタ (OCDM)
- ・ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

VSWC, OCDM, WDTM2レジスタを設定後、必要に応じてその他の各レジスタを設定してください。

なお、外部バスを使用する場合は上記レジスタを設定したあと、ただちにポート関連のレジスタの設定により、各端子を兼用するバス制御端子に設定してください。

(a) システム・ウェイト・コントロール・レジスタ (VSWC)

VSWCレジスタは、内蔵周辺I/Oレジスタに対するバス・アクセスのウェイトを制御するレジスタです。

内蔵周辺I/Oレジスタへのアクセスは3クロック (ノー・ウェイト時) ですが、V850ES/HG2では動作周波数によりウェイトが必要です。使用する動作周波数に応じて、VSWCレジスタには次に示す値を設定してください。

8ビット単位でリード/ライト可能です (アドレス: FFFFF06EH, 初期値: 77H)。

動作周波数 (f _{CLK})	VSWCの設定値	ウェイト数
32 kHz f _{CLK} < 16.6 MHz	00H	0 (ノー・ウェイト)
16.6 MHz f _{CLK} 20 MHz	01H	1

(b) オンチップ・デバッグ・モード・レジスタ (OCDM)

詳細は、第25章 **オンチップ・デバッグ機能**を参照してください。

(c) ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

WDTM2レジスタは、ウォッチドッグ・タイマ2のオーバフロー時間および動作クロックを設定するレジスタです。

ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。動作を確定するために、WDTM2レジスタへ書き込みを行ってください。

詳細は、第10章 **ウォッチドッグ・タイマ2機能**を参照してください。

(2) 特定の内蔵周辺I/Oレジスタへのアクセスについて

この製品は、内部に2種類のシステム・バスを有しています。

1つはCPU用バスで、もう1つは低速周辺ハードウェアとのインタフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期の関係となるため、CPUと周辺ハードウェアとのアクセス間に競合が発生した場合は、予期せぬ不正データの受け渡しが行われる可能性があります。したがって、競合の恐れがある周辺ハードウェアへのアクセス時は、CPUは正しいデータの受け渡しが行われるよう、アクセス・サイクル数が変わります。その結果、CPUは次の命令処理に移行せず、CPU処理としてウェイト状態となるため、このウェイトが発生した場合、命令の実行クロック数が次に示すウェイト・クロック数分長くなります。

リアルタイム性が要求される処理を行う場合は、この内容に注意してください。

特定の内蔵周辺I/Oレジスタへのアクセス時に、VSWCレジスタで設定したウェイト以外に、さらにウェイトを要する場合があります。

その際のアクセス条件と、挿入されるウェイト数（CPUクロック数）の算出方法を次に示します。

周辺機能	レジスタ名称	アクセス	k
16ビット・タイマ/イベント・カウンタP (TMP) (n = 0-3)	TPnCNT	リード	1-2
	TPnCCR0, TPnCCR1	ライト	・1回目：ウェイトなし ・連続書き込み：3-4
		リード	1-2
16ビット・タイマ/イベント・カウンタQ (TMQ) (m = 0, 1)	TQmCNT	リード	1-2
	TQmCCR0-TQmCCR3	ライト	・1回目：ウェイトなし ・連続書き込み：3-4
		リード	1-2
ウォッチドッグ・タイマ2 (WDT2)	WDTM2	ライト (WDT2動作時)	3
A/Dコンバータ	ADA0M0	リード	1-2
	ADA0CR0-ADA0CR15	リード	1-2
	ADA0CR0H-ADA0CR15H	リード	1-2

アクセスに必要なクロック数 = 3 + i + j + (2 + j) × k

注意 次に示す状態において、上記レジスタへのアクセスは禁止です。ウェイトが発生した場合、解除する方法はリセットだけです。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

備考 i : VSWCレジスタの上位4ビットの値 (0, 1)

j : VSWCレジスタの下位4ビットの値 (0, 1)

(3) sld命令と割り込み競合に関する制限事項

(a) 内 容

次の命令<1>の事項が完了する前に、後続の sld 命令の直前の命令<2>のデコード動作と割り込み要求が競合した場合、先の命令<1>の実行結果がレジスタに格納されないことがあります。

命令<1>

- ・ ld 命令 : ld.b, ld.h, ld.w, ld.bu, ld.hu
- ・ sld 命令 : sld.b, sld.h, sld.w, sld.bu, sld.hu
- ・ 乗算命令 : mul, mulh, mulhi, mulu

命令<2>

mov reg1, reg2	not reg1, reg2	satsubr reg1, reg2	satsub reg1, reg2
satadd reg1, reg2	satadd imm5, reg2	or reg1, reg2	xor reg1, reg2
and reg1, reg2	tst reg1, reg2	subr reg1, reg2	sub reg1, reg2
add reg1, reg2	add imm5, reg2	cmp reg1, reg2	cmp imm5, reg2
mulh reg1, reg2	shr imm5, reg2	sar imm5, reg2	shl imm5, reg2

<例>

< > ld.w [r11], r10	< >の ld 命令の実行が完了する前に、< >の sld 命令の直前の mov
・	命令< >のデコード動作と割り込み要求が競合した場合、< >の ld
・	命令の実行結果がレジスタに格納されないことがあります。
< > mov r10, r28	
< > sld.w 0x28, r10	

(b) 回 避 策

コンパイラ (CA850) 使用時

Ver.2.61以降のバージョンを使用してください。該当命令シーケンスの生成を自動的に抑止します。

アセンブラでの対策

命令< >の直後に sld 命令を実行する場合は、次のいずれかの方法を用いて、上記動作を回避してください。

- ・ sld 命令の直前に nop 命令を入れる。
- ・ sld 命令のディスティネーション・レジスタと同じレジスタを、sld 命令の直前で実行する上記< >の命令で使用しない。

第4章 ポート機能

4.1 特徴

入出力ポート：84本

ほかの周辺機能の入出力端子と兼用

1ビット単位で入力/出力指定可能

4.2 ポートの基本構成

V850ES/HG2は、ポート0, 1, 3-5, 7, 9, CM, CS, CT, DLの合計84本の入力/出力ポートを内蔵しています。ポートの構成を次に示します。

図4-1 ポート構成

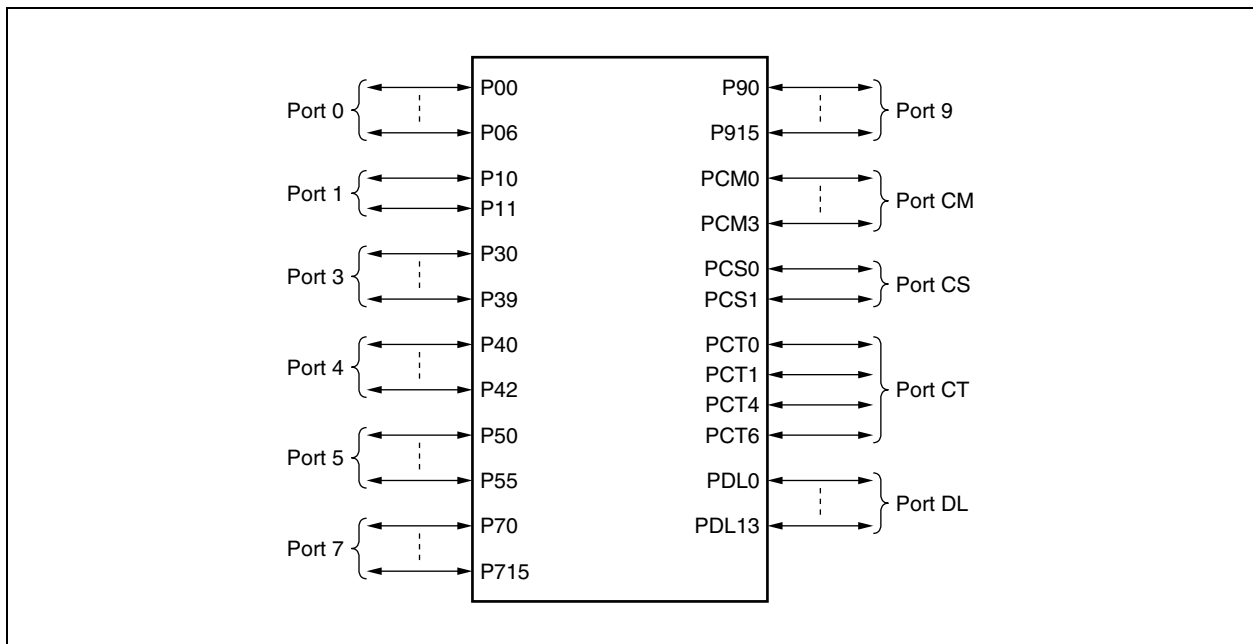


表4 - 1 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PMn: n = 0, 1, 3, 4, 5, 7L, 7H, 9, CM, CS, CT, DL)
	ポート・モード・コントロール・レジスタ (PMcN: n = 0, 1, 3, 4, 5, 9, CM)
	ポート・ファンクション・コントロール・レジスタ (PFCn: n = 0, 3L, 5, 9)
	ポート・ファンクション・コントロール拡張レジスタ (PFCEn: n = 3L, 5, 9)
	プルアップ抵抗オプション・レジスタ (PUn: n = 0, 1, 3, 4, 5, 9)
ポート	84本

表4 - 2 各端子の入出力バッファ電源

電源	対応する端子
AVREF0	ポート7
BVDD	ポートCM, ポートCS, ポートCT, ポートDL
EVDD	ポート0, ポート1, ポート3, ポート4, ポート5, ポート9, RESET,

4.3 ポートの機能

4.3.1 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

(1) 入出力ポートへの書き込み

(a) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(b) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

(2) 入出力ポートからの読み出し

(a) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(b) 入力モード

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

(3) 入出力ポートでの演算**(a) 出力モードの場合**

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(b) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

注意 1ビット・メモリ操作命令の場合 操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4.3.2 ポート端子設定上の注意事項

(1) 各製品により、ポート数や兼用機能が異なります。非搭載のポートや非搭載の兼用機能に関するレジスタは、リセット時の値に固定してください。

(2) ポートのレジスタ設定は、次の順で行ってください。

ポート・ファンクション・コントロール・レジスタ n (PFC n), ポート・ファンクション・コントロール拡張レジスタ n (PFCE n) を設定

ポート・モード・コントロール・レジスタ n (PMC n) を設定

外部割り込み立ち下がりエッジ指定レジスタ n (INTF n), 外部割り込み立ち上がりエッジ指定レジスタ n (INTR n) を設定

PMC n レジスタを先に設定したあとに、PFC n , PFCE n レジスタを設定すると、PFC n , PFCE n レジスタ設定中に意図しない周辺機能端子に設定されてしまう可能性があります。

(3) PUnレジスタのPUn m ビット (内蔵プルアップ抵抗の接続) は、入力モード (PM n レジスタのPM n ビット = 1) 時のみ有効になります。出力モード (PM n レジスタのPM n ビット =) 時は、ハードウェアにより、内蔵プルアップ抵抗が切断されます。

(4) 端子レベルのリード、ポート・ラッチのリードは、ポート・モード・レジスタ (PM n) により制御されます。兼用機能を使用している場合も同様です。

(5) 入力バッファのシュミット (SHMT) はポート・モード時にリードした場合、SHMTとして動作しません。

4.3.3 ポート0

ポート0は1ビット単位で入出力を制御できる7ビットのポート（P00-P06）です。

（1）ポート0の機能

1ビット単位でポートの入力/出力データの指定が可能

ポート・レジスタ0（P0）で指定

1ビット単位でポートの入力/出力の指定が可能

ポート・モード・レジスタ0（PM0）で指定

1ビット単位でポート・モード/コントロール・モード（兼用機能）の指定が可能

ポート・モード・コントロール・レジスタ0（PMC0）で指定

1ビット単位でコントロール・モード1/コントロール・モード2の指定が可能

ポート・ファンクション・コントロール・レジスタ0（PFC0）で指定

1ビット単位で内蔵プルアップ抵抗の接続指定が可能

プルアップ抵抗オプション・レジスタ0（PU0）で指定

ポート0は、次に示す端子と兼用しています。

表4-3 ポート0の兼用端子

端子名	ピン番号	兼用端子名	入出力	備 考	ブロック・タイプ
P00	6	TIP31/TOP31	入出力	-	G-1
P01	7	TIP30/TOP30			G-1
P02	17	NMI ^{注1}			L-1
P03	18	INTP0/ADTRG			N-1
P04	19	INTP1			L-1
P05	20	INTP2/DRST ^{注2}			AA-1
P06	21	INTP3			L-2

注1. NMI端子はP02端子と兼用しており、リセット後はP02端子として機能します。

NMIを有効にする場合は、PMC0.PMC02ビットをセット(1)してください。またNMI端子の初期設定は"エッジ検出なし"になっています。INTF0、INTR0レジスタでNMI端子の有効エッジを選択してください。

2. P05端子はオンチップ・デバッグ用の端子と兼用です。外部リセット後、P05/INTP2/DRST端子はオンチップ・デバッグ用端子（DRST）に初期化されます。P05端子をオンチップ・デバッグ用端子として使用せず、ポートとして使用する場合は、次の処置が必要です。

OCDMレジスタ（特定レジスタ）のOCDM0ビットをクリア（0）します。

の処置を終えるまでP05/INTP2/DRST端子をロウ・レベル固定にしておきます。

なお、オンチップ・デバッグを使用しない場合、上記処置を行う前にDRST端子にハイ・レベルを入力すると、誤動作（CPUデッド・ロック）の原因となるため、P05端子の取り扱いには十分注意してください。

P05/INTP2/DRST端子にハイ・レベルを入力しない（ロウ・レベルに固定する）場合は、OCDMレジスタのOCDM0ビットを操作する必要はありません。

P05/INTP2/DRST端子は、プルダウン抵抗（30 kΩ（TYP.））をパッファに内蔵しているため、外部からロウ・レベル固定に処置する必要はありません。OCDM0ビットをクリア（0）することにより、プルダウン抵抗は切断されます。

注意 P00-P06 端子は兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(2) レジスタ

(a) ポート・レジスタ0 (P0)

ポート・レジスタ0 (P0) は、端子レベルのリード、出力レベルのライトを制御する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセット時：不定		R/W	アドレス：FFFFFF400H					
	7	6	5	4	3	2	1	0
P0	0	P06	P05	P04	P03	P02	P01	P00
P0n	出力データの制御 (出力モード時) (n = 0-6)							
0	0を出力							
1	1を出力							

(b) ポート・モード・レジスタ0 (PM0)

入力モード/出力モードを指定する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセット時：FFH		R/W	アドレス：FFFFFF420H					
	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00
PM0n	入出力モードの制御 (n = 0-6)							
0	出力モード							
1	入力モード							

(c) ポート・モード・コントロール・レジスタ0 (PMC0)

ポート・モード/コントロール・モードを指定する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF440H

	7	6	5	4	3	2	1	0
PMC0	0	PMC06	PMC05	PMC04	PMC03	PMC02	PMC01	PMC00

PMC06	P06端子の動作モードの指定	
0	入出力ポート	
1	INTP3入力	

PMC05	P05端子の動作モードの指定	
0	入出力ポート	
1	INTP2/ $\overline{\text{DRST}}$ 入力	

PMC04	P04端子の動作モードの指定	
0	入出力ポート	
1	INTP1入力	

PMC03	P03端子の動作モードの指定	
0	入出力ポート	
1	INTP0/ADTRG入力	

PMC02	P02端子の動作モードの指定	
0	入出力ポート	
1	NMI入力	

PMC01	P01端子の動作モードの指定	
0	入出力ポート	
1	TIP30/TOP30入出力	

PMC00	P00端子の動作モードの指定	
0	入出力ポート	
1	TIP31/TOP31入出力	

注意 P05/INTP2/ $\overline{\text{DRST}}$ 端子は、OCDM.OCDM0 ビット = 1 のときは、PMC05 ビットの値に関係なく $\overline{\text{DRST}}$ 端子となります。

(d) ポート・ファンクション・コントロール・レジスタ0 (PFC0)

コントロール・モード1/コントロール・モード2を指定する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF460H

	7	6	5	4	3	2	1	0
PFC0	0	0	0	0	PFC03	0	PFC01	PFC00

PFC03	P03端子のコントロール・モード時の動作モードの指定
0	INTP0入力
1	ADTRG入力

PFC01	P01端子のコントロール・モード時の動作モードの指定
0	TIP30入力
1	TOP30出力

PFC00	P00端子のコントロール・モード時の動作モードの指定
0	TIP31入力
1	TOP31出力

(e) プルアップ抵抗オプション・レジスタ0 (PU0)

内蔵プルアップ抵抗の接続を指定する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFFC40H

	7	6	5	4	3	2	1	0
PU0	0	PU06	PU05	PU04	PU03	PU02	PU01	PU00

PU0n	内蔵プルアップ抵抗接続制御 (n = 0-6)
0	接続しない
1	接続する

4.3.4 ポート1

ポート1は1ビット単位で入出力を制御できる2ビットのポート（P10, P11）です。

(1) ポート1の機能

- 1ビット単位でポートの入力 / 出力データの指定が可能
- ポート・レジスタ1（P1）で指定
- 1ビット単位でポートの入力 / 出力の指定が可能
- ポート・モード・レジスタ1（PM1）で指定
- 1ビット単位でポート・モード / コントロール・モード（兼用機能）の指定が可能
- ポート・モード・コントロール・レジスタ1（PMC1）で指定
- 1ビット単位で内蔵プルアップ抵抗の接続指定が可能
- プルアップ抵抗オプション・レジスタ1（PU1）で指定

ポート1は、次に示す端子と兼用しています。

表4-4 ポート1の兼用端子

端子名	ピン番号	兼用端子名	入出力	備考	ブロック・タイプ
P10	3	INTP9	入出力	-	L-1
P11	4	INTP10			L-1

注意 P10, P11端子は兼用機能の入力時にヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(2) レジスタ

(a) ポート・レジスタ1 (P1)

ポート・レジスタ1 (P1) は、端子レベルのリード、出力レベルのライトを制御する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセット時：不定	R/W	アドレス：FFFFFF402H						
	7	6	5	4	3	2	1	0
P1	0	0	0	0	0	0	P11	P10
P1n	出力データの制御 (出力モード時) (n = 0, 1)							
0	0を出力							
1	1を出力							

(b) ポート・モード・レジスタ1 (PM1)

入力モード/出力モードを指定する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセット時：FFH	R/W	アドレス：FFFFFF422H						
	7	6	5	4	3	2	1	0
PM1	1	1	1	1	1	1	PM11	PM10
PM1n	入出力モードの制御 (n = 0, 1)							
0	出力モード							
1	入力モード							

(c) ポート・モード・コントロール・レジスタ1 (PMC1)

ポート・モード/コントロール・モードを指定する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF442H

	7	6	5	4	3	2	1	0
PMC1	0	0	0	0	0	0	PMC11	PMC10

PMC11	P11端子の動作モードの指定
0	入出力ポート
1	INTP10入力

PMC10	P10端子の動作モードの指定
0	入出力ポート
1	INTP9入力

(d) プルアップ抵抗オプション・レジスタ1 (PU1)

内蔵プルアップ抵抗の接続を指定する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFC42H

	7	6	5	4	3	2	1	0
PU1	0	0	0	0	0	0	PU11	PU10

PU1n	内蔵プルアップ抵抗接続制御 (n = 0, 1)
0	接続しない
1	接続する

4.3.5 ポート3

ポート3は1ビット単位で入出力を制御できる10ビットのポート（P30-P39）です。

(1) ポート3の機能

1ビット単位でポートの入力 / 出力データの指定が可能

ポート・レジスタ3（P3）で指定

1ビット単位でポートの入力 / 出力の指定が可能

ポート・モード・レジスタ3（PM3）で指定

1ビット単位でポート・モード / コントロール・モード（兼用機能）の指定が可能

ポート・モード・コントロール・レジスタ3（PMC3）で指定

1ビット単位でコントロール・モードの指定が可能

ポート・ファンクション・コントロール・レジスタ3（PFC3）、ポート・ファンクション・コントロール拡張レジスタ3L（PFCE3L）で指定

1ビット単位で内蔵プルアップ抵抗の接続指定が可能

プルアップ抵抗オプション・レジスタ3（PU3）で指定

ポート3は、次に示す端子と兼用しています。

表4-5 ポート3の兼用端子

端子名	ピン番号	兼用端子名	入出力	備考	ブロック・タイプ
P30	25	TXDA0	入出力	-	E-2
P31	26	RXDA0/INTP7			L-2
P32	27	ASCKA0/TIP00/TOP00/TOP01			U-13
P33	28	TIP01/TOP01			G-1
P34	29	TIP10/TOP10			G-1
P35	30	TIP11/TOP11			G-1
P36	31	-			C-1
P37	32	-			C-1
P38	35	TXDA2			E-2
P39	36	RXDA2/INTP8			L-2

注意 P31-P35, P39端子は兼用機能の入力時にヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(2) レジスタ

(a) ポート・レジスタ3 (P3)

ポート・レジスタ3 (P3) は、端子レベルのリード、出力レベルのライトを制御する16ビットのレジスタです。16ビット単位でリード/ライト可能です。

ただし、P3レジスタの上位8ビットをP3Hレジスタ、下位8ビットをP3Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

	リセット時：不定	R/W	アドレス：FFFFFF406H, FFFFFFF407H							
			15	14	13	12	11	10	9	8
P3 (P3H ^注)			0	0	0	0	0	0	P39	P38
			7	6	5	4	3	2	1	0
(P3L)			P37	P36	P35	P34	P33	P32	P31	P30
	P3n	出力データの制御 (出力モード時) (n = 0-9)								
	0	0を出力								
	1	1を出力								

注 P3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、P3Hレジスタのビット0-7として指定してください。

(b) ポート・モード・レジスタ 3 (PM3)

入力モード / 出力モードを指定する16ビットのレジスタです。16ビット単位でリード / ライト可能です。

ただし、PM3レジスタの上位8ビットをPM3Hレジスタ、下位8ビットをPM3Lレジスタとして使用する場合は、8/1ビット単位でリード / ライト可能です。

リセット時 : FFFFH R/W アドレス : FFFFF426H, FFFFF427H

	15	14	13	12	11	10	9	8
PM3 (PM3H ^注)	1	1	1	1	1	1	PM39	PM38
	7	6	5	4	3	2	1	0
(PM3L)	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	入出力モードの制御 (n = 0-9)
0	出力モード
1	入力モード

注 PM3レジスタのビット8-15を8/1ビット単位でリード / ライトする場合は、PM3Hレジスタのビット0-7として指定してください。

(c) ポート・モード・コントロール・レジスタ3 (PMC3)

ポート・モード/コントロール・モードを指定する16ビットのレジスタです。16ビット単位でリード/ライト可能です。

ただし, PMC3レジスタの上位8ビットをPMC3Hレジスタ, 下位8ビットをPMC3Lレジスタとして使用する場合は, 8/1ビット単位でリード/ライト可能です。

(1/2)

リセット時 : 0000H R/W アドレス : FFFFF446H, FFFFF447H

	15	14	13	12	11	10	9	8
PMC3 (PMC3H ^{注1})	0	0	0	0	0	0	PMC39	PMC38
	7	6	5	4	3	2	1	0
(PMC3L)	0	0	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

PMC39	P39端子の動作モードの指定
0	入出力ポート
1	RXDA2/INTP8入力 ^{注2}

PMC38	P38端子の動作モードの指定
0	入出力ポート
1	TXDA2出力

注1. PMC3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は, PMC3Hレジスタのビット0-7として指定してください。

注2. INTP8端子とRXDA2端子は兼用となっています。RXDA2端子として使用する場合は, 兼用しているINTP8のエッジ検出を無効にしてください (INTF3.INTF39ビット = 0, INTR3.INTR39ビット = 0に設定)。またINTP8端子として使用する場合はUARTA2を受信動作停止としてください (UA2CTL0.UA2RXEビット = 0)。

PMC35	P35端子の動作モードの指定
0	入出力ポート
1	TIP11/TOP11入出力

PMC34	P34端子の動作モードの指定
0	入出力ポート
1	TIP10/TOP10入出力

PMC33	P33端子の動作モードの指定
0	入出力ポート
1	TIP01/TOP01入出力

PMC32	P32端子の動作モードの指定
0	入出力ポート
1	ASCKA0/TIP00/TOP00/TOP01入出力

PMC31	P31端子の動作モードの指定
0	入出力ポート
1	RXDA0/INTP7入力 ^注

PMC30	P30端子の動作モードの指定
0	入出力ポート
1	TXDA0出力

注 INTP7端子とRXDA0端子は兼用となっています。RXDA0端子として使用する場合は、兼用しているINTP7のエッジ検出を無効にしてください（INTF3.INTF31ビット = 0, INTR3.INTR31ビット = 0に設定）。またINTP7端子として使用する場合はUARTA0を受信動作停止としてください（UA0CTL0.UA0RXEビット = 0）。

(d) ポート・ファンクション・コントロール・レジスタ 3L (PFC3L)

コントロール・モード1/コントロール・モード2/コントロール・モード3/コントロール・モード4を指定する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセット時 : 00H	R/W	アドレス : FFFFF466H						
	7	6	5	4	3	2	1	0
PFC3L	0	0	PFC35	PFC34	PFC33	PFC32	0	0

備考 コントロール・モードの指定については4. 3. 5 (2)(f) P3 端子のコントロール・モードの設定を参照してください。

(e) ポート・ファンクション・コントロール拡張レジスタ3L (PFCE3L)

コントロール・モード1/コントロール・モード2/コントロール・モード3/コントロール・モード4を指定する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセット時 : 00H	R/W	アドレス : FFFFF706H						
	7	6	5	4	3	2	1	0
PFCE3L	0	0	0	0	0	PFCE32	0	0

備考 コントロール・モードの指定については4. 3. 5 (2)(f) P3 端子のコントロール・モードの設定を参照してください。

(f) P3端子のコントロール・モードの設定

PFC35	P35端子のコントロール・モードの指定
0	TIP11入力
1	TOP11出力

PFC34	P34端子のコントロール・モードの指定
0	TIP10入力
1	TOP10出力

PFC33	P33端子のコントロール・モードの指定
0	TIP01入力
1	TOP01出力

PFCE32	PFC32	P32端子のコントロール・モードの指定
0	0	ASCKA0入力
0	1	TOP01出力
1	0	TIP00入力
1	1	TOP00出力

(g) プルアップ抵抗オプション・レジスタ3 (PU3)

内蔵プルアップ抵抗の接続を指定する16ビットのレジスタです。16ビット単位でリード/ライト可能です。

ただし、PU3レジスタの上位8ビットをPU3Hレジスタ、下位8ビットをPU3Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

リセット時：0000H R/W アドレス：FFFFFC46H, FFFFFC47H

	15	14	13	12	11	10	9	8
PU3 (PU3H ^註)	0	0	0	0	0	0	PU39	PU38
	7	6	5	4	3	2	1	0
(PU3L)	PU37	PU36	PU35	PU34	PU33	PU32	PU31	PU30

PU3n	内蔵プルアップ抵抗接続制御 (n = 0-9)
0	接続しない
1	接続する

注 PU3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PU3Hレジスタのビット0-7として指定してください。

4.3.6 ポート4

ポート4は1ビット単位で入出力を制御できる3ビットのポート（P40-P42）です。

(1) ポート4の機能

1ビット単位でポートの入力/出力データの指定が可能

ポート・レジスタ4（P4）で指定

1ビット単位でポートの入力/出力の指定が可能

ポート・モード・レジスタ4（PM4）で指定

1ビット単位でポート・モード/コントロール・モード（兼用機能）の指定が可能

ポート・モード・コントロール・レジスタ4（PMC4）で指定

1ビット単位で内蔵プルアップ抵抗の接続指定が可能

プルアップ抵抗オプション・レジスタ4（PU4）で指定

ポート4は、次に示す端子と兼用しています。

表4-6 ポート4の兼用端子

端子名	ピン番号	兼用端子名	入出力	備考	ブロック・タイプ
P40	22	SIB0	入出力	-	E-1
P41	23	SOB0			E-2
P42	24	SCKB0			E-3

注意 P40, P42端子は兼用機能の入力時にヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(2) レジスタ

(a) ポート・レジスタ4 (P4)

ポート・レジスタ4 (P4) は、端子レベルのリード、出力レベルのライトを制御する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセット時：不定	R/W	アドレス：FFFFFF408H						
	7	6	5	4	3	2	1	0
P4	0	0	0	0	0	P42	P41	P40
P4n	出力データの制御 (出力モード時) (n = 0-2)							
0	0を出力							
1	1を出力							

(b) ポート・モード・レジスタ4 (PM4)

入力モード/出力モードを指定する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセット時：FFH	R/W	アドレス：FFFFFF428H						
	7	6	5	4	3	2	1	0
PM4	1	1	1	1	1	PM42	PM41	PM40
PM4n	入出力モードの制御 (n = 0-2)							
0	出力モード							
1	入力モード							

(c) ポート・モード・コントロール・レジスタ4 (PMC4)

ポート・モード/コントロール・モードを指定する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセット時 : 00H	R/W	アドレス : FFFFF448H								
			7	6	5	4	3	2	1	0
PMC4			0	0	0	0	0	PMC42	PMC41	PMC40
	PMC42	P42端子の動作モードの指定								
	0	入出力ポート								
	1	SCKB0入出力								
	PMC41	P41端子の動作モードの指定								
	0	入出力ポート								
	1	SOB0出力								
	PMC40	P40端子の動作モードの指定								
	0	入出力ポート								
	1	SIB0入力								

(d) プルアップ抵抗オプション・レジスタ4 (PU4)

内蔵プルアップ抵抗の接続を指定する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセット時 : 00H	R/W	アドレス : FFFFFC48H								
			7	6	5	4	3	2	1	0
PU4			0	0	0	0	0	PU42	PU41	PU40
	PU4n	内蔵プルアップ抵抗接続制御 (n = 0-2)								
	0	接続しない								
	1	接続する								

4.3.7 ポート5

ポート5は1ビット単位で入出力を制御できる6ビットのポート（P50-P55）です。

（1）ポート5の機能

1ビット単位でポートの入力 / 出力データの指定が可能

ポート・レジスタ5（P5）で指定

1ビット単位でポートの入力 / 出力の指定が可能

ポート・モード・レジスタ5（PM5）で指定

1ビット単位でポート・モード / コントロール・モード（兼用機能）の指定が可能

ポート・モード・コントロール・レジスタ5（PMC5）で指定

1ビット単位でコントロール・モードの指定が可能

ポート・ファンクション・コントロール・レジスタ5（PFC5）、ポート・ファンクション・コントロール拡張レジスタ5（PFCE5）で指定

1ビット単位で内蔵プルアップ抵抗の接続指定が可能

プルアップ抵抗オプション・レジスタ5（PU5）で指定

ポート5は、次に示す端子と兼用しています。

表4-7 ポート5の兼用端子

端子名	ピン番号	兼用端子名	入出力	備考	ブロック・タイプ
P50	37	KR0/TIQ01/TOQ01	入出力	-	U-4
P51	38	KR1/TIQ02/TOQ02			U-4
P52	39	KR2/TIQ03/TOQ03/DDI ^注			U-5
P53	40	KR3/TIQ00/TOQ00/DDO ^注			U-6
P54	41	KR4/DCK ^注			G-2
P55	42	KR5/DMS ^注			G-2

注 DDI, DDO, DCK, DMS端子はオンチップ・デバッグ用の端子です。外部リセット後、DDI, DDO, DCK, DMS端子をオンチップ・デバッグ用端子として使用せず、ポートとして使用する場合は、次の処置が必要です。

OCDMレジスタ（特定レジスタ）のOCDM0ビットをクリア（0）します。

の処置を終えるまでP05/INTP2/DRST端子をロウ・レベル固定にしておきます。

なお、オンチップ・デバッグを使用しない場合、上記処置を行う前にDRST端子にハイ・レベルを入力すると、誤動作（CPUデッドロック）の原因となるため、P05端子の取り扱いには十分注意してください。

P05/INTP2/DRST端子にハイ・レベルを入力しない（ロウ・レベルに固定する）場合は、OCDM.OCDM0ビットを操作する必要はありません。

P05/INTP2/DRST端子は、プルダウン抵抗（30 kΩ（TYP.））をバッファに内蔵しているため、外部からロウ・レベル固定に処置する必要はありません。OCDM0ビットをクリア（0）することにより、プルダウン抵抗は切断されます。

注意 P50-P55端子は兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(2) レジスタ

(a) ポート・レジスタ5 (P5)

ポート・レジスタ5 (P5) は、端子レベルのリード、出力レベルのライトを制御する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセット時：不定	R/W	アドレス：FFFFFF40AH								
			7	6	5	4	3	2	1	0
P5			0	0	P55	P54	P53	P52	P51	P50
	P5n	出力データの制御 (出力モード時) (n = 0-5)								
	0	0を出力								
	1	1を出力								

(b) ポート・モード・レジスタ5 (PM5)

入力モード/出力モードを指定する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセット時：FFH	R/W	アドレス：FFFFFF42AH								
			7	6	5	4	3	2	1	0
PM5			1	1	PM55	PM54	PM53	PM52	PM51	PM50
	PM5n	入出力モードの制御 (n = 0-5)								
	0	出力モード								
	1	入力モード								

(c) ポート・モード・コントロール・レジスタ5 (PMC5)

ポート・モード/コントロール・モードを指定する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

注意 PFC5.PFC5nビットおよびPFCE5.PFCE5nビットが初期値(0)の状態では、PMC5レジスタによりコントロール・モードにした場合、不定出力となります。

そのため、コントロール・モードに設定するには、まずPFC5.PFC5nビットおよびPFCE5.PFCE5nビットを設定したあと、PMC5nビットを1にしてください。

リセット時 : 00H R/W アドレス : FFFFF44AH

	7	6	5	4	3	2	1	0
PMC5	0	0	PMC55	PMC54	PMC53	PMC52	PMC51	PMC50

PMC55	P55端子の動作モードの指定	
0	入出力ポート	
1	KR5入力	

PMC54	P54端子の動作モードの指定	
0	入出力ポート	
1	KR4入力	

PMC53	P53端子の動作モードの指定	
0	入出力ポート	
1	KR3/TIQ00/TOQ00入出力	

PMC52	P52端子の動作モードの指定	
0	入出力ポート	
1	KR2/TIQ03/TOQ03入出力	

PMC51	P51端子の動作モードの指定	
0	入出力ポート	
1	KR1/TIQ02/TOQ02入出力	

PMC50	P50端子の動作モードの指定	
0	入出力ポート	
1	KR0/TIQ01/TOQ01入出力	

(d) ポート・ファンクション・コントロール・レジスタ5 (PFC5)

コントロール・モード1/コントロール・モード2/コントロール・モード3/コントロール・モード4を指定する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセット時 : 00H	R/W	アドレス : FFFFF46AH						
	7	6	5	4	3	2	1	0
PFC5	0	0	PFC55	PFC54	PFC53	PFC52	PFC51	PFC50

備考 コントロール・モードの指定については4.3.7(2)(f) P5端子のコントロール・モードの設定を参照してください。

(e) ポート・ファンクション・コントロール拡張レジスタ5 (PFCE5)

コントロール・モード1/コントロール・モード2/コントロール・モード3/コントロール・モード4を指定する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセット時 : 00H	R/W	アドレス : FFFFF70AH						
	7	6	5	4	3	2	1	0
PFCE5	0	0	0	0	PFCE53	PFCE52	PFCE51	PFCE50

備考 コントロール・モードの指定については4.3.7(2)(f) P5端子のコントロール・モードの設定を参照してください。

(f) P5端子のコントロール・モードの設定

注意 PFC5.PFC5nビットおよびPFCE5.PFCE5nビットが初期値(0)の状態、PMC5レジスタによりコントロール・モードにした場合、不定出力となります。

そのため、コントロール・モードに設定するには、まずPFC5.PFC5nビットおよびPFCE5.PFCE5nビットを設定したあと、PMC5nビットを1にしてください。

PFC55	P55端子のコントロール・モードの指定
0	設定禁止
1	KR5入力

PFC54	P54端子のコントロール・モードの指定
0	設定禁止
1	KR4入力

PFCE53	PFC53	P53端子のコントロール・モードの指定
0	0	設定禁止
0	1	TIQ00/KR3 ^注 入力
1	0	TOQ00出力
1	1	設定禁止

PFCE52	PFC52	P52端子のコントロール・モードの指定
0	0	設定禁止
0	1	TIQ03/KR2 ^注 入力
1	0	TOQ03出力
1	1	設定禁止

PFCE51	PFC51	P51端子のコントロール・モードの指定
0	0	設定禁止
0	1	TIQ02/KR1 ^注 入力
1	0	TOQ02出力
1	1	設定禁止

PFCE50	PFC50	P50端子のコントロール・モードの指定
0	0	設定禁止
0	1	TIQ01/KR0 ^注 入力
1	0	TOQ01出力
1	1	設定禁止

注 KRn端子とTIQ0m端子は兼用となっています。端子をTIQ0m端子として使用する場合は、兼用しているKRn端子のキー・リターン検出を無効にしてください（KRM.KRMnビットに0を設定）。またKRn端子として使用する場合は兼用しているTIQ0m端子のエッジ検出を無効にしてください（n = 0-3, m = 0-3）。

端子名称	TIQ0m端子として使用する場合	KRn端子として使用する場合
KR0/TIQ01	KRMレジスタのKRM0ビット = 0	TQ0IOC1レジスタのTQ0TIG2, TQ0TIG3ビット = 0
KR1/TIQ02	KRMレジスタのKRM1ビット = 0	TQ0IOC1レジスタのTQ0TIG4, TQ0TIG5ビット = 0
KR2/TIQ03	KRMレジスタのKRM2ビット = 0	TQ0IOC1レジスタのTQ0TIG6, TQ0TIG7ビット = 0
KR3/TIQ00	KRMレジスタのKRM3ビット = 0	TQ0IOC1レジスタのTQ0TIG0, TQ0TIG1ビット = 0 TQ0IOC2レジスタのTQ0EES0, TQ0EES1ビット = 0 TQ0IOC2レジスタのTQ0ETS0, TQ0ETS1ビット = 0

(g) プルアップ抵抗オプション・レジスタ 5 (PU5)

内蔵プルアップ抵抗の接続を指定する8ビットのレジスタです。8/1 ビット単位でリード/ライト可能です。

リセット時 : 00H	R/W	アドレス : FFFFC4AH							
		7	6	5	4	3	2	1	0
PU5		0	0	PU55	PU54	PU53	PU52	PU51	PU50
	PU5n	内蔵プルアップ抵抗接続制御 (n = 0-5)							
	0	接続しない							
	1	接続する							

4.3.8 ポート7

ポート7は1ビット単位で入出力を制御できる16ビットのポート（P70-P715）です。

(1) ポート7の機能

1ビット単位でポートの入力/出力データの指定が可能

ポート・レジスタ7L, 7H (P7L, P7H) で指定

1ビット単位でポートの入力/出力の指定が可能

ポート・モード・レジスタ7L, 7H (PM7L, PM7H) で指定

ポート7は、次に示す端子と兼用しています。

表4-8 ポート7の兼用端子

端子名	ピン番号	兼用端子名	入出力	備 考	ブロック・タイプ
P70	100	ANI0	入出力	-	A-1
P71	99	ANI1			A-1
P72	98	ANI2			A-1
P73	97	ANI3			A-1
P74	96	ANI4			A-1
P77	95	ANI5			A-1
P76	94	ANI6			A-1
P77	93	ANI7			A-1
P78	92	ANI8			A-1
P79	91	ANI9			A-1
P710	90	ANI10			A-1
P711	89	ANI11			A-1
P712	88	ANI12			A-1
P713	87	ANI13			A-1
P714	86	ANI14			A-1
P715	85	ANI15			A-1

(2) レジスタ

(a) ポート・レジスタ7H, ポート・レジスタ7L (P7H, P7L)

ポート・レジスタ7H, ポート・レジスタ7L (P7H, P7L) は, 端子レベルのリード, 出力レベルのライトを制御する各8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

16ビット・アクセスはできません。

リセット時 : 不定 R/W アドレス : FFFFF40FH, FFFFF40EH

	7	6	5	4	3	2	1	0
P7H	P715	P714	P713	P712	P711	P710	P79	P78

	7	6	5	4	3	2	1	0
P7L	P77	P76	P75	P74	P73	P72	P71	P70

P7n	出力データの制御 (出力モード時) (n = 0-15)	
0	0を出力	
1	1を出力	

注意 A/D 変換中に P7H, P7L レジスタをリードしないでください。

(b) ポート・モード・レジスタ 7H, 7L (PM7H, PM7L)

入力モード/出力モードを指定する各8ビットのレジスタです。PM7H, PM7Lレジスタは, 8/1ビット単位でリード/ライト可能です。

16ビット・アクセスはできません。

リセット時 : FFH R/W アドレス : FFFFF42FH, FFFFF42EH

	7	6	5	4	3	2	1	0
PM7H	PM715	PM714	PM713	PM712	PM711	PM710	PM79	PM78

	7	6	5	4	3	2	1	0
PM7L	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70

PM7n	入出力モードの制御 (n = 0-15)	
0	出力モード	
1	入力モード	

注意 P7nを兼用機能 (ANIn) として使用する場合は, PM7n = 1に設定してください。

4.3.9 ポート9

ポート9は1ビット単位で入出力を制御できる16ビットのポート（P90-P915）です。

(1) ポート9の機能

1ビット単位でポートの入力 / 出力データの指定が可能

ポート・レジスタ9（P9）で指定

1ビット単位でポートの入力 / 出力の指定が可能

ポート・モード・レジスタ9（PM9）で指定

1ビット単位でポート・モード / コントロール・モード（兼用機能）の指定が可能

ポート・モード・コントロール・レジスタ9（PMC9）で指定

1ビット単位でコントロール・モードの指定が可能

ポート・ファンクション・コントロール・レジスタ9（PFC9）、ポート・ファンクション・コントロール拡張レジスタ9（PFCE9）で指定

1ビット単位で内蔵プルアップ抵抗の接続指定が可能

プルアップ抵抗オプション・レジスタ9（PU9）で指定

ポート9は、次に示す端子と兼用しています。

表4-9 ポート9の兼用端子

端子名	ピン番号	兼用端子名	入出力	備考	ブロック・タイプ
P90	43	KR6/TXDA1	入出力	-	U-12
P91	44	KR7/RXDA1			U-7
P92	45	TIQ11/TOQ11			U-11
P93	46	TIQ12/TOQ12			U-11
P94	47	TIQ13/TOQ13			U-11
P95	48	TIQ10/TOQ10			U-11
P96	49	TIP21/TOP21			U-9
P97	50	SIB1/TIP20/TOP20			U-8
P98	51	SOB1			G-3
P99	52	$\overline{\text{SCKB1}}$			G-5
P910	53	-			C-1
P911	54	-			C-1
P912	55	-			C-1
P913	56	INTP4/PCL			W-1
P914	57	INTP5			N-2
P915	58	INTP6			N-2

注意 P90-97, P99, P913-915端子は兼用端子の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(2) レジスタ

(a) ポート・レジスタ9 (P9)

ポート・レジスタ9 (P9) は、端子レベルのリード、出力レベルのライトを制御する16ビットのレジスタです。16ビット単位でリード/ライト可能です。

ただし、P9レジスタの上位8ビットをP9Hレジスタ、下位8ビットをP9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

リセット時：不定	R/W	アドレス：FFFFFF412H, FFFFFFF413H							
		15	14	13	12	11	10	9	8
P9 (P9H ^注)		P915	P914	P913	P912	P911	P910	P99	P98
		7	6	5	4	3	2	1	0
(P9L)		P97	P96	P95	P94	P93	P92	P91	P90
		出力データの制御 (出力モード時)(n = 0-15)							
	P9n								
	0	0を出力							
	1	1を出力							

注 P9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、P9Hレジスタのビット0-7として指定してください。

(b) ポート・モード・レジスタ9 (PM9)

入力モード/出力モードを指定する16ビットのレジスタです。16ビット単位でリード/ライト可能です。

ただし、PM9レジスタの上位8ビットをPM9Hレジスタ、下位8ビットをPM9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

リセット時：FFFFH RW アドレス：FFFFF432H, FFFFF433H

	15	14	13	12	11	10	9	8
PM9 (PM9H [※])	PM915	PM914	PM913	PM912	PM911	PM910	PM99	PM98
	7	6	5	4	3	2	1	0
(PM9L)	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90

PM9n	入出力モードの制御 (n = 0-15)
0	出力モード
1	入力モード

注 PM9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PM9Hレジスタのビット0-7として指定してください。

(c) ポート・モード・コントロール・レジスタ9 (PMC9)

ポート・モード/コントロール・モードを指定する16ビットのレジスタです。16ビット単位でリード/ライト可能です。

ただし, PMC9レジスタの上位8ビットをPMC9Hレジスタ, 下位8ビットをPMC9Lレジスタとして使用する場合は, 8/1ビット単位でリード/ライト可能です。

注意 PFC9.PFC9nビットおよびPFCE9.PFCE9nビットが初期値(0)の状態では, PMC9レジスタによりコントロール・モードにした場合, 不定出力となります。

そのため, コントロール・モードに設定するには, まずPFC9.PFC9nビットおよびPFCE9.PFCE9nビットを設定したあと, PMC9nビットを1にしてください。

(1/2)

リセット時 : 0000H R/W アドレス : FFFFF452H, FFFFF453H

	15	14	13	12	11	10	9	8
PMC9 (PMC9H ^注)	PMC915	PMC914	PMC913	0	0	0	PMC99	PMC98
	7	6	5	4	3	2	1	0
(PMC9L)	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90

PMC915	P915端子の動作モードの指定
0	入出力ポート
1	INTP6入力

PMC914	P914端子の動作モードの指定
0	入出力ポート
1	INTP5入力

PMC913	P913端子の動作モードの指定
0	入出力ポート
1	INTP4/PCL入出力

PMC99	P99端子の動作モードの指定
0	入出力ポート
1	SCKB1入出力

PMC98	P98端子の動作モードの指定
0	入出力ポート
1	SOB1出力

注 PMC9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は, PMC9Hレジスタのビット0-7として指定してください。

PMC97	P97端子の動作モードの指定
0	入出力ポート
1	SIB1/TIP20/TOP20入出力

PMC96	P96端子の動作モードの指定
0	入出力ポート
1	TIP21/TOP21入出力

PMC95	P95端子の動作モードの指定
0	入出力ポート
1	TIQ10/TOQ10入出力

PMC94	P94端子の動作モードの指定
0	入出力ポート
1	TIQ13/TOQ13入出力

PMC93	P93端子の動作モードの指定
0	入出力ポート
1	TIQ12/TOQ12入出力

PMC92	P92端子の動作モードの指定
0	入出力ポート
1	TIQ11/TOQ11入出力

PMC91	P91端子の動作モードの指定
0	入出力ポート
1	KR7/RXDA1入力

PMC90	P90端子の動作モードの指定
0	入出力ポート
1	KR6/TXDA1入出力

(d) ポート・ファンクション・コントロール・レジスタ9 (PFC9)

コントロール・モード1/コントロール・モード2/コントロール・モード3/コントロール・モード4を指定する16ビットのレジスタです。16ビット単位でリード/ライト可能です。

ただし、PFC9レジスタの上位8ビットをPFC9Hレジスタ、下位8ビットをPFC9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

リセット時：0000H R/W アドレス：FFFFFF472H, FFFFFFF473H

	15	14	13	12	11	10	9	8
PFC9 (PFC9H ^注)	PFC915	PFC914	PFC913	0	0	0	PFC99	PFC98
(PFC9L)								
	7	6	5	4	3	2	1	0
	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	PFC91	PFC90

注 PFC9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PFC9Hレジスタのビット0-7として指定してください。

備考 コントロール・モードの指定については4. 3. 9(2)(f) P9 端子のコントロール・モードの設定を参照してください。

(e) ポート・ファンクション・コントロール拡張レジスタ9 (PFCE9)

コントロール・モード1/コントロール・モード2/コントロール・モード3/コントロール・モード4を指定する16ビットのレジスタです。16ビット単位でリード/ライト可能です。

ただし、PFC9レジスタの上位8ビットをPFC9Hレジスタ、下位8ビットをPFC9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

リセット時：0000H R/W アドレス：FFFFFF712H, FFFFFFF713H

	15	14	13	12	11	10	9	8
PFCE9 (PFCE9H ^注)	0	0	PFCE913	0	0	0	0	0
(PFCE9L)								
	7	6	5	4	3	2	1	0
	PFCE97	PFCE96	PFCE95	PFCE94	PFCE93	PFCE92	PFCE91	PFCE90

注 PFCE9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PFCE9Hレジスタのビット0-7として指定してください。

備考 コントロール・モードの指定については4. 3. 9(2)(f) P9 端子のコントロール・モードの設定を参照してください。

(f) P9端子のコントロール・モードの設定

注意 PFC9.PFC9nビットおよびPFCE9.PFCE9nビットが初期値(0)の状態では、PMC9レジスタによりコントロール・モードにした場合、不定出力となります。

そのため、コントロール・モードに設定するには、まずPFC9.PFC9nビットおよびPFCE9.PFCE9nビットを設定したあと、PMC9nビットを1にしてください。

PFC915	P915端子のコントロール・モードの指定
0	設定禁止
1	INTP6入力

PFC914	P914端子のコントロール・モードの指定
0	設定禁止
1	INTP5入力

PFCE913	PFC913	P913端子のコントロール・モードの指定
0	0	設定禁止
0	1	INTP4入力
1	0	PCL出力
1	1	設定禁止

PFC99	P99端子のコントロール・モードの指定
0	設定禁止
1	SCKB1入出力

PFC98	P98端子のコントロール・モードの指定
0	設定禁止
1	SOB1出力

PFCE97	PFC97	P97端子のコントロール・モードの指定
0	0	設定禁止
0	1	SIB1入力
1	0	TIP20入力
1	1	TOP20出力

PFCE96	PFC96	P96端子のコントロール・モードの指定
0	0	設定禁止
0	1	設定禁止
1	0	TIP21入力
1	1	TOP21出力

PFCE95	PFC95	P95端子のコントロール・モードの指定
0	0	設定禁止
0	1	TIQ10入力
1	0	TOQ10出力
1	1	設定禁止

PFCE94	PFC94	P94端子のコントロール・モードの指定
0	0	設定禁止
0	1	TIQ13入力
1	0	TOQ13出力
1	1	設定禁止

PFCE93	PFC93	P93端子のコントロール・モードの指定
0	0	設定禁止
0	1	TIQ12入力
1	0	TOQ12出力
1	1	設定禁止

PFCE92	PFC92	P92端子のコントロール・モードの指定
0	0	設定禁止
0	1	TIQ11入力
1	0	TOQ11出力
1	1	設定禁止

PFCE91	PFC91	P91端子のコントロール・モードの指定
0	0	設定禁止
0	1	KR7入力
1	0	KR7/RXDA1入力 ^注
1	1	設定禁止

PFCE90	PFC90	P90端子のコントロール・モードの指定
0	0	設定禁止
0	1	KR6入力
1	0	TXDA1出力
1	1	設定禁止

注 KR7端子とRXDA1端子は兼用となっています。

端子をRXDA1端子として使用する場合は、KR7端子のキー・リターン検出を無効にしてください(KRMレジスタのKRM7ビットに"0"を設定)。また、KR7端子として使用する場合は、PFC91ビット = 1、PFCE91ビット = 0に設定することを推奨します。

(g) プルアップ抵抗オプション・レジスタ9 (PU9)

内蔵プルアップ抵抗の接続を指定する16ビットのレジスタです。16ビット単位でリード/ライト可能です。

ただし、PU9レジスタの上位8ビットをPU9Hレジスタ、下位8ビットをPU9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

リセット時：0000H R/W アドレス：FFFFFC52H, FFFFFC53H

	15	14	13	12	11	10	9	8
PU9 (PU9H [※])	PU915	PU914	PU913	PU912	PU911	PU910	PU99	PU98
	7	6	5	4	3	2	1	0
(PU9L)	PU97	PU96	PU95	PU94	PU93	PU92	PU91	PU90

PU9n	内蔵プルアップ抵抗接続制御 (n = 0-15)
0	接続しない
1	接続する

注 PU9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PU9Hレジスタのビット0-7として指定してください。

4.3.10 ポートCM

ポートCMは1ビット単位で入出力を制御できる4ビットのポート（PCM0-PCM3）です。

(1) ポートCMの機能

1ビット単位でポートの入力/出力データの指定が可能

ポート・レジスタCM（PCM）で指定

1ビット単位でポートの入力/出力の指定が可能

ポート・モード・レジスタCM（PMCM）で指定

1ビット単位でポート・モード/コントロール・モード（兼用機能）の指定が可能

ポート・モード・コントロール・レジスタCM（PMCCM）で指定

ポートCMは、次に示す端子と兼用しています。

表4 - 10 ポートCMの兼用端子

端子名	ピン番号	兼用端子名	入出力	備考	ブロック・タイプ
PCM0	61	-	入出力	-	B-1
PCM1	62	CLKOUT			D-2
PCM2	63	-			B-1
PCM3	64	-			B-1

(2) レジスタ

(a) ポート・レジスタCM (PCM)

ポート・レジスタCM (PCM) は、端子レベルのリード、出力レベルのライトを制御する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセット時：不定	R/W	アドレス：FFFFF00CH								
			7	6	5	4	3	2	1	0
PCM			0	0	0	0	PCM3	PCM2	PCM1	PCM0
	PCMn	出力データの制御 (出力モード時) (n = 0-3)								
	0	0を出力								
	1	1を出力								

(b) ポート・モード・レジスタ CM (PMCM)

入力モード/出力モードを指定する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセット時：FFH	R/W	アドレス：FFFFF02CH								
			7	6	5	4	3	2	1	0
PMCM			1	1	1	1	PMCM3	PMCM2	PMCM1	PMCM0
	PMCMn	入出力モードの制御 (n = 0-3)								
	0	出力モード								
	1	入力モード								

(c) ポート・モード・コントロール・レジスタ CM (PMCCM)

ポート・モード/コントロール・モードを指定する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセット時：00H	R/W	アドレス：FFFFF04CH								
			7	6	5	4	3	2	1	0
PMCCM			0	0	0	0	0	0	PMCCM1	0
	PMCCM1	PCM1端子の動作モードの指定								
	0	入出力ポート								
	1	CLKOUT出力								

4.3.11 ポートCS

ポートCSは1ビット単位で入出力を制御できる2ビットのポート (PCS0, PCS1) です。

(1) ポートCSの機能

1ビット単位でポートの入力 / 出力データの指定が可能

ポート・レジスタCS (PCS) で指定

1ビット単位でポートの入力 / 出力の指定が可能

ポート・モード・レジスタCS (PMCS) で指定

ポートCSは、次に示す端子と兼用しています。

表4 - 11 ポートCSの兼用端子

端子名	ピン番号	兼用端子名	入出力	備 考	ブロック・タイプ
PCS0	59	-	入出力	-	B-1
PCS1	60	-			B-1

(2) レジスタ

(a) ポート・レジスタCS (PCS)

ポート・レジスタCS (PCS) は、端子レベルのリード、出力レベルのライトを制御する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセット時：不定	R/W	アドレス：FFFFF008H						
	7	6	5	4	3	2	1	0
PCS	0	0	0	0	0	0	PCS1	PCS0
PCSn	出力データの制御 (出力モード時)(n = 0, 1)							
0	0を出力							
1	1を出力							

(b) ポート・モード・レジスタ CS (PMCS)

入力モード/出力モードを指定する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセット時：FFH	R/W	アドレス：FFFFF028H						
	7	6	5	4	3	2	1	0
PMCS	1	1	1	1	1	1	PMCS1	PMCS0
PMCSn	入出力モードの制御 (n = 0, 1)							
0	出力モード							
1	入力モード							

4.3.12 ポートCT

ポートCTは1ビット単位で入出力を制御できる4ビットのポート（PCT0, PCT1, PCT4, PCT6）です。

(1) ポートCTの機能

1ビット単位でポートの入力/出力データの指定が可能

ポート・レジスタCT（PCT）で指定

1ビット単位でポートの入力/出力の指定が可能

ポート・モード・レジスタCT（PMCT）で指定

ポートCTは、次に示す端子と兼用しています。

表4 - 12 ポートCTの兼用端子

端子名	ピン番号	兼用端子名	入出力	備 考	ブロック・タイプ
PCT0	65	-	入出力	-	B-1
PCT1	66	-			B-1
PCT4	67	-			B-1
PCT6	68	-			B-1

(2) レジスタ

(a) ポート・レジスタCT (PCT)

ポート・レジスタCT (PCT) は、端子レベルのリード、出力レベルのライトを制御する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセット時：不定	R/W	アドレス：FFFFFF00AH						
	7	6	5	4	3	2	1	0
PCT	0	PCT6	0	PCT4	0	0	PCT1	PCT0
PCTn	出力データの制御 (出力モード時) (n = 0, 1, 4, 6)							
0	0を出力							
1	1を出力							

(b) ポート・モード・レジスタCT (PMCT)

入力モード/出力モードを指定する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセット時：FFH	R/W	アドレス：FFFFFF02AH						
	7	6	5	4	3	2	1	0
PMCT	1	PMCT6	1	PMCT4	1	1	PMCT1	PMCT0
PMCTn	入出力モードの制御 (n = 0, 1, 4, 6)							
0	出力モード							
1	入力モード							

4.3.13 ポートDL

ポートDLは1ビット単位で入出力を制御できる14ビットのポート（PDL0-PDL13）です。

(1) ポートDLの機能

1ビット単位でポートの入力/出力データの指定が可能

ポート・レジスタDL（PDL）で指定

1ビット単位でポートの入力/出力の指定が可能

ポート・モード・レジスタDL（PMDL）で指定

ポートDLは、次に示す端子と兼用しています。

表4 - 13 ポートDLの兼用端子

端子名	ピン番号	兼用端子名	入出力	備 考	ブロック・タイプ
PDL0	71	-	入出力	-	B-1
PDL1	72	-			B-1
PDL2	73	-			B-1
PDL3	74	-			B-1
PDL4	75	-			B-1
PDL5	76	FLMD1 ^注			B-1
PDL6	77	-			B-1
PDL7	78	-			B-1
PDL8	79	-			B-1
PDL9	80	-			B-1
PDL10	81	-			B-1
PDL11	82	-			B-1
PDL12	83	-			B-1
PDL13	84	-			B-1

注 FLMD1端子は、フラッシュ・プログラミング・モード時に設定する端子のため、ポート制御用レジスタで操作する必要はありません。詳細は第23章 フラッシュ・メモリを参照してください。

(2) レジスタ

(a) ポート・レジスタDL (PDL)

ポート・レジスタDL (PDL) は、端子レベルのリード、出力レベルのライトを制御する16ビットのレジスタです。16ビット単位でリード/ライト可能です。

ただし、PDLレジスタの上位8ビットをPDLHレジスタ、下位8ビットをPDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：FFFFFF004H, FFFFFFF005H

	15	14	13	12	11	10	9	8
PDL (PDLH [※])	0	0	PDL13	PDL12	PDL11	PDL10	PDL9	PDL8
	7	6	5	4	3	2	1	0
(PDLL)	PDL7	PDL6	PDL5	PDL4	PDL3	PDL2	PDL1	PDL0

PDLn	出力データの制御 (出力モード時) (n = 0-13)
0	0を出力
1	1を出力

注 PDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PDLHレジスタのビット0-7として指定してください。

(a) ポート・モード・レジスタDL (PMDL)

入力モード/出力モードを指定する16ビットのレジスタです。16ビット単位でリード/ライト可能です。ただし、PMDLレジスタの上位8ビットをPMDLHレジスタ、下位8ビットをPMDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

リセット時：FFFFH R/W アドレス：FFFFFF024H, FFFFFFF025H

	15	14	13	12	11	10	9	8
PMDL (PMDLH [※])	1	1	PMDL13	PMDL12	PMDL11	PMDL10	PMDL9	PMDL8
	7	6	5	4	3	2	1	0
(PMDLL)	PMDL7	PMDL6	PMDL5	PMDL4	PMDL3	PMDL2	PMDL1	PMDL0

PMDLn	入出力モードの制御 (n = 0-13)
0	出力モード
1	入力モード

注 PMDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMDLHレジスタのビット0-7として指定してください。

4.3.14 オンチップ・デバッグ用機能の兼用ポート端子

表4 - 14に示す端子の兼用機能にオンチップ・デバッグ用の端子があります。外部リセット後、これらの端子はオンチップ・デバッグ用端子（DRST, DDI, DDO, DCK, DMS）に初期化されます。

表4 - 14 オンチップ・デバッグ用端子

端子名	兼用端子
P05	INTP2/DRST
P52	KR2/TIQ03/TOQ03/DDI
P53	KR3/TIQ00/TOQ00/DDO
P54	KR4/DCK
P55	KR5/DMS

外部リセット後、これらの端子をオンチップ・デバッグ用として使用せず、ポートとして使用する場合は、次の処置が必要です。

OCDMレジスタ（特定レジスタ）のOCDM0ビットをクリア（0）します。

の処置を終えるまでP05/INTP2/DRST端子をロウ・レベル固定にしておきます。

なお、オンチップ・デバッグを使用しない場合、上記処置を行う前にDRST端子にハイ・レベルを入力すると、誤動作（CPUデッド・ロック）の原因となるため、P05端子の取り扱いには十分注意してください。

P05/INTP2/DRST端子にハイ・レベルを入力しない（ロウ・レベルに固定する）場合は、OCDM.OCDM0ビットを操作する必要はありません。

P05/INTP2/DRST端子は、プルダウン抵抗（30 kΩ（TYP.））をバッファに内蔵しているため、外部からロウ・レベル固定に処置する必要はありません。OCDM0ビットをクリア（0）することにより、プルダウン抵抗は切断されます。

詳細は第25章 **オンチップ・デバッグ機能**を参照してください。

4.3.15 ポート端子を兼用端子として使用する場合のレジスタ設定

表4 - 15 ポート端子を兼用端子として使用する場合 (1/5)

端子名称	兼用端子		PMnレジスタ	PMCn レジスタ	PFCm レジスタ	PFCEm レジスタ	その他のビット (レジスタ)
	名称	入出力					
P00	TIP31	入力	設定不要	PMC00 = 1	PFC00 = 0	-	
	TOP31	出力	設定不要	PMC00 = 1	PFC00 = 1	-	
P01	TIP30	入力	設定不要	PMC01 = 1	PFC01 = 0	-	
	TOP30	出力	設定不要	PMC01 = 1	PFC01 = 1	-	
P02	NMI	入力	設定不要	PMC02 = 1	-	-	
P03	INTP0	入力	設定不要	PMC03 = 1	PFC03 = 0	-	INTx03 (INTx0)
	ADTRG	出力	設定不要	PMC03 = 1	PFC03 = 1	-	
P04	INTP1	入力	設定不要	PMC04 = 1	-	-	INTx04 (INTx0)
P05 ^注	INTP2	入力	設定不要	PMC05 = 1	-	-	INTx05 (INTx0)
	DRST	入力	設定不要	設定不要	-	-	OCDM0 (OCDM) = 1
P06	INTP3	入力	設定不要	PMC06 = 1	-	-	INTx06 (INTx0)
P10	INTP9	入力	設定不要	PMC10 = 1	-	-	INTx10 (INTx1)
P11	INTP10	入力	設定不要	PMC11 = 1	-	-	INTx11 (INTx1)

注 外部リセット後，P05/INTP2/DRST端子はオンチップ・デバッグ用端子（DRST）に初期化されます。
P05/INTP2/DRST端子をオンチップ・デバッグ用端子として使用しない場合の処置については，第25章 オンチップ・デバッグ機能を参照してください。

備考 1. 兼用端子として使用する場合，ポート・レジスタ（Pn）は設定不要です。

2. INTxn = INTFn, INTRn

表4 - 15 ポート端子を兼用端子として使用する場合 (2/5)

端子名称	兼用端子		PMnレジスタ	PMCn レジスタ	PFCm レジスタ	PFCEm レジスタ	その他のビット (レジスタ)
	名称	入出力					
P30	TXDA0	出力	設定不要	PMC30 = 1	-	-	
P31	RXDA0	入力	設定不要	PMC31 = 1	-	-	注1
	INTP7	入力	設定不要	PMC31 = 1	-	-	注1, INTx31 (INTx3)
P32	ASCKA0	入力	設定不要	PMC32 = 1	PFC32 = 0	PFCE32 = 0	
	TOP01	出力	設定不要	PMC32 = 1	PFC32 = 1	PFCE32 = 0	
	TIP00	入力	設定不要	PMC32 = 1	PFC32 = 0	PFCE32 = 1	
	TOP00	出力	設定不要	PMC32 = 1	PFC32 = 1	PFCE32 = 1	
P33	TIP01	入力	設定不要	PMC33 = 1	PFC33 = 0	-	
	TOP01	出力	設定不要	PMC33 = 1	PFC33 = 1	-	
P34	TIP10	入力	設定不要	PMC34 = 1	PFC34 = 0	-	
	TOP10	出力	設定不要	PMC34 = 1	PFC34 = 1	-	
P35	TIP11	入力	設定不要	PMC35 = 1	PFC35 = 0	-	
	TOP11	出力	設定不要	PMC35 = 1	PFC35 = 1	-	
P38	TXDA2	出力	設定不要	PMC38 = 1	-	-	
P39	RXDA2	入力	設定不要	PMC39 = 1	-	-	注2
	INTP8	入力	設定不要	PMC39 = 1	-	-	注2, INTx39 (INTx3)
P40	SIB0	入力	設定不要	PMC40 = 1	-	-	
P41	SOB0	出力	設定不要	PMC41 = 1	-	-	
P42	SCKB0	入出力	設定不要	PMC42 = 1	-	-	

- 注1. INTP7端子とRXDA0端子は兼用となっています。RXDA0端子として使用する場合は兼用しているINTP7端子のエッジ検出を無効にしてください (INTF3.INTF31ビット = 0, INTR3.INTR31ビット = 0に設定)。またINTP7端子として使用する場合はUARTA0を受信動作停止としてください (UA0CTL0.UA0RXEビット = 0)。
2. INTP8端子とRXDA2端子は兼用となっています。RXDA2端子として使用する場合は兼用しているINTP8端子のエッジ検出を無効にしてください (INTF3.INTF39ビット = 0, INTR3.INTR39ビット = 0に設定)。またINTP8端子として使用する場合はUARTA2を受信動作停止としてください (UA2CTL0.UA2RXEビット = 0)。

備考1. 兼用端子として使用する場合、ポート・レジスタ (Pn) は設定不要です。

2. INTxn = INTFn, INTRn

表4 - 15 ポート端子を兼用端子として使用する場合 (3/5)

端子名称	兼用端子		PMnレジスタ	PMCn レジスタ	PFCm レジスタ	PFCEm レジスタ	その他のビット (レジスタ)
	名称	入出力					
P50	KR0	入力	設定不要	PMC50 = 1	PFC50 = 1	PFCE50 = 0	注1
	TIQ01	入力	設定不要	PMC50 = 1	PFC50 = 1	PFCE50 = 0	注1
	TOQ01	出力	設定不要	PMC50 = 1	PFC50 = 0	PFCE50 = 1	
P51	KR1	入力	設定不要	PMC51 = 1	PFC51 = 1	PFCE54 = 0	注1
	TIQ02	入力	設定不要	PMC51 = 1	PFC51 = 1	PFCE51 = 0	注1
	TOQ02	出力	設定不要	PMC51 = 1	PFC51 = 0	PFCE51 = 1	
P52	KR2	入力	設定不要	PMC52 = 1	PFC52 = 1	PFCE52 = 0	注1
	TIQ03	入力	設定不要	PMC52 = 1	PFC52 = 1	PFCE52 = 0	注1
	TOQ03	出力	設定不要	PMC52 = 1	PFC52 = 0	PFCE52 = 1	
	DDI ^{注2}	入力	設定不要	設定不要	設定不要	設定不要	OCDM0 (OCDM) = 1
P53	KR3	入力	設定不要	PMC53 = 1	PFC53 = 1	PFCE53 = 0	注1
	TIQ00	入力	設定不要	PMC53 = 1	PFC53 = 1	PFCE53 = 0	注1
	TOQ00	出力	設定不要	PMC53 = 1	PFC53 = 0	PFCE53 = 1	
	DDO ^{注2}	出力	設定不要	設定不要	設定不要	設定不要	OCDM0 (OCDM) = 1
P54	KR4	入力	設定不要	PMC54 = 1	PFC54 = 1	-	
	DCK ^{注2}	出力	設定不要	設定不要	設定不要	-	OCDM0 (OCDM) = 1
P55	KR5	入力	設定不要	PMC55 = 1	PFC55 = 1	-	
	DMS ^{注2}	出力	設定不要	設定不要	設定不要	-	OCDM0 (OCDM) = 1

注1. KRn端子とTIQ0m端子は兼用となっています。端子をTIQ0m端子として使用する場合は兼用しているKRn端子のキー・リターン検出を無効にしてください (KRM.KRMnビットに0を設定)。またKRn端子として使用する場合は兼用しているTIQ0m端子のエッジ検出を無効にしてください (n = 0-3, m = 0-3)。

端子名称	TIQ0m端子として使用する場合	KRn端子として使用する場合
KR0/TIQ01	KRMレジスタのKRM0ビット = 0	TQ0IOC1レジスタのTQ0TIG2, TQ0TIG3ビット = 0
KR1/TIQ02	KRMレジスタのKRM1ビット = 0	TQ0IOC1レジスタのTQ0TIG4, TQ0TIG5ビット = 0
KR2/TIQ03	KRMレジスタのKRM2ビット = 0	TQ0IOC1レジスタのTQ0TIG6, TQ0TIG7ビット = 0
KR3/TIQ00	KRMレジスタのKRM3ビット = 0	TQ0IOC1レジスタのTQ0TIG0, TQ0TIG1ビット = 0 TQ0IOC2レジスタのTQ0EES0, TQ0EES1ビット = 0 TQ0IOC2レジスタのTQ0ETS0, TQ0ETS1ビット = 0

2. DDI, DDO, DCK, DMS端子はオンチップ・デバッグ用の端子です。外部リセット後, DDI, DDO, DCK, DMS端子をオンチップ・デバッグ用端子として使用しない場合の処置については, 第25章 オンチップ・デバッグ機能を参照してください。

注意 PFC5.PFC5nビットおよびPFCE5.PFCE5nビットが初期値(0)の状態, PMC5レジスタによりコントロール・モードにした場合, 不定出力となります。

そのため, コントロール・モードに設定するには, まずPFC5.PFC5nビットおよびPFCE5.PFCE5nビットを設定したあと, PMC5nビットを1にしてください。

備考1. 兼用端子として使用する場合, ポート・レジスタ (Pn) は設定不要です。

2. INTxn = INTFn, INTRn

表4 - 15 ポート端子を兼用端子として使用する場合 (4/5)

端子名称	兼用端子		PMnレジスタ	PMCn レジスタ	PFCm レジスタ	PFCEm レジスタ	その他のビット (レジスタ)
	名称	入出力					
P70	ANI0	入力	PM70 = 1 ^注	-	-	-	
P71	ANI1	入力	PM71 = 1 ^注	-	-	-	
P72	ANI2	入力	PM72 = 1 ^注	-	-	-	
P73	ANI3	入力	PM73 = 1 ^注	-	-	-	
P74	ANI4	入力	PM74 = 1 ^注	-	-	-	
P75	ANI5	入力	PM75 = 1 ^注	-	-	-	
P76	ANI6	入力	PM76 = 1 ^注	-	-	-	
P77	ANI7	入力	PM77 = 1 ^注	-	-	-	
P78	ANI8	入力	PM78 = 1 ^注	-	-	-	
P79	ANI9	入力	PM79 = 1 ^注	-	-	-	
P710	ANI10	入力	PM710 = 1 ^注	-	-	-	
P711	ANI11	入力	PM711 = 1 ^注	-	-	-	
P712	ANI12	入力	PM712 = 1 ^注	-	-	-	
P713	ANI13	入力	PM713 = 1 ^注	-	-	-	
P714	ANI14	入力	PM714 = 1 ^注	-	-	-	
P715	ANI15	入力	PM715 = 1 ^注	-	-	-	

注 P7nを兼用機能 (ANI_n) として使用する場合は、PM7n = 1に設定してください。

注意 PFC6.PFC6nビット (n = 0-8) が初期値 (0) の状態で、PMC6レジスタによりコントロール・モードにした場合、不定出力となります。

そのため、コントロール・モードに設定するには、まずPFC6.PFC6nビットを1に設定したあと、PMC6nビットを1にしてください。

備考1. 兼用端子として使用する場合、ポート・レジスタ (P_n) は設定不要です。

2. INTx_n = INTF_n, INTR_n

表4 - 15 ポート端子を兼用端子として使用する場合 (5/5)

端子名称	兼用端子		PMnレジスタ	PMCn レジスタ	PFCm レジスタ	PFCEm レジスタ	その他のビット (レジスタ)
	名称	入出力					
P90	KR6	入力	設定不要	PMC90 = 1	PFC90 = 1	PFCE90 = 0	
	TXDA1	出力	設定不要	PMC90 = 1	PFC90 = 0	PFCE90 = 1	
P91	KR7 ^{※1}	入力	設定不要	PMC91 = 1	PFC91 = 1	PFCE91 = 0	
					PFC91 = 0	PFCE91 = 1	
P92	TIQ11	入力	設定不要	PMC92 = 1	PFC92 = 1	PFCE92 = 0	
	TOQ11	出力	設定不要	PMC92 = 1	PFC92 = 0	PFCE92 = 1	
P93	TIQ12	入力	設定不要	PMC93 = 1	PFC93 = 1	PFCE93 = 0	
	TOQ12	出力	設定不要	PMC93 = 1	PFC93 = 0	PFCE93 = 1	
P94	TIQ13	入力	設定不要	PMC94 = 1	PFC94 = 1	PFCE94 = 0	
	TOQ13	出力	設定不要	PMC94 = 1	PFC94 = 0	PFCE94 = 1	
P95	TIQ10	入力	設定不要	PMC95 = 1	PFC95 = 1	PFCE95 = 0	
	TOQ10	出力	設定不要	PMC95 = 1	PFC95 = 0	PFCE95 = 1	
P96	TIP21	入力	設定不要	PMC96 = 1	PFC96 = 0	PFCE96 = 1	
	TOP21	出力	設定不要	PMC96 = 1	PFC96 = 1	PFCE96 = 1	
P97	SIB1	入力	設定不要	PMC97 = 1	PFC97 = 1	PFCE97 = 0	
	TIP20	入力	設定不要	PMC97 = 1	PFC97 = 0	PFCE97 = 1	
	TOP20	出力	設定不要	PMC97 = 1	PFC97 = 1	PFCE97 = 1	
P98	SOB1	出力	設定不要	PMC98 = 1	PFC98 = 1	-	
P99	SCKB1	入出力	設定不要	PMC99 = 1	PFC99 = 1	-	
P913	INTP4	入力	設定不要	PMC913 = 1	PFC913 = 1	PFCE913 = 0	INTx913 (INTx9H)
	PCL	出力	設定不要	PMC913 = 1	PFC913 = 0	PFCE913 = 1	
P914	INTP5	入力	設定不要	PMC914 = 1	PFC914 = 1	-	INTx914 (INTx9H)
P915	INTP6	入力	設定不要	PMC915 = 1	PFC915 = 1	-	INTx915 (INTx9H)
PCM1	CLKOUT	出力	設定不要	PMCCM1 = 1	-	-	
PDL5	FLMD1	入力	設定不要	設定不要	-	-	注2

注1. KR7端子とRXDA1端子は兼用となっています。

端子をRXDA1端子として使用する場合は、KR7端子のキー・リターン検出を無効にしてください (KRM.KRM7ビットに“0”を設定)。

また、KR7端子として使用する場合は、PFC91ビット = 1、PFCE91ビット = 0に設定することを推奨します。

2. FLMD1端子は、フラッシュ・プログラミング・モード時に設定する端子のため、ポート制御用レジスタで操作する必要はありません。詳細は第23章 フラッシュ・メモリを参照してください。

注意 PFC9.PFC9nビットおよびPFCE9.PFCE9nビットが初期値(0)の状態、PMC9レジスタによりコントロール・モードにした場合、不定出力となります。

そのため、コントロール・モードに設定するには、まずPFC9.PFC9nビットおよびPFCE9.PFCE9nビットを設定したあと、PMC9nビットを1にしてください。

備考1. 兼用端子として使用する場合、ポート・レジスタ (Pn) は設定不要です。

2. INTxn = INTFn, INTRn

4.4 ブロック図

図4-2 タイプA-1のブロック図

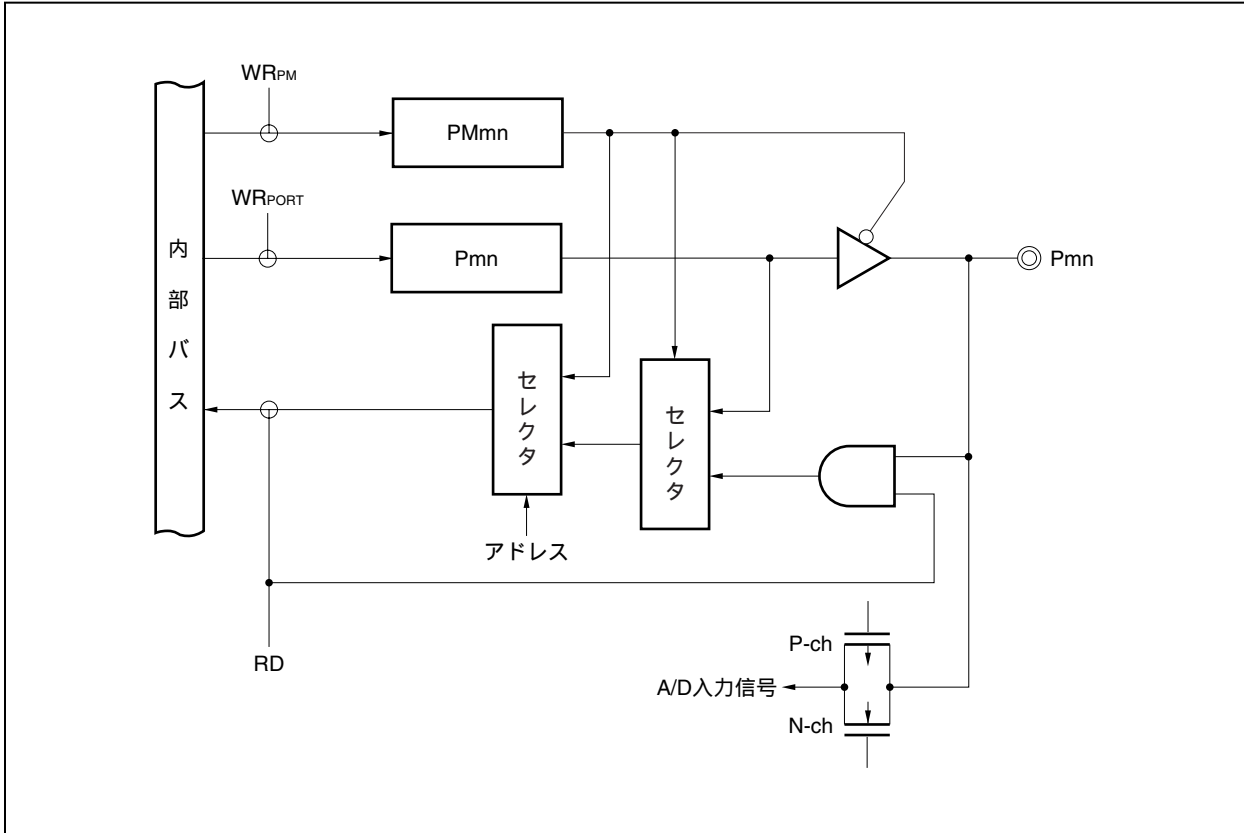


図4-3 タイプB-1のブロック図

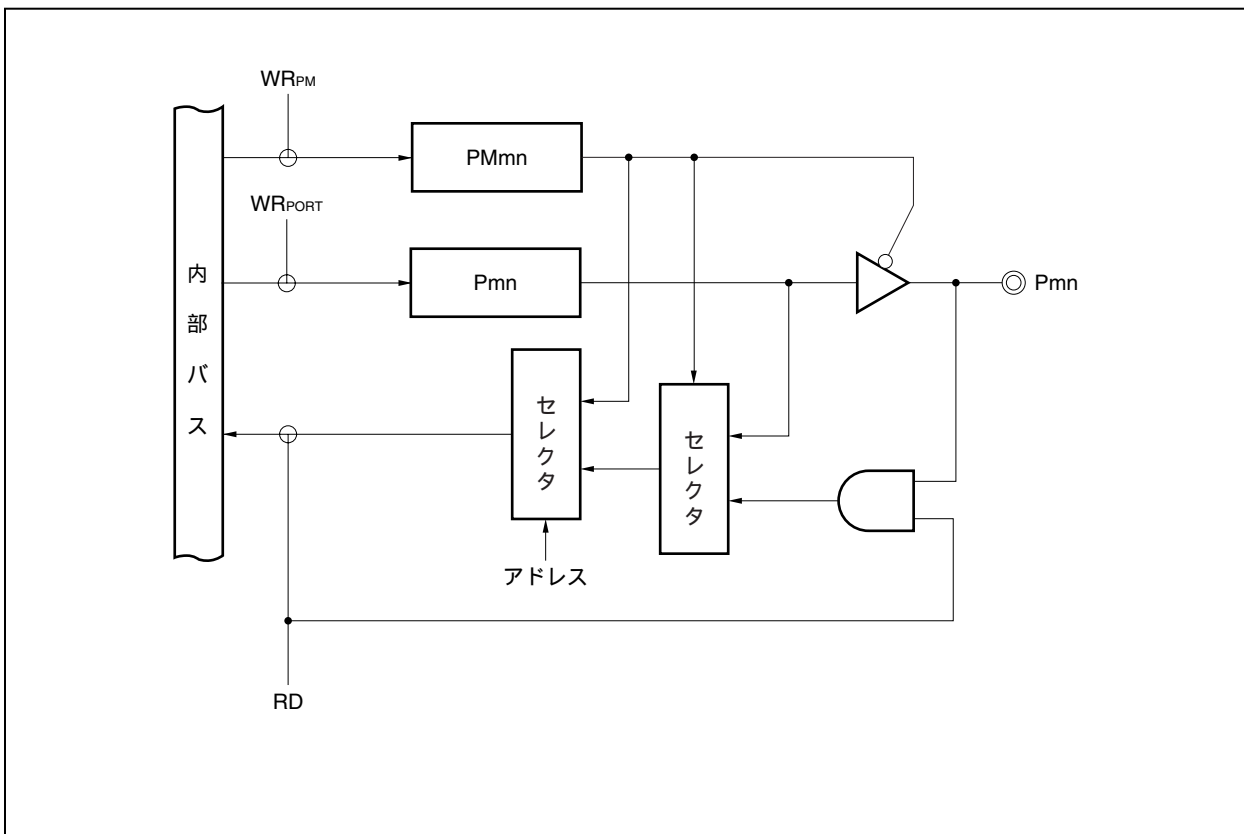


図4-4 タイプC-1のブロック図

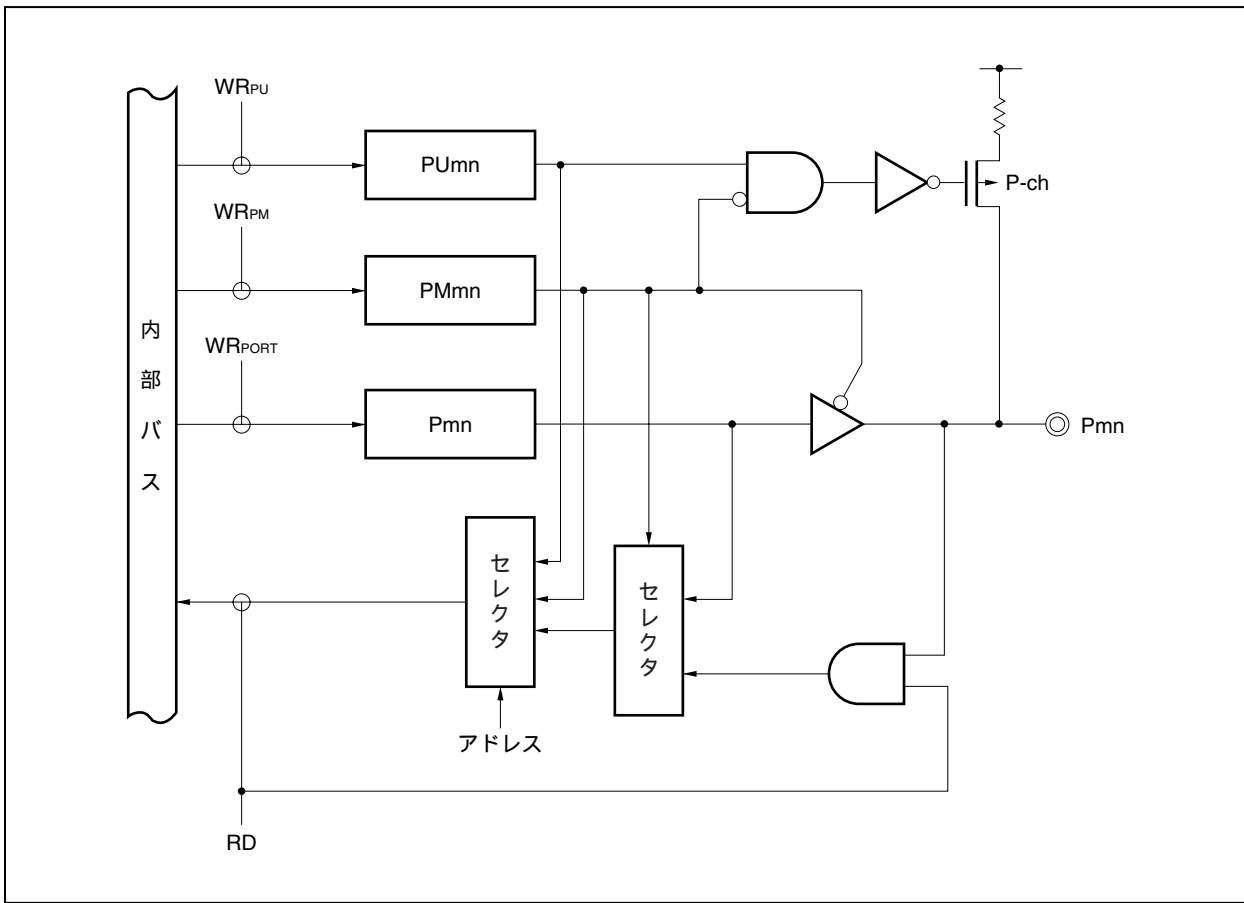


図4-5 タイプD-2のブロック図

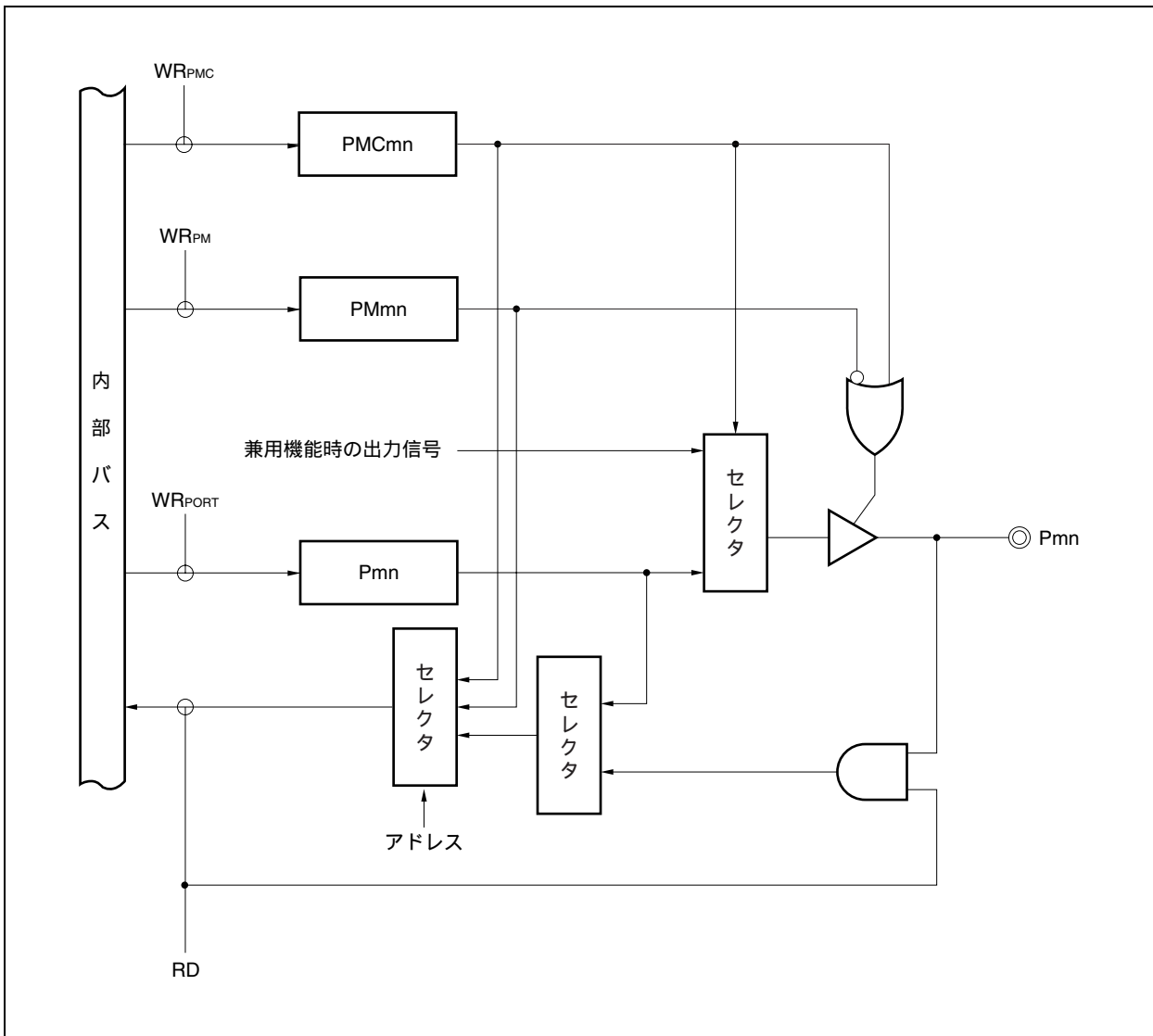


図4-6 タイプE-1のブロック図

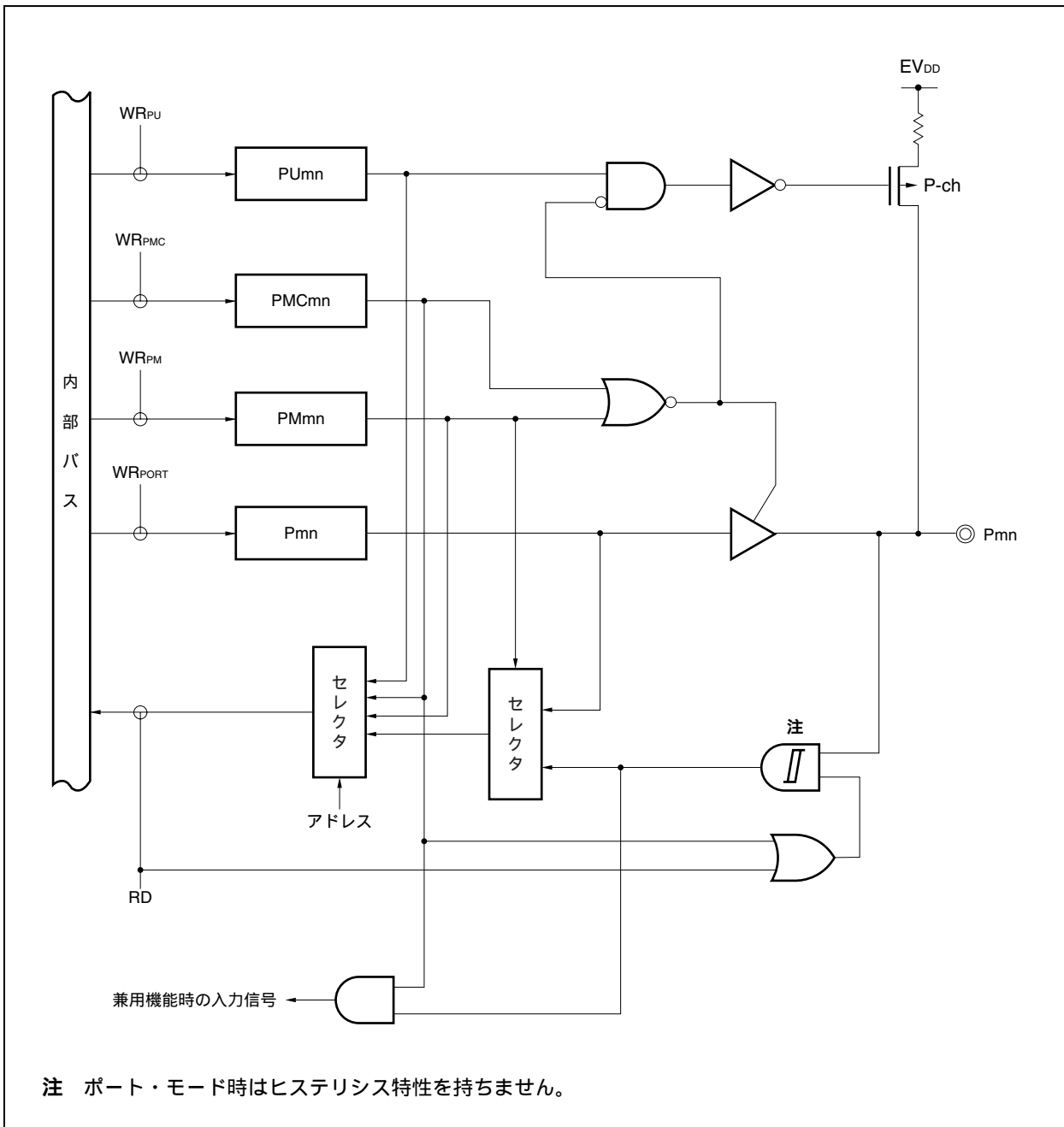


図4-7 タイプE-2のブロック図

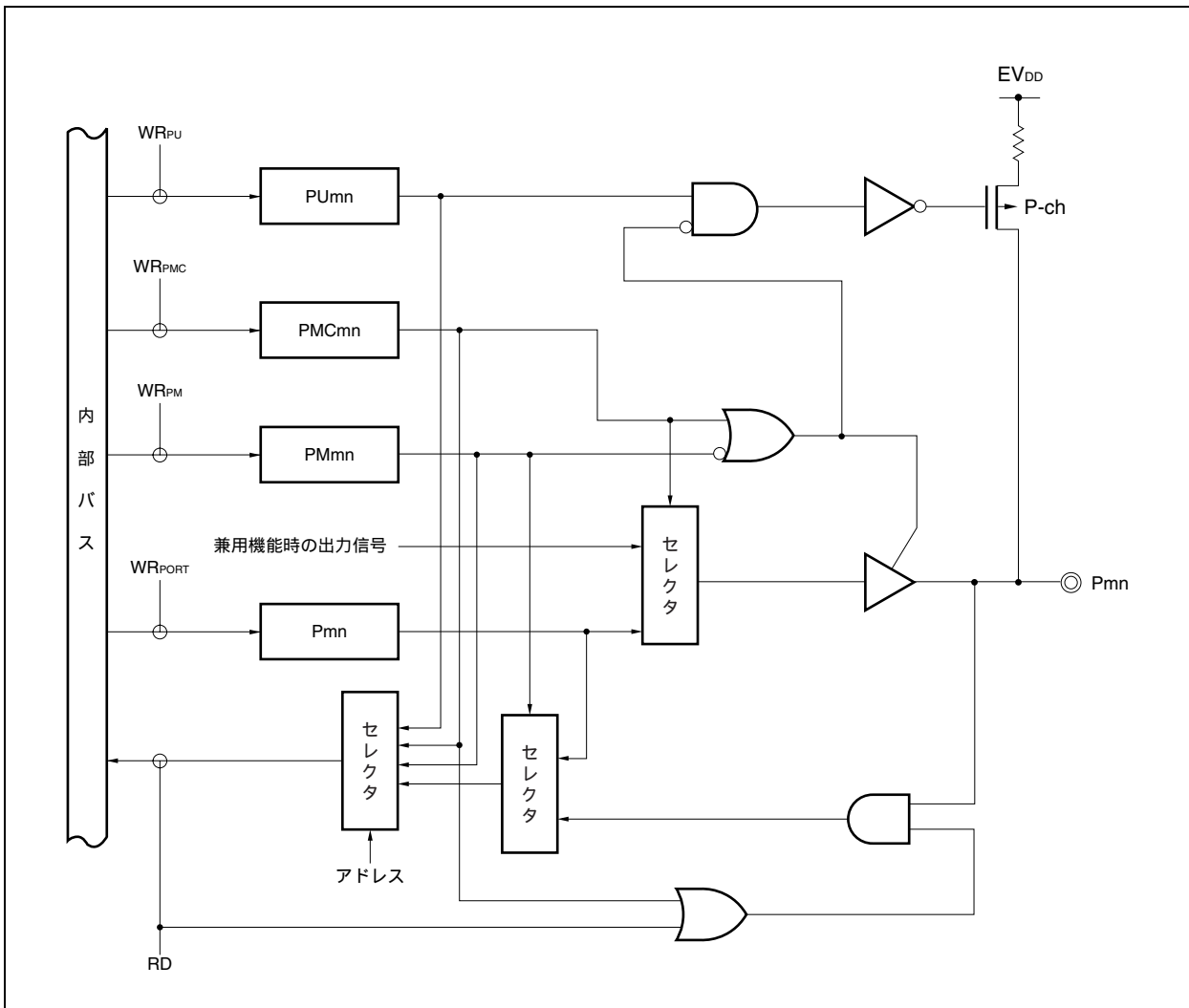


図4-8 タイプE-3のブロック図

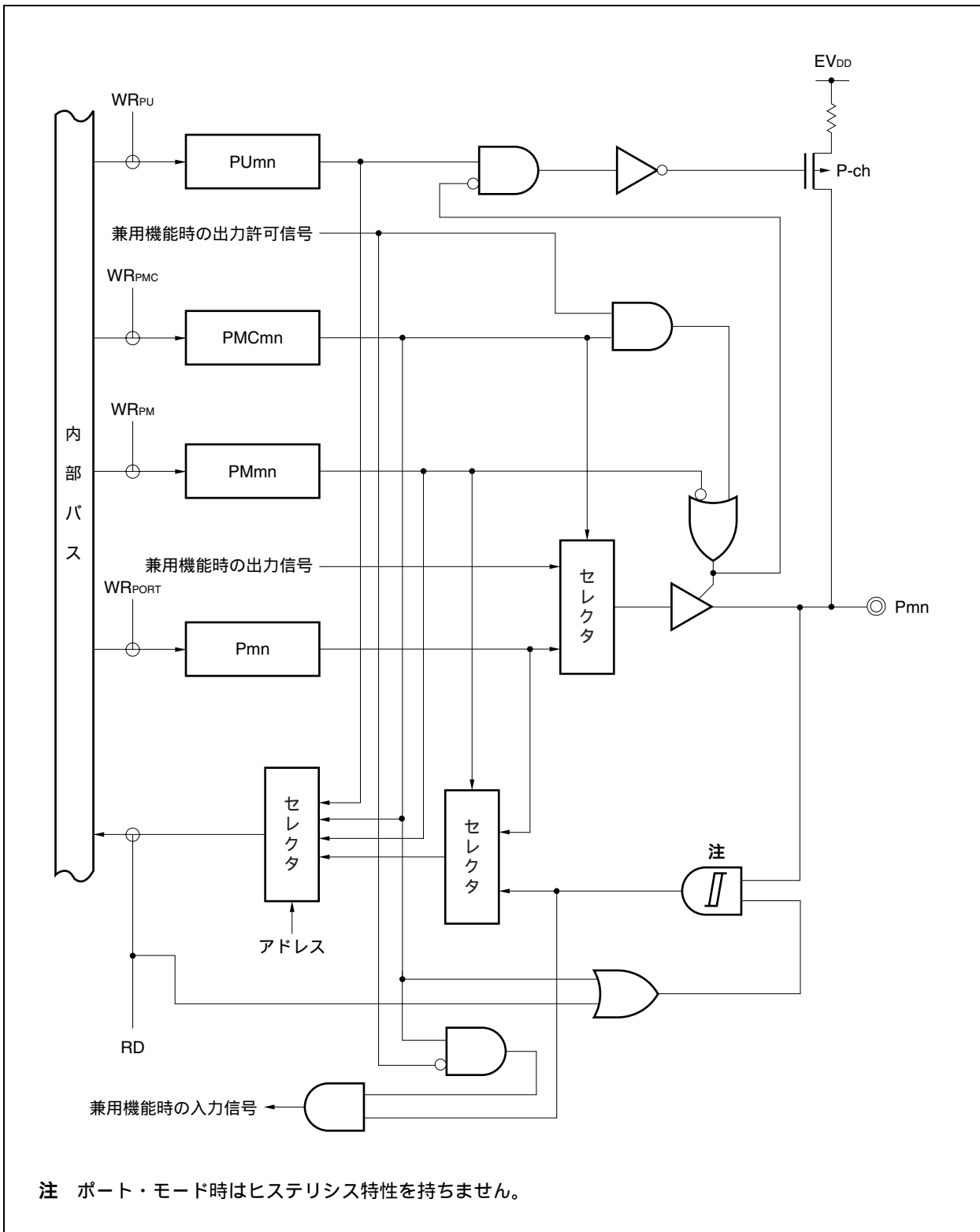


図4-9 タイプG-1のブロック図

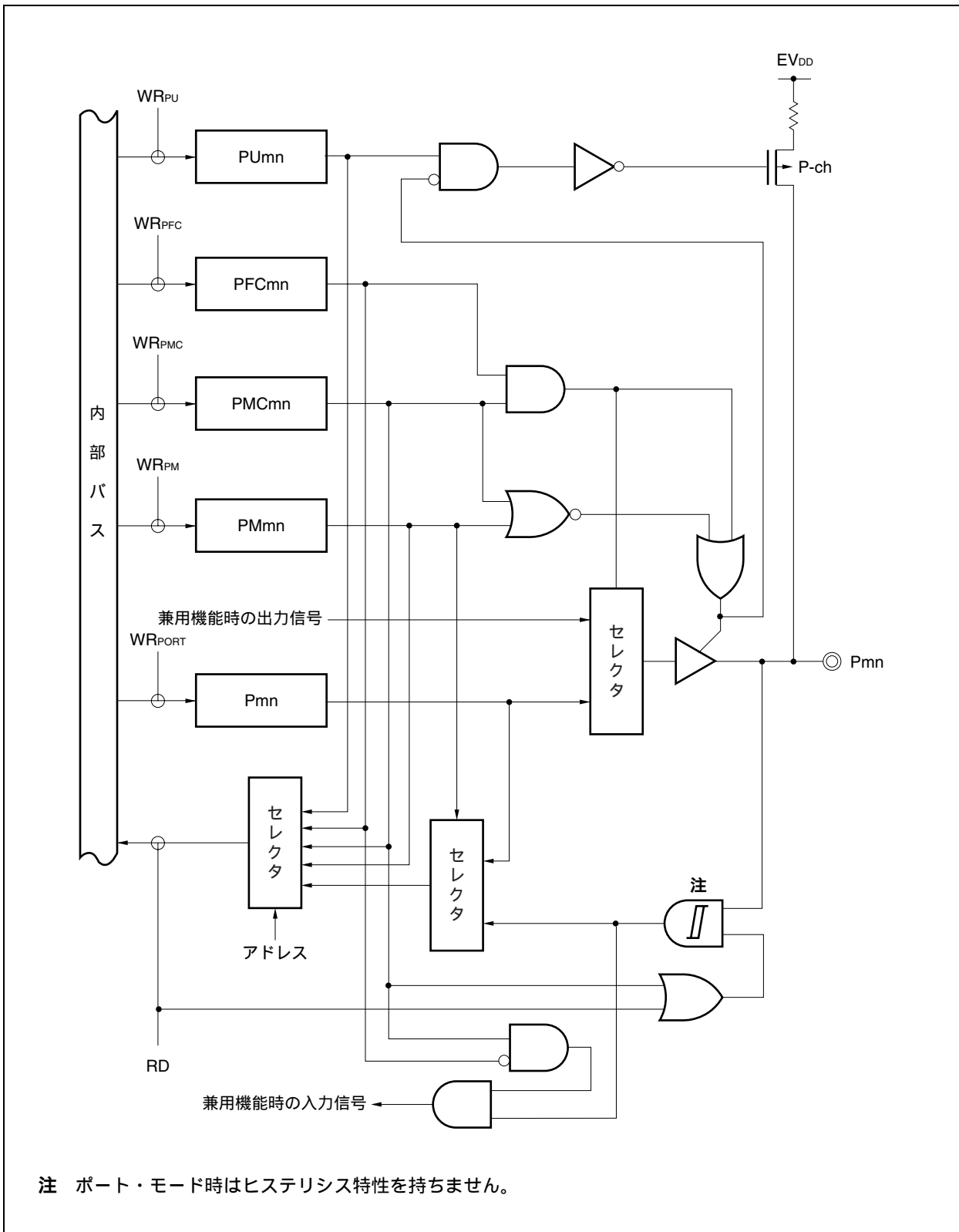
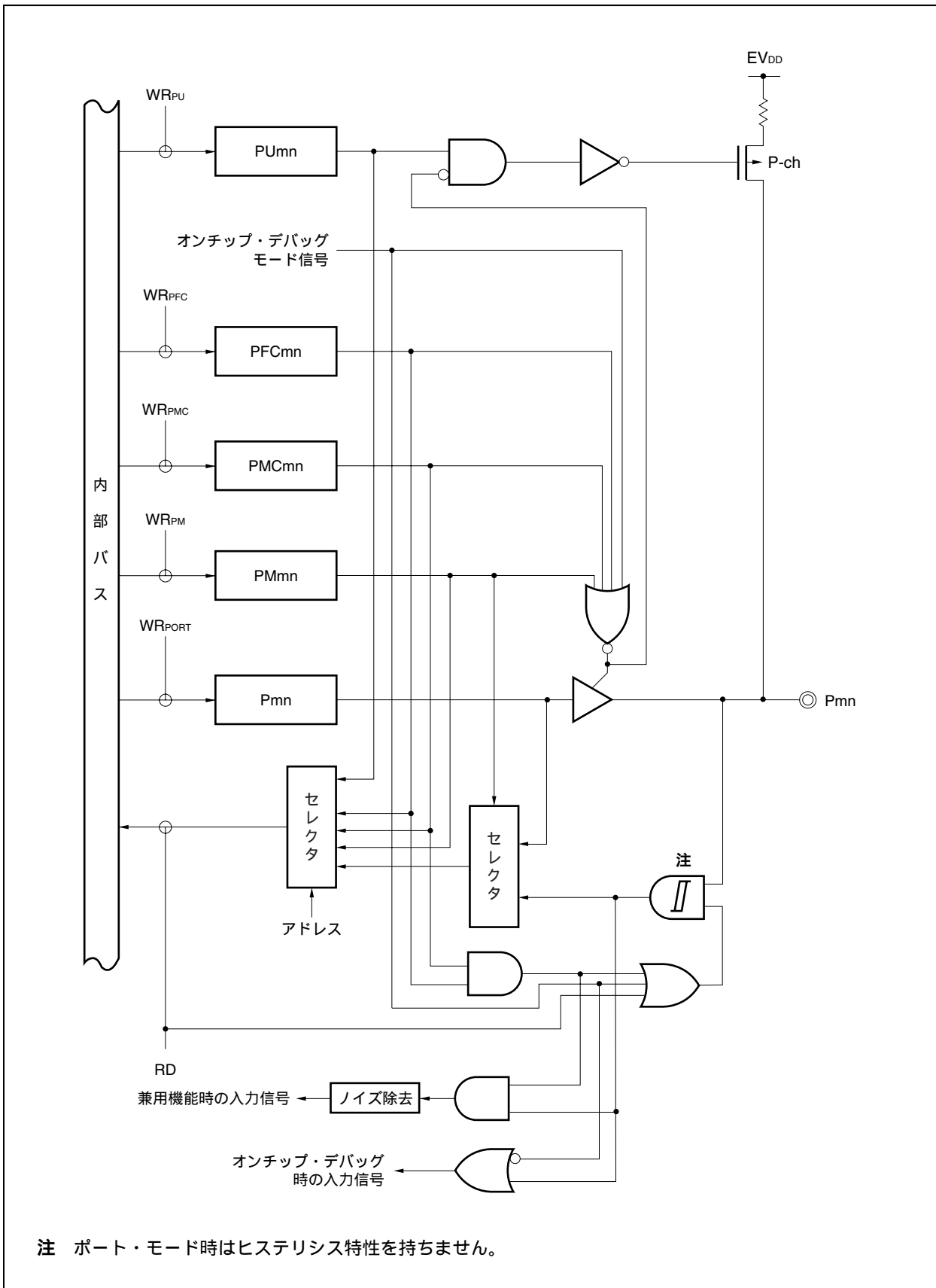


図4 - 10 タイプG - 2のブロック図



注 ポート・モード時はヒステリシス特性を持ちません。

図4 - 11 タイプG - 3のブロック図

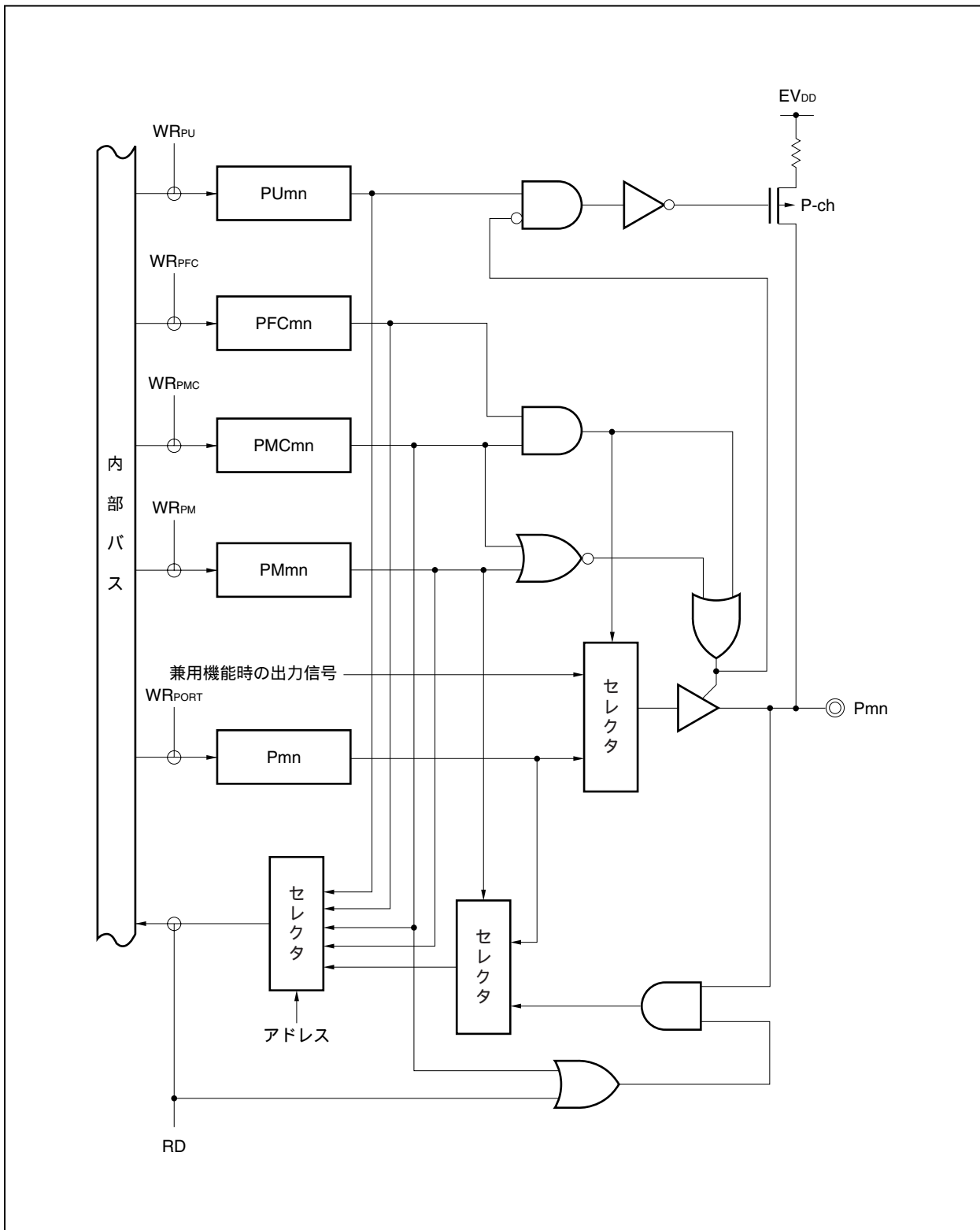


図4 - 12 タイプG - 5のブロック図

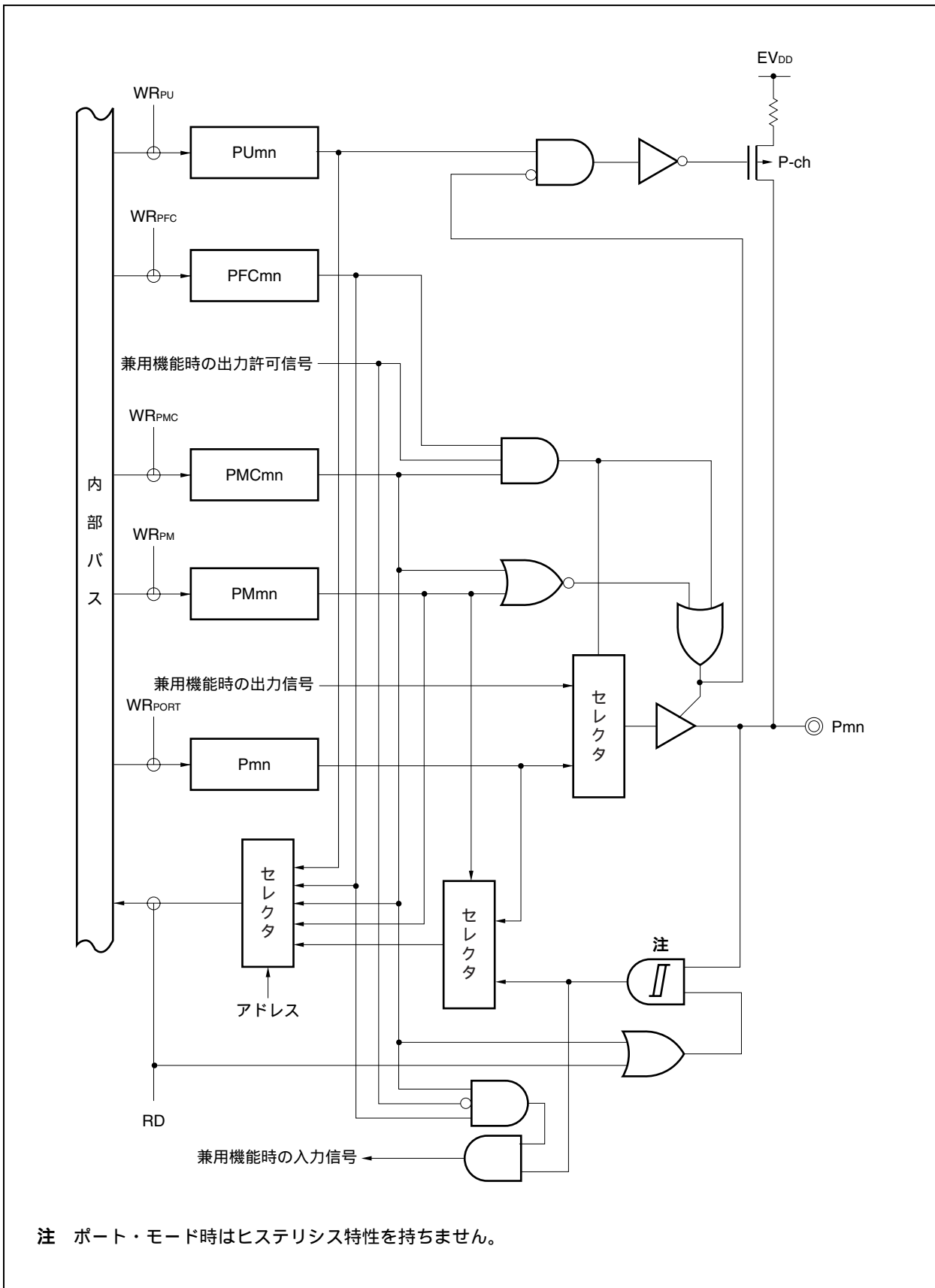


図4 - 13 タイプL-1のブロック図

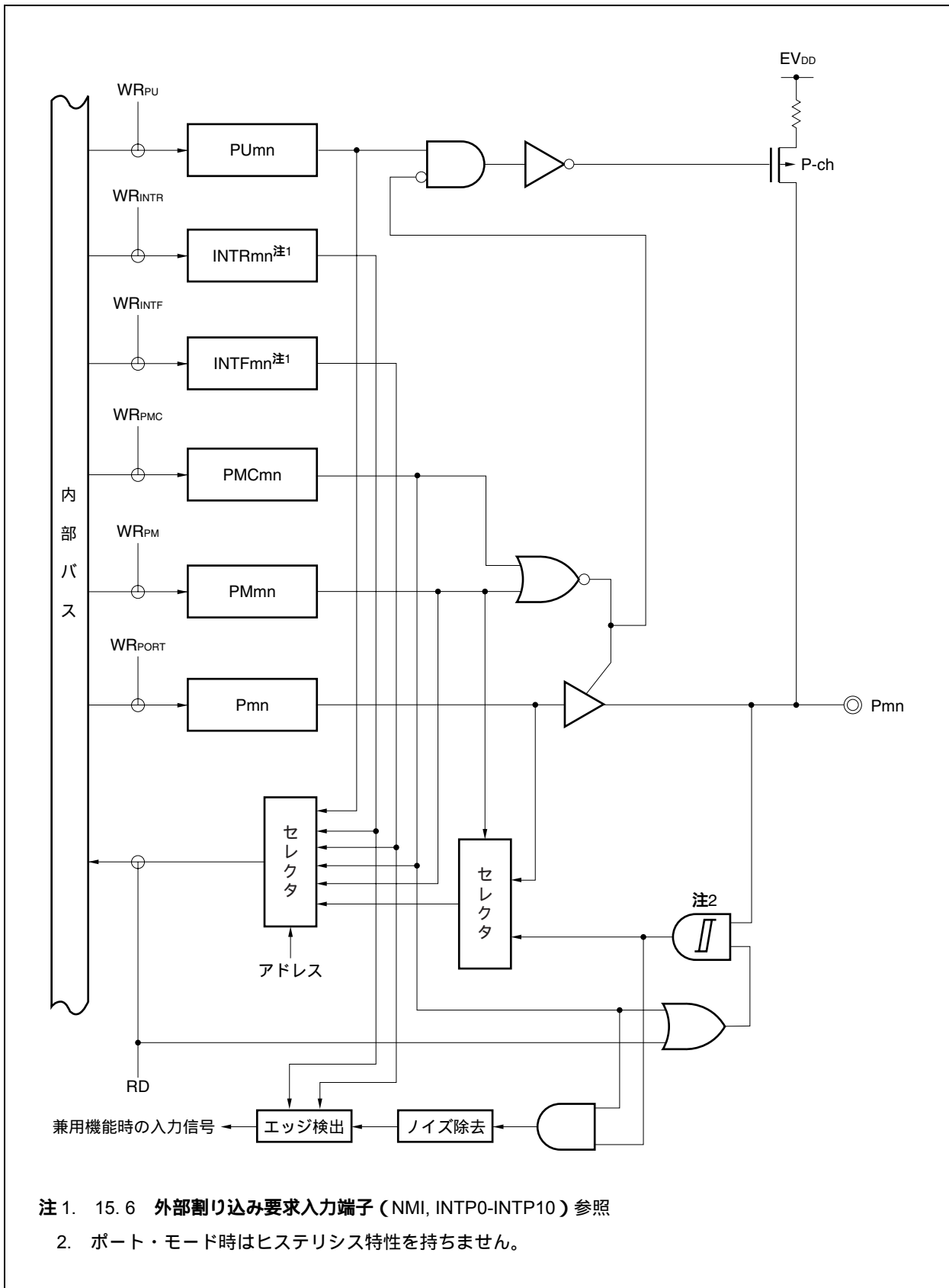


図4 - 14 タイプL - 2のブロック図

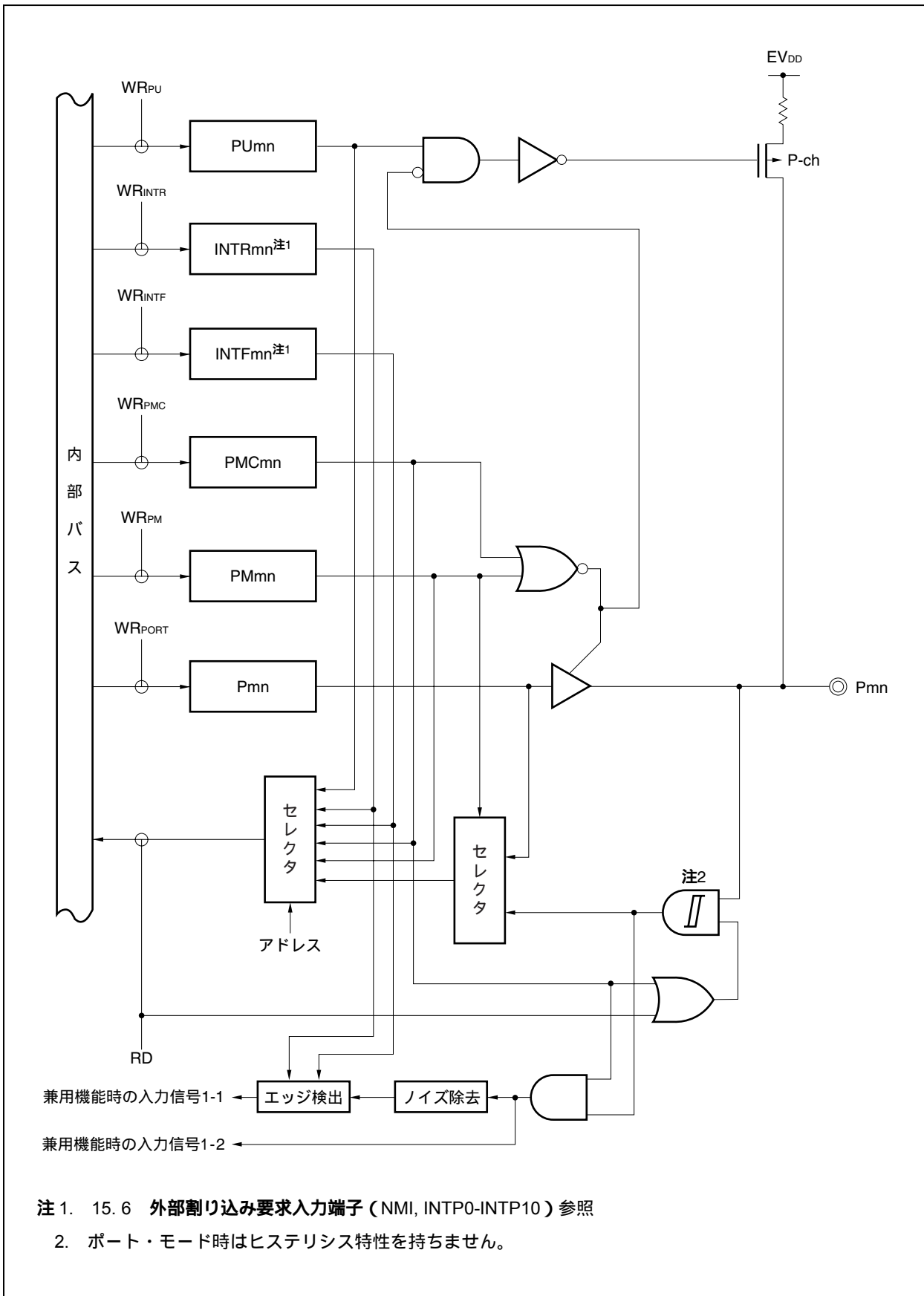


図4-15 タイプN-1のブロック図

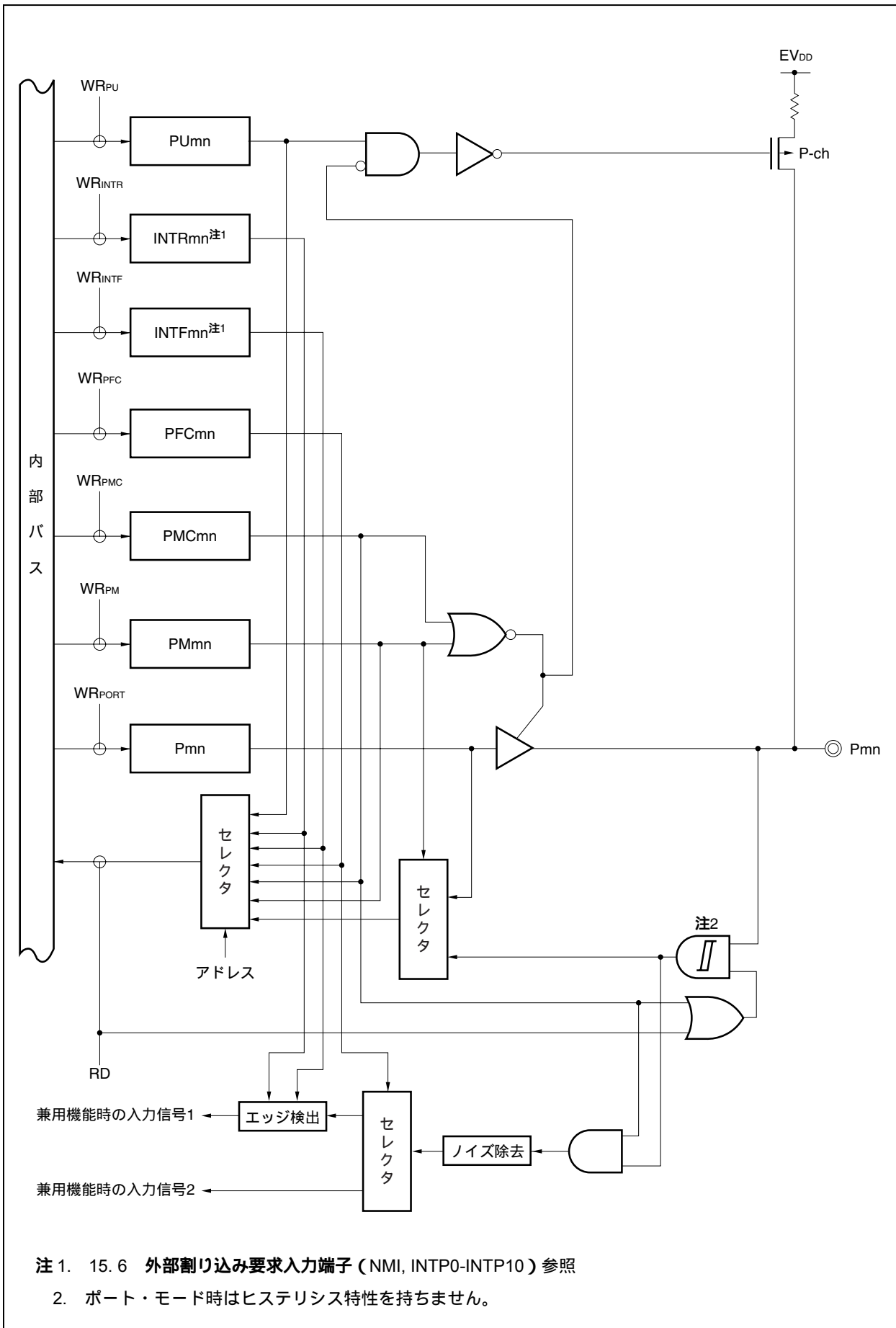
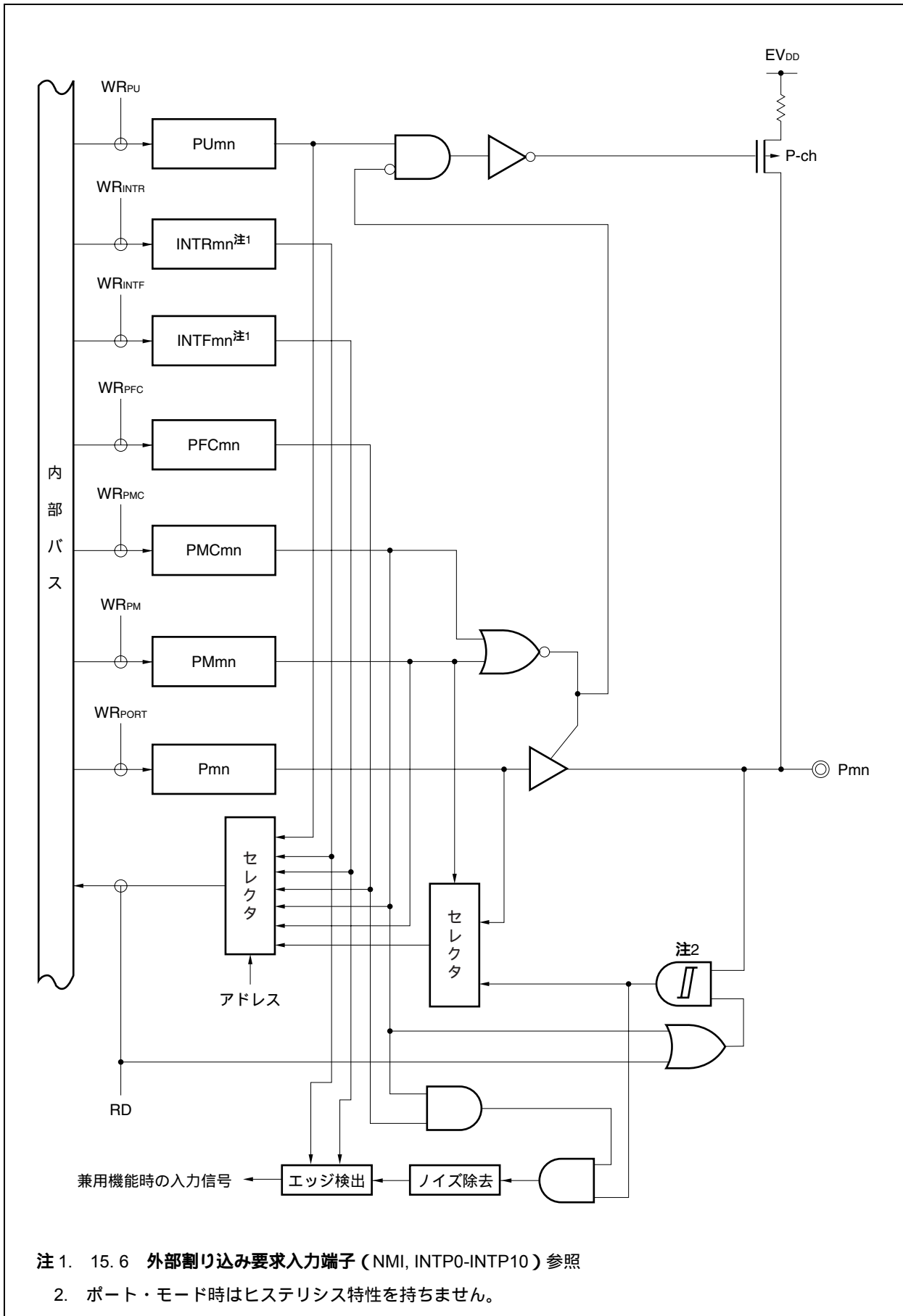


図4 - 16 タイプN - 2のブロック図



注1. 15.6 外部割り込み要求入力端子 (NMI, INTP0-INTP10) 参照

2. ポート・モード時はヒステリシス特性を持ちません。

図4-17 タイプU-4のブロック図

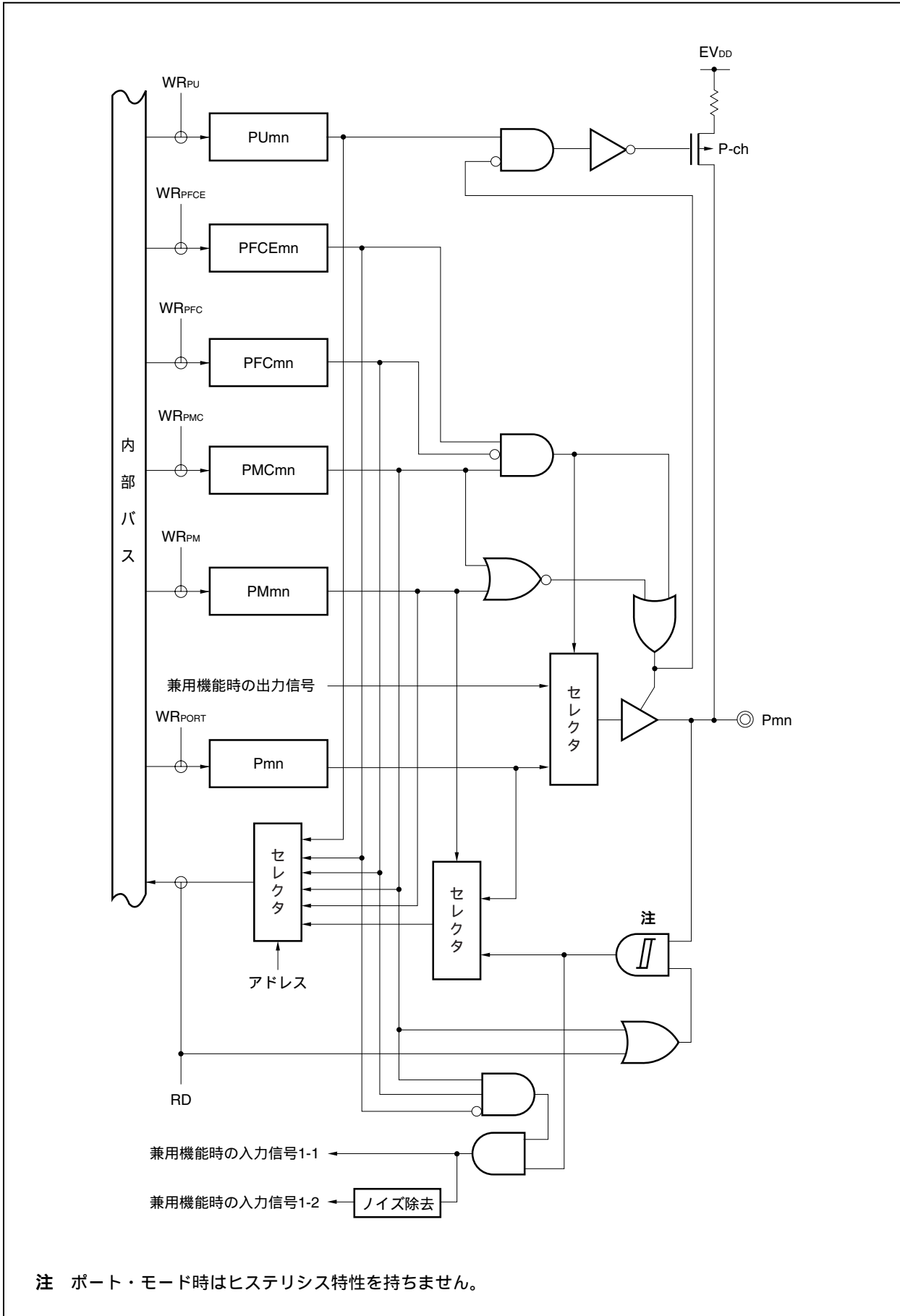


図4 - 18 タイプU - 5のブロック図

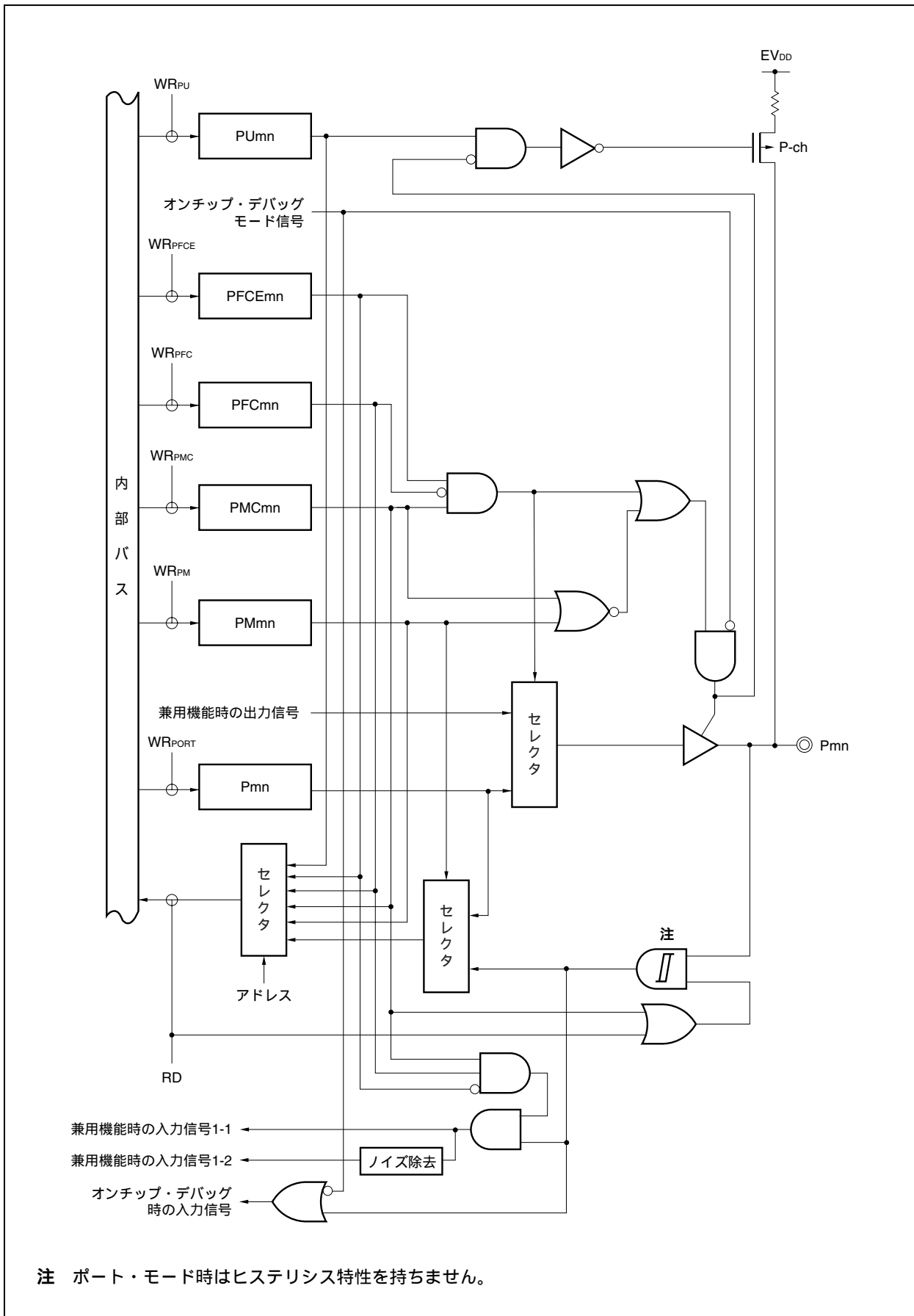


図4 - 19 タイプU - 6のブロック図

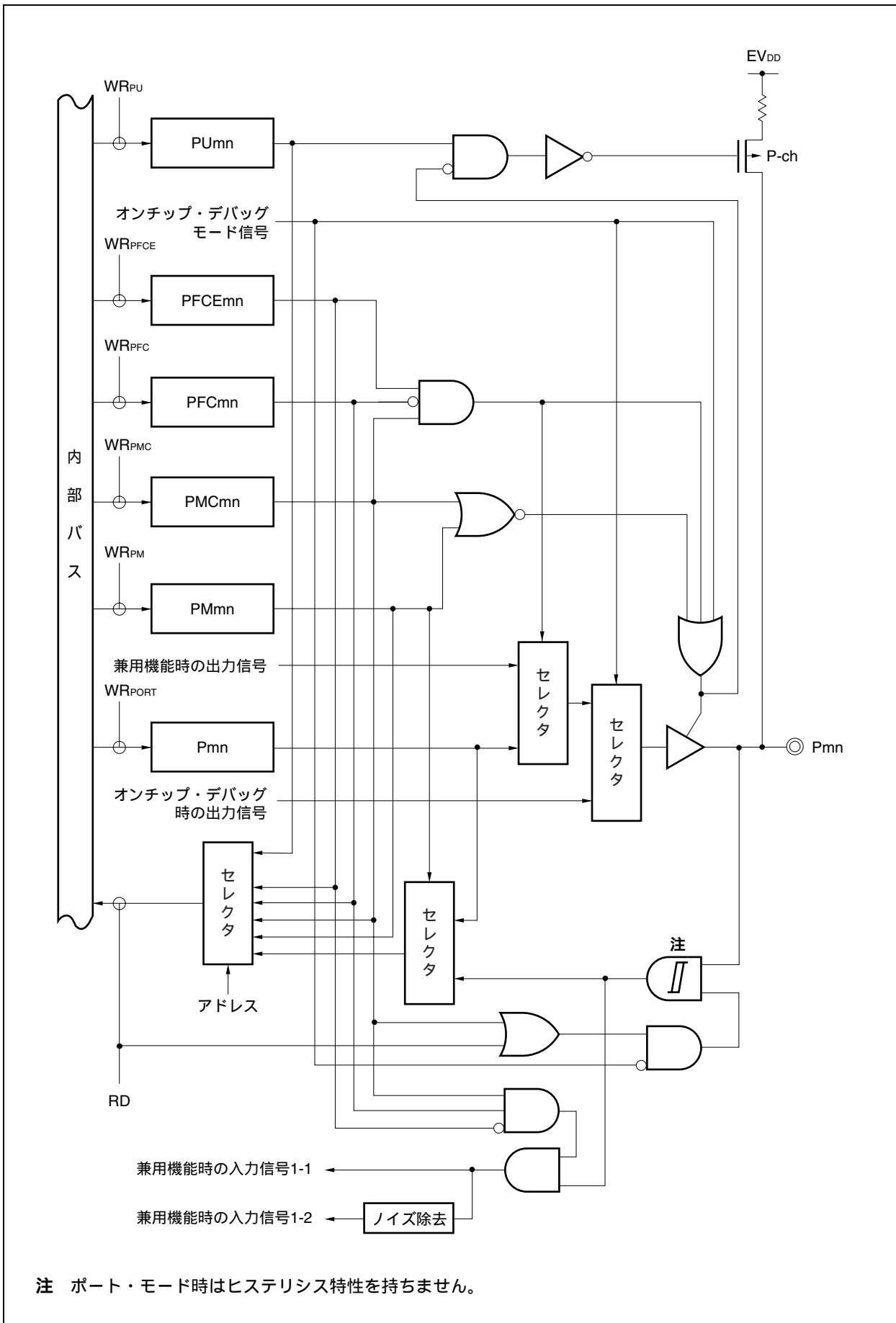
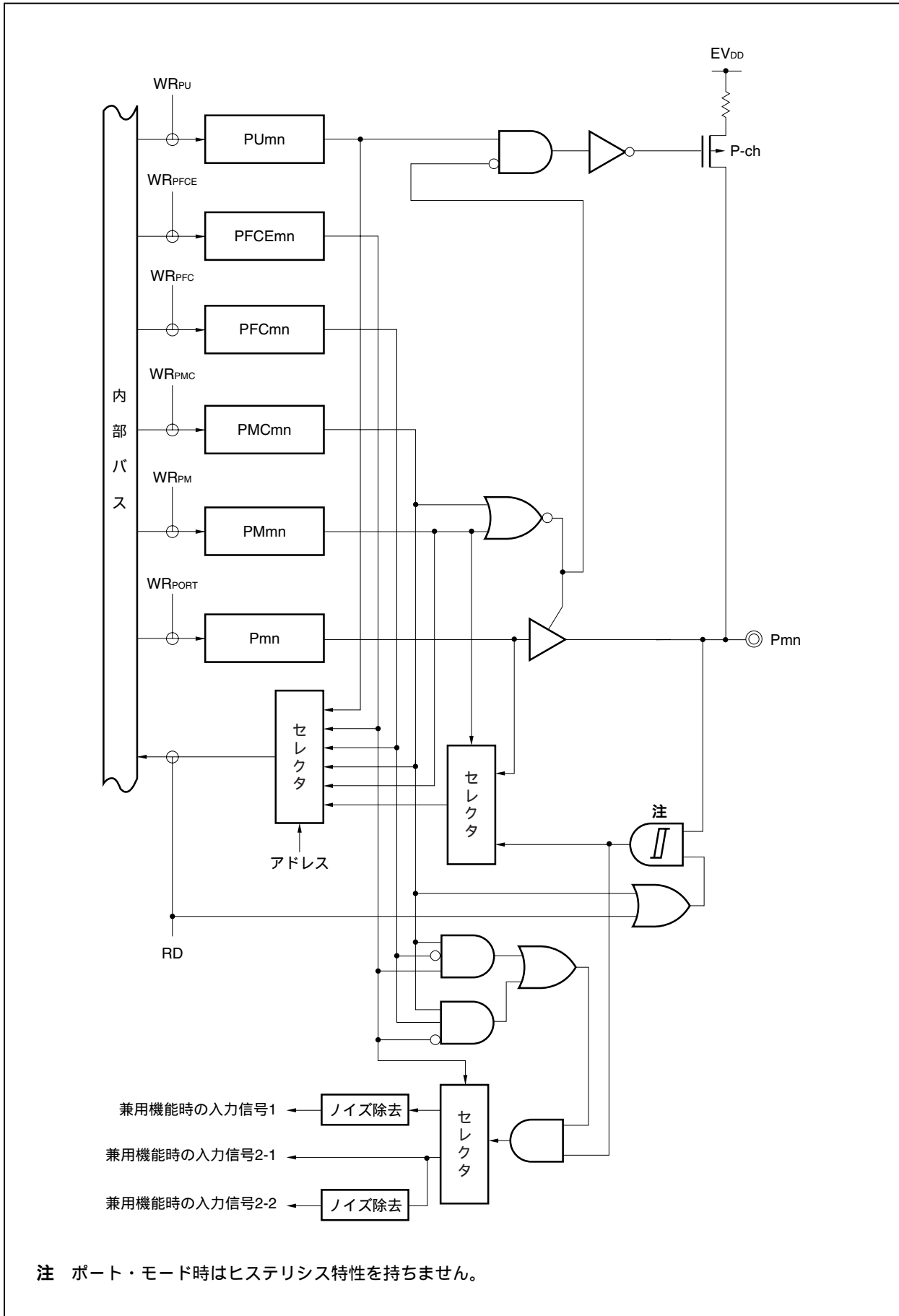
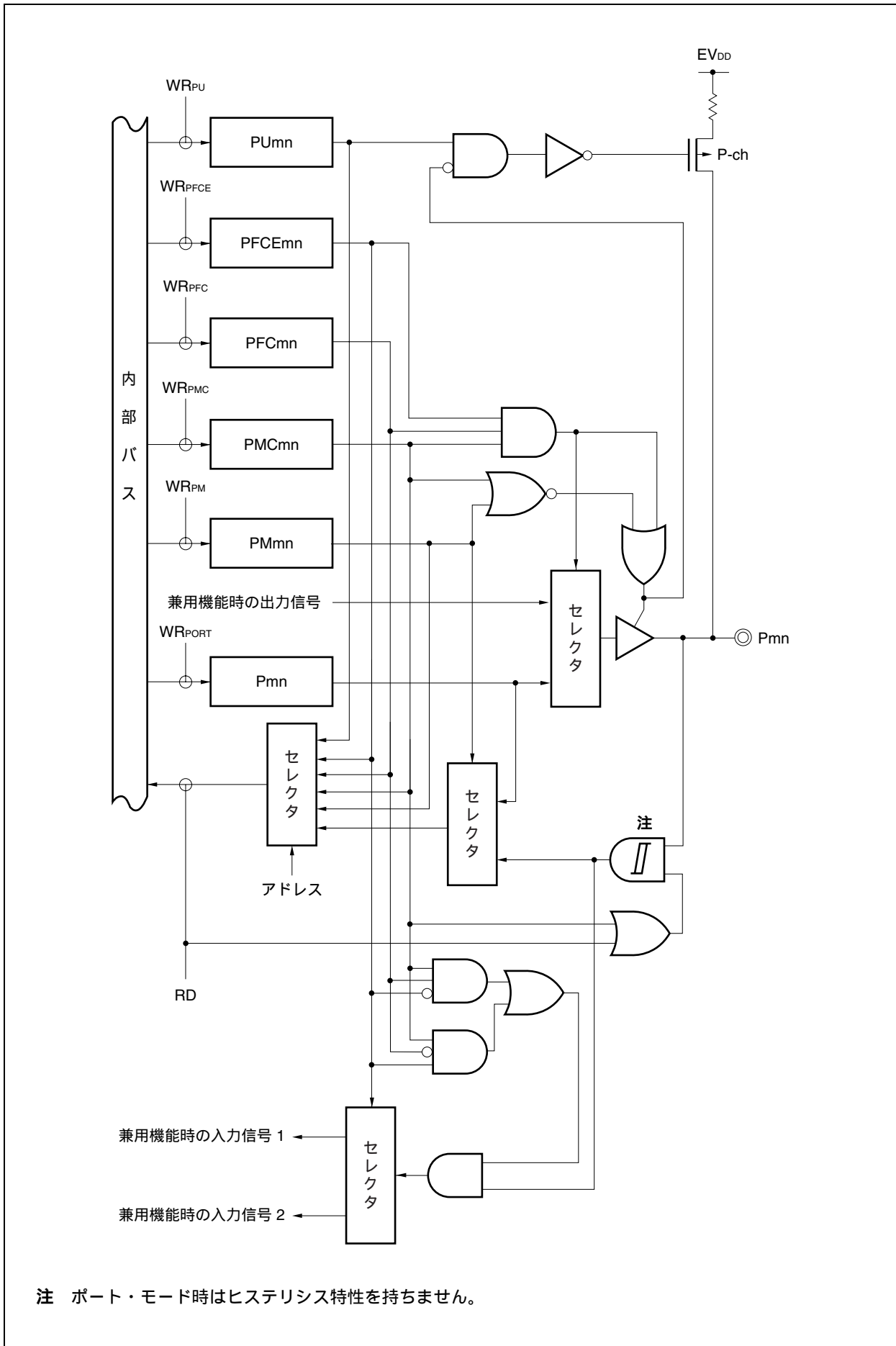


図4-20 タイプU-7のブロック図



注 ポート・モード時はヒステリシス特性を持ちません。

図4-21 タイプU-8のブロック図



注 ポート・モード時はヒステリシス特性を持ちません。

図4 - 22 タイプU - 9のブロック図

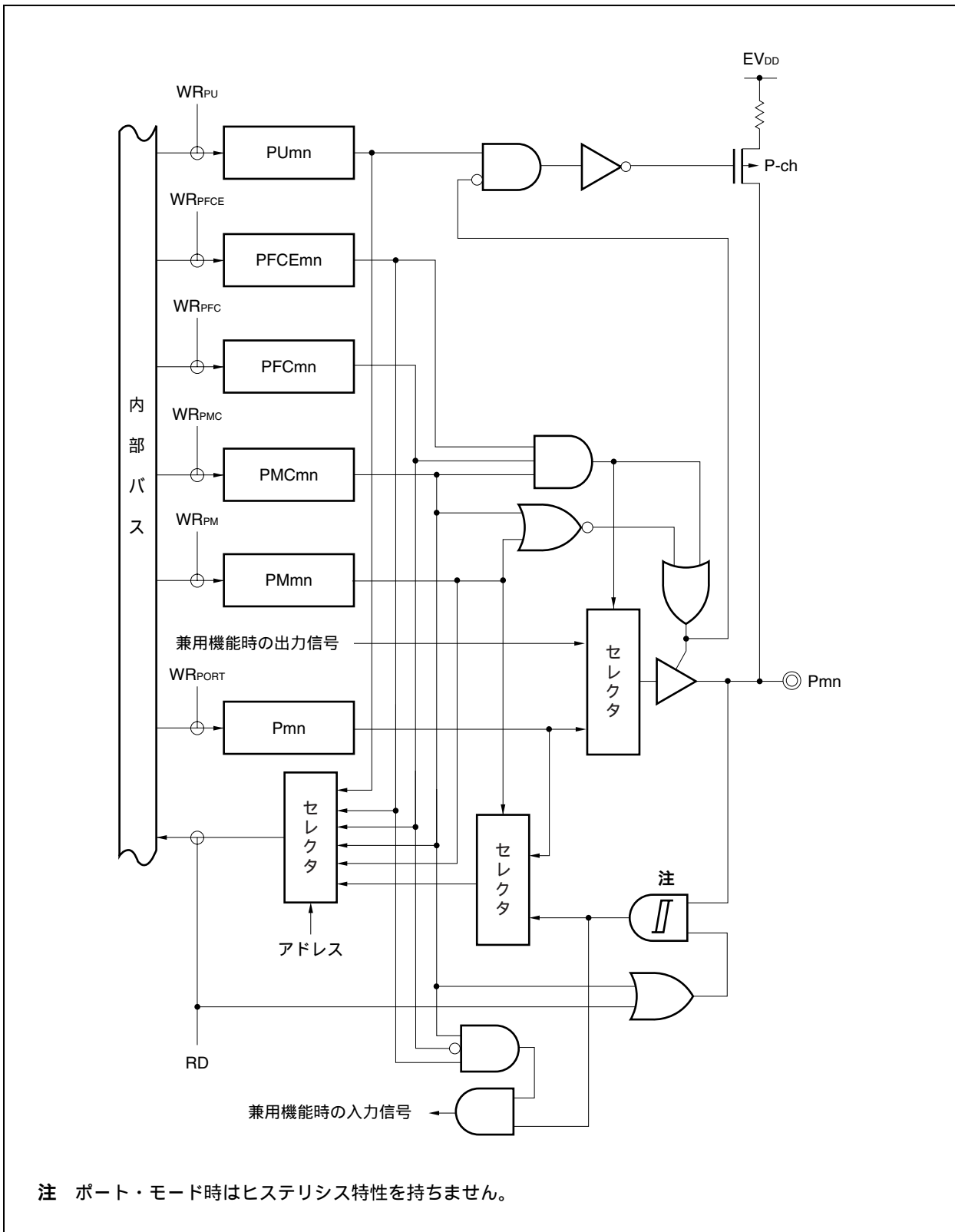
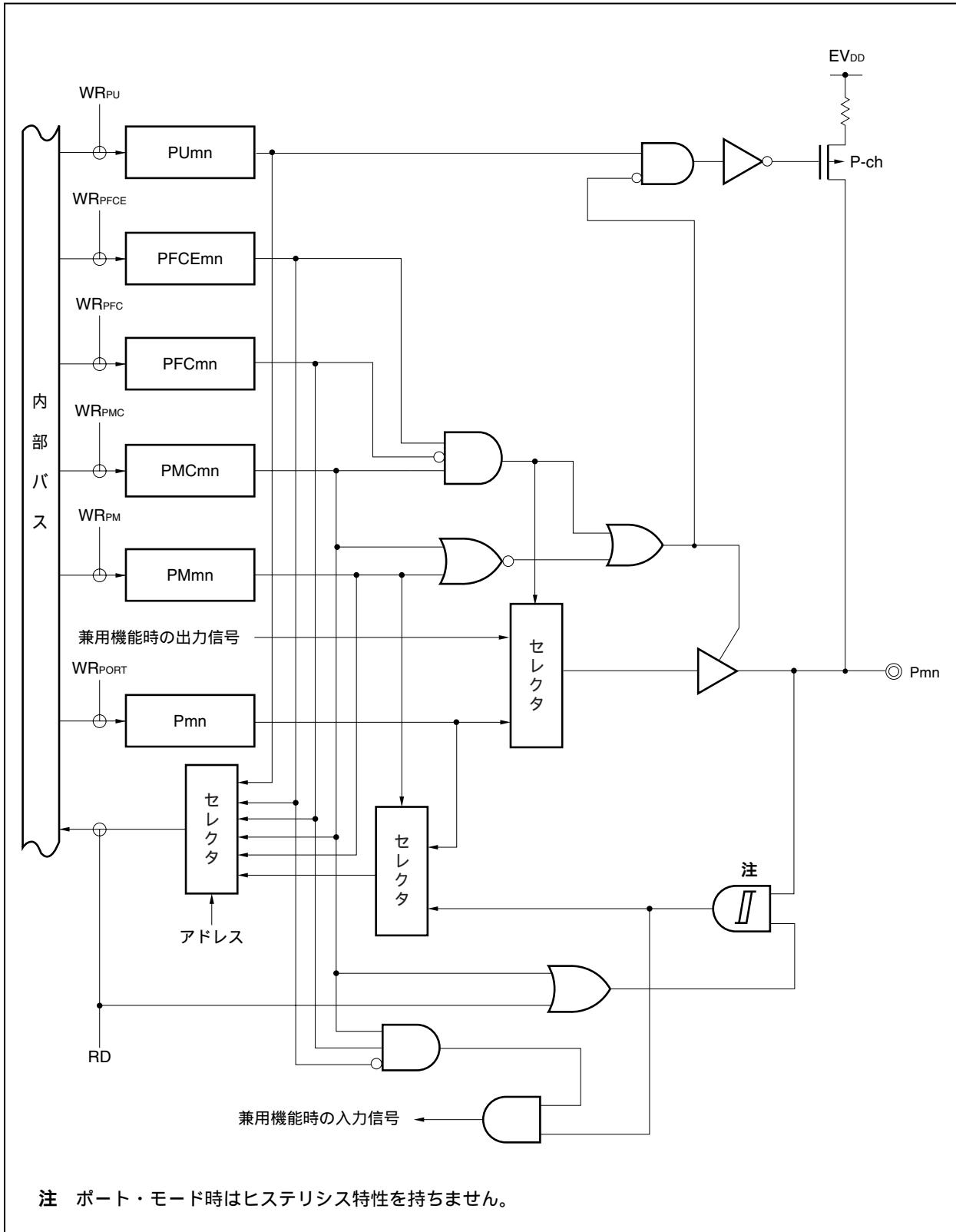
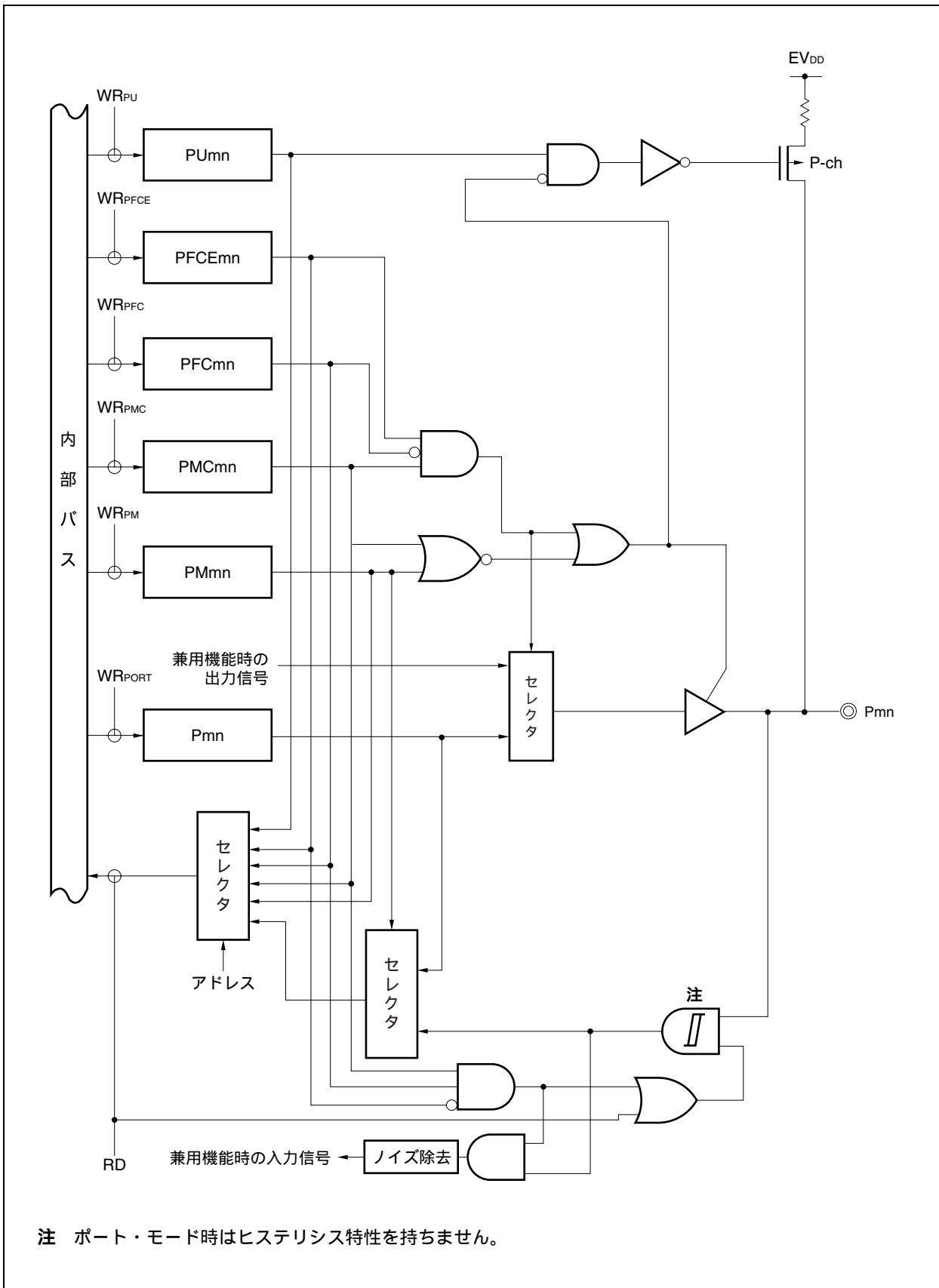


図4 - 23 タイプU - 11のブロック図



注 ポート・モード時はヒステリシス特性を持ちません。

図4-24 タイプU-12のブロック図



注 ポート・モード時はヒステリシス特性を持ちません。

図4 - 25 タイプU - 13のブロック図

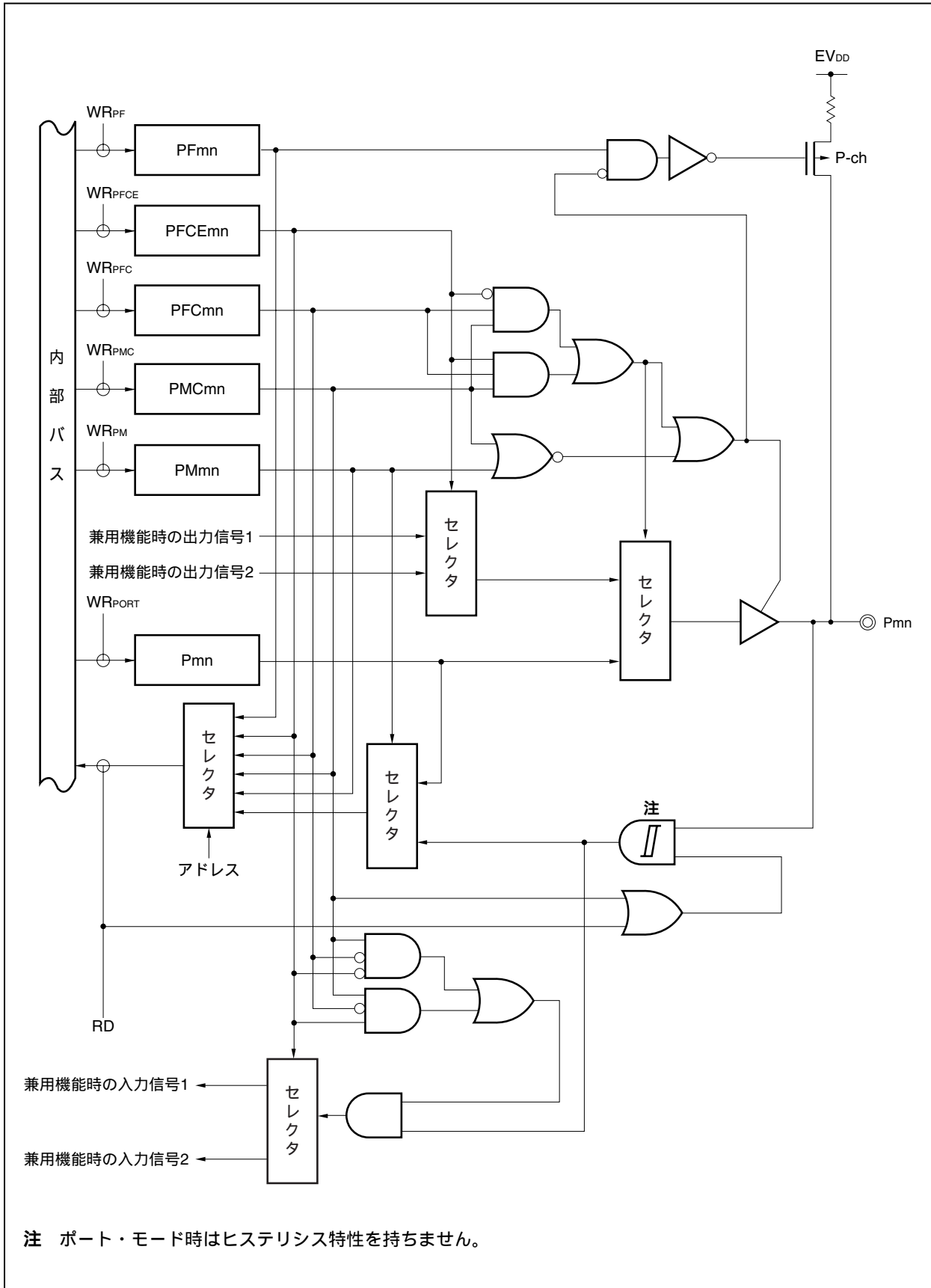
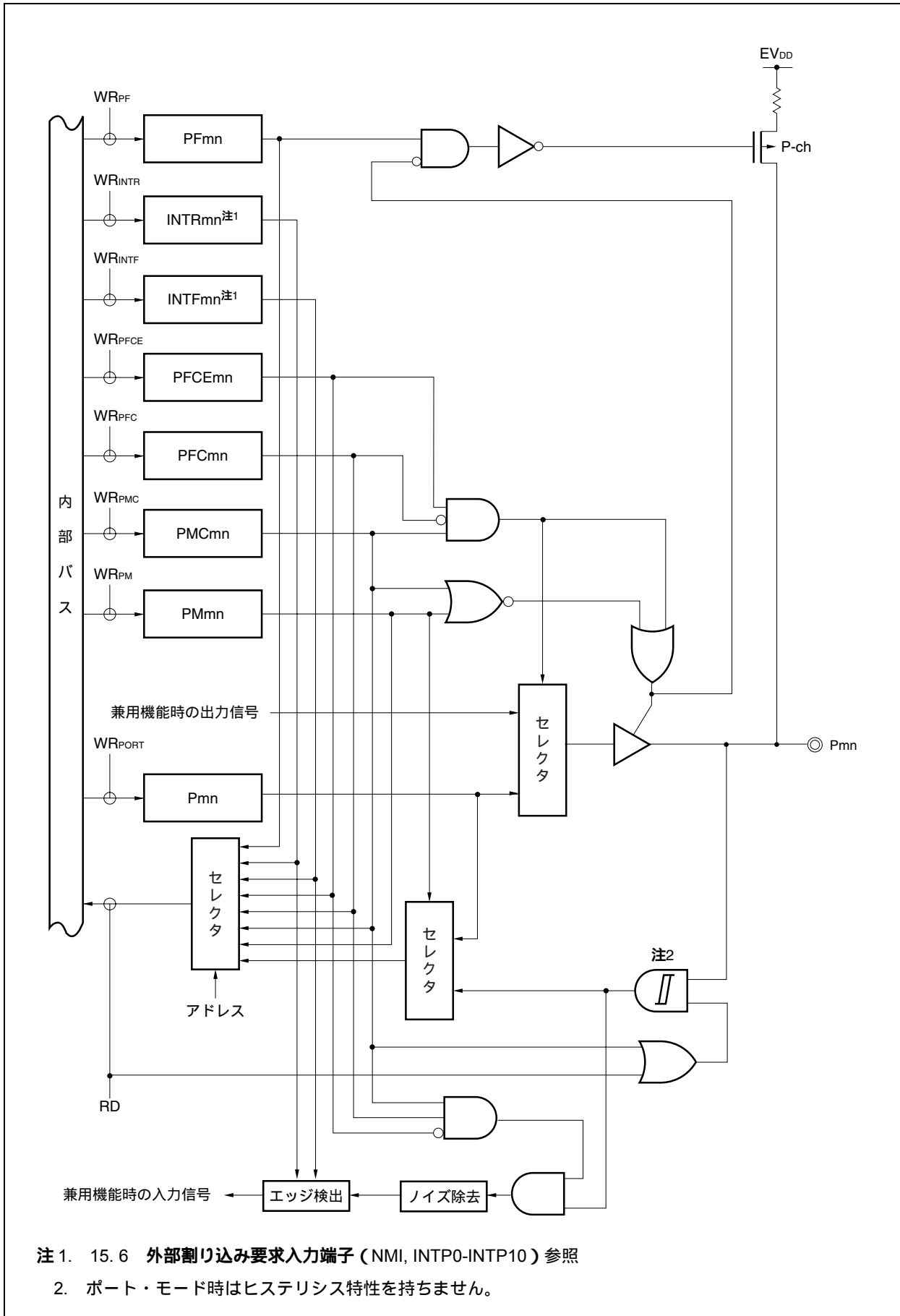
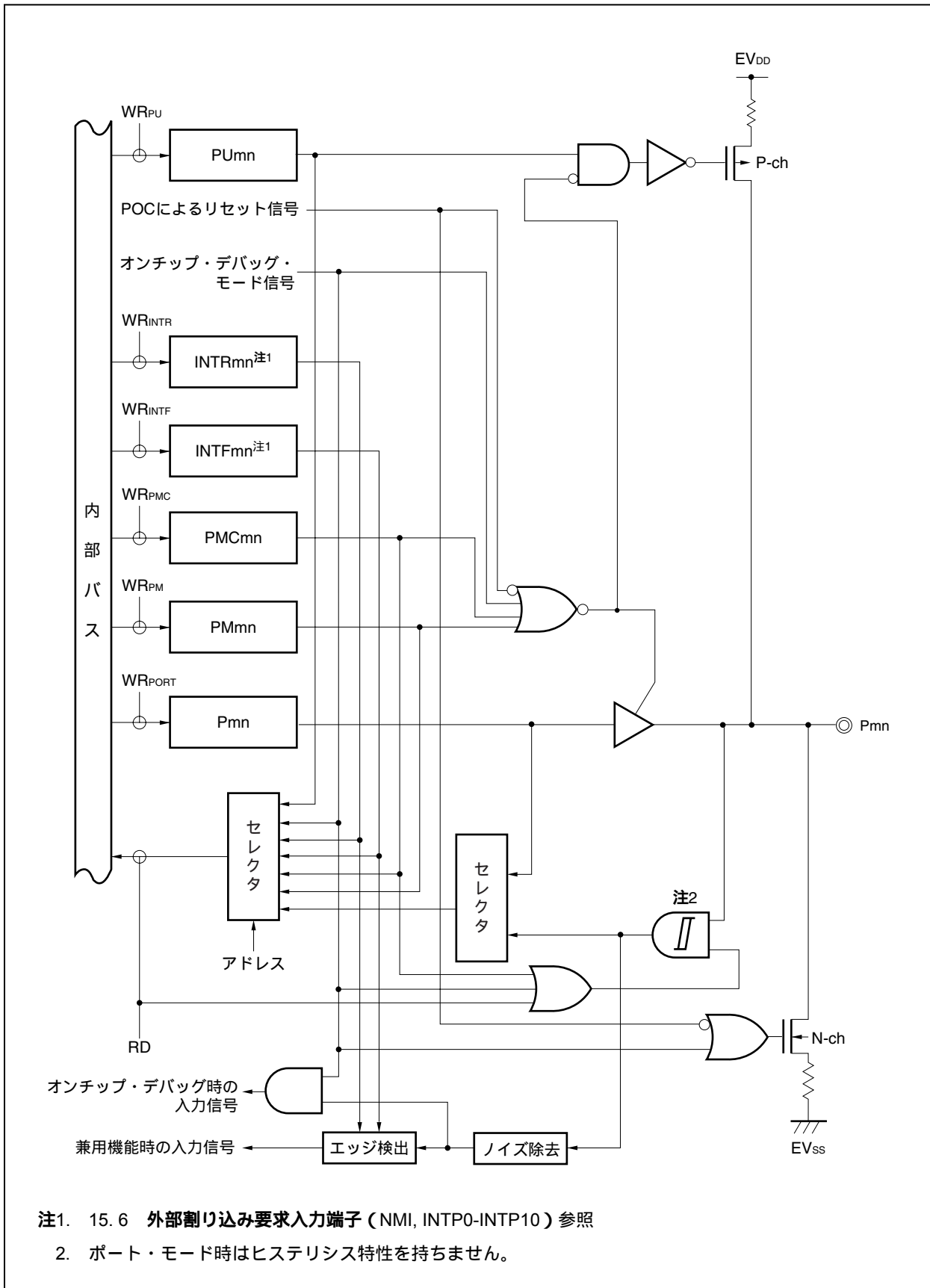


図4 - 26 タイプW - 1のブロック図



注 1. 15.6 外部割り込み要求入力端子 (NMI, INTP0-INTP10) 参照
 2. ポート・モード時はヒステリシス特性を持ちません。

図4-27 タイプAA-1のブロック図



4.5 注意事項

4.5.1 ポート端子設定上の注意事項

(1) V850ES/HG2では、1本の端子に汎用ポートと複数の周辺機能の入出力端子が兼用されています。汎用ポート（ポート・モード）と、周辺機能の入出力端子（兼用機能モード）との切り替えは、PMCnレジスタで設定します。このレジスタの設定順序に関して、次の点に注意してください。

(a) ポート・モードから兼用機能モードへ切り替える場合の注意事項

ポート・モードから兼用機能モードへ切り替える場合は、次の順序で行ってください。

PFCn, PFCEnレジスタを設定 : 兼用端子機能選択
 PMCnレジスタの該当ビットに1を設定 : 兼用機能モードへ切り替え

PMCnレジスタを先に設定すると、その瞬間、またそのあとのPFCn, PFCEnレジスタの設定に伴う端子状態の変化によっては、意図しない動作に陥る可能性があるので注意してください。

注意 ポート・モード/兼用機能モードに関係なく、Pnレジスタのリード/ライトは次のようになります。

- ・ Pnレジスタのリード : ポート出力ラッチの値（PMn.PMnmビット = 0時）、または端子状態（PMn.PMnmビット = 1時）の読み出し
- ・ Pnレジスタへのライト : ポート出力ラッチへの書き込み

(b) 兼用機能モード（入力）に関する注意事項

兼用機能ブロックへの入力信号は、PMCnレジスタの設定値と端子レベルのAND出力のため、PMCn.PMCnmビット = 0のときはロウ・レベルとなります。そのため、ポート設定と兼用機能動作許可のタイミングによっては、意図しない動作に陥る可能性があります。したがって、PMCnレジスタによるポート・モードと兼用機能モードの切り替えは、次に示す順序で実行してください。

- ・ ポート・モードから兼用機能モード（入力）へ切り替える場合
 PMCnレジスタで端子を兼用機能モードにしてから、兼用機能の動作を許可してください。
- ・ 兼用機能モード（入力）からポート・モードへ切り替える場合
 兼用機能の動作を停止してから、端子をポート・モードへ切り替えてください。

第5章 クロック発生機能

5.1 概 要

クロック発生機能の概要を次に示します。

メイン・クロック発振回路

- ・クロック・スルー・モード時

$f_x = 4 \sim 5 \text{ MHz}$ ($f_{xx} = 4 \sim 5 \text{ MHz}$)

- ・PLLモード時

$f_x = 4 \sim 5 \text{ MHz}$ ($f_{xx} = 16 \sim 20 \text{ MHz}$)

サブクロック発振回路 (オプション・バイト機能にて水晶発振 / RC発振選択可能)

- ・ $f_{XT} = 32.768 \text{ kHz}$ (水晶振動子)

- ・ $f_{XT} = 20 \text{ kHz}$ (RC発振器)

PLL (Phase Locked Loop) による逡倍機能 (4逡倍)

- ・クロック・スルー・モード/PLLモード選択可

内蔵発振器

- ・ $f_R = 200 \text{ kHz}$ (TYP.)

内部システム・クロックの生成

- ・7段階 (f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, f_{XT})

周辺クロックの生成

クロック出力機能

プログラマブル・クロック (PCL) 出力機能

備考 f_x : メイン・クロック発振周波数

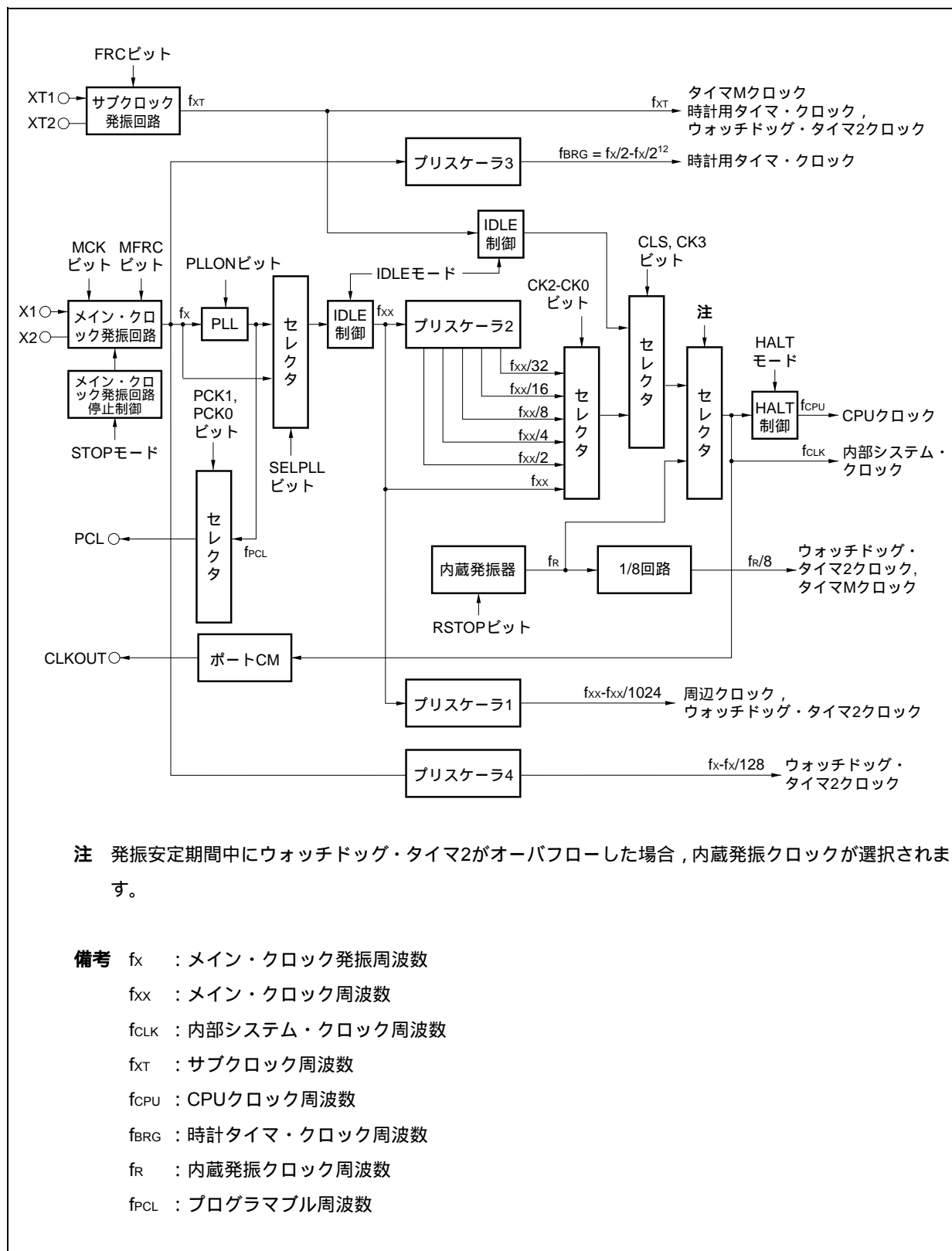
f_{xx} : メイン・クロック周波数

f_R : 内蔵発振クロック周波数

f_{XT} : サブクロック周波数

5.2 構成

図5-1 クロック発生回路



(1) メイン・クロック発振回路

次の周波数 (f_x) を発振します。

- ・クロック・スルー・モード時

$$f_x = 4 \sim 5 \text{ MHz}$$

- ・PLLモード時

$$f_x = 4 \sim 5 \text{ MHz} (f_{xx} = 16 \sim 20 \text{ MHz})$$

(2) サブクロック発振回路

32.768 kHzまたは20 kHzの周波数 (f_{XT}) を発振します。

(3) メイン・クロック発振回路停止制御

メイン・クロック発振回路の発振を停止する制御信号を生成します。

STOPモード時，またはPCC.MCKビット = 1 (PCC.CLSビット = 1のときだけ有効) のとき，メイン・クロック発振回路の発振を停止します。

(4) 内蔵発振器

200 kHz (TYP.) の周波数 (f_R) を発振します。

(5) プリスケアラ1

内蔵周辺機能に供給するクロック ($f_{xx}-f_{xx}/1024$) を生成します。

クロック供給の対象となるブロックを次に示します。

TMP0-TMP3, TMQ0, TMQ1, TMM0, CSIB0, CSIB1, UARTA0-UARTA2, ADC, WDT2

(6) プリスケアラ2

メイン・クロック (f_{xx}) を分周する回路です。

CPUクロック (f_{CPU})，内部システム・クロック (f_{CLK}) を生成するセレクタに，プリスケアラ2で生成したクロック ($f_{xx}-f_{xx}/32$) を供給します。

なお， f_{CLK} は，INTC, ROM, RAMブロックに供給するクロックで，CLKOUT端子から出力できます。

(7) プリスケアラ3

メイン・クロック発振回路で生成するクロック (f_x) を所定の周波数 (32.768 kHz) まで分周する回路で，時計用タイマ・ブロックに供給します。

詳細は，**第9章 時計タイマ機能**を参照してください。

(8) プリスケアラ4

内蔵周辺機能に供給するクロック ($f_x-f_x/128$) を生成します。

クロック供給の対象となるブロックは，WDT2のみです。

(9) PLL

メイン・クロック発振回路で生成するクロック (f_x) を4通倍します。

PLLCTL.SELPLLビットにより， f_x をそのまま出力するクロック・スルー・モードと，通倍クロックを出力するPLLモードを選択します。

5.3 レジスタ

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

PCCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4.7 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより03Hになります。

リセット時：03H R/W アドレス：FFFFF828H

	7	6	5	4	3	2	1	0
PCC	FRC	MCK	MFRC	CLS ^注	CK3	CK2	CK1	CK0

FRC	サブクロックの内蔵帰還抵抗の選択
0	使用する
1	使用しない

MCK	メイン・クロック発振回路の制御
0	発振許可
1	発振停止
<ul style="list-style-type: none"> ・CPUクロックがメイン・クロックで動作中にMCKビットをセット（1）しても、メイン・クロックの動作は停止しません。CPUクロックをサブクロックに変更したあと、停止します。 ・MCKビットを0から1にセットする前に、メイン・クロックで動作している内蔵周辺機能を停止してください。 ・メイン・クロックを停止させてサブクロックで動作している場合に、再度CPUクロックをメイン・クロックに切り替えるとき、または内蔵周辺機能を動作させたいときは、MCKビットをクリア（0）し、ソフトウェアで発振安定時間を確保したあとにCPUクロックを切り替え、または内蔵周辺機能を動作させてください。 	

MFRC	メイン・クロックの内蔵帰還抵抗の選択
0	使用する
1	使用しない

CLS ^注	CPUクロック（f _{CPU} ）の状態
0	メイン・クロック動作
1	サブクロック動作

CK3	CK2	CK1	CK0	クロックの選択（f _{CLK} /f _{CPU} ）
0	0	0	0	f _{xx}
0	0	0	1	f _{xx} /2
0	0	1	0	f _{xx} /4
0	0	1	1	f _{xx} /8
0	1	0	0	f _{xx} /16
0	1	0	1	f _{xx} /32
0	1	1	X	設定禁止
1	X	X	X	f _{XT}

注 CLSビットはリードのみ可能です。

- 注意1. CLKOUTを出力している間は、CPUクロック（CK3-CK0ビット）を変更しないでください。
2. CK3ビットを操作する際は、ビット操作命令で行ってください。8ビット操作命令で行う場合は、CK2-CK0ビットの設定値を変更しないでください。

備考 X：任意

(a) メイン・クロック動作 サブクロック動作の設定例

- CK3ビット 1 : ビット操作命令推奨。CK2-CK0ビットは変更しないでください。
- サブクロック動作 : CLSビットをリードしてサブクロック動作に切り替わったかどうかを確認してください。CK3ビットを設定したあと、サブクロック動作に切り替わるまでの時間は次のとおりです。
 最大：1/f_{XT} (1/サブクロック周波数)
- MCKビット 1 : メイン・クロックを停止するときだけ、MCKビットを1に設定します。

注意1. メイン・クロックを停止する場合は、PLLを停止してください。また、メイン・クロックで動作している内蔵周辺機能を動作停止にしてください。

2. 次の条件を満たしていない場合は、条件を満たすようにCK2-CK0ビットを変更後、サブクロック動作モードに移行してください。

$$\text{内部システム・クロック (f}_{\text{CLK}}) > \text{サブクロック (f}_{\text{XT}}) \times 4$$

備考 内部システム・クロック (f_{CLK}) : CK2-CK0ビットの設定によってメイン・クロック (f_{XX}) から生成するクロック

[記述例]

```

_DMA_DISABLE :
clr1      0, DCHCn[r0]          -- DMA動作禁止 n = 0-3
_SET_SUB_RUN :
st.b      r0, PRCMD[r0]
set1      3, PCC[r0]           -- CK3ビット 1
_CHECK_CLS :
tst1      4, PCC[r0]          -- サブクロック動作に切り替わるまでウエイト
bz        _CHECK_CLS
_STOP_MAIN_CLOCK :
st.b      r0, PRCMD[r0]
set1      6, PCC[r0]          -- MCKビット 1, メイン・クロック停止
_DMA_ENABLE :
set1      0, DCHCn[r0]        -- DMA動作許可 n=0-3
    
```

備考 この記述例はあくまでも一例です。特に、において閉ループでCLSビットをリードしていますので、注意してください。

(b) サブクロック動作 メイン・クロック動作の設定例

MCKビット 0 :メイン・クロック発振開始
プログラムによりウェイトを挿入して、メイン・クロックの発振安定時間が経過するまで待ちます。

CK3ビット 0 :ビット操作命令を推奨します。CK2-CK0ビットは変更しないでください。

メイン・クロック動作 :CK3ビットを設定したあと、メイン・クロック動作に切り替わるまでの時間は次のとおりです。

最大: $1/f_{XT}$ (1/サブクロック周波数)

したがって、CK3ビットを0とした直後にNOP命令を1つ挿入するか、またはCLSビットをリードして、メイン・クロック動作に切り替わったかどうかを確認してください。

注意 メイン・クロックで動作する内蔵周辺機能は、メイン・クロックの発振が安定してから動作を許可してください。発振安定時間が経過する前に動作許可すると、誤動作する可能性があります。

[記述例]

```

_DMA_DISABLE :
clr1      0, DCHCn[r0]          -- DMA動作禁止 n = 0-3
_START_MAIN_OSC :
st.b      r0, PRCMD[r0]        -- 特定レジスタ, プロテクション解除
clr1      6, PCC[r0]           -- メイン・クロック発振開始
movea     0x55, r0, r11        -- 発振安定時間待ち
_WAIT_OST :
nop
nop
nop
addi      -1, r11, r11
cmp       r0, r11
bne              _WAIT_OST
st.b      r0, PRCMD[r0]
clr1      3, PCC[r0]           -- CK3      0
_CHECK_CLS :
tst1     4, PCC[r0]           -- メイン・クロック動作に切り替わるまでウェイト
bnz              _CHECK_CLS
_DMA_ENABLE :
set1     0, DCHCn[r0]          -- DMA動作許可 n = 0-3

```

備考 この記述例はあくまでも一例です。特に、において閉ループでCLSビットをリードしていますので、注意してください。

(2) 内蔵発振モード・レジスタ (RCM)

RCMレジスタは、内蔵発振器の動作モードの設定を行う8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF80CH

	7	6	5	4	3	2	1	0
RCM	0	0	0	0	0	0	0	RSTOP

RSTOP	内蔵発振器の発振/停止
0	内蔵発振器発振
1	内蔵発振器停止

注意1. RCMレジスタの設定は、オプション・バイト設定により有効になります。

詳細は、第24章 オプション・バイト機能を参照してください。

2. CPUが内蔵発振クロックで動作している間(CCLS.CCLSFBビット = 1)は内蔵発振器を停止できません。RSTOPビットをセット(1)しないでください。

3. RSTOPビットがセット(1)されている場合でも,CCLS.CCLSFBビットがセット(1)されると(発振安定時間中にWDTオーバーフローが発生)、内蔵発振器は発振します。このときRSTOPビットはセット(1)されたままです。

(3) CPU動作クロック・ステータス・レジスタ (CCLS)

CCLSレジスタは、CPU動作クロックの状態を示すレジスタです。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時：00H^注 R アドレス：FFFFFF82EH

	7	6	5	4	3	2	1	0
CCLS	0	0	0	0	0	0	0	CCLSFB

CCLSFB	CPU動作クロックの状態
0	メイン・クロック (f _x) またはサブクロック (f _{XT}) で動作
1	内蔵発振クロック (f _R) で動作

注 リセット解除後の発振安定時間中にWDTオーバーフローが発生した場合,CCLSFBビットがセット(1)され、リセット値は01Hになります。

5.4 動作

5.4.1 各クロックの動作

各クロックの動作状態を次の表に示します。

表5-1 各クロックの動作状態

レジスタ設定および動作状態 対象クロック	PCCレジスタ								
	CLSビット = 0, MCKビット = 0					CLSビット = 1, MCKビット = 0		CLSビット = 1, MCKビット = 1	
	リセット中	発振安定 時間カウ ント中	HALT モード	IDLE1, IDLE2 モード	STOP モード	サブ クロック・ モード	サブIDLE モード	サブ クロック・ モード	サブ IDLE モード
メイン・クロック発振回路 (fx)	×				×			×	×
メイン・システム・クロック (fxx)	×	×		×	×		×	×	×
サブクロック発振回路 (fxt)									
CPUクロック (fcPU)	×	×	×	×	×		×		×
内部システム・クロック (fCLK)	×	×		×	×		×		×
メイン・クロック (PLLモード時, fxx)	×	注1		注2	×			×	×
周辺クロック (fxx-fxx/1024)	×	×		×	×		×	×	×
WTクロック (メイン)	×	×			×			×	×
WTクロック (サブ)									
WDT2クロック (内蔵発振)	×								
WDT2クロック (メイン)	×	×		×	×		×	×	×

- 注1. 発振安定時間の1/2の時間を経過してから動作を開始しロックアップ時間を経て安定したクロックを供給。
 2. IDLE1モード時は動作可能。IDLE2モードは停止。

備考 : 動作可能

× : 停止

5.4.2 クロック出力機能

クロック出力機能は、内部システム・クロック (fCLK) をCLKOUT端子から出力します。

内部システム・クロック (fCLK) は、PCC.CK3-CK0ビットで選択します。

CLKOUT端子はPCM1端子と兼用しており、ポートCMの制御レジスタを操作することにより、クロック出力端子として機能します。

CLKOUT端子の状態は表5-1の内部システム・クロックと同じ状態になり、(動作可能)のときにクロックを出力できます。また、×(停止)のときにはロウ・レベルを出力します。ただし、リセット後、CLKOUT端子の出力設定をするまでは、ポート・モード (PCM1端子: 入力モード) となるので、端子の状態はHi-Zになります。

5.5 PLL機能

5.5.1 概要

V850ES/HG2では、CPUおよび内蔵周辺機能の動作クロックとしてPLL機能による発振周波数の4逓倍出力とクロック・スルー・モードを選択できます。

PLL機能使用時 : 入力クロック = 4~5 MHz (出力16~20 MHz)

クロック・スルー・モード : 入力クロック = 4~5 MHz (出力4~5 MHz)

5.5.2 レジスタ

(1) PLLコントロール・レジスタ (PLLCTL)

PLLを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

リセット時 : 01H R/W アドレス : FFFFF82CH

	7	6	5	4	3	2	1	0
PLLCTL	0	0	0	0	0	0	SELPLL	PLLON

PLLON	PLL動作停止レジスタ
0	PLL停止
1	PLL動作 (PLLを動作開始後、周波数が安定するまで所定のロックアップ時間が必要)

SELPLL	CPU動作クロック選択レジスタ
0	クロック・スルー・モード
1	PLLモード

- 注意1.** PLLONビット = 0に設定すると、自動的にSELPLLビット = 0 (クロック・スルー・モード) になります。
- 2.** SELPLLビット = 1の設定は、PLLクロック周波数が安定した状態のときのみ可能です。安定していないとき (アンロック中) にSELPLLビットをライトすると“0”がライトされます。

(2) ロック・レジスタ (LOCKR)

電源投入後,またはSTOPモード解除直後から所定の周波数でフェーズ・ロックし,安定するまでの時間がロックアップ時間(周波数安定時間)です。この安定するまでの状態をロックアップ状態と呼び,安定した状態をロック状態と呼びます。

LOCKRレジスタには,PLL周波数の安定状態を反映するLOCKビットがあります。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時: 00H R アドレス: FFFFF824H

	7	6	5	4	3	2	1	0
LOCKR	0	0	0	0	0	0	0	LOCK

LOCK	PLLのロック状態の確認
0	ロック状態
1	アンロック(ロックしていない)状態

注意 LOCKビットはPLLのロック状態をリアルタイムに反映するものではありません。セット/クリア条件は次のとおりです。

【セット条件】

- ・システム・リセット時[※]
- ・IDLE2, STOPモード時
- ・PLL停止を設定した時(PLLCTL.PLLONビットに“0”を設定)
- ・CPUをサブクロック動作としメイン・クロックを停止したとき(PCC.CK3ビットに“1”を設定し,PCC.MCKビットに“1”を設定)

注 リセットで01Hになり,リセット解除後の発振安定時間経過後に00Hになります。

【クリア条件】

- ・リセット解除後の発振安定用タイマのオーバーフロー(OSTSレジスタの初期値の時間(17.2(3)発振安定時間選択レジスタ(OSTS)参照))
- ・PLL動作状態でSTOPモードを設定した場合の,STOPモード解除後の発振安定用タイマのオーバーフロー(OSTSレジスタで時間設定)
- ・PLLCTL.PLLONビットを0 1に設定した時の,PLLロックアップ時間タイマのオーバーフロー(PLLSレジスタで時間設定)
- ・PLL動作状態でIDLE2モードを設定した場合の,IDLE2モード解除時に挿入されるセットアップ時間解除後(OSTSレジスタで時間設定)

(3) PLLロックアップ時間指定レジスタ (PLLS)

PLLSレジスタは、PLLCTL.PLLONビットを0 1に設定したときの、PLLロックアップ時間を選択する8ビット・レジスタです。

8ビット単位でリード/ライト可能です。

リセットにより03Hになります。

リセット時：03H R/W アドレス：FFFFFF6C1H

	7	6	5	4	3	2	1	0
PLLS	0	0	0	0	0	0	PLLS1	PLLS0

PLLS1	PLLS0	PLLロックアップ時間の選択
0	0	$2^{10}/f_x$
0	1	$2^{11}/f_x$
1	0	$2^{12}/f_x$
1	1	$2^{13}/f_x$ (初期値)

注意1. ロックアップ時間は、 $800 \mu s$ 以上になるように設定してください。

2. ロックアップ期間中は、PLLSレジスタの設定を変更しないでください。

備考 f_x : メイン・クロック発振周波数

(4) プログラマブル・クロック・モード・レジスタ (PCLM)

PCLMは、PCL出力を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF82FH

	7	6	5	4	3	2	1	0
PCLM	0	0	0	PCLE	0	0	PCK1	PCK0

PCLE	PCL端子出力の動作選択
0	PCL端子出力禁止 (PCL端子はロウ・レベル固定)
1	PCL端子出力許可

注意 ポート関連制御レジスタ (PM, PMC, PFC, PFCEレジスタなど) を設定後、PCLEビット = 1としてください。

PCK1	PCK0	PLL出力クロックの選択
0	0	$f_{PCL}/2$
0	1	$f_{PCL}/4$
1	0	$f_{PCL}/8$
1	1	$f_{PCL}/16$

注意 PLL動作中のみPCLEビット = 1としてください。また、PLLを停止させる前には、PCLEビット = 0としてください。

備考 f_{PCL} : プログラマブル周波数

5.5.3 使用方法

(1) PLLを使用する場合

- ・リセット解除後は、PLLは動作 (PLLCTL.PLLONビット = 1) していますが、初期設定はクロック・スルー・モード (PLLCTL.SELPLLビット = 0) のため、PLLモード (SELPLLビット = 1) に変更してください。
- ・PLLを動作させる場合はPLLONビット = 1として、LOCKR.LOCKビット = 0となってからSELPLLビット = 1としてください。PLLを停止させる場合は、最初にクロック・スルー・モード (SELPLLビット = 0) として、8クロック以上後に、PLL停止 (PLLONビット = 0) としてください。
- ・IDLE2/STOPモードへ遷移時は、設定にかかわらずPLLは停止しますが、IDLE2/STOPモードからは遷移前の状態で復帰します。復帰にかかる時間は次のとおりです。

(a) クロック・スルー・モード時に、IDLE2/STOPモードへ遷移する場合

- ・STOPモード：発振安定時間が1 ms (MIN.) 以上となるようにOSTSレジスタを設定してください。
- ・IDLE2モード：セットアップ時間が350 μ s (MIN.) 以上となるようにOSTSレジスタを設定してください。

(b) PLL動作モードのまま、IDLE2/STOPモードへ遷移する場合

- ・STOPモード：発振安定時間が1 ms (MIN.) 以上となるようにOSTSレジスタを設定してください。
- ・IDLE2モード：セットアップ時間が800 μ s (MIN.) 以上となるようにOSTSレジスタを設定してください。

IDLE1モードへの遷移時は、PLLは停止しません。必要に応じて停止してください。

(2) PLLを使用しない場合

- ・リセット解除後は、クロック・スルー・モード (SELPLLビット = 0) ですが、PLLは動作 (PLLONビット = 1) しているので、PLLを停止 (PLLONビット = 0) してください。

第6章 16ビット・タイマ/イベント・カウンタP (TMP)

タイマP (TMP) は、16ビットのタイマ/イベント・カウンタです。
V850ES/HG2は、TMP0-TMP3を内蔵しています。

6.1 概 要

TMPnの概要を次に示します。

・クロック選択	: 8通り
・キャプチャ・トリガ入力端子	: 2本
・外部イベント・カウント入力端子	: 1本
・外部トリガ入力端子	: 1本
・タイマ・カウンタ	: 1本
・キャプチャ/コンペア・レジスタ	: 2本
・キャプチャ/コンペア一致割り込み要求信号	: 2本
・タイマ出力端子	: 2本

備考 n = 0-3

6.2 機 能

TMPnの機能を次に示します。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・外部トリガ・パルス出力
- ・ワンショット・パルス出力
- ・PWM出力
- ・フリー・ランニング・タイマ
- ・パルス幅測定

備考 n = 0-3

6.3 構成

TMPnは、次のハードウェアで構成されています。

表6-1 TMPnの構成

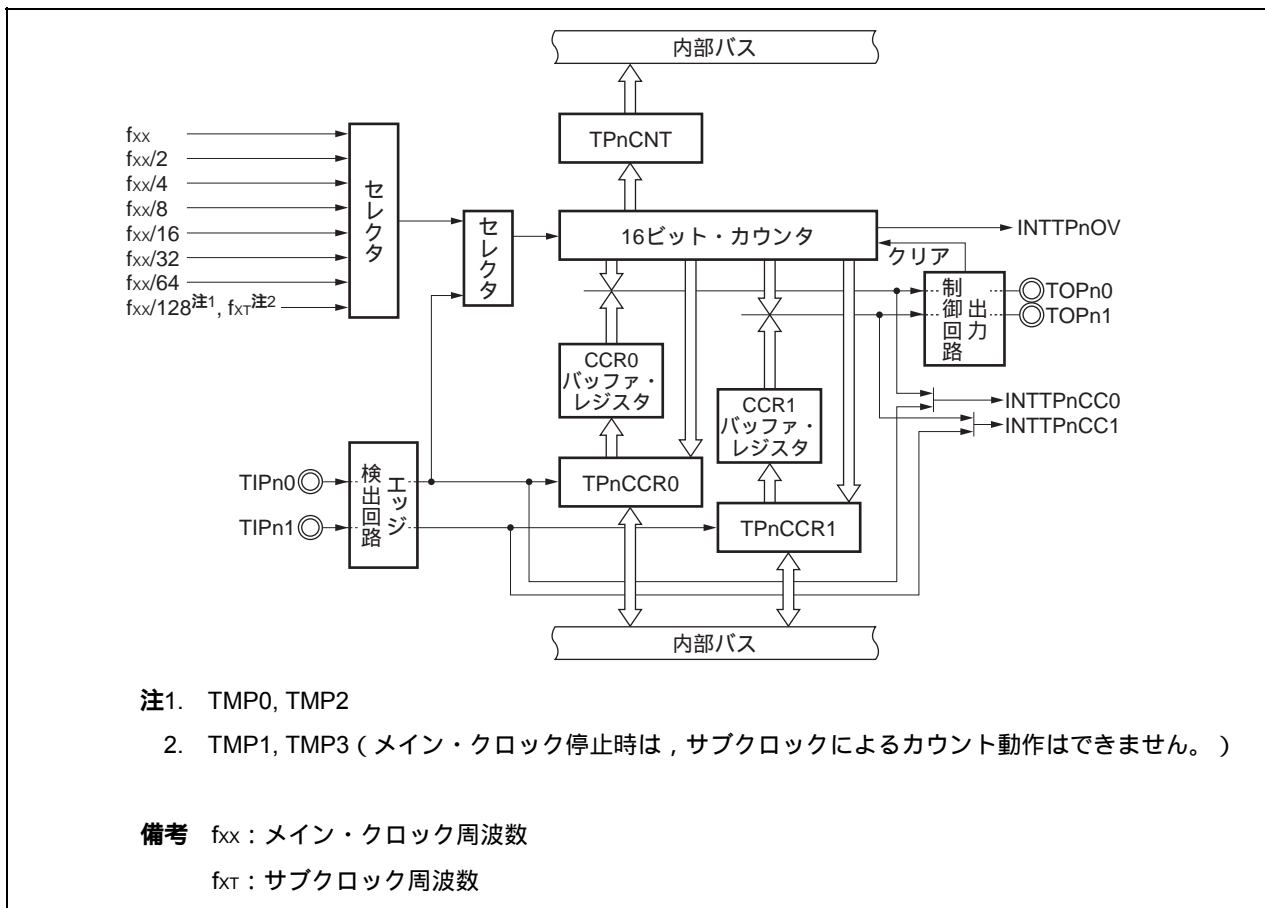
項目	構成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TMPnキャプチャ/コンペア・レジスタ0, 1 (TPnCCR0, TPnCCR1) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT) CCR0, CCR1バッファ・レジスタ
タイマ入力	2本 (TIPn0 ^{注1} , TIPn1端子)
タイマ出力	2本 (TOPn0, TOPn1端子)
制御レジスタ ^{注2}	TMPn制御レジスタ0, 1 (TPnCTL0, TPnCTL1) TMPnI/O制御レジスタ0-2 (TPnIOC0-TPnIOC2) TMPnオプション・レジスタ0 (TPnOPT0)

注1. TIPn0端子には、キャプチャ・トリガ入力信号、外部イベント・カウント入力信号、外部トリガ入力信号が兼用されています。

2. TIPn0, TIPn1, TOPn0, TOPn1端子の機能を使用する場合は、表4-15 ポート端子を兼用端子として使用する場合を参照してください。

備考 n = 0-3

図6-1 TMPnのブロック図



(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TPnCNTレジスタでリードできます。

TPnCTL0.TPnCEビット = 0のとき、16ビット・カウンタはFFFFHになります。このときTPnCNTレジスタをリードすると、0000Hがリードされます。

リセットによりTPnCEビット = 0になるため、16ビット・カウンタはFFFFHになります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TPnCCR0レジスタをコンペア・レジスタとして使用するとき、TPnCCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTPnCC0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセットによりTPnCCR0レジスタが0000Hになるため、CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TPnCCR1レジスタをコンペア・レジスタとして使用するとき、TPnCCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTPnCC1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセットによりTPnCCR1レジスタが0000Hになるため、CCR1バッファ・レジスタも0000Hになります。

(4) エッジ検出回路

TIPn0, TIPn1端子に入力される有効エッジを検出します。有効エッジは、TPnIOC1, TPnIOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

(5) 出力制御回路

TOPn0, TOPn1端子の出力を制御します。TOPn0, TOPn1端子の出力は、TPnIOC0レジスタで制御します。

(6) セレクタ

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

6.4 レジスタ

TMPnを制御するレジスタを次に示します。

- ・TMPn制御レジスタ0 (TPnCTL0)
- ・TMPn制御レジスタ1 (TPnCTL1)
- ・TMPnI/O制御レジスタ0 (TPnIOC0)
- ・TMPnI/O制御レジスタ1 (TPnIOC1)
- ・TMPnI/O制御レジスタ2 (TPnIOC2)
- ・TMPnオプション・レジスタ0 (TPnOPT0)
- ・TMPnキャプチャ/コンペア・レジスタ0 (TPnCCR0)
- ・TMPnキャプチャ/コンペア・レジスタ1 (TPnCCR1)
- ・TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

備考1. TIPn0, TIPn1, TOPn0, TOPn1端子の機能を使用する場合は、表4 - 15 **ポート端子を兼用端子として使用する場合**を参照してください。

2. n = 0-3

(1) TMPn制御レジスタ0 (TPnCTL0)

TPnCTL0レジスタは、TMPnの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TPnCTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：TP0CTL0 FFFFF590H, TP1CTL0 FFFFF5A0H,
TP2CTL0 FFFFF5B0H, TP3CTL0 FFFFF5C0H

	7	6	5	4	3	2	1	0
TPnCTL0 (n = 0-3)	TPnCE	0	0	0	0	TPnCKS2	TPnCKS1	TPnCKS0

TPnCE	TMPnの動作の制御
0	TMPn動作禁止 (TMPnを非同期にリセット ^注)
1	TMPn動作許可。TMPn動作開始

TPnCKS2	TPnCKS1	TPnCKS0	内部カウント・クロックの選択	
			n = 0, 2	n = 1, 3
0	0	0	f _{xx}	
0	0	1	f _{xx} /2	
0	1	0	f _{xx} /4	
0	1	1	f _{xx} /8	
1	0	0	f _{xx} /16	
1	0	1	f _{xx} /32	
1	1	0	f _{xx} /64	
1	1	1	f _{xx} /128	f _{xT} ^{注2}

注1. TPnOPT0.TPnOVFビット, 16ビット・カウンタ, タイマ出力 (TOPn0, TOPn1端子)。

2. メイン・クロック停止時は、サブクロックによるカウント動作はできません。

注意1. TPnCKS2-TPnCKS0ビットは、TPnCEビット = 0のときに設定してください。TPnCEビットを“0”から“1”に設定するときに、同時にTPnCKS2-TPnCKS0ビットを設定できます。

2. ビット3-6には必ず“0”を設定してください。

備考 f_{xx} : メイン・クロック周波数

f_{xT} : サブクロック周波数

(2) TMPn制御レジスタ1 (TPnCTL1)

TPnCTL1レジスタは、TMPnの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：TP0CTL1: FFFFF591H, TP1CTL1: FFFFF5A1H,
TP2CTL1: FFFFF5B1H, TP3CTL1: FFFFF5C1H

	7	6	5	4	3	2	1	0
TPnCTL1	TPnSYE	TPnEST	TPnEEE	0	0	TPnMD2	TPnMD1	TPnMD0

(n = 0-3)

TPnSYE	同調動作モード許可制御										
0	独立動作モード (アシンクロナス動作モード)										
1	同調動作モード (スレーブ動作の指定) マスタとなるタイマに同期して動作させることができます。										
	<table border="1"> <tr> <th>マスタ・タイマ</th> <th colspan="2">スレーブ・タイマ</th> </tr> <tr> <td>TMP0</td> <td>TMP1</td> <td>-</td> </tr> <tr> <td>TMP2</td> <td>TMP3</td> <td>TMQ0</td> </tr> </table>		マスタ・タイマ	スレーブ・タイマ		TMP0	TMP1	-	TMP2	TMP3	TMQ0
マスタ・タイマ	スレーブ・タイマ										
TMP0	TMP1	-									
TMP2	TMP3	TMQ0									
	同調動作モードについては、6.6 タイマ同調動作機能を参照してください。										
	注意 TP0SYE, TP2SYEビットには必ず、0を設定してください。										

TPnEST	ソフトウェア・トリガ制御
0	-
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時：TPnESTビットへの"1"ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時：TPnESTビットへの"1"ライトをトリガとして、PWM波形を出力

- 注意1.** TPnESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
- 2.** ビット3, 4には必ず“0”を設定してください。

TPnEEE	カウント・クロックの選択
0	外部イベント・カウント入力での動作禁止 (TPnCTL0.TPnCK0-TPnCK2ビットによって選択されたカウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力での動作許可 (外部イベント・カウント入力信号の有効エッジごとにカウント動作を行う)

TPnEEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。

TPnMD2	TPnMD1	TPnMD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード
1	1	1	設定禁止

- 注意1.** 外部イベント・カウント・モードのときは、TPnEEEビットの値にかかわらず外部イベント・カウント入力を選択されます。
2. TPnEEE, TPnMD2-TPnMD0ビットは、TPnCTL0.TPnCEビット = 0のときに設定してください(TPnCEビット = 1のときの同値書き込みは可能)。TPnCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TPnCEビットをクリア(0)してから再設定してください。

(3) TMPnI/O制御レジスタ0 (TPnIOC0)

TPnIOC0レジスタは、タイマ出力 (TOPn0, TOPn1端子) を制御する8ビット・レジスタです。8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TP0IOC0 FFFFF592H, TP1IOC0 FFFFF5A2H, TP2IOC0 FFFFF5B2H, TP3IOC0 FFFFF5C2H

	7	6	5	4	3	2	1	0
TPnIOC0 (n = 0-3)	0	0	0	0	TPnOL1	TPnOE1	TPnOL0	TPnOE0

TPnOL1	TOPn1端子出力レベルの設定 ^注
0	TOPn1端子ハイ・レベル・スタート
1	TOPn1端子ロウ・レベル・スタート

TPnOE1	TOPn1端子出力の設定
0	タイマ出力禁止 ・ TPnOL1ビット = 0のときTOPn1端子からロウ・レベルを出力 ・ TPnOL1ビット = 1のときTOPn1端子からハイ・レベルを出力
1	タイマ出力許可 (TOPn1端子から方形波を出力)

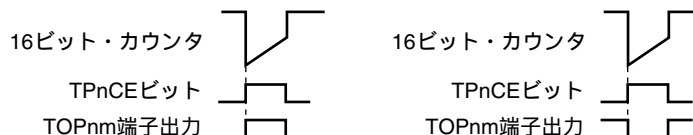
TPnOL0	TOPn0端子出力レベルの設定 ^注
0	TOPn0端子ハイ・レベル・スタート
1	TOPn0端子ロウ・レベル・スタート

TPnOE0	TOPn0端子出力の設定
0	タイマ出力禁止 ・ TPnOL0ビット = 0のときTOPn0端子からロウ・レベルを出力 ・ TPnOL0ビット = 1のときTOPn0端子からハイ・レベルを出力
1	タイマ出力許可 (TOPn0端子から方形波を出力)

注 TPnOLmビットの指定によるタイマ出力端子 (TOPnm) の出力レベルを次に示します。

・ TPnOLmビット = 0の場合

・ TPnOLmビット = 1の場合



注意1. TPnOL1, TPnOE1, TPnOL0, TPnOE0ビットは、TPnCTL0.TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のときの同値書き込みは可能)。誤まって書き換えた場合は、TPnCEビットをクリア (0) してから再設定してください。

2. TPnCEビット = 0, TPnOEmビット = 0の状態において、TPnOLmビットを操作した場合でも、TOPnm端子の出力レベルは変化しません。

備考 n = 0-3, m = 0, 1

(4) TMPnI/O制御レジスタ1 (TPnIOC1)

TPnIOC1レジスタは、キャプチャ・トリガ入力信号 (TIPn0, TIPn1端子) に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : TP0IOC1 FFFFF593H, TP1IOC1 FFFFF5A3H,
TP2IOC1 FFFFF5B3H, TP3IOC1 FFFFF5C3H

	7	6	5	4	3	2	1	0
TPnIOC1	0	0	0	0	TPnIS3	TPnIS2	TPnIS1	TPnIS0

(n = 0-3)

TPnIS3	TPnIS2	キャプチャ・トリガ入力信号 (TIPn1端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TPnIS1	TPnIS0	キャプチャ・トリガ入力信号 (TIPn0端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TPnIS3-TPnIS0ビットは、TPnCTL0.TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPnCEビットをクリア (0) してから再設定してください。
- 2.** TPnIS3-TPnIS0ビットは、フリー・ランニング・タイマ・モードと、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。

(5) TMPnI/O制御レジスタ2 (TPnIOC2)

TPnIOC2レジスタは、外部イベント・カウント入力信号 (TIPn0端子)、外部トリガ入力信号 (TIPn0端子) に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TP0IOC2 FFFFF594H, TP1IOC2 FFFFF5A4H,
TP2IOC2 FFFFF5B4H, TP3IOC2 FFFFF5C4H

	7	6	5	4	3	2	1	0
TPnIOC2 (n = 0-3)	0	0	0	0	TPnEES1	TPnEES0	TPnETS1	TPnETS0

TPnEES1	TPnEES0	外部イベント・カウント入力信号 (TIPn0端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TPnETS1	TPnETS0	外部トリガ入力信号 (TIPn0端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1. TPnEES1, TPnEES0, TPnETS1, TPnETS0ビットは、
TPnCTL0.TPnCEビット = 0のときに書き換えてください (TPnCE
ビット = 1のときの同値書き込みは可能)。誤って書き換えた場合
は、TPnCEビットをクリア (0) してから再設定してください。
2. TPnEES1, TPnEES0ビットは、TPnCTL1.TPnEEEビット = 1、また
は外部イベント・カウント・モード (TPnCTL1.TPnMD2-TPnMD0
ビット = 001) に設定したときのみ有効です。
3. TPnETS1, TPnETS0ビットは、外部トリガ・パルス出力モード
(TPnCTL1.TPnMD2-TPnMD0ビット = 010)、ワンショット・パル
ス出力モード (TPnCTL1.TPnMD2-TPnMD0 = 011) に設定したと
きのみ有効です。

(6) TMPnオプション・レジスタ0 (TPnOPT0)

TPnOPT0レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TP0OPT0 FFFFF595H, TP1OPT0 FFFFF5A5H,
TP2OPT0 FFFFF5B5H, TP3OPT0 FFFFF5C5H

	7	6	5	4	3	2	1	0
TPnOPT0 (n = 0-3)	0	0	TPnCCS1	TPnCCS0	0	0	0	TPnOVF

TPnCCS1	TPnCCR1レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択
TPnCCS1ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TPnCCS0	TPnCCR0レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択
TPnCCS0ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TPnOVF	TMPnのオーバフロー検出フラグ
セット(1)	オーバフロー発生
リセット(0)	TPnOVFビットへの0ライトまたはTPnCTL0.TPnCEビット = 0
<ul style="list-style-type: none"> TPnOVFビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタのカウント値がFFFFHから0000Hにオーバフローするときセット(1)されます。 TPnOVFビットがセット(1)されると同時に、割り込み要求信号(INTTPnOV)が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTPnOV信号は発生しません。 TPnOVFビット = 1のときにTPnOVFビットまたはTPnOPT0レジスタをリードしても、TPnOVFビットはクリアされません。 TPnOVFビットはリード/ライト可能ですが、ソフトウェアでTPnOVFビットをセット(1)することはできません。“1”をライトしてもTMPnの動作に影響はありません。 	

- 注意1. TPnCCS1, TPnCCS0ビットは、TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPnCEビットをクリア(0)してから再設定してください。
2. ビット1-3, 6, 7には必ず“0”を設定してください。

(7) TMPnキャプチャ/コンペア・レジスタ0 (TPnCCR0)

TPnCCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TPnCCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TPnOPT0.TPnCCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

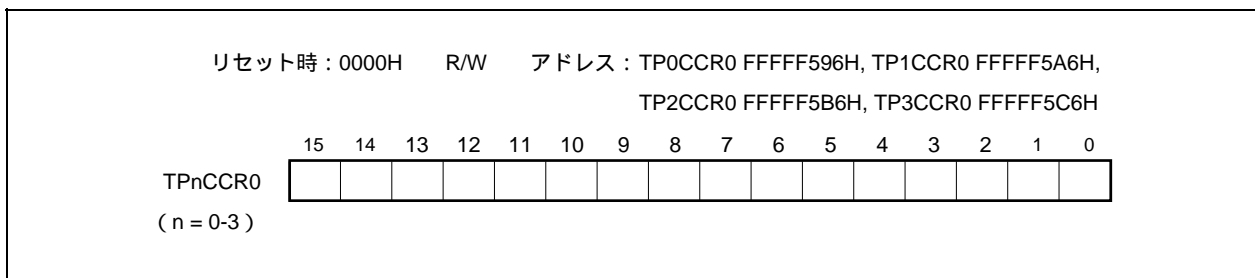
TPnCCR0レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TPnCCR0レジスタへのアクセスは禁止です。詳細は3. 4. 8 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



(a) コンペア・レジスタとしての機能

TPnCCR0レジスタは、TPnCTL0.TPnCEビット = 1のときでも書き換えできます。

TPnCCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTPnCC0) を発生し、TOPn0端子出力を許可している場合、TOPn0端子出力を反転します。

インターバル・タイマ・モード、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モードにおいて、TPnCCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TPnCCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIPn0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPnCCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIPn0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPnCCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTPnCCR0レジスタのリードが競合しても、TPnCCR0レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表6-2 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-

(8) TMPnキャプチャ/コンペア・レジスタ1 (TPnCCR1)

TPnCCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TPnCCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TPnOPT0.TPnCCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

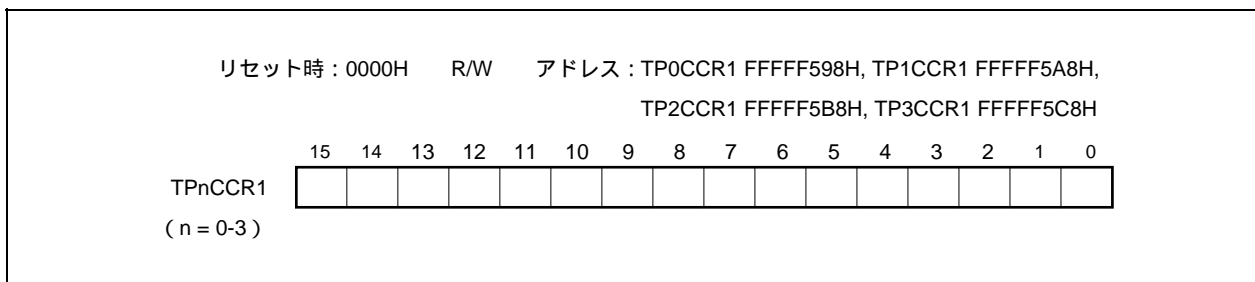
TPnCCR1レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TPnCCR1レジスタへのアクセスは禁止です。詳細は3. 4. 8 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



(a) コンペア・レジスタとしての機能

TPnCCR1レジスタは、TPnCTL0.TPnCEビット = 1のときでも書き換えできます。

TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTPnCC1) を発生し、TOPn1端子出力を許可している場合、TOPn1端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TPnCCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIPn1端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPnCCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIPn1端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPnCCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTPnCCR1レジスタのリードが競合しても、TPnCCR1レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表6 - 3 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-

(9) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタは、16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

TPnCTL0.TPnCEビット = 1のときにTPnCNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。

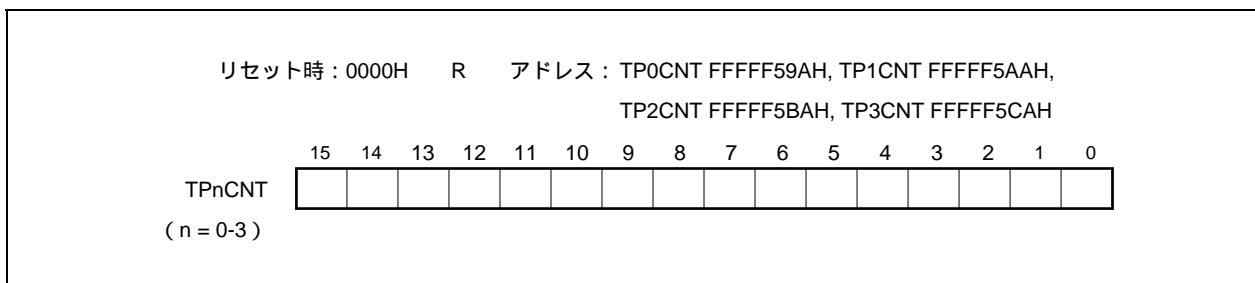
16ビット単位でリードのみ可能です。

TPnCEビット = 0のとき、TPnCNTレジスタは0000Hになります。このときにTPnCNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) をリードせず、そのまま0000Hをリードします。

リセットによりTPnCEビット = 0になるため、TPnCNTレジスタは0000Hになります。

注意 次に示す状態において、TPnCNTレジスタへのアクセスは禁止です。詳細は3.4.8(2) 特定の
内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



(10) TIPnm端子ノイズ除去制御レジスタ (PnmNFC)

PnmNFCレジスタは、タイマP入力端子のデジタル・ノイズ・フィルタ除去を設定する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：P00NFC：FFFFFB00H (TIP00端子)
 P01NFC：FFFFFB04H (TIP01端子)
 P10NFC：FFFFFB08H (TIP10端子)
 P11NFC：FFFFFB0CH (TIP11端子)
 P20NFC：FFFFFB10H (TIP20端子)
 P21NFC：FFFFFB14H (TIP21端子)
 P30NFC：FFFFFB18H (TIP30端子)
 P31NFC：FFFFFB1CH (TIP31端子)

	7	6	5	4	3	2	1	0
PnmNFC	0	NFSTS	0	0	0	NFC2	NFC1	NFC0

(n = 0-3, m = 0, 1)

NFSTS	デジタル・ノイズ・フィルタのサンプリング回数の設定
0	3回
1	2回

NFC2	NFC1	NFC0	サンプリング・クロック	
			n = 0, 2	n = 1, 3
0	0	0	f _{xx}	
0	0	1	f _{xx} /2	
0	1	0	f _{xx} /4	
0	1	1	f _{xx} /16	f _{xx} /8
1	0	0	f _{xx} /32	f _{xx} /16
1	0	1	f _{xx} /64	f _{xt}
上記以外			設定禁止	

- 注意1.** ビット3-5, 7には必ず0を設定してください。
2. PnmNFCレジスタの設定を行う前に、タイマ入力端子 (TIPnm) に入力された信号は、デジタル・ノイズ除去され、出力されます。
 そのため、PnmNFCレジスタでサンプリング・クロック (NFC2-NFC0)、サンプリング回数 (NFSTS) を設定したあと、初期化時間 = (サンプリング・クロック) × (サンプリング回数) が経過してから、タイマの動作を許可してください。

備考 確実に除去されるノイズ幅は、(サンプリング・クロック) × (サンプリング回数 - 1) になります。また、このノイズ幅以下のノイズであっても、サンプリング・クロックに同期したノイズが入力された場合には、誤カウントが発生する可能性があります。

6.5 動作

TMPnには次のような動作があります。

動作	TPnCTL1.TPnESTビット (ソフトウェア・トリガ・ビット)	TIPn0端子 (外部トリガ入力)	キャプチャ/コンペア・レジスタの設定	コンペア・レジスタの書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード ^{注1}	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード ^{注2}	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード ^{注2}	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード ^{注2}	無効	無効	キャプチャ専用	対象外

注1. 外部イベント・カウント・モードを使用する場合、TIPn0端子のキャプチャ・トリガ入力の有効エッジの設定を、エッジを検出しない (TPnIOC1.TPnIS1, TPnIS0ビットを“00”) に設定してください。

- 外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択 (TPnCTL1.TPnEEEビット = 0に設定) してください。

備考 n = 0-3

6.5.1 インターバル・タイマ・モード (TPnMD2-TPnMD0ビット = 000)

インターバル・タイマ・モードは、TPnCTL0.TPnCEビットをセット(1)することで、任意のインターバル間隔にて割り込み要求信号 (INTTPnCC0) を発生します。また、TOPn0端子から、インターバル間隔を半周期とする方形波を出力できます。

インターバル・タイマ・モードでは、通常、TPnCCR1レジスタを使用しません。

図6-2 インターバル・タイマの構成図

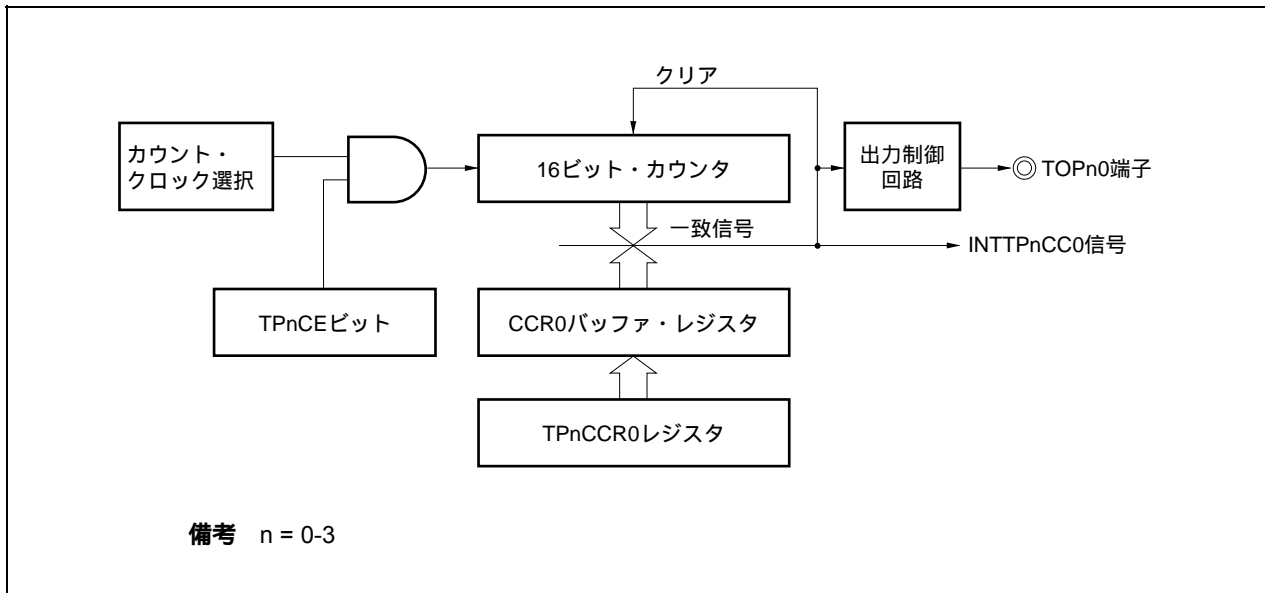
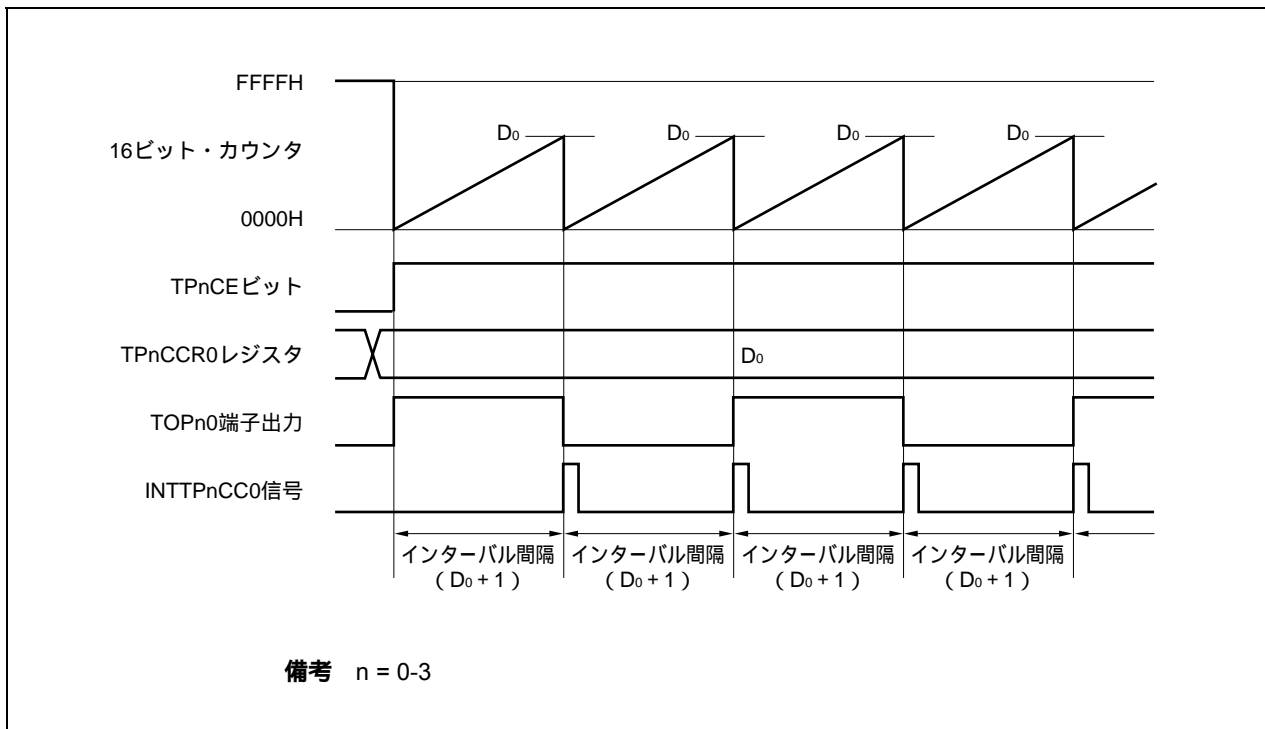


図6-3 インターバル・タイマ・モード動作の基本タイミング



TPnCEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOPn0端子出力を反転します。また、TPnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOPn0端子出力を反転させて、コンペア一致割り込み要求信号 (INTTPnCC0) を発生します。インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TPnCCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

備考 n = 0-3

図6 - 4 インターバル・タイマ・モード動作時のレジスタ設定内容 (1/2)

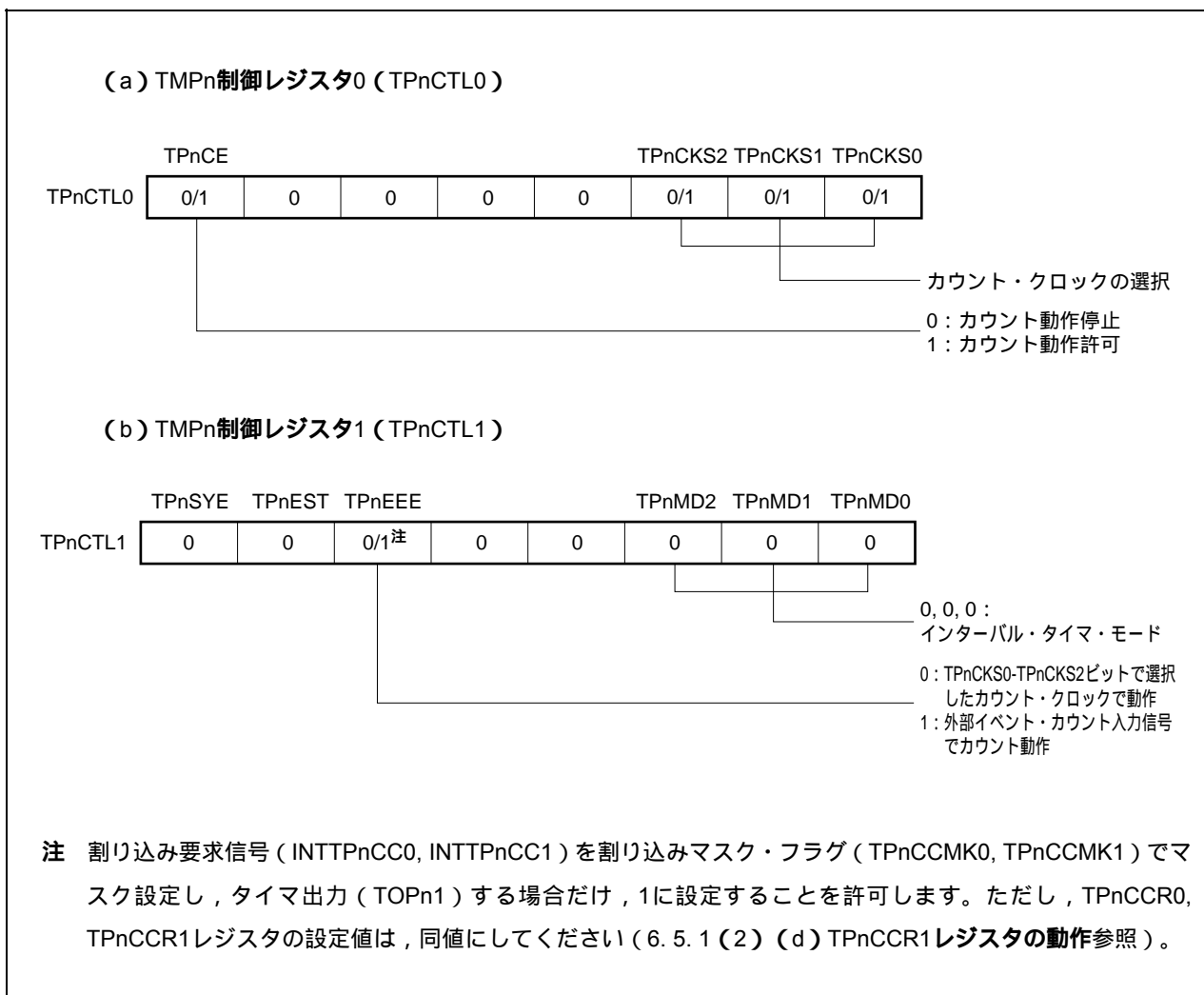
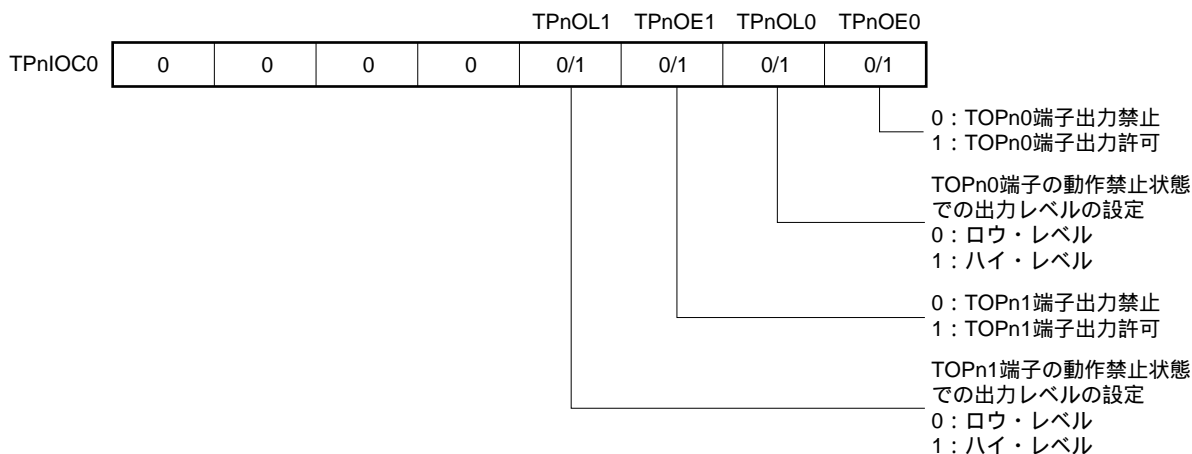


図6-4 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/2)

(c) TMPnI/O制御レジスタ0 (TPnIOC0)



(d) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタのカウント値をリードできます。

(e) TMPnキャプチャ/コンペア・レジスタ0 (TPnCCR0)

TPnCCR0レジスタにD₀を設定した場合、

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

となります。

(f) TMPnキャプチャ/コンペア・レジスタ1 (TPnCCR1)

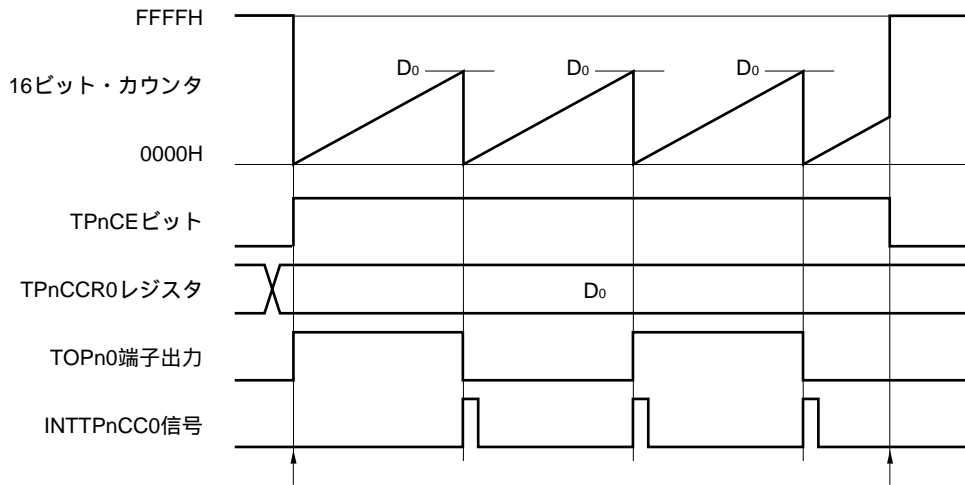
インターバル・タイマ・モードでは、通常、TPnCCR1レジスタを使用しません。しかし、TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTPnCC1) が発生します。したがって、割り込みマスク・フラグ (TPnCCMK1) でマスク設定しておいてください。

備考1. TMPnI/O制御レジスタ1 (TPnIOC1) , TMPnI/O制御レジスタ2 (TPnIOC2) , TMPnオプション・レジスタ0 (TPnOPT0) は、インターバル・タイマ・モードでは使用しません。

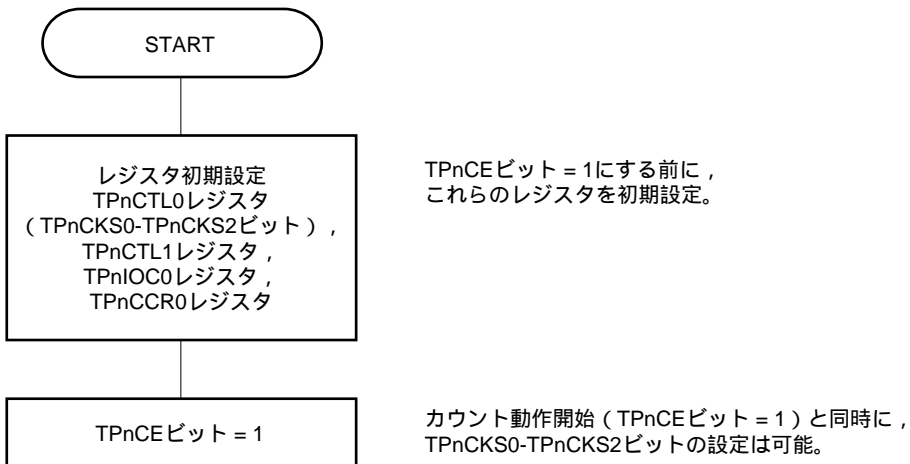
2. n = 0-3

(1) インターバル・タイマ・モード動作フロー

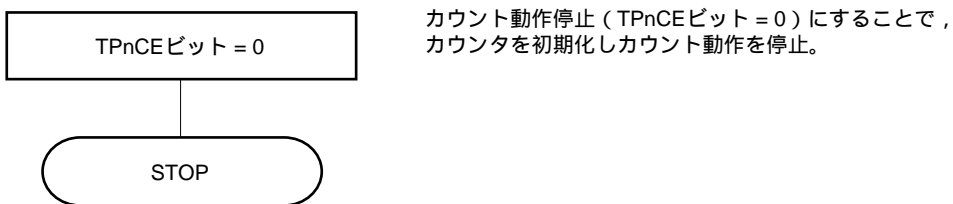
図6 - 5 インターバル・タイマ・モード使用時のソフトウェア処理フロー



カウント動作開始フロー



カウント動作停止フロー



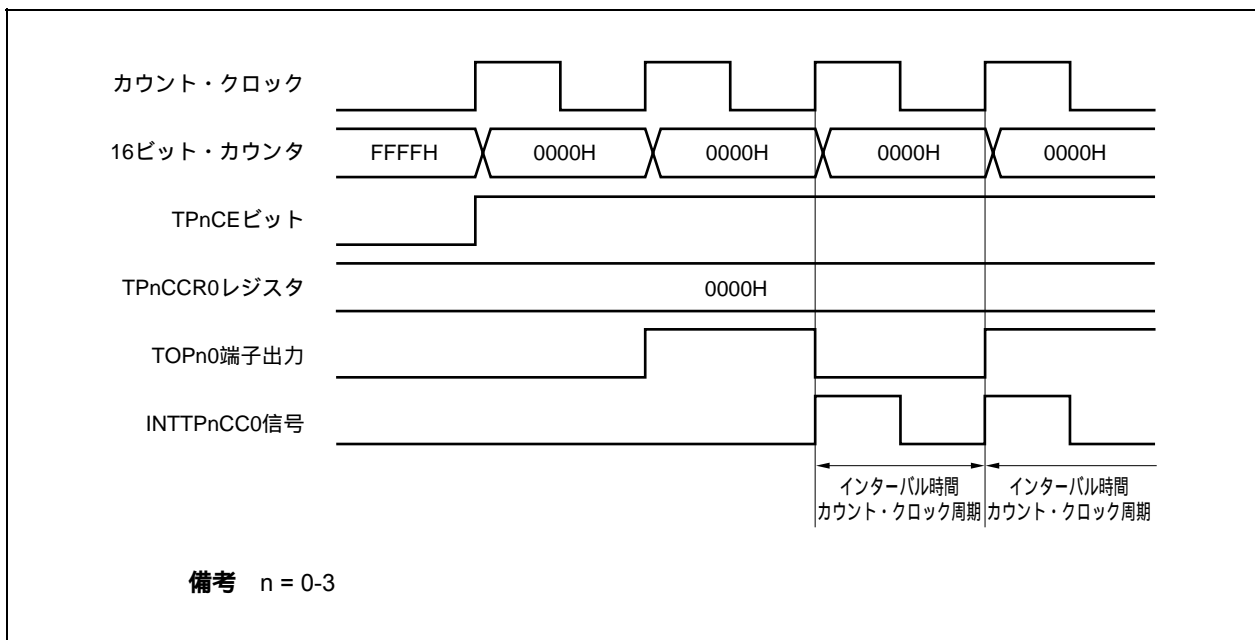
備考 n = 0-3

(2) インターバル・タイマ・モード動作タイミング

(a) TPnCCR0レジスタに0000Hを設定した場合の動作

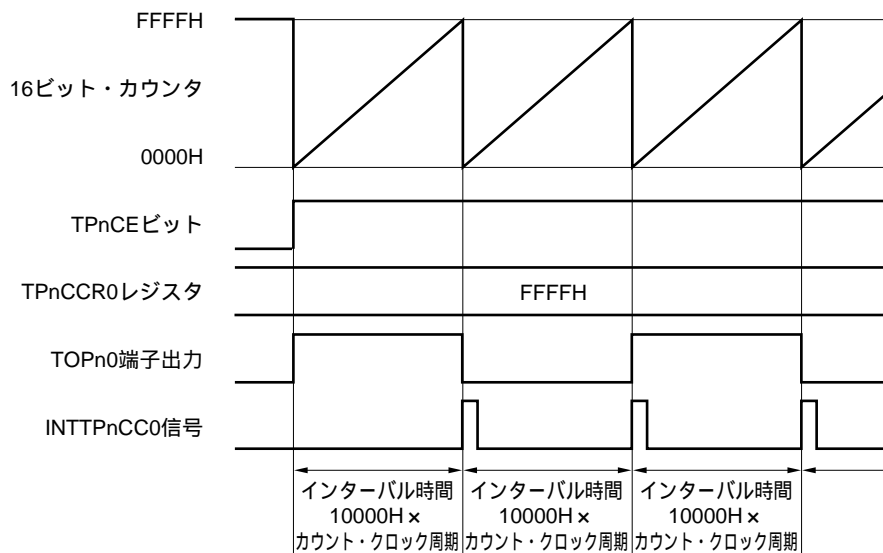
TPnCCR0レジスタに0000Hを設定した場合、2クロック目以降のカウンタ・クロックごとにINTTPnCC0信号を発生し、TOPn0端子の出力を反転します。

16ビット・カウンタは、常に0000Hとなります。



(b) TPnCCR0レジスタにFFFFHを設定した場合の動作

TPnCCR0レジスタにFFFFHを設定した場合，16ビット・カウンタはFFFFHまでカウント動作を行い，次のカウント・アップ・タイミングに同期して，16ビット・カウンタを0000Hにクリアし，INTTPnCC0信号を発生し，TOPn0端子の出力を反転します。このとき，オーバフロー割り込み要求信号 (INTTPnOV) は発生せず，オーバフロー・フラグ (TPnOPT0.TPnOVFビット) もセット (1) されません。

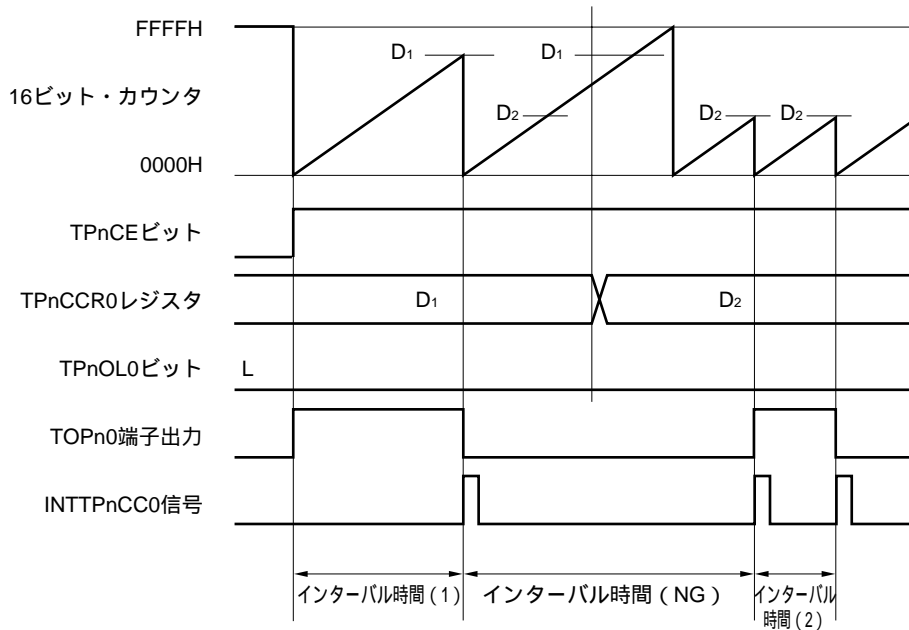


備考 n = 0-3

(c) TPnCCR0レジスタの書き換えに関する注意事項

TPnCCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTPnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。



- 備考1. インターバル時間 (1) : $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$
 インターバル時間 (NG) : $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$
 インターバル時間 (2) : $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$

2. $n = 0-3$

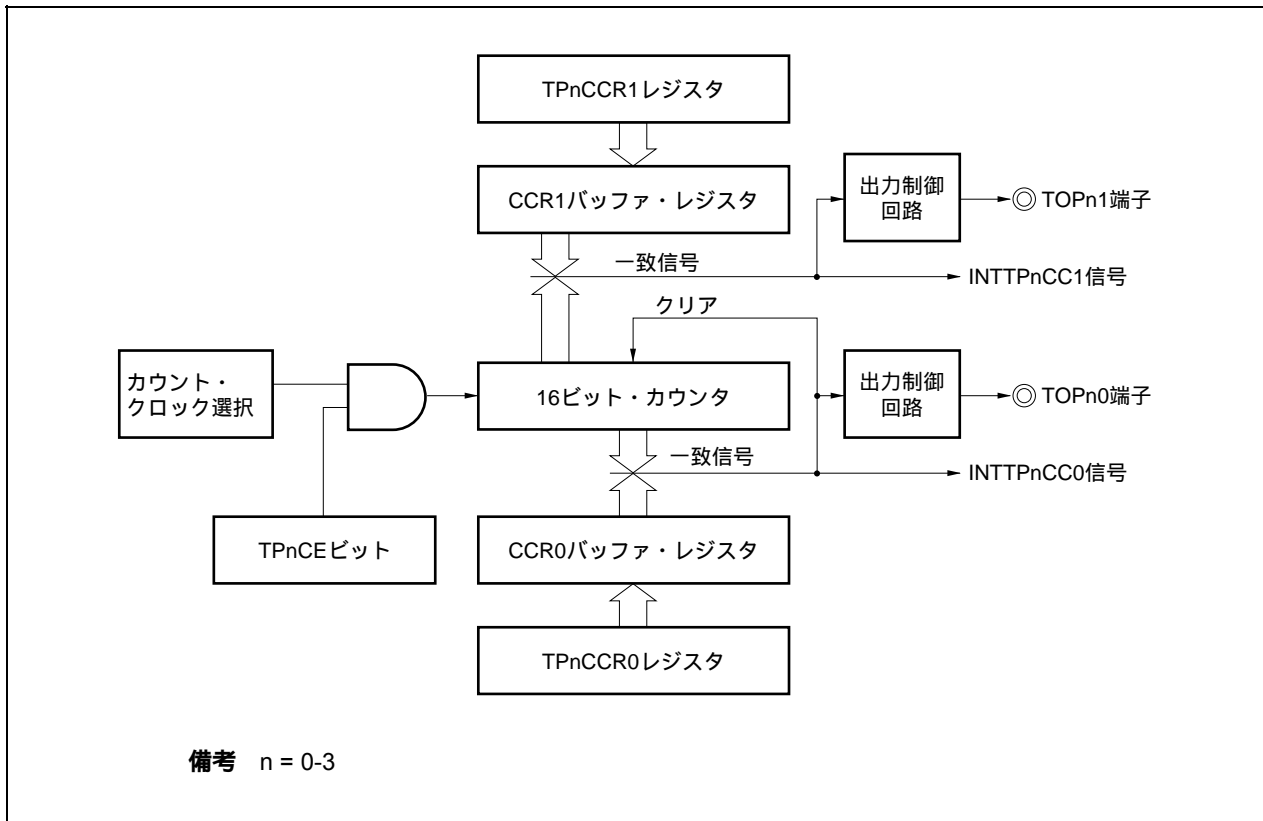
カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TPnCCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTPnCC0信号を発生しTOPn0端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」でINTTPnCC0信号は発生せず、「 $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」の間隔でINTTPnCC0信号が発生する場合があります。

(d) TPnCCR1レジスタの動作

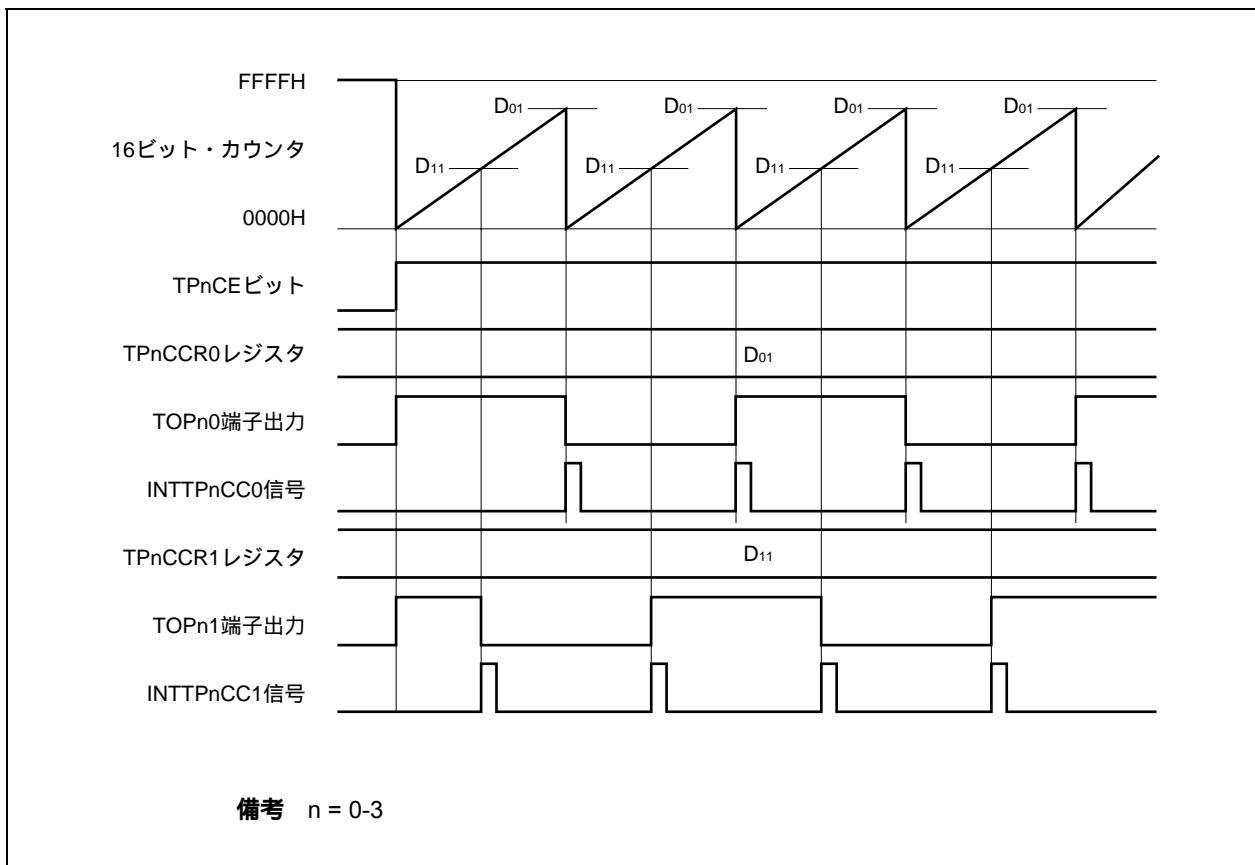
図6 - 6 TPnCCR1レジスタの構成図



TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTPnCC1信号が発生します。また、同じタイミングでTOPn1端子出力は反転します。

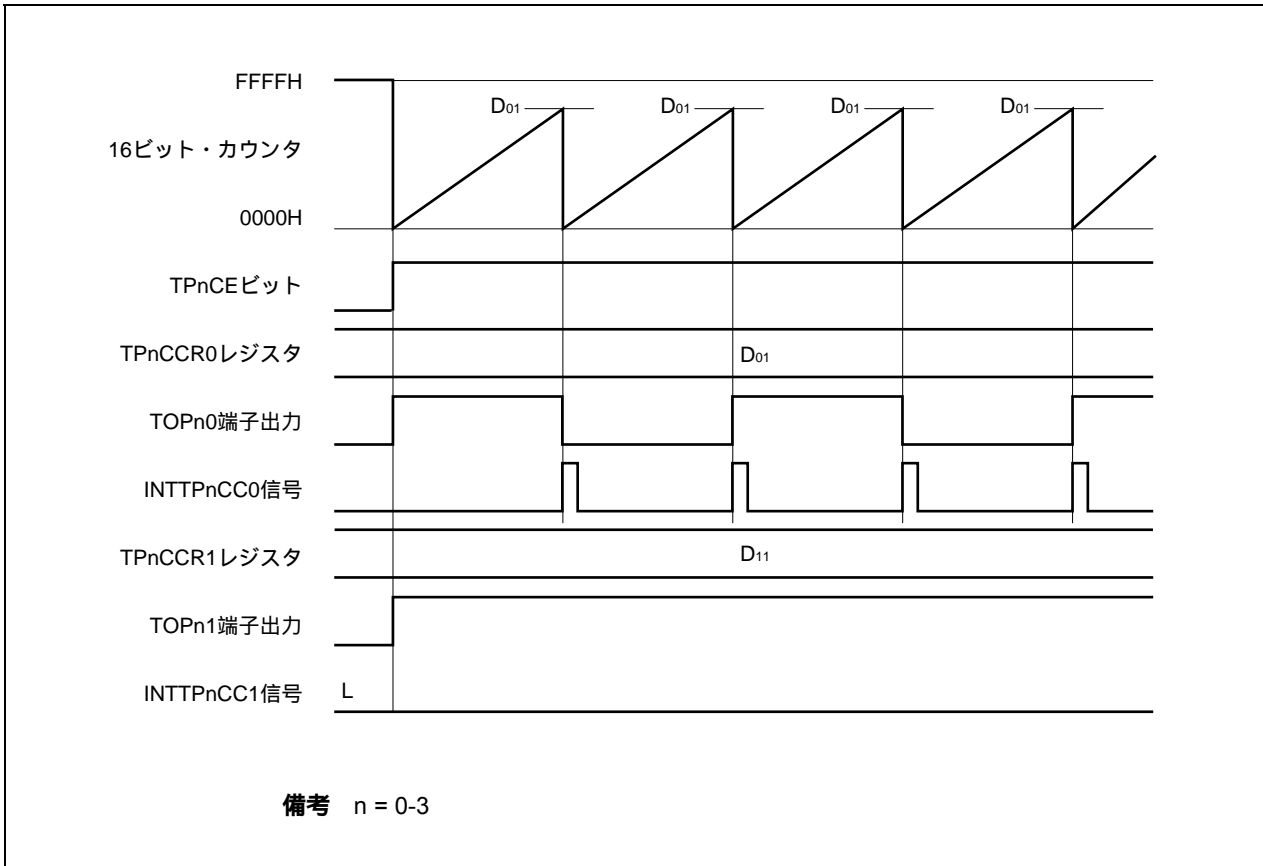
TOPn1端子出力は、TOPn0端子出力と同じ周期の方形波を出力します。

図6 - 7 D₀₁ D₁₁の場合のタイミング図



TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値が一致しないので、INTTPnCC1信号は発生しません。また、TOPn1端子出力も変化しません。

図6 - 8 D₀₁ < D₁₁の場合のタイミング図



6.5.2 外部イベント・カウント・モード (TPnMD2-TPnMD0ビット = 001)

外部イベント・カウント・モードは、TPnCTL0.TPnCEビットをセット(1)することで、外部イベント・カウント入力の有効エッジをカウントし、任意のカウント数をカウントすることに割り込み要求信号 (INTTPnCC0) を発生します。TOPn0端子は使用できません。

外部イベント・カウント・モードでは、通常、TPnCCR1レジスタは使用しません。

図6-9 外部イベント・カウント・モードの構成図

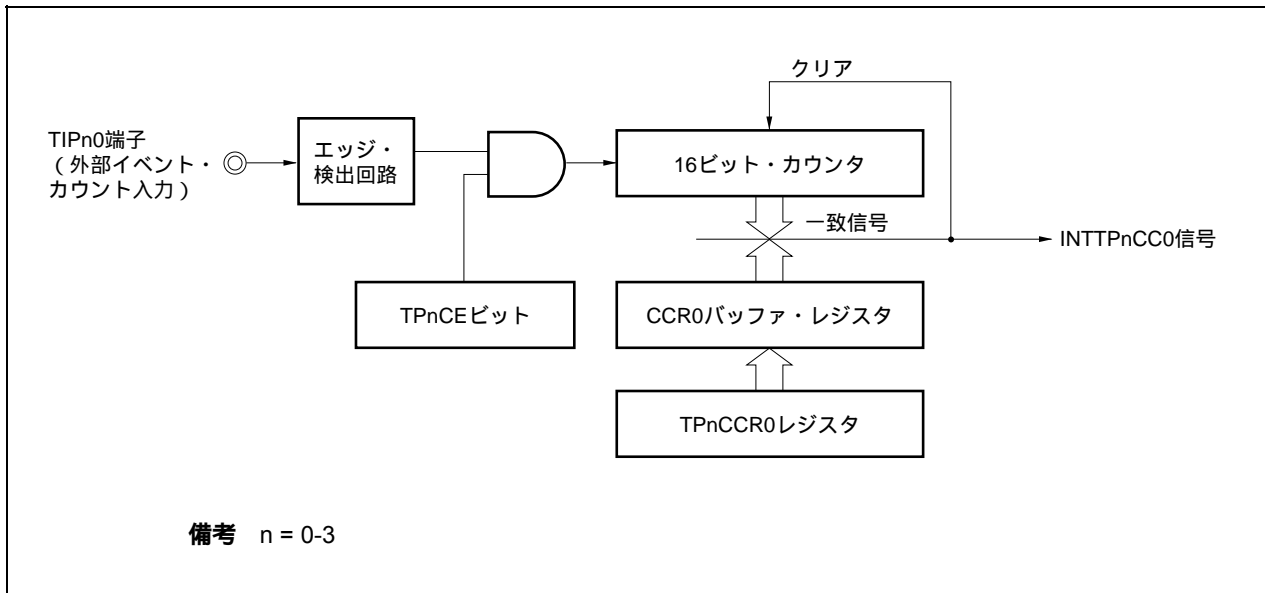
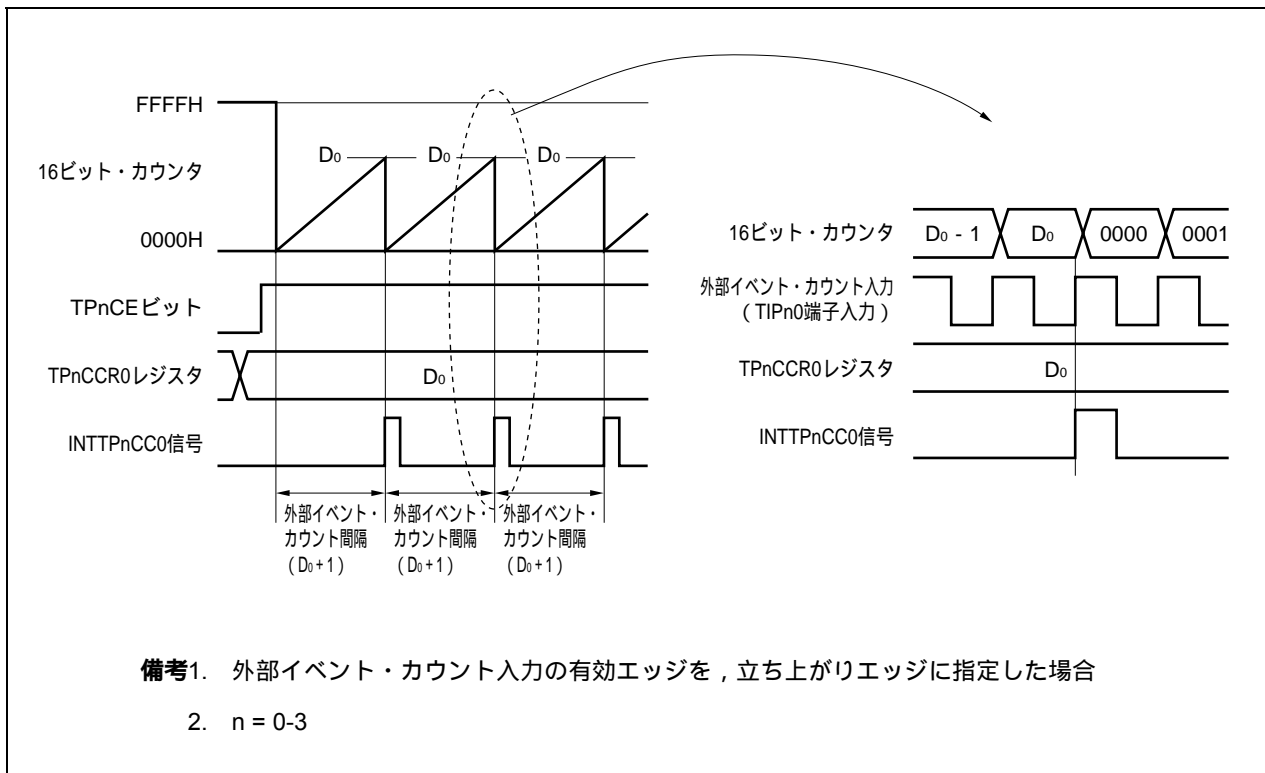


図6-10 外部イベント・カウント・モードの基本タイミング



TPnCEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出することにカウント動作を行います。また、TPnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号(INTTPnCC0)を発生します。

INTTPnCC0信号は、外部イベント・カウント入力の有効エッジを(TPnCCR0レジスタに設定した値+1)回検出することに発生します。

図6-11 外部イベント・カウント・モード動作時のレジスタ設定内容(1/2)

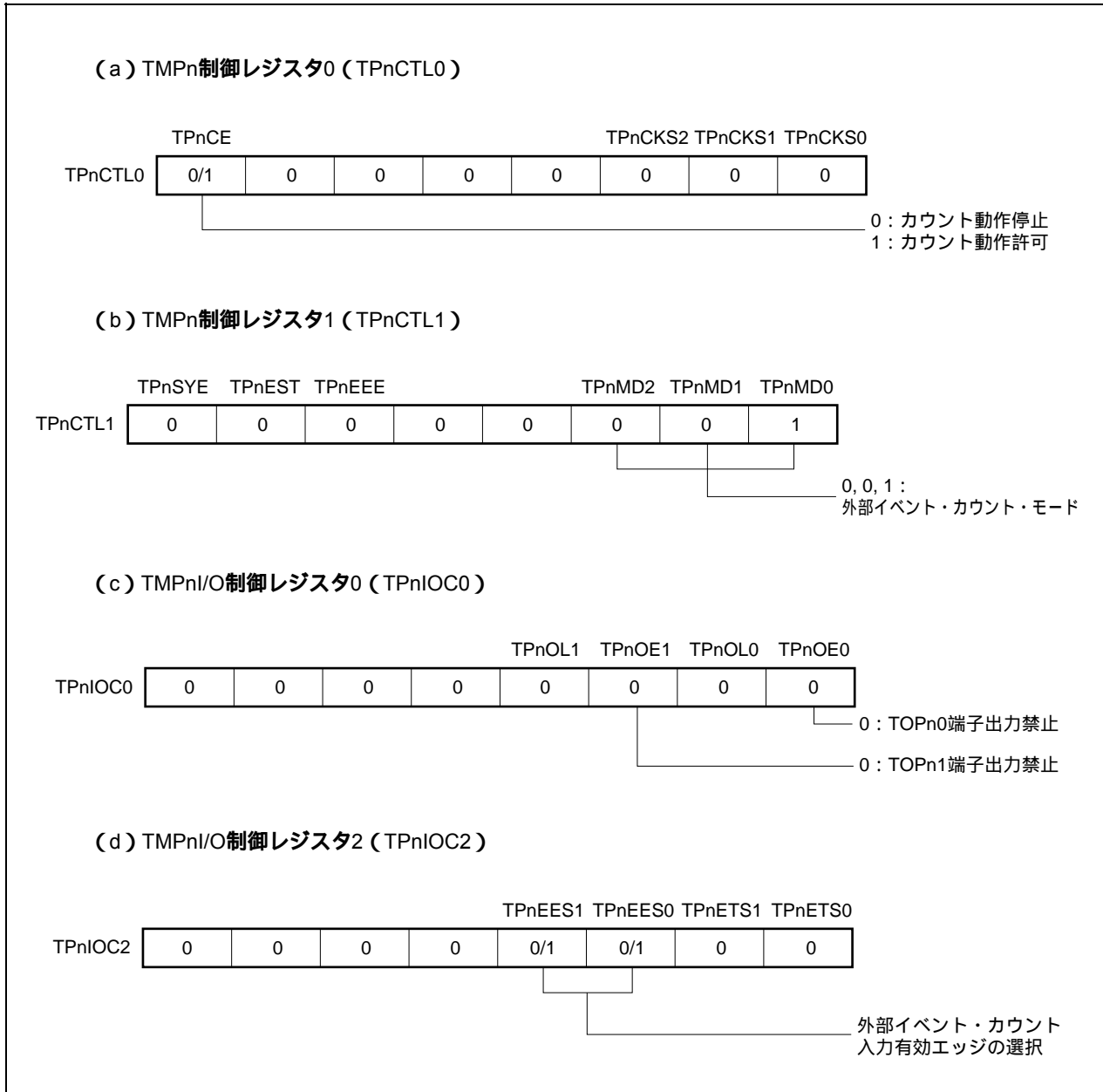


図6 - 11 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

(e) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタのカウンタ値をリードできます。

(f) TMPnキャプチャ/コンペア・レジスタ0 (TPnCCR0)

TPnCCR0レジスタにD₀を設定した場合、外部イベント・カウント数が(D₀+1)回となるとカウントをクリアしコンペア一致割り込み要求信号 (INTTPnCC0) を発生します。

(g) TMPnキャプチャ/コンペア・レジスタ1 (TPnCCR1)

外部イベント・カウント・モードでは、通常、TPnCCR1レジスタは使用しません。しかし、TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTPnCC1) が発生します。したがって、割り込みマスク・フラグ (TPnCCMK1) でマスク設定しておいてください。

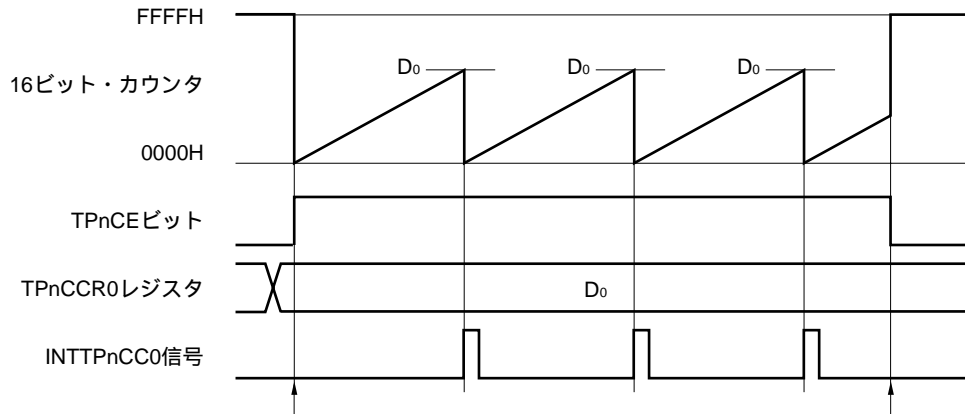
注意 カウント・クロックとして外部クロックを使用するときは、外部クロックはTIPn0端子からのみ入力できます。このとき、TPnIOC1.TPnIS1, TPnIS0ビット = 00 (キャプチャ・トリガ入力 (TIPn0端子) : エッジ検出なし) に設定してください。

備考1. TMPnI/O制御レジスタ1 (TPnIOC1) , TMPnオプション・レジスタ0 (TPnOPT0) は、外部イベント・カウント・モードでは使用しません。

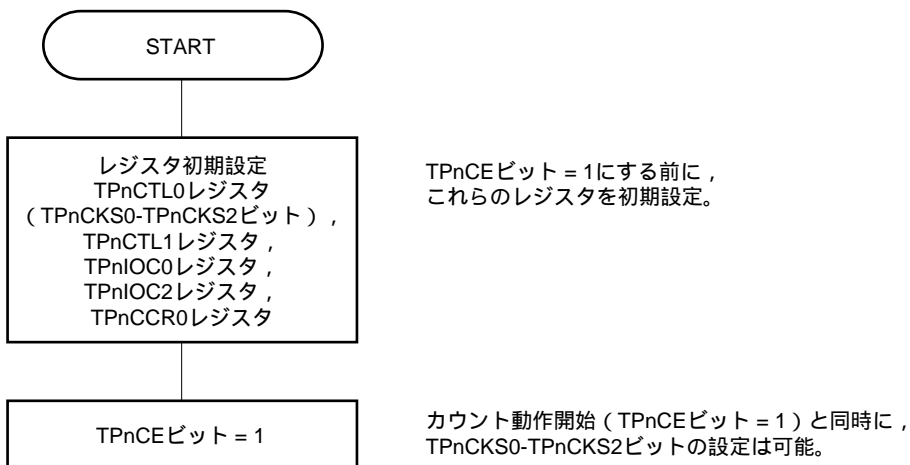
2. n = 0-3

(1) 外部イベント・カウント・モード動作フロー

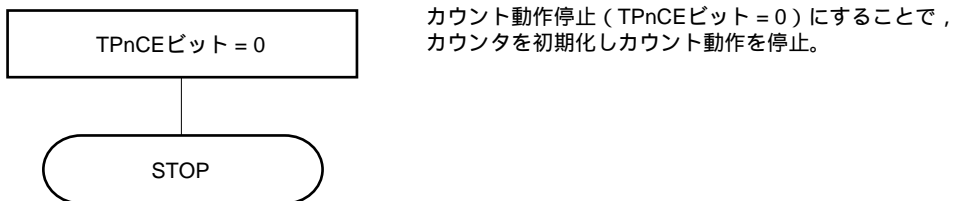
図6-12 外部イベント・カウント・モード使用時のソフトウェア処理フロー



カウント動作開始フロー



カウント動作停止フロー



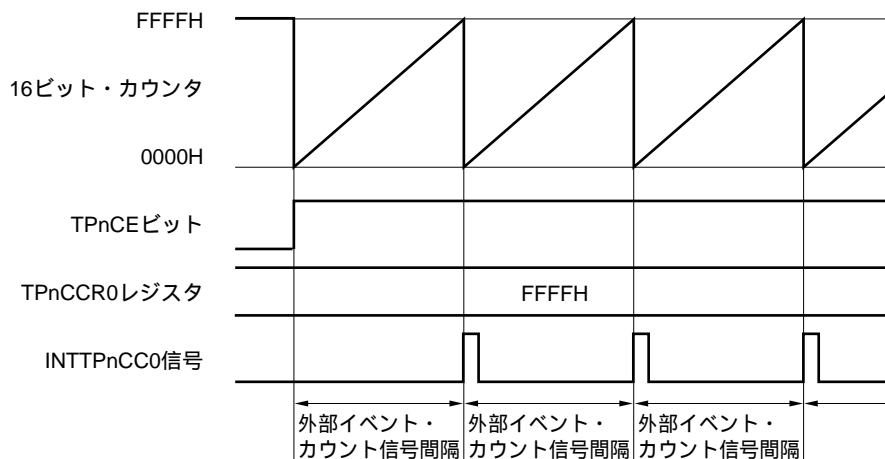
備考 n = 0-3

(2) 外部イベント・カウント・モード動作タイミング

- 注意1. 外部イベント・カウント・モード時，TPnCCR0レジスタには，0000Hを設定しないでください。
2. 外部イベント・カウント・モード時，タイマ出力は使用禁止です。外部イベント・カウント入力でのタイマ出力を行う場合は，インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可に選択してください(TPnCTL1.TPnMD2-TPnMD0ビット = 000, TPnCTL1.TPnEEEビット = 1)。

(a) TPnCCR0レジスタにFFFFHを設定した場合の動作

TPnCCR0レジスタにFFFFHを設定した場合，16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い，次のカウント・アップ・タイミングに同期して，16ビット・カウンタを0000Hにクリアし，INTTPnCC0信号を発生します。このとき，TPnOPT0.TPnOVFビットはセットされません。

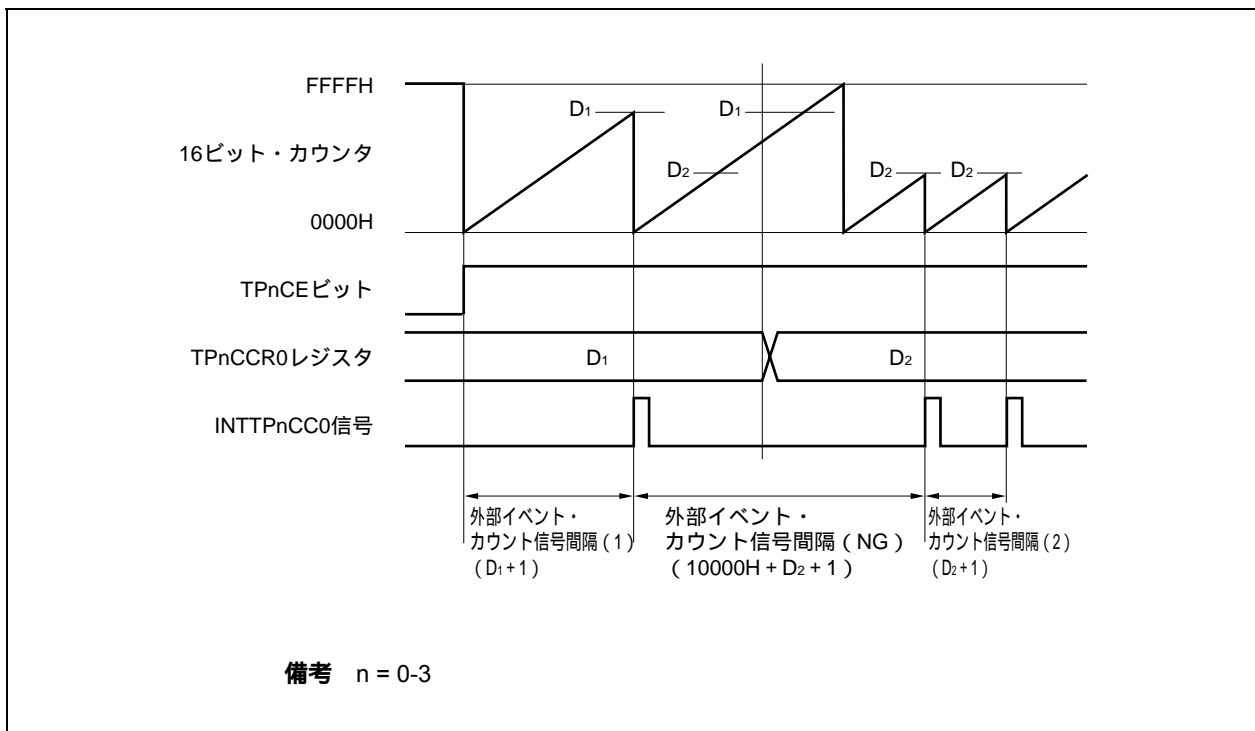


備考 n = 0-3

(b) TPnCCR0レジスタの書き換えに関する注意事項

TPnCCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTPnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。



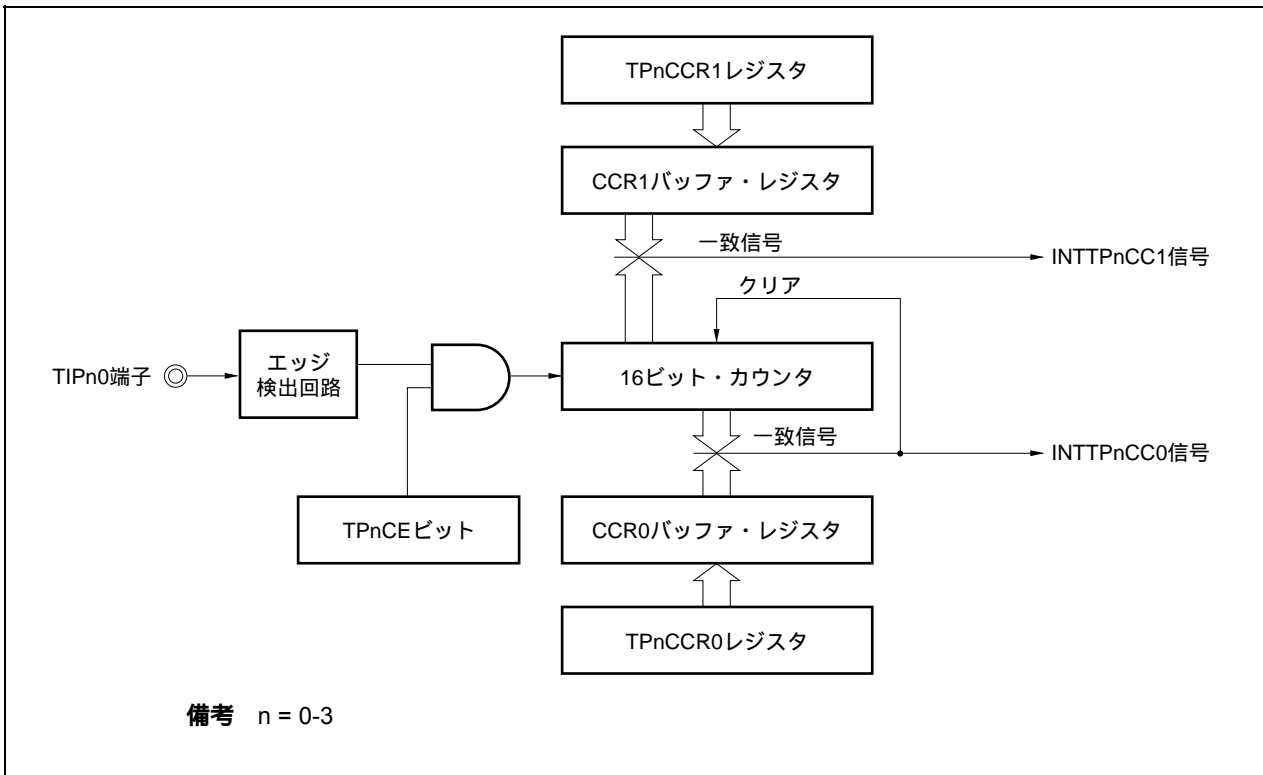
カウント値がD₂よりも大きくD₁よりも小さい状態において、TPnCCR0レジスタをD₁からD₂に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値がD₂となります。

しかし、カウント値はすでにD₂を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、D₂との一致でINTTPnCC0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「(D₁+1)回」または「(D₂+1)回」の有効エッジ数でINTTPnCC0信号は発生せずに、「(10000H + D₂ + 1)回」の有効エッジ数でINTTPnCC0信号が発生する場合があります。

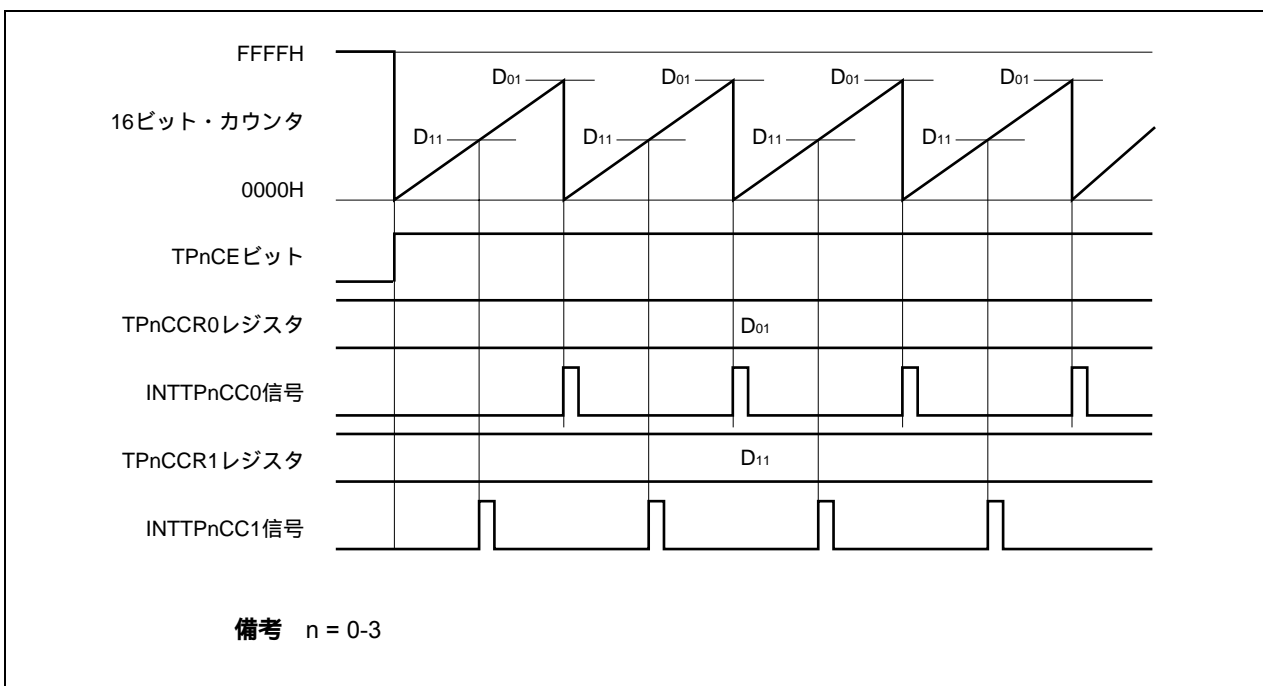
(c) TPnCCR1レジスタの動作

図6 - 13 TPnCCR1レジスタの構成図



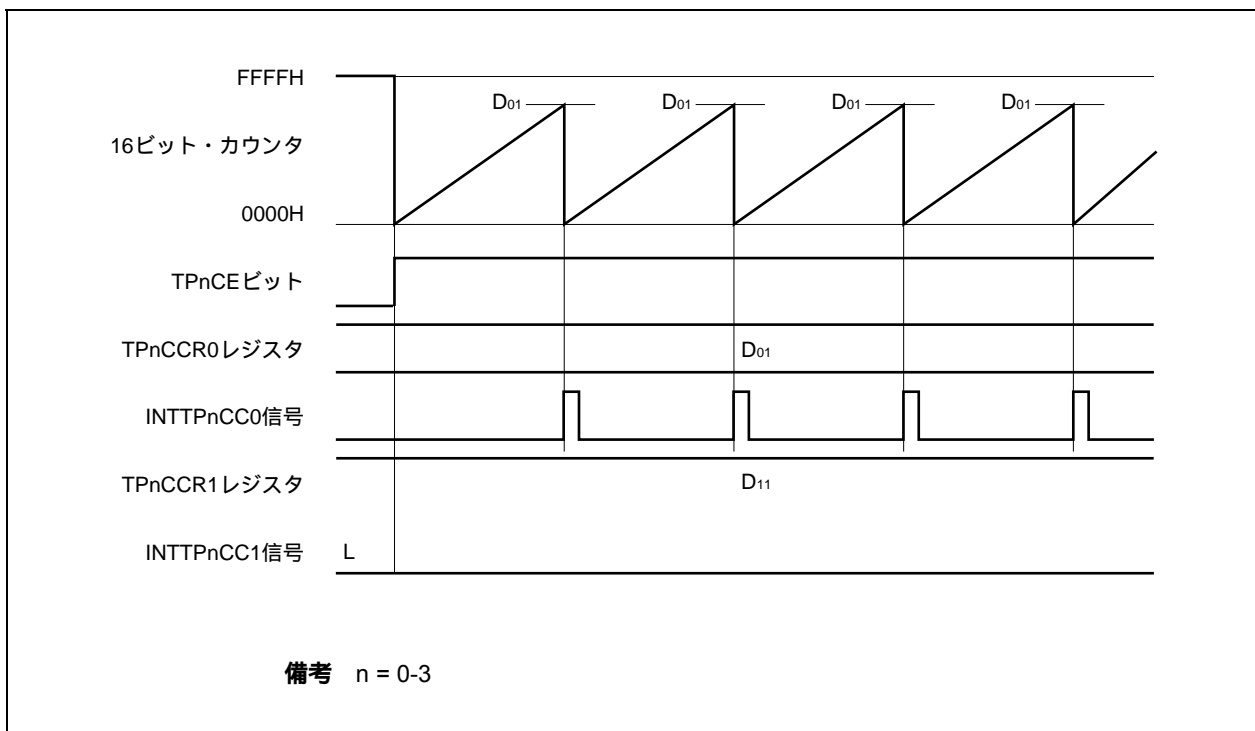
TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTPnCC1信号が発生します。

図6 - 14 D₀₁ D₁₁の場合のタイミング図



TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値が一致しないので、INTTPnCC1信号は発生しません。

図6 - 15 D₀₁ < D₁₁の場合のタイミング図



6.5.3 外部トリガ・パルス出力モード (TPnMD2-TPnMD0ビット = 010)

外部トリガ・パルス出力モードは、TPnCTL0.TPnCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOPn1端子からPWM波形を出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでパルスを出力できます。ソフトウェア・トリガを使用する場合、TOPn0端子から、PWM波形の1周期を半周期とする方形波を出力できます。

図6 - 16 外部トリガ・パルス出力モードの構成図

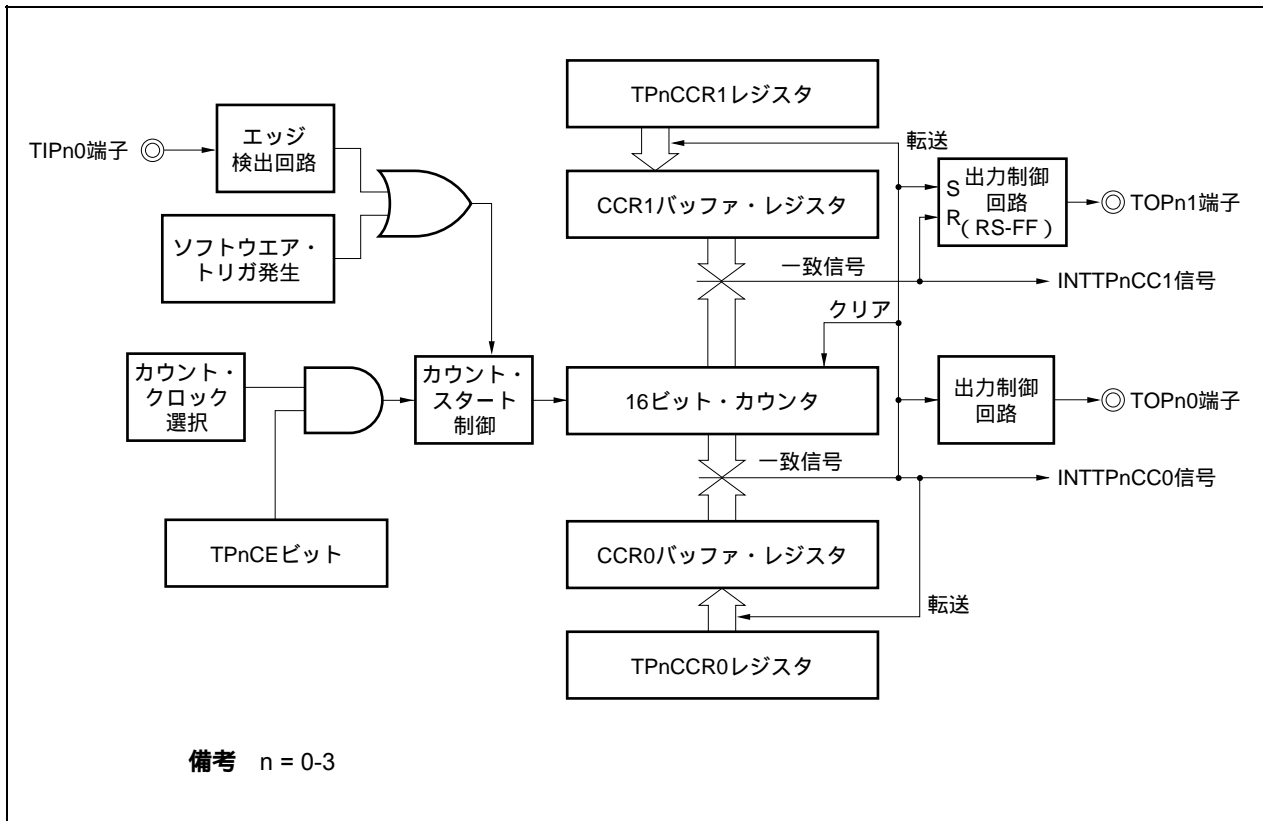
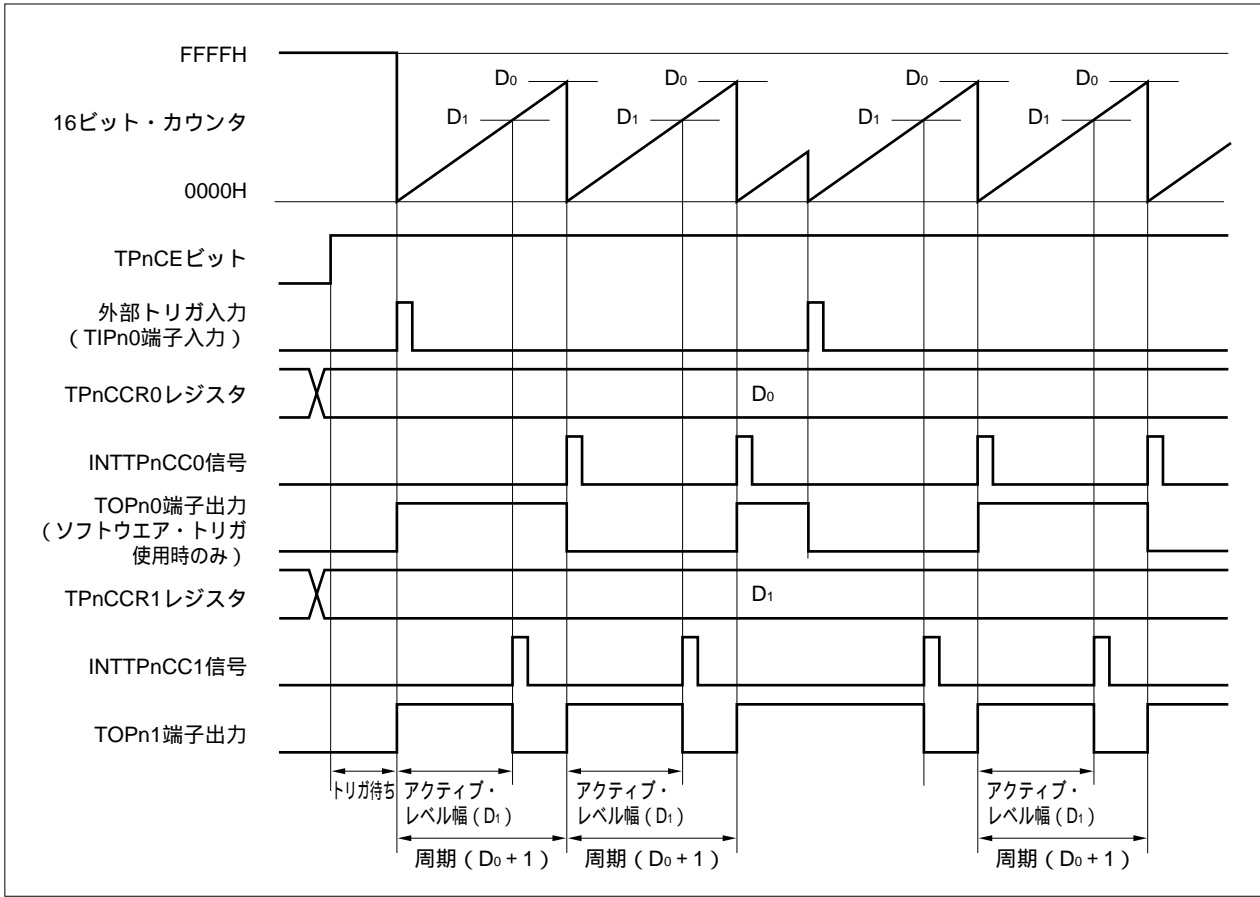


図6-17 外部トリガ・パルス出力モードの基本タイミング



TPnCEビットをセット（1）することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOPn1端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします（TOPn0端子出力は反転します。TOPn1端子出力は、ロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります）。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TPnCCR1レジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TPnCCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TPnCCR1レジスタの設定値}) / (\text{TPnCCR0レジスタの設定値} + 1)$$

コンパレー一致割り込み要求信号（INTTPnCC0）は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンパレー一致割り込み要求信号（INTTPnCC1）は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TPnCCRmレジスタに設定した値は、16ビット・カウンタのカウント値とCCRmバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRmバッファ・レジスタに転送されます。

トリガには、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ（TPnCTL1.TPnESTビット）のセット（1）があります。

備考 n = 0-3, m = 0, 1

図6 - 18 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/2)

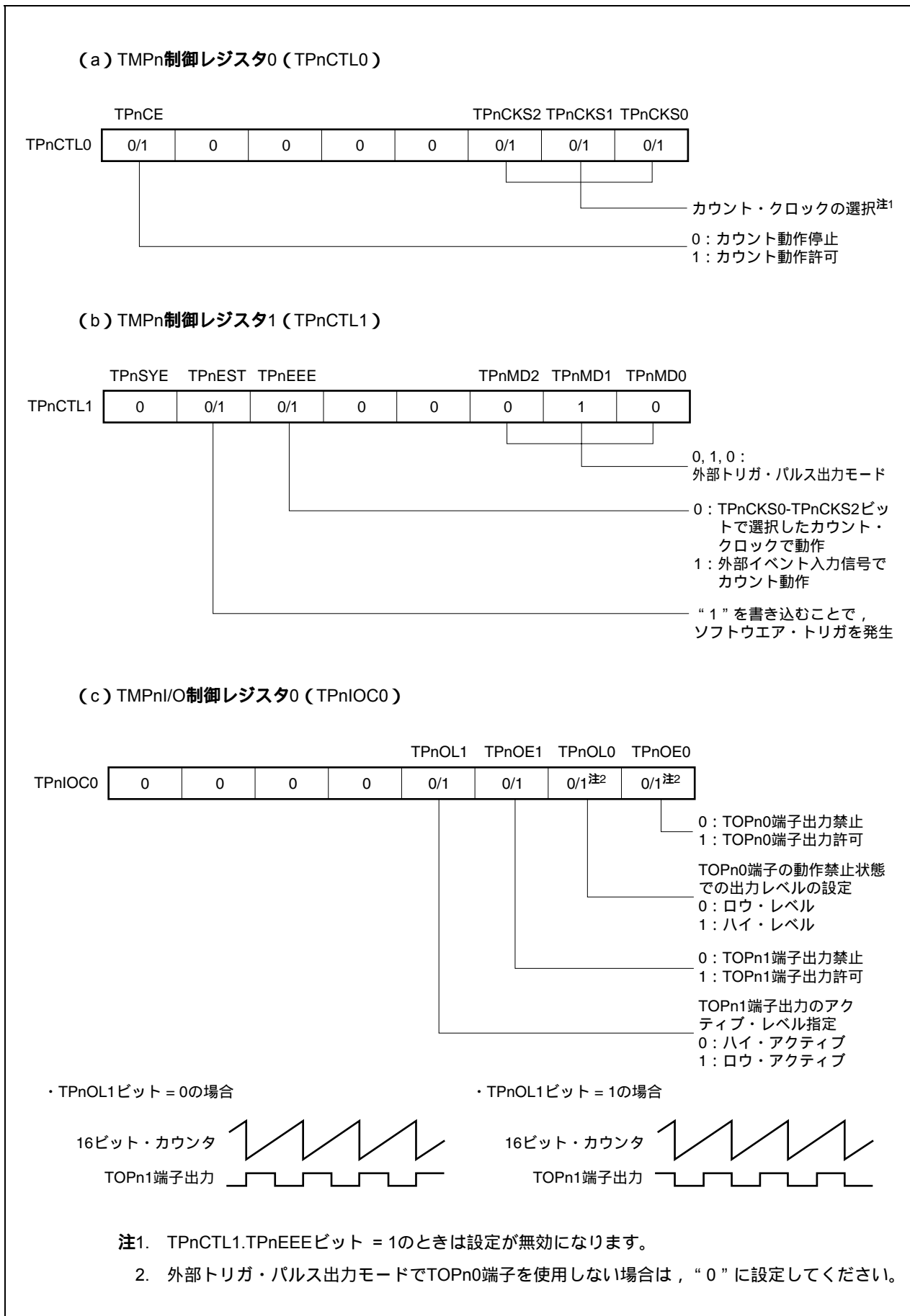
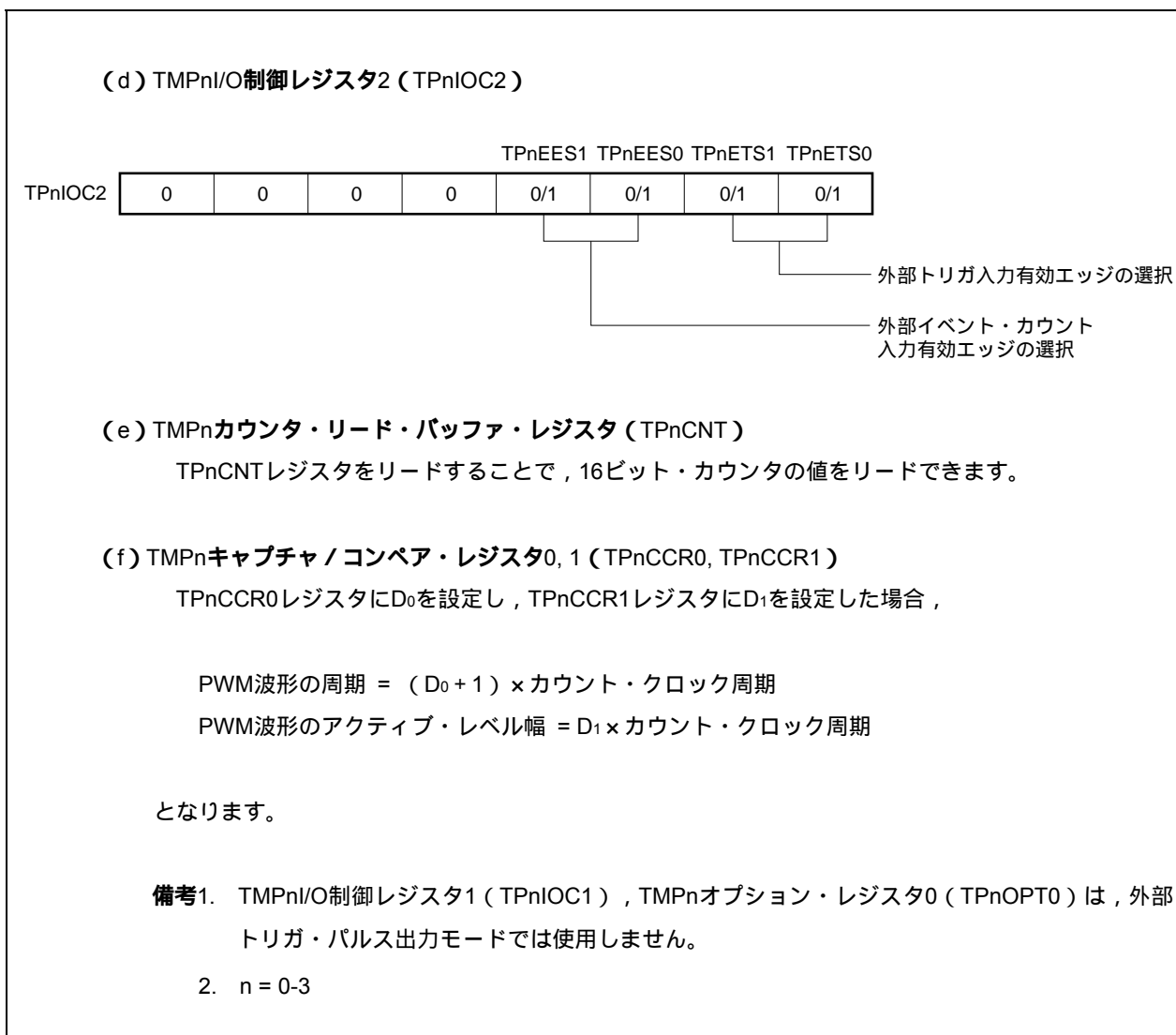


図6 - 18 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/2)



(1) 外部トリガ・パルス出力モード動作フロー

図6 - 19 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

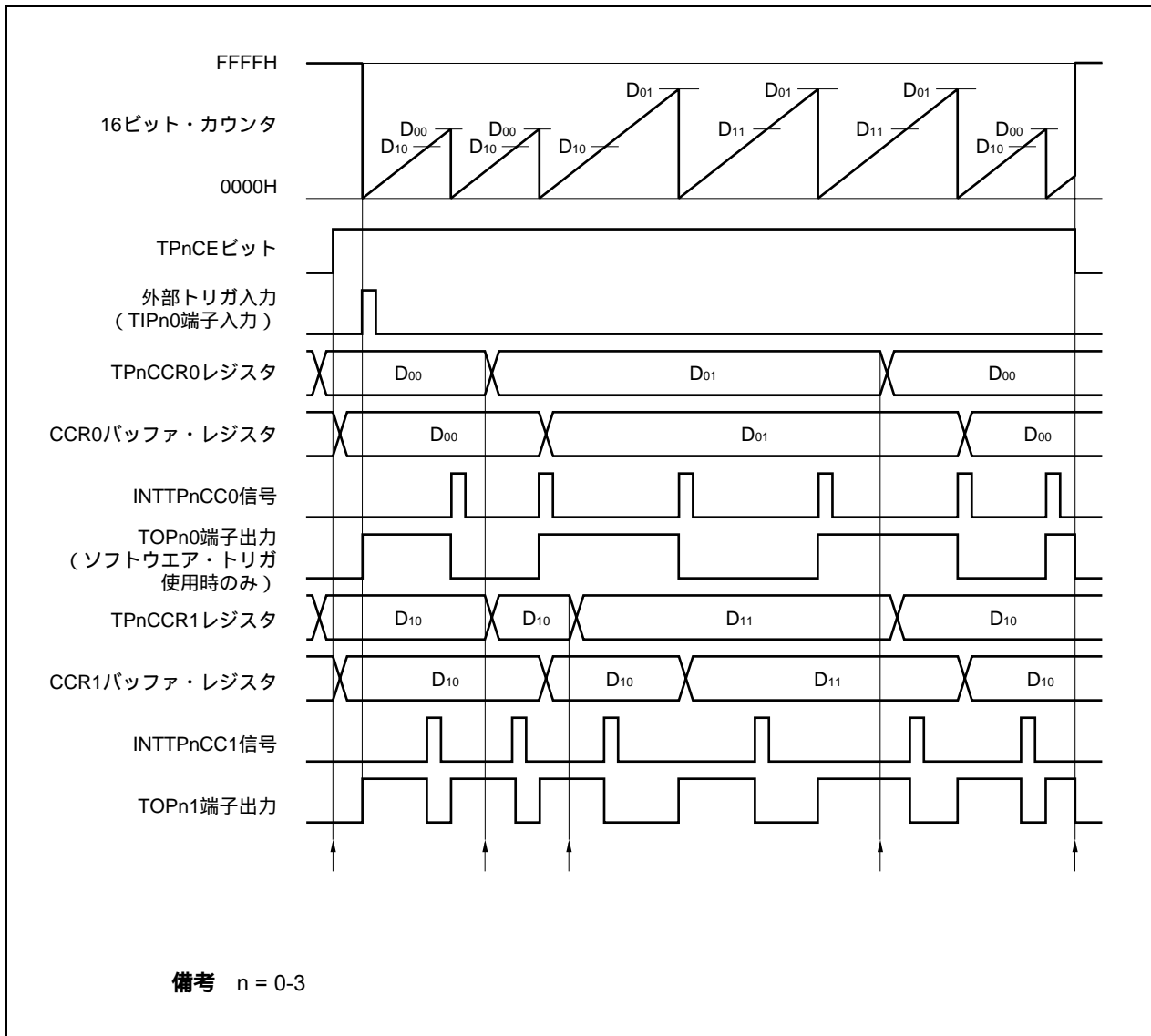
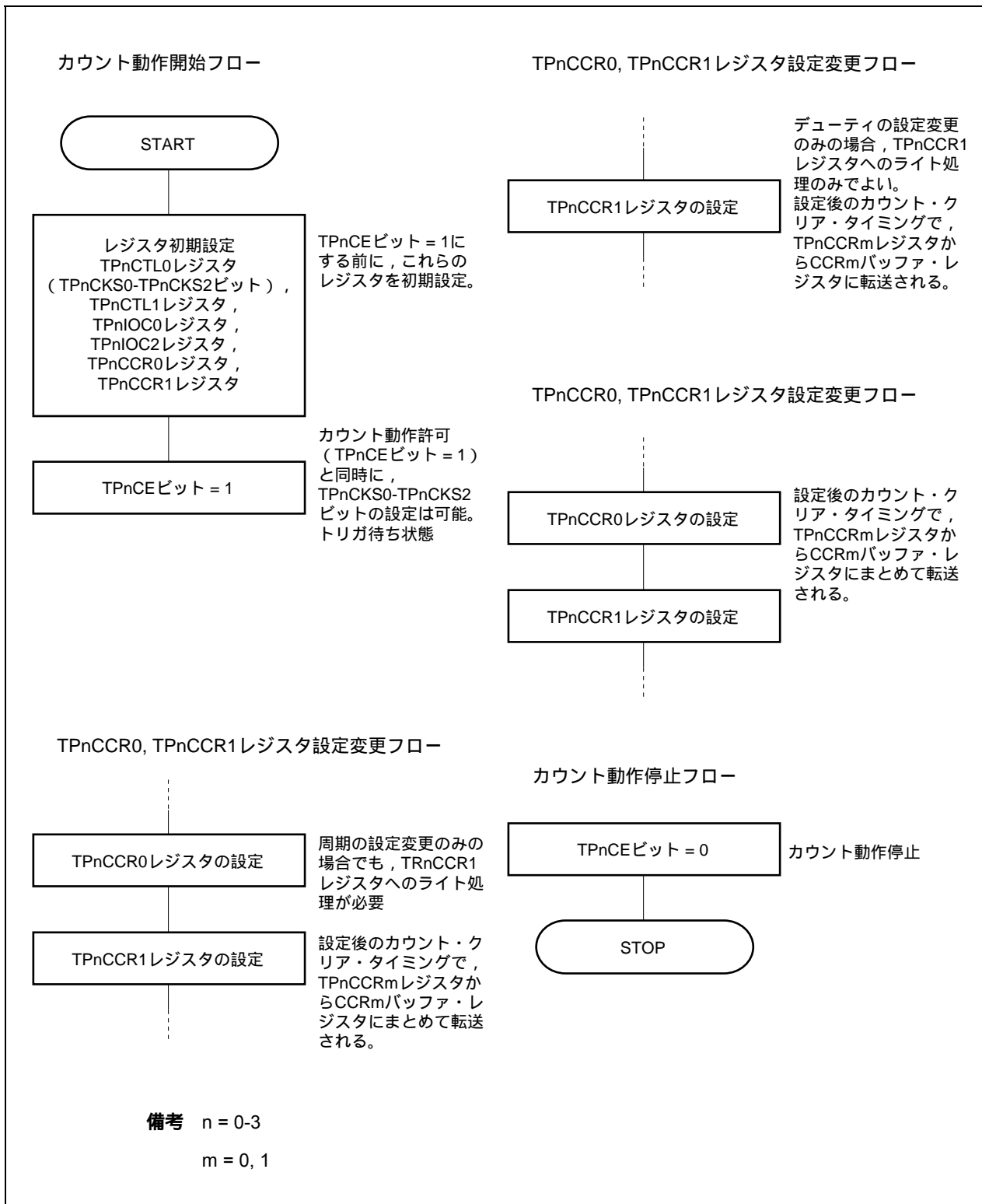


図6 - 19 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)

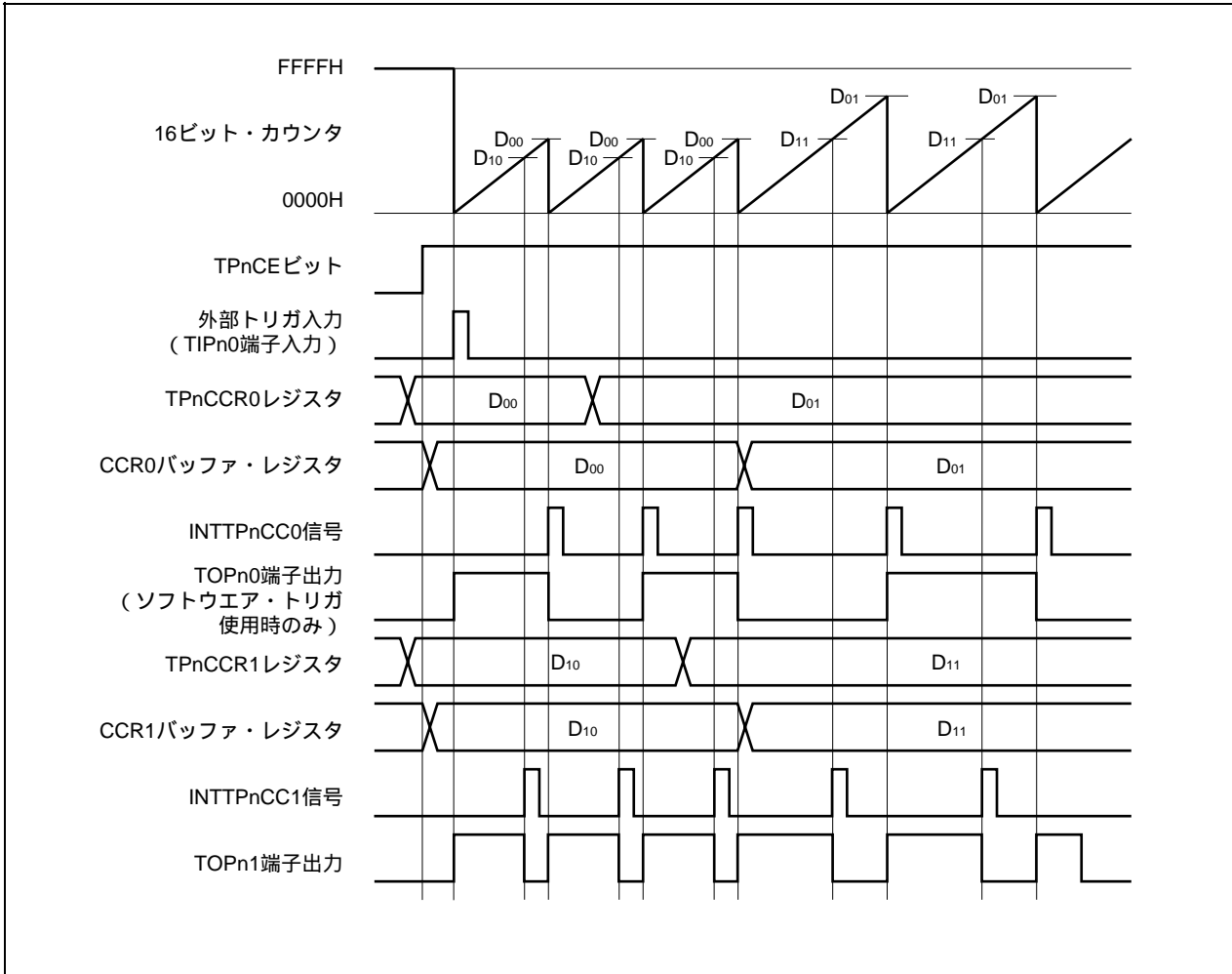


(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTPnCCR1レジスタにライトしてください。

TPnCCR1レジスタにライト後、再度TPnCCRmレジスタの書き換えを行う場合には、INTTPnCC0信号を検出後に書き換えてください。



TPnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TPnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTPnCCR0レジスタに周期を設定し、そのあとでTPnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTPnCCR0レジスタに周期を設定し、そのあとでTPnCCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TPnCCR1レジスタのみの設定でかまいません。

TPnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TPnCCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

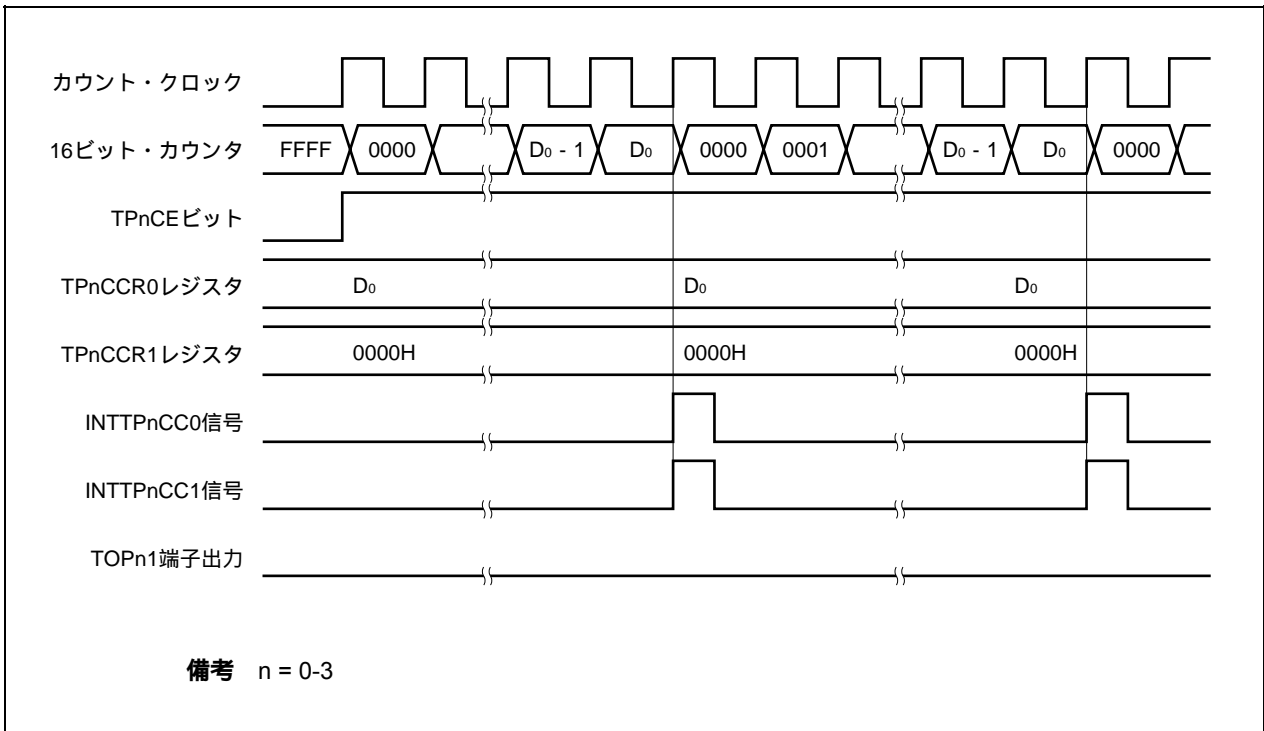
また、一度TPnCCR1レジスタにライトしたあとで、再度TPnCCR0、またはTPnCCR1レジスタへのライトを行う場合は、INTTPnCC0信号の発生後に行ってください。これを守れない場合には、TPnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TPnCCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

備考 n = 0-3

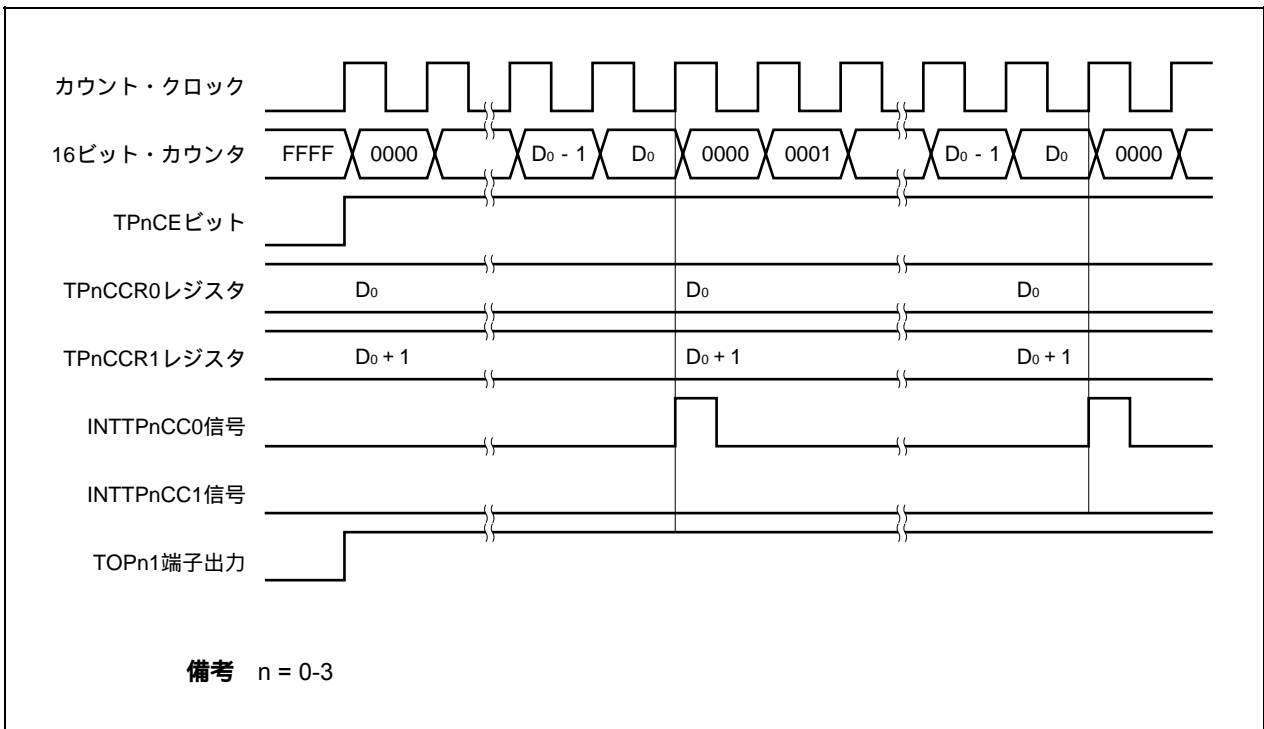
m = 0, 1

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには, TPnCCR1レジスタに対して0000Hを設定します。ただし, TPnCCR0レジスタの設定値がFFFFHの場合には, INTTPnCC1信号が定期的が発生します。

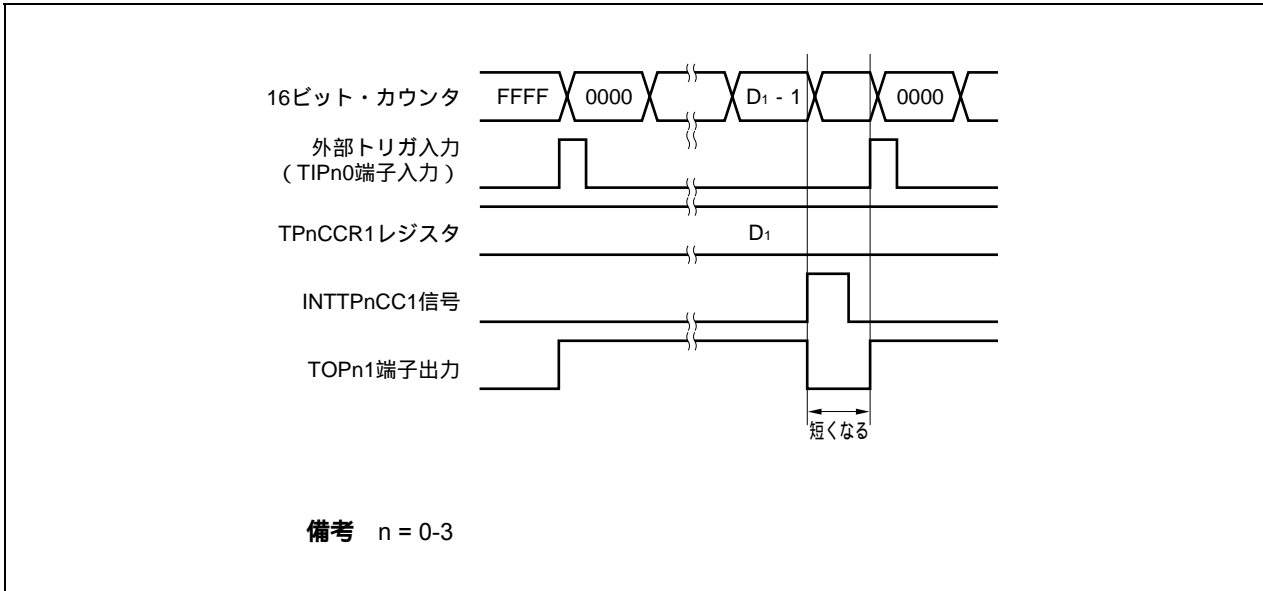


100 % 波形を出力するためには, TPnCCR1レジスタに対して (TPnCCR0レジスタの設定値 + 1) の値を設定してください。TPnCCR0レジスタの設定値がFFFFHの場合には, 100 %出力はできません。

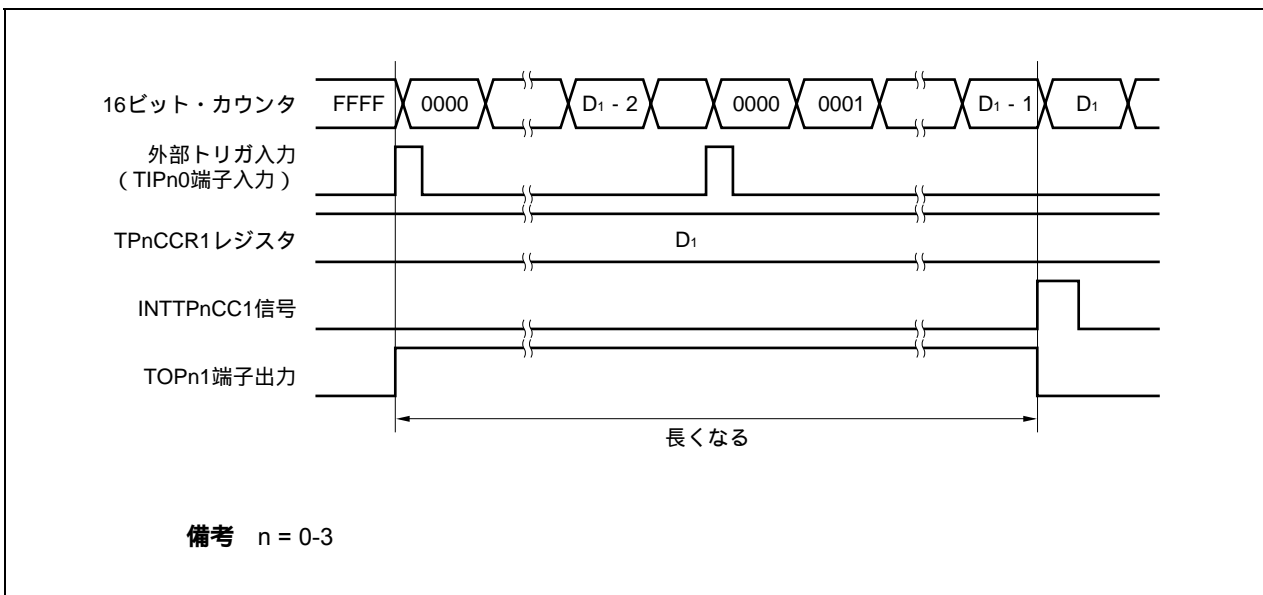


(c) トリガ検出とTPnCCR1レジスタとの一致の競合

INTTPnCC1信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOPn1端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

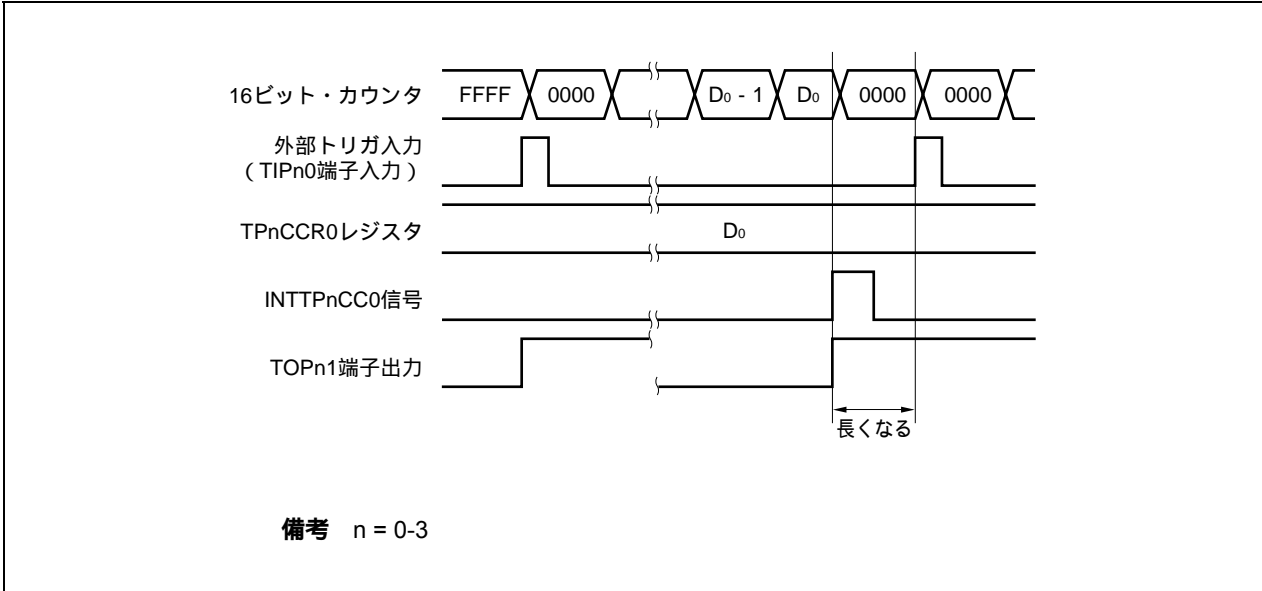


INTTPnCC1信号発生直前にトリガを検出した場合には、INTTPnCC1信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOPn1端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

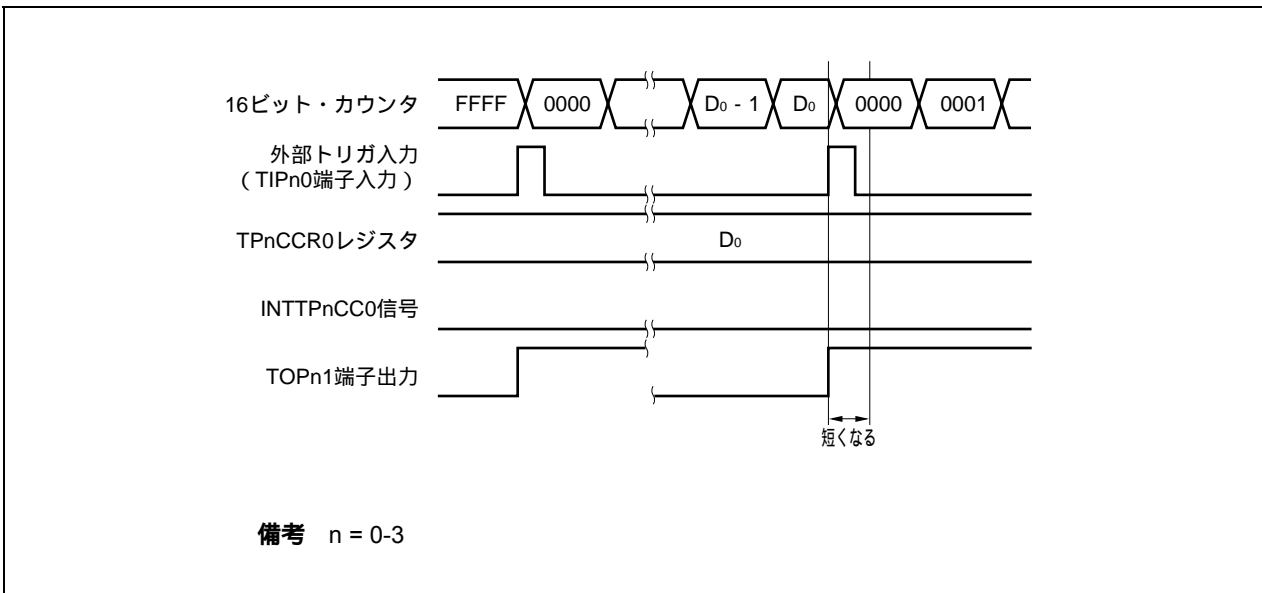


(d) トリガ検出とTPnCCR0レジスタとの一致の競合

INTTPnCC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって、TOPn1端子出力のアクティブ期間が、INTTPnCC0信号発生からトリガ検出までの分だけ長くなります。

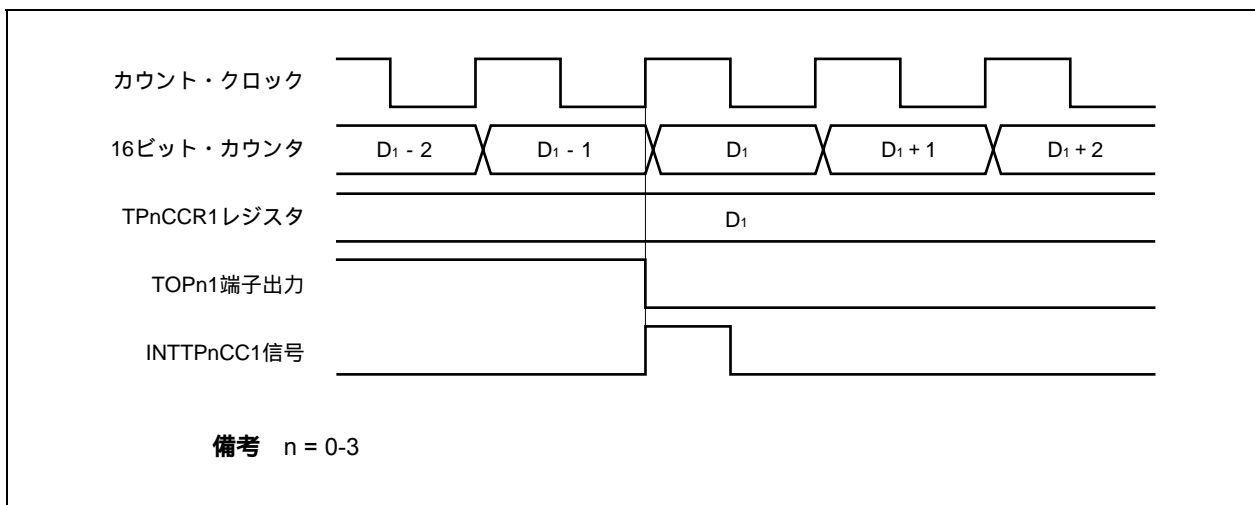


INTTPnCC0信号発生直前にトリガを検出した場合、INTTPnCC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOPn1端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。



(e) コンパレー一致割り込み要求信号 (INTTPnCC1) の発生タイミング

外部トリガ・パルス出力モードにおけるINTTPnCC1信号の発生タイミングは、ほかのINTTPnCC1信号と異なり、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致と同時に発生します。



通常、INTTPnCC1信号は、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致後、次のカウンタ・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOPn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

6.5.4 ワンショット・パルス出力モード (TPnMD2-TPnMD0ビット = 011)

ワンショット・パルス出力モードは、TPnCTL0.TPnCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOPn1端子からワンショット・パルスを出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOPn0端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止(トリガ待ち状態)中のときはインアクティブ・レベルを出力できます。

図6-20 ワンショット・パルス出力モードの構成図

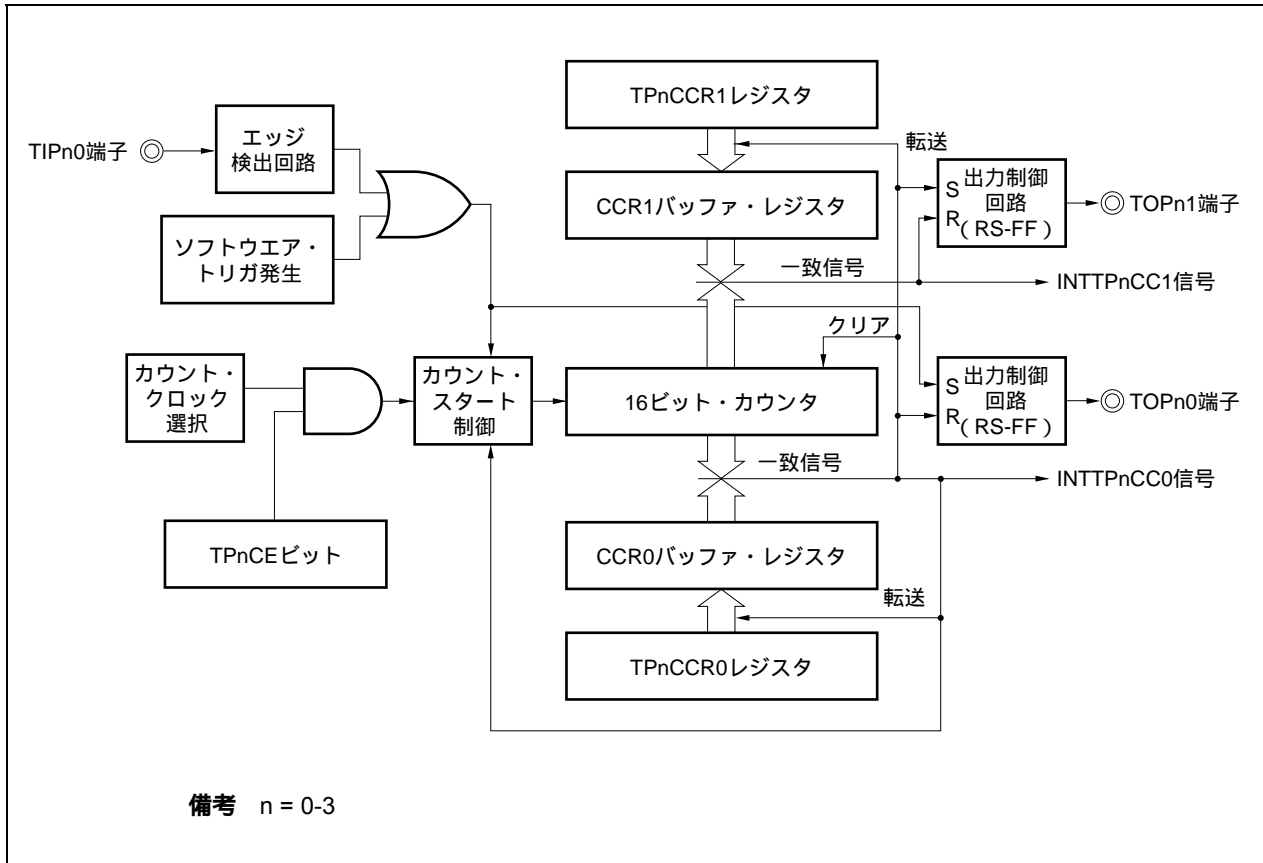
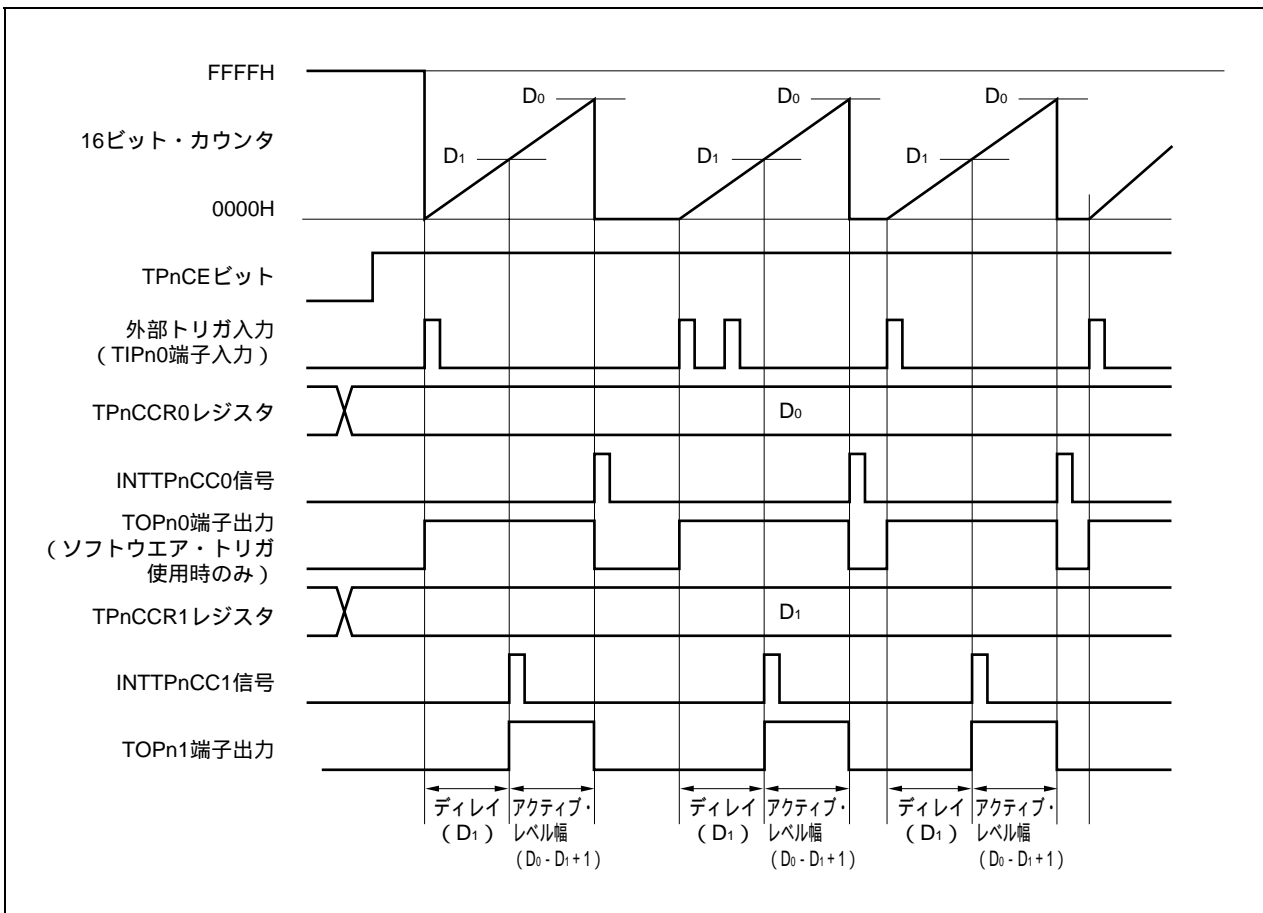


図6 - 21 ワンショット・パルス出力モードの基本タイミング



TPnCEビットをセット (1) することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TOPn1端子からワンショット・パルスを出します。ワンショット・パルスを出したあと、16ビット・カウンタをFFFFHにしてカウンタ動作を停止し、トリガ待ち状態になります。ワンショット・パルス出力中に再度トリガが発生しても無視します。ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

$$\begin{aligned} \text{出力ディレイ期間} &= (\text{TPnCCR1レジスタの設定値}) \times \text{カウンタ・クロック周期} \\ \text{アクティブ・レベル幅} &= (\text{TPnCCR0レジスタの設定値} - \text{TPnCCR1レジスタの設定値} + 1) \\ &\quad \times \text{カウンタ・クロック周期} \end{aligned}$$

コンパレー一致割り込み要求信号 (INTTPnCC0) は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のカウンタ・タイミングで発生します。コンパレー一致割り込み要求信号 (INTTPnCC1) は、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。トリガには、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ (TPnCTL1.TPnESTビット) のセット (1) があります。

備考 n = 0-3
m = 0, 1

図6 - 22 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/2)

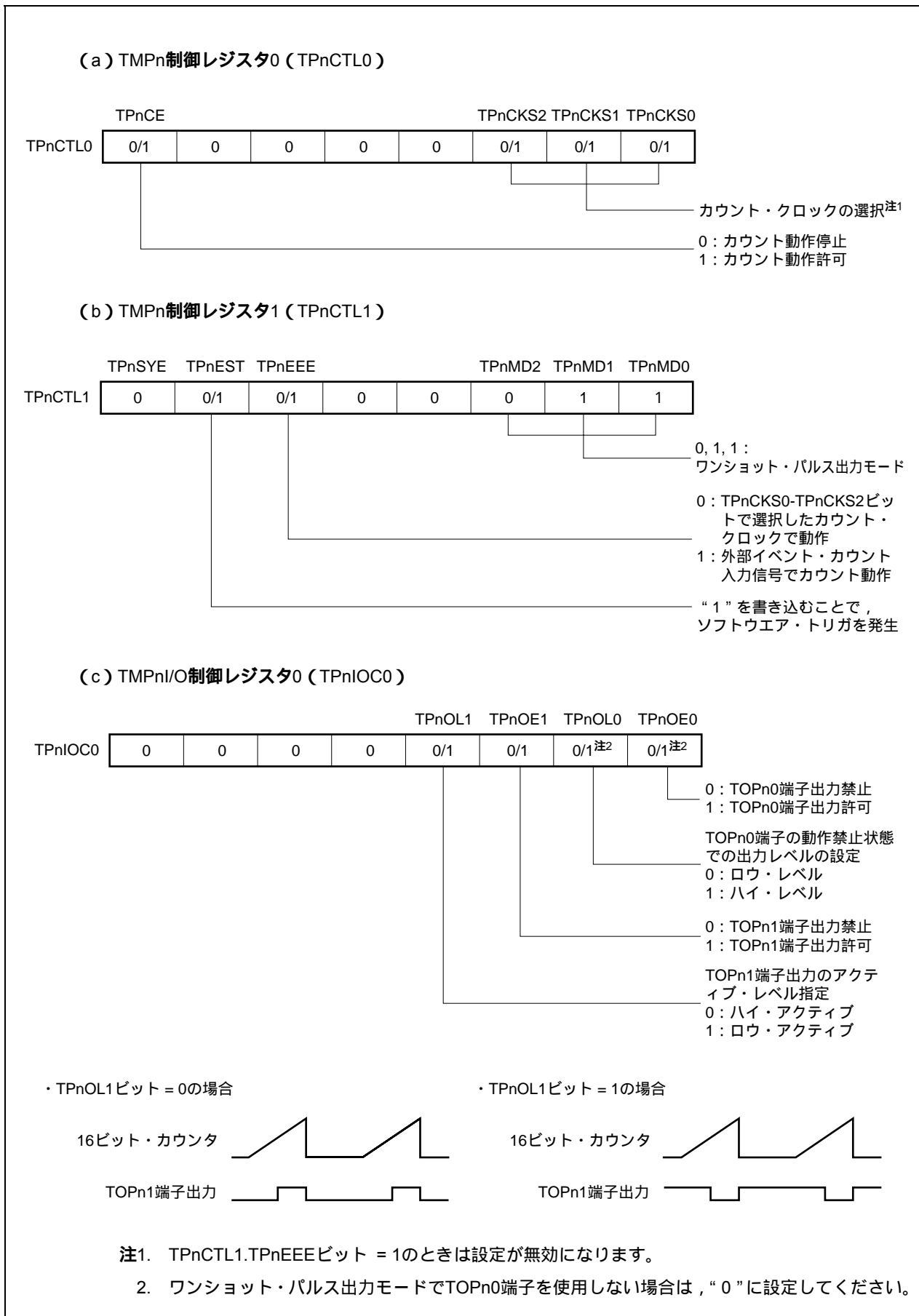
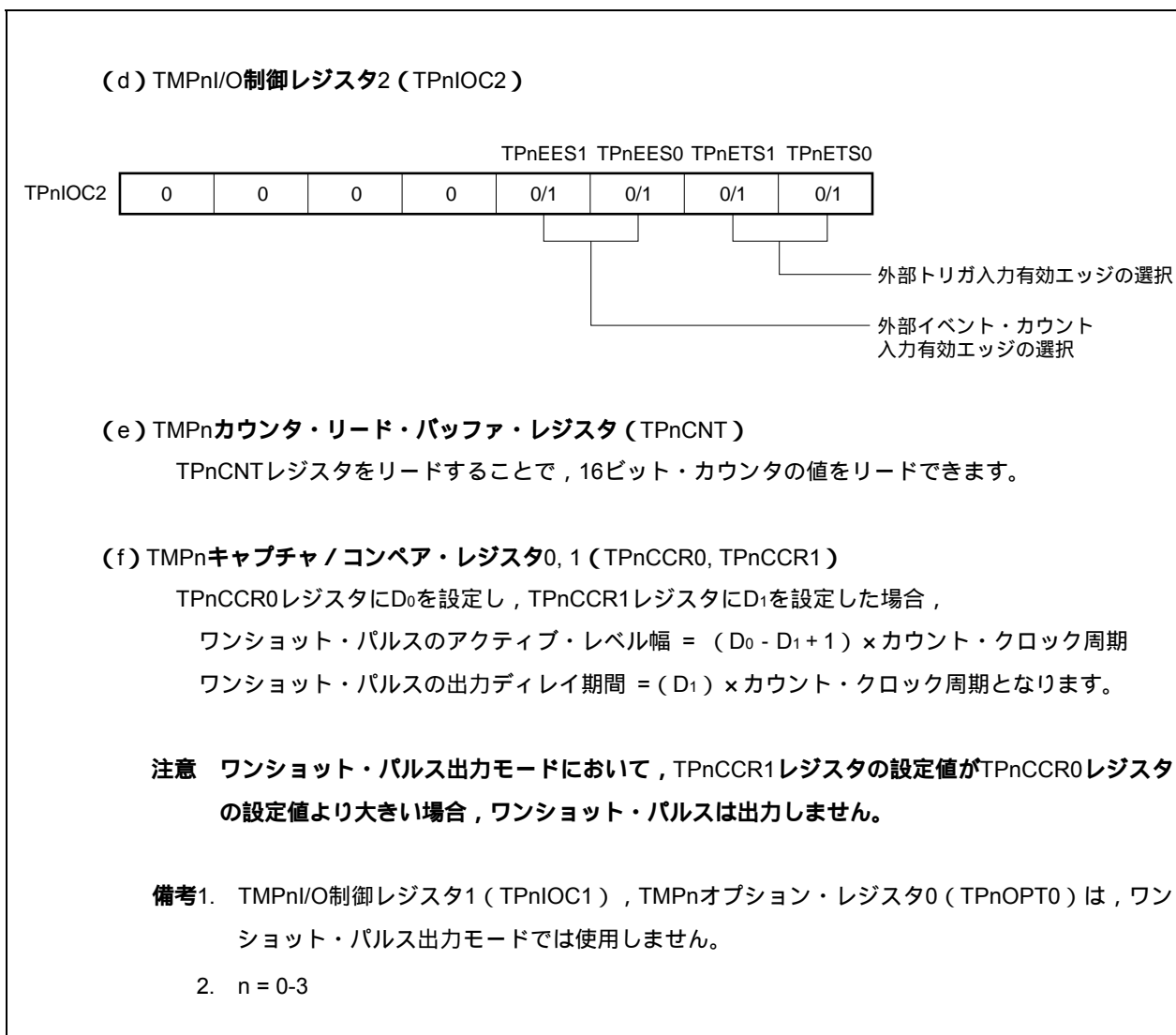
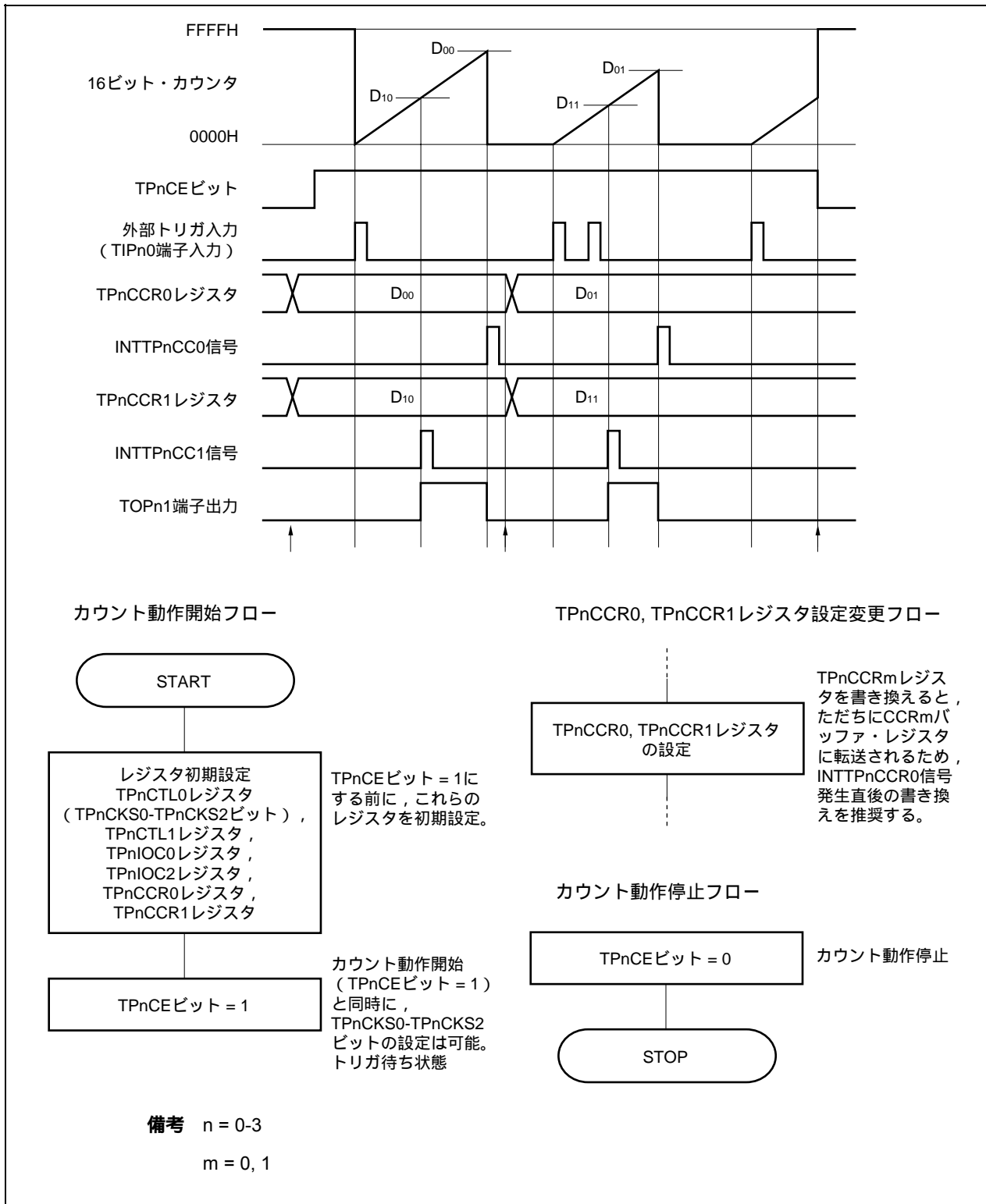


図6 - 22 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/2)



(1) ワンショット・パルス出力モード動作フロー

図6-23 ワンショット・パルス出力モード使用時のソフトウェア処理フロー

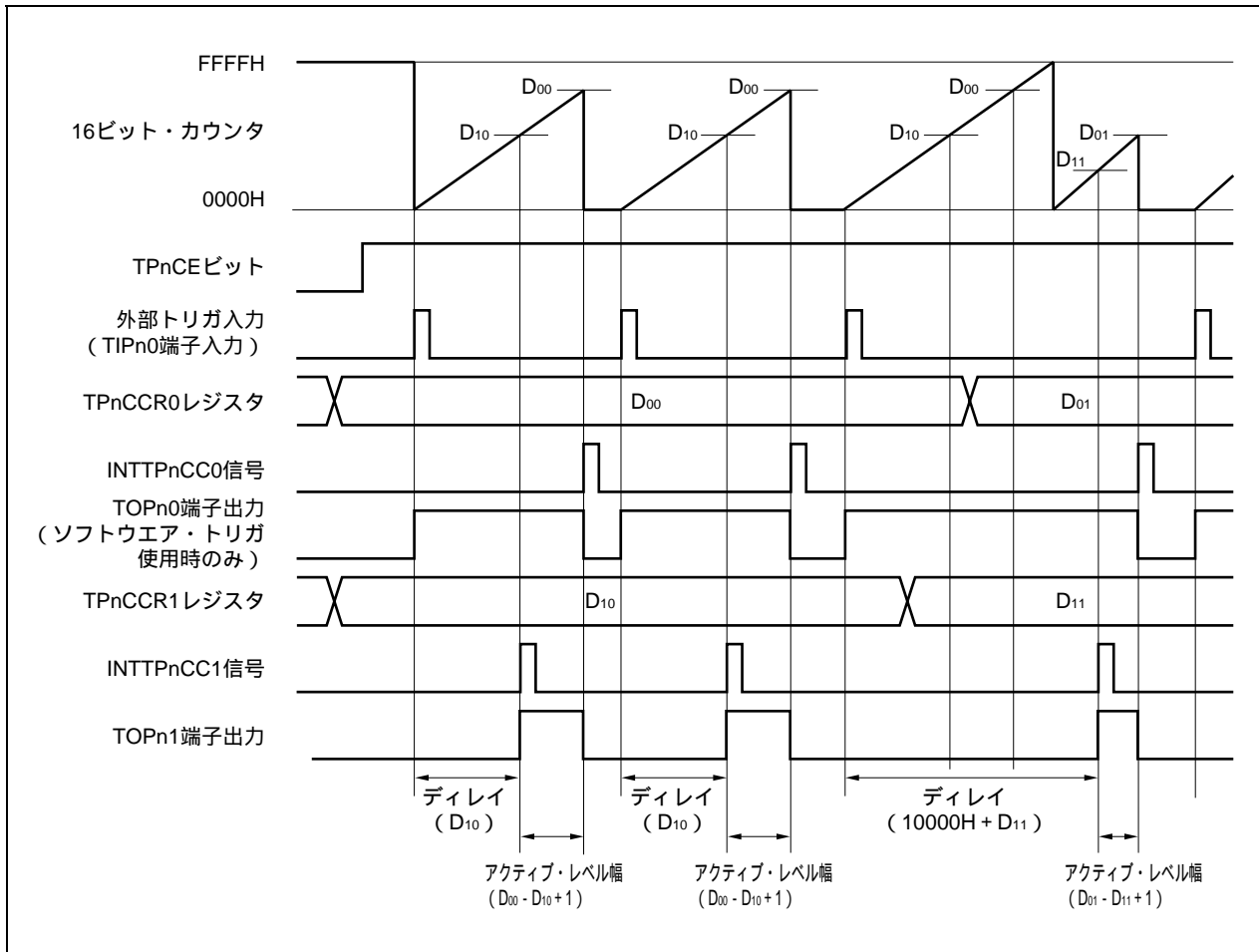


(2) ワンショット・パルス出力モード動作タイミング

(a) TPnCCRmレジスタの書き換えに関する注意事項

TPnCCRmレジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTPnCCRmレジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。



TPnCCR0レジスタをD₀₀からD₀₁に、TPnCCR1レジスタをD₁₀からD₁₁に書き換える場合において、D₀₀ > D₀₁、D₁₀ > D₁₁の状態では、16ビット・カウンタのカウント値がD₁₁よりも大きくD₁₀よりも小さい状態のときTPnCCR1レジスタを書き換え、カウント値がD₀₁よりも大きくD₀₀よりも小さい状態でTPnCCR0レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウント値と比較されるために、カウント値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、D₁₁との一致でINTTPnCC1信号を発生してTOPn1端子出力をアクティブ・レベルにし、D₀₁との一致でINTTPnCC0信号を発生してTOPn1端子出力をインアクティブにしてカウント動作を停止します。

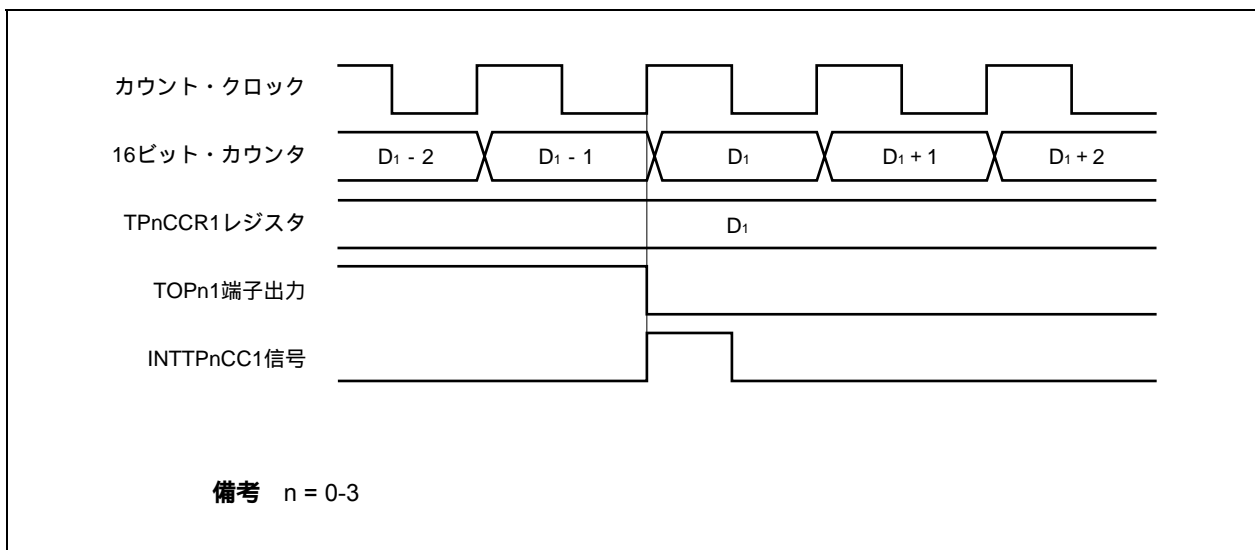
したがって、本来期待しているワンショット・パルス出力に対し、ディレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 n = 0-3

m = 0, 1

(b) コンペアー一致割り込み要求信号 (INTTPnCC1) の発生タイミング

ワンショット・パルス出力モードにおけるINTTPnCC1信号の発生タイミングは、ほかのINTTPnCC1信号と異なり、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致と同時に発生します。



通常、INTTPnCC1信号は、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致後、次のカウンタ・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOPn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

備考 n = 0-3

6.5.5 PWM出力モード (TPnMD2-TPnMD0ビット = 100)

PWM出力モードは、TPnCTL0.TPnCEビットをセット(1)することで、TOPn1端子からPWM波形を出力します。

また、TOPn0端子から、PWM波形の1周期を半周期とするパルスを出力します。

図6-24 PWM出力モードの構成図

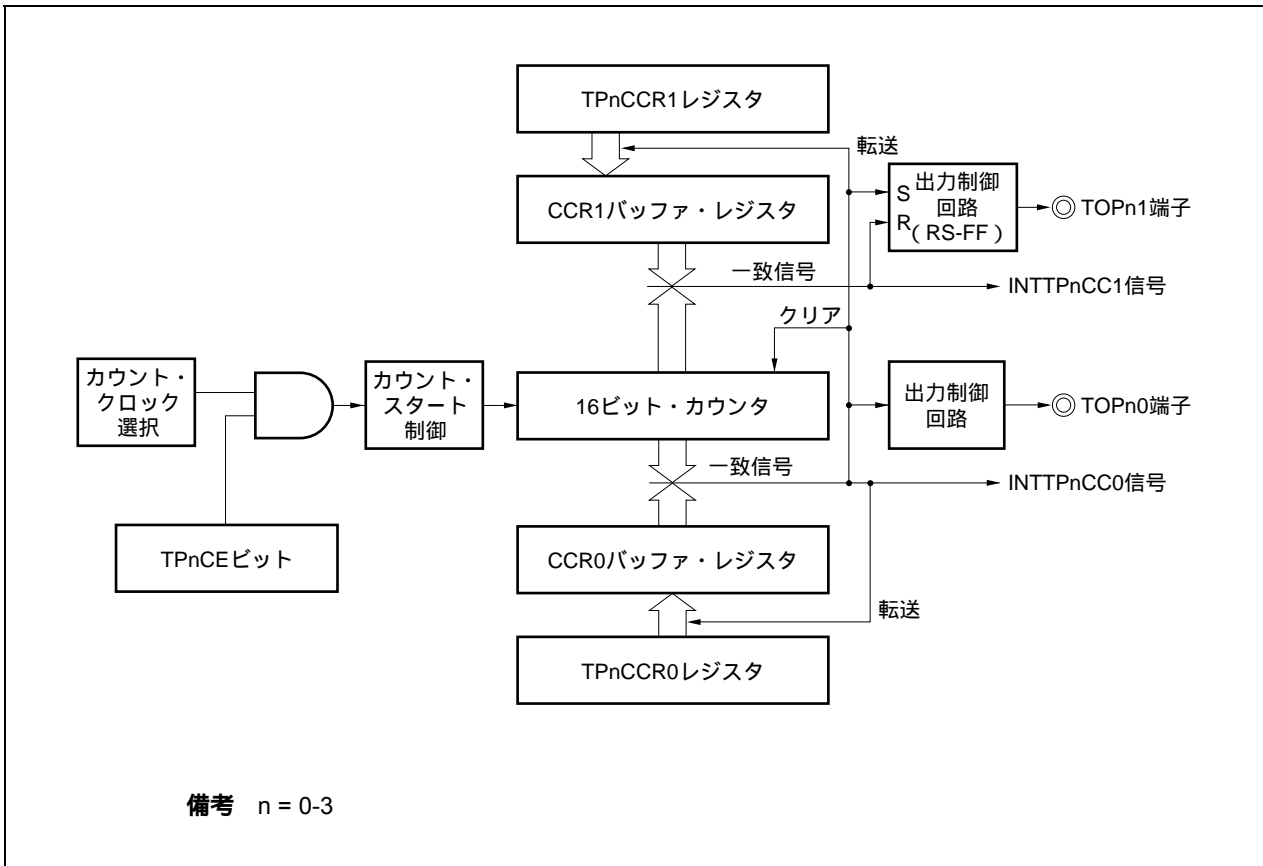
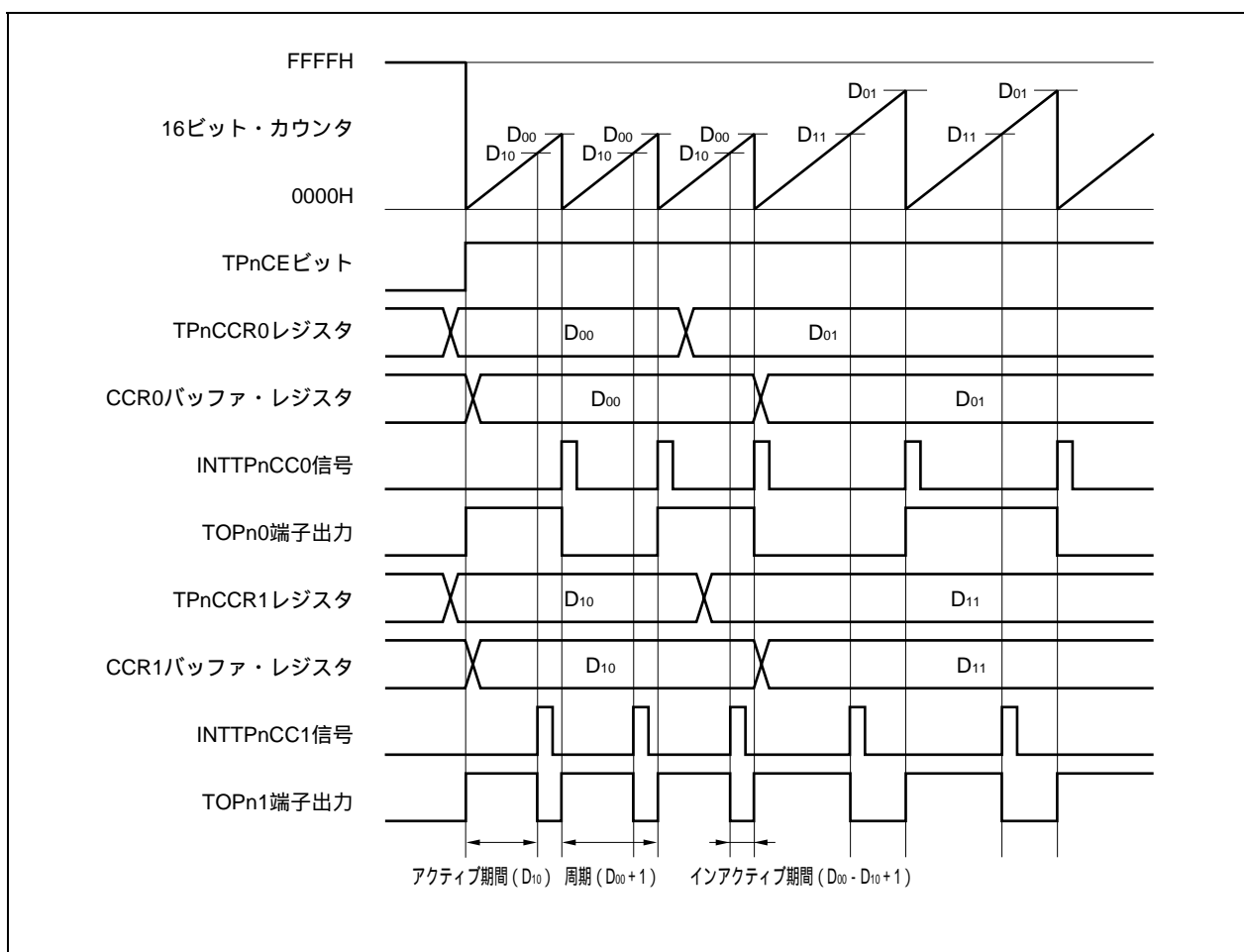


図6 - 25 PWM出力モードの基本タイミング



TPnCEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TOPn1端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TPnCCR1レジスタの設定値}) \times \text{カウンタ・クロック周期}$$

$$\text{周期} = (\text{TPnCCR0レジスタの設定値} + 1) \times \text{カウンタ・クロック周期}$$

$$\text{デューティ} = (\text{TPnCCR1レジスタの設定値}) / (\text{TPnCCR0レジスタの設定値} + 1)$$

動作中にTPnCCRmレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンパレー一致割り込み要求信号 (INTTPnCC0) は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のカウンタ・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンパレー一致割り込み要求信号 (INTTPnCC1) は、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TPnCCRmレジスタに設定した値は、16ビット・カウンタのカウンタ値とCCRmバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRmバッファ・レジスタに転送されます。

備考 n = 0-3, m = 0, 1

図6 - 26 PWM出力モード動作時のレジスタ設定内容 (1/2)

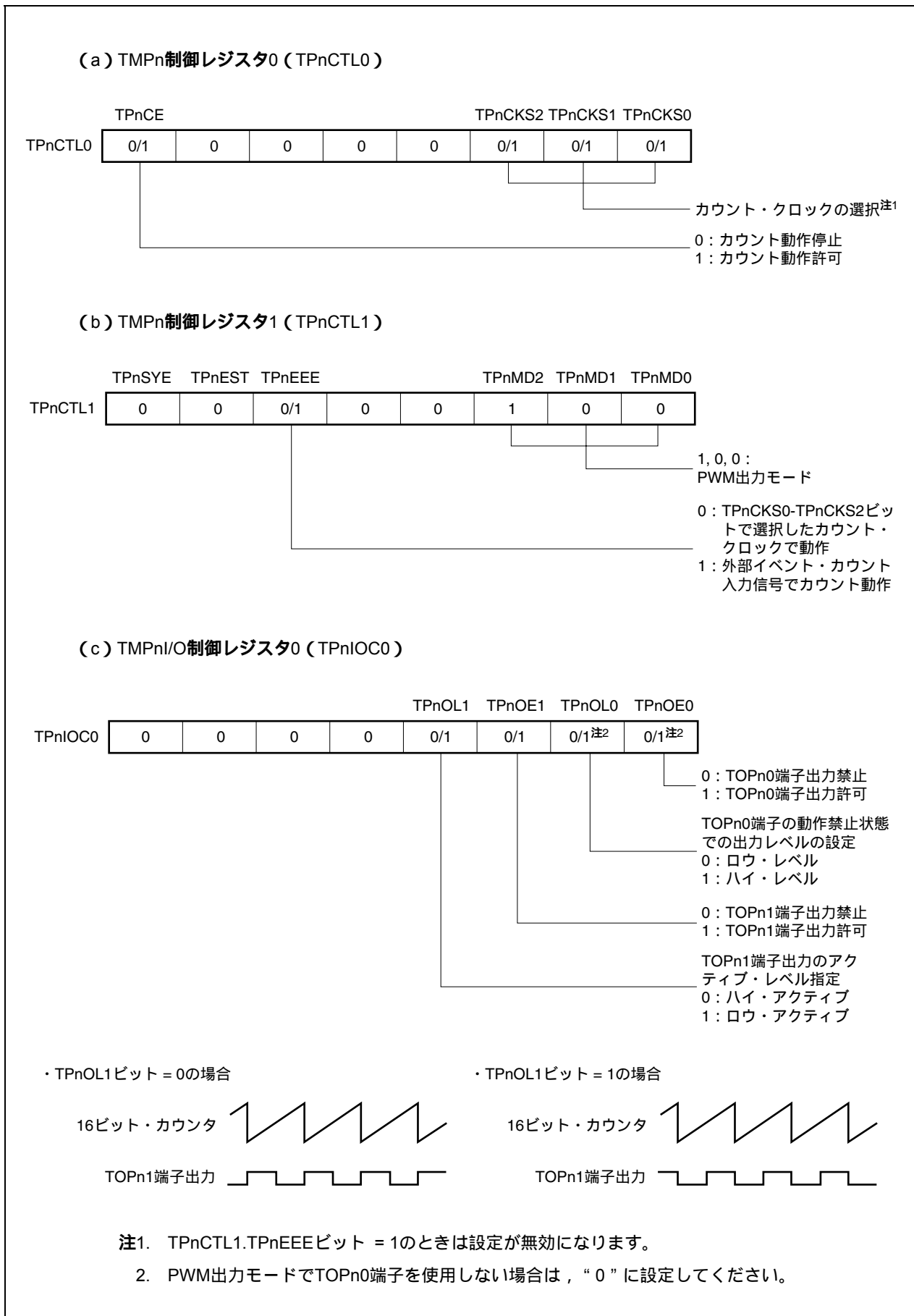
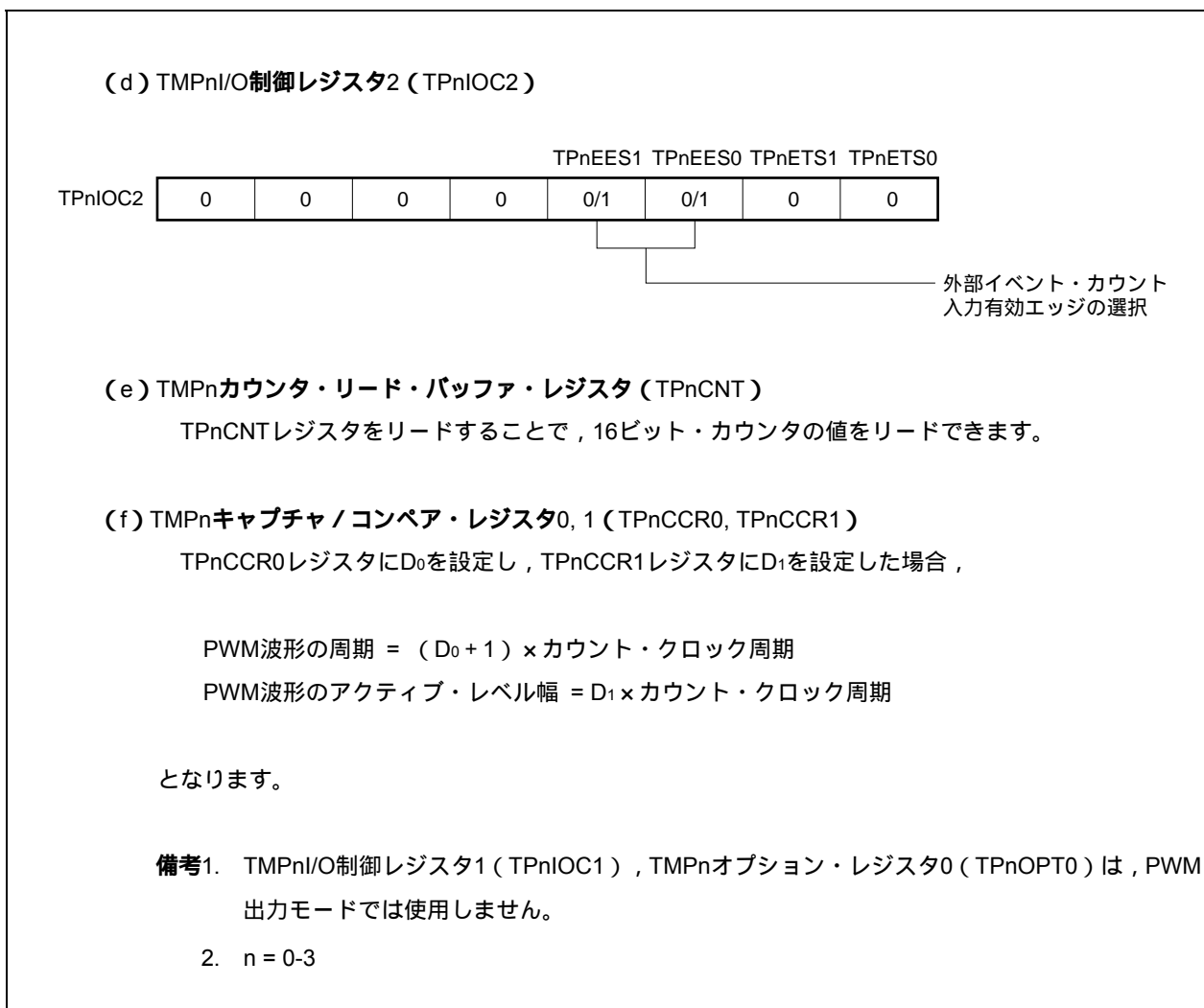


図6 - 26 PWM出力モード動作時のレジスタ設定内容 (2/2)



(1) PWM出力モード動作フロー

図6 - 27 PWM出力モード使用時のソフトウェア処理フロー (1/2)

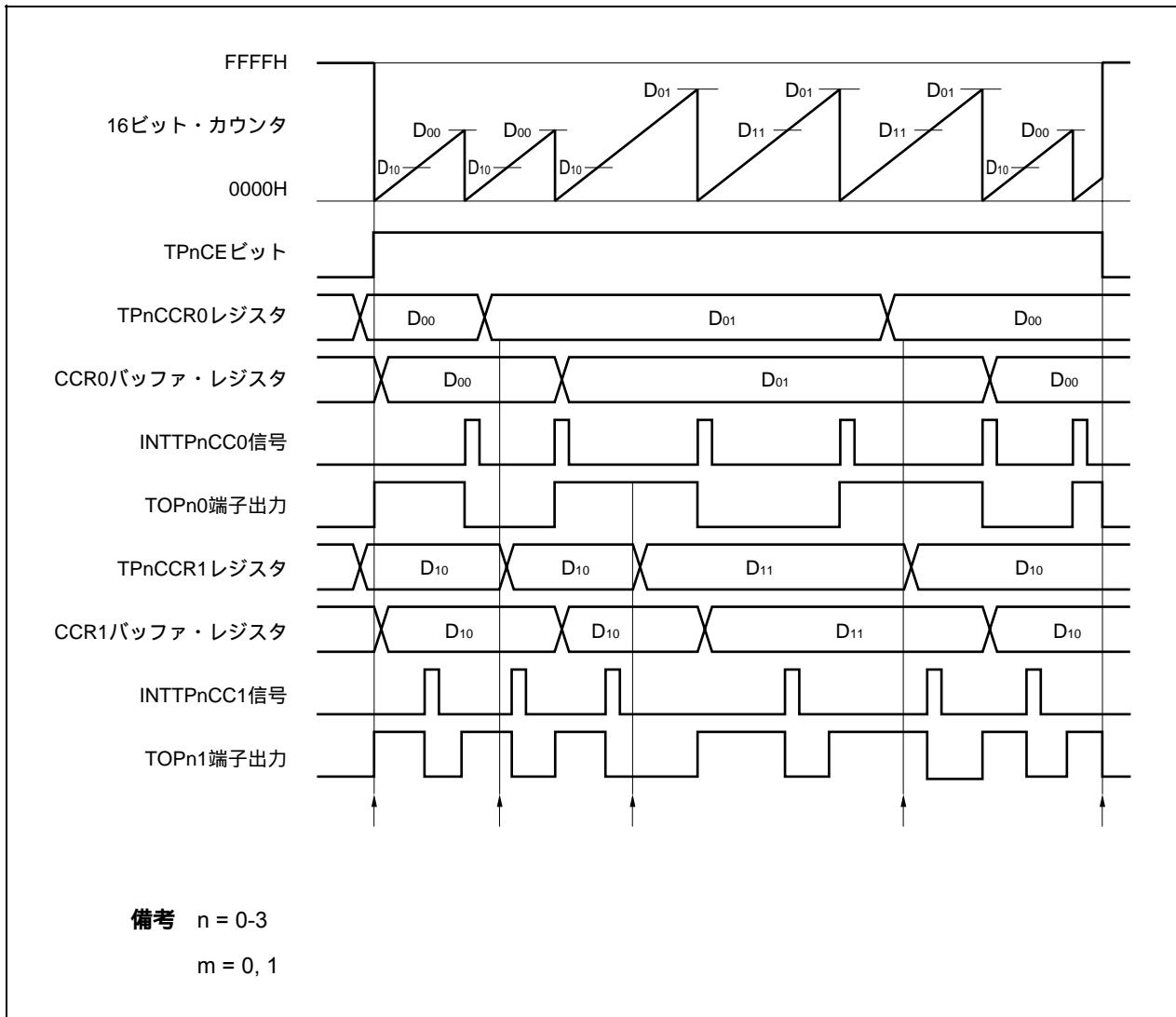
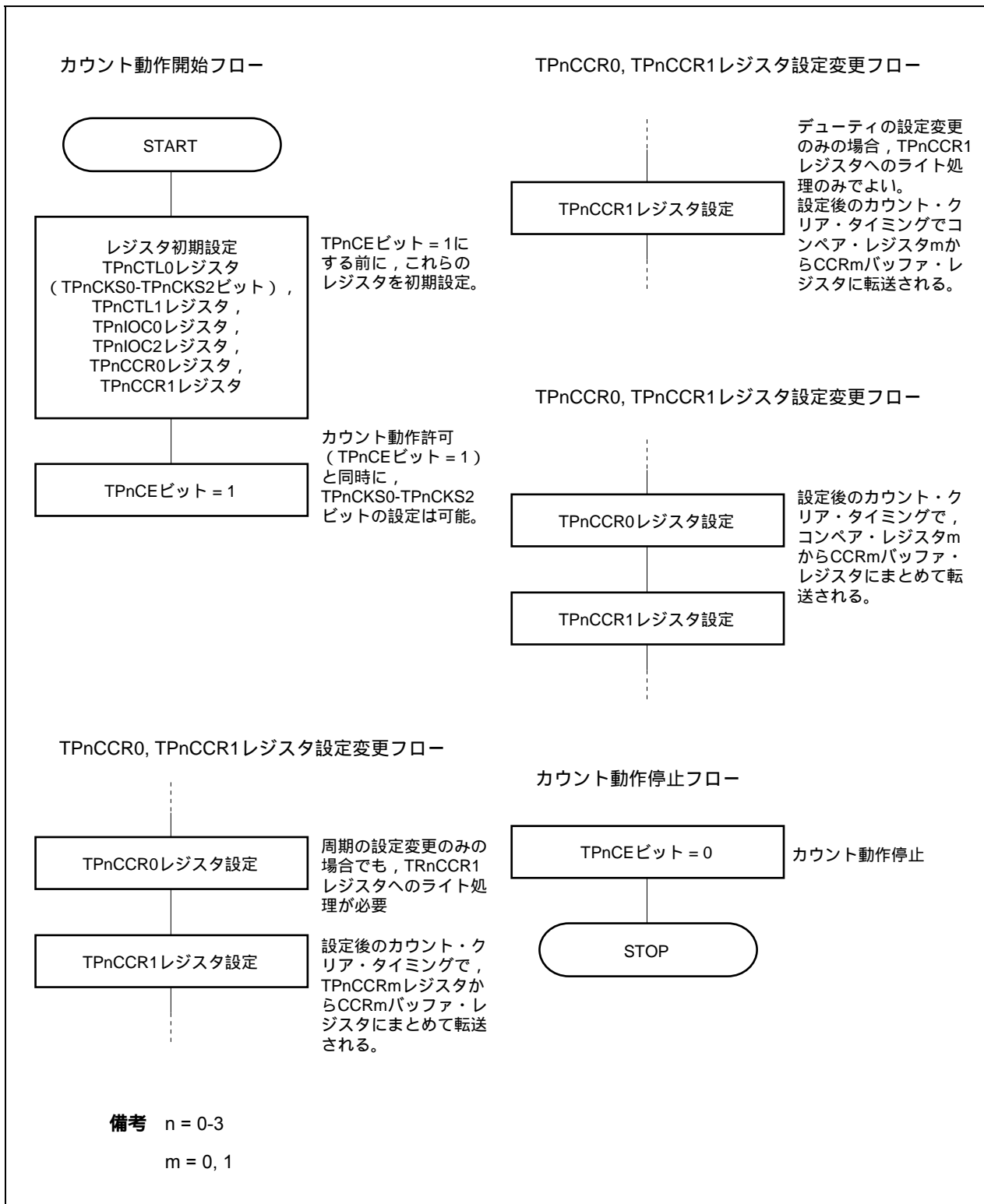


図6 - 27 PWM出力モード使用時のソフトウェア処理フロー (2/2)

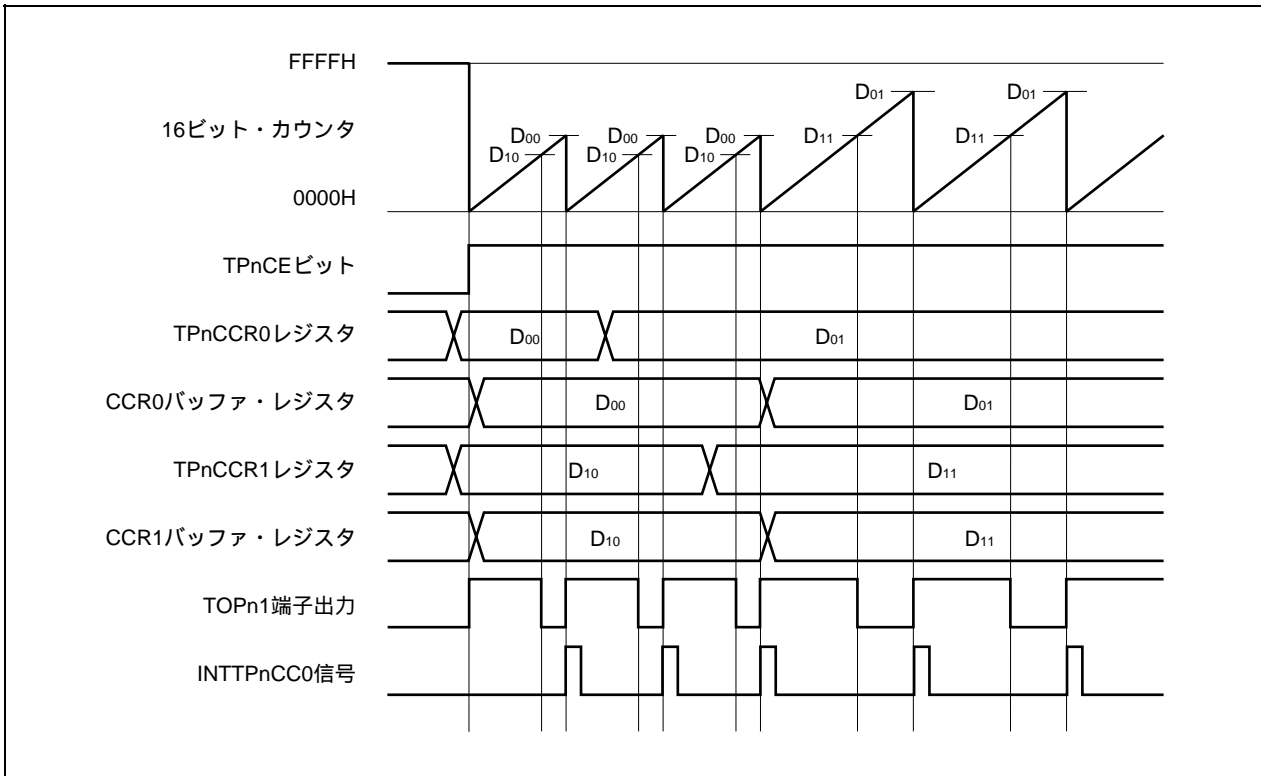


(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTPnCCR1レジスタにライトしてください。

TPnCCR1レジスタにライト後、再度TPnCCRmレジスタの書き換えを行う場合には、INTTPnCC1信号を検出後に書き換えてください。



TPnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TPnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTPnCCR0レジスタに周期を設定し、そのあとでTPnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTPnCCR0レジスタに周期を設定し、そのあとでTPnCCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TPnCCR1レジスタのみの設定でかまいません。

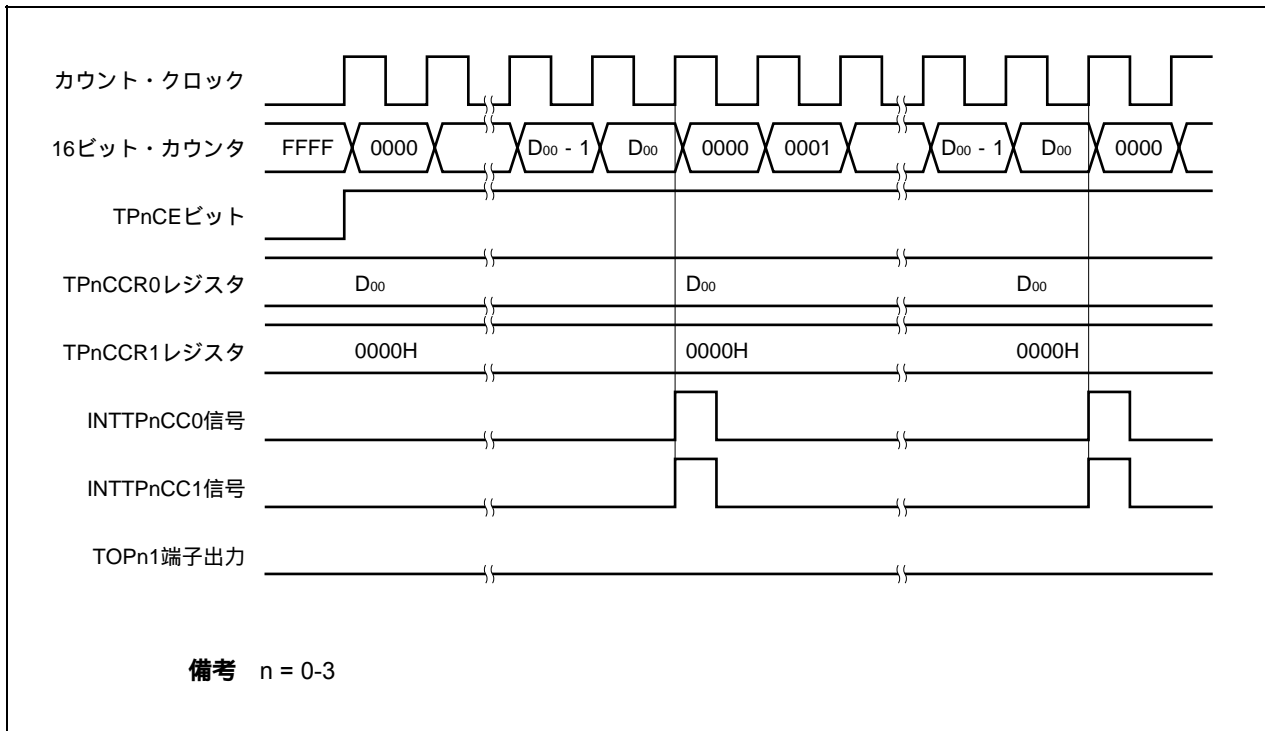
TPnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TPnCCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TPnCCR1レジスタにライトしたあとで、再度TPnCCR0、またはTPnCCR1レジスタへのライトを行う場合は、INTTPnCC0信号の発生後に行ってください。これを守れない場合には、TPnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TPnCCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

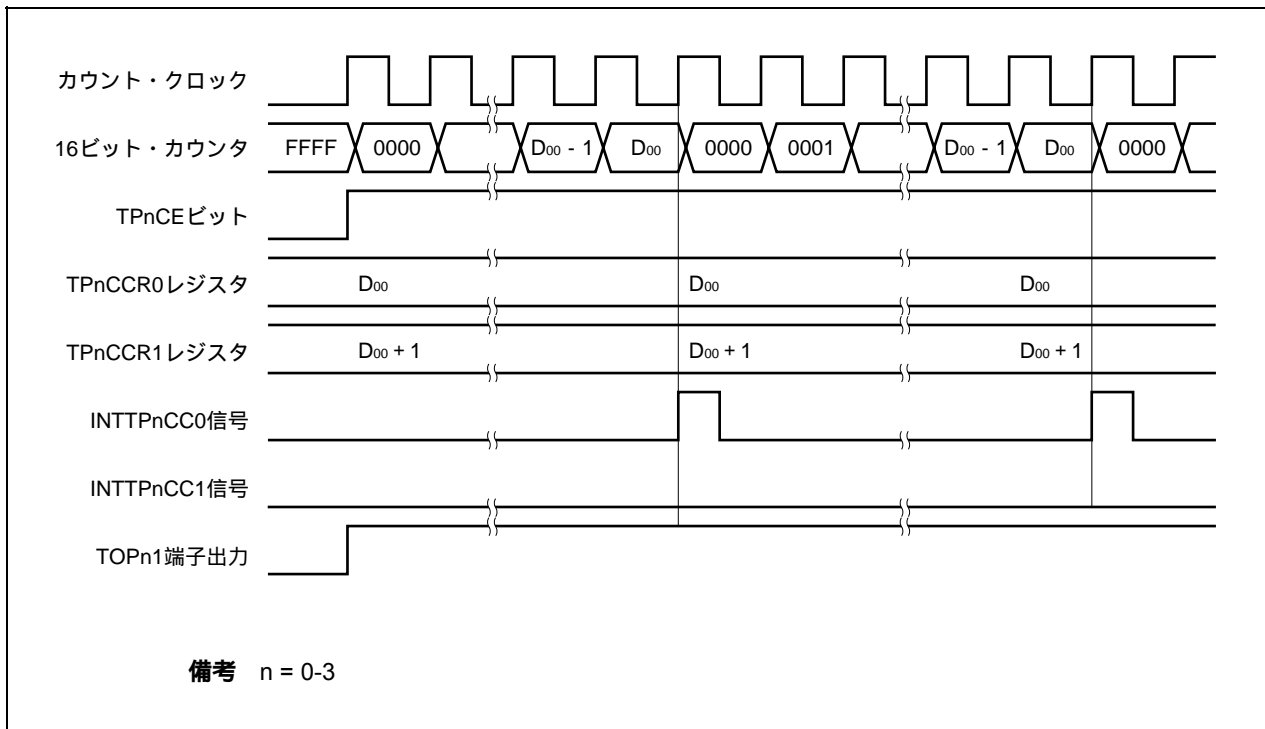
備考 n = 0-3, m = 0, 1

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには, TPnCCR1レジスタに対して0000Hを設定します。ただし, TPnCCR0レジスタの設定値がFFFFHの場合には, INTTPnCC1信号が定期的が発生します。

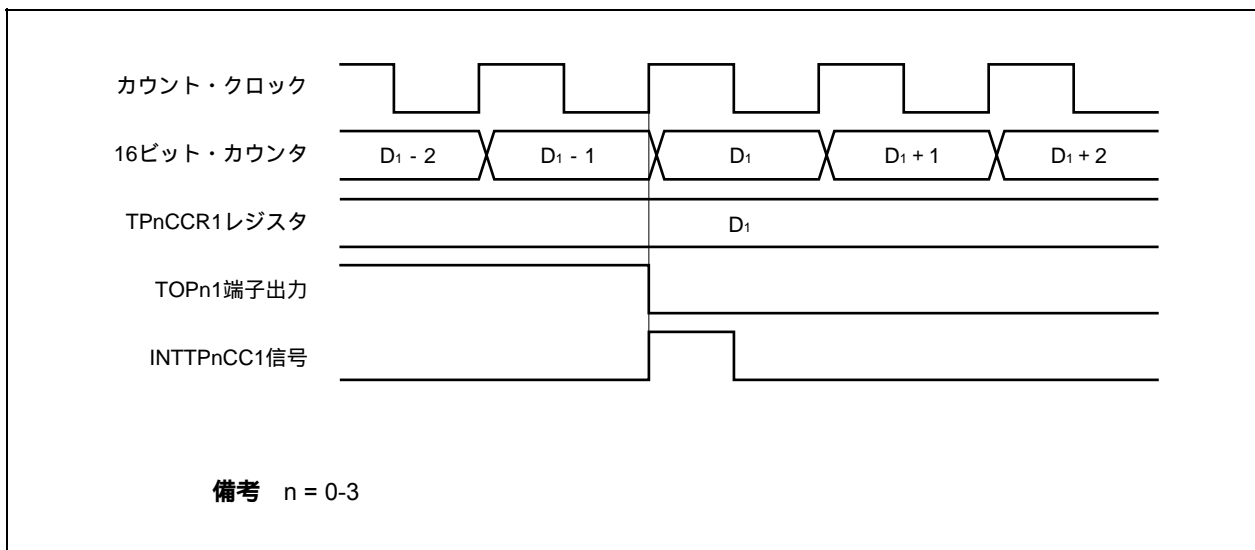


100 % 波形を出力するためには, TPnCCR1レジスタに対して (TPnCCR0レジスタの設定値 + 1) の値を設定してください。TPnCCR0レジスタの設定値がFFFFHの場合には, 100 %出力はできません。



(c) コンペアー一致割り込み要求信号 (INTTPnCC1) の発生タイミング

PWM出力モードにおけるINTTPnCC1信号の発生タイミングは、ほかのINTTPnCC1信号と異なり、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致と同時に発生します。



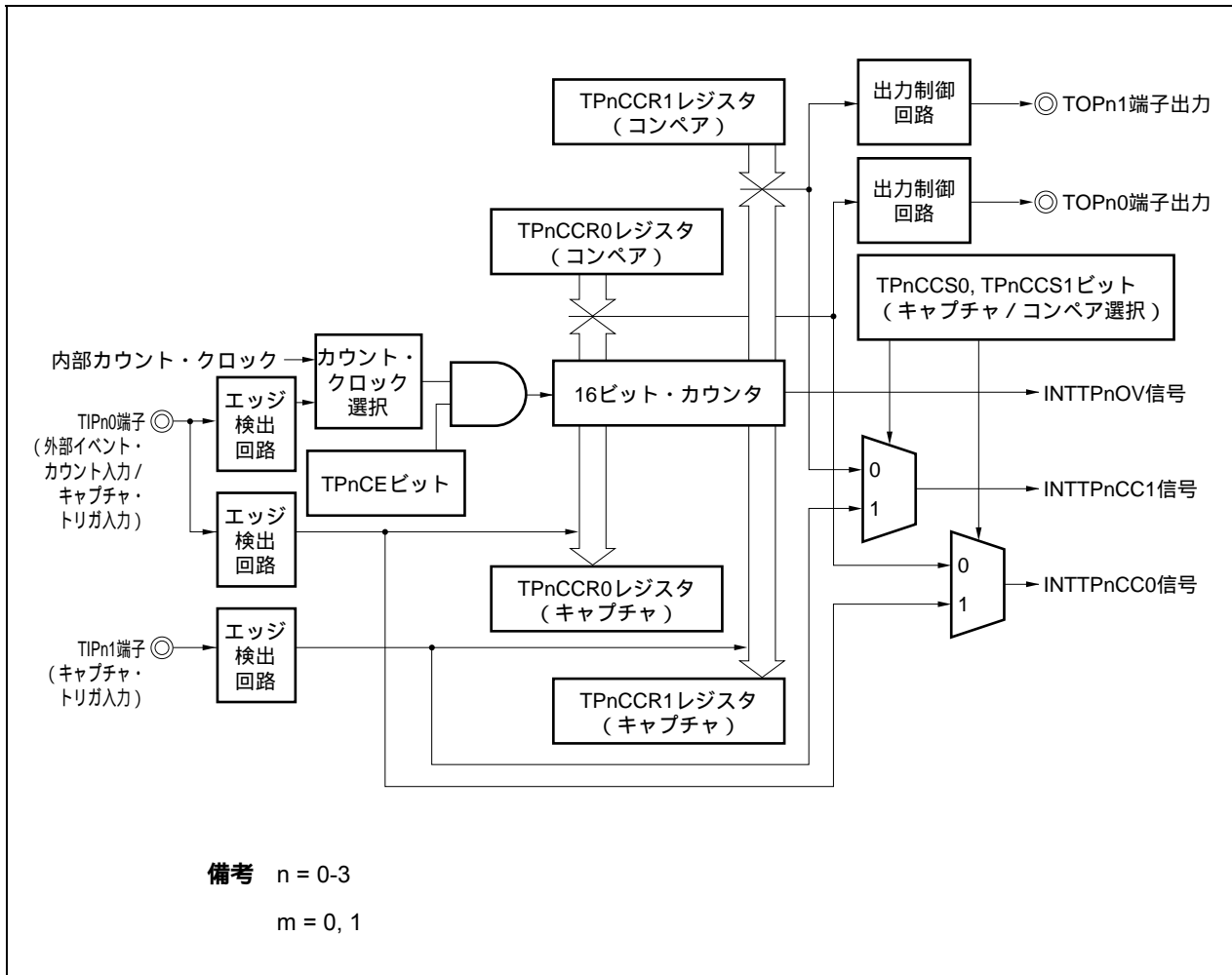
通常、INTTPnCC1信号は、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致後、次のカウンタ・アップに同期して発生します。

しかし、PWM出力モードの場合、1クロック早いタイミングで発生します。これは、TOPn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

6.5.6 フリー・ランニング・タイマ・モード (TPnMD2-TPnMD0ビット = 101)

フリー・ランニング・タイマ・モードは、TPnCTL0.TPnCEビットをセット(1)することでカウント動作を開始します。このときのTPnCCRMレジスタの動作は、TPnOPT0.TPnCCS0, TPnCCS1ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

図6-28 フリー・ランニング・タイマ・モードの構成図

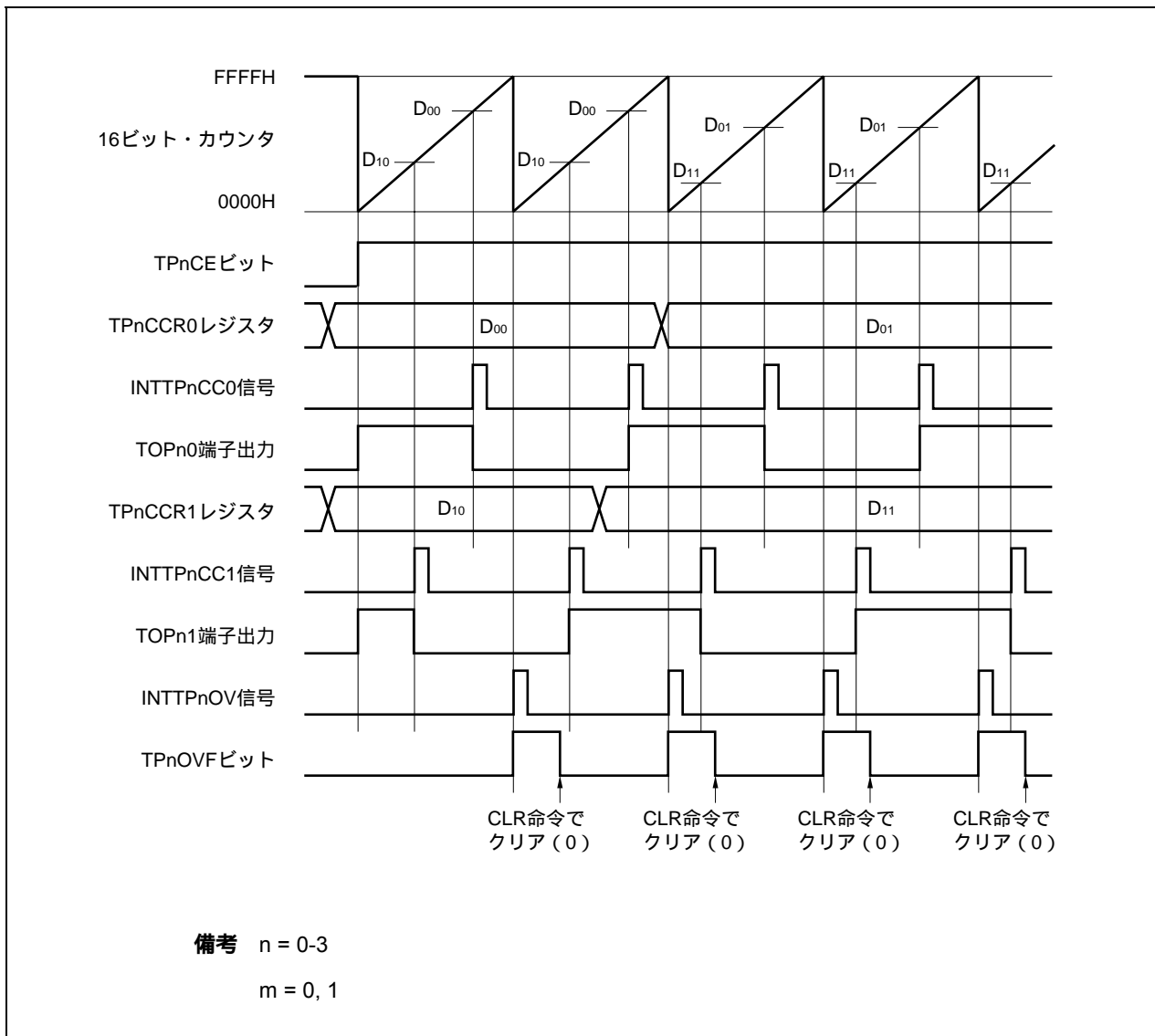


TPnCEビットをセット(1)することで、カウント動作を開始し、TOPn0, TOPn1端子出力を反転します。その後、16ビット・カウンタのカウント値とTPnCCRmレジスタの設定値が一致すると、コンペアー一致割り込み要求信号 (INTTPnCCm) を発生し、TOPnm端子出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバフロー割り込み要求信号 (INTTPnOV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ (TPnOPT0.TPnOVFビット) もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

TPnCCRmレジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き換えた値が反映され、カウント値と比較されます。

図6 - 29 フリー・ランニング・タイマ・モードの基本タイミング (コンペアー機能)



TPnCEビットをセット (1) することで、カウント動作を開始します。その後、TIPnm端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTPnCCRmレジスタに格納し、キャプチャ割り込み要求信号 (INTTPnCCm) を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバフロー割り込み要求信号 (INTTPnOV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ (TPnOPT0.TPnOVFビット) もセット (1) されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア (0) してください。

図6 - 30 フリー・ランニング・タイマ・モードの基本タイミング (キャプチャ機能)

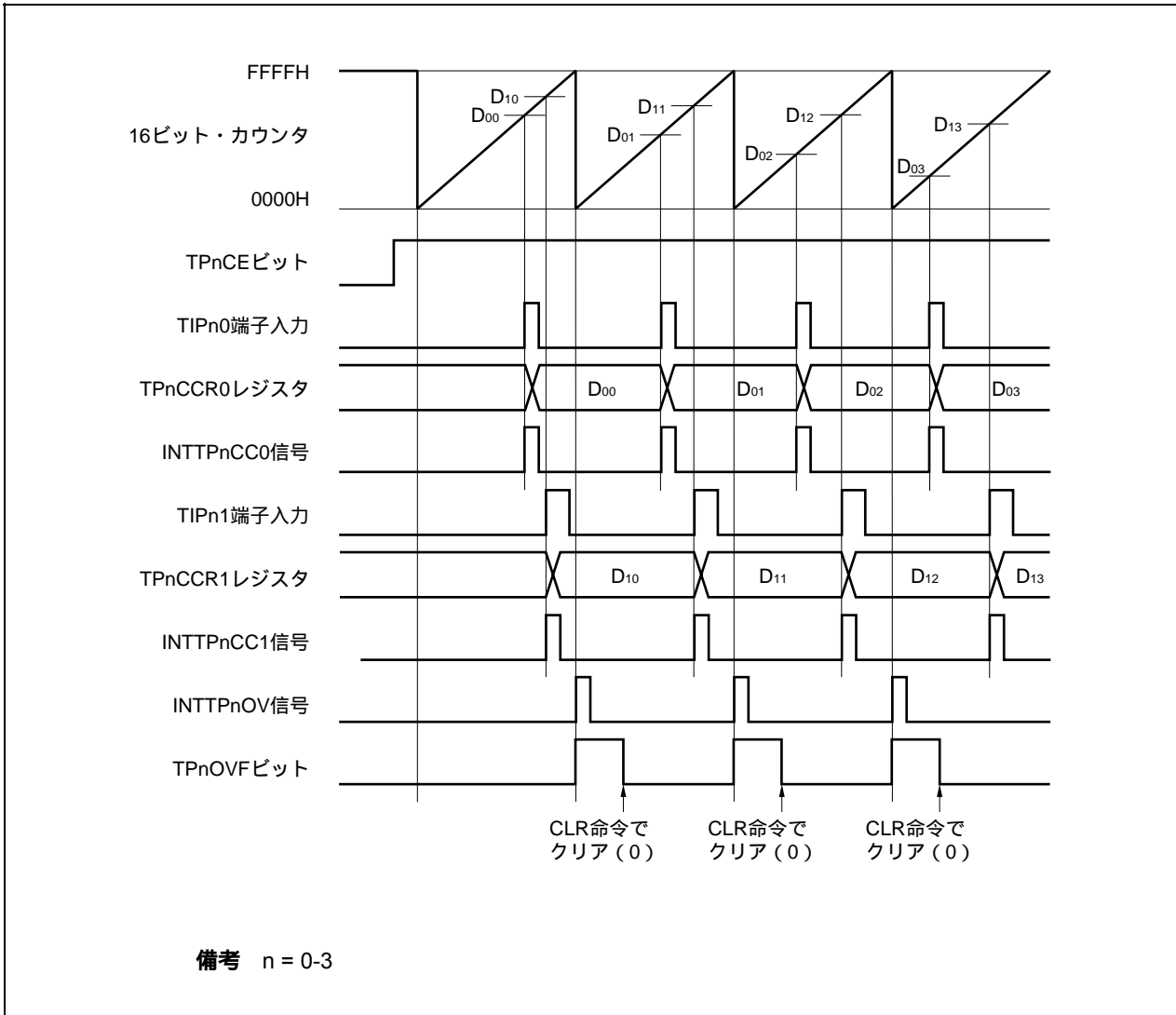


図6 - 31 フリー・ランニング・タイマモード動作時のレジスタ設定内容 (1/2)

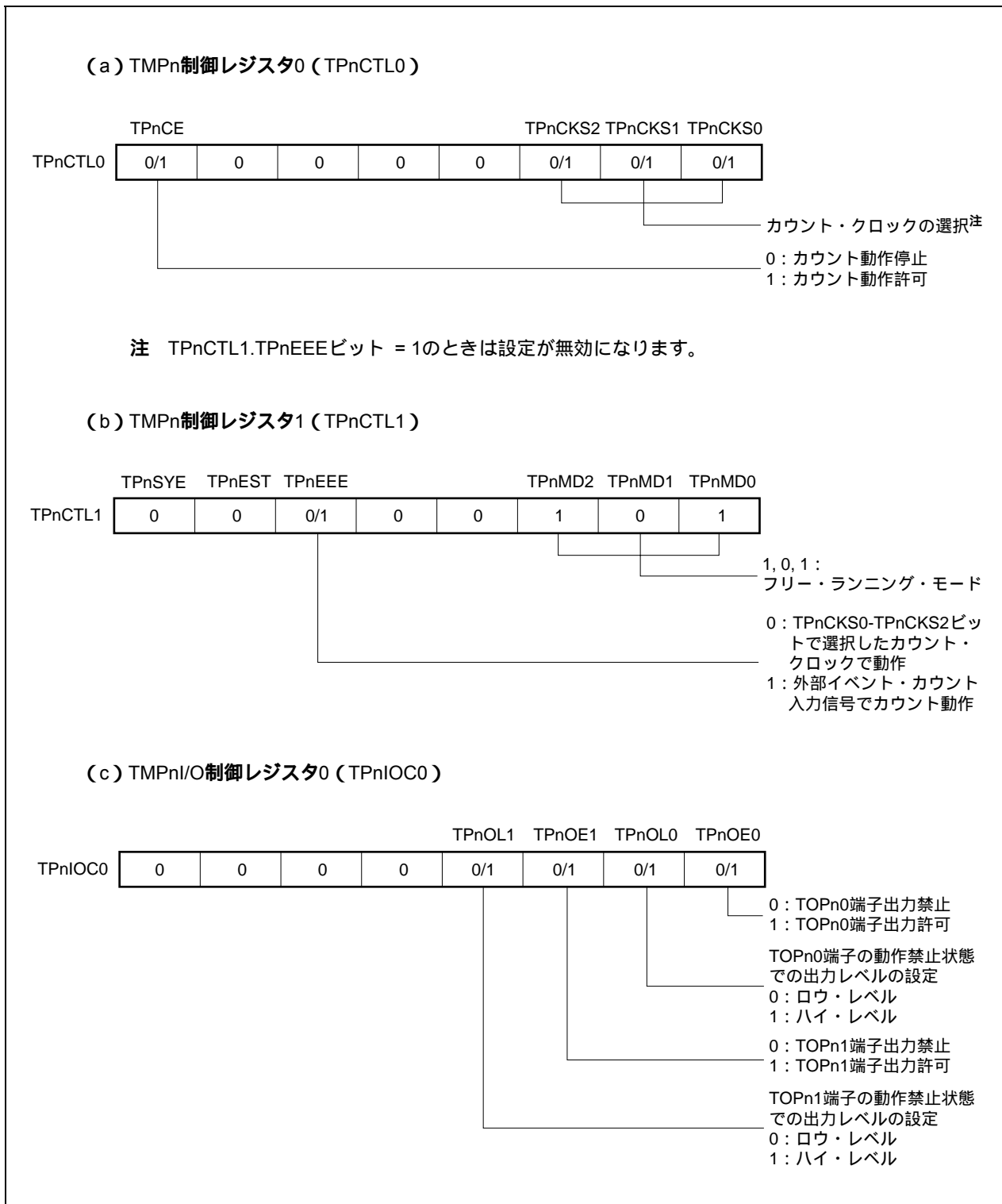
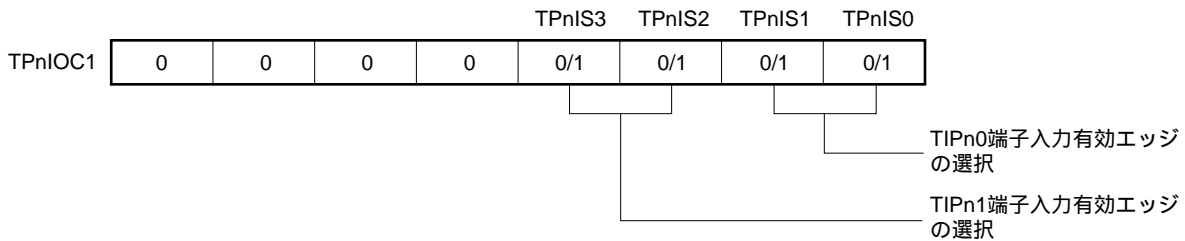
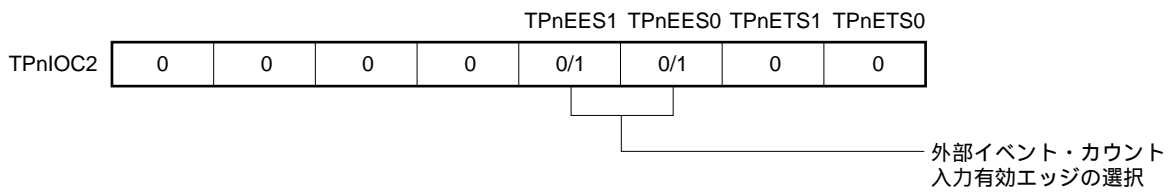


図6 - 31 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/2)

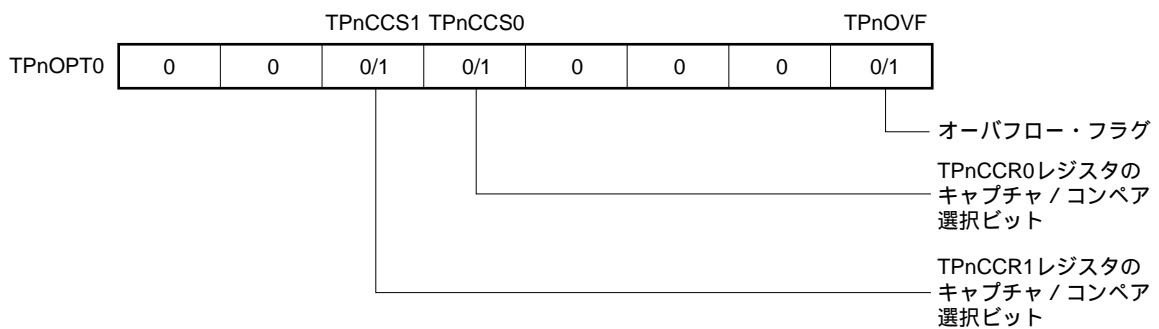
(d) TMPnI/O制御レジスタ1 (TPnIOC1)



(e) TMPnI/O制御レジスタ2 (TPnIOC2)



(f) TMPnオプション・レジスタ0 (TPnOPT0)



(g) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(h) TMPnキャプチャ/コンペア・レジスタ0, 1 (TPnCCR0, TPnCCR1)

TPnOPT0.TPnCCSmビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TIPnm端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には、TPnCCRmレジスタにDmを設定した場合、カウンタが(Dm + 1)になるタイミングでINTTPnCCm信号を発生し、TOPnm端子出力を反転します。

備考 n = 0-3
 m = 0, 1

(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図6 - 32 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

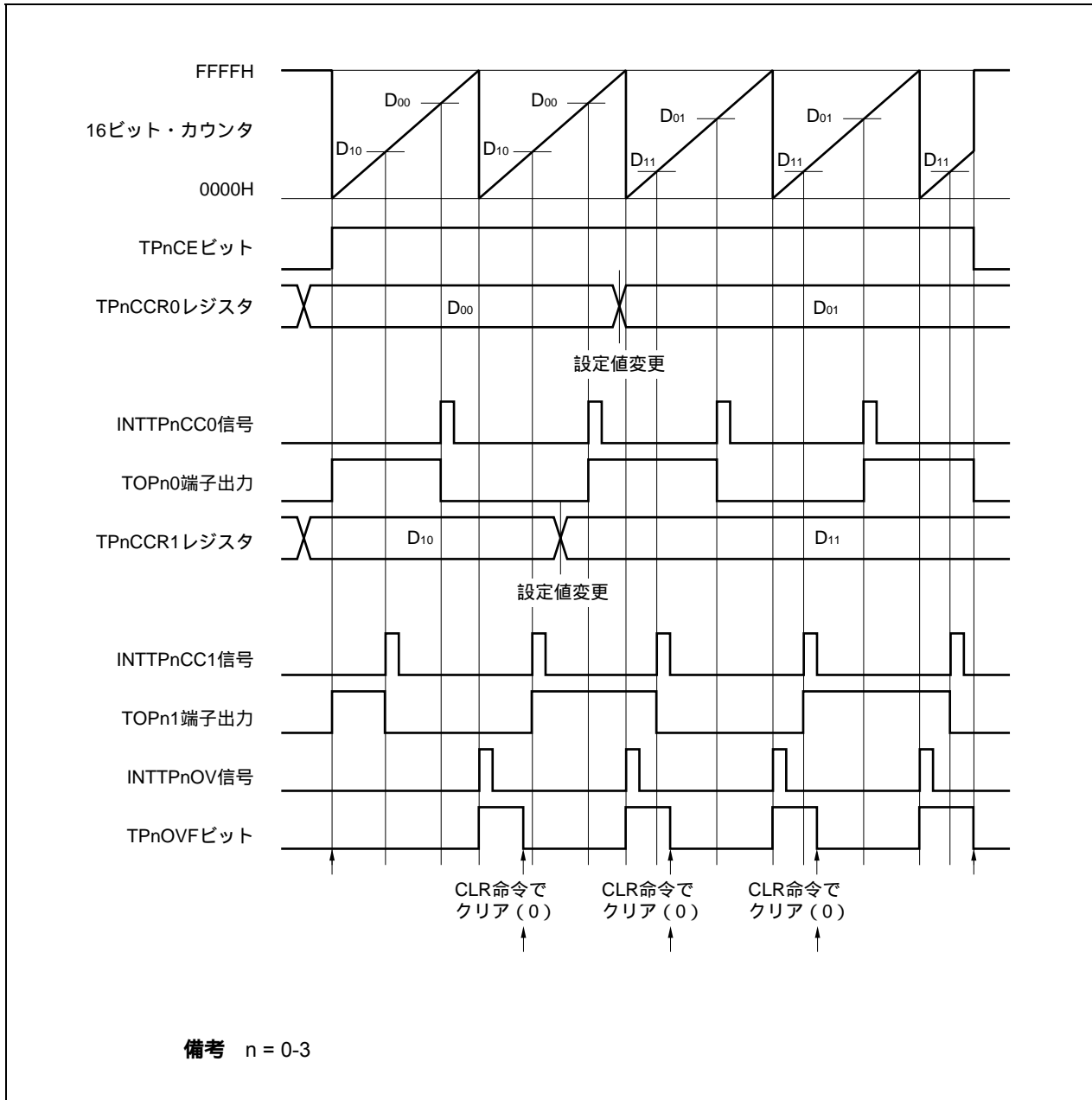
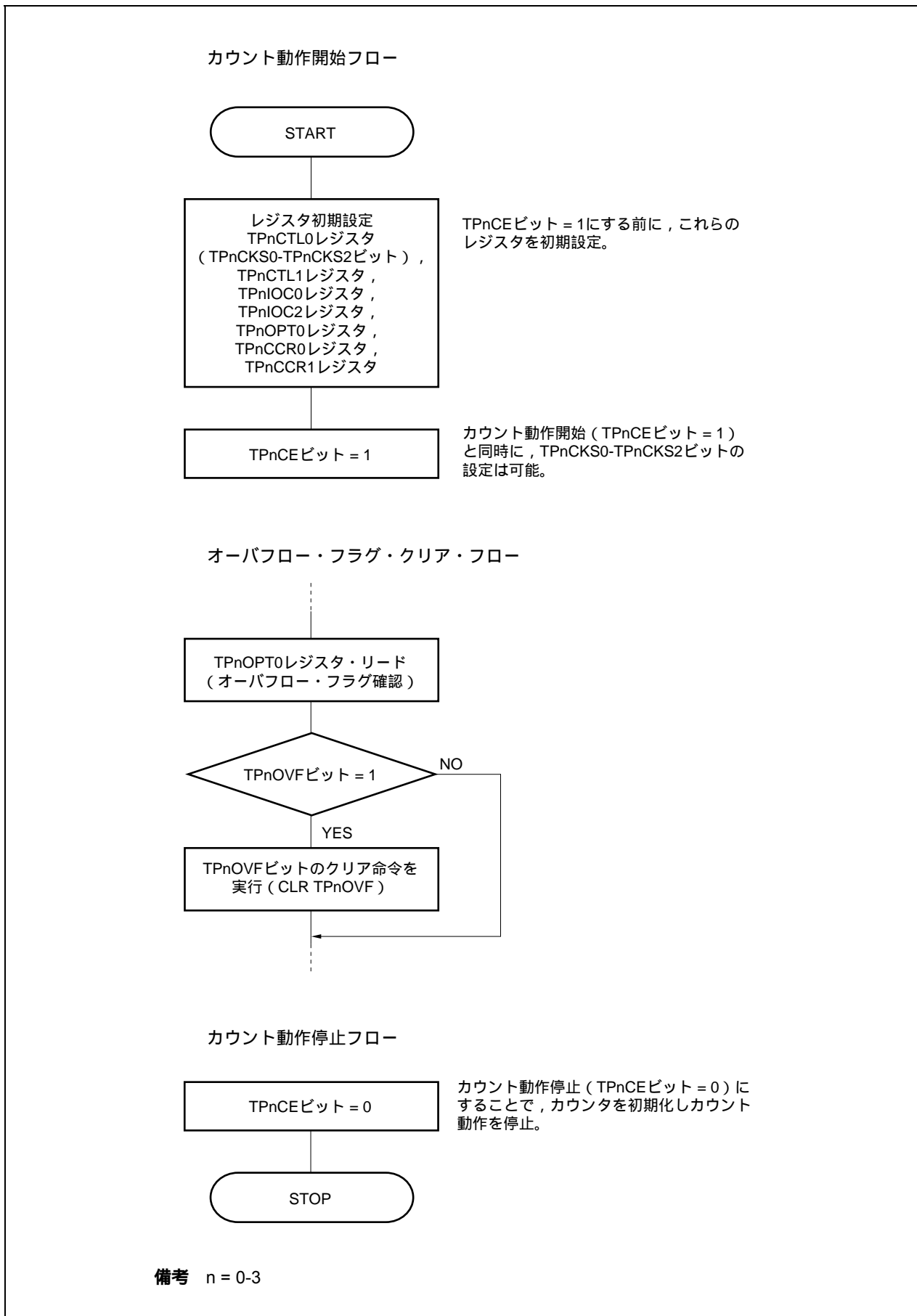


図6 - 32 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (コンペア機能) (2/2)



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図6 - 33 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（1/2）

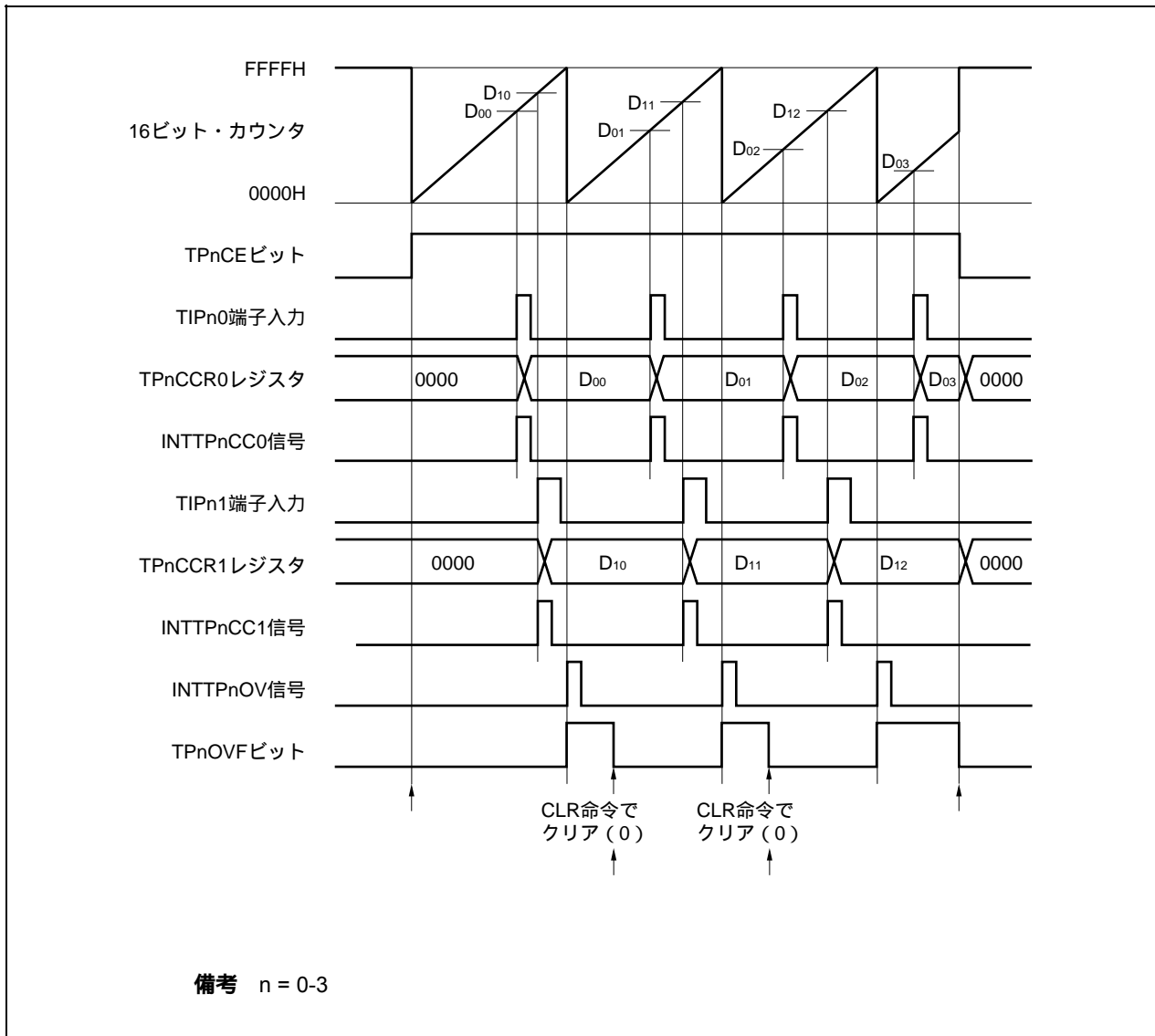
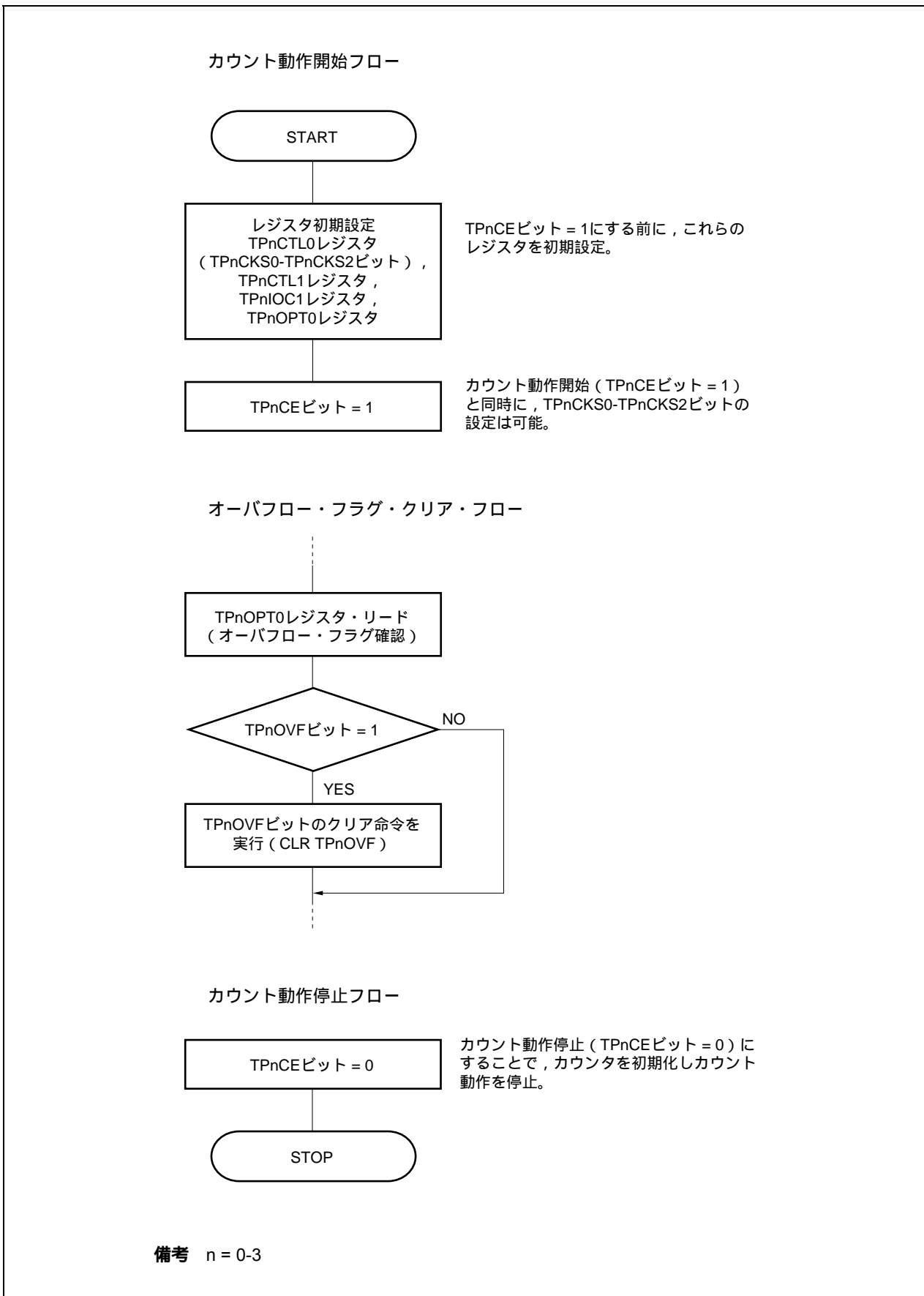


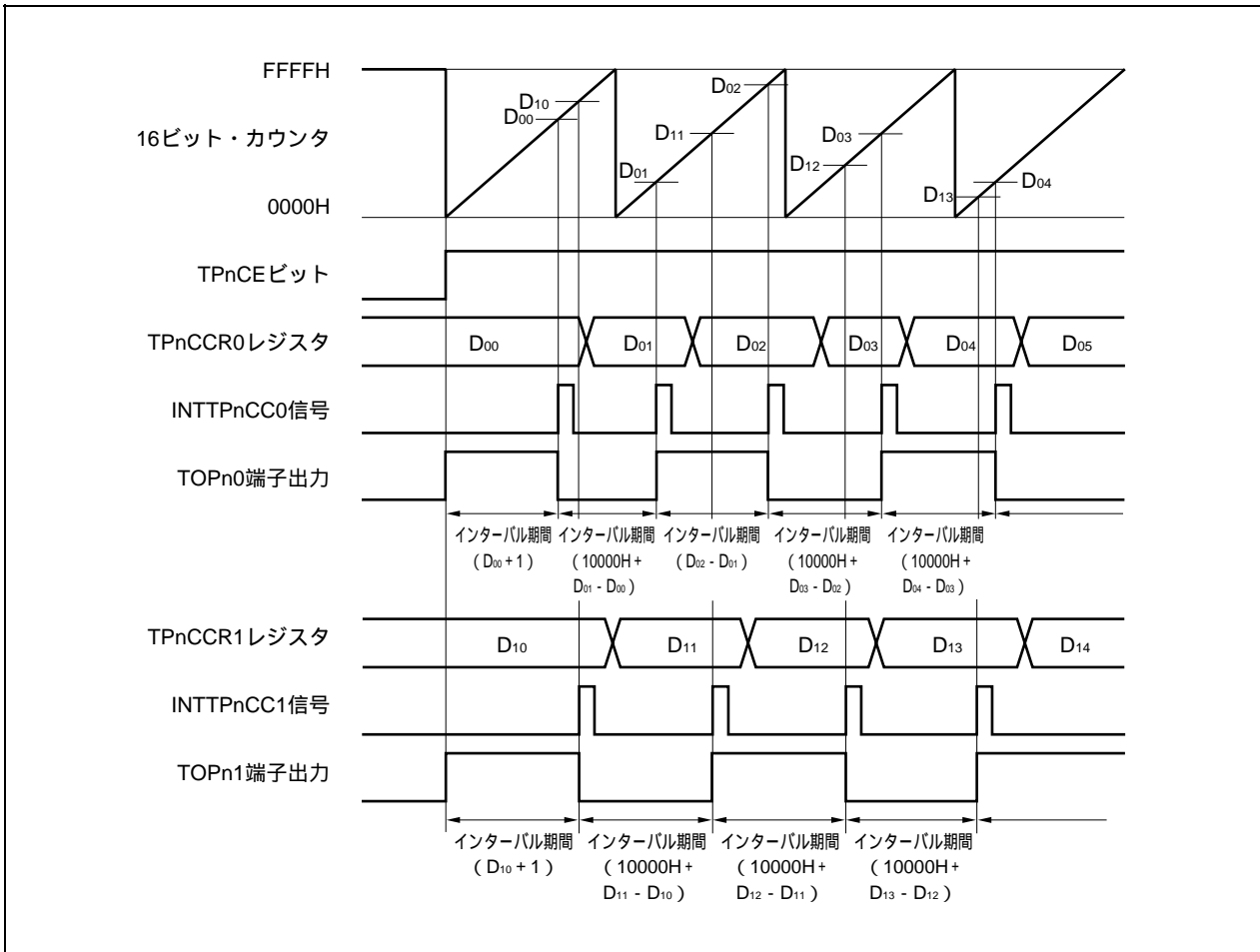
図6 - 33 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（2/2）



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TPnCCRmレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTPnCCm信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、1チャンネルで2つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTPnCCm信号を検出したときの割り込み処理中に、対応するTPnCCRmレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“ D_m ”とすると、次のように求められます。

コンペア・レジスタ初期値： $D_m - 1$

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D_m

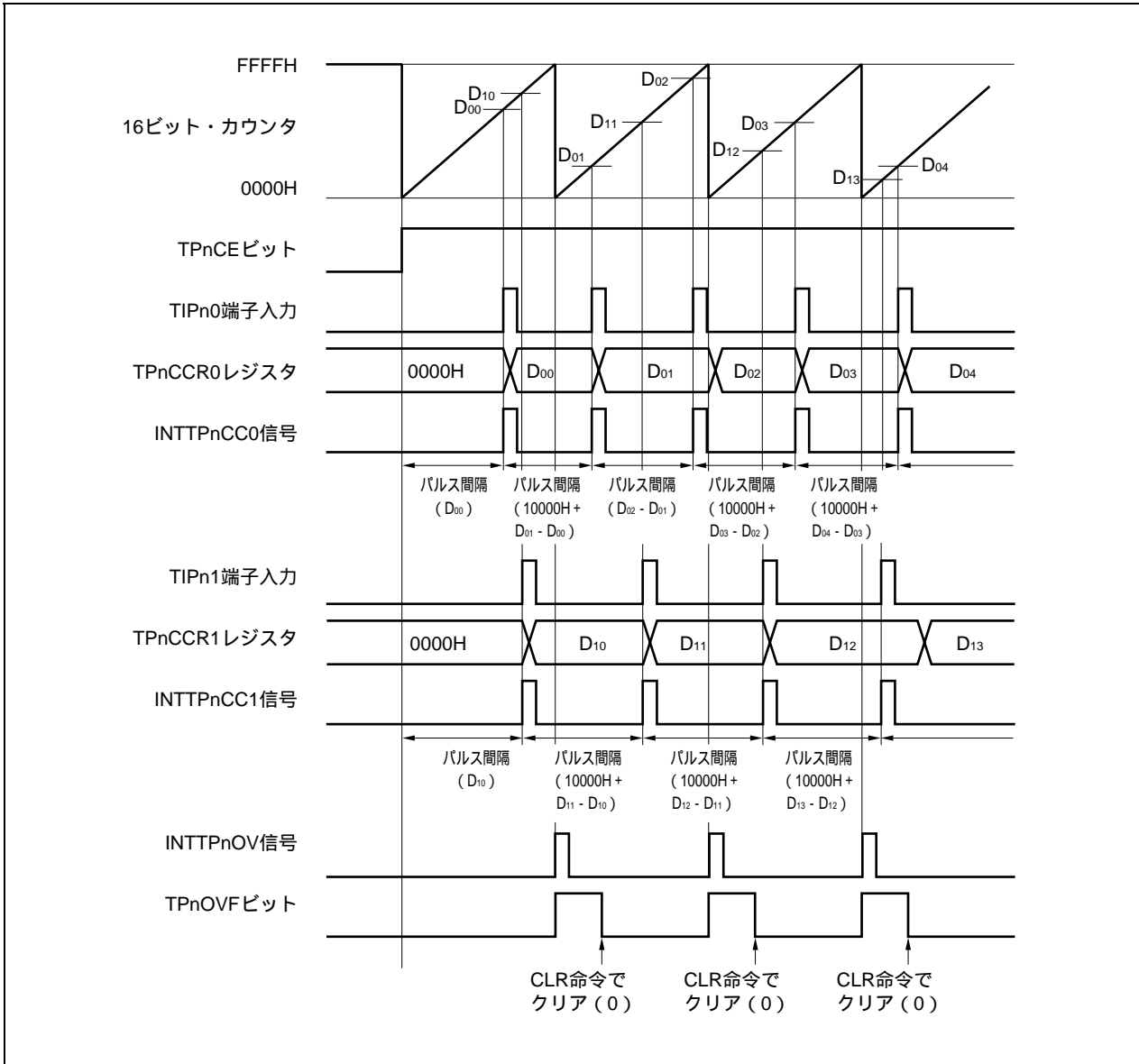
(演算結果がFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください)

備考 $n = 0-3$

$m = 0, 1$

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TPnCCRmレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTPnCCm信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、1チャンネルで2つのパルス幅測定ができます。

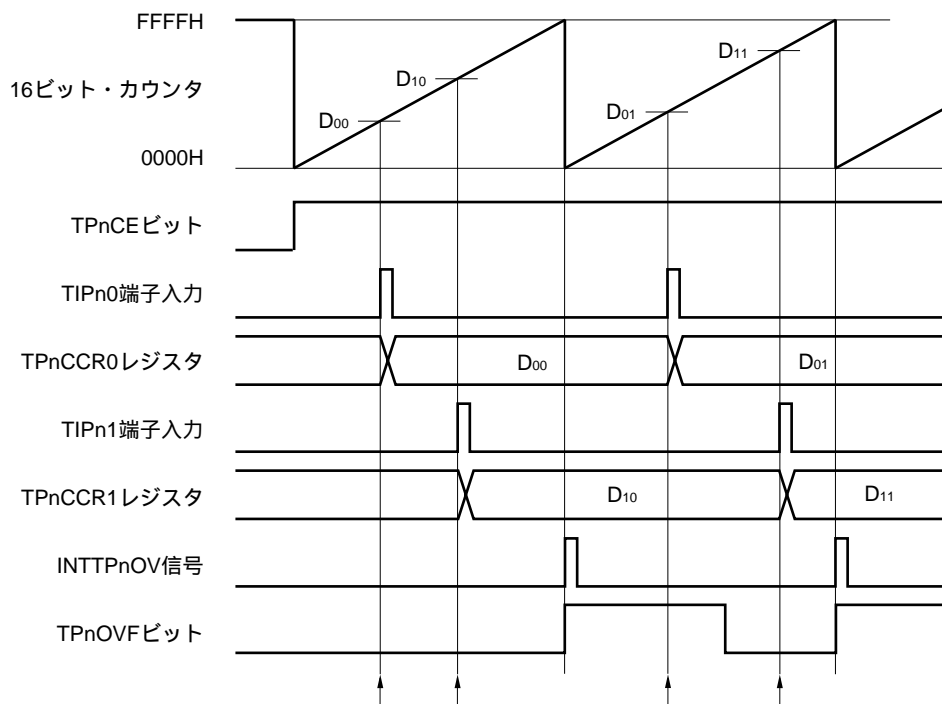
パルス幅測定を行う場合、INTTPnCCm信号に同期してTPnCCRmレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

備考 n = 0-3
m = 0, 1

(c) 2つのキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

2つのキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

2つのキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合、次のような問題が起こる場合があります。

TPnCCR0レジスタをリードする (TIPn0端子入力の初期値設定)。

TPnCCR1レジスタをリードする (TIPn1端子入力の初期値設定)。

TPnCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TPnCCR1レジスタをリードする。

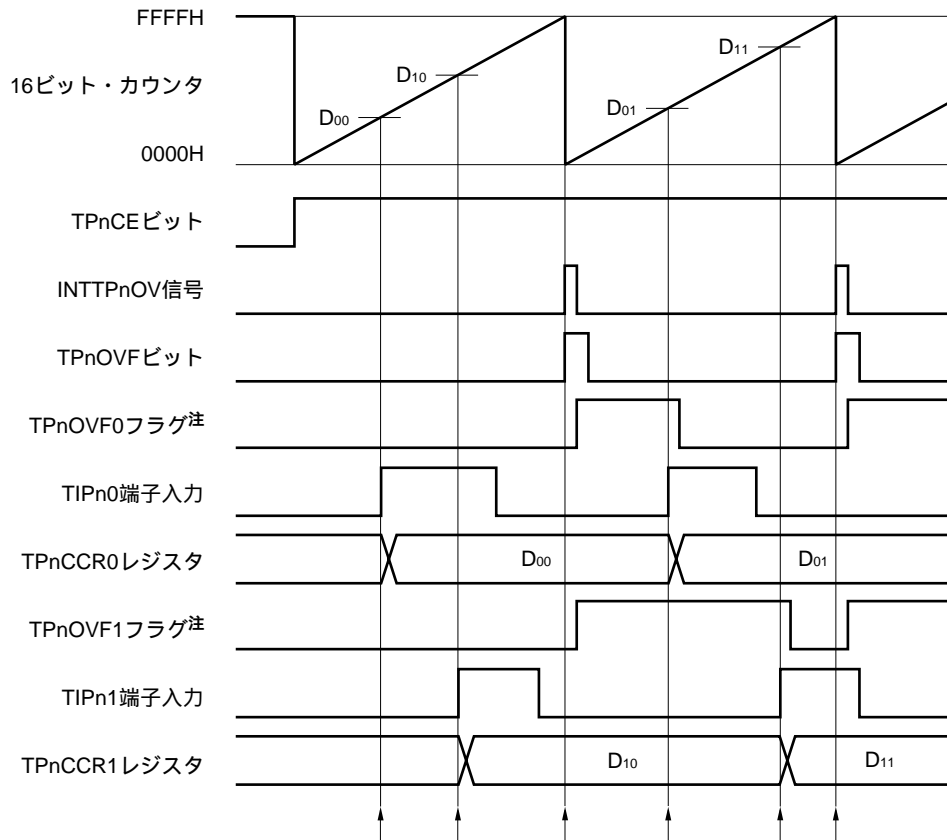
オーバーフロー・フラグをリードする。 でクリア(0)されているため、0がリードされます。

オーバーフロー・フラグが“0”なので、パルス幅は $(D_{11} - D_{10})$ で求められます (NG)。

このように、2つのキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、もう1つのキャプチャは正しいパルス幅が求められない可能性があります。

2つのキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TPnOVF0, TPnOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TPnCCR0レジスタをリードする (TIPn0端子入力の初期値設定)。

TPnCCR1レジスタをリードする (TIPn1端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TPnOVF0, TPnOVF1フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。

TPnCCR0レジスタをリードする。

TPnOVF0フラグをリードする。 TPnOVF0フラグが“1”だった場合、クリア (0) する。

TPnOVF0フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

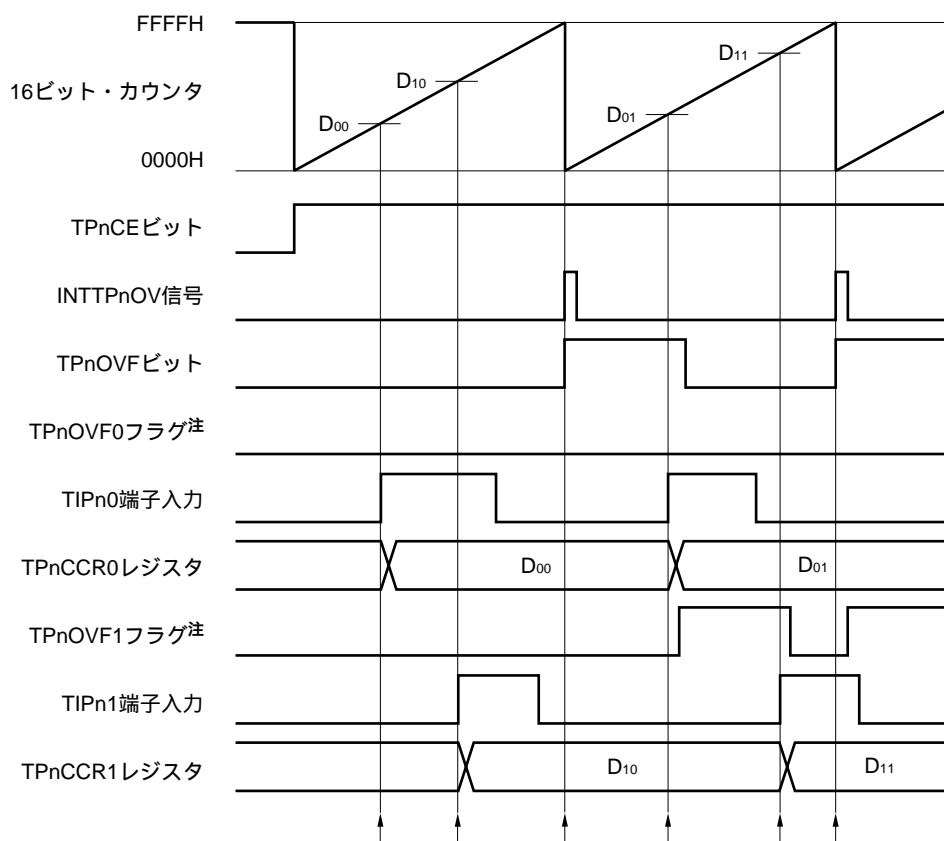
TPnCCR1レジスタをリードする。

TPnOVF1フラグをリードする。 TPnOVF1フラグが“1”だった場合、クリア (0) する (でクリア (0) されたのはTPnOVF0フラグであり、TPnOVF1フラグは“1”のまま)。

TPnOVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用しない)



注 TPnOVF0, TPnOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TPnCCR0レジスタをリードする (TIPn0端子入力の初期値設定)。

TPnCCR1レジスタをリードする (TIPn1端子入力の初期値設定)。

オーバーフローが発生する。ソフトウェアでは何もしない。

TPnCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、TPnOVF1フラグのみをセット(1)し、オーバーフロー・フラグをクリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TPnCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア(0)されているので“0”がリードされる。

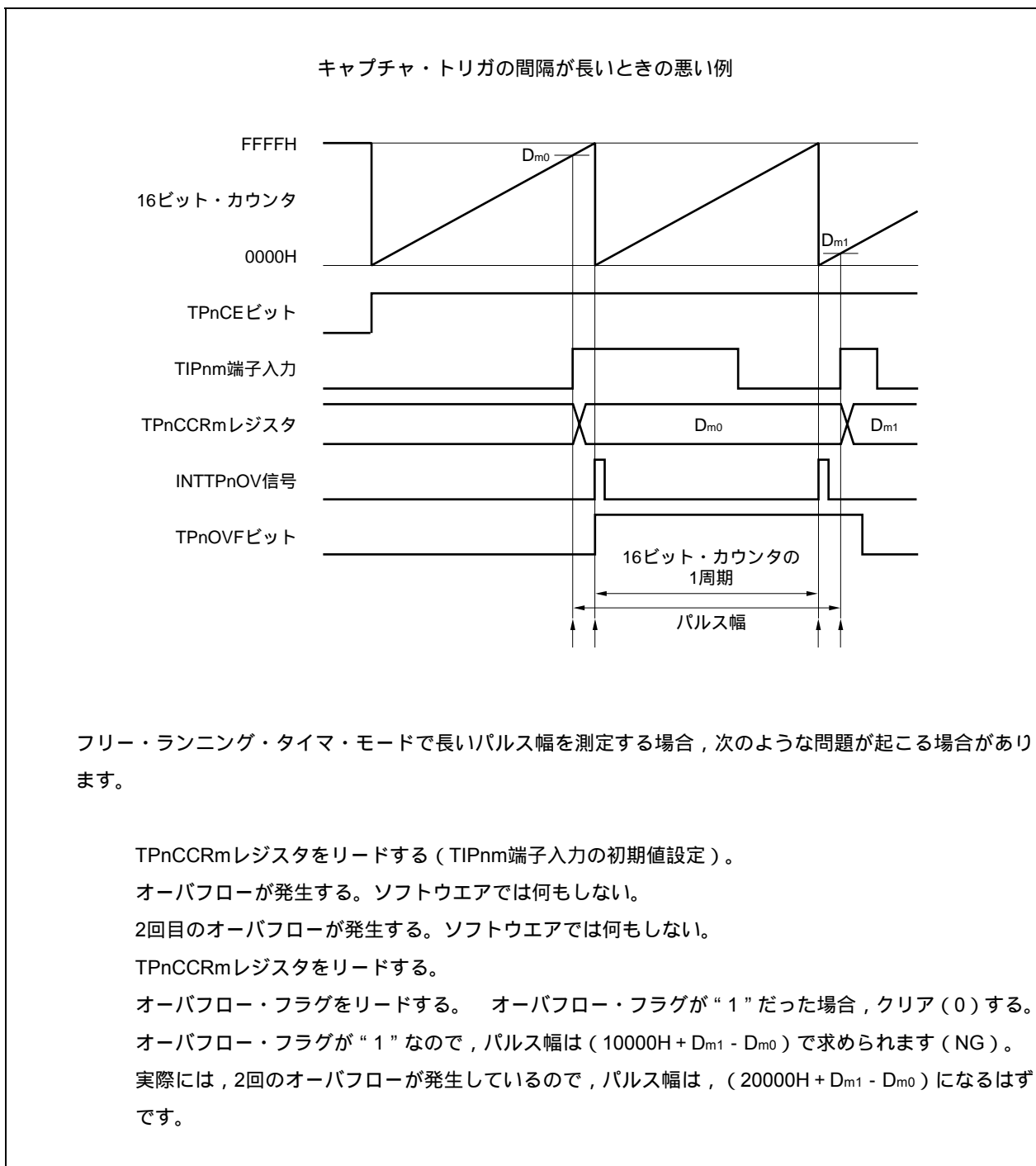
TPnOVF1フラグをリードする。TPnOVF1フラグが“1”だった場合、クリア(0)する。

TPnOVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

(d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

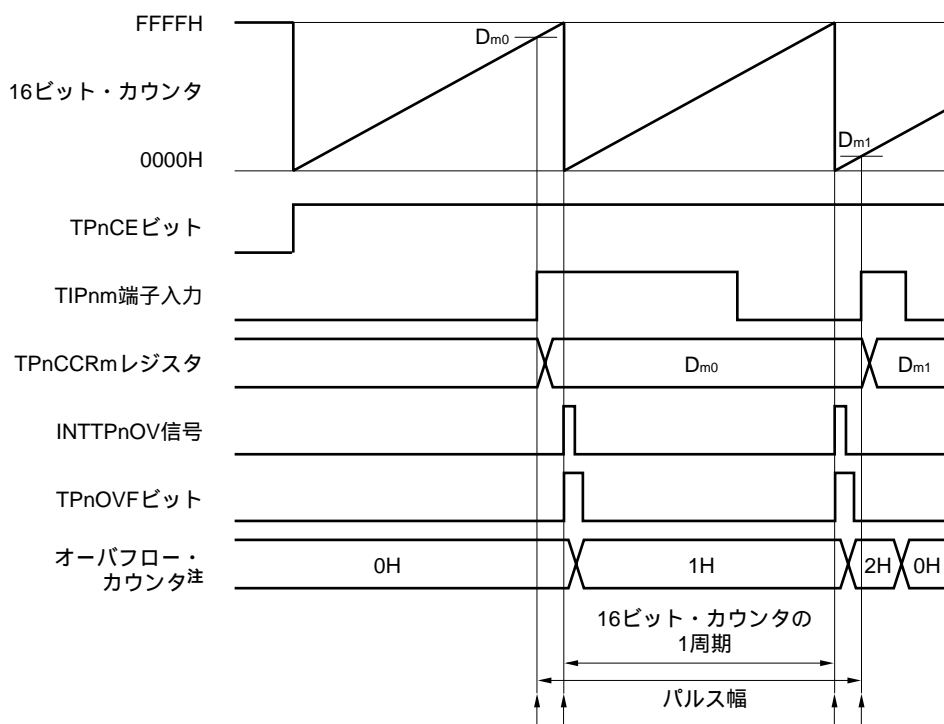
パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TPNCCRmレジスタをリードする (TIPnm端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメント (+1) し、オーバフロー・フラグをクリア (0) する。

TPNCCRmレジスタをリードする。

オーバフロー・カウンタをリードする。

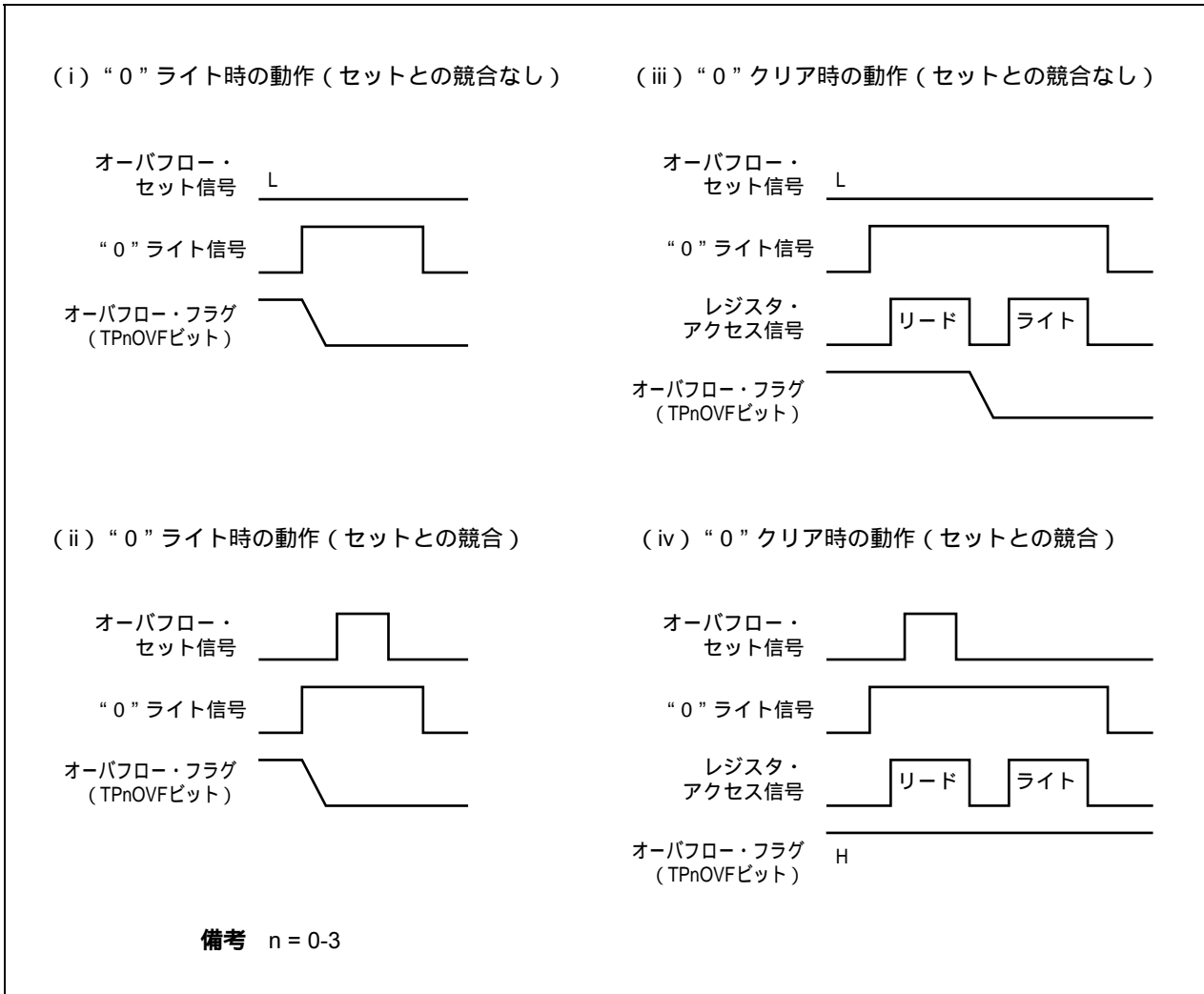
オーバフロー・カウンタが “N” のとき、パルス幅は $(N \times 10000H + D_{m1} - D_{m0})$ で求められる。

この例では、2回のオーバフローが発生しているため、パルス幅は、 $(20000H + D_{m1} - D_{m0})$ になります。

オーバフロー・カウンタをクリア (0H) する。

(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TPnOVFビットをCLR命令でクリア (0) する方法と、TPnOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法がありますが、確実にオーバフローを検出するために、TPnOVFビット = 1をリードしたあと、ビット操作命令でクリア (0) してください。



オーバフロー・フラグをクリア (0) する場合には、リードしてオーバフロー・フラグがセット (1) されていることを確認したあと、CLR命令でクリア (0) してください。確認せずに0をライトすると、オーバフローのセット情報を“0”ライトで消してしまう場合があります (上図の (ii))。そのために、実際にはオーバフローが発生したにもかかわらず、ソフトウェアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア (0) するときに、CLR命令の実行とオーバフロー発生とのタイミングが競合した場合、クリア命令実行後もオーバフロー・フラグはセット (1) されたままになります。

6.5.7 パルス幅測定モード (TPnMD2-TPnMD0ビット = 110)

パルス幅測定モードは、TPnCTL0.TPnCEビットをセット(1)することでカウント動作を開始し、TIPnm端子入力の有効エッジを検出するごとに、16ビット・カウンタのカウント値をTPnCCRmレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号(INTTPnCCm)が発生したあと、TPnCCRmレジスタをリードすることにより、有効エッジ間隔を測定できます。

キャプチャ・トリガ入力端子として、TIPn0、TIPn1端子のいずれか1本を使用してください。使用しない端子は、TPnIOC1レジスタで“エッジ検出なし”に設定してください。

また、カウント・クロックとして外部クロックを使用するときは、外部クロックはTIPn0端子固定ですので、TIPn1端子のパルス幅を測定してください。このとき、TPnIOC1.TPnIS1、TPnIS0ビット = 00(キャプチャ・トリガ入力(TIPn0端子)：エッジ検出なし)に設定してください。

図6-34 パルス幅測定モードの構成図

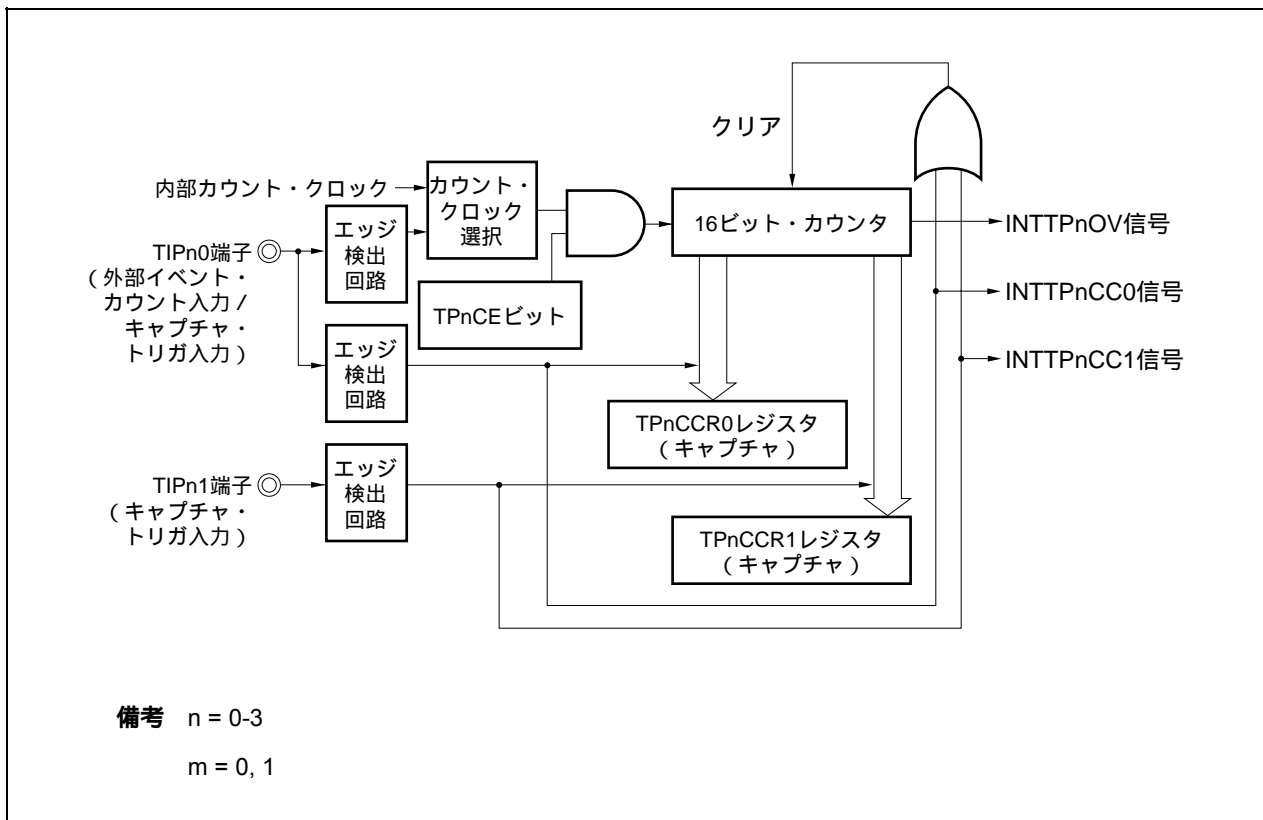
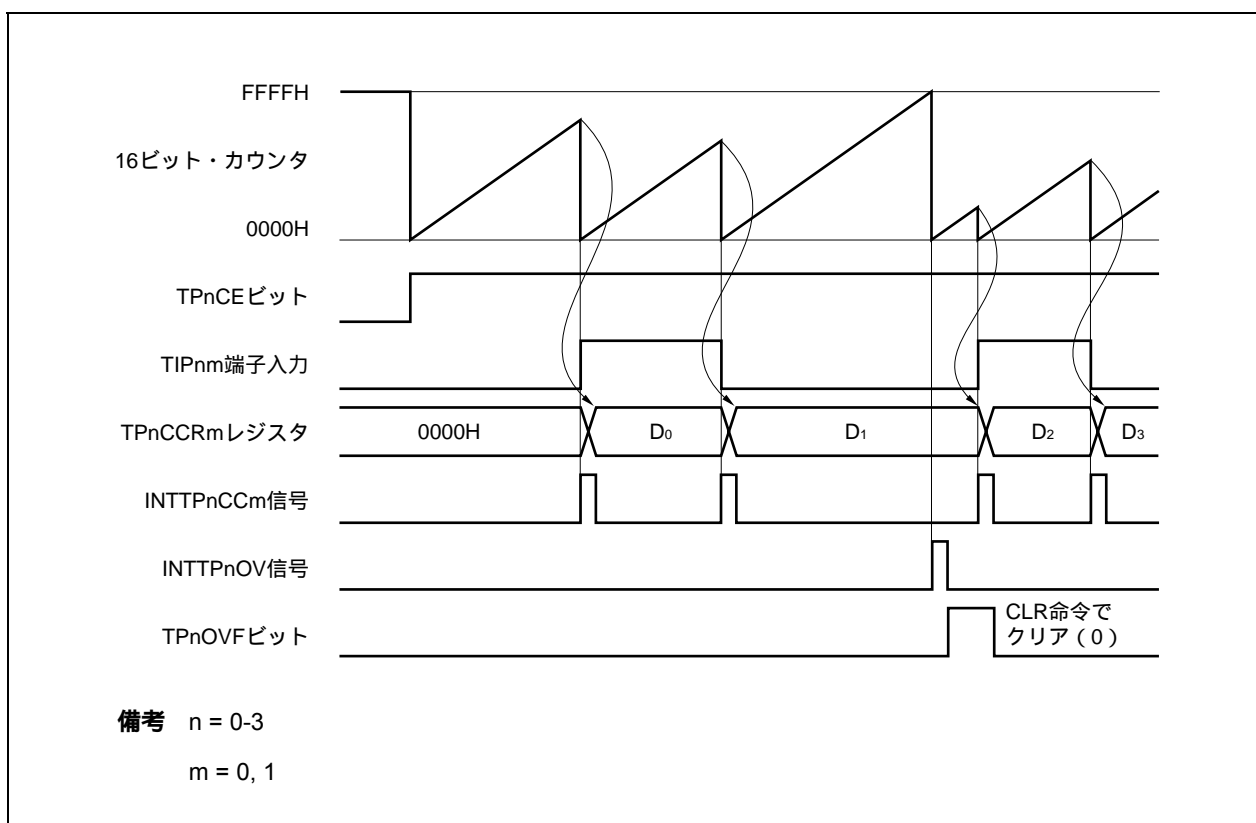


図6 - 35 パルス幅測定モードの基本タイミング



TPnCEビットをセット(1)することで、カウント動作を開始します。その後、TIPnm端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTPnCCRmレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号(INTTPnCCm)を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号(INTTPnOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TPnOPT0.TPnOVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

オーバフロー・フラグがセット(1)した場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000\text{H} \times \text{TPnOVFビットがセット(1)された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

備考 n = 0-3
m = 0, 1

図6 - 36 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

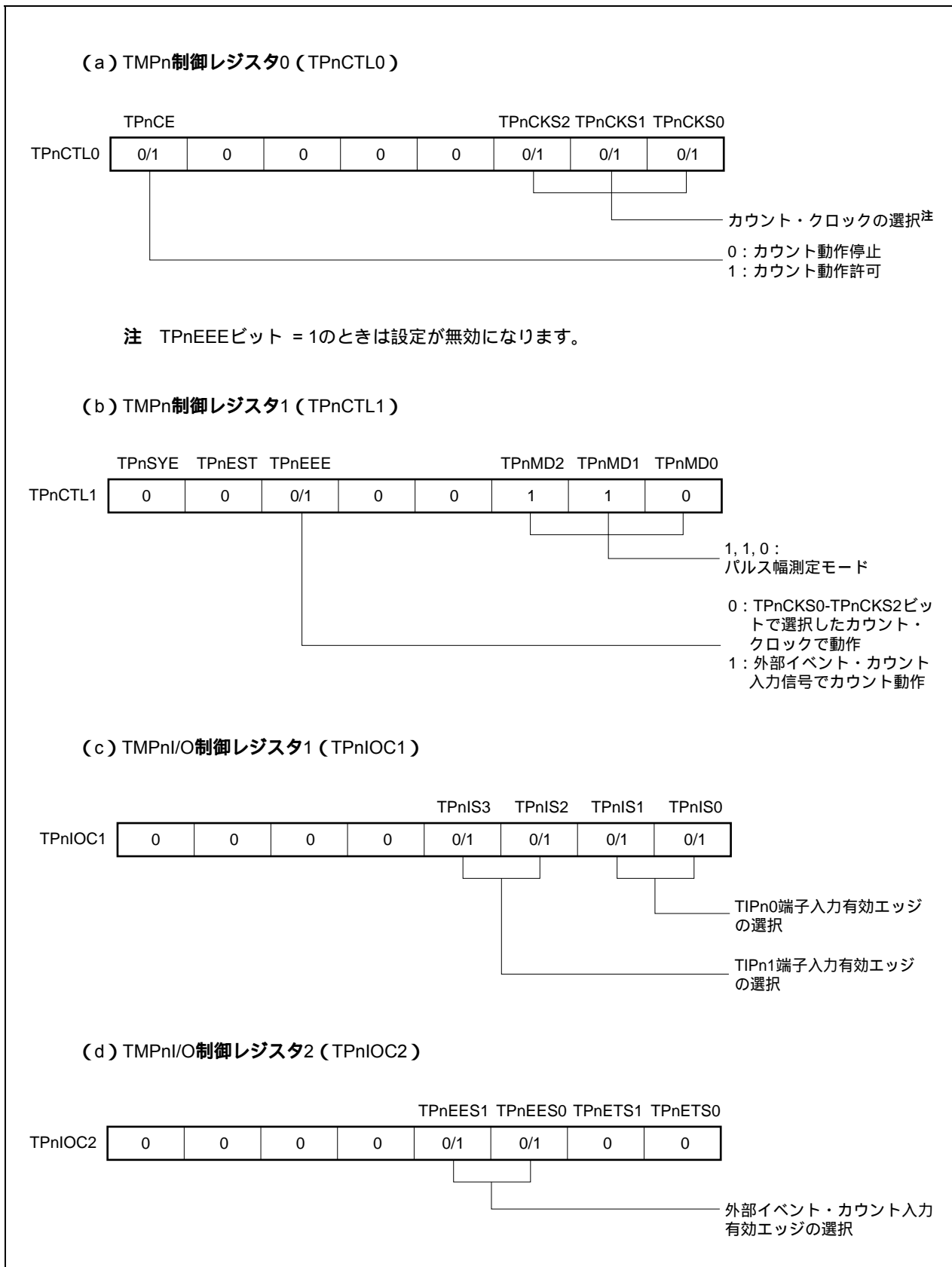
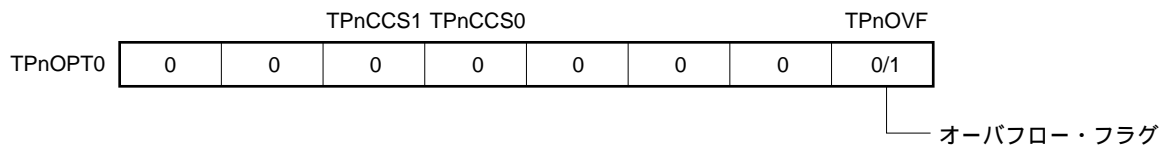


図6 - 36 パルス幅測定モード動作時のレジスタ設定内容 (2/2)

(e) TMPnオプション・レジスタ0 (TPnOPT0)



(f) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(g) TMPnキャプチャ/コンペア・レジスタ0, 1 (TPnCCR0, TPnCCR1)

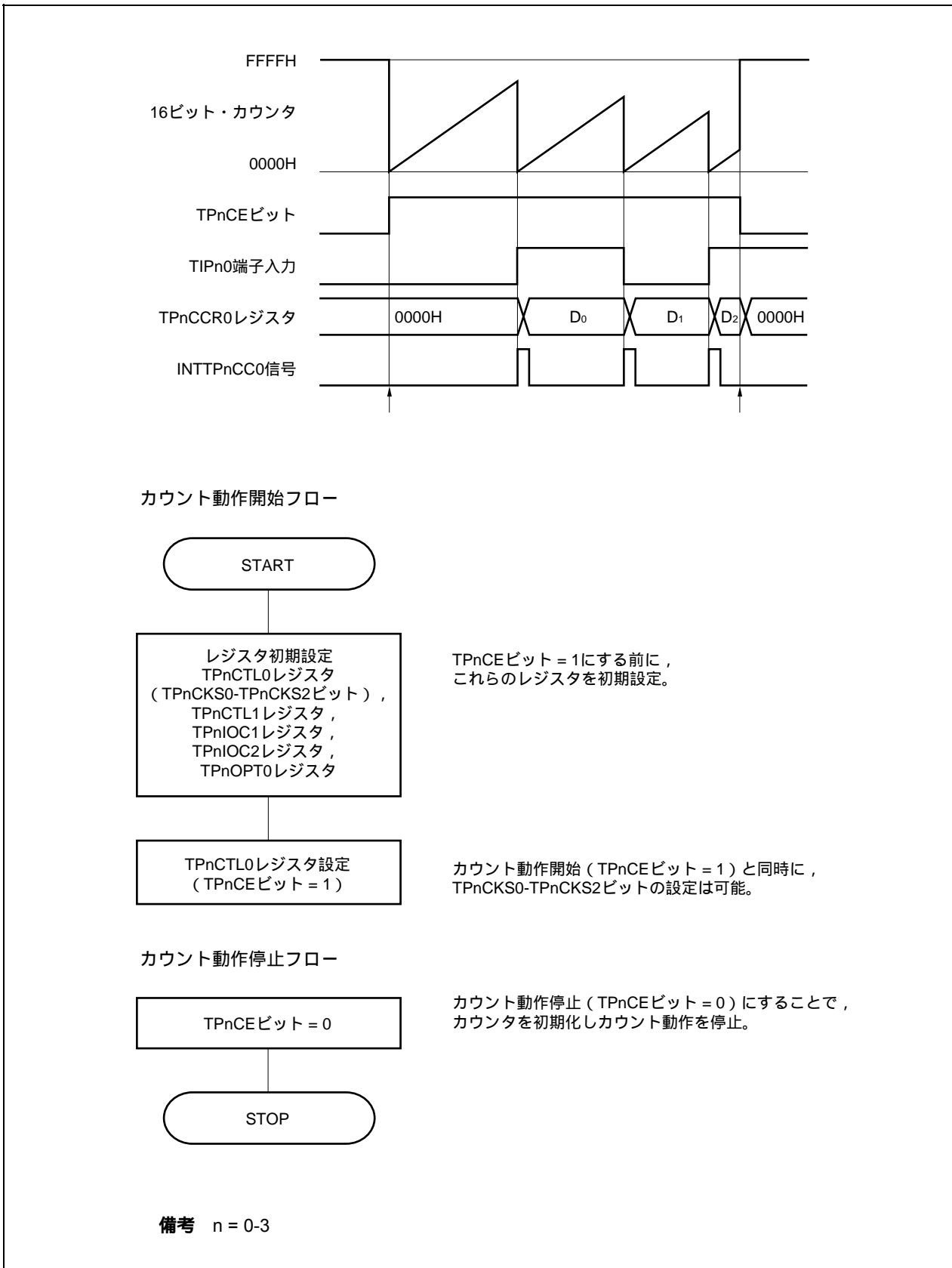
TIPnm端子入力の有効エッジ検出により、16ビット・カウンタのカウンタ値を格納します。

備考1. パルス幅測定モードでは、TMPnI/O制御レジスタ0 (TPnIOC0) は使用しません。

2. n = 0-3
m = 0, 1

(1) パルス幅測定モード動作フロー

図6 - 37 パルス幅測定モード使用時のソフトウェア処理フロー

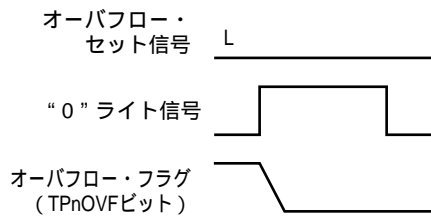


(2) パルス幅測定モード動作タイミング

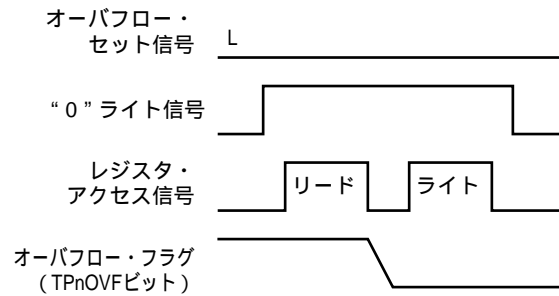
(a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TPnOVFビットをCLR命令でクリア (0) する方法と、TPnOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法がありますが、確実にオーバフローを検出するために、TPnOVFビット = 1をリードしたあと、ビット操作命令でクリア (0) してください。

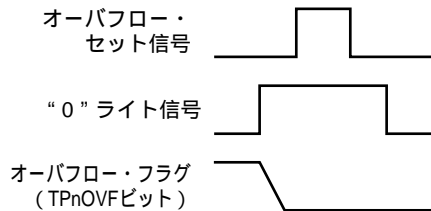
(i) “0” ライト時の動作 (セットとの競合なし)



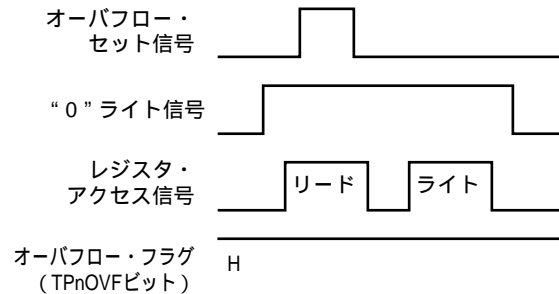
(iii) “0” クリア時の動作 (セットとの競合なし)



(ii) “0” ライト時の動作 (セットとの競合)



(iv) “0” クリア時の動作 (セットとの競合)



備考 n = 0-3

オーバフロー・フラグをクリア (0) する場合には、リードしてオーバフロー・フラグがセット (1) されていることを確認したあと、CLR命令でクリア (0) してください。確認せずに0をライトすると、オーバフローのセット情報を“0”ライトで消してしまう場合があります (上図の (ii))。そのため、実際にはオーバフローが発生したにもかかわらず、ソフトウェアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア (0) するときに、CLR命令の実行とオーバフロー発生タイミングが競合した場合、クリア命令実行後もオーバフロー・フラグはセット (1) されたままになります。

6.5.8 タイマ出力動作説明

次にTOPn0, TOPn1端子の動作, および出力レベルを示します。

表6-4 各モードによるタイマ出力制御

動作モード	TOPn1端子	TOPn0端子
インターバル・タイマ・モード	方形波出力	
外部イベント・カウント・モード	方形波出力	-
外部トリガ・パルス出力モード	外部トリガ・パルス出力	方形波出力
ワンショット・パルス出力モード	ワンショット・パルス出力	
PWM出力モード	PWM出力	
フリー・ランニング・タイマ・モード	方形波出力 (コンペア機能のときのみ)	
パルス幅測定モード	-	

備考 n = 0-3

表6-5 タイマ出力制御ビットによるTOPn0, TOPn1端子の真理値表

TPnIOC0.TPnOLmビット	TPnIOC0.TPnOEmビット	TPnCTL0.TPnCEビット	TOPnm端子のレベル
0	0	×	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル, カウント開始後はハイ・レベル
1	0	×	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル, カウント開始後はロウ・レベル

備考 n = 0-3

m = 0, 1

6.6 タイマ同調動作機能

タイマPおよびタイマQには、タイマ同調動作機能があります。

同期させることのできるタイマを表6 - 6に示します。

表6 - 6 タイマの同調動作モード

マスタ・タイマ	スレーブ・タイマ	
TMP0	TMP1	-
TMP2	TMP3	TMQ0

注意1. 同調動作モードの許可/禁止は、TPmCTL1.TPmSYEビットおよびTQ0CTL1.TQ0SYEビットで設定します。TMP2ではTMP3とTMQ0のどちらか一方または両方をスレーブとして設定できます。

2. 同調動作モードの設定は、次の順で行ってください。

スレーブ・タイマのTPmCTL1.TPmSYEビットおよびTQ0CTL1.TQ0SYEビットをセットし同調動作を許可します。

スレーブ・タイマのTPmCTL1.TPmMD2-TPmMD0ビットおよびTQ0CTL1.TQ0MD2-TQ0MD0ビットをフリー・ランニング・モードに設定します。

マスタ・タイマのTPnCTL1.TPnMD2-TPnMD0ビットによりタイマ・モードを設定します。

このとき、マスタ・タイマのTPnCTL1.TPnSYEビットはセットしないでください。

マスタ・タイマおよびスレーブ・タイマのコンペア・レジスタの値を設定します。

スレーブ・タイマのTPmCTL0.TPmCEビットおよびTQ0CTL0.TQ0CEビットをセットし、内部動作クロック動作を許可します。

マスタ・タイマのTPnCTL0.TPnCEビットをセットし、内部動作クロック動作を許可します。

備考 m = 1, 3

n = 0, 2

同調動作モード時に使用できるタイマ・モードを表6 - 7, 表6 - 8に示します(: 設定可能, x : 設定不可)。

表6 - 7 同調動作モード時のタイマ・モード

マスタ・タイマ	フリー・ランニング・モード	PWMモード	三角波PWMモード
TMP0			x
TMP2			x

表6 - 8 タイマ出力機能一覧

同調 チャンネル	タイマ	端子	フリー・ランニング・ モード		PWMモード		三角波PWMモード	
			同調OFF	同調ON	同調OFF	同調ON	同調OFF	同調ON
Ch0	TMP0 (マスタ)	TOP00	PPG	←	トグル	←	N/A	←
		TOP01	PPG	←	PWM	←	N/A	←
	TMP1 (スレーブ)	TOP10	PPG	←	トグル	PWM	N/A	←
		TOP11	PPG	←	PWM	←	N/A	←
Ch1	TMP2 (マスタ)	TOP20	PPG	←	トグル	←	N/A	←
		TOP21	PPG	←	PWM	←	N/A	←
	TMP3 (スレーブ)	TOP30	PPG	←	トグル	PWM	N/A	←
		TOP31	PPG	←	PWM	←	N/A	←
	TMQ0 (スレーブ)	TOQ00	PPG	←	トグル	PWM	トグル	N/A
		TOQ01-TOQ03	PPG	←	PWM	←	三角波 PWM	N/A

備考 マスタ・タイマのコンペア・レジスタからスレーブ・タイマのコンペア・レジスタへの送信タイミングは、次のとおりです。

PPG : CPU書き込みのタイミング

トグル, PWM, 三角波PWM : タイマ・カウンタとコンペア・レジスタが TOPn0やTOQ00 (n = 0-3) と一致したタイミング

図6 - 38 同調動作イメージ (TMP2, TMP3, TMQ0)

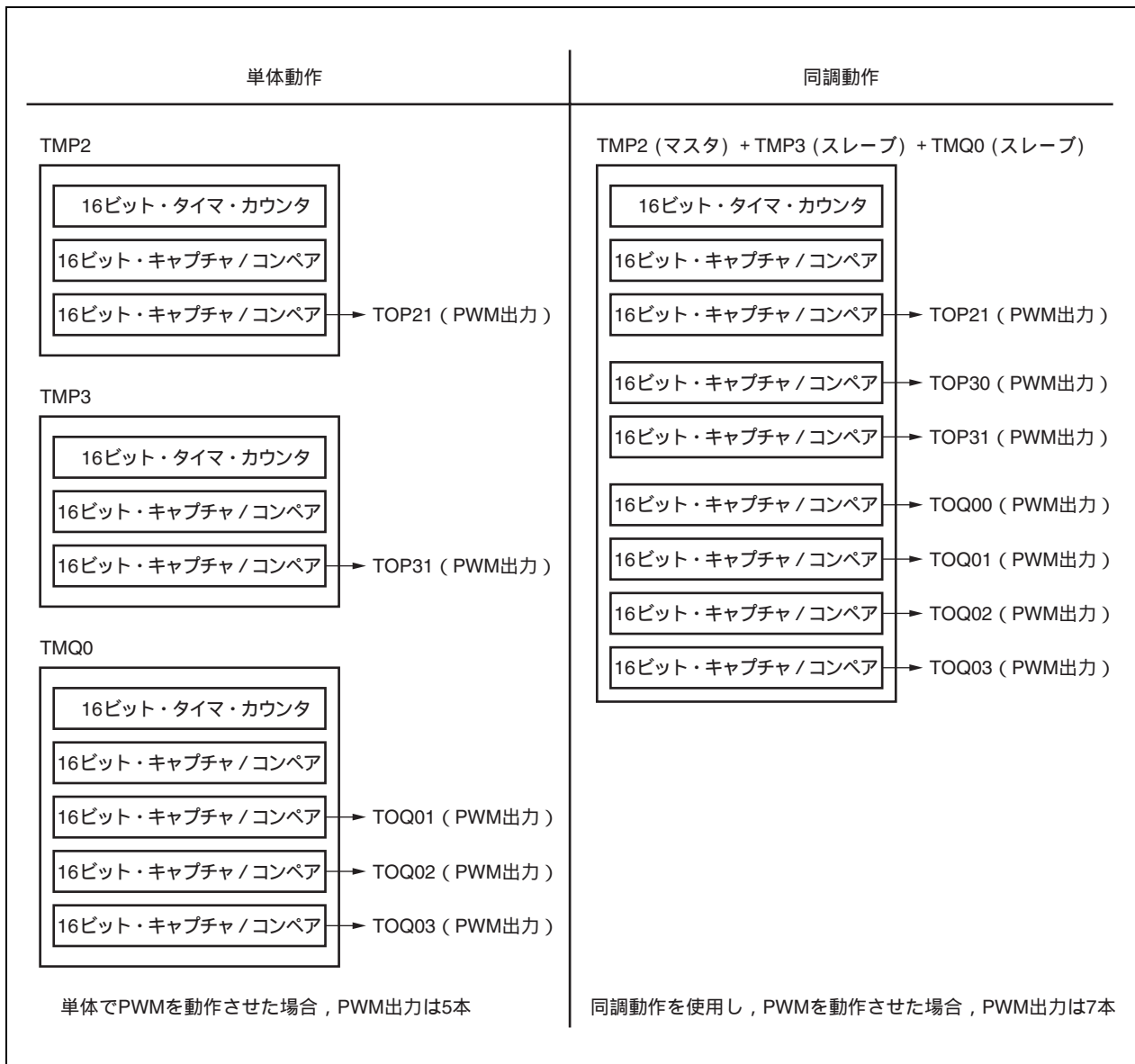
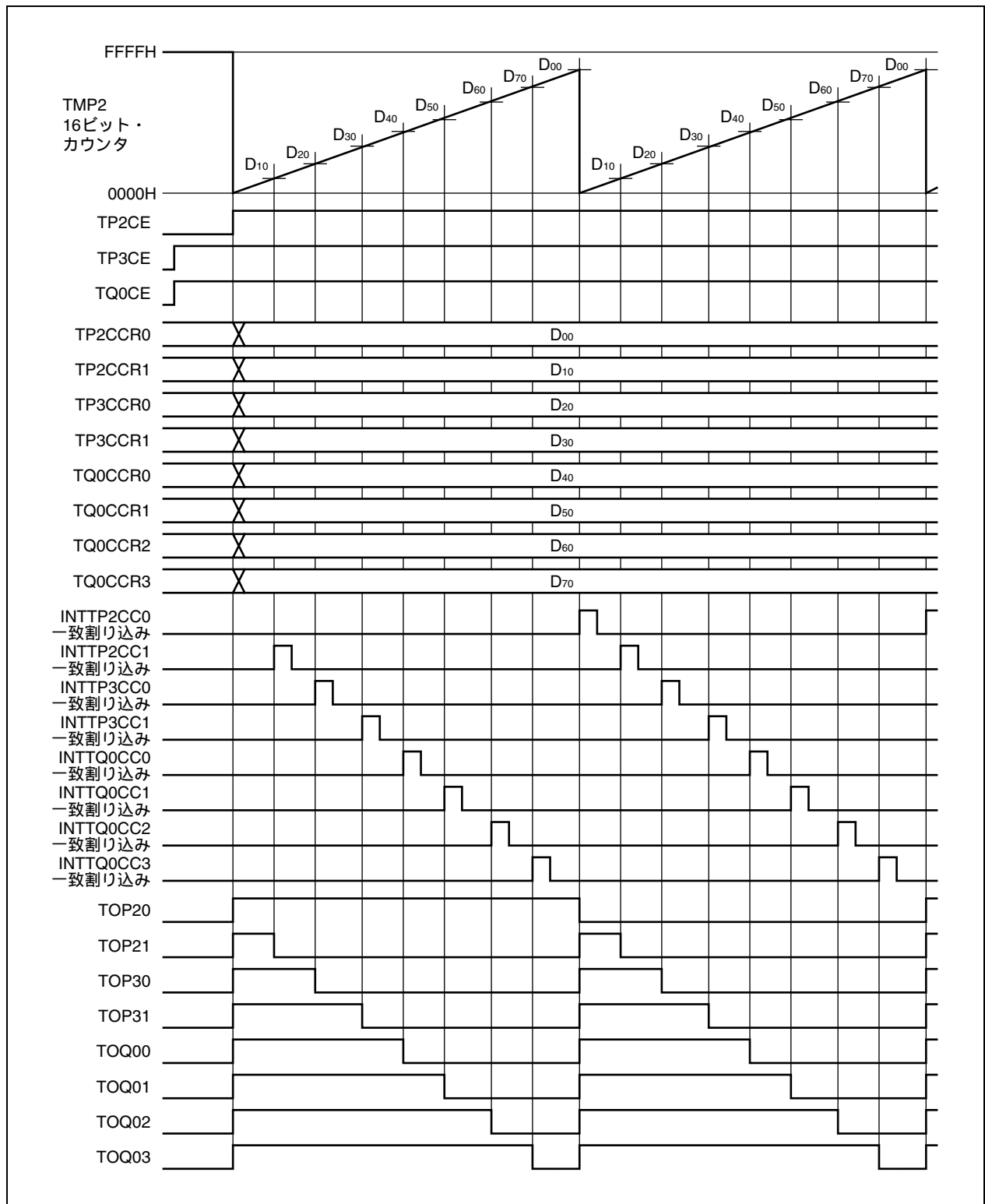


図6 - 39 同調PWM機能の基本動作タイミング (TMP2, TMP3, TMQ0)



6.7 セレクタ機能

V850ES/HG2ではTMPのキャプチャ・トリガ入力を，ポートの兼用端子と周辺I/O (TMP, TMM0, UARTA) 信号とで選択が可能です。

この機能を利用して，次のことが可能です。

- ・ TMP1のTIP10, TIP11入力信号を，ポートのタイマ兼用端子 (TIP10, TIP11端子) とUARTAの受信兼用端子 (RXDA0, RXDA1) とで選択。
UARTA0, UARTA1のRXDA0, RXDA1信号を選択すると，UARTAのLIN受信転送レートのボー・レート誤差算出として使用
- ・ TMP0のTIP01入力信号を，ポートのタイマ兼用端子 (TIP01端子) とTMM0のINTTM0EQ0信号とで選択。

- 注意1. セレクタ機能を使用する場合は，接続されるTMPをキャプチャ・トリガ入力に設定してください。**
- 2. セレクタ機能を設定する場合は，接続される周辺I/O (TMP, TMM0, UARTA) を動作禁止にしてから設定してください。**

セレクタ機能によるキャプチャ入力の設定は次のレジスタで設定します。

(1) セレクタ動作制御レジスタ0 (SELCNT0)

SELCNT0 レジスタは, TMP0, TMP1, TMP3 のキャプチャ・トリガを選択する 8 ビット・レジスタです。
8/1 ビット単位でリード/ライト可能です。

リセットにより 00H になります。

リセット時 : 00H R/W アドレス : FFFFF308H									
	7	6	5	4	3	2	1	0	
SELCNT0	0	0	ISEL05	ISEL04	ISEL03	ISEL02	0	0	
ISEL05		TIP30入力信号選択 (TMP3)							
0		TIP30端子入力							
1		RXDA2端子入力							
ISEL04		TIP11入力信号選択 (TMP1)							
0		TIP11端子入力							
1		RXDA1端子入力							
ISEL03		TIP10入力信号選択 (TMP1)							
0		TIP10端子入力							
1		RXDA0端子入力							
ISEL02 [※]		TIP01入力信号選択 (TMP0)							
0		TIP01端子入力							
1		TMM0のINTTM0EQ0割り込み							

注 INTTM0EQ0割り込み信号をTIP01入力信号に使用する場合は, 次の範囲内で使用してください。

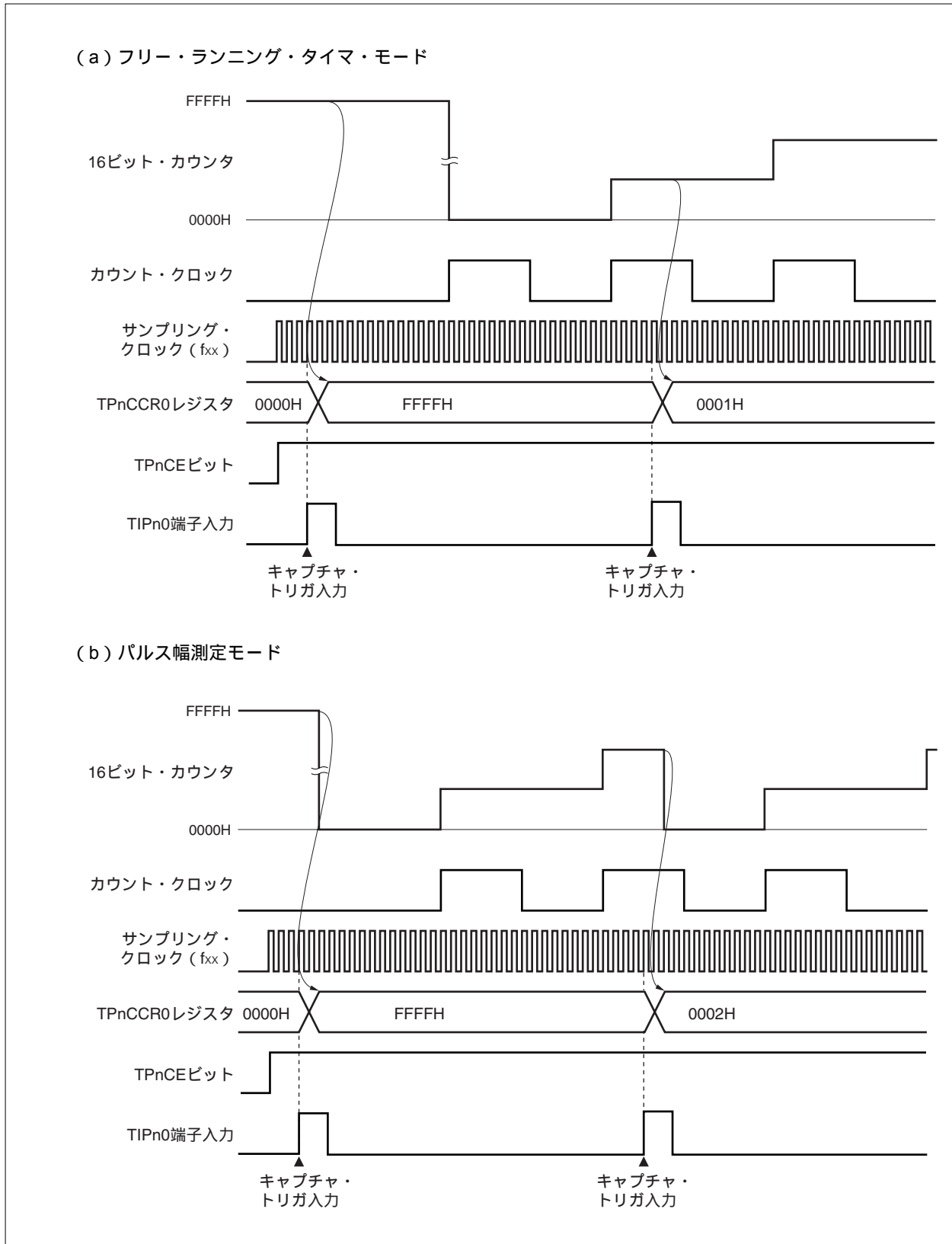
TMM0動作クロック TMP0動作クロック × 4

- 注意1.** ISEL02-ISEL05の各ビットを“1”に設定する場合は, 対応する機能端子をキャプチャ入力に設定してください。
- 2.** ISEL02-ISEL05の各ビットは, 対象となるTMP0, TM1, TM3およびTMM0, UARTA0-UARTA2の動作を停止した状態のときに設定してください。

6.8 注意事項

(1) キャプチャ動作

キャプチャ動作を使用し、かつカウント・クロックとして遅いクロックを選択した場合、TPnCEビットをセット(1)したすぐあとに、キャプチャ・トリガが入力されると、TPnCCR0、TPnCCR1レジスタに0000HではなくFFFFHがキャプチャされる場合があります。



第7章 16ビット・タイマ/イベント・カウンタQ (TMQ)

タイマQ (TMQ) は、16ビットのタイマ/イベント・カウンタです。
V850ES/HG2は、TMQ0, TMQ1を内蔵しています。

7.1 概 要

TMQnの概要を次に示します。

・クロック選択	: 8通り
・キャプチャ・トリガ入力端子	: 4本
・外部イベント・カウント入力端子	: 1本
・外部トリガ入力端子	: 1本
・タイマ・カウンタ	: 1本
・キャプチャ/コンペア・レジスタ	: 4本
・キャプチャ/コンペア一致割り込み要求信号	: 4本
・タイマ出力端子	: 4本

備考 n = 0, 1

7.2 機 能

TMQnの機能を次に示します。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・外部トリガ・パルス出力
- ・ワンショット・パルス出力
- ・PWM出力
- ・フリー・ランニング・タイマ
- ・パルス幅測定
- ・三角波PWM出力
- ・タイマ同調動作機能

備考 n = 0, 1

7.3 構成

TMQ0, TMQ1は、次のハードウェアで構成されています。

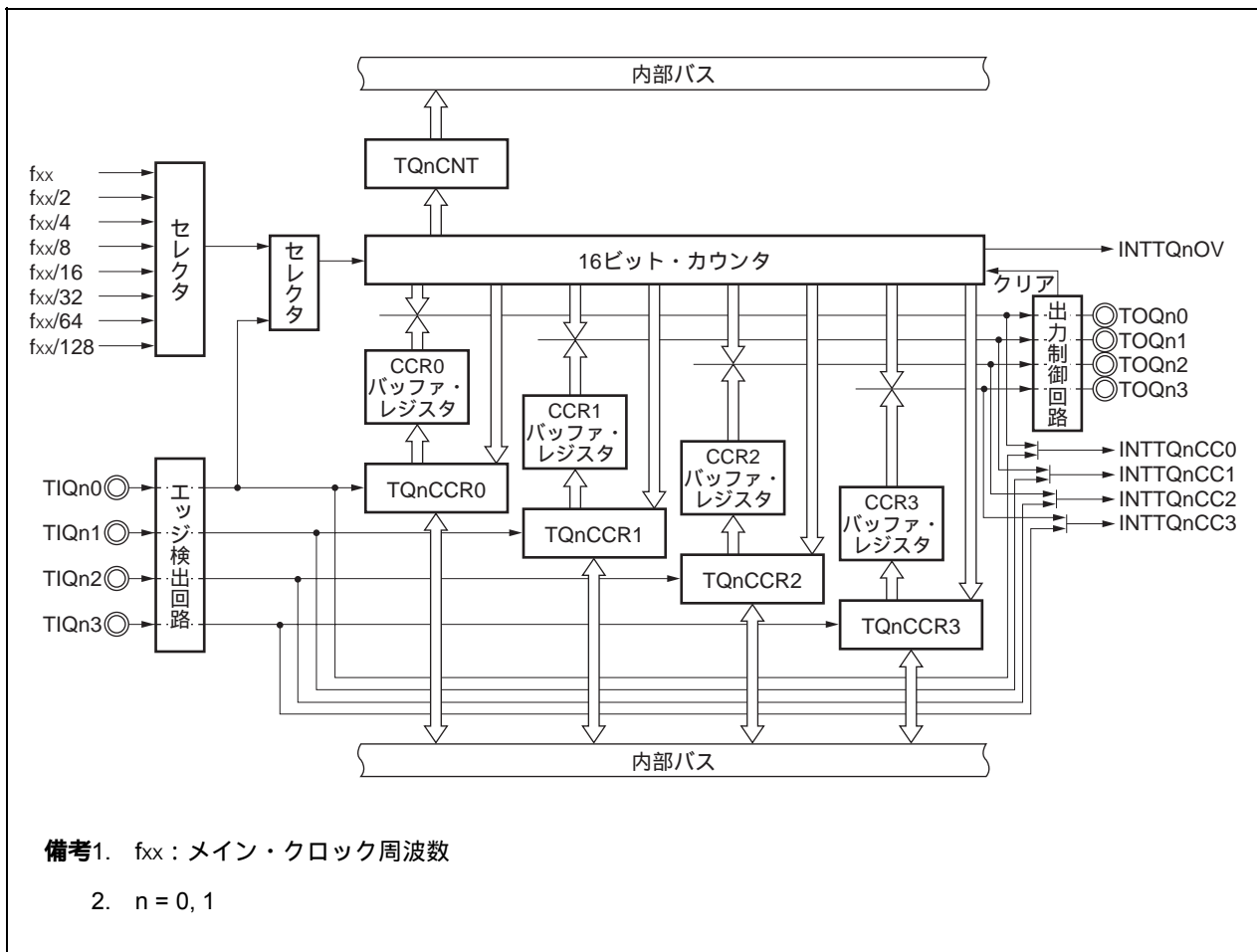
表7 - 1 TMQ0, TMQ1の構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TMQnキャプチャ/コンペア・レジスタ0-3 (TQnCCR0-TQnCCR3) TMQnカウンタ・リード・バッファ・レジスタ (TQnCNT) CCR0-CCR3バッファ・レジスタ
タイマ入力	4本 (TIQn0 ^{注1} -TIQn3端子)
タイマ出力	4本 (TOQn0-TOQn3端子)
制御レジスタ ^{注2}	TMQn制御レジスタ0, 1 (TQnCTL0, TQnCTL1) TMQnI/O制御レジスタ0-2 (TQnIOC0-TQnIOC2) TMQnオプション・レジスタ0 (TQnOPT0)

注1. TIQn0端子には、キャプチャ・トリガ入力信号、外部イベント・カウント入力信号、外部トリガ入力信号が兼用されています。

2. TIQn0-TIQn3, TOQn0-TOQn3端子の機能を使用する場合は、表4 - 15 ポート端子を兼用端子として使用する場合を参照してください。

図7 - 1 TMQ0, TMQ1のブロック図



(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TQnCNTレジスタでリードできます。

TQnCTL0.TQnCEビット = 0のとき、16ビット・カウンタはFFFFHになります。このときTQnCNTレジスタをリードすると、0000Hがリードされます。

リセットによりTQnCEビット = 0になるため、16ビット・カウンタはFFFFHになります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TQnCCR0レジスタをコンペア・レジスタとして使用するとき、TQnCCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTQnCC0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセットによりTQnCCR0レジスタが0000Hになるため、CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TQnCCR1レジスタをコンペア・レジスタとして使用するとき、TQnCCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTQnCC1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセットによりTQnCCR1レジスタが0000Hになるため、CCR1バッファ・レジスタも0000Hになります。

(4) CCR2バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TQnCCR2レジスタをコンペア・レジスタとして使用するとき、TQnCCR2レジスタにライトした値がCCR2バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR2バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTQnCC2) を発生します。

CCR2バッファ・レジスタは、直接リード/ライトできません。

リセットによりTQnCCR2レジスタが0000Hになるため、CCR2バッファ・レジスタも0000Hになります。

(5) CCR3バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TQnCCR3レジスタをコンペア・レジスタとして使用するとき、TQnCCR3レジスタにライトした値がCCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR3バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTQnCC3) を発生します。

CCR3バッファ・レジスタは、直接リード/ライトできません。

リセットによりTQnCCR3レジスタが0000Hになるため、CCR3バッファ・レジスタも0000Hになります。

(6) エッジ検出回路

TIQn0-TIQn3端子に入力される有効エッジを検出します。有効エッジは、TQnIOC1、TQnIOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

(7) 出力制御回路

TOQn0-TOQn3端子の出力を制御します。TOQn0-TOQn3端子の出力は、TQnIOC0レジスタで制御します。

(8) セレクタ

16ビット・カウンタのカウンタ・クロックを選択します。カウンタ・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

7.4 レジスタ

TMQnを制御するレジスタを次に示します。

- ・ TMQn制御レジスタ0 (TQnCTL0)
- ・ TMQn制御レジスタ1 (TQnCTL1)
- ・ TMQnI/O制御レジスタ0 (TQnIOC0)
- ・ TMQnI/O制御レジスタ1 (TQnIOC1)
- ・ TMQnI/O制御レジスタ2 (TQnIOC2)
- ・ TMQnオプション・レジスタ0 (TQnOPT0)
- ・ TMQnキャプチャ/コンペア・レジスタ0 (TQnCCR0)
- ・ TMQnキャプチャ/コンペア・レジスタ1 (TQnCCR1)
- ・ TMQnキャプチャ/コンペア・レジスタ2 (TQnCCR2)
- ・ TMQnキャプチャ/コンペア・レジスタ3 (TQnCCR3)
- ・ TMQnカウンタ・リード・バッファ・レジスタ (TQnCNT)

備考 TIQn0-TIQn3, TOQn0-TOQn3端子の機能を使用する場合は、表4 - 15 **ポート端子を兼用端子として使用する場合**を参照してください。

(1) TMQn制御レジスタ0 (TQnCTL0)

TQnCTL0レジスタは、TMQnの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TQnCTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：TQ0CTL0 FFFFF540H, TQ1CTL0 FFFFF610H

	7	6	5	4	3	2	1	0
TQnCTL0 (n = 0, 1)	TQnCE	0	0	0	0	TQnCKS2	TQnCKS1	TQnCKS0

TQnCE	TMQnの動作の制御
0	TMQn動作禁止 (TMQnを非同期にリセット ^注)
1	TMQn動作許可。TMQn動作開始

TQnCKS2	TQnCKS1	TQnCKS0	内部カウント・クロックの選択
0	0	0	fxx
0	0	1	fxx/2
0	1	0	fxx/4
0	1	1	fxx/8
1	0	0	fxx/16
1	0	1	fxx/32
1	1	0	fxx/64
1	1	1	fxx/128

注 TQnOPT0.TQnOVFビット、16ビット・カウンタ、タイマ出力 (TOQn0-TOQn3端子)。

注意1. TQnCKS2-TQnCKS0ビットは、TQnCEビット = 0のときに設定してください。TQnCEビットを“0”から“1”に設定するときに、同時にTQnCKS2-TQnCKS0ビットを設定できます。

2. ビット3-6には必ず“0”を設定してください。

備考 fxx：メイン・クロック周波数

(2) TMQn制御レジスタ1 (TQnCTL1)

TQnCTL1レジスタは、TMQnの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：TQ0CTL1: FFFFF541H, TQ1CTL1: FFFFF611H

	7	6	5	4	3	2	1	0
TQnCTL1	TQnSYE	TQnEST	TQnEEE	0	0	TQnMD2	TQnMD1	TQnMD0

(n = 0, 1)

TQnSYE	同調動作モード許可制御				
0	独立動作モード (アシンクロナス動作モード)				
1	同調動作モード (スレーブ動作の指定) マスタとなるタイマに同期して動作させることができます。				
	<table border="1" style="margin: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px;">マスタ・タイマ</td> <td style="padding: 2px;">スレーブ・タイマ</td> </tr> <tr> <td style="padding: 2px;">TMP2</td> <td style="padding: 2px;">TMP3 TMQ0</td> </tr> </table>	マスタ・タイマ	スレーブ・タイマ	TMP2	TMP3 TMQ0
マスタ・タイマ	スレーブ・タイマ				
TMP2	TMP3 TMQ0				
	同調動作モードについては7.6 タイマ同調動作機能 を参照してください。				

TQnEST	ソフトウェア・トリガ制御
0	-
1	外部トリガ入力への有効な信号を作成 <ul style="list-style-type: none"> ・ワンショット・パルス出力モード時：TQnESTビットへの“1”ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時：TQnESTビットへの“1”ライトをトリガとして、PWM波形を出力

注意1. TQnESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。

2. ビット3, 4は必ず“0”を設定してください。

TQnEEE	カウント・クロックの選択
0	外部イベント・カウント入力での動作禁止 (TQnCTL0.TQnCK0-TQnCK2ビットによって選択されたカウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力での動作許可 (外部イベント・カウント入力信号の有効エッジごとにカウント動作を行う)

TQnEEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。

TQnMD2	TQnMD1	TQnMD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード
1	1	1	三角波PWMモード

- 注意1.** 外部イベント・カウント・モードのときは、TQnEEEビットの値にかかわらず外部イベント・カウント入力を選択されます。
2. TQnEEE, TQnMD2-TQnMD0ビットは、TQnCTL0.TQnCEビット = 0のときに設定してください (TQnCEビット = 1のときの同値書き込みは可能)。TQnCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TQnCEビットをクリア (0) してから再設定してください。

(3) TMQnI/O制御レジスタ0 (TQnIOC0)

TQnIOC0レジスタは、タイマ出力 (TOQn0-TOQn3端子) を制御する8ビット・レジスタです。
8/1ビット単位でリード/ライト可能です。
リセットにより00Hになります。

リセット時：00H R/W アドレス：TQ0IOC0 FFFFF542H, TQ1IOC0 FFFFF612H

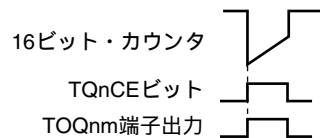
	7	6	5	4	3	2	1	0
TQnIOC0 (n = 0, 1)	TQnOL3	TQnOE3	TQnOL2	TQnOE2	TQnOL1	TQnOE1	TQnOL0	TQnOE0

TQnOLm	TOQnm端子出力レベルの設定 (m = 0-3) 注
0	TOQnm端子ハイ・レベル・スタート
1	TOQnm端子ロウ・レベル・スタート

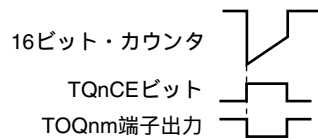
TQnOEm	TOQnm端子出力の設定 (m = 0-3)
0	タイマ出力禁止 ・ TQnOLmビット = 0のときTOQnm端子からロウ・レベルを出力 ・ TQnOLmビット = 1のときTOQnm端子からハイ・レベルを出力
1	タイマ出力許可 (TOQnm端子から方形波を出力)

注 TQnOLmビットの指定によるタイマ出力端子 (TOQnm) の出力レベルを次に示します。

・ TQnOLmビット = 0の場合



・ TQnOLmビット = 1の場合



注意1. TQnOLm, TQnOEmビットは、TQnCTL0.TQnCEビット = 0のときに書き換えてください (TQnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQnCEビットをクリア (0) してから再設定してください。

2. TQnCEビット = 0, TQnOEmビット = 0の状態において、TQnOLmビットを操作した場合でも、TOQnm端子の出力レベルは変化します。

備考 m = 0-3

(4) TMQnI/O制御レジスタ1 (TQnIOC1)

TQnIOC1レジスタは、キャプチャ・トリガ入力信号 (TIQn0-TIQn3端子) に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TQ0IOC1 FFFFF543H, TQ1IOC1 FFFFF613H

	7	6	5	4	3	2	1	0
TQnIOC1 (n = 0, 1)	TQnIS7	TQnIS6	TQnIS5	TQnIS4	TQnIS3	TQnIS2	TQnIS1	TQnIS0

TQnIS7	TQnIS6	キャプチャ・トリガ入力信号 (TIQn3端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQnIS5	TQnIS4	キャプチャ・トリガ入力信号 (TIQn2端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQnIS3	TQnIS2	キャプチャ・トリガ入力信号 (TIQn1端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQnIS1	TQnIS0	キャプチャ・トリガ入力信号 (TIQn0端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TQnIS7-TQnIS0ビットは、TQnCTL0.TQnCEビット= 0のときに書き換えてください (TQnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQnCEビットをクリア (0) してから再設定してください。
- 2.** TQnIS7-TQnIS0ビットは、フリー・ランニング・タイマ・モードと、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。

(5) TMQnI/O制御レジスタ2 (TQnIOC2)

TQnIOC2レジスタは、外部イベント・カウント入力信号 (TIQn0端子)、外部トリガ入力信号 (TIQn0端子) に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : TQ0IOC0 FFFFF544H, TQ1IOC2 FFFFF614H

	7	6	5	4	3	2	1	0
TQnIOC2	0	0	0	0	TQnEES1	TQnEES0	TQnETS1	TQnETS0

(n = 0, 1)

TQnEES1	TQnEES0	外部イベント・カウント入力信号 (TIQn0端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQnETS1	TQnETS0	外部トリガ入力信号 (TIQn0端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TQnEES1, TQnEES0, TQnETS1, TQnETS0ビットは、TQnCTL0.TQnCEビット = 0のときに書き換えてください (TQnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQnCEビットをクリア (0) してから再設定してください。
2. TQnEES1, TQnEES0ビットは、TQnCTL1.TQnEEEビット = 1、または外部イベント・カウント・モード (TQnCTL1.TQnMD2-TQnMD0ビット = 001) に設定したときのみ有効です。
3. TQnETS1, TQnETS0ビットは、外部トリガ・パルス出力モード (TQnCTL1.TQnMD2-TQnMD0ビット = 010)、ワンショット・パルス出力モード (TQnCTL1.TQnMD2-TQnMD0ビット = 011) に設定したときのみ有効です。

(6) TMQnオプション・レジスタ0 (TQnOPT0)

TQnOPT0レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : TQ0OPT0 FFFFF545H, TQ1OPT0 FFFFF615H

	7	6	5	4	3	2	1	0
TQnOPT0 (n = 0, 1)	TQnCCS3	TQnCCS2	TQnCCS1	TQnCCS0	0	0	0	TQnOVF

TQnCCSm	TQnCCRmレジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択
TQnCCSmビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TQnOVF	TMQnのオーバフロー検出
セット(1)	オーバフロー発生
リセット(0)	TQnOVFビットへの0ライトまたはTQnCTL0.TQnCEビット = 0
<ul style="list-style-type: none"> ・TQnOVFビットは、カウントフリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタのカウンタ値がFFFFHから0000Hにオーバフローするときセット(1)されます。 ・TQnOVFビットがセット(1)されると同時に、割り込み要求信号(INTTQnOV)が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTQnOV信号は発生しません。 ・TQnOVFビット = 1のときにTQnOVFビットまたはTQnOPT0レジスタをリードしてもTQnOVFビットはクリアされません。 ・TQnOVFビットはリード/ライト可能ですが、ソフトウェアでTQnOVFビットをセット(1)することはできません。“1”をライトしてもTMQnの動作に影響はありません。 	

注意1. TQnCCS3-TQnCCS0ビットは、TQnCTL0.TQnCEビット = 0のときに書き換えてください(TQnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQnCEビットをクリア(0)してから再設定してください。

2. ビット1-3には必ず“0”を設定してください。

備考 m = 0-3

(7) TMQnキャプチャ/コンペア・レジスタ0 (TQnCCR0)

TQnCCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TQnCCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQnOPT0.TQnCCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TQnCCR0レジスタは、動作中のリード/ライトを許可します。

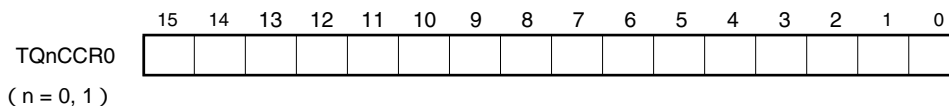
16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TQnCCR0レジスタへのアクセスは禁止です。詳細は3. 4. 8 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時：00H R/W アドレス：TQ0CCR0 FFFFF546H, TQ1CCR0 FFFFF616H



(a) コンペア・レジスタとしての機能

TQnCCR0レジスタは、TQnCTL0.TQnCEビット = 1のときでも書き換えできます。

TQnCCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTQnCC0) を発生し、TOQn0端子出力を許可している場合、TOQn0端子出力を反転します。

インターバル・タイマ・モード、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モード、三角波PWMモードにおいて、TQnCCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TQnCCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIQn0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQnCCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIQn0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQnCCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTQnCCR0レジスタのリードが競合しても、TQnCCR0レジスタは正しい値をリードできます。

備考 n = 0, 1

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-2 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-
三角波PWMモード	コンペア・レジスタ	一斉書き込み

(8) TMQnキャプチャ/コンペア・レジスタ1 (TQnCCR1)

TQnCCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TQnCCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQnOPT0.TQnCCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TQnCCR1レジスタは、動作中のリード/ライトを許可します。

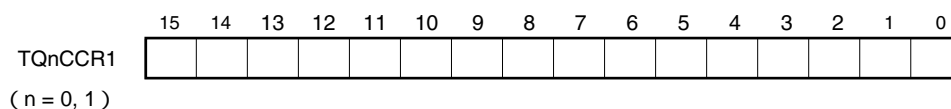
16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TQnCCR1レジスタへのアクセスは禁止です。詳細は3. 4. 8 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時：00H R/W アドレス：TQ0CCR1 FFFFF548H, TQ1CCR1 FFFFF618H



(a) コンペア・レジスタとしての機能

TQnCCR1レジスタは、TQnCTL0.TQnCEビット = 1のときでも書き換えできます。

TQnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTQnCC1) を発生し、TOQn1端子出力を許可している場合、TOQn1端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TQnCCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIQn1端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQnCCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIQn1端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQnCCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTQnCCR1レジスタのリードが競合しても、TQnCCR1レジスタは正しい値をリードできます。

備考 n = 0, 1

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-3 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-
三角波PWMモード	コンペア・レジスタ	一斉書き込み

(9) TMQnキャプチャ/コンペア・レジスタ2 (TQnCCR2)

TQnCCR2レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TQnCCR2レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQnOPT0.TQnCCS2ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TQnCCR2レジスタは、動作中のリード/ライトを許可します。

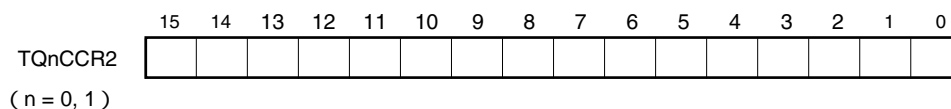
16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TQnCCR2レジスタへのアクセスは禁止です。詳細は3. 4. 8 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時：00H R/W アドレス：TQ0CCR2 FFFFF54AH, TQ1CCR2 FFFFF61AH



(a) コンペア・レジスタとしての機能

TQnCCR2レジスタは、TQnCTL0.TQnCEビット = 1のときでも書き換えできます。

TQnCCR2レジスタの設定値はCCR2バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR2バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTQnCC2) を発生し、TOQn2端子出力を許可している場合、TOQn2端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TQnCCR2レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIQn2端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQnCCR2レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIQn2端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQnCCR2レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTQnCCR2レジスタのリードが競合しても、TQnCCR2レジスタは正しい値をリードできます。

備考 n = 0, 1

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7 - 4 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-
三角波PWMモード	コンペア・レジスタ	一斉書き込み

(10) TMQnキャプチャ/コンペア・レジスタ3 (TQnCCR3)

TQnCCR3レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TQnCCR3レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQnOPT0.TQnCCS3ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TQnCCR3レジスタは、動作中のリード/ライトを許可します。

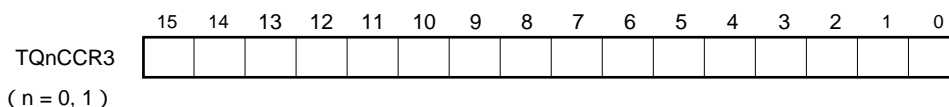
16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TQnCCR3レジスタへのアクセスは禁止です。詳細は3. 4. 8 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時：00H R/W アドレス：TQ0CCR3 FFFFF54CH, TQ1CCR3 FFFFF61CH



(a) コンペア・レジスタとしての機能

TQnCCR3レジスタは、TQnCTL0.TQnCEビット = 1のときでも書き換えできます。

TQnCCR3レジスタの設定値はCCR3バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR3バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTQnCC3) を発生し、TOQn3端子出力を許可している場合、TOQn3端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TQnCCR3レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIQn3端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQnCCR3レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIQn3端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQnCCR3レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTQnCCR3レジスタのリードが競合しても、TQnCCR3レジスタは正しい値をリードできます。

備考 n = 0, 1

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7 - 5 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-
三角波PWMモード	コンペア・レジスタ	一斉書き込み

(11) TMQnカウンタ・リード・バッファ・レジスタ (TQnCNT)

TQnCNTレジスタは、16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

TQnCTL0.TQnCEビット = 1のときにTQnCNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。

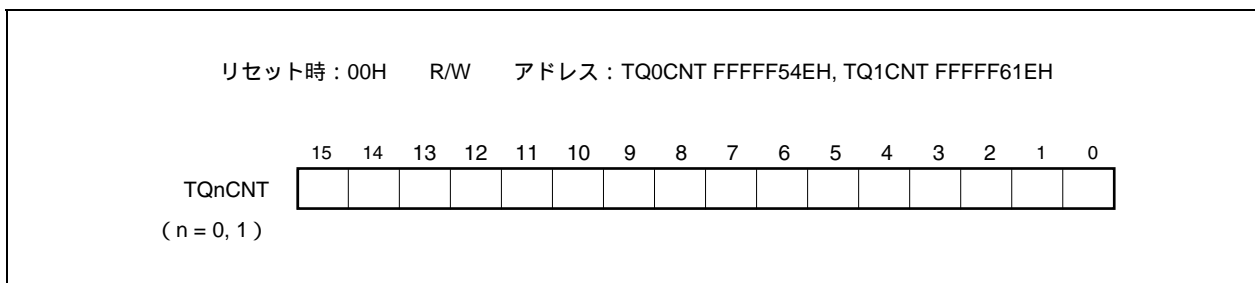
16ビット単位でリードのみ可能です。

TQnCEビット = 0のとき、TQnCNTレジスタは0000Hになります。このときにTQnCNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) をリードせず、そのまま0000Hをリードします。

リセットによりTQnCEビット = 0になるため、TQnCNTレジスタは0000Hになります。

注意 次に示す状態において、TQnCNTレジスタへのアクセスは禁止です。詳細は3.4.8(2) 特定の
内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



(12) TIQnm端子ノイズ除去制御レジスタn (QnmNFC)

QnmNFCレジスタは、タイマQ入力端子のデジタル・ノイズ・フィルタ除去を設定する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：Q00NFC：FFFFFB50H (TIQ00端子)
 Q01NFC：FFFFFB54H (TIQ01端子)
 Q02NFC：FFFFFB58H (TIQ02端子)
 Q03NFC：FFFFFB5CH (TIQ03端子)
 Q10NFC：FFFFFB60H (TIQ10端子)
 Q11NFC：FFFFFB64H (TIQ11端子)
 Q12NFC：FFFFFB68H (TIQ12端子)
 Q13NFC：FFFFFB6CH (TIQ13端子)

	7	6	5	4	3	2	1	0
QnmNFC	0	NFSTS	0	0	0	NFC2	NFC1	NFC0

(n = 0, 1, m = 0-3)

NFSTS	デジタル・ノイズ・フィルタのサンプリング回数の設定
0	3回
1	2回

NFC2	NFC1	NFC0	サンプリング・クロック
0	0	0	f_{xx}
0	0	1	$f_{xx}/2$
0	1	0	$f_{xx}/4$
0	1	1	$f_{xx}/16$
1	0	0	$f_{xx}/32$
1	0	1	$f_{xx}/64$
上記以外			設定禁止

- 注意1.** ビット3-5, 7には必ず0を設定してください。
2. QnmNFCレジスタの設定を行う前に、タイマ入力端子(TIQnm)に入力された信号は、デジタル・ノイズ除去され、出力されます。
 そのため、QnmNFCレジスタでサンプリング・クロック(NFC2-NFC0)、サンプリング回数(NFSTS)を設定したあと、初期化時間 = (サンプリング・クロック) × (サンプリング回数) が経過してから、タイマの動作を許可してください。

備考 確実に除去されるノイズ幅は、(サンプリング・クロック) × (サンプリング回数 - 1) になります。また、このノイズ幅以下のノイズであっても、サンプリング・クロックに同期したノイズが入力された場合には、誤カウントが発生する可能性があります。

7.5 動作

TMQnには次のような動作があります。

動作	TQnCTL1.TQnESTビット (ソフトウェア・トリガ・ビット)	TIQn0端子 (外部トリガ入力)	キャプチャ/コンペア・レジスタの設定	コンペア・レジスタの書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード ^{注1}	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード ^{注2}	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード ^{注2}	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード ^{注2}	無効	無効	キャプチャ専用	対象外
三角波PWMモード	無効	無効	コンペア専用	一斉書き込み

注1. 外部イベント・カウント・モードを使用する場合、TIQn0端子のキャプチャ・トリガ入力の有効エッジの設定を、エッジを検出しない (TQnIOC1.TQnIS1, TQnIS0ビットを“00”) に設定してください。

2. 外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択 (TQnCTL1.TQnEEEビット = 0に設定) してください。

備考 n = 0, 1

7.5.1 インターバル・タイマ・モード (TQnMD2-TQnMD0ビット = 000)

インターバル・タイマ・モードは、TQnCTL0.TQnCEビットをセット(1)することで、任意のインターバル間隔にて割り込み要求信号 (INTTQnCC0) を発生します。また、TOQn0端子から、インターバル間隔を半周期とする方形波を出力できます。

インターバル・タイマ・モードでは、通常、TQnCCR1-TQnCCR3レジスタを使用しません。

図7-2 インターバル・タイマの構成図

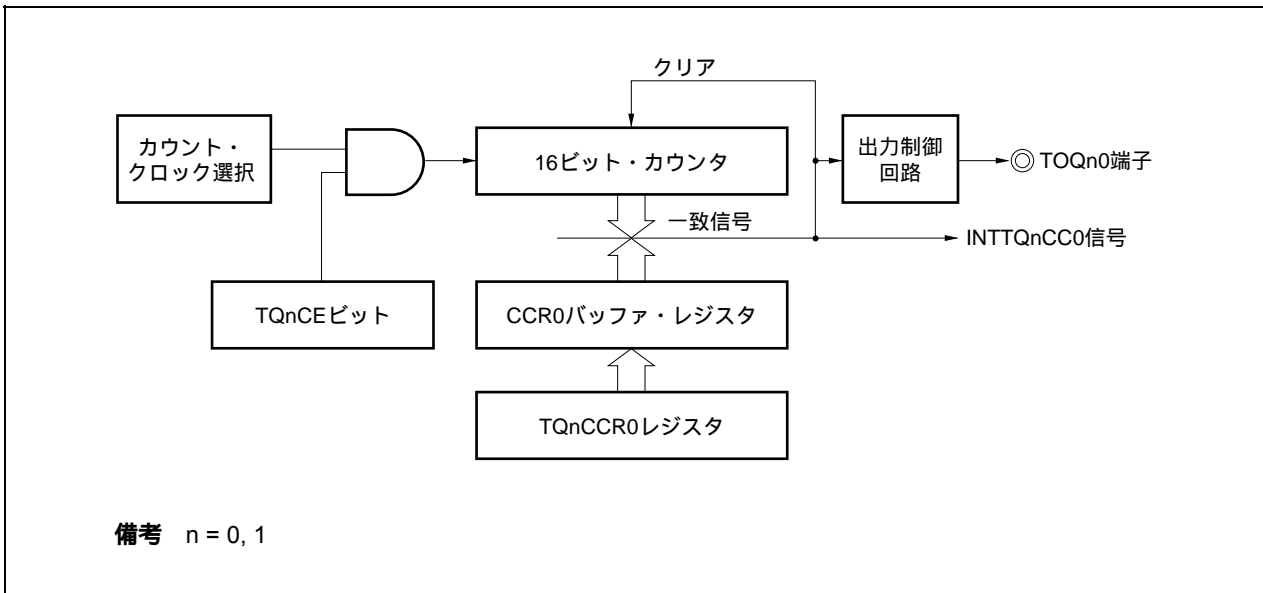
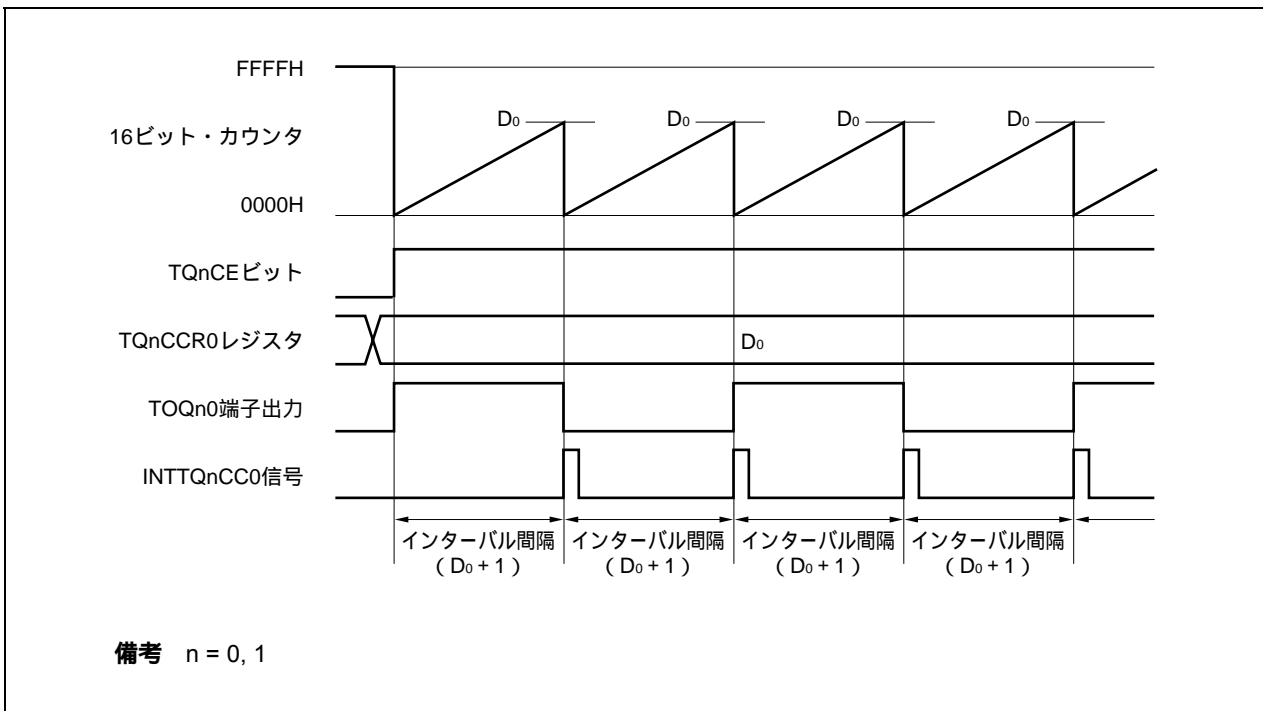


図7-3 インターバル・タイマ・モード動作の基本タイミング



TQnCEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOQn0端子出力を反転します。また、TQnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOQn0端子出力を反転させて、コンペア一致割り込み要求信号 (INTTQnCC0) を発生します。インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TQnCCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

図7-4 インターバル・タイマ・モード動作時のレジスタ設定内容(1/2)

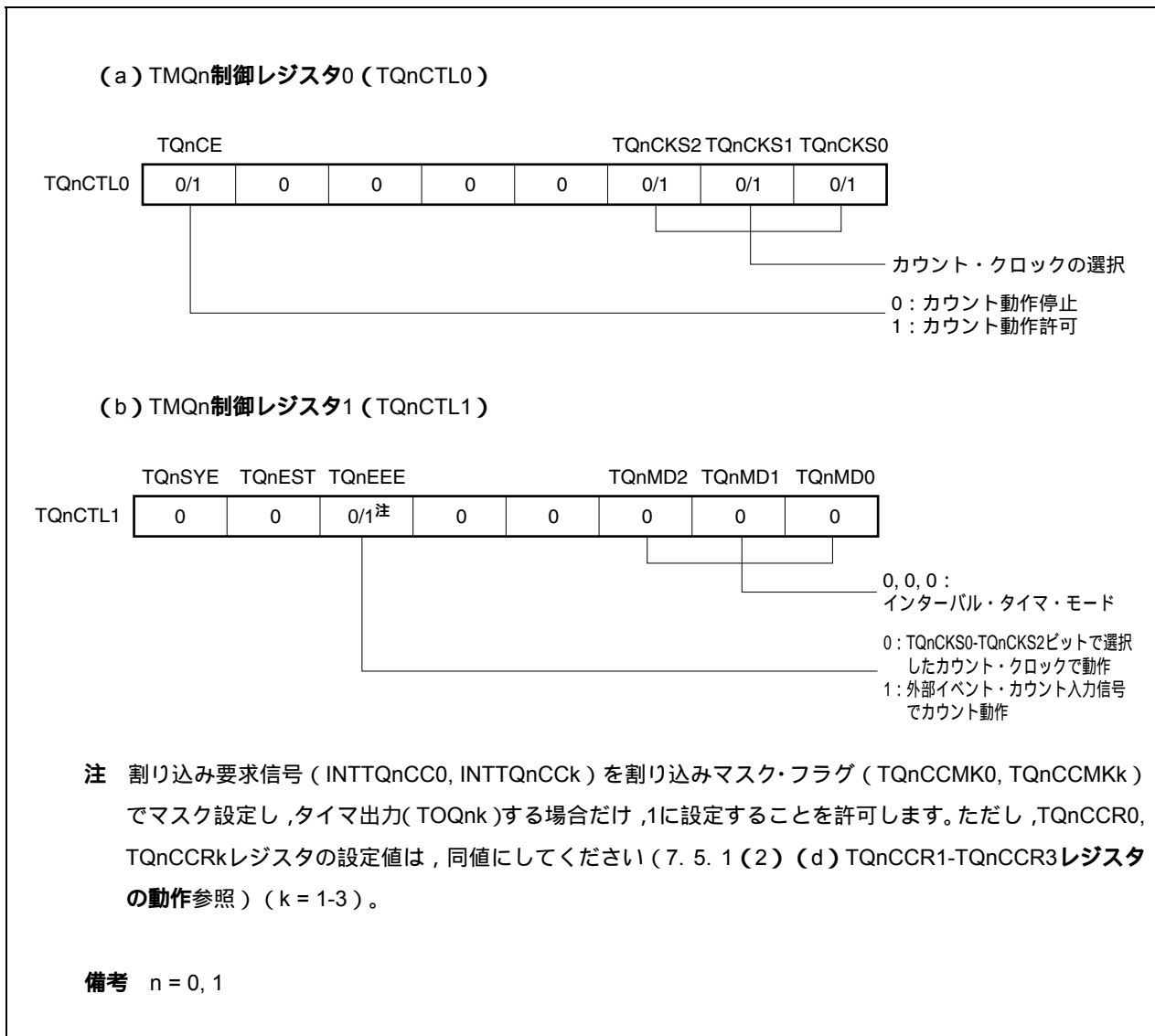
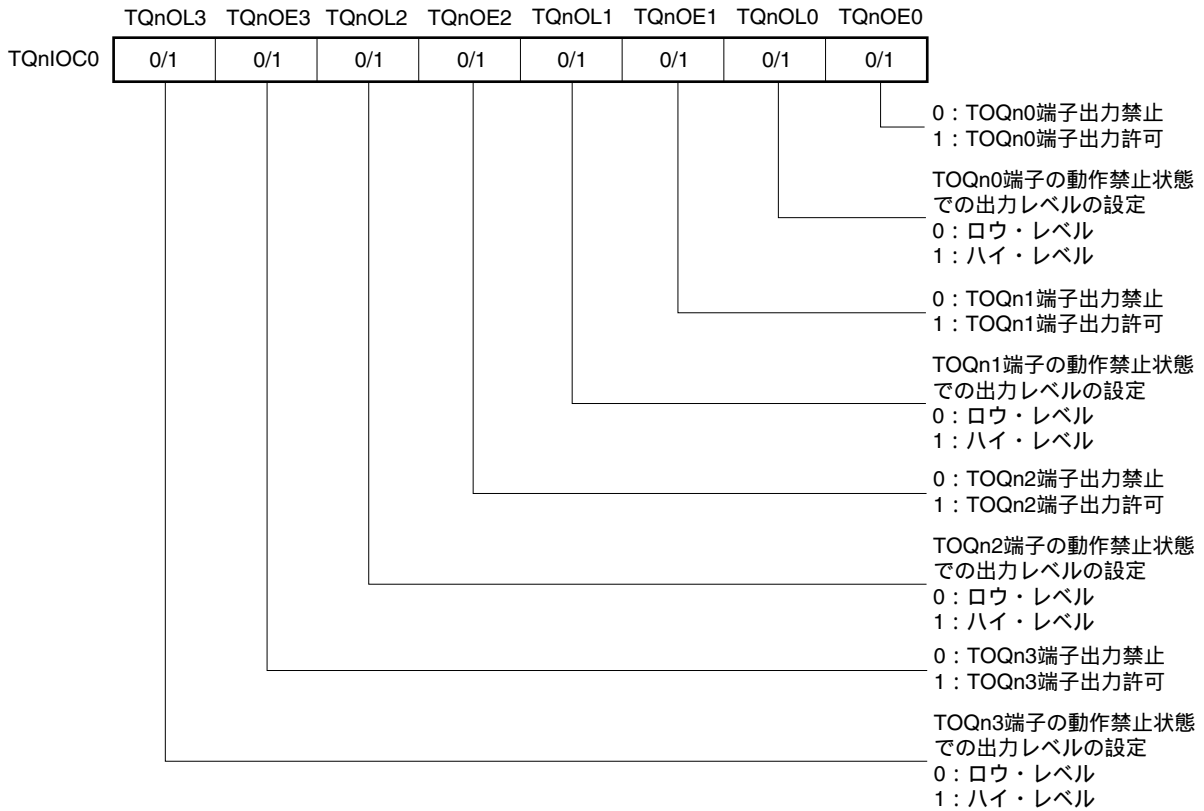


図7-4 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/2)

(c) TMQnI/O制御レジスタ0 (TQnIOC0)



(d) TMQnカウンタ・リード・バッファ・レジスタ (TQnCNT)

TQnCNTレジスタをリードすることで、16ビット・カウンタのカウンタ値をリードできます。

(e) TMQnキャプチャ/コンペア・レジスタ0 (TQnCCR0)

TQnCCR0レジスタにD₀を設定した場合、

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウント・クロック周期}$$

となります。

(f) TMQnキャプチャ/コンペア・レジスタ1-3 (TQnCCR1-TQnCCR3)

インターバル・タイマ・モードでは、通常、TQnCCR1-TQnCCR3レジスタを使用しません。しかし、TQnCCR1-TQnCCR3レジスタの設定値はCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1-CCR3バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTQnCC1-INTTQnCC3) が発生します。

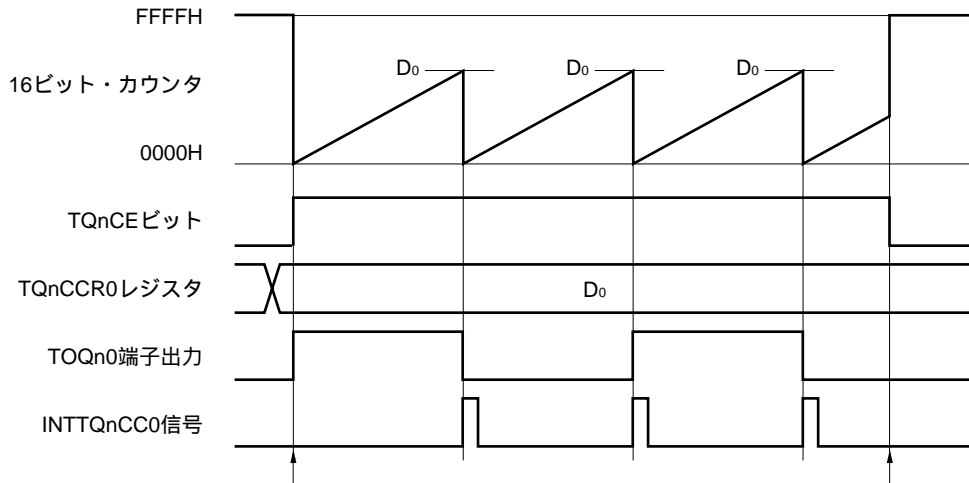
したがって、割り込みマスク・フラグ (TQnCCMK1-TQnCCMK3) でマスク設定しておいてください。

備考1. TMQnI/O制御レジスタ1 (TQnIOC1) , TMQnI/O制御レジスタ2 (TQnIOC2) , TMQnオプション・レジスタ0 (TQnOPT0) は、インターバル・タイマ・モードでは使用しません。

2. n = 0, 1

(1) インターバル・タイマ・モード動作フロー

図7-5 インターバル・タイマ・モード使用時のソフトウェア処理フロー



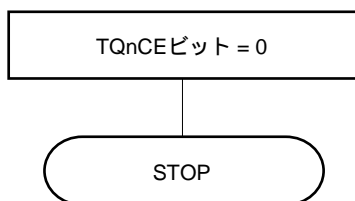
カウント動作開始フロー



TQnCEビット = 1にする前に、
これらのレジスタを初期設定。

カウント動作開始 (TQnCEビット = 1) と同時に、
TQnCKS0-TQnCKS2ビットの設定は可能。

カウント動作停止フロー



カウント動作停止 (TQnCEビット = 0) にすることで、
カウンタを初期化しカウント動作を停止。

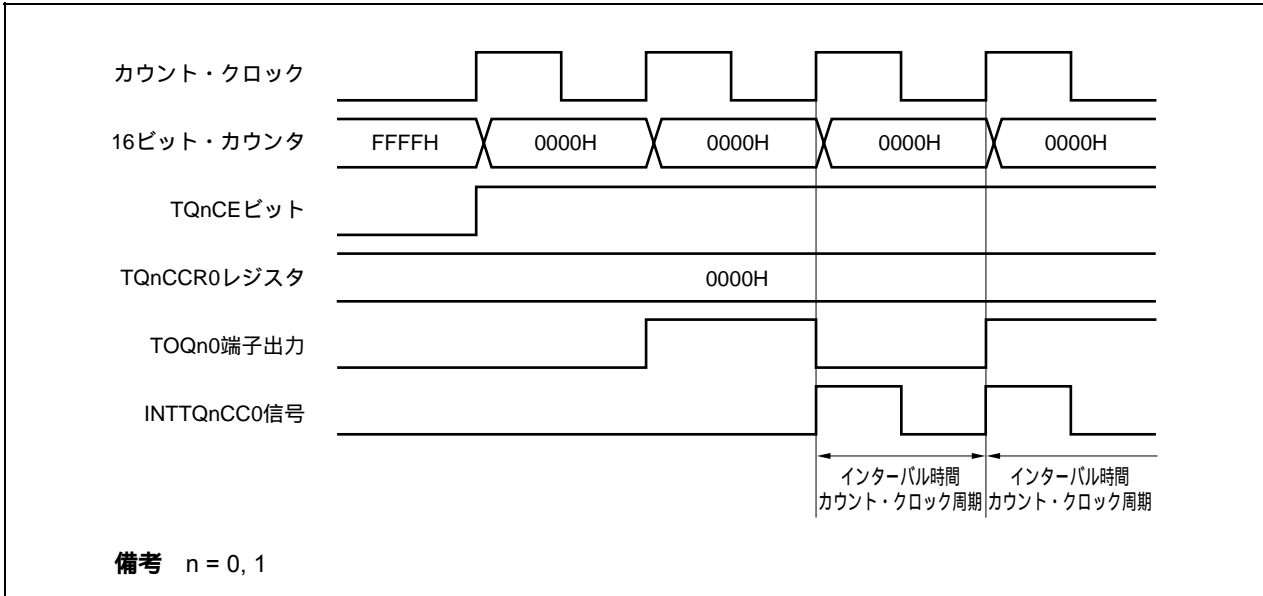
備考 n = 0, 1

(2) インターバル・タイマ・モード動作タイミング

(a) TQnCCR0レジスタに0000Hを設定した場合の動作

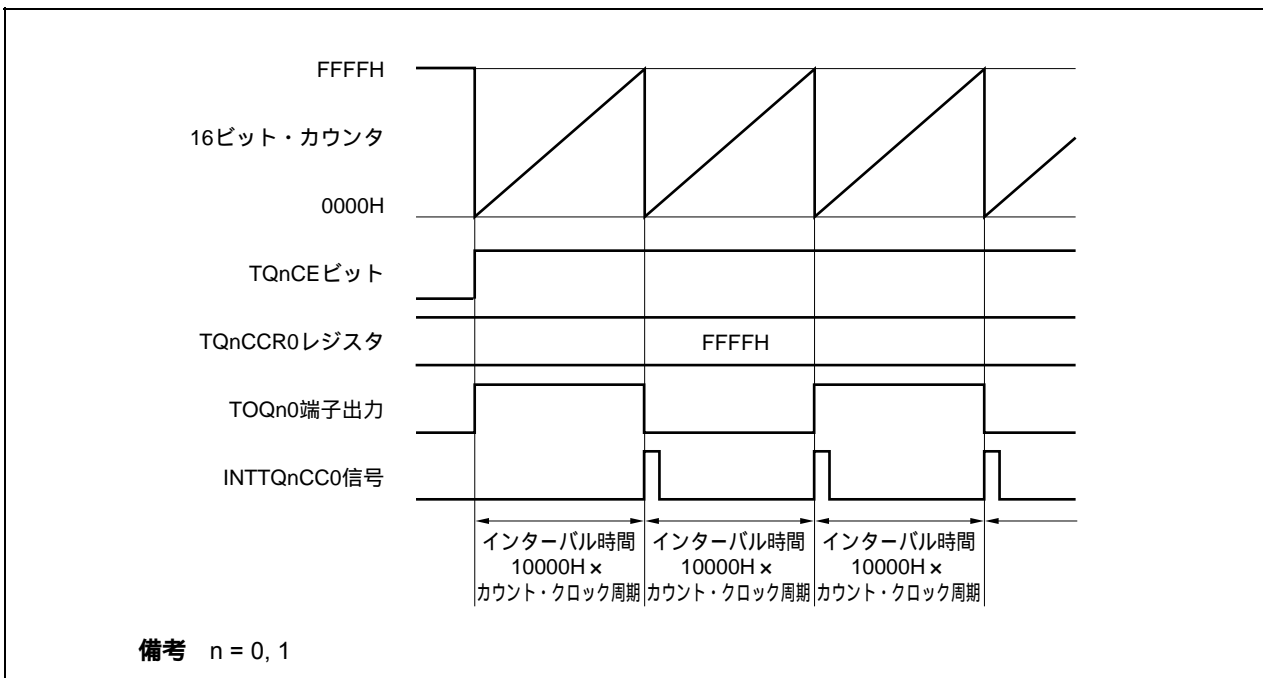
TQnCCR0レジスタに0000Hを設定した場合、2クロック目以降のカウンタ・クロックごとにINTTQnCC0信号を発生し、TOQn0端子の出力を反転します。

16ビット・カウンタは、常に0000Hとなります。



(b) TQnCCR0レジスタにFFFFHを設定した場合の動作

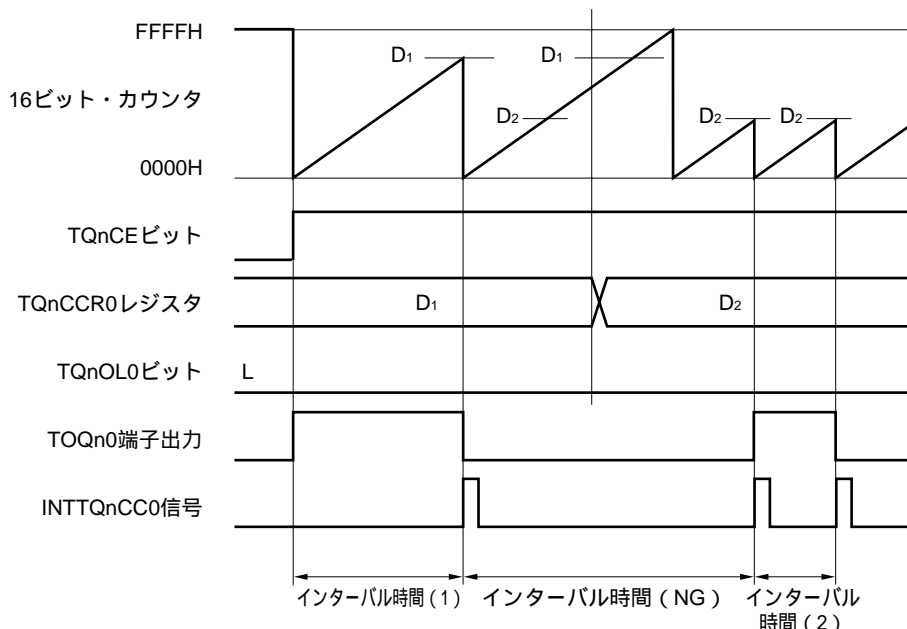
TQnCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウンタ・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTQnCC0信号を発生し、TOQn0端子の出力を反転します。このとき、オーバフロー割り込み要求信号 (INTTQnOV) は発生せず、オーバフロー・フラグ (TQnOPT0.TQnOVFビット) もセット (1) されません。



(c) TQnCCR0レジスタの書き換えに関する注意事項

TQnCCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTQnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。



- 備考1. インターバル時間 (1) : $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$
 インターバル時間 (NG) : $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$
 インターバル時間 (2) : $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$
2. $n = 0, 1$

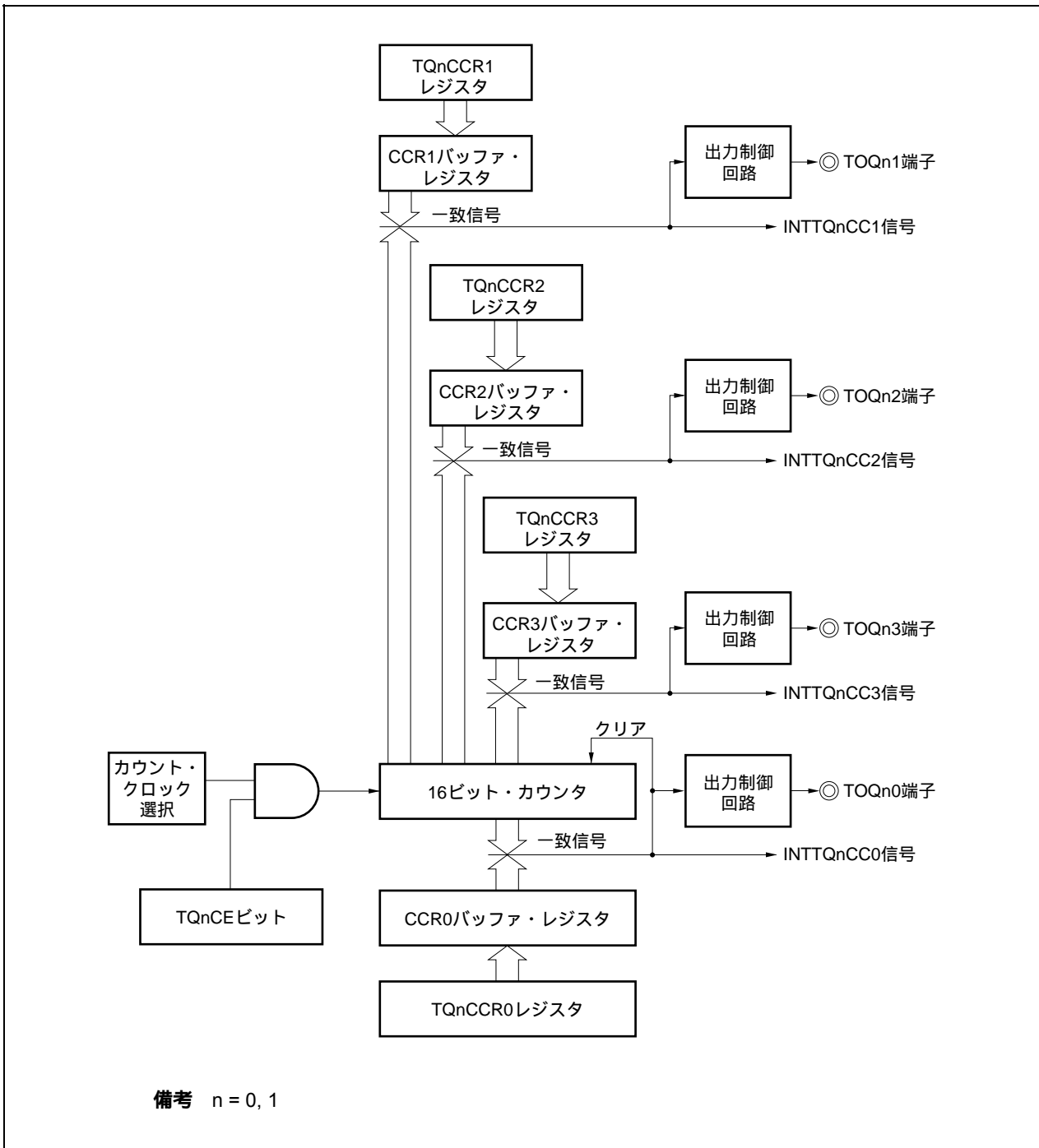
カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TQnCCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTQnCC0信号を発生しTOQn0端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」でINTTQnCC0信号は発生せず、「 $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」の間隔でINTTQnCC0信号が発生する場合があります。

(d) TQnCCR1-TQnCCR3レジスタの動作

図7 - 6 TQnCCR1-TQnCCR3レジスタの構成図



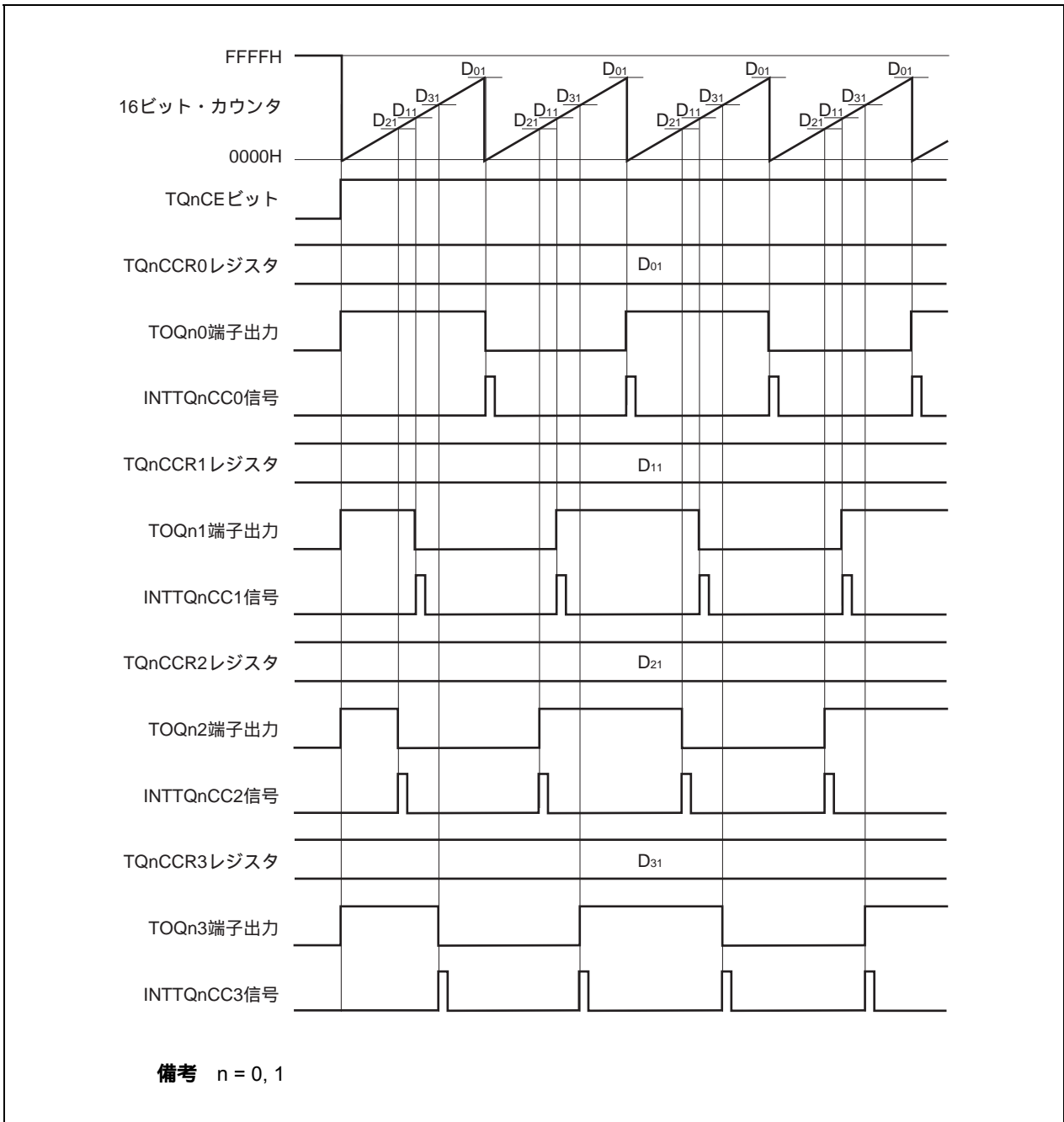
TQnCCRkレジスタの設定値がTQnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTQnCCk信号が発生します。また、同じタイミングでTOQnk端子出力は反転します。

TOQn0端子出力は、TOQn0端子出力と同じ周期の方形波を出力します。

備考 k = 1-3

n = 0, 1

図7-7 D₀₁ D_{k1}の場合のタイミング図

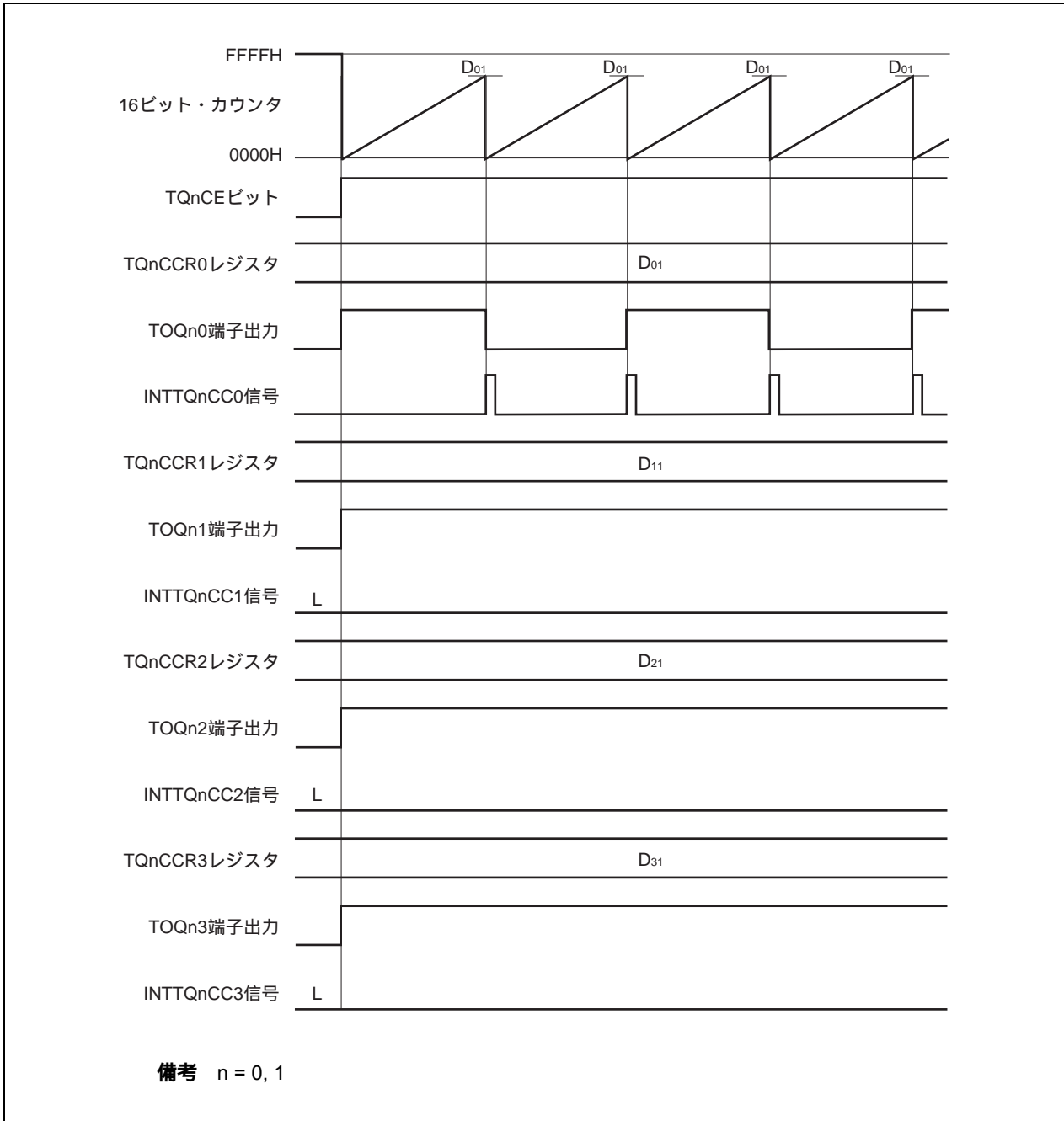


TQnCCRkレジスタの設定値がTQnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTQnCCRkレジスタの値が一致しないので、INTTQnCCk信号は発生しません。また、TOQnk端子出力も変化しません。

備考 k = 1-3

n = 0, 1

図7 - 8 D₀₁ < D_{k1}の場合のタイミング図



7.5.2 外部イベント・カウント・モード (TQnMD2-TQnMD0ビット = 001)

外部イベント・カウント・モードは、TQnCTL0.TQnCEビットをセット(1)することで、外部イベント・カウント入力の有効エッジをカウントし、任意のカウント数をカウントすることに割り込み要求信号(INTTQnCC0)を発生します。TOQn0端子は使用できません。

外部イベント・カウント・モードでは、通常、TQnCCR1-TQnCCR3レジスタは使用しません。

図7-9 外部イベント・カウント・モードの構成図

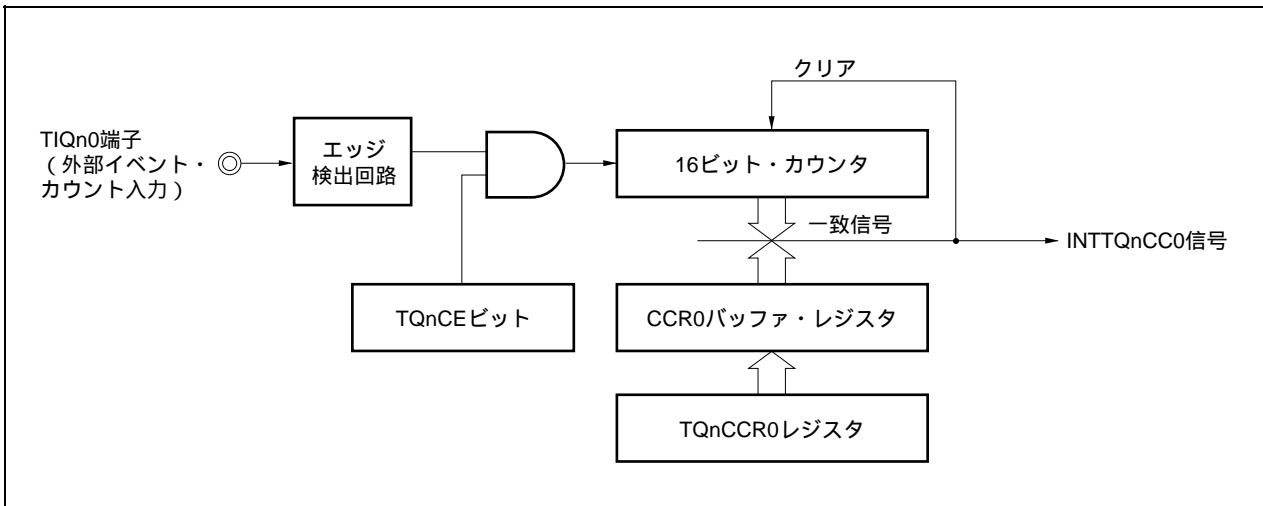
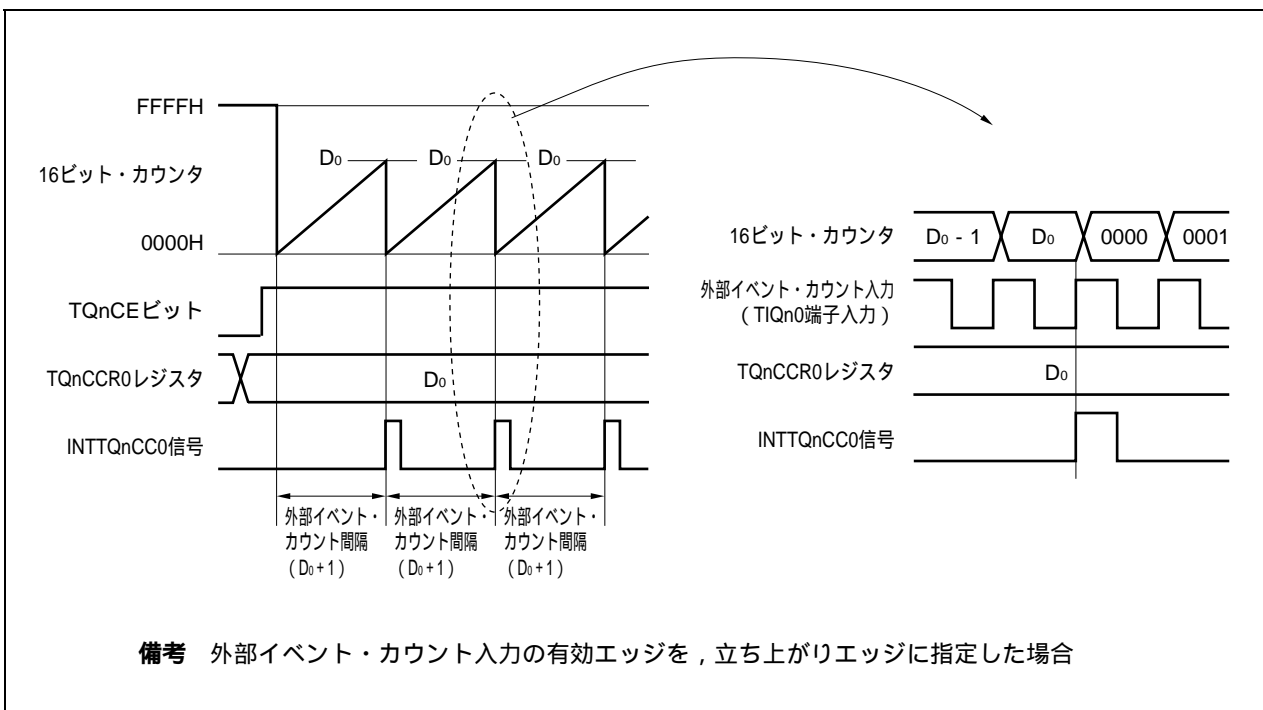


図7-10 外部イベント・カウント・モードの基本タイミング



TQnCEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出することにカウンタ動作を行います。また、TQnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号 (INTTQnCC0) を発生します。

INTTQnCC0信号は、外部イベント・カウント入力の有効エッジを (TQnCCR0レジスタに設定した値 + 1) 回検出することに発生します。

図7 - 11 外部イベント・カウント・モード動作時のレジスタ設定内容 (1/2)

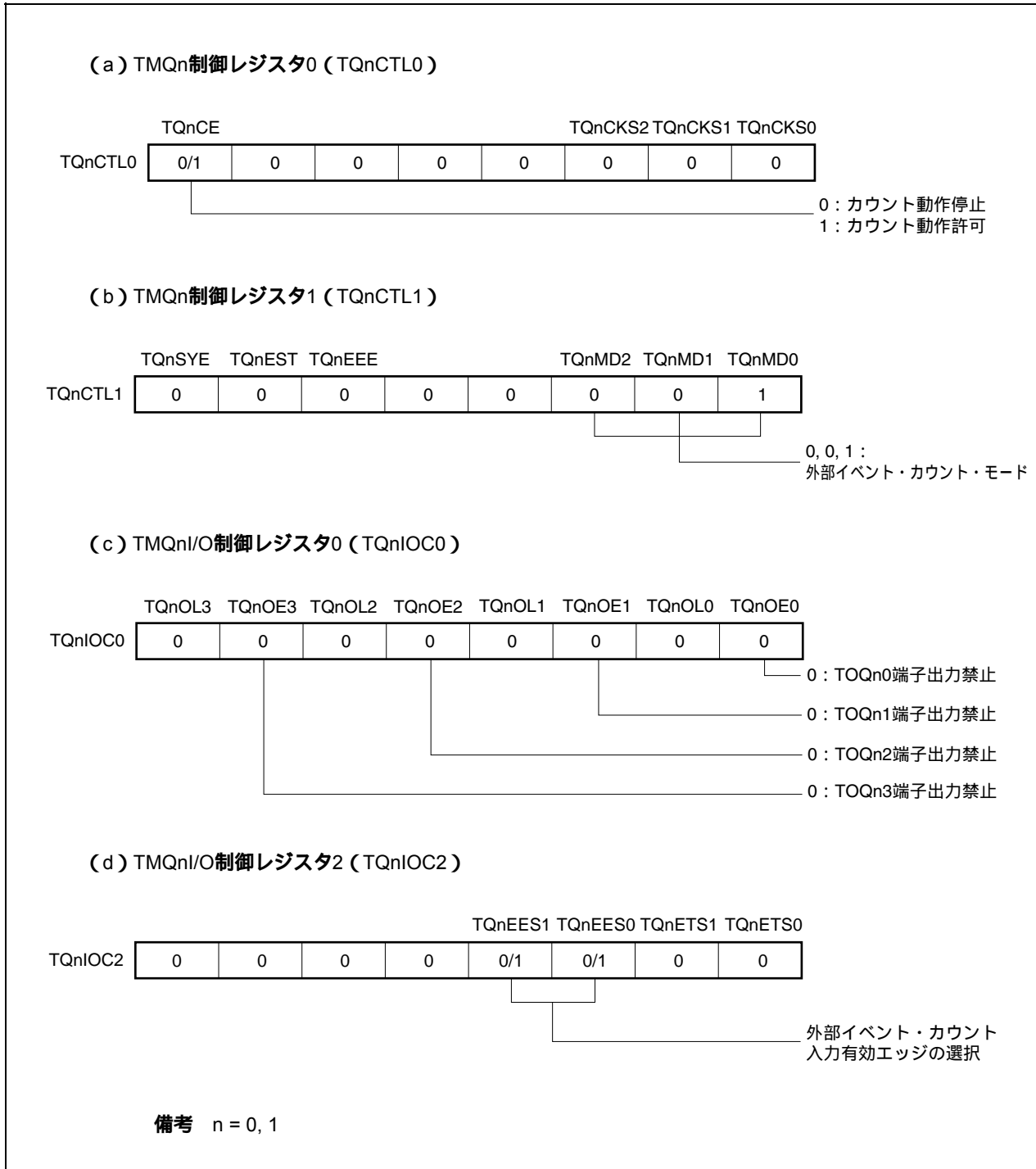


図7 - 11 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

(e) TMQnカウンタ・リード・バッファ・レジスタ (TQnCNT)

TQnCNTレジスタをリードすることで、16ビット・カウンタのカウンタ値をリードできます。

(f) TMQnキャプチャ/コンペア・レジスタ0 (TQnCCR0)

TQnCCR0レジスタに D_0 を設定した場合、外部イベント・カウント数が $(D_0 + 1)$ 回となるとカウントをクリアしコンペア一致割り込み要求信号 (INTTQnCC0) を発生します。

(g) TMQnキャプチャ/コンペア・レジスタ1-3 (TQnCCR1-TQnCCR3)

外部イベント・カウント・モードでは、通常、TQnCCR1-TQnCCR3レジスタは使用しません。しかし、TQnCCR1-TQnCCR3レジスタの設定値はCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1-CCR3バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTQnCC1-INTTQnCC3) が発生します。

したがって、割り込みマスク・フラグ (TQnCCMK1-TQnCCMK3) でマスク設定しておいてください。

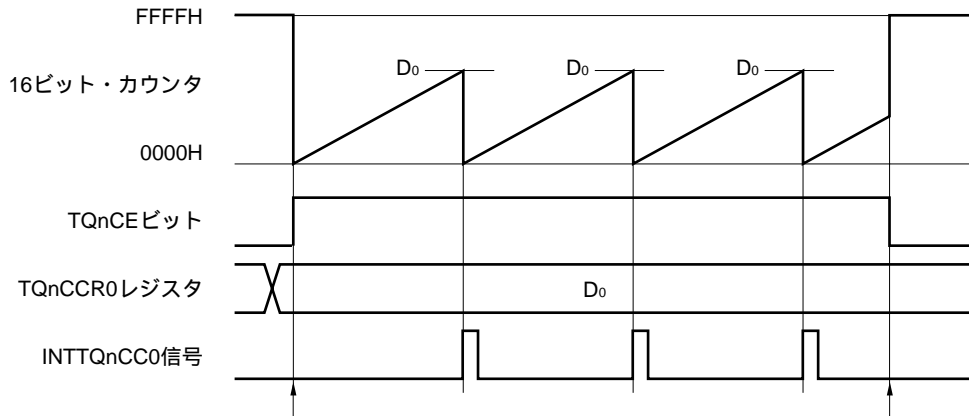
注意 カウント・クロックとして外部クロックを使用するときは、外部クロックはTIQn0端子からのみ入力できます。このとき、TQnIOC1.TQnIS1, TQnIS0ビット = 00 (キャプチャ・トリガ入力 (TIQn0端子) : エッジ検出なし) に設定してください。

備考1. TMQnI/O制御レジスタ1 (TQnIOC1), TMQnオプション・レジスタ0 (TQnOPT0) は、外部イベント・カウント・モードでは使用しません。

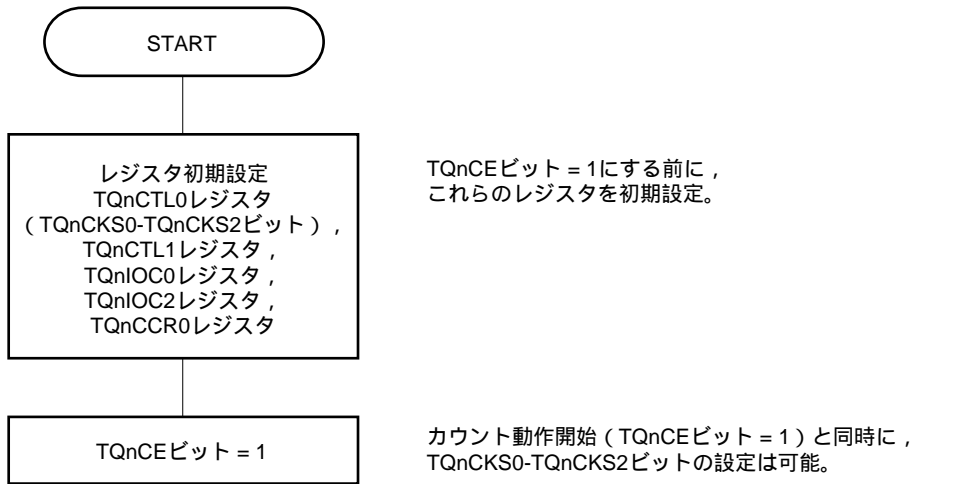
2. $n = 0, 1$

(1) 外部イベント・カウント・モード動作フロー

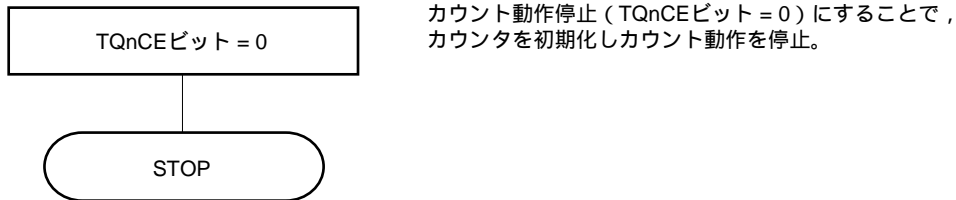
図7-12 外部イベント・カウント・モード使用時のソフトウェア処理フロー



カウント動作開始フロー



カウント動作停止フロー



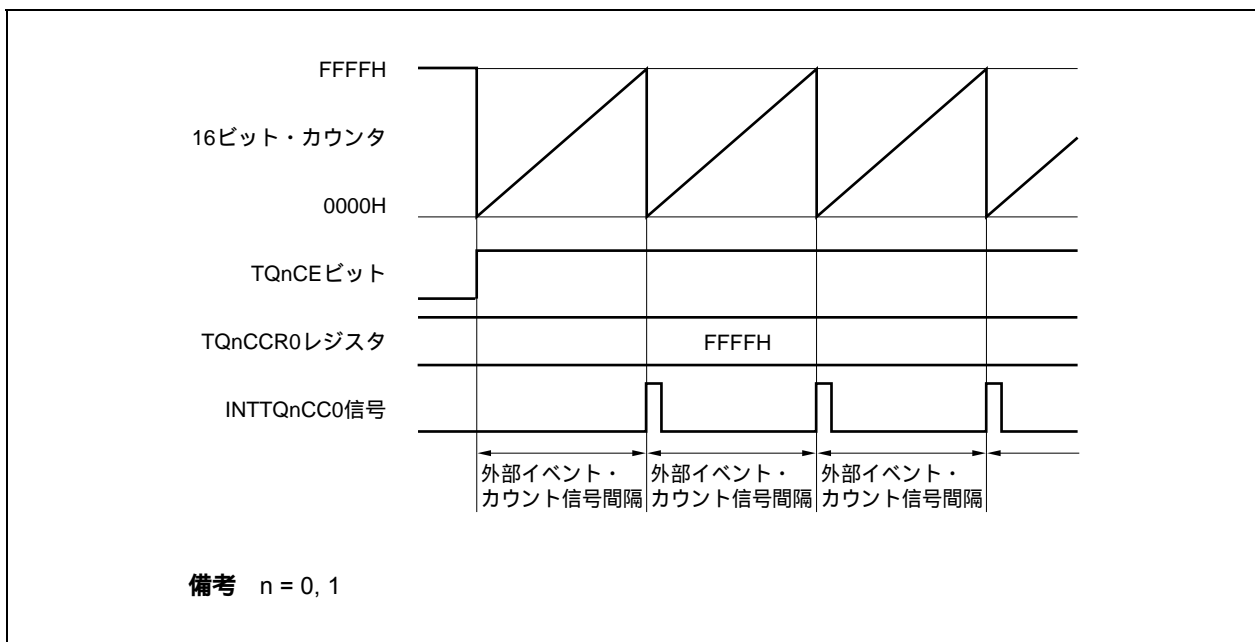
備考 n = 0, 1

(2) 外部イベント・カウント・モード動作タイミング

- 注意1. 外部イベント・カウント・モード時 ,TQnCCR0レジスタには ,0000Hを設定しないでください。
2. 外部イベント・カウント・モード時, タイマ出力は使用禁止です。外部イベント・カウント入力でタイマ出力を行う場合は, インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可に選択してください(TQnCTL1.TQnMD2-TQnMD0ビット = 000, TQnCTL1.TQnEEEビット = 1)。

(a) TQnCCR0レジスタにFFFFHを設定した場合の動作

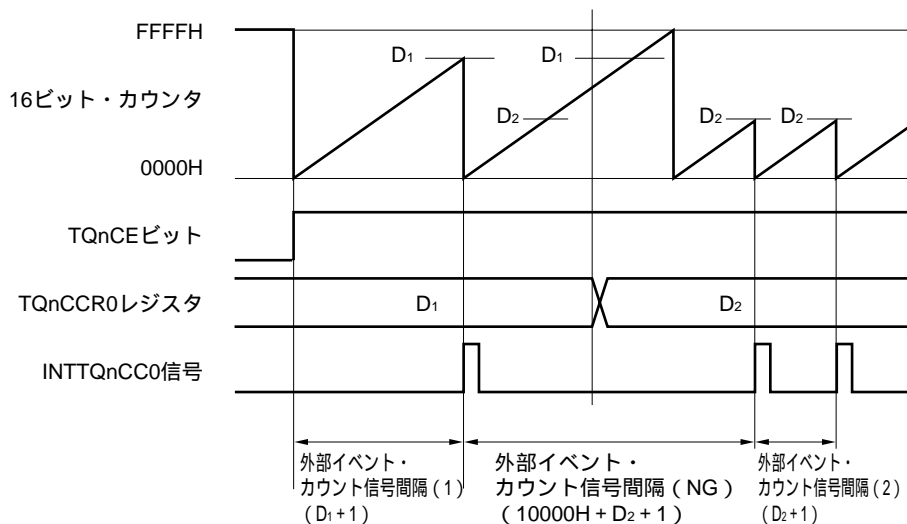
TQnCCR0レジスタにFFFFHを設定した場合, 16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い, 次のカウント・アップ・タイミングに同期して, 16ビット・カウンタを0000Hにクリアし, INTTQnCC0信号を発生します。このとき, TQnOPT0.TQnOVFビットはセットされません。



(b) TQnCCR0レジスタの書き換えに関する注意事項

TQnCCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTQnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。



備考 n = 0, 1

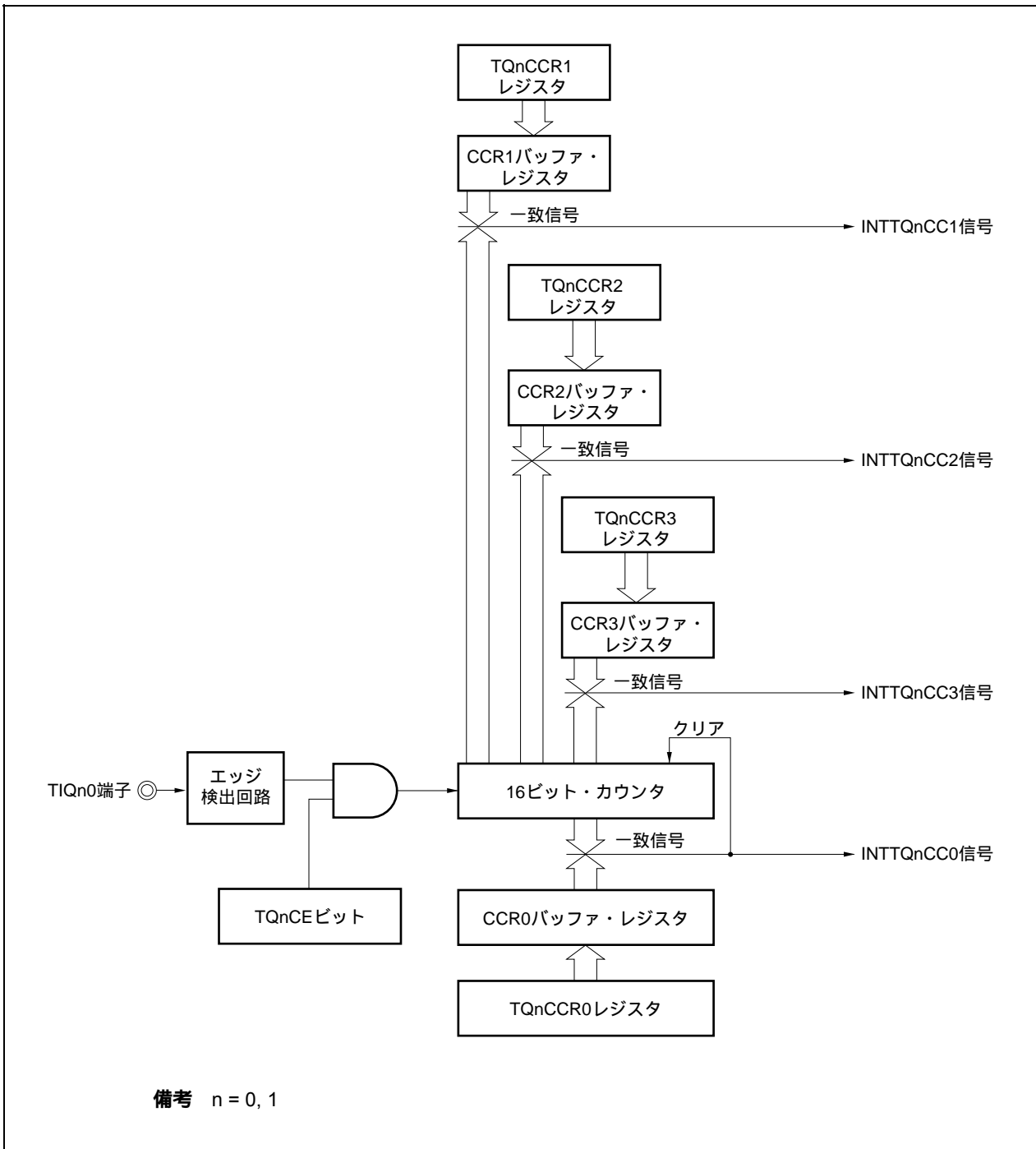
カウント値がD₂よりも大きくD₁よりも小さい状態において、TQnCCR0レジスタをD₁からD₂に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値がD₂となります。

しかし、カウント値はすでにD₂を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、D₂との一致でINTTQnCC0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「(D₁+1)回」または「(D₂+1)回」の有効エッジ数でINTTQnCC0信号は発生せずに、「(10000H + D₂ + 1)回」の有効エッジ数でINTTQnCC0信号が発生する場合があります。

(c) TQnCCR1-TQnCCR3レジスタの動作

図7 - 13 TQnCCR1-TQnCCR3レジスタの構成図

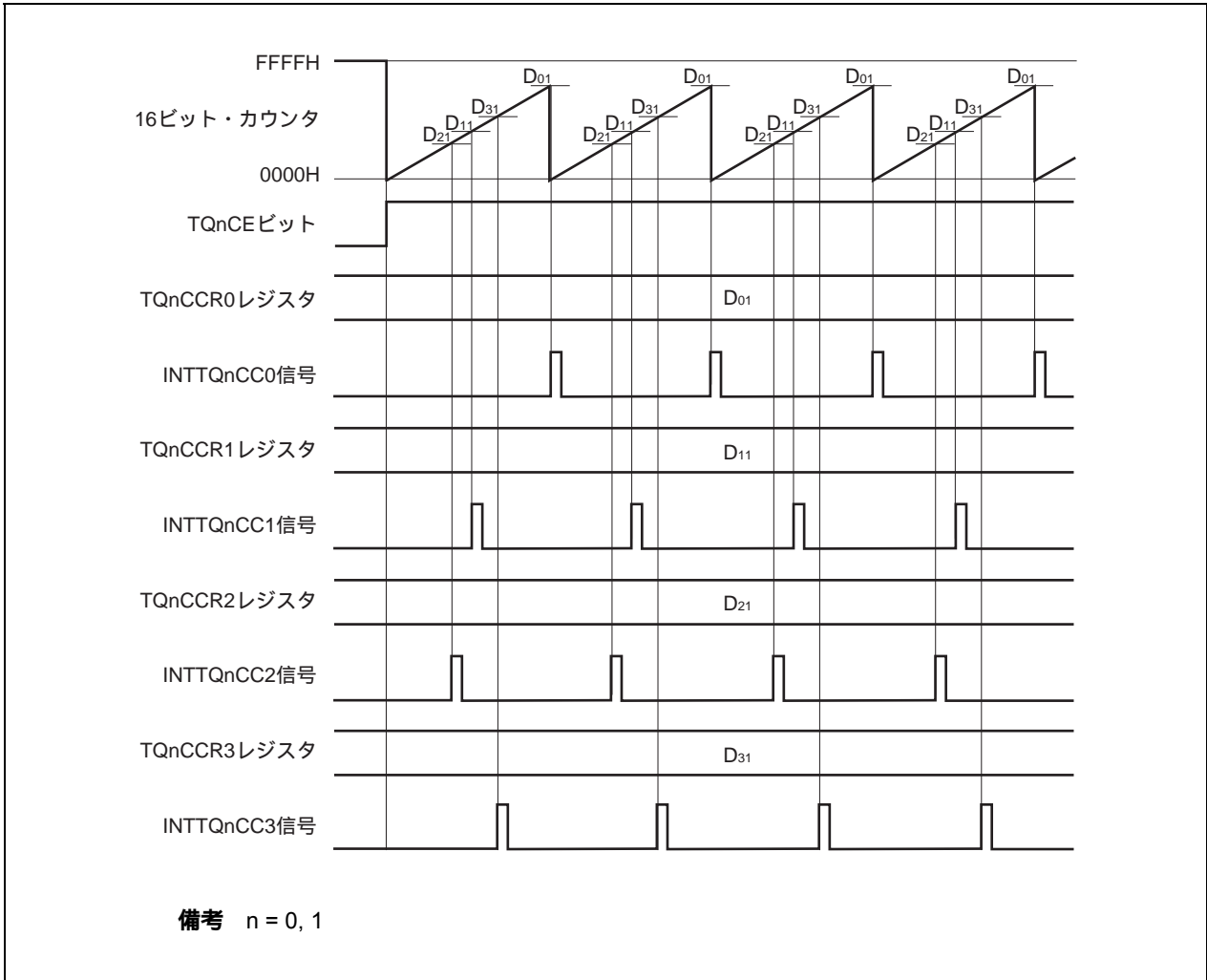


TQnCCRkレジスタの設定値がTQnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTQnCCk信号が発生します。

備考 k = 1-3

n = 0, 1

図7 - 14 D₀₁ D_{k1}の場合のタイミング図

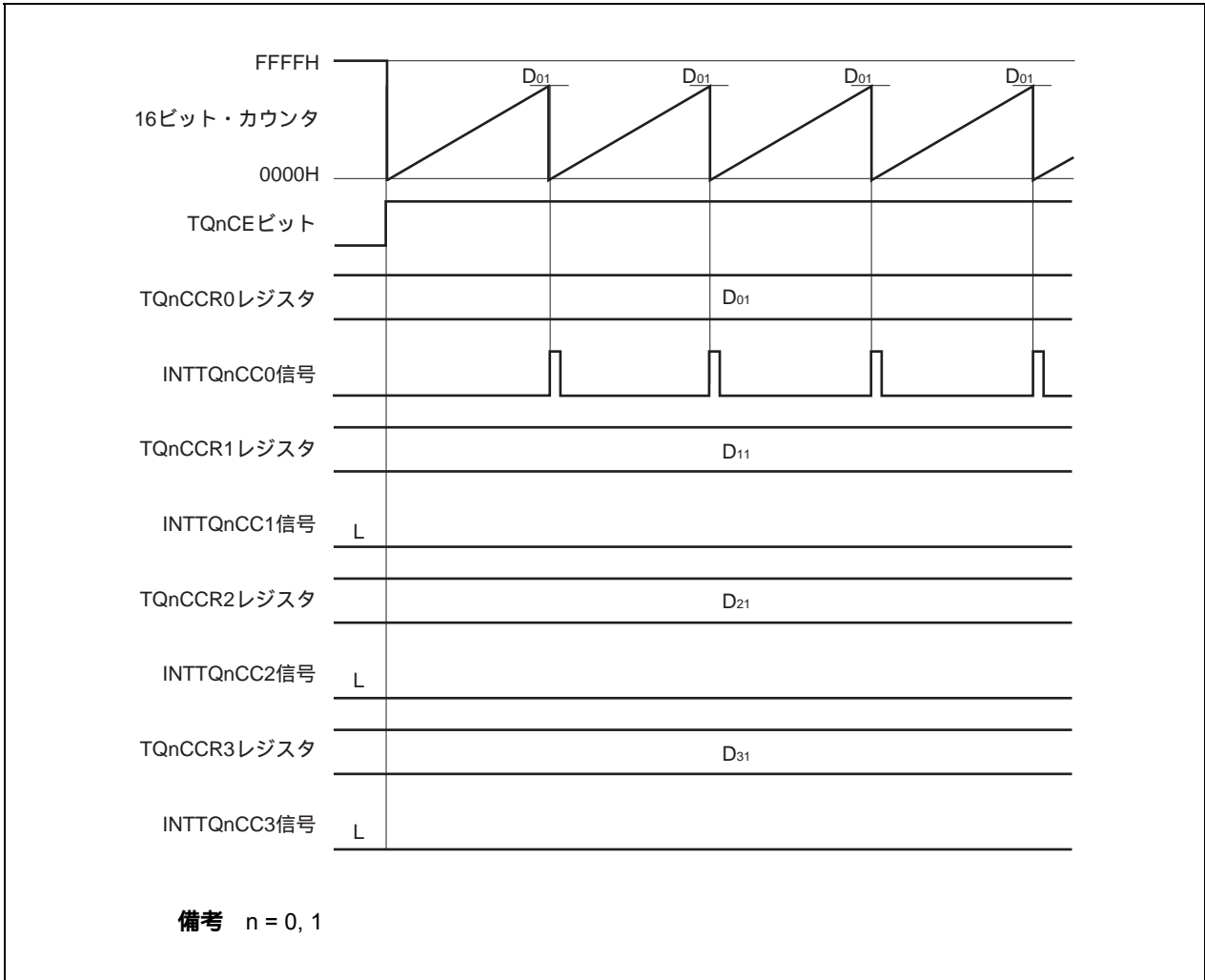


TQnCCRkレジスタの設定値がTQnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTQnCCRkレジスタの値が一致しないので、INTTQnCCk信号は発生しません。

備考 k = 1-3

n = 0, 1

図7 - 15 D₀₁ < D_{k1}の場合のタイミング図



7.5.3 外部トリガ・パルス出力モード (TQnMD2-TQnMD0ビット = 010)

外部トリガ・パルス出力モードは、TQnCTL0.TQnCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOQn1-TOQn3端子から最大3相のPWM波形を出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOQn0端子から、PWM波形の1周期を半周期とする方形波を出力できます。

図7-16 外部トリガ・パルス出力モードの構成図

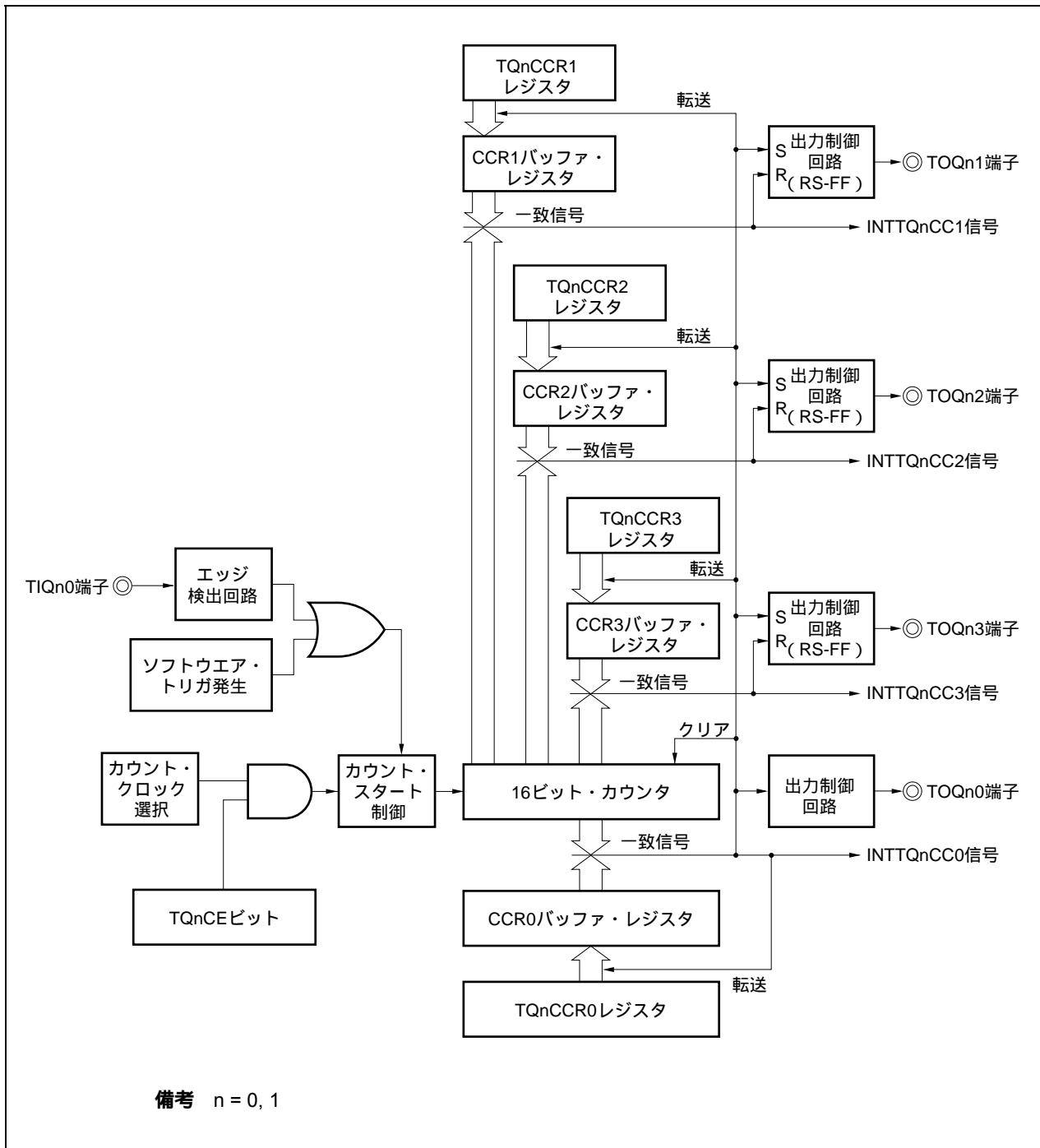
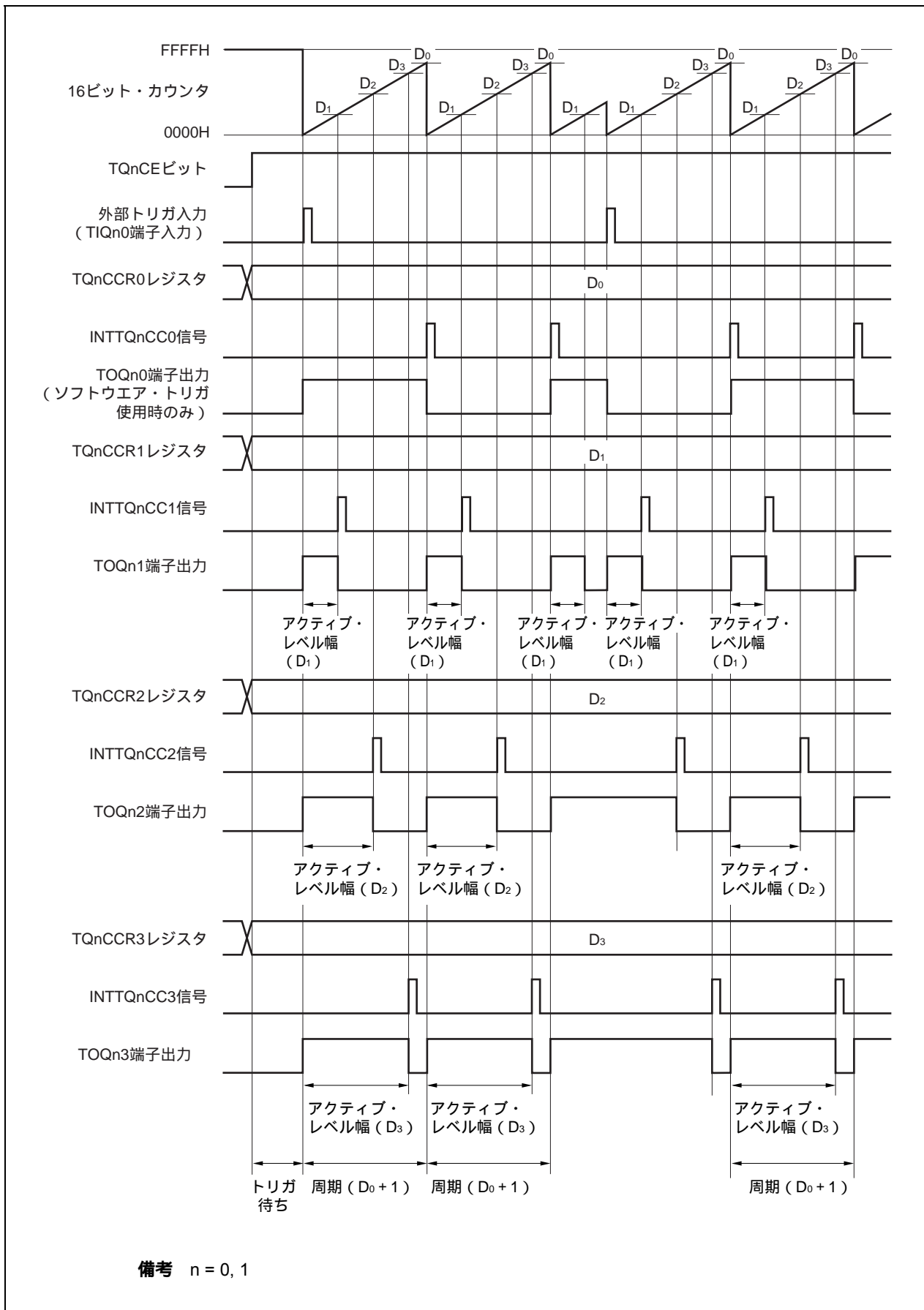


図7-17 外部トリガ・パルス出力モードの基本タイミング



TQnCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOQnk端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします(TOQn0端子出力は反転します。TOQnk端子出力は、ロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\begin{aligned} \text{アクティブ・レベル幅} &= (\text{TQnCCRkレジスタの設定値}) \times \text{カウント・クロック周期} \\ \text{周期} &= (\text{TQnCCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期} \\ \text{デューティ} &= (\text{TQnCCRkレジスタの設定値}) / (\text{TQnCCR0レジスタの設定値} + 1) \end{aligned}$$

コンペアー一致割り込み要求信号(INTTQnCC0)は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号(INTTQnCCk)は、16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値が一致するタイミングで発生します。

TQnCCRmレジスタに設定した値は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRmバッファ・レジスタに転送されます。

トリガには、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ(TQnCTL1.TQnESTビット)のセット(1)があります。

備考 k = 1-3

m = 0-3

n = 0, 1

図7-18 外部トリガ・パルス出力モード動作時のレジスタ設定内容(1/3)

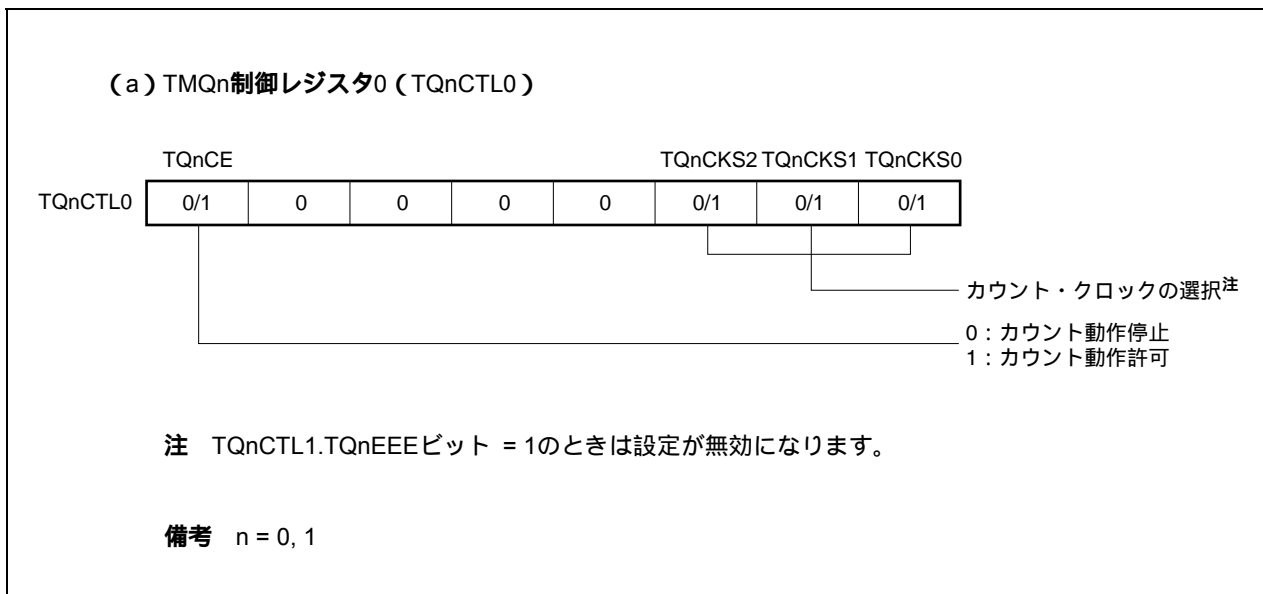
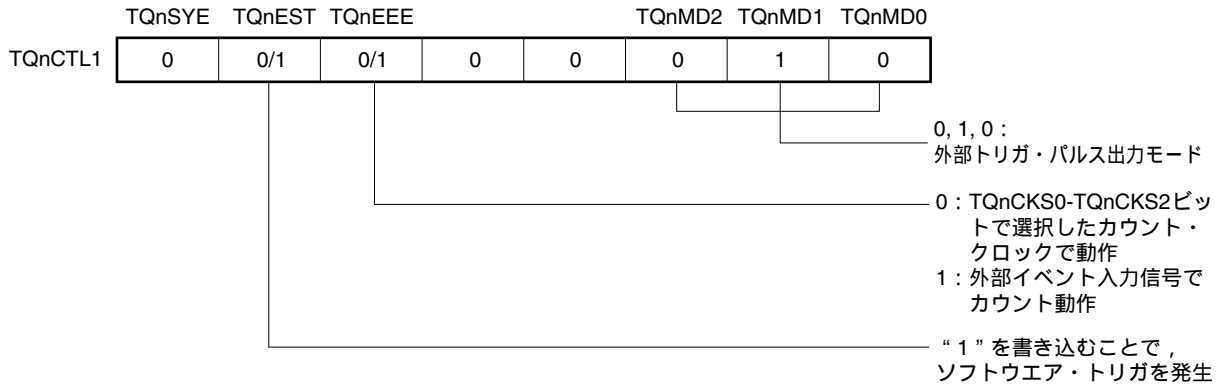
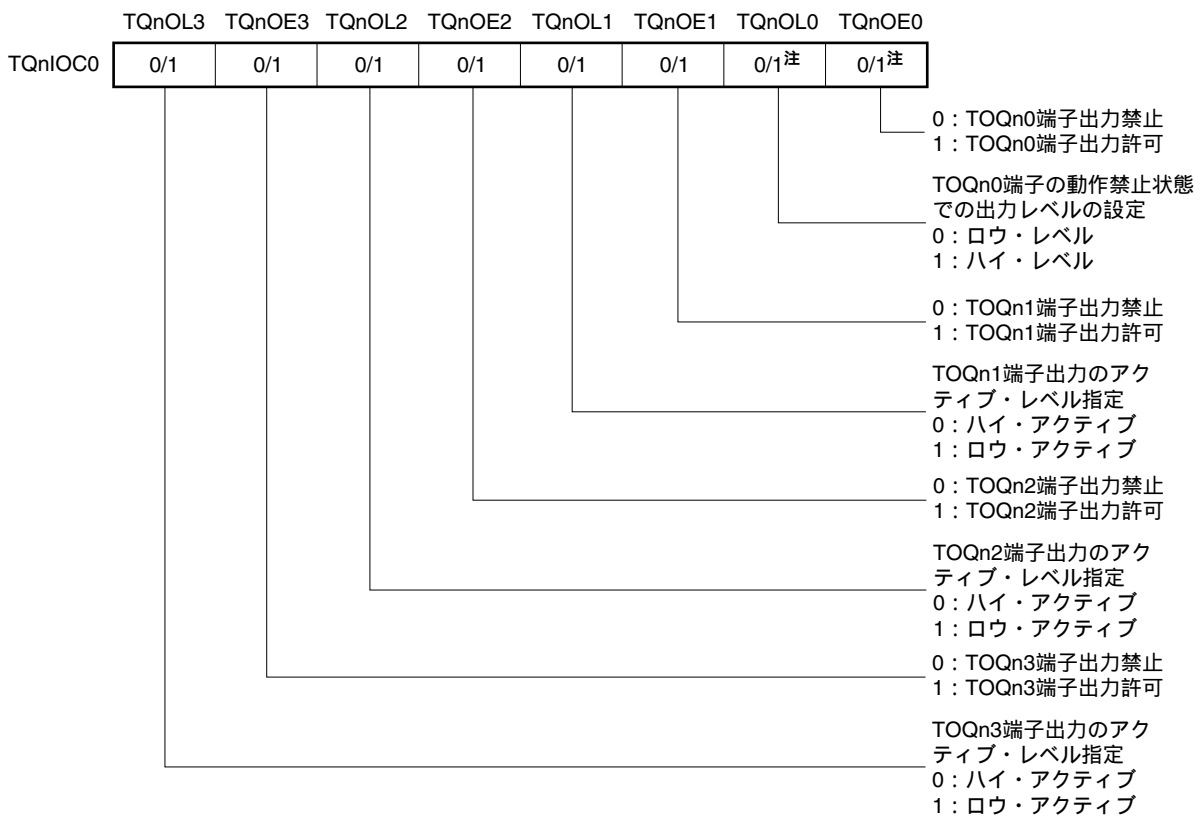


図7 - 18 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/3)

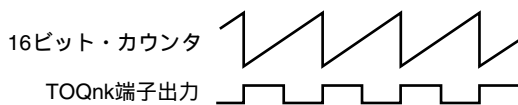
(b) TMQn制御レジスタ1 (TQnCTL1)



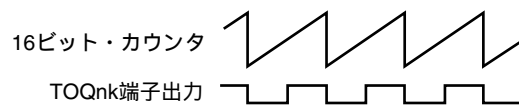
(c) TMQnI/O制御レジスタ0 (TQnIOC0)



・ TQnOLkビット = 0の場合



・ TQnOLkビット = 1の場合

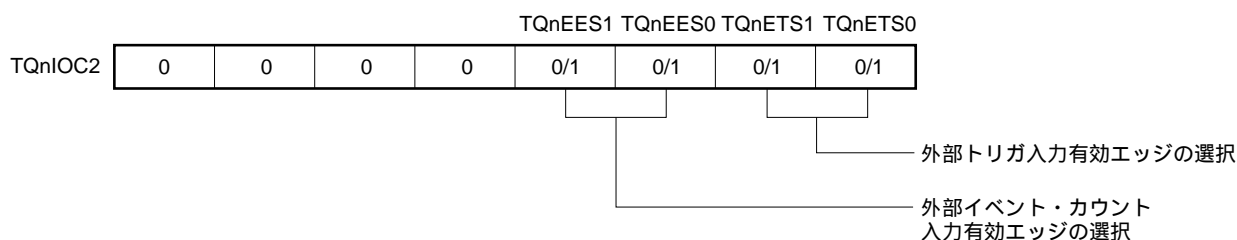


注 外部トリガ・パルス出力モードでTOQn0端子を使用しない場合は，“0” に設定してください。

備考 n = 0, 1

図7 - 18 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (3/3)

(d) TMQnI/O制御レジスタ2 (TQnIOC2)



(e) TMQnカウンタ・リード・バッファ・レジスタ (TQnCNT)

TQnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(f) TMQnキャプチャ/コンペア・レジスタ0-3 (TQnCCR0-TQnCCR3)

TQnCCR0レジスタにD₀を設定し、TQnCCR1レジスタにD₁を、TQnCCR2レジスタにD₂を、TQnCCR3レジスタにD₃を設定した場合、

$$\text{PWM波形の周期} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{TOQn1端子からのPWM波形のアクティブ・レベル幅} = D_1 \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{TOQn2端子からのPWM波形のアクティブ・レベル幅} = D_2 \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{TOQn3端子からのPWM波形のアクティブ・レベル幅} = D_3 \times \text{カウント} \cdot \text{クロック周期}$$

となります。

- 備考1. TMQnI/O制御レジスタ1 (TQnIOC1)、TMQnオプション・レジスタ0 (TQnOPT0) は、外部トリガ・パルス出力モードでは使用しません。
2. TMQnキャプチャ/コンペア・レジスタ2 (TQnCCR2)、TMQnキャプチャ/コンペア・レジスタ3 (TQnCCR3) の更新は、TMQnキャプチャ/コンペア・レジスタ1 (TQnCCR1) への書き込みにより有効になります。
3. n = 0, 1

(1) 外部トリガ・パルス出力モード動作フロー

図7 - 19 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

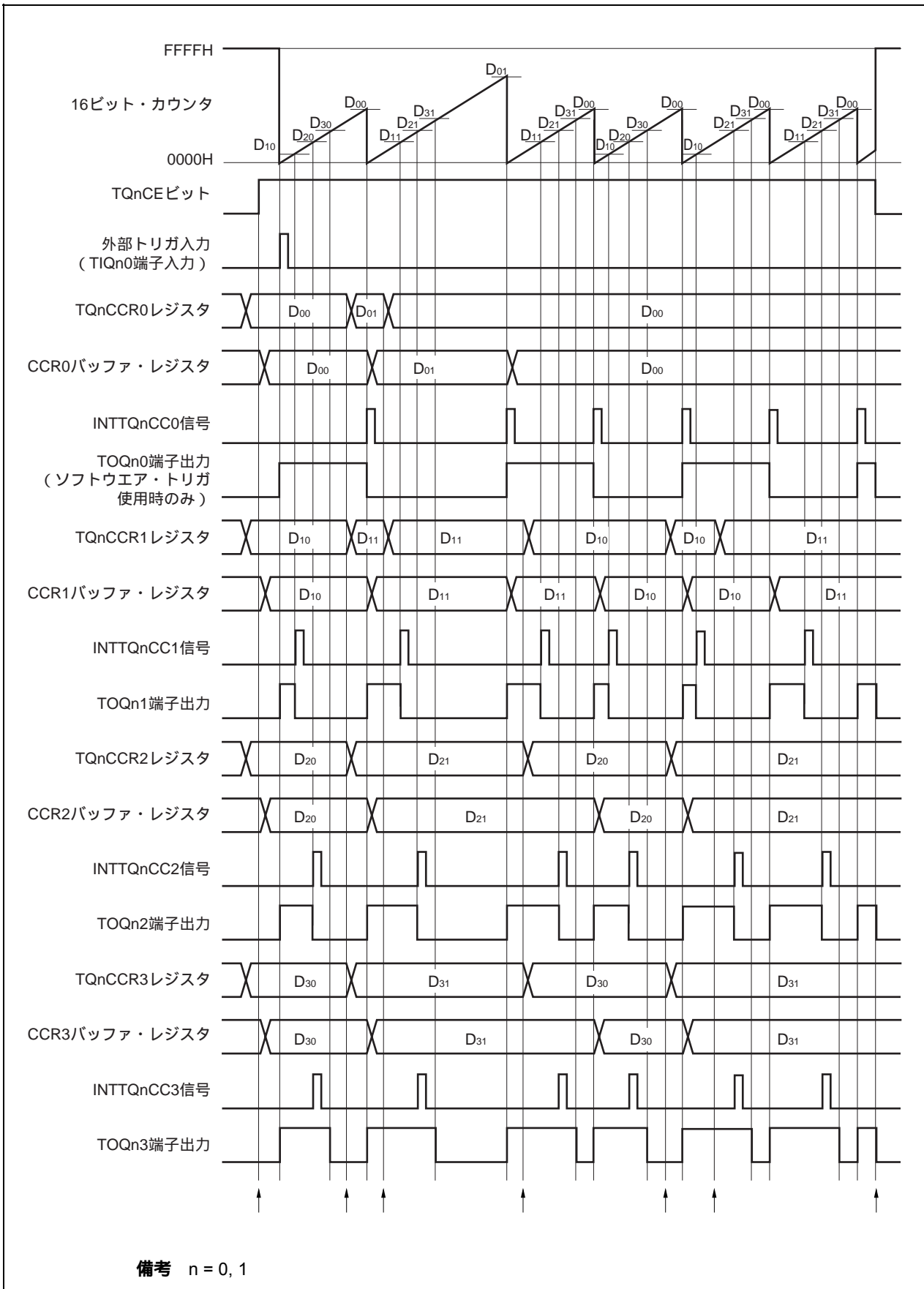
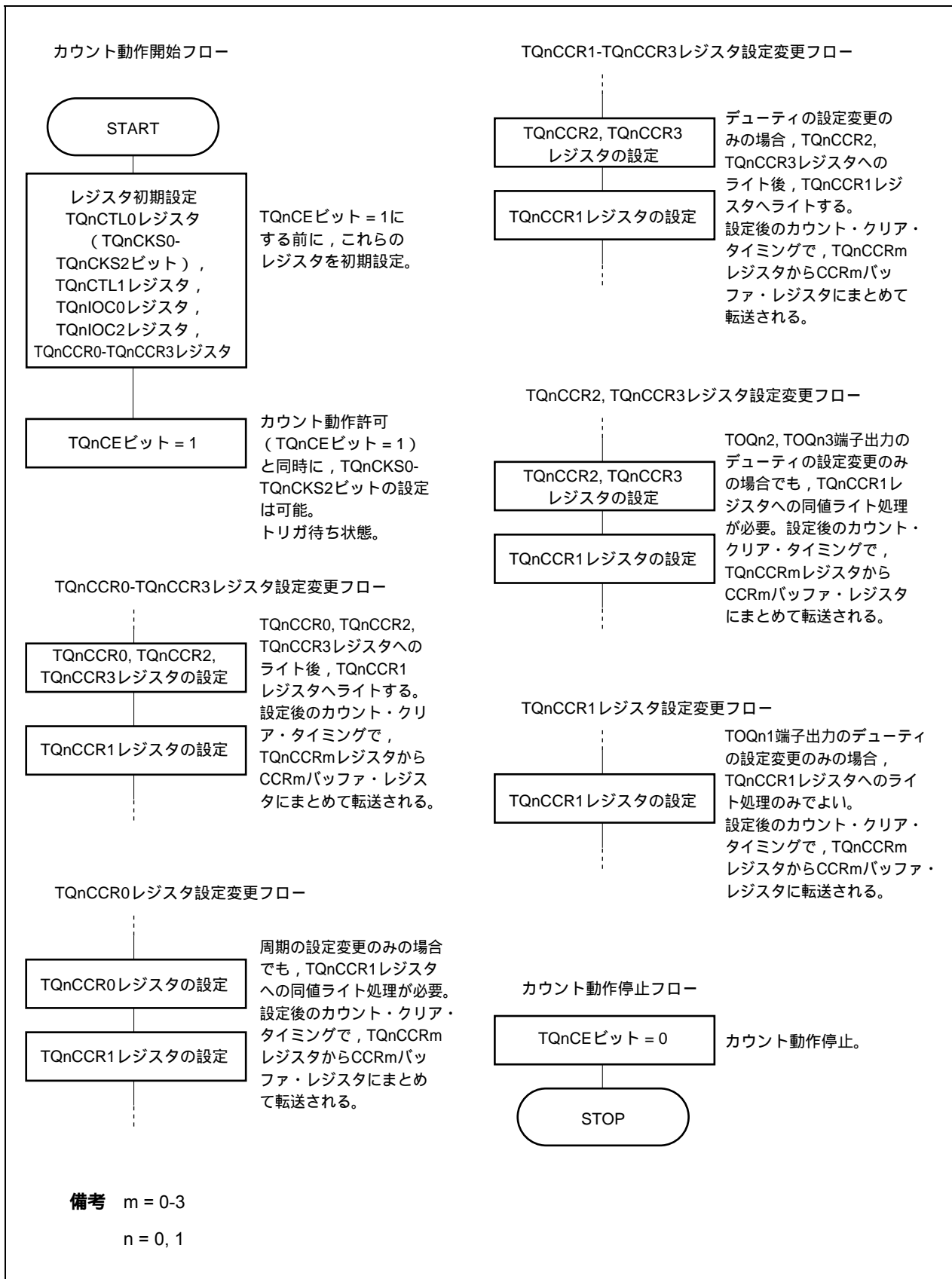


図7 - 19 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)

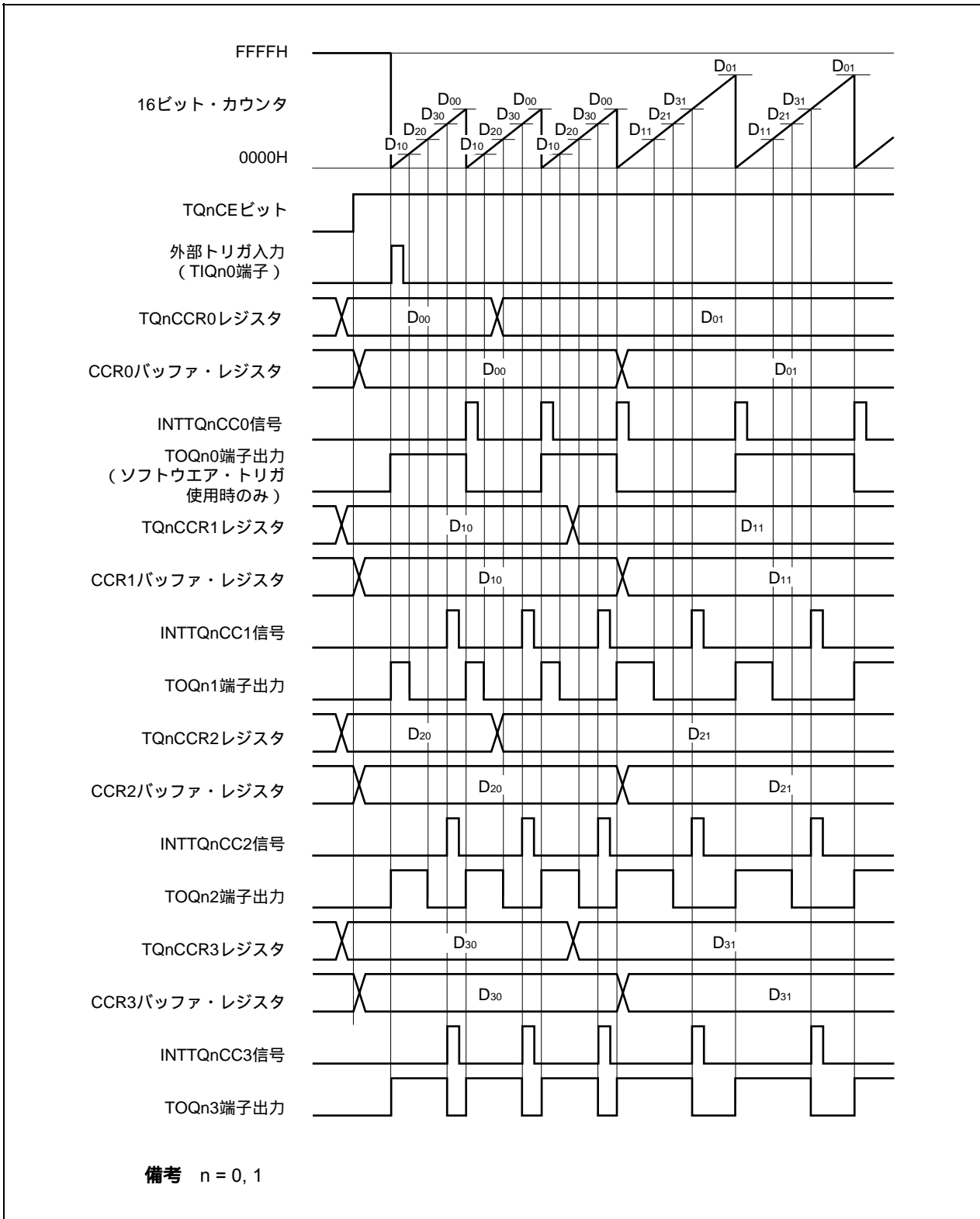


(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTQnCCR1レジスタにライトしてください。

TQnCCR1レジスタにライト後、再度TQnCCRkレジスタの書き換えを行う場合には、INTTQnCC0信号を検出後に書き換えてください。



TQnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TQnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTQnCCR0レジスタに周期を、TQnCCR2, TQnCCR3レジスタにアクティブ・レベル幅を設定し、最後にTQnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTQnCCR0レジスタに周期を設定し、そのあとでTQnCCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合には、まず、TQnCCR2, TQnCCR3レジスタにアクティブ・レベル幅を設定し、最後にTQnCCR1レジスタにアクティブ・レベル幅を設定してください。

TOQn1端子出力のPWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、TQnCCR1レジスタのみの設定でかまいません。

TOQn2, TOQn3端子出力のPWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、まずTQnCCR2, TQnCCR3レジスタにアクティブ・レベル幅を設定し、そのあとでTQnCCR1レジスタに同値をライトしてください。

TQnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TQnCCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

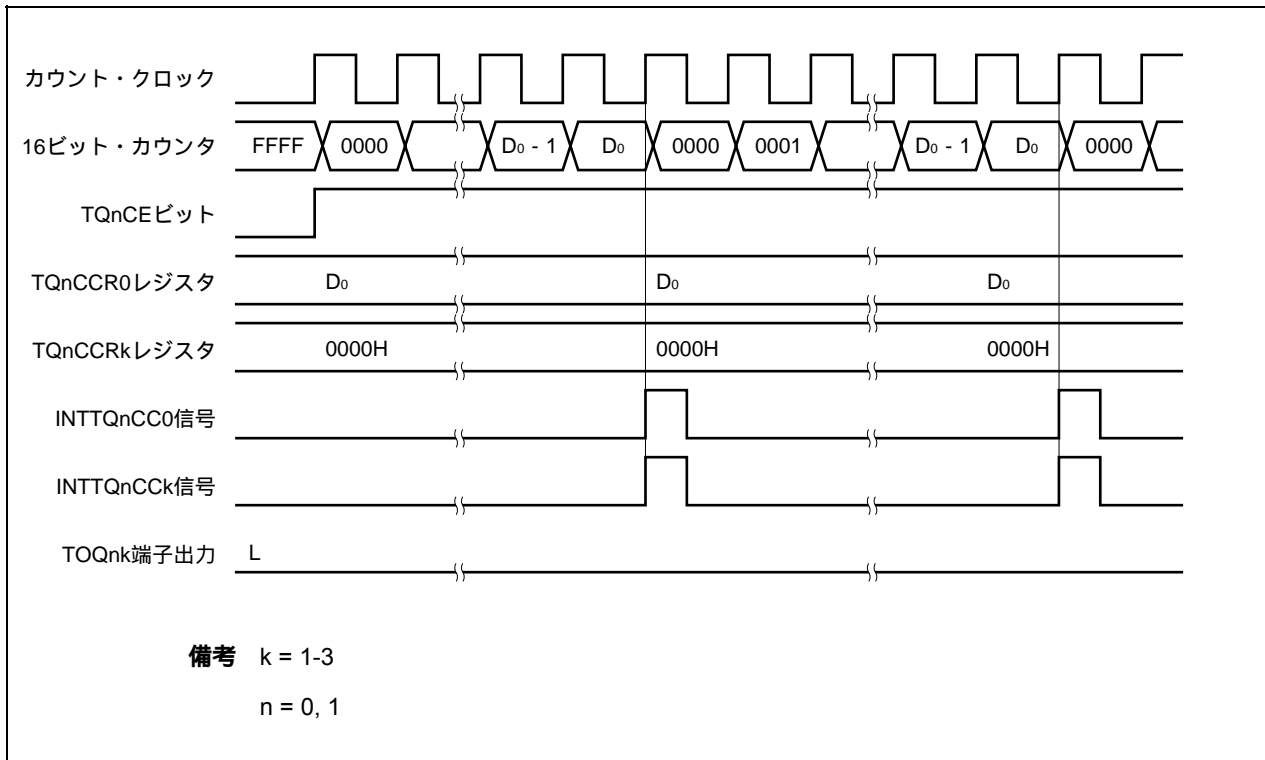
また、一度TQnCCR1レジスタにライトしたあとで、再度TQnCCR0-TQnCCR3レジスタへのライトを行う場合は、INTTQnCC0信号の発生後に行ってください。これを守れない場合には、TQnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TQnCCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

備考 m = 0-3

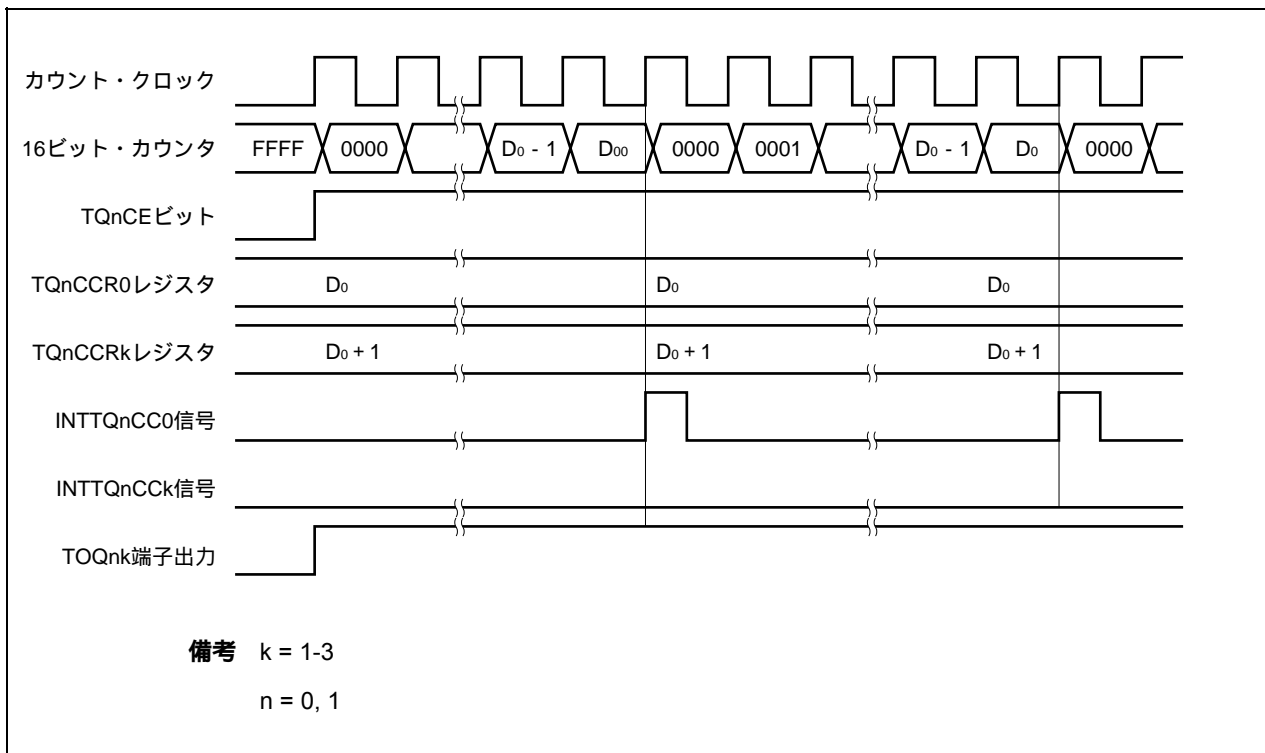
n = 0, 1

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには, TQnCCRkレジスタに対して0000Hを設定します。ただし, TQnCCR0レジスタの設定値がFFFFHの場合には, INTTQnCCk信号が定期的が発生します。

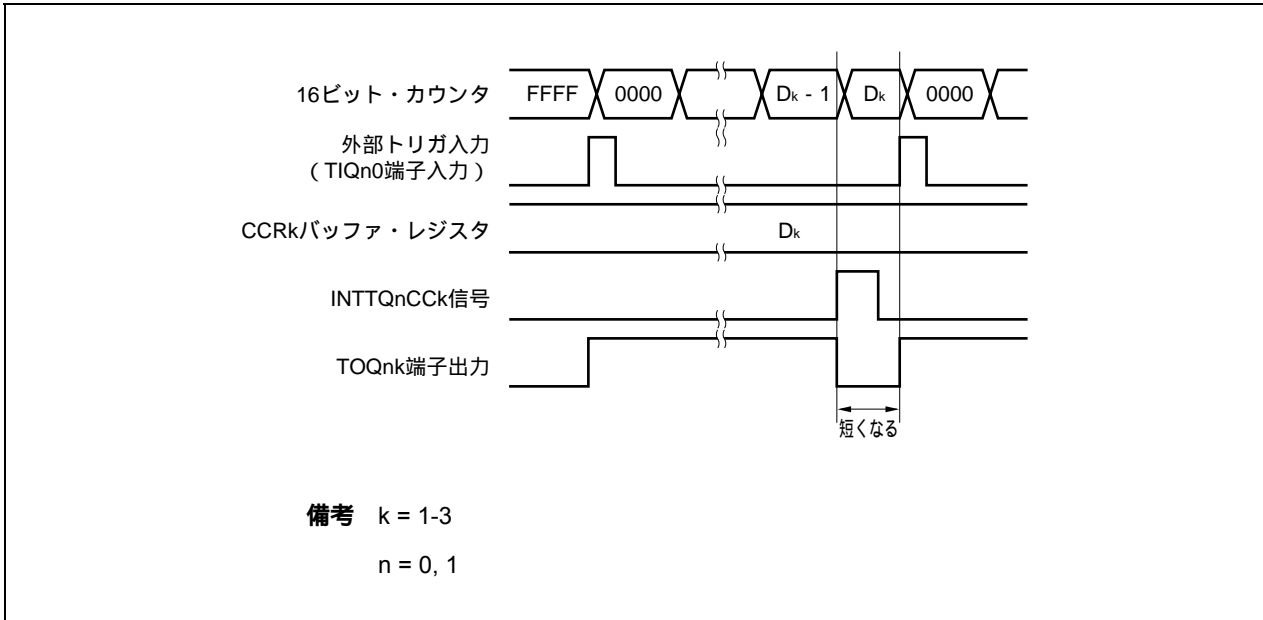


100 % 波形を出力するためには, TQnCCRkレジスタに対して (TQnCCR0レジスタの設定値 + 1) の値を設定してください。TQnCCR0レジスタの設定値がFFFFHの場合には, 100 %出力はできません。

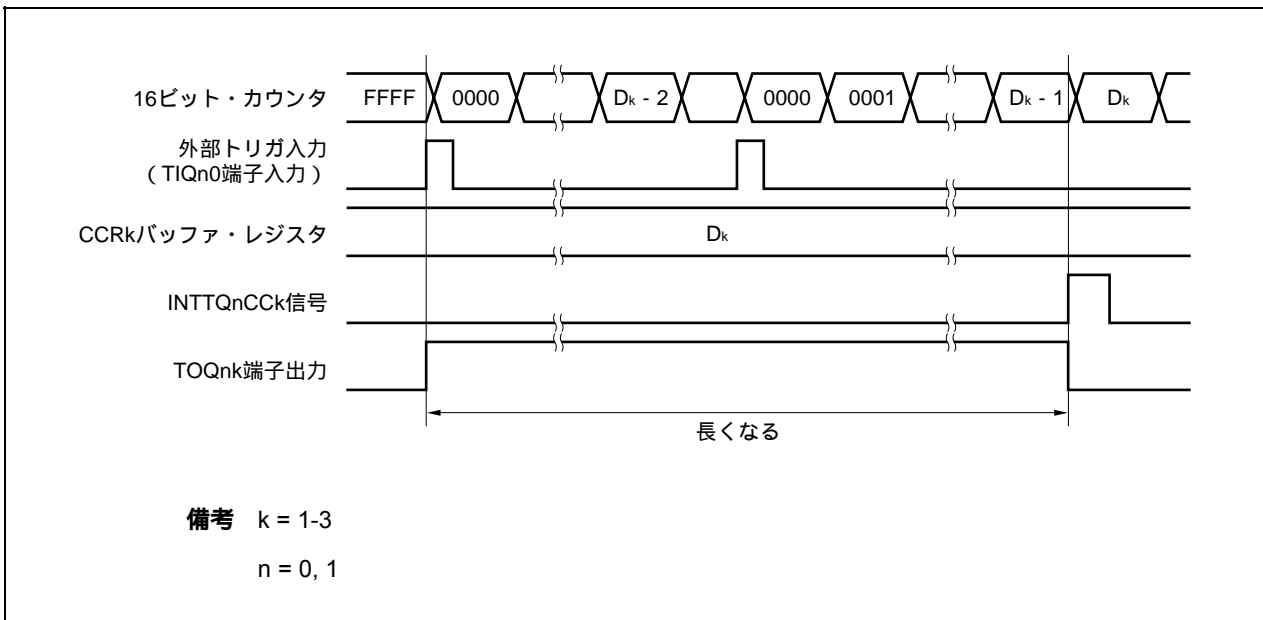


(c) トリガ検出とCCRkバッファ・レジスタとの一致の競合

INTTQnCCk信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOQn端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

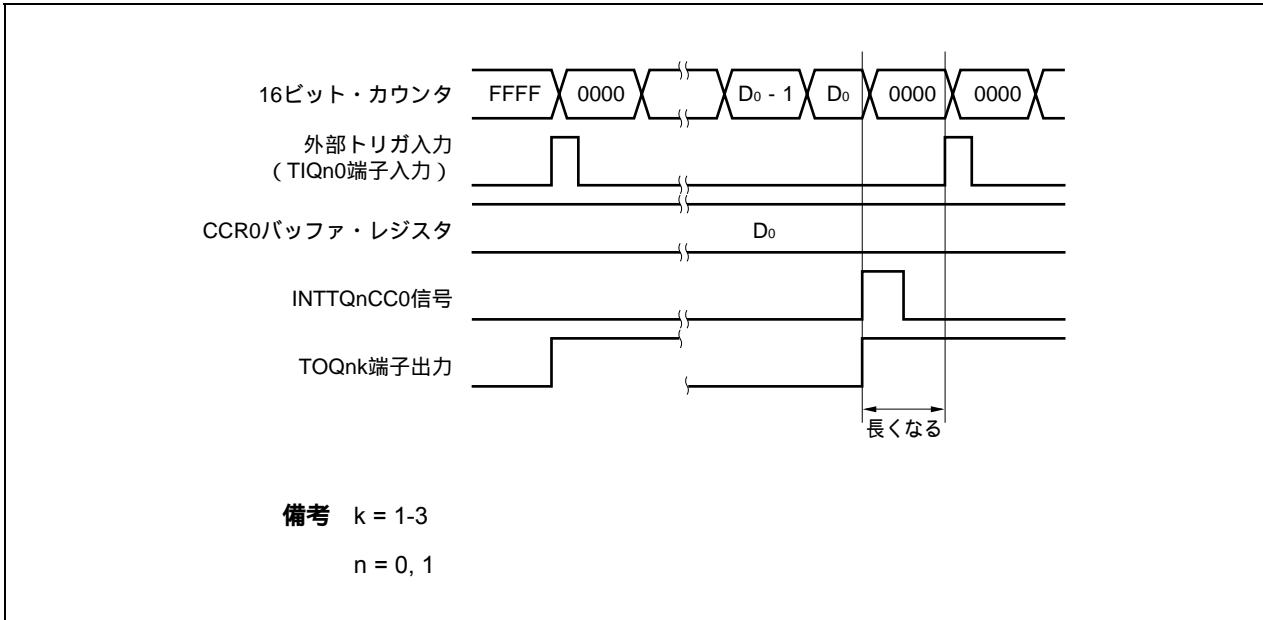


INTTQnCCk信号発生直前にトリガを検出した場合には、INTTQnCCk信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOQn端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

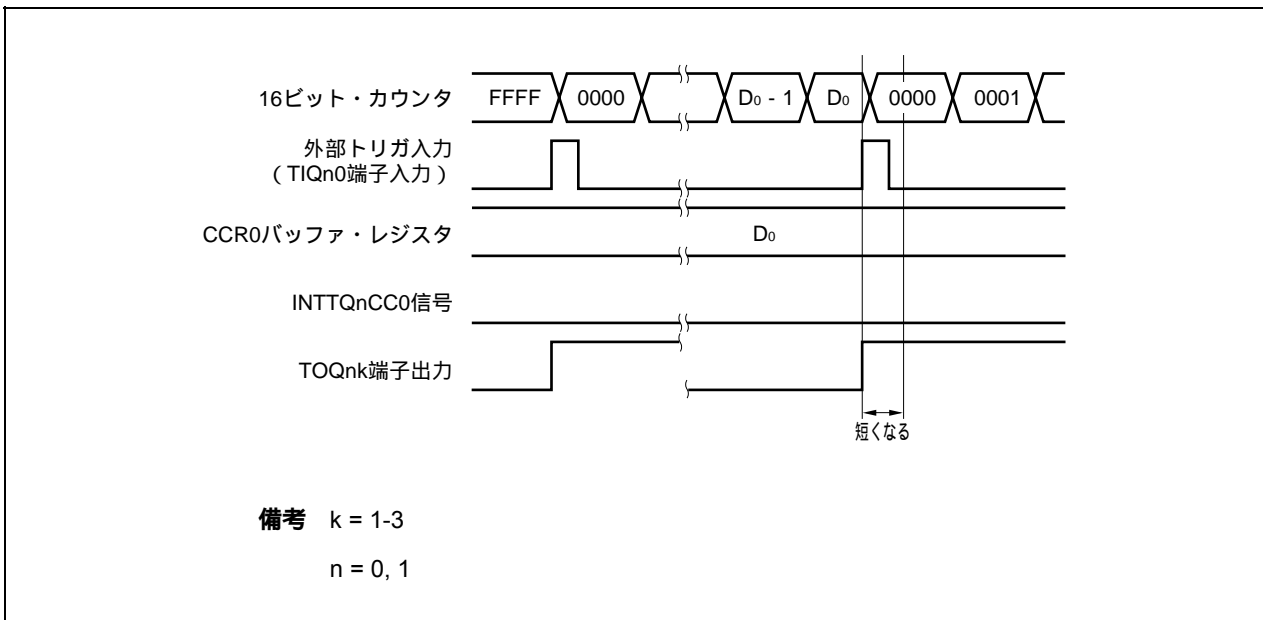


(d) トリガ検出とCCR0バッファ・レジスタとの一致の競合

INTTQnCC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を続けます。したがって、TOQnk端子出力のアクティブ期間が、INTTQnCC0信号発生からトリガ検出までの分だけ長くなります。

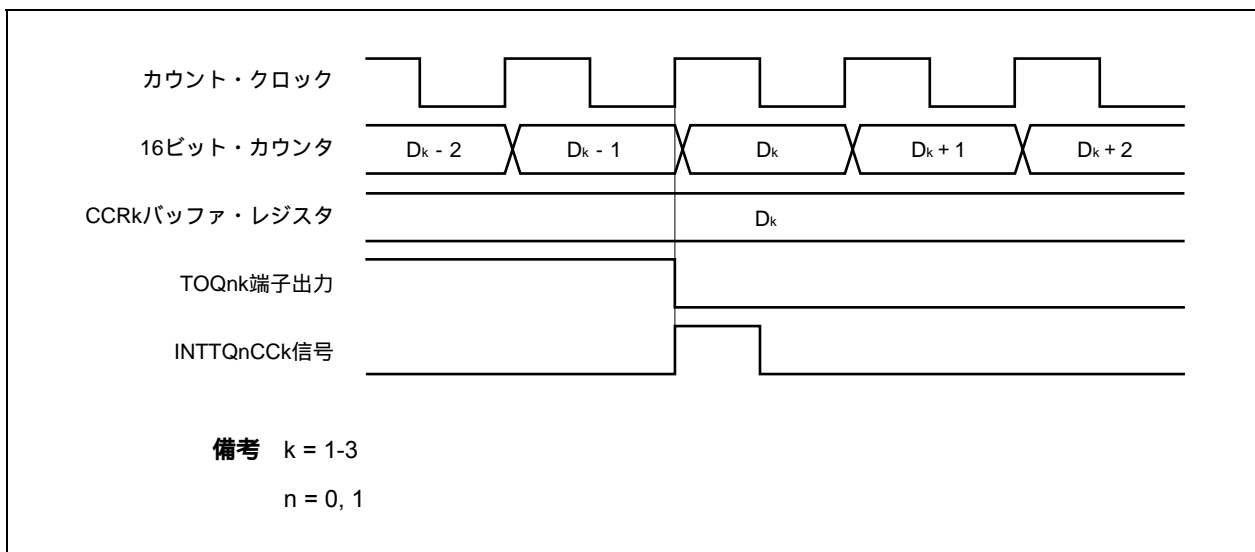


INTTQnCC0信号発生直前にトリガを検出した場合、INTTQnCC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOQnk端子出力をアクティブ・レベルにして、カウント動作を続けます。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。



(e) コンパレー一致割り込み要求信号 (INTTQnCCK) の発生タイミング

外部トリガ・パルス出力モードにおけるINTTQnCCK信号の発生タイミングは、ほかのINTTQnCCK信号と異なり、16ビット・カウンタのカウンタ値とCCRkバッファ・レジスタの値との一致と同時に発生します。



通常、INTTQnCCK信号は、16ビット・カウンタのカウンタ値とCCRkバッファ・レジスタの値との一致後、次のカウンタ・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOQnk端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

7.5.4 ワンショット・パルス出力モード (TQnMD2-TQnMD0ビット = 011)

ワンショット・パルス出力モードは、TQnCTL0.TQnCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOQn1-TOQn3端子からワンショット・パルスを出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOQn0端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止(トリガ待ち状態)中のときはインアクティブ・レベルを出力できます。

図7-20 ワンショット・パルス出力モードの構成図

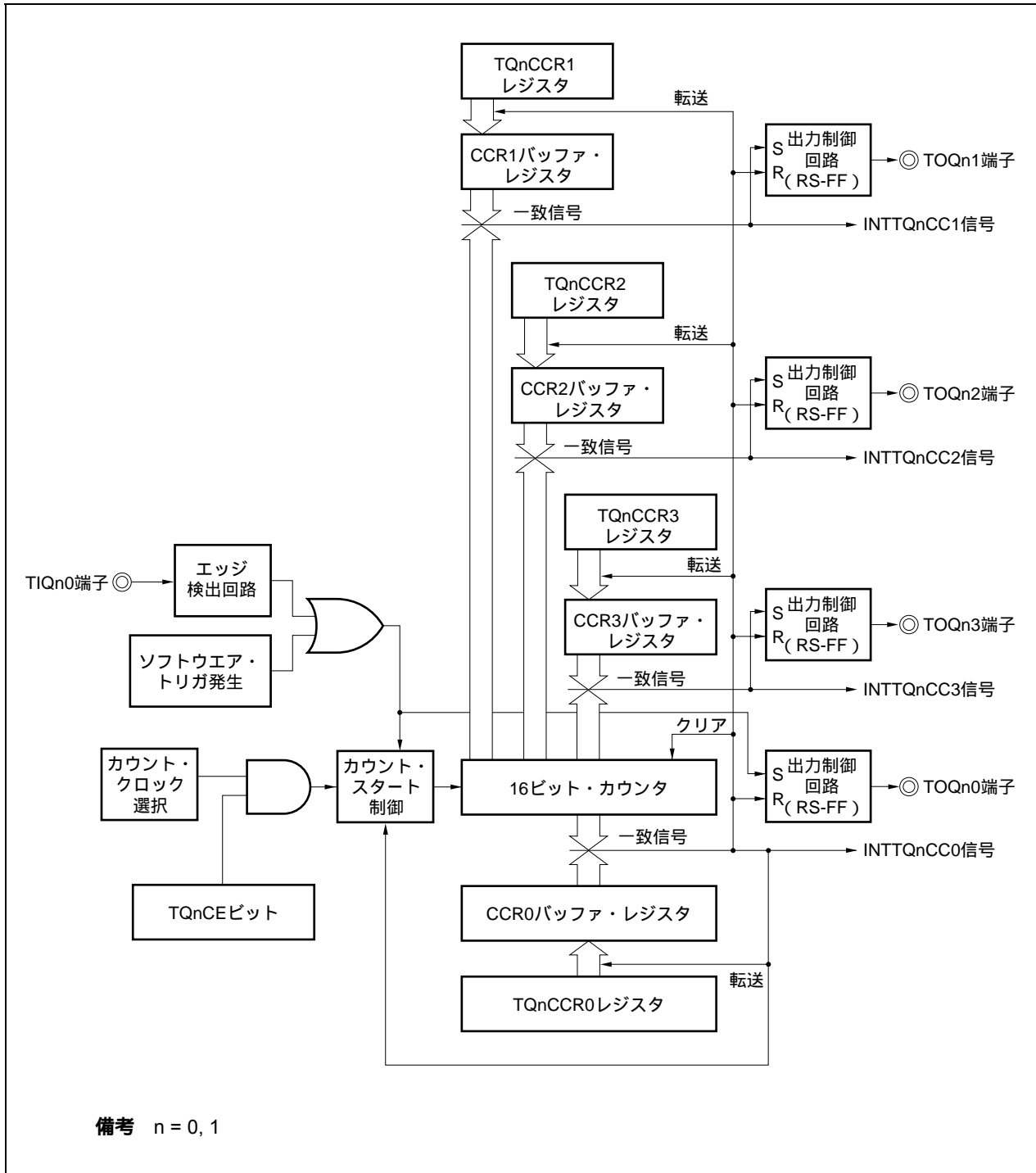
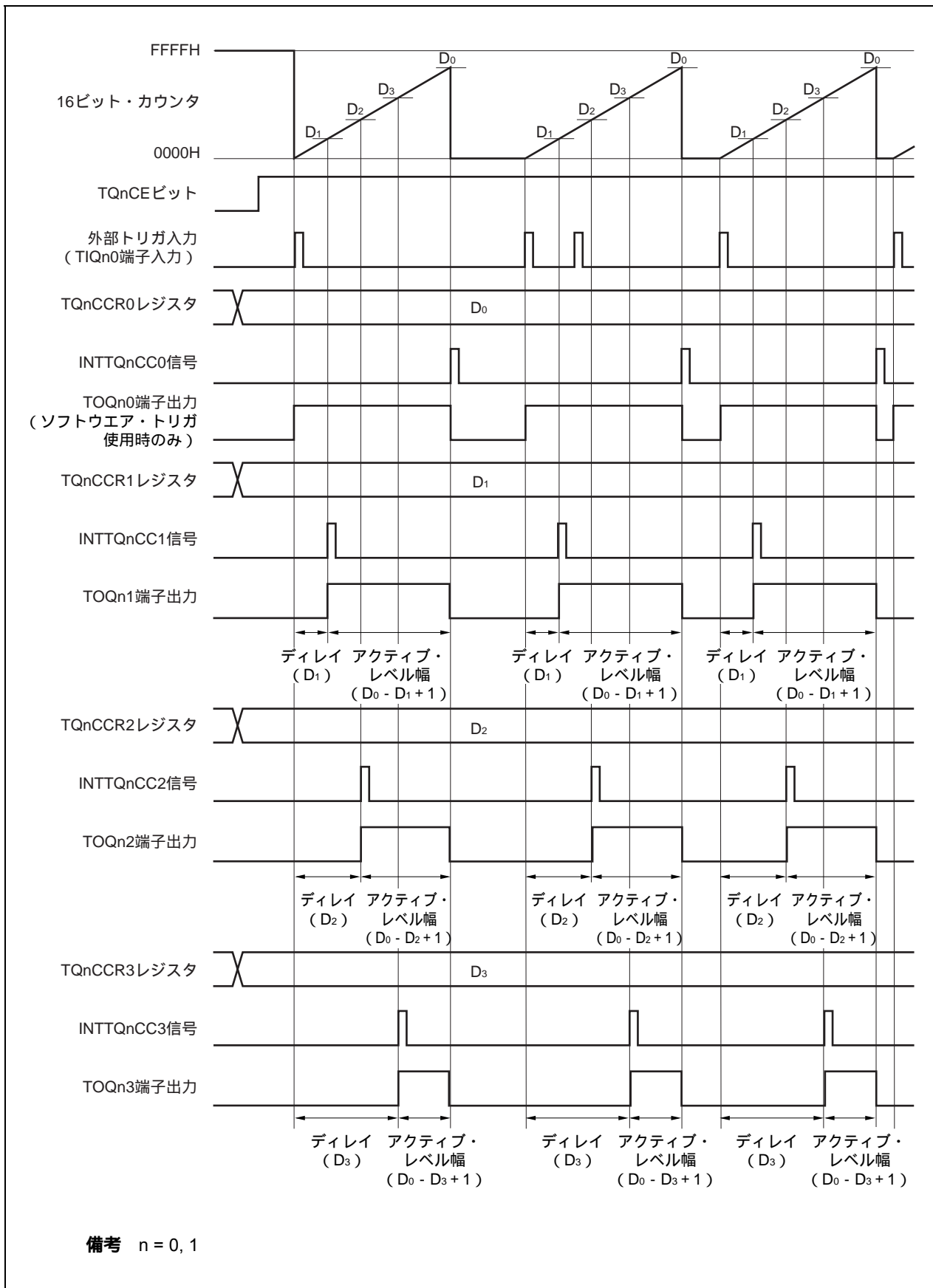


図7-21 ワンショット・パルス出力モードの基本タイミング



TQnCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOQnk端子からワンショット・パルスを出力します。ワンショット・パルスを出力したあと、16ビット・カウンタをFFFFHにしてカウント動作を停止し、トリガ待ち状態になります。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

出力ディレイ期間 = (TQnCCRkレジスタの設定値) × カウント・クロック周期

アクティブ・レベル幅 = (TQnCCR0レジスタの設定値 - TQnCCRkレジスタの設定値 + 1)
× カウント・クロック周期

コンペア一致割り込み要求信号 (INTTQnCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンペア一致割り込み要求信号 (INTTQnCCk) は、16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ (TQnCTL1.TQnESTビット) のセット(1)があります。

備考 k = 1-3

n = 0, 1

図7 - 22 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/3)

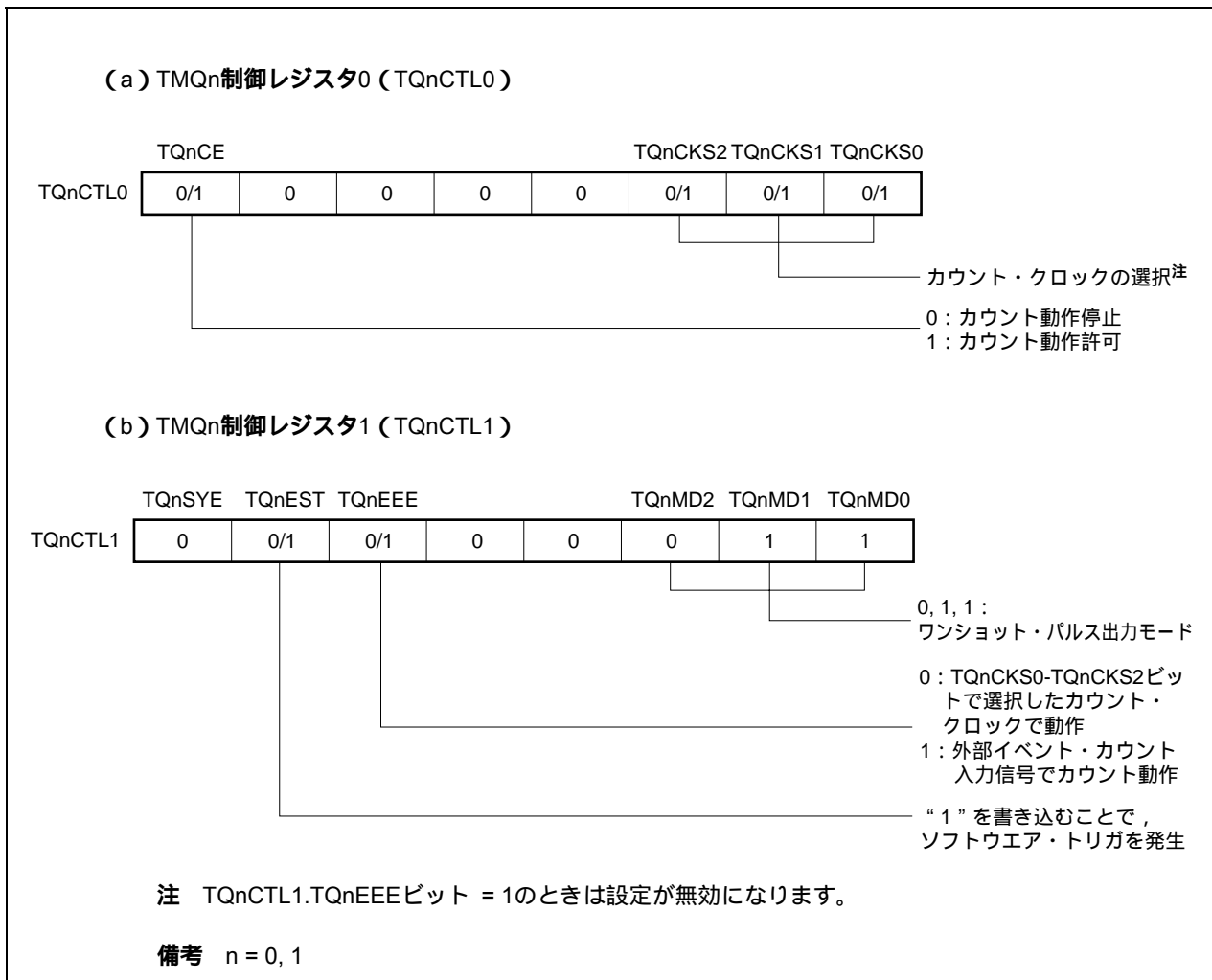
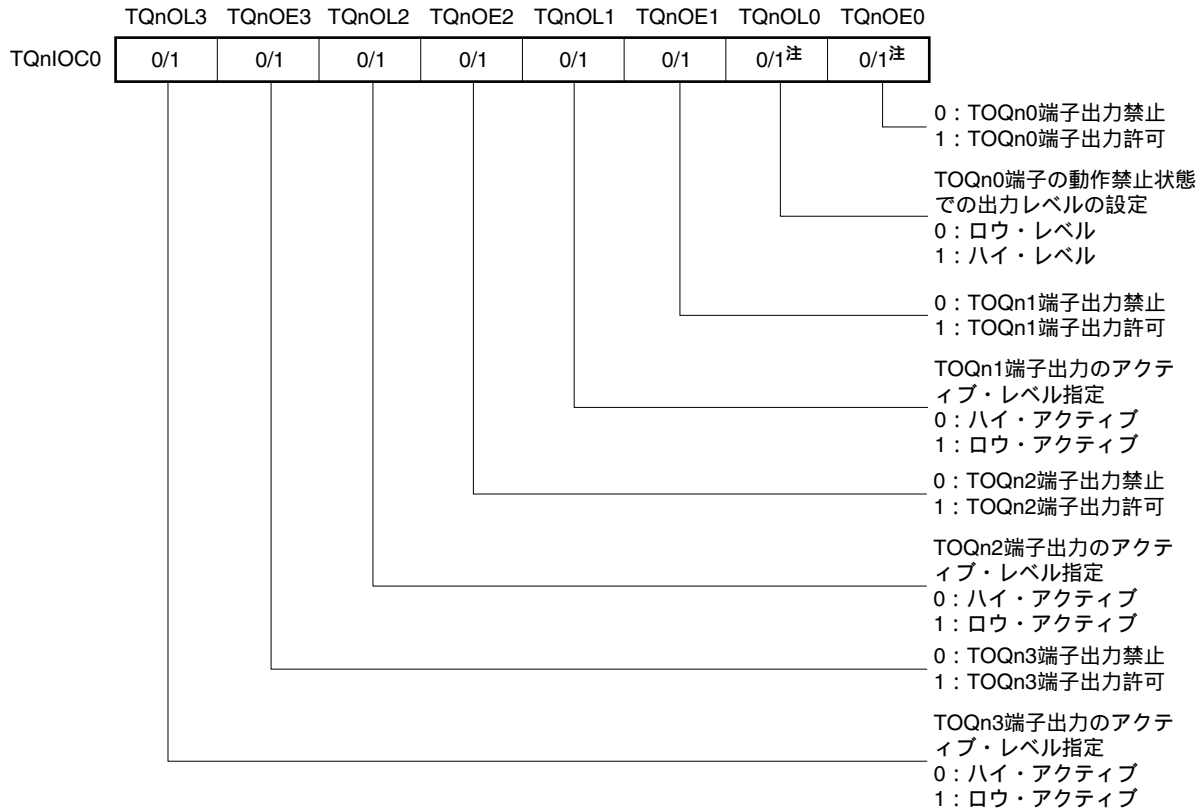
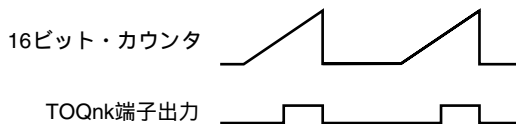


図7-22 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/3)

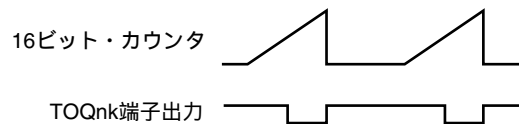
(c) TMQnI/O制御レジスタ0 (TQnIOC0)



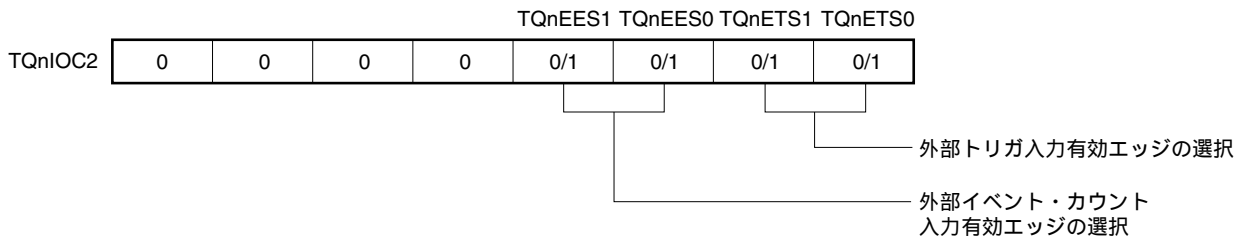
・ TQnOLkビット = 0の場合



・ TQnOLkビット = 1の場合



(d) TMQnI/O制御レジスタ2 (TQnIOC2)



(e) TMQnカウンタ・リード・バッファ・レジスタ (TQnCNT)

TQnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

注 ワンショット・パルス出力モードでTOQn0端子を使用しない場合は、“0”に設定してください。

備考 n = 0, 1

図7 - 22 ワンショット・パルス出力モード動作時のレジスタ設定内容 (3/3)

(f) TMQnキャプチャ/コンペア・レジスタ0-3 (TQnCCR0-TQnCCR3)

TQnCCR0レジスタにD₀を設定し, TQnCCRkレジスタにD_kを設定した場合,

ワンショット・パルスのアクティブ・レベル幅 = (D_k - D₀ + 1) × カウント・クロック周期

ワンショット・パルスの出力ディレイ期間 = (D_k) × カウント・クロック周期

となります。

注意 ワンショット・パルス出力モードにおいて, TQnCCRkレジスタの設定値が, TQnCCR0レジスタの設定値より大きい場合, ワンショット・パルスは出力しません。

備考1. TMQnI/O制御レジスタ1 (TQnIOC1), TMQnオプション・レジスタ0 (TQnOPT0) は, ワンショット・パルス出力モードでは使用しません。

2. k = 1-3

n = 0, 1

(1) ワンショット・パルス出力モード動作フロー

図7-23 ワンショット・パルス出力モード使用時のソフトウェア処理フロー (1/2)

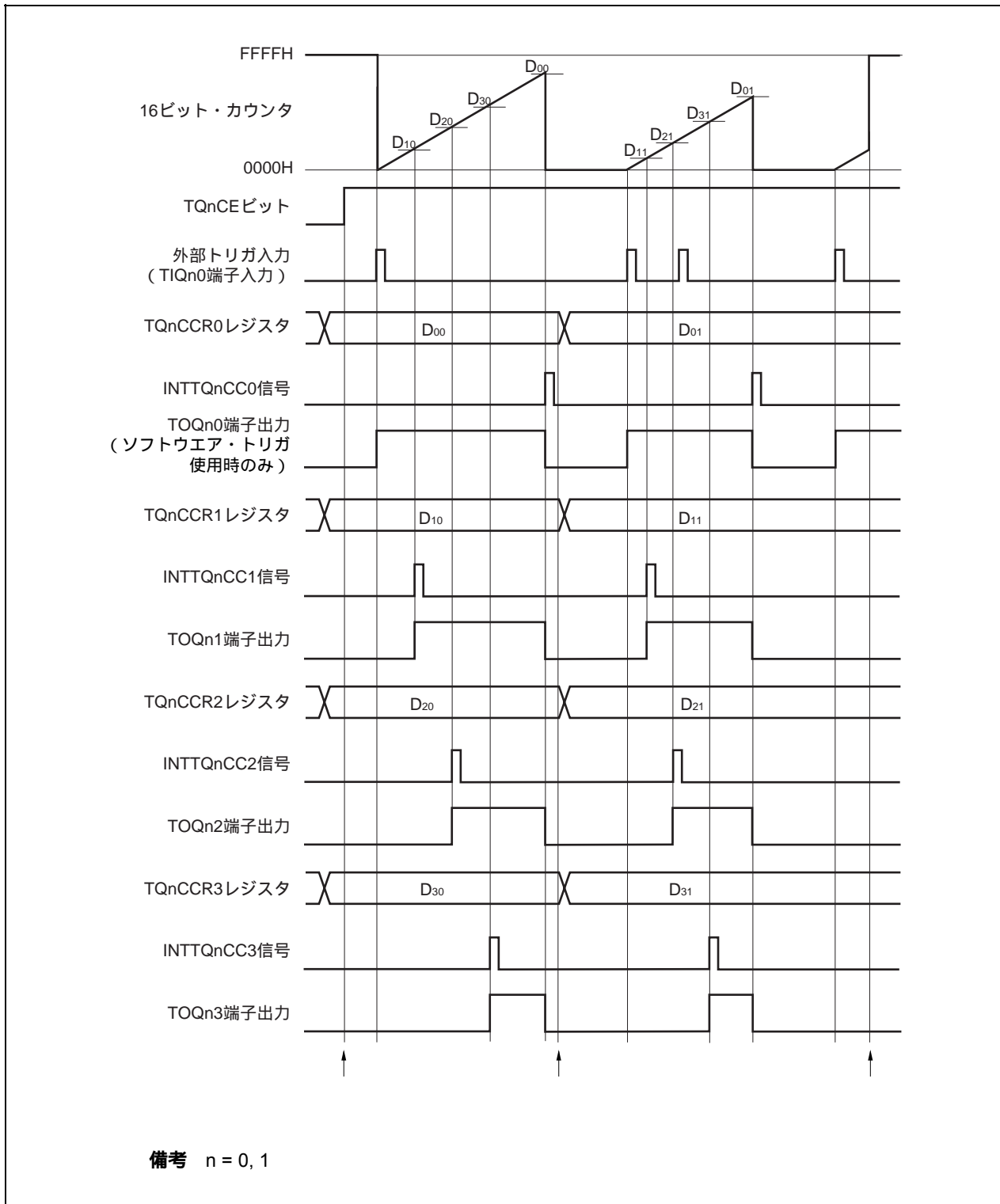
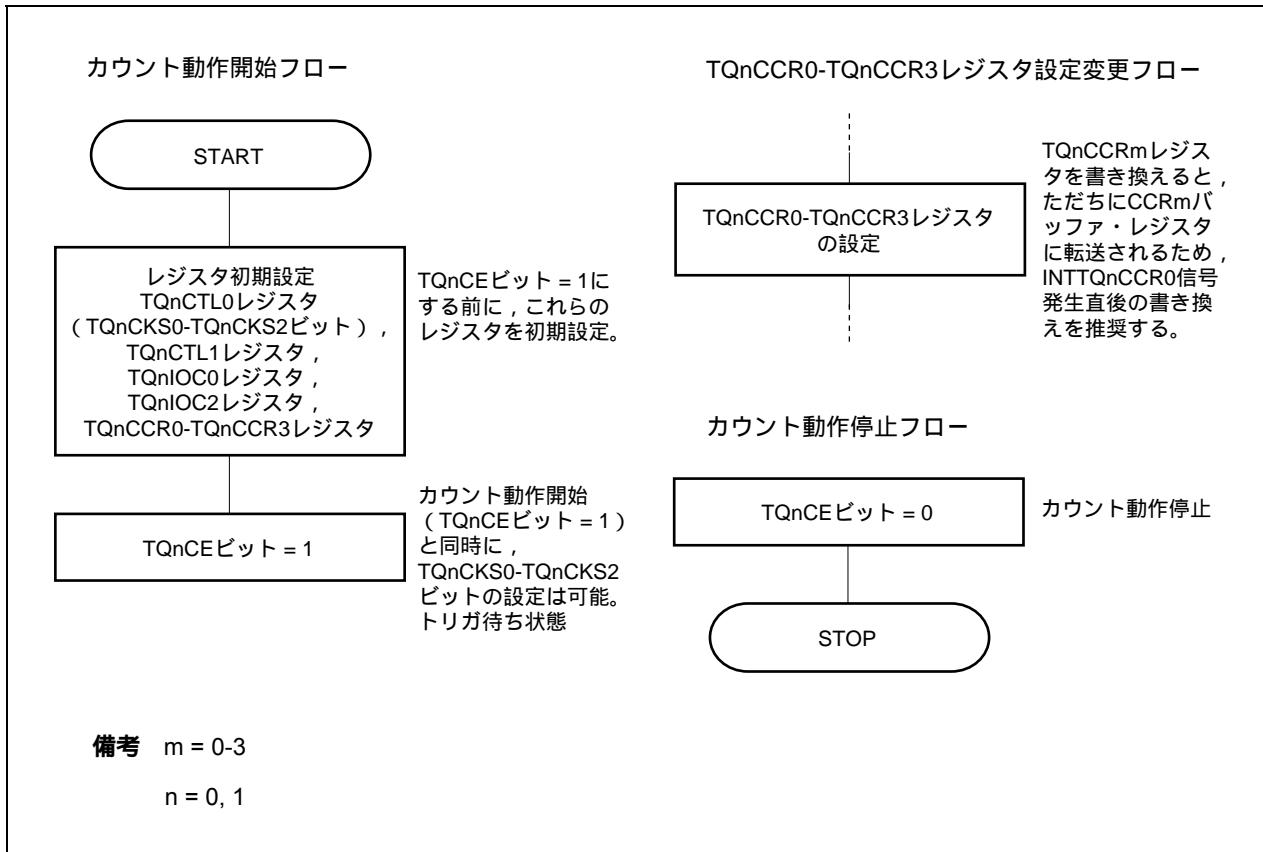


図7-23 ワンショット・パルス出力モード使用時のソフトウェア処理フロー (2/2)

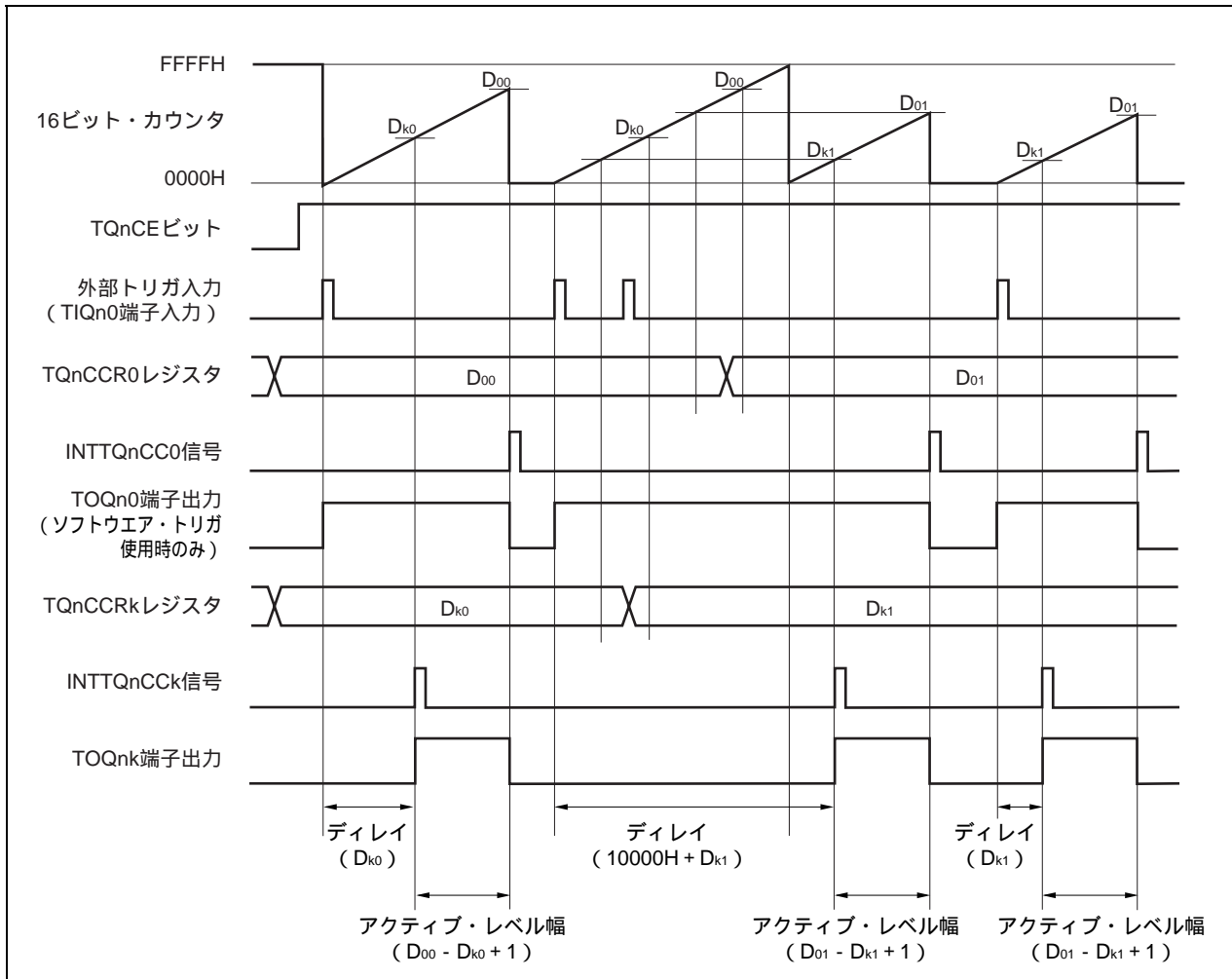


(2) ワンショット・パルス出力モード動作タイミング

(a) TQnCCRmレジスタの書き換えに関する注意事項

TQnCCRmレジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTQnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。



TQnCCR0レジスタをD₀₀からD₀₁に、TQnCCRkレジスタをD_{k0}からD_{k1}に書き換える場合において、D₀₀ > D₀₁、D_{k0} > D_{k1}の状態では、16ビット・カウンタのカウンタ値がD_{k1}よりも大きくD_{k0}よりも小さい状態のときTQnCCRkレジスタを書き換え、カウンタ値がD₀₁よりも大きくD₀₀よりも小さい状態でTQnCCR0レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウンタ値と比較されるために、カウンタ値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、D_{k1}との一致でINTTQnCCk信号を発生してTOQnk端子出力をアクティブ・レベルにし、D₀₁との一致でINTTQnCC0信号を発生してTOQnk端子出力をインアクティブにしてカウント動作を停止します。

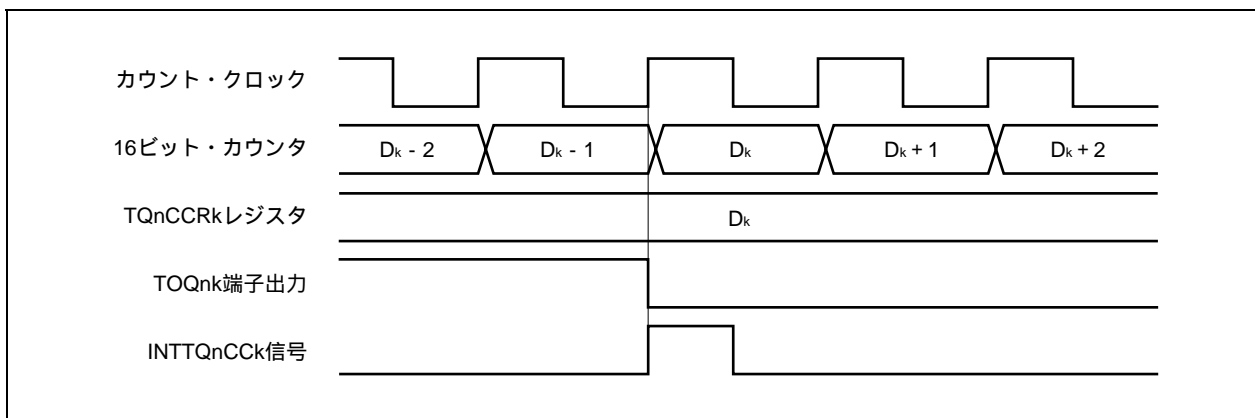
したがって、本来期待しているワンショット・パルス出力に対し、ディレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 k = 1-3

n = 0, 1

(b) コンペアー一致割り込み要求信号 (INTTQnCCK) の発生タイミング

ワンショット・パルス出力モードにおけるINTTQnCCK信号の発生タイミングは、ほかのINTTQnCCK信号と異なり、16ビット・カウンタのカウンタ値とTQnCCRkレジスタの値との一致と同時に発生します。



通常、INTTQnCCK信号は、16ビット・カウンタのカウンタ値とTQnCCRkレジスタの値との一致後、次のカウンタ・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOQnk端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

備考 k = 1-3

n = 0, 1

7.5.5 PWM出力モード (TQnMD2-TQnMD0ビット = 100)

PWM出力モードは、TQnCTL0.TQnCEビットをセット (1) することで、TOQn1-TOQn3端子からPWM波形を出力します。

また、TOQn0端子から、PWM波形の1周期を半周期とするパルスを出力します。

図7-24 PWM出力モードの構成図

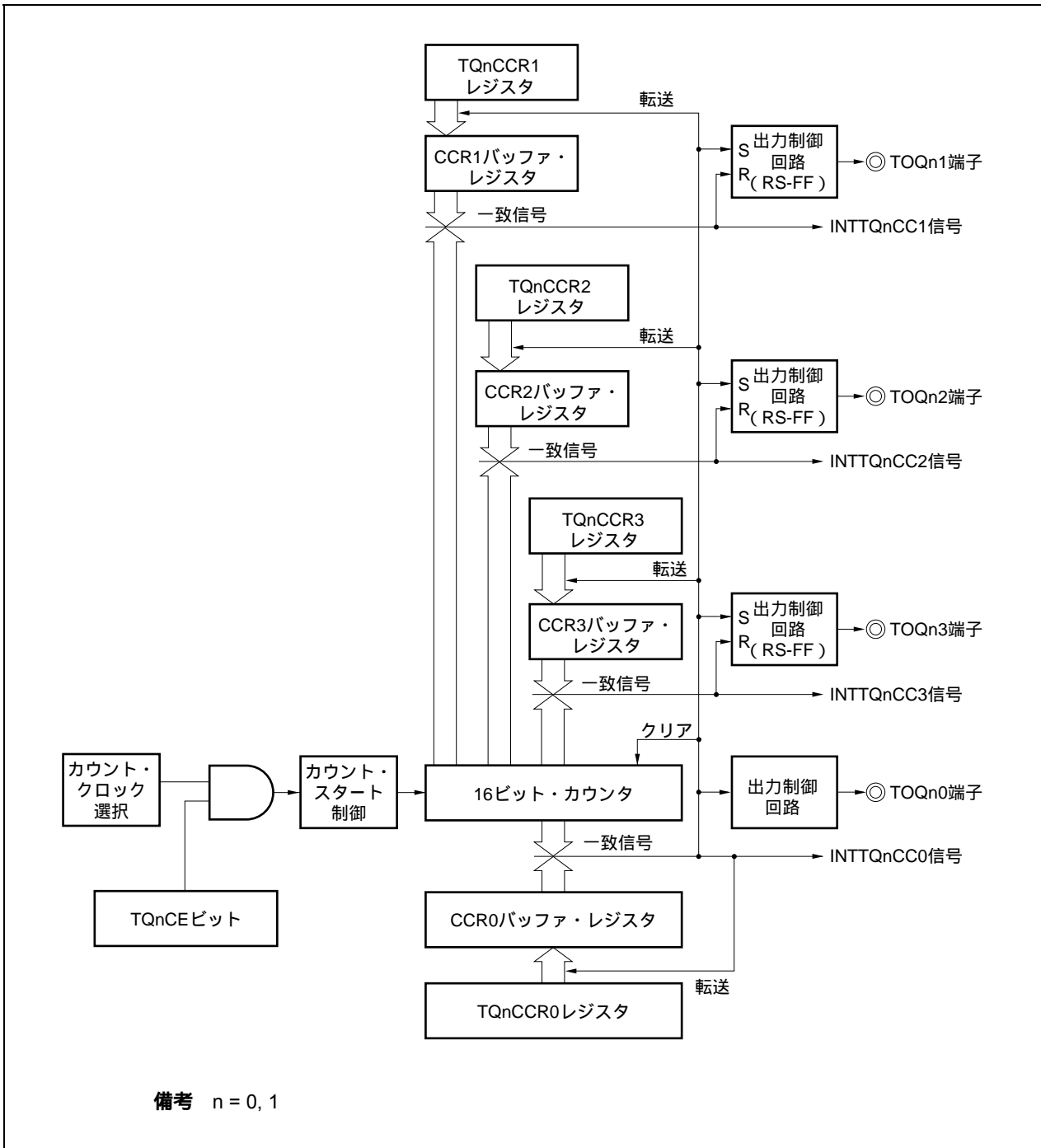
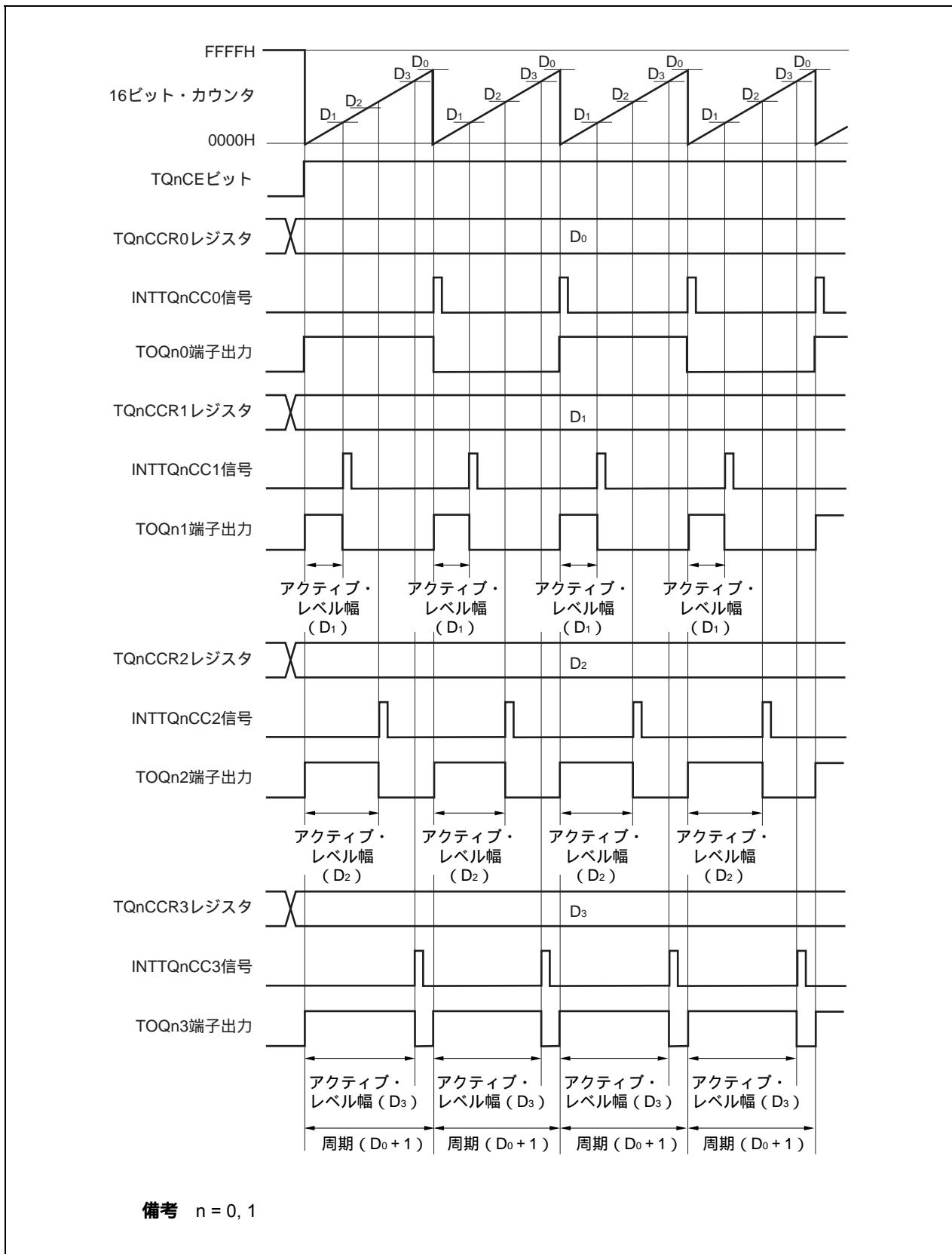


図7-25 PWM出力モードの基本タイミング



TQnCEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOQnk端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅, 周期, およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TQnCCRkレジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TQnCCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TQnCCRkレジスタの設定値}) / (\text{TQnCCR0レジスタの設定値} + 1)$$

動作中にTQnCCRmレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンペアー一致割り込み要求信号 (INTTQnCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTTQnCCk) は、16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値が一致するタイミングで発生します。

備考 k = 1-3

m = 0-3

n = 0, 1

図7 - 26 PWM出力モード動作時のレジスタ設定内容 (1/3)

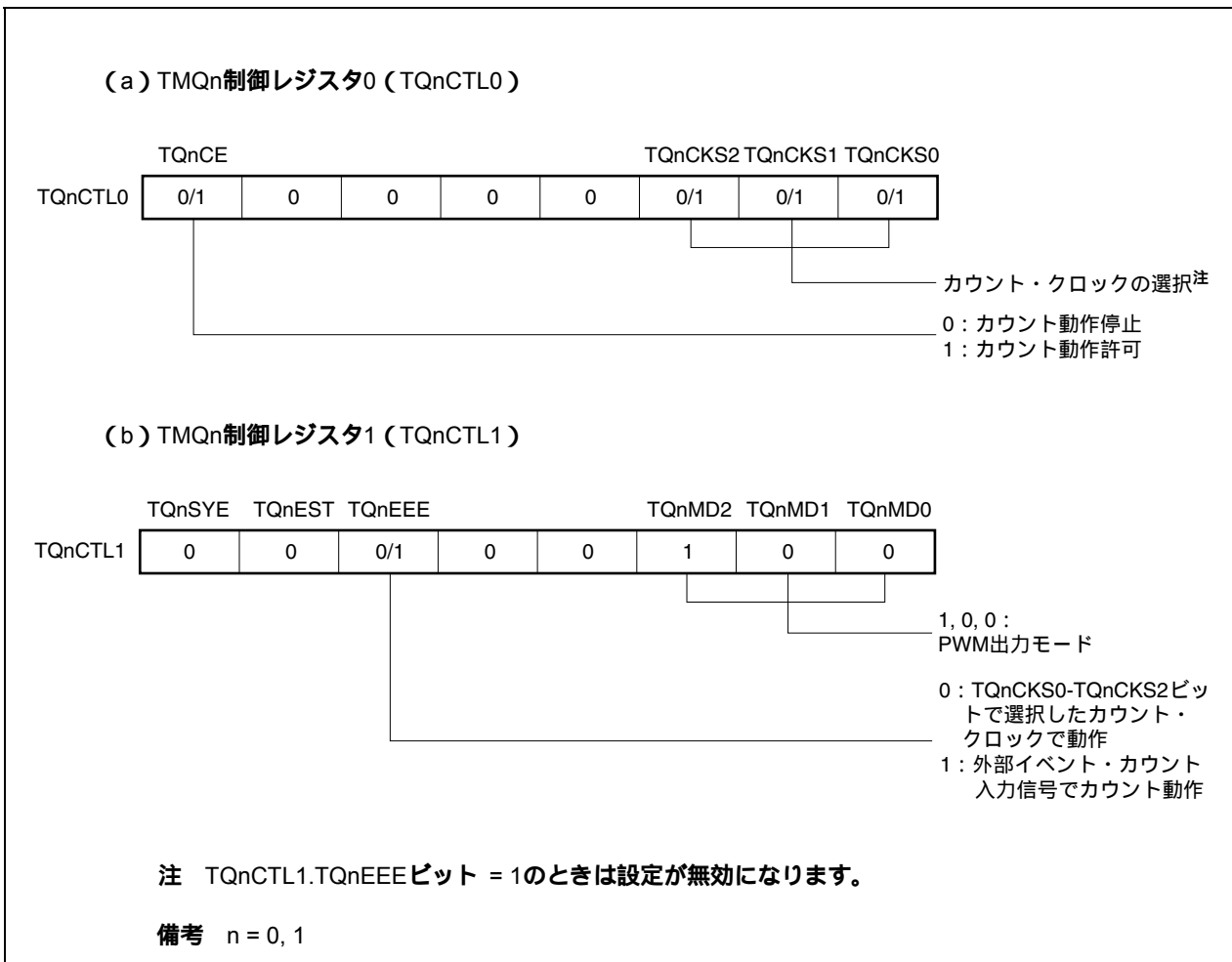


図7 - 26 PWM出力モード動作時のレジスタ設定内容 (2/3)

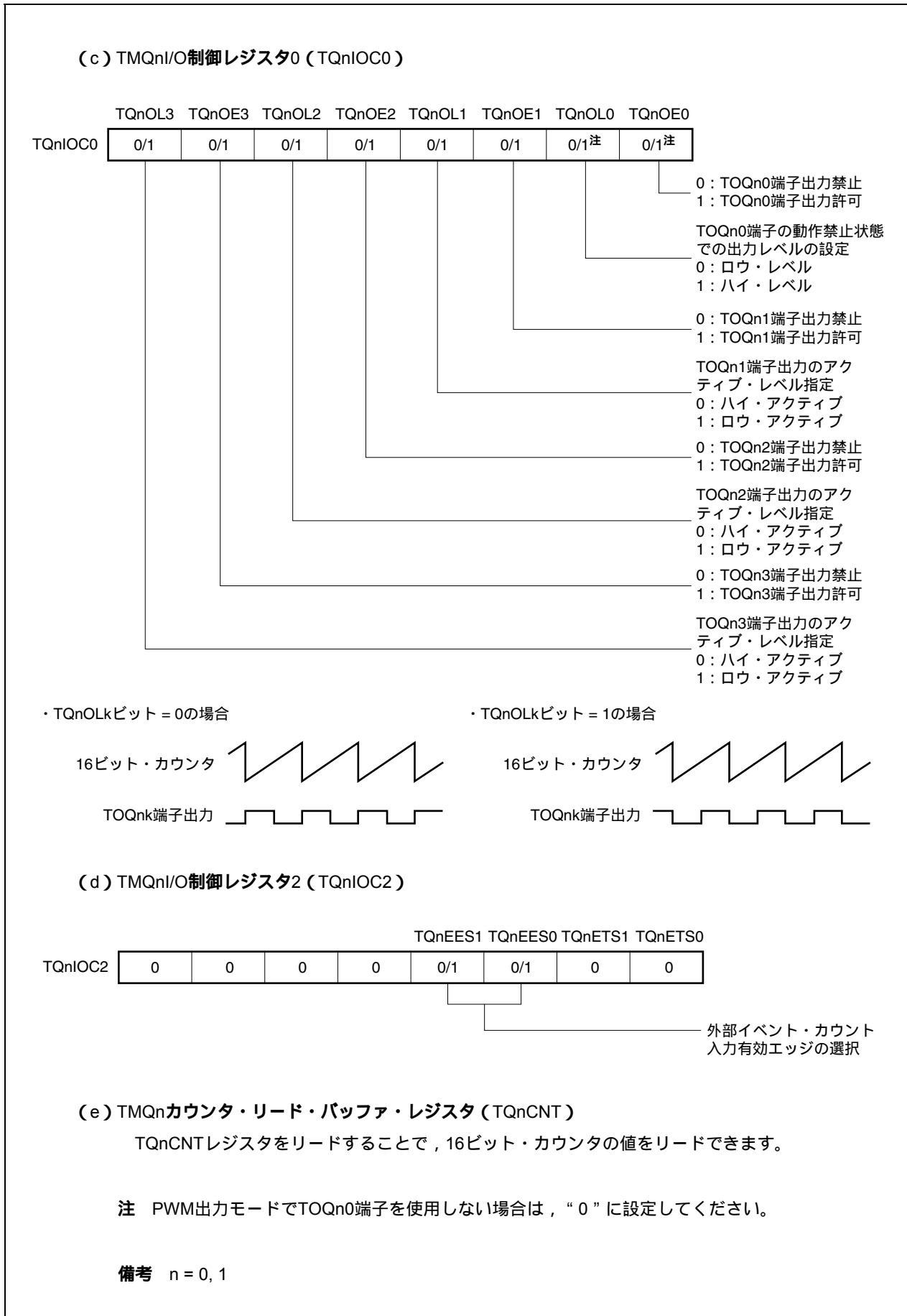


図7 - 26 PWM出力モード動作時のレジスタ設定内容 (3/3)

(f) TMQnキャプチャ/コンペア・レジスタ0-3 (TQnCCR0-TQnCCR3)

TQnCCR0レジスタにD₀を設定し, TQnCCRkレジスタにD_kを設定した場合,

$$\text{PWM波形の周期} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{PWM波形のアクティブ・レベル幅} = D_k \times \text{カウント} \cdot \text{クロック周期}$$

となります。

- 備考1.** TMQnI/O制御レジスタ1 (TQnIOC1), TMQnオプション・レジスタ0 (TQnOPT0) は, PWM出力モードでは使用しません。
2. TMQnキャプチャ/コンペア・レジスタ2 (TQnCCR2), TMQnキャプチャ/コンペア・レジスタ3 (TQnCCR3) の更新は, TMQnキャプチャ/コンペア・レジスタ1 (TQnCCR1) への書き込みにより有効になります。
3. n = 0, 1

(1) PWM出力モード動作フロー

図7 - 27 PWM出力モード使用時のソフトウェア処理フロー (1/2)

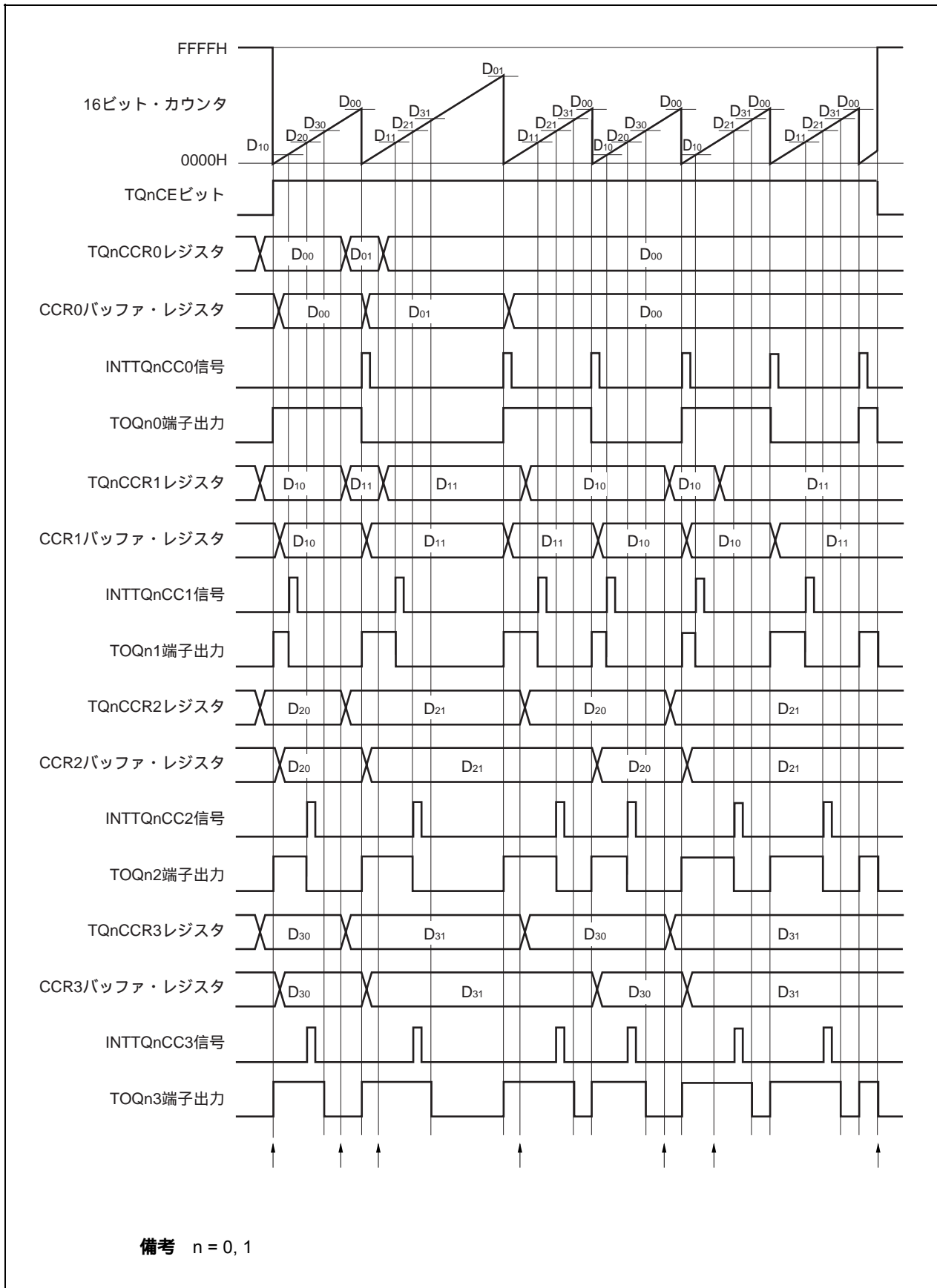
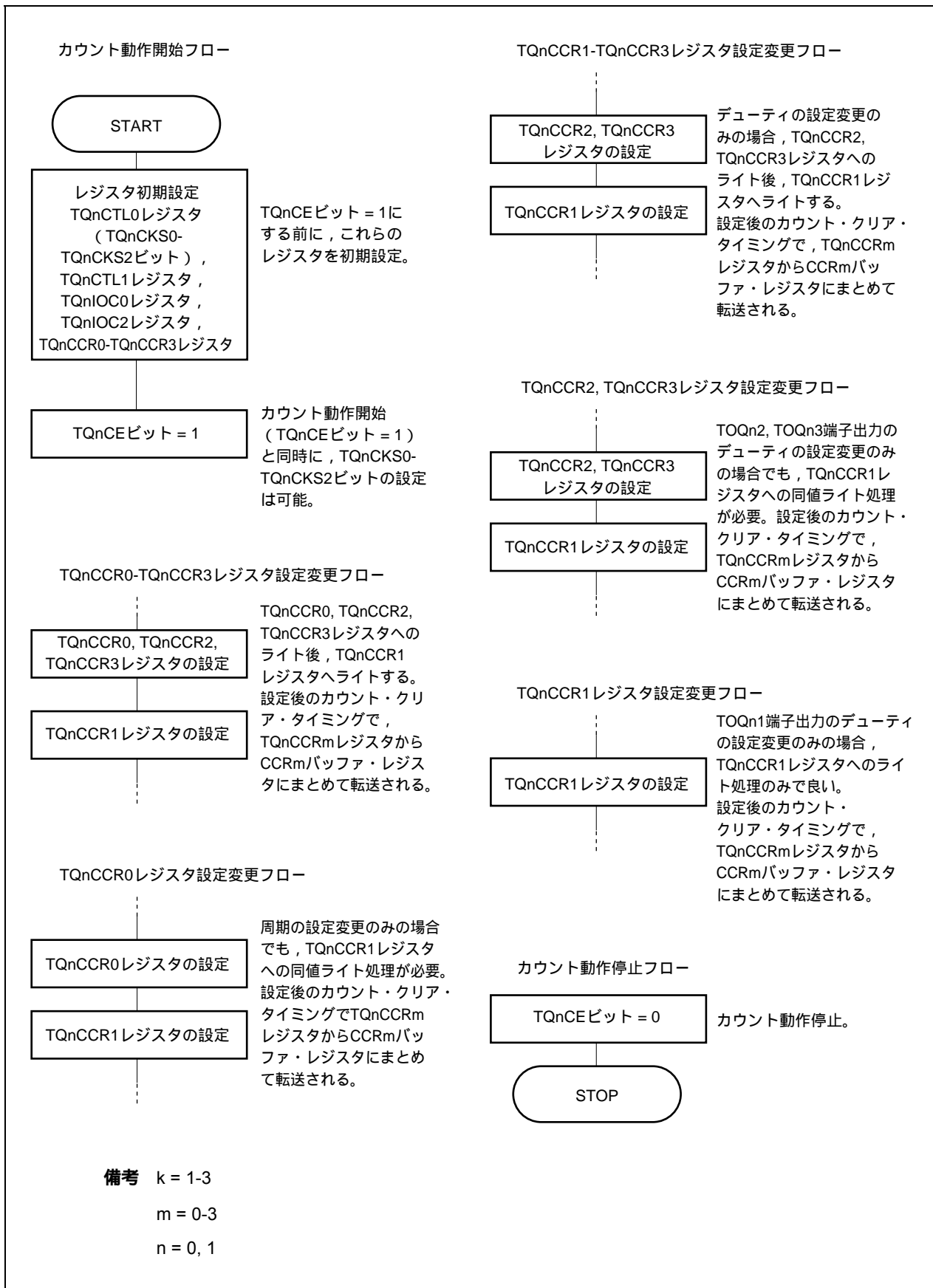


図7 - 27 PWM出力モード使用時のソフトウェア処理フロー (2/2)

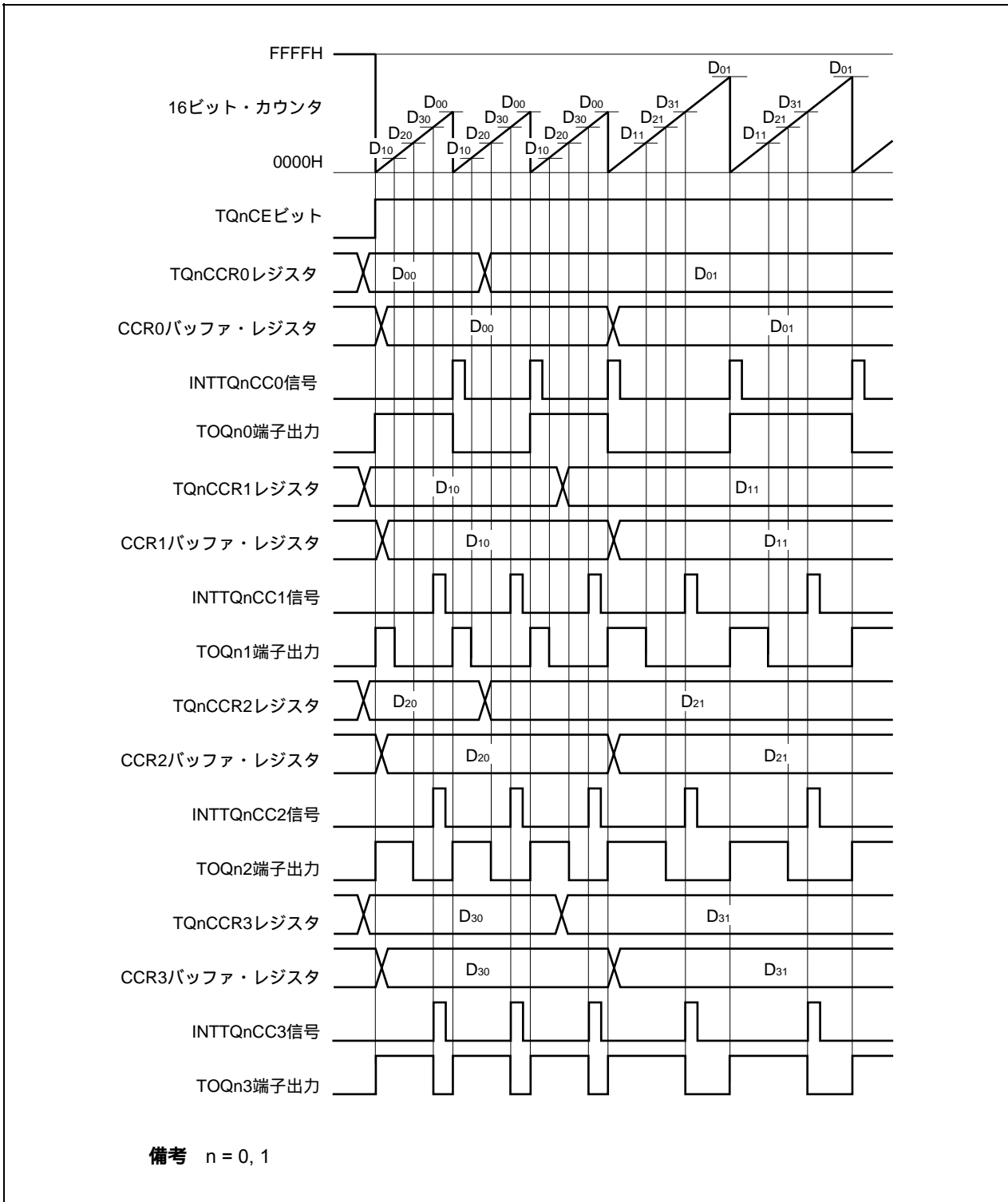


(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTQnCCR1レジスタにライトしてください。

TQnCCR1レジスタにライト後、再度TQnCCRkレジスタの書き換えを行う場合には、INTTQnCC1信号を検出後に書き換えてください。



TQnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TQnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTQnCCR0レジスタに周期を、TQnCCR2, TQnCCR3レジスタにアクティブ・レベル幅を設定し、最後にTQnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTQnCCR0レジスタに周期を設定し、そのあとでTQnCCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合には、まず、TQnCCR2, TQnCCR3レジスタにアクティブ・レベル幅を設定し、最後にTQnCCR1レジスタにアクティブ・レベル幅を設定してください。

TOQn1端子出力のPWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、TQnCCR1レジスタのみの設定でかまいません。

TOQn2, TOQn3端子出力のPWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、まずTQnCCR2, TQnCCR3レジスタにアクティブ・レベル幅を設定し、そのあとでTQnCCR1レジスタに同値をライトしてください。

TQnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TQnCCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

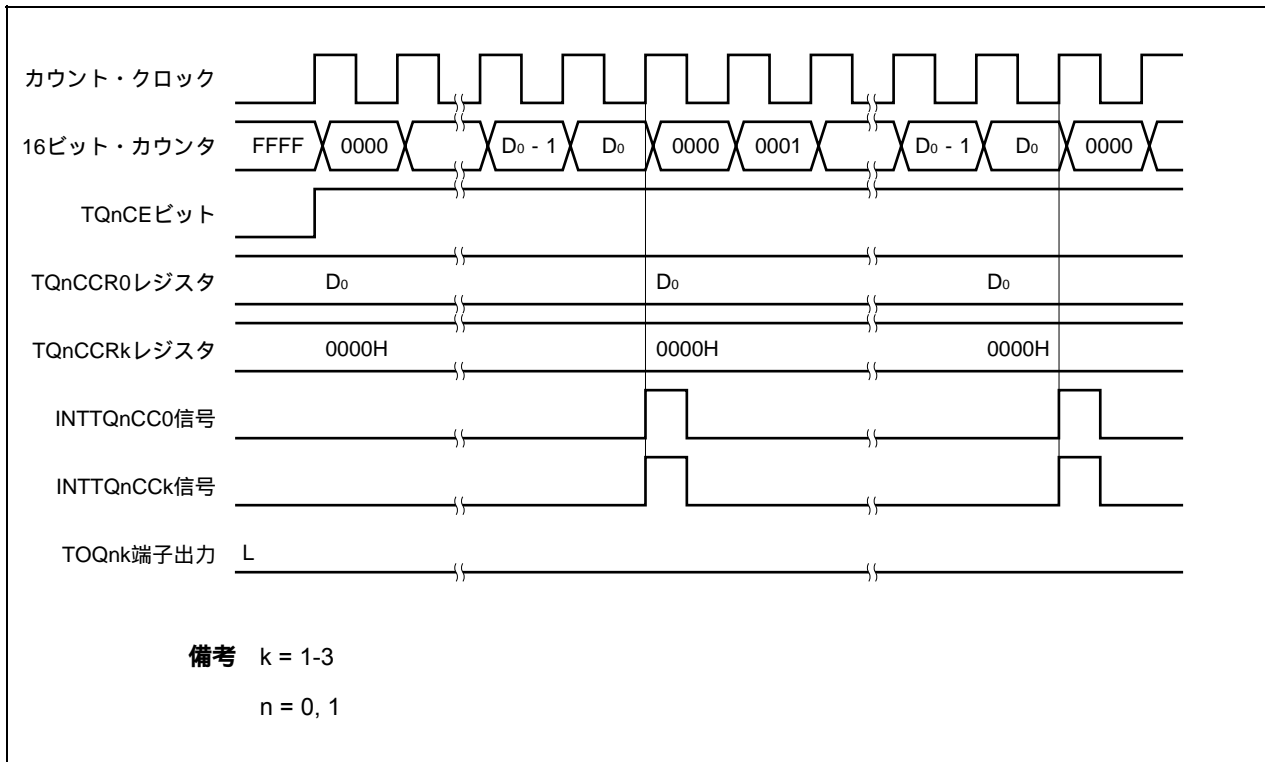
また、一度TQnCCR1レジスタにライトしたあとで、再度TQnCCR0-TQnCCR3レジスタへのライトを行う場合は、INTTQnCC0信号の発生後に行ってください。これを守れない場合には、TQnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TQnCCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

備考 m = 0-3

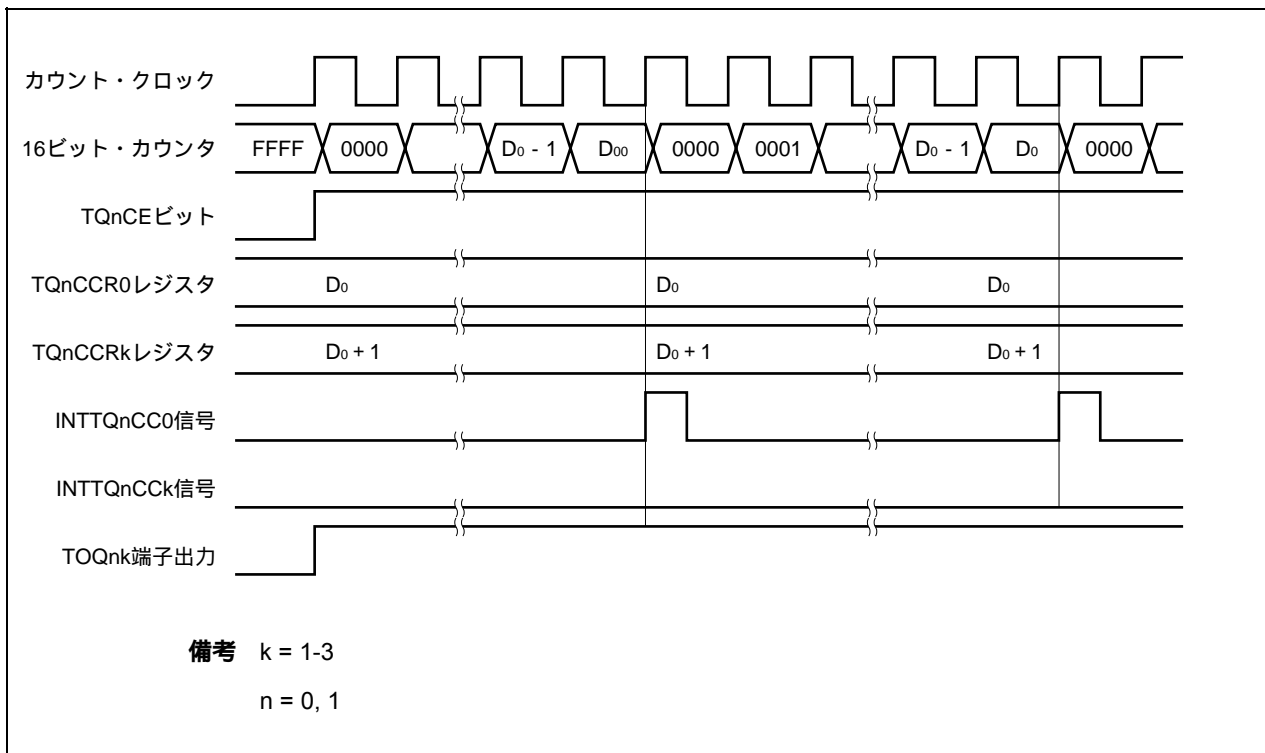
n = 0, 1

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには, TQnCCRkレジスタに対して0000Hを設定します。ただし, TQnCCR0レジスタの設定値がFFFFHの場合には, INTTQnCCk信号が定期的が発生します。

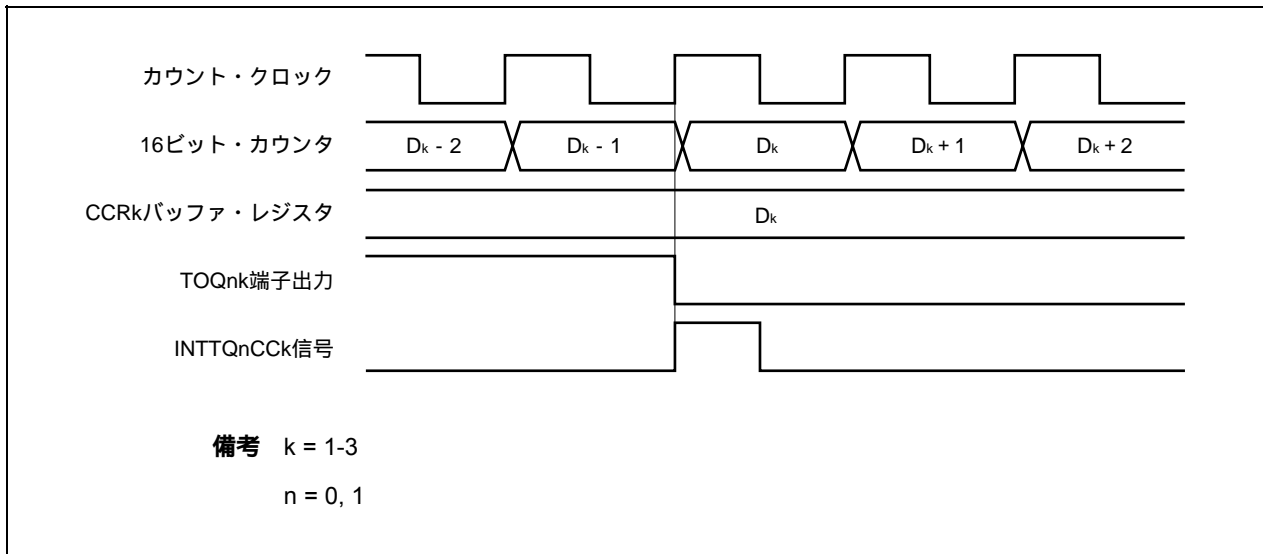


100 % 波形を出力するためには, TQnCCRkレジスタに対して (TQnCCR0レジスタの設定値 + 1) の値を設定してください。TQnCCR0レジスタの設定値がFFFFHの場合には, 100 %出力はできません。



(c) コンペアー一致割り込み要求信号 (INTTQnCCK) の発生タイミング

PWM出力モードにおけるINTTQnCCK信号の発生タイミングは、ほかのINTTQnCCK信号と異なり、16ビット・カウンタのカウンタ値とTQnCCRkレジスタの値との一致と同時に発生します。



通常,INTTQnCCK信号は,16ビット・カウンタのカウンタ値とTQnCCRkレジスタの値との一致後,次のカウント・アップに同期して発生します。

しかし,PWM出力モードの場合,1クロック早いタイミングで発生します。これは,TOQnk端子出力の変化タイミングとあわせるために,タイミングを変更しているからです。

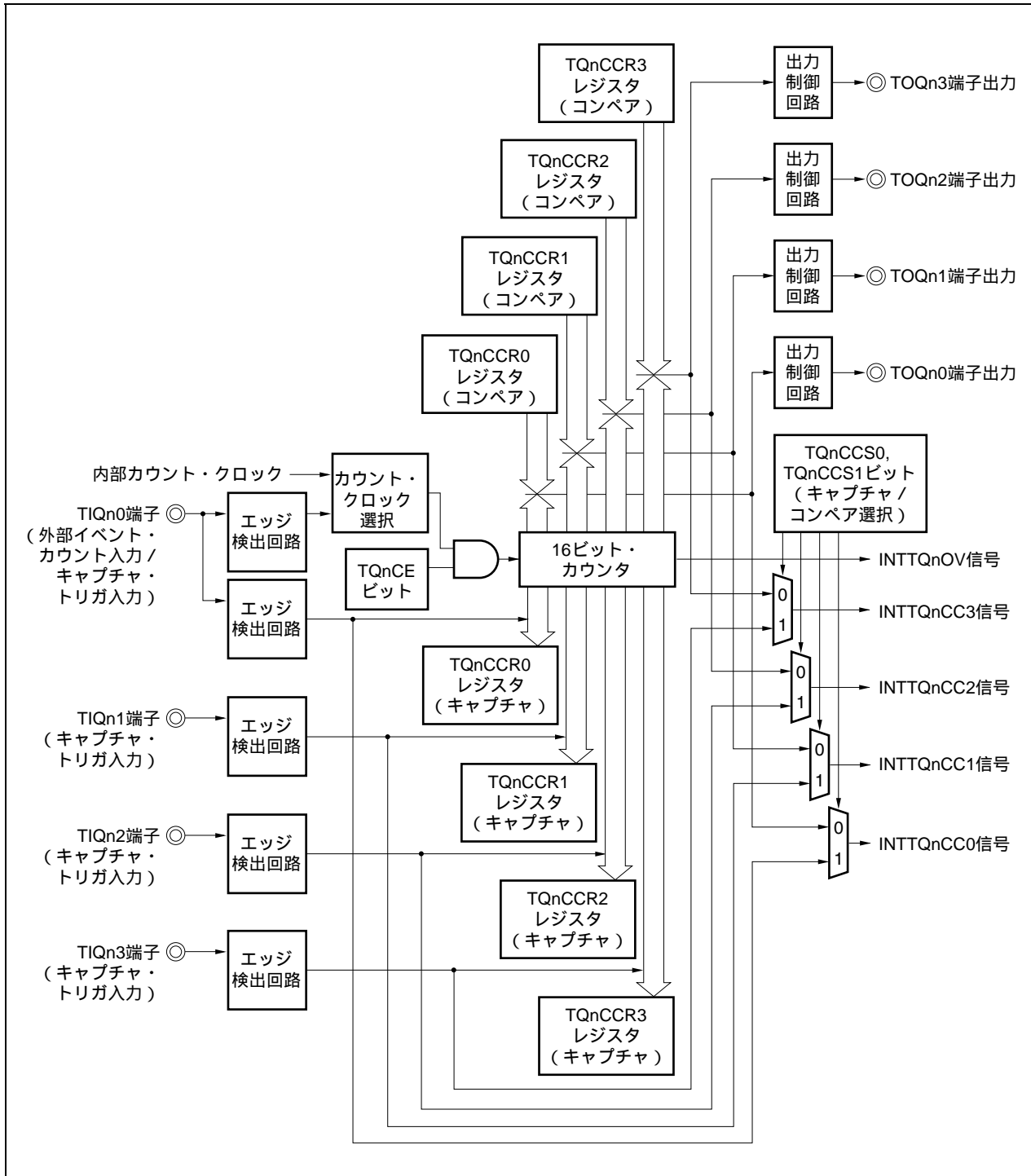
7.5.6 フリー・ランニング・タイマ・モード (TQnMD2-TQnMD0ビット = 101)

フリー・ランニング・タイマ・モードは、TQnCTL0.TQnCEビットをセット(1)することでカウント動作を開始します。このときのTQnCCRMレジスタの動作は、TQnOPT0.TQnCCS0, TQnCCS1ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

備考 m = 0-3

n = 0, 1

図7-28 フリー・ランニング・タイマ・モードの構成図

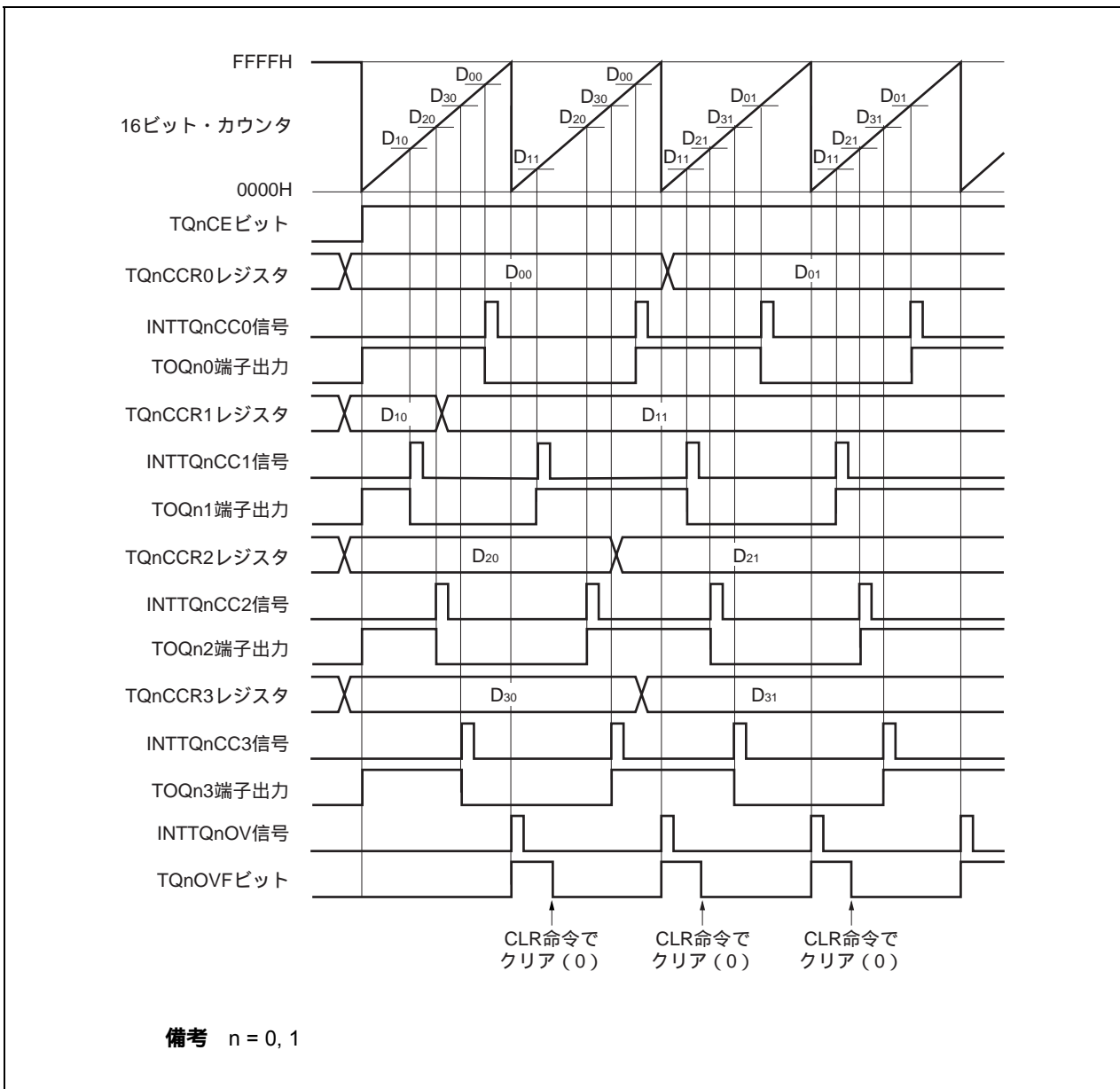


TQnCEビットをセット(1)することで、カウント動作を開始し、TOQn0-TOQn3端子出力を反転します。その後、16ビット・カウンタのカウント値とTQnCCRmレジスタの設定値が一致すると、コンペアー一致割り込み要求信号(INTTQnCCm)を発生し、TOQnm端子出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号(INTTQnOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ(TQnOPT0.TQnOVFビット)もセット(1)されます。オーバーフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

TQnCCRmレジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き換えた値が反映され、カウント値と比較されます。

図7-29 フリー・ランニング・タイマ・モードの基本タイミング(コンペアー機能)



TQnCEビットをセット (1) することで、カウント動作を開始します。その後、TIQnm端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTQnCCRmレジスタに格納し、キャプチャ割り込み要求信号 (INTTQnCCm) を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号 (INTTQnOV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ (TQnOVFビット) もセット (1) されます。オーバーフロー・フラグは、ソフトウェアでCLR命令を実行してクリア (0) してください。

図7-30 フリー・ランニング・タイマ・モードの基本タイミング (キャプチャ機能)

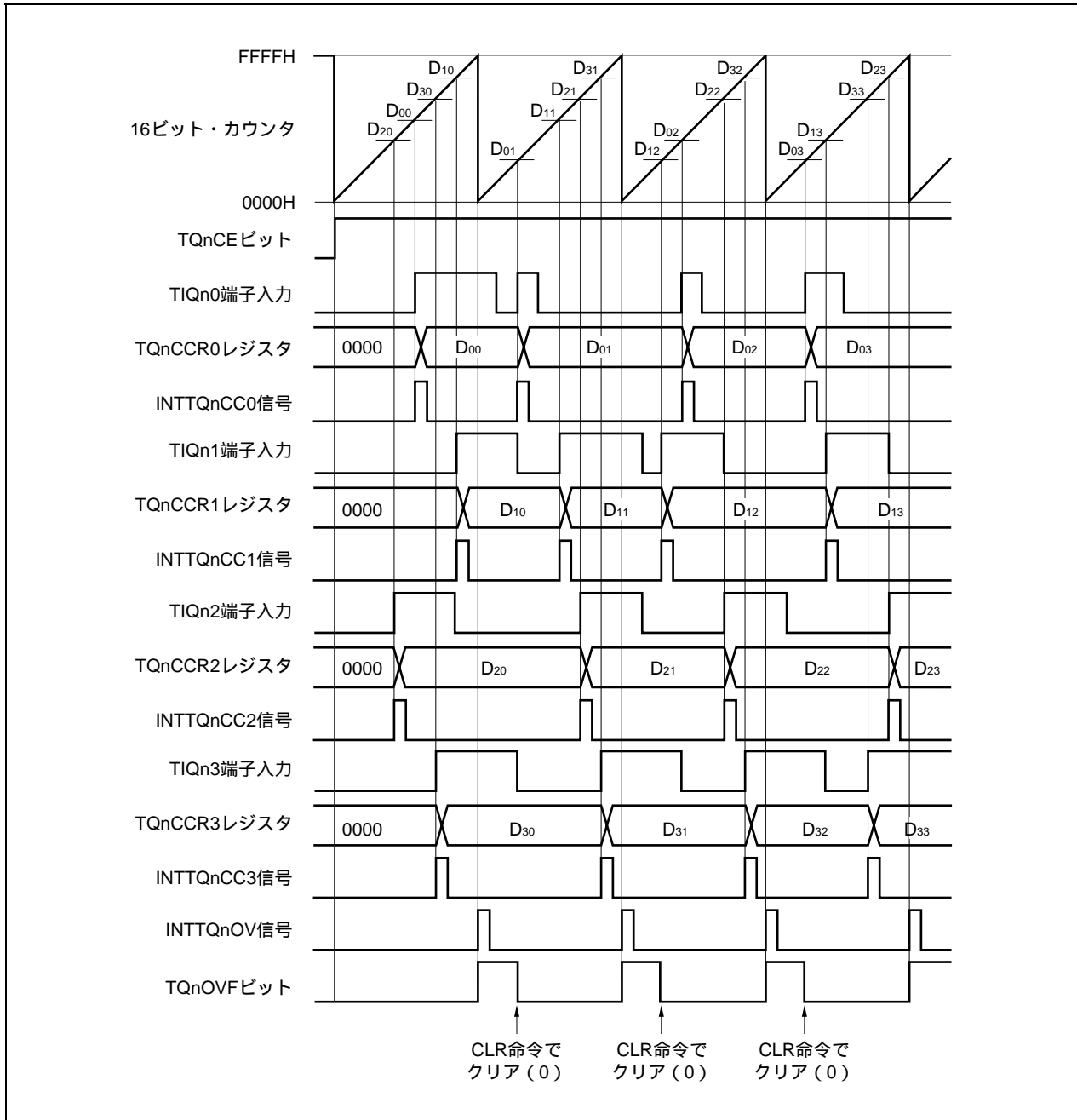
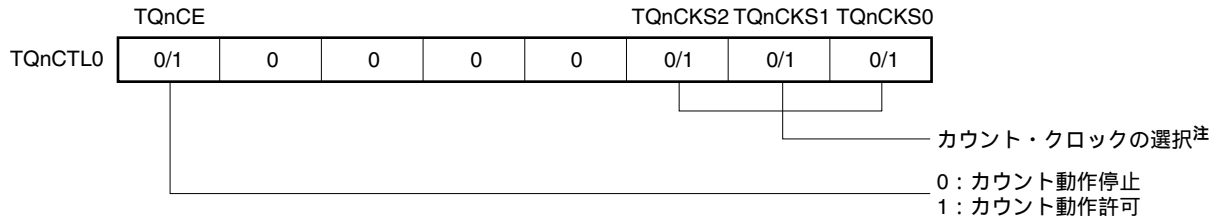


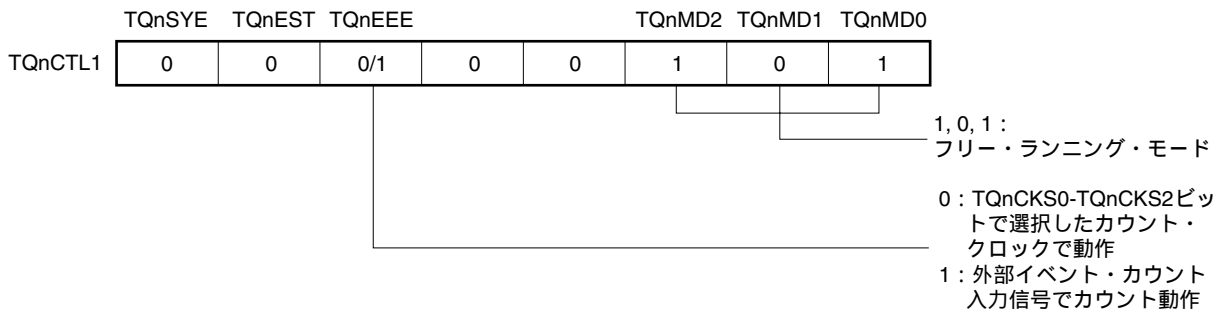
図7 - 31 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (1/3)

(a) TMQn制御レジスタ0 (TQnCTL0)

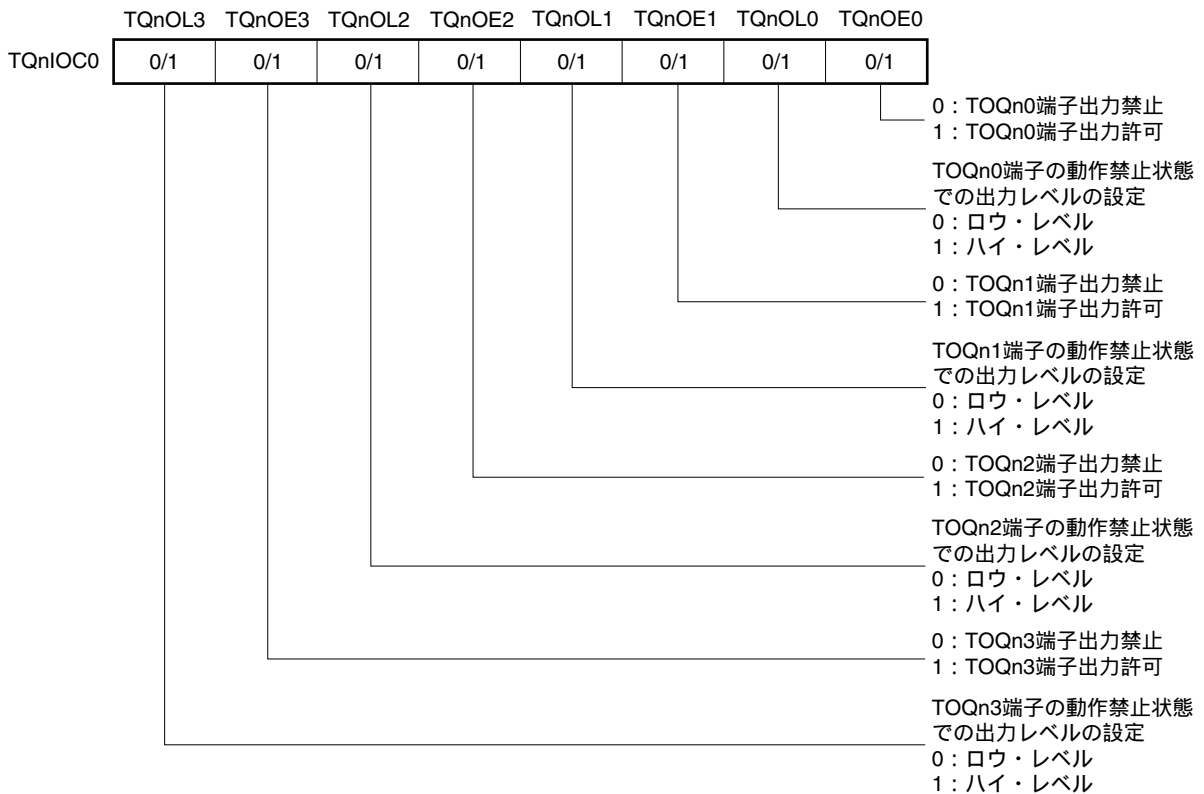


注 TQnCTL1.TQnEEEビット = 1のときは設定が無効になります。

(b) TMQn制御レジスタ1 (TQnCTL1)



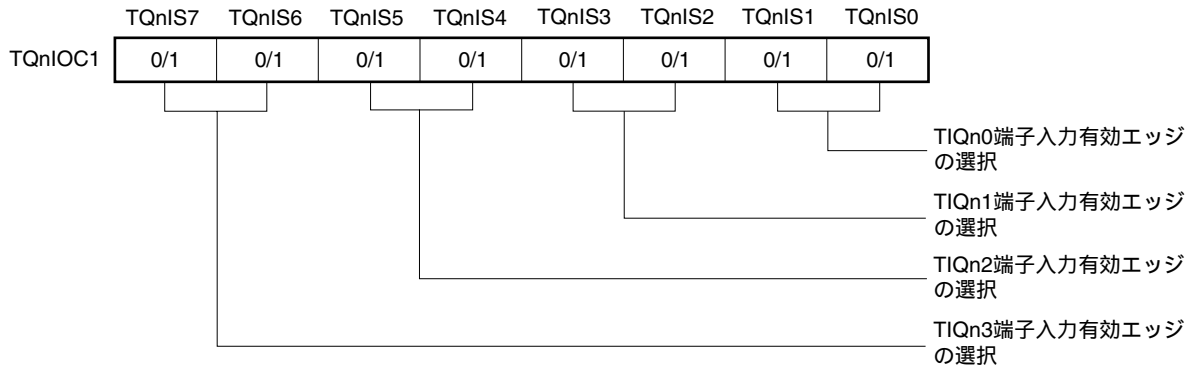
(c) TMQnI/O制御レジスタ0 (TQnIOC0)



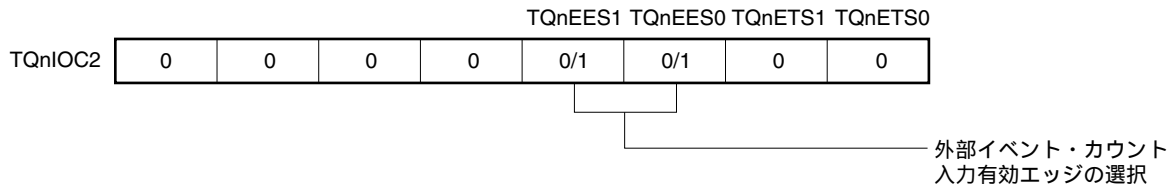
備考 n = 0, 1

図7 - 31 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/3)

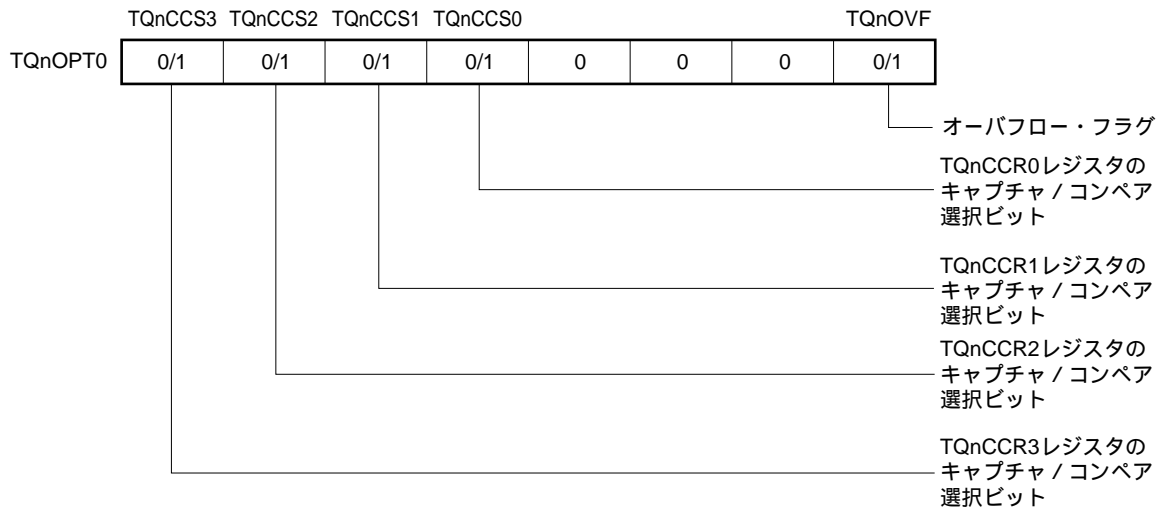
(d) TMQnI/O制御レジスタ1 (TQnIOC1)



(e) TMQnI/O制御レジスタ2 (TQnIOC2)



(f) TMQnオプション・レジスタ0 (TQnOPT0)



(g) TMQnカウンタ・リード・バッファ・レジスタ (TQnCNT)

TQnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

備考 n = 0, 1

図7 - 31 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (3/3)

(h) TMQnキャプチャ/コンペア・レジスタ0-3 (TQnCCR0-TQnCCR3)

TQnOPT0.TQnCCSmビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TIQnm端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には、TQnCCRmレジスタにD_mを設定した場合、カウンタが(D_m + 1)になるタイミングでINTTQnCCm信号を発生し、TOQnm端子出力を反転します。

備考 m = 0-3

n = 0, 1

(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図7-32 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

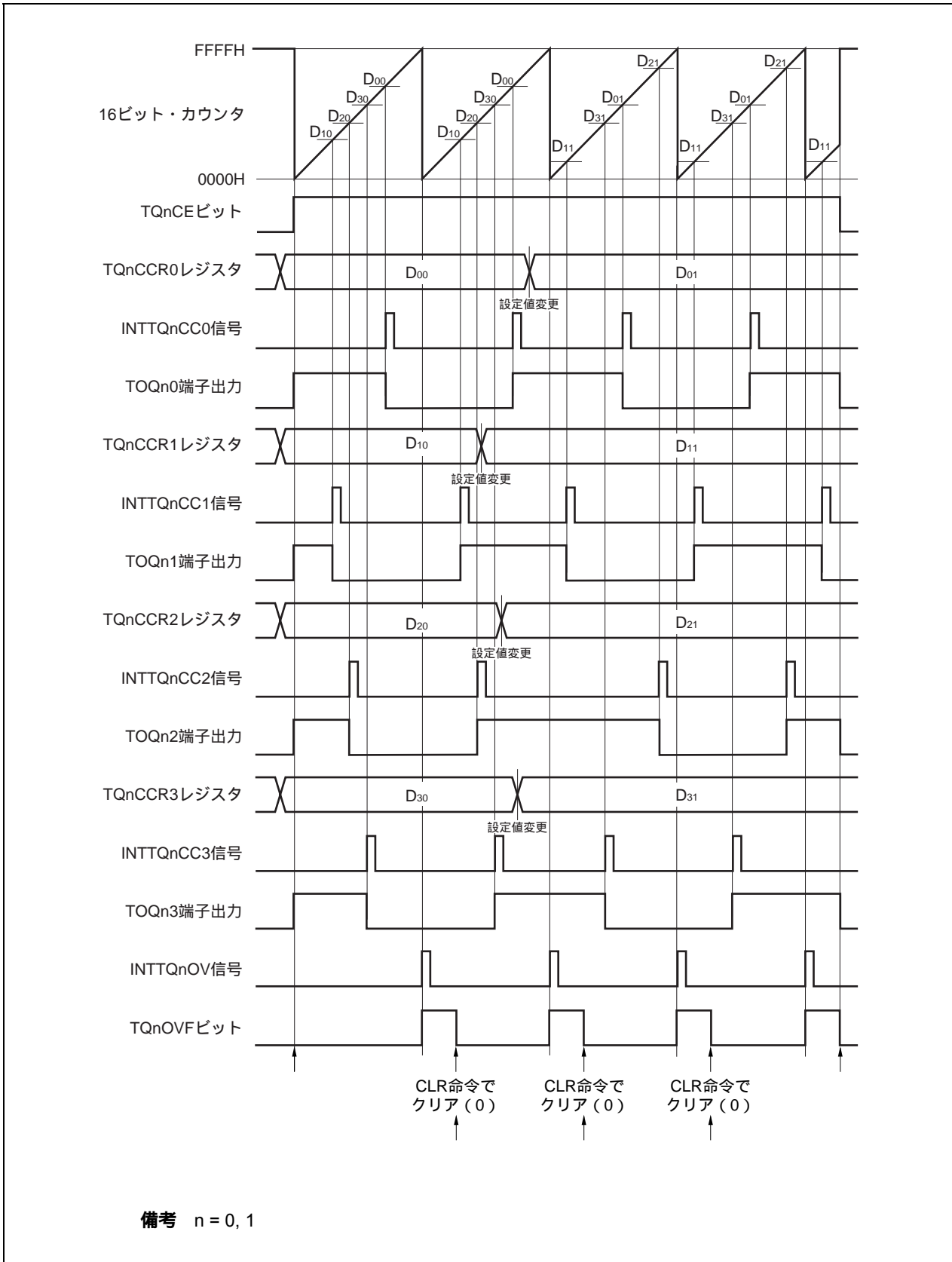
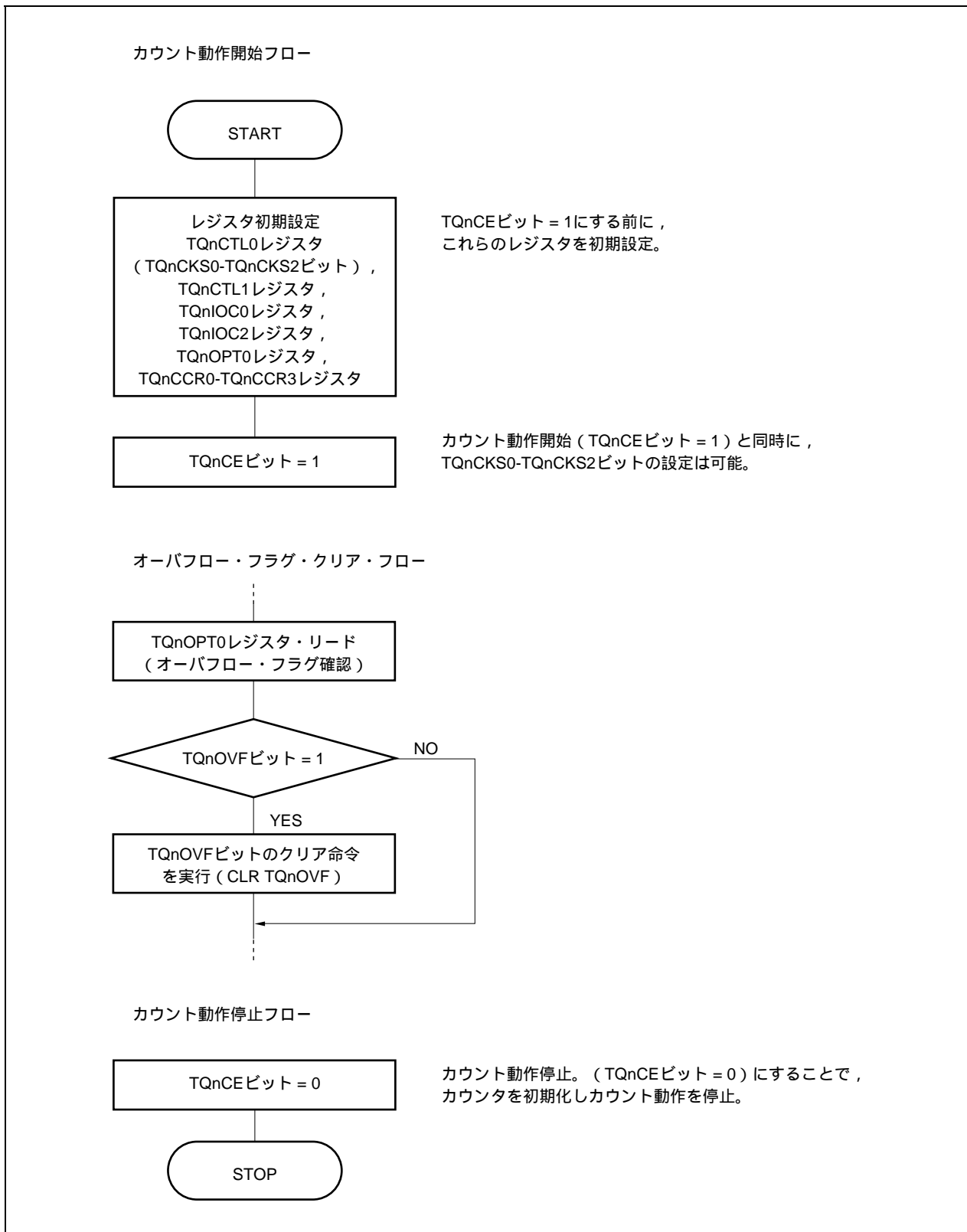


図7 - 32 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (コンペア機能) (2/2)



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図7 - 33 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（1/2）

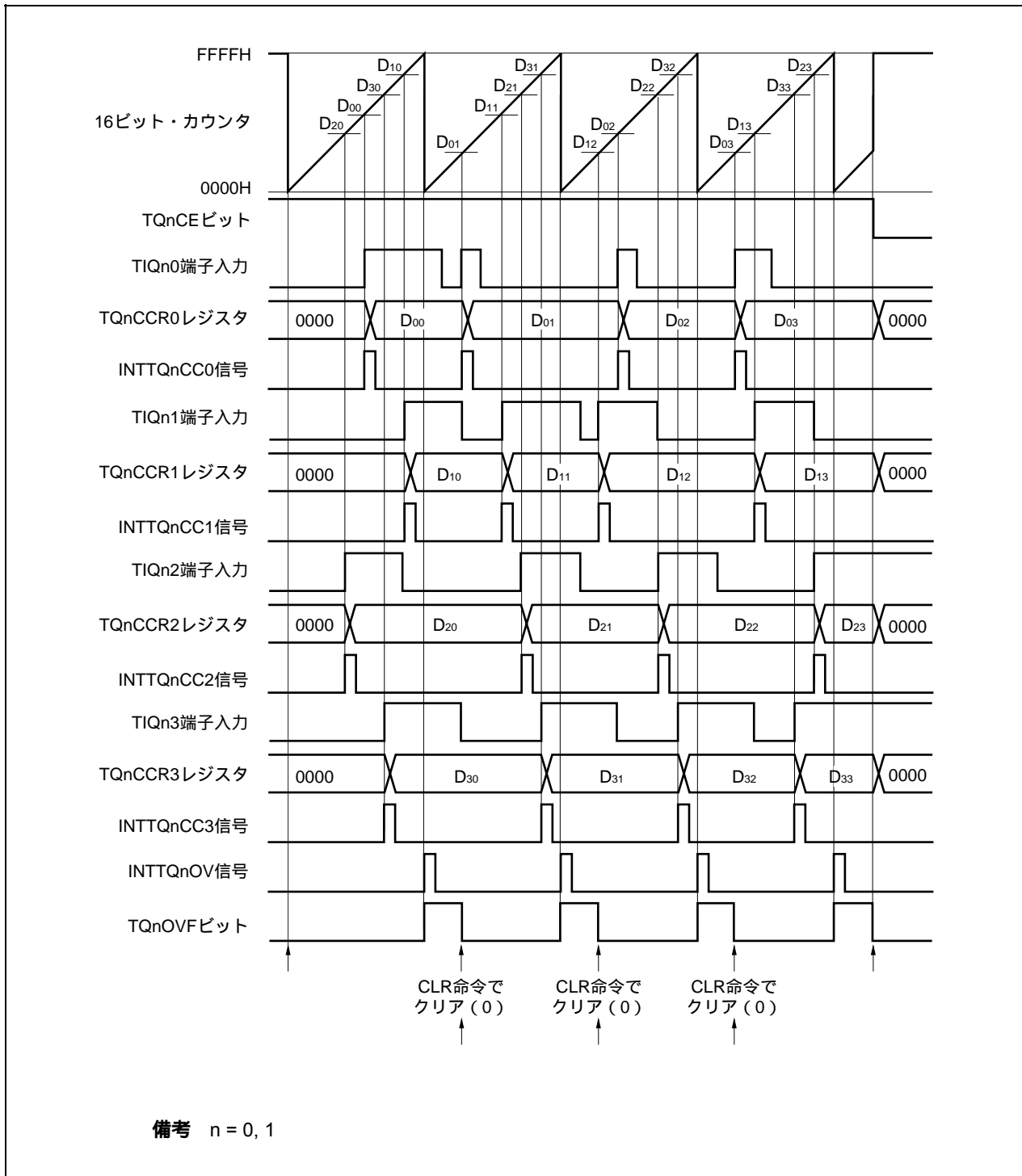
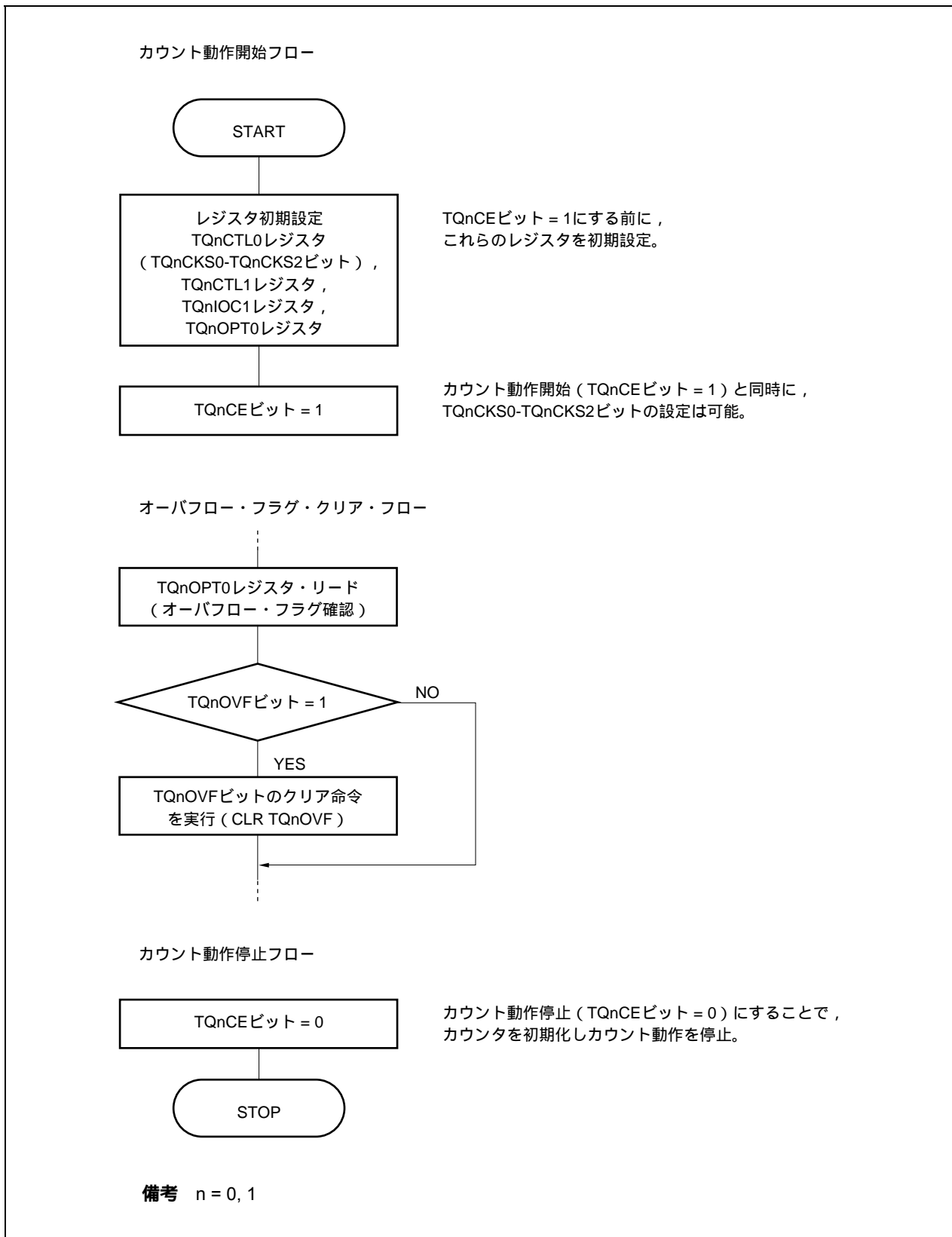


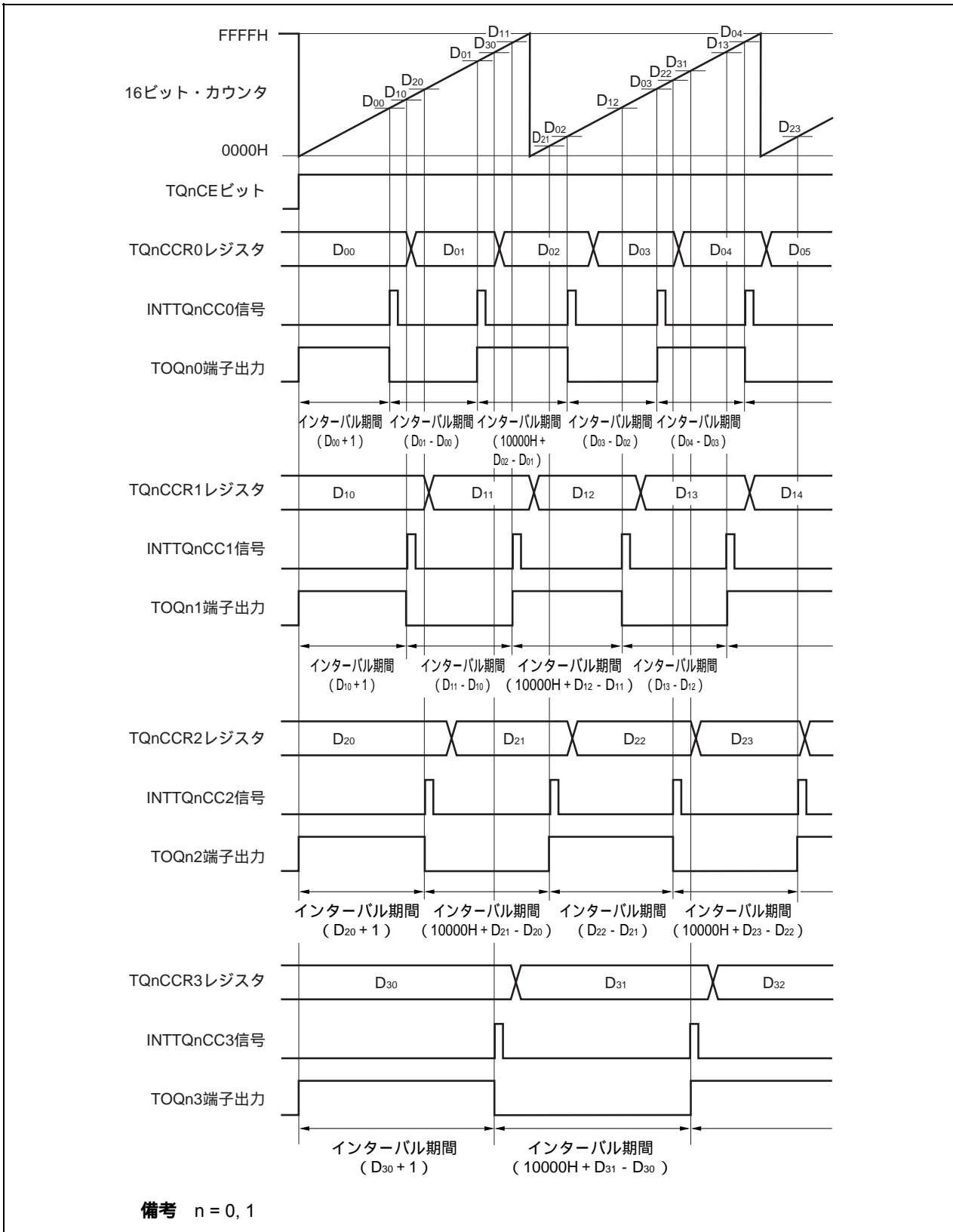
図7 - 33 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（2/2）



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TQnCCRmレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTQnCCm信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、4つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTQnCCm信号を検出したときの割り込み処理中に、対応するTQnCCRmレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“ D_m ” とすると、次のように求められます。

コンペア・レジスタ初期値： $D_m - 1$

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D_m

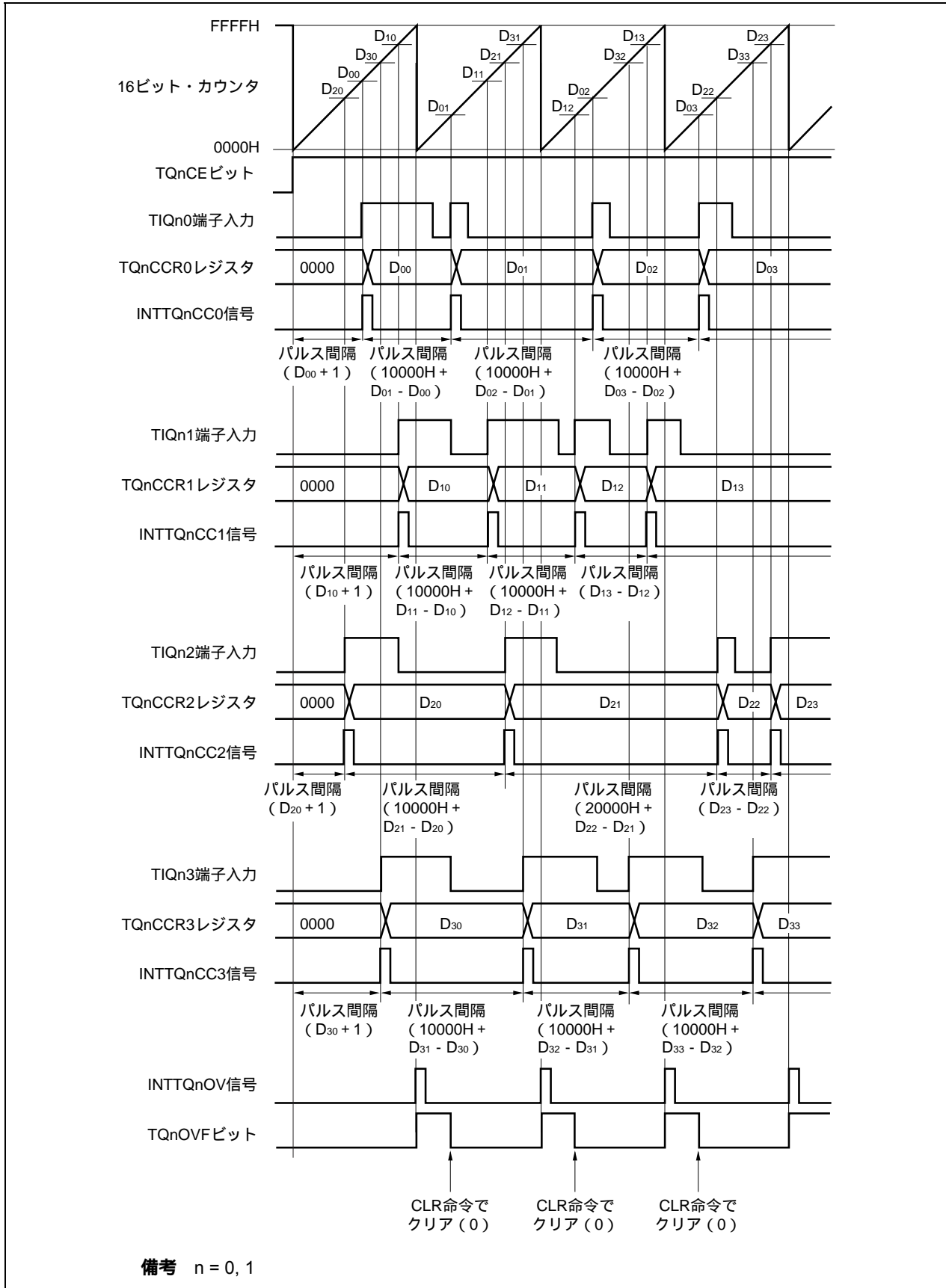
(演算結果がFFFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください。)

備考 $m = 0-3$

$n = 0, 1$

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TQnCCRmレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTQnCCm信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、4つのパルス幅測定ができます。
パルス幅測定を行う場合、INTTQnCCm信号に同期してTQnCCRmレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

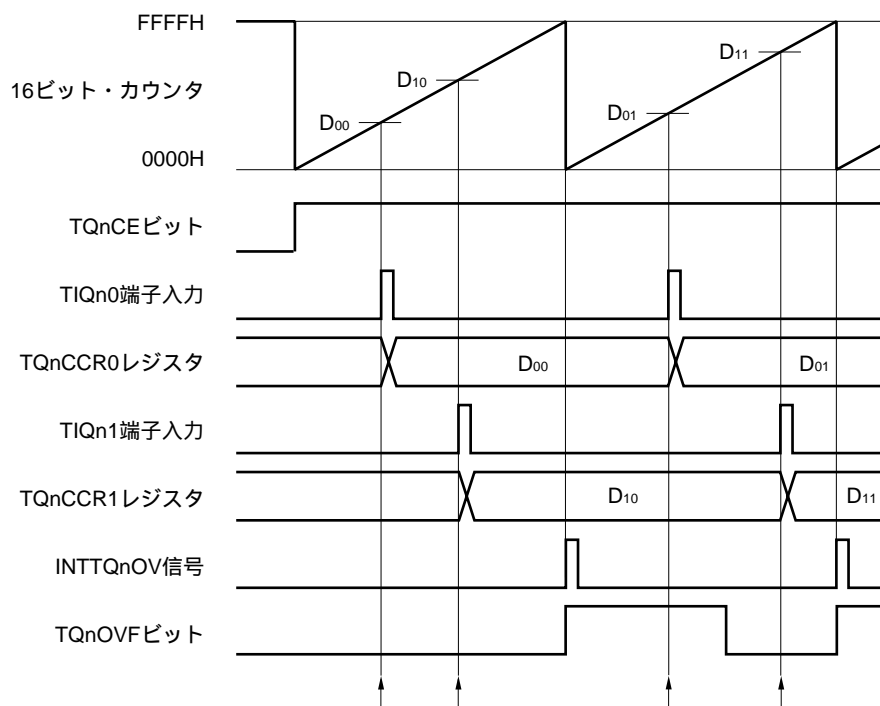
備考 m = 0-3

n = 0, 1

(c) 2つ以上のキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

2つ以上のキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

2つ以上のキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合、次のような問題が起こる場合があります。

TQnCCR0レジスタをリードする (TIQn0端子入力の初期値設定)。

TQnCCR1レジスタをリードする (TIQn1端子入力の初期値設定)。

TQnCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TQnCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。 でクリア(0)されているため、0がリードされます。

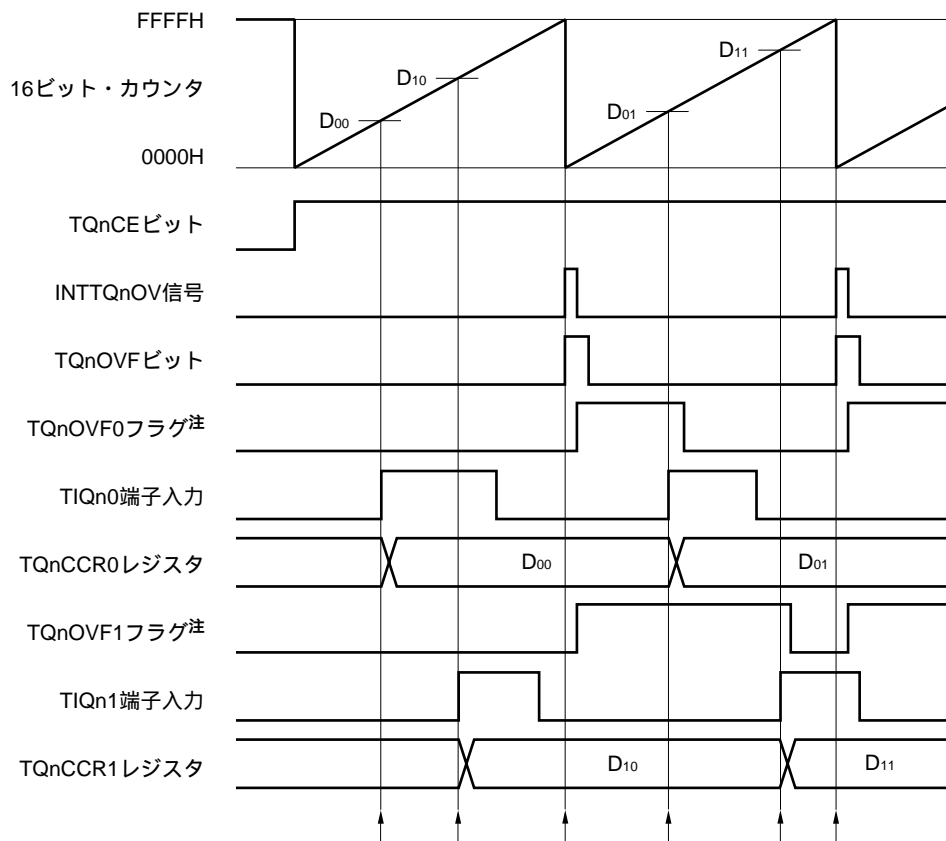
オーバーフロー・フラグが“0”なので、パルス幅は $(D_{11} - D_{10})$ で求められます (NG)。

備考 n = 0, 1

このように、2つ以上のキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、他のキャプチャは正しいパルス幅が求められない可能性があります。

2つ以上のキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TQnOVF0, TQnOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TQnCCR0レジスタをリードする (TIQn0端子入力の初期値設定)。

TQnCCR1レジスタをリードする (TIQn1端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TQnOVF0, TQnOVF1フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。

TQnCCR0レジスタをリードする。

TQnOVF0フラグをリードする。 TQnOVF0フラグが“1”だった場合、クリア (0) する。

TQnOVF0フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

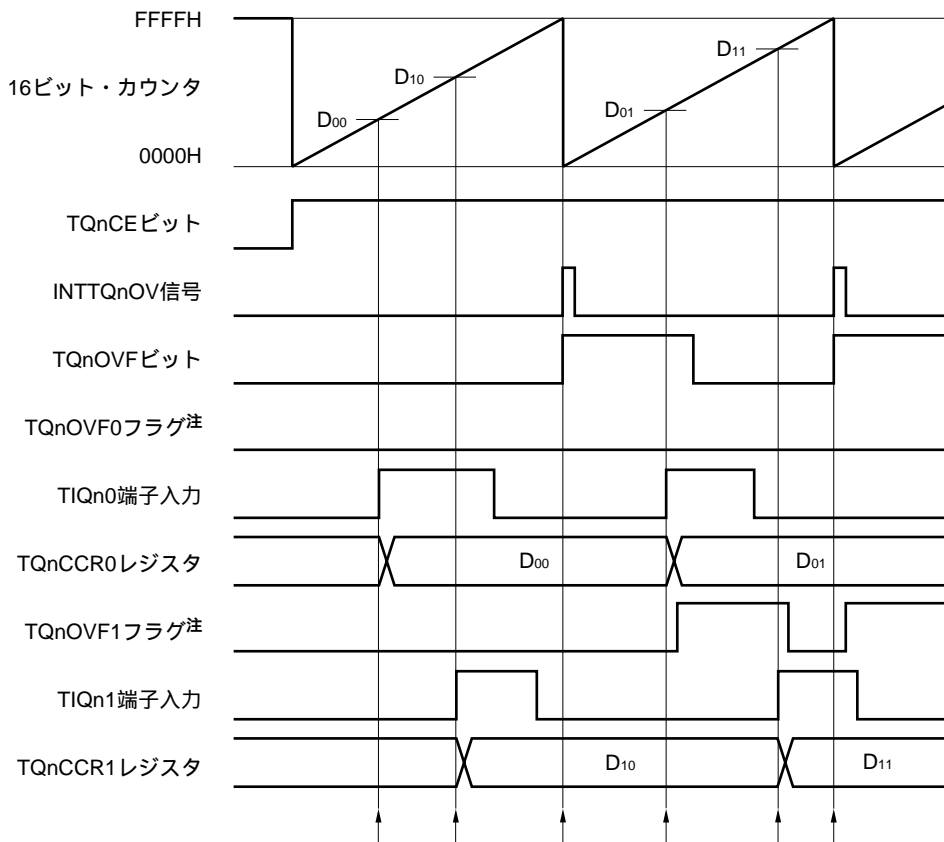
TQnCCR1レジスタをリードする。

TQnOVF1フラグをリードする。 TQnOVF1フラグが“1”だった場合、クリア (0) する (でクリア (0) されたのはTQnOVF0フラグであり、TQnOVF1フラグは“1”のまま)。

TQnOVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用しない)



注 TQnOVF0, TQnOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TQnCCR0レジスタをリードする (TIQn0端子入力の初期値設定)。

TQnCCR1レジスタをリードする (TIQn1端子入力の初期値設定)。

オーバーフローが発生する。ソフトウェアでは何もしない。

TQnCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、TQnOVF1フラグのみをセット (1) し、オーバーフロー・フラグをクリア (0) する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TQnCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア (0) されているので“0”がリードされる。

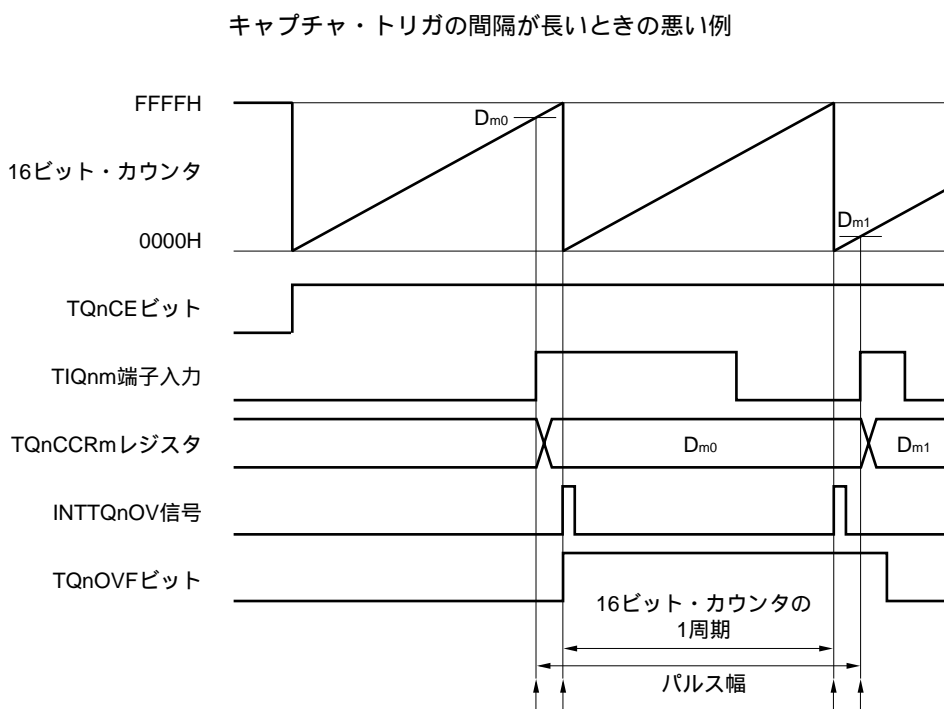
TQnOVF1フラグをリードする。TQnOVF1フラグが“1”だった場合、クリア (0) する。

TQnOVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

(d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



フリー・ランニング・タイマ・モードで長いパルス幅を測定する場合、次のような問題が起こる場合があります。

TQnCCRmレジスタをリードする (TIQnm端子入力の初期値設定)。

オーバーフローが発生する。ソフトウェアでは何もしない。

2回目のオーバーフローが発生する。ソフトウェアでは何もしない。

TQnCCRmレジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

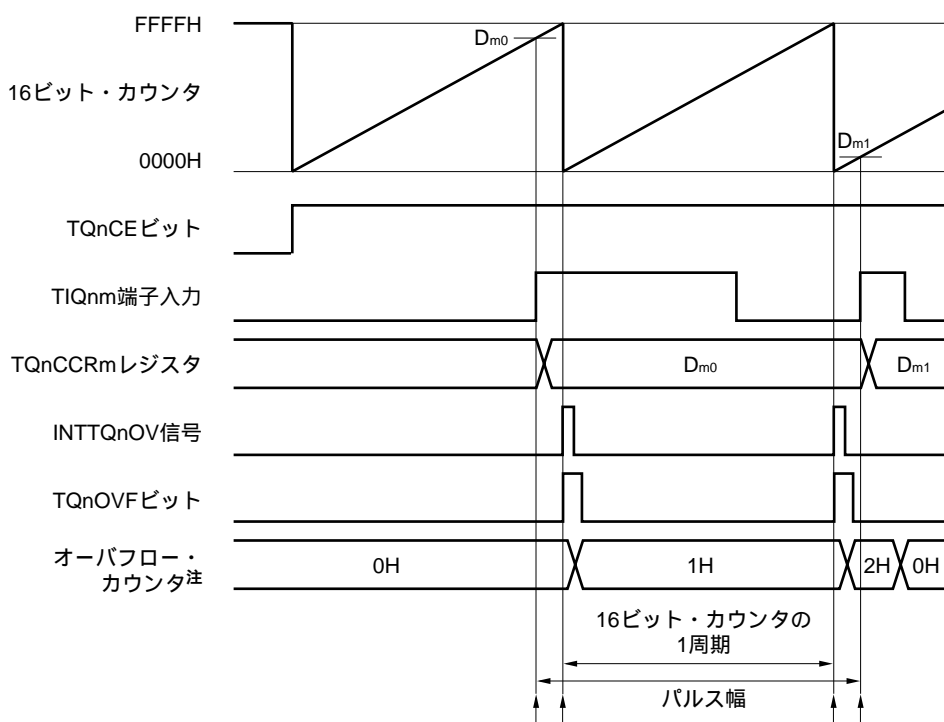
オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{m1} - D_{m0})$ で求められます (NG)。

実際には、2回のオーバーフローが発生しているので、パルス幅は、 $(20000H + D_{m1} - D_{m0})$ になるはずですが。

このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TQnCCRmレジスタをリードする (TIQnm端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

TQnCCRmレジスタをリードする。

オーバフロー・カウンタをリードする。

オーバフロー・カウンタが“N”のとき、パルス幅は $(N \times 10000H + D_{m1} - D_{m0})$ で求められる。

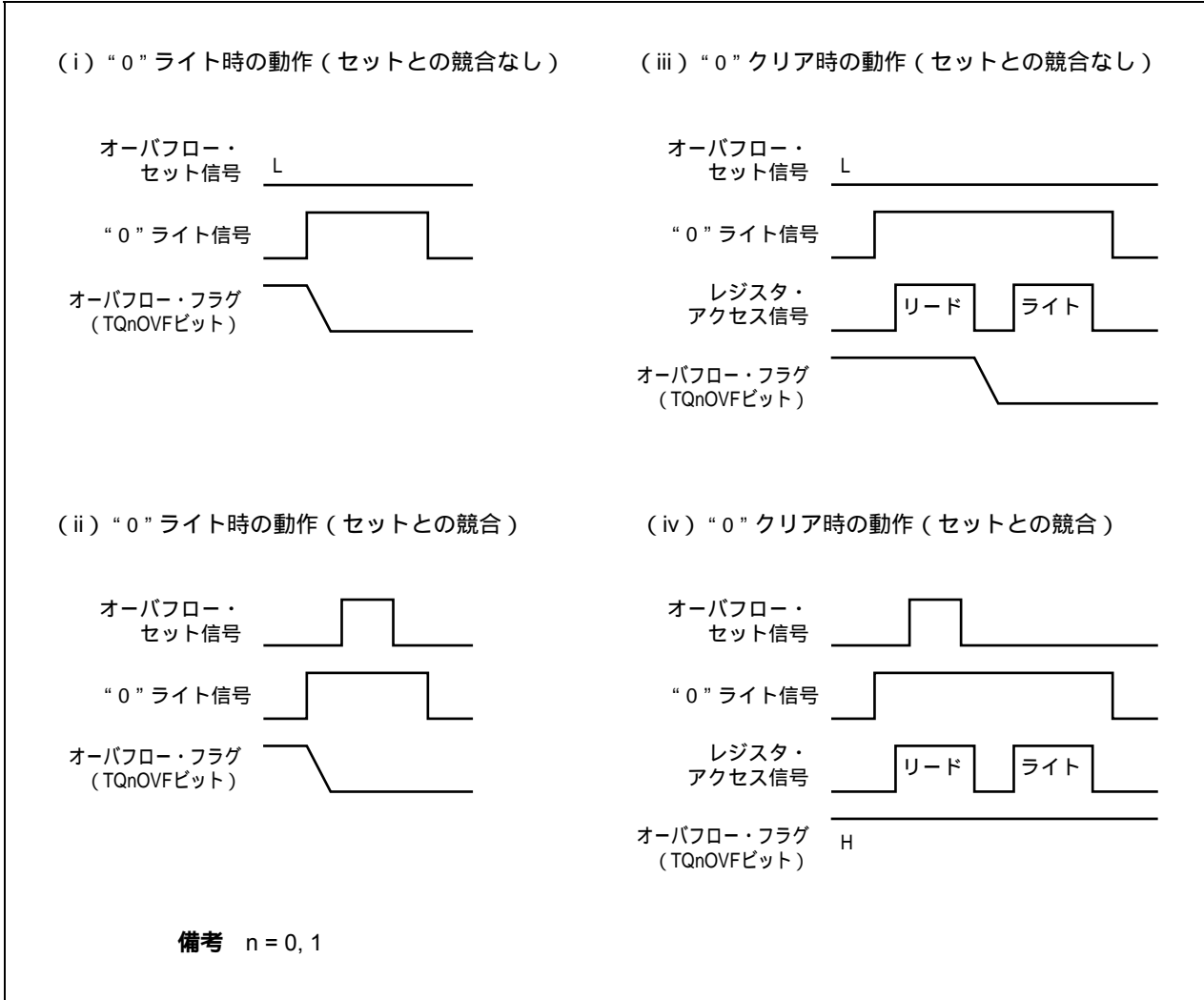
この例では、2回のオーバフローが発生しているため、パルス幅は、 $(20000H + D_{m1} - D_{m0})$ になります。

オーバフロー・カウンタをクリア (0H) する。

備考 $n = 0, 1$

(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TQnOVFビットをCLR命令でクリア (0) する方法と、TQnOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法がありますが、確実にオーバフローを検出するために、TQnOVFビット = 1をリードしたあと、ビット操作命令でクリア (0) してください。



オーバフロー・フラグをクリア (0) する場合には、リードしてオーバフロー・フラグがセット (1) されていることを確認したあと、CLR命令でクリア (0) してください。確認せずに0をライトすると、オーバフローのセット情報を“0”ライトで消してしまう場合があります (上図の (ii))。そのために、実際にはオーバフローが発生したにもかかわらず、ソフトウェアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア (0) するときに、CLR命令の実行とオーバフロー発生タイミングが競合した場合、クリア命令実行後もオーバフロー・フラグはセット (1) されたままになります。

7.5.7 パルス幅測定モード (TQnMD2-TQnMD0ビット = 110)

パルス幅測定モードは、TQnCTL0.TQnCEビットをセット(1)することでカウント動作を開始し、TIQnm端子入力の有効エッジを検出するごとに、16ビット・カウンタのカウント値をTQnCCRmレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号(INTTQnCCm)が発生したあと、TQnCCRmレジスタをリードすることにより、有効エッジ間隔を測定できます。

キャプチャ・トリガ入力端子として、TIQn0-TIQn3端子のいずれか1本を使用してください。使用しない端子は、TQnIOC1レジスタで“エッジ検出なし”に設定してください。

また、カウント・クロックとして外部クロックを使用するときは、外部クロックはTIQn0端子固定ですので、TIQnk端子のパルス幅を測定してください。このとき、TQnIOC1.TQnIS1, TQnIS0ビット = 00 (キャプチャ・トリガ入力 (TIQn0端子) : エッジ検出なし) に設定してください。

備考 m = 0-3

n = 0, 1

k = 1-3

図7-34 パルス幅測定モードの構成図

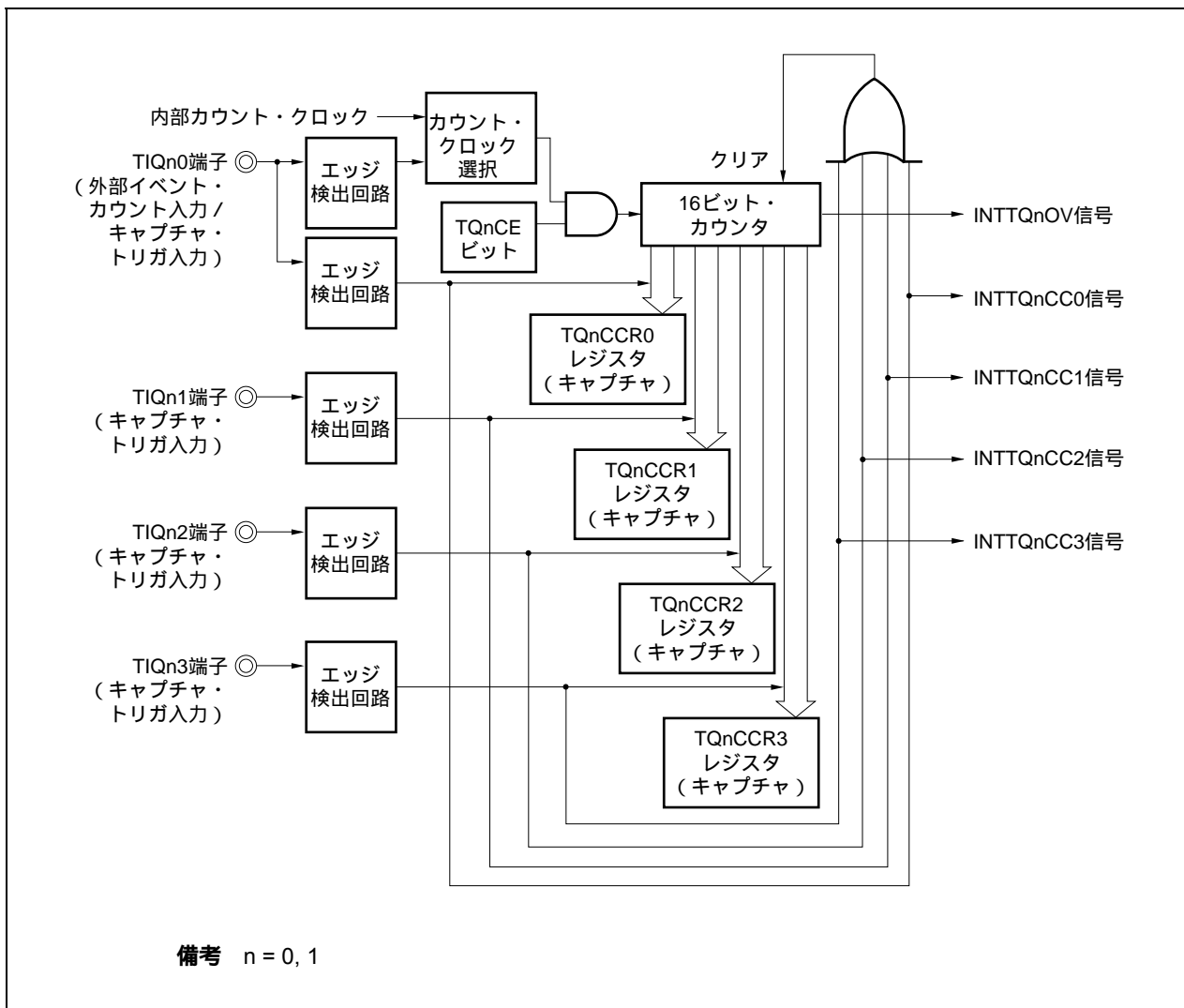
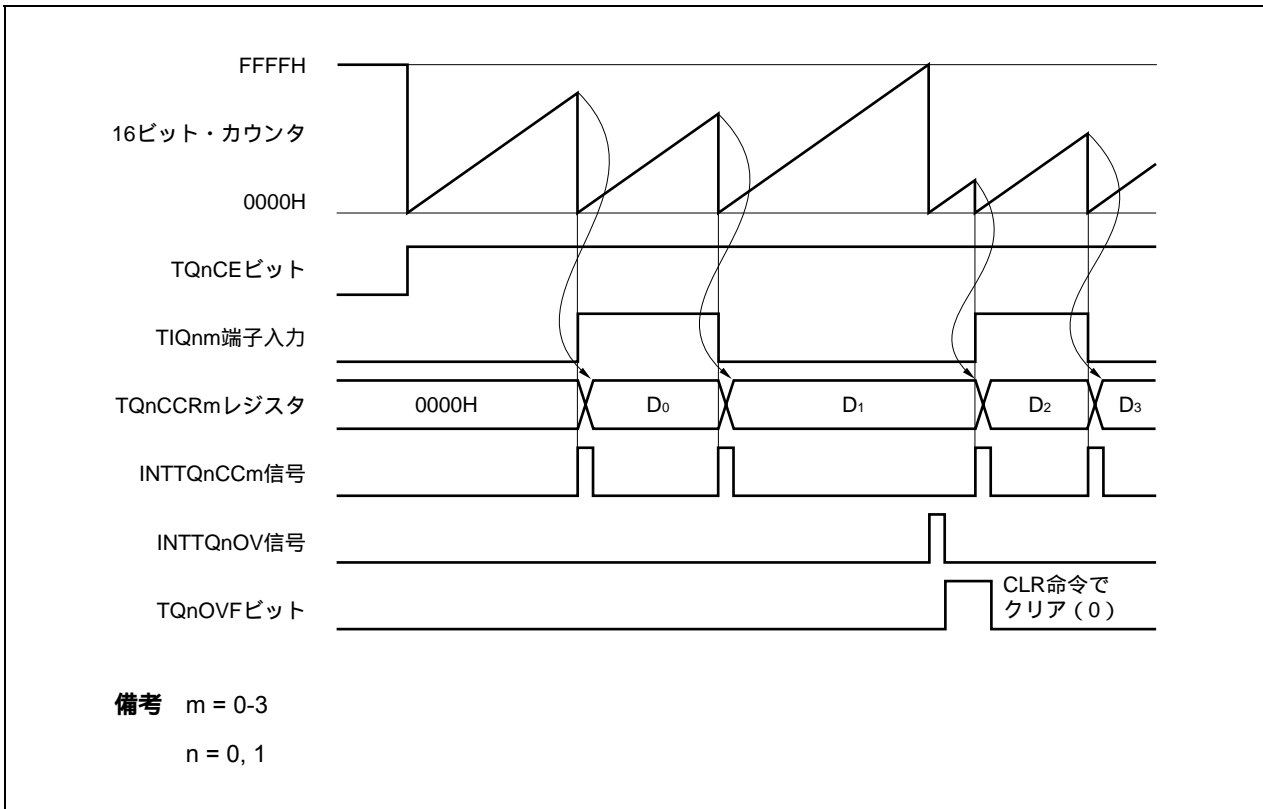


図7 - 35 パルス幅測定モードの基本タイミング



TQnCEビットをセット（1）することで、カウント動作を開始します。その後、TIQnm端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTQnCCRmレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号（INTTQnCCm）を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号（INTTQnOV）を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ（TQnOPT0.TQnOVFビット）もセット（1）されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア（0）してください。

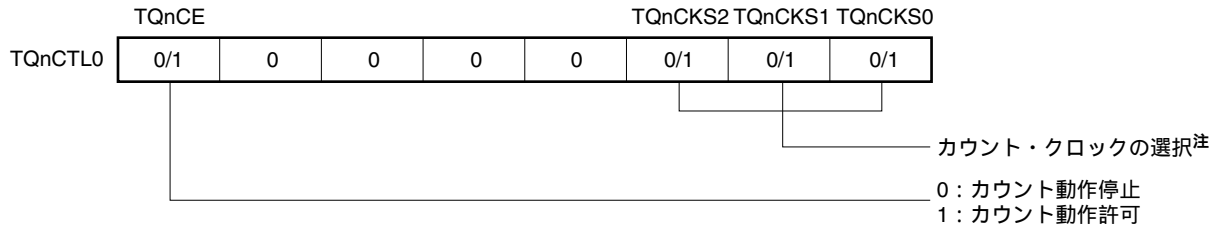
オーバフロー・フラグがセット（1）した場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000\text{H} \times \text{TQnOVFビットがセット(1)された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

備考 m = 0-3
n = 0, 1

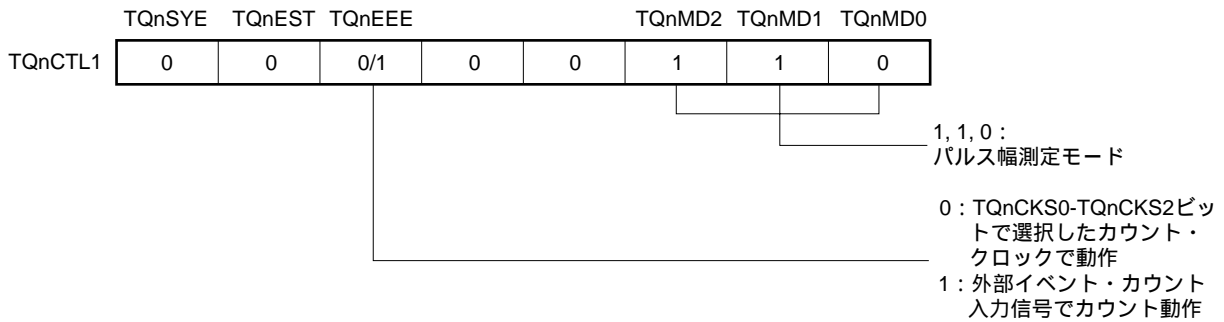
図7 - 36 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

(a) TMQn制御レジスタ0 (TQnCTL0)

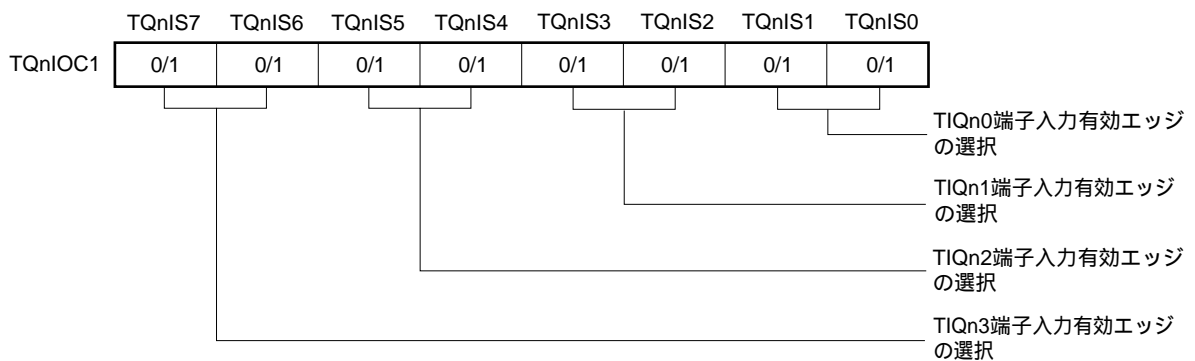


注 TQnEEEビット = 1のときは設定が無効になります。

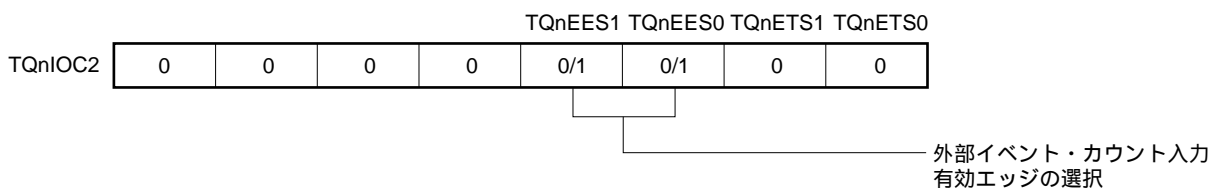
(b) TMQn制御レジスタ1 (TQnCTL1)



(c) TMQnI/O制御レジスタ1 (TQnIOC1)



(d) TMQnI/O制御レジスタ2 (TQnIOC2)



備考 n = 0, 1

図7 - 36 パルス幅測定モード動作時のレジスタ設定内容 (2/2)

(e) TMQnオプション・レジスタ0 (TQnOPT0)

	TQnCCS3	TQnCCS2	TQnCCS1	TQnCCS0				TQnOVF
TQnOPT0	0	0	0	0	0	0	0	0/1

└─ オーフロー・フラグ

(f) TMQnカウンタ・リード・バッファ・レジスタ (TQnCNT)

TQnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(g) TMQnキャプチャ/コンペア・レジスタ0-3 (TQnCCR0-TQnCCR3)

TIQnm端子入力の有効エッジ検出により、16ビット・カウンタのカウンタ値を格納します。

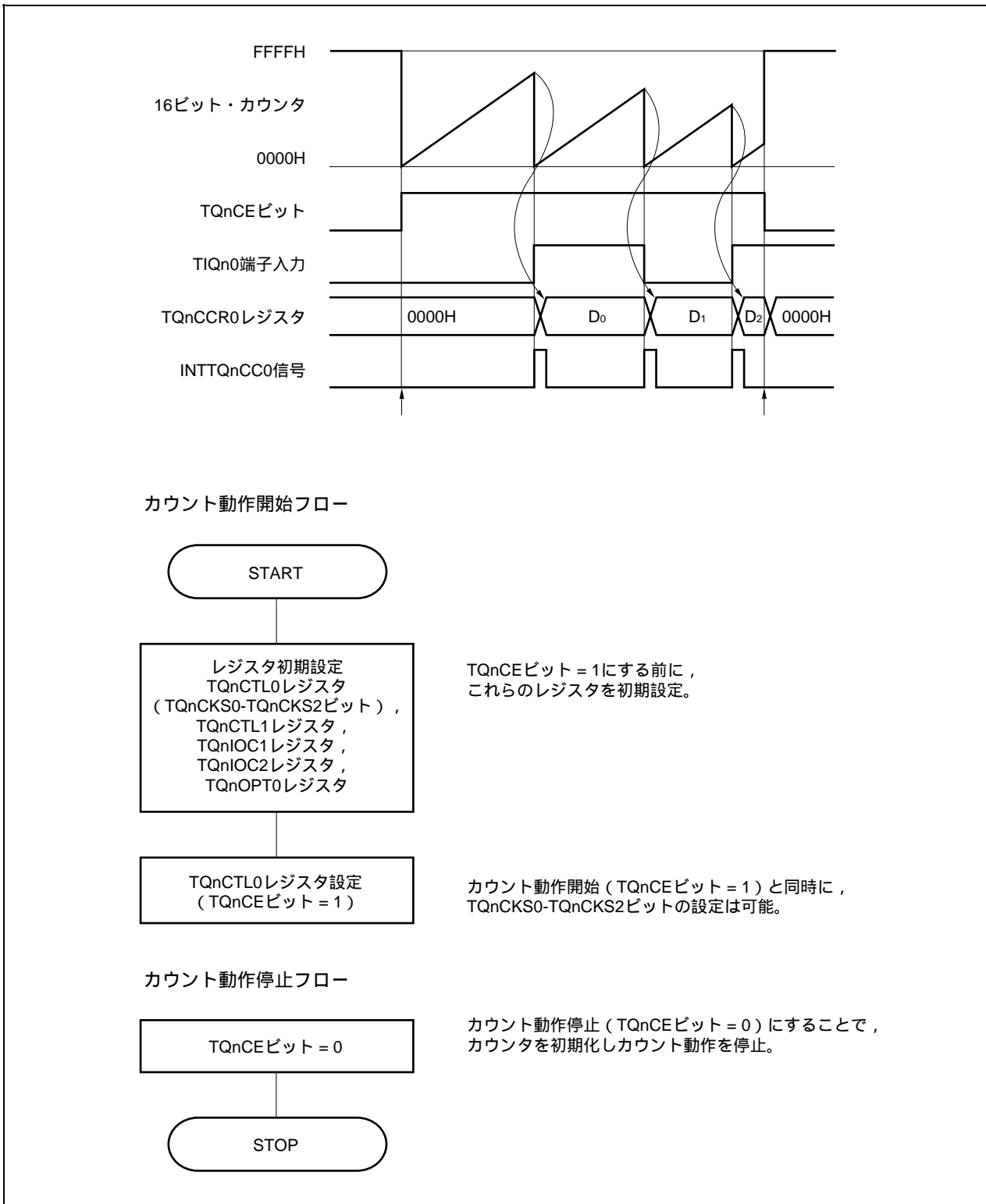
備考1. パルス幅測定モードでは、TMQnI/O制御レジスタ0 (TQnIOC0) は使用しません。

2. $m = 0-3$

$n = 0, 1$

(1) パルス幅測定モード動作フロー

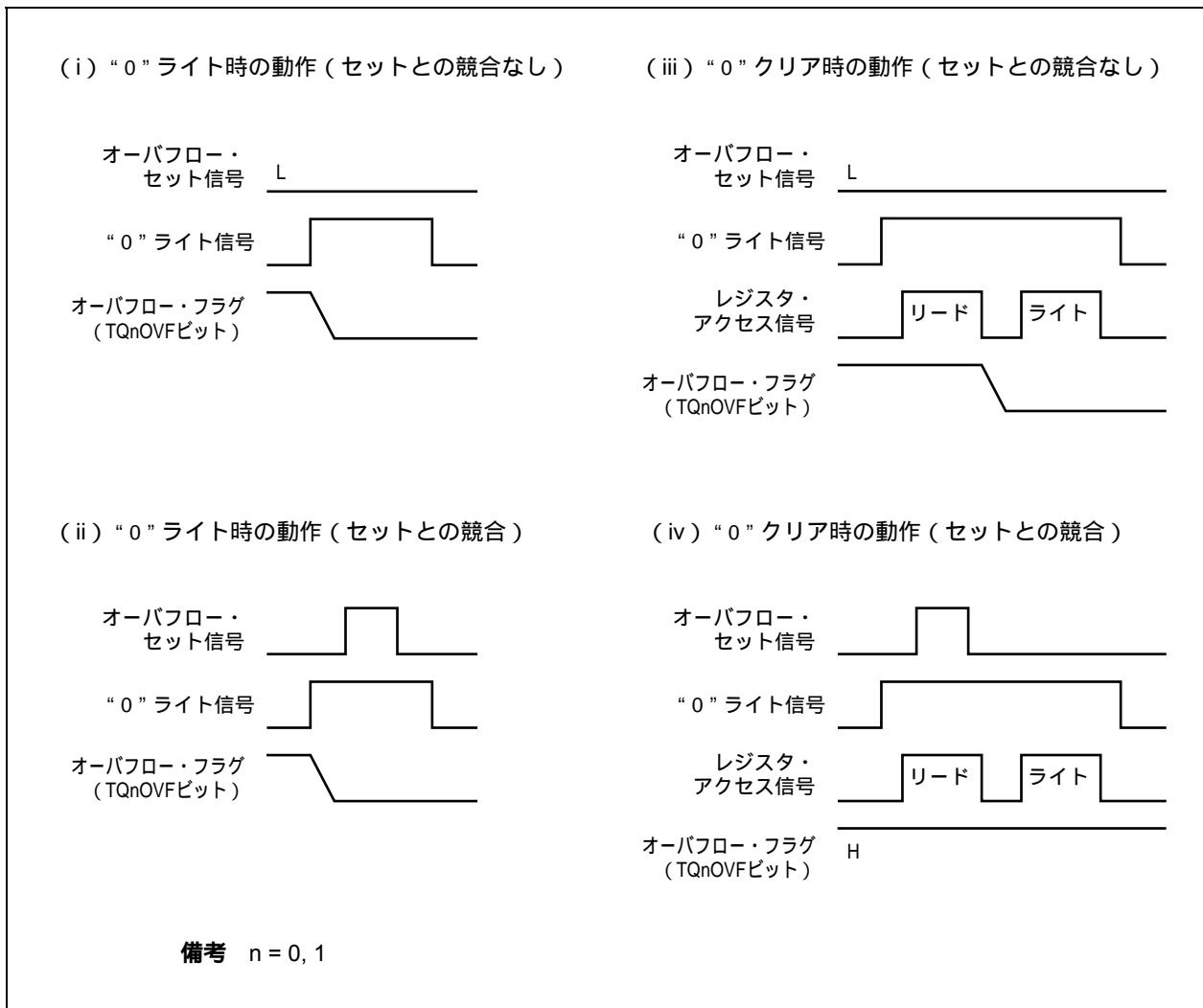
図7 - 37 パルス幅測定モード使用時のソフトウェア処理フロー



(2) パルス幅測定モード動作タイミング

(a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TQnOVFビットをCLR命令でクリア (0) する方法と、TQnOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法がありますが、確実にオーバフローを検出するために、TQnOVFビット = 1をリードしたあと、ビット操作命令でクリア (0) してください。



オーバフロー・フラグをクリア (0) する場合には、リードしてオーバフロー・フラグがセット (1) されていることを確認したあと、CLR命令でクリア (0) してください。確認せずに0をライトすると、オーバフローのセット情報を“0” ライトで消してしまう場合があります (上図の (ii))。そのために、実際にはオーバフローが発生したにもかかわらず、ソフトウェアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア (0) するときに、CLR命令の実行とオーバフロー発生とのタイミングが競合した場合、クリア命令実行後もオーバフロー・フラグはセット (1) されたままになります。

7.5.8 三角波PWMモード (TQnMD2-TQnMD0 = 111)

三角波PWMモードではデューティ用の設定レジスタはTMQnキャプチャ/コンペア・レジスタk (TQnCCRk) とし周期用の設定レジスタはTMQnキャプチャ/コンペア・レジスタ0 (TQnCCR0) となります。

この4つのレジスタを設定し、タイマを動作させることでデューティおよび周期可変型の三角波PWMを出力します。

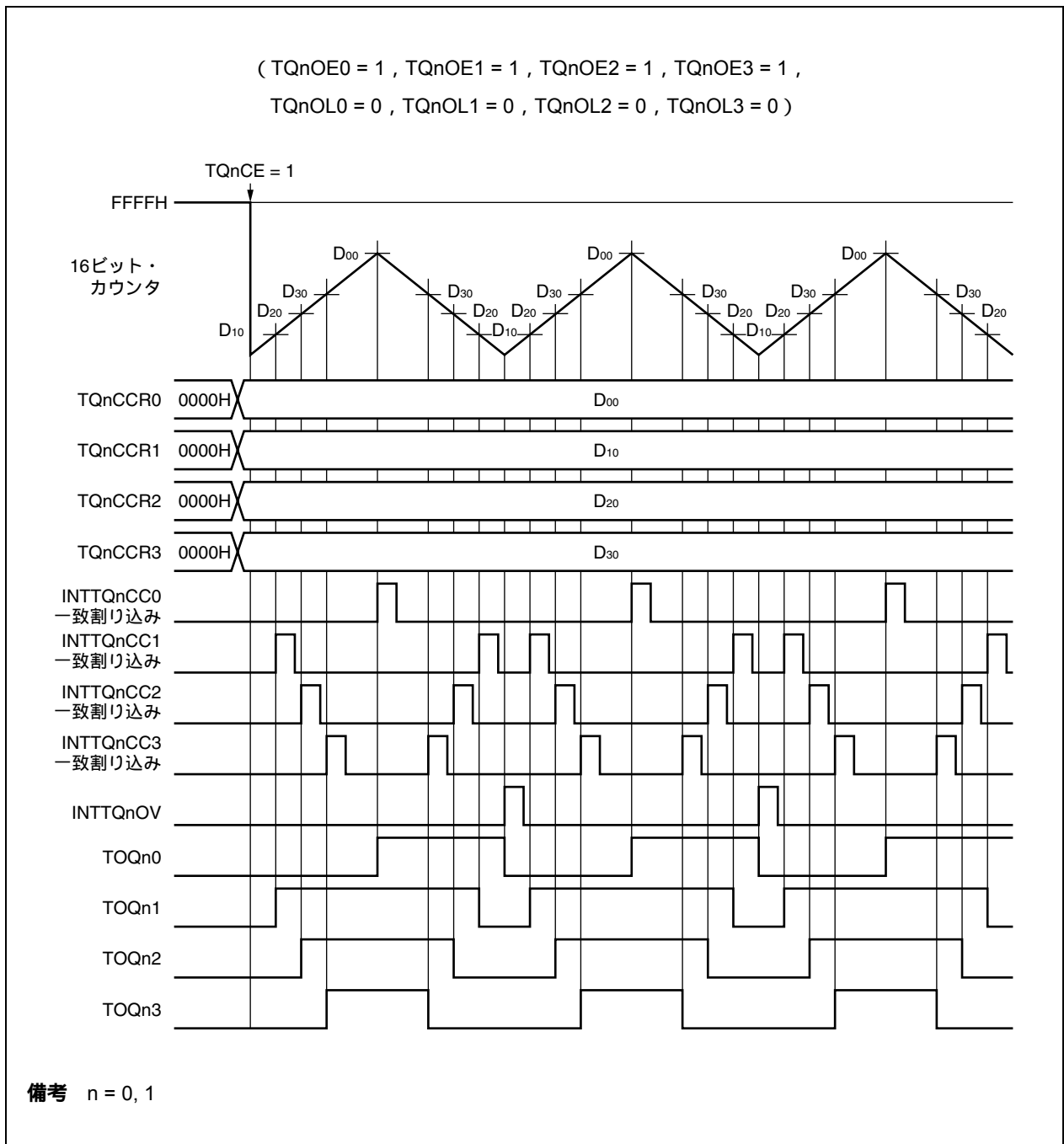
TQnCCRmレジスタはTQnCE = 1時の書き換えを許可しています。

タイマQを停止するにはTQnCE = 0にしてください。PWMの波形出力はTOQnk端子から出力します。TOQn0端子は16ビット・カウンタとTQnCCR0レジスタとの一致とアンダフローのタイミングでトグル出力します。

注意 PWMモード時、TQnCCRmレジスタはコンペア・レジスタとして機能が固定されるためキャプチャ・レジスタとしての機能は使用できません。

備考 n = 0, 1, m = 0-3, k = 1-3

図7 - 38 三角波PWMモードの基本動作タイミング



7.5.9 タイマ出力動作説明

次にTOQn0-TOQn3端子の動作，および出力レベルを示します。

表7-6 各モードによるタイマ出力制御

動作モード	TOQn0端子	TOQn1端子	TOQn2端子	TOQn3端子
インターバル・タイマ・モード	方形波出力			
外部イベント・カウント・モード	方形波出力	-		
外部トリガ・パルス出力モード	方形波出力	外部トリガ・パルス出力	外部トリガ・パルス出力	外部トリガ・パルス出力
ワンショット・パルス出力モード		ワンショット・パルス出力	ワンショット・パルス出力	ワンショット・パルス出力
PWM出力モード		PWM出力	PWM出力	PWM出力
フリー・ランニング・タイマ・モード	方形波出力 (コンペア機能のときのみ)			
パルス幅測定モード	-			
三角波PWM出力モード	方形波出力	三角波PWM出力	三角波PWM出力	三角波PWM出力

表7-7 タイマ出力制御ビットによるTOQn0-TOQn3端子の真理値表

TQnIOC0.TQnOLmビット	TQnIOC0.TQnOEmビット	TQnCTL0.TQnCEビット	TOQnm端子のレベル
0	0	x	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル， カウント開始後はハイ・レベル
1	0	x	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル， カウント開始後はロウ・レベル

備考 m = 0-3

n = 0, 1

7.6 タイマ同調動作機能

タイマPおよびタイマQには、タイマ同調動作機能があります。

同期させることのできるタイマを表7-8に示します。

表7-8 タイマの同調動作モード

マスタ・タイマ	スレーブ・タイマ	
TMP0	TMP1	-
TMP2	TMP3	TMQ0

注意1. 同調動作モードの許可/禁止は、TPmCTL1.TPmSYEビットおよびTQ0CTL1.TQ0SYEビットで設定します。TMP2ではTMP3とTMQ0のどちらか一方または両方をスレーブとして設定できます。

2. 同調動作モードの設定は、次の順で行ってください。

スレーブ・タイマのTPmCTL1.TPmSYEビットおよびTQ0CTL1.TQ0SYEビットをセットし同調動作を許可します。

スレーブ・タイマのTPmCTL1.TPmMD2-TPmMD0ビットおよびTQ0CTL1.TQ0MD2-TQ0MD0ビットをフリー・ランニング・モードに設定します。

マスタ・タイマのTPnCTL1.TPnMD2-TPnMD0ビットによりタイマ・モードを設定します。

このとき、マスタ・タイマのTPnCTL1.TPnSYEビットはセットしないでください。

マスタ・タイマおよびスレーブ・タイマのコンペア・レジスタの値を設定します。

スレーブ・タイマのTPmCTL0.TPmCEビットおよびTQ0CTL0.TQ0CEビットをセットし、内部動作クロック動作を許可します。

マスタ・タイマのTPnCTL0.TPnCEビットをセットし、内部動作クロック動作を許可します。

備考 m = 1, 3

n = 0, 2

同調動作モード時に使用できるタイマ・モードを表7-9,表7-10に示します(○:設定可能,×:設定不可)。

表7-9 同調動作モード時のタイマ・モード

マスタ・タイマ	フリー・ランニング ・モード	PWMモード	三角波PWMモード
TMP0			×
TMP2			×

表7 - 10 タイマ出力機能一覧

同調 チャンネル	タイマ	端子	フリー・ランニング ・モード		PWMモード		三角波PWMモード	
			同調OFF	同調ON	同調OFF	同調ON	同調OFF	同調ON
Ch0	TMP0 (マスタ)	TOP00	PPG	←	トグル	←	N/A	←
		TOP01	PPG	←	PWM	←	N/A	←
	TMP1 (スレーブ)	TOP10	PPG	←	トグル	PWM	N/A	←
		TOP11	PPG	←	PWM	←	N/A	←
Ch1	TMP2 (マスタ)	TOP20	PPG	←	トグル	←	N/A	←
		TOP21	PPG	←	PWM	←	N/A	←
	TMP3 (スレーブ)	TOP30	PPG	←	トグル	PWM	N/A	←
		TOP31	PPG	←	PWM	←	N/A	←
	TMQ0 (スレーブ)	TOQ00	PPG	←	トグル	PWM	トグル	N/A
		TOQ01-TOQ03	PPG	←	PWM	←	三角波 PWM	N/A

備考 マスタ・タイマのコンペア・レジスタからスレーブ・タイマのコンペア・レジスタへの送信タイミングは、次のとおりです。

PPG : CPU書き込みのタイミング

トグル, PWM, 三角波PWM : タイマ・カウンタとコンペア・レジスタが TOPn0やTOQ00 (n = 0, 1) と一致したタイミング

図7 - 39 同調動作イメージ (TMP2, TMP3, TMQ0)

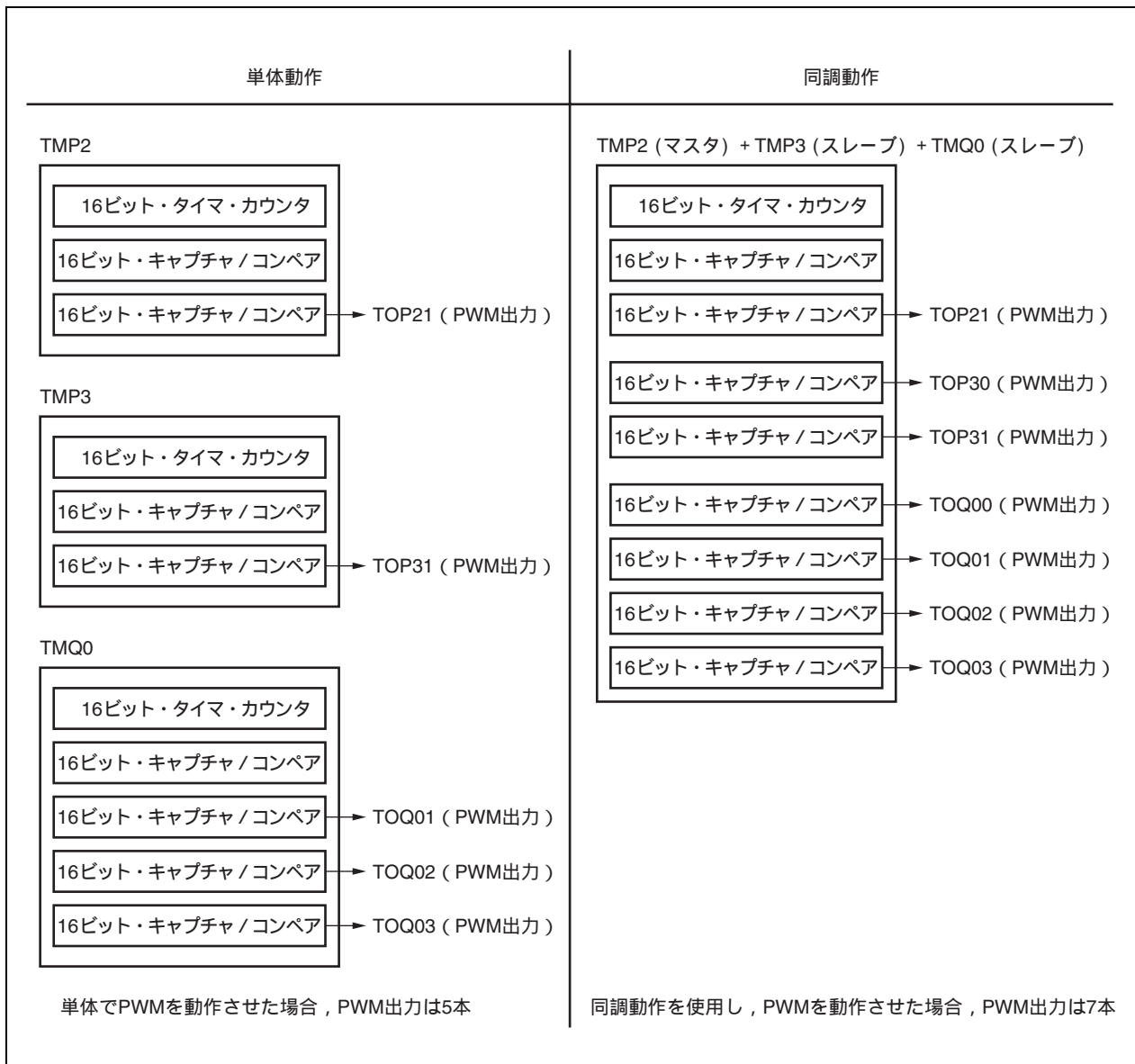
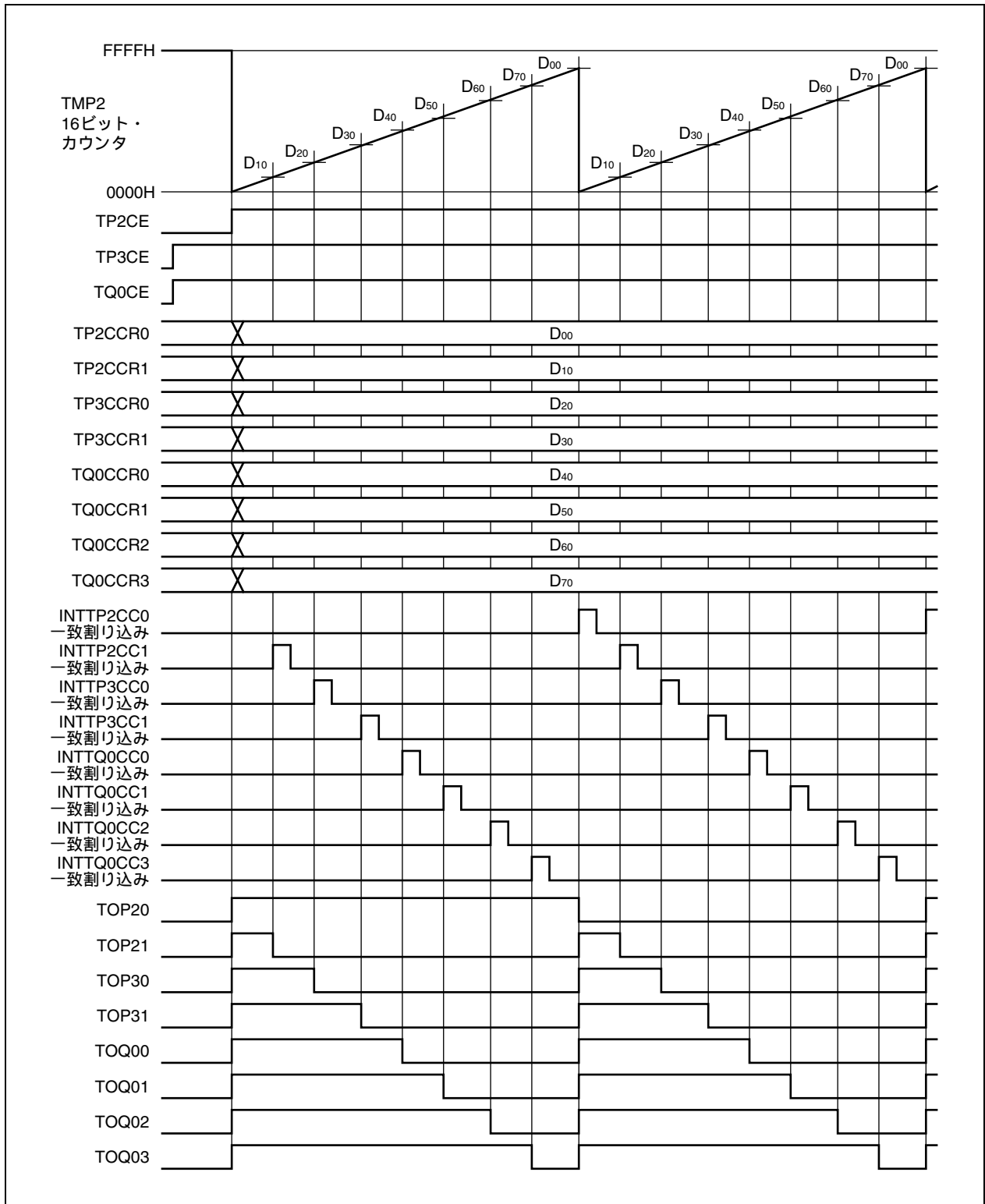


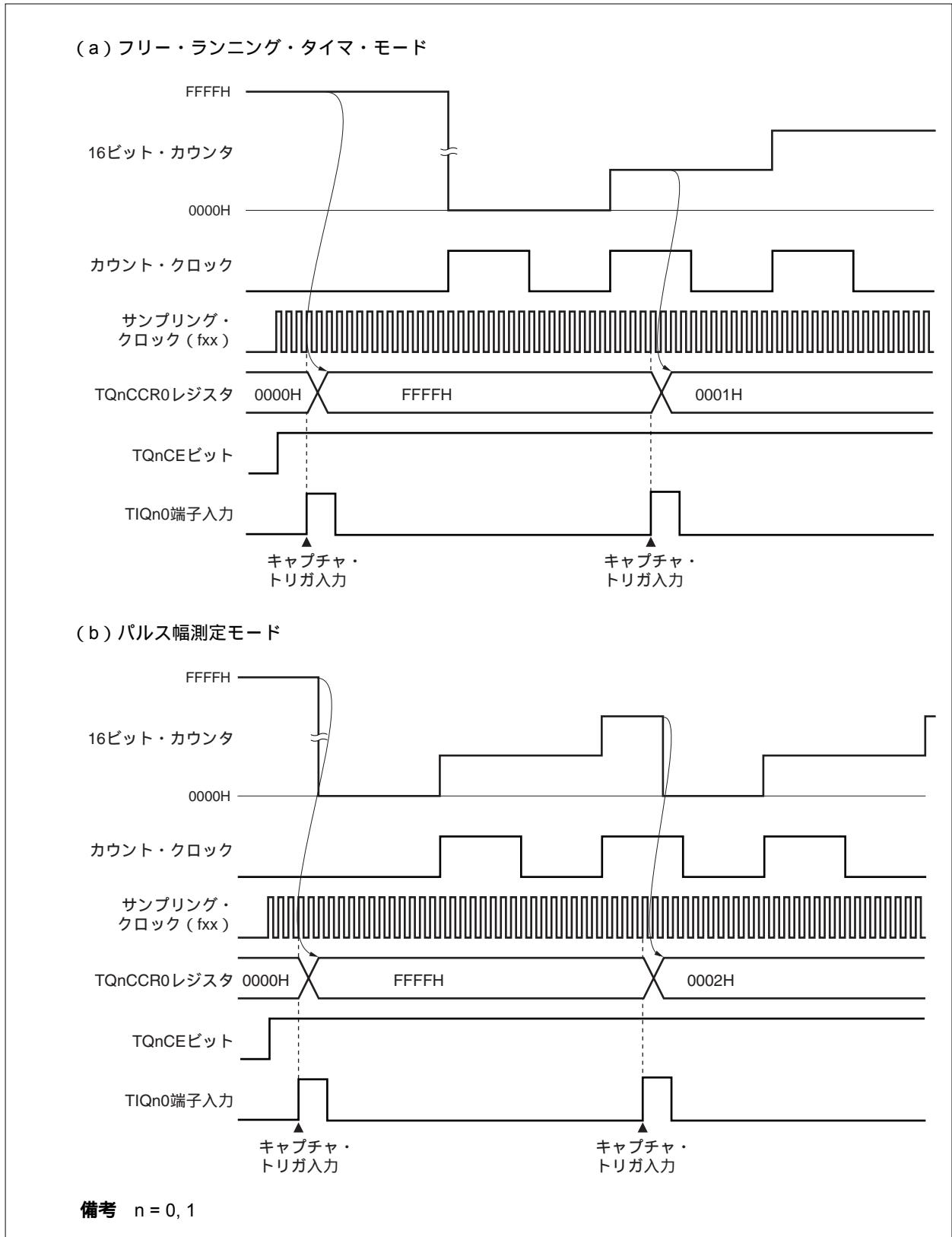
図7 - 40 同調PWM機能の基本動作タイミング (TMP2, TMP3, TMQ0)



7.7 注意事項

(1) キャプチャ動作

キャプチャ動作を使用し、かつカウント・クロックとして遅いクロックを選択した場合、TQnCEビットをセット(1)したすぐあとに、キャプチャ・トリガが入力されると、TQnCCR0, TQnCCR1, TQnCCR2, TQnCCR3レジスタに0000HではなくFFFFHがキャプチャされる場合があります。



第8章 16ビット・インターバル・タイマM (TMM)

8.1 概 要

- ・インターバル機能
- ・クロック選択×8
- ・16ビット・カウンタ×1 (タイマ・カウント動作中のカウンタ・リードはできません。)
- ・コンペア・レジスタ×1 (タイマ・カウント動作中のコンペア・レジスタへのライトはできません。)
- ・コンペア一致割り込み×1

タイマMはクリア&スタート・モードのみサポートしています。フリー・ランニング・タイマ・モードはサポートしていません。

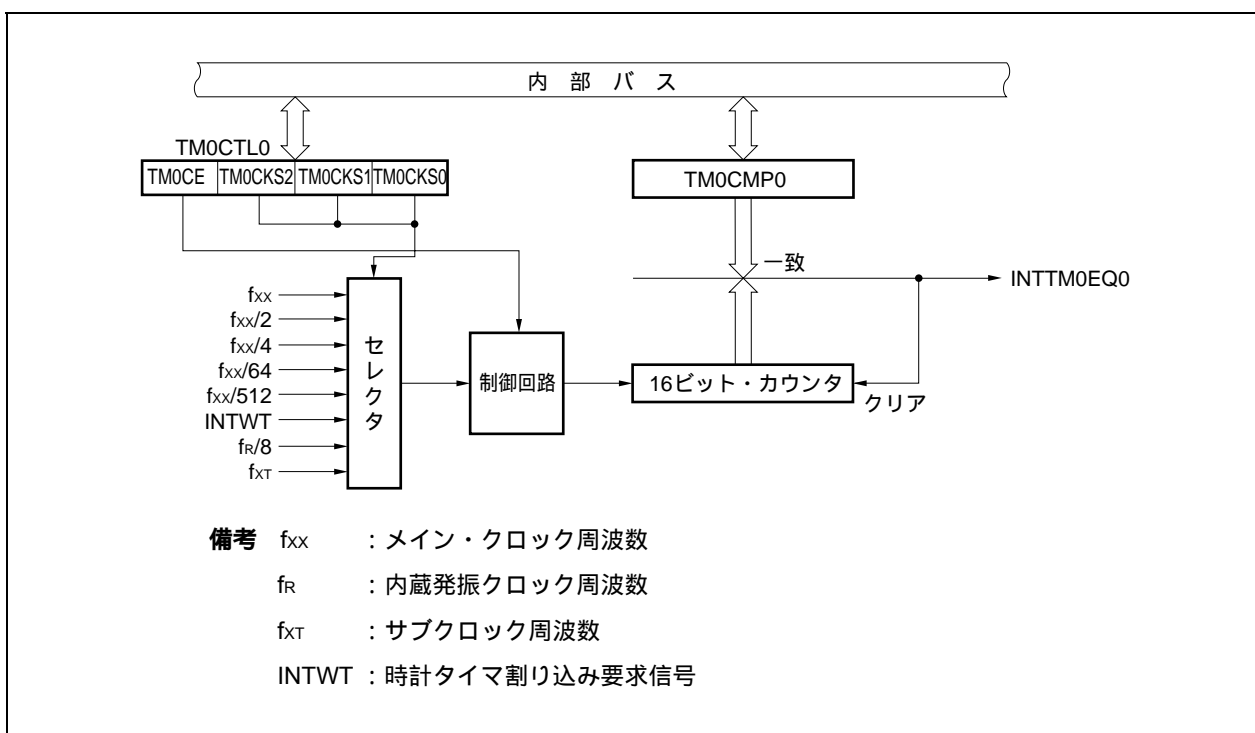
8.2 構成

TMM0は、次のハードウェアで構成されています。

表8 - 1 TMM0の構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TMM0コンペア・レジスタ0 (TM0CMP0)
制御レジスタ	TMM0制御レジスタ0 (TM0CTL0)

図8 - 1 TMM0のブロック図



(1) 16ビット・カウンタ

内部クロックをカウントする16ビットのカウンタです。

16ビット・カウンタはリード/ライトできません。

(2) TMM0コンペア・レジスタ0 (TM0CMP0)

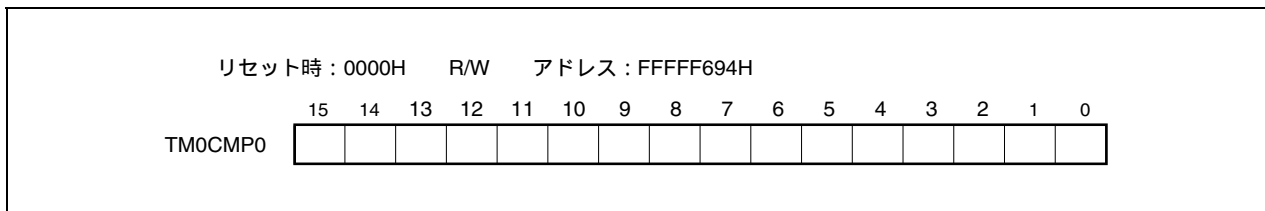
TM0CMP0レジスタは16ビットのコンペア・レジスタです。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

TM0CMP0レジスタは、常時ソフトウェアでの同値書き込みができます。

TM0CTL0.TM0CEビット = 1のとき、TM0CMP0レジスタの書き換えは禁止です。



8.3 レジスタ

(1) TMM0制御レジスタ0 (TM0CTL0)

TM0CTL0レジスタはTMM0の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TM0CTL0レジスタは、常時ソフトウェアでの同値書き込みができます。TM0CEビット以外のタイマ動作中の書き換えは禁止です。

リセット時：00H R/W アドレス：FFFFFF690H

	7	6	5	4	3	2	1	0
TM0CTL0	TM0CE	0	0	0	0	TM0CKS2	TM0CKS1	TM0CKS0

TM0CE	内部クロック動作許可/禁止指定
0	TMM0動作禁止 (16ビット・カウンタを非同期にリセット)。動作クロック供給停止
1	TMM0動作許可。動作クロック供給開始。TMM0動作開始

TM0CEビットにより、TMM0の内部クロックの制御と内部回路のリセットを非同期に行います。TM0CEビットをクリア (0) すると、TMM0の内部クロックは停止 (ロウ・レベル固定) し、16ビット・カウンタが非同期にリセットされます。

TM0CKS2	TM0CKS1	TM0CKS0	カウント・クロックの選択
0	0	0	f _{xx}
0	0	1	f _{xx} /2
0	1	0	f _{xx} /4
0	1	1	f _{xx} /64
1	0	0	f _{xx} /512
1	0	1	INTWT
1	1	0	f _R /8
1	1	1	f _{XT}

注意1. TM0CKS2-TM0CKS0ビットはTM0CEビット = 0のときに設定してください。

TM0CEビットを“0”から“1”に設定するときに、同時にTM0CKS2-TM0CKS0ビットを設定できません。

2. ビット3-6には必ず“0”を設定してください。

備考 f_{xx} : メイン・クロック周波数

f_R : 内蔵発振クロック周波数

f_{XT} : サブクロック周波数

8.4 動作

注意 TM0CMP0レジスタには、FFFFHを設定しないでください。

8.4.1 インターバル・タイマ・モード

インターバル・タイマ・モードは、TM0CTL0.TM0CEビットをセット(1)することで、任意のインターバル間隔にて割り込み要求信号(INTTM0EQ0)を発生します。

図8-2 インターバル・タイマの構成図

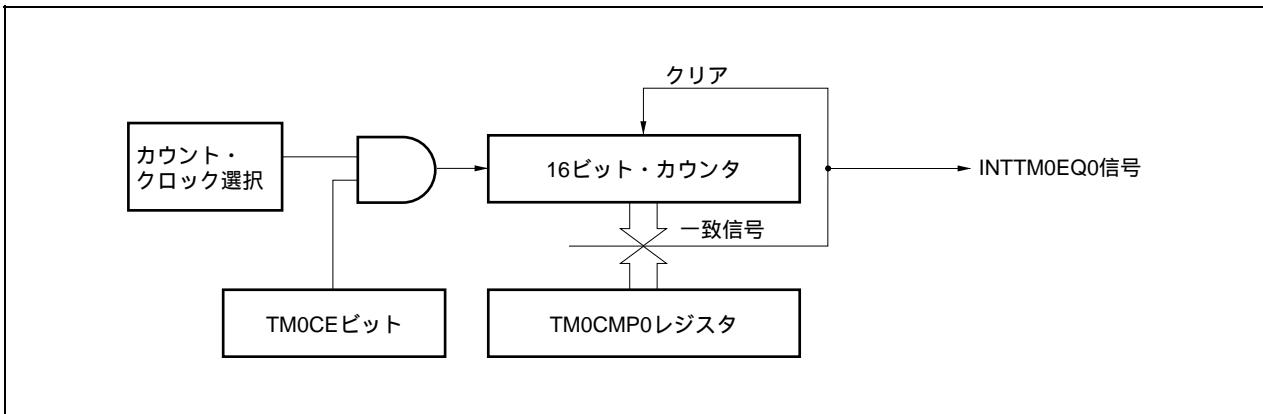
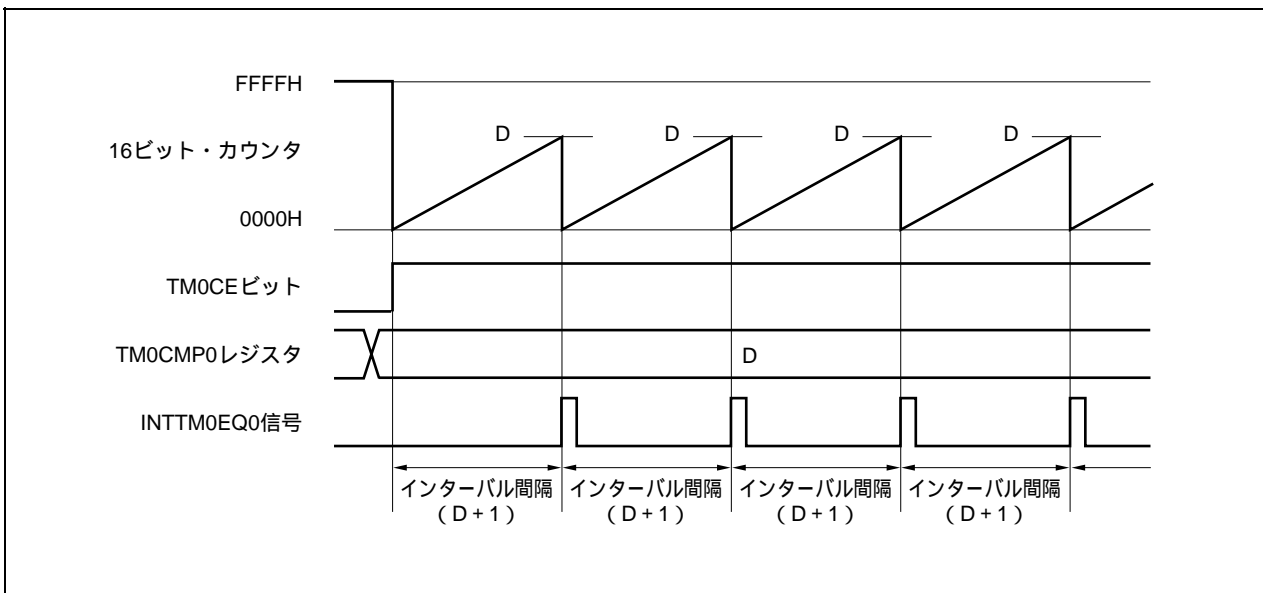


図8-3 インターバル・タイマ・モード動作の基本タイミング



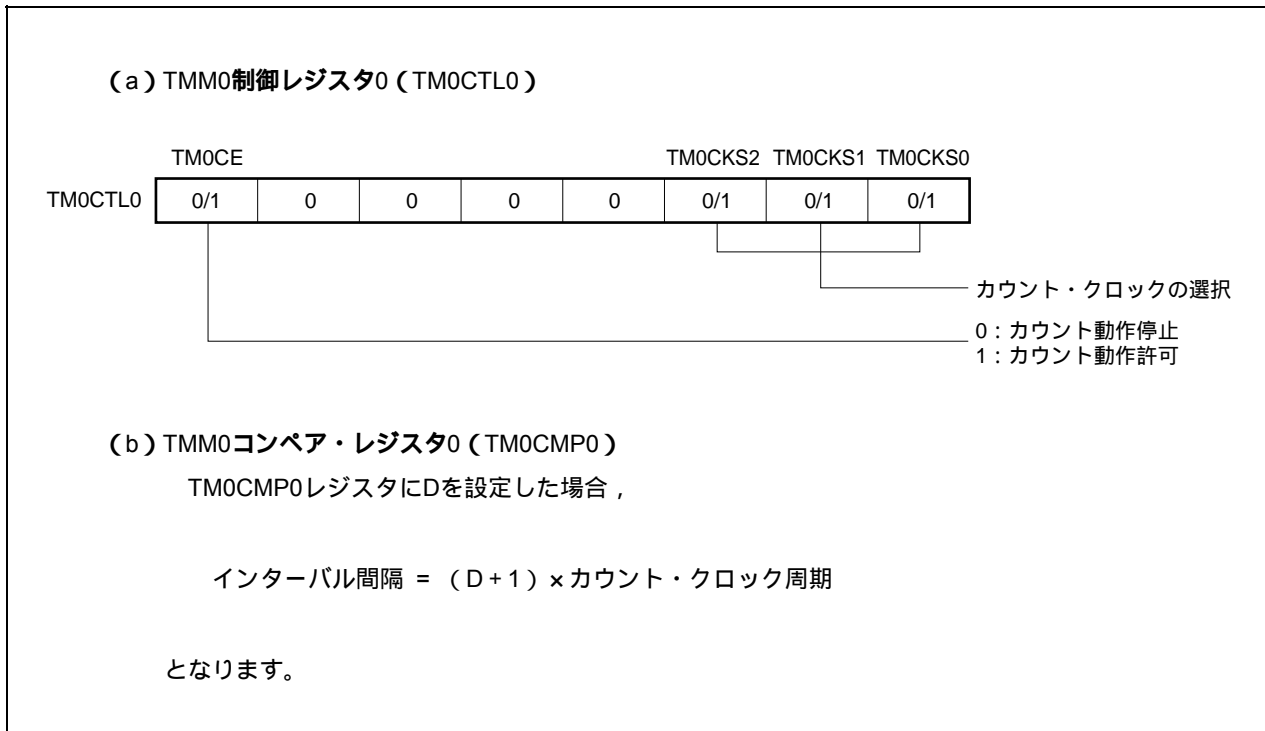
TM0CEビットをセット (1) することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。

16ビット・カウンタのカウント値とTM0CMP0レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンパレー一致割り込み要求信号 (INTTM0EQ0) を発生します。

インターバル間隔は次のようになります。

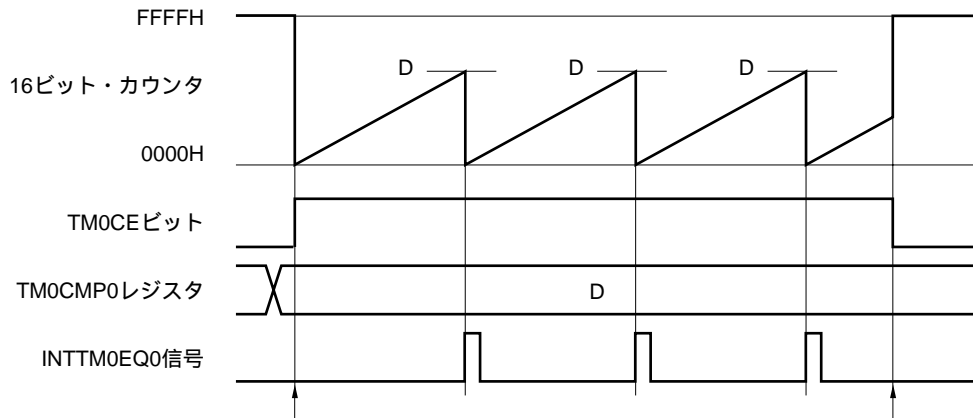
$$\text{インターバル間隔} = (\text{TM0CMP0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

図8-4 インターバル・タイマ・モード動作時のレジスタ設定内容



(1) インターバル・タイマ・モード動作フロー

図8 - 5 インターバル・タイマ・モード使用時のソフトウェア処理フロー



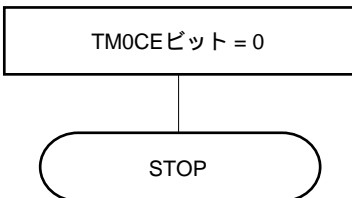
カウント動作開始フロー



TMOCEビット = 1にする前に、
これらのレジスタを初期設定。

カウント動作開始 (TMOCEビット = 1) と同時に、
TMOCKS0-TMOCKS2ビットの設定は禁止。

カウント動作停止フロー



カウント動作停止 (TMOCEビット = 0) にすることで、
カウンタを初期化しカウント動作を停止。

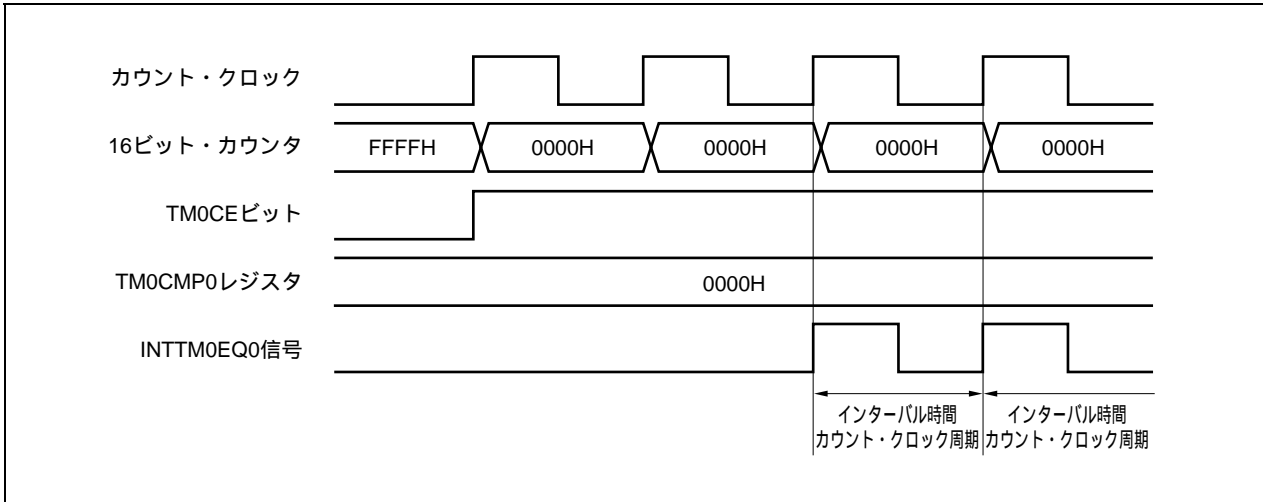
(2) インターバル・タイマ・モード動作タイミング

注意 TM0CMP0レジスタには、FFFFHを設定しないでください。

(a) TM0CMP0レジスタに0000Hを設定した場合の動作

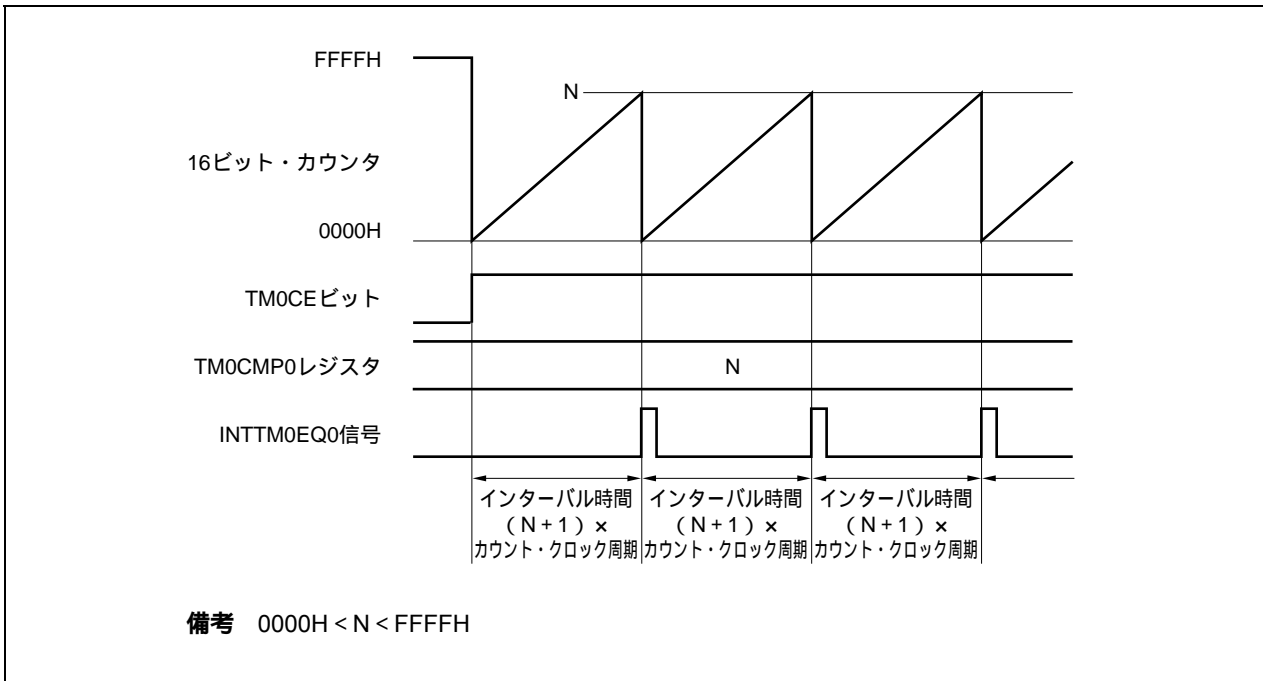
TM0CMP0レジスタに0000Hを設定した場合、カウント・クロックごとにINTTM0EQ0信号を発生します。

16ビット・カウンタは、常に0000Hとなります。



(b) TM0CMP0レジスタにNを設定した場合の動作

TM0CMP0レジスタにNを設定した場合、16ビット・カウンタはNまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTM0EQ0信号を発生します。



備考 0000H < N < FFFFH

8.4.2 注意事項

- (1) TM0CTL0.TM0CEビット = 1としてからカウント開始するまで、選択したカウント・クロックによって次の時間が最大かかります。

選択したカウント・クロック	カウント開始までの最大時間
f_{xx}	$2/f_{xx}$
$f_{xx}/2$	$6/f_{xx}$
$f_{xx}/4$	$24/f_{xx}$
$f_{xx}/64$	$128/f_{xx}$
$f_{xx}/512$	$1024/f_{xx}$
INTWT	INTWT信号の2回目の立ち上がり
$f_R/8$	$16/f_R$
f_{XT}	$2/f_{XT}$

- (2) TM0CMP0, TM0CTL0レジスタはTMM0動作中の書き換えは禁止です。
TM0CEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TM0CTL0.TM0CEビットをクリア(0)してから再設定してください。

第9章 時計タイマ機能

9.1 機能

時計タイマには、次のような機能があります。

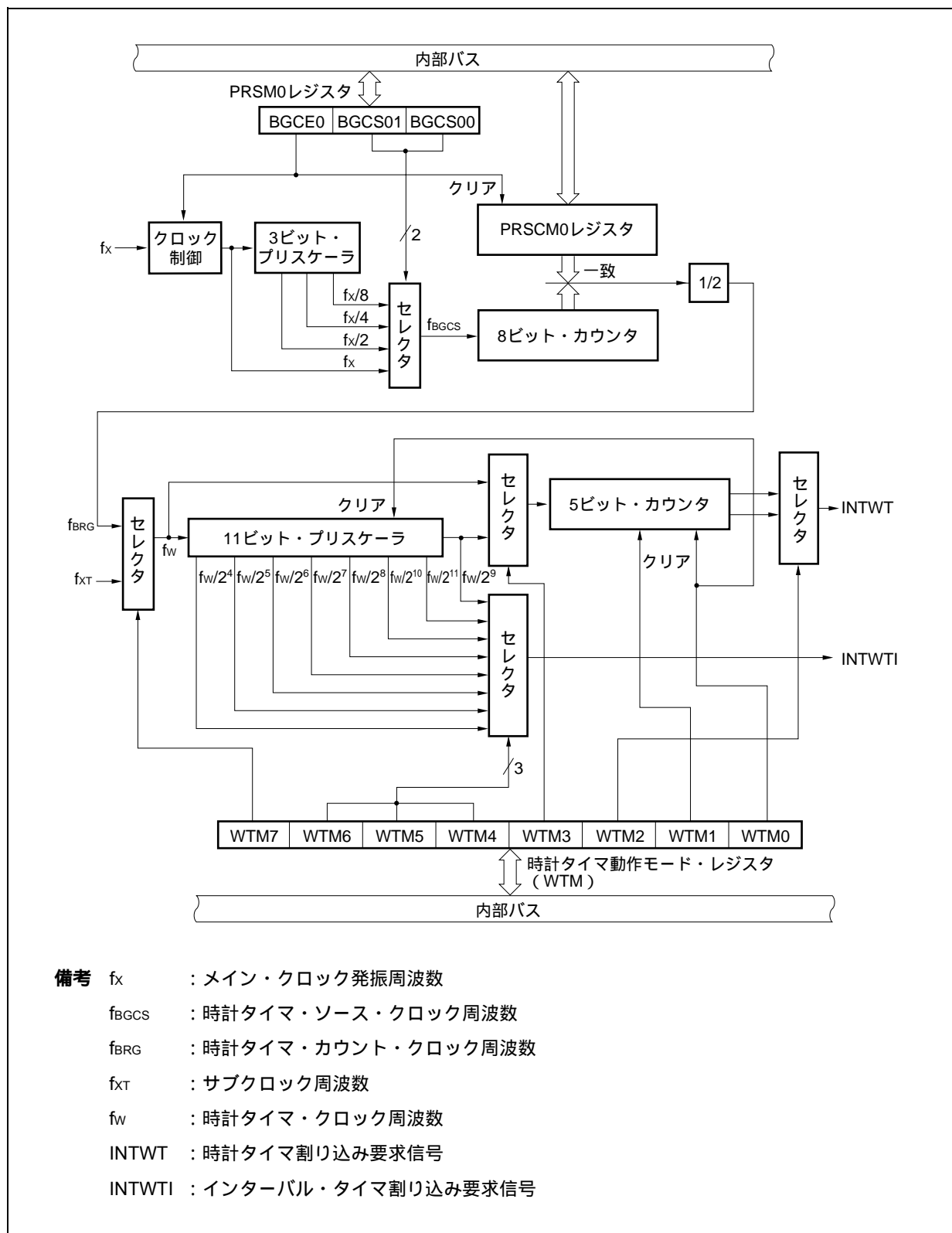
- ・時計タイマ : メイン・クロックまたはサブクロックを使用することで、0.5秒または0.25秒の時間間隔で割り込み要求信号 (INTWT) を発生します。
- ・インターバル・タイマ : あらかじめ設定した時間間隔で割り込み要求信号 (INTWTI) を発生します。

時計タイマとインターバル・タイマは、同時に使用できません。

9.2 構成

次に時計タイマのブロック図を示します。

図9 - 1 時計タイマのブロック図



(1) クロック制御

時計タイマのメイン・クロックでの動作クロック (f_x) の供給 / 停止を制御します。

(2) 3 ビット・プリスケアラ

f_x を分周して, $f_x/2$, $f_x/4$, $f_x/8$ を生成します。

(3) 8 ビット・カウンタ

ソース・クロック (f_{BCCS}) をカウントする8ビットのカウンタです。

(4) 11 ビット・プリスケアラ

f_w を分周して, $f_w/2^4$ - $f_w/2^{11}$ のクロックを生成します。

(5) 5 ビット・カウンタ

f_w または $f_w/2^9$ をカウントして, $2^4/f_w$, $2^5/f_w$, $2^{13}/f_w$ または $2^{14}/f_w$ ごとに時計タイマ割り込み要求信号 (INTWT) を発生します。

(6) セレクタ

時計タイマには, 次の5つのセレクタがあります。

- ・時計タイマのソース・クロックとして, f_x , $f_x/2$, $f_x/4$, $f_x/8$ のうちの1つを選択します。
- ・時計タイマのクロックとして, メイン・クロック (f_x) かサブクロック (f_{XT}) かを選択します。
- ・5ビット・カウンタのカウント・クロック周波数として, f_w か $f_w/2^9$ かを選択します。
- ・INTWT信号発生時間間隔として, $2^4/f_w$ または $2^{13}/f_w$ か, $2^5/f_w$ または $2^{14}/f_w$ かを選択します。
- ・インターバル・タイマ割り込み要求信号 (INTWTI) 発生時間間隔として, $2^4/f_w$ - $2^{11}/f_w$ から選択します。

(7) PRSCM レジスタ

インターバル時間を設定する8ビットのコンペア・レジスタです。

(8) PRSM レジスタ

時計タイマへのクロック供給を制御するレジスタです。

(9) WTM レジスタ

時計タイマ / インターバル・タイマの動作制御や割り込み要求信号発生間隔を設定する8ビットのレジスタです。

9.3 レジスタ

時計タイマには次のレジスタがあります。

- ・プリスケラ・モード・レジスタ0 (PRSM0)
- ・プリスケラ・コンペア・レジスタ0 (PRSCM0)
- ・時計タイマ動作モード・レジスタ (WTM)

(1) プリスケラ・モード・レジスタ0 (PRSM0)

PRSM0レジスタは、時計タイマのカウント・クロックの生成を制御します。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF8B0H

	7	6	5	4	3	2	1	0
PRSM0	0	0	0	BGCE0	0	0	BGCS01	BGCS00

BGCE0	メイン・クロックでの動作許可
0	禁止
1	許可

BGCS01	BGCS00	時計タイマ・ソース・クロック (f_{BGCS}) の選択		
			5 MHz	4 MHz
0	0	f_x	200 ns	250 ns
0	1	$f_x/2$	400 ns	500 ns
1	0	$f_x/4$	800 ns	1 μ s
1	1	$f_x/8$	1.6 μ s	2 μ s

- 注意1.** 時計タイマ動作中に、BGCS01、BGCS00ビットの値を変更しないでください。
- PRSM0レジスタの設定はBGCE0ビットをセット(1)する前に行ってください。
 - f_{BRG} の周波数が32.768 kHzとなるよう、使用するメイン・クロック周波数にあわせて、PRSM0、PRSCM0レジスタの設定を行ってください。

(2) プリスケアラ・コンペア・レジスタ 0 (PRSCM0)

8ビットのコンペア・レジスタです。
 8ビット単位でリード/ライト可能です。
 リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF8B1H

	7	6	5	4	3	2	1	0
PRSCM0	PRSCM07	PRSCM06	PRSCM05	PRSCM04	PRSCM03	PRSCM02	PRSCM01	PRSCM00

- 注意1.** 時計タイマ動作中にPRSCM0レジスタを書き換えしないでください。
2. PRSM0.BGCE0ビットをセット(1)する前にPRSCM0レジスタの設定を行ってください。
 3. f_{BRG} の周波数が32.768 kHzとなるよう、使用するメイン・クロック周波数にあわせて、PRSM0, PRSCM0レジスタの設定を行ってください。

f_{BRG} の計算式を次に示します。

$$f_{BRG} = f_{BGCS}/2N$$

- 備考** f_{BGCS} : PRSM0レジスタで設定した時計タイマ・ソース・クロック
 N : PRSCM0レジスタの設定値 = 1-256
 ただし、N = 256となるのは、PRSCM0レジスタに00Hを設定した場合です。

(3) 時計タイマ動作モード・レジスタ (WTM)

時計タイマのカウンタ・クロックおよび動作の許可 / 禁止, プリスケーラのインターバル時間, 5ビット・カウンタの動作制御および時計フラグのセット時間を設定するレジスタです。

WTMレジスタを設定する前にPRSM0レジスタを設定してください。

8/1ビット単位でリード / ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時 : 00H R/W アドレス : FFFFF680H

	7	6	5	4	3	2	1	0
WTM	WTM7	WTM6	WTM5	WTM4	WTM3	WTM2	WTM1	WTM0

WTM7	WTM6	WTM5	WTM4	プリスケーラのインターバル時間の選択
0	0	0	0	$2^4/f_w$ (488 μ s : $f_w = f_{XT}$)
0	0	0	1	$2^5/f_w$ (977 μ s : $f_w = f_{XT}$)
0	0	1	0	$2^6/f_w$ (1.95 ms : $f_w = f_{XT}$)
0	0	1	1	$2^7/f_w$ (3.91 ms : $f_w = f_{XT}$)
0	1	0	0	$2^8/f_w$ (7.81 ms : $f_w = f_{XT}$)
0	1	0	1	$2^9/f_w$ (15.6 ms : $f_w = f_{XT}$)
0	1	1	0	$2^{10}/f_w$ (31.3 ms : $f_w = f_{XT}$)
0	1	1	1	$2^{11}/f_w$ (62.5 ms : $f_w = f_{XT}$)
1	0	0	0	$2^4/f_w$ (488 μ s : $f_w = f_{BRG}$)
1	0	0	1	$2^5/f_w$ (977 μ s : $f_w = f_{BRG}$)
1	0	1	0	$2^6/f_w$ (1.95 ms : $f_w = f_{BRG}$)
1	0	1	1	$2^7/f_w$ (3.91 ms : $f_w = f_{BRG}$)
1	1	0	0	$2^8/f_w$ (7.81 ms : $f_w = f_{BRG}$)
1	1	0	1	$2^9/f_w$ (15.6 ms : $f_w = f_{BRG}$)
1	1	1	0	$2^{10}/f_w$ (31.3 ms : $f_w = f_{BRG}$)
1	1	1	1	$2^{11}/f_w$ (62.5 ms : $f_w = f_{BRG}$)

WTM7	WTM3	WTM2	時計用フラグのセット時間の選択
0	0	0	$2^{14}/f_w$ (0.5 s : $f_w = f_{XT}$)
0	0	1	$2^{13}/f_w$ (0.25 s : $f_w = f_{XT}$)
0	1	0	$2^5/f_w$ (977 μ s : $f_w = f_{XT}$)
0	1	1	$2^4/f_w$ (488 μ s : $f_w = f_{XT}$)
1	0	0	$2^{14}/f_w$ (0.5 s : $f_w = f_{BRG}$)
1	0	1	$2^{13}/f_w$ (0.25 s : $f_w = f_{BRG}$)
1	1	0	$2^5/f_w$ (977 μ s : $f_w = f_{BRG}$)
1	1	1	$2^4/f_w$ (488 μ s : $f_w = f_{BRG}$)

WTM1	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTM0	時計用タイマの動作許可
0	動作停止 (プリスケアラ, 5ビット・カウンタともにクリア)
1	動作許可

注意 WTM2-WTM7ビットを書き換える場合は、WTM0, WTM1ビットがともに0の状態で行ってください。

- 備考1.** f_w : 時計タイマ・クロック周波数
2. ()内は、 $f_w = 32.768$ kHz動作時
 3. f_{XT} : サブクロック周波数
 4. f_{BRG} : 時計タイマ・カウント・クロック周波数

9.4 動作

9.4.1 時計タイマとしての動作

時計タイマは、一定の時間間隔ごとに割り込み要求信号 (INTWT) を発生します。

サブクロック (32.768 kHz) またはメイン・クロックを使用して、0.25秒または0.5秒の時間間隔の時計タイマとして動作します。

WTM.WTM1, WTM0ビットに“11”を設定するとカウント動作がスタートします。WTM0ビットに0を設定すると11ビット・プリスケアラと5ビット・カウンタがクリアされ、カウント動作が停止します。

時計タイマをインターバル・タイマと同時に動作させているとき、WTM1ビットをクリア(0)して5ビット・カウンタをクリアすることにより、時刻合わせができます。このとき、インターバル・タイマには影響はありませんが、時計タイマは最大で15.6 msの誤差が発生することがあります。

時計タイマのカウント・クロックとしてメイン・クロックを使用するときは、PRSM0.BGCS01, BGCS00ビットでカウント・クロックを、PRSCM0レジスタで8ビットのコンペア値を設定し、時計タイマのカウント・クロック周波数 (f_{BRG}) が32.768 kHzになるようにしてください。

PRSM0.BGCE0ビットをセット(1)すると、時計タイマに f_{BRG} を供給します。

f_{BRG} は、次の式で求められます。

$$f_{BRG} = f_x / (2^{m+1} \times N)$$

f_{BRG} を32.768 kHzにするには、次のように計算してBGCS01, BGCS00ビット, PRSCM0レジスタを設定してください。

$N = f_x / 65,536$ とし、 $m = 0$ としてください。

N の小数点第一位を四捨五入した値が偶数のとき、四捨五入する前の $N = N/2$ とし、 $m = m + 1$ としてください。

N が奇数になるか、または $m = 3$ になるまで、を繰り返してください。

N の小数点第一位を四捨五入した値をPRSCM0レジスタに、 m をBGCS01, BGCS00ビットに設定してください。

例： $f_x = 4.00$ MHzの場合

$$N = 4,000,000 / 65,536 = 61.03\dots, m = 0$$

, N (小数点第一位を四捨五入) は奇数なので、 $N = 61$, $m = 0$ のまま

PRSCM0レジスタ設定値：3DH (61), BGCS01, BGCS00ビット設定値：00

このとき、実際の f_{BRG} の周波数は、次のようになります。

$$\begin{aligned} f_{BRG} &= f_x / (2^{m+1} \times N) = 4,000,000 / (2 \times 61) \\ &= 32.787 \text{ kHz} \end{aligned}$$

備考 m ：分周値 (BGCS01, BGCS00ビット設定値) = 0-3

N ：PRSCM0レジスタ設定値 = 1-256

ただし、 $N = 256$ となるのは、PRSCM0レジスタに00Hを設定した場合です。

f_x ：メイン・クロック発振周波数

9.4.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求信号 (INTWTI) を発生するインターバル・タイマとして動作します。

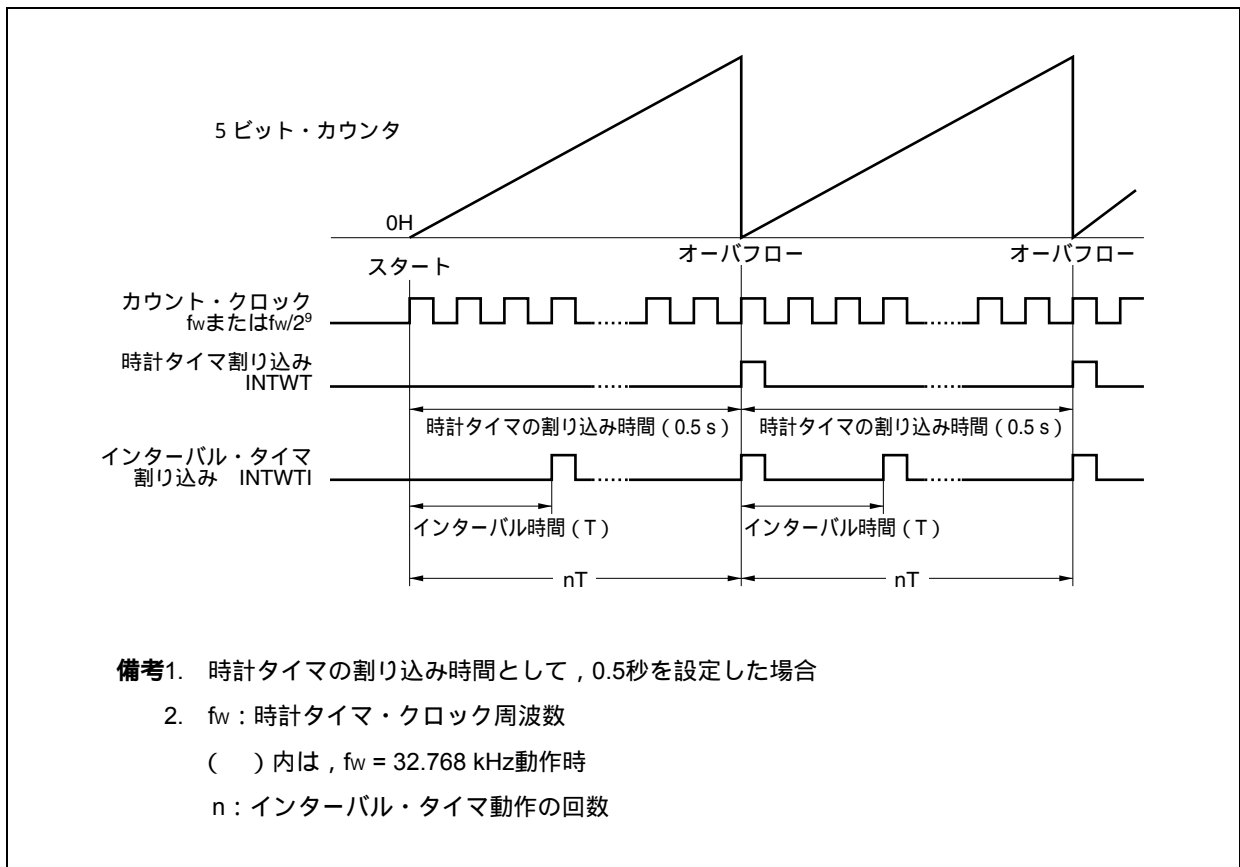
WTMレジスタのWTM4-WTM7ビットにより、インターバル時間を選択できます。

表9 - 1 インターバル・タイマのインターバル時間

WTM7	WTM6	WTM5	WTM4	インターバル時間	
0	0	0	0	$2^4 \times 1/f_w$	488 μ s ($f_w = f_{XT} = 32.768$ kHz動作時)
0	0	0	1	$2^5 \times 1/f_w$	977 μ s ($f_w = f_{XT} = 32.768$ kHz動作時)
0	0	1	0	$2^6 \times 1/f_w$	1.95 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
0	0	1	1	$2^7 \times 1/f_w$	3.91 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
0	1	0	0	$2^8 \times 1/f_w$	7.81 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
0	1	0	1	$2^9 \times 1/f_w$	15.6 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
0	1	1	0	$2^{10} \times 1/f_w$	31.3 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
0	1	1	1	$2^{11} \times 1/f_w$	62.5 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
1	0	0	0	$2^4 \times 1/f_w$	488 μ s ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	0	0	1	$2^5 \times 1/f_w$	977 μ s ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	0	1	0	$2^6 \times 1/f_w$	1.95 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	0	1	1	$2^7 \times 1/f_w$	3.91 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	1	0	0	$2^8 \times 1/f_w$	7.81 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	1	0	1	$2^9 \times 1/f_w$	15.6 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	1	1	0	$2^{10} \times 1/f_w$	31.3 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	1	1	1	$2^{11} \times 1/f_w$	62.5 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)

備考 f_w : 時計タイマ・クロック周波数

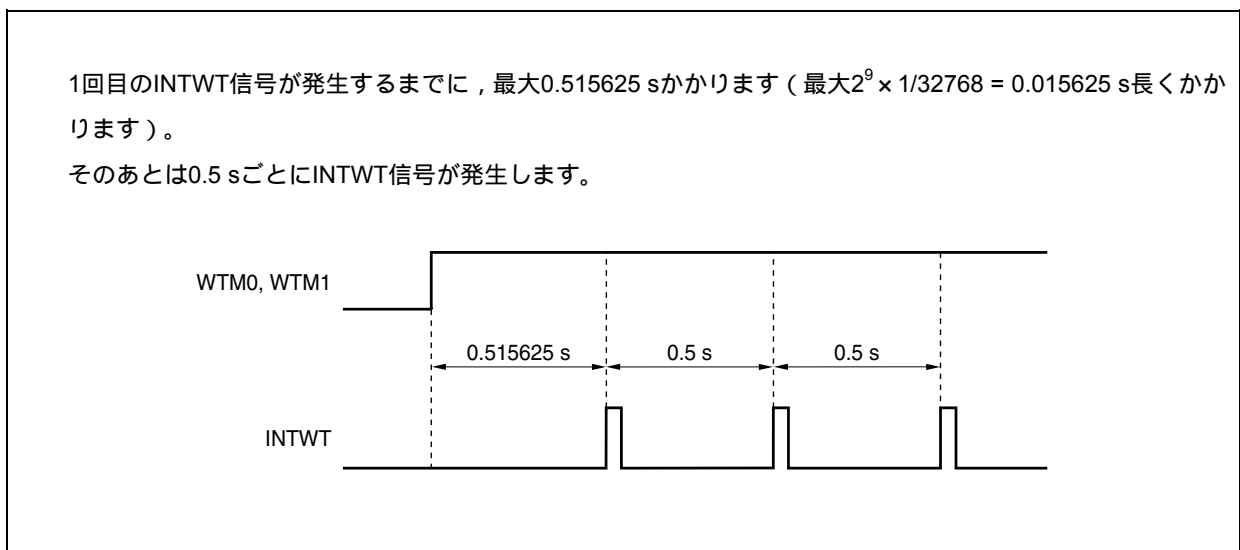
図9 - 2 時計タイマ/インターバル・タイマの動作タイミング



9.4.3 注意事項

動作許可 (WTM.WTM1, WTM0ビット = 1) してから、最初の1回目の時計タイマ割り込み要求信号 (INTWT) が発生するまで多少時間がかかります。

図9 - 3 時計タイマ割り込み要求信号 (INTWT) の発生例 (割り込み周期 = 0.5 sの場合)



第10章 ウォッチドッグ・タイマ2機能

10.1 機能

ウォッチドッグ・タイマ2には、次のような機能があります。

- ・デフォルト・スタート・ウォッチドッグ・タイマ^{注1}
 - リセット・モード：ウォッチドッグ・タイマ2のオーバフローによるリセット動作（WDT2RES信号を発生）
 - ノンマスクابل割り込み要求モード：ウォッチドッグ・タイマ2のオーバフローによるNMI動作（INTWDT2信号を発生）^{注2}
- ・ソース・クロックとしてメイン・クロック，内蔵発振クロックからの入力を選択可能

注1. ウォッチドッグ・タイマ2は，リセット解除後に自動的にリセット・モードでスタートします。ウォッチドッグ・タイマ2を使用しない場合は，この機能によるリセットが発生する前に停止するか，一度ウォッチドッグ・タイマ2をクリアし，次のインターバル時間内で停止してください。

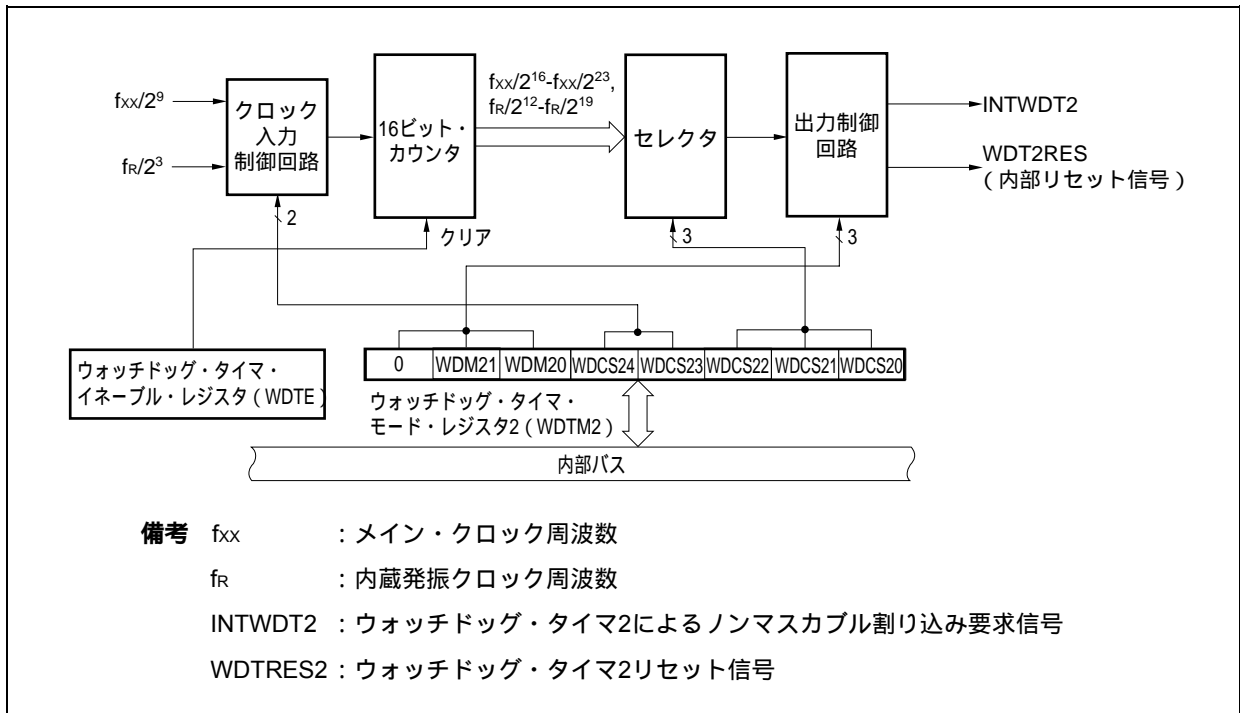
また，デフォルトの設定（リセット・モード，インターバル時間： $f_R/2^{19}$ ）で変更する必要がない場合も，動作を確定するために，1回だけWDTM2レジスタへの書き込みを行ってください。

2. ノンマスクابل割り込み要求信号（INTWDT2）によるノンマスクابل割り込み処理については15.2.2（2）INTWDT2信号の場合を参照してください。

10.2 構成

次にウォッチドッグ・タイマ2のブロック図を示します。

図10 - 1 ウォッチドッグ・タイマ2のブロック図



ウォッチドッグ・タイマ2は、次のハードウェアで構成されています。

表10 - 1 ウォッチドッグ・タイマ2の構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

10.3 レジスタ

(1) ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

ウォッチドッグ・タイマ2のオーバフロー時間および動作クロックを設定するレジスタです。

WDTM2は8ビット単位でリード/ライト可能です。ただし、リードは何回でもできますが、ライトはリセット解除後に1回のみできます。

リセットにより67Hになります。

注意 次に示す状態において、WDTM2レジスタへのアクセスは禁止です。詳細は3.4.8(2) 特定の
内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時：67H R/W アドレス：FFFFFF6D0H

	7	6	5	4	3	2	1	0
WDTM2	0	WDM21	WDM20	WDSCS24	WDSCS23	WDSCS22	WDSCS21	WDSCS20

WDM21	WDM20	ウォッチドッグ・タイマ2の動作モードの選択 ^注
0	0	動作停止
0	1	ノンマスクブル割り込み要求モード (INTWDT2信号を発生)
1	-	リセット・モード (WDT2RES信号を発生)

注 オプション・バイト機能 (第24章 参照) にてOPB1ビットを1にセットした場合、リセット・モードに固定されます。

- 注意1.** WDSCS24-WDSCS20ビットについては表10-2 ウォッチドッグ・タイマ2のクロック選択を参照してください。
2. リセット後、WDTM2レジスタに2回書き込んだ場合、強制的にオーバフロー信号を発生し、カウンタをリセットします。
 3. 意図的にオーバフロー信号を発生させたい場合は、WDTM2レジスタに2回だけ書き込むか、WDTEレジスタに“ACH”以外の値を1回だけ書き込んでください。
ただし、ウォッチドッグ・タイマ2を動作停止に設定した場合は、WDTM2レジスタに2回だけ書き込む、またはWDTEレジスタに“ACH”以外の値を1回だけ書き込んでも、オーバフロー信号は発生しません。
 4. ウォッチドッグ・タイマ2の動作を停止する場合は、RCM.RSTOPビット = 1 (内蔵発振器の停止) に設定するとともに、WDTM2レジスタに1FHを書き込んでください。ただしオプション・バイト機能 (第24章 参照) にてOPB1ビットを1にした場合、リセット以外に停止することはできません。

表10 - 2 ウォッチドッグ・タイマ2のクロック選択

WDCS24	WDCS23	WDCS22	WDCS21	WDCS20	選択クロック	100 kHz (MIN.)	200 kHz (TYP.)	400 kHz (MAX.)
0	0	0	0	0	$2^{12}/f_R$	41.0 ms	20.5 ms	10.2 ms
0	0	0	0	1	$2^{13}/f_R$	81.9 ms	41.0 ms	20.5 ms
0	0	0	1	0	$2^{14}/f_R$	163.8 ms	81.9 ms	41.0 ms
0	0	0	1	1	$2^{15}/f_R$	327.7 ms	163.8 ms	81.9 ms
0	0	1	0	0	$2^{16}/f_R$	655.4 ms	327.7 ms	163.8 ms
0	0	1	0	1	$2^{17}/f_R$	1310.7 ms	655.4 ms	327.7 ms
0	0	1	1	0	$2^{18}/f_R$	2621.4 ms	1310.7 ms	655.4 ms
0	0	1	1	1	$2^{19}/f_R$	5242.9 ms	2621.4 ms	1310.7 ms
						f _{xx} = 4 MHz時		f _{xx} = 5 MHz時
0	1	0	0	0	$2^{16}/f_{xx}$	16.4 ms	13.1 ms	
0	1	0	0	1	$2^{17}/f_{xx}$	32.8 ms	26.2 ms	
0	1	0	1	0	$2^{18}/f_{xx}$	65.5 ms	52.4 ms	
0	1	0	1	1	$2^{19}/f_{xx}$	131.1 ms	104.9 ms	
0	1	1	0	0	$2^{20}/f_{xx}$	262.1 ms	209.7 ms	
0	1	1	0	1	$2^{21}/f_{xx}$	524.3 ms	419.4 ms	
0	1	1	1	0	$2^{22}/f_{xx}$	1048.6 ms	838.9 ms	
0	1	1	1	1	$2^{23}/f_{xx}$	2097.2 ms	1677.7 ms	
1	1	1	1	1	動作停止			

注意 オプション・バイト機能にてOPB1ビットを1にセットした場合、クロックは内蔵発振クロック (f_R) に固定されます ($2^{12}/f_R$ - $2^{19}/f_R$ の選択は可能)。詳細は第24章 オプション・バイト機能を参照してください。

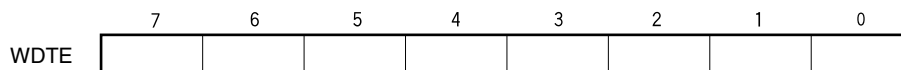
(2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEレジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマ2のカウンタをクリアし、再びカウントを開始します。

8ビット単位でリード/ライト可能です。

リセットにより9AHになります。

リセット時：9AH R/W アドレス：FFFFFF6D1H



注意1. WDTEレジスタに“ACH”以外の値を書き込んだ場合、強制的にオーバフロー信号を発生します。

2. WDTEレジスタに1ビット・メモリ操作命令を実行した場合、強制的にオーバフロー信号を発生します。

3. 意図的にオーバフロー信号を発生させたい場合は、WDTEレジスタに“ACH”以外の値を1回だけ書き込むか、WDTM2レジスタに2回だけ書き込んでください。ただし、ウォッチドッグ・タイマ2を動作停止に設定した場合は、WDTEレジスタに“ACH”以外の値を1回だけ書き込む、またはWDTM2レジスタに2回だけ書き込んででも、オーバフロー信号は発生しません。

4. WDTEレジスタのリード値は、“9AH”（書き込んだ値（“ACH”）とは異なる値）になります。

10.4 動作

ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。

WDTM2レジスタへの書き込みは、バイト・アクセスのみリセット後に一度だけ可能です。ウォッチドッグ・タイマ2を使用する場合は、動作モードとインターバル時間を8ビット・メモリ操作でWDTM2レジスタに書き込んでください。この操作後、動作停止することはできません。

WDTM2.WDCS24-WDCS20ビットで、ウォッチドッグ・タイマ2の暴走検出時間間隔を選択できます。

WDTEレジスタにACHを書き込むことにより、ウォッチドッグ・タイマ2のカウンタをクリアし、再度カウント動作を開始します。カウント動作を開始したあと、設定した暴走検出時間間隔内にWDTEレジスタにACHを書き込んでください。

WDTEレジスタにACHが書き込まれず、暴走検出時間を越えてしまった場合は、WDTM2.WDM21, WDM20ビットの設定値により、リセット信号（WDT2RES）またはノンマスクابل割り込み要求信号（INTWDT2）が発生します。

WDTM2.WDM21ビット = 1（リセット・モード）に設定している場合、リセットやスタンバイ解除後の発振安定時間中にWDTオーバフローが発生すると、内部リセットは発生せずに、CPUクロックが内蔵発振クロックに切り替わります。

ウォッチドッグ・タイマ2を使用しない場合は、WDTM2レジスタに1FHを書き込んでください。

また、ノンマスクابل割り込み要求モードに設定した場合、ノンマスクابل割り込み処理については15. 2. 2 (2) INTWDT2信号の場合を参照してください。

第11章 A/Dコンバータ

11.1 概 要

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、10ビット分解能、16チャンネル：ANI0-ANI15端子の構成になっています。

次にA/Dコンバータの特徴について示します。

10ビット分解能

16チャンネル

逐次比較変換方式

動作電圧： $AV_{REF0} = 4.0 \sim 5.5 \text{ V}$

アナログ入力電圧： $0 \text{ V} \sim AV_{REF0}$

動作モードとして、次の機能があります。

- ・連続セレクト・モード
- ・連続スキャン・モード
- ・ワンショット・スキャン・モード

トリガ・モードとして、次の機能があります。

- ・ソフトウェア・トリガ・モード
- ・外部トリガ・モード（外部1本）
- ・タイマ・トリガ・モード

パワー・フェイル監視機能（変換結果比較機能）

11.2 機 能

(1) 10ビット分解能A/D変換

アナログ入力をANI0-ANI15から1チャンネル選択し、10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求信号（INTAD）を発生します。

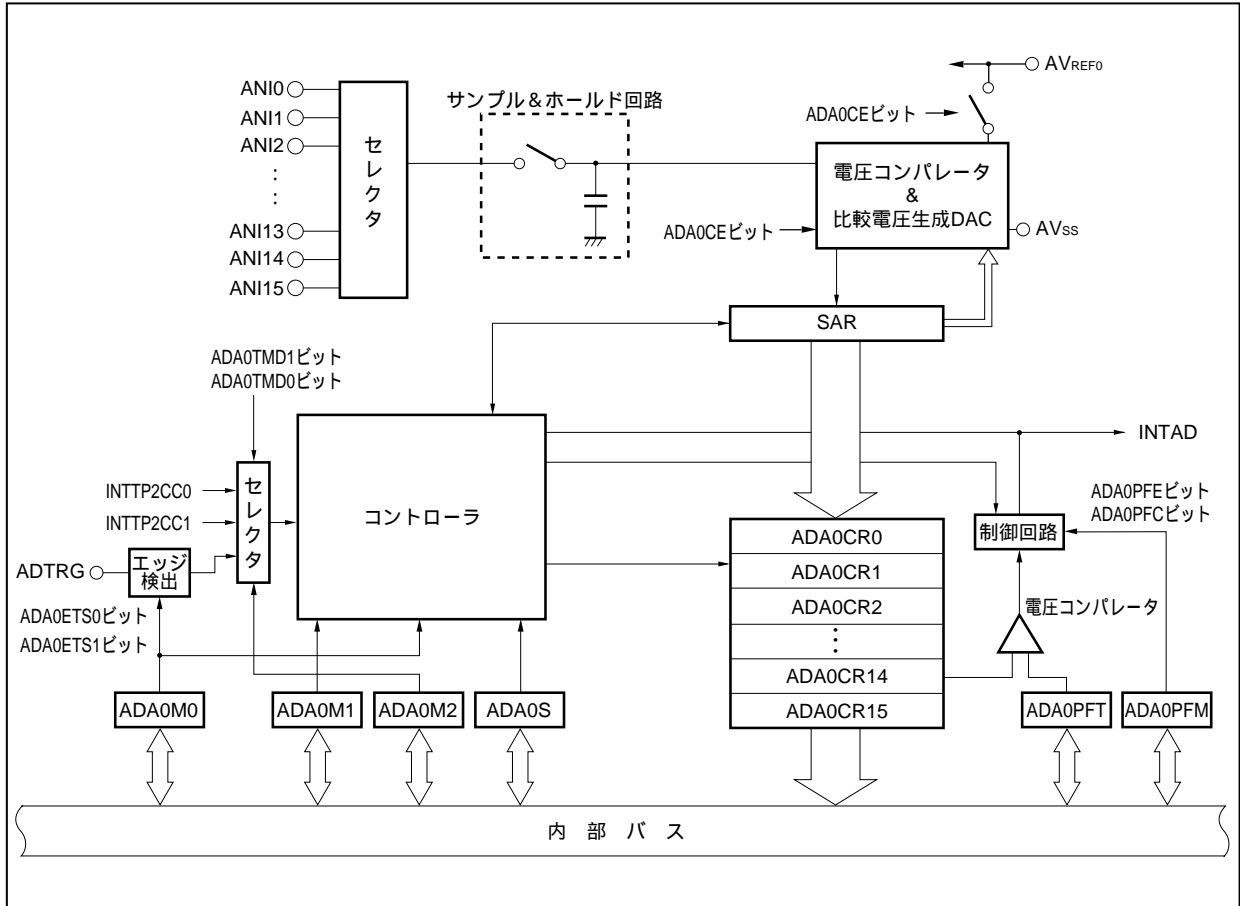
(2) パワー・フェイル検出機能

バッテリー電圧低下を検出するための機能です。A/D変換結果（ADA0CRnHレジスタ値）とADA0PFTレジスタの値との大小比較を行い、比較条件に合致した場合のみINTAD信号を発生します（ $n = 0-15$ ）。

11.3 構成

次にブロック図を示します。

図11-1 A/Dコンバータのブロック図



A/Dコンバータは、次のハードウェアで構成しています。

表11-1 A/Dコンバータの構成

項目	構成
アナログ入力	16チャンネル (ANI0-ANI15端子)
レジスタ	逐次変換レジスタ (SAR) A/D変換結果レジスタ0-15 (ADA0CR0-ADA0CR15) A/D変換結果レジスタ0H-15H (ADCR0H-ADCR15H) : 上位8ビットだけ読み出し可能
制御レジスタ	A/Dコンバータ・モード・レジスタ0-2 (ADA0M0-ADA0M2) A/Dコンバータ・チャンネル指定レジスタ0 (ADA0S) パワー・フェイル比較モード・レジスタ (ADA0PFM) パワー・フェイル比較しきい値レジスタ (ADA0PFT)

(1) 逐次変換レジスタ (SAR)

アナログ入力の電圧値と比較電圧生成DACの出力電圧（比較電圧）の値を比較し、その結果を最上位ビット（MSB）から保持するレジスタです。

最下位ビット（LSB）まで保持すると（A/D変換終了）、SARレジスタの内容はADA0CRnレジスタに転送されます。

備考 n = 0-15

(2) A/D変換結果レジスタn (ADA0CRn) , A/D変換結果レジスタnH (ADA0CRnH)

ADA0CRnレジスタはA/D変換の結果を格納する16ビットのレジスタです。16本のレジスタで構成されており、A/D変換結果はアナログ入力に対応したADA0CRnレジスタの上位10ビットに格納します（下位6ビットは0に固定）。

(3) A/Dコンバータ・モード・レジスタ0 (ADA0M0)

動作モードの指定および変換動作の制御を行うレジスタです。

(4) A/Dコンバータ・モード・レジスタ1 (ADA0M1)

A/D変換するアナログ入力の変換時間を設定するレジスタです。

(5) A/Dコンバータ・モード・レジスタ2 (ADA0M2)

ハードウェア・トリガのモードを設定するレジスタです。

(6) A/Dコンバータ・チャンネル指定レジスタ (ADA0S)

A/D変換するアナログ電圧の入力ポートを設定するレジスタです。

(7) パワー・フェイル比較モード・レジスタ (ADA0PFM)

パワー・フェイル監視モードを設定するレジスタです。

(8) パワー・フェイル比較しきい値レジスタ (ADA0PFT)

A/D変換結果レジスタnH (ADA0CRnH) と大小比較する場合のしきい値を設定するレジスタです。

ADA0PFTレジスタに設定した8ビット・データとA/D変換結果レジスタの上位8ビット (ADA0CRnH) が比較されます。

(9) 制御回路

A/D変換が終了するか、パワー・フェイル検出機能使用時、A/D変換結果 (ADA0CRnHレジスタ値) とADA0PFTレジスタの値との大小比較を行い、比較条件に合致した場合のみINTAD信号を発生します。

(10) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路で選択されたアナログ入力信号をサンプリングし、電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(11) 電圧コンパレータ

電圧コンパレータは、サンプリングされ保持された電圧値と比較電圧生成DACの出力電圧を比較します。

(12) 比較電圧生成DAC

比較電圧生成DACは AV_{REF0} - AV_{SS} 間に接続されており、アナログ入力と比較する電圧を発生します。

(13) ANI0-ANI15端子

A/Dコンバータへの16チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。ADA0Sレジスタでアナログ入力として選択した端子以外は、入力ポートとして使用できます。

- 注意1. ANI0-ANI15端子入力電圧は規格の範囲内で使用してください。特に AV_{REF0} 以上の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。
2. アナログ入力 (ANI0-ANI15) 端子はポート (P70-P715) 端子と兼用になっています。ANI0-ANI15端子のいずれかを選択してA/D変換する場合、変換中にポート7に対する入力命令はしないでください。変換分解能が低下することがあります。

(14) AV_{REF0} 端子

A/Dコンバータの基準電圧を入力する端子です。A/Dコンバータを使用しないときでも、常に V_{DD} 端子と同電位で使用してください。

AV_{REF0} , AV_{SS} 間にかかる電圧に基づいて、ANI0-ANI15端子に入力される信号をデジタル信号に変換します。

(15) AV_{SS} 端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常に V_{SS} 端子と同電位で使用してください。

11.4 レジスタ

A/Dコンバータは、次に示すレジスタで制御します。

- ・ A/Dコンバータ・モード・レジスタ0, 1, 2 (ADA0M0, ADA0M1, ADA0M2)
- ・ A/Dコンバータ・チャンネル指定レジスタ0 (ADA0S)
- ・ パワー・フェイル比較モード・レジスタ (ADA0PFM)

また、次のレジスタも使用します。

- ・ A/D変換結果レジスタn (ADA0CRn)
- ・ A/D変換結果レジスタnH (ADA0CRnH)
- ・ パワー・フェイル比較しきい値レジスタ (ADA0PFT)

(1) A/Dコンバータ・モード・レジスタ0 (ADA0M0)

動作モードの指定および変換動作の制御を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、ADA0EFビットはリードのみ可能です。

リセットにより、00Hになります。

注意 次に示す状態において、ADA0M0レジスタへのアクセスは禁止です。詳細は3.4.8(2) 特定の
内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・ CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・ CPUが内蔵発振クロックで動作している場合

リセット時：00H R/W アドレス：FFFFFF200H

	7	6	5	4	3	2	1	0
ADA0M0	ADA0CE	0	ADA0MD1	ADA0MD0	ADA0ETS1	ADA0ETS0	ADA0TMD	ADA0EF

ADA0CE	A/D変換動作の制御	
0	A/D変換動作停止	
1	A/D変換動作許可	

ADA0MD1	ADA0MD0	A/Dコンバータ動作モードを指定
0	0	連続セレクト・モード
0	1	連続スキャン・モード
1	0	設定禁止
1	1	ワンショット・スキャン・モード

ADA0ETS1	ADA0ETS0	外部トリガ (ADTRG端子) 入力の有効エッジを指定
0	0	エッジ検出なし
0	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
1	1	立ち上がり / 立ち下がり両エッジ検出

ADA0TMD	トリガ・モードを指定	
0	ソフトウェア・トリガ・モード	
1	外部トリガ・モード / タイマ・トリガ・モード	

ADA0EF	A/Dコンバータの状態を提示	
0	A/D変換停止中	
1	A/D変換動作中	

- 注意1. ビット0に書き込みを行った場合、書き込みは無視されます。
- A/D変換動作許可中 (ADA0CEビット = 1) は、ADA0M1レジスタの変更は禁止です。
 - A/D変換動作中 (ADA0EFビット = 1) にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合には各モードにより次のようになります。
 - ・ソフトウェア・トリガ・モード時
A/D変換動作は中断され、再度、最初から変換動作を行います。
 - ・ハードウェア・トリガ・モード時
A/D変換動作は中断され、再度、トリガ待機状態になります。
 - A/Dコンバータを使用しない場合は、消費電力を小さくするために、ADA0CEビット = 0として動作を停止させてください。
 - A/D変換開始直後の最初の入力端子の変換分解能が低下する可能性があります。詳細は11.6 (7) AV_{REF0}端子についてを参照してください。

(2) A/Dコンバータ・モード・レジスタ1 (ADA0M1)

変換時間の指定を行うの制御を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより, 00Hになります。

リセット時 : 00H R/W アドレス : FFFFF201H

7	6	5	4	3	2	1	0
ADA0HS1	0	0	0	ADA0FR3	ADA0FR2	ADA0FR1	ADA0FR0

注意1. ビット6-4には必ず“0”を設定してください。

2. ADA0HS1ビットには必ず“1”を設定してください。

備考 A/D変換時間の設定例は表11 - 2を参照してください。

表11 - 2 変換モード時の設定例

ADA0HS1	ADA0FR3-ADA0FR0				A/D変換時間	f _{xx} = 20 MHz	f _{xx} = 16 MHz	f _{xx} = 4 MHz	A/D安定時間 ^注
	3	2	1	0					
1	0	0	0	0	31/f _{xx}	設定禁止	設定禁止	7.75 μs	16/f _{xx}
	0	0	0	1	62/f _{xx}	3.10 μs	3.88 μs	15.50 μs	31/f _{xx}
	0	0	1	0	93/f _{xx}	4.65 μs	5.81 μs	設定禁止	47/f _{xx}
	0	0	1	1	124/f _{xx}	6.20 μs	7.75 μs	設定禁止	50/f _{xx}
	0	1	0	0	155/f _{xx}	7.75 μs	9.69 μs	設定禁止	50/f _{xx}
	0	1	0	1	186/f _{xx}	9.30 μs	11.63 μs	設定禁止	50/f _{xx}
	0	1	1	0	217/f _{xx}	10.85 μs	13.56 μs	設定禁止	50/f _{xx}
	0	1	1	1	248/f _{xx}	12.40 μs	15.50 μs	設定禁止	50/f _{xx}
	1	0	0	0	279/f _{xx}	13.95 μs	設定禁止	設定禁止	50/f _{xx}
	1	0	0	1	310/f _{xx}	15.50 μs	設定禁止	設定禁止	50/f _{xx}
	1	0	1	0	341/f _{xx}	設定禁止	設定禁止	設定禁止	50/f _{xx}
	1	0	1	1	372/f _{xx}	設定禁止	設定禁止	設定禁止	50/f _{xx}
	1	1	0	0	403/f _{xx}	設定禁止	設定禁止	設定禁止	50/f _{xx}
	1	1	0	1	434/f _{xx}	設定禁止	設定禁止	設定禁止	50/f _{xx}
	1	1	1	0	465/f _{xx}	設定禁止	設定禁止	設定禁止	50/f _{xx}
	1	1	1	1	496/f _{xx}	設定禁止	設定禁止	設定禁止	50/f _{xx}

注 A/Dコンバータ安定時間確保のため, ADA0M0レジスタのADA0CEビット: 0 1とすると, 1回目の変換は上記クロック数を入れたあとに開始されます。

注意1. 3.1 μs 変換時間 15.5になるように設定してください。

2. 安定時間中のADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタの書き換え, およびトリガ入力を禁止します。

(3) A/Dコンバータ・モード・レジスタ2 (ADA0M2)

ハードウェア・トリガのモードを指定します。

8/1ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：FFFFFF203H

	7	6	5	4	3	2	1	0
ADA0M2	0	0	0	0	0	0	ADA0TMD1	ADA0TMD0

ADA0TMD1	ADA0TMD0	ハードウェア・トリガ・モードの指定
0	0	外部トリガ・モード (ADTRG端子の有効エッジ検出時)
0	1	タイマ・トリガ・モード0 (INTTP2CC0割り込み要求発生時)
1	0	タイマ・トリガ・モード1 (INTTP2CC1割り込み要求発生時)
1	1	設定禁止

注意 ビット7-2には必ず“0”を設定してください。

(4) A/Dコンバータ・チャンネル指定レジスタ0 (ADA0S)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより, 00Hになります。

リセット時 : 00H R/W アドレス : FFFFF202H

	7	6	5	4	3	2	1	0
ADA0S	0	0	0	0	ADA0S3	ADA0S2	ADA0S1	ADA0S0

ADA0S3	ADA0S2	ADA0S1	ADA0S0	セレクト・モード	スキャン・モード
0	0	0	0	ANI0	ANI0
0	0	0	1	ANI1	ANI0, ANI1
0	0	1	0	ANI2	ANI0-ANI2
0	0	1	1	ANI3	ANI0-ANI3
0	1	0	0	ANI4	ANI0-ANI4
0	1	0	1	ANI5	ANI0-ANI5
0	1	1	0	ANI6	ANI0-ANI6
0	1	1	1	ANI7	ANI0-ANI7
1	0	0	0	ANI8	ANI0-ANI8
1	0	0	1	ANI9	ANI0-ANI9
1	0	1	0	ANI10	ANI0-ANI10
1	0	1	1	ANI11	ANI0-ANI11
1	1	0	0	ANI12	ANI0-ANI12
1	1	0	1	ANI13	ANI0-ANI13
1	1	1	0	ANI14	ANI0-ANI14
1	1	1	1	ANI15	ANI0-ANI15
上記以外				設定禁止	

(5) A/D変換結果レジスタ_n, nH (ADA0CR_n, ADA0CR_nH)

ADA0CR_n, ADA0CR_nHレジスタは、A/D変換結果を格納するレジスタです。

16/8ビット単位でリードのみ可能です。ただし、16ビット・アクセス時はADA0CR_nレジスタを指定、8ビット・アクセス時はADA0CR_nHレジスタを指定します。ADA0CR_nレジスタは上位10ビットに変換結果の10ビットが読み出され、下位6ビットには0が読み出されます。ADA0CR_nHレジスタには変換結果の上位8ビットが読み出されます。

注意 次に示す状態において、ADA0CR_n, ADA0CR_nHレジスタへのアクセスは禁止です。詳細は3. 4.

8 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時：不定 R アドレス：ADA0CR0 FFFFFFF210H, ADA0CR1 FFFFFFF212H ,
 ADA0CR2 FFFFFFF214H, ADA0CR3 FFFFFFF216H
 ADA0CR4 FFFFFFF218H, ADA0CR5 FFFFFFF21AH
 ADA0CR6 FFFFFFF21CH, ADA0CR7 FFFFFFF21EH
 ADA0CR8 FFFFFFF220H, ADA0CR9 FFFFFFF222H
 ADA0CR10 FFFFFFF224H, ADA0CR11 FFFFFFF226H
 ADA0CR12 FFFFFFF228H, ADA0CR13 FFFFFFF22AH
 ADA0CR14 FFFFFFF22CH, ADA0CR15 FFFFFFF22EH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADA0CRn	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	0	0	0	0	0	0

リセット時：不定 R アドレス：ADA0CR0H FFFFFFF211H, ADA0CR1H FFFFFFF213H ,
 ADA0CR2H FFFFFFF215H, ADA0CR3H FFFFFFF217H
 ADA0CR4H FFFFFFF219H, ADA0CR5H FFFFFFF21BH
 ADA0CR6H FFFFFFF21DH, ADA0CR7H FFFFFFF21FH
 ADA0CR8H FFFFFFF221H, ADA0CR9H FFFFFFF223H
 ADA0CR10H FFFFFFF225H, ADA0CR11H FFFFFFF227H
 ADA0CR12H FFFFFFF229H, ADA0CR13H FFFFFFF22BH
 ADA0CR14H FFFFFFF22DH, ADA0CR15H FFFFFFF22FH

	7	6	5	4	3	2	1	0
ADA0CRnH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2

備考 n = 0-15

注意 ADA0M0, ADA0Sレジスタに対して書き込み動作を行ったとき, ADA0CRnレジスタの内容は不定になることがあります。変換結果は, 変換動作終了後, ADA0M0, ADA0Sレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは, 正しい変換結果が読み出されないことがあります。

アナログ入力端子 (ANI0-ANI23) に入力されたアナログ入力電圧とA/D変換結果 (ADA0CRnレジスタ) には次式に示す関係があります。

$$SAR = INT \left(\frac{V_{IN}}{AV_{REF0}} \times 1024 + 0.5 \right)$$

$$ADA0CR^{注} = SAR \times 64$$

または,

$$(SAR - 0.5) \times \frac{AV_{REF0}}{1024} < V_{IN} < (SAR + 0.5) \times \frac{AV_{REF0}}{1024}$$

INT () : () 内の値の整数部を返す関数

V_{IN} : アナログ入力電圧

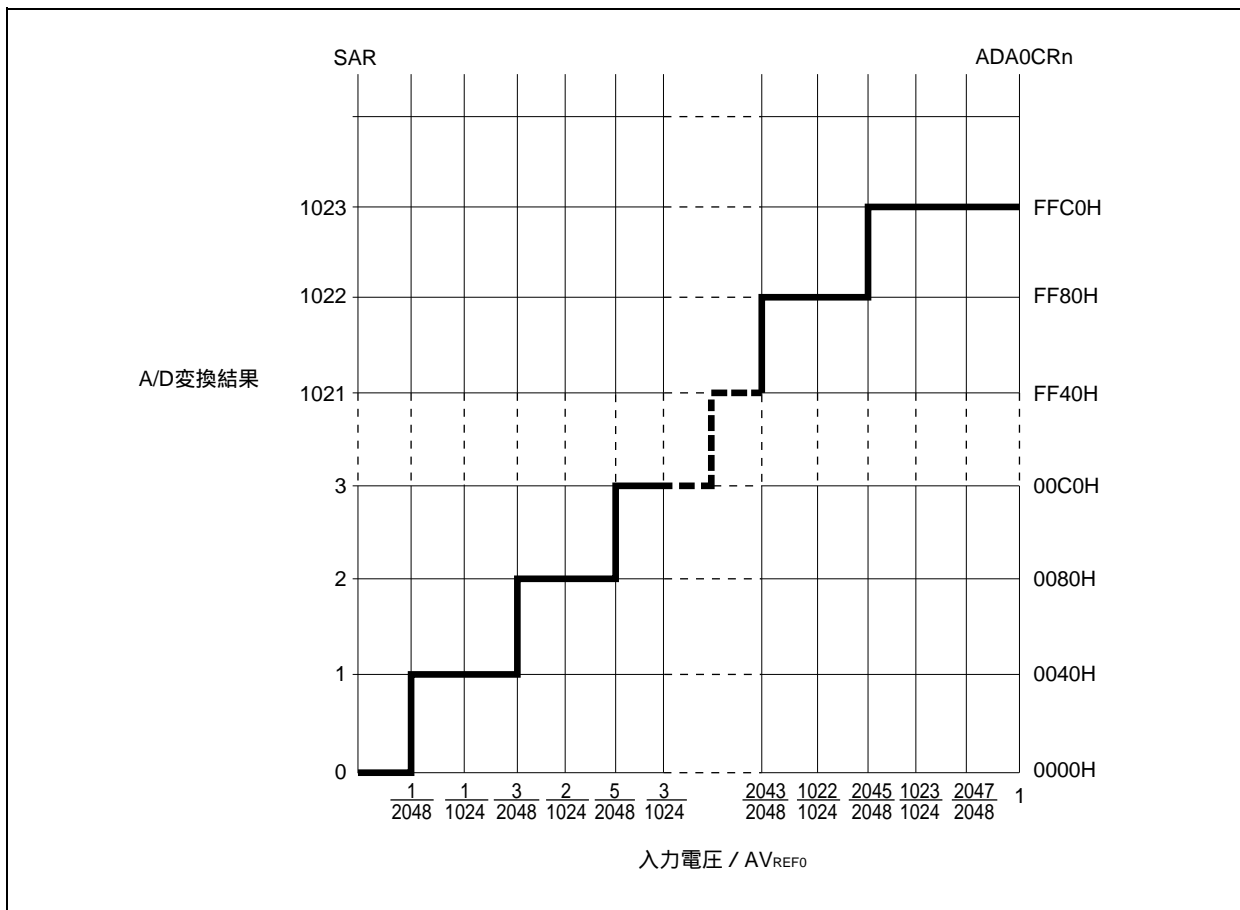
AV_{REF0} : AV_{REF0} 端子電圧

ADA0CR : ADA0CRnレジスタの値

注 ADA0CRnレジスタの下位6ビットは0固定です。

次にアナログ入力電圧とA/D変換結果の関係を示します。

図11 - 2 アナログ入力電圧とA/D変換結果の関係



(6) パワー・フェイル比較モード・レジスタ (ADA0PFM)

ADA0PFMレジスタは、パワー・フェイル比較モードの設定を行う8ビットのレジスタです。
8/1ビット単位でリード/ライト可能です。
リセットにより、00Hになります。

リセット時：00H R/W アドレス：FFFFFF204H

	7	6	5	4	3	2	1	0
ADA0PFM	ADA0PFE	ADA0PFC	0	0	0	0	0	0

ADA0PFE	パワー・フェイル比較許可/禁止の選択
0	パワー・フェイル比較禁止
1	パワー・フェイル比較許可

ADA0PFC	パワー・フェイル比較モードの選択
0	ADA0CRnH ADA0PFTで割り込み要求信号 (INTAD) を発生
1	ADA0CRnH < ADA0PFTで割り込み要求信号 (INTAD) を発生

- 注意1. セレクト・モードではADA0PFTレジスタに設定した8ビット・データとADA0Sレジスタで指定したADA0CRnHレジスタの値を比較し、結果がADA0PFCビットで設定された条件に一致した場合はADA0CRnレジスタに変換結果を格納しINTAD信号が発生しますが、一致しない場合は割り込みを発生しません。
2. スキャン・モードではADA0PFTレジスタに設定した8ビット・データとADA0CR0Hレジスタを比較し、結果がADA0PFCビットで設定された条件に一致した場合はADA0CR0レジスタに変換結果を格納しINTAD信号を発生させますが、一致しない場合はINTAD信号を発生させません。また比較結果にかかわらず、比較後はスキャン動作を継続しスキャン終了までADA0CRnレジスタに変換結果は格納しますが、スキャン終了後のINTAD信号は発生しません。

(7) パワー・フェイル比較しきい値レジスタ (ADA0PFT)

A/D変換結果レジスタnH (ADA0CRnH) と大小比較する場合のしきい値を設定するレジスタです。
ADA0PFTレジスタに設定した8ビット・データとA/D変換結果レジスタの上位8ビット (ADA0CRnH) が比較されます。
ADA0PFTレジスタは8/1ビット単位でリード/ライト可能です。
リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF205H

	7	6	5	4	3	2	1	0
ADA0PFT								

11.5 動作

11.5.1 基本動作

A/D変換する動作モード、トリガ・モード、変換時間などをADA0M0, ADA0M1, ADA0M2, ADA0Sレジスタで設定します。ADA0M0レジスタのADA0CEビットをセットすると、ソフトウェア・トリガ・モード時は変換を開始し、外部/タイマ・トリガ・モード時はトリガ待機状態になります。

A/D変換が開始されると選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ(SAR)のビット9をセットし、比較電圧生成DACを $(1/2)AV_{REF0}$ にします。

比較電圧生成DACとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力がある $(1/2)AV_{REF0}$ よりも大きければ、SARレジスタのMSBをセットしたままです。また、 $(1/2)AV_{REF0}$ よりも小さければMSBをリセットします。

次にSARレジスタのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、次に示すように比較電圧生成DACが選択されます。

・ビット9 = 1 : $(3/4)AV_{REF0}$

・ビット9 = 0 : $(1/4)AV_{REF0}$

この比較電圧とアナログ入力電圧を比較し、その結果でSARレジスタのビット8を次のように操作します。

アナログ入力電圧 比較電圧 : ビット8 = 1

アナログ入力電圧 比較電圧 : ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。

10ビットの比較が終了したとき、SARレジスタには有効なデジタルの結果が残り、その値がADA0CRnレジスタに転送され格納されます。そのあと、A/D変換終了割り込み要求信号(INTAD)を発生します。

11.5.2 トリガ・モード

トリガ・モードの設定により、変換動作の開始タイミングの指定を行います。トリガ・モードにはソフトウェア・トリガ・モード、ハードウェア・トリガ・モードがあり、ハードウェア・トリガ・モードでは、タイマ・トリガ・モード0, 1, 外部トリガ・モードの3つがあります。トリガ・モードの設定はADA0M0.ADA0TMDビットで行い、ハードウェア・トリガ・モードの設定はADA0M2.ADA0TMD1, ADA0TMD0ビットで行います。

(1) ソフトウェア・トリガ・モード

ADA0M0.ADA0CEビットを“1”に設定すると、ADA0Sレジスタで指定したアナログ入力 (ANI0-ANI15端子) に対し、変換動作を開始します。変換を終了すると、変換結果をADA0CRnレジスタに格納し、同時に、A/D変換終了割り込み要求信号 (INTAD) を発生します。

ADA0M0.ADA0MD1, ADA0MD0ビットで設定される動作モードが、連続セレクト/スキャン・モードであれば、変換終了後はADA0CEビットを“0”にしないかぎり、次の変換を繰り返し行います。動作モードがワンショット・セレクト/スキャン・モードであれば、1回で変換を終了します。

変換が開始されると、ADA0M0.ADA0EFビット = 1 (動作中) となります。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合、変換は中断され、再度最初から変換を行います。

(2) 外部トリガ・モード

外部トリガ (ADTRG端子) の入力により、ADA0Sレジスタで指定したアナログ入力 (ANI0-ANI15端子) に対し、変換動作を開始するモードです。ADA0M0.ADA0ETS1, ADA0ETS0ビットの設定により、外部トリガのエッジ検出 (立ち上がり, 立ち下がり, 立ち上がり/立ち下がりの両エッジ) の指定ができます。ADA0CEビットをセット (1) 設定するとトリガ待機状態となり、外部トリガが入力された後に変換を開始します。

ADA0MD1, ADA0MD0ビットで設定される動作モードが、連続セレクト/連続スキャン/ワンショット・スキャン・モードにかかわらず、変換を終了すると、変換結果をADA0CRnレジスタに格納し、同時に、INTAD信号を発生し、再びトリガ待機状態になります。

変換が開始されると、ADA0EFビット = 1 (動作中) となります。ただし、トリガ待機状態の時はADA0EFビット = 0 (停止中) となります。変換動作中に有効なトリガが入力されると、変換は中断され、再度最初から変換を行います。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合、変換は中断され、再度トリガ待機状態になります。

(3) タイマ・トリガ・モード

タイマに接続されたキャプチャ/コンペア・レジスタのコンペア一致割り込み要求信号 (INTTP2CC0, INTTP2CC1) により, ADA0Sレジスタで指定したアナログ入力 (ANI0-ANI15端子) に対し, 変換動作を開始するモードです。ADA0TMD1, ADA0TMD0ビットの設定により, INTTP2CC0, INTTP2CC1信号のいずれかを指定し, 指定されたコンペア一致割り込み要求信号の立ち上がりエッジで変換を開始します。ADA0CEビットをセット(1)するとトリガ待機状態となり, タイマのコンペア一致割り込み要求信号が入力されたあとに変換を開始します。

ADA0MD1, ADA0MD0ビットで設定される動作モードが, 連続セレクト/連続スキャン/ワンショット・スキャン・モードにかかわらず, 変換を終了すると, 変換結果をADA0CRnレジスタに格納し, 同時に, INTAD信号を発生し, 再びトリガ待機状態になります。

変換が開始されると, ADA0EFビット = 1(動作中)となります。ただし, トリガ待機状態の時はADA0EFビット = 0(停止中)となります。変換動作中に有効なトリガが入力されると, 変換は中断され, 再度最初から変換を行います。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合, 変換は中断され, 再度, トリガ待機状態になります。

11.5.3 動作モード

動作モードには, ANI0-ANI15端子を設定するモードとして, 連続セレクト・モード, 連続スキャン・モード, ワンショット・スキャン・モードの3つがあります。

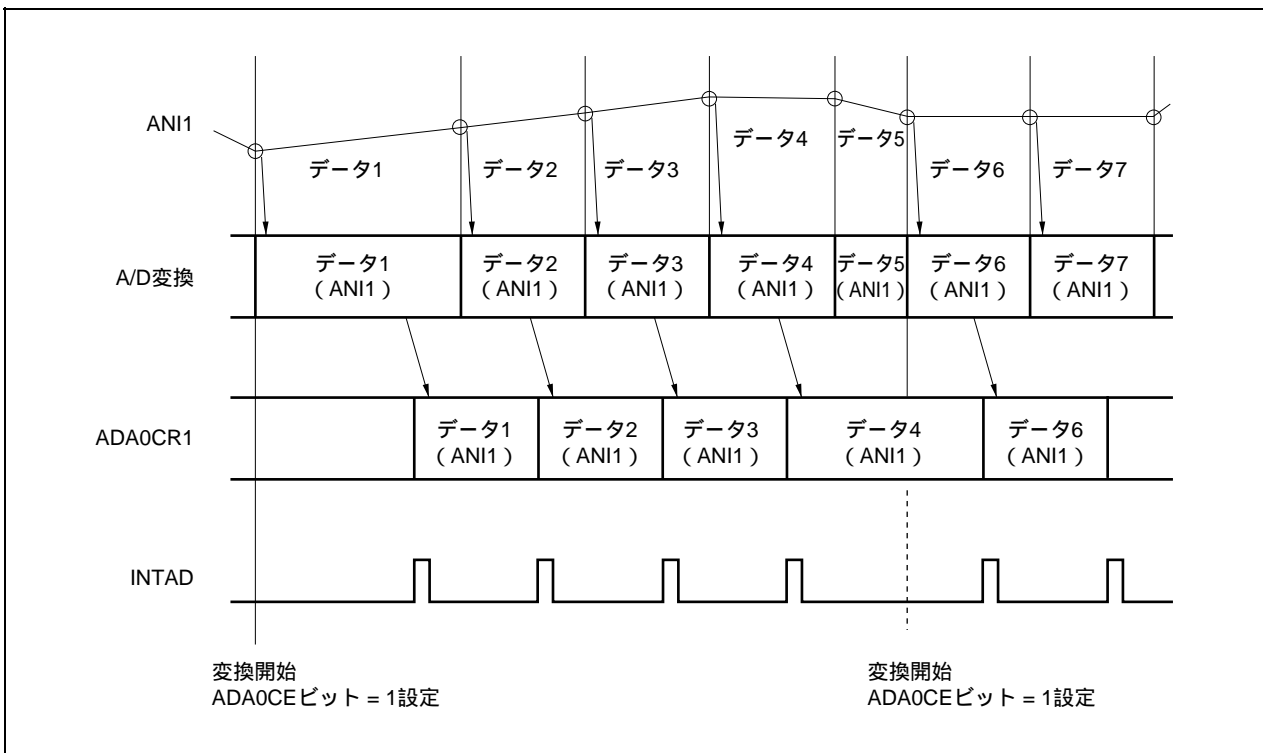
動作モードはADA0M0.ADA0MD1, ADA0MD0ビットで設定します。

(1) 連続セレクト・モード

ADA0Sレジスタで指定される1つのアナログ入力端子の電圧を連続してA/D変換します。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。このモードではアナログ入力端子とADA0CRnレジスタは1対1に対応しており, 1回のA/D変換終了ごとにA/D変換終了割り込み要求信号 (INTAD) が発生します。変換終了後はADA0M0.ADA0CEビットを“0”にしないかぎり, 次の変換を繰り返していきます (n = 0-15)。

図11-3 連続セレクト・モード動作タイミング例 (ADA0Sレジスタ = 01H)

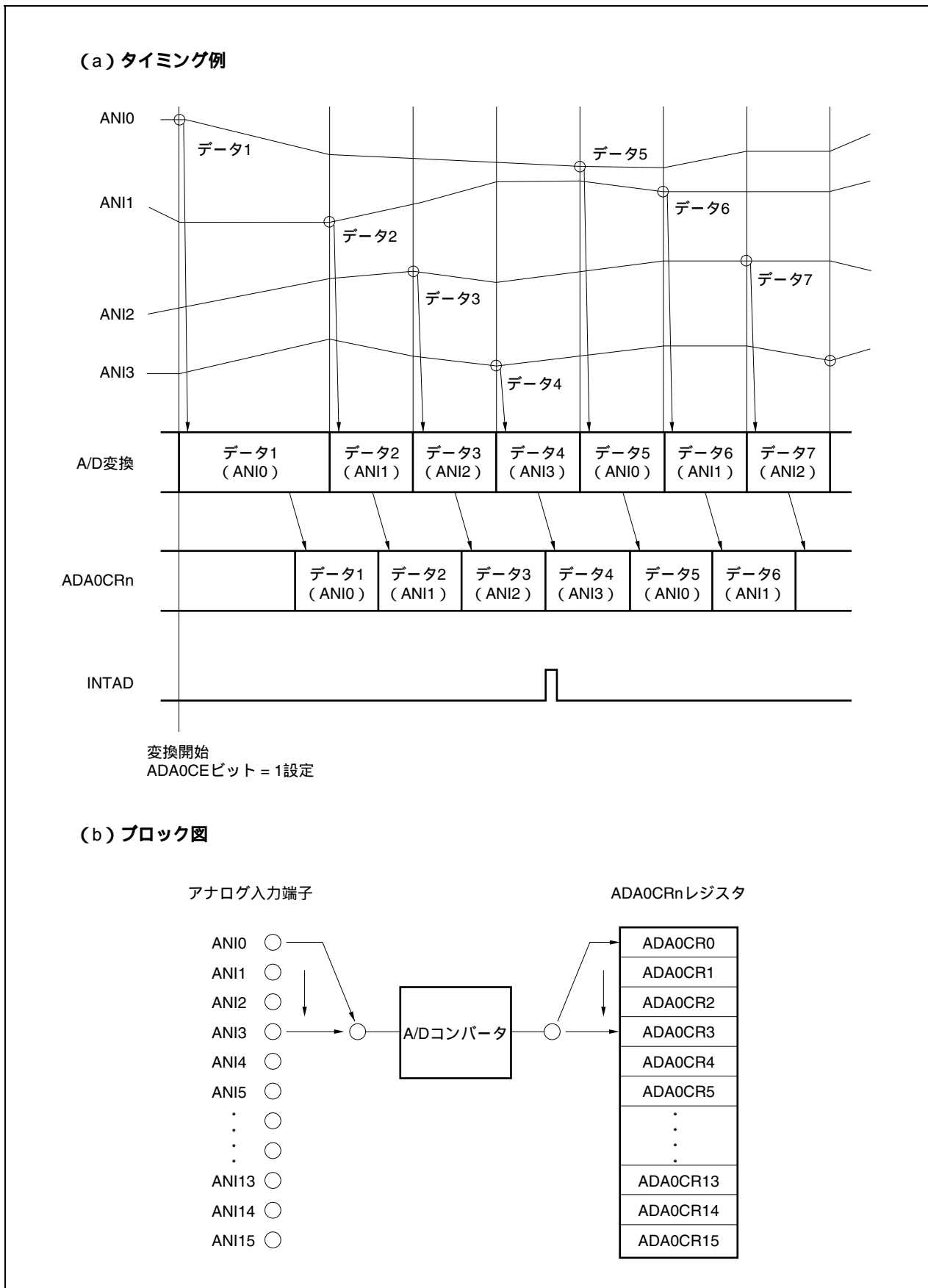


(2) 連続スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択し, A/D変換を連続で行います。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。ADA0Sレジスタで指定したアナログ入力端子の変換を終了すると, INTAD信号が発生し, ADA0CEビットを“0”にしないかぎり, 再びANI0端子からA/D変換を開始します (n = 0-15)。

図11-4 連続スキャン・モード動作タイミング例 (ADA0Sレジスタ = 03H)

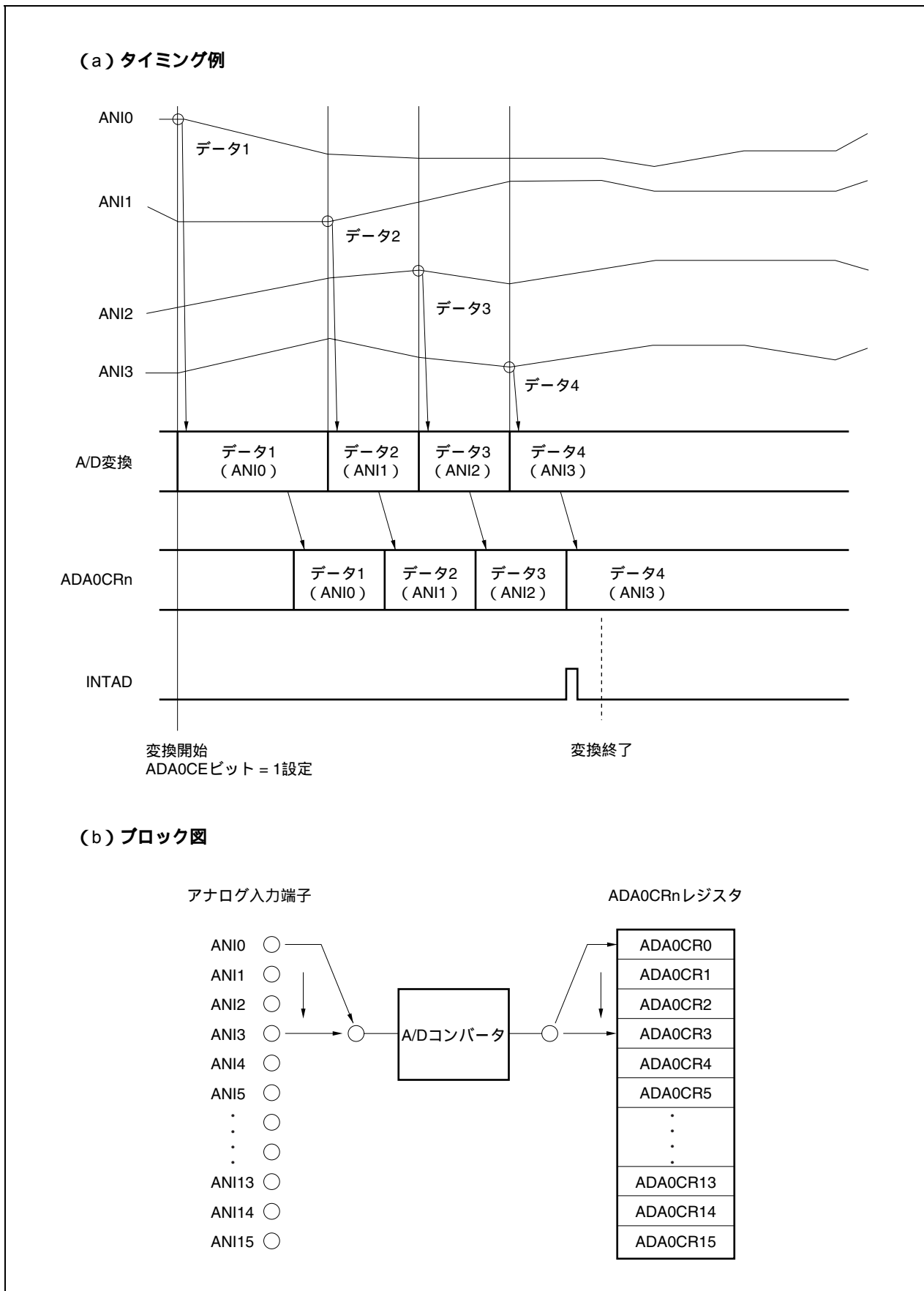


(3) ワンショット・スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択し、A/D変換します。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。ADA0Sレジスタで指定したアナログ入力端子の変換を終了すると、INTAD信号が発生し、A/D変換終了後はA/D変換動作を停止します (n = 0-15)。

図11-5 ワンショット・スキャン・モード動作タイミング例 (ADA0Sレジスタ = 03H)



11.5.4 パワー・フェイル比較モード

ADA0PFM, ADA0PFTレジスタにより, A/D変換終了割り込み要求信号(INTAD)を次のように制御できます。

- ・ ADA0PFM.ADA0PFEビット = 0の場合, 変換終了ごとにINTAD信号が発生します(通常のA/Dコンバータとして使用)。
- ・ ADA0PFEビット = 1かつADA0PFM.ADA0PFCビット = 0の場合, 変換終了タイミングでADA0CRnHレジスタとADA0PFTレジスタの値を比較し, ADA0CRnH > ADA0PFTの場合のみ, INTAD信号が発生します。
- ・ ADA0PFEビット = 1かつADA0PFCビット = 1の場合, 変換終了タイミングでADA0CRnHレジスタとADA0PFTレジスタの値を比較し, ADA0CRnH < ADA0PFTの場合のみ, INTAD信号が発生します。

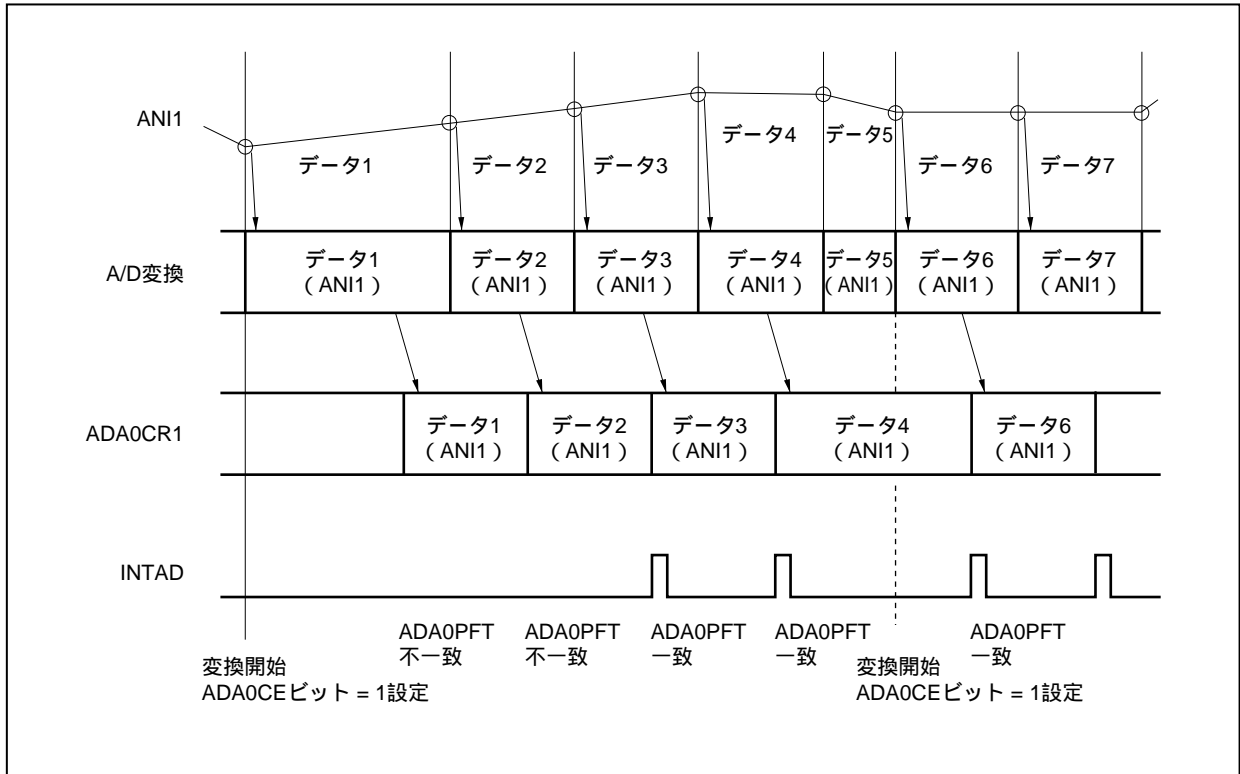
備考 n = 0-15

パワー・フェイル比較モードにもANI0-ANI15端子を設定するモードとして, 連続セレクト・モード, 連続スキャン・モード, ワンショット・スキャン・モードの3つがあります。

(1) 連続セレクト・モード

ADA0Sレジスタで指定された1つのアナログ入力端子電圧の変換結果とADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CRnレジスタに格納し、INTAD信号が発生します。一致しない場合、変換結果をADA0CRnレジスタに格納し、INTAD信号を発生しません。変換終了後はADA0M0.ADA0CEビットを“0”にしないかぎり、次の変換を繰り返し行います (n = 0-15)。

図11 - 6 連続セレクト・モード動作タイミング例 (パワー・フェイル比較時 : ADA0Sレジスタ = 01H)

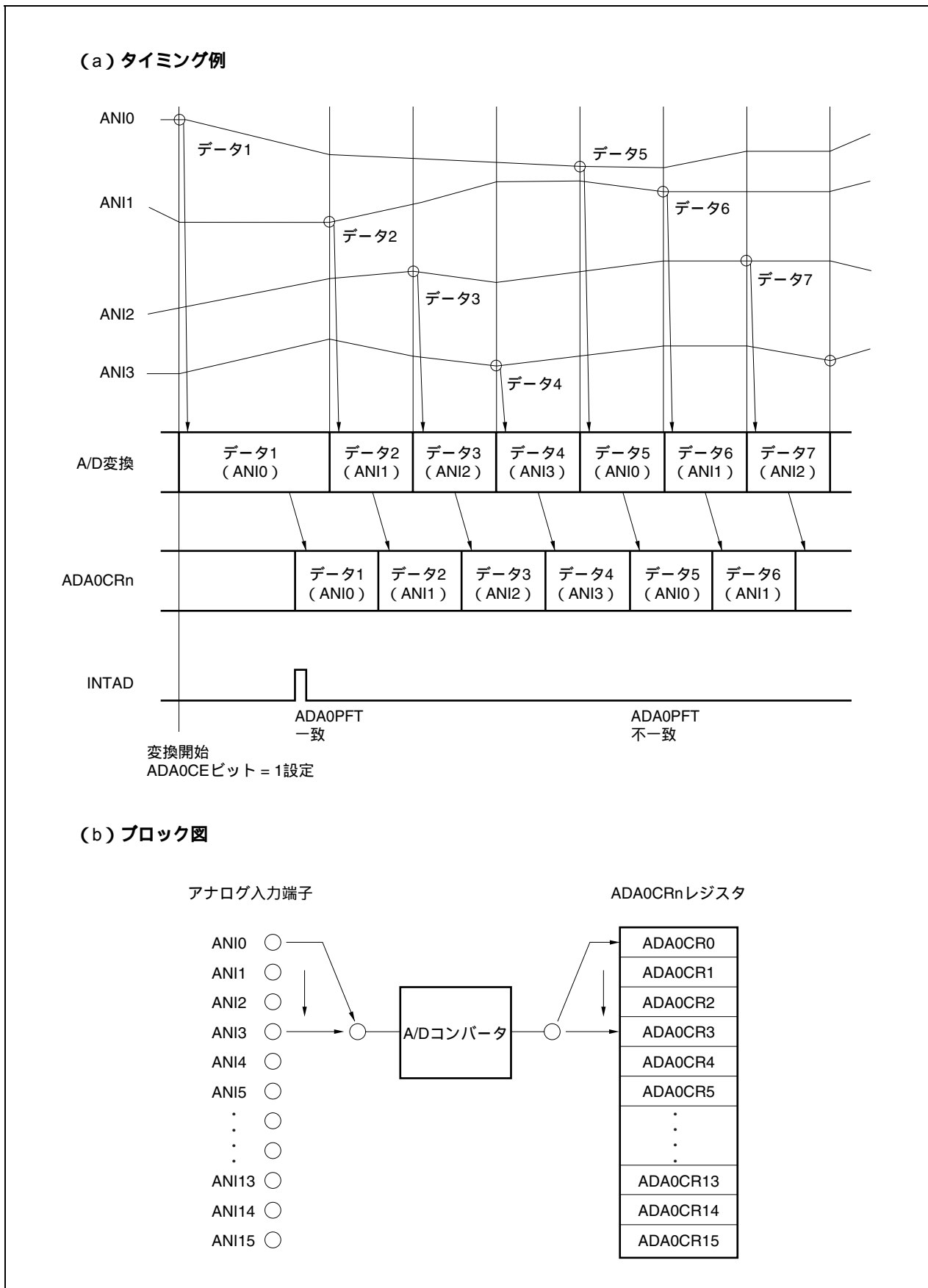


(2) 連続スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択した変換結果を格納し、チャンネル0のADA0CR0HレジスタとADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生します。一致しない場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生しません。

ADA0CR0レジスタに格納後、ADA0Sレジスタで指定されたアナログ入力端子まで順に変換結果を格納します。変換終了後はADA0CEビットを“0”にしないかぎり、再びANI0端子から変換を開始します。

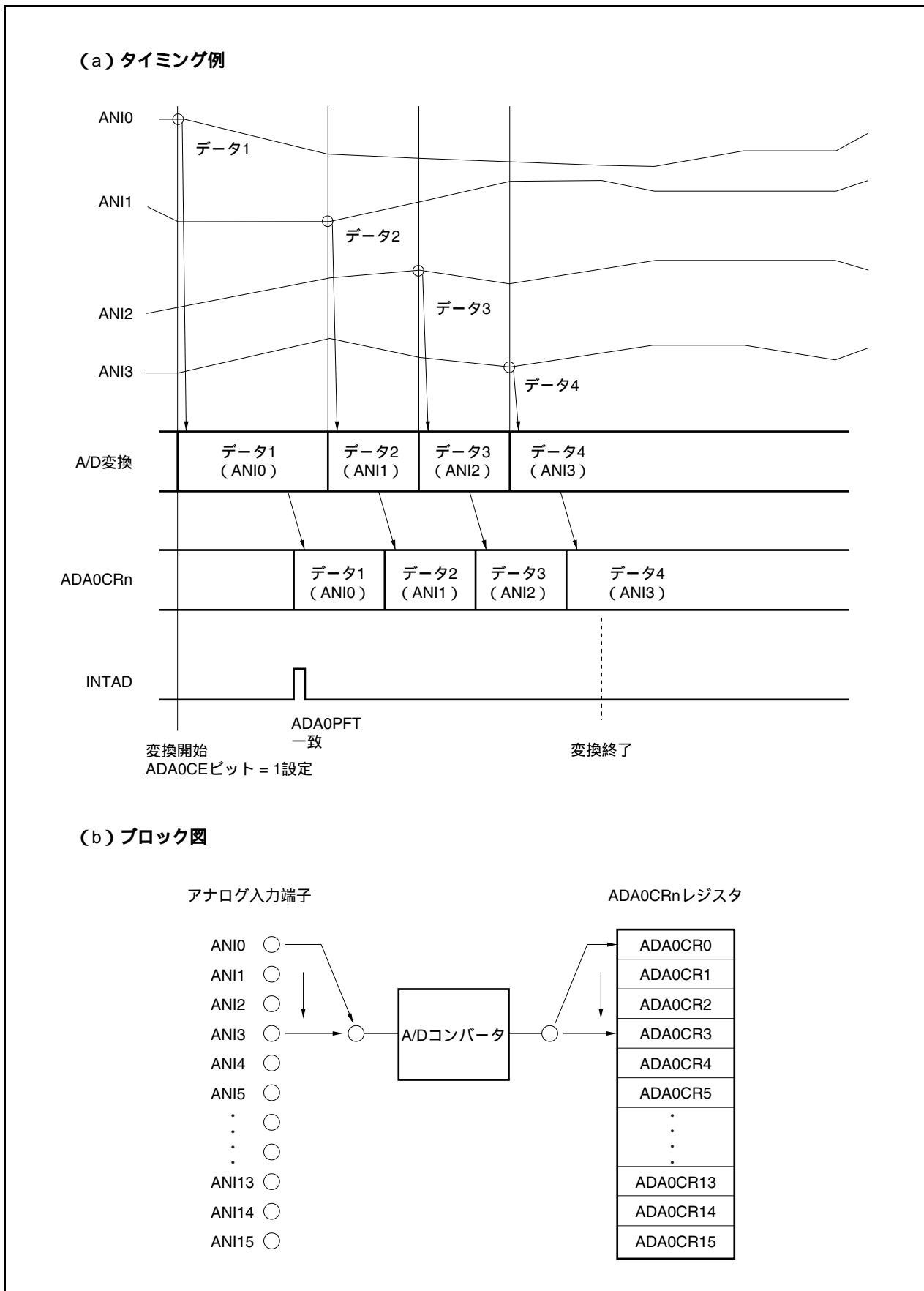
図11-7 連続スキャン・モード動作タイミング例 (パワー・フェイル比較時: ADA0Sレジスタ = 03H)



(3) ワンショット・スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択した変換結果を格納し、チャンネル0のADA0CR0HレジスタとADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生します。一致しない場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生しません。ADA0CR0レジスタに格納後、ADA0Sレジスタで指定されたアナログ入力端子まで順に変換結果を格納します。変換終了後は変換を停止します。

図11-8 ワンショット・スキャン・モード動作タイミング例 (パワー・フェイル比較時: ADA0Sレジスタ = 03H)



11.6 注意事項

(1) A/Dコンバータ未使用時について

未使用時は、ADA0M0.ADA0CEビット = 0とすることにより消費電力を低減できます。

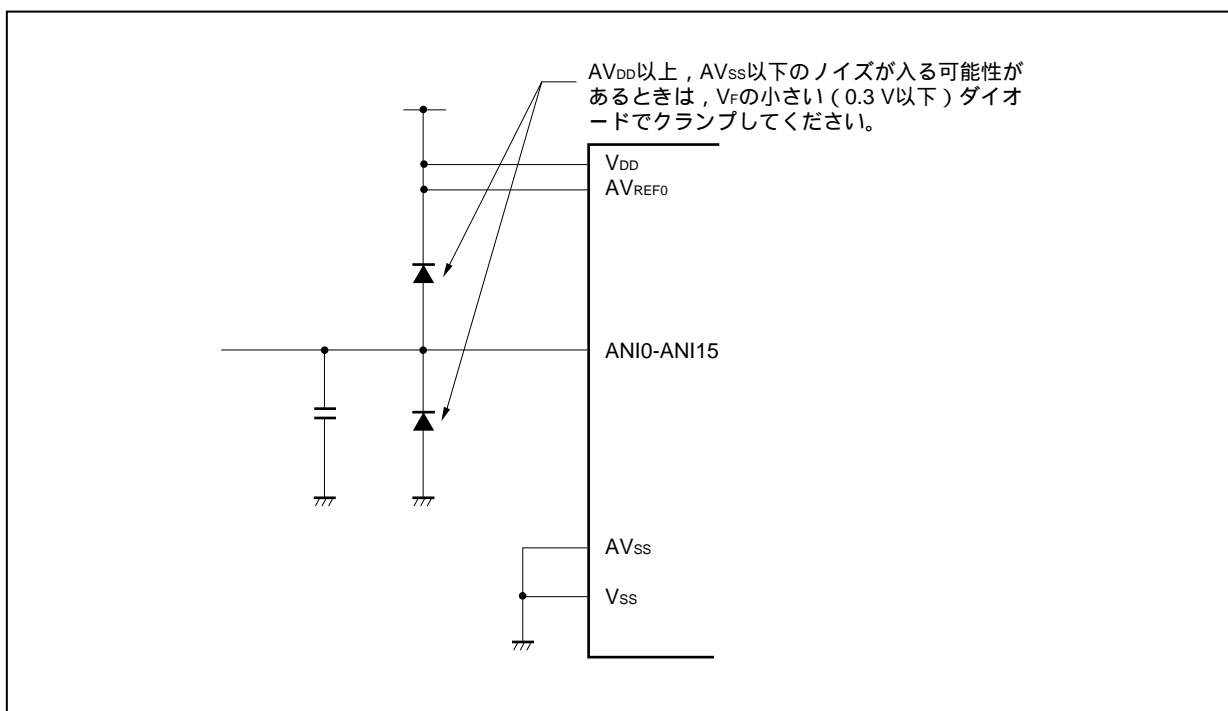
(2) ANI0-ANI15端子入力範囲について

ANI0-ANI15端子の入力電圧は規格の範囲内で使用してください。ただし、絶対最大定格の範囲内であっても AV_{REF0} 以上、 AV_{SS} 以下の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) ノイズ対策について

10ビット分解能を保つためには、ANI0-ANI15端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図11-9のようにコンデンサを外付けすることを推奨します。

図11-9 アナログ入力端子の処理



(4) 兼用入出力について

アナログ入力（ANI0-ANI15）端子はポート端子と兼用になっています。ANI0-ANI15端子のいずれかを選択してA/D変換をする場合、変換中に入力ポートへの読み出し命令、または出力ポートへの書き込み命令を実行しないでください。変換分解能が低下することがあります。

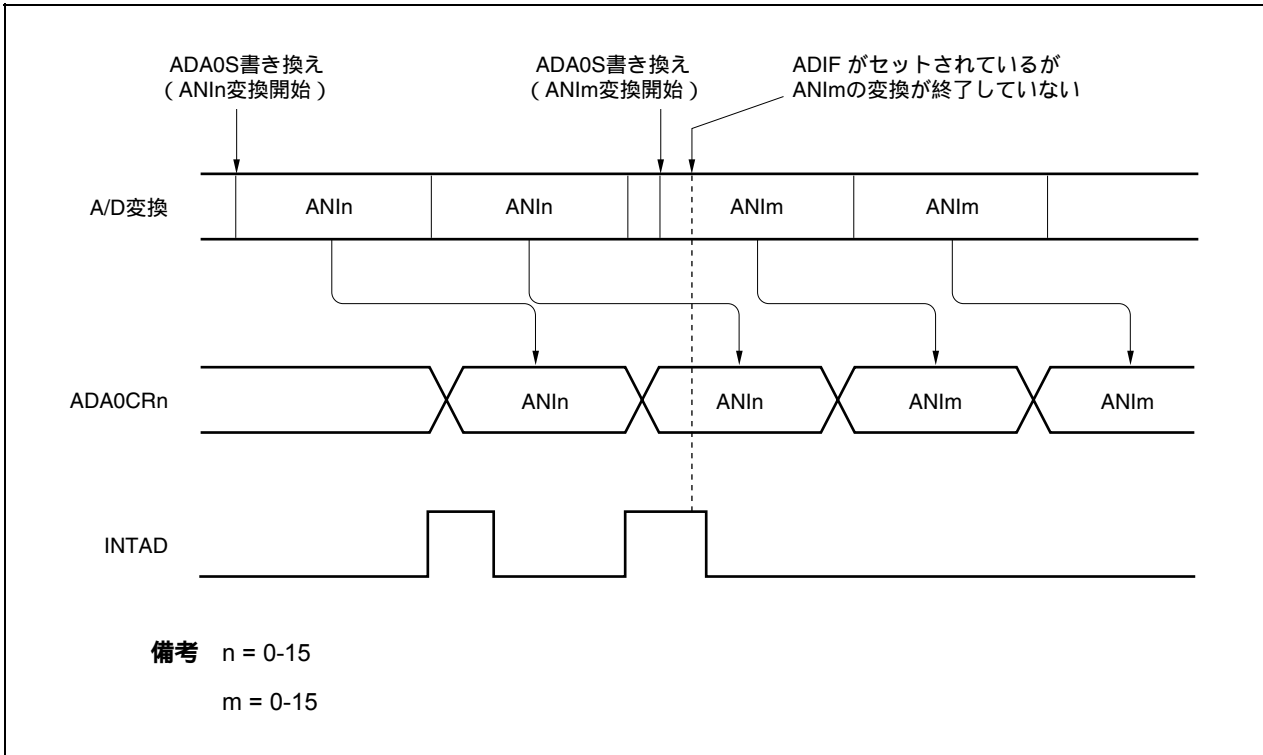
また、A/D変換中に出力ポートに設定している端子で、ポート端子に接続される外部回路の影響で電流が流れる場合も変換分解能が低下することがあります。

A/D変換中の端子に隣接する端子へデジタル・パルス印加したりデジタル・パルス出力したりすると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加またはパルス出力はしないでください。

(5) 割り込み要求フラグ (ADIF) について

ADA0Sレジスタを変更しても、割り込み要求フラグ (ADIF) はクリアされません。したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADA0Sレジスタ書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があります、ADA0Sレジスタ書き換え直後にADIFフラグを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされている場合がありますので注意してください。また、A/D変換を一度停止させて再開する場合は、再開する前にADIFフラグをクリアしてください。

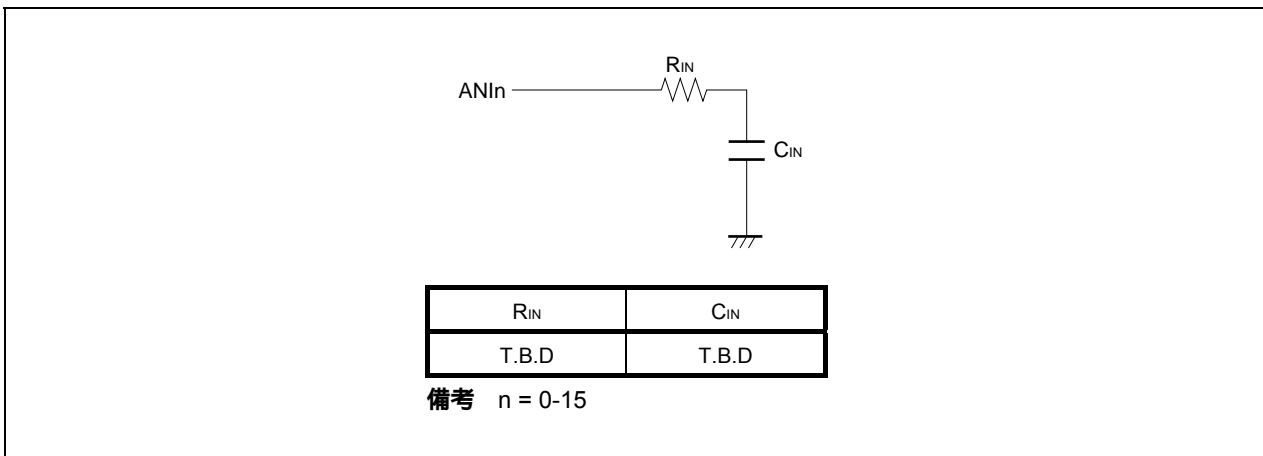
図11 - 10 A/D変換終了割り込み要求発生タイミング



(6) 内部等価回路について

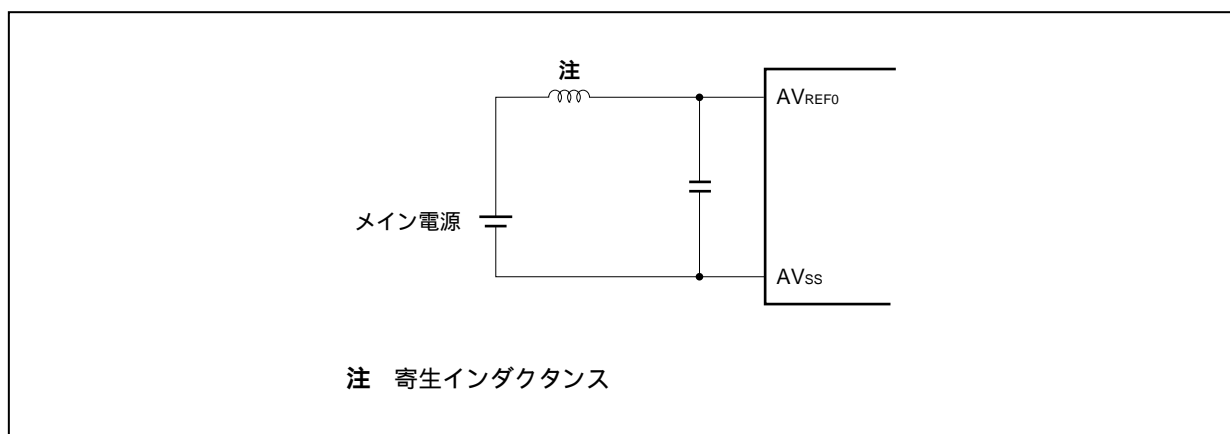
アナログ入力部の等価回路を次に示します。

図11 - 11 ANIn端子内部等価回路



(7) AV_{REF0}端子について

- (a) AV_{REF0}端子はA/Dコンバータの電源端子を兼用しており、また兼用ポートにも電源を供給しています。したがって、バックアップ電源に切り替えるようなアプリケーションにおいても図11-12のように必ずV_{DD}と同じ電位を印加してください。
- (b) AV_{REF0}端子はA/Dコンバータ用の基準電圧端子を兼用しています。したがって、AV_{REF0}端子への供給部のインピーダンス値が高い場合や、電源の電流供給能力が低い場合、変換時に流れる電流（特に変換動作許可ADA0CEビット = 1とした直後）により基準電圧が変動し、変換精度が悪くなるおそれがあります。これを避けるため図11-12のようにAV_{REF0}端子とAV_{SS}端子間にコンデンサを接続し変動を抑えるようにすることを推奨します。
- (c) AV_{REF0}端子への供給部に直流抵抗値（ダイオード挿入など）が高いと、A/D変換電流による電圧降下により、変換動作停止時より動作許可時のほうが電圧が低くなる可能性があります。

図11-12 AV_{REF0}端子の処理例

(8) ADA0CRnレジスタの読み出しについて

ADA0M0-ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに対して書き込み動作を行ったとき、ADA0CRnレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、ADA0M0-ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに対して書き込み動作を行う前に読み出してください。また、外部/タイマ・トリガを受け付けたときも、ADA0CRnレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、次の外部/タイマ・トリガを受け付ける前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(9) A/D変換結果について

アナログ入力端子および基準電圧入力端子にノイズがのる場合は、ノイズにより不正な変換結果が生じることがあります。この不正な変換結果により、システムに悪影響を与えることを避けるために、ソフトウェア処理が必要です。次にソフトウェア処理の例を示します。

- ・複数回のA/D変換結果の平均値をA/D変換結果として使用する。
- ・複数回のA/D変換を連続して行い、特異な変換結果が得られた場合、この値を除外した変換結果を使用する。

- ・システムに異常が発生したと判断されるようなA/D変換結果が得られた場合、ただちに異常処理を行わず、再度異常発生を確認した上で異常処理を行う。

(10) スタンバイ・モードについて

A/Dコンバータは、STOPモード時に動作が停止するため、変換結果は無効になり消費電力を低減できます。STOPモード解除後、再び動作を開始しますが、STOPモード解除後のA/D変換結果は無効です。STOPモード解除後にA/Dコンバータを使用する場合は、STOPモード設定前またはSTOPモード解除後にADA0M0.ADA0CEビット = 0に設定してからSTOPモード解除後にADA0CEビット = 1に設定してください。

IDLE1, IDLE2モード, サブクロック動作モードでは動作が保持されるため、消費電力を低減する場合にはADA0M0.ADA0CEビット = 0にしてください。ただし、IDLE1, IDLE2モード期間中は、アナログ入力電圧値が保持できなくなるため、IDLE1, IDLE2モード解除後のA/D変換結果は無効です。また、IDLE1, IDLE2モード設定前のA/D変換結果は有効です。

(11) 安定時間中のレジスタの書き換え, トリガ入力について

安定時間中のADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTのレジスタの書き換え, およびトリガ入力を禁止します。

(12) A/D変換結果のばらつきについて

電源電圧の変動やノイズなどの影響によりA/D変換結果がばらつくことがあります。ばらつきを軽減する必要がある場合は、A/D変換結果の平均値をとるなど、プログラムで対策してください。

(13) A/D変換のヒステリシス特性について

逐次比較型A/Dコンバータは、内部のサンプル&ホールド用コンデンサにアナログ入力電圧を保持し、そのあと、A/D変換を行います。A/D変換が終了したあとも、内部のサンプル&ホールド用コンデンサには、アナログ入力電圧が残っています。このため次のような現象が起きることがあります。

- ・同一チャンネルでA/D変換を実行する場合、以前のA/D変換時よりも高い電圧、または低い電圧に変化していると、変換結果が以前の値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。
- ・アナログ入力チャンネルを切り替える場合、1つのA/Dコンバータを用いてA/D変換を行っているため、変換結果が以前のチャンネルの値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。

このため、より正確な変換結果を得たい場合は、同一チャンネルで2回連続A/D変換を行い、1回目の変換結果を廃棄してください。

11.7 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次のような式になります。

$$\begin{aligned} 1 \text{ \%FSR} &= (\text{変換可能なアナログ入力電圧の最大値} - \text{変換可能なアナログ入力電圧の最小値}) / 100 \\ &= (AV_{REF0} - 0) / 100 \\ &= AV_{REF0} / 100 \end{aligned}$$

分解能10ビットのとき、1 LSBは次のようになります。

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \text{ \%FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

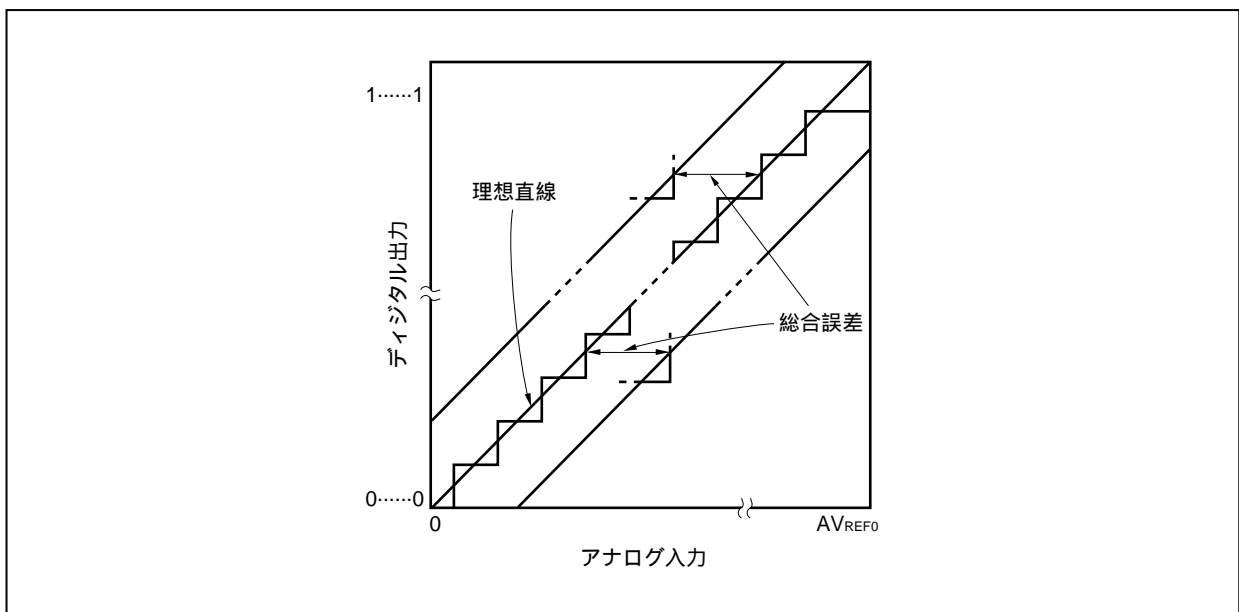
(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、直線性誤差、およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

図11 - 13 総合誤差

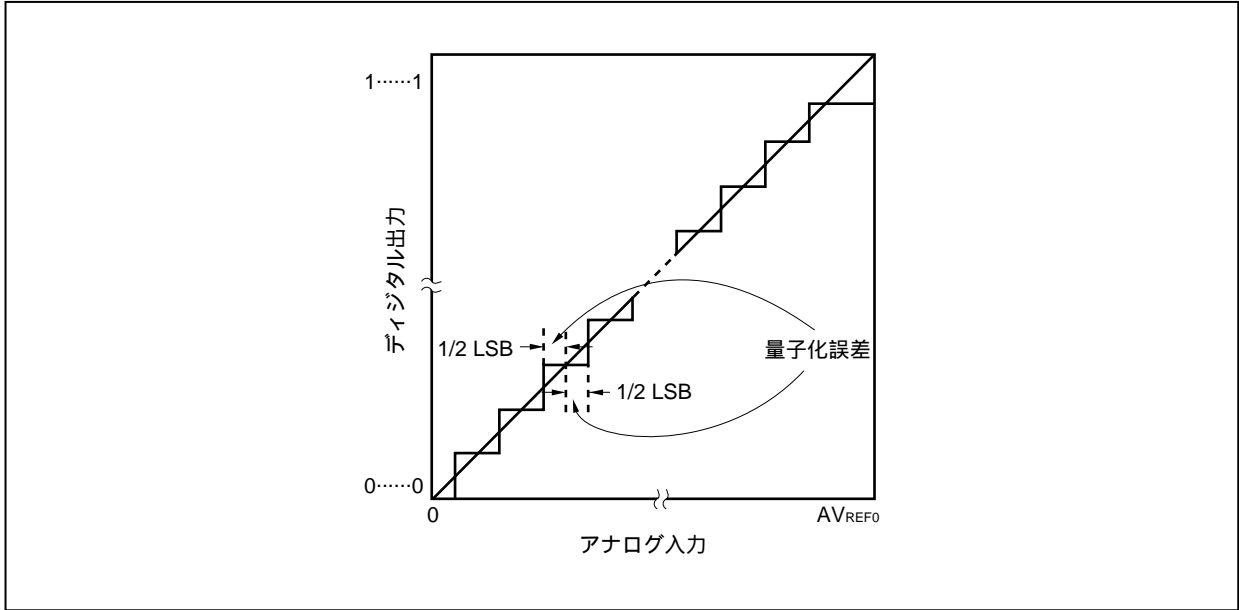


(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

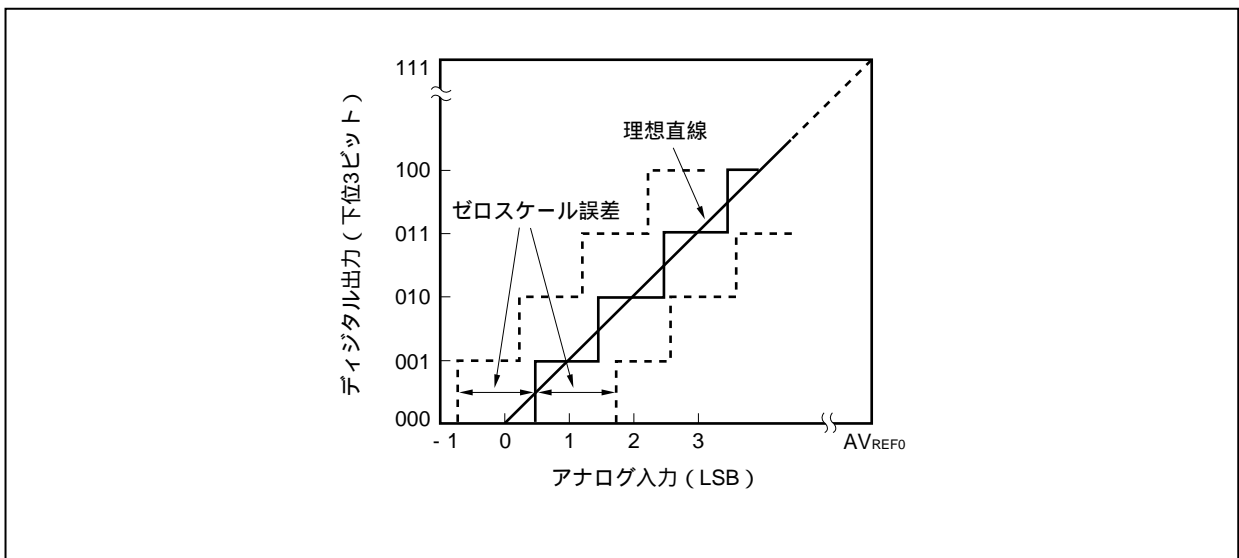
図11 - 14 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値 ($1/2$ LSB) との差を表します。

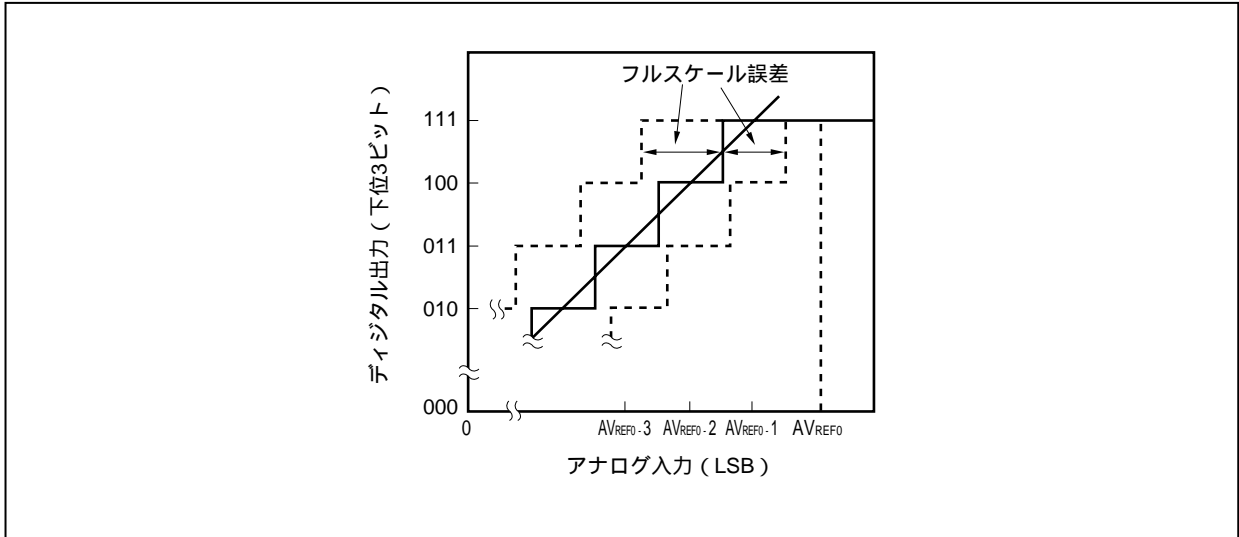
図11 - 15 ゼロスケール誤差



(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール - 3/2 LSB）との差を表します。

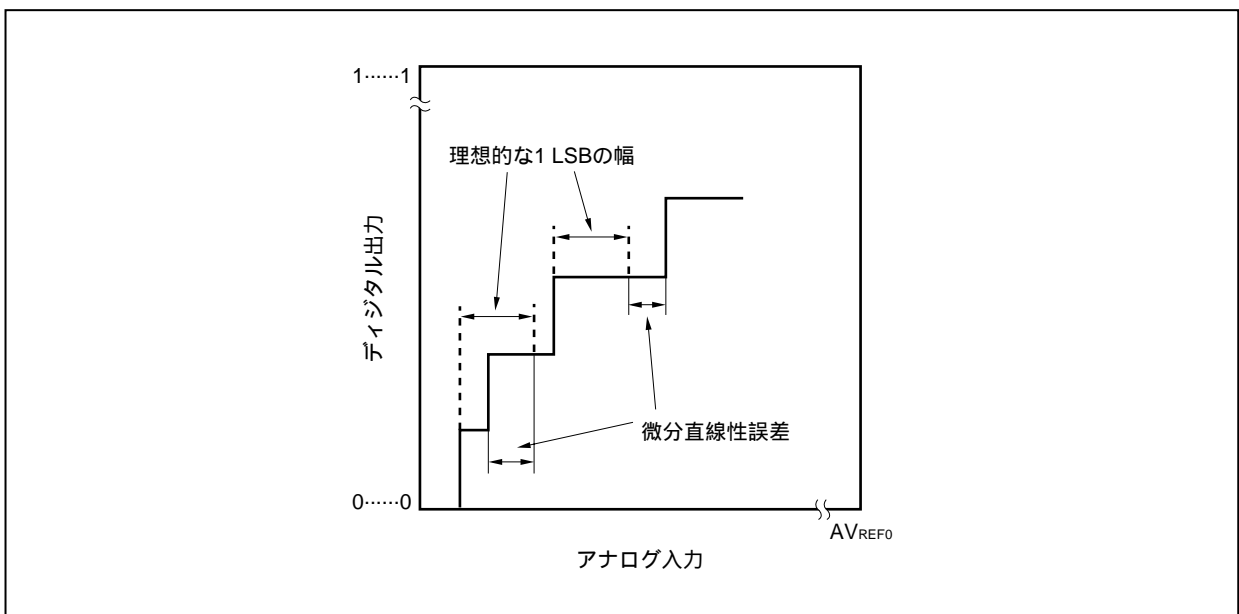
図11 - 16 フルスケール誤差



(6) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。同一チャネルのアナログ入力端子に印加する電圧をAVSSからAVREF0まで少しずつ単調増加させた場合のA/D変換の基本特性を示します。入力電圧が増減する場合や複数チャネルを使用する場合は、11.7 (2) 総合誤差を参照してください。

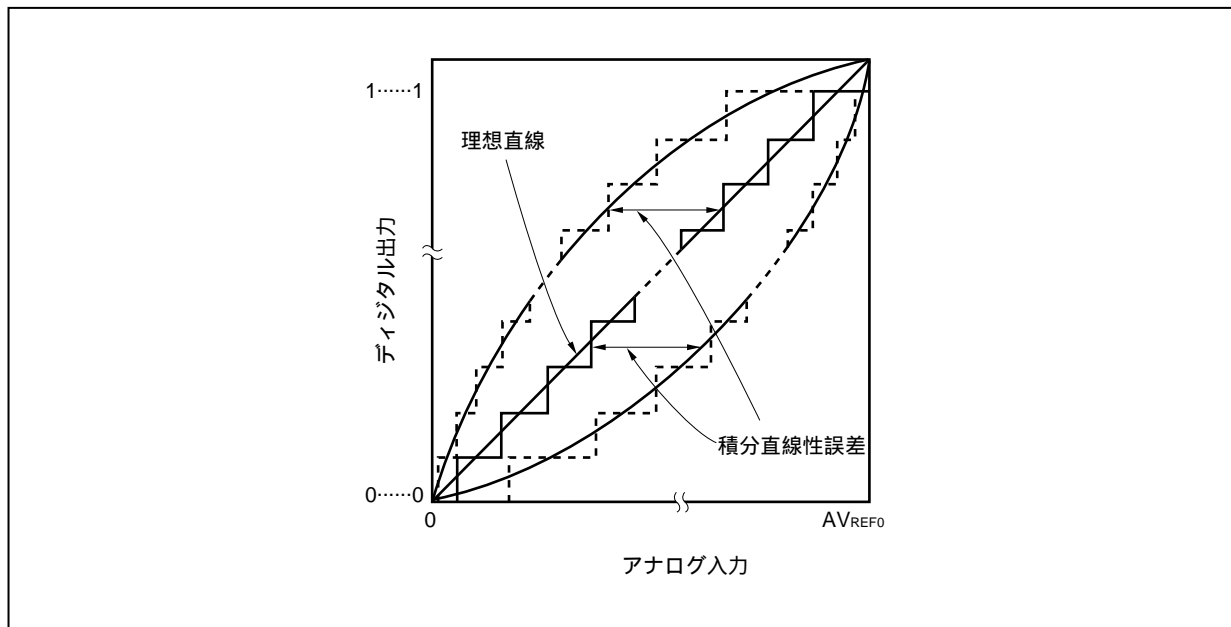
図11 - 17 微分直線性誤差



(7) 積分直線性誤差

変換特性が、理想的な直線関係からはずれている程度を指します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

図11 - 18 積分直線性誤差



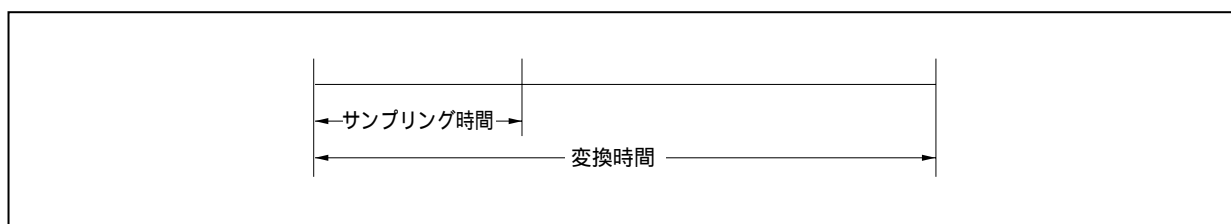
(8) 変換時間

各トリガが発生してから、デジタル出力が得られるまでの時間を表します。
特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。

図11 - 19 サンプリング時間



第12章 アシクロナス・シリアル・インタフェースA(UARTA)

V850ES/HG2は、アシクロナス・シリアル・インタフェースA(UARTA)を3チャンネル搭載しています。

12.1 特徴

転送速度 300 bps ~ 312.5 kbps (内部システム・クロック20 MHz, 専用ポー・レート・ジェネレータ使用)

全二重通信 UARTAn受信データ・レジスタ(UAnRX)内蔵

UARTAn送信データ・レジスタ(UAnTX)内蔵

2端子構成 TXDAn: 送信データの出力端子

RXDAn: 受信データの入力端子

受信エラー検出機能

- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー

割り込みソース: 2種類

- ・受信完了割り込み(INTUAnR) : 受信許可状態において, 3種類の受信エラーの論理和で発生または, シリアル転送完了後, 受信シフト・レジスタから受信データ・レジスタへ受信データを転送すると発生
- ・送信許可割り込み(INTUAnT) : 送信許可状態において, 送信データ・レジスタから送信シフト・レジスタへ送信データを転送すると発生

キャラクタ長: 7, 8ビット

パリティ機能: 奇数, 偶数, 0, なし

送信ストップ・ビット: 1, 2ビット

専用ポー・レート・ジェネレータ内蔵

MSB/LSBファースト転送選択可能

送受信データの反転入出力が可能

LIN(Local Interconnect Network) 通信フォーマットにおけるSBF(Synch Break Field)送受信可能

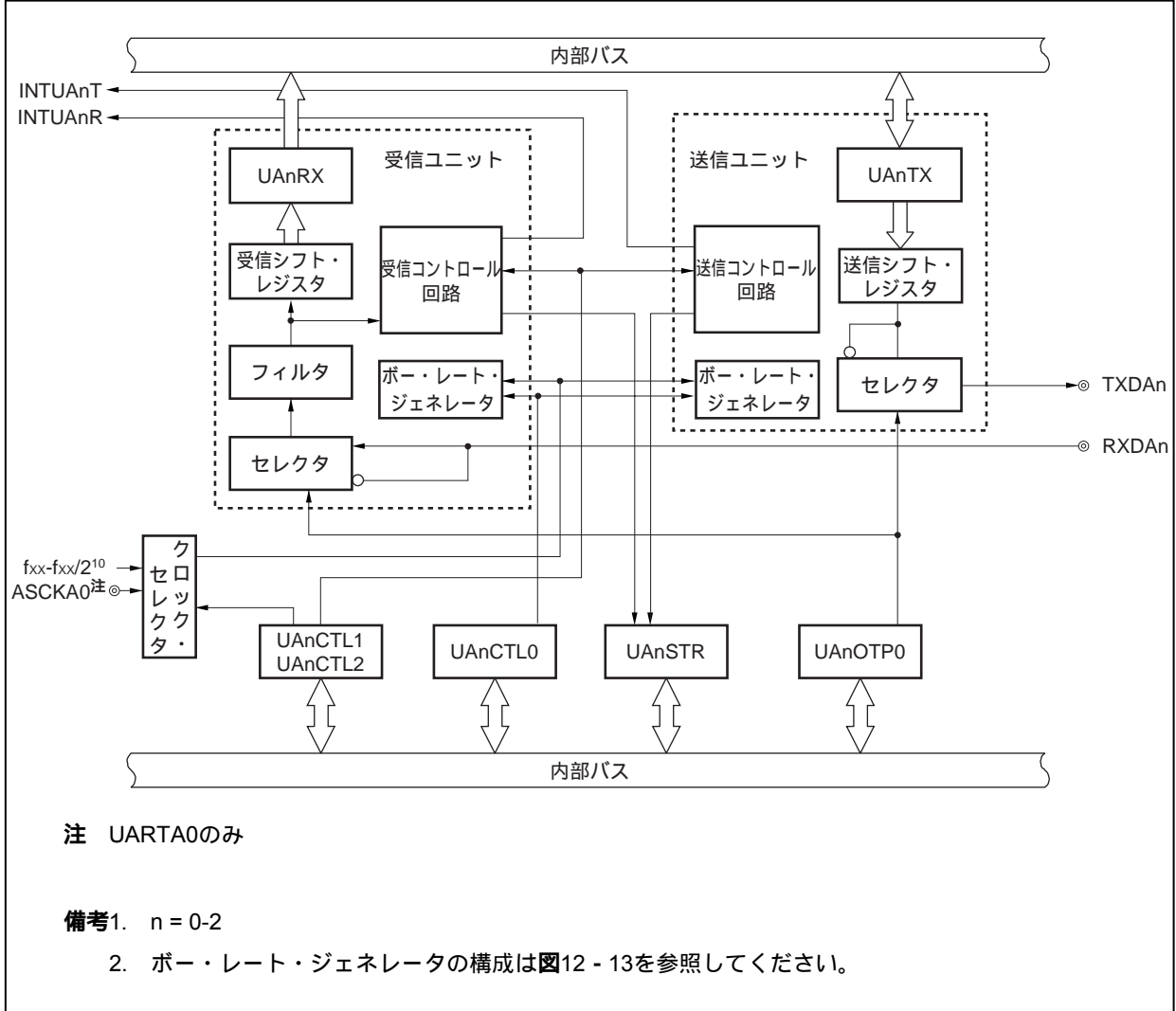
- ・SBF送信は13-20ビットまで選択可能
- ・SBF受信は11ビット以上認識可能
- ・SBF受信フラグあり

備考 n = 0-2

12.2 構成

次にUARTAnのブロック図を示します。

図12 - 1 アシクロナス・シリアル・インタフェースAnのブロック図



UARTAnは、次のハードウェアで構成されています。

表12 - 1 UARTAnの構成

項目	構成
レジスタ	UARTAn制御レジスタ0 (UANCTL0) UARTAn制御レジスタ1 (UANCTL1) UARTAn制御レジスタ2 (UANCTL2) UARTAnオプション制御レジスタ0 (UANOPT0) UARTAn状態レジスタ (UANSTR) UARTAn受信シフト・レジスタ UARTAn受信データ・レジスタ (UANRX) UARTAn送信シフト・レジスタ UARTAn送信データ・レジスタ (UANTX)

(1) UARTAn制御レジスタ0 (UAnCTL0)

UAnCTL0レジスタは、UARTAnの動作を指定する8ビット・レジスタです。

(2) UARTAn制御レジスタ1 (UAnCTL1)

UAnCTL1レジスタは、UARTAnの入カロックを選択する8ビット・レジスタです。

(3) UARTAn制御レジスタ2 (UAnCTL2)

UAnCTL2レジスタは、UARTAnのポー・レート制御する8ビット・レジスタです。

(4) UARTAnオプション制御レジスタ0 (UAnOPT0)

UAnOPT0レジスタは、UARTAnのシリアル転送を制御する8ビット・レジスタです。

(5) UARTAn状態レジスタ (UAnSTR)

UAnSTRレジスタは、受信エラー発生時のエラー内容を示すフラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット(1)され、UAnSTRレジスタの読み出しによってリセット(0)されます。

(6) UARTAn受信シフト・レジスタ

RXDAn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分のデータを受信し、ストップ・ビットを検出すると、受信データをUAnRXレジスタへ転送します。このレジスタは直接操作することはできません。

(7) UARTAn受信データ・レジスタ (UAnRX)

UAnRXレジスタは、受信データを保持する8ビットのバッファ・レジスタです。7キャラクタの受信では上位ビットには0が格納されます(LSBファースト受信時)。

受信許可状態中は、受信データは1フレーム分のシフト・イン処理終了に同期してUARTAn受信シフト・レジスタからUAnRXレジスタに転送されます。

また、UAnRXレジスタへの転送により、受信完了割り込み要求信号(INTUAnR)が発生します。

(8) UARTAn送信シフト・レジスタ

送信シフト・レジスタは、UAnTXレジスタから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

UAnTXレジスタから1バイト分のデータが転送されると、シフト・レジスタのデータをTXDAn端子から出力します。

このレジスタは直接操作することはできません。

(9) UARTAn送信データ・レジスタ (UAnTX)

UAnTXレジスタは、8ビットの送信データ用バッファです。UAnTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UAnTXレジスタにデータの書き込みが可能になる(UAnTXレジスタからUARTAn送信シフト・レジスタに1フレーム分のデータが転送される)と、送信許可割り込み要求信号(INTUAnT)が発生します。

12.3 レジスタ

(1) UARTAn制御レジスタ0 (UAnCTL0)

UAnCTL0レジスタは、UARTAnシリアル転送動作を制御する8ビットのレジスタです。
 8/1ビット単位でリード/ライト可能です。
 リセットにより10Hになります。

(1/2)

リセット時：10H R/W アドレス：UA0CTL0 FFFFFFFA00H, UA1CTL0 FFFFFFFA10H, UA2CTL0 FFFFFFFA20H							
	7	6	5	4	3	2	1 0
UAnCTL0	UAnPWR	UAnTXE	UAnRXE	UAnDIR	UAnPS1	UAnPS0	UAnCL UAnSL
(n = 0-2)							
UAnPWR	UARTAnの動作の制御						
0	UARTAn動作禁止 (UARTAnを非同期にリセット)						
1	UARTAn動作許可						
UAnPWRビットにより、UARTAn動作の制御を行います。UAnPWRビットをクリア (0) すると、TXDAn端子の出力はハイ・レベルに固定されます (UAnOPT0。UAnTDLビット = 1のときは、ロウ・レベルに固定されます)。							
UAnTXE	送信動作許可						
0	送信動作禁止						
1	送信動作許可						
<ul style="list-style-type: none"> ・ 起動時はUAnPWRビット = 1にしてから、UAnTXEビット = 1としてください。また、停止時はUAnTXEビット = 0にしてから、UAnPWRビット = 0としてください。 ・ 送信ユニットを初期化する場合は、UAnTXEビットをクリア (0) して、基本クロックの2周期分の時間を経過してから、再びUAnTXEビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては 12.6 (1) (a) 基本クロック参照)。 							
UAnRXE	受信動作許可						
0	受信動作禁止						
1	受信動作許可						
<ul style="list-style-type: none"> ・ 起動時はUAnPWRビット = 1にしてから、UAnRXEビット = 1としてください。また、停止時は、UAnRXEビット = 0にしてから、UAnPWRビット = 0としてください。 ・ 受信ユニットの状態を初期化する場合は、UAnRXEビットをクリア (0) して、基本クロックの2周期分の時間を経過してから、再びUAnRXEビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては 12.6 (1) (a) 基本クロック参照)。 							

UAnDIR	転送方向選択
0	MSB転送ファースト
1	LSB転送ファースト

・ UAnPWRビット = 0, またはUAnTXEビット = UAnRXEビット = 0の場合のみ書き換え可能です。
 ・ LINのフォーマットで送受信を行う場合は, UAnDIRビットは“1”に設定してください。

UAnPS1	UAnPS0	送信時のパリティ選択	受信時のパリティ選択
0	0	パリティを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

・ UAnPWRビット = 0, またはUAnTXEビット = UAnRXEビット = 0の場合のみ書き換え可能です。
 ・ 受信時に「0パリティとして受信」を選択した場合, パリティ判定を行いません。したがって, UAnSTR.UAnPEビットはセットされません。
 ・ LINのフォーマットで送受信を行う場合, UAnPS1, UAnPS0ビットは“00”に設定してください。

UAnCL	送受信データ1フレームのデータ・キャラクタ長指定
0	7ビット
1	8ビット

・ UAnPWRビット = 0, またはUAnTXEビット = UAnRXEビット = 0の場合のみ書き換え可能です。
 ・ LINのフォーマットで送受信を行う場合は, UAnCLビットは“1”に設定してください。

UAnSL	送信データのストップ・ビット長指定
0	1ビット
1	2ビット

UAnPWRビット = 0, またはUAnTXEビット = UAnRXEビット = 0の場合のみ書き換え可能です。

備考 パリティについての詳細は, 12.5.9 **パリティの種類と動作**を参照してください。

(2) UARTAn制御レジスタ1 (UAnCTL1)

詳細は、12.6 (2) UARTAn制御レジスタ1 (UAnCTL1) を参照してください。

(3) UARTAn制御レジスタ2 (UAnCTL2)

詳細は、12.6 (3) UARTAn制御レジスタ2 (UAnCTL2) を参照してください。

(4) UARTAnオプション制御レジスタ0 (UAnOPT0)

UAnOPT0レジスタは、UARTAnのシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより14Hになります。

(1/2)

リセット時：14H R/W アドレス：UA0OPT0 FFFFA03H, UA1OPT0 FFFFA13H,
UA2OPT0 FFFFA23H

UAnOPT0	7	6	5	4	3	2	1	0
	UAnSRF	UAnSRT	UAnSTT	UAnSLS2	UAnSLS1	UAnSLS0	UAnTDL	UAnRDL

(n = 0-2)

UAnSRF	SBF受信フラグ
0	UAnCTL0.UAnPWRビット = UAnRXEビット = 0に設定したとき。または SBF受信正常終了したとき。
1	SBF受信中
<ul style="list-style-type: none"> ・ LIN通信でのSBF (Synch Break Field) を受信していることを判断します。 ・ SBF受信エラー時、UAnSRFビットは“1”を保持し、そのあと再度SBF受信を開始します。 ・ UAnSRFビットはリードのみ可能です。 	

UAnSRT	SBF受信トリガ
0	
1	SBF受信トリガ
<ul style="list-style-type: none"> ・ LIN通信でのSBFの受信トリガ・ビットであり、読み出した場合、常に“0”が読み出されます。SBFを受信する場合、UAnSRTビットをセット(1)しSBF受信可能状態にしてください。 ・ UAnPWRビット = UAnRXEビット = 1としてからUAnSRTビットを設定してください。 	

UAnSTT	SBF送信トリガ
0	
1	SBF送信トリガ
<ul style="list-style-type: none"> ・ LIN通信でのSBFの送信トリガ・ビットであり、読み出した場合、常に“0”が読み出されます。 ・ UAnPWRビット = UAnTXEビット = 1としてからUAnSTTビットを設定してください。 	

注意 UAnSRT, UAnSTTビットは、SBF受信中 (UAnSRFビット = 1) にセット(1)しないでください。

UAnSLS2	UAnSLS1	UAnSLS0	SBF送信長選択
1	0	1	13ビット長で出力 (リセット値)
1	1	0	14ビット長で出力
1	1	1	15ビット長で出力
0	0	0	16ビット長で出力
0	0	1	17ビット長で出力
0	1	0	18ビット長で出力
0	1	1	19ビット長で出力
1	0	0	20ビット長で出力

UAnPWRビット = 0またはUAnTXEビット = 0のとき設定できます。

UAnTDL	送信データ・レベル・ビット
0	転送データ通常出力
1	転送データ反転出力

・ UAnTDLビットによりTXDAn端子の出力レベルを反転できます。
 ・ UAnPWRビット = 0またはUAnTXEビット = 0のとき設定できます。

UAnRDL	受信データ・レベル・ビット
0	転送データ通常入力
1	転送データ反転入力

・ UAnRDLビットによりRXDAn端子の入力レベルを反転できます。
 ・ UAnPWRビット = 0またはUAnRXEビット = 0のとき設定できます。

(5) UARTAn状態レジスタ (UAnSTR)

UAnSTRレジスタは、UARTAnの転送状態と受信エラー内容を示す8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。UAnTSFビットはリードのみ可能で、UAnPE、UAnFE、UAnOVEビットについてはリード/ライト可能ですが、ライト時は“0”ライトによるクリアのみ可能で、“1”ライトによるセット動作はできません (“1”をライトしても値を保持します)。

次に初期化条件を示します。

レジスタ/ビット	初期化条件
UAnSTRレジスタ	・ リセット ・ UAnCTL0.UAnPWRビット = 0
UAnTSFビット	・ UAnCTL0.UAnTXEビット = 0
UAnPE, UAnFE, UAnOVEビット	・ 0の書き込み ・ UAnCTL0.UAnRXEビット = 0

リセット時：00H R/W アドレス：UA0STR FFFFFFFA04H, UA1STR FFFFFFFA14H,
UA2STR FFFFFFFA24H

	7	6	5	4	3	2	1	0
UAnSTR (n = 0-2)	UAnTSF	0	0	0	0	UAnPE	UAnFE	UAnOVE

UAnTSF	転送状態フラグ
0	<ul style="list-style-type: none"> ・ UAnPWRビット = 0, またはUAnTXEビット = 0に設定したとき ・ 転送完了後に, UAnTXレジスタに次のデータ転送がなかったとき
1	UAnTXレジスタへの書き込み
<p>連続送信を行っている場合にはUAnTSFビットは常に“1”になっています。 送信ユニットの初期化を行う場合には, UAnTSFビット = 0になっていることを確認してから初期化を行ってください。UAnTSFビット = 1の状態での初期化を行った場合の送信データは保証できません。</p>	

UAnPE	パリティ・エラー・フラグ
0	<ul style="list-style-type: none"> ・ UAnPWRビット = 0, またはUAnRXEビット = 0に設定したとき ・ “0” をライトしたとき
1	受信時, データのパリティとパリティ・ビットが一致しないとき
<ul style="list-style-type: none"> ・ UAnPEビットの動作は, UAnCTL0.UAnPS1, UAnPS0ビットの設定により左右されます。 ・ UAnPEビットはリード/ライト可能となっていますが, “0” ライトによるクリアのみ可能で, “1” ライトによるセット動作はできません。“1” をライトした場合, 値を保持します。 	

UAnFE	フレーミング・エラー・フラグ
0	<ul style="list-style-type: none"> ・ UAnPWRビット = 0, またはUAnRXEビット = 0に設定したとき ・ “0” をライトしたとき
1	受信時, ストップ・ビットが検出されないとき
<ul style="list-style-type: none"> ・ 受信データのストップ・ビットは, UAnCTL0.UAnSLビットの値に関わらず, 最初の1ビットのみチェックします。 ・ UAnFEビットはリード/ライト可能となっていますが, “0” ライトによるクリアのみ可能で, “1” ライトによるセット動作はできません。“1” をライトした場合, 値を保持します。 	

UAnOVE	オーバラン・エラー・フラグ
0	<ul style="list-style-type: none"> ・ UAnPWRビット = 0, またはUAnRXEビット = 0に設定したとき ・ “0” をライトしたとき
1	UAnRXレジスタに受信データがセットされ, それを読み出す前に次の受信動作が完了したとき
<ul style="list-style-type: none"> ・ オーバラン・エラーが発生したとき, 次の受信データは受信バッファに書き込まれず, データは破棄されます。 ・ UAnOVEビットはリード/ライト可能となっていますが, “0” ライトによるクリアのみ可能で, “1” ライトによるセット動作はできません。“1” をライトした場合, 値を保持します。 	

(6) UARTAn受信データ・レジスタ (UAnRX)

UAnRXレジスタは、受信シフト・レジスタで変換したパラレル・データを格納するための8ビット・バッファ・レジスタです。

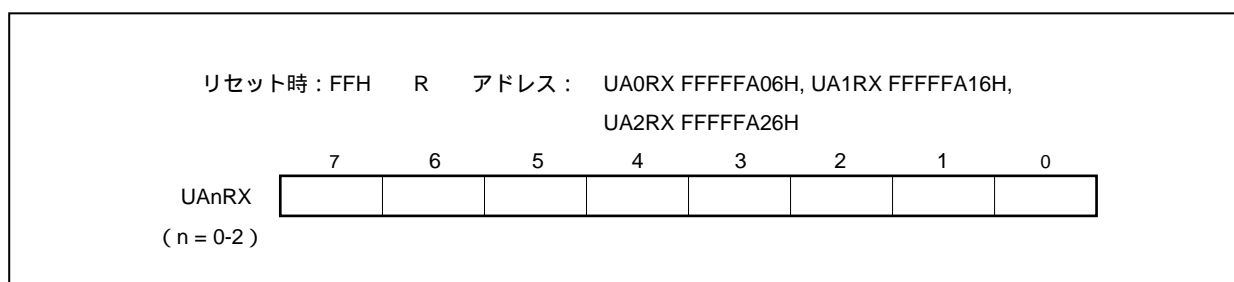
1バイト・データの受信完了により受信シフト・レジスタに格納したデータをUAnRXレジスタに転送します。

データ長を7ビットに指定し、LSBファーストで受信する場合、受信データはUAnRXレジスタのビット6-ビット0に転送され、MSBは必ず“0”になります。MSBファーストで受信する場合、受信データはUAnRXレジスタのビット7-ビット1に転送されLSBは必ず“0”になります。

オーバラン・エラー (UAnOVE) が発生した場合は、そのときの受信データはUAnRXレジスタに転送されず破棄されます。

8ビット単位でリードのみ可能です。

リセット以外に、UAnCTL0.UAnPWRビット = 0によってもUAnRXレジスタはFFHになります。

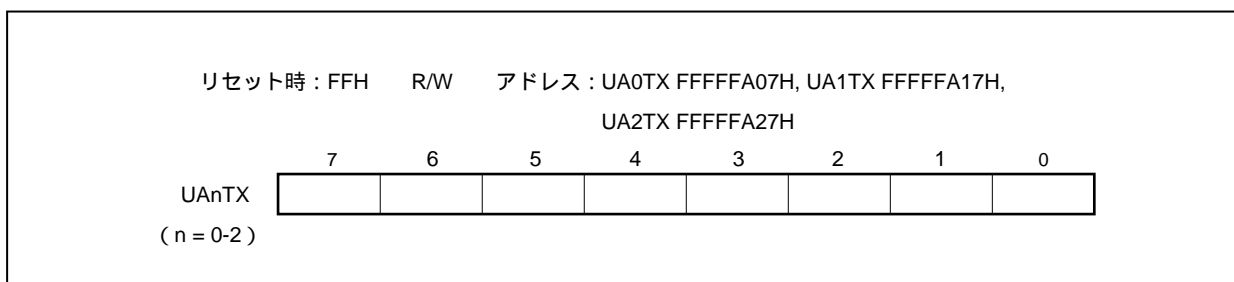


(7) UARTAn送信データ・レジスタ (UAnTX)

UAnTXレジスタは、送信データを設定するための8ビット・レジスタです。

8ビット単位でリード/ライト可能です。

リセットによりFFHになります。



12.4 割り込み要求信号

UARTAnからは次の2種類の割り込み要求信号を発生します。

- ・受信完了割り込み要求信号 (INTUAnR)
- ・送信許可割り込み要求信号 (INTUAnT)

これら2種類の割り込み要求信号のデフォルト優先順位は受信完了割り込み要求信号の方が高く、送信許可割り込み要求信号の方が低くなっています。

表12-2 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信完了	高
送信許可	低

(1) 受信完了割り込み要求信号 (INTUAnR)

受信許可状態中で、受信シフト・レジスタにデータがシフト・インされUAnRXレジスタに転送されると受信完了割り込み要求信号が発生します。

受信完了割り込み要求信号は、受信エラーが起こった場合にも発生しますので、受信完了割り込み要求信号を受け付け、データを読み出すときに、UAnSTRレジスタを読み出して受信結果がエラーでないか確認してください。

受信禁止状態中は、受信完了割り込み要求信号は発生しません。

(2) 送信許可割り込み要求信号 (INTUAnT)

送信許可状態で、UAnTXレジスタからUARTAn送信シフト・レジスタへ送信データが転送されると送信許可割り込み要求信号を発生します。

12.5 動作

12.5.1 データ・フォーマット

全二重シリアル・データの送受信を行います。

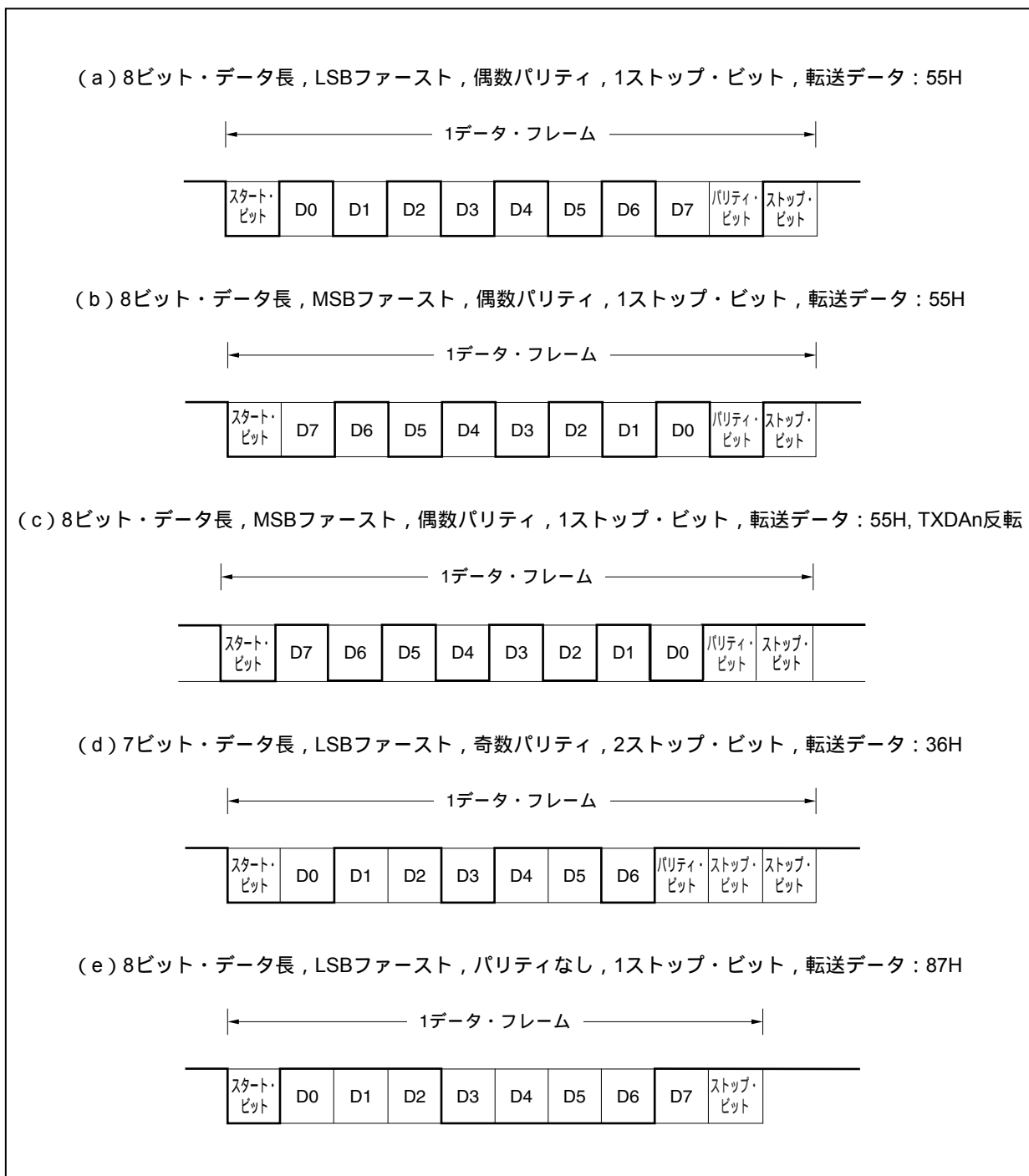
送受信データのフォーマットは図12-2に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定、MSB/LSBファーストの転送指定は、UAnCTL0レジスタによって行います。

また、UAnOPT0.UAnTDLビットでTXDAn端子のUART出力/反転出力の制御を行います。

- ・スタート・ビット 1ビット
- ・キャラクタ・ビット ... 7ビット/8ビット
- ・パリティ・ビット 偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ストップ・ビット 1ビット/2ビット

図12-2 UARTAの送受信データのフォーマット



12.5.2 SBF送信/受信フォーマット

V850ES/HG2にはLIN機能として使用するために、SBF(Synch Break Field)送信/受信制御機能があります。

備考 LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速(1~20 kbps)のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

LINのマスタは通常、CAN (Controller Area Network) などのネットワークに接続されます。

また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINの Protokol では、マスタはフレームにボー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため、スレーブのボー・レート誤差が± 15 % 以下であれば、通信可能です。

LINの送信操作と受信操作の概略を、図12 - 3、図12 - 4に示します。

図12 - 3 LINの送信操作概略

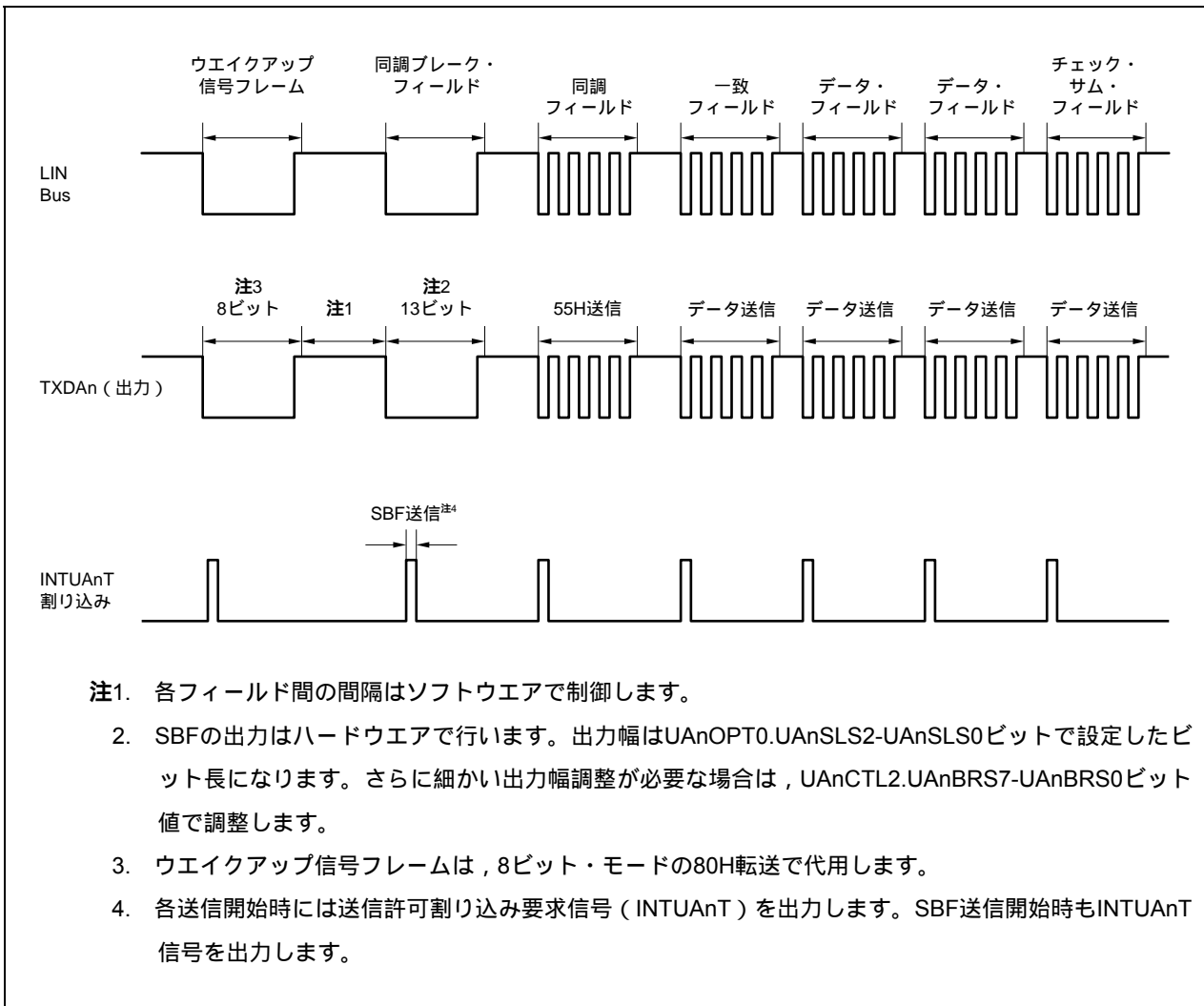
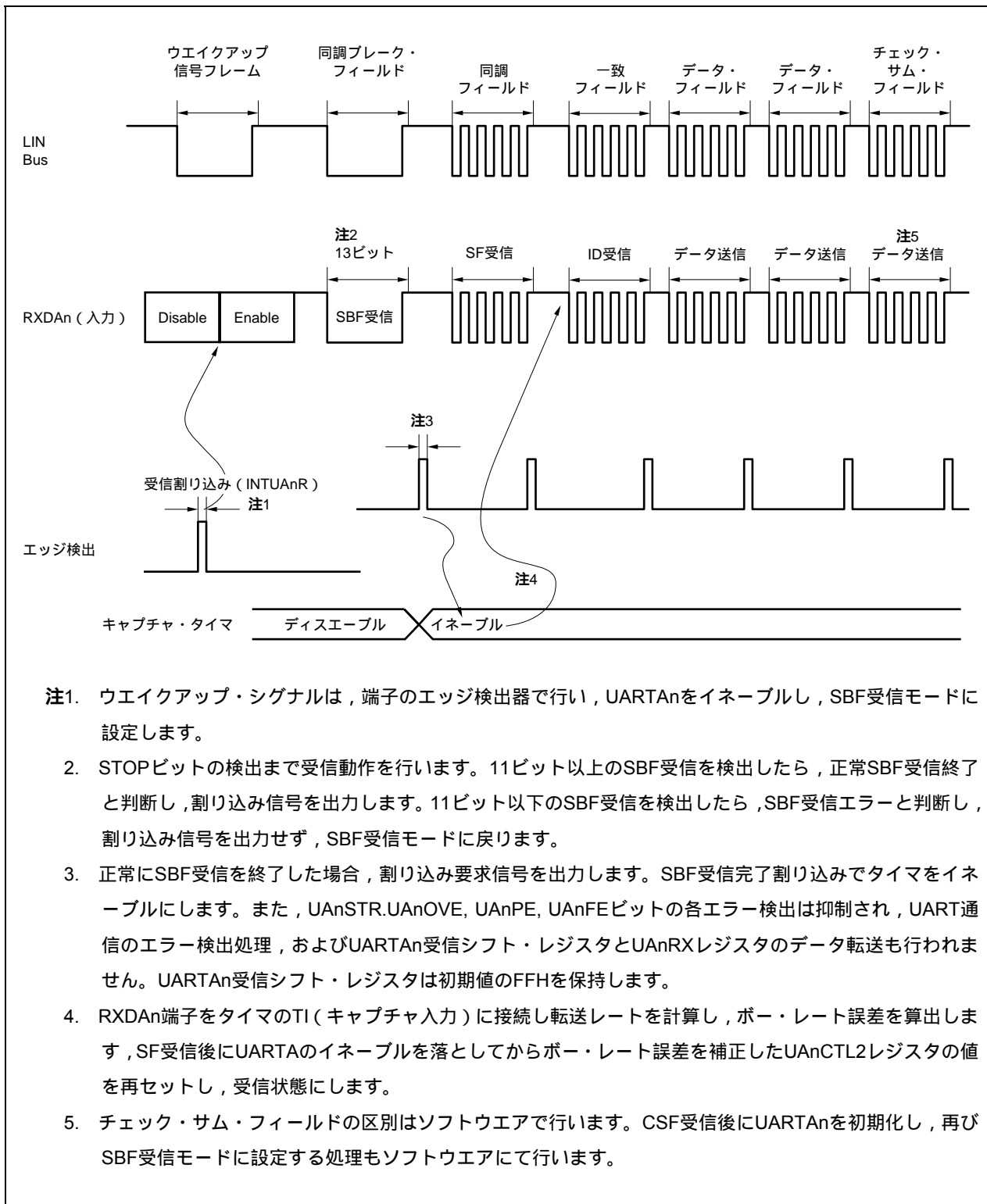


図12 - 4 LINの受信操作概略



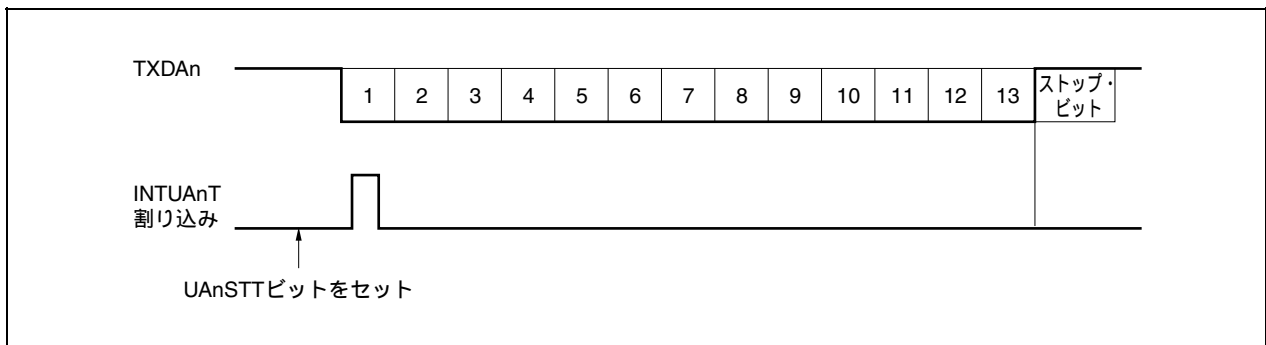
12.5.3 SBF送信

UAnCTL0.UAnPWRビット = UAnTXEビット = 1にすると送信許可状態となり、SBF送信トリガ (UAnOPT0.UAnSTTビット) をセット (1) することによりSBF送信動作は起動します。

そのあとUAnOPT0.UAnSLS2-UAnSLS0ビットで指定された13ビットから20ビット分までの幅のロウ・レベルを出力します。SBF送信開始時には送信許可割り込み要求信号 (INTUAnT) を発生します。SBF送信を終了したあと、UAnSTTビットは自動的にクリアされます。そのあと、UART送信モードに戻ります。

次に送信するデータをUAnTXレジスタに書き込み、あるいはSBF送信トリガ (UAnSTTビット) をセットするまで、送信動作は中断します。

図12 - 5 SBF送信



12.5.4 SBF受信

UAnCTL0.UAnPWRビット = 1にして、次に、UAnCTL0.UAnRXEビット = 1にすることにより、受信待ち状態になります。

SBF受信トリガ (UAnOPT0.UAnSRTビット) をセット (1) することで、SBF受信待ち状態になります。

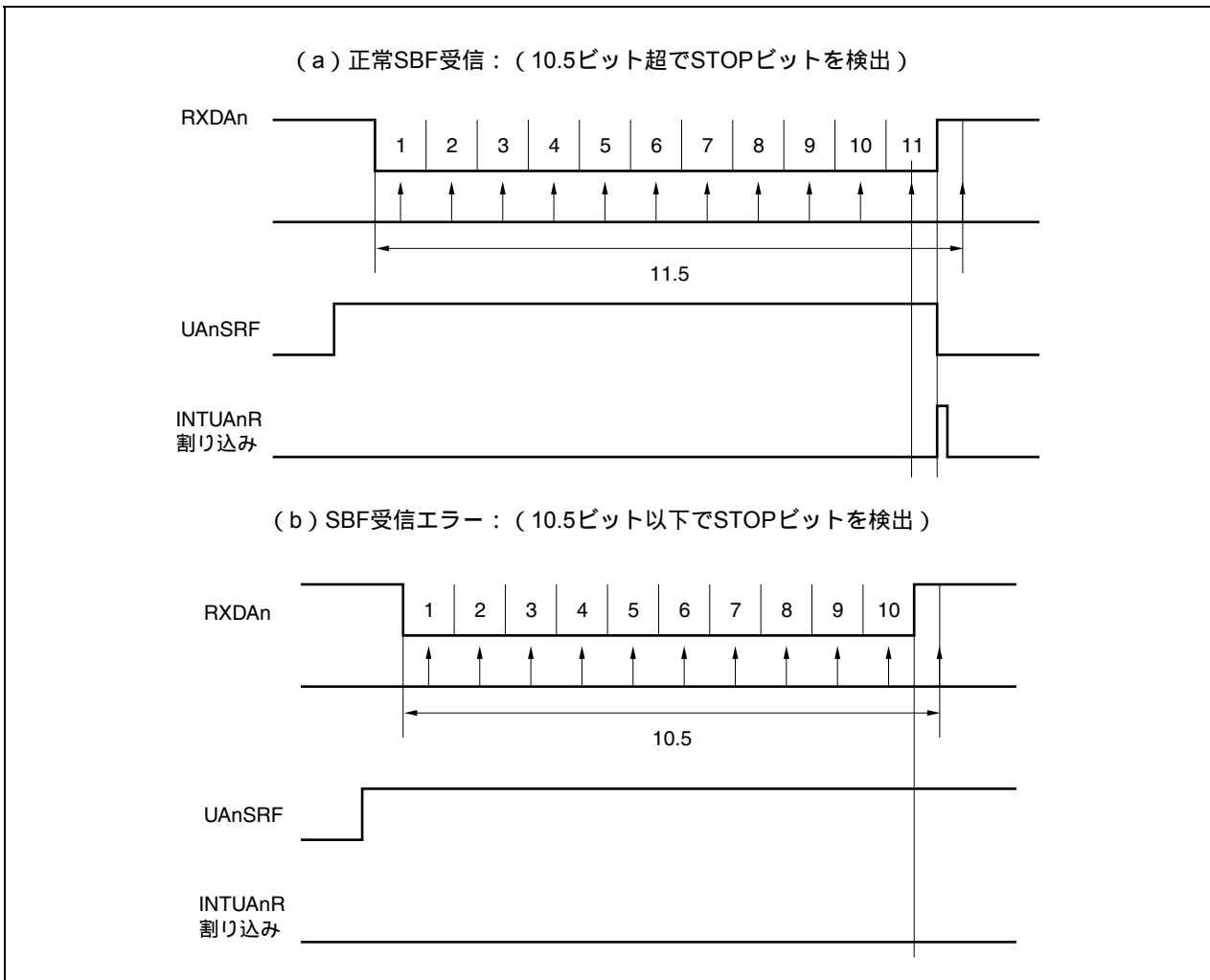
SBF受信待ち状態はUARTの受信待ち状態と同じくRXDAn端子をモニタし、スタート・ビットの検出を行います。

スタート・ビットを検出したら、受信動作を開始し、設定されたボー・レートにあわせて、内蔵カウンタをカウント・アップします。

ストップ・ビットを受信したら、SBFの幅が11ビット長以上の場合、正常処理として、受信完了割り込み要求信号 (INTUAnR) を発生します。UAnOPT0.UAnSRFビットは自動的にクリアされ、SBF受信を終了します。UAnSTR.UAnOVE, UAnPE, UAnFEビットの各エラー検出は抑制されUART通信のエラー検出処理は行われません。また、UARTAn受信シフト・レジスタとUAnRXレジスタのデータの転送も行われず、初期値のFFHを保持します。SBFの幅が10ビット長以下の場合、エラー処理として、割り込みを出さずに受信を終了し、再びSBF受信モードに戻ります。その際UAnSRFビットはクリアされません。

- 注意1.** データ受信中に、SBFが送信されてきた場合には、フレーミング・エラーとなります。
2. SBF受信トリガ・ビット (UAnSRT), SBF送信トリガ・ビット (UAnSTT) はSBF受信中 (UAnSRF = 1) にセット (1) しないでください。

図12 - 6 SBF受信



12.5.5 UART送信

UAnCTL0.UAnPWRビット = 1とすることにより、TXDAn端子からハイ・レベルを出力します。

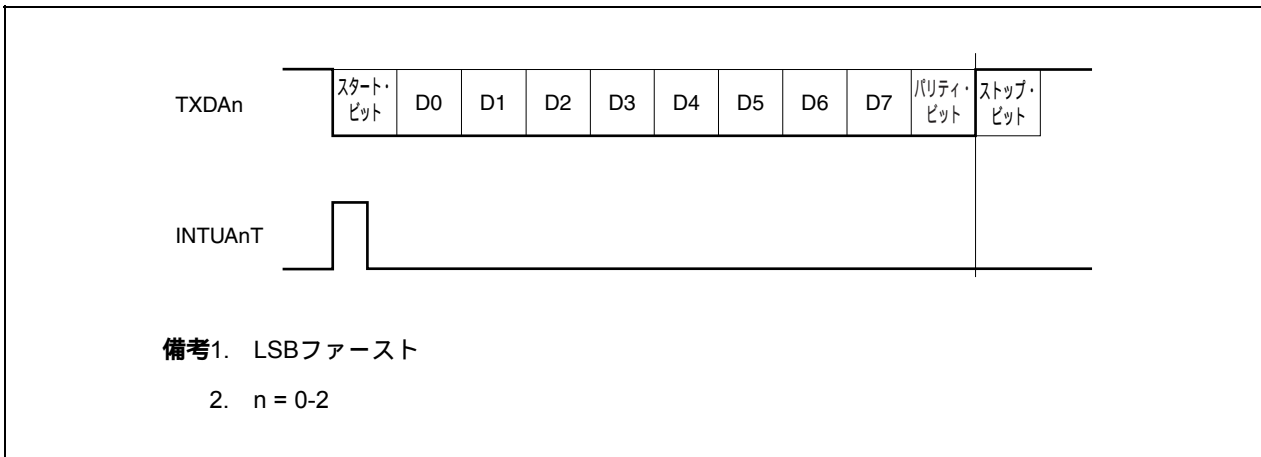
次に、UAnCTL0.UAnTXEビット = 1にすると送信許可状態となり、UAnTXレジスタに送信データを書き込むことにより送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加します。

なお、UARTAnにはCTS (送信許可信号) 入力端子がないので、相手側が受信許可状態かを確認するときはポートを使用してください。

送信動作の開始により、UAnTXレジスタ内のデータをUARTAn送信シフト・レジスタへ転送します。

UAnTXレジスタのデータをUARTAn送信シフト・レジスタに転送完了したタイミングで、送信許可割り込み要求信号 (INTUAnT) を発生し、そのあとUARTAn送信シフト・レジスタから順次、TXDAn端子に出力します。INTUAnT信号の発生後、UAnTXレジスタに次の転送データの書き込みができます。

図12-7 UART送信



12.5.6 連続送信の手順説明

UARTAnはUARTAn送信シフト・レジスタがシフト動作を開始した時点で、次の送信データをUAnTXレジスタへ書き込むことができます。UARTAn送信シフト・レジスタへの送信タイミングは、送信許可割り込み要求信号 (INTUAnT) で判断できます。次に送信するデータを、転送中にUAnTXレジスタに書き込むことにより、効率的な通信レートを実現できます。

連続送信時には、送信データをUAnTXレジスタに書き込み後、UARTAn送信シフト・レジスタに転送され、送信要求割り込み信号 (INTUAnT) が発生するまで、次の送信データをUAnTXレジスタに書き込まないようにしてください。送信要求割り込み信号発生以前にUAnTXレジスタに値を書き込むと以前に設定した送信データが最新の送信データに上書きされてしまいます。

注意 送信の初期化を行う場合、連続送信実行中は、UAnSTR.UAnTSFビットが“0”であることを確認してから初期化を実行してください。UAnTSFビットが“1”のときに初期化を実行した場合の送信データの保証できません。

連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信レートが通常より動作クロックの2クロック分伸びます。

図12 - 8 連続送信の処理フロー

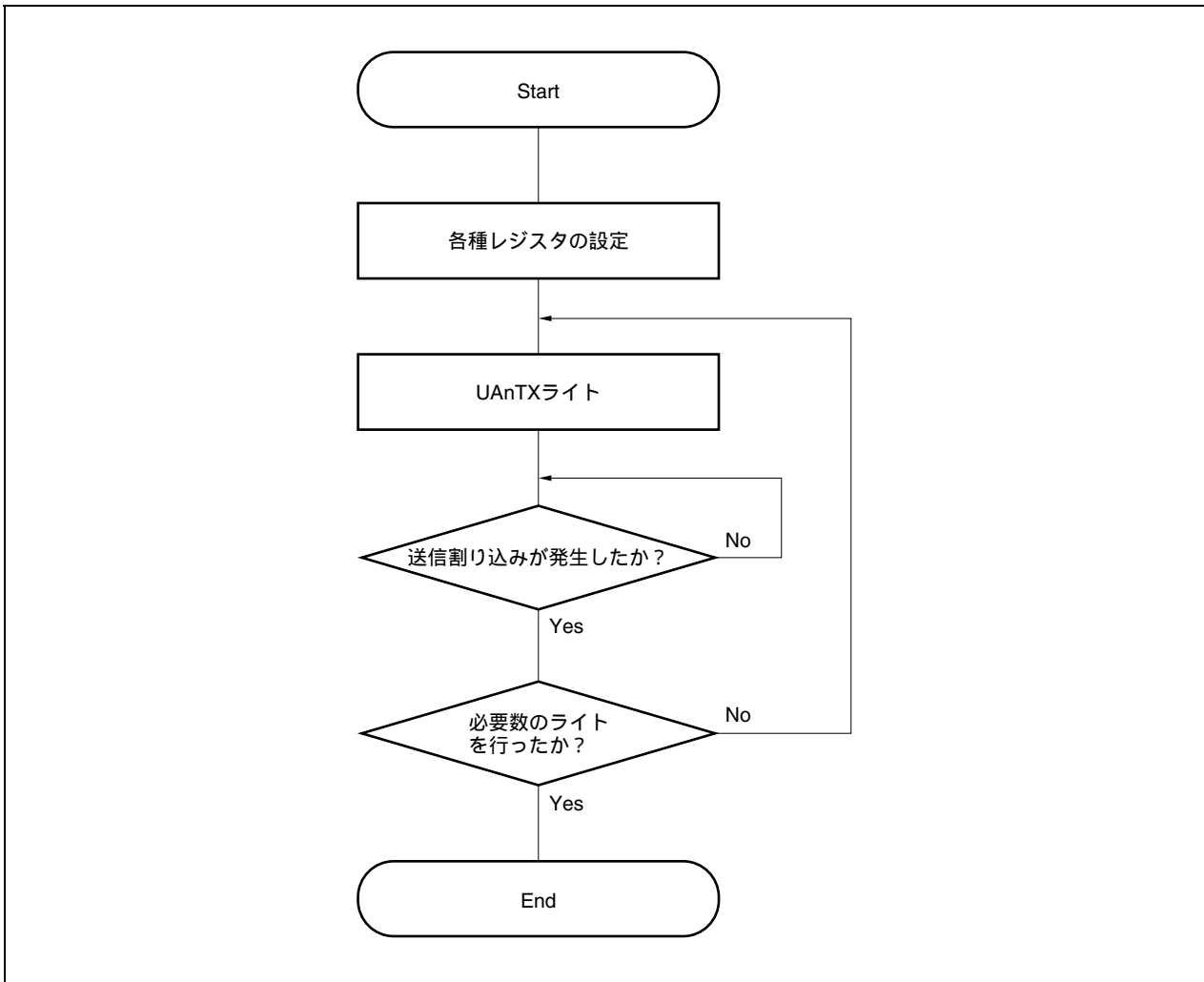
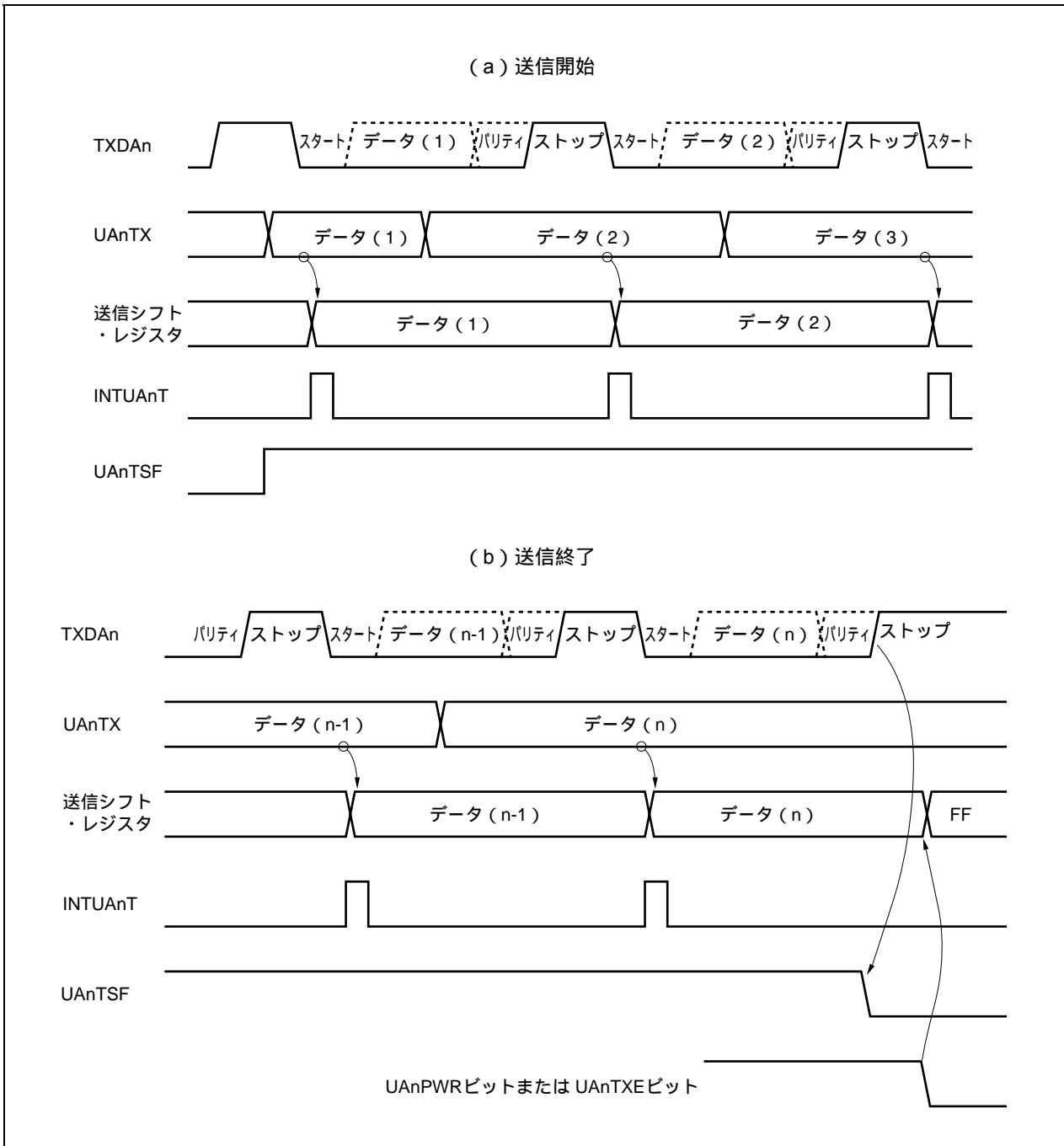


図12-9 連続送信動作のタイミング



12.5.7 UART受信

UAnCTL0.UAnPWRビット = 1にして、次にUAnCTL0.UAnRXEビット = 1にすることにより、受信待ち状態になります。受信待ち状態では、RXDAn端子をモニタし、スタート・ビットの検出を行います。

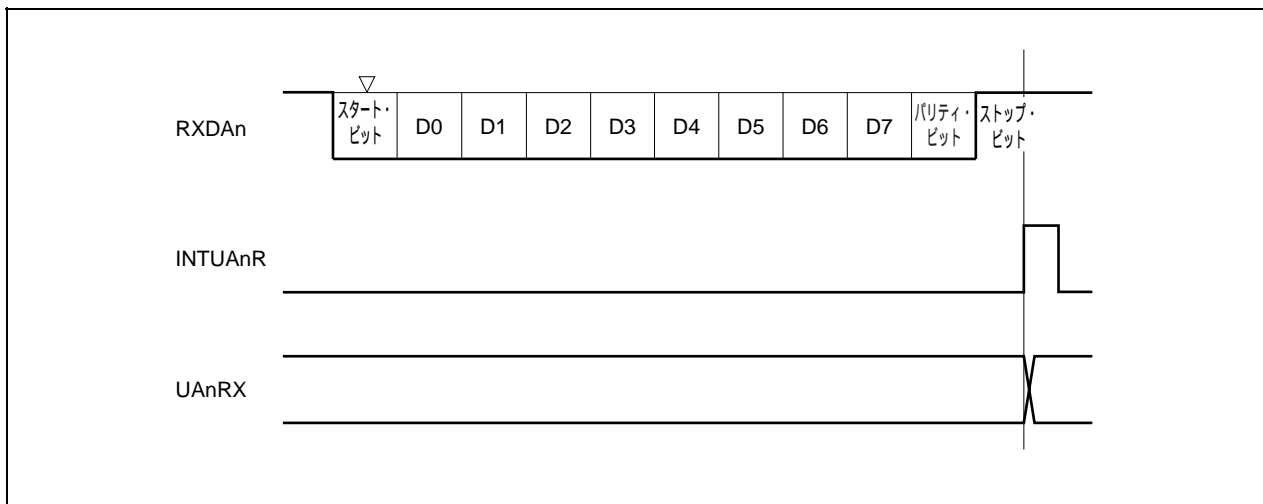
なおスタート・ビットの認識には2段階の検出ルーチンを取ります。

まずRXDAn端子の立ち下がりを検出すると立ち下がりエッジでサンプリングを開始します。スタート・ビットのサンプリング・ポイントでRXDAn端子がロウ・レベルであれば、スタート・ビットと認識します。スタート・ビットが認識されたら、受信動作を開始し、設定されたボー・レートにあわせて、シリアル・データを順次、UARTAn受信シフト・レジスタに格納していきます。

ストップ・ビットを受信したら、受信完了割り込み要求信号 (INTUAnR) を発生すると同時に、UARTAn受信シフト・レジスタのデータをUAnRXレジスタに書き込みます。ただし、オーバーラン・エラー (UAnSTR.UAnOVEビット) が発生した場合は、そのときの受信データをUAnRXレジスタに書き込まれずに破棄されます。

受信途中で、パリティ・エラー (UAnSTR.UAnPEビット)、フレーミング・エラー (UAnSTR.UAnFEビット) が発生しても、1ビット目のストップ・ビットの受信位置までは、受信を継続し、受信完了後にINTUAnR信号を発生します。

図12 - 10 UART受信



- 注意1. 受信エラー発生時にも、UAnRXレジスタは必ず読み出してください。UAnRXレジスタを読み出さないと、次のデータ受信にオーバーラン・エラーが発生し、いつまでも受信エラーの状態が続くことになります。
2. 受信時は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。
 3. 受信終了時は、受信完了割り込み要求信号 (INTUAnR) 発生後、UAnRXレジスタを読み出してから UAnPWRビット = 0またはUAnRXEビット = 0としてください。INTUAnR信号が発生する前に UAnPWRビット = 0またはUAnRXEビット = 0とした場合、UAnRXレジスタのリード値は保証できません。
 4. UARTAnの受信完了処理(INTUAnR信号の発生)と、UAnPWRビット = 0またはUAnRXEビット = 0が競合した場合、UAnRXレジスタにデータを格納していないにもかかわらず、INTUAnR信号が発生することがあります。INTUAnR信号の発生を待たずに受信終了を行うときには、必ず割り込み制御レジスタ (UAnRIC) の割り込みマスク・フラグ (UAnRMK) をセット (1) してから、UAnPWRビット = 0またはUAnRXEビット = 0とし、さらにUAnRICレジスタの割り込み要求フラグ (UAnRIF) をクリア (0) してください。

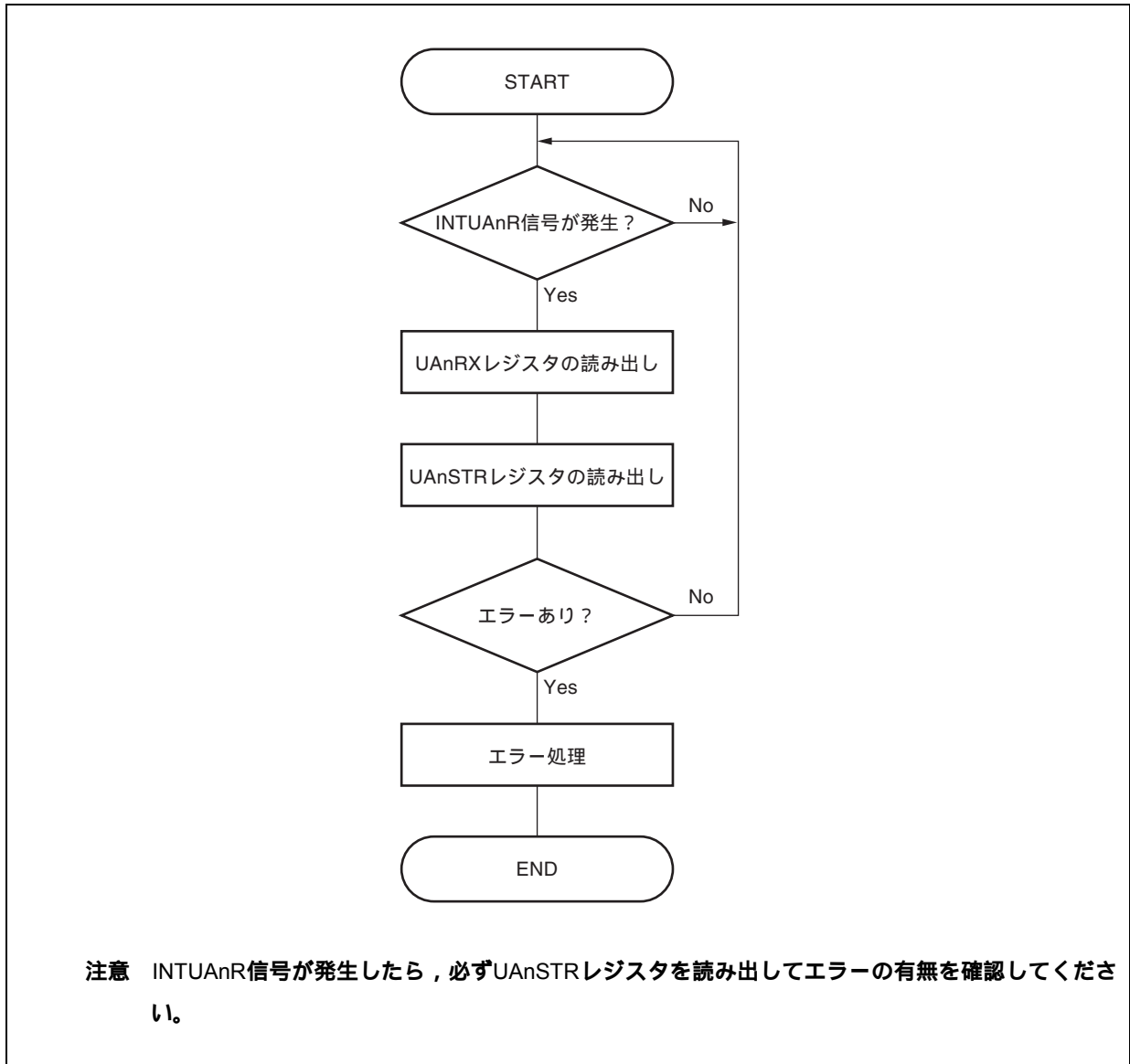
12.5.8 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバーラン・エラーの3種類があります。データ受信の結果エラー・フラグがUAnSTRレジスタに設定され、受信完了割り込み要求信号 (INTUAnR) を発生します。

UAnSTRレジスタの内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます。

受信エラー・フラグをリードしたあとは、“0” ライトによりクリアしてください。

・受信データの読み出しフロー



・受信エラーの要因

エラー・フラグ	受信エラー	要 因
UAnPE	パリティ・エラー	受信したパリティ・ビットが設定と一致しない
UAnFE	フレーミング・エラー	ストップ・ビットが検出されない
UAnOVE	オーバラン・エラー	受信バッファからデータを読み出す前に次のデータ受信が完了

受信エラー発生時は、エラーの内容によって、次の処理を行ってください。

・パリティ・エラー

受信ラインへのノイズなどによって誤ったデータを受信しているため、受信データを破棄し、再度通信を行ってください。

・フレーミング・エラー

送信側との間でポー・レートずれが発生しているか、何らかの理由で誤ってスタート・ビットを検出してしまったことが考えられます。通信フォーマットのフェータルなエラーであるため、送信側の動作停止を確認後、互いに初期化処理を行って再度通信を開始してください。

・オーバラン・エラー

受信データを読み出す前に次の受信が完了してしまったため、1フレーム分のデータが破棄された状態になっています。必要なデータであれば再度通信をやり直してください。

注意 連続受信時に受信エラー割り込みが発生した場合は、次の受信が完了する前にUAnSTRレジスタの内容を読み出してエラー処理を実施してください。

12.5.9 パリティの種類と動作

注意 LIN機能を使用する場合、UAnCTL0.UAnPS1, UAnPS0ビットを“00”に固定してください。

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は送信側と受信側のパリティビットは同一の種類のもを使用します。

偶数パリティと奇数パリティでは奇数個ビットの誤りを検出することができます。0パリティとパリティなしでは誤りを検出することはできません。

(a) 偶数パリティ

(i) 送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に値が“1”のビット数が奇数個：1
- ・送信データ中に値が“1”のビット数が偶数個：0

(ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(b) 奇数パリティ

(i) 送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に、値が“1”のビット数が奇数個：0
- ・送信データ中に、値が“1”のビット数が偶数個：1

(ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(c) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(d) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

12.5.10 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロックでRXDAn端子をサンプリングします。

サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。したがって、2クロック幅以下のデータはノイズとして判断され、内部回路には伝わりません(図12-12参照)。基本クロックについては12.6(1)(a)基本クロックを参照してください。

また、回路は図12-11のようにになっているので、受信動作の内部での処理は、外部の信号状態より3クロック分遅れて動作することになります。

図12-11 ノイズ・フィルタ回路

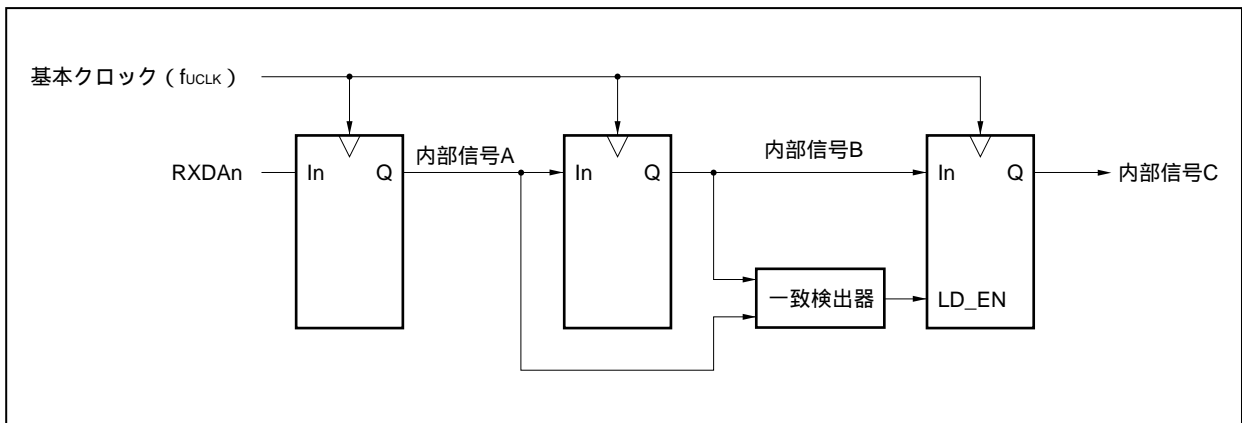
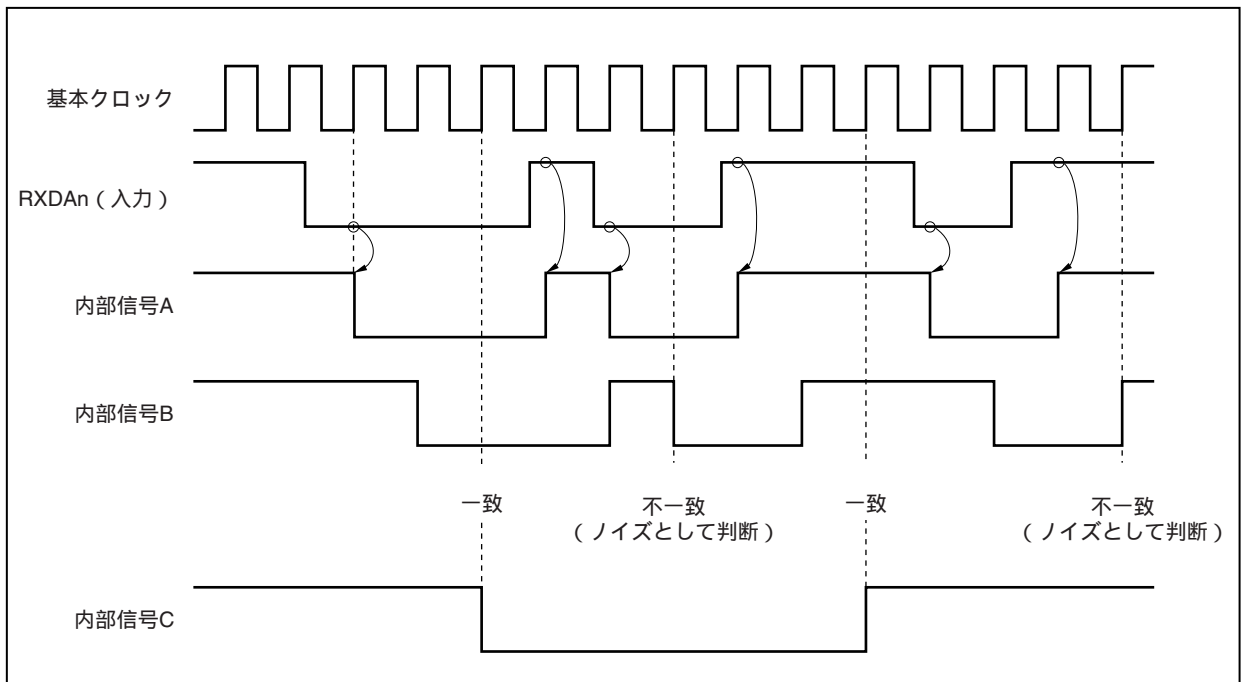


図12-12 ノイズとして判断されるRXDAn信号のタイミング



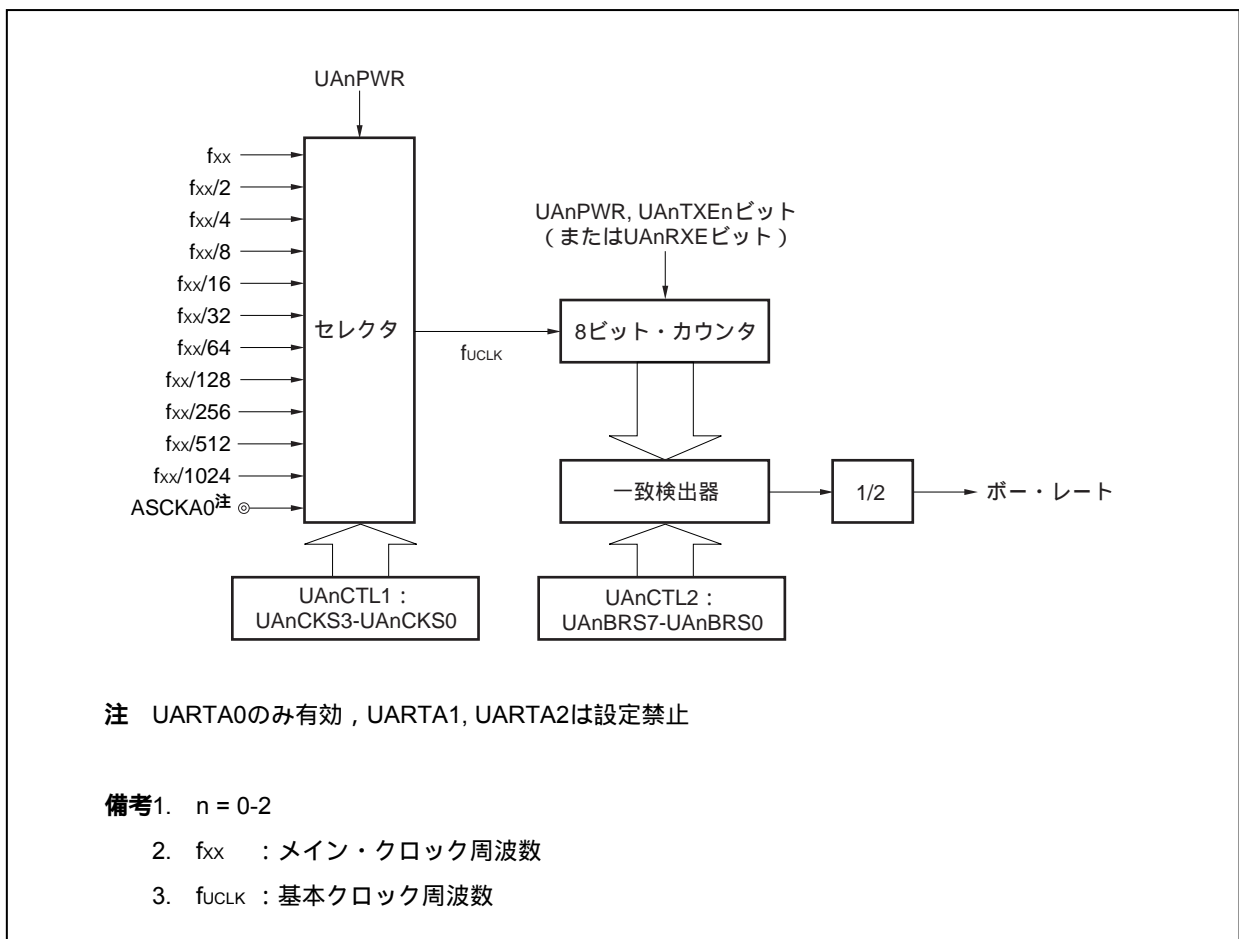
12.6 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UARTAnにおける送受信時のシリアル・クロックを生成します。シリアル・クロックは、チャンネルごとに専用ポー・レート・ジェネレータ出力を選択できます。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

(1) ポー・レート・ジェネレータの構成

図12 - 13 ポー・レート・ジェネレータの構成



(a) 基本クロック

UAnCTL0.UAnPWRビット = 1のとき、UAnCTL1.UAnCKS3-UAnCKS0ビットで選択したクロックを8ビット・カウンタに供給します。このクロックを基本クロック (f_{UCLK}) と呼びます。

(b) シリアル・クロックの生成

UAnCTL1レジスタとUAnCTL2レジスタの設定により、シリアル・クロックを生成できます(n = 0-2)。

UAnCTL1.UAnCKS3-UAnCKS0ビットにより、基本クロックを選択します。

UAnCTL2.UAnBRS7-UAnBRS0ビットにより、8ビット・カウンタの分周値を設定できます。

(2) UARTAn制御レジスタ1 (UAnCTL1)

UAnCTL1レジスタは、UARTAnの基本クロックを選択するための8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 UAnCTL1レジスタを書き換える場合は、UAnCTL0.UAnPWRビット = 0にしてから行ってください。

リセット時：00H R/W アドレス：UA0CTL1 FFFFFFFA01H, UA1CTL1 FFFFFFFA11H,
UA2CTL1 FFFFFFFA21H

	7	6	5	4	3	2	1	0
UAnCTL1 (n = 0-2)	0	0	0	0	UAnCKs3	UAnCKs2	UAnCKs1	UAnCKs0

UAnCKs3	UAnCKs2	UAnCKs1	UAnCKs0	基本クロック (f _{CLK}) の選択
0	0	0	0	f _{xx}
0	0	0	1	f _{xx} /2
0	0	1	0	f _{xx} /4
0	0	1	1	f _{xx} /8
0	1	0	0	f _{xx} /16
0	1	0	1	f _{xx} /32
0	1	1	0	f _{xx} /64
0	1	1	1	f _{xx} /128
1	0	0	0	f _{xx} /256
1	0	0	1	f _{xx} /512
1	0	1	0	f _{xx} /1024
1	0	1	1	外部クロック注 (ASCKA0端子)
上記以外				設定禁止

注 UARTA0のみ有効, UARTA1, UARTA2は設定禁止

備考 f_{xx} : メイン・クロック周波数

(3) UARTAn制御レジスタ2 (UAnCTL2)

UAnCTL2レジスタは、UARTAnのボー・レート（シリアル転送スピード）クロックを選択するための8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットによりFFHになります。

注意 UAnCTL2レジスタを書き換える場合は、UAnCTL0.UAnPWRビット = 0、またはUAnTXE, UAnRXEビット = 00にしてから行ってください。

リセット時：FFH R/W アドレス：UA0CTL2 FFFFFFFA02H, UA1CTL2 FFFFFFFA12H,
UA2CTL2 FFFFFFFA22H

	7	6	5	4	3	2	1	0
UAnCTL2	UAnBRS7	UAnBRS6	UAnBRS5	UAnBRS4	UAnBRS3	UAnBRS2	UAnBRS1	UAnBRS0

(n = 0-2)

UAn BRS7	UAn BRS6	UAn BRS5	UAn BRS4	UAn BRS3	UAn BRS2	UAn BRS1	UAn BRS0	規定値 (k)	シリアル・クロック
0	0	0	0	0	0	x	x	x	設定禁止
0	0	0	0	0	1	0	0	4	f _{UCLK} /4
0	0	0	0	0	1	0	1	5	f _{UCLK} /5
0	0	0	0	0	1	1	0	6	f _{UCLK} /6
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	0	0	252	f _{UCLK} /252
1	1	1	1	1	1	0	1	253	f _{UCLK} /253
1	1	1	1	1	1	1	0	254	f _{UCLK} /254
1	1	1	1	1	1	1	1	255	f _{UCLK} /255

備考 f_{UCLK} : UAnCTL1.UAnCKS3-UAnCKS0ビットで選択したクロック周波数

(4) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{\text{UCLK}}}{2 \times k} \quad [\text{bps}]$$

内部クロックを使用する場合は、次の式になります (UARTA0でASCKA0端子入力をクロックとして使用する場合は、上の式で計算してください)。

$$\text{ボー・レート} = \frac{f_{\text{xx}}}{2^{m+1} \times k} \quad [\text{bps}]$$

備考 f_{UCLK} = UAnCTL1.UAnCKS3-UAnCKS0ビットで選択した基本クロックの周波数

f_{xx} : メイン・クロック周波数

m = UAnCTL1.UAnCKS3-UAnCKS0ビットで設定した値 ($m = 0-10$)

k = UAnCTL2.UAnBRS7-UAnBRS0ビットで設定した値 ($k = 4-255$)

ボー・レート誤差は次の式によって求められます。

$$\begin{aligned} \text{誤差}(\%) &= \left[\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{目標ボー・レート (正常なボー・レート)}} - 1 \right] \times 100 [\%] \\ &= \left[\frac{f_{\text{UCLK}}}{2 \times k \times \text{目標ボー・レート}} - 1 \right] \times 100 [\%] \end{aligned}$$

内部クロックを使用する場合は、次の式になります (UARTA0でASCKA0端子入力をクロックとして使用する場合は、上の式で計算してください)。

$$\text{誤差}(\%) = \left[\frac{f_{\text{xx}}}{2^{m+1} \times k \times \text{目標ボー・レート}} - 1 \right] \times 100 [\%]$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(5)受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

ボー・レートを設定するときは、次のように計算してUAnCTL1, UAnCTL2レジスタを設定してください (内部クロック使用時)。

$k = f_{xx} / (2 \times \text{目標ボー・レート})$ とし、 $m = 0$ としてください。

$k < 256$ のとき、 $k = k/2$ とし、 $m = m + 1$ としてください。

$k < 256$ になるまで、を繰り返してください。

k の小数点第一位を四捨五入します。

四捨五入して、 $k = 256$ になったときは、もう一度 を行ってください ($k = 128$ になります)。

m をUAnCTL1レジスタに、 k をUAnCTL2レジスタに設定してください。

例 : $f_{xx} = 20 \text{ MHz}$, 目標ボー・レート : 153,600 bpsの場合

$$k = 20,000,000 / (2 \times 153,600) = 65.10\dots, m = 0$$

$$, \quad k = 65.10\dots < 256, m = 0$$

UAnCTL2レジスタ設定値 : $k = 65 = 41\text{H}$, UAnCTL1レジスタ設定値 : $m = 0$

$$\begin{aligned} \text{実際のボー・レート} &= 20,000,000 / (2 \times 65) \\ &= 153,846 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{ボー・レート誤差} &= \{ 20,000,000 / (2 \times 65 \times 153,600) - 1 \} \times 100 \\ &= 0.160 \text{ [\%]} \end{aligned}$$

次に、代表的なボー・レートの設定例を示します。

表12-4 ボー・レート・ジェネレータ設定データ

ボー・レート (bps)	$f_{xx} = 20 \text{ MHz}$			$f_{xx} = 16 \text{ MHz}$			$f_{xx} = 10 \text{ MHz}$		
	UAnCTL1	UAnCTL2	ERR (%)	UAnCTL1	UAnCTL2	ERR (%)	UAnCTL1	UAnCTL2	ERR (%)
300	08H	82H	0.16	0AH	1AH	0.16	07H	82H	0.16
600	07H	82H	0.16	0AH	0DH	0.16	06H	82H	0.16
1200	06H	82H	0.16	09H	0DH	0.16	05H	82H	0.16
2400	05H	82H	0.16	08H	0DH	0.16	04H	82H	0.16
4800	04H	82H	0.16	07H	0DH	0.16	03H	82H	0.16
9600	03H	82H	0.16	06H	0DH	0.16	02H	82H	0.16
19200	02H	82H	0.16	05H	0DH	0.16	01H	82H	0.16
31250	01H	A0H	0.00	01H	80H	0.00	00H	A0H	0.00
38400	01H	82H	0.16	00H	D0H	0.16	00H	82H	0.16
76800	00H	82H	0.16	03H	0DH	0.16	00H	41H	0.16
153600	00H	41H	0.16	02H	0DH	0.16	00H	21H	- 1.36
312500	00H	20H	0.00	00H	1AH	- 1.54	00H	10H	0.00

備考 f_{xx} : メイン・クロック周波数

ERR : ボー・レート誤差 [%]

(5) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図12 - 14 受信時の許容ボー・レート範囲

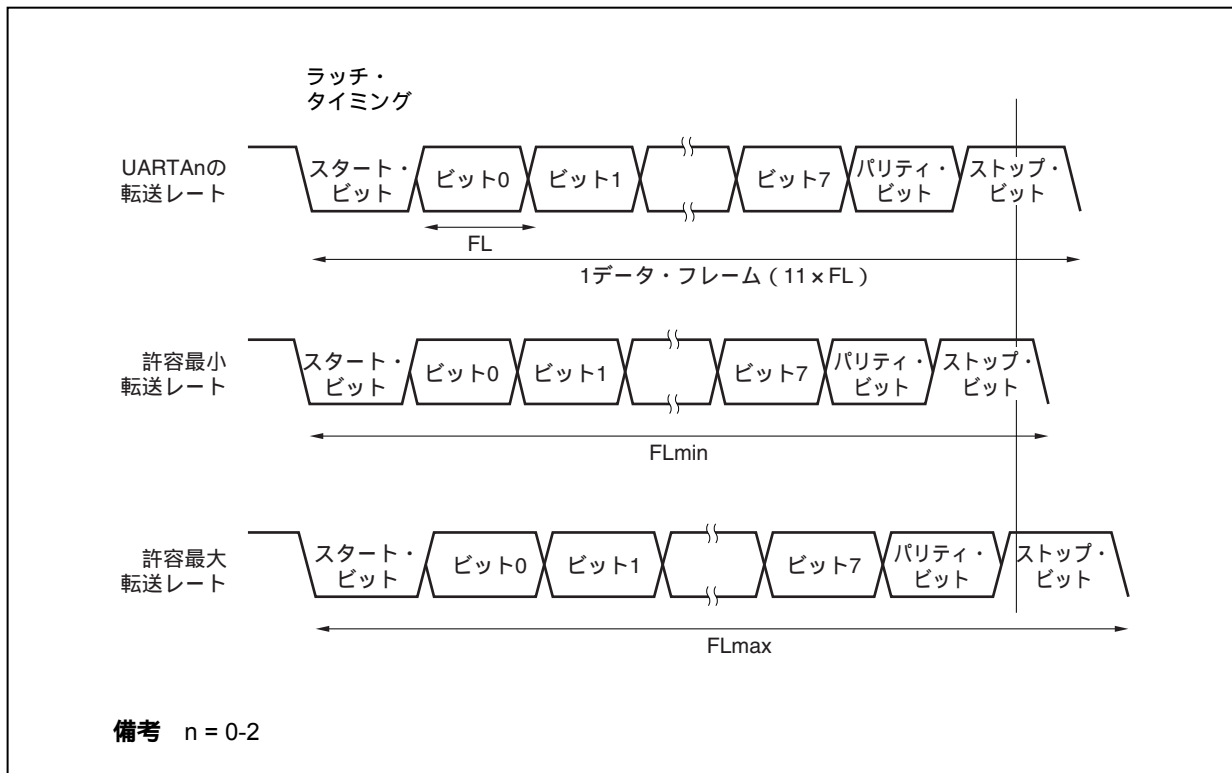


図12 - 14に示すように、スタート・ビット検出後はUAnCTL2レジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UARTAnのボー・レート (n = 0-2)

k : UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値 (n = 0-2)

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小転送レート} : FL_{\min} = 11 \times FL - \frac{k - 2}{2k} \times FL = \frac{21k + 2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{max} = (FL_{min}/11)^{-1} = \frac{22k}{21k + 2} \text{ Brate}$$

同様に、許容最大転送レートを求めると、次のようになります。

$$\frac{10}{11} \times FL_{max} = 11 \times FL - \frac{k + 2}{2 \times k} \times FL = \frac{21k - 2}{2 \times k} FL$$

$$FL_{max} = \frac{21k - 2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{min} = (FL_{max}/11)^{-1} = \frac{20k}{21k - 2} \text{ Brate}$$

前述の最小/最大ボー・レート値の算出式から、UARTAnと送信先とのボー・レートの許容誤差を求めると次のようになります。

表12-4 許容最大/最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	+ 2.32 %	- 2.43 %
8	+ 3.52 %	- 3.61 %
20	+ 4.26 %	- 4.30 %
50	+ 4.56 %	- 4.58 %
100	+ 4.66 %	- 4.67 %
255	+ 4.72 %	- 4.72 %

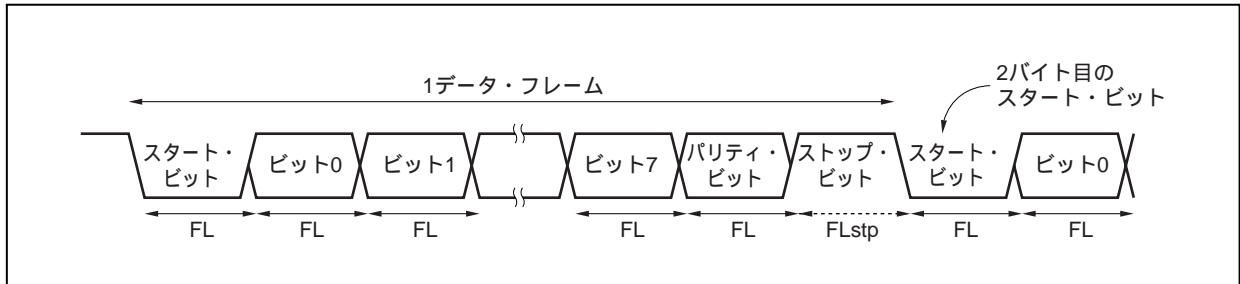
備考1. 受信の精度は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど精度は高くなります。

2. k : UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値 (n = 0-2)

(6) 連続送信時の転送レート

連続送信する場合、ストップ・ビットから次のスタート・ビットまでの転送レートが通常より基本クロックの2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので転送結果には影響しません。

図12 - 15 連続送信時の転送レート



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数：f_{uCLK}とすると次の式が成り立ちます。

$$FLstp = FL + 2 / f_{uCLK}$$

したがって、連続送信での転送レートは次のようになります。

$$\text{転送レート} = 11 \times FL + (2 / f_{uCLK})$$

12.7 注意事項

- (1) UARTAnへの供給クロックが停止する場合（例：IDLE1, IDLE2, STOPモード）は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDAn端子出力も停止直前の値を保持し、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はUAnCTL0.UAnPWR, UAnRXEn, UAnTXEnビット = 000とし、回路を初期化してください。
- (2) RXDA1端子とKR7端子は同時に使用することはできません。RXDA1端子を使用する場合は、KR7端子を使用しないでください。また、KR7端子を使用する場合は、RXDA1端子を使用しないでください（PFC91ビット = 1, PFCE91ビット = 0に設定することを推奨します）。
- (3) UARTAnでは、通信エラーによる割り込みを発生しません。そのため、DMA転送で送信データ、受信データの転送を行う場合、転送中にエラー（パリティ/オーバラン/フレーミング）が発生しても、エラー処理を行えません。DMA転送終了後にUAnSTRレジスタを読み出してエラーがなかったことを確認するか、通信中に適宜UAnSTRレジスタを読み出してエラーの有無を確認してください。
- (4) UARTAnの起動は次の順序で行ってください。
 - UAnCTL0.UAnPWRビット = 1
 - ポートの設定
 - UAnCTL0.UAnTXEビット = 1, UAnCTL0.UAnRXEビット = 1
- (5) UARTAnの停止は次の順序で行ってください。
 - UAnCTL0.UAnTXEビット = 0, UAnCTL0.UAnRXEビット = 0
 - ポートの設定, UAnCTL0.UAnPWRビット = 0（ポートの設定は変更しなくても問題ありません）
- (6) 送信モード中（UAnCTL0.UAnPWRビット = 1, かつUAnCTL0.UAnTXEビット = 1）に、ソフトウェアでUAnTXレジスタの同値書き込みをしないでください。このレジスタへの書き込みにより送信が開始するためです。同値を連続送信する場合は問題ありません。
- (7) 連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信レートが、通常より基本クロックの2クロック分延びます。ただし、受信側はスタート・ビットの検出でタイミングの初期化を行うため、受信結果には影響しません。
- (8) オンチップ・デバッグ（OCD）モード下において、breakコマンドが起動され、かつUARTAがデータ受信したとき、オーバラン・エラーを発生します。

第13章 3線式可変長シリアルI/O (CSIB)

V850ES/HG2は、3線式シリアル・インタフェース (CSIB) を2チャンネル搭載しています。

13.1 特 徴

転送速度：最大8 Mbps ($f_{xx} = 20$ MHz, 内部クロック使用時)

マスタ・モードとスレーブ・モードを選択可能

8-16ビット転送, 3線式シリアル・インタフェース

割り込み要求信号 (INTCBnT, INTCBnR) × 2

シリアル・クロックとデータのフェーズ切り替えが可能

転送データ長を8-16ビットに1ビット単位で選択可能

転送データのMSB先頭/LSB先頭を切り替え可能

3線式 SOBn : シリアル・データ出力

SIBn : シリアル・データ入力

$\overline{\text{SCKBn}}$: シリアル・クロック入出力

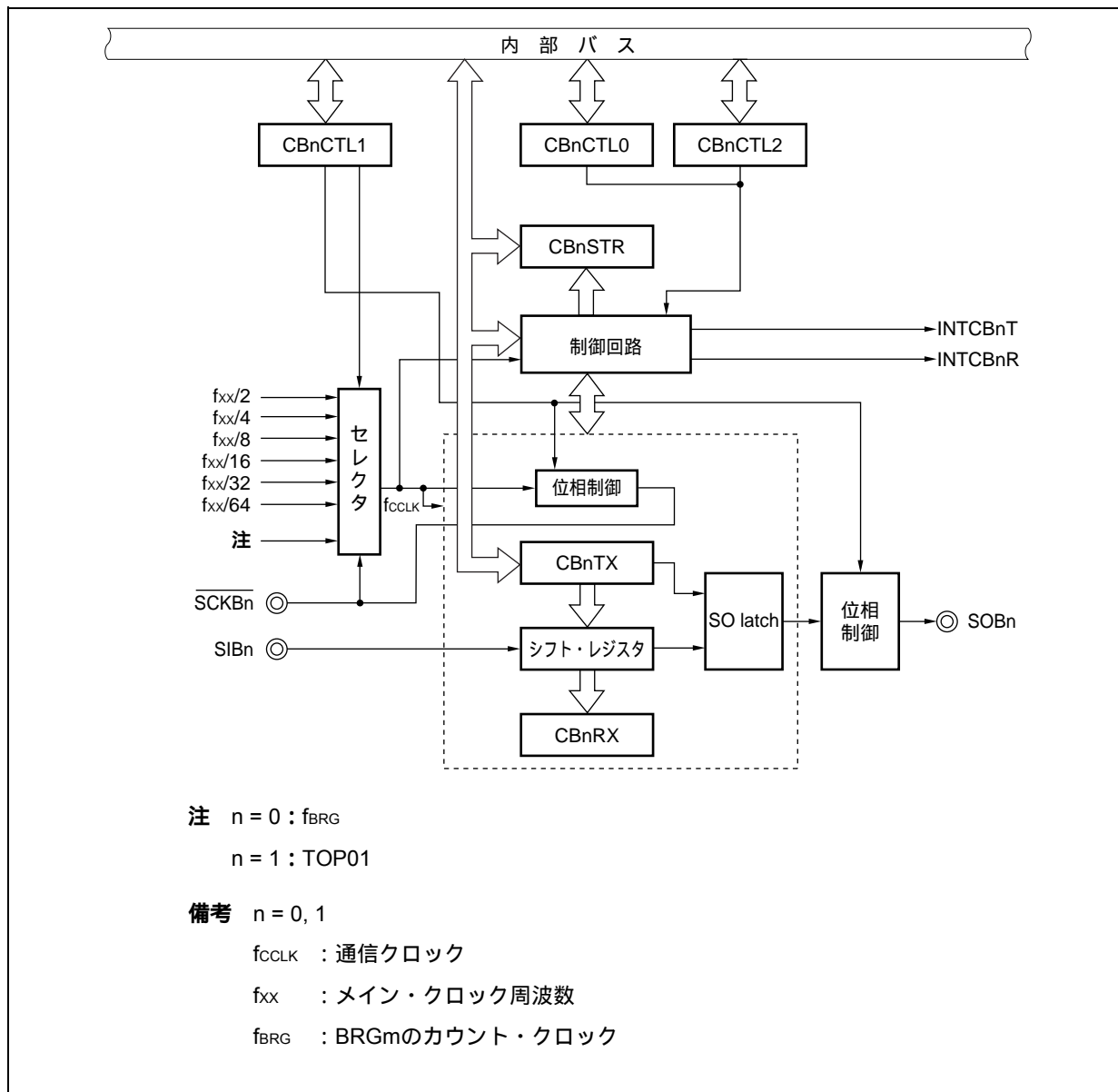
送信モード, 受信モード, 送受信モードを指定可能

備考 n = 0, 1

13.2 構成

次にCSIBnのブロック図を示します。

図13 - 1 CSIBnのブロック図



CSIBnは、次のハードウェアで構成されています。

表13 - 1 CSIBnの構成

項目	構成
レジスタ	CSIBn受信データ・レジスタ (CBnRX) CSIBn送信データ・レジスタ (CBnTX)
制御レジスタ	CSIBn制御レジスタ0 (CBnCTL0) CSIBn制御レジスタ1 (CBnCTL1) CSIBn制御レジスタ2 (CBnCTL2) CSIBn状態レジスタ (CBnSTR)

(1) CSIBn受信データ・レジスタ (CBnRX)

CBnRXレジスタは、受信データを保持する16ビットのバッファ・レジスタです。

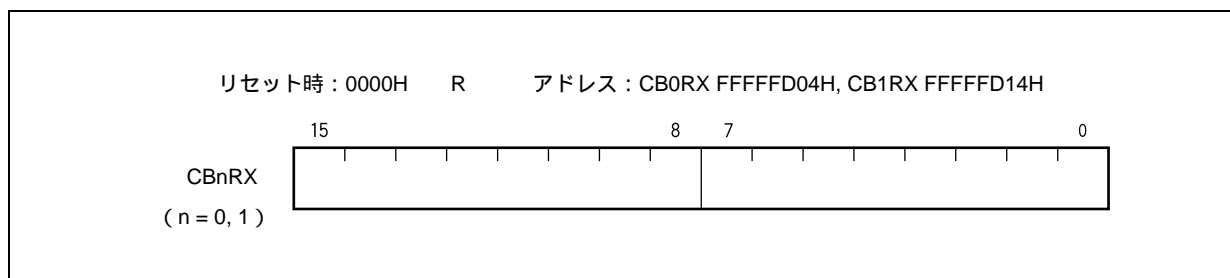
16ビット単位でリードのみ可能です。

受信許可状態中に、CBnRXレジスタをリードすることにより、受信動作を開始します。

転送データ長が8ビットの場合は、CBnRXレジスタの下位8ビットをCBnRXLレジスタとして、8ビット単位でリードのみ可能です。

リセットにより0000Hになります。

リセット以外に、CBnCTL0レジスタのCBnPWRビットをクリア (0) しても初期化されます。



(2) CSIBn送信データ・レジスタ (CBnTX)

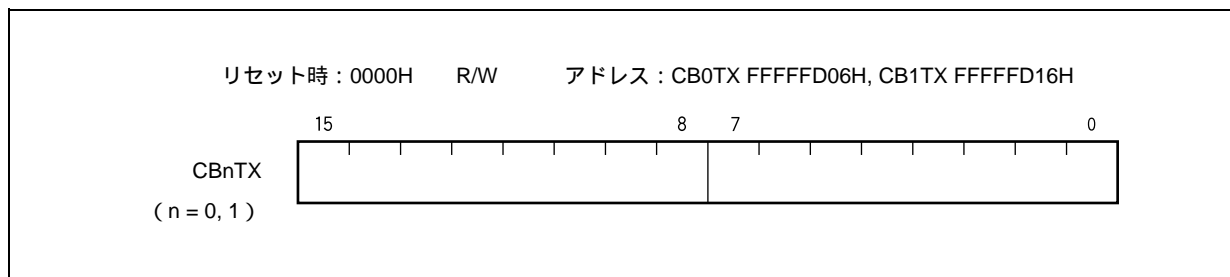
CBnTXレジスタは、CSIBnの転送データを書き込む16ビットのバッファ・レジスタです。

16ビット単位でリード/ライト可能です。

送信許可状態のときは、CBnTXレジスタにデータをライトすることにより、送信動作を開始します。

転送データ長が8ビットの場合は、CBnTXレジスタの下位8ビットをCBnTXLレジスタとして、8ビット単位でリード/ライト可能です。

リセットにより0000Hになります。



備考 通信開始条件について

送信モード (CBnTXEビット = 1, CBnRXEビット = 0) : CBnTXレジスタへのライト

送受信モード (CBnTXEビット = 1, CBnRXEビット = 1) : CBnTXレジスタへのライト

受信モード (CBnTXEビット = 0, CBnRXEビット = 1) : CBnRXレジスタのリード

13.3 レジスタ

CSIBnを制御するレジスタには、次のものがあります。

- ・ CSIBn制御レジスタ0 (CBnCTL0)
- ・ CSIBn制御レジスタ1 (CBnCTL1)
- ・ CSIBn制御レジスタ2 (CBnCTL2)
- ・ CSIBn状態レジスタ (CBnSTR)

(1) CSIBn制御レジスタ0 (CBnCTL0)

CSIBnのシリアル転送動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

(1/3)

リセット時：01H R/W アドレス：CB0CTL0 FFFFFFFD00H, CB1CTL0 FFFFFFFD10H

	7	6	5	4	3	2	1	0
CBnCTL0	CBnPWR	CBnTXE ^注	CBnRXE ^注	CBnDIR ^注	0	0	CBnTMS ^注	CBnSCE

(n = 0, 1)

CBnPWR	CSIBn動作禁止 / 許可の指定
0	CSIBn動作禁止, CBnSTRレジスタをリセットする
1	CSIBn動作許可
・ CBnPWRビットはCSIBnの動作の制御と内部回路のリセットを行います。	

CBnTXE^注	送信動作禁止 / 許可の指定
0	送信動作禁止
1	送信動作許可
・ CBnTXEビット = 0のとき, SOBn出力はロウ・レベルとなります。	

CBnRXE^注	受信動作禁止 / 許可の指定
0	受信動作禁止
1	受信動作許可
・ CBnRXEビット = 0にすることで受信動作を禁止するため, 規定のデータを転送されても受信完了割り込みは出力されず, 受信データ (CBnRXレジスタ) は更新されません。	

注 CBnPWRビット = 0の場合のみ書き換えが可能です。ただし同時にCBnPWRビット = 1とするのは可能です。

注意 送受信を強制中断する場合は, CBnRXEビット, CBnTXEビットではなく, CBnPWRビットをクリア (0) してください。このとき, クロック出力も停止します。

CBnDIR ^注	転送方向モード (MSB/LSB) の指定
0	MSBファースト
1	LSBファースト

CBnTMS ^注	転送モードの指定
0	シングル転送モード
1	連続転送モード

【シングル転送モード】

通信の完了で受信完了割り込み (INTCBnR) を発生します。

送信許可 (CBnTXEビット = 1) の場合でも、送信許可割り込み (INTCBnT) は発生しません。

通信中 (CBnSTR.CBnTSFビット = 1) に次の送信データをライトしても無視され、次の通信は起動しません。また、受信のみの通信に設定したとき (CBnTXEビット = 0, CBnRXEビット = 1) も、通信中 (CBnSTR.CBnTSFビット = 1) に受信データをリードしても次の通信は起動しません。

【連続転送モード】

通信中 (CBnSTR.CBnTSFビット = 1) に次の送信データをライトすることで連続送信が可能です。

次の送信データがライト可能になるのは、送信許可割り込み (INTCBnT) 発生後です。

また、連続転送モードで受信のみの通信に設定 (CBnTXEビット = 0, CBnRXEビット = 1) すると、CBnRXレジスタのリード操作に関係なく、受信完了割り込み (INTCBnR) 後、連続して次の受信を開始します。

そのため、速やかにCBnRXレジスタから受信データを読み出してください。読み出しが遅れるとオーバーラン・エラー (CBnOVEビット = 1) が発生します。

注 CBnPWRビット = 0の場合のみ書き換えが可能です。ただし同時にCBnPWRビット = 1とするのは可能です。

CBnSCE	起動転送無効 / 許可の指定
0	通信起動トリガ無効
1	通信起動トリガ有効

・マスタ・モード時
通信起動トリガの有効 / 無効を制御するビットです。

(a) シングル送信 / 送受信モード, 連続送信 / 送受信モード時
CBnSCEビットの設定は, 動作に影響ありません。

(b) シングル受信モード時
受信データ (CBnRXレジスタ) のリードで受信動作が起動されるため, 最終受信データのリードを行う前にCBnSCEビットを “0” に設定して次の受信動作の起動を無効にしてください^{注1}。

(c) 連続受信モード時
最終データの受信が完了する1通信クロック前までにCBnSCEビットを “0” に設定して最終データ受信後の受信動作の起動を無効にしてください^{注2}。

・スレーブ・モード時
通信起動トリガの有効 / 無効を制御するビットです。
CBnSCEビットは “1” に設定してください。

【CBnSCEビットの使用方法】

・シングル受信モード時
INTCBnR割り込み処理で最終データの受信が完了している場合には, CBnSCEビット = 0にしてからCBnRXレジスタを読み出す。
CBnSTR.CBnTSFビット = 0を確認後, 受信を禁止する場合, CBnRXEビット = 0とする。
続けて受信をする場合には, CBnSCEビット = 1にしてCBnRXレジスタのダメージ・リードにより次の受信動作を起動する。

・連続受信モード時
INTCBnR割り込み処理で最終データ受信中にCBnSCEビット = 0とする。
CBnRXレジスタを読み出す。
CBnTIR割り込みを受けて, CBnRXレジスタを読み出すことで, 最終受信データを読み出す。
CBnSTR.CBnTSFビット = 0を確認後, 受信を禁止する場合, CBnRXEビット = 0とする。
続けて受信をする場合には, CBnSCEビット = 1にしてCBnRXレジスタのダメージ・リードにより次の受信動作まで待つ。

- 注1. CBnSCEビットが “1” のままリードした場合, 次回の通信動作が起動されません。
2. 最終データの受信を完了する1通信クロック前までにCBnSCEビットを “0” にしない場合, 自動的に次回の通信動作が起動されます。

注意 ビット3, 2には必ず0を設定してください。

(2) CSIBn制御レジスタ1 (CBnCTL1)

CSIBnのシリアル転送動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 CBnCTL1レジスタは、CBnCTL0.CBnPWRビット = 0、またはCBnCTL0, CBnTXE, CBnRXEビット = 0の場合のみ書き換えが可能です。

リセット時：00H R/W アドレス：CB0CTL1 FFFFFFFD01H, CB1CTL1 FFFFFFFD11H

	7	6	5	4	3	2	1	0
CBnCTL1	0	0	0	CBnCKP	CBnDAP	CBnCKS2	CBnCKS1	CBnCKS0

(n = 0, 1)

	CBnCKP	CBnDAP	SCKBnに対するデータの送受信タイミングの指定
通信タイプ1	0	0	
通信タイプ2	0	1	
通信タイプ3	1	0	
通信タイプ4	1	1	

CBnCKS2	CBnCKS1	CBnCKS0	通信クロック (f _{CCLK}) 注1		モード
			n = 0	n = 1	
0	0	0	f _{xx} /2		マスタ・モード
0	0	1	f _{xx} /4		マスタ・モード
0	1	0	f _{xx} /8		マスタ・モード
0	1	1	f _{xx} /16		マスタ・モード
1	0	0	f _{xx} /32		マスタ・モード
1	0	1	f _{xx} /64		マスタ・モード
1	1	0	f _{BRG} 注2	TMP(TOP01)	マスタ・モード
1	1	1	外部クロック (SCKBn)		スレーブ・モード

注1. 通信クロック (f_{CCLK}) は、8 MHz以下になるよう設定してください。

2. 詳細は13.7 ボー・レート・ジェネレータを参照してください。

(3) CSIBn制御レジスタ2 (CBnCTL2)

CSIBnのシリアル転送ビット数を制御する8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 CBnCTL2レジスタは、CBnCTL0.CBnPWRビット = 0、またはCBnTXE、CBnRXEビット = 0の場合のみ書き換えが可能です。

リセット時：00H R/W アドレス：CB0CTL2 FFFFFFFD02H, CB1CTL2 FFFFFFFD12H

	7	6	5	4	3	2	1	0
CBnCTL2	0	0	0	0	CBnCL3	CBnCL2	CBnCL1	CBnCL0

(n = 0, 1)

CBnCL3	CBnCL2	CBnCL1	CBnCL0	シリアル・レジスタのビット長
0	0	0	0	8ビット
0	0	0	1	9ビット
0	0	1	0	10ビット
0	0	1	1	11ビット
0	1	0	0	12ビット
0	1	0	1	13ビット
0	1	1	0	14ビット
0	1	1	1	15ビット
1	×	×	×	16ビット

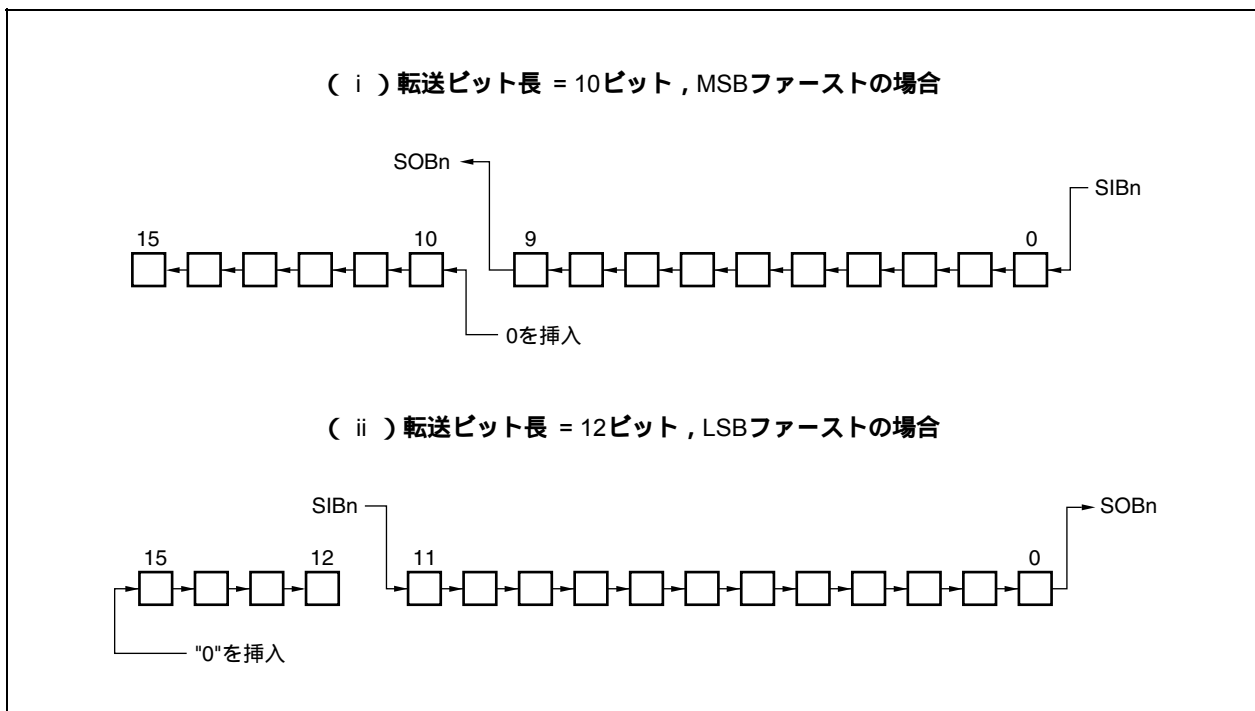
備考1. 転送ビット数が8/16ビットではない場合には、CBnTX、CBnRXレジスタの最下位ビットから詰めてデータを準備して使用してください。

2. × : don't care

(a) 転送データ長変更機能

CSIBnの転送データ長はCBnCTL2.CBnCL3-CBnCL0ビットによって、8-16ビットに1ビット単位で設定可能です。

転送ビット長を16ビット以外に設定した場合、CBnTX, CBnRXレジスタへは、転送先頭ビットがMSBであってもLSBであっても最下位ビットから詰めてデータをセットしてください。使用しない上位ビットにセットするデータは任意ですが、シリアル転送後の受信データは“0”になります。



(4) CSIBn状態レジスタ (CBnSTR)

CSIBnの状態をあらわす8ビットのレジスタです。

8/1ビット単位でリード/ライト可能ですが、CBnTSFフラグはリードのみ可能です。

リセットにより00Hになります。

リセット以外に、CBnCTL0.CBnPWRビットをクリア (0) する場合も初期化されます。

リセット時 : 00H R/W アドレス : CB0STR FFFFFFFD03H, CB1STR FFFFFFFD13H

	7	6	5	4	3	2	1	0
CBnSTR	CBnTSF	0	0	0	0	0	0	CBnOVE

(n = 0, 1)

CBnTSF	通信状態フラグ
0	通信停止
1	通信中
<ul style="list-style-type: none"> ・送信時にはCBnTXレジスタにデータを準備したタイミングでセットされます。 受信時にはCBnRXレジスタをダミー・リードしたタイミングでセットされます。 転送終了時、クロックの最後のエッジでクリア (0) されます。 	

CBnOVE	オーバラン・エラー・フラグ
0	オーバランなし
1	オーバランあり
<ul style="list-style-type: none"> ・受信時もしくは受信動作完了後に、受信バッファの値をCPUがリードせずに次の受信が完了した場合、オーバラン・エラーとなります。 CBnOVEフラグは、このような場合のオーバラン・エラーの発生状態を示します。 ・シングル転送モード時もCBnOVEビットは有効です。そのため、送信のみで使用する場合は、次のように対応してください。 <ul style="list-style-type: none"> ・CBnOVEフラグのチェックを行わない。 ・受信データを読み出す必要がない場合でも読み出す。 ・CBnOVEフラグは“0”ライトによりクリアされます。“1”ライトしてもセットされません。 	

13.4 割り込み要求信号

CSIBnからは次の2種類の割り込み要求信号を発生します。

- ・ 受信完了割り込み要求信号 (INTCBnR)
- ・ 送信許可割り込み要求信号 (INTCBnT)

これら2種類の割り込み要求信号のデフォルト優先順位は、受信完了割り込み要求信号の方が高く、送信許可割り込み要求信号の方が低くなっています。

表13-2 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信完了	高
送信許可	低

(1) 受信完了割り込み要求信号 (INTCBnR)

受信許可状態中で、CBnRXレジスタに受信データが転送されると受信完了割り込み要求信号が発生します。

受信完了割り込み要求信号は、オーバラン・エラーが起こった場合にも発生します。

受信完了割り込み要求信号を受け付け、データを読み出すときに、CBnSTRレジスタを読み出して受信結果がエラーでないか確認してください。

また、シングル転送モード時は送信のみにおいても、送信完了のタイミングで、INTCBnR割り込み要求信号が発生します。

(2) 送信許可割り込み要求信号 (INTCBnT)

連続送信 / 連続送受信モードにおいて、CBnTXレジスタから送信データが転送され、CBnTXへの書き込みが可能となった時点で送信許可割り込み要求信号を発生します。

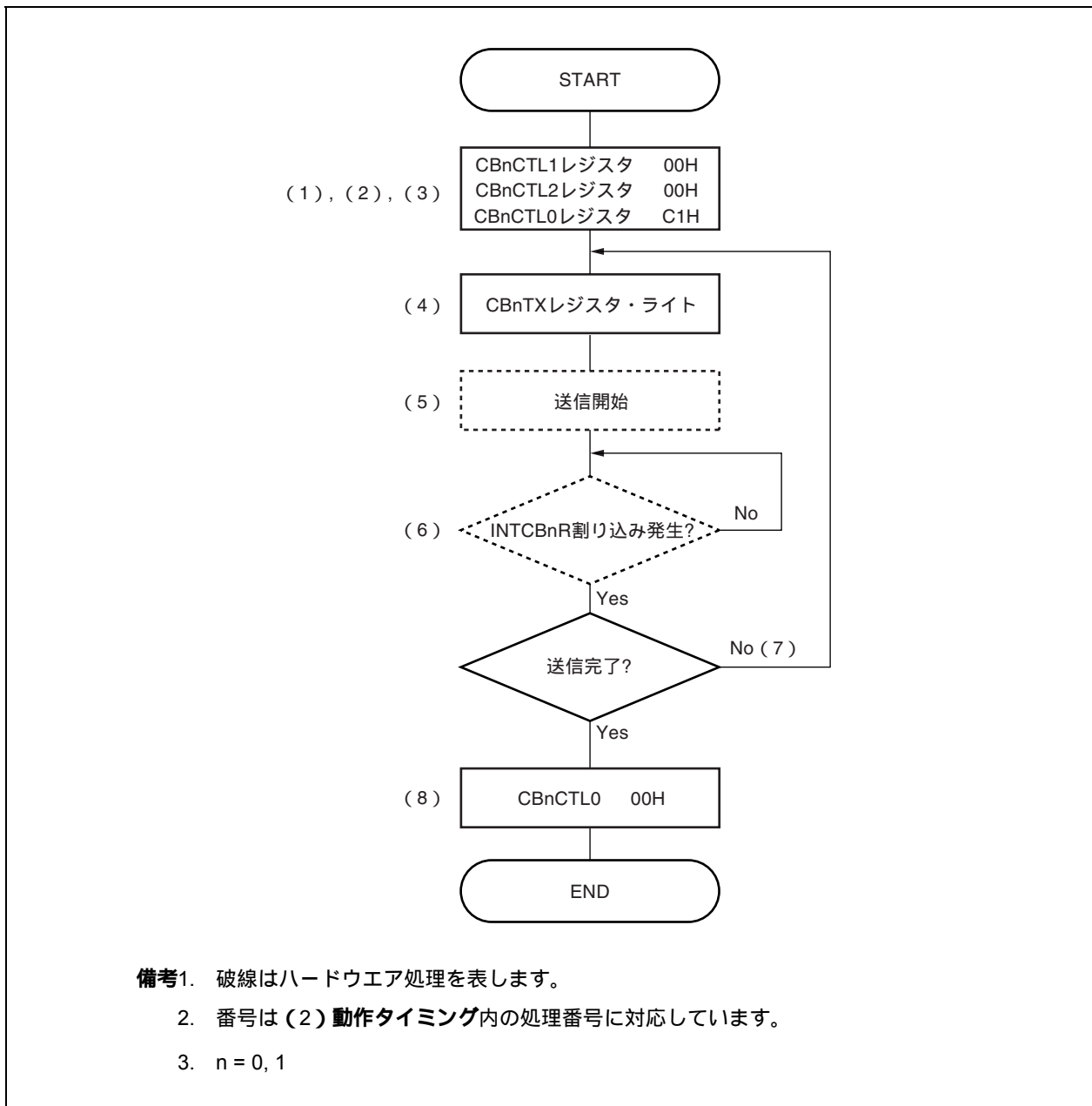
シングル送信 / シングル送受信モードにおいては、INTCBnT割り込みは発生しません。

13.5 動作

13.5.1 シングル転送モード (マスタ・モード, 送信モード)

MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ1 (CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック (f_{CLK}) = $f_{xx}/2$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

(1) 動作フロー

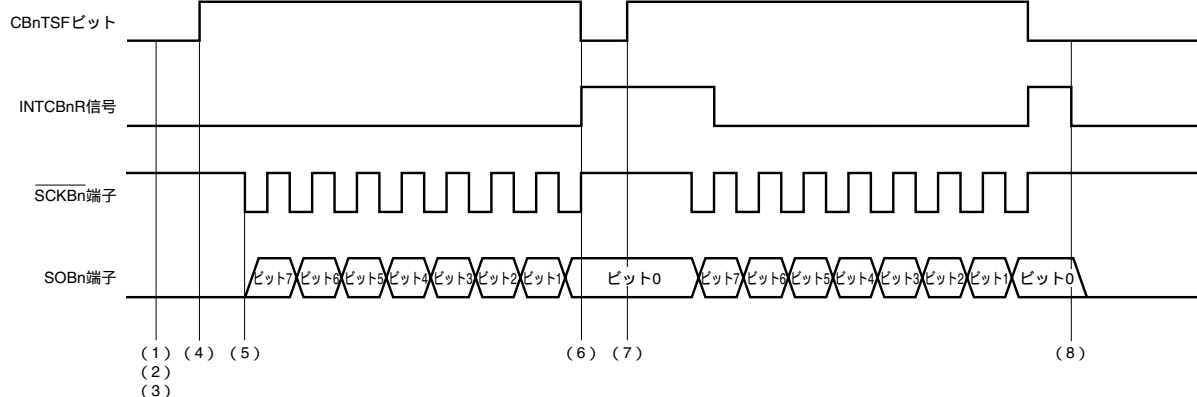


備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

3. $n = 0, 1$

(2) 動作タイミング



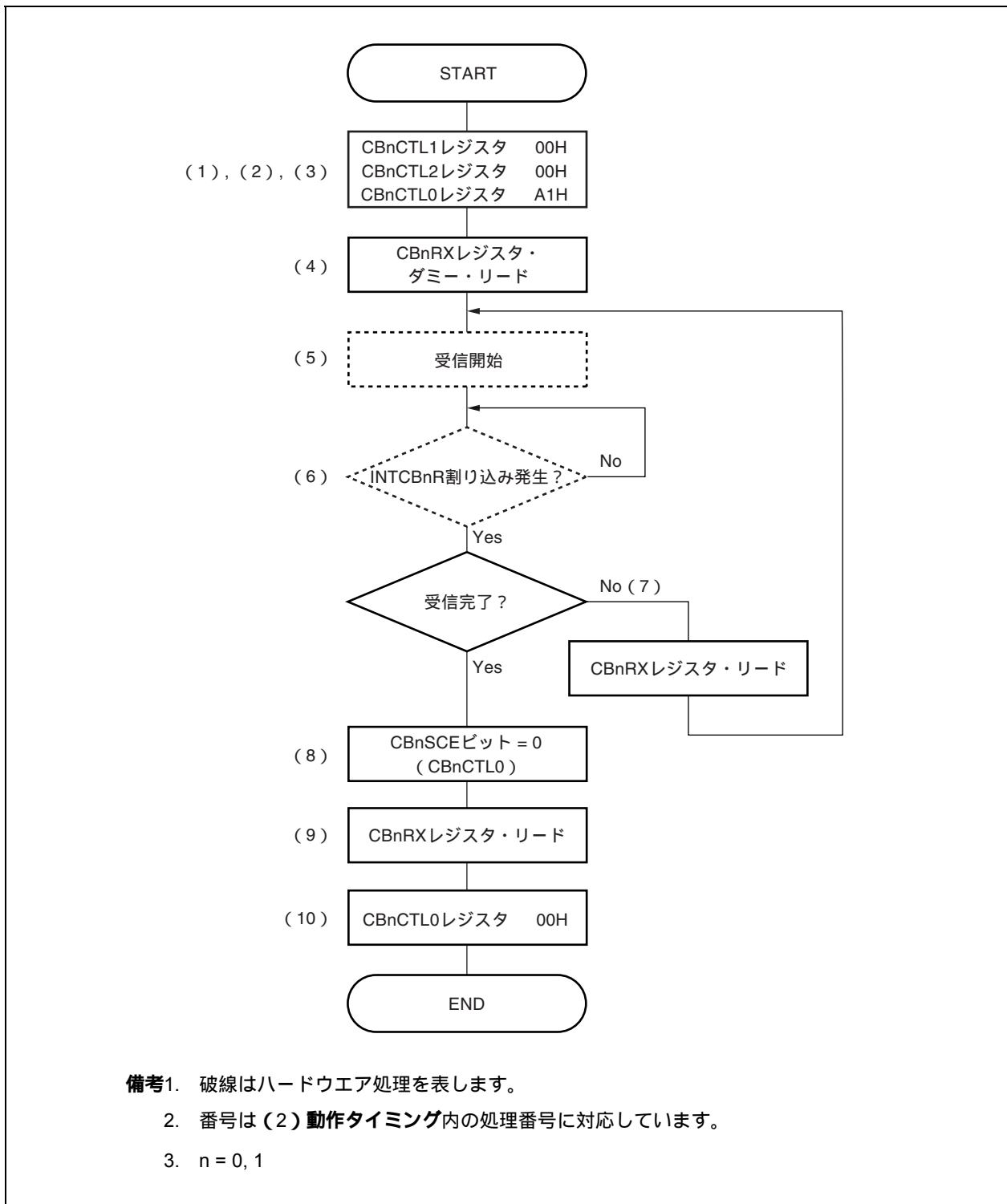
- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = $f_{xx}/2$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC1Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、送信モード、MSBファーストを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット(1)され、送信を開始します。
- (5) 送信が開始されると、SCKBn端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CBnCTL2レジスタで設定した転送データ長分の送信が終了すると、シリアル・クロックの出力と送信データの出力を停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCBnR) を発生し、CBnTSFビットをクリア(0)する。
- (7) 続けて送信を行う場合は、INTCBnR信号発生後、再びCBnTXレジスタに送信データをライトすることで次の送信を開始する。
- (8) 送信を完了する場合は、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnTXEビット = 0をライトする。

備考 n = 0, 1

13.5.2 シングル転送モード (マスタ・モード, 受信モード)

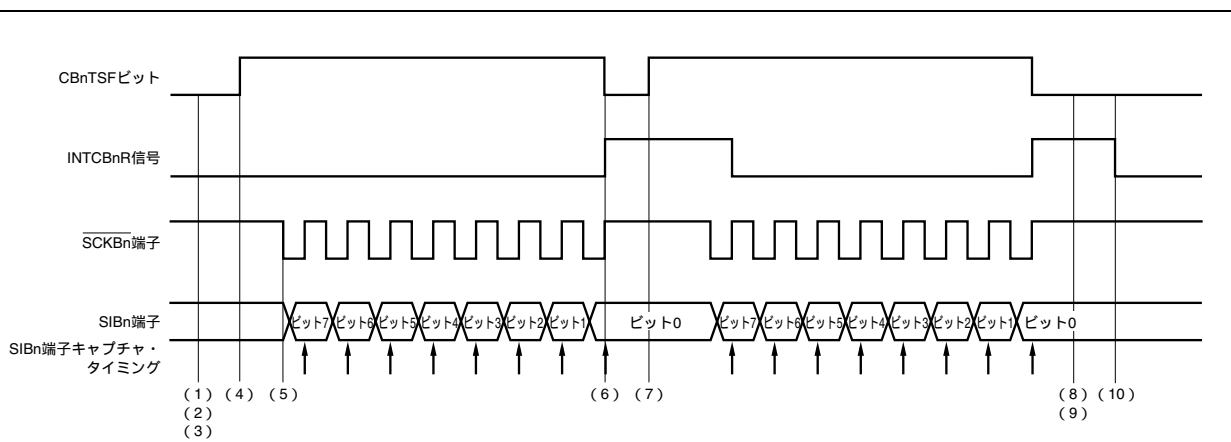
MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック(f_{CLK}) = $f_{xx}/2$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



- 備考1.** 破線はハードウェア処理を表します。
2. 番号は(2)動作タイミング内の処理番号に対応しています。
3. $n = 0, 1$

(2) 動作タイミング



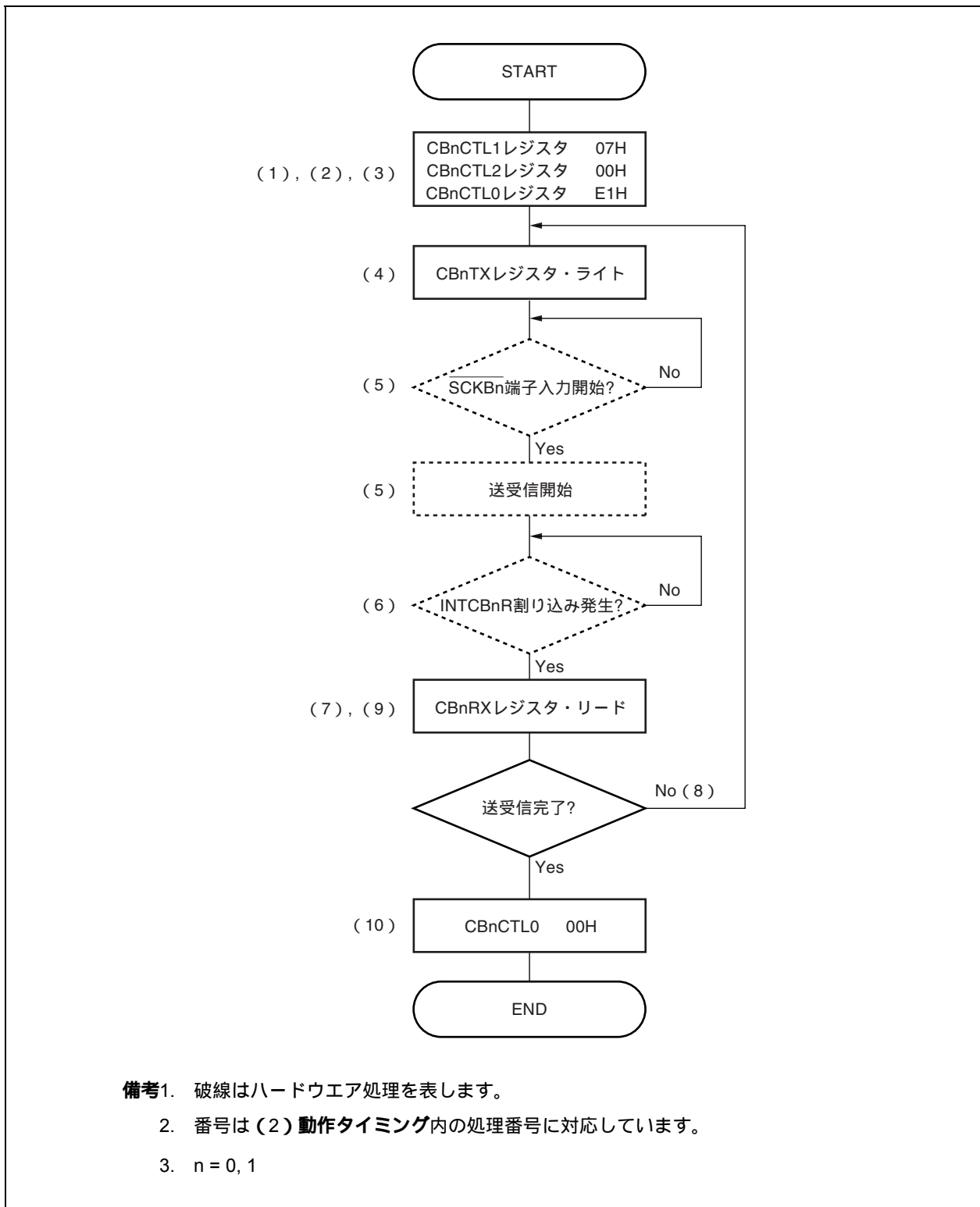
- (1) CnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = $f_{xx}/2$ 、マスタ・モードを選択する。
- (2) CnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CnCTL0レジスタにA1Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、受信モード、MSBファーストを選択する。
- (4) CnRXレジスタをダミー・リードすることで、CnSTR.CnTSFビットがセット(1)され、受信を開始します。
- (5) 受信が開始されると、SCKn端子にシリアル・クロックを出力し、シリアル・クロックに同期してSIBn端子の受信データをキャプチャする。
- (6) CnCTL2レジスタで設定した転送データ長分の受信が終了すると、シリアル・クロック出力とデータ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCnR) を発生し、CnTSFビットをクリア(0)する。
- (7) 続けて受信を行う場合は、ITNCnR信号発生後、CnCTL0.CnSCEビット = 1のまま、CnRXレジスタをリードする。
- (8) 次の受信を開始させずにCnRXレジスタをリードする場合には、CnSCEビット = 0をライトする。
- (9) CnRXレジスタをリードする。
- (10) 受信を完了する場合は、CnCTL0.CnPWRビット = 0, CnCTL0.CnRXEビット = 0をライトする。

備考 n = 0, 1

13.5.3 シングル転送モード (マスタ・モード, 送受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック(f_{CCLK}) = $f_x/2$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー

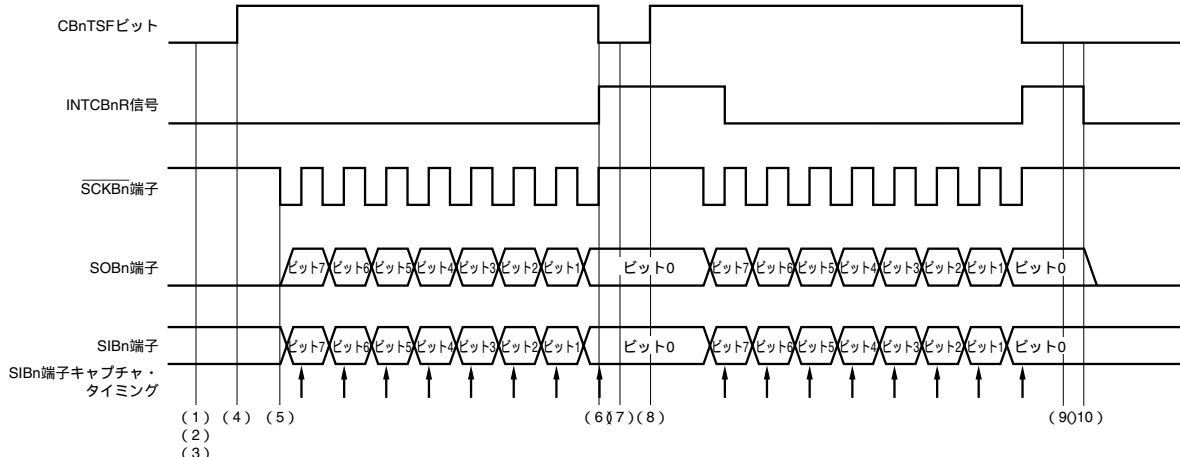


備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

3. $n = 0, 1$

(2) 動作タイミング



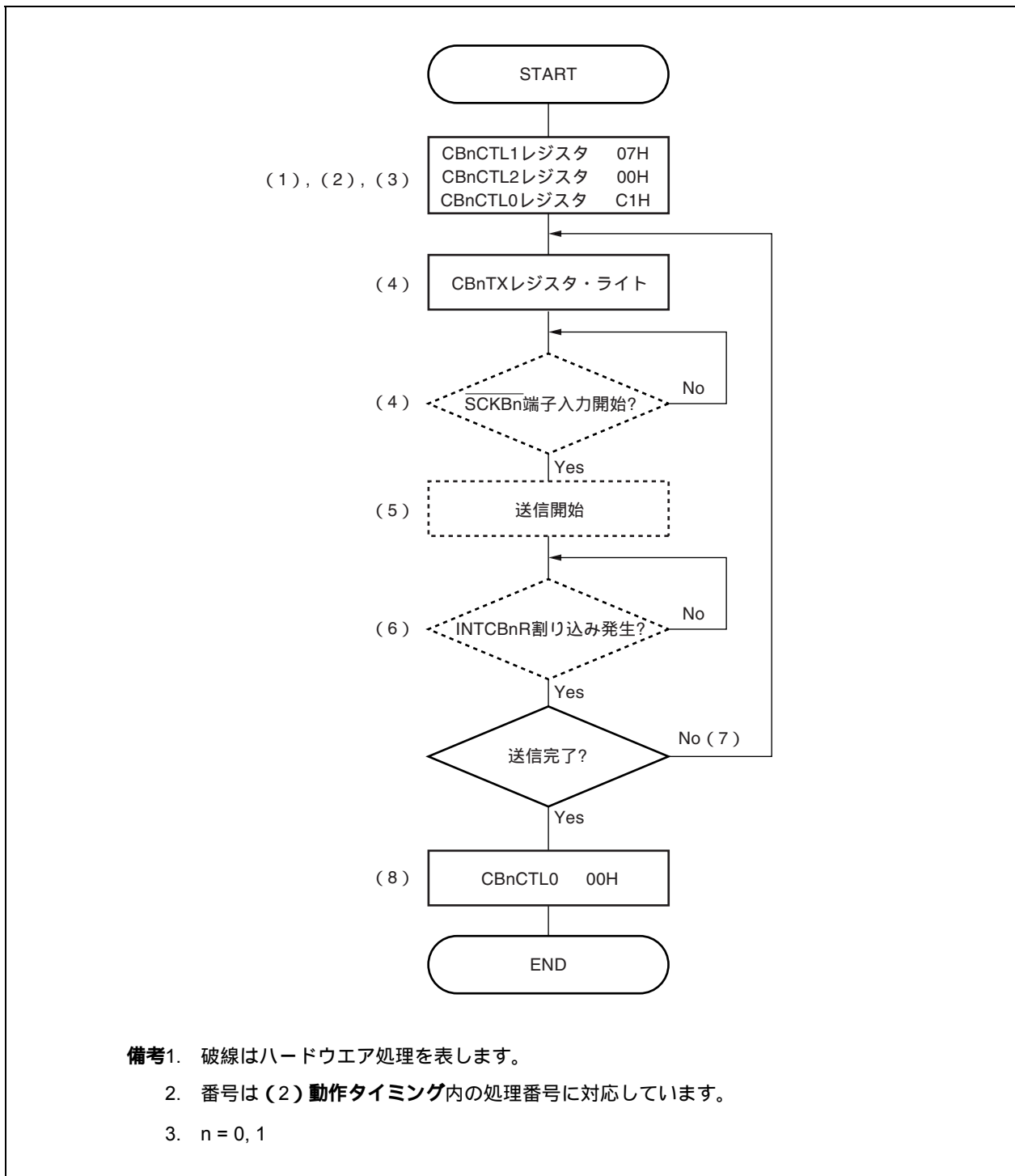
- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = $f_{xx}/2$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにE1Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、送受信モード、MSBファーストを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSPビットがセット (1) され、送受信を開始します。
- (5) 送受信が開始されると、 \overline{SCKBn} 端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOBn端子に送信データを出力し、SIBn端子の受信データをキャプチャする。
- (6) CBnCTL2レジスタで設定した転送データ長分の送受信が終了すると、シリアル・クロックの出力、送信データの出力、データ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCBnR) を発生し、CBnTSPビットをクリア (0) する。
- (7) CBnRXレジスタをリードする。
- (8) 続けて送受信を行う場合は、再びCBnTXレジスタに送信データをライトする。
- (9) CBnRXレジスタをリードする。
- (10) 送受信を完了する場合は、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

備考 n = 0, 1

13.5.4 シングル転送モード (スレーブ・モード, 送信モード)

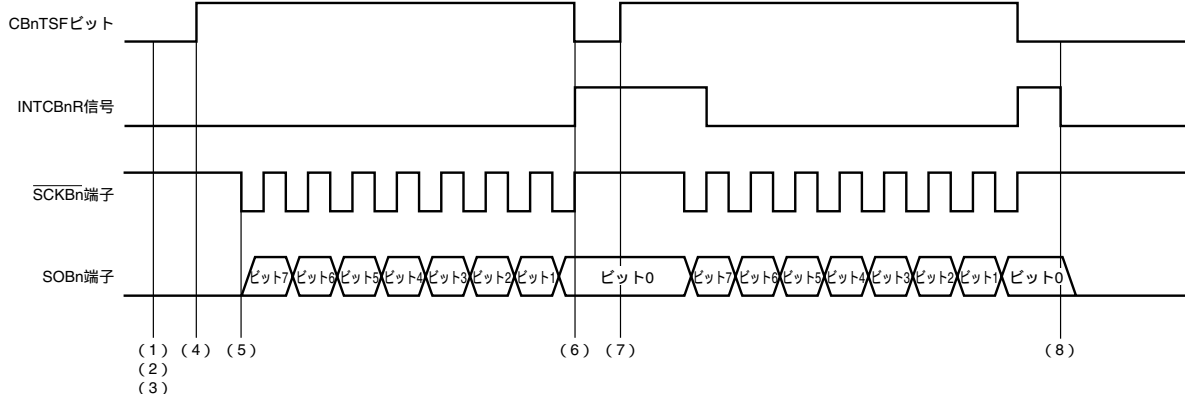
MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック(f_{CCLK}) =外部クロック($SCKBn$) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



- 備考1.** 破線はハードウェア処理を表します。
2. 番号は(2)動作タイミング内の処理番号に対応しています。
 3. $n = 0, 1$

(2) 動作タイミング



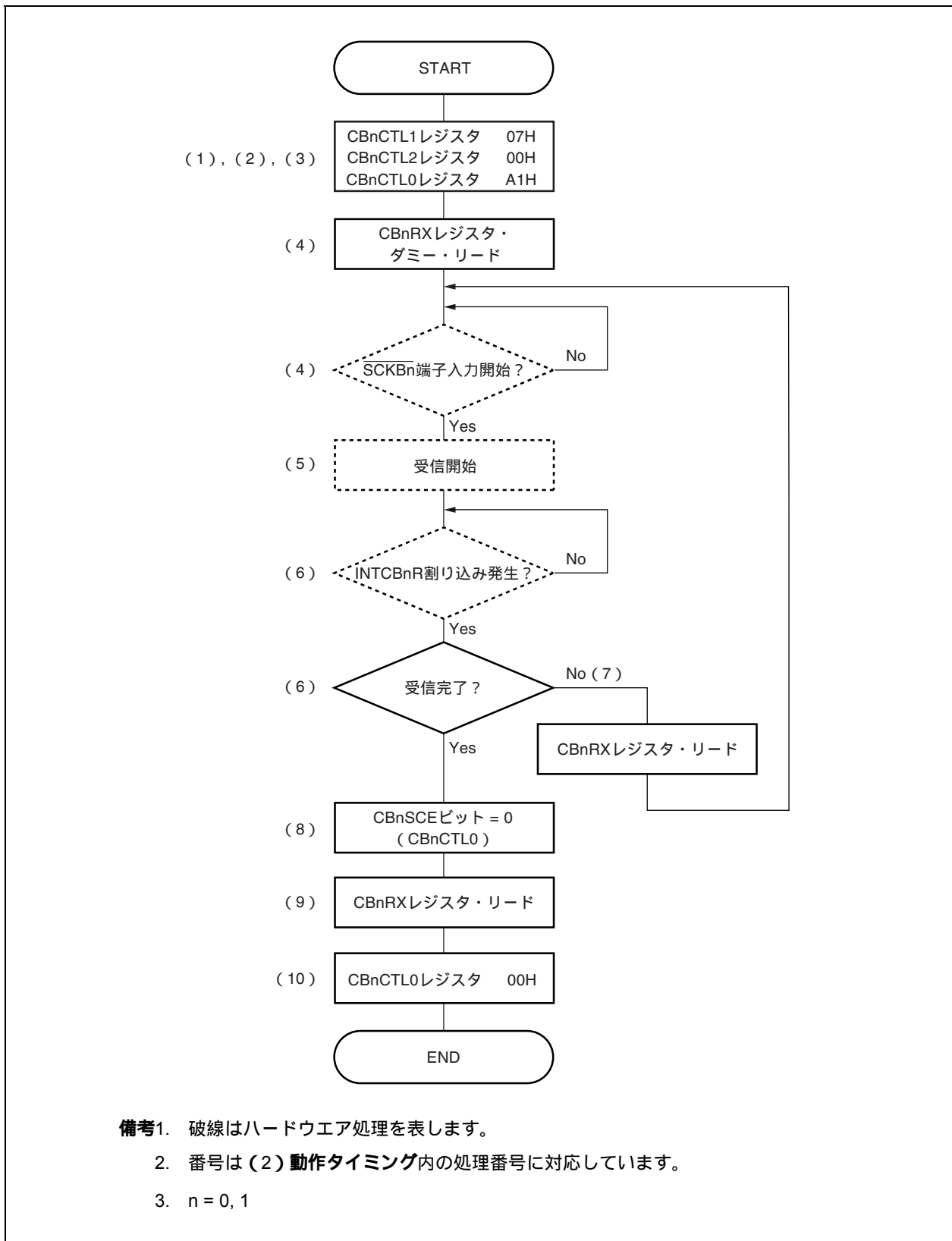
- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = 外部クロック ($SCKBn$)、スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC1Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、送信モード、MSBファーストを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット(1)され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CBnCTL2レジスタで設定した転送データ長分の送信が終了すると、シリアル・クロックの出力と送信データの出力を停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCBnR) を発生し、CBnTSFビットをクリア(0)する。
- (7) 続けて送信を行う場合は、INTCBnR信号発生後、再びCBnTXレジスタに送信データをライトし、シリアル・クロックの入力を待つ。
- (8) 送信を完了する場合は、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnTXEビット = 0をライトする。

備考 n = 0, 1

13.5.5 シングル転送モード (スレーブ・モード, 受信モード)

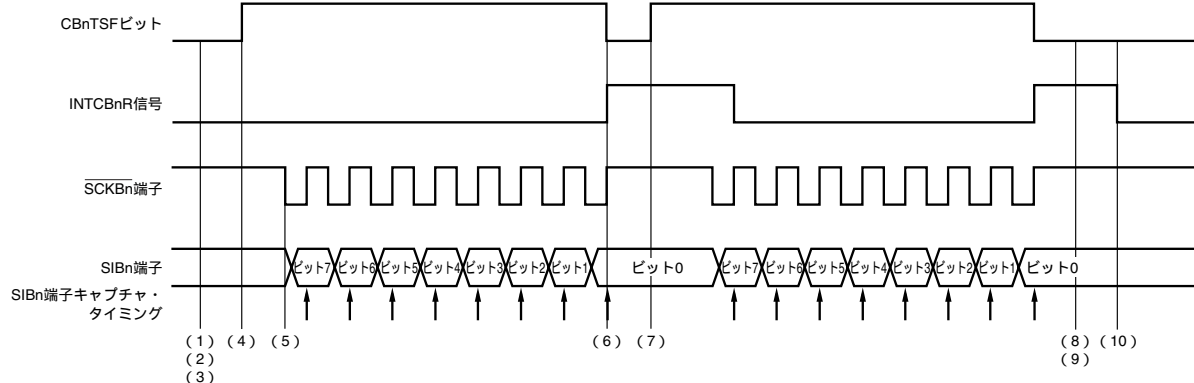
MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック(f_{CCLK}) = 外部クロック(\overline{SCKBn}) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
 2. 番号は(2)動作タイミング内の処理番号に対応しています。
 3. n = 0, 1

(2) 動作タイミング



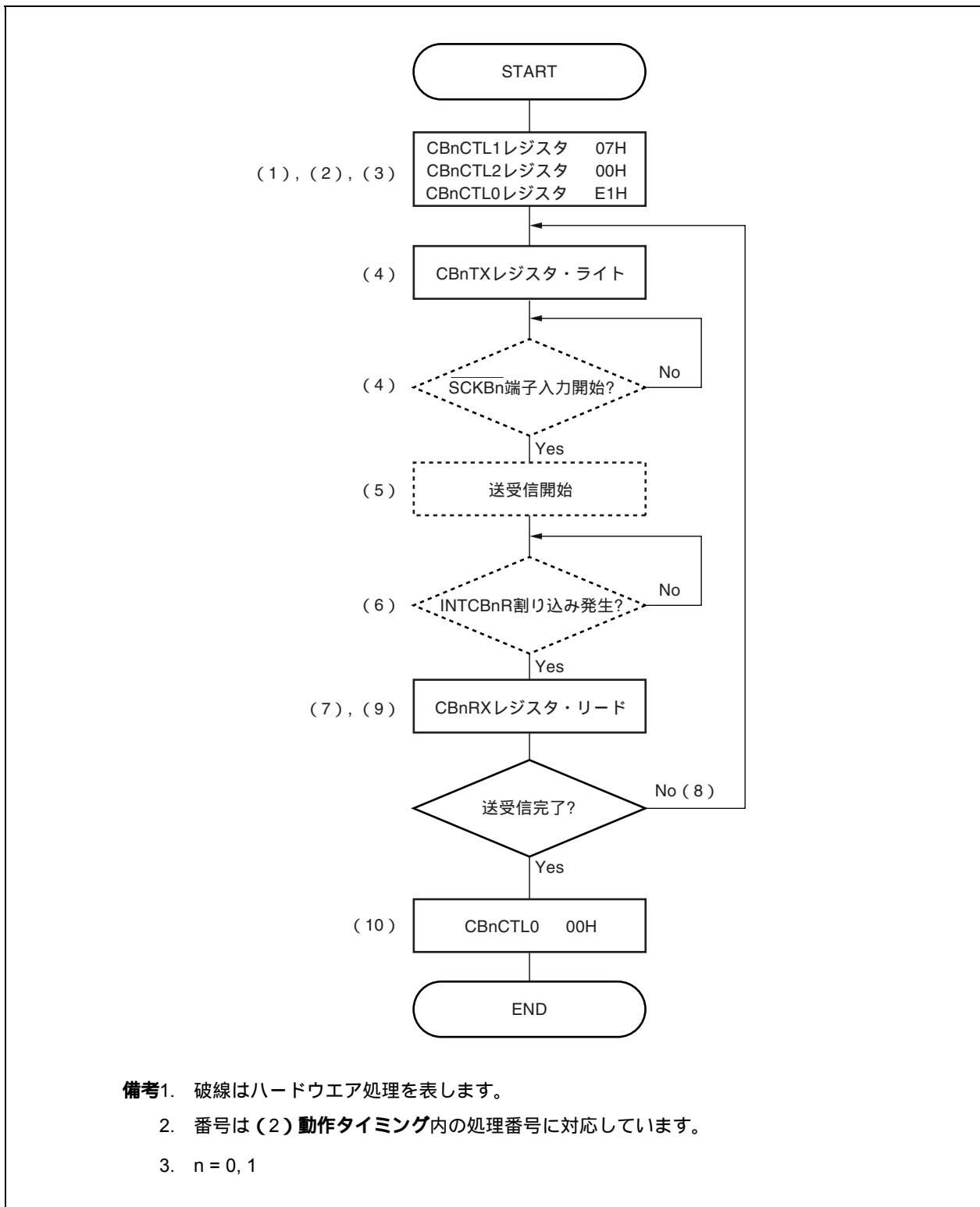
- (1) CnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = 外部クロック (SCKcCn)、スレーブ・モードを選択する。
- (2) CnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CnCTL0レジスタにA1Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、受信モード、MSBファーストを選択する。
- (4) CnRXレジスタをダミー・リードすることで、CnSTR.CnTnTSFビットがセット(1)され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSIBcCn端子の受信データをキャプチャする。
- (6) CnCTL2レジスタで設定した転送データ長分の受信が終了すると、シリアル・クロック出力とデータ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTcCnR) を発生し、CnTnTSFビットをクリア(0)する。
- (7) 続けて受信を行う場合は、INTcCnR信号発生後、CnCTL0.CnSCEビット = 1のまま、CnRXレジスタをリードし、シリアル・クロックの入力を待つ。
- (8) 受信を完了する場合は、CnSCEビット = 0をライトする。
- (9) CnRXレジスタをリードする。
- (10) 受信を完了する場合は、CnCTL0.CnPWRビット = 0, CnCTL0.CnRXEビット = 0をライトする。

備考 n = 0, 1

13.5.6 シングル転送モード (スレーブ・モード, 送受信モード)

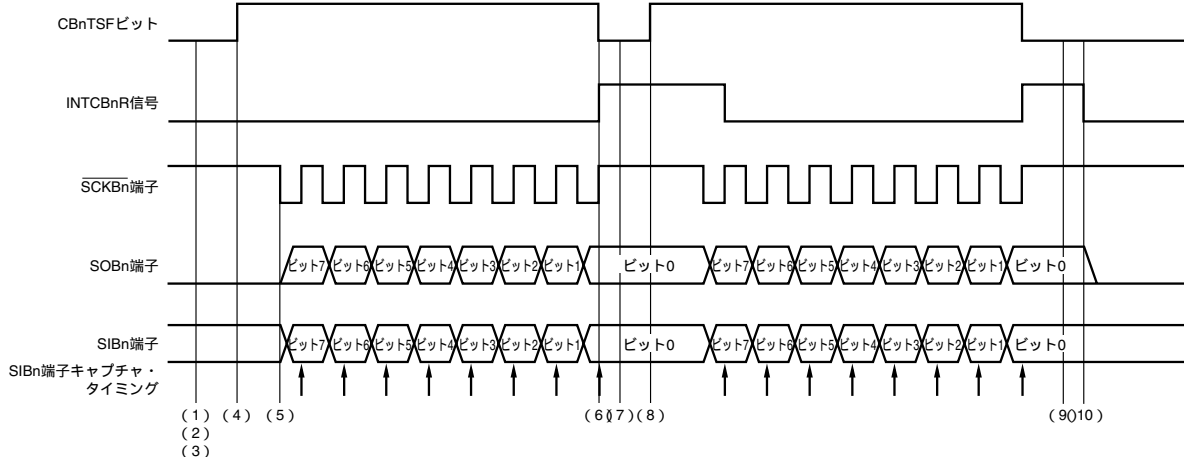
MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック(f_{CLK}) =外部クロック(SCKBn)(CBnCTL1.CBnCKS2-CBnCKS0ビット = 111),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



- 備考1.** 破線はハードウェア処理を表します。
2. 番号は(2)動作タイミング内の処理番号に対応しています。
 3. $n = 0, 1$

(2) 動作タイミング



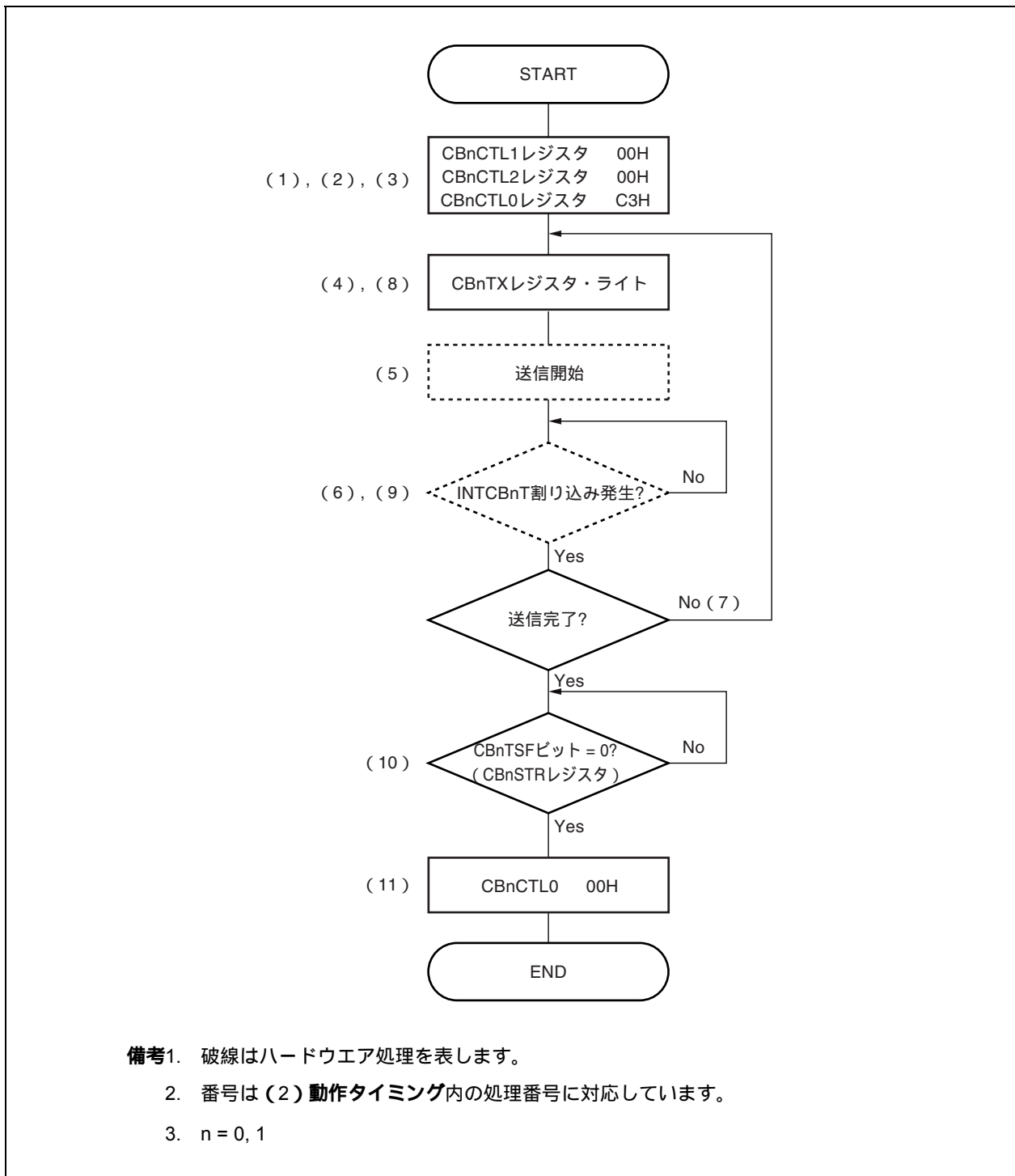
- (1) CBnCTL1レジスタに07Hをライトし，通信タイプ1，通信クロック (f_{CLK}) = 外部クロック ($\overline{\text{SCKBn}}$)，スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし，転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにE1Hをライトし，通信クロック (f_{CLK}) を動作許可状態にすると同時に，送受信モード，MSBファーストを選択する。
- (4) CBnTXレジスタに送信データをライトすることで，CBnSTR.CBnTSFビットがセット (1) され，シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると，シリアル・クロックに同期してSOBn端子に送信データを出し，SIBn端子の受信データをキャプチャする。
- (6) CBnCTL2レジスタで設定した転送データ長分の送受信が終了すると，シリアル・クロックの出力，送信データの出力，データ・キャプチャを停止し，シリアル・クロックの最終エッジで，受信完了割り込み要求信号 (INTCBnR) を発生し，CBnTSFビットをクリア (0) する。
- (7) CBnRXレジスタをリードする。
- (8) 続けて送受信を行う場合は，再びCBnTXレジスタに送信データをライトし，シリアル・クロックの入力を待つ。
- (9) CBnRXレジスタをリードする。
- (10) 送受信を完了する場合は，CBnCTL0.CBnPWRビット = 0，CBnCTL0.CBnTXEビット = 0，CBnCTL0.CBnRXEビット = 0をライトする。

備考 n = 0, 1

13.5.7 連続転送モード (マスタ・モード, 送信モード)

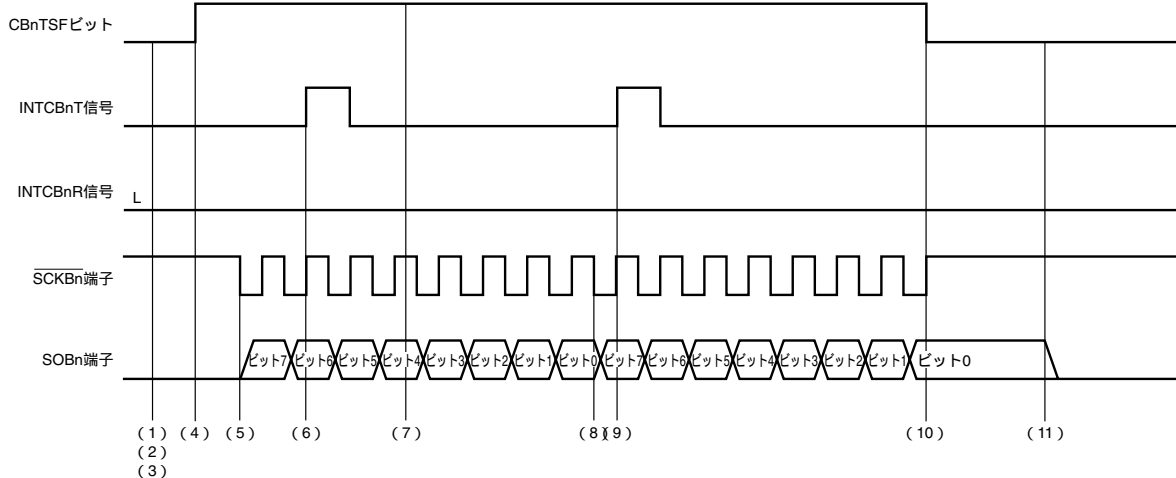
MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック(f_{CLK}) = $f_{xx}/2$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
 2. 番号は(2)動作タイミング内の処理番号に対応しています。
 3. $n = 0, 1$

(2) 動作タイミング



- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = $f_{xx}/2$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC3Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、送信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット (1) され、送信を開始します。
- (5) 送信が開始されると、 \overline{SCKBn} 端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCBnT) が発生する。
- (7) 続けて送信を行う場合は、INTCBnT信号発生後、再びCBnTXレジスタに送信データをライトする。
- (8) 通信完了前に新たな送信データがCBnTXレジスタへライトされていると、通信完了後に続けて次の通信を開始する。
- (9) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、INTCBnT信号が発生する。現送信で連続送信を完了する場合は、CBnTXレジスタへのライトを行わない。
- (10) 転送完了までに次の送信データがCBnTXレジスタへライトされない場合は、転送完了後、 \overline{SCKBn} 端子へのシリアル・クロック出力を停止し、CBnTSFビットをクリア (0) する。
- (11) 送信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnTXEビット = 0をライトする。

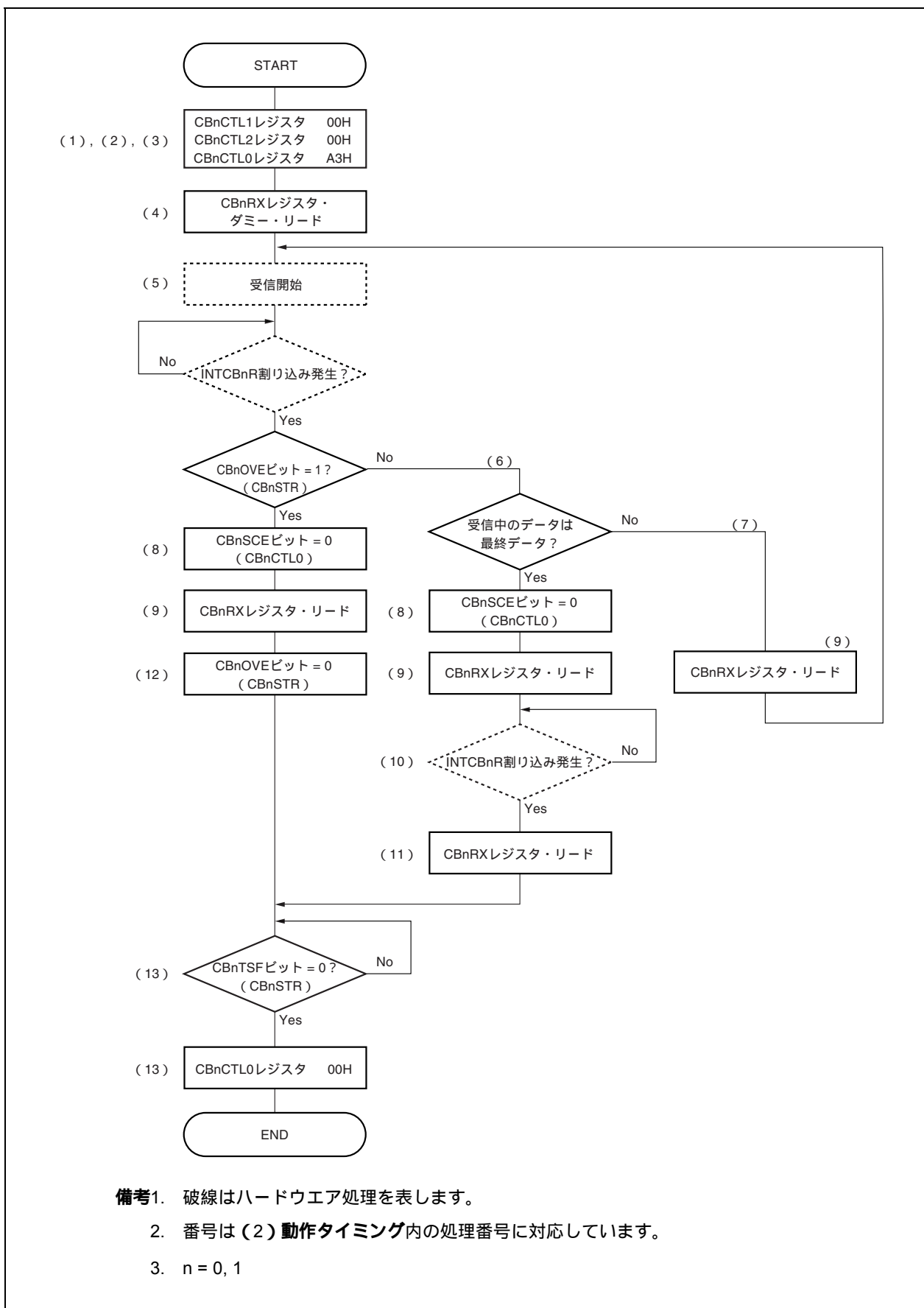
注意 連続送信モードでは、受信完了割り込み要求信号 (INTCBnR) は発生しません。

備考 n = 0, 1

13.5.8 連続転送モード (マスタ・モード, 受信モード)

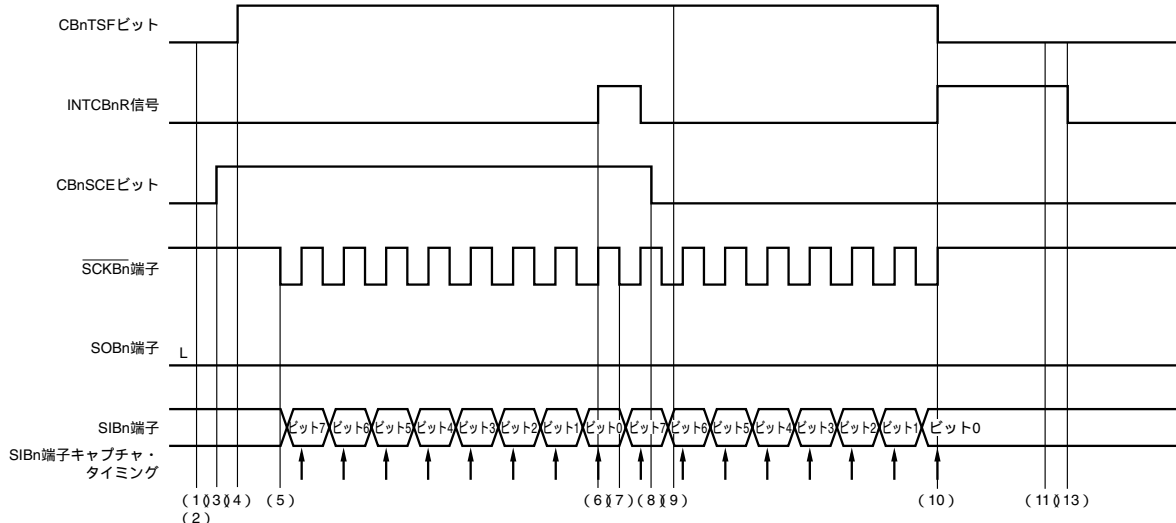
MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック(f_{CLK}) = $f_{\text{xx}}/2$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
 2. 番号は(2)動作タイミング内の処理番号に対応しています。
 3. n = 0, 1

(2) 動作タイミング



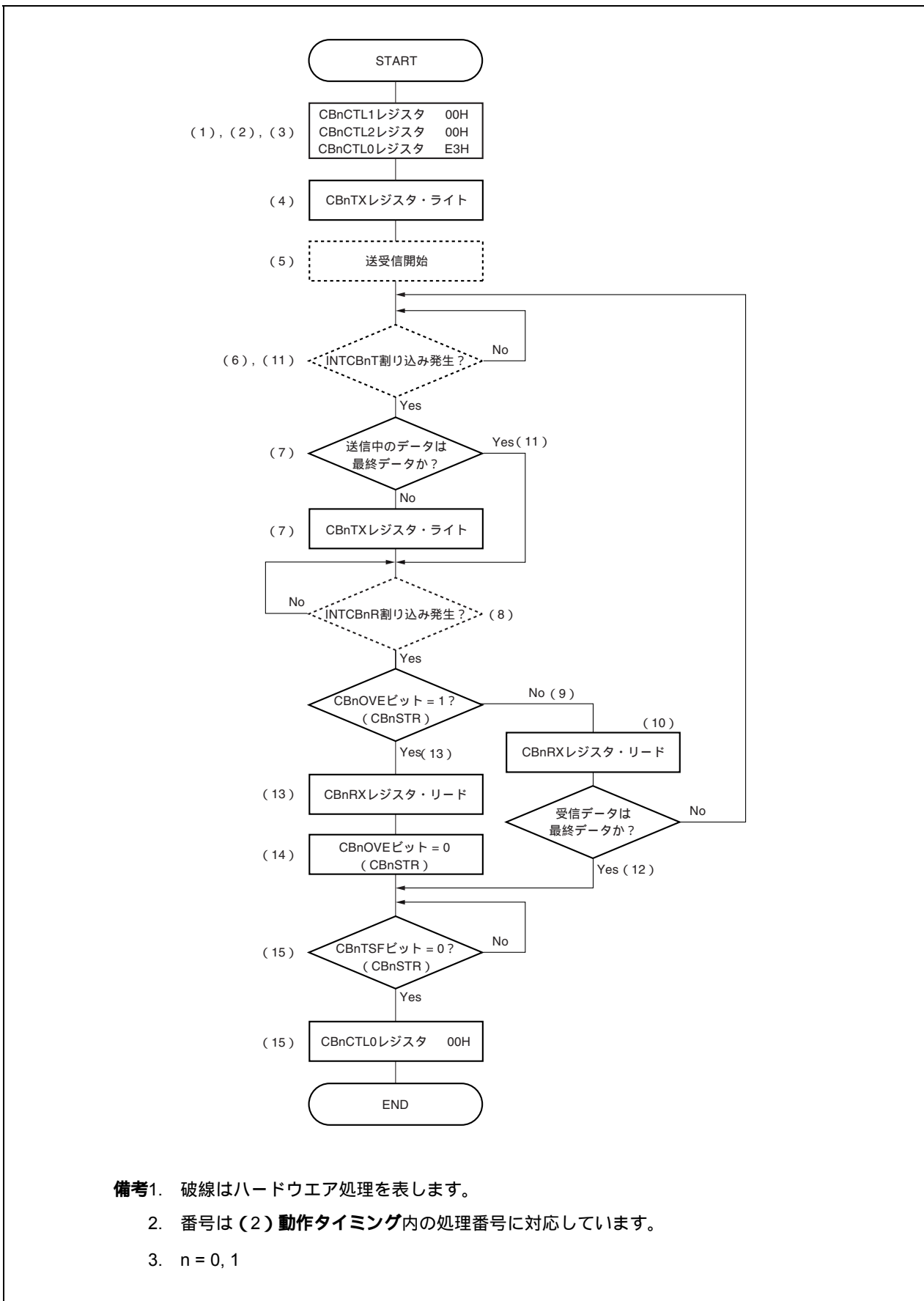
- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = $f_{\text{xx}}/2$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにA3Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、受信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnRXレジスタをダミー・リードすることで、CBnSTR.CBnTSFビットがセット(1)され、受信を開始します。
- (5) 受信が開始されると、 $\overline{\text{SCKBn}}$ 端子にシリアル・クロックを出力し、シリアル・クロックに同期してSIBn端子の受信データをキャプチャする。
- (6) 受信が完了すると、受信完了割り込み要求信号 (INTCBnR) が発生し、CBnRXレジスタのリードが可能になる。
- (7) 通信完了時にCBnCTL0.CBnSCEビット = 1だと、通信完了後に続けて次の通信を開始する。
- (8) 現受信で連続受信を完了する場合は、CBnSCEビット = 0をライトする。
- (9) CBnRXレジスタをリードする。
- (10) 受信が完了すると、INTCBnR信号が発生し、CBnRXレジスタのリードが可能になる。通信完了前にCBnSCEビット = 0に設定されていると、 $\overline{\text{SCKBn}}$ 端子へのシリアル・クロックの出力を停止し、CBnTSFビットをクリア(0)し受信動作を終了する。
- (11) CBnRXレジスタをリードする。
- (12) オーバラン・エラー発生時は、CBnSTR.CBnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (13) 受信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnRXEビット = 0をライトする。

備考 n = 0, 1

13.5.9 連続転送モード (マスタ・モード, 送受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック(f_{CLK}) = $f_{\text{X}}/2$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

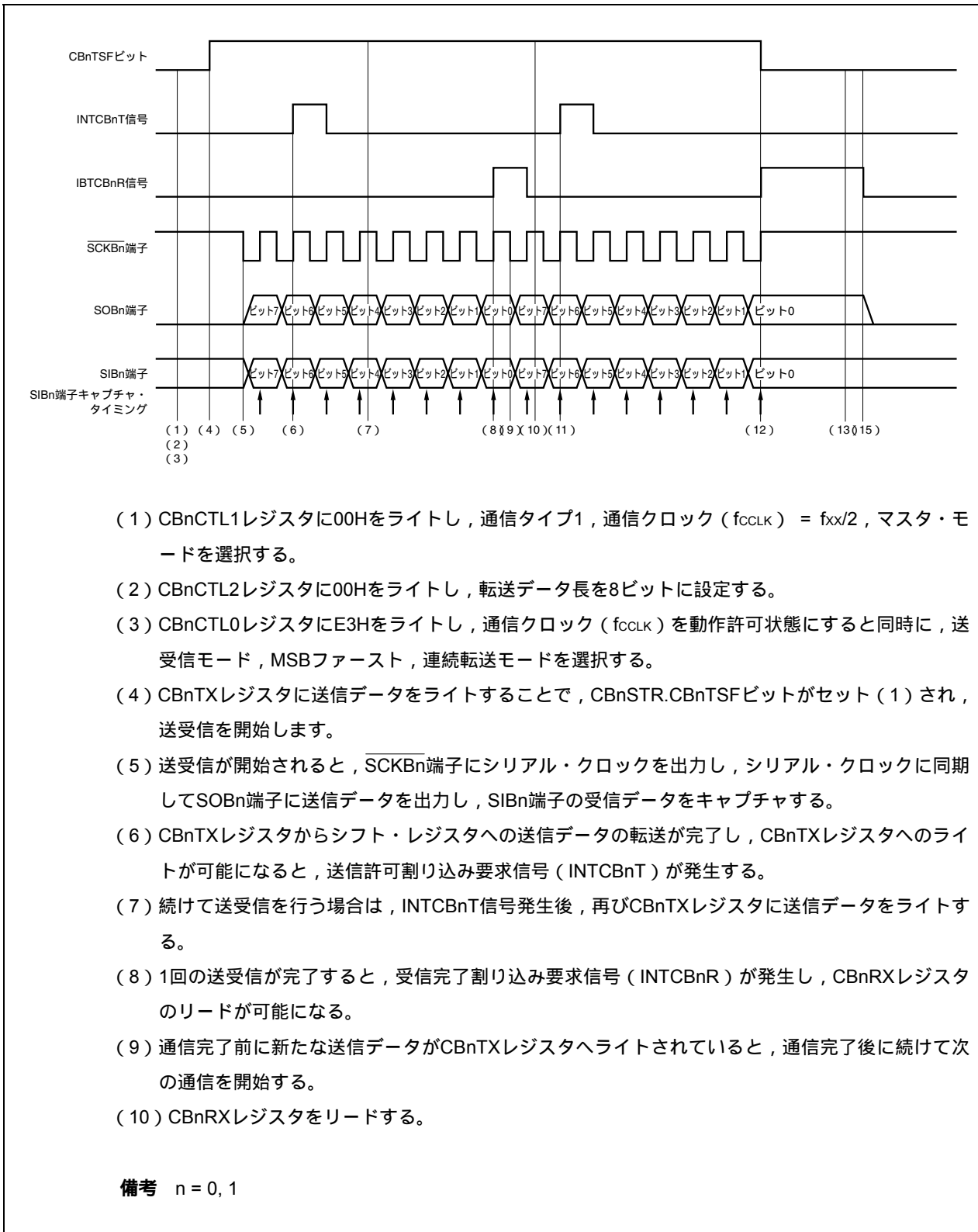
(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
2. 番号は(2)動作タイミング内の処理番号に対応しています。
3. n = 0, 1

(2) 動作タイミング

(1/2)



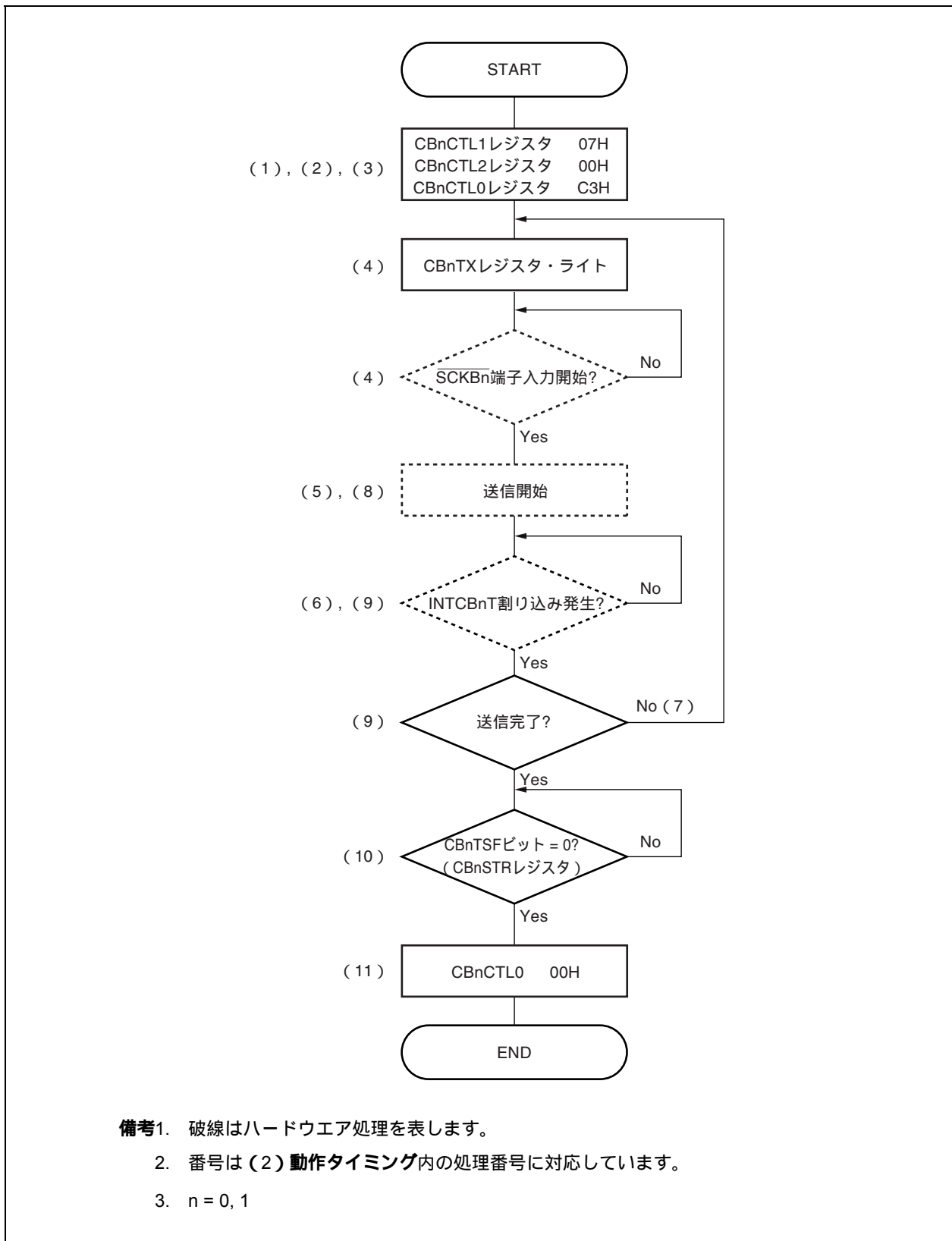
- (11) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、INTCBnT信号が発生する。現送受信で連続送受信を完了する場合は、CBnTXレジスタへのライトを行わない。
- (12) 転送完了までに次の送信データがCBnTXレジスタへライトされない場合は、転送完了後、 \overline{SCKBn} 端子へのシリアル・クロック出力を停止し、CBnTSFビットをクリア(0)する。
- (13) 受信エラー割り込み要求信号(INTCBnR)発生時は、CBnRXレジスタをリードする。
- (14) オーバラン・エラー発生時は、CBnSTR.CBnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (15) 送受信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

備考 n = 0, 1

13.5.10 連続転送モード (スレーブ・モード, 送信モード)

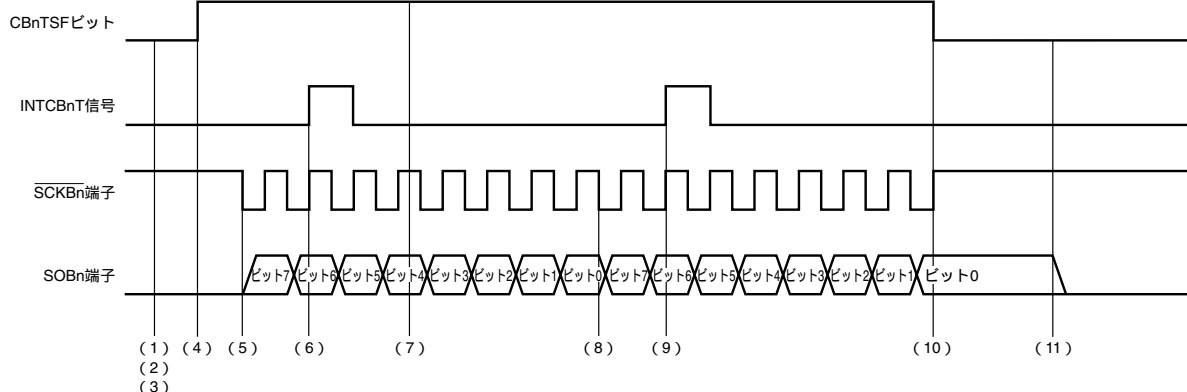
MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック(f_{CLK}) = 外部クロック(SCKBn)(CBnCTL1.CBnCKS2-CBnCKS0ビット = 111),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
 2. 番号は(2)動作タイミング内の処理番号に対応しています。
 3. n = 0, 1

(2) 動作タイミング



- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = 外部クロック (SCKBn)、スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC3Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、送信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット (1) され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCBnT) が発生する。
- (7) 続けて送信を行う場合は、INTCBnT信号発生後、再びCBnTXレジスタに送信データをライトする。
- (8) CBnCTL2レジスタで設定した転送データ長分の送信が完了後に続けてシリアル・クロックが入力されると、連続送信を開始する。
- (9) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になるとINTCBnT信号が発生する。現送信で連続送信を完了する場合は、CBnTXレジスタへのライトを行わない。
- (10) CBnTXレジスタへライトされていない状態で、CBnCTL2レジスタに設定した転送データ長分のクロックが入力されると、CBnTSFビットをクリア (0) し、送信を終了する。
- (11) 送信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnTXEビット = 0をライトする。

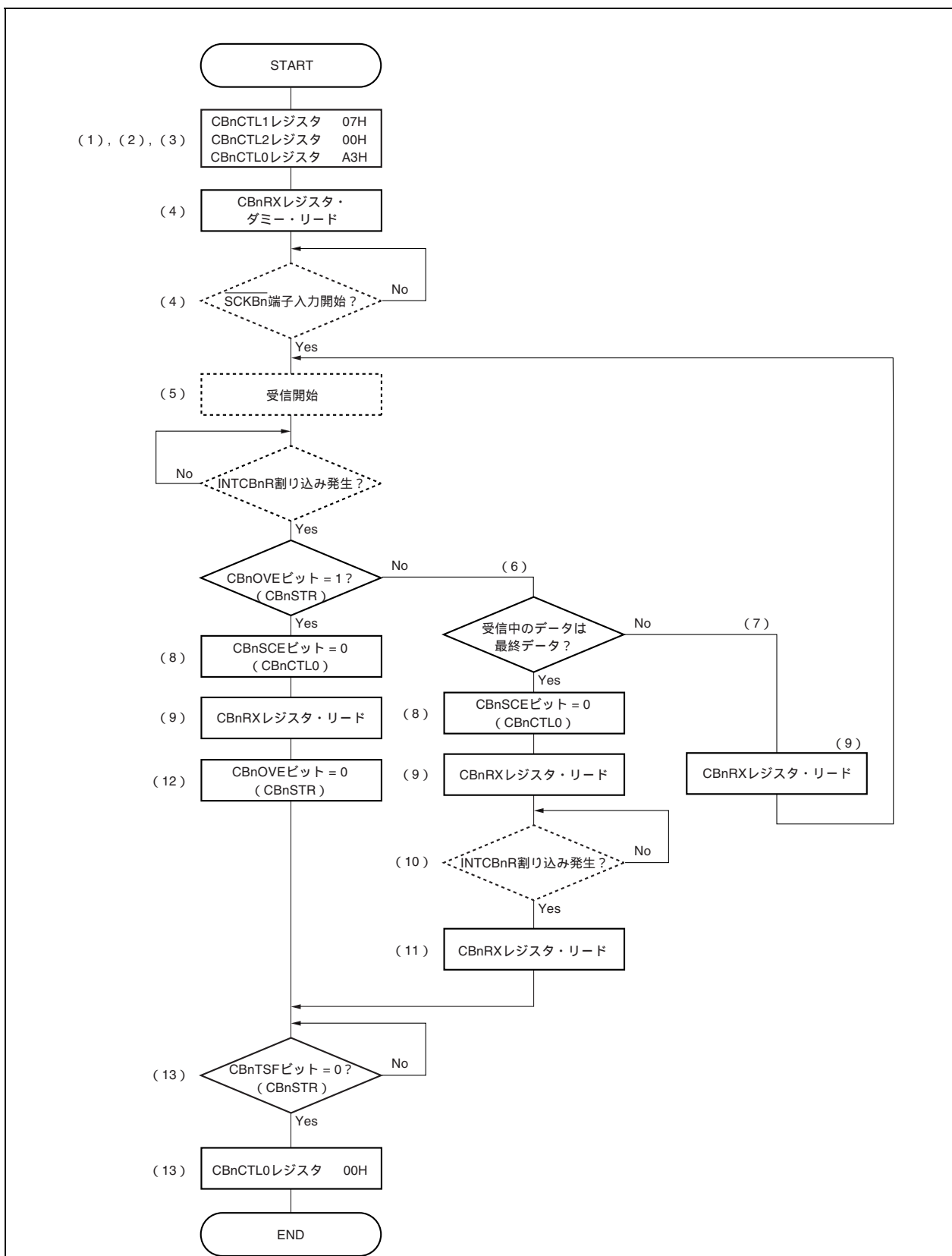
注意 連続送信モードでは、受信完了割り込み要求信号 (INTCBnR) は発生しません。

備考 n = 0, 1

13. 5. 11 連続転送モード (スレーブ・モード, 受信モード)

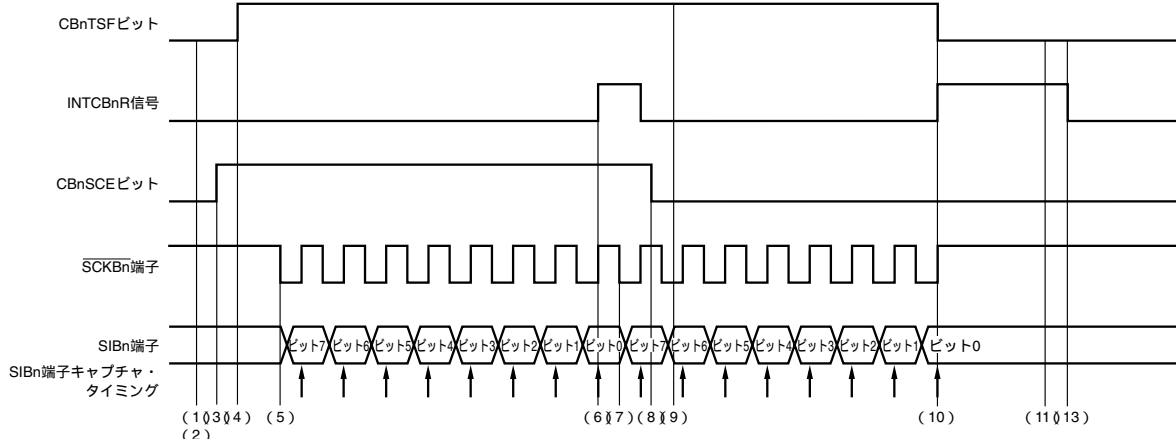
MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック(f_{CLK}) = 外部クロック($\overline{\text{SCKBn}}$) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
2. 番号は(2)動作タイミング内の処理番号に対応しています。
3. n = 0, 1

(2) 動作タイミング



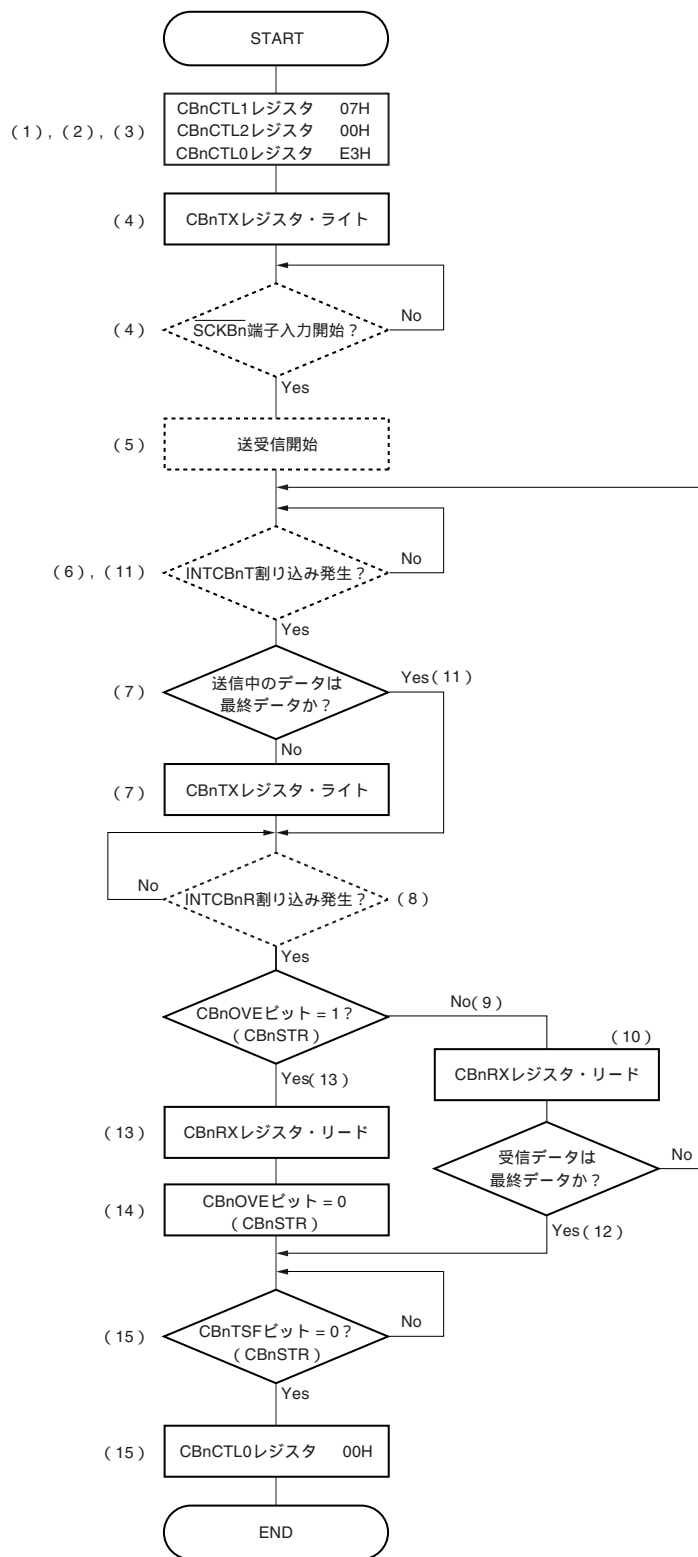
- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = 外部クロック (SCKBn)、スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにA3Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、受信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnRXレジスタをダミー・リードすることで、CBnSTR.CBnTSFビットがセット(1)され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSIBn端子の受信データをキャプチャする。
- (6) 受信が完了すると、受信完了割り込み要求信号 (INTCBnR) が発生し、CBnRXレジスタのリードが可能になる。
- (7) CBnCTL0.CBnSCEビット = 1状態でシリアル・クロックが入力されると、連続して受信動作を開始する。
- (8) 現受信で連続受信を完了する場合は、CBnSCEビット = 0をライトする。
- (9) CBnRXレジスタをリードする。
- (10) 受信が完了すると、INTCBnR信号が発生し、CBnRXレジスタのリードが可能になる。通信完了前にCBnSCEビット = 0に設定されていると、CBnTSFビットをクリア(0)し受信動作を終了する。
- (11) CBnRXレジスタをリードする。
- (12) オーバラン・エラー発生時は、CBnSTR.CBnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (13) 受信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnRXEビット = 0をライトする。

備考 n = 0, 1

13. 5. 12 連続転送モード (スレーブ・モード, 送受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック(f_{CLK}) = 外部クロック($\overline{\text{SCKBn}}$) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



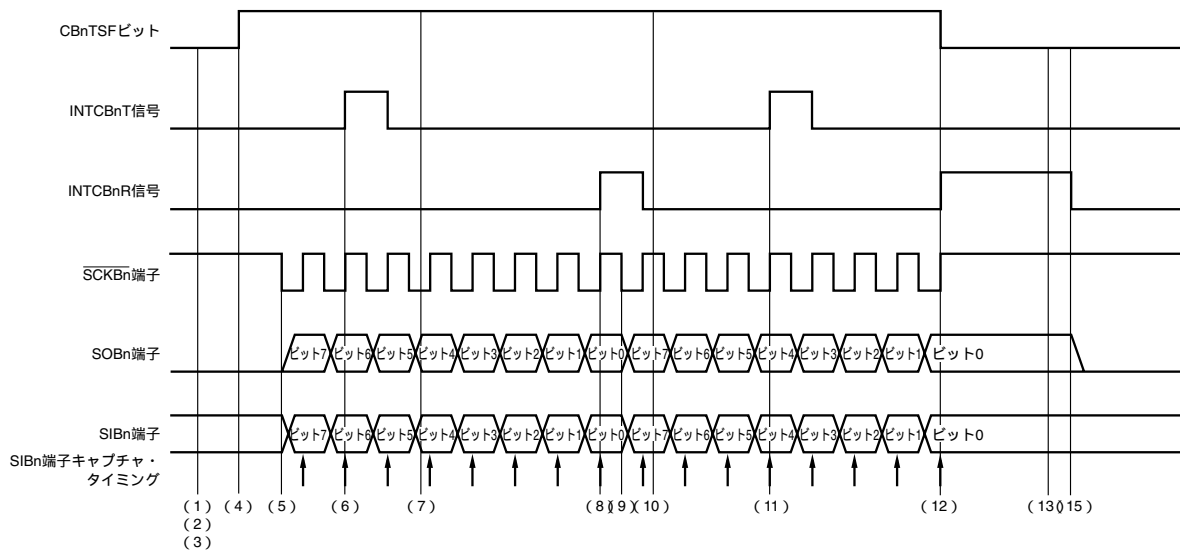
備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

3. n = 0, 1

(2) 動作タイミング

(1/2)



- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = 外部クロック (SCKBn)、スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにE3Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、送受信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット(1)され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOBn端子に送信データを出し、SIBn端子の受信データをキャプチャする。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCBnT) が発生する。
- (7) 続けて送信を行う場合は、INTCBnT信号発生後、再びCBnTXレジスタに送信データをライトする。
- (8) CBnCTL2レジスタで設定した転送データ長分の受信が終了すると、受信完了割り込み要求信号 (INTCBnR) を発生し、CBnRXレジスタのリードが可能になる。
- (9) 続けてシリアル・クロックが入力されると、連続送受信を開始する。
- (10) CBnRXレジスタをリードする。
- (11) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になるとINTCBnT信号が発生する。現送受信で連続送受信を完了する場合は、CBnTXレジスタへのライトを行わない。

備考 n = 0, 1

- (12) CBnTXレジスタへライトされていない状態で、CBnCTL2レジスタに設定した転送データ長分のクロックが入力されると、INTCBnR信号が発生し、CBnTSFビットをクリア(0)し、送受信を終了する。
- (13) INTCBnR信号発生時は、CBnRXレジスタをリードする。
- (14) オーバラン・エラー発生時は、CBnSTR.CBnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (15) 送受信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

備考 n = 0, 1

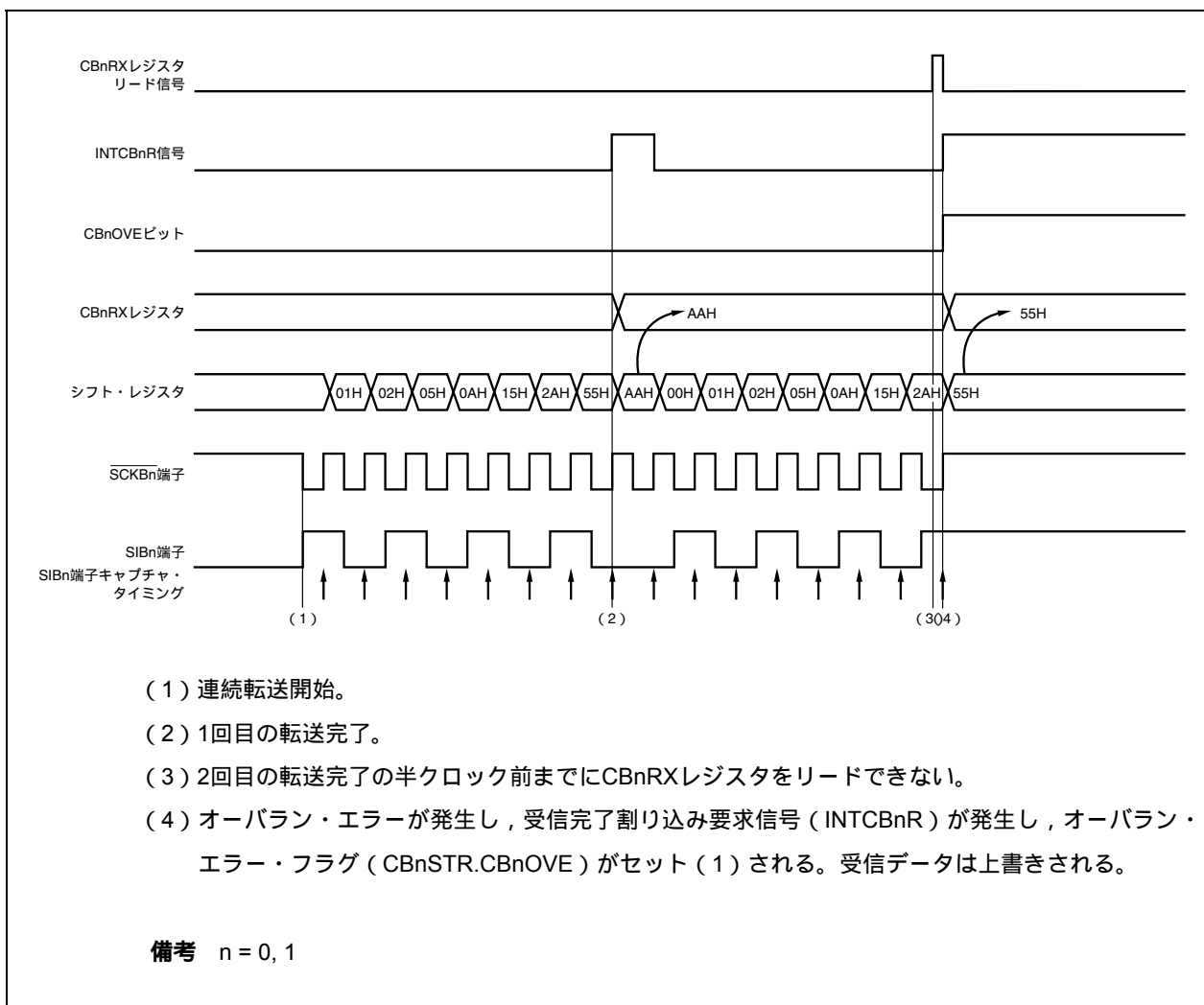
13.5.13 受信エラー

連続転送モード時に受信許可 (CBnCTL0.CBnRXEビット = 1) で転送を行う場合、受信完了割り込み要求信号 (INTCBnR) 発生後、CBnRXレジスタをリードする前に次の受信動作が完了すると再度INTCBnR信号が発生し、オーバラン・エラー・フラグ (CBnSTR.CBnOVE) がセット (1) されます。

オーバラン・エラーが発生した場合でも、CBnRXレジスタは更新されるため、前回の受信データは失われます。また、受信エラーが発生した場合でもCBnRXレジスタをリードしないと、次の受信完了で再びINTCBnR信号が発生します。

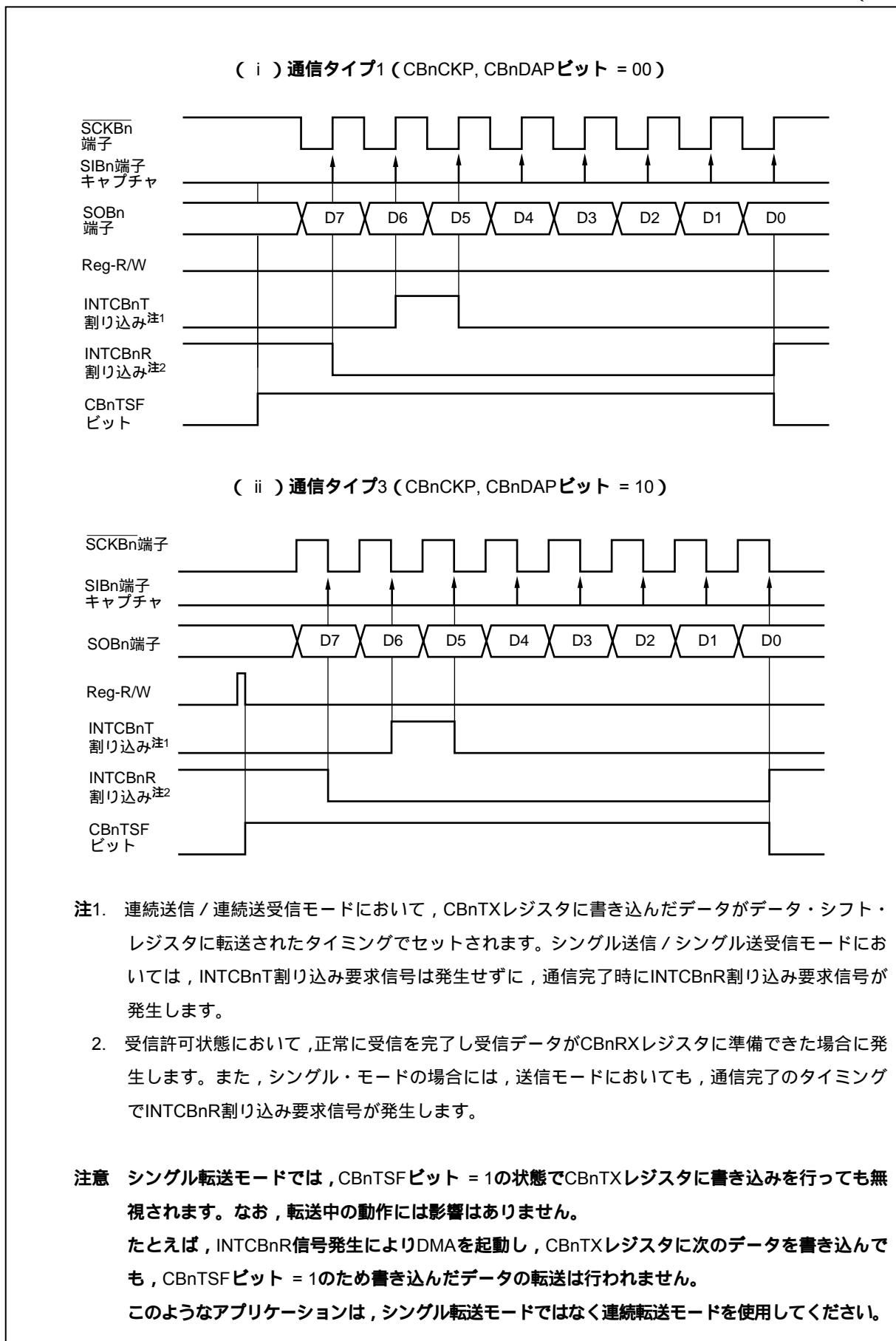
オーバラン・エラーを回避するためには、INTCBnR信号発生後から次の受信データの最終ビットをサンプリングする半クロック前までに、CBnRXレジスタのリードを完了してください。

(1) 動作タイミング

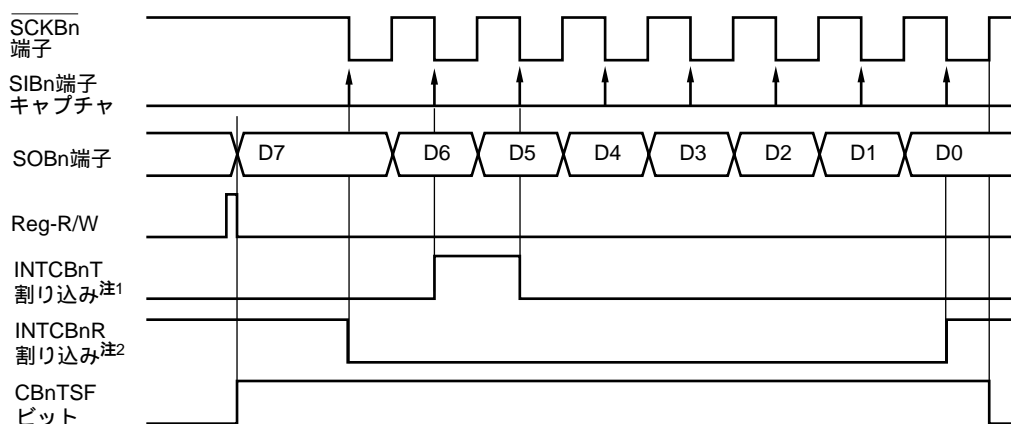


13.5.14 クロック・タイミング

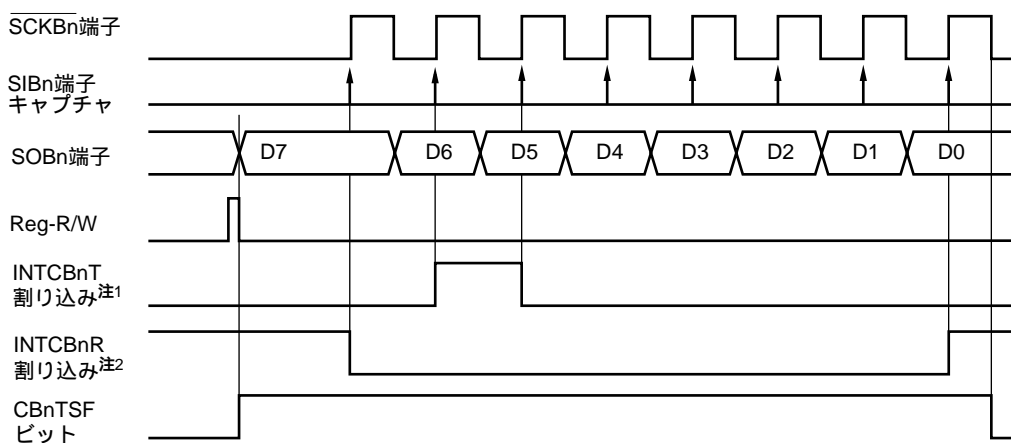
(1/2)



(iii) 通信タイプ2 (CBnCKP, CBnDAPビット = 01)



(iv) 通信タイプ4 (CBnCKP, CBnDAPビット = 11)



注1. 連続送信 / 連続送受信モードにおいて、CBnTXレジスタに書き込んだデータがデータ・シフト・レジスタに転送されたタイミングでセットされます。シングル送信 / シングル送受信モードにおいては、INTCBnT割り込み要求信号は発生せずに、通信完了時にINTCBnR割り込み要求信号が発生します。

2. 受信許可状態において、正常に受信を完了し受信データがCBnRXレジスタに準備できた場合に発生します。また、シングル・モードの場合には、送信モードにおいても、通信完了のタイミングでINTCBnR割り込み要求信号が発生します。

注意 シングル転送モードでは、CBnTSFビット = 1の状態でもCBnTXレジスタに書き込みを行っても無視されます。なお、転送中の動作には影響はありません。

たとえば、INTCBnR信号発生によりDMAを起動し、CBnTXレジスタに次のデータを書き込んでも、CBnTSFビット = 1のため書き込んだデータの転送は行われません。

このようなアプリケーションは、シングル転送モードではなく連続転送モードを使用してください。

13.6 動作禁止時の出力端子状態

(1) $\overline{\text{SCKBn}}$ 端子

CSIBn動作禁止 (CBnCTL0.CBnPWRビット = 0) のとき, $\overline{\text{SCKBn}}$ 端子出力状態は次のようになります。

CBnCKS2	CBnCKS1	CBnCKS0	CBnCKP	$\overline{\text{SCKBn}}$ 端子出力
1	1	1	x	ハイ・インピーダンス
上記以外			0	ハイ・レベル固定
			1	ロウ・レベル固定

備考1. CBnCTL1.CBnCKP, CBnCKS2-CBnCKS0ビットのいずれかを書き換えると $\overline{\text{SCKBn}}$ 端子の出力が変化します。

2. n = 0, 1
3. x : 任意

(2) SOBn端子

CSIBn動作禁止 (CBnPWRビット = 0) のとき, SOBn端子出力状態は次のようになります。

CBnTXE	CBnDAP	CBnDIR	SOBn端子出力
0	x	x	ロウ・レベル固定
1	0	x	SOBnラッチの値 (ロウ・レベル)
		0	CBnTXレジスタの値 (MSB)
	1	CBnTXレジスタの値 (LSB)	

備考1. CBnCTL0.CBnTXE, CBnDIRビット, CBnCTL1.CBnDAPビットのいずれかを書き換えるとSOBn端子の出力が変化します。

2. n = 0, 1
3. x : 任意

13.7 ポー・レート・ジェネレータ

ポー・レート・ジェネレータ (プリスケアラ3) から生成されるクロックは、時計タイマおよびCSIB0に供給されます。

(1) プリスケアラ・モード・レジスタ0 (PRSM0)

PRSMmレジスタは、CSIBのポー・レート信号の生成を制御します。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF8B0H									
	7	6	5	4	3	2	1	0	
PRSM0	0	0	0	BGCE0	0	0	BGCS01	BGCS00	
BGCE0	ポー・レート出力								
0	禁止								
1	許可								
BGCS01	BGCS00	カウント・クロック (f _{BGCS}) の選択							
						5 MHz	4 MHz		
0	0	fx				200 ns	250 ns		
0	1	fx/2				400 ns	500 ns		
1	0	fx/4				800 ns	1 μs		
1	1	fx/8				1.6 μs	2 μs		

注意1. 時計タイマおよびCSIB0動作中に、PRSM0レジスタを書き換えしないでください。

2. PRSM0レジスタの設定はBGCE0ビットに“1”を設定する前に行ってください。

(2) プリスケアラ・コンペア・レジスタ 0 (PRSCM0)

8ビットのコンペア・レジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF8B1H

	7	6	5	4	3	2	1	0
PRSCM0	PRSCM07	PRSCM06	PRSCM05	PRSCM04	PRSCM03	PRSCM02	PRSCM01	PRSCM00

注意1. 時計タイマおよびCSIB動作中に、PRSCM0レジスタを書き換えしないでください。

2. PRSM0.BGCE0ビットに“1”を設定する前にPRSCM0レジスタの設定を行ってください。

13.7.1 ボー・レートの生成

メイン・クロックを分周して送受信クロックを生成します。メイン・クロックから生成するボー・レートは次の式によって求められます。

$$f_{BRG} = \frac{f_{XX}}{2^{k+1} \times N}$$

注意 f_{BRG} は、8 MHz以下になるように設定してください。

備考 f_{BRG} : BRGのカウント・クロック

f_{XX} : メイン・クロックの発振周波数

k : PRSM0レジスタの設定値 = 0-3

N : PRSCM0レジスタ設定値 = 1-256

ただし、N = 256となるのは、PRSCM0レジスタに00Hを設定した場合です。

13.8 注意事項

(1) DMA転送により、送信データ、受信データの転送を行う場合、シリアル転送中にオーバーラン・エラーが発生してもエラー処理を行えません。DMA転送終了後にCBnSTR.CBnOVEビットを読み出してオーバーラン・エラーがなかったことを確認してください。

(2) 動作中 (CBnCTL0.CBnPWRビット = 1) の書き換えを禁止しているレジスタに対して、動作中に誤って書き換えを行ってしまった場合は、一度CBnCTL0.CBnPWRビット = 0に設定してCSIBnを初期化してください。

動作中の書き換えが禁止されているレジスタを次に示します。

- ・ CBnCTL0レジスタ：CBnTXE, CBnRXE, CBnDIR, CBnTMSビット
- ・ CBnCTL1レジスタ：CBnCKP, CBnDAP, CBnCKS2-CBnCKS0ビット
- ・ CBnCTL2レジスタ：CBnCL3-CBnCL0ビット

(3) 通信タイプ2, 4 (CBnCTL1.CBnDAPビット = 1) では、受信完了割り込み (INTCBnR) 発生後、 \overline{SCKBn} 半クロック後にCBnSTR.CBnTSFビットがクリアされます。

一方、シングル転送モードでは、通信中 (CBnTSFビット = 1) に次の送信データをライトしても無視され、次の通信は起動しません。また、受信のみの通信に設定したとき (CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 1) も、通信中 (CBnTSFビット = 1) に受信データをリードしても次の通信は起動しません。

そのため、通信タイプ2, 4 (CBnDAPビット = 1) でシングル転送モードを使用する場合、次の点に注意してください。

- ・ 次の送信を起動する場合は、CBnTSFビット = 0であることを確認したあと、CBnTXレジスタに送信データを書き込む
- ・ 受信のみの通信に設定したとき (CBnTXEビット = 0, CBnRXEビット = 1) に続けて次の受信を行う場合は、CBnTSFビット = 0であることを確認したあと、CBnRXレジスタをリードする

または、シングル転送モードではなく、連続転送モードを使用してください。特にDMAを使用する場合は連続転送モードの使用を推奨します。

備考 n = 0, 1

第14章 DMA機能 (DMAコントローラ)

V850ES/HG2は、DMA転送を実行制御するDMA (Direct Memory Access) コントローラ (DMAC) を備えています。

DMACは、内蔵周辺I/O (シリアル・インタフェース, タイマ/カウンタ, A/Dコンバータ), 外部入力端子からの割り込みによる要求, またはソフトウェア・トリガによるDMA要求に基づいて、メモリ I/O間, I/O I/O間でのデータ転送を制御します (メモリは内蔵RAMを意味します)。

14.1 特 徴

4つの独立なDMAチャンネル

転送単位: 8ビット/16ビット

最大転送回数: 65536 (2^{16}) 回

転送タイプ: 2サイクル転送

転送モード: シングル転送モード

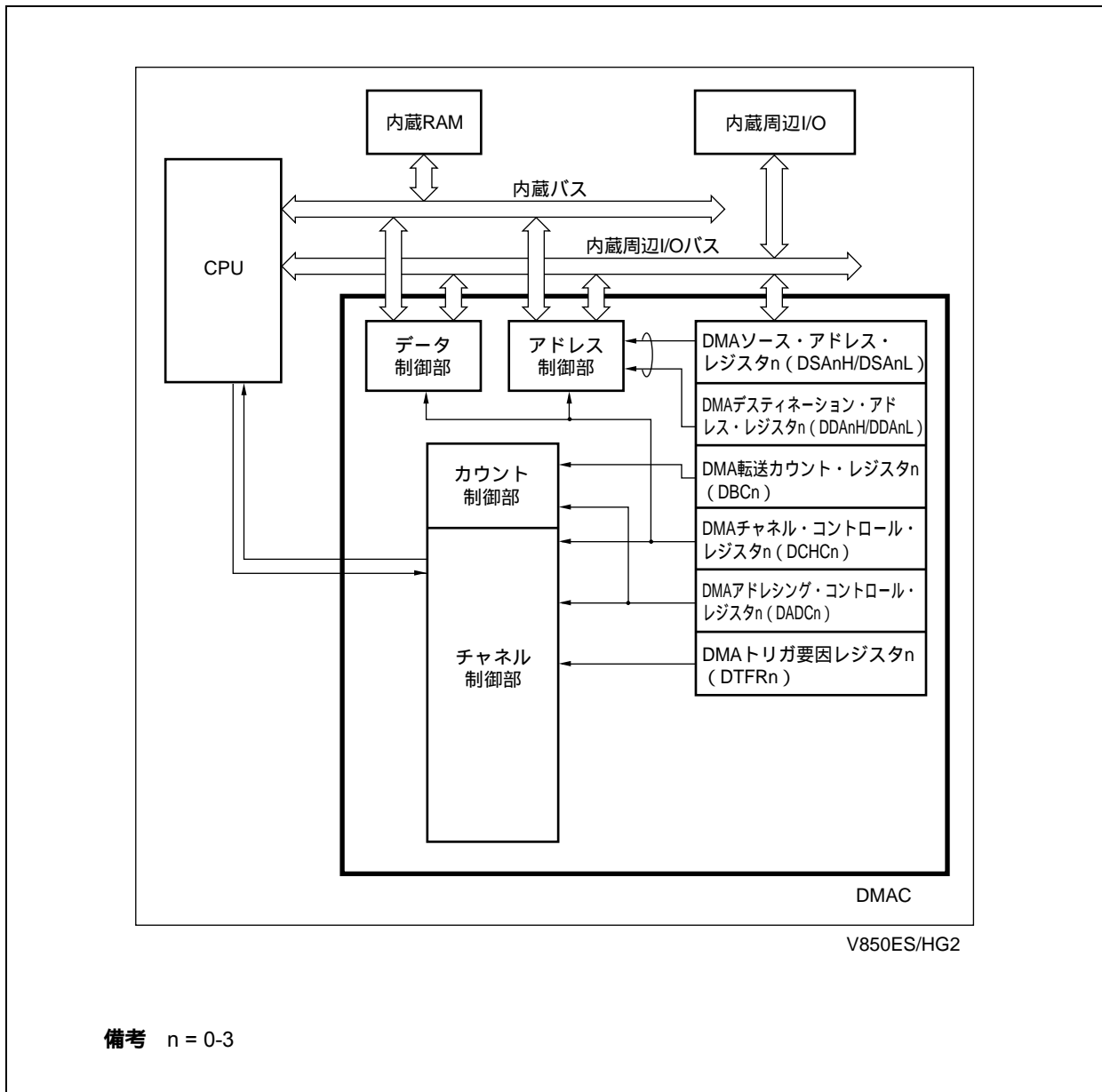
転送要求

- ・内蔵周辺I/O (シリアル・インタフェース, タイマ/カウンタ, A/Dコンバータ), 外部入力端子からの割り込みによる要求
- ・ソフトウェア・トリガによる要求

転送対象

- ・内蔵RAM 周辺I/O
- ・周辺I/O 周辺I/O

14.2 構成



14.3 レジスタ

(1) DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3)

DMAチャンネルnのDMA転送元アドレス (26ビット) を設定します (n = 0-3)。
 このレジスタは, DSA_nH, DSA_nLの2つの16ビット・レジスタに分かれます。
 16ビット単位でリード/ライト可能です。

リセット時: 不定 R/W アドレス: DSA0H FFFFF082H, DSA1H FFFFF08AH,
 DSA2H FFFFF092H, DSA3H FFFFF09AH,
 DSA0L FFFFF080H, DSA1L FFFFF088H,
 DSA2L FFFFF090H, DSA3L FFFFF098H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSA _n H (n = 0-3)	IR	0	0	0	0	0	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSA _n L (n = 0-3)	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0

IR	DMA転送元の指定
0	内蔵周辺I/O
1	内蔵RAM

SA25-SA16	DMA転送元のアドレス (A25-A16) を設定してください (初期値不定)。 DMA転送中は, 次のDMA転送元アドレスを保持します。 DMA転送が完了すると, 最初に設定されたDMAアドレスが保持されます。
-----------	--

SA15-SA0	DMA転送元のアドレス (A15-A0) を設定してください (初期値不定)。 DMA転送中は, 次のDMA転送元アドレスを保持します。 DMA転送が完了すると, 最初に設定されたDMAアドレスが保持されます。
----------	---

- 注意1.** DSA_nHレジスタのビット14-10には, 必ず“0”を設定してください。
- DSA_nH, DSA_nLレジスタの設定は, DMA転送禁止状態 (DCHCn.Ennビット = 0) である次のいずれかのタイミングで行ってください。
 - リセット後から最初のDMA転送起動までの期間
 - DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
 - DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
 - DSA_nレジスタの値を読み出す際, DSA_nHレジスタとDSA_nLレジスタの2つの16ビット・レジスタごとに読み出すため, 読み出しと更新のタイミングが競合した場合, 更新途中の値が読み出されることがあります (14.13 注意事項参照)。
 - リセット後, DMA転送を開始する前にDSA_nH, DSA_nL, DDA_nH, DDA_nL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は, 動作を保証しません。

(2) DMAデスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3)

DMAチャンネルnのDMA転送先アドレス (26ビット) を設定します (n = 0-3)。
 このレジスタは、DDAnH, DDAnLの2つの16ビット・レジスタに分かれます。
 16ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：DDA0H FFFFFFF086H, DDA1H FFFFFFF08EH,
 DDA2H FFFFFFF096H, DDA3H FFFFFFF09EH,
 DDA0L FFFFFFF084H, DDA1L FFFFFFF08CH,
 DDA2L FFFFFFF094H, DDA3L FFFFFFF09CH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDAnH (n = 0-3)	IR	0	0	0	0	0	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDAnL (n = 0-3)	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0

IR	DMA転送先の指定
0	内蔵周辺I/O
1	内蔵RAM

DA25-DA16	DMA転送先のアドレス (A25-A16) を設定してください (初期値不定)。 DMA転送中は、次のDMA転送先アドレスを保持します。 DMA転送が終了すると、最初に設定されたDMA転送元アドレスを保持します。
-----------	--

DA15-DA0	DMA転送先のアドレス (A15-A0) を設定してください (初期値不定)。 DMA転送中は、次のDMA転送先アドレスを保持します。 DMA転送が終了すると、最初に設定されたDMA転送元アドレスを保持します。
----------	---

- 注意1. DDAnHレジスタのビット14-10には、必ず“0”を設定してください。
- DDAnH, DDAnLレジスタの設定は、DMA転送禁止状態 (DCHCn.Ennビット = 0) である次のいずれかのタイミングで行ってください。
 - リセット後から最初のDMA転送起動までの期間
 - DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
 - DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
 - DDAnレジスタの値を読み出す際、DDAnHレジスタとDDAnLレジスタの2つの16ビット・レジスタごとを読み出すため、読み出しと更新のタイミングが競合した場合、更新途中の値が読み出されることがあります (14.13 注意事項参照)。
 - リセット後、DMA転送を開始する前にDSAnH, DSAnL, DDAnH, DDAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は、動作を保証しません。

(3) DMA転送カウント・レジスタ0-3 (DBC0-DBC3)

DMAチャンネルnの転送数を設定する16ビット・レジスタです (n = 0-3)。

DMA転送中は、残りの転送数を保持します。

転送データ単位 (8/16ビット) にかかわらず、1回の転送につき1ずつデクリメントされ、ポローが発生すると転送を終了します。

16ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：DBC0 FFFFFFF0C0H, DBC1 FFFFFFF0C2H,
DBC2 FFFFFFF0C4H, DBC3 FFFFFFF0C6H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBCn (n = 0-3)	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0

BC15-BC0	転送数の設定, またはDMA転送中の残りの転送数
0000H	1回の転送, または残り転送数
0001H	2回の転送, または残り転送数
:	:
FFFFH	65536 (2 ¹⁶) 回の転送, または残り転送数
DMA転送が完了すると, 最初に設定された転送データ数を保持します。	

注意1. DBCnレジスタの設定は、DMA転送禁止状態 (DCHCn.Ennビット = 0) である次のいずれかのタイミングで行ってください。

- ・リセット後から最初のDMA転送起動までの期間
 - ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
 - ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
2. リセット後、DMA転送を開始する前にDSAnH, DSAnL, DDAnH, DDAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は、動作を保証しません。

(4) DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3)

DMAチャンネルnのDMA転送モードを制御する16ビット・レジスタです (n = 0-3)。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

リセット時 : 0000H R/W アドレス : DADC0 FFFFF0D0H, DADC1 FFFFF0D2H,
DADC2 FFFFF0D4H, DADC3 FFFFF0D6H

DADCn (n = 0-3)	15	14	13	12	11	10	9	8
	0	DS0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	SAD1	SAD0	DAD1	DAD0	0	0	0	0

DS0	転送データ・サイズの設定
0	8ビット
1	16ビット

SAD1	SAD0	転送元アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

DAD1	DAD0	転送先アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

- 注意1. DADCnレジスタのビット15, 13-8, 3-0には、必ず“0”を設定してください。
- DADCnレジスタの設定は、DMA転送禁止状態 (DCHCn.Ennビット = 0) である次のいずれかのタイミングで行ってください。
 - ・リセット後から最初のDMA転送起動までの期間
 - ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
 - ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
 - DS0ビットは転送データ・サイズを設定するものであり、バス・サイジングを制御するものではありません。したがって、8ビット・データ (DS0ビット = 0) を設定した場合でも、必ずしも下位データ・バスを使用するわけではありません。
 - 転送データ・サイズを16ビットに設定した場合 (DS0ビット = 1)、奇数アドレスから始まる転送はできません。下位アドレスの1ビットを“0”にアラインしたアドレスから必ず転送を開始します。
 - 内蔵周辺I/Oレジスタを対象 (転送元/転送先) とするDMA転送の場合、必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば、8ビットのレジスタに対するDMA転送の場合には、必ず (8ビット) 転送を指定してください。

(5) DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3)

DMAチャンネルnのDMA転送動作モードを指定する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です(ただし,ビット7はリードだけ,ビット1,2はライトだけ可能です。ビット1,2をリードした場合は0が読み出されます。)。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : DCHC0 FFFF0E0H, DCHC1 FFFF0E2H,
DCHC2 FFFF0E4H, DCHC3 FFFF0E6H

	7	6	5	4	3	2	1	0
DCHCn	TCn ^{注1}	0	0	0	0	INITn ^{注2}	STGn ^{注2}	Enn

(n = 0-3)

TCn ^{注1}	DMAチャンネルnのDMA転送の完了 / 未完了を示すステータス・フラグ
0	DMA転送未完了
1	DMA転送完了
DMA転送の最後の転送時にセット(1)され,読み出しによってクリア(0)されます。	

INITn ^{注2}	DMA転送が禁止された状態で(Ennビット=0),INITnビットをセット(1)するとDMA転送のステータスを初期化できます。 DMA転送が完了する前に(TCnビットがセット(1)される前),DMA転送ステータスの再設定(DDAnH,DDAnL,DSAnH,DSAnL,DBCn,DADCnレジスタの再設定)を行う場合は,必ずDMAチャンネルの初期化後に行ってください。 ただし,DMAコントローラの初期化は,必ず14.13 注意事項に示す手順にしたがって行ってください。
---------------------	--

STGn ^{注2}	DMA転送のソフトウェア起動トリガです。 DMA転送が許可の状態(TCnビット=0,Ennビット=1)でこのビットをセット(1)するとDMA転送を開始します。
--------------------	--

Enn	DMAチャンネルnのDMA転送の許可 / 禁止の設定
0	DMA転送の禁止
1	DMA転送の許可

Ennビットをセット(1)するとDMA転送が許可されます。
DMA転送が完了(ターミナル・カウント発生)すると,自動的にクリア(0)されます。
なお,DMA転送を中断するには,ソフトウェアでEnnビットをクリア(0)してください。再開するには,再度Ennビットをセット(1)してください。
ただし,DMA転送の中断/再開は,必ず14.13 注意事項に示す手順にしたがって行ってください。

注1. TCnビットはリードのみ可能です。

2. INITn, STGnビットはライトのみ可能です。

注意1. DCHCnレジスタのビット6-3には,必ず“0”を設定してください。

2. DMA転送完了時(ターミナル・カウント時)は,Ennビットのクリア(0) TCnビットのセット(1)の順で各ビットの更新が行われます。そのため,DCHCnレジスタの各ビットの更新途中でDCHCnレジスタを読み出した場合,「転送未完了,かつ転送禁止」の状態を示す値(TCnビット=0,かつEnnビット=0)が読み出されることがあります。

(6) DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3)

内蔵周辺I/Oからの割り込み要求信号によるDMA転送開始トリガを制御する8ビット・レジスタです。

このレジスタで設定した割り込み要求信号が、DMA転送の起動要因になります。

8ビット単位でリード/ライト可能です。ただし、DFnビットのみ1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：DTFR0 FFFFF810H, DTFR1 FFFFF812H,
DTFR2 FFFFF814H, DTFR3 FFFFF816H

	7	6	5	4	3	2	1	0
DTFRn	DFn	0	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0

(n = 0-3)

DFn ^注	DMA転送要求ステータス・フラグ
0	DMA転送要求なし
1	DMA転送要求あり

注 DFnビットはソフトウェアにより“1”を設定しないでください。DMA転送を禁止している間にDMA転送の起動要因に設定している割り込みが発生し、DMA転送要求をクリアする必要がある場合に0をライトしてください。

注意1. IFCn5-IFCn0ビットの設定は、DMA転送禁止状態 (DCHCn.Ennビット = 0) である次のいずれかのタイミングで行ってください。

- ・リセット後から最初のDMA転送起動までの期間
- ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
- ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間

2. スタンバイ・モード (IDLE1, IDLE2, STOP, サブIDLEモード) 中に発生した割り込み要求は、DMA転送サイクルの起動要因にはなりません (DFnビットもセット (1) されません)。

3. IFCn5-IFCn0ビットで任意のDMA起動要因を選択したあとは、DMA転送の許可/禁止にかかわらず、選択した内蔵周辺I/Oからの割り込みが発生するとDFnビットはセット (1) されます。この状態でDMA許可とした場合、ただちにDMA転送が起動されます。

備考 IFCn5-IFCn0ビットについては表14 - 1 DMA起動要因を参照してください。

表14 - 1 DMA起動要因

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
0	0	0	0	0	0	割り込みによるDMA要求禁止
0	0	0	0	0	1	INTLVI
0	0	0	0	1	0	INTP0
0	0	0	0	1	1	INTP1
0	0	0	1	0	0	INTP2
0	0	0	1	0	1	INTP3
0	0	0	1	1	0	INTP4
0	0	0	1	1	1	INTP5
0	0	1	0	0	0	INTP6
0	0	1	0	0	1	INTP7
0	0	1	0	1	0	INTTQ0OV
0	0	1	0	1	1	INTTQ0CC0
0	0	1	1	0	0	INTTQ0CC1
0	0	1	1	0	1	INTTQ0CC2
0	0	1	1	1	0	INTTQ0CC3
0	0	1	1	1	1	INTTP0OV
0	1	0	0	0	0	INTTP0CC0
0	1	0	0	0	1	INTTP0CC1
0	1	0	0	1	0	INTTP1OV
0	1	0	0	1	1	INTTP1CC0
0	1	0	1	0	0	INTTP1CC1
0	1	0	1	0	1	INTTP2OV
0	1	0	1	1	0	INTTP2CC0
0	1	0	1	1	1	INTTP2CC1
0	1	1	0	0	0	INTTP3OV
0	1	1	0	0	1	INTTP3CC0
0	1	1	0	1	0	INTTP3CC1
0	1	1	0	1	1	INTTM0EQ0
0	1	1	1	0	0	INTCB0R
0	1	1	1	0	1	INTCB0T
0	1	1	1	1	0	INTCB1R
0	1	1	1	1	1	INTCB1T
1	0	0	0	0	0	INTUA0R
1	0	0	0	0	1	INTUA0T
1	0	0	0	1	0	INTUA1R
1	0	0	0	1	1	INTUA1T
1	0	0	1	0	0	INTAD
1	0	1	0	0	1	INTKR
1	0	1	0	1	0	INTTQ1OV
1	0	1	0	1	1	INTTQ1CC0
1	0	1	1	0	0	INTTQ1CC1
1	0	1	1	0	1	INTTQ1CC2
1	0	1	1	1	0	INTTQ1CC3
1	0	1	1	1	1	INTUA2R
1	1	0	0	0	0	INTUA2T

備考 n = 0-3

14.4 転送対象

転送対象の関係を次に示します（○：転送可，×：転送不可）。

表14 - 2 転送対象の関係

		転送先		
		内蔵ROM	内蔵周辺I/O	内蔵RAM
転送元	内蔵周辺I/O	×		
	内蔵RAM	×		×
	内蔵ROM	×	×	×

注意 表14 - 2に示す転送先と転送元で、「×」が表記されている組み合わせで転送を行った場合の動作は保証できません。

14.5 転送モード

転送モードとして、シングル転送をサポートしています。

シングル転送では、1回のバイト/ハーフワード転送ごとにバスを解放します。その後、DMA転送要求があると再度1回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA要求を優先させます。

ただし、転送サイクル中に同一チャネルの新たな転送要求と、他の優先順位が低いチャネルの転送要求が発生した場合、CPUにバスを解放した次の転送は、新たに要求のあった優先順位の低いチャネルのDMA転送となります（転送サイクル中は、同一チャネルの新たな転送要求は無視されます）。

14.6 転送タイプ

転送タイプとして、2サイクル転送をサポートしています。

2サイクル転送は、リード・サイクル、ライト・サイクルと2回のサイクルでデータを転送します。

リード・サイクルでは、転送元のアドレスを出力し転送元からDMACへのリードを行い、ライト・サイクルでは、転送先のアドレスを出力しDMACから転送先への書き込みを行います。

リード・サイクルとライト・サイクルの間には、必ず1クロック分のアイドル・サイクルが挿入されます。

2サイクルのDMA転送で、転送元と転送先のデータ・バス幅が異なる場合、次のような動作になります。

< 16ビット・データ転送の場合 >

32ビット・バス 16ビット・バスへの転送

リード・サイクル(上位16ビットはハイ・インピーダンス)が発生し、その後ライト・サイクル(16ビット)が発生します。

16/32ビット・バス 8ビット・バスへの転送の場合

16ビットのリード・サイクルが1回発生し、その後8ビットのライト・サイクルが2回発生します。

8ビット・バス 16/32ビット・バスへの転送の場合

8ビットのリード・サイクルが2回発生し、その後16ビットのライト・サイクルが1回発生します。

16ビット・バス 32ビット・バスへの転送の場合

16ビットのリード・サイクルが1回発生し、その後16ビットのライト・サイクルが1回発生します。

なお、内蔵周辺I/Oレジスタを対象(転送元/転送先)とするDMA転送の場合、必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば、8ビットのレジスタに対するDMA転送の場合は、必ずバイト(8ビット)転送を指定してください。

備考 各転送対象(転送元/転送先)のバス幅は次のとおりです。

- ・内蔵周辺I/O : 16ビット・バス幅
- ・内蔵RAM : 32ビット・バス幅

14.7 DMAチャネルの優先順位

DMAチャネルの優先順位は固定で、次のようになります。

DMAチャネル0 > DMAチャネル1 > DMAチャネル2 > DMAチャネル3

1回の転送サイクルの度に優先順位がチェックされます。

14.8 DMA転送に関する各種時間

DMA要求に対する応答時間、DMA転送にかかる最小クロック数を次に示します。

シングル転送: DMA応答時間() + 転送元メモリ・アクセス() + 1^{注1} + 転送先メモリ・アクセス()

DMAサイクル		最小実行クロック数
DMA要求に対する応答時間		4クロック (MIN.) + ノイズ除去時間 ^{注2}
メモリ・アクセス	内蔵RAMアクセス	2クロック ^{注3}
	周辺I/Oレジスタ・アクセス	3クロック + VSWCレジスタによるウェイト数 ^{注4}

- 注1. DMA転送のリード・サイクルとライト・サイクルの間には、必ず1クロック挿入されます。
2. 外部割り込み (INTPn) をDMA転送の起動要因に指定した場合、ノイズ除去時間が加算されます (n = 0-10)。
3. DMAサイクルの場合は、2クロックかかります。
4. 特定の周辺I/Oレジスタへのアクセスについては、さらにウェイトが必要となります (詳細は3. 4. 8 (2) を参照してください)。

14.9 DMA転送起動要因

DMA転送の起動要因には、次の2種類があります。

(1) ソフトウェアによる要求

DCHCn.TCnビット = 0, かつEnnビット = 1 (DMA転送許可) の状態で, STGnビットをセット (1) すると, DMA転送を起動します。

続けて次のDMA転送サイクルを要求するには, DBCnレジスタにて, 先のDMA転送サイクルが完了したことを確認してから, 再度STGnビットをセット (1) してください (n = 0-3)。

TCnビット = 0, Ennビット = 1

STGnビット = 1 ... 1回目のDMA転送開始

DBCnレジスタの内容が更新されたことを確認

STGnビット = 1 ... 2回目のDMA転送開始

:

ターミナル・カウント発生...Ennビット = 0, TCnビット = 1かつINTDMA_n信号発生

(2) 内蔵周辺I/Oによる要求

DCHCn.TCnビット = 0, かつEnnビット = 1 (DMA転送許可) の状態で, DTFRnレジスタに設定している内蔵周辺I/Oからの割り込み要求が発生すると, DMA転送を起動します。

- 注意1.** 同一のDMAチャンネルに対して, 2つの起動要因 (ソフトウェア・トリガ, ハードウェア・トリガ) を併用できません。1つのDMAチャンネルに対して, 2つの起動要因が同時に発生した場合, どちらか一方だけが有効となります。有効となった起動要因の特定はできません。
2. 先のDMA転送要求が発生してから, または先のDMA転送サイクル中に新たな転送要求が発生しても, その要求は無視 (クリア) されます。
3. 同一のDMAチャンネルに対する転送要求間隔は, DMA転送サイクル中のバス・ウエイトの設定やほかのチャンネルの起動状況, または外部バス・ホールド要求により変化します。特に注意2のとおり, DMA転送サイクル前, または転送サイクル中に同一チャンネルの新たな転送要求が発生しても, その要求は無視されてしまいます。したがって, 同一のDMAチャンネルに対する転送要求間隔は, システム上で十分な間隔をもつようにしてください。ソフトウェア・トリガ時は, DBCnレジスタの更新により, 先に発生したDMA転送サイクルの完了を確認できます。

14.10 DMAの中断要因

DMA転送は、バス・ホールドが発生すると中断されます。

内部メモリ / 内蔵周辺IO 内部メモリ / 内蔵周辺I/O時も同様です。

バス・ホールドが解除されると、引き続きDMA転送を開始します。

14.11 DMA転送の終了

DBCnレジスタに設定した回数分DMA転送が終了し、DCHCn.Ennビットがクリア(0)、TCnビットがセット(1)されると、割り込みコントローラ (INTC) に対して、DMA転送終了割り込み要求信号 (INTDMA_n) を発生します (n = 0-3)。

V850ES/HG2では、ターミナル・カウント信号を外部に出力していませんので、DMA転送終了割り込み、またはTCnビットのポーリングによりDMA転送の完了を確認してください。

14.12 動作タイミング

図14 - 1から図14 - 4にDMAの動作タイミングを示します。

図14 - 1 DMAの優先順位 (1)

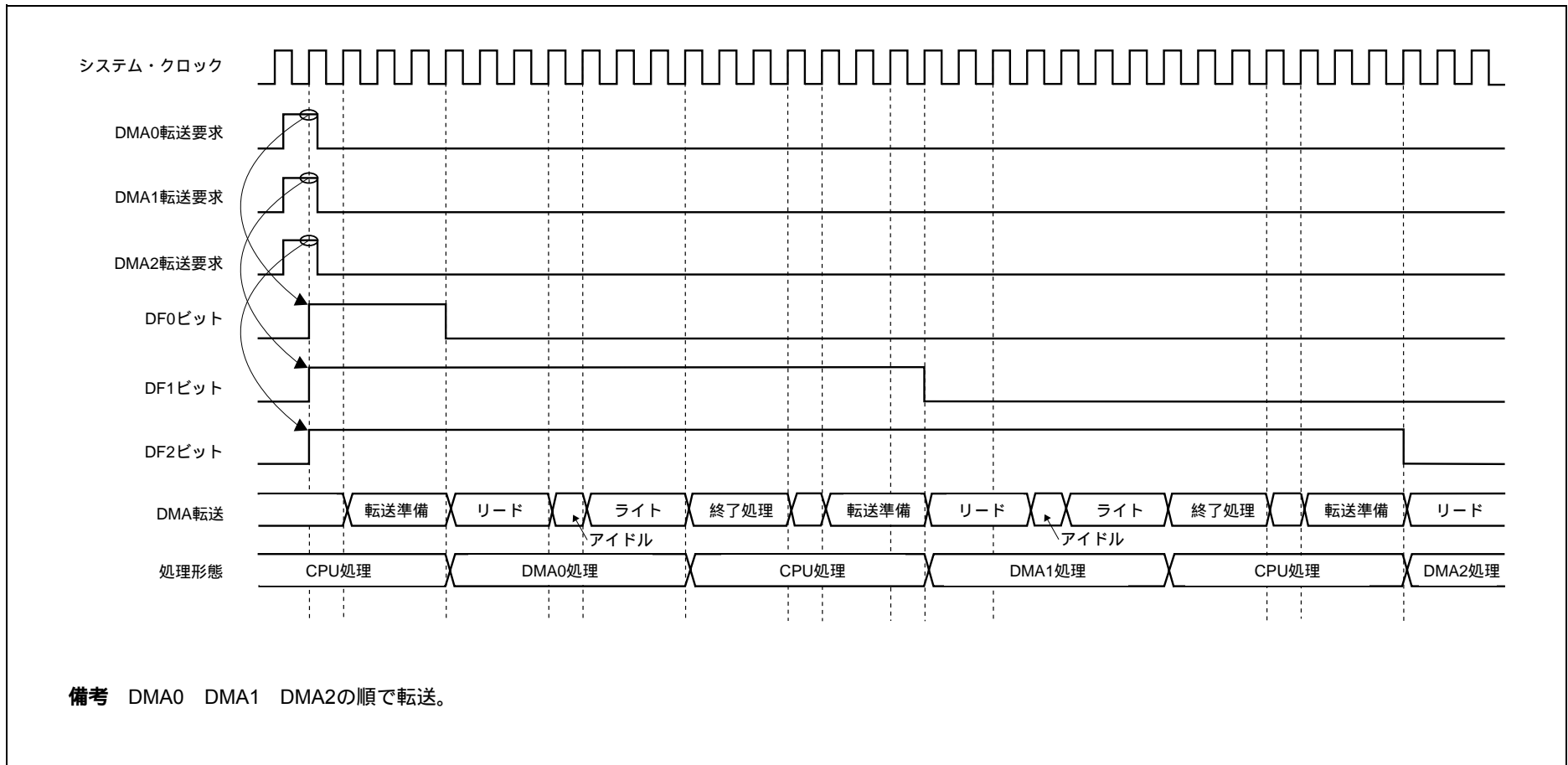


図14 - 2 DMAの優先順位 (2)

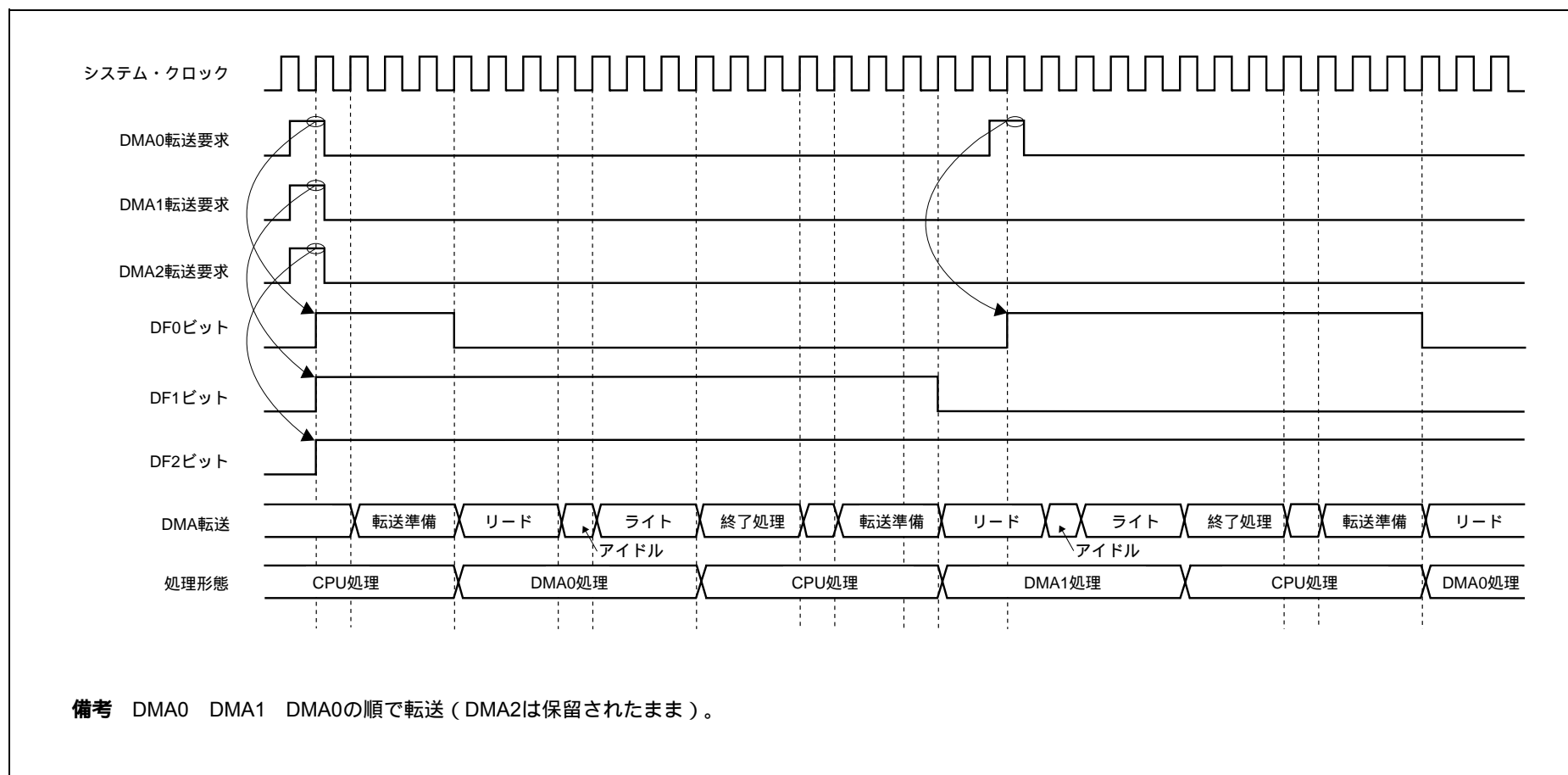


図14 - 3 DMAの転送要求が無視される期間 (1)

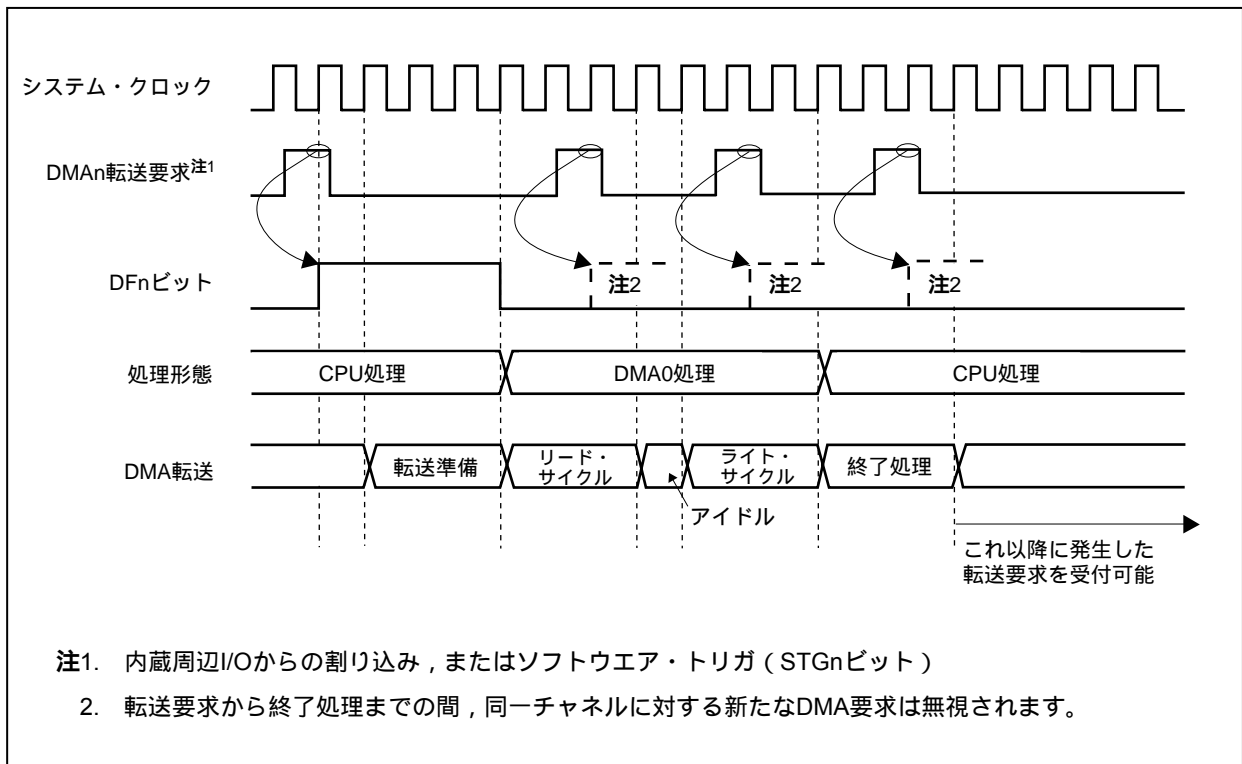
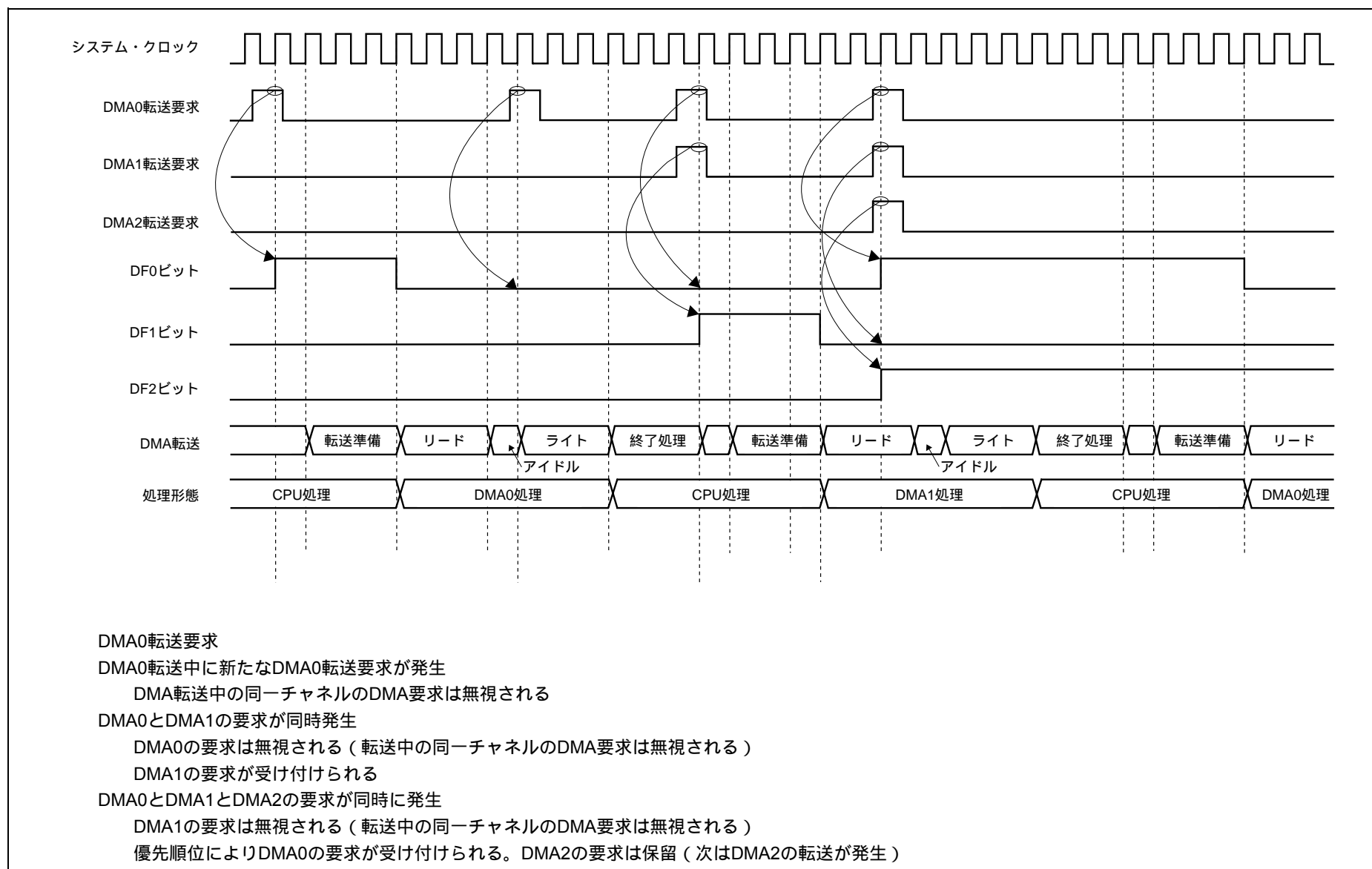


図14 - 4 DMAの転送要求が無視される期間 (2)



14.13 注意事項

(1) VSWCレジスタに関する注意

DMACを使用する際は、必ずVSWCレジスタに、動作周波数に応じた最適な値を設定してください。

VSWCレジスタの初期値 (77H)、または最適な値以外でを使用した場合は正常に動作できません (VSWCレジスタの詳細については、3.4.8 (1) (a) システム・ウェイト・コントロール・レジスタ (VSWC) を参照してください)。

(2) 内蔵RAMを転送対象とするDMA転送時の注意

内蔵RAMに配置された次の命令を実行する場合は、内蔵RAMを対象 (転送先 / 転送元) とするDMA転送を行わないでください。その後CPUが正常に動作しない可能性があります。

- ・内蔵RAMに配置されたミス・アライン・アドレスに対するデータ・アクセス命令

逆に、内蔵RAMを対象 (転送先 / 転送元) としたDMA転送を行う場合は、上記の命令を実行しないでください。

(3) DCHCn.TCnビットのリードに関する注意事項 (n = 0-3)

TCnビットは、読み出しによりクリア (0) されますが、ある特定タイミングにおいてTCnビットをリードしても、自動的にクリア (0) されません。TCnビットのクリアを確実に実行するために次の処理を追加してください。

(a) TCnビットをポーリングしてDMA転送完了の待ち合わせを行う場合

TCnビットがセット (1) されたことを確認したあと (TCnビット = 1が読み出されたあと)、さらに3回のTCnビットのリードを行ってください。

(b) 割り込み処理ルーチンでTCnビットのリードを行う場合

TCnビットのリードを3回実行してください。

(4) DMA転送の初期化手順について (DCHCn.INITnビットのセット (1))

DMA転送中のチャンネルを初期化するとき、INITnビットをセット (1) しても、チャンネルの初期化が行われない場合があります。初期化を確実に実行するために、次に示す2つの手順のいずれかを実行させてください。

(a) 一時的にすべてのDMAチャンネルの転送を停止させる方法

次に示す ~ の手順で初期化を実行してください。

ただし、次の に示す処理の実行により、TCnビットがクリア (0) されてしまいます。ほかの処理において、TCnビット = 1となっていることを期待したプログラムになっていないことを確認してください。

割り込み禁止状態 (DI) にする。

強制終了したいチャンネル以外に使用しているDMAチャンネルのDCHCn.Ennビットを読み出し、汎用レジスタに転送する。

使用しているDMAチャンネル (強制終了するチャンネルを含む) のEnnビットをクリア (0) する。最終のDMAチャンネルの場合にはEnnビットのクリア命令を2回実行する。このとき、転送対象 (転送元 / 転送先) が内蔵RAMの場合は、3回実行する。

例 チャンネル0, 1, 2を使用している場合には、次の順で命令を実行する (転送対象が内蔵RAMでない場合)。

- ・ DCHC0.E00ビットをクリア (0)
- ・ DCHC1.E11ビットをクリア (0)
- ・ DCHC2.E22ビットをクリア (0)
- ・ 再度、DCHC2.E22ビットをクリア (0)

強制終了するチャンネルのINITnビットをセット (1) する。

強制終了しない各チャンネルのTCnビットを読み出し、TCnビットと で読み出したEnnビットが、ともに1 (論理積 (AND) が1) の場合は退避していたEnnビットをクリア (0) する。

で操作後のEnnビットをDCHCnレジスタに書き込む。

割り込み許可状態 (EI) にする。

注意 上記 は、 , の間に正常終了したチャンネルに対して、再度Ennビットを不正にセットすることを防ぐため、必ず行ってください。

(b) 正常に強制終了するまでINITnビットのセットを繰り返し実行する方法

強制終了したいチャンネルのDMA要求元からのリクエストが発生しないようにする (内蔵周辺I/Oの動作停止)。

DTFRn.DFnビットにより、強制終了するチャンネルのDMA転送要求が保留されていないかを確認する。保留されている場合は、保留されているDMA転送要求の実行が完了するまで待つ。

強制終了するチャンネルのDMA要求が保留されていないことが確認できたら、Ennビットをクリア (0) する。

再度、強制終了するチャンネルのEnnビットをクリア (0) する。

ただし、強制終了するチャンネルの転送対象 (転送元 / 転送先) が内蔵RAMの場合は、この操作をさらにもう一度実行する。

強制終了するチャンネルの初期転送回数を汎用レジスタにコピーする。

強制終了するチャンネルのINITnビットをセット (1) する。

強制終了するチャンネルのDBCnレジスタの値を読み出し、 でコピーした値と比較する。比較した結果、一致しない場合は から の操作を繰り返す。

- 備考1.** でDBCnレジスタの値を読み出すと、正常に強制終了を完了した場合は初期転送回数が読み出されず。未完了の場合は残りの転送回数が読み出されます。
2. (b)の方法は、強制終了の対象となっているDMAチャンネル以外のDMA転送が頻繁に行われるようなアプリケーションの場合、強制終了されるまでに時間を要する可能性があるので注意してください。

(5) DMA転送の一時中断手順について (Ennビットのクリア)

実行中のDMA転送を中断し、再開するには次の手順にしたがってください。

DMA要求元からの転送要求が発生しないようにする (内蔵周辺I/Oの動作を停止)。

DFnビットにより、DMA転送要求が保留されていないかを確認する (DFnビット = 0であることを確認)。保留されている場合は、保留されているDMA転送要求の実行が完了するまで待つ。

DMA転送要求が保留されていないことを確認できたら、Ennビットをクリア (0) する (この操作により、DMA転送が中断される)。

DMA転送を再開させるためにEnnビットをセット (1) する。

停止しているDMA要求元の動作を再開する (内蔵周辺I/Oの動作を開始)。

(6) メモリ境界

DMA転送中に、転送元、または転送先のアドレスがDMA対象 (内蔵RAM、内蔵周辺I/O) の領域を越えた場合の動作は保証できません。

(7) ミス・アライン・データの転送

16ビット・バス幅のミス・アライン・データのDMA転送はサポートしていません。

奇数アドレスを転送元、または転送先に指定した場合、アドレスの最下位ビットは強制的に0として扱われます。

(8) CPUへのバス・アービトレーション

バス使用権の優先順位はCPUよりDMAコントローラが高いため、DMA転送中に発生したCPUのアクセスは、DMA転送サイクルが完了しCPUにバスが開放されるまで待たされます。

ただし、CPUはDMA転送を行っていない内蔵周辺I/O、内蔵RAMとのアクセスが可能です。

(9) DMA動作中の書き換え禁止レジスタ/ビット

次のレジスタの設定は、DMA動作中でない次のいずれかのタイミングで行ってください。

【対象レジスタ】

- ・ DSA_nH, DSA_nL, DDA_nH, DDA_nL, DBC_n, DADC_nレジスタ
- ・ DTFR_n.IFC_n5-IFC_n0ビット

【設定可能タイミング】

- ・ リセット後から最初のDMA転送開始までの期間
- ・ チャネル初期化後からDMA転送開始までの時間
- ・ DMA転送完了後 (TC_nビット = 1の状態) から次のDMA転送開始までの期間

(10) 次のレジスタの各ビットには、必ず“0”を設定してください。

- ・ DSA_nHレジスタのビット14-10
- ・ DDA_nHレジスタのビット14-10
- ・ DADC_nレジスタのビット15, 13-8, 3-0
- ・ DCHC_nレジスタのビット6-3

(11) DMAの起動要因

同じ起動要因で複数のDMAチャネルを起動しないでください。起動した場合、すでに設定済みのチャネルのDMAが起動されたり、優先順位の低いDMAチャネルが優先順位の高いDMAチャネルより先に受け付けられたりする場合があります、動作は保証できません。

(12) DSA_n, DDA_nレジスタの読み出し値

DMA転送中にDSA_n, DDA_nレジスタの値を読み出した場合、更新途中の値が読み出されることがあります (n = 0-3)。

たとえば、DMA転送元アドレス (DSA_nレジスタ) が0000FFFFH、カウント方向がインクリメント (DADC_n.SAD1, SAD0ビット = 00) の場合、DSA_nHレジスタ DSA_nLレジスタの順に読み出しを行うと、DSA_nHレジスタ読み出し直後のDMA転送の有無によって、DSA_nLレジスタの値が次のように異なります。

(a) DSA_nレジスタの読み出し中にDMA転送が発生しない場合

DSA_nHレジスタの読み出し : DSA_nH = 0000H

DSA_nLレジスタの読み出し : DSA_nL = FFFFH

(b) DSA_nレジスタの読み出し中にDMA転送が発生する場合

DSA_nHレジスタの読み出し : DSA_nH = 0000H

DMA転送の発生

DSA_nレジスタのインクリメント : DSA_n = 00100000H

DSA_nLレジスタの読み出し : DSA_nL = 0000H

第15章 割り込み / 例外処理機能

V850ES/HG2は、割り込み処理用に専用の割り込みコントローラ（INTC）を内蔵し、合計55要因の割り込み要求を処理できる割り込み機能を実現しています。

なお、割り込みをプログラムの実行とは別に独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。

V850ES/HG2では、内蔵している周辺ハードウェアおよび外部からの各種割り込み要求信号を処理できます。さらに、TRAP命令による例外処理の起動（ソフトウェア例外）や、例外事象の発生（不正命令コードのフェッチ）による例外処理の起動（例外トラップ）が可能です。

15.1 特 徴

割り込み

- ・ ノンマスカブル割り込み : 2要因
- ・ マスカブル割り込み : 外部11本, 内部42要因
- ・ 8レベルのプログラマブル優先順位制御 (マスカブル割り込み)
- ・ 優先順位に従った割り込み多重処理制御
- ・ 個々のマスカブル割り込み要求に対するマスク指定
- ・ 外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

例外

- ・ ソフトウェア例外 : 32要因
- ・ 例外トラップ : 2要因 (不正命令コード例外, デバッグ・トラップ)

これらの割り込み / 例外要因を表15 - 1に示します。

表15 - 1 割り込み要因一覧 (1/3)

種類	分類	DP 注1	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制 御レジスタ
リセット	割り込み	-	RESET	RESET 端子入力 / 内部要因からのリセット入力	RESET	0000H	00000000H	不定	-
ノンマスクابل	割り込み	-	NMI	NMI端子有効エッジ入力	端子	0010H	00000010H	nextPC	-
		-	INTWDT2	WDT2のオーバフロー	WDT2	0020H	00000020H	注2	-
ソフトウェア例外	例外	-	TRAP0n ^{注3}	TRAP命令	-	004nH ^{注3}	00000040H	nextPC	-
		-	TRAP1n ^{注3}	TRAP命令	-	005nH ^{注3}	00000050H	nextPC	-
例外トラップ	例外	-	ILGOP/ DBG0	不正命令コード / DBTRAP命令	-	0060H	00000060H	nextPC	-
マスクابل	割り込み	0	INTLVI	低電圧検出	POCLVI	0080H	00000080H	nextPC	LVIIC
		1	INTP0	外部割り込み端子入力エッジ検出 (INTP0)	端子	0090H	00000090H	nextPC	PIC0
		2	INTP1	外部割り込み端子入力エッジ検出 (INTP1)	端子	00A0H	000000A0H	nextPC	PIC1
		3	INTP2	外部割り込み端子入力エッジ検出 (INTP2)	端子	00B0H	000000B0H	nextPC	PIC2
		4	INTP3	外部割り込み端子入力エッジ検出 (INTP3)	端子	00C0H	000000C0H	nextPC	PIC3
		5	INTP4	外部割り込み端子入力エッジ検出 (INTP4)	端子	00D0H	000000D0H	nextPC	PIC4
		6	INTP5	外部割り込み端子入力エッジ検出 (INTP5)	端子	00E0H	000000E0H	nextPC	PIC5
		7	INTP6	外部割り込み端子入力エッジ検出 (INTP6)	端子	00F0H	000000F0H	nextPC	PIC6
		8	INTP7	外部割り込み端子入力エッジ検出 (INTP7)	端子	0100H	00000100H	nextPC	PIC7
		9	INTTQ0OV	TMQ0オーバフロー	TMQ0	0110H	00000110H	nextPC	TQ0OVIC
		10	INTTQ0CC0	TMQ0キャプチャ0 / コンペア0一致	TMQ0	0120H	00000120H	nextPC	TQ0CCIC0
		11	INTTQ0CC1	TMQ0キャプチャ1 / コンペア1一致	TMQ0	0130H	00000130H	nextPC	TQ0CCIC1
		12	INTTQ0CC2	TMQ0キャプチャ2 / コンペア2一致	TMQ0	0140H	00000140H	nextPC	TQ0CCIC2
		13	INTTQ0CC3	TMQ0キャプチャ3 / コンペア3一致	TMQ0	0150H	00000150H	nextPC	TQ0CCIC3
		14	INTTP0OV	TMP0オーバフロー	TMP0	0160H	00000160H	nextPC	TP0OVIC
		15	INTTP0CC0	TMP0キャプチャ0 / コンペア0一致	TMP0	0170H	00000170H	nextPC	TP0CCIC0
		16	INTTP0CC1	TMP0キャプチャ1 / コンペア1一致	TMP0	0180H	00000180H	nextPC	TP0CCIC1
17	INTTP1OV	TMP1オーバフロー	TMP1	0190H	00000190H	nextPC	TP1OVIC		

注1. DP : デフォルト・プライオリティ

2. INTWDT2の場合の復帰については15.2.2(2) INTWDT2信号の場合を参照してください。

3. n = 0H-FH

表15 - 1 割り込み要因一覧 (2/3)

種類	分類	DP ^注	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制 御レジスタ
マスク ブル	割り込み	18	INTTP1CC0	TMP1キャプチャ0/コンペア 0一致	TMP1	01A0H	000001AH	nextPC	TP1CCIC0
		19	INTTP1CC1	TMP1キャプチャ1/コンペア 1一致	TMP1	01B0H	000001B0H	nextPC	TP1CCIC1
		20	INTTP2OV	TMP2オーバフロー	TMP2	01C0H	000001C0H	nextPC	TP2OVIC
		21	INTTP2CC0	TMP2キャプチャ0/コンペア 0一致	TMP2	01D0H	000001D0H	nextPC	TP2CCIC0
		22	INTTP2CC1	TMP2キャプチャ1/コンペア 1一致	TMP2	01E0H	000001E0H	nextPC	TP2CCIC1
		23	INTTP3OV	TMP3オーバフロー	TMP3	01F0H	000001F0H	nextPC	TP3OVIC
		24	INTTP3CC0	TMP3キャプチャ0/コンペア 0一致	TMP3	0200H	00000200H	nextPC	TP3CCIC0
		25	INTTP3CC1	TMP3キャプチャ1/コンペア 1一致	TMP3	0210H	00000210H	nextPC	TP3CCIC1
		26	INTTM0EQ0	TMM0コンペア一致	TMM0	0220H	00000220H	nextPC	TM0EQIC0
		27	INTCB0R	CSIB0受信完了 / エラー	CSIB0	0230H	00000230H	nextPC	CB0RIC
		28	INTCB0T	CSIB0連続送信書き込み許可	CSIB0	0240H	00000240H	nextPC	CB0TIC
		29	INTCB1R	CSIB1受信完了 / エラー	CSIB1	0250H	00000250H	nextPC	CB1RIC
		30	INTCB1T	CSIB1連続送信書き込み許可	CSIB1	0260H	00000260H	nextPC	CB1TIC
		31	INTUA0R	UARTA0受信完了 / エラー	UARTA0	0270H	00000270H	nextPC	UA0RIC
		32	INTUA0T	UARTA0送信許可	UARTA0	0280H	00000280H	nextPC	UA0TIC
		33	INTUA1R	UARTA1受信完了 / エラー	UARTA1	0290H	00000290H	nextPC	UA1RIC
		34	INTUA1T	UARTA1送信許可	UARTA1	02A0H	000002A0H	nextPC	UA1TIC
		35	INTAD	A/D変換終了	A/D	02B0H	000002B0H	nextPC	ADIC
		36	INTKR	キーリターン割り込み要求	KR	0300H	00000300H	nextPC	KRIC
		37	INTWTI	時計タイマのインターバル	WT	0310H	00000310H	nextPC	WTIIC
		38	INTWT	時計タイマの基準時間	WT	0320H	00000320H	nextPC	WTIC
		39	INTP8	外部割り込み端子入力エッジ 検出 (INTP8)	端子	0330H	00000330H	nextPC	PIC8
		40	INTP9	外部割り込み端子入力エッジ 検出 (INTP9)	端子	0340H	00000340H	nextPC	PIC9
		41	INTP10	外部割り込み端子入力エッジ 検出 (INTP10)	端子	0350H	00000350H	nextPC	PIC10
		42	INTTQ1OV	TMQ1オーバフロー	TMQ1	0360H	00000360H	nextPC	TQ1OVIC
		43	INTTQ1CC0	TMQ1キャプチャ0/コンペア 0一致	TMQ1	0370H	00000370H	nextPC	TQ1CCIC0
		44	INTTQ1CC1	TMQ1キャプチャ1/コンペア 1一致	TMQ1	0380H	00000380H	nextPC	TQ1CCIC1
		45	INTTQ1CC2	TMQ1キャプチャ2/コンペア 2一致	TMQ1	0390H	00000390H	nextPC	TQ1CCIC2
		46	INTTQ1CC3	TMQ1キャプチャ2/コンペア 3一致	TMQ1	03A0H	000003A0H	nextPC	TQ1CCIC3

注 DP : デフォルト・プライオリティ

表15 - 1 割り込み要因一覧 (3/3)

種類	分類	DP ^注	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制 御レジスタ
マスク ブル	割り込み	47	INTUA2R	UARTA2受信完了 / エラー	UARTA2	03B0H	000003B0H	nextPC	UA2RIC
		48	INTUA2T	UARTA2送信許可	UARTA2	03C0H	000003C0H	nextPC	UA2TIC
		49	INTDMA0	DMA0転送終了	DMA	0410H	00000410H	nextPC	DMAIC0
		50	INTDMA1	DMA1転送終了	DMA	0420H	00000420H	nextPC	DMAIC1
		51	INTDMA2	DMA2転送終了	DMA	0430H	00000430H	nextPC	DMAIC2
		52	INTDMA3	DMA3転送終了	DMA	0440H	00000440H	nextPC	DMAIC3

注 DP : デフォルト・プライオリティ

備考1. デフォルト・プライオリティ : 複数の同一優先順位レベルのマスクブル割り込み要求信号が同時に発生している場合に優先される順位です。0が最高優先順位です。

ノンマスクブル割り込みの優先順位は、INTWDT2 > NMIとなります。

復帰PC : 割り込み処理起動時に、CPUのEIPC、FEPCまたはDBPCにセーブされるプログラム・カウンタ (PC) のことです。なお、次の命令実行中にノンマスクブル / マスクブル割り込みを受け付けた場合の復帰PCはnextPCとはなりません (命令実行中に割り込みを受け付けると実行を中止し、割り込み処理完了後に再実行されます)。

- ・ロード命令 (SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W)
- ・除算命令 (DIV, DIVH, DIVU, DIVHU)
- ・PREPARE, DISPOSE命令 (スタック・ポインタの更新前に割り込みが発生した場合のみ)

nextPC : 割り込み / 例外処理後に処理を開始するPC値です。

2. 不正命令コード例外時の不正命令の実行アドレスは、(復帰PC - 4) で求められます。

15.2 ノンマスカブル割り込み

ノンマスカブル割り込み要求信号は、CPUが割り込み禁止（DI）状態でも無条件に受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込み要求信号に対して最優先されます。

この製品のノンマスカブル割り込み要求信号には、次の2つがあります。

- ・ NMI端子入力（NMI）
- ・ ウォッチドッグ・タイマのオーバフローによるノンマスカブル割り込み要求信号（INTWDT2）

NMI端子の有効エッジは、“立ち上がりエッジ”、“立ち下がりエッジ”、“両エッジ”、“エッジ検出なし”の4種類から選択できます。

NMI端子は、PMC0.PMC02 = 1、かつINTF0.INTF02ビット、INTR0.INTR02ビットを任意の値に設定し希望する有効エッジを指定することにより、その機能が有効となります。

ウォッチドッグ・タイマ2のオーバフローによるノンマスカブル割り込み要求信号（INTWDT2）はWDTM2.WDM21, WDM20ビットを“01”と設定することで機能します。

複数のノンマスカブル割り込み要求信号が重なって発生した場合は、次の優先順位に従って順位の高い処理が事項されます（優先順位の低い割り込み要求信号は無視されます）。

INTWDT2 > NMI

なお、NMI処理中に、新たにNMI, INTWDT2要求信号が発生した場合は次のような処理を行います。

（1）NMI処理中に、新たにNMI要求信号が発生した場合

PSW.NPビットの値によらず、新たなNMI要求信号は保留されます。保留されたNMI要求信号は、現在実行中のNMI処理終了後（RETI命令実行後）に受け付けられます。

（2）NMI処理中に、新たにINTWDT2要求信号が発生した場合

NMI処理中にNPビットがセット（1）されたままであれば、新たなINTWDT2要求信号は保留されます。保留されたINTWDT2要求信号は、現在実行中のNMI処理終了後（RETI命令実行後）に受け付けられます。

NMI処理中にNPビットをクリア（0）すれば、新たに発生したINTWDT2要求信号が実行されます（NMI処理は中断されます）。

注意 ノンマスカブル割り込み要求信号（INTWDT2）によるノンマスカブル割り込み処理については15.2.2（2）INTWDT2信号の場合を参照してください。

図15 - 1 ノンマスカブル割り込み要求信号の受け付け動作 (1/2)

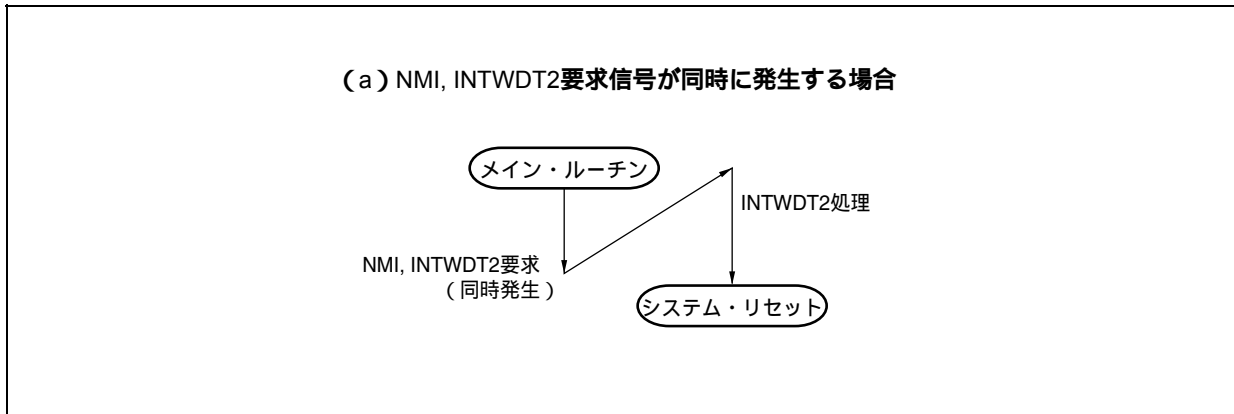
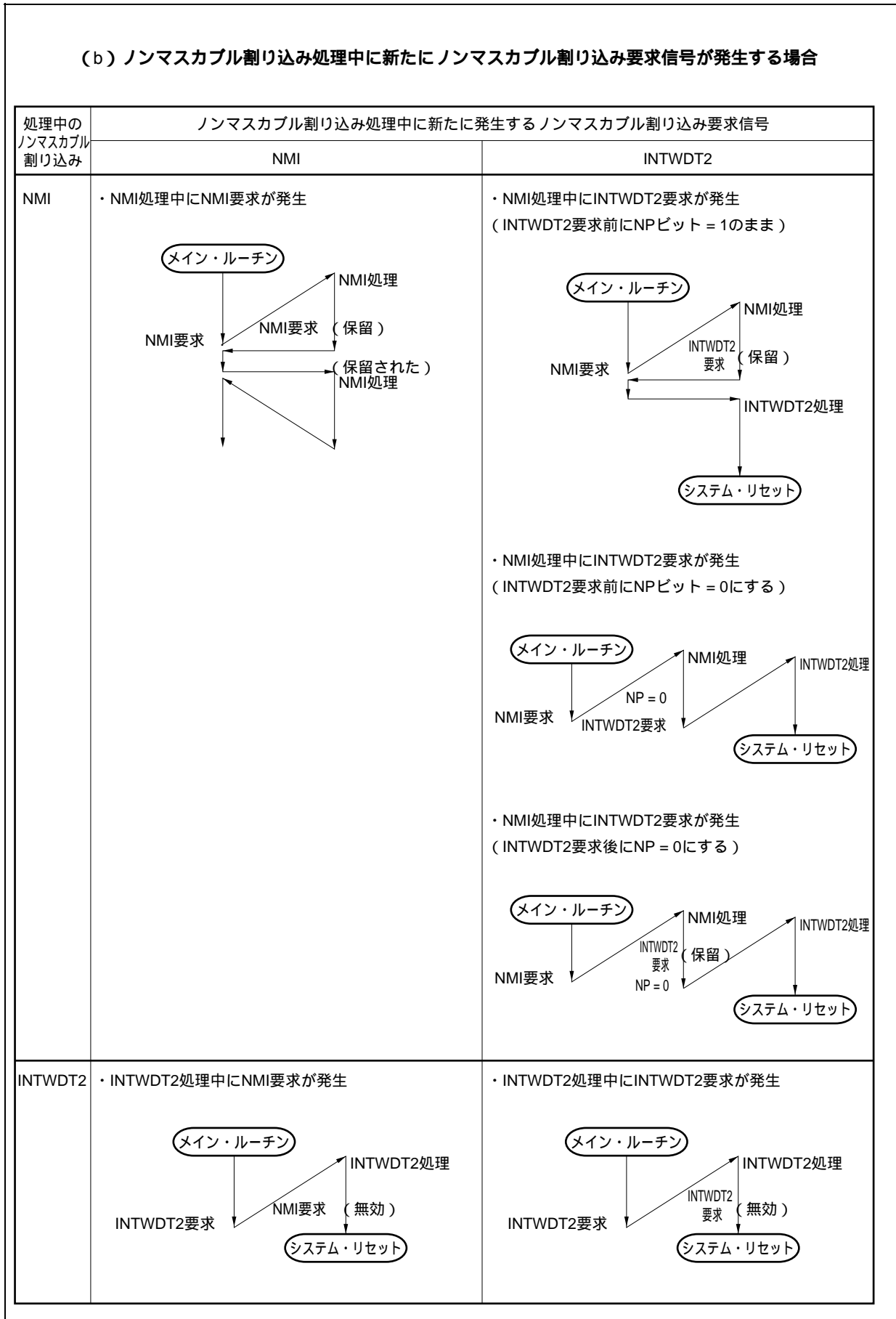


図15 - 1 ノンマスクابل割り込み要求信号の受け付け動作 (2/2)



15.2.1 動作

ノンマスクブル割り込み要求信号が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをFEPCに退避します。

現在のPSWをFEPSWに退避します。

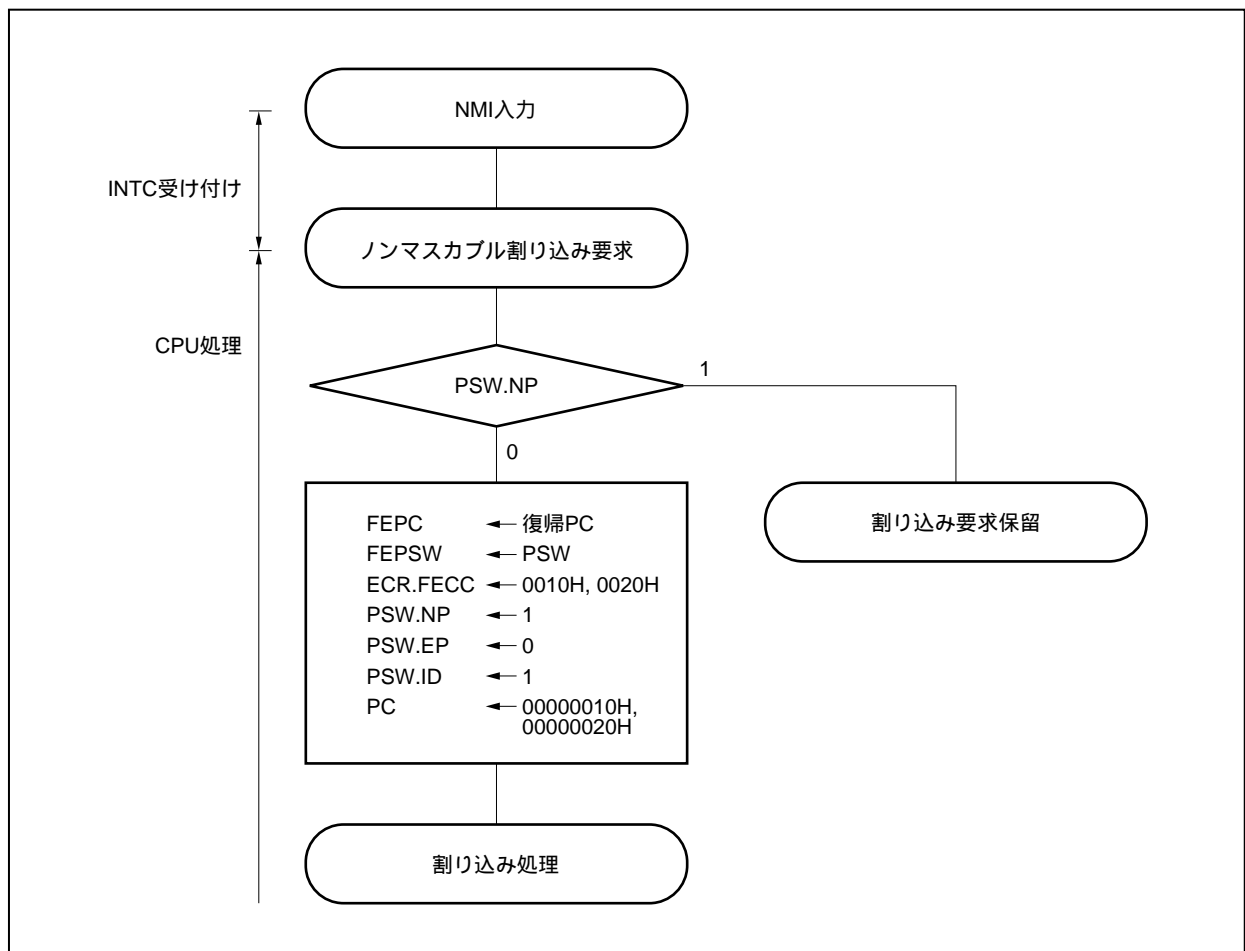
ECRの上位ハーフワード (FECC) に例外コード (0010H, 0020H) を書き込みます。

PSW.NP, IDビットをセット (1) し, PSW.EPビットをクリア (0) します。

PCにノンマスクブル割り込みに対するハンドラ・アドレス (00000010H, 00000020H) をセットし, 制御を移します。

ノンマスクブル割り込みの処理形態を図15 - 2に示します。

図15 - 2 ノンマスクブル割り込みの処理形態



15.2.2 復 帰

(1) NMI端子入力の場合

NMI処理からの復帰は、RETI命令により行います。

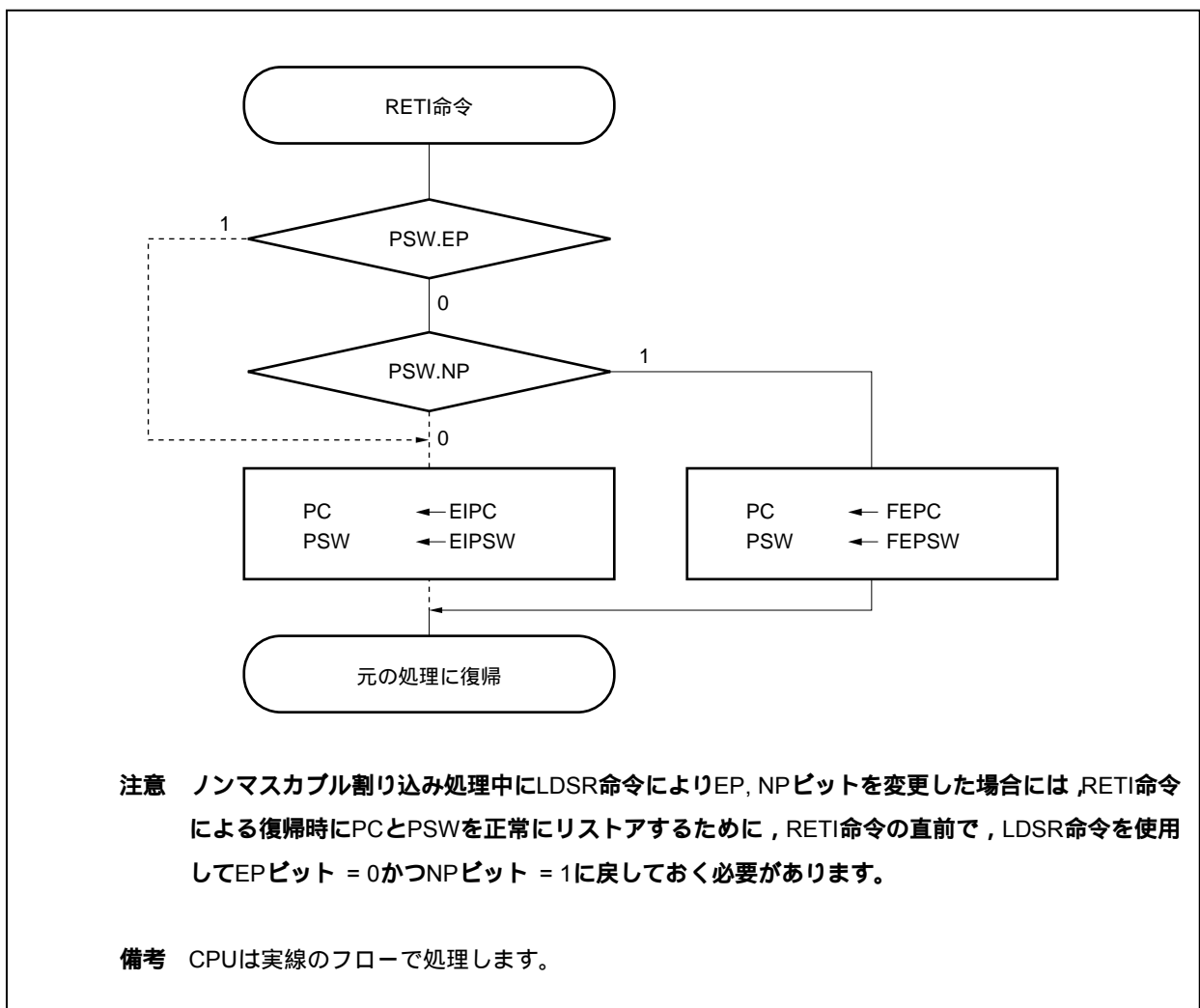
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへの制御を移します。

PSW.EPビットが0かつPSW.NPビットが1なので、FEPC, FEPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を図15 - 3に示します。

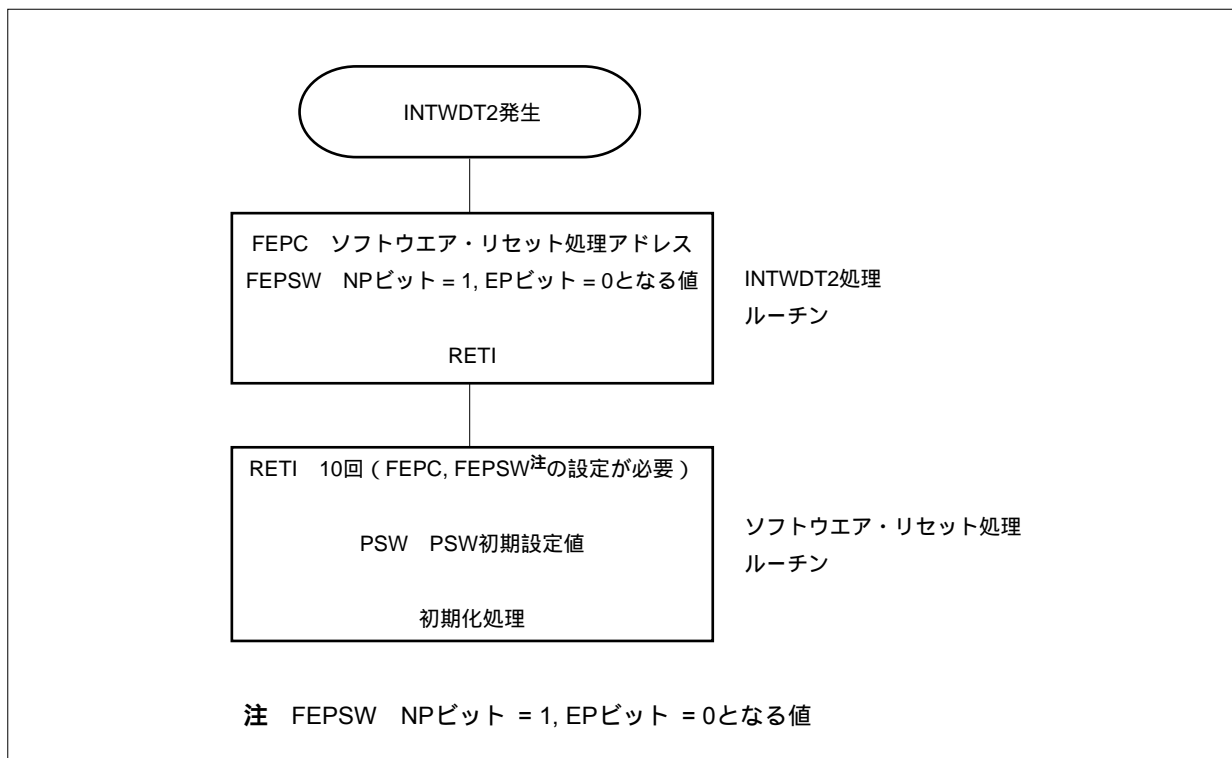
図15 - 3 RETI命令の処理形態



(2) INTWDT2信号の場合

ノンマスクابل割り込み要求 (INTWDT2) によるノンマスクابل割り込み処理実行後に, RETI命令による復帰はできません。次に示すソフトウェア・リセット処理を実行してください。

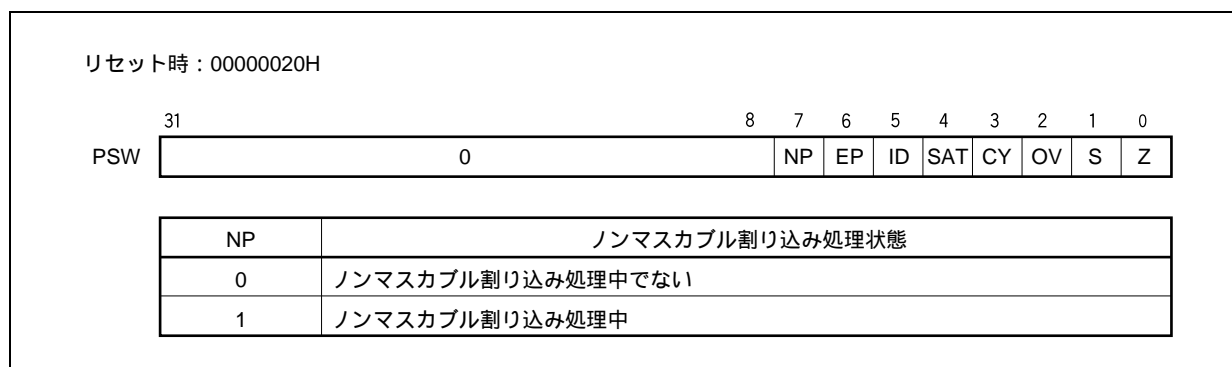
図15-4 ソフトウェア・リセット処理



15.2.3 NPフラグ

NPフラグは, ノンマスクابل割り込みの処理中であることを示すステータス・フラグです。

ノンマスクابل割り込み要求信号を受け付けるとセットされ, ノンマスクابل割り込み要求をマスクして多重割り込みを禁止します。



15.3 マスカブル割り込み

マスカブル割り込み要求信号は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求信号で、53種類の割り込み要因があります。

複数のマスカブル割り込み要求信号が同時に発生した場合は、デフォルト優先順位により、その優先順位が決定します。また、デフォルト優先順位とは別に、割り込み制御レジスタによって、8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求信号が受け付けられると割り込み禁止（DI）状態になり、以後のマスカブル割り込み要求信号の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり、受け付け中の割り込み要求信号の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求信号の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし、多重割り込みを許可するときは、EI命令を実行する前にEIPC、EIPSWをメモリ、または汎用レジスタに退避し、RETI命令を実行する前にDIを行って、EIPC、EIPSWを元の値に復帰してください。

15.3.1 動作

マスカブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

ECRの下位ハーフワード（EICC）に例外コードを書き込みます。

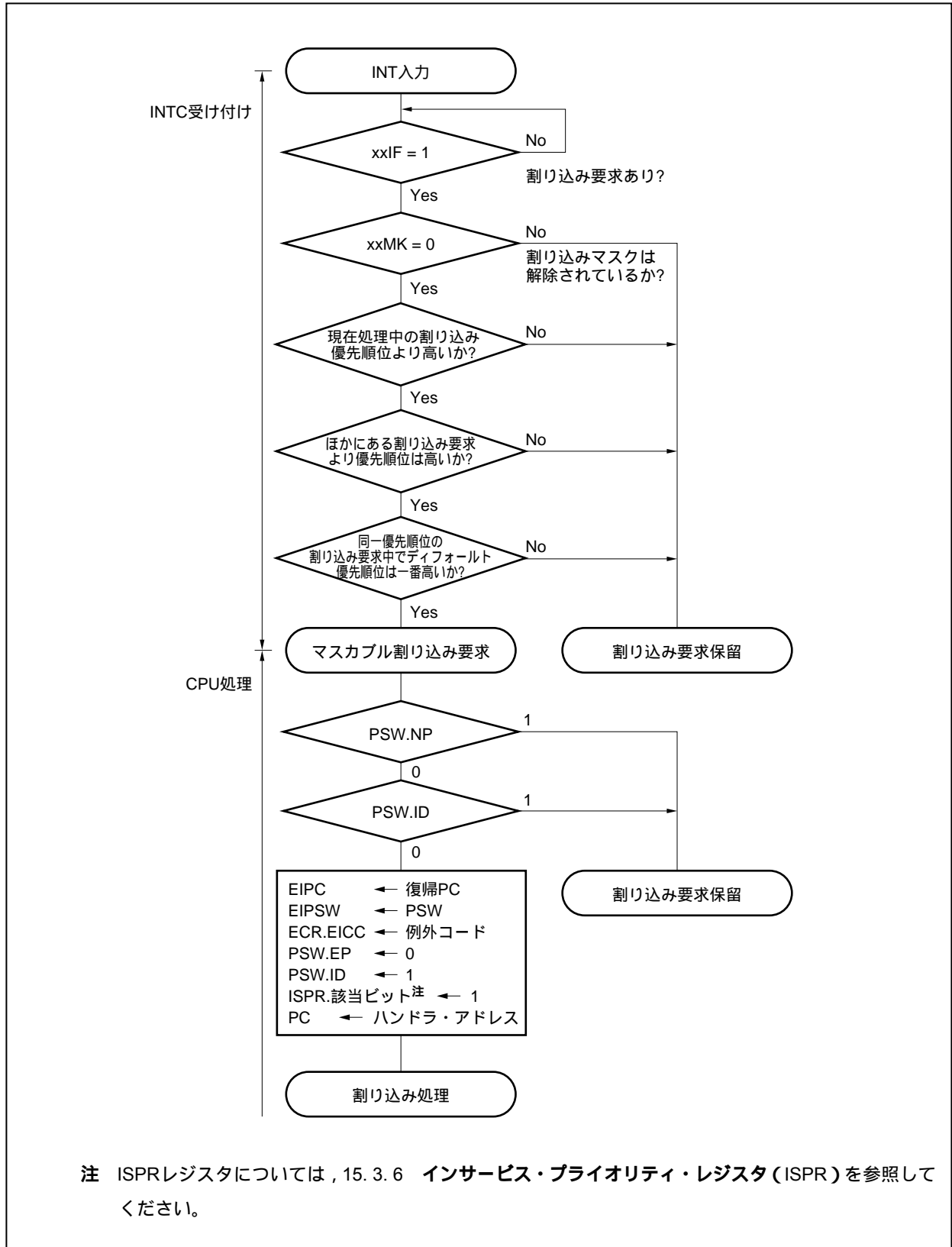
PSW.IDビットをセット（1）し、PSW.EPビットをクリア（0）します。

PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

なお、INTCでマスクされているマスカブル割り込み要求信号と、ほかの割り込み処理中（PSW.NPビット = 1またはIDビット = 1）に発生したマスカブル割り込み要求信号は、INTC内部で保留されます。この場合、マスクを解除するか、またはRETI命令、LDSR命令を使用してNPビット = 0かつIDビット = 0にすると、保留していたマスカブル割り込み要求信号の優先順位に従い、新たなマスカブル割り込み処理が開始されます。

マスカブル割り込みの処理形態を次に示します。

図15-5 マスカブル割り込みの処理形態



15.3.2 復 帰

マスクابل割り込み処理からの復帰は、RETI命令により行います。

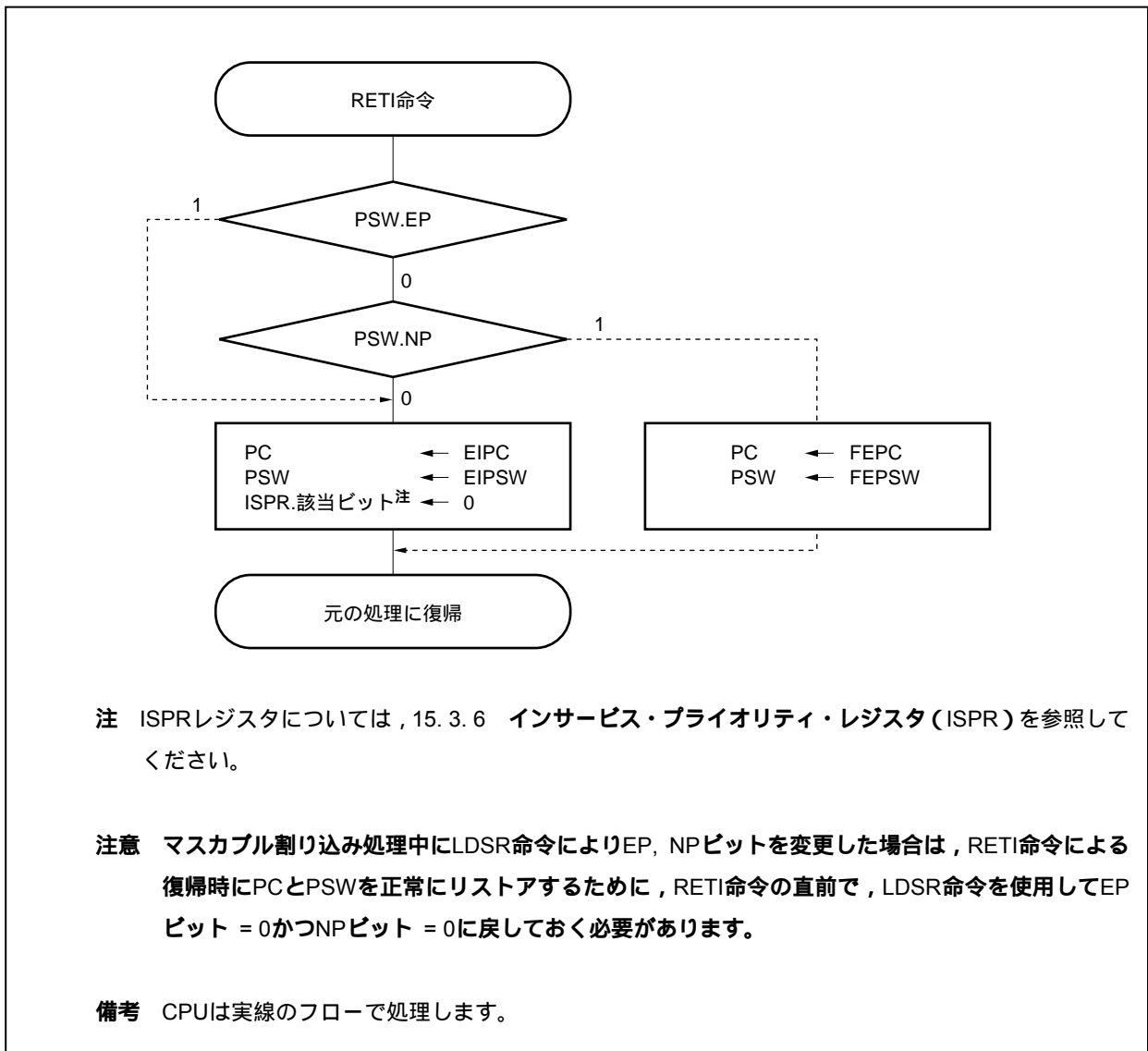
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビットが0かつPSW.NPビットが0なので、EIPC, EIPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を図15 - 6に示します。

図15 - 6 RETI命令の処理形態



15.3.3 マスカブル割り込みの優先順位

INTCは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込み制御レジスタ (xxICn) の割り込み優先順位指定ビット (xxPRn) によるプログラマブル優先順位制御があります。デフォルト優先順位制御は、xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求信号にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込みを処理します (表15 - 1 割り込み要因一覧参照)。プログラマブル優先順位制御は、各割り込み要求信号を優先順位指定フラグの設定によって8レベルに分けます。

なお、割り込み要求信号を受け付けるとPSW.IDフラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア (0) し、割り込み許可状態にしてください。

備考 xx : 各周辺ユニット識別名称 (表15 - 2 割り込み制御レジスタ (xxICn) 参照)

n : 周辺ユニット番号 (表15 - 2 割り込み制御レジスタ (xxICn) 参照)

図15 - 7 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (1/2)

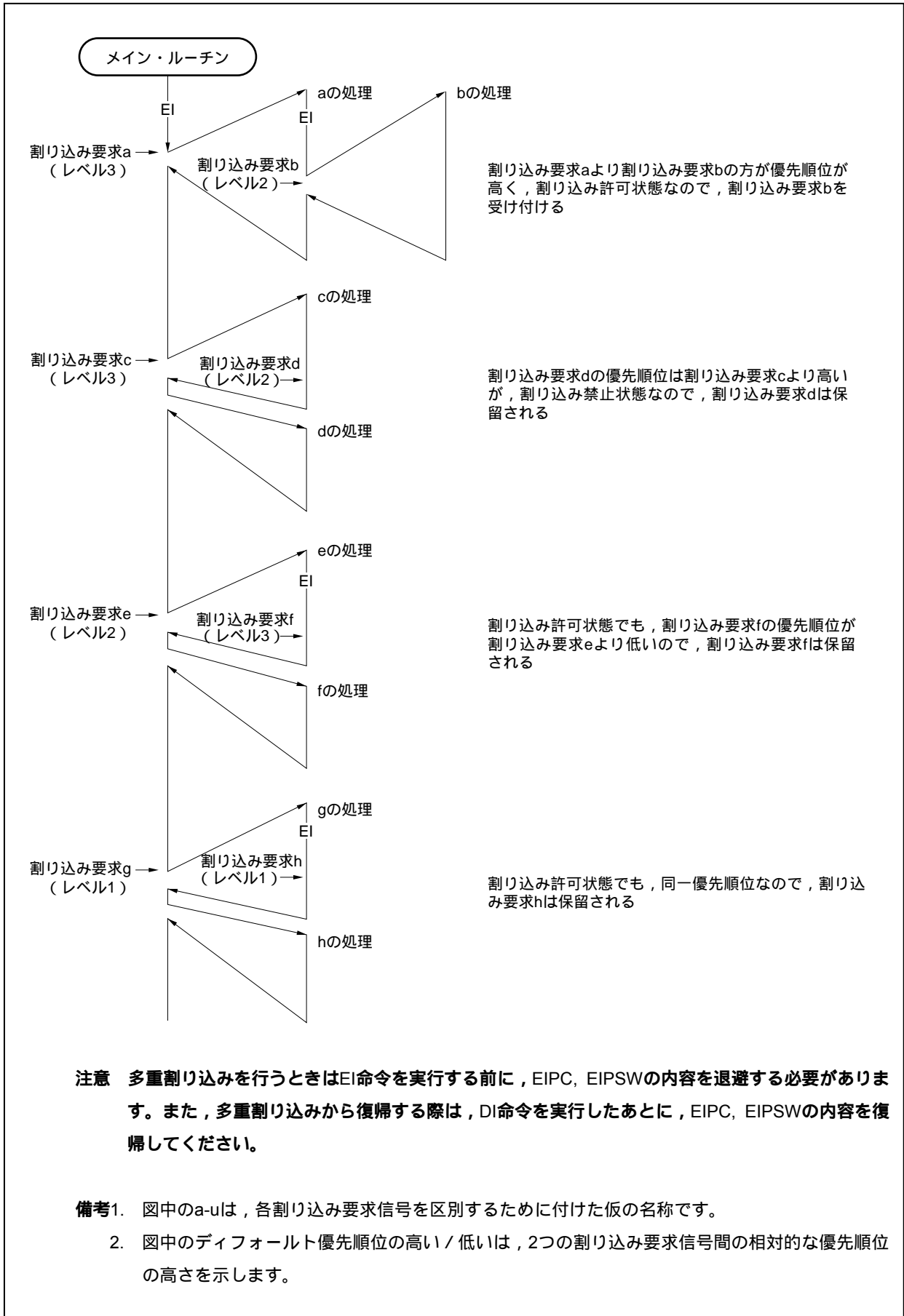


図15 - 7 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (2/2)

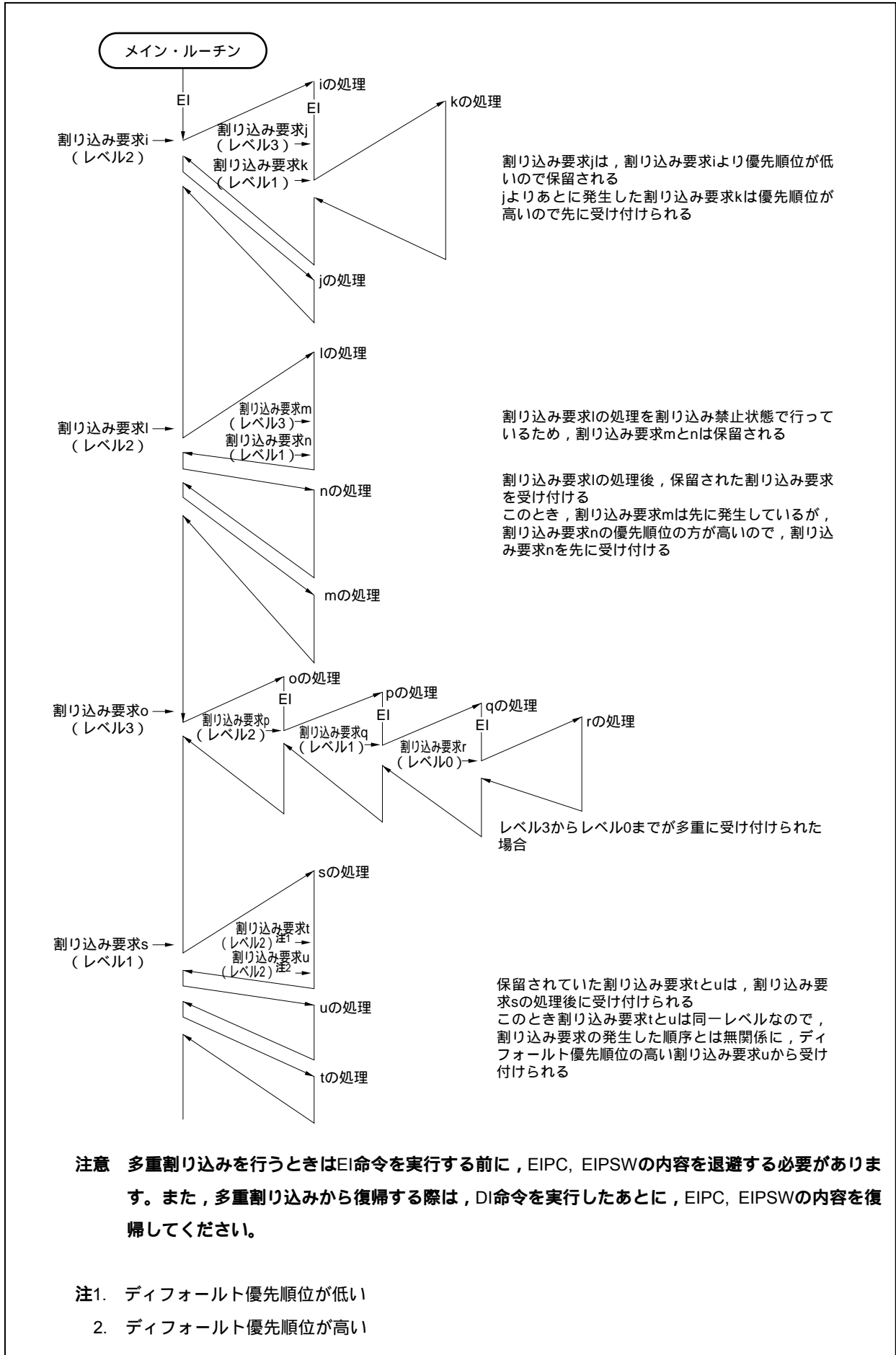
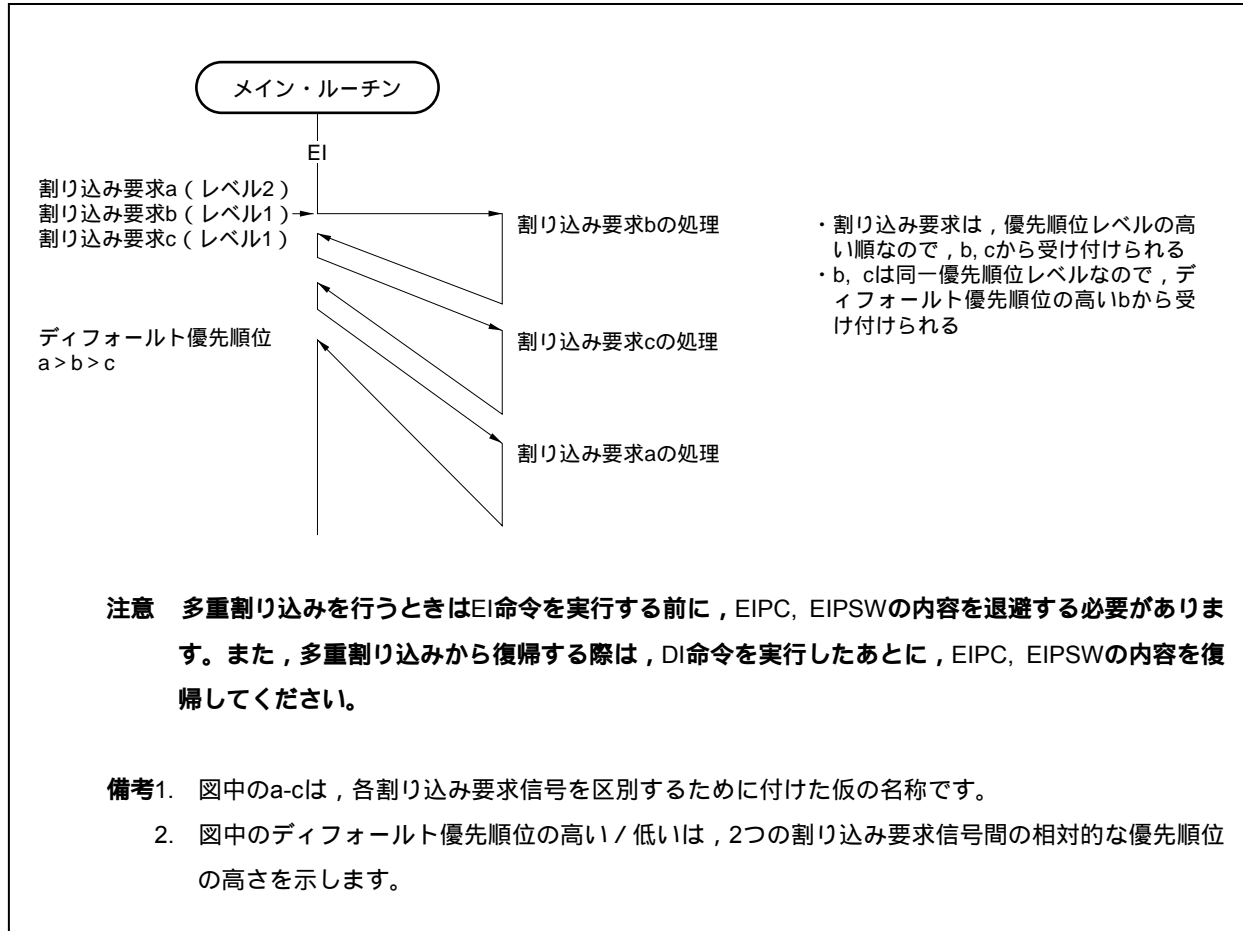


図15 - 8 同時発生した割り込み要求信号の処理例



15.3.4 割り込み制御レジスタ (xxICn)

割り込み要求信号 (マスカブル割り込み) ごとに割り当てられ, 各割り込みに対する制御条件を設定します。
8/1ビット単位でリード/ライト可能です。
リセットにより47Hになります。

注意 xxICn.xxIFnビットを読み出す場合は, 割り込み禁止 (DI) 状態または割り込みをマスクした状態で行ってください。割り込み許可 (EI) 状態または割り込みマスクを解除した状態でxxIFnビットを読み出すと, 割り込みの受け付けとビットの読み出しのタイミングが競合した場合に, 正常な値が読み出せないことがあります。

リセット時: 47H R/W アドレス: FFFFF110H-FFFFFF188H

	7	6	5	4	3	2	1	0
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0

xxIFn	割り込み要求フラグ ^注
0	割り込み要求信号なし
1	割り込み要求信号あり

xxMKn	割り込みマスク・フラグ
0	割り込み処理を許可
1	割り込み処理を禁止 (保留)

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル0 (最高位) を指定
0	0	1	レベル1を指定
0	1	0	レベル2を指定
0	1	1	レベル3を指定
1	0	0	レベル4を指定
1	0	1	レベル5を指定
1	1	0	レベル6を指定
1	1	1	レベル7 (最低位) を指定

注 割り込み要求信号が受け付けられるとハードウェアにより自動的にリセットされます。

備考 xx : 各周辺ユニット識別名称 (表15-2 割り込み制御レジスタ (xxICn) 参照)
n : 周辺ユニット番号 (表15-2 割り込み制御レジスタ (xxICn) 参照)

各割り込み制御レジスタのアドレスとビットを次に示します。

表15 - 2 割り込み制御レジスタ (xxICn) (1/2)

アドレス	レジスタ	ビット							
		7	6	5	4	3	2	1	0
FFFFF110H	LVIIC	LVIIIF	LVIMK	0	0	0	LVIPR2	LVIPR1	LVIPR0
FFFFF112H	PIC0	PIF0	PMK0	0	0	0	PPR02	PPR01	PPR00
FFFFF114H	PIC1	PIF1	PMK1	0	0	0	PPR12	PPR11	PPR10
FFFFF116H	PIC2	PIF2	PMK2	0	0	0	PPR22	PPR21	PPR20
FFFFF118H	PIC3	PIF3	PMK3	0	0	0	PPR32	PPR31	PPR30
FFFFF11AH	PIC4	PIF4	PMK4	0	0	0	PPR42	PPR41	PPR40
FFFFF11CH	PIC5	PIF5	PMK5	0	0	0	PPR52	PPR51	PPR50
FFFFF11EH	PIC6	PIF6	PMK6	0	0	0	PPR62	PPR61	PPR60
FFFFF120H	PIC7	PIF7	PMK7	0	0	0	PPR72	PPR71	PPR70
FFFFF122H	TQ0OVIC	TQ0OVIF	TQ0OVMK	0	0	0	TQ0OVPR2	TQ0OVPR1	TQ0OVPR0
FFFFF124H	TQ0CCIC0	TQ0CCIF0	TQ0CCMK0	0	0	0	TQ0CCPR02	TQ0CCPR01	TQ0CCPR00
FFFFF126H	TQ0CCIC1	TQ0CCIF1	TQ0CCMK1	0	0	0	TQ0CCPR12	TQ0CCPR11	TQ0CCPR10
FFFFF128H	TQ0CCIC2	TQ0CCIF2	TQ0CCMK2	0	0	0	TQ0CCPR22	TQ0CCPR21	TQ0CCPR20
FFFFF12AH	TQ0CCIC3	TQ0CCIF3	TQ0CCMK3	0	0	0	TQ0CCPR32	TQ0CCPR31	TQ0CCPR30
FFFFF12CH	TP0OVIC	TP0OVIF	TP0OVMK	0	0	0	TP0OVPR2	TP0OVPR1	TP0OVPR0
FFFFF12EH	TP0CCIC0	TP0CCIF0	TP0CCMK0	0	0	0	TP0CCPR02	TP0CCPR01	TP0CCPR00
FFFFF130H	TP0CCIC1	TP0CCIF1	TP0CCMK1	0	0	0	TP0CCPR12	TP0CCPR11	TP0CCPR10
FFFFF132H	TP1OVIC	TP1OVIF	TP1OVMK	0	0	0	TP1OVPR2	TP1OVPR1	TP1OVPR0
FFFFF134H	TP1CCIC0	TP1CCIF0	TP1CCMK0	0	0	0	TP1CCPR02	TP1CCPR01	TP1CCPR00
FFFFF136H	TP1CCIC1	TP1CCIF1	TP1CCMK1	0	0	0	TP1CCPR12	TP1CCPR11	TP1CCPR10
FFFFF138H	TP2OVIC	TP2OVIF	TP2OVMK	0	0	0	TP2OVPR2	TP2OVPR1	TP2OVPR0
FFFFF13AH	TP2CCIC0	TP2CCIF0	TP2CCMK0	0	0	0	TP2CCPR02	TP2CCPR01	TP2CCPR00
FFFFF13CH	TP2CCIC1	TP2CCIF1	TP2CCMK1	0	0	0	TP2CCPR12	TP2CCPR11	TP2CCPR10
FFFFF13EH	TP3OVIC	TP3OVIF	TP3OVMK	0	0	0	TP3OVPR2	TP3OVPR1	TP3OVPR0
FFFFF140H	TP3CCIC0	TP3CCIF0	TP3CCMK0	0	0	0	TP3CCPR02	TP3CCPR01	TP3CCPR00
FFFFF142H	TP3CCIC1	TP3CCIF1	TP3CCMK1	0	0	0	TP3CCPR12	TP3CCPR11	TP3CCPR10
FFFFF144H	TM0EQIC0	TM0EQIF0	TM0EQMK0	0	0	0	TM0EQPR02	TM0EQPR01	TM0EQPR00
FFFFF146H	CB0RIC	CB0RIF	CB0RMK	0	0	0	CB0RPR2	CB0RPR1	CB0RPR0
FFFFF148H	CB0TIC	CB0TIF	CB0TMK	0	0	0	CB0TPR2	CB0TPR1	CB0TPR0
FFFFF14AH	CB1RIC	CB1RIF	CB1RMK	0	0	0	CB1RPR2	CB1RPR1	CB1RPR0
FFFFF14CH	CB1TIC	CB1TIF	CB1TMK	0	0	0	CB1TPR2	CB1TPR1	CB1TPR0
FFFFF14EH	UA0RIC	UA0RIF	UA0RMK	0	0	0	UA0RPR2	UA0RPR1	UA0RPR0
FFFFF150H	UA0TIC	UA0TIF	UA0TMK	0	0	0	UA0TPR2	UA0TPR1	UA0TPR0
FFFFF152H	UA1RIC	UA1RIF	UA1RMK	0	0	0	UA1RPR2	UA1RPR1	UA1RPR0
FFFFF154H	UA1TIC	UA1TIF	UA1TMK	0	0	0	UA1TPR2	UA1TPR1	UA1TPR0
FFFFF156H	ADIC	ADIF	ADMK	0	0	0	ADPR2	ADPR1	ADPR0
FFFFF160H	KRIC	KRIF	KRMK	0	0	0	KRPR2	KRPR1	KRPR0
FFFFF162H	WTIIC	WTIIF	WTIMK	0	0	0	WTIPR2	WTIPR1	WTIPR0

表15 - 2 割り込み制御レジスタ (xxICn) (2/2)

アドレス	レジスタ	ビット							
		7	6	5	4	3	2	1	0
FFFFFF164H	WTIC	WTIF	WTMK	0	0	0	WTPR2	WTPR1	WTPR0
FFFFFF166H	PIC8	PIF8	PMK8	0	0	0	PPR82	PPR81	PPR80
FFFFFF168H	PIC9	PIF9	PMK9	0	0	0	PPR92	PPR91	PPR90
FFFFFF16AH	PIC10	PIF10	PMK10	0	0	0	PPR102	PPR101	PPR100
FFFFFF16CH	TQ1OVIC	TQ1OVIF	TQ1OVMK	0	0	0	TQ1OVPR2	TQ1OVPR1	TQ1OVPR0
FFFFFF16EH	TQ1CCIC0	TQ1CCIF0	TQ1CCMK0	0	0	0	TQ1CCPR02	TQ1CCPR01	TQ1CCPR00
FFFFFF170H	TQ1CCIC1	TQ1CCIF1	TQ1CCMK1	0	0	0	TQ1CCPR12	TQ1CCPR11	TQ1CCPR10
FFFFFF172H	TQ1CCIC2	TQ1CCIF2	TQ1CCMK2	0	0	0	TQ1CCPR22	TQ1CCPR21	TQ1CCPR20
FFFFFF174H	TQ1CCIC3	TQ1CCIF3	TQ1CCMK3	0	0	0	TQ1CCPR32	TQ1CCPR31	TQ1CCPR30
FFFFFF176H	UA2RIC	UA2RIF	UA2RMK	0	0	0	UA2RPR2	UA2RPR1	UA2RPR0
FFFFFF178H	UA2TIC	UA2TIF	UA2TMK	0	0	0	UA2TPR2	UA2TPR1	UA2TPR0
FFFFFF182H	DMAIC0	DMAIF0	DMAMK0	0	0	0	DMAPR02	DMAPR01	DMAPR00
FFFFFF184H	DMAIC1	DMAIF1	DMAMK1	0	0	0	DMAPR12	DMAPR11	DMAPR10
FFFFFF186H	DMAIC2	DMAIF2	DMAMK2	0	0	0	DMAPR22	DMAPR21	DMAPR20
FFFFFF188H	DMAIC3	DMAIF3	DMAMK3	0	0	0	DMAPR32	DMAPR31	DMAPR30

15.3.5 割り込みマスク・レジスタ0-3 (IMR0-IMR3)

マスクブル割り込みに対する割り込みマスク状態を設定します。IMR0-IMR3レジスタのxxMKnビットとxxlCn.xxMKnビットは、それぞれ連結しています。

IMRmレジスタは、16ビット単位でリード/ライト可能です (m = 0-3)。

IMRmレジスタの上位8ビットをIMRmHレジスタ、下位8ビットをIMRmLレジスタとして使用する場合は、8/16ビット単位でリード/ライト可能です (m = 0-3)。

リセットによりFFFFFFHになります。

注意 デバイス・ファイルでは、xxlCn.xxMKnビットを予約語として定義しています。したがって、xxMKnビットの名称でビット操作を行うと、IMRmレジスタではなくxxlCnレジスタを書き換えます (結果としてIMRmレジスタも書き換わります)。

リセット時：FFFFH R/W アドレス：IMR3 FFFFF106H,
IMR3L FFFFF106H, IMR3H FFFFF107H

	15	14	13	12	11	10	9	8
IMR3 (IMR3H ^注)	1	1	1	DMAMK3	DMAMK2	DMAMK1	DMAMK0	1
	7	6	5	4	3	2	1	0
IMR3L	1	1	1	UA2TMK	UA2RMK	TQ1CCMK3	TQ1CCMK2	TQ1CCMK1

リセット時：FFFFH R/W アドレス：IMR2 FFFFF104H,
IMR2L FFFFF104H, IMR2H FFFFF105H

	15	14	13	12	11	10	9	8
IMR2 (IMR2H ^注)	TQ1CCMK0	TQ1OVMK	PMK10	PMK9	PMK8	WTMK	WTIMK	KRMK
	7	6	5	4	3	2	1	0
IMR2L	1	1	1	1	ADMK	UA1TMK	UA1RMK	UA0TMK

リセット時：FFFFH R/W アドレス：IMR1 FFFFF102H,
IMR1L FFFFF102H, IMR1H FFFFF103H

	15	14	13	12	11	10	9	8
IMR1 (IMR1H ^注)	UA0RMK	CB1TMK	CB1RMK	CB0TMK	CB0RMK	TM0EQMK0	TP3CCMK1	TP3CCMK0
	7	6	5	4	3	2	1	0
IMR1L	TP3OVMK	TP2CCMK1	TP2CCMK0	TP2OVMK	TP1CCMK1	TP1CCMK0	TP1OVMK	TP0CCMK1

リセット時：FFFFH R/W アドレス：IMR0 FFFFF100H,
IMR0L FFFFF100H, IMR0H FFFFF101H

	15	14	13	12	11	10	9	8
IMR0 (IMR0H ^注)	TP0CCMK0	TP0OVMK	TQ0CCMK3	TQ0CCMK2	TQ0CCMK1	TQ0CCMK0	TQ0OVMK	PMK7
	7	6	5	4	3	2	1	0
IMR0L	PMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK

xxMKn	割り込みマスク・フラグの設定
0	割り込み処理を許可
1	割り込み処理を禁止

注 IMR0-IMR3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、IMR0H-IMR3Hレジスタのビット0-7として指定してください。

注意 IMR3レジスタのビット15-13, 8-5, IMR2レジスタのビット7-4には1を設定してください。変更した場合の動作は保証できません。

備考 xx：各周辺ユニット識別名称（表15-2 割り込み制御レジスタ（xxICn）参照）
n：周辺ユニット番号（表15-2 割り込み制御レジスタ（xxICn）参照）

15.3.6 インサース・プライオリティ・レジスタ (ISPR)

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求信号が受け付けられると、その割り込み要求信号の優先順位レベルに対応するビットがセット(1)され、サービス中保持されます。

RETI命令の実行時、ISPRレジスタ内でセット(1)されているビットのうち、最も優先順位の高い割り込み要求信号に対応するビットがハードウェアにより自動的にリセット(0)されます。ただし、ノンマスカブルの割り込み処理や例外処理からの復帰の場合はリセット(0)されません。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

注意 割り込み許可(EI)状態において、ISPRレジスタをリード中に割り込みを受け付けた場合、その割り込み受け付けによるビットがセット(1)されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は、割り込み禁止(DI)状態でリードしてください。

リセット時 : 00H R アドレス : FFFFF1FAH

	7	6	5	4	3	2	1	0
ISPR	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0

ISPRn	受け付け中の割り込みの優先順位
0	優先順位nの割り込み要求信号を受け付けていない
1	優先順位nの割り込み要求信号を受け付け中

備考 n : 0-7 (優先順位のレベル)

15.3.7 IDフラグ

マスカブル割り込みの動作状態を制御し、割り込み要求信号受け付けの許可 / 禁止制御情報を記憶します。割り込み禁止フラグ (ID) は、PSWに割り付けられています。リセットにより00000020Hになります。

リセット時 : 00000020H

	31		8	7	6	5	4	3	2	1	0	
PSW	0				NP	EP	ID	SAT	CY	OV	S	Z

ID	マスカブル割り込み処理の指定 ^注
0	マスカブル割り込み要求信号の受け付けを許可
1	マスカブル割り込み要求信号の受け付けを禁止

注 割り込み禁止フラグ (ID) の機能

DI命令でセット (1)、EI命令でクリア (0) されます。また、RETI命令およびPSWへのLDSR命令により値が書き換えられます。

ノンマスカブル割り込み要求信号および例外は、このフラグの状態に関係なく受け付けられます。また、マスカブル割り込み要求信号を受け付けると、IDフラグはハードウェアで自動的にセット (1) されます。

受け付け禁止期間中 (IDフラグ = 1) に発生した割り込み要求信号は、xxICn.xxIFnビットがセット (1) され、IDフラグがクリア (0) されると受け付けられます。

15.3.8 ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

8ビット単位でリード/ライト可能です (詳細は第10章 ウォッチドッグ・タイマ2機能参照)。リセットにより67Hになります。

リセット時 : 67H R/W アドレス : FFFFF6D0H

	7	6	5	4	3	2	1	0
WDTM2	0	WDM21	WDM20	0	0	0	0	0

WDM21	WDM20	ウォッチドッグ・タイマの動作モードの選択
0	0	動作停止
0	1	ノンマスカブル割り込み要求モード
1	x	リセット・モード (初期値)

15.4 ソフトウェア例外

ソフトウェア例外は、CPUのTRAP命令の実行により発生する例外で、常に受け付け可能です。

15.4.1 動作

ソフトウェア例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

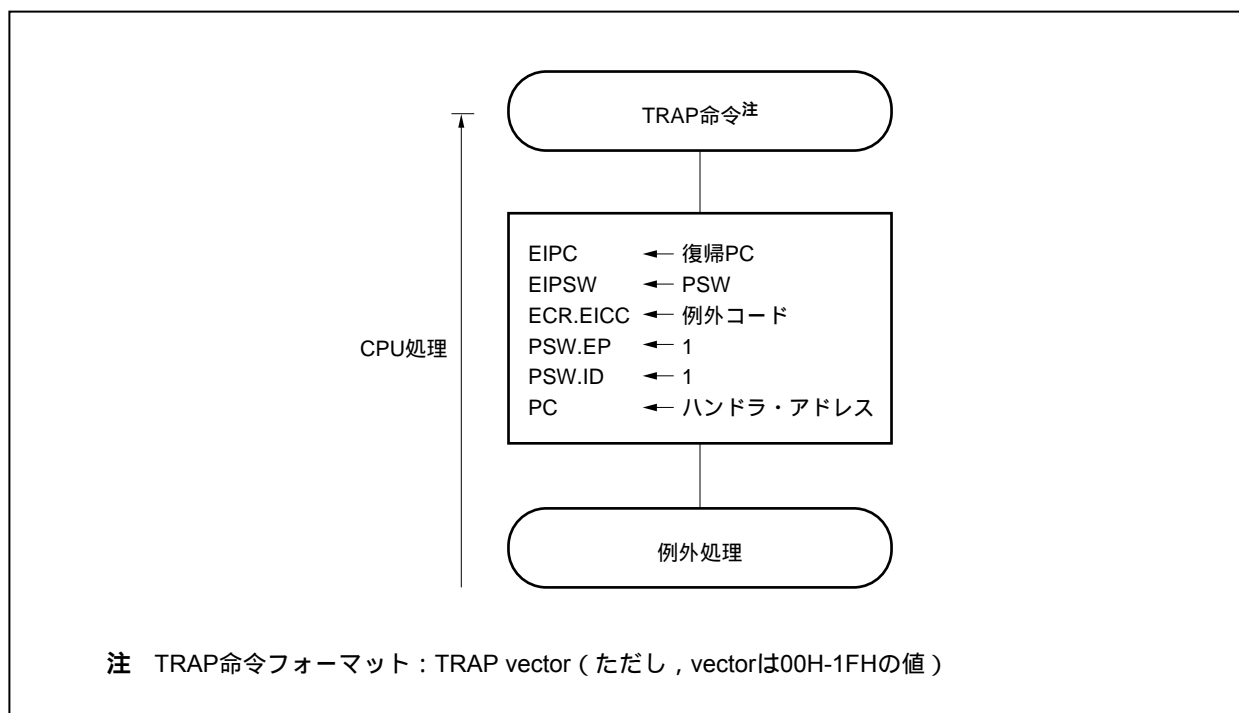
ECR (割り込み要因) の下位16ビット (EICC) に例外コードを書き込みます。

PSW.EP, IDビットをセット (1) します。

PCにソフトウェア例外に対するハンドラ・アドレス (00000040Hまたは00000050H) をセットし、制御を移します。

ソフトウェア例外の処理形態を、図15 - 9に示します。

図15 - 9 ソフトウェア例外の処理形態



ハンドラ・アドレスは、TRAP命令のオペランド (vector) によって決まります。vectorが000H-0FHの場合は00000040Hとなり、10H-1FHの場合は00000050Hとなります。

15.4.2 復 帰

ソフトウェア例外処理からの復帰は、RETI命令により行います。

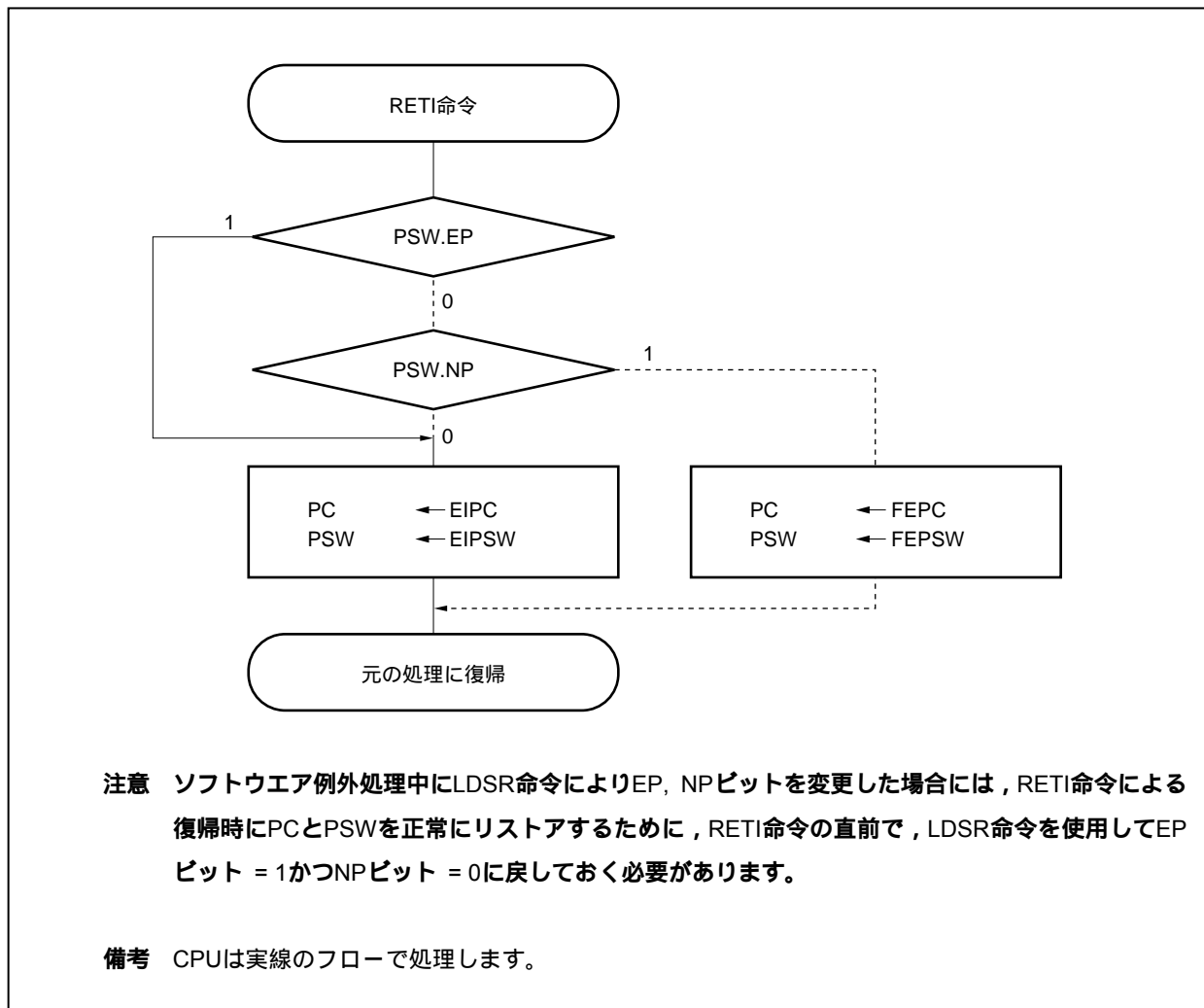
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビットは1なので、EIPC, EIPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を図15 - 10に示します。

図15 - 10 RETI命令の処理形態



15.4.3 EPフラグ

EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。

リセット時：00000020H

	31		8	7	6	5	4	3	2	1	0
PSW	0			NP	EP	ID	SAT	CY	OV	S	Z

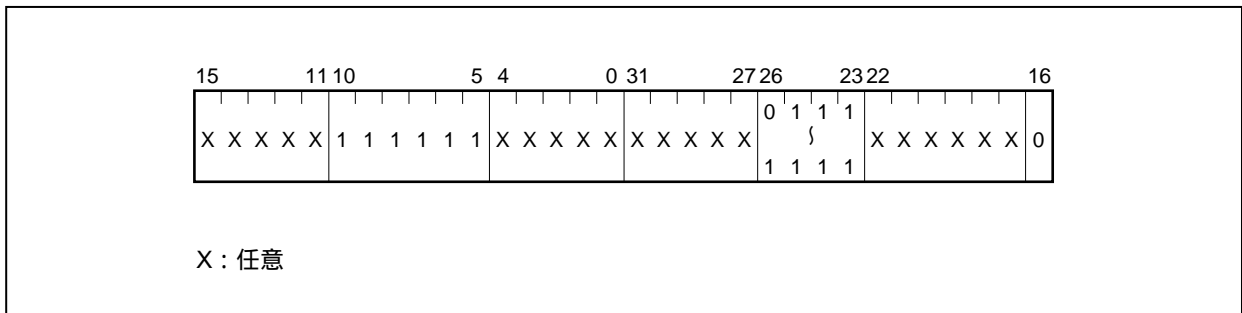
EP	例外処理状態
0	例外処理中でない
1	例外処理中

15.5 例外トラップ

例外トラップは、命令の不正実行が発生した場合に要求される割り込みです。V850ES/HG2では、不正命令コード・トラップ (ILGOP : Illegal Opcode Trap) が例外トラップに当たります。

15.5.1 不正命令コード

不正命令は、命令のオペコード(ビット10-5)が111111Bで、サブオペコード(ビット26-23)が0111B-1111B、サブオペコード(ビット16)が0Bであるものです。この不正命令に当てはまる命令を実行したときに、例外トラップが発生します。



注意 不正命令コードには、将来、新規に命令を割り当てる可能性があるため、使用しないことを推奨します。

(1) 動作

例外トラップが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをDBPCに退避します。

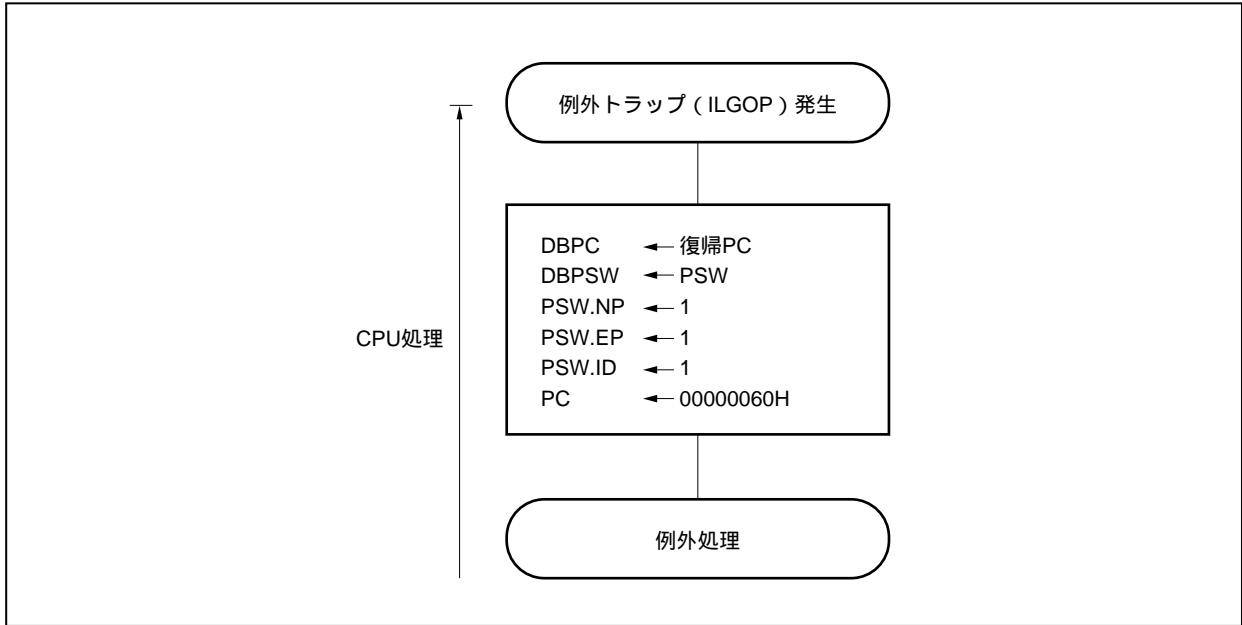
現在のPSWをDBPSWに退避します。

PSW.NP, EP, IDビットをセット(1)します。

PCに例外トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

例外トラップの処理形態を図15-11に示します。

図15 - 11 例外トラップの処理形態



(2) 復 帰

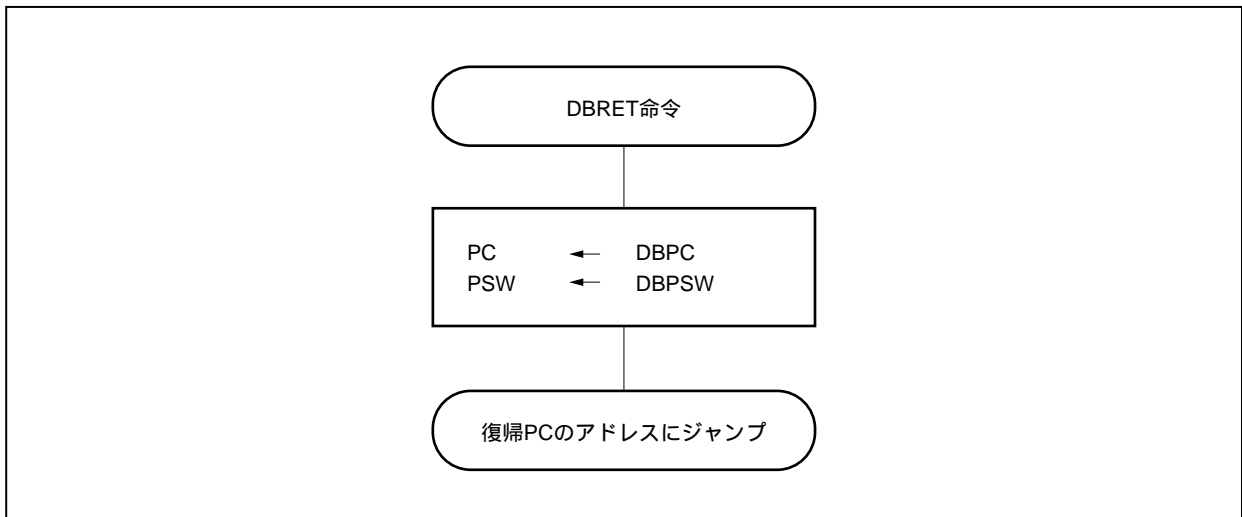
例外トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

DBPC, DBPSWから復帰PC, PSWを取り出します。
取り出した復帰PC, PSWのアドレスに制御を移します。

注意 DBPCとDBPSWへは、不正命令コードを実行してからDBRET命令を実行するまでの期間のみアクセス可能です。

例外トラップからの復帰の処理形態を図15 - 12に示します。

図15 - 12 例外トラップからの復帰の処理形態



15.5.2 デバッグ・トラップ

デバッグ・トラップは、DBTRAP命令の実行により発生する常時受け付けが可能な例外です。

(1) 動作

デバッグ・トラップが発生した場合、CPU は次の処理を行います。

復帰PCをDBPCに退避します。

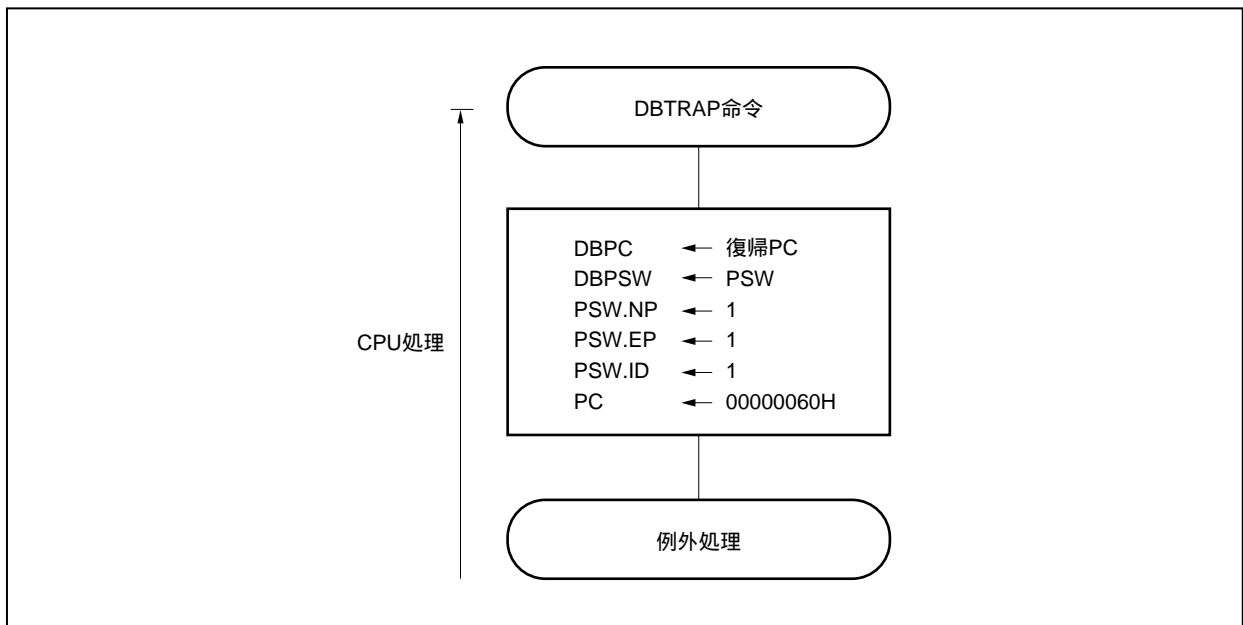
現在のPSWをDBPSWに退避します。

PSW.NP, EP, IDビットをセット (1) します。

PCにデバッグ・トラップに対するハンドラ・アドレス (00000060H) をセットし、制御を移します。

デバッグ・トラップの処理形態を図15 - 13に示します。

図15 - 13 デバッグ・トラップの処理形態



(2) 復 帰

デバッグ・トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

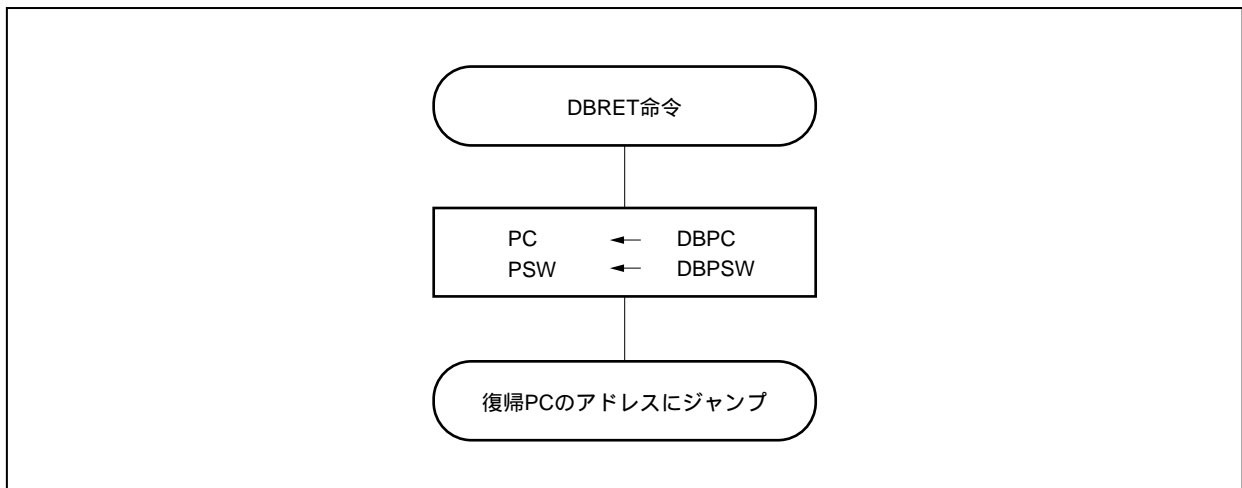
DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

注意 DBPCとDBPSWへは、DBTRAP命令を実行してからDBRET命令を実行するまでの期間のみアクセス可能です。

デバッグ・トラップからの復帰の処理形態を図15 - 14に示します。

図15 - 14 デバッグ・トラップからの復帰の処理形態



15.6 外部割り込み要求入力端子 (NMI, INTP0-INTP10)

15.6.1 ノイズ除去

(1) NMI端子のノイズ除去

NMI端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、NMI端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

なお、NMI端子はSTOPモードの解除に使用できます。STOPモードでは、内部システム・クロックは停止しているため、システム・クロックを使用したノイズ除去を行っていません。

(2) INTP0-INTP10端子のノイズ除去

INTP0-INTP10端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、各端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

15.6.2 エッジ検出

NMI, INTP0-INTP10端子の有効エッジは、次の4種類から端子ごとに選択できます。

- ・立ち上がりエッジ
- ・立ち下がりエッジ
- ・両エッジ
- ・エッジ検出なし

リセット後のNMI端子は“エッジ検出なし”になっていますので、INTF0, INTR0レジスタで有効エッジを許可しないと、割り込み要求信号を受け付けません（通常ポートとして機能します）。

(1) 外部割り込み立ち下がり，立ち上がりエッジ指定レジスタ0 (INTF0, INTR0)

ビット2でNMI端子，ビット3-6で外部割り込み端子 (INTP0-INTP3) の立ち下がり，立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 外部割り込み機能 (兼用機能) からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF0n, INTR0nビット = 00に設定したあとにポート・モードに設定してください。

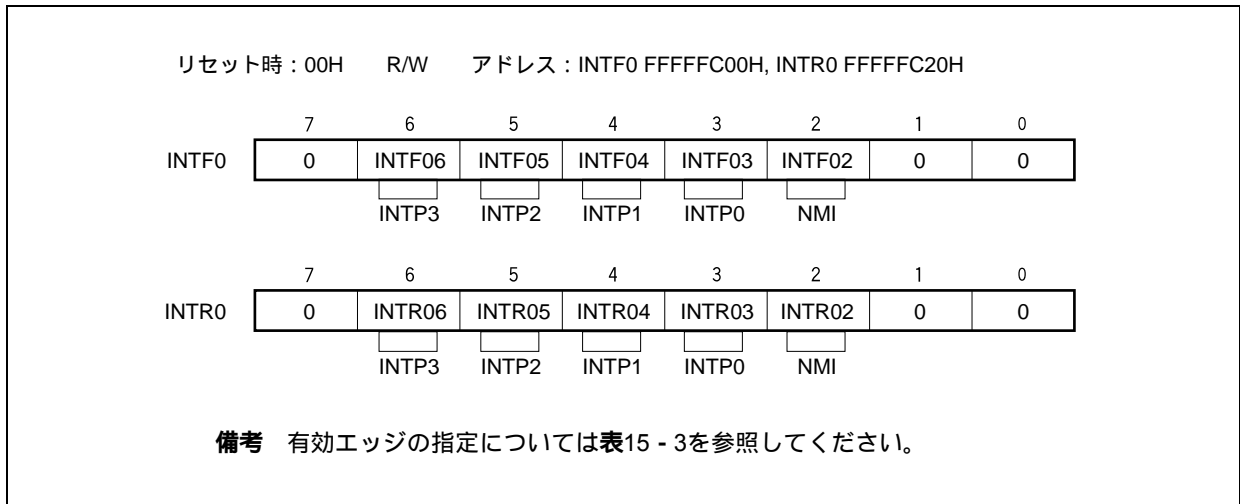


表15 - 3 有効エッジの指定

INTF0n	INTR0n	有効エッジの指定 (n = 2-6)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 NMI, INTP0-INTP3端子として使用しない場合，必ずINTF0n, INTR0nビット = 00に設定してください。

備考 n = 2 : NMI端子の制御
n = 3-6 : INTP0-INTP3端子の制御

(2) 外部割り込み立ち上がり, 立ち下がりエッジ指定レジスタ1 (INTR1, INTF1)

INTP9, INTP10端子の立ち上がり, 立ち下がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 外部割り込み機能(兼用機能)からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF1n, INTR1nビット = 00に設定したあとにポート・モードに設定してください。

リセット時: 00H R/W アドレス: INTR1 FFFFC22H, INTF1 FFFFC02H

INTR1	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	INTR11	INTR10
							└──┬──┘	└──┬──┘
							INTP10	INTP9

INTF1	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	INTF11	INTF10
							└──┬──┘	└──┬──┘
							INTP10	INTP9

備考 有効エッジの指定については表15 - 4を参照してください。

表15 - 4 有効エッジの指定

INTF1n	INTR1n	有効エッジの指定 (n = 0, 1)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP9, INTP10端子として使用しない場合, 必ずINTF1n, INTR1nビット = 00に設定してください。

備考 n = 0 : INTP9端子の制御

n = 1 : INTP10端子の制御

(3) 外部割り込み立ち上がり, 立ち下がりエッジ指定レジスタ3 (INTR3, INTF3)

INTP7, INTP8端子の立ち上がり, 立ち下がりエッジ検出を指定する16ビットのレジスタです。

16ビット単位でリード/ライト可能です。

ただし, INTF3レジスタの上位8ビットをINTF3Hレジスタ, 下位8ビットをINTF3Lレジスタとして使用する場合は, 8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 外部割り込み機能(兼用機能)からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF3n, INTR3nビット = 00に設定したあとにポート・モードに設定してください。

リセット時: 0000H R/W アドレス: INTF3 FFFFFFFC06H,
INTF3L FFFFFFFC06H, INTF3H FFFFFFFC07H

	15	14	13	12	11	10	9	8
INTF3 (INTF3H ^注)	0	0	0	0	0	0	INTF39	0
							INTP8	
(INTF3L)	0	0	0	0	0	0	INTF31	0
							INTP7	

リセット時: 0000H R/W アドレス: INTR3 FFFFFFFC26H,
INTR3L FFFFFFFC26H, INTR3H FFFFFFFC27H

	15	14	13	12	11	10	9	8
INTR3 (INTR3H ^注)	0	0	0	0	0	0	INTR39	0
							INTP8	
(INTR3L)	0	0	0	0	0	0	INTR31	0
							INTP7	

注意 INTF3, INTR3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は, INTF3H, INTR3Hレジスタのビット0-7として指定してください。

備考 有効エッジの指定については表15 - 5を参照してください。

表15 - 5 有効エッジの指定

INTF3n	INTR3n	有効エッジの指定 (n = 1, 9)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP7, INTP8端子として使用しない場合, 必ずINTP3n, INTR3nビット = 00に設定してください。

備考 n = 1 : INTP7端子の制御

n = 9 : INTP8端子の制御

(4) 外部割り込み立ち下がり, 立ち上がりエッジ指定レジスタ9H (INTF9H, INTR9H)

外部割り込み端子 (INTP4-INTP6) の立ち下がり, 立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 外部割り込み機能 (兼用機能) からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF9n, INTR9nビット = 0に設定したあとにポート・モードに設定してください。

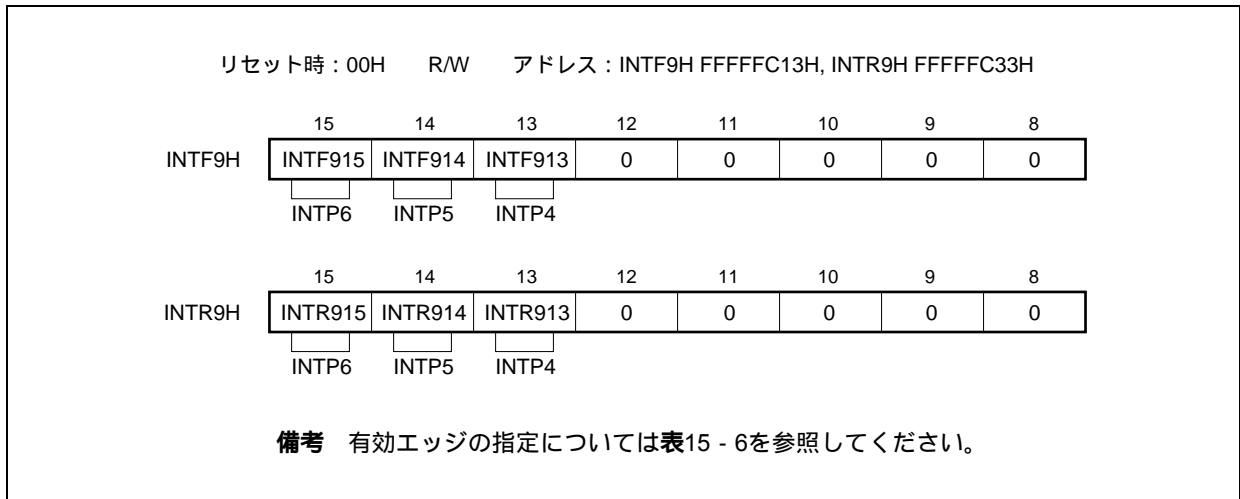


表15 - 6 有効エッジの指定

INTF9n	INTR9n	有効エッジの指定 (n = 13-15)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP4-INTP6端子として使用しない場合, 必ずINTF9n, INTR9nビット = 00に設定してください。

備考 n = 13-15 : INTP4-INTP6端子の制御

(5) ノイズ除去制御レジスタ (NFC)

INTP3端子はデジタル・ノイズ除去を選択することが可能で、NFCレジスタにてノイズ除去の設定を選択します。

デジタル・ノイズ除去を選択した場合、デジタル・サンプリングを行うサンプリング・クロックを、 $f_{xx}/64$ 、 $f_{xx}/128$ 、 $f_{xx}/256$ 、 $f_{xx}/512$ 、 $f_{xx}/1024$ 、 f_{XT} の中から選択できます。なおサンプリングの回数はNFC.NFSTSビットで設定します。

デジタル・ノイズ除去を選択した場合、スタンバイ・モード時にサンプリングを行うクロックを停止すると、そのスタンバイ・モードの解除にINTP3の割り込み要求信号を使用できません。サンプリング・クロックに f_{XT} を使用した場合は、サブクロック動作モード中およびIDLE1/IDLE2/STOP/サブIDLEモードの解除にINTP3の割り込み要求信号を使用できます。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 サンプリング・クロック変更後、デジタル・ノイズ除去回路が初期化されるのに、サンプリング・クロック×NFSTSビットで設定した回数かかります。そのため、サンプリング・クロックを変更してからサンプリング・クロック×NFSTSビットで設定した回数の中に、INTP3の有効エッジが入力されると割り込み要求信号が発生する可能性があります。したがって、割り込み機能、DMA機能を使用する場合は、次の点に注意してください。

- ・割り込み機能使用時は、サンプリング・クロック×NFSTSビットで設定した回数経過後、割り込み要求フラグ(PIC3.PIF3ビット)をクリアしてから割り込みを許可してください。
- ・DMA機能使用時(INTP3で起動)は、サンプリング・クロック×NFSTSビットで設定した回数経過後、DMAを許可してください。

リセット時：00H R/W アドレス：FFFFFF318H

	7	6	5	4	3	2	1	0
NFC	NFEN	NFSTS	0	0	0	NFC2	NFC1	NFC0

NFEN	INTP3端子のノイズ除去の設定
0	アナログ・ノイズ除去を行う
1	デジタル・ノイズ除去を行う

NFSTS	デジタル・ノイズ除去のサンプリング回数の設定
0	サンプリング回数 = 3回
1	サンプリング回数 = 2回

NFC2	NFC1	NFC0	デジタル・サンプリングを行うクロック
0	0	0	$f_{xx}/64$
0	0	1	$f_{xx}/128$
0	1	0	$f_{xx}/256$
0	1	1	$f_{xx}/512$
1	0	0	$f_{xx}/1024$
1	0	1	f_{xt} (サブクロック)
その他			設定禁止

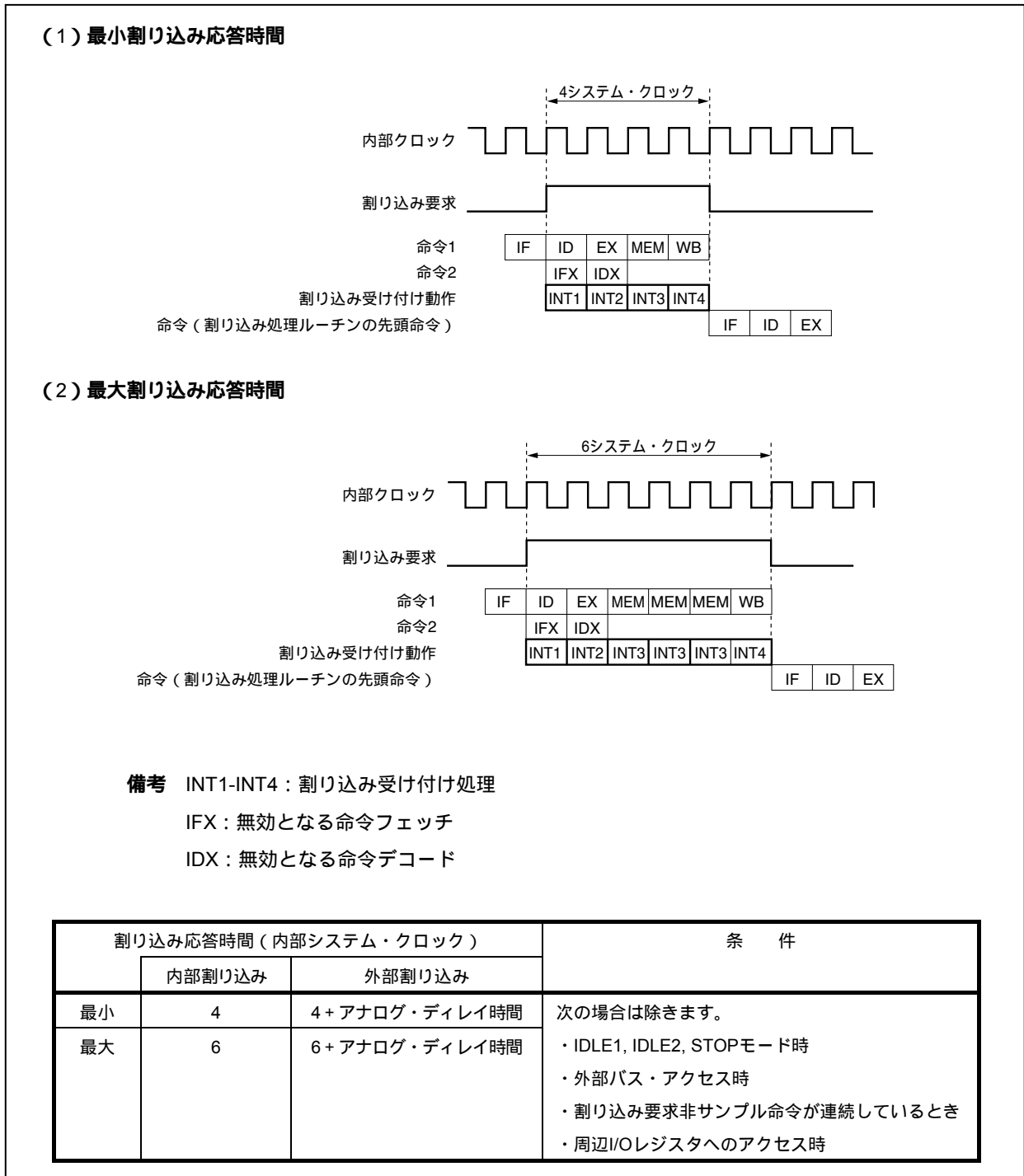
- 備考1.** 3回サンプリングするため、確実に除去するノイズ幅はサンプリング・クロック×2となります。
- 2.** サンプリング・クロック×2より短いノイズがあっても、サンプリング・クロックに同期したノイズが入力された場合には、割り込み要求信号が発生します。

15.7 CPUの割り込み応答時間

次の場合を除き、CPUの割り込み応答時間は、最小4クロックとなります。連続して割り込み要求信号を入力する場合には、最低でも4クロック以上間をあけて次の割り込み要求信号を入力する必要があります。

- ・ IDLE1/IDLE2/STOPモード時
- ・ 外部バス・アクセス時
- ・ 割り込み要求非サンプル命令（15.8 CPUが割り込みを受け付けられない期間参照）が連続しているとき
- ・ 割り込み制御レジスタへのアクセス時

図15 - 15 割り込み要求信号受け付け時のパイプライン動作例（概略）



15.8 CPUが割り込みを受け付けない期間

CPUの割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません（割り込みは保留されます）。

割り込み要求非サンプル命令は次のとおりです。

- ・ EI命令
- ・ DI命令
- ・ LDSR reg2, 0x5命令（対PSW）
- ・ PRCMDレジスタに対するストア命令
- ・ 次のレジスタに対するストア命令およびSET1, NOT1, CLR1命令
 - ・ 割り込み関連のレジスタ：
 - 割り込み制御レジスタ（xxlCn），割り込みマスク・レジスタ0-3（IMR0-IMR3）
 - ・ パワー・セーブ・コントロール・レジスタ（PSC）
 - ・ オンチップ・デバッグ・モード・レジスタ（OCDM）
 - ・ 周辺エミュレーション・レジスタ1（PEMU1）

備考 xx：各周辺ユニット識別名称（表15-2 割り込み制御レジスタ（xxlCn）参照）

n：周辺ユニット番号（表15-2 割り込み制御レジスタ（xxlCn）参照）

15.9 注意事項

NMI端子はP02と兼用しており、リセット後は通常ポートとして機能します。NMI端子を使用する場合には、PMC0レジスタでNMI端子を有効にしてください。また、NMI端子の初期設定は“エッジ検出なし”になっていますので、INTF0, INTR0レジスタで有効エッジを選択してください。

第16章 キー割り込み機能

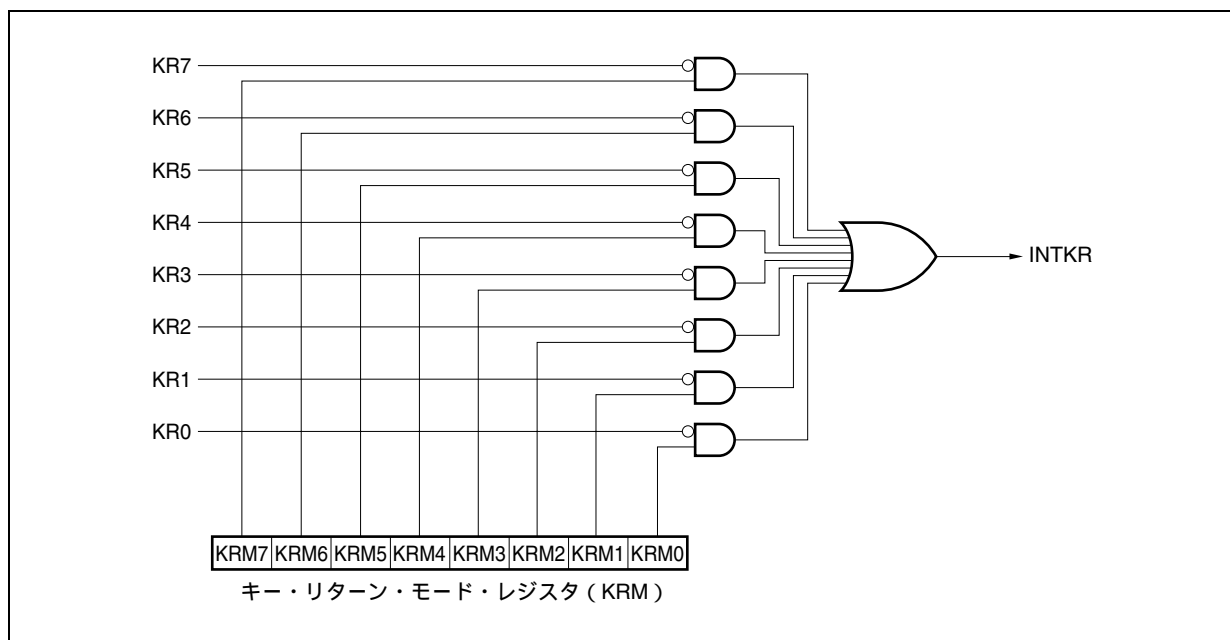
16.1 機能

KRMレジスタの設定により、キー入力端子 (KR0-KR7) に立ち下がりエッジを入力することによって、キー割り込み要求信号 (INTKR) を発生させることができます。

表16 - 1 キー・リターン検出端子の割り当て

フラグ	設定される端子
KRM0	KR0信号を1ビット単位で制御
KRM1	KR1信号を1ビット単位で制御
KRM2	KR2信号を1ビット単位で制御
KRM3	KR3信号を1ビット単位で制御
KRM4	KR4信号を1ビット単位で制御
KRM5	KR5信号を1ビット単位で制御
KRM6	KR6信号を1ビット単位で制御
KRM7	KR7信号を1ビット単位で制御

図16 - 1 キー・リターンのブロック図



16.2 レジスタ

(1) キー・リターン・モード・レジスタ (KRM)

KRMレジスタは、KRM0-KRM7ビットでそれぞれKR0-KR7信号を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF300H

	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	キー・リターン・モードの制御
0	キー・リターン信号を検出しない
1	キー・リターン信号を検出する

注意 KRMレジスタを書き換える場合は、一度00Hとしてから書き換えてください。

備考 兼用端子の設定は表4 - 15 ポート端子を兼用端子として使用する場合を参照してください。

16.3 注意事項

- (1) KR0-KR7端子のうち1つでもロウ・レベルが入力されていると、別の端子の立ち下がりエッジを入力してもINTKR信号が発生しません。
- (2) RXDA1端子とKR7端子は同時に使用することはできません。RXDA1端子を使用する場合は、KR7端子を使用しないでください。また、KR7端子を使用する場合は、RXDA1端子を使用しないでください(PFC91ビット = 1, PFCE91ビット = 0に設定することを推奨します)。
- (3) KRMレジスタを変更すると、割り込み要求信号 (INTKR) が発生する場合があります。したがって、あらかじめ割り込みを禁止 (DI) またはマスクしてからKRMレジスタを変更し、割り込み要求フラグ (KRIC.KRIFビット) をクリア (0) してから、割り込みを許可 (EI) またはマスク解除してください。
- (4) キー割り込み機能を使用する場合は、必ずポート端子をキー・リターン用端子に設定してからKRMレジスタで動作を許可してください。また、逆にキー・リターン用端子からポート端子に切り替える場合は、KRMレジスタで動作を禁止してからポート端子の設定を行ってください。

第17章 スタンバイ機能

17.1 概 要

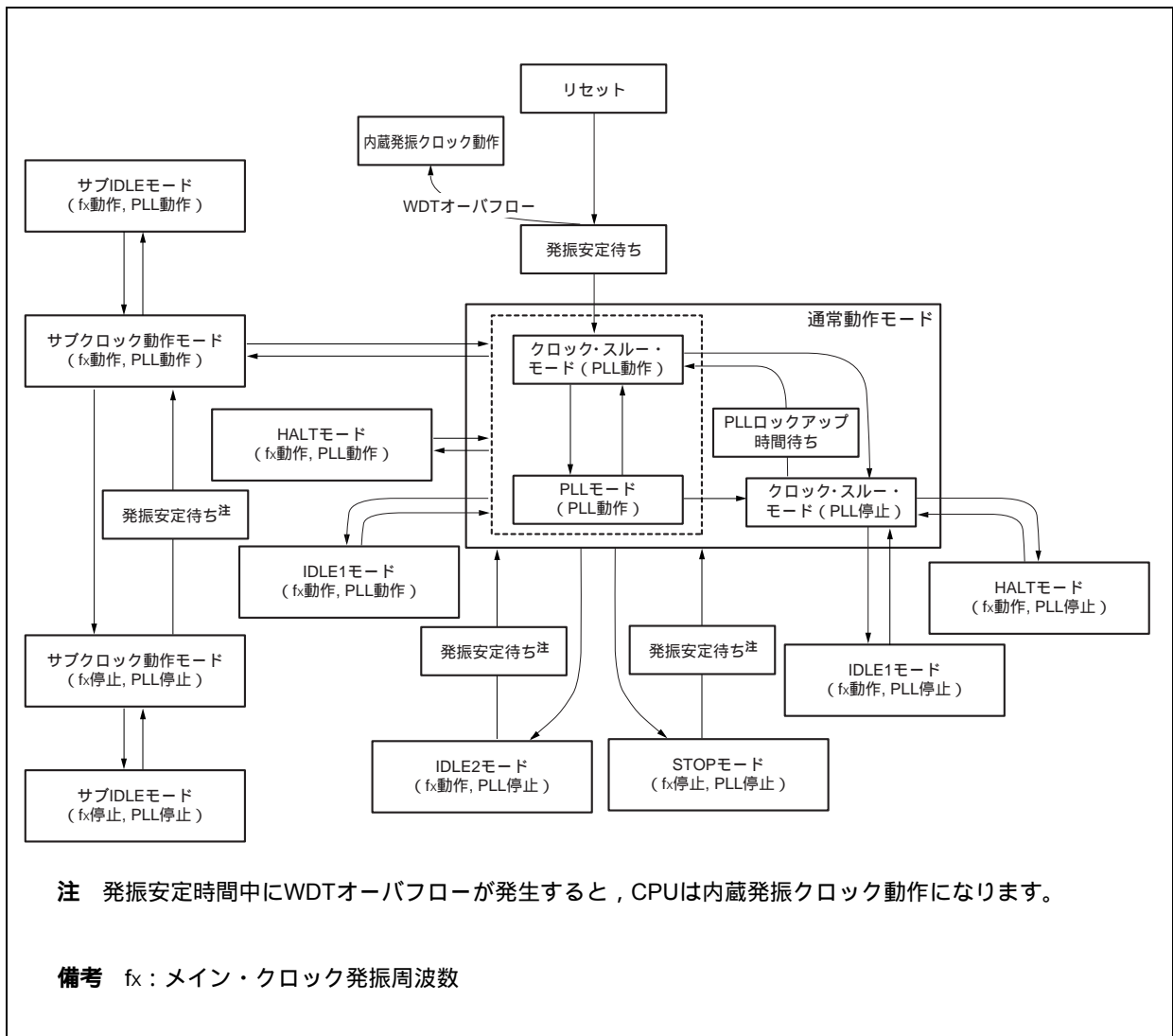
各モードを組み合わせ、用途によって切り替えて使用すると、効果的な低消費電力システムを実現できます。スタンバイ機能には、次に示すものがあります。

表17-1 スタンバイ機能のモード一覧

モード	機能概要
HALTモード	CPUの動作クロックのみを停止させるモード
IDLE1モード	発振回路、PLL動作 ^注 、フラッシュ・メモリ以外の内部回路の動作をすべて停止させるモード
IDLE2モード	発振回路以外のチップ内部の動作をすべて停止させるモード
STOPモード	サブクロック発振回路以外のチップ内部の動作をすべて停止させるモード
サブクロック動作モード	内部システム・クロックをサブクロックで動作させるモード
サブIDLEモード	サブクロック動作モード時、発振回路以外のチップ内部の動作をすべて停止させるモード

注 PLLは前の動作状態を保持します。

図17-1 状態遷移図



17.2 レジスタ

(1) パワー・セーブ・コントロール・レジスタ (PSC)

スタンバイ機能を制御する8ビットのレジスタです。STPビットの設定によりSTOPモードを指定します。PSCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.7 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF1FEH

	7	6	5	4	3	2	1	0
PSC	0	NMI1M	NMI0M	INTM	0	0	STP	0

NMI1M	INTWDT2信号発生によるスタンバイ・モード解除制御
0	INTWDT2信号によるスタンバイ・モード解除許可
1	INTWDT2信号によるスタンバイ・モード解除禁止

NMI0M	NMI端子入力によるスタンバイ・モード解除制御
0	NMI端子入力によるスタンバイ・モード解除許可
1	NMI端子入力によるスタンバイ・モード解除禁止

INTM	マスカブル割り込み要求信号によるスタンバイ・モード解除制御
0	マスカブル割り込み要求信号によるスタンバイ・モード解除許可
1	マスカブル割り込み要求信号によるスタンバイ・モード解除禁止

STP	スタンバイ・モード ^注 の設定
0	通常モード
1	スタンバイ・モード

注 STPビットにおけるスタンバイ・モード : IDLE1, IDLE2, STOP, サブIDLEモード

注意1. IDLE1, IDLE2, STOP, サブIDLEモードに設定するときは, PSMR.PSM1, PSM0ビットを設定してから, STPビットを設定してください。

2. NMI1M, NMI0M, INTMビットの設定は, HALTモード解除時は無効です。

3. NMI1M, NMI0M, INTMビットと, STPビットを同時にセット(1)した場合, NMI1M, NMI0M, INTMビットの設定は無効になります。したがって, IDLE1/IDLE2/STOPモードに移行する際にマスクされていない保留中の割り込み要求信号がある場合は, その割り込み要求信号に対するビット(NMI1M, NMI0M, INTM)をセット(1)したあとにSTPビットをセット(1)してください。

(2) パワー・セーブ・モード・レジスタ (PSMR)

パワー・セーブ・モードの動作状態やクロックの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF820H

	7	6	5	4	3	2	1	0
PSMR	0	0	0	0	0	0	PSM1	PSM0

PSM1	PSM0	ソフトウェア・スタンバイ・モード時の動作指定
0	0	IDLE1
0	1	STOPモード
1	0	IDLE2, サブIDLEモード
1	1	STOPモード

注意1. ビット2-7には、必ず0を設定してください。

2. PSM0, PSM1ビットは、PSC.STPビット = 1のときのみ有効です。

備考 IDLE1 : 発振回路と一部の回路（フラッシュ・メモリ、PLL）以外の動作を停止するモードです。

IDLE1モード解除後、HALTモードと同様に発振安定時間を確保する必要なく、通常モードに復帰します。

IDLE2 : 発振回路以外の動作を停止するモードです。

IDLE2モード解除後、OSTSレジスタで指定したセットアップ時間（フラッシュ・メモリ、PLL）を確保したあと、通常モードに復帰します。

STOP : サブクロック発振回路以外の動作を停止するモードです。

STOPモード解除後、OSTSレジスタで指定した発振安定時間を確保したあと、通常モードに復帰します。

サブIDLE : サブクロック動作モード時、発振回路以外の動作を停止するモードです。

割り込み要求信号によるサブIDLEモードの解除後、サブクロックの12周期分の時間を確保したあと、サブクロック動作モードに復帰します。

(3) 発振安定時間選択レジスタ (OSTS)

STOPモードを解除してから発振が安定するまでのウェイト時間や、IDLE2モードを解除してから内蔵フラッシュ・メモリが安定するまでのウェイト時間は、OSTSレジスタで制御します。

OSTSレジスタは、8ビット単位でリード/ライト可能です。

リセットにより06Hになります。

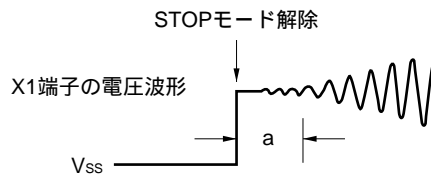
リセット時：06H R/W アドレス：FFFFFF6C0H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間 / セットアップ時間の選択 ^注	fx	
				4 MHz	5 MHz
0	0	0	$2^{10}/fx$	0.256 ms	0.205 ms
0	0	1	$2^{11}/fx$	0.512 ms	0.410 ms
0	1	0	$2^{12}/fx$	1.024 ms	0.819 ms
0	1	1	$2^{13}/fx$	2.048 ms	1.638 ms
1	0	0	$2^{14}/fx$	4.096 ms	3.277 ms
1	0	1	$2^{15}/fx$	8.192 ms	6.554 ms
1	1	0	$2^{16}/fx$	16.38 ms	13.107 ms
1	1	1	設定禁止		

注 発振安定時間はSTOPモードの解除時に、セットアップ時間はIDLE2モード解除時に必要になります。

注意1. STOPモード解除時のウェイト時間は、リセットによる場合も、割り込み要求信号発生による場合も、STOPモード解除後クロック発振を開始するまでの時間(下図 a)は含みません。



- ビット7-3には必ず“0”を設定してください。
- リセット解除後の発振安定時間は、 $2^{16}/fx$ (OSTSレジスタの初期値 = 06Hのため) となります

備考 fx = メイン・クロック発振周波数

17.3 HALTモード

17.3.1 設定および動作状態

通常動作モード時、専用命令（HALT命令）を実行することにより、HALTモードに設定されます。

HALTモードに設定すると、クロック発振回路は動作を継続しますが、CPUへのクロック供給のみが停止し、そのほかの内蔵周辺機能へのクロック供給は継続されます。

これにより、プログラムの実行が停止し、内蔵RAMの内容は、HALTモード設定前の状態を保持します。また、CPUの命令処理に依存しない内蔵周辺機能は動作を継続します。

表17-3にHALTモード時の動作状態を示します。

HALTモードは、通常動作モードとの間欠動作により、システム全体の平均消費電力を低減することができます。

注意1. HALT命令の後には、NOP命令を5命令以上挿入してください。

2. マスクされていない割り込み要求信号が保留されている状態でHALT命令を実行した場合、HALTモードに移行するが、保留されている割り込み要求によりHALTモードはすぐに解除されます。

17.3.2 HALTモードの解除

HALTモードは、ノンマスクابل割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP0-INTP10端子入力）、HALTモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（ $\overline{\text{RESET}}$ 端子入力、WDT2RES信号、パワーオン・クリア回路（POC）、低電圧検出回路（LVI）、クロック・モニタ（CLM）によるリセット）により解除されます。

HALTモードの解除により、通常動作モードに移行します。

(1) ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のようになります。

- (a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとHALTモードの解除だけ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。
- (b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスクابل割り込み要求信号を含む）が発生すると、HALTモードの解除とともにこの割り込み要求信号を受け付けます。

表17-2 割り込み要求信号によるHALTモード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスクابل割り込み要求信号	ハンドラ・アドレスに分岐	
マスクابل割り込み要求信号	ハンドラ・アドレスに分岐、 または次の命令を実行	次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表17 - 3 HALTモード時の動作状態

項 目	HALTモードの設定	動作状態	
		サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路		発振可能	
サブクロック発振回路		-	発振可能
内蔵発振器		発振可能	
PLL		動作可能	
CPU		動作停止	
DMA		動作可能	
割り込みコントローラ		動作可能	
タイマP (TMP0-TMP3)		動作可能	
タイマQ (TMQ0, TMQ1)		動作可能	
タイマM (TMM0)		カウント・クロックに f_{XT} 以外を選択時に動作可能	動作可能
時計用タイマ		カウント・クロックに f_x (BRG分周) を選択時に動作可能	動作可能
ウォッチドッグ・タイマ2		動作可能	
シリアル・インタフェース	CSIB0, CSIB1	動作可能	
	UARTA0-UARTA2	動作可能	
A/Dコンバータ		動作可能	
キー割り込み機能 (KR)		動作可能	
ポート機能		HALTモード設定前の状態を保持	
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてHALTモード設定前の状態を保持	

17.4 IDLE1モード

17.4.1 設定および動作状態

通常動作モード時、PSMR.PSM1, PSM0ビットを“00”に設定し、PSC.STPビットを“1”に設定することにより、IDLE1モードに設定されます。

IDLE1モードに設定すると、クロック発振回路、PLL動作、フラッシュ・メモリは動作を継続しますが、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はIDLE1モード設定前の状態を保持します。また、CPUや、そのほかの内蔵周辺機能は動作を停止します。ただし、サブクロックあるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表17-5にIDLE1モード時の動作状態を示します。

IDLE1モードは、内蔵周辺機能の動作が停止するので、HALTモードよりさらに低消費電力を実現できます。また、メイン・クロック発振回路は停止しないので、IDLE1モード解除時、HALTモードと同様に発振安定時間を確保することなく、通常動作モードに復帰できます。

- 注意1.** IDLE1モードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。
- 2.** マスクされていない割り込み要求信号が保留されている状態でIDLE1モードに設定した場合、保留されている割り込み要求によりIDLE1モードはすぐに解除されます。

17.4.2 IDLE1モードの解除

IDLE1モードは、ノンマスクブル割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP0-INTP10端子入力）、IDLE1モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（RESET端子入力、WDT2RES信号、パワーオン・クリア回路（POC）、低電圧検出回路（LVI）、クロック・モニタ（CLM）によるリセット）により解除されます。

IDLE1モードの解除により、通常動作モードに移行します。

（1）ノンマスクブル割り込み要求信号、マスクされていないマスクブル割り込み要求信号

ノンマスクブル割り込み要求信号、マスクされていないマスクブル割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でIDLE1モードに設定した場合は次のようになります。

注意1. PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり、IDLE1モードは解除されません。

- 2.** NFCレジスタの設定により、デジタル・ノイズ除去を選択し、かつ、サンプリング・クロックを $f_{xx}/64$ 、 $f_{xx}/128$ 、 $f_{xx}/256$ 、 $f_{xx}/512$ 、 $f_{xx}/1024$ から選択した場合、INTP3端子の割り込み要求信号によるIDLE1モードの解除はできません。詳細は15.6.2(5)ノイズ除去制御レジスタ(NFC)を参照してください。

(a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとIDLE1モードの解除だけ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。

(b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスクブル割り込み要求信号を含む）が発生すると、IDLE1モードの解除とともにこの割り込み要求信号を受け付けます。

表17-4 割り込み要求信号によるIDLE1モード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求信号	ハンドラ・アドレスに分岐	
マスクابل割り込み要求信号	ハンドラ・アドレスに分岐, または次の命令を実行	次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表17-5 IDLE1モード時の動作状態

項目	IDLE1モードの設定	動作状態	
		サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路		発振可能	
サブクロック発振回路		-	発振可能
内蔵発振器		発振可能	
PLL		動作可能	
CPU		動作停止	
DMA		動作停止	
割り込みコントローラ		動作停止 (ただしスタンバイ・モードの解除は可能)	
タイマP (TMP0-TMP3)		動作停止	
タイマQ (TMQ0, TMQ1)		動作停止	
タイマM (TMM0)		カウント・クロックに $f_{R/8}$ を選択時に動作可能	カウント・クロックに $f_{R/8}$ または f_{XT1} 選択時に動作可能
時計用タイマ		カウント・クロックに f_x (BRG分周) を選択時に動作可能	動作可能
ウォッチドッグ・タイマ2		動作可能	
シリアル・インタフェース	CSIB0, CSIB1	カウント・クロックにSCKBn入力クロック選択時に動作可能 (n = 0, 1)	
	UARTA0-UARTA2	動作停止 (ただしUARTA0はASCKA0入力クロック選択時に動作可能)	
A/Dコンバータ		動作保持 (変換結果も保持) ^注	
キー割り込み機能 (KR)		動作可能	
ポート機能		IDLE1モード設定前の状態を保持	
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてIDLE1モード設定前の状態を保持	

注 低消費電力を実現するためには, IDLE1モードに遷移する前にA/Dコンバータを停止してください。

17.5 IDLE2モード

17.5.1 設定および動作状態

通常動作モード時、PSMR.PSM1, PSM0ビットを“10”に設定し、PSC.STPビットを“1”に設定することにより、IDLE2モードに設定されます。

IDLE2モードに設定すると、クロック発振回路は動作を継続しますが、CPU, PLL, フラッシュ・メモリやその他の内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はIDLE2モード設定前の状態を保持します。また、CPU, PLLや、その他の内蔵周辺機能は動作を停止します。ただし、サブクロックあるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表17-7にIDLE2モード時の動作状態を示します。

IDLE2モードは、内蔵周辺機能、PLL, フラッシュ・メモリの動作が停止するので、IDLE1モードよりさらに低消費電力を実現できます。ただし、PLL, フラッシュ・メモリは停止するため、IDLE2モード解除時、必ずPLL, フラッシュ・メモリのセットアップ時間が必要となります。

- 注意1.** IDLE2モードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。
- 2.** マスクされていない割り込み要求信号が保留されている状態でIDLE2モードに設定した場合、保留されている割り込み要求によりIDLE2モードはすぐに解除されます。

17.5.2 IDLE2モードの解除

IDLE2モードは、ノンマスクブル割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP0-INTP10端子入力）、IDLE2モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（RESET端子入力、WDT2RES信号、パワーオン・クリア回路（POC）、低電圧検出回路（LVI）、クロック・モニタ（CLM）によるリセット）により解除されます。また、PLLはIDLE2モード設定前の動作状態に復帰します。

IDLE2モードの解除により、通常動作モードに移行します。

(1) ノンマスクブル割り込み要求信号、マスクされていないマスクブル割り込み要求信号

ノンマスクブル割り込み要求信号、マスクされていないマスクブル割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でIDLE2モードに設定した場合は次のようになります。

- 注意1.** PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり、IDLE2モードは解除されません。
- 2.** NFCレジスタの設定により、デジタル・ノイズ除去を選択し、かつ、サンプリング・クロックを $f_{xx}/64$, $f_{xx}/128$, $f_{xx}/256$, $f_{xx}/512$, $f_{xx}/1024$ から選択した場合、INTP3端子の割り込み要求信号によるIDLE2モードの解除はできません。詳細は15.6.2(5)ノイズ除去制御レジスタ(NFC)を参照してください。
- (a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとIDLE2モードの解除だけ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。
- (b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスクブル割り込み要求信号を含む）が発生すると、IDLE2モードの解除とともにこの割り込み要求信号を受け付けます。

表17 - 6 割り込み要求信号によるIDLE2モード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求信号	所定のセットアップ時間確保後, ハンドラ・アドレスに分岐	
マスクابل割り込み要求信号	所定のセットアップ時間確保後, ハンドラ・アドレスに分岐, または次の命令を実行	所定のセットアップ時間確保後, 次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表17 - 7 IDLE2モード時の動作状態

項目	IDLE2モードの設定		動作状態	
			サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路			発振可能	
サブクロック発振回路			-	発振可能
内蔵発振器			発振可能	
PLL			動作停止	
CPU			動作停止	
DMA			動作停止	
割り込みコントローラ			動作停止 (ただしスタンバイ・モードの解除は可能)	
タイマP (TMP0-TMP3)			動作停止	
タイマQ (TMQ0, TMQ1)			動作停止	
タイマM (TMM0)			カウント・クロックにfr/8を選択時に動作可能	カウント・クロックにfr/8またはfxr選択時に動作可能
時計用タイマ			カウント・クロックにfx (BRG分周) を選択時に動作可能	動作可能
ウォッチドッグ・タイマ2			動作可能	
シリアル・インタフェース	CSIB0, CSIB1		カウント・クロックにSCKBn入力クロック選択時に動作可能 (n = 0, 1)	
	UARTA0-UARTA2		動作停止 (ただしUARTA0はASCKA0入力クロック選択時に動作可能)	
A/Dコンバータ			動作保持 (変換結果も保持) ^注	
キー割り込み機能 (KR)			動作可能	
ポート機能			IDLE2モード設定前の状態を保持	
内部データ			CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてIDLE2モード設定前の状態を保持	

注 低消費電力を実現するためには, IDLE2モードに遷移する前にA/Dコンバータを停止してください。

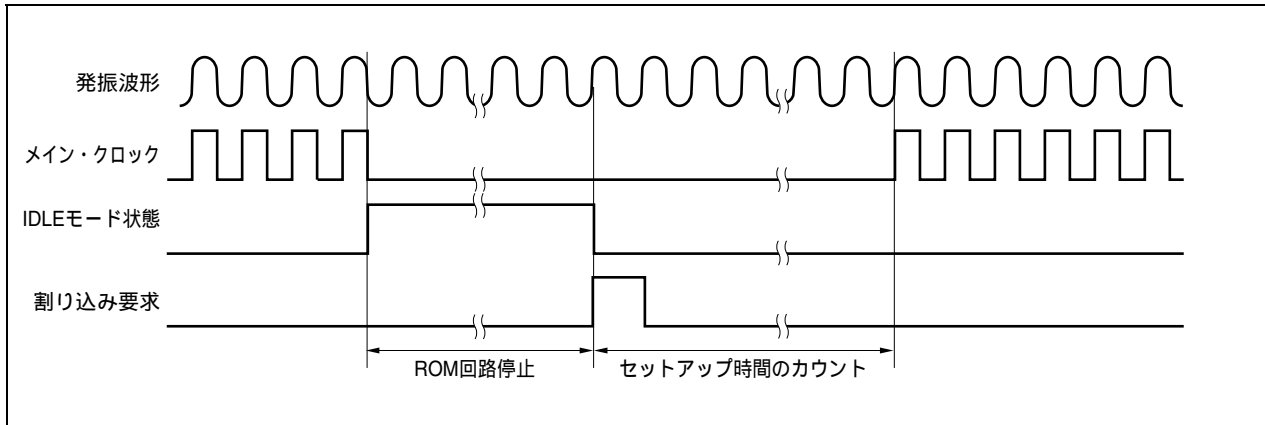
17.5.3 IDLE2モード解除時のセットアップ時間の確保

IDLE2モードに設定されることにより、メイン・クロック発振回路以外は動作を停止するので、IDLE2モード解除後、ROM（フラッシュ・メモリ）のセットアップ時間を確保してください。

(1) ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号による解除

所定のセットアップ時間は、OSTSレジスタの設定により確保します。

IDLE2モードの解除要因が発生すると、OSTSレジスタの設定に従い内部専用タイマはカウント動作を開始し、オーバーフローすると通常動作モードに移行します。



(2) リセット (RESET端子入力, WDT2RES発生) による解除

通常のリセット動作と同じです。

なお、発振安定時間はOSTSレジスタの初期値： $2^{16}/f_x$ になります。

17.6 STOPモード

17.6.1 設定および動作状態

通常動作モード時、PSMR.PSM1, PSM0ビットを“01”または“11”に設定し、PSC.STPビットを“1”に設定することにより、STOPモードに設定されます。

STOPモードに設定するとサブクロック発振回路は動作を継続しますが、メイン・クロック発振回路は動作を停止します。また、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はSTOPモード設定前の状態を保持します。また、CPUやそのほかの内蔵周辺機能は動作を停止します。ただし、サブクロック発振回路、あるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表17-9にSTOPモード時の動作状態を示します。

STOPモードは、メイン・クロック発振回路の動作が停止するので、IDLE2モードよりさらに低消費電力を実現できます。また、サブクロック発振回路、内蔵発振器、外部クロックを使用しない場合は、リーク電流のみの超低消費電力を実現できます

- 注意1.** STOPモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。
- 2.** マスクされていない割り込み要求信号が保留されている状態でSTOPモードに設定した場合、保留されている割り込み要求によりSTOPモードはすぐに解除されます。

17.6.2 STOPモードの解除

STOPモードは、ノンマスクブル割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP0-INTP10端子入力）、STOPモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（RESET端子入力、WDT2RES信号、パワーオン・クリア回路（POC）、低電圧検出回路（LVI）によるリセット）により解除されます。

STOPモードの解除により、発振安定時間を確保したあと、通常動作モードに移行します。

- 注意1.** PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求は無効になり、STOPモードは解除されません。
- 2.** NFCレジスタの設定により、デジタル・ノイズ除去を選択し、かつ、サンプリング・クロックをfxx/64, fxx/128, fxx/256, fxx/512, fxx/1024から選択した場合、INTP3端子の割り込み要求信号によるSTOPモードの解除はできません。詳細は15.6.2(5)ノイズ除去制御レジスタ（NFC）を参照してください。

(1) ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でSTOPモードに設定した場合は次のようになります。

- (a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとSTOPモードの解除だけ行い，この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。
- (b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスカブル割り込み要求信号を含む）が発生すると，STOPモードの解除とともにこの割り込み要求信号を受け付けます。

表17 - 8 割り込み要求信号によるSTOPモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスカブル割り込み要求信号	発振安定時間確保後，ハンドラ・アドレスに分岐	
マスカブル割り込み要求信号	発振安定時間確保後，ハンドラ・アドレスに分岐，または次の命令を実行	発振安定時間確保後，次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表17-9 STOPモード時の動作状態

項目	STOPモードの設定	動作状態	
		サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路		発振停止	
サブクロック発振回路		-	発振可能
内蔵発振器		発振可能	
PLL		動作停止	
CPU		動作停止	
DMA		動作停止	
割り込みコントローラ		動作停止 (ただしスタンバイ・モードの解除は可能)	
タイマP (TMP0-TMP3)		動作停止	
タイマQ (TMQ0, TMQ1)		動作停止	
タイマM (TMM0)		カウント・クロックに $f_{R/8}$ を選択時に動作可能	カウント・クロックに $f_{R/8}$ または f_{XT} 選択時に動作可能
時計用タイマ		動作停止	カウント・クロックに f_{XT} を選択時に動作可能
ウォッチドッグ・タイマ2		カウント・クロックに f_R を選択時に動作可能	
シリアル・インタフェース	CSIB0, CSIB1	カウント・クロックに \overline{SCKBn} 入力クロック選択時に動作可能 (n = 0, 1)	
	UARTA0-UARTA2	動作停止 (ただしUARTA0はASCKA0入力クロック選択時に動作可能)	
A/Dコンバータ		動作停止 (変換結果も不定) ^{注1, 2}	
キー割り込み機能 (KR)		動作可能	
ポート機能		STOPモード設定前の状態を保持	
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてSTOPモード設定前の状態を保持	

- 注1. A/Dコンバータを動作したままSTOPモードに遷移した場合, STOPモード期間中A/Dコンバータは自動的に停止しますが, STOPモード解除後, 再び動作を開始します。ただし, その場合STOPモード解除後のA/D変換結果は無効です。また, STOPモード遷移前のA/D変換結果はすべて無効です。
2. A/Dコンバータを動作したままSTOPモードに遷移した場合でも, STOPモード遷移前にA/Dコンバータを停止した場合と同等に消費電力を低減できます。

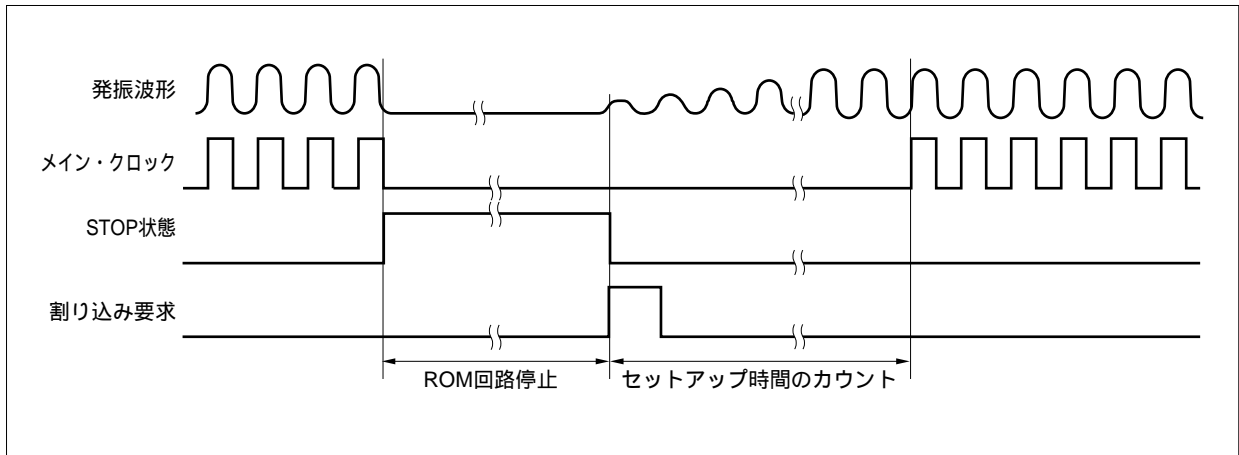
17.6.3 STOPモード解除時の発振安定時間の確保

STOPモードに設定されることにより、メイン・クロック発振回路は動作を停止するので、STOPモード解除後、メイン・クロック発振回路の発振安定時間を確保してください。

(1) ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号による解除

発振安定時間は、OSTSレジスタの設定により確保します。

STOPモードの解除要因が発生すると、OSTSレジスタの設定に従い内部専用タイマはカウント動作を開始し、オーバフローすると通常動作モードに移行します。



(2) リセットによる解除

通常のリセット動作と同じです。

なお、発振安定時間はOSTSレジスタの初期値： $2^{16}/f_x$ になります。

17.7 サブクロック動作モード

17.7.1 設定および動作状態

通常動作モード時，PCC.CK3ビットを“1”に設定することにより，サブクロック動作モードに設定されます。

サブクロック動作モードに設定すると，内部システム・クロックがメイン・クロック サブクロックに切り替わります。切り替わりは，PCC.CLSビットを確認してください。

さらに，PCC.MCKビットを“1”に設定することにより，メイン・クロック発振回路の動作を停止します。これにより，システム全体がサブクロックでのみ動作します。

サブクロック動作モードは，内部システム・クロックがサブクロックとなるので，通常動作モードよりも消費電力を低減できます。さらに，メイン・クロック発振回路の動作を停止させることにより，STOPモードに近い低消費電力を実現できます。

サブクロック動作モード時の動作状態を表17 - 10に示します。

注意1. CK3ビットを操作する場合，PCC.CK2-CK0ビットの設定値の変更は禁止です（ビット操作命令を推奨）。PCCレジスタの詳細は，5.3(1)プロセッサ・クロック・コントロール・レジスタ(PCC)を参照してください。

2. 次の条件を満たしていない場合は，条件を満たすようにCK2-CK0ビットを変更後，サブクロック動作モードに移行してください。

$$\text{内部システム・クロック (f}_{\text{CLK}}) > \text{サブクロック (f}_{\text{XT}}) \times 4$$

備考 内部システム・クロック (f_{CLK}) : CK2-CK0ビットの設定によってメイン・クロック (f_{XX}) から生成するクロック

17.7.2 サブクロック動作モードの解除

サブクロック動作モードは，CK3ビットを“0”に設定するか，リセット信号（ $\overline{\text{RESET}}$ 端子入力，WDT2RES信号，パワーオン・クリア回路(POC)，低電圧検出回路(LVI)，クロック・モニタ(CLM)によるリセット)により解除します。

なお，メイン・クロックを停止(MCKビット = 1)していた場合は，MCKビットを“1”に設定し，メイン・クロックの発振安定時間をソフトウェアにより確保してから，CK3ビットを“0”に設定します。

サブクロック動作モードの解除により，通常動作モードに移行します。

注意 CK3ビットを操作する場合，CK2-CK0ビットの設定値の変更は禁止です（ビット操作命令を推奨）。PCCレジスタの詳細は，5.3(1)プロセッサ・クロック・コントロール・レジスタ(PCC)を参照してください。

表17 - 10 サブクロック動作モード時の動作状態

サブクロック動作モードの設定 項目		動作状態	
		メイン・クロック発振時	メイン・クロック停止時
サブクロック発振回路		発振可能	
内蔵発振器		発振可能	
PLL		動作可能	動作停止 ^注
CPU		動作可能	
DMA		動作可能	
割り込みコントローラ		動作可能	
タイマP (TMP0-TMP3)		動作可能	動作停止
タイマQ (TMQ0, TMQ1)		動作可能	動作停止
タイマM (TMM0)		動作可能	カウント・クロックにf _R /8またはf _{XT} 選択時に動作可能
時計用タイマ		動作可能	カウント・クロックにf _{XT} を選択時に動作可能
ウォッチドッグ・タイマ2		動作可能	カウント・クロックにf _R 選択時に動作可能
シリアル・インタフェース	CSIB0, CSIB1	動作可能	カウント・クロックにSCKB _n 入力クロック選択時に動作可能 (n = 0, 1)
	UARTA0-UARTA2	動作可能	動作停止 (ただしUARTA0はASCKA0入力クロック選択時に動作可能)
A/Dコンバータ		動作可能	動作停止
リアルタイム出力機能 (RTO)		動作可能	動作停止 (出力保持)
キー割り込み機能 (KR)		動作可能	
ポート機能		設定可能	
内部データ		設定可能	

注 メイン・クロックを停止するときは、必ずPLL停止 (PLLCTL.PLLON = 0) に設定してください。

注意 CPUがサブクロックで動作し、かつメイン発振を停止している場合、ウエイトが発生するレジスタへのアクセスは禁止です。ウエイトが発生した場合、解除する方法はリセットのみです (3.4.8 (2) 参照)。

17.8 サブIDLEモード

17.8.1 設定および動作状態

サブクロック動作モード時，PSMR.PSM1, PSM0ビットを“10”に設定し，PSC.STPビットを“1”に設定することにより，サブIDLEモードに設定されます。

サブIDLEモードに設定すると，クロック発振回路は動作を継続しますが，CPU，フラッシュ・メモリやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより，プログラムの実行が停止し，内蔵RAMの内容はサブIDLEモード設定前の状態を保持します。また，CPUやそのほかの内蔵周辺機能は動作を停止します。ただし，サブクロック，あるいは外部クロックで動作可能な内蔵周辺機能に関しては，動作を継続します。

サブIDLEモードは，CPU，フラッシュ・メモリやそのほかの内蔵周辺機能の動作が停止するので，サブクロック動作モードよりさらに低消費電力を実現できます。

また，メイン・クロックを停止してからサブIDLEモードに設定した場合は，STOPモードに近い低消費電力を実現できます。

サブIDLEモード時の動作状態を，表17 - 12に示します。

- 注意1. サブIDLEモードに設定するためのPSCレジスタに対するストア命令のあとには，NOP命令を5命令以上挿入してください。**
- 2. マスクされていない割り込み要求信号が保留されている状態でサブIDLEモードに設定した場合，保留されている割り込み要求によりサブIDLEモードはすぐに解除されます。**

17.8.2 サブIDLEモードの解除

サブIDLEモードは、ノンマスクابل割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP0-INTP10端子入力）、サブIDLEモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（ $\overline{\text{RESET}}$ 端子入力、WDT2RES信号、パワーオン・クリア回路（POC）、低電圧検出回路（LVI）、クロック・モニタ（CLM）によるリセット）により解除されます。また、PLLはサブIDLEモード設定前の動作状態と同じ状態に復帰します。

割り込み要求信号によるサブIDLEモードの解除により、サブクロック動作モードに移行します。

（1）ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号が発生すると、優先順位とは無関係に解除されます。

ただし、割り込み処理ルーチン内でサブIDLEモードに設定した場合、次のようになります。

注意1. PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり、サブIDLEモードは解除されません。

2. サブIDLEモードからの復帰時は、割り込み要求信号による解除要因が発生してから解除されるまでに、サブクロックの12周期分の時間（約366 μs ）が挿入されます。
3. NFCレジスタの設定により、デジタル・ノイズ除去を選択し、かつ、サンプリング・クロックをfxx/64, fxx/128, fxx/256, fxx/512, fxx/1024から選択した場合、INTP3端子の割り込み要求信号によるサブIDLEモードの解除はできません。詳細は15.6.2(5)ノイズ除去制御レジスタ（NFC）を参照してください。

（a）現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生すると、サブIDLEモードの解除だけ行い、この割り込み要求信号は受けません。割り込み要求信号そのものは保留されます。

（b）現在処理中の割り込み要求よりも優先順位の高い割り込み要求信号（ノンマスクابل割り込み要求信号も含む）が発生すると、サブIDLEモードの解除とともにこの割り込み要求信号を受け付けます。

表17 - 11 割り込み要求信号によるサブIDLEモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求信号	ハンドラ・アドレスに分岐	
マスクابل割り込み要求信号	ハンドラ・アドレスに分岐, または次の命令を実行	次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表17 - 12 サブIDLEモード時の動作状態

項 目	サブIDLEモードの設定	動作状態	
		メイン・クロック発振時	メイン・クロック停止時
サブクロック発振回路		発振可能	
内蔵発振器		発振可能	
PLL		動作可能	動作停止 ^{注1}
CPU		動作停止	
DMA		動作停止	
割り込みコントローラ		動作停止 (ただしスタンバイ・モードの解除は可能)	
タイマP (TMP0-TMP3)		動作停止	
タイマQ (TMQ0, TMQ1)		動作停止	
タイマM (TMM0)		カウント・クロックに $f_{r/8}$ または f_{xt} 選択時に動作可能	
時計用タイマ		動作可能	カウント・クロックに f_{xt} を選択時に動作可能
ウォッチドッグ・タイマ2		カウント・クロックに f_r 選択時に動作可能	
シリアル・インタフェース	CSIB0, CSIB1	カウント・クロックにSCKBn入力クロック選択時に動作可能 (n = 0, 1)	
	UARTA0-UARTA2	動作停止 (ただしUARTA0はASCKA0入力クロック選択時に動作可能)	
A/Dコンバータ		動作保持 (変換結果も保持) ^{注2}	
キー割り込み機能 (KR)		動作可能	
ポート機能		サブIDLEモード設定前の状態を保持	
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてサブIDLEモード設定前の状態を保持	

注1. メイン・クロックを停止するときは、必ずPLL停止 (PLLCTL.PLLONビット = 0) に設定してください。

2. 低消費電力を実現するためには、サブIDLEモードに遷移する前にA/Dコンバータを停止してください。

第18章 リセット機能

18.1 概 要

リセット機能の概要を次に示します。

(1) 4種類のリセット要因

- ・ $\overline{\text{RESET}}$ 端子による外部リセット入力
- ・ ウォッチドッグ・タイマ2 (WDT2) のオーバフローによるリセット機能 (WDT2RES)
- ・ 低電圧検出回路 (LVI) の電源電圧と検出電圧との比較によるシステム・リセット
- ・ クロック・モニタ (CLM) の発振停止検出によるシステム・リセット
- ・ パワーオン・クリア回路によるシステム・リセット

リセット解除後、リセット要因フラグ・レジスタ (RESF) によりリセット要因を確認できます。

(2) 緊急動作モード

リセット後に挿入されるメイン・クロック発振安定期間内でWDT2がオーバフローした場合、メイン・クロックの発振異常と判断し、内蔵発振クロックでCPUの動作を開始します。

注意 CPUが内蔵発振クロックで動作しているとき、ウエイトが発生するレジスタへのアクセスは禁止です。ウエイトが発生するレジスタについては、3.4.8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

18.2 リセット要因を確認するレジスタ

V850ES/HG2には4つのリセット要因が存在します。リセット解除後、リセット要因フラグ・レジスタ (RESF) により発生したリセット要因を確認できます。

(1) リセット要因フラグ・レジスタ (RESF)

RESFレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4.7 特定レジスタ参照)。

RESFレジスタは、どの要因から発生したリセット信号かを格納するレジスタです。

8/1ビット単位でリード/ライト可能です。

$\overline{\text{RESET}}$ 端子入力、POCリセットにより00Hになります。 $\overline{\text{RESET}}$ 端子以外の要因のリセットにより初期値は異なります。

リセット時：00H^注 R/W アドレス：FFFFF888H

	7	6	5	4	3	2	1	0
RESF	0	0	0	WDT2RF	0	0	CLMRF	LVIRF

WDT2RF	WDT2からのリセット信号発生有無
0	発生なし
1	発生あり

CLMRF	CLMからのリセット信号発生有無
0	発生なし
1	発生あり

LVIRF	LVIからのリセット信号発生有無
0	発生なし
1	発生あり

注 $\overline{\text{RESET}}$ 端子によるリセット時はRESFレジスタは00H。

ウォッチドッグ・タイマ2 (WDT2)、低電圧検出回路 (LVI)、クロック・モニタ (CLM) によるリセット時は、自身のリセット・フラグ (WDT2RF, CLMRF, LVIRFビット) をセットします。ただし、ほかの要因は保持します。

注意 各ビットへの書き込みは“0”ライトのみ可能で、“0”ライト書き込みとフラグ・セット (リセットの発生) が競合した場合、フラグ・セットが優先されます。

18.3 動作

18.3.1 RESET端子によるリセット動作

RESET端子にロウ・レベルを入力すると、システム・リセットがかかり、各ハードウェアを初期化します。

RESET端子入力をロウ・レベルからハイ・レベルに変化させると、リセット状態を解除します。

表18 - 1 RESET端子入力時の各ハードウェアの状態

項目	リセット中	リセット後
メイン・クロック発振回路 (fx)	発振停止	発振開始
サブクロック発振回路 (fxT)	水晶発振	発振継続
	RC発振	発振停止
内蔵発振器	発振停止	発振開始
周辺クロック (fx-fx/1024)	動作停止	発振安定時間確保後、動作開始
内部システム・クロック (fCLK) , CPUクロック (fCPU)	動作停止	発振安定時間確保後、動作開始 (fx/8に初期化)
CPU	初期化	発振安定時間確保後、プログラムの実行開始
ウォッチドッグ・タイマ2	動作停止 (カウントは0に初期化)	動作開始
内蔵RAM	パワーオン時のリセット、またはCPUアクセスとリセット入力競合 (データ破壊) した場合、不定。 それ以外は、リセット入力直前の値を保持 ^{注1} 。	
I/Oライン (ポート/兼用端子)	ハイ・インピーダンス ^{注2}	
内蔵周辺I/Oレジスタ	所定の状態に初期化、OCDMレジスタはセット (01H)	
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後、動作開始可能

注1. V850ES/HG2は、ブート切り替え機能をサポートするので、内部システム・リセット解除後、ファームウェアにより内蔵RAMの一部を使用します。したがってパワーオン状態でのリセットでも一部領域のRAMの内容を保持しません。詳細は18.4 リセット解除後の動作を参照してください。

2. 次に示す端子は、電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

・ P53/KR3/TIQ00/TOQ00/DDO端子

注意 OCDMレジスタはRESET端子入力によって初期化されます。そのため、リセット解除後、再度OCDM.OCDM0ビットをクリアするまでの間にP05/DRST端子にハイ・レベルが入力されると、オンチップ・デバッグ・モードに入るため注意してください。詳細は、第4章 ポート機能を参照してください。

図18 - 1 RESET端子入力によるリセット動作のタイミング

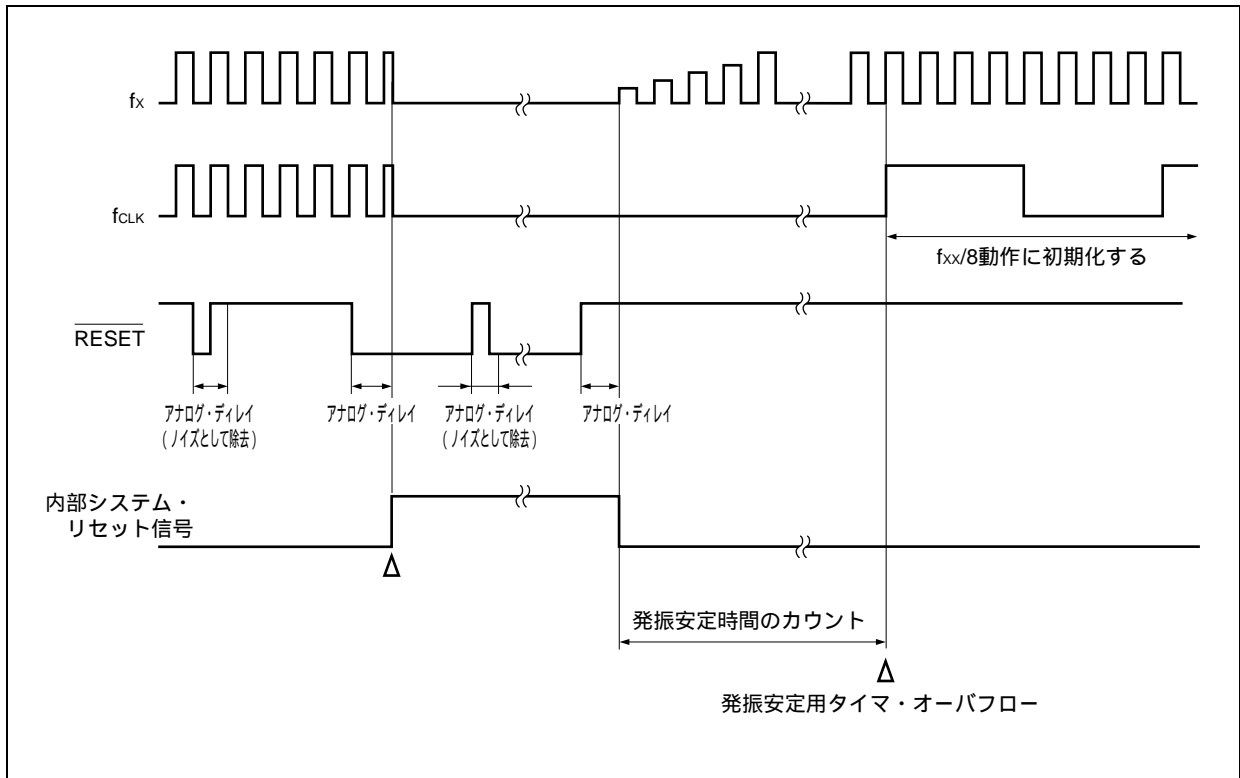
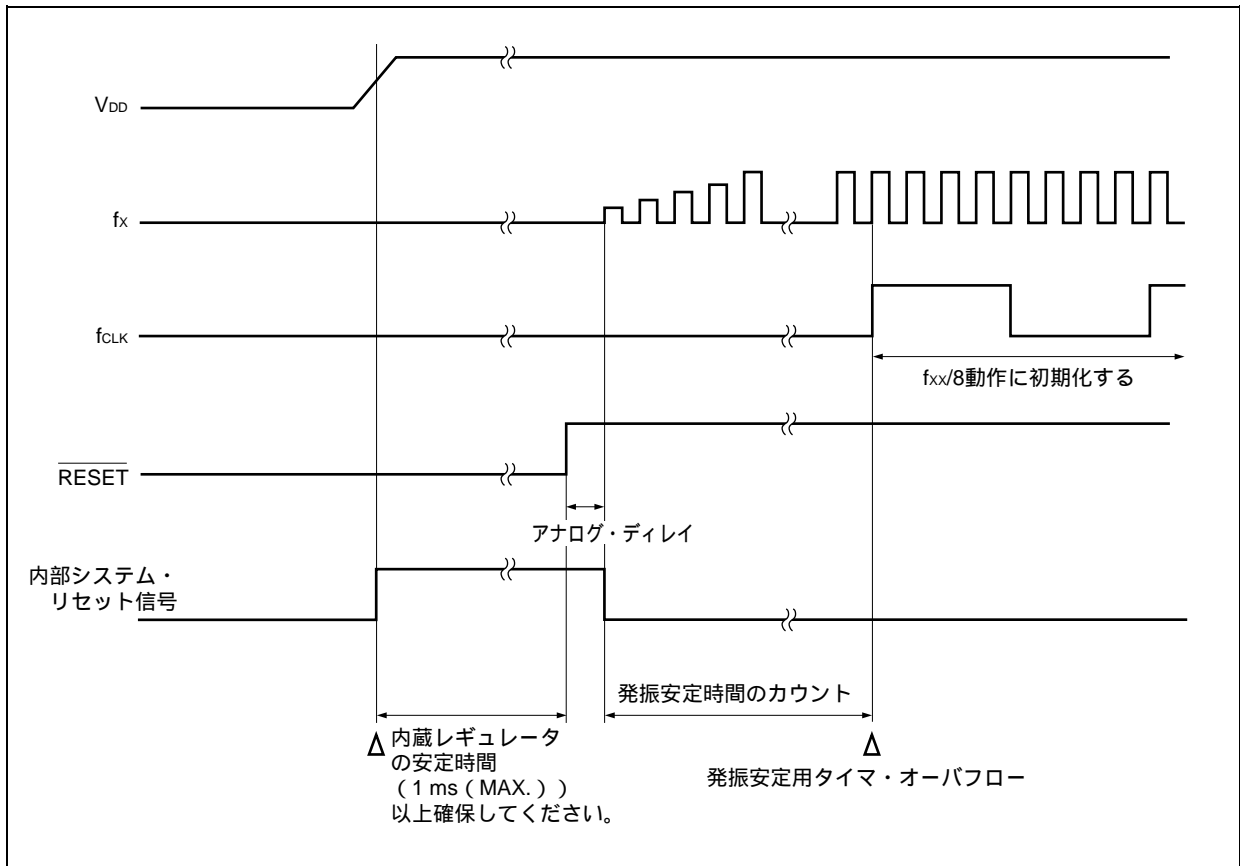


図18 - 2 パワーオン時のリセット動作のタイミング



18.3.2 ウォッチドッグ・タイマ2によるリセット動作

ウォッチドッグ・タイマ2をオーバーフローによるリセット動作モードに設定時、ウォッチドッグ・タイマ2がオーバーフロー（WDT2RES信号発生）すると、システム・リセットがかかり各ハードウェアを所定の状態に初期化します。

ウォッチドッグ・タイマ2のオーバーフロー後、所定の時間（アナログ・ディレイ分）リセット状態となり、その後リセット状態を自動的に解除します。

なお、リセット期間中はメイン・クロック発振回路は停止します。

表18-2 ウォッチドッグ・タイマ2によるリセット動作時の各ハードウェアの状態

項 目	リセット中	リセット後
メイン・クロック発振回路 (fx)	発振停止	発振開始
サブクロック発振回路 (fxT)	水晶発振	発振継続
	RC発振	発振開始
内蔵発振器	発振停止	発振開始
周辺クロック (fxx-fxx/1024)	動作停止	発振安定時間確保後、動作開始
内部システム・クロック (fxx) , CPUクロック (fcPU)	動作停止	発振安定時間確保後、動作開始 (fxx/8に初期化)
CPU	初期化	発振安定時間確保後、プログラムの実行開始
WDT2	動作停止 (カウントは0に初期化)	動作開始
内蔵RAM	パワーオン時のリセット、またはCPUアクセスとリセット入力競合 (データ破壊) した場合、不定。 それ以外は、リセット入力直前の値を保持 ^注 。	
I/Oライン (ポート / 兼用端子)	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化、OCDMレジスタは値を保持。	
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後、動作開始可能

注 V850ES/HG2は、ブート切り替え機能をサポートするので、内部システム・リセット解除後、ファームウェアにより内蔵RAMの一部を使用します。したがってパワーオン状態でのリセットでも一部領域のRAMの内容を保持しません。詳細は18.4 リセット解除後の動作を参照してください。

18.3.3 パワーオン・クリア回路によるリセット動作

パワーオン・クリアの動作許可時、電源電圧と検出電圧を比較し、電源電圧が検出電圧を下回った場合（電源投入時を含む）、システム・リセットがかかり、各ハードウェアを所定の状態に初期化します。

電圧低下検出から電源電圧が検出電圧を上回るまでリセット状態となり、その後リセット状態を自動的に解除します。リセット解除後、メイン・クロック発振回路の発振安定時間（OSTSレジスタの初期値： $2^{16}/fx$ ）を確保したあと、CPUはプログラムの実行を開始します。詳細は第20章 **パワーオン・クリア回路**を参照ください。

18.3.4 低電圧検出回路によるリセット動作

LVI動作許可時かつLVIM.LVIMDビットをセット“1”し、電源電圧と検出電圧を比較し、電源電圧が検出電圧を下回った場合、システム・リセットがかかり、各ハードウェアを所定の状態に初期化します。

電圧低下検出から電源電圧が検出電圧を上回るまでリセット状態となり、その後リセット状態を自動的に解除します。リセット解除後、メイン・クロック発振回路の発振安定時間（OSTSレジスタの初期値： $2^{16}/fx$ ）を確保したあと、CPUはプログラムの実行を開始します。

詳細は第21章 **低電圧検出回路**を参照ください。

18.3.5 クロック・モニタによるリセット動作

クロック・モニタ動作許可時、サンプリング・クロック（内蔵発振器）にてメイン・クロックの監視を行い、メイン・クロックの停止を検出した場合、システム・リセットがかかり、各ハードウェアを所定の状態に初期化します。

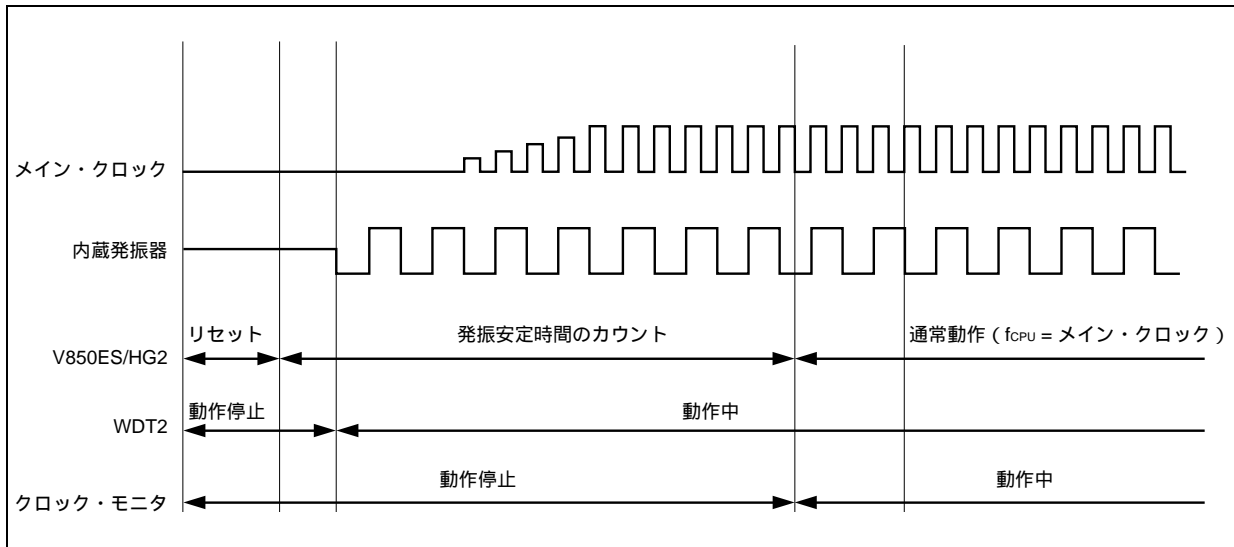
詳細は第19章 **クロック・モニタ**を参照ください。

18.4 リセット解除後の動作

リセット解除後、メイン・クロックは発振を開始し、発振安定時間（OSTSレジスタの初期値： $2^{16}/f_x$ ）を確保したあと、CPUはプログラムの実行を開始します。

また、WDT2はリセット解除後、内蔵発振クロックをソース・クロックとして、すぐに動作を開始します。

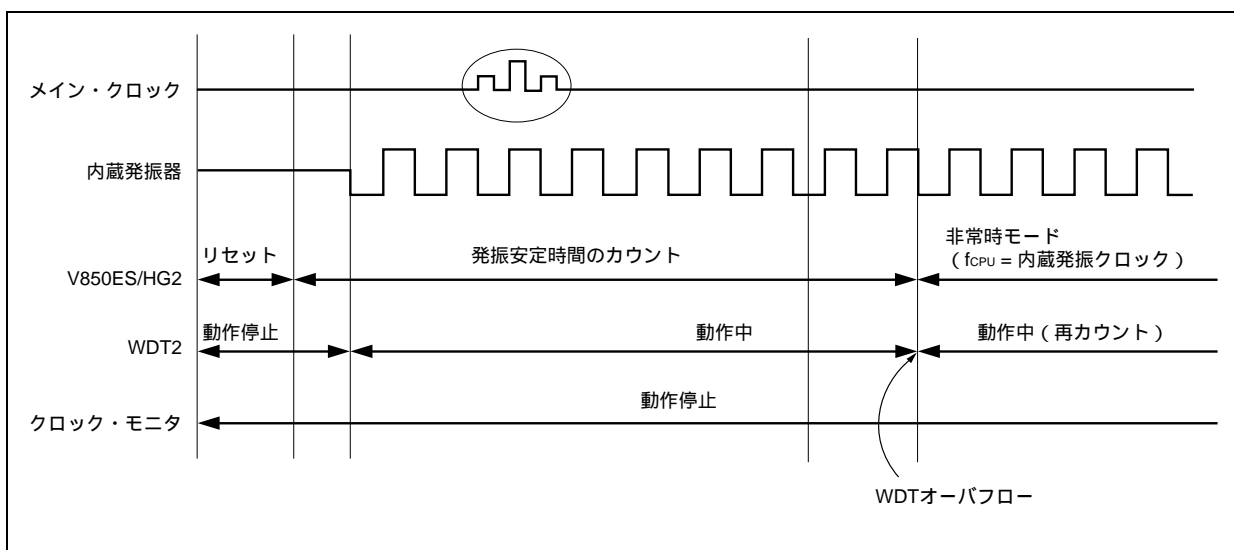
図18-3 リセット解除後の動作



(1) 緊急動作モード

発振安定時間が確保される前にメイン・クロックに異常が発生した場合、CPUがプログラムの実行を開始する前にWDT2がオーバーフローします。このとき、CPUは内蔵発振クロックをソース・クロックとして、プログラムの実行を開始します。

図18-4 リセット解除後の動作

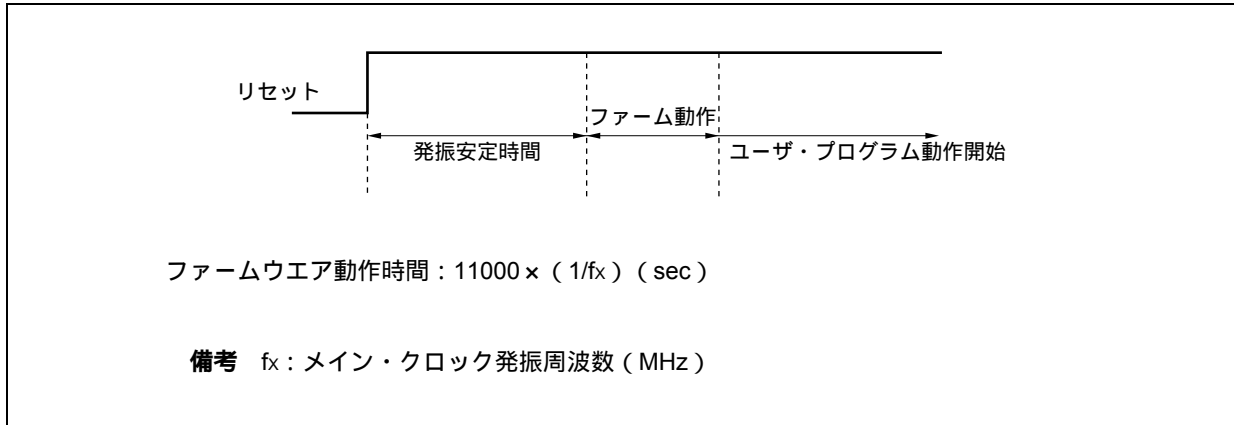


CPU動作クロックの状態は、CPU動作クロック・ステータス・レジスタ (CCLS) で確認してください。

(2) ファームウェア動作

V850ES/HG2は、ブート切り替え機能をサポートするため、リセット解除後、ユーザ・プログラム開始前に内蔵ファームウェアが動作します。

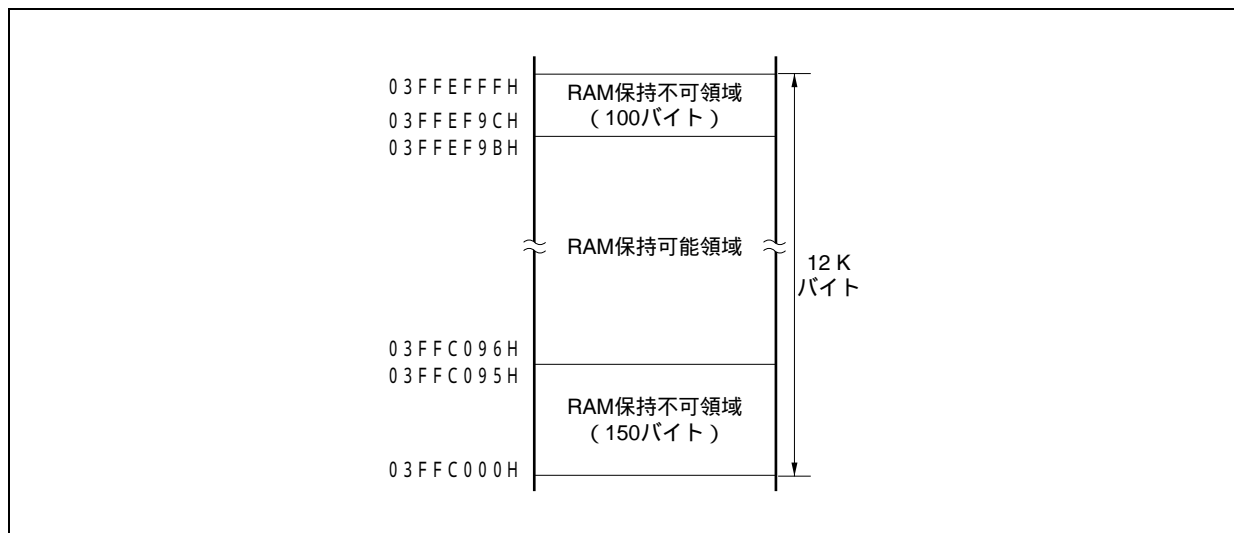
図18 - 5 ファームウェア動作



また、ファームウェアが内蔵RAMの一部を使用するため、パワーオン状態でのリセットでも次のRAM領域の内容を保持しません。

- ・ RAMサイズ12 Kバイト品 : 03FFC000H-03FFC095H, 03FFEF9CH-03FFEFFFH

図18 - 6 RAM保持可能領域



第19章 クロック・モニタ

19.1 機能

クロック・モニタは、内蔵発振クロックで、メイン・クロックのサンプリングを行い、メイン・クロックの発振停止時に、リセット要求信号を発生します。

動作許可フラグにより一度動作許可にすると、リセット以外ではクリア（0）できません。

クロック・モニタによるリセットが発生した場合、RESF.CLMRFビットがセットされます。RESFレジスタの詳細については、18.2 **リセット要因を確認するレジスタ**を参照してください。

次の条件のとき、クロック・モニタは自動的に停止します。

- ・ STOPモード～発振安定時間時
- ・ メイン・クロック停止時
(サブクロック動作時にPCC.MCKビット=1としてから、メイン・クロック動作時にPCC.CLSビット = 0とするまで)
- ・ サンプリング・クロック（内蔵発振クロック）停止時
- ・ CPUが内蔵発振クロック動作時

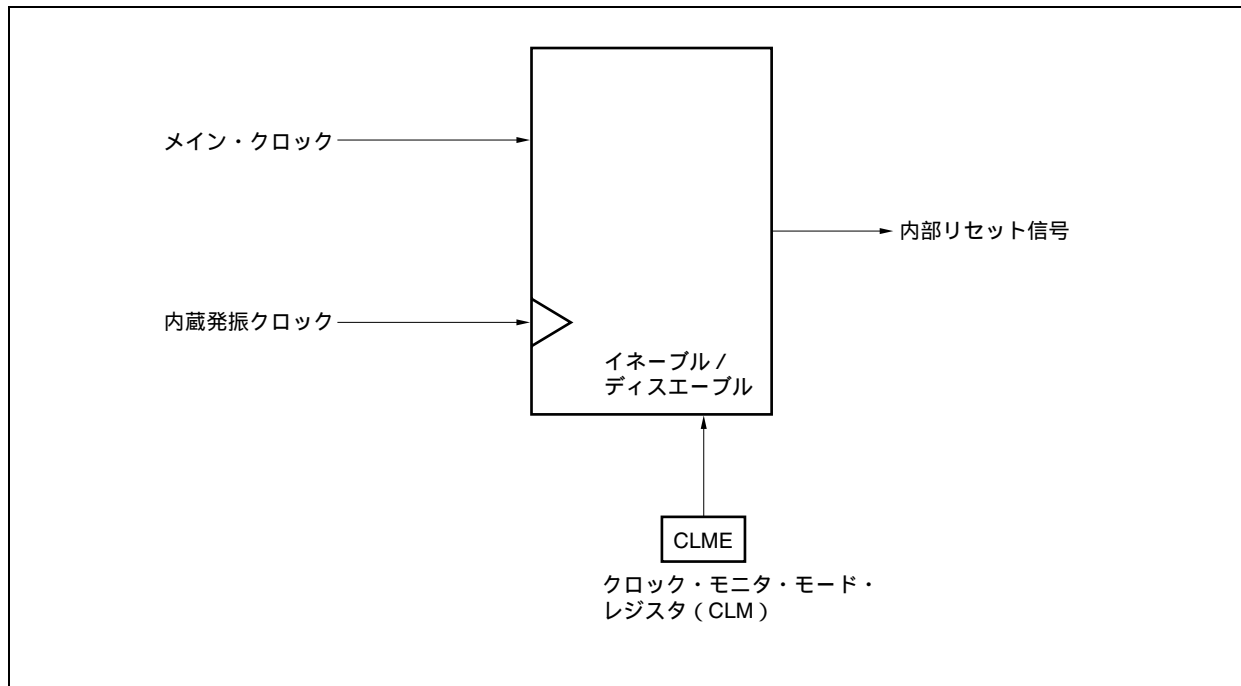
19.2 構成

クロック・モニタは、次のハードウェアで構成しています。

表19 - 1 クロック・モニタの構成

項 目	構 成
制御レジスタ	クロック・モニタ・モード・レジスタ (CLM)

図19 - 1 クロック・モニタのブロック図



19.3 レジスタ

クロック・モニタは、クロック・モニタ・モード・レジスタ (CLM) で制御します。

(1) クロック・モニタ・モード・レジスタ (CLM)

CLMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4.7 特定レジスタ参照)。

クロック・モニタの動作モードの設定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H	R/W	アドレス : FFFFF870H						
	7	6	5	4	3	2	1	0
CLM	0	0	0	0	0	0	0	CLME

CLME	クロック・モニタの動作許可 / 禁止
0	クロック・モニタの動作禁止
1	クロック・モニタの動作許可

注意1. 一度CLMEビット = 1に設定した場合、リセット以外ではクリア(0)できません。

2. クロック・モニタによるリセットが発生した場合、CLMEビットはクリア(0)され、RESF.CLMRFビットがセット(1)されます。

19.4 動作

クロック・モニタの持つ機能について説明します。スタート条件，ストップ条件は次のようになります。

<スタート条件>

CLM.CLMEビットを動作許可(1)に設定

<ストップ条件>

- ・STOPモード～発振安定時間カウント時
- ・メイン・クロック停止時
(サブクロック動作時にPCC.MCKビット=1としてから，メイン・クロック動作時にPCC.CLSビット = 0とするまで)
- ・サンプリング・クロック(内蔵発振クロック)停止時
- ・CPUが内蔵発振クロック動作時

表19-2 クロック・モニタの動作状態 (CLM.CLMEビット = 1設定時，内蔵発振クロック動作時)

CPU動作クロック	動作モード	メイン・クロックの 状態	内蔵発振クロックの 状態	クロック・モニタの 状態
メイン・クロック	HALTモード	発振	発振 ^{注1}	動作 ^{注2}
	IDLE1, IDLE2モード	発振	発振 ^{注1}	動作 ^{注2}
	STOPモード	停止	発振 ^{注1}	停止
サブクロック(PCCレジスタの MCKビット = 0)	サブIDLEモード	発振	発振 ^{注1}	動作 ^{注2}
サブクロック(PCCレジスタの MCKビット = 1)	サブIDLEモード	停止	発振 ^{注1}	停止
内蔵発振クロック	-	停止	発振 ^{注1}	停止
リセット中	-	停止	停止	停止

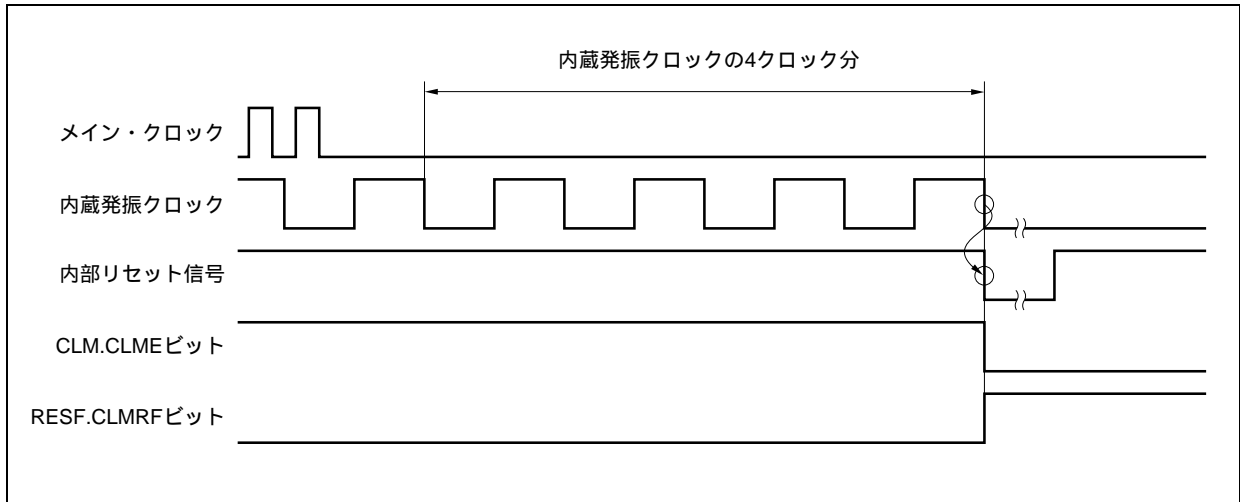
注1. オプション・バイト機能(第24章参照)で内蔵発振器停止可能に設定し，RCM.RSTOPビットをセット(1)することで内蔵発振器を停止できます。

2. 内蔵発振器が停止している場合，クロック・モニタは停止します。

(1) メイン・クロック発振停止時の動作 (CLMEビット = 1)

CLMEビット = 1のとき、メイン・クロックの発振が停止した場合、図19 - 2のタイミングで内部リセット信号が発生します。

図19 - 2 メイン・クロックの発振停止によってリセットがかかる時間

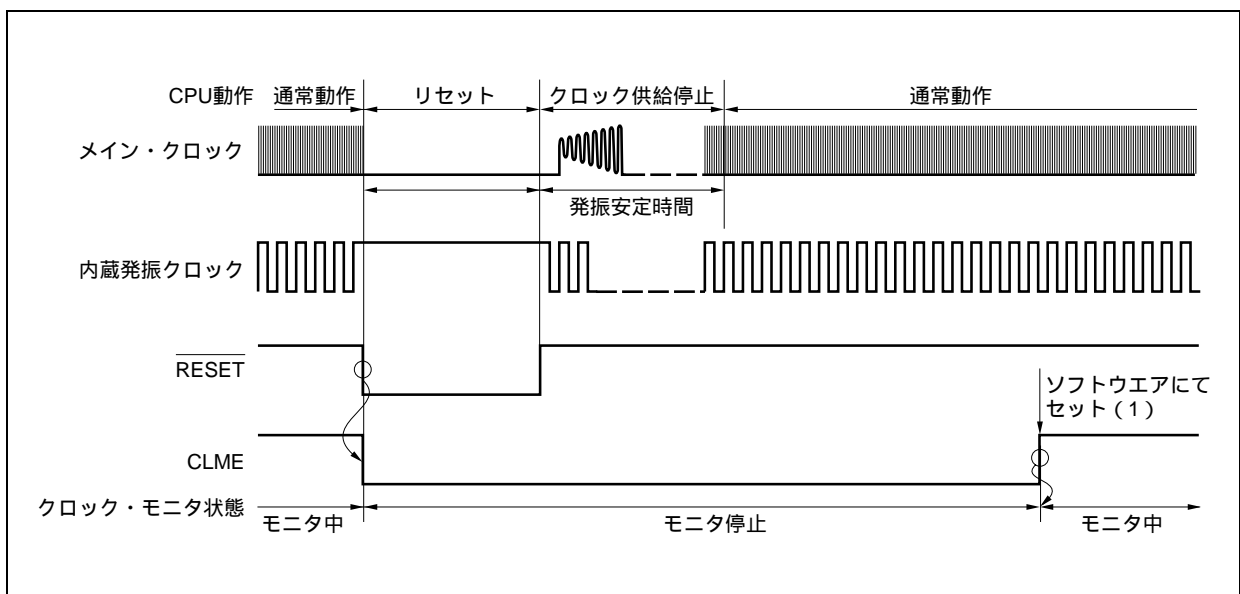


(2) RESET入力後のクロック・モニタの状態

RESET入力により、CLM.CLMEビットはクリア (0) されて、クロック・モニタは動作停止します。メイン・クロックの発振安定時間後にソフトウェアでCLMEビットをセット (1) すると、モニタ動作を開始します。

図19 - 3 RESET入力後のクロック・モニタの状態

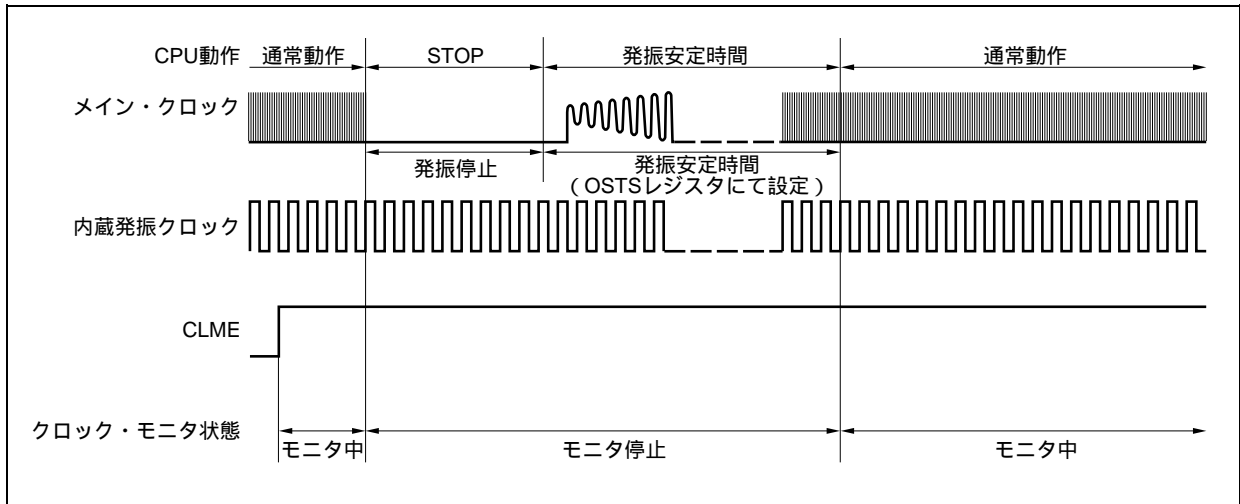
(RESET入力後、メイン・クロックの発振安定時間終了後に、CLM.CLMEビット = 1を設定)



(3) STOPモード中およびSTOPモード解除後の動作

CLM.CLMEビット = 1の状態ですoftウェアSTOPモードに移行した場合、STOPモード中および発振安定時間カウント中はモニタ動作を停止します。発振安定時間カウント終了後に自動的にモニタ動作を開始します。

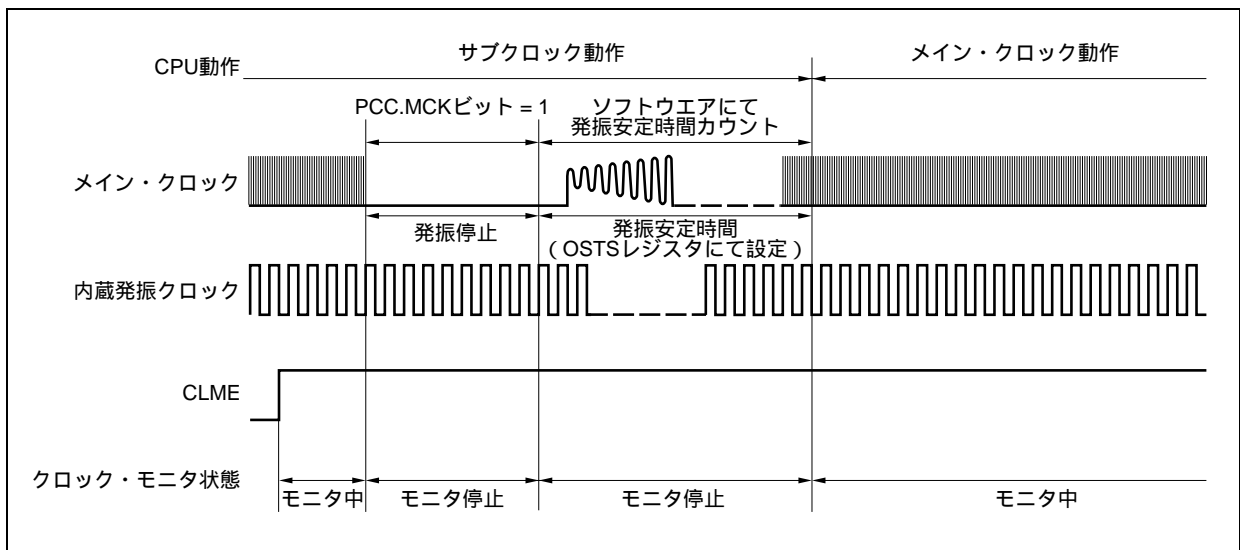
図19 - 4 STOPモード中およびSTOPモード解除後の動作



(4) メイン・クロック停止時（任意）の動作

サブクロック動作時 (PCC.CLSビット = 1), PCC.MCKビット = 1に設定することによりメイン・クロックを停止した場合、メイン・クロック動作 (PCC.CLSビット = 0)に移行するまでモニタ動作を停止し、メイン・クロック動作移行後に自動的にモニタ動作を開始します。

図19 - 5 メイン・クロック停止時（任意）の動作



(5) CPUが内蔵発振クロックで動作時 (CCLS.CCLSFBビット = 1) の動作

CCLSFBビット = 1のとき、CLMEビット = 1に設定してもモニタ動作を開始しません。

第20章 パワーオン・クリア回路

20.1 機能

パワーオン・クリア (POC) 回路の機能を次に示します。

- ・電源投入時にリセット信号を発生します。
- ・電源電圧 (V_{DD}) と検出電圧 (V_{POC0}) を比較し、 $V_{DD} < V_{POC0}$ になったとき、リセット信号を発生します (検出電圧 (V_{POC0}) : $3.7\text{V} \pm 0.2\text{V}$)。

備考1. V850ES/HG2には、内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ2 (WDT2RES) / 低電圧検出回路 (LVI) / クロック・モニタ (CLM) によるリセット時は、そのリセット要因を示すためのフラグがリセット要因フラグ・レジスタ (RESF) に配置されています。

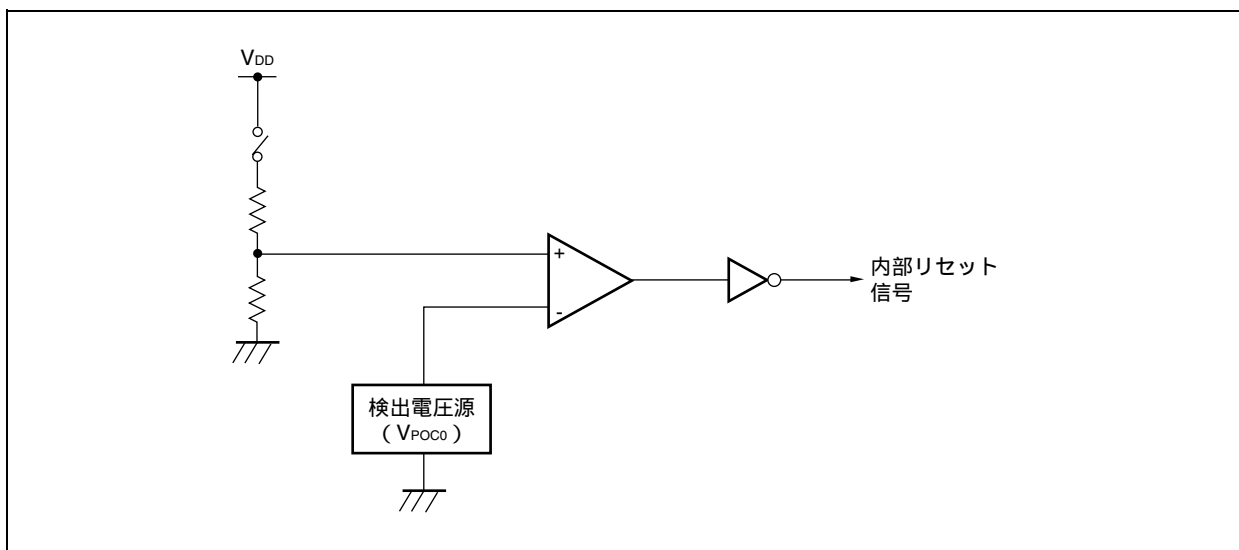
RESFレジスタは、WDT2RES / LVI / クロック・モニタのいずれかによる内部リセット信号が発生した場合は、クリア (00H) されずフラグがセット (1) されます。RESFレジスタの詳細については、**第18章 リセット機能**を参照してください。

2. 電源投入からプログラム実行開始に消費する時間は、外部に接続される発振子の動作周波数が5 MHzの場合、「電源投入からリセット解除までの時間 + 16 ms」となります。ただし、この時間は、外部要因 (マイコンへの供給電源状態、発振子の安定時間) により影響を受けます。

20.2 構成

次にブロック図を示します。

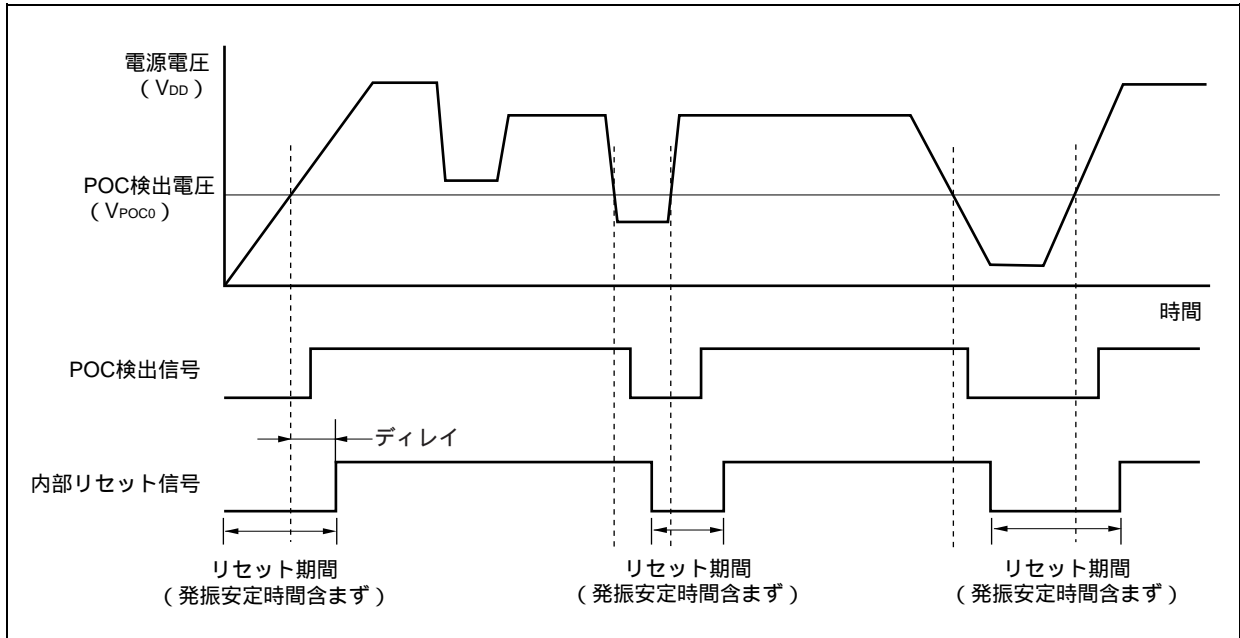
図20 - 1 パワーオン・クリア回路のブロック図



20.3 動作

電源電圧と検出電圧を比較し、電源電圧が検出電圧を下回った場合（電源投入時含む）、システム・リセットがかかり、各ハードウェアを所定の状態に初期化します。

図20 - 2 パワーオン・クリア回路によるリセット信号発生のタイミング



第21章 低電圧検出回路

21.1 機能

低電圧検出回路 (LVI) は、次のような機能を持ちます。

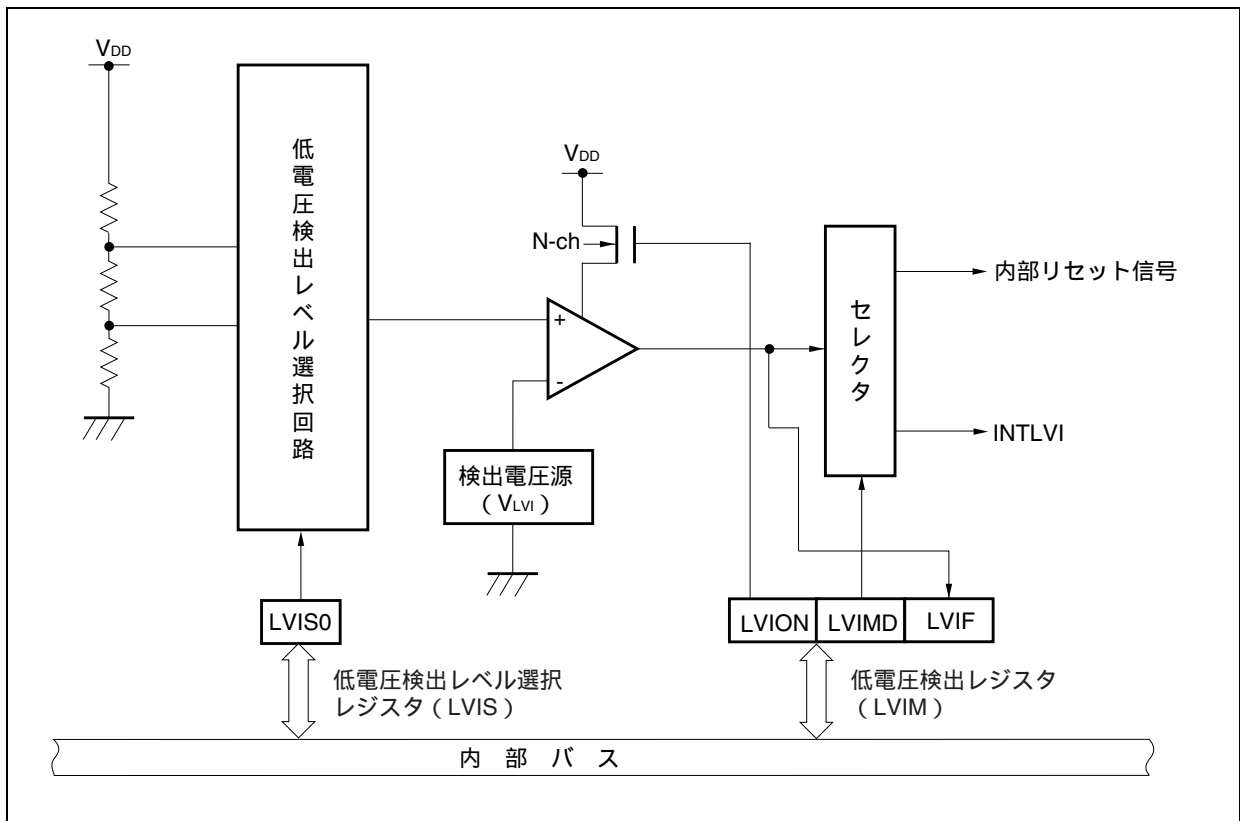
- ・電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ になったとき、割り込み要求信号または内部リセット信号を発生します。
- ・電源電圧の検出レベル (2段階) をソフトウェアにて変更できます。
- ・割り込み要求信号 / 内部リセット信号を選択可能です。
- ・STOPモードにおいても動作可能です。
- ・ソフトウェアにて動作停止可能です。

低電圧検出回路をリセットとして使用した場合に、リセットが発生するとRESF.LVIRFビットがセット (1) されます。RESFレジスタについての詳細は、第18章 リセット機能を参照してください。

21.2 構成

次にブロック図を示します。

図21 - 1 低電圧検出回路のブロック図



21.3 レジスタ

(1) 低電圧検出レジスタ (LVIM)

LVIMレジスタは、低電圧検出動作モードを設定するレジスタです。LVIMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.7 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。ただし、ビット0はリードのみ可能です。

リセット時：00H R/W アドレス：FFFFFF890H

	7	6	5	4	3	2	1	0
LVIM	LVION	0	0	0	0	0	LVIMD	LVIF

LVION	低電圧検出動作の許可/禁止
0	動作禁止
1	動作許可

LVIMD	低電圧検出の動作モード選択
0	電源電圧 < 検出電圧時に割り込み要求信号INTLVIを発生
1	電源電圧 < 検出電圧時に内部リセット信号LVIRESを発生

LVIF	低電圧検出フラグ
0	電源電圧 > 検出電圧, または動作禁止時
1	電源電圧 < 検出電圧

- 注意1.** LVIONビット = 1設定後, 0.2 ms (MAX.) 以上間隔を空けてから, LVIFビットで電圧を確認してください。
- LVIFフラグの値は, LVIONビット = 1かつLVIMDビット = 0の場合に, 出力信号INTLVIとして出力されます。
 - ビット2-6には, 必ず0を設定してください。
 - LVIONビット = 1かつLVIMDビット = 1に設定した場合, 低電圧検出によるリセット以外のリセット要求が発生するまで低電圧検出回路を停止できません。

(2) 低電圧検出レベル選択レジスタ (LVIS)

LVISレジスタは、低電圧検出レベルを選択するレジスタです。

8ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF891H

	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	0	0	0	LVIS0

LVIS0	検出レベル
0	4.4 V ± 0.2 V
1	4.2 V ± 0.2 V

- 注意1. LVIM.LVIONビット = 1かつLVIM.LVIMDビット = 1に設定したあと、低電圧検出によるリセット以外のリセット要求が発生するまで、このレジスタへの書き込みは行えません。
2. ビット1-7には必ず0を設定してください。

(3) 内蔵RAMデータ・ステータス・レジスタ (RAMS)

内蔵RAMデータの有効 / 無効を示すフラグ・レジスタです。RAMSレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます (3.4.7 特定レジスタ参照)。

RAMSレジスタについては、21.5 RAM保持電圧検出動作を参照してください。

8/1ビット単位でリード / ライト可能です。

注意 リセット時の特定シーケンスを示します。

- ・ セット条件 : 検出レベル以下の電圧検出
: 命令によるセット
: ウォッチドッグ・タイマのオーバフローによるリセット発生
: RAMアクセス中のリセット発生
: クロック・モニタによるリセット発生
- ・ クリア条件 : 特定シーケンスによる0書き込み

リセット時 : 01H	R/W	アドレス : FFFFF892H							
		7	6	5	4	3	2	1	0
RAMS		0	0	0	0	0	0	0	RAMF
		内蔵RAMデータ有効 / 無効							
		0	有効						
		1	無効						

21.4 動作

LVIM.LVIMDビットの設定により、割り込み要求信号 (INTLVI) または内部リセット信号を発生します。

21.4.1 内部リセット信号として使用する場合

<動作開始時>

LVIM.LVIMDビットの割り込みをマスクします。

LVIS.LVIS0ビットにて検出電圧を設定します。

LVIM.LVIONビット = 1に設定 (動作許可) します。

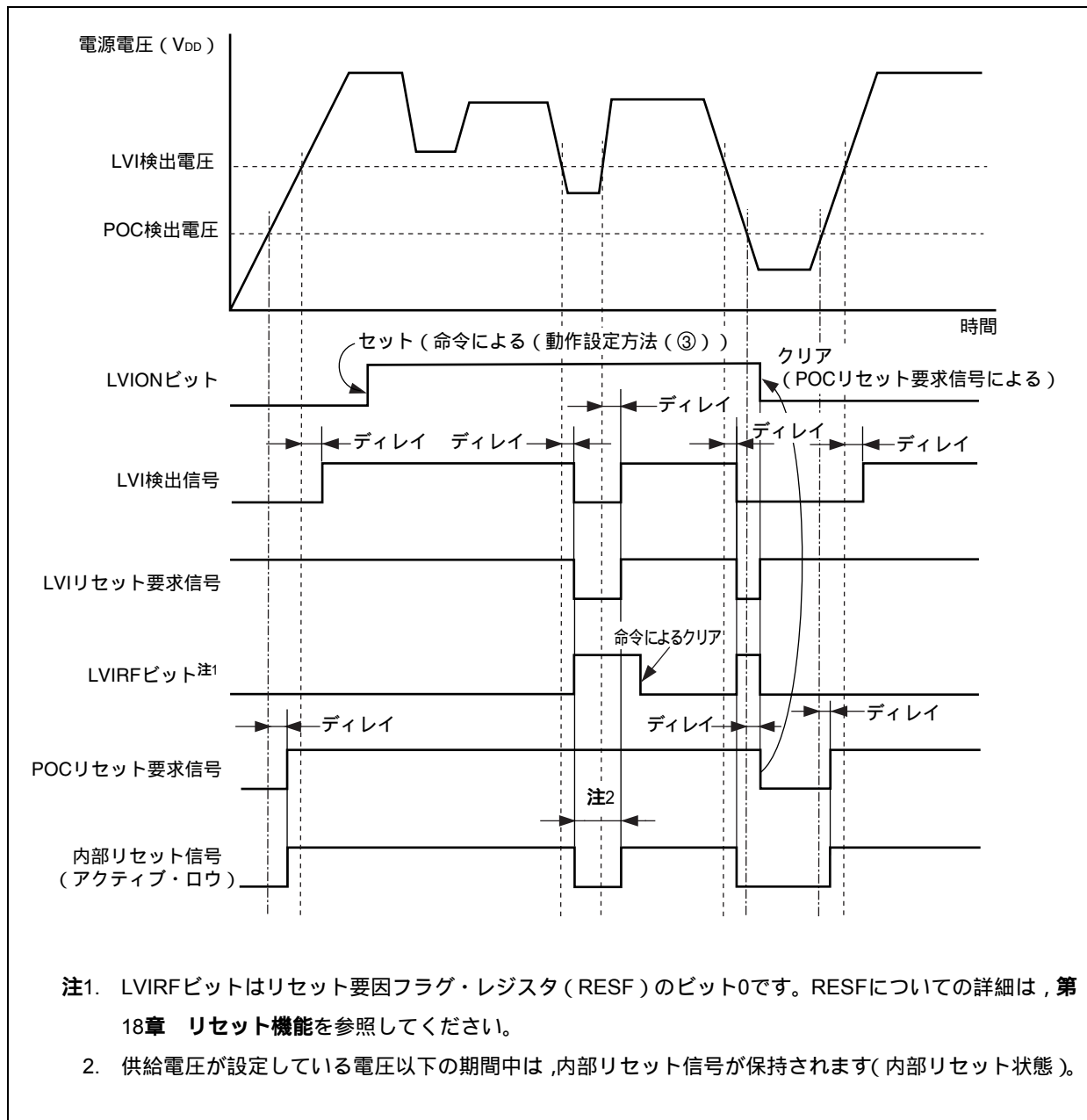
0.2 ms (MAX.) ソフトウェアにてウェイトを挿入します。

LVIM.LVIFビットで電源電圧 > 検出電圧であることを確認します。

LVIM.LVIMDビット = 1 (内部リセット発生) を設定します。

注意 LVIMDビット = 1に設定した場合、LVI以外のリセット要求が発生するまで、LVIM, LVISレジスタの変更はできません。

図21 - 2 低電圧検出回路の動作タイミング (LVIMDビット = 1)



21.4.2 割り込みとして使用する場合

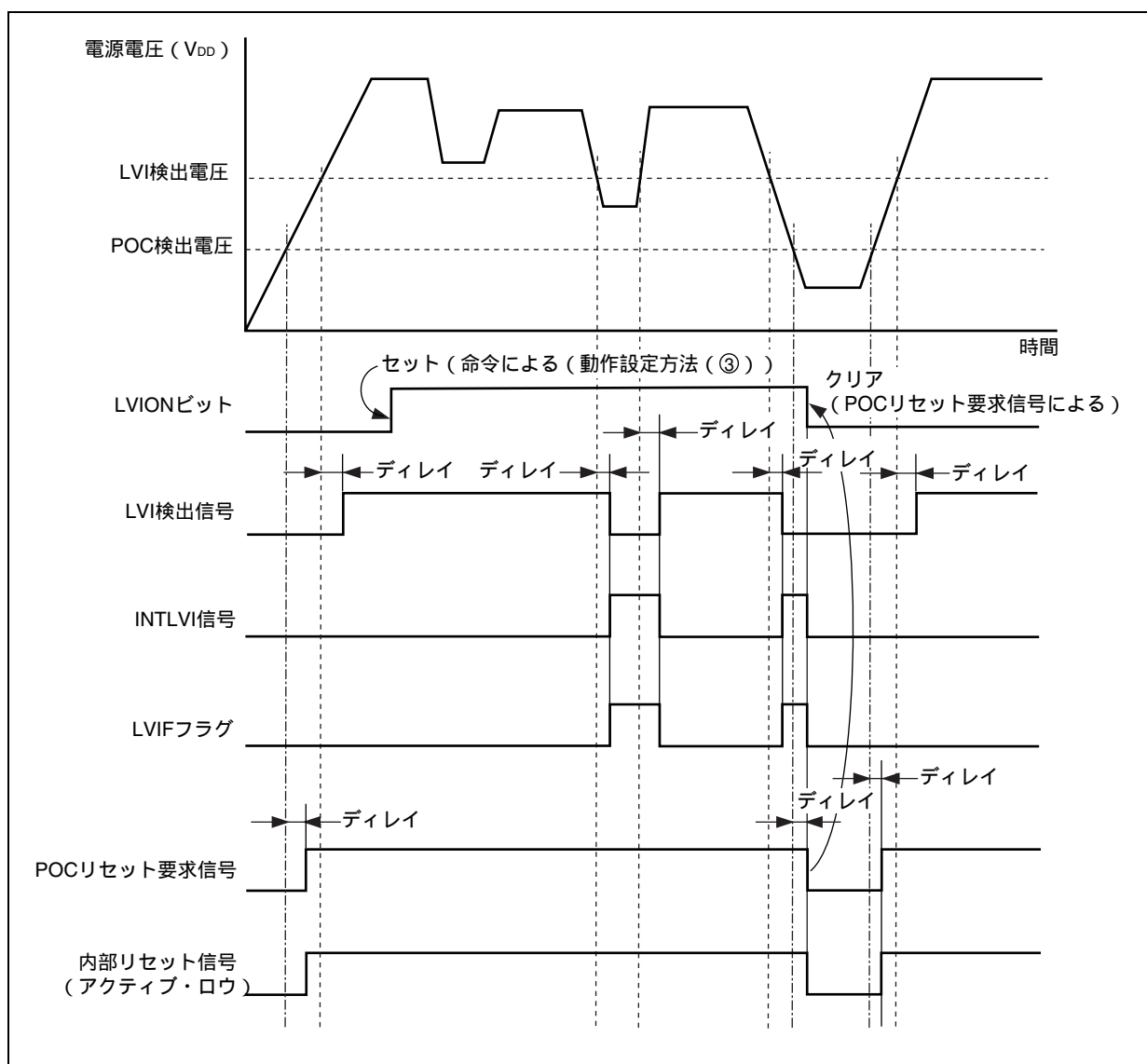
<動作開始時>

- LVIMの割り込みをマスクします。
- LVIS.LVIS0ビットにて検出電圧を設定します。
- LVIM.LVIONビット = 1に設定（動作許可）します。
- 0.2 ms (MAX.) ソフトウェアにてウエイトを挿入します。
- LVIM.LVIFビットで電源電圧 > 検出電圧であることを確認します。
- LVIMの割り込み要求フラグをクリアします。
- LVIMの割り込みマスクを解除します。

<動作停止時>

- LVIONビット = 0に設定します。

図21 - 3 低電圧検出回路の動作タイミング (LVIMDビット = 0)

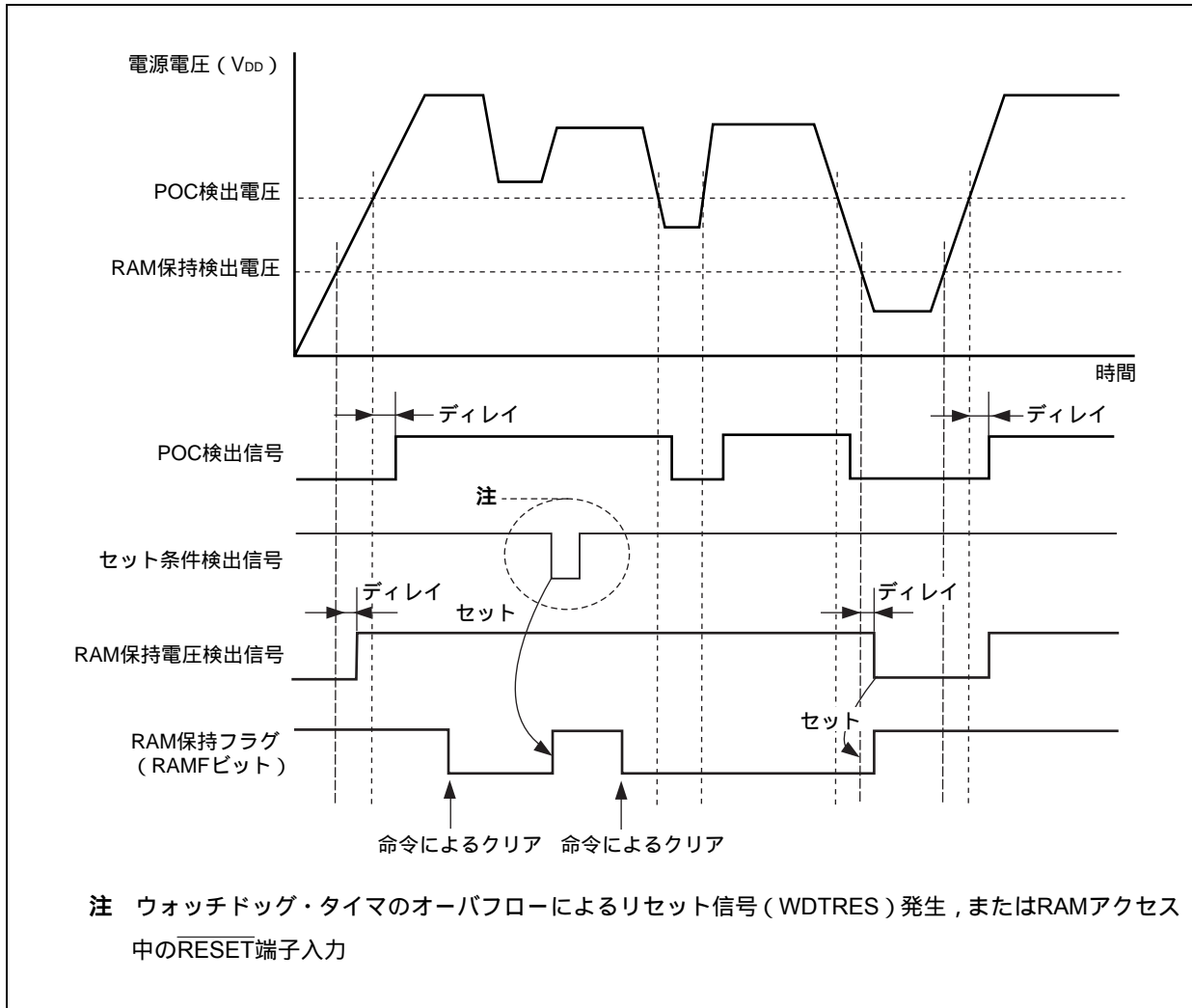


21.5 RAM保持電圧検出動作

電源電圧と検出電圧を比較し、電源電圧が検出電圧を下回った場合（電源投入時も含みます）、RAMS.RAMFビットをセット（1）します。

POC機能を使用せず、RAM保持電圧検出機能を使用し、動作電圧を下回る場合には、必ず外部リセットを入力してください。

図21 - 4 RAM保持電圧検出機能の動作タイミング



21.6 エミュレーション機能

インサーキット・エミュレータ使用時、デバッガ上で、PEMU1レジスタを操作することにより、疑似的にRAM保持フラグ（RAMS.RAMFビット）動作を制御し、エミュレーションを実現することが可能です。

なお、このレジスタは、エミュレーション・モード時のみ有効で、通常モードでは無効になります。

(1) 周辺エミュレーション・レジスタ1 (PEMU1)

リセット時：00H	R/W	アドレス：FFFFFF9FEH								
			7	6	5	4	3	2	1	0
PEMU1			0	0	0	0	0	EVARAMIN	0	0
	EVARAMIN	RAM保持電圧検出信号疑似指定								
	0	RAM保持電圧以下を非検出								
	1	RAM保持電圧以下を検出（RAMFフラグをセット）								

注意 このビットは、自動的にクリアされません。

[使用方法]

インサーキット・エミュレータ使用時、デバッガ上でこのレジスタの書き換えを行うことにより、RAMFの疑似エミュレーションを実現します。

CPUブレーク（CPU動作停止）

レジスタ書き込みコマンドにより、EVARAMINビットを“1”にします。

EVARAMINビットを“1”にすることにより、ハード上でRAMFビットが“1”（内蔵RAMデータが無効）になります。

再度、レジスタ書き込みコマンドにより、EVARAMINビットを“0”にします。

この動作を行わない（EVARAMINビットを“1 0”）場合は、CPU動作命令にてRAMFビットをクリア（0）することができなくなります。

CPUをRUNし、エミュレーションを再開。

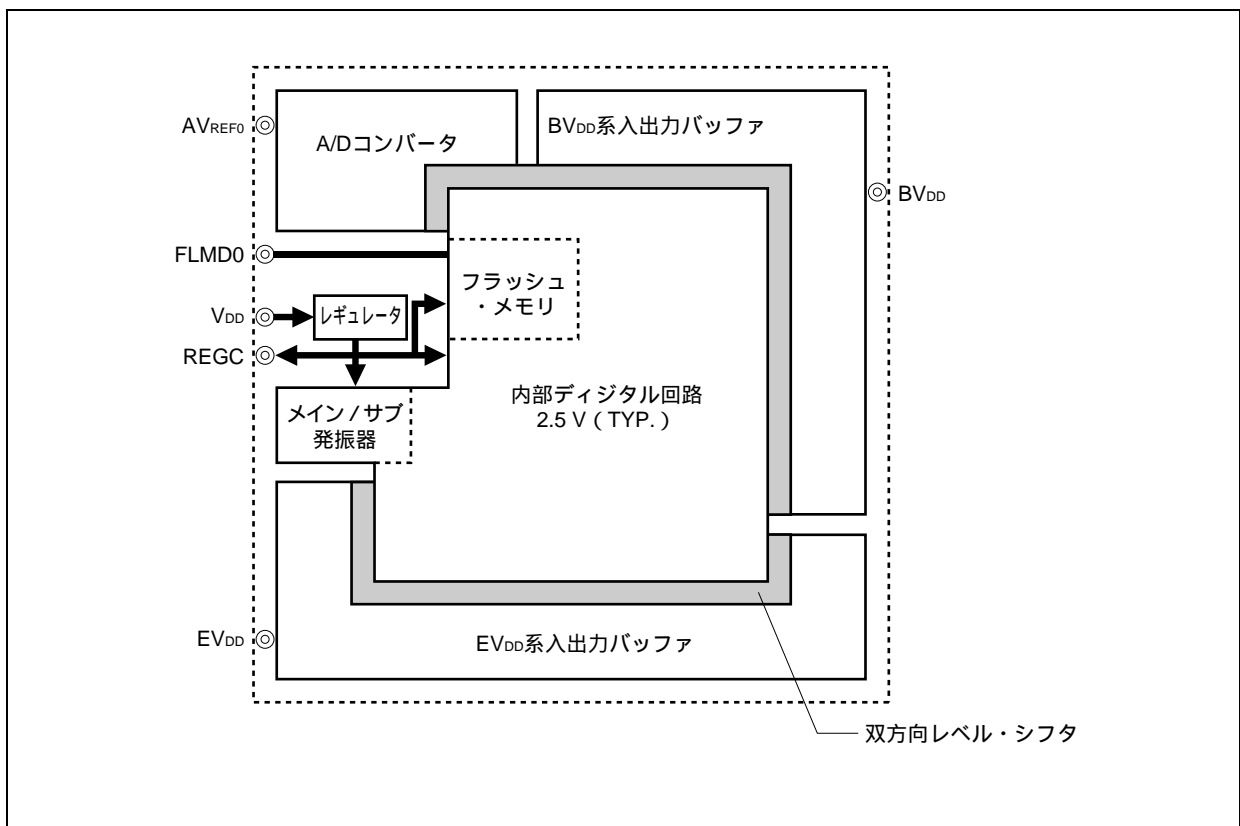
第22章 レギュレータ

22.1 概要

V850ES/HG2は、低消費電力/低ノイズを実現するために、レギュレータを内蔵しています。

このレギュレータは、発振器ブロックと内部ロジック回路（A/Dコンバータ，出力バッファは除く）に、 V_{DD} 電源電圧を降圧した電圧を供給します。レギュレータ出力電圧は、2.5 V（TYP.）に設定しています。

図22 - 1 レギュレータ



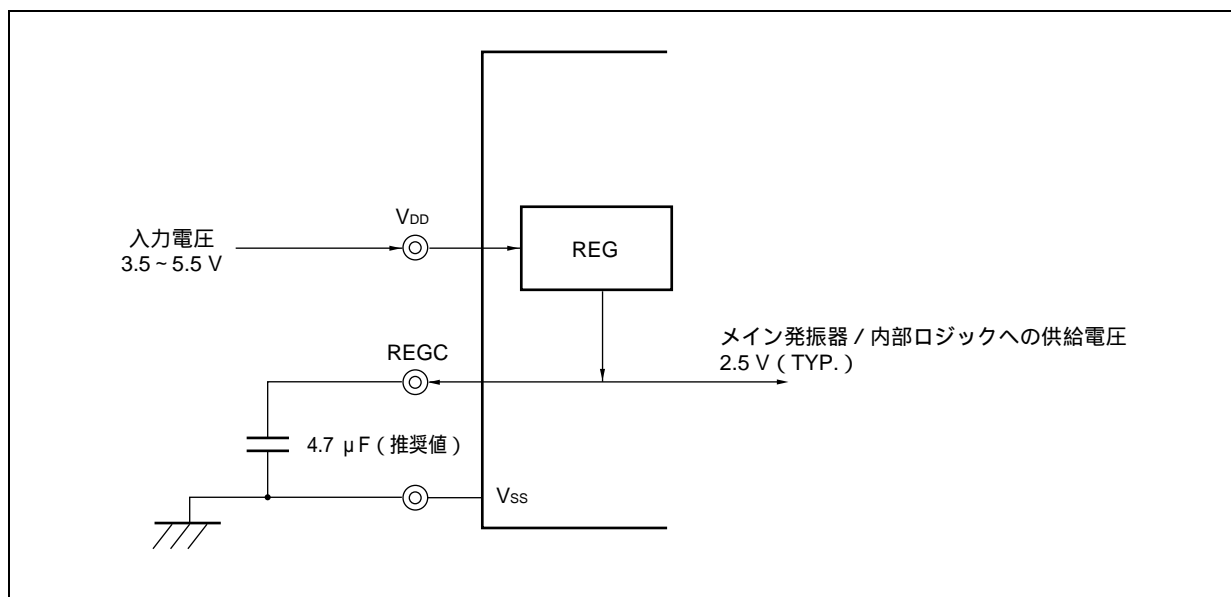
22.2 動作

この製品のレギュレータは、いかなるモード（通常動作モード / HALTモード / IDLE1モード / IDLE2モード / STOPモード / リセット中）でも常に動作します。

また、レギュレータの出力を安定させるためにREGC端子にコンデンサ（ $4.7\ \mu\text{F}$ （推奨値））を接続してください。

次に端子の接続の方法を示します。

図22 - 2 REGC端子の接続



第23章 フラッシュ・メモリ

フラッシュ・メモリ内蔵品は、開発用途および量産用として次のようなことが考えられます。

ターゲット・システムにV850ES/HG2を半田実装後、ソフトウェアの変更可能
量産立ち上げ時のデータ調整が容易
規格ごとにソフトウェアを区別することで少量多品種生産が容易
在庫管理が容易
出荷後のソフトウェアのアップデートが容易

23.1 特 徴

4バイト/1クロック・アクセス（命令フェッチ時）

容量：256 K/128 Kバイト

書き換え電圧：単一電源による消去／書き込みが可能

書き換え方式

- ・専用フラッシュ・ライターとのシリアル・インタフェースを介しての通信による書き換え（オンボード／オフボード・プログラミング）
- ・ユーザ・プログラムによるフラッシュ・メモリの書き換え（セルフ・プログラミング）

フラッシュ・メモリの書き換え禁止機能をサポート（セキュリティ機能）

ブート・スワップ機能により、セルフ・プログラミングによる全フラッシュ・メモリ領域のセキュアな書き換えが可能

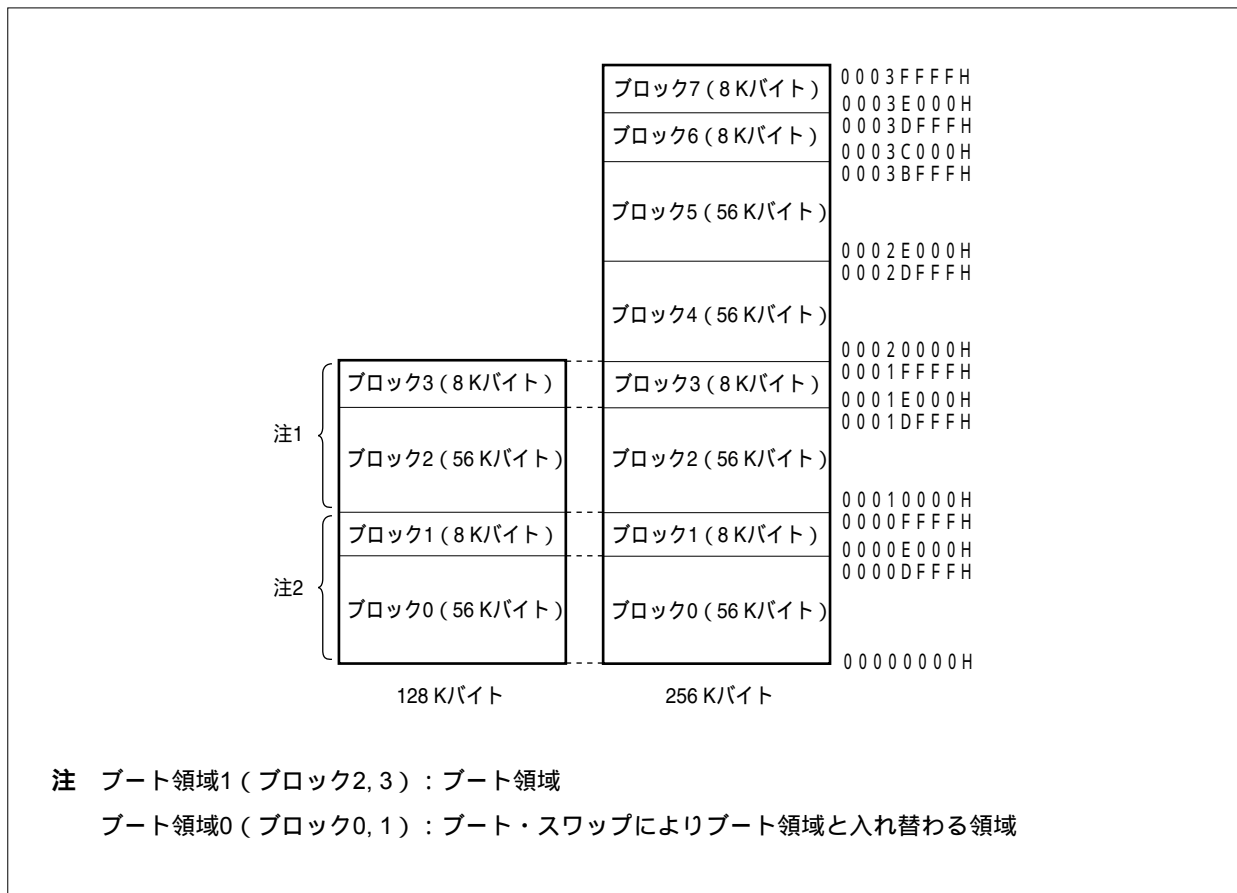
セルフ・プログラミング中の割り込み受け付け可能

23.2 メモリ構成

256 K/128 Kバイトの内蔵フラッシュ・メモリの領域は8, 4個のブロックに分割されており, 各ブロック単位にてプログラム/消去可能となっています。全ブロックの一括消去も可能です。

また, ブート・スワップ機能を用いた場合, ブート領域0のアドレスに配置された物理メモリ (ブロック0, 1) と, ブート領域1のアドレスに配置された物理メモリ (ブロック2, 3) が入れ替わります。ブート・スワップ機能詳細については, 23.5 セルフ・プログラミングによる書き換えを参照してください。

図23 - 1 フラッシュ・メモリ・マッピング



23.3 機能概要

V850ES/HG2の内蔵フラッシュ・メモリは、専用フラッシュ・ライターによる書き換え機能により、ターゲット・システムへの実装前、実装後にかかわらず書き換えが可能です（オンボード/オフボード・プログラミング）。

また、内蔵フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

ユーザ・プログラムによる書き換え機能（セルフ・プログラミング）は、ターゲット・システムの製造/出荷後のプログラム変更を想定したアプリケーションに適した書き換え方法です。全フラッシュ・メモリ領域を安全に書き換えるためのブート・スワップ機能もサポートしています。また、セルフ・プログラミング中の割り込み処理のサポートにより、外部との通信処理を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。

表23 - 1 書き換え方法

書き換え方法	機能概要	動作モード
オンボード・プログラミング	専用フラッシュ・ライターを用いてターゲット・システム上に実装後にフラッシュ・メモリの書き換えが可能です。	フラッシュ・メモリ・プログラミング・モード
オフボード・プログラミング	専用フラッシュ・ライターと専用プログラム・アダプタ・ボード（FAシリーズ）を用いることにより、ターゲット・システムに実装する前に、フラッシュ・メモリの書き換えが可能です。	
セルフ・プログラミング	オンボード/オフボード・プログラミングによりフラッシュ・メモリへあらかじめ書き込まれたユーザ・プログラムの実行により、フラッシュ・メモリの書き換えが可能です。（セルフ・プログラミング中は内蔵フラッシュ・メモリ領域からの命令フェッチおよびデータ・アクセスはできませんので、内蔵RAMもしくは外部メモリへ書き換え用のプログラムをあらかじめ転送して実行する必要があります。）	通常動作モード

備考 FAシリーズは、（株）内藤電誠町田製作所の製品です。

表23 - 2 基本機能一覧

機能	機能概要	サポートの有無 (: サポート, × : 未サポート)	
		オンボード/オフボード・ プログラミング	セルフ・プログラミング
ブロック消去	指定したブロックのメモリの内容の消去を行います。		
チップ消去	全メモリの内容の一括消去を行います。		×
書き込み	指定したアドレスの書き込みおよび書き込みレベルが確保されているかどうかのベリファイ・チェックを行います。		
ベリファイ/チェック・サム	フラッシュ・メモリから読み出したデータと, フラッシュ・ライターから転送されたデータの比較を行います。		× (ユーザ・プログラムにて読み出しは可能)
ブランク・チェック	全メモリの消去状態の確認を行います。		
セキュリティ設定	ブロック消去コマンド/チップ消去コマンド/プログラム・コマンド/リード・コマンドの使用禁止設定を行います。		× (設定を許可から禁止にする場合のみ可能)

次にセキュリティ機能の一覧を示します。ブロック消去コマンド禁止/チップ消去コマンド禁止/プログラム・コマンド禁止機能は, 出荷後の初期状態はすべて許可になっており, オンボード/オフボード・プログラミングによる書き換えでのみセキュリティ設定が可能です。各セキュリティ設定に関しては, 同時に組み合わせて使用できます。

表23 - 3 セキュリティ機能一覧

機能	機能概要
ブロック消去コマンド禁止	全ブロックに対してのブロック消去コマンドの実行を禁止します。チップ消去コマンドの実行によって, 禁止設定の初期化が可能です。
チップ消去コマンド禁止	全ブロックに対してのブロック消去および, チップ消去コマンドの実行を禁止します。一度禁止設定するとチップ消去コマンドが実行できないため, すべての禁止設定の初期化ができなくなります。
プログラム・コマンド禁止	全ブロックに対してのプログラム・コマンドとブロック消去コマンドを禁止します。チップ消去コマンドの実行によって, 禁止設定の初期化が可能です。
リード・コマンド禁止	全ブロックに対してのリード・コマンドを禁止します。チップ消去コマンドの実行によって, 禁止設定の初期化が可能です。
ブート領域の書き換え禁止設定	サポートしていません。

表23 - 4 セキュリティ設定

機能	各セキュリティ設定時の消去 / 書き込み/読み出し動作 (: 実行可能, x : 実行不可, : 未サポート)		セキュリティ設定 注意事項	
	オンボード/オフボード・ プログラミング	セルフ・プログラミング	オンボード/オ フボード・プロ グラミング	セルフ・プログ ラミング
ブロック消去 コマンド禁止	ブロック消去コマンド : x チップ消去コマンド : プログラム・コマンド : リード・コマンド :	ブロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	チップ消去コマ ンドによる禁止 設定の初期化が 可能	設定を許可から 禁止にする場合 のみ可能
チップ消去 コマンド禁止	ブロック消去コマンド : x チップ消去コマンド : x プログラム・コマンド : 注 リード・コマンド :	ブロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	禁止設定の初期 化が不可能	
プログラム・ コマンド禁止	ブロック消去コマンド : x チップ消去コマンド : プログラム・コマンド : x リード・コマンド :	ブロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	チップ消去コマ ンドによる禁止 設定の初期化が 可能	
リード・ コマンド禁止	ブロック消去コマンド : チップ消去コマンド : プログラム・コマンド : リード・コマンド : x	ブロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	チップ消去コマ ンドによる禁止 設定の初期化が 可能	

注 消去コマンドは無効となるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできません。

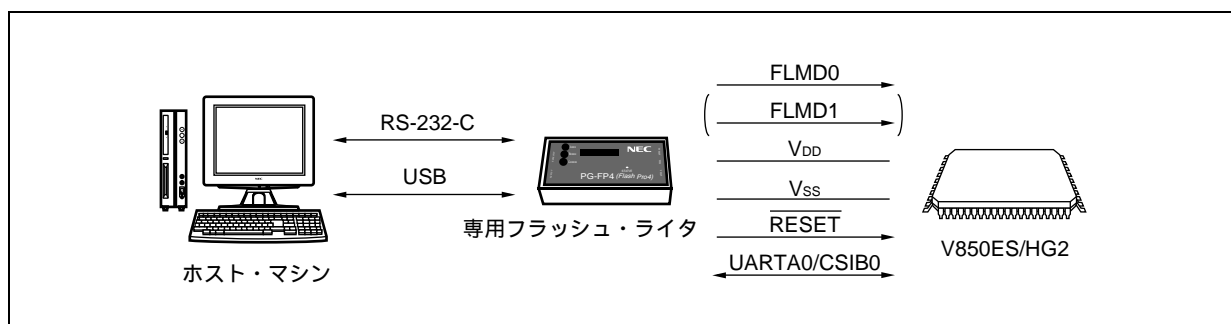
23.4 専用フラッシュ・ライターでの書き換え

専用フラッシュ・ライターにて、ターゲット・システム上にV850ES/HG2を実装後のフラッシュ・メモリの書き換えが可能です（オンボード・プログラミング）。また、専用プログラム・アダプタ（FAシリーズ）を使用すれば、ターゲット・システムに実装する前でのフラッシュ・メモリの書き換えが可能です（オフボード・プログラミング）。

23.4.1 プログラミング環境

V850ES/HG2のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図23-2 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・ライターには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・ライターとV850ES/HG2とのインターフェースはUARTA0, CSIB0を使用して、書き込み、消去等の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ（FAシリーズ）が必要です。

- ・ FA-70F3707GC-8EA-MX（配線済み）
- ・ FA-100GC-8EU-A（未配線：配線が必要です）

備考 FAシリーズは、(株)内藤電誠町田製作所の製品です。

23.4.2 通信方式

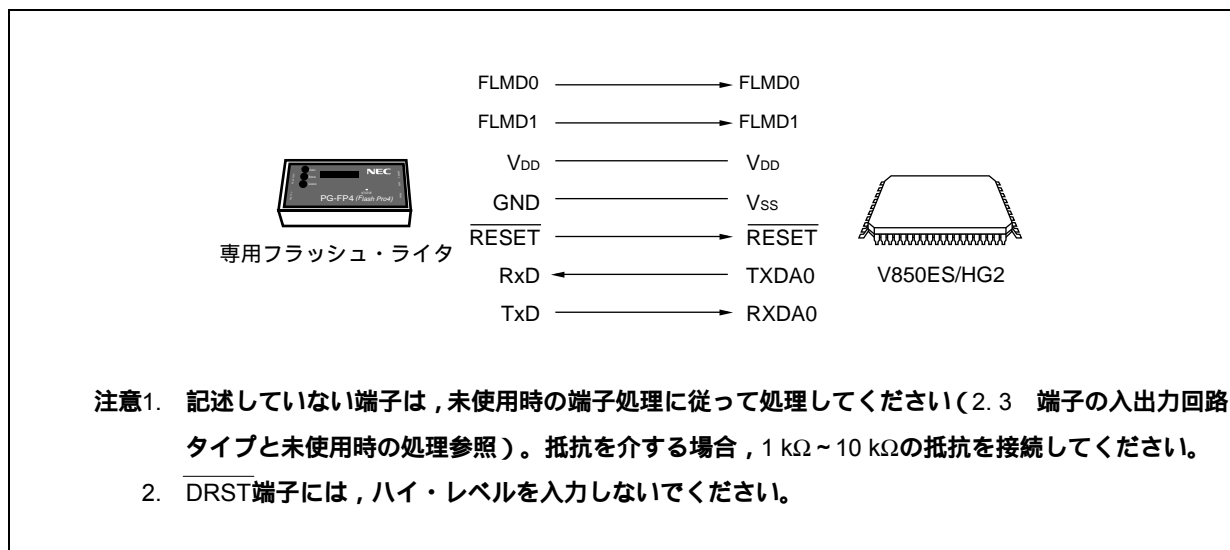
専用フラッシュ・ライタとV850ES/HG2との通信は、V850ES/HG2のUARTA0, CSIB0によるシリアル通信で行います。

(1) UARTA0

転送レート：9600, 19200, 31250, 38400, 76800, 153600 bps

(57600, 115200, 128000 bpsの設定はサポートしていません)

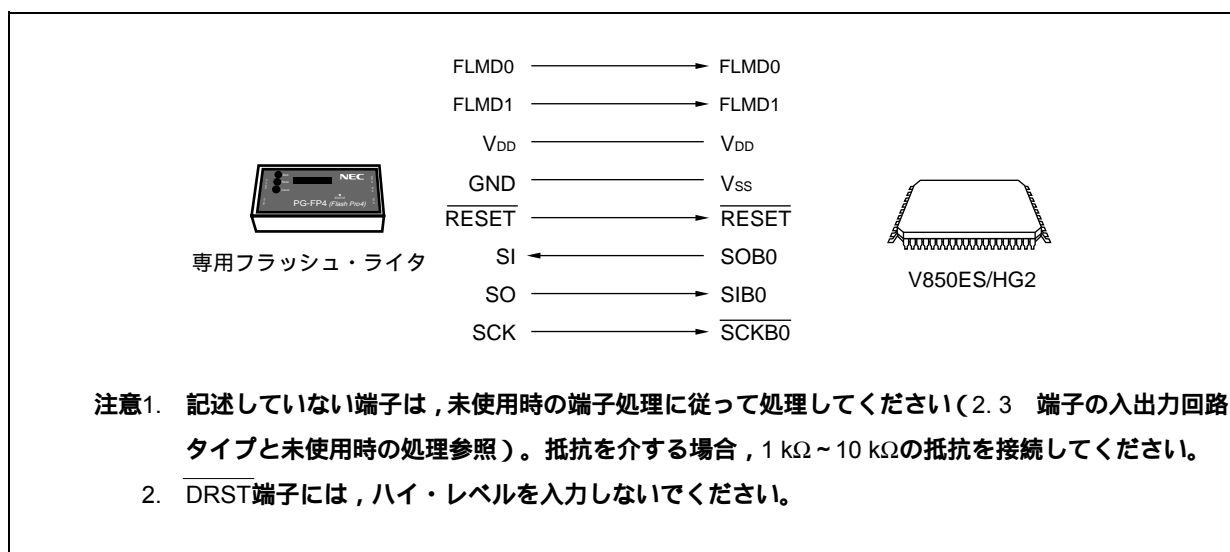
図23-3 専用フラッシュ・ライタとの通信 (UARTA0)



(2) CSIB0

シリアル・クロック：2.4 kHz ~ 2.5 MHz (MSBファースト)

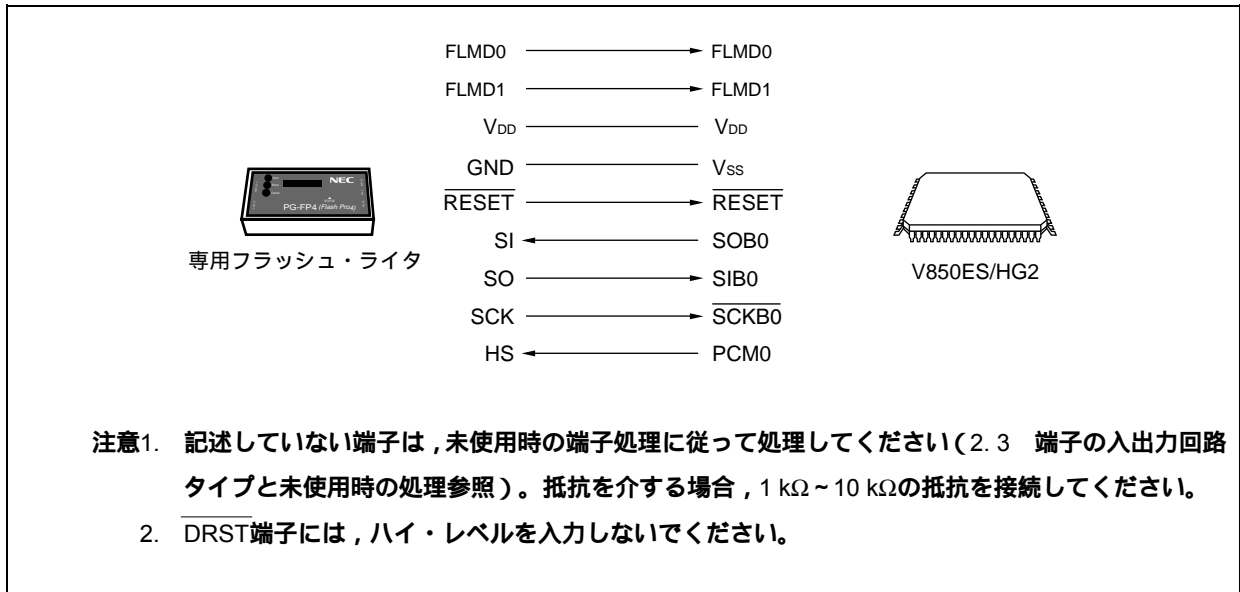
図23-4 専用フラッシュ・ライタとの通信 (CSIB0)



(3) CSIB0+HS

シリアル・クロック : 2.4 kHz ~ 2.5 MHz (MSBファースト)

図23 - 5 専用フラッシュ・ライタとの通信 (CSIB0+HS)



専用フラッシュ・ライタが転送クロックを出力し、V850ES/HG2はスレーブとして動作します。

専用フラッシュ・ライタとしてPG-FP4を使用した場合、PG-FP4はV850ES/HG2に対して次の信号を生成します。詳細はPG-FP4 ユーザーズ・マニュアル (U15260J) を参照してください。

表23 - 5 専用フラッシュ・ライタ (PG-FP4) の信号接続一覧

PG-FP4			V850ES/HG2	接続時の処置		
信号名	入出力	端子機能	端子名	UARTA0	CSIB0	CSIB0+HS
FLMD0	出力	書き込み許可 / 禁止	FLMD0			
FLMD1	出力	書き込み許可 / 禁止	FLMD1	注1	注1	注1
VDD	-	V _{DD} 電圧生成/電圧監視	V _{DD}			
GND	-	グラウンド	V _{SS}			
CLK	出力	V850ES/HG2へのクロック出力	X1, X2	x 注2	x 注2	x 注2
RESET	出力	リセット信号	RESET			
SI/RxD	入力	受信信号	SOB0, TXDA0			
SO/TxD	出力	送信信号	SIB0, RXDA0			
SCK	出力	転送クロック	SCKB0	x		
HS	入力	CSIB0+HS通信のハンドシェイク信号	PCM0	x	x	

注1. 図23 - 6のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。

2. フラッシュ・ライタのCLK端子からのクロック供給はできません。ボード上に発振回路を作成してクロックを供給してください。

備考 : 必ず接続してください。

x : 接続の必要はありません。

表23 - 6 V850ES/HG2フラッシュ書き込み用アダプタ (FA-100GC-8EU-A) の配線表

フラッシュ・ライター (PG-FP4) 接続端子			FAボード の端子名	CSIB0 + HS使用時		CSIB0使用時		UARTA0使用時	
信号名	入出力	端子機能		端子名	ピン 番号	端子名	ピン 番号	端子名	ピン 番号
SI/RxD	入力	受信信号	SI	P41/SOB0	23	P41/SOB0	23	P30/TXDA0	25
SO/TxD	出力	送信信号	SO	P40/SIB0	22	P40/SIB0	22	P31/RXDA0/INTP7	26
SCK	出力	転送クロック	SCK	P42/SCKB0	24	P42/SCKB0	24	必要なし	-
CLK	出力	V850ES/HG2 へのクロック	X1	必要なし	-	必要なし	-	必要なし	-
			X2	必要なし	-	必要なし	-	必要なし	-
/RESET	出力	リセット信号	/RESET	RESET	14	RESET	14	RESET	14
FLMD0	出力	書き込み電圧	FLMD0	FLMD0	8	FLMD0	8	FLMD0	8
FLMD1	出力	書き込み電圧	FLMD1	PDL5/FLMD1	76	PDL5/FLMD1	76	PDL5/FLMD1	76
HS	入力	CSI0 + HS通 信のハンドシ ェーク信号	RESERVE /HS	PCM0	61	必要なし	-	必要なし	-
VDD	-	VDD 電圧生 成 / 電圧監視	VDD	V _{DD}	9	V _{DD}	9	V _{DD}	9
				BV _{DD}	70	BV _{DD}	70	BV _{DD}	70
				EV _{DD}	5, 34	EV _{DD}	5, 34	EV _{DD}	5, 34
				AV _{REF0}	1	AV _{REF0}	1	AV _{REF0}	1
GND	-	グラウンド	GND	V _{SS}	11	V _{SS}	11	V _{SS}	11
				AV _{SS}	2	AV _{SS}	2	AV _{SS}	2
				BV _{SS}	69	BV _{SS}	69	BV _{SS}	69
				EV _{SS}	33	EV _{SS}	33	EV _{SS}	33

注意1. REGC端子は、必ず4.7 μ F (推奨値) のコンデンサを介してGNDに接続してください。

2. フラッシュ・ライターのCLK端子からのクロック供給はできません。

ボード上に発振回路を作成してクロックを供給してください。

図23 - 6 V850ES/HG2フラッシュ書き込み用アダプタ(FA-100GC-8EU-A)の配線例(CSIB0 + HSモード時)(1/2)

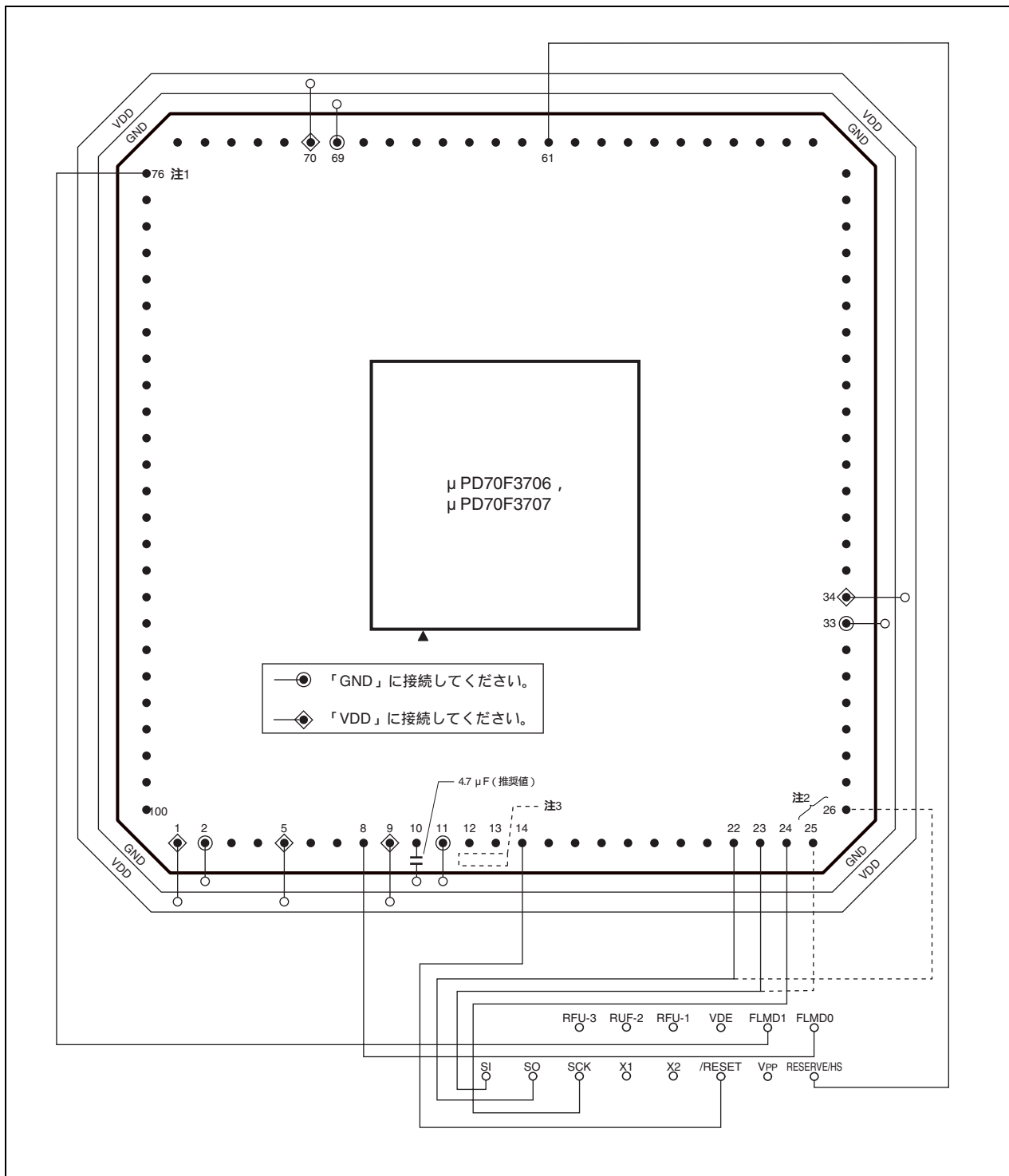
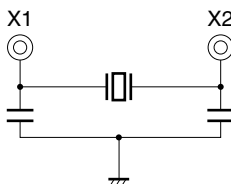


図23 - 6 V850ES/HG2フラッシュ書き込み用アダプタ(FA-100GC-8EU-A)の配線例(CSIB0 + HSモード時)(2/2)

- 注1. FLMD1端子は図のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。
2. UARTA0使用時の該当端子
3. フラッシュ書き込みアダプタ上(破線部)に発振回路を作成してクロックを供給してください。次に発振回路例を示します。

例



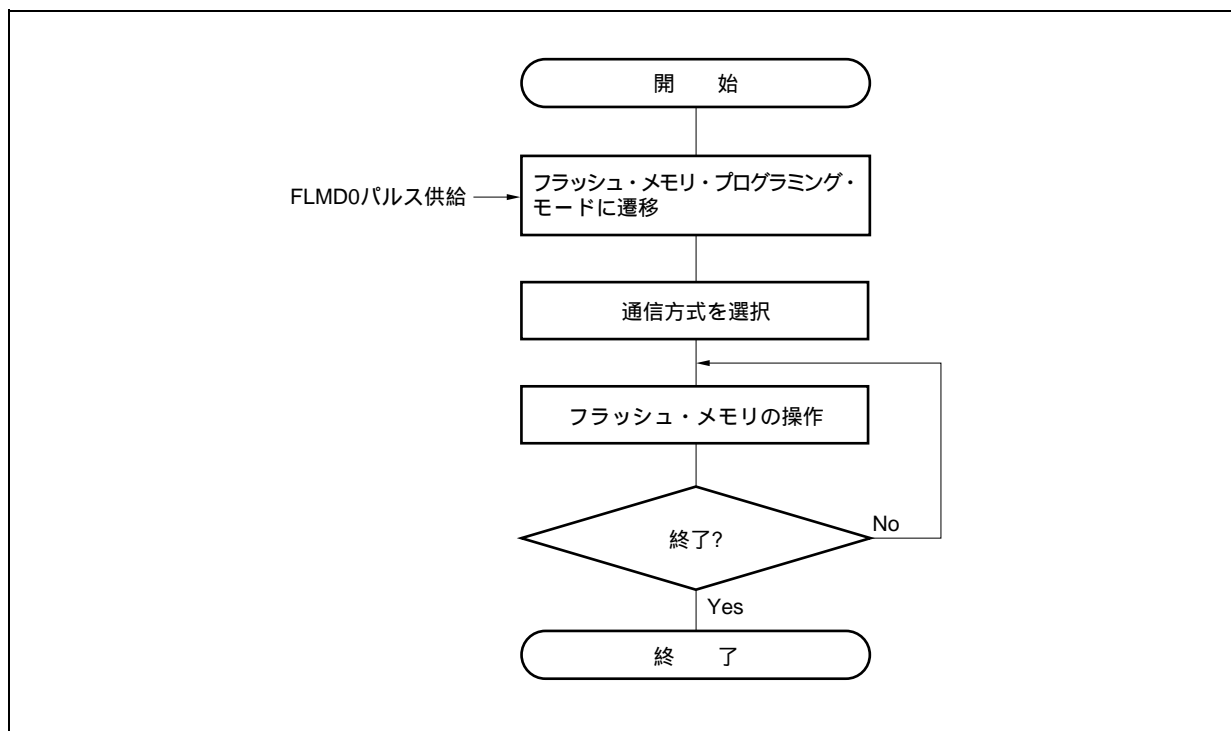
注意 DRST端子には、ハイ・レベルを入力しないでください。

- 備考1. 記述していない端子は、未使用時の端子処理に従って処理してください(2.3 端子の入出力回路タイプと未使用時の処理参照)。
2. このアダプタは100ピン・プラスチックLQFPパッケージ用です。

23.4.3 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

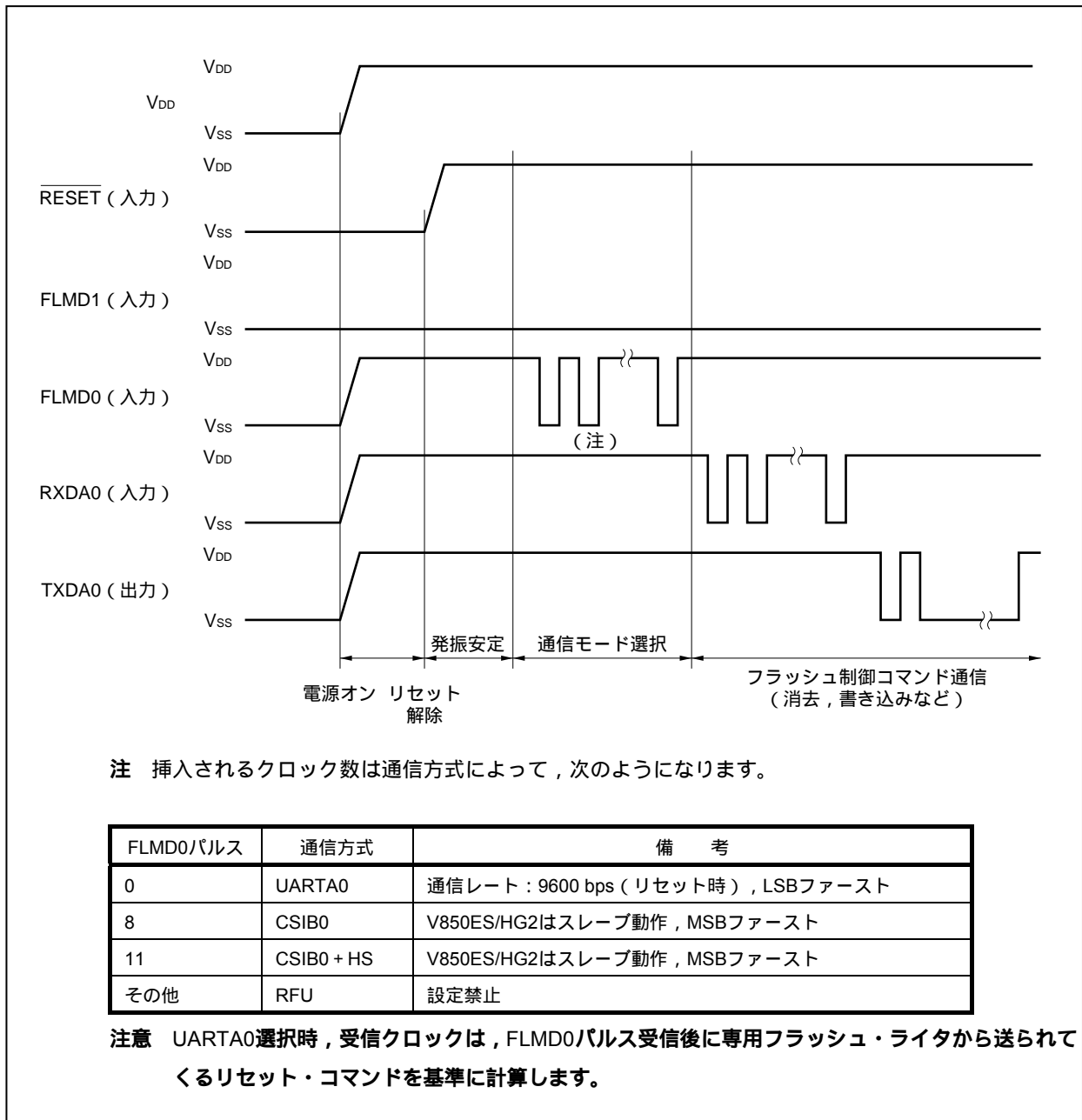
図23-7 フラッシュ・メモリの操作手順



23.4.4 通信方式の選択

V850ES/HG2では、フラッシュ・メモリ・プログラミング・モードに遷移後、FLMD0端子にパルス（最大11パルス）を入力することで通信方式を選択します。このFLMD0パルスは専用フラッシュ・ライタが生成します。パルス数と通信方式の関係を次に示します。

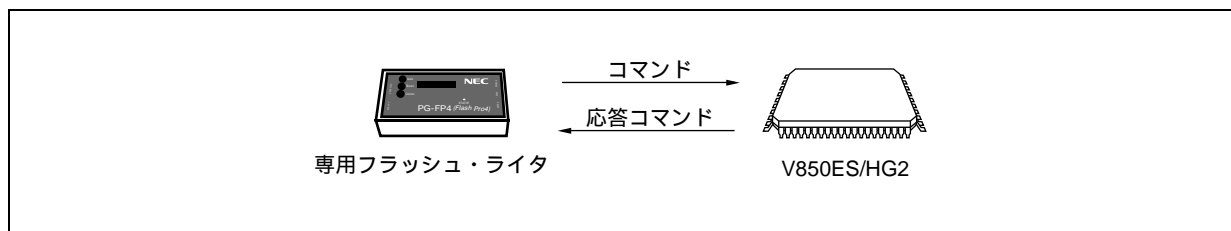
図23 - 8 通信方式の選択



23.4.5 通信コマンド

V850ES/HG2と専用フラッシュ・ライタは、コマンドを介して通信します。専用フラッシュ・ライタからV850ES/HG2へ送られる信号を「コマンド」と呼び、V850ES/HG2から専用フラッシュ・ライタへ送られる応答信号を「応答コマンド」と呼びます。

図23-9 通信コマンド



V850ES/HG2のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてライタから発行され、V850ES/HG2がコマンドに対応した各処理を行います。

表23-7 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	対応			機能
		CSIB0	CSIB0+HS	UARTA0	
ブランク・チェック	ブロック・ブランク・チェック・コマンド				指定したブロックのメモリの消去状態を確認
消去	チップ消去コマンド				全メモリの内容を消去
	ブロック消去コマンド				指定したブロックのメモリの内容を消去
書き込み	プログラム・コマンド				指定したアドレス範囲の書き込み、内容ベリファイ・チェックを実行
ベリファイ	ベリファイ・コマンド				指定したアドレス範囲のメモリの内容と、フラッシュ・ライタから転送されたデータを比較
	チェック・サム・コマンド				指定したアドレス範囲のチェック・サムを読み出す
システム設定, 制御	シリコン・シグネチャ・コマンド				シリコン・シグネチャ情報を読み出す
	セキュリティ設定コマンド				チップ消去コマンド, ブロック消去コマンド, プログラム・コマンド, リード・コマンドの禁止設定

23.4.6 端子処理

オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・ライタと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

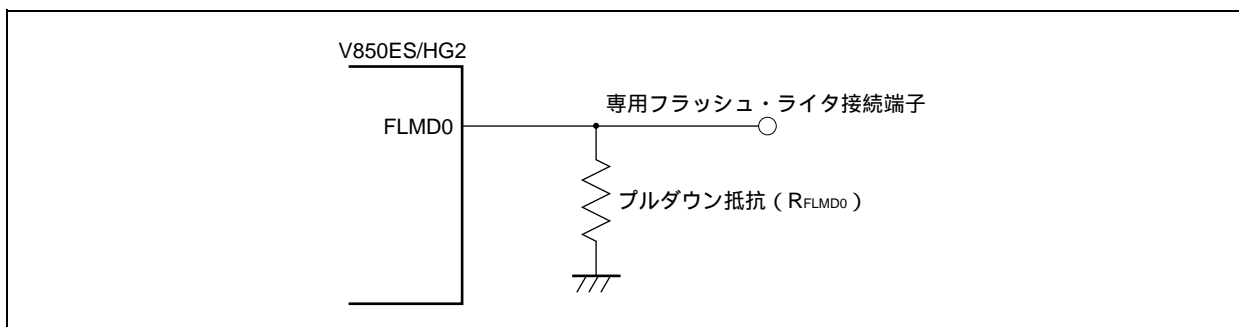
フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

(1) FLMD0端子

通常動作モード時は、FLMD0端子に V_{SS} レベルの電圧を入力します。また、フラッシュ・メモリ・プログラミング・モード時は、FLMD0端子に V_{DD} レベルの書き込み電圧を供給します。

また、FLMD0端子はセルフ・プログラミング・モード時には書き換え保護用の端子となるため、書き換え前にポート制御などによって、FLMD0端子に V_{DD} レベルの電圧を供給する必要があります。詳細は、23.5.5 (1) FLMD0端子を参照してください。

図23 - 10 FLMD0端子の接続例



(2) FLMD1端子

FLMD0端子に0 Vを入力された場合、FLMD1端子は機能しません。FLMD0端子に V_{DD} が供給された場合、フラッシュ・メモリ・プログラミング・モードに引き込むため、FLMD1端子に0 Vを入力する必要があります。FLMD1端子の接続例を次に示します。

図23 - 11 FLMD1端子の接続例

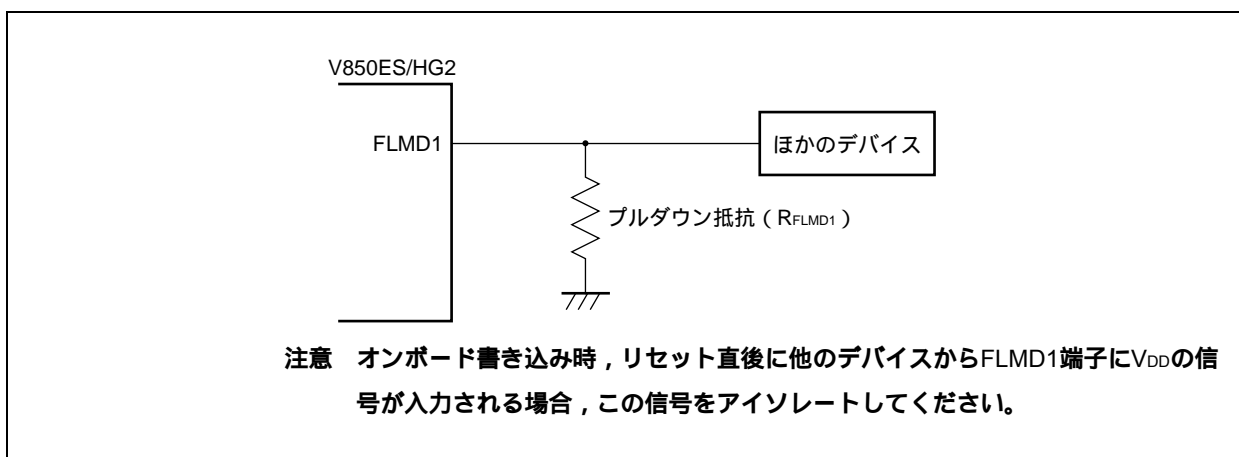


表23 - 8 リセット解除時のFLMD0, FLMD1端子の動作モードとの関係

FLMD0	FLMD1	動作モード
0	任意	通常動作モード
V _{DD}	0	フラッシュ・メモリ・プログラミング・モード
V _{DD}	V _{DD}	設定禁止

(3) シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表23 - 9 各シリアル・インタフェースが使用する端子

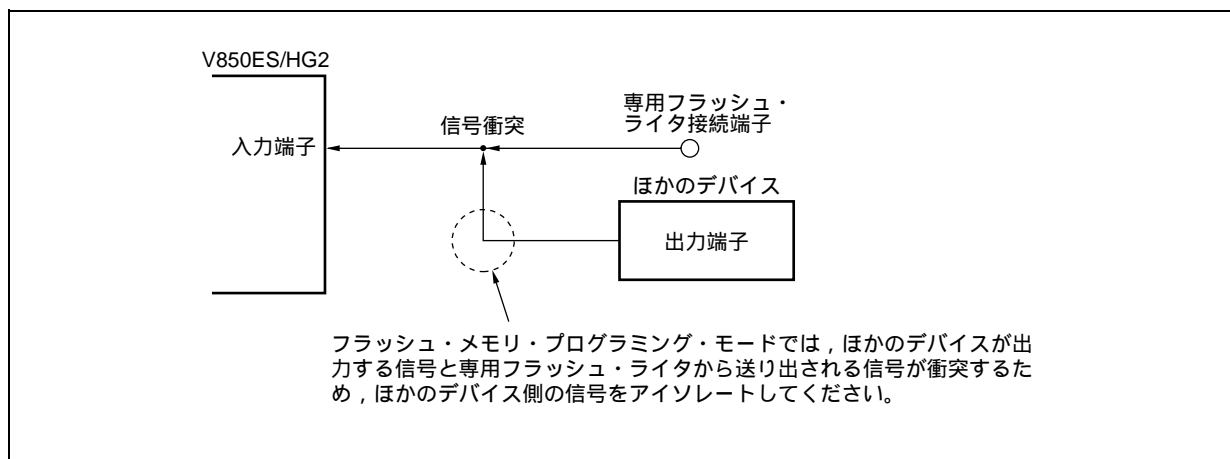
シリアル・インタフェース	使用端子
UARTA0	TXDA0, RXDA0
CSIB0	SOB0, SIB0, SCKB0
CSIB0 + HS	SOB0, SIB0, SCKB0, PCM0

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライタを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(a) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライタ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

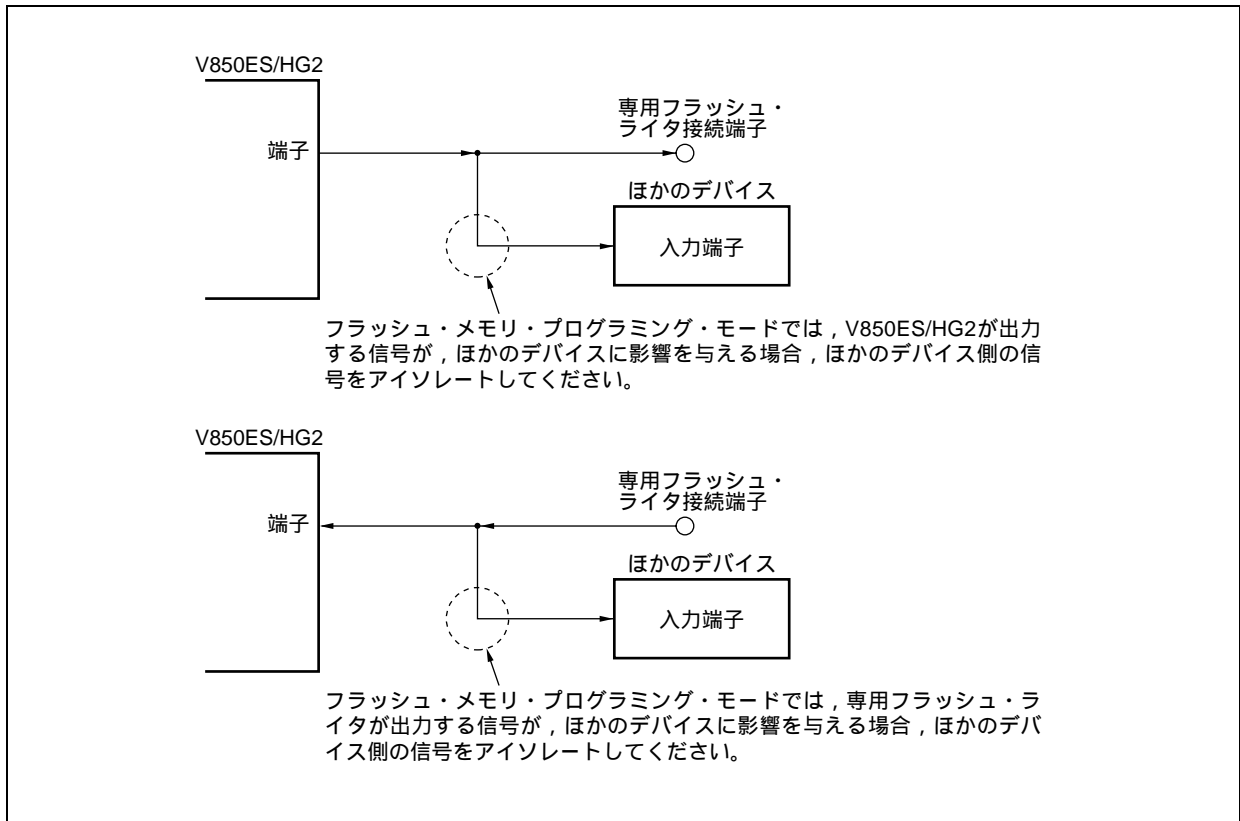
図23 - 12 信号の衝突（シリアル・インタフェースの入力端子）



(b) ほかのデバイスの異常動作

ほかのデバイス(入力)と接続しているシリアル・インタフェース用の端子(入力または出力)に、専用フラッシュ・ライター(出力または入力)を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートしてください。

図23 - 13 ほかのデバイスの異常動作

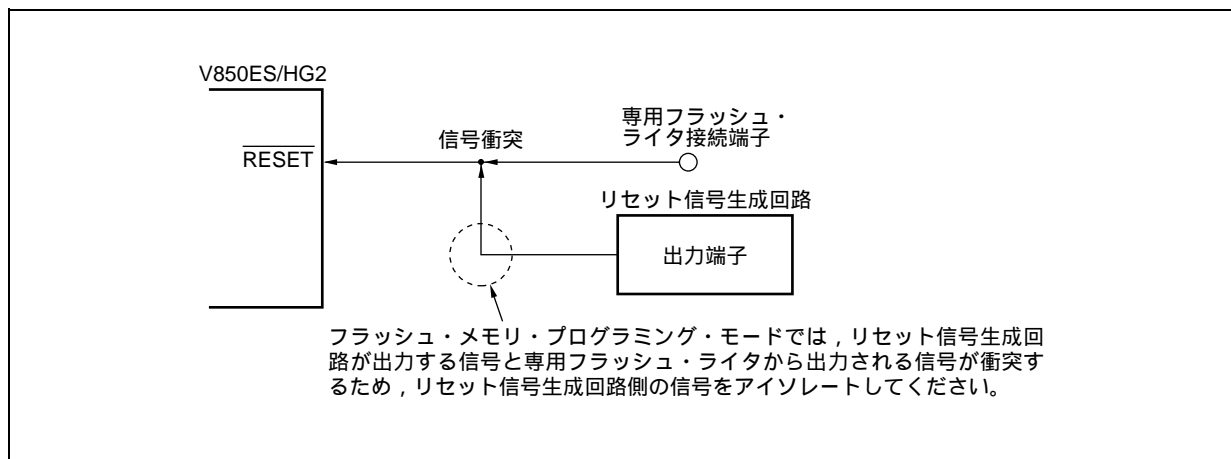


(4) RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図23 - 14 信号の衝突 (RESET端子)



(5) ポート端子 (NMIを含む)

フラッシュ・メモリ・プログラミング・モードに設定すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}に接続するか、または抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

(6) その他の信号端子

X1, X2, XT1, XT2は、通常動作モード時と同じ状態に接続してください。

また、フラッシュ・メモリ・プログラミング中、 $\overline{\text{DRST}}$ 端子はロウ・レベル入力またはオープンにし、ハイ・レベル入力しないようにしてください。

(7) 電 源

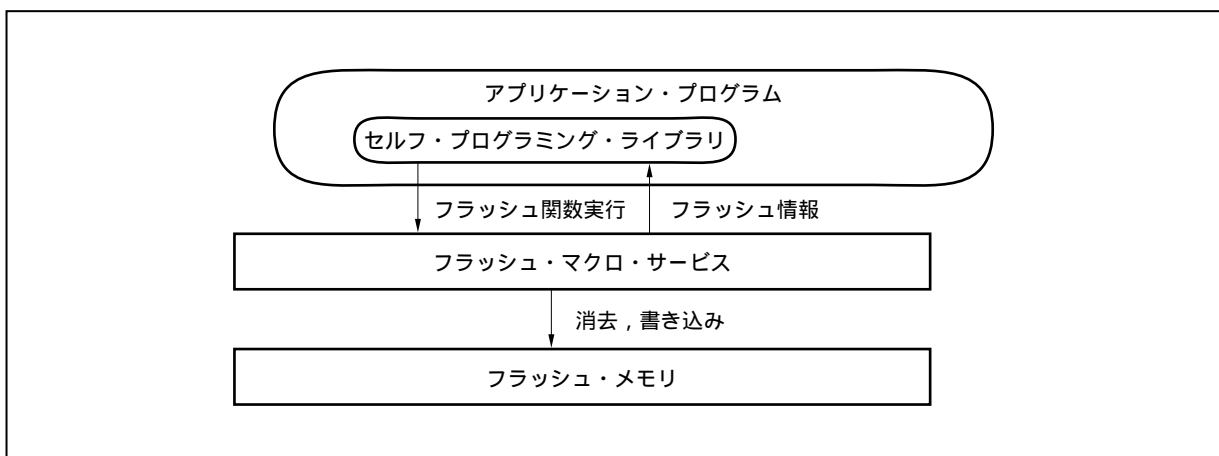
電源 (V_{DD}, V_{SS}, EV_{DD}, EV_{SS}, BV_{DD}, BV_{SS}, AV_{REF0}, AV_{SS}, REGC) は、通常動作モード時と同じ電源を供給してください。

23.5 セルフ・プログラミングによる書き換え

23.5.1 概 要

V850ES/HG2は、ユーザ・プログラム自身で内蔵フラッシュ・メモリの書き換えを行うための、フラッシュ・マクロ・サービスをサポートしています。このインタフェースおよび、フラッシュ・メモリの書き換えをユーザのアプリケーション・プログラムで行うためのセルフ・プログラミング・ライブラリを利用することにより、内蔵RAMもしくは、外部メモリへあらかじめ転送しておいたユーザ・アプリケーションから、フラッシュ・メモリの書き換えが可能になり、フィールドでのユーザ・プログラムのアップグレードや、定数データ書き換えを行うことができます。

図23 - 15 セルフ・プログラミングの概念図

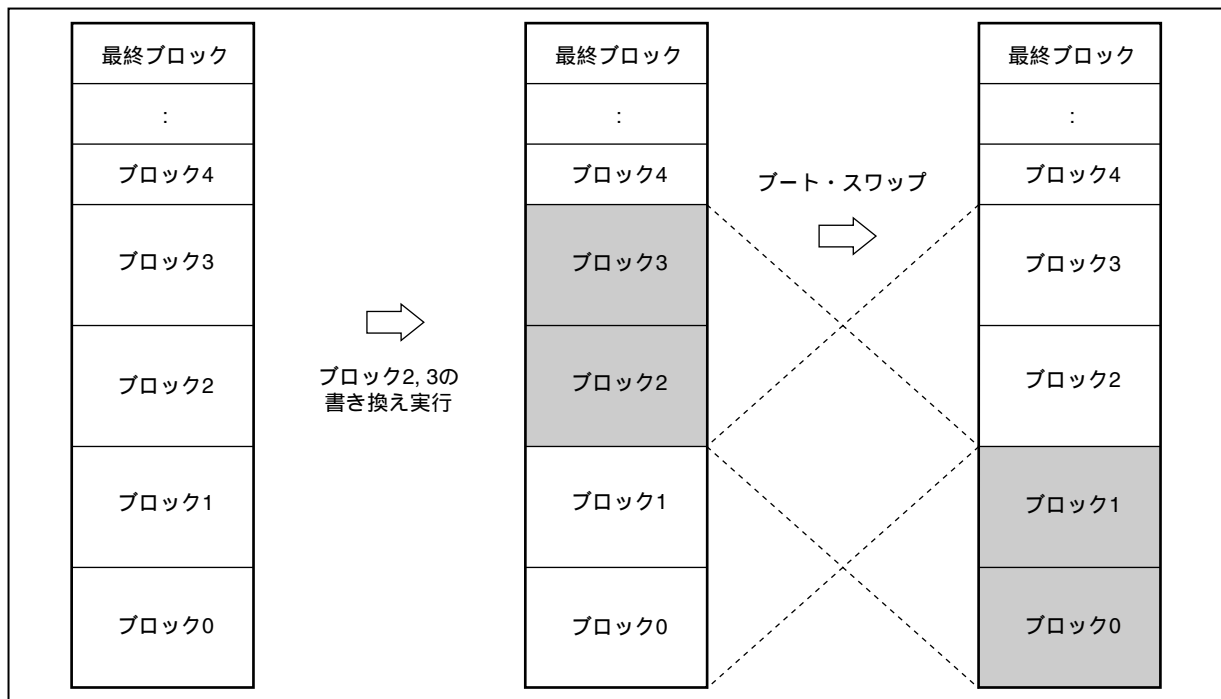


23.5.2 特 徴

(1) セキュア・セルフ・プログラミング (ブート・スワップ機能)

V850ES/HG2は、ブロック0, 1の物理メモリと、ブロック2, 3の物理メモリを入れ替えることができるブート・スワップ機能をサポートしているため、あらかじめ書き換えたい起動用のプログラムをブロック2, 3に書いておき、物理メモリをスワップさせることにより、書き換え中に電源遮断が発生しても常にブロック0, 1には正常なユーザ・プログラムが存在する状態となるため、全領域の書き換えが安全に実行可能となります。

図23 - 16 全メモリ領域の書き換え (ブート・スワップ対応)



(2) 割り込み対応

セルフ・プログラミング中は、フラッシュ・メモリからの命令フェッチが不可能であるため、割り込みが発生してもフラッシュ・メモリに書き込まれているユーザ・ハンドラは使用できません。

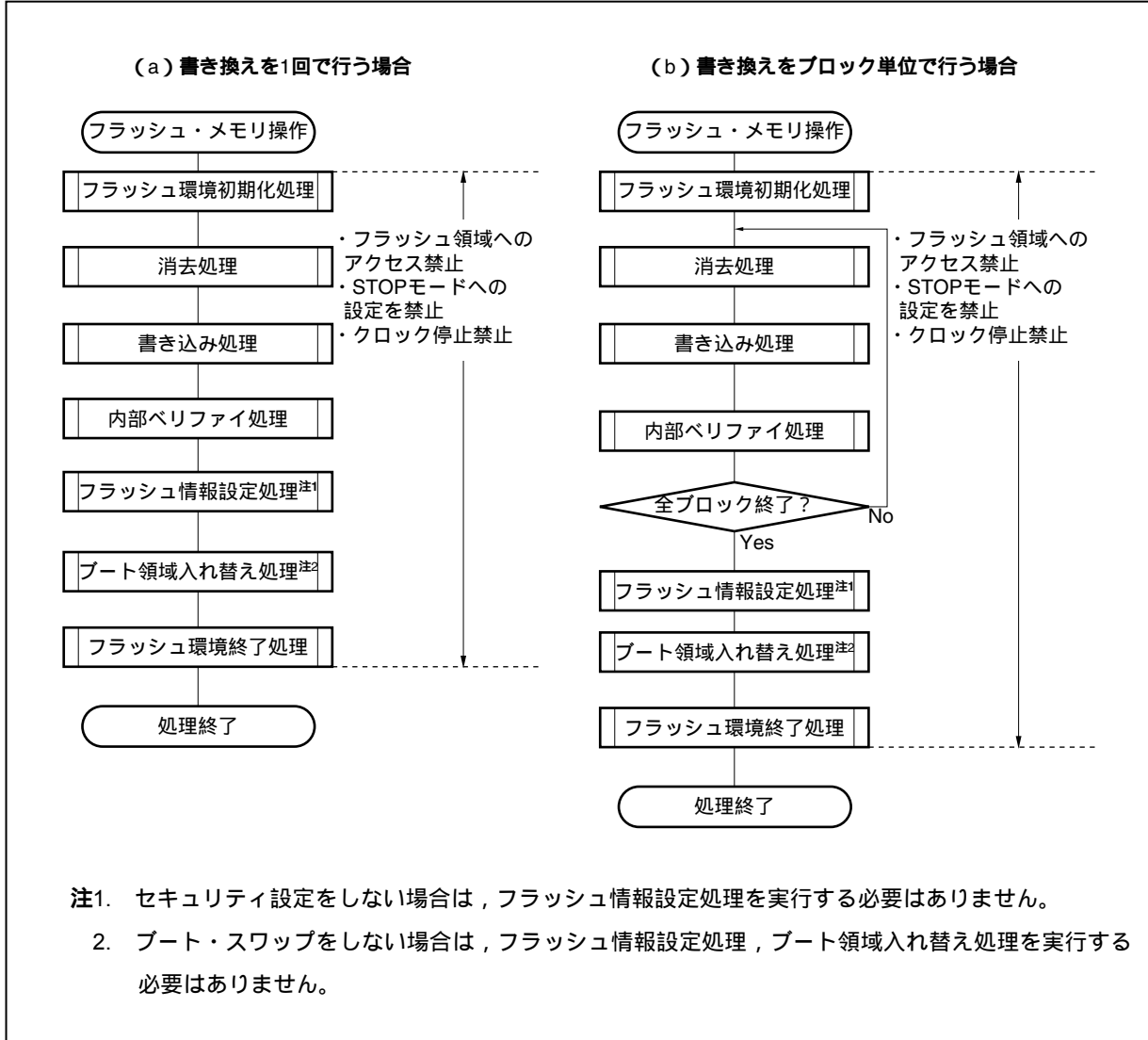
そのため、V850ES/HG2では、セルフ・プログラミング中に割り込みを利用する場合、内蔵RAMの特定番地[※]に処理が移ります。したがって、あらかじめ内蔵RAMの特定番地[※]にユーザ割り込み処理へ遷移するjump命令を用意してください。

注 NMI割り込み : 内蔵RAMの先頭番地
 マスカブル割り込み : 内蔵RAMの先頭 + 4番地

23.5.3 標準セルフ・プログラミング・フロー

フラッシュ・セルフ・プログラミングにて、フラッシュ・メモリへの書き換えを行う際の全体処理を次に示します。

図23 - 17 標準セルフ・プログラミング・フロー



23.5.4 フラッシュ関数一覧

表23 - 10 フラッシュ関数一覧

関数名	概要	対応
FlashEnv	フラッシュ制御マクロの初期化	
FlashBlockErase	指定した1ブロックの消去	
FlashWordWrite	指定したアドレスからの書き込み	
FlashBlockVerify	指定した1ブロックの内部ベリファイ	
FlashBlockBlankCheck	指定した1ブロックのブランク・チェック	
FlashFLMDCheck	FLMD端子のチェック	
FlashStatusCheck	直前に指定した動作のステータス・チェック	
FlashGetInfo	フラッシュ情報の読み出し	
FlashSetInfo	フラッシュ情報の設定	
FlashBootSwap	ブート領域入れ替え	
FlashWordRead	指定したアドレスからのデータ読み出し	
FlashSetUserHandler	ユーザ割り込みハンドラ登録関数	

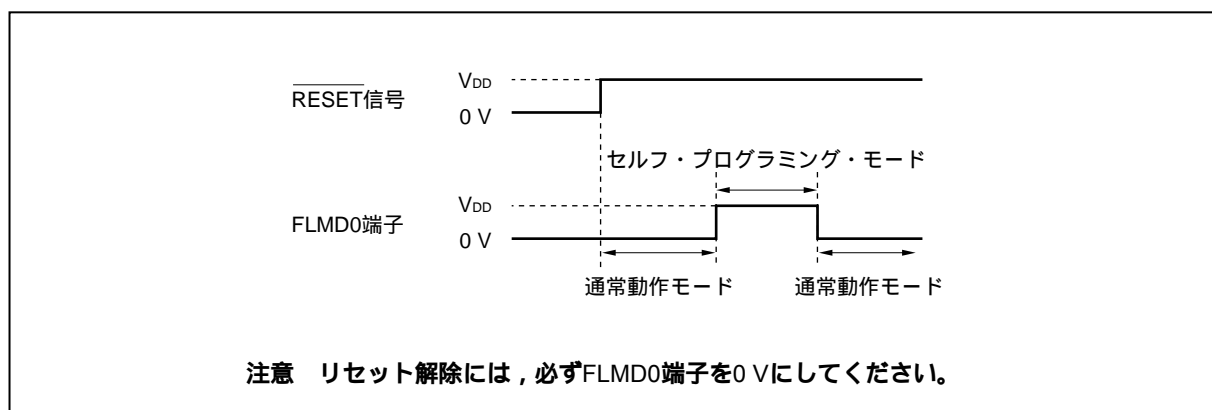
23.5.5 端子処理

(1) FLMD0端子

FLMD0端子は、リセット解除時の動作モード設定と、セルフ書き換え時の書き換え保護機能の兼用端子となっているため、リセット解除～通常動作実行時は、FLMD0端子へ印加される電圧を0 Vに保持し、セルフ・プログラミング・モードの期間は、書き換え前にポート制御などによって、FLMD0端子に V_{DD} レベルの電圧を印加する必要があります。

また、セルフ・プログラミングが終了したあとは、FLMD0端子の電圧を0 Vに戻す必要があります。

図23 - 18 モード切り替わりタイミング



23.5.6 使用する内部資源

セルフ・プログラミングにて使用する内部資源を次に示します。なお、セルフ・プログラミング以外では、次の内部資源については自由に使用できます。

表23 - 11 使用する内部資源

リソース名	説明
スタック領域 (ユーザ・スタック+300バイト)	ユーザの使用しているスタックの延長をライブラリが使用。 (内部RAM / 外部RAMのどちらでも使用可)
ライブラリ・コード (約2500バイト)	ライブラリのプログラム本体。 (操作対象のフラッシュ・メモリ・ブロック以外ならどこでも使用可)
アプリケーション・プログラム	ユーザ・アプリケーションとしての実行 フラッシュ関数の呼び出し
マスカブル割り込み	ユーザ・アプリケーションの実行状態，セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用した場合，内蔵RAMの先頭+4番地に処理が移るため，あらかじめ内蔵RAMの先頭+4番地にユーザ割り込み処理へ遷移するjump命令を用意してください。
NMI割り込み	ユーザ・アプリケーションの実行状態，セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用した場合，内蔵RAMの先頭番地に処理が移るため，あらかじめ内蔵RAMの先頭番地にユーザ割り込み処理へ遷移するjump命令を用意してください。

第24章 オプション・バイト機能

オプション・バイトは、内蔵フラッシュ・メモリの000007AH番地（内蔵ROM領域）に8ビット・データとして格納しています。

V850ES/HG2にプログラムを書き込む場合には、必ず000007AH番地に次のオプションに対応した、オプション・データを初期値データとしてプログラム上に設定してください。

なお、プログラム実行上、この領域のデータの書き換えなどはできません。

アドレス：000007AH

7	6	5	4	3	2	1	0
OPB7	OPB6	-	-	-	-	OPB1	OPB0

OPB7	OPB6	サブクロック動作モード設定
0	0	水晶発振振動子モード
1	1	RC発振器モード

OPB1	ウォッチドッグ・タイマ2モード設定
0	動作クロック (f_x/f_R) 選択可 INTWDT2モード / WDTRESモード選択可
1	内蔵発振クロック (f_R) 動作固定 WDTRESモード固定

OPB0	内蔵発振器停止可能 / 停止不可
0	停止可能
1	停止不可

次に、CA850をご使用の場合のプログラム例を示します。

[プログラム例]

```
#-----  
# OPTION_BYTES  
#-----  
  
.section "OPTION_BYTES"  
.byte 0b00000001 -- 0x7a  
.byte 0b00000000 -- 0x7b  
.byte 0b00000000 -- 0x7c  
.byte 0b00000000 -- 0x7d  
.byte 0b00000000 -- 0x7e  
.byte 0b00000000 -- 0x7f
```

注意 このセクションは必ず6バイト分を記述してください。6バイト以下の場合は、リンカの際にエラーとなります。

エラー・メッセージ： F4112: illegal "OPTION_BYTES" section size.

備考 007BH-007FH番地には0x00を設定してください。

第25章 オンチップ・デバッグ機能

V850ES/HG2のオンチップ・デバッグ機能を実現するには次の2つの方法があります。

- ・DCU (デバッグ・コントロール・ユニット) を使用する方法
 \overline{DRST} , DCK, DMS, DDI, DDO端子をデバッグ・インタフェース端子としてV850ES/HG2に内蔵されているDCUによってオンチップ・デバッグを実現します。
- ・DCUを使用しない方法
DCUを使用せず, ユーザ資源を使用してMINICUBE2などによってオンチップ・デバッグを実現します。

2つのオンチップ・デバッグ機能の特徴を次に示します。

表25 - 1 オンチップ・デバッグ機能の特徴

	DCUを使用する方法	DCUを使用しない方法
デバッグ・インタフェース端子	\overline{DRST} , DCK, DMS, DDI, DDO	<ul style="list-style-type: none"> ・UARTA0使用時 RXDA0, TXDA0 ・CSIB0使用時 SIB0, SOB0, $\overline{SCKB0}$, HS (PCM0)
ユーザ資源の確保	不要	必要
ハードウェア・ブ레이크機能	2ポイント	2ポイント
ソフトウェア・ブ레이크機能	4ポイント	4ポイント
内蔵ROM領域	4ポイント	4ポイント
内蔵RAM領域	2000ポイント	2000ポイント
リアルタイムRAMモニタ機能 ^{注1}	可能	可能
ダイナミック・メモリ・モディフィケーション (DMM) 機能 ^{注2}	可能	可能
マスク機能	リセット, NMI, INTWDT2	\overline{RESET} 端子
ROMセキュリティ機能	10バイトIDコード認証	10バイトIDコード認証
使用するハードウェア	MINICUBE [®] など	MINICUBE2など
トレース機能	サポートしていません	サポートしていません
デバッグ割り込みインタフェース機能 (DBINT)	サポートしていません	サポートしていません

注1. プログラム実行中にメモリの内容の読み出しを行う機能です。

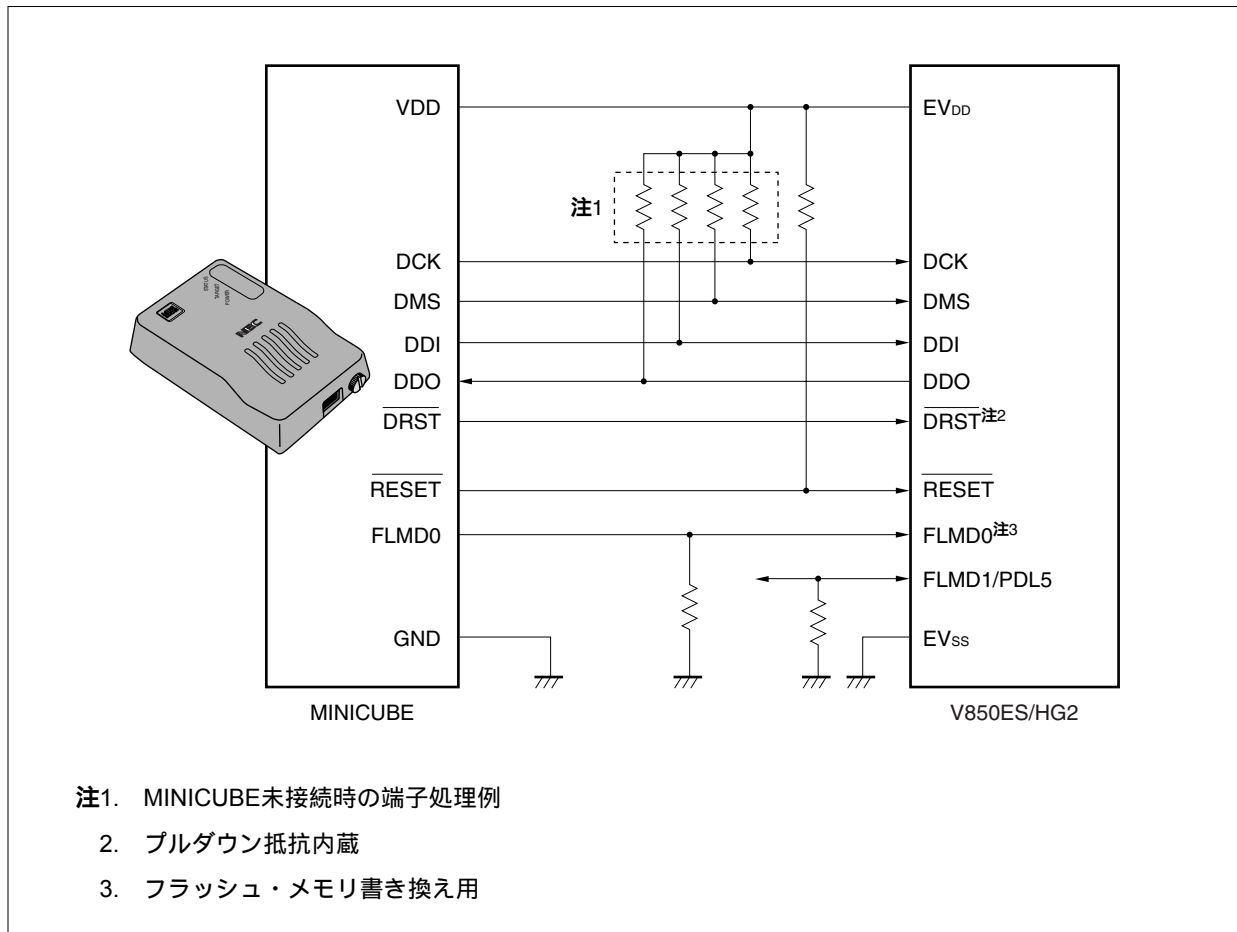
2. プログラム実行中にRAMの内容の書き換えを行う機能です。

25.1 DCUを使用する方法

デバッグ・インタフェース端子 ($\overline{\text{DRST}}$, DCK, DMS, DDI, DDO端子) を利用して, オンチップ・デバッグ・エミュレータ (MINICUBE) を接続することで, プログラムのデバッグが可能です。

25.1.1 接続回路例

図25 - 1 デバッグ・インタフェース端子を通信インタフェースとして使用する場合の回路接続例



25.1.2 インタフェース信号

インタフェース信号について説明します。

(1) $\overline{\text{DRST}}$

オンチップ・デバッグ・ユニット用のリセット入力信号です。デバッグ・コントロール・ユニットを非同期に初期化するための負論理の信号です。

MINICUBEは、統合デバッグの起動後にターゲット・システムのV_{DD}を検出すると、 $\overline{\text{DRST}}$ 信号をロウ・レベルからハイ・レベルに立ち上げて、対象デバイス内のオンチップ・デバッグ・ユニットを起動させます。

また、 $\overline{\text{DRST}}$ 信号がロウ・レベルからハイ・レベルに立ち上がることにより、CPUにもリセットが発生します。

統合デバッグを起動してデバッグを開始する際には、必ずCPUリセットが発生します。

(2) DCK

クロック入力信号です。MINICUBEから20 MHzのクロックを供給します。オンチップ・デバッグ・ユニット内で、DCK信号の立ち上がりに同期してDMS、DDI信号をサンプリングし、DCK信号の立ち下がりに同期してデータDDOを出力します。

(3) DMS

転送モード選択信号です。DMS信号のレベルによりデバッグ・ユニット内の転送状態が遷移します。

(4) DDI

データ入力信号です。オンチップ・デバッグ・ユニット内でDCKの立ち上がりに同期してサンプリングします。

(5) DDO

データ出力信号です。オンチップ・デバッグ・ユニットからDCK信号の立ち下がりに同期して出力されます。

(6) EV_{DD}

ターゲット・システムのV_{DD}検出用です。ターゲット・システムからのV_{DD}が未検出の場合は、MINICUBEからの出力信号 ($\overline{\text{DRST}}$, DCK, DMS, DDI, FLMD0, $\overline{\text{RESET}}$ 端子) はハイ・インピーダンスになります。

(7) FLMD0

統合デバッガによるフラッシュ・メモリへのダウンロード機能は、フラッシュ・セルフ・プログラミング機能を利用しています。フラッシュ・セルフ・プログラミング中はFLMD0端子をハイ・レベルにする必要があります。また、FLMD0端子にはプルダウン抵抗を接続してください。

FLMD0端子の制御方法として、次の2種類のうち、どちらかの方法を選択してください。

MINICUBEから制御する場合

MINICUBEからのFLMD0信号をデバイスのFLMD0端子に接続します。

通常モード時はMINICUBEからは何もドライブしません（ハイ・インピーダンス）。

ブレーク中、統合デバッガのダウンロード機能を実行した際にMINICUBEはFLMD0端子をハイ・レベルに制御します。

ポートから制御する場合

デバイスの任意のポートをFLMD0端子に接続します。

ユーザ・プログラムにおいてフラッシュ・セルフ・プログラミング機能を実現する場合と同じポート端子で問題ありません。

統合デバッガのコンソールによって、ダウンロード機能実行前にポート端子をハイ・レベルにする、または、ダウンロード機能実行後にポート端子をロウ・レベルにする設定を行ってください。

詳細はID850QB Ver.3.10 **統合デバッガ ユーザーズ・マニュアル 操作編 (U17435J)** を参照してください。

(8) $\overline{\text{RESET}}$

システム・リセット入力信号です。ユーザ・プログラムにおいてOCDM.OCDM0ビットの値によって、 $\overline{\text{DRST}}$ 端子を無効としたあとは、オンチップ・デバッグは行えません。そのため、MINICUBEからRESET端子によるリセットを与えて、 $\overline{\text{DRST}}$ 端子を有効（初期化）にします。

25. 1. 3 マスク機能

リセット, NMI, INTWDT2信号のマスクが可能です。

次にデバッガ (ID850QB) のマスク機能および対応する機能を示します。

表25 - 2 マスク機能

デバッガ (ID850QB) のマスク機能	対応するV850ES/HG2の機能
NMI0	NMI端子入力
NMI2	ノンマスクブル割り込み要求信号 (INTWDT2) 発生
STOP	x
HOLD	x
RESET	$\overline{\text{RESET}}$ 端子入力, 低電圧検出回路, クロック・モニタまたはウォッチドッグ・タイマ (WDT2) のオーバフローによるリセット信号発生
WAIT	x

25.1.4 レジスタ

(1) オンチップ・デバッグ・モード・レジスタ (OCDM)

通常動作モードとオンチップ・デバッグ・モードを切り替えるレジスタです。OCDMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.7 特定レジスタ参照)。

通常動作モードとオンチップ・デバッグ・モードを切り替えるレジスタで、オンチップ・デバッグ機能が割り付けられている兼用端子をオンチップ・デバッグ用端子として使用するか、通常のポート/周辺機能兼用端子として使用するかを指定します。また同時に、P05/INTP2/DRST端子の内蔵プルダウン抵抗の切断を制御します。

OCDMレジスタへの書き込みは、 $\overline{\text{DRST}}$ 端子にロウ・レベルが入力されているときのみ有効です。

8/1ビット単位でリード/ライト可能です。

リセット時：01H^注 R/W アドレス：FFFFFF9FCH

	7	6	5	4	3	2	1	0
OCDM	0	0	0	0	0	0	0	OCDM0

OCDM0	動作モード
0	通常動作モード（オンチップ・デバッグ兼用端子をポート/周辺機能端子として使用）かつ、P05/INTP2/DRST端子の内蔵プルダウン抵抗を切断
1	DRST端子がロウ・レベルの場合： 通常動作モード（オンチップ・デバッグ兼用端子をポート/周辺機能端子として使用） DRST端子がハイ・レベルの場合： オンチップ・デバッグ・モード（オンチップ・デバッグ・モード用端子として使用）

注 $\overline{\text{RESET}}$ 端子によるリセット時は01Hになります。ただし、WDT2RES信号、クロック・モニタ（CLM）、低電圧検出回路（LVI）によるリセット時は、OCDMレジスタの値を保持します。

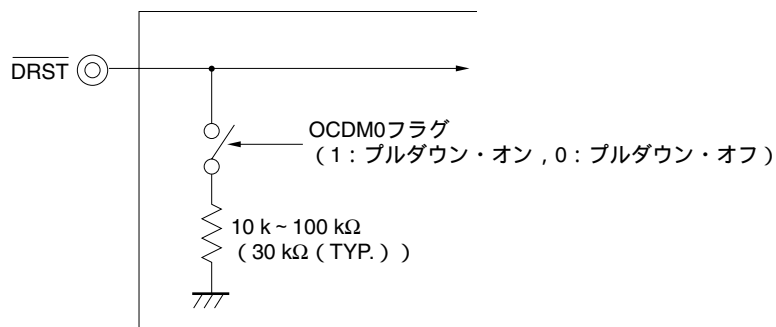
注意1. 外部リセット後、DDI, DDO, DCK, DMS端子をオンチップ・デバッグ用端子として使用せず、ポートとして使用する場合は、次のいずれかの処置が必要です。

- ・ P05/INTP2/DRST端子にロウ・レベルを入力します。
- ・ OCDM0ビットを設定します。この場合の処置は次のとおりです。

OCDM0ビットをクリア（0）します。

の処理を終えるまで、P05/INTP2/DRST端子入力をロウ・レベル固定にしておきます。

2. DRST端子はプルダウン抵抗を内蔵しています。OCDM0フラグを“0”に設定すると切断されます。



25.1.5 動作

オンチップ・デバッグ機能は次の表に示す条件で有効になります。

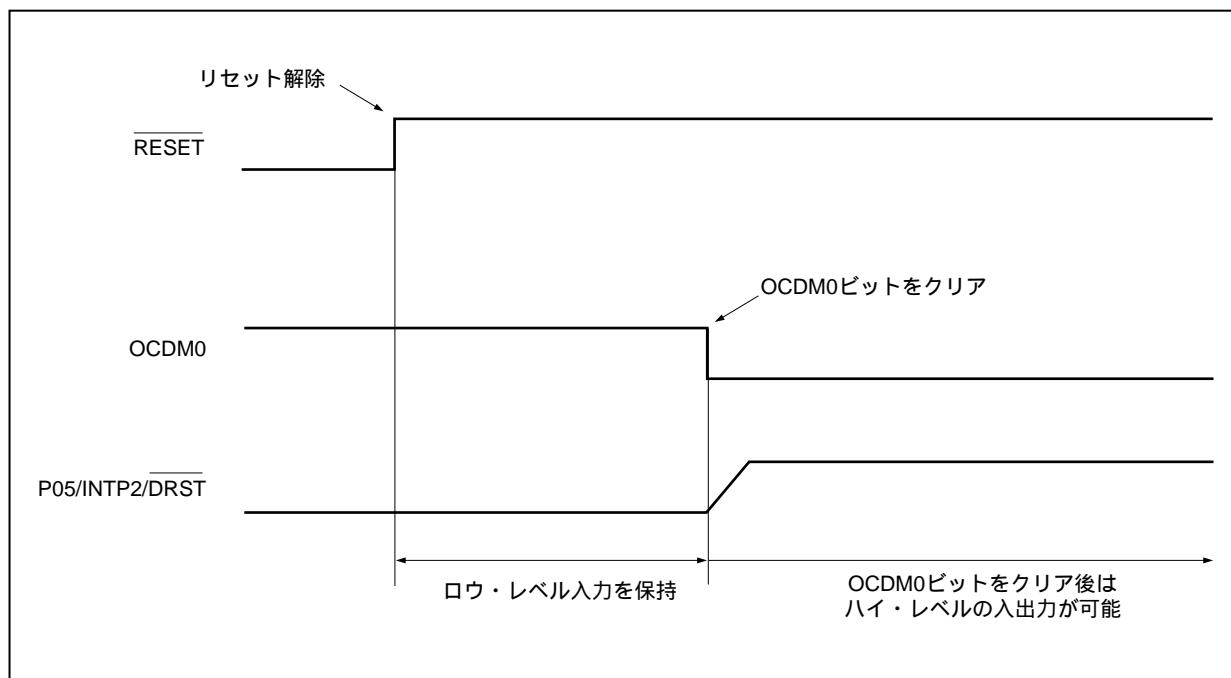
未使用時はOCDM0.OCDM0フラグをクリア（0）するまで、 $\overline{\text{DRST}}$ 端子はロウ・レベル入力の状態を保持してください。

OCDM0フラグ DRST端子	0	1
L	無効	無効
H	無効	有効

備考 L：ロウ・レベル入力

H：ハイ・レベル入力

図25 - 2 オンチップ・デバッグ機能未使用時のタイミング



25.1.6 注意事項

- (1) RUN中（プログラム実行中）にリセット入力（ターゲット・システムからのリセット入力や内部リセット要因によるリセット）があった場合、ブレーク機能が誤動作することがあります。
- (2) リセットをマスク機能でマスクしていても、端子からのリセットが入力された際に入出力バッファ（ポート端子）がリセット状態になる場合があります。
- (3) 内蔵フラッシュ・メモリに設定したソフトウェア・ブレークポイントは、ターゲット・リセットまたはウォッチドッグ・タイマ2により発生する内部リセットによって一時的に無効になります。ハードウェア・ブレークまたは強制ブレークによりいったんブレークしたあとには再度有効になりますが、それまではソフトウェア・ブレークは発生しません。
- (4) ブレーク中の端子リセットはマスクされ、CPUや周辺I/Oはリセットされません。また、ユーザ・プログラム実行中に、DMMで書き換える瞬間やRAMモニタ機能で読み出す瞬間に、端子リセットや内部リセットが発生した場合、CPUや周辺I/Oが正しくリセットされない場合があります。
- (5) 次に示す条件（a）、（b）を同時に満たし、エミュレータ（IECUBE[®]、MINICUBE）上でブレークなどにより動作を停止させた場合、ウォッチドッグ・タイマ2は停止せず、リセットまたはノンマスクブル割り込みが発生します。リセットが発生した場合は、デバッグがハングアップしてしまいます。
- (a) ウォッチドッグ・タイマ2のソース・クロックにメイン・クロックまたはサブクロックを使用している
 - (b) 内蔵発振クロックを停止している（RCM.RSTOPビット = 1）
- 回避策として次のいずれか1つを行ってください。
- ・エミュレータ使用時、ソース・クロックとして内蔵発振クロックを使用する
 - ・エミュレータ使用時、内蔵発振器を停止させない
- (6) 次に示す条件（a）、（b）を同時に満たし、エミュレータ（IECUBE、MINICUBE）上でブレークなどにより動作を停止させた場合、Peripheral Break機能が「Break」に設定されていてもTMMは停止しません。
- (a) TMMのソース・クロックにINTWT、内蔵発振クロック（fr/8）、サブクロックのいずれかを選択する
 - (b) メイン・クロックを停止する
- 回避策として次のいずれか1つを行ってください。
- ・エミュレータ使用時、ソース・クロックとしてメイン・クロック（fxx、fxx/2、fxx/4、fxx/64、fxx/512）を使用する
 - ・エミュレータ使用時、メイン・クロック発振を停止させない
- (7) オンチップ・デバッグ・モード時、DDO端子は強制的にハイ・レベル出力に設定されます。

25.2 DCUを使用しない方法

DCUを使用せず, UARTA0用端子(RXDA0, TXDA0)またはCSIB0用端子(SIB0, SOB0, $\overline{\text{SCKB0}}$, HS(PMC0))をデバッグ・インタフェースとしてMINICUBE2を使用してオンチップ・デバッグ機能を実現する方法を次に示します。

25.2.1 接続回路例

図25-3 UARTA0/CSIB0を通信インタフェースとして使用する場合の回路接続例

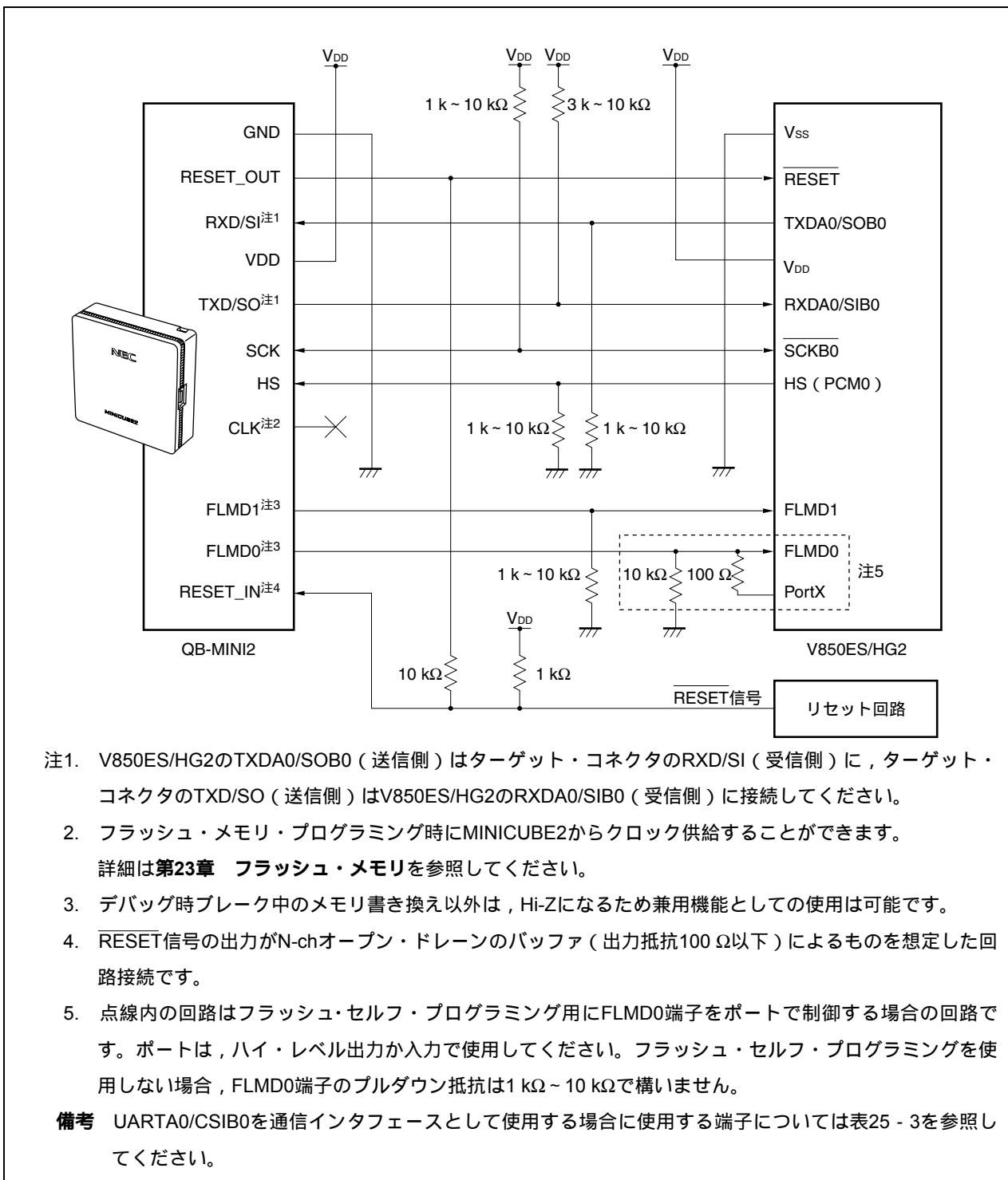


表25 - 3 V850ES/HG2とMINICUBE2の配線表

MINICUBE2 (QB-MINI2) 接続端子			CSIB0-HS使用時		UARTA使用時	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	V850ES/HG2からのコマンド, データ受信端子	P41/SOB0	23	P30/TXDA0	25
SO/TxD	出力	V850ES/HG2へのコマンド, データ送信端子	P40/SIB0	22	P31/RXDA0	26
SCK	出力	3線式シリアル通信用クロック出力端子	P42/SCKB0	24	必要なし	-
CLK ^注	出力	V850ES/HG2へのクロック出力端子	必要なし ^注	-	必要なし ^注	-
			必要なし ^注	-	必要なし ^注	-
RESET_OUT	出力	V850ES/HG2へのリセット出力端子	RESET	14	RESET	14
FLMD0	出力	V850ES/HG2をデバッグ・モード, またはプログラミング・モードにするための出力端子	FLMD0	8	FLMD0	8
FLMD1	出力	プログラミング・モードにするための出力端子	PDL5/FLMD1	76	PDL5/FLMD1	76
HS	入力	CSIB0 + HS通信のハンドシェイク信号	PCM0	61	必要なし	-
GND	-	グラウンド	V _{ss}	11	V _{ss}	11
			AV _{ss}	2	AV _{ss}	2
			BV _{ss}	69	BV _{ss}	69
			EV _{ss}	33	EV _{ss}	33
RESET_IN	入力	ターゲット・システム上のリセット入力端子				

注 MINICUBE2のフラッシュ・ライタとして使用する場合のクロック出力として使用します。詳細は第23章 フラッシュ・メモリを参照してください

25. 2. 2 マスク機能

リセット信号のみマスクが可能です。

次にデバッガ (ID850QB) のマスク機能および対応する機能を示します。

表25 - 4 マスク機能

デバッガ (ID850QB) のマスク機能	対応するV850ES/HG2の機能
NMI0	×
NMI1	×
NMI2	×
STOP	×
HOLD	×
RESET	RESET端子入力によるリセット信号発生
WAIT	×

25.2.3 ユーザ資源の確保

MINICUBE2は対象デバイスとの通信，または各デバッグ機能を実現するために次に示す準備を行う必要があります。これらは，ユーザ・プログラムやコンパイラ・オプションで設定する必要があります。

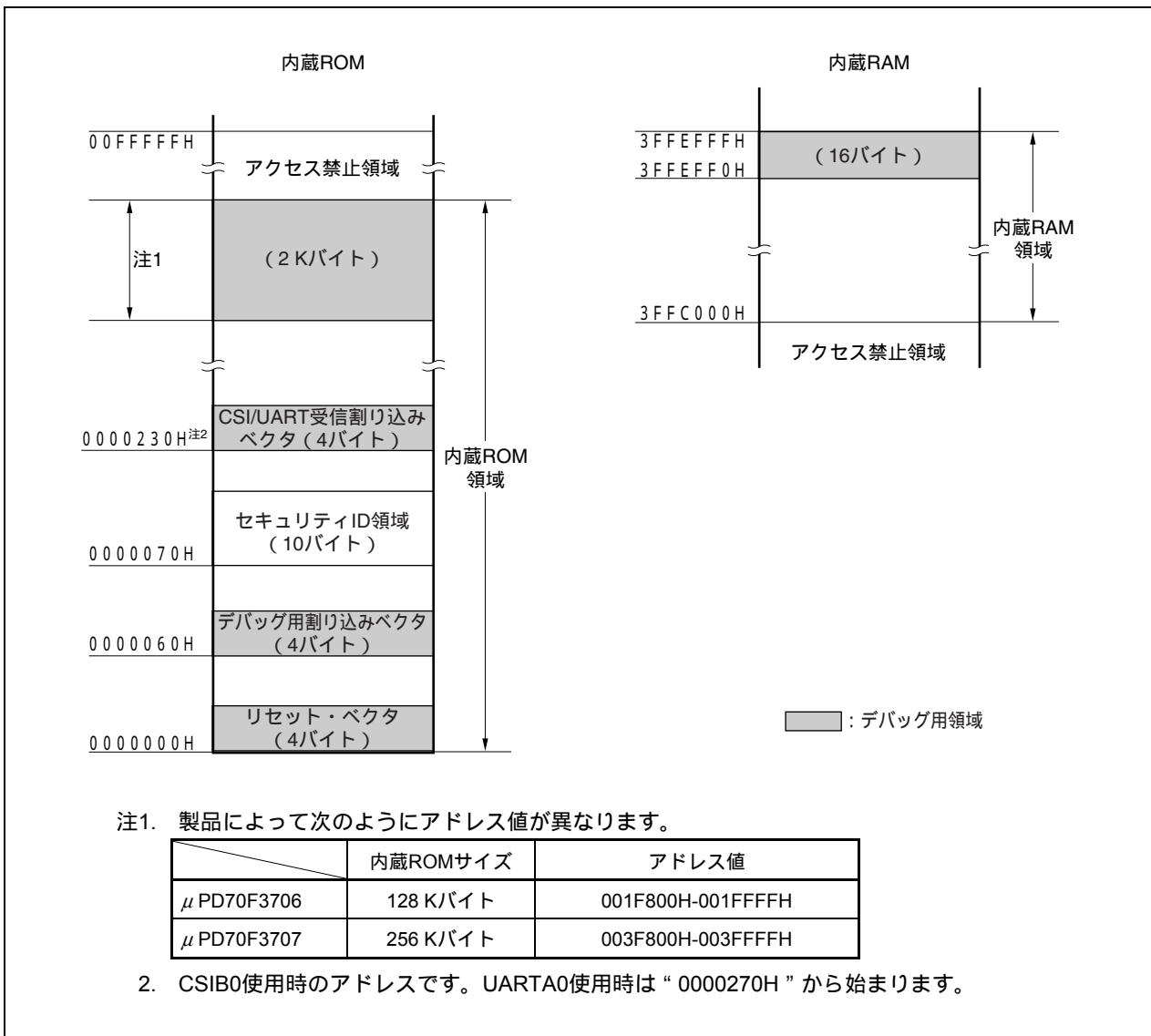
(1) メモリ空間の確保

図25 - 4で示すデバッグ領域はデバッグ用のモニタ・プログラムを組み込むために，ユーザ・プログラムやデータを配置できない空間です。この空間を使用しないように，領域を確保する必要があります。

(2) セキュリティIDの設定

図25 - 4で示す0000070H-0000079H領域は第三者からメモリの内容を読み取られないようにするために，IDコードを埋め込む必要があります。詳細は25.3 ROMセキュリティ機能を参照してください。

図25 - 4 デバッグ用モニタ・プログラムが配置されるメモリ空間



(3) リセット・ベクタ

リセット・ベクタにはデバッグ用モニタ・プログラムへのジャンプ命令が組み込まれます。

【領域確保の方法】

この領域は意図的に確保する必要はありません。ただし、プログラムのダウンロード時に、次のケースに応じてデバッガがリセット・ベクタの書き換えを行います。書き換えパターンが次に示すケースに一致しない場合、デバッガがエラーを発生します（ID850QBの場合F0C34番）。

(a) 0番地からnopが2個連続している場合

書き換え前	書き換え後
0x0 nop	0x0 デバッグ用モニタ・プログラムへジャンプ
0x2 nop	0x4 xxxx
0x4 xxxx	

(b) 0番地から0xFFFFが2個連続している場合（消去済みデバイスが該当します）

書き換え前	書き換え後
0x0 0xFFFF	0x0 デバッグ用モニタ・プログラムへジャンプ
0x2 0xFFFF	0x4 xxxx
0x4 xxxx	

(c) 0番地がjr命令の場合（CA850では通常このケースに該当）

書き換え前	書き換え後
0x0 jr disp22	0x0 デバッグ用モニタ・プログラムへジャンプ
	0x4 jr disp22 - 4

(d) 0番地からmov32とjmpが連続している（IAR社製コンパイラ ICCV850では通常このケースに該当）

書き換え前	書き換え後
0x0 mov imm32,reg1	0x0 デバッグ用モニタ・プログラムへジャンプ
0x6 jmp [reg1]	0x4 mov imm32,reg1
	0xa jmp [reg1]

(e) 0番地が既にデバッグ用モニタ・プログラムへのジャンプ命令の場合

書き換え前	書き換え後
0x0 デバッグ用モニタ・プログラムへジャンプ	変更なし

(4) デバッグ用モニタ・プログラム領域の確保

図25 - 4の示すデバック用領域は、デバッグ用モニタ・プログラムが配置される空間です。モニタ・プログラムはデバッグ用通信インタフェースの初期化処理や、CPUのRUN / ブレーク処理などを行うものです。内蔵ROM領域については0xFFでフィルする必要があります。また、この領域をユーザ・プログラム内で書き換えないようにすることが必要です。

【領域確保の方法】

この空間をユーザ・プログラムで使用しない場合は、必ずしも領域を確保する必要はありません。

しかし、デバッグ起動時のトラブルを回避するために、あらかじめコンパイラなどで領域確保しておくことを推奨いたします。

次に、NECエレクトロニクス社製コンパイラCA850を使用している場合に領域の確保を行う例を示します。次に示すように、アセンブル・ソースとリンクディレクティブ・コードを追加してください。

- ・アセンブル・ソース（次の内容をアセンブル・ソース・ファイルとして追加してください）

```
-- MonitorROMセクションとして2Kバイトの空間を確保
.section "MonitorROM", const
.space    0x800, 0xff

-- デバッグ用割り込みベクタの確保
.section "DBG0"
.space    4, 0xff

-- シリアル通信用割り込みベクタの確保
-- セクション名は使用するシリアル通信に応じて変更してください
.section "INTCB0R"
.space    4, 0xff

-- MonitorRAMセクションとして16バイトの空間を確保
.section "MonitorRAM", bss
.lcomm    monitorramsym, 16, 4 ;    -- monitorramsymシンボルを定義
```

- ・リンク・ディレクティブ（以下をリンク・ディレクティブ・ファイルの内容に追加してください）

次の例は、内蔵ROMが256 Kバイト（最終アドレス003FFFFH）、内蔵RAMが12 Kバイト（最終アドレス：3FFEFFFH）の場合です。

```
MROMSEG : !LOAD ?R V0x03f800{
        MonitorROM = $PROGBITS ?A MonitorROM;
};
MRAMSEG : !LOAD ?RW V0x03ffeff0{
        MonitorRAM = $NOBITS ?AW MonitorRAM;
};
```

(5) 通信シリアル・インタフェースの確保

MINICUBE2は対象デバイスと通信するためにUARTA0もしくはCSIB0のどちらかを使用します。これらのシリアル・インタフェースに関する設定は、デバッグ用モニタ・プログラムで行っていますが、ユーザ・プログラム上で、この設定を変更した場合、通信異常となりエラーが発生する可能性があります。

このようなトラブルが発生しないよう、ユーザ・プログラムで通信シリアル・インタフェースの確保を行う必要があります。

【通信シリアル・インタフェース確保の方法】

●オンチップ・デバッグ・モード・レジスタ (OCDM)

UARTA0, CSIB0を使用するオンチップ・デバッグ機能の場合、OCDMレジスタの機能を通常モードにする必要があります。必ず次の設定をしてください。

- ・ P05/INTP2/ $\overline{\text{DRST}}$ 端子にロウ・レベルを入力します。
- ・ OCDM0ビットを設定します。この場合の処置は次のとおりです。

OCDM0ビットをクリア (0) します。

の処理を終えるまで、P05/INTP2/ $\overline{\text{DRST}}$ 端子入力をロウ・レベル固定にしておきます。

●シリアル・インタフェースのレジスタ

通信用に使用するCSIB0やUARTA0のレジスタ設定は、ユーザ・プログラムで行わないようにしてください。

●割り込みマスク・レジスタ

通信用にCSIB0を使用する場合、転送終了割り込み (INTCB0R) をマスクしないようにしてください。UARTA0の場合、受信完了割り込み (INTUA0R) をマスクしないようにしてください。

(a) CSIB0の場合

	7	6	5	4	3	2	1	0
CB0RIC	x	0	x	x	x	x	x	x

(b) UARTA0の場合

	7	6	5	4	3	2	1	0
UA0RIC	x	0	x	x	x	x	x	x

備考 x : 任意

●UARTA0使用時のポートに関するレジスタ

通信用にUARTA0を使用する場合、TXDA0, RXDA0端子を有効になるように、デバッグ用モニタ・プログラムで行っています。デバッグ中に次のレジスタの設定をユーザ・プログラムで変更しないでください（同値書き込みは可能です）。

	7	6	5	4	3	2	1	0
PMC3L	x	x	x	x	x	x	1	1

備考 x : 任意

●CSIB0使用時のポートに関するレジスタ

通信用にCSIB0を使用する場合、SIB0, SOB0, $\overline{\text{SCKB0}}$ およびHS (PMC0) 端子が有効になるように、デバッグ用モニタ・プログラムで行っています。デバッグ中に次のレジスタの設定をユーザ・プログラムで変更しないでください（同値書き込みは可能です）。

(a) SIB0, SOB0, $\overline{\text{SCKB0}}$ の設定

	7	6	5	4	3	2	1	0
PMC4	x	x	x	x	x	1	1	1

(b) HS (PMC0端子) の設定

	7	6	5	4	3	2	1	0
PMCM	x	x	x	x	x	x	x	0

	7	6	5	4	3	2	1	0
PCM	x	x	x	x	x	x	x	注

注 ライト禁止です。

HS端子の値はモニタ・プログラムがデバッガの状態に応じて変更を行っています。ポート・レジスタの設定を8ビット単位で操作したい場合、ユーザ・プログラム上でリード・モディファイ・ライトを行えば、ほとんど問題ありませんが、ライト前にデバッグ用の割り込みが入った場合、意図しない動作になる可能性があります。

備考 x : 任意

25.2.4 注意事項

(1) デバッグに使用したデバイスの取り扱いについて

デバッグに使用したデバイスを、量産製品に搭載しないでください（デバッグ中にフラッシュ・メモリの書き換えをしており、フラッシュ・メモリの書き換え回数を保証することができないためです）。また、デバッグ用モニタ・プログラムは量産製品には組み込まないでください。

(2) ブレークができない場合について

次の状態が継続している場合は、強制ブレークすることができません。

- 割り込み禁止中（DI）の場合
- MINICUBE2と対象デバイスの通信に使用するシリアル・インタフェースの割り込みがマスクされている場合
- マスカブル割り込みによるスタンバイ解除を禁止している状態で、スタンバイ・モードに入っている場合
- MINICUBE2と対象デバイスの通信インタフェースがUARTA0の場合に、メイン・クロックを停止している場合

(3) 疑似リアルタイムRAMモニタ（RRM）機能やDMM機能が動作しない場合について

次の状態の場合、疑似RRM機能、DMM機能が動作しません。

- 割り込み禁止中（DI）の場合
- MINICUBE2と対象デバイスの通信に使用するシリアル・インタフェースの割り込みがマスクされている場合
- マスカブル割り込みによるスタンバイ解除を禁止している状態で、スタンバイ・モードに入っている場合
- MINICUBE2と対象デバイスの通信インタフェースがUARTA0の場合に、メイン・クロックを停止している場合
- MINICUBE2と対象デバイスの通信インタフェースがUARTA0の場合に、デバッガで指定する動作クロックと異なるクロックで動作している場合

(4) 疑似RRMやDMM機能を有効にしている場合のスタンバイ解除について

次の状態の場合、疑似RRM機能、DMM機能によりスタンバイ・モードが解除されます。

- MINICUBE2と対象デバイスの通信インタフェースがCSIB0の場合
- MINICUBE2と対象デバイスの通信インタフェースがUARTA0の場合に、メイン・クロックが停止していない場合

(5) 特定シーケンスを必要とする周辺I/OレジスタへのDMM機能による書き換えについて

特定シーケンスを必要とする周辺I/Oレジスタは、DMM機能により書き換えることができません。

(6) デバッガの起動速度が遅くなるデバイスについて

デバッガの初回起動時にチップ消去とデバッグ用モニタ・プログラムの書き込みを行います。この動作を行うために、十数秒ほどかかります。

(7) デバッグ用モニタ・プログラムの書き込みについて

デバッガでCPU動作クロックの設定変更を行った場合、デバッガがモニタ・プログラムを書き換えます。このとき、上記(6)と同様の時間がかかります。統合デバッガ ID850QBでは、コンフィギュレーション・ダイアログのClock欄の設定変更を行った場合に該当します。

(8) フラッシュ・セルフ・プログラミングについて

デバッグ用モニタ・プログラムが配置された空間を、フラッシュ・セルフ・プログラミングで書き換えた場合、デバッガが正常に動作しなくなります。

25.3 ROMセキュリティ機能

25.3.1 セキュリティID

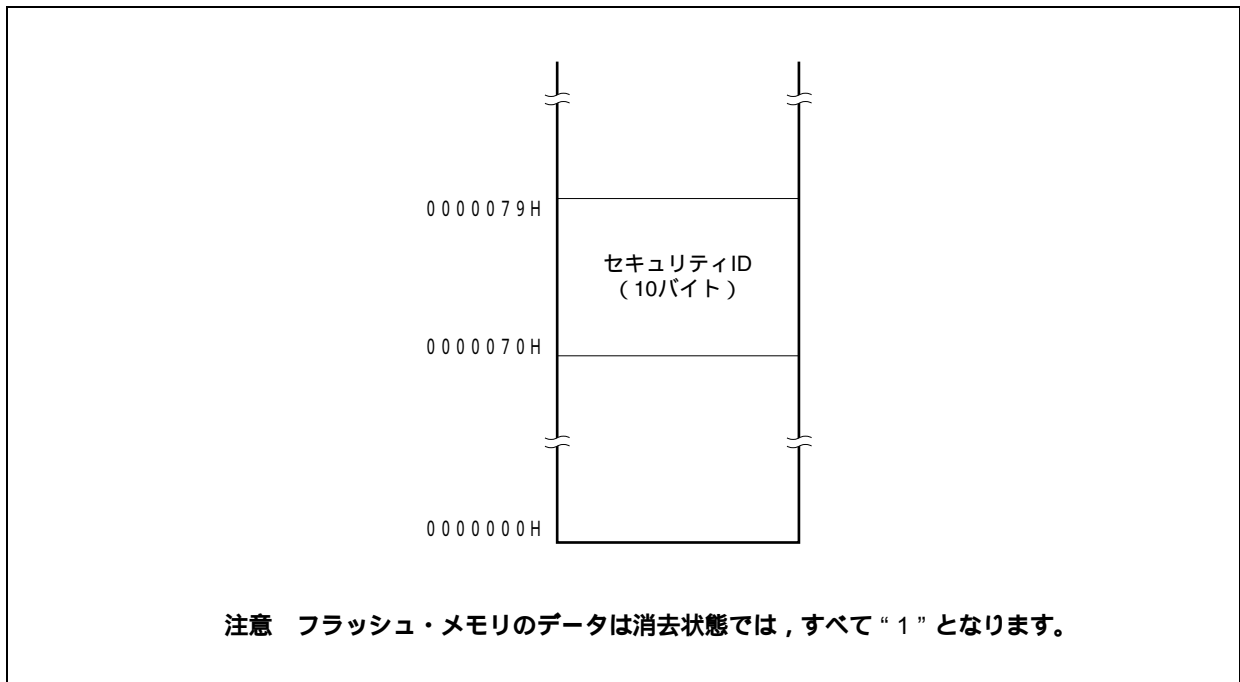
オンチップ・デバッグ・エミュレータによるオンチップ・デバッグ時、フラッシュ・メモリの内容を第三者に読み出されることを防ぐために、10バイトのIDコードによる認証を行います。

IDコードは、あらかじめ内蔵フラッシュ・メモリ領域の0000070H-0000079Hの10バイト分に設定し、デバッグがID認証を行います。

このID照合が一致していれば、セキュリティが解除されフラッシュ・メモリ読み出し許可、オンチップ・デバッグ・エミュレータ使用許可となります。

- ・10バイトのIDコードは、0000070H-0000079Hに設定します。
- ・0000079Hのビット7はオンチップ・デバッグ・エミュレータ使用許可フラグです。
(0: 使用禁止, 1: 使用許可)
- ・オンチップ・デバッグ・エミュレータを起動すると、デバッグがID入力を要求します。デバッグ上で入力したIDコードと、0000070H-0000079Hに埋め込んだIDコードが一致すればデバッグが起動します。
- ・IDコードが一致しても、オンチップ・デバッグ・エミュレータ使用許可フラグが“0”である場合は、デバッグを行うことはできません。

図25 - 5 セキュリティID領域



25.3.2 設定方法

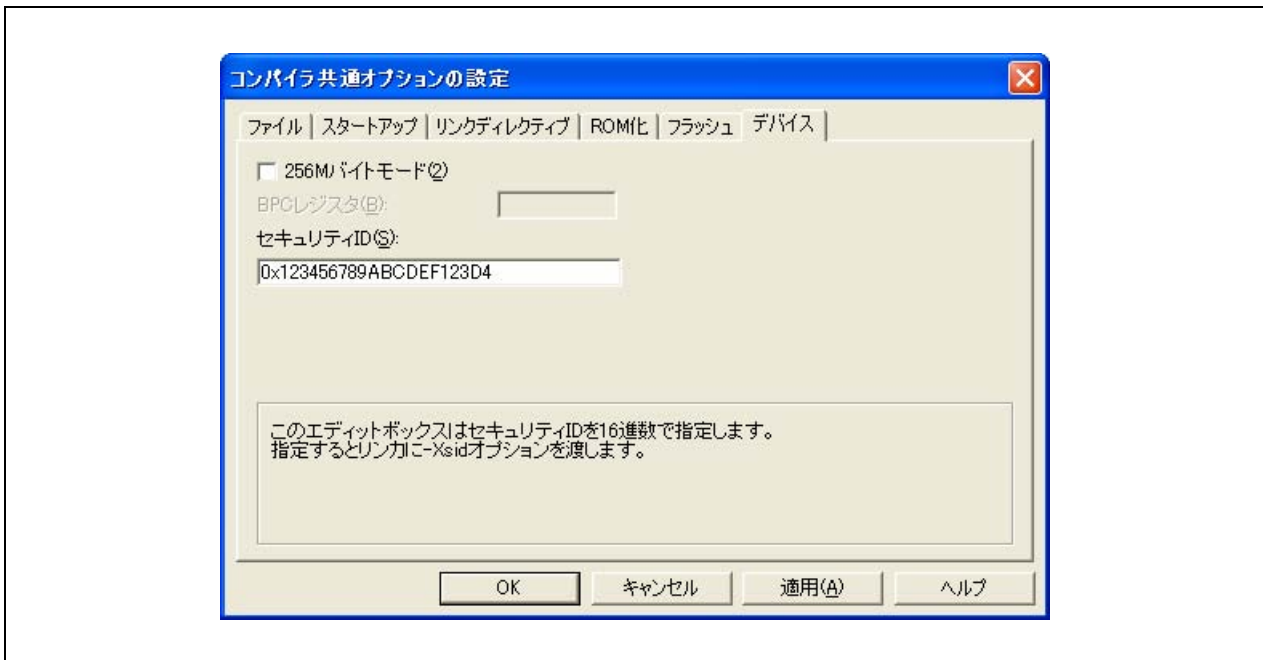
IDコードを表25 - 5のように設定する方法を次に示します。

表25 - 5のようにIDコードを設定した場合、ID850QBのコンフィギュレーション・ダイアログ上で入力するIDコードは「123456789ABCDEF123D4」となります（英数字は大文字でも小文字でも同じIDコードとして認識します）。

表25 - 5 IDコード

番地	値
0x70	0x12
0x71	0x34
0x72	0x56
0x73	0x78
0x74	0x9A
0x75	0xBC
0x76	0xDE
0x77	0xF1
0x78	0x23
0x79	0xD4

CA850 Ver. 3.10以上とセキュリティIDに対応したデバイス・ファイルであれば、PM+のコンパイラ共通オプション設定でIDコードを指定することができます。



[プログラム例 (CA850 V3.10以上 使用時)]

```
#-----  
# SECURITYID  
#-----  
    .section    "SECURITY_ID"    -- Interrupt handler address 0x70  
    .word       0x78563412       -- 0 - 3 byte code  
    .word       0xF1DEBC9A       -- 4 - 7 byte code  
    .hword      0xD423            -- 8 - 9 byte code
```

備考 上記プログラム例はスタートアップ・ファイルに追加してください。

第26章 電気的特性

26.1 絶対最大定格

絶対最大定格 (TA = 25°C) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}	V _{DD} = EV _{DD} = BV _{DD}	- 0.5 ~ + 6.5	V
	BV _{DD}	V _{DD} = EV _{DD} = BV _{DD}	- 0.5 ~ + 6.5	V
	EV _{DD}	V _{DD} = EV _{DD} = BV _{DD}	- 0.5 ~ + 6.5	V
	AV _{REF0}		- 0.5 ~ + 6.5	V
	V _{SS}	V _{SS} = EV _{SS} = BV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V
	AV _{SS}	V _{SS} = EV _{SS} = BV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V
	BV _{SS}	V _{SS} = EV _{SS} = BV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V
	EV _{SS}	V _{SS} = EV _{SS} = BV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V
入力電圧	V _{I1}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915, RESET, FLMD0	- 0.5 ~ EV _{DD} + 0.5 ^注	V
	V _{I2}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	- 0.5 ~ BV _{DD} + 0.5 ^注	V
	V _{I3}	X1, X2, XT1, XT2	- 0.5 ~ V _{RO} + 0.5	V
アナログ入力電圧	V _{IAN}	P70-P715	- 0.5 ~ AV _{REF0} + 0.5 ^注	V

注 それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

- 注意1. IC製品の出力(または入出力)端子同士を直結したり、V_{DD}またはV_{CC}やGNDに直結したりしないでください。
2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。
DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。
3. ハイ・インピーダンスとなる端子と外部回路を直結する場合、外部回路のほうで出力の衝突を避けるタイミング設計をする必要があります。

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです。

絶対最大定格 (TA = 25°C) (2/2)

項目	略号	条件	定格	単位			
ロウ・レベル出力電流	IoL	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915	1端子	4	mA		
			全端子合計	50	mA		
		P70-P715	1端子	4	mA		
			全端子合計	20	mA		
		PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	1端子	4	mA		
			全端子合計	50	mA		
		ハイ・レベル出力電流	IoH	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915	1端子	- 4	mA
					全端子合計	- 50	mA
P70-P715	1端子			- 4	mA		
	全端子合計			- 20	mA		
PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	1端子			- 4	mA		
	全端子合計			- 50	mA		
動作周囲温度	TA			通常動作モード	- 40 ~ + 85	°C	
				フラッシュ・メモリ・プログラミング・モード			
保存温度	Tstg		- 40 ~ + 125	°C			

- 注意1. IC製品の出力(または入出力)端子同士を直結したり、VDDまたはVCCやGNDに直結したりしないでください。
2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。
DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。
3. ハイ・インピーダンスとなる端子と外部回路を直結する場合、外部回路のほうで出力の衝突を避けるタイミング設計をする必要があります。

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです。

26.2 容 量

($T_A = 25^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = BV_{DD} = V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入出力容量	C_{IO}	$f_x = 1\text{ MHz}$, 被測定端子以外は0 V			10	pF

26.3 動作条件

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.5\text{ V} \sim 5.5\text{ V}$, 4.0 V AV_{REF0} 5.5 V , $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
内部システム・クロック周波数	f_{CLK}	REGC = $4.7\ \mu\text{F}$, メイン・クロック動作時	4		20	MHz
		REGC = $4.7\ \mu\text{F}$, サブクロック動作時(水晶振動子)	32		35	kHz
		REGC = $4.7\ \mu\text{F}$, サブクロック動作時(RC発振子)	12.5^{\ddagger}		27.5^{\ddagger}	kHz

注 内部システム・クロック周波数は発振周波数の1/2となります。

26.4 発振回路特性

26.4.1 メイン・クロック発振回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.5\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位	
セラミック 発振子		発振周波数 (f_x) ^{注1}		4		5	MHz	
		発振安定時間 ^{注2}	リセット解除後		$2^{16}/f_x$		s	
			STOPモード解除後	0.5 ^{注3}	注4	ms		
IDLE2モード解除後			0.35 ^{注3}	注4	ms			
水晶振動子			発振周波数 (f_x) ^{注1}		4		5	MHz
			発振安定時間 ^{注2}	リセット解除後		$2^{16}/f_x$		s
	STOPモード解除後			0.5 ^{注3}	注4	ms		
	IDLE2モード解除後			0.35 ^{注3}	注4	ms		

注1. 発振回路の特性だけを示すものです。

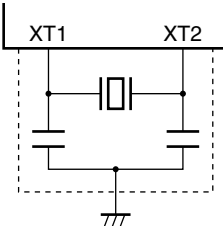
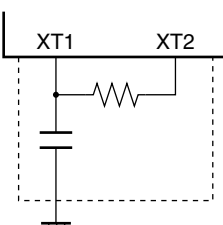
2. リセットまたはSTOPモード解除後，発振が安定するまでの時間です。
3. 内蔵フラッシュ・メモリへのアクセスが安定するまでの時間です。
4. OSTSレジスタの設定によって値が異なります。

注意1. メイン・クロック発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は，常に V_{SS} と同電位になるようにする。
 - ・大電流が流れるグランド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
2. メイン・クロックを停止させサブクロックで動作させているときに，再度メイン・クロックに切り替える場合には，プログラムで発振安定時間を確保したあとに切り替えてください。

26. 4. 2 サブクロック発振回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.5\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f_{XT}) ^{注1}		32	32.768	35	kHz
		発振安定時間 ^{注2}				10	s
RC発振子		発振周波数 ^{注1, 4}	$R = 390\text{ k}\Omega \pm 5\%$ ^{注3} $C = 47\text{ pF} \pm 10\%$ ^{注3}	25	40	55	kHz
		発振安定時間 ^{注2}				100	μs

注1. 発振回路の特性だけを示すものです。CPU動作クロックについては、26. 8 AC特性を参照してください。

2. V_{DD} が発振電圧範囲 (MIN.: 3.5 V) に達してから発振が安定するまでの時間です。
3. 配線容量の影響を避けるため、配線は極力短くしてください。
4. RC発振周波数は、40 kHz (TYP.値) です。このクロックは内部で2分周されます。RC発振子の場合、内部システム・クロック周波数 (f_{XT}) は、12.5 kHz (MIN.値)、20 kHz (TYP.値)、27.5 kHz (MAX.値) です。

注意1. サブクロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
 - ・大電流が流れるグランド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
2. サブクロック発振回路は、低消費電流にするため増幅度の低い回路になっており、ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって、サブクロックを使用する場合は、配線方法について特に注意してください。

26.4.3 PLL特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.5 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	f_x		4		5	MHz
出力周波数	f_{xx}		16		20	MHz
クロック時間	t_{PLL}	V_{DD} がMIN.: 3.5 Vに達したあと			800	μs

26.4.4 内蔵発振器特性

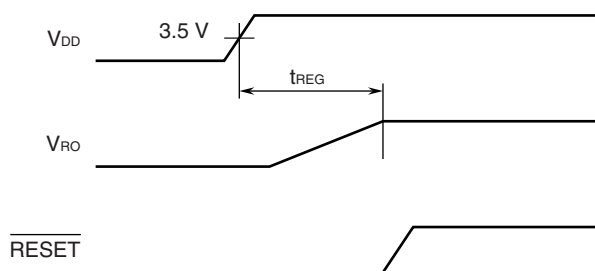
($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.5 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力周波数	f_R		100	200	400	kHz

26.5 電圧レギュレータ特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	V_{DD}		3.5		5.5	V
出力電圧	V_{RO}			2.5		V
出力電圧安定時間	t_{REG}	V_{DD} がMIN.: 3.5 Vに達したあと REGC端子に $C = 4.7 \mu\text{F} \pm 20\%$ を接続			1	ms



注意 必ず $\overline{\text{RESET}} = V_{SS} = 0 \text{ V}$ の状態 V_{DD} を立ち上げてください。

26.6 DC特性

26.6.1 入出力レベル

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.5 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$)

(1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH1}	P30, P34, P36-P38, P41, P98, P911	$0.7EV_{DD}$		EV_{DD}	V
	V_{IH2}	P00-P06, P10, P11, P31-P33, P35, P39, P40, P42, P50-P55, P90-P97, P99, P910, P912-P915	$0.8EV_{DD}$		EV_{DD}	V
	V_{IH3}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	$0.7BV_{DD}$		BV_{DD}	V
	V_{IH4}	P70-P715	$0.7AV_{REF0}$		AV_{REF0}	V
	V_{IH5}	$\overline{\text{RESET}}$, FLMD0	$0.8EV_{DD}$		EV_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	P30, P34, P36-P38, P41, P98, P911	EV_{SS}		$0.3EV_{DD}$	V
	V_{IL2}	P00-P06, P10, P11, P31-P33, P35, P39, P40, P42, P50-P55, P90-P97, P99, P910, P912-P915	EV_{SS}		$0.2EV_{DD}$	V
	V_{IL3}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	BV_{SS}		$0.3BV_{DD}$	V
	V_{IL4}	P70-P715	AV_{SS}		$0.3AV_{REF0}$	V
	V_{IL5}	$\overline{\text{RESET}}$, FLMD0	EV_{SS}		$0.2EV_{DD}$	V

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです。

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.5\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$)

(2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧 ^{注1}	V _{OH1}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915	I _{OH} = -1.0 mA	EV _{DD} - 1.0		EV _{DD}	V
			I _{OH} = -0.1 mA	EV _{DD} - 0.5		EV _{DD}	V
	V _{OH2}	PCM0-PCM3, PCS0, PCM1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	I _{OH} = -1.0 mA	BV _{DD} - 1.0		BV _{DD}	V
			I _{OH} = -0.1 mA	BV _{DD} - 0.5		BV _{DD}	V
	V _{OH3}	P70-P715	I _{OH} = -1.0 mA	AV _{REF0} - 1.0		AV _{REF0}	V
			I _{OH} = -0.1 mA	AV _{REF0} - 0.5		AV _{REF0}	V
ロウ・レベル出力電圧 ^{注1}	V _{OL1}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915	I _{OL} = 1.0 mA	0		0.4	V
	V _{OL2}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	I _{OL} = 1.0 mA	0		0.4	V
	V _{OL3}	P70-P715	I _{OL} = 1.0 mA	0		0.4	V
ブルアップ抵抗	R ₁	V _i = 0 V		10	30	100	kΩ
ブルダウン抵抗 ^{注2}	R ₂	V _i = V _{DD}		10	30	100	kΩ

注1. I_{OH}/I_{OL}の合計の最大値は、各電源 (EV_{DD}, BV_{DD}, AV_{REF0}) ごとに20 mA/-20 mAです。

2. DRST端子のみ。

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです。

26.6.2 端子リーク電流

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.5\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I _{LIH1}	V _{IN} = V _{DD}	アナログ端子		+ 0.2	μA
			アナログ端子以外		+ 0.5	
ロウ・レベル入力リーク電流	I _{LIL1}	V _{IN} = 0 V	アナログ端子		- 0.2	μA
			アナログ端子以外		- 0.5	
ハイ・レベル出力リーク電流	I _{LOH1}	V _O = V _{DD}	アナログ端子		+ 0.2	μA
			アナログ端子以外		+ 0.5	
ロウ・レベル出力リーク電流	I _{LOL1}	V _O = 0 V	アナログ端子		- 0.2	μA
			アナログ端子以外		- 0.5	

注意 FLMD0端子の値は次のようになります。

- ・ハイ・レベル入力リーク電流：2 μA (MAX.)
- ・ロウ・レベル入力リーク電流：-2 μA (MAX.)

26.6.3 電源電流

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.5 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD1	通常動作 モード	$f_{xx} = 20 \text{ MHz}$	全周辺機能動作中		30	45	mA
			($f_x = 5 \text{ MHz}$)	全周辺機能停止中		23		
	IDD2	HALT モード	$f_{xx} = 20 \text{ MHz}$	全周辺機能動作中		18	28	mA
			($f_x = 5 \text{ MHz}$)	全周辺機能停止中		11		
	IDD3	IDLE1 モード	$f_{xx} = 5 \text{ MHz}$ ($f_x = 5 \text{ MHz}$), PLLオフ時			0.6	0.9	mA
	IDD4	IDLE2 モード	$f_{xx} = 5 \text{ MHz}$ ($f_x = 5 \text{ MHz}$), PLLオフ時			0.25	0.7	mA
	IDD5	サブクロック 動作 モード ^{注2,3}	水晶振動子 ($f_{XT} = 32.768 \text{ kHz}$)			200	400	μA
			RC発振子 ($f_{XT} = 40 \text{ kHz}$ ^{注4})			200	400	μA
	IDD6	サブIDLE モード ^{注2,3}	水晶振動子 ($f_{XT} = 32.768 \text{ kHz}$)			20	120	μA
			RC発振子 ($f_{XT} = 40 \text{ kHz}$ ^{注4})			35	140	μA
	IDD7	ストップ・ モード ^{注2,5}	POC停止, 内蔵発振器停止			7	50	μA
POC動作, 内蔵発振器停止				10	55	μA		
POC停止, 内蔵発振器動作				15	65	μA		
POC動作, 内蔵発振器動作				18	70	μA		

注1. V_{DD} , EV_{DD} , BV_{DD} の電流の合計です(全ポート停止時)。 AV_{REF0} の電流, 内蔵プルアップ/プルダウン抵抗を通過する電流を含むポート・バッファの電流は含みません。

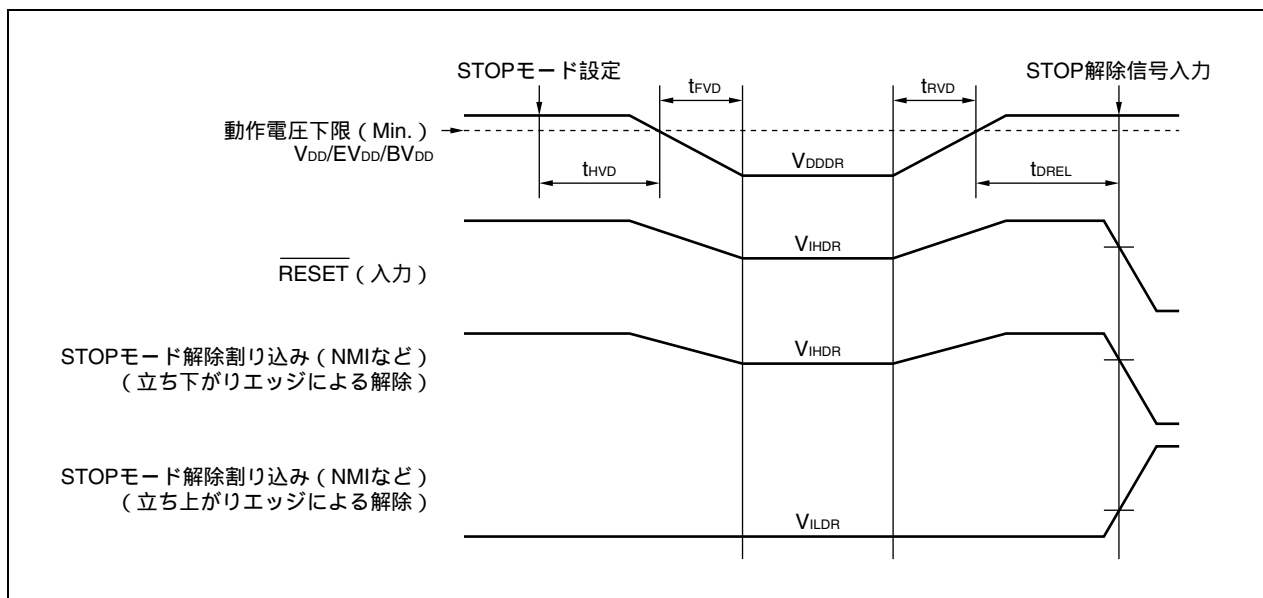
2. メイン・クロック発振停止時。
3. POC動作, 内蔵発振器動作。
4. RC発振周波数は40 kHz (TYP.値)です。このクロックは内部で2分周されます。
5. サブクロック発振未使用時。

26.7 データ保持特性

STOPモード時 ($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 1.9\text{ V} \sim 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$)

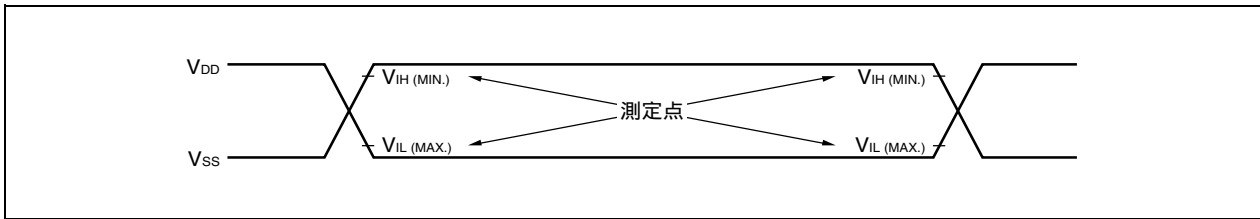
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V_{DDDR}	STOPモード (全機能停止)	1.9		5.5	V
データ保持電流	I_{DDDR}	$V_{DDDR} = 2.0\text{ V}$ (全機能停止)		6	45	μA
電源電圧立ち上がり時間	t_{rVD}		1			μs
電源電圧立ち下がり時間	t_{fVD}		1			μs
電源電圧保持時間	t_{HVD}	STOPモード解除後	0			ms
STOP解除信号入力時間	t_{DREL}	V_{DD} がMIN. 3.5 Vに達したあと	0			ms
データ保持ハイ・レベル入力電圧	V_{IHDR}	すべての入力ポート	$0.9 V_{DDDR}$		V_{DDDR}	V
データ保持ロウ・レベル入力電圧	V_{ILDR}	すべての入力ポート	0		$0.1 V_{DDDR}$	V

注意 STOPモードへの移行, およびSTOPモードからの復帰は, 動作範囲内で行ってください。

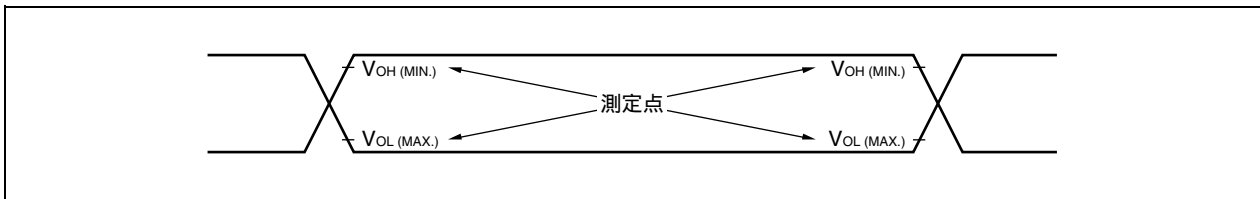


26.8 AC特性

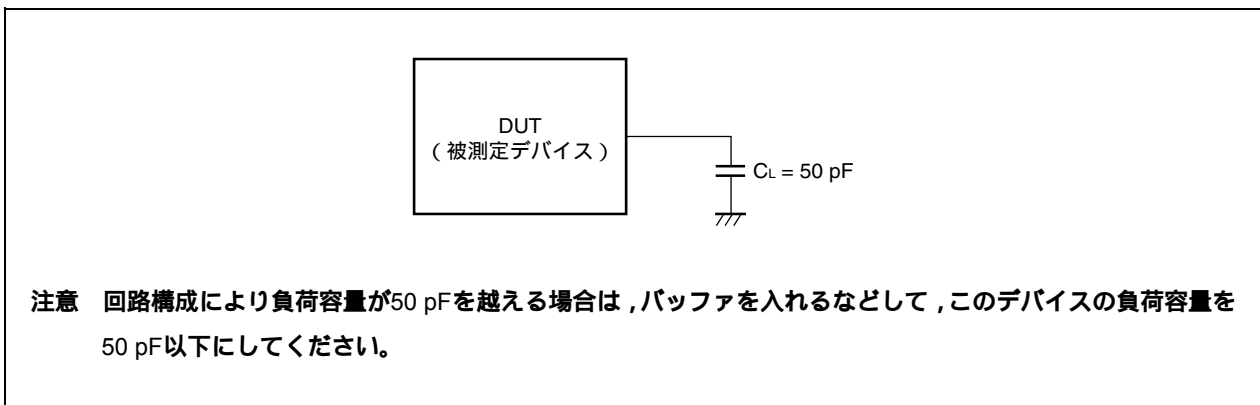
(1) ACテスト入力測定点 (V_{DD} , AV_{REF0} , EV_{DD} , BV_{DD})



(2) ACテスト出力測定点



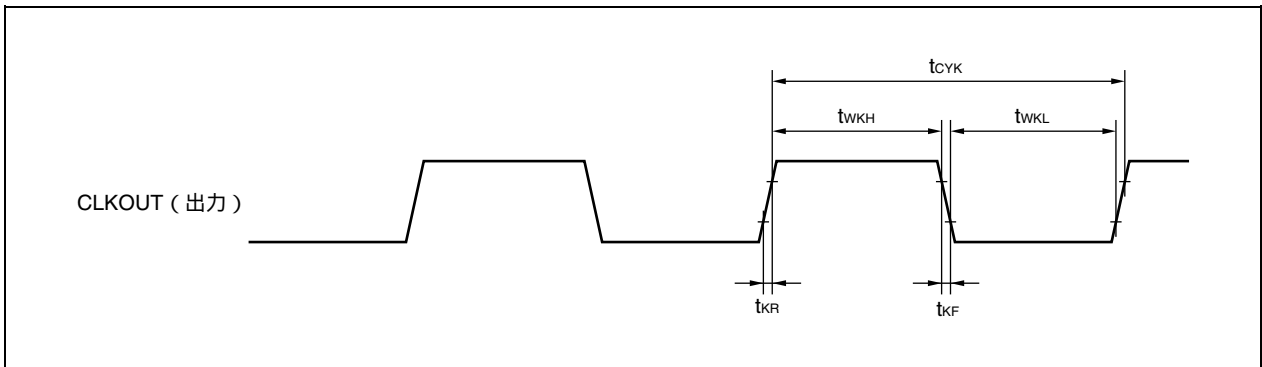
(3) 負荷条件



26. 8. 1 CLKOUT出力タイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.5 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
出力周期	t_{CYK}		50 ns	80 μs	
ハイ・レベル幅	t_{WKH}		$t_{CYK}/2 - 15$		ns
ロウ・レベル幅	t_{WKL}		$t_{CYK}/2 - 15$		ns
立ち上がり時間	t_{KR}			15	ns
立ち下がり時間	t_{KF}			15	ns



26.9 基本動作

(1) リセット, 割り込みタイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.5\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

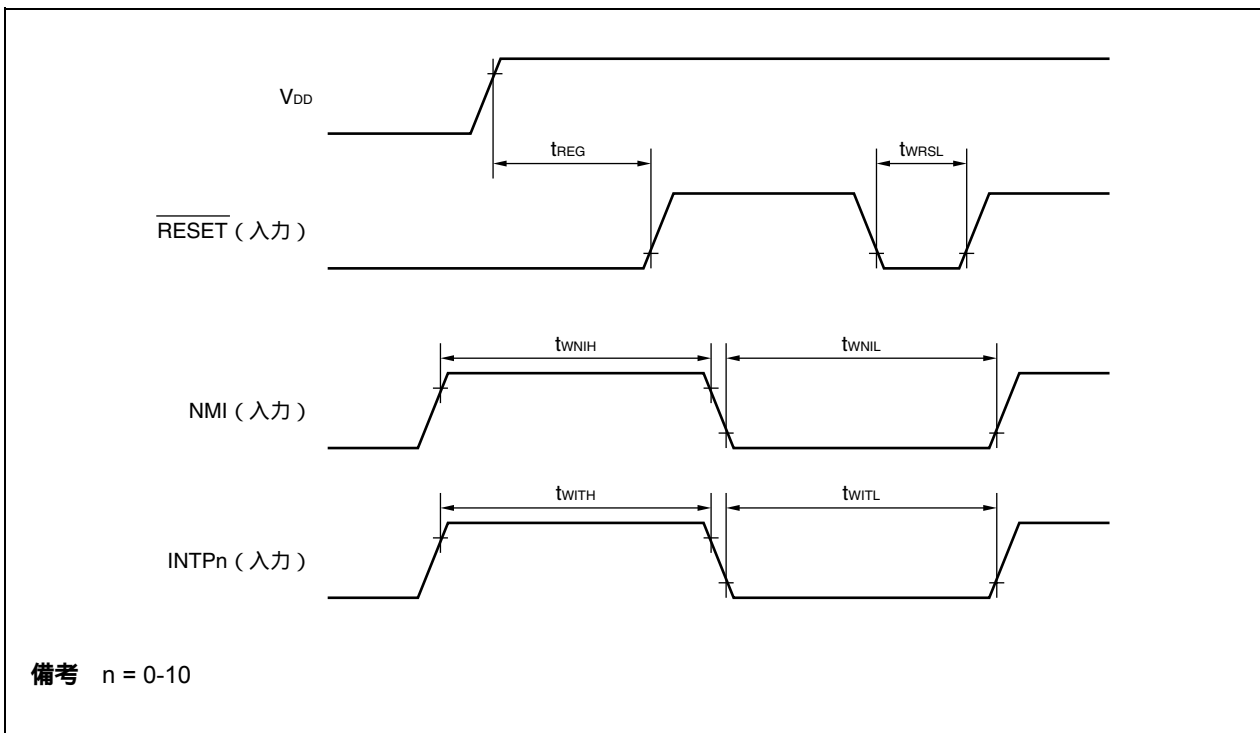
項目	略号	条件	MIN.	MAX.	単位
RESETロウ・レベル幅	t _{WRSL}		500		ns
NMIハイ・レベル幅	t _{WNIH}	アナログ・ノイズ除去	500		ns
NMIロウ・レベル幅	t _{WNIL}	アナログ・ノイズ除去	500		ns
INTP _n ^{注1} ハイ・レベル幅	t _{WITH}	アナログ・ノイズ除去 (n = 0-10)	500		ns
		デジタル・ノイズ除去 (n = 3)	注2		ns
INTP _n ^{注1} ロウ・レベル幅	t _{WITL}	アナログ・ノイズ除去 (n = 0-10)	500		ns
		デジタル・ノイズ除去 (n = 3)	注2		ns

注1. ADTRG端子は, INTP0/P03端子と同じ値です。DRST端子は, INTP2/P05端子と同じ値です。

2. $2T_{\text{samp}} + 20$ または $3T_{\text{samp}} + 20$

T_{samp} : ノイズ除去用サンプリング・クロック

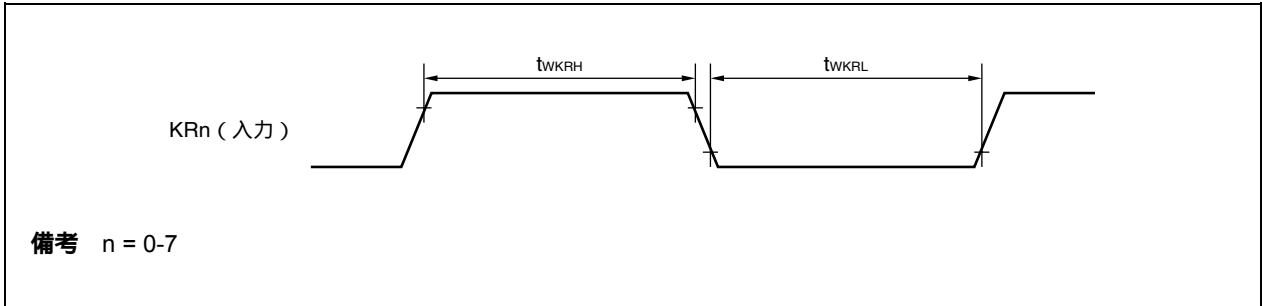
リセット/割り込み



(2) キー割り込みタイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.5\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
KRn入力ハイ・レベル幅	t_{WKRH}	アナログ・ノイズ除去 ($n = 0-7$)	500		ns
KRn入力ロウ・レベル幅	t_{WKRL}		500		ns



(3) タイマ入力タイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.5\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

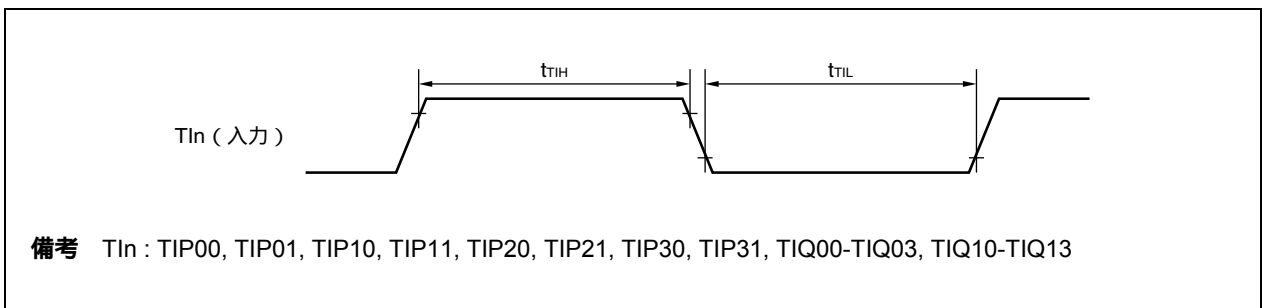
項目	略号	条件	MIN.	MAX.	単位
TInハイ・レベル幅	t_{TIH}	TIP00, TIP01, TIP10, TIP11,	注2		ns
TInロウ・レベル幅	t_{TIL}	TIP20, TIP21, TIP30, TIP31, TIQ00-TIQ03, TIQ10-TIQ13			

注1. TIP00, TIP10, TIP20, TIP30, TIQ00, TIQ10端子はキャプチャ入力時のみノイズ除去が有効。

外部トリガ時，外部イベント・カウンタ時はノイズ除去は無効。

2. $2T_{\text{samp}} + 20$ または $3T_{\text{samp}} + 20$

T_{samp} : ノイズ除去用サンプリング・クロック



(4) CSIBタイミング

(a) マスタ・モード

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.5 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
SCKBn サイクル・タイム	t_{KCYn}		125		ns
SCKBn ハイ・レベル幅	t_{KHn}		$t_{KCYn}/2 - 15$		ns
SCKBn ロウ・レベル幅	t_{KLn}		$t_{KCYn}/2 - 15$		ns
SIBn セットアップ時間 (対 SCKBn)	t_{SIKn}		30		ns
SIBn ホールド時間 (対 SCKBn)	t_{SIn}		25		ns
SCKBn SOBn 出力遅延時間	$t_{KSO n}$			25	ns

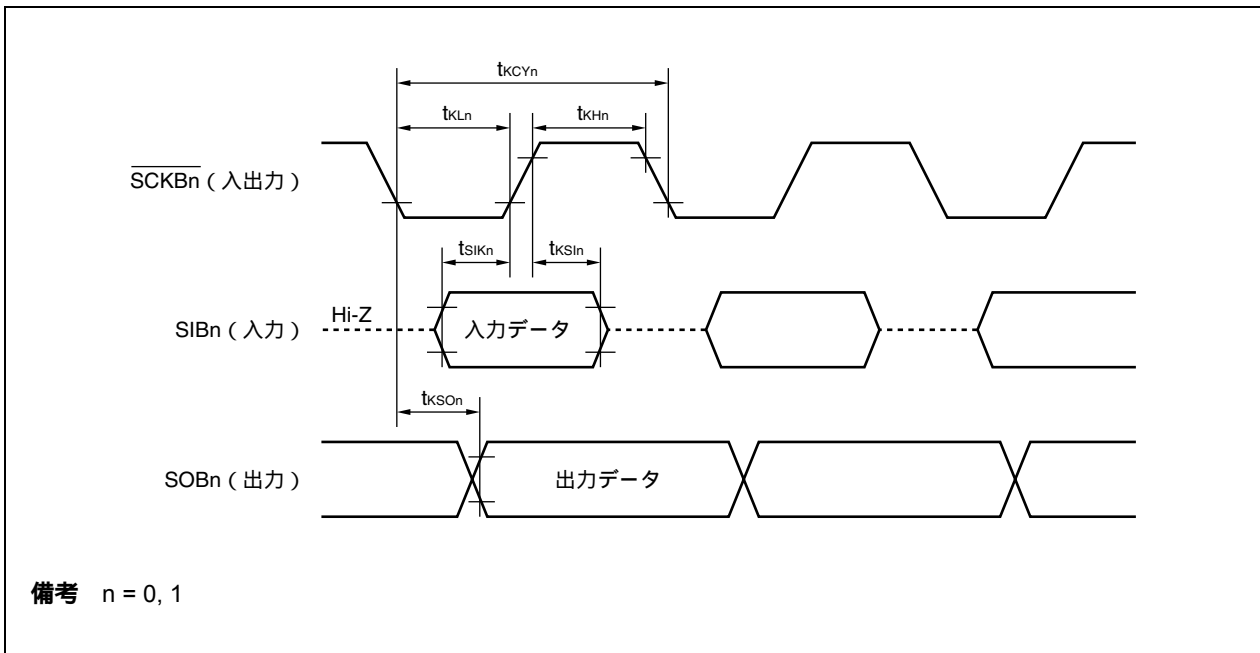
備考 $n = 0, 1$

(b) スレーブ・モード

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.5 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
SCKBn サイクル・タイム	t_{KCYn}		200		ns
SCKBn ハイ・レベル幅	t_{KHn}		90		ns
SCKBn ロウ・レベル幅	t_{KLn}		90		ns
SIBn セットアップ時間 (対 SCKBn)	t_{SIKn}		50		ns
SIBn ホールド時間 (対 SCKBn)	t_{SIn}		50		ns
SCKBn SOBn 出力遅延時間	$t_{KSO n}$			50	ns

備考 $n = 0, 1$



(5) UARTA タイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.5 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
通信レート				312.5	kbps
ASCK0 サイクル・タイム				10	MHz

(6) A/Dコンバータ

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.5 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					10	bit
総合誤差 ^注		4.0 AV_{REF0} 5.5 V		± 0.15	± 0.3	%FSR
変換時間	t_{CONV}		3.1		16	μs
アナログ入力電圧	V_{IAN}		AV_{SS}		AV_{REF0}	V
AV_{REF0} 電流	I_{AREF0}	A/Dコンバータ使用時		5	10	mA
		A/Dコンバータ未使用時		1	10	μA

注 量子化誤差 (± 0.05 %FSR) は含みません。フルスケール値に対する比率 (%FSR) で表します。

備考 FSR : Full Scale Range

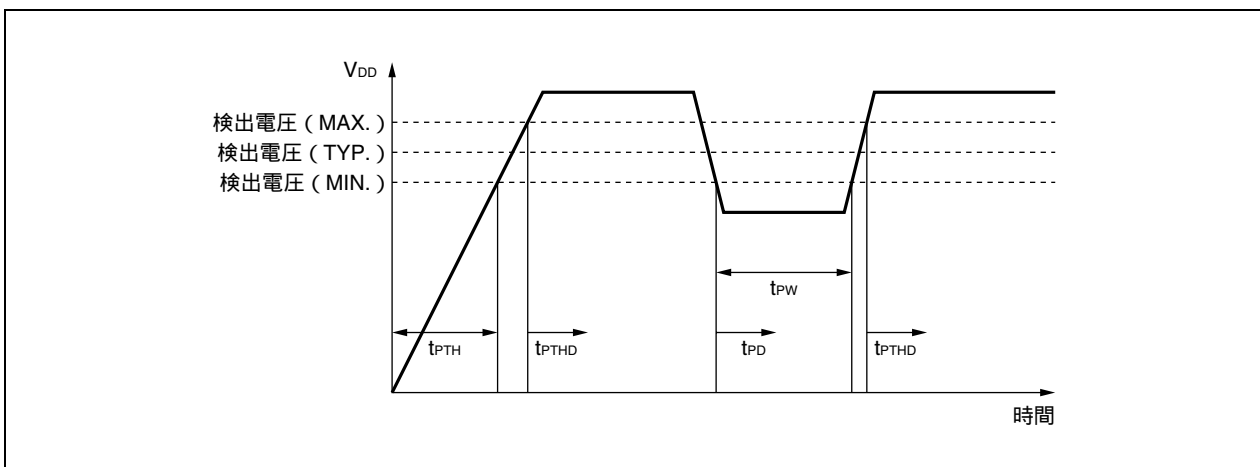
(7) POC回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.5 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POC0}		3.5	3.7	3.9	V
電源立ち上げ時間	t_{PTH}	$V_{DD} = 0 \text{ V} \sim 3.5 \text{ V}$	0.002			ms
応答ディレイ時間1 ^{注1}	t_{PTHd}	電源立ち上げ時, V_{DD} が3.9 Vに達したあと			3.0	ms
応答ディレイ時間2 ^{注2}	t_{PD}	電源降下時, V_{DD} が3.5 Vを下まわったあと			1	ms
最小 V_{DD} 幅	t_{PW}		0.2			ms

注1. 検出電圧を検出してからリセットを解除するまでの時間。

2. 検出電圧を検出してからリセットを出力するまでの時間。



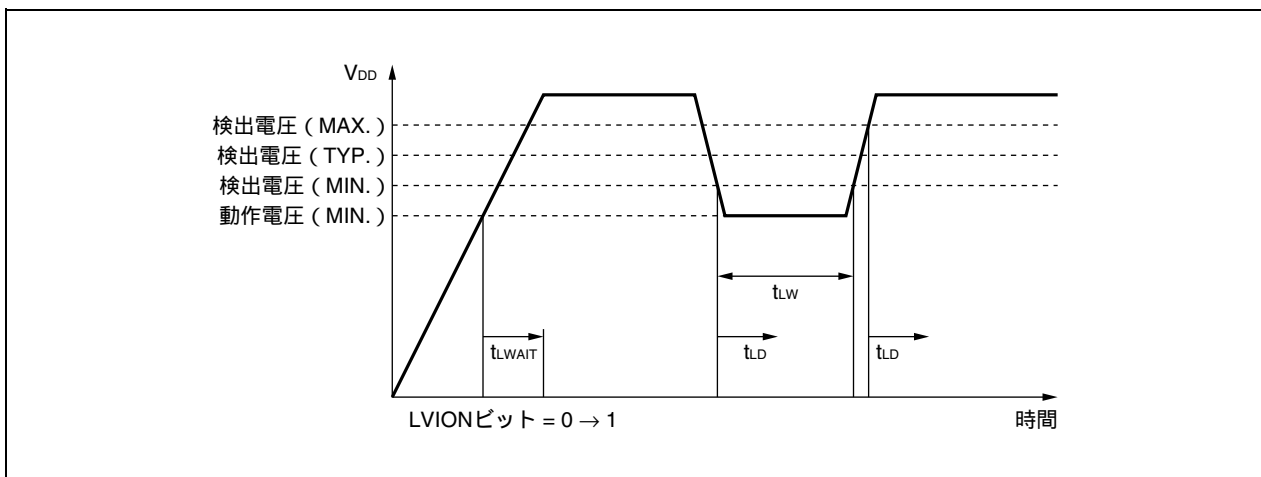
(8) LVI回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.5\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{LV10}		4.2	4.4	4.6	V
	V_{LV11}		4.0	4.2	4.4	V
応答時間 ^{注1}	t_{LD}	V_{DD} が V_{LV10} , V_{LV11} (MAX.) に達したあと, V_{DD} が V_{LV10} , V_{LV11} (MIN.) を下まわったあと		0.2	2	ms
最小 V_{DD} 幅	t_{LW}		0.2			ms
基準電圧安定待ち時間 ^{注2}	t_{LWAIT}	V_{DD} が3.5 Vに達したあと, LVIONビット (LVIM.bit7) = 0 → 1 となったあと		0.1	0.2	ms

注1. 検出電圧を検出して割り込み / リセットを出力するまでの時間。

2. POC機能を利用する場合には必要ありません。

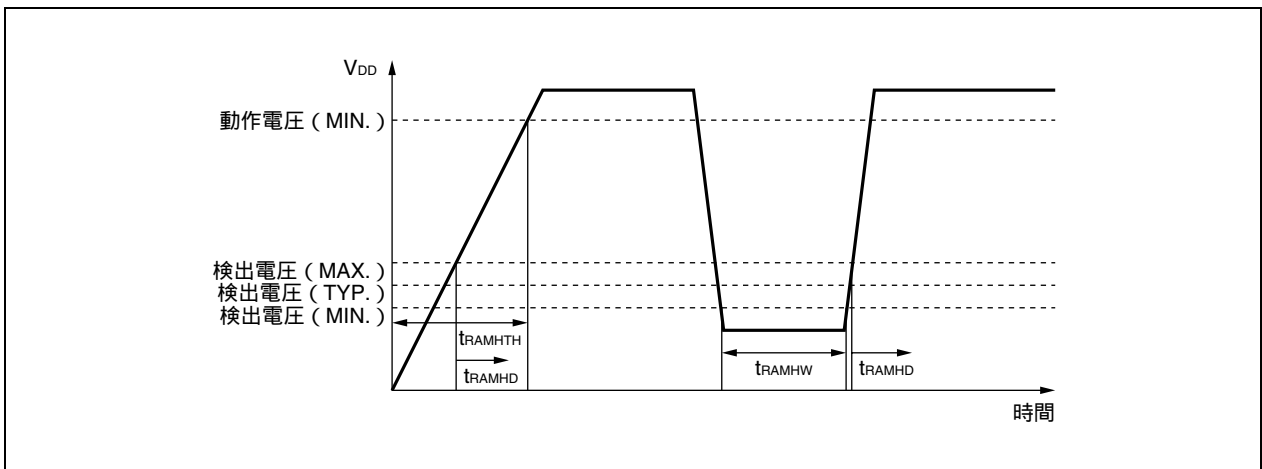


(9) RAM保持フラグ特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.5\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{RAMH}		1.9	2.0	2.1	V
電源電圧立ち上がり時間	t_{RAMHTH}	$V_{DD} = 0\text{ V} \rightarrow 3.5\text{ V}$	0.002		1800	ms
応答時間注	t_{RAMHD}	電源電圧が検出電圧 (MAX.) に達したあと		0.2	2.0	ms
最小 V_{DD} 幅	t_{RAMHW}		0.2			ms

注 検出電圧を検出してRAMFビットをセットするまでの時間。



26. 10 フラッシュ・メモリ・プログラミング特性

(1) 基本特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.5 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f_{CPU}		4		20	MHz
電源電圧	V_{DD}		3.5		5.5	V
書き込み回数	C_{WRT} ^注				100	回
ハイ・レベル入力電圧	V_{IH}	FLMD0	$0.8 EV_{DD}$		EV_{DD}	V
ロウ・レベル入力電圧	V_{IL}	FLMD0	EV_{SS}		$0.2 EV_{DD}$	V
書き込み時間 + 消去時間	$t_{WRT} + t_{ERASE}$				T.B.D	s
プログラミング温度	t_{PRG}		- 40		+ 85	

注 出荷品に対する初回書き込み時では、「消去 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

例 P : 書き込み E : 消去

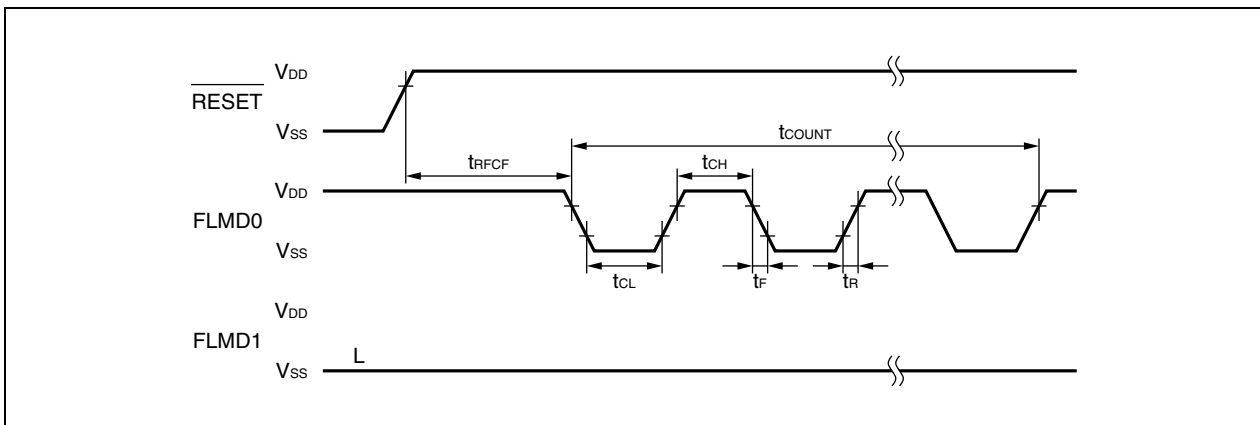
出荷品 P E P E P : 書き換え回数3回

出荷品 E P E P E P : 書き換え回数3回

(2) シリアル書き込みオペレーション特性

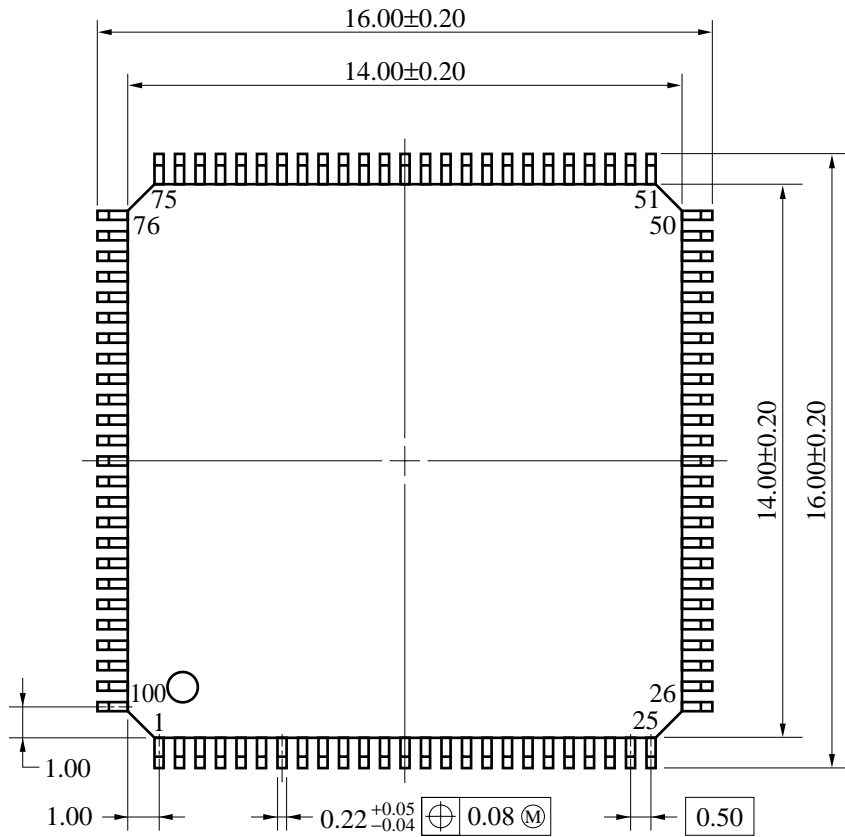
($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.5 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
RESET FLMD0セット時間	t_{RFCF}		$70536/f_x$			s
カウント実行時間	t_{COUNT}				3	ms
FLMD0ハイ・レベル幅	t_{CH}		10		100	μs
FLMD0ロウ・レベル幅	t_{CL}		10		100	μs
FLMD0立ち上がり時間	t_r				50	ns
FLMD0立ち下り時間	t_f				50	ns

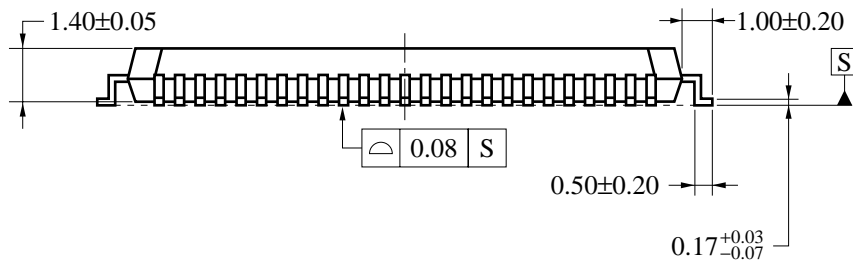
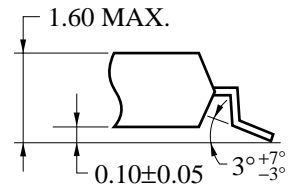


第27章 外形図

100ピン・プラスチック LQFP (ファインピッチ)(14x14) 外形図 (単位 : mm)



端子先端形状詳細図



S100GC-50-8EU, 8EA-2

第28章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表28 - 1 表面実装タイプの半田付け条件

μ PD70F3706GC-8EA-A : 100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)

μ PD70F3707GC-8EA-A : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内 制限日数：7日間 [※] （以降は125℃プリバーク20～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライバック開封後の保管日数で，保管条件は25℃，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考1. オーダ名称末尾「-A」の製品は，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

付録A 開発ツール

V850ES/HG2を使用するシステム開発のために、次のような開発ツールを用意しています。

図A - 1に開発ツール構成を示します。

PC98-NXシリーズへの対応について

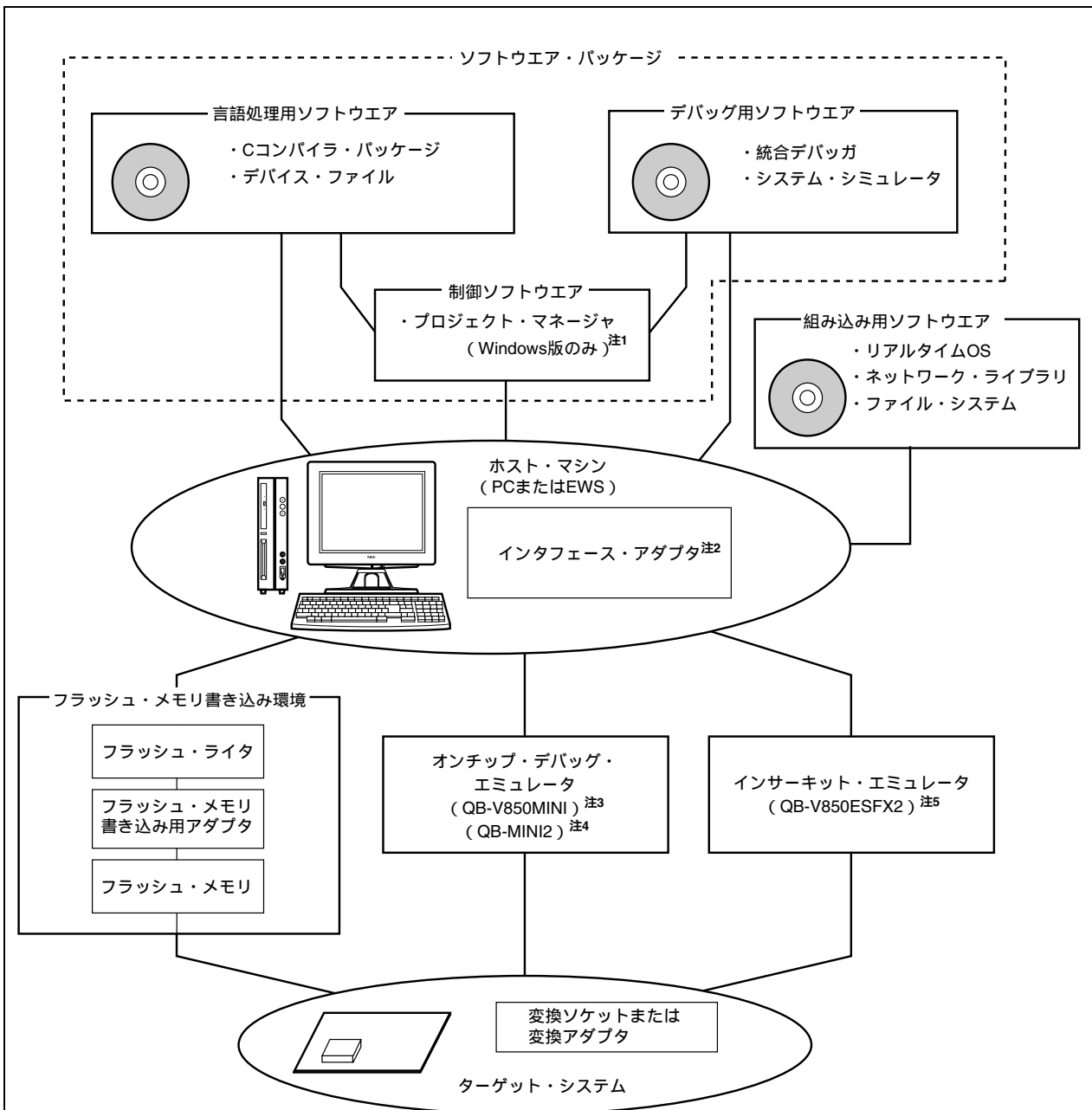
特に断りのないかぎり、IBM PC/ATTM互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

Windows[®]について

特に断りのないかぎり、「Windows」は次のOSを示しています。

- Windows 98, 2000
- Windows Me
- Windows XP[®]
- Windows NT[®] Ver. 4.0

図A-1 開発ツール構成



注1. プロジェクト・マネージャ PM+は、Cコンパイラ・パッケージに入っています。

また、Windows以外ではPM+は使用できません。

2. QB-V850MINI, QB-MINI2, QB-V850ESFX2はUSBのみ対応です。

3. QB-V850MINIは、ID850QB, USBインタフェース・ケーブル, OCDケーブル, セルフチェック・ボード, KELアダプタ, KELコネクタを添付しています。それ以外の製品は、すべてオプションです。

4. QB-MINI2は、USBインタフェース・ケーブル, 16pinターゲット・ケーブル, 10pinターゲット・ケーブル, 78K0-OCDボードを添付しています(統合デバッガは添付されていません)。それ以外の製品は、すべてオプションです。

5. QB-V850ESFX2は、ID850QB, フラッシュ・メモリ・プログラマ(PG-FPL), 電源ユニットとUSBインタフェース・アダプタを添付しています。それ以外の製品は、すべてオプションです。

A.1 ソフトウェア・パッケージ

SP850 V850シリーズ・ソフトウェア・ パッケージ	V850シリーズ共通の開発ツール（ソフトウェア）を1つのパッケージにした製品です。 オーダ名称：μS××××SP850
------------------------------------	--

備考 オーダ名称の××××は、使用するホスト・マシン，OSにより異なります。

μS××××SP850

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ，	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.2 言語処理用ソフトウェア

CA850 Cコンパイラ・パッケージ	C言語で書かれたプログラムを，マイコンの実行可能なオブジェクト・コードに変換するプログラムです。プロジェクト・マネージャ PM+から起動されます。 オーダ名称：μS××××CA703000
DF703712 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 各ツール（CA850, SM+ for V850ES/Hx2, ID850QB）と組み合わせて使用します。 対応OS，ホスト・マシンは組み合わせられる各ツールに依存します。

備考 オーダ名称の××××は、使用するホスト・マシン，OSにより異なります。

μS××××CA703000

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ，	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	
3K17	SPARCstation™	SunOS™ (Rel. 4.1.4) ， Solaris™ (Rel. 2.5.1)	

A.3 制御ソフトウェア

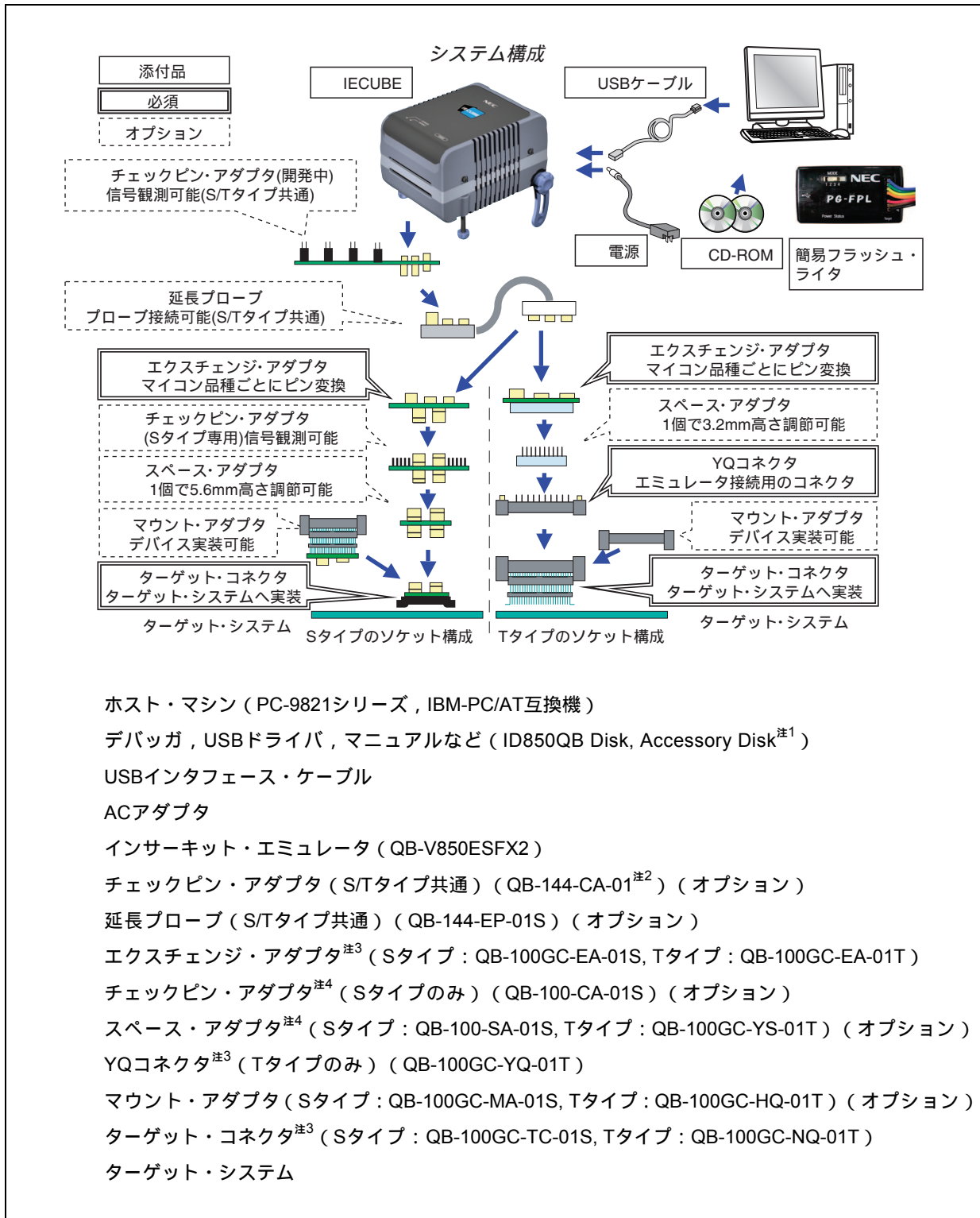
PM+ プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。PM+上から，エディタの起動，ビルド，デバッガの起動など，ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> PM+は，Cコンパイラ・パッケージ CA850の中に入っています。 Windows以外の環境では使用できません。
---------------------	--

A. 4 デバッグ用ツール（ハードウェア）

A. 4. 1 IECUBE QB-V850ESFX2を使用する場合

QB-V850ESFX2とホスト・マシン（PC-9821シリーズ，PC/AT互換機）を接続して使用する場合のシステム構成を次に示します。オプション製品がない場合でも接続は可能です。

図A - 2 システム構成（QB-V850ESFX2を使用する場合）（1/2）



図A - 2 システム構成 (QB-V850ESFX2を使用する場合) (2/2)

<p>注1. デバイス・ファイルはNECエレクトロニクスのホームページから入手してください。</p> <p>http://www.necel.com/micro/ods/jpn/index.html</p> <p>2. 開発中</p> <p>3. オーダ品名によっては、添付品となります。</p> <ul style="list-style-type: none"> ・ QB-V850ESFX2-ZZZでオーダした場合 エクステンジ・アダプタ，ターゲット・コネクタは添付されていません。 ・ QB-V850ESFX2-S100GCでオーダした場合 QB-100GC-EA-01S, QB-100GC-TC-01Sが添付されています。 ・ QB-V850ESFX2-T100GCでオーダした場合 QB-100GC-EA-01T, QB-100GC-YQ-01T, QB-100GC-NQ-01Tが添付されています。 <p>4. と の両方を使用する場合， と の接続順序が逆でも接続できます。</p>

QB-V850ESFX2 ^注 インサーキット・エミュレータ	V850ES/HG2を使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合デバッガ ID850QBに対応しています。電源ユニット、エミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は、USBを使用します。
USBインタフェース・ケーブル	ホスト・マシンとQB-V850ESFX2を接続するケーブルです。
ACアダプタ	ACプラグ差し替えで100～240Vに対応可能です。
QB-100GC-EA-01S QB-100GC-EA-01T エクステンジ・アダプタ	ピン変換を行うアダプタです。
QB-100-CA-01S チェックピン・アダプタ	オシロスコープなどで波形観測を行うときに使用するアダプタです。
QB-100-SA-01S QB-100GC-YS-01T スペース・アダプタ	高さ調節用アダプタです。
QB-100GC-YQ-01T YQコネクタ	ターゲット・コネクタとエクステンジ・アダプタを接続するためのコネクタです。
QB-100GC-MA-01S QB-100GC-HQ-01T マウント・アダプタ	V850ES/HG2をソケット実装するためのアダプタです。
QB-100GC-TC-01S QB-100GC-NQ-01T ターゲット・コネクタ	ターゲット・システム上へ半田付けするコネクタです。

注 QB-V850ESFX2は、電源ユニット、USBインタフェース・ケーブルとフラッシュ・メモリ・プログラマ(PG-FPL)を添付しています。また、コントロール・ソフトウェアとして、統合デバッガ ID850QBを添付しています。

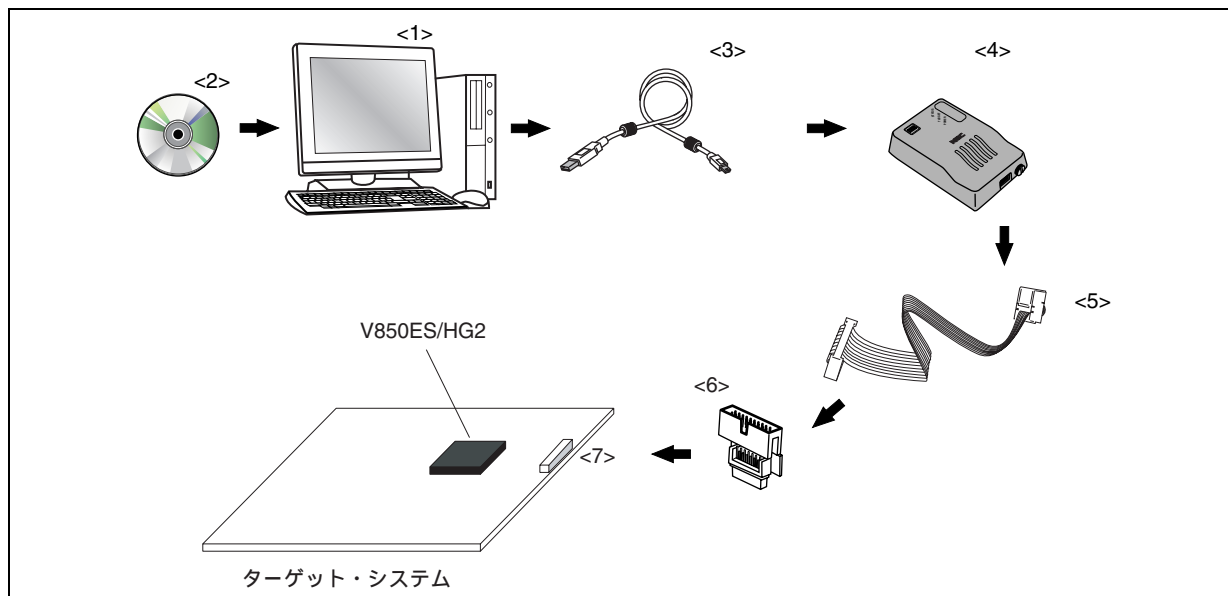
備考 表内の番号は図A - 2の番号に対応しています。

A. 4.2 MINICUBE QB-V850MINIを使用する場合

(1) MINICUBEを使用してのオンチップ・エミュレーション

MINICUBEとホスト・マシン (PC-9821シリーズ , PC/AT互換機) を接続して使用する場合のシステム構成を次に示します。

図A - 3 オンチップ・エミュレーション・システム構成例



<1> ホスト・マシン	USBポート搭載品。
<2> CD-ROM ^{注1}	CD-ROM形式で統合デバッグ ID850QB, N-Wire Checker, デバイス・ドライバ, ドキュメントなどが含まれています。MINICUBEに添付されています。
<3>USBインタフェース・ケーブル	ホスト・マシンとMINICUBEを接続するUSB対応のケーブルです。MINICUBEに添付されています。ケーブルの長さは約2 mです。
<4> MINICUBE オンチップ・デバッグ・エミュレータ	V850ES/HG2を使用する応用システムを開発する際に, ハードウェア, ソフトウェアをデバッグするためのオンチップ・エミュレータです。統合デバッグ ID850QBに対応しています。
<5> OCDケーブル	MINICUBEとターゲット・システムを接続するケーブルです。MINICUBEに添付されています。ケーブルの長さは約20 cmです。
<6>コネクタ変換ボード KEL Adaptor	MINICUBEに添付されています。
<7> MINICUBE接続コネクタ KELコネクタ ^{注2}	8830E-026-170S (MINICUBEに添付されています) 8830E-026-170L (別売品)

注1. デバイス・ファイルはNECエレクトロニクスホームページから入手してください。

<http://www.necel.com/micro/ods/jpn/index.html>

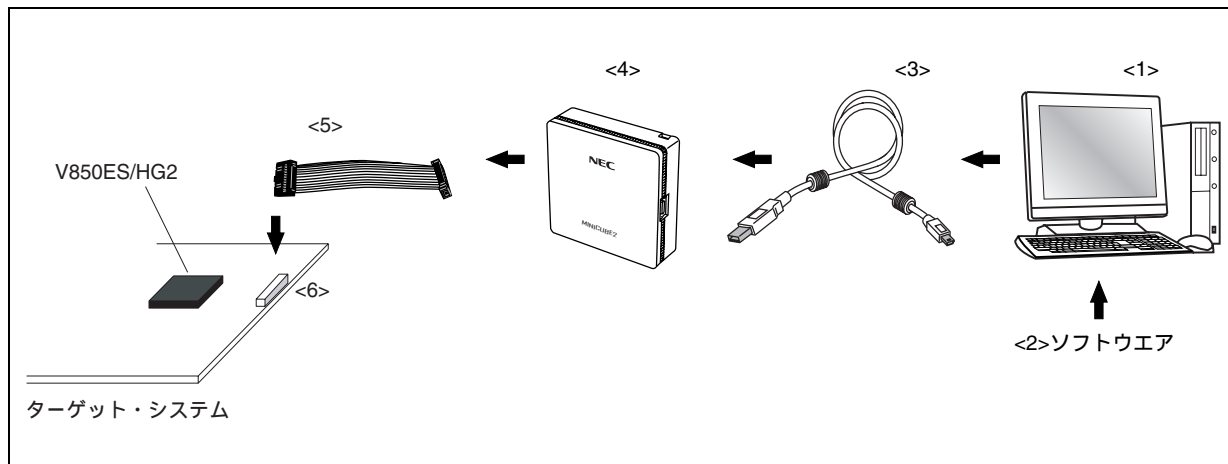
2. ケル株式会社の製品です。

備考 表内の番号は図A - 3の番号に対応しています。

A. 4.3 MINICUBE2 QB-MINI2を使用する場合

MINICUBE2とホスト・マシン（PC-9821シリーズ，PC/AT互換機）を接続して使用する場合のシステム構成を次に示します。

図A-4 オンチップ・エミュレーション・システム構成例



<1> ホスト・マシン	USBポート搭載品。
<2> ソフトウェア	統合デバッガ ID850QB, デバイス・ファイルなどです。 NECエレクトロニクスのホームページから入手してください http://www.necel.com/micro/ods/jpn/index.html
<3>USBインタフェース・ケーブル	ホスト・マシンとMINICUBEを接続するUSB対応のケーブルです。MINICUBEに添付しています。ケーブルの長さは約2 mです。
<4> MINICUBE2 オンチップ・デバッグ・エミュレータ	V850ES/HG2を使用する応用システムを開発する際に，ハードウェア，ソフトウェアをデバッグするためのオンチップ・エミュレータです。統合デバッガ ID850QBに対応しています。
<5> 16pinターゲット・ケーブル	MINICUBE2とターゲット・システムを接続するケーブルです。 MINICUBEに添付されています。ケーブルの長さは約15 cmです。
<6>ターゲット・コネクタ（別売品）	2.54 mmピッチの16ピン汎用コネクタを使用してください。

備考 表内の番号は図A-4の番号に対応しています。

A.5 デバッグ用ツール(ソフトウェア)

SM+ for V850ES/Hx2 (開発中) システム・シミュレータ	V850シリーズ用のシステム・シミュレータです。SM+ for V850ES/Hx2は、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。 SM+ for V850ES/Hx2を使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。デバイス・ファイルと組み合わせて使用します。 オーダ名称：μS××××SM703712-B
ID850QB 統合デバッガ	V850シリーズ用のインサーキット・エミュレータに対応したデバッガです。ID850QBは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 デバイス・ファイルと組み合わせて使用します。 オーダ名称：μS××××ID703000-QB (ID850QB)

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××ID703000-QB

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A. 6 組み込み用ソフトウェア

RX850, RX850 Pro リアルタイムOS	<p>μITRON3.0仕様に準拠したリアルタイムOSです。 複数の情報テーブルを作成するためのツール（コンフィギュレータ）を添付しています。 RX850よりRX850 Proの方が多機能になっています。</p> <p>オーダ名称：μS × × × RX703000- (RX850) μS × × × RX703100- (RX850 Pro)</p>
Applilet ^{®注}	V850ES/HG2用ドライバのサンプル・プログラムを自動生成するドライバ・コンフィギュレータです。
RX-FS850 (ファイル・システム)	<p>FATファイル・システム機能です。 CD-ROMファイル・システム機能をサポートしたファイル・システムです。 リアルタイムOS RX850 Proと共に使用します。</p>

注 AppliletはNECエレクトロニクスのホームページから入手してください。

<http://www.necel.com/micro/product/development/applilet/index.html>

注意 RX850, RX850 Proを購入する際、事前に購入申込書にご記入のうえ、使用許諾契約書を締結してください。

備考 オーダ名称の × × × × および は、使用するホスト・マシン、OSなどにより異なります。

μS × × × × RX703000-

μS × × × × RX703100-

	製品概要	量産時使用数量の上限
001	評価用オブジェクト	量産品には使用しないでください。
100K	量産用オブジェクト	10万個
001M		100万個
010M		1000万個
S01	ソース・プログラム	量産用オブジェクトのソース・プログラム

× × × ×	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	
3K17	SPARCstation	Solaris (Rel. 2.5.1)	

A. 7 フラッシュ・メモリ書き込み用ツール

Flashpro IV (型番 PG-FP4) フラッシュ・ライタ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライタです。
QB-MINI2 (MINICUBE2)	プログラミング機能付きオンチップ・デバッグ・エミュレータです。
FA-100GC-8EU-A フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです (未配線)。Flashpro などに接続して使用します。
FA-70F3707GC-8EA-MX フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです (配線済み)。Flashpro などに接続して使用します。

備考 FA-100GC-8EU-A, FA-3707GC-8EA-MXは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (042) 750-4172)

付録B レジスタ索引

(1/9)

略号	名称	ユニット	ページ
ADA0CR0	A/D変換結果レジスタ0	ADC	411
ADA0CR0H	A/D変換結果レジスタ0H	ADC	411
ADA0CR1	A/D変換結果レジスタ1	ADC	411
ADA0CR10	A/D変換結果レジスタ10	ADC	411
ADA0CR10H	A/D変換結果レジスタ10H	ADC	411
ADA0CR11	A/D変換結果レジスタ11	ADC	411
ADA0CR11H	A/D変換結果レジスタ11H	ADC	411
ADA0CR12	A/D変換結果レジスタ12	ADC	411
ADA0CR12H	A/D変換結果レジスタ12H	ADC	411
ADA0CR13	A/D変換結果レジスタ13	ADC	411
ADA0CR13H	A/D変換結果レジスタ13H	ADC	411
ADA0CR14	A/D変換結果レジスタ14	ADC	411
ADA0CR14H	A/D変換結果レジスタ14H	ADC	411
ADA0CR15	A/D変換結果レジスタ15	ADC	411
ADA0CR15H	A/D変換結果レジスタ15H	ADC	411
ADA0CR1H	A/D変換結果レジスタ1H	ADC	411
ADA0CR2	A/D変換結果レジスタ2	ADC	411
ADA0CR2H	A/D変換結果レジスタ2H	ADC	411
ADA0CR3	A/D変換結果レジスタ3	ADC	411
ADA0CR3H	A/D変換結果レジスタ3H	ADC	411
ADA0CR4	A/D変換結果レジスタ4	ADC	411
ADA0CR4H	A/D変換結果レジスタ4H	ADC	411
ADA0CR5	A/D変換結果レジスタ5	ADC	411
ADA0CR5H	A/D変換結果レジスタ5H	ADC	411
ADA0CR6	A/D変換結果レジスタ6	ADC	411
ADA0CR6H	A/D変換結果レジスタ6H	ADC	411
ADA0CR7	A/D変換結果レジスタ7	ADC	411
ADA0CR7H	A/D変換結果レジスタ7H	ADC	411
ADA0CR8	A/D変換結果レジスタ8	ADC	411
ADA0CR8H	A/D変換結果レジスタ8H	ADC	411
ADA0CR9	A/D変換結果レジスタ9	ADC	411
ADA0CR9H	A/D変換結果レジスタ9H	ADC	411
ADA0M0	A/Dコンバータ・モード・レジスタ0	ADC	406
ADA0M1	A/Dコンバータ・モード・レジスタ1	ADC	408
ADA0M2	A/Dコンバータ・モード・レジスタ2	ADC	409
ADA0PFM	パワー・フェイル比較モード・レジスタ	ADC	414
ADA0PFT	パワー・フェイル比較しきい値レジスタ	ADC	414
ADA0S	A/Dコンバータ・チャンネル指定レジスタ0	ADC	410
ADIC	割り込み制御レジスタ	INTC	556

略号	名称	ユニット	ページ
CB0CTL0	CSIB0制御レジスタ0	CSI	472
CB0CTL1	CSIB0制御レジスタ1	CSI	475
CB0CTL2	CSIB0制御レジスタ2	CSI	476
CB0RIC	割り込み制御レジスタ	INTC	556
CB0RX	CSIB0受信データ・レジスタ	CSI	471
CB0RXL	CSIB0受信データ・レジスタL	CSI	471
CB0STR	CSIB0状態レジスタ	CSI	478
CB0TIC	割り込み制御レジスタ	INTC	556
CB0TX	CSIB0送信データ・レジスタ	CSI	471
CB0TXL	CSIB0送信データ・レジスタL	CSI	471
CB1CTL0	CSIB1制御レジスタ0	CSI	472
CB1CTL1	CSIB1制御レジスタ1	CSI	475
CB1CTL2	CSIB1制御レジスタ2	CSI	476
CB1RIC	割り込み制御レジスタ	INTC	556
CB1RX	CSIB1受信データ・レジスタ	CSI	471
CB1RXL	CSIB1受信データ・レジスタL	CSI	471
CB1STR	CSIB1状態レジスタ	CSI	478
CB1TIC	割り込み制御レジスタ	INTC	556
CB1TX	CSIB1送信データ・レジスタ	CSI	471
CB1TXL	CSIB1送信データ・レジスタL	CSI	471
CCLS	CPU動作クロック・ステータス・レジスタ	CG	168
CLM	クロック・モニタ・モード・レジスタ	CG	612
CTBP	CALLTベース・ポインタ	CPU	54
CTPC	CALLT実行時状態退避レジスタ	CPU	53
CTPSW	CALLT実行時状態退避レジスタ	CPU	53
DADC0	DMAアドレッシング・コントロール・レジスタ0	DMA	522
DADC1	DMAアドレッシング・コントロール・レジスタ1	DMA	522
DADC2	DMAアドレッシング・コントロール・レジスタ2	DMA	522
DADC3	DMAアドレッシング・コントロール・レジスタ3	DMA	522
DBC0	DMA転送カウント・レジスタ0	DMA	521
DBC1	DMA転送カウント・レジスタ1	DMA	521
DBC2	DMA転送カウント・レジスタ2	DMA	521
DBC3	DMA転送カウント・レジスタ3	DMA	521
DBPC	例外 / デバッグ・トラップ時状態退避レジスタ	CPU	54
DBPSW	例外 / デバッグ・トラップ時状態退避レジスタ	CPU	54
DCHC0	DMAチャンネル・コントロール・レジスタ0	DMA	523
DCHC1	DMAチャンネル・コントロール・レジスタ1	DMA	523
DCHC2	DMAチャンネル・コントロール・レジスタ2	DMA	523
DCHC3	DMAチャンネル・コントロール・レジスタ3	DMA	523
DDA0H	DMAデスティネーション・アドレス・レジスタ0H	DMA	520
DDA0L	DMAデスティネーション・アドレス・レジスタ0L	DMA	520
DDA1H	DMAデスティネーション・アドレス・レジスタ1H	DMA	520
DDA1L	DMAデスティネーション・アドレス・レジスタ1L	DMA	520
DDA2H	DMAデスティネーション・アドレス・レジスタ2H	DMA	520

略号	名称	ユニット	ページ
DDA2L	DMAデスティネーション・アドレス・レジスタ2L	DMA	520
DDA3H	DMAデスティネーション・アドレス・レジスタ3H	DMA	520
DDA3L	DMAデスティネーション・アドレス・レジスタ3L	DMA	520
DMAIC0	割り込み制御レジスタ	INTC	556
DMAIC1	割り込み制御レジスタ	INTC	556
DMAIC2	割り込み制御レジスタ	INTC	556
DMAIC3	割り込み制御レジスタ	INTC	556
DSA0H	DMAソース・アドレス・レジスタ0H	DMA	519
DSA0L	DMAソース・アドレス・レジスタ0L	DMA	519
DSA1H	DMAソース・アドレス・レジスタ1H	DMA	519
DSA1L	DMAソース・アドレス・レジスタ1L	DMA	519
DSA2H	DMAソース・アドレス・レジスタ2H	DMA	519
DSA2L	DMAソース・アドレス・レジスタ2L	DMA	519
DSA3H	DMAソース・アドレス・レジスタ3H	DMA	519
DSA3L	DMAソース・アドレス・レジスタ3L	DMA	519
DTFR0	DMAトリガ要因レジスタ0	DMA	524
DTFR1	DMAトリガ要因レジスタ1	DMA	524
DTFR2	DMAトリガ要因レジスタ2	DMA	524
DTFR3	DMAトリガ要因レジスタ3	DMA	524
ECR	割り込み要因レジスタ	CPU	51
EIPC	割り込み時状態退避レジスタ	CPU	50
EIPSW	割り込み時状態退避レジスタ	CPU	50
FEPC	NMI時状態退避レジスタ	CPU	51
FEPSW	NMI時状態退避レジスタ	CPU	51
IMR0	割り込みマスク・レジスタ0	INTC	559
IMR0H	割り込みマスク・レジスタ0H	INTC	559
IMR0L	割り込みマスク・レジスタ0L	INTC	559
IMR1	割り込みマスク・レジスタ1	INTC	559
IMR1H	割り込みマスク・レジスタ1H	INTC	559
IMR1L	割り込みマスク・レジスタ1L	INTC	559
IMR2	割り込みマスク・レジスタ2	INTC	559
IMR2H	割り込みマスク・レジスタ2H	INTC	559
IMR2L	割り込みマスク・レジスタ2L	INTC	559
IMR3	割り込みマスク・レジスタ3	INTC	559
IMR3H	割り込みマスク・レジスタ3H	INTC	559
IMR3L	割り込みマスク・レジスタ3L	INTC	559
INTF0	外部割り込み立ち下がりエッジ指定レジスタ0	INTC	571
INTF1	外部割り込み立ち下がりエッジ指定レジスタ1	INTC	572
INTF3	外部割り込み立ち下がりエッジ指定レジスタ3	INTC	573
INTF3H	外部割り込み立ち下がりエッジ指定レジスタ3H	INTC	573
INTF3L	外部割り込み立ち下がりエッジ指定レジスタ3L	INTC	573
INTF9H	外部割り込み立ち下がりエッジ指定レジスタ9H	INTC	574
INTR0	外部割り込み立ち上がりエッジ指定レジスタ0	INTC	571
INTR1	外部割り込み立ち上がりエッジ指定レジスタ1	INTC	572

略号	名称	ユニット	ページ
INTR3	外部割り込み立ち上がりエッジ指定レジスタ3	INTC	573
INTR3H	外部割り込み立ち上がりエッジ指定レジスタ3H	INTC	573
INTR3L	外部割り込み立ち上がりエッジ指定レジスタ3L	INTC	573
INTR9H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTC	574
ISPR	インサースビス・プライオリティ・レジスタ	INTC	561
KRIC	割り込み制御レジスタ	INTC	556
KRM	キー・リターン・モード・レジスタ	KR	580
LOCKR	ロック・レジスタ	CG	171
LVIIC	割り込み制御レジスタ	INTC	556
LVIM	低電圧検出レジスタ	CG	619
LVIS	低電圧検出レベル選択レジスタ	CG	620
NFC	ノイズ除去制御レジスタ	INTC	575
OCDM	オンチップ・デバッグ・モード・レジスタ	DCU	658
OSTS	発振安定時間選択レジスタ	WDT	585
P0	ポート0	ポート	87
P00NFC	TIP00ノイズ除去制御レジスタ	タイマ	191
P01NFC	TIP01ノイズ除去制御レジスタ	タイマ	191
P1	ポート1	ポート	91
P10NFC	TIP10ノイズ除去制御レジスタ	タイマ	191
P11NFC	TIP11ノイズ除去制御レジスタ	タイマ	191
P20NFC	TIP20ノイズ除去制御レジスタ	タイマ	191
P21NFC	TIP21ノイズ除去制御レジスタ	タイマ	191
P3	ポート3	ポート	94
P30NFC	TIP30ノイズ除去制御レジスタ	タイマ	191
P31NFC	TIP31ノイズ除去制御レジスタ	タイマ	191
P3H	ポート3H	ポート	94
P3L	ポート3L	ポート	94
P4	ポート4	ポート	101
P5	ポート5	ポート	105
P7	ポート7	ポート	111
P7H	ポート7H	ポート	111
P7L	ポート7L	ポート	111
P9	ポート9	ポート	113
P9H	ポート9H	ポート	113
P9L	ポート9L	ポート	113
PC	プログラム・カウンタ	CPU	48
PCC	プロセッサ・クロック・コントロール・レジスタ	CG	164
PCLM	プログラマブル・クロック・モード・レジスタ	CG	173
PCM	ポートCM	ポート	122
PCS	ポートCS	ポート	124
PCT	ポートCT	ポート	126
PDL	ポートDL	ポート	128
PDLH	ポートDLH	ポート	128
PDLL	ポートDLL	ポート	128

略号	名称	ユニット	ページ
PEMU1	周辺エミュレーション・レジスタ1	LVI	626
PFC0	ポート・ファンクション・コントロール・レジスタ0	ポート	89
PFC3L	ポート・ファンクション・コントロール・レジスタ3L	ポート	98
PFC5	ポート・ファンクション・コントロール・レジスタ5	ポート	107
PFC9	ポート・ファンクション・コントロール・レジスタ9	ポート	117
PFC9H	ポート・ファンクション・コントロール・レジスタ9H	ポート	117
PFC9L	ポート・ファンクション・コントロール・レジスタ9L	ポート	117
PFCE3L	ポート・ファンクション・コントロール拡張レジスタ3L	ポート	98
PFCE5	ポート・ファンクション・コントロール拡張レジスタ5	ポート	107
PFCE9	ポート・ファンクション・コントロール拡張レジスタ9	ポート	117
PFCE9H	ポート・ファンクション・コントロール拡張レジスタ9H	ポート	117
PFCE9L	ポート・ファンクション・コントロール拡張レジスタ9L	ポート	117
PIC0	割り込み制御レジスタ	INTC	556
PIC1	割り込み制御レジスタ	INTC	556
PIC10	割り込み制御レジスタ	INTC	556
PIC2	割り込み制御レジスタ	INTC	556
PIC3	割り込み制御レジスタ	INTC	556
PIC4	割り込み制御レジスタ	INTC	556
PIC5	割り込み制御レジスタ	INTC	556
PIC6	割り込み制御レジスタ	INTC	556
PIC7	割り込み制御レジスタ	INTC	556
PIC8	割り込み制御レジスタ	INTC	556
PIC9	割り込み制御レジスタ	INTC	556
PLLCTL	PLLコントロール・レジスタ	CG	170
PLLS	PLLロック・アップ時間指定レジスタ	CG	172
PM0	ポート・モード・レジスタ0	ポート	87
PM1	ポート・モード・レジスタ1	ポート	91
PM3	ポート・モード・レジスタ3	ポート	95
PM3H	ポート・モード・レジスタ3H	ポート	95
PM3L	ポート・モード・レジスタ3L	ポート	95
PM4	ポート・モード・レジスタ4	ポート	101
PM5	ポート・モード・レジスタ5	ポート	105
PM7	ポート・モード・レジスタ7	ポート	111
PM7H	ポート・モード・レジスタ7H	ポート	111
PM7L	ポート・モード・レジスタ7L	ポート	111
PM9	ポート・モード・レジスタ9	ポート	114
PM9H	ポート・モード・レジスタ9H	ポート	114
PM9L	ポート・モード・レジスタ9L	ポート	114
PMC0	ポート・モード・コントロール・レジスタ0	ポート	88
PMC1	ポート・モード・コントロール・レジスタ1	ポート	92
PMC3	ポート・モード・コントロール・レジスタ3	ポート	96
PMC3H	ポート・モード・コントロール・レジスタ3H	ポート	96
PMC3L	ポート・モード・コントロール・レジスタ3L	ポート	96
PMC4	ポート・モード・コントロール・レジスタ4	ポート	102

略号	名称	ユニット	ページ
PMC5	ポート・モード・コントロール・レジスタ5	ポート	106
PMC9	ポート・モード・コントロール・レジスタ9	ポート	115
PMC9H	ポート・モード・コントロール・レジスタ9H	ポート	115
PMC9L	ポート・モード・コントロール・レジスタ9L	ポート	115
PMCCM	ポート・モード・コントロール・レジスタCM	ポート	122
PMCM	ポート・モード・レジスタCM	ポート	122
PMCS	ポート・モード・レジスタCS	ポート	124
PMCT	ポート・モード・レジスタCT	ポート	126
PMDL	ポート・モード・レジスタDL	ポート	128
PMDLH	ポート・モード・レジスタDLH	ポート	128
PMDLL	ポート・モード・レジスタDLL	ポート	128
PRCMD	コマンド・レジスタ	CPU	77
PRSCM0	プリスケアラ・コンペア・レジスタ0	WT	391, 515
PRSM0	プリスケアラ・モード・レジスタ0	WT	390, 514
PSC	パワー・セーブ・コントロール・レジスタ	CG	583
PSMR	パワー・セーブ・モード・レジスタ	CG	584
PSW	プログラム・ステータス・ワード	CPU	52
PU0	ブルアップ抵抗オプション・レジスタ0	ポート	89
PU1	ブルアップ抵抗オプション・レジスタ1	ポート	92
PU3	ブルアップ抵抗オプション・レジスタ3	ポート	99
PU3H	ブルアップ抵抗オプション・レジスタ3H	ポート	99
PU3L	ブルアップ抵抗オプション・レジスタ3L	ポート	99
PU4	ブルアップ抵抗オプション・レジスタ4	ポート	102
PU5	ブルアップ抵抗オプション・レジスタ5	ポート	109
PU9	ブルアップ抵抗オプション・レジスタ9	ポート	120
PU9H	ブルアップ抵抗オプション・レジスタ9H	ポート	120
PU9L	ブルアップ抵抗オプション・レジスタ9L	ポート	120
Q00NFC	TIQ00ノイズ除去制御レジスタ	タイマ	291
Q01NFC	TIQ01ノイズ除去制御レジスタ	タイマ	291
Q02NFC	TIQ02ノイズ除去制御レジスタ	タイマ	291
Q03NFC	TIQ03ノイズ除去制御レジスタ	タイマ	291
Q10NFC	TIQ10ノイズ除去制御レジスタ	タイマ	291
Q11NFC	TIQ11ノイズ除去制御レジスタ	タイマ	291
Q12NFC	TIQ12ノイズ除去制御レジスタ	タイマ	291
Q13NFC	TIQ13ノイズ除去制御レジスタ	タイマ	291
r0-r31	汎用レジスタ	CPU	48
RAMS	内蔵RAMデータ・ステータス・レジスタ	CG	621
RCM	内蔵発振モード・レジスタ	CG	168
RESF	リセット要因フラグ・レジスタ	CG	603
SELCNT0	セレクタ動作制御レジスタ0	タイマ	268
SYS	システム・ステータス・レジスタ	CPU	78
TM0CMP0	TMM0コンペア・レジスタ0	タイマ	380
TM0CTL0	TMM0制御レジスタ0	タイマ	381
TM0EQIC0	割り込み制御レジスタ	INTC	556

略号	名称	ユニット	ページ
TP0CCIC0	割り込み制御レジスタ	INTC	556
TP0CCIC1	割り込み制御レジスタ	INTC	556
TP0CCR0	TMP0キャプチャ/コンペア・レジスタ0	タイマ	186
TP0CCR1	TMP0キャプチャ/コンペア・レジスタ1	タイマ	188
TP0CNT	TMP0カウンタ・リード・バッファ・レジスタ	タイマ	190
TP0CTL0	TMP0制御レジスタ0	タイマ	179
TP0CTL1	TMP0制御レジスタ1	タイマ	180
TP0IOC0	TMP0 I/O制御レジスタ0	タイマ	182
TP0IOC1	TMP0 I/O制御レジスタ1	タイマ	183
TP0IOC2	TMP0 I/O制御レジスタ2	タイマ	184
TP0OPT0	TMP0オプション・レジスタ0	タイマ	185
TP0OVIC	割り込み制御レジスタ	INTC	556
TP1CCIC0	割り込み制御レジスタ	INTC	556
TP1CCIC1	割り込み制御レジスタ	INTC	556
TP1CCR0	TMP1キャプチャ/コンペア・レジスタ0	タイマ	186
TP1CCR1	TMP1キャプチャ/コンペア・レジスタ1	タイマ	188
TP1CNT	TMP1カウンタ・リード・バッファ・レジスタ	タイマ	190
TP1CTL0	TMP1制御レジスタ0	タイマ	179
TP1CTL1	TMP1制御レジスタ1	タイマ	180
TP1IOC0	TMP1 I/O制御レジスタ0	タイマ	182
TP1IOC1	TMP1 I/O制御レジスタ1	タイマ	183
TP1IOC2	TMP1 I/O制御レジスタ2	タイマ	184
TP1OPT0	TMP1オプション・レジスタ0	タイマ	185
TP1OVIC	割り込み制御レジスタ	INTC	556
TP2CCIC0	割り込み制御レジスタ	INTC	556
TP2CCIC1	割り込み制御レジスタ	INTC	556
TP2CCR0	TMP2キャプチャ/コンペア・レジスタ0	タイマ	186
TP2CCR1	TMP2キャプチャ/コンペア・レジスタ1	タイマ	188
TP2CNT	TMP2カウンタ・リード・バッファ・レジスタ	タイマ	190
TP2CTL0	TMP2制御レジスタ0	タイマ	179
TP2CTL1	TMP2制御レジスタ1	タイマ	180
TP2IOC0	TMP2 I/O制御レジスタ0	タイマ	182
TP2IOC1	TMP2 I/O制御レジスタ1	タイマ	183
TP2IOC2	TMP2 I/O制御レジスタ2	タイマ	184
TP2OPT0	TMP2オプション・レジスタ0	タイマ	185
TP2OVIC	割り込み制御レジスタ	INTC	556
TP3CCIC0	割り込み制御レジスタ	INTC	556
TP3CCIC1	割り込み制御レジスタ	INTC	556
TP3CCR0	TMP3キャプチャ/コンペア・レジスタ0	タイマ	186
TP3CCR1	TMP3キャプチャ/コンペア・レジスタ1	タイマ	188
TP3CNT	TMP3カウンタ・リード・バッファ・レジスタ	タイマ	190
TP3CTL0	TMP3制御レジスタ0	タイマ	179
TP3CTL1	TMP3制御レジスタ1	タイマ	180
TP3IOC0	TMP3 I/O制御レジスタ0	タイマ	182

略号	名称	ユニット	ページ
TP3IOC1	TMP3 I/O制御レジスタ1	タイマ	183
TP3IOC2	TMP3 I/O制御レジスタ2	タイマ	184
TP3OPT0	TMP3オプション・レジスタ0	タイマ	185
TP3OVIC	割り込み制御レジスタ	INTC	556
TQ0CCIC0	割り込み制御レジスタ	INTC	556
TQ0CCIC1	割り込み制御レジスタ	INTC	556
TQ0CCIC2	割り込み制御レジスタ	INTC	556
TQ0CCIC3	割り込み制御レジスタ	INTC	556
TQ0CCR0	TMQ0キャプチャ/コンペア・レジスタ0	タイマ	282
TQ0CCR1	TMQ0キャプチャ/コンペア・レジスタ1	タイマ	284
TQ0CCR2	TMQ0キャプチャ/コンペア・レジスタ2	タイマ	286
TQ0CCR3	TMQ0キャプチャ/コンペア・レジスタ3	タイマ	288
TQ0CNT	TMQ0カウンタ・リード・バッファ・レジスタ	タイマ	290
TQ0CTL0	TMQ0制御レジスタ0	タイマ	275
TQ0CTL1	TMQ0制御レジスタ1	タイマ	276
TQ0IOC0	TMQ0 I/O制御レジスタ0	タイマ	278
TQ0IOC1	TMQ0 I/O制御レジスタ1	タイマ	279
TQ0IOC2	TMQ0 I/O制御レジスタ2	タイマ	280
TQ0OPT0	TMQ0オプション・レジスタ0	タイマ	281
TQ0OVIC	割り込み制御レジスタ	INTC	556
TQ1CCIC0	割り込み制御レジスタ	INTC	556
TQ1CCIC1	割り込み制御レジスタ	INTC	556
TQ1CCIC2	割り込み制御レジスタ	INTC	556
TQ1CCIC3	割り込み制御レジスタ	INTC	556
TQ1CCR0	TMQ1キャプチャ/コンペア・レジスタ0	タイマ	282
TQ1CCR1	TMQ1キャプチャ/コンペア・レジスタ1	タイマ	284
TQ1CCR2	TMQ1キャプチャ/コンペア・レジスタ2	タイマ	286
TQ1CCR3	TMQ1キャプチャ/コンペア・レジスタ3	タイマ	288
TQ1CNT	TMQ1カウンタ・リード・バッファ・レジスタ	タイマ	290
TQ1CTL0	TMQ1制御レジスタ0	タイマ	275
TQ1CTL1	TMQ1制御レジスタ1	タイマ	276
TQ1IOC0	TMQ1 I/O制御レジスタ0	タイマ	278
TQ1IOC1	TMQ1 I/O制御レジスタ1	タイマ	279
TQ1IOC2	TMQ1 I/O制御レジスタ2	タイマ	280
TQ1OPT0	TMQ1タイマ・オプション・レジスタ0	タイマ	281
TQ1OVIC	割り込み制御レジスタ	INTC	556
UA0CTL0	UARTA0制御レジスタ0	UART	438
UA0CTL1	UARTA0制御レジスタ1	UART	461
UA0CTL2	UARTA0制御レジスタ2	UART	462
UA0OPT0	UARTA0オプション制御レジスタ0	UART	440
UA0RIC	割り込み制御レジスタ	INTC	556
UA0RX	UARTA0受信データ・レジスタ	UART	443
UA0STR	UARTA0状態レジスタ	UART	441
UA0TIC	割り込み制御レジスタ	INTC	556

略号	名称	ユニット	ページ
UA0TX	UARTA0送信データ・レジスタ	UART	443
UA1CTL0	UARTA1制御レジスタ0	UART	438
UA1CTL1	UARTA1制御レジスタ1	UART	461
UA1CTL2	UARTA1制御レジスタ2	UART	462
UA1OPT0	UARTA1オプション制御レジスタ0	UART	440
UA1RIC	割り込み制御レジスタ	INTC	556
UA1RX	UARTA1受信データ・レジスタ	UART	443
UA1STR	UARTA1状態レジスタ	UART	441
UA1TIC	割り込み制御レジスタ	INTC	556
UA1TX	UARTA1送信データ・レジスタ	UART	443
UA2CTL0	UARTA2制御レジスタ0	UART	438
UA2CTL1	UARTA2制御レジスタ1	UART	461
UA2CTL2	UARTA2制御レジスタ2	UART	462
UA2OPT0	UARTA2オプション制御レジスタ0	UART	440
UA2RIC	割り込み制御レジスタ	INTC	556
UA2RX	UARTA2受信データ・レジスタ	UART	443
UA2STR	UARTA2状態レジスタ	UART	441
UA2TIC	割り込み制御レジスタ	INTC	556
UA2TX	UARTA2送信データ・レジスタ	UART	443
VSWC	システム・ウェイト・コントロール・レジスタ	CPU	79
WDTE	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDT	401
WDTM2	ウォッチドッグ・タイマ・モード・レジスタ2	WDT	399
WTIC	割り込み制御レジスタ	INTC	559
WTIIC	割り込み制御レジスタ	INTC	559
WTM	時計タイマ動作モード・レジスタ	WT	392

付録C 命令セット一覧

C.1 凡 例

(1) オペランド記述に使われる略号

略号	説明
reg1	汎用レジスタ (ソース・レジスタとして使用)
reg2	汎用レジスタ (おもにデスティネーション・レジスタとして使用。一部の命令で、ソース・レジスタとしても使用。)
reg3	汎用レジスタ (おもに除算結果の余り、乗算結果の上位32ビットを格納)
bit#3	ビット・ナンバ指定用3ビット・データ
imm x	xビット・イミューディエト・データ
disp x	xビット・ディスプレイースメント・データ
regID	システム・レジスタ番号
vector	トラップ・ベクタ (00H-1FH) を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ
sp	スタック・ポインタ (r3)
ep	エレメント・ポインタ (r30)
list x	x個のレジスタ・リスト

(2) オペランドに使われる略号

略号	説明
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
w	reg3を指定するコードの1ビット分データ
d	ディスプレイースメントの1ビット分データ
l	イミューディエトの1ビット分データ (イミューディエトの上位ビットを示す)
i	イミューディエトの1ビット分データ
cccc	条件コードを示す4ビット・データ
CCCC	Bcond命令の条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定用3ビット・データ
L	レジスタ・リスト中のプログラム・レジスタを指定する1ビット分データ

(3) オペレーションに使われる略号

略号	説明
	代入
GR[]	汎用レジスタ
SR[]	システム・レジスタ
zero-extend (n)	nをワード長までゼロ拡張する。
sign-extend (n)	nをワード長まで符号拡張する。
load-memory (a, b)	アドレス「a」からサイズ「b」のデータを読み出す。
store-memory (a, b, c)	アドレス「a」に、データ「b」をサイズ「c」で書き込む。
load-memory-bit (a, b)	アドレス「a」のビット「b」を読み出す。
store-memory-bit (a, b, c)	アドレス「a」のビット「b」に「c」を書き込む。
saturated (n)	nの飽和処理を行う (nは2の補数)。 nが計算の結果、n 7FFFFFFFHとなった場合、n = 7FFFFFFFHとする。 nが計算の結果、n 80000000Hとなった場合、n = 80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト (8ビット)
Half-word	ハーフワード (16ビット)
Word	ワード (32ビット)
+	加算
-	減算
	ビット連結
×	乗算
÷	除算
%	除算結果の余り
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

(4) 実行クロックに使われる略号

略号	説明
i	命令実行直後にほかの命令を実行する場合 (issue)
r	命令実行直後に同一命令を繰り返す場合 (repeat)
l	命令実行結果を命令実行直後の命令で利用する場合 (latency)

(5) フラグの動作に使われる略号

略号	説明
(ブランク)	変化なし
0	0にクリア
x	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

(6) 条件コード

条件コード (cccc)	条件式	説明
0000	$OV = 1$	Overflow
1000	$OV = 0$	No overflow
0001	$CY = 1$	Carry Lower (Less than)
1001	$CY = 0$	No carry No lower (Greater than or equal)
0010	$Z = 1$	Zero
1010	$Z = 0$	Not zero
0011	$(CY \text{ or } Z) = 1$	Not higher (Less than or equal)
1011	$(CY \text{ or } Z) = 0$	Higher (Greater than)
0100	$S = 1$	Negative
1100	$S = 0$	Positive
0101	-	Always (無条件)
1101	$SAT = 1$	Saturated
0110	$(S \text{ xor } OV) = 1$	Less than signed
1110	$(S \text{ xor } OV) = 0$	Greater than or equal signed
0111	$((S \text{ xor } OV) \text{ or } Z) = 1$	Less than or equal signed
1111	$((S \text{ xor } OV) \text{ or } Z) = 0$	Greater than signed

C.2 インストラクション・セット (アルファベット順)

(1/5)

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2] GR[reg2] + GR[reg1]	1	1	1	x	x	x	x		
	imm5, reg2	rrrrr010010iiii	GR[reg2] GR[reg2] + sign-extend (imm5)	1	1	1	x	x	x	x		
ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1	x	x	x	x		
AND	reg1, reg2	rrrrr001010RRRRR	GR[reg2] GR[reg2] AND GR[reg1]	1	1	1		0	x	x		
ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] AND zero-extend (imm16)	1	1	1		0	x	x		
Bcond	disp9	dddd1011ddcccc 注1	if conditions are satisfied	条件成立時	2	2	2					
			then PC PC + sign-extend (disp9)	注2	注2	注2						
			条件不成立時	1	1	1						
BSH	reg2, reg3	rrrrr1111100000 wwwww01101000010	GR[reg3] GR[reg2] (23:16) GR[reg2] (31:24) GR [reg2] (7:0) GR[reg2] (15:8)	1	1	1	x	0	x	x		
BSW	reg2, reg3	rrrrr1111100000 wwwww01101000000	GR[reg3] GR[reg2] (7:0) GR[reg2] (15:8) GR[reg2] (23:16) GR[reg2] (31:24)	1	1	1	x	0	x	x		
CALLT	imm6	000001000iiii	CTPC PC + 2 (return PC) CTPSW PSW adr CTBP + zero-extend (imm6 logically shift left by 1) PC CTBP + zero-extend(Load-memory (adr,Half-word))	4	4	4						
CLR1	bit#3, disp16[reg1]	10bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 0)	3	3	3					x	
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100100	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 0)	3	3	3					x	
CMOV	cccc, imm5, reg2, reg3	rrrrr11111iiii wwwww011000cccc0	if conditions are satisfied then GR[reg3] sign-extend (imm5) else GR[reg3] GR[reg2]	1	1	1						
	cccc, reg1, reg2, reg3	rrrrr11111RRRRR wwwww011001cccc0	if conditions are satisfied then GR[reg3] GR[reg1] else GR[reg3] GR[reg2]	1	1	1						
CMP	reg1, reg2	rrrrr001111RRRRR	result GR[reg2] - GR[reg1]	1	1	1	x	x	x	x		
	imm5, reg2	rrrrr010011iiii	result GR[reg2] - sign-extend (imm5)	1	1	1	x	x	x	x		
CTRET		000001111100000 0000000101000100	PC CTPC PSW CTPSW	3	3	3	R	R	R	R	R	
DBRET		000001111100000 0000000101000110	PC DBPC PSW DBPSW	3	3	3	R	R	R	R	R	
DBTRAP		1111100001000000	DBPC PC + 2 (復帰PC) DBPSW PSW PSW.NP 1 PSW.EP 1 PSW.ID 1 PC 00000060H	3	3	3						
DI		000001111100000 0000000101100000	PSW.ID 1	1	1	1						

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
DISPOSE	imm5, list12	0000011001iiiiL LLLLLLLLLLLL00000	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until all regs in list12 is loaded	n+1 注4	n+1 注4	n+1 注4						
	imm5, list12 [reg1]	0000011001iiiiL LLLLLLLLLLLLRRRRR 注5	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until all regs in list12 is loaded PC GR[reg1]	n+3 注4	n+3 注4	n+3 注4						
DIV	reg1, reg2, reg3	rrrrr11111RRRRR wwwww01011000000	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x		
DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6}	35	35	35		x	x	x		
	reg1, reg2, reg3	rrrrr11111RRRRR wwwww01010000000	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6} GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x		
DIVHU	reg1, reg2, reg3	rrrrr11111RRRRR wwwww01010000010	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6} GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x		
DIVU	reg1, reg2, reg3	rrrrr11111RRRRR wwwww01011000010	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x		
EI		100001111100000 0000000101100000	PSW.ID 0	1	1	1						
HALT		000001111100000 0000000100100000	停止する	1	1	1						
HSW	reg2, reg3	rrrrr1111100000 wwwww01101000100	GR[reg3] GR[reg2] (15:0) GR[reg2] (31:16)	1	1	1	x	0	x	x		
JARL	disp22, reg2	rrrrr11110dddddd dddddddddddddd0 注7	GR[reg2] PC + 4 PC PC + sign-extend(disp22)	2	2	2						
JMP	[reg1]	0000000011RRRRR	PC GR[reg1]	3	3	3						
JR	disp22	0000011110dddddd dddddddddddddd0 注7	PC PC + sign-extend(disp22)	2	2	2						
LD.B	disp16[reg1], reg2	rrrrr111000RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Byte))	1	1	注11						
LD.BU	disp16[reg1], reg2	rrrrr11110bRRRRR ddddddddddddddd1 注8, 10	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Byte))	1	1	注11						
LD.H	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd0 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Halfword))	1	1	注11						
LDSR	reg2, regID	rrrrr11111RRRRR 000000000100000 注12	SR[regID] GR[reg2]	regID = PSW以外	1	1	1					
				regID = PSW	1	1	1	x	x	x	x	x
LD.HU	disp16[reg1], reg2	rrrrr11111RRRRR ddddddddddddddd1 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Halfword))	1	1	注11						

モニタック	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
LD.W	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend (disp16) GR[reg2] Load-memory (adr, Word)	1	1	注11						
MOV	reg1, reg2	rrrrr000000RRRRR	GR[reg2] GR[reg1]	1	1	1						
	imm5, reg2	rrrrr010000iiii	GR[reg2] sign-extend (imm5)	1	1	1						
	imm32, reg1	00000110001RRRRR iiiiiiiiiiiiiiii IIIIIIIIIIIIIIII	GR[reg1] imm32	2	2	2						
MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1						
MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + (imm16 0 ¹⁶)	1	1	1						
MUL	reg1, reg2, reg3	rrrrr111111RRRRR wwwww01000100000 注14	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	4	5						
	imm9, reg2, reg3	rrrrr111111iiii wwwww01001IIII00 注13	GR[reg3] GR[reg2] GR[reg2] × sign-extend (imm9)	1	4	5						
MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2] GR[reg2] ²⁶ × GR[reg1] ²⁶	1	1	2						
	imm5, reg2	rrrrr010111iiii	GR[reg2] GR[reg2] ²⁶ × sign-extend (imm5)	1	1	2						
MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] ²⁶ × imm16	1	1	2						
MULU	reg1, reg2, reg3	rrrrr111111RRRRR wwwww01000100010 注14	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	4	5						
	imm9, reg2, reg3	rrrrr111111iiii wwwww01001IIII10 注13	GR[reg3] GR[reg2] GR[reg2] × zero-extend (imm9)	1	4	5						
NOP		0000000000000000	何もせず最低1クロック費やします	1	1	1						
NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2] NOT (GR[reg1])	1	1	1		0	x	x		
NOT1	bit#3, disp16[reg1]	01bbb11110RRRRR ddddddddddddddd 注3	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, Zフラグ)	3	3	3					x	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100010 注3	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, Zフラグ)	3	3	3					x	
OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2] GR[reg2] OR GR[reg1]	1	1	1		0	x	x		
ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] OR zero-extend (imm16)	1	1	1		0	x	x		
PREPARE	list12, imm5	0000011110iiiiL LLLLLLLLLLLL00001	Store-memory (sp - 4, GR[reg in list12], Word) sp sp - 4 repeat 1 steps above until all regs in list12 is stored sp sp-zero-extend (imm5)	n+1 注4	n+1 注4	n+1 注4						
	list12, imm5, sp/imm ^{注15}	0000011110iiiiL LLLLLLLLLLLLff011 imm16/imm32 注16	Store-memory (sp - 4, GR[reg in list12], Word) sp sp - 4 repeat 1 steps above until all regs in list12 is stored sp sp - zero-extend (imm5) ep sp/imm	n+2 注4	n+2 注4	n+2 注4						

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
RETI		0000011111100000 0000000101000000	if PSW.EP = 1 then PC EIPC PSW EIPSW else if PSW.NP = 1 then PC FEPC PSW FEPSW else PC EIPC PSW EIPSW	3	3	3	R	R	R	R	R
SAR	reg1, reg2	rrrrr11111RRRRR 0000000101000000	GR[reg2] GR[reg2] arithmetically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010101iiii	GR[reg2] GR[reg2] arithmetically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SASF	cccc, reg2	rrrrr111110cccc 0000001000000000	if conditions are satisfied then GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000001H else GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000000H	1	1	1					
SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2] saturated (GR[reg2] + GR[reg1])	1	1	1	x	x	x	x	x
	imm5, reg2	rrrrr010001iiii	GR[reg2] saturated (GR[reg2] + sign-extend (imm5))	1	1	1	x	x	x	x	x
SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2] saturated (GR[reg2] - GR[reg1])	1	1	1	x	x	x	x	x
SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2] saturated (GR[reg1] - sign-extend (imm16))	1	1	1	x	x	x	x	x
SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2] saturated (GR[reg1] - GR[reg2])	1	1	1	x	x	x	x	x
SETF	cccc, reg2	rrrrr111110cccc 0000000000000000	if conditions are satisfied then GR[reg2] 0000001H else GR[reg2] 0000000H	1	1	1					
SET1	bit#3, disp16 [reg1]	00bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 1)	3	3	3					x
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100000	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 1)	3	3	3					x
SHL	reg1, reg2	rrrrr11111RRRRR 0000000011000000	GR[reg2] GR[reg2] logically shift left by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010110iiii	GR[reg2] GR[reg2] logically shift left by zero-extend (imm5)	1	1	1	x	0	x	x	
SHR	reg1, reg2	rrrrr11111RRRRR 0000000010000000	GR[reg2] GR[reg2] logically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010100iiii	GR[reg2] GR[reg2] logically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SLD.B	disp7 [ep] , reg2	rrrrr0110ddddddd	adr ep + zero-extend (disp7) GR[reg2] sign-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.BU	disp4 [ep] , reg2	rrrrr0000110ddd 注18	adr ep + zero-extend (disp4) GR[reg2] zero-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.H	disp8 [ep] , reg2	rrrrr1000ddddddd 注19	adr ep + zero-extend (disp8) GR[reg2] sign-extend (Load-memory (adr, Halfword))	1	1	注9					

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SLD.HU	disp5 [ep] , reg2	rrrrr0000111dddd 注18, 20	adr ep + zero-extend (disp5) GR[reg2] zero-extend (Load-memory (adr, Halfword))	1	1	注9					
SLD.W	disp8 [ep] , reg2	rrrrr1010dddddd0 注21	adr ep + zero-extend (disp8) GR[reg2] Load-memory (adr, Word)	1	1	注9					
SST.B	reg2, disp7 [ep]	rrrrr0111ddddddd	adr ep + zero-extend (disp7) Store-memory (adr, GR[reg2], Byte)	1	1	1					
SST.H	reg2, disp8 [ep]	rrrrr1001ddddddd 注19	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
SST.W	reg2, disp8 [ep]	rrrrr1010ddddddd1 注21	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Word)	1	1	1					
ST.B	reg2, disp16 [reg1]	rrrrr111010RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Byte)	1	1	1					
ST.H	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd0 注3	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
ST.W	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend(disp16) Store-memory (adr, GR[reg2], Word)	1	1	1					
STSR	regID, reg2	rrrrr11111RRRRR 000000001000000	GR[reg2] SR[regID]	1	1	1					
SUB	reg1, reg2	rrrrr001101RRRRR	GR[reg2] GR[reg2] - GR[reg1]	1	1	1	x	x	x	x	
SUBR	reg1, reg2	rrrrr001100RRRRR	GR[reg2] GR[reg1] - GR[reg2]	1	1	1	x	x	x	x	
SWITCH	reg1	0000000010RRRRR	adr (PC + 2) + (GR[reg1] logically shift left by 1) PC (PC + 2) + (sign-extend (Load-memory (adr, Halfword))) logically shift left by 1	5	5	5					
SXB	reg1	00000000101RRRRR	GR[reg1] sign-extend (GR[reg1] (7 : 0))	1	1	1					
SXH	reg1	00000000111RRRRR	GR[reg1] sign-extend (GR[reg1] (15 : 0))	1	1	1					
TRAP	vector	0000011111111111 0000000100000000	EIPC PC + 4 (復帰PC) EIPSW PSW ECR.EICC 割り込みコード PSW.EP 1 PSW.ID 1 PC 00000040H (vectorが00H-0FHのとき) 00000050H (vectorが10H-1FHのとき)	3	3	3					
TST	reg1, reg2	rrrrr001011RRRRR	result GR[reg2] AND GR[reg1]	1	1	1		0	x	x	
TST1	bit#3, disp16 [reg1]	11bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3))	3	3	3	注3	注3	注3		x
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100110	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2))	3	3	3	注3	注3	注3		x
XOR	reg1, reg2	rrrrr001001RRRRR	GR[reg2] GR[reg2] XOR GR[reg1]	1	1	1		0	x	x	
XORI	imm16, reg1, reg2	rrrrr110101RRRRR iiiiiiiiiiiiiii	GR[reg2] GR[reg1] XOR zero-extend (imm16)	1	1	1		0	x	x	
ZXB	reg1	00000000100RRRRR	GR[reg1] zero-extend (GR[reg1] (7 : 0))	1	1	1					
ZXH	reg1	00000000110RRRRR	GR[reg1] zero-extend (GR[reg1] (15 : 0))	1	1	1					

- 注1. ddddddddはdisp9の上位8ビットです。
2. 直前にPSWの内容を書き換える命令がある場合は3。
 3. ウェイト・ステートがない場合 (3+リード・アクセス・ウェイト・ステート数)
 4. nはlist12のロード・レジスタの合計数 (ウェイト・ステート数による。ウェイト・ステートがない場合, nはlist12のレジスタ数。n = 0の場合, n = 1と同じ動作)
 5. RRRRR : 00000以外
 6. 下位ハーフワード・データだけ有効
 7. ddddddddddddddddddddはdisp22の上位21ビットです。
 8. ddddddddddddddddはdisp16の上位15ビットです。
 9. ウェイト・ステート数による (ウェイト・ステートがない場合は1)
 10. b : disp16のビット0
 11. ウェイト・ステート数による (ウェイト・ステートがない場合は2)
 12. この命令ではニモニクの記述の都合上, ソース・レジスタをreg2としていますが, オペコード上はreg1のフィールドを使用しています。したがって, ニモニク記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。
 - rrrrr = regID指定
 - RRRRR = reg2指定
 13. iiii : imm9の下位5ビット
IIII : imm9の上位4ビット
 14. 汎用レジスタreg1と汎用レジスタreg3に, 同じレジスタを指定しないでください。
 15. sp/imm : サブオペコードのビット19, 20で指定
 16. ff = 00 : spをepにロード
 - 01 : 符号拡張した16ビット・イミディエト・データ (ビット47-32) をepにロード
 - 10 : 16ビット論理左シフトした16ビット・イミディエト・データ (ビット47-32) をepにロード
 - 11 : 32ビット・イミディエト・データ (ビット63-32) をepにロード
 17. imm = imm32の場合はn + 3クロック
 18. rrrrr : 00000以外
 19. dddddddはdisp8の上位7ビットです。
 20. ddddはdisp5の上位4ビットです。
 21. dddddddはdisp8の上位6ビットです。

付録D 注意事項一覧

本書に記載されている注意事項の一覧です。

なお、表内の「分類（ハード/ソフト）」の区別は、次のとおりです。

ハード：マイコン内部/外部のハードウェアについての注意事項

ソフト：レジスタの設定やプログラムなどソフトウェアについての注意事項

(1/27)

章	分類	機能	機能の詳細	注意事項	頁
第1章	ハード	インタロダクション	FLMD0	通常モード時はV _{SS} に接続してください。	p.22
			REGC	REGC端子は4.7 μF（推奨値）のコンデンサを介し、V _{SS} に接続してください。	p.22
第2章	ソフト	端子機能	NMI	NMI端子はP02端子と兼用しており、リセット後はP02端子として機能します。NMI端子を有効にする場合は、PMC0.PMC02ビットをセット（1）してください。また、NMI端子の初期設定は“エッジ検出なし”になっています。INTF0、INTROレジスタでNMI端子の有効エッジを選択してください。	p.30
			ハード	FLMD0	セルフ・プログラミング中にRESET端子にノイズ除去幅を越えるノイズが入力された場合、FLMD0端子に容量を接続していると容量のチャージ抜けのタイミングによっては、フラッシュ・オンボード・モードに入ってしまうため、FLMD0端子に容量を接続しないでください。
		電源投入時	次の端子は、電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。 ・P53/KR3/TIQ00/TOQ00/DDO端子	p.45	
第3章	ソフト	CPU機能	EIPCレジスタ EIPSWレジスタ FEPCレジスタ FEPSWレジスタ	これらのレジスタは1組しかないので、多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。	p.49
			EIPC, FEPC,	LDSR命令によりEIPCかFEPC、またはCTPCのビット0をセット（1）しても、割り込み処理後のRETI命令で復帰するときにビット0は無視されます（PCのビット0を0固定してあるため）。EIPC, FEPC, CTPCに値を設定する場合は、偶数値（ビット0 = 0）を設定してください。	p.49
			プログラム空間	03FFF000H-03FFFFFFHの4 Kバイトの領域は、内蔵周辺I/O領域のため、命令フェッチすることができません。したがって、分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。	p.57
			内蔵周辺I/O領域	レジスタにワード・アクセスを行うと、アドレスの下位2ビットを無視したワード領域に対し下位、上位の順番でハーフワード・アクセスを2回行います。	p.62
				バイト・アクセス可能なレジスタにハーフワード・アクセスした場合、リード時は上位8ビットが不定になり、ライト時は下位8ビット・データがレジスタに書き込まれます。	p.62
				レジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。	p.62
			内蔵RAM領域	内蔵RAM領域の上限に分岐命令がある場合、内蔵周辺I/O領域にまたがるプリフェッチ動作（無効フェッチ）は発生しません。	p.63
			特定レジスタへのデータ設定	IDLE1, IDLE2, STOP, サブIDLEモードに移行する場合（PSC.STPビット= 1）には、直後にNOP命令を5命令以上挿入する必要があります。	p.76
				コマンド・レジスタに対するストア命令では、割り込みを受け付けません。これはプログラムで上記、を連続したストア命令で行うことを前提としているためです。の間にはほかの命令が置かれており、その命令で割り込みを受け付けた際、上記シーケンスが成立しなくなる場合があり、誤動作の要因となります。	p.76
				PRCMDレジスタへ書き込むデータはダミーですが、特定レジスタへの設定（例）で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み（例）でも使用してください。 アドレッシングに汎用レジスタを使用する場合も同様です。	p.76

章	分類	機能	機能の詳細	注意事項	頁	
第3章	ソフト	CPU機能	SYSレジスタ	PRCMDレジスタへの書き込み動作直後に、特定レジスタではないSYSレジスタのPRERRビットに“0”を書き込んだ場合、PRERRビットは“0”になります(ライト優先)。	p.78	
				PRCMDレジスタへの書き込み動作直後に、特定レジスタではないPRCMDレジスタへの書き込み動作を行った場合、PRERRビットは“1”になります。	p.78	
			最初に設定するレジスタ	V850ES/HG2を使用するには、必ず最初に次のレジスタを設定してください。 ・システム・ウエイト・コントロール・レジスタ (VSWC) ・オンチップ・デバッグ・モード・レジスタ (OCDM) ・ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)	p.79	
			VSWCレジスタ	内蔵周辺I/Oレジスタへのアクセスは3クロック(ノー・ウエイト時)ですが、V850ES/HG2では動作周波数によりウエイトが必要です。使用する動作周波数に応じて、VSWCレジスタには次に示す値を設定してください。	p.79	
			特定の内蔵周辺I/Oレジスタへのアクセスについて	次に示す状態において、上記レジスタへのアクセスは禁止です。ウエイトが発生した場合、解除する方法はリセットだけです。 ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.80	
第4章	ハード	ポート機能	ポート機能	1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。 したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。	p.83, 84	
				ポート0	NMI端子はP02端子と兼用しており、リセット後はP02端子として機能します。 NMIを有効にする場合は、PMC0.PMC02ビットをセット(1)してください。またNMI端子の初期設定は“エッジ検出なし”になっています。INTF0, INTR0レジスタでNMI端子の有効エッジを選択してください。	p.86
	ハード・ソフト	ポート機能	ポート0	P05端子はオンチップ・デバッグ用の端子と兼用です。外部リセット後、P05/INTP2/DRST端子はオンチップ・デバッグ用端子(DRST)に初期化されます。P05端子をオンチップ・デバッグ用端子として使用せず、ポートとして使用する場合は、次の処置が必要です。 OCDMレジスタ(特定レジスタ)のOCDM0ビットをクリア(0)します。 の処置を終えるまでP05/INTP2/DRST端子をロウ・レベル固定にしておきます。 なお、オンチップ・デバッグを使用しない場合、上記処置を行う前にDRST端子にハイ・レベルを入力すると、誤動作(CPUデッド・ロック)の原因となるため、P05端子の取り扱いには十分注意してください。 P05/INTP2/DRST端子にハイ・レベルを入力しない(ロウ・レベルに固定する)場合は、OCDMレジスタのOCDM0ビットを操作する必要はありません。 P05/INTP2/DRST端子は、プルダウン抵抗(30kΩ(TYP.))をバッファに内蔵しているため、外部からロウ・レベル固定に処置する必要はありません。OCDM0ビットをクリア(0)することにより、プルダウン抵抗は切断されます。	p.86	
				ハード	P00-P06端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。	p.86
				ソフト	PMC0レジスタ	P05/INTP2/DRST端子は、OCDM.OCDM0ビット=1のときは、PMC05ビットの値に係なくDRST端子となります。
	ハード	ポート機能	ポート1	P10, P11端子は兼用機能の入力時にヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。	p.90	
				ポート3	P31-P35, P39端子は兼用機能の入力時にヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。	p.93
				ソフト	P3レジスタ	P3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、P3Hレジスタのビット0-7として指定してください。
	ソフト	PM3レジスタ	PM3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PM3Hレジスタのビット0-7として指定してください。	p.95		
			PMC3レジスタ	PMC3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMC3Hレジスタのビット0-7として指定してください。	p.96	

章	分類	機能	機能の詳細	注意事項	頁
第4章	ソフト	ポート機能	PMC3レジスタ	INTP8端子とRXDA2端子は兼用となっています。RXDA2端子として使用する場合は、兼用しているINTP8のエッジ検出を無効にしてください (INTF3.INTF39ビット= 0, INTR3.INTR39ビット= 0に設定)。またINTP8端子として使用する場合はUARTA2を受信動作停止としてください (UA2CTL0.UA2RXEビット= 0)。	p.96
				INTP7端子とRXDA0端子は兼用となっています。RXDA0端子として使用する場合は、兼用しているINTP7のエッジ検出を無効にしてください (INTF3.INTF31ビット= 0, INTR3.INTR31ビット= 0に設定)。またINTP7端子として使用する場合はUARTA0を受信動作停止としてください (UA0CTL0.UA0RXEビット= 0)。	p.97
			PU3レジスタ	PU3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PU3Hレジスタのビット0-7として指定してください。	p.99
	ハード	ポート4	P40-P42端子は兼用機能の入力時にヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。	p.100	
			ポート5	DDI, DDO, DCK, DMS端子はオンチップ・デバッグ用の端子です。外部リセット後, DDI, DDO, DCK, DMS端子をオンチップ・デバッグ用端子として使用せず、ポートとして使用する場合は、次の処置が必要です。 OCDMレジスタ (特定レジスタ) のOCDM0ビットをクリア (0) します。 の処置を終えるまでP05/INTP2/DRST端子をロウ・レベル固定にしておきます。 なお、オンチップ・デバッグを使用しない場合、上記処置を行う前にDRST端子にハイ・レベルを入力すると、誤動作 (CPUデッドロック) の原因となるため、P05端子の取り扱いには十分注意してください。 P05/INTP2/DRST端子にハイ・レベルを入力しない (ロウ・レベルに固定する) 場合は、OCDM.OCDM0ビットを操作する必要はありません。 P05/INTP2/DRST端子は、プルダウン抵抗 (30 kΩ (TYP.)) をバッファに内蔵しているため、外部からロウ・レベル固定に処置する必要はありません。OCDM0ビットをクリア (0) することにより、プルダウン抵抗は切断されます。	p.104
	ハード	ポート5	P50-P55端子は兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。	p.104	
			PMC5レジスタ	PFC5.PFC5nビットおよびPFCE5.PFCE5nビットが初期値 (0) の状態で、PMC5レジスタによりコントロール・モードにした場合、不定出力となります。 そのため、コントロール・モードに設定するには、まずPFC5.PFC5nビットおよびPFCE5.PFCE5nビットを設定したあと、PMC5nビットを1にしてください。	p.106, 107
	ソフト	ポート5の兼用機能の指定	KRn端子とTIQ0m端子は兼用となっています。端子をTIQ0m端子として使用する場合は、兼用しているKRn端子のキー・リターン検出を無効にしてください (KRM.KRMnビットに0を設定)。また、KRn端子として使用する場合は、兼用しているTIQ0m端子のエッジ検出を無効にしてください。	p.108	
			P7Hレジスタ, P7Lレジスタ	A/D変換中にP7H, P7Lレジスタをリード/ライトしないでください。	p.111
			PM7Hレジスタ, PM7Lレジスタ	P7n端子を兼用機能 (ANIn端子) として使用する場合は、PM7nビット= 1に設定してください。	p.111
ポート9			P90-P97, P99, P913-P915端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。	p.112	
P9レジスタ			P9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、P9Hレジスタのビット0-7として指定してください。	p.113	
PM9レジスタ			PM9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PM9Hレジスタのビット0-7として指定してください。	p.114	
PMC9レジスタ			PFC9.PFC9nビットおよびPFCE9.PFCE9nビットが初期値 (0) の状態で、PMC9レジスタによりコントロール・モードにした場合、不定出力となります。 そのため、コントロール・モードに設定するには、まずPFC9.PFC9nビットおよびPFCE9.PFCE9nビットを設定したあと、PMC9nビットを1にしてください。	p.115	
ハード	ポート9	PMC9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMC9Hレジスタのビット0-7として指定してください。	p.115		
		PFC9レジスタ	PFC9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PFC9Hレジスタのビット0-7として指定してください。	p.117	

章	分類	機能	機能の詳細	注意事項	頁
第4章	ソフト	ポート機能	PFCE9レジスタ	PFCE9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PFCE9Hレジスタのビット0-7として指定してください。	p.117
			P9端子のコントロール・モードの設定	PFC9.PFC9nビットおよびPFCE9.PFCE9nビットが初期値(0)の状態、PMC9レジスタによりコントロール・モードにした場合、不定出力となります。 そのため、コントロール・モードに設定するには、まずPFC9.PFC9nビットおよびPFCE9.PFCE9nビットを設定したあと、PMC9nビットを1にしてください。	p.118
				KR7端子とRXDA1端子は兼用となっています。 端子をRXDA1端子として使用する場合は、KR7端子のキー・リターン検出を無効にしてください(KRMレジスタのKRM7ビットに"0"を設定)。また、KR7端子として使用する場合は、PFC91ビット= 1、PFCE91ビット= 0に設定することを推奨します。	p.119
			PU9レジスタ	PU9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PU9Hレジスタのビット0-7として指定してください。	p.120
			ポートDL	FLMD1端子は、フラッシュ・プログラミング・モード時に設定する端子のため、ポート制御用レジスタで操作する必要はありません。詳細は第23章フラッシュ・メモリを参照してください。	p.127
			PDLレジスタ	PDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PDLHレジスタのビット0-7として指定してください。	p.128
			PMDLレジスタ	PMDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMDLHレジスタのビット0-7として指定してください。	p.128
			ポート端子を兼用端子として使用する場合のレジスタ設定	外部リセット後、P05/INTP2/DRST端子はオンチップ・デバッグ用端子(DRST)に初期化されます。 P05/INTP2/DRST端子をオンチップ・デバッグ用端子として使用しない場合の処置については、第25章オンチップ・デバッグ機能を参照してください。	p.130
				INTP7端子とRXDA0端子は兼用となっています。RXDA0端子として使用する場合は兼用しているINTP7端子のエッジ検出を無効にしてください(INTF3.INTF31ビット= 0、INTR3.INTR31ビット= 0に設定)。またINTP7端子として使用する場合はUARTA0を受信動作停止としてください(UA0CTL0.UA0RXEビット= 0)。	p.131
				INTP8端子とRXDA2端子は兼用となっています。RXDA2端子として使用する場合は兼用しているINTP8端子のエッジ検出を無効にしてください(INTF3.INTF39ビット= 0、INTR3.INTR39ビット= 0に設定)。またINTP8端子として使用する場合はUARTA2を受信動作停止としてください(UA2CTL0.UA2RXEビット= 0)。	p.131
				KRn端子とTIQ0m端子は兼用となっています。端子をTIQ0m端子として使用する場合は兼用しているKRn端子のキー・リターン検出を無効にしてください(KRM.KRMnビットに0を設定)。またKRn端子として使用する場合は兼用しているTIQ0m端子のエッジ検出を無効にしてください。	p.132
				DDI, DDO, DCK, DMS端子はオンチップ・デバッグ用の端子です。外部リセット後、DDI, DDO, DCK, DMS端子をオンチップ・デバッグ用端子として使用しない場合の処置については、第25章オンチップ・デバッグ機能を参照してください。	p.132
				PFC5.PFC5nビットおよびPFCE5.PFCE5nビットが初期値(0)の状態、PMC5レジスタによりコントロール・モードにした場合、不定出力となります。 そのため、コントロール・モードに設定するには、まずPFC5.PFC5nビットおよびPFCE5.PFCE5nビットを設定したあと、PMC5nビットを1にしてください。	p.132
				P7nを兼用機能(ANIn)として使用する場合は、PM7n= 1に設定してください。	p.133
				PFC6.PFC6nビット(n = 0-8)が初期値(0)の状態、PMC6レジスタによりコントロール・モードにした場合、不定出力となります。 そのため、コントロール・モードに設定するには、まずPFC6.PFC6nビットを1に設定したあと、PMC6nビットを1にしてください。	p.133
				KR7端子とRXDA1端子は兼用となっています。 端子をRXDA1端子として使用する場合は、KR7端子のキー・リターン検出を無効にしてください(KRM.KRM7ビットに"0"を設定)。 また、KR7端子として使用する場合は、PFC91ビット= 1、PFCE91ビット= 0に設定することを推奨します。	p.134
FLMD1端子は、フラッシュ・プログラミング・モード時に設定する端子のため、ポート制御用レジスタで操作する必要はありません。詳細は第23章フラッシュ・メモリを参照してください。	p.134				

章	分類	機能	機能の詳細	注意事項	頁
第4章	ソフト	ポート機能	ポート端子を兼用端子として使用する場合のレジスタ設定	PFC9.PFC9nビットおよびPFCE9.PFCE9nビットが初期値(0)の状態、PMC9レジスタによりコントロール・モードにした場合、不定出力となります。 そのため、コントロール・モードに設定するには、まずPFC9.PFC9nビットおよびPFCE9.PFCE9nビットを設定したあと、PMC9nビットを1にしてください。	p.134
			ポート・モードから兼用機能モードへ切り替え時	ポート・モードから兼用機能モードへ切り替える場合は、次の順序で行ってください。 PFCn, PFCEnレジスタを設定 : 兼用端子機能選択 PMCnレジスタの該当ビットに1を設定 : 兼用機能モードへ切り替え PMCnレジスタを先に設定すると、その瞬間、またそのあとのPFCn, PFCEnレジスタの設定に伴う端子状態の変化によっては、意図しない動作に陥る可能性があるので注意してください。	p.160
			兼用機能モード(入力)に関する注意事項	兼用機能ブロックへの入力信号は、PMCnレジスタの設定値と端子レベルのAND出力のため、PMCn.PMCnmビット=0のときはロウ・レベルとなります。そのため、ポート設定と兼用機能動作許可のタイミングによっては、意図しない動作に陥る可能性があります。したがって、PMCnレジスタによるポート・モードと兼用機能モードの切り替えは、次に示す順序で実行してください。 ・ポート・モードから兼用機能モード(入力)へ切り替える場合 PMCnレジスタで端子を兼用機能モードにしてから、兼用機能の動作を許可してください。 ・兼用機能モード(入力)からポート・モードへ切り替える場合 兼用機能の動作を停止してから、端子をポート・モードへ切り替えてください。	p.160
			ポート・モード/兼用機能モードに関係なく、Pnレジスタのリード/ライトは次のようになります。 ・Pnレジスタのリード : ポート出力ラッチの値(PMn.PMnmビット=0時)、または端子状態(PMn.PMnmビット=1時)の読み出し ・Pnレジスタへのライト : ポート出力ラッチへの書き込み	p.160	
第5章	ソフト	クロック発生機能	クロック発生回路	発振安定期間中にウォッチドッグ・タイマ2がオーバーフローした場合、内蔵発振クロックが選択されます。	p.162
			PCCレジスタ	CLKOUTを出力している間は、CPUクロック(CK3-CK0ビット)を変更しないでください。 CK3ビットを操作する際は、ビット操作命令で行ってください。8ビット操作命令で行う場合は、CK2-CK0ビットの設定値を変更しないでください。	p.165
				メイン・クロックを停止する場合は、PLLを停止してください。また、メイン・クロックで動作している内蔵周辺機能を動作停止にしてください。	p.166
				次の条件を満たしていない場合は、条件を満たすようにCK2-CK0ビットを変更後、サブクロック動作モードに移行してください。 内部システム・クロック(f_{CLK}) > サブクロック(f_{XT}) × 4	p.166
				メイン・クロックで動作する内蔵周辺機能は、メイン・クロックの発振が安定してから動作を許可してください。発振安定時間が経過する前に動作許可すると、誤動作する可能性があります。	p.167
			RCMレジスタ	RCMレジスタの設定は、オプション・バイト設定により有効になります。 詳細は、第24章オプション・バイト機能を参照してください。 CPUが内蔵発振クロックで動作している間(CCLS.CCLSFBIT=1)は内蔵発振器を停止できません。RSTOPビットをセット(1)しないでください。	p.168
				RSTOPビットがセット(1)されている場合でも、CCLS.CCLSFBITがセット(1)されると(発振安定時間中にWDTオーバーフローが発生)、内蔵発振器は発振します。このときRSTOPビットはセット(1)されたままです。	p.168
			CCLSレジスタ	リセット解除後の発振安定時間中にWDTオーバーフローが発生した場合、CCLSFBITがセット(1)され、リセット値は01Hになります。	p.168
			PLLCTLレジスタ	PLLONビット=0に設定すると、自動的にSELPLLビット=0(クロック・スルー・モード)になります。 SELPLLビット = 1の設定は、PLLクロック周波数が安定した状態のときのみ可能です。安定していないとき(アンロック中)にSELPLLビットをライトすると“0”がライトされます。	p.170
					p.170
			LOCKRレジスタ	LOCKビットはPLLのロック状態をリアルタイムに反映するものではありません。	p.171
			PLLSレジスタ	ロックアップ時間は、800 μ s以上になるように設定してください。 ロックアップ期間中は、PLLSレジスタの設定を変更しないでください。	p.172
					p.172

章	分類	機能	機能の詳細	注意事項	頁
第5章	ソフト	クロック発生機能	PCLMレジスタ	ポート関連制御レジスタ (PM, PMC, PFC, PFCEレジスタなど) を設定後, PCLEビット= 1としてください。	p.173
				PLL動作中のみPCLEビット= 1としてください。また, PLLを停止させる前には, PCLEビット= 0としてください。	p.173
第6章	ソフト	16ビット・タイマ/イベント・カウンタP (TMP)	TPnCTL0レジスタ	TPnCKS2-TPnCKS0ビットは, TPnCEビット= 0のときに設定してください。TPnCEビットを“0”から“1”に設定するときに, 同時にTPnCKS2-TPnCKS0ビットを設定できます。	p.179
				ビット3-6には必ず“0”を設定してください。	p.179
			TPnCTL1レジスタ	TPnESTビットは, 外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは, “1”をライトしても無視されます。	p.180
				ビット3, 4, 7には必ず“0”を設定してください。	p.180
				外部イベント・カウント・モードのときは, TPnEEEビットの値にかかわらず外部イベント・カウント入力を選択されます。	p.181
			TPnIOC0レジスタ	TPnOL1, TPnOE1, TPnOL0, TPnOE0ビットは, TPnCTL0.TPnCEビット= 0のときに書き換えてください (TPnCEビット= 1のときの同値書き込みは可能)。誤って書き換えた場合は, TPnCEビットをクリア (0) してから再設定してください。	p.182
				TPnCEビット= 0, TPnOEmビット= 0の状態において, TPnOLmビットを操作した場合でも, TOPnm端子の出力レベルは変化します。	p.182
			TPnIOC1レジスタ	TPnIS3-TPnIS0ビットは, TPnCTL0.TPnCEビット= 0のときに書き換えてください (TPnCEビット= 1のときの同値書き込みは可能)。誤って書き換えた場合は, TPnCEビットをクリア (0) してから再設定してください。	p.183
				TPnIS3-TPnIS0ビットは, フリー・ランニング・タイマ・モードと, パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。	p.183
			TPnIOC2レジスタ	TPnEES1, TPnEES0, TPnETS1, TPnETS0ビットは, TPnCTL0.TPnCEビット= 0のときに書き換えてください (TPnCEビット= 1のときの同値書き込みは可能)。誤って書き換えた場合は, TPnCEビットをクリア (0) してから再設定してください。	p.184
				TPnEES1, TPnEES0ビットは, TPnCTL1.TPnEEEビット= 1, または外部イベント・カウント・モード (TPnCTL1.TPnMD2-TPnMD0ビット= 001) に設定したときのみ有効です。	p.184
				TPnETS1, TPnETS0ビットは, 外部トリガ・パルス出力モード (TPnCTL1.TPnMD2-TPnMD2-TPnMD0ビット= 010), ワンショット・パルス出力モード (TPnCTL1.TPnMD2-TPnMD0 = 011) に設定したときのみ有効です。	p.184
			TPnOPT0レジスタ	TPnCCS1, TPnCCS0ビットは, TPnCEビット= 0のときに書き換えてください (TPnCEビット= 1のときの同値書き込みは可能)。	p.185
				誤って書き換えた場合は, TPnCEビットをクリア (0) してから再設定してください。ビット1-3, 6, 7には必ず“0”を設定してください。	p.185
TPnCCR0レジスタ	次に示す状態において, TPnCCR0レジスタへのアクセスは禁止です。詳細は3. 4. 8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し, かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.186			
TPnCCR1レジスタ	次に示す状態において, TPnCCR1レジスタへのアクセスは禁止です。詳細は3. 4. 8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し, かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.188			
TPnCNTレジスタ	次に示す状態において, TPnCNTレジスタへのアクセスは禁止です。詳細は3. 4. 8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し, かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.190			
PnmNFCレジスタ	ビット3-5, 7には必ず0を設定してください。	p.191			

章	分類	機能	機能の詳細	注意事項	頁
第6章	ソフト	16ビット・タイマ/イベント・カウンタP (TMP)	PnmNFCレジスタ	PnmNFCレジスタの設定を行う前に、タイマ入力端子 (TIPnm) に入力された信号は、デジタル・ノイズ除去され、出力されます。 そのため、PnmNFCレジスタでサンプリング・クロック (NFC2-NFC0)、サンプリング回数 (NFSTS) を設定したあと、初期化時間=(サンプリング・クロック)×(サンプリング回数)が経過してから、タイマの動作を許可してください。	p.191
			動作	外部イベント・カウント・モードを使用する場合、TIPn0端子のキャプチャ・トリガ入力の有効エッジの設定を、エッジを検出しない (TPnIOC1.TPnIS1, TPnIS0ビットを“00”) に設定してください。	p.192
				外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択 (TPnCTL1.TPnEEEビット=0) に設定) してください。	p.192
			インターバル・タイマ・モード (TPnMD2-TPnMD0ビット=000)	割り込み要求信号 (INTTPnCC0, INTTPnCC1) を割り込みマスク・フラグ (TPnCCMK0, TPnCCMK1) でマスク設定し、タイマ出力 (TOPn1) する場合だけ、1に設定することを許可します。ただし、TPnCCR0,TPnCCR1レジスタの設定値は同値にしてください (6.5.1(2)(d) TPnCCR1レジスタの動作参照)。	p.194
			TPnCCR0レジスタの書き換えに関する注意事項	TPnCCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。 カウント動作中にTPnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。	p.199
			外部イベント・カウント・モード動作時のレジスタ設定内容	カウント・クロックとして外部クロックを使用するときは、外部クロックはTIPn0端子からのみ入力できます。このとき、TPnIOC1.TPnIS1, TPnIS0ビット = 00(キャプチャ・トリガ入力 (TIPn0端子) : エッジ検出なし) に設定してください。	p.205
			外部イベント・カウント・モード動作タイミング	外部イベント・カウント・モード時、TPnCCR0レジスタには、0000Hを設定しないでください。	p.207
				外部イベント・カウント・モード時、タイマ出力は使用禁止です。外部イベント・カウント入力でタイマ出力を行う場合は、インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可に選択してください (TPnCTL1.TPnMD2-TPnMD0ビット=000, TPnCTL1.TPnEEEビット=1)。	p.207
			TPnCCR0レジスタの書き換えに関する注意事項	TPnCCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。 カウント動作中にTPnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。	p.208
			TPnIOC0, TPnOE0, TPnOL0ビット	外部トリガ・パルス出力モードでTOPn0端子を使用しない場合は、“0” に設定してください。	p.213
			動作中のパルス幅変更の注意事項	動作中にPWM波形を変更する場合には、最後にTPnCCR1レジスタにライトしてください。TPnCCR1レジスタにライト後、再度TPnCCRmレジスタの書き換えを行う場合には、INTTPnCC0信号を検出後に書き換えてください。	p.217
			TPnIOC0, TPnOE0, TPnOL0ビット	ワンショット・パルス出力モードでTOPn0端子を使用しない場合は、“0” に設定してください。	p.225
			ワンショット・パルス出力モード動作時のレジスタ設定内容	ワンショット・パルス出力モードにおいて、TPnCCR1レジスタの設定値がTPnCCR0レジスタより大きい場合、ワンショット・パルスは出力しません。	p.226
			TPnCCRm レジスタの書き換えに関する注意事項	TPnCCRmレジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。 カウント動作中にTPnCCRmレジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。	p.228
			TPnIOC0, TPnOE0, TPnOL0ビット	PWM出力モードでTOPn0端子を使用しない場合は、“0” に設定してください。	p.232
タイマ同調動作機能	同調動作モードの許可/禁止は、TPmCTL1.TPmSYEビットおよびTQ0CTL1.TQ0SYEビットで設定します。TMP2ではTMP3とTMQ0のどちらか一方または両方をスレープとして設定できます。	p.263			

章	分類	機能	機能の詳細	注意事項	頁	
第6章	ソフト	16ビット・タイマ/イベント・カウンタP (TMP)	タイマ同調動作機能	同調動作モードの設定は、次の順で行ってください。 スレーブ・タイマのTPmCTL1.TPmSYEビットおよびTQ0CTL1.TQ0SYEビットをセットし同調動作を許可します。スレーブ・タイマのTPmCTL1.TPmMD2-TPmMD0ビットおよびTQ0CTL1.TQ0MD2-TQ0MD0ビットをフリー・ランニング・モードに設定します。 マスタ・タイマのTPnCTL1.TPnMD2-TPnMD0ビットによりタイマ・モードを設定します。このとき、マスタ・タイマのTPnCTL1.TPnSYEビットはセットしないでください。 マスタ・タイマおよびスレーブ・タイマのコンペア・レジスタの値を設定します。スレーブ・タイマのTPmCTL0.TPmCEビットおよびTQ0CTL0.TQ0CEビットをセットし、内部動作クロック動作を許可します。 マスタ・タイマのTPnCTL0.TPnCEビットをセットし、内部動作クロック動作を許可します。		p.263
			セレクト機能	セレクト機能を使用する場合は、接続されるTMPをキャプチャ・トリガ入力に設定してください。		p.267
				セレクト機能を設定する場合は、接続される周辺I/O (TMP, TMM0, UARTA) を動作禁止にしてから設定してください。		p.267
			SELCNT0レジスタ	INTTMOEQ0割り込み信号をTIP01入力信号に使用する場合は、次の範囲内で使用してください。 TMM動作クロック TMP動作クロック×4		p.268
				ISEL02-ISEL05の各ビットを“1”に設定する場合は、対応する機能端子をキャプチャ入力に設定してください。		p.268
				ISEL02-ISEL05の各ビットは、対象となるTMP0, TM1, TM3およびTMM0, UARTA0-UARTA2の動作を停止した状態のときに設定してください。		p.268
			キャプチャ動作	キャプチャ動作を使用し、かつカウント・クロックとして遅いクロックを選択した場合、TPnCEビットをセット(1)したすぐあとに、キャプチャ・トリガが入力されると、TPnCCR0, TPnCCR1レジスタに0000HではなくFFFFHがキャプチャされる場合があります。		p.269
第7章	ソフト	16ビット・タイマ/イベント・カウンタQ (TMQ)	TQnCTL0レジスタ	TQnCKS2-TQnCKS0ビットは、TQnCEビット= 0のときに設定してください。TQnCEビットを“0”から“1”に設定するときに、同時にTQnCKS2-TQnCKS0ビットを設定できます。		p.275
				ビット3-6には必ず“0”を設定してください。		p.275
			TQnCTL1レジスタ	TQnESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。		p.276
				ビット3, 4は必ず“0”を設定してください。		p.276
				外部イベント・カウント・モードのときは、TQnEEEビットの値にかかわらず外部イベント・カウント入力を選択されます。		p.277
				TQnEEE, TQnMD2-TQnMD0ビットは、TQnCTL0.TQnCEビット=0のときに設定してください (TQnCEビット= 1のときの同値書き込みは可能)。TQnCEビット= 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TQnCEビットをクリア(0)してから再設定してください。		p.277
			TQnIOC0レジスタ	TQnOLm, TQnOEmビットは、TQnCTL0.TQnCEビット= 0のときに書き換えてください (TQnCEビット= 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQnCEビットをクリア(0)してから再設定してください。		p.278
				TQnCEビット= 0, TQnOEmビット= 0の状態において、TQnOLmビットを操作した場合でも、TOQnm端子の出力レベルは変化します。		p.278
			TQnIOC1レジスタ	TQnIS7-TQnIS0ビットは、TQnCTL0.TQnCEビット= 0のときに書き換えてください (TQnCEビット= 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQnCEビットをクリア(0)してから再設定してください。		p.279
				TQnIS7-TQnIS0ビットは、フリー・ランニング・タイマ・モードと、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。		p.279
			TQnIOC2レジスタ	TQnEES1, TQnEES0, TQnETS1, TQnETS0ビットは、TQnCTL0.TQnCEビット= 0のときに書き換えてください (TQnCEビット= 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQnCEビットをクリア(0)してから再設定してください。		p.280

章	分類	機能	機能の詳細	注意事項	頁
第7章	ソフト	16ビット・タイマ/イベント・カウンタQ (TMQ)	TQnIOC2レジスタ	TQnEES1, TQnEES0ビットは, TQnCTL1.TQnEEEビット= 1, または外部イベント・カウント・モード (TQnCTL1.TQnMD2-TQnMD0ビット= 001) に設定したときのみ有効です。	p.280
				TQnETS1, TQnETS0ビットは, 外部トリガ・パルス出力モード (TQnCTL1.TQnMD2-TQnMD0ビット= 010), ワンショット・パルス出力モード (TQnCTL1.TQnMD2-TQnMD0ビット= 011) に設定したときのみ有効です。	p.280
			TQnOPT0レジスタ	TQnCCS3-TQnCCS0ビットは, TQnCTL0.TQnCEビット= 0のときに書き換えてください (TQnCEビット= 1のときの同値書き込みは可能)。誤って書き換えた場合は, TQnCEビットをクリア (0) してから再設定してください。	p.281
				ビット1-3には必ず“0”を設定してください。	p.281
			TQnCCR0レジスタ	次に示す状態において, TQnCCR0レジスタへのアクセスは禁止です。詳細は3. 4. 8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し, かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.282
			TQnCCR1レジスタ	次に示す状態において, TQnCCR1レジスタへのアクセスは禁止です。詳細は3. 4. 8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し, かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.284
			TQnCCR2レジスタ	次に示す状態において, TQnCCR2レジスタへのアクセスは禁止です。詳細は3. 4. 8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し, かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.286
			TQnCCR3レジスタ	次に示す状態において, TQnCCR3レジスタへのアクセスは禁止です。詳細は3. 4. 8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し, かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.288
			TQnCNTレジスタ	次に示す状態において, TQnCNTレジスタへのアクセスは禁止です。詳細は3. 4. 8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し, かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.290
			QnmNFCレジスタ	ビット3-5, 7には必ず0を設定してください。	p.291
				QnmNFCレジスタの設定を行う前に, タイマ入力端子 (TIQnm) に入力された信号は, デジタル・ノイズ除去され, 出力されます。 そのため, QnmNFCレジスタでサンプリング・クロック (NFC2-NFC0), サンプリング回数 (NFSTS) を設定したあと, 初期化時間= (サンプリング・クロック) × (サンプリング回数) が経過してから, タイマの動作を許可してください。	p.291
			外部イベント・カウント・モード	外部イベント・カウント・モードを使用する場合, TIQn0端子のキャプチャ・トリガ入力の有効エッジの設定を, エッジを検出しない (TQnIOC1.TQnIS1, TQnIS0ビットを“00”) に設定してください。	p.292
			外部トリガ・パルス出力モード, ワンショット・パルス出力モード, パルス幅測定モード	外部トリガ・パルス出力モード, ワンショット・パルス出力モード, パルス幅測定モードを使用する場合, カウント・クロックは内部クロックを選択 (TQnCTL1.TQnEEEビット= 0に設定) してください。	p.292
TQnCTL1.TQnEEEビット	割り込み要求信号 (INTTQnCC0, INTTQnCck) を割り込みマスク・フラグ (TQnCCMK0, TQnCCMKk) でマスク設定し, タイマ出力 (TOQnk) する場合だけ, 1に設定することを許可します。ただし, TQnCCR0, TQnCCRkレジスタの設定値は, 同値にしてください (7. 5. 1(2) (d) TQnCCR1-TQnCCR3レジスタの動作参照)。	p.294			
TQnCCR0レジスタの書き換えに関する注意事項	TQnCCR0レジスタの設定値を小さい値に変更する場合には, 一度カウント動作を停止させ, その後, 設定値を変更してください。 カウント動作中にTQnCCR0レジスタの値を小さい値に書き換えると, 16ビット・カウンタがオーバフローする場合がありますので注意してください。	p.298, 307			

章	分類	機能	機能の詳細	注意事項	頁
第7章	ソフト	16ビット・タイマ/イベント・カウンタQ (TMQ)	外部イベント・カウント・モード動作時のレジスタ設定内容	カウント・クロックとして外部クロックを使用するときは、外部クロックはTIQn0端子からのみ入力できます。このとき、TQnIOC1.TQnIS1, TQnIS0ビット = 00 (キャプチャ・トリガ入力 (TIQn0端子) : エッジ検出なし) に設定してください。	p.304
			外部イベント・カウント・モード動作タイミング	外部イベント・カウント・モード時、TQnCCR0レジスタには、0000Hを設定しないでください。 外部イベント・カウント・モード時、タイマ出力は使用禁止です。外部イベント・カウント入力でタイマ出力を行う場合は、インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可に選択してください (TQnCTL1.TQnMD2-TQnMD0ビット= 000, TQnCTL1.TQnEEEビット= 1)。	p.306 p.306
			TQnIOC0, TQnOE0, TQnOL0ビット	外部トリガ・パルス出力モードでTOQn0端子を使用しない場合は、“0” に設定してください。	p.314
			動作中のパルス幅変更の注意事項	動作中にPWM波形を変更する場合には、最後にTQnCCR1レジスタにライトしてください。TQnCCR1レジスタにライト後、再度TQnCCRkレジスタの書き換えを行う場合には、INTTQnCC0信号を検出後に書き換えてください。	p.318
			TQnIOC0, TQnOE0, TQnOL0ビット	ワンショット・パルス出力モードでTOQn0端子を使用しない場合は、“0” に設定してください。	p.327
			ワンショット・パルス出力モード動作時のレジスタ設定内容	ワンショット・パルス出力モードにおいて、TQnCCRkレジスタの設定値が、TQnCCR0レジスタより大きい場合、ワンショット・パルスは出力しません。	p.328
			TQnCCRm レジスタの書き換えに関する注意事項	TQnCCRmレジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。 カウント動作中にTQnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。	p.331
			TQnIOC0, TQnOE0, TQnOL0ビット	PWM出力モードでTOQn0端子を使用しない場合は、“0” に設定してください。	p.336
			三角波PWMモード (TQnMD2-TQnMD0=111)	PWMモード時、TQnCCRmレジスタはコンペア・レジスタとして機能が固定されるためキャプチャ・レジスタとしての機能は使用できません。	p.370
			タイマ同調動作機能	同調動作モードの許可/禁止は、TPmCTL1.TPmSYEビットおよびTQ0CTL1.TQ0SYEビットで設定します。TMP2ではTMP3とTMQ0のどちらか一方または両方をスレープとして設定できます。 同調動作モードの設定は、次の順で行ってください。 スレープ・タイマのTPmCTL1.TPmSYEビットおよびTQ0CTL1.TQ0SYEビットをセットし同調動作を許可します。スレープ・タイマのTPmCTL1.TPmMD2-TPmMD0ビットおよびTQ0CTL1.TQ0MD2-TQ0MD0ビットをフリー・ランニング・モードに設定します。 マスタ・タイマのTPnCTL1.TPnMD2-TPnMD0ビットによりタイマ・モードを設定します。このとき、マスタ・タイマのTPnCTL1.TPnSYEビットはセットしないでください。 マスタ・タイマおよびスレープ・タイマのコンペア・レジスタの値を設定します。スレープ・タイマのTPmCTL0.TPmCEビットおよびTQ0CTL0.TQ0CEビットをセットし、内部動作クロック動作を許可します。 マスタ・タイマのTPnCTL0.TPnCEビットをセットし、内部動作クロック動作を許可します。	p.373 p.373
			キャプチャ動作	キャプチャ動作を使用し、かつカウント・クロックとして遅いクロックを選択した場合、TQnCEビットをセット(1)したすぐあとに、キャプチャ・トリガが入力されると、TQnCCR0, TQnCCR1, TQnCCR2, TQnCCR3レジスタに0000HではなくFFFFHがキャプチャされる場合があります。	p.377
			第8章	ソフト	16ビット・インターバル・タイマM (TMM)
インターバル・タイマ・モード動作	TM0CMP0レジスタには、FFFFHを設定しないでください。	p.382, 385			

章	分類	機能	機能の詳細	注意事項	頁
第8章	ソフト	16ビット・インターバル・タイマM (TMM)	カウント開始	TM0CTL0.TM0CEビット= 1としてからカウント開始するまで、選択したカウント・クロックによって時間が異なります。	p.386
			TM0CMP0, TM0CTL0レジスタ	TM0CMP0, TM0CTL0レジスタはTMM動作中の書き換えは禁止です。TM0CEビット= 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TM0CTL0.TM0CEビットをクリア (0) してから再設定してください。	p.386
第9章	ソフト	時計タイマ機能	PRSM0レジスタ	時計タイマ動作中に、BGCS01, BGCS00ビットの値を変更しないでください。	p.390
				PRSM0レジスタの設定はBGCE0ビットをセット (1) する前に行ってください。	p.390
				f _{BRG} の周波数が32.768 kHzとなるよう、使用するメイン・クロック周波数にあわせて、PRSM0, PRSCM0レジスタの設定を行ってください。	p.390
			PRSCM0レジスタ	時計タイマ動作中にPRSCM0レジスタを書き換えしないでください。	p.391
				PRSM0.BGCE0ビットをセット (1) する前にPRSCM0レジスタの設定を行ってください。	p.391
				f _{BRG} の周波数が32.768 kHzとなるよう、使用するメイン・クロック周波数にあわせて、PRSM0, PRSCM0レジスタの設定を行ってください。	p.391
	WTMレジスタ	WTM2-WTM7ビットを書き換える場合は、WTM0, WTM1ビットがともに0の状態で行ってください。	p.393		
ハード	注意事項	動作許可 (WTM.WTM1, WTM0ビット= 1) してから、最初の1回目の時計タイマ割り込み要求信号 (INTWT) が発生するまで多少時間がかかります。	p.396		
	1回目のINTWT信号が発生するまでに、最大0.515625 sかかります (最大 $2^9 \times 1/32768 = 0.015625$ s長くかかります)。そのあとは0.5 sごとにINTWT信号が発生します。	p.396			
第10章	ソフト	ウォッチドッグ・タイマ2機能	機能	ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。	p.397
				ウォッチドッグ・タイマ2を使用しない場合は、この機能によるリセットが発生する前に停止するか、一度ウォッチドッグ・タイマ2をクリアし、次のインターバル時間内で停止してください。	
				また、デフォルトの設定 (リセット・モード、インターバル時間: $f_R/2^{19}$) で変更する必要がない場合も、動作を確定するために、1回だけWDTM2レジスタへの書き込みを行ってください。	
				ノンмасカブル割り込み要求信号 (INTWDT2) によるノンмасカブル割り込み処理については15.2.2 (2) INTWDT2信号の場合を参照してください。	p.397
			WDTM2レジスタ	次に示す状態において、WDTM2レジスタへのアクセスは禁止です。詳細は3.4.8 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。	p.399
				・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合	
				・CPUが内蔵発振クロックで動作している場合	
				オプション・バイト機能 (第24章参照) にてOPB1ビットを1にセットした場合、リセット・モードに固定されます。	
				WDCS24-WDCS20ビットについては表10-2 ウォッチドッグ・タイマ2のクロック選択を参照してください。	
				リセット後、WDTM2レジスタに2回書き込んだ場合、強制的にオーバフロー信号を発生し、カウンタをリセットします。	
				意図的にオーバフロー信号を発生させたい場合は、WDTM2レジスタに2回だけ書き込むか、WDTEレジスタに“ACH”以外の値を1回だけ書き込んでください。	
ただし、ウォッチドッグ・タイマ2を動作停止に設定した場合は、WDTM2レジスタに2回だけ書き込む、またはWDTEレジスタに“ACH”以外の値を1回だけ書き込んで、オーバフロー信号は発生しません。					
ウォッチドッグ・タイマ2の動作を停止する場合は、RCM.RSTOPビット = 1 (内蔵発振器の停止) に設定するとともに、WDTM2レジスタに1FHを書き込んでください。ただしオプション・バイト機能 (第24章参照) にてOPB1ビットを1にした場合、リセット以外に停止することはできません。	p.399				
オプション・バイト機能にてOPB1ビットを1にセットした場合、クロックは内蔵発振クロック (f _R) に固定されます ($2^{12}/f_R - 2^{19}/f_R$ の選択は可能)。詳細は第24章オプション・バイト機能を参照してください。	p.400				
WDTEレジスタ	WDTEレジスタに“ACH”以外の値を書き込んだ場合、強制的にオーバフロー信号を発生します。	p.401			
	WDTEレジスタに1ビット・メモリ操作命令を実行した場合、強制的にオーバフロー信号を発生します。				

章	分類	機能	機能の詳細	注意事項	頁	
第10章	ソフト	ウォッチドッグ・タイマ2機能	WDTEレジスタ	意図的にオーバフロー信号を発生させたい場合は、WDTEレジスタに“ACH”以外の値を1回だけ書き込むか、WDTM2レジスタに2回だけ書き込んでください。	p.401	
				ただし、ウォッチドッグ・タイマ2を動作停止に設定した場合は、WDTEレジスタに“ACH”以外の値を1回だけ書き込む、またはWDTM2レジスタに2回だけ書き込んで、オーバフロー信号は発生しません。		
				WDTEレジスタのリード値は、“9AH”（書き込んだ値（“ACH”）とは異なる値）になります。	p.401	
第11章	ハード	A/Dコンバータ	ANI0-ANI15端子	ANI0-ANI15端子入力電圧は規格の範囲内で使用してください。特にAV _{REF0} 以上の電圧が入力されると、そのチャネルの変換値が不定となり、またほかのチャネルの変換値にも影響を与えることがあります。	p.405	
				アナログ入力（ANI0-ANI15）端子はポート（P70-P715）端子と兼用になっています。ANI0-ANI15端子のいずれかを選択してA/D変換する場合、変換中にポート7に対する入力命令はしないでください。変換分解能が低下することがあります。	p.405	
	ソフト	A/Dコンバータ	ADA0M0レジスタ	次に示す状態において、ADA0M0レジスタへのアクセスは禁止です。詳細は3.4.8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。	p.406	
				・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合		
				・CPUが内蔵発振クロックで動作している場合		
				ビット0に書き込みを行った場合、書き込みは無視されます。	p.407	
				A/D変換動作許可中（ADA0CEビット= 1）は、ADA0M1レジスタの変更は禁止です。	p.407	
				A/D変換動作中（ADA0EFビット= 1）にADA0M0、ADA0M2、ADA0S、ADA0PFM、ADA0PFTレジスタに書き込みを行った場合には各モードにより次のようになります。	p.407	
				・ソフトウェア・トリガ・モード時 A/D変換動作は中断され、再度、最初から変換動作を行います。		
				・ハードウェア・トリガ・モード時 A/D変換動作は中断され、再度、トリガ待機状態になります。		
				A/Dコンバータを使用しない場合は、消費電力を小さくするために、ADA0CEビット= 0として動作を停止させてください。	p.407	
				A/D変換開始直後の最初の入力端子の変換分解能が低下する可能性があります。詳細は11.6(7) AV _{REF0} 端子についてを参照してください。	p.407	
				ADA0M1レジスタ	ビット6-4には必ず“0”を設定してください。	p.408
					ADA0HS1ビットには必ず“1”を設定してください。	p.408
	変換モード時の設定例	3.1 μ s 変換時間 15.5 μ sになるように設定してください。	p.408			
		安定時間中のADA0M0、ADA0M2、ADA0S、ADA0PFM、ADA0PFTレジスタへの書き換え、およびトリガ入力を禁止します。	p.408			
ADA0M2レジスタ	ビット7-2には必ず“0”を設定してください。	p.409				
ADA0CRn、ADA0CRnHレジスタ	次に示す状態において、ADA0CRn、ADA0CRnHレジスタへのアクセスは禁止です。詳細は3.4.8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。	p.411				
	・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合					
	・CPUが内蔵発振クロックで動作している場合					
	ADA0M0、ADA0Sレジスタに対して書き込み動作を行ったとき、ADA0CRnレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、ADA0M0、ADA0Sレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。	p.412				
ADA0PFMレジスタ	セレクト・モードではADA0PFTレジスタに設定した8ビット・データとADA0Sレジスタで指定したADA0CRnHレジスタの値を比較し、結果がADA0PFCビットで設定された条件に一致した場合はADA0CRnレジスタに変換結果を格納しINTAD信号が発生しますが、一致しない場合は割り込みを発生しません。	p.414				
	スキャン・モードではADA0PFTレジスタに設定した8ビット・データとADA0CR0Hレジスタを比較し、結果がADA0PFCビットで設定された条件に一致した場合はADA0CR0レジスタに変換結果を格納しINTAD信号を発生させますが、一致しない場合はINTAD信号を発生させません。また比較結果にかかわらず、比較後はスキャン動作を継続しスキャン終了までADA0CRnレジスタに変換結果は格納しますが、スキャン終了後のINTAD信号は発生しません。	p.414				
A/Dコンバータ未使用時	未使用時は、ADA0M0.ADA0CEビット= 0とすることにより消費電力を低減できます。	p.427				

章	分類	機能	機能の詳細	注意事項	頁
第11章	ソフト	A/Dコンバータ	ANI0-ANI15端子入力範囲	ANI0-ANI15端子の入力電圧は規格の範囲内で使用してください。ただし、絶対最大定格の範囲内であっても AV_{REF0} 以上、 AV_{SS} 以下の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。	p.427
		ノイズ対策	10ビット分解能を保つためには、ANI0-ANI15端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するためにコンデンサを外付けすることを推奨します。	p.427	
		兼用入出力	アナログ入力（ANI0-ANI15）端子はポート端子と兼用になっています。ANI0-ANI15端子のいずれかを選択してA/D変換をする場合、変換中に入力ポートへの読み出し命令、または出力ポートへの書き込み命令を実行しないでください。変換分解能が低下することがあります。 また、A/D変換中に出力ポートに設定している端子で、ポート端子に接続される外部回路の影響で電流が流れる場合も変換分解能が低下することがあります。 A/D変換中の端子に隣接する端子へデジタル・パルスを加したりデジタル・パルスを出したりすると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加またはパルス出力はしないでください。	p.427	
		割り込み要求フラグ（ADIF）	ADA0Sレジスタを変更しても、割り込み要求フラグ（ADIF）はクリアされません。したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADA0Sレジスタ書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があり、ADA0Sレジスタ書き換え直後にADIFフラグを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされている場合がありますので注意してください。また、A/D変換を一度停止させて再開する場合は、再開する前にADIFフラグをクリアしてください。	p.428	
ハード		AV_{REF0} 端子	(a) AV_{REF0} 端子はA/Dコンバータの電源端子を兼用しており、また兼用ポートにも電源を供給しています。したがって、バックアップ電源に切り替えるようなアプリケーションにおいても必ず V_{DD} と同じ電位を印加してください。 (b) AV_{REF0} 端子はA/Dコンバータ用の基準電圧端子を兼用しています。したがって、 AV_{REF0} 端子への供給部のインピーダンス値が高い場合や、電源の電流供給能力が低い場合、変換時に流れる電流（特に変換動作許可ADA0CEビット=1とした直後）により基準電圧が変動し、変換精度が悪くなるおそれがあります。これを避けるために AV_{REF0} 端子と AV_{SS} 端子間にコンデンサを接続し変動を抑えるようにすることを推奨します。 (c) AV_{REF0} 端子への供給部に直流抵抗値（ダイオード挿入など）が高いと、A/D変換電流による電圧降下により、変換動作停止時より動作許可時のほうが電圧が低くなる可能性があります。	p.429	
		ADA0CRnレジスタの読み出し	ADA0M0-ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに対して書き込み動作を行ったとき、ADA0CRnレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、ADA0M0-ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに対して書き込み動作を行う前に読み出してください。また、外部ノイズ・トリガを受け付けたときも、ADA0CRnレジスタの内容は不安定になることがあります。変換結果は、変換動作終了後、次の外部ノイズ・トリガを受け付ける前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。	p.429	
ソフト		A/D変換結果	アナログ入力端子および基準電圧入力端子にノイズのいる場合は、ノイズにより不正な変換結果が生じることがあります。この不正な変換結果により、システムに悪影響を与えることを避けるために、ソフトウェア処理が必要です。次にソフトウェア処理の例を示します。 ・複数回のA/D変換結果の平均値をA/D変換結果として使用する。 ・複数回のA/D変換を連続して行い、特異な変換結果が得られた場合、この値を除外した変換結果を使用する。 ・システムに異常が発生したと判断されるようなA/D変換結果が得られた場合、ただちに異常処理を行わず、再度異常発生を確認した上で異常処理を行う。	p.429	

章	分類	機能	機能の詳細	注意事項	頁
第11章	ソフト	A/Dコンバータ	スタンバイ・モードについて	A/Dコンバータは、STOPモード時に動作が停止するため、変換結果は無効になり消費電力を低減できます。STOPモード解除後、再び動作を開始しますが、STOPモード解除後のA/D変換結果は無効です。STOPモード解除後にA/Dコンバータを使用する場合は、STOPモード設定前またはSTOPモード解除後にADA0M0.ADA0CEビット=0に設定してからSTOPモード解除後にADA0CEビット=1に設定してください。 IDLE1、IDLE2モード、サブクロック動作モードでは動作が保持されるため、消費電力を低減する場合にはADA0M0.ADA0CEビット=0にしてください。ただし、IDLE1、IDLE2モード期間中は、アナログ入力電圧値が保持できなくなるため、IDLE1、IDLE2モード解除後のA/D変換結果は無効です。また、IDLE1、IDLE2モード設定前のA/D変換結果は有効です。	p.430
			安定時間中のレジスタの書き換え、トリガ入力	安定時間中のADA0M0、ADA0M2、ADA0S、ADA0PFM、ADA0PFTのレジスタの書き換え、およびトリガ入力を禁止します。	p.430
			A/D変換結果のばらつき	電源電圧の変動やノイズなどの影響によりA/D変換結果がばらつくことがあります。ばらつきを軽減する必要がある場合は、A/D変換結果の平均値をとるなど、プログラムで対策してください。	p.430
	ハード	A/D変換のヒステリシス特性	逐次比較型A/Dコンバータは、内部のサンプル&ホールド用コンデンサにアナログ入力電圧を保持し、そのあと、A/D変換を行います。A/D変換が終了したあとも、内部のサンプル&ホールド用コンデンサには、アナログ入力電圧が残っています。このため次のような現象が起きることがあります。 ・同一チャンネルでA/D変換を実行する場合、以前のA/D変換時よりも高い電圧、または低い電圧に変化していると、変換結果が以前の値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。 ・アナログ入力チャンネルを切り替える場合、1つのA/Dコンバータを用いてA/D変換を行っているため、変換結果が以前のチャンネルの値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。 このため、より正確な変換結果を得たい場合は、同一チャンネルで2回連続A/D変換を行い、1回目の変換結果を廃棄してください。	p.430	
第12章	ソフト	アシンクロナス・シリアル・インタフェースA (UARTA)	UAnOPT0レジスタ	UAnSRT、UAnSTTビットは、SBF受信中 (UAnSRFビット=1) にセット (1) しないでください。	p.440
			SBF受信	データ受信中に、SBFが送信されてきた場合には、フレーミング・エラーとなります。	p.450
				SBF受信トリガ・ビット (UAnSRT)、SBF送信トリガ・ビット (UAnSTT) はSBF受信中 (UAnSRF = 1) にセット (1) しないでください。	p.450
			連続送信	送信の初期化を行う場合、連続送信実行中は、UAnSTR.UAnTSFビットが“0”であることを確認してから初期化を実行してください。UAnTSFビットが“1”のときに初期化を実行した場合の送信データの保証できません。連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信レートが通常より動作クロックの2クロック分伸びます。	p.451
			UART受信	受信エラー発生時にも、UAnRXレジスタは必ず読み出してください。UAnRXレジスタを読み出さないと、次のデータ受信にオーバーラン・エラーが発生し、いつまでも受信エラーの状態が続くことになります。	p.455
				受信時は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。	p.455
				受信終了時は、受信完了割り込み要求信号 (INTUAnR) 発生後、UAnRXレジスタを読み出してからUAnPWRビット=0またはUAnRXEビット=0としてください。INTUAnR信号が発生する前にUAnPWRビット=0またはUAnRXEビット=0とした場合、UAnRXレジスタのリード値は保証できません。	p.455
UARTAnの受信完了処理 (INTUAnR信号の発生) と、UAnPWRビット=0またはUAnRXEビット=0が競合した場合、UAnRXレジスタにデータを格納していないにもかかわらず、INTUAnR信号が発生することがあります。INTUAnR信号の発生を待たずに受信終了を行うときには、必ず割り込み制御レジスタ (UAnRIC) の割り込みマスク・フラグ (UAnRMK) をセット (1) してから、UAnPWRビット=0またはUAnRXEビット=0とし、さらにUAnRICレジスタの割り込み要求フラグ (UAnRIF) をクリア (0) してください。	p.455				

章	分類	機能	機能の詳細	注意事項	頁
第12章	ソフト	アシンクロナス・シリアル・インタフェースA (UARTA)	受信エラー	INTUAnR信号が発生したら、必ずUAnSTRレジスタを読み出してエラーの有無を確認してください。	p.456
				連続受信時に受信エラー割り込みが発生した場合は、次の受信が完了する前にUAnSTRレジスタの内容を読み出してエラー処理を実施してください。	p.456
			LIN機能	LIN機能を使用する場合、UAnCTL0.UAnPS1, UAnPS0ビットを“00”に固定してください。	p.458
			UAnCTL1レジスタ	UAnCTL1レジスタを書き換える場合は、UAnCTL0.UAnPWRビット = 0にしてから行ってください。	p.461
			UAnCTL2レジスタ	UAnCTL2レジスタを書き換える場合は、UAnCTL0.UAnPWRビット = 0、またはUAnTXE,UAnRXEビット = 00にしてから行ってください。	p.462
			ポー・レート誤差	送信時のポー・レート誤差は、受信先の許容誤差以内にしてください。	p.463
				受信時のポー・レート誤差は、(5)受信時の許容ポー・レート範囲で示す範囲を満たすようにしてください。	p.463
			受信時の許容ポー・レート範囲	受信時のポー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。	p.465
			UARTAnへの供給クロックが停止する場合	UARTAnへの供給クロックが停止する場合(例: IDLE1, IDLE2, STOPモード)は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDAn端子出力も停止直前の値を保持、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はUAnCTL0.UAnPWR, UAnRXEn,UAnTXEnビット = 000とし、回路を初期化してください。	p.468
			RXDA1端子 KR7端子	RXDA1端子とKR7端子は同時に使用することはできません。RXDA1端子を使用する場合は、KR7端子を使用しないでください。また、KR7端子を使用する場合は、RXDA1端子を使用しないでください(PFC91ビット= 1, PFCE91ビット= 0に設定することを推奨します)。	p.468
			DMA転送で送信データ、受信データの転送	UARTAnでは、通信エラーによる割り込みを発生しません。そのため、DMA転送で送信データ、受信データの転送を行う場合、転送中にエラー(パリティ/オーバラン/フレーミング)が発生しても、エラー処理を行いません。DMA転送終了後にUAnSTRレジスタを読み出してエラーがなかったことを確認するか、通信中に適宜UAnSTRレジスタを読み出してエラーの有無を確認してください。	p.468
			UARTAnの起動	UARTAnの起動は次の順序で行ってください。 UAnCTL0.UAnPWRビット = 1 ポートの設定 UAnCTL0.UAnTXEビット = 1, UAnCTL0.UAnRXEビット = 1	p.468
			UARTAnの停止	UARTAnの停止は次の順序で行ってください。 UAnCTL0.UAnTXEビット = 0, UAnCTL0.UAnRXEビット = 0 ポートの設定, UAnCTL0.UAnPWRビット = 0(ポートの設定は変更しなくても問題ありません)	p.468
			送信モード	送信モード中(UAnCTL0.UAnPWRビット = 1, かつUAnCTL0.UAnTXEビット = 1)に、ソフトウェアでUAnTXレジスタの同値書き込みをしないでください。このレジスタへの書き込みにより送信が開始するためです。同値を連続送信する場合は問題ありません。	p.468
			連続送信	連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信レートが、通常より基本クロックの2クロック分延びます。ただし、受信側はスタート・ビットの検出でタイミングの初期化を行うため、受信結果には影響しません。	p.468
オンチップ・デバッグ・モード	オンチップ・デバッグ(OCD)モード下において、breakコマンドが起動され、かつUARTAがデータ受信したとき、オーバラン・エラーを発生します。	p.468			
第13章	ソフト	3線式可変長シリアルI/O (CSIB)	CBnCTL0レジスタ	送受信を強制中断する場合は、CBnRXEビット, CBnTXEビットではなく、CBnPWRビットをクリア(0)してください。このとき、クロック出力も停止します。	p.472
				ビット3, 2には必ず0を設定してください。	p.474
			CBnCTL1レジスタ	CBnCTL1レジスタは、CBnCTL0.CBnPWRビット = 0、またはCBnCTL0.CBnTXE, CBnRXEビット = 0の場合のみ書き換えが可能です。	p.475
				通信クロック(f _{CLK})は、8 MHz以下になるように設定してください。	p.475
CBnCTL2レジスタ	CBnCTL2レジスタは、CBnCTL0.CBnPWRビット = 0、またはCBnTXE, CBnRXEビット = 0の場合のみ書き換えが可能です。	p.476			

章	分類	機能	機能の詳細	注意事項	頁
第13章	ソフト	3線式可変長シリアルI/O (CSIB)	連続転送モード (マスタ・モード, 送信モード)	連続送信モードでは, 受信完了割り込み要求信号 (INTCBnR) は発生しません。	p.493
			連続転送モード (スレーブ・モード, 送信モード)	連続送信モードでは, 受信完了割り込み要求信号 (INTCBnR) は発生しません。	p.502
			クロック・タイミング	シングル転送モードでは, CBnTSFビット = 1の状態ではCBnTXレジスタに書き込みを行っても無視されます。なお, 転送中の動作には影響はありません。 たとえば, INTCBnR信号発生によりDMAを起動し, CBnTXレジスタに次のデータを書き込んだり, CBnTSFビット = 1のため書き込んだデータの転送は行われません。 このようなアプリケーションは, シングル転送モードではなく連続転送モードを使用してください。	p.511, 512
			PRSM0レジスタ	時計タイマおよびCSIB0動作中に, PRSM0レジスタを書き換えしないでください。	p.514
				PRSM0レジスタの設定はBGCE0ビットに“1”を設定する前に行ってください。	p.514
			PRSCM0レジスタ	時計タイマ, およびCSIB動作中にPRSCM0レジスタを書き換えしないでください。	p.515
				PRSM0.BGCE0ビットに“1”を設定する前にPRSCM0レジスタの設定を行ってください。	p.515
			ポー・レートの生成	f _{BRG} は, 8 MHz以下になるように設定してください	p.515
			DMA転送により, 送信データ, 受信データの転送を行う場合	DMA転送により, 送信データ, 受信データの転送を行う場合, シリアル転送中にオーバーラン・エラーが発生してもエラー処理を行えません。DMA転送終了後にCBnSTR.CBnOVEビットを読み出してオーバーラン・エラーがなかったことを確認してください。	p.516
			CBnCTL0レジスタ CBnCTL1レジスタ CBnCTL2レジスタ	動作中 (CBnCTL0.CBnPWRビット = 1) の書き換えを禁止しているレジスタに対して, 動作中に誤って書き換えを行ってしまった場合は, 一度CBnCTL0.CBnPWRビット = 0に設定してCSIBnを初期化してください。 動作中の書き換えが禁止されているレジスタを次に示します。 ・CBnCTL0レジスタ: CBnTXE, CBnRXE, CBnDIR, CBnTMSビット ・CBnCTL1レジスタ: CBnCKP, CBnDAP, CBnCKS2-CBnCKS0ビット ・CBnCTL2レジスタ: CBnCL3-CBnCL0ビット	p.516
通信タイプ2, 4	通信タイプ2, 4 (CBnCTL1.CBnDAPビット = 1) では, 受信完了割り込み (INTCBnR) 発生後, SCKBn半クロック後にCBnSTR.CBnTSFビットがクリアされます。 一方, シングル転送モードでは, 通信中 (CBnTSFビット = 1) に次の送信データをライトしても無視され, 次の通信は起動しません。また, 受信のみの通信に設定したとき (CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 1) も, 通信中 (CBnTSFビット = 1) に受信データをリードしても次の通信は起動しません。 そのため, 通信タイプ2, 4 (CBnDAPビット = 1) でシングル転送モードを使用する場合, 次の点に注意してください。 ・次の送信を起動する場合は, CBnTSFビット = 0であることを確認したあと, CBnTXレジスタに送信データを書き込む ・受信のみの通信に設定したとき (CBnTXEビット = 0, CBnRXEビット = 1) に続けて次の受信を行う場合は, CBnTSFビット = 0であることを確認したあと, CBnRXレジスタをリードする または, シングル転送モードではなく, 連続転送モードを使用してください。特にDMAを使用する場合は連続転送モードの使用を推奨します。	p.516			
第14章	ソフト	DMA機能 (DMAコントローラ)	DSA0-DSA3レジスタ	DSAnHレジスタのビット14-10には, 必ず“0”を設定してください。	p.519
			DSAnH, DSAnLレジスタの設定は, DMA転送禁止状態 (DCHCn.Ennビット = 0) である次のいずれかのタイミングで行ってください。 ・リセット後から最初のDMA転送起動までの期間 ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間 ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間	p.519	
			DSAnレジスタの値を読み出す際, DSAnHレジスタとDSAnLレジスタの2つの16ビット・レジスタごとに読み出すため, 読み出しと更新のタイミングが競合した場合, 更新途中の値が読み出されることがあります (14.13 注意事項参照)。	p.519	
			リセット後, DMA転送を開始する前にDSAnH, DSAnL, DDAAnH, DDAAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は, 動作を保証しません。	p.519	

章	分類	機能	機能の詳細	注意事項	頁
第14章	ソフト	DMA機能 (DMAコントローラ)	DDA0-DDA3レジスタ	DDAnHレジスタのビット14-10には、必ず“0”を設定してください。	p.520
				DDAnH, DDAnLレジスタの設定は、DMA転送禁止状態 (DCHCn.Ennビット= 0) である次のいずれかのタイミングで行ってください。 ・リセット後から最初のDMA転送起動までの期間 ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間 ・DMA転送完了後 (DCHCn.TCnビット= 1の状態) から次のDMA転送起動までの期間	p.520
				DDAnレジスタの値を読み出す際、DDAnHレジスタとDDAnLレジスタの2つの16ビット・レジスタごとに読み出すため、読み出しと更新のタイミングが競合した場合、更新途中の値が読み出されることがあります (14. 13 注意事項参照)。	p.520
				リセット後、DMA転送を開始する前にDSAnH, DSAnL, DDAnH, DDAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は、動作を保証しません。	p.520
			DBC0-DBC3レジスタ	DBCnレジスタの設定は、DMA転送禁止状態 (DCHCn.Ennビット= 0) である次のいずれかのタイミングで行ってください。 ・リセット後から最初のDMA転送起動までの期間 ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間 ・DMA転送完了後 (DCHCn.TCnビット= 1の状態) から次のDMA転送起動までの期間	p.521
				リセット後、DMA転送を開始する前にDSAnH, DSAnL, DDAnH, DDAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は、動作を保証しません。	p.521
			DADC0-DADC3レジスタ	DADCnレジスタのビット15, 13-8, 3-0には、必ず“0”を設定してください。	p.522
				DADCnレジスタの設定は、DMA転送禁止状態 (DCHCn.Ennビット= 0) である次のいずれかのタイミングで行ってください。 ・リセット後から最初のDMA転送起動までの期間 ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間 ・DMA転送完了後 (DCHCn.TCnビット= 1の状態) から次のDMA転送起動までの期間	p.522
				DS0ビットは転送データ・サイズを設定するものであり、バス・サイジングを制御するものではありません。したがって、8ビット・データ (DS0ビット= 0) を設定した場合でも、必ずしも下位データ・バスを使用するわけではありません。	p.522
				転送データ・サイズを16ビットに設定した場合 (DS0ビット= 1), 奇数アドレスから始まる転送はできません。下位アドレスの1ビットを“0”にアラインしたアドレスから必ず転送を開始します。	p.522
				内蔵周辺I/Oレジスタを対象 (転送元 / 転送先) とするDMA転送の場合、必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば、8ビットのレジスタに対するDMA転送の場合は、必ず (8ビット) 転送を指定してください。	p.522
			DCHC0-DCHC3レジスタ	TCnビットはリードのみ可能です。	p.523
				INITn, STGnビットはライトのみ可能です。	p.523
				DCHCnレジスタのビット6-3には、必ず“0”を設定してください。	p.523
				DMA転送完了時 (ターミナル・カウント時) は、Ennビットのクリア (0) TCnビットのセット (1) の順で各ビットの更新が行われます。そのため、DCHCnレジスタの各ビットの更新途中でDCHCnレジスタを読み出した場合、「転送未完了、かつ転送禁止」の状態を示す値 (TCnビット= 0, かつEnnビット= 0) が読み出されることがあります。	p.523
			DTFR0-DTFR3レジスタ	DFnビットはソフトウェアにより“1”を設定しないでください。DMA転送を禁止している間にDMA転送の起動要因に設定している割り込みが発生し、DMA転送要求をクリアする必要がある場合に0をライトしてください。	p.524
				IFCn5-IFCn0ビットの設定は、DMA転送禁止状態 (DCHCn.Ennビット= 0) である次のいずれかのタイミングで行ってください。 ・リセット後から最初のDMA転送起動までの期間 ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間 ・DMA転送完了後 (DCHCn.TCnビット= 1の状態) から次のDMA転送起動までの期間	p.524
				スタンバイ・モード (IDLE1, IDLE2, STOP, サブIDLEモード) 中に発生した割り込み要求は、DMA転送サイクルの起動要因にはなりません (DFnビットもセット (1) されません)。	p.524
				IFCn5-IFCn0ビットで任意のDMA起動要因を選択したあとは、DMA転送の許可 / 禁止にかかわらず、選択した内蔵周辺I/Oからの割り込みが発生するとDFnビットはセット (1) されます。この状態でDMA許可とした場合、ただちにDMA転送が起動されます。	p.524

章	分類	機能	機能の詳細	注意事項	頁
第14章	ソフト	DMA機能 (DMAコントローラ)	転送対象の関係	表14-2に示す転送先と転送元で、「x」が表記されている組み合わせで転送を行った場合の動作は保証できません。	p.526
			内蔵周辺I/Oによる要求	同一のDMAチャネルに対して、2つの起動要因(ソフトウェア・トリガ、ハードウェア・トリガ)を併用できません。1つのDMAチャネルに対して、2つの起動要因が同時に発生した場合、どちらか一方だけが有効となります。有効となった起動要因の特定はできません。	p.529
				先のDMA転送要求が発生してから、または先のDMA転送サイクル中に新たな転送要求が発生しても、その要求は無視(クリア)されます。	p.529
				同一のDMAチャネルに対する転送要求間隔は、DMA転送サイクル中のバス・ウエイトの設定やほかのチャネルの起動状況、または外部バス・ホールド要求により変化します。特に注意2のとおり、DMA転送サイクル前、または転送サイクル中に同一チャネルの新たな転送要求が発生しても、その要求は無視されてしまいます。したがって、同一のDMAチャネルに対する転送要求間隔は、システム上で十分な間隔をもつようしてください。ソフトウェア・トリガ時は、DBCnレジスタの更新により、先に発生したDMA転送サイクルの完了を確認できます。	p.529
			VSWCレジスタに関する注意	DMACを使用する際は、必ずVSWCレジスタに、動作周波数に応じた最適な値を設定してください。 VSWCレジスタの初期値(77H)、または最適な値以外で使用した場合は正常に動作できません(VSWCレジスタの詳細については、3.4.8(1)(a)システム・ウエイト・コントロール・レジスタ(VSWC)を参照してください)。	p.535
			内蔵RAMを転送対象とするDMA転送時の注意	内蔵RAMに配置された次の命令を実行する場合は、内蔵RAMを対象(転送先/転送元)とするDMA転送を行わないでください。その後CPUが正常に動作しない可能性があります。 ・内蔵RAMに配置されたミス・アライン・アドレスに対するデータ・アクセス命令 逆に、内蔵RAMを対象(転送先/転送元)としたDMA転送を行う場合は、上記の命令を実行しないでください。	p.535
DCHCn.TCnビットのリードに関する注意事項	TCnビットは、読み出しによりクリア(0)されますが、ある特定タイミングにおいてTCnビットをリードしても、自動的にクリア(0)されません。TCnビットのクリアを確実に実行するために次の処理を追加してください。 (a) TCnビットをポーリングしてDMA転送完了の待ち合わせを行う場合 TCnビットがセット(1)されたことを確認したあと(TCnビット=1が読み出されたあと)、さらに3回のTCnビットのリードを行ってください。 (b) 割り込み処理ルーチンでTCnビットのリードを行う場合 TCnビットのリードを3回実行してください。	p.535			

章	分類	機能	機能の詳細	注意事項	頁
第14章	ソフト	DMA機能 (DMAコントローラ)	DMA転送の初期化手順 (DCHCn.INITnビットのセット(1))	<p>DMA転送中のチャンネルを初期化するとき、INITnビットをセット(1)しても、チャンネルの初期化が行われない場合があります。初期化を確実に実行するために、次に示す2つの手順のいずれかを実行させてください。</p> <p>(a) 一時的にすべてのDMAチャンネルの転送を停止させる方法</p> <p>次に示す ~ の手順で初期化を実行してください。</p> <p>ただし、次の に示す処理の実行により、TCnビットがクリア(0)されてしまいます。ほかの処理において、TCnビット=1となっていることを期待したプログラムになっていないことを確認してください。</p> <p>割り込み禁止状態(DI)にする。</p> <p>強制終了したいチャンネル以外に使用しているDMAチャンネルのDCHCn.Ennビットを読み出し、汎用レジスタに転送する。</p> <p>使用しているDMAチャンネル(強制終了するチャンネルを含む)のEnnビットをクリア(0)する。</p> <p>最終のDMAチャンネルの場合にはEnnビットのクリア命令を2回実行する。このとき、転送対象(転送元/転送先)が内蔵RAMの場合は、3回実行する。</p> <p>例 チャンネル0, 1, 2を使用している場合には、次の順で命令を実行する(転送対象が内蔵RAMでない場合)。</p> <ul style="list-style-type: none"> ・DCHC0.E00ビットをクリア(0) ・DCHC1.E11ビットをクリア(0) ・DCHC2.E22ビットをクリア(0) ・再度、DCHC2.E22ビットをクリア(0) <p>強制終了するチャンネルのINITnビットをセット(1)する。</p> <p>強制終了しない各チャンネルのTCnビットを読み出し、TCnビットと で読み出したEnnビットが、ともに1(論理積(AND)が1)の場合は退避していたEnnビットをクリア(0)する。</p> <p>で操作後のEnnビットをDCHCnレジスタに書き込む。</p> <p>割り込み許可状態(EI)にする。</p>	p.536
				<p>上記 は、 , の間に正常終了したチャンネルに対して、再度Ennビットを不正にセットすることを防ぐため、必ず行ってください。</p>	p.536
				<p>(b) 正常に強制終了するまでINITnビットのセットを繰り返し実行する方法</p> <p>強制終了したいチャンネルのDMA要求元からのリクエストが発生しないようにする(内蔵周辺I/Oの動作停止)。</p> <p>DTFRn.DFnビットにより、強制終了するチャンネルのDMA転送要求が保留されていないかを確認する。保留されている場合は、保留されているDMA転送要求の実行が完了するまで待つ。</p> <p>強制終了するチャンネルのDMA要求が保留されていないことが確認できたら、Ennビットをクリア(0)する。</p> <p>再度、強制終了するチャンネルのEnnビットをクリア(0)する。</p> <p>ただし、強制終了するチャンネルの転送対象(転送元/転送先)が内蔵RAMの場合は、この操作をさらにもう一度実行する。</p> <p>強制終了するチャンネルの初期転送回数を汎用レジスタにコピーする。</p> <p>強制終了するチャンネルのINITnビットをセット(1)する。</p> <p>強制終了するチャンネルのDBCnレジスタの値を読み出し、 でコピーした値と比較する。比較した結果、一致しない場合は から の操作を繰り返す。</p>	p.537
				<p>DMA転送の一時中断手順について(Ennビットのクリア)</p>	<p>実行中のDMA転送を中断し、再開するには次の手順にしたがってください。</p> <p>DMA要求元からの転送要求が発生しないようにする(内蔵周辺I/Oの動作を停止)。</p> <p>DFnビットにより、DMA転送要求が保留されていないかを確認する(DFnビット=0であることを確認)。</p> <p>保留されている場合は、保留されているDMA転送要求の実行が完了するまで待つ。</p> <p>DMA転送要求が保留されていないことを確認できたら、Ennビットをクリア(0)する(この操作により、DMA転送が中断される)。</p> <p>DMA転送を再開させるためにEnnビットをセット(1)する。</p> <p>停止しているDMA要求元の動作を再開する(内蔵周辺I/Oの動作を開始)。</p>
		メモリ境界	DMA転送中に、転送元、または転送先のアドレスがDMA対象(外部メモリ、内蔵RAM、内蔵周辺I/O)の領域を越えた場合の動作は保証できません。	p.537	

章	分類	機能	機能の詳細	注意事項	頁
第14章	ソフト	DMA機能 (DMAコントローラ)	ミス・アライン・データの転送	16ビット・バス幅のミス・アライン・データのDMA転送はサポートしていません。奇数アドレスを転送元、または転送先に指定した場合、アドレスの最下位ビットは強制的に0として扱われます。	p.537
			CPUへのバス・アービトレーション	バス使用权の優先順位はCPUよりDMAコントローラが高いため、DMA転送中に発生したCPUのアクセスは、DMA転送サイクルが完了しCPUにバスが開放されるまで待たされます。ただし、CPUはDMA転送を行っていない外部メモリ、内蔵周辺I/O、内蔵RAMとのアクセスが可能です。	p.538
			DMA動作中の書き換え禁止レジスタ/ビット	次のレジスタの設定は、DMA動作中でない次のいずれかのタイミングで行ってください。 【対象レジスタ】 ・DSAnH, DSAnL, DDAAnH, DDAAnL, DBCn, DADCnレジスタ ・DTFRn.IFCn5-IFCn0ビット 【設定可能タイミング】 ・リセット後から最初のDMA転送開始までの期間 ・チャンネル初期化後からDMA転送開始までの時間 ・DMA転送完了後(TCnビット=1の状態)から次のDMA転送開始までの期間	p.538
			DSAnHレジスタ DDAAnHレジスタ DADCnレジスタ DCHCnレジスタ	次のレジスタの各ビットには、必ず“0”を設定してください。 ・DSAnHレジスタのビット14-10 ・DDAAnHレジスタのビット14-10 ・DADCnレジスタのビット15, 13-8, 3-0 ・DCHCnレジスタのビット6-3	p.538
			DMAの起動要因	同じ起動要因で複数のDMAチャンネルを起動しないでください。起動した場合、すでに設定済みのチャンネルのDMAが起動されたり、優先順位の低いDMAチャンネルが優先順位の高いDMAチャンネルより先に受け付けられたりする場合があります、動作は保証できません。	p.538
			DSAn, DDAAn レジスタの読み出し値	DMA転送中にDSAn, DDAAnレジスタの値を読み出した場合、更新途中の値が読み出されることがあります。 たとえば、DMA転送元アドレス(DSAnレジスタ)が0000FFFFH、カウント方向がインクリメント(DADCn.SAD1, SAD0ビット=00)の場合、DSAnHレジスタ DSAnLレジスタの順に読み出しを行うと、DSAnHレジスタ読み出し直後のDMA転送の有無によって、DSAnLレジスタの値が次のように異なります。 (a) DSAnレジスタの読み出し中にDMA転送が発生しない場合 DSAnHレジスタの読み出し: DSAnH = 0000H DSAnLレジスタの読み出し: DSAnL = FFFFH (b) DSAnレジスタの読み出し中にDMA転送が発生する場合 DSAnHレジスタの読み出し: DSAnH = 0000H DMA転送の発生 DSAnレジスタのインクリメント: DSAn = 00100000H DSAnLレジスタの読み出し: DSAnL = 0000H	p.538
			第15章	ソフト	割り込み/例外処理機能
マスカブル割り込み	ノンマスカブル割り込み処理中にLDSR命令によりEP, NPビットを変更した場合には、RETI命令による復帰時にPCとPSWを正常にリストアするために、RETI命令の直前で、LDSR命令を使用してEPビット=0かつNPビット=1に戻しておく必要があります。	p.547			
多重割り込み	マスカブル割り込み処理中にLDSR命令によりEP, NPビットを変更した場合は、RETI命令による復帰時にPCとPSWを正常にリストアするために、RETI命令の直前で、LDSR命令を使用してEPビット=0かつNPビット=0に戻しておく必要があります。	p.551			
割り込み制御レジスタ	多重割り込みを行うときはEI命令を実行する前に、EIPC, EIPSWの内容を退避する必要があります。また、多重割り込みから復帰する際は、DI命令を実行したあとに、EIPC, EIPSWの内容を復帰してください。	p.553-555			
割り込み制御レジスタ	xxlCn.xxIFnビットを読み出す場合は、割り込み禁止(DI)状態または割り込みをマスクした状態で行ってください。割り込み許可(EI)状態または割り込みマスクを解除した状態でxxIFnビットを読み出すと、割り込みの受け付けとビットの読み出しのタイミングが競合した場合に、正常な値が読み出せないことがあります。	p.556			
割り込み制御レジスタ	割り込み要求信号が受け付けられるとハードウェアにより自動的にリセットされます。	p.556			

章	分類	機能	機能の詳細	注意事項	頁
第15章	ソフト	割り込み/例外処理機能	IMR0-IMR3レジスタ	デバイス・ファイルでは、xxlCn.xxMKnビットを予約語として定義しています。したがって、xxMKnビットの名称でビット操作を行うと、IMRmレジスタではなくxxlCnレジスタを書き換えます（結果としてIMRmレジスタも書き換わります）。	p.559
				IMR0-IMR3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、IMR0H-IMR3Hレジスタのビット0-7として指定してください。	p.560
				IMR3レジスタのビット15-13、8-5、IMR2レジスタのビット7-4には1を設定してください。変更した場合の動作は保証できません。	p.560
			ISPRレジスタ	割り込み許可（EI）状態において、ISPRレジスタをリード中に割り込みを受け付けた場合、その割り込み受け付けによるビットがセット（1）されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は、割り込み禁止（DI）状態でリードしてください。	p.561
			ソフトウェア例外処理からの復帰	ソフトウェア例外処理中にLDSR命令によりEP、NPビットを変更した場合には、RETI命令による復帰時にPCとPSWを正常にリストアするために、RETI命令の直前で、LDSR命令を使用してEPビット=1かつNPビット=0に戻しておく必要があります。	p.564
			不正命令コード	不正命令コードには、将来、新規に命令を割り当てる可能性があるため、使用しないことを推奨します。	p.566
			不正命令コードからの復帰	DBPC、DBPSWへは、不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセス可能です。	p.567
			デバッグ・トラップからの復帰	DBPCとDBPSWには、DBTRAP命令を実行してからDBRET命令を実行するまでの期間のみアクセス可能です。	p.569
			INTF0、INTR0レジスタ	外部割り込み機能（兼用機能）からポート機能に切り替える際、エッジ検出を行う可能性があるため、INTF0n、INTR0nビット=00に設定したあとにポート・モードに設定してください。	p.569
				NMI、INTP0-INTP3端子として使用しない場合、必ずINTF0n、INTR0nビット=00に設定してください。	p.571
			INTR1、INTF1レジスタ	外部割り込み機能（兼用機能）からポート機能に切り替える際、エッジ検出を行う可能性があるため、INTF1n、INTR1nビット=00に設定したあとにポート・モードに設定してください。	p.572
				INTP9、INTP10端子として使用しない場合、必ずINTP1n、INTR1nビット=00に設定してください。	p.572
			INTR3、INTF3レジスタ	外部割り込み機能（兼用機能）からポート機能に切り替える際、エッジ検出を行う可能性があるため、INTF3n、INTR3nビット=00に設定したあとにポート・モードに設定してください。	p.573
				INTF3、INTR3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、INTF3H、INTR3Hレジスタのビット0-7として指定してください。	p.573
				INTP7、INTP8端子として使用しない場合、必ずINTP3n、INTR3nビット=00に設定してください。	p.573
			INTF9H、INTR9Hレジスタ	外部割り込み機能（兼用機能）からポート機能に切り替える際、エッジ検出を行う可能性があるため、INTF9n、INTR9nビット=0に設定したあとにポート・モードに設定してください。	p.574
				INTP4-INTP6端子として使用しない場合、必ずINTF9n、INTR9nビット=00に設定してください。	p.574
			NFCレジスタ	サンプリング・クロック変更後、デジタル・ノイズ除去回路が初期化されるのに、サンプリング・クロック×NFSTSビットで設定した回数がかかります。そのため、サンプリング・クロックを変更してからサンプリング・クロック×NFSTSビットで設定した回数以内に、INTP3の有効エッジが入力されると割り込み要求信号が発生する可能性があります。したがって、割り込み機能、DMA機能を使用する場合は、次の点を注意してください。 ・割り込み機能使用時は、サンプリング・クロック×NFSTSビットで設定した回数経過後、割り込み要求フラグ（PIC3.PIF3ビット）をクリアしてから割り込みを許可してください。 ・DMA機能使用時（INTP3で起動）は、サンプリング・クロック×NFSTSビットで設定した回数経過後、DMAを許可してください。	p.575
			NMI端子	NMI端子はP02と兼用しており、リセット後は通常ポートとして機能します。NMI端子を使用する場合には、PMC0レジスタでNMI端子を有効にしてください。また、NMI端子の初期設定は“エッジ検出なし”になっていますので、INTF0、INTR0レジスタで有効エッジを選択してください。	p.578

章	分類	機能	機能の詳細	注意事項	頁
第16章	ソフト	キー割り込み機能	KRMレジスタ	KRMレジスタを書き換える場合は、一度00Hとしてから書き換えてください。	p.580
				KRMレジスタを変更すると、割り込み要求信号 (INTKR) が発生する場合があります。したがって、あらかじめ割り込みを禁止 (DI) またはマスクしてからKRMレジスタを変更し、割り込み要求フラグ (KRIC.KRIFビット) をクリア (0) してから、割り込みを許可 (EI) またはマスク解除してください。	p.580
			KR0-KR7端子	KR0-KR7端子のうち1つでもロウ・レベルが入力されていると、別の端子の立ち下がりエッジを入力してもINTKR信号が発生しません。	p.580
			RXDA1端子 KR7端子	RXDA1端子とKR7端子は同時に使用することはできません。RXDA1端子を使用する場合は、KR7端子を使用しないでください。また、KR7端子を使用する場合は、RXDA1端子を使用しないでください (PFC91ビット= 1, PFCE91ビット= 0に設定することを推奨します)。	p.580
			キー割り込み機能の使用時	キー割り込み機能を使用する場合は、必ずポート端子をキー・リターン用端子に設定してからKRMレジスタで動作を許可してください。また、逆にキー・リターン用端子からポート端子に切り替える場合は、KRMレジスタで動作を禁止してからポート端子の設定を行ってください。	p.580
第17章	ソフト	スタンバイ機能	PSCレジスタ	IDLE1, IDLE2, STOP, サブIDLEモードに設定するときは、PSMR.PSM1, PSM0ビットを設定してから、STPビットを設定してください。	p.583
				NMI1M, NMI0M, INTMビットの設定は、HALTモード解除時は無効です。	p.583
				NMI1M, NMI0M, INTMビットと、STPビットを同時にセット (1) した場合、NMI1M, NMI0M, INTMビットの設定は無効になります。したがって、IDLE1/IDLE2/STOPモードに移行する際にマスクされていない保留中の割り込み要求信号がある場合は、その割り込み要求信号に対するビット (NMI1M, NMI0M, INTM) をセット (1) したあとにSTPビットをセット (1) してください。	p.583
			PSMRレジスタ	ビット2-7には、必ず0を設定してください。	p.584
				PSM0, PSM1ビットは、PSC.STPビット= 1のときのみ有効です。	p.584
			OSTSレジスタ	STOPモード解除時のウエイト時間は、リセットによる場合も、割り込み要求信号発生による場合も、STOPモード解除後クロック発振を開始するまでの時間は含みません。ビット7-3には必ず“0”を設定してください。	p.585
				リセット解除後の発振安定時間は、 $2^{16}/f_x$ (OSTSレジスタの初期値 = 06Hのため) となります。	p.585
				リセット解除後の発振安定時間は、 $2^{16}/f_x$ (OSTSレジスタの初期値 = 06Hのため) となります。	p.585
			HALTモード	HALT命令の後には、NOP命令を5命令以上挿入してください。	p.586
				マスクされていない割り込み要求信号が保留されている状態でHALT命令を実行した場合、HALTモードに移行するが、保留されている割り込み要求によりHALTモードはすぐに解除されません。	p.586
			IDLE1モード	IDLE1モードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。	p.588
				マスクされていない割り込み要求信号が保留されている状態でIDLE1モードに設定した場合、保留されている割り込み要求によりIDLE1モードはすぐに解除されません。	p.588
			IDLE1モード解除	PSC.NMI1M, NMI0M, INTMビットで1に設定 (割り込み禁止) されている割り込み要求信号は無効になり、IDLE1モードは解除されません。	p.588
				NFCレジスタの設定により、デジタル・ノイズ除去を選択し、かつ、サンプリング・クロックを $f_{xx}/64$, $f_{xx}/128$, $f_{xx}/256$, $f_{xx}/512$, $f_{xx}/1024$ から選択した場合、INTP3端子の割り込み要求信号によるIDLE1モードの解除はできません。詳細は15. 6. 2 (5) ノイズ除去制御レジスタ (NFC) を参照してください。	p.588
IDLE2モード	IDLE2モードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。	p.590			
	マスクされていない割り込み要求信号が保留されている状態でIDLE2モードに設定した場合、保留されている割り込み要求によりIDLE2モードはすぐに解除されません。	p.590			
IDLE2モード解除	PSC.NMI1M, NMI0M, INTMビットで1に設定 (割り込み禁止) されている割り込み要求信号は無効になり、IDLE2モードは解除されません。	p.590			
	NFCレジスタの設定により、デジタル・ノイズ除去を選択し、かつ、サンプリング・クロックを $f_{xx}/64$, $f_{xx}/128$, $f_{xx}/256$, $f_{xx}/512$, $f_{xx}/1024$ から選択した場合、INTP3端子の割り込み要求信号によるIDLE2モードの解除はできません。詳細は15. 6. 2 (5) ノイズ除去制御レジスタ (NFC) を参照してください。	p.590			

章	分類	機能	機能の詳細	注意事項	頁
第17章	ソフト	スタンバイ機能	STOPモード	STOPモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。	p.593
				マスクされていない割り込み要求信号が保留されている状態でSTOPモードに設定した場合、保留されている割り込み要求によりSTOPモードはすぐに解除されます。	p.593
			STOPモード解除	PSC.NMI1M, NMI0M, INTMビットで1に設定(割り込み禁止)されている割り込み要求は無効になり、STOPモードは解除されません。	p.593
				NFCレジスタの設定により、デジタル・ノイズ除去を選択し、かつ、サンプリング・クロックをf _{xx} /64, f _{xx} /128, f _{xx} /256, f _{xx} /512, f _{xx} /1024から選択した場合、INTP3端子の割り込み要求信号によるSTOPモードの解除はできません。詳細は15.6.2(5)ノイズ除去制御レジスタ(NFC)を参照してください。	p.593
			STOPモード時の動作状態	A/Dコンバータを動作したままSTOPモードに遷移した場合、STOPモード期間中A/Dコンバータは自動的に停止しますが、STOPモード解除後、再び動作を開始します。ただし、その場合STOPモード解除後のA/D変換結果は無効です。また、STOPモード遷移前のA/D変換結果はすべて無効です。	p.595
				A/Dコンバータを動作したままSTOPモードに遷移した場合でも、STOPモード遷移前にA/Dコンバータを停止した場合と同等に消費電力を低減できます。	p.595
			サブクロック動作モード	CK3ビットを操作する場合、PCC.CK2-CK0ビットの設定値の変更は禁止です(ビット操作命令を推奨)。PCCレジスタの詳細は、5.3(1)プロセッサ・クロック・コントロール・レジスタ(PCC)を参照してください。	p.597
				次の条件を満たしていない場合は、条件を満たすようにCK2-CK0ビットを変更後、サブクロック動作モードに移行してください。 内部システム・クロック(f _{CLK}) > サブクロック(f _{XT}) × 4	p.597
			サブクロック動作モードの解除	CK3ビットを操作する場合、CK2-CK0ビットの設定値の変更は禁止です(ビット操作命令を推奨)。PCCレジスタの詳細は、5.3(1)プロセッサ・クロック・コントロール・レジスタ(PCC)を参照してください。	p.597
			サブクロック動作モード時の動作状態	メイン・クロックを停止するときは、必ずPLL停止(PLLCTL.PLLON = 0)に設定してください。	p.598
				CPUがサブクロックで動作し、かつメイン発振を停止している場合、ウエイトが発生するレジスタへのアクセスは禁止です。ウエイトが発生した場合、解除する方法はリセットのみです(3.4.8(2)参照)。	p.598
			サブIDLEモード	サブIDLEモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。	p.599
				マスクされていない割り込み要求信号が保留されている状態でサブIDLEモードに設定した場合、保留されている割り込み要求によりサブIDLEモードはすぐに解除されます。	p.599
			サブIDLEモードの解除	PSC.NMI1M, NMI0M, INTMビットで1に設定(割り込み禁止)されている割り込み要求信号は無効になり、サブIDLEモードは解除されません。	p.600
サブIDLEモードからの復帰時は、割り込み要求信号による解除要因が発生してから解除されるまでに、サブクロックの12周期分の時間(約366μs)が挿入されます。	p.600				
サブIDLEモード時の動作状態	NFCレジスタの設定により、デジタル・ノイズ除去を選択し、かつ、サンプリング・クロックをf _{xx} /64, f _{xx} /128, f _{xx} /256, f _{xx} /512, f _{xx} /1024から選択した場合、INTP3端子の割り込み要求信号によるサブIDLEモードの解除はできません。詳細は15.6.2(5)ノイズ除去制御レジスタ(NFC)を参照してください。	p.600			
	メイン・クロックを停止するときは、必ずPLL停止(PLLCTL.PLLONビット= 0)に設定してください。	p.601			
		低消費電力を実現するためには、サブIDLEモードに遷移する前にA/Dコンバータを停止してください。	p.601		
第18章	ソフト	リセット機能	緊急動作モード	CPUが内蔵発振クロックで動作しているとき、ウエイトが発生するレジスタへのアクセスは禁止です。ウエイトが発生するレジスタについては、3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。	p.602
			RESFレジスタ	各ビットへの書き込みは“0”ライトのみ可能で、“0”ライト書き込みとフラグ・セット(リセットの発生)が競合した場合、フラグ・セットが優先されます。	p.603
	ハード	リセット後の内蔵RAMの状態	V850ES/HG2は、ブート切り替え機能をサポートするので、内部システム・リセット解除後、ファームウェアにより内蔵RAMの一部を使用します。したがって、パワーオン状態でのリセットでも一部領域のRAMの内容を保持しません。詳細は、18.4 リセット解除後の動作を参照してください。	p.604, 606	

章	分類	機能	機能の詳細	注意事項	頁
第18章	ハード	リセット機能	RESET端子入力時の各ハードウェアの状態	次に示す端子は、電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。 ・P53/KR3/TIQ00/TOQ00/DDO端子	p.604
	ハード・ソフト			OCDMレジスタはRESET端子入力によって初期化されます。そのため、リセット解除後、再度OCDM.OCDM0ビットをクリアするまでの間にP05/DRST端子にハイ・レベルが入力されると、オンチップ・デバッグ・モードに入るため注意してください。詳細は、第4章ポート機能を参照してください。	p.604
第19章	ソフト	クロック・モニタ	CLMレジスタ	一度CLMEビット=1に設定した場合、リセット以外ではクリア(0)できません。	p.612
				クロック・モニタによるリセットが発生した場合、CLMEビットはクリア(0)され、RESF.CLMRFBビットがセット(1)されます。	p.612
			内蔵発振器	オプション・バイト機能(第24章参照)で内蔵発振器停止可能に設定し、RCM.RSTOPビットをセット(1)することで内蔵発振器を停止できます。	p.613
				内蔵発振器が停止している場合、クロック・モニタは停止します。	p.613
第21章	ソフト	低電圧検出回路(LVI)	LVIMレジスタ	LVIONビット=1設定後、0.2ms(MAX.)以上間隔を空けてから、LVIFビットで電圧を確認してください。	p.619
				LVIFフラグの値は、LVIONビット=1かつLVIMDビット=0の場合に、出力信号INTLVIとして出力されます。	p.619
				ビット2-6には必ず0を設定してください。	p.619
			LVIONビット=1かつLVIMDビット=1に設定した場合、低電圧検出によるリセット以外のリセット要求が発生するまで低電圧検出回路を停止できません。	p.619	
			LVISレジスタ	LVIM.LVIONビット=1かつLVIM.LVIMDビット=1に設定したあと、低電圧検出によるリセット以外のリセット要求が発生するまで、このレジスタへの書き込みは行えません。	p.620
				ビット1-7には必ず0を設定してください。	p.620
		RAMSレジスタ	リセット時の特定シーケンスを示します。 ・セット条件：検出レベル以下の電圧検出 ：命令によるセット ：ウォッチドッグ・タイマのオーバフローによるリセット発生 ：RAMアクセス中のリセット発生 ：クロック・モニタによるリセット発生 ・クリア条件：特定シーケンスによる0書き込み	p.621	
		内部リセット信号として使用する場合	LVIMDビット=1に設定した場合、LVI以外のリセット要求が発生するまで、LVIM, LVISレジスタの変更はできません。	p.622	
PEMU1レジスタ	EVARAMINビットは、自動的にクリアされません。	p.626			
第23章	ハード	フラッシュ・メモリ	通信方式	記述していない端子は、未使用時の端子処理に従って処理してください(2.3端子の入出力回路タイプと未使用時の処理参照)。抵抗を介する場合、1kΩ~10kΩの抵抗を接続してください。	p.635, 636
				DRST端子には、ハイ・レベルを入力しないでください。	p.635, 636
		PG-FP4	図23-6のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。	p.636	
			フラッシュ・ライタのCLK端子からのクロック供給はできません。ボード上に発振回路を作成してクロックを供給してください。	p.636	
		FA-100GC-8EU-A	REGC端子は、必ず4.7μF(推奨値)のコンデンサを介してGNDに接続してください。	p.637	
			フラッシュ・ライタのCLK端子からのクロック供給はできません。ボード上に発振回路を作成してクロックを供給してください。	p.637	
			FLMD1端子は図のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。	p.639	
			フラッシュ書き込みアダプタ上(破線部)に発振回路を作成してクロックを供給してください。	p.639	
			DRST端子には、ハイ・レベルを入力しないでください。	p.639	
		通信方式の選択	UARTA0選択時、受信クロックは、FLMD0パルス受信後に専用フラッシュ・ライタから送られてくるリセット・コマンドを基準に計算します。	p.641	
FLMD1端子処理	オンボード書き込み時、リセット直後に他のデバイスからFLMD1端子にVDDの信号が入力される場合、この信号をアイソレートしてください。	p.643			

章	分類	機能	機能の詳細	注意事項	頁
第23章	ハード	フラッシュ・メモリ	FLMD0端子処理	リセット解除には、必ずFLMD0端子を0Vにしてください。	p.650
第24章	ハード	オプション・バイト機能	CA850のプログラム例	このセクションは必ず6バイト分を記述してください。6バイト以下の場合、リンカの際にエラーとなります。 エラー・メッセージ: F4112: illegal "OPTION_BYTES" section size.	p.653
第25章	ハード・ソフト	オンチップ・デバッグ機能	OCDMレジスタ	外部リセット後、DDI, DDO, DCK, DMS端子をオンチップ・デバッグ用端子として使用せず、ポートとして使用する場合は、次のいずれかの処置が必要です。 ・P05/INTP2/DRST端子にロウ・レベルを入力します。 ・OCDM0ビットを設定します。この場合の処置は次のとおりです。 OCDM0ビットをクリア(0)します。 の処理を終えるまで、P05/INTP2/DRST端子入力をロウ・レベル固定にしておきます。	p.659
				DRST端子はプルダウン抵抗を内蔵しています。OCDM0フラグを“0”に設定すると切断されます。	p.659
ソフト			注意事項 (DUC使用時)	RUN中(プログラム実行中)にリセット入力(ターゲット・システムからのリセット入力や内部リセット要因によるリセット)があった場合、ブレーク機能が誤動作することがあります。	p.661
				リセットをマスク機能でマスクしていても、端子からのリセットが入力された際に入出力バッファ(ポート端子)がリセット状態になる場合があります。	p.661
				内蔵フラッシュ・メモリに設定したソフトウェア・ブレークポイントは、ターゲット・リセットまたはウォッチドッグ・タイマ2により発生する内部リセットによって一時的に無効になります。ハードウェア・ブレークまたは強制ブレークによりいったんブレークしたあとは再度有効になりますが、それまではソフトウェア・ブレークは発生しません。	p.661
				ブレーク中の端子リセットはマスクされ、CPUや周辺I/Oはリセットされません。また、ユーザ・プログラム実行中に、DMAで書き換える瞬間やRAMモニタ機能で読み出す瞬間に、端子リセットや内部リセットが発生した場合、CPUや周辺I/Oが正しくリセットされない場合があります。	p.661
				次に示す条件(a)、(b)を同時に満たし、エミュレータ(IECUBE, MINICUBE)上でブレークなどにより動作を停止させた場合、ウォッチドッグ・タイマ2は停止せず、リセットまたはノンマスクブル割り込みが発生します。リセットが発生した場合は、デバッグがハングアップしてしまいます。 (a) ウォッチドッグ・タイマ2のソース・クロックにメイン・クロックまたはサブクロックを使用している (b) 内蔵発振クロックを停止している(RCM.RSTOPビット=1) 回避策として次のいずれか1つを行ってください。 ・エミュレータ使用時、ソース・クロックとして内蔵発振クロックを使用する ・エミュレータ使用時、内蔵発振器を停止させない	p.661
				次に示す条件(a)、(b)を同時に満たし、エミュレータ(IECUBE, MINICUBE)上でブレークなどにより動作を停止させた場合、Peripheral Break機能が「Break」に設定されていてもTMMは停止しません。 (a) TMMのソース・クロックにINTWT、内蔵発振クロック($f_{R}/8$)、サブクロックのいずれかを選択する (b) メイン・クロックを停止する 回避策として次のいずれか1つを行ってください。 ・エミュレータ使用時、ソース・クロックとしてメイン・クロック(f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/64$, $f_{xx}/512$)を使用する ・エミュレータ使用時、メイン・クロック発振を停止させない	p.661
				オンチップ・デバッグ・モード時、DDO端子は強制的にハイ・レベル出力に設定されます。	p.661
ハード			注意事項 (DUC使用時以外)	デバッグに使用したデバイスを、量産製品に搭載しないでください(デバッグ中にフラッシュ・メモリの書き換えをしており、フラッシュ・メモリの書き換え回数を保証することができないためです)。また、デバッグ用モニタ・プログラムは量産製品には組み込まないでください。	p.670

章	分類	機能	機能の詳細	注意事項	頁
第25章	ソフト	オンチップ・デバッグ機能	注意事項 (DUC使用時以外)	次の状態が継続している場合は、強制ブレークすることができません。 ・割り込み禁止中 (DI) の場合 ・MINICUBE2と対象デバイスの通信に使用するシリアル・インタフェースの割り込みがマスクされている場合 ・マスカブル割り込みによるスタンバイ解除を禁止している状態で、スタンバイ・モードに入っている場合 ・MINICUBE2と対象デバイスの通信インタフェースがUARTA0の場合に、メイン・クロックを停止している場合	p.670
				次の状態の場合、疑似RRM機能、DMM機能が動作しません。 ・割り込み禁止中 (DI) の場合 ・MINICUBE2と対象デバイスの通信に使用するシリアル・インタフェースの割り込みがマスクされている場合 ・マスカブル割り込みによるスタンバイ解除を禁止している状態で、スタンバイ・モードに入っている場合 ・MINICUBE2と対象デバイスの通信インタフェースがUARTA0の場合に、メイン・クロックを停止している場合 ・MINICUBE2と対象デバイスの通信インタフェースがUARTA0の場合に、デバッグで指定する動作クロックと異なるクロックで動作している場合	p.670
				次の状態の場合、疑似RRM機能、DMM機能によりスタンバイ・モードが解除されます。 ・MINICUBE2と対象デバイスの通信インタフェースがCSIB0、CSIB3の場合 ・MINICUBE2と対象デバイスの通信インタフェースがUARTA0の場合に、メイン・クロックが停止していない場合	p.670
				特定シーケンスを必要とする周辺I/Oレジスタは、DMM機能により書き換えることができません。	p.670
				デバッグの初回起動時にチップ消去とデバッグ用モニタ・プログラムの書き込みを行いますが、この動作を行うために、十数秒ほどかかります。	p.671
				デバッグでCPU動作クロックの設定変更を行った場合、デバッグがモニタ・プログラムを書き換えます。このとき、上記(6)と同様の時間がかかります。統合デバッグID850QBでは、コンフィギュレーション・ダイアログのClock欄の設定変更を行った場合に該当します。	p.671
				デバッグ用モニタ・プログラムが配置された空間を、フラッシュ・セルフ・プログラミングで書き換えた場合、デバッグが正常に動作しなくなります。	p.671
				セキュリティID	フラッシュ・メモリのデータは消去状態では、すべて“1”となります。
第26章	ハード	電気的特性	絶対最大定格	それぞれの電源電圧の絶対最大定格 (MAX. 値) を越えないようにしてください。	p.675
				IC製品の出力 (または入出力) 端子同士を直結したり、V _{DD} またはV _{CC} やGNDに直結したりしないでください。	p.675, 676
				各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値に近づけない状態で、製品をご使用ください。 DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。	p.675, 676
				ハイ・インピーダンスとなる端子と外部回路を直結する場合、外部回路のほうで出力の衝突を避けるタイミング設計をする必要があります。	p.675, 676
				メイン・クロック発振回路特性	メイン・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。 ・配線は極力短くする。 ・他の信号線と交差させない。 ・変化する大電流が流れる線に接近させない。 ・発振回路のコンデンサの接地点は、常にV _{SS} と同電位になるようにする。 ・大電流が流れるグラウンド・パターンに接地しない。 ・発振回路から信号を取り出さない。
ソフト		メイン・クロックを停止させサブクロックで動作させているときに、再度メイン・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。	p.678		

章	分類	機能	機能の詳細	注意事項	頁
第26章	ハード	電気的特性	サブクロック発振回路特性	サブクロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。 ・配線は極力短くする。 ・他の信号線と交差させない。 ・変化する大電流が流れる線に接近させない。 ・発振回路のコンデンサの接地点は、常にV _{SS} と同電位になるようにする。 ・大電流が流れるグラウンド・パターンに接地しない。 ・発振回路から信号を取り出さない。	p.679
				サブクロック発振回路は、低消費電力にするため増幅度の低い回路になっており、ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって、サブクロックを使用する場合は、配線方法について特に注意してください。	p.679
			電圧レギュレータ特性	必ずRESET = V _{SS} = 0 Vの状態ではV _{DD} を立ち上げてください。	p.680
			端子リーク電流	FLMD0端子の値は次のようになります。 ・ハイ・レベル入力リーク電流：2 μA (MAX.) ・ロウ・レベル入力リーク電流：-2 μA (MAX.)	p.682
			データ保持特性	STOPモードへの移行、およびSTOPモードからの復帰は、動作範囲内で行ってください。	p.684
			AC特性	回路構成により負荷容量が50 pFを越える場合は、バッファを入れるなどして、このデバイスの負荷容量を50 pF以下にしてください。	p.685
	ソフト	プログラミング特性	出荷品に対する初回書き込み時には、「消去 書き込み」の場合も「書き込みのみ」の場合も、書き換え回数は1回となります。 例 (P：書き込み，E：消去) 出荷品 — P E P E P：書き換え回数3回 出荷品 E P E P E P：書き換え回数3回	p.694	
第28章	ハード	半田付け推奨条件	半田付け推奨条件	半田付け方式の併用はお避けください(ただし、端子部分加熱は除く)。	p.696
付録A	ソフト	開発ツール	RX850, RX850 Pro	RX850, RX850 Proを購入する際、事前に購入申込書にご記入のうえ、使用許諾契約書を締結してください。	p.705
付録C	ソフト	命令セット一覧	インストラクション・セット	汎用レジスタreg1と汎用レジスタreg3に、同じレジスタを指定しないでください。	p.723

付録E 改版履歴

E.1 本版で改訂された主な箇所

(1/2)

箇所	内容
p.75	3.4.7 特定レジスタ 説明追加
p.160	4.5.1 (b) 兼用機能モード(入力)に関する注意事項 追加
p.162	図5-1 クロック発生回路 変更
p.163	5.2 (8) プリスケアラ4 説明変更
p.169	表5-1 各クロックの動作状態 変更
p.173	5.5.2 (4) プログラマブル・クロック・モード・レジスタ (PCLM) 変更
p.182	6.4 (3) TMPn/O制御レジスタ0 (TPnIOC0) 変更
p.205	図6-11 外部イベント・カウント・モード動作時のレジスタ設定内容 注意追加
p.226	図6-22 ワンショット・パルス出力モード動作時のレジスタ設定内容 注意追加
p.268	6.7 (1) セレクタ動作制御レジスタ0 (SELCNT0) 注意2追加
p.278	7.4 (3) TMQn/O制御レジスタ0 (TQnIOC0) 追加
p.304	図7-11 外部イベント・カウント・モード動作時のレジスタ設定内容 注意追加
p.328	図7-22 ワンショット・パルス出力モード動作時のレジスタ設定内容 注意追加
p.399	10.3 (1) ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2) 注意3,4変更
p.401	10.3 (2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) 注意3変更
p.408	表11-2 変換モード時の設定例 注意追加
p.414	11.4 (7) パワー・フェイル比較しきい値レジスタ (ADA0PFT) 説明変更
p.429	11.6 (8) ADA0CRnレジスタの読み出しについて 説明変更
p.430	11.6 (10) スタンバイ・モードについて 追加
p.430	11.6 (11) 安定時間中のレジスタの書き換え, トリガ入力について 追加
p.430	11.6 (13) A/D変換のヒステリシス特性について 説明変更
p.439	12.3 (1) UARTAn制御レジスタ0 (UAnCTL0) 説明追加
p.440	12.3 (4) UARTAnオプション制御レジスタ0 (UAnOPT0) 説明追加
p.444	12.4 (1) 受信完了割り込み要求信号 (INTUAnR) 説明追加
p.450	12.5.4 SBF受信 注意追加
p.472	13.3 (1) CSIBn制御レジスタ0 (CBnCTL0) 注意変更
p.475	13.3 (2) CSIBn制御レジスタ1 (CBnCTL1) 注意変更, 注1追加
p.480-512	13.5 動作 変更
p.515	13.7.1 ボー・レートの生成 注意追加
p.524	14.3 (6) DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3) 注変更
p.538	14.13 (11) DMAの起動要因 説明変更
p.575	15.6.2 (5) ノイズ除去制御レジスタ (NFC) 説明変更
p.583	17.2 (1) パワー・セーブ・コントロール・レジスタ (PSC) 注意3追加
p.604	表18-1 RESET端子入力時の各ハードウェアの状態 注1説明変更
p.606	表18-2 ウォッチドッグ・タイマ2によるリセット動作時の各ハードウェアの状態 注説明変更
p.608	18.4 リセット解除後の動作 追加
p.619	21.3 (1) 低電圧検出レジスタ (LVIM) 注意4追加

箇所	内容
p.623	図21 - 2 低電圧検出回路の動作タイミング (LVIMDビット=1) 変更
p.630	23.2 メモリ構成 変更
p.631	23.3 機能概要 追加
p.635	23.4.2(1) UARTA0 転送レート変更
p.642	表23 - 7 フラッシュ・メモリ制御用コマンド 変更
p.649	図23 - 17 標準セルフ・プログラミング・フロー 変更
p.651	表23 - 11 使用する内部資源 変更
p.653	第24章 オプション・バイト機能 説明追加
p.654-674	第25章 オンチップ・デバッグ機能 変更
p.680	26.5 電圧レギュレータ特性 注意追加
p.696	第28章 半田付け推奨条件 追加
p.697	付録A 開発ツール 追加
p.724	付録D 注意事項一覧 追加
p.751	付録E 改版履歴 追加

[メモ]

【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00, 午後 1:00～5:00)

電話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。
