

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

V850ES/HE3, V850ES/HF3, V850ES/HG3, V850ES/HJ3 32ビット・シングルチップ・マイクロコントローラ ハードウェア編

V850ES/HE3 :
 μPD70F3747
V850ES/HF3 :
 μPD70F3750
V850ES/HG3 :
 μPD70F3752
V850ES/HJ3 :
 μPD70F3755
 μPD70F3757

(メモ)

目次要約

第1章	イントロダクション	...	21
第2章	端子機能	...	45
第3章	CPU機能	...	64
第4章	ポート機能	...	105
第5章	バス制御機能	...	240
第6章	クロック発生機能	...	263
第7章	16ビット・タイマ/イベント・カウンタAA (TAA)	...	292
第8章	16ビット・タイマ/イベント・カウンタAB (TAB)	...	401
第9章	16ビット・インターバル・タイマM (TMM)	...	505
第10章	モータ制御機能	...	514
第11章	時計タイマ機能	...	577
第12章	ウォッチドッグ・タイマ2機能	...	587
第13章	A/Dコンバータ	...	592
第14章	アシンクロナス・シリアル・インタフェースD (UARTD)	...	625
第15章	3線式可変長シリアルI/O (CSIB)	...	683
第16章	I ² Cバス	...	735
第17章	DMA機能 (DMAコントローラ)	...	814
第18章	割り込み/例外処理機能	...	838
第19章	キー割り込み機能	...	890
第20章	スタンバイ機能	...	892
第21章	リセット機能	...	915
第22章	クロック・モニタ	...	924
第23章	パワーオン・クリア回路	...	930
第24章	低電圧検出回路	...	932
第25章	レギュレータ	...	941
第26章	フラッシュ・メモリ	...	944
第27章	オプション・バイト機能	...	978
第28章	オンチップ・デバッグ機能	...	980
第29章	電気的特性 (V850ES/HE3)	...	999
第30章	電気的特性 (V850ES/HF3)	...	1024
第31章	電気的特性 (V850ES/HG3)	...	1048
第32章	電気的特性 (V850ES/HJ3)	...	1073
第33章	外形図	...	1104
第34章	半田付け推奨条件	...	1108
付録A	開発ツール	...	1109
付録B	レジスタ索引	...	1119
付録C	命令セット一覧	...	1131
付録D	改版履歴	...	1140

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

IECUBE, MINICUBEはNECエレクトロニクス株式会社の登録商標です。

Windows, Windows XPおよびWindows NTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

TRONはThe Realtime Operating System Nucleusの略称です。

ITRONはIndustrial TRONの略称です。

- 本資料に記載されている内容は2008年6月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っておりません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

はじめに

- 対象者** このマニュアルは、V850ES/Hx3の機能を理解し、それを用いた応用システムを設計するユーザを対象とします。
- 目的** このマニュアルは、次の構成に示すハードウェア機能をユーザに理解していただくことを目的としています。
- 構成** V850ES/Hx3のユーザズ・マニュアルは、ハードウェア編（このマニュアル）と、アーキテクチャ編（V850ES ユーザズ・マニュアル アーキテクチャ編）の2冊に分かれています。

ハードウェア編

- ・端子機能
- ・CPU機能
- ・内蔵周辺機能
- ・フラッシュ・メモリ・プログラミング
- ・電気的特性

アーキテクチャ編

- ・データ・タイプ
- ・レジスタ・セット
- ・命令形式と命令セット
- ・割り込みと例外
- ・パイプラインの動作

- 読み方** このマニュアルの読者には、電気、論理回路、およびマイクロコンピュータに関する一般知識を必要とします。

一通りV850ES/Hx3の機能を理解しようとするとき

目次に従ってお読みください。

レジスタ名がわかっていて、レジスタの詳細を確認するとき

付録B レジスタ索引を利用してください。

命令機能の詳細を理解しようとするとき

別冊のV850ES **ユーザズ・マニュアル アーキテクチャ編**を参照してください。

V850ES/HE3の電気的特性を知りたいとき

第29章 電気的特性 (V850ES/HE3)を参照してください。

V850ES/HF3の電気的特性を知りたいとき

第30章 電気的特性 (V850ES/HF3)を参照してください。

V850ES/HG3の電気的特性を知りたいとき

第31章 電気的特性 (V850ES/HG3)を参照してください。

V850ES/HJ3の電気的特性を知りたいとき

第32章 電気的特性 (V850ES/HJ3)を参照してください。

本文欄外の 印は、本版で改訂された主な箇所を示しています。

この“ ”をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

このマニュアルでは、「xxxレジスタのyyyビット」を「xxx.yyyビット」と表記しています。ただし、プログラムにそのまま「xxx.yyy」と記述しても、コンパイラ/アセンブラは正しく認識できませんので、注意してください。

- 凡 例**
- データ表記の重み：左が上位桁，右が下位桁
 - アクティブ・ロウの表記：xxx (端子，信号名称に上線)
 - メモリ・マップのアドレス：上部 - 上位，下部 - 下位
 - 注：本文中に付けた注の説明
 - 注意：気を付けて読んでいただきたい内容
 - 備考：本文の補足説明
 - 数の表記：2進数 ... xxxxまたはxxxxB
 - 10進数 ... xxxx
 - 16進数 ... xxxxH
 - 2のべき数を示す接頭語 (アドレス空間，メモリ容量)：
 - K (キロ) : $2^{10} = 1024$
 - M (メガ) : $2^{20} = 1024^2$
 - G (ギガ) : $2^{30} = 1024^3$

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V850ES/Hx3に関する資料

資料名	資料番号
V850ES ユーザーズ・マニュアル アーキテクチャ編	U15943J
V850ES/HE3, V850ES/HF3, V850ES/HG3, V850ES/HJ3 ユーザーズ・マニュアル ハードウェア編	このマニュアル

開発ツールに関する資料(ユーザーズ・マニュアル)

資料名	資料番号	
QB-V850MINI オンチップ・デバッグ・エミュレータ	U17638J	
QB-MINI2 フラッシュ・プログラミング機能付きオンチップ・デバッグ・エミュレータ	U18371J	
CA850 Ver.3.20 Cコンパイラ・パッケージ	操作編	U18512J
	C言語編	U18513J
	アセンブリ言語編	U18514J
	リンク・ディレクティブ編	U18515J
PM+ Ver.6.30 プロジェクト・マネージャ	U18416J	
ID850QB Ver.3.40 統合デバッガ	操作編	U18604J
SM850 Ver.2.50 システム・シミュレータ	操作編	U16218J
SM850 Ver.2.00以上 システム・シミュレータ	外部部品ユーザ・オープン・インタフェース仕様編	U14873J
SM+ システム・シミュレータ	操作編	U18601J
	ユーザ・オープン・インタフェース編	U18212J
RX850 Ver.3.20 リアルタイムOS	基礎編	U13430J
	インストレーション編	U17419J
	テクニカル編	U13431J
	タスク・デバッガ編	U17420J
RX850 Pro Ver.3.21 リアルタイムOS	基礎編	U18165J
	インストレーション編	U17421J
	タスク・デバッガ編	U17422J
AZ850 Ver.3.30 システム・パフォーマンス・アナライザ	U17423J	
PG-FP4 フラッシュ・メモリ・プログラマ	U15260J	
PG-FP5 フラッシュ・メモリ・プログラマ	U18865J	

目 次

第1章	イントロダクション	... 21
1.1	概 説	... 21
1.2	特 徴	... 22
1.2.1	V850ES/HE3 (μ PD70F3747)	... 22
1.2.2	V850ES/HF3 (μ PD70F3750)	... 23
1.2.3	V850ES/HG3 (μ PD70F3752)	... 24
1.2.4	V850ES/HJ3 (μ PD70F3755, 70F3757)	... 25
1.3	応用分野	... 26
1.4	オーダ情報	... 26
1.5	端子接続図 (Top View)	... 27
1.5.1	V850ES/HE3 (μ PD70F3747)	... 27
1.5.2	V850ES/HF3 (μ PD70F3750)	... 28
1.5.3	V850ES/HG3 (μ PD70F3752)	... 29
1.5.4	V850ES/HJ3 (μ PD70F3755, 70F3757)	... 30
1.6	機能ブロック構成	... 32
1.6.1	V850ES/HE3 (μ PD70F3747)	... 32
1.6.2	V850ES/HF3 (μ PD70F3750)	... 35
1.6.3	V850ES/HG3 (μ PD70F3752)	... 38
1.6.4	V850ES/HJ3 (μ PD70F3755, 70FF3757)	... 41
1.7	機能概要	... 44
第2章	端子機能	... 45
2.1	端子機能一覧	... 45
2.2	端子状態	... 57
2.3	端子の入出力回路タイプと未使用端子の処理	... 58
2.4	端子の入出力回路	... 62
第3章	CPU機能	... 64
3.1	特 徴	... 64
3.2	CPUレジスタ・セット	... 65
3.2.1	プログラム・レジスタ・セット	... 66
3.2.2	システム・レジスタ・セット	... 67
3.3	動作モード	... 73
3.4	アドレス空間	... 74
3.4.1	CPUアドレス空間	... 74
3.4.2	メモリ・マップ	... 75
3.4.3	領 域	... 77
3.4.4	データ空間のラップ・アラウンド	... 81
3.4.5	アドレス空間の推奨使用方法	... 81
3.4.6	周辺I/Oレジスタ	... 84
3.4.7	特定レジスタ	... 97

3.4.8	注意事項	...	101
-------	------	-----	-----

第4章 ポート機能 ... 105

4.1	特 徴	...	105
4.1.1	V850ES/HE3	...	105
4.1.2	V850ES/HF3	...	105
4.1.3	V850ES/HG3	...	105
4.1.4	V850ES/HJ3	...	105
4.2	ポートの基本構成	...	106
4.2.1	V850ES/HE3	...	106
4.2.2	V850ES/HF3	...	107
4.2.3	V850ES/HG3	...	108
4.2.4	V850ES/HJ3	...	109
4.3	ポートの構成	...	110
4.3.1	ポート0	...	115
4.3.2	ポート1	...	120
4.3.3	ポート3	...	122
4.3.4	ポート4	...	130
4.3.5	ポート5	...	133
4.3.6	ポート6 (V850ES/HJ3のみ)	...	137
4.3.7	ポート7	...	142
4.3.8	ポート8 (V850ES/HJ3のみ)	...	146
4.3.9	ポート9	...	148
4.3.10	ポート12 (V850ES/HJ3のみ)	...	167
4.3.11	ポートCD (V850ES/HJ3のみ)	...	169
4.3.12	ポートCM	...	170
4.3.13	ポートCS	...	174
4.3.14	ポートCT	...	178
4.3.15	ポートDL	...	182
4.4	ブロック図	...	187
4.5	兼用機能使用時のポートのレジスタ設定	...	225
4.6	注意事項	...	235
4.6.1	ポート端子設定上の注意事項	...	235
4.6.2	ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項	...	238
4.6.3	オンチップ・デバッグ用端子に関する注意事項	...	239
4.6.4	P05/INTP2/ $\overline{\text{DRST}}$ 端子に関する注意事項	...	239
4.6.5	P53端子に関する電源投入時の注意事項	...	239
4.6.6	ヒステリシス特性について	...	239

第5章 バス制御機能 (V850ES/HJ3のみ) ... 240

5.1	特 徴	...	240
5.2	バス制御端子	...	241
5.2.1	内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態	...	241
5.2.2	各動作モードの端子状態	...	241
5.3	メモリ・ブロック機能	...	242
5.4	バス・アクセス	...	243
5.4.1	アクセス・クロック数	...	243

5.4.2	バス・サイズ設定機能	...	244
5.4.3	バス・サイズによるアクセス	...	245
5.5	ウェイト機能	...	252
5.5.1	プログラマブル・ウェイト機能	...	252
5.5.2	外部ウェイト機能	...	253
5.5.3	プログラマブル・ウェイトと外部ウェイトの関係	...	253
5.5.4	プログラマブル・アドレス・ウェイト機能	...	254
5.6	アイドル・ステート挿入機能	...	255
5.7	バス・ホールド機能	...	256
5.7.1	機能概要	...	256
5.7.2	バス・ホールド手順	...	257
5.7.3	パワー・セーブ・モード時の動作	...	257
5.8	バスの優先順位	...	258
5.9	バス・タイミング	...	259

第6章 クロック発生機能 ... 263

6.1	概 要	...	263
6.2	構 成	...	264
6.3	レジスタ	...	267
6.4	動 作	...	276
6.4.1	CPUクロックの設定	...	276
6.4.2	各クロックの動作	...	277
6.4.3	クロック出力機能	...	279
6.5	PLL/SSCG機能	...	280
6.5.1	概 要	...	280
6.5.2	レジスタ	...	280
6.5.3	PLLの使用方法	...	287
6.5.4	SSCGの使用方法	...	289

第7章 16ビット・タイマ/イベント・カウンタAA (TAA) ... 292

7.1	概 要	...	292
7.2	機 能	...	292
7.3	構 成	...	293
7.4	レジスタ	...	295
7.5	動 作	...	309
7.5.1	インターバル・タイマ・モード (TAA _n MD2-TAA _n MD0ビット = 000)	...	310
7.5.2	外部イベント・カウント・モード (TAA _n MD2-TAA _n MD0ビット = 001)	...	320
7.5.3	外部トリガ・パルス出力モード (TAA _n MD2-TAA _n MD0ビット = 010)	...	328
7.5.4	ワンショット・パルス出力モード (TAA _n MD2-TAA _n MD0ビット = 011)	...	340
7.5.5	PWM出力モード (TAA _n MD2-TAA _n MD0ビット = 100)	...	347
7.5.6	フリー・ランニング・タイマ・モード (TAA _n MD2-TAA _n MD0ビット = 101)	...	356
7.5.7	パルス幅測定モード (TAA _n MD2-TAA _n MD0ビット = 110)	...	373
7.5.8	タイマ出力動作説明	...	379
7.6	タイマ同調動作機能	...	380
7.6.1	フリー・ランニング・タイマ・モード (タイマ同調動作時)	...	382
7.6.2	PWM出力モード (タイマ同調動作時)	...	389
7.6.3	三角波PWM出力モード (タイマ同調動作時) (V850ES/HJ3のみ)	...	391

7.7	カスケード接続	...	393
7.8	セレクト機能	...	398
7.9	注意事項	...	400

第8章 16ビット・タイマ/イベント・カウンタAB (TAB) ... 401

8.1	概要	...	401
8.2	機能	...	401
8.3	構成	...	402
8.4	レジスタ	...	405
8.5	動作	...	422
8.5.1	インターバル・タイマ・モード (TABnMD2-TABnMD0ビット = 000)	...	423
8.5.2	外部イベント・カウント・モード (TABnMD2-TABnMD0ビット = 001)	...	432
8.5.3	外部トリガ・パルス出力モード (TABnMD2-TABnMD0ビット = 010)	...	441
8.5.4	ワンショット・パルス出力モード (TABnMD2-TABnMD0ビット = 011)	...	454
8.5.5	PWM出力モード (TABnMD2-TABnMD0ビット = 100)	...	463
8.5.6	フリー・ランニング・タイマ・モード (TABnMD2-TABnMD0ビット = 101)	...	474
8.5.7	パルス幅測定モード (TABnMD2-TABnMD0ビット = 110)	...	494
8.5.8	三角波PWMモード (TABnMD2-TABnMD0ビット = 111)	...	500
8.5.9	タイマ出力動作説明	...	502
8.6	タイマ同調動作機能	...	503
8.7	注意事項	...	504

第9章 16ビット・インターバル・タイマM (TMM) ... 505

9.1	概要	...	505
9.2	構成	...	506
9.3	レジスタ	...	508
9.4	動作	...	509
9.4.1	インターバル・タイマ・モード	...	509
9.4.2	注意事項	...	513

第10章 モータ制御機能 ... 514

10.1	機能概要	...	514
10.2	構成	...	515
10.3	制御レジスタ	...	519
10.4	動作	...	531
10.4.1	システム概要説明	...	531
10.4.2	デッド・タイム制御 (逆相波信号の生成)	...	536
10.4.3	割り込み間引き機能	...	543
10.4.4	転送機能付きレジスタの書き換え操作	...	550
10.4.5	A/D変換開始トリガ信号出力用TAA4の同調動作	...	568
10.4.6	A/D変換開始トリガ出力機能	...	572

第11章 時計タイマ機能 ... 577

11.1	機能	...	577
11.2	構成	...	578
11.3	レジスタ	...	580

- 11.4 動作 ... 584
 - 11.4.1 時計タイマとしての動作 ... 584
 - 11.4.2 インターバル・タイマとしての動作 ... 585
 - 11.4.3 注意事項 ... 586

第12章 ウォッチドッグ・タイマ2機能 ... 587

- 12.1 機能 ... 587
- 12.2 構成 ... 588
- 12.3 レジスタ ... 589
- 12.4 動作 ... 591

第13章 A/Dコンバータ ... 592

- 13.1 概要 ... 592
- 13.2 機能 ... 592
- 13.3 構成 ... 593
- 13.4 レジスタ ... 596
- 13.5 動作 ... 605
 - 13.5.1 基本動作 ... 605
 - 13.5.2 トリガ・モード ... 606
 - 13.5.3 動作モード ... 608
 - 13.5.4 パワー・フェイル比較モード ... 612
- 13.6 注意事項 ... 617
- 13.7 A/Dコンバータ特性表の読み方 ... 621

第14章 アシンクロナス・シリアル・インタフェースD (UARTD) ... 625

- 14.1 特徴 ... 626
- 14.2 構成 ... 627
- 14.3 シリアル・インタフェースの割り当て (μ PD70F3757のみ) ... 629
 - 14.3.1 UARTD3とCSIB0を同時に使用する場合 ... 629
 - 14.3.2 UARTD5とI²C00のモード切り替え ... 630
 - 14.3.3 UARTD5とCSIB2のモード切り替え ... 631
- 14.4 レジスタ ... 632
- 14.5 割り込み要求信号 ... 642
- 14.6 動作 ... 643
 - 14.6.1 データ・フォーマット ... 643
 - 14.6.2 SBF送信/受信フォーマット ... 645
 - 14.6.3 SBF送信 ... 647
 - 14.6.4 SBF受信 ... 648
 - 14.6.5 データの一貫性チェック機能 ... 651
 - 14.6.6 SBF受信モード選択 ... 653
 - 14.6.7 UART送信 ... 661
 - 14.6.8 連続送信の手順説明 ... 662
 - 14.6.9 UART受信 ... 665
 - 14.6.10 受信割り込み発生時の処理手順 ... 667
 - 14.6.11 パリティの種類と動作 ... 671
 - 14.6.12 受信データのノイズ・フィルタ ... 672

- 14.7 専用ポー・レート・ジェネレータ ... 673
- 14.8 注意事項 ... 681

第15章 3線式可変長シリアル/O (CSIB) ... 683

- 15.1 特 徴 ... 683
- 15.2 構 成 ... 684
- 15.3 CSIBとほかのシリアル・インタフェースの割り当て ... 686
 - 15.3.1 CSIB0とUARTD3のモード切り替え ... 686
 - 15.3.2 CSIB2とUARTD5のモード切り替え ... 687
- 15.4 レジスタ ... 688
- 15.5 割り込み要求信号 ... 697
- 15.6 動 作 ... 698
 - 15.6.1 シングル転送モード(マスタ・モード, 送信モード) ... 698
 - 15.6.2 シングル転送モード(マスタ・モード, 受信モード) ... 700
 - 15.6.3 シングル転送モード(マスタ・モード, 送受信モード) ... 702
 - 15.6.4 シングル転送モード(スレーブ・モード, 送信モード) ... 704
 - 15.6.5 シングル転送モード(スレーブ・モード, 受信モード) ... 706
 - 15.6.6 シングル転送モード(スレーブ・モード, 送受信モード) ... 708
 - 15.6.7 連続転送モード(マスタ・モード, 送信モード) ... 710
 - 15.6.8 連続転送モード(マスタ・モード, 受信モード) ... 712
 - 15.6.9 連続転送モード(マスタ・モード, 送受信モード) ... 715
 - 15.6.10 連続転送モード(スレーブ・モード, 送信モード) ... 719
 - 15.6.11 連続転送モード(スレーブ・モード, 受信モード) ... 721
 - 15.6.12 連続転送モード(スレーブ・モード, 送受信モード) ... 724
 - 15.6.13 受信エラー ... 728
 - 15.6.14 クロック・タイミング ... 729
- 15.7 動作禁止時の出力端子状態 ... 731
- 15.8 ポー・レート・ジェネレータ ... 732
 - 15.8.1 ポー・レートの生成 ... 733
- 15.9 注意事項 ... 734

第16章 I²Cバス ... 735

- 16.1 I²Cバスとほかのシリアル・インタフェースのモード切り替え ... 735
 - 16.1.1 UARTD4とI²C00のモード切り替え ... 735
- 16.2 特 徴 ... 736
- 16.3 構 成 ... 739
- 16.4 レジスタ ... 741
- 16.5 機 能 ... 756
 - 16.5.1 端子構成 ... 756
- 16.6 I²Cバスの定義および制御方法 ... 757
 - 16.6.1 スタート・コンディション ... 757
 - 16.6.2 アドレス ... 758
 - 16.6.3 転送方向指定 ... 759
 - 16.6.4 アクノリッジ(ACK) ... 760
 - 16.6.5 ストップ・コンディション ... 761
 - 16.6.6 ウエイト ... 762
 - 16.6.7 ウエイト解除方法 ... 764

16.7	I ² C割り込み要求信号 (INTIIC0) ...	765
16.7.1	マスタ動作 ...	766
16.7.2	スレーブ動作 (スレーブ・アドレス受信時 (アドレス一致)) ...	769
16.7.3	スレーブ動作 (拡張コード受信時) ...	773
16.7.4	通信不参加の動作 ...	777
16.7.5	アービトレーション負けの動作 (アービトレーション負けのあと, スレーブとして動作) ...	778
16.7.6	アービトレーション負けの動作 (アービトレーション負けのあと, 不参加) ...	780
16.8	割り込み要求信号 (INTIIC0) 発生タイミングおよびウェイト制御 ...	787
16.9	アドレスの一致検出方法 ...	788
16.10	エラーの検出 ...	788
16.11	拡張コード ...	789
16.12	アービトレーション ...	790
16.13	ウェイク・アップ機能 ...	791
16.14	通信予約 ...	792
16.14.1	通信予約機能許可の場合 (IICF0.IICRSV0ビット = 0) ...	792
16.14.2	通信予約機能禁止の場合 (IICF0.IICRSV0ビット = 1) ...	796
16.15	注意事項 ...	797
16.16	通信動作 ...	798
16.16.1	シングルマスタ・システムでのマスタ動作 ...	799
16.16.2	マルチマスタ・システムでのマスタ動作 ...	800
16.16.3	スレーブ動作 ...	803
16.17	データ通信のタイミング ...	807

第17章 DMA機能 (DMAコントローラ) ... 814

17.1	特 徴 ...	814
17.2	構 成 ...	815
17.3	レジスタ ...	816
17.4	転送対象 ...	824
17.5	転送モード ...	824
17.6	転送タイプ ...	825
17.7	DMAチャンネルの優先順位 ...	826
17.8	DMA転送に関する各種時間 ...	826
17.9	DMA転送起動要因 ...	827
17.10	DMAの中断要因 ...	828
17.11	DMA転送の終了 ...	828
17.12	動作タイミング ...	828
17.13	注意事項 ...	833

第18章 割り込み / 例外処理機能 ... 838

18.1	特 徴 ...	838
18.2	ノンマスカブル割り込み ...	849
18.2.1	動 作 ...	852
18.2.2	復 帰 ...	853
18.2.3	NPフラグ ...	854
18.3	マスカブル割り込み ...	855
18.3.1	動 作 ...	855

- 18.3.2 復 帰 ... 857
- 18.3.3 マスカブル割り込みの優先順位 ... 858
- 18.3.4 割り込み制御レジスタ (xxICn) ... 862
- 18.3.5 割り込みマスク・レジスタ0-5 (IMR0-IMR5) ... 865
- 18.3.6 インサーピス・プライオリティ・レジスタ (ISPR) ... 869
- 18.3.7 IDフラグ ... 870
- 18.3.8 ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2) ... 870
- 18.4 ソフトウェア例外 ... 871
 - 18.4.1 動 作 ... 871
 - 18.4.2 復 帰 ... 872
 - 18.4.3 EPフラグ ... 873
- 18.5 例外トラップ ... 874
 - 18.5.1 不正命令コード ... 874
 - 18.5.2 デバッグ・トラップ ... 876
- 18.6 外部割り込み要求入力端子 (NMI, INTP0-INTP14) ... 878
 - 18.6.1 ノイズ除去 ... 878
 - 18.6.2 エッジ検出 ... 878
- 18.7 CPUの割り込み応答時間 ... 888
- 18.8 CPUが割り込みを受け付けない期間 ... 889
- 18.9 注意事項 ... 889

第19章 キー割り込み機能 ... 890

- 19.1 機 能 ... 890
- 19.2 レジスタ ... 891
- 19.3 注意事項 ... 891

第20章 スタンバイ機能 ... 892

- 20.1 概 要 ... 892
- 20.2 レジスタ ... 894
- 20.3 HALTモード ... 899
 - 20.3.1 設定および動作状態 ... 899
 - 20.3.2 HALTモードの解除 ... 899
- 20.4 IDLE1モード ... 901
 - 20.4.1 設定および動作状態 ... 901
 - 20.4.2 IDLE1モードの解除 ... 901
- 20.5 IDLE2モード ... 903
 - 20.5.1 設定および動作状態 ... 903
 - 20.5.2 IDLE2モードの解除 ... 903
 - 20.5.3 IDLE2モード解除時のセットアップ時間の確保 ... 905
- 20.6 STOPモード ... 906
 - 20.6.1 設定および動作状態 ... 906
 - 20.6.2 STOPモードの解除 ... 906
 - 20.6.3 STOPモード解除時の発振安定時間の確保 ... 909
- 20.7 サブクロック動作モード ... 910
 - 20.7.1 設定および動作状態 ... 910
 - 20.7.2 サブクロック動作モードの解除 ... 910
- 20.8 サブIDLEモード ... 912

- 20.8.1 設定および動作状態 ... 912
- 20.8.2 サブIDLEモードの解除 ... 913

第21章 リセット機能 ... 915

- 21.1 概要 ... 915
- 21.2 リセット要因を確認するレジスタ ... 916
- 21.3 動作 ... 917
 - 21.3.1 RESET端子によるリセット動作 ... 917
 - 21.3.2 ウォッチドッグ・タイマ2によるリセット動作 ... 919
 - 21.3.3 パワーオン・クリア回路によるリセット動作 ... 920
 - 21.3.4 低電圧検出回路によるリセット動作 ... 920
 - 21.3.5 クロック・モニタによるリセット動作 ... 920
- 21.4 リセット解除後の動作 ... 921

第22章 クロック・モニタ ... 924

- 22.1 機能 ... 924
- 22.2 構成 ... 925
- 22.3 レジスタ ... 926
- 22.4 動作 ... 927

第23章 パワーオン・クリア回路 ... 930

- 23.1 機能 ... 930
- 23.2 構成 ... 930
- 23.3 動作 ... 931

第24章 低電圧検出回路 ... 932

- 24.1 機能 ... 932
- 24.2 構成 ... 932
- 24.3 制御レジスタ ... 933
- 24.4 動作 ... 936
 - 24.4.1 内部リセット信号として使用する場合 ... 936
 - 24.4.2 割り込みとして使用する場合 ... 938
- 24.5 RAM保持電圧検出動作 ... 939
- 24.6 エミュレーション機能 ... 940

第25章 レギュレータ ... 941

- 25.1 概要 ... 941
- 25.2 動作 ... 943

第26章 フラッシュ・メモリ ... 944

- 26.1 特徴 ... 944
- 26.2 メモリ構成 ... 945
- 26.3 機能概要 ... 946
- 26.4 専用フラッシュ・プログラマでの書き換え ... 949

26.4.1	プログラミング環境	...	949
26.4.2	通信方式	...	951
26.4.3	フラッシュ・メモリ制御	...	965
26.4.4	通信方式の選択	...	966
26.4.5	通信コマンド	...	967
26.4.6	端子処理	...	968
26.5	セルフ・プログラミングによる書き換え	...	972
26.5.1	概要	...	972
26.5.2	特徴	...	973
26.5.3	標準セルフ・プログラミング・フロー	...	975
26.5.4	フラッシュ関数一覧	...	976
26.5.5	端子処理	...	976
26.5.6	使用する内部資源	...	977
第27章	オプション・バイト機能	...	978
第28章	オンチップ・デバッグ機能	...	980
28.1	DCUを使用する方法	...	981
28.1.1	接続回路例	...	981
28.1.2	インタフェース信号	...	982
28.1.3	マスク機能	...	983
28.1.4	レジスタ	...	984
28.1.5	動作	...	986
28.1.6	注意事項	...	987
28.2	DCUを使用しない方法	...	988
28.2.1	接続回路例	...	988
28.2.2	マスク機能	...	990
28.2.3	ユーザ資源の確保	...	990
28.2.4	注意事項	...	996
28.3	ROMセキュリティ機能	...	997
28.3.1	セキュリティID	...	997
28.3.2	設定方法	...	998
第29章	電気的特性 (V850ES/HE3)	...	999
29.1	絶対最大定格	...	999
29.2	容量	...	1001
29.3	動作条件	...	1001
29.4	発振回路特性	...	1002
29.4.1	メイン・クロック発振回路特性	...	1002
29.4.2	サブクロック発振回路特性	...	1004
29.4.3	PLL特性	...	1005
29.4.4	SSCG特性	...	1005
29.4.5	低速内蔵発振器 / 高速内蔵発振器特性	...	1005
29.5	電圧レギュレータ特性	...	1006
29.6	DC特性	...	1007
29.6.1	入出力レベル	...	1007
29.6.2	端子リーク電流	...	1008

- 29.6.3 電源電流 ... 1009
- 29.7 AC特性 ... 1010
 - 29.7.1 CLKOUT出力タイミング ... 1011
- 29.8 基本動作 ... 1012
- 29.9 フラッシュ・メモリ・プログラミング特性 ... 1023

第30章 電気的特性 (V850ES/HF3) ... 1024

- 30.1 絶対最大定格 ... 1024
- 30.2 容 量 ... 1026
- 30.3 動作条件 ... 1026
- 30.4 発振回路特性 ... 1027
 - 30.4.1 メイン・クロック発振回路特性 ... 1027
 - 30.4.2 サブクロック発振回路特性 ... 1029
 - 30.4.3 PLL特性 ... 1030
 - 30.4.4 SSCG特性 ... 1030
 - 30.4.5 低速内蔵発振器 / 高速内蔵発振器特性 ... 1030
- 30.5 電圧レギュレータ特性 ... 1031
- 30.6 DC特性 ... 1032
 - 30.6.1 入出力レベル ... 1032
 - 30.6.2 端子リーク電流 ... 1033
 - 30.6.3 電源電流 ... 1034
- 30.7 AC特性 ... 1035
 - 30.7.1 CLKOUT出力タイミング ... 1036
- 30.8 基本動作 ... 1036
- 30.9 フラッシュ・メモリ・プログラミング特性 ... 1047

第31章 電気的特性 (V850ES/HG3) ... 1048

- 31.1 絶対最大定格 ... 1048
- 31.2 容 量 ... 1050
- 31.3 動作条件 ... 1050
- 31.4 発振回路特性 ... 1051
 - 31.4.1 メイン・クロック発振回路特性 ... 1051
 - 31.4.2 サブクロック発振回路特性 ... 1053
 - 31.4.3 PLL特性 ... 1054
 - 31.4.4 SSCG特性 ... 1054
 - 31.4.5 低速内蔵発振器 / 高速内蔵発振器特性 ... 1054
- 31.5 電圧レギュレータ特性 ... 1055
- 31.6 DC特性 ... 1056
 - 31.6.1 入出力レベル ... 1056
 - 31.6.2 端子リーク電流 ... 1057
 - 31.6.3 電源電流 ... 1058
- 31.7 AC特性 ... 1059
 - 31.7.1 CLKOUT出力タイミング ... 1060
- 31.8 基本動作 ... 1061
- 31.9 フラッシュ・メモリ・プログラミング特性 ... 1072

第32章 電気的特性 (V850ES/HJ3)	...	1073
32.1 絶対最大定格	...	1073
32.2 容量	...	1075
32.3 動作条件	...	1075
32.4 発振回路特性	...	1076
32.4.1 メイン・クロック発振回路特性	...	1076
32.4.2 サブクロック発振回路特性	...	1078
32.4.3 PLL特性	...	1079
32.4.4 SSCG特性	...	1079
32.4.5 低速内蔵発振器 / 高速内蔵発振器特性	...	1079
32.5 電圧レギュレータ特性	...	1080
32.6 DC特性	...	1081
32.6.1 入出力レベル	...	1081
32.6.2 端子リーク電流	...	1082
32.6.3 電源電流	...	1083
32.7 AC特性	...	1085
32.7.1 CLKOUT出力タイミング	...	1086
32.7.2 バス・タイミング	...	1087
32.8 基本動作	...	1092
32.9 フラッシュ・メモリ・プログラミング特性	...	1103

第33章 外形図 ... 1104

第34章 半田付け推奨条件 ... 1108

付録A 開発ツール ... 1109

A.1 ソフトウェア・パッケージ	...	1111
A.2 言語処理用ソフトウェア	...	1111
A.3 制御ソフトウェア	...	1111
A.4 デバッグ用ツール (ハードウェア)	...	1112
A.4.1 IECUBE QB-V850ESFX3を使用する場合	...	1112
A.4.2 MINICUBE QB-V850MINIを使用する場合	...	1115
A.4.3 MINICUBE2 QB-MINI2を使用する場合	...	1116
A.5 デバッグ用ツール (ソフトウェア)	...	1117
A.6 組み込み用ソフトウェア	...	1117
A.7 フラッシュ・メモリ書き込み用ツール	...	1118

付録B レジスタ索引 ... 1119

付録C 命令セット一覧 ... 1131

C.1 凡例	...	1131
C.2 インストラクション・セット (アルファベット順)	...	1134

付録D 改版履歴 ... 1140

D.1 本版で改訂された主な箇所	...	1140
------------------	-----	------

第1章 イン트로ダクション

V850ES/Hx3は、NECエレクトロニクスの実タイム制御向けシングルチップ・マイクロコントローラV850マイコンの1製品です。

1.1 概 説

V850ES/Hx3は、V850ES CPUコアを使用し、ROM/RAM、タイマ/カウンタ、シリアル・インタフェース、A/Dコンバータなどの周辺機能を内蔵した32ビット・シングルチップ・マイクロコントローラです。

V850ES/Hx3は、高いリアルタイム応答性と1クロック・ピッチの基本命令に加え、デジタル・サーボ制御の応用に最適な命令として、ハードウェア乗算器による乗算命令、飽和演算命令、ビット操作命令などを持っています。

1.2 特 徴

1.2.1 V850ES/HE3 (μ PD70F3747)

最小命令実行時間 31.25 ns (メイン・クロック (f_{xx}) = 32 MHz動作時)

汎用レジスタ 32ビット×32本

CPUの特徴 符号付き乗算 (16×16 32) : 1-2クロック)

符号付き乗算 (32×32 64) : 1-5クロック)

飽和演算 (オーバフロー/アンダフロー検出機能付き)

32ビット・シフト命令 : 1クロック

ビット操作命令

ロング/ショート形式を持つロード/ストア命令

メモリ空間 64 Mバイト・リニア・アドレス空間 (プログラム/データ共用)

・内蔵メモリ RAM : 8 Kバイト

フラッシュ・メモリ : 128 Kバイト

割り込み / 例外

ノンマスクابل割り込み : 2要因 (外部1要因, 内部1要因)

マスクابل割り込み : 50要因 (外部8要因, 内部42要因)

ソフトウェア例外 : 32要因

例外トラップ : 2要因

I/Oライン 入出力ポート : 51本

タイマ機能

16ビット・インターバル・タイマM (TMM) : 1 ch

16ビット・タイマ/イベント・カウンタAA (TAA) : 5 ch

16ビット・タイマ/イベント・カウンタAB (TAB) : 1 ch

時計用タイマ : 1 ch

ウォッチドッグ・タイマ2 : 1 ch

シリアル・インタフェース

アシンクロナス・シリアル・インタフェースD (UARTD) : 2 ch

3線式可変長シリアル・インタフェースB (CSIB) : 2 ch

I²Cバス : 1 ch

A/Dコンバータ 10ビット分解能 : 10 ch

DMAコントローラ : 4 ch (転送対象 : 内蔵周辺I/O, 内蔵RAM)

DCU (デバッグ・コントロール・ユニット) : JTAGインタフェース

クロック・ジェネレータ メイン・クロック/サブクロック動作

CPUクロック7段階 (f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, f_{xt})

クロック・スルー・モード/PLLモード (8逓倍) / SSCGモード選択可

低速内蔵発振クロック (f_{RL}) : 240 kHz (TYP.)

高速内蔵発振クロック (f_{RH}) : 8 MHz (TYP.)

パワー・セーブ機能 HALT / IDLE1 / IDLE2 / STOP / サブクロック / サブIDLEモード

パッケージ 64ピン・プラスチックLQFP (ファインピッチ) (10×10)

1.2.2 V850ES/HF3 (μ PD70F3750)

最小命令実行時間 31.25 ns (メイン・クロック (f_{xx}) = 32 MHz動作時)

汎用レジスタ 32ビット×32本

CPUの特徴 符号付き乗算 (16×16 32) : 1-2クロック)

符号付き乗算 (32×32 64) : 1-5クロック)

飽和演算 (オーバフロー/アンダフロー検出機能付き)

32ビット・シフト命令 : 1クロック

ビット操作命令

ロング/ショート形式を持つロード/ストア命令

メモリ空間 64 Mバイト・リニア・アドレス空間 (プログラム/データ共用)

・内蔵メモリ RAM : 16 Kバイト

フラッシュ・メモリ : 256 Kバイト

割り込み/例外

ノンマスカブル割り込み : 2要因 (外部1要因, 内部1要因)

マスカブル割り込み : 50要因 (外部8要因, 内部42要因)

ソフトウェア例外 : 32要因

例外トラップ : 2要因

I/Oライン 入出力ポート : 67本

タイマ機能

16ビット・インターバル・タイマM (TMM) : 1 ch

16ビット・タイマ/イベント・カウンタAA (TAA) : 5 ch

16ビット・タイマ/イベント・カウンタAB (TAB) : 1 ch

時計用タイマ : 1 ch

ウォッチドッグ・タイマ2 : 1 ch

シリアル・インタフェース

アシンクロナス・シリアル・インタフェースD (UARTD) : 2 ch

3線式可変長シリアル・インタフェースB (CSIB) : 2 ch

I²Cバス : 1 ch

A/Dコンバータ 10ビット分解能 : 12 ch

DMAコントローラ : 4 ch (転送対象 : 内蔵周辺I/O, 内蔵RAM)

DCU (デバッグ・コントロール・ユニット) : JTAGインタフェース

クロック・ジェネレータ メイン・クロック/サブクロック動作

CPUクロック7段階 (f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, f_{xt})

クロック・スルー・モード/PLLモード (8逓倍) /SSCGモード選択可

低速内蔵発振クロック (f_{RL}) : 240 kHz (TYP.)

高速内蔵発振クロック (f_{RH}) : 8 MHz (TYP.)

パワー・セーブ機能 HALT/IDLE1/IDLE2/STOP/サブクロック/サブIDLEモード

パッケージ 80ピン・プラスチックLQFP (ファインピッチ) (12×12)

1.2.3 V850ES/HG3 (μ PD70F3752)

最小命令実行時間 31.25 ns (メイン・クロック (f_{xx}) = 32 MHz動作時)

汎用レジスタ 32ビット×32本

CPUの特徴 符号付き乗算 (16×16 32) : 1-2クロック)

符号付き乗算 (32×32 64) : 1-5クロック)

飽和演算 (オーバフロー/アンダフロー検出機能付き)

32ビット・シフト命令 : 1クロック

ビット操作命令

ロング/ショート形式を持つロード/ストア命令

メモリ空間 64 Mバイト・リニア・アドレス空間 (プログラム/データ共用)

・内蔵メモリ RAM : 16 Kバイト

フラッシュ・メモリ : 256 Kバイト

割り込み/例外

ノンマスクابل割り込み : 2要因 (外部1要因, 内部1要因)

マスクابل割り込み : 61要因 (外部11要因, 内部50要因)

ソフトウェア例外 : 32要因

例外トラップ : 2要因

I/Oライン 入出力ポート : 84本

タイマ機能

16ビット・インターバル・タイマM (TMM) : 1 ch

16ビット・タイマ/イベント・カウンタAA (TAA) : 5 ch

16ビット・タイマ/イベント・カウンタAB (TAB) : 2 ch

時計用タイマ : 1 ch

ウォッチドッグ・タイマ2 : 1 ch

シリアル・インタフェース

アシンクロナス・シリアル・インタフェースD (UARTD) : 3 ch

3線式可変長シリアル・インタフェースB (CSIB) : 2 ch

I²Cバス : 1 ch

A/Dコンバータ 10ビット分解能 : 16 ch

DMAコントローラ : 4 ch (転送対象 : 内蔵周辺I/O, 内蔵RAM)

DCU (デバッグ・コントロール・ユニット) : JTAGインタフェース

クロック・ジェネレータ メイン・クロック/サブクロック動作

CPUクロック7段階 (f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, f_{xt})

クロック・スルー・モード/PLLモード (8逓倍) /SSCGモード選択可

低速内蔵発振クロック (f_{RL}) : 240 kHz (TYP.)

高速内蔵発振クロック (f_{RH}) : 8 MHz (TYP.)

パワー・セーブ機能 HALT/IDLE1/IDLE2/STOP/サブクロック/サブIDLEモード

パッケージ 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

1.2.4 V850ES/HJ3 (μ PD70F3755, 70F3757)

最小命令実行時間 31.25 ns (メイン・クロック (f_{xx}) = 32 MHz動作時)

汎用レジスタ 32ビット×32本

CPUの特徴 符号付き乗算 (16×16 32) : 1-2クロック)
 符号付き乗算 (32×32 64) : 1-5クロック)
 飽和演算 (オーバフロー/アンダフロー検出機能付き)
 32ビット・シフト命令 : 1クロック
 ビット操作命令
 ロング/ショート形式を持つロード/ストア命令

メモリ空間 64 Mバイト・リニア・アドレス空間 (プログラム/データ共用)

・内蔵メモリ RAM : 16 Kバイト (μ PD70F3755) / 32 Kバイト (μ PD70F3757)
 フラッシュ・メモリ : 256 Kバイト (μ PD70F3755) / 512 Kバイト (μ PD70F3757)

・外部バス・インターフェース

外部拡張 : 256 Kバイトまで可能
 マルチプレクス・バス
 8/16ビット・データ・バス・サイジング機能
 ウエイト機能
 ・プログラマブル・ウエイト機能
 ・外部ウエイト機能
 アイドル・ステート機能
 バス・ホールド機能

割り込み / 例外

ノンマスカブル割り込み : 2要因 (外部1要因, 内部1要因)
 マスカブル割り込み : 72要因 (外部15要因, 内部57要因) (μ PD70F3755)
 78要因 (外部15要因, 内部63要因) (μ PD70F3757)
 ソフトウエア例外 : 32要因
 例外トラップ : 2要因

I/Oライン 入出力ポート : 128本

タイマ機能

16ビット・インターバル・タイマM (TMM) : 1 ch
 16ビット・タイマ/イベント・カウンタAA (TAA) : 5 ch
 16ビット・タイマ/イベント・カウンタAB (TAB) : 3 ch
 時計用タイマ : 1 ch
 ウォッチドッグ・タイマ2 : 1 ch

シリアル・インタフェース

アシンクロナス・シリアル・インタフェースD (UARTD)	: 3 ch (μ PD70F3755)
	6 ch (μ PD70F3757)
3線式可変長シリアル・インタフェースB (CSIB)	: 3 ch
I ² Cバス	: 1 ch

A/Dコンバータ 10ビット分解能 : 24 ch

DMAコントローラ : 4 ch (転送対象 : 内蔵周辺I/O, 内蔵RAM, 外部メモリ)

DCU (デバッグ・コントロール・ユニット) : JTAGインタフェース

クロック・ジェネレータ メイン・クロック/サブクロック動作

CPUクロック7段階 (f_{xx}, f_{xx}/2, f_{xx}/4, f_{xx}/8, f_{xx}/16, f_{xx}/32, f_{XT})

クロック・スルー・モード/PLLモード (8通倍) /SSCGモード選択可

低速内蔵発振クロック (f_{RL}) : 240 kHz (TYP.)

高速内蔵発振クロック (f_{RH}) : 8 MHz (TYP.)

パワー・セーブ機能 HALT / IDLE1 / IDLE2 / STOP / サブクロック / サブIDLEモード

パッケージ 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

1.3 応用分野

産業機器, 空調 / 住宅関連機器, 計測機器, 民生機器

1.4 オーダ情報

• V850ES/HE3

オーダ名称	パッケージ	内蔵フラッシュ・メモリ
μ PD70F3747GB-GAH-AX	64ピン・プラスチックLQFP (ファインピッチ) (10×10)	128 Kバイト

• V850ES/HF3

オーダ名称	パッケージ	内蔵フラッシュ・メモリ
μ PD70F3750GK-GAK-AX	80ピン・プラスチックLQFP (ファインピッチ) (12×12)	256 Kバイト

• V850ES/HG3

オーダ名称	パッケージ	内蔵フラッシュ・メモリ
μ PD70F3752GC-UEU-AX	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	256 Kバイト

• V850ES/HJ3

オーダ名称	パッケージ	内蔵フラッシュ・メモリ
μ PD70F3755GJ-GAE-AX	144ピン・プラスチックLQFP (ファインピッチ) (20×20)	256 Kバイト
μ PD70F3757GJ-GAE-AX	"	512 Kバイト

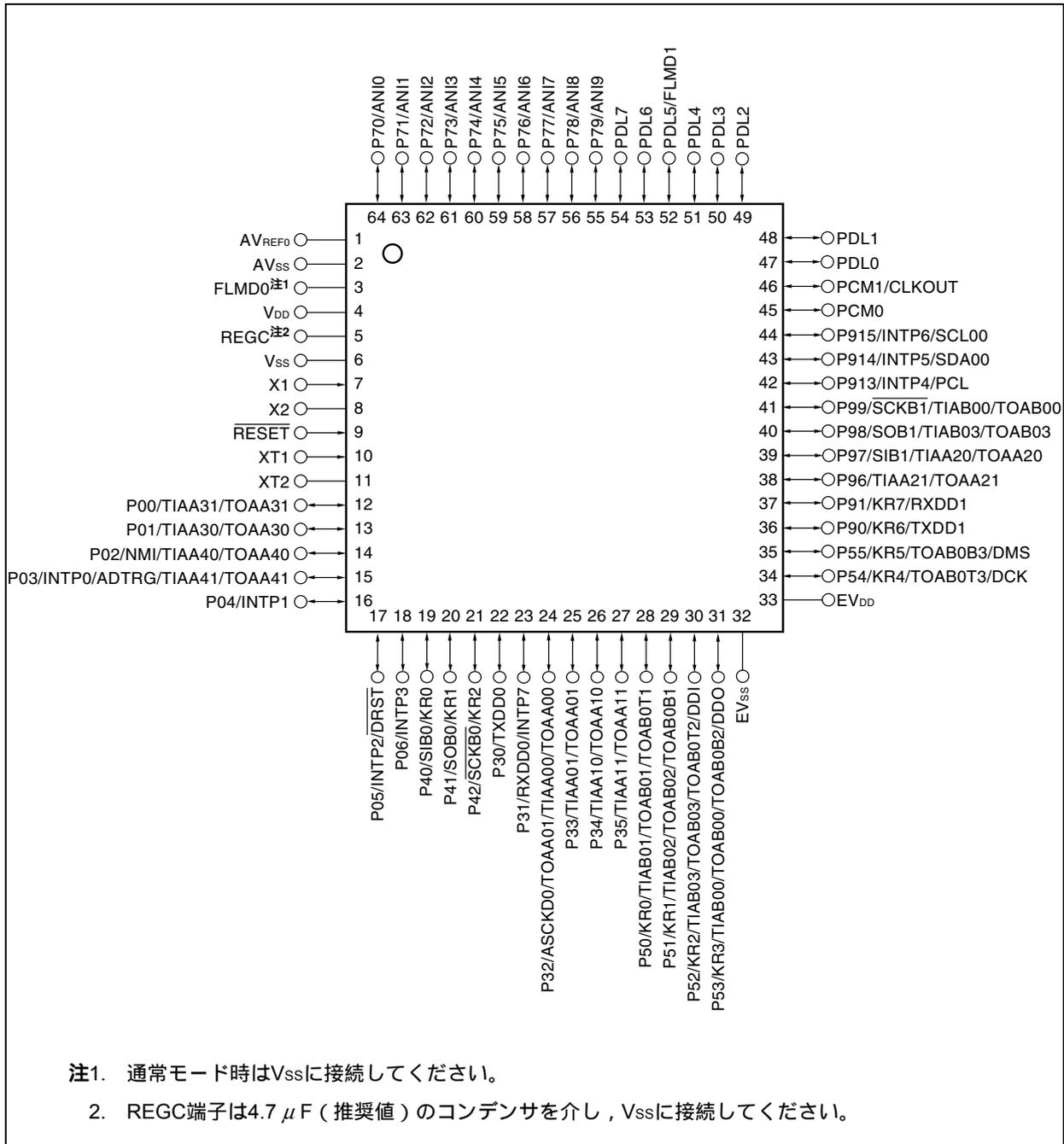
備考 オーダ名称末尾「-AX」の製品は, 鉛フリー製品です。

1.5 端子接続図 (Top View)

1.5.1 V850ES/HE3 (μ PD70F3747)

64ピン・プラスチックLQFP (ファインピッチ) (10×10)

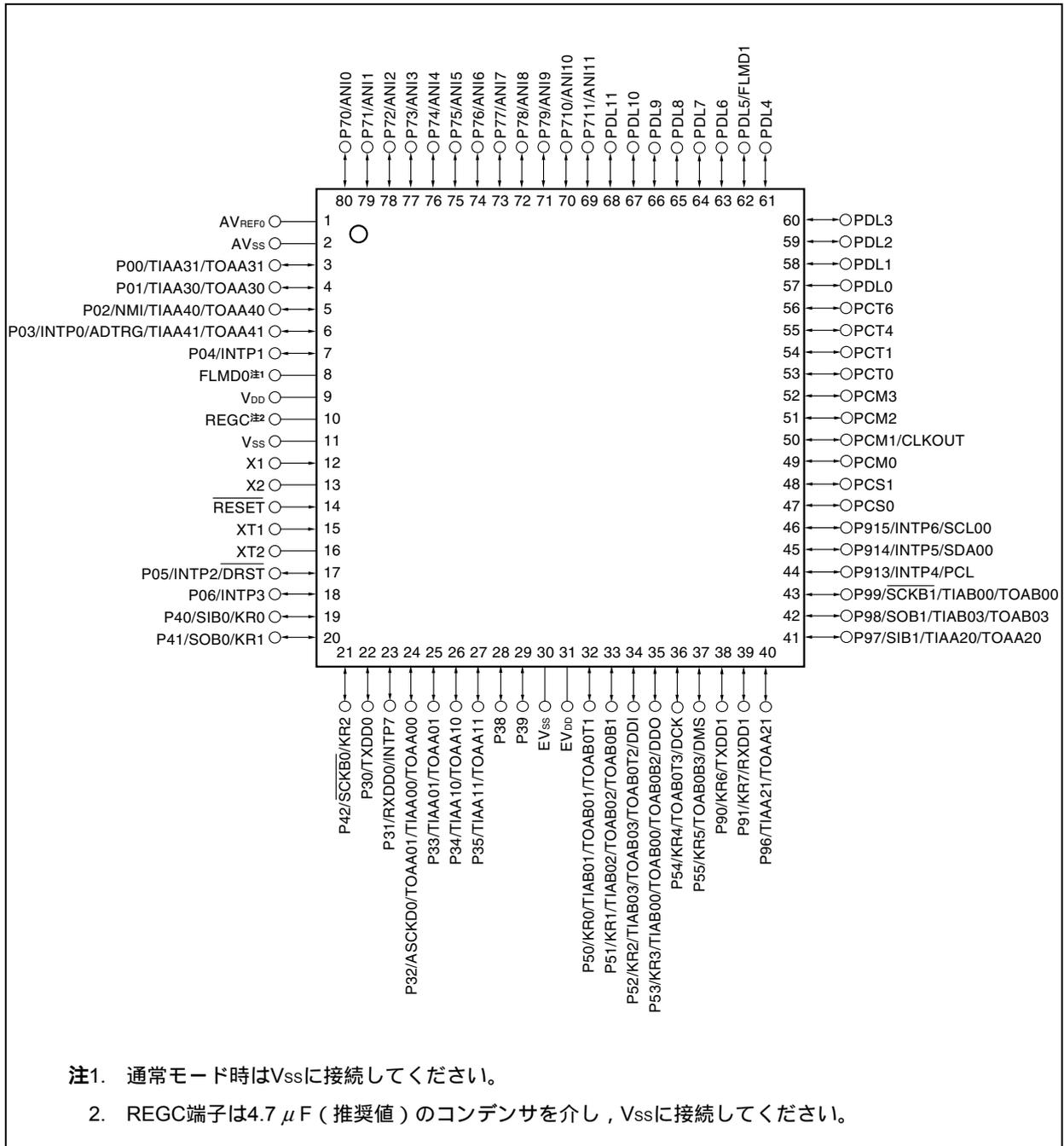
μ PD70F3747GB-GAH-AX



1.5.2 V850ES/HF3 (μPD70F3750)

80ピン・プラスチックLQFP (ファインピッチ) (12×12)

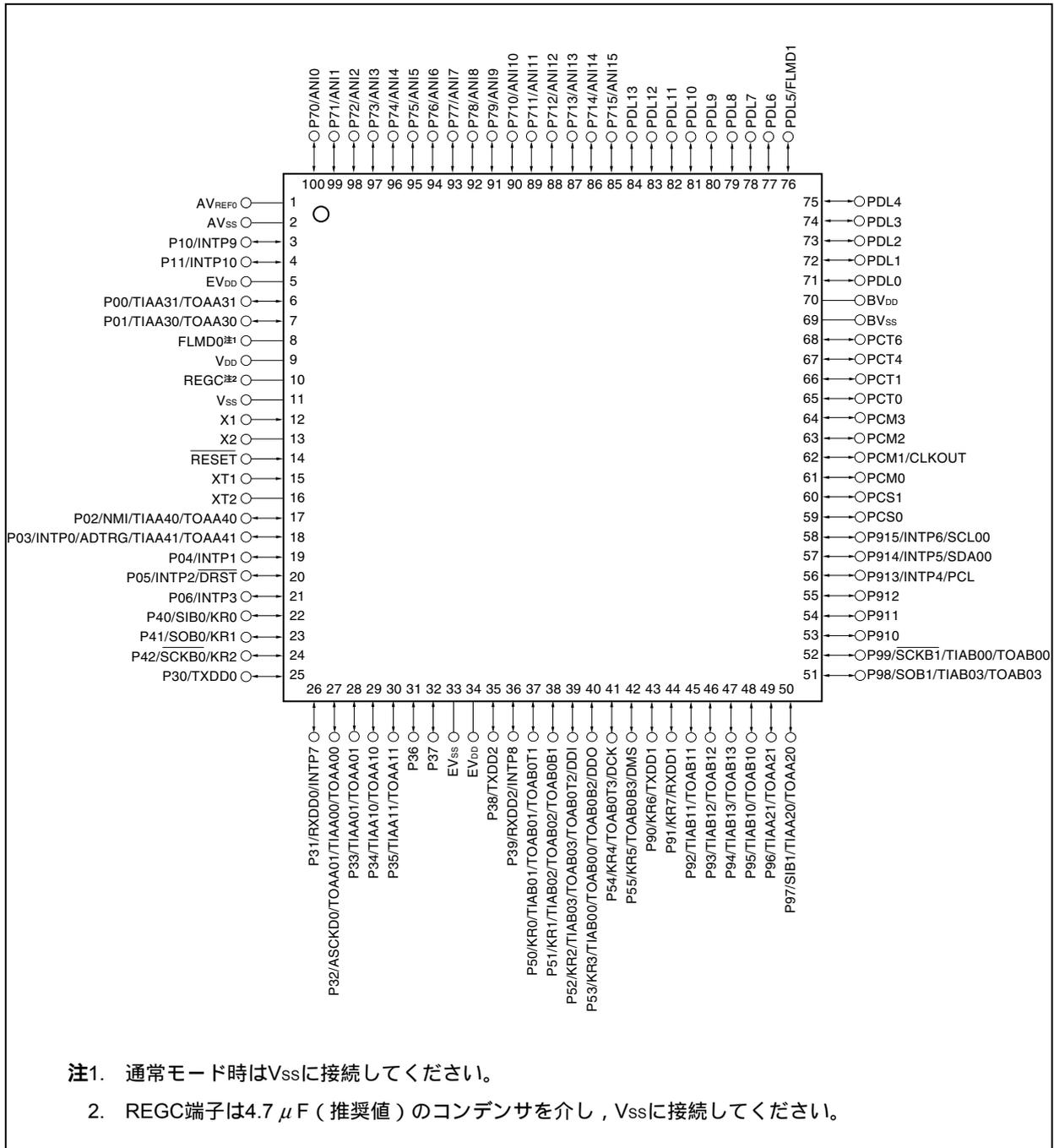
μPD70F3750GK-GAK-AX



1.5.3 V850ES/HG3 (μPD70F3752)

100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)

μPD70F3752GC-UEU-AX

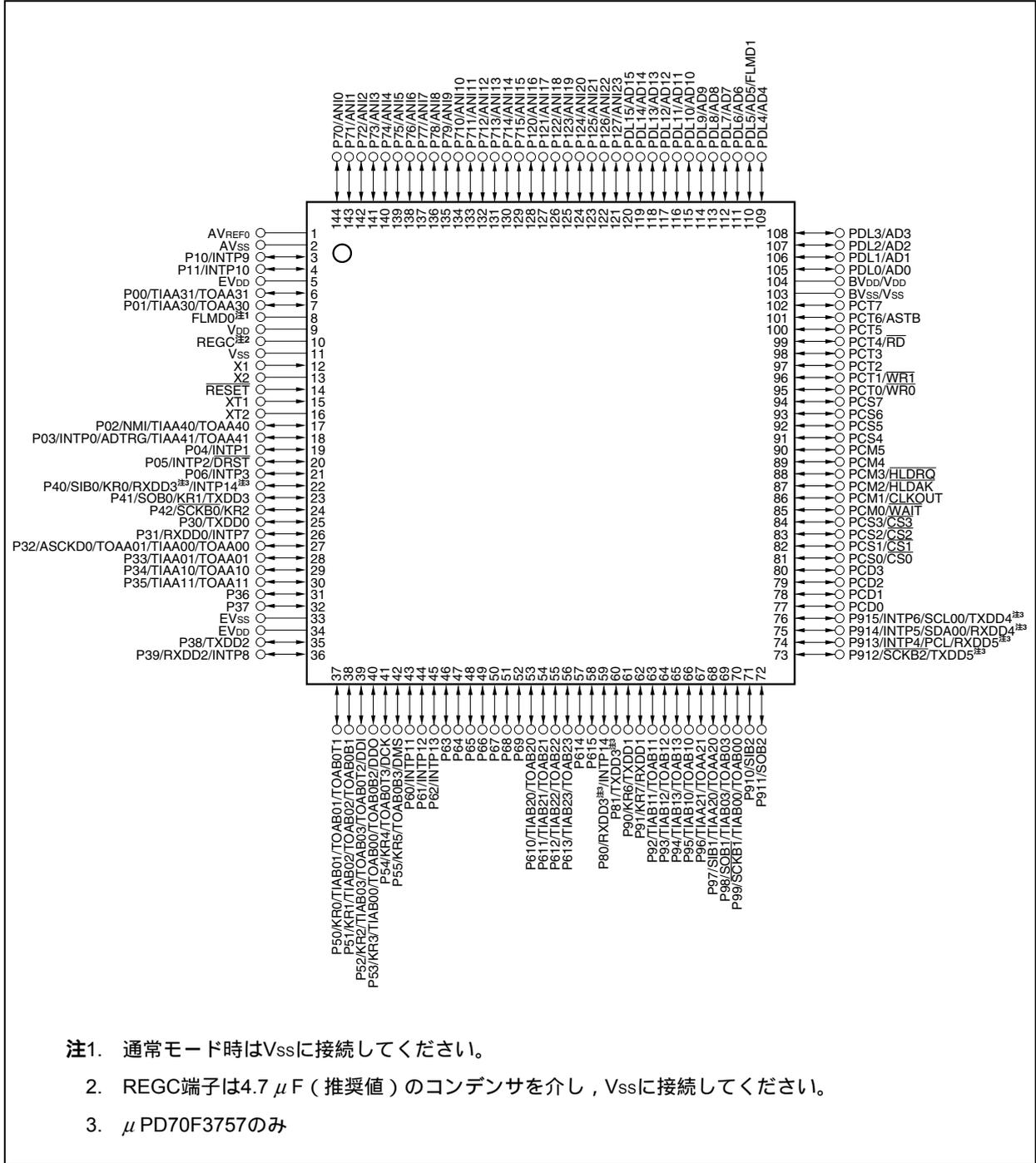


1.5.4 V850ES/HJ3 (μPD70F3755, 70F3757)

144ピン・プラスチックLQFP (ファインピッチ) (20×20)

μPD70F3755GJ-GAE-AX

μPD70F3757GJ-GAE-AX



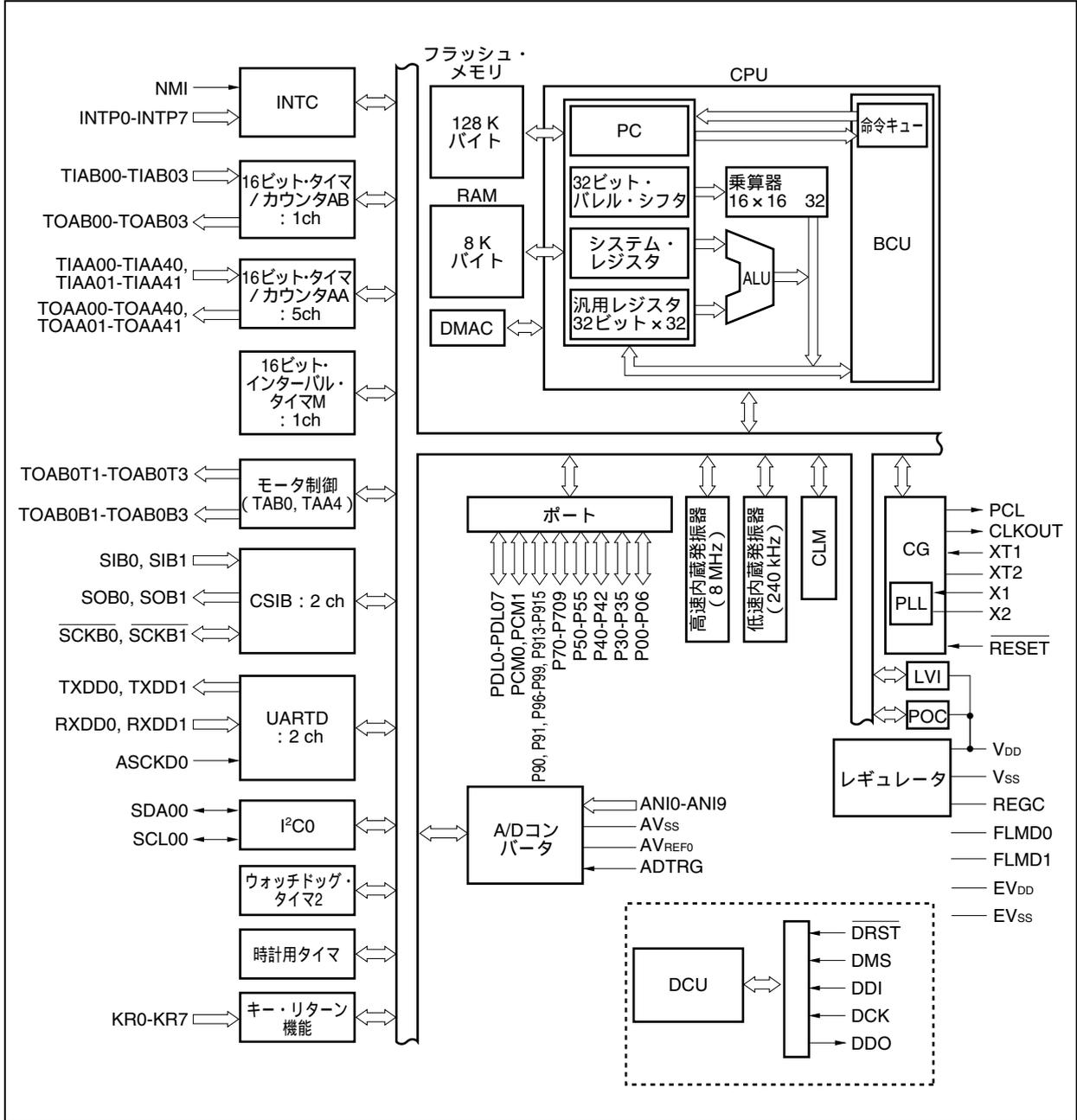
機能名称

AD0-AD15	: Address/Data Bus	RESET	: Reset
ADTRG	: AD Trigger Input	RXDD0-RXDD5	: Receive Data
ANI0-ANI23	: Analog Input	SCKB0-SCKB2	: Serial Clock
ASTB	: Address Strobe	SCL00	: Serial Clock
AV _{REF0}	: Analog V _{DD}	SDA00	: Serial Data
AV _{SS}	: Analog V _{SS}	SIB0-SIB2	: Serial Input
BV _{DD}	: Power Supply for bus interface	SOB0-SOB2	: Serial Output
BV _{SS}	: Ground for bus interface	TIAA00,TIAA01,	
CLKOUT	: Clock Output	TIAA10,TIAA11,	
$\overline{CS0-CS3}$: Chip Select	TIAA20,TIAA21,	
DCK	: Debug Clock	TIAA30,TIAA31,	
DDI	: Debug Data Input	TIAA40,TIAA41,	
DDO	: Debug Data Output	TIAB00,TIAB01,	
DMS	: Debug Mode Select	TIAB02,TIAB03,	
\overline{DRST}	: Debug Reset	TIAB10,TIAB11,	
EV _{DD}	: Power Supply for External Pin	TIAB12,TIAB13,	
EV _{SS}	: Ground for External Pin	TIAB20,TIAB21,	
FLMD0, FLMD1	: Flash Programming Mode	TIAB22,TIAB23	: Timer Input
\overline{HLDAK}	: Hold Acknowledge	TOAA00,TOAA01,	
\overline{HLDRQ}	: Hold Request	TOAA10,TOAA11,	
INTP0-INTP14	: External Interrupt Input	TOAA20,TOAA21,	
KR0-KR7	: Key Return	TOAA30,TOAA31,	
NMI	: Non-maskable Interrupt Request	TOAA40,TOAA41,	
P00-P06	: Port0	TOAB00,TOAB01,	
P10, P11	: Port1	TOAB02,TOAB03,	
P30-P39	: Port3	TOAB10,TOAB11,	
P40-P42	: Port4	TOAB12,TOAB13,	
P50-P55	: Port5	TOAB20,TOAB21,	
P60-P615	: Port6	TOAB22,TOAB23	
P70-P715	: Port7	TOAB0B1,TOAB0B2,	
P80, P81	: Port8	TOAB0B3,TOAB0T1,	
P90-P915	: Port9	TOAB0T2,TOAB0T3	: Timer Output
P120-P127	: Port 12	TXDD0-TXDD5	: Transmit Data
PCD0-PCD3	: Port CD	V _{DD}	: Power Supply
PCL	: Programmable Clock Output	V _{SS}	: Ground
PCM0-PCM5	: Port CM	\overline{WAIT}	: Wait
PCS0-PCS7	: Port CS	$\overline{WR0}$: Write Strobe Low Level Data
PCT0-PCT7	: Port CT	$\overline{WR1}$: Write Strobe High Level Data
PDL0-PDL15	: Port DL	X1, X2	: Crystal for Main Clock
\overline{RD}	: Read	XT1, XT2	: Crystal for Sub-clock
REGC	: Regulator Control		

1.6 機能ブロック構成

1.6.1 V850ES/HE3 (μPD70F3747)

(1) 内部ブロック図



(2) 内部ユニット

(a) CPU

アドレス計算、算術論理演算、データ転送などのほとんどの命令処理を、5段パイプライン制御により1クロックで実行できます。

乗算器（16ビット×16ビット 32ビット）、バレル・シフタ（32ビット）などの専用ハードウェアを内蔵し、複雑な処理の高速化を図っています。

(b) バス・コントロール・ユニット (BCU)

内部バスを制御します。

(c) ROM

0000000H-001FFFFFH番地にマッピングされる128 Kバイトのフラッシュ・メモリです。命令フェッチ時にCPUから1クロックでアクセスできます。

(d) RAM

3FFD000H-3FFEFFFH番地にマッピングされる8 KバイトのRAMです。データ・アクセス時にCPUから1クロックでアクセスできます。

(e) 割り込みコントローラ (INTC)

内蔵周辺ハードウェア、および外部からのハードウェア割り込み要求 (NMI, INTP0-INTP7) を処理します。これらの割り込み要求は、8レベルの割り込み優先順位を指定でき、多重割り込み処理制御ができます。

(f) クロック・ジェネレータ (CG)

メイン・クロック発振回路とサブクロック発振回路があり、メイン・クロック発振周波数 (f_x) とサブクロック周波数 (f_{xT}) を生成しています。メイン・クロック周波数 (f_{xx}) として、 f_x をそのまま使用するクロック・スルー・モードと、PLLモード / SSCGモードがあります。

CPUクロック周波数 (f_{CPU}) としては、 f_{xx} 、 $f_{xx}/2$ 、 $f_{xx}/4$ 、 $f_{xx}/8$ 、 $f_{xx}/16$ 、 $f_{xx}/32$ 、 f_{xT} の7種類から選択できます。

(g) 内蔵発振器

高速内蔵発振器 (f_{RH} : 8 MHz) と低速内蔵発振器 (f_{RL} : 240 kHz) を搭載しています。高速内蔵発振器 (f_{RH}) は内部システム・クロック (f_{CLK}) として使用できます。低速内蔵発振器 (f_{RL}) はウォッチドッグ・タイマ2のカウント・クロック、クロック・モニタのサンプリング・クロックなどに使用できます。

(h) タイマ / カウンタ

16ビットのタイマ / イベント・カウンタAA (TAA) を5チャンネル、16ビットのタイマ / イベント・カウンタAB (TAB) を1チャンネル、16ビットのインターバル・タイマM (TMM) を1チャンネル内蔵しています。TAAとTABを組み合わせると6相PWM出力として使用することもできます。

(i) 時計用タイマ

サブクロック (32.768 kHz) またはプリスケアラ3からの f_{BRG} (32.768 kHz) から時計カウント用の基準時間 (0.5秒) をカウントします。メイン・クロックによるインターバル・タイマとしても同時に使用できます。

(j) ウォッチドッグ・タイマ2

プログラムの暴走, システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。

ソース・クロックとして低速内蔵発振クロック, メイン・クロックを選択できます。

オーバフローでノンマスクابل割り込み要求信号 (INTWDT2), またはシステム・リセット信号 (WDT2RES) を発生します。

(k) シリアル・インタフェース

V850ES/HE3には, シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェースA (UARTD), 3線式可変長シリアル・インタフェースB (CSIB), I²Cバス・インタフェース (I²C) を内蔵しています。

UARTDは, TXDD0, TXDD1, RXDD0, RXDD1端子によりデータ転送を行います。

CSIBは, SOB0, SOB1, SIB0, SIB1, $\overline{SCKB0}$, $\overline{SCKB1}$ 端子によりデータ転送を行います。

I²Cは, SDA00, SCL00端子によりデータ転送を行います。

(l) A/Dコンバータ

10本のアナログ入力端子を持つ10ビットA/Dコンバータです。逐次変換方式で変換します。

(m) DMAコントローラ

4チャンネルのDMAコントローラを内蔵しています。内蔵周辺I/Oによる割り込み要求に基づいて, 内蔵RAM, 内蔵周辺I/Oでデータを転送します。

(n) キー割り込み機能

8チャンネルのキー入力端子に立ち下がりエッジを入力することによって, キー割り込み要求信号 (INTKR) を発生させることができます。

(o) DCU (デバッグ・コントロール・ユニット)

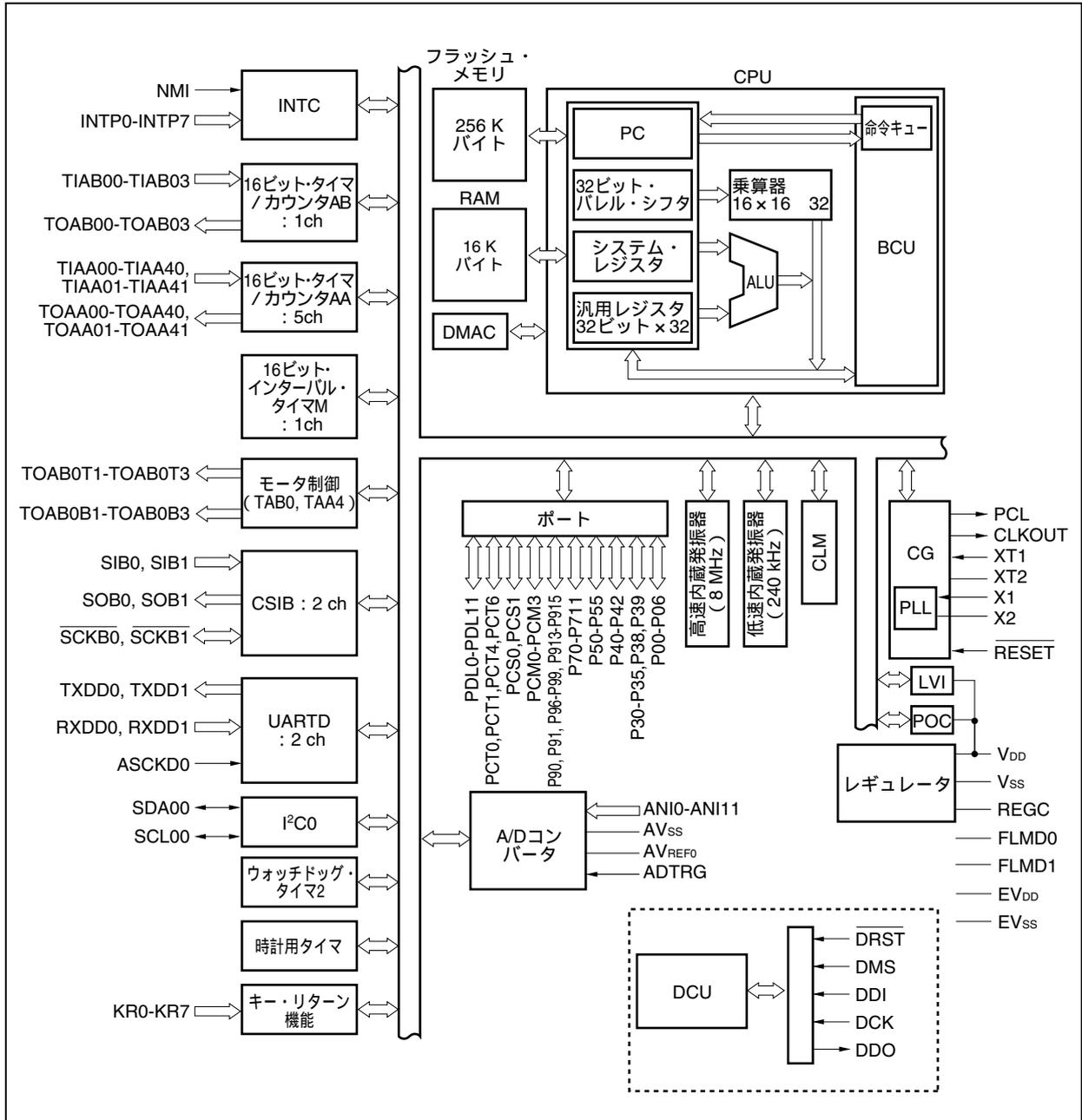
JTAG (Joint Test Action Group) の通信仕様を利用した, オンチップ・デバッグ機能を内蔵しています。通常ポート機能とオンチップ・デバッグ機能の切り替えは, 制御端子の入力レベルとOCDMレジスタの2つで行います。

(p) ポート

汎用ポートとしての機能と制御端子の機能があります。詳細は第4章 **ポート機能**を参照してください。

1.6.2 V850ES/HF3 (μPD70F3750)

(a) 内部ブロック図



(2) 内部ユニット

(a) CPU

アドレス計算、算術論理演算、データ転送などのほとんどの命令処理を、5段パイプライン制御により1クロックで実行できます。

乗算器（16ビット×16ビット 32ビット）、バレル・シフタ（32ビット）などの専用ハードウェアを内蔵し、複雑な処理の高速化を図っています。

(b) バス・コントロール・ユニット (BCU)

内部バスを制御します。

(c) ROM

0000000H-003FFFFH番地にマッピングされる256 Kバイトのフラッシュ・メモリです。命令フェッチ時にCPUから1クロックでアクセスできます。

(d) RAM

3FF7000H-3FFEFFFH番地にマッピングされる16 KバイトのRAMです。データ・アクセス時にCPUから1クロックでアクセスできます。

(e) 割り込みコントローラ (INTC)

内蔵周辺ハードウェア、および外部からのハードウェア割り込み要求（NMI, INTP0-INTP7）を処理します。これらの割り込み要求は、8レベルの割り込み優先順位を指定でき、多重割り込み処理制御ができます。

(f) クロック・ジェネレータ (CG)

メイン・クロック発振回路とサブクロック発振回路があり、メイン・クロック発振周波数 (f_x) とサブクロック周波数 (f_{xT}) を生成しています。メイン・クロック周波数 (f_{xx}) として、 f_x をそのまま使用するクロック・スルー・モードと、PLLモード / SSCGモードがあります。

CPUクロック周波数 (f_{CPU}) としては、 f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, f_{xT} の7種類から選択できます。

(g) 内蔵発振器

高速内蔵発振器 (f_{RH} : 8 MHz) と低速内蔵発振器 (f_{RL} : 240 kHz) を搭載しています。高速内蔵発振器 (f_{RH}) は内部システム・クロック (f_{CLK}) として使用できます。低速内蔵発振器 (f_{RL}) はウォッチドッグ・タイマ2のカウント・クロック、クロック・モニタのサンプリング・クロックなどに使用できます。

(h) タイマ / カウンタ

16ビットのタイマ / イベント・カウンタAA (TAA) を5チャンネル、16ビットのタイマ / イベント・カウンタAB (TAB) を1チャンネル、16ビットのインターバル・タイマM (TMM) を1チャンネル内蔵しています。TAAとTABを組み合わせると6相PWM出力として使用することもできます。

(i) 時計用タイマ

サブクロック (32.768 kHz) またはプリスケアラ3からの f_{BRG} (32.768 kHz) から時計カウント用の基準時間 (0.5秒) をカウントします。メイン・クロックによるインターバル・タイマとしても同時に使用できます。

(j) ウォッチドッグ・タイマ2

プログラムの暴走, システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。

ソース・クロックとして低速内蔵発振クロック, メイン・クロックを選択できます。

オーバフローでノンマスクابل割り込み要求信号 (INTWDT2), またはシステム・リセット信号 (WDT2RES) を発生します。

(k) シリアル・インタフェース

V850ES/HF3には, シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェースA (UARTD), 3線式可変長シリアル・インタフェースB (CSIB), I²Cバス・インタフェース (I²C) を内蔵しています。

UARTDは, TXDD0, TXDD1, RXDD0, RXDD1端子によりデータ転送を行います。

CSIBは, SOB0, SOB1, SIB0, SIB1, $\overline{SCKB0}$, $\overline{SCKB1}$ 端子によりデータ転送を行います。

I²Cは, SDA00, SCL00端子によりデータ転送を行います。

(l) A/Dコンバータ

12本のアナログ入力端子を持つ10ビットA/Dコンバータです。逐次変換方式で変換します。

(m) DMAコントローラ

4チャンネルのDMAコントローラを内蔵しています。内蔵周辺I/Oによる割り込み要求に基づいて, 内蔵RAM, 内蔵周辺I/Oでデータを転送します。

(n) キー割り込み機能

8チャンネルのキー入力端子に立ち下がりエッジを入力することによって, キー割り込み要求信号 (INTKR) を発生させることができます。

(o) DCU (デバッグ・コントロール・ユニット)

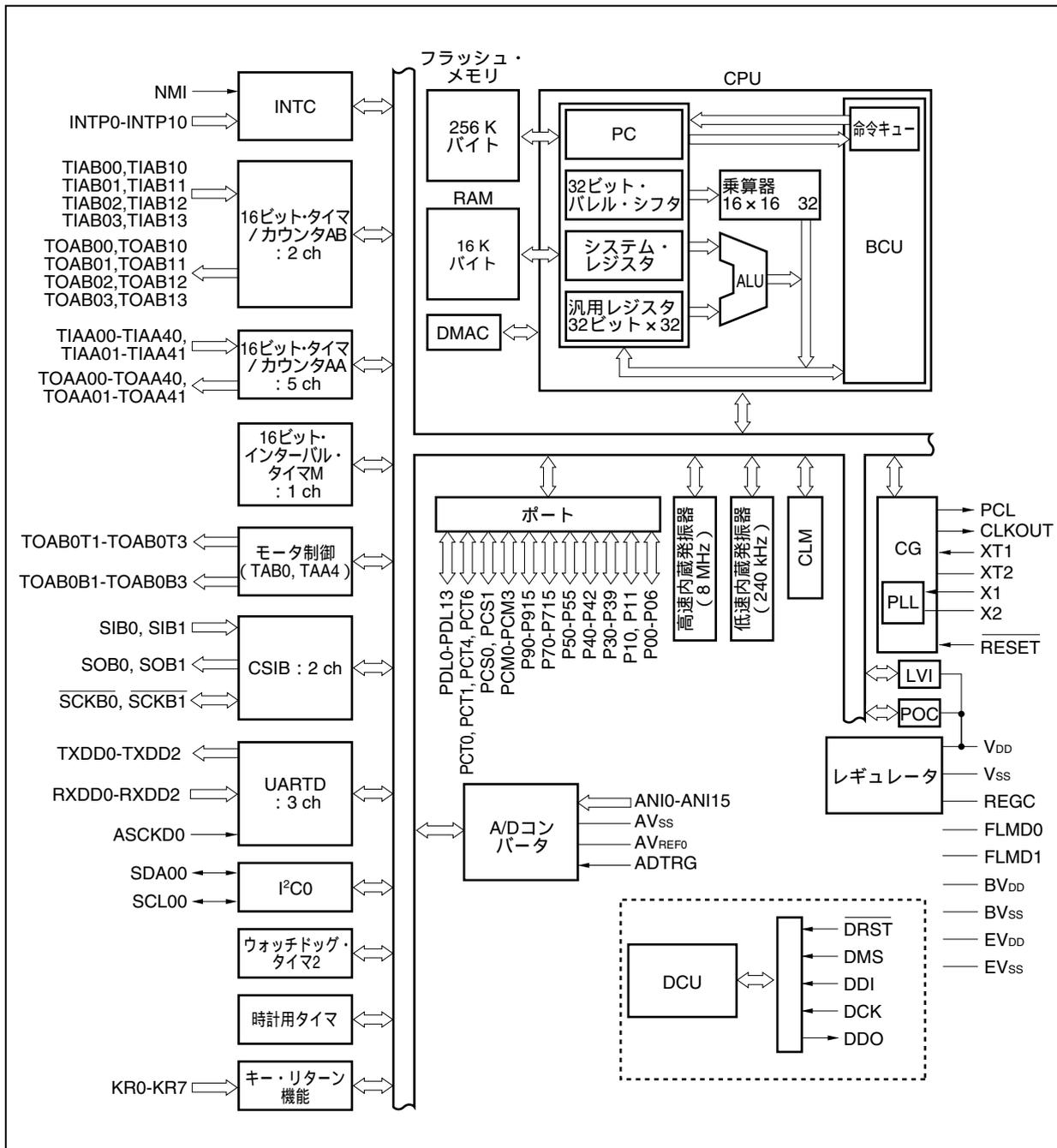
JTAG (Joint Test Action Group) の通信仕様を利用した, オンチップ・デバッグ機能を内蔵しています。通常ポート機能とオンチップ・デバッグ機能の切り替えは, 制御端子の入力レベルとOCDMレジスタの2つで行います。

(p) ポート

汎用ポートとしての機能と制御端子の機能があります。詳細は第4章 **ポート機能**を参照してください。

1.6.3 V850ES/HG3 (μPD70F3752)

(a) 内部ブロック図



(2) 内部ユニット

(a) CPU

アドレス計算、算術論理演算、データ転送などのほとんどの命令処理を、5段パイプライン制御により1クロックで実行できます。

乗算器（16ビット×16ビット 32ビット）、バレル・シフタ（32ビット）などの専用ハードウェアを内蔵し、複雑な処理の高速化を図っています。

(b) バス・コントロール・ユニット (BCU)

内部バスを制御します。

(c) ROM

0000000H-003FFFFH番地にマッピングされる256 Kバイトのフラッシュ・メモリです。命令フェッチ時にCPUから1クロックでアクセスできます。

(d) RAM

3FF7000H-3FFEFFFH番地にマッピングされる16 KバイトのRAMです。データ・アクセス時にCPUから1クロックでアクセスできます。

(e) 割り込みコントローラ (INTC)

内蔵周辺ハードウェア、および外部からのハードウェア割り込み要求（NMI, INTP0-INTP10）を処理します。これらの割り込み要求は、8レベルの割り込み優先順位を指定でき、多重割り込み処理制御ができます。

(f) クロック・ジェネレータ (CG)

メイン・クロック発振回路とサブクロック発振回路があり、メイン・クロック発振周波数（ f_x ）とサブクロック周波数（ f_{xT} ）を生成しています。メイン・クロック周波数（ f_{xx} ）として、 f_x をそのまま使用するクロック・スルー・モードと、PLLモード/SSCGモードがあります。

CPUクロック周波数（ f_{CPU} ）としては、 f_{xx} 、 $f_{xx}/2$ 、 $f_{xx}/4$ 、 $f_{xx}/8$ 、 $f_{xx}/16$ 、 $f_{xx}/32$ 、 f_{xT} の7種類から選択できます。

(g) 内蔵発振器

高速内蔵発振器（ f_{RH} ：8 MHz）と低速内蔵発振器（ f_{RL} ：240 kHz）を搭載しています。高速内蔵発振器（ f_{RH} ）は内部システム・クロック（ f_{CLK} ）として使用できます。低速内蔵発振器（ f_{RL} ）はウォッチドッグ・タイマ2のカウント・クロック、クロック・モニタのサンプリング・クロックなどに使用できます。

(h) タイマ/カウンタ

16ビットのタイマ/イベント・カウンタAA（TAA）を5チャンネル、16ビットのタイマ/イベント・カウンタAB（TAB）を2チャンネル、16ビットのインターバル・タイマM（TMM）を1チャンネル内蔵しています。TAAとTABを組み合わせて6相PWM出力として使用することもできます。

(i) 時計用タイマ

サブクロック (32.768 kHz) またはプリスケアラ3からの f_{BRG} (32.768 kHz) から時計カウント用の基準時間 (0.5秒) をカウントします。メイン・クロックによるインターバル・タイマとしても同時に使用できます。

(j) ウォッチドッグ・タイマ2

プログラムの暴走, システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。ソース・クロックとして低速内蔵発振クロック, メイン・クロックを選択できます。

オーバフローでノンマスクابل割り込み要求信号 (INTWDT2), またはシステム・リセット信号 (WDT2RES) を発生します。

(k) シリアル・インタフェース

V850ES/HG3には, シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェースA (UARTD), 3線式可変長シリアル・インタフェースB (CSIB), I²Cバス・インタフェース (I²C) を内蔵しています。

UARTDは, TXDD0-TXDD2, RXDD0-RXDD2端子によりデータ転送を行います。

CSIBは, SOB0, SOB1, SIB0, SIB1, $\overline{SCKB0}$, $\overline{SCKB1}$ 端子によりデータ転送を行います。

I²Cは, SDA00, SCL00端子によりデータ転送を行います。

(l) A/Dコンバータ

16本のアナログ入力端子を持つ10ビットA/Dコンバータです。逐次変換方式で変換します。

(m) DMAコントローラ

4チャンネルのDMAコントローラを内蔵しています。内蔵周辺I/Oによる割り込み要求に基づいて, 内蔵RAM, 内蔵周辺I/Oでデータを転送します。

(n) キー割り込み機能

8チャンネルのキー入力端子に立ち下がりエッジを入力することによって, キー割り込み要求信号 (INTKR) を発生させることができます。

(o) DCU (デバッグ・コントロール・ユニット)

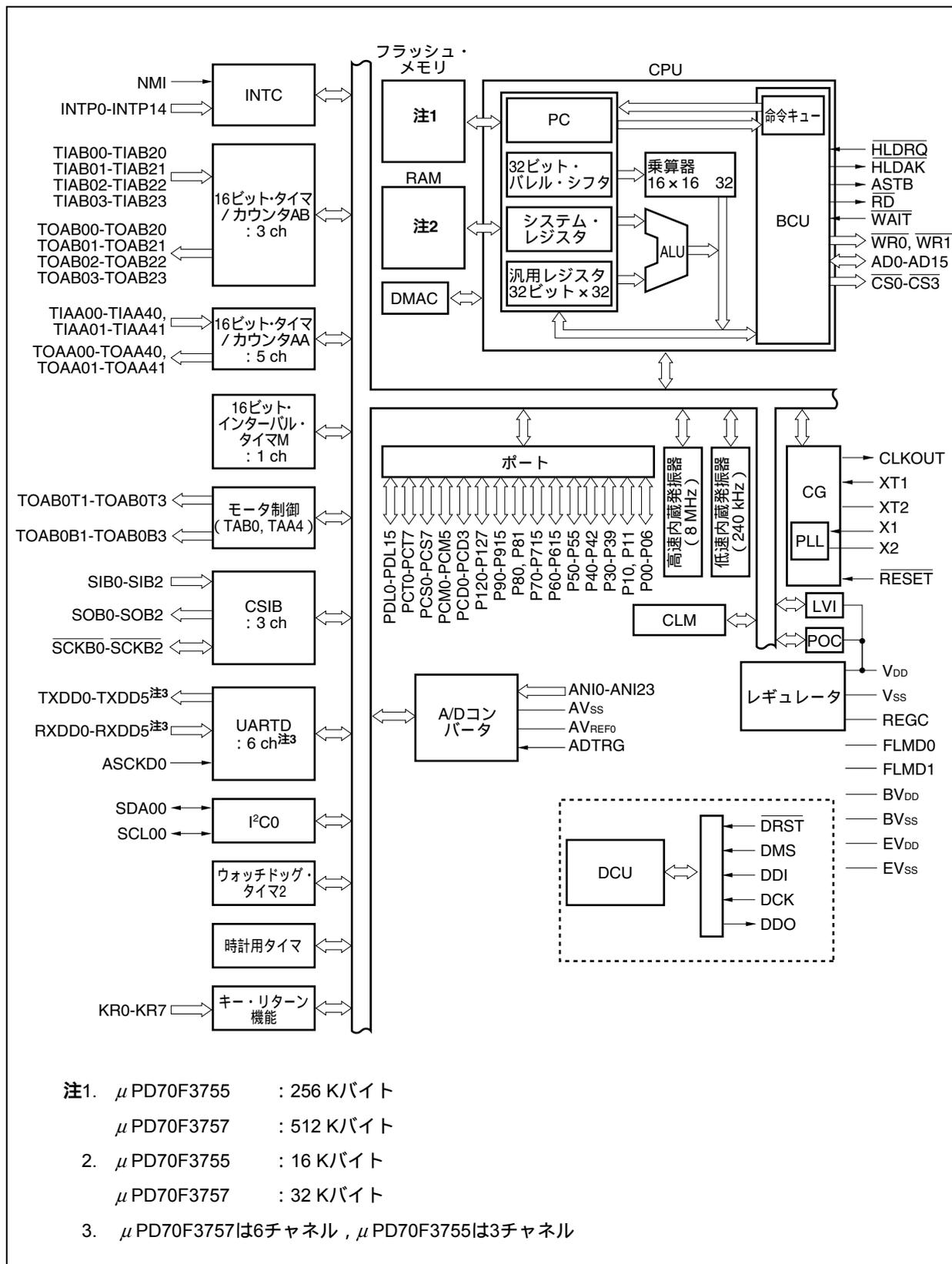
JTAG (Joint Test Action Group) の通信仕様を利用した, オンチップ・デバッグ機能を内蔵しています。通常ポート機能とオンチップ・デバッグ機能の切り替えは, 制御端子の入力レベルとOCDMレジスタの2つで行います。

(p) ポート

汎用ポートとしての機能と制御端子の機能があります。詳細は第4章 **ポート機能**を参照してください。

1.6.4 V850ES/HJ3 (μ PD70F3755, 70FF3757)

(a) 内部ブロック図



(2) 内部ユニット

(a) CPU

アドレス計算、算術論理演算、データ転送などのほとんどの命令処理を、5段パイプライン制御により1クロックで実行できます。

乗算器（16ビット×16ビット 32ビット）、バレル・シフタ（32ビット）などの専用ハードウェアを内蔵し、複雑な処理の高速化を図っています。

(b) バス・コントロール・ユニット (BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は、プリフェッチ・アドレスを生成し、命令コードのプリフェッチを行います。プリフェッチされた命令コードは、内部の命令キューに取り込まれます。

(c) ROM

0000000H-007FFFFFH/0000000H-003FFFFFH番地にマッピングされる512 K/256 Kバイトのフラッシュ・メモリです。命令フェッチ時にCPUから1クロックでアクセスできます。

(d) RAM

3FF7000H-3FFEFFFH/3FFB000H-3FFEFFFH番地にマッピングされる32 K/16 KバイトのRAMです。データ・アクセス時にCPUから1クロックでアクセスできます。

(e) 割り込みコントローラ (INTC)

内蔵周辺ハードウェア、および外部からのハードウェア割り込み要求 (NMI, INTPO-INTP14) を処理します。これらの割り込み要求は、8レベルの割り込み優先順位を指定でき、多重割り込み処理制御ができます。

(f) クロック・ジェネレータ (CG)

メイン・クロック発振回路とサブクロック発振回路があり、メイン・クロック発振周波数 (f_x) とサブクロック周波数 (f_{xT}) を生成しています。メイン・クロック周波数 (f_{xx}) として、 f_x をそのまま使用するクロック・スルー・モードと、PLLモード/SSCGモードがあります。

CPUクロック周波数 (f_{CPU}) としては、 f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, f_{xT} の7種類から選択できます。

(g) 内蔵発振器

高速内蔵発振器 (f_{RH} : 8 MHz) と低速内蔵発振器 (f_{RL} : 240 kHz) を搭載しています。高速内蔵発振器 (f_{RH}) は内部システム・クロック (f_{CLK}) として使用できます。低速内蔵発振器 (f_{RL}) はウォッチドッグ・タイマ2のカウント・クロック、クロック・モニタのサンプリング・クロックなどに使用できます。

(h) タイマ/カウンタ

16ビットのタイマ/イベント・カウンタAA (TAA) を5チャンネル, 16ビットのタイマ/イベント・カウンタAB (TAB) を3チャンネル, 16ビットのインターバル・タイマM (TMM) を1チャンネル内蔵しています。TAAとTABを組み合わせると6相PWM出力として使用することもできます。

(i) 時計用タイマ

サブクロック (32.768 kHz) またはプリスケアラ3からの f_{BRG} (32.768 kHz) から時計カウント用の基準時間 (0.5秒) をカウントします。メイン・クロックによるインターバル・タイマとしても同時に使用できます。

(j) ウォッチドッグ・タイマ2

プログラムの暴走, システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。ソース・クロックとして低速内蔵発振クロック, メイン・クロックを選択できます。オーバフローでノンマスカブル割り込み要求信号 (INTWDT2), またはシステム・リセット信号 (WDT2RES) を発生します。

(k) シリアル・インタフェース

V850ES/HJ3には, シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェースA (UARTD), 3線式可変長シリアル・インタフェースB (CSIB), I²Cバス・インタフェース (I²C) を内蔵しています。

UARTDは, TXDDn, RXDDn端子によりデータ転送を行います。

(n = 0-5 : μ PD70F3757, n = 0-2 : μ PD70F3755)

CSIBは, SOB0-SOB2, SIB0-SIB2, $\overline{SCKB0}$ - $\overline{SCKB2}$ 端子によりデータ転送を行います。

I²Cは, SDA00, SCL00端子によりデータ転送を行います。

(l) A/Dコンバータ

24本のアナログ入力端子を持つ10ビットA/Dコンバータです。逐次変換方式で変換します。

(m) DMAコントローラ

4チャンネルのDMAコントローラを内蔵しています。内蔵周辺I/Oによる割り込み要求に基づいて, 内蔵RAM, 内蔵周辺I/O, 外部メモリ間でデータを転送します。

(n) キー割り込み機能

8チャンネルのキー入力端子に立ち下がりエッジを入力することによって, キー割り込み要求信号 (INTKR) を発生させることができます。

(o) DCU (デバッグ・コントロール・ユニット)

JTAG (Joint Test Action Group) の通信仕様を利用した, オンチップ・デバッグ機能を内蔵しています。通常ポート機能とオンチップ・デバッグ機能の切り替えは, 制御端子の入力レベルとOCDMレジスタの2つで行います。

(p) ポート

汎用ポートとしての機能と制御端子の機能があります。詳細は第4章 **ポート機能**を参照してください。

1.7 機能概要

表1-1 V850ES/Hx3の機能概要一覧

愛称		V850ES/HE3	V850ES/HF3	V850ES/HG3	V850ES/HJ3	
品名		μ PD70F3747	μ PD70F3750	μ PD70F3752	μ PD70F3755	μ PD70F3757
内部メモリ	フラッシュ・メモリ	128 Kバイト	256 Kバイト	256 Kバイト	256 Kバイト	512 Kバイト
	RAM	8 Kバイト	16 Kバイト	16 Kバイト	16 Kバイト	32 Kバイト
外部バス・インタフェース		-			アドレス/データ・バス：16本 チップ・セレクト信号：4本 マルチプレクス・バス・モード対応	
汎用レジスタ		32ビット×32レジスタ				
クロック	最小命令実行時間	31.25 ns (f _{xx} = 32 MHz時)				
	メイン・クロック発振	f _x = 4-16 MHz				
	サブクロック発振	f _{XT} = 32.768 kHz				
	SSCG	周波数変調率指定 ±0.5 % ~ ±5 % (TYP.)				
	PLL通倍	8通倍				
	高速内蔵発振	f _{RH} = 8 MHz (TYP.)				
	低速内蔵発振	f _{RL} = 240 kHz (TYP.)				
I/Oポート		入出力：51本	入出力：67本	入出力：84本	入出力：128本	
タイマ	16ビットTAA	5チャンネル	5チャンネル	5チャンネル	5チャンネル	
	16ビットTAB	1チャンネル	1チャンネル	2チャンネル	3チャンネル	
	16ビットTMM	1チャンネル	1チャンネル	1チャンネル	1チャンネル	
	モータ制御	1チャンネル	1チャンネル	1チャンネル	1チャンネル	
	WDT	1チャンネル	1チャンネル	1チャンネル	1チャンネル	
	時計タイマ	1チャンネル	1チャンネル	1チャンネル	1チャンネル	
10ビットA/Dコンバータ		10チャンネル	12チャンネル	16チャンネル	24チャンネル	
シリアル・インタフェース	CSIB	2チャンネル	2チャンネル	2チャンネル	3チャンネル	
	UARTD	2チャンネル	2チャンネル	3チャンネル	3チャンネル	6チャンネル
	I ² C	1チャンネル	1チャンネル	1チャンネル	1チャンネル	
DMAコントローラ		4チャンネル (転送対象：内蔵周辺I/O, 内蔵RAM)			4チャンネル (転送対象：内蔵周辺I/O, 内蔵RAM, 外部メモリ)	
割り込み要因	外部	9 (9) ^注	9 (9) ^注	12 (12) ^注	16 (16) ^注	
	内部	43	43	51	58	64
パワー・セーブ機能		HALT / IDLE1 / IDLE2 / STOP / サブクロック / サブIDLEモード				
リセット要因		RESET端子入力, ウォッチドッグ・タイマ2 (WDT2), クロック・モニタ (CLM), パワーオン・クリア (POC), 低電圧検出回路 (LVI)				
オンチップ・デバッグ		MINICUBE [®] , MINICUBE2対応				
動作電源電圧		3.7 ~ 5.5 V				
パッケージ		64ピンLQFP (10×10 mm)	80ピンLQFP (12×12 mm)	100ピンLQFP (14×14 mm)	144ピンLQFP (20×20 mm)	

注 ()内はSTOPモード解除可能な外部割り込み本数です。

第2章 端子機能

V850ES/HE3, V850ES/HF3, V850ES/HG3, V850ES/HJ3の機能名称と機能を次に示します。

2.1 端子機能一覧

端子の入出力バッファ電源には、AVREF0, BVDD, EVDDの3系統（V850ES/HE3, V850ES/HF3はBVDDはありません）があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源（V850ES/HE3）

電 源	対応する端子
AVREF0	ポート7
EVDD	ポート0, ポート3, ポート4, ポート5, ポート7, ポート9, ポートCM, ポートDL, $\overline{\text{RESET}}$

表2 - 2 各端子の入出力バッファ電源（V850ES/HF3）

電 源	対応する端子
AVREF0	ポート7
EVDD	ポート0, ポート3, ポート4, ポート5, ポート7, ポート9, ポートCM, ポートCS, ポートCT, ポートDL, $\overline{\text{RESET}}$

表2 - 3 各端子の入出力バッファ電源（V850ES/HG3）

電 源	対応する端子
AVREF0	ポート7
BVDD	ポートCM, ポートCS, ポートCT, ポートDL
EVDD	ポート0, ポート1, ポート3, ポート4, ポート5, ポート7, ポート9, $\overline{\text{RESET}}$

表2 - 4 各端子の入出力バッファ電源（V850ES/HJ3）

電 源	対応する端子
AVREF0	ポート7, ポート12
BVDD	ポートCD, ポートCM, ポートCS, ポートCT, ポートDL
EVDD	ポート0, ポート1, ポート3, ポート4, ポート5, ポート6, ポート8, ポート9, $\overline{\text{RESET}}$

(1) ポート機能

(1/5)

機能名称	入出力	機 能	兼用機能	ピン番号			
				HE3	HF3	HG3	HJ3
P00	入出力	ポート0 7ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能 1ビット単位に内蔵プルアップ抵抗の接続が可能	TIAA31/TOAA31	12	3	6	6
P01			TIAA30/TOAA30	13	4	7	7
P02			NMI/TIAA40/TOAA40	14	5	17	17
P03			INTP0/ADTRG/TIAA41/ TOAA41	15	6	18	18
P04			INTP1	16	7	19	19
P05			INTP2/DRST	17	17	20	20
P06			INTP3	18	18	21	21
P10	入出力	ポート1 2ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能 1ビット単位に内蔵プルアップ抵抗の接続が可能	INTP9	-	-	3	3
P11			INTP10	-	-	4	4
P30	入出力	ポート3 6ビット入出力ポート (V850ES/HE3) 8ビット入出力ポート (V850ES/HF3) 10ビット入出力ポート (V850ES/HG3, V850ES/HJ3) 1ビット単位で入力 / 出力の指定が可能 1ビット単位に内蔵プルアップ抵抗の接続が可能	TXDD0	22	22	25	25
P31			RXDD0/INTP7	23	23	26	26
P32			ASCKD0/TOAA01/ TIAA00/TOAA00	24	24	27	27
P33			TIAA01/TOAA01	25	25	28	28
P34			TIAA10/TOAA10	26	26	29	29
P35			TIAA11/TOAA11	27	27	30	30
P36			-	-	31	31	
P37			-	-	32	32	
P38			TXDD2	-	-	35	35
P39			-	28	-	-	
			RXDD2/INTP8	-	-	36	36
P40	入出力	ポート4 3ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能 1ビット単位に内蔵プルアップ抵抗の接続が可能	SIB0/KR0/RXDD3 ^注 /INTP14 ^注	-	-	-	22
			SIB0/KR0	19	19	22	-
P41	SOB0/KR1/TXDD3 ^注	-	-	-	23		
P42		SOB0/KR1	20	20	23	-	
P50	入出力	ポート5 6ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能 1ビット単位に内蔵プルアップ抵抗の接続が可能	SCKB0/KR2	21	21	24	24
			KR0/TIAB01/TOAB01 /TOAB0T1	28	32	37	37
			KR1/TIAB02/TOAB02 /TOAB0B1	29	33	38	38
			KR2/TIAB03/TOAB03 /TOAB0T2/DDI	30	34	39	39
			KR3/TIAB00/TOAB00 /TOAB0B2/DDO	31	35	40	40
			KR4/TOAB0T3/DCK	34	36	41	41
			KR5/TOAB0B3/DMS	35	37	42	42

注 μ PD70F3757のみ

備考 HE3 : V850ES/HE3, HF3 : V850ES/HF3, HG3 : V850ES/HG3, HJ3 : V850ES/HJ3

(2/5)

機能名称	入出力	機能	兼用機能	ピン番号			
				HE3	HF3	HG3	HJ3
P60	入出力	ポート6 16ビット入出力ポート 1ビット単位で入力/出力の指定が可能 1ビット単位に内蔵ブルアップ抵抗の接続が可能	NTP11	-	-	-	43
P61			NTP12	-	-	-	44
P62			INTP13	-	-	-	45
P63				-	-	-	46
P64				-	-	-	47
P65				-	-	-	48
P66				-	-	-	49
P67				-	-	-	50
P68				-	-	-	51
P69				-	-	-	52
P610			TIAB20/TOAB20	-	-	-	53
P611			TIAB21/TOAB21	-	-	-	54
P612			TIAB22/TOAB22	-	-	-	55
P613			TIAB23/TOAB23	-	-	-	56
P614				-	-	-	57
P615				-	-	-	58
P70	入出力	ポート7 10ビット入出力ポート (V850ES/HE3) 12ビット入出力ポート (V850ES/HF3) 16ビット入出力ポート (V850ES/HG3, V850ES/HJ3) 1ビット単位で入力/出力の指定が可能	ANI0	64	80	100	144
P71			ANI1	63	79	99	143
P72			ANI2	62	78	98	142
P73			ANI3	61	77	97	141
P74			ANI4	60	76	96	140
P75			ANI5	59	75	95	139
P76			ANI6	58	74	94	138
P77			ANI7	57	73	93	137
P78			ANI8	56	72	92	136
P79			ANI9	55	71	91	135
P710			ANI10	-	70	90	134
P711			ANI11	-	69	89	133
P712			ANI12	-	-	88	132
P713			ANI13	-	-	87	131
P714			ANI14	-	-	86	130
P715	ANI15	-	-	85	129		
P80	入出力	ポート8 2ビット入出力ポート 1ビット単位で入力/出力の指定が可能 1ビット単位に内蔵ブルアップ抵抗の接続が可能	RXDD3 ^注 /INTP14	-	-	-	59
P81			TXDD3 ^注	-	-	-	60

注 μ PD70F3757のみ

備考 HE3 : V850ES/HE3, HF3 : V850ES/HF3, HG3 : V850ES/HG3, HJ3 : V850ES/HJ3

機能名称	入出力	機 能	兼用機能	ピン番号			
				HE3	HF3	HG3	HJ3
P90	入出力	ポート9 9ビット入出力ポート (V850ES/HE3, V850ES/HF3) 16ビット入出力ポート (V850ES/HG3, V850ES/HJ3) 1ビット単位で入力 / 出力の指定が可能 1ビット単位に内蔵プルアップ抵抗の接続が可能	KR6/TXDD1	36	38	43	61
P91			KR7/RXDD1	37	39	44	62
P92			TIAB11/TOAB11	-	-	45	63
P93			TIAB12/TOAB12	-	-	46	64
P94			TIAB13/TOAB13	-	-	47	65
P95			TIAB10/TOAB10	-	-	48	66
P96			TIAA21/TOAA21	38	40	49	67
P97			SIB1/TIAA20/TOAA20	39	41	50	68
P98			SOB1/TIAB03/TOAB03	40	42	51	69
P99			SCKB1/TIAB00/TOAB00	41	43	52	70
P910			SIB2	-	-	-	71
			-----	-	-	53	-
P911			SOB2	-	-	-	72
			-----	-	-	54	-
P912			SCKB2/TXDD5 ^注	-	-	-	73
			-----	-	-	55	-
P913	INTP4/PCL/RXDD5 ^注	-	-	-	74		
	-----	42	44	56	-		
P914	INTP5/SDA00/RXDD4 ^注	-	-	-	75		
	-----	43	45	57	-		
P915	INTP6/SCL00/TXDD4 ^注	-	-	-	76		
	-----	44	46	58	-		
P120	入出力	ポート12 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	ANI16	-	-	-	128
P121			ANI17	-	-	-	127
P122			ANI18	-	-	-	126
P123			ANI19	-	-	-	125
P124			ANI20	-	-	-	124
P125			ANI21	-	-	-	123
P126			ANI22	-	-	-	122
P127			ANI23	-	-	-	121
PCD0	入出力	ポートCD 4ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能		-	-	-	77
PCD1				-	-	-	78
PCD2				-	-	-	79
PCD3				-	-	-	80
PCM0	入出力	ポートCM 2ビット入出力ポート (V850ES/HE3) 4ビット入出力ポート (V850ES/HF3, V850ES/HG3) 6ビット入出力ポート (V850ES/HJ3) 1ビット単位で入力 / 出力の指定が可能	WAIT	-	-	-	85
			-----	45	49	61	-
PCM1			CLKOUT	46	50	62	86
PCM2			HLDAK	-	-	-	87
			-----	-	51	63	-
PCM3			HLDRQ	-	-	-	88
	-----	-	52	64	-		
PCM4			-	-	-	89	
PCM5			-	-	-	90	

注 μ PD70F3757のみ

備考 HE3 : V850ES/HE3, HF3 : V850ES/HF3, HG3 : V850ES/HG3, HJ3 : V850ES/HJ3

機能名称	入出力	機能	兼用機能	ピン番号			
				HE3	HF3	HG3	HJ3
PCS0	入出力	ポートCS 2ビット入出力ポート (V850ES/HF3, V850ES/HG3) 8ビット入出力ポート (V850ES/HJ3) 1ビット単位で入力/出力の指定が可能	$\overline{CS0}$	-	-	-	81
PCS1			$\overline{CS1}$	-	47	59	-
PCS2			$\overline{CS2}$	-	-	-	83
PCS3			$\overline{CS3}$	-	-	-	84
PCS4				-	-	-	91
PCS5				-	-	-	92
PCS6				-	-	-	93
PCS7				-	-	-	94
PCT0	入出力	ポートCT 4ビット入出力ポート (V850ES/HF3, V850ES/HG3) 8ビット入出力ポート (V850ES/HJ3) 1ビット単位で入力/出力の指定が可能	$\overline{WR0}$	-	-	-	95
PCT1			$\overline{WR1}$	-	53	65	-
PCT2				-	-	-	97
PCT3				-	-	-	98
PCT4			\overline{RD}	-	-	-	99
PCT5				-	55	67	-
PCT6			ASTB	-	-	-	101
PCT7				-	56	68	-
PDL0	入出力	ポートDL 8ビット入出力ポート (V850ES/HE3) 12ビット入出力ポート (V850ES/HF3) 14ビット入出力ポート (V850ES/HG3) 16ビット入出力ポート (V850ES/HJ3) 1ビット単位で入力/出力の指定が可能	AD0	-	-	-	105
PDL1			AD1	47	57	71	-
PDL2			AD2	-	-	-	107
PDL3			AD3	48	58	72	-
PDL4			AD4	-	-	-	109
PDL5			AD5/FLMD1	49	59	73	-
PDL6			FLMD1	-	-	-	108
PDL7			AD6	50	60	74	-
PDL8			AD7	-	-	-	112
PDL9			AD8	51	61	75	-
	AD9	-	-	-	113		
		-	65	79	-		
		-	-	-	114		
		-	66	80	-		

備考 HE3 : V850ES/HE3, HF3 : V850ES/HF3, HG3 : V850ES/HG3, HJ3 : V850ES/HJ3

機能名称	入出力	機 能	兼用機能	ピン番号			
				HE3	HF3	HG3	HJ3
PDL10	入出力	ポートDL 8ビット入出力ポート (V850ES/HE3) 12ビット入出力ポート (V850ES/HF3) 14ビット入出力ポート (V850ES/HG3) 16ビット入出力ポート (V850ES/HJ3) 1ビット単位で入力 / 出力の指定が可能	AD10	-	-	-	115
				-	67	81	-
PDL11			AD11	-	-	-	116
				-	68	82	-
PDL12			AD12	-	-	-	117
				-	-	83	-
PDL13			AD13	-	-	-	118
				-	-	84	-
PDL14			AD14	-	-	-	119
PDL15			AD15	-	-	-	120

備考 HE3 : V850ES/HE3, HF3 : V850ES/HF3, HG3 : V850ES/HG3, HJ3 : V850ES/HJ3

(2) ポート以外の端子

(1/6)

機能名称	入出力	機 能	兼用機能	ピン番号			
				HE3	HF3	HG3	HJ3
AD0	入出力	外部メモリに対するアドレス/データ・バス	PDL0	-	-	-	105
AD1			PDL1	-	-	-	106
AD2			PDL2	-	-	-	107
AD3			PDL3	-	-	-	108
AD4			PDL4	-	-	-	109
AD5			PDL5/FLMD1	-	-	-	110
AD6			PDL6	-	-	-	111
AD7			PDL7	-	-	-	112
AD8			PDL8	-	-	-	113
AD9			PDL9	-	-	-	114
AD10			PDL10	-	-	-	115
AD11			PDL11	-	-	-	116
AD12			PDL12	-	-	-	117
AD13			PDL13	-	-	-	118
AD14			PDL14	-	-	-	119
AD15			PDL15	-	-	-	120
ADTRG	入力	A/Dコンバータ用外部トリガ入力	P03/INTP0/TIAA41/TOAA41	15	6	18	18
ANI0	入力	A/Dコンバータ用アナログ電圧入力	P70	64	80	100	144
ANI1			P71	63	79	99	143
ANI2			P72	62	78	98	142
ANI3			P73	61	77	97	141
ANI4			P74	60	76	96	140
ANI5			P75	59	75	95	139
ANI6			P76	58	74	94	138
ANI7			P77	57	73	93	137
ANI8			P78	56	72	92	136
ANI9			P79	55	71	91	135
ANI10			P710	-	70	90	134
ANI11			P711	-	69	89	133
ANI12			P712	-	-	88	132
ANI13			P713	-	-	87	131
ANI14			P714	-	-	86	130
ANI15			P715	-	-	85	129
ANI16			P120	-	-	-	128
ANI17			P121	-	-	-	127
ANI18			P122	-	-	-	126
ANI19			P123	-	-	-	125
ANI20			P124	-	-	-	124
ANI21	P125	-	-	-	123		

備考 HE3 : V850ES/HE3, HF3 : V850ES/HF3, HG3 : V850ES/HG3, HJ3 : V850ES/HJ3

機能名称	入出力	機能	兼用機能	ピン番号			
				HE3	HF3	HG3	HJ3
ANI22	入力	A/Dコンバータ用アナログ電圧入力	P126	-	-	-	122
ANI23			P127	-	-	-	121
ASCKD0	入力	シリアル・クロック入力 (UARTD0)	P32/TOAA01/TIAA00/TOAA00	24	24	27	27
ASTB	出力	外部メモリに対するアドレス・ストロブ信号	PCT6	-	-	-	101
AV _{REF0}	-	A/Dコンバータ用基準電圧		1	1	1	1
AV _{SS}	-	A/Dコンバータ用グランド電位		2	2	2	2
BV _{DD}	-	外部I/O (アルファベット・ポート, およびその兼用端子) 用正電源供給		-	-	70	104
BV _{SS}	-	外部I/O (アルファベット・ポート, およびその兼用端子) 用グランド電位		-	-	69	103
CLKOUT	出力	内部システム・クロック出力	PCM1	46	50	62	86
CS0	出力	チップ・セレクト出力	PCS0	-	-	-	81
CS1			PCS1	-	-	-	82
CS2			PCS2	-	-	-	83
CS3			PCS3	-	-	-	84
DCK	入力	オンチップ・デバッグ用クロック入力	P54/KR4/TOAB0T3	34	36	41	41
DDI	入力	オンチップ・デバッグ用データ入力	P52/KR2/TIAB03/TOAB03 /TOAB0T2	30	34	39	39
DDO	出力	オンチップ・デバッグ用データ出力	P53/KR3/TIAB00/TOAB00 /TOAB0B2	31	35	40	40
DMS	入力	オンチップ・デバッグ用モード選択信号入力	P55/KR5/TOAB0B3	35	37	42	42
DRST	入力	オンチップ・デバッグ用リセット信号入力	P05/INTP2	17	17	20	20
EV _{DD}	-	外部I/O (ポート (V850ES/HG3, V850ES/HJ3は数字ポートのみ), およびその兼用端子) 用正電源供給		33	31	5,34	5,34
EV _{SS}	-	外部I/O (ポート (V850ES/HG3, V850ES/HJ3は数字ポートのみ), およびその兼用端子) 用グランド電位		32	30	33	33
FLMD0	-	フラッシュ・プログラミング・モード引き込み用端子		3	8	8	8
FLMD1			PDL5/AD5	-	-	-	110
			PDL5	52	62	76	-
HLD _{AK}	出力	バス・ホールド・アクノリッジ出力	PCM2	-	-	-	87
HLD _{RQ}	入力	バス・ホールド要求入力	PCM3	-	-	-	88
INTP0	入力	マスカブル割り込み入力	P03/ADTRG/TIAA41/TOAA41	15	6	18	18
INTP1			P04	16	7	19	19
INTP2			P05/DRST	17	17	20	20
INTP3			P06	18	18	21	21
INTP4			P913/PCL/RXDD5 ^注	-	-	-	74
			P913/PCL	42	44	56	-
INTP5		P914/SDA00/RXDD4 ^注	-	-	-	75	
		P914/SDA00	43	45	57	-	

注 μ PD70F3757のみ

備考 HE3 : V850ES/HE3, HF3 : V850ES/HF3, HG3 : V850ES/HG3, HJ3 : V850ES/HJ3

機能名称	入出力	機能	兼用機能	ピン番号			
				HE3	HF3	HG3	HJ3
INTP6	入力	マスクابل割り込み入力	P915/SCL00/TXDD4	-	-	-	76
			P915/SCL00	44	46	58	-
INTP7			P31/RXDD0	23	23	26	26
INTP8			P39/RXDD2	-	-	36	36
INTP9			P10	-	-	3	3
INTP10			P11	-	-	4	4
INTP11			P60	-	-	-	43
INTP12			P61	-	-	-	44
INTP13			P62	-	-	-	45
INTP14			P40/SIB0/KR0/RXDD3	-	-	-	22 ^注
	P80/RXDD3 ^注	-	-	-	59		
KR0	入力	キー割り込み入力	P40/SIB0/RXDD3 ^注 /INTP14 ^注	-	-	-	22
			P40/SIB0	19	19	22	-
			P50/TIAB01/TOAB01	28	32	37	37
			/TOAB0T1				
KR1			P41/SOB0/TXDD3 ^注	-	-	-	23
			P41/SOB0	20	20	23	-
			P51/TIAB02/TOAB02	29	33	38	38
			/TOAB0B1				
KR2			P42/SCKB0	21	21	24	24
			P52/TIAB03/TOAB03	30	34	39	39
			/TOAB0T2/DDI				
KR3			P53/TIAB00/TOAB00	31	35	40	40
			/TOAB0B2/DDO				
KR4			P54/TOAB0T3/DCK	34	36	41	41
KR5	P55/TOAB0B3/DMS	35	37	42	42		
KR6	P90/TXDD1	36	38	43	61		
KR7	P91/RXDD1	37	39	44	62		
NMI	入力	ノンマスクابل割り込み入力	P02/TIAA40/TOAA40	14	5	17	17
PCL	出力	PCLクロック出力	P913/INTP4/RXDD5 ^注	-	-	-	74
			P913/INTP4	42	44	56	-
RD	出力	外部メモリに対するリード・ストロブ信号出力	PCT4	-	-	-	99
REGC	-	レギュレータ出力安定容量接続		5	10	10	10
RESET	入力	外部リセット入力		9	14	14	14
RXDD0	入力	シリアル受信データ入力 (UARTD0)	P31/INTP7	23	23	26	26
RXDD1		シリアル受信データ入力 (UARTD1)	P91/KR7	37	39	44	62
RXDD2		シリアル受信データ入力 (UARTD2)	P39/INTP8	-	-	36	36
RXDD3 ^注		シリアル受信データ入力 (UARTD3)	P40/SIB0/KR0/INTP14	-	-	-	22
			P80/INTP14	-	-	-	59
RXDD4 ^注		シリアル受信データ入力 (UARTD4)	P914/INTP5/SDA00	-	-	-	75
RXDD5 ^注	シリアル受信データ入力 (UARTD5)	P913/INTP4/PCL	-	-	-	74	

注 μ PD70F3757のみ

備考 HE3 : V850ES/HE3, HF3 : V850ES/HF3, HG3 : V850ES/HG3, HJ3 : V850ES/HJ3

機能名称	入出力	機能	兼用機能	ピン番号			
				HE3	HF3	HG3	HJ3
SCKB0	入出力	シリアル・クロック入出力 (CSIB0)	P42/KR2	21	21	24	24
SCKB1		シリアル・クロック入出力 (CSIB1)	P99/TIAB00/TOAB00	41	43	52	70
SCKB2		シリアル・クロック入出力 (CSIB2)	P912/TXDD5 ^注	-	-	-	73
SCL00	入出力	シリアル・クロック入出力 (I ² C00)	P915/INTP6/TXDD4 ^注	-	-	-	76
			P915/INTP6	44	46	58	-
SDA00	入出力	シリアル送受信データ入出力 (I ² C00)	P914/INTP5/RXDD4 ^注	-	-	-	75
			P914/INTP5	43	45	57	-
SIB0	入力	シリアル受信データ入力 (CSIB0)	P40/KR0/RXDD3 ^注 /INTP14 ^注	-	-	-	22
P40/KR0			19	19	22	-	
SIB1			シリアル受信データ入力 (CSIB1)	P97/TIAA20/TOAA20	39	41	50
SIB2		シリアル受信データ入力 (CSIB2)	P910	-	-	-	71
SOB0	出力	シリアル送信データ出力 (CSIB0)	P41/KR1/TXDD3 ^注	-	-	-	23
			P41/KR1	20	20	23	-
SOB1		シリアル送信データ出力 (CSIB1)	P98/TIAB03/TOAB03	40	42	51	69
SOB2		シリアル送信データ出力 (CSIB2)	P911	-	-	-	72
TIAA00	入力	キャプチャ・トリガ入力 / 外部イベント入力 / 外部クロック入力 (TAA0)	P32/ASCKD0/TOAA01/TOAA00	24	24	27	27
TIAA01		キャプチャ・トリガ入力 (TAA0)	P33/TOAA01	25	25	28	28
TIAA10		キャプチャ・トリガ入力 / 外部イベント入力 / 外部クロック入力 (TAA1)	P34/TOAA10	26	26	29	29
TIAA11		キャプチャ・トリガ入力 (TAA1)	P35/TOAA11	27	27	30	30
TIAA20		キャプチャ・トリガ入力 / 外部イベント入力 / 外部クロック入力 (TAA2)	P97/SIB1/TOAA20	39	41	50	68
TIAA21		キャプチャ・トリガ入力 (TAA2)	P96/TOAA21	38	40	49	67
TIAA30		キャプチャ・トリガ入力 / 外部イベント入力 / 外部クロック入力 (TAA3)	P01/TOAA30	13	4	7	7
TIAA31		キャプチャ・トリガ入力 (TAA3)	P00/TOAA31	12	3	6	6
TIAA40		キャプチャ・トリガ入力 / 外部イベント入力 / 外部クロック入力 (TAA4)	P02/NMI/TOAA40	14	5	17	17
TIAA41		キャプチャ・トリガ入力 (TAA4)	P03/INTP0/ADTRG/TOAA41	15	6	18	18
TIAB00		入力	キャプチャ・トリガ入力 / 外部イベント入力 / 外部トリガ入力 (TAB0)	P53/KR3/TOAB00	31	35	40
	/TOAB0B2/DDO			-	-	-	-
			P99/SCKB1/TOAB00	41	43	52	70
TIAB01		キャプチャ・トリガ入力 (TAB0)	P50/KR0/TOAB01	28	32	37	37
			/TOAB0T1	-	-	-	-
TIAB02			P51/KR1/TOAB02	29	33	38	38
			/TOAB0B1	-	-	-	-
TIAB03			P52/KR2/TOAB03	30	34	39	39
			/TOAB0T2/DDI	-	-	-	-
			P98/SOB1/TOAB03	40	42	51	69

注 μ PD70F3757のみ

備考 HE3 : V850ES/HE3, HF3 : V850ES/HF3, HG3 : V850ES/HG3, HJ3 : V850ES/HJ3

機能名称	入出力	機 能	兼用機能	ピン番号				
				HE3	HF3	HG3	HJ3	
TIAB10	入力	キャプチャ・トリガ入力 / 外部イベント入力 / 外部トリガ入力 (TAB1)	P95/TOAB10	-	-	48	66	
TIAB11			P92/TOAB11	-	-	45	63	
TIAB12			P93/TOAB12	-	-	46	64	
TIAB13			P94/TOAB13	-	-	47	65	
TIAB20		キャプチャ・トリガ入力 / 外部イベント入力 / 外部トリガ入力 (TAB2)	P610/TOAB20	-	-	-	53	
TIAB21			P611/TOAB21	-	-	-	54	
TIAB22			P612/TOAB22	-	-	-	55	
TIAB23			P613/TOAB23	-	-	-	56	
TOAA00			出力	タイマ出力 (TAA0)	P32/ASCKD0/TOAA01 /TIAA00	24	24	27
TOAA01	P32/ASCKD0/TIAA00 /TOAA00	24			24	27	27	
	P33/TIAA01	25			25	28	28	
TOAA10	タイマ出力 (TAA1)	P34/TIAA10		26	26	29	29	
TOAA11		P35/TIAA11		27	27	30	30	
TOAA20	タイマ出力 (TAA2)	P97/SIB1/TIAA20		39	41	50	68	
TOAA21		P96/TIAA21		38	40	49	67	
TOAA30		出力		タイマ出力 (TAA3)	P01/TIAA30	13	4	7
TOAA31	P00/TIAA31				12	3	6	6
TOAA40	出力	タイマ出力 (TAA4)	P02/NMI/TIAA40	14	5	17	17	
TOAA41			P03/INTP0/ADTRG/TIAA41	15	6	18	18	
TOAB00	出力	タイマ出力 (TAB0)	P53/KR3/TIAB00 /TOAB0B2/DDO	31	35	40	40	
			P99/SCKB1/TIAB00	41	43	52	70	
TOAB01			P50/KR0/TIAB01/TOAB0T1	28	32	37	37	
TOAB02			P51/KR1/TIAB02/TOAB0B1	29	33	38	38	
TOAB03			P52/KR2/TIAB03/TOAB0T2 /DDI	30	34	39	39	
			P98/SOB1/TIAB03	40	42	51	69	
TOAB10		タイマ出力 (TAB1)	P95/TIAB10	-	-	48	66	
TOAB11			P92/TIAB11	-	-	45	63	
TOAB12			P93/TIAB12	-	-	46	64	
TOAB13			P94/TIAB13	-	-	47	65	
TOAB20		タイマ出力 (TAB2)	P610/TIAB20	-	-	-	53	
TOAB21			P611/TIAB21	-	-	-	54	
TOAB22			P612/TIAB22	-	-	-	55	
TOAB23			P613/TIAB23	-	-	-	56	
TOAB0B1	出力		モータ制御出力	P51/KR1/TIAB02/TOAB02	29	33	38	38
TOAB0B2		P53/KR3/TIAB00/DDO		31	35	40	40	
TOAB0B3		P55/KR5/DMS		35	37	42	42	

備考 HE3 : V850ES/HE3, HF3 : V850ES/HF3, HG3 : V850ES/HG3, HJ3 : V850ES/HJ3

機能名称	入出力	機能	兼用機能	ピン番号			
				HE3	HF3	HG3	HJ3
TOAB0T1	出力	モータ制御反転出力	P50/KR0/TIAB01/TOAB01	28	32	37	37
TOAB0T2			P52/KR2/TIAB03/TOAB03	30	34	39	39
TOAB0T3			P54/KR4/DCK	34	36	41	41
TXDD0	出力	シリアル送信データ出力 (UARTD0)	P30	22	22	25	25
TXDD1		シリアル送信データ出力 (UARTD1)	P90/KR6	36	38	43	61
TXDD2		シリアル送信データ出力 (UARTD2)	P38	-	-	35	35
TXDD3 ^注		シリアル送信データ出力 (UARTD3)	P41/SOB0/KR1	-	-	-	23
			P81	-	-	-	60
TXDD4 ^注		シリアル送信データ出力 (UARTD4)	P915/INTP6/SCL00	-	-	-	76
TXDD5 ^注		シリアル送信データ出力 (UARTD5)	P912/SCKB2	-	-	-	73
V _{DD}	-	内部用正電源供給端子		4	9	9	9, 104
V _{SS}	-	内部用グランド電位		6	11	11	11, 103
WAIT	入力	外部ウエイト入力	PCM0	-	-	-	85
WR0	出力	外部メモリ (下位8ビット) に対するライト・スト ローブ	PCT0	-	-	-	95
WR1		外部メモリ (上位8ビット) に対するライト・スト ローブ	PCT1	-	-	-	96
X1	入力	メイン・クロック用発振子接続		7	12	12	12
X2	-			8	13	13	13
XT1	入力	サブクロック用発振子接続		10	15	15	15
XT2	-			11	16	16	16

注 μ PD70F3757のみ

備考 HE3 : V850ES/HE3, HF3 : V850ES/HF3, HG3 : V850ES/HG3, HJ3 : V850ES/HJ3

2.2 端子状態

V850ES/HJ3は、外部にROM, RAMなどのメモリやI/Oなどを接続できる外部バス・インタフェース機能を内蔵しています。

動作モードによる各外部バス・インタフェース端子の動作状態を表2 - 5に示します。

表2 - 5 動作モードによる各端子の動作状態

バス制御端子	リセット	HALTモード, DMA転送中	IDLE1, IDLE2モード, STOPモード	アイドル・ ステート ^{注2}	バス・ホールド	
AD0-AD15	Hi-Z ^{注1}	動作	Hi-Z	保持	Hi-Z	
CS0-CS3			H			
WAIT			-	-	-	
CLKOUT			L	動作	動作	
WR0, WR1			H	H	Hi-Z	
RD						
ASTB						
HLD $\overline{\text{AK}}$					L	
HLD $\overline{\text{RQ}}$					-	動作

注1. バス制御端子はポート端子と兼用するので、入力モード（ポート・モード）に初期化します。

2. T3ステート後に挿入されるアイドル・ステート時の端子状態を示します。

備考 Hi-Z : ハイ・インピーダンス

保持 : 直前の外部バス・サイクルでの状態を保持

L : ロウ・レベル出力

H : ハイ・レベル出力

- : 入力非サンプリング（受け付けない）

2.3 端子の入出力回路タイプと未使用端子の処理

(1/4)

端子	兼用機能	入出力回路タイプ	未使用時の推奨接続方法	ピン番号			
				HE3	HF3	HG3	HJ3
P00	TIAA31/TOAA31	5-W	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。	12	3	6	6
P01	TIAA30/TOAA30			13	4	7	7
P02	NMI/TIAA40/TOAA40			14	5	17	17
P03	INTP0/ADTRG/TIAA41/ TOAA41			15	6	18	18
P04	INTP1			16	7	19	19
P05	INTP2/DRST	5-AF	入力時：個別に抵抗を介して，EV _{SS} に接続してください。 出力時：オープンにしてください。	17	17	20	20
P06	INTP3	5-W	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。	18	18	21	21
P10	INTP9			-	-	3	3
P11	INTP10			-	-	4	4
P30	TXDD0			22	22	25	25
P31	RXDD0/INTP7			23	23	26	26
P32	ASCKD0/TOAA01/ TIAA00/TOAA00			24	24	27	27
P33	TIAA01/TOAA01			25	25	28	28
P34	TIAA10/TOAA10			26	26	29	29
P35	TIAA11/TOAA11			27	27	30	30
P36				-	-	31	31
P37				-	-	32	32
P38	TXDD2			-	-	35	35
	-----			-	28	-	-
P39	RXDD2/INTP8			-	-	36	36
	-----			-	29	-	-
P40	SIB0/KR0/RXDD3 ^注 /INTP14 ^注			-	-	-	22
	-----			19	19	22	-
P41	SOB0/KR1/TXDD3	-	-	-	23		
	-----	20	20	23	-		
P42	SCKB0/KR2	21	21	24	24		
P50	KR0/TIAB01/TOAB01 /TOAB0T1	5-W	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。	28	32	37	37
P51	KR1/TIAB02/TOAB02 /TOAB0B1			29	33	38	38
P52	KR2/TIAB03/TOAB03/ TOAB0T2/DDI			30	34	39	39
P53	KR3/TIAB00/TOAB00/ TOAB0B2/DDO			31	35	40	40
P54	KR4/TOAB0T3/DCK			34	36	41	41
P55	KR5/TOAB0B3/DMS			35	37	42	42

注 μ PD70F3755のみ

備考 HE3 : V850ES/HE3, HF3 : V850ES/HF3, HG3 : V850ES/HG3, HJ3 : V850ES/HJ3

端子	兼用機能	入出力回路 タイプ	未使用時の推奨接続方法	ピン番号			
				HE3	HF3	HG3	HJ3
P60-P62	NTP11-INTP13	5-W	入力時：個別に抵抗を介して，EV _{DD} または EV _{SS} に接続してください。 出力時：オープンにしてください。	-	-	-	43- 45
P63-P69				-	-	-	46- 52
P610-P613	TIAB20/TOAB20- TIAB23/TOAB23			-	-	-	53- 56
P614				-	-	-	57
P615				-	-	-	58
P70-P79	ANI0-ANI9	11-G	入力時：個別に抵抗を介して，AV _{REF0} または AV _{SS} に接続してください。 出力時：オープンにしてください。	64- 55	80- 71	100- 91	144- 135
P710	ANI10			-	70	90	134
P711	ANI11			-	69	89	133
P712-P715	ANI12-ANI15			-	-	88- 85	132- 129
P80	RXDD3/INTP14	5-W	入力時：個別に抵抗を介して，EV _{DD} または EV _{SS} に接続してください。 出力時：オープンにしてください。	-	-	-	59
P81	TXDD3			-	-	-	60
P90	KR6/TXDD1			36	38	43	61
P91	KR7/RXDD1			37	39	44	62
P92-P94	TIAB11/TOAB11- TIAB13/TOAB13			-	-	45- 47	63- 65
P95	TIAB10/TOAB10			-	-	48	66
P96	TIAA21/TOAA21			38	40	49	67
P97	SIB1/TIAA20/TOAA20			39	41	50	68
P98	SOB1/TIAB03/TOAB03			40	42	51	69
P99	SCKB1/TIAB00/TOAB00			41	43	52	70
P910	SIB2			-	-	-	71
				-	-	53	-
P911	SOB2			-	-	-	72
		-	-	54	-		
P912	SCKB2/TXDD5	-	-	-	73		
		-	-	55	-		
P913	INTP4/PCL/RXDD5	5-W	入力時：個別に抵抗を介して，EV _{DD} または EV _{SS} に接続してください。 出力時：オープンにしてください。	-	-	-	74
	INTP4/PCL			42	44	56	-
P914	INTP5/SDA00/RXDD4			-	-	-	75
	INTP5/SDA00	43	45	57	-		
P915	INTP6/SCL00/TXDD4	5-W	入力時：個別に抵抗を介して，EV _{DD} または EV _{SS} に接続してください。 出力時：オープンにしてください。	-	-	-	76
	INTP6/SCL00			44	46	58	-

備考 HE3 : V850ES/HE3, HF3 : V850ES/HF3, HG3 : V850ES/HG3, HJ3 : V850ES/HJ3

端子	兼用機能	入出力回路 タイプ	未使用時の推奨接続方法	ピン番号				
				HE3	HF3	HG3	HJ3	
P120-P127	ANI16-ANI23	11-G	入力時：個別に抵抗を介して， AV_{REF0} または AV_{SS} に接続してください。 出力時：オープンにしてください。	-	-	-	128- 121	
PCD0-PCD3		5	入力時：個別に抵抗を介して， BV_{DD} または BV_{SS} に接続してください。 出力時：オープンにしてください。	-	-	-	77- 80	
PCM0	\overline{WAIT}	5	入力時：個別に抵抗を介して， BV_{DD} または BV_{SS} に接続してください (V850ES/HE3, V850ES/HF3は， EV_{DD} または EV_{SS} に接続してくださ い)。 出力時：オープンにしてください。	-	-	-	85	
				45	49	61	-	
PCM1	CLKOUT			46	50	62	86	
PCM2	\overline{HLDAK}			-	-	-	87	
				-	51	63	-	
PCM3	\overline{HLDRQ}			-	-	-	88	
				-	52	64	-	
PCM4				-	-	-	89	
PCM5				-	-	-	90	
PCS0	$\overline{CS0}$			入力時：個別に抵抗を介して， BV_{DD} または BV_{SS} に接続してください。 (V850ES/HF3は， EV_{DD} または EV_{SS} に 接続してください。) 出力時：オープンにしてください。	-	-	-	81
					-	47	59	-
PCS1	$\overline{CS1}$				-	-	-	82
					-	48	60	-
PCS2	$\overline{CS2}$	-	-		-	83		
PCS3	$\overline{CS3}$					84		
PCS4-PCS7		-	-		-	92- 94		
PCT0	$\overline{WR0}$	-	-		-	95		
		-	53		65	-		
PCT1	$\overline{WR1}$	-	-		-	96		
		-	54		66	-		
PCT2		-	-		-	97		
PCT3		-	-		-	98		
PCT4	\overline{RD}	-	-	-	99			
		-	55	67	-			
PCT5		-	-	-	100			
PCT6	ASTB	-	-	-	101			
		-	56	68	-			
PCT7		-	-	-	102			

備考 HE3 : V850ES/HE3, HF3 : V850ES/HF3, HG3 : V850ES/HG3, HJ3 : V850ES/HJ3

端子	兼用機能	入出力回路 タイプ	未使用時の推奨接続方法	ピン番号			
				HE3	HF3	HG3	HJ3
PDL0- PDL4	AD0-AD4	5-K	入力時：個別に抵抗を介して，BV _{DD} または BV _{SS} に接続してください。 (V850ES/HE3, V850ES/HF3は， EV _{DD} またはEV _{SS} に接続してくださ い。) 出力時：オープンにしてください。	-	-	-	105- 109
				47- 51	57- 61	71- 75	-
PDL5	AD5/FLMD1			-	-	-	110
	FLMD1			52	62	76	-
PDL6	AD6			-	-	-	111
				53	63	77	-
PDL7	AD7			-	-	-	112
				54	64	78	-
PDL8- PDL11	AD8-AD11			-	-	-	113- 116
				-	65- 68	79- 82	-
PDL12,	AD12			-	-	-	117
				-	-	83	-
PDL13	AD13			-	-	-	118
				-	-	84	-
PDL14	AD14			-	-	-	119
PDL15	AD15	-	-	-	120		
AV _{REF0}			V _{DD} に直接接続してください。	1	1	1	1
AV _{SS}				2	2	2	2
BV _{DD}				-	-	70	104
BV _{SS}				-	-	69	103
EV _{DD}				33	31	5, 34	5, 34
EV _{SS}				32	30	33	33
FLMD0			フラッシュ・モード時以外は，V _{SS} に接続して ください。	3	8	8	8
REGC			レギュレータ出力安定容量に接続してください。	5	10	10	10
RESET		2	抵抗を介してEV _{DD} に接続してください。	9	14	14	14
V _{DD}				4	9	9	9, 104
V _{SS}				6	11	11	11, 103
X1				7	12	12	12
X2				8	13	13	13
XT1		16	抵抗を介してV _{SS} に接続してください。	10	15	15	15
XT2			オープンにしてください。	11	16	16	16

備考 HE3 : V850ES/HE3, HF3 : V850ES/HF3, HG3 : V850ES/HG3, HJ3 : V850ES/HJ3

2.4 端子の入出力回路

図2 - 1 端子の入出力回路タイプ (1/2)

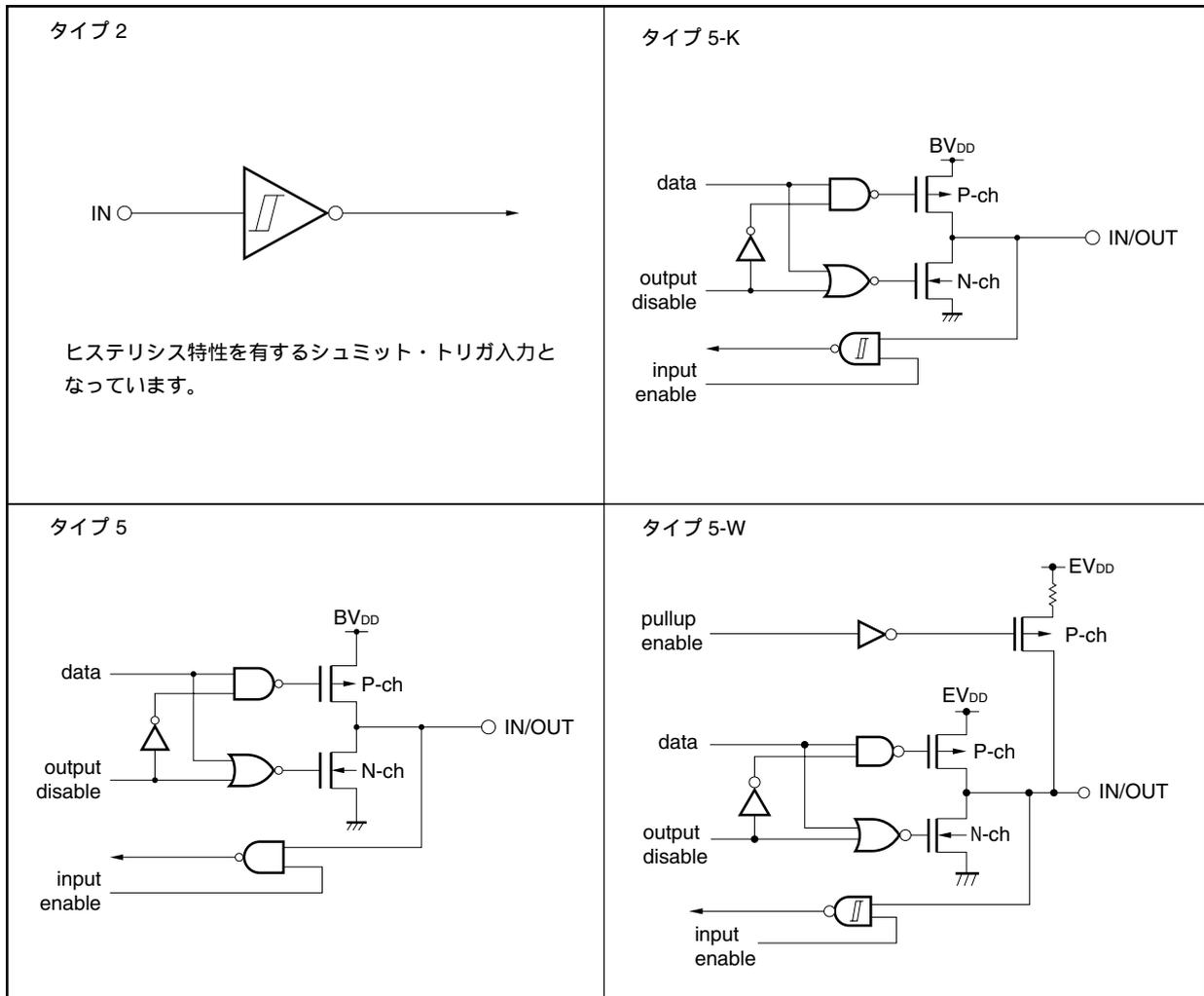
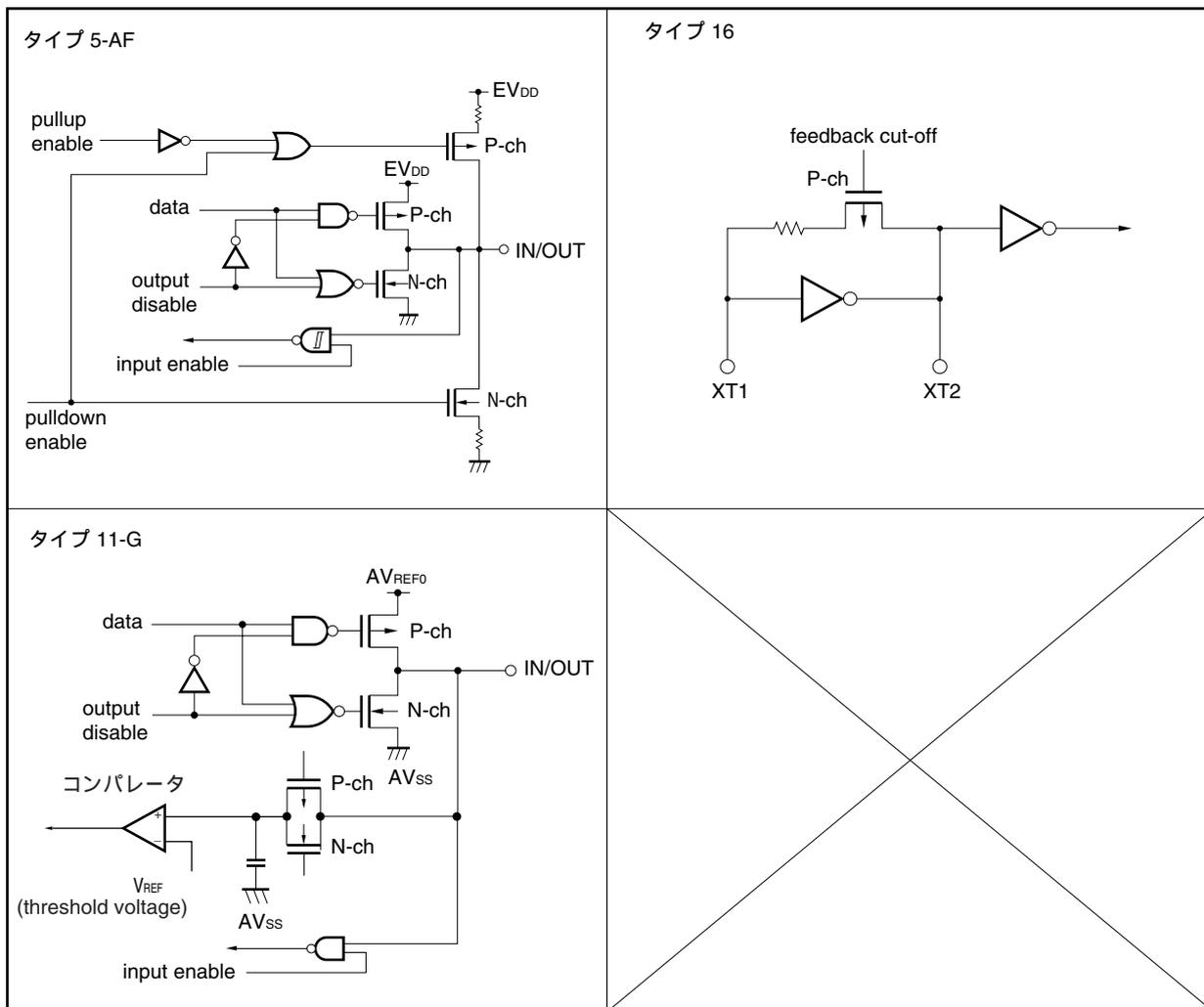


図2 - 1 端子の入出力回路タイプ (2/2)



第3章 CPU機能

V850ES/Hx3のCPUは，RISCアーキテクチャをベースとして，5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

3.1 特 徴

最小命令実行時間：31.25 ns (32 MHz動作時)

可変命令長(16ビット/32ビット長)

メモリ空間 プログラム空間：64 Mバイト・リニア

 データ空間 : 4 Gバイト・リニア

汎用レジスタ：32ビット×32本

内部32ビット・アーキテクチャ

5段パイプライン制御

乗除算命令

飽和演算命令

32ビット・シフト命令：1クロック

ロング/ショート形式を持つロード/ストア命令

ビット操作命令4種

- ・SET1
- ・CLR1
- ・NOT1
- ・TST1

3.2 CPUレジスタ・セット

V850ES/Hx3のレジスタは、汎用のプログラム・レジスタ・セットと、専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅となっています。

詳細はV850ES ユーザーズ・マニュアル アーキテクチャ編を参照してください。

(1) プログラム・レジスタ・セット		(2) システム・レジスタ・セット	
31	汎用レジスタ	0	
r0	(ゼロ・レジスタ)	EIPC	(割り込み時状態回避レジスタ)
r1	(アセンブラ予約レジスタ)	EIPSW	(割り込み時状態回避レジスタ)
r2			
r3	(スタック・ポインタ (SP))	FEPC	(NMI時状態回避レジスタ)
r4	(グローバル・ポインタ (GP))	FEPSW	(NMI時状態回避レジスタ)
r5	(テキスト・ポインタ (TP))		
r6		ECR	(割り込み要因レジスタ)
r7			
r8		PSW	(プログラム・ステータス・ワード)
r9			
r10		CTPC	(CALLT実行時状態回避レジスタ)
r11		CTPSW	(CALLT実行時状態回避レジスタ)
r12			
r13		DBPC	(例外/デバッグ・トラップ時状態回避レジスタ)
r14		DBPSW	(例外/デバッグ・トラップ時状態回避レジスタ)
r15			
r16			
r17		CTBP	(CALLTベース・ポインタ)
r18			
r19			
r20			
r21			
r22			
r23			
r24			
r25			
r26			
r27			
r28			
r29			
r30	(エレメント・ポインタ (EP))		
r31	(リンク・ポインタ (LP))		
31		0	
PC	(プログラム・カウンタ)		

3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

(1) 汎用レジスタ (r0-r31)

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれでもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。r0は常に0を保持しているレジスタで、0を使用する演算やオフセット0のアドレッシングで使用されます。r30はSLD命令とSST命令により、メモリをアクセスするときのベース・ポインタとして使用されます。また、r1、r3-r5、r31は、アセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。r2は、リアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は、変数用レジスタとしてr2を使用できます。

表3 - 1 プログラム・レジスタ一覧

名称	用途	動作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミディエト作成用のワーキング・レジスタとして使用
r2	アドレス / データ変数用レジスタ (使用するリアルタイムOSがr2を使用していない場合)	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域 (プログラム・コードを配置する領域) の先頭を指すレジスタとして使用
r6-r29	アドレス / データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

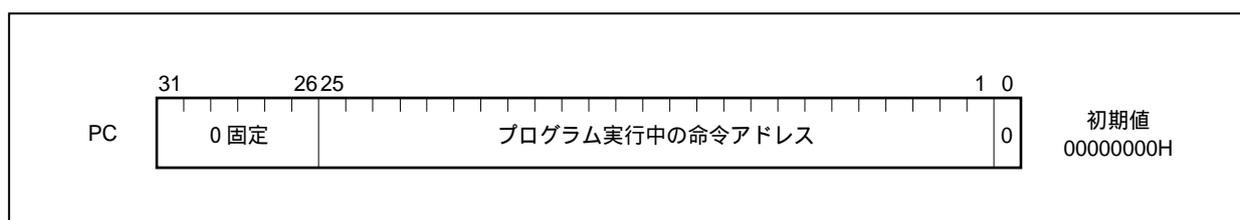
備考 アセンブラやCコンパイラで使用されるr1、r3-r5、r31の詳細な説明は、CA850 (Cコンパイラ・パッケージ) ユーザーズ・マニュアル アセンブリー言語編を参照してください。

(2) プログラム・カウンタ (PC)

プログラム実行中の命令アドレスを保持します。下位26ビットが有効で、ビット31-26は0に固定されます。ビット25からビット26へのキャリーがあっても無視します。

したがって、プログラム空間の上限である03FFFFFFH番地と、下限である00000000H番地は連続したアドレスとなります。

また、ビット0は0に固定されており、奇数番地への分岐はできません。



3.2.2 システム・レジスタ・セット

システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

システム・レジスタへのリード/ライトは、システム・レジスタ・ロード/ストア命令（LDSR, STSR命令）により、次に示すシステム・レジスタ番号を設定することで行います。

表3-2 システム・レジスタ番号

システム・レジスタ番号	システム・レジスタ名称	オペランド指定の可否	
		LDSR命令	STSR命令
0	割り込み時状態退避レジスタ (EIPC) ^{注1}		
1	割り込み時状態退避レジスタ (EIPSW) ^{注1}		
2	NMI時状態退避レジスタ (FEPC) ^{注1}		
3	NMI時状態退避レジスタ (FEPSW) ^{注1}		
4	割り込み要因レジスタ (ECR)	×	
5	プログラム・ステータス・ワード (PSW)		
6-15	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	×	×
16	CALLT実行時状態退避レジスタ (CTPC)		
17	CALLT実行時状態退避レジスタ (CTPSW)		
18	例外/デバッグ・トラップ時状態退避レジスタ (DBPC)	注2	注2
19	例外/デバッグ・トラップ時状態退避レジスタ (DBPSW)	注2	注2
20	CALLTベース・ポインタ (CTBP)		
21-31	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	×	×

注1. これらのレジスタは1組しかないので、多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。

- DBTRAP命令、または不正命令コードを実行してからDBRET命令を実行するまでの期間のみアクセス可能です。

注意 LDSR命令によりEIPCかFEPC、またはCTPCのビット0をセット(1)しても、割り込み処理後のRETI命令で復帰するときにビット0は無視されます(PCのビット0を0固定してあるため)。EIPC、FEPC、CTPCに値を設定する場合は、偶数値(ビット0=0)を設定してください。

備考 : アクセス可能

× : アクセス禁止

(1) 割り込み時状態退避レジスタ (EIPC, EIPSW)

割り込み時状態退避レジスタには、EIPCとEIPSWがあります。

ソフトウェア例外やマスカブル割り込みが発生した場合、プログラム・カウンタ (PC) の内容がEIPCに、プログラム・ステータス・ワード (PSW) の内容がEIPSWに退避されます (ノンマスカブル割り込み (NMI) 発生時には、NMI時状態退避レジスタ (FEPC, FEPSW) に退避されます)。

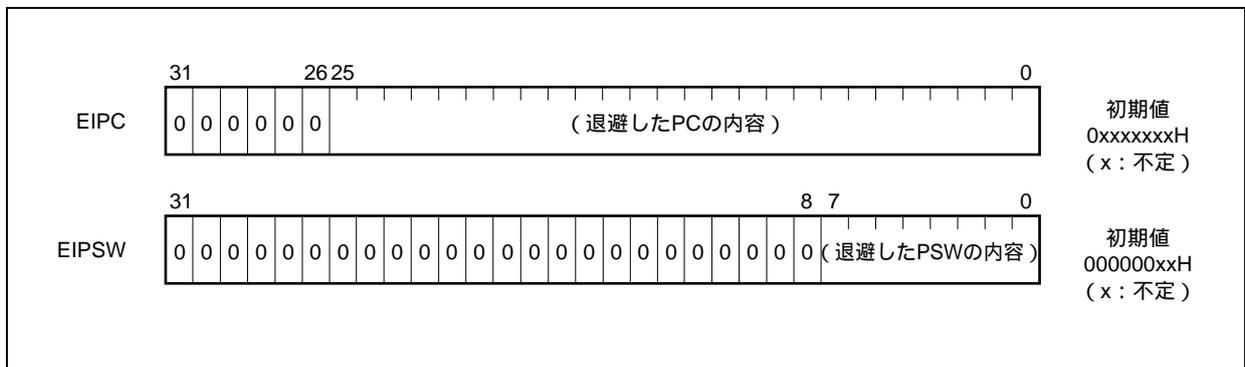
EIPCには、一部の命令 (18.8 CPUが割り込みを受け付けない期間参照) を除き、ソフトウェア例外やマスカブル割り込みが発生したときに実行していた命令の次の命令のアドレスが退避されます。

EIPSWには、現在のPSWの内容が退避されます。

割り込み時状態退避レジスタは1組しかないので、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお、EIPCのビット31-26とEIPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、EIPCの値はPCへ、EIPSWの値はPSWへ復帰します。



(2) NMI時状態退避レジスタ (FEPC, FEPSW)

NMI時状態退避レジスタには、FEPCとFEPSWがあります。

ノンマスクابل割り込み (NMI) が発生した場合、プログラム・カウンタ (PC) の内容がFEPCに、プログラム・ステータス・ワード (PSW) の内容がFEPSW に退避されます。

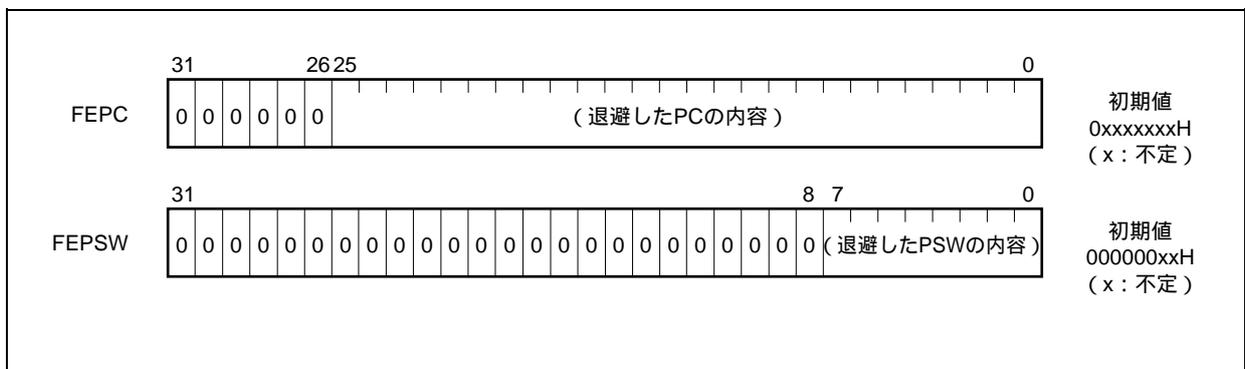
FEPCには、一部の命令を除き、NMIが発生したときに実行していた命令の次の命令のアドレスが退避されます。

FEPSWには、現在のPSWの内容が退避されます。

NMI時状態退避レジスタは1組しかないため、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお、FEPCのビット31-26とFEPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、FEPCの値はPCへ、FEPSWの値はPSWへ復帰します。



(3) 割り込み要因レジスタ (ECR)

割り込み要因レジスタ (ECR) は、例外や割り込みが発生した場合に、その要因を保持するレジスタです。ECRが保持する値は、割り込み要因ごとにコード化された例外コードです。なお、このレジスタは読み出し専用のため、LDSR命令を使ってこのレジスタにデータを書き込むことはできません。



(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワード (PSW) は、プログラムの状態 (命令実行の結果) やCPUの状態を示すフラグの集合です。

LDSR命令を使用してこのレジスタの各ビットの内容を変更した場合は、LDSR命令実行終了直後から変更内容が有効となります。ただし、IDフラグをセット (1) する場合、LDSR命令実行中から割り込み要求の受け付けを禁止します。

なお、ビット31-8は、将来の機能拡張のために予約されています (0に固定)。

(1/2)

PSW	<div style="display: flex; justify-content: space-between; margin-bottom: 5px;"> 31 8 7 6 5 4 3 2 1 0 </div> <table border="1" style="width: 100%; text-align: center; border-collapse: collapse;"> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>NP</td><td>EP</td><td>ID</td><td>SAT</td><td>CY</td><td>OV</td><td>S</td><td>Z</td> </tr> </table>	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	NP	EP	ID	SAT	CY	OV	S	Z	初期値 00000020H
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	NP	EP	ID	SAT	CY	OV	S	Z			
ビット位置	フラグ名	意 味																																				
7	NP	ノンマスカブル割り込み (NMI) 処理中であることを示します。NMI要求が受け付けられるとセット "1" され、多重割り込みを禁止します。 0 : NMI処理中でない。 1 : NMI処理中である。																																				
6	EP	例外処理中であることを示します。例外の発生でセット "1" されます。なお、このビットがセットされても割り込み要求は受け付けます。 0 : 例外処理中でない。 1 : 例外処理中である。																																				
5	ID	マスカブル割り込み要求を受け付ける状態かどうかを示します。 0 : 割り込み可 1 : 割り込み不可																																				
4	SAT ^注	飽和演算命令の演算結果がオーバーフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット "1" され、以降の命令の演算結果が飽和しなくてもクリア "0" されません。クリア "0" する場合は、LDSR命令により行います。なお、算術演算命令の実行では、セット "1" もクリア "0" も行いません。 0 : 飽和していない。 1 : 飽和している。																																				
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0 : キャリー、またはボローは発生していない。 1 : キャリー、またはボローが発生した。																																				
2	OV ^注	演算中にオーバーフローが発生したかどうかを示します。 0 : オーバーフローは発生していない。 1 : オーバーフローが発生した。																																				
1	S ^注	演算の結果が負かどうかを示します。 0 : 演算の結果は、正または0であった。 1 : 演算の結果は負であった。																																				
0	Z	演算の結果が0かどうかを示します。 0 : 演算の結果は0でなかった。 1 : 演算の結果は0であった。																																				
<p>備考 注の説明は次ページに記載しています。</p>																																						

注 飽和演算時のOVフラグとSフラグの内容で飽和処理した演算結果が決まります。また、飽和演算時にOVフラグがセット(1)された場合だけ、SATフラグはセット(1)されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正(最大値を越えない)	演算前の値を	0	0	演算結果そのもの
負(最大値を越えない)	保持		1	

(5) CALLT実行時状態退避レジスタ(CTPC, CTPSW)

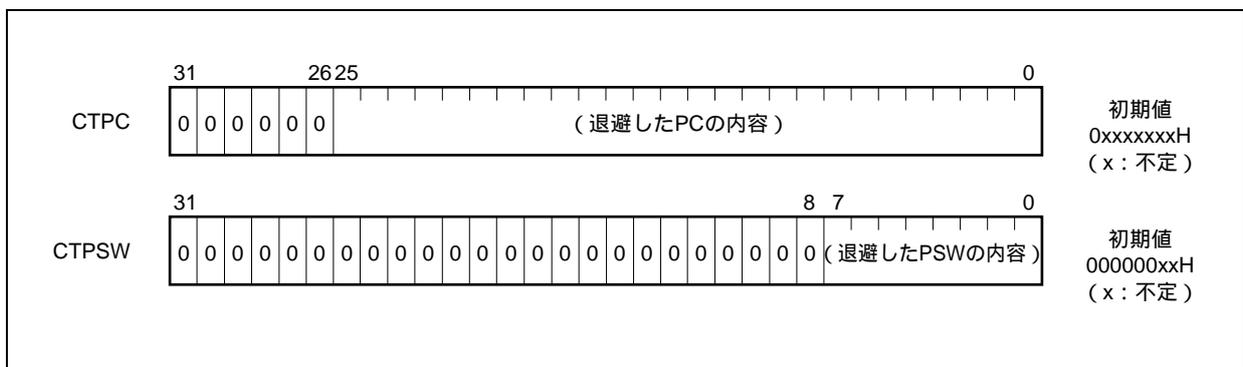
CALLT実行時状態退避レジスタには、CTPCとCTPSWがあります。

CALLT命令が実行されると、プログラム・カウンタ(PC)の内容がCTPCに、プログラム・ステータス・ワード(PSW)の内容がCTPSWに退避されます。

CTPCに退避される内容は、CALLT命令の次の命令のアドレスです。

CTPSWには、現在のPSWの内容が退避されます。

なお、CTPCのビット31-26とCTPSWのビット31-8は、将来の機能拡張のために予約されています(“0”に固定)。



(6) 例外/デバッグ・トラップ時状態退避レジスタ (DBPC, DBPSW)

例外/デバッグ・トラップ時状態退避レジスタとして、DBPCとDBPSWがあります。

例外トラップ,またはデバッグ・トラップが発生すると,プログラム・カウンタ(PC)の内容がDBPC に,プログラム・ステータス・ワード(PSW)の内容がDBPSWに退避されます。

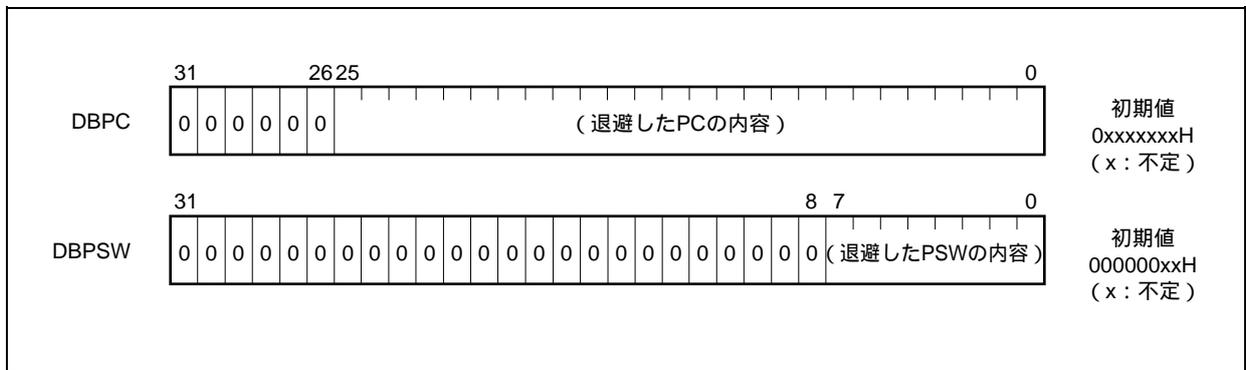
DBPCに退避される内容は,例外トラップ,またはデバッグ・トラップが発生したときに実行していた命令の次の命令のアドレスです。

DBPSWには,現在のPSWの内容が退避されます。

このレジスタへのリード/ライトは,DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけ可能です。

なお,DBPCのビット31-26とDBPSWのビット31-8は,将来の機能拡張のために予約されています(“0”に固定)。

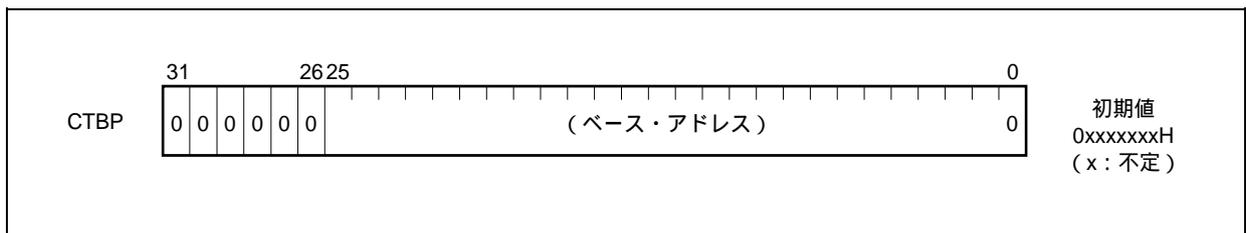
DBRET命令により,DBPCの値はPCへ,DBPSWの値はPSWへ復帰します。



(7) CALLTベース・ポインタ (CTBP)

CALLTベース・ポインタ (CTBP) は,テーブル・アドレスの指定,ターゲット・アドレスの生成に使用されます(ビット0は“0”に固定)。

なお,ビット31-26は,将来の機能拡張のために予約されています(“0”に固定)。



3.3 動作モード

V850ES/Hx3は次に示す動作モードを備えます。

- ・通常動作モード
- ・フラッシュ・メモリ・プログラミング・モード
- ・セルフ・プログラミング・モード
- ・オンチップ・デバッグ・モード

FLMD0, FLMD1端子の状態（入力レベル）により、通常動作モード/フラッシュ・メモリ・プログラミング・モードを設定できます。

通常モード時は、リセット解除時に、FLMD0端子にロウ・レベルを入力してください。

フラッシュ・メモリ・プログラミング・モード時のFLMD0端子へのハイ・レベル入力は、フラッシュ・プログラマ接続時はフラッシュ・プログラマから行います。セルフ・プログラミング・モードは通常動作モードで動作したあと、書き換え前にポート制御などによってFLMD0端子にハイ・レベルを入力してください。

リセット解除時の動作		リセット後の動作モード
FLMD0	FLMD1	
L	x	通常動作モード
H	L	フラッシュ・メモリ・プログラミング・モード
H	H	設定禁止

備考 L：ロウ・レベル入力

H：ハイ・レベル入力

x：任意

(1) 通常動作モード

システム・リセット解除後、バス・インタフェース関連の各端子はポート・モードになり、内蔵ROMのリセット・エントリ・アドレスに分岐し、命令処理を開始します。

(2) フラッシュ・メモリ・プログラミング・モード

このモードを指定すると、フラッシュ・プログラマによる内蔵フラッシュ・メモリへのプログラム動作が可能になります。

(3) セルフ・プログラミング・モード

ユーザ・アプリケーション内で内蔵フラッシュ・メモリの消去、書き込みを行うことができます。詳細は第26章 **フラッシュ・メモリ**を参照してください。

(4) オンチップ・デバッグ・モード

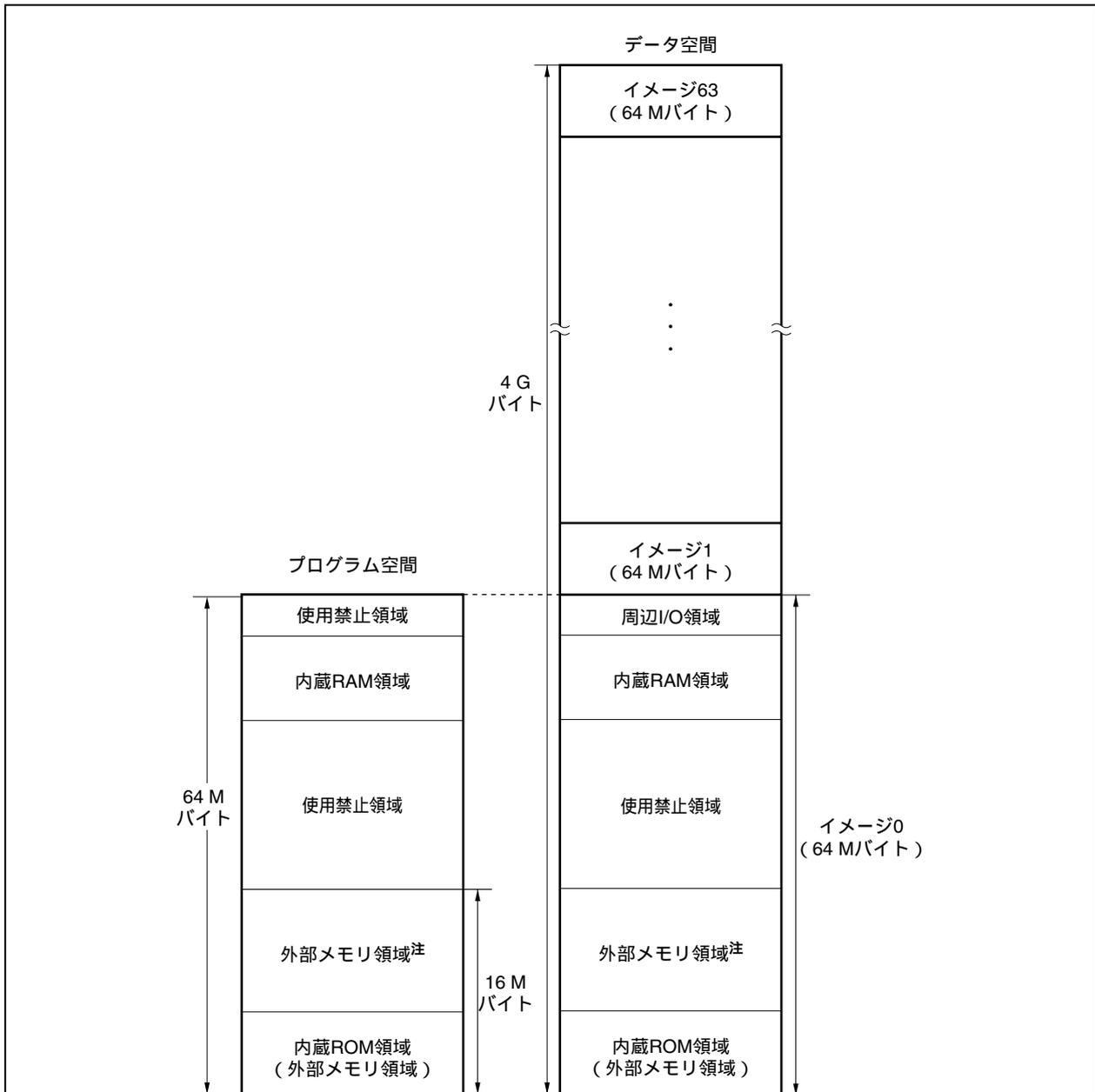
JTAG (Joint Test Action Group) の通信仕様を利用したオンチップ・デバッグ機能を内蔵しています。詳細は第28章 **オンチップ・デバッグ機能**を参照してください。

3.4 アドレス空間

3.4.1 CPUアドレス空間

命令アドレスのアドレッシングにおいては、最大で64 Mバイトのリニア・アドレス空間（プログラム空間）のうち最大16 Mバイトの外部メモリ領域および内蔵ROM領域と、内蔵RAM領域をサポートしています。オペランド・アドレッシング（データ・アクセス）においては、最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。ただし、4 Gバイトのアドレス空間には64 Mバイトの物理アドレス空間が64個のイメージとして見えます。つまり、ビット31-26がどのような値でも、同じ64 Mバイトの物理アドレス空間をアクセスします。

図3 - 1 アドレス空間上のイメージ



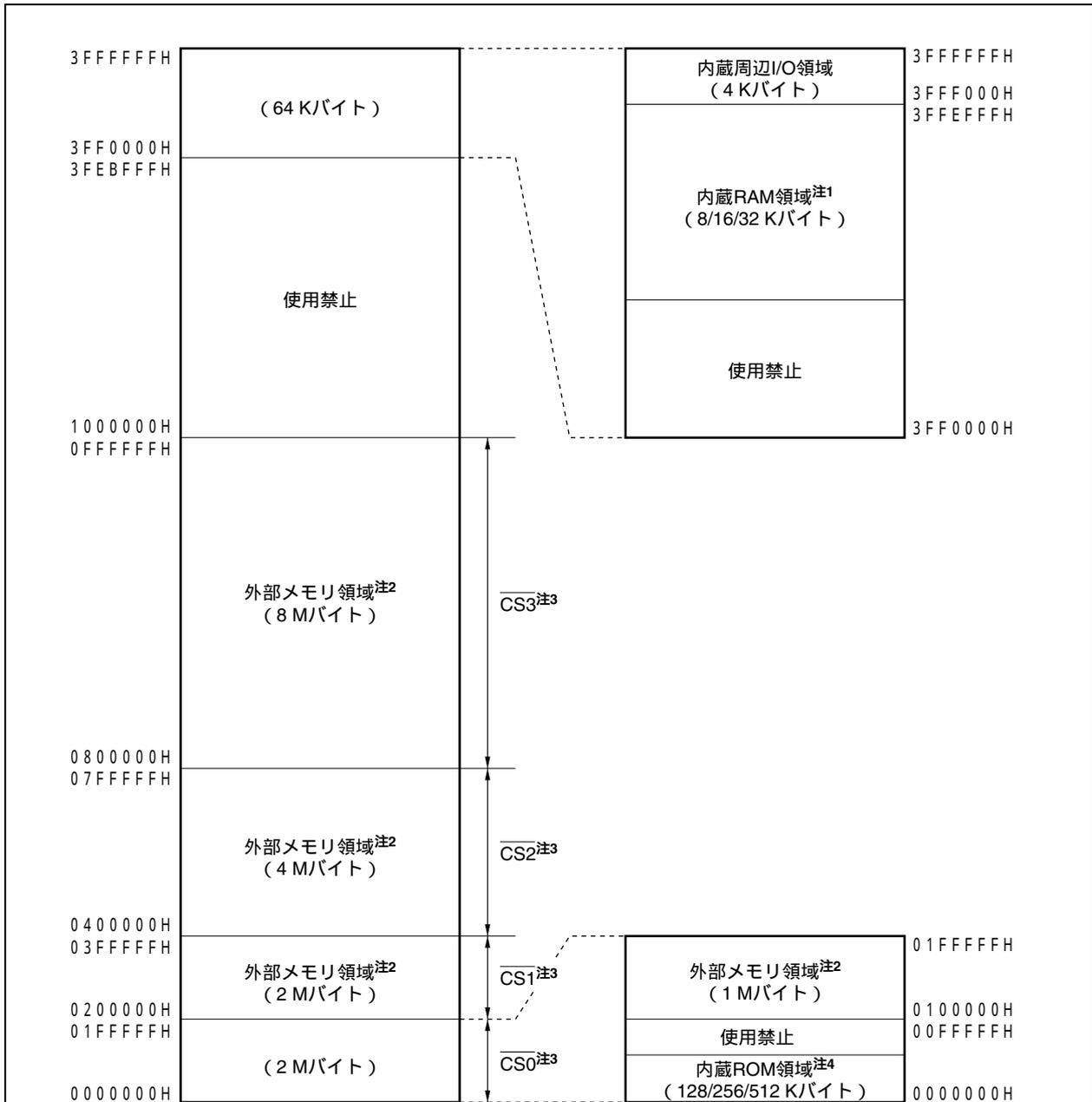
注 外部メモリ領域は、V850ES/HJ3のみ。それ以外の製品では使用禁止となります。

備考 データ空間のイメージ1からイメージ63にはイメージ0と同じものが、現れます。

3.4.2 メモリ・マップ

V850ES/Hx3では、次に示すように各領域を予約しています。

図3-2 データ・メモリ・マップ



注1. 製品ごとにRAMサイズは異なります(表1-1参照)。

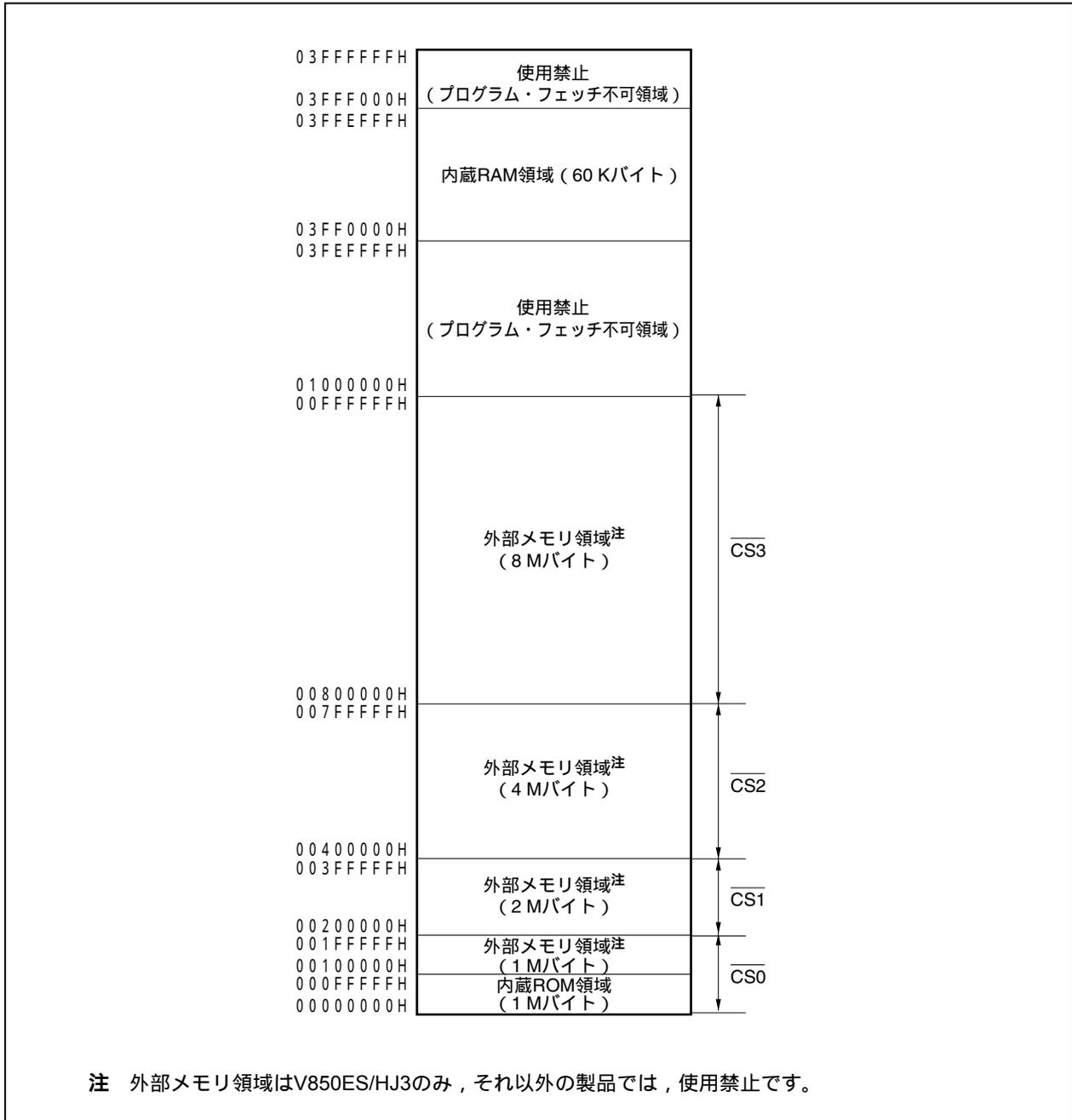
2. 外部メモリ領域はV850ES/HJ3のみ、それ以外の製品では使用禁止です。ただしアドレス・バス(AD0-AD15)が16本のためアドレス指定が64 Kバイトで、64 Kバイトのイメージが繰り返し現れます。

3. CS0-CS3はV850ES/HJ3のみ、それ以外の製品にはありません。

4. 製品ごとにROM(フラッシュ・メモリ)サイズは異なります(表1-1参照)。

00000000H-00FFFFFFFH番地へのフェッチ・アクセスおよびリード・アクセスは内蔵ROM領域に対して行われますが、データ・ライト・アクセス時は外部メモリ領域として行われます。

図3-3 プログラム・メモリ・マップ



3.4.3 領域

(1) 内蔵ROM領域

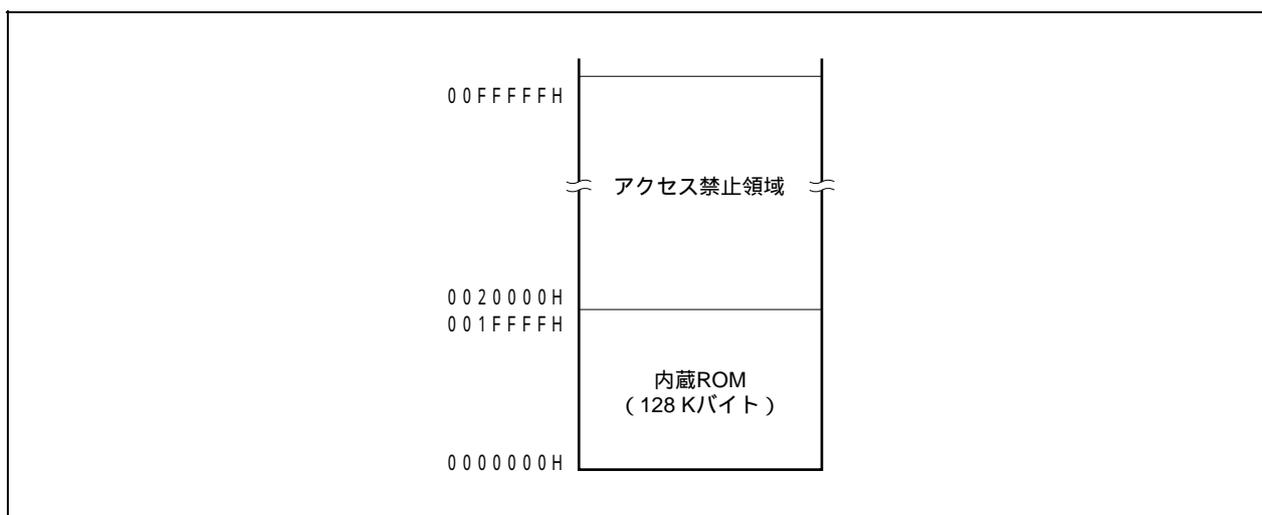
内蔵ROM領域は、最大1 Mバイトが予約されています。

(a) 内蔵ROM (128 Kバイト)

μ PD70F3747には、0000000Hから001FFFFH番地に128 Kバイト実装しています。

0020000Hから00FFFFFFH番地はアクセス禁止領域です。

図3 - 4 内蔵ROM (128 Kバイト)

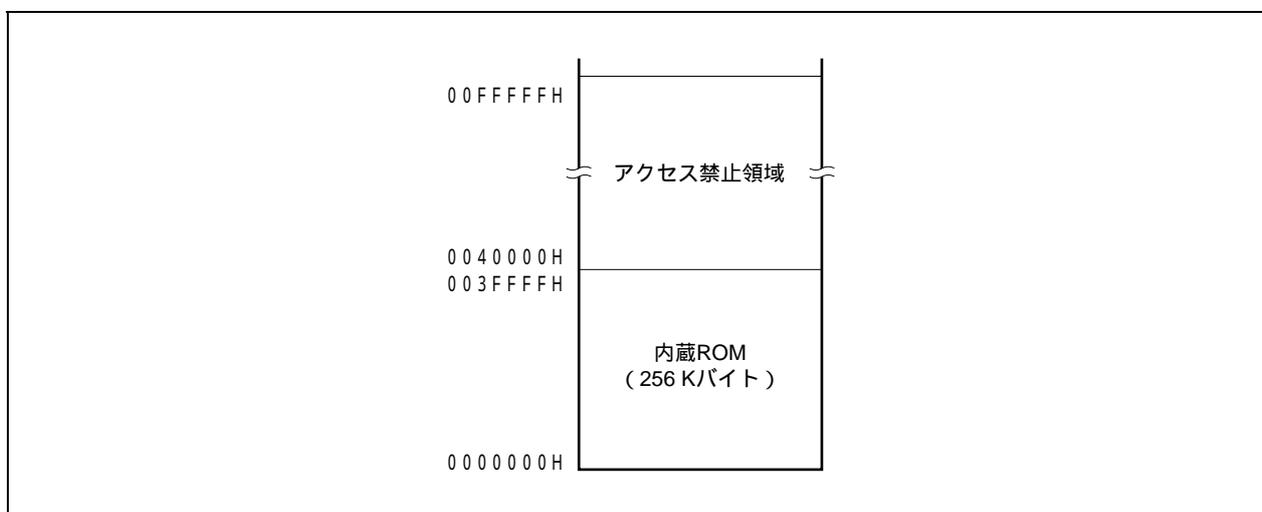


(b) 内蔵ROM (256 Kバイト)

μ PD70F3750, 70F3752, 70F3755には、0000000Hから003FFFFH番地に256 Kバイト実装しています。

0040000Hから00FFFFFFH番地はアクセス禁止領域です。

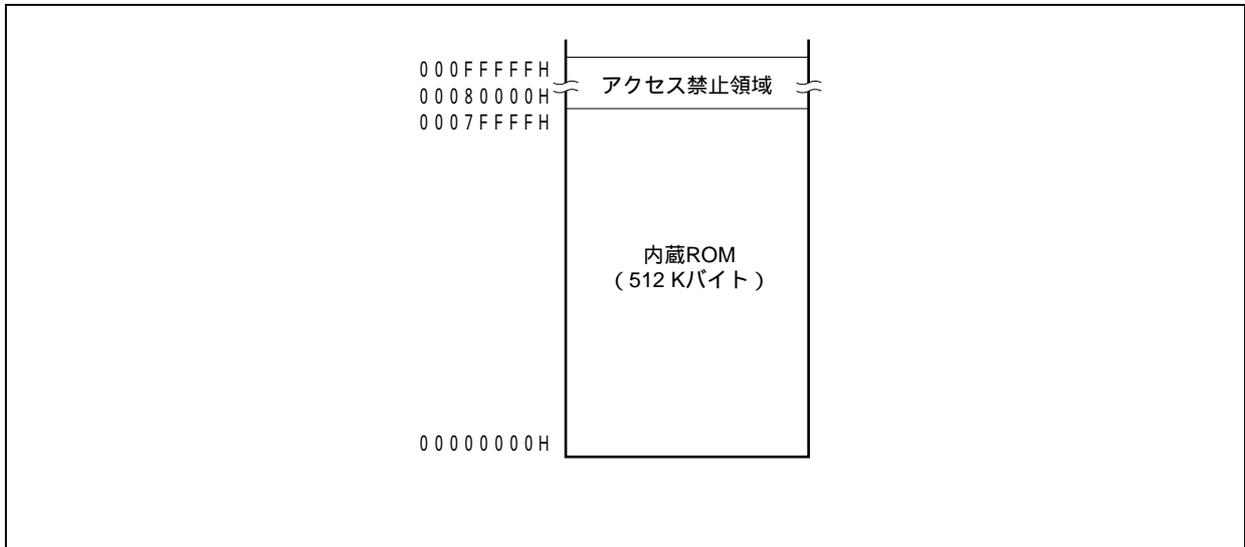
図3 - 5 内蔵ROM (256 Kバイト)



(c) 内蔵ROM (512 Kバイト)

μ PD70F3757には00000000Hから0007FFFFH番地に512 Kバイト実装しています。
00080000Hから000FFFFFFH番地はアクセス禁止領域です。

図3 - 6 内蔵ROM領域 (512 Kバイト)



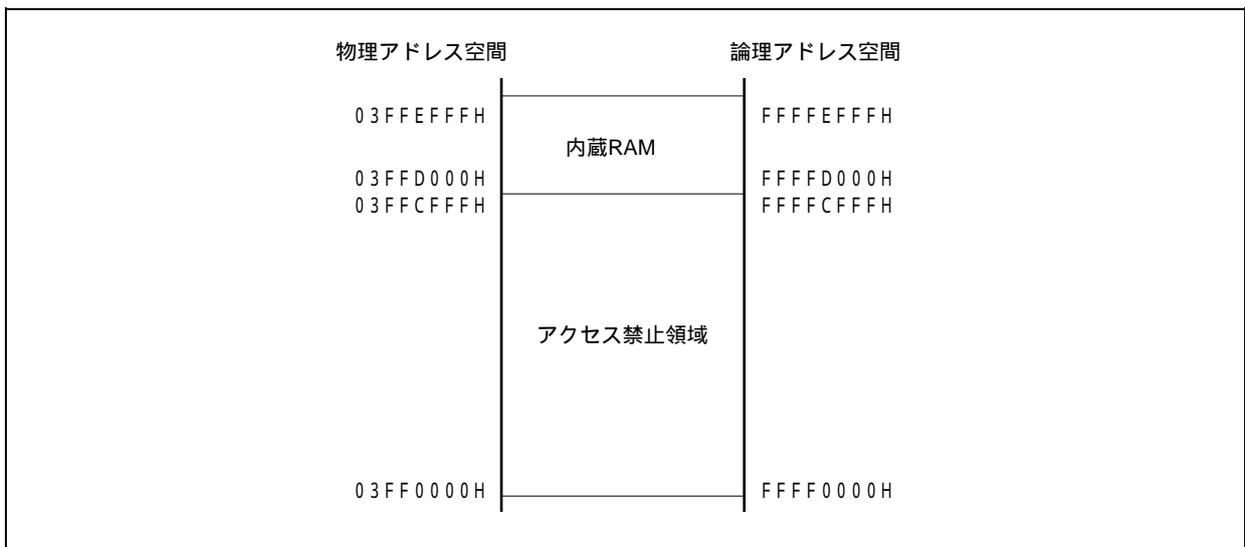
(2) 内蔵RAM領域

内蔵RAM領域は、最大60 Kバイトが予約されています。

(a) 内蔵RAM (8 Kバイト)

μ PD70F3747には03FFD000Hから03FFEFFFH番地に8 Kバイト実装しています。
03FF0000Hから03FFCFFFH番地はアクセス禁止領域です。

図3 - 7 内蔵RAM領域 (8 Kバイト)

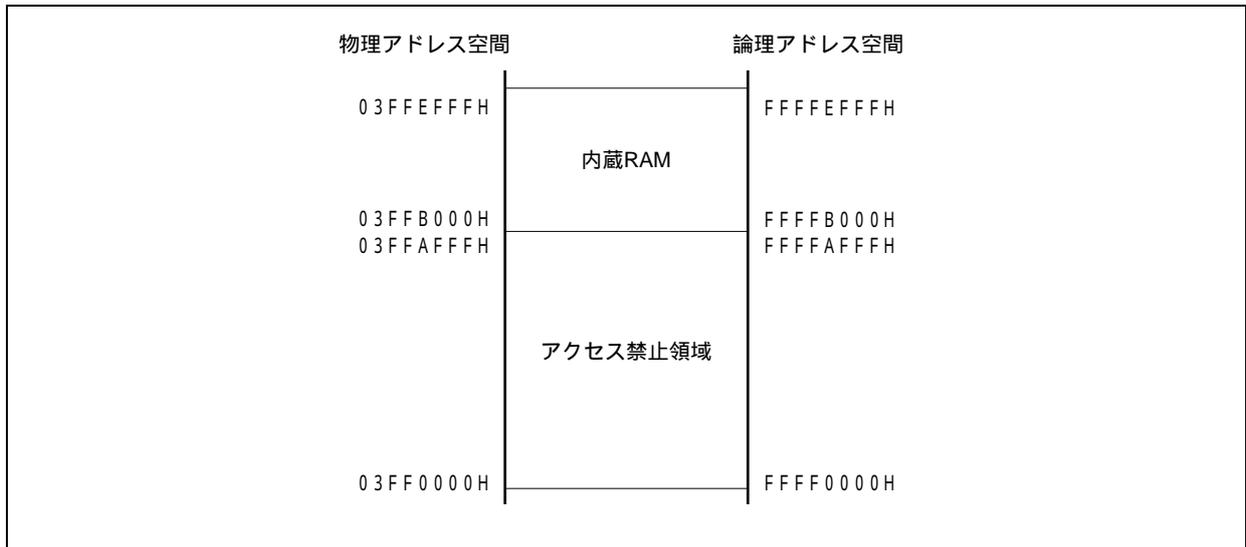


(b) 内蔵RAM (16 Kバイト)

次の製品には03FFB000Hから03FFEFFFH番地に16 Kバイト実装しています。
03FF0000Hから03FF9FFFH番地はアクセス禁止領域です。

・ μ PD70F3750, 70F3752, 70F3755

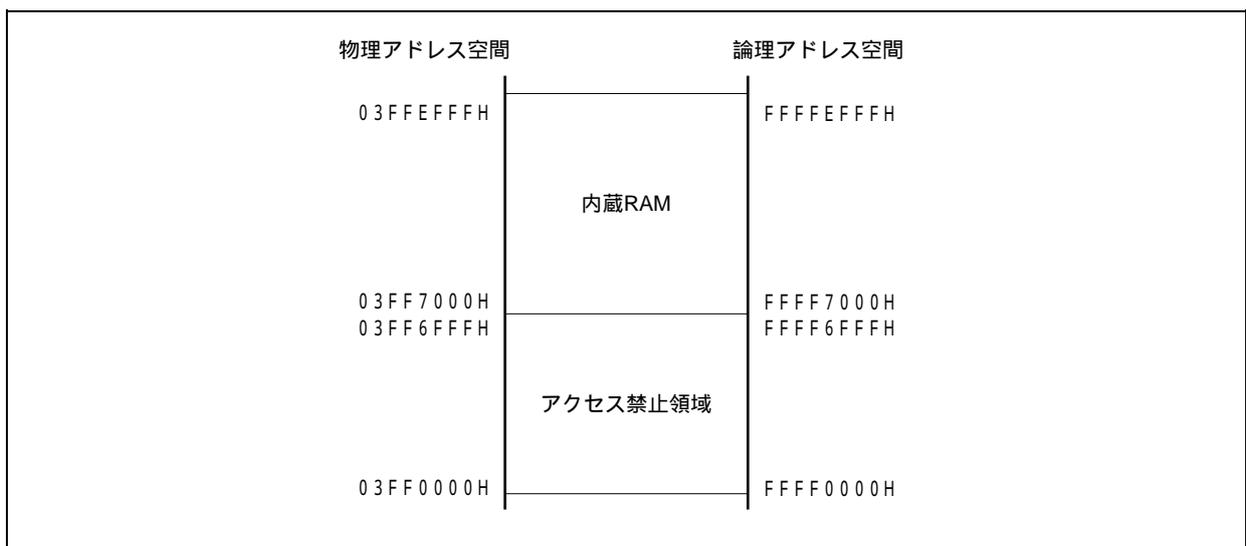
図3 - 8 内蔵RAM領域 (16 Kバイト)



(c) 内蔵RAM (32 Kバイト)

μ PD70F3757には03FF7000Hから03FFEFFFH番地に32 Kバイト実装しています。
03FF0000Hから03FF6FFFH番地はアクセス禁止領域です。

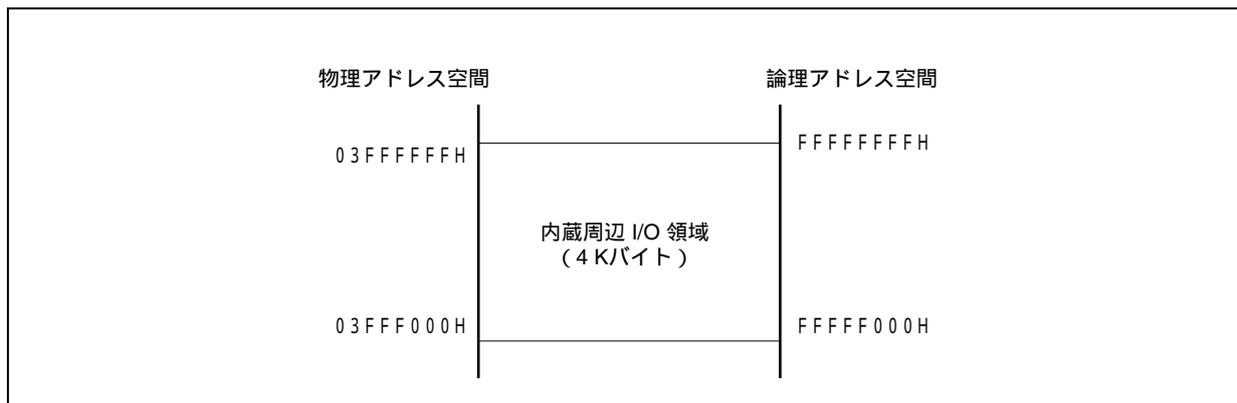
図3 - 9 内蔵RAM領域 (32 Kバイト)



(3) 内蔵周辺I/O領域

内蔵周辺I/O領域として03FFF000H-03FFFFFFH番地の4 Kバイトを予約しています。

図3 - 10 内蔵周辺I/O領域



内蔵周辺I/O領域には、内蔵周辺I/Oの動作モード指定、状態モニタリングなどの機能を割り付けた周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

- 注意1.** 周辺I/Oレジスタにワード・アクセスを行うと、アドレスの下位2ビットを無視したワード領域に対し下位、上位の順番でハーフワード・アクセスを2回行います。
2. バイト・アクセス可能な周辺I/Oレジスタにハーフワード・アクセスした場合、リード時は上位8ビットが不定になり、ライト時は下位8ビット・データが周辺I/Oレジスタに書き込まれます。
3. 周辺I/Oレジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。

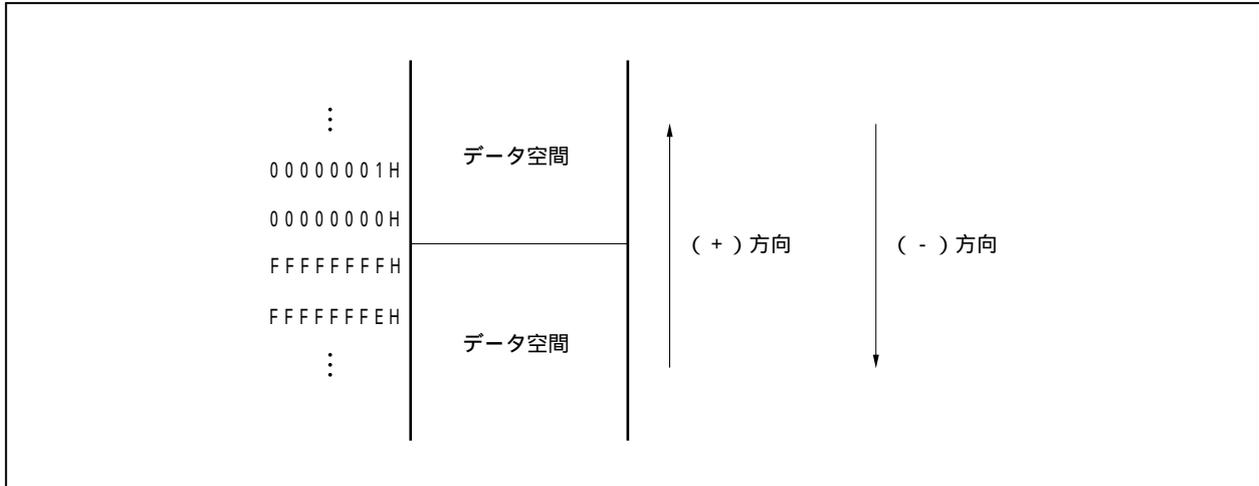
(4) 外部メモリ領域 (V850ES/HJ3のみ)

外部メモリ領域として15 Mバイトあります。詳細は第5章 **バス制御機能**を参照してください。

3.4.4 データ空間のラップ・アラウンド

オペランド・アドレス計算で32ビットを越える演算結果は無視します。

したがって、データ空間の上限であるFFFFFFFFH番地と、下限である00000000H番地は連続したアドレスになり、この境界でラップ・アラウンドします。



3.4.5 アドレス空間の推奨使用方法

V850ES/Hx3のアーキテクチャでは、データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトには、命令から直接オペランド・データ・アクセスが行えます。しかし、ポインタ用レジスタとして使う汎用レジスタには限りがあるため、ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで、変数用の汎用レジスタを最大限に確保し、かつプログラム・サイズを抑えることができます。

(1) プログラム空間

PC(プログラム・カウンタ)は、32ビットのうち上位6ビットは0に固定であり、下位26ビットだけ有効となります。したがって、プログラム空間に関しては無条件に00000000H番地から連続した64 Mバイト空間がそのままメモリ・マップに対応します。

内蔵RAM領域をプログラム空間として使用する場合は、次の番地に対してアクセスしてください。

注意 内蔵RAM領域の上限に分岐命令がある場合、内蔵周辺I/O領域にまたがるプリフェッチ動作(無効フェッチ)は発生しません。

RAMサイズ	アクセス番地
8 Kバイト	03FFD000H-03FFEFFFFH
16 Kバイト	03FFB000H-03FFEFFFFH
32 Kバイト	03FF7000H-03FFEFFFFH

(2) データ空間

V850ES/Hx3では、4 GバイトのCPUアドレス空間に64 Mバイトの物理アドレス空間が64個のイメージとして見えるため、この26ビット・アドレスの最上位ビット（ビット25）を32ビット長まで符号拡張したアドレスとして割り当てています。

(a) ラップ・アラウンドを利用した応用例

LD/ST disp16[R]命令でR = r0(ゼロ・レジスタ)とした場合、符号拡張したdisp16により、00000000H番地 ± 32 Kバイトの範囲がアドレッシング可能です。内蔵ハードウェアのすべてのリソースについて1つのポインタでアドレス指定可能です。

ゼロ・レジスタ（r0）はハードウェアでゼロ固定のレジスタであり、ポインタ専用に費やすレジスタは実質不要となります。

図3 - 11 ラップ・アラウンド (μ PD70F3755)

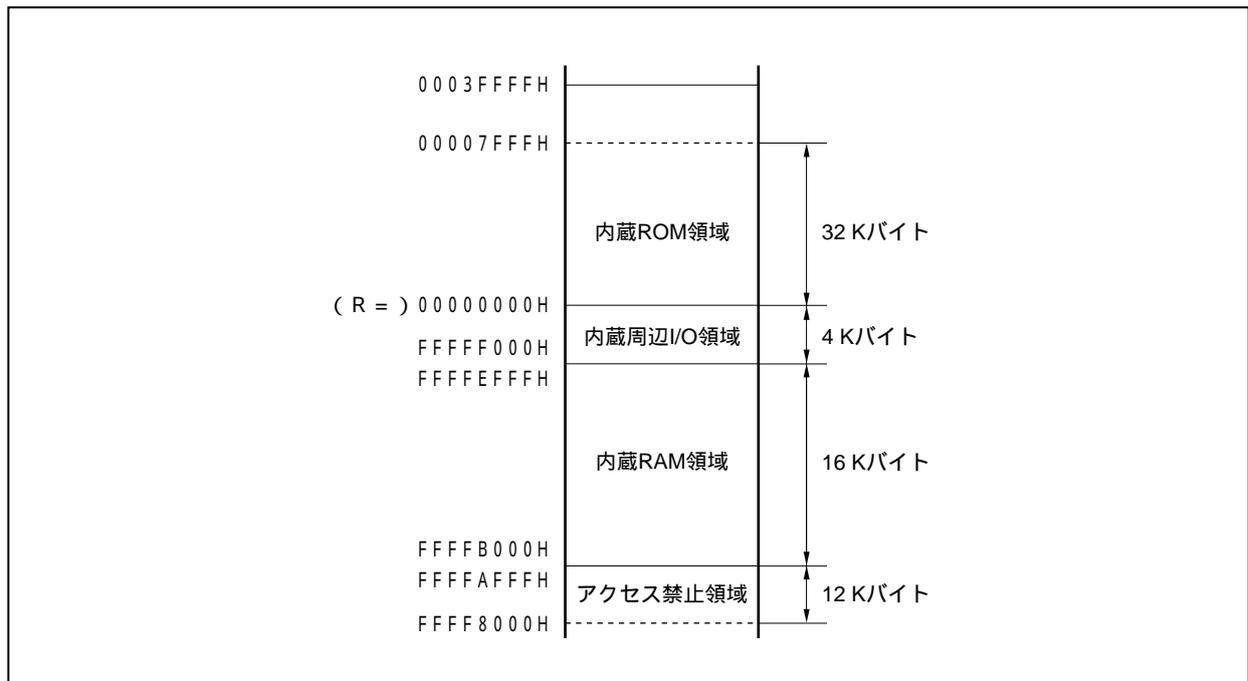
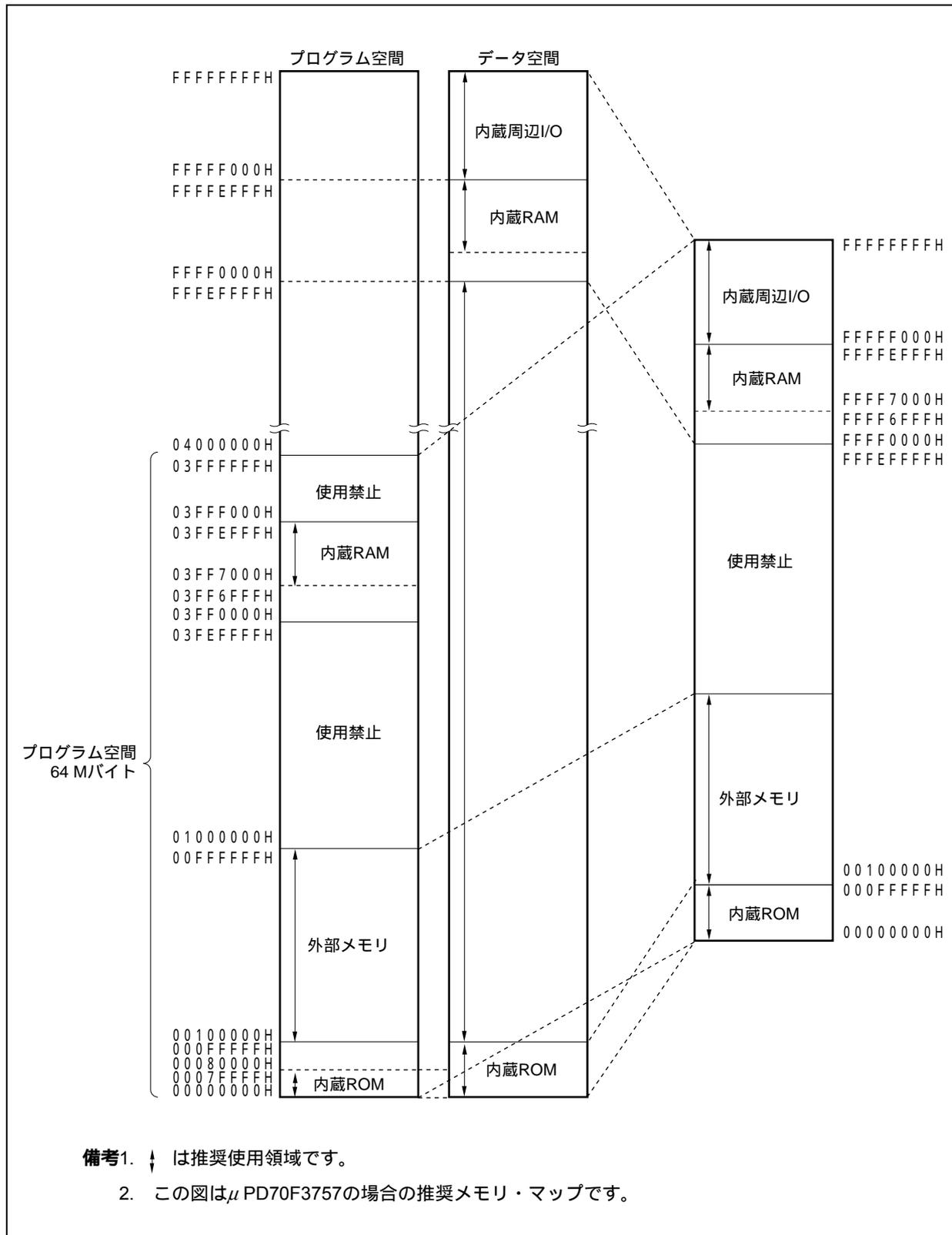


図3 - 12 推奨メモリ・マップ



3.4.6 周辺I/Oレジスタ

(1/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	HE3	HF3	HG3	HJ3
				1	8	16					
FFFFFF004H	ポートDL	PDL	R/W				不定	-			
FFFFFF004H	ポートDLL	PDLL					不定				
FFFFFF005H	ポートDLH	PDLH					不定	-			
FFFFFF008H	ポートCS	PCS					不定	-			
FFFFFF00AH	ポートCT	PCT					不定	-			
FFFFFF00CH	ポートCM	PCM					不定				
FFFFFF00EH	ポートCD	PCD					不定	-	-	-	
FFFFFF024H	ポート・モード・レジスタDL	PMDL					FFFFH	-			
FFFFFF024H	ポート・モード・レジスタDLL	PMDLL					FFH				
FFFFFF025H	ポート・モード・レジスタDLH	PMDLH					FFH	-			
FFFFFF028H	ポート・モード・レジスタCS	PMCS					FFH	-			
FFFFFF02AH	ポート・モード・レジスタCT	PMCT					FFH	-			
FFFFFF02CH	ポート・モード・レジスタCM	PMCM					FFH				
FFFFFF02EH	ポート・モード・レジスタCD	PMCD					FFH	-	-	-	
FFFFFF044H	ポート・モード・コントロール・レジスタDL	PMCDL					0000H	-			
FFFFFF044H	ポート・モード・コントロール・レジスタDLL	PMCDLL					00H				
FFFFFF045H	ポート・モード・コントロール・レジスタDLH	PMCDLH					00H	-			
FFFFFF048H	ポート・モード・コントロール・レジスタCS	PMCCS					00H	-			
FFFFFF04AH	ポート・モード・コントロール・レジスタCT	PMCCCT					00H	-			
FFFFFF04CH	ポート・モード・コントロール・レジスタCM	PMCCM					00H				
FFFFFF066H	バス・サイズ・コンフィギュレーション・レジスタ	BSC					5555H	-	-	-	
FFFFFF06EH	システム・ウェイト・コントロール・レジスタ	VSWC					77H				
FFFFFF080H	DMAソース・アドレス・レジスタ0L	DSA0L					不定				
FFFFFF082H	DMAソース・アドレス・レジスタ0H	DSA0H					不定				
FFFFFF084H	DMAデスティネーション・アドレス・レジスタ0L	DDA0L					不定				
FFFFFF086H	DMAデスティネーション・アドレス・レジスタ0H	DDA0H					不定				
FFFFFF088H	DMAソース・アドレス・レジスタ1L	DSA1L					不定				
FFFFFF08AH	DMAソース・アドレス・レジスタ1H	DSA1H					不定				
FFFFFF08CH	DMAデスティネーション・アドレス・レジスタ1L	DDA1L					不定				
FFFFFF08EH	DMAデスティネーション・アドレス・レジスタ1H	DDA1H					不定				
FFFFFF090H	DMAソース・アドレス・レジスタ2L	DSA2L					不定				
FFFFFF092H	DMAソース・アドレス・レジスタ2H	DSA2H					不定				
FFFFFF094H	DMAデスティネーション・アドレス・レジスタ2L	DDA2L					不定				
FFFFFF096H	DMAデスティネーション・アドレス・レジスタ2H	DDA2H					不定				
FFFFFF098H	DMAソース・アドレス・レジスタ3L	DSA3L					不定				
FFFFFF09AH	DMAソース・アドレス・レジスタ3H	DSA3H					不定				
FFFFFF09CH	DMAデスティネーション・アドレス・レジスタ3L	DDA3L					不定				
FFFFFF09EH	DMAデスティネーション・アドレス・レジスタ3H	DDA3H					不定				
FFFFFF0C0H	DMA転送カウント・レジスタ0	DBC0					不定				

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	HE3	HE2	HE1	HE0
				1	8	16					
FFFFF0C2H	DMA転送カウント・レジスタ1	DBC1	R/W				不定				
FFFFF0C4H	DMA転送カウント・レジスタ2	DBC2					不定				
FFFFF0C6H	DMA転送カウント・レジスタ3	DBC3					不定				
FFFFF0D0H	DMAアドレッシング・コントロール・レジスタ0	DADC0					0000H				
FFFFF0D2H	DMAアドレッシング・コントロール・レジスタ1	DADC1					0000H				
FFFFF0D4H	DMAアドレッシング・コントロール・レジスタ2	DADC2					0000H				
FFFFF0D6H	DMAアドレッシング・コントロール・レジスタ3	DADC3					0000H				
FFFFF0E0H	DMAチャンネル・コントロール・レジスタ0	DCHC0					00H				
FFFFF0E2H	DMAチャンネル・コントロール・レジスタ1	DCHC1					00H				
FFFFF0E4H	DMAチャンネル・コントロール・レジスタ2	DCHC2					00H				
FFFFF0E6H	DMAチャンネル・コントロール・レジスタ3	DCHC3					00H				
FFFFF100H	割り込みマスク・レジスタ0	IMR0					FFFFH				
FFFFF100H	割り込みマスク・レジスタ0L	IMR0L					FFH				
FFFFF101H	割り込みマスク・レジスタ0H	IMR0H					FFH				
FFFFF102H	割り込みマスク・レジスタ1	IMR1					FFFFH				
FFFFF102H	割り込みマスク・レジスタ1L	IMR1L					FFH				
FFFFF103H	割り込みマスク・レジスタ1H	IMR1H					FFH				
FFFFF104H	割り込みマスク・レジスタ2	IMR2					FFFFH				
FFFFF104H	割り込みマスク・レジスタ2L	IMR2L					FFH				
FFFFF105H	割り込みマスク・レジスタ2H	IMR2H					FFH				
FFFFF106H	割り込みマスク・レジスタ3	IMR3					FFFFH				
FFFFF106H	割り込みマスク・レジスタ3L	IMR3L					FFH				
FFFFF107H	割り込みマスク・レジスタ3H	IMR3H					FFH				
FFFFF108H	割り込みマスク・レジスタ4	IMR4					FFFFH	-	-		
FFFFF108H	割り込みマスク・レジスタ4L	IMR4L					FFH	-	-		
FFFFF109H	割り込みマスク・レジスタ4H	IMR4H					FFH	-	-	-	
FFFFF10AH	割り込みマスク・レジスタ5	IMR5					FFFFH	-	-	-	
FFFFF10AH	割り込みマスク・レジスタ5L	IMR5L					FFH	-	-	-	
FFFFF10BH	割り込みマスク・レジスタ5H	IMR5H					FFH	-	-	-	
FFFFF110H	割り込み制御レジスタ	LVILIC					47H				
FFFFF112H	割り込み制御レジスタ	LVIHIC					47H				
FFFFF114H	割り込み制御レジスタ	PIC0					47H				
FFFFF116H	割り込み制御レジスタ	PIC1				47H					
FFFFF118H	割り込み制御レジスタ	PIC2				47H					
FFFFF11AH	割り込み制御レジスタ	PIC3				47H					
FFFFF11CH	割り込み制御レジスタ	PIC4				47H					
FFFFF11EH	割り込み制御レジスタ	PIC5				47H					
FFFFF120H	割り込み制御レジスタ	PIC6				47H					
FFFFF122H	割り込み制御レジスタ	PIC7				47H					
FFFFF124H	割り込み制御レジスタ	TAB0OVIC				47H					
FFFFF126H	割り込み制御レジスタ	TAB0CCIC0				47H					

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	HE3	HE	HC3	HC
				1	8	16					
FFFFFF128H	割り込み制御レジスタ	TAB0CCIC1	R/W				47H				
FFFFFF12AH	割り込み制御レジスタ	TAB0CCIC2					47H				
FFFFFF12CH	割り込み制御レジスタ	TAB0CCIC3					47H				
FFFFFF12EH	割り込み制御レジスタ	TAA0OVIC					47H				
FFFFFF130H	割り込み制御レジスタ	TAA0CCIC0					47H				
FFFFFF132H	割り込み制御レジスタ	TAA0CCIC1					47H				
FFFFFF134H	割り込み制御レジスタ	TAA1OVIC					47H				
FFFFFF136H	割り込み制御レジスタ	TAA1CCIC0					47H				
FFFFFF138H	割り込み制御レジスタ	TAA1CCIC1					47H				
FFFFFF13AH	割り込み制御レジスタ	TAA2OVIC					47H				
FFFFFF13CH	割り込み制御レジスタ	TAA2CCIC0					47H				
FFFFFF13EH	割り込み制御レジスタ	TAA2CCIC1					47H				
FFFFFF140H	割り込み制御レジスタ	TAA3OVIC					47H				
FFFFFF142H	割り込み制御レジスタ	TAA3CCIC0					47H				
FFFFFF144H	割り込み制御レジスタ	TAA3CCIC1					47H				
FFFFFF146H	割り込み制御レジスタ	TAA4OVIC					47H				
FFFFFF148H	割り込み制御レジスタ	TAA4CCIC0					47H				
FFFFFF14AH	割り込み制御レジスタ	TAA4CCIC1					47H				
FFFFFF14CH	割り込み制御レジスタ	TM0EQIC0					47H				
FFFFFF14EH	割り込み制御レジスタ	CB0RIC					47H				
FFFFFF150H	割り込み制御レジスタ	CB0TIC					47H				
FFFFFF152H	割り込み制御レジスタ	CB1RIC					47H				
FFFFFF154H	割り込み制御レジスタ	CB1TIC					47H				
FFFFFF156H	割り込み制御レジスタ	UD0SIC					47H				
FFFFFF158H	割り込み制御レジスタ	UD0RIC					47H				
FFFFFF15AH	割り込み制御レジスタ	UD0TIC					47H				
FFFFFF15CH	割り込み制御レジスタ	UD1SIC					47H				
FFFFFF15EH	割り込み制御レジスタ	UD1RIC					47H				
FFFFFF160H	割り込み制御レジスタ	UD1TIC					47H				
FFFFFF162H	割り込み制御レジスタ	IIC0IC /UD4SIC ^注					47H				
FFFFFF164H	割り込み制御レジスタ	ADIC					47H				
FFFFFF16EH	割り込み制御レジスタ	DMAIC0					47H				
FFFFFF170H	割り込み制御レジスタ	DMAIC1				47H					
FFFFFF172H	割り込み制御レジスタ	DMAIC2				47H					
FFFFFF174H	割り込み制御レジスタ	DMAIC3				47H					
FFFFFF176H	割り込み制御レジスタ	KRIC				47H					
FFFFFF178H	割り込み制御レジスタ	WTIIC				47H					
FFFFFF17AH	割り込み制御レジスタ	WTIC				47H					
FFFFFF180H	割り込み制御レジスタ	PIC8				47H	-	-			
FFFFFF182H	割り込み制御レジスタ	PIC9				47H	-	-			

注 μ PD70F3757のみサポート

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	HE3	HE3	HC3	HC3	
				1	8	16						
FFFFF184H	割り込み制御レジスタ	PIC10	R/W				47H	-	-			
FFFFF186H	割り込み制御レジスタ	TAB1OVIC					47H	-	-			
FFFFF188H	割り込み制御レジスタ	TAB1CCIC0					47H	-	-			
FFFFF18AH	割り込み制御レジスタ	TAB1CCIC1					47H	-	-			
FFFFF18CH	割り込み制御レジスタ	TAB1CCIC2					47H	-	-			
FFFFF18EH	割り込み制御レジスタ	TAB1CCIC3					47H	-	-			
FFFFF190H	割り込み制御レジスタ	UD2SIC					47H	-	-			
FFFFF192H	割り込み制御レジスタ	UD2RIC					47H	-	-			
FFFFF194H	割り込み制御レジスタ	UD2TIC					47H	-	-			
FFFFF19EH	割り込み制御レジスタ	PIC11					47H	-	-	-		
FFFFF1A0H	割り込み制御レジスタ	PIC12					47H	-	-	-		
FFFFF1A2H	割り込み制御レジスタ	PIC13					47H	-	-	-		
FFFFF1A4H	割り込み制御レジスタ	PIC14					47H	-	-	-		
FFFFF1A6H	割り込み制御レジスタ	UD3SIC					47H	-	-	-	注	
FFFFF1A8H	割り込み制御レジスタ	UD3RIC					47H	-	-	-	注	
FFFFF1AAH	割り込み制御レジスタ	UD3TIC					47H	-	-	-	注	
FFFFF1ACH	割り込み制御レジスタ	UD4RIC					47H	-	-	-	注	
FFFFF1AEH	割り込み制御レジスタ	UD4TIC					47H	-	-	-	注	
FFFFF1B0H	割り込み制御レジスタ	TAB2OVIC					47H	-	-	-		
FFFFF1B2H	割り込み制御レジスタ	TAB2CCIC0					47H	-	-	-		
FFFFF1B4H	割り込み制御レジスタ	TAB2CCIC1					47H	-	-	-		
FFFFF1B6H	割り込み制御レジスタ	TAB2CCIC2					47H	-	-	-		
FFFFF1B8H	割り込み制御レジスタ	TAB2CCIC3					47H	-	-	-		
FFFFF1BAH	割り込み制御レジスタ	UD5SIC					47H	-	-	-	注	
FFFFF1BCH	割り込み制御レジスタ	CB2RIC /UD5RIC ^注				47H	-	-	-			
FFFFF1BDH	割り込み制御レジスタ	CB2TIC /UD5TIC ^注				47H	-	-	-			
FFFFF1FAH	インサース・プライオリティ・レジスタ	ISPR	R				00H					
FFFFF1FCH	コマンド・レジスタ	PRCMD	W				不定					
FFFFF1FEH	パワー・セーブ・コントロール・レジスタ	PSC	R/W				00H					
FFFFF200H	A/Dコンバータ・モード・レジスタ0	ADA0M0					00H					
FFFFF201H	A/Dコンバータ・モード・レジスタ1	ADA0M1					00H					
FFFFF202H	A/Dコンバータ・チャンネル指定レジスタ0	ADA0S					00H					
FFFFF203H	A/Dコンバータ・モード・レジスタ2	ADA0M2					00H					
FFFFF204H	パワー・フェイル比較モード・レジスタ	ADA0PFM					00H					
FFFFF205H	パワー・フェイル比較しきい値レジスタ	ADA0PFT					00H					
FFFFF210H	A/D変換結果レジスタ0	ADA0CR0		R				0000H				
FFFFF211H	A/D変換結果レジスタ0H	ADA0CR0H						00H				
FFFFF212H	A/D変換結果レジスタ1	ADA0CR1						0000H				
FFFFF213H	A/D変換結果レジスタ1H	ADA0CR1H					00H					

注 μPD70F3757のみサポート

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	HE3	HE2	HE1	HE0
				1	8	16					
FFFFFF214H	A/D変換結果レジスタ2	ADA0CR2	R				0000H				
FFFFFF215H	A/D変換結果レジスタ2H	ADA0CR2H					00H				
FFFFFF216H	A/D変換結果レジスタ3	ADA0CR3					0000H				
FFFFFF217H	A/D変換結果レジスタ3H	ADA0CR3H					00H				
FFFFFF218H	A/D変換結果レジスタ4	ADA0CR4					0000H				
FFFFFF219H	A/D変換結果レジスタ4H	ADA0CR4H					00H				
FFFFFF21AH	A/D変換結果レジスタ5	ADA0CR5					0000H				
FFFFFF21BH	A/D変換結果レジスタ5H	ADA0CR5H					00H				
FFFFFF21CH	A/D変換結果レジスタ6	ADA0CR6					0000H				
FFFFFF21DH	A/D変換結果レジスタ6H	ADA0CR6H					00H				
FFFFFF21EH	A/D変換結果レジスタ7	ADA0CR7					0000H				
FFFFFF21FH	A/D変換結果レジスタ7H	ADA0CR7H					00H				
FFFFFF220H	A/D変換結果レジスタ8	ADA0CR8					0000H				
FFFFFF221H	A/D変換結果レジスタ8H	ADA0CR8H					00H				
FFFFFF222H	A/D変換結果レジスタ9	ADA0CR9					0000H				
FFFFFF223H	A/D変換結果レジスタ9H	ADA0CR9H					00H				
FFFFFF224H	A/D変換結果レジスタ10	ADA0CR10					0000H	-			
FFFFFF225H	A/D変換結果レジスタ10H	ADA0CR10H					00H	-			
FFFFFF226H	A/D変換結果レジスタ11	ADA0CR11					0000H	-			
FFFFFF227H	A/D変換結果レジスタ11H	ADA0CR11H					00H	-			
FFFFFF228H	A/D変換結果レジスタ12	ADA0CR12					0000H	-	-		
FFFFFF229H	A/D変換結果レジスタ12H	ADA0CR12H					00H	-	-		
FFFFFF22AH	A/D変換結果レジスタ13	ADA0CR13					0000H	-	-		
FFFFFF22BH	A/D変換結果レジスタ13H	ADA0CR13H					00H	-	-		
FFFFFF22CH	A/D変換結果レジスタ14	ADA0CR14					0000H	-	-		
FFFFFF22DH	A/D変換結果レジスタ14H	ADA0CR14H					00H	-	-		
FFFFFF22EH	A/D変換結果レジスタ15	ADA0CR15					0000H	-	-		
FFFFFF22FH	A/D変換結果レジスタ15H	ADA0CR15H					00H	-	-		
FFFFFF230H	A/D変換結果レジスタ16	ADA0CR16					0000H	-	-	-	
FFFFFF231H	A/D変換結果レジスタ16H	ADA0CR16H					00H	-	-	-	
FFFFFF232H	A/D変換結果レジスタ17	ADA0CR17					0000H	-	-	-	
FFFFFF233H	A/D変換結果レジスタ17H	ADA0CR17H					00H	-	-	-	
FFFFFF234H	A/D変換結果レジスタ18	ADA0CR18					0000H	-	-	-	
FFFFFF235H	A/D変換結果レジスタ18H	ADA0CR18H					00H	-	-	-	
FFFFFF236H	A/D変換結果レジスタ19	ADA0CR19					0000H	-	-	-	
FFFFFF237H	A/D変換結果レジスタ19H	ADA0CR19H					00H	-	-	-	
FFFFFF238H	A/D変換結果レジスタ20	ADA0CR20					0000H	-	-	-	
FFFFFF239H	A/D変換結果レジスタ20H	ADA0CR20H					00H	-	-	-	
FFFFFF23AH	A/D変換結果レジスタ21	ADA0CR21					0000H	-	-	-	
FFFFFF23BH	A/D変換結果レジスタ21H	ADA0CR21H					00H	-	-	-	

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	HE3	HE3	HC3	HC3
				1	8	16					
FFFFF23CH	A/D変換結果レジスタ22	ADA0CR22	R				0000H	-	-	-	
FFFFF23DH	A/D変換結果レジスタ22H	ADA0CR22H					00H	-	-	-	
FFFFF23EH	A/D変換結果レジスタ23	ADA0CR23					0000H	-	-	-	
FFFFF23FH	A/D変換結果レジスタ23H	ADA0CR23H					00H	-	-	-	
FFFFF300H	キー・リターン・モード・レジスタ	KRM	R/W				00H				
FFFFF308H	セクタ動作制御レジスタ0	SELCNT0					00H				
FFFFF30AH	セクタ動作制御レジスタ1	SELCNT1					00H	-	-	-	注
FFFFF30EH	セクタ動作制御レジスタ3	SELCNT3					00H	-	-	-	注
FFFFF318H	ノイズ除去制御レジスタ	NFC					00H				
FFFFF340H	OPS0クロック選択レジスタ	OCKS0					00H				
FFFFF3F0H	SSCGコントロール・レジスタ	SSCGCTL					00H				
FFFFF3F1H	SSCG周波数コントロール・レジスタ0	SFC0					00H				
FFFFF3F2H	SSCG周波数コントロール・レジスタ1	SFC1					00H				
FFFFF3F8H	セクタ動作制御レジスタ4	SELCNT4					00H				
FFFFF400H	ポート0	P0					不定				
FFFFF402H	ポート1	P1					不定	-	-		
FFFFF406H	ポート3	P3					不定	-			
FFFFF406H	ポート3L	P3L					不定				
FFFFF407H	ポート3H	P3H					不定	-			
FFFFF408H	ポート4	P4					不定				
FFFFF40AH	ポート5	P5					不定				
FFFFF40CH	ポート6	P6					不定	-	-	-	
FFFFF40CH	ポート6L	P6L					不定	-	-	-	
FFFFF40DH	ポート6H	P6H					不定	-	-	-	
FFFFF40EH	ポート7L	P7L				不定					
FFFFF40FH	ポート7H	P7H				不定					
FFFFF410H	ポート8	P8				不定	-	-	-		
FFFFF412H	ポート9	P9				不定					
FFFFF412H	ポート9L	P9L				不定					
FFFFF413H	ポート9H	P9H				不定					
FFFFF418H	ポート12	P12				不定	-	-	-		
FFFFF420H	ポート・モード・レジスタ0	PM0				FFH					
FFFFF422H	ポート・モード・レジスタ1	PM1				FFH	-	-			
FFFFF426H	ポート・モード・レジスタ3	PM3				FFFFH	-				
FFFFF426H	ポート・モード・レジスタ3L	PM3L				FFH					
FFFFF427H	ポート・モード・レジスタ3H	PM3H				FFH	-				
FFFFF428H	ポート・モード・レジスタ4	PM4				FFH					
FFFFF42AH	ポート・モード・レジスタ5	PM5				FFH					
FFFFF42CH	ポート・モード・レジスタ6	PM6				FFFFH	-	-	-		
FFFFF42CH	ポート・モード・レジスタ6L	PM6L				FFH	-	-	-		
FFFFF42DH	ポート・モード・レジスタ6H	PM6H				FFH	-	-	-		

注 μ PD70F3757のみサポート

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	HE3	HE3	HC3	HC3
				1	8	16					
FFFFFF42EH	ポート・モード・レジスタ7L	PM7L	R/W				FFH				
FFFFFF42FH	ポート・モード・レジスタ7H	PM7H					FFH				
FFFFFF430H	ポート・モード・レジスタ8	PM8					FFH	-	-	-	
FFFFFF432H	ポート・モード・レジスタ9	PM9					FFFFH				
FFFFFF432H	ポート・モード・レジスタ9L	PM9L					FFH				
FFFFFF433H	ポート・モード・レジスタ9H	PM9H					FFH				
FFFFFF438H	ポート・モード・レジスタ12	PM12					FFH	-	-	-	
FFFFFF440H	ポート・モード・コントロール・レジスタ0	PMC0					00H				
FFFFFF442H	ポート・モード・コントロール・レジスタ1	PMC1					00H	-	-		
FFFFFF446H	ポート・モード・コントロール・レジスタ3	PMC3					0000H	-	-		
FFFFFF446H	ポート・モード・コントロール・レジスタ3L	PMC3L					00H				
FFFFFF447H	ポート・モード・コントロール・レジスタ3H	PMC3H					00H	-	-		
FFFFFF448H	ポート・モード・コントロール・レジスタ4	PMC4					00H				
FFFFFF44AH	ポート・モード・コントロール・レジスタ5	PMC5					00H				
FFFFFF44CH	ポート・モード・コントロール・レジスタ6	PMC6					0000H	-	-	-	
FFFFFF44CH	ポート・モード・コントロール・レジスタ6L	PMC6L					00H	-	-	-	
FFFFFF44DH	ポート・モード・コントロール・レジスタ6H	PMC6H					00H	-	-	-	
FFFFFF44EH	ポート・モード・コントロール・レジスタ7L	PMC7L					00H				
FFFFFF44FH	ポート・モード・コントロール・レジスタ7H	PMC7H					00H				
FFFFFF450H	ポート・モード・コントロール・レジスタ8	PMC8					00H	-	-	-	
FFFFFF452H	ポート・モード・コントロール・レジスタ9	PMC9					0000H				
FFFFFF452H	ポート・モード・コントロール・レジスタ9L	PMC9L					00H				
FFFFFF453H	ポート・モード・コントロール・レジスタ9H	PMC9H					00H				
FFFFFF458H	ポート・モード・コントロール・レジスタ12	PMC12					00H	-	-	-	
FFFFFF460H	ポート・ファンクション・コントロール・レジスタ0	PFC0					00H				
FFFFFF466H	ポート・ファンクション・コントロール・レジスタ3L	PFC3L					00H				
FFFFFF468H	ポート・ファンクション・コントロール・レジスタ4	PFC4					00H				
FFFFFF46AH	ポート・ファンクション・コントロール・レジスタ5	PFC5					00H				
FFFFFF46CH	ポート・ファンクション・コントロール・レジスタ6	PFC6					0000H	-	-	-	
FFFFFF46CH	ポート・ファンクション・コントロール・レジスタ6L	PFC6L					00H	-	-	-	
FFFFFF46DH	ポート・ファンクション・コントロール・レジスタ6H	PFC6H					00H	-	-	-	
FFFFFF472H	ポート・ファンクション・コントロール・レジスタ9	PFC9					0000H				
FFFFFF472H	ポート・ファンクション・コントロール・レジスタ9L	PFC9L				00H					
FFFFFF473H	ポート・ファンクション・コントロール・レジスタ9H	PFC9H				00H					
FFFFFF484H	データ・ウェイト・コントロール・レジスタ0	DWC0				7777H	-	-	-		
FFFFFF488H	アドレス・ウェイト・コントロール・レジスタ	AWC				FFFFH	-	-	-		
FFFFFF48AH	バス・サイクル・コントロール・レジスタ	BCC				AAAAH	-	-	-		
FFFFFF540H	TAB0制御レジスタ0	TAB0CTL0				00H					

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	HE3	HE2	HE1	HE0
				1	8	16					
FFFFF541H	TAB0制御レジスタ1	TAB0CTL1	R/W				00H				
FFFFF542H	TAB0 I/O制御レジスタ0	TAB0IOC0					00H				
FFFFF543H	TAB0 I/O制御レジスタ1	TAB0IOC1					00H				
FFFFF544H	TAB0 I/O制御レジスタ2	TAB0IOC2					00H				
FFFFF545H	TAB0オプション・レジスタ0	TAB0OPT0					00H				
FFFFF546H	TAB0キャプチャ/コンペア・レジスタ0	TAB0CCR0					0000H				
FFFFF548H	TAB0キャプチャ/コンペア・レジスタ1	TAB0CCR1					0000H				
FFFFF54AH	TAB0キャプチャ/コンペア・レジスタ2	TAB0CCR2					0000H				
FFFFF54CH	TAB0キャプチャ/コンペア・レジスタ3	TAB0CCR3					0000H				
FFFFF54EH	TAB0カウンタ・リード・バッファ・レジスタ	TAB0CNT	R				0000H				
FFFFF556H	TAB0オプション・レジスタ1	TAB0OPT1	R/W				00H				
FFFFF561H	TAB0オプション・レジスタ2	TAB0OPT2					00H				
FFFFF562H	TAB0出力I/O制御レジスタ3	TAB0IOC3					00H				
FFFFF564H	TAB0デッドタイム・コンペア・レジスタ	TAB0DTC					00H				
FFFFF570H	ハイ・インピーダンス出力制御レジスタ0	HZA0CTL0					00H				
FFFFF571H	ハイ・インピーダンス出力制御レジスタ0	HAZ0CTL1					00H				
FFFFF590H	TAA0制御レジスタ0	TAA0CTL0					00H				
FFFFF591H	TAA0制御レジスタ1	TAA0CTL1					00H				
FFFFF592H	TAA0 I/O制御レジスタ0	TAA0IOC0					00H				
FFFFF593H	TAA0 I/O制御レジスタ1	TAA0IOC1					00H				
FFFFF594H	TAA0 I/O制御レジスタ2	TAA0IOC2					00H				
FFFFF595H	TAA0オプション・レジスタ0	TAA0OPT0					00H				
FFFFF596H	TAA0キャプチャ/コンペア・レジスタ0	TAA0CCR0					0000H				
FFFFF598H	TAA0キャプチャ/コンペア・レジスタ1	TAA0CCR1					0000H				
FFFFF59AH	TAA0カウンタ・リード・バッファ・レジスタ	TAA0CNT	R				0000H				
FFFFF5A0H	TAA1制御レジスタ0	TAA1CTL0	R/W				00H				
FFFFF5A1H	TAA1制御レジスタ1	TAA1CTL1					00H				
FFFFF5A2H	TAA1 I/O制御レジスタ0	TAA1IOC0					00H				
FFFFF5A3H	TAA1 I/O制御レジスタ1	TAA1IOC1					00H				
FFFFF5A4H	TAA1 I/O制御レジスタ2	TAA1IOC2					00H				
FFFFF5A5H	TAA1オプション・レジスタ0	TAA1OPT0					00H				
FFFFF5A6H	TAA1キャプチャ/コンペア・レジスタ0	TAA1CCR0					0000H				
FFFFF5A8H	TAA1キャプチャ/コンペア・レジスタ1	TAA1CCR1					0000H				
FFFFF5AAH	TAA1カウンタ・リード・バッファ・レジスタ	TAA1CNT	R				0000H				
FFFFF5AdH	TAA1オプション・レジスタ1	TAA1OPT1	R/W				00H				
FFFFF5B0H	TAA2制御レジスタ0	TAA2CTL0					00H				
FFFFF5B1H	TAA2制御レジスタ1	TAA2CTL1					00H				
FFFFF5B2H	TAA2 I/O制御レジスタ0	TAA2IOC0					00H				
FFFFF5B3H	TAA2 I/O制御レジスタ1	TAA2IOC1					00H				
FFFFF5B4H	TAA2 I/O制御レジスタ2	TAA2IOC2					00H				
FFFFF5B5H	TAA2オプション・レジスタ	TAA2OPT0					00H				

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	HE3	HE3	HC3	HC3
				1	8	16					
FFFFF5B6H	TAA2キャプチャ/コンペア・レジスタ0	TAA2CCR0	R/W				0000H				
FFFFF5B8H	TAA2キャプチャ/コンペア・レジスタ1	TAA2CCR1					0000H				
FFFFF5BAH	TAA2カウンタ・リード・バッファ・レジスタ	TAA2CNT	R				0000H				
FFFFF5C0H	TAA3制御レジスタ0	TAA3CTL0	R/W				00H				
FFFFF5C1H	TAA3制御レジスタ1	TAA3CTL1					00H				
FFFFF5C2H	TAA3 I/O制御レジスタ0	TAA3IOC0					00H				
FFFFF5C3H	TAA3 I/O制御レジスタ1	TAA3IOC1					00H				
FFFFF5C4H	TAA3 I/O制御レジスタ2	TAA3IOC2					00H				
FFFFF5C5H	TAA3オプション・レジスタ0	TAA3OPT0					00H				
FFFFF5C6H	TAA3キャプチャ/コンペア・レジスタ0	TAA3CCR0					0000H				
FFFFF5C8H	TAA3キャプチャ/コンペア・レジスタ1	TAA3CCR1					0000H				
FFFFF5CAH	TAA3カウンタ・リード・バッファ・レジスタ	TAA3CNT	R				0000H				
FFFFF5CDH	TAA3オプション・レジスタ1	TAA3OPT1	R/W				00H				
FFFFF5D0H	TAA4制御レジスタ0	TAA4CTL0					00H				
FFFFF5D1H	TAA4制御レジスタ1	TAA4CTL1					00H				
FFFFF5D2H	TAA4 I/O制御レジスタ0	TAA4IOC0					00H				
FFFFF5D3H	TAA4 I/O制御レジスタ1	TAA4IOC1					00H				
FFFFF5D4H	TAA4 I/O制御レジスタ2	TAA4IOC2					00H				
FFFFF5D5H	TAA4オプション・レジスタ0	TAA4OPT0					00H				
FFFFF5D6H	TAA4キャプチャ/コンペア・レジスタ0	TAA4CCR0					0000H				
FFFFF5D8H	TAA4キャプチャ/コンペア・レジスタ1	TAA4CCR1					0000H				
FFFFF5DAH	TAA4カウンタ・リード・バッファ・レジスタ	TAA4CNT	R				0000H				
FFFFF610H	TAB1タイマ制御レジスタ0	TAB1CTL0	R/W				00H	-	-		
FFFFF611H	TAB1タイマ制御レジスタ1	TAB1CTL1					00H	-	-		
FFFFF612H	TAB1タイマ専用I/O制御レジスタ0	TAB1IOC0					00H	-	-		
FFFFF613H	TAB1タイマ専用I/O制御レジスタ1	TAB1IOC1					00H	-	-		
FFFFF614H	TAB1タイマ専用I/O制御レジスタ2	TAB1IOC2					00H	-	-		
FFFFF615H	TAB1タイマ・オプション・レジスタ0	TAB1OPT0					00H	-	-		
FFFFF616H	TAB1キャプチャ/コンペア・レジスタ0	TAB1CCR0					0000H	-	-		
FFFFF618H	TAB1キャプチャ/コンペア・レジスタ1	TAB1CCR1					0000H	-	-		
FFFFF61AH	TAB1キャプチャ/コンペア・レジスタ2	TAB1CCR2					0000H	-	-		
FFFFF61CH	TAB1キャプチャ/コンペア・レジスタ3	TAB1CCR3					0000H	-	-		
FFFFF61EH	TAB1カウンタ・リード・バッファ・レジスタ	TAB1CNT	R				0000H	-	-		
FFFFF620H	TAB2タイマ制御レジスタ0	TAB2CTL0	R/W				00H	-	-	-	
FFFFF621H	TAB2タイマ制御レジスタ1	TAB2CTL1					00H	-	-	-	
FFFFF622H	TAB2タイマ専用I/O制御レジスタ0	TAB2IOC0					00H	-	-	-	
FFFFF623H	TAB2タイマ専用I/O制御レジスタ1	TAB2IOC1					00H	-	-	-	
FFFFF624H	TAB2タイマ専用I/O制御レジスタ2	TAB2IOC2					00H	-	-	-	
FFFFF625H	TAB2タイマ・オプション・レジスタ0	TAB2OPT0					00H	-	-	-	
FFFFF626H	TAB2キャプチャ/コンペア・レジスタ0	TAB2CCR0					0000H	-	-	-	
FFFFF628H	TAB2キャプチャ/コンペア・レジスタ1	TAB2CCR1					0000H	-	-	-	
FFFFF62AH	TAB2キャプチャ/コンペア・レジスタ2	TAB2CCR2					0000H	-	-	-	

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	HE3	HE3	HC3	HC3
				1	8	16					
FFFFF62CH	TAB2キャプチャ / コンペア・レジスタ3	TAB2CCR3	R/W				0000H	-	-	-	
FFFFF62EH	TAB2カウンタ・リード・バッファ・レジスタ	TAB2CNT	R				0000H	-	-	-	
FFFFF680H	時計タイマ動作モード・レジスタ	WTM	R/W				00H				
FFFFF690H	TMM0タイマ制御レジスタ0	TM0CTL0					00H				
FFFFF694H	TMM0コンペア・レジスタ0	TM0CMP0					0000H				
FFFFF6C0H	発振安定時間選択レジスタ	OSTS					06H				
FFFFF6C1H	PLLロックアップ時間指定レジスタ	PLLS					03H				
FFFFF6C2H	発振安定時間カウンタ・ステータス・レジスタ	OSTC	R				00H				
FFFFF6D0H	ウォッチドッグ・タイマ・モードレジスタ2	WDTM2	R/W				67H				
FFFFF6D1H	ウォッチドッグ・タイマ・イネーブルレジスタ	WDTE					9AH				
FFFFF700H	ポート0ファンクション・コントロール拡張レジスタ	PFCE0					00H				
FFFFF706H	ポート3ファンクション・コントロール拡張レジスタL	PFCE3L					00H				
FFFFF708H	ポート4ファンクション・コントロール拡張レジスタ	PFCE4					00H	-	-	-	注
FFFFF70AH	ポート5ファンクション・コントロール拡張レジスタ	PFCE5					00H				
FFFFF712H	ポート9ファンクション・コントロール拡張レジスタ	PFCE9					0000H				
FFFFF712H	ポート9ファンクション・コントロール拡張レジスタL	PFCE9L					00H				
FFFFF713H	ポート9ファンクション・コントロール拡張レジスタH	PFCE9H					00H				
FFFFF802H	システム・ステータス・レジスタ	SYS					00H				
FFFFF80CH	内蔵発振モード・レジスタ	RCM					80H				
FFFFF810H	DMAトリガ要因レジスタ0	DTFR0					00H				
FFFFF812H	DMAトリガ要因レジスタ1	DTFR1					00H				
FFFFF814H	DMAトリガ要因レジスタ2	DTFR2					00H				
FFFFF816H	DMAトリガ要因レジスタ3	DTFR3					00H				
FFFFF820H	パワーセーブ・モード・レジスタ	PSMR					00H				
FFFFF824H	ロック・レジスタ	LOCKR	R				01H				
FFFFF828H	プロセッサ・クロック・コントロール・レジスタ	PCC	R/W				40H				
FFFFF82CH	PLLコントロール・レジスタ	PLLCTL					00H				
FFFFF82EH	CPU動作クロック・ステータス・レジスタ	CCLS	R				00H				
FFFFF82FH	プログラマブル・クロック・モードレジスタ	PCLM	R/W				00H				
FFFFF860H	メイン・システム・クロック・モード・レジスタ	MCM					00H				
FFFFF870H	クロックモニタモードレジスタ	CLM					00H				
FFFFF888H	リセット要因フラグ・レジスタ	RESF					00H				
FFFFF890H	低電圧検出レジスタ	LVIM					00H				
FFFFF891H	低電圧検出レベル選択レジスタ	LVIS					00H				
FFFFF892H	内蔵RAMデータ ステータス レジスタ	RAMS					01H				
FFFFF8B0H	プリスケラ・モード・レジスタ	PRSM0					00H				
FFFFF8B1H	プリスケラ・コンペア・レジスタ	PRSCM0					00H				
FFFFF9FCH	オンチップ・デバッグ兼用端子設定レジスタ	OCDM					01H				
FFFFF9FEH	周辺エミュレーション・レジスタ1	PEMU1					00H				
FFFFFA00H	UARTD0制御レジスタ0	UD0CTL0					10H				
FFFFFA01H	UARTD0制御レジスタ1	UD0CTL1					00H				
FFFFFA02H	UARTD0制御レジスタ2	UD0CTL2					FFH				

注 μ PD70F3757のみサポート

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	HE3	HE3	HC3	HS
				1	8	16					
FFFFFFA03H	UARTD0オプション制御レジスタ0	UD0OPT0	R/W				14H				
FFFFFFA04H	UARTD0状態レジスタ	UD0STR					00H				
FFFFFFA05H	UARTD0オプション制御レジスタ1	UD0OPT1					00H				
FFFFFFA06H	UARTD0受信データ・レジスタ	UD0RX	R				FFH				
FFFFFFA07H	UARTD0送信データ・レジスタ	UD0TX	R/W				FFH				
FFFFFFA10H	UARTD1制御レジスタ0	UD1CTL0					10H				
FFFFFFA11H	UARTD1制御レジスタ1	UD1CTL1					00H				
FFFFFFA12H	UARTD1制御レジスタ2	UD1CTL2					FFH				
FFFFFFA13H	UARTD1オプション制御レジスタ0	UD1OPT0					14H				
FFFFFFA14H	UARTD1状態レジスタ	UD1STR					00H				
FFFFFFA15H	UARTD1オプション制御レジスタ1	UD1OPT1					00H				
FFFFFFA16H	UARTD1受信データ・レジスタ	UD1RX	R				FFH				
FFFFFFA17H	UARTD1送信データ・レジスタ	UD1TX	R/W				FFH				
FFFFFFA20H	UARTD2制御レジスタ0	UD2CTL0					10H	-	-		
FFFFFFA21H	UARTD2制御レジスタ1	UD2CTL1					00H	-	-		
FFFFFFA22H	UARTD2制御レジスタ2	UD2CTL2					FFH	-	-		
FFFFFFA23H	UARTD2オプション制御レジスタ0	UD2OPT0					14H	-	-		
FFFFFFA24H	UARTD2状態レジスタ	UD2STR					00H	-	-		
FFFFFFA25H	UARTD2オプション制御レジスタ1	UD2OPT1					00H	-	-		
FFFFFFA26H	UARTD2受信データ・レジスタ	UD2RX	R				FFH	-	-		
FFFFFFA27H	UARTD2送信データ・レジスタ	UD2TX	R/W				FFH	-	-		
FFFFFFA30H	UARTD3制御レジスタ0	UD3CTL0					10H	-	-	-	注
FFFFFFA31H	UARTD3制御レジスタ1	UD3CTL1					00H	-	-	-	注
FFFFFFA32H	UARTD3制御レジスタ2	UD3CTL2					FFH	-	-	-	注
FFFFFFA33H	UARTD3オプション制御レジスタ0	UD3OPT0					14H	-	-	-	注
FFFFFFA34H	UARTD3状態レジスタ	UD3STR					00H	-	-	-	注
FFFFFFA35H	UARTD3オプション制御レジスタ1	UD3OPT1					00H	-	-	-	注
FFFFFFA36H	UARTD3受信データ・レジスタ	UD3RX	R				FFH	-	-	-	注
FFFFFFA37H	UARTD3送信データ・レジスタ	UD3TX	R/W				FFH	-	-	-	注
FFFFFFA40H	UARTD4制御レジスタ0	UD4CTL0					10H	-	-	-	注
FFFFFFA41H	UARTD4制御レジスタ1	UD4CTL1					00H	-	-	-	注
FFFFFFA42H	UARTD4制御レジスタ2	UD4CTL2					FFH	-	-	-	注
FFFFFFA43H	UARTD4オプション制御レジスタ0	UD4OPT0					14H	-	-	-	注
FFFFFFA44H	UARTD4状態レジスタ	UD4STR					00H	-	-	-	注
FFFFFFA45H	UARTD4オプション制御レジスタ1	UD4OPT1					00H	-	-	-	注
FFFFFFA46H	UARTD4受信データ・レジスタ	UD4RX	R				FFH	-	-	-	注
FFFFFFA47H	UARTD4送信データ・レジスタ	UD4TX	R/W				FFH	-	-	-	注
FFFFFFA50H	UARTD5制御レジスタ0	UD5CTL0					10H	-	-	-	注
FFFFFFA51H	UARTD5制御レジスタ1	UD5CTL1					00H	-	-	-	注
FFFFFFA52H	UARTD5制御レジスタ2	UD5CTL2					FFH	-	-	-	注
FFFFFFA53H	UARTD5オプション制御レジスタ0	UD5OPT0					14H	-	-	-	注
FFFFFFA54H	UARTD5状態レジスタ	UD5STR					00H	-	-	-	注

注 μ PD70F3757のみサポート

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	HE3	HE3	HC3	HS
				1	8	16					
FFFFFFA55H	UARTD5オプション制御レジスタ1	UD5OPT1	R/W				00H	-	-	-	注
FFFFFFA56H	UARTD5受信データ・レジスタ	UD5RX	R				FFH	-	-	-	注
FFFFFFA57H	UARTD5送信データ・レジスタ	UD5TX	R/W				FFH	-	-	-	注
FFFFFFC00H	外部割り込み立ち下がりエッジ指定レジスタ0	INTF0					00H				
FFFFFFC02H	外部割り込み立ち下がりエッジ指定レジスタ1	INTF1					00H	-	-		
FFFFFFC06H	外部割り込み立ち下がりエッジ指定レジスタ3	INTF3					0000H	-	-		
FFFFFFC06H	外部割り込み立ち下がりエッジ指定レジスタ3L	INTF3L					00H				
FFFFFFC07H	外部割り込み立ち下がりエッジ指定レジスタ3H	INTF3H					00H	-	-		
FFFFFFC08H	外部割り込み立ち下がりエッジ指定レジスタ4	INTF4					00H	-	-	-	注
FFFFFFC0CH	外部割り込み立ち下がりエッジ指定レジスタ6L	INTF6L					00H	-	-	-	
FFFFFFC10H	外部割り込み立ち下がりエッジ指定レジスタ8	INTF8					00H	-	-	-	
FFFFFFC13H	外部割り込み立ち下がりエッジ指定レジスタ9H	INTF9H					00H				
FFFFFFC20H	外部割り込み立ち上がりエッジ指定レジスタ0	INTR0					00H				
FFFFFFC22H	外部割り込み立ち上がりエッジ指定レジスタ1	INTR1					00H	-	-		
FFFFFFC26H	外部割り込み立ち上がりエッジ指定レジスタ3	INTR3					0000H	-	-		
FFFFFFC26H	外部割り込み立ち上がりエッジ指定レジスタ3L	INTR3L					00H				
FFFFFFC27H	外部割り込み立ち上がりエッジ指定レジスタ3H	INTR3H					00H	-	-		
FFFFFFC28H	外部割り込み立ち上がりエッジ指定レジスタ4	INTR4					00H	-	-	-	注
FFFFFFC2CH	外部割り込み立ち上がりエッジ指定レジスタ6L	INTR6L					00H	-	-	-	
FFFFFFC30H	外部割り込み立ち上がりエッジ指定レジスタ8	INTR8					00H	-	-	-	
FFFFFFC33H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTR9H					00H				
FFFFFFC40H	プルアップ抵抗オプション・レジスタ0	PU0					00H				
FFFFFFC42H	プルアップ抵抗オプション・レジスタ1	PU1					00H	-			
FFFFFFC46H	プルアップ抵抗オプション・レジスタ3	PU3					0000H	-			
FFFFFFC46H	プルアップ抵抗オプション・レジスタ3L	PU3L					00H				
FFFFFFC47H	プルアップ抵抗オプション・レジスタ3H	PU3H					00H	-			
FFFFFFC48H	プルアップ抵抗オプション・レジスタ4	PU4					00H				
FFFFFFC4AH	プルアップ抵抗オプション・レジスタ5	PU5					00H				
FFFFFFC4CH	プルアップ抵抗オプション・レジスタ6	PU6					0000H	-	-	-	
FFFFFFC4CH	プルアップ抵抗オプション・レジスタ6L	PU6L					00H	-	-	-	
FFFFFFC4DH	プルアップ抵抗オプション・レジスタ6H	PU6H					00H	-	-	-	
FFFFFFC50H	プルアップ抵抗オプション・レジスタ8	PU8					00H	-	-	-	
FFFFFFC52H	プルアップ抵抗オプション・レジスタ9	PU9					0000H				
FFFFFFC52H	プルアップ抵抗オプション・レジスタ9L	PU9L					00H				
FFFFFFC53H	プルアップ抵抗オプション・レジスタ9H	PU9H					00H				
FFFFFFC73H	ポート9ファンクション制御レジスタH	PF9H					00H				
FFFFFFD00H	CSIB0制御レジスタ0	CB0CTL0					01H				
FFFFFFD01H	CSIB0制御レジスタ1	CB0CTL1					00H				
FFFFFFD02H	CSIB0制御レジスタ2	CB0CTL2					00H				
FFFFFFD03H	CSIB0状態レジスタ	CB0STR					00H				
FFFFFFD04H	CSIB0受信データ・レジスタ	CB0RX	R				0000H				
FFFFFFD04H	CSIB0受信データ・レジスタL	CB0RXL					00H				

注 μ PD70F3757のみサポート

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	HE3	HL3	HC3	HS3	
				1	8	16						
FFFFFFD06H	CSIB0送信データ・レジスタ	CB0TX	R/W				0000H					
FFFFFFD06H	CSIB0送信データ・レジスタL	CB0TXL					00H					
FFFFFFD10H	CSIB1制御レジスタ0	CB1CTL0	R/W				01H					
FFFFFFD11H	CSIB1制御レジスタ1	CB1CTL1					00H					
FFFFFFD12H	CSIB1制御レジスタ2	CB1CTL2					00H					
FFFFFFD13H	CSIB1状態レジスタ	CB1STR					00H					
FFFFFFD14H	CSIB1受信データ・レジスタ	CB1RX		R				0000H				
FFFFFFD14H	CSIB1受信データ・レジスタL	CB1RXL						00H				
FFFFFFD16H	CSIB1送信データ・レジスタ	CB1TX	R/W				0000H					
FFFFFFD16H	CSIB1送信データ・レジスタL	CB1TXL					00H					
FFFFFFD20H	CSIB2制御レジスタ0	CB2CTL0	R/W				01H	-	-	-		
FFFFFFD21H	CSIB2制御レジスタ1	CB2CTL1					00H	-	-	-		
FFFFFFD22H	CSIB2制御レジスタ2	CB2CTL2					00H	-	-	-		
FFFFFFD23H	CSIB2状態レジスタ	CB2STR					00H	-	-	-		
FFFFFFD24H	CSIB2受信データ・レジスタ	CB2RX		R				0000H	-	-	-	
FFFFFFD24H	CSIB2受信データ・レジスタL	CB2RXL						00H	-	-	-	
FFFFFFD26H	CSIB2送信データ・レジスタ	CB2TX	R/W				0000H	-	-	-		
FFFFFFD26H	CSIB2送信データ・レジスタL	CB2TXL					00H	-	-	-		
FFFFFFD80H	IIC0シフト・レジスタ	IIC0	R/W				00H					
FFFFFFD82H	IIC0コントロール・レジスタ	IICC0					00H					
FFFFFFD83H	IIC0スレーブ・アドレス・レジスタ	SVA0					00H					
FFFFFFD84H	IIC0クロック選択レジスタ	IICCL0					00H					
FFFFFFD85H	IIC0機能拡張レジスタ	IICX0					00H					
FFFFFFD86H	IIC0状態レジスタ	IICSO		R				00H				
FFFFFFD8AH	IIC0フラグ・レジスタ	IICF0	R/W				00H					

3.4.7 特定レジスタ

特定レジスタは、プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。V850ES/Hx3には次の10個の特定レジスタがあります。

- ・パワー・セーブ・コントロール・レジスタ (PSC)
- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・クロック・モニタ・モード・レジスタ (CLM)
- ・メイン・システム・クロック・モード・レジスタ (MCM)
- ・SSCG周波数コントロール・レジスタ0 (SFC0)
- ・SSCG周波数コントロール・レジスタ1 (SFC1)
- ・リセット要因フラグ・レジスタ (RESF)
- ・低電圧検出レジスタ (LVIM)
- ・内蔵RAMデータ・ステータス・レジスタ (RAMS)
- ・オンチップ・デバッグ・モード・レジスタ (OCDM)

また、プログラムの暴走により応用システムが不用意に停止しないように、特定レジスタへの書き込み動作に対するプロテクション・レジスタとして、PRCMDレジスタがあり、特定レジスタへのライト・アクセスは特定のシーケンスで行われ、不正なストア動作はSYSレジスタに報告されます(ノイズや瞬時の電圧下降などで、オプション・データ(アドレス:007BH)の読み出し操作が不正となった場合にも、SYSレジスタに報告されます)。

(1) 特定レジスタへのデータ設定

特定レジスタへのデータ設定は次のシーケンスで行います。

DMA動作を禁止する。

任意の汎用レジスタに特定レジスタへ設定するためのデータを用意する。

PRCMDレジスタに で用意したデータを書き込む。

特定レジスタに設定データを書き込む（次の命令で行う）。

- ・ストア命令（ST/SST命令）
- ・ビット操作命令（SET1/CLR1/NOT1命令）

（ - NOP命令を挿入する（5命令）。）^注

DMA動作が必要な場合，DMA動作を許可する。

[記述例] PSCレジスタの場合（スタンバイ・モードの設定）

```
ST.B r11, PSMR [ r0 ] ;PSMRレジスタ設定 ( IDLE1, IDLE2, STOPモードの設定 )
CLR1 0, DCHCn [ r0 ] ;DMA動作禁止, n = 0-3
MOV 0x02, r10
ST.B r10, PRCMD [ r0 ] ;PRCMDレジスタ書き込み
ST.B r10, PSC [ r0 ] ;PSCレジスタ設定
NOP注 ;ダミー命令
NOP注 ;ダミー命令
NOP注 ;ダミー命令
NOP注 ;ダミー命令
NOP注 ;ダミー命令
SET1 0, DCHCn [ r0 ] ;DMA動作許可, n = 0-3
(next instruction)
```

なお，特定レジスタを読み出す場合は，特別なシーケンスは必要ありません。

注 IDLE1, IDLE2, STOP, サブIDLEモードに移行する場合（PSC.STPビット = 1）には，直後にNOP命令を5命令以上挿入する必要があります。

- 注意1.** コマンド・レジスタに対するストア命令では，割り込みを受け付けません。これはプログラムで上記 ， を連続したストア命令で行うことを前提としているためです。 ， の間にほかの命令が置かれていると，その命令で割り込みを受け付けた際，上記シーケンスが成立しなくなる場合があります，誤動作の要因となります。
- 2.** PRCMDレジスタへ書き込むデータはダミーですが，特定レジスタへの設定（例 ）で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み（例 ）でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。

(2) コマンド・レジスタ (PRCMD)

PRCMDレジスタは、プログラムの暴走などにより、応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。あらかじめ、PRCMDレジスタに対して書き込み動作を行ったあとの最初の特定レジスタへの書き込みのみ有効となります。これにより定められたシーケンスによってだけ、レジスタの値が書き換えられ、不正な書き込み動作ができなくなります。

8ビット単位でライトのみ可能です（リードした場合、不定データを読み出します）。

リセットにより不定になります。

リセット時：不定 W アドレス：FFFFFF1FCH

	7	6	5	4	3	2	1	0
PRCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

(3) システム・ステータス・レジスタ (SYS)

システム全体の動作状態を示すステータス・フラグが割り付けられています。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H								R/W	アドレス：FFFFFF802H								
	7	6	5	4	3	2	1	0									
SYS	0	0	0	0	0	0	0	PRERR									
	PRERR	プロテクション・エラーの検出															
	0	プロテクション・エラーは発生していない															
	1	プロテクション・エラーが発生している															

PRERRフラグの動作条件を次に示します。

(a) セット条件 (PRERRフラグ = 1)

- (i) PRCMDレジスタへの書き込み動作を行わず、特定レジスタへの書き込み動作を行ったとき (3.4.7(1) **特定レジスタへのデータ設定**で示す を行わずに を行ったとき)。
- (ii) PRCMDレジスタへの書き込み動作後、特定レジスタ以外の内蔵周辺I/Oレジスタに書き込み動作 (ビット操作命令を含む) を行ったとき (3.4.7(1) **特定レジスタへのデータ設定**で示す が特定レジスタでなかったとき)。

備考 特定レジスタは、PRCMDレジスタへの書き込み動作と特定レジスタへの書き込み動作の間に、内蔵周辺I/Oレジスタの読み出し動作 (ビット操作命令を除く) など内蔵RAMへのアクセスを行っても、PRERRフラグはセットされず、特定レジスタに設定データを書き込むことができます。

(b) クリア条件 (PRERRフラグ = 0)

- (i) PRERRフラグに0を書き込んだとき。
- (ii) システム・リセットしたとき。

- 注意** 1. PRCMDレジスタへの書き込み動作直後に、特定レジスタではないSYSレジスタのPRERRビットに“0”を書き込んだ場合、PRERRビットは“0”になります (ライト優先)。
2. PRCMDレジスタへの書き込み動作直後に、特定レジスタではないPRCMDレジスタへの書き込み動作を行った場合、PRERRビットは“1”になります。

3.4.8 注意事項

(1) 最初に設定するレジスタ

V850ES/Hx3を使用する際には、必ず最初に次のレジスタを設定してください。

- ・システム・ウエイト・コントロール・レジスタ (VSWC)
- ・オンチップ・デバッグ・モード・レジスタ (OCDM)
- ・ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

VSWC, OCDM, WDTM2レジスタを設定後、必要に応じてその他の各レジスタを設定してください。

なお、外部バスを使用する場合は上記レジスタを設定したあと、ただちにポート関連のレジスタの設定により、各端子を兼用するバス制御端子に設定してください。

(a) システム・ウエイト・コントロール・レジスタ (VSWC)

VSWCレジスタは、内蔵周辺I/Oレジスタに対するバス・アクセスのウエイトを制御するレジスタです。

内蔵周辺I/Oレジスタへのアクセスは3クロック (ノー・ウエイト時) ですが、V850ES/Hx3では動作周波数によりウエイトが必要です。使用する動作周波数に応じて、VSWCレジスタには次に示す値を設定してください。

8ビット単位でリード/ライト可能です。

リセット時: 77H R/W アドレス: FFFFF06EH								
	7	6	5	4	3	2	1	0
VSWC								
	動作周波数 (f _{CLK})		VSWCの設定値		ウエイト数			
	32 kHz	f _{CLK} < 16.6 MHz	00H		0 (ノー・ウエイト)			
	16.6 MHz	f _{CLK} < 25 MHz	01H		1			
	25 MHz	f _{CLK} 32 MHz	11H		2			

(b) オンチップ・デバッグ・モード・レジスタ (OCDM)

詳細は、第28章 オンチップ・デバッグ機能を参照してください。

(c) ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

WDTM2レジスタは、ウォッチドッグ・タイマ2のオーバフロー時間および動作クロックを設定するレジスタです。

ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。動作を確定するために、WDTM2レジスタへ書き込みを行ってください。

詳細は、第12章 ウォッチドッグ・タイマ2機能を参照してください。

(2) 特定の内蔵周辺I/Oレジスタへのアクセスについて

この製品は、内部に2種類のシステム・バスを有しています。

1つはCPU用バスで、もう1つは低速周辺ハードウェアとのインタフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期の関係となるため、CPUと周辺ハードウェアとのアクセス間に競合が発生した場合は、予期せぬ不正データの受け渡しが行われる可能性があります。したがって、競合の恐れがある周辺ハードウェアへのアクセス時は、CPUは正しいデータの受け渡しが行われるよう、アクセス・サイクル数が変わります。その結果、CPUは次の命令処理に移行せず、CPU処理としてウェイト状態となるため、このウェイトが発生した場合、命令の実行クロック数が次に示すウェイト・クロック数分長くなります。

リアルタイム性が要求される処理を行う場合は、この内容に注意してください。

特定の内蔵周辺I/Oレジスタへのアクセス時に、VSWCレジスタで設定したウェイト以外に、さらにウェイトを要する場合があります。

その際のアクセス条件と、挿入されるウェイト数（CPUクロック数）の算出方法を次に示します。

周辺機能	レジスタ名称	アクセス	k
16ビット・タイマ/イベント・カウンタAA (TAA) (n = 0-3)	TAAAnCNT	リード	1
	TAAAnCCR0, TAAAnCCR1	ライト	・1回目：ウェイトなし ・連続書き込み：3-4
		リード	1
16ビット・タイマ/イベント・カウンタAB (TAB) (m = 0-2)	TABmCNT	リード	1
	TABmCCR0-TABmCCR3	ライト	・1回目：ウェイトなし ・連続書き込み：3-4
		リード	1
モータ制御機能	TAB0OPT1	ライト	・1回目：ウェイトなし ・連続書き込み：2-4
	TAB0DTC	ライト	・1回目：ウェイトなし ・連続書き込み：2-4
ウォッチドッグ・タイマ2 (WDT2)	WDTM2	ライト (WDT2動作時)	3
A/Dコンバータ	ADA0M0	リード	1-3
	ADA0CR0-ADA0CR23	リード	1-3
	ADA0CR0H-ADA0CR23H	リード	1-3
I ² C00	IICS0	リード	1

$$\text{アクセスに必要なクロック数} = 3 + i + j + (2 + j) \times k$$

注意 次に示す状態において、上記レジスタへのアクセスは禁止です。ウエイトが発生した場合、解除する方法はリセットだけです。

- CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- CPUが低速内蔵発振クロックで動作している場合

備考 i : VSWCレジスタの上位4ビットの値 (0, 1)

j : VSWCレジスタの下位4ビットの値 (0, 1)

(3) sld命令と割り込み競合に関する制限事項

(a) 内 容

次の命令<1>の事項が完了する前に、後続の sld 命令の直前の命令<2>のデコード動作と割り込み要求が競合した場合、先の命令<1>の実行結果がレジスタに格納されないことがあります。

命令<1>

- ・ ld 命令 : ld.b, ld.h, ld.w, ld.bu, ld.hu
- ・ sld 命令 : sld.b, sld.h, sld.w, sld.bu, sld.hu
- ・ 乗算命令 : mul, mulh, mulhi, mulu

命令<2>

mov reg1, reg2	not reg1, reg2	satsubr reg1, reg2	satsub reg1, reg2
satadd reg1, reg2	satadd imm5, reg2	or reg1, reg2	xor reg1, reg2
and reg1, reg2	tst reg1, reg2	subr reg1, reg2	sub reg1, reg2
add reg1, reg2	add imm5, reg2	cmp reg1, reg2	cmp imm5, reg2
mulh reg1, reg2	shr imm5, reg2	sar imm5, reg2	shl imm5, reg2

<例>

< > ld.w [r11], r10	< >の ld 命令の実行が完了する前に、< >の sld 命令の直前の mov
・	命令< >のデコード動作と割り込み要求が競合した場合、< >の ld
・	命令の実行結果がレジスタに格納されないことがあります。
< > mov r10, r28	
< > sld.w 0x28, r10	

(b) 回 避 策

コンパイラ (CA850) 使用時

Ver.2.61以降のバージョンを使用してください。該当命令シーケンスの生成を自動的に抑止します。

アセンブラでの対策

命令< >の直後に sld 命令を実行する場合は、次のいずれかの方法を用いて、上記動作を回避してください。

- ・ sld 命令の直前に nop 命令を入れる。
- ・ sld 命令のディスティネーション・レジスタと同じレジスタを、sld 命令の直前で実行する上記< >の命令で使用しない。

第4章 ポート機能

4.1 特 徴

4.1.1 V850ES/HE3

入出力ポート：51本

ほかの周辺機能の入出力端子と兼用

1ビット単位で入力 / 出力指定可能

4.1.2 V850ES/HF3

入出力ポート：67本

ほかの周辺機能の入出力端子と兼用

1ビット単位で入力 / 出力指定可能

4.1.3 V850ES/HG3

入出力ポート：84本

ほかの周辺機能の入出力端子と兼用

1ビット単位で入力 / 出力指定可能

4.1.4 V850ES/HJ3

入出力ポート：128本

ほかの周辺機能の入出力端子と兼用

1ビット単位で入力 / 出力指定可能

4.2 ポートの基本構成

4.2.1 V850ES/HE3

V850ES/HE3は、ポート0, 3-5, 7, 9, CM,DLの合計51本の入力 / 出力ポートを内蔵しています。ポートの構成を次に示します。

図4 - 1 ポート構成 (V850ES/HE3)

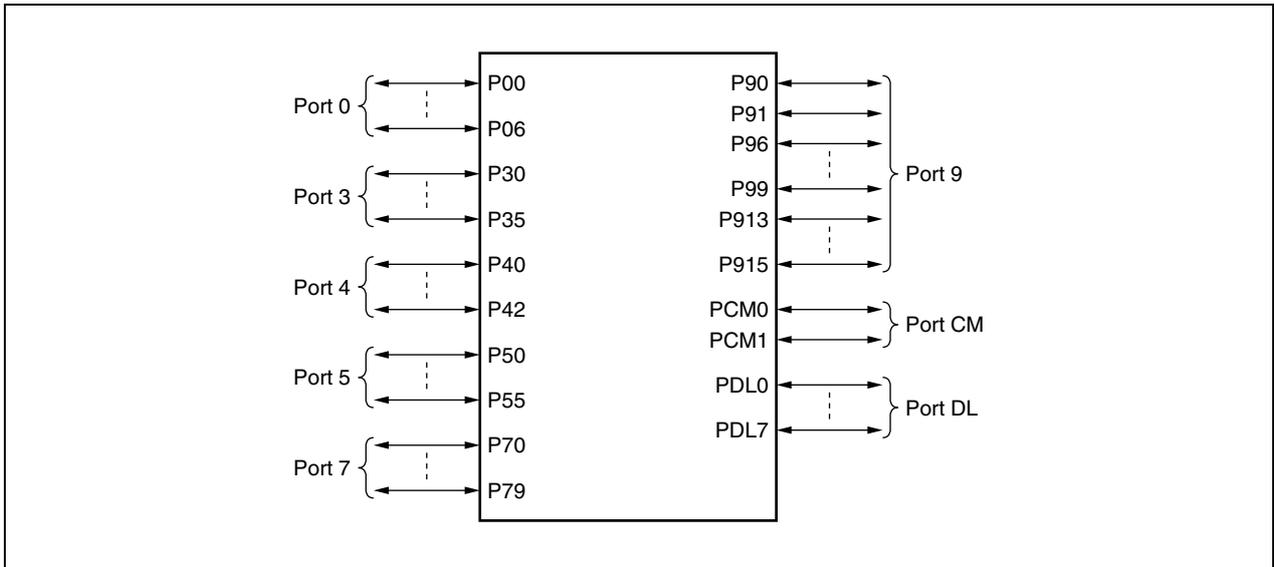


表4 - 1 ポートの構成 (V850ES/HE3)

項目	構成
制御レジスタ	ポート・モード・レジスタ (PMn: n = 0, 3, 4, 5, 7L, 7H, 9, CM, DL)
	ポート・モード・コントロール・レジスタ (PMCn: n = 0, 3, 4, 5, 7L, 7H, 9, CM)
	ポート・ファンクション・コントロール・レジスタ (PFCn: n = 0, 3L, 4, 5, 9)
	ポート・ファンクション・コントロール拡張レジスタ (PFCEn: n = 0, 3L, 5, 9)
	ブルアップ抵抗オプション・レジスタ (PUn: n = 0, 3, 4, 5, 9)
ポート	51本

表4 - 2 各端子の入出力バッファ電源 (V850ES/HE3)

電源	対応する端子
AVREF0	ポート7
EVDD	ポート0, 3-5, 9, CM, DL, RESET, FLMD0

4.2.2 V850ES/HF3

V850ES/HF3は、ポート0, 3-5, 7, 9, CM, CS, CT, DLの合計67本の入力/出力ポートを内蔵しています。ポートの構成を次に示します。

図4 - 2 ポート構成 (V850ES/HF3)

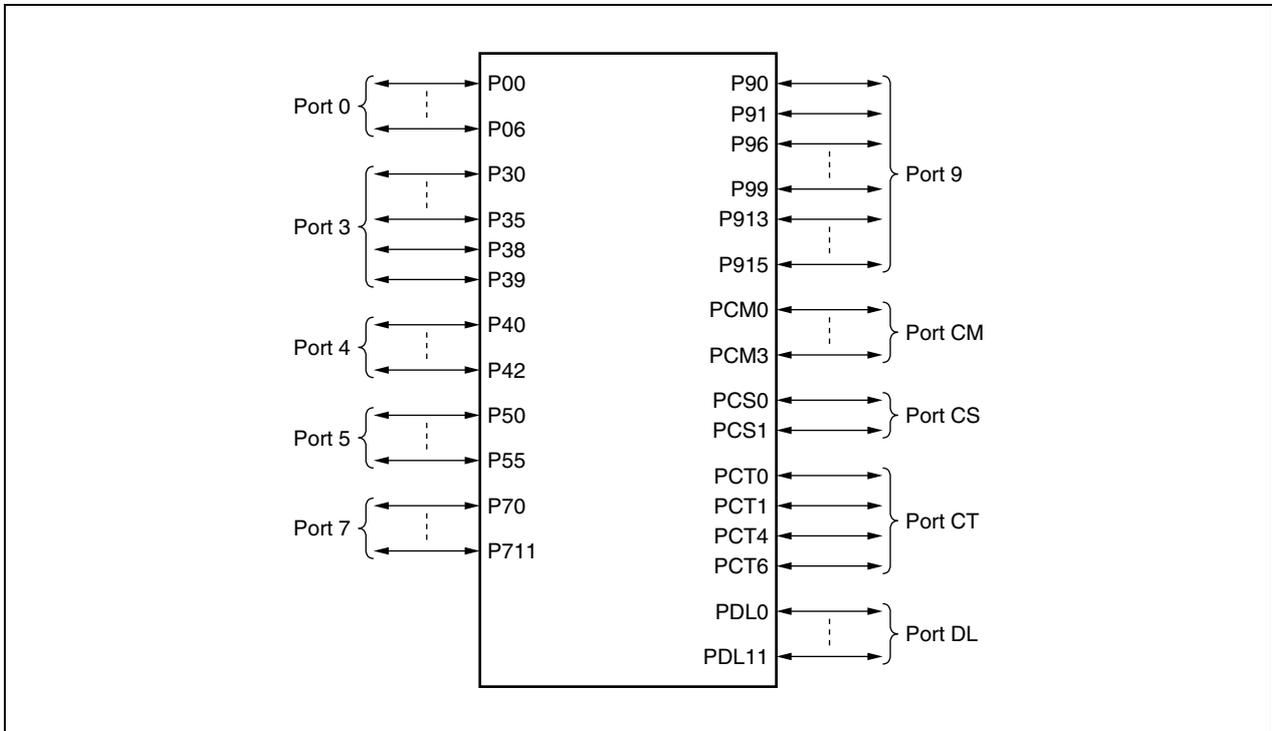


表4 - 3 ポートの構成 (V850ES/HF3)

項目	構成
制御レジスタ	ポート・モード・レジスタ (PMn: n = 0, 3, 4, 5, 7L, 7H, 9, CM, CS, CT, DL)
	ポート・モード・コントロール・レジスタ (PMcn: n = 0, 3, 4, 5, 7L, 7H, 9, CM)
	ポート・ファンクション・コントロール・レジスタ (PFCn: n = 0, 3L, 4, 5, 9)
	ポート・ファンクション・コントロール拡張レジスタ (PFCEn: n = 0, 3L, 5, 9)
	プルアップ抵抗オプション・レジスタ (PUn: n = 0, 3, 4, 5, 9)
ポート	67本

表4 - 4 各端子の入出力バッファ電源 (V850ES/HF3)

電源	対応する端子
AVREF0	ポート7
EVDD	ポート0, ポート3-5, 9, CM, CS, CT, DL, RESET, FLMD0

4.2.3 V850ES/HG3

V850ES/HG3は、ポート0, 1, 3-5, 7, 9, CM, CS, CT, DLの合計84本の入力/出力ポートを内蔵しています。ポートの構成を次に示します。

図4 - 3 ポート構成 (V850ES/HG3)

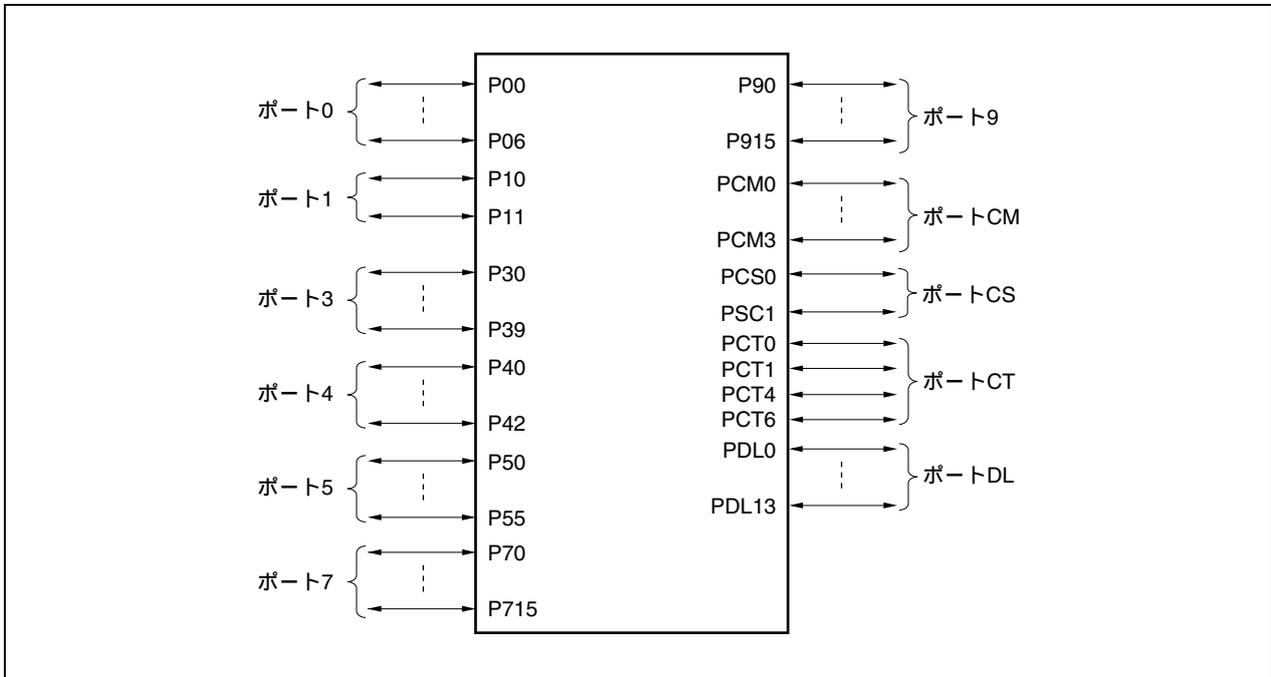


表4 - 5 ポートの構成 (V850ES/HG3)

項目	構成
制御レジスタ	ポート・モード・レジスタ (PMn: n = 0, 1, 3, 4, 5, 7L, 7H, 9, CM, CS, CT, DL)
	ポート・モード・コントロール・レジスタ (PMCn: n = 0, 1, 3, 4, 5, 7L, 7H, 9, CM)
	ポート・ファンクション・コントロール・レジスタ (PFCn: n = 0, 3L, 4, 5, 9)
	ポート・ファンクション・コントロール拡張レジスタ (PFCEn: n = 0, 3L, 5, 9)
	プルアップ抵抗オプション・レジスタ (PUn: n = 0, 1, 3, 4, 5, 9)
ポート	84本

表4 - 6 各端子の入出力バッファ電源 (V850ES/HG3)

電源	対応する端子
AVREF0	ポート7
BVDD	ポートCM, CS, CT, DL
EVDD	ポート0, 1, 3-5, 9, RESET, FLMD0

4.2.4 V850ES/HJ3

V850ES/HJ3は、ポート0, 1, 3-9, 12, CD, CM, CS, CT, DLの合計128本の入力 / 出力ポートを内蔵しています。ポートの構成を次に示します。

図4 - 4 ポート構成 (V850ES/HJ3)

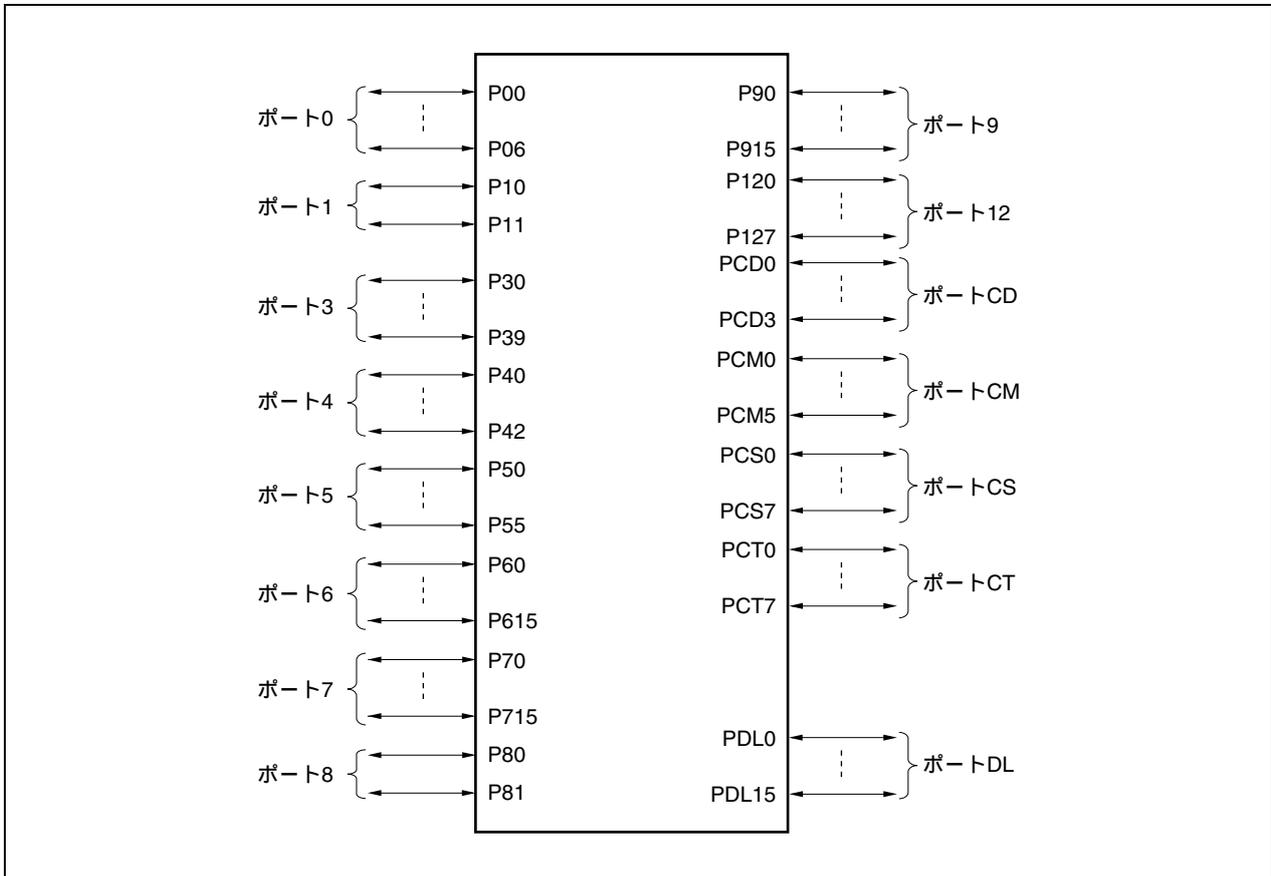


表4 - 7 ポートの構成 (V850ES/HJ3)

項目	構成
制御レジスタ	ポート・モード・レジスタ (PMn: n = 0, 1, 3, 4, 5, 6, 7L, 7H, 8, 9, 12, CD, CM, CS, CT, DL)
	ポート・モード・コントロール・レジスタ (PMCn: n = 0, 1, 3, 4, 5, 6, 7L, 7H, 8, 9, 12, CM, CS, CT, DL)
	ポート・ファンクション・コントロール・レジスタ (PFCn: n = 0, 3L, 4, 5, 6, 9, 12)
	ポート・ファンクション・コントロール拡張レジスタ (PFCEn: n = 0, 3L, 4 ^注 , 5, 9)
	ポート・ファンクション・レジスタ (PF9)
	ブルアップ抵抗オプション・レジスタ (PUn: n = 0, 1, 3, 4, 5, 6, 8, 9)
ポート	128本

注 μ PD70F3757のみ

表4 - 8 各端子の入出力バッファ電源 (V850ES/HJ3)

電源	対応する端子
AVREF0	ポート7, 12
BVDD	ポートCD, CM, CS, CT, DL
EVDD	ポート0, 1, 3-6, 8, 9, $\overline{\text{RESET}}$, FLMD0

4.3 ポートの構成

(1) ポートnレジスタ (Pn)

外部とのデータ入出力は、Pnレジスタへの書き込み、および読み出しによって行います。Pnレジスタは、出力データを保持するポート・ラッチ、および端子の状態を読み込む回路で構成されています。

Pnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位でリード/ライト可能です。

リセット時：00H (出力ラッチ) R/W								
	7	6	5	4	3	2	1	0
Pn	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0
Pnm	出力データの制御 (出力モード時)							
0	0を出力							
1	1を出力							

PMcnレジスタの設定によらず、Pnレジスタへの書き込みや読み出しは次のようになります。

表4 - 9 Pnレジスタへの書き込み / 読み出しについて

PMn レジスタへの設定	Pn レジスタへの書き込み	Pn レジスタの読み出し
出力モード (PMnm = 0)	出力ラッチに対して書き込みます ^注 。 ポート・モード (PMcn = 0) の場合、出力ラッチの内容が端子から出力されます。	出力ラッチの値を読み出します。
入力モード (PMnm = 1)	出力ラッチに対して書き込みます。 端子の状態には影響ありません ^注 。	端子状態を読み出します。

注 出力ラッチに書き込まれた値は、再度出力ラッチに値を書き込まれるまで保持されます。

(2) ポートnモード・レジスタ (PMn)

ポートの入力モード/出力モードを指定します。

PMnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時: FFH R/W								
	7	6	5	4	3	2	1	0
PMn	PMn7	PMn6	PMn5	PMn4	PMn3	PMn2	PMn1	PMn0
PMnm	入出力モードの制御							
0	出力モード							
1	入力モード							

(3) ポートnモード・コントロール・レジスタ (PMcn)

ポート・モード/兼用機能を指定します。

PMcnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時: 00H R/W								
	7	6	5	4	3	2	1	0
PMcn	PMcn7	PMcn6	PMcn5	PMcn4	PMcn3	PMcn2	PMcn1	PMcn0
PMcnm	動作モードの指定							
0	ポート・モード							
1	兼用機能モード							

(4) ポートnファンクション・コントロール・レジスタ (PFCn)

1本の端子に兼用機能が2つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H R/W

	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0

PFCnm	兼用機能の指定
0	兼用機能1
1	兼用機能2

(5) ポートnファンクション・コントロール拡張レジスタ (PFCEn)

1本の端子に兼用機能が3つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCEnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H R/W

	7	6	5	4	3	2	1	0
PFCEn	PFCEn7	PFCEn6	PFCEn5	PFCEn4	PFCEn3	PFCEn2	PFCEn1	PFCEn0

	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0

PFCEnm	PFCnm	兼用機能の指定
0	0	兼用機能1
0	1	兼用機能2
1	0	兼用機能3
1	1	兼用機能4

(6) ポートnファンクション・レジスタ (PFn)

通常出力/N-chオープン・ドレイン出力を指定するレジスタです。

PFnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H R/W

	7	6	5	4	3	2	1	0
PFn	PFn7	PFn6	PFn5	PFn4	PFn3	PFn2	PFn1	PFn0

PFnm ^注	通常出力/N-chオープン・ドレイン出力の制御
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

注 ポート・モード時 (PMcnmビット = 0)、PFnレジスタのPFnmビットは、PMnレジスタのPMnmビット = 0 (出力モード時) のときのみ有効です。PMnmビット = 1 (入力モード時) のときは、PFnレジスタの設定値は無効です。

(7) プルアップ抵抗オプション・レジスタ (PUn)

内蔵プルアップ抵抗の接続を指定するレジスタです。

PUnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H R/W

	7	6	5	4	3	2	1	0
PUn	PUn7	PUn6	PUn5	PUn4	PUn3	PUn2	PUn1	PUn0

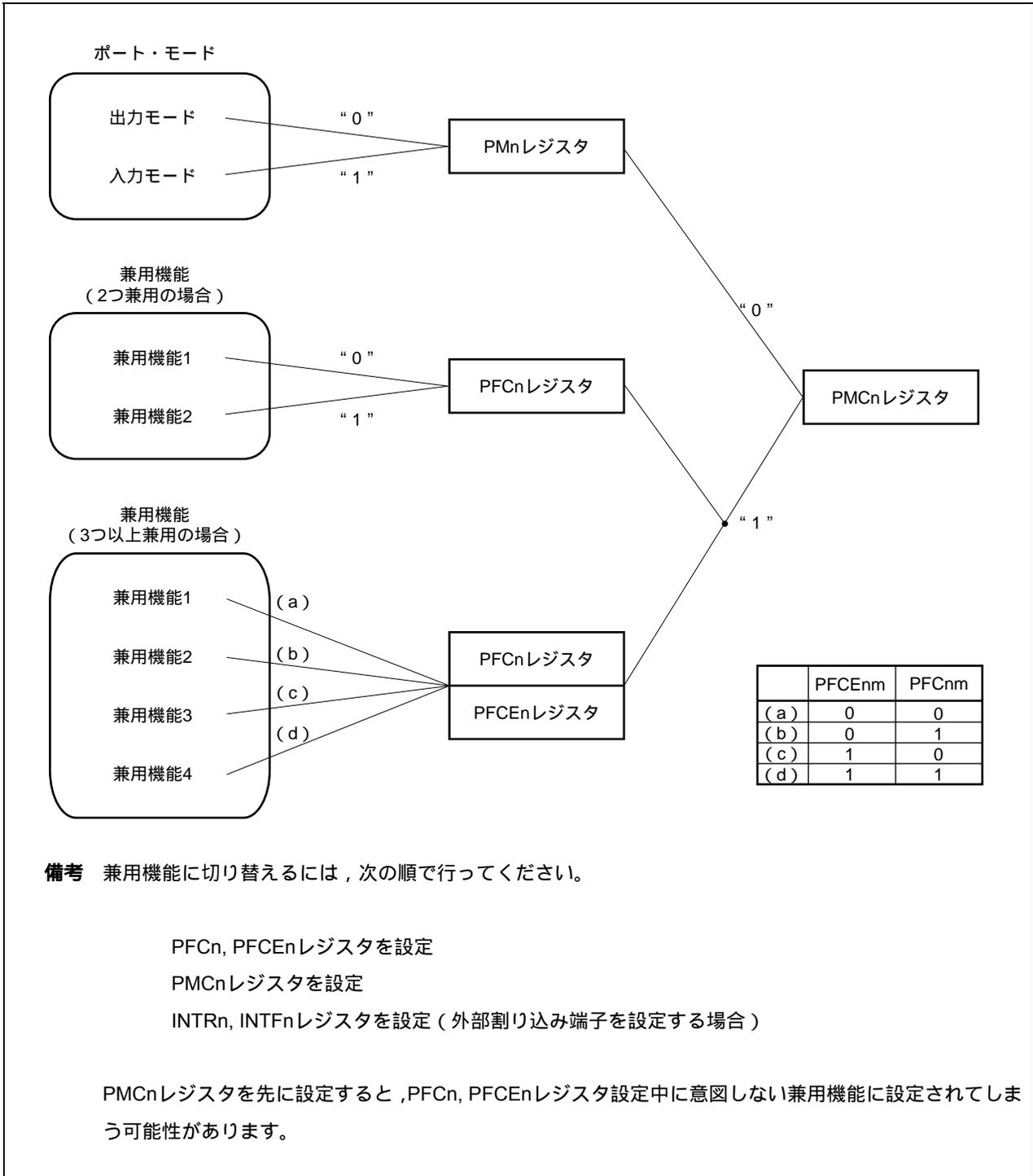
PUnm ^注	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する

注 内蔵プルアップ抵抗は入力モード時 (PMnmビット = 1) のみ有効です。出力モード時 (PMnmビット = 0) は、PUnレジスタの設定値は無効です。

(8) ポートの設定

ポートの設定は、次のように設定してください。

図4 - 5 各レジスタの設定と端子の機能



備考 兼用機能に切り替えるには、次の順で行ってください。

PFCn, PFCEnレジスタを設定

PMCnレジスタを設定

INTRn, INTFnレジスタを設定 (外部割り込み端子を設定する場合)

PMCnレジスタを先に設定すると、PFCn, PFCEnレジスタ設定中に意図しない兼用機能に設定されてしまう可能性があります。

4.3.1 ポート0

ポート0は1ビット単位で入出力を制御できます。

各製品間で入出力ポートの数は同じです。

愛称	入出力ポート数
V850ES/HE3	7ビット入出力ポート
V850ES/HF3	7ビット入出力ポート
V850ES/HG3	7ビット入出力ポート
V850ES/HJ3	7ビット入出力ポート

表4-10 ポート0の兼用機能

機能名	兼用機能名		ピン番号				備考	ブロック・タイプ
	名称	入出力	HE3	HF3	HG3	HJ3		
P00	TIAA31/TOAA31	入出力	12	3	6	6	-	E10-U
P01	TIAA30/TOAA30	入出力	13	4	7	7		E10-U
P02	NMI ^{※1} /TIAA40/TOAA40	入出力	14	5	17	17		F1x10-UI
P03	INTP0/ADTRG/TIAA41/TOAA41	入出力	15	6	18	18		F1110-UI
P04	INTP1	入力	16	7	19	19		D1-U
P05	INTP2/DRST ^{※2}	入力	17	17	20	20		D1O1-UI
P06	INTP3	入力	18	18	21	21		D1-UI

注1. NMI端子はP02端子と兼用しており、リセット後はP02端子として機能します。

NMIを有効にする場合は、PMC0.PMC02ビットをセット(1)してください。またNMI端子の初期設定は“エッジ検出なし”になっています。INTF0、INTR0レジスタでNMI端子の有効エッジを選択してください。

2. P05端子はオンチップ・デバッグ用の端子と兼用です。外部リセット後、P05/INTP2/DRST端子はオンチップ・デバッグ用端子(DRST)に初期化されます。P05端子をオンチップ・デバッグ用端子として使用せず、ポートとして使用する場合は、次の処置が必要です。

OCDMレジスタ(特定レジスタ)のOCDM0ビットをクリア(0)します。

の処置を終えるまでP05/INTP2/DRST端子をロウ・レベル固定にしておきます。

なお、オンチップ・デバッグを使用しない場合、上記処置を行う前にDRST端子にハイ・レベルを入力すると、誤動作の原因となるため、P05端子の取り扱いには十分注意してください。

P05/INTP2/DRST端子にハイ・レベルを入力しない(ロウ・レベルに固定する)場合は、OCDMレジスタのOCDM0ビットを操作する必要はありません。

P05/INTP2/DRST端子は、プルダウン抵抗(30kΩ(TYP.))を内蔵しているため、外部でプルダウンする必要はありません。OCDM0ビットをクリア(0)することにより、プルダウン抵抗は切断されます。

注意 P00-P06端子は兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート・レジスタ0 (P0)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF400H

	7	6	5	4	3	2	1	0
P0	0	P06	P05	P04	P03	P02	P01	P00

P0n	出力データの制御 (出力モード時) (n = 0-6)
0	0を出力
1	1を出力

(2) ポート・モード・レジスタ0 (PM0)

リセット時 : FFH R/W アドレス : FFFFF420H

	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00

PM0n	入出力モードの制御 (n = 0-6)
0	出力モード
1	入力モード

(3) ポート・モード・コントロール・レジスタ0 (PMC0)

リセット時：00H R/W アドレス：FFFFFF440H

	7	6	5	4	3	2	1	0
PMC0	0	PMC06	PMC05	PMC04	PMC03	PMC02	PMC01	PMC00

PMC06	P06端子の動作モードの指定	
0	入出力ポート	
1	INTP3入力	

PMC05	P05端子の動作モードの指定	
0	入出力ポート	
1	INTP2入力	

PMC04	P04端子の動作モードの指定	
0	入出力ポート	
1	INTP1入力	

PMC03	P03端子の動作モードの指定	
0	入出力ポート	
1	INTP0入力/ADTRG入力/TIAA41入力/TOAA41出力	

PMC02	P02端子の動作モードの指定	
0	入出力ポート	
1	NMI入力/TIAA40入力/TOAA40出力	

PMC01	P01端子の動作モードの指定	
0	入出力ポート	
1	TIAA30入力/TOAA30出力	

PMC00	P00端子の動作モードの指定	
0	入出力ポート	
1	TIAA31入力/TOAA31出力	

(4) ポート・ファンクション・コントロール・レジスタ0 (PFC0)

リセット時：00H R/W アドレス：FFFFFF460H

	7	6	5	4	3	2	1	0
PFC0	0	0	0	0	PFC03	PFC02	PFC01	PFC00

備考 兼用機能については 4. 3. 1 (6) ポート 0 の兼用機能の指定を参照してください。

(5) ポート・ファンクション・コントロール拡張レジスタ0 (PFCE0)

リセット時：00H R/W アドレス：FFFFFF700H

	7	6	5	4	3	2	1	0
PFCE0	0	0	0	0	PFCE03	PFCE02	0	0

備考 兼用機能については 4. 3. 1 (6) ポート 0 の兼用機能の指定を参照してください。

(6) ポート0の兼用機能の指定

PFCE03	PFC03	P03 端子の兼用機能の指定
0	0	INTP0 入力
0	1	ADTRG 入力
1	0	TIAA41 入力
1	1	TOAA41 出力

PFCE02	PFC02	P02 端子の兼用機能の指定
0	0	NMI 入力
0	1	設定禁止
1	0	TIAA40 入力
1	1	TOAA40 出力

PFC01	P01 端子の兼用機能の指定
0	TIAA30 入力
1	TOAA30 出力

PFC00	P00 端子の兼用機能の指定
0	TIAA31 入力
1	TOAA31 出力

(7) プルアップ抵抗オプション・レジスタ0 (PU0)

リセット時 : 00H R/W アドレス : FFFFFFFC40H

	7	6	5	4	3	2	1	0
PU0	0	PU06	PU05	PU04	PU03	PU02	PU01	PU00

PU0n	内蔵プルアップ抵抗接続制御 (n = 0-6)
0	接続しない
1	接続する

4.3.2 ポート1

ポート1は1ビット単位で入出力を制御できます。

各製品間で入出力ポートの数が異なります。

愛称	入出力ポート数
V850ES/HE3	
V850ES/HF3	
V850ES/HG3	2ビット入出力ポート
V850ES/HJ3	2ビット入出力ポート

表4 - 11 ポート1の兼用機能

機能名	兼用機能名		ピン番号				備考	ブロック・タイプ
	名称	入出力	HE3	HF3	HG3	HJ3		
P10	INTP9	入力	-	-	3	3	-	D1-UI
P11	INTP10	入力	-	-	4	4		D1-UI

注意 P10, P11端子は兼用機能の入力時にヒステリシス特性を持ちますが,ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート・レジスタ1 (P1)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF402H

	7	6	5	4	3	2	1	0
P1	0	0	0	0	0	0	P11	P10

P1n	出力データの制御 (出力モード時) (n=0, 1)
0	0を出力
1	1を出力

(2) ポート・モード・レジスタ1 (PM1)

リセット時 : FFH R/W アドレス : FFFFF422H

	7	6	5	4	3	2	1	0
PM1	1	1	1	1	1	1	PM11	PM10

PM1n	入出力モードの制御 (n=0, 1)
0	出力モード
1	入力モード

(3) ポート・モード・コントロール・レジスタ1 (PMC1)

リセット時 : 00H R/W アドレス : FFFFF442H

	7	6	5	4	3	2	1	0
PMC1	0	0	0	0	0	0	PMC11	PMC10

PMC11	P11端子の動作モードの指定
0	入出力ポート
1	INTP10入力

PMC10	P10端子の動作モードの指定
0	入出力ポート
1	INTP9入力

(4) プルアップ抵抗オプション・レジスタ1 (PU1)

リセット時 : 00H R/W アドレス : FFFFFC42H

	7	6	5	4	3	2	1	0
PU1	0	0	0	0	0	0	PU11	PU10

PU1n	内蔵プルアップ抵抗接続制御 (n = 0, 1)
0	接続しない
1	接続する

4.3.3 ポート3

ポート3は1ビット単位で入出力を制御できます。

各製品間で入出力ポートの数が異なります。

愛称	入出力ポート数
V850ES/HE3	6ビット入出力ポート
V850ES/HF3	8ビット入出力ポート
V850ES/HG3	10ビット入出力ポート
V850ES/HJ3	10ビット入出力ポート

表4 - 12 ポート3の兼用機能

機能名	兼用機能名		ピン番号				備考	ブロック・タイプ
	名称	入出力	HE3	HF3	HG3	HJ3		
P30	TXDD0	出力	22	22	25	25	-	D0-U
P31	RXDD0/INTP7	入力	23	23	26	26		D3-UI
P32	ASCKD0/TOAA01/TIAA00/TOAA00	入出力	24	24	27	27		F1010-U
P33	TIAA01/TOAA01	入出力	25	25	28	28		E10-U
P34	TIAA10/TOAA10	入出力	26	26	29	29		E10-U
P35	TIAA11/TOAA11	入出力	27	27	30	30		E10-U
P36	-	-	-	-	31	31		C-U
P37	-	-	-	-	32	32		C-U
P38	-	-	-	28	-	-		C-U
	TXDD2	出力	-	-	35	35		D0-U
P39	-	-	-	29	-	-		C-U
	RXDD2/INTP8	入力	-	-	36	36		D3-UI

注意 P31-P35, P39端子は兼用機能の入力時にヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート・レジスタ3 (P3)

(a) V850ES/HE3

リセット時：00H (出力ラッチ) R/W アドレス： FFFFF406H

	7	6	5	4	3	2	1	0
P3L	0	0	P35	P34	P33	P32	P31	P30

P3n	出力データの制御 (出力モード時) (n = 0-5)
0	0を出力
1	1を出力

(b) V850ES/HF3

リセット時：0000H (出力ラッチ) R/W アドレス： P3 FFFFF406H,
P3L FFFFF406H, P3H FFFFF407H

	15	14	13	12	11	10	9	8
P3 (P3H)	0	0	0	0	0	0	P39	P38

(P3L)	7	6	5	4	3	2	1	0
	0	0	P35	P34	P33	P32	P31	P30

P3n	出力データの制御 (出力モード時) (n = 0-5, 8, 9)
0	0を出力
1	1を出力

(c) V850ES/HG3, V850ES/HJ3

リセット時：0000H (出力ラッチ) R/W アドレス： P3 FFFFF406H,
P3L FFFFF406H, P3H FFFFF407H

	15	14	13	12	11	10	9	8
P3 (P3H)	0	0	0	0	0	0	P39	P38

(P3L)	7	6	5	4	3	2	1	0
	P37	P36	P35	P34	P33	P32	P31	P30

P3n	出力データの制御 (出力モード時) (n = 0-9)
0	0を出力
1	1を出力

備考1. P3レジスタは、16ビット単位でリード/ライト可能です。

ただし、P3レジスタの上位8ビットをP3Hレジスタ、下位8ビットをP3Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

2. P3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、P3Hレジスタのビット0-7として指定してください。

(2) ポート・モード・レジスタ3 (PM3)

(a) V850ES/HE3

リセット時：FFH R/W アドレス：FFFFFF426H

	7	6	5	4	3	2	1	0
PM3L	1	1	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	入出力モードの制御 (n = 0-5)
0	出力モード
1	入力モード

(b) V850ES/HF3

リセット時：FFFFH R/W アドレス：PM3 FFFFF426H,
PM3L FFFFF426H, PM3H FFFFF427H

	15	14	13	12	11	10	9	8
PM3 (PM3H)	1	1	1	1	1	1	PM39	PM38
	7	6	5	4	3	2	1	0
(PM3L)	1	1	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	入出力モードの制御 (n = 0-5, 8, 9)
0	出力モード
1	入力モード

(c) V850ES/HG3, V850ES/HJ3

リセット時：FFFFH R/W アドレス：PM3 FFFFF426H,
PM3L FFFFF426H, PM3H FFFFF427H

	15	14	13	12	11	10	9	8
PM3 (PM3H)	1	1	1	1	1	1	PM39	PM38
	7	6	5	4	3	2	1	0
(PM3L)	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	入出力モードの制御 (n = 0-9)
0	出力モード
1	入力モード

- 備考1.** PM3レジスタは、16ビット単位でリード/ライト可能です。
ただし、PM3レジスタの上位8ビットをPM3Hレジスタ、下位8ビットをPM3Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
- 2.** PM3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PM3Hレジスタのビット0-7として指定してください。

(3) ポート・モード・コントロール・レジスタ3 (PMC3)

(1/3)

(a) V850ES/HE3, V850ES/HF3

リセット時 : 00H R/W アドレス : FFFFF446H

	7	6	5	4	3	2	1	0
PMC3L	0	0	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

PMC35	P35端子の動作モードの指定	
0	入出力ポート	
1	TIAA11入力/TOAA11出力	

PMC34	P34端子の動作モードの指定	
0	入出力ポート	
1	TIAA10入力/TOAA10出力	

PMC33	P33端子の動作モードの指定	
0	入出力ポート	
1	TIAA01入力/TOAA01出力	

PMC32	P32端子の動作モードの指定	
0	入出力ポート	
1	ASCKD0入力/TOAA01出力/TIAA00入力/TOAA00出力	

PMC31	P31端子の動作モードの指定	
0	入出力ポート	
1	RXDD0入力/INTP7入力 ^注	

PMC30	P30端子の動作モードの指定	
0	入出力ポート	
1	TXDD0出力	

注 INTP7機能とRXDD0機能は兼用となっています。RXDD0機能として使用する場合は、兼用しているINTP7のエッジ検出を無効にしてください (INTF3.INTF31ビット = 0, INTR3.INTR31ビット = 0に設定)。またINTP7機能として使用する場合はUARTD0を受信動作停止としてください (UD0CTL0.UD0RXEビット = 0)。

(b) V850ES/HG3, V850ES/HJ3 (1/2)

リセット時 : 0000H R/W アドレス : PMC3 FFFFF446H,
PMC3L FFFFF446H, PMC3H FFFFF447H

	15	14	13	12	11	10	9	8
PMC3 (PMC3H)	0	0	0	0	0	0	PMC39	PMC38

	7	6	5	4	3	2	1	0
(PMC3L)	0	0	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

PMC39	P39端子の動作モードの指定	
0	入出力ポート	
1	RXDD2入力/INTP8入力 ^注	

PMC38	P38端子の動作モードの指定	
0	入出力ポート	
1	TXDD2出力	

PMC35	P35端子の動作モードの指定	
0	入出力ポート	
1	TIAA11入力/TOAA11出力	

PMC34	P34端子の動作モードの指定	
0	入出力ポート	
1	TIAA10入力/TOAA10出力	

PMC33	P33端子の動作モードの指定	
0	入出力ポート	
1	TIAA01入力/TOAA01出力	

PMC32	P32端子の動作モードの指定	
0	入出力ポート	
1	ASCKD0入力/TOAA01出力/TIAA00入力/TOAA00出力	

注 INTP8機能とRXDD2機能は兼用となっています。RXDD2機能として使用する場合は、兼用しているINTP8のエッジ検出を無効にしてください (INTF3.INTF39ビット = 0, INTR3.INTR39ビット = 0に設定)。またINTP8機能として使用する場合はUARTD2を受信動作停止としてください (UD2CTL0.UD2RXEビット = 0)。

- 備考1.** PMC3レジスタは、16ビット単位でリード/ライト可能です。
ただし、PMC3レジスタの上位8ビットをPMC3Hレジスタ、下位8ビットをPMC3Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
2. PMC3 レジスタのビット 8-15 を 8/1 ビット単位でリード/ライトする場合は、PMC3Hレジスタのビット 0-7 として指定してください。

(b) V850ES/HG3, V850ES/HJ3 (2/2)

PMC31	P31端子の動作モードの指定
0	入出力ポート
1	RXDD0入力/INTP7入力 ^注

PMC30	P30端子の動作モードの指定
0	入出力ポート
1	TXDD0出力

注 INTP7機能とRXDD0機能は兼用となっています。RXDD0機能として使用する場合は、兼用しているINTP7機能のエッジ検出を無効にしてください（INTF3.INTF31ビット = 0, INTR3.INTR31ビット = 0に設定）。またINTP7機能として使用する場合はUARTD0を受信動作停止としてください（UD0CTL0.UD0RXEビット = 0）。

(4) ポート・ファンクション・コントロール・レジスタ3L (PFC3L)

リセット時：00H R/W アドレス： FFFFF466H

	7	6	5	4	3	2	1	0
PFC3L	0	0	PFC35	PFC34	PFC33	PFC32	0	0

備考 兼用機能については4.3.3(6)ポート3の兼用機能の指定を参照してください。

(5) ポート・ファンクション・コントロール拡張レジスタ3L (PFCE3L)

リセット時：00H R/W アドレス： FFFFF706H

	7	6	5	4	3	2	1	0
PFCE3L	0	0	0	0	0	PFCE32	0	0

備考 兼用機能については4.3.3(6)ポート3の兼用機能の指定を参照してください。

(6) ポート3の兼用機能の指定

PFC35	P35端子のコントロール・モードの指定
0	TIAA11入力
1	TOAA11出力

PFC34	P34端子のコントロール・モードの指定
0	TIAA10入力
1	TOAA10出力

PFC33	P33端子のコントロール・モードの指定
0	TIAA01入力
1	TOAA01出力

PFCE32	PFC32	P32 端子の兼用機能の指定
0	0	ASCKD0 入力
0	1	TOAA01 出力
1	0	TIAA00 入力
1	1	TOAA00 出力

(7) プルアップ抵抗オプション・レジスタ3 (PU3)

(a) V850ES/HE3

リセット時：00H R/W アドレス： FFFFC46H

	7	6	5	4	3	2	1	0
PU3L	0	0	PU35	PU34	PU33	PU32	PU31	PU30

PU3n	プルアップ抵抗接続制御 (n = 0-5)	
0	接続しない	
1	接続する	

(b) V850ES/HF3

リセット時：0000H R/W アドレス： PU3 FFFFC46H,
PU3L FFFFC46H, PU3H FFFFC47H

	15	14	13	12	11	10	9	8
PU3 (PU3H)	0	0	0	0	0	0	PU39	PU38

	7	6	5	4	3	2	1	0
(PU3L)	0	0	PU35	PU34	PU33	PU32	PU31	PU30

PU3n	プルアップ抵抗接続制御 (n = 0-5, 8, 9)	
0	接続しない	
1	接続する	

(c) V850ES/HG3, V850ES/HJ3

リセット時：0000H R/W アドレス： PU3 FFFFC46H,
PU3L FFFFC46H, PU3H FFFFC47H

	15	14	13	12	11	10	9	8
PU3 (PU3H)	0	0	0	0	0	0	PU39	PU38

	7	6	5	4	3	2	1	0
(PU3L)	PU37	PU36	PU35	PU34	PU33	PU32	PU31	PU30

PU3n	プルアップ抵抗接続制御 (n = 0-9)	
0	接続しない	
1	接続する	

- 備考1. PU3レジスタは、16ビット単位でリード/ライト可能です。
ただし、PU3レジスタの上位8ビットをPU3Hレジスタ、下位8ビットをPU3Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
2. PU3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PU3Hレジスタのビット0-7として指定してください。

4.3.4 ポート4

ポート4は1ビット単位で入出力を制御できます。

各製品間で入出力ポートの数は同じですが、兼用機能が異なります。

愛称	入出力ポート数
V850ES/HE3	3ビット入出力ポート
V850ES/HF3	3ビット入出力ポート
V850ES/HG3	3ビット入出力ポート
V850ES/HJ3	3ビット入出力ポート

表4 - 13 ポート4の兼用機能

機能名	兼用機能名		ピン番号				備考	ブロック・タイプ
	名称	入出力	HE3	HF3	HG3	HJ3		
P40	SIB0/KR0	入力	19	19	22	22 ^{注1}	-	E11-U
	SIB0/KR0/RXDD3/INTP14	入力	-	-	-	22 ^{注2}		F113x-U
P41	SOB0/KR1	入出力	20	20	23	23 ^{注1}	-	E01-U
	SOB0/KR1/TXDD3	入出力	-	-	-	23 ^{注2}		F010x-U
P42	SCKB0/KR2	入出力	21	21	24	24	-	E21-U

注1. μ PD70F3755のみ

2. μ PD70F3757のみ

注意 P40-P42端子は兼用機能の入力時にヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート・レジスタ4 (P4)

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF408H

	7	6	5	4	3	2	1	0
P4	0	0	0	0	0	P42	P41	P40

P4n	出力データの制御 (出力モード時) (n = 0-2)
0	0を出力
1	1を出力

(2) ポート・モード・レジスタ4 (PM4)

リセット時：FFH R/W アドレス：FFFFFF428H

	7	6	5	4	3	2	1	0
PM4	1	1	1	1	1	PM42	PM41	PM40

PM4n	入出力モードの制御 (n = 0-2)	
0	出力モード	
1	入力モード	

(3) ポート・モード・コントロール・レジスタ4 (PMC4)

リセット時：00H R/W アドレス：FFFFFF448H

	7	6	5	4	3	2	1	0
PMC4	0	0	0	0	0	PMC42	PMC41	PMC40

PMC42	P42端子の動作モードの指定	
0	入出力ポート	
1	SCKB0入出力/KR2入力	

PMC41	P41端子の動作モードの指定	
0	入出力ポート	
1	SOB0出力/KR1入力/TXDD3出力 ^注	

PMC40	P40端子の動作モードの指定	
0	入出力ポート	
1	SIB0入力/KR0入力/RXDD3入力 ^注 /INTP14入力 ^注	

注 μ PD70F3757 のみ

(4) ポート・ファンクション・コントロール・レジスタ4 (PFC4)

リセット時：00H R/W アドレス：FFFFFF468H

	7	6	5	4	3	2	1	0
PFC4	0	0	0	0	0	PFC42	PFC41	PFC40

備考 兼用機能については 4.3.4 (6) ポート4の兼用機能の指定を参照してください。

(5) ポート・ファンクション・コントロール拡張レジスタ4 (PFCE4) (μ PD70F3757のみ)

リセット時 : 00H R/W アドレス : FFFFF708H

	7	6	5	4	3	2	1	0
PFCE4	0	0	0	0	0	0	PFCE41	PFCE40

備考 兼用機能については4.3.4(6)ポート4の兼用機能の指定を参照してください。

(6) ポート4の兼用機能の指定

PFC42	P42端子の兼用機能の指定
0	SCKB0入出力
1	KR2入力

PFCE41 ^{注1}	PFC41	P41端子の兼用機能の指定
0	0	SOB0出力
0	1	KR1入力
1	0	TXDD3出力 ^{注1}
1	1	設定禁止 ^{注1}

PFCE40 ^{注1}	PFC40	P40端子の兼用機能の指定
0	0	SIB0入力
0	1	KR0入力
1	0	RXDD3入力/INTP14入力 ^{注1, 2}
1	1	設定禁止 ^{注1}

注1. μ PD70F3757のみ

- INTP14機能とRXDD3機能は兼用となっています。RXDD3機能として使用する場合は、兼用しているINTP14機能のエッジ検出を無効にしてください(INTF4.INTF40ビット = 0, INTR4.INTR40ビット = 0に設定)。またINTP14機能として使用する場合はUARTD3を受信動作停止としてください(UD3CTL0.UD3RXEビット = 0)(μ PD70F3757のみ)。

(7) プルアップ抵抗オプション・レジスタ4 (PU4)

リセット時 : 00H R/W アドレス : FFFFFC48H

	7	6	5	4	3	2	1	0
PU4	0	0	0	0	0	PU42	PU41	PU40

PU4n	プルアップ抵抗接続制御 (n = 0-2)
0	接続しない
1	接続する

4.3.5 ポート5

ポート5は1ビット単位で入出力を制御できます。

各製品間で入出力ポートの数が異なります。

愛称	入出力ポート数
V850ES/HE3	6ビット入出力ポート
V850ES/HF3	6ビット入出力ポート
V850ES/HG3	6ビット入出力ポート
V850ES/HJ3	6ビット入出力ポート

表4 - 14 ポート5の兼用機能

機能名	兼用機能名		ピン番号				備考	ブロック・タイプ
	名称	入出力	HE3	HF3	HG3	HJ3		
P50	KR0/TIAB01/TOAB01/TOAB0T1	入出力	28	32	37	37	-	F1100-U
P51	KR1/TIAB02/TOAB02/TOAB0B1	入出力	29	33	38	38		F1100-U
P52	KR2/TIAB03/TOAB03/TOAB0T2/DDI ^注	入出力	30	34	39	39		F1100O1-U
P53	KR3/TIAB00/TOAB00/TOAB0B2/DDO ^注	入出力	31	35	40	40		F1100O0-U
P54	KR4/TOAB0T3/DCK ^注	入出力	34	36	41	41		F1xx0O1-U
P55	KR5/TOAB0B3/DMS ^注	入出力	35	37	42	42		F1xx0O1-U

注 DDI, DDO, DCK, DMS端子はオンチップ・デバッグ用の端子です。ポート機能での切り替えを必要としません。
詳細は第28章 オンチップ・デバッグを参照してください。

注意1. P50-P55端子は兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

2. P53端子は、電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

(1) ポート・レジスタ5 (P5)

リセット時：00H (出力ラッチ) R/W アドレス：FFFFF40AH

	7	6	5	4	3	2	1	0
P5	0	0	P55	P54	P53	P52	P51	P50

P5n	出力データの制御 (出力モード時) (n = 0-5)
0	0を出力
1	1を出力

(2) ポート・モード・レジスタ5 (PM5)

リセット時 : FFH R/W アドレス : FFFFF42AH

	7	6	5	4	3	2	1	0
PM5	1	1	PM55	PM54	PM53	PM52	PM51	PM50

PM5n	入出力モードの制御 (n = 0-5)
0	出力モード
1	入力モード

(3) ポート・モード・コントロール・レジスタ5 (PMC5)

リセット時 : 00H R/W アドレス : FFFFF44AH

	7	6	5	4	3	2	1	0
PMC5	0	0	PMC55	PMC54	PMC53	PMC52	PMC51	PMC50

PMC55	P55端子の動作モードの指定
0	入出力ポート
1	KR5入力/TOAB0B3出力

PMC54	P54端子の動作モードの指定
0	入出力ポート
1	KR4入力/TOAB0T3出力

PMC53	P53端子の動作モードの指定
0	入出力ポート
1	KR3入力/TIAB00入力/TOAB00出力/TOAB0B2出力

PMC52	P52端子の動作モードの指定
0	入出力ポート
1	KR2入力/TIAB03入力/TOAB03出力/TOAB0T2出力

PMC51	P51端子の動作モードの指定
0	入出力ポート
1	KR1入力/TIAB02入力/TOAB02出力/TOAB0B1出力

PMC50	P50端子の動作モードの指定
0	入出力ポート
1	KR0入力/TIAB01入力/TOAB01出力/TOAB0T1出力

(4) ポート・ファンクション・コントロール・レジスタ5 (PFC5)

リセット時：00H R/W アドレス：FFFFFF46AH

	7	6	5	4	3	2	1	0
PFC5	0	0	PFC55	PFC54	PFC53	PFC52	PFC51	PFC50

備考 兼用機能については4.3.5(6)ポート5の兼用機能の指定を参照してください。

(5) ポート・ファンクション・コントロール拡張レジスタ5 (PFCE5)

リセット時：00H R/W アドレス：FFFFFF70AH

	7	6	5	4	3	2	1	0
PFCE5	0	0	PFCE55	PFCE54	PFCE53	PFCE52	PFCE51	PFCE50

備考 兼用機能については4.3.5(6)ポート5の兼用機能の指定を参照してください。

(6) ポート5の兼用機能の指定

PFCE55	PFC55	P55 端子の兼用機能の指定
0	0	KR5 入力
0	1	設定禁止
1	0	設定禁止
1	1	TOAB0B3 出力

PFCE54	PFC54	P54 端子の兼用機能の指定
0	0	KR4 入力
0	1	設定禁止
1	0	設定禁止
1	1	TOAB0T3 出力

PFCE53	PFC53	P53 端子の兼用機能の指定
0	0	KR3 入力
0	1	TIAB00 入力
1	0	TOAB00 出力
1	1	TOAB0B2 出力

PFCE52	PFC52	P52 端子の兼用機能の指定
0	0	KR2 入力
0	1	TIAB03 入力
1	0	TOAB03 出力
1	1	TOAB0T2 出力

PFCE51	PFC51	P51 端子の兼用機能の指定
0	0	KR1 入力
0	1	TIAB02 入力
1	0	TOAB02 出力
1	1	TOAB0B1 出力

PFCE50	PFC50	P50 端子の兼用機能の指定
0	0	KR0 入力
0	1	TIAB01 入力
1	0	TOAB01 出力
1	1	TOAB0T1 出力

(7) プルアップ抵抗オプション・レジスタ5 (PU5)

リセット時 : 00H R/W アドレス : FFFFFC4AH

	7	6	5	4	3	2	1	0
PU5	0	0	PU55	PU54	PU53	PU52	PU51	PU50

PU5n	プルアップ抵抗接続制御 (n = 0-5)
0	接続しない
1	接続する

4.3.6 ポート6 (V850ES/HJ3のみ)

ポート6は1ビット単位で入出力を制御できます。

各製品間で入出力ポートの数が異なります。

愛称	入出力ポート数
V850ES/HE3	
V850ES/HF3	
V850ES/HG3	
V850ES/HJ3	16ビット入出力ポート

表4 - 15 ポート3の兼用機能

機能名	兼用機能名		ピン番号				備考	ブロック・タイプ
	名称	入出力	HE3	HF3	HG3	HJ3		
P60	INTP11	入力	-	-	-	43	-	Ex1-UI
P61	INTP12	入力	-	-	-	44		Ex1-UI
P62	INTP13	入力	-	-	-	45		Ex1-UI
P63	-	-	-	-	-	46		C-U
P64	-	-	-	-	-	47		C-U
P65	-	-	-	-	-	48		C-U
P66	-	-	-	-	-	49		C-U
P67	-	-	-	-	-	50		C-U
P68	-	-	-	-	-	51		C-U
P69	-	-	-	-	-	52		C-U
P610	TIAB20/TOAB20	入出力	-	-	-	53		E10-U
P611	TIAB21/TOAB21	入出力	-	-	-	54		E10-U
P612	TIAB22/TOAB22	入出力	-	-	-	55		E10-U
P613	TIAB23/TOAB23	入出力	-	-	-	56		E10-U
P614	-	-	-	-	-	57		C-U
P615	-	-	-	-	-	58	C-U	

注意 P60-P62, P610-P613端子は兼用端子の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート・レジスタ6 (P6) (V850ES/HJ3のみ)

リセット時：0000H (出力ラッチ) R/W アドレス：P6 FFFFF40CH
P6L FFFFF40CH, P6H FFFFF40DH

	15	14	13	12	11	10	9	8
P6 (P6H)	P615	P614	P613	P612	P611	P610	P69	P68
	7	6	5	4	3	2	1	0
(P6L)	P67	P66	P65	P64	P63	P62	P61	P60
P6n	出力データの制御 (出力モード時) (n = 0-15)							
0	0を出力							
1	1を出力							

- 備考1. P6レジスタは、16ビット単位でリード/ライト可能です。
ただし、P6レジスタの上位8ビットをP6Hレジスタ、下位8ビットをP6Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
2. P6レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、P6Hレジスタのビット0-7として指定してください。

(2) ポート・モード・レジスタ6 (PM6) (V850ES/HJ3のみ)

リセット時：FFFFH R/W アドレス：PM6 FFFFF42CH
PM6L FFFFF42CH, PM6H FFFFF42DH

	15	14	13	12	11	10	9	8
PM6 (PM6H)	PM615	PM614	PM613	PM612	PM611	PM610	PM69	PM68
	7	6	5	4	3	2	1	0
(PM6L)	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60
PM6n	入出力モードの制御 (n = 0-15)							
0	出力モード							
1	入力モード							

- 備考1. PM6レジスタは、16ビット単位でリード/ライト可能です。
ただし、PM6レジスタの上位8ビットをPM6Hレジスタ、下位8ビットをPM6Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
2. PM6レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PM6Hレジスタのビット0-7として指定してください。

(3) ポート・モード・コントロール・レジスタ6 (PMC6) (V850ES/HJ3のみ)

リセット時：0000H R/W アドレス：PMC6 FFFFF44CH
 PMC6L FFFFF44CH, PMC6H FFFFF44DH

	15	14	13	12	11	10	9	8
PMC6 (PMC6H)	0	0	PMC613	PMC612	PMC611	PMC610	0	0
	7	6	5	4	3	2	1	0
(PMC6L)	0	0	0	0	0	PMC62	PMC61	PMC60

PMC613	P613端子の動作モードの指定
0	入出力ポート
1	TIAB23入力/TOAB23出力

PMC612	P612端子の動作モードの指定
0	入出力ポート
1	TIAB22入力/TOAB22出力

PMC611	P611端子の動作モードの指定
0	入出力ポート
1	TIAB21入力/TOAB21出力

PMC610	P610端子の動作モードの指定
0	入出力ポート
1	TIAB20入力/TOAB20出力

PMC62	P62端子の動作モードの指定
0	入出力ポート
1	INTP13入力

PMC61	P61端子の動作モードの指定
0	入出力ポート
1	INTP12入力

PMC60	P60端子の動作モードの指定
0	入出力ポート
1	INTP11入力

- 備考1.** PMC6レジスタは、16ビット単位でリード/ライト可能です。
 ただし、PMC6レジスタの上位8ビットをPMC6Hレジスタ、下位8ビットをPMC6Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
- 2.** PMC6レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMC6Hレジスタのビット0-7として指定してください。

(4) ポート・ファンクション・コントロール・レジスタ6 (PFC6) (V850ES/HJ3のみ)

リセット時：0000H R/W アドレス：PFC6 FFFFF46CH
PFC6L FFFFF46CH, PFC6H FFFFF46DH

	15	14	13	12	11	10	9	8
PFC6 (PFC6H)	0	0	PFC613	PFC612	PFC611	PFC610	0	0

	7	6	5	4	3	2	1	0
(PFC6L)	0	0	0	0	0	PFC62	PFC61	PFC60

PFC613	P613端子の兼用機能の指定	
0	TIAB23入力	
1	TOAB23出力	

PFC612	P612端子の兼用機能の指定	
0	TIAB22入力	
1	TOAB22出力	

PFC611	P611端子の兼用機能の指定	
0	TIAB21入力	
1	TOAB21出力	

PFC610	P610端子の兼用機能の指定	
0	TIAB20入力	
1	TOAB20出力	

PFC62	P62端子の兼用機能の指定	
0	設定禁止	
1	INTP13入力	

PFC61	P61端子の兼用機能の指定	
0	設定禁止	
1	INTP12入力	

PFC60	P60端子の兼用機能の指定	
0	設定禁止	
1	INTP11入力	

- 備考1.** PFC6レジスタは、16ビット単位でリード/ライト可能です。
ただし、PFC6レジスタの上位8ビットをPFC6Hレジスタ、下位8ビットをPFC6Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
- 2.** PFC6レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PFC6Hレジスタのビット0-7として指定してください。

(5) プルアップ抵抗オプション・レジスタ6 (PU6) (V850ES/HJ3のみ)

リセット時 : 0000H R/W アドレス : PU6 FFFFFFFC4CH
 PU6L FFFFFFFC4CH, PU6H FFFFFFFC4DH

	15	14	13	12	11	10	9	8
PU6 (PU6H)	PU615	PU614	PU613	PU612	PU611	PU610	PU69	PU68

	7	6	5	4	3	2	1	0
(PU6L)	PU67	PU66	PU65	PU64	PU63	PU62	PU61	PU60

PU6n	プルアップ抵抗接続制御 (n = 0-15)
0	接続しない
1	接続する

- 備考1.** PU6レジスタは、16ビット単位でリード/ライト可能です。
 ただし、PU6レジスタの上位8ビットをPU6Hレジスタ、下位8ビットをPU6Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
- 2.** PU6レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PU6Hレジスタのビット0-7として指定してください。

4.3.7 ポート7

ポート7は1ビット単位で入出力を制御できます。

各製品間で入出力ポートの数が異なります。

愛称	入出力ポート数
V850ES/HE3	10ビット入出力ポート
V850ES/HF3	12ビット入出力ポート
V850ES/HG3	16ビット入出力ポート
V850ES/HJ3	16ビット入出力ポート

表4 - 16 ポート7の兼用機能

機能名	兼用機能名		ピン番号				備考	ブロック・ タイプ
	名称	入出力	HE3	HF3	HG3	HJ3		
P70	ANI0	入力	64	80	100	144	-	D1A
P71	ANI1	入力	63	79	99	143		D1A
P72	ANI2	入力	62	78	98	142		D1A
P73	ANI3	入力	61	77	97	141		D1A
P74	ANI4	入力	60	76	96	140		D1A
P77	ANI5	入力	59	75	95	139		D1A
P76	ANI6	入力	58	74	94	138		D1A
P77	ANI7	入力	57	73	93	137		D1A
P78	ANI8	入力	56	72	92	136		D1A
P79	ANI9	入力	55	71	91	135		D1A
P710	ANI10	入力	-	70	90	134		D1A
P711	ANI11	入力	-	69	89	133		D1A
P712	ANI12	入力	-	-	88	132		D1A
P713	ANI13	入力	-	-	87	131		D1A
P714	ANI14	入力	-	-	86	130		D1A
P715	ANI15	入力	-	-	85	129		D1A

(1) ポート・レジスタ7H, ポート・レジスタ7L (P7H, P7L)

(a) V850ES/HE3

リセット時：00H (出力ラッチ) R/W アドレス：P7L FFFFF40EH, P7H FFFFF40FH

	7	6	5	4	3	2	1	0
P7H	0	0	0	0	0	0	P79	P78

	7	6	5	4	3	2	1	0
P7L	P77	P76	P75	P74	P73	P72	P71	P70

P7n	出力データの制御 (出力モード時) (n = 0-9)
0	0を出力
1	1を出力

(b) V850ES/HF3

リセット時：00H (出力ラッチ) R/W アドレス：P7L FFFFF40EH, P7H FFFFF40FH

	7	6	5	4	3	2	1	0
P7H	0	0	0	0	P711	P710	P79	P78

	7	6	5	4	3	2	1	0
P7L	P77	P76	P75	P74	P73	P72	P71	P70

P7n	出力データの制御 (出力モード時) (n = 0-11)
0	0を出力
1	1を出力

(c) V850ES/HG3, V850ES/HJ3

リセット時：00H (出力ラッチ) R/W アドレス：P7L FFFFF40EH, P7H FFFFF40FH

	7	6	5	4	3	2	1	0
P7H	P715	P714	P713	P712	P711	P710	P79	P78

	7	6	5	4	3	2	1	0
P7L	P77	P76	P75	P74	P73	P72	P71	P70

P7n	出力データの制御 (出力モード時) (n = 0-15)
0	0を出力
1	1を出力

備考 P7レジスタとして16ビット・アクセスはできません。P7H, P7Lレジスタとして8/1ビット単位でリード/ライト可能です。

(2) ポート・モード・レジスタ7H , ポート・モード・レジスタ7L (PM7H, PM7L)

(a) V850ES/HE3

リセット時：FFH R/W アドレス：PM7L FFFFF42EH, PM7H FFFFF42FH

	7	6	5	4	3	2	1	0
PM7H	1	1	1	1	1	1	PM79	PM78
	7	6	5	4	3	2	1	0
PM7L	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70
PM7n	入出力モードの制御 (n = 0-9)							
0	出力モード							
1	入力モード							

(b) V850ES/HF3

リセット時：FFH R/W アドレス：PM7L FFFFF42EH, PM7H FFFFF42FH

	7	6	5	4	3	2	1	0
PM7H	1	1	1	1	PM711	PM710	PM79	PM78
	7	6	5	4	3	2	1	0
PM7L	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70
PM7n	入出力モードの制御 (n = 0-11)							
0	出力モード							
1	入力モード							

(c) V850ES/HG3, V850ES/HJ3

リセット時：FFH R/W アドレス：PM7L FFFFF42EH, PM7H FFFFF42FH

	7	6	5	4	3	2	1	0
PM7H	PM715	PM714	PM713	PM712	PM711	PM710	PM79	PM78
	7	6	5	4	3	2	1	0
PM7L	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70
PM7n	入出力モードの制御 (n = 0-15)							
0	出力モード							
1	入力モード							

備考 PM7 レジスタとして 16 ビット・アクセスはできません。PM7H, PM7L レジスタとして 8/1 ビット単位でリード/ライト可能です。

(3)ポート・モード・コントロール・レジスタ7H ,ポート・モード・コントロール・レジスタ7L(PMC7H, PMC7L)

(a) V850ES/HE3

リセット時 : 00H R/W アドレス : PMC7L FFFFF44EH, PMC7H FFFFF44FH

	7	6	5	4	3	2	1	0
PMC7H	0	0	0	0	0	0	PMC79	PMC78
	7	6	5	4	3	2	1	0
PMC7L	PMC77	PMC76	PMC75	PMC74	PMC73	PMC72	PMC71	PMC70
PMC7n	P7n端子の動作モードの指定 (n = 0-9)							
0	入出力ポート							
1	ANIn入力							

(b) V850ES/HF3

リセット時 : 00H R/W アドレス : PMC7L FFFFF44EH, PMC7H FFFFF44FH

	7	6	5	4	3	2	1	0
PMC7H	0	0	0	0	PMC711	PMC710	PMC79	PMC78
	7	6	5	4	3	2	1	0
PMC7L	PMC77	PMC76	PMC75	PMC74	PMC73	PMC72	PMC71	PMC70
PMC7n	P7n端子の動作モードの指定 (n = 0-11)							
0	入出力ポート							
1	ANIn入力							

(c) V850ES/HG3, V850ES/HJ3

リセット時 : 00H R/W アドレス : PMC7L FFFFF44EH, PMC7H FFFFF44FH

	7	6	5	4	3	2	1	0
PMC7H	PMC715	PMC714	PMC713	PMC712	PMC711	PMC710	PMC79	PMC78
	7	6	5	4	3	2	1	0
PMC7L	PMC77	PMC76	PMC75	PMC74	PMC73	PMC72	PMC71	PMC70
PMC7n	P7n端子の動作モードの指定 (n = 0-15)							
0	入出力ポート							
1	ANIn入力							

備考 PMC7 レジスタとして 16 ビット・アクセスはできません。PMC7H, PMC7L レジスタとして 8/1 ビット単位でリード/ライト可能です。

4.3.8 ポート8 (V850ES/HJ3のみ)

ポート8は1ビット単位で入出力を制御できます。

各製品間で入出力ポートの数が異なります。

愛称	入出力ポート数
V850ES/HE3	
V850ES/HF3	
V850ES/HG3	
V850ES/HJ3	2ビット入出力ポート ^注

注 μ PD70F3755は、P80, 81端子の兼用機能 (RXDD3, TXDD3) を搭載していません。

表4 - 17 ポート8の兼用機能

機能名	兼用機能名		ピン番号				備考	ブロック・タイプ
	名称	入出力	HE3	HF3	HG3	HJ3		
P80	INTP14	入力	-	-	-	59 ^{注1}	-	D1-UI
	RXDD3/INTP14	入力	-	-	-	59 ^{注2}		D3-UI
P81	-	-	-	-	-	60 ^{注1}		C-U
	TXDD3	出力	-	-	-	60 ^{注2}		D0-U

注1. μ PD70F3755のみ

2. μ PD70F3757のみ

注意 P80, P81端子は兼用端子の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート・レジスタ8 (P8) (V850ES/HJ3のみ)

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF410H

	7	6	5	4	3	2	1	0
P8	0	0	0	0	0	0	P81	P80

P8n	出力データの制御 (出力モード時) (n = 0, 1)
0	0を出力
1	1を出力

(2) ポート・モード・レジスタ8 (PM8) (V850ES/HJ3のみ)

リセット時：FFH R/W アドレス：FFFFFF430H

	7	6	5	4	3	2	1	0
PM8	1	1	1	1	1	1	PM81	PM80

PM8n	入出力モードの制御 (n = 0, 1)
0	出力モード
1	入力モード

(3) ポート・モード・コントロール・レジスタ8 (PMC8) (V850ES/HJ3のみ)

リセット時：00H R/W アドレス：FFFFFF450H

	7	6	5	4	3	2	1	0
PMC8	0	0	0	0	0	0	PMC81	PMC80

PMC81	P81端子の動作モードの指定
0	入出力ポート
1	TXDD3出力 ^{注1}

PMC80	P80端子の動作モードの指定
0	入出力ポート
1	RXDD3入力 ^{注1} /INTP14入力 ^{注2}

注1. μ PD70F3757のみ

- μ PD70F3757は、INTP14機能とRXDD3機能は兼用となっています。RXDD3機能として使用する場合は、兼用しているINTP14機能のエッジ検出を無効にしてください (INTF8.INTF80ビット = 0, INTR8.INTR80ビット = 0に設定)。また、INTP14機能として使用する場合は、UARTD3を受信動作停止としてください (UD3CTL0.UD3RXEビット = 0)。

(4) プルアップ抵抗オプション・レジスタ8 (PU8) (V850ES/HJ3のみ)

リセット時：00H R/W アドレス：FFFFFC50H

	7	6	5	4	3	2	1	0
PU8	0	0	0	0	0	0	PU81	PU80

PU8n	プルアップ抵抗接続制御 (n = 0, 1)
0	接続しない
1	接続する

4.3.9 ポート9

ポート9は1ビット単位で入出力を制御できます。

各製品間で入出力ポートの数が異なります。

愛称	入出力ポート数
V850ES/HE3	9ビット入出力ポート
V850ES/HF3	9ビット入出力ポート
V850ES/HG3	16ビット入出力ポート
V850ES/HJ3	16ビット入出力ポート

表4 - 18 ポート9の兼用機能

機能名	兼用機能名		ピン番号				備考	ブロック・タイプ
	名称	入出力	HE3	HF3	HG3	HJ3		
P90	KR6/TXDD1	入出力	36	38	43	61	-	Fx10x-U
P91	KR7/RXDD1	入力	37	39	44	62		Fx13x-U
P92	TIAB11/TOAB11	入出力	-	-	45	63		Fx10x-U
P93	TIAB12/TOAB12	入出力	-	-	46	64		Fx10x-U
P94	TIAB13/TOAB13	入出力	-	-	47	65		Fx10x-U
P95	TIAB10/TOAB10	入出力	-	-	48	66		Fx10x-U
P96	TIAA21/TOAA21	入出力	38	40	49	67		Fxx10-U
P97	SIB1/TIAA20/TOAA20	入出力	39	41	50	68		Fx110-U
P98	SOB1/TIAB03/TOAB03	入出力	40	42	51	69		Fx010-U
P99	SCKB1/TIAB00/TOAB00	入出力	41	43	52	70		Fx210-U
P910	-	-	-	-	53	-		C-U
	SIB2	入力	-	-	-	71		Ex1-U
P911	-	-	-	-	54	-		C-U
	SOB2	出力	-	-	-	72		Ex0-U
P912	-	-	-	-	55	-		C-U
	SCKB2	入出力	-	-	-	73 ^{注1}	Ex2-U	
	SCKB2/TXDD5	入出力	-	-	-	73 ^{注2}	Fx2x0-U	
P913	INTP4/PCL	入出力	42	44	56	74 ^{注1}	Fx10x-UI	
	INTP4/PCL/RXDD5	入出力	-	-	-	74 ^{注2}	Fx103-UI	
P914	INTP5/SDA00	入出力	43	45	57	75 ^{注1}	Fx12x-UF1	
	INTP5/SDA00/RXDD4	入出力	-	-	-	75 ^{注2}	Fx123-UF1	
P915	INTP6/SCL00	入出力	44	46	58	76 ^{注1}	Fx12x-UF1	
	INTP6/SCL00/TXDD4	入出力	-	-	-	76 ^{注2}	Fx120-UF1	

注1. μ PD70F3755のみ

2. μ PD70F3757のみ

注意 P90-P910, P912-P915端子は兼用端子の入力時にはヒステリシス特性を持ちますが, ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート・レジスタ9 (P9)

(a) V850ES/HE3, V850ES/HF3

リセット時 : 0000H (出力ラッチ) R/W アドレス : P9 FFFF412H
 P9L FFFF412H, P9LH FFFF413H

	15	14	13	12	11	10	9	8
P9 (P9H)	P915	P914	P913	0	0	0	P99	P98

	7	6	5	4	3	2	1	0
(P9L)	P97	P96	0	0	0	0	P91	P90

P9n	出力データの制御 (出力モード時) (n = 0, 1, 6-9, 13-15)
0	0を出力
1	1を出力

(b) V850ES/HG3, V850ES/HJ3

リセット時 : 0000H (出力ラッチ) R/W アドレス : P9 FFFF412H
 P9L FFFF412H, P9LH FFFF413H

	15	14	13	12	11	10	9	8
P9 (P9H)	P915	P914	P913	P912	P911	P910	P99	P98

	7	6	5	4	3	2	1	0
(P9L)	P97	P96	P95	P94	P93	P92	P91	P90

P9n	出力データの制御 (出力モード時) (n = 0-15)
0	0を出力
1	1を出力

- 備考1.** P9レジスタは、16ビット単位でリード/ライト可能です。
 ただし、P9レジスタの上位8ビットをP9Hレジスタ、下位8ビットをP9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
- 2.** P9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、P9Hレジスタのビット0-7として指定してください。

(2) ポート・モード・レジスタ9 (PM9)

(a) V850ES/HE3, V850ES/HF3

リセット時 : FFFFH R/W アドレス : PM9 FFFFF432H
 PM9L FFFFF432H, PM9H FFFFF433H

	15	14	13	12	11	10	9	8
PM9 (PM9H)	PM915	PM914	PM913	1	1	1	PM99	PM98

	7	6	5	4	3	2	1	0
(PM9L)	PM97	PM96	1	1	1	1	PM91	PM90

PM9n	入出力モードの制御 (n = 0, 1, 6-9, 13-15)
0	出力モード
1	入力モード

(b) V850ES/HG3, V850ES/HJ3

リセット時 : FFFFH R/W アドレス : PM9 FFFFF432H
 PM9L FFFFF432H, PM9H FFFFF433H

	15	14	13	12	11	10	9	8
PM9 (PM9H)	PM915	PM914	PM913	PM912	PM911	PM910	PM99	PM98

	7	6	5	4	3	2	1	0
(PM9L)	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90

PM9n	入出力モードの制御 (n = 0-15)
0	出力モード
1	入力モード

- 備考1.** PM9レジスタは、16ビット単位でリード/ライト可能です。
 ただし、PM9レジスタの上位8ビットをPM9Hレジスタ、下位8ビットをPM9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
- 2.** PM9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PM9Hレジスタのビット0-7として指定してください。

(3) ポート・モード・コントロール・レジスタ9 (PMC9)

(1/5)

(a) V850ES/HE3, V850ES/HF3

リセット時 : 0000H R/W アドレス : PMC9 FFFFF452H
 PMC9L FFFFF452H, PMC9H FFFFF453H

	15	14	13	12	11	10	9	8
PMC9 (PMC9H)	PMC915	PMC914	PMC913	0	0	0	PMC99	PMC98

	7	6	5	4	3	2	1	0
(PMC9L)	PMC97	PMC96	0	0	0	0	PMC91	PMC90

PMC915	P915端子の動作モードの指定
0	入出力ポート
1	INTP6入力/SCL00入出力

PMC914	P914端子の動作モードの指定
0	入出力ポート
1	INTP5入力/SDA00入出力

PMC913	P913端子の動作モードの指定
0	入出力ポート
1	INTP4入力/PCL出力

PMC99	P99端子の動作モードの指定
0	入出力ポート
1	SCKB1入出力/TIAB00入力/TOAB00出力

PMC98	P98端子の動作モードの指定
0	入出力ポート
1	SOB1出力/TIAB03入力/TOAB03出力

PMC97	P97端子の動作モードの指定
0	入出力ポート
1	SIB1入力/TIAA20入力/TOAA20出力

PMC96	P96端子の動作モードの指定
0	入出力ポート
1	TIAA21入力/TOAA21出力

PMC91	P91端子の動作モードの指定
0	入出力ポート
1	KR7入力/RXDD1入力

PMC90	P90端子の動作モードの指定
0	入出力ポート
1	KR6入力/TXDD1出力

(b) V850ES/HG3

リセット時：0000H R/W アドレス：PMC9 FFFFF452H
 PMC9L FFFFF452H, PMC9H FFFFF453H

	15	14	13	12	11	10	9	8
PMC9 (PMC9H)	PMC915	PMC914	PMC913	0	0	0	PMC99	PMC98

	7	6	5	4	3	2	1	0
(PMC9L)	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90

PMC915	P915端子の動作モードの指定
0	入出力ポート
1	INTP6入力/SCL00入出力

PMC914	P914端子の動作モードの指定
0	入出力ポート
1	INTP5入力/SDA00入出力

PMC913	P913端子の動作モードの指定
0	入出力ポート
1	INTP4入力/PCL出力

PMC99	P99端子の動作モードの指定
0	入出力ポート
1	SCKB1入出力/TIAB00入力/TOAB00出力

PMC98	P98端子の動作モードの指定
0	入出力ポート
1	SOB1出力/TIAB03入力/TOAB03出力

PMC97	P97端子の動作モードの指定
0	入出力ポート
1	SIB1入力/TIAA20入力/TOAA20出力

PMC96	P96端子の動作モードの指定
0	入出力ポート
1	TIAA21入力/TOAA21出力

PMC95	P95端子の動作モードの指定
0	入出力ポート
1	TIAB10入力/TOAB10出力

PMC94	P94端子の動作モードの指定
0	入出力ポート
1	TIAB13入力/TOAB13出力
PMC93	P93端子の動作モードの指定
0	入出力ポート
1	TIAB12入力/TOAB12出力
PMC92	P92端子の動作モードの指定
0	入出力ポート
1	TIAB11入力/TOAB11出力
PMC91	P91端子の動作モードの指定
0	入出力ポート
1	KR7入力/RXDD1入力
PMC90	P90端子の動作モードの指定
0	入出力ポート
1	KR6入力/TXDD1出力

(c) V850ES/HJ3 (1/2)

リセット時 : 0000H R/W アドレス : PMC9 FFFFF452H
 PMC9L FFFFF452H, PMC9H FFFFF453H

	15	14	13	12	11	10	9	8
PMC9 (PMC9H)	PMC915	PMC914	PMC913	PMC912	PMC911	PMC910	PMC99	PMC98

	7	6	5	4	3	2	1	0
(PMC9L)	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90

PMC915	P915端子の動作モードの指定
0	入出力ポート
1	INTP6入力/SCL00入出力/TXDD4出力 ^注

PMC914	P914端子の動作モードの指定
0	入出力ポート
1	INTP5入力/SDA00入出力/RXDD4入力 ^注

PMC913	P913端子の動作モードの指定
0	入出力ポート
1	INTP4入力/PCL出力/RXDD5入力 ^注

PMC912	P912端子の動作モードの指定
0	入出力ポート
1	SCKB2入出力/TXDD5出力 ^注

PMC911	P911端子の動作モードの指定
0	入出力ポート
1	SOB2出力

PMC910	P910端子の動作モードの指定
0	入出力ポート
1	SIB2入力

PMC99	P99端子の動作モードの指定
0	入出力ポート
1	SCKB1入出力/TIAB00入力/TOAB00出力

^注 μ PD70F3757 のみ

(c) V850ES/HJ3 (2/2)

PMC98	P98端子の動作モードの指定
0	入出力ポート
1	SOB1出力/TIAB03入力/TOAB03出力
PMC97	P97端子の動作モードの指定
0	入出力ポート
1	SIB1入力/TIAA20入力/TOAA20出力
PMC96	P96端子の動作モードの指定
0	入出力ポート
1	TIAA21入力/TOAA21出力
PMC95	P95端子の動作モードの指定
0	入出力ポート
1	TIAB10入力/TOAB10出力
PMC94	P94端子の動作モードの指定
0	入出力ポート
1	TIAB13入力/TOAB13出力
PMC93	P93端子の動作モードの指定
0	入出力ポート
1	TIAB12入力/TOAB12出力
PMC92	P92端子の動作モードの指定
0	入出力ポート
1	TIAB11入力/TOAB11出力
PMC91	P91端子の動作モードの指定
0	入出力ポート
1	KR7入力/RXDD1入力
PMC90	P90端子の動作モードの指定
0	入出力ポート
1	KR6入力/TXDD1出力

備考1. PMC9レジスタは、16ビット単位でリード/ライト可能です。

ただし、PMC9レジスタの上位8ビットをPMC9Hレジスタ、下位8ビットをPMC9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

2. PMC9 レジスタのビット 8-15 を 8/1 ビット単位でリード/ライトする場合は、PMC9H レジスタのビット 0-7 として指定してください。

(4) ポート・ファンクション・コントロール・レジスタ9 (PFC9)

(a) V850ES/HE3, V850ES/HF3

リセット時 : 0000H R/W アドレス : PFC9 FFFF472H
PFC9L FFFF472H, PFC9H FFFF473H

	15	14	13	12	11	10	9	8
PFC9 (PFC9H)	PFC915	PFC914	PFC913	0	0	0	PFC99	PFC98
	7	6	5	4	3	2	1	0
(PFC9L)	PFC97	PFC96	0	0	0	0	PFC91	PFC90

(b) V850ES/HG3

リセット時 : 0000H R/W アドレス : PFC9 FFFF472H
PFC9L FFFF472H, PFC9H FFFF473H

	15	14	13	12	11	10	9	8
PFC9 (PFC9H)	PFC915	PFC914	PFC913	0	0	0	PFC99	PFC98
	7	6	5	4	3	2	1	0
(PFC9L)	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	PFC91	PFC90

(c) V850ES/HJ3

リセット時 : 0000H R/W アドレス : PFC9 FFFF472H
PFC9L FFFF472H, PFC9H FFFF473H

	15	14	13	12	11	10	9	8
PFC9 (PFC9H)	PFC915	PFC914	PFC913	PFC912	PFC911	PFC910	PFC99	PFC98
	7	6	5	4	3	2	1	0
(PFC9L)	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	PFC91	PFC90

- 備考** 1. 兼用機能については 4.3.9 (6) **ポート9の兼用機能の指定**を参照してください。
2. PFC9レジスタは、16ビット単位でリード/ライト可能です。
ただし、PFC9レジスタの上位8ビットをPFC9Hレジスタ、下位8ビットをPFC9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
3. PFC9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PFC9Hレジスタのビット0-7として指定してください。

(5) ポート・ファンクション・コントロール拡張レジスタ9 (PFCE9)

(a) V850ES/HE3, V850ES/HF3

リセット時：0000H R/W アドレス：PFCE9 FFFFF712H
PFCE9L FFFFF712H, PFCE9H FFFFF713H

	15	14	13	12	11	10	9	8
PFCE9 (PFCE9H)	PFCE915	PFCE914	PFCE913	0	0	0	PFCE99	PFCE98
	7	6	5	4	3	2	1	0
(PFCE9L)	PFCE97	PFCE96	0	0	0	0	PFCE91	PFCE90

(b) V850ES/HG3

リセット時：0000H R/W アドレス：PFCE9 FFFFF712H
PFCE9L FFFFF712H, PFCE9H FFFFF713H

	15	14	13	12	11	10	9	8
PFCE9 (PFCE9H)	PFCE915	PFCE914	PFCE913	0	0	0	PFCE99	PFCE98
	7	6	5	4	3	2	1	0
(PFCE9L)	PFCE97	PFCE96	PFCE95	PFCE94	PFCE93	PFCE92	PFCE91	PFCE90

(c) V850ES/HJ3

リセット時：0000H R/W アドレス：PFCE9 FFFFF712H
PFCE9L FFFFF712H, PFCE9H FFFFF713H

	15	14	13	12	11	10	9	8
PFCE9 (PFCE9H)	PFCE915	PFCE914	PFCE913	PFCE912 ^注	0	0	PFCE99	PFCE98
	7	6	5	4	3	2	1	0
(PFCE9L)	PFCE97	PFCE96	PFCE95	PFCE94	PFCE93	PFCE92	PFCE91	PFCE90

注 μ PD70F3757のみ

- 備考** 1. 兼用機能については4.3.9(6) **ポート9の兼用機能の指定**を参照してください。
2. PFC9レジスタは、16ビット単位でリード/ライト可能です。
ただし、PFC9レジスタの上位8ビットをPFC9Hレジスタ、下位8ビットをPFC9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
3. PFC9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PFC9Hレジスタのビット0-7として指定してください。

(6) ポート9の兼用機能の指定

(a) V850ES/HE3, V850ES/HF3

PFCE915	PFC915	P915 端子の兼用機能の指定
0	0	設定禁止
0	1	INTP6 入力
1	0	SCL00 入出力
1	1	設定禁止

PFCE914	PFC914	P914 端子の兼用機能の指定
0	0	設定禁止
0	1	INTP5 入力
1	0	SDA00 入出力
1	1	設定禁止

PFCE913	PFC913	P913 端子の兼用機能の指定
0	0	設定禁止
0	1	INTP4 入力
1	0	PCL 出力
1	1	設定禁止

PFCE99	PFC99	P99 端子の兼用機能の指定
0	0	設定禁止
0	1	SCKB1 入出力
1	0	TIAB00 入力
1	1	TOAB00 出力

PFCE98	PFC98	P98 端子の兼用機能の指定
0	0	設定禁止
0	1	SOB1 出力
1	0	TIAB03 入力
1	1	TOAB03 出力

PFCE97	PFC97	P97 端子の兼用機能の指定
0	0	設定禁止
0	1	SIB1 入力
1	0	TIAA20 入力
1	1	TOAA20 出力

PFCE96	PFC96	P96 端子の兼用機能の指定
0	0	設定禁止
0	1	設定禁止
1	0	TIAA21 入力
1	1	TOAA21 出力

PFCE91	PFC91	P91 端子の兼用機能の指定
0	0	設定禁止
0	1	KR7 入力
1	0	RXDD1 入力 / KR7 入力 ^注
1	1	設定禁止

PFCE90	PFC90	P90 端子の兼用機能の指定
0	0	設定禁止
0	1	KR6 入力
1	0	TXDD1 出力
1	1	設定禁止

注 KR7機能とRXDD1機能は兼用となっています。

端子をRXDD1機能として使用する場合は、KR7機能のキー・リターン検出を無効にしてください（KRMレジスタのKRM7ビットに“0”を設定）。また、KR7機能として使用する場合は、PFC91ビット = 1、PFCE91ビット = 0に設定することを推奨します。

(b) V850ES/HG3

PFCE915	PFC915	P915 端子の兼用機能の指定
0	0	設定禁止
0	1	INTP6 入力
1	0	SCL00 入出力
1	1	設定禁止

PFCE914	PFC914	P914 端子の兼用機能の指定
0	0	設定禁止
0	1	INTP5 入力
1	0	SDA00 入出力
1	1	設定禁止

PFCE913	PFC913	P913 端子の兼用機能の指定
0	0	設定禁止
0	1	INTP4 入力
1	0	PCL 出力
1	1	設定禁止

PFCE99	PFC99	P99 端子の兼用機能の指定
0	0	設定禁止
0	1	SCKB1 入出力
1	0	TIAB00 入力
1	1	TOAB00 出力

PFCE98	PFC98	P98 端子の兼用機能の指定
0	0	設定禁止
0	1	SOB1 出力
1	0	TIAB03 入力
1	1	TOAB03 出力

PFCE97	PFC97	P97 端子の兼用機能の指定
0	0	設定禁止
0	1	SIB1 入力
1	0	TIAA20 入力
1	1	TOAA20 出力

PFCE96	PFC96	P96 端子の兼用機能の指定
0	0	設定禁止
0	1	設定禁止
1	0	TIAA21 入力
1	1	TOAA21 出力

PFCE95	PFC95	P95 端子の兼用機能の指定
0	0	設定禁止
0	1	TIAB10 入力
1	0	TOAB10 出力
1	1	設定禁止

PFCE94	PFC94	P94 端子の兼用機能の指定
0	0	設定禁止
0	1	TIAB13 入力
1	0	TOAB13 出力
1	1	設定禁止

PFCE93	PFC93	P93 端子の兼用機能の指定
0	0	設定禁止
0	1	TIAB12 入力
1	0	TOAB12 出力
1	1	設定禁止

PFCE92	PFC92	P92 端子の兼用機能の指定
0	0	設定禁止
0	1	TIAB11 入力
1	0	TOAB11 出力
1	1	設定禁止

PFCE91	PFC91	P91 端子の兼用機能の指定
0	0	設定禁止
0	1	KR7 入力
1	0	RXDD1 入力 / KR7 入力 ^注
1	1	設定禁止

PFCE90	PFC90	P90 端子の兼用機能の指定
0	0	設定禁止
0	1	KR6 入力
1	0	TXDD1 出力
1	1	設定禁止

注 KR7機能とRXDD1機能は兼用となっています。

端子をRXDD1機能として使用する場合は、KR7機能のキー・リターン検出を無効にしてください(KRMレジスタのKRM7ビットに“0”を設定)。また、KR7機能として使用する場合は、PFC91ビット = 1、PFCE91ビット = 0に設定することを推奨します。

(c) V850ES/HJ3

PFCE915	PFC915	P915 端子の兼用機能の指定
0	0	設定禁止
0	1	INTP6 入力
1	0	SCL00 入出力
1	1	TXDD4 出力 ^{注1}

PFCE914	PFC914	P914 端子の兼用機能の指定
0	0	設定禁止
0	1	INTP5 入力
1	0	SDA00 入出力
1	1	RXDD4 入力 ^{注1} /INTP5 入力 ^{注2}

PFCE913	PFC913	P913 端子の兼用機能の指定
0	0	設定禁止
0	1	INTP4 入力
1	0	PCL 出力
1	1	RXDD5 入力 ^{注1} /INTP4 入力 ^{注3}

PFCE912 ^{注1}	PFC912	P912 端子の兼用機能の指定
0	0	設定禁止
0	1	SCKB2 入出力
1	0	設定禁止
1	1	TXDD5 出力 ^{注1}

PFC911	P911 端子の兼用機能の指定
0	設定禁止
1	SOB2 出力

PFC910	P910 端子の兼用機能の指定
0	設定禁止
1	SIB2 入力

注1. μ PD70F3757のみ

2. μ PD70F3757は、INTP5機能とRXDD4機能は兼用となっています。

端子をRXDD4機能として使用する場合は、INTP5機能の有効エッジ指定をエッジ検出なしにしてください (INTF9H.INTF914ビット, INTR9H.INTR914ビットに“00”を設定)。また、INTP5機能として使用する場合は、PFC914ビット = 1, PFCE914ビット = 0に設定することを推奨します。

3. μ PD70F3757は、INTP4機能とRXDD5機能は兼用となっています。

端子をRXDD5機能として使用する場合は、INTP4機能の有効エッジ指定をエッジ検出なしにしてください (INTF9H.INTF913ビット, INTR9H.INTR913ビットに“00”を設定)。また、INTP4機能として使用する場合は、PFC913ビット = 1, PFCE913ビット = 0に設定することを推奨します。

PFCE99	PFC99	P99 端子の兼用機能の指定
0	0	設定禁止
0	1	SCKB1 入出力
1	0	TIAB00 入力
1	1	TOAB00 出力

PFCE98	PFC98	P98 端子の兼用機能の指定
0	0	設定禁止
0	1	SOB1 出力
1	0	TIAB03 入力
1	1	TOAB03 出力

PFCE97	PFC97	P97 端子の兼用機能の指定
0	0	設定禁止
0	1	SIB1 入力
1	0	TIAA20 入力
1	1	TOAA20 出力

PFCE96	PFC96	P96 端子の兼用機能の指定
0	0	設定禁止
0	1	設定禁止
1	0	TIAA21 入力
1	1	TOAA21 出力

PFCE95	PFC95	P95 端子の兼用機能の指定
0	0	設定禁止
0	1	TIAB10 入力
1	0	TOAB10 出力
1	1	設定禁止

PFCE94	PFC94	P94 端子の兼用機能の指定
0	0	設定禁止
0	1	TIAB13 入力
1	0	TOAB13 出力
1	1	設定禁止

PFCE93	PFC93	P93 端子の兼用機能の指定
0	0	設定禁止
0	1	TIAB12 入力
1	0	TOAB12 出力
1	1	設定禁止

PFCE92	PFC92	P92 端子の兼用機能の指定
0	0	設定禁止
0	1	TIAB11 入力
1	0	TOAB11 出力
1	1	設定禁止

PFCE91	PFC91	P91 端子の兼用機能の指定
0	0	設定禁止
0	1	KR7 入力
1	0	RXDD1 入力/KR7 入力 ^注
1	1	設定禁止

PFCE90	PFC90	P90 端子の兼用機能の指定
0	0	設定禁止
0	1	KR6 入力
1	0	TXDD1 出力
1	1	設定禁止

注 KR7機能とRXDD1機能は兼用となっています。

端子をRXDD1機能として使用する場合は、KR7機能のキー・リターン検出を無効にしてください（KRMレジスタのKRM7ビットに“0”を設定）。また、KR7機能として使用する場合は、PFC91ビット = 1、PFCE91ビット = 0に設定することを推奨します。

(7) プルアップ抵抗オプション・レジスタ9 (PU9)

(a) V850ES/HE3, V850ES/HF3

リセット時 : 0000H R/W アドレス : PU9 FFFFFFFC52H
 PU9L FFFFFFFC52H, PU9H FFFFFFFC53H

	15	14	13	12	11	10	9	8
PU9 (PU9H)	PU915	PU914	PU913	0	0	0	PU99	PU98

	7	6	5	4	3	2	1	0
(PU9L)	PU97	PU96	0	0	0	0	PU91	PU90

PU9n	プルアップ抵抗接続制御 (n = 0, 1, 6-9, 13-15)
0	接続しない
1	接続する

(b) V850ES/HG3, V850ES/HJ3

リセット時 : 0000H R/W アドレス : PU9 FFFFFFFC52H
 PU9L FFFFFFFC52H, PU9H FFFFFFFC53H

	15	14	13	12	11	10	9	8
PU9 (PU9H)	PU915	PU914	PU913	PU912	PU911	PU910	PU99	PU98

	7	6	5	4	3	2	1	0
(PU9L)	PU97	PU96	PU95	PU94	PU93	PU92	PU91	PU90

PU9n	プルアップ抵抗接続制御 (n = 0-15)
0	接続しない
1	接続する

- 備考1.** PU9レジスタは、16ビット単位でリード/ライト可能です。
 ただし、PU9レジスタの上位8ビットをPU9Hレジスタ、下位8ビットをPU9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
- 2.** PU9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PU9Hレジスタのビット0-7として指定してください。

(8) ポート9ファンクション・レジスタH (PF9H)

リセット時 : 00H R/W アドレス : FFFFC73H

	7	6	5	4	3	2	1	0
PF9H	PF915	PF914	0	0	0	0	0	0

PF9n	通常出力/N-chオープン・ドレイン出力の制御 (n = 15, 14)
0	通常出力
1	N-chオープン・ドレイン出力

注意 P915, P914をN-chオープン・ドレインで兼用端子として使用する場合は次の順で設定してください。

必ずポート・ラッチに1を設定後, N-chオープン・ドレインに設定してください。

P9nビット = 1 PFC9nビット = 0/1 PF9nビット = 1 PMC9nビット = 1

4.3.10 ポート12 (V850ES/HJ3のみ)

ポート12は1ビット単位で入出力を制御できます。

各製品間で入出力ポートの数が異なります。

愛称	入出力ポート数
V850ES/HE3	
V850ES/HF3	
V850ES/HG3	
V850ES/HJ3	8ビット入出力ポート

表4 - 19 ポート12の兼用機能

機能名	兼用機能名		ピン番号				備考	ブロック・タイプ
	名称	入出力	HE3	HF3	HG3	HJ3		
P120	ANI16	入力	-	-	-	128	-	D1A
P121	ANI17	入力	-	-	-	127		D1A
P122	ANI18	入力	-	-	-	126		D1A
P123	ANI19	入力	-	-	-	125		D1A
P124	ANI20	入力	-	-	-	124		D1A
P125	ANI21	入力	-	-	-	123		D1A
P126	ANI22	入力	-	-	-	122		D1A
P127	ANI23	入力	-	-	-	121		D1A

(1) ポート・レジスタ12 (P12) (V850ES/HJ3のみ)

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF418H

	7	6	5	4	3	2	1	0
P12	P127	P126	P125	P124	P123	P122	P121	P120

P12n	出力データの制御 (出力モード時) (n = 0-7)
0	0を出力
1	1を出力

(2) ポート・モード・レジスタ12 (PM12) (V850ES/HJ3のみ)

リセット時：FFH R/W アドレス：FFFFFF438H

	7	6	5	4	3	2	1	0
PM12	PM127	PM126	PM125	PM124	PM123	PM122	PM121	PM120

PM12n	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(3) ポート・モード・コントロール・レジスタ12 (PMC12) (V850ES/HJ3のみ)

リセット時：00H R/W アドレス：FFFFFF458H

	7	6	5	4	3	2	1	0
PMC12	PMC127	PMC126	PMC125	PMC124	PMC123	PMC122	PMC121	PMC120

PMC12n	P12n端子の動作モードの指定 (n = 0-7, m = 16-23)
0	入出力ポート
1	ANIm入力

4.3.11 ポートCD (V850ES/HJ3のみ)

ポートCDは1ビット単位で入出力を制御できます。

各製品間で入出力ポートの数が異なります。

愛称	入出力ポート数
V850ES/HE3	
V850ES/HF3	
V850ES/HG3	
V850ES/HJ3	4ビット入出力ポート

表4 - 20 ポートCDの兼用機能

機能名	兼用機能名		ピン番号				備考	ブロック・タイプ
	名称	入出力	HE3	HF3	HG3	HJ3		
PCD0	-	-	-	-	-	77	-	C
PCD1	-	-	-	-	-	78		C
PCD2	-	-	-	-	-	79		C
PCD3	-	-	-	-	-	80		C

(1) ポート・レジスタCD (PCD) (V850ES/HJ3のみ)

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF00EH

	7	6	5	4	3	2	1	0
PCD	0	0	0	0	PCD3	PCD2	PCD1	PCD0

PCDn	出力データの制御 (出力モード時) (n = 0-3)
0	0を出力
1	1を出力

(2) ポート・モード・レジスタCD (PMCD) (V850ES/HJ3のみ)

リセット時：FFH R/W アドレス：FFFFFF02EH

	7	6	5	4	3	2	1	0
PMCD	1	1	1	1	PMCD3	PMCD2	PMCD1	PMCD0

PMCDn	入出力モードの制御 (n = 0-3)
0	出力モード
1	入力モード

4.3.12 ポートCM

ポートCMは1ビット単位で入出力を制御できます。

各製品間で入出力ポートの数が異なります。

愛称	入出力ポート数
V850ES/HE3	2ビット入出力ポート
V850ES/HF3	4ビット入出力ポート
V850ES/HG3	4ビット入出力ポート
V850ES/HJ3	6ビット入出力ポート

表4 - 21 ポートCMの兼用機能

機能名	兼用機能名		ピン番号				備考	ブロック・タイプ
	名称	入出力	HE3	HF3	HG3	HJ3		
PCM0	-	-	45	49	61	-	-	C
	WAIT	入力	-	-	-	85		D1
PCM1	CLKOUT	出力	46	50	62	86		D0
PCM2	-	-	-	51	63	-		C
	HLDK	出力	-	-	-	87		D1
PCM3	-	-	-	52	64	-		C
	HLDK	入力	-	-	-	88		D0
PCM4	-	-	-	-	-	89		C
PCM5	-	-	-	-	-	90		C

(1) ポート・レジスタCM (PCM)

(a) V850ES/HE3

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF00CH

	7	6	5	4	3	2	1	0
PCM	0	0	0	0	0	0	PCM1	PCM0

PCMn	出力データの制御 (出力モード時) (n = 0, 1)
0	0を出力
1	1を出力

(b) V850ES/HF3, V850ES/HG3

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF00CH

	7	6	5	4	3	2	1	0
PCM	0	0	0	0	PCM3	PCM2	PCM1	PCM0

PCMn	出力データの制御 (出力モード時) (n = 0-3)
0	0を出力
1	1を出力

(c) V850ES/HJ3

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF00CH

	7	6	5	4	3	2	1	0
PCM	0	0	PCM5	PCM4	PCM3	PCM2	PCM1	PCM0

PCMn	出力データの制御 (出力モード時) (n = 0-5)
0	0を出力
1	1を出力

(2) ポート・モード・レジスタCM (PMCM)

(a) V850ES/HE3

リセット時：FFH R/W アドレス：FFFFFF02CH

	7	6	5	4	3	2	1	0
PMCM	1	1	1	1	1	1	PMCM1	PMCM0

PMCMn	入出力モードの制御 (n = 0, 1)	
0	出力モード	
1	入力モード	

(b) V850ES/HF3, V850ES/HG3

リセット時：FFH R/W アドレス：FFFFFF02CH

	7	6	5	4	3	2	1	0
PMCM	1	1	1	1	PMCM3	PMCM2	PMCM1	PMCM0

PMCMn	入出力モードの制御 (n = 0-3)	
0	出力モード	
1	入力モード	

(c) V850ES/HJ3

リセット時：FFH R/W アドレス：FFFFFF02CH

	7	6	5	4	3	2	1	0
PMCM	1	1	PMCM5	PMCM4	PMCM3	PMCM2	PMCM1	PMCM0

PMCMn	入出力モードの制御 (n = 0-5)	
0	出力モード	
1	入力モード	

(2) ポート・モード・コントロール・レジスタCM (PMCCM)

(a) V850ES/HE3, V850ES/HF3, V850ES/HG3

リセット時 : 00H R/W アドレス : FFFFF04CH

	7	6	5	4	3	2	1	0
PMCCM	0	0	0	0	0	0	PMCCM1	0

PMCCM1	PCM1端子の動作モードの指定
0	入出力ポート
1	CLKOUT出力

(b) V850ES/HJ3

リセット時 : 00H R/W アドレス : FFFFF04CH

	7	6	5	4	3	2	1	0
PMCCM	0	0	0	0	PMCCM3	PMCCM2	PMCCM1	PMCCM0

PMCCM3	PCM3端子の動作モードの指定
0	入出力ポート
1	H $\overline{\text{LDRQ}}$ 入力

PMCCM2	PCM2端子の動作モードの指定
0	入出力ポート
1	H $\overline{\text{LDAK}}$ 出力

PMCCM1	PCM1端子の動作モードの指定
0	入出力ポート
1	CLKOUT出力

PMCCM0	PCM0端子の動作モードの指定
0	入出力ポート
1	WAIT入力

4.3.13 ポートCS

ポートCSは1ビット単位で入出力を制御できます。

各製品間で入出力ポートの数が異なります。

愛称	入出力ポート数
V850ES/HE3	
V850ES/HF3	2ビット入出力ポート
V850ES/HG3	2ビット入出力ポート
V850ES/HJ3	8ビット入出力ポート

表4 - 22 ポートCSの兼用機能

機能名	兼用機能名		ピン番号				備考	ブロック・ タイプ
	名称	入出力	HE3	HF3	HG3	HJ3		
PCS0	-		-	47	59	-	-	C
	$\overline{\text{CS0}}$	出力	-	-	-	81		D0
PCS1	-		-	48	60	-		C
	$\overline{\text{CS1}}$	出力	-	-	-	82		D0
PCS2	$\overline{\text{CS2}}$	出力	-	-	-	83		D0
PCS3	$\overline{\text{CS3}}$	出力	-	-	-	84		D0
PCS4	-	-	-	-	-	91		C
PCS5	-	-	-	-	-	92		C
PCS6	-	-	-	-	-	93	C	
PCS7	-	-	-	-	-	94	C	

(1) ポート・レジスタCS (PCS)

(a) V850ES/HF3, V850ES/HG3

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF008H

	7	6	5	4	3	2	1	0
PCS	0	0	0	0	0	0	PCS1	PCS0

PCS _n	出力データの制御 (出力モード時) (n = 0, 1)
0	0を出力
1	1を出力

(b) V850ES/HJ3

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF008H

	7	6	5	4	3	2	1	0
PCS	PCS7	PCS6	PCS5	PCS4	PCS3	PCS2	PCS1	PCS0

PCS _n	出力データの制御 (出力モード時) (n = 0-7)
0	0を出力
1	1を出力

(2) ポート・モード・レジスタCS (PMCS)

(a) V850ES/HF3, V850ES/HG3

リセット時：FFH R/W アドレス：FFFFFF028H

	7	6	5	4	3	2	1	0
PMCS	1	1	1	1	1	1	PMCS1	PMCS0

PMCSn	入出力モードの制御 (n = 0, 1)
0	出力モード
1	入力モード

(b) V850ES/HJ3

リセット時：FFH R/W アドレス：FFFFFF028H

	7	6	5	4	3	2	1	0
PMCS	PMCS7	PMCS6	PMCS5	PMCS4	PMCS3	PMCS2	PMCS1	PMCS0

PMCSn	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(3) ポート・モード・コントロール・レジスタCS (PMCCS) (V850ES/HJ3のみ)

リセット時 : 00H R/W アドレス : FFFFF048H

	7	6	5	4	3	2	1	0
PMCCS	0	0	0	0	PMCCS3	PMCCS2	PMCCS1	PMCCS0

PMCCS3	PCS3端子の動作モードの指定	
0	入出力ポート	
1	$\overline{\text{CS3}}$ 出力	
PMCCS2	PCS2端子の動作モードの指定	
0	入出力ポート	
1	$\overline{\text{CS2}}$ 出力	
PMCCS1	PCS1端子の動作モードの指定	
0	入出力ポート	
1	$\overline{\text{CS1}}$ 出力	
PMCCS0	PCS0端子の動作モードの指定	
0	入出力ポート	
1	$\overline{\text{CS0}}$ 出力	

4.3.14 ポートCT

ポートCSは1ビット単位で入出力を制御できます。

各製品間で入出力ポートの数が異なります。

愛称	入出力ポート数
V850ES/HE3	
V850ES/HF3	4ビット入出力ポート
V850ES/HG3	4ビット入出力ポート
V850ES/HJ3	8ビット入出力ポート

表4 - 23 ポートCTの兼用機能

機能名	兼用機能名		ピン番号				備考	ブロック・ タイプ
	名称	入出力	HE3	HF3	HG3	HJ3		
PCT0	-	-	-	53	65	-	-	C
	WR0	出力	-	-	-	81		D0
PCT1	-	-	-	54	66	-		C
	WR1	出力	-	-	-	82		D0
PCT2	-	-	-	-	-	83		C
PCT3	-	-	-	-	-	84		C
PCT4	-	-	-	55	67	-		C
	RD	出力	-	-	-	91		D0
PCT5	-	-	-	-	-	92		C
PCT6	-	-	-	56	68	-		C
	ASTB	出力	-	-	-	93	D0	
PCT7	-	-	-	-	-	94	C	

(1) ポート・レジスタCT (PCT)

(a) V850ES/HF3, V850ES/HG3

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF00AH

	7	6	5	4	3	2	1	0
PCT	0	PCT6	0	PCT4	0	0	PCT1	PCT0

PCTn	出力データの制御 (出力モード時) (n = 0, 1, 4, 6)
0	0を出力
1	1を出力

(b) V850ES/HJ3

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF00AH

	7	6	5	4	3	2	1	0
PCT	PCT7	PCT6	PCT5	PCT4	PCT3	PCT2	PCT1	PCT0

PCTn	出力データの制御 (出力モード時) (n = 0-7)
0	0を出力
1	1を出力

(2) ポート・モード・レジスタCT (PMCT)

(a) V850ES/HF3, V850ES/HG3

リセット時：FFH R/W アドレス：FFFFFF02AH

	7	6	5	4	3	2	1	0
PMCT	1	PMCT6	1	PMCT4	1	1	PMCT1	PMCT0

PMCTn	入出力モードの制御 (n = 0, 1, 4, 6)
0	出力モード
1	入力モード

(b) V850ES/HJ3

リセット時：FFH R/W アドレス：FFFFFF02AH

	7	6	5	4	3	2	1	0
PMCT	PMCT7	PMCT6	PMCT5	PMCT4	PMCT3	PMCT2	PMCT1	PMCT0

PMCTn	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(3) ポート・モード・コントロール・レジスタCT (PMCCT) (V850ES/HJ3のみ)

リセット時 : 00H R/W アドレス : FFFFF04AH

	7	6	5	4	3	2	1	0
PMCCT	0	PMCCT6	0	PMCCT4	0	0	PMCCT1	PMCCT0

PMCCT6	PCS6端子の動作モードの指定
0	入出力ポート
1	$\overline{\text{ASTB}}$ 出力

PMCCT4	PCS4端子の動作モードの指定
0	入出力ポート
1	$\overline{\text{RD}}$ 出力

PMCCT1	PCS1端子の動作モードの指定
0	入出力ポート
1	$\overline{\text{WR1}}$ 出力

PMCCT0	PCS0端子の動作モードの指定
0	入出力ポート
1	$\overline{\text{WR0}}$ 出力

4.3.15 ポートDL

ポートDLは1ビット単位で入出力を制御できます。

各製品間で入出力ポートの数が異なります。

愛称	入出力ポート数
V850ES/HE3	8ビット入出力ポート
V850ES/HF3	12ビット入出力ポート
V850ES/HG3	14ビット入出力ポート
V850ES/HJ3	16ビット入出力ポート

表4-24 ポートDLの兼用端子

機能名	兼用機能名		ピン番号				備考	ブロック・タイプ
	名称	入出力	HE	HF	HG	HJ		
PDL0	-	-	47	57	71	-	-	C
	AD0	入出力	-	-	-	105		D2
PDL1	-	-	48	58	72	-	-	C
	AD1	入出力	-	-	-	106		D2
PDL2	-	-	49	59	73	-	-	C
	AD2	入出力	-	-	-	107		D2
PDL3	-	-	50	60	74	-	-	C
	AD3	入出力	-	-	-	108		D2
PDL4	-	-	51	61	75	-	-	C
	AD4	入出力	-	-	-	109		D2
PDL5	FLMD1 ^注	-	52	62	76	-	-	C
	AD5/FLMD1 ^注	入出力	-	-	-	110		D2
PDL6	-	-	53	63	77	-	-	C
	AD6	入出力	-	-	-	111		D2
PDL7	-	-	54	64	78	-	-	C
	AD7	入出力	-	-	-	112		D2
PDL8	-	-	-	65	79	-	-	C
	AD8	入出力	-	-	-	113		D2
PDL9	-	-	-	66	80	-	-	C
	AD9	入出力	-	-	-	114		D2
PDL10	-	-	-	67	81	-	-	C
	AD10	入出力	-	-	-	115		D2
PDL11	-	-	-	68	82	-	-	C
	AD11	入出力	-	-	-	116		D2
PDL12	-	-	-	-	83	-	-	C
	AD12	入出力	-	-	-	117		D2
PDL13	-	-	-	-	84	-	-	C
	AD13	入出力	-	-	-	118		D2
PDL14	AD14	入出力	-	-	-	119	D2	
PDL15	AD15	入出力	-	-	-	120	D2	

注 FLMD1端子は、フラッシュ・プログラミング・モード時に設定する端子のため、ポート制御用レジスタで操作する必要はありません。詳細は第26章 フラッシュ・メモリを参照してください。

(1) ポート・レジスタDL (PDL)

(1/2)

(a) V850ES/HE3

リセット時：00H (出力ラッチ) R/W アドレス：FFFFF004H

	7	6	5	4	3	2	1	0
PDLL	PDL7	PDL6	PDL5	PDL4	PDL3	PDL2	PDL1	PDL0

PDLn	出力データの制御 (出力モード時) (n = 0-7)
0	0を出力
1	1を出力

(b) V850ES/HF3

リセット時：0000H (出力ラッチ) R/W アドレス：PDL FFFFF004H
PDLL FFFFF004H, PDLH FFFFF005H

	15	14	13	12	11	10	9	8
PDL (PDLH)	0	0	0	0	PDL11	PDL10	PDL9	PDL8

	7	6	5	4	3	2	1	0
(PDLL)	PDL7	PDL6	PDL5	PDL4	PDL3	PDL2	PDL1	PDL0

PDLn	出力データの制御 (出力モード時) (n = 0-11)
0	0を出力
1	1を出力

(c) V850ES/HG3

リセット時：0000H (出力ラッチ) R/W アドレス：PDL FFFFF004H
PDLL FFFFF004H, PDLH FFFFF005H

	15	14	13	12	11	10	9	8
PDL (PDLH)	0	0	PDL13	PDL12	PDL11	PDL10	PDL9	PDL8

	7	6	5	4	3	2	1	0
(PDLL)	PDL7	PDL6	PDL5	PDL4	PDL3	PDL2	PDL1	PDL0

PDLn	出力データの制御 (出力モード時) (n = 0-13)
0	0を出力
1	1を出力

(d) V850ES/HJ3

リセット時：0000H (出力ラッチ) R/W アドレス：PDL FFFF004H
 PDLL FFFF004H, PDLH FFFF005H

	15	14	13	12	11	10	9	8
PDL (PDLH)	PDL15	PDL14	PDL13	PDL12	PDL11	PDL10	PDL9	PDL8

	7	6	5	4	3	2	1	0
(PDLL)	PDL7	PDL6	PDL5	PDL4	PDL3	PDL2	PDL1	PDL0

PDLn	出力データの制御 (出力モード時) (n = 0-15)
0	0を出力
1	1を出力

- 備考1. PDLレジスタは、16ビット単位でリード/ライト可能です。
 ただし、PDLレジスタの上位8ビットをPDLHレジスタ、下位8ビットをPDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
2. PDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PDLHレジスタのビット0-7として指定してください。

(2) ポート・モード・レジスタDL (PMDL)

(a) V850ES/HE3

リセット時：FFH R/W アドレス：FFFF024H

	7	6	5	4	3	2	1	0
(PMDLL)	PMDL7	PMDL6	PMDL5	PMDL4	PMDL3	PMDL2	PMDL1	PMDL0

PMDLn	入出力モードの制御 (n = 0-15)
0	出力モード
1	入力モード

(b) V850ES/HF3

リセット時 : FFFFH R/W アドレス : PMDL FFFFF024H
 PMDLL FFFFF024H, PMDLH FFFFF025H

	15	14	13	12	11	10	9	8
PMDL (PMDLH)	1	1	1	1	PMDL11	PMDL10	PMDL9	PMDL8

	7	6	5	4	3	2	1	0
(PMDLL)	PMDL7	PMDL6	PMDL5	PMDL4	PMDL3	PMDL2	PMDL1	PMDL0

PMDLn	入出力モードの制御 (n = 0-15)
0	出力モード
1	入力モード

(c) V850ES/HG3

リセット時 : FFFFH R/W アドレス : PMDL FFFFF024H
 PMDLL FFFFF024H, PMDLH FFFFF025H

	15	14	13	12	11	10	9	8
PMDL (PMDLH)	1	1	PMDL13	PMDL12	PMDL11	PMDL10	PMDL9	PMDL8

	7	6	5	4	3	2	1	0
(PMDLL)	PMDL7	PMDL6	PMDL5	PMDL4	PMDL3	PMDL2	PMDL1	PMDL0

PMDLn	入出力モードの制御 (n = 0-15)
0	出力モード
1	入力モード

(d) V850ES/HJ3

リセット時 : FFFFH R/W アドレス : PMDL FFFFF024H
 PMDLL FFFFF024H, PMDLH FFFFF025H

	15	14	13	12	11	10	9	8
PMDL (PMDLH)	PMDL15	PMDL14	PMDL13	PMDL12	PMDL11	PMDL10	PMDL9	PMDL8

	7	6	5	4	3	2	1	0
(PMDLL)	PMDL7	PMDL6	PMDL5	PMDL4	PMDL3	PMDL2	PMDL1	PMDL0

PMDLn	入出力モードの制御 (n = 0-15)
0	出力モード
1	入力モード

備考1. PMDLレジスタは、16ビット単位でリード/ライト可能です。

ただし、PMDLレジスタの上位8ビットをPMDLHレジスタ、下位8ビットをPMDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

2. PMDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMDLHレジスタのビット0-7として指定してください。

(3) ポート・モード・コントロール・レジスタDL (PMCDL) (V850ES/HJ3のみ)

リセット時 : 0000H R/W アドレス : PMCDL FFFFF044H
 PMCDLL FFFFF044H, PMCDLH FFFFF045H

	15	14	13	12	11	10	9	8
PMCDL (PMCDLH)	PMCDL15	PMCDL14	PMCDL13	PMCDL12	PMCDL11	PMCDL10	PMCDL9	PMCDL8

	7	6	5	4	3	2	1	0
(PMCDLL)	PMCDL7	PMCDL6	PMCDL5	PMCDL4	PMCDL3	PMCDL2	PMCDL1	PMCDL0

PMCDLn	PDLn端子の動作モードの指定 (n = 0-15)
0	入出力ポート
1	ADn入出力 (アドレス/データ・バス入出力)

- 備考1.** PMCDLレジスタは、16ビット単位でリード/ライト可能です。
 ただし、PMCDLレジスタの上位8ビットをPMCDLHレジスタ、下位8ビットをPMCDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
- 2.** PMCDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMCDLHレジスタのビット0-7として指定してください。

4.4 ブロック図

図4-6 タイプCのブロック図

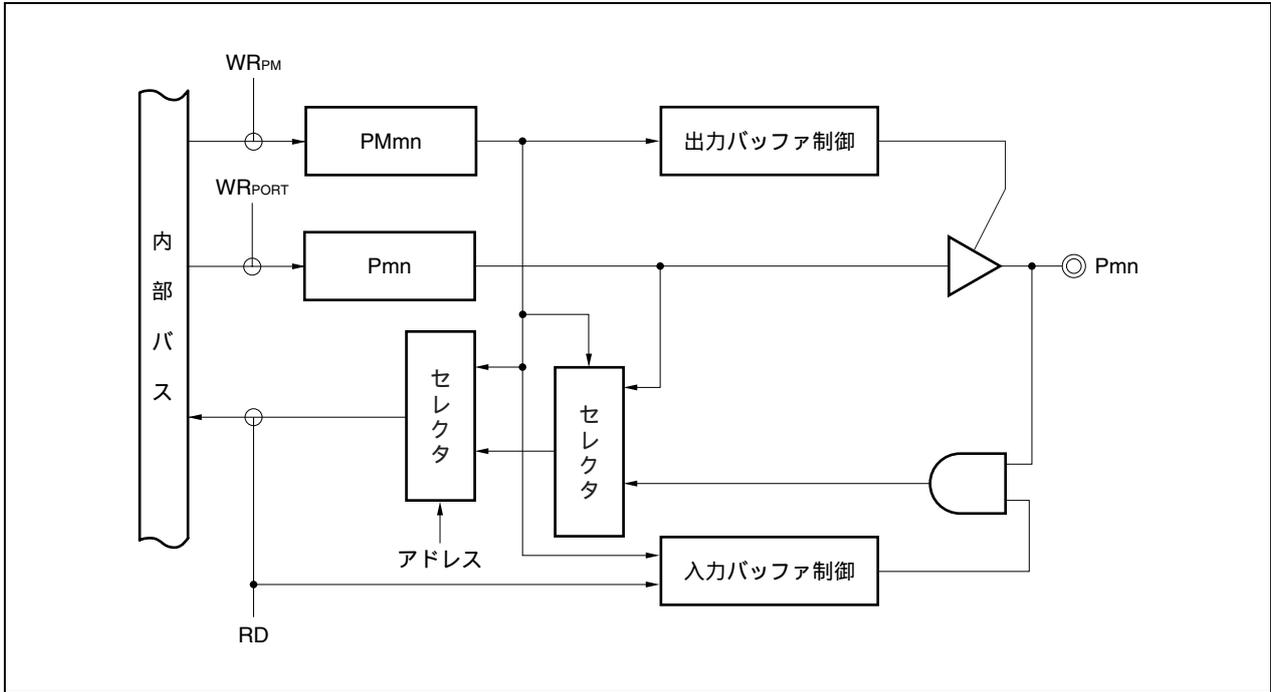


図4-7 タイプC-Uのブロック図

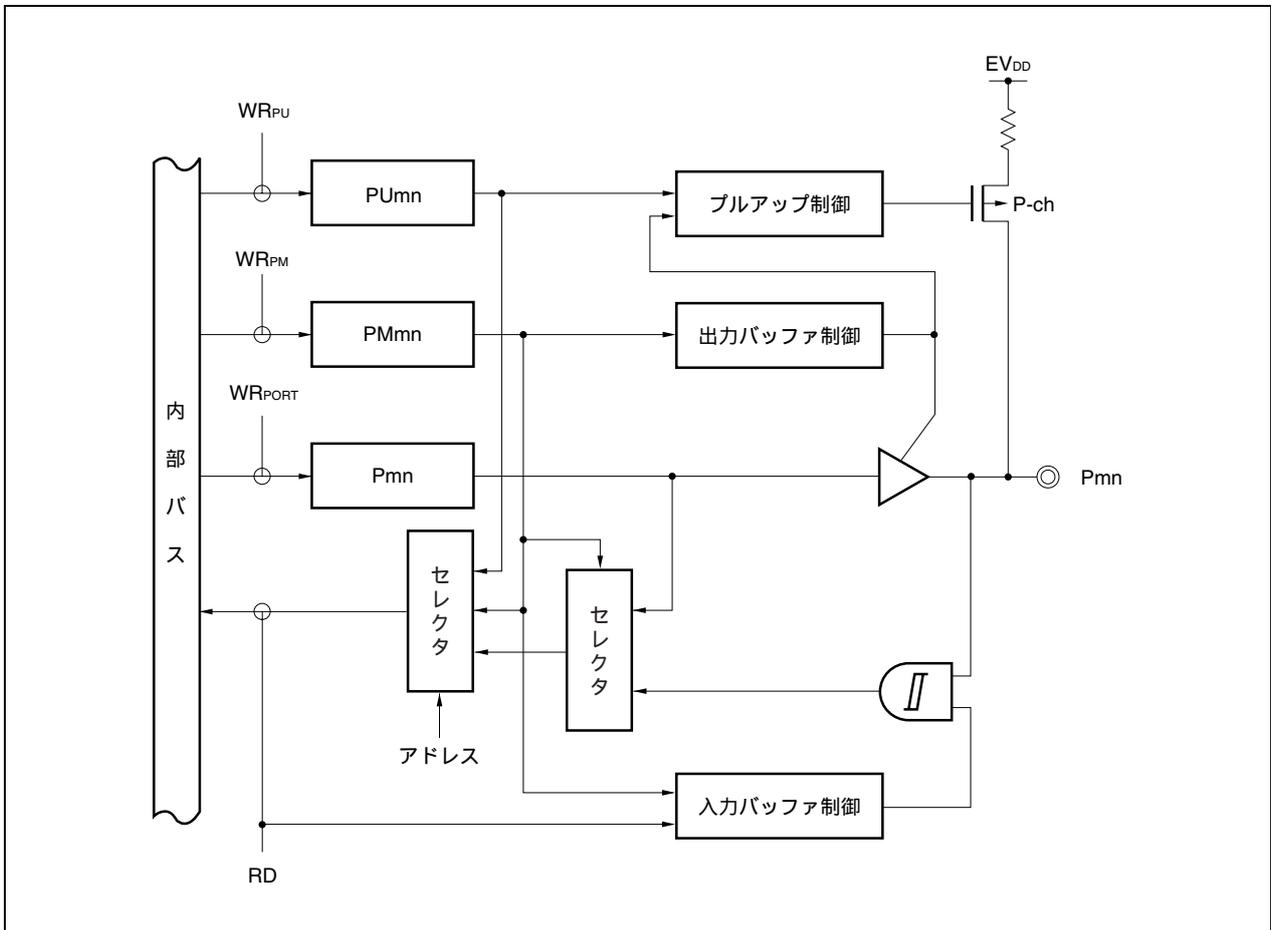


図4 - 8 タイプD0のブロック図

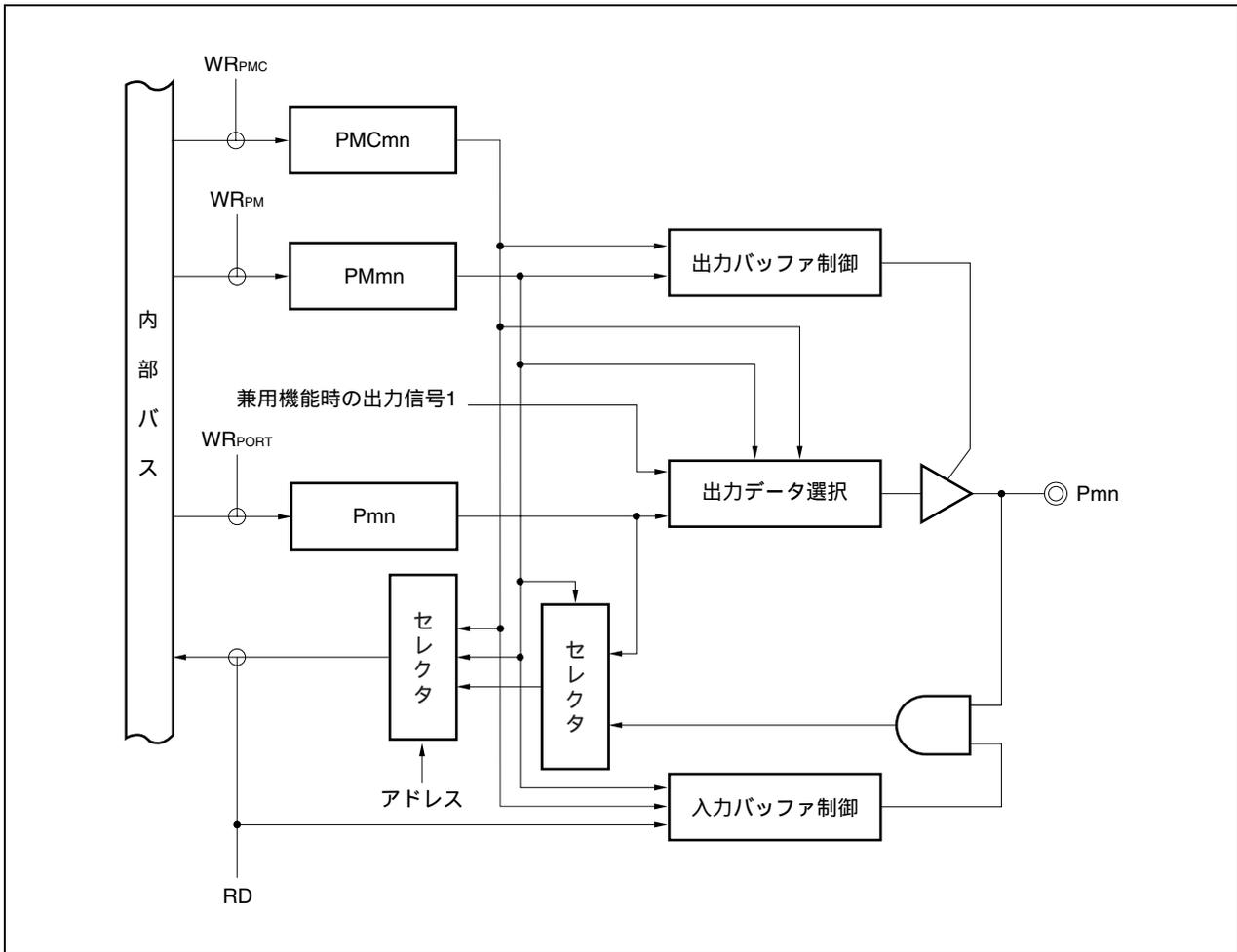


図4 - 9 タイプD0 - Uのブロック図

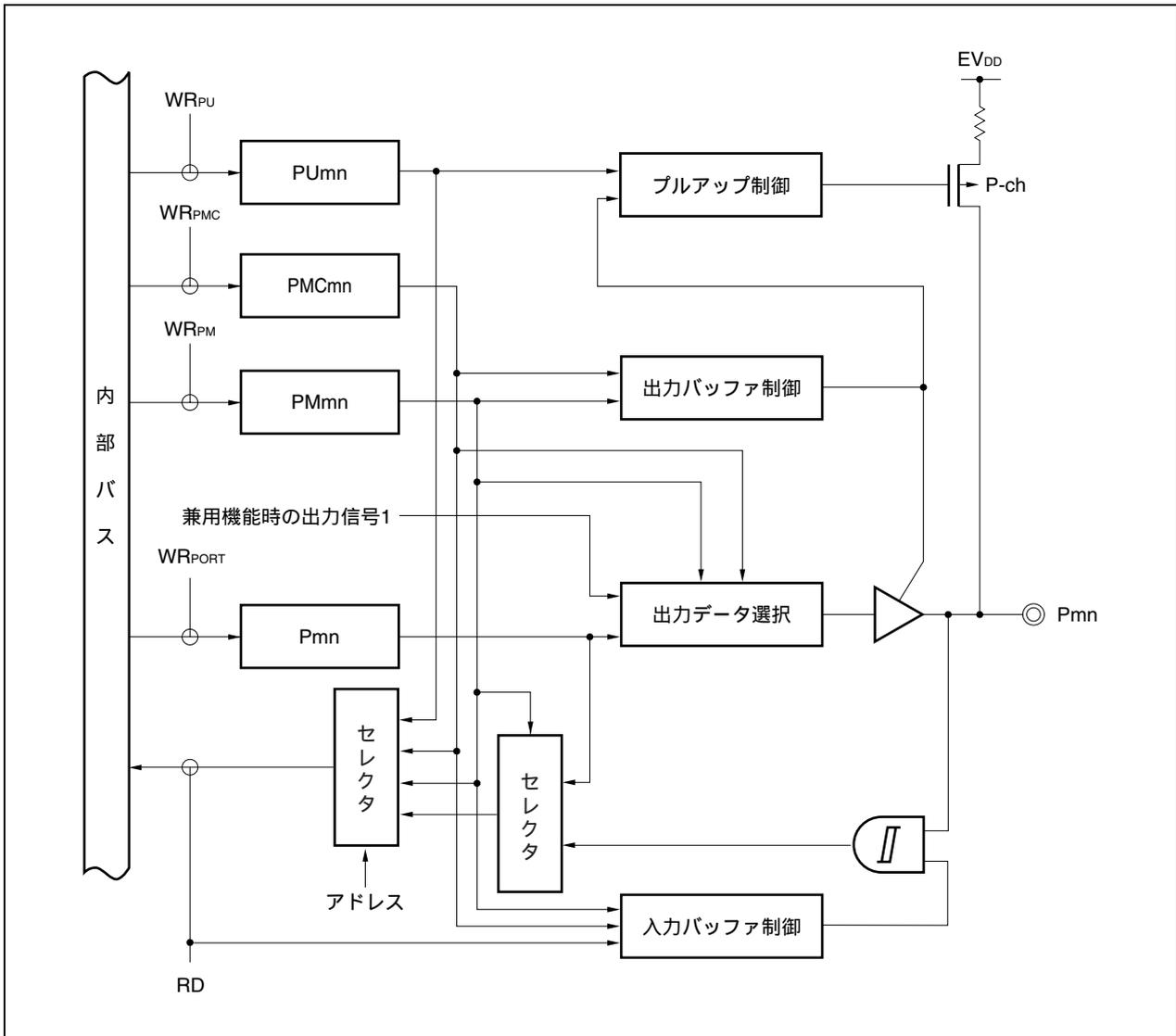


図4 - 10 タイプD1のブロック図

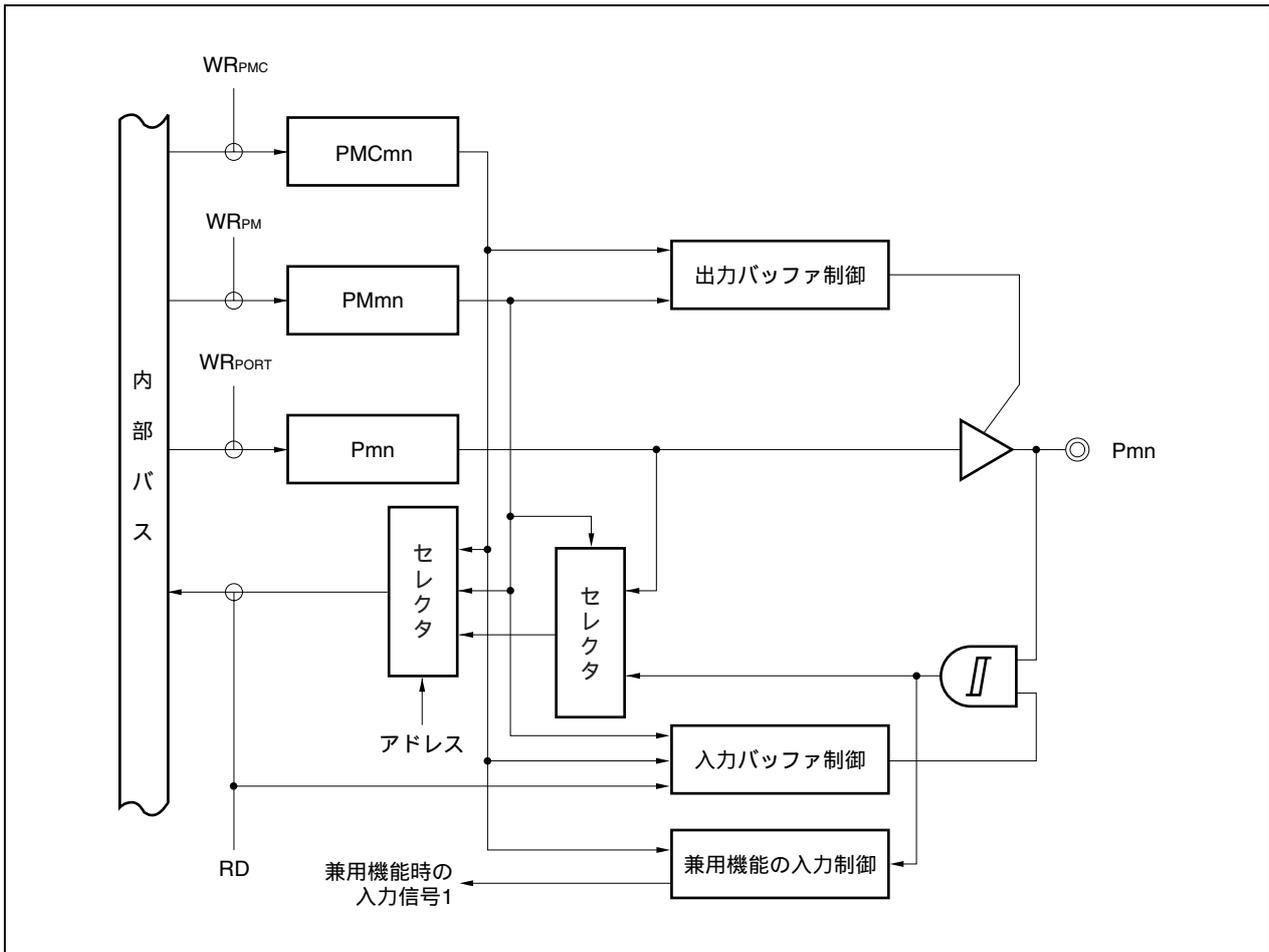


図4 - 11 タイプD1 - Uのブロック図

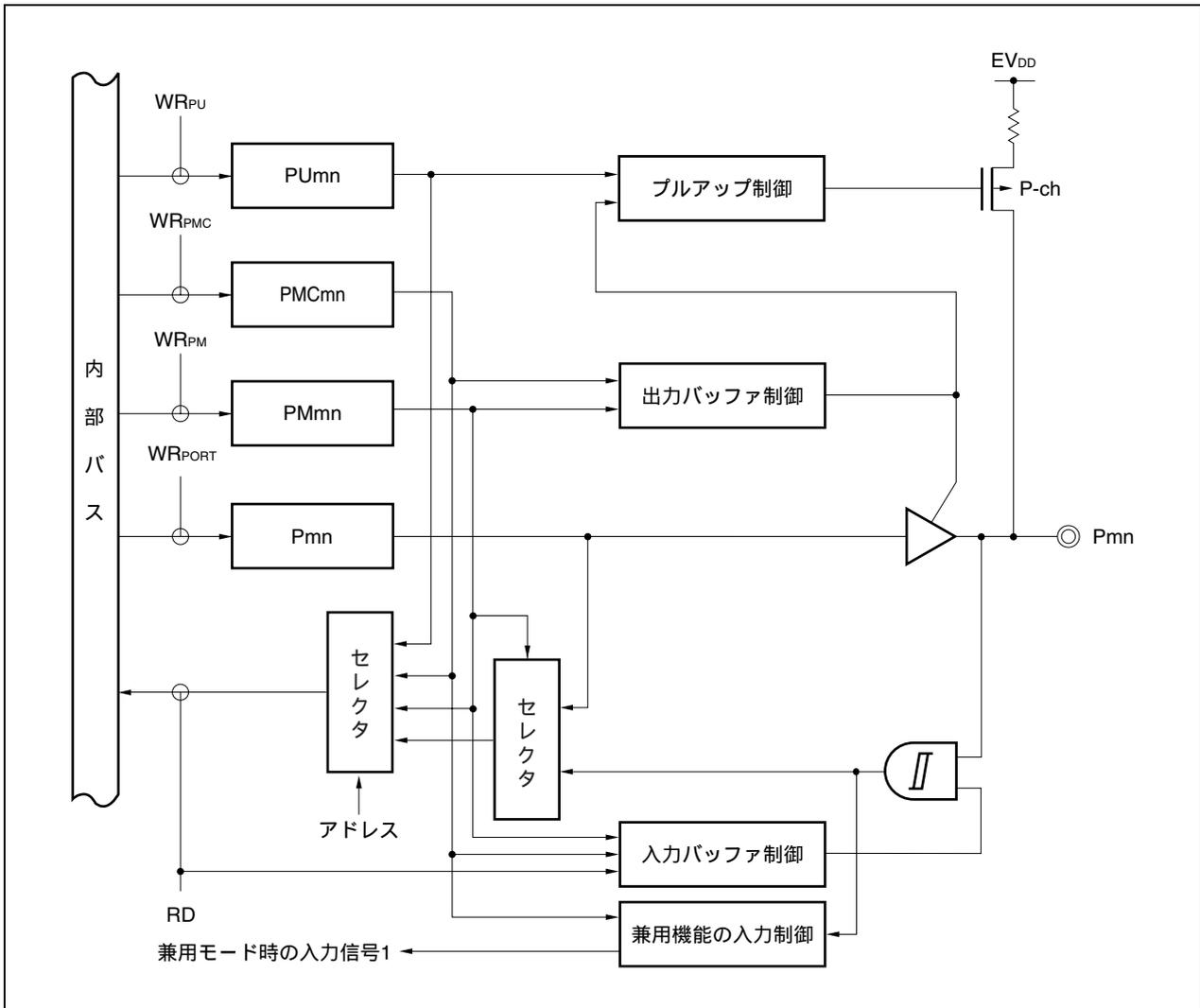


図4 - 12 タイプD1 - UIのブロック図

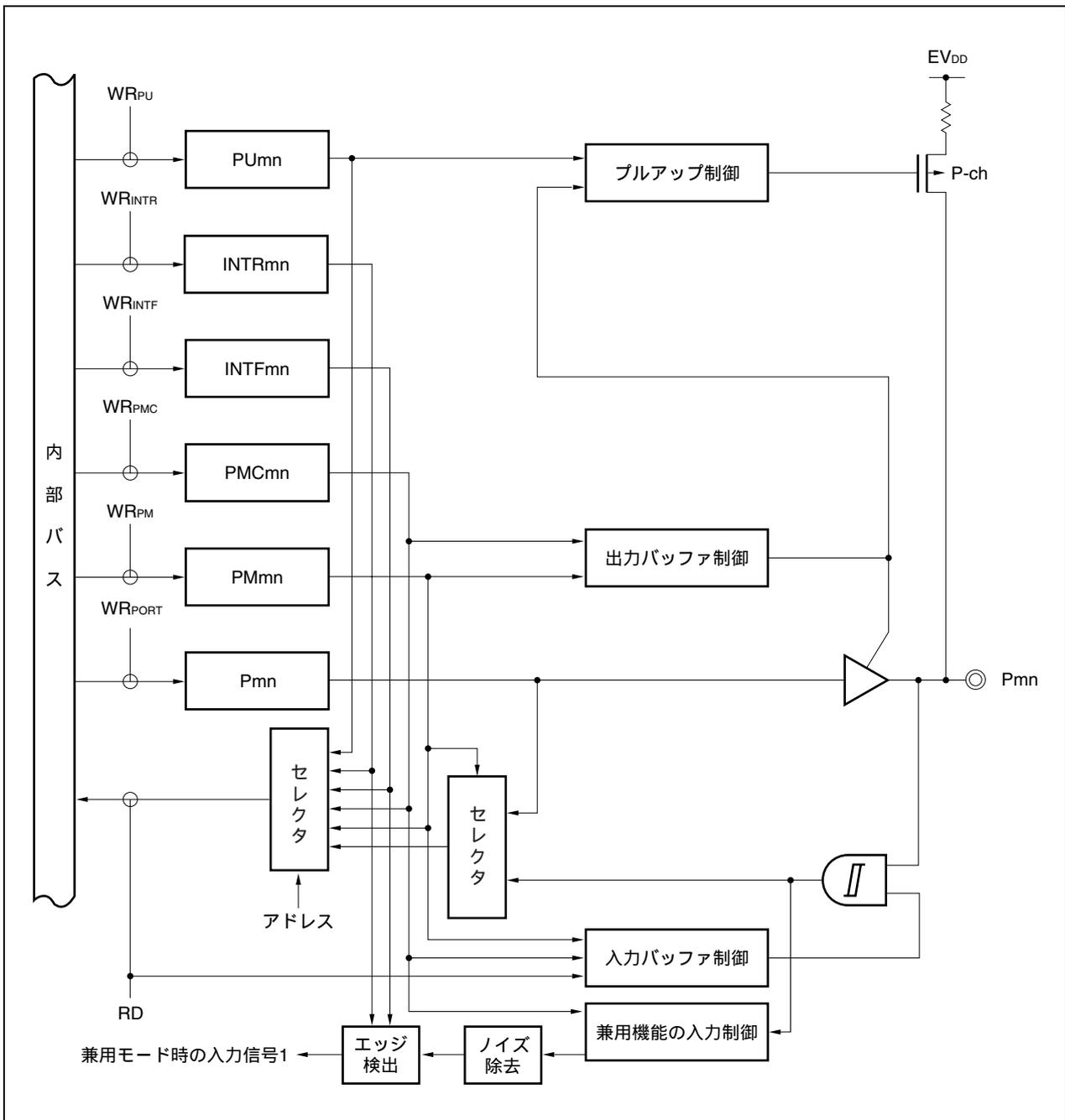


図4 - 13 タイプD1Aのブロック図

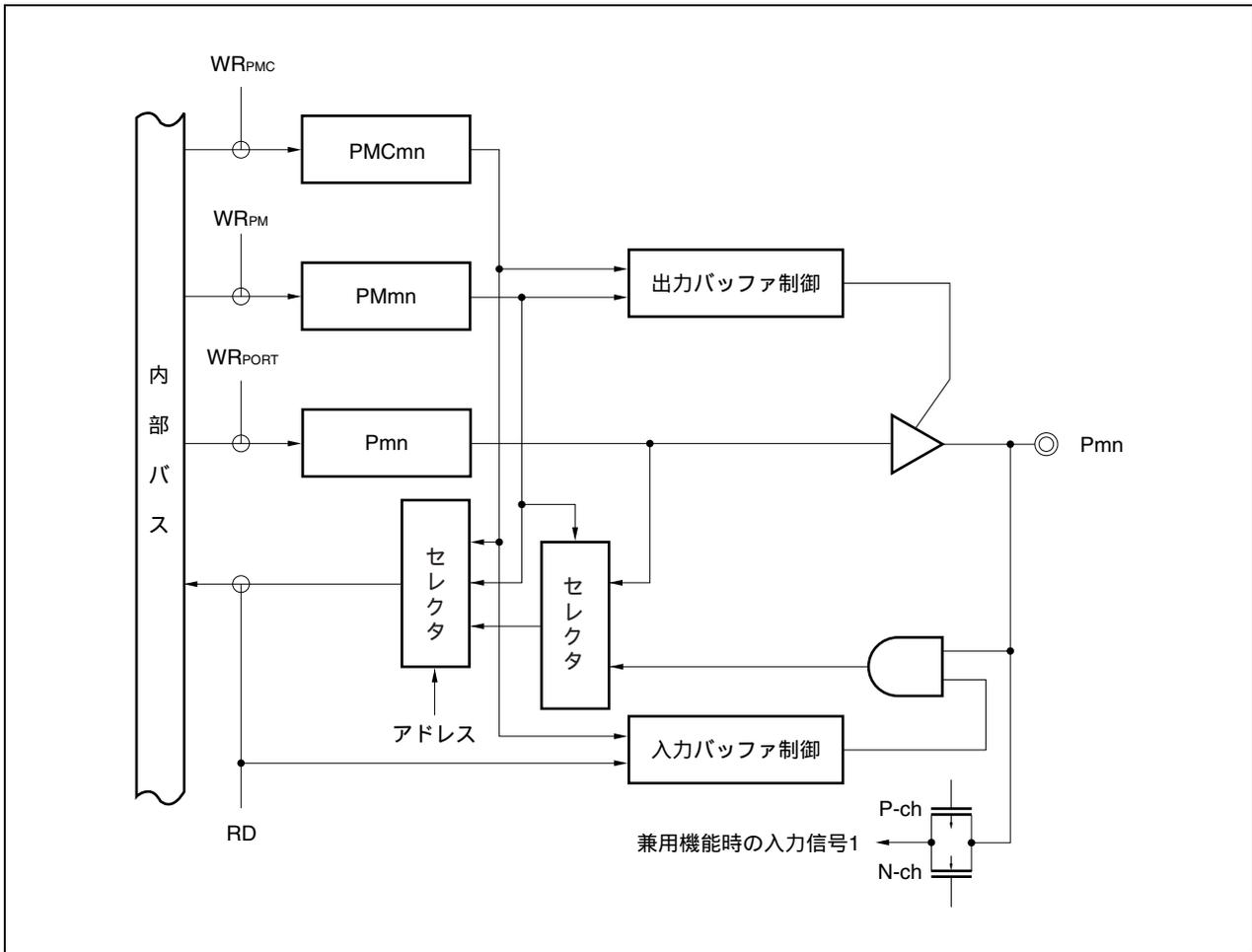


図4 - 14 タイプD101 - UIのブロック図

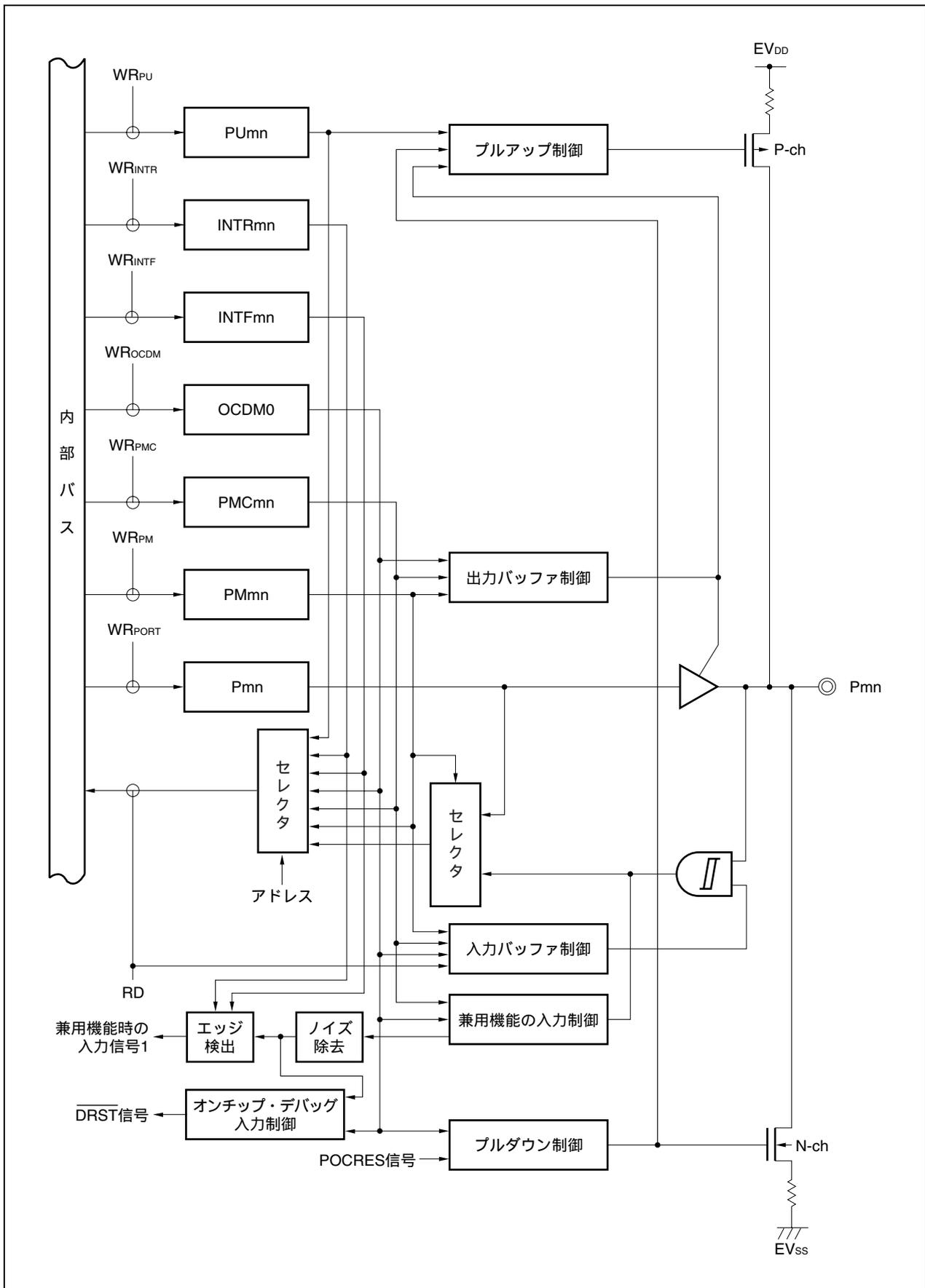


図4 - 15 タイプD2のブロック図

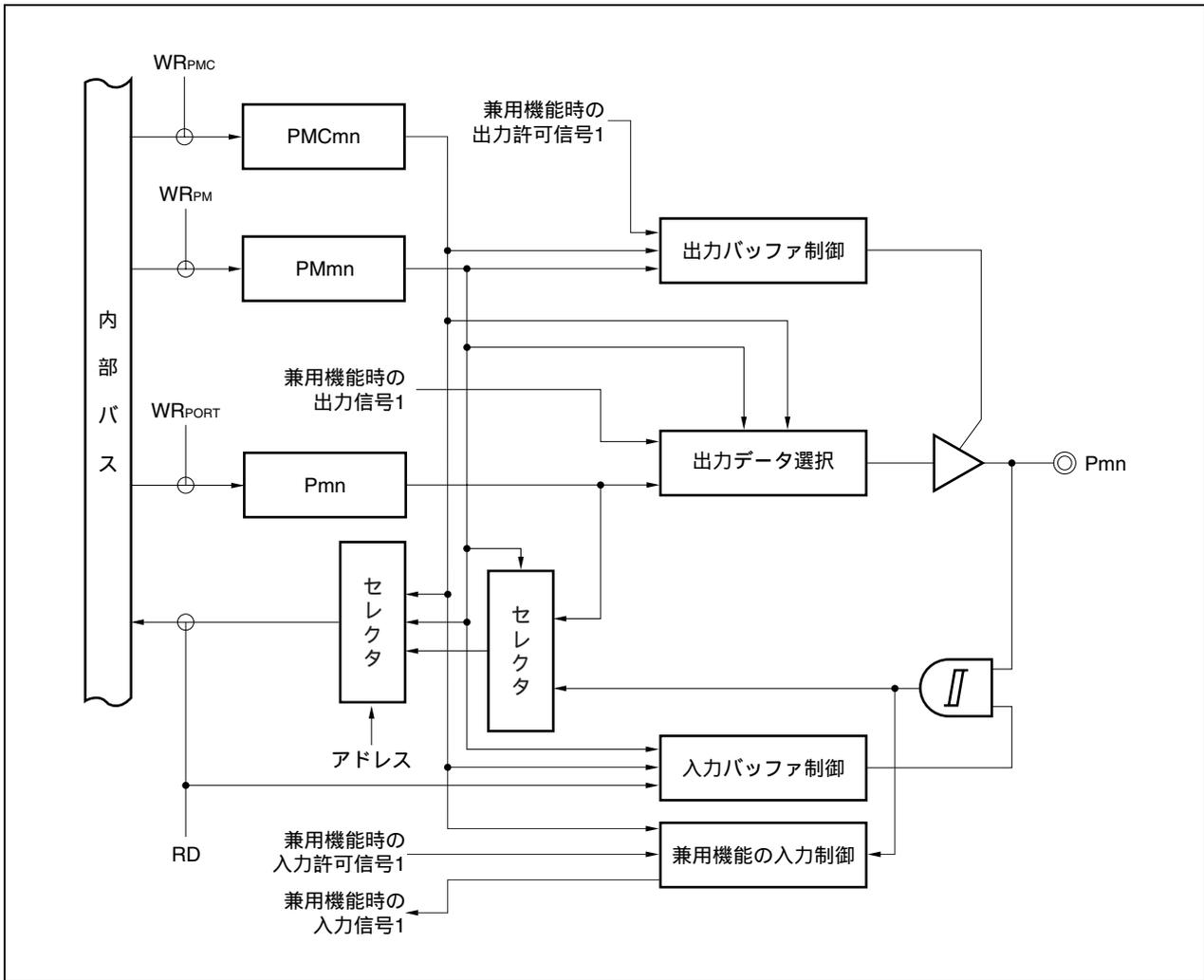


図4 - 16 タイプD3 - UIのブロック図

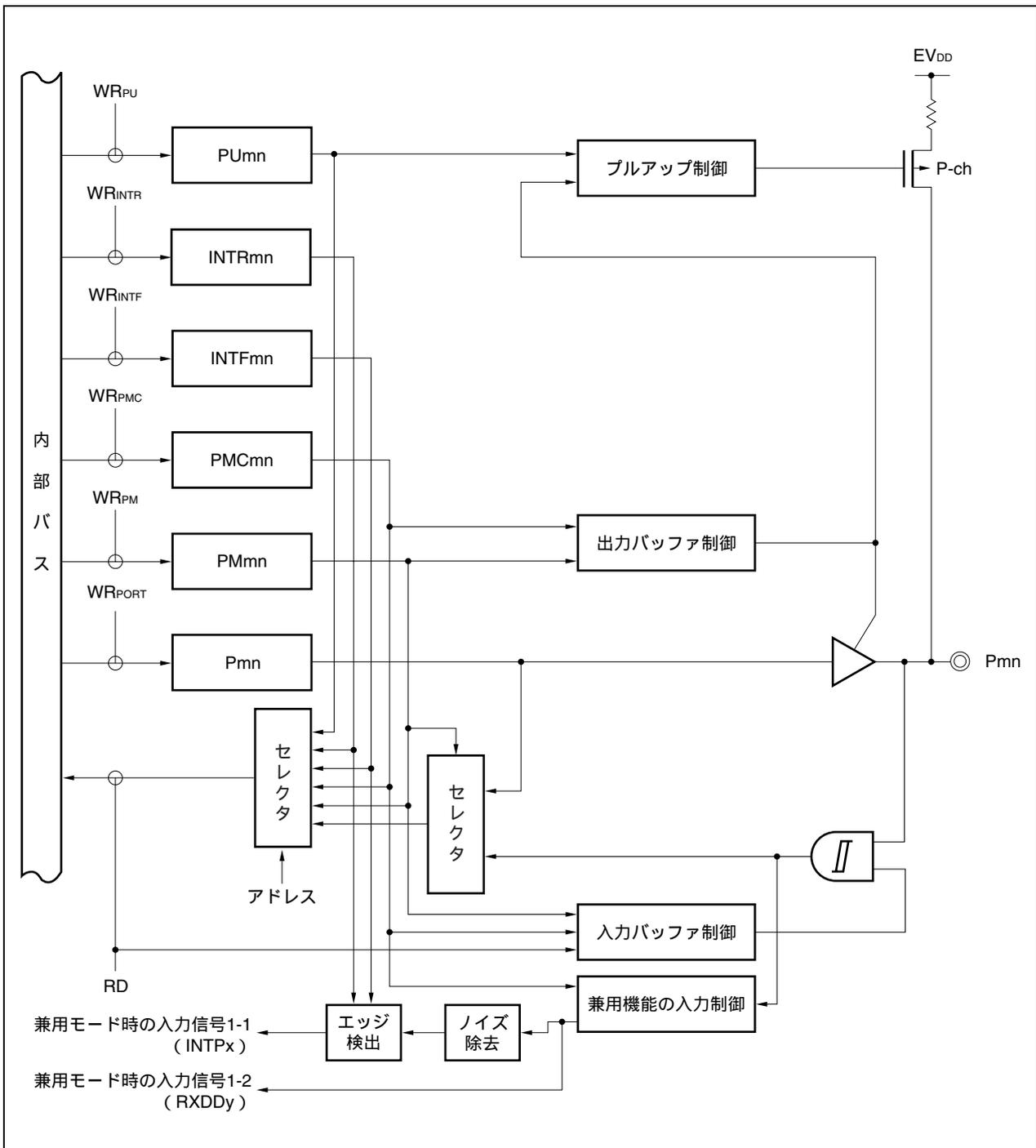


図4 - 17 タイプE01 - Uのブロック図

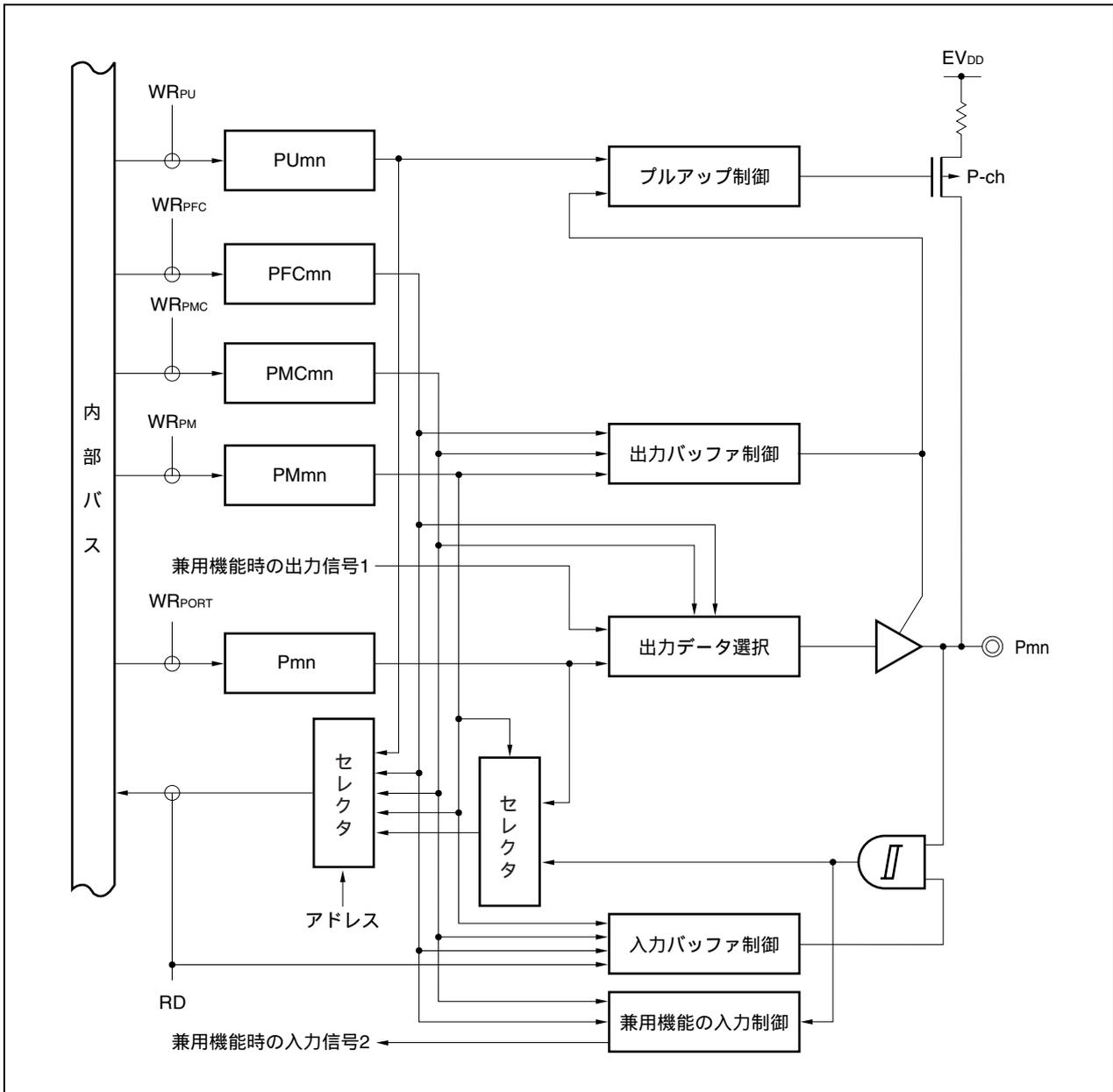


図4 - 18 タイプE10 - Uのブロック図

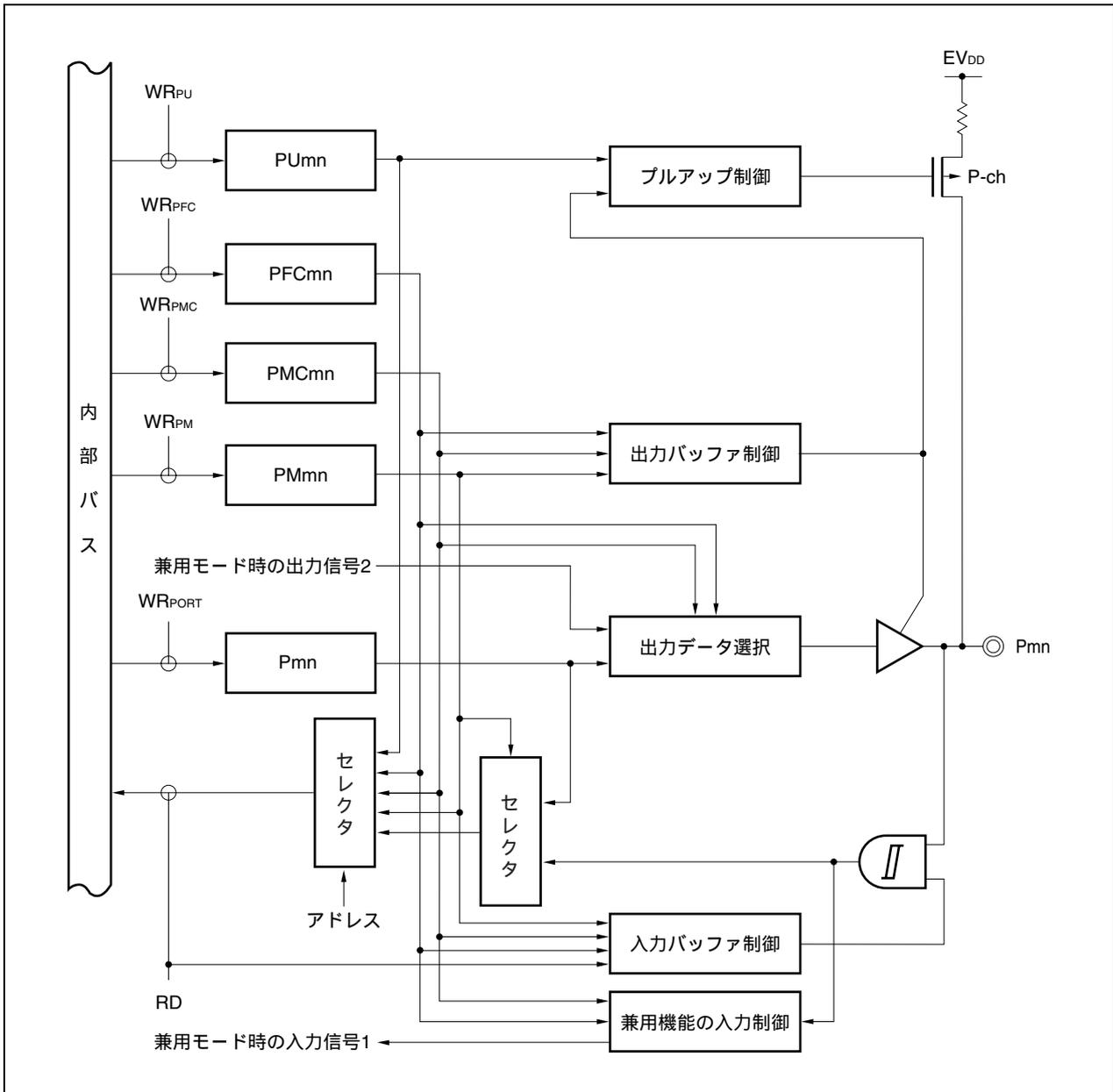


図4 - 19 タイプE11 - Uのブロック図

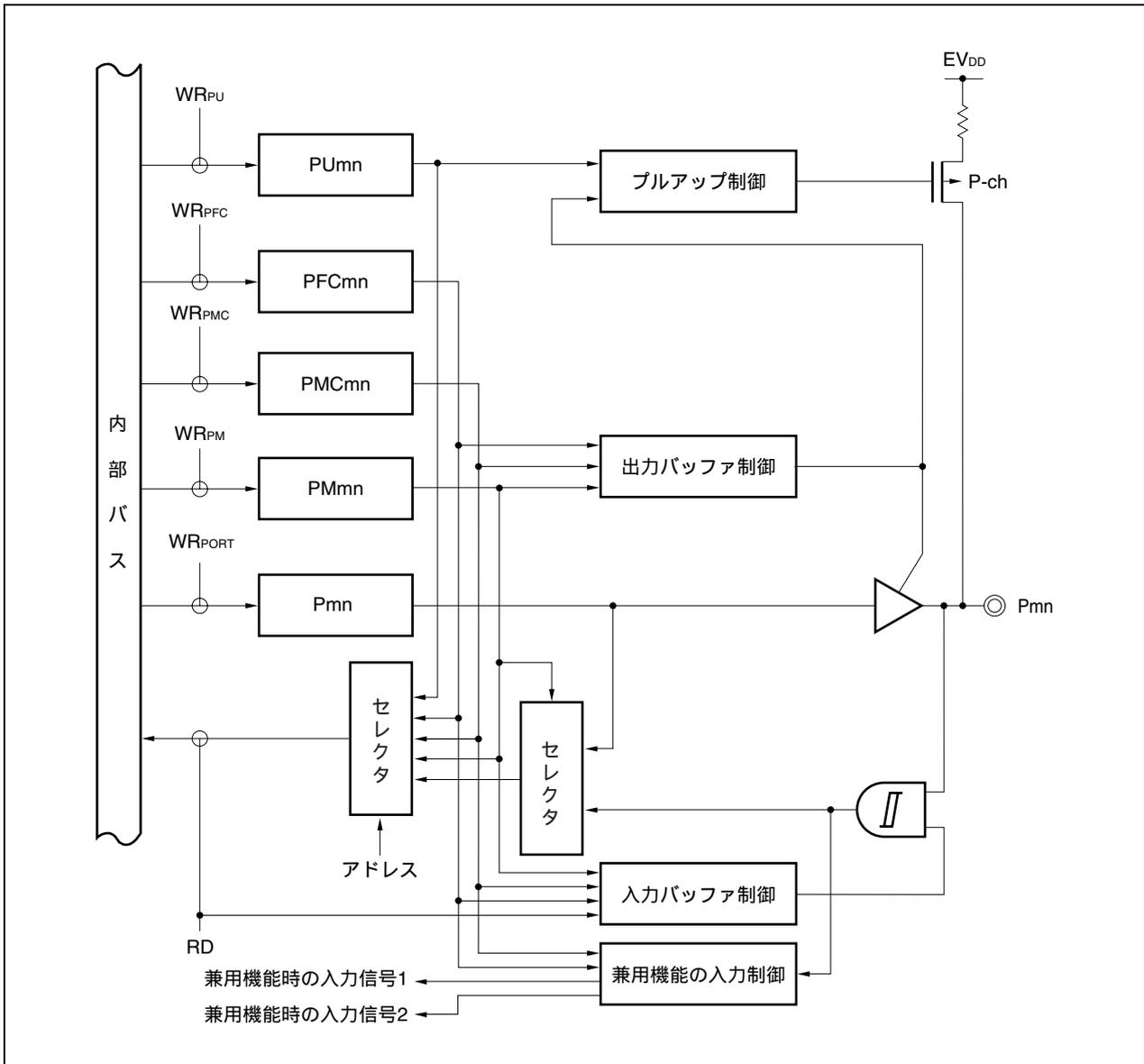


図4 - 20 タイプE21 - Uのブロック図

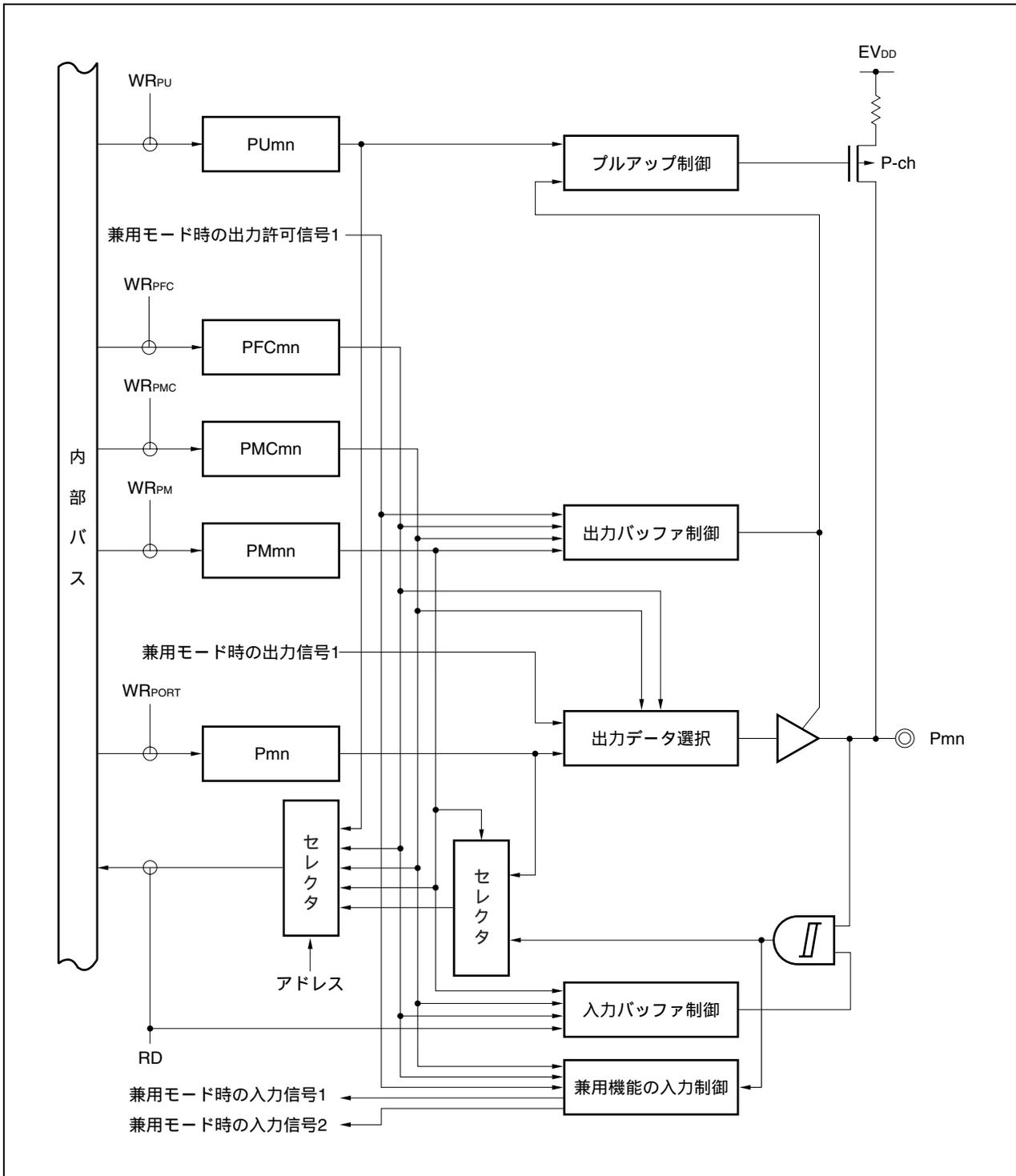


図4 - 21 タイプEx0 - Uのブロック図

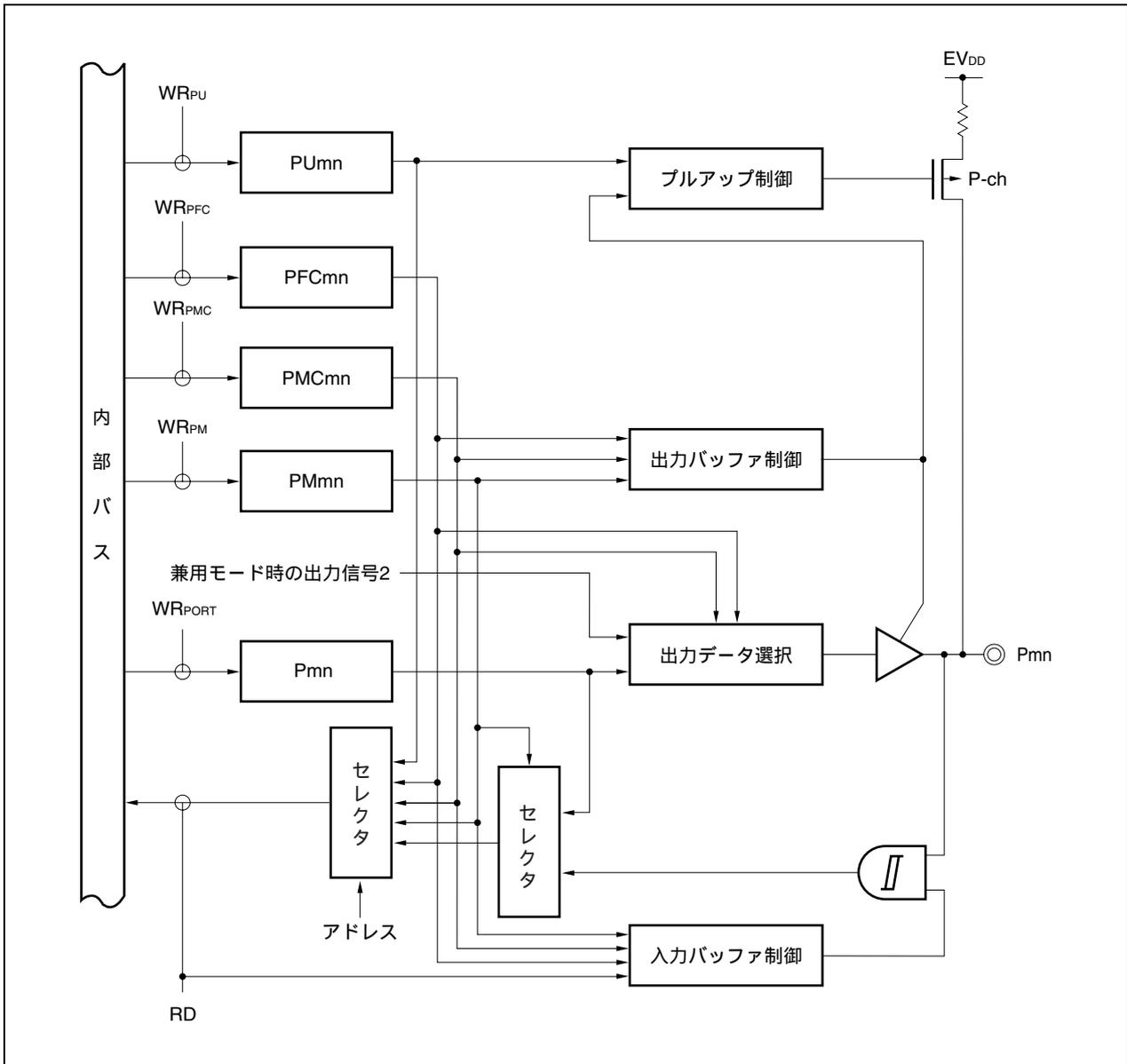


図4 - 22 タイプEx1 - Uのブロック図

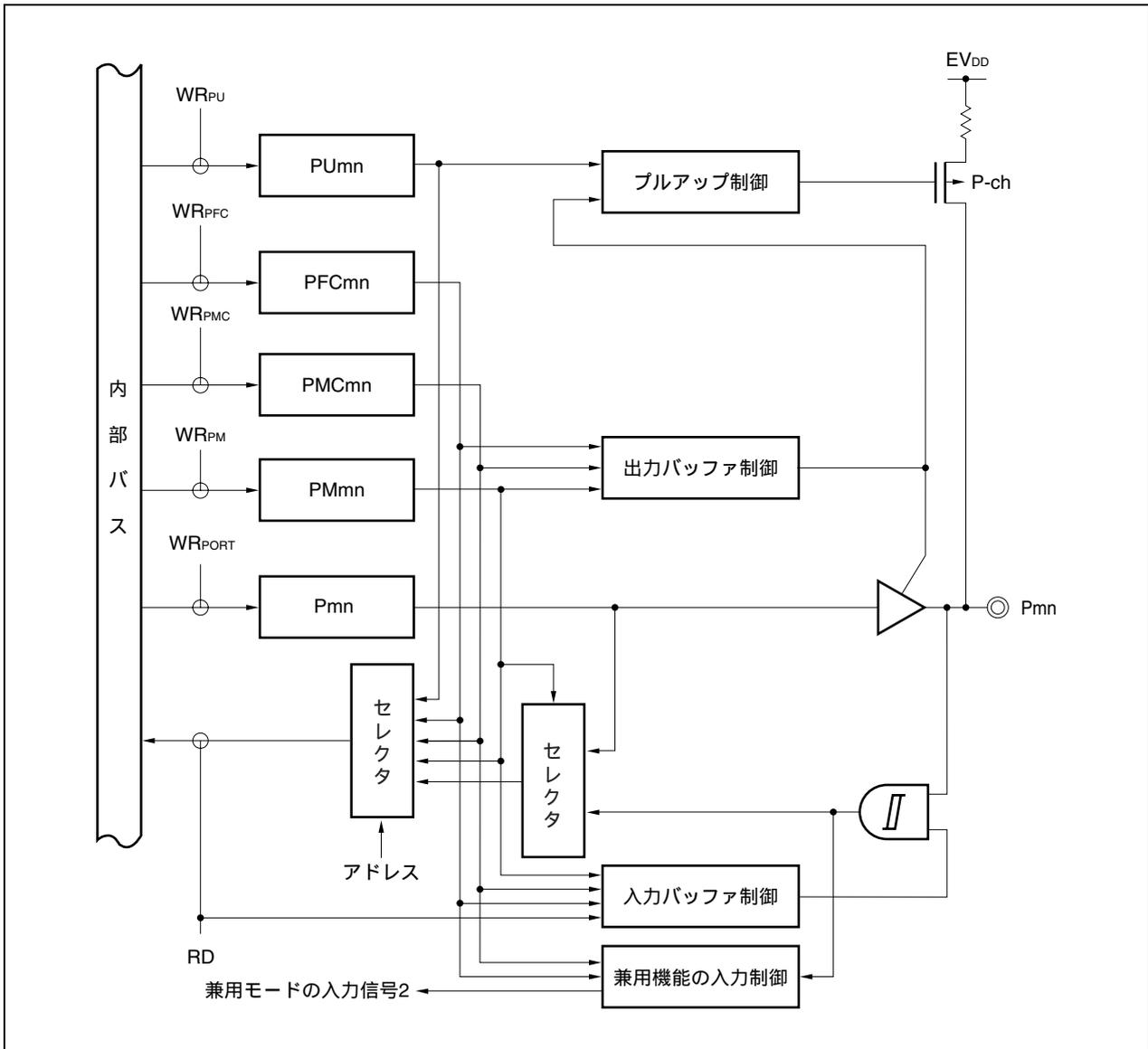


図4-23 タイプEx1 - UIのブロック図

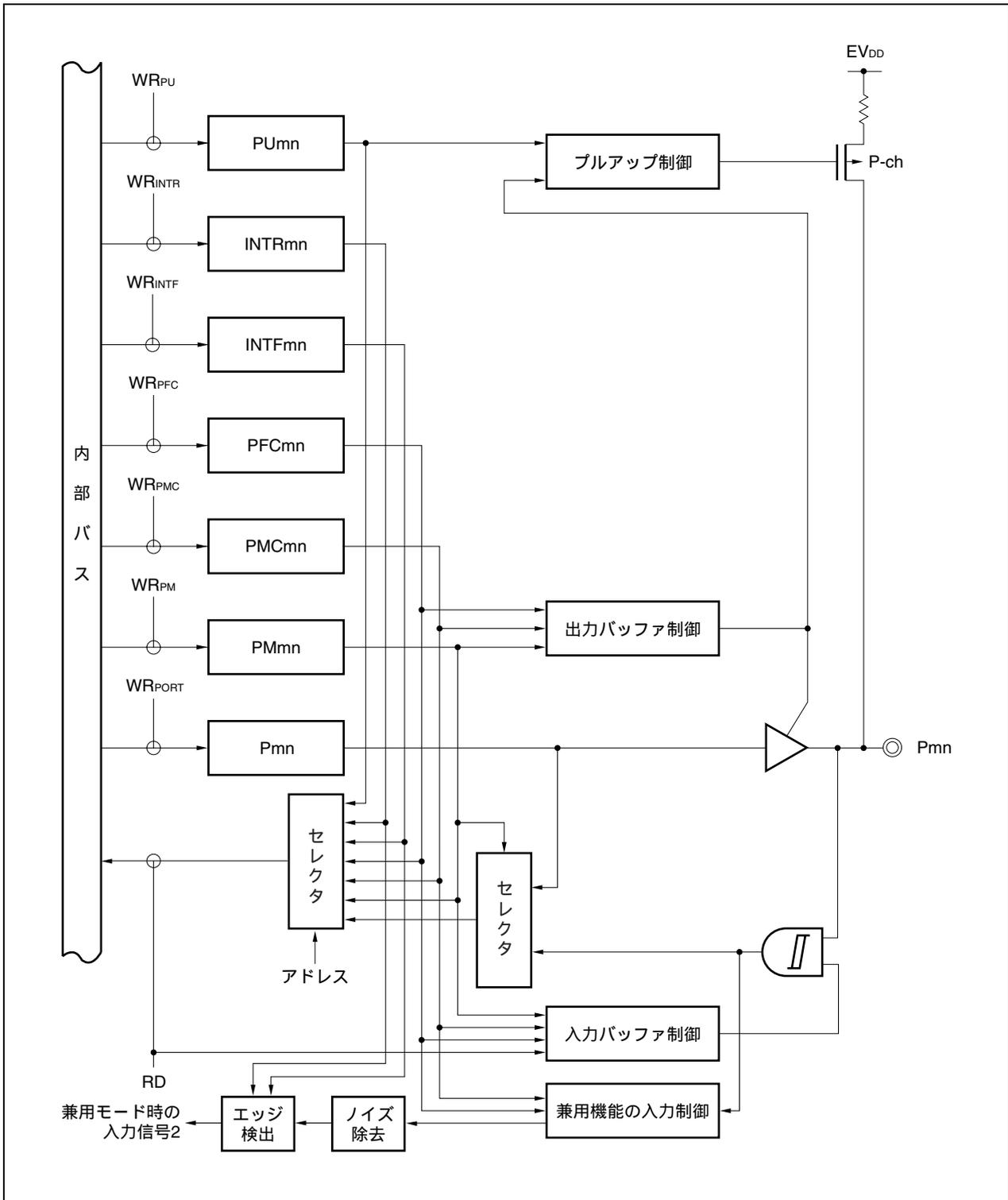


図4 - 24 タイプEx2 - Uのブロック図

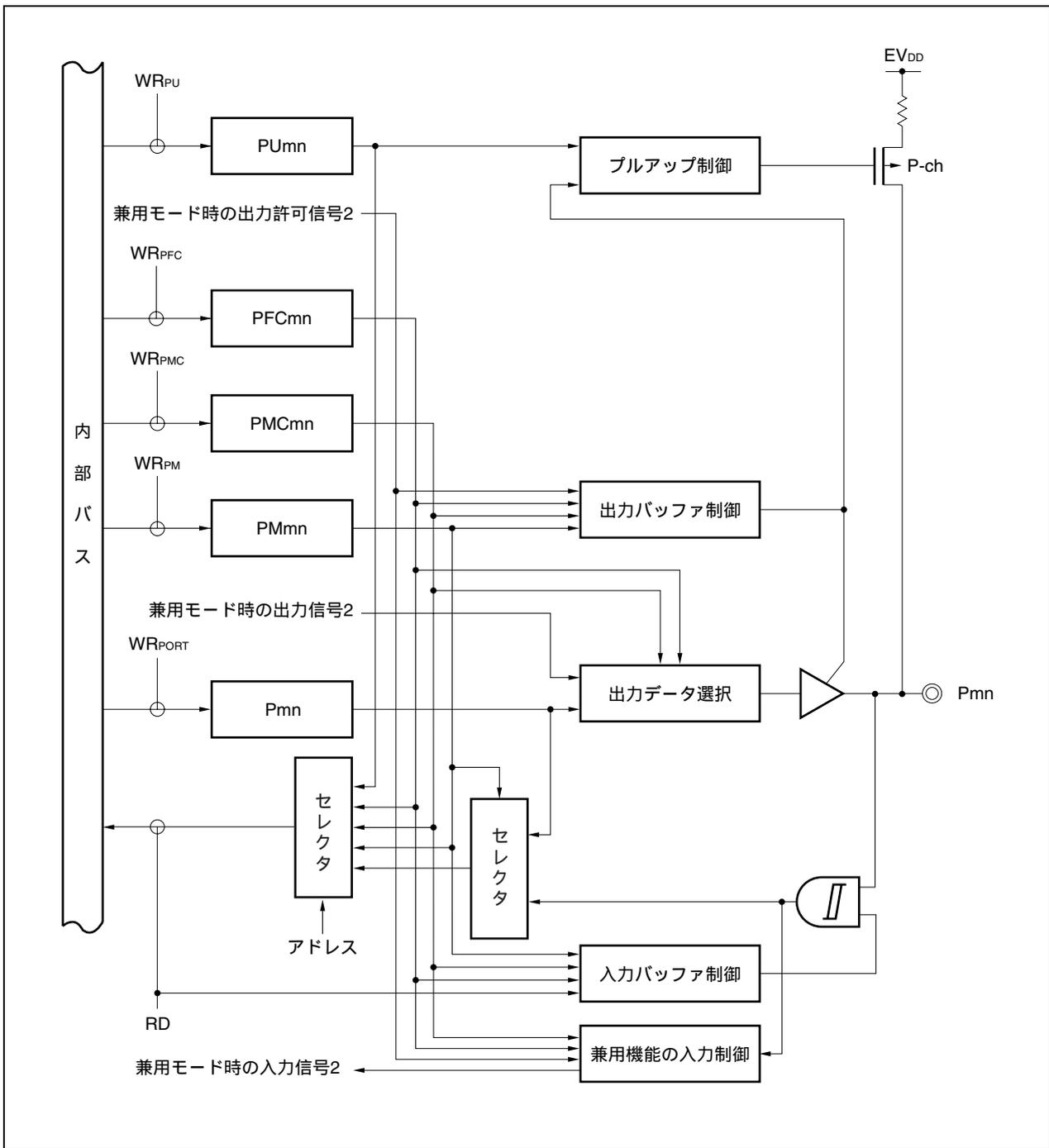


図4 - 25 タイプF010x - Uのブロック図

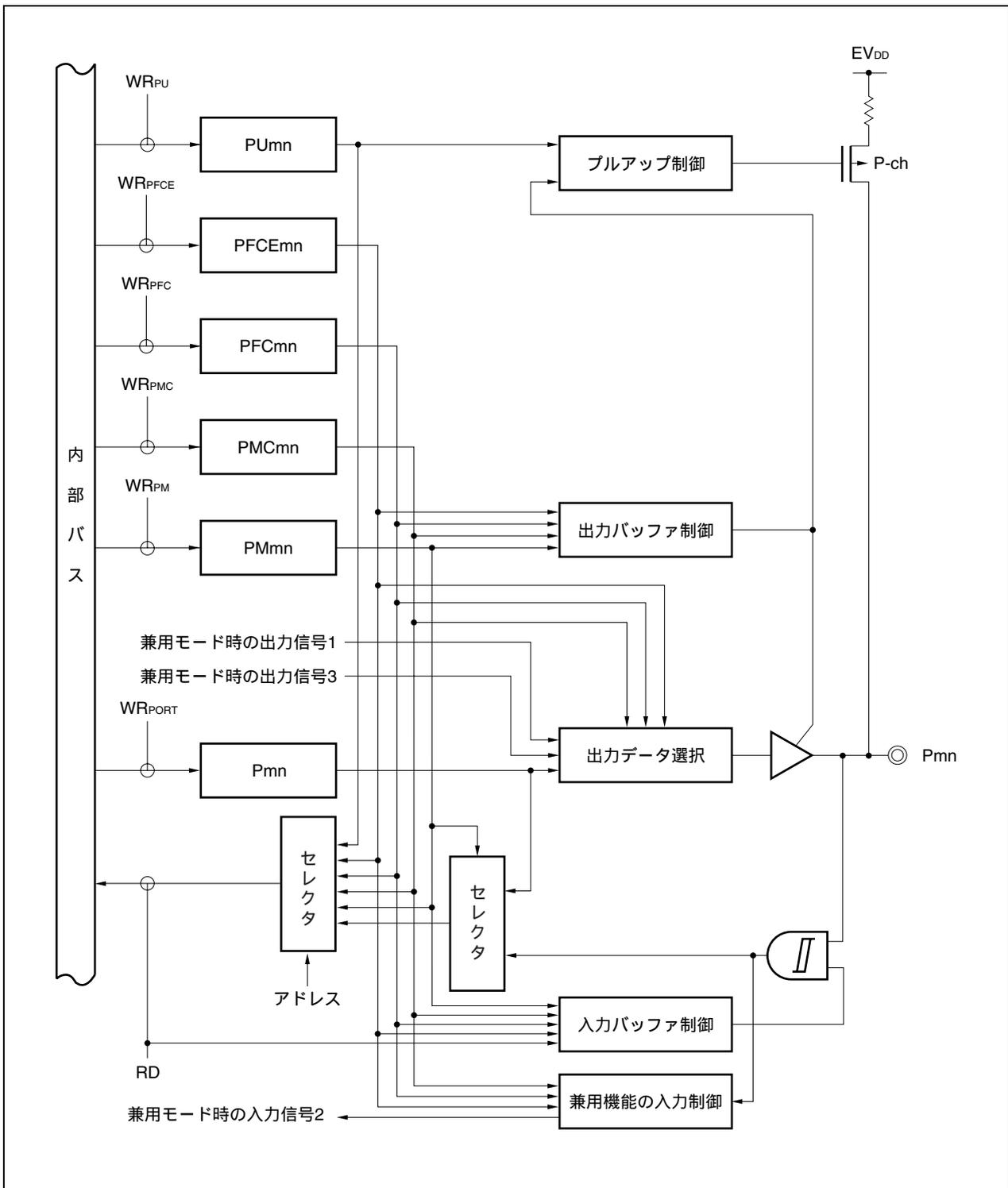


図4 - 26 タイプF1xx001 - Uのブロック図

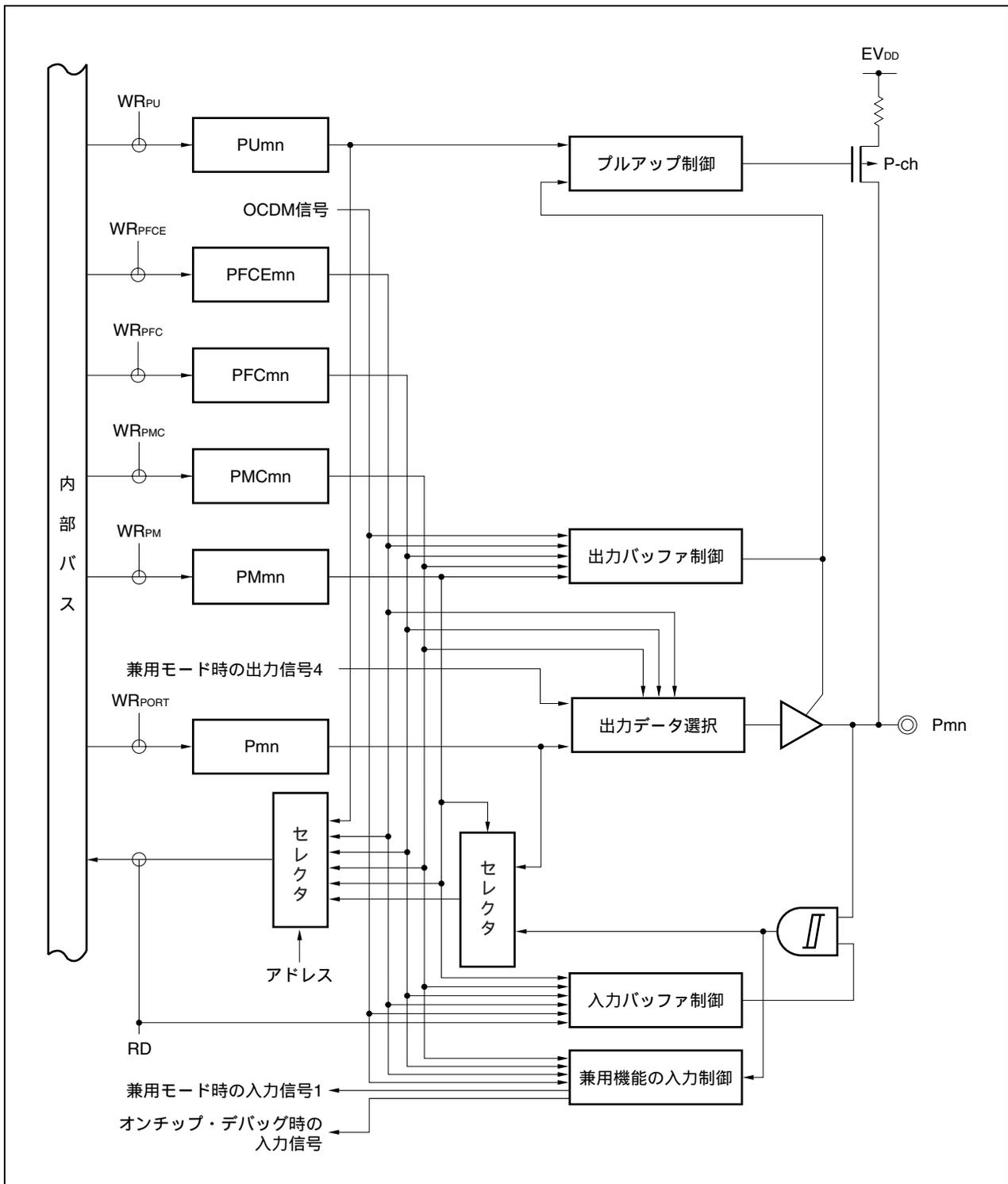


図4 - 27 タイプF1x10 - UIのブロック図

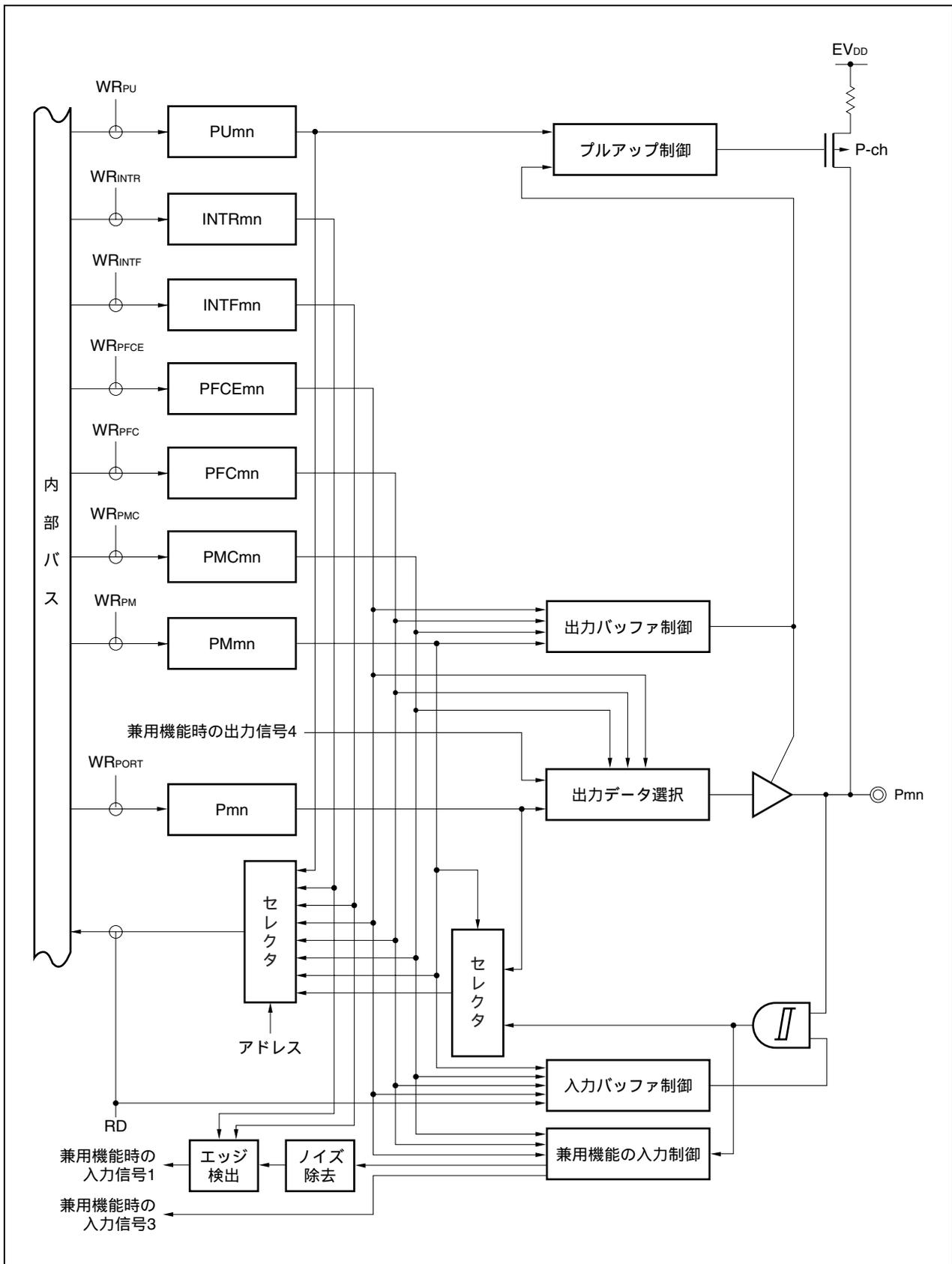


図4 - 28 タイプF1010 - Uのブロック図

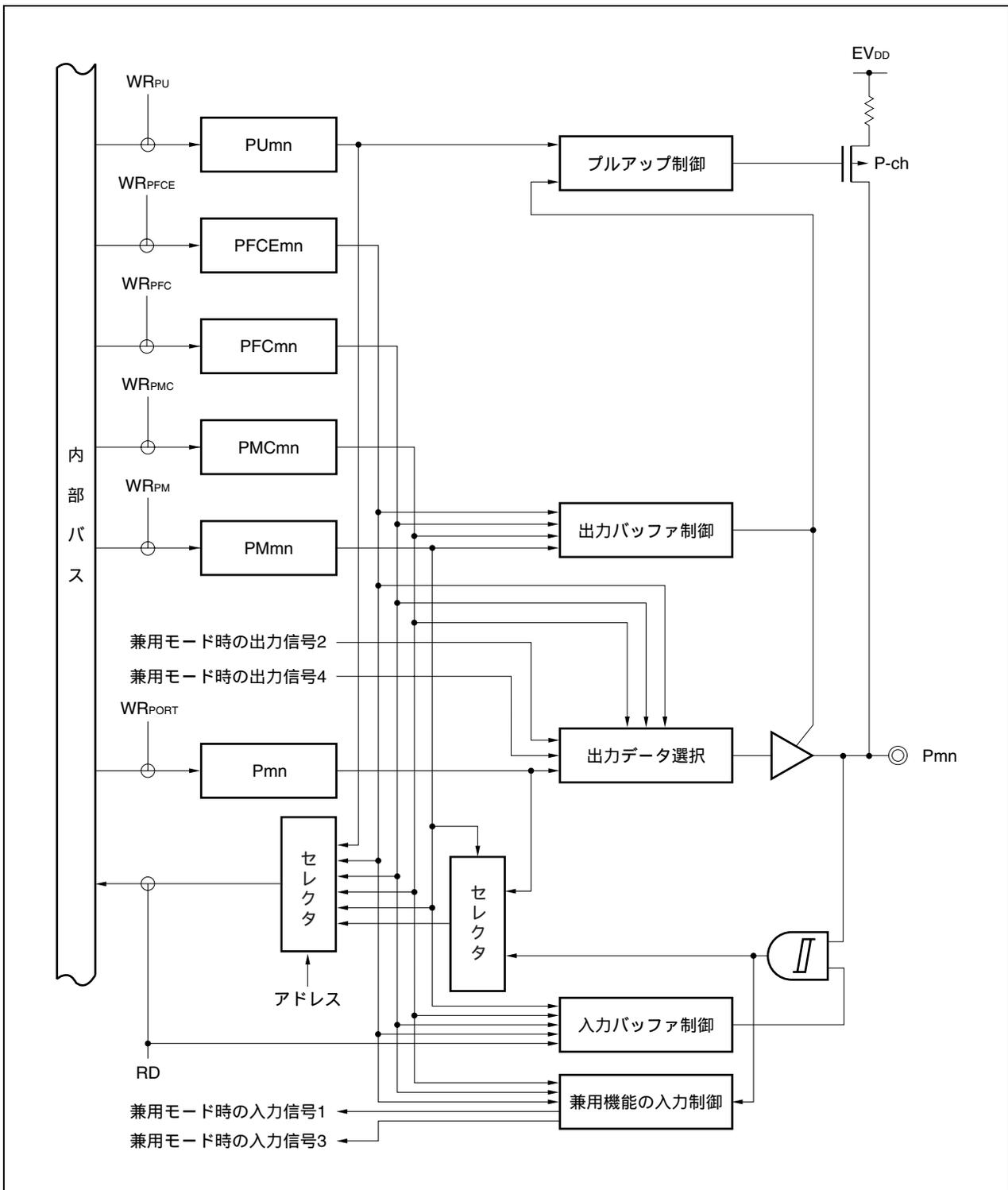


図4 - 29 タイプF110000 - Uのブロック図

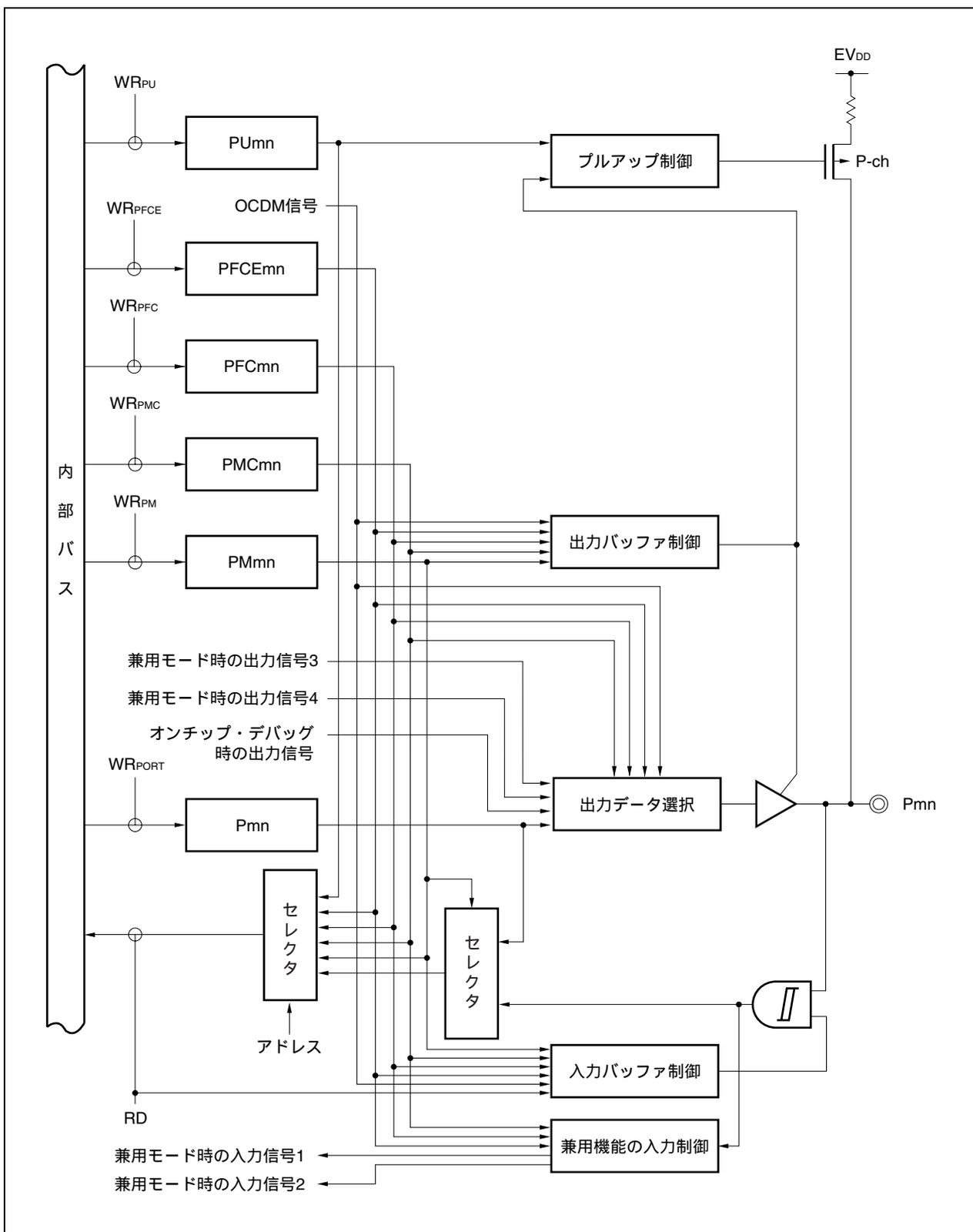


図4 - 30 タイプF1100O1 - Uのブロック図

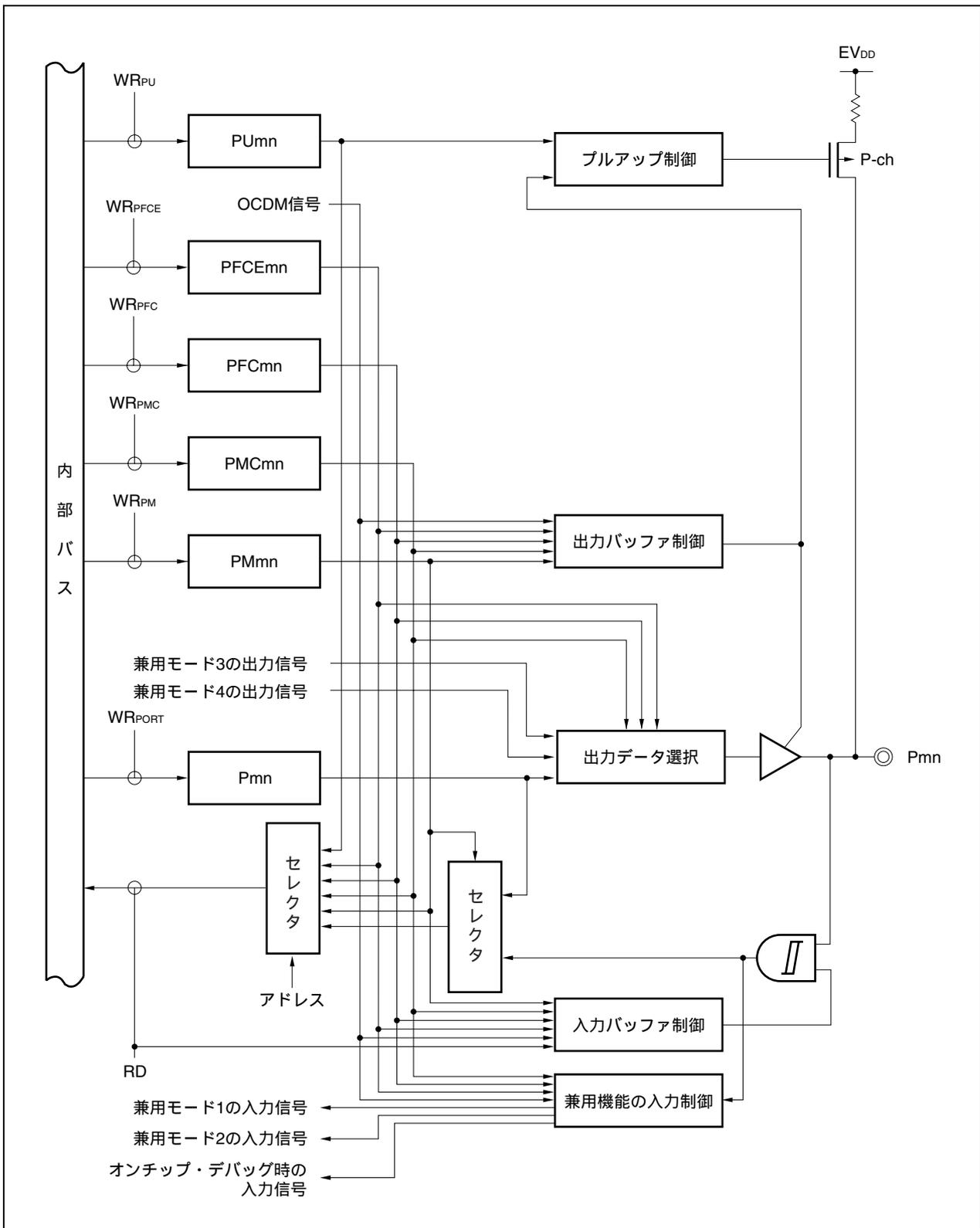


図4 - 31 タイプF1100 - Uのブロック図

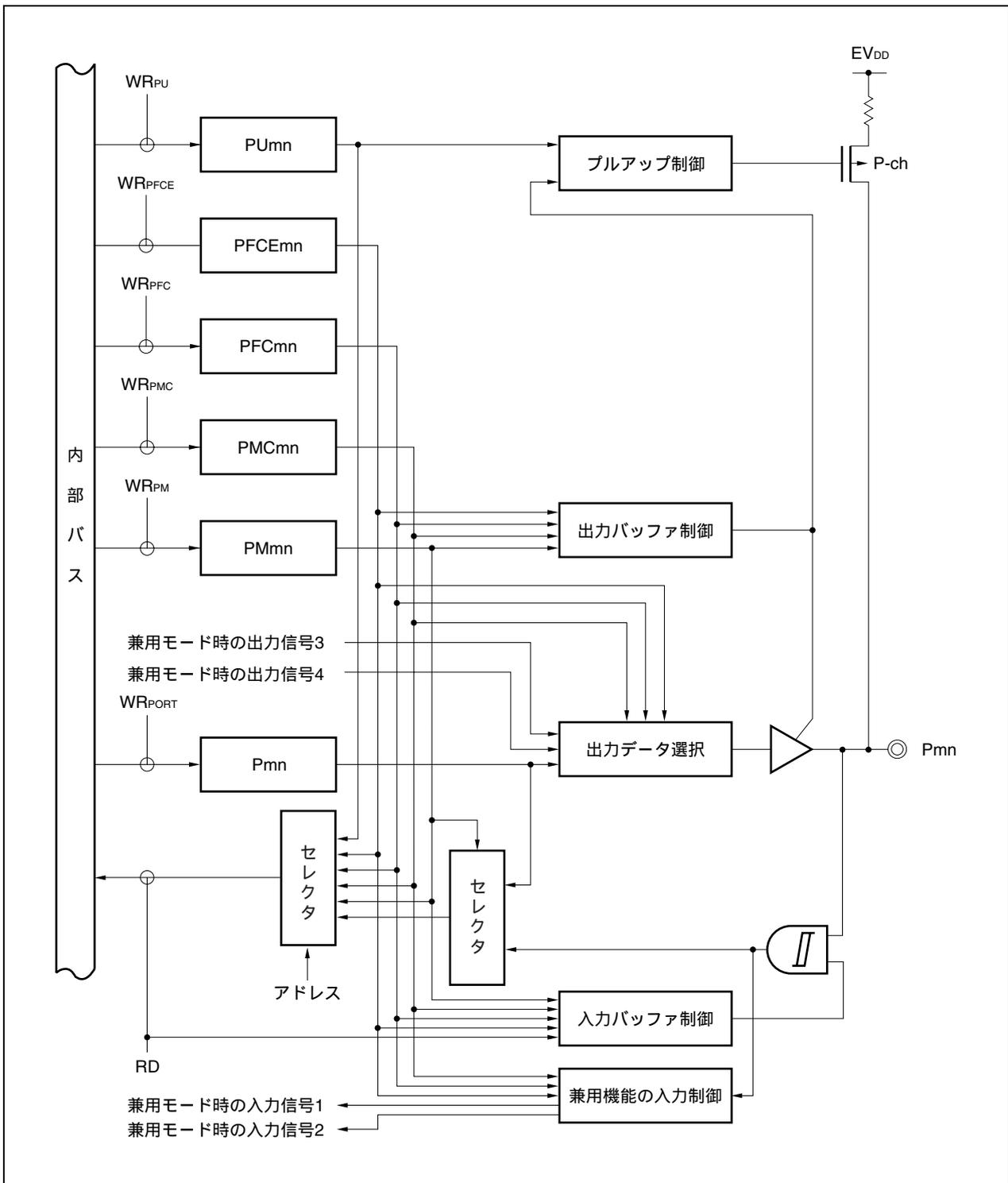


図4 - 32 タイプF1110 - UIのブロック図

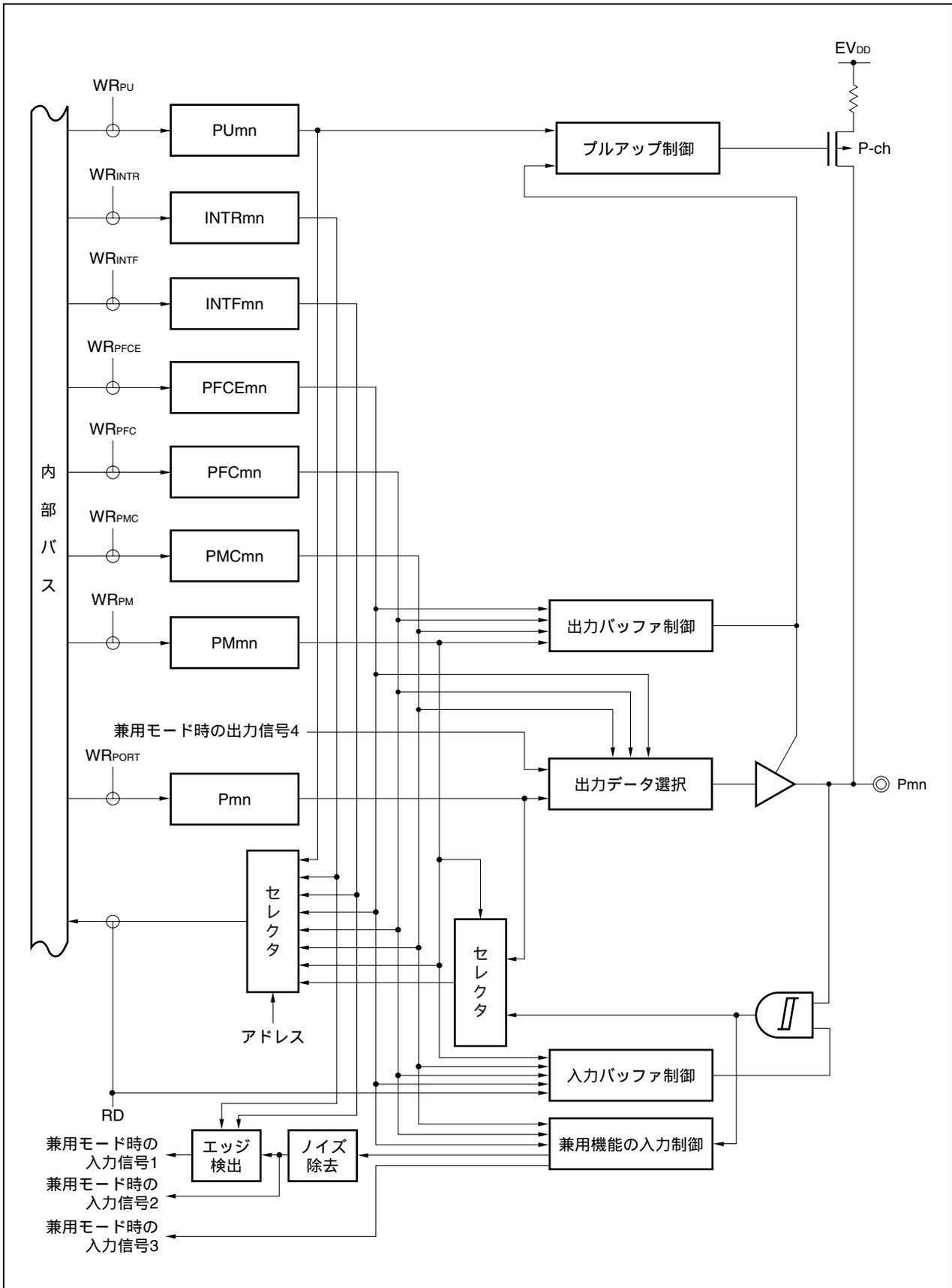


図4 - 33 タイプF113x - UIのブロック図

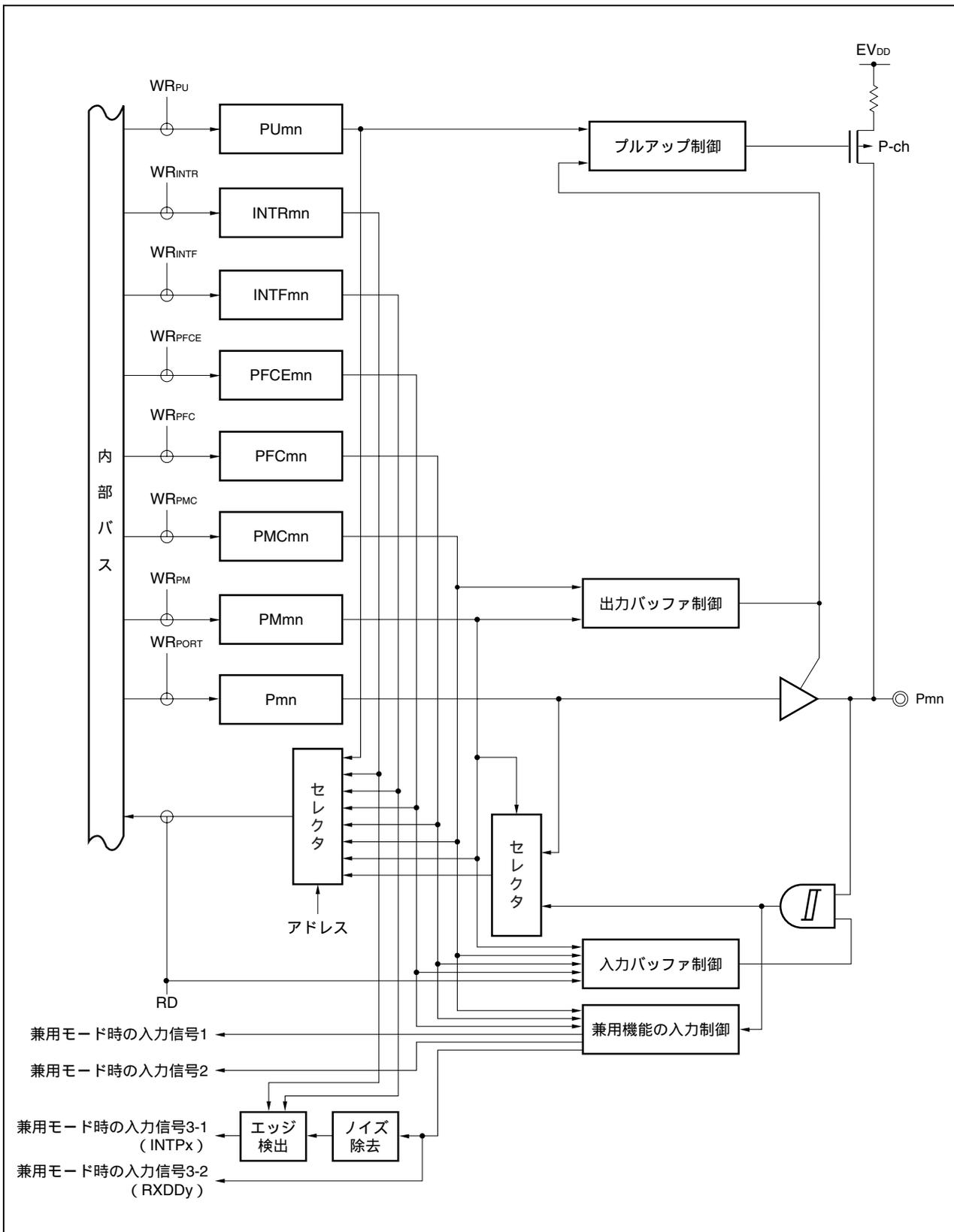


図4 - 34 タイプFx10x - Uのブロック図

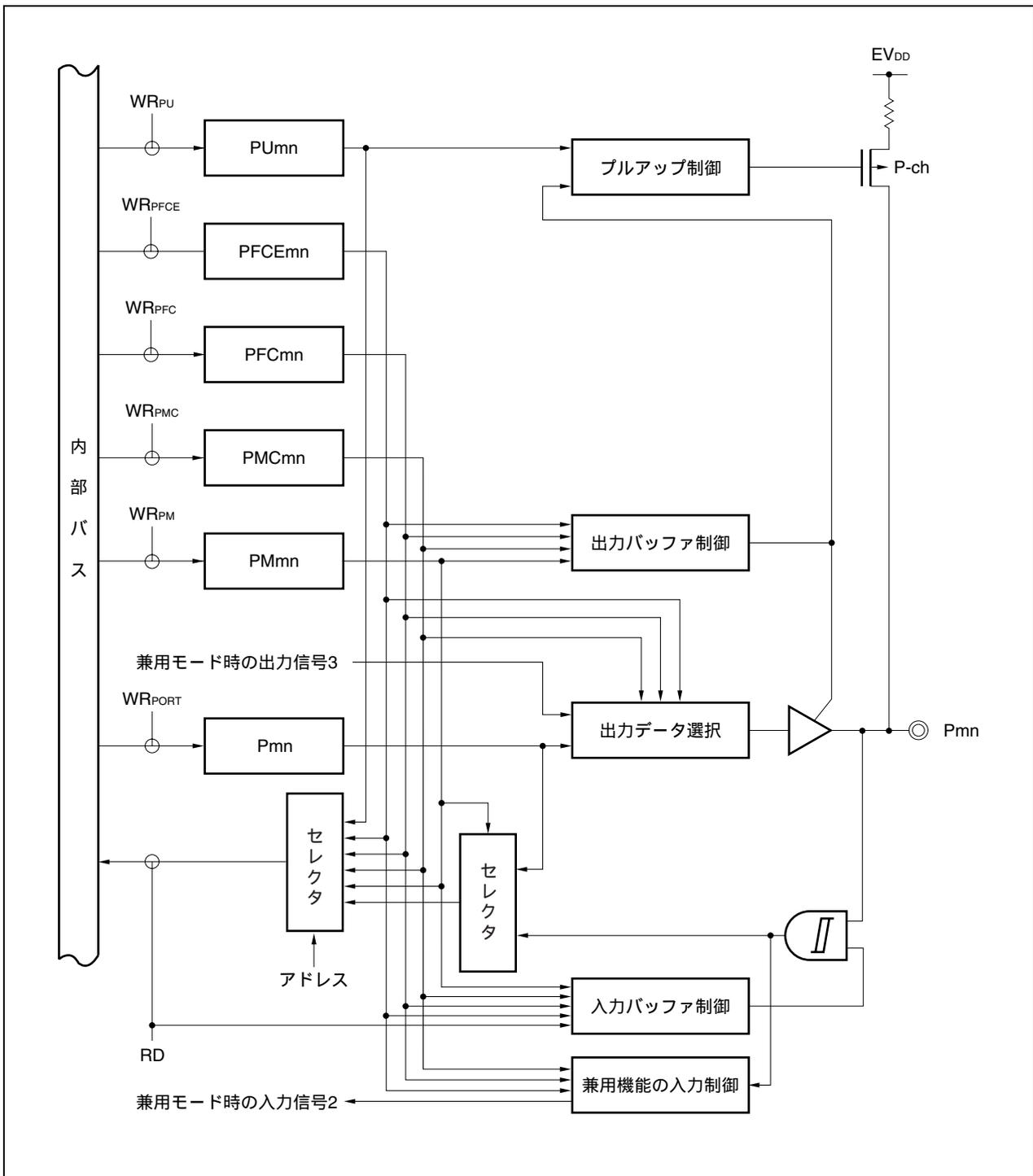


図4 - 35 タイプFx10x - UIのブロック図

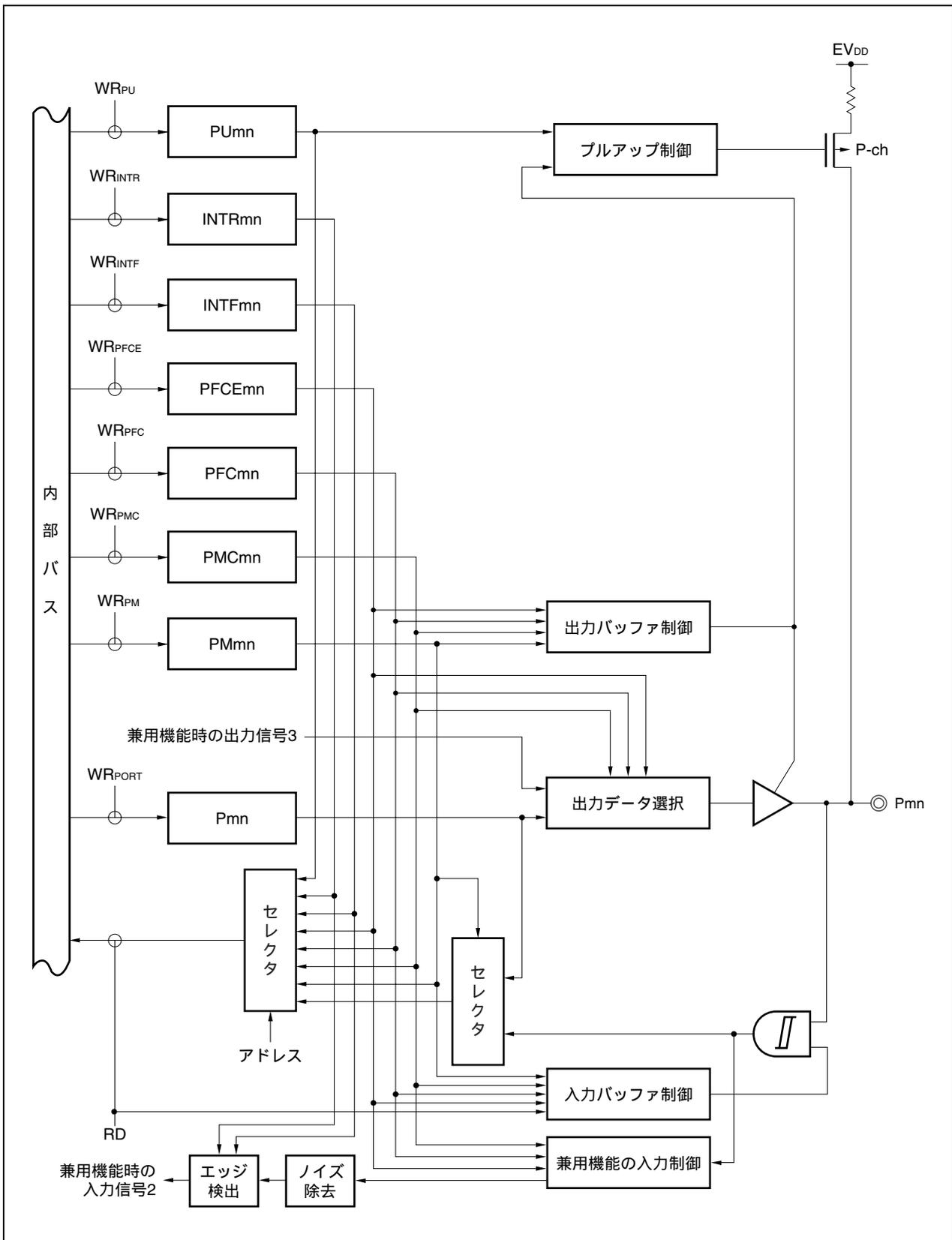


図4 - 36 タイプFx010 - Uのブロック図

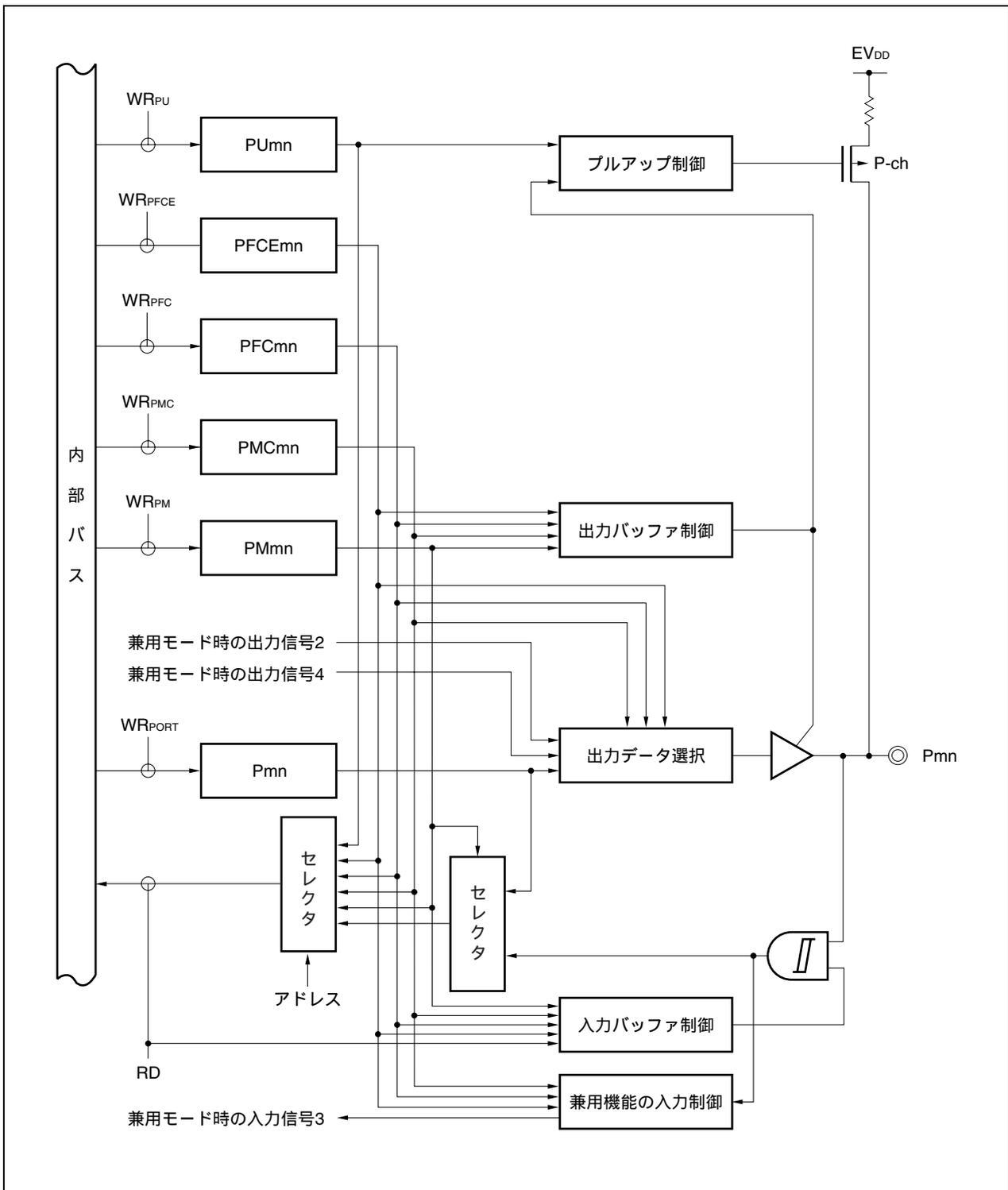


図4 - 37 タイプF_x12x - UFIのブロック図

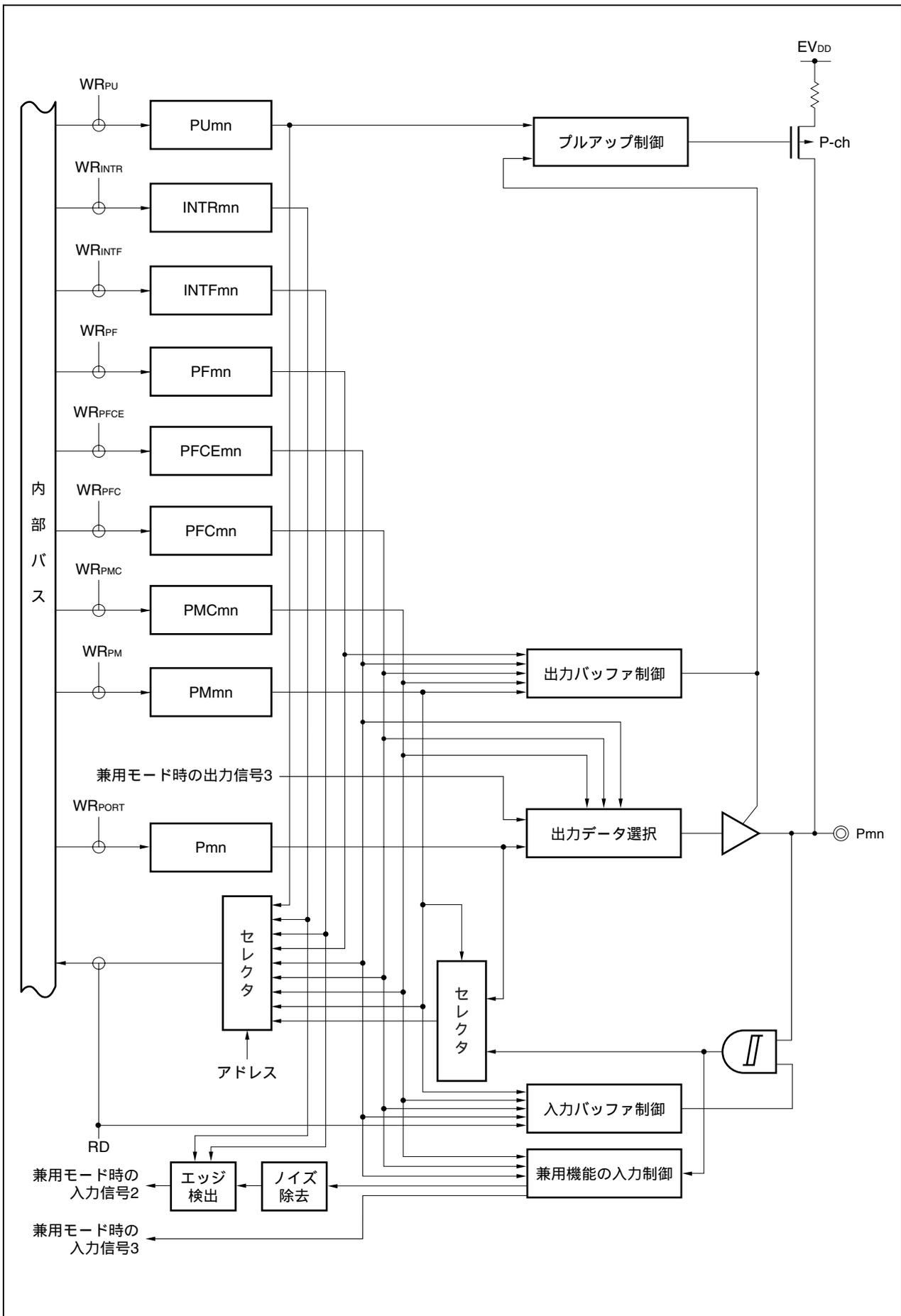


図4 - 38 タイプFx13x - Uのブロック図

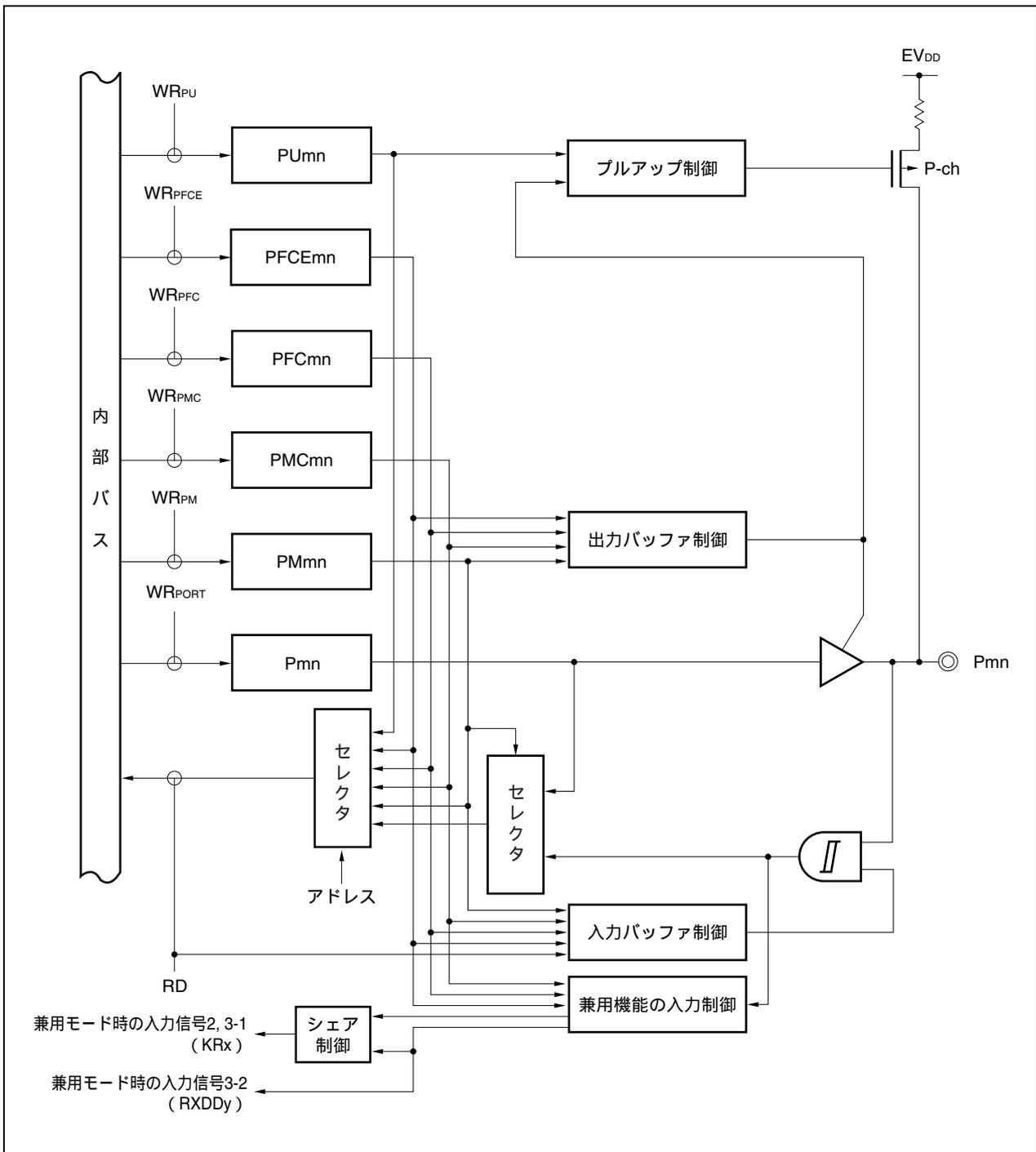


図4 - 39 タイプFx103 - UIのブロック図

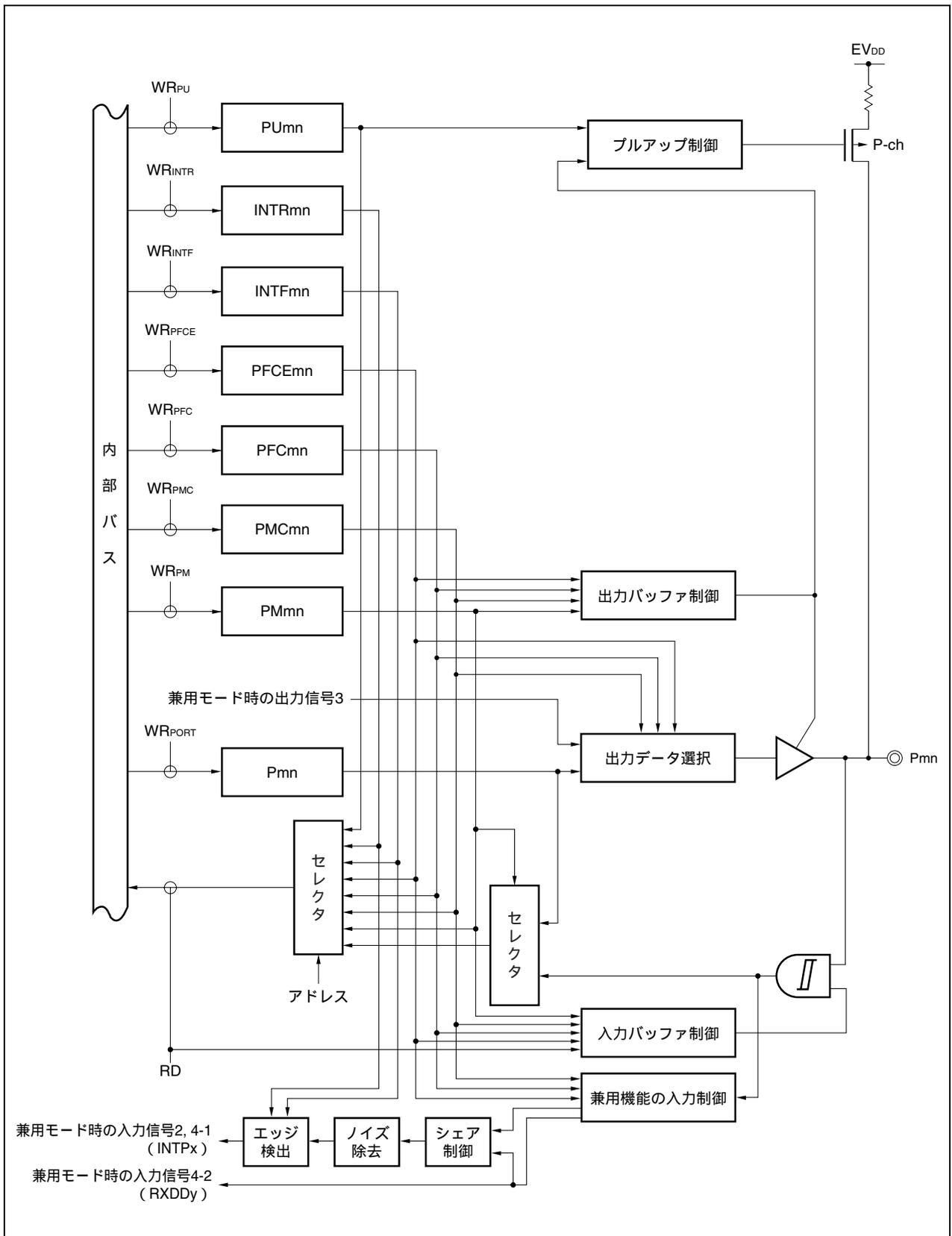


図4 - 40 タイプFx110 - Uのブロック図

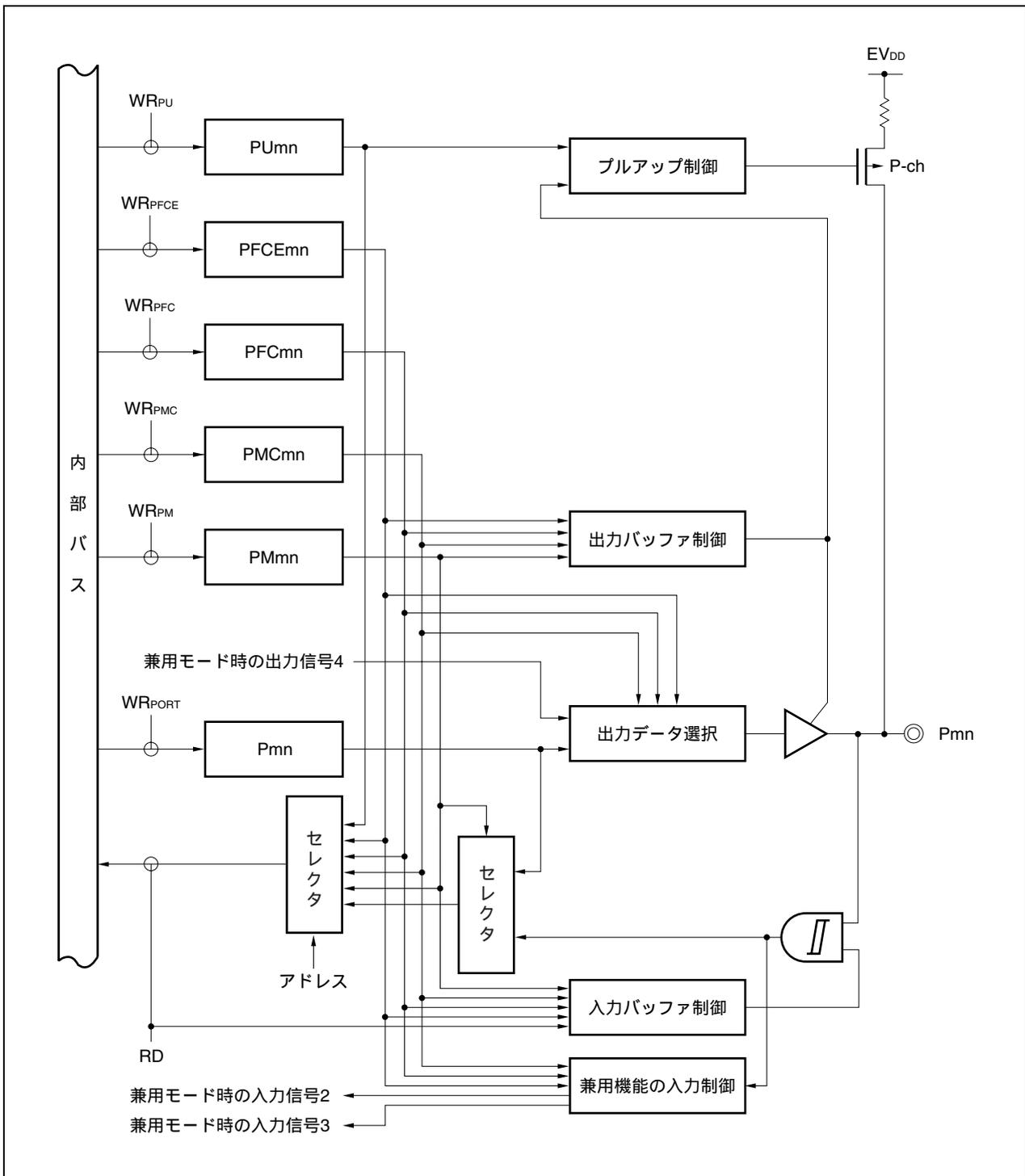


図4 - 41 タイプF_x120 - UFIのブロック図

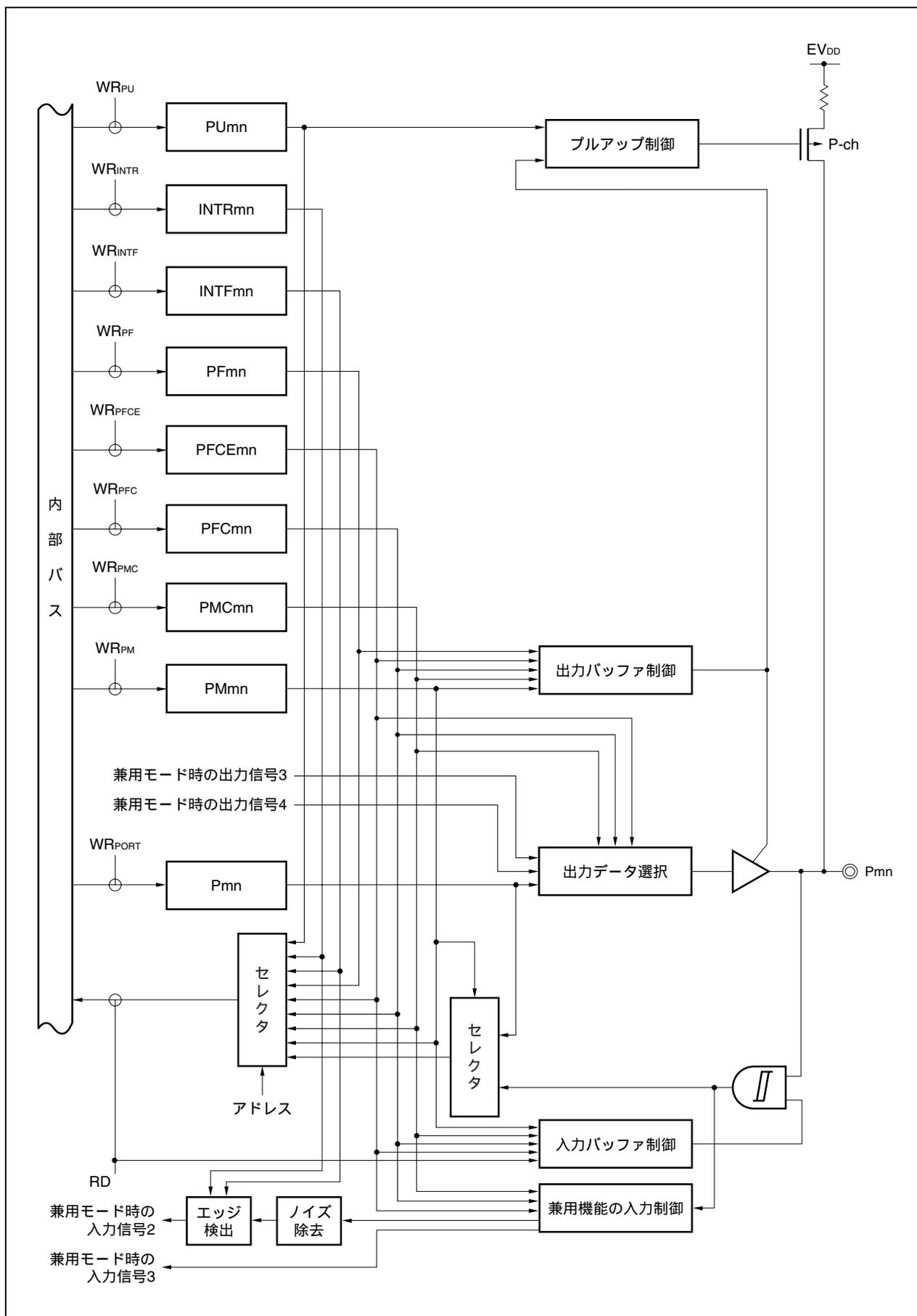


図4 - 42 タイプFx123 - UFIのブロック図

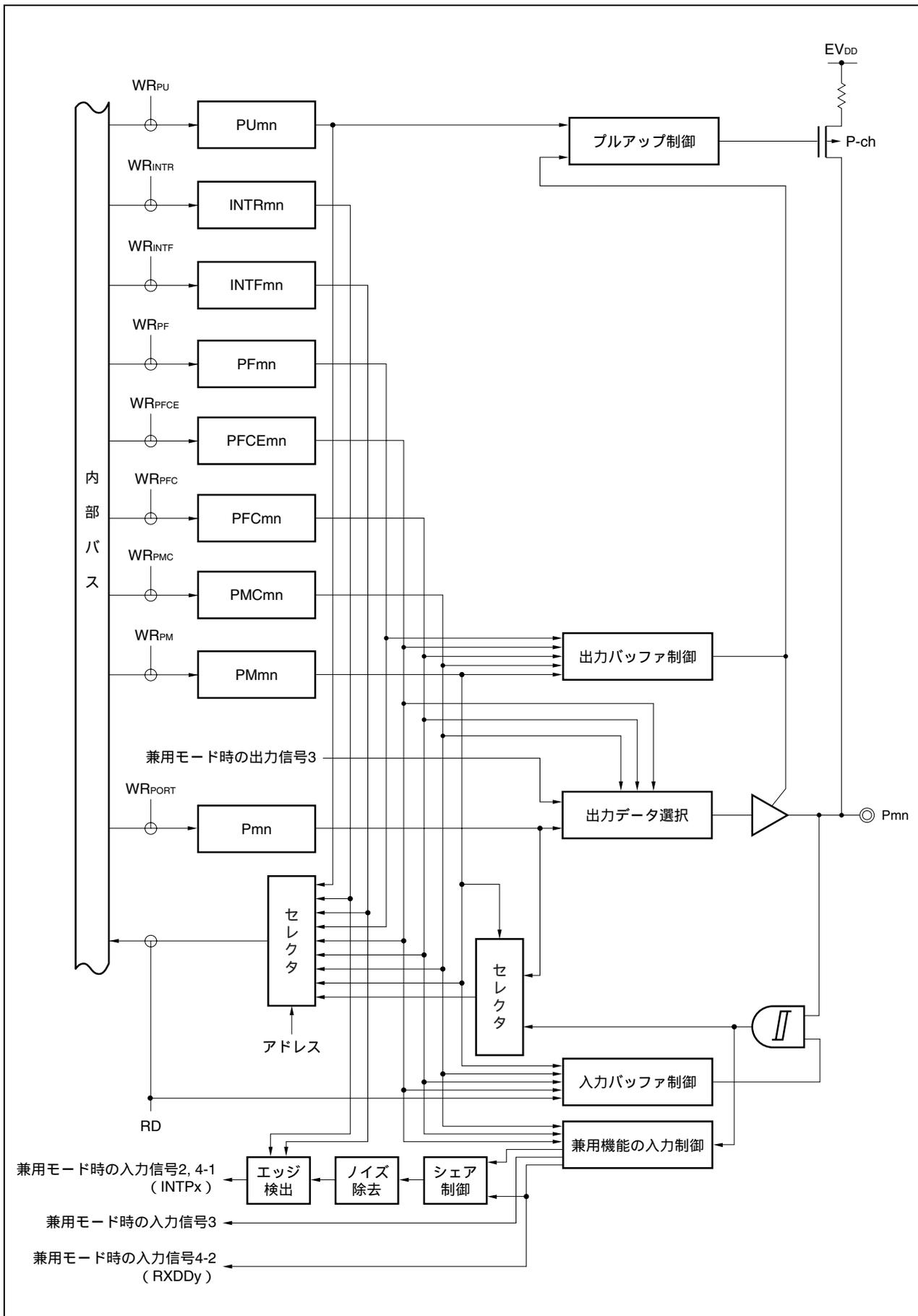


図4 - 43 タイプFx2x0 - Uのブロック図

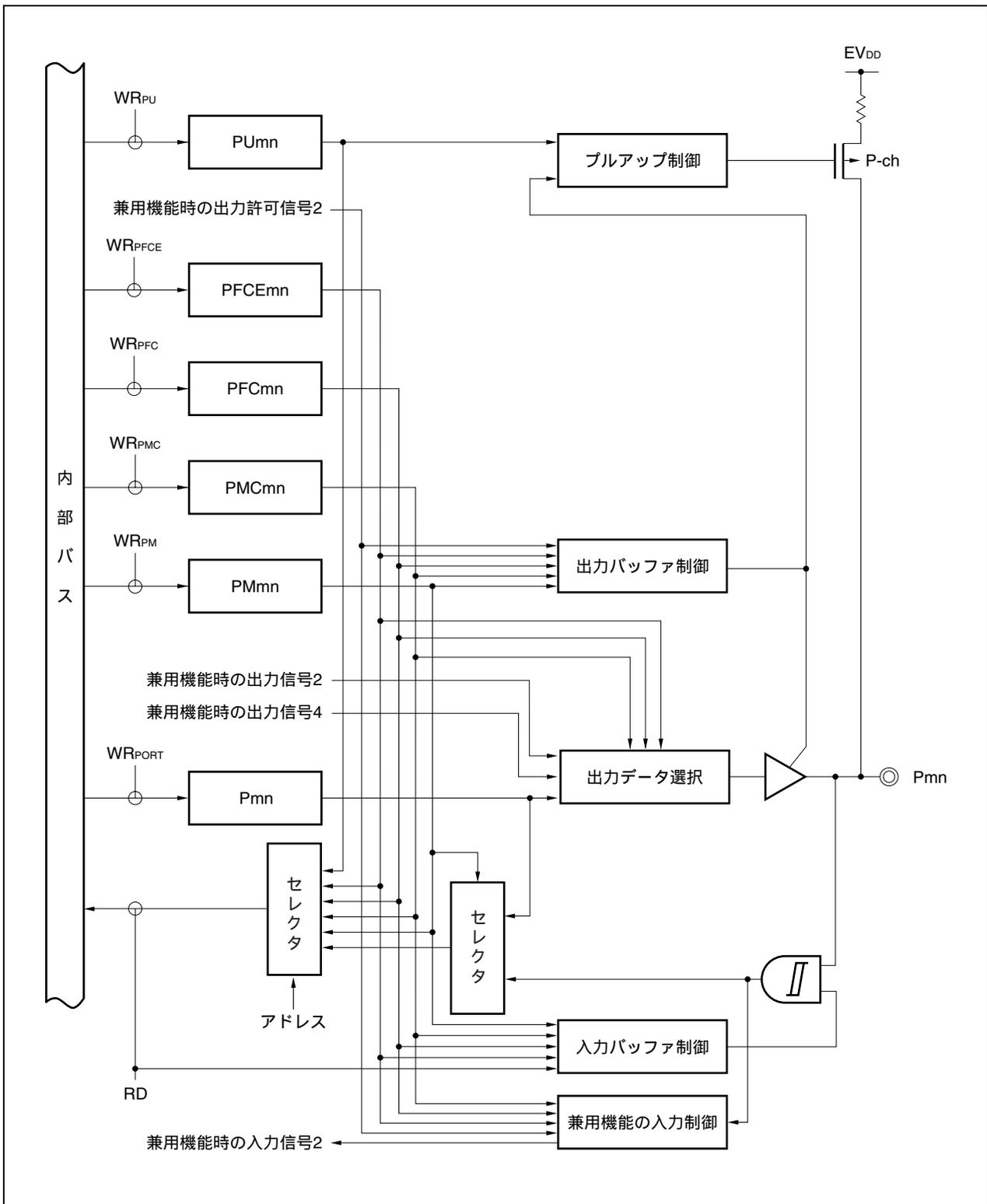


図4 - 44 タイプFx210 - Uのブロック図

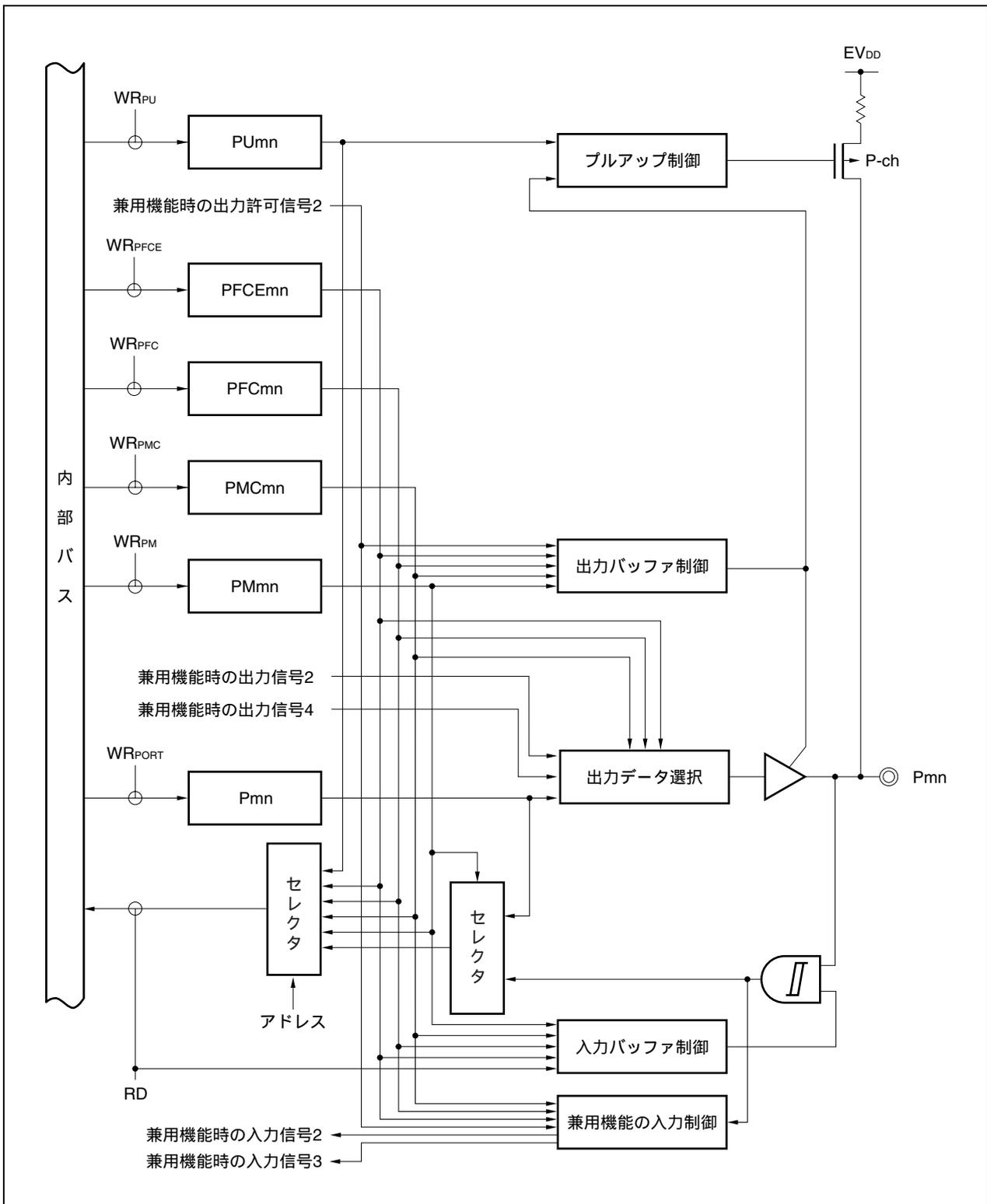
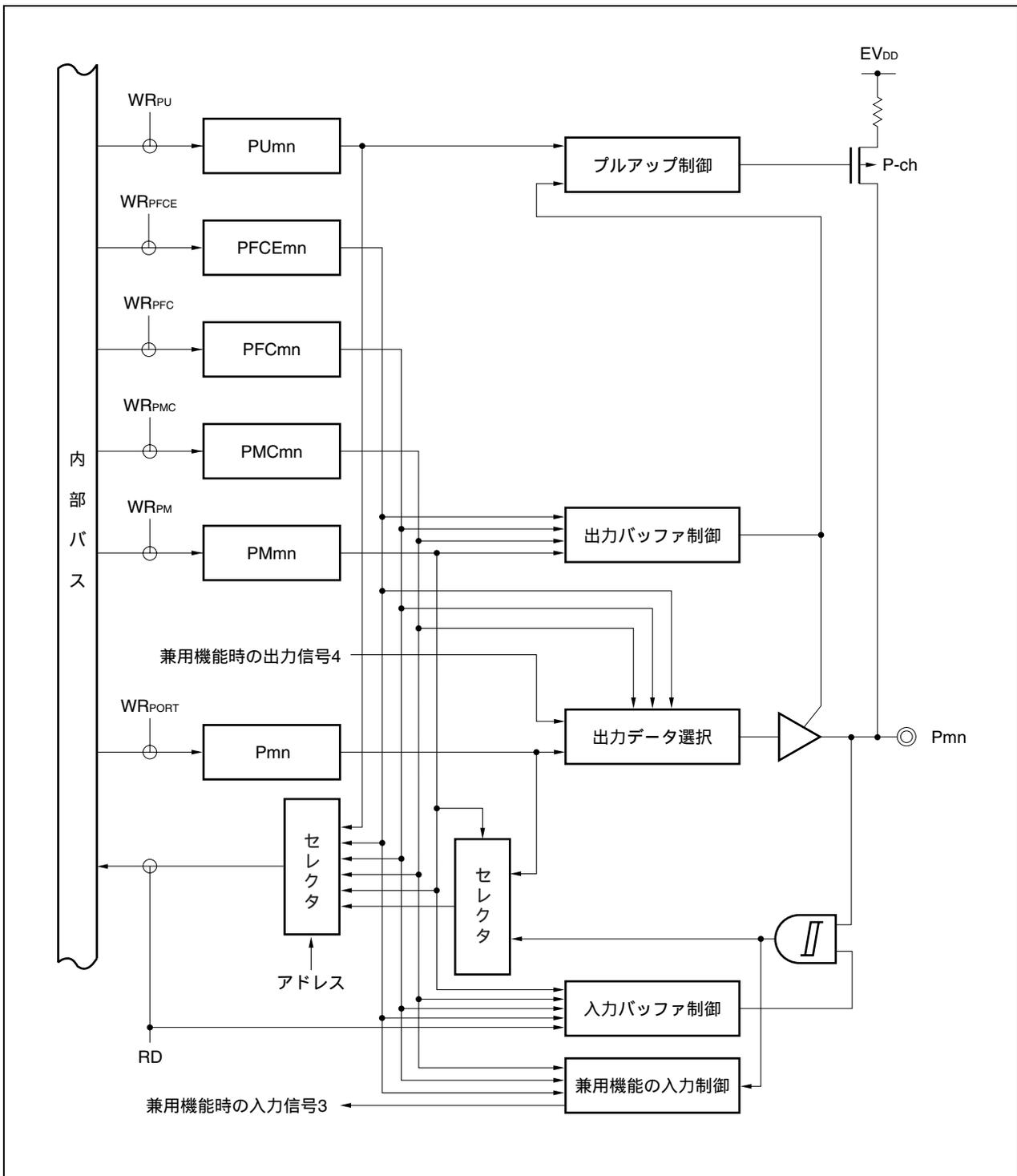


図4 - 45 タイプFxx10 - Uのブロック図



4.5 兼用機能使用時のポートのレジスタ設定

各ポートを兼用端子として使用する場合のポートのレジスタ設定を表4 - 25に示します。
兼用端子として使用する場合は各機能を参照してください。

表4 - 25 ポート端子を兼用端子として使用する場合 (1/9)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)	HE3	HF3	HG3	HJ3
	名称	入出力										
P00	TIAA31	入力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	-	PFC00 = 0					
	TOAA31	出力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	-	PFC00 = 1					
P01	TIAA30	入力	P01 = 設定不要	PM01 = 設定不要	PMC01 = 1	-	PFC01 = 0					
	TOAA30	出力	P01 = 設定不要	PM01 = 設定不要	PMC01 = 1	-	PFC01 = 1					
P02	NMI	入力	P02 = 設定不要	PM02 = 設定不要	PMC02 = 1	PFCE02 = 0	PFC02 = 0					
	TIAA40	入力	P02 = 設定不要	PM02 = 設定不要	PMC02 = 1	PFCE02 = 1	PFC02 = 0					
	TOAA40	出力	P02 = 設定不要	PM02 = 設定不要	PMC02 = 1	PFCE02 = 0	PFC02 = 1					
P03	INTP0	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	PFCE03 = 0	PFC03 = 0					
	ADTRG	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	PFCE03 = 0	PFC03 = 1					
	TIAA41	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	PFCE03 = 1	PFC03 = 0					
	TOAA41	出力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	PFCE03 = 1	PFC03 = 1					
P04	INTP1	入力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	-	-					
P05	INTP2	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	-	-					
	$\overline{\text{DRST}}$	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 設定不要	-	-	OCDM0 (OCDM) = 1				
P06	INTP3	入力	P06 = 設定不要	PM06 = 設定不要	PMC06 = 1	-	-					
P10	INTP9	入力	P10 = 設定不要	PM10 = 設定不要	PMC10 = 1	-	-					
P11	INTP10	入力	P11 = 設定不要	PM11 = 設定不要	PMC11 = 1	-	-					

表4 - 25 ポート端子を兼用端子として使用する場合 (2/9)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)	HE3	HF3	HG3	HJ3
P30	TXDD0	出力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	-	-					
P31	RXDD0	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	-	注1					
	INTP7	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	-	注1					
P32	ASCKD0	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 0	PFC32 = 0					
	TOAA01	出力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 0	PFC32 = 1					
	TIAA00	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 1	PFC32 = 0					
	TOAA00	出力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 1	PFC32 = 1					
P33	TIAA01	入力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	-	PFC33 = 0					
	TOAA01	出力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	-	PFC33 = 1					
P34	TIAA10	入力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	-	PFC34 = 0					
	TOAA10	出力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	-	PFC34 = 1					
P35	TIAA11	入力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	-	PFC35 = 0					
	TOAA11	出力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	-	PFC35 = 1					
P38	TXDD2	出力	P38 = 設定不要	PM38 = 設定不要	PMC38 = 1	-	-					
P39	RXDD2	入力	P39 = 設定不要	PM39 = 設定不要	PMC39 = 1	-	注2					
	INTP8	入力	P39 = 設定不要	PM39 = 設定不要	PMC39 = 1	-	注2					

注1. INTP7機能とRXDD0機能は兼用となっています。RXDD0機能として使用する場合は兼用しているINTP7機能のエッジ検出を無効にしてください (INTF3.INTF31ビット = 0, INTR3.INTR31ビット = 0に設定)。またINTP7機能として使用する場合はUARTD0を受信動作停止としてください (UD0CTL0.UD0RXEビット = 0)。

2. INTP8機能とRXDD2機能は兼用となっています。RXDD2機能として使用する場合は兼用しているINTP8機能のエッジ検出を無効にしてください (INTF3.INTF39ビット = 0, INTR3.INTR39ビット = 0に設定)。またINTP8機能として使用する場合はUARTD2を受信動作停止としてください (UD2CTL0.UD2RXEビット = 0)。

表4 - 25 ポート端子を兼用端子として使用する場合 (3/9)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)	HE3	HF3	HG3	HJ3
P40	SIB0	入力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	PFCE40 = 0	PFC40 = 0					
	KR0	入力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	PFCE40 = 0	PFC40 = 1					
	RXDD3	入力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	PFCE40 = 1	注1, PFC40 = 0					注2
	INTP14	入力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	PFCE40 = 1	注1, PFC40 = 0					注2
P41	SOB0	出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	PFCE41 = 0	PFC41 = 0					
	KR1	入力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	PFCE41 = 0	PFC41 = 1					
	TXDD3	出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	PFCE41 = 1	PFC41 = 0					注2
P42	SCKB0	入出力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 1	-	PFC42 = 0					
	KR2	入力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 1	-	PFC42 = 1					
P50	KR0	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 0	PFC50 = 0					
	TIAB01	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 0	PFC50 = 1					
	TOAB01	出力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 1	PFC50 = 0					
	TOAB0T1	出力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 1	PFC50 = 1					
P51	KR1	入力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 0	PFC51 = 0					
	TIAB02	入力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 0	PFC51 = 1					
	TOAB02	出力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 1	PFC51 = 0					
	TOAB0B1	出力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 1	PFC51 = 1					
P52	KR2	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 0	PFC52 = 0					
	TIAB03	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 0	PFC52 = 1					
	TOAB03	出力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 1	PFC52 = 0					
	TOAB0T2	出力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 1	PFC52 = 1					
	DDI	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 設定不要	PFCE52 = 設定不要	PFC52 = 設定不要	OCDM0 (OCDM) = 1				

注1. INTP14機能とRXDD3機能は兼用となっています。RXDD3機能として使用する場合は、兼用しているINTP14機能のエッジ検出を無効にしてください (INTF4.INTF40ビット = 0, INTR4.INTR40ビット = 0に設定)。またINTP14機能として使用する場合はUARTD3を受信動作停止としてください (UD3CTL0.UD3RXEビット = 0)

2. μ PD70F3757のみ

表4 - 25 ポート端子を兼用端子として使用する場合 (4/9)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)	HE3	HF3	HG3	HJ3
P53	KR3	入力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 0	PFC53 = 0					
	TIAB00	入力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 0	PFC53 = 1					
	TOAB00	出力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 1	PFC53 = 0					
	TOAB0B2	出力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 1	PFC53 = 1					
	DDO	出力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 設定不要	PFCE53 = 設定不要	PFC53 = 設定不要	OCDM0 (OCDM) = 1				
P54	KR4	入力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 1	PFCE54 = 0	PFC54 = 0					
	TOAB0T3	出力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 1	PFCE54 = 1	PFC54 = 1					
	DCK	入力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 設定不要	PFCE54 = 設定不要	PFC54 = 設定不要	OCDM0 (OCDM) = 1				
P55	KR5	入力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFCE55 = 0	PFC55 = 0					
	TOAB0B3	出力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFCE55 = 1	PFC55 = 1					
	DMS	入力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 設定不要	PFCE55 = 設定不要	PFC55 = 設定不要	OCDM0 (OCDM) = 1				
P60	INTP11	入力	P60 = 設定不要	PM60 = 設定不要	PMC60 = 1	-	PFC60 = 1					
P61	INTP12	入力	P61 = 設定不要	PM61 = 設定不要	PMC61 = 1	-	PFC61 = 1					
P62	INTP13	入力	P62 = 設定不要	PM62 = 設定不要	PMC62 = 1	-	PFC62 = 1					
P610	TIAB20	入力	P610 = 設定不要	PM610 = 設定不要	PMC610 = 1	-	PFC610 = 0					
	TOAB20	出力	P610 = 設定不要	PM610 = 設定不要	PMC610 = 1	-	PFC610 = 1					
P611	TIAB21	入力	P611 = 設定不要	PM611 = 設定不要	PMC611 = 1	-	PFC611 = 0					
	TOAB21	出力	P611 = 設定不要	PM611 = 設定不要	PMC611 = 1	-	PFC611 = 1					
P612	TIAB22	入力	P612 = 設定不要	PM612 = 設定不要	PMC612 = 1	-	PFC612 = 0					
	TOAB22	出力	P612 = 設定不要	PM612 = 設定不要	PMC612 = 1	-	PFC612 = 1					
P613	TIAB23	入力	P613 = 設定不要	PM613 = 設定不要	PMC613 = 1	-	PFC613 = 0					
	TOAB23	出力	P613 = 設定不要	PM613 = 設定不要	PMC613 = 1	-	PFC613 = 1					

表4 - 25 ポート端子を兼用端子として使用する場合 (5/9)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)	HE3	HF3	HG3	HJ3
P70	ANI0	入力	P70 = 設定不要	PM70 = 設定不要	PMC70 = 1	-	-					
P71	ANI1	入力	P71 = 設定不要	PM71 = 設定不要	PMC71 = 1	-	-					
P72	ANI2	入力	P72 = 設定不要	PM72 = 設定不要	PMC72 = 1	-	-					
P73	ANI3	入力	P73 = 設定不要	PM73 = 設定不要	PMC73 = 1	-	-					
P74	ANI4	入力	P74 = 設定不要	PM74 = 設定不要	PMC74 = 1	-	-					
P75	ANI5	入力	P75 = 設定不要	PM75 = 設定不要	PMC75 = 1	-	-					
P76	ANI6	入力	P76 = 設定不要	PM76 = 設定不要	PMC76 = 1	-	-					
P77	ANI7	入力	P77 = 設定不要	PM77 = 設定不要	PMC77 = 1	-	-					
P78	ANI8	入力	P78 = 設定不要	PM78 = 設定不要	PMC78 = 1	-	-					
P79	ANI9	入力	P79 = 設定不要	PM79 = 設定不要	PMC79 = 1	-	-					
P710	ANI10	入力	P710 = 設定不要	PM710 = 設定不要	PMC710 = 1	-	-					
P711	ANI11	入力	P711 = 設定不要	PM711 = 設定不要	PMC711 = 1	-	-					
P712	ANI12	入力	P712 = 設定不要	PM712 = 設定不要	PMC712 = 1	-	-					
P713	ANI13	入力	P713 = 設定不要	PM713 = 設定不要	PMC713 = 1	-	-					
P714	ANI14	入力	P714 = 設定不要	PM714 = 設定不要	PMC714 = 1	-	-					
P715	ANI15	入力	P715 = 設定不要	PM715 = 設定不要	PMC715 = 1	-	-					
P80	RXDD3	入力	P80 = 設定不要	PM80 = 設定不要	PMC80 = 1	-	-					注2
	INTP14	入力	P80 = 設定不要	PM80 = 設定不要	PMC80 = 1	-	-					
P81	TXDD3	出力	P81 = 設定不要	PM81 = 設定不要	PMC81 = 1	-	-					注2

注1. INTP14機能とRXDD3機能は兼用となっています。RXDD3機能として使用する場合は、兼用しているINTP14機能のエッジ検出を無効にしてください (INTF8.INTF80ビット = 0, INTR8.INTR80ビット = 0に設定)。また、INTP14機能として使用する場合は、UARTD3を受信動作停止としてください (UD3CTL0.UD3RXEビット = 0)。

2. μ PD70F3757のみ

表4 - 25 ポート端子を兼用端子として使用する場合 (6/9)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)	HE3	HF3	HG3	HJ3
P90	KR6	入力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 0	PFC90 = 1					
	TXDD1	出力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 1	PFC90 = 0					
P91	KR7	入力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 0	PFC91 = 1					
	RXDD1/KR7 ^注	入力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 1	PFC91 = 0					
P92	TIAB11	入力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFCE92 = 0	PFC92 = 1					
	TOAB11	出力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFCE92 = 1	PFC92 = 0					
P93	TIAB12	入力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFCE93 = 0	PFC93 = 1					
	TOAB12	出力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFCE93 = 1	PFC93 = 0					
P94	TIAB13	入力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFCE94 = 0	PFC94 = 1					
	TOAB13	出力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFCE94 = 1	PFC94 = 0					
P95	TIAB10	入力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	PFCE95 = 0	PFC95 = 1					
	TOAB10	出力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	PFCE95 = 1	PFC95 = 0					
P96	TIAA21	入力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFCE96 = 1	PFC96 = 0					
	TOAA21	出力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFCE96 = 1	PFC96 = 1					
P97	SIB1	入力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 0	PFC97 = 1					
	TIAA20	入力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 1	PFC97 = 0					
	TOAA20	出力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 1	PFC97 = 1					
P98	SOB1	出力	P98 = 設定不要	PM98 = 設定不要	PMC98 = 1	PFCE98 = 0	PFC98 = 1					
	TIAB03	入力	P98 = 設定不要	PM98 = 設定不要	PMC98 = 1	PFCE98 = 1	PFC98 = 0					
	TOAB03	出力	P98 = 設定不要	PM98 = 設定不要	PMC98 = 1	PFCE98 = 1	PFC98 = 1					
P99	SCKB1	入出力	P99 = 設定不要	PM99 = 設定不要	PMC99 = 1	PFCE99 = 0	PFC99 = 1					
	TIAB00	入力	P99 = 設定不要	PM99 = 設定不要	PMC99 = 1	PFCE99 = 1	PFC99 = 0					
	TOAB00	出力	P99 = 設定不要	PM99 = 設定不要	PMC99 = 1	PFCE99 = 1	PFC99 = 1					

注 RXDD1機能とKR7機能は同時に使用することはできません。RXDD1機能を使用する場合は、KR7機能を使用しないでください。また、KR7機能を使用する場合は、RXDD1機能を使用しないでください。(PFC91ビット = 1, PFCE91ビット = 0に設定することを推奨します)。

表4 - 25 ポート端子を兼用端子として使用する場合 (7/9)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)	HE3	HF3	HG3	HJ3
P910	SIB2	入力	P910 = 設定不要	PM910 = 設定不要	PMC910 = 1	-	PFC910 = 1					
P911	SOB2	出力	P911 = 設定不要	PM911 = 設定不要	PMC911 = 1	-	PFC911 = 1					
P912	SCKB2	入出力	P912 = 設定不要	PM912 = 設定不要	PMC912 = 1	PFCE912 = 0	PFC912 = 1					
	TXDD5	出力	P912 = 設定不要	PM912 = 設定不要	PMC912 = 1	PFCE912 = 1	PFC912 = 1					注3
P913	INTP4	入力	P913 = 設定不要	PM913 = 設定不要	PMC913 = 1	PFCE913 = 0	PFC913 = 1					
	PCL	出力	P913 = 設定不要	PM913 = 設定不要	PMC913 = 1	PFCE913 = 1	PFC913 = 0					
	RXDD5	入力	P913 = 設定不要	PM913 = 設定不要	PMC913 = 1	注1, PFCE913 = 1	注1, PFC913 = 1					注3
	INTP4	入力	P913 = 設定不要	PM913 = 設定不要	PMC913 = 1	注1, PFCE913 = 1	注1, PFC913 = 1					注3
P914	INTP5	入力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFCE914 = 0	PFC914 = 1					
	SDA00	入出力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFCE914 = 1	PFC914 = 0	PF914 = 1				
	RXDD4	入力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	注2, PFCE914 = 1	注2, PFC914 = 1					注3
	INTP5	入力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	注2, PFCE914 = 1	注2, PFC914 = 1					注3
P915	INTP6	入力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFCE915 = 0	PFC915 = 1					
	SCL00	入出力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFCE915 = 1	PFC915 = 0	PF915 = 1				
	TXDD4	出力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFCE915 = 1	PFC915 = 1					注3

注1. INTP4機能とRXDD5機能は兼用となっています。

端子をRXDD5機能として使用する場合は、INTP4機能の有効エッジ指定をエッジ検出なしにしてください (INTF9H.INTF913ビット, INTR9H.INTR913ビットに“00”を設定)。

また、INTP4機能として使用する場合は、PFC913ビット = 1, PFCE913ビット = 0に設定することを推奨します。

2. INTP5機能とRXDD4機能は兼用となっています。

端子をRXDD4機能として使用する場合は、INTP5機能の有効エッジ指定をエッジ検出なしにしてください (INTF9H.INTF914ビット, INTR9H.INTR914ビットに“00”を設定)。

また、INTP5機能として使用する場合は、PFC914ビット = 1, PFCE914ビット = 0に設定することを推奨します。

3. μ PD70F3757のみ

表4 - 25 ポート端子を兼用端子として使用する場合 (8/9)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMcnレジスタの PMcNxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)	HIE3	HF3	HG3	HJ3
P120	ANI16	入力	P120 = 設定不要	PM120 = 設定不要	PMC120 = 1	-	-					
P121	ANI17	入力	P121 = 設定不要	PM121 = 設定不要	PMC121 = 1	-	-					
P122	ANI18	入力	P122 = 設定不要	PM122 = 設定不要	PMC122 = 1	-	-					
P123	ANI19	入力	P123 = 設定不要	PM123 = 設定不要	PM c 123 = 1	-	-					
P124	ANI20	入力	P124 = 設定不要	PM124 = 設定不要	PMC124 = 1	-	-					
P125	ANI21	入力	P125 = 設定不要	PM125 = 設定不要	PMC125 = 1	-	-					
P126	ANI22	入力	P126 = 設定不要	PM126 = 設定不要	PMC126 = 1	-	-					
P127	ANI23	入力	P127 = 設定不要	PM127 = 設定不要	PMC127 = 1	-	-					
PCM0	WAIT	入力	PCM0 = 設定不要	PMCM0 = 設定不要	PMCCM0 = 1	-	-					
PCM1	CLKOUT	出力	PCM1 = 設定不要	PMCM1 = 設定不要	PMCCM1 = 1	-	-					
PCM2	HLDK	出力	PCM2 = 設定不要	PMCM2 = 設定不要	PMCCM2 = 1	-	-					
PCM3	HLDK	出力	PCM3 = 設定不要	PMCM3 = 設定不要	PMCCM3 = 1	-	-					
PCS0	CS0	出力	PCS0 = 設定不要	PMCS0 = 設定不要	PMCCS0 = 1	-	-					
PCS1	CS1	出力	PCS1 = 設定不要	PMCS1 = 設定不要	PMCCS1 = 1	-	-					
PCS2	CS2	出力	PCS2 = 設定不要	PMCS2 = 設定不要	PMCCS2 = 1	-	-					
PCS3	CS3	出力	PCS3 = 設定不要	PMCS3 = 設定不要	PMCCS3 = 1	-	-					
PCT0	WR0	出力	PCT0 = 設定不要	PMCT0 = 設定不要	PMCCCT0 = 1	-	-					
PCT1	WR1	出力	PCT1 = 設定不要	PMCT1 = 設定不要	PMCCCT1 = 1	-	-					
PCT4	RD	出力	PCT4 = 設定不要	PMCT4 = 設定不要	PMCCCT4 = 1	-	-					
PCT6	ASTB	出力	PCT6 = 設定不要	PMCT6 = 設定不要	PMCCCT6 = 1	-	-					

表4 - 25 ポート端子を兼用端子として使用する場合 (9/9)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)	HE3	HF3	HG3	HJ3
PDL0	AD0	入出力	PDL0 = 設定不要	PMDL0 = 設定不要	PMCDL0 = 1	-	-					
PDL1	AD1	入出力	PDL1 = 設定不要	PMDL1 = 設定不要	PMCDL1 = 1	-	-					
PDL2	AD2	入出力	PDL2 = 設定不要	PMDL2 = 設定不要	PMCDL2 = 1	-	-					
PDL3	AD3	入出力	PDL3 = 設定不要	PMDL3 = 設定不要	PMCDL3 = 1	-	-					
PDL4	AD4	入出力	PDL4 = 設定不要	PMDL4 = 設定不要	PMCDL4 = 1	-	-					
PDL5	AD5	入出力	PDL5 = 設定不要	PMDL5 = 設定不要	PMCDL5 = 1	-	-					
	FLMD1 ^注	入力	PDL5 = 設定不要	PMDL5 = 設定不要	PMCDL5 = 設定不要	-	-					
PDL6	AD6	入出力	PDL6 = 設定不要	PMDL6 = 設定不要	PMCDL6 = 1	-	-					
PDL7	AD7	入出力	PDL7 = 設定不要	PMDL7 = 設定不要	PMCDL7 = 1	-	-					
PDL8	AD8	入出力	PDL8 = 設定不要	PMDL8 = 設定不要	PMCDL8 = 1	-	-					
PDL9	AD9	入出力	PDL9 = 設定不要	PMDL9 = 設定不要	PMCDL9 = 1	-	-					
PDL10	AD10	入出力	PDL10 = 設定不要	PMDL10 = 設定不要	PMCDL10 = 1	-	-					
PDL11	AD11	入出力	PDL11 = 設定不要	PMDL11 = 設定不要	PMCDL11 = 1	-	-					
PDL12	AD12	入出力	PDL12 = 設定不要	PMDL12 = 設定不要	PMCDL12 = 1	-	-					
PDL13	AD13	入出力	PDL13 = 設定不要	PMDL13 = 設定不要	PMCDL13 = 1	-	-					
PDL14	AD14	入出力	PDL14 = 設定不要	PMDL14 = 設定不要	PMCDL14 = 1	-	-					
PDL15	AD15	入出力	PDL15 = 設定不要	PMDL15 = 設定不要	PMCDL15 = 1	-	-					

注 フラッシュ・メモリ・プログラミング・モード時に設定する端子なので、ポート制御用レジスタで操作する必要はありません。詳細は第26章 フラッシュ・メモリを参照してください。

4.6 注意事項

4.6.1 ポート端子設定上の注意事項

(1) V850ES/Hx3では、1本の端子に汎用ポートと複数の周辺機能の入出力端子が兼用されています。汎用ポート（ポート・モード）と、周辺機能の入出力端子（兼用機能モード）との切り替えは、PMCnレジスタで設定します。このレジスタの設定順序に関して、次の点に注意してください。

(a) ポート・モードから兼用機能モードへ切り替える場合の注意事項

ポート・モードから兼用機能モードへ切り替える場合は、次の順序で行ってください。

PFCn, PFCEnレジスタを設定	: 兼用端子機能選択
PMCnレジスタの該当ビットに1を設定	: 兼用機能モードへ切り替え
PUnレジスタを設定 [※]	: 内蔵プルアップ抵抗の接続設定

PMCnレジスタを先に設定すると、その瞬間、またそのあとのPFn, PFCn, PFCEnレジスタの設定に伴う端子状態の変化によっては、意図しない動作に陥る可能性があるので注意してください。

注 該当入力端子

注意 ポート・モード/兼用機能モードに関係なく、Pnレジスタのリード/ライトは次のようになります。

- ・ Pnレジスタのリード : ポート出力ラッチの値 (PMn.PMnmビット = 0時)、または端子状態 (PMn.PMnmビット = 1時) の読み出し
- ・ Pnレジスタへのライト : ポート出力ラッチへの書き込み

Nchオープン・ドレイン端子の設定は、次の手順で行ってください。

ポート・モード・レジスタで使用する場合

PMCnmビット = 0

PFnmビット = 1

兼用機能 (I²C) で使用する場合

PFCn, PFCEnレジスタを設定

PFnmビット = 1

PMCnmビット = 1

(b) 兼用機能モード (入力) に関する注意事項

兼用機能ブロックへの入力信号は、PMcNレジスタの設定値と端子レベルのAND出力のため、PMcN.PMcNmビット = 0のときはロウ・レベルとなります。そのため、ポート設定と兼用機能動作許可のタイミングによっては、意図しない動作に陥る可能性があります。したがって、PMcNレジスタによるポート・モードと兼用機能モードの切り替えは、次に示す順序で実行してください。

- ・ポート・モードから兼用機能モード (入力) へ切り替える場合
PMcNレジスタで端子を兼用機能モードにしてから、兼用機能の動作を許可してください。
- ・兼用機能モード (入力) からポート・モードへ切り替える場合
兼用機能の動作を停止してから、端子をポート・モードへ切り替えてください。

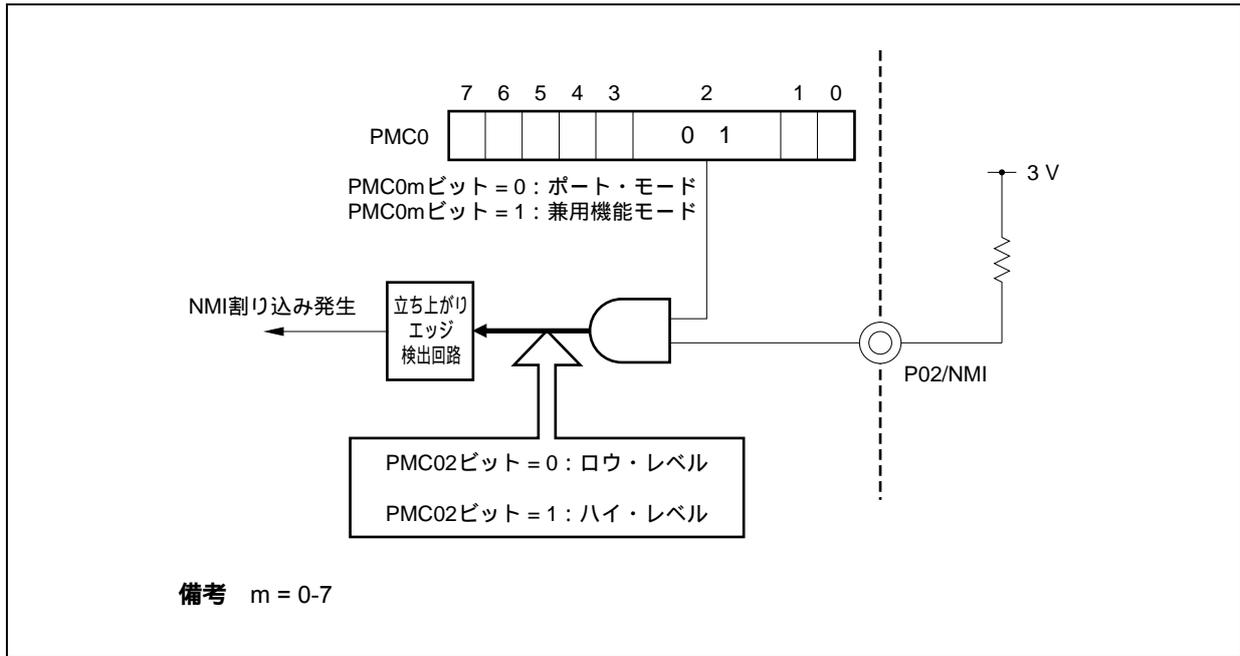
【例1】、【例2】に具体例を示します。

【例1】汎用ポート (P02) から外部割り込み端子 (NMI) への切り替え

P02/NMI端子が図4 - 46のようにプルアップされており、かつNMI端子のエッジ検出設定で立ち上がりエッジを指定している場合に、P02端子からNMI端子へ切り替えたとき (PMc02ビット = 0→1)、NMI端子にはハイ・レベルが入力され続けているにもかかわらず、ロウ・レベル→ハイ・レベルと変化したかのように立ち上がりエッジとして検出し、NMI割り込みが発生します。

対策として、P02端子からNMI端子へ切り替えてから、NMI端子の有効エッジを設定してください。

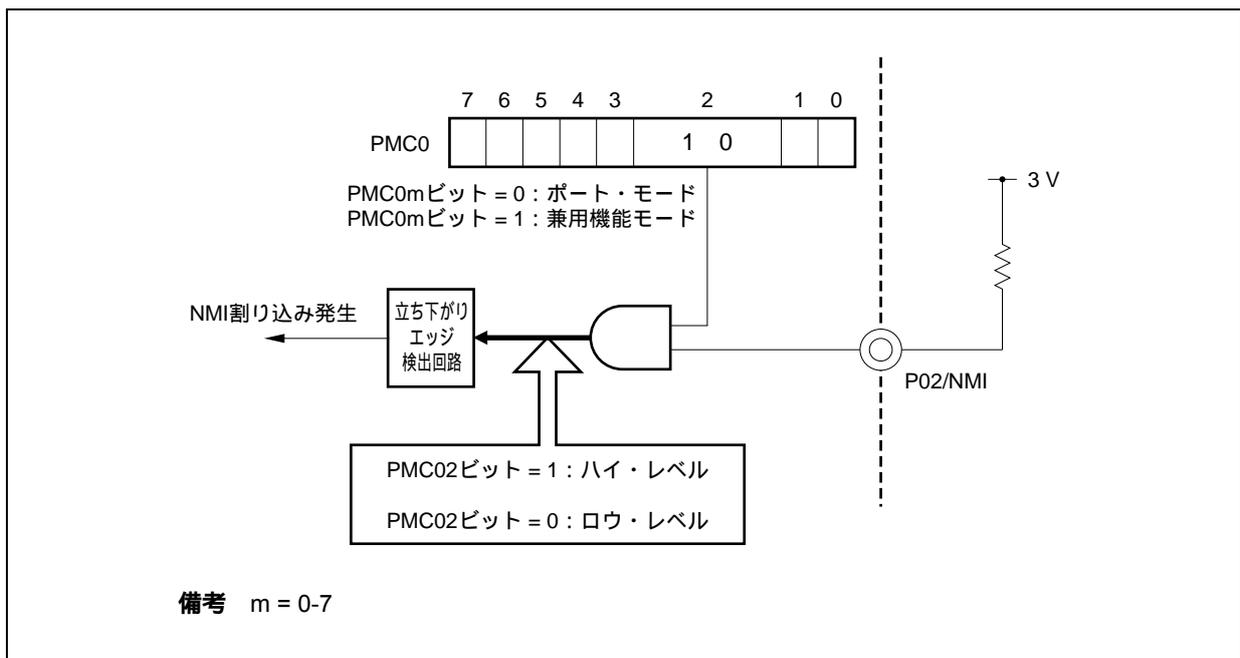
図4 - 46 P02からNMIへの切り替え（悪い例）



【例2】外部割り込み端子（NMI）から，汎用ポート（P02）への切り替え

P02/NMI端子が図4 - 47のようにプルアップされており，かつNMI端子のエッジ検出設定で立ち下がりエッジを指定している場合に，NMI端子からP02端子へ切り替えたとき（PMCO2ビット = 1→0），NMI端子にはハイ・レベルが入力され続けているにもかかわらず，ハイ・レベル→ロウ・レベルと変化したかのように立ち下がりエッジとして検出し，NMI割り込みが発生します。対策として，NMI端子のエッジ検出設定を“エッジ検出しない”にしてから，NMI端子からP02端子へ切り替えてください。

図4 - 47 NMIからP02への切り替え（悪い例）



(2) ポート・モードにおいてPFn.PFnmビットは，出力モード（PMn.PMnmビット = 0）時のみ有効となります。入力モード（PMnmビット = 1）のとき，PFnmビットの値はバッファに反映されません。

4.6.2 ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項

入力/出力が混在しているポートに対して1ビット操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P90端子は出力ポート、P91-P97端子は入力ポート（端子状態はすべてハイ・レベル）で、かつポート・ラッチの値が“00H”のとき、P90端子の出力をビット操作命令により“ロウ・レベル” “ハイ・レベル” とすると、ポート・ラッチの値は、“FFH” になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込み/読み出しの対象は、それぞれ出力ラッチ/端子状態です。

また、ビット操作命令はV850ES/Hx3内部で、次の順序で行われます。

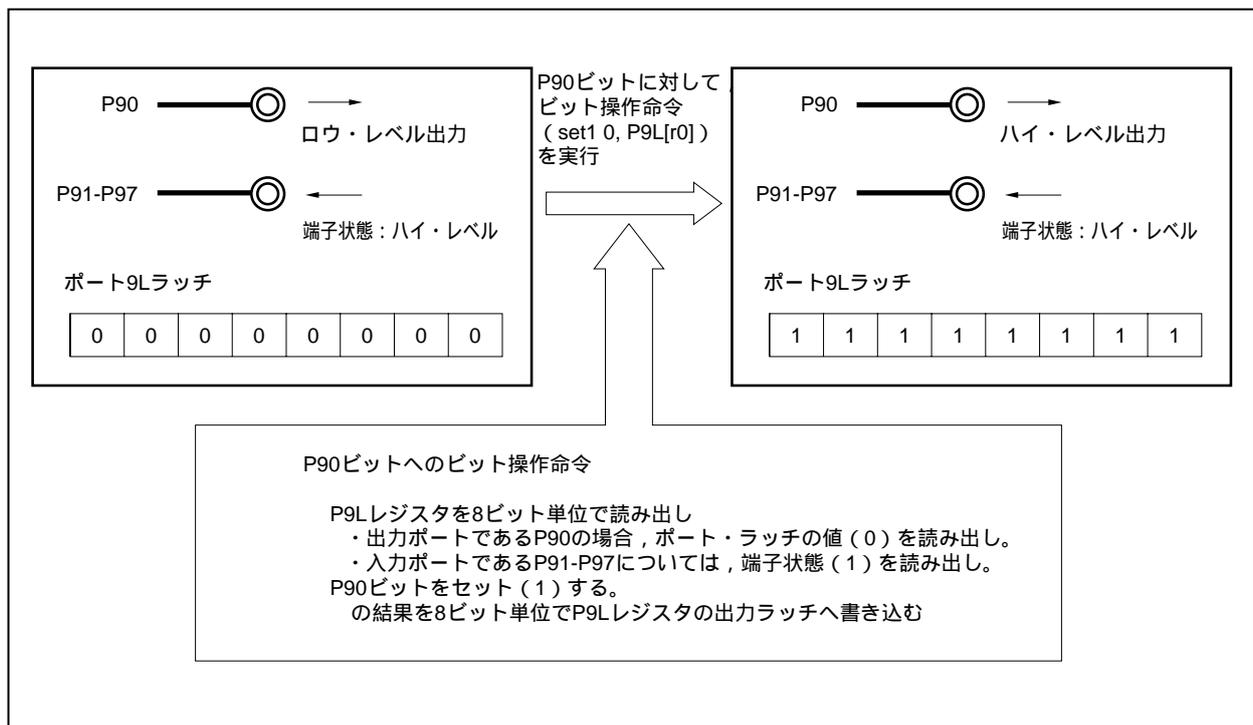
- <1> Pnレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> Pnレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP90端子は出力ラッチの値（0）を読み出しますが、入力ポートであるP91-P97端子は端子状態を読み出します。このときP91-P97端子の端子状態が“ハイ・レベル” とすると、読み出し値は“FEH” となります。

<2> の操作で、値は“FFH” となります。

<3> の操作で、出力ラッチに“FFH” が書き込まれます。

図4 - 48 ビット操作命令（P90端子の場合）



4.6.3 オンチップ・デバッグ用端子に関する注意事項

$\overline{\text{DRST}}$, DCK, DMS, DDI, DDO端子はオンチップ・デバッグ用の端子です。

$\overline{\text{RESET}}$ 端子によるリセット後, P05/INTP2/ $\overline{\text{DRST}}$ 端子はオンチップ・デバッグ用端子 ($\overline{\text{DRST}}$) に初期化されます。このとき $\overline{\text{DRST}}$ 端子にハイ・レベルを入力すると, オンチップ・デバッグ・モードになり, DCK, DMS, DDI, DDO端子が使用可能になります。

オンチップ・デバッグを使用しない場合は, 次の処置が必要です。

- ・OCDMレジスタ (特定レジスタ) のOCDM0ビットをクリア (0)

このとき, $\overline{\text{RESET}}$ 端子によるリセット解除時から, 上記の処理を終えるまで, P05/INTP2/ $\overline{\text{DRST}}$ 端子をロウ・レベル固定にしてください。

上記処置を行う前に $\overline{\text{DRST}}$ 端子にハイ・レベルを入力すると, 誤動作 (CPUデッド・ロック) の原因となるため, P05端子の取り扱いには十分注意してください。

注意 WDT2RES信号, クロック・モニタ (CLM), 低電圧検出回路 (LVI) によるリセット時は, P05/INTP2/ $\overline{\text{DRST}}$ 端子はオンチップ・デバッグ用端子 ($\overline{\text{DRST}}$) に初期化されません。また, OCDMレジスタも値を保持します。

4.6.4 P05/INTP2/ $\overline{\text{DRST}}$ 端子に関する注意事項

P05/INTP2/ $\overline{\text{DRST}}$ 端子はプルダウン抵抗 (30 k Ω (TYP.)) を内蔵しています。 $\overline{\text{RESET}}$ 端子によるリセット後は, プルダウン抵抗が接続されています。OCDM0ビットをクリア (0) することにより, プルダウン抵抗は切断されます。

4.6.5 P53端子に関する電源投入時の注意事項

次に示す端子は, 電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

- ・P53/KR3/TIAB00/TOAB00/TOAB0B2/DDO端子

4.6.6 ヒステリシス特性について

ポート・モードでは, 次のポートはヒステリシス特性を持ちません。

P00-P06

P10, P11

P31-P35, P39

P40-P42

P50-P55

P60-P62, P610-P613

P80, P81

P90-P910, P912-P915

第5章 バス制御機能（V850ES/HJ3のみ）

V850ES/HJ3は、外部にROM, RAMなどのメモリやI/Oなどを接続できる外部バス・インタフェース機能を内蔵しています。

5.1 特 徴

最小で3バス・サイクルのマルチプレクス・バス

8ビット/16ビット・データ・バス切り替え可能

ウエイト機能

・最大で7ステートのプログラマブル・ウエイト機能

・ $\overline{\text{WAIT}}$ 端子による外部ウエイト機能

アイドル・ステート機能

バス・ホールド機能

ポートとの兼用端子で、外部デバイスに接続可能

ミスアライン・アクセス可能

チップ・セレクト機能（4空間）

5.2 バス制御端子

外部デバイスの接続には、次の端子を使用します。

表5-1 バス制御端子一覧 (マルチプレクス・バス)

バス制御端子	兼用端子	入出力	機能
AD0-AD15	PDL0-PDL15	入出力	アドレス/データ・バス
$\overline{\text{WAIT}}$	PCM0	入力	外部ウエイト制御
CLKOUT	PCM1	出力	内部システム・クロック
$\overline{\text{WRO}}, \overline{\text{WR1}}$	PCT0, PCT1	出力	ライト・ストロブ信号
$\overline{\text{RD}}$	PCT4	出力	リード・ストロブ信号
ASTB	PCT6	出力	アドレス・ストロブ信号
HLDRQ	PCM3	入力	バス・ホールド制御
$\overline{\text{HLDK}}$	PCM2	出力	
$\overline{\text{CS0}}-\overline{\text{CS3}}$	PCS0-PCS3	出力	チップ・セレクト

5.2.1 内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態

内蔵ROM, 内蔵RAM, 内蔵周辺I/Oへアクセスした場合、各端子状態は次のようになります。

表5-2 内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態一覧

アドレス/データ・バス (AD15-AD0)	不定
制御信号	インアクティブ

注意 内蔵ROM領域へライト・アクセスしたときには、外部メモリ領域へのアクセスと同じく、アドレス、データ、制御信号ともに活性化されます。

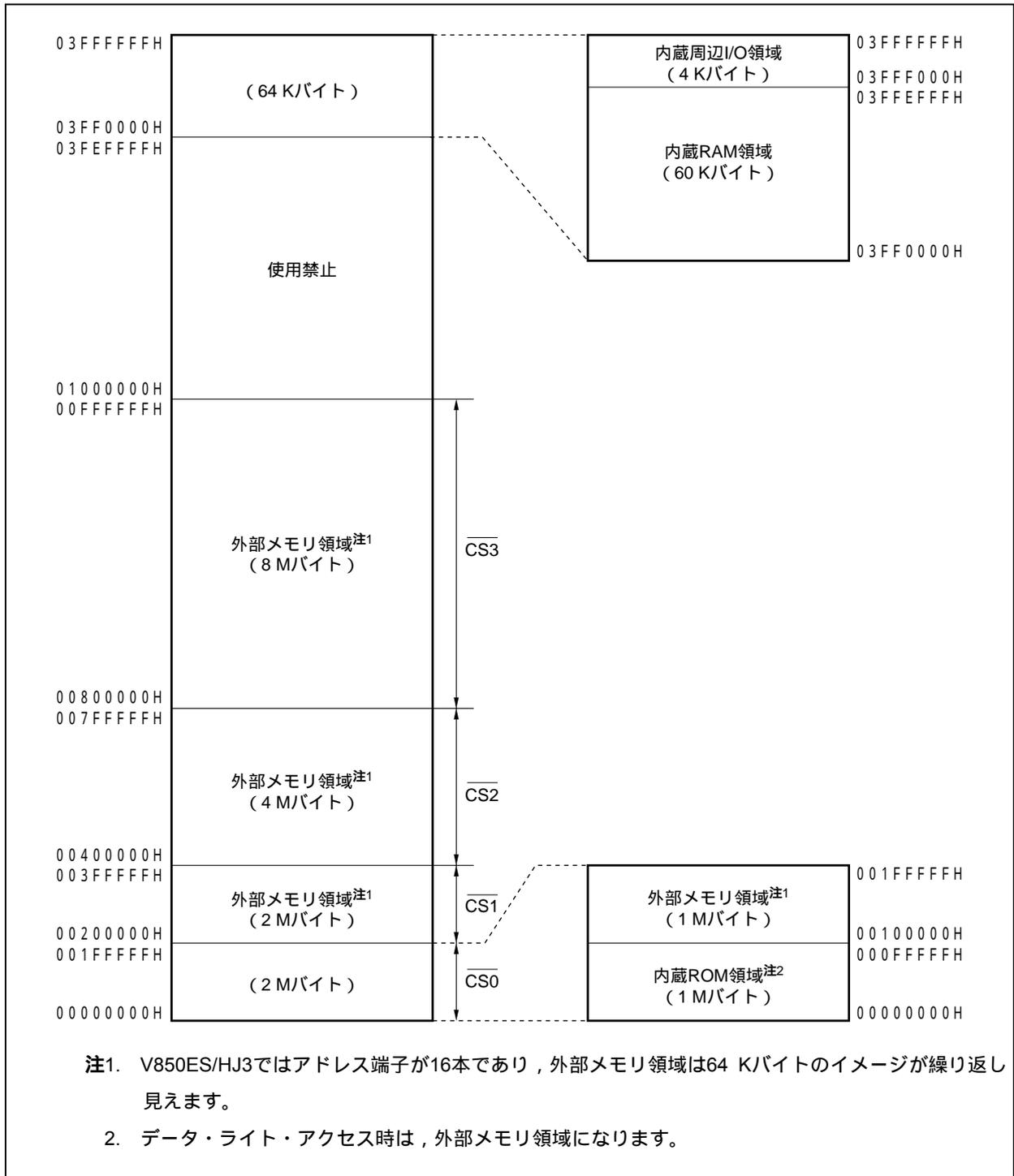
5.2.2 各動作モードの端子状態

V850ES/HJ3各動作モードの端子状態については、2.2 端子状態を参照してください。

5.3 メモリ・ブロック機能

16 Mバイトの外部メモリ空間は下位2 M, 2 M, 4 M, 8 Mバイト単位のメモリ・ブロックに分割され, 1ブロック単位にプログラマブル・ウエイト機能, バス・サイクル動作モードなどを独立に制御できます。

図5-1 データ・メモリ・マップ：物理アドレス



5.4 バス・アクセス

5.4.1 アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数を次に示します。

表5 - 3 アクセス・クロック数 (μ PD70F3755)

領域 (バス幅) / バス・サイクル・タイプ	内蔵ROM (32ビット)	内蔵RAM (32ビット)	外部メモリ (16ビット)
命令フェッチ (通常アクセス)	1	1 ^注	3 + n
命令フェッチ (分岐)	2	2 ^注	3 + n
オペランド・データ・アクセス	3	1	3 + n

注 データ・アクセスと競合した場合は、+1されます。

備考1. 単位はクロック/アクセスです。

2. n = ウェイト挿入数

表5 - 4 アクセス・クロック数 (μ PD70F3757)

領域 (バス幅) / バス・サイクル・タイプ	内蔵ROM (32ビット)	内蔵RAM (32ビット)	外部メモリ (16ビット)
命令フェッチ (通常アクセス)	1	1 ^注	3 + n
命令フェッチ (分岐)	3	2 ^注	3 + n
オペランド・データ・アクセス	5	1	3 + n

注 データ・アクセスと競合した場合は、+1されます。

備考1. 単位はクロック/アクセスです。

2. n = ウェイト挿入数

5.4.2 バス・サイズ設定機能

外部メモリ領域は、 \overline{CSn} で選択される領域ごとにBSCレジスタで設定できます。ただし、設定可能なバス・サイズは8ビットと16ビットのみです。

V850ES/HJ3の外部メモリ領域は、 $\overline{CS0}$ - $\overline{CS3}$ で選択されます。

(1) バス・サイズ・コンフィギュレーション・レジスタ (BSC)

16ビット単位でリード/ライト可能です。

リセットにより5555Hになります。

注意 BSCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BSCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

リセット時：5555H R/W アドレス：FFFFFF066H

	15	14	13	12	11	10	9	8
BSC	0	1	0	1	0	1	0	1
	7	6	5	4	3	2	1	0
	0	BS30	0	BS20	0	BS10	0	BS00
		$\overline{CS3}$		$\overline{CS2}$		$\overline{CS1}$		$\overline{CS0}$

BSn0	CSn空間のデータ・バス幅 (n = 0-3)
0	8ビット
1	16ビット

注意 ビット14, 12, 10, 8には必ず1を設定し、ビット15, 13, 11, 9, 7, 5, 3, 1には必ず0を設定してください。

5.4.3 バス・サイズによるアクセス

V850ES/HJ3が内蔵周辺I/Oアクセス，外部メモリ・アクセスを行う場合には，8, 16, 32ビット・アクセスがあります。またバス・サイズは次のとおりです。

- ・内蔵周辺I/Oのバス・サイズは16ビット固定
- ・外部メモリのバス・サイズは8ビット/16ビット選択可能 (BSCレジスタにより設定)

次にそれぞれのアクセス時の動作を示します。すべてデータの下位側から順番にアクセスを行います。

V850ES/HJ3は，リトル・エンディアン形式のみ対応しています。

図5-2 ワード内のリトル・エンディアン・アドレス

31	24 23	16 15	8 7	0
000BH	000AH	0009H	0008H	
0007H	0006H	0005H	0004H	
0003H	0002H	0001H	0000H	

(1) データ空間

V850ES/HJ3はアドレス・ミス・アライン機能を内蔵しています。

この機能により，データの形式 (ワード・データ，ハーフワード・データ) にかかわらず，すべてのアドレスに対してデータを配置できます。ただし，ワード・データ，ハーフワード・データの場合，データが境界整列していないと，バス・サイクルが最低2回は発生し，バス効率が低下します。

(a) ハーフワード長のデータ・アクセスの場合

アドレスの最下位ビットが1のとき，バイト長のバス・サイクルを2回生成します。

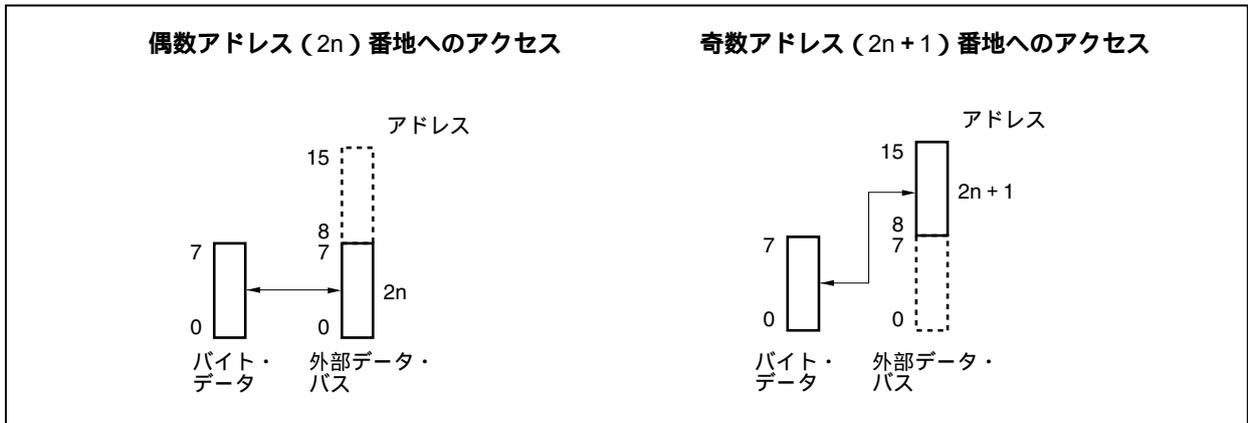
(b) ワード長のデータ・アクセスの場合

(i) アドレスの最下位ビットが1のとき，バイト長のバス・サイクル，ハーフワード長のバス・サイクル，バイト長のバス・サイクルの順でバス・サイクルを生成します。

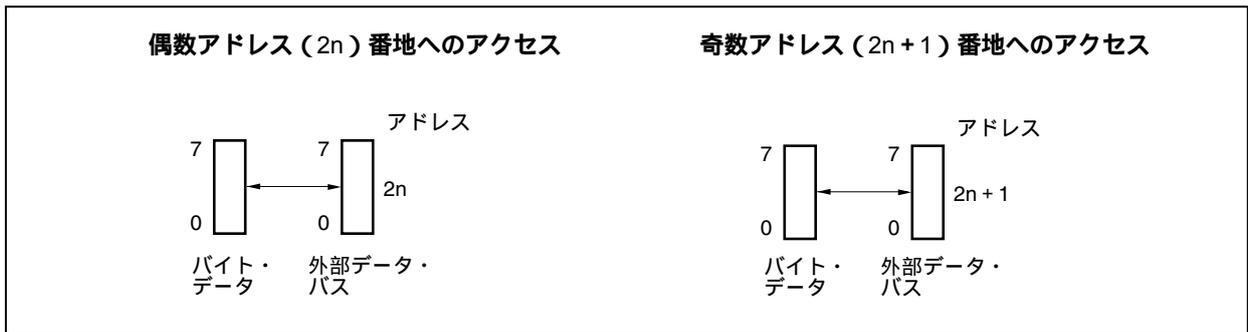
(ii) アドレスの下位2ビットが10のとき，ハーフワード長のバス・サイクルを2回生成します。

(2) バイト・アクセス (8ビット)

(a) 16ビット・データ・バス幅のとき

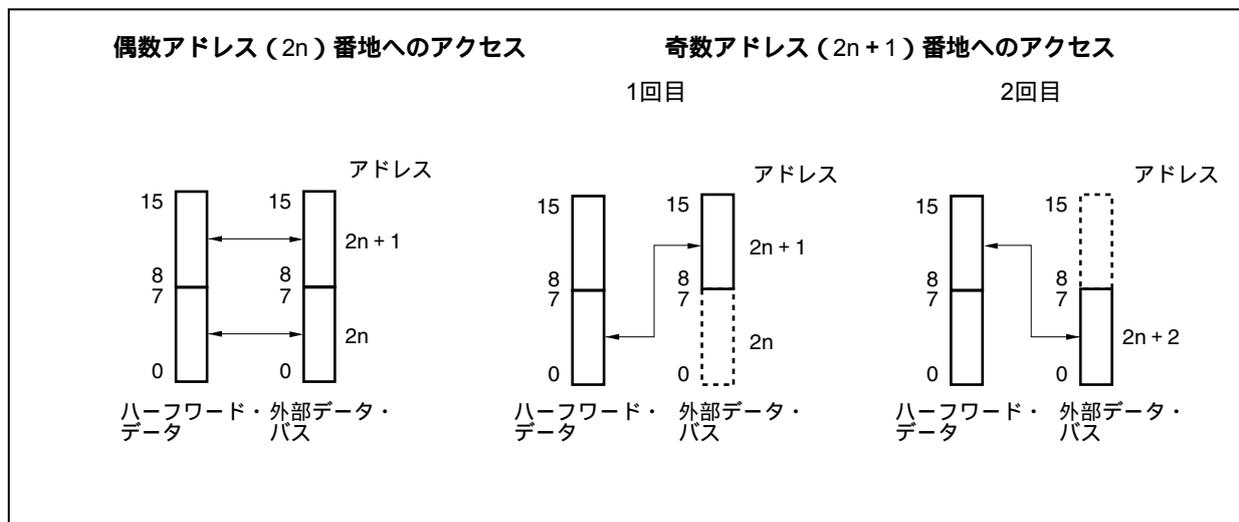


(b) 8ビット・データ・バス幅のとき

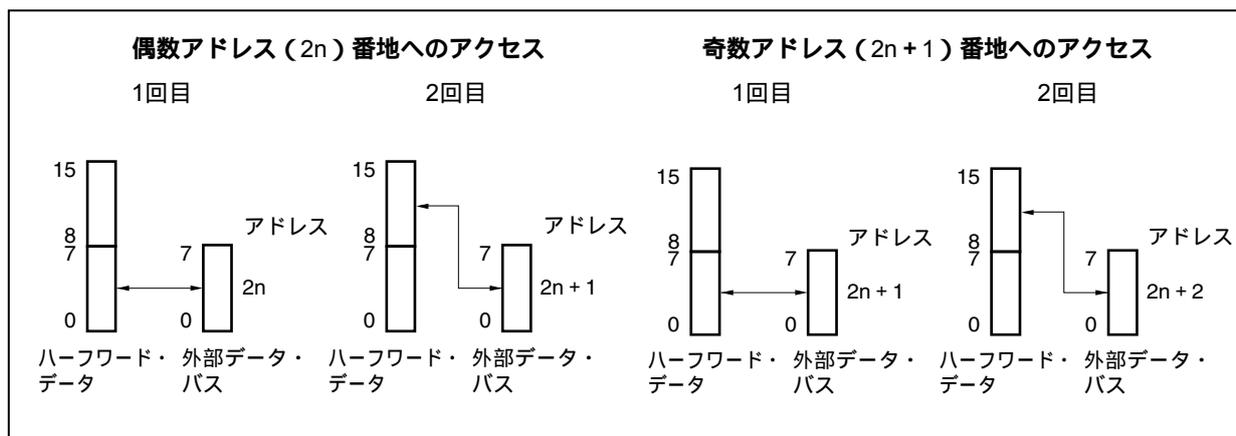


(3) ハーフワード・アクセス (16ビット)

(a) 16ビット・データ・バス幅のとき

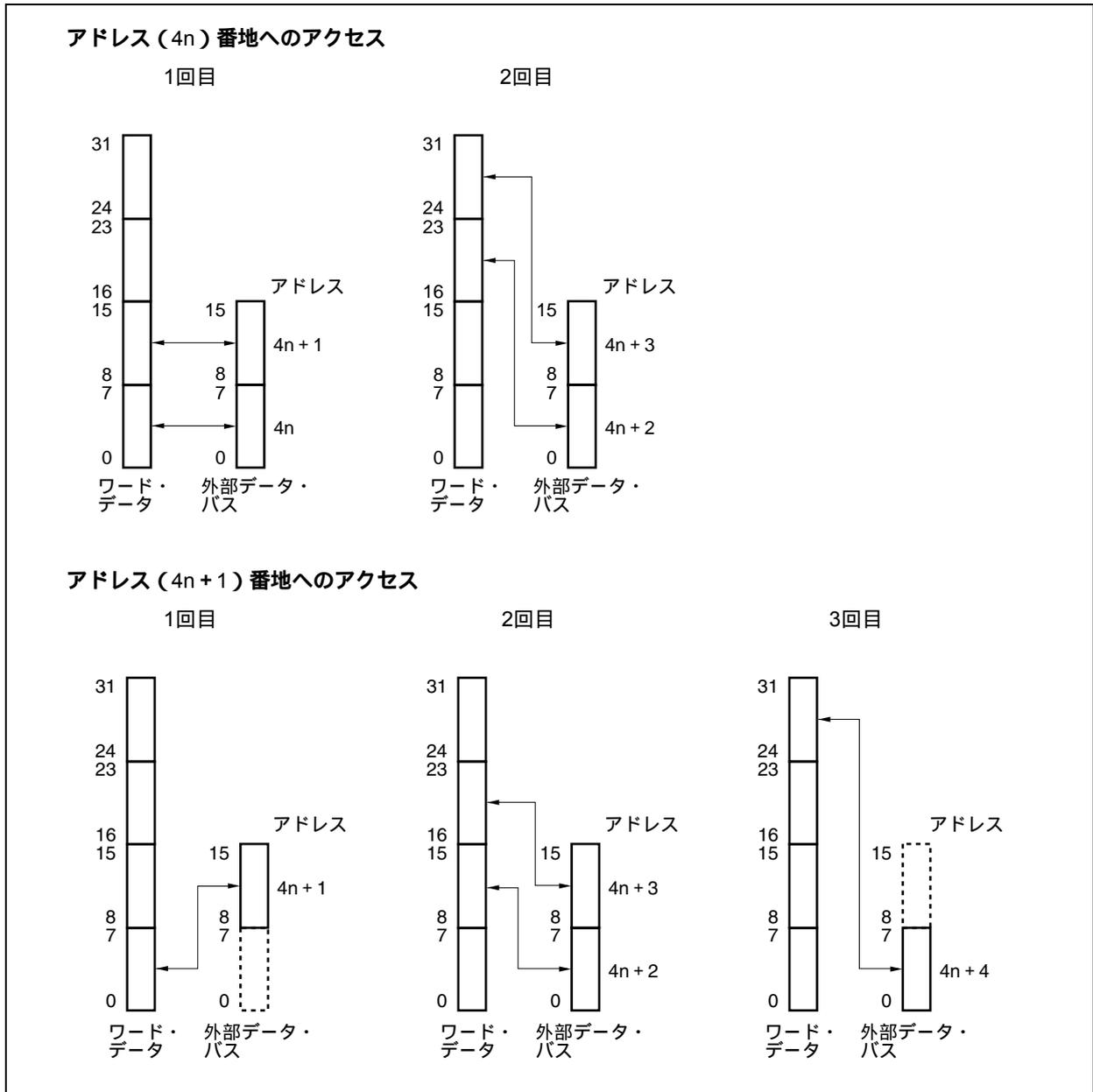


(b) 8ビット・データ・バス幅のとき



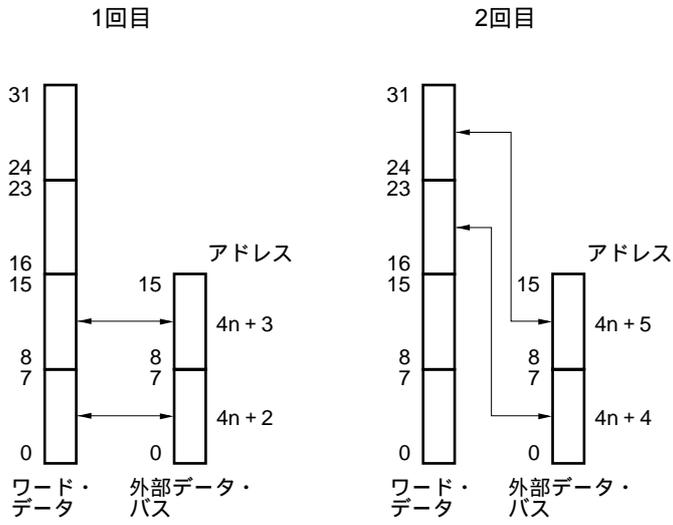
(4) ワード・アクセス (32ビット)

(a) 16ビット・データ・バス幅のとき (1/2)

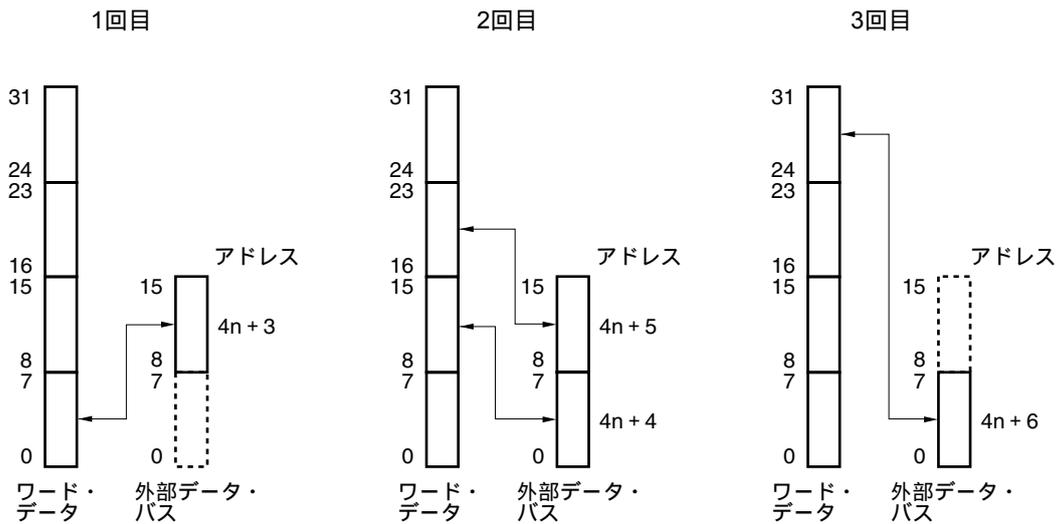


(a) 16ビット・データ・バス幅のとき (2/2)

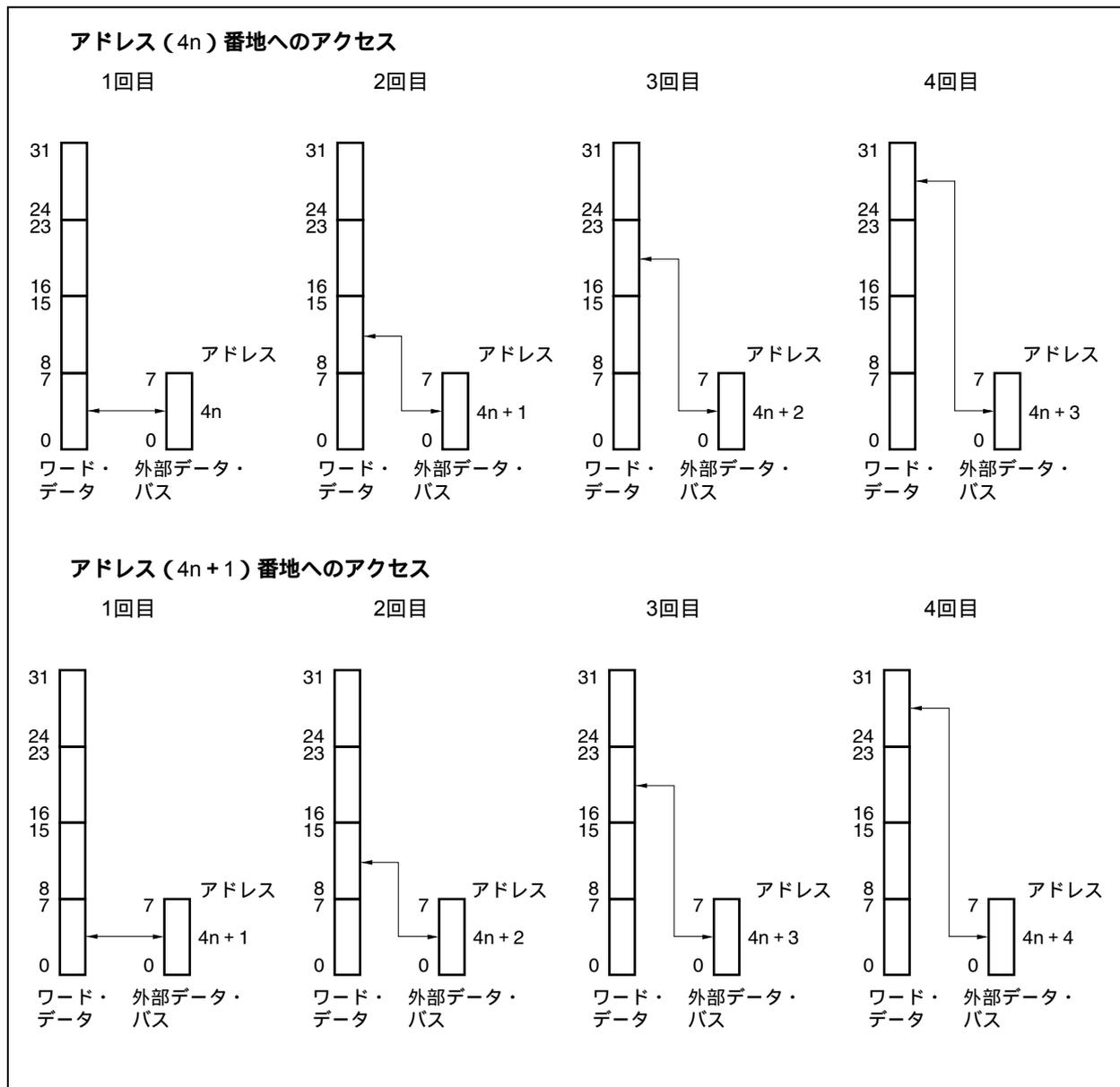
アドレス $(4n+2)$ 番地へのアクセス



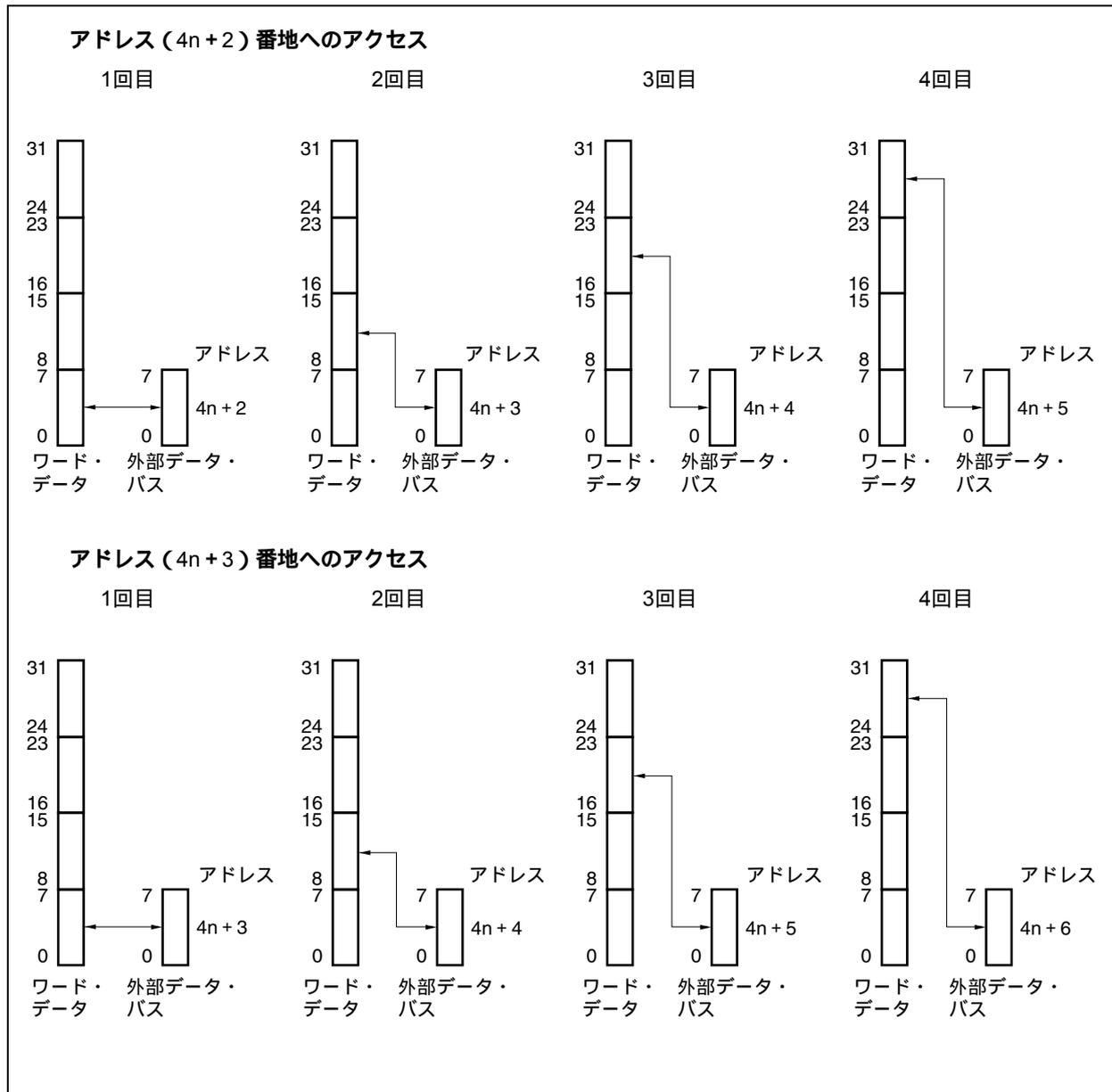
アドレス $(4n+3)$ 番地へのアクセス



(b) 8ビット・データ・バス幅のとき (1/2)



(b) 8ビット・データ・バス幅のとき (2/2)



5.5 ウェイト機能

5.5.1 プログラマブル・ウェイト機能

(1) データ・ウェイト・コントロール・レジスタ0 (DWC0)

低速メモリ、I/Oに対するインタフェースを容易に実現させることを目的とし、各CS空間ごとに起動されるバス・サイクルに対し、最大7ステートのデータ・ウェイトを挿入可能です。

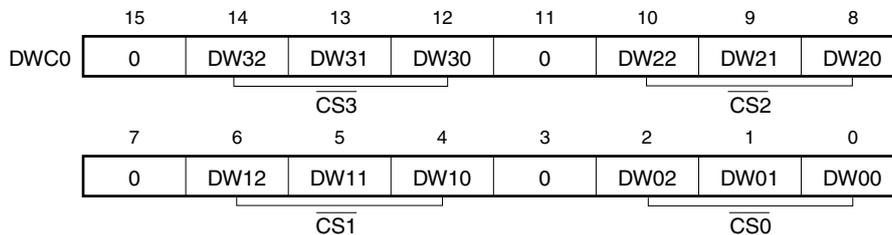
ウェイト数は、DWC0レジスタでプログラマブルに指定可能です。システム・リセット直後は、全ブロックに対して7データ・ウェイトの挿入状態になります。

16ビット単位でリード/ライト可能です。

リセットにより7777Hになります。

- 注意1.** 内蔵ROM領域、内蔵RAM領域は、プログラマブル・ウェイトの対象外で、常にノー・ウェイト・アクセスを行います。また、内蔵周辺I/O領域も、プログラマブル・ウェイトの対象外で、各周辺機能からのウェイト制御だけ行われます。
- 2.** DWC0レジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、DWC0レジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

リセット時：7777H R/W アドレス：FFFFFF484H



DWn2	DWn1	DWn0	CSn空間の挿入ウェイト数 (n = 0-3)
0	0	0	挿入しない
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

注意 ビット15, 11, 7, 3には必ず0を設定してください。

5.5.2 外部ウエイト機能

極端に遅いメモリや、I/O、非同期システムに接続する場合など、外部デバイスに同期をとる目的で、外部ウエイト端子 ($\overline{\text{WAIT}}$) によりバス・サイクルに任意のウエイト・ステートを挿入することができます。

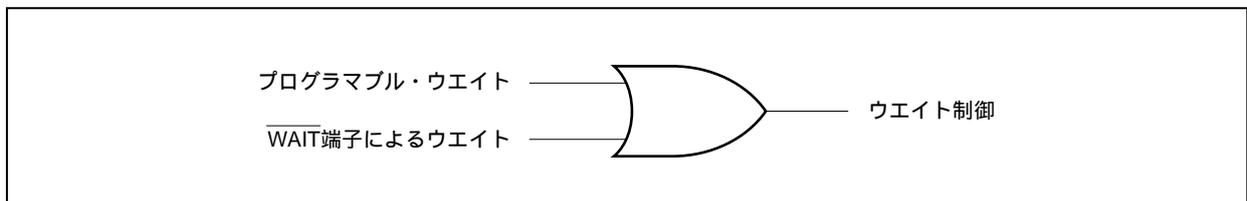
PCM0端子が兼用機能に設定されている場合に、外部ウエイト機能が有効になります。

内蔵ROM、内蔵RAM、内蔵周辺I/Oの各領域へのアクセスに対しては、プログラマブル・ウエイトと同様に、外部ウエイトによる制御はできません。

$\overline{\text{WAIT}}$ 入力は、CLKOUTに対する非同期入力が可能で、バス・サイクルのT2、TWステートのクロックの立ち下がりでサンプリングされます。サンプル・タイミングにおける設定/保持時間を満たさないときは、次のステートでウエイトを挿入するか、挿入しないかのどちらかになります。

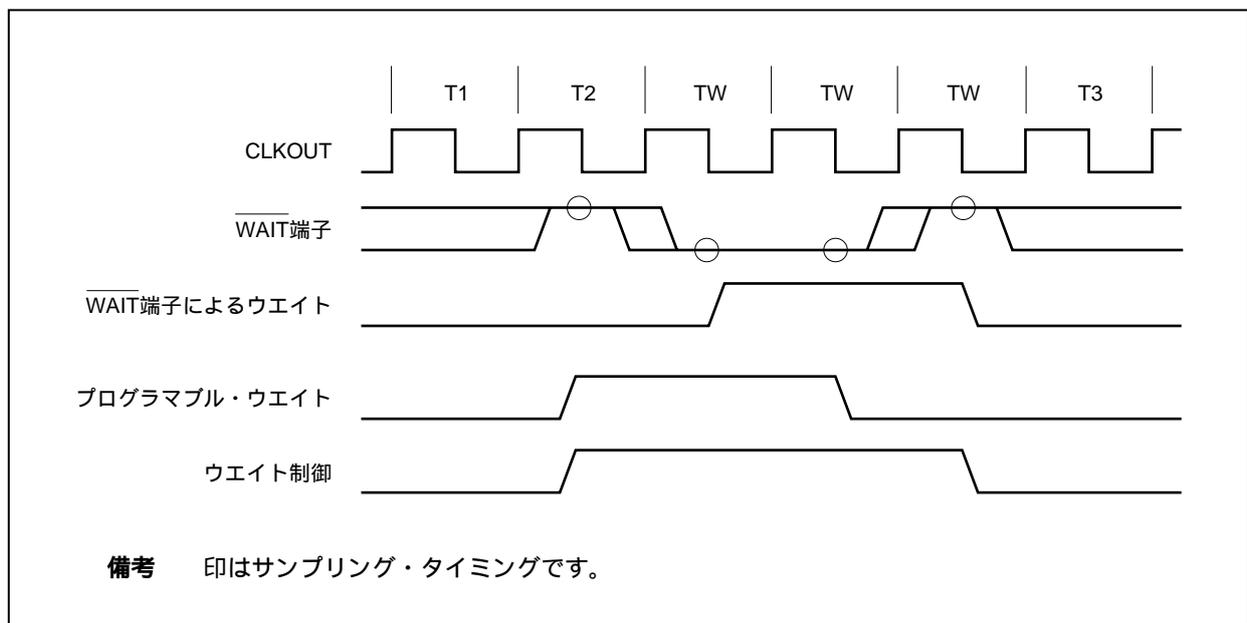
5.5.3 プログラマブル・ウエイトと外部ウエイトの関係

ウエイト・サイクルは、プログラマブル・ウエイトの設定値によるウエイト・サイクルと、 $\overline{\text{WAIT}}$ 端子制御によるウエイト・サイクルの論理和 (OR) として挿入されます。



たとえば、プログラマブル・ウエイト、 $\overline{\text{WAIT}}$ 端子が次のようなタイミングのとき、バス・サイクルは、3ウエイトになります。

図5-3 ウエイト挿入例



5.5.4 プログラマブル・アドレス・ウエイト機能

AWCレジスタにより、各バス・サイクルに対して挿入するアドレス・セットアップ・ウエイト/アドレス・ホールド・ウエイトを設定できます。アドレス・ウエイト挿入は各チップ・セレクト領域 ($\overline{CS0}$ - $\overline{CS3}$) ごとに設定します。

アドレス・セットアップ・ウエイトを挿入すると、T1ステートのハイ・クロック期間が1クロック分伸びたイメージになります。また、アドレス・ホールド・ウエイトを挿入すると、T1ステートのロウ・クロック期間が1クロック分伸びたイメージになります。

(1) アドレス・ウエイト・コントロール・レジスタ (AWC)

16ビット単位でリード/ライト可能です。

リセットによりFFFFHになります。

注意1. 内蔵ROM領域、内蔵RAM領域、内蔵周辺I/O領域は、アドレス・セットアップ・ウエイト/アドレス・ホールド・ウエイト挿入の対象外になります。

2. AWCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、AWCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

リセット時：FFFFH R/W アドレス：FFFFFF488H

	15	14	13	12	11	10	9	8
AWC	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
	AHW3	ASW3	AHW2	ASW2	AHW1	ASW1	AHW0	ASW0
	$\overline{CS3}$		$\overline{CS2}$		$\overline{CS1}$		$\overline{CS0}$	

AHWn	アドレス・ホールド・ウエイト挿入指定 (n = 0-3)
0	挿入しない
1	挿入する

ASWn	アドレス・セットアップ・ウエイト挿入指定 (n = 0-3)
0	挿入しない
1	挿入する

注意 ビット15-8には必ず1を設定してください。

5.6 アイドル・ステート挿入機能

低速メモリに対するインタフェースを容易に実現させることを目的とし、チップ・セレクトで選択される空間ごとに起動されるバス・サイクルに対し、T3ステート後に、1ステートのアイドル・ステート (TI) を挿入できます。アイドル・ステートを挿入することにより、リード・アクセス時のメモリのデータ出力フロート遅延時間を確保することができます (ライト・アクセス時には、アイドル・ステートは挿入できません)。

アイドル・ステートの挿入指定は、BCCレジスタでプログラマブルに設定できます。

システム・リセット直後は、全領域に対してアイドル・ステートの挿入状態になります。

(1) バス・サイクル・コントロール・レジスタ (BCC)

16ビット単位でリード/ライト可能です。

リセットによりAAAAHになります。

- 注意1.** 内蔵ROM領域、内蔵RAM領域、内蔵周辺I/O領域は、アイドル・ステート挿入の対象外になります。
- 2.** BCCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BCCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

リセット時：AAAAH R/W アドレス：FFFFF48AH

	15	14	13	12	11	10	9	8
BCC	1	0	1	0	1	0	1	0
	7	6	5	4	3	2	1	0
	BC31	0	BC21	0	BC11	0	BC01	0
	<input type="checkbox"/>		<input type="checkbox"/>		<input type="checkbox"/>		<input type="checkbox"/>	
	CS3		CS2		CS1		CS0	
BCn1	アイドル・ステート挿入指定 (n = 0-3)							
0	挿入しない							
1	挿入する							

注意 ビット15, 13, 11, 9には必ず1を設定し、ビット14, 12, 10, 8, 6, 4, 2, 0には必ず0を設定してください。

5.7 バス・ホールド機能

5.7.1 機能概要

PCM2, PCM3端子がコントロール・モードに設定されていれば, $\overline{\text{HLDRQ}}$, $\overline{\text{HLDK}}$ 機能が有効になります。

ほかのバス・マスタからのバス獲得要求として $\overline{\text{HLDRQ}}$ 端子がアクティブ(ロウ・レベル)になったことを受け付けると, 外部アドレス/データ・バスをハイ・インピーダンス状態にし, 解放します(バス・ホールド状態)。 $\overline{\text{HLDRQ}}$ 端子がインアクティブ(ハイ・レベル)になりバス獲得要求が解除されれば, 再びこれらの端子の駆動を開始します。

バス・ホールド期間中は, 内蔵周辺I/Oレジスタ・アクセスあるいは, 外部メモリ・アクセスがあるまで, 内蔵ROM, 内蔵RAMからのプログラムの実行を継続します。

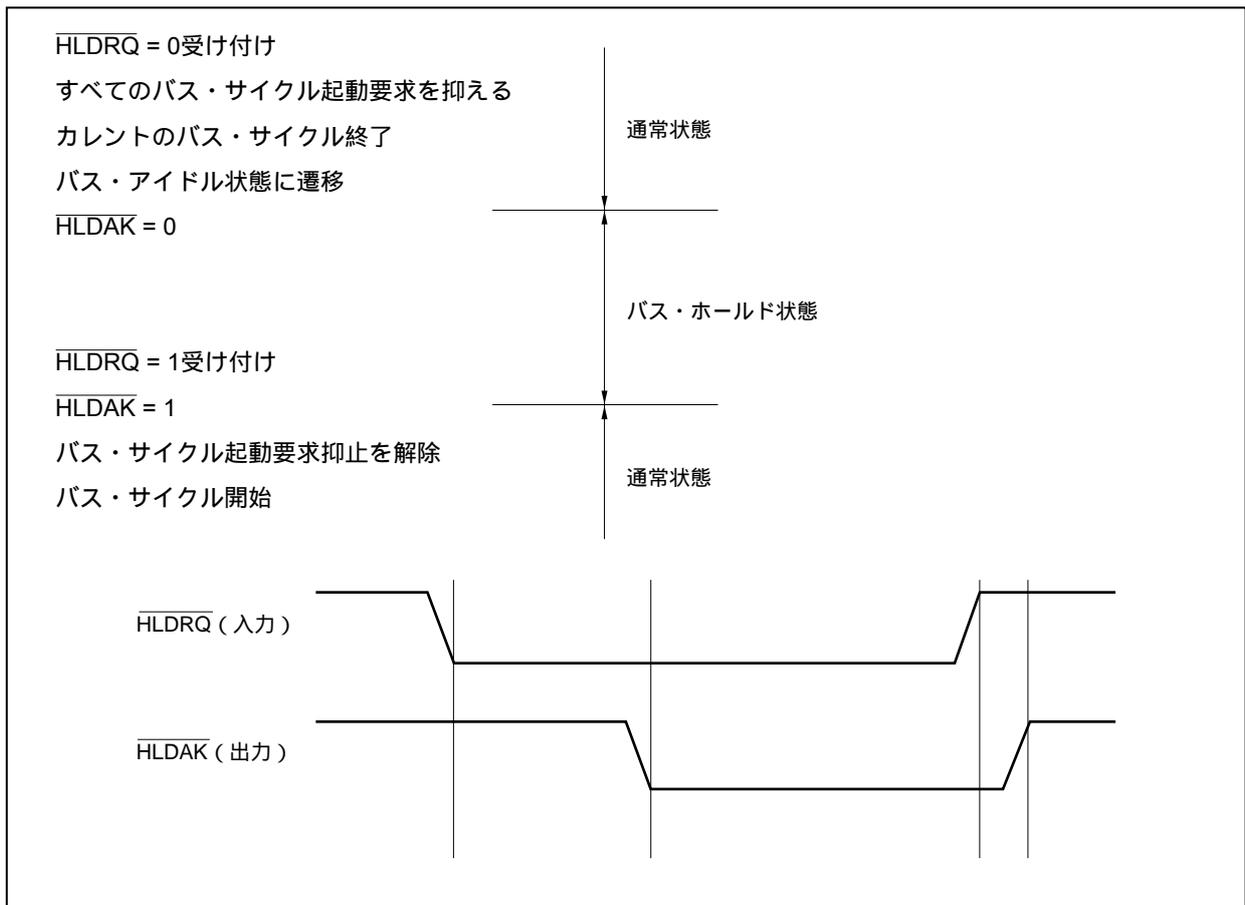
バス・ホールド状態は, $\overline{\text{HLDK}}$ 端子がアクティブ(ロウ・レベル)になったことにより知ることができます。マルチプロセッサ構成など, バス・マスタが複数存在するようなシステムを構成できます。

なお, バス・サイジングおよびビット操作命令による複数アクセスのサイクル中は, バス・ホールド要求を受け付けません。

状 態	データ・バス幅	アクセス形態	バス・ホールド要求を受け付けないタイミング
CPUバス・ロック	16ビット	偶数番地へのワード・アクセス	1回目と2回目の間
		奇数番地へのワード・アクセス	1回目と2回目の間 2回目と3回目の間
		奇数番地へのハーフワード・アクセス	1回目と2回目の間
	8ビット	ワード・アクセス	1回目と2回目の間
			2回目と3回目の間
			3回目と4回目の間
		ハーフワード・アクセス	1回目と2回目の間
ビット操作命令のリード・モディファイ・ライト・アクセス	-	-	リード・アクセスとライト・アクセスの間

5.7.2 バス・ホールド手順

バス・ホールド状態遷移の手順を次に示します。



5.7.3 パワー・セーブ・モード時の動作

STOPモード期間中およびIDLE1, IDLE2, サブIDLEモード期間中は、内部システム・クロックが停止するため、 $\overline{\text{HLDARQ}}$ 端子がアクティブになっても受け付けられずバス・ホールド状態にはなりません。

HALTモードでは、 $\overline{\text{HLDARQ}}$ 端子がアクティブになると、ただちに $\overline{\text{HLDARQ}}$ 端子がアクティブになり、バス・ホールド状態になります。その後、 $\overline{\text{HLDARQ}}$ 端子がインアクティブになると、 $\overline{\text{HLDARQ}}$ 端子もインアクティブになり、バス・ホールド状態は解除されます。

5.8 バスの優先順位

外部バス・サイクルには、バス・ホールド、DMA転送、オペランド・データ・アクセス、命令フェッチ（分岐）、命令フェッチ（連続）の5つがあります。

優先順位はバス・ホールドが最も高く、DMA転送、オペランド・データ・アクセス、命令フェッチ（分岐）、命令フェッチ（連続）の順で低くなります。

リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には、命令フェッチが挿入されることがあります。

なお、バス・サイズの関係で、数回のアクセスで命令を実行するとき、アクセスとアクセスの間には命令フェッチとバス・ホールドは挿入されません。

表5 - 5 バスの優先順位

優先順位	外部バス・サイクル	バス・マスタ
高い ↑ ↓ 低い	バス・ホールド	外部デバイス
	DMA転送	DMAC
	オペランド・データ・アクセス	CPU
	命令フェッチ（分岐）	CPU
	命令フェッチ（連続）	CPU

5.9 バス・タイミング

図5-4 バス・リード・タイミング (バス・サイズ: 16ビット, 16ビット・アクセス時)

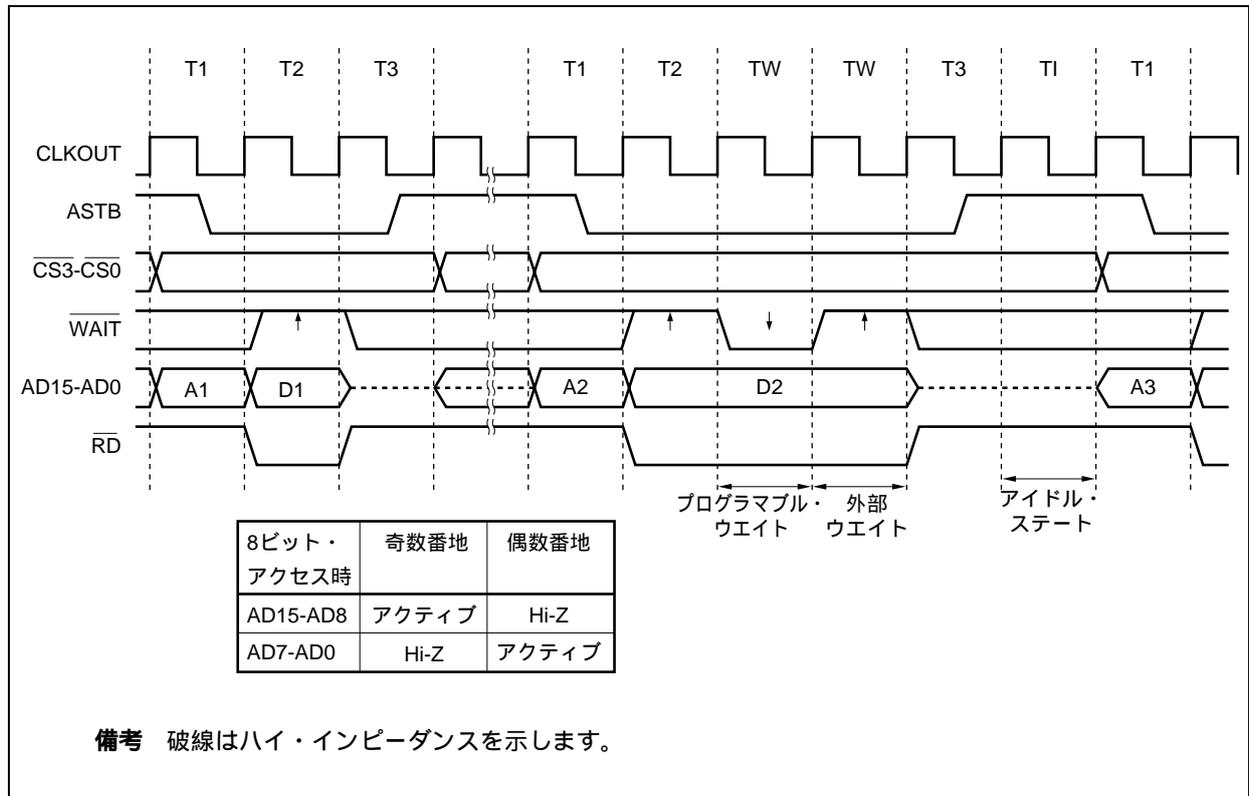


図5-5 バス・リード・タイミング (バス・サイズ: 8ビット)

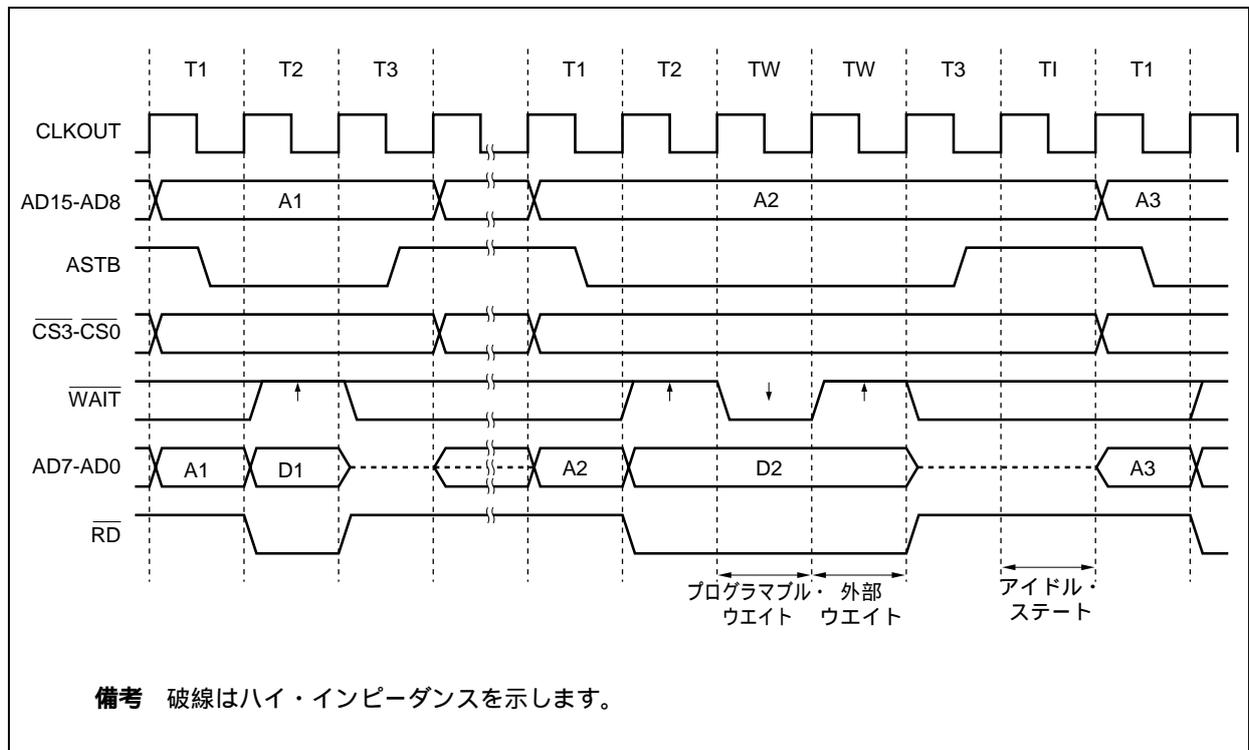


図5-6 バス・ライト・タイミング (バス・サイズ: 16ビット, 16ビット・アクセス時)

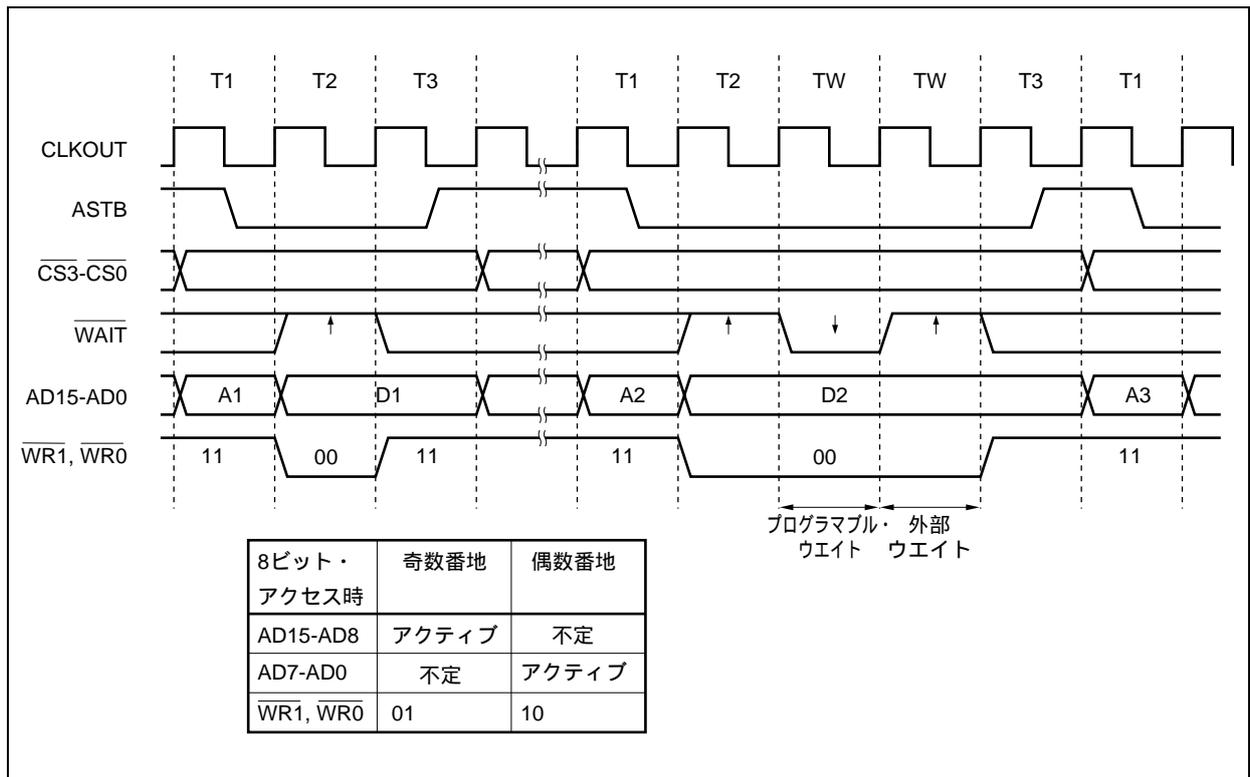


図5-7 バス・ライト・タイミング (バス・サイズ: 8ビット)

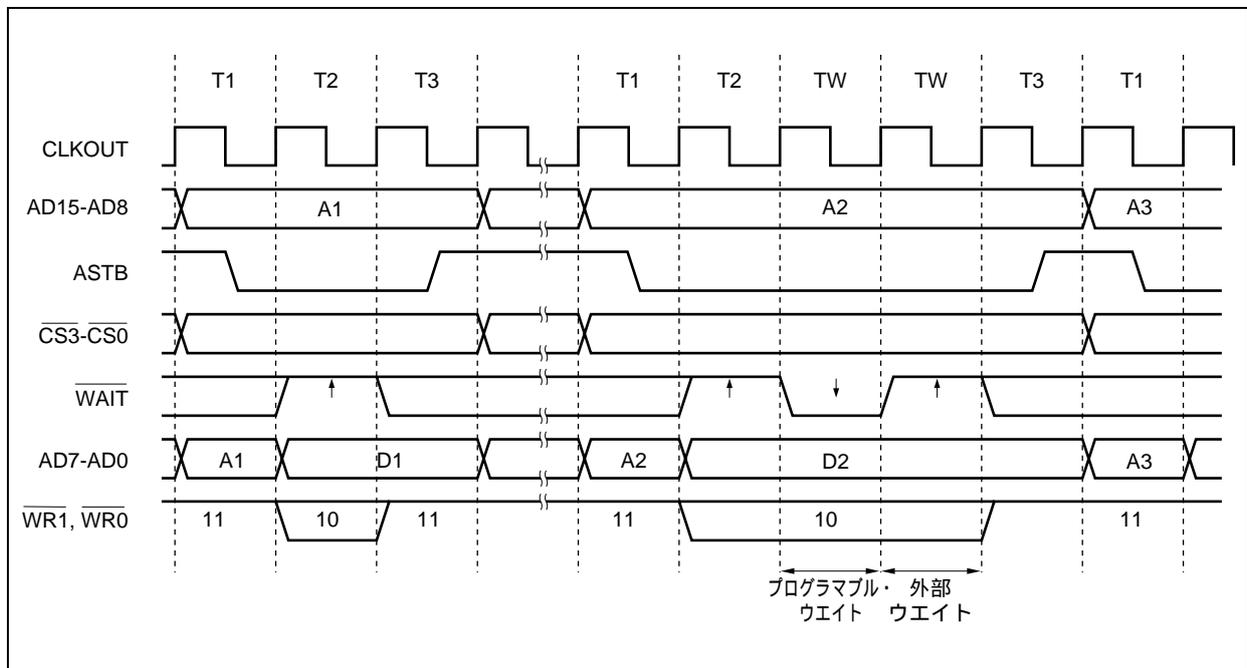
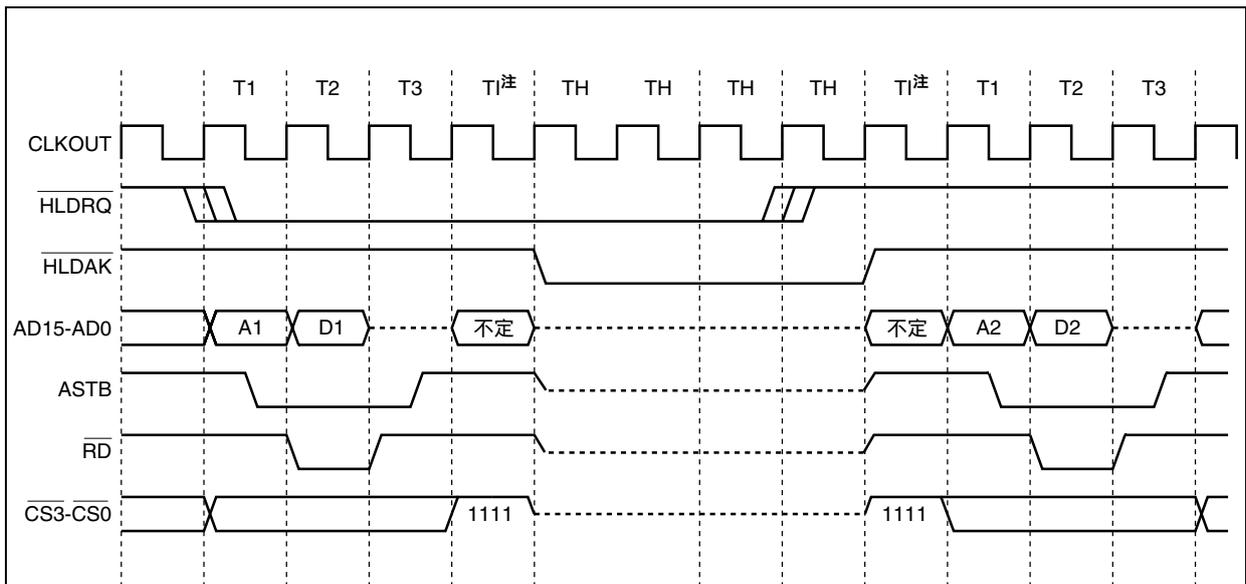


図5 - 8 バス・ホールド・タイミング (バス・サイズ : 16ビット , 16ビット・アクセス時)

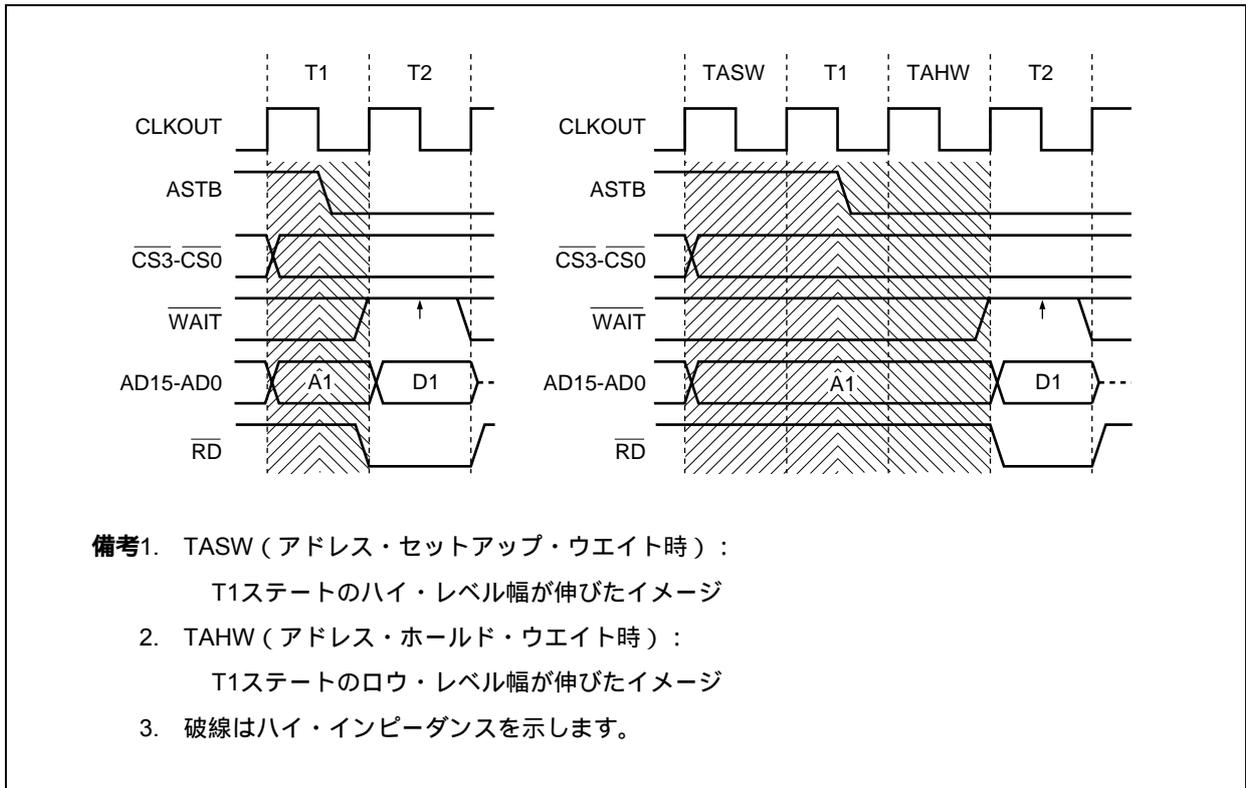


注 BCCレジスタの設定に依存しないアイドル・ステート (TI) です。

備考1. バス・ホールド時の各端子の状態については表2 - 5を参照してください。

2. 破線はハイ・インピーダンスを示します。

図5-9 アドレス・ウエイト・タイミング
(バス・サイズ: 16ビット, 16ビット・アクセス時)



第6章 クロック発生機能

6.1 概要

クロック発生機能の概要を次に示します。

メイン・クロック発振回路

- ・クロック・スルー・モード時
 $f_x = 4 \sim 16 \text{ MHz}$ ($f_{xx} = 4 \sim 16 \text{ MHz}$)
- ・PLLモード時
 $f_x = 6 \sim 12 \text{ MHz}$ ($f_{xx} = 12 \sim 32 \text{ MHz}$)
- ・SSCGモード時
 $f_x = 4 \sim 16 \text{ MHz}$ ($f_{xx} = 10.5 \sim 32 \text{ MHz}^{\text{注}}$)

サブクロック発振回路

- ・ $f_{XT} = 32.768 \text{ kHz}$

PLL (Phase Locked Loop) による逡倍機能

- ・クロック・スルー・モード / PLLモード選択可

SSCG (Spread Spectrum Clock Generator) による逡倍機能

- ・周波数変調率, 変調周期を制御可能
- ・EMIノイズ・ピーク値の低減効果

低速内蔵発振器

- ・ $f_{RL} = 240 \text{ kHz}$ (TYP.)

高速内蔵発振器

- ・ $f_{RH} = 8 \text{ MHz}$ (TYP.)

内部システム・クロックの生成

- ・7段階 ($f_{xx}, f_{xx}/2, f_{xx}/4, f_{xx}/8, f_{xx}/16, f_{xx}/32, f_{XT}$)

周辺クロックの生成

クロック出力 (CLKOUT) 機能

プログラマブル・クロック出力 (PCL) 機能

注 変調率の増加分を考慮して32 MHzを越えないように設定してください。

備考 f_x : メイン・クロック発振周波数

f_{xx} : メイン・クロック周波数

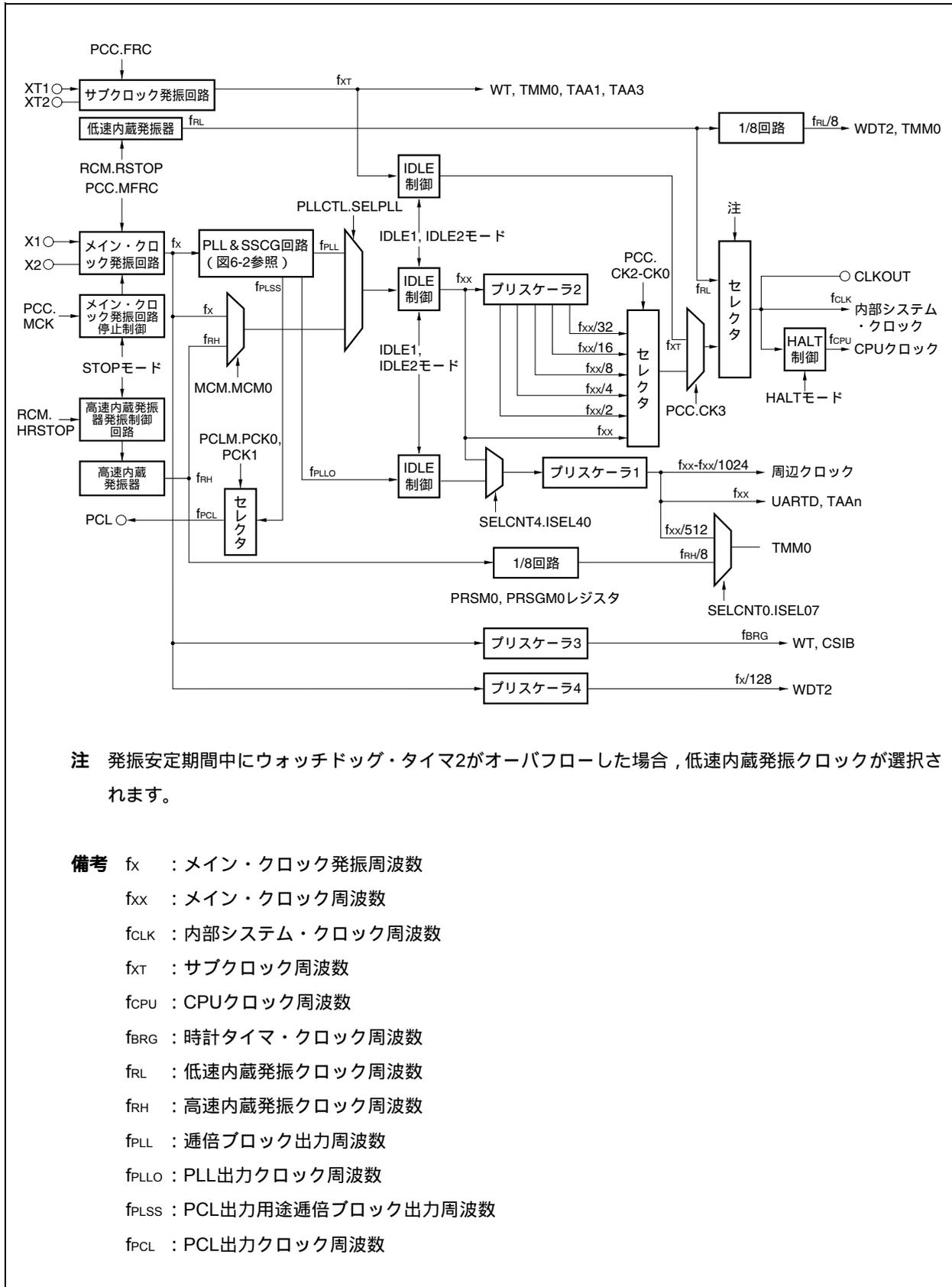
f_{XT} : サブクロック周波数

f_{RL} : 低速内蔵発振クロック周波数

f_{RH} : 高速内蔵発振クロック周波数

6.2 構成

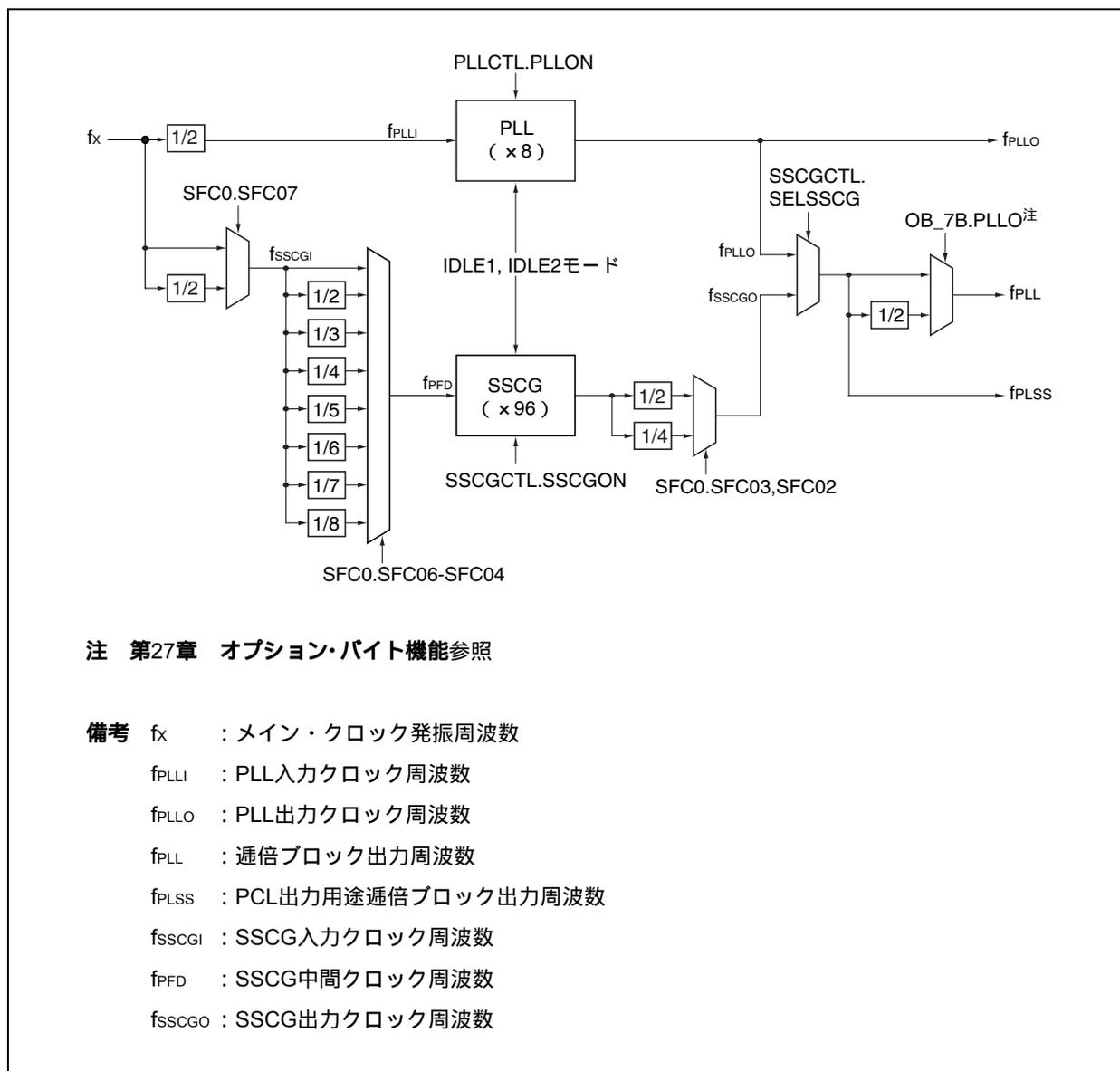
図6-1 クロック発生回路



注 発振安定期間中にウォッチドッグ・タイマ2がオーバーフローした場合、低速内蔵発振クロックが選択されます。

- 備考**
- f_x : メイン・クロック発振周波数
 - f_{xx} : メイン・クロック周波数
 - f_{CLK} : 内部システム・クロック周波数
 - f_{XT} : サブクロック周波数
 - f_{CPU} : CPUクロック周波数
 - f_{BRG} : 時計タイマ・クロック周波数
 - f_{R_L} : 低速内蔵発振クロック周波数
 - f_{R_H} : 高速内蔵発振クロック周波数
 - f_{PLL} : 逓倍ブロック出力周波数
 - f_{PLLO} : PLL出力クロック周波数
 - f_{PLSS} : PCL出力用途逓倍ブロック出力周波数
 - f_{PCL} : PCL出力クロック周波数

図6 - 2 PLL/SSCG回路



(1) メイン・クロック発振回路

次の周波数 (f_x) を発振します。

- ・クロック・スルー・モード時
 $f_x = 4 \sim 16$ MHz
- ・PLLモード時
 $f_x = 6 \sim 12$ MHz
- ・SSCGモード時
 $f_x = 4 \sim 16$ MHz

(2) サブクロック発振回路

32.768 kHzの周波数 (f_{XT}) を発振します。

(3) メイン・クロック発振回路停止制御

メイン・クロック発振回路の発振を停止する制御信号を生成します。

STOPモード時、またはPCC.MCKビット = 1 (PCC.CLSビット = 1のときだけ有効) のとき、メイン・クロック発振回路の発振を停止します。

(4) 低速内蔵発振器

240 kHz (TYP.) の周波数 (f_{RL}) を発振します。

(5) 高速内蔵発振器

8 MHz (TYP.) の周波数 (f_{RH}) を発振します。

(6) プリスケーラ1

内蔵周辺機能に供給するクロック ($f_{xx-fxx}/1024$) を生成します。

クロック供給の対象となるブロックを次に示します。

TAA_n, TAB_n, TMM0, CSIB_n, UARTD_n, I²C00, ADC, WDT2

(7) プリスケーラ2

メイン・クロック (f_{xx}) を分周する回路です。

CPUクロック (f_{CPU}) , 内部システム・クロック (f_{CLK}) を生成するセクタに、プリスケーラ2で生成したクロック ($f_{xx-fxx}/32$) を供給します。

なお、 f_{CLK} は、INTC, ROM, RAM, DMAブロックに供給するクロックで、CLKOUT端子から出力できます。

(8) プリスケアラ3

メイン・クロック発振回路で生成するクロック(f_x)を所定の周波数(32.768 kHz)まで分周する回路で、時計用タイマ・ブロックに供給します。

詳細は、第11章 **時計タイマ機能**を参照してください。

(9) PLL

メイン・クロック発振回路で生成するクロック(f_x)を8逓倍します。

PLLCTL.SELPLLビットにより、 f_x をそのまま出力するクロック・スルー・モードと、逓倍クロックを出力するPLLモードを選択し、PLLCTL.PLLONビットによりPLLを動作、停止します。

(10) SSCG (Spread Spectrum Clock Generator)

SSCGは周波数変調率、変調周期を制御することができ、EMIノイズのピーク値を低減する効果があります。

メイン・クロック発振(f_x)の分周比を選択し(f_{SSCG1})、96逓倍します(f_{SSCG0})。

SELSSCTLレジスタにより制御します。

リセット解除後、SSCGは停止状態となります。

6.3 レジスタ

(1) プロセッサ・クロック・コントロール・レジスタ(PCC)

PCCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4.8 **特定レジスタ参照**)。

8/1ビット単位でリード/ライト可能です。

リセットにより40Hになります。

リセット時：40H R/W アドレス：FFFFFF828H

	7	⑥	5	④	③	2	1	0
PCC	FRC	MCK	MFRC	CLS ^注	CK3	CK2	CK1	CK0

FRC	サブクロックの内蔵帰還抵抗の選択
0	使用する
1	使用しない

MCK	メイン・クロック発振回路の制御
0	発振許可
1	発振停止
<ul style="list-style-type: none"> ・CPUクロックがメイン・クロックで動作中にMCKビットをセット(1)しても、メイン・クロックの動作は停止しません。CPUがメイン・クロックで動作中にMCKビットをセット(1)しないでください。 ・MCKビットを0から1にセットする前に、メイン・クロックで動作している内蔵周辺機能を停止してください。 ・メイン・クロックを停止させて高速内蔵発振器またはサブクロックで動作している場合に、再度CPUクロックをメイン・クロックに切り替えるとき、または内蔵周辺機能を動作させたいときは、MCKビットをクリア(0)し、ソフトウェアで発振安定時間を確保したあとにCPUクロックを切り替え、または内蔵周辺機能を動作させてください。 	

MFRC	メイン・クロックの内蔵帰還抵抗の選択
0	使用する
1	使用しない

CLS ^注	CPUクロック (f _{cpu}) の状態
0	メイン・クロック動作
1	サブクロック動作

CK3	CK2	CK1	CK0	クロックの選択 (f _{clk} /f _{cpu})
0	0	0	0	f _{xx}
0	0	0	1	f _{xx} /2
0	0	1	0	f _{xx} /4
0	0	1	1	f _{xx} /8
0	1	0	0	f _{xx} /16
0	1	0	1	f _{xx} /32
0	1	1	X	設定禁止
1	X	X	X	f _{xt}

注 CLSビットはリードのみ可能です。

注意1. CLKOUTを出力している間は、CPUクロック (CK3-CK0ビット) を変更しないでください。

2. CK3ビットを操作する際は、ビット操作命令で行ってください。8ビット操作命令で行う場合は、CK2-CK0ビットの設定値を変更しないでください。

CK3ビットを操作する場合は、必ずメイン・クロックで動作 (MCM.MCS = 1) の状態で行ってください。高速内蔵発振器で動作 (MCM.MCS = 0) のとき、CK3ビットをセット(1)することはできません。

サブクロックで動作中にMCM.MCM0ビットおよびCK2-CK0ビットの値を変更しないでください。

備考 X : 任意

(a) リセット解除後の高速内蔵発振 (f_{RH}) メイン・クロック (f_x) の設定例

リセット解除後は、メイン・クロック発振 (f_x) は停止したままで、高速内蔵発振 (f_{RH}) でメイン・クロック周波数 (f_{xx}) は動作します。

次にメイン・クロック周波数 (f_{xx}) の発振クロックを高速内蔵発振 (f_{RH}) からメイン・クロック発振 (f_x) に切り替える例を示します。

- PCC.MCK = 0 : メイン・クロック発振回路, 発振許可
MCKビットを1 0に設定すると, 自動的に発振安定時間選択レジスタ (OSTS) が発振安定時間をカウントします。
- OSTC.MSTS = 1? : OSTCレジスタ^{注1}にてOSTSレジスタ^{注2}をモニタします。発振安定時間が終了するとOSTC.MSTSビットがセット (1) されます。
- MCM.MCM0 = 1 : メイン・システム・クロック・モード・レジスタ (MCM) のMCM0ビットをセット (1) することにより, メイン・クロック周波数 (f_{xx}) にメイン・クロック発振 (f_x) を供給

注1. 20.2 (4) 発振安定時間カウント・ステータス・レジスタ (OSTC) 参照

2. 20.2 (3) 発振安定時間選択レジスタ (OSTS) 参照

(b) メイン・クロック動作 サブクロック動作の設定例

内部システム・クロック (f_{CLK}) をメイン・クロック (f_{XX}) からサブクロック (f_{XT}) に切り替える方法を次に示します。

次の設定の前に、6.3(1)(a)リセット解除後の高速内蔵発振 (f_{RH}) →メイン・クロック (f_X) の設定例を参照してメイン・クロック周波数 (f_{XX}) のソース・クロックをメイン・クロック発振 (f_X) に設定します。設定後はMCM.MCSビットが1になっていることを確認してください。

CK3ビット	1	: ビット操作命令推奨。CK2-CK0ビットは変更しないでください。
サブクロック動作		: CLSビットをリードしてサブクロック動作に切り替わったかどうかを確認してください。CK3ビットを設定したあと、サブクロック動作に切り替わるまでの時間は次のとおりです。 最大: 1/f _{XT} (1/サブクロック周波数)
MCKビット	1	: メイン・クロックを停止するときだけ、MCKビットを1に設定します。

注意1. メイン・クロックを停止する場合は、PLLを停止してください。また、メイン・クロックで動作している内蔵周辺機能を動作停止にしてください。

2. 次の条件を満たしていない場合は、条件を満たすようにCK2-CK0ビットを変更後、サブクロック動作モードに移行してください。

$$\text{内部システム・クロック (f}_{\text{CLK}}) > \text{サブクロック (f}_{\text{XT}} : 32.768 \text{ kHz}) \times 4$$

備考 内部システム・クロック (f_{CLK}) : CK2-CK0ビットの設定によってメイン・クロック (f_{XX}) から生成するクロック

[記述例]

```

_DMA_DISABLE :
clr1      0, DCHCn[r0]          -- DMA動作禁止 n = 0-3
_SET_SUB_RUN :
st.b      r0, PRCMD[r0]
set1      3, PCC[r0]           -- CK3ビット 1
_CHECK_CLS :
tst1      4, PCC[r0]          -- サブクロック動作に切り替わるまでウエイト
bz        _CHECK_CLS
_STOP_MAIN_CLOCK :
st.b      r0, PRCMD[r0]
set1      6, PCC[r0]          -- MCKビット 1, メイン・クロック停止
_DMA_ENABLE :
set1      0, DCHCn[r0]        -- DMA動作許可 n=0-3

```

備考 この記述例はあくまでも一例です。特に、において閉ループでCLSビットをリードしていますので、注意してください。

(c) サブクロック動作 メイン・クロック動作の設定例

内部システム・クロック (f_{CLK}) をサブクロック (f_{XT}) からメイン・クロック (f_{XX}) に切り替える方法を次に示します。

- MCKビット 0 : メイン・クロック発振開始
 プログラムによりウェイトを挿入して、メイン・クロックの発振安定時間が経過するまで待ちます。OSTCレジスタでOSTSレジスタをモニタ、発振安定時間終了でOSTC.MSTSビットがセット(1)されます。
- CK3ビット 0 : ビット操作命令を推奨します。CK2-CK0ビットは変更しないでください。
- メイン・クロック動作 : CK3ビットを設定したあと、メイン・クロック動作に切り替わるまでの時間は次のとおりです。
 最大: $1/f_{XT}$ (1/サブクロック周波数)
 したがって、CK3ビットを0とした直後にNOP命令を1つ挿入するか、またはCLSビットをリードして、メイン・クロック動作に切り替わったかどうかを確認してください。

注意 メイン・クロックで動作する内蔵周辺機能は、メイン・クロックの発振が安定してから動作を許可してください。発振安定時間が経過する前に動作許可すると、誤動作する可能性があります。

[記述例]

```

_DMA_DISABLE :
clr1      0, DCHCn[r0]          -- DMA動作禁止 n = 0-3
_START_MAIN_OSC :
st.b      r0, PRCMD[r0]        -- 特定レジスタ, プロテクション解除
clr1      6, PCC[r0]           -- メイン・クロック発振開始
movea     0x55, r0, r11        -- 発振安定時間待ち
_WAIT_OST :
nop
nop
nop
addi      -1, r11, r11
cmp       r0, r11
bne              _WAIT_OST
st.b      r0, PRCMD[r0]
clr1      3, PCC[r0]           -- CK3      0
_CHECK_CLS :
tst1      4, PCC[r0]          -- メイン・クロック動作に切り替わるまでウェイト
bnz              _CHECK_CLS
_DMA_ENABLE :
set1      0, DCHCn[r0]        -- DMA動作許可 n = 0-3

```

備考 この記述例はあくまでも一例です。特に、において閉ループでCLSビットをリードしていますので、注意してください。

(2) 内蔵発振モード・レジスタ (RCM)

RCMレジスタは、内蔵発振器の動作モードの設定を行う8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより80Hになります。

リセット時：80H R/W アドレス：FFFFFF80CH

	7	6	5	4	3	2	①	②
RCM	RSTS ^注	0	0	0	0	0	HRSTOP	RSTOP

RSTS ^注	高速内蔵発振器の状態
0	高速内蔵発振器 (f _{RH} : 8 MHz) 停止, または発振安定待ち
1	高速内蔵発振器 (f _{RH} : 8 MHz) 発振

HRSTOP	高速内蔵発振器の発振 / 停止
0	高速内蔵発振器 (f _{RH} : 8 MHz) 発振
1	高速内蔵発振器 (f _{RH} : 8 MHz) 停止

RSTOP	低速内蔵発振器の発振 / 停止
0	低速内蔵発振器 (f _{RL} : 240 kHz) 発振
1	低速内蔵発振器 (f _{RL} : 240 kHz) 停止

注 RSTSビットはリードのみ可能です。

- 注意1. CPUが高速内蔵発振クロック (f_{RH}) で動作している間 (MCM.MCM0ビット = 0) は高速内蔵発振器 (f_{RH}) を停止できません。HRSTOPビットをセット(1)しないでください。
2. CPUが低速内蔵発振クロック (f_{RL}) で動作している間 (CCLS.CCLSFBビット = 1) は低速内蔵発振器 (f_{RL}) を停止できません。RSTOPビットをセット(1)しないでください。
3. RSTOPビットがセット(1)されている場合でも, CCLS.CCLSFBビットがセット(1)されると (発振安定時間中にWDTオーバーフローが発生), 低速内蔵発振器 (f_{RL}) は発振します。このときRSTOPビットはセット(1)されたままです。

(3) メイン・クロック・モード・レジスタ (MCM)

MCMレジスタはクロック・スルー・モードでの、メイン・クロック (f_{xx}) のソース・クロックを選択し、その状態を示す8ビットのレジスタです。

MCMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.8 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF860H

	7	6	5	4	3	2	①	②
MCM	0	0	0	0	0	0	MCS ^注	MCM0

MCS ^注	メイン・クロック周波数 (f_{xx}) の状態
0	高速内蔵発振器 (f_{RH} : 8 MHz) で動作
1	メイン・クロック発振周波数 (f_x) で動作

MCM0	メイン・クロック周波数 (f_{xx}) の選択
0	高速内蔵発振器 (f_{RH} : 8 MHz)
1	メイン・クロック発振周波数 (f_x)

注 MCSビットはリードのみ可能です。

- 注意1. MCM0ビットの切り替えは必ずクロック・スルー・モード (PLLCTL.SELPLL = 0)で行ってください。CPUクロックが、PLL/SSCG出力クロック (PLLCTL.SELPLL = 1)、またはサブクロック (PCC.CK3 = 1) の場合、MCM0ビットの書き換えは禁止です。
2. 切り替え先のクロック発振が安定していない場合、書き換えは禁止です。
3. CPUクロックが低速内蔵発振クロック (f_{RL}) である場合 (CCLS.CCLSF = 1)、MCM0ビットに1を設定しないでください。

(4) CPU動作クロック・ステータス・レジスタ (CCLS)

CCLSレジスタは、CPU動作クロックの状態を示すレジスタです。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時：00H^注 R アドレス：FFFFFF82EH

	7	6	5	4	3	2	1	0
CCLS	0	0	0	0	0	0	0	CCLSF

CCLSF	CPU動作クロックの状態
0	メイン・クロック (fx) またはサブクロック (fxT) で動作
1	低速内蔵発振クロック (f _{RL} : 240 kHz) で動作

注 リセット解除後の発振安定時間中にWDTオーバフローが発生した場合、CCLSFビットがセット (1) され、リセット値は01Hになります。

(5) プログラマブル・クロック・モード・レジスタ (PCLM)

PCLMは、PCL出力を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF82FH

	7	6	5	④	3	2	1	0
PCLM	0	0	0	PCLE	0	0	PCK1	PCK0

PCLE	PCL端子出力の動作選択
0	PCL端子出力禁止 (PCLはロウ・レベル固定)
1	PCL端子出力許可

PCK1	PCK0	PLL出力クロックの選択
0	0	$f_{PCL} = f_{PLSS}/4$
0	1	$f_{PCL} = f_{PLSS}/8$
1	0	$f_{PCL} = f_{PLSS}/16$
1	1	$f_{PCL} = f_{PLSS}/32$

- 注意1. ポート関連制御レジスタ (PMC9, PFC9, PFCE9レジスタ) によって端子をPCL機能に設定後、PCLEビット = 1としてください。
2. PLL動作中のみPCLEビット = 1としてください。また、PLLを停止させる前には、PCLEビット = 0としてください。

備考 f_{PCL} : プログラマブル周波数

6.4 動作

6.4.1 CPUクロックの設定

CPUクロック (f_{CPU}) として動作可能なクロックの設定に必要なレジスタ/ビットを表6 - 1に示します。

表6 - 1 CPUクロック (f_{CPU}) の設定 / 状態

動作クロック (f _{CPU})	MCMレジスタ MCSビット	PLLCTLレジスタ SELPLLビット	SSCGCTLレジスタ SELSSCGビット	PCCレジスタ CK3ビット	CCLSレジスタ CCLSFBビット ^{注2}
高速内蔵発振クロック (f _{RH}) 動作	0 (f _{RH} で動作)	0 (クロック・スルー・ モード)	X	0 (メイン・クロック動 作)	0 (f _{XX} で動作)
メイン・クロック (f _{XX}) 動作	1 (f _X で動作)				
PLLクロック動作		1 (PLL/SSCGモード)	0 ^{注1} (PLLモード)		
SSCGクロック動作			1 ^{注1} (SSCGモード)		
低速内蔵発振クロック (f _{RL}) 動作		X	X		1 (f _{RL} で動作)
サブクロック (f _{XT}) 動作		X	X	1 (サブクロック動作)	0 (f _{XT} で動作)

- 注1. レジスタの設定のほかに利用する周波数を設定するためにオプション・バイトの設定が必要になります。詳細は第27章 オプション・バイト機能を参照してください。
2. CCLS.CCLSFBビットはCPUクロック (f_{CPU}) が何のクロックで動作しているかを示すビットです。設定する必要はありません。

6.4.2 各クロックの動作

各動作状態における、各クロックの動作状態を次の表に示します。

表6-2 各クロックの動作状態

動作状態	$f_x^{\text{注1}}$, f_{PLLI}	$f_{\text{XT}}^{\text{注2}}$	$f_{\text{RL}}^{\text{注3}}$	$f_{\text{RH}}^{\text{注4}}$	f_{PLLO} , f_{SSCGO} , f_{PCL}	f_{XX}	f_{CLK}	f_{CPU}
リセット中	×		×	×	×	×	×	×
リセット解除から高速内蔵 発振器 (f_{RH}) セットアップ中	×				×		×	×
高速内蔵発振器 (f_{RH})	動作	動作可能	動作可能		動作可能			
	HALTモード	動作可能	動作可能		動作可能			×
	IDLE1モード	動作可能	動作可能		動作可能	×	×	×
	STOPモード	×		動作可能	×	×	×	×
	STOP解除から 発振安定時間	動作可能		動作可能		×		×
メイン・クロック 発振 (f_{XX})	動作		動作可能	動作可能	動作可能			
	HALTモード		動作可能	動作可能	動作可能			×
	IDLE1モード		動作可能	動作可能	動作可能	×	×	×
	IDLE2モード			動作可能	動作可能	×	×	×
	IDLE2解除から セットアップ			動作可能	動作可能	×	×	×
	STOPモード	×		動作可能	×	×	×	×
	STOP解除から 発振安定時間			動作可能	動作可能	×	×	×
PLL, SSCG	動作		動作可能	動作可能				
	HALTモード		動作可能	動作可能				×
	IDLE1モード			動作可能	動作可能		×	×
	IDLE2モード			動作可能	動作可能	×	×	×
	IDLE2解除から セットアップ			動作可能	動作可能	×	×	×
	STOPモード	×		動作可能	×	×	×	×
	STOP解除から 発振安定時間			動作可能	動作可能	×	×	×
サブクロック発振 (f_{XT})	動作	動作可能	動作可能	動作可能	動作可能	動作可能		
	IDLEモード	動作可能		動作可能	動作可能	動作可能	×	×
低速内蔵発振器 (f_{RL})	動作	-		動作可能	-	動作可能		
	HALTモード	-			動作可能	-	動作可能	×

注1. 時計タイマ, CSIB0, ウォッチドッグ・タイマ用クロックを含みます。

2. 時計タイマ用クロックを含みます。
3. ウォッチドッグ・タイマ, TMM用クロックを含みます。
4. TMM用クロックを含みます。

備考1. : 動作可能

x : 停止

2. f_X : メイン・クロック発振周波数
- f_{PLLI} : PLL入力クロック周波数
- f_{XT} : サブクロック周波数
- f_{RL} : 低速内蔵発振クロック周波数
- f_{RH} : 高速内蔵発振クロック周波数
- f_{PLLO} : PLL出力クロック周波数
- f_{SSCGO} : SSCG出力クロック周波数
- f_{PCL} : PCL出力クロック周波数
- f_{XX} : メイン・クロック周波数
- f_{CLK} : 内部システム・クロック周波数
- f_{CPU} : CPUクロック周波数

6.4.3 クロック出力機能

クロック出力機能は、内部システム・クロック (f_{CLK}) をCLKOUT端子から出力します。

内部システム・クロック (f_{CLK}) は、PCC.CK3-CK0ビットで選択します。

CLKOUT端子はPCM1端子と兼用しており、ポートCMの制御レジスタを操作することにより、クロック出力端子として機能します。

CLKOUT端子の状態は表6 - 2の内部システム・クロック (f_{CLK}) と同じ状態になり、(動作可能)のときにクロックを出力できます。また、x(停止)のときにはロウ・レベルを出力します。ただし、リセット後、CLKOUT端子の出力設定をするまでは、ポート・モード(PCM1端子：入力モード)となるので、端子の状態はHi-Zになります。

6.5 PLL/SSCG機能

6.5.1 概要

V850ES/Hx3では、CPUおよび内蔵周辺機能の動作クロックとして次のモードを選択できます。

- ・PLL機能による発振周波数の8逓倍出力
- ・SSCG機能による発振周波数の96逓倍出力
- ・クロック・スルー・モード

- ・PLL機能使用時（8逓倍）：入力クロック = 6～12 MHz（出力12～32 MHz）
- ・SSCG機能使用時（96逓倍）：入力クロック = 4～16 MHz（出力10.5～32 MHz[※]）
- ・クロック・スルー・モード：入力クロック = 4～16 MHz（出力4～16 MHz）

注 変調率の増加分を考慮して32 MHzを越えないように設定してください。

6.5.2 レジスタ

(1) PLLコントロール・レジスタ (PLLCTL)

PLLを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF82CH

	7	6	5	4	3	2	①	②
PLLCTL	0	0	0	0	0	0	SELPLL	PLLON
SELPLL	CPU動作クロック選択レジスタ							
0	クロック・スルー・モード							
1	PLLモード							
PLLON	PLL動作停止レジスタ							
0	PLL停止							
1	PLL動作（PLLを動作開始後、周波数が安定するまで所定のロックアップ時間が必要）							

- 注意1. PLLONビット = 0に設定すると、自動的にSELPLLビット = 0（クロック・スルー・モード）になります。
2. SELPLLビット = 1の設定は、PLLクロック周波数が安定した状態のときのみ可能です。安定していないとき（アンロック中）にSELPLLビットをライトすると“0”がライトされます。

(2) ロック・レジスタ (LOCKR)

PLLCTL.PLLONビットを0 1後、またはIDLE2モード、STOPモード解除直後から所定の周波数でフェーズ・ロックし、安定するまでの時間がロックアップ時間（周波数安定時間）です。この安定するまでの状態をロックアップ状態と呼び、安定した状態をロック状態と呼びます。

LOCKRレジスタには、PLL周波数の安定状態を反映するLOCKビットがあります。

8/1ビット単位でリードのみ可能です。

リセットにより01Hになります。

リセット時：01H R アドレス：FFFFFF824H

	7	6	5	4	3	2	1	①
LOCKR	0	0	0	0	0	0	0	LOCK

LOCK	PLLのロック状態の確認
0	ロック状態
1	アンロック（ロックしていない）状態

注意 LOCKビットはPLLのロック状態をリアルタイムに反映するものではありません。セット/クリア条件は次のとおりです。

【セット条件】

- ・システム・リセット時
- ・IDLE2, STOPモード時
- ・PLL停止を設定した時（PLLCTL.PLLONビットに“0”を設定）
- ・CPUを高速内蔵発振動作またはサブクロック動作としメイン・クロックを停止したとき（PCC.CK3ビットに“1”を設定し、PCC.MCKビットに“1”を設定）

【クリア条件】

- ・PLL動作状態でSTOPモードを設定した場合の、STOPモード解除後の発振安定用タイムのオーバーフロー（OSTSレジスタで時間設定）
- ・PLLCTL.PLLONビットを0 1に設定した時の、PLLロックアップ時間タイムのオーバーフロー（PLLSレジスタで時間設定）
- ・PLL動作状態でIDLE2モードを設定した場合の、IDLE2モード解除時に挿入されるセットアップ時間解除後（OSTSレジスタで時間設定）

(3) PLLロックアップ時間指定レジスタ (PLLS)

PLLSレジスタは、PLLCTL.PLLONビットを0 1に設定したときの、PLLロックアップ時間を選択する8ビット・レジスタです。

8ビット単位でリード/ライト可能です。

リセットにより03Hになります。

リセット時：03H R/W アドレス：FFFFFF6C1H

	7	6	5	4	3	2	1	0
PLLS	0	0	0	0	0	PLLS2	PLLS1	PLLS0

PLLS2	PLLS1	PLLS0	PLLロックアップ時間の選択
0	1	0	$2^{12}/f_x$
0	1	1	$2^{13}/f_x$
1	0	0	$2^{14}/f_x$
上記以外			設定禁止

注意1. ロックアップ時間は、800 μ s以上になるように設定してください。SSCGを使用時には1 ms以上になるように設定してください。

2. ロックアップ期間中は、PLLSレジスタの設定を変更しないでください。

(4) SSCGコントロール・レジスタ (SSCGCTL)

スペクトラム拡散クロック・ジェネレータ (SSCG) を制御する8ビットのレジスタです。
8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF3F0H

	7	6	5	4	3	2	①	②
SSCGCTL	0	0	0	0	0	0	SELSSCG	SSCGON

SELSSCG	逓倍ブロックから出力するクロックの選択
0	PLL出力 ($f_{PLL} = f_{PLLO}$)
1	SSCG出力 ($f_{PLL} = f_{SSCGO}$)

SSCGON	SSCG機能動作の許可/禁止設定
0	SSCG停止
1	SSCG動作

- 注意1. SSCGCTLビットへの書き込みは、PLL, SSCGともに停止 (PLLCTL.PLLON ビット = 0) 時、あるいはロック状態時に行ってください。
- SELSSCGビット = 1の設定は、SSCGONビット = 1時のみ可能です。SSCGONビット = 0にすると、自動的にSELSSCGビット = 0 (PLL出力) になります。
 - SSCGONビット = 1の状態、PLLCTL.PLLONビット = 0もしくはメイン・クロックが停止した場合、SSCGは動作を停止します。
 - SSCG動作開始時は、SSCGがロックするまでの時間が必要となります。
 - PLLCTL.PLLONビット = 1の状態、SSCGONビット = 0→1にした場合、ソフトウェアにてSSCGのロックアップ時間 (1 ms以上) を確保してください。
 - SSCGONビット = 1後、PLLCTL.PLLONビット = 0→1にした場合、PLLSレジスタにSSCGロックアップ時間 (1 ms以上) を設定してください (ロックアップ時間: SSCG > PLLのため)。
 - OSTSレジスタには、SSCGロックアップ時間 (1 ms以上) の2倍以上の値を設定してください。

PLLモード / SSCGモードとPLLCTL.PLLONビット / SSCGCTL.SSCGONビットの関係を次に示します。

表6 - 3 PLLモード / SSCGモードの動作条件

PLLCTL.PLLONビット	SSCGCTL.SSCGONビット	PLLモード	SSCGモード
0	0	停止	停止
0	1		停止
1	0	動作	停止
1	1		動作

(5) SSCG周波数コントロール・レジスタ0 (SFC0)

SSCGの周波数を制御する8ビットのレジスタです。

81ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF3F1H

	7	6	5	4	3	2	1	0
SFC0	SFC07	SFC06	SFC05	SFC04	SFC03	SFC02	SFC01	SFC00

SFC07	SSCGへ入力するクロック (f_{SSCGI})の分周設定
0	$f_{SSCGI} = f_x$ (分周なし)
1	$f_{SSCGI} = f_x/2$ (2分周)

SFC06	SFC05	SFC04	SSCG入力クロック (f_{PFD})
0	0	0	f_{SSCGI}
0	0	1	$f_{SSCGI}/2$
0	1	0	$f_{SSCGI}/3$
0	1	1	$f_{SSCGI}/4$
1	0	0	$f_{SSCGI}/5$
1	0	1	$f_{SSCGI}/6$
1	1	0	$f_{SSCGI}/7$
1	1	1	$f_{SSCGI}/8$

SFC03	SFC02	SSCG出力クロック分周
0	0	設定禁止
0	1	2分周
1	0	4分周
1	1	設定禁止

SFC01	SFC00	周波数範囲指定
0	0	0.87 MHz $f_{PFD} < 1.00$ MHz
0	1	1.00 MHz $f_{PFD} < 1.22$ MHz
1	0	1.22 MHz $f_{PFD} < 1.45$ MHz
1	1	1.45 MHz $f_{PFD} < 1.74$ MHz

注 PLLCTL.PLLON = 0の場合、SSCGは停止します。

注意 SFC0レジスタの変更は、SSCG停止 (SSCGCTL.SSCGON = 0) 時にのみ行ってください。

SSCGCTL.SSCGON = 0時にSFC0レジスタに書き込みを行っても無効です。

備考 SSCGモードにおけるクロックの設定例については表6 - 4を参照してください。

(6) SSCG周波数コントロール・レジスタ1 (SFC1)

SSCGの周波数変調率，変調周期を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00H

リセット時：00H R/W アドレス：FFFFFF3F2H

	7	6	5	4	3	2	1	0
SFC1	SFC17	SFC16	SFC15	SFC14	0	0	SFC11	SFC10

SFC17	周波数変調制御
0	周波数変調禁止 (変調なし)
1	周波数変調許可 (変調あり)

SFC16	SFC15	SFC14	SSCG入力クロック (f _{PPD})
0	0	0	±0.5 % (TYP.値)
0	0	1	±1.0 % (TYP.値)
0	1	0	±2.0 % (TYP.値)
0	1	1	±3.0 % (TYP.値)
1	0	0	±4.0 % (TYP.値)
1	0	1	±5.0 % (TYP.値)
上記以外			設定禁止

SFC11	SFC10	変調周期指定
0	0	約40 kHz
0	1	約50 kHz
1	0	約60 kHz
1	1	設定禁止

- 注意 1. SFC1レジスタの変更は，SSCG停止 (SSCGCTL.SSCGON = 0) 時のみ行ってください。
SSCGCTL.SSCGON = 1時にSFC1レジスタに書き込みを行っても無効です。
2. SSCG出力周波数 (f_{SSCG})はSFC16-SFC14ビットで指定される周波数変調範囲の中心値に応じて次のようになります。
周波数変調を含めて，最大周波数を越えないようにしてください (第29章～第32章参照)。

$$f_{SSCG} = f_{SSCG0} \times (1 \pm (\text{周波数変調率}))$$

3. ビット3, 2には必ず0を設定してください。

(7) セレクタ動作制御レジスタ4 (SELCNT4)

SELCNT4レジスタはCPUをSSCGで動作させ、プリスケラ1につながる周辺機能をSSCGを使用せずに動作させる8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF3F8H

	7	6	5	4	3	2	1	0
SELCNT4	0	0	0	0	0	0	0	ISEL40

ISEL40	プリスケラ1へのソース・クロックの選択
0	f _{xx} (メイン・クロック)
1	f _{PLLO} (PLL出力クロック)

- 注意1. PLL停止 (PLLCTL.PLLON=0) 時、ISEL40ビット = 1 に設定禁止です。なお、このときのSELCNT4レジスタにライトしても、データは書き込まれません(ライト・アクセスは無効)。
2. CPUがSSCGで動作している状態で、PLLONビット=1 0に設定する場合、必ず事前にISEL40ビット = 0に設定してください。
ISEL40ビット = 1のままPLLONビット = 1 0に設定しても、プリスケラ1はf_{PLLO} (PLL出力クロック) が供給され続けるので、プリスケラ1へのクロック供給も停止しません。なお、このときISEL40ビットをリードすると“0”がリードされます。
3. ISEL40ビットは、CPUをSSCGで動作させる場合のみセット(1)可能です。SSCGを使用しない(SSCGCTL.SSCGONビット = 0)の場合、ISEL40ビットには“0”を設定してください。
4. ビット7-ビット1には必ず“0”を設定してください。

6.5.3 PLLの使用方法

(1) PLLを使用する場合

- ・表6-3を参考に希望する周波数を決定しオプション・バイト (OB_7B.PLL0) を設定します。
詳細は第27章 オプション・バイトを参照してください。
- ・リセット解除後は、PLLは停止 (PLLCTL.PLLONビット = 0) しています。メイン・クロックを動作 (6.3(1)(a) リセット解除後の高速内蔵発振 (f_{RH}) メイン・クロック (f_x) の設定例参照) させたあと、PLL動作をさせてください。
PLLを動作させるにはPLLONビット = 1として、LOCKR.LOCKビット = 0となってからSELPLLビット = 1としてください。
- ・PLLを停止させるには、最初にクロック・スルー・モード (SELPLLビット = 0) として、8クロック以上後に、PLL停止 (PLLONビット = 0) としてください。
- ・IDLE2/STOPモードへ遷移時は、設定にかかわらずPLLは停止しますが、IDLE2/STOPモードからは遷移前の状態で復帰します。復帰にかかる時間は次のとおりです。

(a) クロック・スルー・モード時に、IDLE2/STOPモードへ遷移する場合

- ・発振安定時間が $54 \mu\text{s}$ (MIN.) 以上となるようにOSTSレジスタを設定してください。

(b) PLL動作モードのまま、IDLE2/STOPモードへ遷移する場合

- ・STOPモード：発振安定時間が $1600 \mu\text{s}$ (MIN.) 以上となるようにOSTSレジスタを設定してください。
- ・IDLE2モード：セットアップ時間が $800 \mu\text{s}$ (MIN.) 以上となるようにOSTSレジスタを設定してください。

(c) SSCG動作モードのまま、IDLE2/STOPモードへ遷移する場合

- ・STOPモード：発振安定時間が 2ms (MIN.) 以上となるようにOSTSレジスタを設定してください。
- ・IDLE2モード：セットアップ時間が 1ms (MIN.) 以上となるようにOSTSレジスタを設定してください。

IDLE1モードへ遷移時は、PLLは停止しません。必要に応じて停止してください。

(2) PLLを使用しない場合

- ・リセット解除後は、クロック・スルー・モード (SELPLLビット = 0) です。またPLLは停止 (PLLONビット = 0) しています。

PLLモードでのメイン・クロック発振周波数 (fx) とPLLCTL.SELPLLビット, オプション・バイトとメイン・クロック周波数の関係を次に示します。

表6 - 3 PLL使用時のクロックの設定例

fx [MHz]	PLLCTL.SELPLL	OB_7B.PLLO ^注	fx [MHz]	動作クロック
6	0	x	6	クロック・スルー・モード
	1	0	24	PLLモード
	1	1	12	
8	0	x	8	クロック・スルー・モード
	1	0	32	PLLモード
	1	1	16	
10	0	x	10	クロック・スルー・モード
	1	0	設定禁止	PLLモード
	1	1	20	
12	0	x	12	クロック・スルー・モード
	1	0	設定禁止	PLLモード
	1	1	24	

注 オプション・バイトによってあらかじめ設定してください (第27章 オプション・バイト機能参照)。

6.5.4 SSCGの使用法

次にSSCGの使用法についてのフローを図6-3、図6-4に示します。

図6-3 SSCG設定手順 (PLLが動作(ロック)している場合 (LOCKR.LOCK = 0))

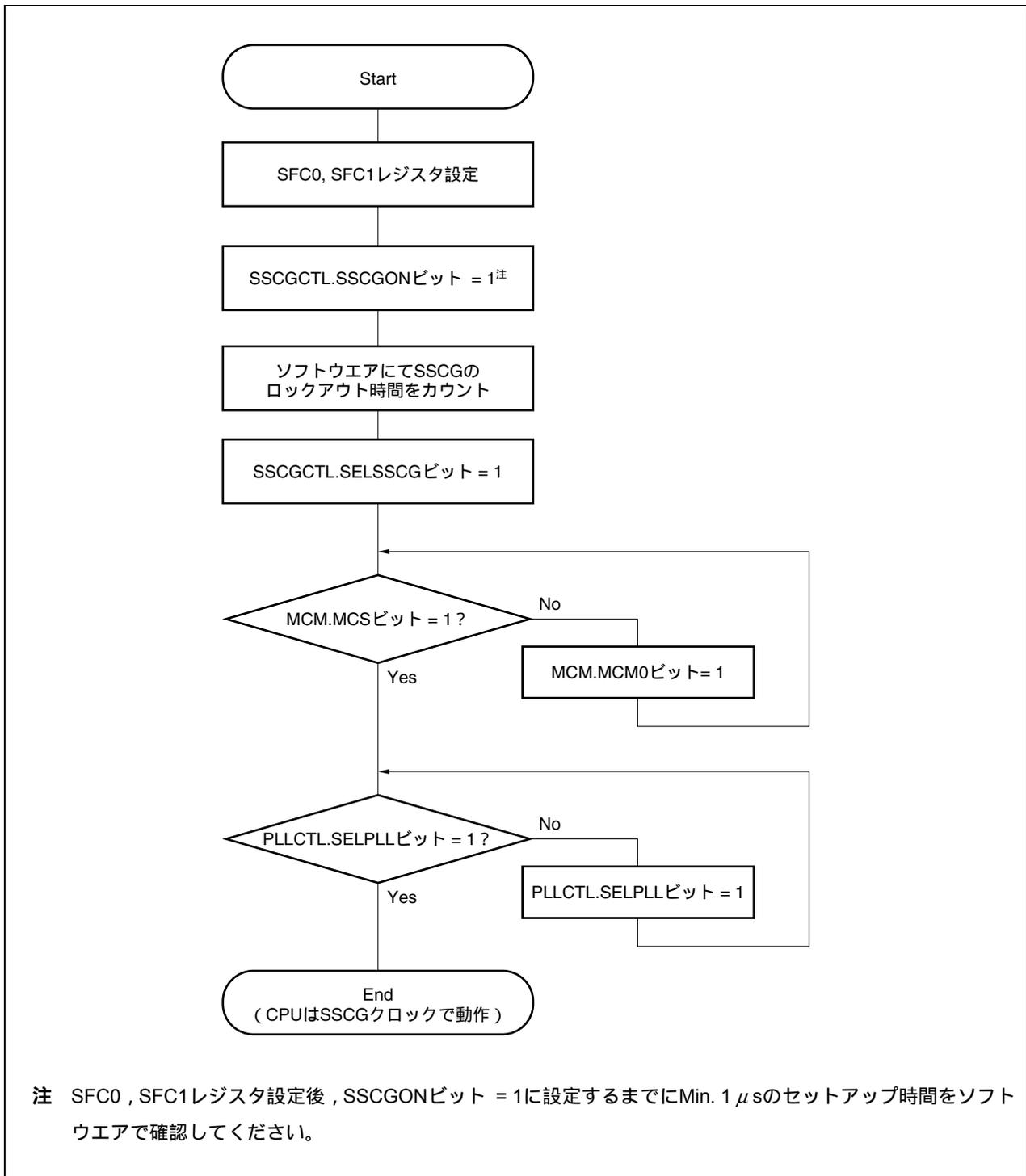
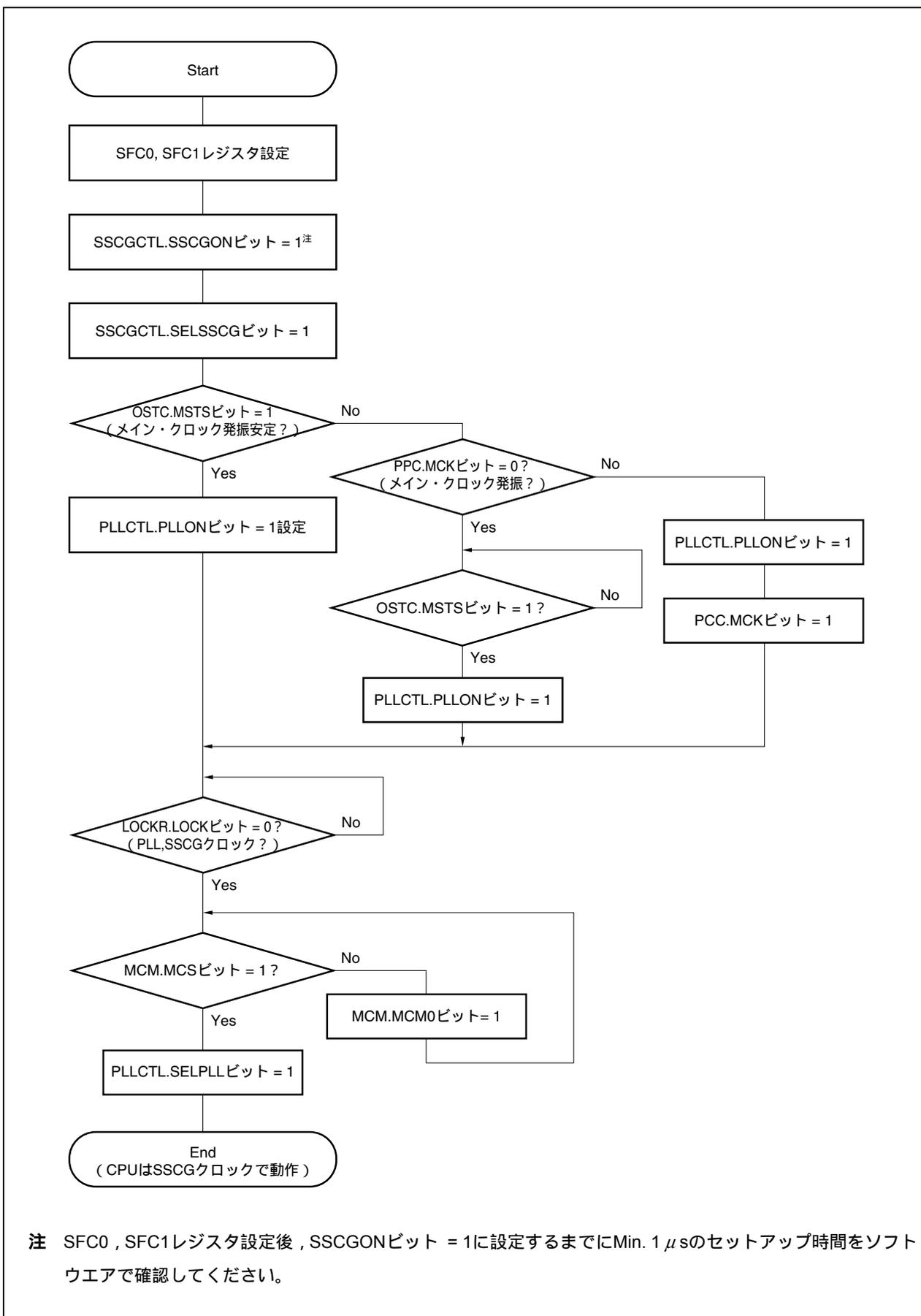


図6 - 4 SSCG設定手順 (PLLが停止している場合 (LOCKR.LOCK = 1))



注 SFC0, SFC1レジスタ設定後, SSCGONビット = 1に設定するまでにMin. 1 μsのセットアップ時間をソフトウェアで確認してください。

SSCGモードでのメイン・クロック発振周波数 (fx) , SFC0レジスタ, オプション・バイトとメイン・クロック周波数 (fxx) の関係を次に示します。

表6 - 4 SSCG使用時のクロックの設定例

fx (MHz)	SFC0レジスタ				f _{SSCG0} (MHz)	メイン・クロック周波数 (f _{xx})	
	SFC07-04 ビット	f _{PF0} (MHz)	SFC01, 00 ビット	SFC03, 02 ビット		PLLO = 0 ^注	PLLO = 1 ^注
4	0010B	1.333	10B	10B	32	設定禁止	16
	0011B	1	01B	01B	48	設定禁止	24
				10B	24	24	12
5	0010B	1.667	11B	10B	40	設定禁止	20
	0011B	1.25	10B	10B	30	30	15
	0100B	1	01B	01B	48	設定禁止	24
10B				24	24	12	
6	0011B	1.5	11B	10B	36	設定禁止	18
	0100B	1.2	01B	10B	28.8	28.8	14.4
	0101B	1	01B	01B	48	設定禁止	24
10B				24	24	12	
8	0100B	1.6	11B	10B	38.4	設定禁止	19.2
	0101B	1.333	10B	10B	32	設定禁止	16
	0110B	1.143	01B	10B	27.4	27.4	13.7
	0111B	1	01B	01B	48	設定禁止	24
10B				24	24	12	
10	0101B	1.667	11B	10B	40	設定禁止	20
	0110B	1.429	10B	10B	34.2	設定禁止	17.1
	0111B	1.25	01B	10B	30	30	15
	1100B	1	01B	01B	48	設定禁止	24
				10B	24	24	12
12	0110B	1.714	11B	10B	41.1	設定禁止	20.5
	0111B	1.5	11B	10B	36	設定禁止	18
	1100B	1.2	01B	10B	28.8	28.8	14.4
	1101B	1	01B	01B	48	設定禁止	24
				10B	24	24	12
14	1100B	1.4	10B	10B	33.6	設定禁止	16.8
	1101B	1.167	01B	10B	28	28	14
	1110B	1	01B	01B	48	設定禁止	24
				10B	24	24	12
	1111B	0.875	00B	01B	42	設定禁止	21
10B				21	21	10.5	
16	1100B	1.6	11B	10B	38.4	設定禁止	19.2
	1101B	1.333	10B	10B	32	設定禁止	16
	1110B	1.143	01B	10B	27.4	27.4	13.7
	1111B	1	01B	01B	48	設定禁止	24
				10B	24	24	12

注 オプション・バイトであらかじめ設定してください (第27章 オプション・バイト機能参照)。

第7章 16ビット・タイマ/イベント・カウンタAA (TAA)

V850ES/Hx3のTAAの搭載数を次に示します。

品名	V850ES/HE3	V850ES/HF3	V850ES/HG3	V850ES/HJ3
チャンネル数	5 ch (TAA0-TAA4)	5 ch (TAA0-TAA4)	5 ch (TAA0-TAA4)	5 ch (TAA0-TAA4)

7.1 概要

TAA_nの概要を次に示します。

- ・クロック選択 : 8通り
- ・キャプチャ・トリガ入力端子 : 2本
- ・外部イベント・カウント入力端子 : 1本
- ・外部トリガ入力端子 : 1本
- ・タイマ・カウンタ : 1本
- ・キャプチャ/コンペア・レジスタ : 2本
(TAA0とTAA1, TAA2とTAA3によるカスケード接続にて32ビット・キャプチャ機能可能)
- ・キャプチャ/コンペア一致割り込み要求信号 : 2本
- ・タイマ出力端子 : 2本

備考 n = 0-4

7.2 機能

TAA_nの機能を次に示します。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・外部トリガ・パルス出力
- ・ワンショット・パルス出力
- ・PWM出力
- ・フリー・ランニング・タイマ
- ・パルス幅測定
- ・タイマ同調機能

備考 n = 0-4

7.3 構成

TAA_nは、次のハードウェアで構成されています。

表7-1 TAA_nの構成

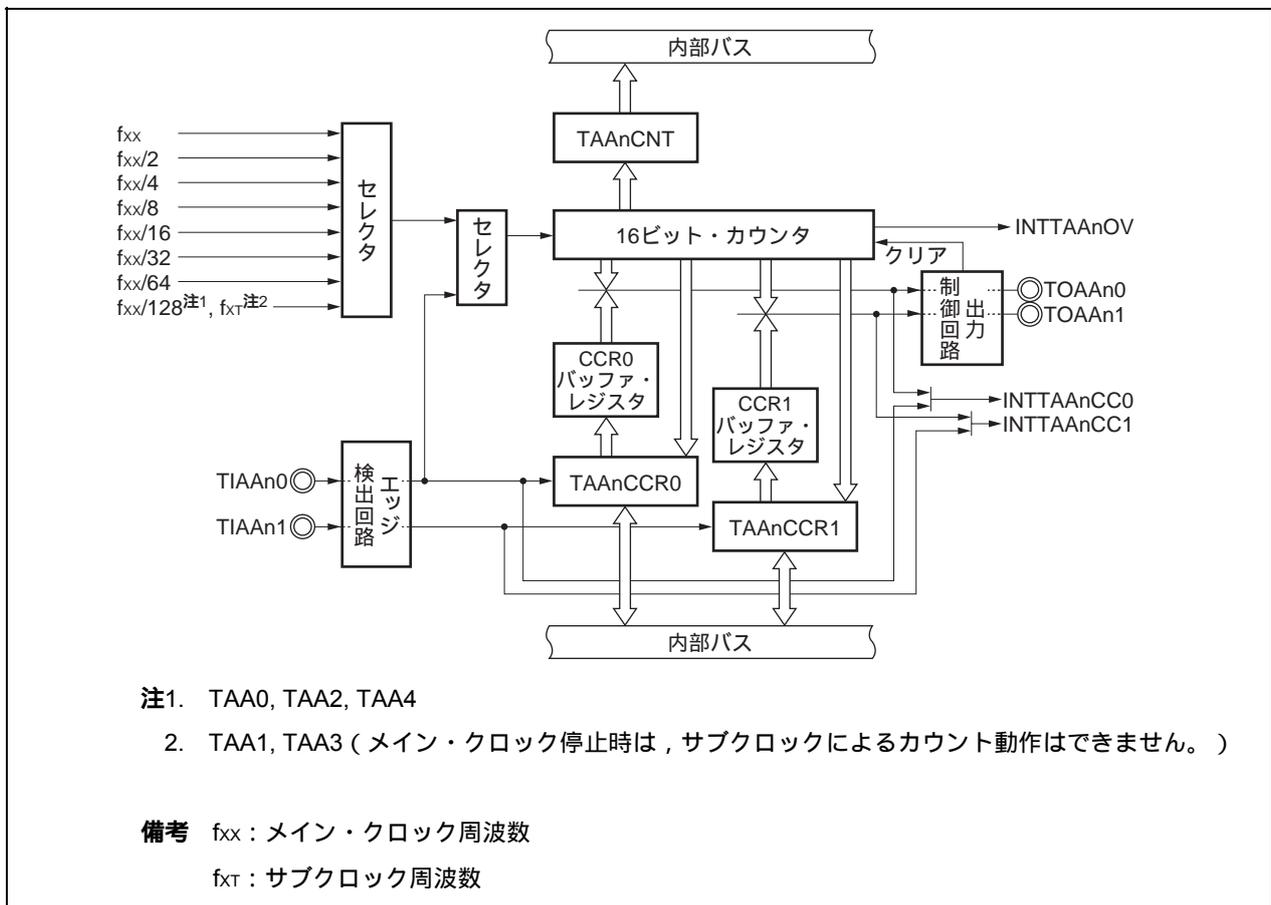
項目	構成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TAA _n キャプチャ/コンペア・レジスタ0, 1 (TAA _n CCR0, TAA _n CCR1) TAA _n カウンタ・リード・バッファ・レジスタ (TAA _n CNT) CCR0, CCR1バッファ・レジスタ
タイマ入力	2本 (TIAAn0 ^{注1} , TIAAn1端子)
タイマ出力	2本 (TOAAn0, TOAAn1端子)
制御レジスタ ^{注2}	TAA _n 制御レジスタ0, 1 (TAA _n CTL0, TAA _n CTL1) TAA _n I/O制御レジスタ0-2 (TAA _n IOC0-TAA _n IOC2) TAA _n オプション・レジスタ0, 1 (TAA _n OPT0, TAA _n OPT1)

注1. TIAAn0端子には、キャプチャ・トリガ入力信号、外部イベント・カウント入力信号、外部トリガ入力信号が兼用されています。

2. TIAAn0, TIAAn1, TOAAn0, TOAAn1端子の機能を使用する場合は、表4-25 ポート端子を兼用端子として使用する場合のレジスタ設定を参照してください。

備考 n = 0-4

図7-1 TAA_nのブロック図



(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TAA_nCNTレジスタでリードできます。

TAA_nCTL0.TAA_nCEビット = 0のとき、16ビット・カウンタはFFFFHになります。このときTAA_nCNTレジスタをリードすると、0000Hがリードされます。

リセットによりTAA_nCEビット = 0になるため、16ビット・カウンタはFFFFHになります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TAA_nCCR0レジスタをコンペア・レジスタとして使用するとき、TAA_nCCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTAA_nCC0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセットによりTAA_nCCR0レジスタが0000Hになるため、CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TAA_nCCR1レジスタをコンペア・レジスタとして使用するとき、TAA_nCCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTAA_nCC1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセットによりTAA_nCCR1レジスタが0000Hになるため、CCR1バッファ・レジスタも0000Hになります。

(4) エッジ検出回路

TIAAn0, TIAAn1端子に入力される有効エッジを検出します。有効エッジは、TAA_nIOC1, TAA_nIOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

(5) 出力制御回路

TOAA_n0, TOAA_n1端子の出力を制御します。TOAA_n0, TOAA_n1端子の出力は、TAA_nIOC0レジスタで制御します。

(6) セレクタ

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

7.4 レジスタ

TAA_nを制御するレジスタを次に示します。

- ・ TAA_n制御レジスタ0 (TAA_nCTL0)
- ・ TAA_n制御レジスタ1 (TAA_nCTL1)
- ・ TAA_nI/O制御レジスタ0 (TAA_nIOC0)
- ・ TAA_nI/O制御レジスタ1 (TAA_nIOC1)
- ・ TAA_nI/O制御レジスタ2 (TAA_nIOC2)
- ・ TAA_nオプション・レジスタ0 (TAA_nOPT0)
- ・ TAA_nオプション・レジスタ1 (TAA_nOPT1)
- ・ TAA_nキャプチャ/コンペア・レジスタ0 (TAA_nCCR0)
- ・ TAA_nキャプチャ/コンペア・レジスタ1 (TAA_nCCR1)
- ・ TAA_nカウンタ・リード・バッファ・レジスタ (TAA_nCNT)

備考1. TIAA_n0, TIAA_n1, TOAA_n0, TOAA_n1端子の機能を使用する場合は、表4 - 25 **ポート端子を兼用端子として使用する場合のレジスタ設定**を参照してください。

2. n = 0-4

(1) TAA制御レジスタ0 (TAACTL0)

TAACTL0レジスタは、TAAの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TAACTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：TAA0CTL0 FFFFF590H, TAA1CTL0 FFFFF5A0H,
TAA2CTL0 FFFFF5B0H, TAA3CTL0 FFFFF5C0H,
TAA4CTL0 FFFFF5D0H

	7	6	5	4	3	2	1	0
TAACTL0	TAAACE	0	0	0	0	TAACKS2	TAACKS1	TAACKS0

(n = 0-4)

TAAACE	TAAの動作の制御
0	TAA動作禁止 (TAAを非同期にリセット ^{注1})
1	TAA動作許可。TAA動作開始

TAACKS2	TAACKS1	TAACKS0	内部カウント・クロックの選択	
			n = 0, 2, 4	n = 1, 3
0	0	0	f _{xx}	
0	0	1	f _{xx} /2	
0	1	0	f _{xx} /4	
0	1	1	f _{xx} /8	
1	0	0	f _{xx} /16	
1	0	1	f _{xx} /32	
1	1	0	f _{xx} /64	
1	1	1	f _{xx} /128	f _{xT} ^{注2}

注1. TAAOPT0.TAAOVFビット、16ビット・カウンタ、タイマ出力 (TOAAn0, TOAAn1端子)。

2. メイン・クロック停止時は、サブクロックによるカウント動作はできません。

注意1. TAACKS2-TAACKS0ビットは、TAAACEビット = 0のときに設定してください。TAAACEビットを“0”から“1”に設定するときに、同時にTAACKS2-TAACKS0ビットを設定できます。

2. ビット3-6には必ず“0”を設定してください。

備考 f_{xx} : メイン・クロック周波数

f_{xT} : サブクロック周波数

(2) TAA制御レジスタ1 (TAACTL1)

TAACTL1レジスタは、TAAの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：TAA0CTL1 FFFF591H, TAA1CTL1 FFFF5A1H,
TAA2CTL1 FFFF5B1H, TAA3CTL1 FFFF5C1H,
TAA4CTL1 FFFF5D1H

	7	6	5	4	3	2	1	0
TAACTL1	TAA0SYE	TAA0EST	TAA0EEE	0	0	TAA0MD2	TAA0MD1	TAA0MD0

(n = 0-4)

TAA0SYE	同調動作モード許可制御								
0	独立動作モード (アシンクロナス動作モード)								
1	同調動作モード (スレーブ動作の指定) マスタとなるタイマに同期して動作させることができます。								
	<table border="1"> <tr> <td>マスタ・タイマ</td> <td>スレーブ・タイマ</td> </tr> <tr> <td>TAA0</td> <td>TAA1</td> </tr> <tr> <td>TAA2</td> <td>TAA3</td> </tr> <tr> <td>TAA0</td> <td>TAA4</td> </tr> </table>	マスタ・タイマ	スレーブ・タイマ	TAA0	TAA1	TAA2	TAA3	TAA0	TAA4
マスタ・タイマ	スレーブ・タイマ								
TAA0	TAA1								
TAA2	TAA3								
TAA0	TAA4								
	同調動作モードについては、7.6 タイマ同調動作機能を参照してください。								
	注意 TAA0SYE, TAA2SYEビットには必ず、0を設定してください。								

TAA0EST	ソフトウェア・トリガ制御
0	-
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時：TAA0ESTビットへの“1”ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時：TAA0ESTビットへの“1”ライトをトリガとして、PWM波形を出力

注意1. TAA0ESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。

2. ビット3, 4には必ず“0”を設定してください。

TAAAnEEE	カウント・クロックの選択
0	外部イベント・カウント入力での動作禁止 (TAAAnCTL0.TAAAnCK0-TAAAnCK2ビットによって選択されたカウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力での動作許可 (外部イベント・カウント入力信号の有効エッジごとにカウント動作を行う)

TAAAnEEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。

TAAAnMD2	TAAAnMD1	TAAAnMD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード
1	1	1	設定禁止

- 注意1.** 外部イベント・カウント・モードのときは、TAAAnEEEビットの値にかかわらず外部イベント・カウント入力を選択されます。
- 2.** TAAAnEEE, TAAAnMD2-TAAAnMD0ビットは、TAAAnCTL0.TAAAnCEビット = 0のときに設定してください (TAAAnCEビット = 1のときの同値書き込みは可能)。TAAAnCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TAAAnCEビットをクリア (0) してから再設定してください。

(3) TAA_nI/O制御レジスタ0 (TAA_nIOC0)

TAA_nIOC0レジスタは、タイマ出力 (TOAAn0, TOAAn1端子) を制御する8ビット・レジスタです。
8/1ビット単位でリード/ライト可能です。
リセットにより00Hになります。

リセット時：00H R/W アドレス：TAA0IOC0 FFFFF592H, TAA1IOC0 FFFFF5A2H,
TAA2IOC0 FFFFF5B2H, TAA3IOC0 FFFFF5C2H,
TAA4IOC0 FFFFF5D2H

	7	6	5	4	3	2	1	0
TAA _n IOC0 (n = 0-4)	0	0	0	0	TAA _n OL1	TAA _n OE1	TAA _n OL0	TAA _n OE0

TAA _n OL1	TOAAn1端子出力レベルの設定 ^注
0	TOAAn1端子ハイ・レベル・スタート
1	TOAAn1端子ロウ・レベル・スタート

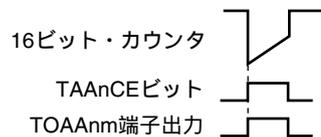
TAA _n OE1	TOAAn1端子出力の設定
0	タイマ出力禁止 ・ TAA _n OL1ビット = 0のときTOAAn1端子からロウ・レベルを出力 ・ TAA _n OL1ビット = 1のときTOAAn1端子からハイ・レベルを出力
1	タイマ出力許可 (TOAAn1端子から方形波を出力)

TAA _n OL0	TOAAn0端子出力レベルの設定 ^注
0	TOAAn0端子ハイ・レベル・スタート
1	TOAAn0端子ロウ・レベル・スタート

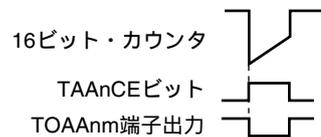
TAA _n OE0	TOAAn0端子出力の設定
0	タイマ出力禁止 ・ TAA _n OL0ビット = 0のときTOAAn0端子からロウ・レベルを出力 ・ TAA _n OL0ビット = 1のときTOAAn0端子からハイ・レベルを出力
1	タイマ出力許可 (TOAAn0端子から方形波を出力)

注 TAA_nOL_mビットの指定によるタイマ出力端子 (TOAAn_m) の出力レベルを次に示します。

・ TAA_nOL_mビット = 0の場合



・ TAA_nOL_mビット = 1の場合



- 注意1. TAA_nOL1, TAA_nOE1, TAA_nOL0, TAA_nOE0ビットは、
TAA_nCTL0.TAA_nCEビット = 0のときに書き換えてください (TAA_nCE
ビット = 1のときの同値書き込みは可能)。誤まって書き換えた場合
は、TAA_nCEビットをクリア (0) してから再設定してください。
2. TAA_nCEビット = 0, TAA_nOEmビット = 0の状態において、TAA_nOL_mビット
を操作した場合でも、TOAAn_m端子の出力レベルは変化します。

備考 n = 0-4, m = 0,1

(4) TAAAnI/O制御レジスタ1 (TAAAnIOC1)

TAAAnIOC1レジスタは、キャプチャ・トリガ入力信号 (TIAAn0, TIAAn1端子) に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TAA0IOC1 FFFFF593H, TAA1IOC1 FFFFF5A3H,
TAA2IOC1 FFFFF5B3H, TAA3IOC1 FFFFF5C3H,
TAA3IOC1 FFFFF5D3H

	7	6	5	4	3	2	1	0
TAAAnIOC1 (n = 0-4)	0	0	0	0	TAAAnIS3	TAAAnIS2	TAAAnIS1	TAAAnIS0

TAAAnIS3	TAAAnIS2	キャプチャ・トリガ入力信号 (TIAAn1端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TAAAnIS1	TAAAnIS0	キャプチャ・トリガ入力信号 (TIAAn0端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TAAAnIS3-TAAAnIS0ビットは、TAAAnCTL0.TAAAnCEビット = 0のときに書き換えてください (TAAAnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TAAAnCEビットをクリア (0) してから再設定してください。
- 2.** TAAAnIS3-TAAAnIS0ビットは、フリー・ランニング・タイマ・モードと、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。

(5) TAA_nI/O制御レジスタ2 (TAA_nIOC2)

TAA_nIOC2レジスタは、外部イベント・カウント入力信号 (TIAAn0端子)、外部トリガ入力信号 (TIAAn0端子) に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TAA0IOC2 FFFFF594H, TAA1IOC2 FFFFF5A4H,
TAA2IOC2 FFFFF5B4H, TAA3IOC2 FFFFF5C4H,
TAA4IOC2 FFFFF5D4H

	7	6	5	4	3	2	1	0
TAA _n IOC2 (n = 0-4)	0	0	0	0	TAA _n EES1	TAA _n EES0	TAA _n ETS1	TAA _n ETS0

TAA _n EES1	TAA _n EES0	外部イベント・カウント入力信号 (TIAAn0端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TAA _n ETS1	TAA _n ETS0	外部トリガ入力信号 (TIAAn0端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1. TAA_nEES1, TAA_nEES0, TAA_nETS1, TAA_nETS0ビットは、
TAA_nCTL0.TAA_nCEビット = 0のときに書き換えてください
(TAA_nCEビット = 1のときの同値書き込みは可能)。誤って書き換
えた場合は、TAA_nCEビットをクリア (0) してから再設定してく
ださい。
2. TAA_nEES1, TAA_nEES0ビットは、TAA_nCTL1.TAA_nEEEビット =
1、または外部イベント・カウント・モード (TAA_nCTL1.TAA_nMD2-
TAA_nMD0ビット = 001) に設定したときのみ有効です。
3. TAA_nETS1, TAA_nETS0ビットは、外部トリガ・パルス出力モード
(TAA_nCTL1.TAA_nMD2-TAA_nMD0ビット = 010)、ワンショット・
パルス出力モード (TAA_nCTL1.TAA_nMD2-TAA_nMD0 = 011) に設
定したときのみ有効です。

(6) TAA_nオプション・レジスタ0 (TAA_nOPT0)

TAA_nOPT0レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TAA0OPT0 FFFFF595H, TAA1OPT0 FFFFF5A5H,
TAA2OPT0 FFFFF5B5H, TAA3OPT0 FFFFF5C5H,
TAA4OPT0 FFFFF5D5H

	7	6	5	4	3	2	1	0
TAA _n OPT0 (n = 0-4)	0	0	TAA _n CCS1	TAA _n CCS0	0	0	0	TAA _n OVF

TAA _n CCS1	TAA _n CCR1レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択
TAA _n CCS1ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TAA _n CCS0	TAA _n CCR0レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択
TAA _n CCS0ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TAA _n OVF	TAA _n のオーバフロー検出フラグ
セット(1)	オーバフロー発生
リセット(0)	TAA _n OVFビットへの0ライトまたはTAA _n CTL0.TAA _n CEビット = 0
<ul style="list-style-type: none"> ・TAA_nOVFビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタのカウンタ値がFFFFHから0000Hにオーバフローするときセット(1)されます。 ・TAA_nOVFビットがセット(1)されると同時に、割り込み要求信号(INTTAA_nOV)が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTAA_nOV信号は発生しません。 ・TAA_nOVFビット = 1のときにTAA_nOVFビットまたはTAA_nOPT0レジスタをリードしても、TAA_nOVFビットはクリアされません。 ・TAA_nOVFビットはリード/ライト可能ですが、ソフトウェアでTAA_nOVFビットをセット(1)することはできません。“1”をライトしてもTAA_nの動作に影響はありません。 	

注意1. TAA_nCCS1, TAA_nCCS0ビットは、TAA_nCEビット = 0のときに書き換えてください(TAA_nCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TAA_nCEビットをクリア(0)してから再設定してください。

2. ビット1-3, 6, 7には必ず“0”を設定してください。

(7) TAA_nオプション・レジスタ1 (TAA_nOPT1)

TAA_nOPT1レジスタは、カスケード接続による32ビット・キャプチャ機能を制御する8ビット・レジスタです。

TAA_nOPT1レジスタはタイマ動作中 (TAA_nCTL0.TAA_nCE = 1) のとき書き換え禁止です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TAA1OPT1 FFFFF5ADH, TAA3OPT1 FFFFF5CDH

	⑦	6	5	4	3	2	1	0
TAA _n OPT1 (n = 1, 3)	TAA _n CSE	0	0	0	0	0	0	0
	TAA _n CSE	カスケード制御						
	0	単体動作, または, カスケード機能下位側として動作						
	1	カスケード機能上位側として動作						

- 注意1.** カスケード接続とタイマ同調動作は併用できません。カスケード接続する場合は、必ず TAA_nCTL1.TAA_nSYE = 0に設定してください。
- 2.** カスケード接続する場合は、フリーランニング・タイマ・モードに設定し、TAA_nCCR0, TAA_nCCR1レジスタをキャプチャ・レジスタとして使用してください。
カスケード接続の詳細は7.7 カスケード接続を参照してください。

(8) TAA_nキャプチャ/コンペア・レジスタ0 (TAA_nCCR0)

TAA_nCCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TAA_nCCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TAA_nOPT0.TAA_nCCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

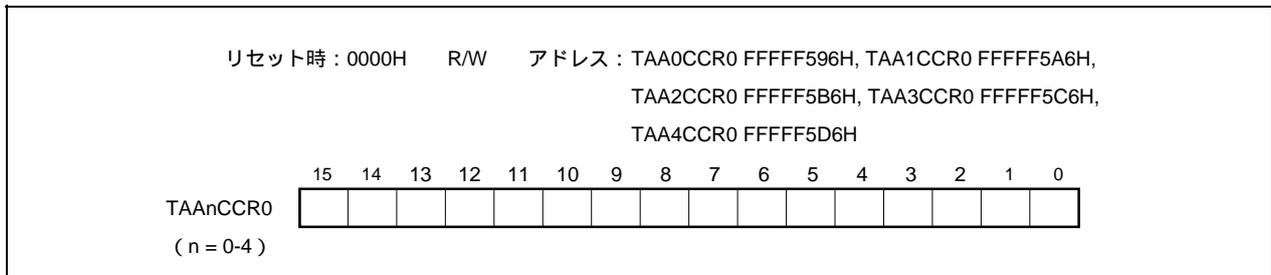
TAA_nCCR0レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TAA_nCCR0レジスタへのアクセスは禁止です。詳細は3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



(a) コンペア・レジスタとしての機能

TAAAnCCR0レジスタは、TAAAnCTL0.TAAAnCEビット = 1のときでも書き換えできます。

TAAAnCCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTAAAnCC0) を発生し、TOAAAn0端子出力を許可している場合、TOAAAn0端子出力を反転します。

インターバル・タイマ・モード、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モードにおいて、TAAAnCCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TAAAnCCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIAAn0端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTAAAnCCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIAAn0端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTAAAnCCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTAAAnCCR0レジスタのリードが競合しても、TAAAnCCR0レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-2 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-

(9) TAA_nキャプチャ/コンペア・レジスタ1 (TAA_nCCR1)

TAA_nCCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TAA_nCCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TAA_nOPT0.TAA_nCCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

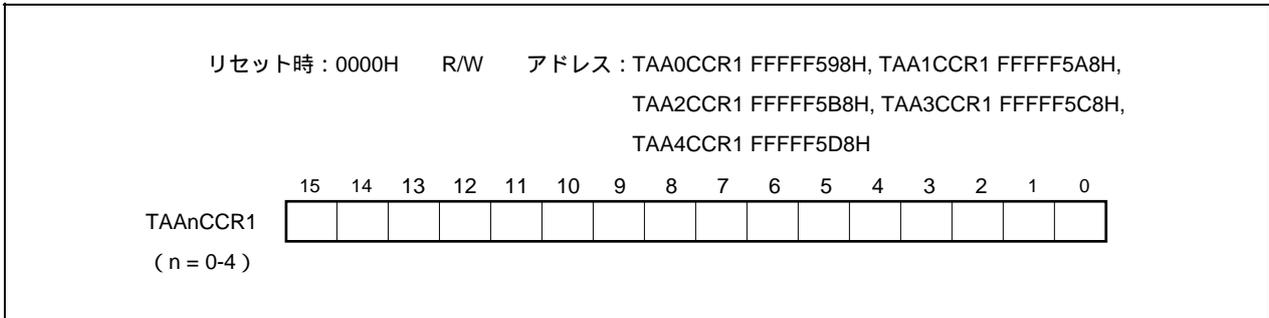
TAA_nCCR1レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TAA_nCCR1レジスタへのアクセスは禁止です。詳細は3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



(a) コンペア・レジスタとしての機能

TAAAnCCR1レジスタは、TAAAnCTL0.TAAAnCEビット = 1のときでも書き換えできます。

TAAAnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTAAAnCC1) を発生し、TOAAAn1端子出力を許可している場合、TOAAAn1端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TAAAnCCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIAAn1端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTAAAnCCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIAAn1端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTAAAnCCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTAAAnCCR1レジスタのリードが競合しても、TAAAnCCR1レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7 - 3 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-

(10) TAA_nカウンタ・リード・バッファ・レジスタ (TAA_nCNT)

TAA_nCNTレジスタは、16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

TAA_nCTL0.TAA_nCEビット = 1のときにTAA_nCNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。

16ビット単位でリードのみ可能です。

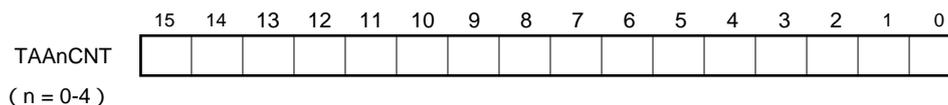
TAA_nCEビット = 0のとき、TAA_nCNTレジスタは0000Hになります。このときにTAA_nCNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) をリードせず、そのまま0000Hをリードします。

リセットによりTAA_nCEビット = 0になるため、TAA_nCNTレジスタは0000Hになります。

注意 次に示す状態において、TAA_nCNTレジスタへのアクセスは禁止です。詳細は3. 4. 8 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時: 0000H R アドレス: TAA0CNT FFFFF59AH, TAA1CNT FFFFF5AAH,
TAA2CNT FFFFF5BAH, TAA3CNT FFFFF5CAH,
TAA4CNT FFFFF5DAH



7.5 動作

TAA_nには次のような動作があります。

動作	TAA _n CTL1.TAA _n ESTビット (ソフトウェア・トリガ・ビット)	TIAAn0端子 (外部トリガ入力)	キャプチャ/コンペア・レジスタの設定	コンペア・レジスタの書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード ^{注1}	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード ^{注2}	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード ^{注2}	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード ^{注2}	無効	無効	キャプチャ専用	対象外

注1. 外部イベント・カウント・モードを使用する場合、TIAAn0端子のキャプチャ・トリガ入力の有効エッジの設定を、エッジを検出しない (TAA_nIOC1.TAA_nIS1, TAA_nIS0ビットを“00”) に設定してください。

2. 外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択 (TAA_nCTL1.TAA_nEEEビット = 0に設定) してください。

備考 n = 0-4

7.5.1 インターバル・タイマ・モード (TAA_nMD2-TAA_nMD0ビット = 000)

インターバル・タイマ・モードは、TAA_nCTL0.TAA_nCEビットをセット(1)することで、任意のインターバル間隔にて割り込み要求信号 (INTTAA_nCC0) を発生します。また、TOAAn0端子から、インターバル間隔を半周期とする方形波を出力できます。

インターバル・タイマ・モードでは、通常、TAA_nCCR1レジスタを使用しません。

図7-2 インターバル・タイマの構成図

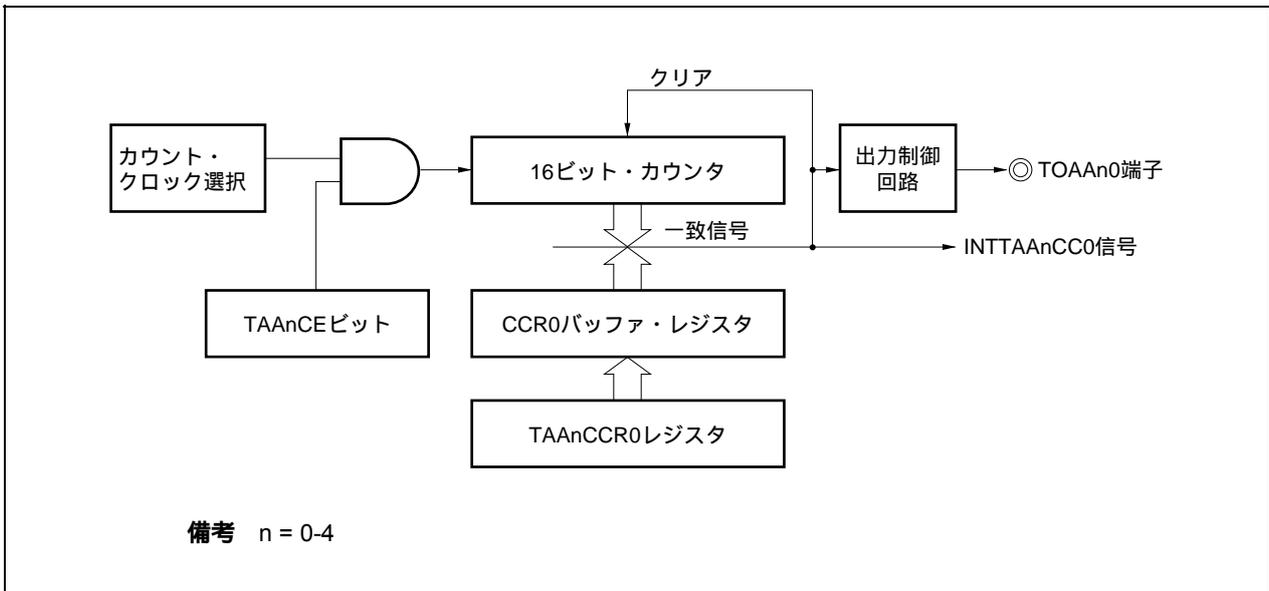
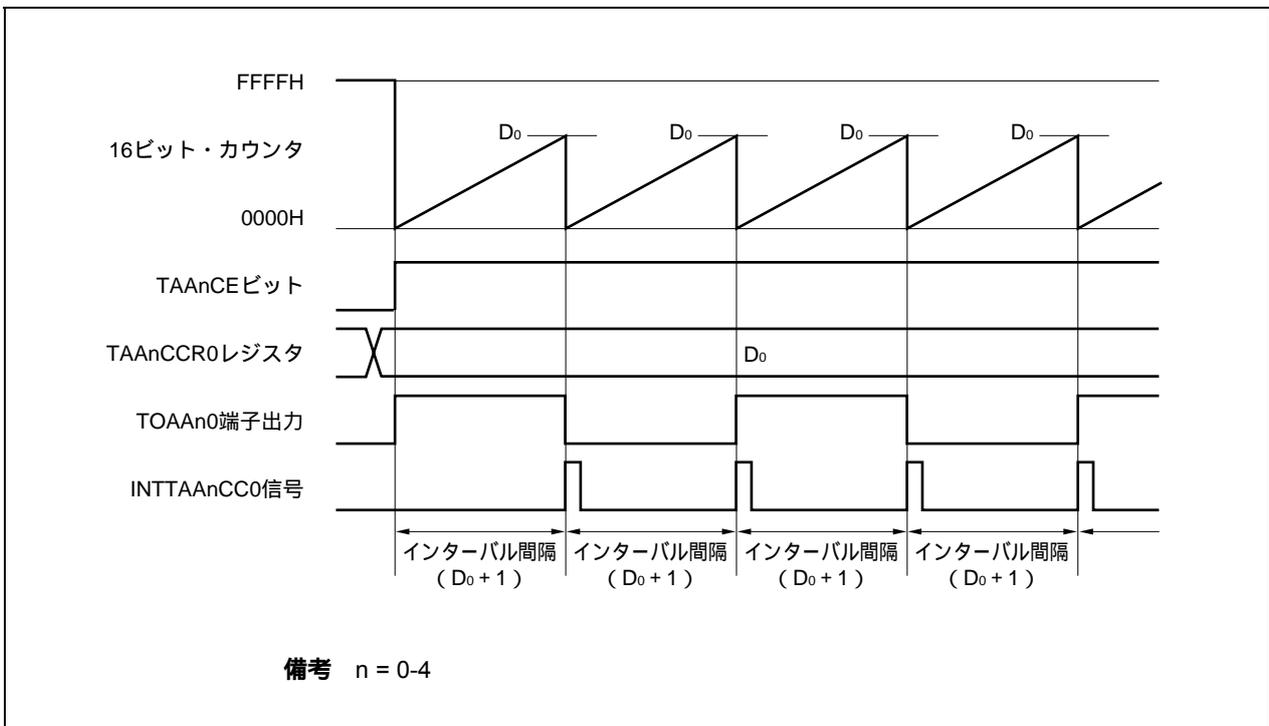


図7-3 インターバル・タイマ・モード動作の基本タイミング



TAA_nCEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOAA_n0端子出力を反転します。また、TAA_nCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOAA_n0端子出力を反転させて、コンペア一致割り込み要求信号(INTTAA_nCC0)を発生します。インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TAA}_n\text{CCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

備考 n = 0-4

図7-4 インターバル・タイマ・モード動作時のレジスタ設定内容(1/2)

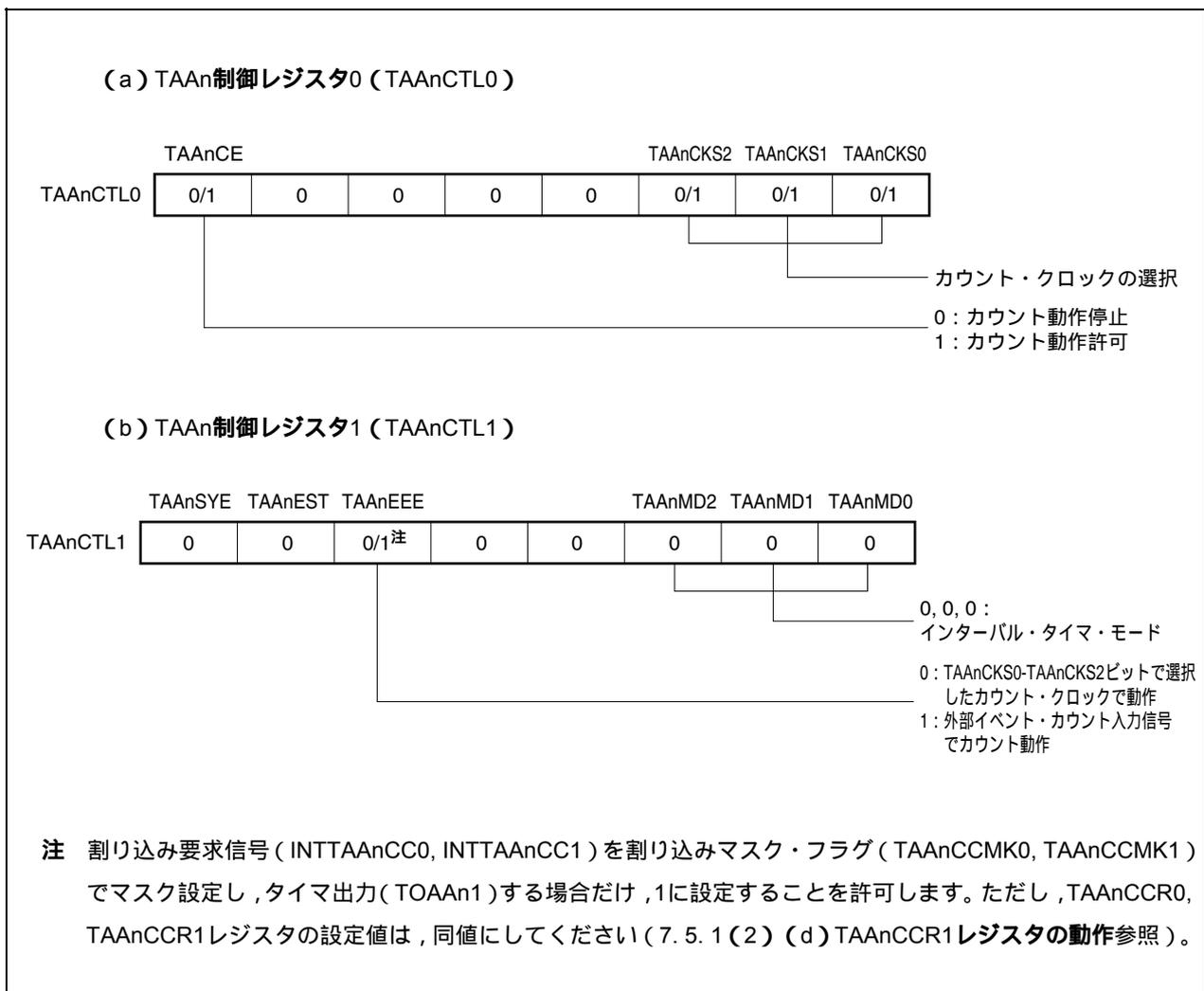
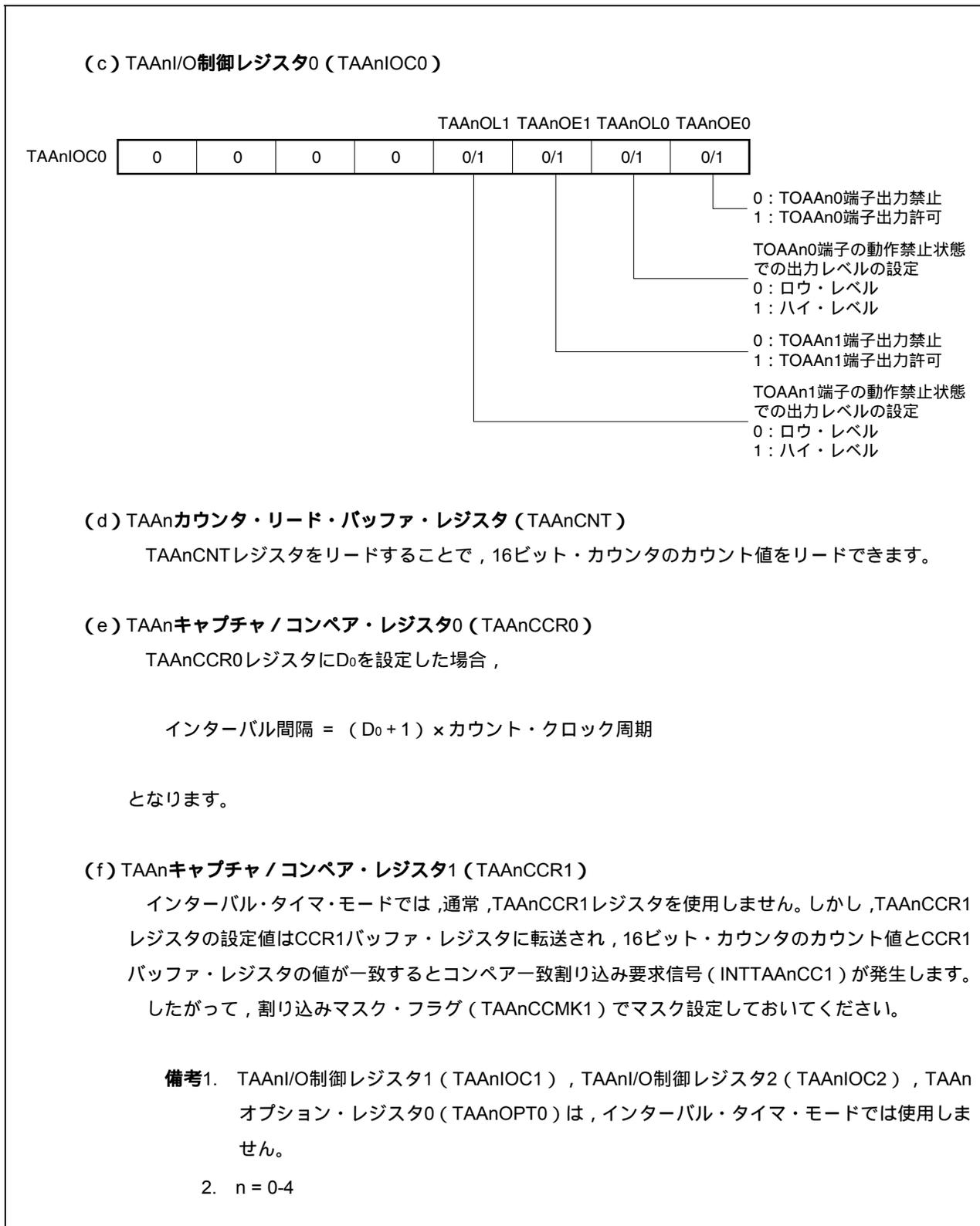
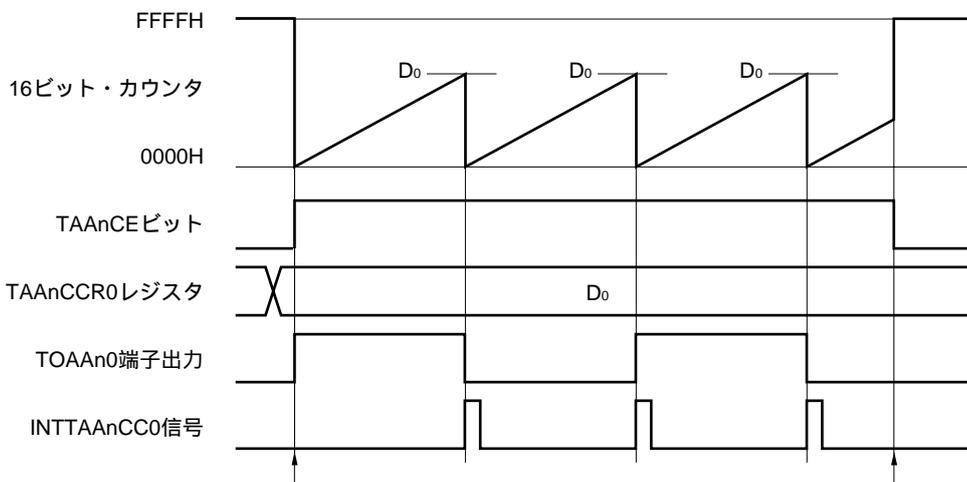


図7-4 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/2)



(1) インターバル・タイマ・モード動作フロー

図7-5 インターバル・タイマ・モード使用時のソフトウェア処理フロー



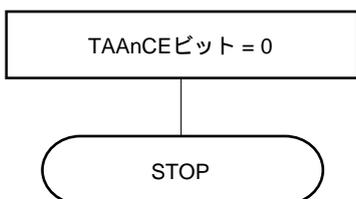
カウント動作開始フロー



TAAAnCEビット = 1にする前に、
これらのレジスタを初期設定。

カウント動作開始 (TAAAnCEビット = 1) と同時に、
TAAAnCKS0-TAAAnCKS2ビットの設定は可能。

カウント動作停止フロー



カウント動作停止 (TAAAnCEビット = 0) にすることで、
カウンタを初期化しカウント動作を停止。

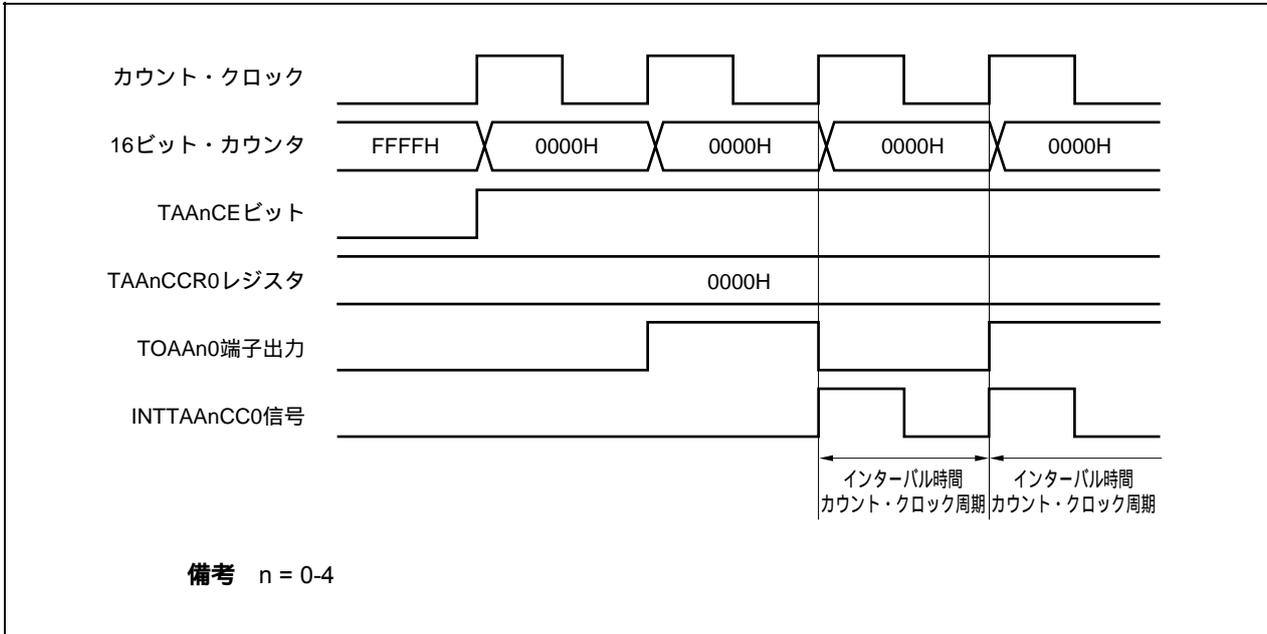
備考 n = 0-4

(2) インターバル・タイマ・モード動作タイミング

(a) TAA_nCCR0レジスタに0000Hを設定した場合の動作

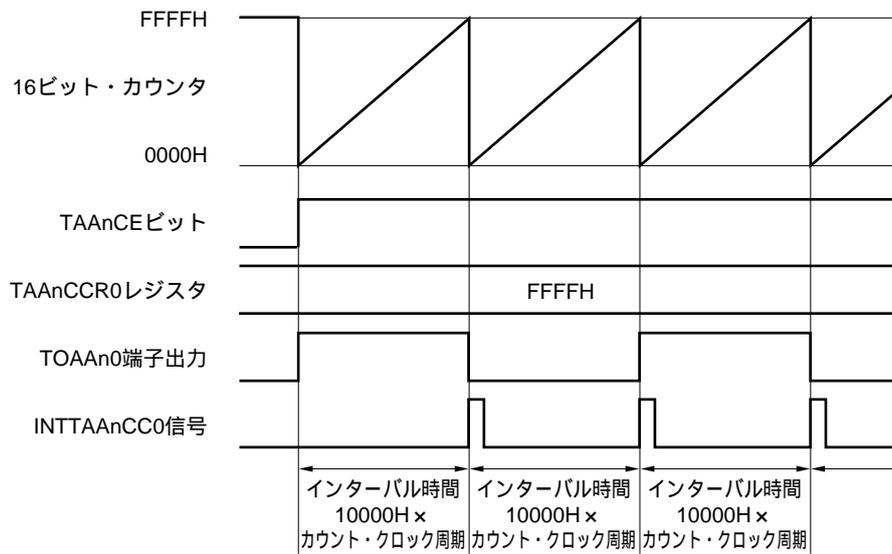
TAA_nCCR0レジスタに0000Hを設定した場合、2クロック目以降のカウンタ・クロックごとにINTTAA_nCC0信号を発生し、TOAA_n0端子の出力を反転します。

16ビット・カウンタは、常に0000Hとなります。



(b) TAA_nCCR0レジスタにFFFFHを設定した場合の動作

TAA_nCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTAA_nCC0信号を発生し、TOAA_n0端子の出力を反転します。このとき、オーバフロー割り込み要求信号 (INTTAA_nOV) は発生せず、オーバフロー・フラグ (TAA_nOPT0.TAA_nOVFビット) もセット (1) されません。

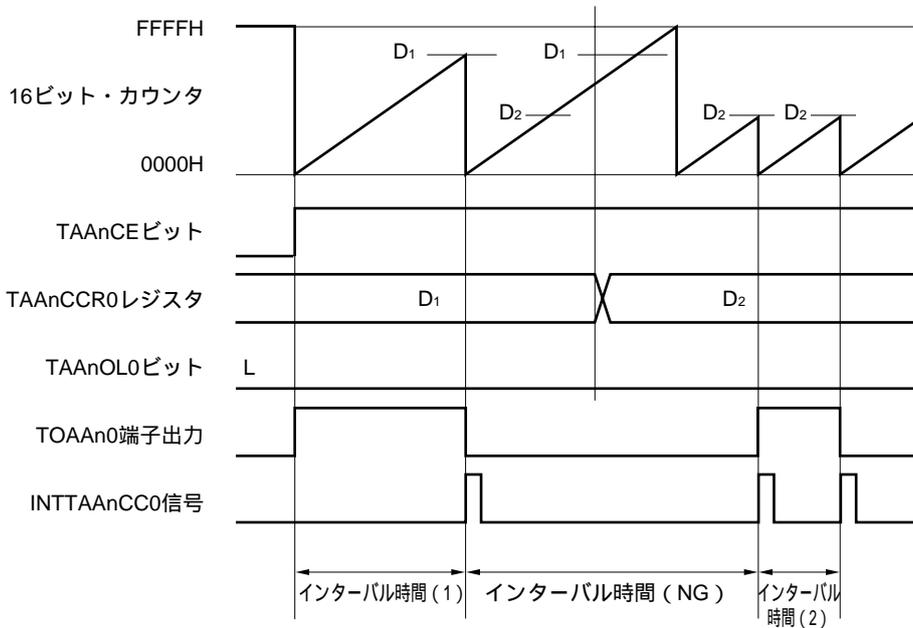


備考 n = 0-4

(c) TAAAnCCR0レジスタの書き換えに関する注意事項

TAAAnCCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTAAAnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。



- 備考1. インターバル時間 (1) : $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$
 インターバル時間 (NG) : $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$
 インターバル時間 (2) : $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$
2. $n = 0-4$

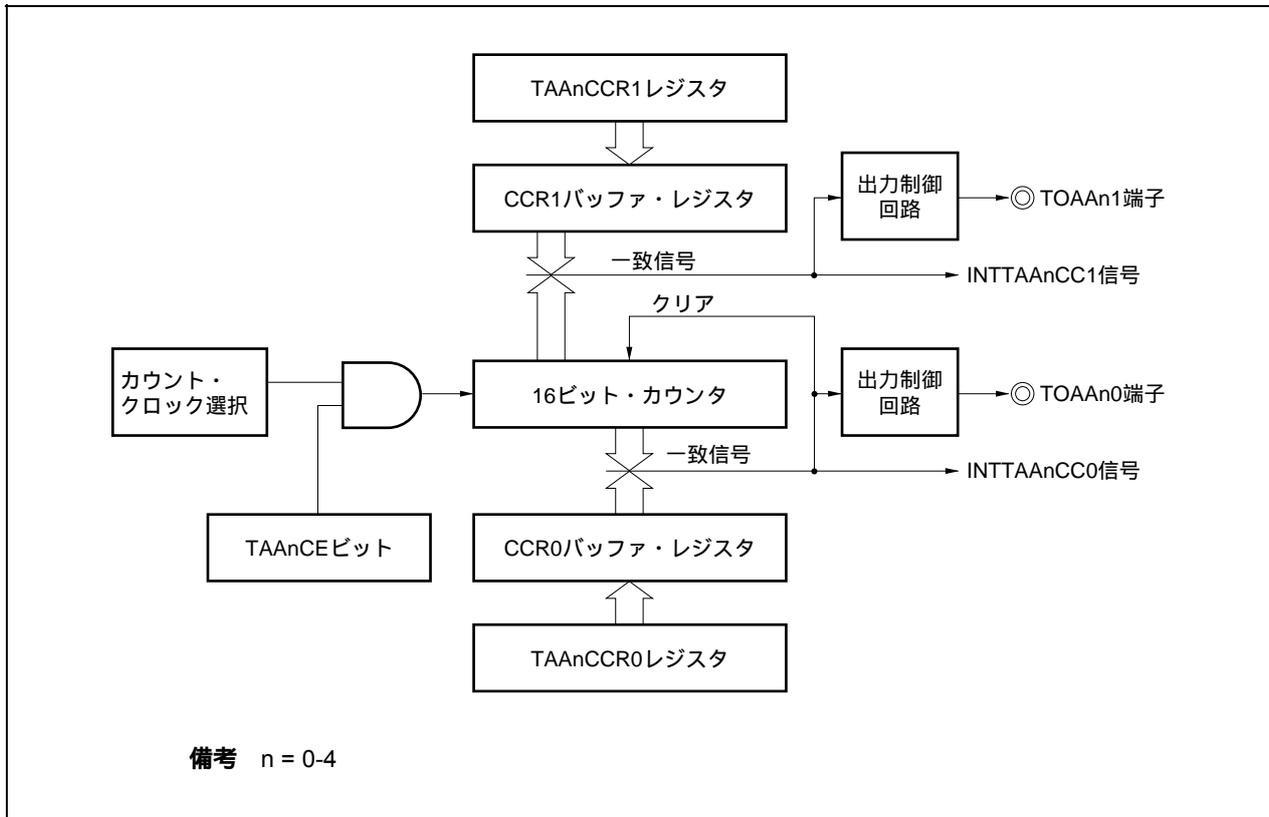
カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TAAAnCCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTAAAnCC0信号を発生しTOAAAn0端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」でINTTAAAnCC0信号は発生せずに、「 $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」の間隔でINTTAAAnCC0信号が発生する場合があります。

(d) TAAAnCCR1レジスタの動作

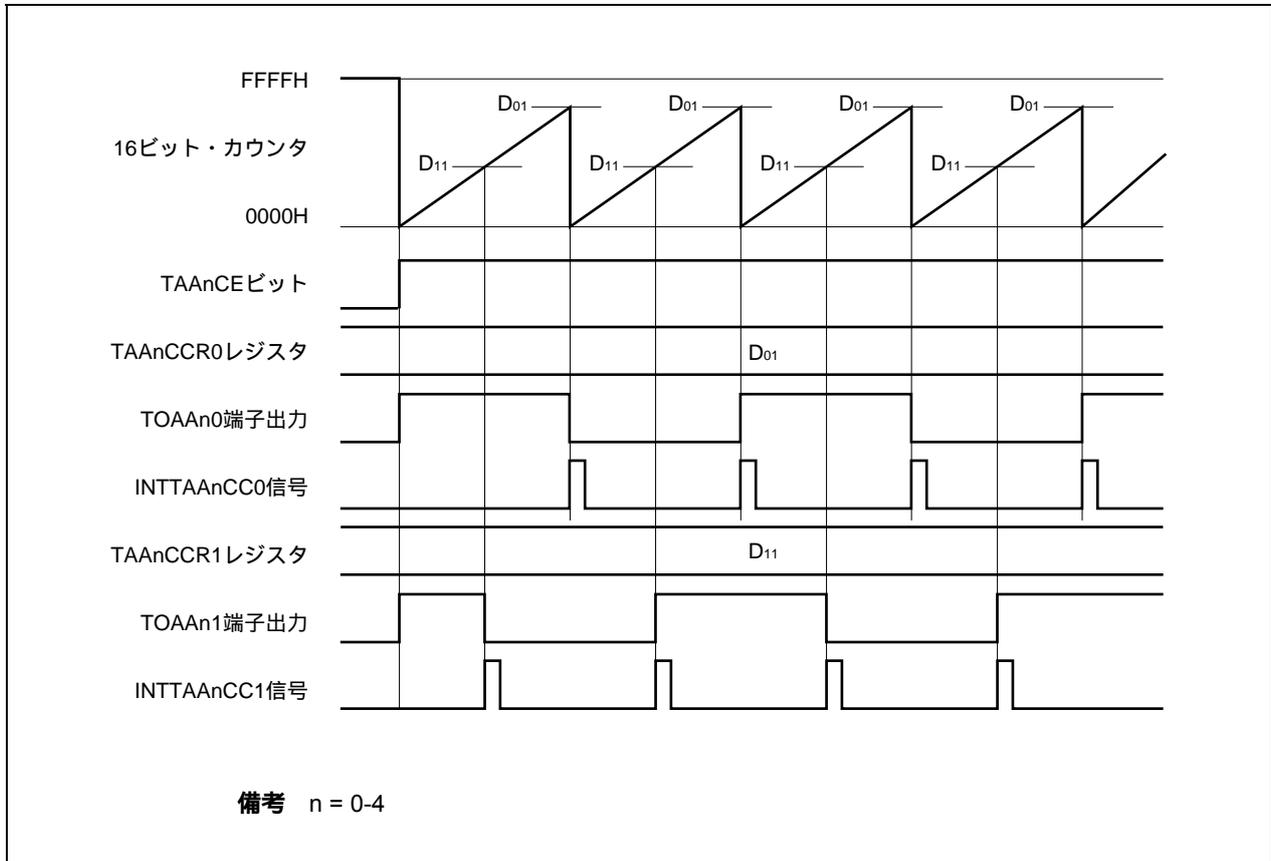
図7 - 6 TAAAnCCR1レジスタの構成図



TAA_nCCR1レジスタの設定値がTAA_nCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTAA_nCC1信号が発生します。また、同じタイミングでTOAAn1端子出力は反転します。

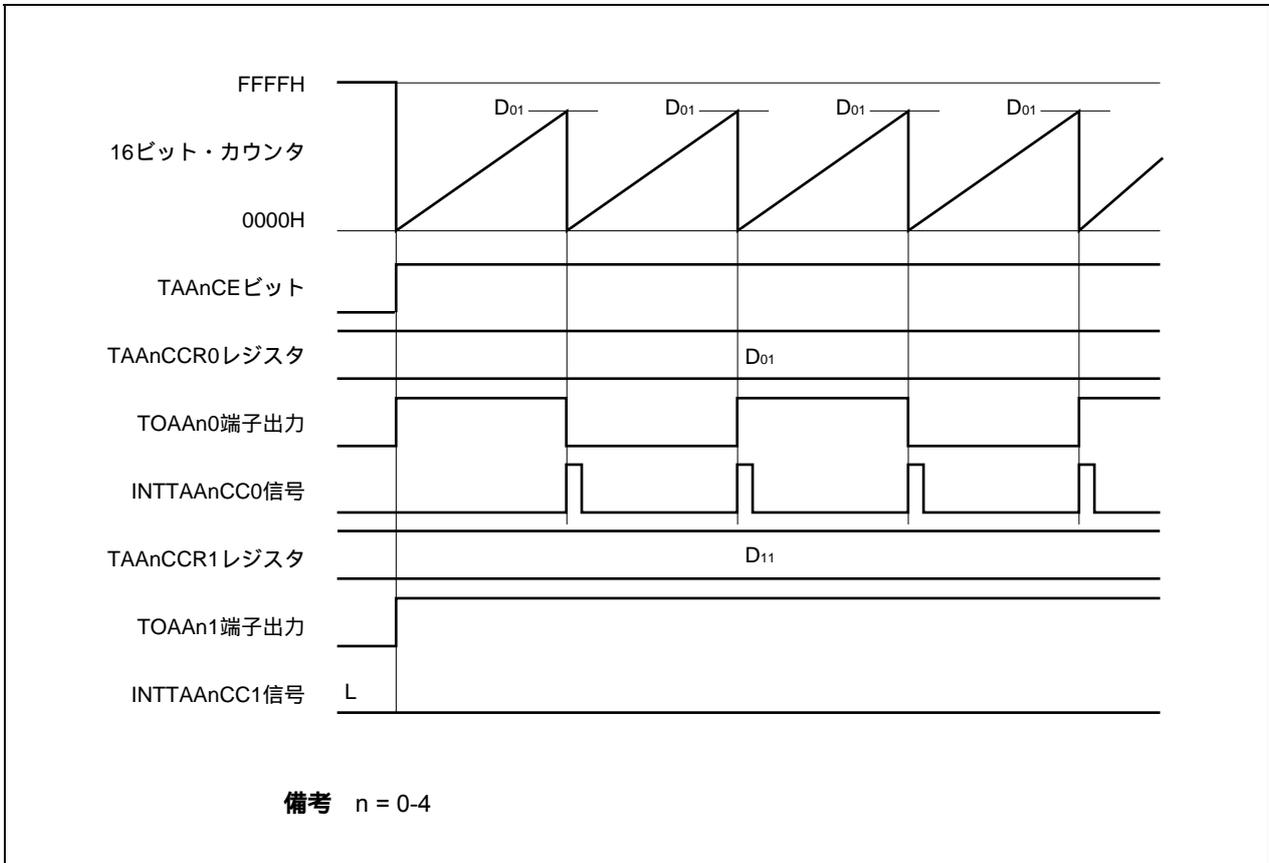
TOAAn1端子出力は、TOAAn0端子出力と同じ周期の方形波を出力します。

図7-7 D₀₁ D₁₁の場合のタイミング図



TAA_nCCR1レジスタの設定値がTAA_nCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTAA_nCCR1レジスタの値が一致しないので、INTTAA_nCC1信号は発生しません。また、TOAA_n1端子出力も変化しません。

図7-8 D₀₁ < D₁₁の場合のタイミング図



7.5.2 外部イベント・カウント・モード (TAA_nMD2-TAA_nMD0ビット = 001)

外部イベント・カウント・モードは、TAA_nCTL0.TAA_nCEビットをセット(1)することで、外部イベント・カウント入力の有効エッジをカウントし、任意のカウント数をカウントすることに割り込み要求信号(INTTAA_nCC0)を発生します。TOAA_n0端子は使用できません。

外部イベント・カウント・モードでは、通常、TAA_nCCR1レジスタは使用しません。

図7-9 外部イベント・カウント・モードの構成図

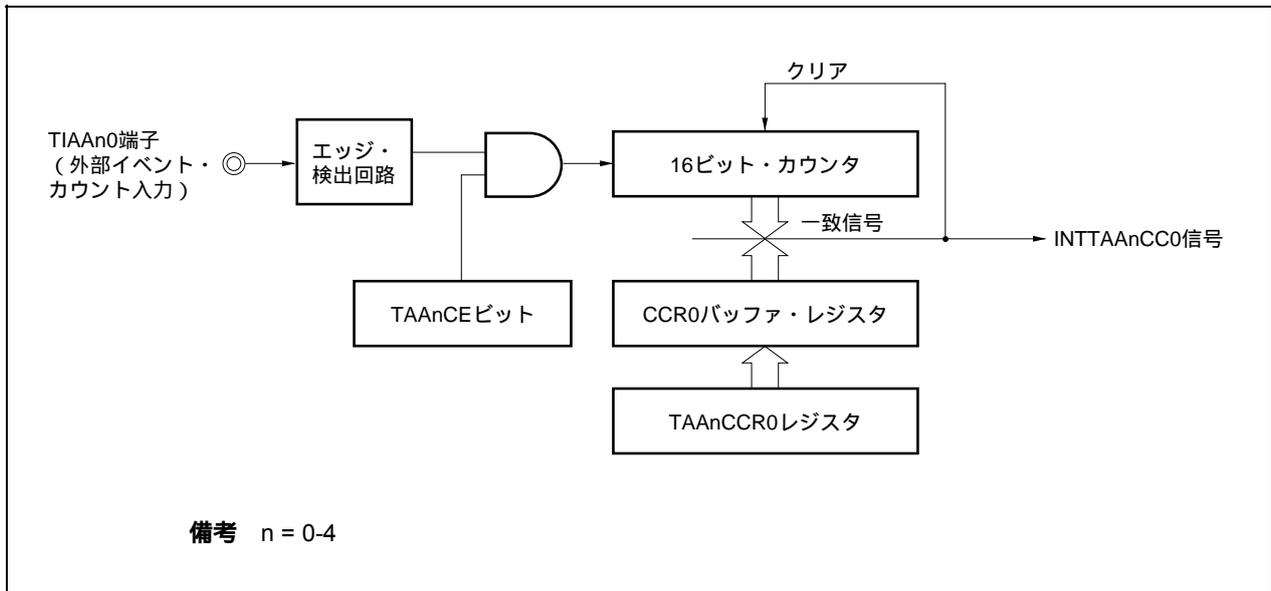
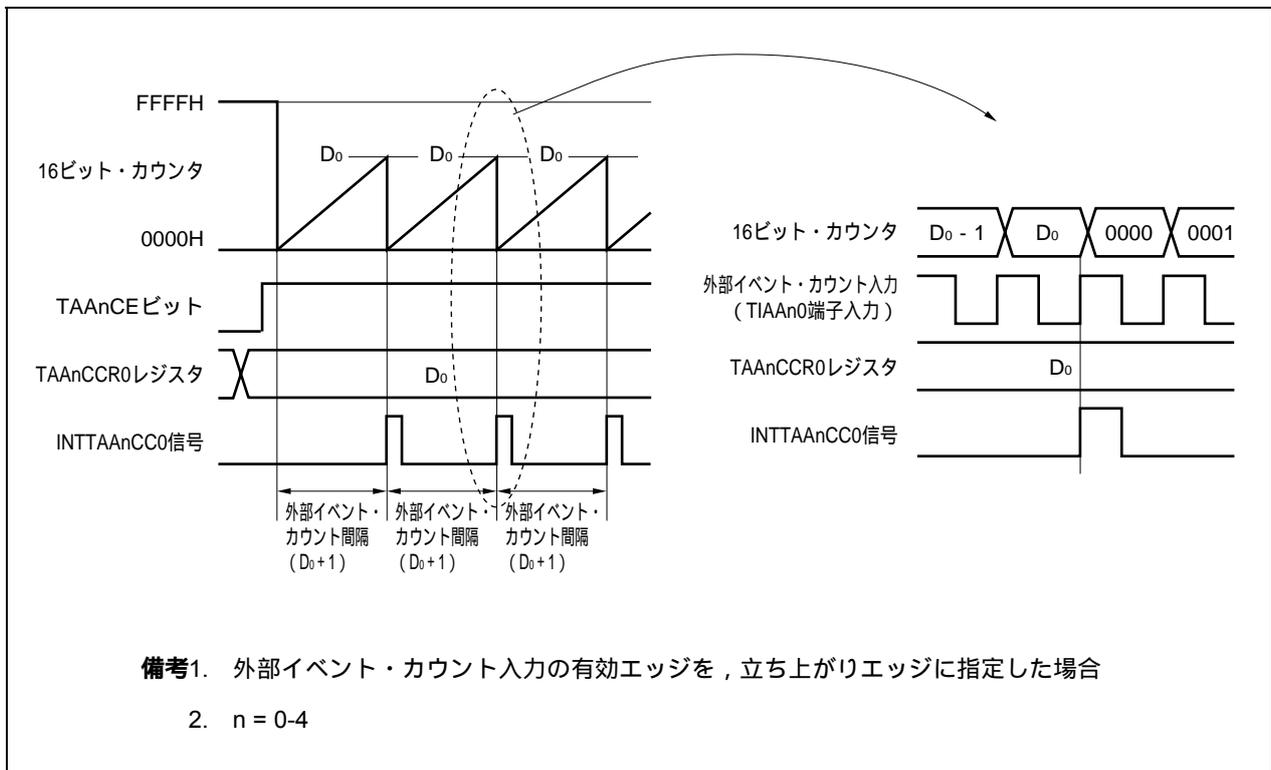


図7-10 外部イベント・カウント・モードの基本タイミング



TAA_nCEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出することにカウント動作を行います。また、TAA_nCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号(INTTAA_nCC0)を発生します。

INTTAA_nCC0信号は、外部イベント・カウント入力の有効エッジを(TAA_nCCR0レジスタに設定した値+1)回検出することに発生します。

図7-11 外部イベント・カウント・モード動作時のレジスタ設定内容(1/2)

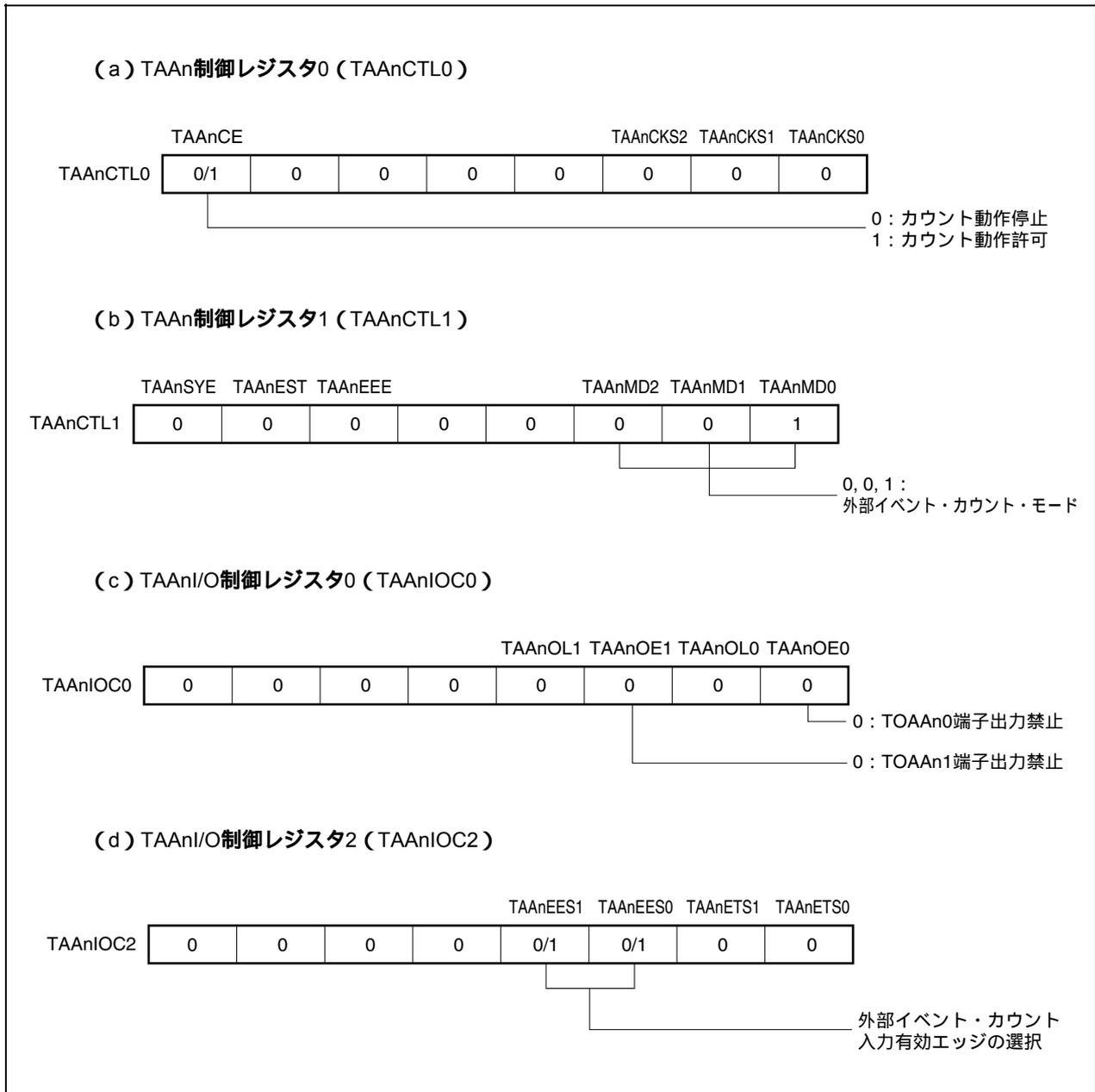


図7 - 11 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

(e) TAAカウンタ・リード・バッファ・レジスタ (TAAcCNT)

TAAcCNTレジスタをリードすることで、16ビット・カウンタのカウント値をリードできます。

(f) TAAキャプチャ/コンペア・レジスタ0 (TAAcCCR0)

TAAcCCR0レジスタにD₀を設定した場合、外部イベント・カウント数が (D₀ + 1) 回となるとカウントをクリアしコンペア一致割り込み要求信号 (INTTAAcCC0) を発生します。

(g) TAAキャプチャ/コンペア・レジスタ1 (TAAcCCR1)

外部イベント・カウント・モードでは、通常、TAAcCCR1レジスタは使用しません。しかし、TAAcCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTAAcCC1) が発生します。

したがって、割り込みマスク・フラグ (TAAcCMK1) でマスク設定しておいてください。

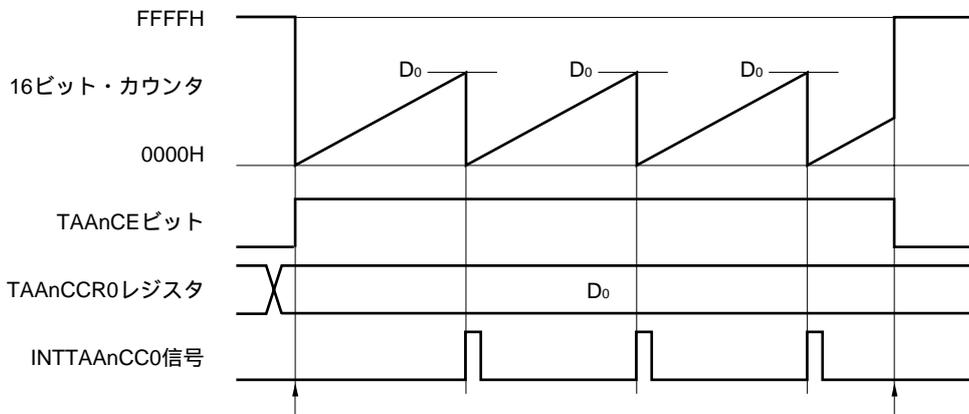
注意 カウント・クロックとして外部クロックを使用するときは、外部クロックはTIAAn0端子からのみ入力できます。このとき、TAAAnIOC1.TAAAnIS1, TAAAnIS0ビット = 00 (キャプチャ・トリガ入力 (TIAAn0端子) : エッジ検出なし) に設定してください。

備考1. TAAAnI/O制御レジスタ1 (TAAAnIOC1), TAAAnオプション・レジスタ0 (TAAAnOPT0) は、外部イベント・カウント・モードでは使用しません。

2. n = 0-4

(1) 外部イベント・カウント・モード動作フロー

図7-12 外部イベント・カウント・モード使用時のソフトウェア処理フロー



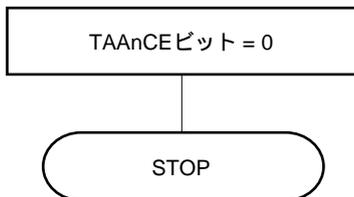
カウント動作開始フロー



TAAAnCEビット = 1にする前に、
これらのレジスタを初期設定。

カウント動作開始 (TAAAnCEビット = 1) と同時に、
TAAAnCKS0-TAAAnCKS2ビットの設定は可能。

カウント動作停止フロー



カウント動作停止 (TAAAnCEビット = 0) にすることで、
カウンタを初期化しカウント動作を停止。

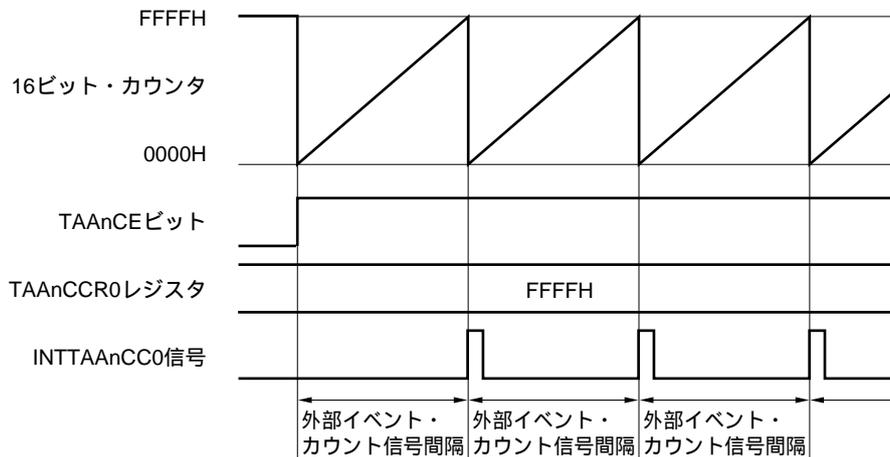
備考 n = 0-4

(2) 外部イベント・カウント・モード動作タイミング

- 注意1. 外部イベント・カウント・モード時，TAA_nCCR0レジスタには，0000Hを設定しないでください。
2. 外部イベント・カウント・モード時，タイマ出力は使用禁止です。外部イベント・カウント入力でタイマ出力を行う場合は，インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可に選択してください (TAA_nCTL1.TAA_nMD2-TAA_nMD0ビット = 000, TAA_nCTL1.TAA_nEEEビット = 1)。

(a) TAA_nCCR0レジスタにFFFFHを設定した場合の動作

TAA_nCCR0レジスタにFFFFHを設定した場合，16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い，次のカウント・アップ・タイミングに同期して，16ビット・カウンタを0000Hにクリアし，INTTAA_nCC0信号を発生します。このとき，TAA_nOPT0.TAA_nOVFビットはセットされません。

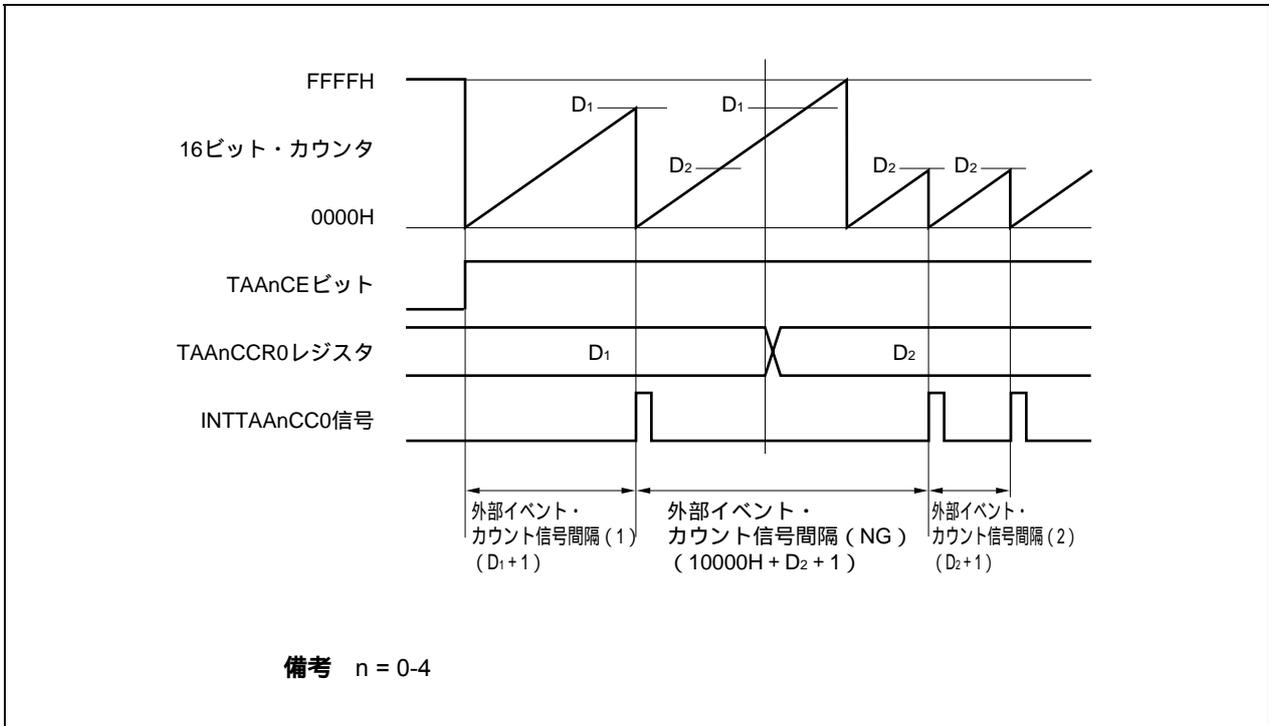


備考 n = 0-4

(b) TAA_nCCR0レジスタの書き換えに関する注意事項

TAA_nCCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTAA_nCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。



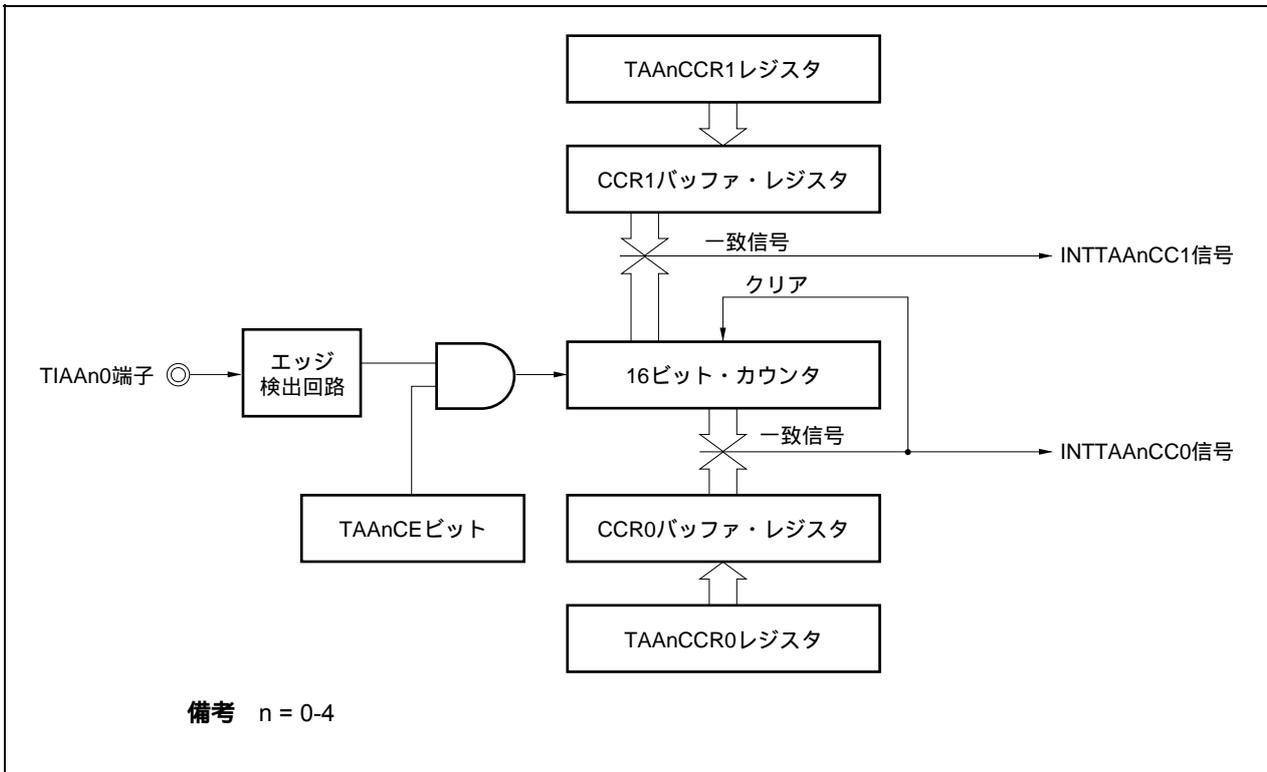
カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TAA_nCCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTAA_nCC0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「 $(D_1 + 1)$ 回」または「 $(D_2 + 1)$ 回」の有効エッジ数でINTTAA_nCC0信号は発生せず、「 $(10000H + D_2 + 1)$ 回」の有効エッジ数でINTTAA_nCC0信号が発生する場合があります。

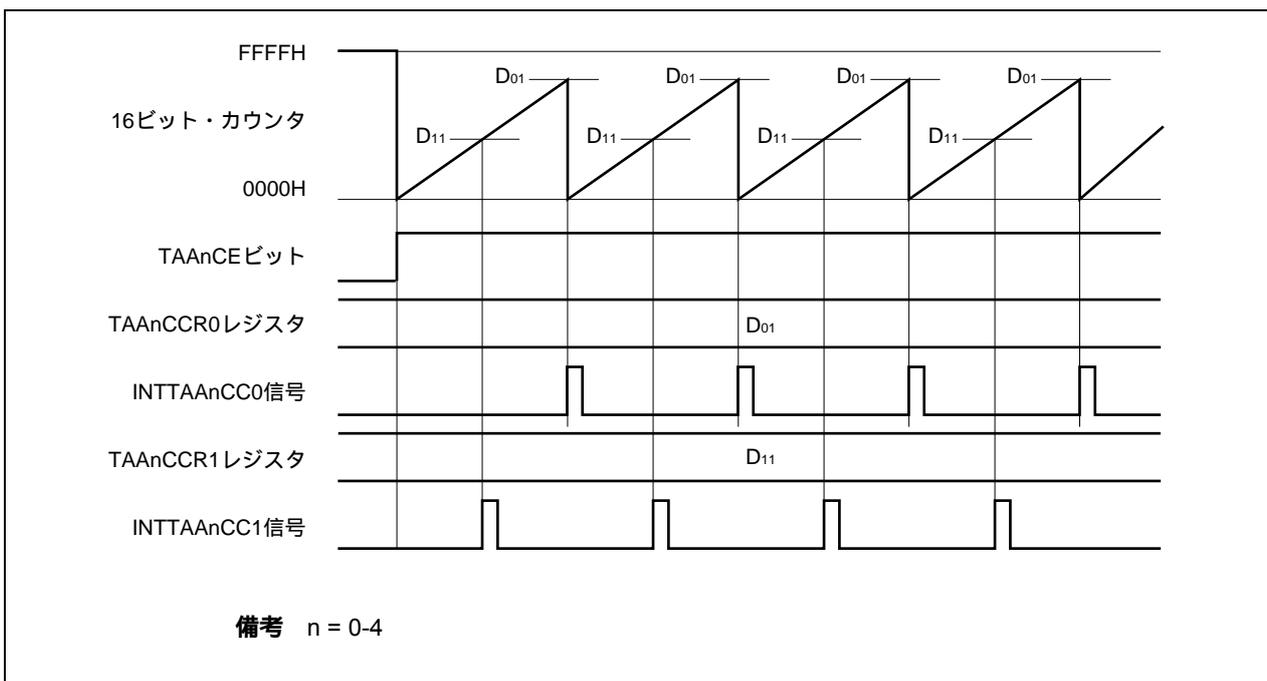
(c) TAAAnCCR1レジスタの動作

図7 - 13 TAAAnCCR1レジスタの構成図



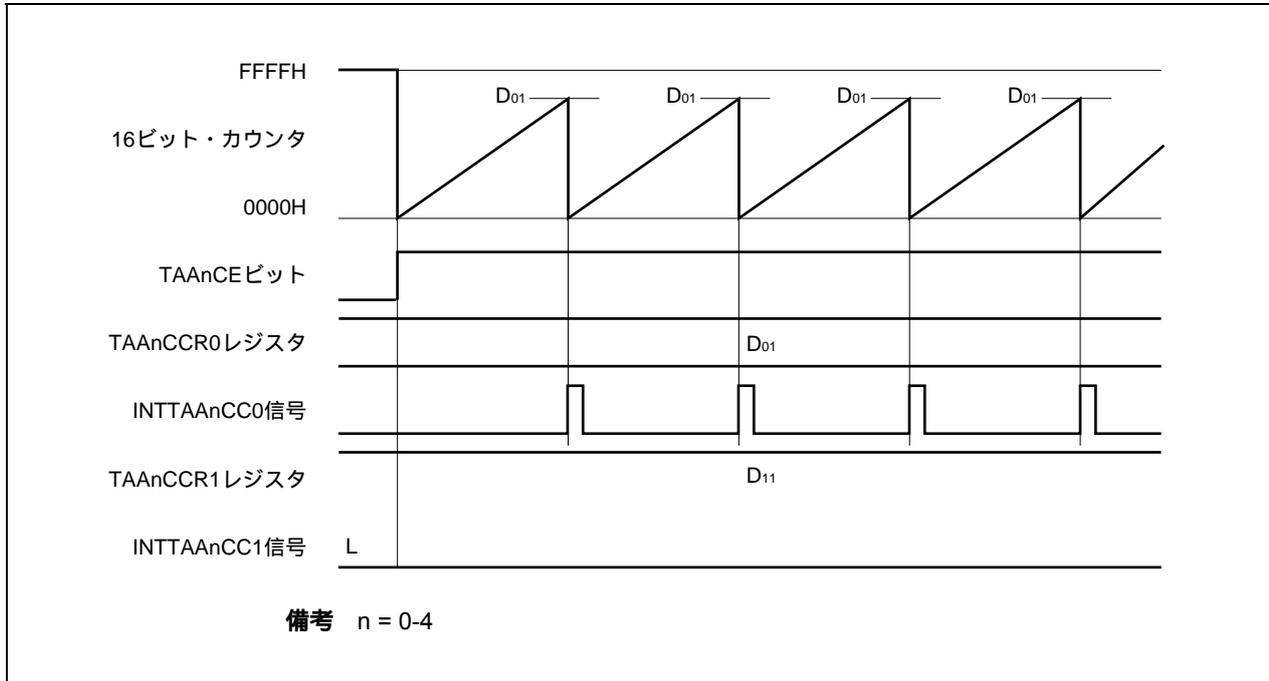
TAAAnCCR1レジスタの設定値がTAAAnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTAAAnCC1信号が発生します。

図7 - 14 D₀₁ D₁₁の場合のタイミング図



TAA_nCCR1レジスタの設定値がTAA_nCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTAA_nCCR1レジスタの値が一致しないので、INTTAA_nCC1信号は発生しません。

図7 - 15 D₀₁ < D₁₁の場合のタイミング図



7.5.3 外部トリガ・パルス出力モード (TAA_nMD2-TAA_nMD0ビット = 010)

外部トリガ・パルス出力モードは、TAA_nCTL0.TAA_nCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOAA_n1端子からPWM波形を出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOAA_n0端子から、PWM波形の1周期を半周期とする方形波を出力できます。

図7-16 外部トリガ・パルス出力モードの構成図

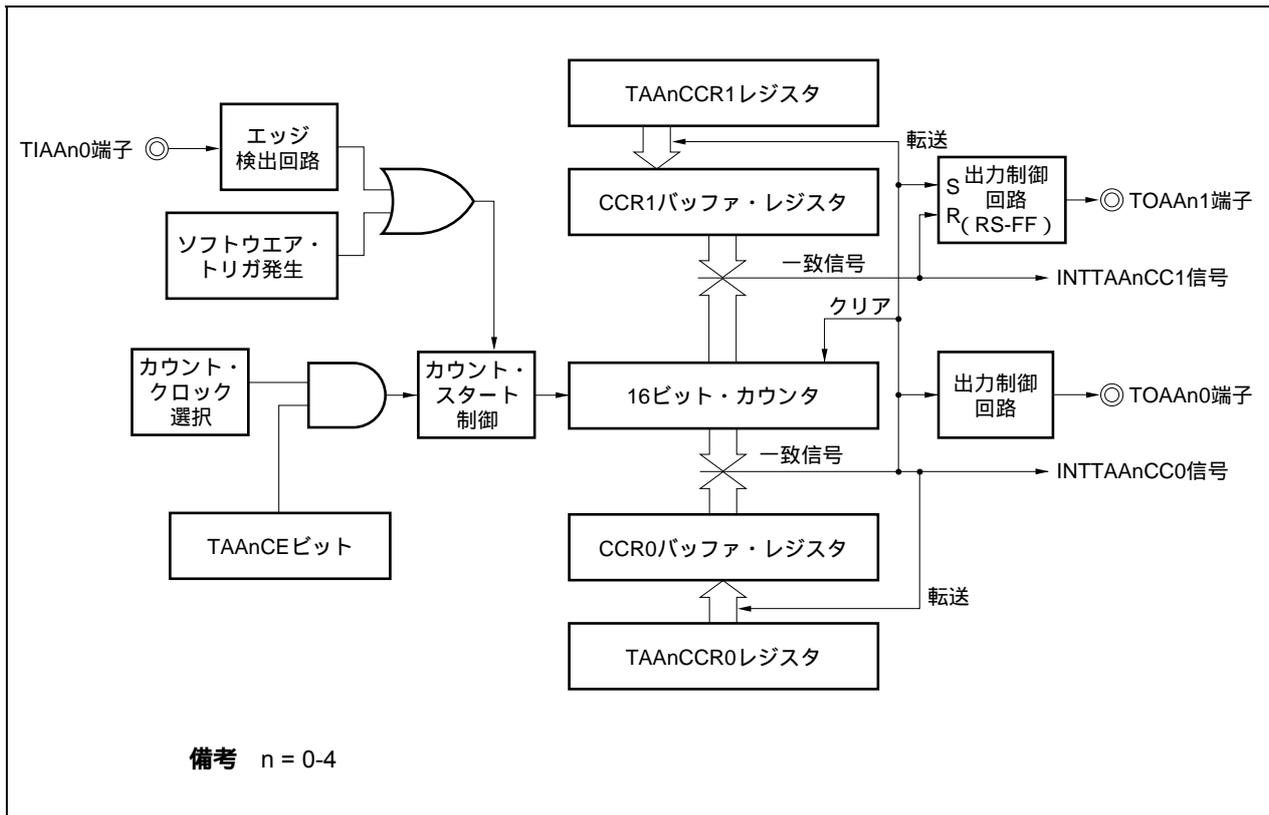
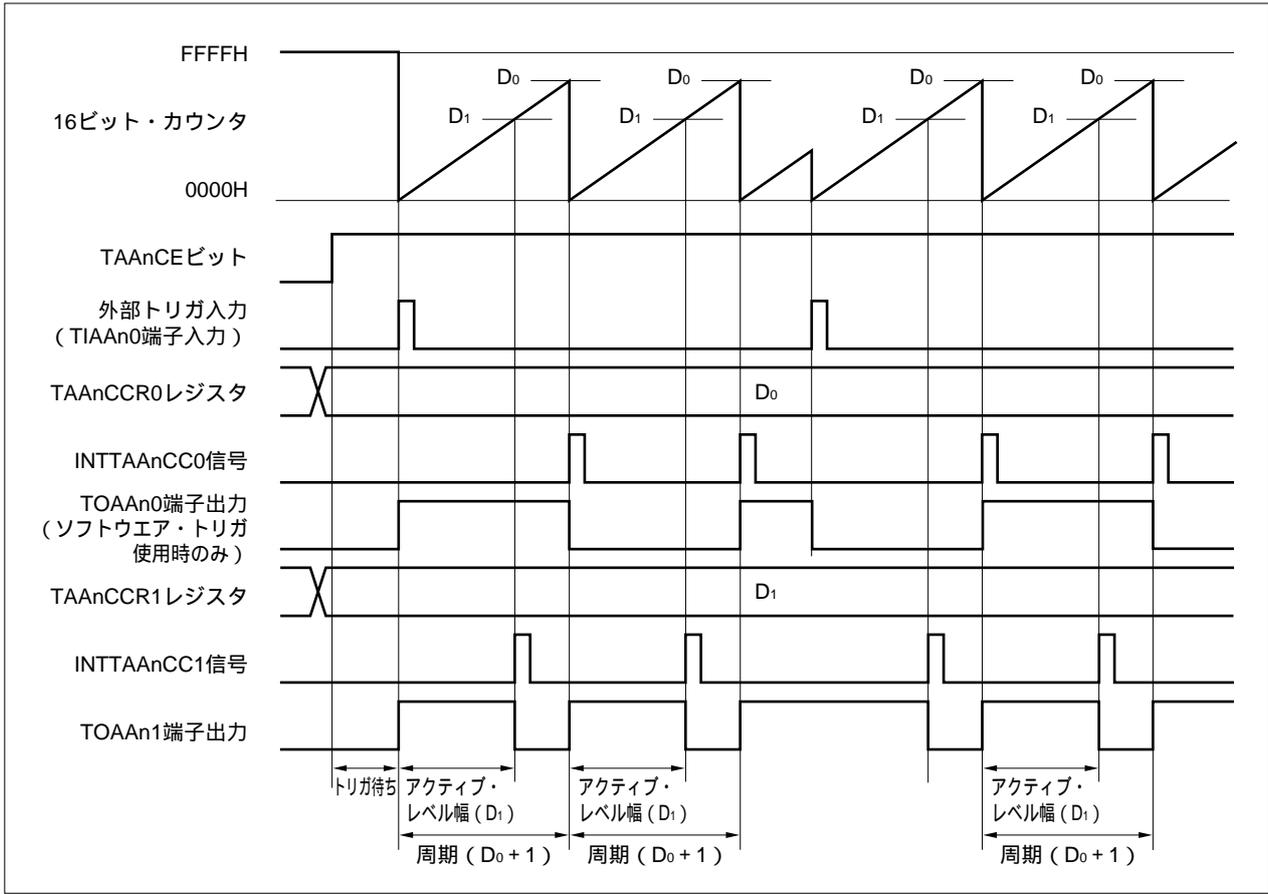


図7-17 外部トリガ・パルス出力モードの基本タイミング



TAAAnCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOAAAn1端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします(TOAAAn0端子出力は反転します。TOAAAn1端子出力は、ロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TAAAnCCR1レジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TAAAnCCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TAAAnCCR1レジスタの設定値}) / (\text{TAAAnCCR0レジスタの設定値} + 1)$$

コンペアー一致割り込み要求信号 (INTTAAAnCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTTAAAnCC1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TAAAnCCRmレジスタに設定した値は、16ビット・カウンタのカウント値とCCRmバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRmバッファ・レジスタに転送されます。

トリガには、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ (TAAAnCTL1.TAAAnESTビット) のセット(1)があります。

備考 n = 0-4, m = 0, 1

図7-18 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/2)

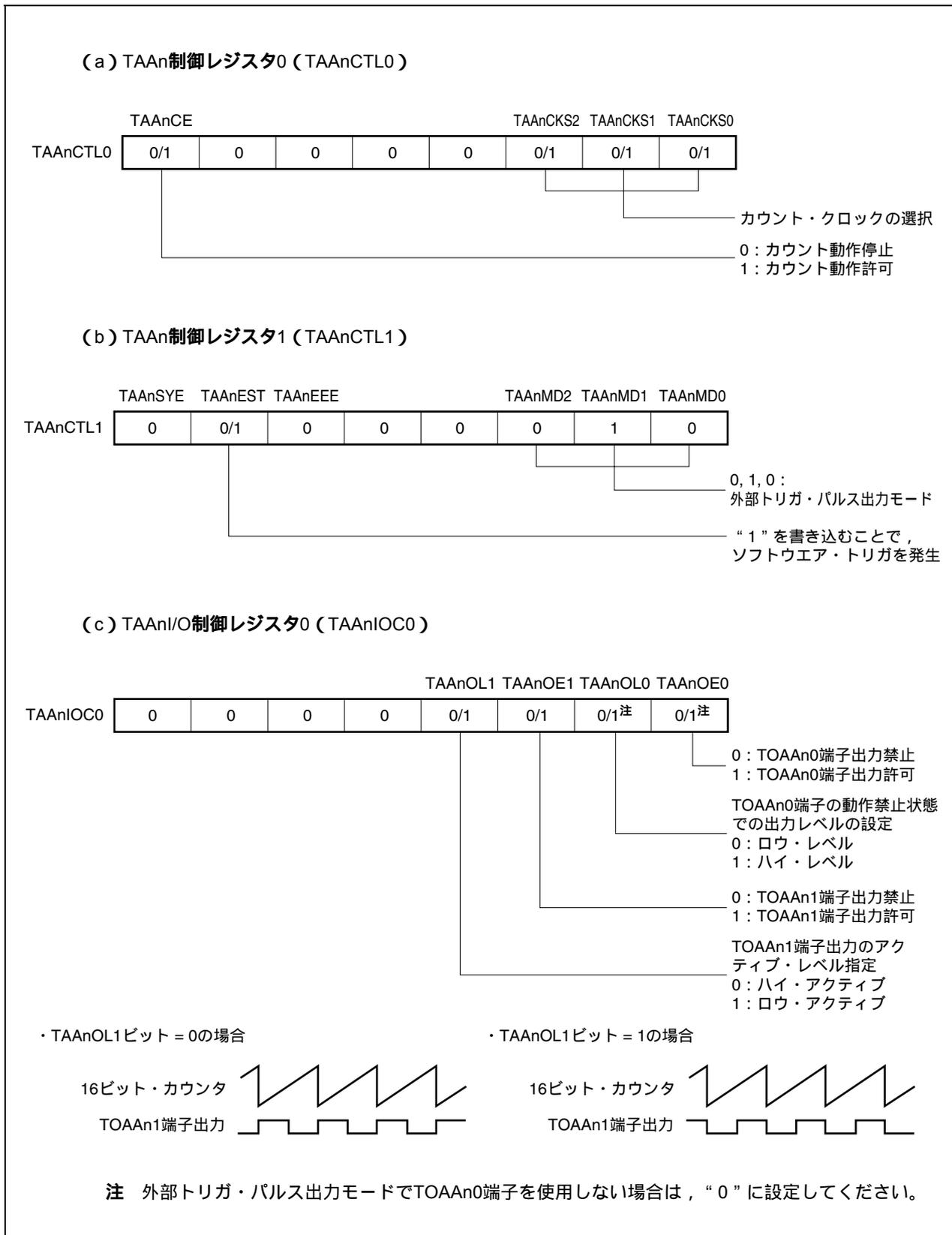
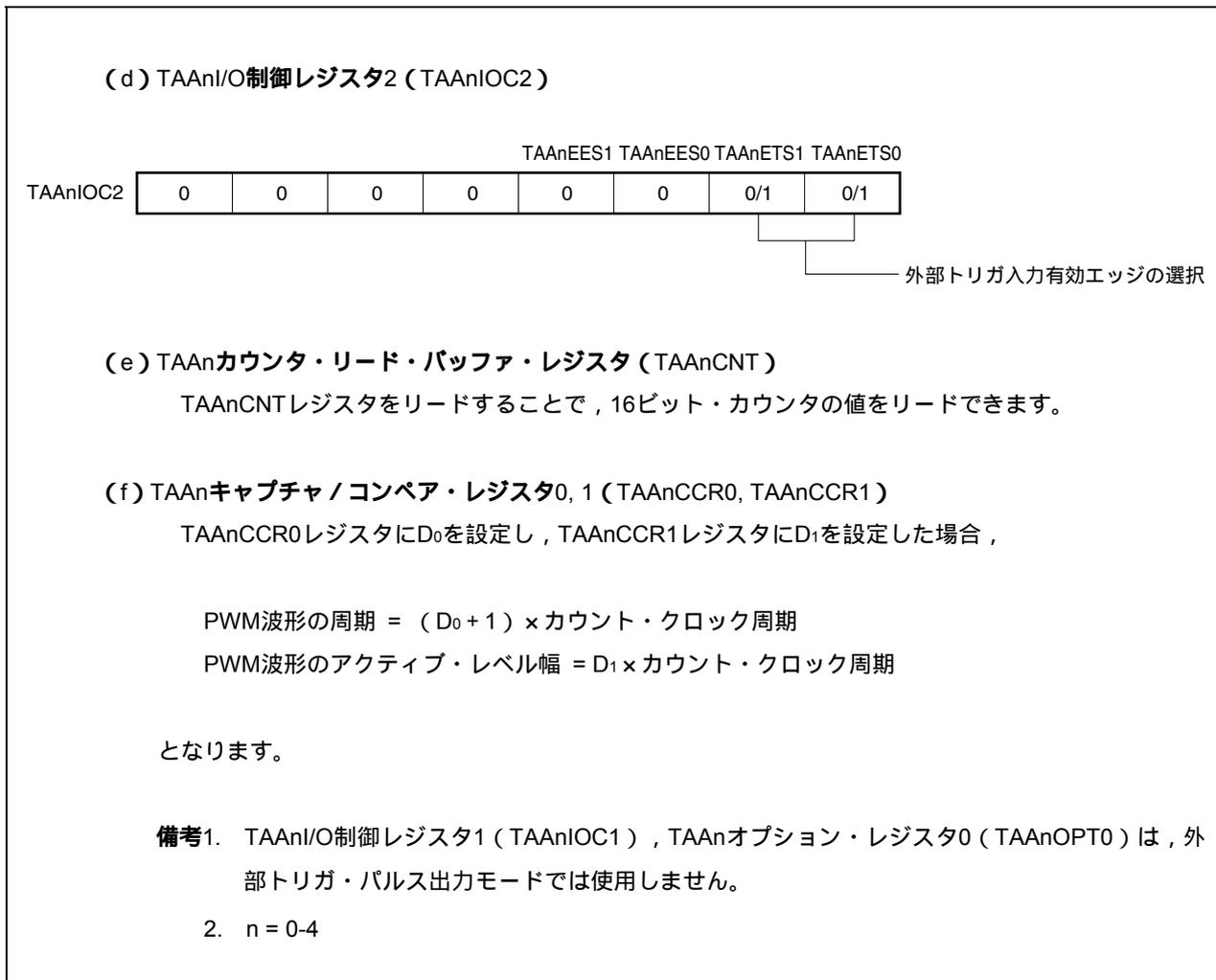


図7 - 18 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/2)



(1) 外部トリガ・パルス出力モード動作フロー

図7-19 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

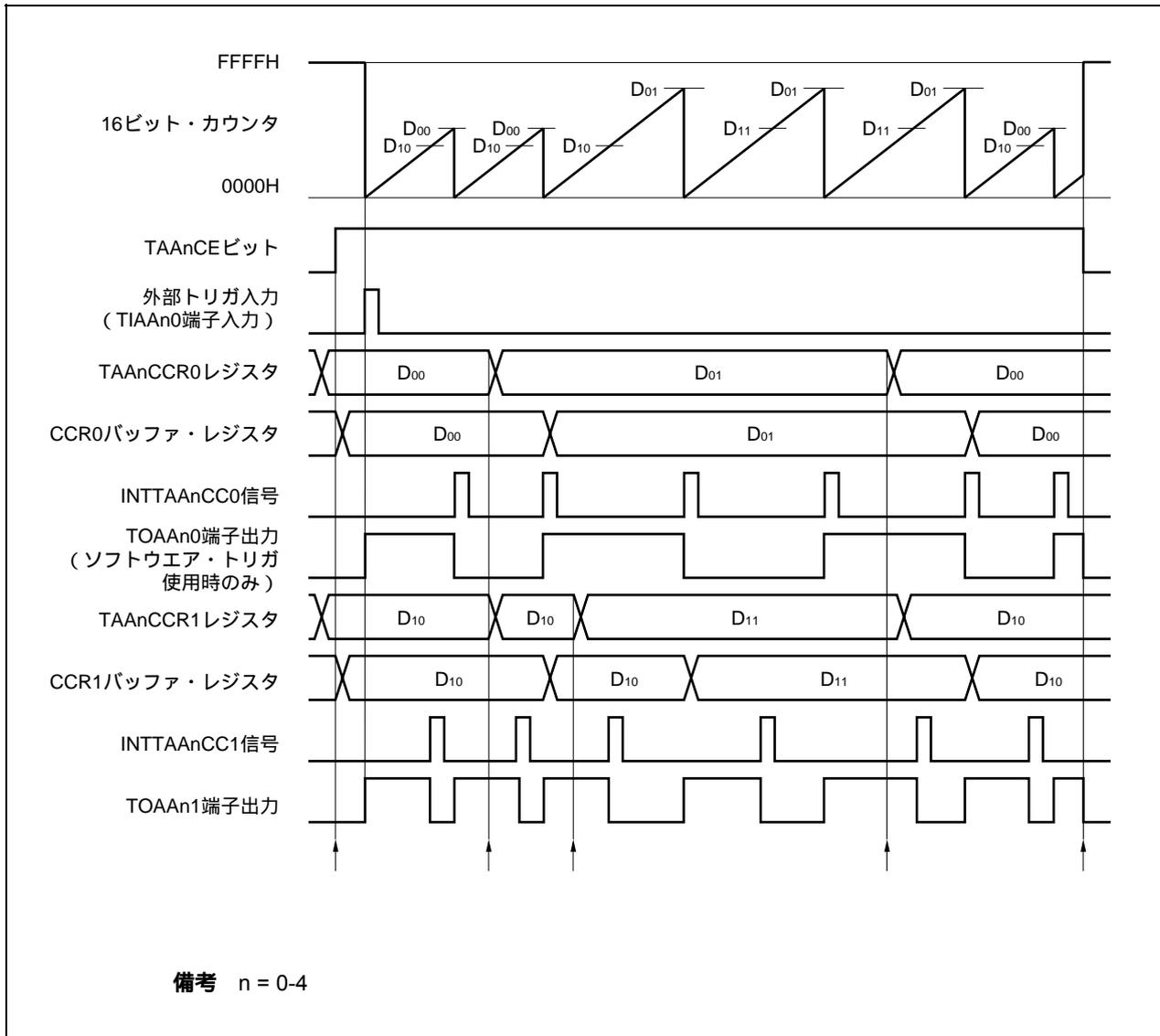
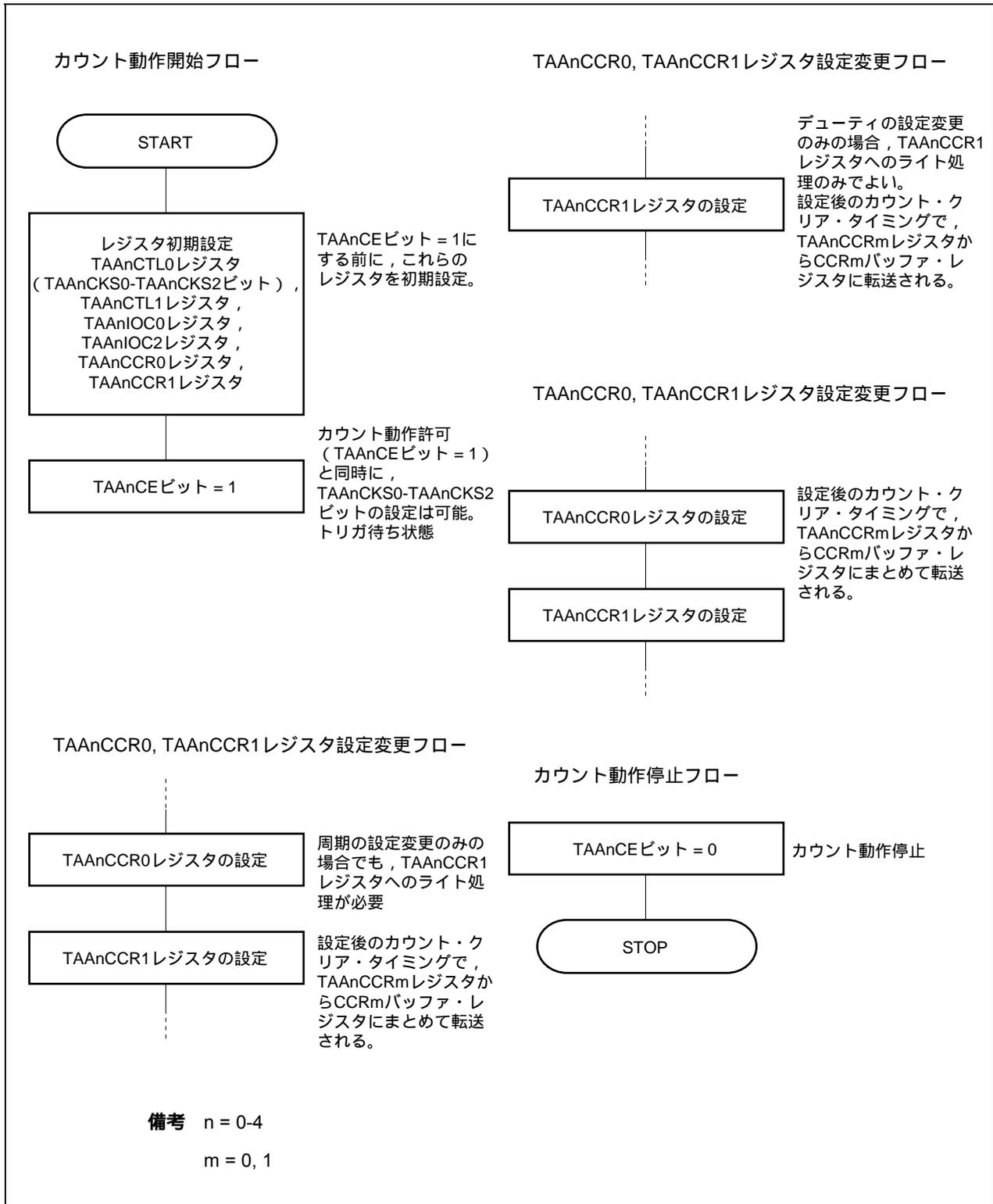


図7 - 19 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)

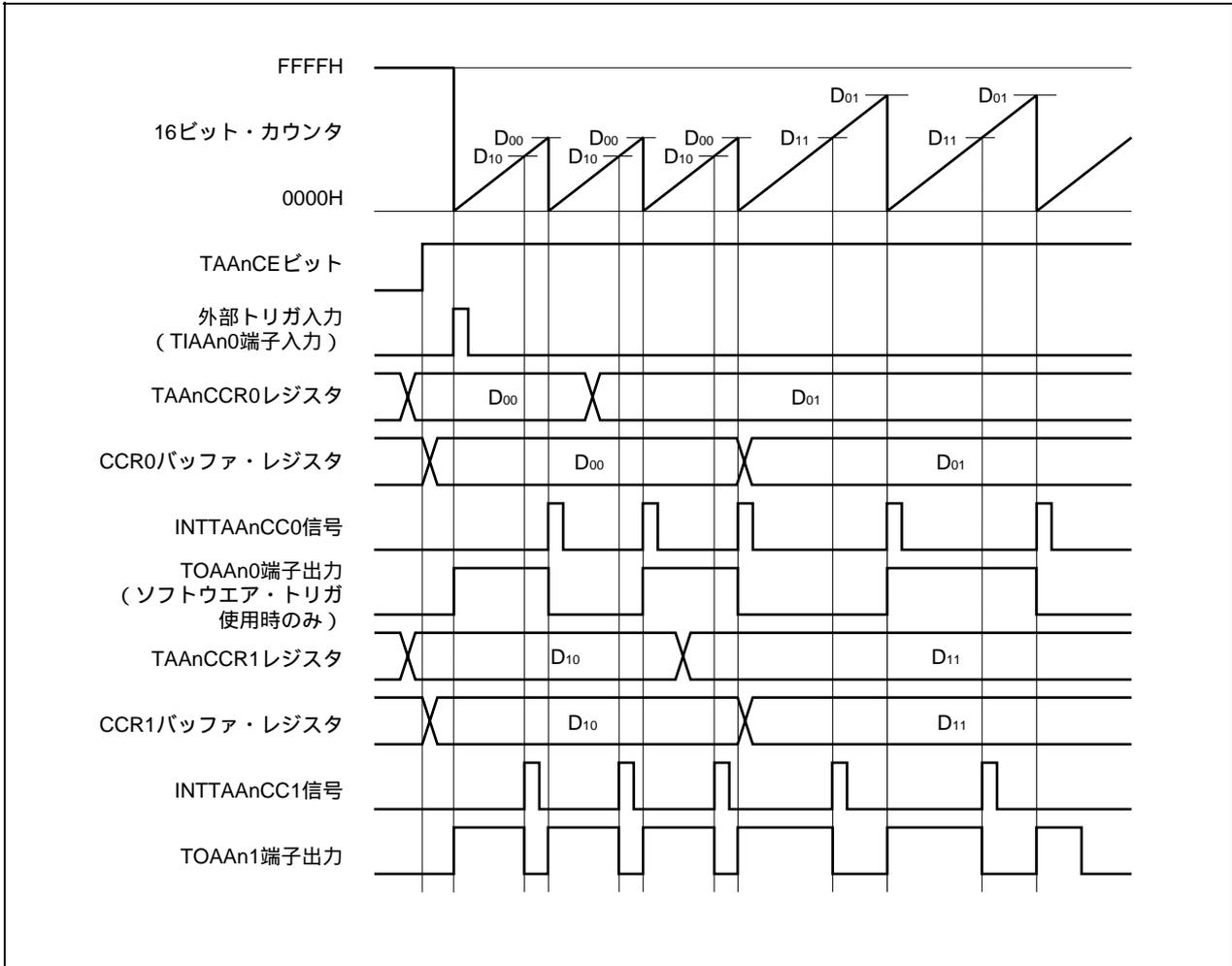


(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTAAAnCCR1レジスタにライトしてください。

TAAAnCCR1レジスタにライト後、再度TAAAnCCRmレジスタの書き換えを行う場合には、INTTAAAnCC0信号を検出後に書き換えてください。



TAAAnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TAAAnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTAAAnCCR0レジスタに周期を設定し、そのあとでTAAAnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTAAAnCCR0レジスタに周期を設定し、そのあとでTAAAnCCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TAAAnCCR1レジスタのみの設定でかまいません。

TAAAnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TAAAnCCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

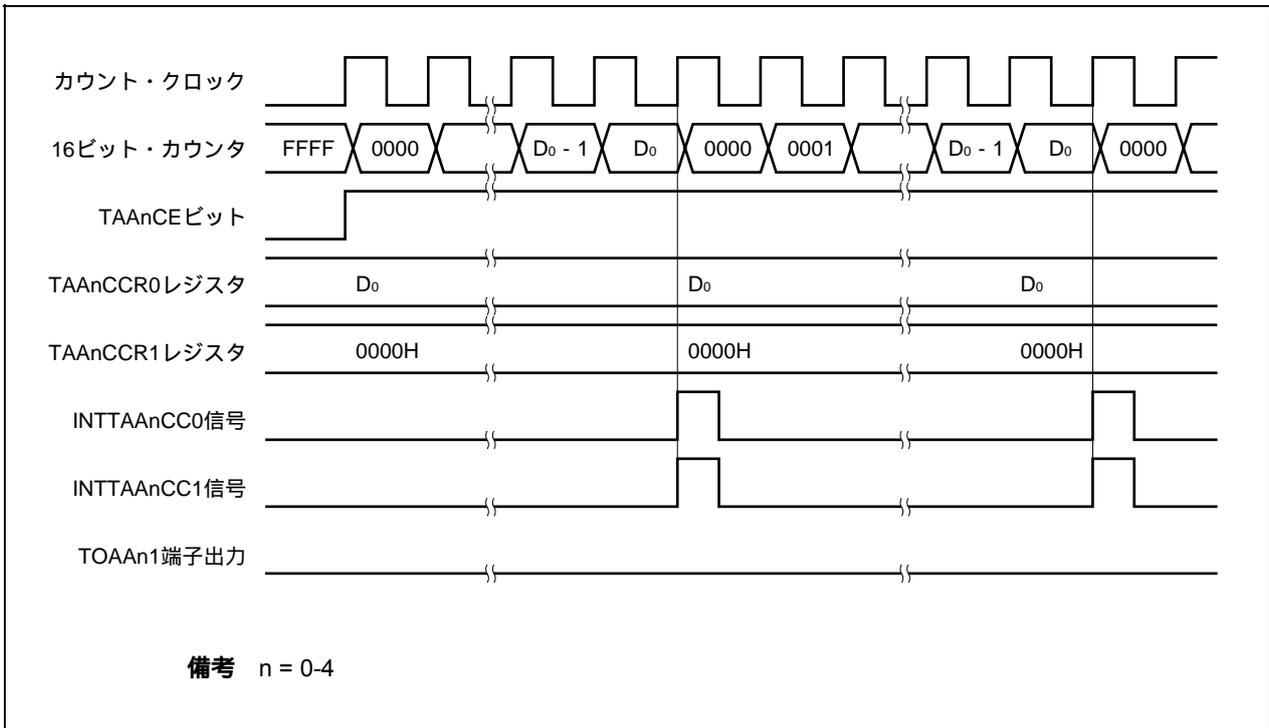
また、一度TAAAnCCR1レジスタにライトしたあとで、再度TAAAnCCR0、またはTAAAnCCR1レジスタへのライトを行う場合は、INTTAAAnCC0信号の発生後に行ってください。これを守れない場合には、TAAAnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TAAAnCCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

備考 n = 0-4

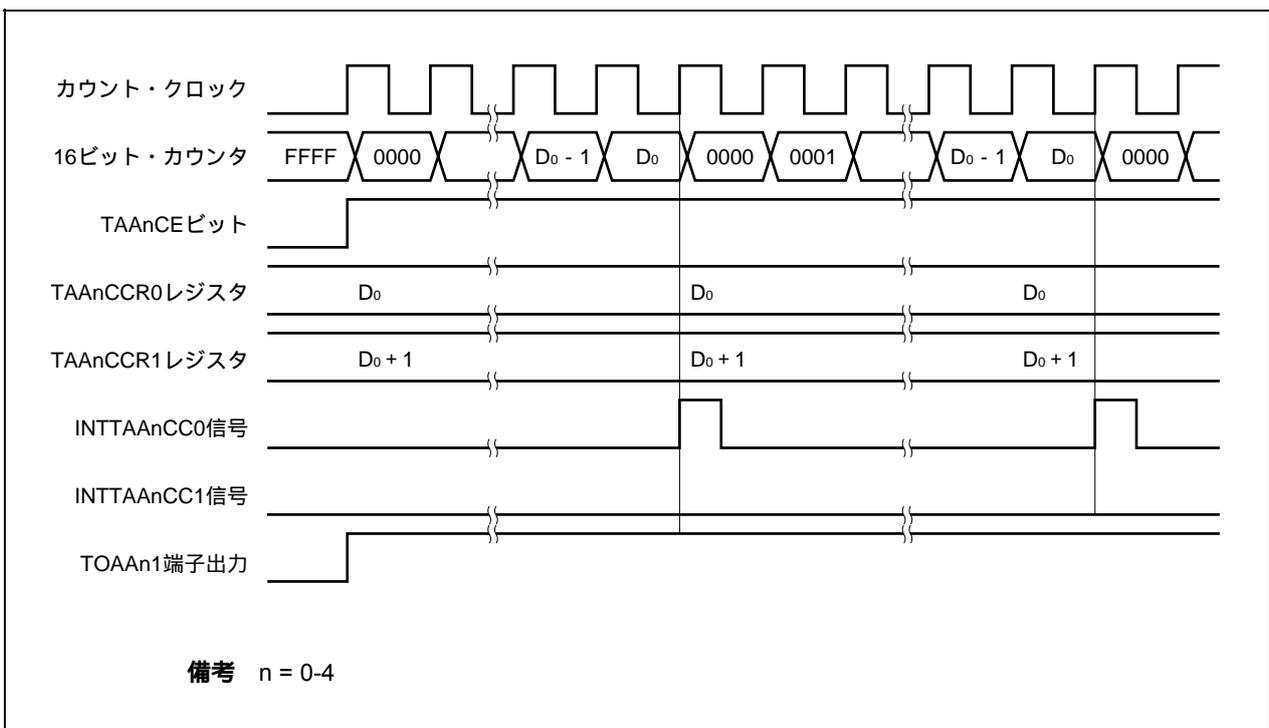
m = 0, 1

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TAAAnCCR1レジスタに対して0000Hを設定します。ただし、TAAAnCCR0レジスタの設定値がFFFFHの場合には、INTTAAAnCC1信号が定期的が発生します。

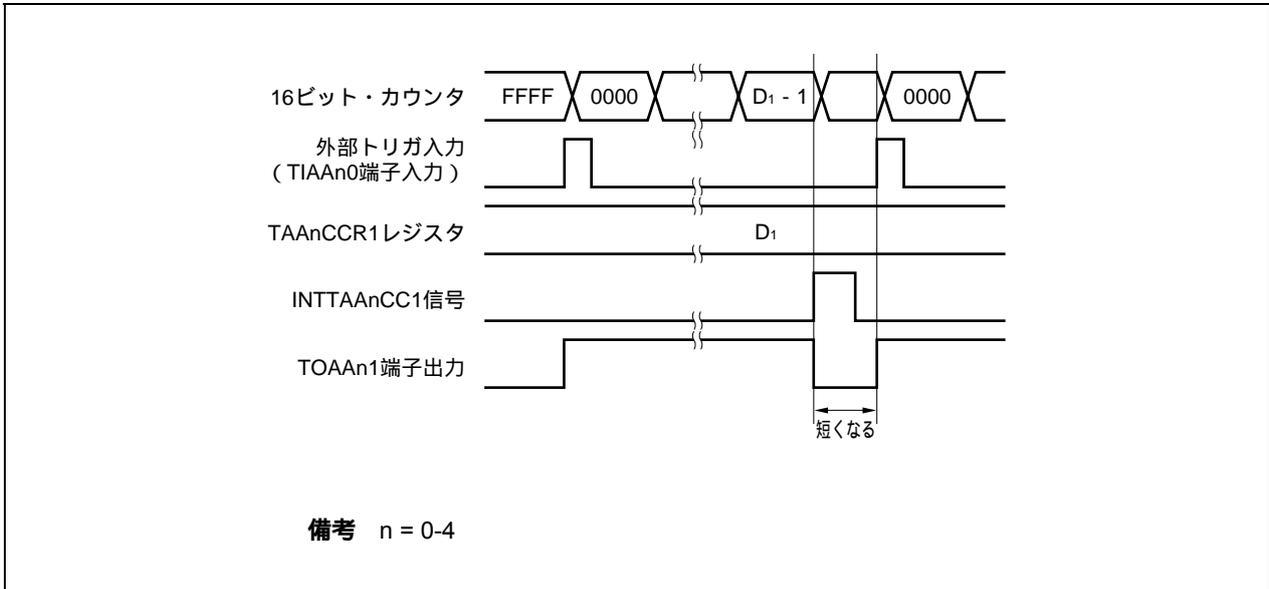


100 % 波形を出力するためには、TAAAnCCR1レジスタに対して (TAAAnCCR0レジスタの設定値 + 1) の値を設定してください。TAAAnCCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。

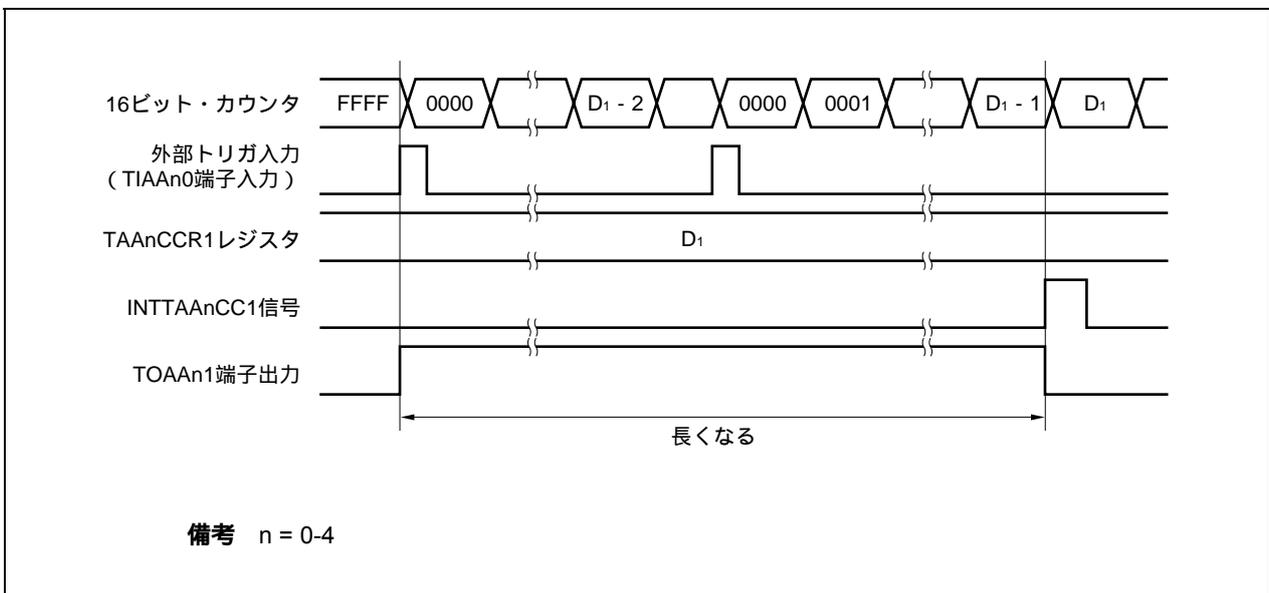


(c) トリガ検出とTAAAnCCR1レジスタとの一致の競合

INTTAAAnCC1信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOAAAn1端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

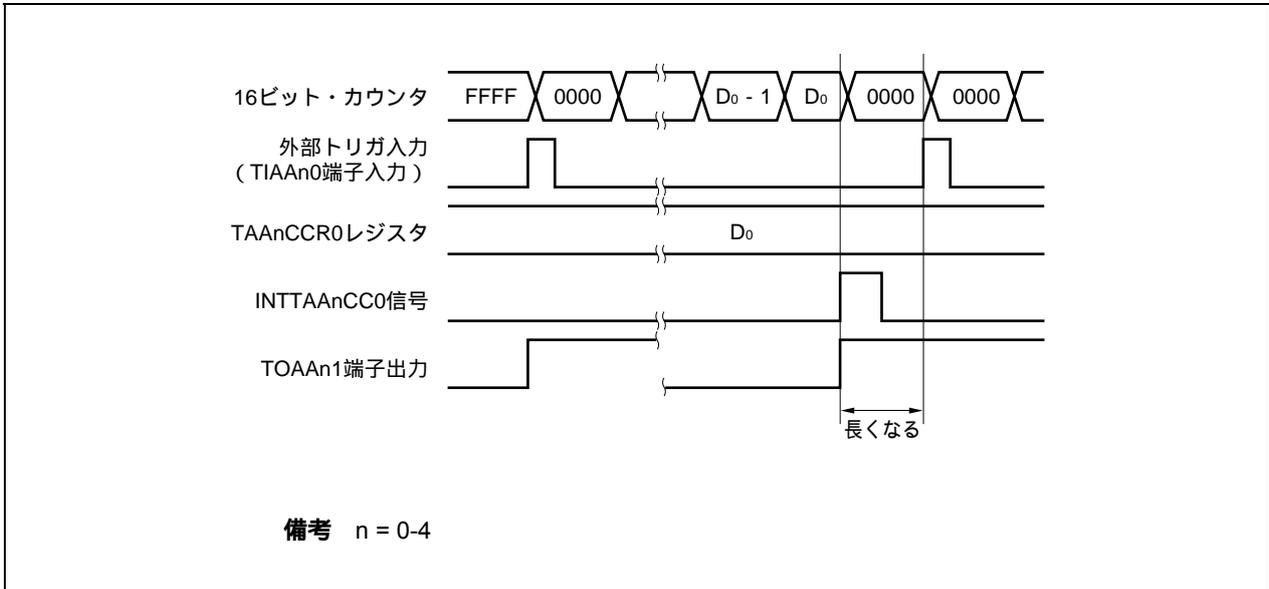


INTTAAAnCC1信号発生直前にトリガを検出した場合には、INTTAAAnCC1信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOAAAn1端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

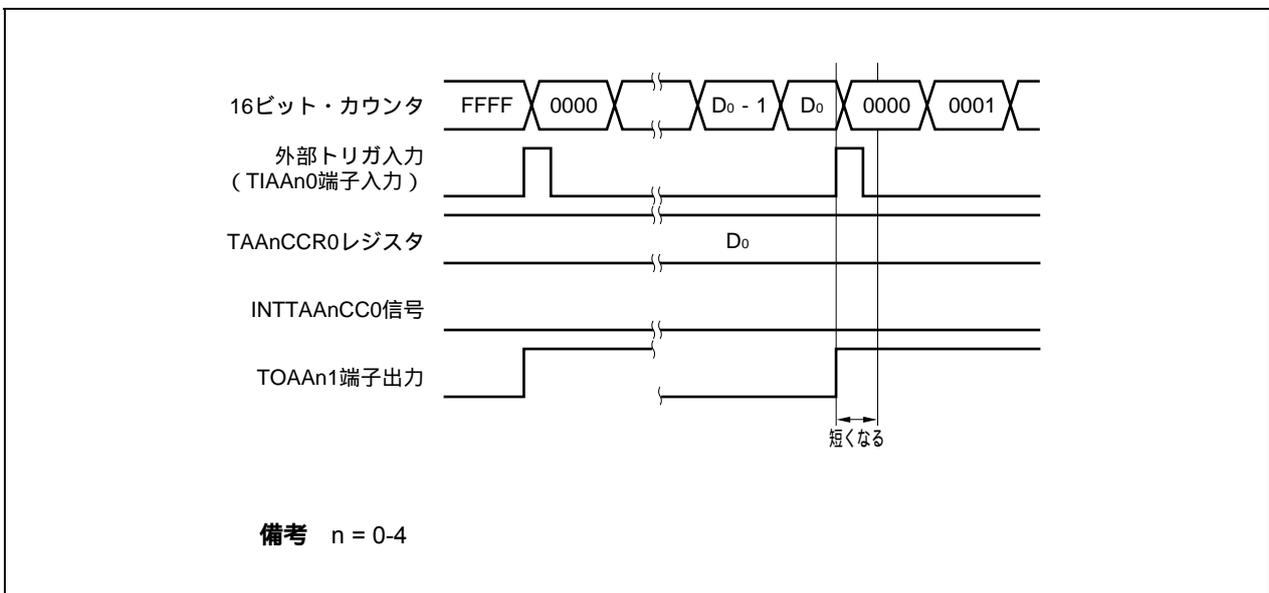


(d) トリガ検出とTAAAnCCR0レジスタとの一致の競合

INTTAAAnCC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって、TOAAAn1端子出力のアクティブ期間が、INTTAAAnCC0信号発生からトリガ検出までの分だけ長くなります。

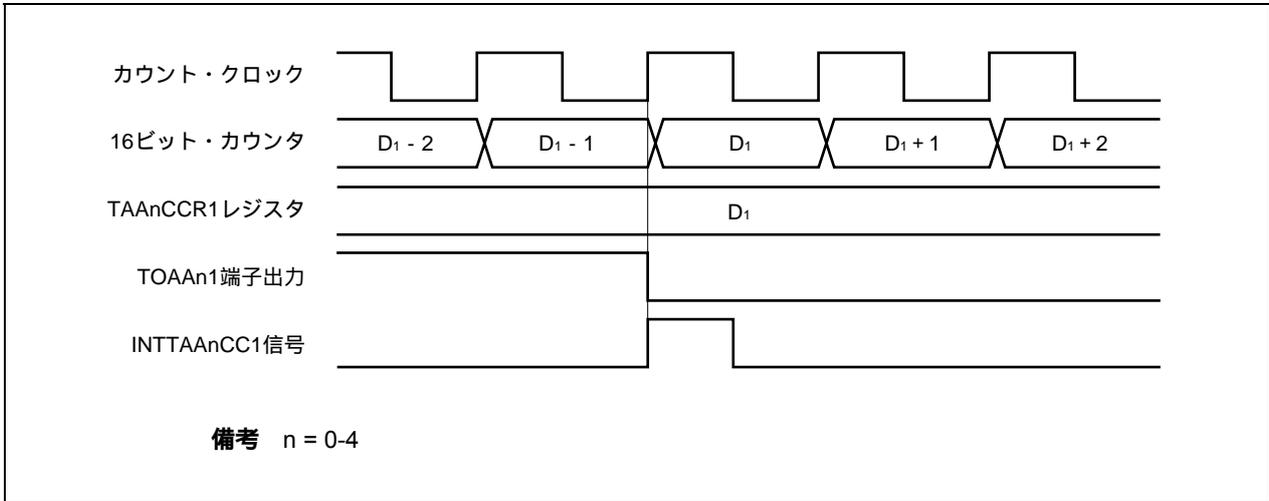


INTTAAAnCC0信号発生直前にトリガを検出した場合、INTTAAAnCC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOAAAn1端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。



(e) コンペアー一致割り込み要求信号 (INTTAAAnCC1) の発生タイミング

外部トリガ・パルス出力モードにおけるINTTAAAnCC1信号の発生タイミングは、ほかのINTTAAAnCC1信号と異なり、16ビット・カウンタのカウンタ値とTAAAnCCR1レジスタの値との一致と同時に発生します。



通常、INTTAAAnCC1信号は、16ビット・カウンタのカウンタ値とTAAAnCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOAAAn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

7.5.4 ワンショット・パルス出力モード (TAA_nMD2-TAA_nMD0ビット = 011)

ワンショット・パルス出力モードは、TAA_nCTL0.TAA_nCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOAAn1端子からワンショット・パルスを出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOAAn0端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止(トリガ待ち状態)中のときはインアクティブ・レベルを出力できます。

図7-20 ワンショット・パルス出力モードの構成図

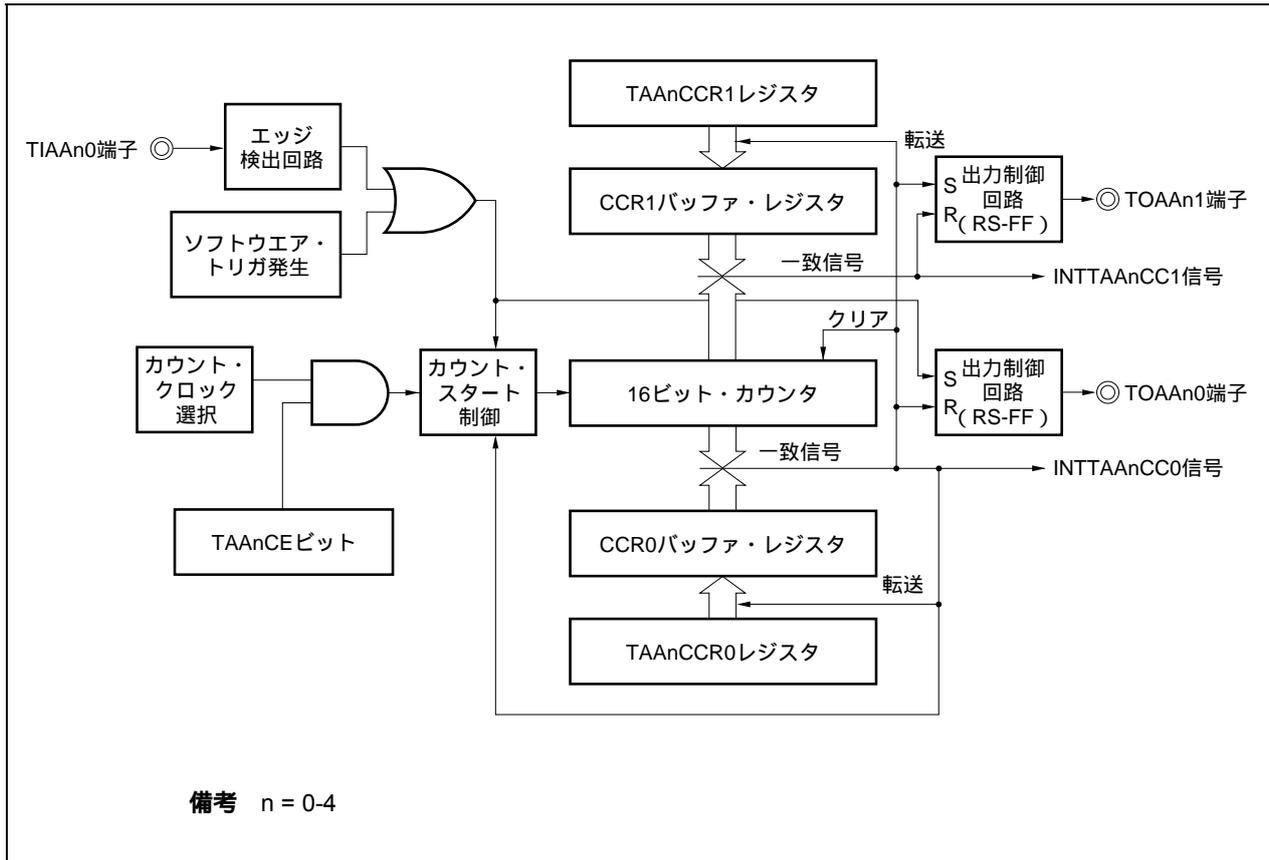
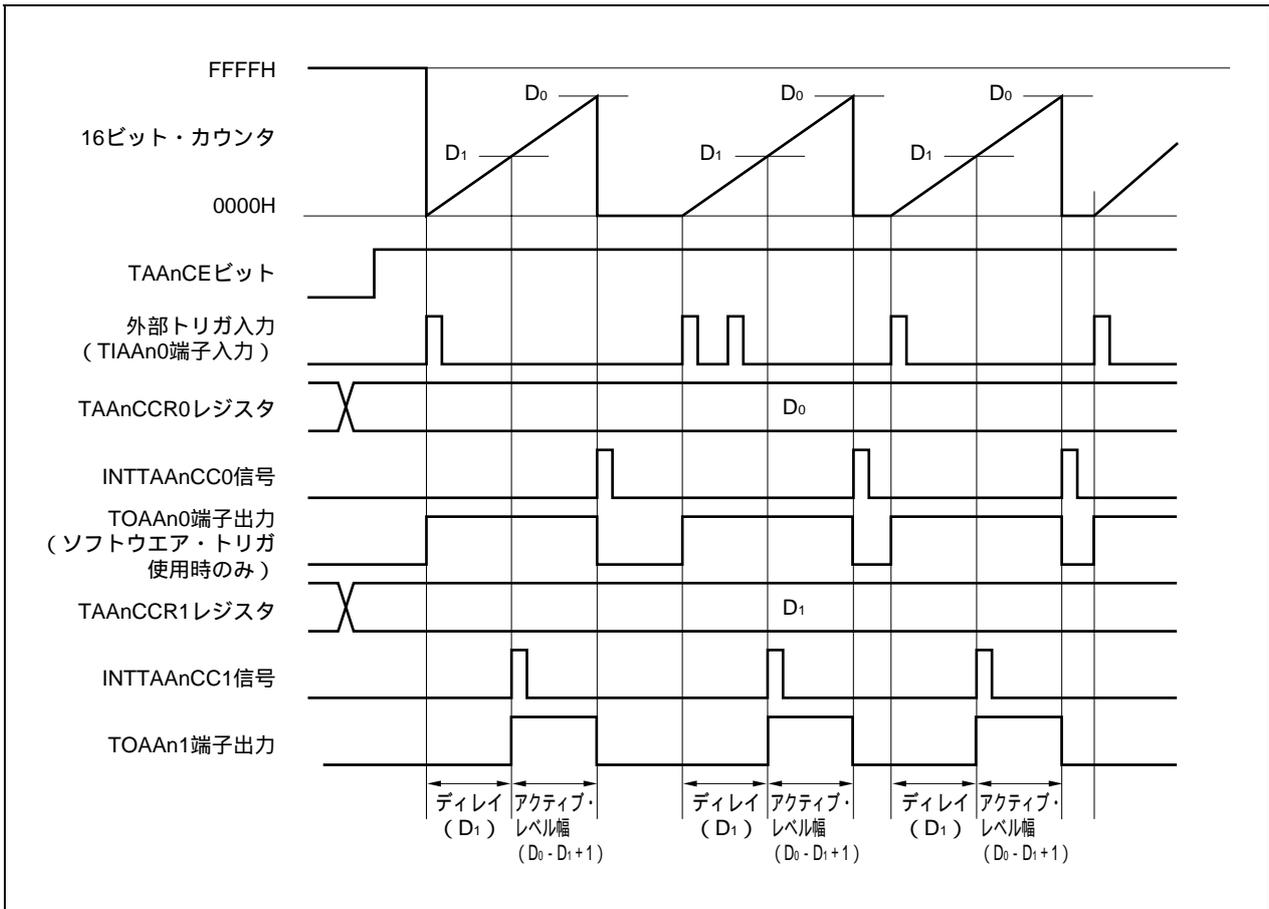


図7 - 21 ワンショット・パルス出力モードの基本タイミング



TAAAnCEビットをセット (1) することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOAAAn1端子からワンショット・パルスを出力します。ワンショット・パルスを出力したあと、16ビット・カウンタをFFFFHにしてカウント動作を停止し、トリガ待ち状態になります。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

$$\begin{aligned} \text{出力ディレイ期間} &= (\text{TAAAnCCR1レジスタの設定値}) \times \text{カウント・クロック周期} \\ \text{アクティブ・レベル幅} &= (\text{TAAAnCCR0レジスタの設定値} - \text{TAAAnCCR1レジスタの設定値} + 1) \\ &\quad \times \text{カウント・クロック周期} \end{aligned}$$

コンペアー一致割り込み要求信号 (INTTAAAnCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンペアー一致割り込み要求信号 (INTTAAAnCC1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ (TAAAnCTL1.TAAAnESTビット) のセット (1) があります。

備考 n = 0-4

図7 - 22 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/2)

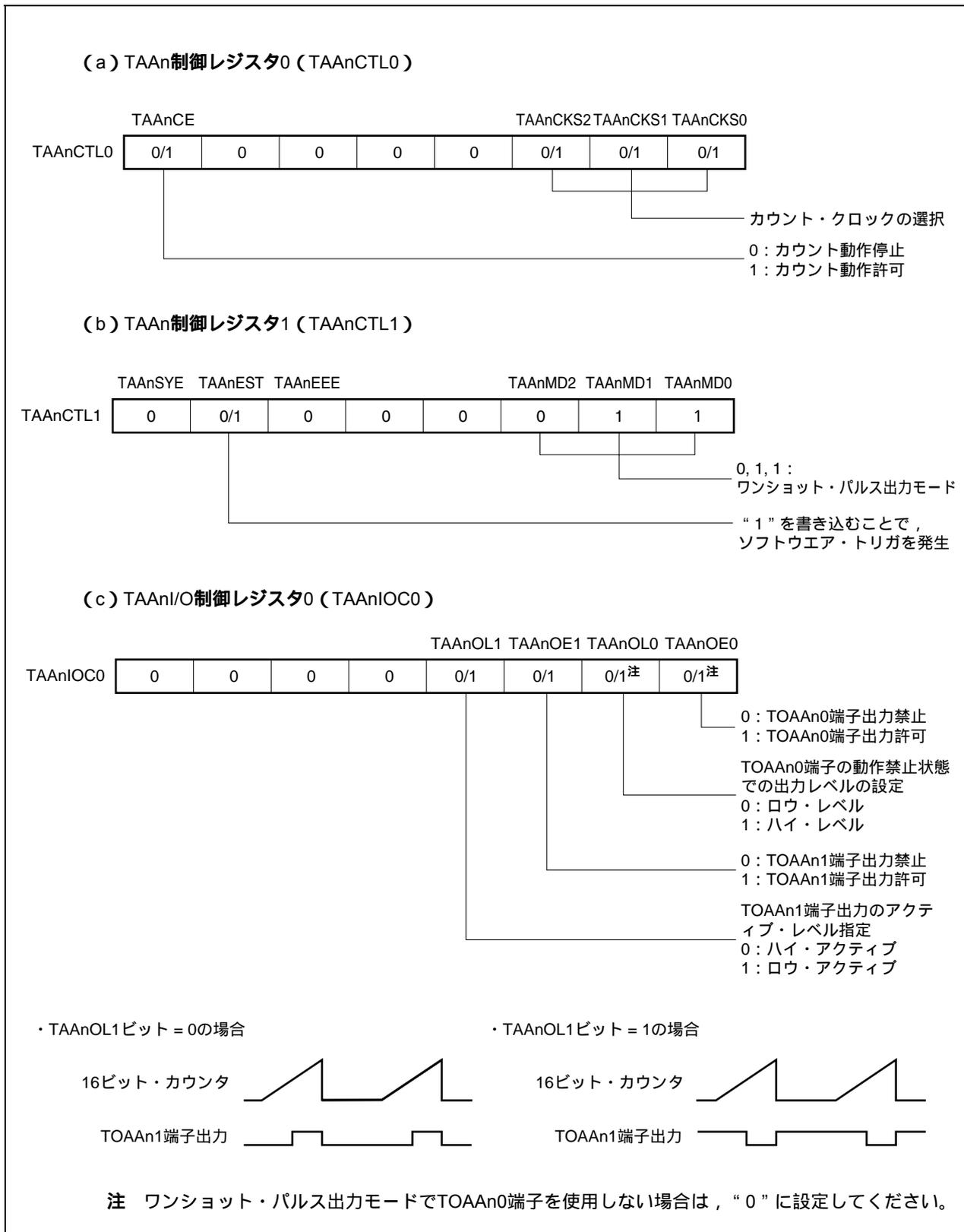
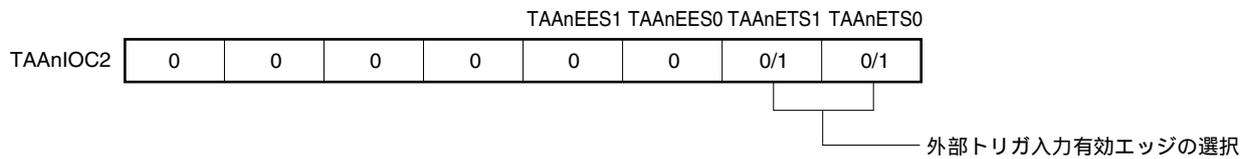


図7 - 22 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/2)

(d) TAA_nI/O制御レジスタ2 (TAA_nIOC2)



(e) TAA_nカウンタ・リード・バッファ・レジスタ (TAA_nCNT)

TAA_nCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(f) TAA_nキャプチャ/コンペア・レジスタ0, 1 (TAA_nCCR0, TAA_nCCR1)

TAA_nCCR0レジスタにD₀を設定し、TAA_nCCR1レジスタにD₁を設定した場合、

ワンショット・パルスのアクティブ・レベル幅 = (D₀ - D₁ + 1) × カウント・クロック周期

ワンショット・パルスの出力ディレイ期間 = (D₁) × カウント・クロック周期となります。

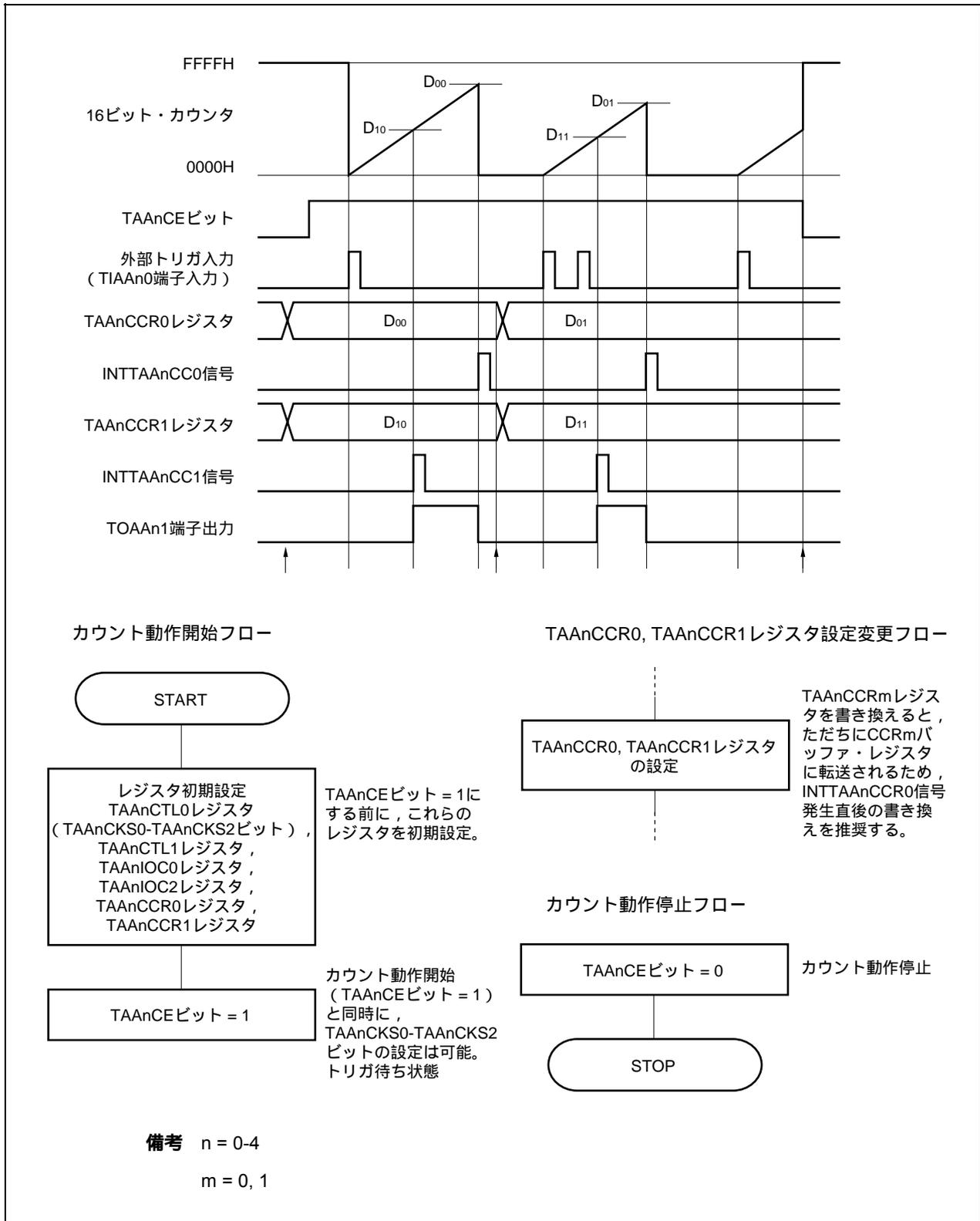
注意 ワンショット・パルス出力モードにおいて、TAA_nCCR1レジスタの設定値がTAA_nCCR0レジスタの設定値より大きい場合、ワンショット・パルスは出力しません。

備考1. TAA_nI/O制御レジスタ1 (TAA_nIOC1)、TAA_nオプション・レジスタ0 (TAA_nOPT0) は、ワンショット・パルス出力モードでは使用しません。

2. n = 0-4

(1) ワンショット・パルス出力モード動作フロー

図7-23 ワンショット・パルス出力モード使用時のソフトウェア処理フロー

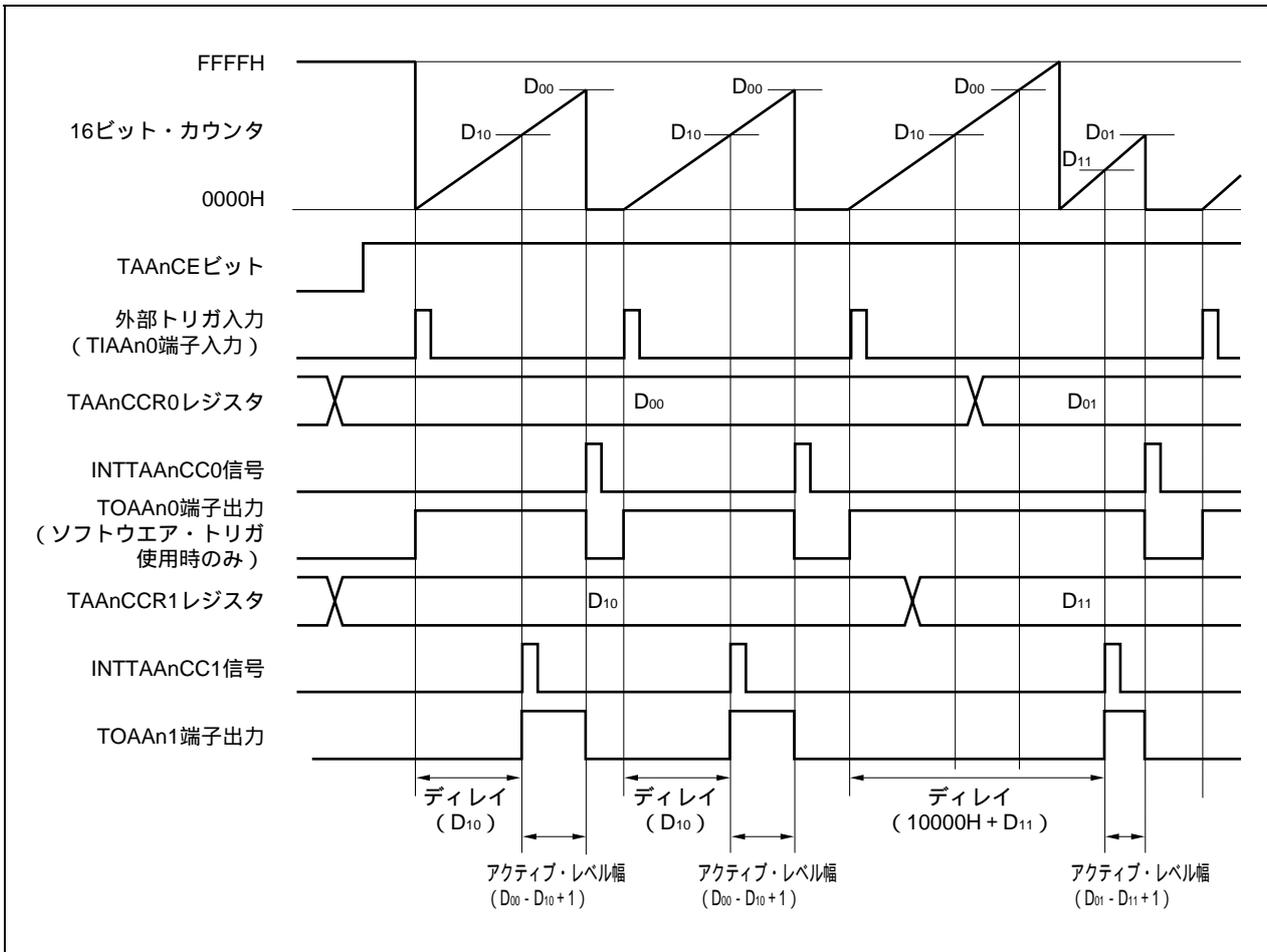


(2) ワンショット・パルス出力モード動作タイミング

(a) TAAAnCCRmレジスタの書き換えに関する注意事項

TAAAnCCRmレジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTAAAnCCRmレジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。



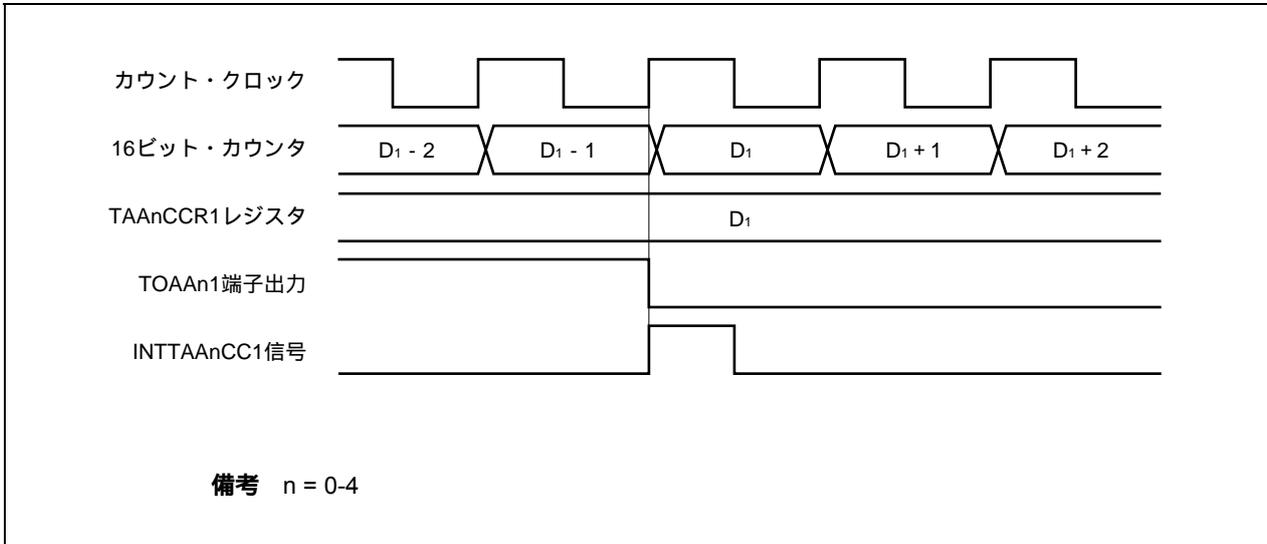
TAAAnCCR0レジスタをD00からD01に、TAAAnCCR1レジスタをD10からD11に書き換える場合において、 $D_{00} > D_{01}$ 、 $D_{10} > D_{11}$ の状態では、16ビット・カウンタのカウント値がD11よりも大きくD10よりも小さい状態のときTAAAnCCR1レジスタを書き換え、カウント値がD01よりも大きくD00よりも小さい状態でTAAAnCCR0レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウント値と比較されるために、カウント値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、D11との一致でINTTAAAnCC1信号を発生してTOAAn1端子出力をアクティブ・レベルにし、D01との一致でINTTAAAnCC0信号を発生してTOAAn1端子出力をインアクティブにしてカウント動作を停止します。

したがって、本来期待しているワンショット・パルス出力に対し、ディレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 n = 0-4
m = 0, 1

(b) コンペアー一致割り込み要求信号 (INTTAAAnCC1) の発生タイミング

ワンショット・パルス出力モードにおけるINTTAAAnCC1信号の発生タイミングは、ほかのINTTAAAnCC1信号と異なり、16ビット・カウンタのカウンタ値とTAAAnCCR1レジスタの値との一致と同時に発生します。



通常、INTTAAAnCC1信号は、16ビット・カウンタのカウンタ値とTAAAnCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOAAAn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

備考 n = 0-4

7.5.5 PWM出力モード (TAA_nMD2-TAA_nMD0ビット = 100)

PWM出力モードは、TAA_nCTL0.TAA_nCEビットをセット(1)することで、TOAAn1端子からPWM波形を出力します。

また、TOAAn0端子から、PWM波形の1周期を半周期とするパルスを出力します。

図7-24 PWM出力モードの構成図

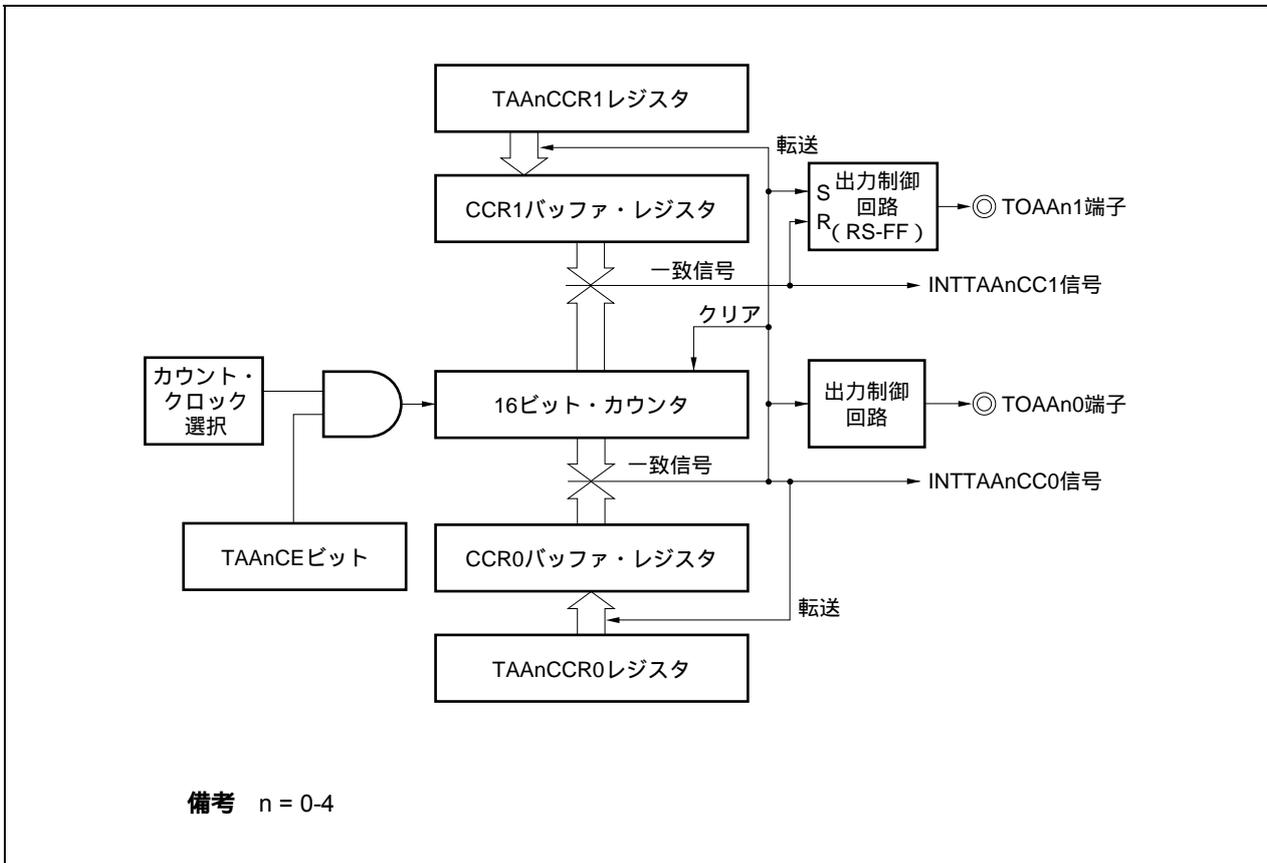
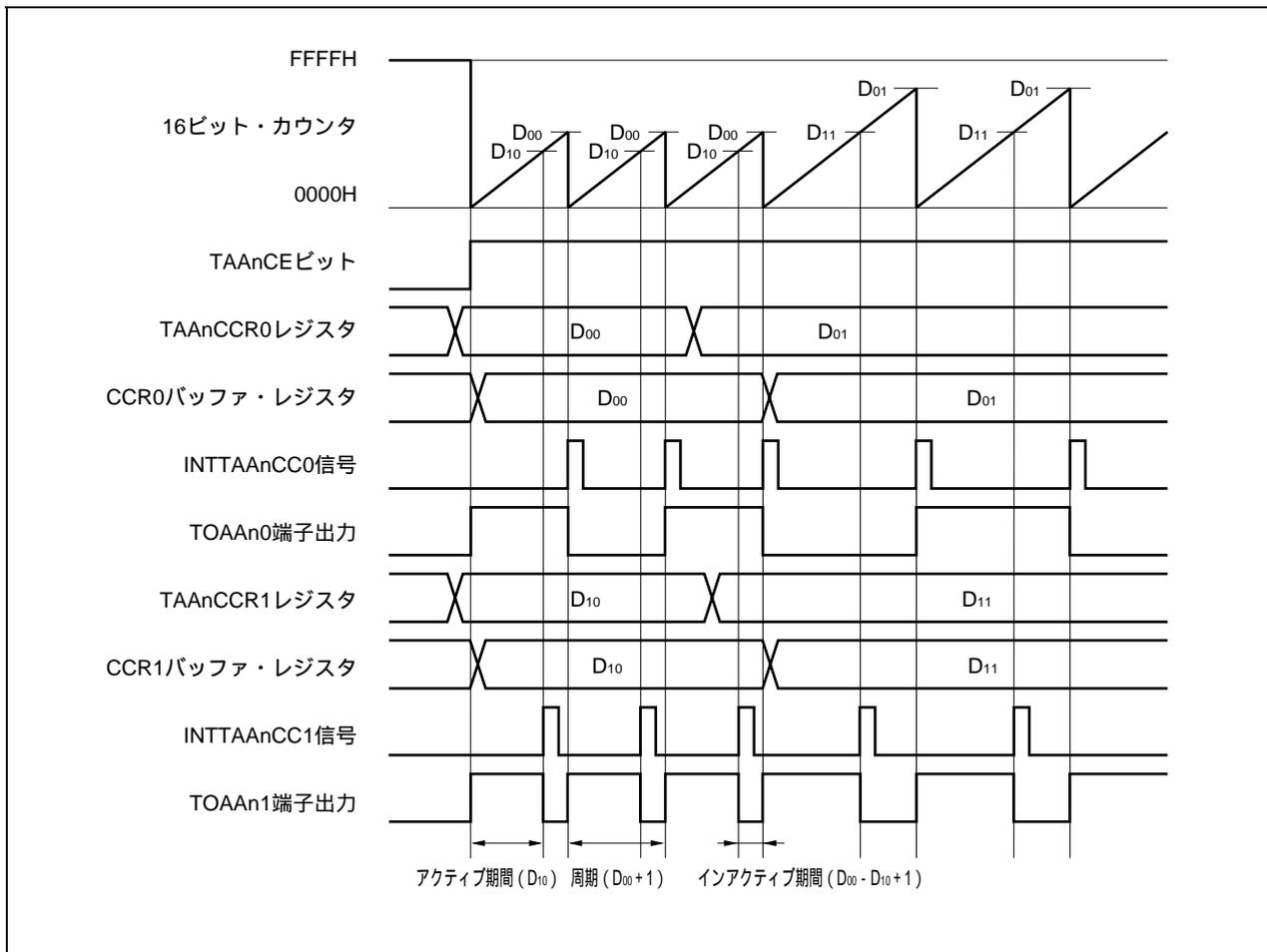


図7 - 25 PWM出力モードの基本タイミング



TAAAnCEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOAAAn1端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TAAAnCCR1レジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TAAAnCCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TAAAnCCR1レジスタの設定値}) / (\text{TAAAnCCR0レジスタの設定値} + 1)$$

動作中にTAAAnCCRmレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンペア一致割り込み要求信号 (INTTAAAnCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペア一致割り込み要求信号 (INTTAAAnCC1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TAAAnCCRmレジスタに設定した値は、16ビット・カウンタのカウント値とCCRmバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRmバッファ・レジスタに転送されます。

備考 n = 0-4, m = 0, 1

図7 - 26 PWM出力モード動作時のレジスタ設定内容 (1/2)

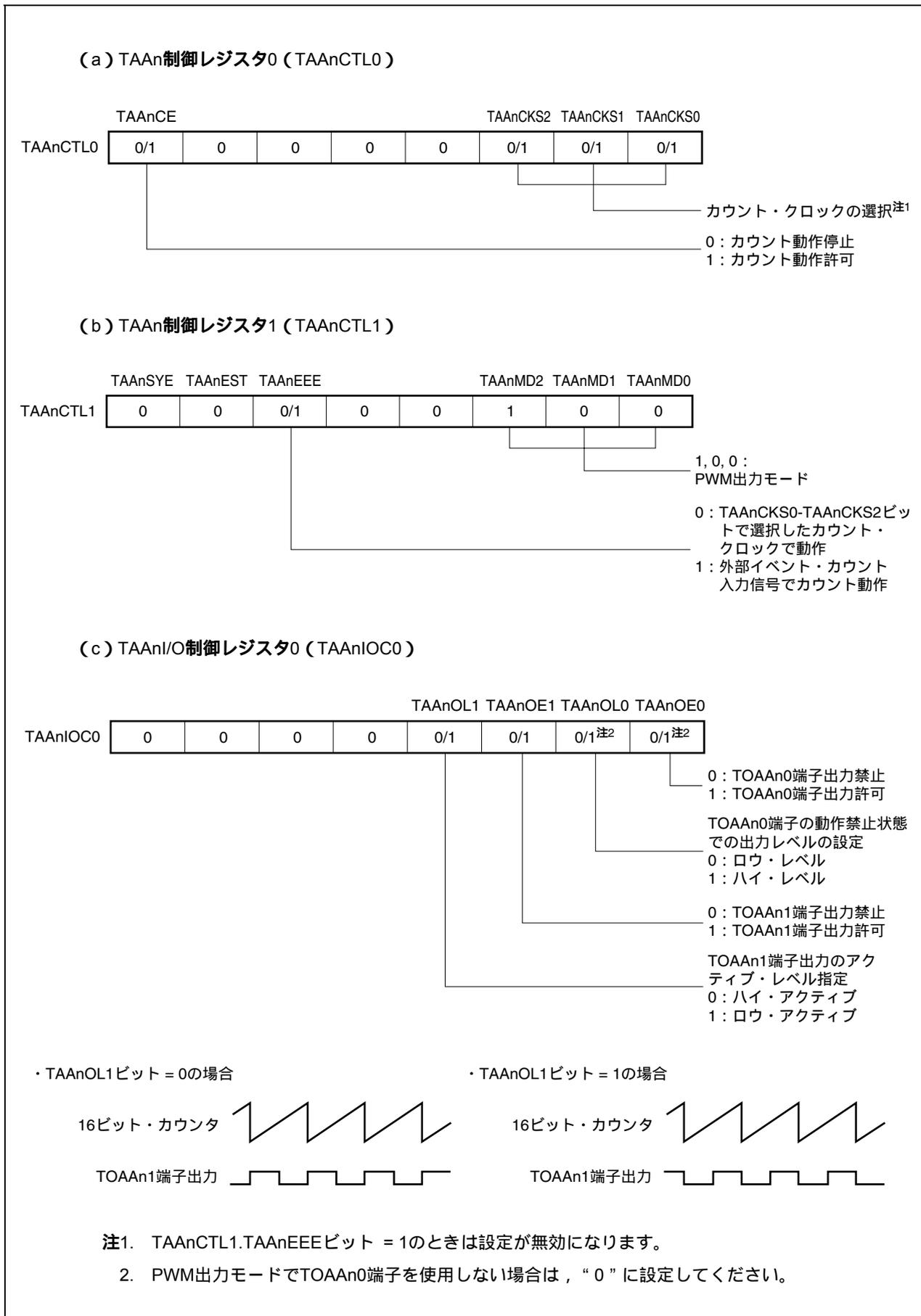
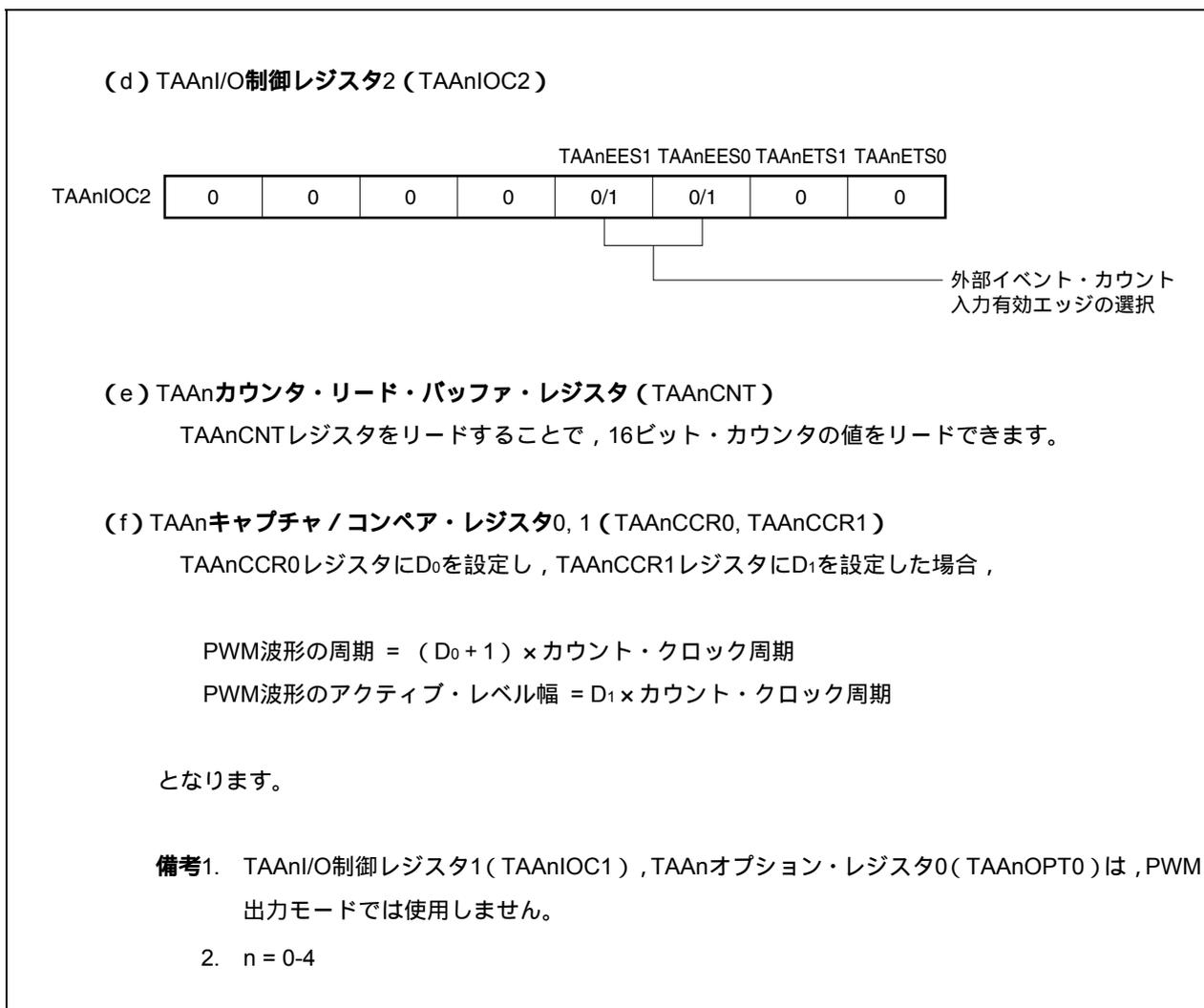


図7 - 26 PWM出力モード動作時のレジスタ設定内容 (2/2)



(1) PWM出力モード動作フロー

図7 - 27 PWM出力モード使用時のソフトウェア処理フロー (1/2)

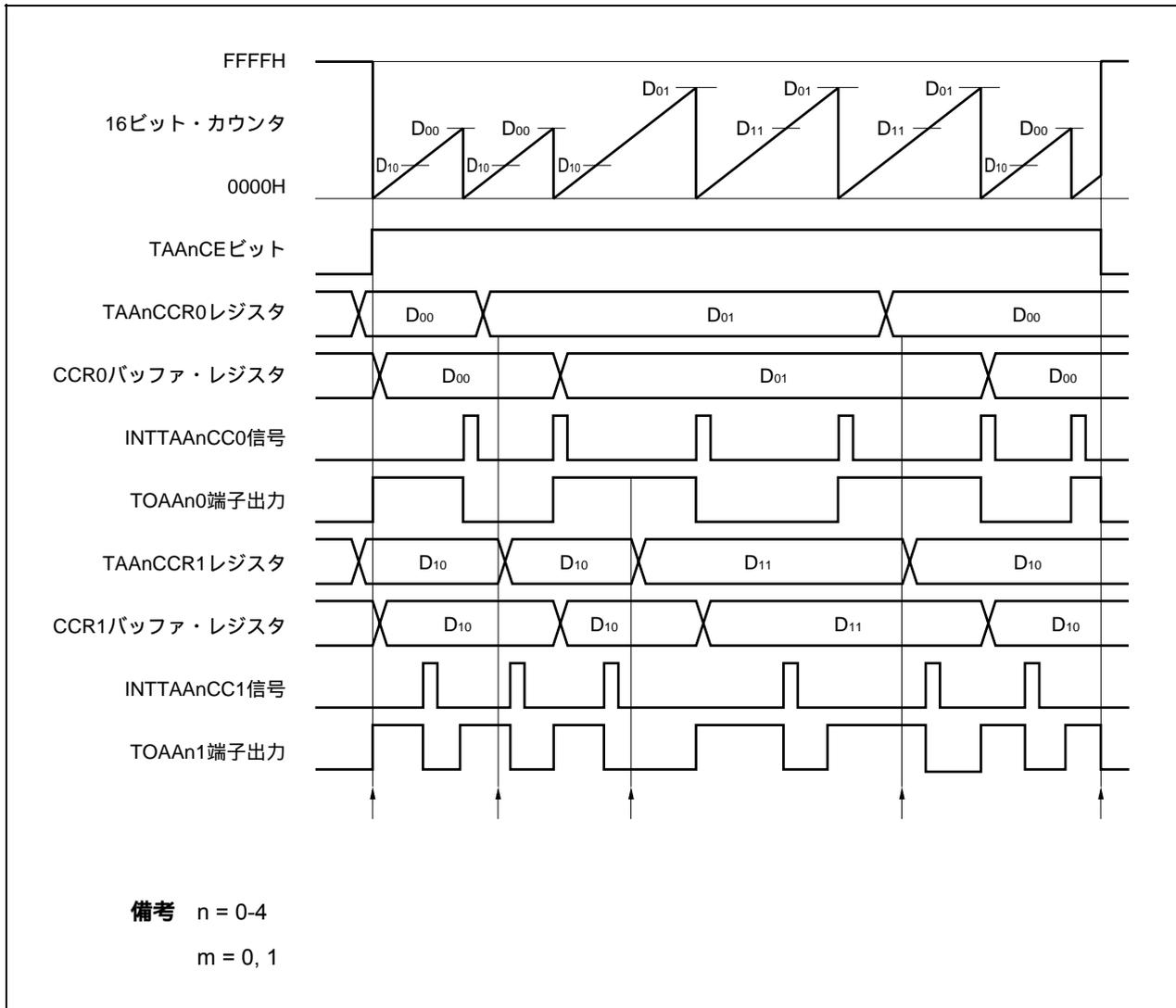
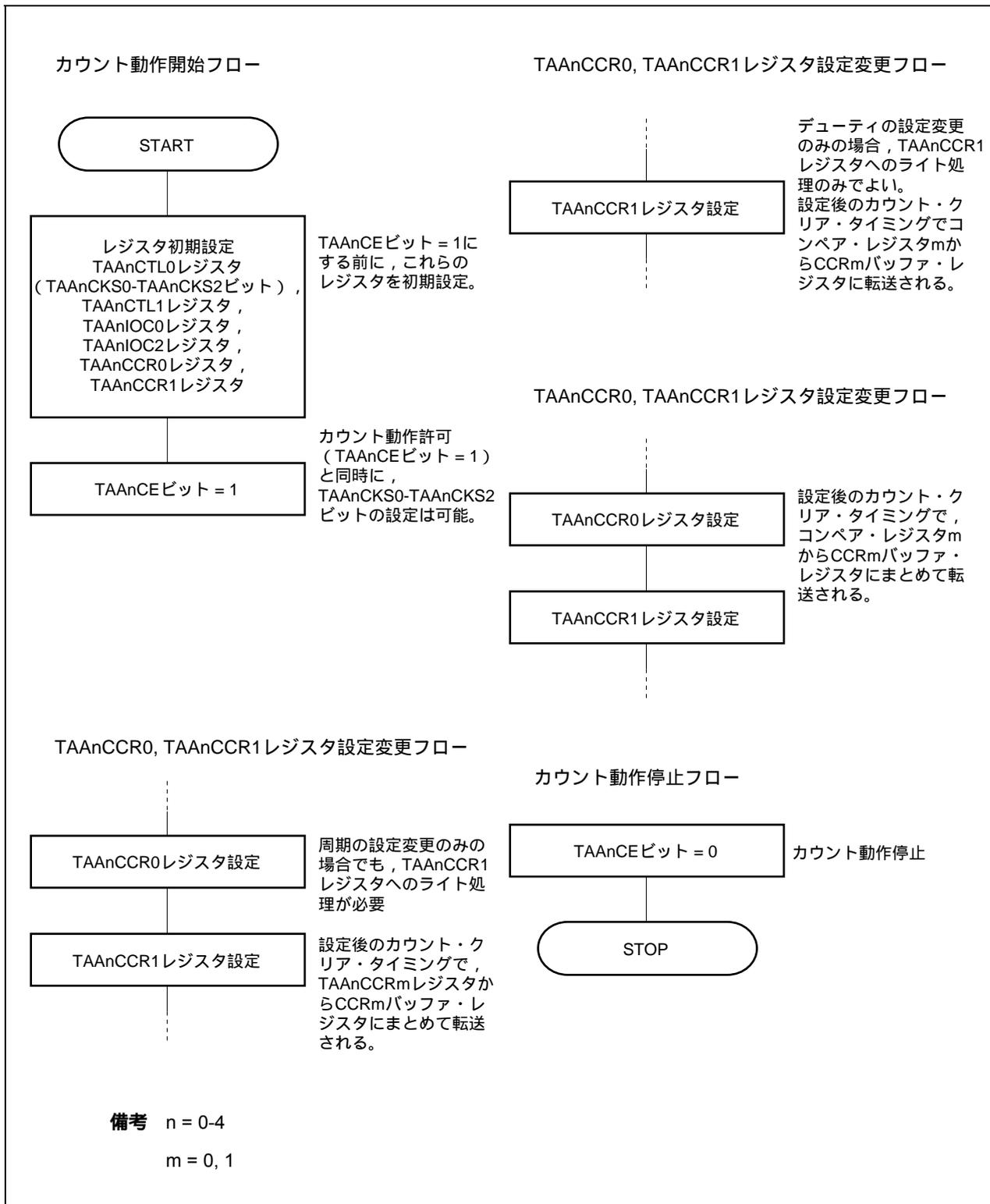


図7 - 27 PWM出力モード使用時のソフトウェア処理フロー (2/2)

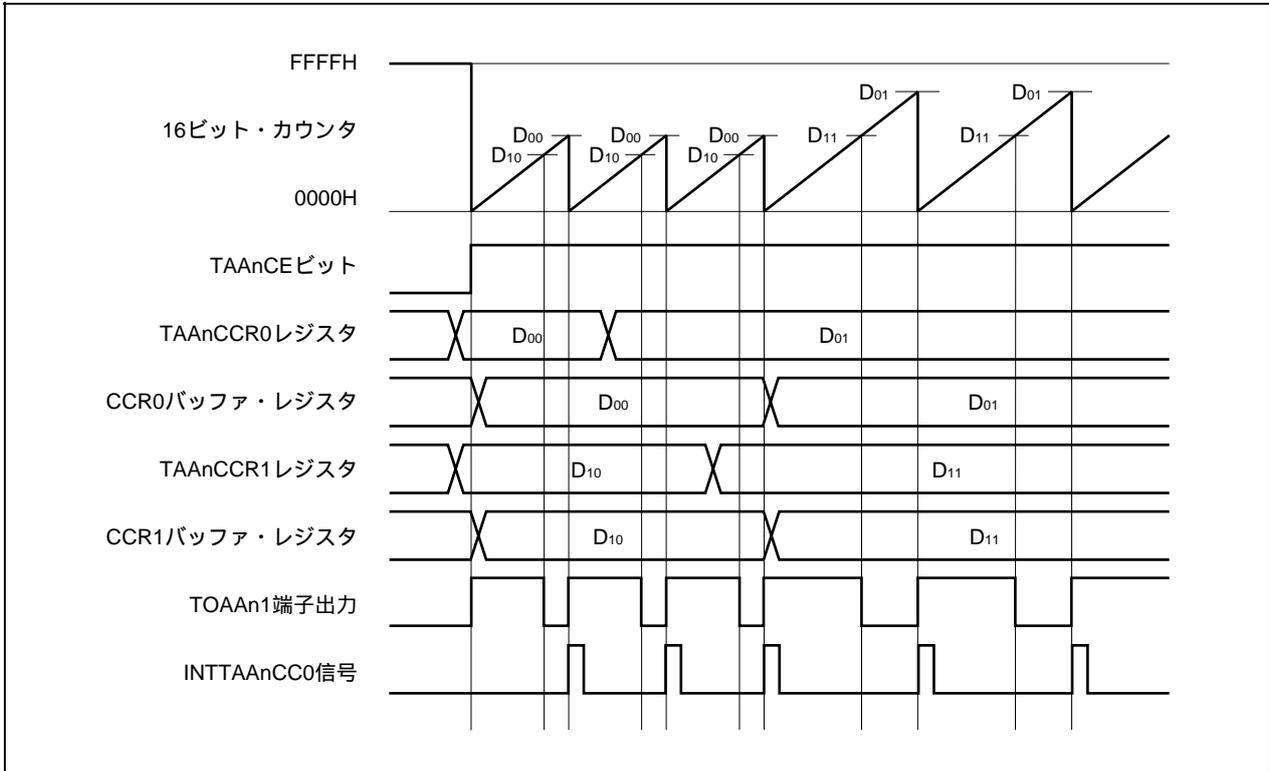


(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTAAAnCCR1レジスタにライトしてください。

TAAAnCCR1レジスタにライト後、再度TAAAnCCRmレジスタの書き換えを行う場合には、INTTAAAnCC0信号を検出後に書き換えてください。



TAAAnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TAAAnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTAAAnCCR0レジスタに周期を設定し、そのあとでTAAAnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTAAAnCCR0レジスタに周期を設定し、そのあとでTAAAnCCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TAAAnCCR1レジスタのみの設定でかまいません。

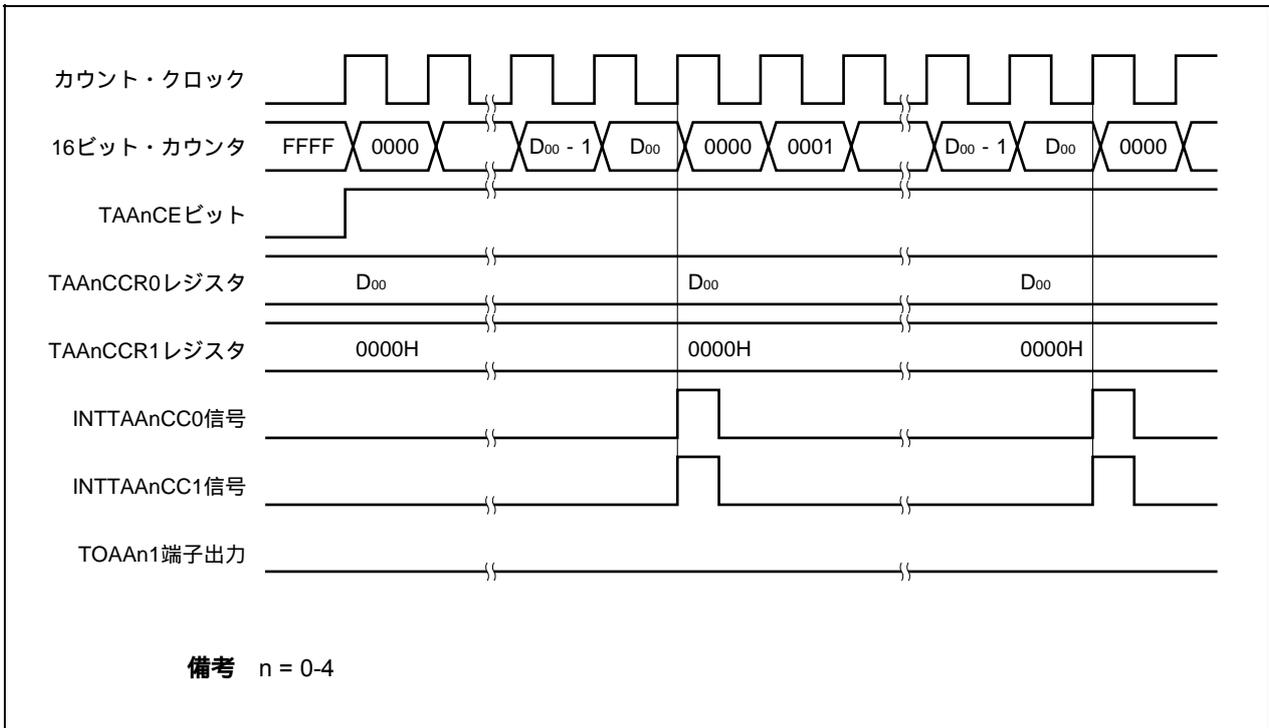
TAAAnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TAAAnCCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TAAAnCCR1レジスタにライトしたあとで、再度TAAAnCCR0、またはTAAAnCCR1レジスタへのライトを行う場合は、INTTAAAnCC0信号の発生後に行ってください。これを守れない場合には、TAAAnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TAAAnCCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

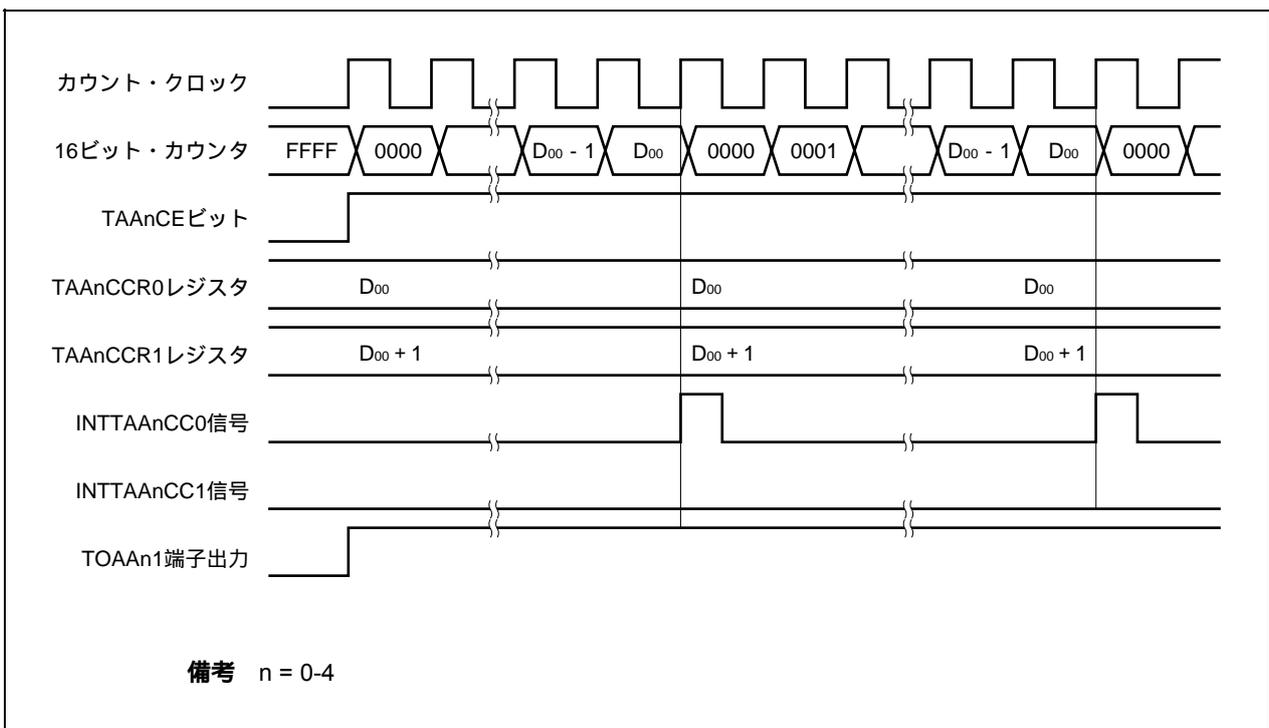
備考 $n = 0-4, m = 0, 1$

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TAAAnCCR1レジスタに対して0000Hを設定します。ただし、TAAAnCCR0レジスタの設定値がFFFFHの場合には、INTTAAAnCC1信号が定期的が発生します。

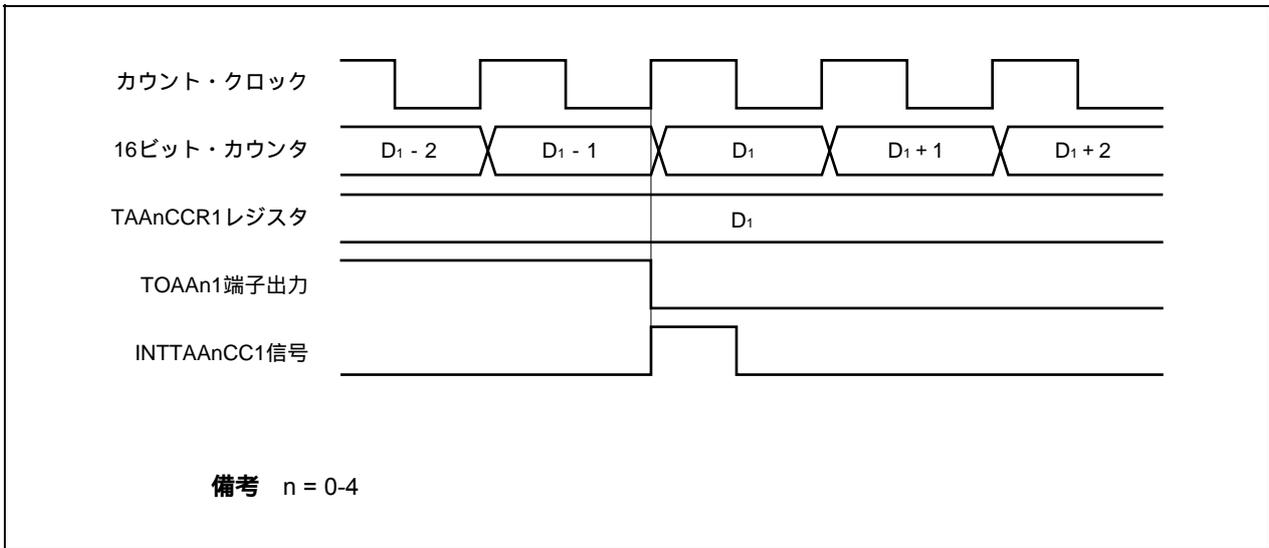


100 % 波形を出力するためには、TAAAnCCR1レジスタに対して (TAAAnCCR0レジスタの設定値 + 1) の値を設定してください。TAAAnCCR0レジスタの設定値がFFFFHの場合には、100 % 出力はできません。



(c) コンペアー一致割り込み要求信号 (INTTAAAnCC1) の発生タイミング

PWM出力モードにおけるINTTAAAnCC1信号の発生タイミングは、ほかのINTTAAAnCC1信号と異なり、16ビット・カウンタのカウンタ値とTAAAnCCR1レジスタの値との一致と同時に発生します。



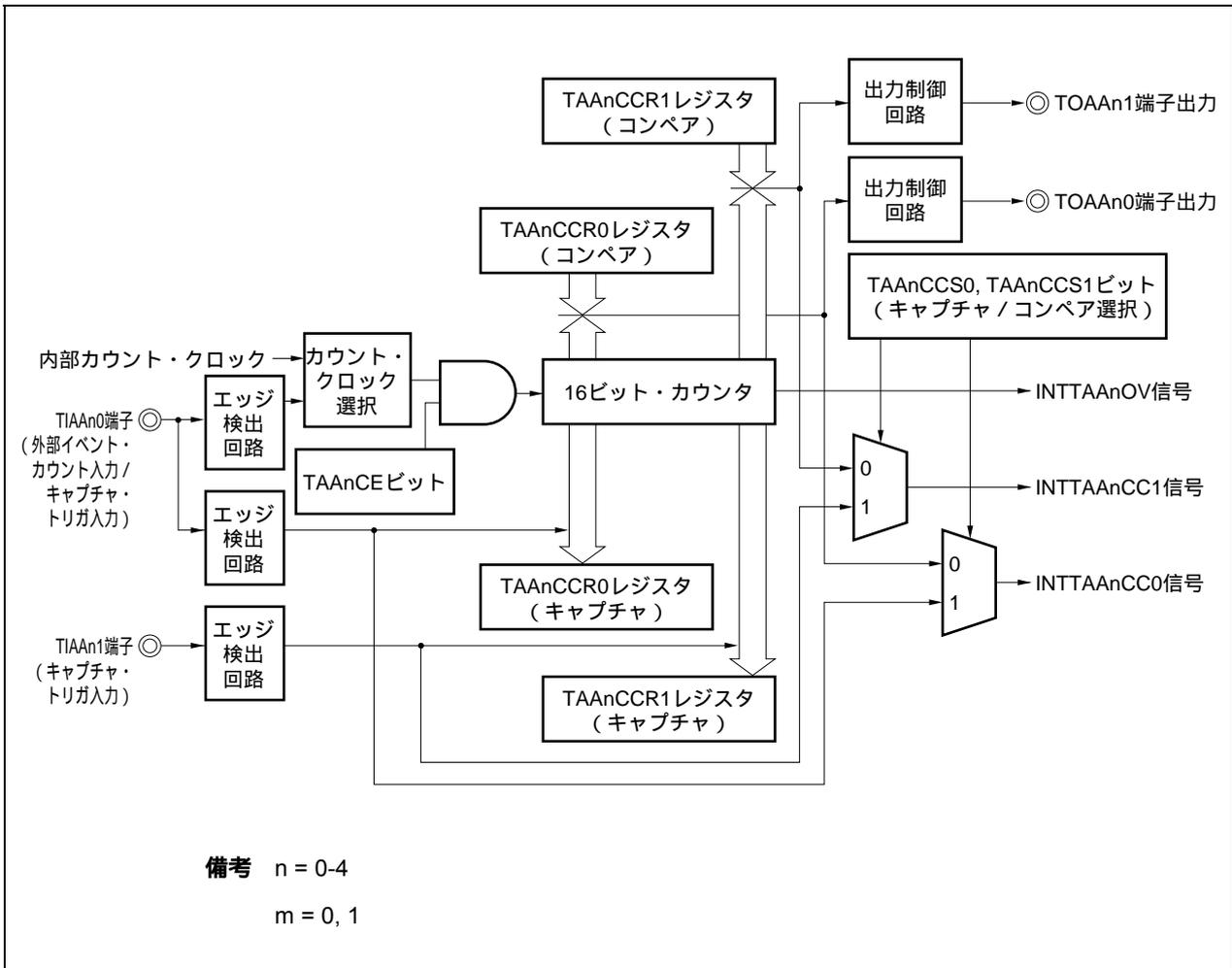
通常、INTTAAAnCC1信号は、16ビット・カウンタのカウンタ値とTAAAnCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、PWM出力モードの場合、1クロック早いタイミングで発生します。これは、TOAAAn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

7.5.6 フリー・ランニング・タイマ・モード (TAA_nMD2-TAA_nMD0ビット = 101)

フリー・ランニング・タイマ・モードは、TAA_nCTL0.TAA_nCEビットをセット(1)することでカウント動作を開始します。このときのTAA_nCCR_mレジスタの動作は、TAA_nOPT0.TAA_nCCS0, TAA_nCCS1ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

図7-28 フリー・ランニング・タイマ・モードの構成図

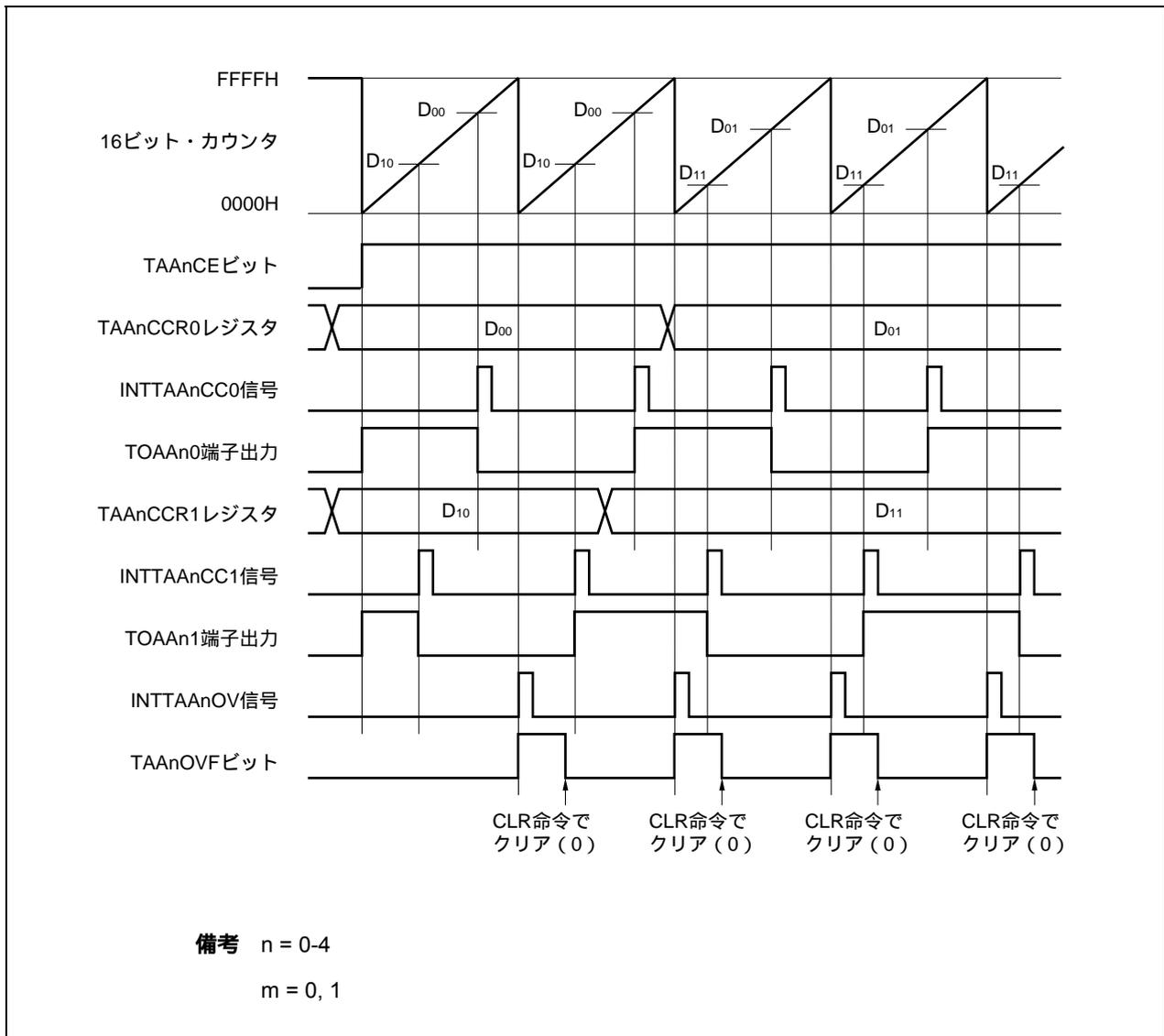


TAA_nCEビットをセット(1)することで、カウント動作を開始し、TOAA_n0、TOAA_n1端子出力を反転します。その後、16ビット・カウンタのカウント値とTAA_nCCR_mレジスタの設定値が一致すると、コンペア一致割り込み要求信号 (INTTAA_nCC_m) を発生し、TOAA_nm端子出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバフロー割り込み要求信号 (INTTAA_nOV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ (TAA_nOPT0.TAA_nOVFビット) もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

TAA_nCCR_mレジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き換えた値が反映され、カウント値と比較されます。

図7-29 フリー・ランニング・タイマ・モードの基本タイミング (コンペア機能)



TAA_nCEビットをセット(1)することで、カウント動作を開始します。その後、TIAAn_m端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTAA_nCCR_mレジスタに格納し、キャプチャ割り込み要求信号(INTTAA_nCC_m)を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号(INTTAA_nOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ(TAA_nOPT0.TAA_nOVFビット)もセット(1)されます。オーバーフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

図7-30 フリー・ランニング・タイマ・モードの基本タイミング(キャプチャ機能)

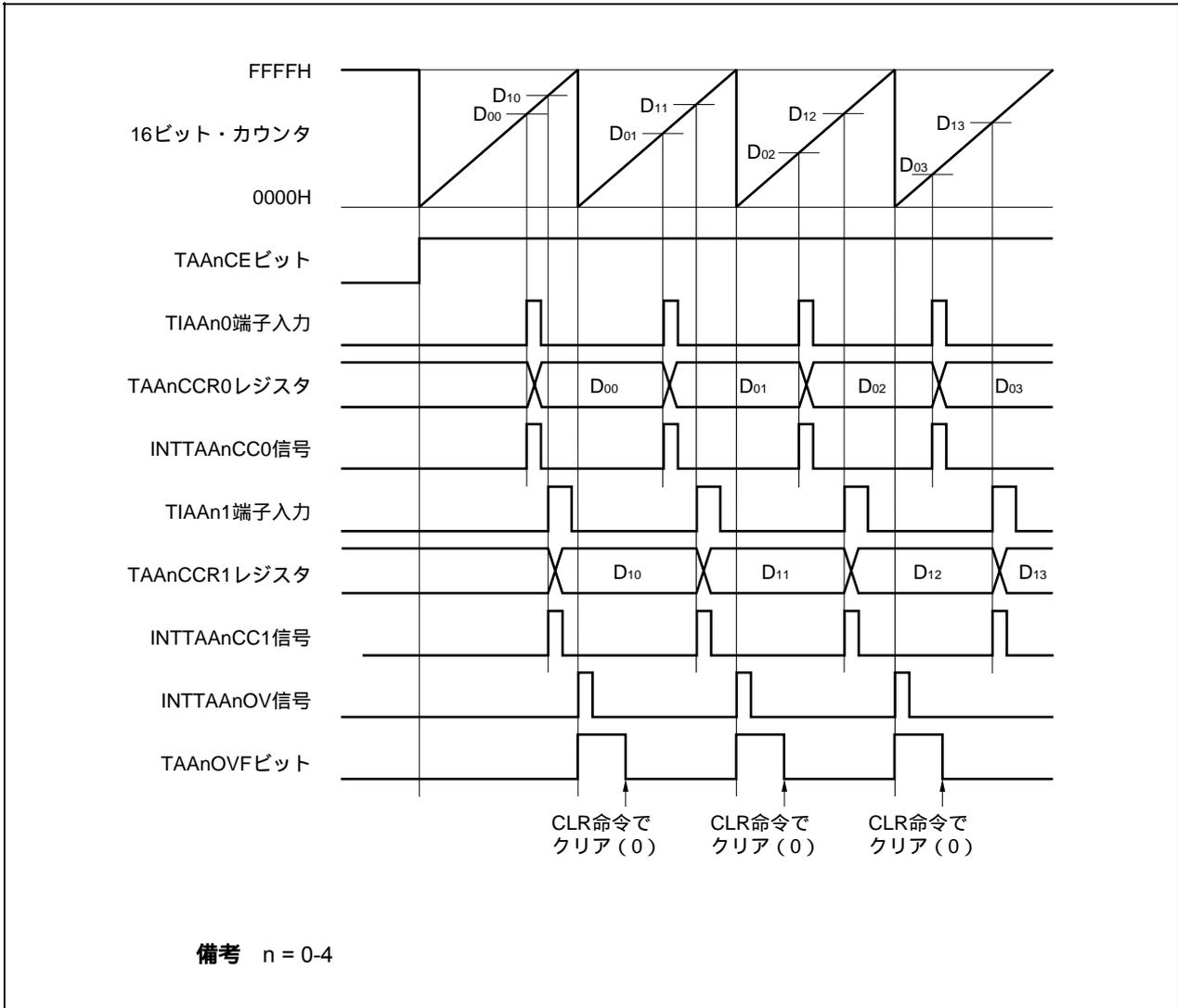
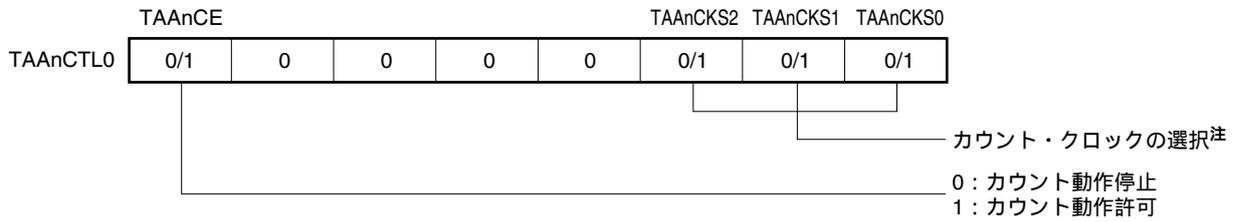


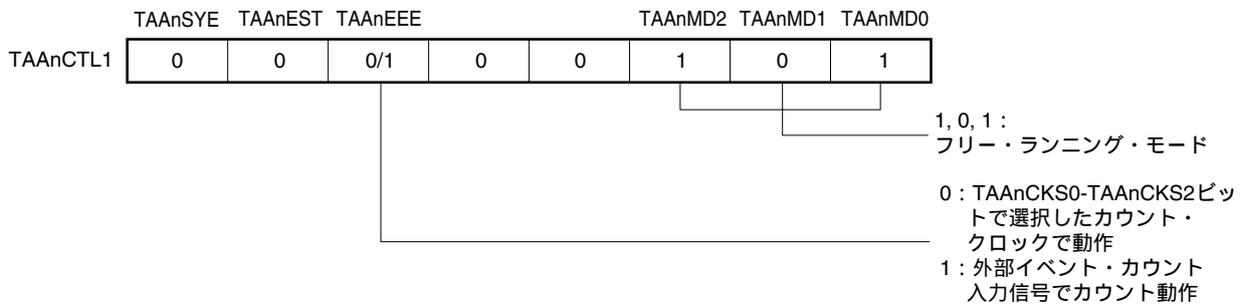
図7 - 31 フリー・ランニング・タイマモード動作時のレジスタ設定内容 (1/2)

(a) TAA制御レジスタ0 (TAACTL0)



注 TAAAnCTL1.TAAAnEEEビット = 1のときは設定が無効になります。

(b) TAA制御レジスタ1 (TAACTL1)



(c) TAAI/O制御レジスタ0 (TAAAnIOC0)

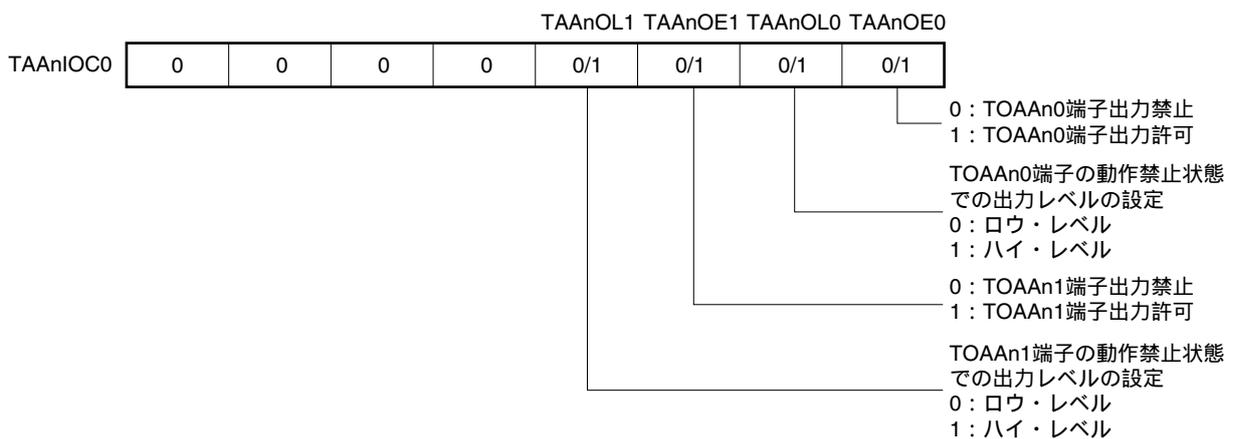
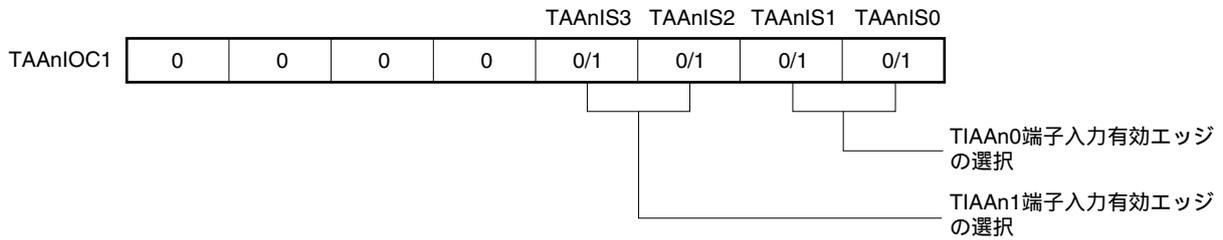
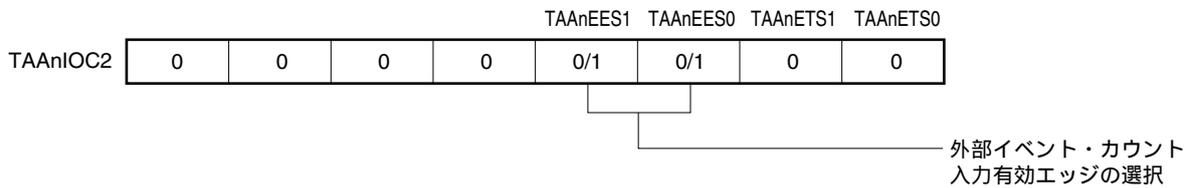


図7 - 31 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/2)

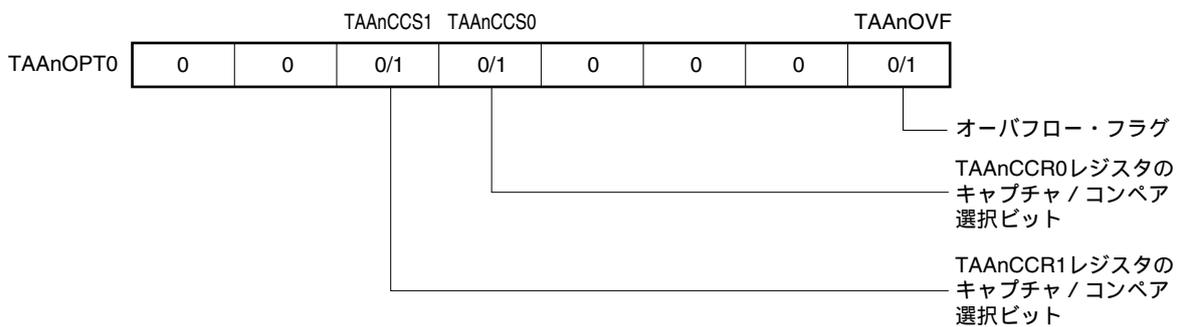
(d) TAA_nI/O制御レジスタ1 (TAA_nIOC1)



(e) TAA_nI/O制御レジスタ2 (TAA_nIOC2)



(f) TAA_nオプション・レジスタ0 (TAA_nOPT0)



(g) TAA_nカウンタ・リード・バッファ・レジスタ (TAA_nCNT)

TAA_nCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(h) TAA_nキャプチャ/コンペア・レジスタ0, 1 (TAA_nCCR0, TAA_nCCR1)

TAA_nOPT0.TAA_nCCSmビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TIAAn_m端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には、TAA_nCCR_mレジスタにD_mを設定した場合、カウンタが(D_m + 1)になるタイミングでINTTAA_nCC_m信号を発生し、TOAAn_m端子出力を反転します。

備考 n = 0-4
m = 0, 1

(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図7 - 32 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

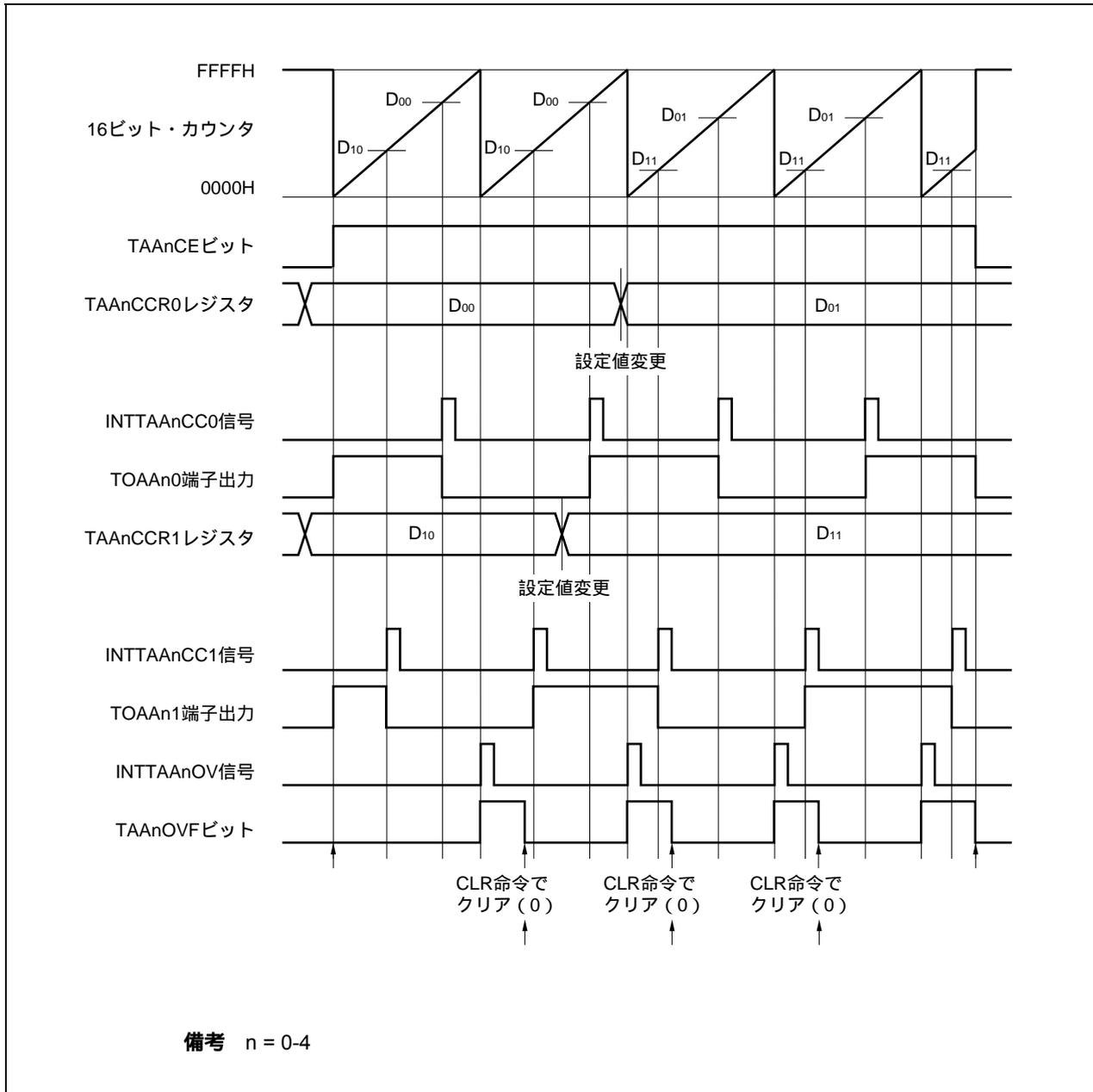
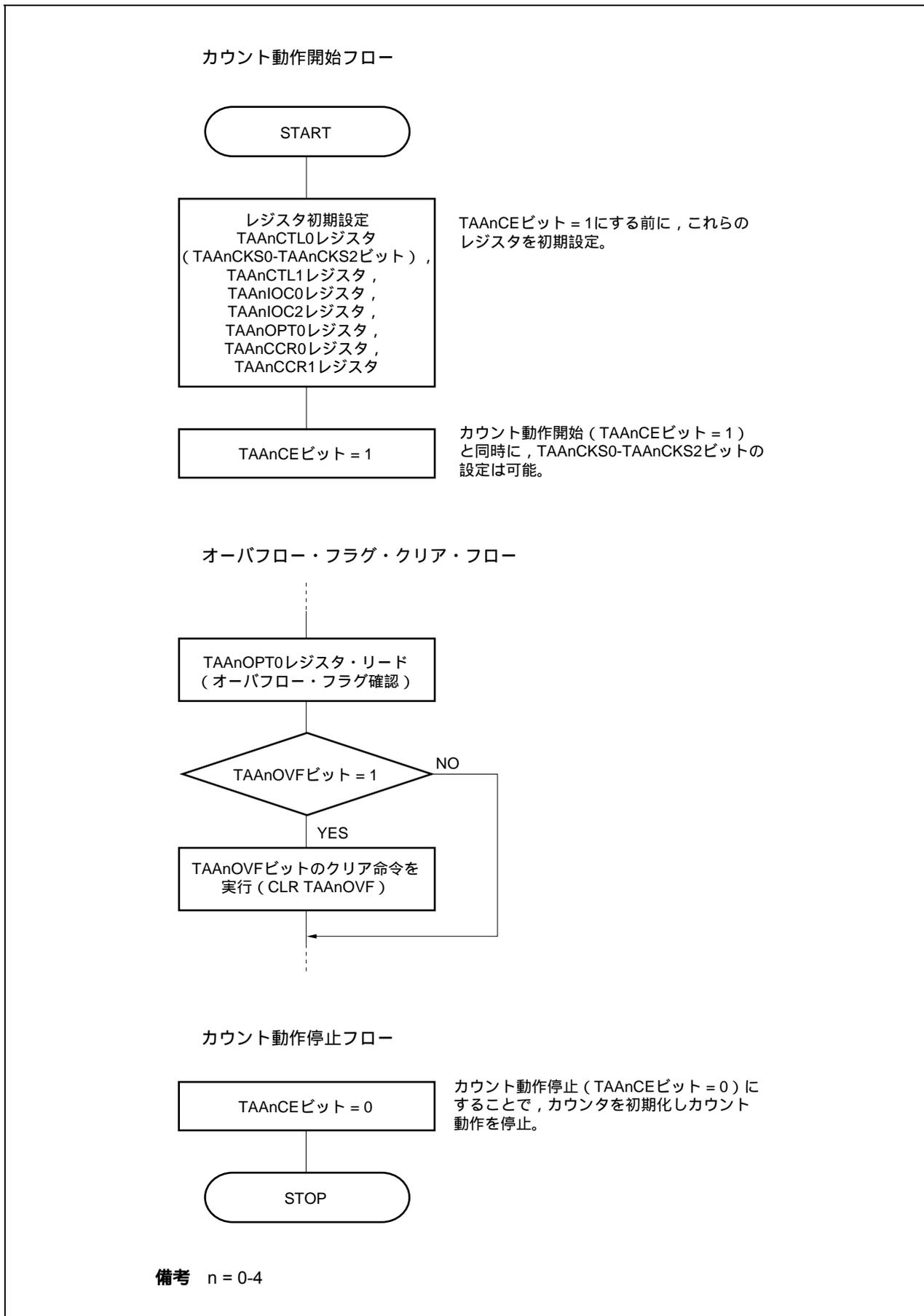


図7 - 32 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (コンペア機能) (2/2)



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図7 - 33 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（1/2）

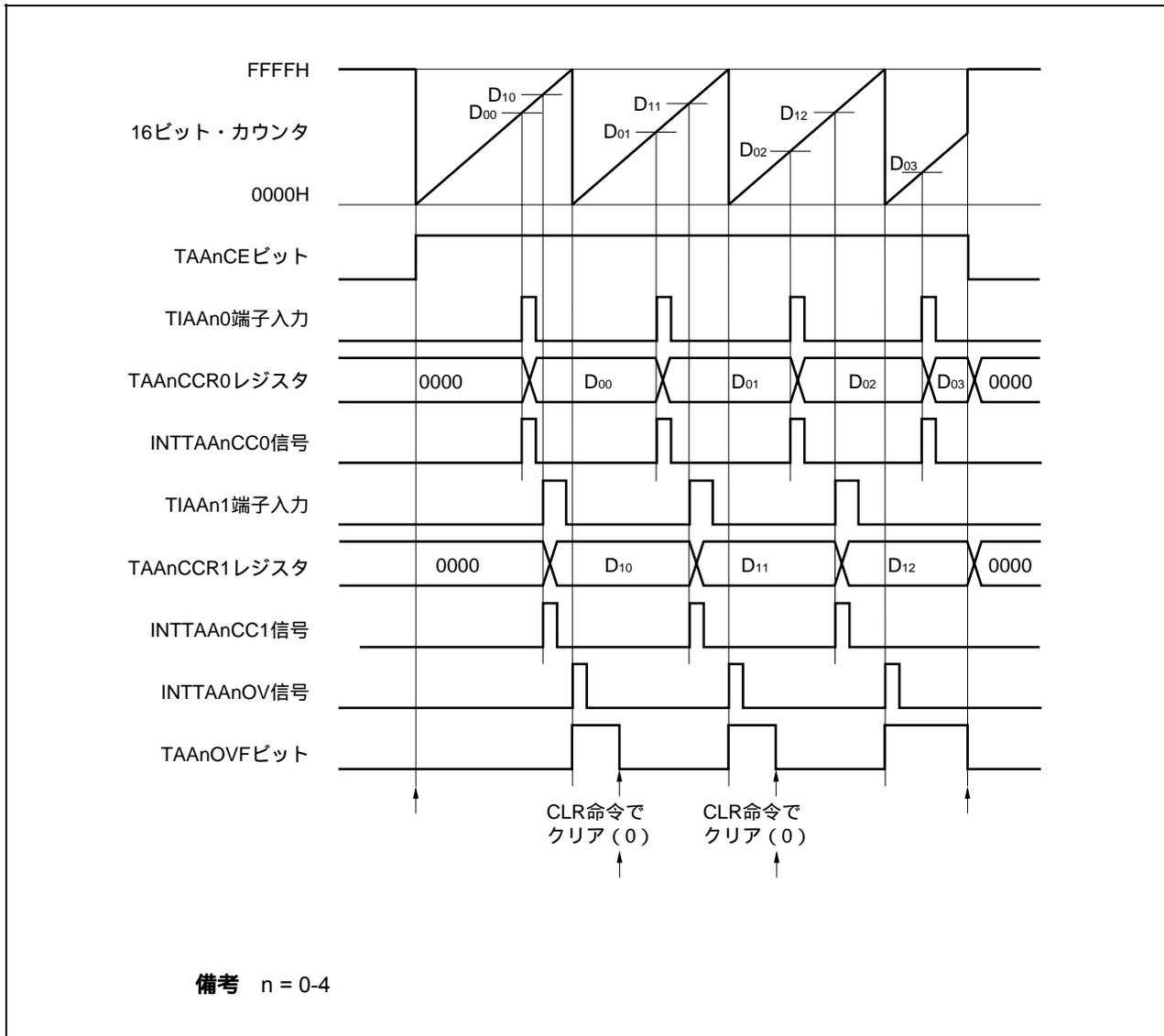
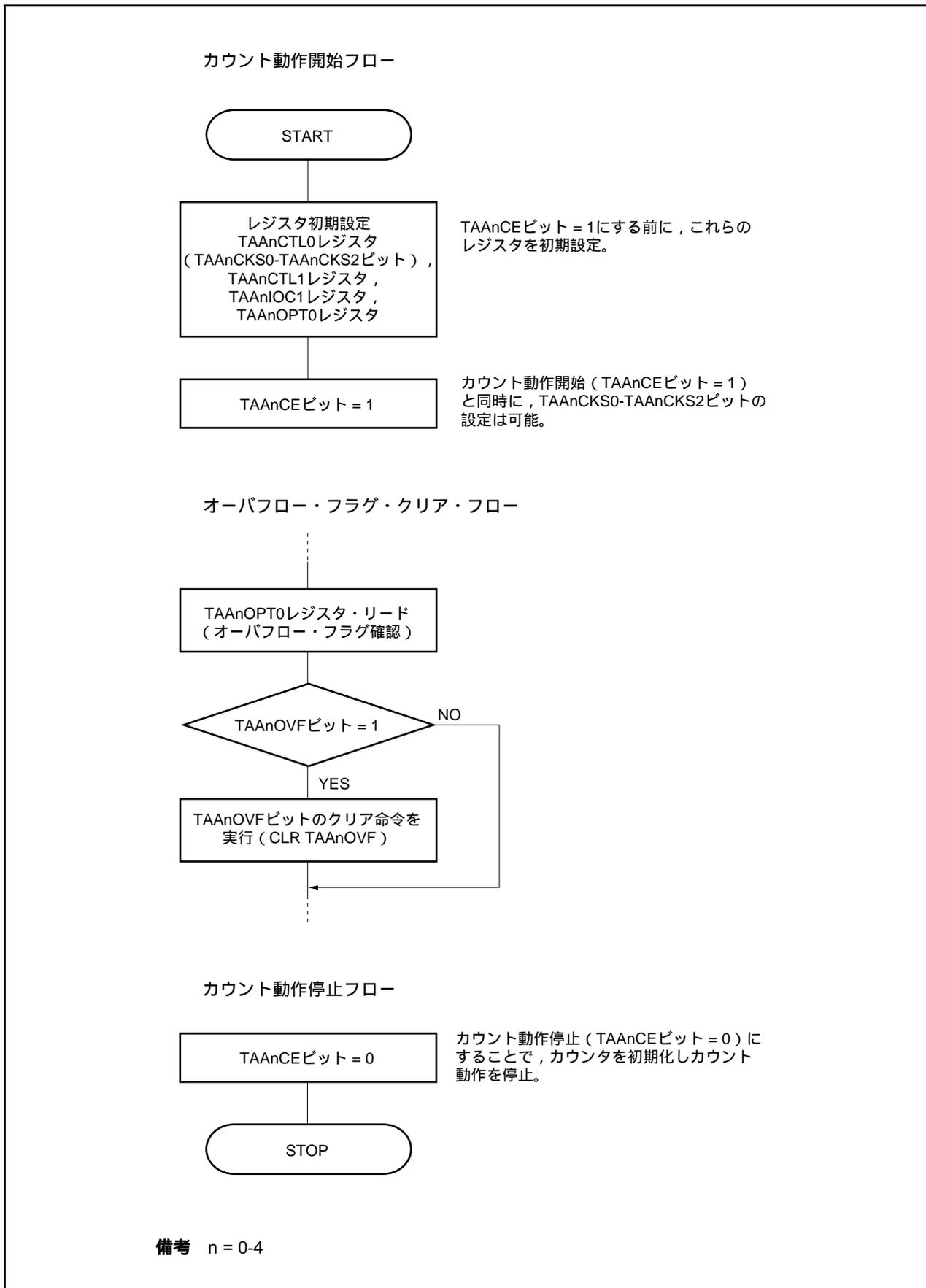


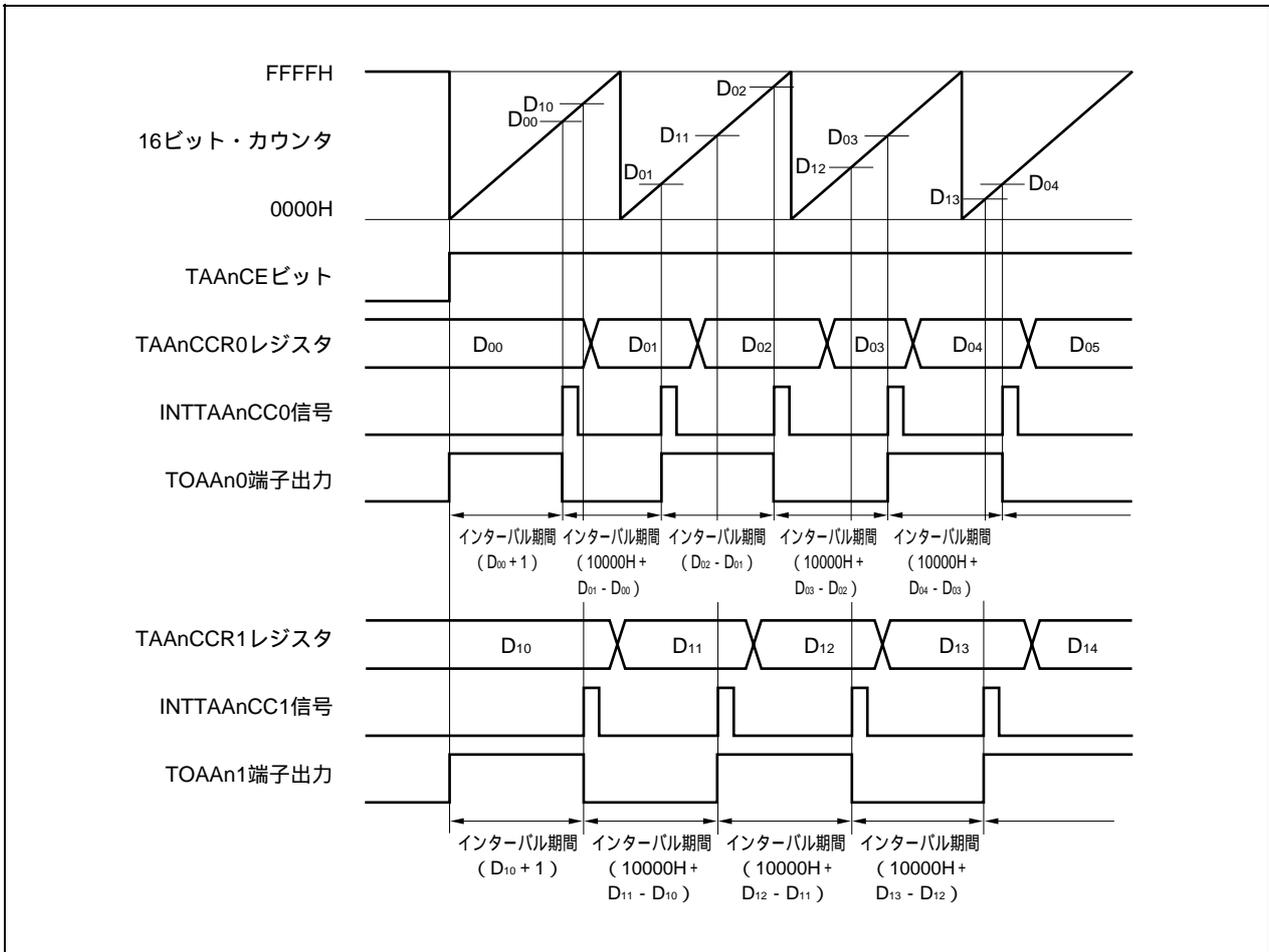
図7 - 33 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（2/2）



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TAAAnCCRmレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTAAAnCCm信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、1チャンネルで2つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTAAAnCCm信号を検出したときの割り込み処理中に、対応するTAAAnCCRmレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“Dm”とすると、次のように求められます。

コンペア・レジスタ初期値 : $D_m - 1$

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D_m

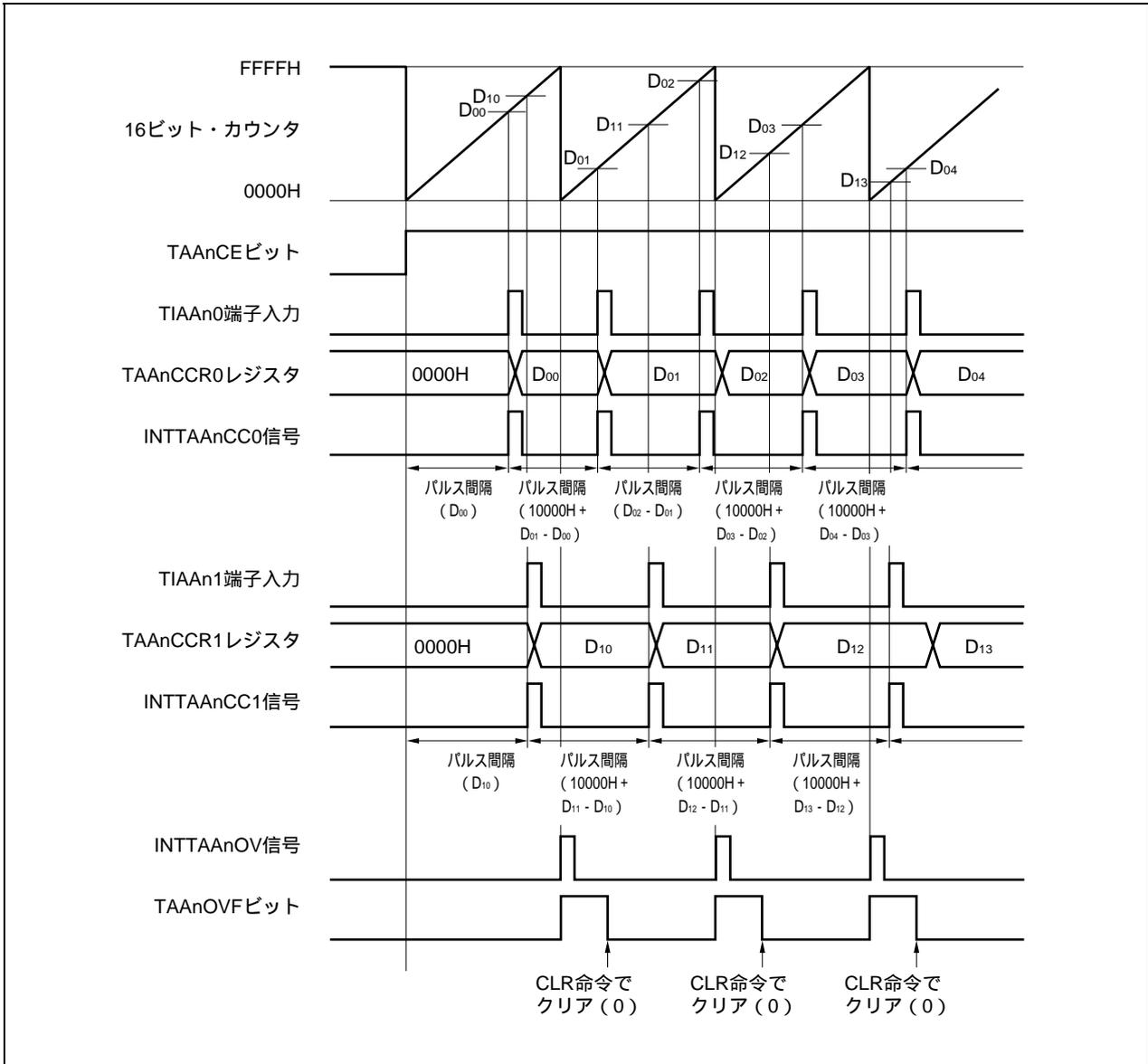
(演算結果がFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください)

備考 n = 0-4

m = 0, 1

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TAAAnCCRmレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTAAAnCCm信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



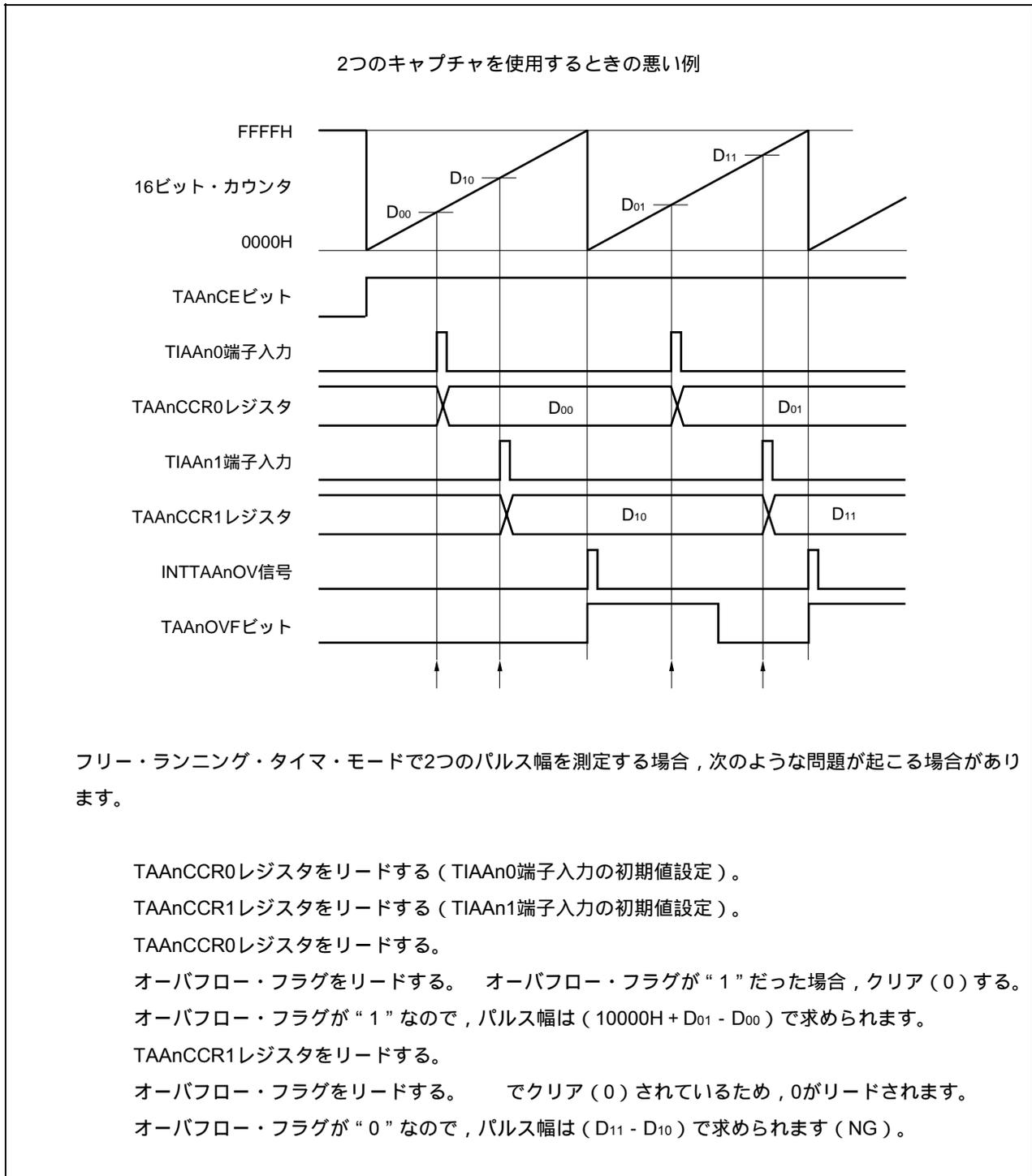
フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、1チャンネルで2つのパルス幅測定ができます。

パルス幅測定を行う場合、INTTAAAnCCm信号に同期してTAAAnCCRmレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

備考 n = 0-4
m = 0, 1

(c) 2つのキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

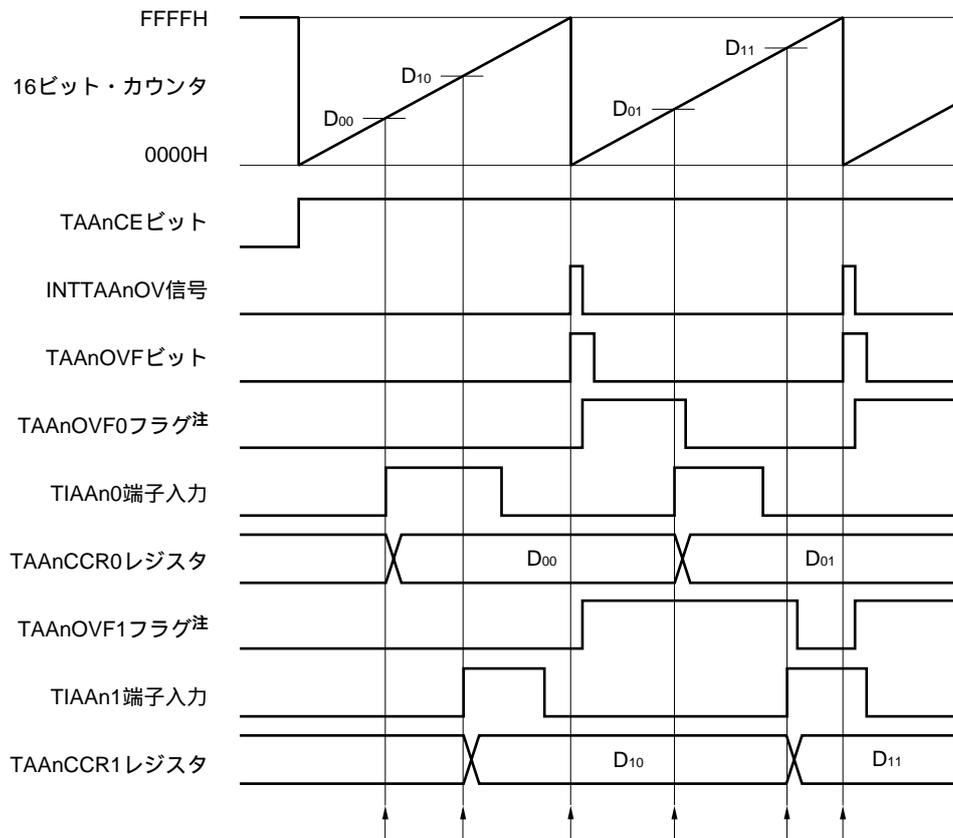
2つのキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。



このように、2つのキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、もう1つのキャプチャは正しいパルス幅が求められない可能性があります。

2つのキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TAAOVF0, TAAOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TAACCR0レジスタをリードする (TIAAn0端子入力の初期値設定)。

TAACCR1レジスタをリードする (TIAAn1端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TAAOVF0, TAAOVF1フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。

TAACCR0レジスタをリードする。

TAAOVF0フラグをリードする。 TAAOVF0フラグが“1”だった場合、クリア (0) する。

TAAOVF0フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

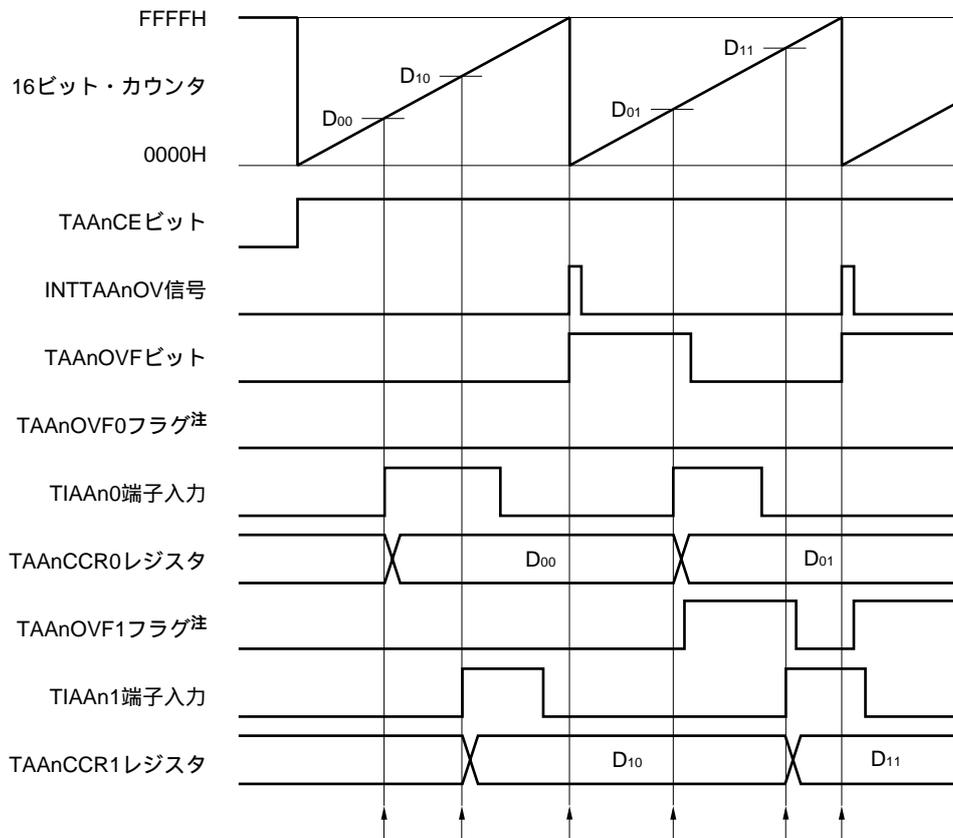
TAACCR1レジスタをリードする。

TAAOVF1フラグをリードする。 TAAOVF1フラグが“1”だった場合、クリア (0) する (でクリア (0) されたのはTAAOVF0フラグであり、TAAOVF1フラグは“1”のまま)。

TAAOVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

2つのキャプチャを使用するときの対応例（オーバーフロー割り込みを使用しない）



注 TAAAnOV0, TAAAnOV1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TAAAnCCR0レジスタをリードする（TIAAn0端子入力の初期値設定）。

TAAAnCCR1レジスタをリードする（TIAAn1端子入力の初期値設定）。

オーバーフローが発生する。ソフトウェアでは何もしない。

TAAAnCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、TAAAnOV1フラグのみをセット（1）し、オーバーフロー・フラグをクリア（0）する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TAAAnCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア（0）されているので“0”がリードされる。

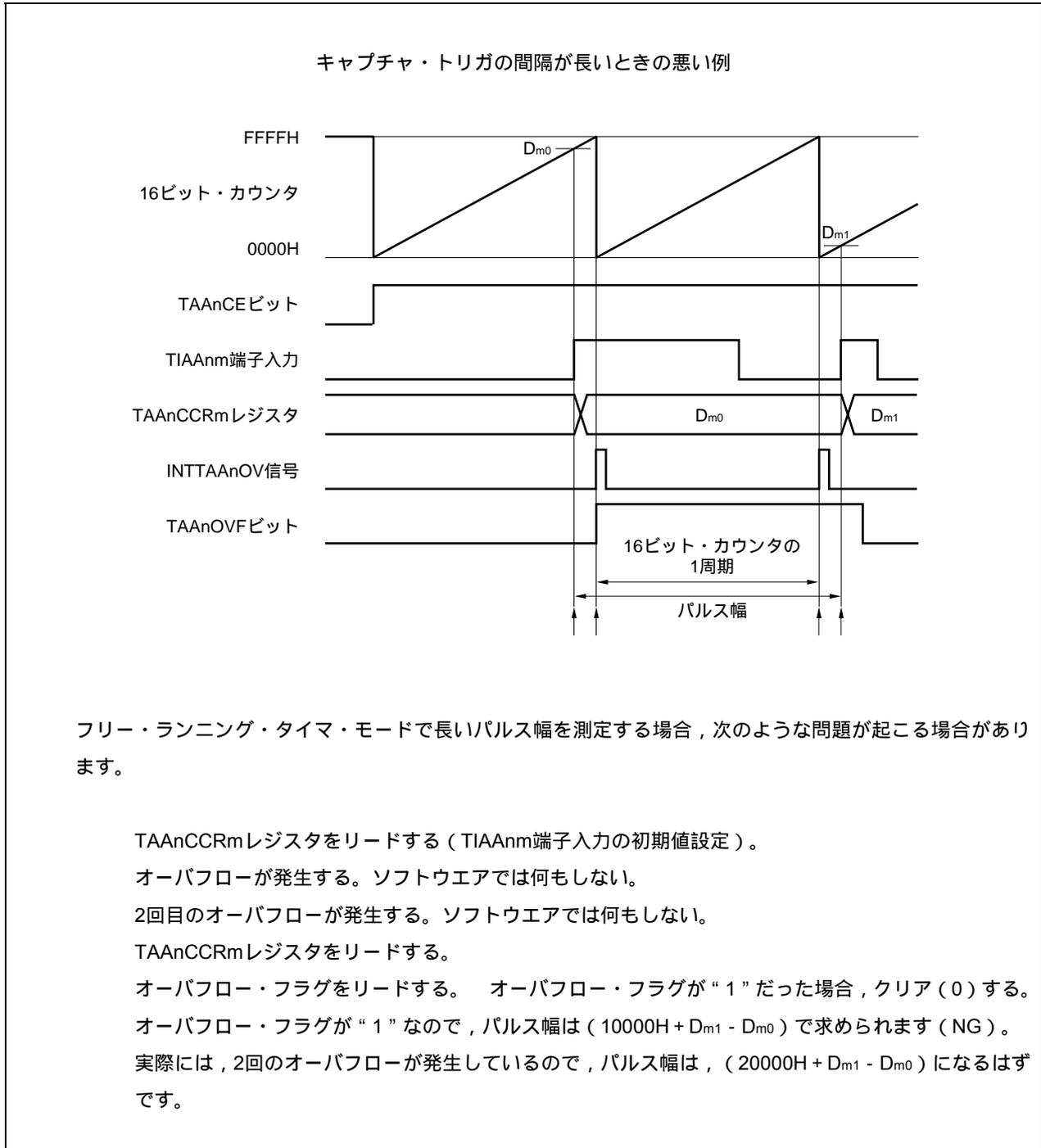
TAAAnOV1フラグをリードする。TAAAnOV1フラグが“1”だった場合、クリア（0）する。

TAAAnOV1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます（OK）。

と同じです。

(d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

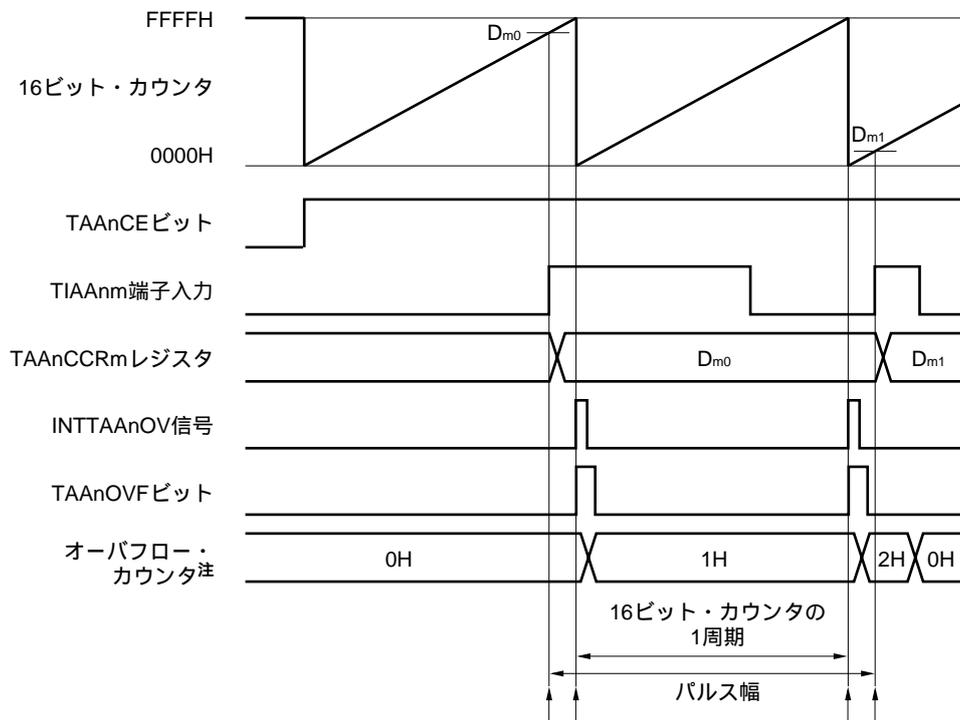
パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TAAAnCCRmレジスタをリードする (TIAAnm端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメント (+1) し、オーバフロー・フラグをクリア (0) する。

TAAAnCCRmレジスタをリードする。

オーバフロー・カウンタをリードする。

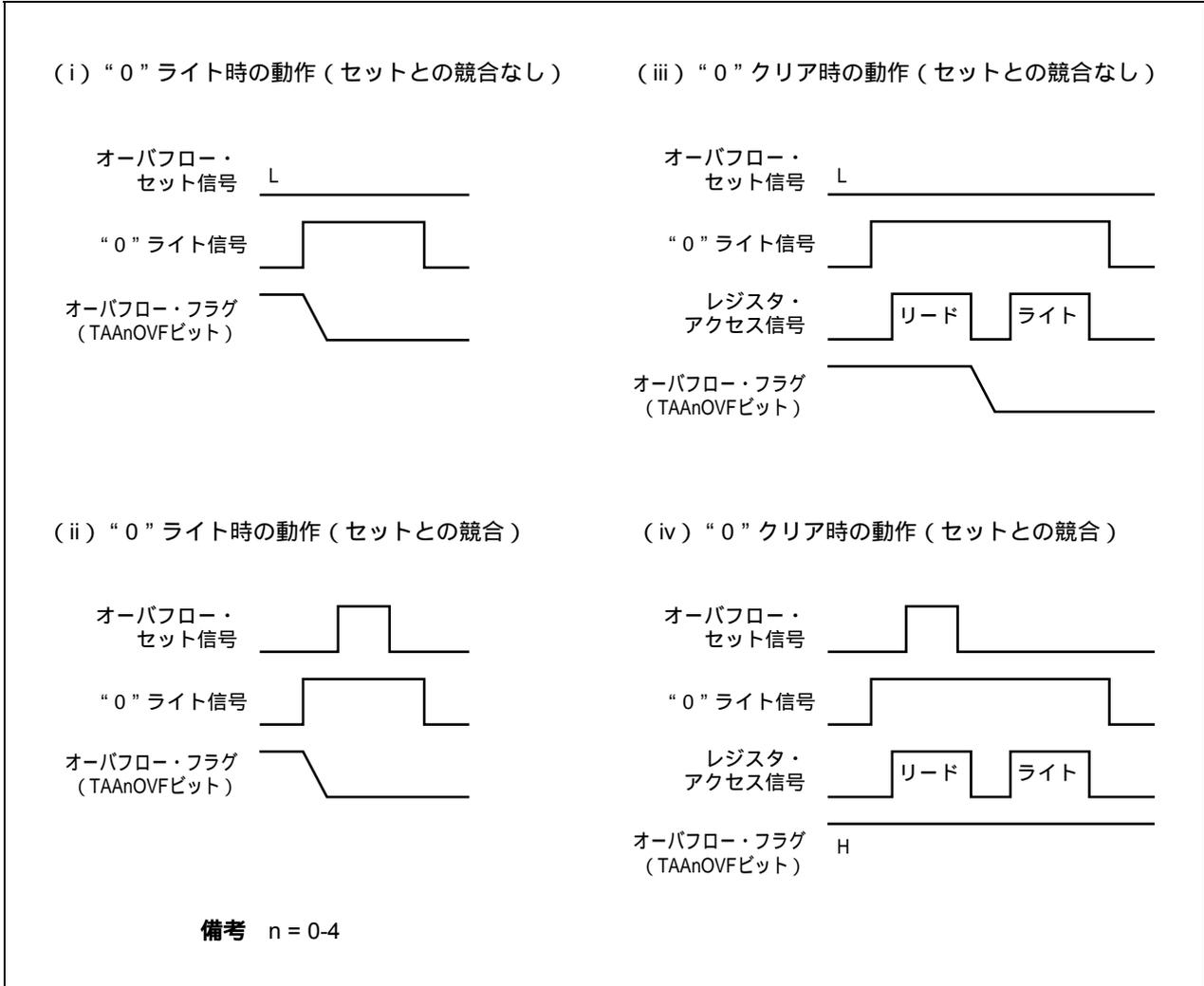
オーバフロー・カウンタが“N”のとき、パルス幅は $(N \times 10000H + D_{m1} - D_{m0})$ で求められる。

この例では、2回のオーバフローが発生しているため、パルス幅は、 $(20000H + D_{m1} - D_{m0})$ になります。

オーバフロー・カウンタをクリア (0H) する。

(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア(0)する方法は、TAA_nOVFビットをCLR命令でクリア(0)する方法と、TAA_nOPT0レジスタに8ビット・データ(ビット0は“0”)をライトする方法がありますが、確実にオーバフローを検出するために、TAA_nOVFビット = 1をリードしたあと、ビット操作命令でクリア(0)してください。



オーバフロー・フラグをクリア(0)する場合には、リードしてオーバフロー・フラグがセット(1)されていることを確認したあと、CLR命令でクリア(0)してください。確認せずに0をライトすると、オーバフローのセット情報を“0”ライトで消してしまう場合があります(上図の(ii))。そのために、実際にはオーバフローが発生したにもかかわらず、ソフトウェアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア(0)するときに、CLR命令の実行とオーバフロー発生とのタイミングが競合した場合、クリア命令実行後もオーバフロー・フラグはセット(1)されたままになります。

7.5.7 パルス幅測定モード (TAA_nMD2-TAA_nMD0ビット = 110)

パルス幅測定モードは、TAA_nCTL0.TAA_nCEビットをセット(1)することでカウント動作を開始し、TIAAn_m端子入力の有効エッジを検出するごとに、16ビット・カウンタのカウント値をTAA_nCCR_mレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号 (INTTAA_nCC_m) が発生したあと、TAA_nCCR_mレジスタをリードすることにより、有効エッジ間隔を測定できます。

キャプチャ・トリガ入力端子として、TIAAn₀, TIAAn₁端子のいずれか1本を使用してください。使用しない端子は、TAA_nIOC1レジスタで“エッジ検出なし”に設定してください。

また、カウント・クロックとして外部クロックを使用するときは、外部クロックはTIAAn₀端子固定ですので、TIAAn₁端子のパルス幅を測定してください。このとき、TAA_nIOC1.TAA_nIS1, TAA_nIS0ビット = 00 (キャプチャ・トリガ入力 (TIAAn₀端子) : エッジ検出なし) に設定してください。

図7-34 パルス幅測定モードの構成図

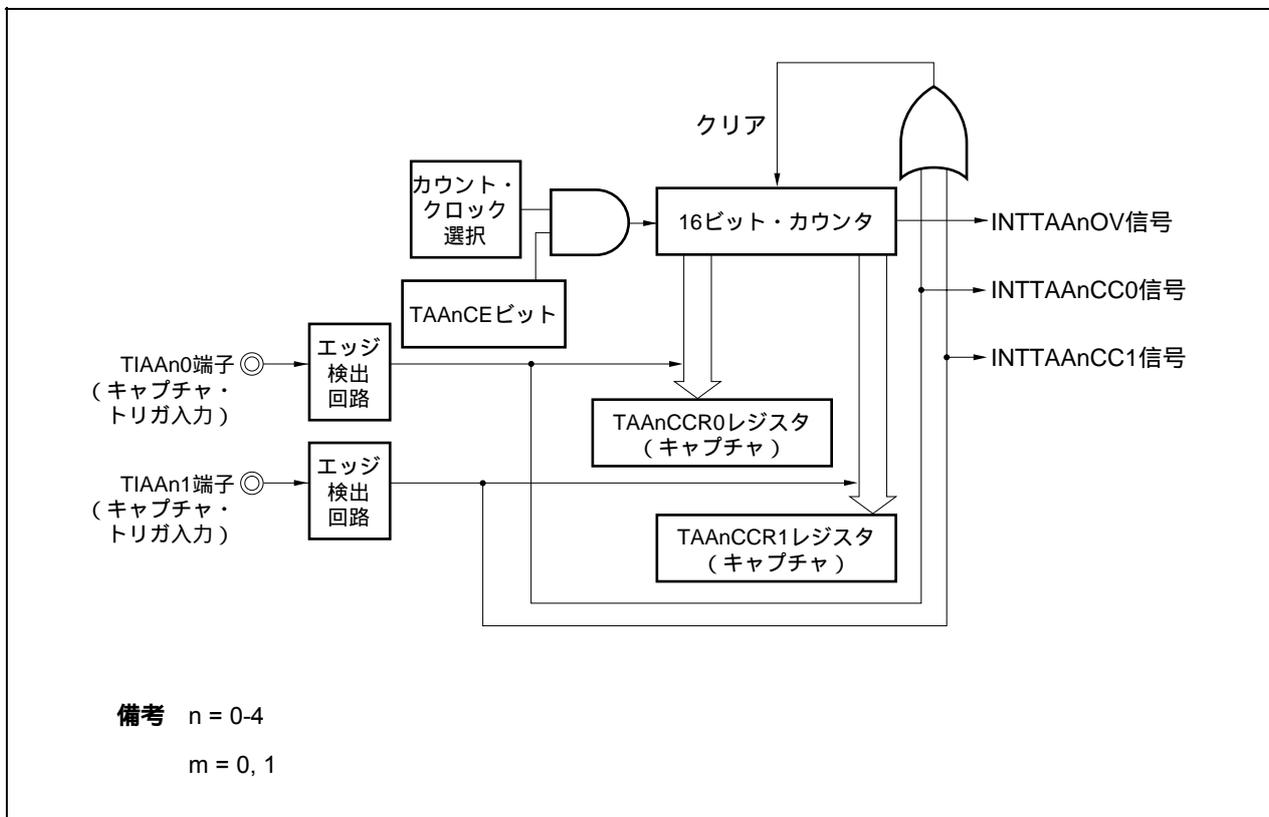
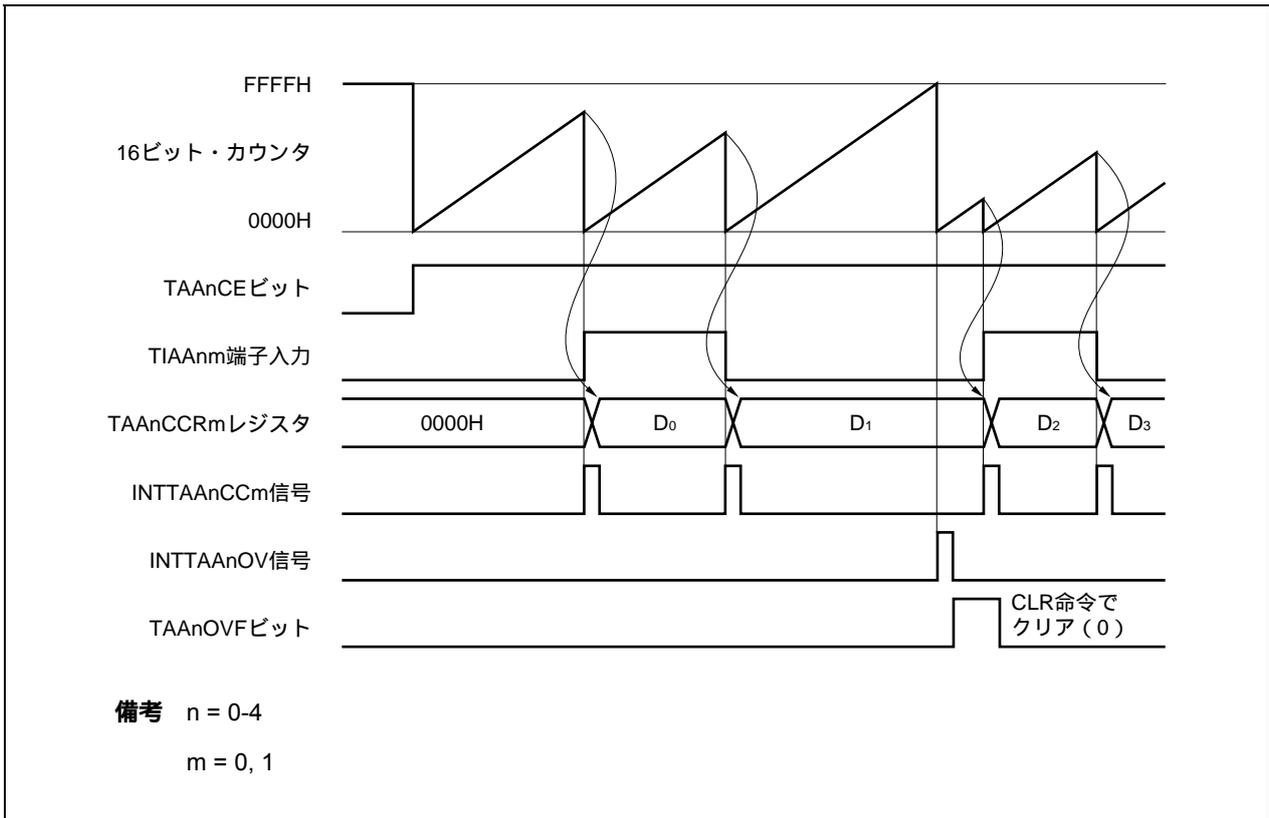


図7 - 35 パルス幅測定モードの基本タイミング



TAAAnCEビットをセット(1)することで、カウント動作を開始します。その後、TIAAnm端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTAAAnCCRmレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号(INTTAAAnCCm)を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号(INTTAAAnOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TAAAnOPT0.TAAAnOVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

オーバフロー・フラグがセット(1)した場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000\text{H} \times \text{TAAAnOVFビットがセット(1)された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

備考 n = 0-4
m = 0, 1

図7 - 36 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

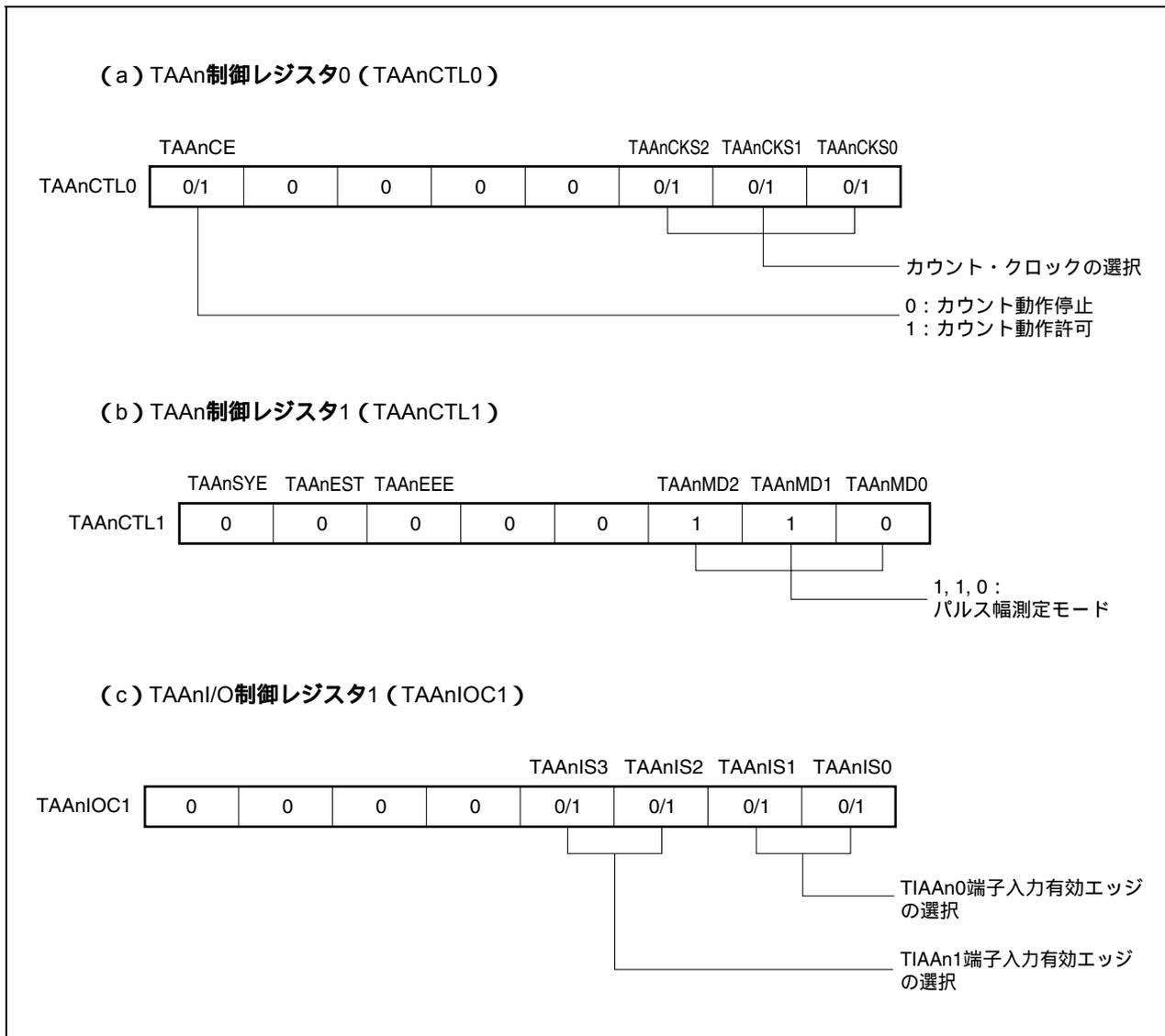
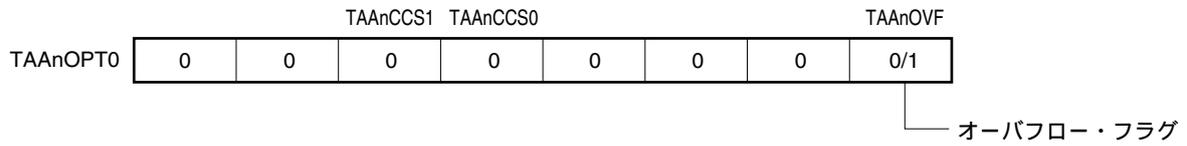


図7 - 36 パルス幅測定モード動作時のレジスタ設定内容 (2/2)

(d) TAAnオプション・レジスタ0 (TAAnOPT0)



(e) TAAnカウンタ・リード・バッファ・レジスタ (TAAnCNT)

TAAnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(f) TAAnキャプチャ/コンペア・レジスタ0, 1 (TAAAnCCR0, TAAAnCCR1)

TIAAnm端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

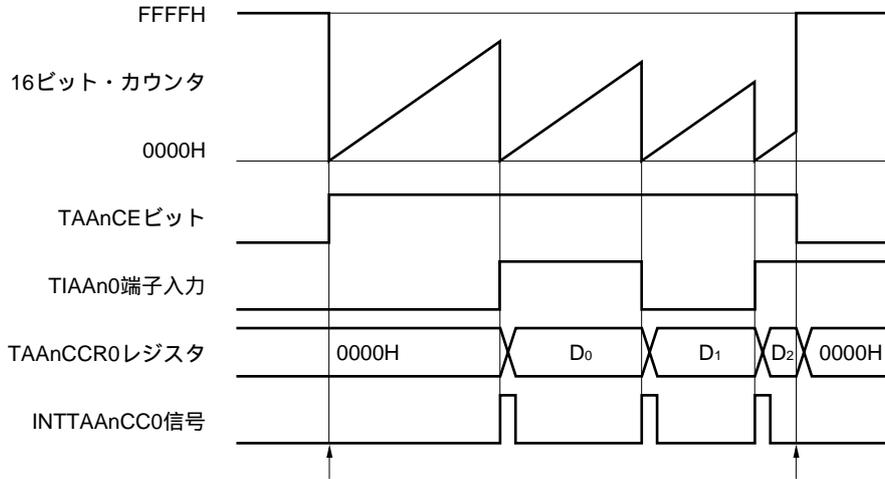
備考1. パルス幅測定モードでは、TAAAn/O制御レジスタ0 (TAAAnIOC0)、TAAAn/O制御レジスタ2 (TAAAnIOC2) は使用しません。

2. n = 0-4

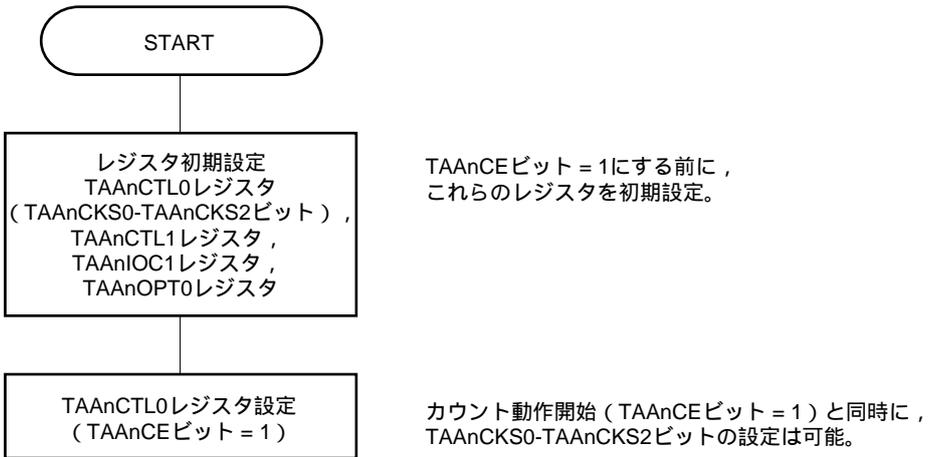
m = 0, 1

(1) パルス幅測定モード動作フロー

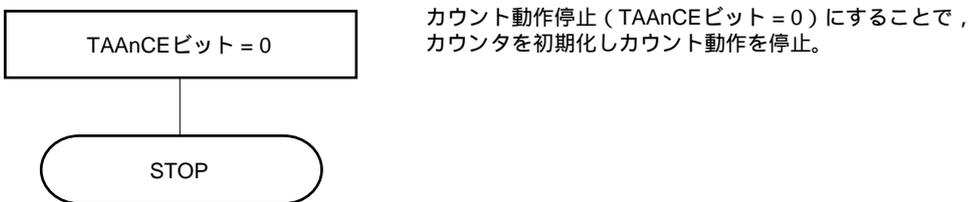
図7 - 37 パルス幅測定モード使用時のソフトウェア処理フロー



カウント動作開始フロー



カウント動作停止フロー

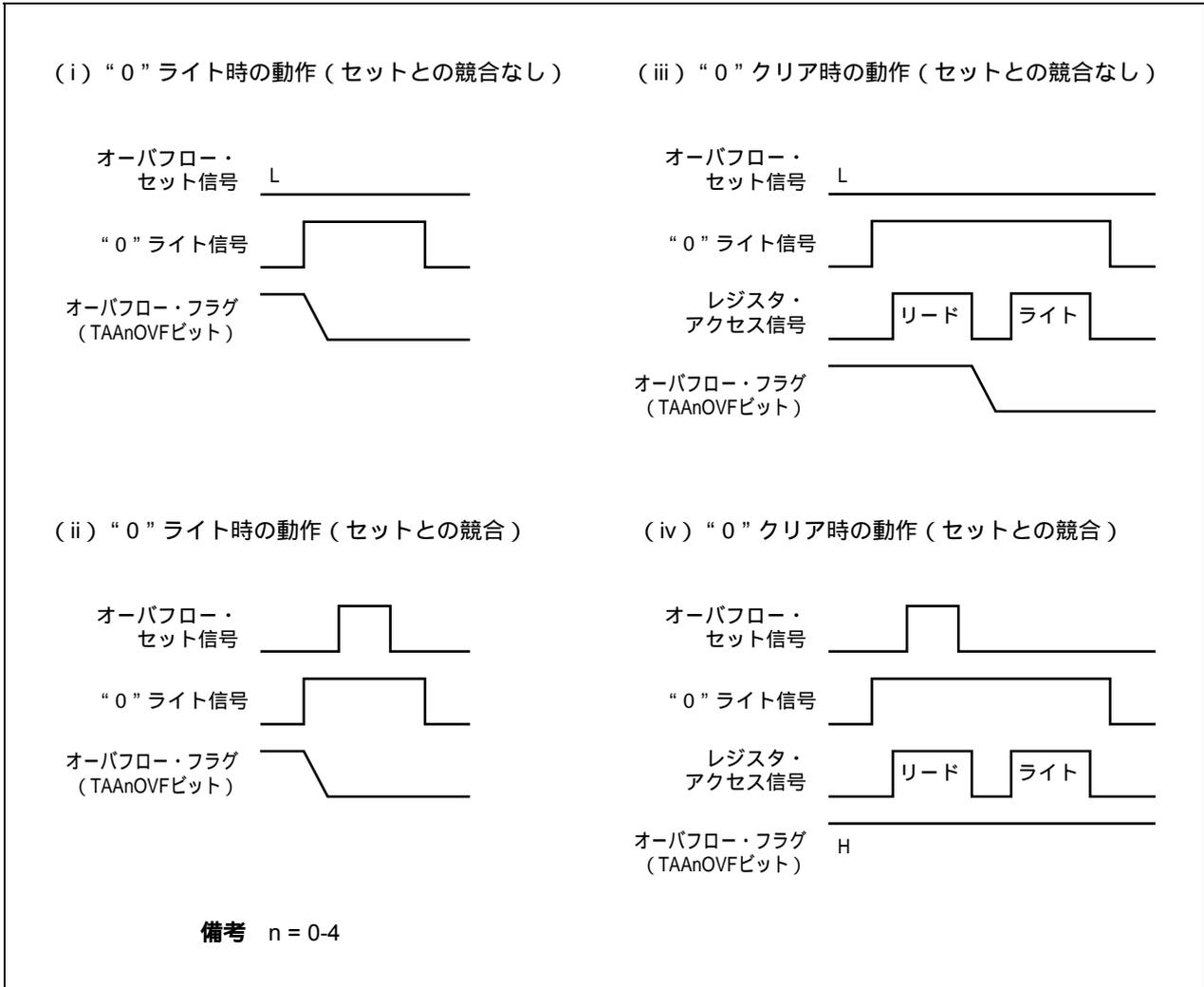


備考 n = 0-4

(2) パルス幅測定モード動作タイミング

(a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア(0)する方法は、TAAAnOVFビットをCLR命令でクリア(0)する方法と、TAAAnOPT0レジスタに8ビット・データ(ビット0は“0”)をライトする方法がありますが、確実にオーバフローを検出するために、TAAAnOVFビット = 1をリードしたあと、ビット操作命令でクリア(0)してください。



オーバフロー・フラグをクリア(0)する場合には、リードしてオーバフロー・フラグがセット(1)されていることを確認したあと、CLR命令でクリア(0)してください。確認せずに0をライトすると、オーバフローのセット情報を“0”ライトで消してしまう場合があります(上図の(ii))。そのために、実際にはオーバフローが発生したにもかかわらず、ソフトウェアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア(0)するときに、CLR命令の実行とオーバフロー発生とのタイミングが競合した場合、クリア命令実行後もオーバフロー・フラグはセット(1)されたままになります。

7.5.8 タイマ出力動作説明

次にTOAAn0, TOAAn1端子の動作, および出力レベルを示します。

表7-4 各モードによるタイマ出力制御

動作モード	TOAAn1端子	TOAAn0端子
インターバル・タイマ・モード	方形波出力	
外部イベント・カウント・モード	-	
外部トリガ・パルス出力モード	外部トリガ・パルス出力	方形波出力
ワンショット・パルス出力モード	ワンショット・パルス出力	
PWM出力モード	PWM出力	
フリー・ランニング・タイマ・モード	方形波出力 (コンペア機能のときのみ)	
パルス幅測定モード	-	

備考 n = 0-4

表7-5 タイマ出力制御ビットによるTOAAn0, TOAAn1端子の真理値表

TAAAnIOC0.TAAAnOLmビット	TAAAnIOC0.TAAAnOEmビット	TAAAnCTL0.TAAAnCEビット	TOAAnm端子のレベル
0	0	×	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル, カウント開始後はハイ・レベル
1	0	×	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル, カウント開始後はロウ・レベル

備考 n = 0-4

m = 0, 1

7.6 タイマ同調動作機能

タイマAAおよびタイマABには、タイマ同調動作機能があります。

タイマ同調動作機能とはV850ES/Hx3内蔵のタイマを同調させマスタ・タイマに対しスレーブ・タイマのキャプチャまたはコンペアの数（スレーブ・タイマに搭載しているタイマ出力および、コンペア一致割り込みの本数）を追加することが可能です。タイマ同調動作可能なタイマの組み合わせを表7-6に示します。

表7-6 タイマの同調動作機能

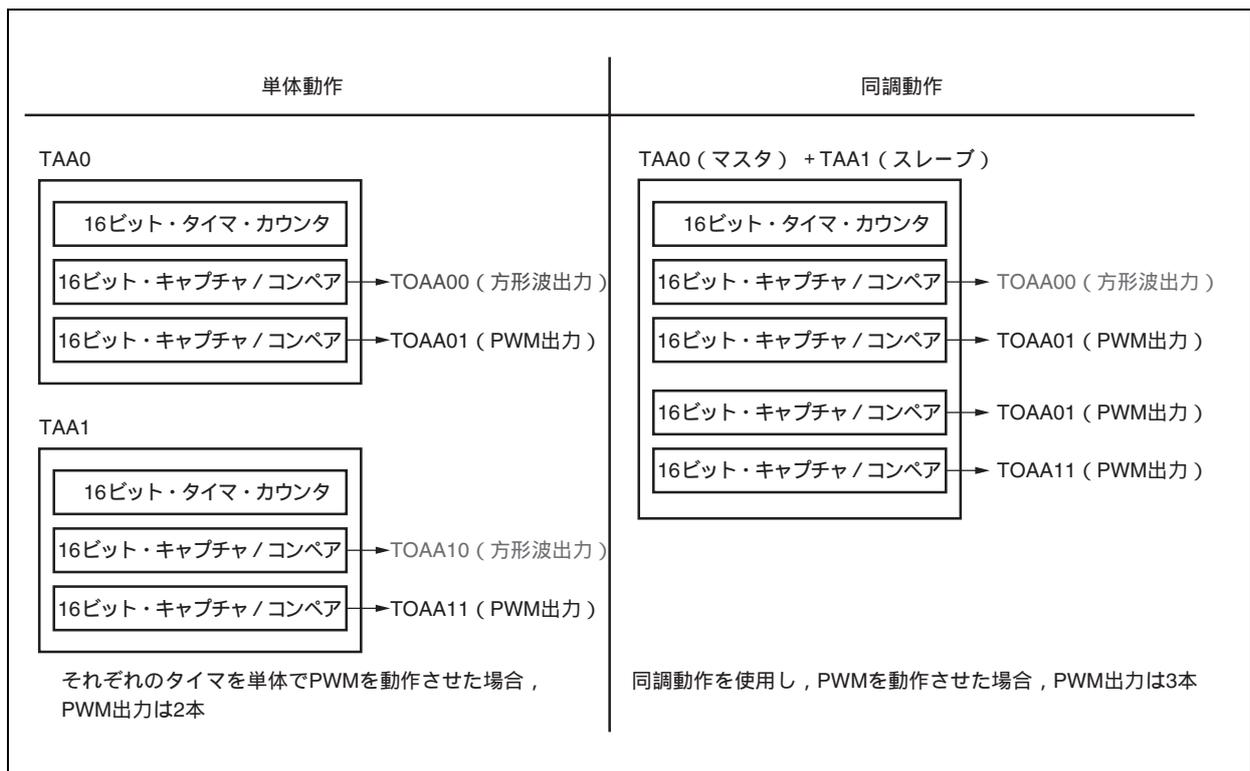
マスタ・タイマ	スレーブ・タイマ
TAA0	TAA1
TAA2	TAA3
TAB0	TAA4
TAB1	TAB2

同調動作機能には次のモードがあります。

- ・PWM出力モード
- ・フリー・ランニング・タイマ・モード
- ・三角波PWMモード（マスタ・タイマがTAB1の場合）

図7-38にマスタ・タイマとしてTAA0を、スレーブ・タイマとしてTAA1を例にPWM出力モードを単体動作と同調動作として使用した場合の例を示します。

図7-38 TAA0とTAA1を使用した場合の単体動作と同調動作の違い



同調動作機能時に使用できるタイマ・モードを表7-7に、単体動作と同調動作でのタイマ出力機能の違いを表7-8に示します（○：設定可能，×：設定不可）。

表7-7 同調動作機能使用時のタイマ・モード

マスタ・タイマ	スレーブ・タイマ	フリー・ランニング・タイマ・モード	PWMモード	三角波PWMモード
TAA0	TAA1			×
TAA2	TAA3			×
TAB0	TAA4			×
TAB1	TAB2			

表7-8 タイマ出力機能一覧

同調チャンネル	タイマ	機能端子	フリー・ランニング・タイマ・モード		PWMモード		三角波PWMモード	
			単体動作	同調動作	単体動作	同調動作	単体動作	同調動作
Ch0	TAA0 (マスタ)	TOAA00	PPG		トグル		N/A	
		TOAA01	PPG		PWM		N/A	
	TAA1 (スレーブ)	TOAA10	PPG		トグル	PWM	N/A	
		TOAA11	PPG		PWM		N/A	
Ch1	TAA2 (マスタ)	TOAA20	PPG		トグル		N/A	
		TOAA21	PPG		PWM		N/A	
	TAA3 (スレーブ)	TOAA30	PPG		トグル	PWM	N/A	
		TOAA31	PPG		PWM		N/A	
Ch2	TAB0 (マスタ)	TOAB00	PPG		トグル		トグル	N/A
		TOAB01-TOAB03	PPG		PWM		三角波PWM	N/A
	TAA4 (スレーブ)	TOAA40	PPG		トグル	PWM	N/A	
		TOAA41	PPG		PWM		N/A	
Ch3	TAB1 (マスタ)	TOAB10	PPG		トグル		トグル	
		TOAB11-TOAB13	PPG		PWM		三角波PWM	
	TAB2 (スレーブ)	TOAB20	PPG		トグル	PWM	トグル	三角波PWM
		TOAB21-TOAB23	PPG		PWM		三角波PWM	

備考 マスタ・タイマのコンペア・レジスタからスレーブ・タイマのコンペア・レジスタへの送信タイミングは、次のとおりです。

- ・ PPG : CPU書き込みのタイミング
- ・ トグル, PWM, 三角波PWM : タイマ・カウンタとコンペア・レジスタが TOAA_n0やTOAB_m0と一致したタイミング

7.6.1 フリー・ランニング・タイマ・モード (タイマ同調動作時)

タイマ同調動作時のフリー・ランニング・タイマ・モードについて説明します。タイマ同調動作の組み合わせは表7-6を参照してください。ここではTAA0とTAA1を用いてタイマ同調動作をした場合の例を示します。

(i) キャプチャ/コンペアの選択について

TAA0 と TAA1 を接続しタイマ同調動作のフリーランニング・タイマ・モードを使用する場合、TAA0 のキャプチャ/コンペア・レジスタ 2 本、TAA1 のキャプチャ/コンペア 2 本を組み合わせで使用することが可能です。

キャプチャとコンペアの組み合わせに関する制限はなく、マスタ・タイマ/スレーブ・タイマの TAA_nCCSn ビットで選択できます。コンペア選択時は、コンペア・レジスタ設定値の動作中の書き換えが可能で、書き換え方式は、随時書き換え方式となります (n = 0, 1)。

(ii) オーバフローについて

カウンタのオーバフローが発生した場合は、マスタ・タイマのオーバフロー割り込み (INTTAA0OV) が発生し、オーバフロー・フラグ (TAA0OVF) が“1”セットされます。

スレーブ・タイマのオーバフロー割り込み (INTTAA1OV)、およびオーバフロー・フラグ (TAA1OVF) は動作せず常にロウ・レベルです。

(1) フリー・ランニング・タイマ・モードの設定 (コンペア機能)

[初期設定]

マスタ・タイマ : TAA0CTL0.TAA0CE = 0 (動作禁止) に設定

スレーブ・タイマ : TAA1CTL0.TAA1CE = 0 (動作禁止) に設定

【マスタ・タイマ (TAA0) の初期設定】

- ・ TAA0CTL1.TAA0MD2-TAA0MD0 = 101 (フリー・ランニング・タイマ・モードの設定)
- ・ TAA0OPT0.TAA0CCS1, TAA0CCS0 = 00 (キャプチャ/コンペア選択ビットをコンペアに設定)
- ・ TAA0CTL1.TAA0CKS2-TAA0CKS0 (カウント・クロック (任意) の設定)
- ・ TAA0CCR1, TAA0CCR0レジスタを設定

【スレーブ・タイマ (TAA1) の初期設定】

- ・ TAA1CTL1.TAA1SYE = 1 (タイマ同調動作に設定)
- ・ TAA1CTL1.TAA1MD2-TAA1MD0 = 101 (フリー・ランニング・タイマ・モードに設定)
- ・ TAA1OPT0.TAA1CCS1, TAA1CCS0 = 00 (キャプチャ/コンペア選択ビットをコンペアに設定)
- ・ TAA1CCR0, TAA1CCR1レジスタを設定。

備考 マスタ・タイマ, スレーブ・タイマの初期設定は順不同です。

[カウント・スタート]

<1> マスタ・タイマのTAA0CTL0.TAA0CE = 1に設定。

<2> カウント・スタート

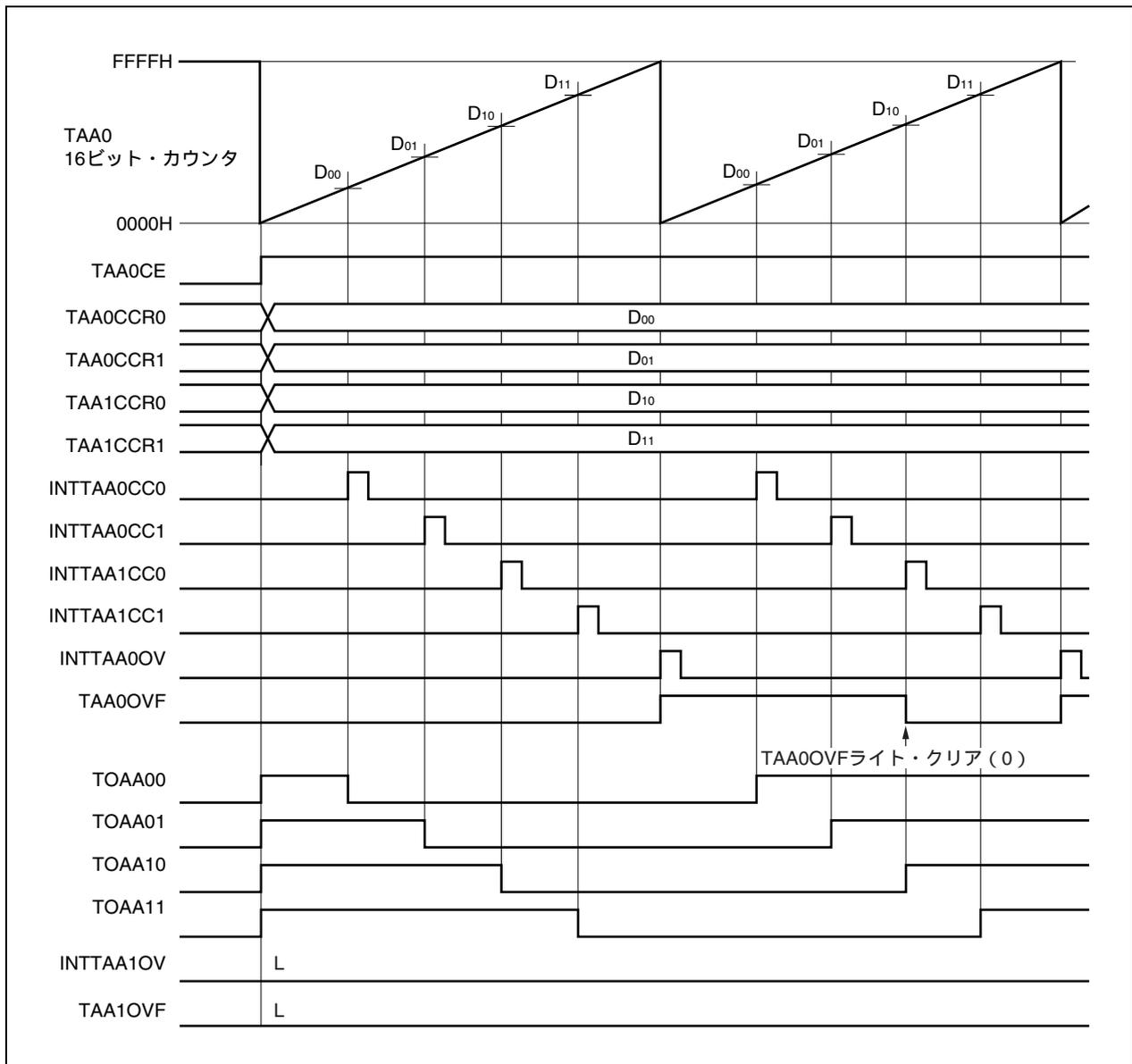
<3> 動作中のレジスタ設定変更

- ・ コンペアの書き換え可能 (随時書込み方式)

[終了条件]

- ・ マスタ・タイマのTAA0CTL0.TAA0CE = 0に設定。

図7 - 39 フリー・ランニング・モードのタイミング例 (コンペア機能)



(2) フリー・ランニング・タイマ・モードの設定 (キャプチャ機能)

[初期設定]

マスタ・タイマ : TAA0CTL0.TAA0CE = 0 (動作禁止) に設定

スレーブ・タイマ : TAA1CTL0.TAA1CE = 0 (動作禁止) に設定

【マスタ・タイマ (TAA0) の初期設定】

- ・ TAA0CTL1.TAA0MD2-TAA0MD0 = 101 (フリー・ランニング・タイマ・モードの設定)
- ・ TAA0OPT0.TAA0CCS1, TAA0CCS0 = 11 (キャプチャ/コンペア選択ビットをキャプチャに設定)
- ・ TAA0CTL1.TAA0CKS2-TAA0CKS0 (カウント・クロック (任意) の設定)
- ・ TAA0.TAA0IS3-TAA0IS0 (キャプチャ・トリガの有効エッジの指定)

【スレーブ・タイマ (TAA1) の初期設定】

- ・ TAA1CTL1.TAA1SYE = 1 (タイマ同調動作に設定)
- ・ TAA1CTL1.TAA1MD2-TAA1MD0 = 101 (フリー・ランニング・タイマ・モードに設定)
- ・ TAA1OPT0.TAA1CCS1, TAA1CCS0 = 11 (キャプチャ/コンペア選択ビットをキャプチャに設定)
- ・ TAA1.TAA1IS3-TAA1IS0 (キャプチャ・トリガの有効エッジの指定)

備考 マスタ・タイマ, スレーブ・タイマの初期設定は順不同です。

[カウント・スタート]

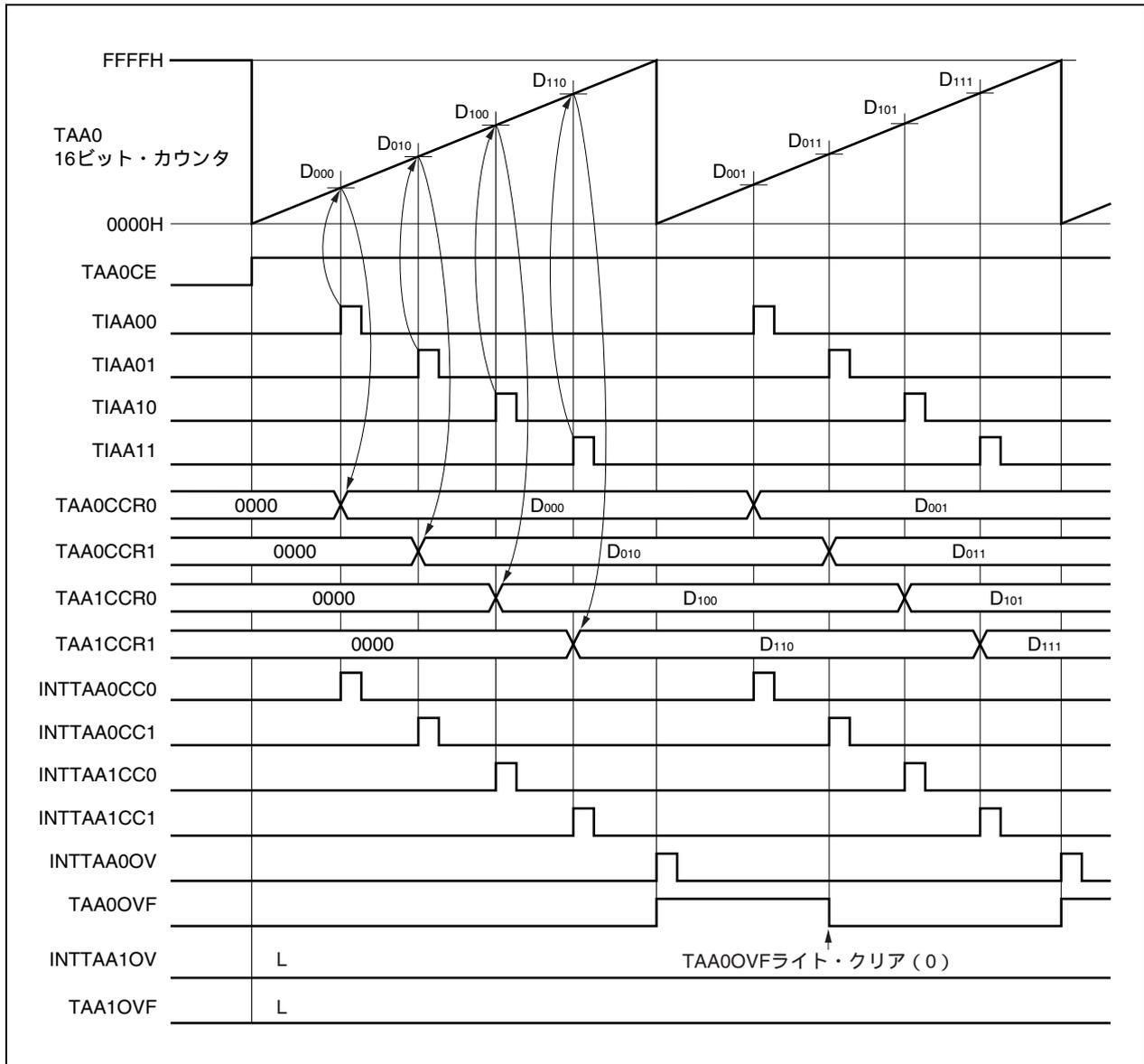
<1> マスタ・タイマのTAA0CTL0.TAA0CE = 1に設定。

<2> カウント・スタート

[終了条件]

- ・ マスタ・タイマのTAA0CTL0.TAA0CE = 0に設定。

図7-40 フリー・ランニング・モードのタイミング例 (キャプチャ機能)



(3) フリー・ランニング・タイマ・モードの設定 (キャプチャ/コンペア併用)

TAA0をキャプチャ機能, TAA1をコンペア機能に設定した場合の例を示します。

[初期設定]

マスタ・タイマ : TAA0CTL0.TAA0CE = 0 (動作禁止) に設定

スレーブ・タイマ : TAA1CTL0.TAA1CE = 0 (動作禁止) に設定

【マスタ・タイマ (TAA0) の初期設定】

- ・ TAA0CTL1.TAA0MD2-TAA0MD0 = 101 (フリー・ランニング・タイマ・モードの設定)
- ・ TAA0OPT0.TAA0CCS1, TAA0CCS0 = 11 (キャプチャ/コンペア選択ビットをキャプチャに設定)
- ・ TAA0CTL1.TAA0CKS2-TAA0CKS0 (カウント・クロック (任意) の設定)
- ・ TAA0.TAA0IS3-TAA0IS0 (キャプチャ・トリガの有効エッジの指定)

【スレーブ・タイマ (TAA1) の初期設定】

- ・ TAA1CTL1.TAA1SYE = 1 (タイマ同調動作に設定)
- ・ TAA1CTL1.TAA1MD2-TAA1MD0 = 101 (フリー・ランニング・タイマ・モードに設定)
- ・ TAA1OPT0.TAA1CCS1, TAA1CCS0 = 00 (キャプチャ/コンペア選択ビットをコンペアに設定)
- ・ TAA1CCR0, TAA1CCR1レジスタを設定。

備考 マスタ・タイマ, スレーブ・タイマの初期設定は順不同です。

[カウント・スタート]

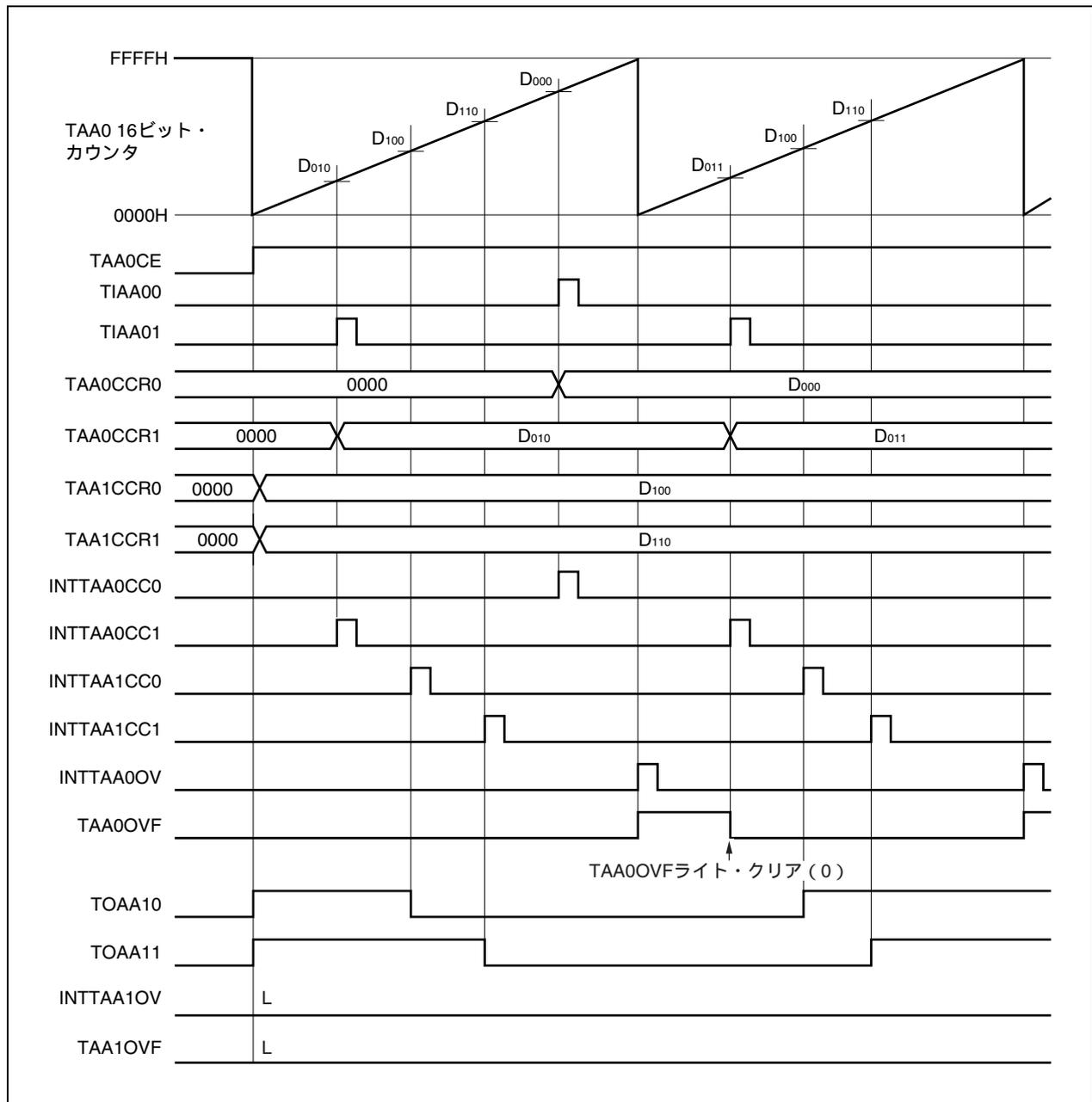
<1> マスタ・タイマのTAA0CTL0.TAA0CE = 1に設定

<2> カウント・スタート

[終了条件]

- ・ マスタ・タイマのTAA0CTL0.TAA0CE = 0に設定

図7-41 フリー・ランニング・モードのタイミング例 (キャプチャ/コンペア併用)



7.6.2 PWM出力モード (タイマ同調動作時)

タイマ同調動作時のPWM出力モードについて説明します。タイマ同調動作の組み合わせは表7-6を参照してください。ここではTAB0とTAA4を用いてタイマ同調動作をした場合の例を示します。

マスタ・タイマ (TAB0) のTAB0CCR0レジスタが周期用のコンペア・レジスタとなり、マスタ・タイマ (TAB0) のTAB0CCR1, TAB0CCR2, TAB0CCR3レジスタ、およびスレーブ・タイマ (TAA4) のTAA4CCR0, TAA4CCR1レジスタはデューティ用のコンペア・レジスタとなります。

コンペア・レジスタの動作中の書き換えが可能であり、書き換え方式は、一斉書き換え方式となります。

マスタ・タイマ (TAB0) のTAB0CCR1レジスタへの書き込みで一斉書き込み許可になり。マスタ・タイマ (TAB0) のTAB0CCR0レジスタの値とタイマ・カウンタの一致割り込みタイミングで、マスタ/スレーブ・タイマのすべてのコンペア・レジスタの値が一斉書き込みによって書き換えまたは同値書き込みされます。

(1) PWM出力モードの設定

[初期設定]

マスタ・タイマ : TAB0CTL0.TAB0CE = 0 (動作禁止) に設定

スレーブ・タイマ : TAA4CTL0.TAA4CE = 0 (動作禁止) に設定

【マスタ・タイマ (TAB0) の初期設定】

- ・ TAB0CTL1.TAB0MD2-TAB0MD0 = 100 (PWM出力モードに設定)
- ・ TAB0OPT0.TAB0CCS3-TAB0CCS0 = 0000 (キャプチャ/コンペア選択ビットをコンペアに設定)
- ・ TAB0CCR0, TAB0CCR1, TAB0CCR2, TAB0CCR3レジスタを設定

【スレーブ・タイマ (TAA4) の初期設定】

- ・ TAA4CTL1.TAA4SYE = 1 (タイマ同調動作に設定)
- ・ TAA4CTL1.TAA4MD2-TAA4MD0 = 101 (フリー・ランニング・タイマ・モードに設定)
- ・ TAA4OPT0.TAA4CCS1, TAA4CCS0 = 00 (キャプチャ/コンペア選択ビットをコンペアに設定)
- ・ TAA4CCR0, TAA4CCR1レジスタを設定

備考 マスタ・タイマ, スレーブ・タイマの初期設定は順不同です。

[カウント・スタート]

<1> マスタ・タイマのTAB0CTL0.TAB0CE = 1に設定。

<2> カウント・スタート

<3> 動作中のレジスタ設定変更

- ・ コンペアの書き換え可能 (一斉書き換え方式)

[終了条件]

- ・ マスタ・タイマのTAB0CTL0.TAB0CE = 0に設定。

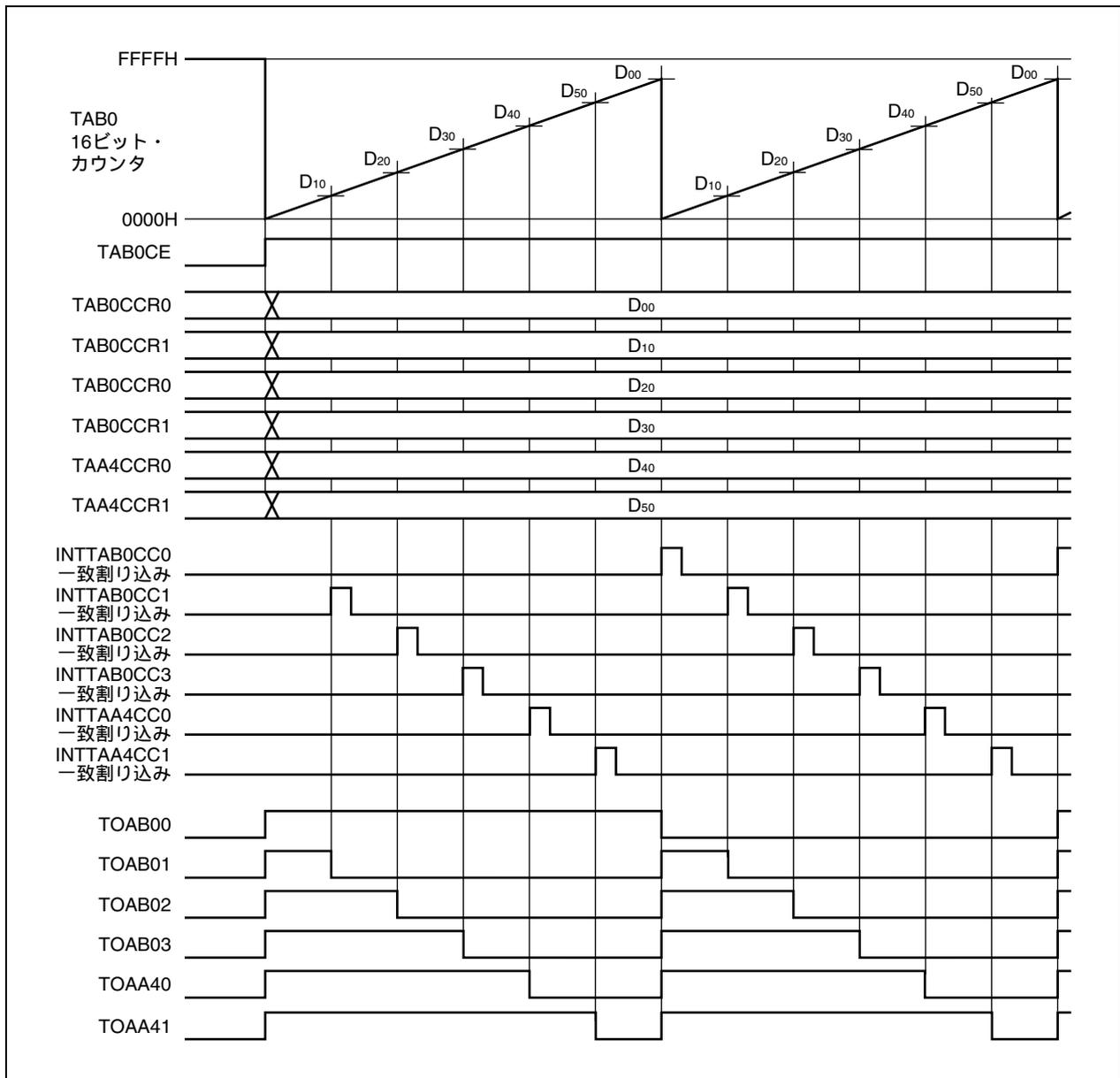
[一斉書き込み]

PWM出力モード時は、マスタ・タイマ (TAB0) のTAB0CCR1レジスタへの書き込みにより次の一斉書き込み許可を行っているため、それ以外の書き換えを必要とするすべてのコンペア・レジスタを書き換えたあとに、マスタ・タイマ (TAB0) のTAB0CCR1レジスタへの書き込みが必要となります。

一斉書き換えはタイマ・カウンタと周期用コンペア・レジスタ (TAB0CCR0) の一致タイミングで行われます。

マスタ・タイマ (TAB0) のTAB0CCR1レジスタへの書き込みがない場合は、他のコンペア・レジスタを書き換えても一斉書き込みの許可がないので、タイマ・カウンタと周期用コンペア・レジスタ (TAB0CCR0) の一致タイミングでも値が書き換わりません。

図7 - 42 同調PWM機能のタイミング例 (TAB0, TAA4)



7.6.3 三角波PWM出力モード (タイマ同調動作時) (V850ES/HJ3のみ)

タイマ同調動作時の三角波PWMモードについてTAB1をマスタ・タイマ, TAB2をスレーブ・タイマにした例について説明します。

タイマ同調動作時に三角波PWM出力モードを使用できるのは, マスタ・タイマ: TAB1, スレーブ・タイマ: TAB2のときのみです。

マスタ・タイマのTAB1CCR0レジスタが三角波PWM出力モードの周期用コンペア・レジスタとなります。

マスタ・タイマのTAB1CCR1, TAB1CCR2, TAB1CCR3, およびスレーブ・タイマ (TAB2) のTAB2CCR0, TAB2CCR1, TAB2CCR2, TAB2CCR3レジスタはデューティ用のコンペア・レジスタとなります。

コンペア・レジスタの動作中の書き換えが可能であり, 書き換え方式は, 一斉書き換え方式です。

マスタ・タイマ (TAB1) のTAB0CCR1レジスタへの書き込みで一斉書き換え許可を行い, マスタ・タイマ (TAB1) のタイマ・カウンタ・アンダフロー割り込み発生 (谷割り込み) タイミングで, すべてのマスタ/スレーブ・コンペア・レジスタの値が書き換わる, または同値書き込みされます。

(a) 谷割り込み (アンダフロー) について

カウンタの谷 (0001H 0000H) で谷側割り込み (アンダフロー) として, マスタ・タイマのオーバフロー割り込み (INTTAB1OV) が発生します。

このとき, マスタ・タイマ (TAB1) のオーバフロー・フラグ (TAB1CTL1.TAB1OVF) および, スレーブ・タイマのオーバフロー割り込み (INTTAB2OV), スレーブ・タイマ (TAB2) のオーバフロー・フラグ (TAB2CTL1.TAB2OVF) は動作せず常にロウ・レベルとなります。

[初期設定]

マスタ・タイマ : TAB1CTL0.TAB1CE = 0 (動作禁止) に設定

スレーブ・タイマ : TAB2CTL0.TAB2CE = 0 (動作禁止) に設定

【マスタ・タイマ (TAB1) の初期設定】

- ・ TAB1CTL1.TAB1MD2-TAB1MD0 = 111 (三角波PWM出力モードに設定)
- ・ TAB1OPT0.TAB1CCS3-TAB1CCS0 = 0000(キャプチャ/コンペア選択ビットをコンペアに設定)
- ・ TAB1CCR0, TAB1CCR1, TAB1CCR2, TAB1CCR3レジスタを設定

【スレーブ・タイマ (TAB2) の初期設定】

- ・ TAB2CTL1.TAB2SYE = 1 (タイマ同調動作に設定)
- ・ TAB2CTL1.TAB2MD2-TAB2MD0 = 101 (フリー・ランニング・タイマ・モードに設定)
- ・ TAB2OPT0.TAB2CCS3-TAB2CCS0 = 0000(キャプチャ/コンペア選択ビットをコンペアに設定)
- ・ TAB2CCR0, TAB2CCR1, TAB2CCR2, TAB2CCR3レジスタを設定

備考 マスタ・タイマ, スレーブ・タイマの初期設定は順不同です。

[カウント・スタート]

<1> マスタ・タイマのTAB1CTL0.TAB1CE = 1に設定。

<2> カウント・スタート

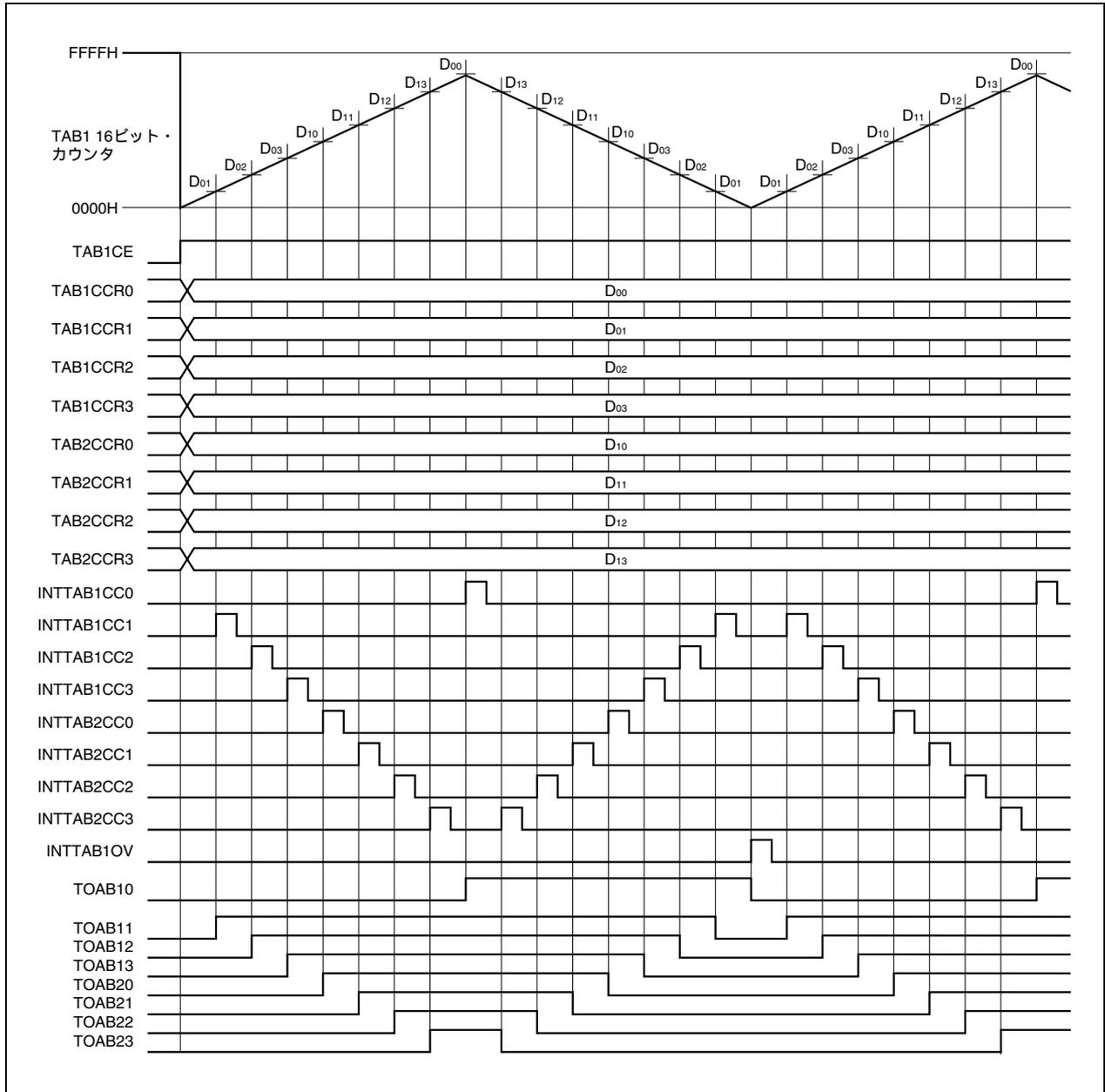
<3> 動作中のレジスタ設定変更

- ・ コンペアの書き換え可能 (一斉書き換え方式)

[終了条件]

- ・ マスタ・タイマのTAB1CTL0.TAB1CE = 0に設定。

図7 - 43 同調三角波PWMモードのタイミング例 (TAB1, TAB2)



7.7 カスケード接続

TAAを2チャンネル接続し、カスケード接続により32ビット・キャプチャ・タイマとして使用する場合の動作について説明します。

カスケード接続は、必ず「フリー・ランニング・タイマ・モード」に設定し、かつすべてのキャプチャ・コンペア・レジスタを「キャプチャ機能 (TAA0CCSn = 1)」に設定する必要があります。

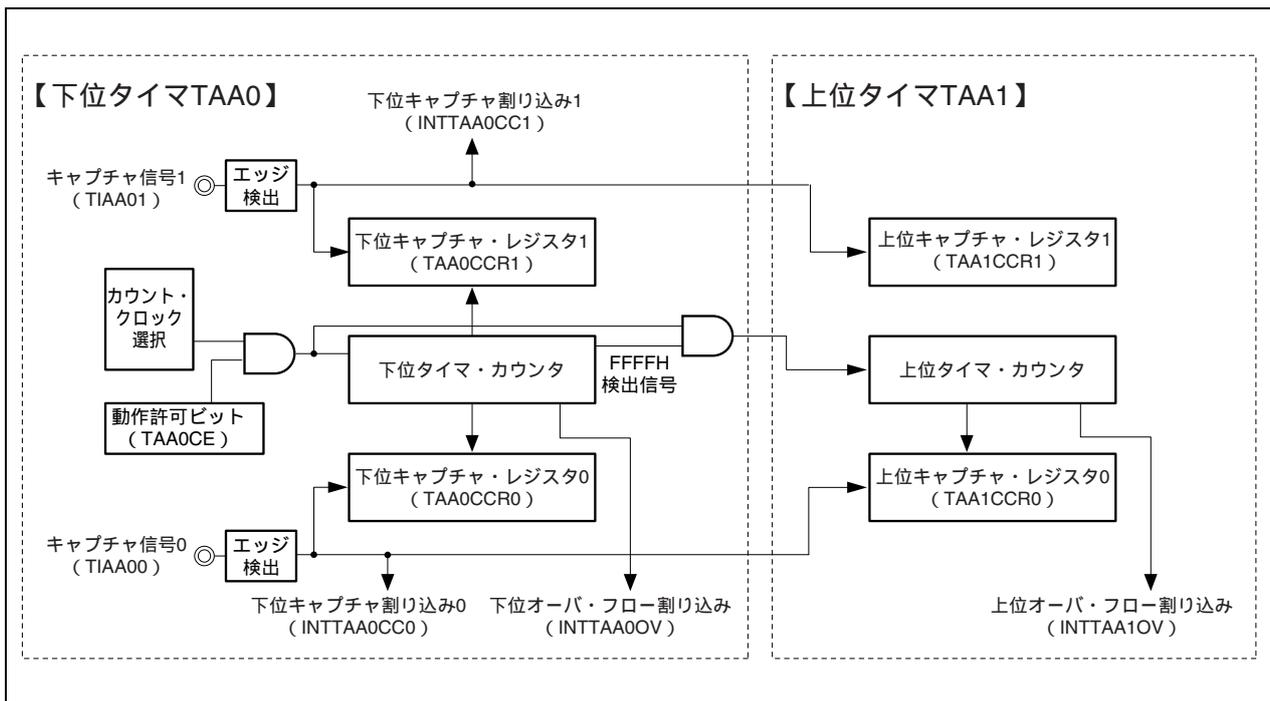
カスケード接続できるTAAの組み合わせを次に示します。

表7-9 TAAのカスケード接続

下位タイマ (マスタ・タイマ)	上位タイマ (スレーブ・タイマ)
TAA0	TAA1
TAA2	TAA3

ここでは、下位タイマ (マスタ・タイマ) にTAA0、上位タイマ (スレーブ・タイマ) にTAA1を使用し、カスケード接続により32ビット・キャプチャ・タイマとして使用する場合の動作を例に説明します。

図7-44 カスケード接続例



カスケード接続した場合の、各端子、信号の動作を次に示します。

表7 - 10 カスケード接続時の状態

名 称	上位/下位	機 能	動作説明
TIAA00端子入力	下位	キャプチャ入力0	有効エッジ検出により下位タイマ・カウンタの値をTAA0CCR0レジスタに、上位タイマ・カウンタの値をTAA1CCR0レジスタに格納します。
TIAA01端子入力	下位	キャプチャ入力1	有効エッジ検出により下位タイマ・カウンタの値をTAA0CCR0レジスタに、上位タイマ・カウンタの値をTAA1CCR0レジスタに格納します。
INTTAA0CCR0割り込み信号	下位	キャプチャ割り込み0	TIAA00端子の有効エッジ検出により割り込み発生
INTTAA0CCR1割り込み信号	下位	キャプチャ割り込み1	TIAA01端子の有効エッジ検出により割り込み発生
INTTAA0OV割り込み信号	下位	オーバフロー割り込み	下位タイマ・カウンタのオーバフロー検出により割り込み発生
TIAA10端子入力	上位	キャプチャ入力0	動作しません。
TIAA11端子入力	上位	キャプチャ入力1	動作しません。
INTTAA1CCR0割り込み信号	上位	キャプチャ割り込み0	動作しません。
INTTAA1CCR1割り込み信号	上位	キャプチャ割り込み1	動作しません。
INTTAA1OV割り込み信号	上位	オーバフロー割り込み	上位タイマ・カウンタのオーバフロー検出により割り込み発生

図7 - 45 カスケード接続時の動作フロー (1/2)

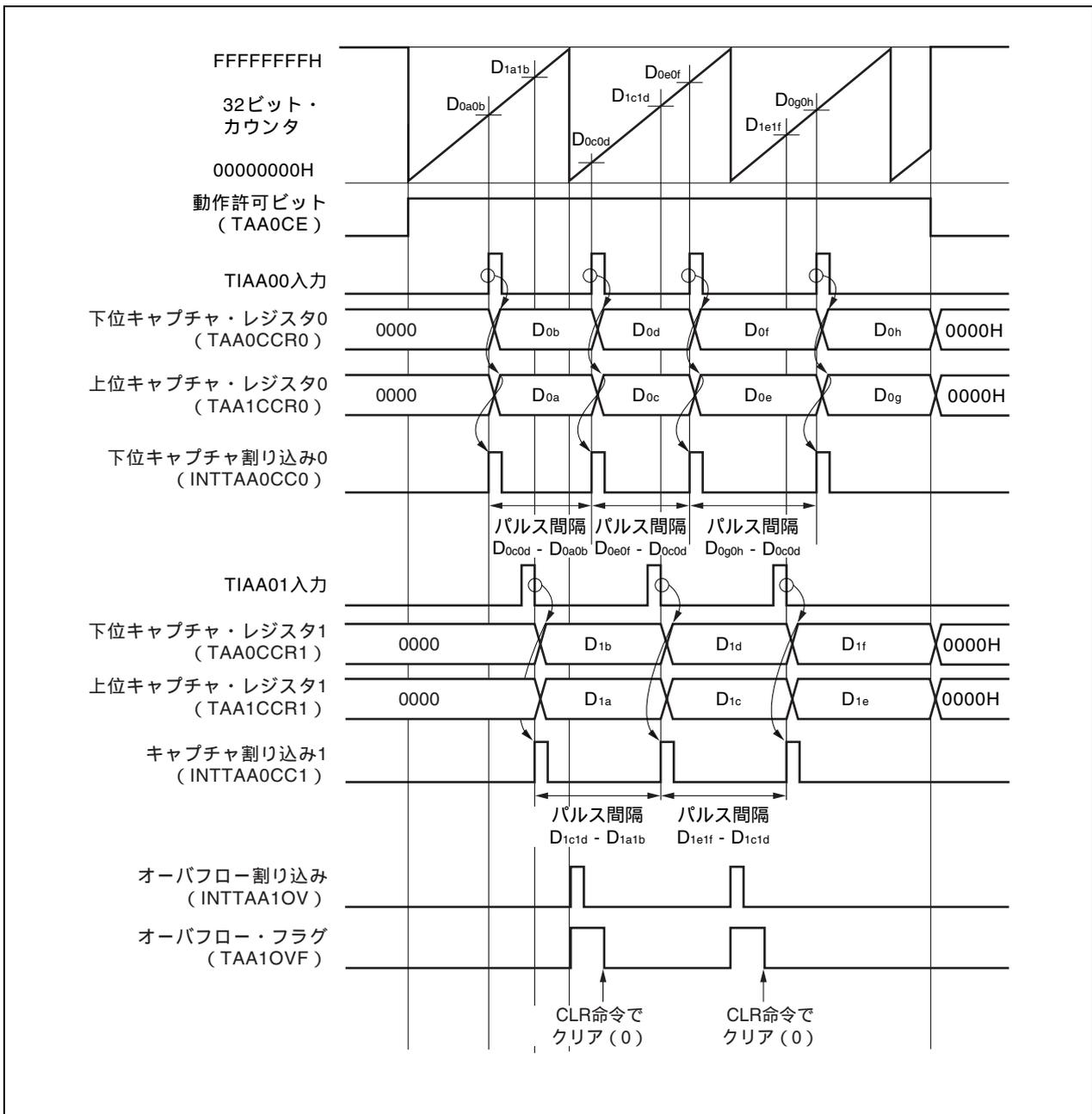


図7 - 45 カスケード接続時の動作フロー (2/2)

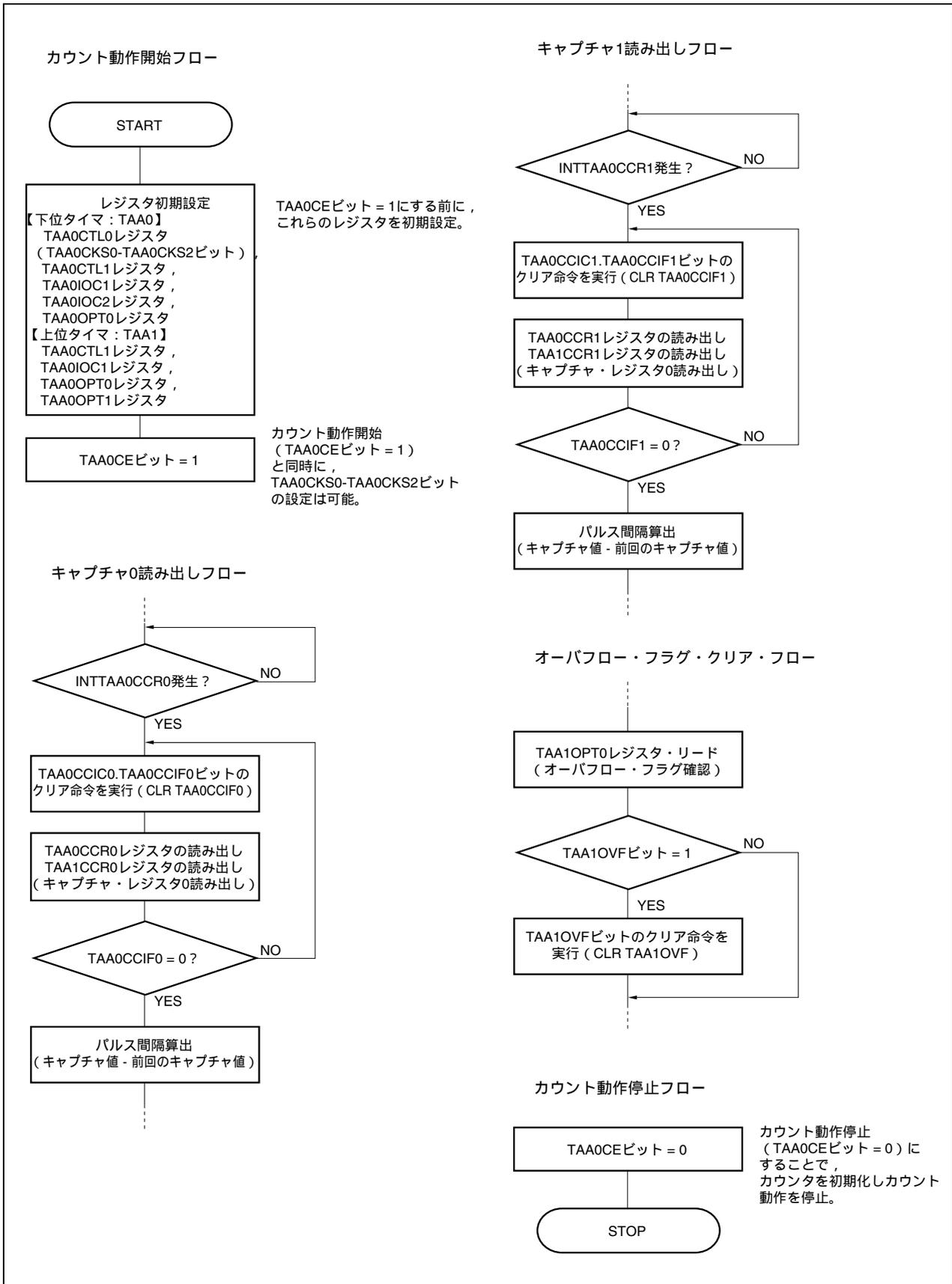
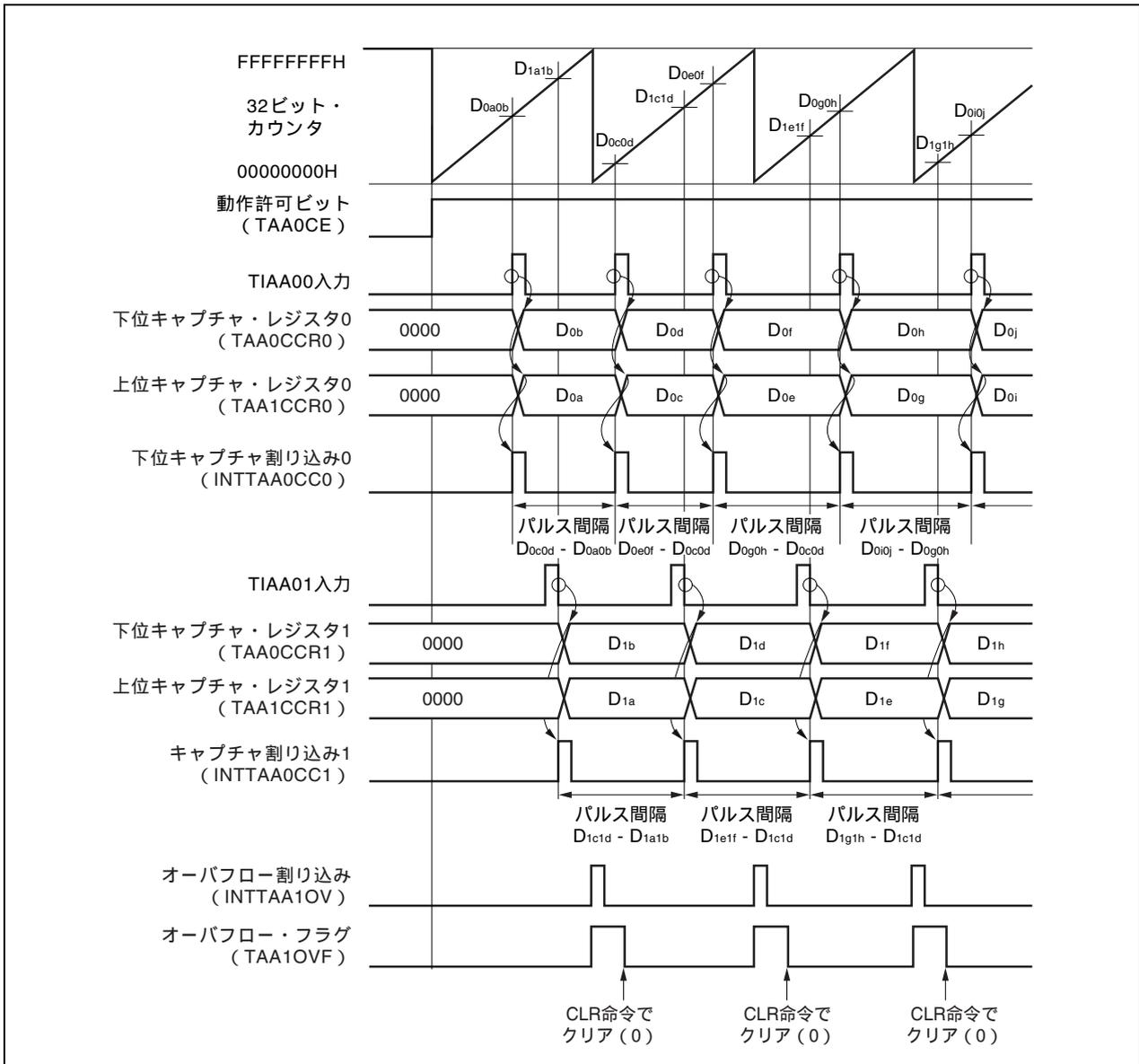


図7 - 46 TAA0とTAA1をカスケード接続した場合の基本タイミング例



TAA0CTL.TAA0CEビットをセット(1)に設定し、カウント・クロックを供給するとカウント動作を開始します。TIAA00端子入力の有効エッジを検出することにより、カウント値をキャプチャ・レジスタ0 (TAA0CCR0, TAA1CCR0) に格納しキャプチャ割り込み0信号 (INTTAA0CC0) を発行します。

タイマ・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFFFFHまでカウントしたあと、次のクロックでオーバーフロー割り込み (INTTAA1OV) の発生し、オーバーフロー・フラグ (TAA1OVF) がセット(1)され、タイマ・カウンタを00000000Hにクリアしカウントアップを続けます。

オーバーフロー・フラグ (TAA1OVF) は、CPUからの“0”書き込み命令にてクリアされます。

フリー・ランニング・タイマ・モードに設定してあるため、TIAA00端子入力の有効エッジ検出では、タイマ・カウンタをクリアできません。

また、TOAA00出力は、TIAA00入力と兼用されているため使用禁止です。

キャプチャ・レジスタ1 (TAA0CCR1, TAA1CCR1) も、同様に動作します。

下位タイマ・カウンタ (TAA0側) がオーバーフローした場合、オーバーフロー割り込み (TAA0OVF) が発生しますが、32ビット・カウンタのオーバーフローとして使用できないので、割り込みをマスクしておくことを推奨します。

7.8 セレクタ機能

V850ES/Hx3ではTAAのキャプチャ・トリガ入力を，ポートの兼用端子と周辺I/O (TAA, TMM, UARTD) 信号とで選択が可能です。

UARTD使用時に，このセレクタ機能によりRXDDn端子からの入力信号を選択すると，UARTDのLIN受信転送レートのポー・レート誤差算出として使用可能です。

(1) セレクタ動作制御レジスタ0 (SELCNT0)

SELCNT0レジスタは，TAA0-TAA3のキャプチャ・トリガを選択する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF308H

	7	6	5	4	3	2	1	0
SELCNT0	0	ISEL06 ^{注1}	ISEL05 ^{注2}	ISEL04	ISEL03	ISEL02	0	0
ISEL06 ^{注1}	TIAA31キャプチャ・トリガ入力信号の選択							
0	TIAA31 (P00兼用) 端子							
1	RXDD3 (P40またはP80兼用) 端子							
ISEL05 ^{注2}	TIAA30キャプチャ・トリガ入力信号の選択							
0	TIAA30 (P01兼用) 端子							
1	RXDD2 (P39兼用) 端子							
ISEL04	TIAA11キャプチャ・トリガ入力信号の選択							
0	TIAA11 (P35兼用) 端子							
1	RXDD1 (P91兼用) 端子							
ISEL03	TIAA10キャプチャ・トリガ入力信号の選択							
0	TIAA10 (P34兼用) 端子							
1	RXDD0 (P31兼用) 端子							
ISEL02	TIAA01キャプチャ・トリガ入力信号の選択							
0	TIAA01 (P33兼用) 端子							
1	TMMのINTTM0EQ0信号 ^{注3}							

注1. μ PD70F3757のみ。

2. V850ES/HG3, V850ES/HJ3のみ

3. INTTM0EQ0割り込み信号をTIAA01入力信号に使用する場合は，次の範囲内で使用してください。

TMM0動作クロック TMAA1動作クロック $\times 4$

注意1. ISEL02-ISEL06の各ビットを“1”に設定する場合は，対応する機能端子をキャプチャ入りに設定してください。

2. ISEL02-ISEL06の各ビットは，対象となるTAA0-TAA3およびUARTD3-UARTD0, TMM0の動作を停止した状態のときに設定してください。

3. ビット7, 1, 0には必ず“0”を設定してください。

(2) セレクタ動作制御レジスタ1 (SELCNT1) (μ PD70F3757のみ)

SELCNT1レジスタは、TAA4のキャプチャ・トリガを選択する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF30AH

	7	6	5	4	3	2	1	0
SELCNT1	0	0	0	0	0	ISEL12	0	0

ISEL12	TIAA41キャプチャ・トリガ入力信号の選択
0	TIAA41 (P03兼用) 端子
1	RXDD5 (P913兼用) 端子

- 注意1. ISEL12を“1”に設定する場合でも、対応するTIAA41機能端子をキャプチャ入力に設定してください。
2. ISEL12ビットは、対象となるTAA4およびUARTD5の動作を停止した状態のときに設定してください。
3. ビット7-3, 1, 0には必ず“0”を設定してください。

(3) セレクタ動作制御レジスタ3 (SELCNT3) (μ PD70F3757のみ)

SELCNT3レジスタは、TAA4のキャプチャ・トリガを選択する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF30EH

	7	6	5	4	3	2	1	0
SELCNT3	0	0	0	0	0	0	0	ISEL30

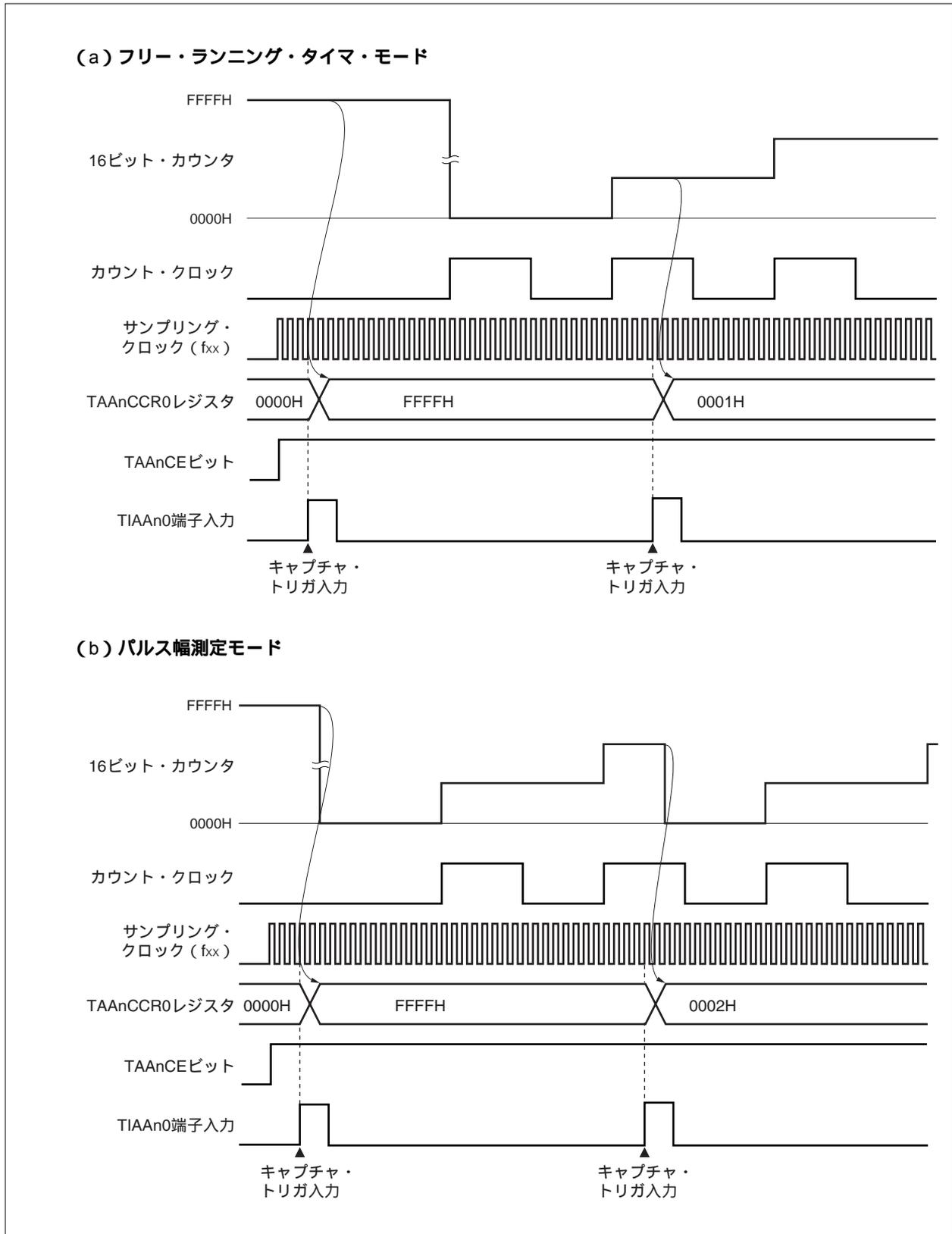
ISEL30	TIAA40キャプチャ・トリガ入力信号の選択
0	TIAA40 (P02兼用) 端子
1	RXDD4 (P914兼用) 端子

- 注意1. ISEL30を“1”に設定する場合でも、対応するTIAA40機能端子をキャプチャ入力に設定してください。
2. ISEL30ビットは、対象となるTAA4およびUARTD4の動作を停止した状態のときに設定してください。
3. ビット7-1には必ず“0”を設定してください。

7.9 注意事項

(1) キャプチャ動作

キャプチャ動作を使用し、かつカウント・クロックとして遅いクロックを選択した場合、TAAAnCEビットをセット(1)したすぐあとに、キャプチャ・トリガが入力されると、TAAAnCCR0, TAAAnCCR1レジスタに0000HではなくFFFFHがキャプチャされる場合があります。



第8章 16ビット・タイマ/イベント・カウンタAB (TAB)

タイマAB (TAB) は、16ビットのタイマ/イベント・カウンタです。

V850ES/Hx3では、各製品により、搭載チャンネル数が異なります。表8 - 1に製品ごとのチャンネル数を示します。

表8 - 1 16ビット・タイマ/イベント・カウンタAB (TAB) のチャンネル数

品 名	V850ES/HE3	V850ES/HF3	V850ES/HG3	V850ES/HJ3
チャンネル数	1チャンネル (TAB0)	1チャンネル (TAB0)	2チャンネル (TAB0, TAB1)	3チャンネル (TAB0-TAB2)

この章では、チャンネル数をnと省略して表記してあります。

8.1 概 要

TABnの概要を次に示します。

- ・クロック選択 : 8通り
- ・キャプチャ・トリガ入力端子 : 4本
- ・外部イベント・カウント入力端子 : 1本
- ・外部トリガ入力端子 : 1本
- ・タイマ・カウンタ : 1本
- ・キャプチャ/コンペア・レジスタ : 4本
- ・キャプチャ/コンペア一致割り込み要求信号 : 4本
- ・タイマ出力端子 : 4本

8.2 機 能

TABnの機能を次に示します。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・外部トリガ・パルス出力
- ・ワンショット・パルス出力
- ・PWM出力
- ・フリー・ランニング・タイマ
- ・パルス幅測定
- ・三角波PWM出力
- ・タイマ同調動作機能

8.3 構成

TABnは、次のハードウェアで構成されています。

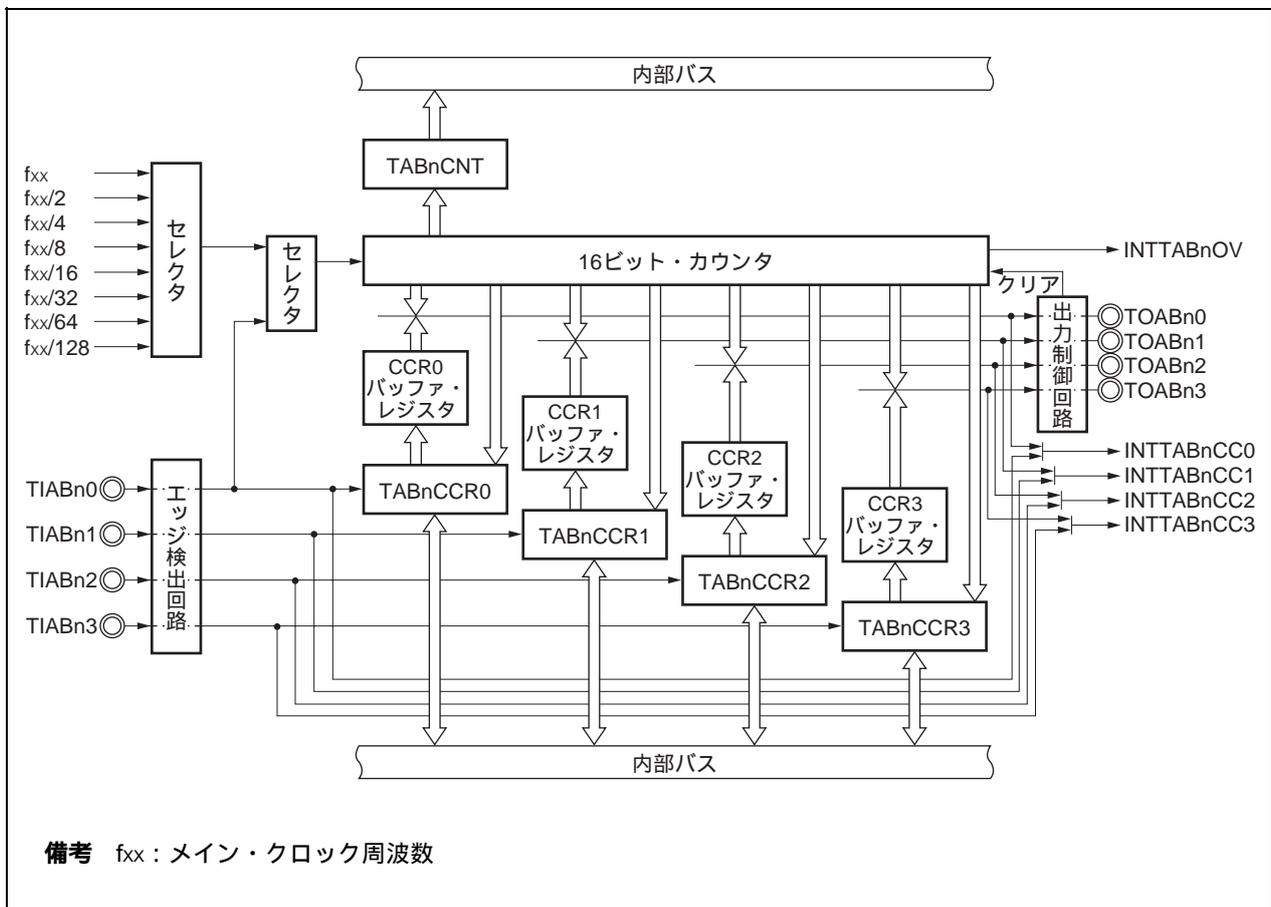
表8-2 TABnの構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TABnキャプチャ/コンペア・レジスタ0-3 (TABnCCR0-TABnCCR3) TABnカウンタ・リード・バッファ・レジスタ (TABnCNT) CCR0-CCR3バッファ・レジスタ
タイマ入力	4本 (TIABn0 ^{注1} -TIABn3端子)
タイマ出力	4本 (TOABn0-TOABn3端子)
制御レジスタ ^{注2}	TABn制御レジスタ0, 1 (TABnCTL0, TABnCTL1) TABnI/O制御レジスタ0-2 (TABnIOC0-TABnIOC2) TABnオプション・レジスタ0 (TABnOPT0)

注1. TIABn0端子には、キャプチャ・トリガ入力信号、外部イベント・カウント入力信号、外部トリガ入力信号が兼用されています。

2. TIABn0-TIABn3, TOABn0-TOABn3端子の機能を使用する場合は、表4-25 ポート端子を兼用端子として使用する場合のレジスタ設定を参照してください。

図8-1 TABnのブロック図



(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TABnCNTレジスタでリードできます。

TABnCTL0.TABnCEビット = 0のとき、16ビット・カウンタはFFFFHになります。このときTABnCNTレジスタをリードすると、0000Hがリードされます。

リセットによりTABnCEビット = 0になるため、16ビット・カウンタはFFFFHになります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TABnCCR0レジスタをコンペア・レジスタとして使用するとき、TABnCCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTABnCC0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセットによりTABnCCR0レジスタが0000Hになるため、CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TABnCCR1レジスタをコンペア・レジスタとして使用するとき、TABnCCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTABnCC1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセットによりTABnCCR1レジスタが0000Hになるため、CCR1バッファ・レジスタも0000Hになります。

(4) CCR2バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TABnCCR2レジスタをコンペア・レジスタとして使用するとき、TABnCCR2レジスタにライトした値がCCR2バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR2バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTABnCC2) を発生します。

CCR2バッファ・レジスタは、直接リード/ライトできません。

リセットによりTABnCCR2レジスタが0000Hになるため、CCR2バッファ・レジスタも0000Hになります。

(5) CCR3バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TABnCCR3レジスタをコンペア・レジスタとして使用するとき、TABnCCR3レジスタにライトした値がCCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR3バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTABnCC3) を発生します。

CCR3バッファ・レジスタは、直接リード/ライトできません。

リセットによりTABnCCR3レジスタが0000Hになるため、CCR3バッファ・レジスタも0000Hになります。

(6) エッジ検出回路

TIABn0-TIABn3端子に入力される有効エッジを検出します。有効エッジは、TABnIOC1、TABnIOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

(7) 出力制御回路

TOABn0-TOABn3端子の出力を制御します。TOABn0-TOABn3端子の出力は、TABnIOC0レジスタで制御します。

(8) セレクタ

16ビット・カウンタのカウンタ・クロックを選択します。カウンタ・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

8.4 レジスタ

TABnを制御するレジスタを次に示します。

- ・TABn制御レジスタ0 (TABnCTL0)
- ・TABn制御レジスタ1 (TABnCTL1)
- ・TABnI/O制御レジスタ0 (TABnIOC0)
- ・TABnI/O制御レジスタ1 (TABnIOC1)
- ・TABnI/O制御レジスタ2 (TABnIOC2)
- ・TABnオプション・レジスタ0 (TABnOPT0)
- ・TABnキャプチャ/コンペア・レジスタ0 (TABnCCR0)
- ・TABnキャプチャ/コンペア・レジスタ1 (TABnCCR1)
- ・TABnキャプチャ/コンペア・レジスタ2 (TABnCCR2)
- ・TABnキャプチャ/コンペア・レジスタ3 (TABnCCR3)
- ・TABnカウンタ・リード・バッファ・レジスタ (TABnCNT)

備考 TIABn0-TIABn3, TOABn0-TOABn3端子の機能を使用する場合は、表4 - 25 **ポート端子を兼用端子として使用する場合のレジスタ設定を参照してください。**

(1) TABn制御レジスタ0 (TABnCTL0)

TABnCTL0レジスタは、TABnの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TABnCTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：TAB0CTL0 FFFFF540H, TAB1CTL0 FFFFF610H,
TAB2CTL0 FFFFF620H

	7	6	5	4	3	2	1	0
TABnCTL0	TABnCE	0	0	0	0	TABnCKS2	TABnCKS1	TABnCKS0

TABnCE	TABnの動作の制御
0	TABn動作禁止 (TABnを非同期にリセット ^注)
1	TABn動作許可。TABn動作開始

TABnCKS2	TABnCKS1	TABnCKS0	内部カウント・クロックの選択
0	0	0	fxx
0	0	1	fxx/2
0	1	0	fxx/4
0	1	1	fxx/8
1	0	0	fxx/16
1	0	1	fxx/32
1	1	0	fxx/64
1	1	1	fxx/128

注 TABnOPT0.TABnOVFビット,16ビット・カウンタ,タイマ出力(TOABn0-TOABn3端子)。

注意1. TABnCKS2-TABnCKS0ビットは、TABnCEビット = 0のときに設定してください。TABnCEビットを“0”から“1”に設定するときに、同時にTABnCKS2-TABnCKS0ビットを設定できます。

2. ビット3-6には必ず“0”を設定してください。

備考 fxx：メイン・クロック周波数

(2) TABn制御レジスタ1 (TABnCTL1)

TABnCTL1レジスタは、TABnの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：TAB0CTL1: FFFFF541H, TAB1CTL1: FFFFF611H,
TAB2CTL1: FFFFF621H

	7	6	5	4	3	2	1	0
TABnCTL1	TABnSYE	TABnEST	TABnEEE	0	0	TABnMD2	TABnMD1	TABnMD0

TABnSYE	同調動作モード許可制御				
0	独立動作モード (アシンクロナス動作モード)				
1	同調動作モード (スレーブ動作の指定) マスタとなるタイマに同期して動作させることができます。 <table border="1" style="margin-left: 20px;"> <tr> <td>マスタ・タイマ</td> <td>スレーブ・タイマ</td> </tr> <tr> <td>TAB1</td> <td>TAB2</td> </tr> </table> <p>同調動作モードについては7.6 タイマ同調動作機能を参照してください。</p> <p>注意 TAB0SYEビット, TAB1SYEビットには必ず“0”を設定してください。</p>	マスタ・タイマ	スレーブ・タイマ	TAB1	TAB2
マスタ・タイマ	スレーブ・タイマ				
TAB1	TAB2				

TABnEST	ソフトウェア・トリガ制御
0	-
1	外部トリガ入力への有効な信号を作成 <ul style="list-style-type: none"> ・ワンショット・パルス出力モード時：TABnESTビットへの“1”ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時：TABnESTビットへの“1”ライトをトリガとして、PWM波形を出力

注意1. TABnESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。

2. ビット3, 4は必ず“0”を設定してください。

TABnEEE	カウント・クロックの選択
0	外部イベント・カウント入力での動作禁止 (TABnCTL0.TABnCK0-TABnCK2ビットによって選択されたカウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力での動作許可 (外部イベント・カウント入力信号の有効エッジごとにカウント動作を行う)

TABnEEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。

TABnMD2	TABnMD1	TABnMD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード
1	1	1	三角波PWMモード

- 注意1.** 外部イベント・カウント・モードのときは、TABnEEEビットの値にかかわらず外部イベント・カウント入力を選択されます。
- 2.** TABnEEE, TABnMD2-TABnMD0ビットは、TABnCTL0.TABnCEビット = 0のときに設定してください (TABnCEビット = 1のときの同値書き込みは可能)。TABnCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TABnCEビットをクリア (0) してから再設定してください。

(3) TABnI/O制御レジスタ0 (TABnIOC0)

TABnIOC0レジスタは、タイマ出力 (TOABn0-TOABn3端子) を制御する8ビット・レジスタです。
8/1ビット単位でリード/ライト可能です。
リセットにより00Hになります。

リセット時：00H R/W アドレス：TAB0IOC0 FFFFF542H, TAB1IOC0 FFFFF612H,
TAB2IOC0 FFFFF622H

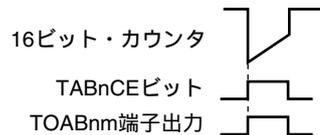
	7	6	5	4	3	2	1	0
TABnIOC0	TABnOL3	TABnOE3	TABnOL2	TABnOE2	TABnOL1	TABnOE1	TABnOL0	TABnOE0

TABnOLm	TOABnm端子出力レベルの設定 (m = 0-3) 注
0	TOABnm端子ハイ・レベル・スタート
1	TOABnm端子ロウ・レベル・スタート

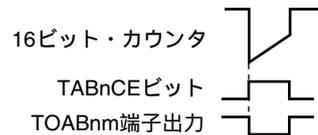
TABnOEm	TOABnm端子出力の設定 (m = 0-3)
0	タイマ出力禁止 ・TABnOLmビット = 0のときTOABnm端子からロウ・レベルを出力 ・TABnOLmビット = 1のときTOABnm端子からハイ・レベルを出力
1	タイマ出力許可 (TOABnm端子から方形波を出力)

注 TABnOLmビットの指定によるタイマ出力端子 (TOABnm) の出力レベルを次に示します。

・TABnOLmビット = 0の場合



・TABnOLmビット = 1の場合



注意1. TABnOLm, TABnOEmビットは、TABnCTL0.TABnCEビット = 0のときに書き換えてください (TABnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TABnCEビットをクリア (0) してから再設定してください。

2. TABnCEビット= 0, TABnOEmビット= 0の状態において、TABnOLmビットを操作した場合でも、TOABnm端子の出力レベルは変化しません。

備考 m = 0-3

(4) TABnI/O制御レジスタ1 (TABnIOC1)

TABnIOC1レジスタは、キャプチャ・トリガ入力信号 (TIABn0-TIABn3端子) に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TAB0IOC1 FFFFF543H, TAB1IOC1 FFFFF613H,
TAB2IOC1 FFFFF623H

	7	6	5	4	3	2	1	0
TABnIOC1	TABnIS7	TABnIS6	TABnIS5	TABnIS4	TABnIS3	TABnIS2	TABnIS1	TABnIS0

TABnIS7	TABnIS6	キャプチャ・トリガ入力信号 (TIABn3端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TABnIS5	TABnIS4	キャプチャ・トリガ入力信号 (TIABn2端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TABnIS3	TABnIS2	キャプチャ・トリガ入力信号 (TIABn1端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TABnIS1	TABnIS0	キャプチャ・トリガ入力信号 (TIABn0端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TABnIS7-TABnIS0ビットは、TABnCTL0.TABnCEビット= 0のときに書き換えてください (TABnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TABnCEビットをクリア (0) してから再設定してください。
- 2.** TABnIS7-TABnIS0ビットは、フリー・ランニング・タイマ・モードと、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。

(5) TABnI/O制御レジスタ2 (TABnIOC2)

TABnIOC2レジスタは、外部イベント・カウント入力信号 (TIABn0端子)、外部トリガ入力信号 (TIABn0端子) に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TAB0IOC2 FFFFF544H, TAB1IOC2 FFFFF614H,
TAB2IOC2 FFFFF624H

	7	6	5	4	3	2	1	0
TABnIOC2	0	0	0	0	TABnEES1	TABnEES0	TABnETS1	TABnETS0

TABnEES1	TABnEES0	外部イベント・カウント入力信号 (TIABn0端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TABnETS1	TABnETS0	外部トリガ入力信号 (TIABn0端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1. TABnEES1, TABnEES0, TABnETS1, TABnETS0 ビットは、TABnCTL0.TABnCEビット = 0のときに書き換えてください (TABnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TABnCEビットをクリア (0) してから再設定してください。
2. TABnEES1, TABnEES0ビットは、TABnCTL1.TABnEEEビット = 1、または外部イベント・カウント・モード (TABnCTL1.TABnMD2-TABnMD0ビット = 001) に設定したときのみ有効です。
3. TABnETS1, TABnETS0ビットは、外部トリガ・パルス出力モード (TABnCTL1.TABnMD2-TABnMD0ビット = 010)、ワンショット・パルス出力モード (TABnCTL1.TABnMD2-TABnMD0ビット = 011) に設定したときのみ有効です。

(6) TABnオプション・レジスタ0 (TABnOPT0)

TABnOPT0レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TAB0OPT0 FFFFF545H, TAB1OPT0 FFFFF615H, TAB2OPT0 FFFFF625H

	7	6	5	4	3	2	1	0
TABnOPT0 (n = 0-2)	TABnCCS3	TABnCCS2	TABnCCS1	TABnCCS0	0	TAB0CMS ^注	TAB0CUF ^注	TABnOVF

TABnCCSm	TABnCCRmレジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択
TABnCCSmビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TABnOVF	TABnのオーバフロー検出
セット(1)	オーバフロー発生
リセット(0)	TABnOVFビットへの0ライトまたはTABnCTL0.TABnCEビット = 0
<ul style="list-style-type: none"> ・TABnOVFビットは、カウントフリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタのカウント値がFFFFHから0000Hにオーバフローするときセット(1)されます。 ・TABnOVFビットがセット(1)されると同時に、割り込み要求信号(INTTABnOV)が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTABnOV信号は発生しません。 ・TABnOVFビット = 1のときにTABnOVFビットまたはTABnOPT0レジスタをリードしてもTABnOVFビットはクリアされません。 ・TABnOVFビットはリード/ライト可能ですが、ソフトウェアでTABnOVFビットをセット(1)することはできません。“1”をライトしてもTABnの動作に影響はありません。 	

注 TAB0CMSビット, TAB0CUFビットはモータ制御機能で使用します。詳細は第10章 モータ制御機能を参照してください。

- 注意1.** TABnCCS3-TABnCCS0ビットは、TABnCTL0.TABnCEビット = 0のときに書き換えてください(TABnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TABnCEビットをクリア(0)してから再設定してください。
- 2.** ビット3には必ず“0”を設定してください。モータ制御機能を使用しない場合はビット1, 2も必ず0にしてください。

備考 m = 0-3

(7) TABnキャプチャ/コンペア・レジスタ0 (TABnCCR0)

TABnCCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TABnCCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TABnOPT0.TABnCCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TABnCCR0レジスタは、動作中のリード/ライトを許可します。

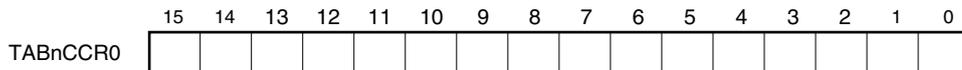
16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TABnCCR0レジスタへのアクセスは禁止です。詳細は3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時：0000H R/W アドレス：TAB0CCR0 FFFFF546H, TAB1CCR0 FFFFF616H,
TAB2CCR0 FFFFF626H



(a) コンペア・レジスタとしての機能

TABnCCR0レジスタは、TABnCTL0.TABnCEビット = 1のときでも書き換えできます。

TABnCCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTABnCC0) を発生し、TOABn0端子出力を許可している場合、TOABn0端子出力を反転します。

インターバル・タイマ・モード、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モード、三角波PWMモードにおいて、TABnCCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TABnCCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIABn0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTABnCCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIABn0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTABnCCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTABnCCR0レジスタのリードが競合しても、TABnCCR0レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8 - 3 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-
三角波PWMモード	コンペア・レジスタ	一斉書き込み

(8) TABnキャプチャ/コンペア・レジスタ1 (TABnCCR1)

TABnCCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TABnCCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TABnOPT0.TABnCCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TABnCCR1レジスタは、動作中のリード/ライトを許可します。

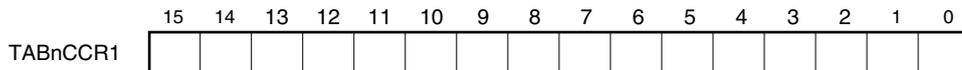
16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TABnCCR1レジスタへのアクセスは禁止です。詳細は3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時：0000H R/W アドレス：TAB0CCR1 FFFFF548H, TAB1CCR1 FFFFF618H,
TAB2CCR1 FFFFF628H



(a) コンペア・レジスタとしての機能

TABnCCR1レジスタは、TABnCTL0.TABnCEビット = 1のときでも書き換えできます。

TABnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTABnCC1) を発生し、TOABn1端子出力を許可している場合、TOABn1端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TABnCCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIABn1端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABnCCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIABn1端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABnCCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTABnCCR1レジスタのリードが競合しても、TABnCCR1レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8 - 4 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-
三角波PWMモード	コンペア・レジスタ	一斉書き込み

(9) TABnキャプチャ/コンペア・レジスタ2 (TABnCCR2)

TABnCCR2レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TABnCCR2レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TABnOPT0.TABnCCS2ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

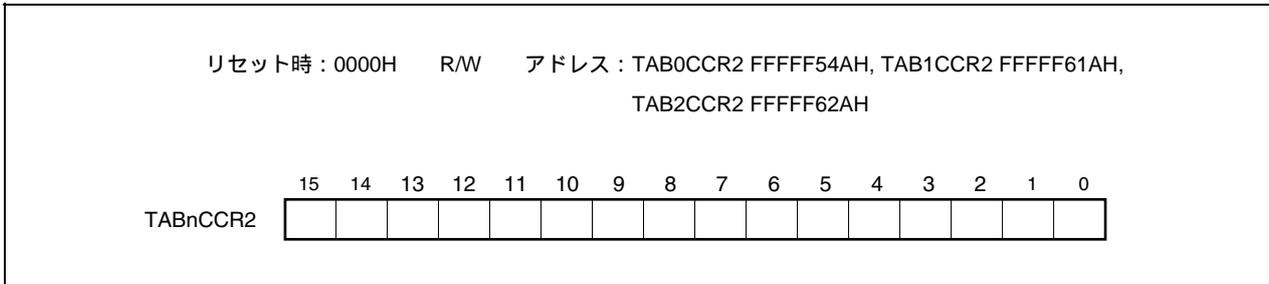
TABnCCR2レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TABnCCR2レジスタへのアクセスは禁止です。詳細は3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合



(a) コンペア・レジスタとしての機能

TABnCCR2レジスタは、TABnCTL0.TABnCEビット = 1のときでも書き換えできます。

TABnCCR2レジスタの設定値はCCR2バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR2バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTABnCC2) を発生し、TOABn2端子出力を許可している場合、TOABn2端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TABnCCR2レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIABn2端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABnCCR2レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIABn2端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABnCCR2レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTABnCCR2レジスタのリードが競合しても、TABnCCR2レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8 - 5 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-
三角波PWMモード	コンペア・レジスタ	一斉書き込み

(10) TABnキャプチャ/コンペア・レジスタ3 (TABnCCR3)

TABnCCR3レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TABnCCR3レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TABnOPT0.TABnCCS3ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TABnCCR3レジスタは、動作中のリード/ライトを許可します。

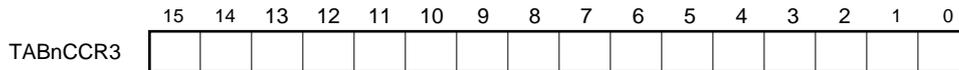
16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TABnCCR3レジスタへのアクセスは禁止です。詳細は3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時：0000H R/W アドレス：TAB0CCR3 FFFFF54CH, TAB1CCR3 FFFFF61CH,
TAB2CCR3 FFFFF62CH



(a) コンペア・レジスタとしての機能

TABnCCR3レジスタは、TABnCTL0.TABnCEビット = 1のときでも書き換えできます。

TABnCCR3レジスタの設定値はCCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR3バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTABnCC3) を発生し、TOABn3端子出力を許可している場合、TOABn3端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TABnCCR3レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIABn3端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABnCCR3レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIABn3端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTABnCCR3レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTABnCCR3レジスタのリードが競合しても、TABnCCR3レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8 - 6 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-
三角波PWMモード	コンペア・レジスタ	一斉書き込み

(11) TABnカウンタ・リード・バッファ・レジスタ (TABnCNT)

TABnCNTレジスタは、16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

TABnCTL0.TABnCEビット = 1のときにTABnCNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。

16ビット単位でリードのみ可能です。

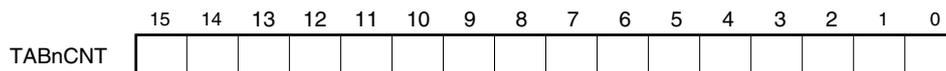
TABnCEビット = 0のとき、TABnCNTレジスタは0000Hになります。このときにTABnCNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) をリードせず、そのまま0000Hをリードします。

リセットによりTABnCEビット = 0になるため、TABnCNTレジスタは0000Hになります。

注意 次に示す状態において、TABnCNTレジスタへのアクセスは禁止です。詳細は3. 4. 8 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時：0000H R/W アドレス：TAB0CNT FFFFF54EH, TAB1CNT FFFFF61EH,
TAB2CNT FFFFF62EH



8.5 動作

TABnには次のような動作があります。

動作	TABnCTL1.TABnESTビット (ソフトウェア・トリガ・ビット)	TIABn0端子 (外部トリガ入力)	キャプチャ/コンペア・レジスタの設定	コンペア・レジスタの書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード ^{注1}	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード ^{注2}	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード ^{注2}	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード ^{注2}	無効	無効	キャプチャ専用	対象外
三角波PWMモード	無効	無効	コンペア専用	一斉書き込み

注1. 外部イベント・カウント・モードを使用する場合、TIABn0端子のキャプチャ・トリガ入力の有効エッジの設定を、エッジを検出しない (TABnIOC1.TABnIS1, TABnIS0ビットを“00”) に設定してください。

2. 外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択 (TABnCTL1.TABnEEEビット = 0に設定) してください。

8.5.1 インターバル・タイマ・モード (TABnMD2-TABnMD0ビット = 000)

インターバル・タイマ・モードは、TABnCTL0.TABnCEビットをセット(1)することで、任意のインターバル間隔にて割り込み要求信号 (INTTABnCC0) を発生します。また、TOABn0端子から、インターバル間隔を半周期とする方形波を出力できます。

インターバル・タイマ・モードでは、通常、TABnCCR1-TABnCCR3レジスタを使用しません。

図8-2 インターバル・タイマの構成図

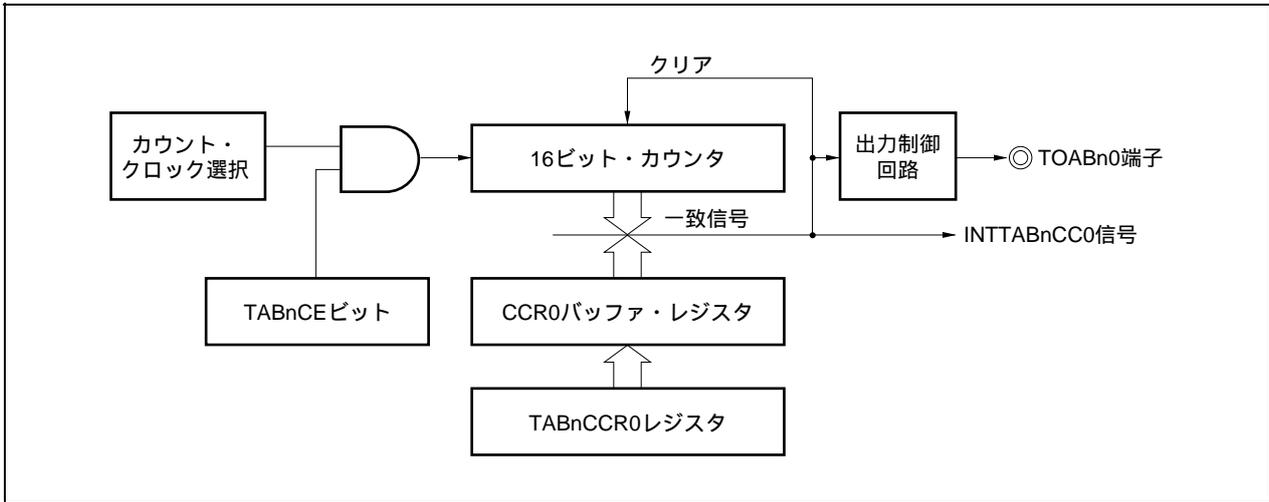
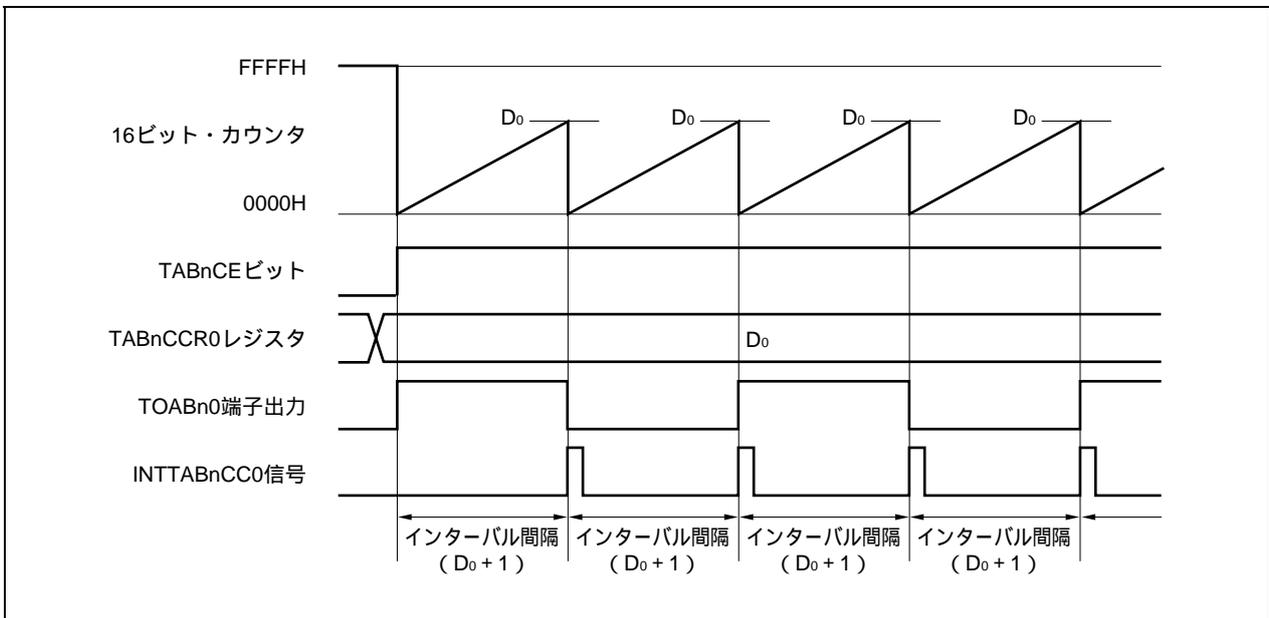


図8-3 インターバル・タイマ・モード動作の基本タイミング



TABnCEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOABn0端子出力を反転します。また、TABnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOABn0端子出力を反転させて、コンペア一致割り込み要求信号 (INTTABnCC0) を発生します。インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TABnCCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

図8-4 インターバル・タイマ・モード動作時のレジスタ設定内容(1/2)

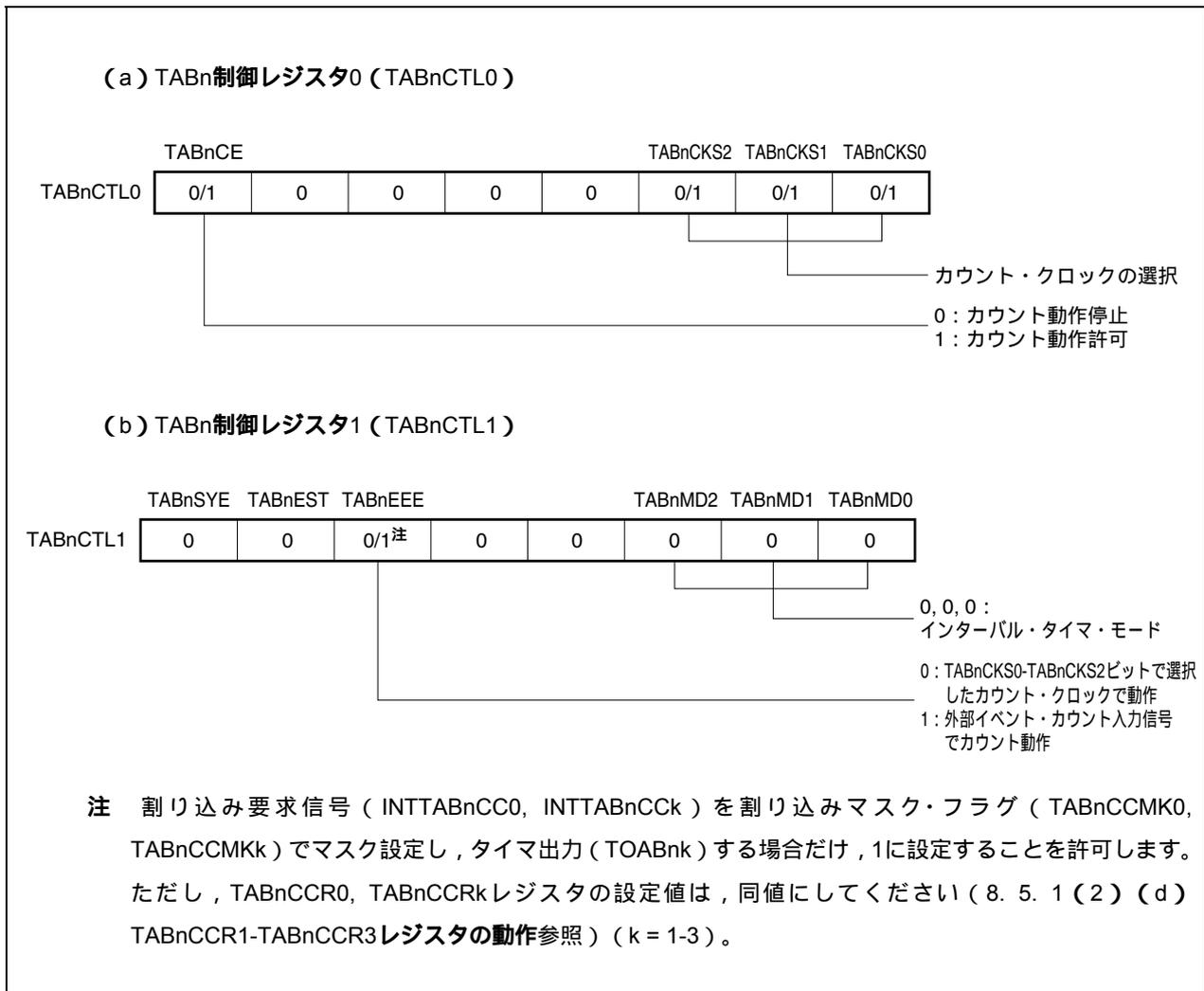
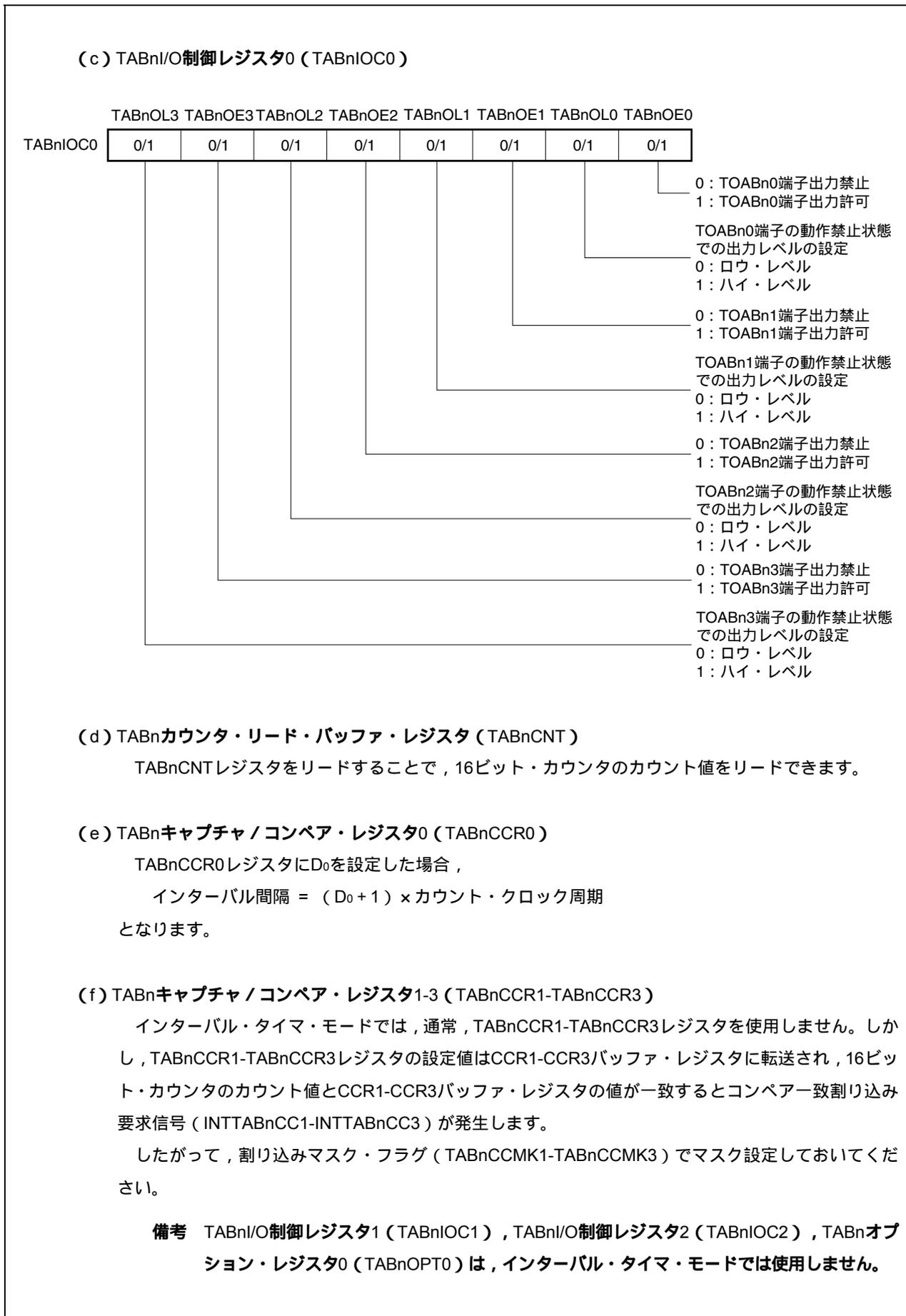
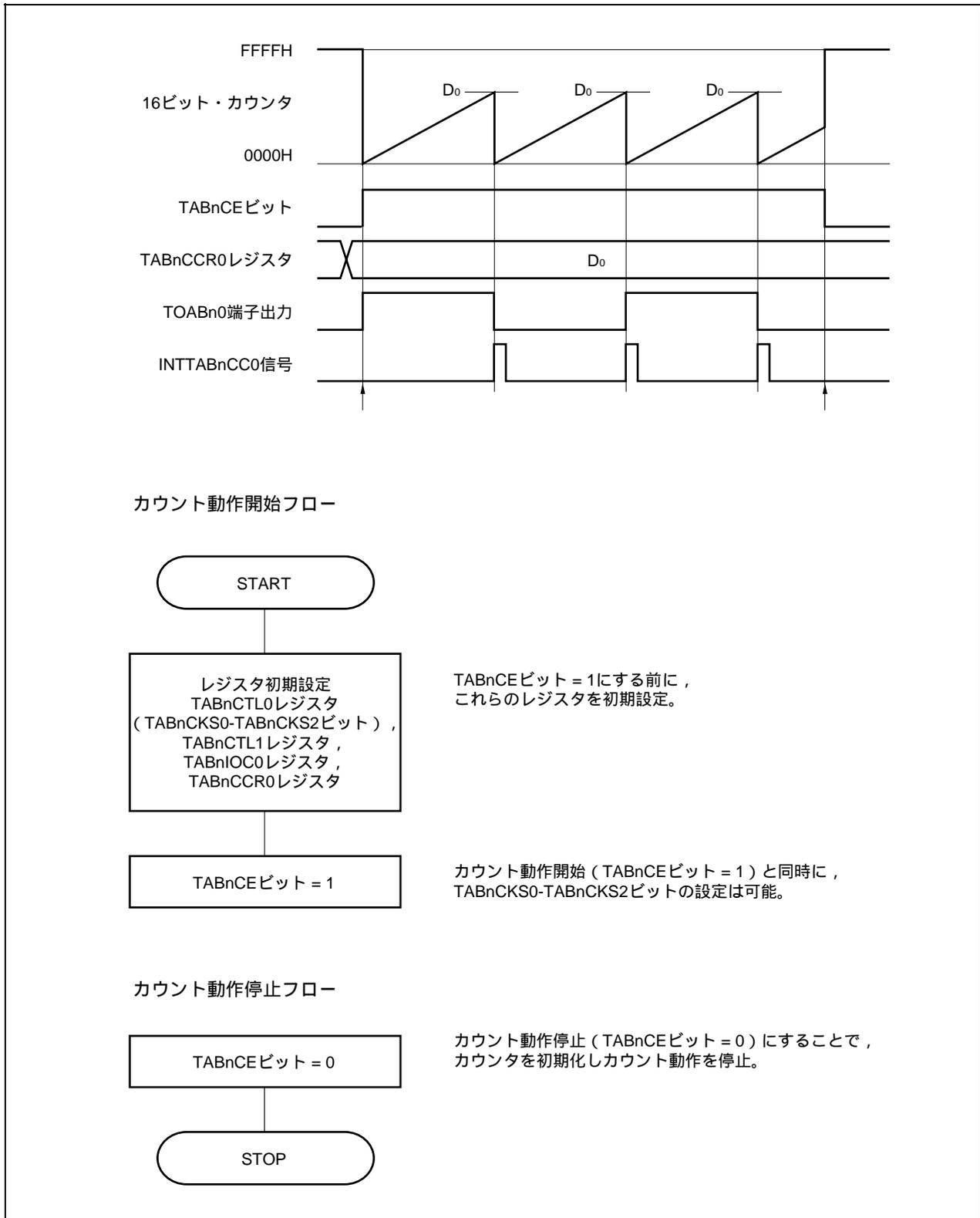


図8 - 4 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/2)



(1) インターバル・タイマ・モード動作フロー

図8 - 5 インターバル・タイマ・モード使用時のソフトウェア処理フロー

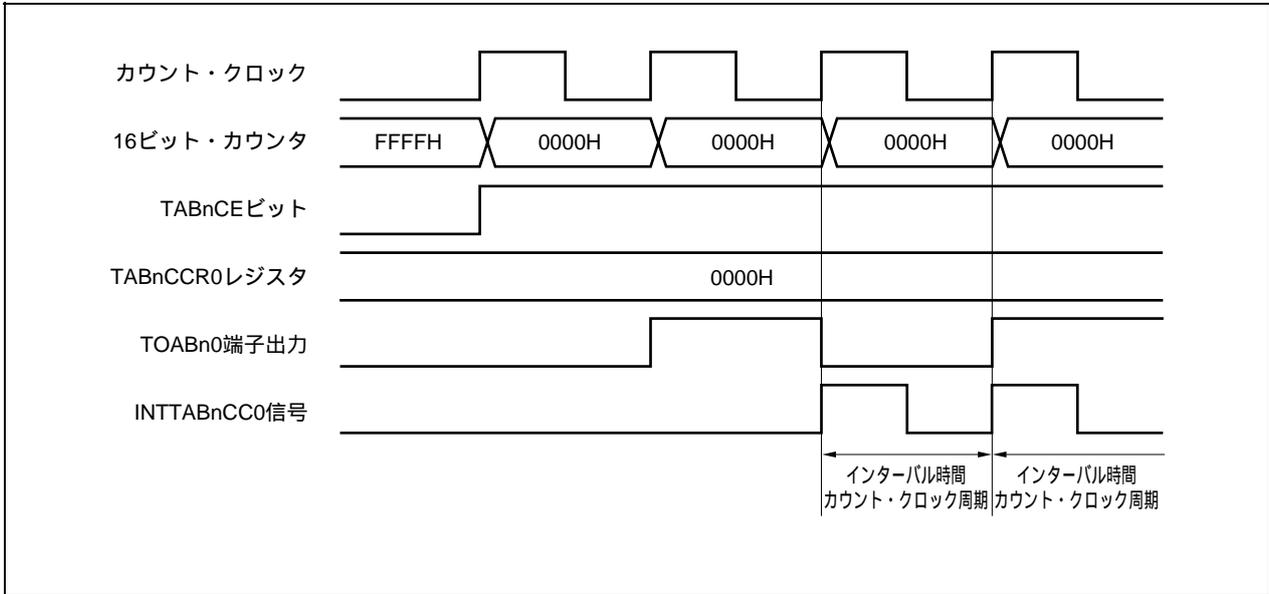


(2) インターバル・タイマ・モード動作タイミング

(a) TABnCCR0レジスタに0000Hを設定した場合の動作

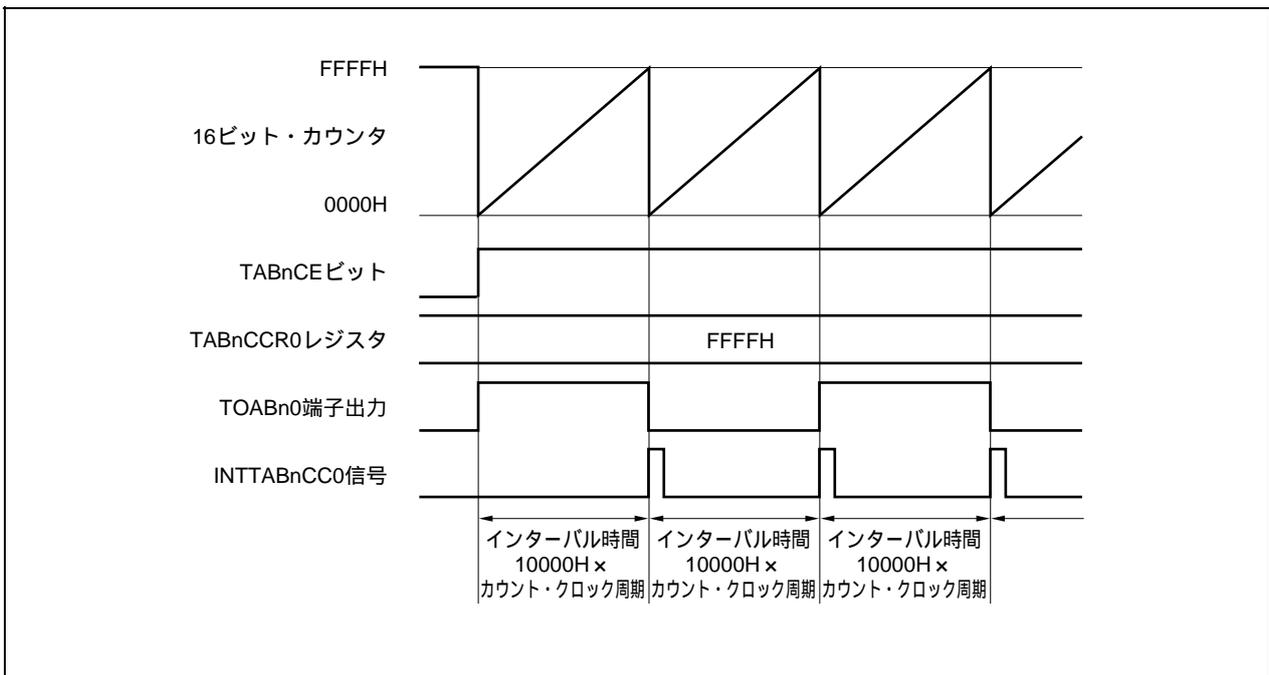
TABnCCR0レジスタに0000Hを設定した場合、2クロック目以降のカウンタ・クロックごとに INTTABnCC0信号を発生し、TOABn0端子の出力を反転します。

16ビット・カウンタは、常に0000Hとなります。



(b) TABnCCR0レジスタにFFFFHを設定した場合の動作

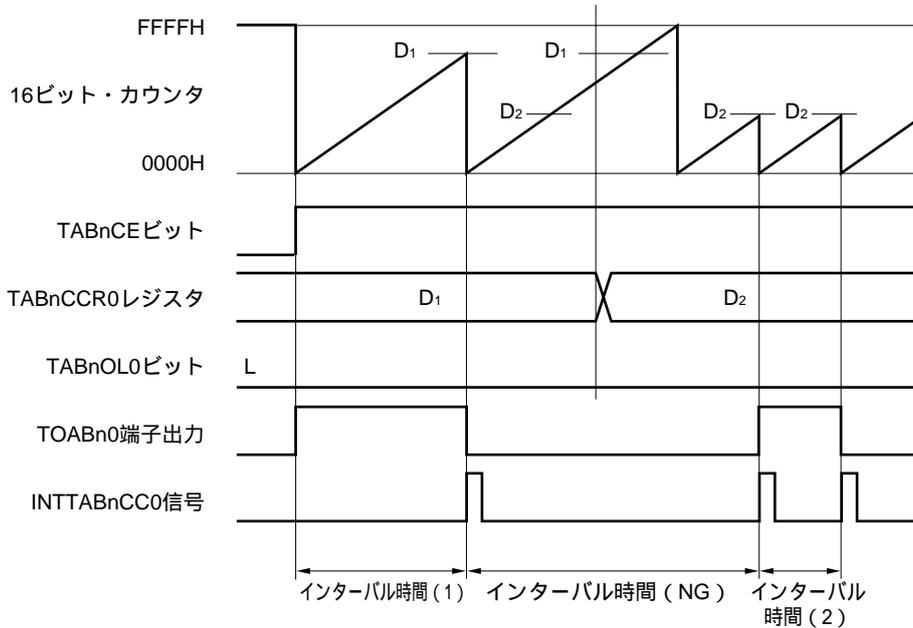
TABnCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウンタ・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTABnCC0信号を発生し、TOABn0端子の出力を反転します。このとき、オーバーフロー割り込み要求信号 (INTTABnOV) は発生せず、オーバーフロー・フラグ (TABnOPT0.TABnOVFビット) もセット (1) されません。



(c) TABnCCR0レジスタの書き換えに関する注意事項

TABnCCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTABnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。



備考 インターバル時間 (1) : $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$
 インターバル時間 (NG) : $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$
 インターバル時間 (2) : $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$

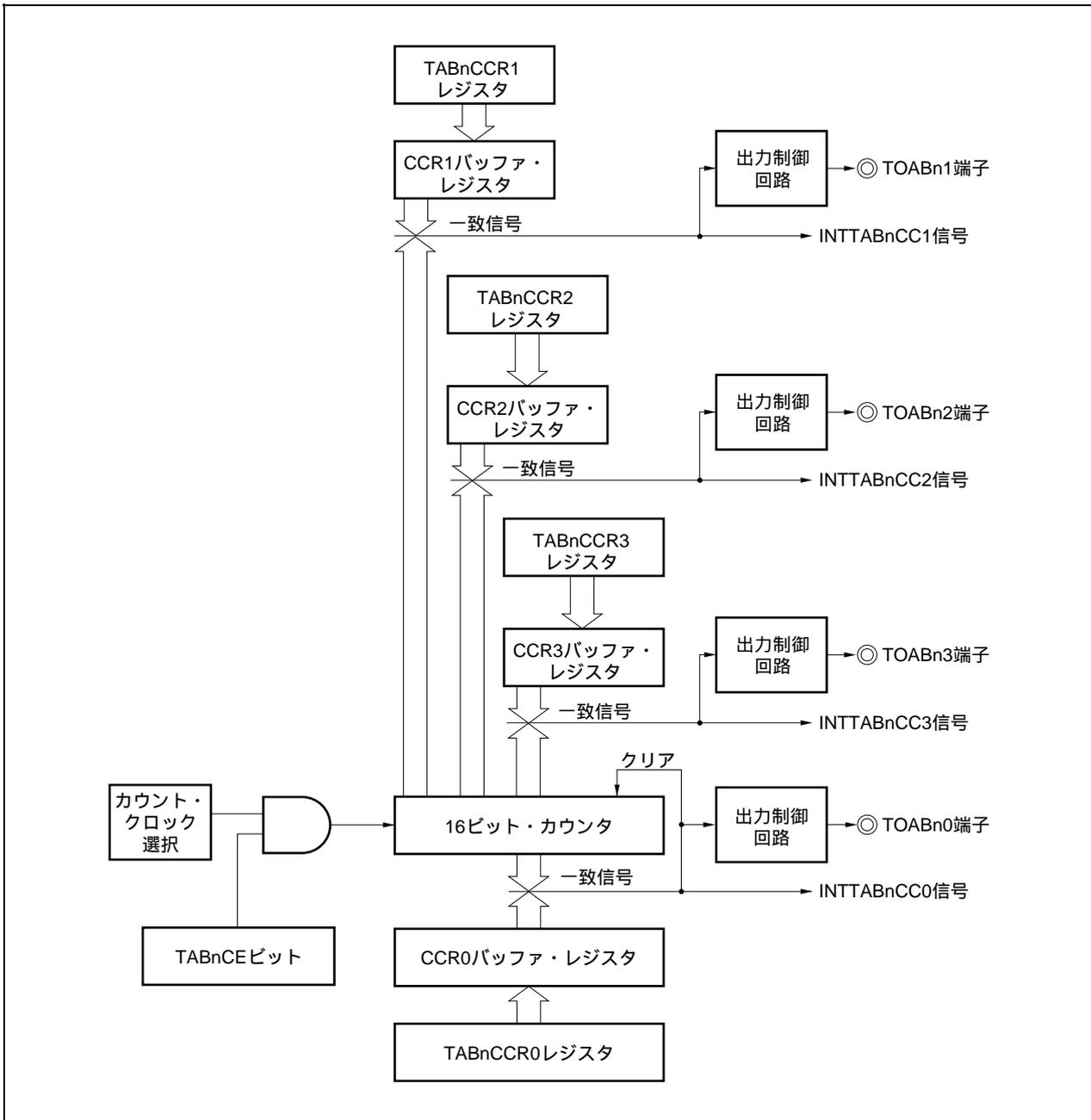
カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TABnCCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTABnCC0信号を発生しTOABn0端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」でINTTABnCC0信号は発生せずに、「 $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」の間隔でINTTABnCC0信号が発生する場合があります。

(d) TABnCCR1-TABnCCR3レジスタの動作

図8 - 6 TABnCCR1-TABnCCR3レジスタの構成図

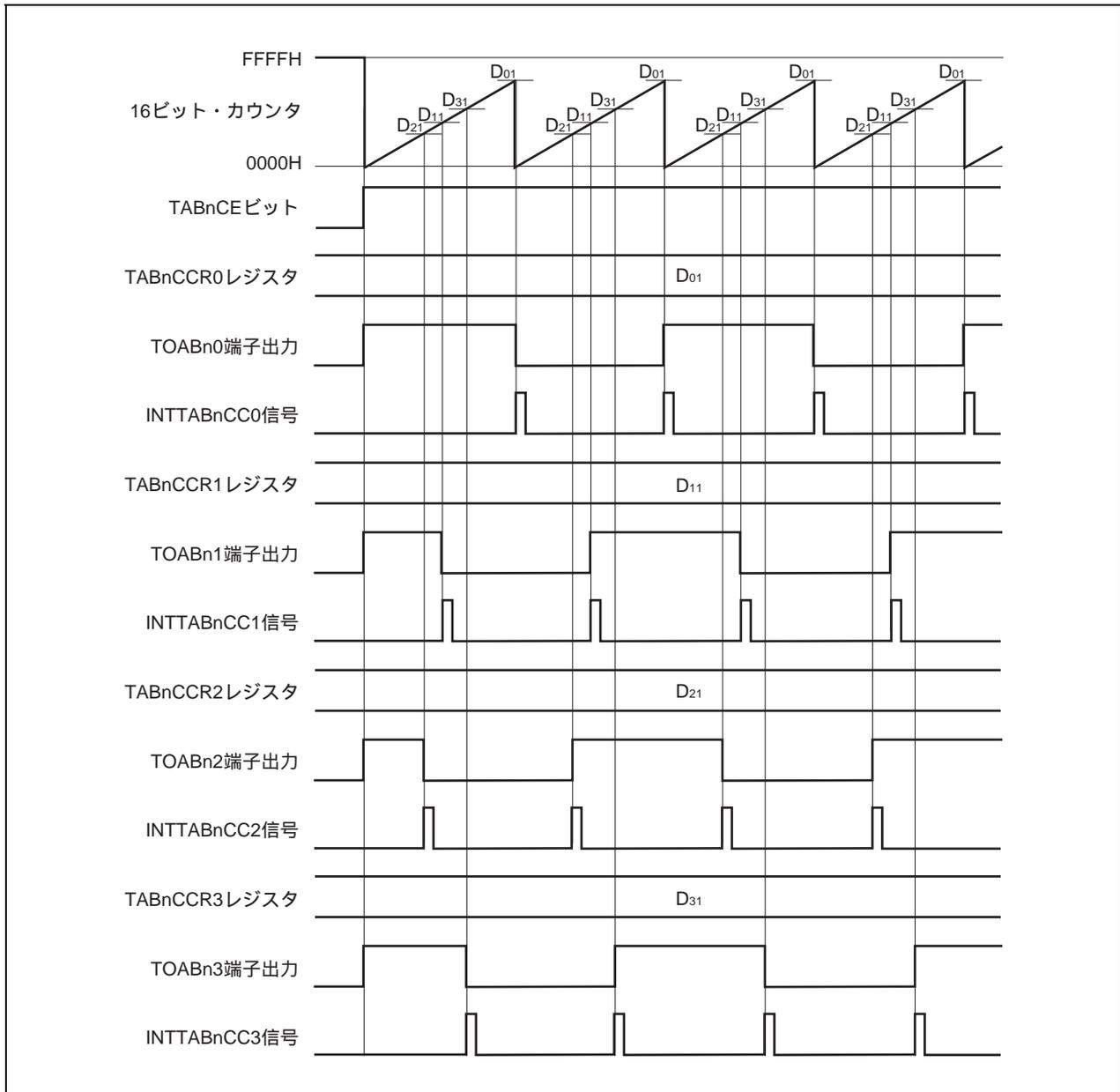


TABnCCRkレジスタの設定値がTABnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTABnCCk信号が発生します。また、同じタイミングでTOABnk端子出力は反転します。

TOABnk端子出力は、TOABn0端子出力と同じ周期の方形波を出力します。

備考 k = 1-3

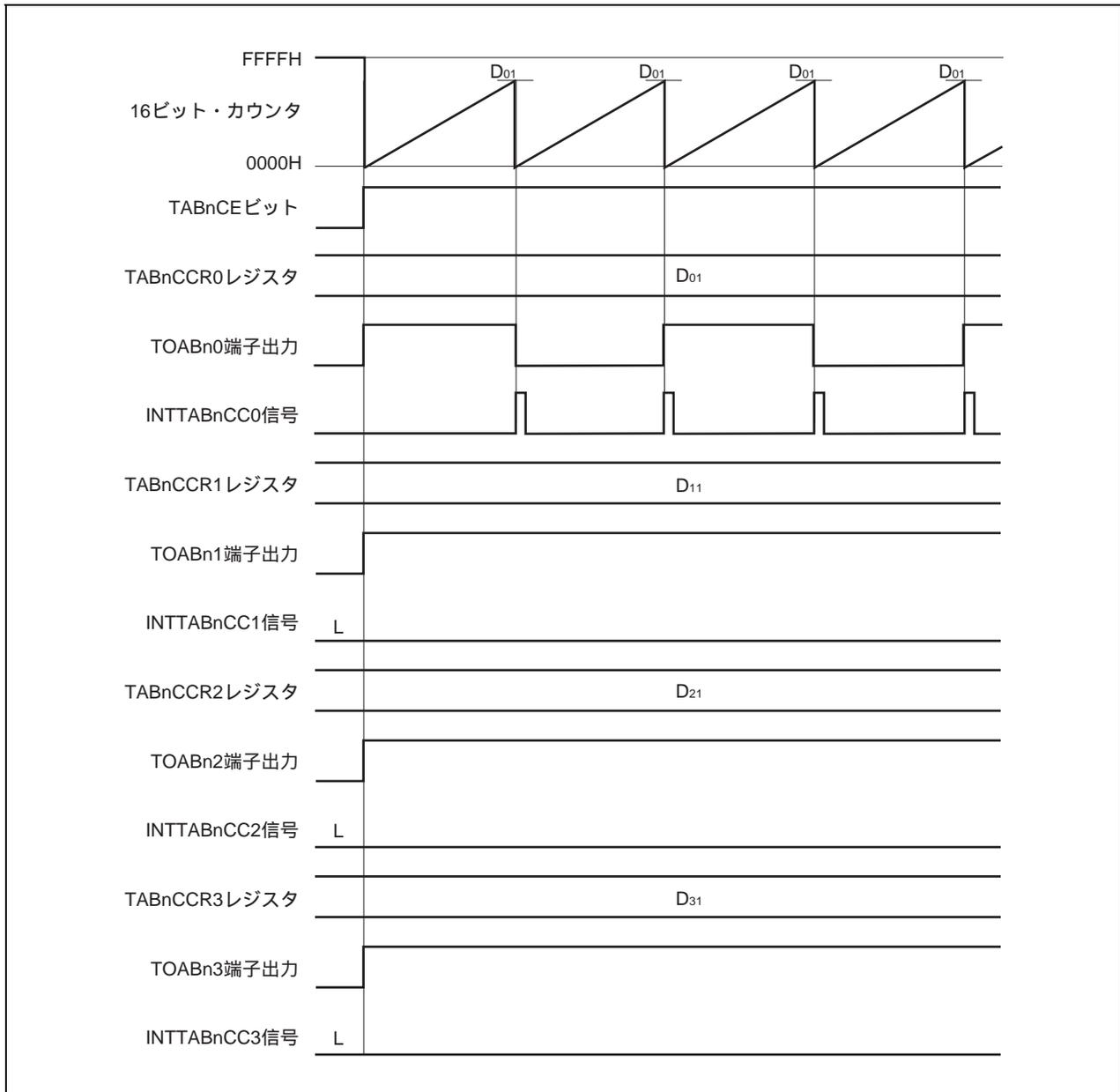
図8-7 D₀₁ D_{k1}の場合のタイミング図



TABnCCRkレジスタの設定値がTABnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTABnCCRkレジスタの値が一致しないので、INTTABnCCk信号は発生しません。また、TOABnk端子出力も変化しません。

備考 k = 1-3

図8 - 8 D₀₁ < D_{k1}の場合のタイミング図



8.5.2 外部イベント・カウント・モード (TABnMD2-TABnMD0ビット = 001)

外部イベント・カウント・モードは、TABnCTL0.TABnCEビットをセット(1)することで、外部イベント・カウント入力の有効エッジをカウントし、任意のカウント数をカウントすることに割り込み要求信号 (INTTABnCC0) を発生します。TOABn0端子は使用できません。

外部イベント・カウント・モードでは、通常、TABnCCR1-TABnCCR3レジスタは使用しません。

図8-9 外部イベント・カウント・モードの構成図

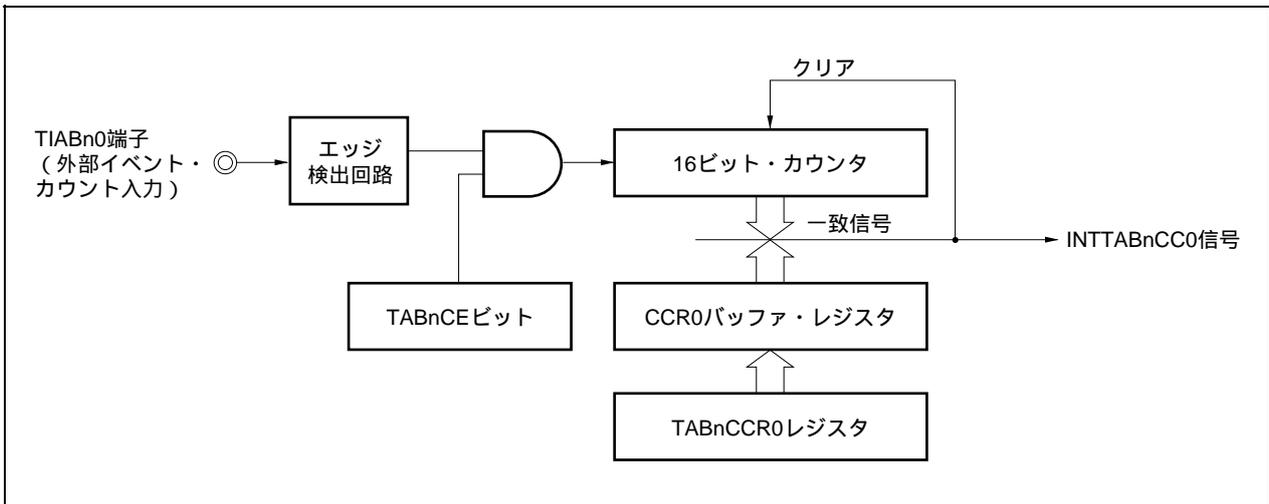
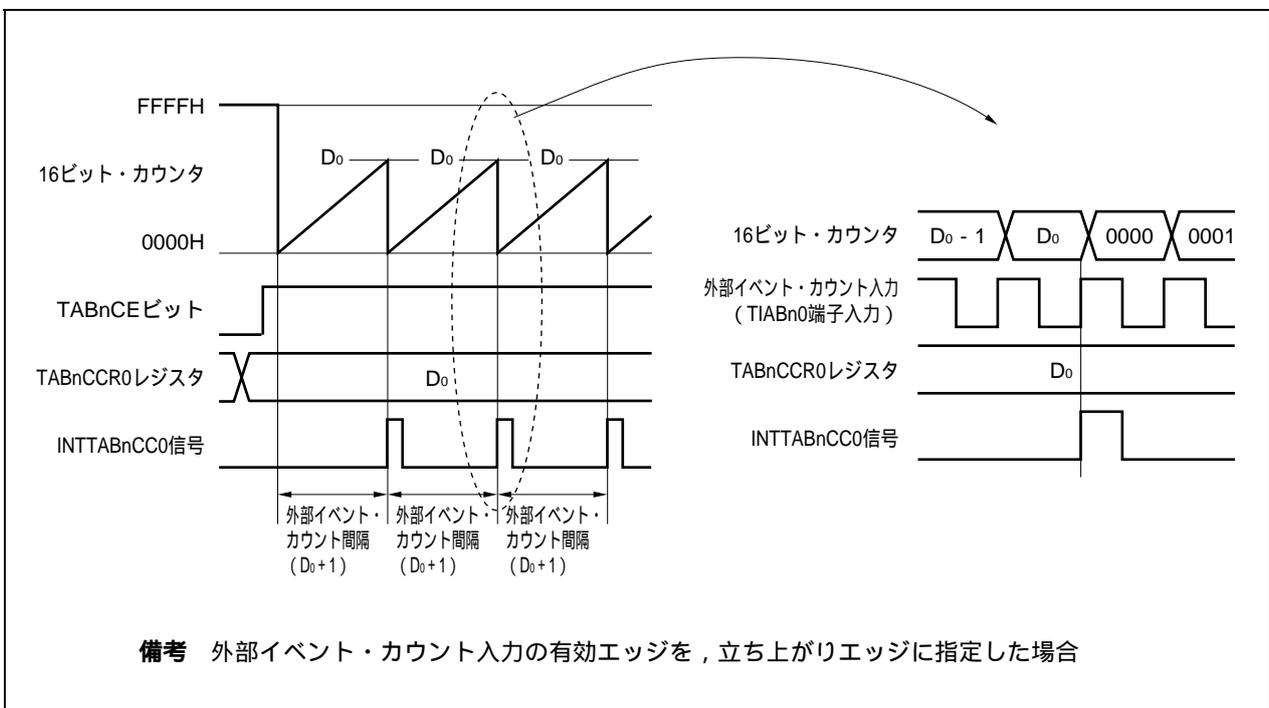


図8-10 外部イベント・カウント・モードの基本タイミング



TABnCEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出することにカウント動作を行います。また、TABnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号 (INTTABnCC0) を発生します。

INTTABnCC0信号は、外部イベント・カウント入力の有効エッジを (TABnCCR0レジスタに設定した値 + 1) 回検出することに発生します。

図8 - 11 外部イベント・カウント・モード動作時のレジスタ設定内容 (1/2)

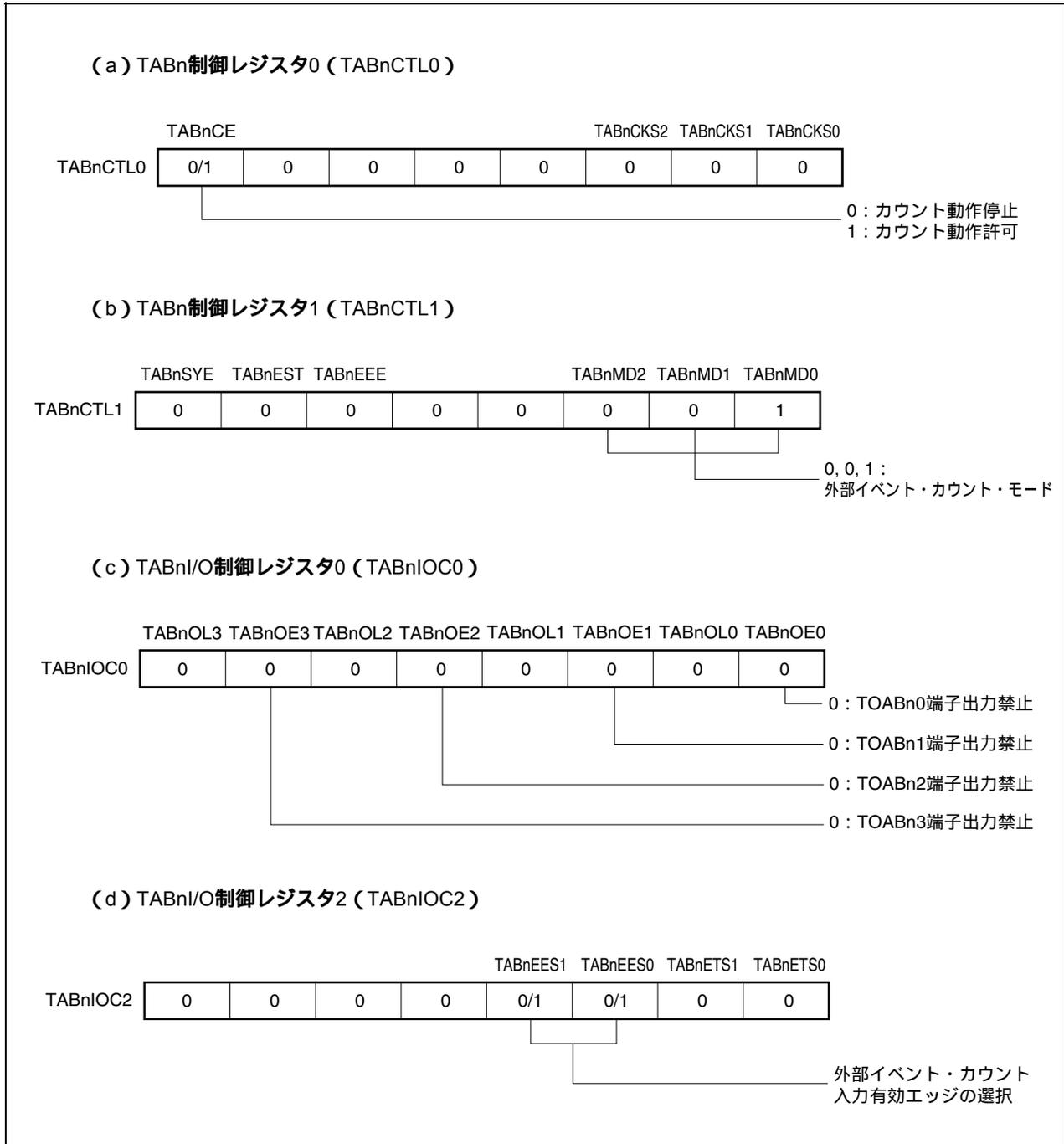


図8 - 11 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

(e) TABnカウンタ・リード・バッファ・レジスタ (TABnCNT)

TABnCNTレジスタをリードすることで、16ビット・カウンタのカウント値をリードできます。

(f) TABnキャプチャ/コンペア・レジスタ0 (TABnCCR0)

TABnCCR0レジスタにD₀を設定した場合、外部イベント・カウント数が (D₀ + 1) 回となるとカウントをクリアしコンペア一致割り込み要求信号 (INTTABnCC0) を発生します。

(g) TABnキャプチャ/コンペア・レジスタ1-3 (TABnCCR1-TABnCCR3)

外部イベント・カウント・モードでは、通常、TABnCCR1-TABnCCR3レジスタは使用しません。しかし、TABnCCR1-TABnCCR3レジスタの設定値はCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1-CCR3バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTABnCC1-INTTABnCC3) が発生します。

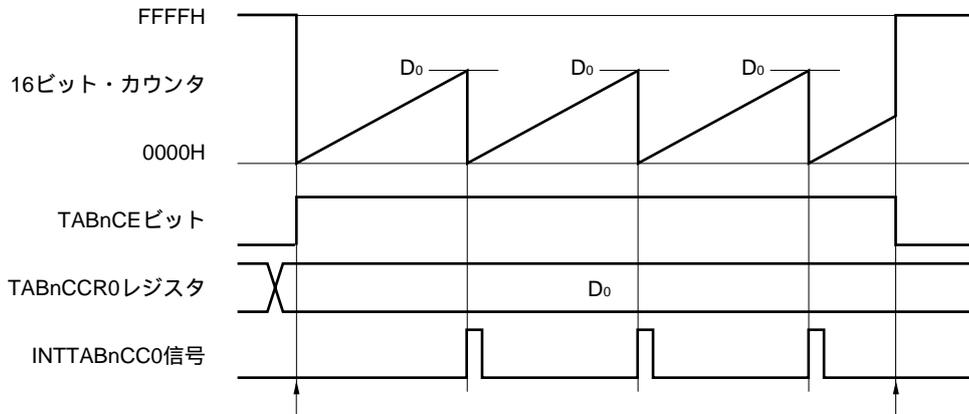
したがって、割り込みマスク・フラグ (TABnCCMK1-TABnCCMK3) でマスク設定しておいてください。

注意 カウント・クロックとして外部クロックを使用するときは、外部クロックはTIABn0端子からのみ入力できます。このとき、TABnIOC1.TABnIS1, TABnIS0ビット = 00 (キャプチャ・トリガ入力 (TIABn0端子) : エッジ検出なし) に設定してください。

備考 TABn/O制御レジスタ1 (TABnIOC1), TABnオプション・レジスタ0 (TABnOPT0) は、外部イベント・カウント・モードでは使用しません。

(1) 外部イベント・カウント・モード動作フロー

図8 - 12 外部イベント・カウント・モード使用時のソフトウェア処理フロー



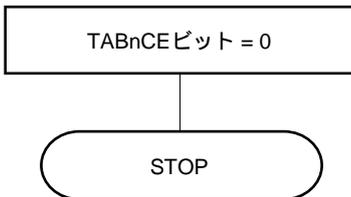
カウント動作開始フロー



TABnCEビット = 1にする前に、
これらのレジスタを初期設定。

カウント動作開始 (TABnCEビット = 1) と同時に、
TABnCKS0-TABnCKS2ビットの設定は可能。

カウント動作停止フロー



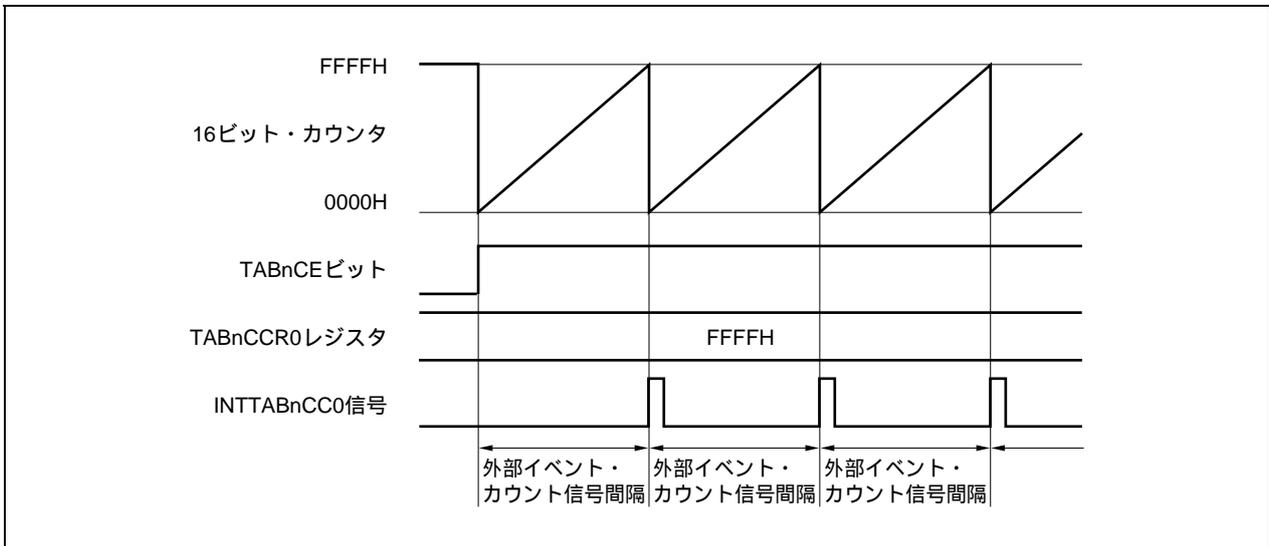
カウント動作停止 (TABnCEビット = 0) にすることで、
カウンタを初期化しカウント動作を停止。

(2) 外部イベント・カウント・モード動作タイミング

- 注意1. 外部イベント・カウント・モード時, TABnCCR0レジスタには, 0000Hを設定しないでください。
2. 外部イベント・カウント・モード時, タイマ出力は使用禁止です。外部イベント・カウント入力でタイマ出力を行う場合は, インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可に選択してください (TABnCTL1.TABnMD2-TABnMD0ビット = 000, TABnCTL1.TABnEEEビット = 1)。

(a) TABnCCR0レジスタにFFFFHを設定した場合の動作

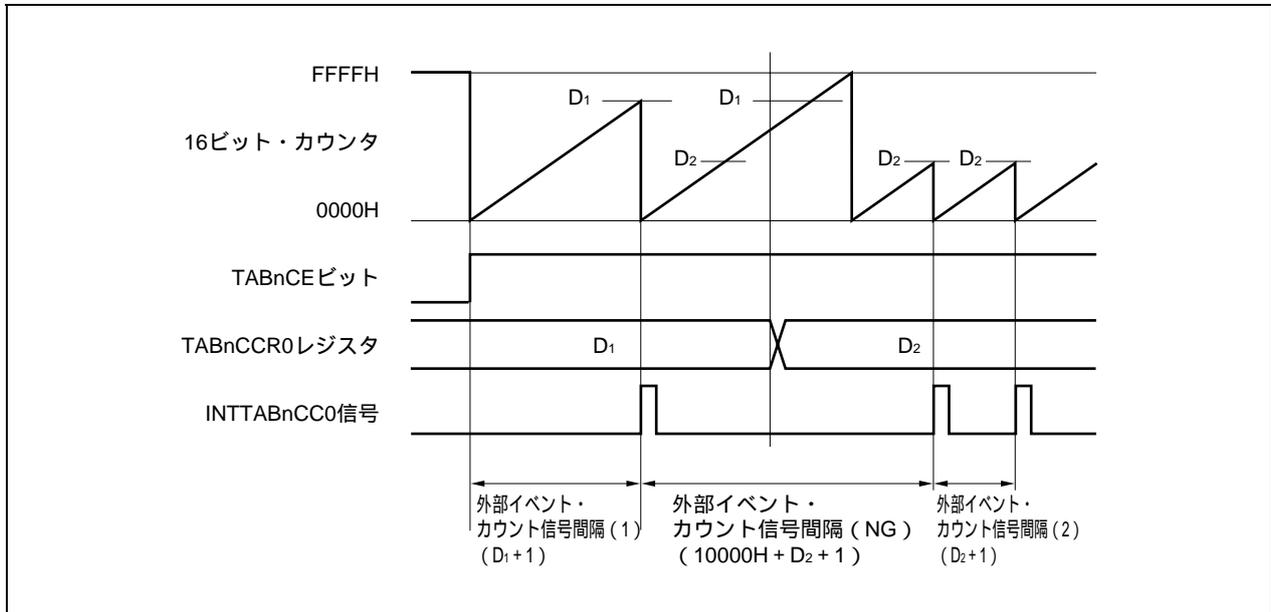
TABnCCR0レジスタにFFFFHを設定した場合, 16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い, 次のカウント・アップ・タイミングに同期して, 16ビット・カウンタを0000Hにクリアし, INTTABnCC0信号を発生します。このとき, TABnOPT0.TABnOVFビットはセットされません。



(b) TABnCCR0レジスタの書き換えに関する注意事項

TABnCCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTABnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。



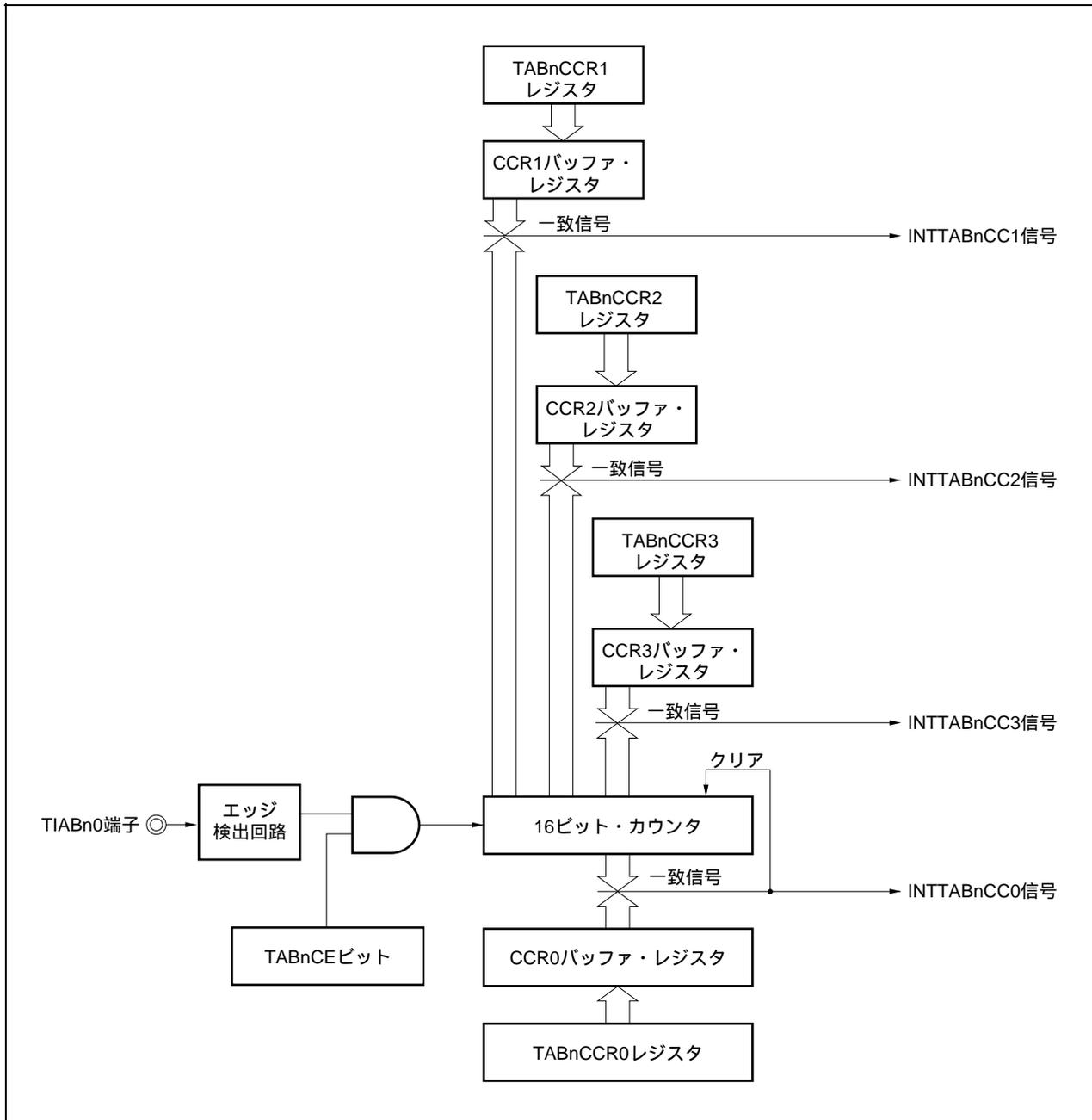
カウント値がD₂よりも大きくD₁よりも小さい状態において、TABnCCR0レジスタをD₁からD₂に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値がD₂となります。

しかし、カウント値はすでにD₂を越えているためにFFFFHまでカウントを行い、オーバフロー後、0000Hから再度カウント・アップを行います。そして、D₂との一致でINTTABnCC0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「(D₁+1)回」または「(D₂+1)回」の有効エッジ数でINTTABnCC0信号は発生せず、「(10000H + D₂ + 1)回」の有効エッジ数でINTTABnCC0信号が発生する場合があります。

(c) TABnCCR1-TABnCCR3レジスタの動作

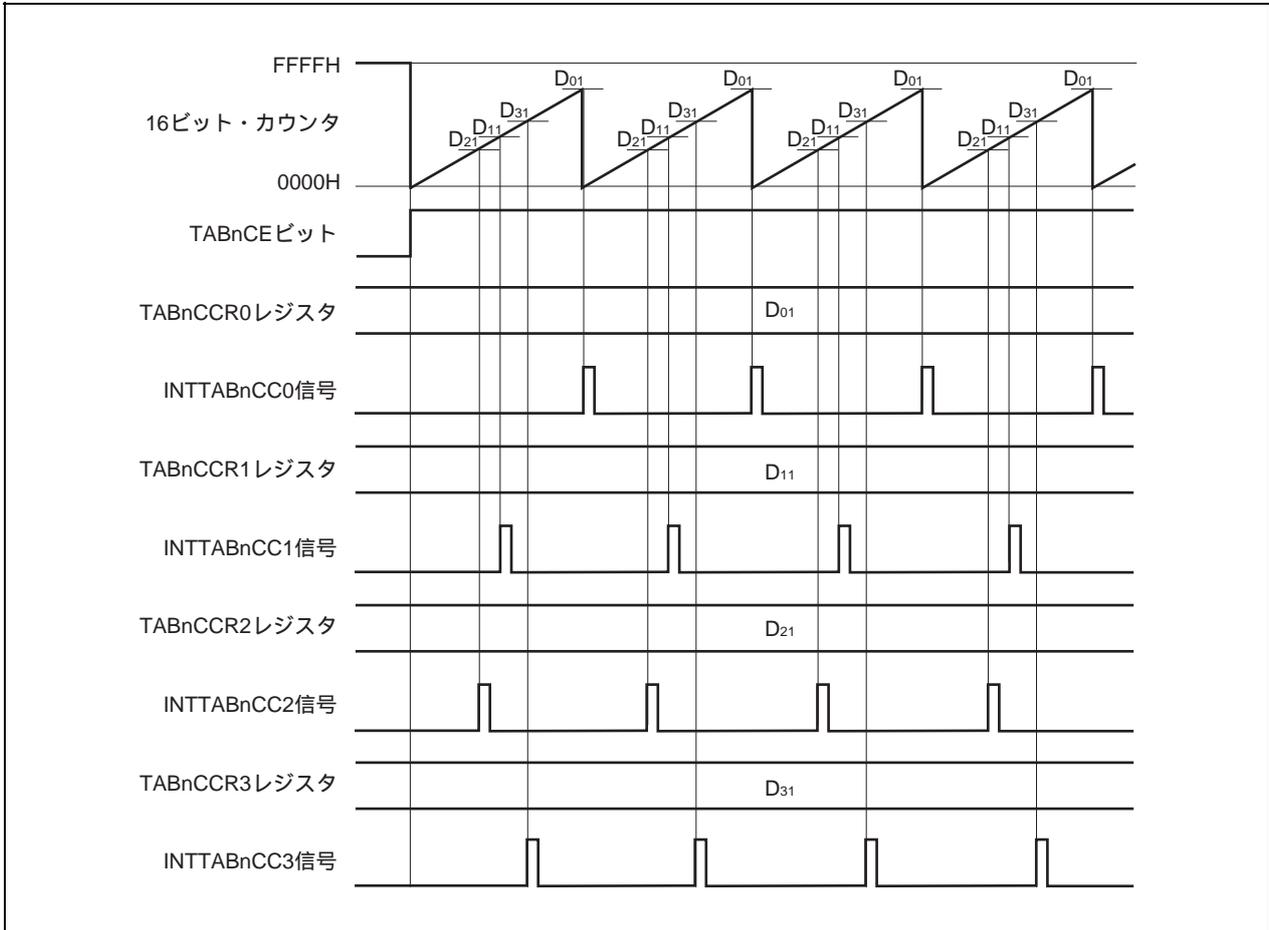
図8 - 13 TABnCCR1-TABnCCR3レジスタの構成図



TABnCCRkレジスタの設定値がTABnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTABnCCk信号が発生します。

備考 k = 1-3

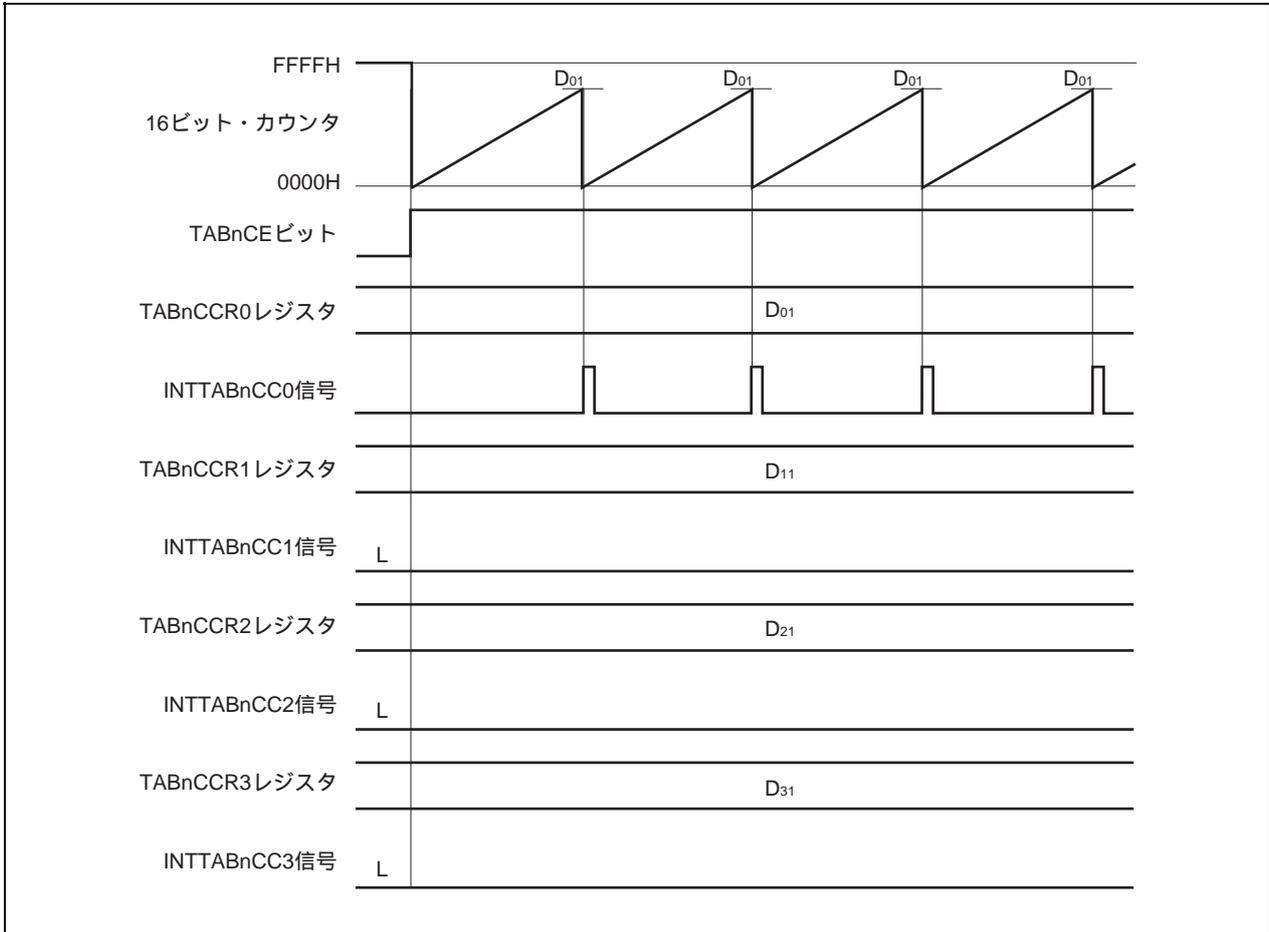
図8 - 14 D₀₁ D_{k1}の場合のタイミング図



TABnCCRkレジスタの設定値がTABnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTABnCCRkレジスタの値が一致しないので、INTTABnCCk信号は発生しません。

備考 k = 1-3

図8 - 15 D₀₁ < D_{k1}の場合のタイミング図



8.5.3 外部トリガ・パルス出力モード (TABnMD2-TABnMD0ビット = 010)

外部トリガ・パルス出力モードは、TABnCTL0.TABnCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOABn1-TOABn3端子から最大3相のPWM波形を出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOABn0端子から、PWM波形の1周期を半周期とする方形波を出力できます。

図8 - 16 外部トリガ・パルス出力モードの構成図

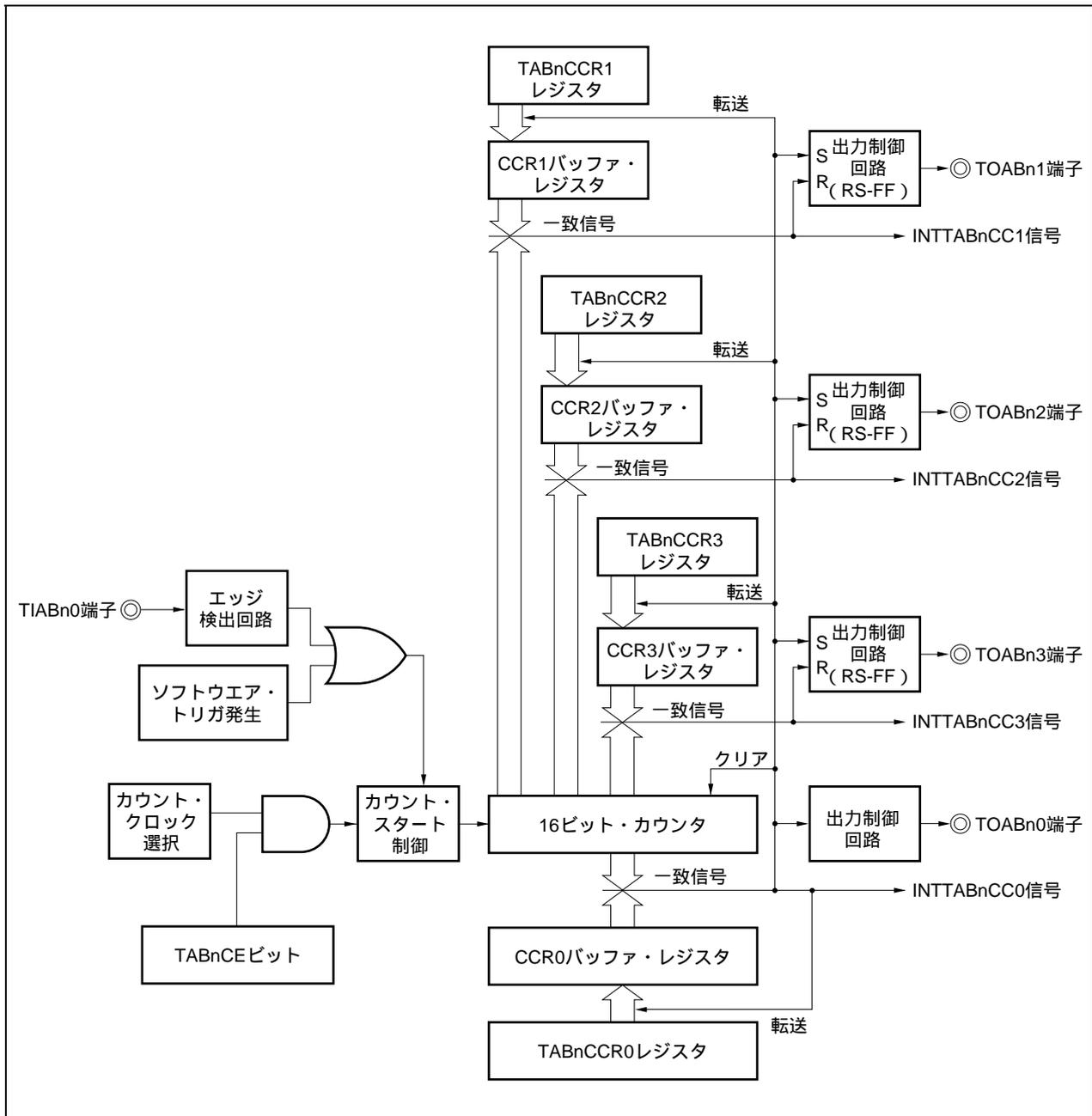
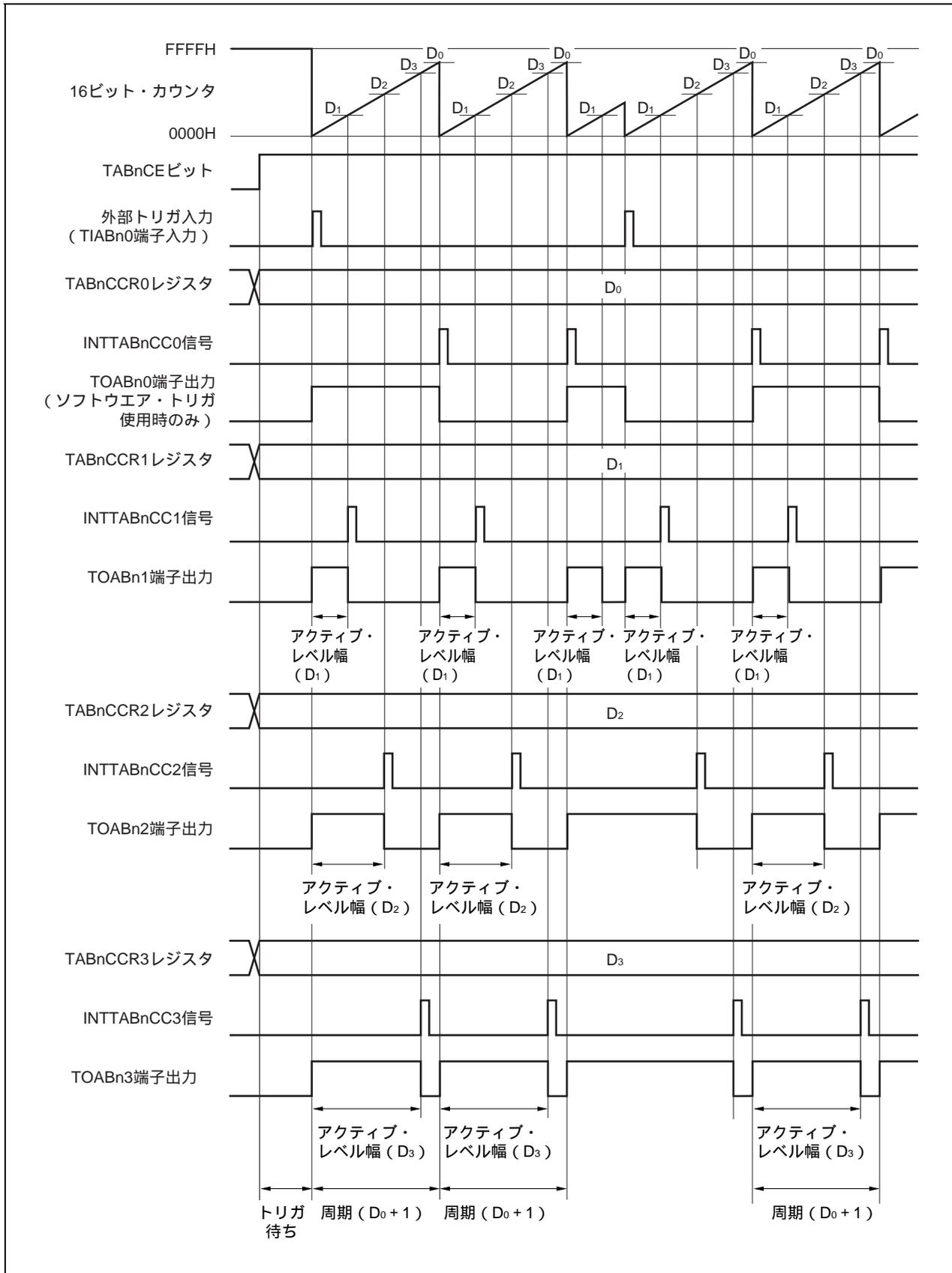


図8 - 17 外部トリガ・パルス出力モードの基本タイミング



TABnCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOABnk端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします(TOABn0端子出力は反転します。TOABnk端子出力は、ロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TABnCCRkレジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TABnCCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TABnCCRkレジスタの設定値}) / (\text{TABnCCR0レジスタの設定値} + 1)$$

コンペアー一致割り込み要求信号 (INTTABnCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTTABnCCk) は、16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値が一致するタイミングで発生します。

TABnCCRmレジスタに設定した値は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRmバッファ・レジスタに転送されます。

トリガには、外部トリガ入力の有効エッジ、またはソフトウエア・トリガ (TABnCTL1.TABnESTビット) のセット(1)があります。

備考 k = 1-3,

m = 0-3

図8 - 18 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/3)

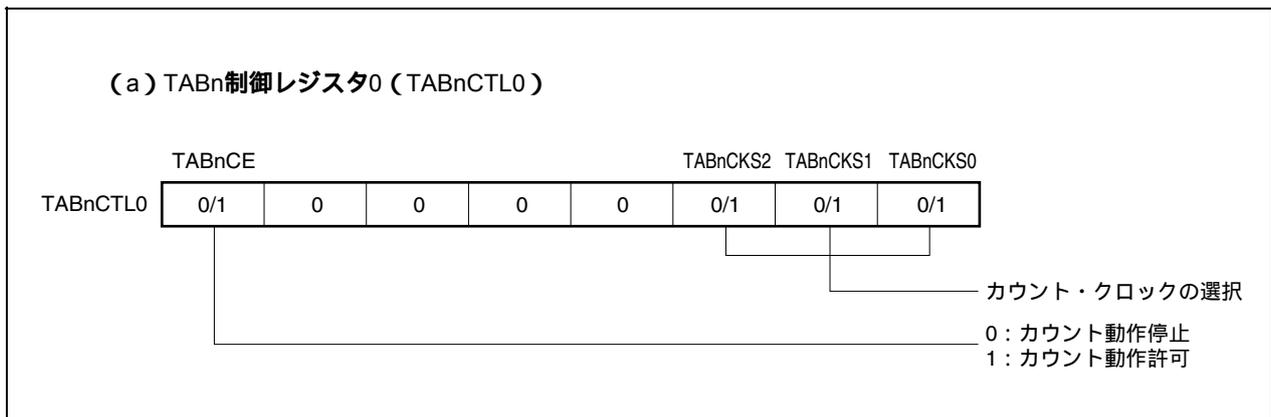


図8 - 18 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/3)

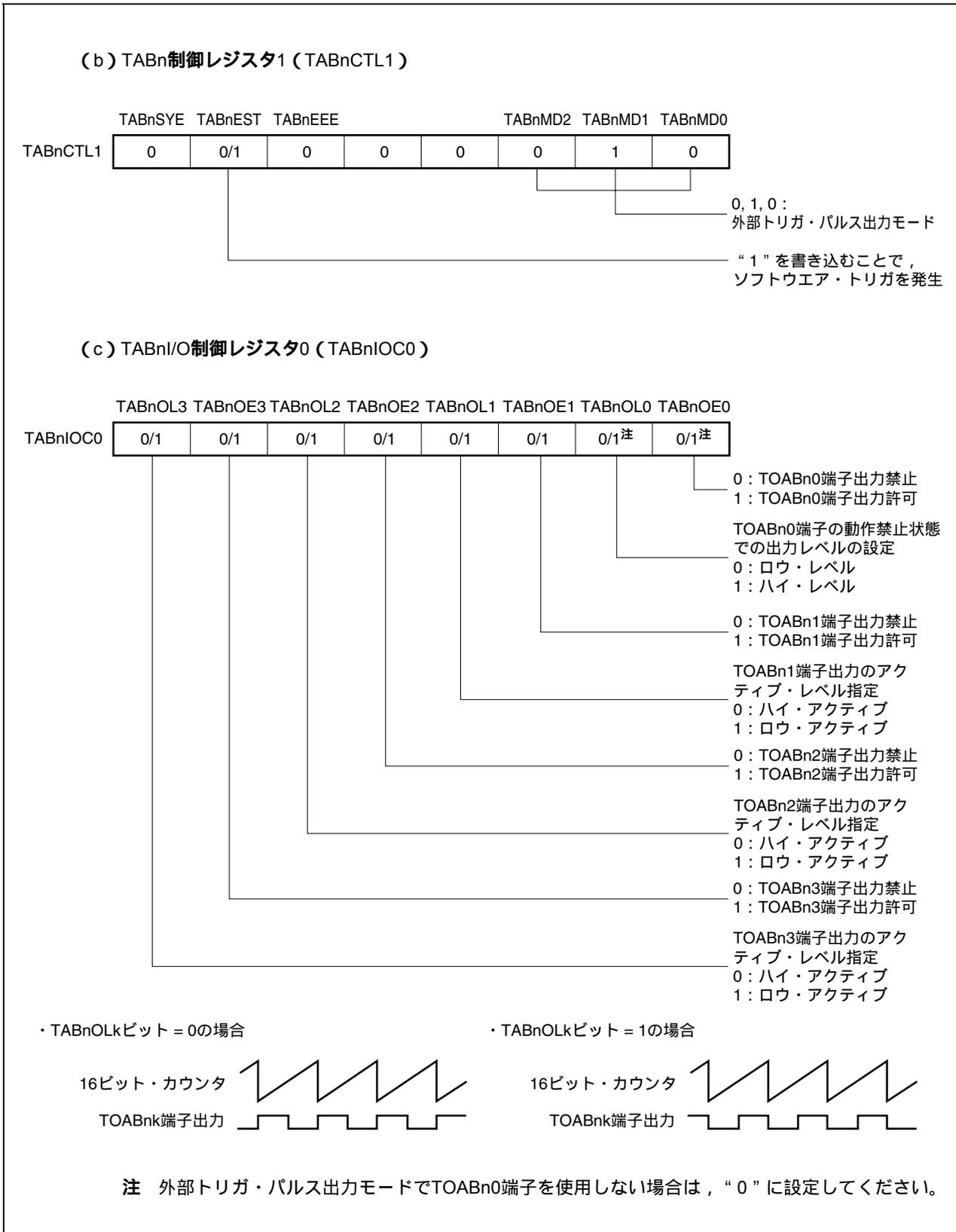
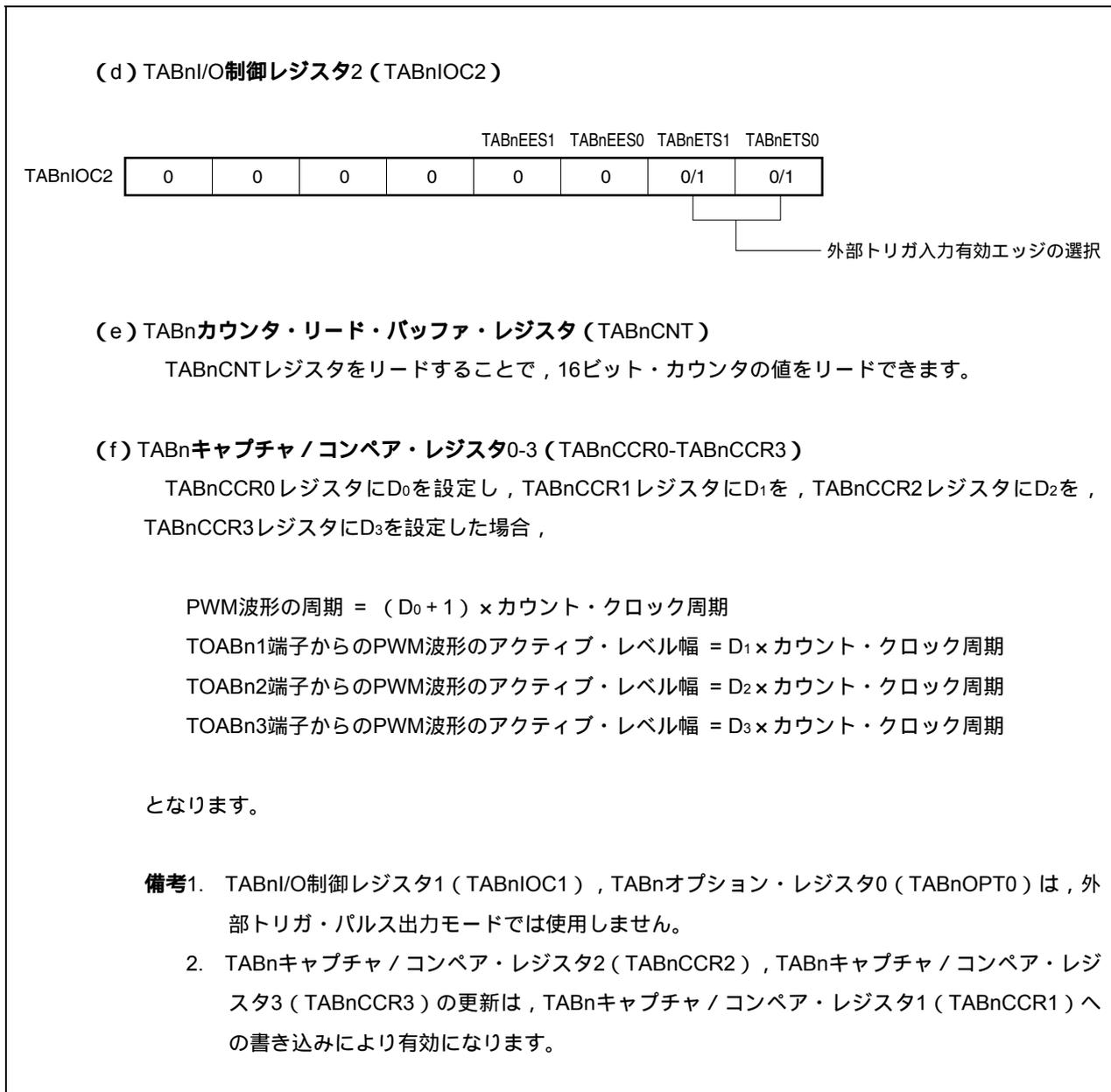


図8 - 18 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (3/3)



(1) 外部トリガ・パルス出力モード動作フロー

図8 - 19 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

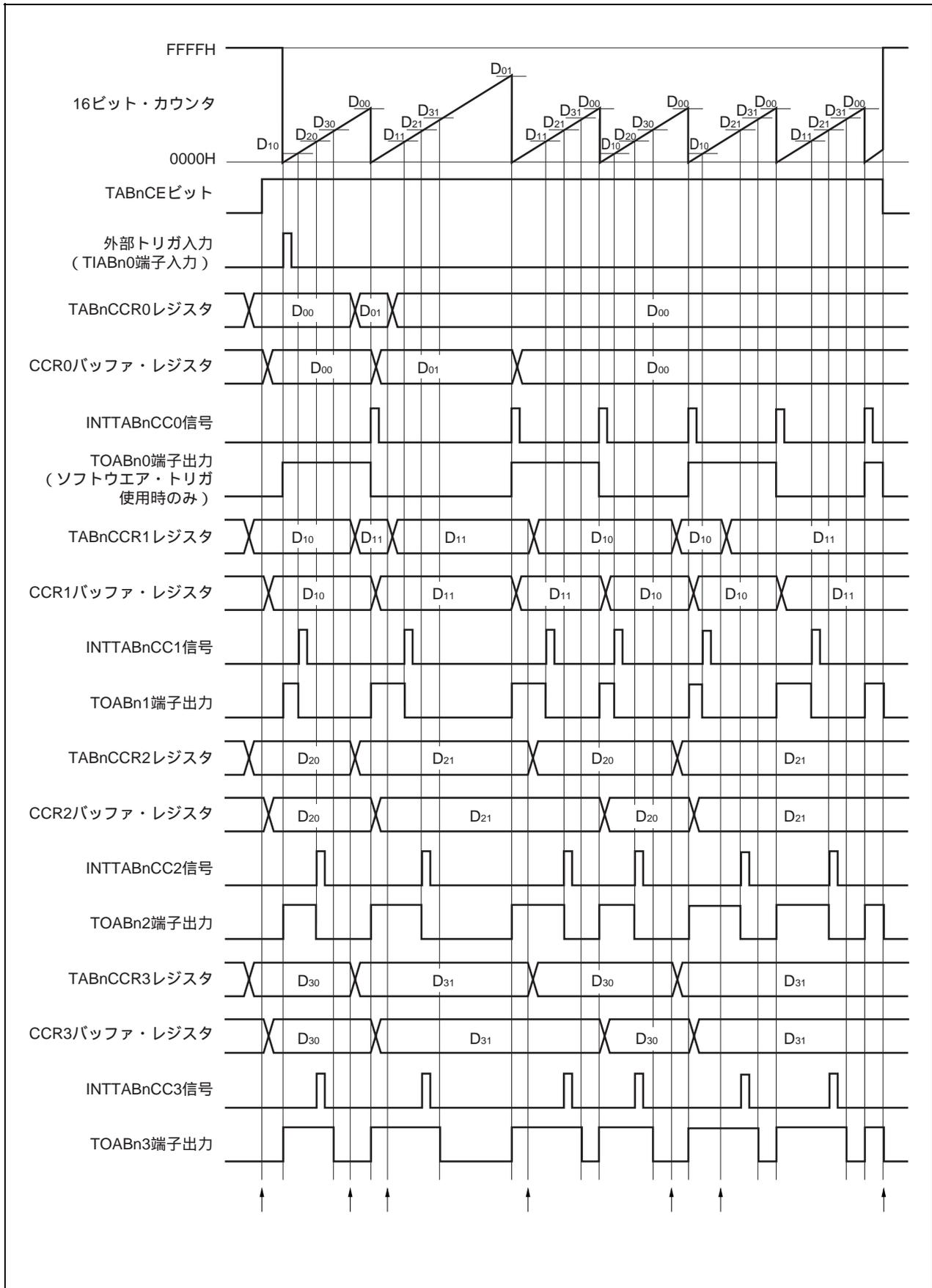
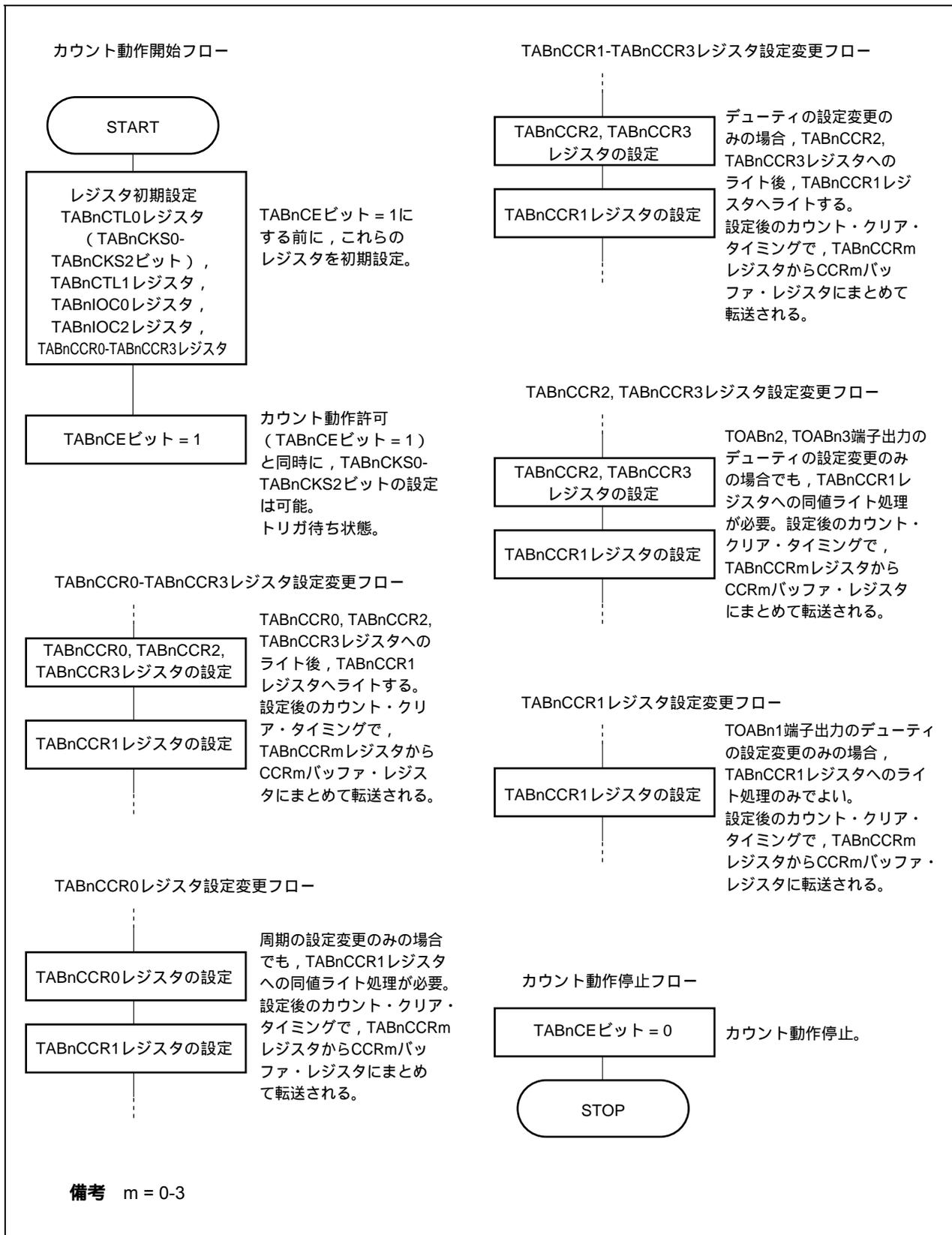


図8 - 19 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)

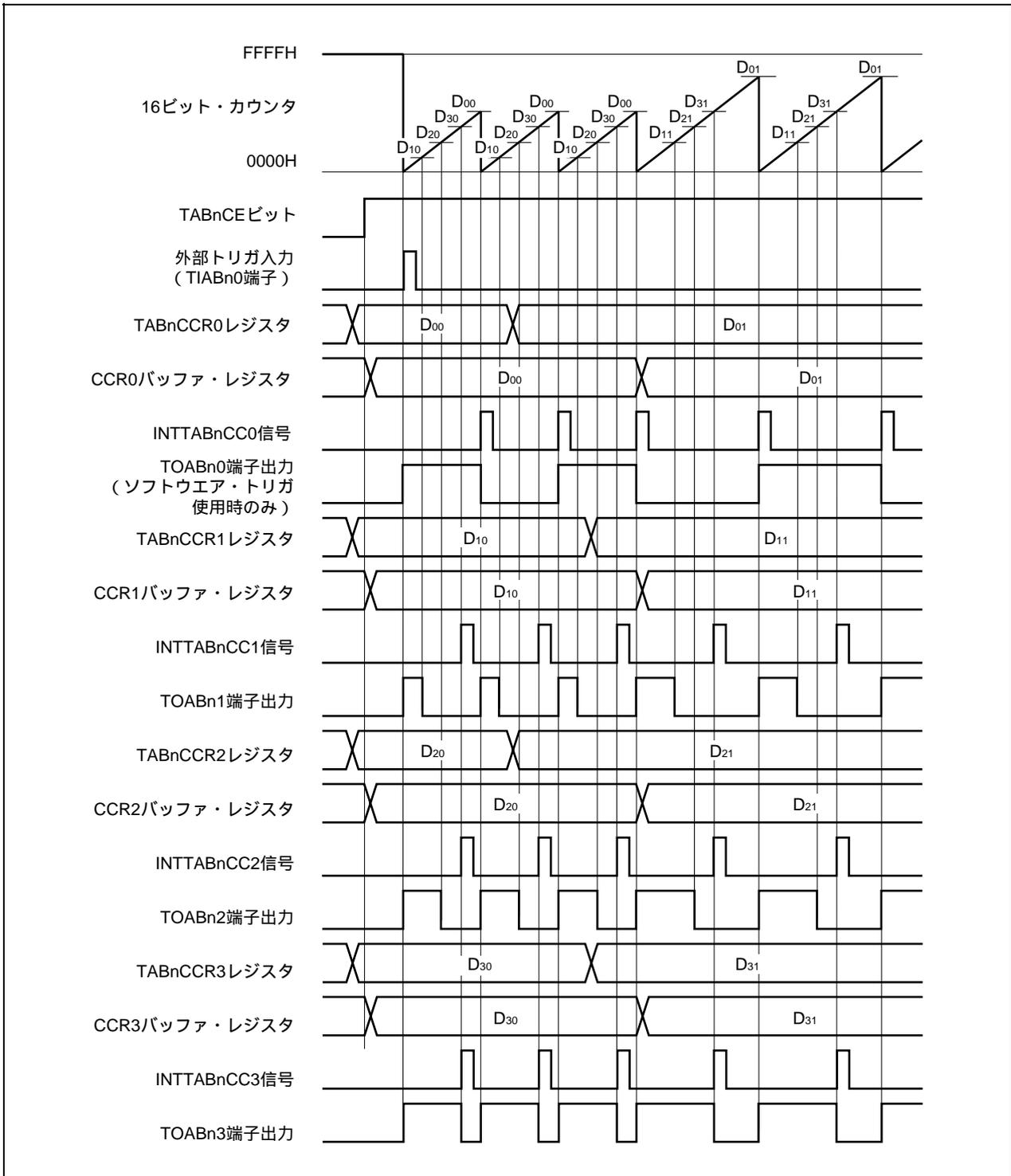


(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTABnCCR1レジスタにライトしてください。

TABnCCR1レジスタにライト後、再度TABnCCRkレジスタの書き換えを行う場合には、INTTABnCC0信号を検出後に書き換えてください。



TABnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TABnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTABnCCR0レジスタに周期を、TABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、最後にTABnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTABnCCR0レジスタに周期を設定し、そのあとでTABnCCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合には、まず、TABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、最後にTABnCCR1レジスタにアクティブ・レベル幅を設定してください。

TOABn1端子出力のPWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TABnCCR1レジスタのみの設定でかまいません。

TOABn2、TOABn3端子出力のPWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、まずTABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、そのあとでTABnCCR1レジスタに同値をライトしてください。

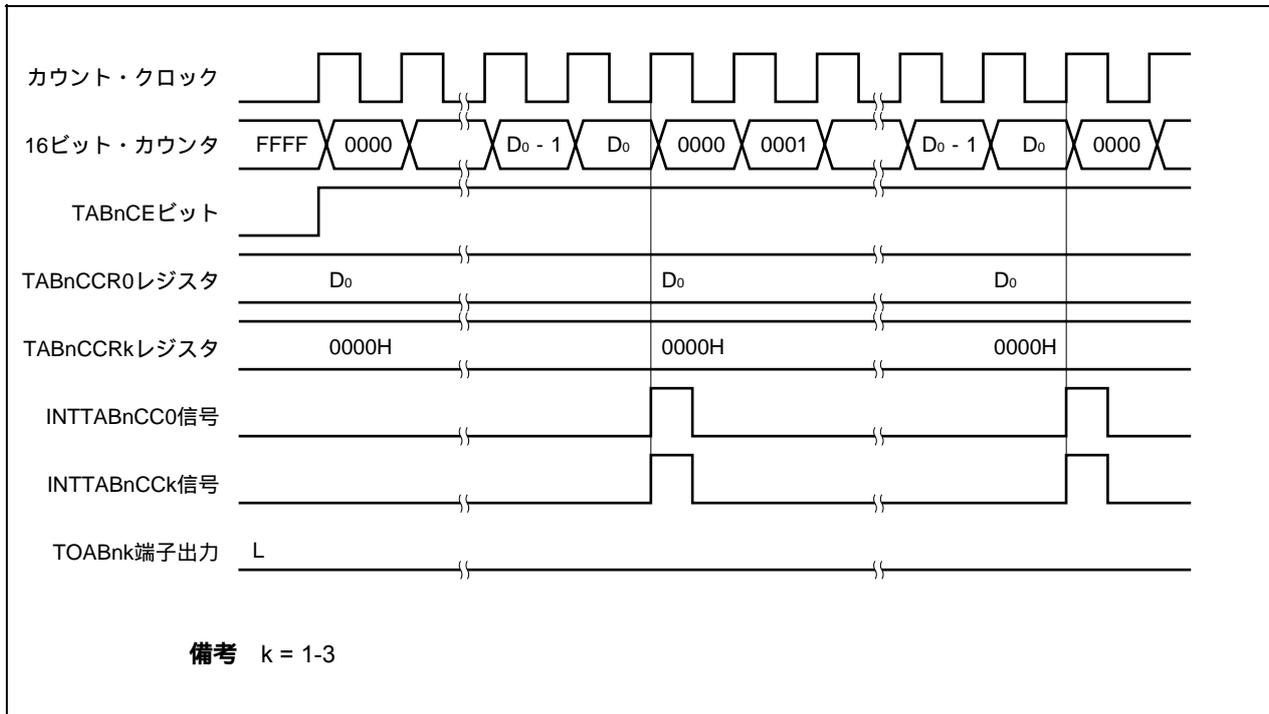
TABnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TABnCCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TABnCCR1レジスタにライトしたあとで、再度TABnCCR0-TABnCCR3レジスタへのライトを行う場合は、INTTABnCC0信号の発生後に行ってください。これを守れない場合には、TABnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TABnCCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

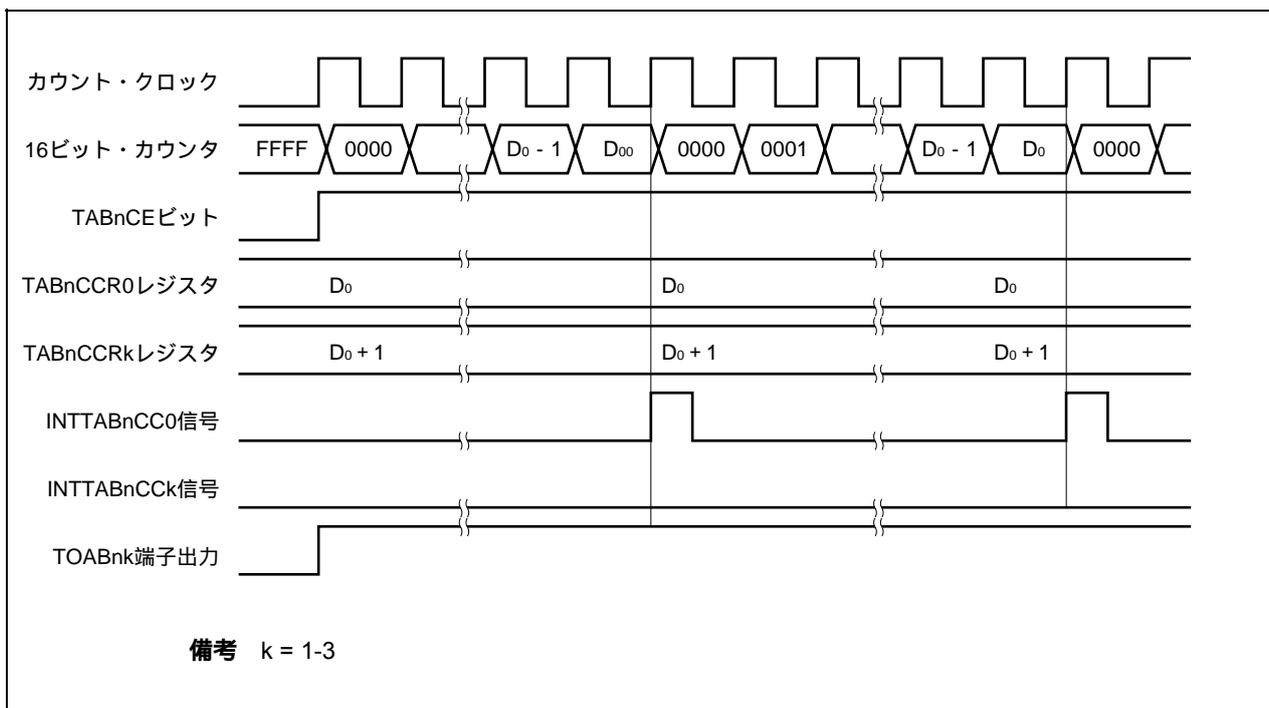
備考 m = 0-3

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TABnCCRkレジスタに対して0000Hを設定します。ただし、TABnCCR0レジスタの設定値がFFFFHの場合には、INTTABnCCK信号が定期的が発生します。

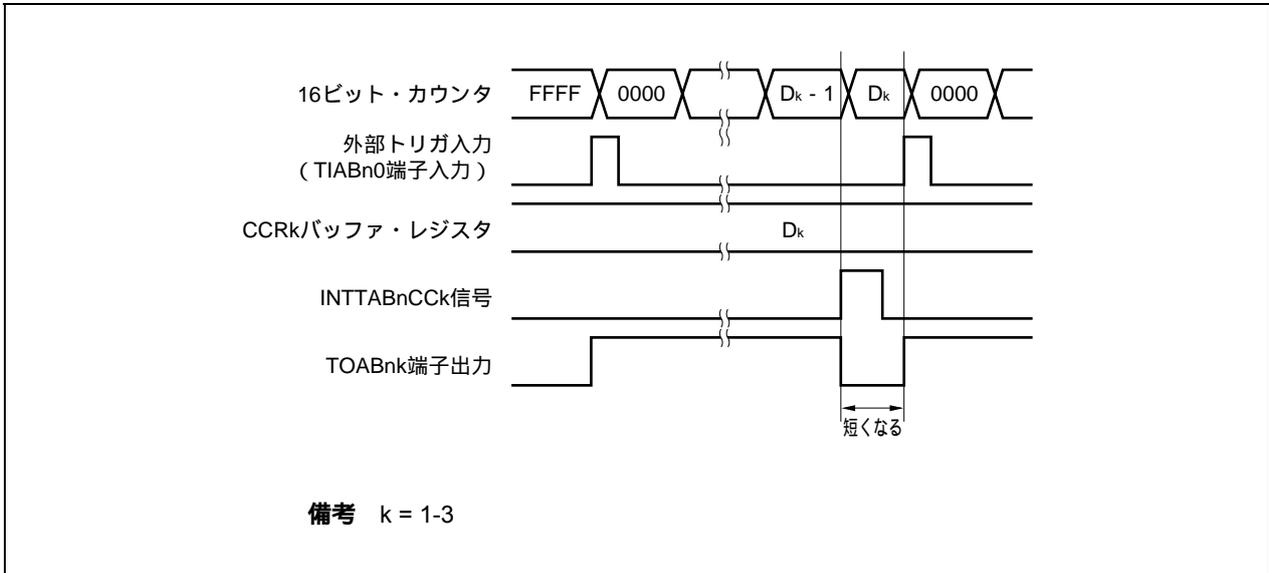


100 % 波形を出力するためには、TABnCCRkレジスタに対して (TABnCCR0レジスタの設定値 + 1) の値を設定してください。TABnCCR0レジスタの設定値がFFFFHの場合には、100 % 出力はできません。

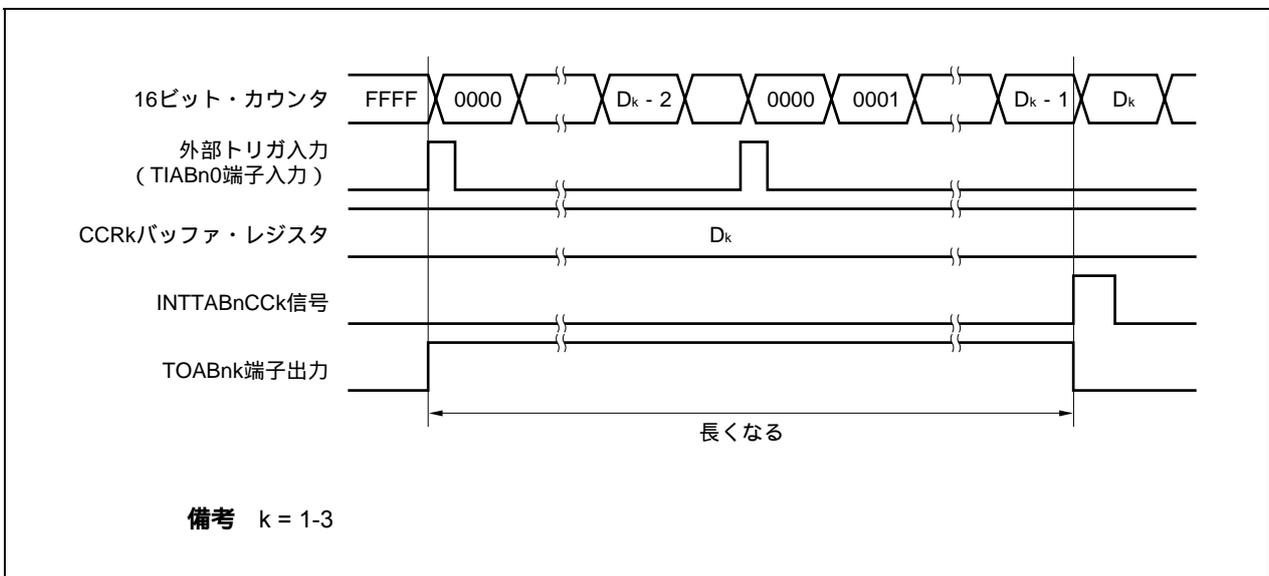


(c) トリガ検出とCCRkバッファ・レジスタとの一致の競合

INTTABnCCk信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOABnk端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

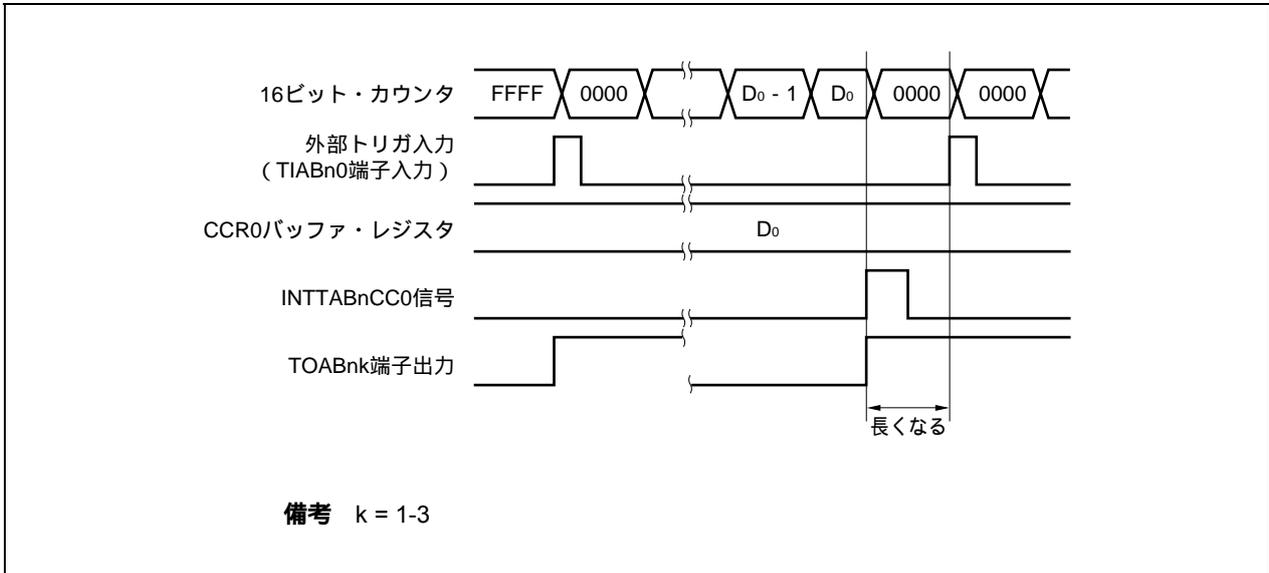


INTTABnCCk信号発生直前にトリガを検出した場合には、INTTABnCCk信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOABnk端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

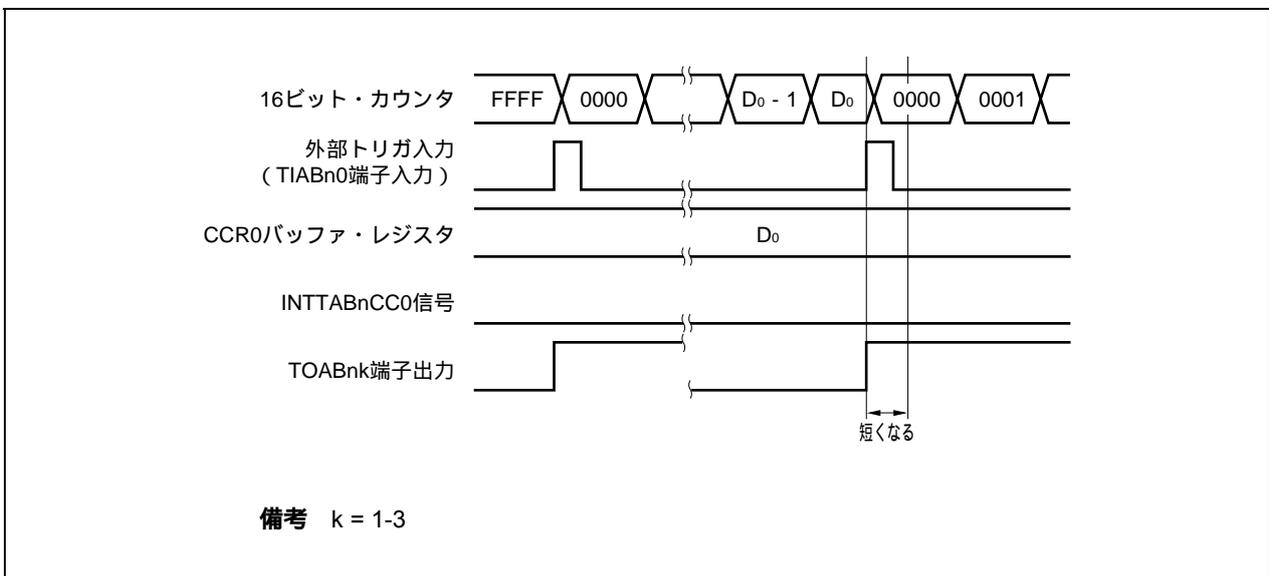


(d) トリガ検出とCCR0バッファ・レジスタとの一致の競合

INTTABnCC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を続けます。したがって、TOABnk端子出力のアクティブ期間が、INTTABnCC0信号発生からトリガ検出までの分だけ長くなります。

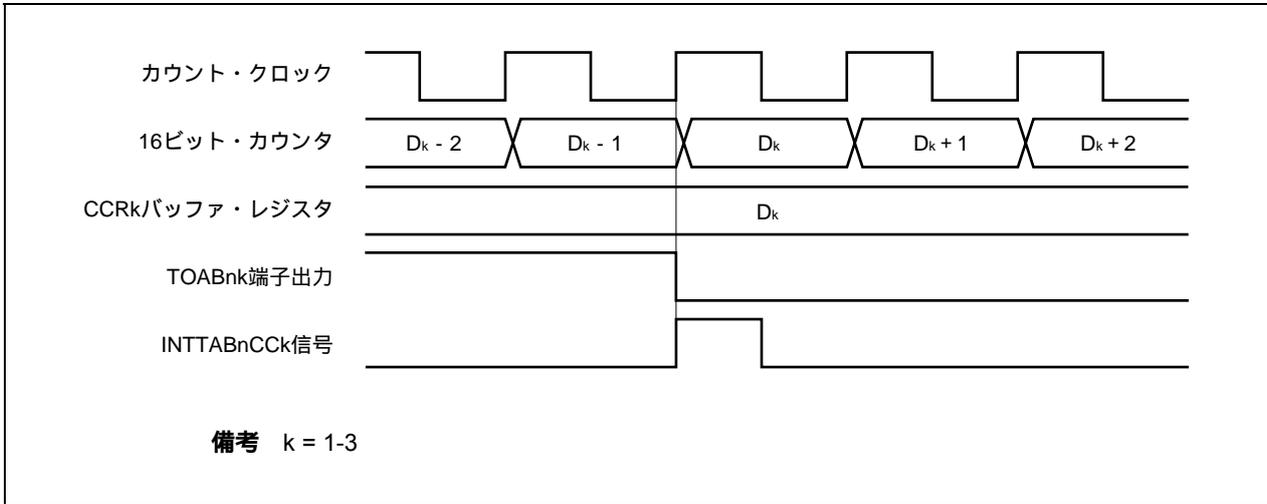


INTTABnCC0信号発生直前にトリガを検出した場合、INTTABnCC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOABnk端子出力をアクティブ・レベルにして、カウント動作を続けます。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。



(e) コンペアー一致割り込み要求信号 (INTTABnCCK) の発生タイミング

外部トリガ・パルス出力モードにおけるINTTABnCCK信号の発生タイミングは、ほかのINTTABnCCK信号と異なり、16ビット・カウンタのカウンタ値とCCRkバッファ・レジスタの値との一致と同時に発生します。



通常、INTTABnCCK信号は、16ビット・カウンタのカウンタ値とCCRkバッファ・レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOABnk端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

8.5.4 ワンショット・パルス出力モード (TABnMD2-TABnMD0ビット = 011)

ワンショット・パルス出力モードは、TABnCTL0.TABnCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOABn1-TOABn3端子からワンショット・パルスを出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOABn0端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止(トリガ待ち状態)中のときはインアクティブ・レベルを出力できます。

図8-20 ワンショット・パルス出力モードの構成図

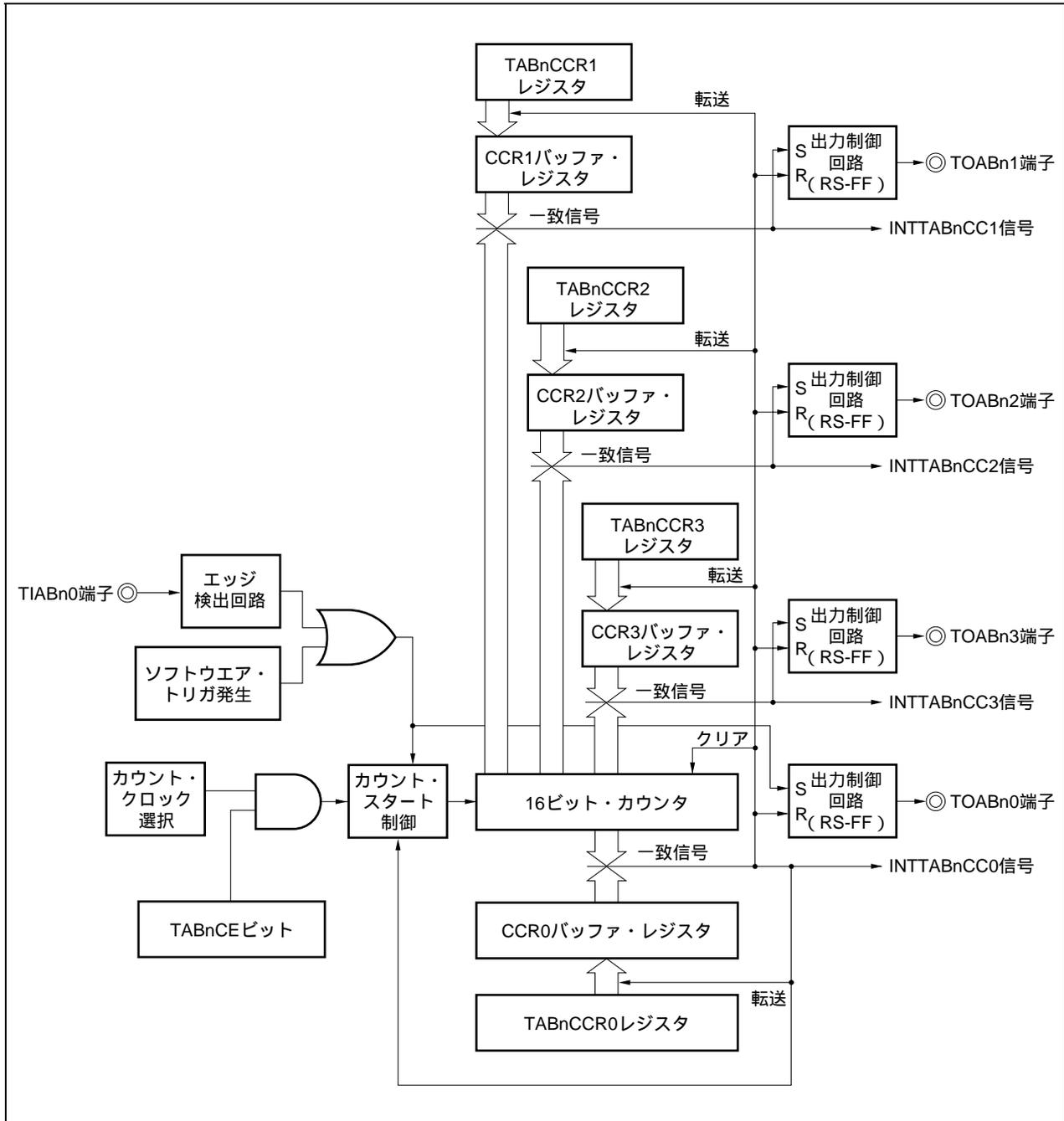
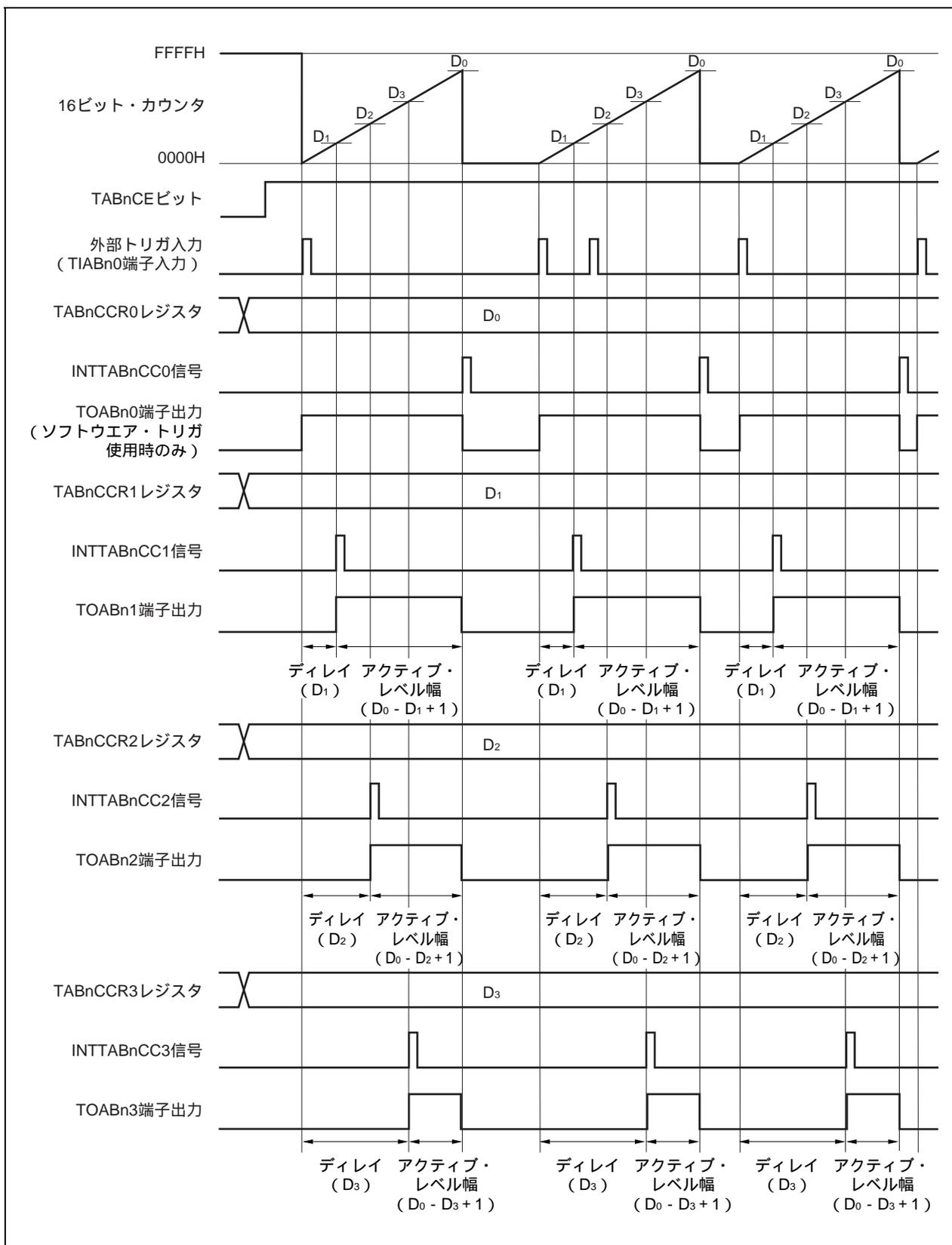


図8 - 21 ワンショット・パルス出力モードの基本タイミング



TABnCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOABnk端子からワンショット・パルスを出力します。ワンショット・パルスを出力したあと、16ビット・カウンタをFFFFHにしてカウント動作を停止し、トリガ待ち状態になります。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

$$\begin{aligned} \text{出力ディレイ期間} &= (\text{TABnCCRkレジスタの設定値}) \times \text{カウント・クロック周期} \\ \text{アクティブ・レベル幅} &= (\text{TABnCCR0レジスタの設定値} - \text{TABnCCRkレジスタの設定値} + 1) \\ &\quad \times \text{カウント・クロック周期} \end{aligned}$$

コンペア一致割り込み要求信号 (INTTABnCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンペア一致割り込み要求信号 (INTTABnCCk) は、16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ (TABnCTL1.TABnESTビット) のセット(1)があります。

備考 k = 1-3

図8 - 22 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/3)

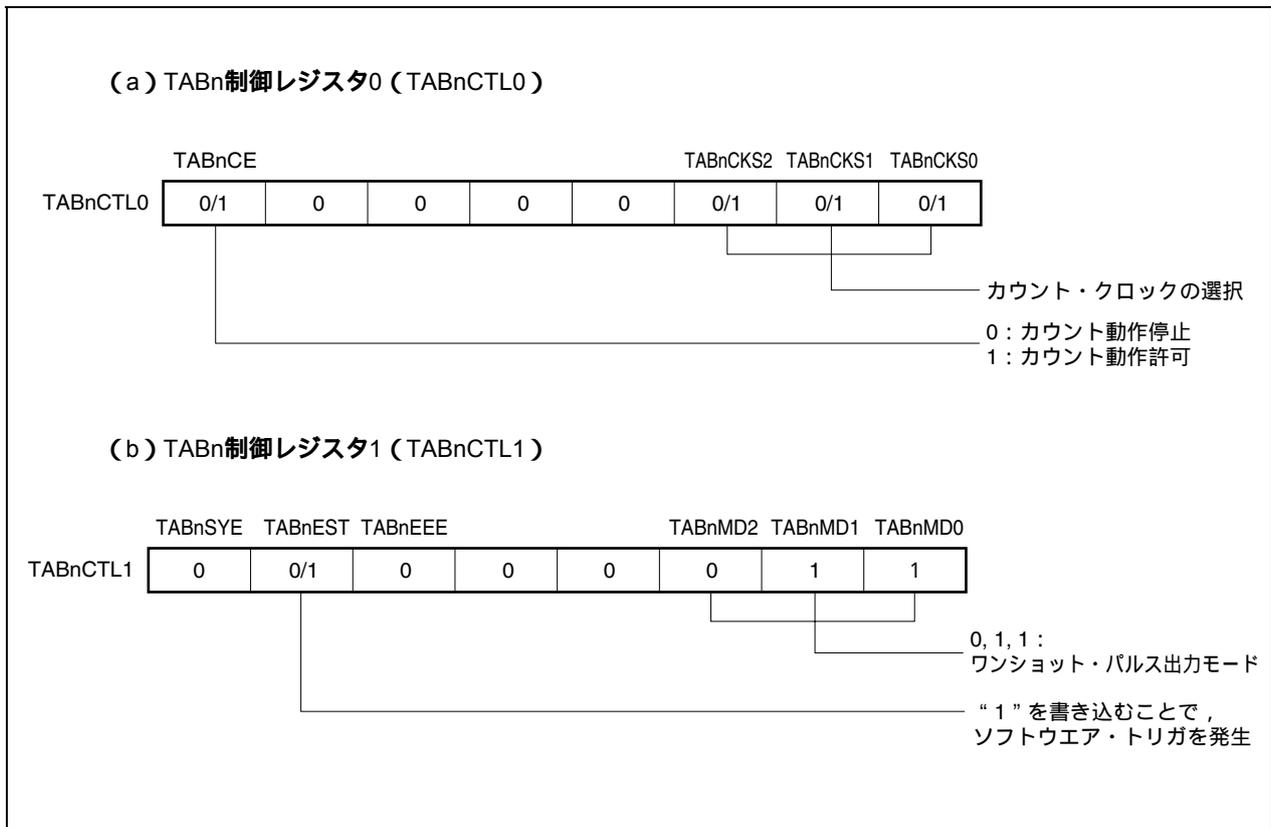


図8 - 22 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/3)

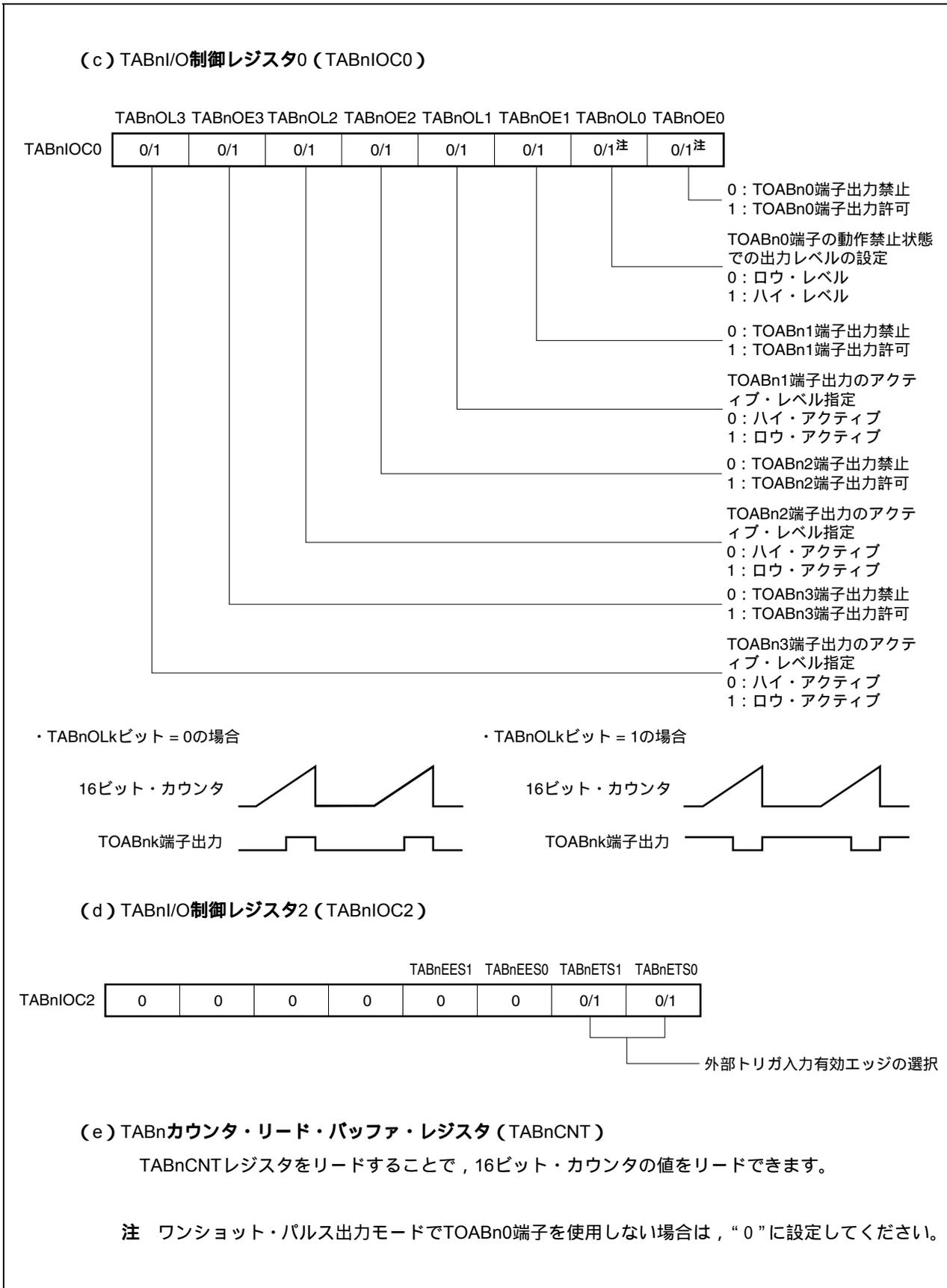


図8 - 22 ワンショット・パルス出力モード動作時のレジスタ設定内容 (3/3)

(f) TABnキャプチャ/コンペア・レジスタ0-3 (TABnCCR0-TABnCCR3)

TABnCCR0レジスタにD₀を設定し, TABnCCRkレジスタにD_kを設定した場合,

ワンショット・パルスのアクティブ・レベル幅 = (D₀ - D_k + 1) × カウント・クロック周期

ワンショット・パルスの出力ディレイ期間 = (D_k) × カウント・クロック周期

となります。

注意 ワンショット・パルス出力モードにおいて, TABnCCRkレジスタの設定値がTABnCCR0レジスタの設定値より大きい場合, ワンショット・パルスは出力しません。

備考1. TABnI/O制御レジスタ1 (TABnIOC1), TABnオプション・レジスタ0 (TABnOPT0) は, ワンショット・パルス出力モードでは使用しません。

2. k = 1-3

(1) ワンショット・パルス出力モード動作フロー

図8 - 23 ワンショット・パルス出力モード使用時のソフトウェア処理フロー (1/2)

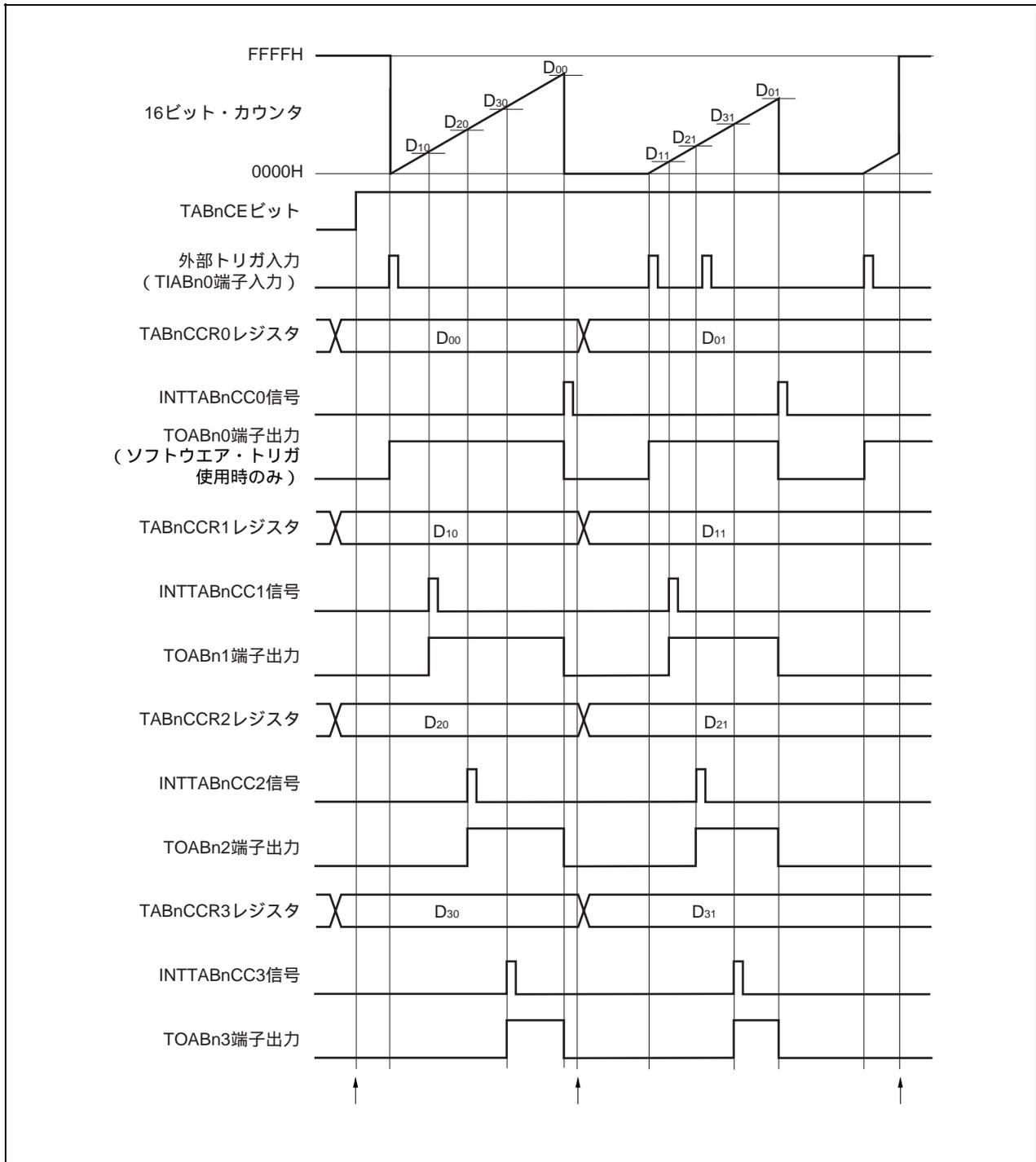
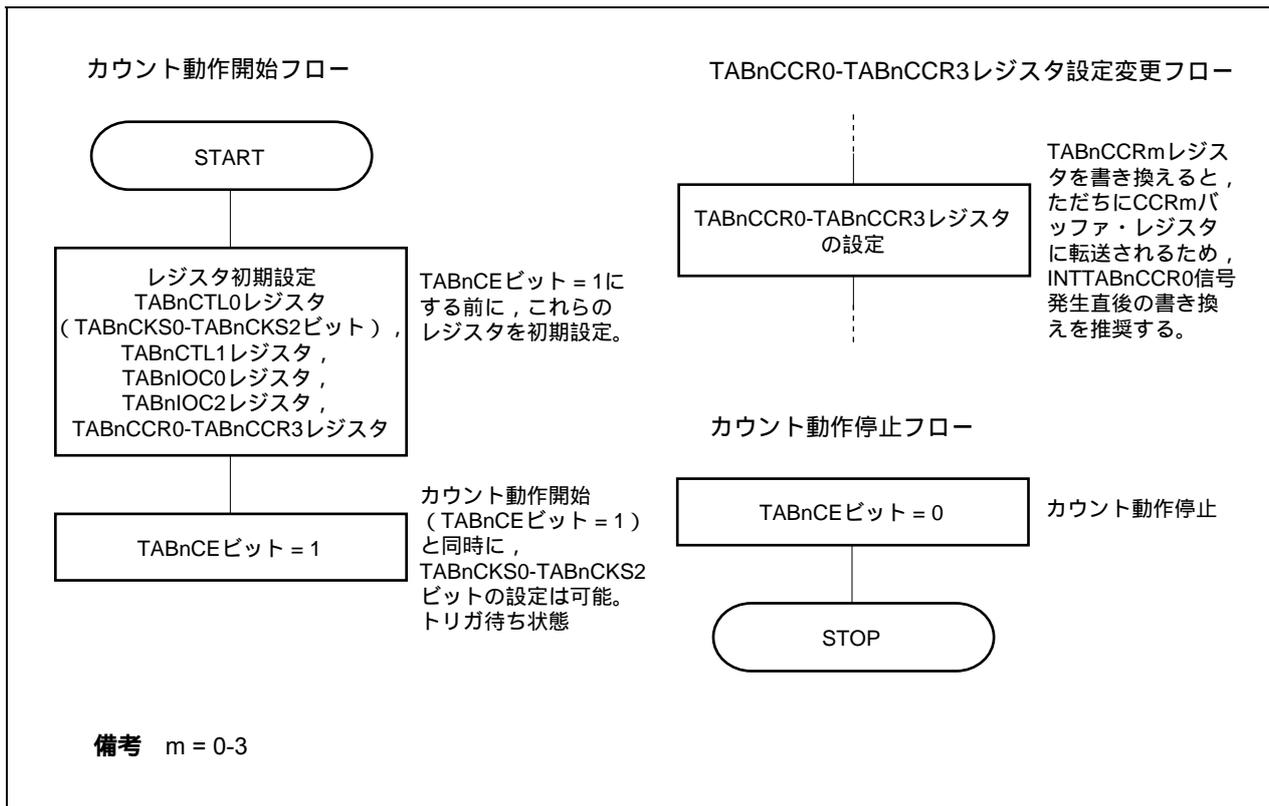


図8 - 23 ワンショット・パルス出力モード使用時のソフトウェア処理フロー (2/2)

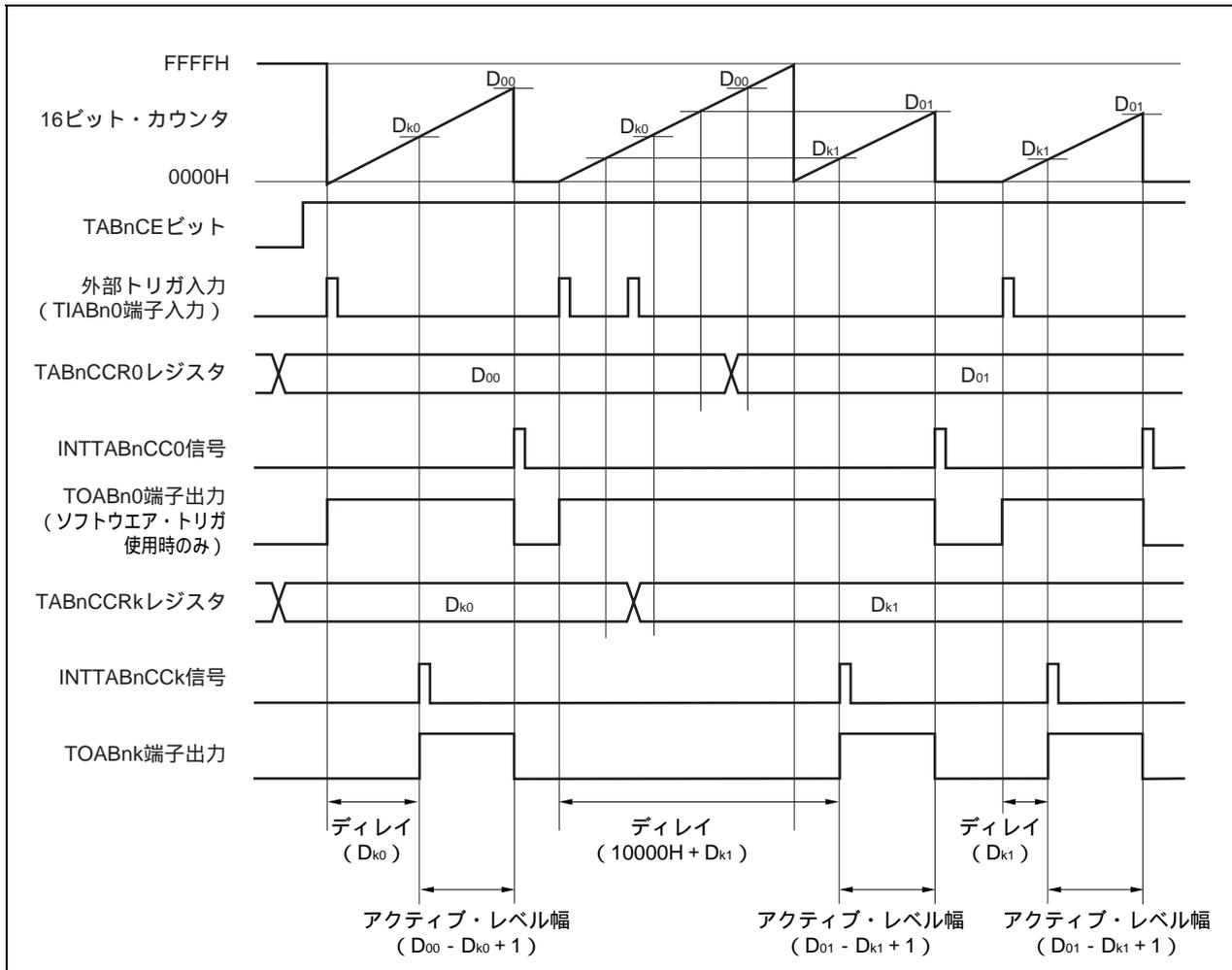


(2) ワンショット・パルス出力モード動作タイミング

(a) TABnCCRmレジスタの書き換えに関する注意事項

TABnCCRmレジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTABnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。



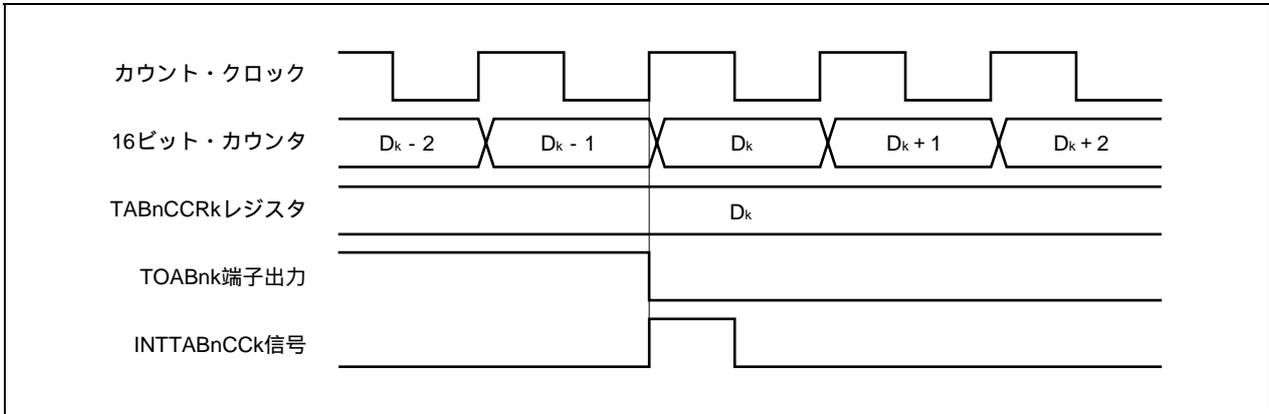
TABnCCR0レジスタをD₀₀からD₀₁に、TABnCCRkレジスタをD_{k0}からD_{k1}に書き換える場合において、D₀₀ > D₀₁, D_{k0} > D_{k1}の状態では、16ビット・カウンタのカウンタ値がD_{k1}よりも大きくD_{k0}よりも小さい状態のときTABnCCRkレジスタを書き換え、カウンタ値がD₀₁よりも大きくD₀₀よりも小さい状態でTABnCCR0レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウンタ値と比較されるために、カウンタ値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、D_{k1}との一致でINTTABnCCk信号を発生してTOABnk端子出力をアクティブ・レベルにし、D₀₁との一致でINTTABnCC0信号を発生してTOABn0端子出力をインアクティブにしてカウント動作を停止します。

したがって、本来期待しているワンショット・パルス出力に対し、ディレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 k = 1-3

(b) コンペアー一致割り込み要求信号 (INTTABnCCK) の発生タイミング

ワンショット・パルス出力モードにおけるINTTABnCCK信号の発生タイミングは、ほかのINTTABnCCK信号と異なり、16ビット・カウンタのカウンタ値とTABnCCRkレジスタの値との一致と同時に発生します。



通常、INTTABnCCK信号は、16ビット・カウンタのカウンタ値とTABnCCRkレジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOABnk端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

備考 k = 1-3

8.5.5 PWM出力モード (TABnMD2-TABnMD0ビット = 100)

PWM出力モードは、TABnCTL0.TABnCEビットをセット(1)することで、TOABn1-TOABn3端子からPWM波形を出力します。

また、TOABn0端子から、PWM波形の1周期を半周期とするパルスを出力します。

図8 - 24 PWM出力モードの構成図

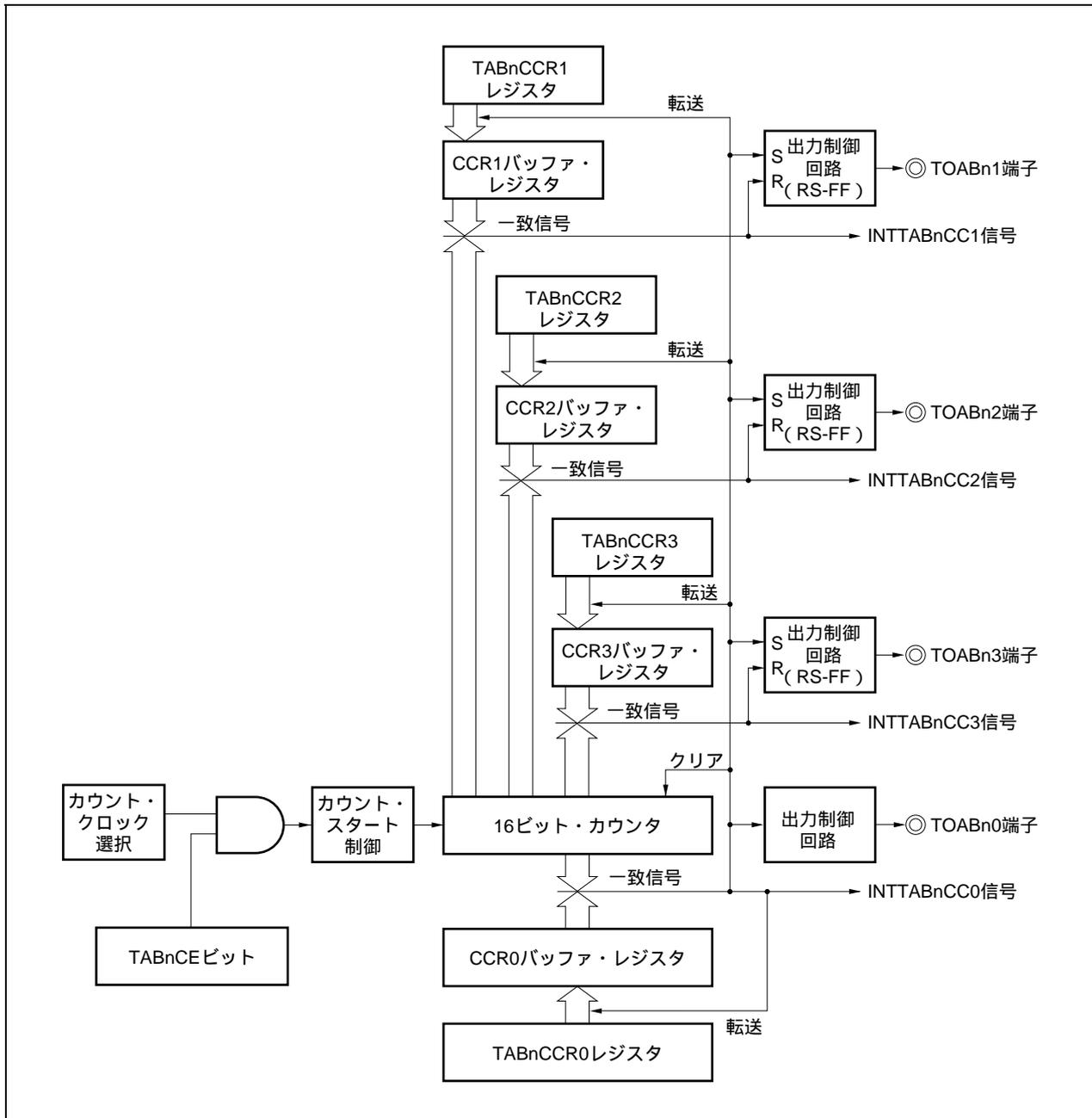
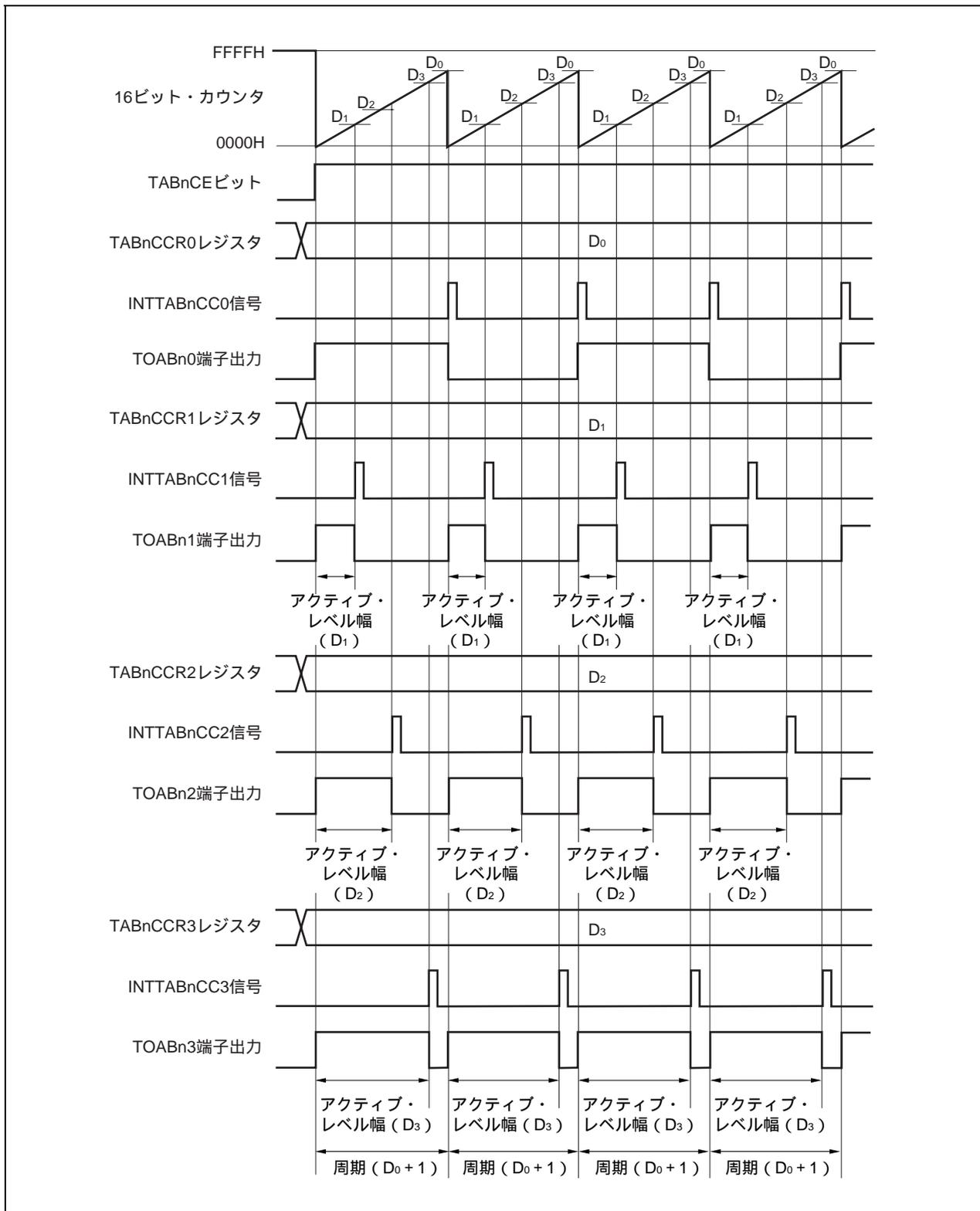


図8 - 25 PWM出力モードの基本タイミング



TABnCEビットをセット (1) することで, 16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し, TOABnk端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅, 周期, およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TABnCCRkレジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TABnCCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TABnCCRkレジスタの設定値}) / (\text{TABnCCR0レジスタの設定値} + 1)$$

動作中にTABnCCRmレジスタを書き換えることにより, PWM波形を変更できます。書き換えた値は, 16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し, 16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンペアー一致割り込み要求信号 (INTTABnCC0) は, 16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し, 同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTTABnCCk) は, 16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値が一致するタイミングで発生します。

備考 k = 1-3,
m = 0-3

図8 - 26 PWM出力モード動作時のレジスタ設定内容 (1/3)

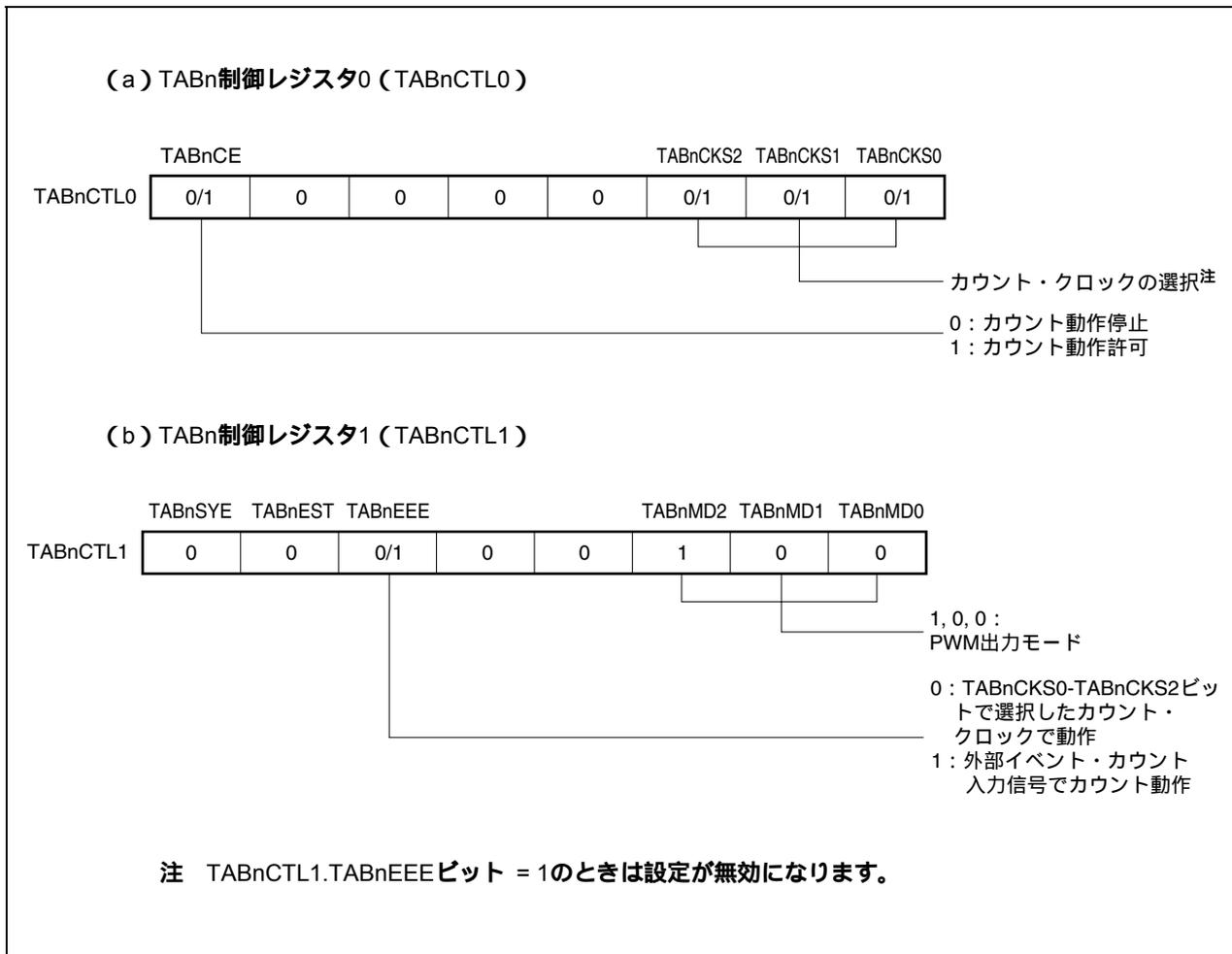


図8 - 26 PWM出力モード動作時のレジスタ設定内容 (2/3)

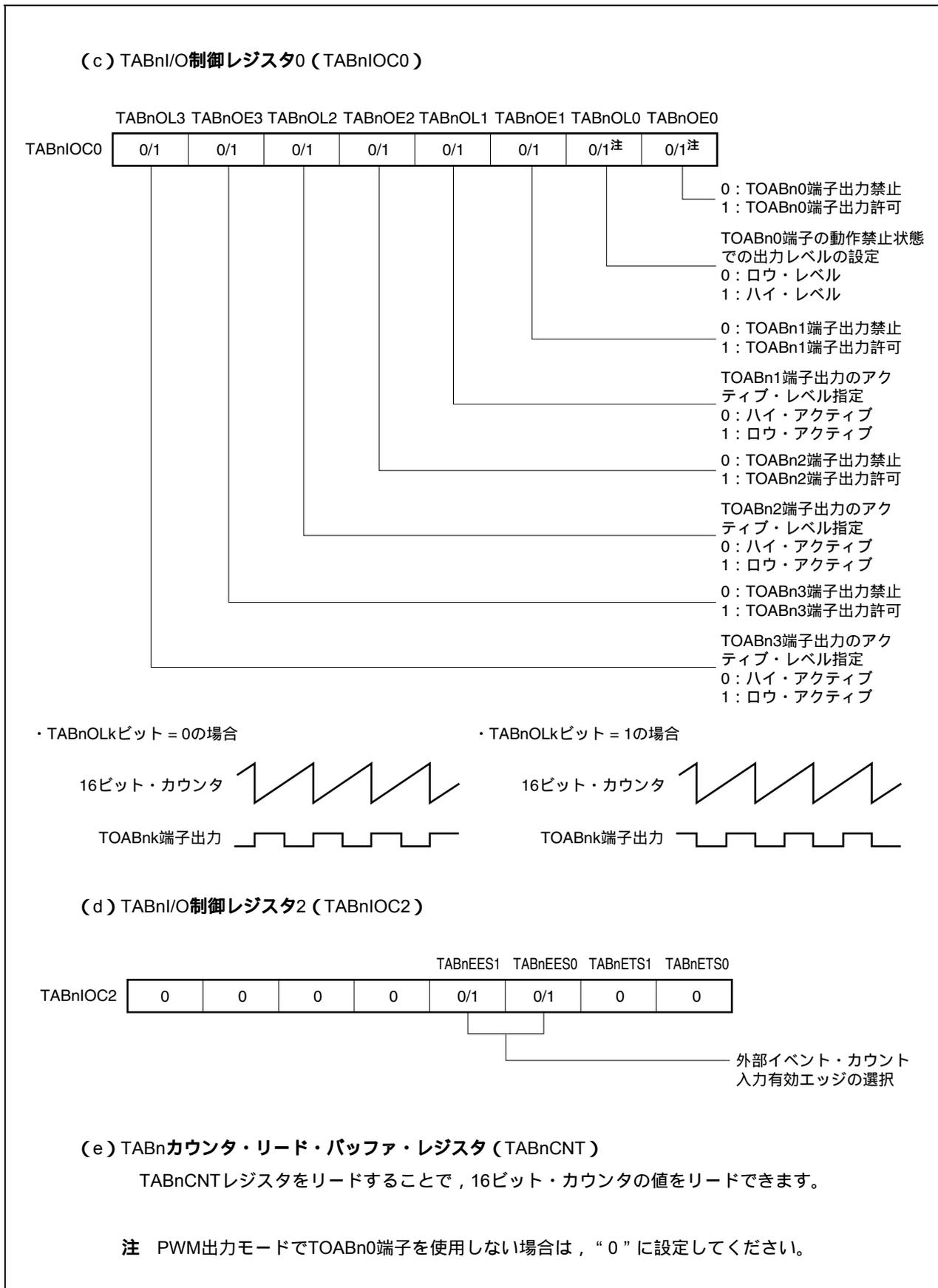


図8 - 26 PWM出力モード動作時のレジスタ設定内容 (3/3)

(f) TABnキャプチャ/コンペア・レジスタ0-3 (TABnCCR0-TABnCCR3)

TABnCCR0レジスタにD₀を設定し, TABnCCRkレジスタにD_kを設定した場合,

$$\text{PWM波形の周期} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{PWM波形のアクティブ・レベル幅} = D_k \times \text{カウント} \cdot \text{クロック周期}$$

となります。

- 備考1.** TABn/O制御レジスタ1 (TABnIOC1), TABnオプション・レジスタ0 (TABnOPT0) は, PWM出力モードでは使用しません。
- 2.** TABnキャプチャ/コンペア・レジスタ2 (TABnCCR2), TABnキャプチャ/コンペア・レジスタ3 (TABnCCR3) の更新は, TABnキャプチャ/コンペア・レジスタ1 (TABnCCR1) への書き込みにより有効になります。

(1) PWM出力モード動作フロー

図8 - 27 PWM出力モード使用時のソフトウェア処理フロー (1/2)

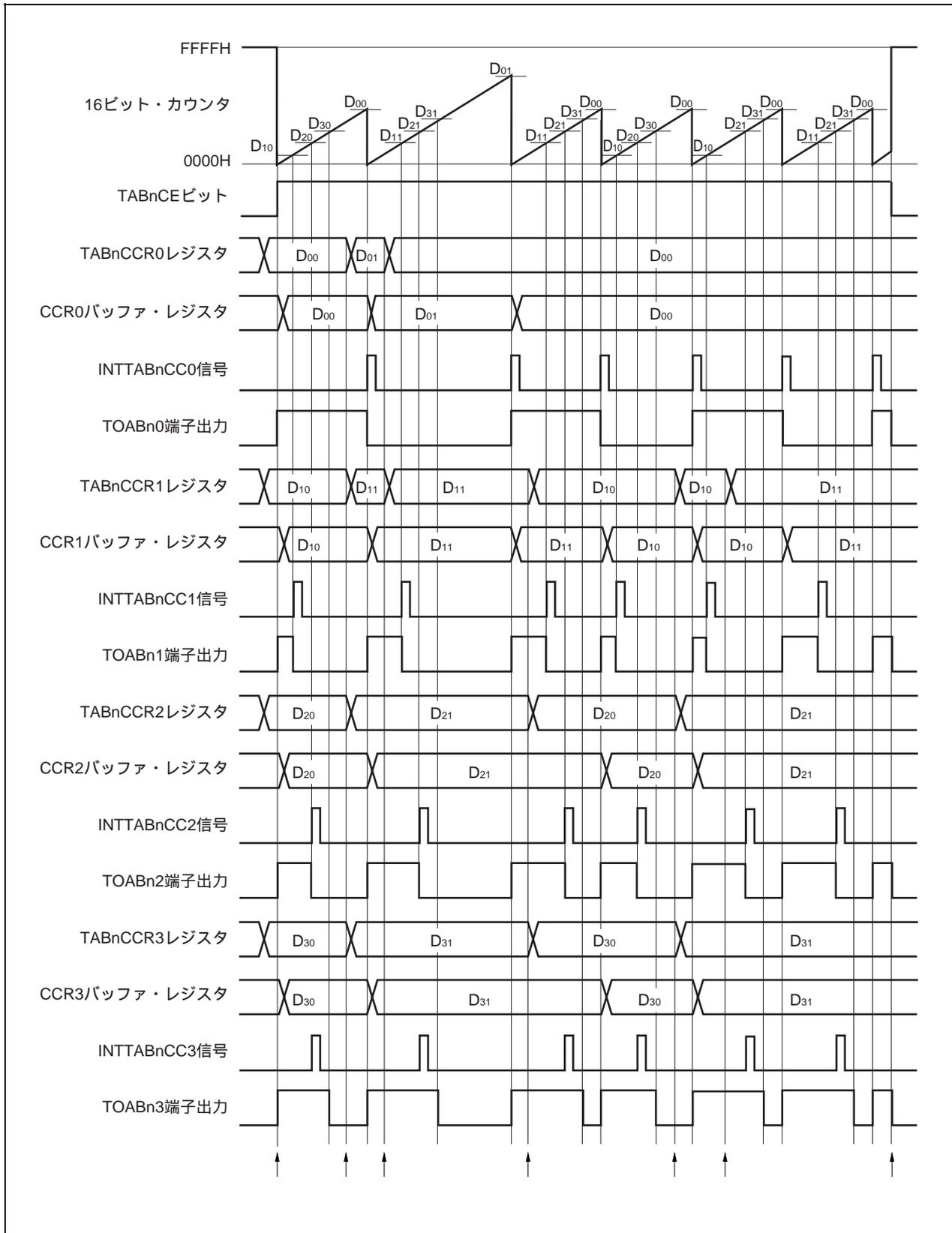
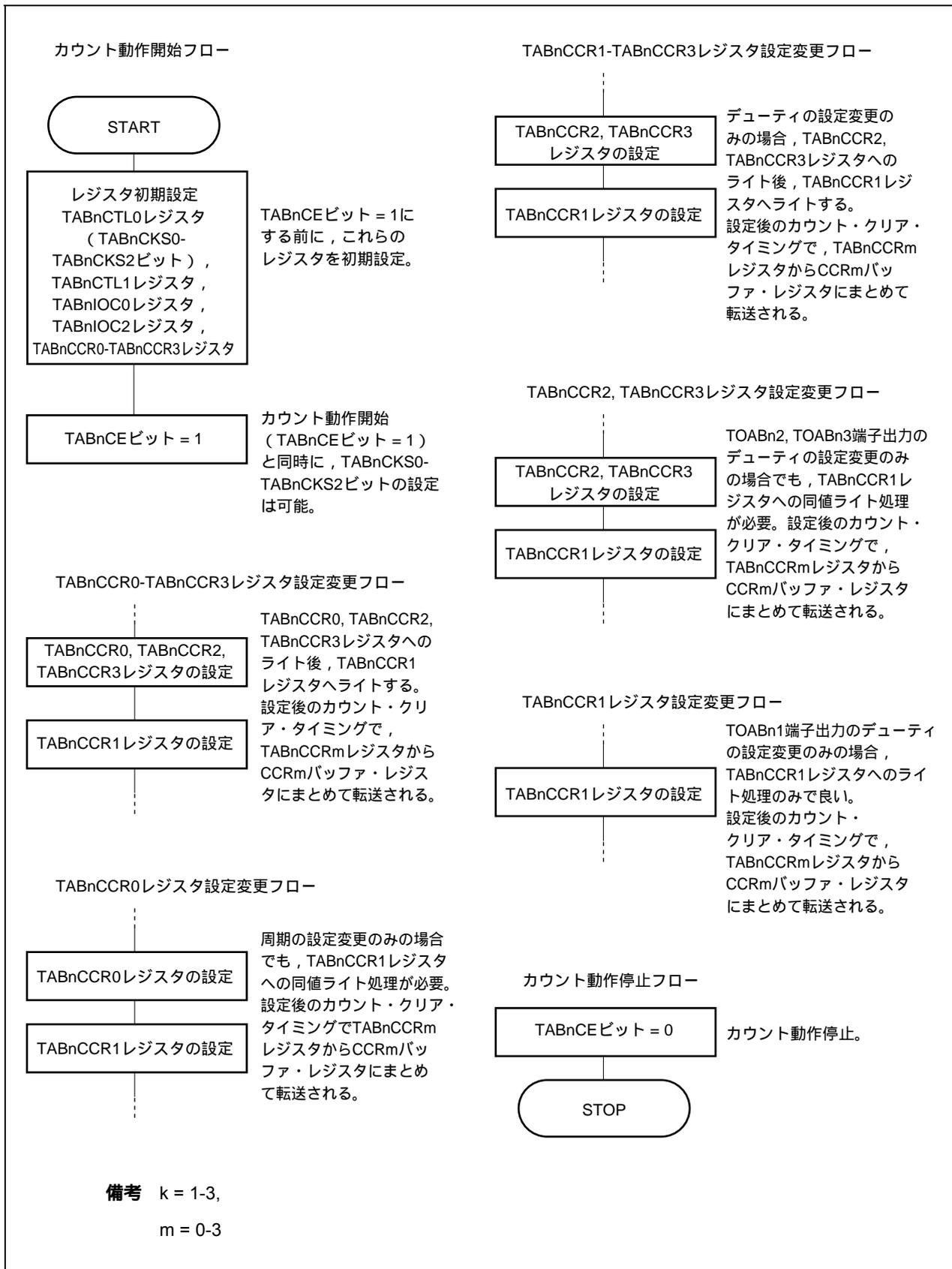


図8 - 27 PWM出力モード使用時のソフトウェア処理フロー (2/2)

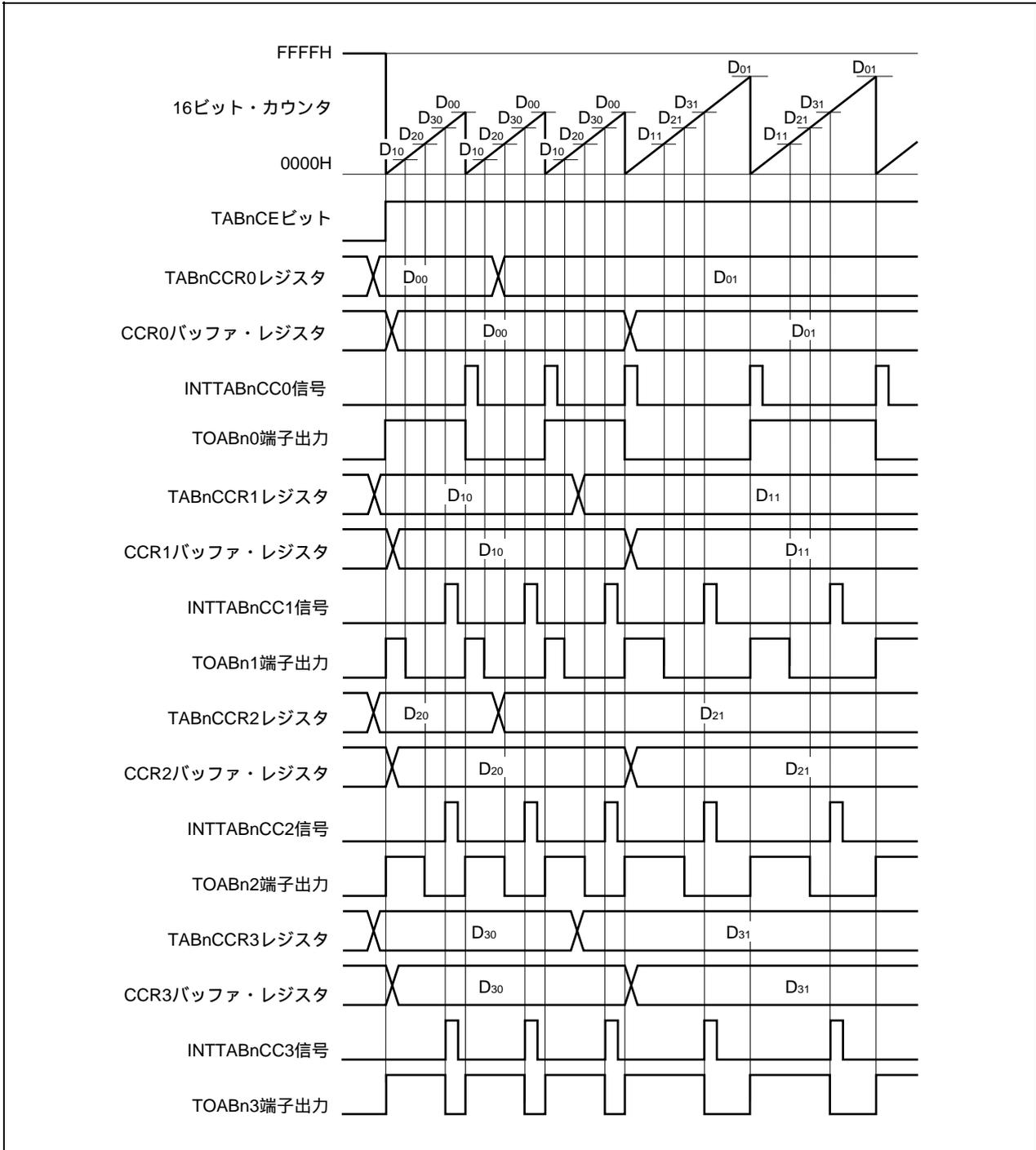


(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTABnCCR1レジスタにライトしてください。

TABnCCR1レジスタにライト後、再度TABnCCRkレジスタの書き換えを行う場合には、INTTABnCC1信号を検出後に書き換えてください。



TABnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TABnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTABnCCR0レジスタに周期を、TABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、最後にTABnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTABnCCR0レジスタに周期を設定し、そのあとでTABnCCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合には、まず、TABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、最後にTABnCCR1レジスタにアクティブ・レベル幅を設定してください。

TOABn1端子出力のPWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TABnCCR1レジスタのみの設定でかまいません。

TOABn2、TOABn3端子出力のPWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、まずTABnCCR2、TABnCCR3レジスタにアクティブ・レベル幅を設定し、そのあとでTABnCCR1レジスタに同値をライトしてください。

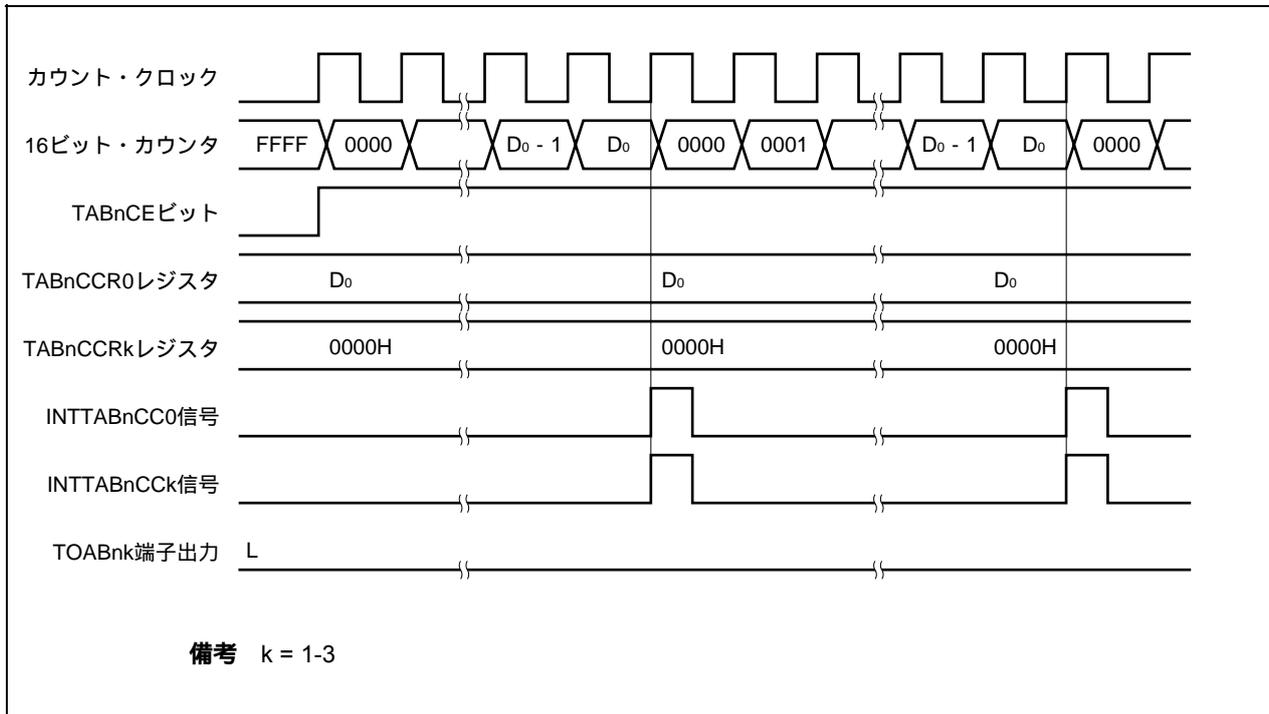
TABnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TABnCCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TABnCCR1レジスタにライトしたあとで、再度TABnCCR0-TABnCCR3レジスタへのライトを行う場合は、INTTABnCC0信号の発生後に行ってください。これを守れない場合には、TABnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TABnCCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

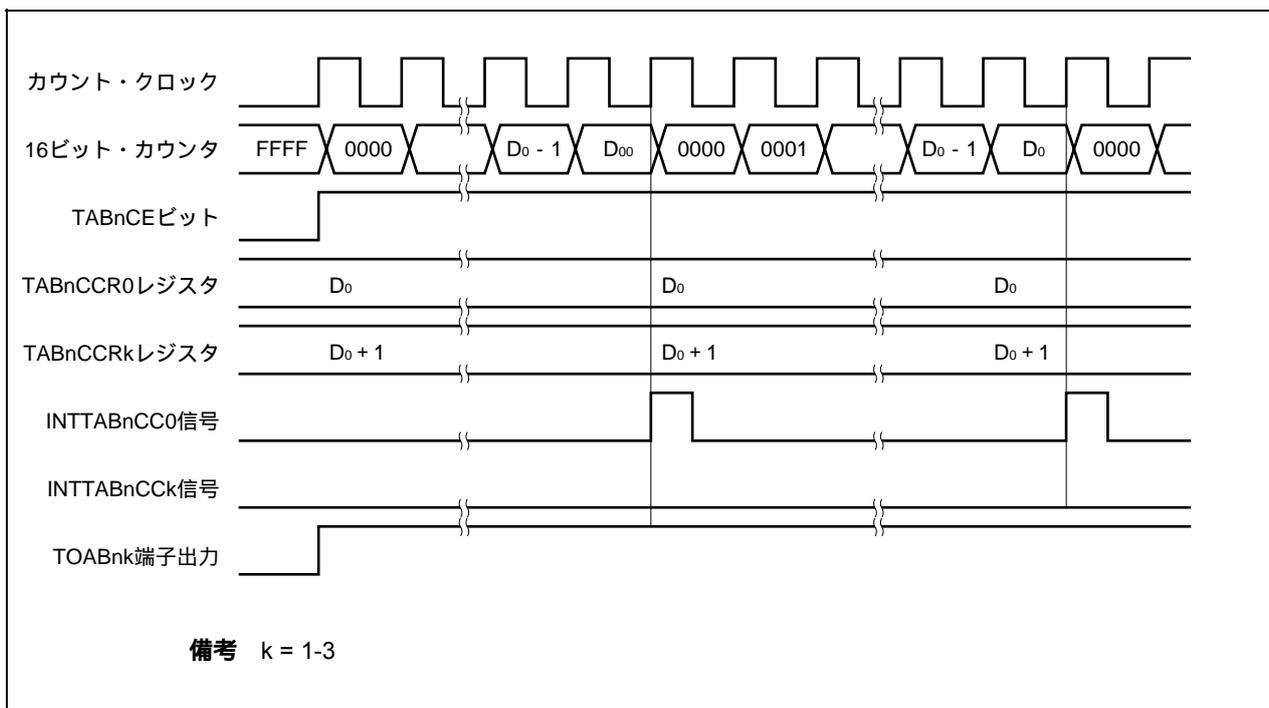
備考 m = 0-3

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TABnCCRkレジスタに対して0000Hを設定します。ただし、TABnCCR0レジスタの設定値がFFFFHの場合には、INTTABnCCK信号が定期的が発生します。

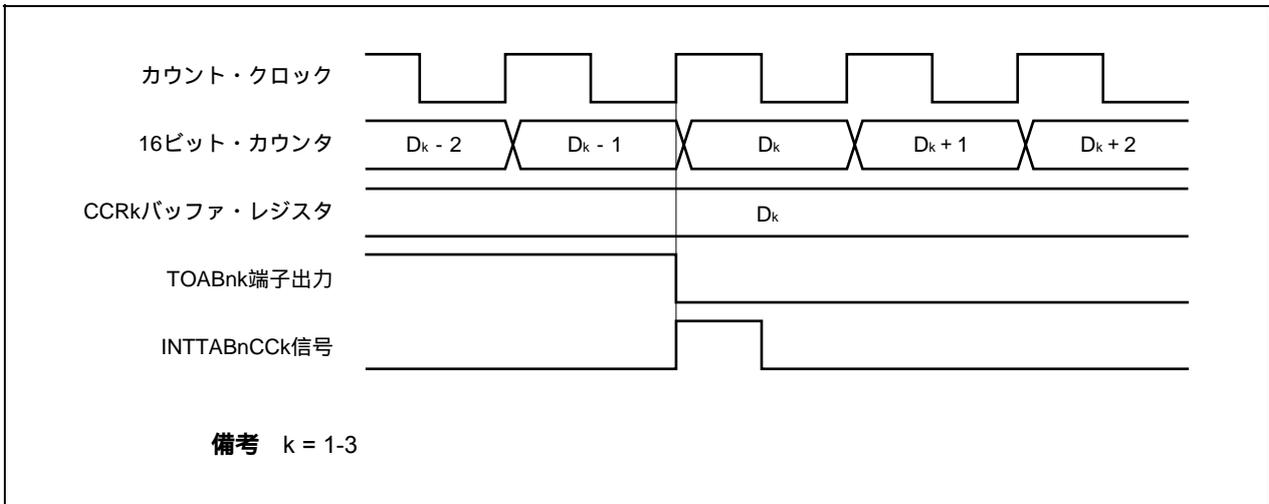


100 % 波形を出力するためには、TABnCCRkレジスタに対して (TABnCCR0レジスタの設定値 + 1) の値を設定してください。TABnCCR0レジスタの設定値がFFFFHの場合には、100 % 出力はできません。



(c) コンペアー一致割り込み要求信号 (INTTABnCCk) の発生タイミング

PWM出力モードにおけるINTTABnCCk信号の発生タイミングは、ほかのINTTABnCCk信号と異なり、16ビット・カウンタのカウンタ値とTABnCCRkレジスタの値との一致と同時に発生します。



通常、INTTABnCCk信号は、16ビット・カウンタのカウンタ値とTABnCCRkレジスタの値との一致後、次のカウンタ・アップに同期して発生します。

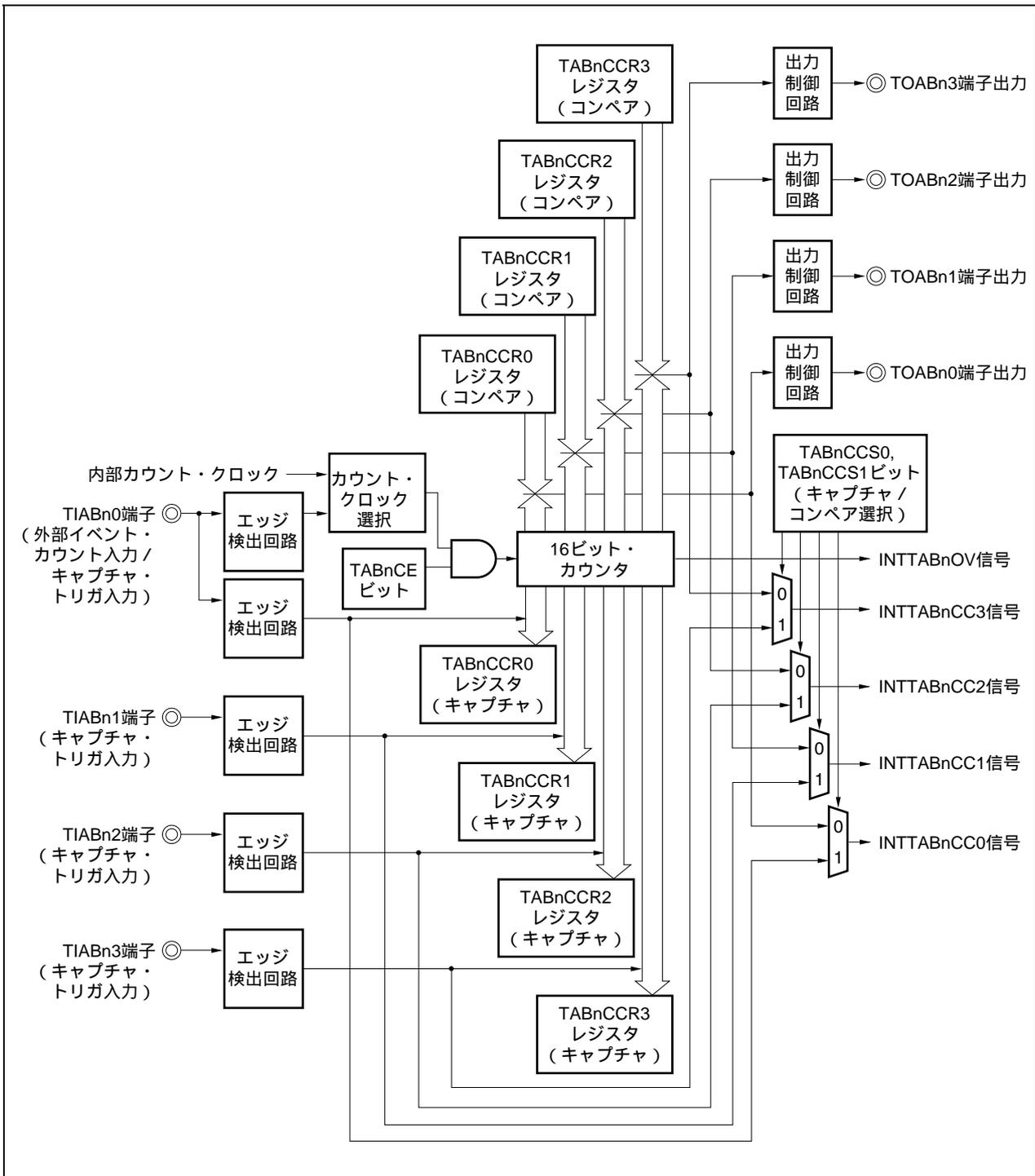
しかし、PWM出力モードの場合、1クロック早いタイミングで発生します。これは、TOABnk端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

8.5.6 フリー・ランニング・タイマ・モード (TABnMD2-TABnMD0ビット = 101)

フリー・ランニング・タイマ・モードは、TABnCTL0.TABnCEビットをセット(1)することでカウント動作を開始します。このときのTABnCCRmレジスタの動作は、TABnOPT0.TABnCCS0, TABnCCS1ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

備考 m = 0-3

図8-28 フリー・ランニング・タイマ・モードの構成図

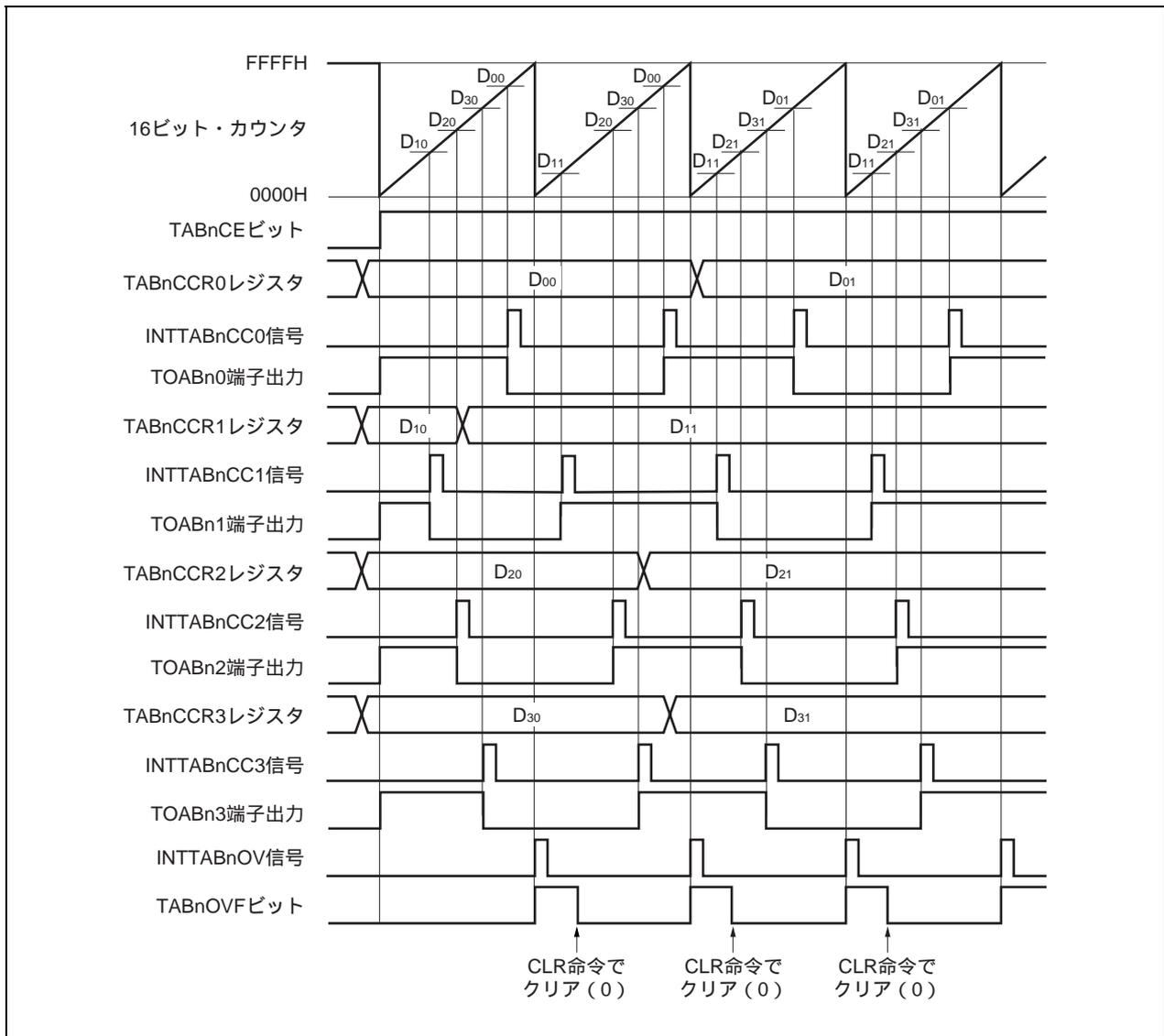


TABnCEビットをセット(1)することで、カウント動作を開始し、TOABn0-TOABn3端子出力を反転します。その後、16ビット・カウンタのカウント値とTABnCCRmレジスタの設定値が一致すると、コンペア一致割り込み要求信号 (INTTABnCCm) を発生し、TOABnm端子出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバフロー割り込み要求信号 (INTTABnOV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ (TABnOPT0.TABnOVFビット) もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

TABnCCRmレジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き換えた値が反映され、カウント値と比較されます (m = 0-3)。

図8 - 29 フリー・ランニング・タイマ・モードの基本タイミング (コンペア機能)



TABnCEビットをセット (1) することで、カウント動作を開始します。その後、TIABnm端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTABnCCRmレジスタに格納し、キャプチャ割り込み要求信号 (INTTABnCCm) を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号 (INTTABnOV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ (TABnOVFビット) もセット (1) されます。オーバーフロー・フラグは、ソフトウェアでCLR命令を実行してクリア (0) してください (m = 0-3)。

図8 - 30 フリー・ランニング・タイマ・モードの基本タイミング (キャプチャ機能)

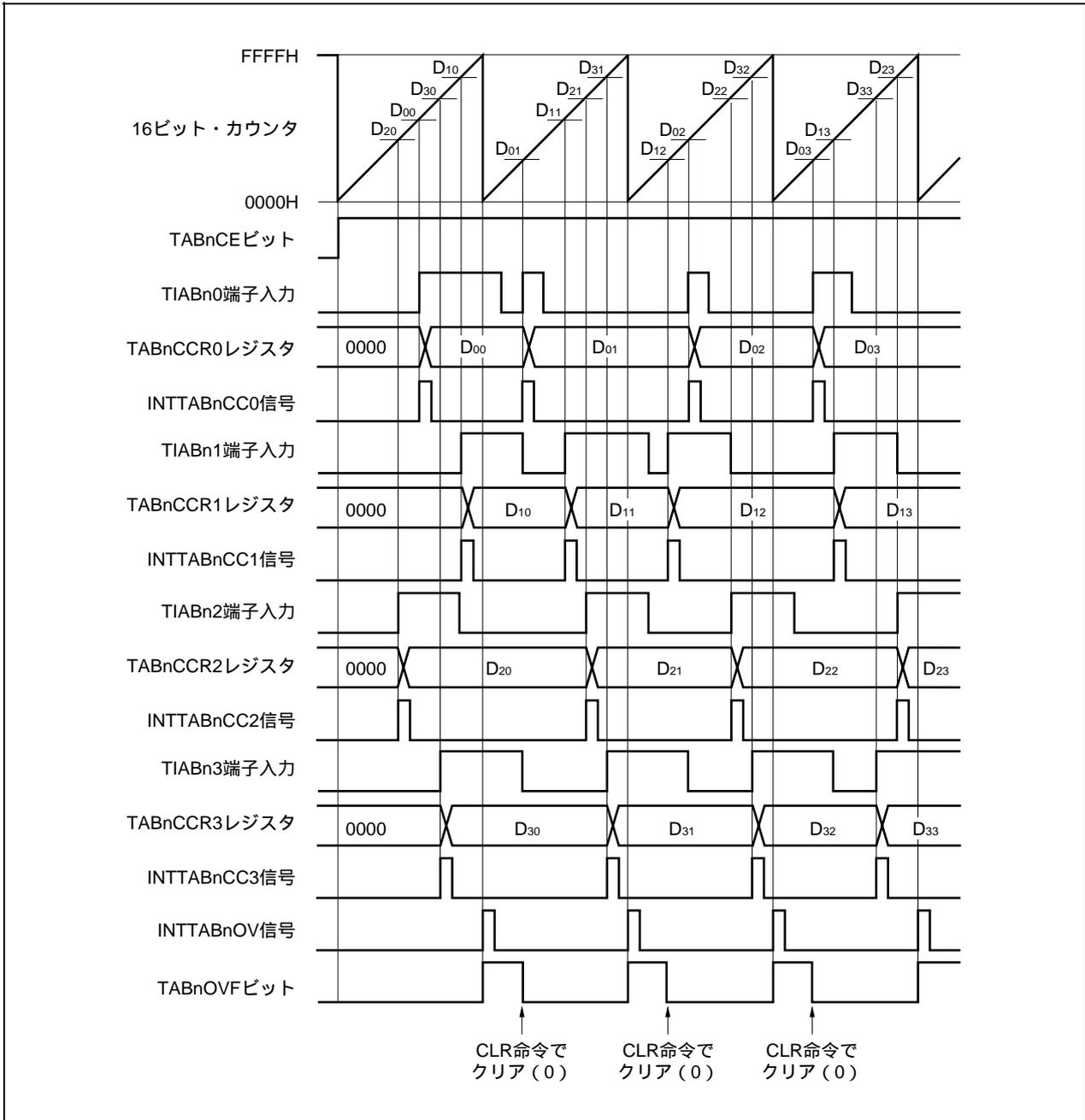
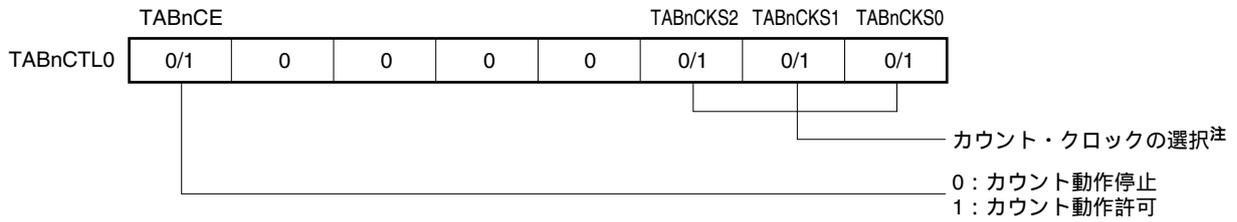


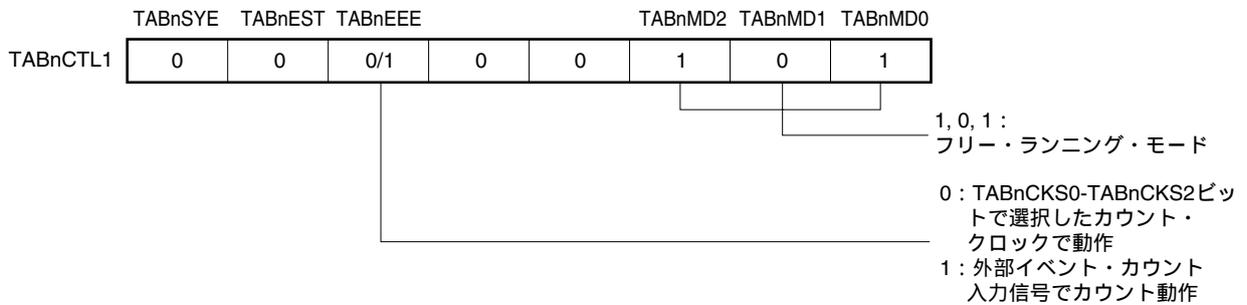
図8 - 31 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (1/3)

(a) TABn制御レジスタ0 (TABnCTL0)



注 TABnCTL1.TABnEEEビット = 1のときは設定が無効になります。

(b) TABn制御レジスタ1 (TABnCTL1)



(c) TABnI/O制御レジスタ0 (TABnIOC0)

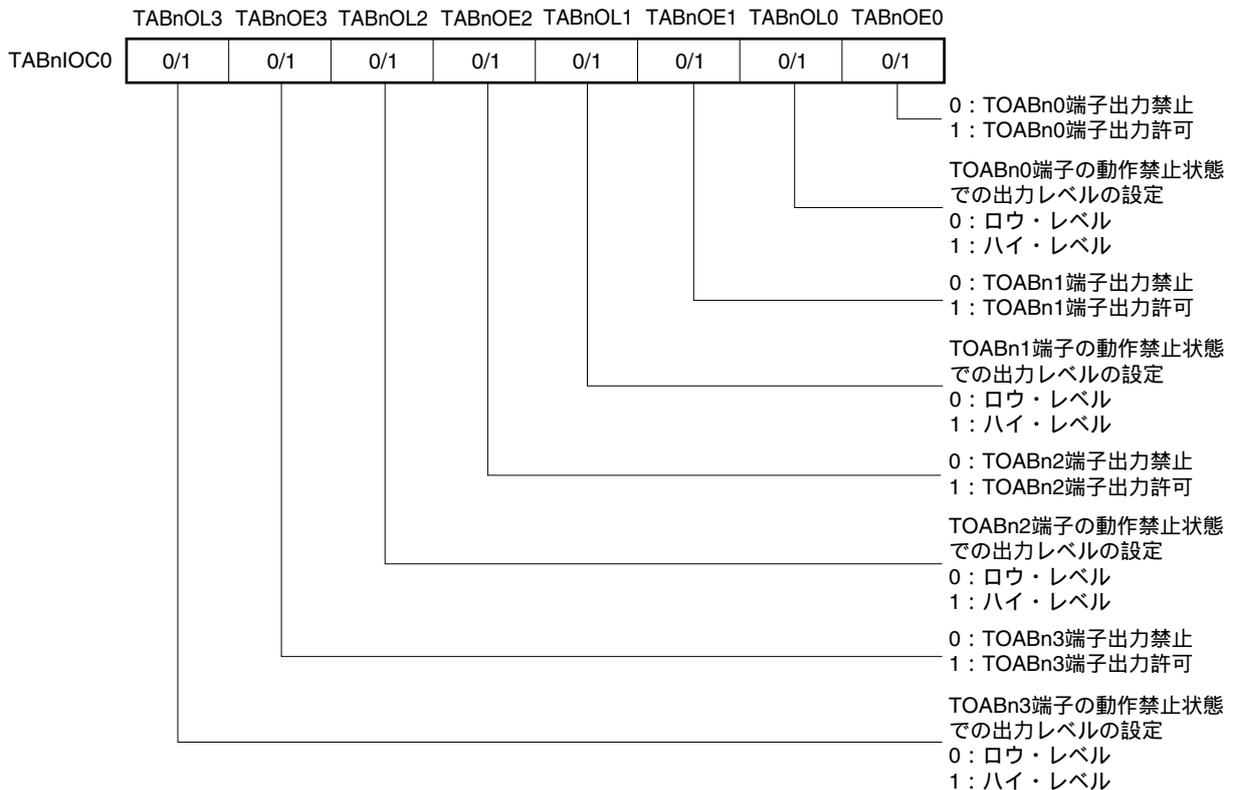


図8 - 31 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/3)

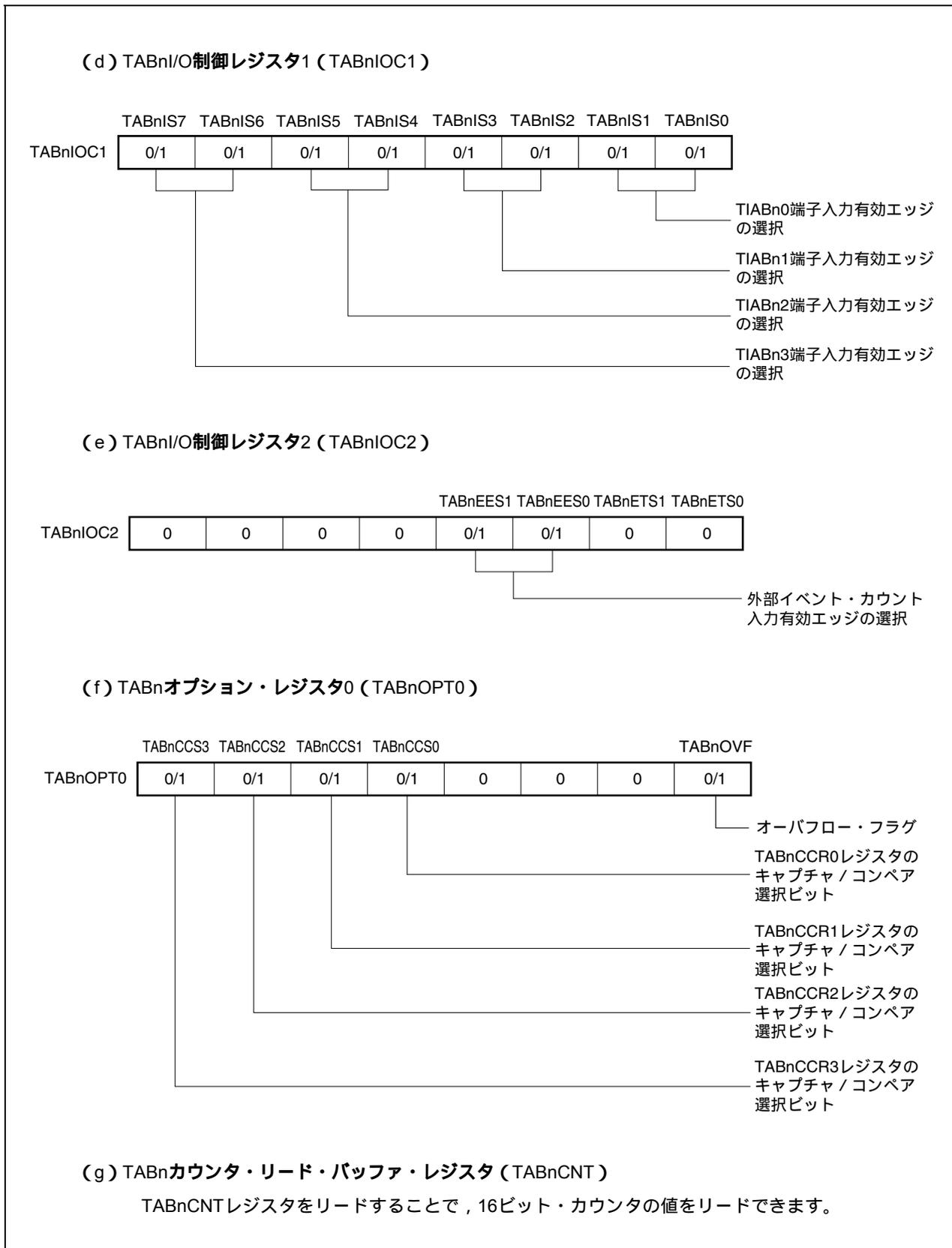


図8 - 31 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (3/3)

(h) TABnキャプチャ/コンペア・レジスタ0-3 (TABnCCR0-TABnCCR3)

TABnOPT0.TABnCCSmビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TIABnm端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には、TABnCCRmレジスタにD_mを設定した場合、カウンタが(D_m + 1)になるタイミングでINTTABnCCm信号を発生し、TOABnm端子出力を反転します。

備考 m = 0-3

(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図8 - 32 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

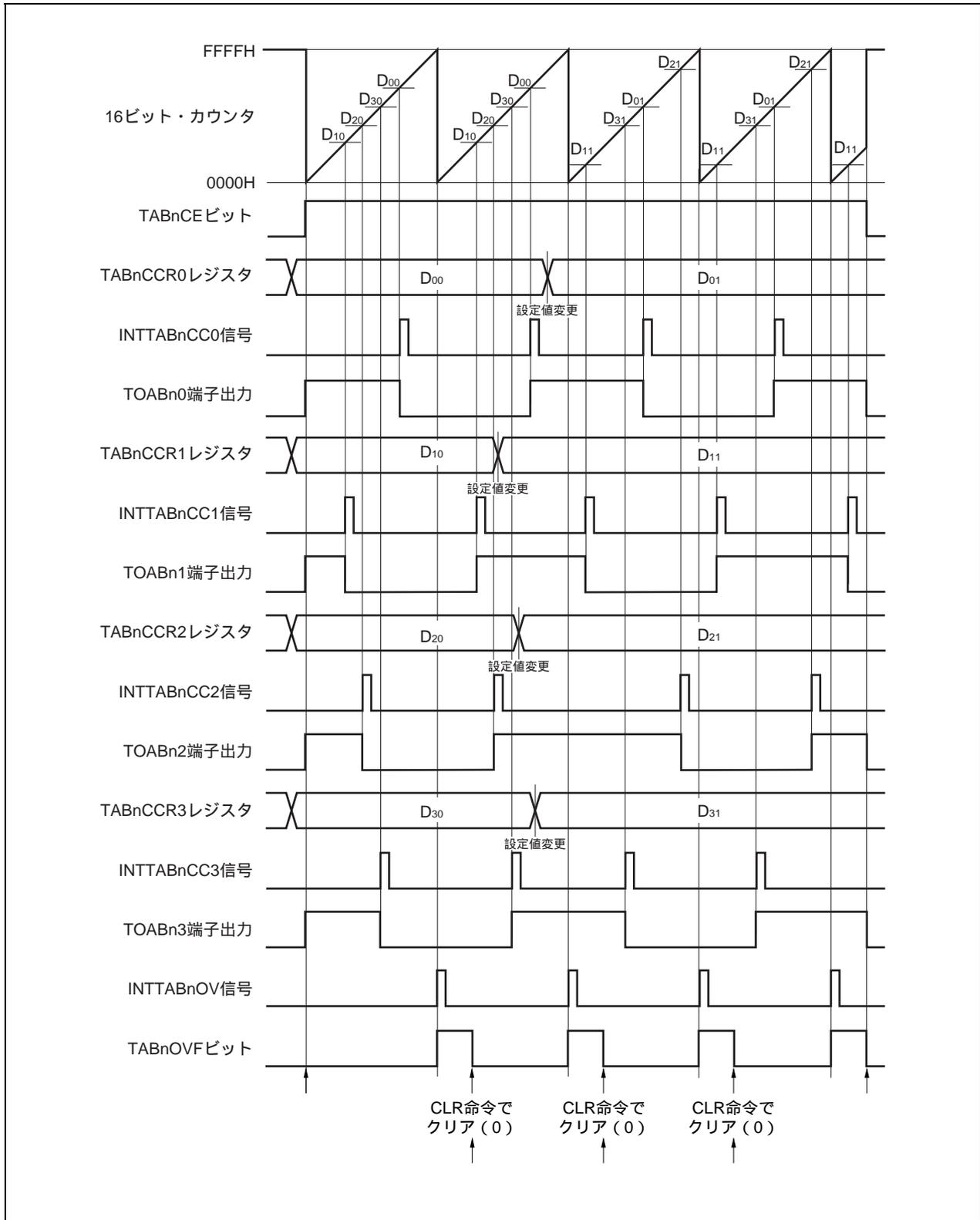
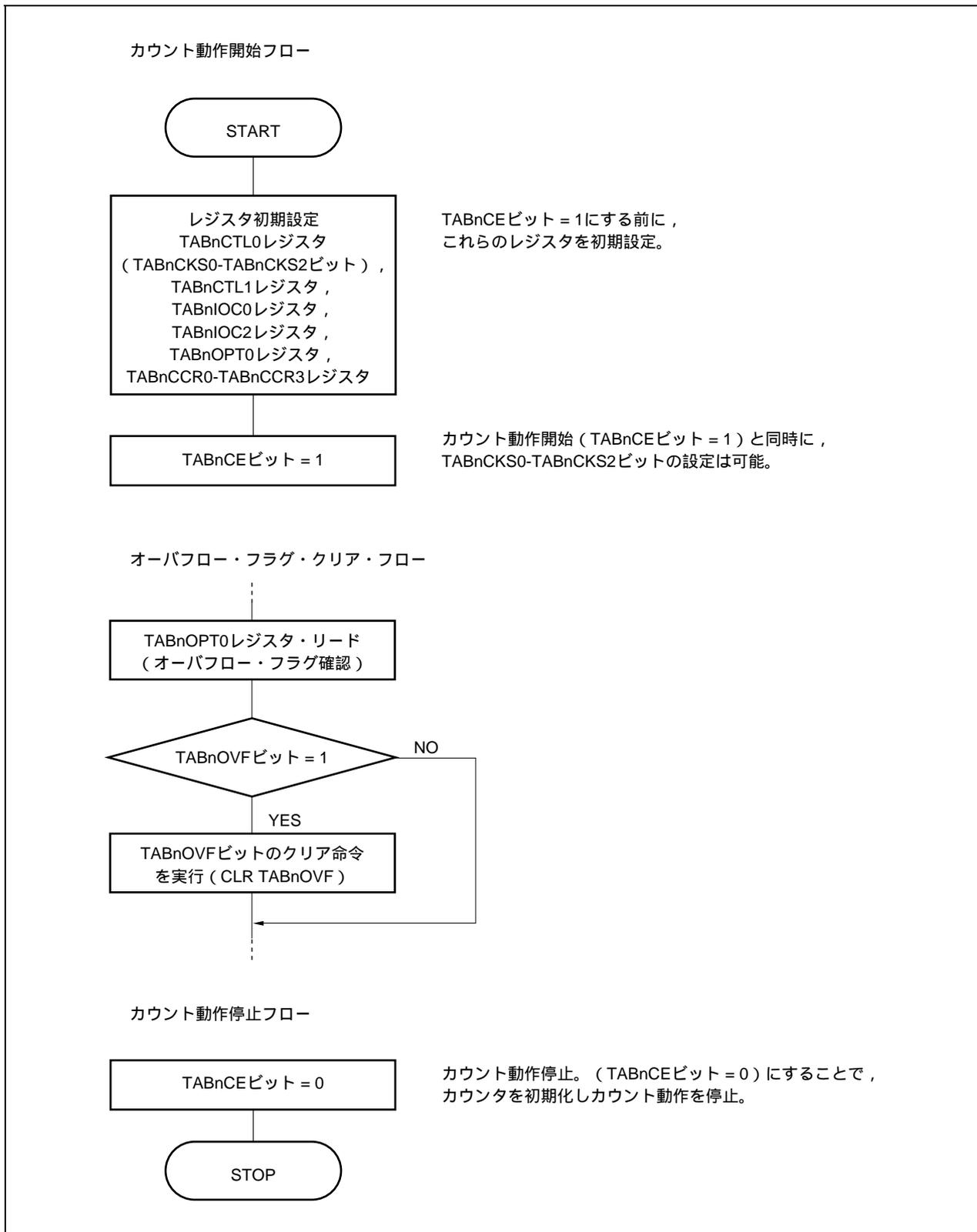


図8 - 32 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (コンペア機能) (2/2)



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図8 - 33 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（1/2）

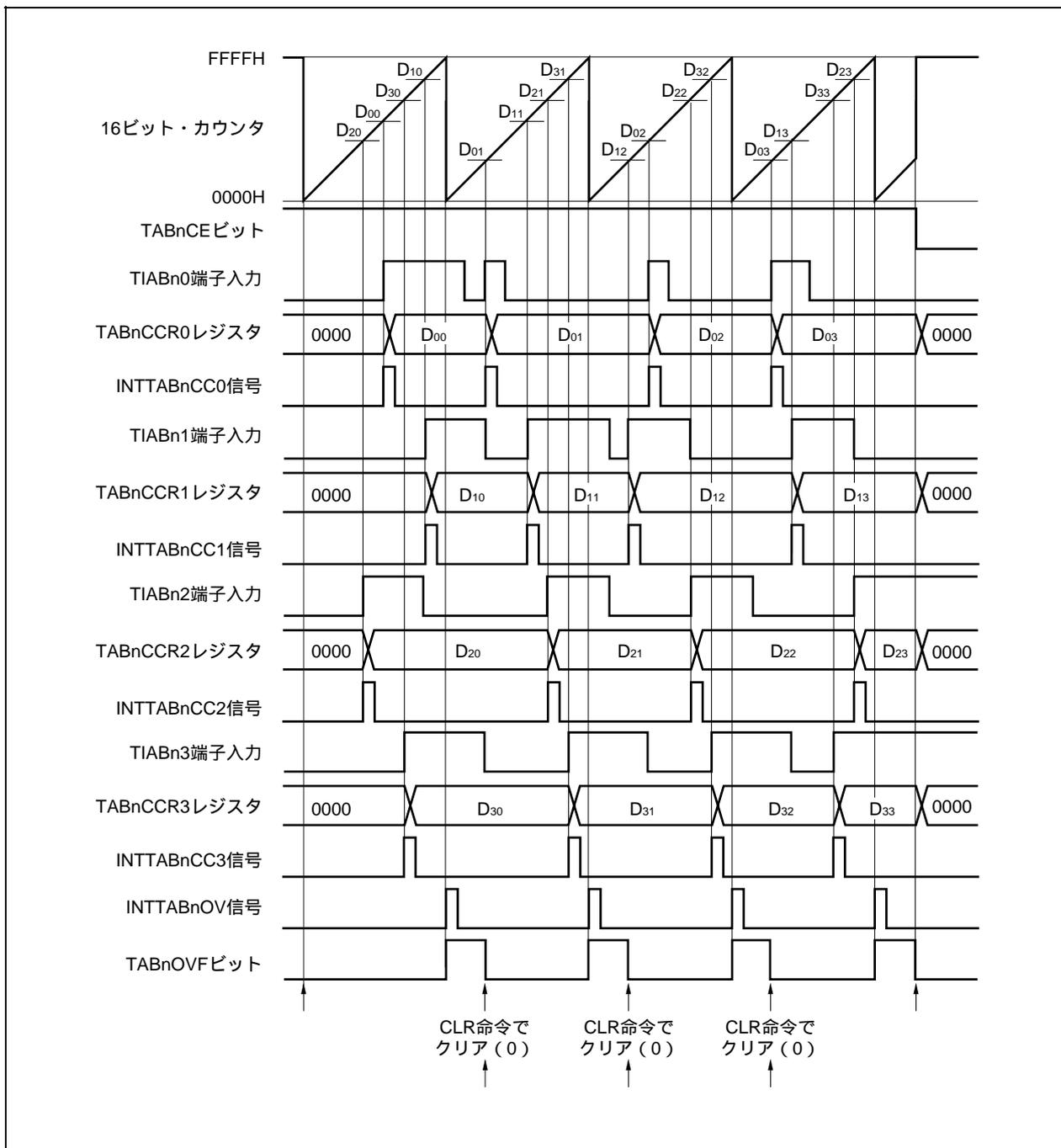
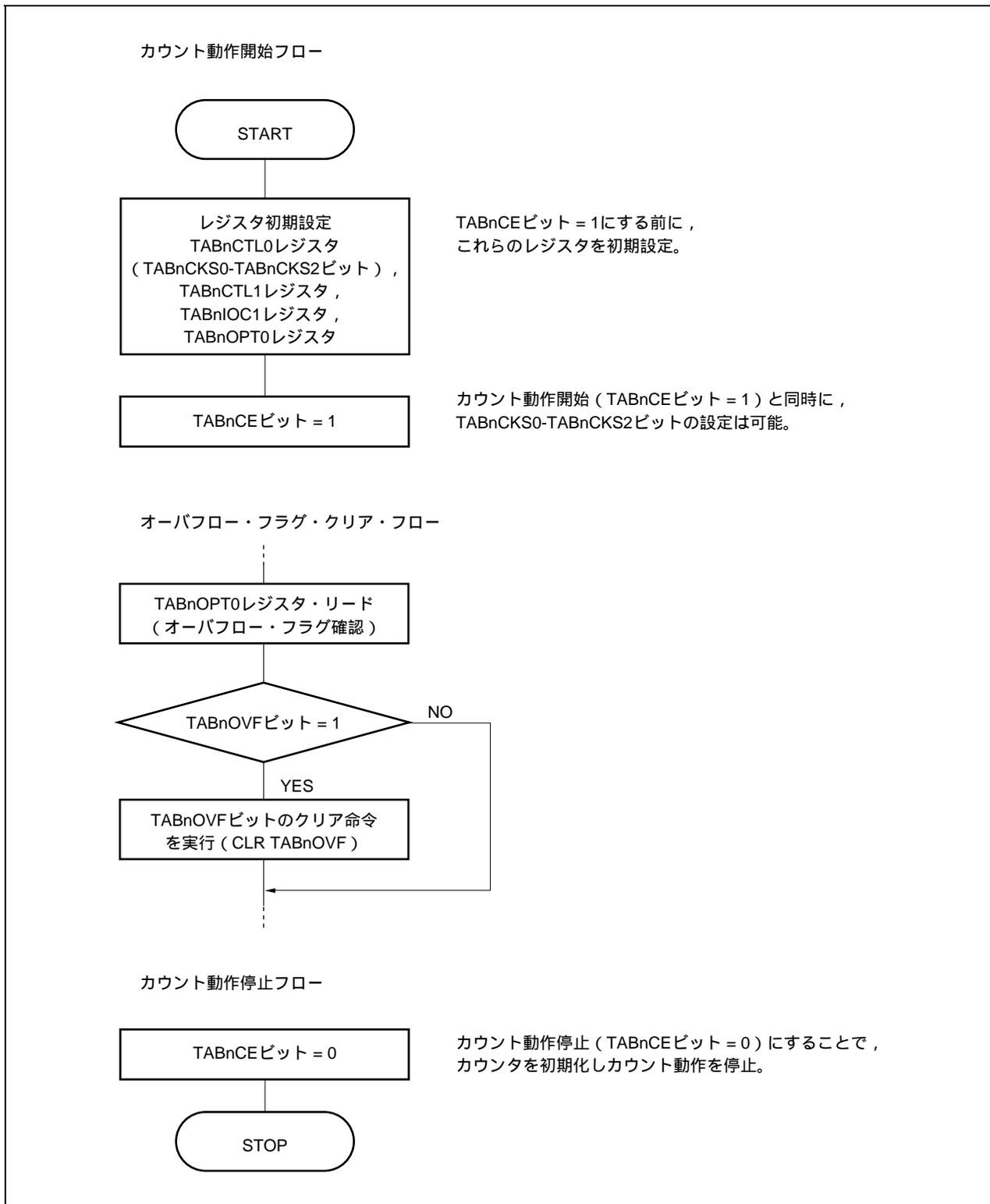


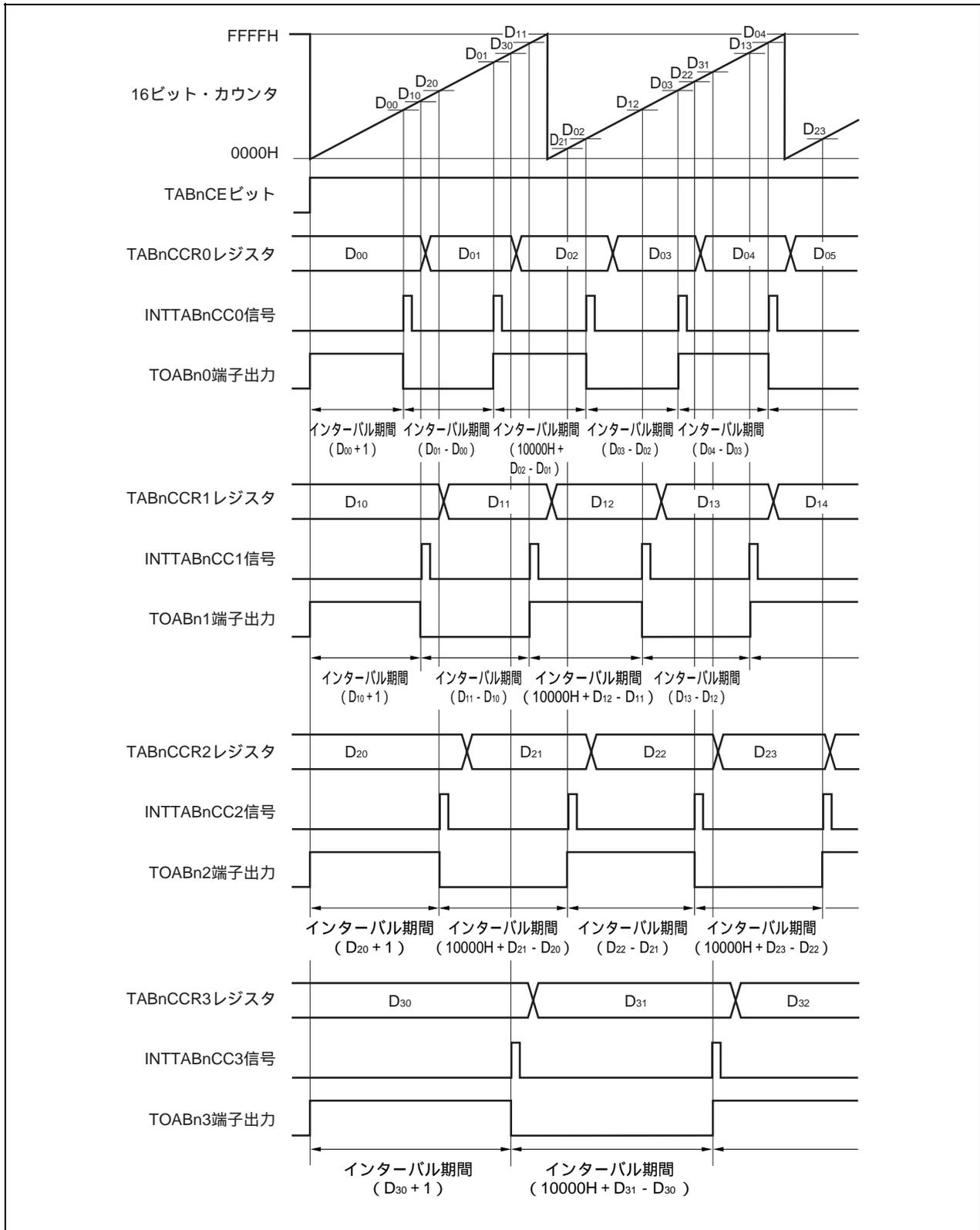
図8 - 33 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (キャプチャ機能) (2/2)



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TABnCCRmレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTABnCCm信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、4つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTABnCCm信号を検出したときの割り込み処理中に、対応するTABnCCRmレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“ D_m ”とすると、次のように求められます。

コンペア・レジスタ初期値： $D_m - 1$

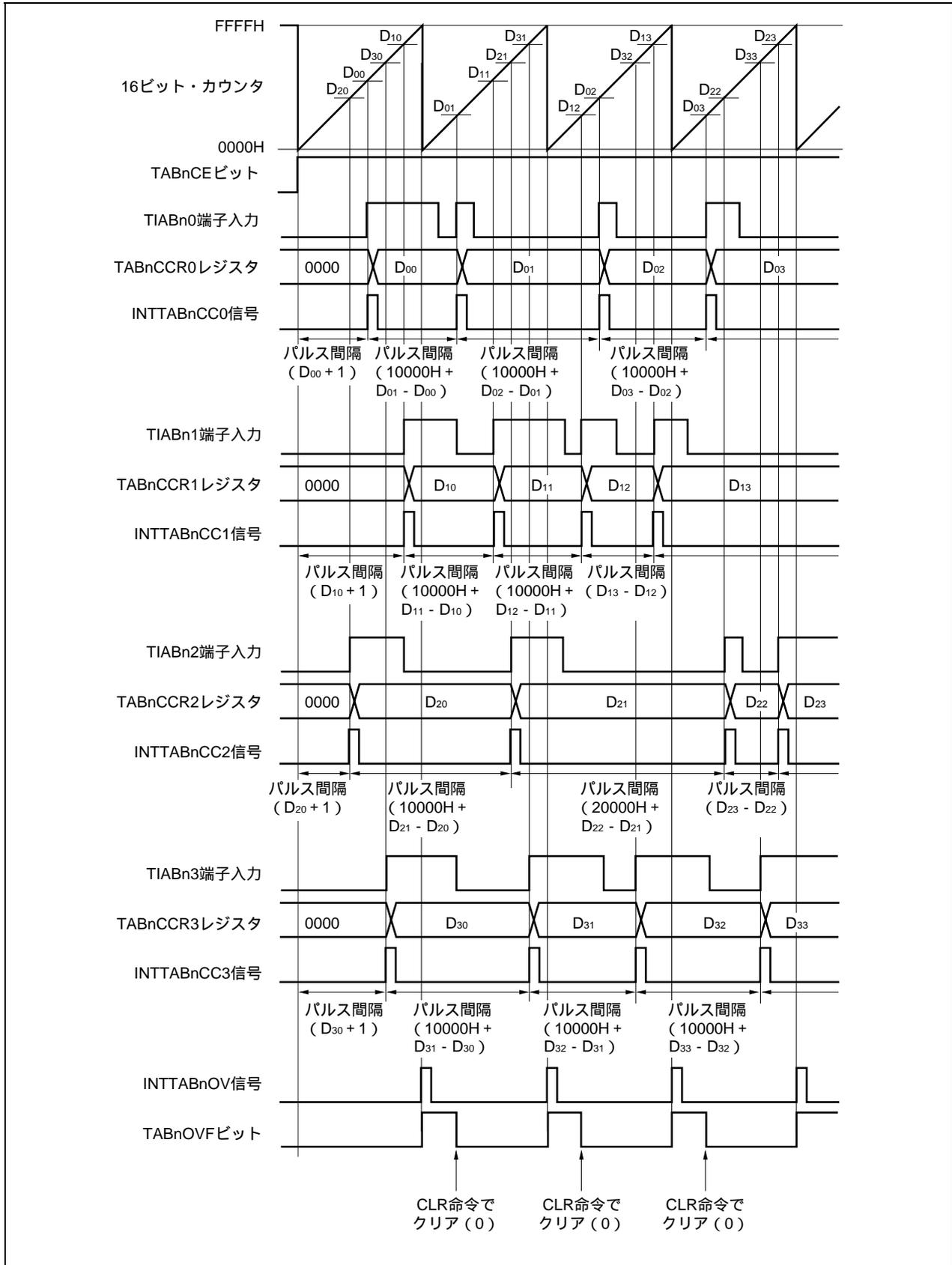
2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D_m

(演算結果がFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください。)

備考 $m = 0-3$

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TABnCCRmレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTABnCCm信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



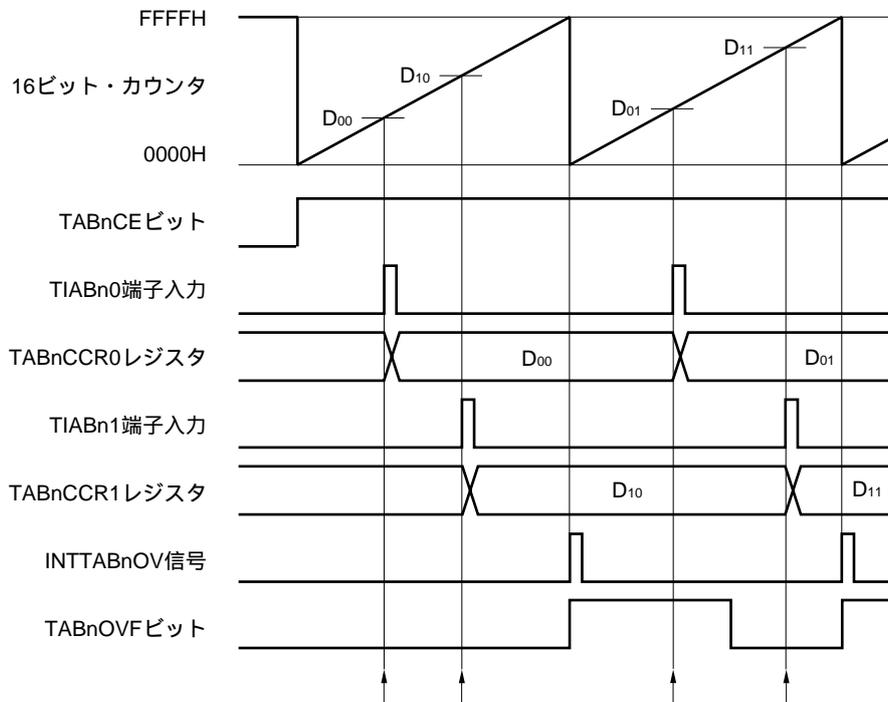
フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、4つのパルス幅測定ができます。
パルス幅測定を行う場合、INTTABnCCm信号に同期してTABnCCRmレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

備考 m = 0-3

(c) 2つ以上のキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

2つ以上のキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

2つ以上のキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合、次のような問題が起こる場合があります。

TABnCCR0レジスタをリードする (TIABn0端子入力の初期値設定)。

TABnCCR1レジスタをリードする (TIABn1端子入力の初期値設定)。

TABnCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TABnCCR1レジスタをリードする。

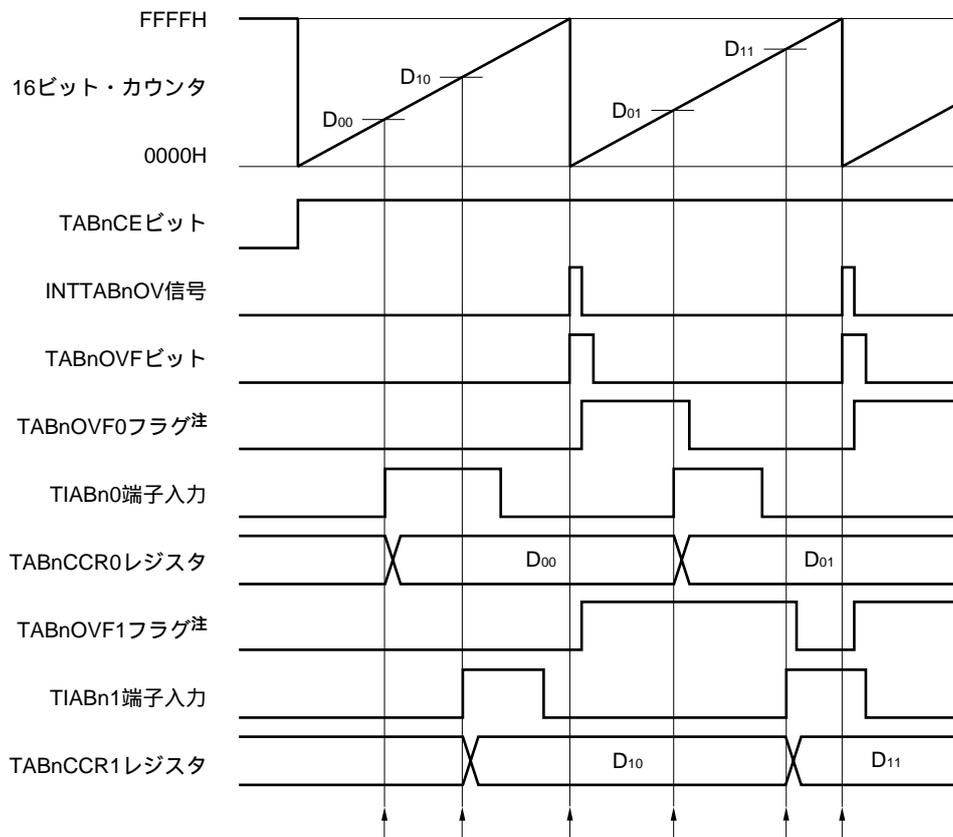
オーバーフロー・フラグをリードする。 でクリア(0)されているため、0がリードされます。

オーバーフロー・フラグが“0”なので、パルス幅は $(D_{11} - D_{10})$ で求められます (NG)。

このように、2つ以上のキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、他のキャプチャは正しいパルス幅が求められない可能性があります。

2つ以上のキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TABnOVF0, TABnOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TABnCCR0レジスタをリードする (TIABn0端子入力の初期値設定)。

TABnCCR1レジスタをリードする (TIABn1端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TABnOVF0, TABnOVF1フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。

TABnCCR0レジスタをリードする。

TABnOVF0フラグをリードする。TABnOVF0フラグが“1”だった場合、クリア (0) する。

TABnOVF0フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

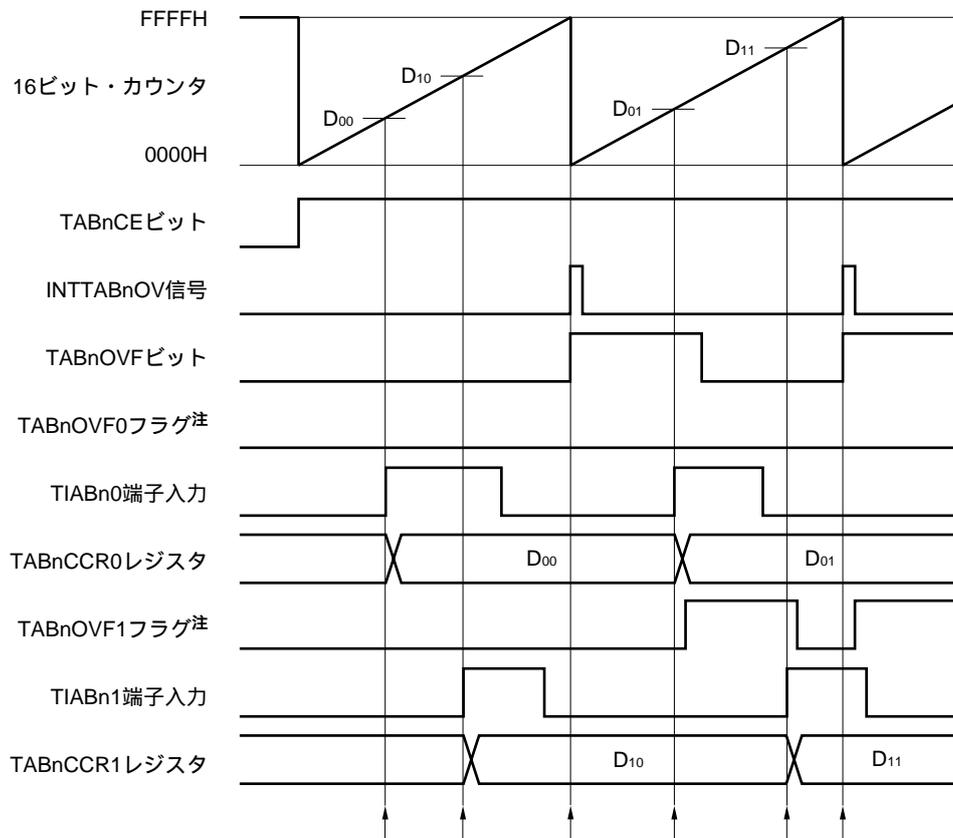
TABnCCR1レジスタをリードする。

TABnOVF1フラグをリードする。TABnOVF1フラグが“1”だった場合、クリア (0) する (でクリア (0) されたのはTABnOVF0フラグであり、TABnOVF1フラグは“1”のまま)。

TABnOVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用しない)



注 TABnOVF0, TABnOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TABnCCR0レジスタをリードする (TIABn0端子入力の初期値設定)。

TABnCCR1レジスタをリードする (TIABn1端子入力の初期値設定)。

オーバーフローが発生する。ソフトウェアでは何もしない。

TABnCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、TABnOVF1フラグのみをセット (1) し、オーバーフロー・フラグをクリア (0) する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TABnCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア (0) されているので“0”がリードされる。

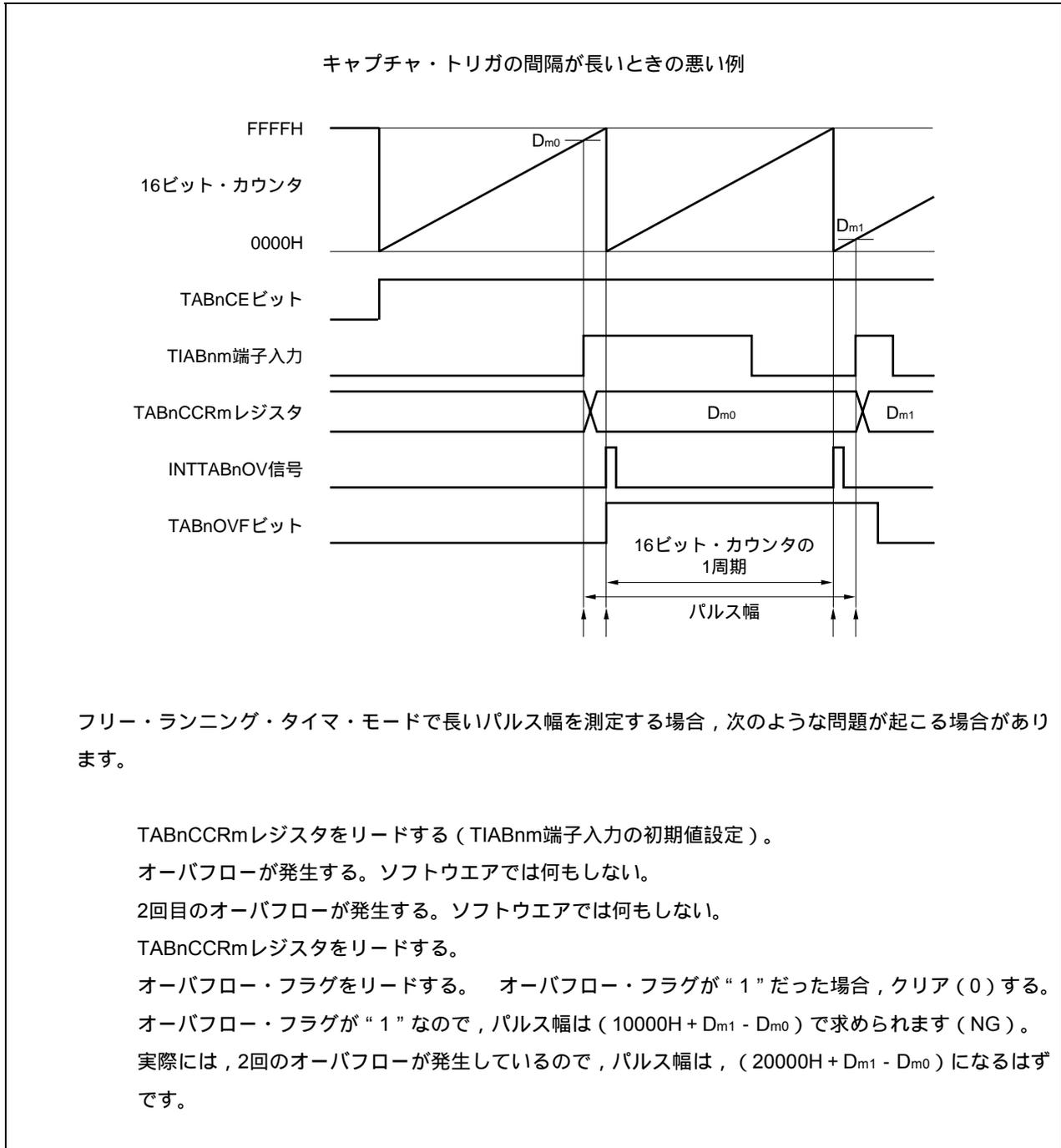
TABnOVF1フラグをリードする。TABnOVF1フラグが“1”だった場合、クリア (0) する。

TABnOVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

(d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

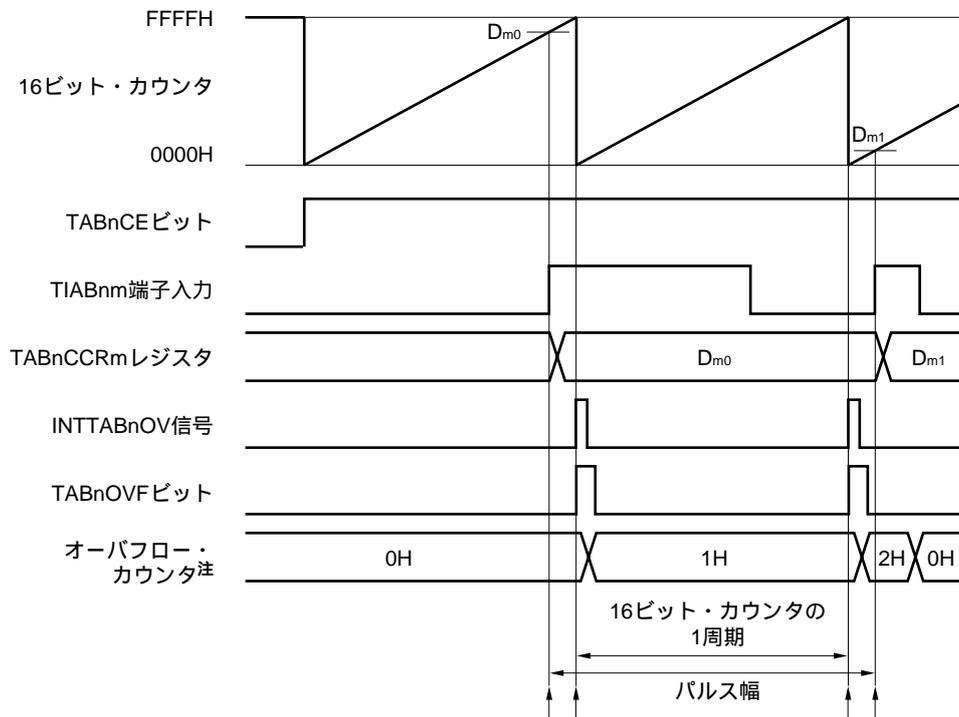
パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TABnCCRmレジスタをリードする (TIABnm端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

TABnCCRmレジスタをリードする。

オーバフロー・カウンタをリードする。

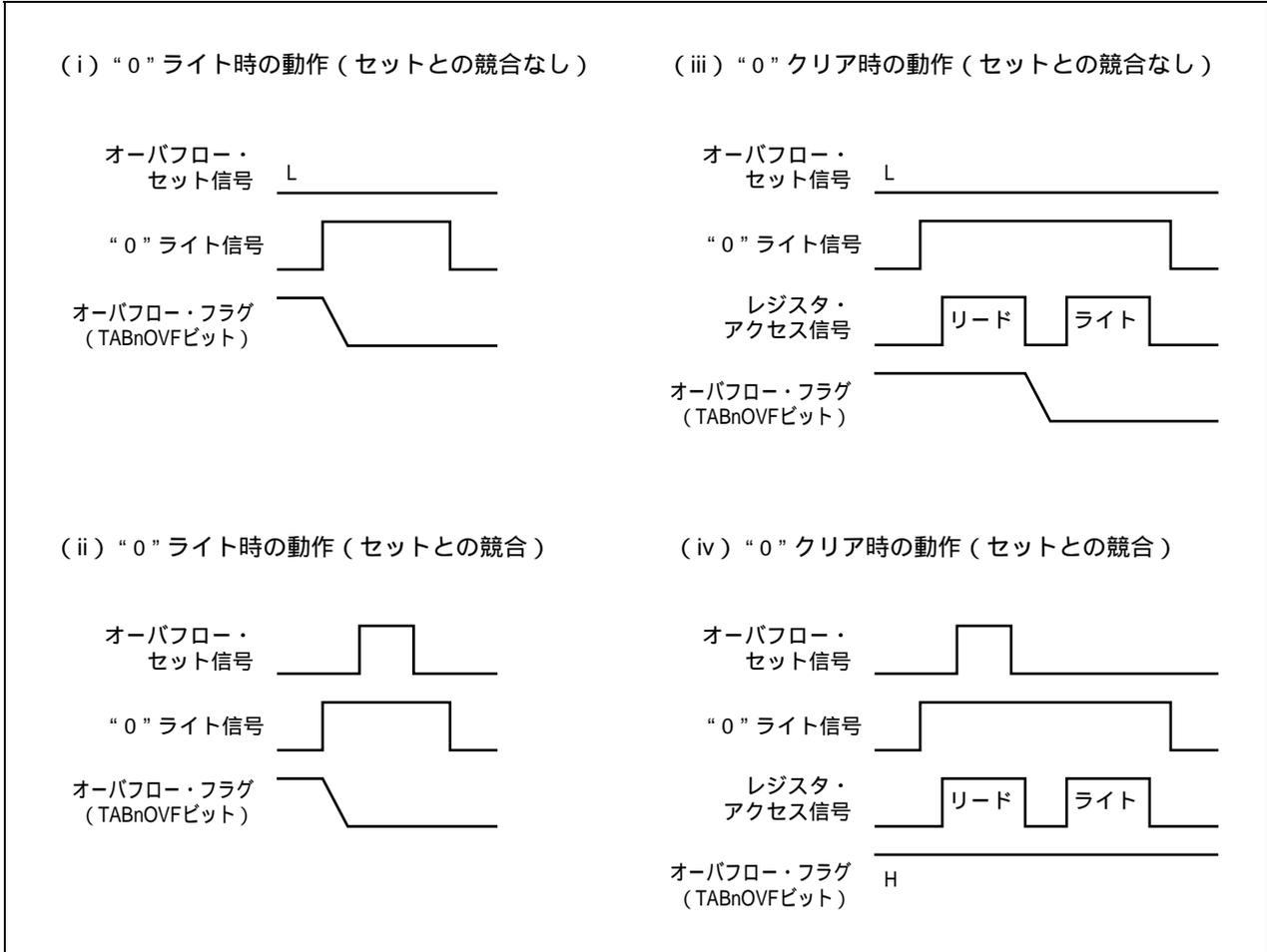
オーバフロー・カウンタが“N”のとき、パルス幅は $(N \times 10000H + D_{m1} - D_{m0})$ で求められる。

この例では、2回のオーバフローが発生しているため、パルス幅は、 $(20000H + D_{m1} - D_{m0})$ になります。

オーバフロー・カウンタをクリア (0H) する。

(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TABnOVFビットをCLR命令でクリア (0) する方法と、TABnOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法がありますが、確実にオーバフローを検出するために、TABnOVFビット = 1をリードしたあと、ビット操作命令でクリア (0) してください。



オーバフロー・フラグをクリア (0) する場合には、リードしてオーバフロー・フラグがセット (1) されていることを確認したあと、CLR命令でクリア (0) してください。確認せずに0をライトすると、オーバフローのセット情報を“0”ライトで消してしまう場合があります (上図の (ii))。そのため、実際にはオーバフローが発生したにもかかわらず、ソフトウェアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア (0) するときに、CLR命令の実行とオーバフロー発生タイミングが競合した場合、クリア命令実行後もオーバフロー・フラグはセット (1) されたままになります。

8.5.7 パルス幅測定モード (TABnMD2-TABnMD0ビット = 110)

パルス幅測定モードは, TABnCTL0.TABnCEビットをセット(1)することでカウント動作を開始し, TIABnm端子入力の有効エッジを検出するごとに, 16ビット・カウンタのカウント値をTABnCCRmレジスタに格納し, 16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号 (INTTABnCCm) が発生したあと, TABnCCRmレジスタをリードすることにより, 有効エッジ間隔を測定できます。

キャプチャ・トリガ入力端子として, TIABn0-TIABn3端子のいずれか1本を使用してください。使用しない端子は, TABnIOC1レジスタで“エッジ検出なし”に設定してください。

また, カウント・クロックとして外部クロックを使用するときは, 外部クロックはTIABn0端子固定ですので, TIABnk端子のパルス幅を測定してください。このとき, TABnIOC1.TABnIS1, TABnIS0ビット = 00 (キャプチャ・トリガ入力 (TIABn0端子) : エッジ検出なし) に設定してください。

備考 m = 0-3,
k = 1-3

図8 - 34 パルス幅測定モードの構成図

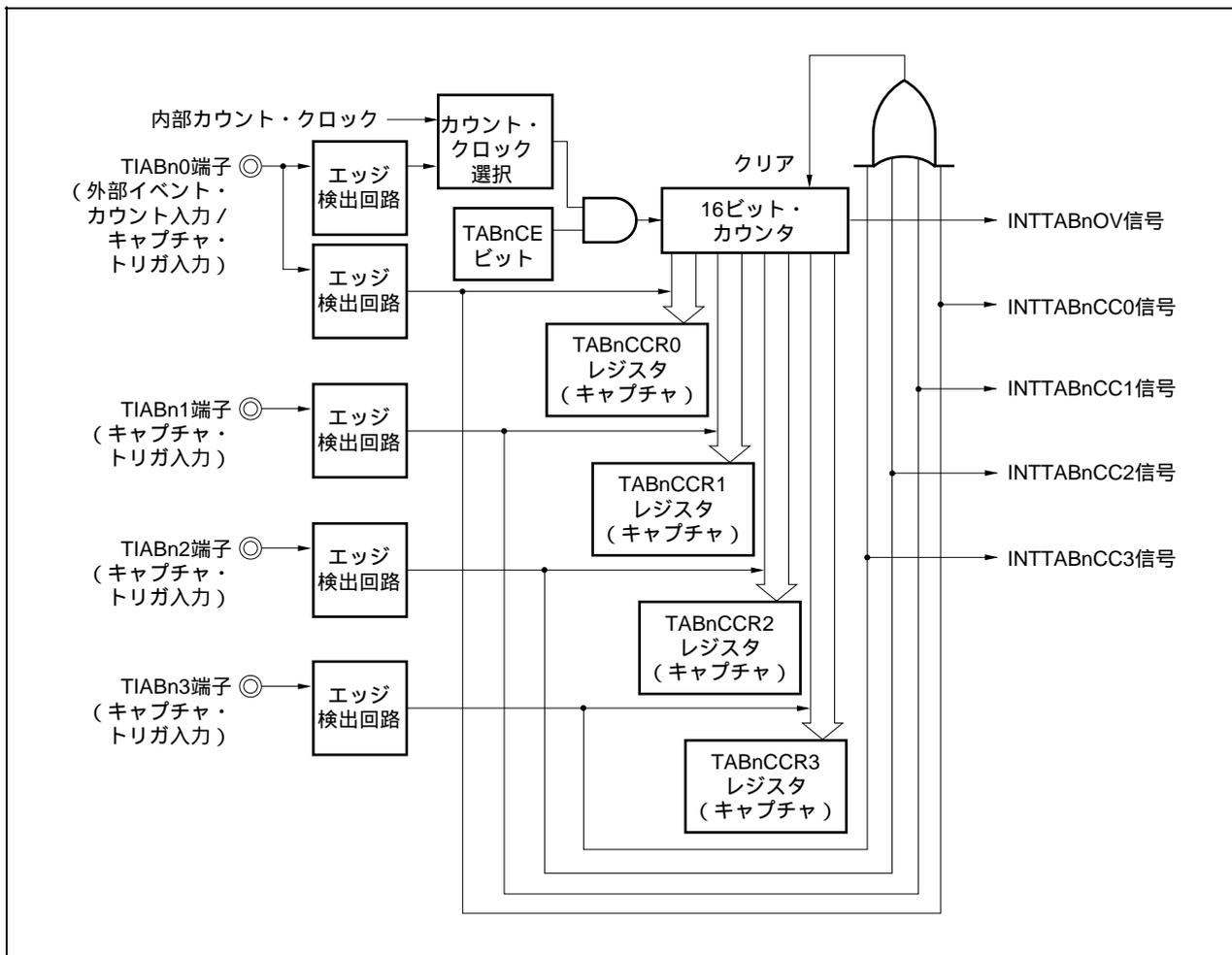
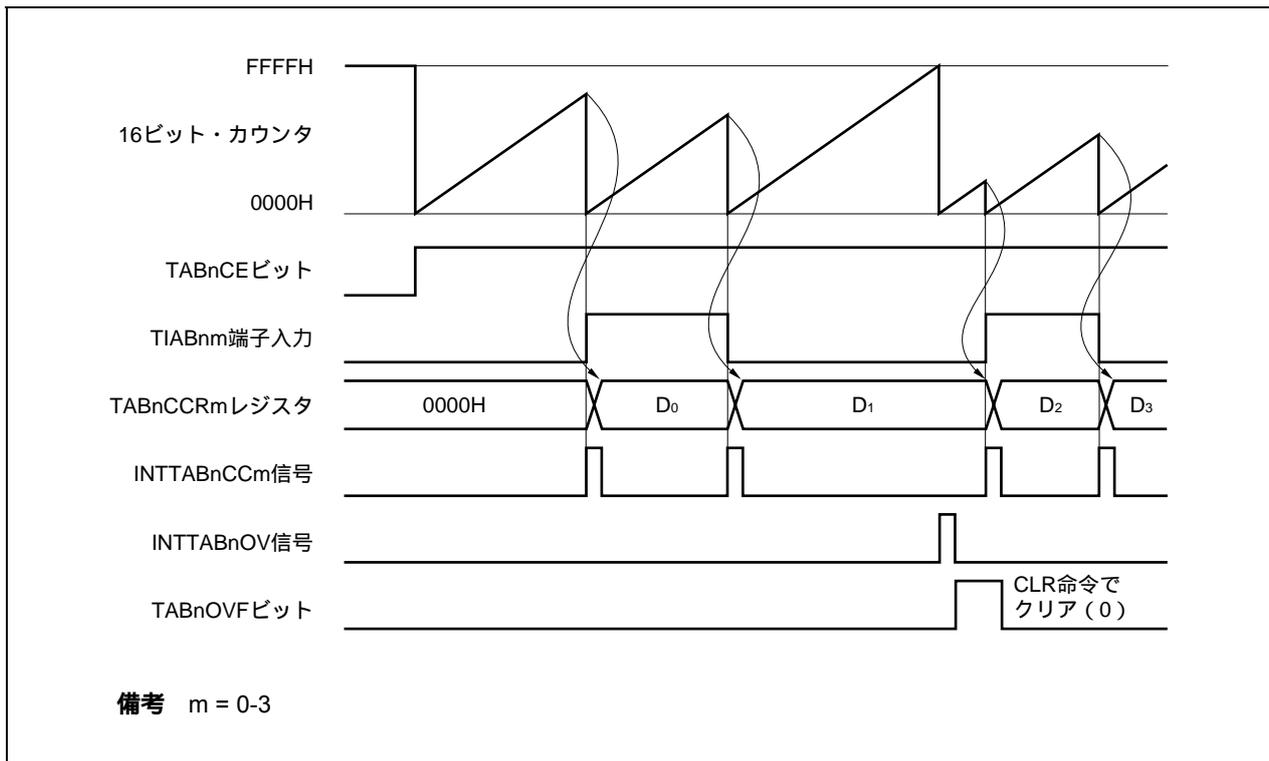


図8 - 35 パルス幅測定モードの基本タイミング



TABnCEビットをセット(1)することで、カウント動作を開始します。その後、TIABnm端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTABnCCRmレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号(INTTABnCCm)を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号(INTTABnOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TABnOPT0.TABnOVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

オーバフロー・フラグがセット(1)した場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000\text{H} \times \text{TABnOVFビットがセット(1)された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

備考 m = 0-3

図8 - 36 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

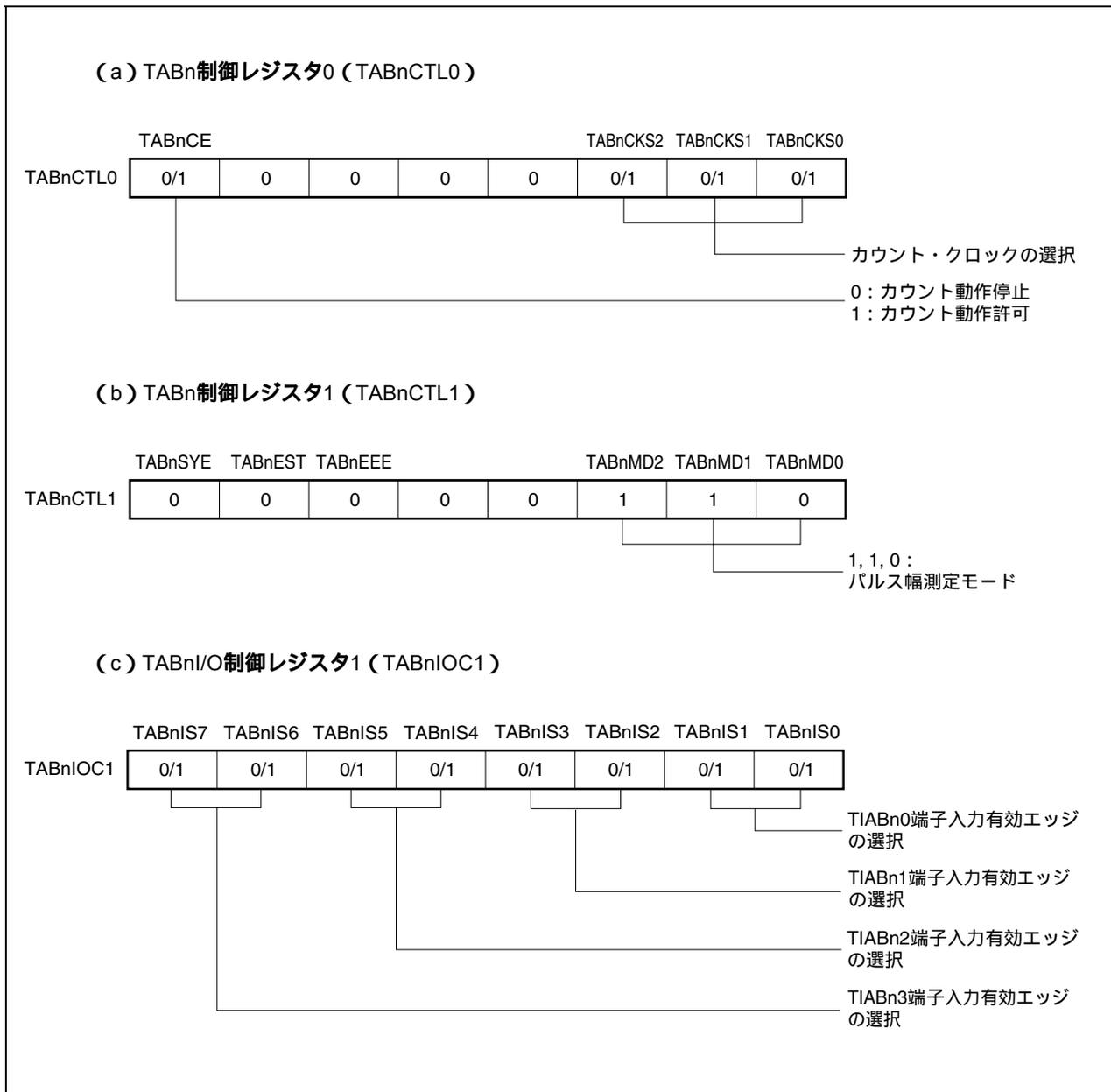


図8 - 36 パルス幅測定モード動作時のレジスタ設定内容 (2/2)

(d) TABnオプション・レジスタ0 (TABnOPT0)

	TABnCCS3	TABnCCS2	TABnCCS1	TABnCCS0				TABnOVF
TABnOPT0	0	0	0	0	0	0	0	0/1

└─ オーバフロー・フラグ

(e) TABnカウンタ・リード・バッファ・レジスタ (TABnCNT)

TABnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(f) TABnキャプチャ/コンペア・レジスタ0-3 (TABnCCR0-TABnCCR3)

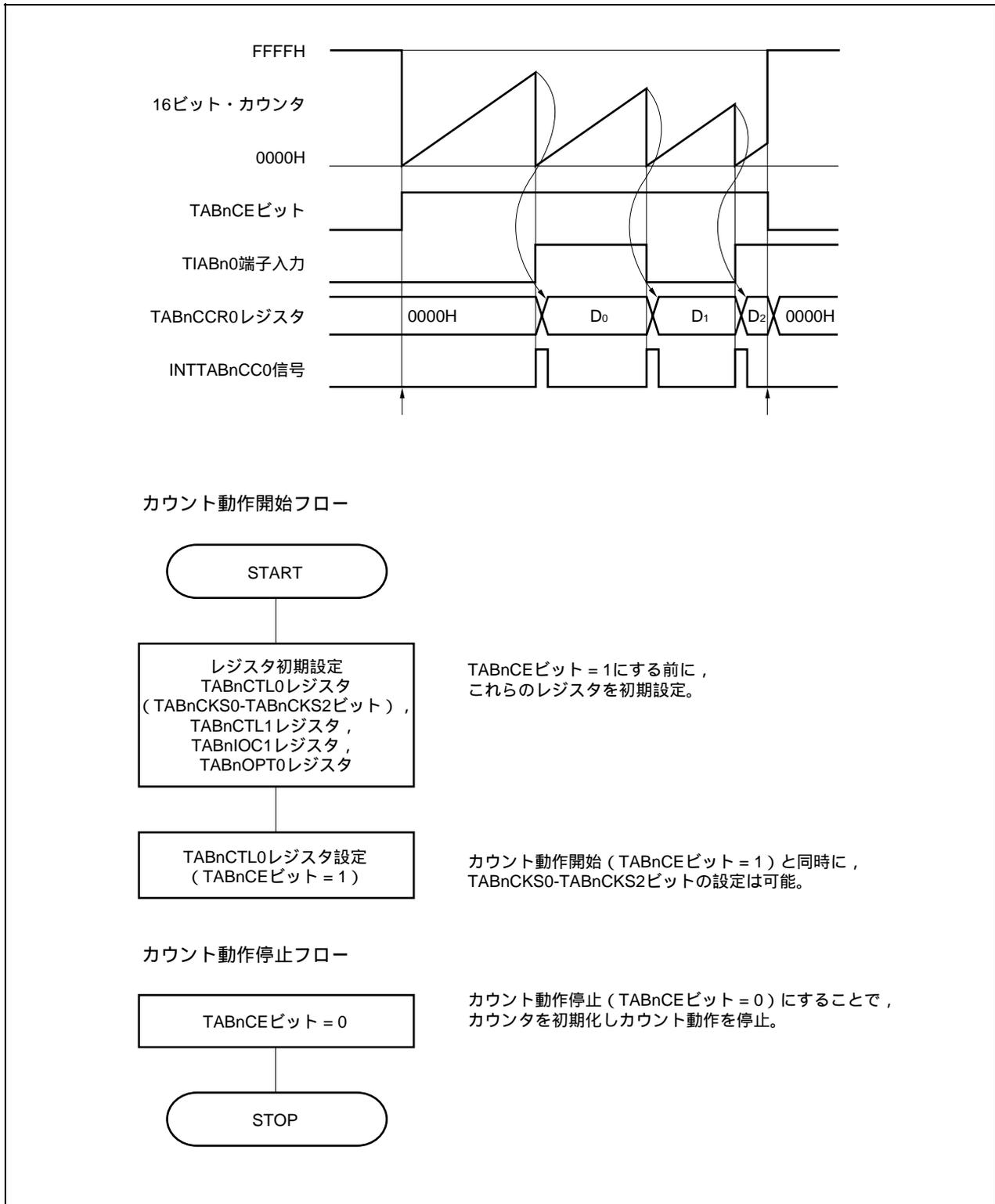
TIABnm端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

備考1. パルス幅測定モードでは、TABnI/O制御レジスタ0 (TABnIOC0) , TABnI/O制御レジスタ2 (TABnIOC2) は使用しません。

2. m = 0-3

(1) パルス幅測定モード動作フロー

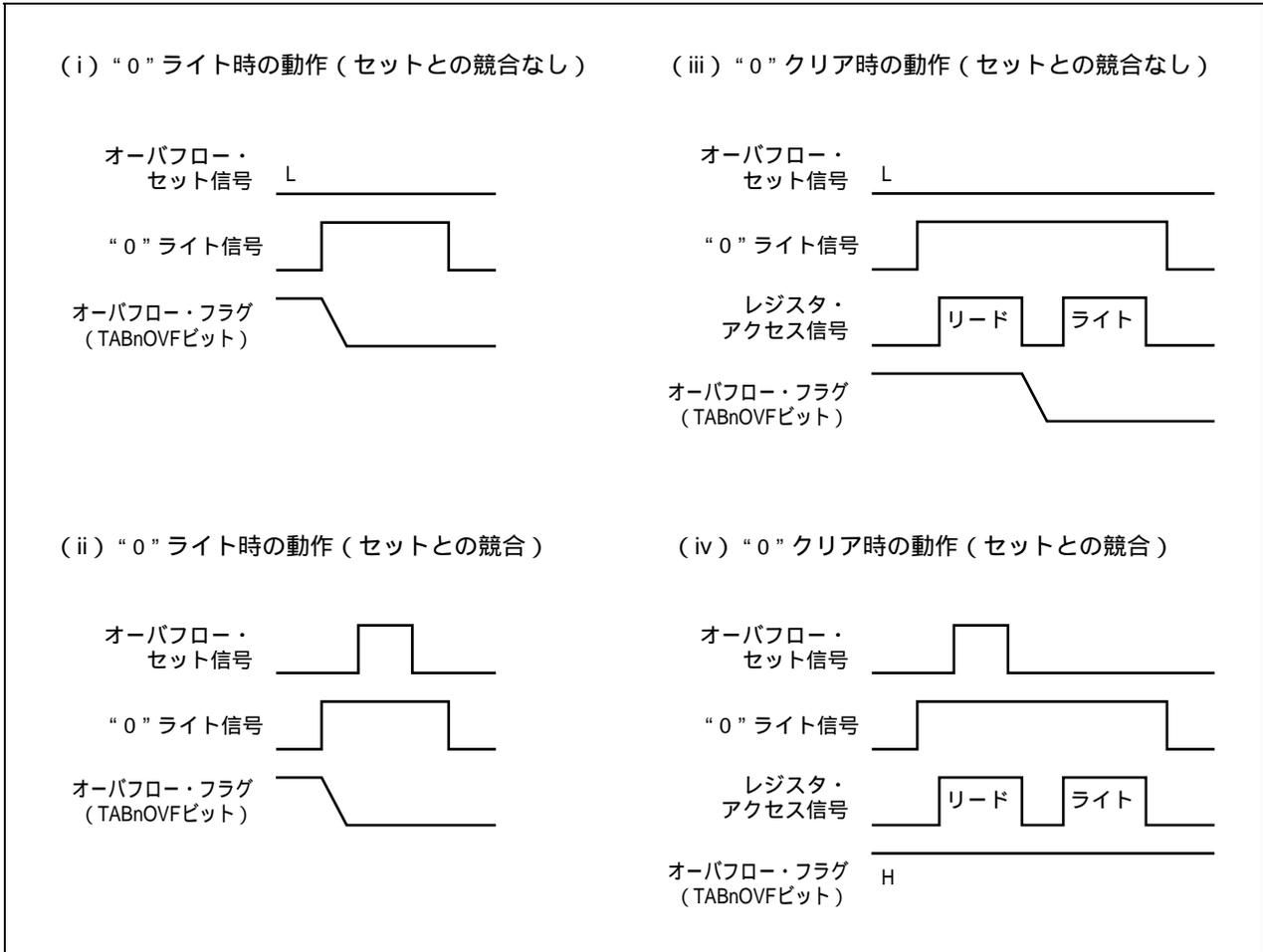
図8 - 37 パルス幅測定モード使用時のソフトウェア処理フロー



(2) パルス幅測定モード動作タイミング

(a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TABnOVFビットをCLR命令でクリア (0) する方法と、TABnOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法がありますが、確実にオーバフローを検出するために、TABnOVFビット = 1をリードしたあと、ビット操作命令でクリア (0) してください。



オーバフロー・フラグをクリア (0) する場合には、リードしてオーバフロー・フラグがセット (1) されていることを確認したあと、CLR命令でクリア (0) してください。確認せずに0をライトすると、オーバフローのセット情報を“0”ライトで消してしまう場合があります (上図の (ii))。そのために、実際にはオーバフローが発生したにもかかわらず、ソフトウェアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア (0) するときに、CLR命令の実行とオーバフロー発生とのタイミングが競合した場合、クリア命令実行後もオーバフロー・フラグはセット (1) されたままになります。

8.5.8 三角波PWMモード (TABnMD2-TABnMD0ビット = 111)

三角波PWMモードではデューティ用の設定レジスタはTABnキャプチャ/コンペア・レジスタk (TABnCCRk) とし周期用の設定レジスタはTABnキャプチャ/コンペア・レジスタ0 (TABnCCR0) となります。

この4つのレジスタを設定し、タイマを動作させることでデューティおよび周期可変型の三角波PWMを出力します。

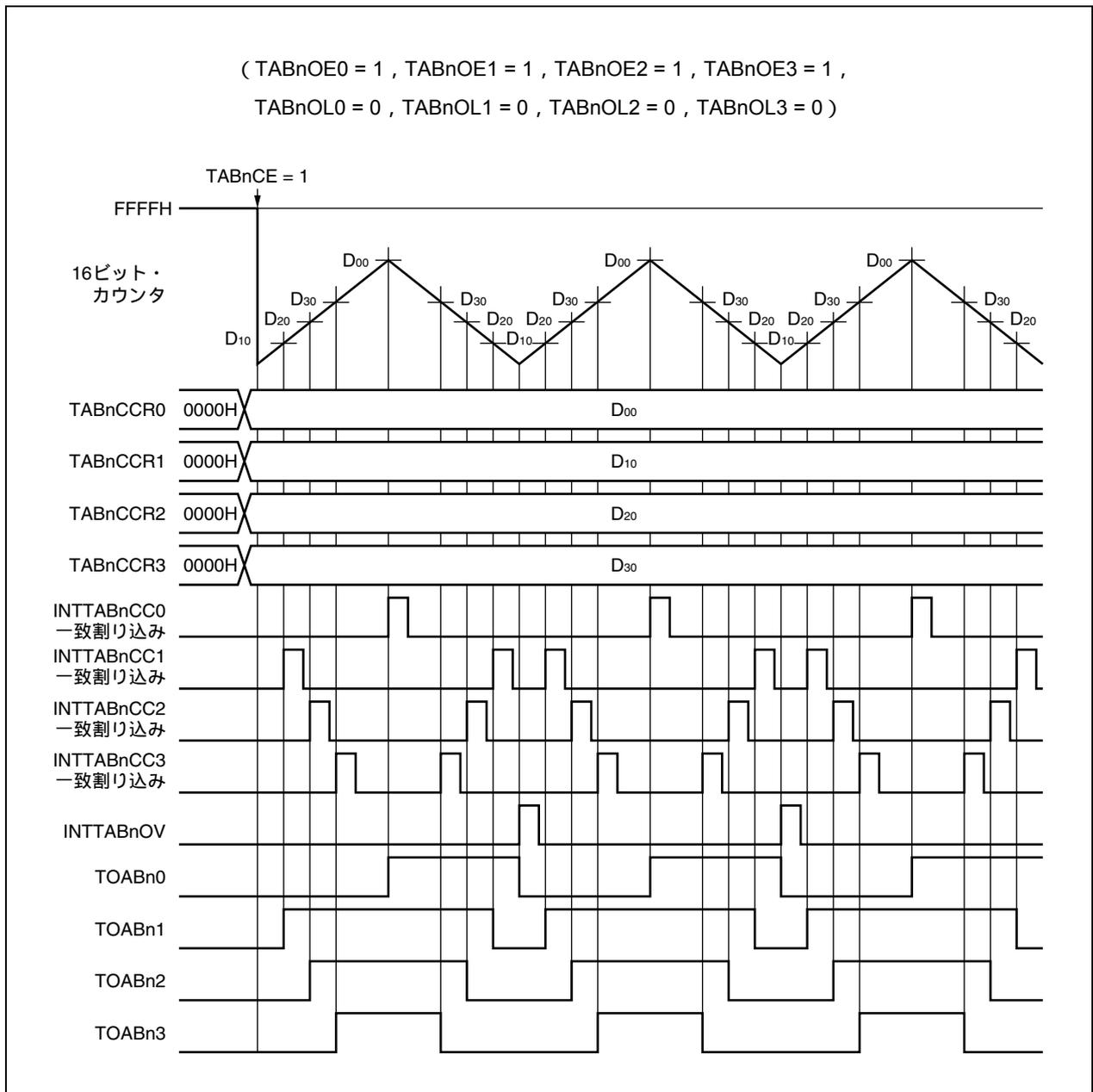
TABnCCRmレジスタはTABnCE = 1時の書き換えを許可しています。

タイマQを停止するにはTABnCE = 0にしてください。PWMの波形出力はTOABnk端子から出力します。TOABn0端子は16ビット・カウンタとTABnCCR0レジスタとの一致とアンダフローのタイミングでトグル出力します。

注意 PWMモード時、TABnCCRmレジスタはコンペア・レジスタとして機能が固定されるためキャプチャ・レジスタとしての機能は使用できません。

備考 m = 0-3, k = 1-3

図8 - 38 三角波PWMモードの基本動作タイミング



8.5.9 タイマ出力動作説明

次にTOABn0-TOABn3端子の動作，および出力レベルを示します。

表8 - 7 各モードによるタイマ出力制御

動作モード	TOABn0端子	TOABn1端子	TOABn2端子	TOABn3端子
インターバル・タイマ・モード	方形波出力			
外部イベント・カウント・モード	-			
外部トリガ・パルス出力モード	方形波出力	外部トリガ・パルス出力	外部トリガ・パルス出力	外部トリガ・パルス出力
ワンショット・パルス出力モード		ワンショット・パルス出力	ワンショット・パルス出力	ワンショット・パルス出力
PWM出力モード		PWM出力	PWM出力	PWM出力
フリー・ランニング・タイマ・モード	方形波出力 (コンペア機能のときのみ)			
パルス幅測定モード	-			
三角波PWM出力モード	方形波出力	三角波PWM出力	三角波PWM出力	三角波PWM出力

表8 - 8 タイマ出力制御ビットによるTOABn0-TOABn3端子の真理値表

TABnIOC0.TABnOLmビット	TABnIOC0.TABnOEmビット	TABnCTL0.TABnCEビット	TOABnm端子のレベル
0	0	x	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル， カウント開始後はハイ・レベル
1	0	x	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル， カウント開始後はロウ・レベル

備考 m = 0-3

8.6 タイマ同調動作機能

タイマAAおよびタイマABには、タイマ同調動作機能があります。

同期させることのできるタイマを表8 - 9に示します。

表8 - 9 タイマの同調動作機能

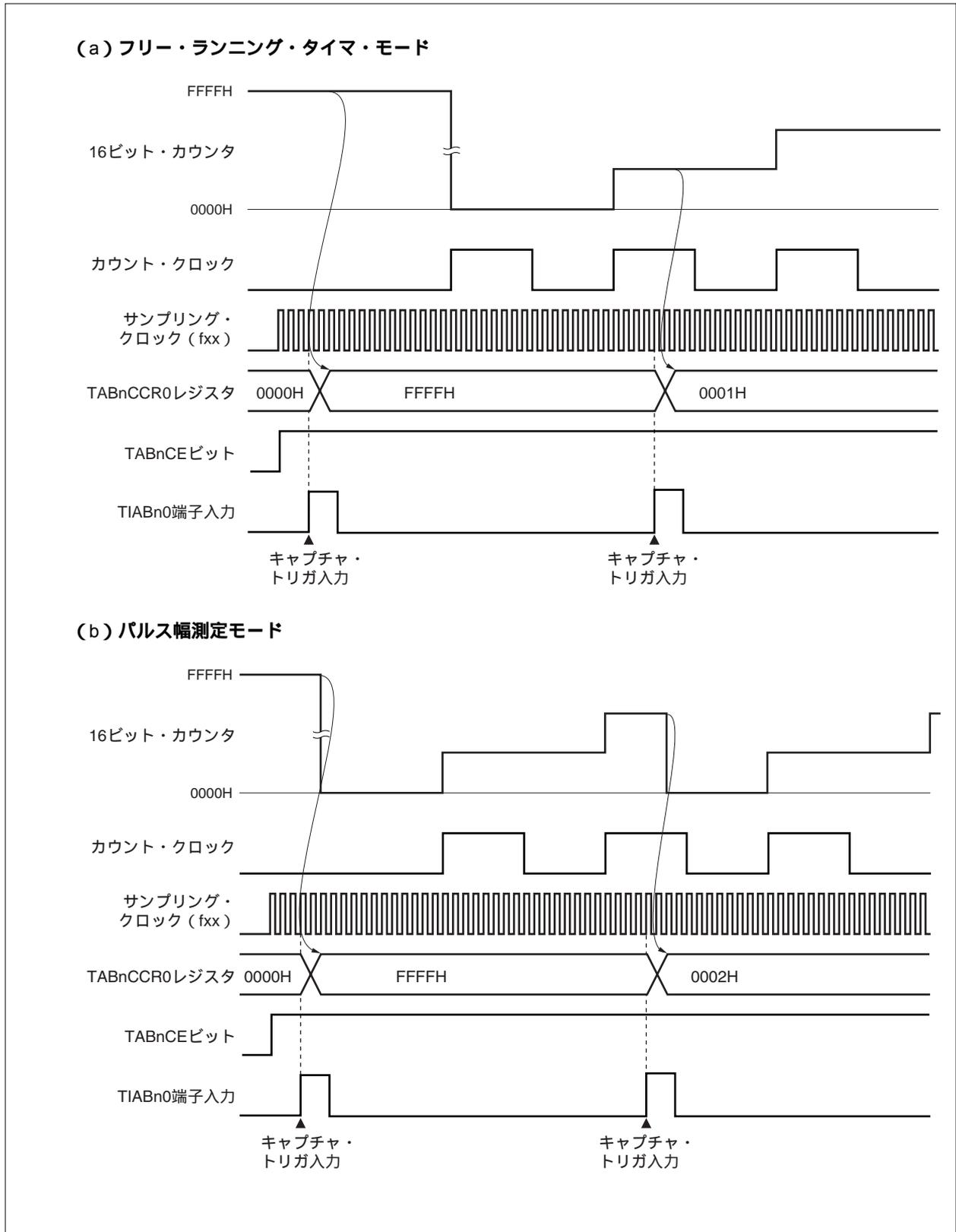
マスタ・タイマ	スレーブ・タイマ
TAA0	TAA1
TAA2	TAA3
TAB0	TAA4
TAB1	TAB2

タイマ同調動作機能についての詳細は7.6 **タイマ同調動作機能**を参照してください。

8.7 注意事項

(1) キャプチャ動作

キャプチャ動作を使用し、かつカウント・クロックとして遅いクロックを選択した場合、TABnCEビットをセット(1)したすぐあとに、キャプチャ・トリガが入力されると、TABnCCR0、TABnCCR1、TABnCCR2、TABnCCR3レジスタに0000HではなくFFFFHがキャプチャされる場合があります。



第9章 16ビット・インターバル・タイマM (TMM)

9.1 概 要

- ・インターバル機能
- ・クロック選択×8
- ・16ビット・カウンタ×1 (タイマ・カウント動作中のカウンタ・リードはできません。)
- ・コンペア・レジスタ×1 (タイマ・カウント動作中のコンペア・レジスタへのライトはできません。)
- ・コンペア一致割り込み×1

タイマMはクリア&スタート・モードのみサポートしています。フリー・ランニング・タイマ・モードはサポートしていません。

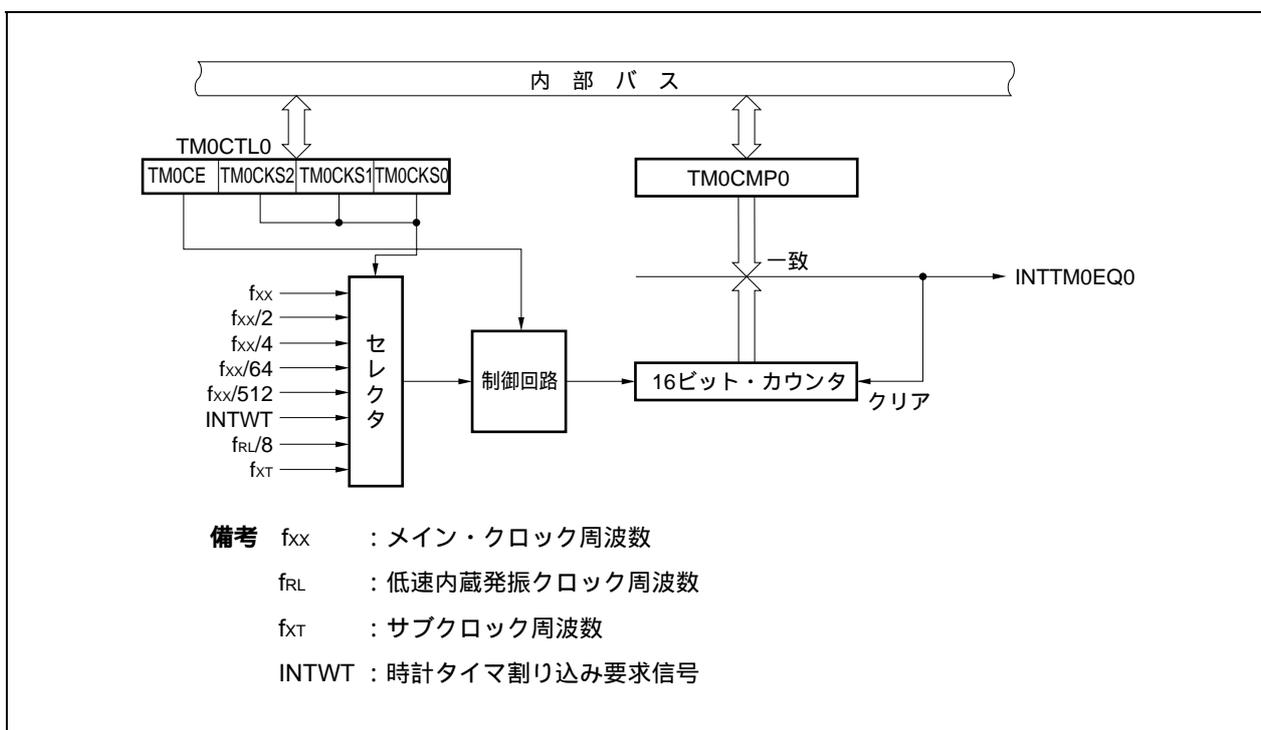
9.2 構成

TMM0は、次のハードウェアで構成されています。

表9 - 1 TMM0の構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TMM0コンペア・レジスタ0 (TM0CMP0)
制御レジスタ	TMM0制御レジスタ0 (TM0CTL0)

図9 - 1 TMM0のブロック図



(1) 16ビット・カウンタ

内部クロックをカウントする16ビットのカウンタです。

16ビット・カウンタはリード/ライトできません。

(2) TMM0コンペア・レジスタ0 (TM0CMP0)

TM0CMP0レジスタは16ビットのコンペア・レジスタです。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

TM0CMP0レジスタは、常時ソフトウェアでの同値書き込みができます。

TM0CTL0.TM0CEビット = 1のとき、TM0CMP0レジスタの書き換えは禁止です。



9.3 レジスタ

(1) TMM0制御レジスタ0 (TM0CTL0)

TM0CTL0レジスタはTMM0の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TM0CTL0レジスタは、常時ソフトウェアでの同値書き込みができます。TM0CEビット以外のタイマ動作中の書き換えは禁止です。

リセット時：00H R/W アドレス：FFFFFF690H

	⑦	6	5	4	3	2	1	0
TM0CTL0	TM0CE	0	0	0	0	TM0CKS2	TM0CKS1	TM0CKS0

TM0CE	内部クロック動作許可/禁止指定
0	TMM0動作禁止 (16ビット・カウンタを非同期にリセット)。動作クロック供給停止
1	TMM0動作許可。動作クロック供給開始。TMM0動作開始

TM0CEビットにより、TMM0の内部クロックの制御と内部回路のリセットを非同期に行います。TM0CEビットをクリア (0) すると、TMM0の内部クロックは停止 (ロウ・レベル固定) し、16ビット・カウンタが非同期にリセットされます。

TM0CKS2	TM0CKS1	TM0CKS0	カウント・クロックの選択
0	0	0	f _{XX}
0	0	1	f _{XX} /2
0	1	0	f _{XX} /4
0	1	1	f _{XX} /64
1	0	0	f _{XX} /512
1	0	1	INTWT
1	1	0	f _{RL} /8
1	1	1	f _{XT}

注意1. TM0CKS2-TM0CKS0ビットはTM0CEビット = 0のときに設定してください。

TM0CEビットを“0”から“1”に設定するときに、同時にTM0CKS2-TM0CKS0ビットを設定できません。

2. ビット3-6には必ず“0”を設定してください。

備考 f_{XX} : メイン・クロック周波数

f_{RL} : 低速内蔵発振クロック周波数

f_{XT} : サブクロック周波数

9.4 動作

注意 TM0CMP0レジスタには、FFFFHを設定しないでください。

9.4.1 インターバル・タイマ・モード

インターバル・タイマ・モードは、TM0CTL0.TM0CEビットをセット(1)することで、任意のインターバル間隔にて割り込み要求信号(INTTM0EQ0)を発生します。

図9-2 インターバル・タイマの構成図

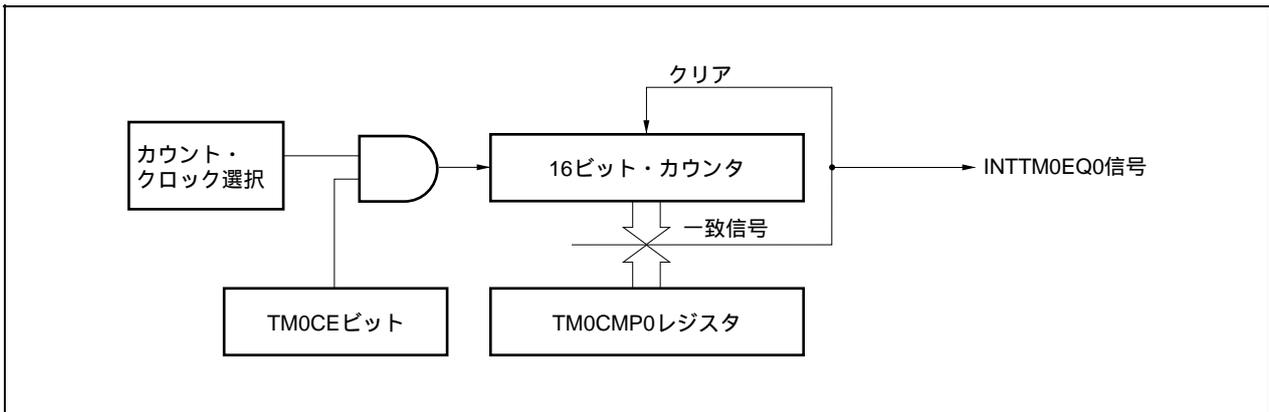
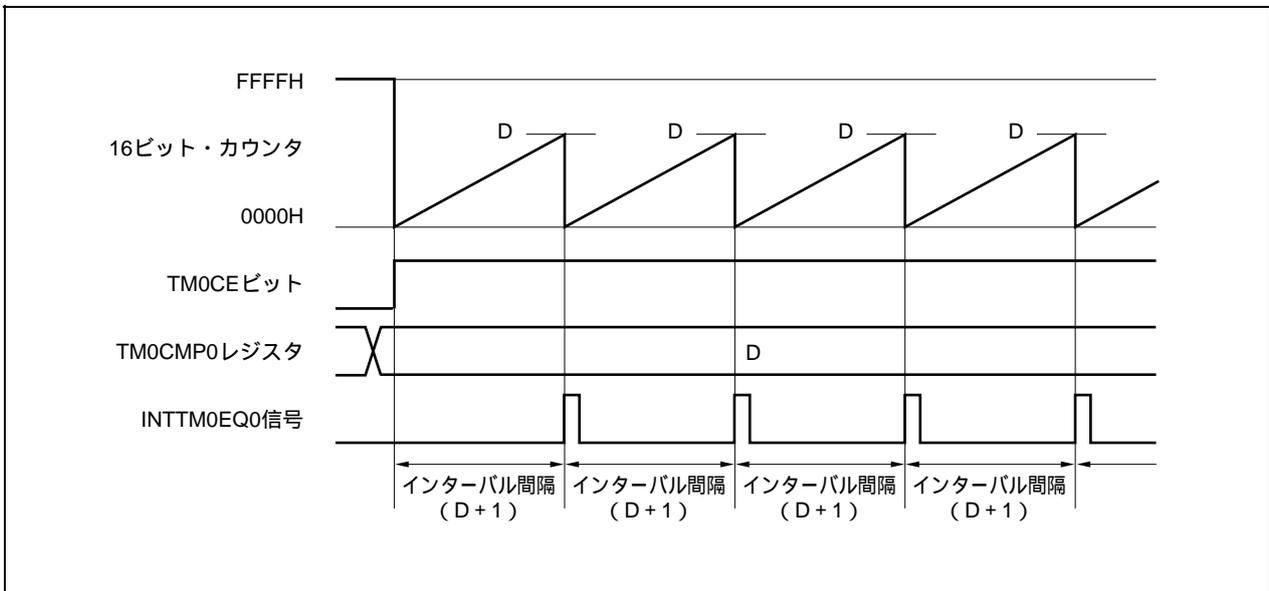


図9-3 インターバル・タイマ・モード動作の基本タイミング



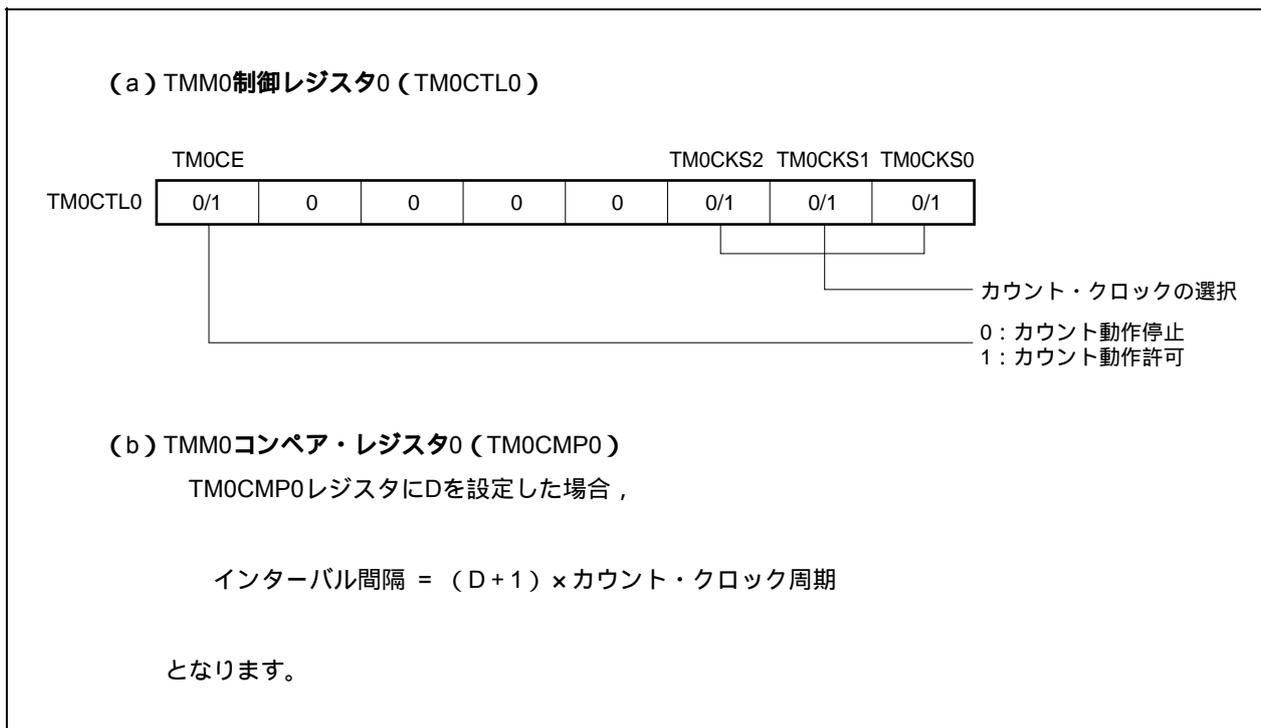
TM0CEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。

16ビット・カウンタのカウント値とTM0CMP0レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンパレー一致割り込み要求信号(INTTM0EQ0)を発生します。

インターバル間隔は次のようになります。

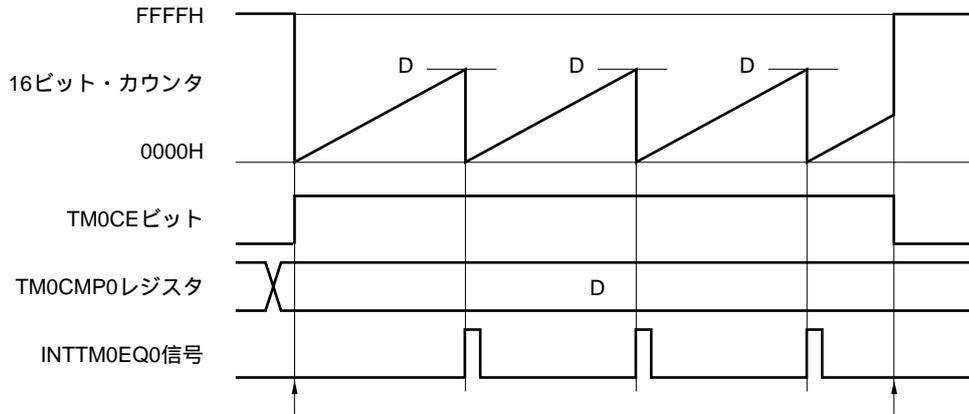
$$\text{インターバル間隔} = (\text{TM0CMP0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

図9-4 インターバル・タイマ・モード動作時のレジスタ設定内容

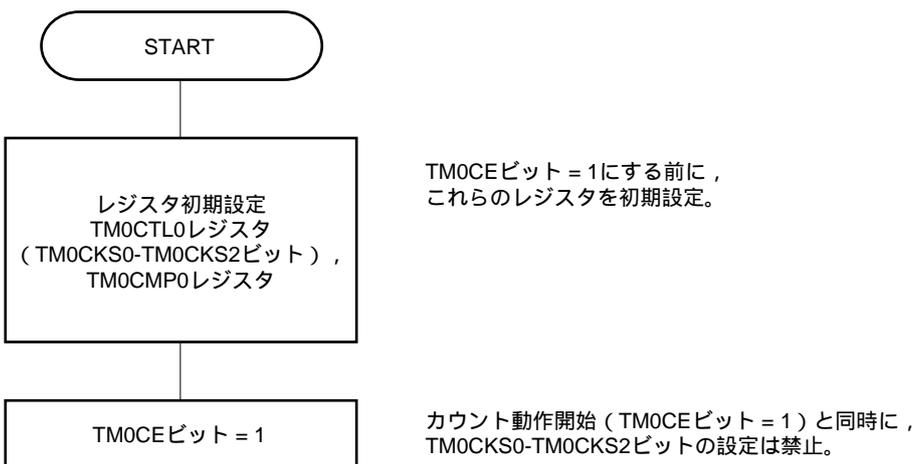


(1) インターバル・タイマ・モード動作フロー

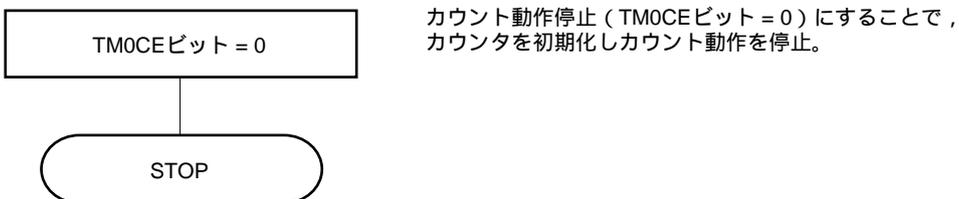
図9 - 5 インターバル・タイマ・モード使用時のソフトウェア処理フロー



カウント動作開始フロー



カウント動作停止フロー



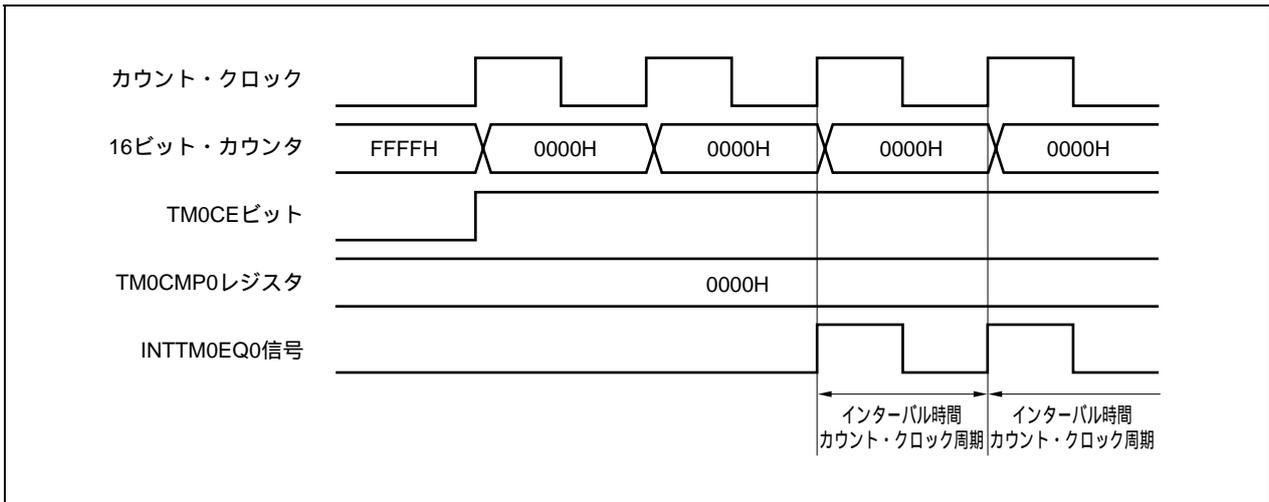
(2) インターバル・タイマ・モード動作タイミング

注意 TM0CMP0レジスタには、FFFFHを設定しないでください。

(a) TM0CMP0レジスタに0000Hを設定した場合の動作

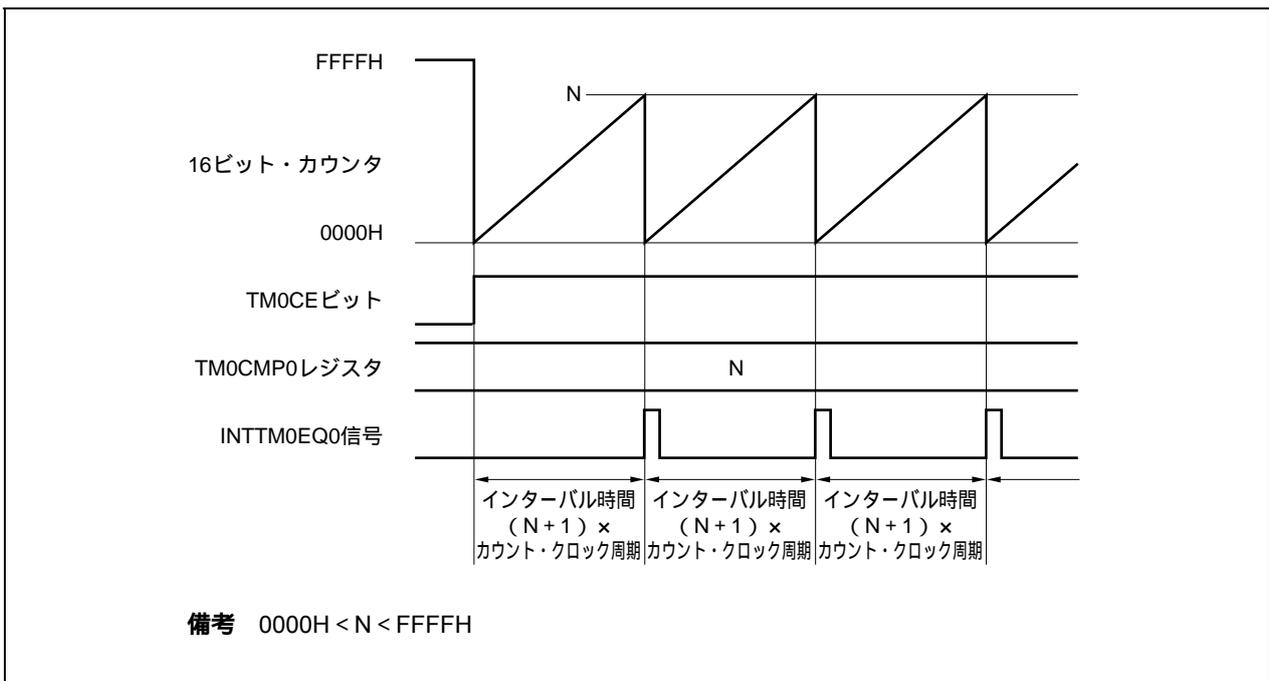
TM0CMP0レジスタに0000Hを設定した場合、カウント・クロックごとにINTTM0EQ0信号を発生します。

16ビット・カウンタは、常に0000Hとなります。



(b) TM0CMP0レジスタにNを設定した場合の動作

TM0CMP0レジスタにNを設定した場合、16ビット・カウンタはNまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTM0EQ0信号を発生します。



9.4.2 注意事項

- (1) TM0CTL0.TM0CEビット = 1としてからカウント開始するまで、選択したカウント・クロックによって次の時間が最大かかります。

選択したカウント・クロック	カウント開始までの最大時間
f_{xx}	$2/f_{xx}$
$f_{xx}/2$	$3/f_{xx}$
$f_{xx}/4$	$6/f_{xx}$
$f_{xx}/64$	$128/f_{xx}$
$f_{xx}/512$	$1024/f_{xx}$
INTWT	INTWT信号の2回目の立ち上がり
$f_{rL}/8$	$16/f_{rL}$
f_{xT}	$2/f_{xT}$

- (2) TM0CMP0, TM0CTL0レジスタはTMM0動作中の書き換えは禁止です。
 TM0CEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TM0CTL0.TM0CEビットをクリア(0)してから再設定してください。

第10章 モータ制御機能

10.1 機能概要

タイマAB0 (TAB0) とTAB0オプション (TABOP0) によりモータ制御用のインバータ機能として使用します。またタイマAA4 (TAA4) と同調動作を行い、TAA4のコンペア一致タイミングで、A/DコンバータのA/D変換を起動することができます。モータ制御機能は、次のような動作を行うことができます。

- ・ 16ビット精度の6相PWM出力機能 (デッド・タイム付き, 上アームおよび下アーム用)
- ・ タイマ同調動作機能 (TAA4と同調動作可能)
- ・ 任意の周期設定機能
(山割り込み, 谷割り込みでの動作中の変更可能)
- ・ コンペア・レジスタ書き換え: 随時書き換え / 一斉書き換え / 間欠一斉書き換え選択機能
(TAB0動作中の変更可能)
- ・ 割り込み機能および転送間引き機能
- ・ 任意のデッド・タイム設定機能
- ・ A/DコンバータのA/Dトリガの任意タイミング機能
(4種類のタイミング生成が可能)
- ・ 0 %出力と100 %出力が可能
- ・ 山割り込み, 谷割り込みでの0 %, 100 %出力切り替え可能
- ・ 強制出力停止機能
外部端子入力 (INTP1, INTP3) による有効エッジ検出時

10.2 構 成

モータ制御は次のハードウェアで構成されています。

項 目	構 成
タイマ・レジスタ	デッド・タイム・カウンタ1-3
コンペア・レジスタ	TAB0デッド・タイム・コンペア・レジスタ (TAB0DTCレジスタ)
制御レジスタ	TAB0オプション・レジスタ0 (TAB0OPT0) TAB0オプション・レジスタ1 (TAB0OPT1) TAB0オプション・レジスタ2 (TAB0OPT2) TAB0I/O制御レジスタ3 (TAB0IOC3) ハイ・インピーダンス出力制御レジスタ0, 1 (HZA0CTL0, HZA0CTL1)

- ・ TAB0の出力 (TOAB01, TOAB02, TOAB03) を使用し, デッド・タイム付きの6相PWM出力が可能です。
- ・ 6相PWM出力の出力レベルは個別に設定できます。
- ・ TAB0の16ビット・タイマ・カウンタは, アップ/ダウンの三角波カウントを行います。アンダフロー発生時と周期一致発生時に割り込みを発生しますが, 最大31回までの割り込み発生を間引くことができます。
- ・ TAA4は, TAB0とカウント動作を同時に行うことができます (タイマ同調動作機能)。TAA4は, 2種類のA/Dトリガ・ソース (INTTAA4CC0, INTTAA4CC1) が生成でき, TAB0のアンダフロー割り込み (INTTAB0OV) と周期一致割り込み (INTTAB0CC0) の2種類と合わせ, 合計4種類の設定ができます。

図10-1 モータ制御のブロック図

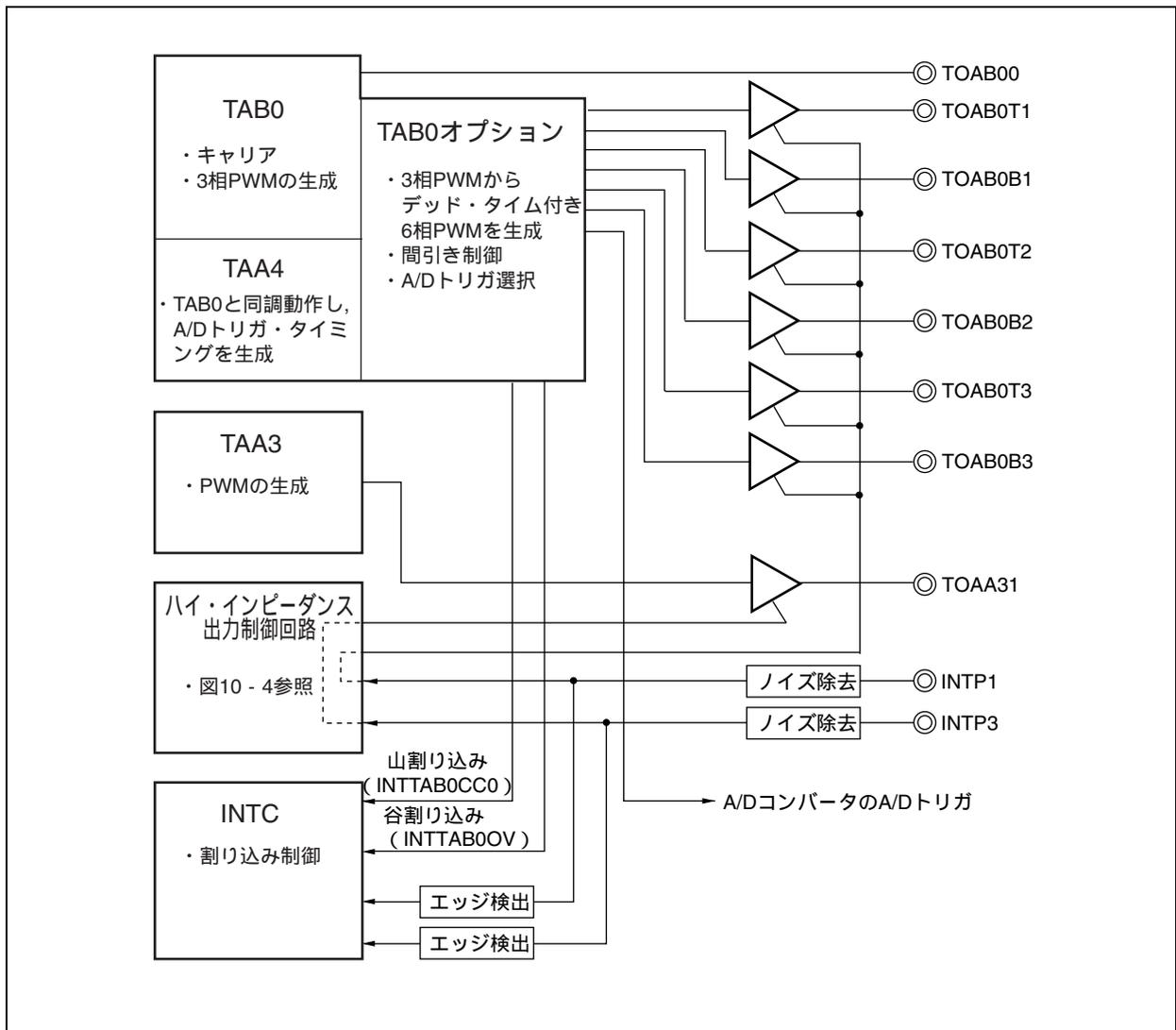
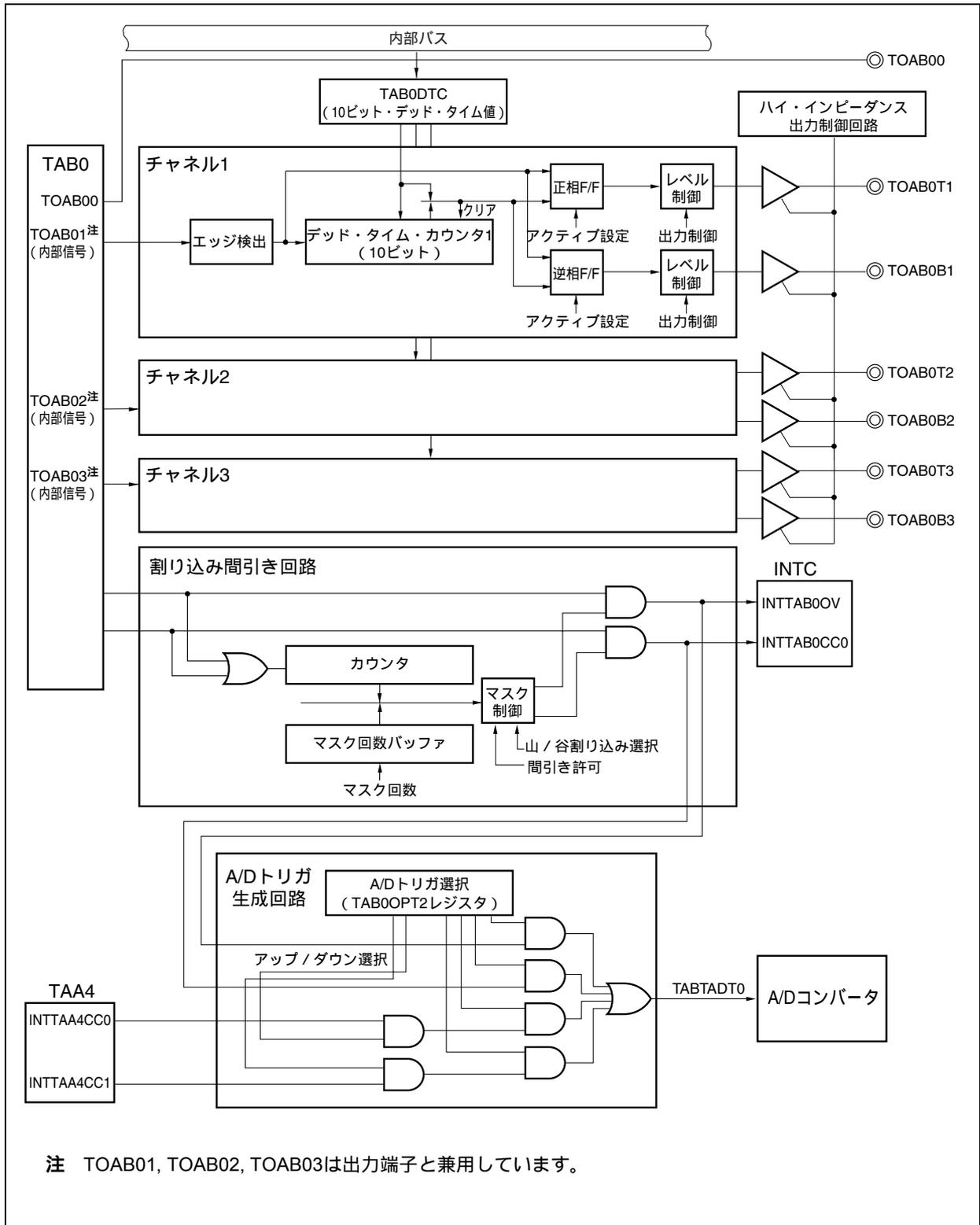


図10-2 TAB0オプション



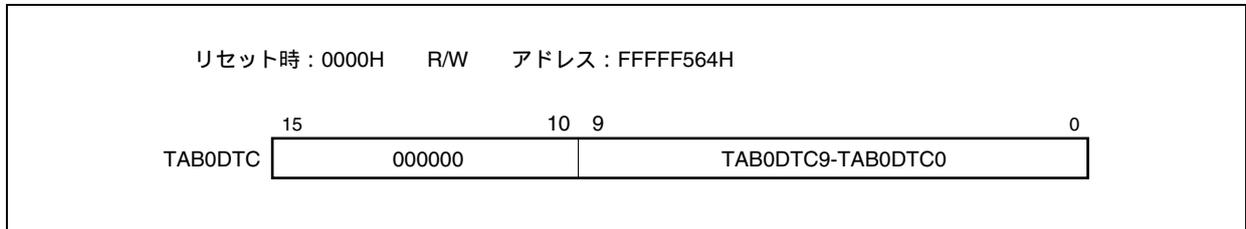
(1) TAB0デッド・タイム・コンペア・レジスタ (TAB0DTC)

TAB0DTCレジスタは、デッド・タイム値を指定する10ビットのコンペア・レジスタです。

TAB0CTL0.TAB0CEビット = 1のとき、TAB0DTCレジスタの書き換えは禁止です。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。



(2) デッド・タイム・カウンタ1-3

デッド・タイム・カウンタはデッド・タイムをカウントする10ビットのカウント・レジスタです。

TAB0のTOAB0m出力信号の立ち上がり/立ち下がりエッジにより、クリア/カウント・アップ動作を行い、TAB0DTCレジスタとの一致でクリア&ストップします。カウント・クロックはTAB0のTAB0CTL0.TAB0CKS2-TAB0CKS0ビットで設定したカウント・クロックと同じカウント・クロックです。

備考1. TAB0OPT2.TAB0DTMビット = 1とした場合は、動作が異なります。詳細は、10.4.2(4)デッド・タイム幅の自動縮小機能 (TAB0OPT2.TAB0DTMビット = 1) を参照してください。

2. m = 1-3

10.3 制御レジスタ

(1) TAB0オプション・レジスタ0 (TAB0OPT0)

タイマABオプション機能を制御する8ビットのレジスタです。
 8/1ビット単位でリード/ライト可能です。ただしTAB0CUFビットはリードのみ可能です。
 リセットにより00Hになります。

注意 TAB0CMS, TAB0CUFビットは6相PWM出力モード時のみ設定可能です。TAB0単体では必ず
 “0”を設定してください。

リセット時：00H R/W アドレス：FFFFFF545H

	7	6	5	4	3	2	1	①
TAB0OPT0	TAB0CCS3 ^{注1}	TAB0CCS2 ^{注1}	TAB0CCS1 ^{注1}	TAB0CCS0 ^{注1}	0	TAB0CMS	TAB0CUF	TAB0OVF ^{注2}

TAB0CMS	コンペア・レジスタの書き換えモード選択
0	一斉書き換えモード指定（転送動作指定）
1	随時書き換えモード指定

・TAB0CMSビットは、6相PWM出力モード（TAB0CTL1.TAB0MD2-TAB0MD0ビット = 111）設定時のみ有効です。それ以外のモードでは、TAB0CMSビット = 0としてください。
 ・TAB0CMSビットは、タイマ動作中（TAB0CTL0.TAB0CEビット = 1）の書き換えが可能です。
 ・一斉書き込みモード選択時、対象になるレジスタは次のとおりです。
 TAB0CCR0-TAB0CCR3, TAA40CCR0, TAA40CCR1, TAB0OPT1レジスタ

TAB0CUF	タイマAB0のアップ・カウント/ダウン・カウント・フラグ
0	タイマAB0がアップ・カウント中
1	タイマAB0がダウン・カウント中

TAB0CUFビットは、6相PWM出力モード（TAB0CTL1.TAB0MD2-TAB0MD0ビット = 111）設定時のみ有効です。

- 注1. 6相PWM出力モード時はTAB0CCS3-TAB0CCS0ビットは必ず“0”を設定してください。
2. TAB0OVFビットの詳細は、第8章 16ビット・タイマ/イベント・カウンタAB (TAB) を参照してください。

(2) TAB0オプション・レジスタ1 (TAB0OPT1)

タイマAB0オプション機能から発生する割り込み要求信号を制御する8ビットのレジスタです。

TAB0CTL0.TAB0CEビット = 1のときも、TAB0OPT1レジスタの書き換えができます。

書き換え方法は、TAB0OPT0.TAB0CMSビットにより、一斉書き込みモードと随時書き込みモードの2種類を選択できます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF560H

	⑦	⑥	5	4	3	2	1	0
TAB0OPT1	TAB0ICE	TAB0IOE	0	TAB0ID4	TAB0ID3	TAB0ID2	TAB0ID1	TAB0ID0

TAB0ICE	山割り込み (INTTAB0CC0信号) 許可
0	INTTAB0CC0信号を使用しない (割り込み間引きのカウンタ信号としない)
1	INTTAB0CC0信号を使用する (割り込み間引きのカウンタ信号とする)

TAB0IOE	谷割り込み (INTTAB0OV信号) 許可
0	INTTAB0OV信号を使用しない (割り込み間引きのカウンタ信号としない)
1	INTTAB0OV信号を使用する (割り込み間引きのカウンタ信号とする)

TAB0ID4	TAB0ID3	TAB0ID2	TAB0ID1	TAB0ID0	割り込み回数の選択
0	0	0	0	0	間引きなし (すべての割り込みを出力)
0	0	0	0	1	1マスク (2回に1回の割り込みを出力)
0	0	0	1	0	2マスク (3回に1回の割り込みを出力)
0	0	0	1	1	3マスク (4回に1回の割り込みを出力)
:	:	:	:	:	:
1	1	1	0	0	28マスク (29回に1回の割り込みを出力)
1	1	1	0	1	29マスク (30回に1回の割り込みを出力)
1	1	1	1	0	30マスク (31回に1回の割り込みを出力)
1	1	1	1	1	31マスク (32回に1回の割り込みを出力)

(3) TAB0オプション・レジスタ2 (TAB0OPT2)

タイマABオプション機能を制御する8ビットのレジスタです。

TAB0CTL0.TAB0CEビット = 1のときも ,TAB0OPT2レジスタの書き換えが可能です。ただし ,TAB0DTMビットはTAB0CEビット = 1のとき ,書き換え禁止です。同値書き込みは可能です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時 : 00H R/W アドレス : FFFFF561H

	⑦	⑥	⑤	④	③	②	①	①
TAB0OPT2	TAB0RDE	TAB0DTM	TAB0ATM3	TAB0ATM2	TAB0AT3	TAB0AT2	TAB0AT1	TAB0AT0

TAB0RDE	転送間引き許可
0	転送の間引きなし (山, 谷で毎回転送タイミングが発生)
1	TAB0OPT1レジスタで設定した割り込み間引きと同じ間隔で転送を間引く

TAB0DTM	デッド・タイム・カウンタ動作モード選択
0	通常のアップ・カウントを行い, TAB0のTOAB0m出力が狭間隔 (TOAB0m出力幅 < デッド・タイム幅) の場合は, デッド・タイム・カウンタをクリアし再カウントを行う。
1	通常のアップ・カウントを行い, TAB0のTOAB0m出力が狭間隔 (TOAB0m出力幅 < デッド・タイム幅) の場合は, デッド・タイム・カウンタはダウン・カウンタ動作に切り替わり, デッド・タイム制御幅が自動的に狭くなる。

TAB0DTMビットは, タイマ動作中の書き換えは禁止です。誤って書き換えた場合は, 一度TAB0CEビット = 0にしてタイマ動作を停止してから, 再度設定を行ってください。

TAB0ATM3	TAB0ATM3モード選択
0	INTTAA4CC1割り込みのA/Dトリガ信号 (TABTADT0) をアップ・カウント時に出力
1	INTTAA4CC1割り込みのA/Dトリガ信号 (TABTADT0) をダウン・カウント時に出力

TAB0ATM2	TAB0ATM2モード選択
0	INTTAA4CC0割り込みのA/Dトリガ信号 (TABTADT0) をアップ・カウント時に出力
1	INTTAA4CC0割り込みのA/Dトリガ信号 (TABTADT0) をダウン・カウント時に出力

注意 割り込み間引きを使用する場合 (TAB0OPT1.TAB0ID4-TAB0ID0ビット = 00000以外) には, 必ずTAB0RDEビット = 1に設定してください。このため, 割り込みと転送は同じタイミングで発生します。別々の設定はできません。別々の設定を行った場合 (TAB0RDEビット = 0) は転送が正常に行われません。

備考 m = 1-3

TAB0AT3 ^注	A/Dトリガ出力制御3
0	INTTAA4CC1割り込みのA/Dトリガ信号 (TABTADT0) の出力禁止
1	INTTAA4CC1割り込みのA/Dトリガ信号 (TABTADT0) の出力許可

TAB0AT2 ^注	A/Dトリガ出力制御2
0	INTTAA4CC0割り込みのA/Dトリガ信号 (TABTADT0) の出力禁止
1	INTTAA4CC0割り込みのA/Dトリガ信号 (TABTADT0) の出力許可

TAB0AT1 ^注	A/Dトリガ出力制御1
0	INTTAB0CC0 (山割り込み) のA/Dトリガ信号 (TABTADT0) の出力禁止
1	INTTAB0CC0 (山割り込み) のA/Dトリガ信号 (TABTADT0) の出力許可

TAB0AT0 ^注	A/Dトリガ出力制御0
0	INTTAB0OV (谷割り込み) のA/Dトリガ信号 (TABTADT0) の出力禁止
1	INTTAB0OV (谷割り込み) のA/Dトリガ信号 (TABTADT0) の出力許可

注 TAB0AT3-TAB0AT0ビットの設定については、10.4.6 A/D変換開始トリガ出力機能を参照してください。

(4) TAB0 I/O制御レジスタ3 (TAB0IOC3)

タイマAB0オプション機能の出力を制御する8ビットのレジスタです。

TOAB0Tm端子を出力するためには、TAB0IOC0.TAB0OEmビット = 1に設定してからTAB0IOC3レジスタを設定してください。

TAB0CTL0.TAB0CEビット = 0のときのみ、TAB0IOC3レジスタの書き換えが可能です。

TAB0CTL0.TAB0CEビット = 1のとき、TAB0IOC3レジスタの各ビットの書き換えは禁止です。

TAB0CTL0.TAB0CEビット = 1のとき、TAB0IOC3レジスタの各ビットの同値書き込みは可能です。

8/1ビット単位でリード/ライト可能です。

リセットによりA8Hになります。

注意 6相PWM出力モード以外のモードでタイマを使用する場合はTAB0IOC3レジスタの値はリセット値 (A8H) に設定してください。

備考 TOAB0Tm端子の出力レベルの設定は、TAB0IOC0レジスタで行ってください。

リセット時：A8H R/W アドレス：FFFFFF562H

	⑦	⑥	⑤	④	③	②	1	0
TAB0IOC3	TAB0OLB3	TAB0OEB3	TAB0OLB2	TAB0OEB2	TAB0OLB1	TAB0OEB1	0	0

TAB0OLBm	TOAB0Bm端子出力レベルの設定
0	TOAB0Bm端子出力反転禁止
1	TOAB0Bm端子出力反転許可

TAB0OEBm	TOAB0Bm端子出力の設定
0	TOAB0Bm端子出力禁止 ・ TAB0OLBmビット = 0 のときTOAB0Bm端子からロウ・レベルを出力 ・ TAB0OLBmビット = 1 のときTOAB0Bm端子からハイ・レベルを出力
1	TOAB0Bm端子出力許可

備考 m = 1-3

(a) TOAB0Tm, TOAB0Bm端子出力

TOAB0Tm端子出力は, TAB0IOC0.TAB0OLm, TAB0OEmビットによって制御されます。TOAB0Bm端子出力は, TAB0IOC3.TAB0OLBm, TAB0OEBmビットによって制御されます。

6相PWM出力モードにおける各設定でのタイマ出力を次に示します。

図10 - 3 TOAB0Tm, TOAB0Bm端子出力制御

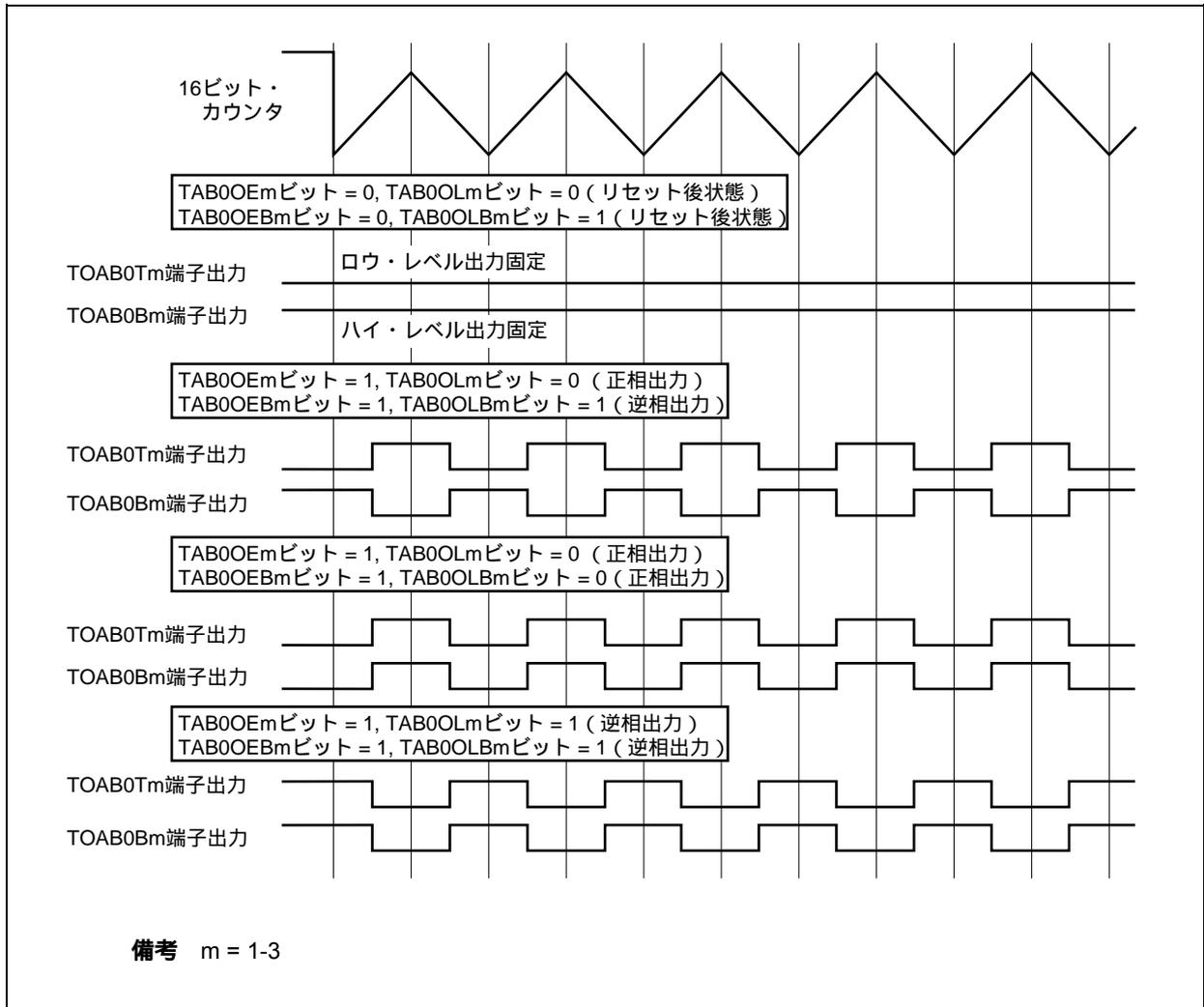


表10 - 1 TOAB0Tm端子出力

TAB00Lmビット	TAB00Emビット	TAB0CEビット	TOAB0Tm端子出力
0	0	X	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	TOAB0Tm正相出力
1	0	X	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	TOAB0Tm逆相出力

備考 m = 1-3

表10 - 2 TOAB0Bm端子出力

TAB00Lmビット	TAB00Emビット	TAB0CEビット	TOAB0Bm端子出力
0	0	X	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	TOAB0Bm正相出力
1	0	X	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	TOAB0Bm逆相出力

備考 m = 1-3

(5) ハイ・インピーダンス出力制御レジスタ0, 1 (HZA0CTL0, HZA0CTL1)

HZA0CTL0, HZA0CTL1レジスタは、出力バッファのハイ・インピーダンス制御をする8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。ただしHZA0DCF0, HZA0DCF1ビットは、リードのみ可能で、ライト動作を行っても書き込みません。

16ビット・アクセスは、できません。

リセットにより00Hになります。

HZA0CTL0, HZA0CTL1レジスタは、常時ソフトウェアでの同値書き込みが可能です。

検出要因/制御レジスタの関係を次に示します。

ハイ・インピーダンス制御対象端子	ハイ・インピーダンス制御要因	制御レジスタ
	外部端子	
TOAB0T1-TOAB0T3出力時 TOAB0B1-TOAB0B3出力時	INTP1	HZA0CTL0
TOAA31出力時	INTP3	HZA0CTL1

注意 ハイ・インピーダンス制御が行われるのは、対象ポートを表中の対象端子に設定した場合にかぎります。

リセット時：00H R/W アドレス：HZA0CTL0 FFFF570H, HZA0CTL1 FFFF571H

	⑦	⑥	5	4	③	②	1	①
HZA0CTLn	HZA0DCEn	HZA0DCMn	HZA0DCNn	HZA0DCPn	HZA0DCTn	HZA0DCCn	0	HZA0DCFn

(n = 0, 1)

HZA0DCEn	ハイ・インピーダンス出力の制御
0	ハイ・インピーダンス出力制御動作禁止。対象端子出力可能
1	ハイ・インピーダンス出力制御動作許可

HZA0DCMn	HZA0DCCnビットによるハイ・インピーダンス解除の条件
0	外部端子 ^注 入力に関係なく、HZA0DCCnビットの設定が有効
1	外部端子 ^注 入力 ^注 が異常検出したレベル（アクティブ・レベル）を保持している期間はHZA0DCCnビットの設定が無効。
HZA0DCMnビットを書き換える場合はHZA0DCEnビット = 0のとき行ってください。	

HZA0DCNn	HZA0DCPn	外部端子 ^注 の入力エッジ指定
0	0	有効エッジなし（外部端子 ^注 入力によるHZA0DCFnビットのセット禁止）
0	1	外部端子 ^注 の入力の立ち上がりエッジを有効 （立ち上がりエッジ入力 ^注 で異常検出）
1	0	外部端子 ^注 の入力の立ち下がりエッジを有効 （立ち下がりエッジ入力 ^注 で異常検出）
1	1	設定禁止

- ・ HZA0DCNn, HZA0DCPnビットを書き換える場合はHZA0DCEnビット = 0のとき行ってください。
- ・ INTP1, INTP3端子の割り込みの有効エッジ指定については、第18章 割り込み/例外処理機能を参照してください。
- ・ ハイ・インピーダンス出力制御は動作許可（HZA0DCEnビット = 1）後に有効エッジが入力された場合に行われます。したがって、動作許可する時点で外部端子^注がアクティブ・レベルである場合は、ハイ・インピーダンス出力制御は行われません。

注 HZA0CTL0 : INTP1端子, HZA0CTL1 : INTP3端子

HZA0DCTn	ハイ・インピーダンス出力トリガ・ビット
0	非動作
1	ソフトウェアで対象端子をハイ・インピーダンスにして、HZA0DCFnビットがセット(1)されます。

・外部端子^注に異常を示すエッジが入力 (HZA0DCNn, HZA0DCPnビットの設定により検出) された場合、HZA0DCTnビットに1を設定しても無効です。
 ・HZA0DCTnビットはソフトウェア・トリガ・ビットなのでリードすると必ず0が読み出されます。
 ・HZA0DCEnビット = 0のとき、HZA0DCTnビットに1を設定しても無効です。
 ・HZA0DCTnビットとHZA0DCnビットを同時に1に設定することは禁止です。

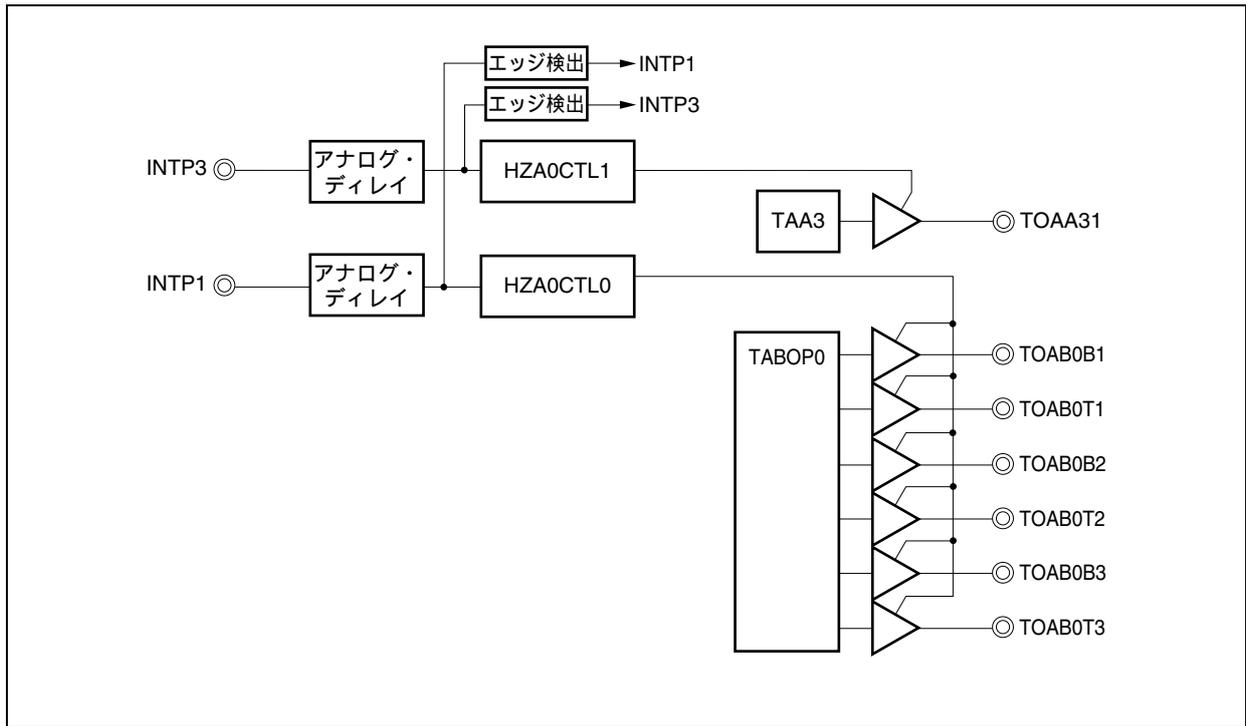
HZA0DCCn	ハイ・インピーダンス出力制御クリア・ビット
0	非動作
1	ハイ・インピーダンス状態の対象端子をソフトウェアで出力許可状態にして、HZA0DCFnビットがクリア(0)されます。

・HZA0DCMビット = 0のとき、外部端子^注の状態にかかわらず対象端子の出力が可能です。
 ・HZA0DCMビット = 1のとき、外部端子^注に異常を示すエッジが入力 (HZA0DCNn, HZA0DCPnビットの設定により検出) された場合、HZA0DCCnビットに1を設定しても無効です。
 ・HZA0DCCnビットはリードすると必ず0が読み出されます。
 ・HZA0DCEnビット = 0のとき、HZA0DCCnビットに1を設定しても無効です。
 ・HZA0DCTnビットとHZA0DCCnビットを同時に1に設定することは禁止です。

HZA0DCFn	ハイ・インピーダンス出力状態フラグ
0	対象端子の出力が可能状態であることを示します。 ・HZA0DCEnビット = 0によりクリア(0)されます。 ・HZA0DCCnビット = 1によりクリア(0)されます。
1	対象端子の出力がハイ・インピーダンス状態であることを示します。 ・HZA0DCTnビット = 1によりセット(1)されます。 ・外部端子 ^注 に異常を示すエッジが入力 (HZA0DCNn, HZA0DCPnビットの設定により検出) された場合、セット(1)されます。

注 HZA0CTL0 : INTP1端子, HZA0CTL1 : INTP3端子

図10 - 4 ハイ・インピーダンス出力制御回路構成



(a) 設定手順

(i) ハイ・インピーダンス制御動作を設定する方法

- <1> HZA0DCMn, HZA0DCNn, HZA0DCPnビットの設定
- <2> HZA0DCEnビット = 1 (ハイ・インピーダンス制御の許可)

(ii) ハイ・インピーダンス制御許可設定後に変更する方法

- <1> HZA0DCEnビット = 0 (ハイ・インピーダンス制御動作の停止)。
- <2> HZA0DCMn, HZA0DCNn, HZA0DCPnビットの変更設定。
- <3> HZA0DCEnビット = 1 (ハイ・インピーダンス制御の再許可)。

(iii) 端子がハイ・インピーダンス状態のとき、出力を再開する方法

HZA0DCMnビット = 1の場合、外部端子^注の有効エッジ検出後、ハイ・インピーダンス状態の解除のためHZA0DCCnビットに1をセットしますが、外部端子^注の入力レベルがインアクティブ状態のときにセットしなければハイ・インピーダンス状態の解除はできません。

- <1> HZA0DCCnビット = 1 (ハイ・インピーダンス状態の解除命令信号)。
- <2> HZA0DCFnビットをリードし、フラグの状態を確認。
- <3> HZA0DCFnビット = 1ならば<1> の操作に戻る。外部端子^注の入力レベルの確認が必要。
HZA0DCFnビット = 0ならば端子出力可能。

(iv) ソフトウェアにより端子をハイ・インピーダンスにする方法

ソフトウェアによりHZA0DCTnビット = 1を設定し、端子をハイ・インピーダンスにするには、外部端子^注の入力レベルがインアクティブ状態のときにセットしなければなりません。次の手順は、HZA0DCMnビットの設定に依存しない例です。

- <1> HZA0DCTnビット = 1 (ハイ・インピーダンス出力命令)。
- <2> HZA0DCFnビットをリードし、フラグの状態を確認。
- <3> HZA0DCFnビット = 0ならば<1>の操作に戻る。外部端子^注の入力レベルの確認が必要。
HZA0DCFnビット = 1ならばハイ・インピーダンス状態。

ただし、HZA0DCPnビット = 0, HZA0DCNnビット = 0に設定し、外部端子^注入力を使用しない場合は、HZA0DCTnビットに1をセットすることでハイ・インピーダンス状態になります。

注 HZA0CTL0 : INTp1端子, HZA0CTL1 : INTp3端子

10.4 動作

10.4.1 システム概要説明

(1) 6相PWM出力概要

6相PWM出力モードは、6相PWM出力波形を生成するためにTAB0とTAB0オプションを組み合わせて使用します。

6相PWM出力モードはTAB0のTAB0CTL1.TAB0MD2-TAB0MD0ビットを“111”に設定することにより有効となります。

基本3相波生成用にTAB0の1本の16ビット・カウンタと4本の16ビット・コンペア・レジスタを使用します。

コンペア・レジスタの機能は次のとおりです。

また、A/Dコンバータの変換開始トリガ・ソース用に、TAA4はTAB0と同調動作を行うことができます。

コンペア・レジスタ	機能	設定可能範囲
TAB0CCR0レジスタ	周期の設定	0002H m FFFE _H
TAB0CCR1レジスタ	U相の出力幅の指定	0000H i m + 1
TAB0CCR2レジスタ	V相の出力幅の指定	0000H j m + 1
TAB0CCR3レジスタ	W相の出力幅の指定	0000H k m + 1

備考 m = TAB0CCR0レジスタの設定値

i = TAB0CCR1レジスタの設定値

j = TAB0CCR2レジスタの設定値

k = TAB0CCR3レジスタの設定値

生成された基本3相波を3本の10ビット・デッド・タイム・カウンタと1本のコンペア・レジスタでデッド・タイム間隔生成を行って、基本3相波の逆相波を作り、6相PWM出力波形 (U, \bar{U} , V, \bar{V} , W, \bar{W}) を生成します。

基本3相波生成用の16ビット・カウンタは、アップ/ダウン・カウント動作を行います。動作開始後はアップ・カウント動作を行い、TAB0CCR0レジスタに設定された周期値と一致するとダウン・カウント動作に切り替わります。次に0001Hとの一致が起こると再びアップ・カウント動作に切り替わります。つまりTAB0CCR0レジスタに設定した値 + 1の2倍の値がキャリア周期となります。

デッド・タイム間隔生成用の10ビットのデッド・タイム・カウンタ1-3は、アップ・カウント動作を行うので、TAB0デッド・タイム・コンペア・レジスタ (TAB0DTC) に設定した値がデッド・タイム値そのものになります。また、カウンタは3本ありデッド・タイム生成をU相、V相、W相に対し独立に行うことができますが、デッド・タイム値の指定レジスタ (TAB0DTC) は1本であるため、3相とも同じデッド・タイム値となります。

図10 - 5 6相PWM出力モードの概要

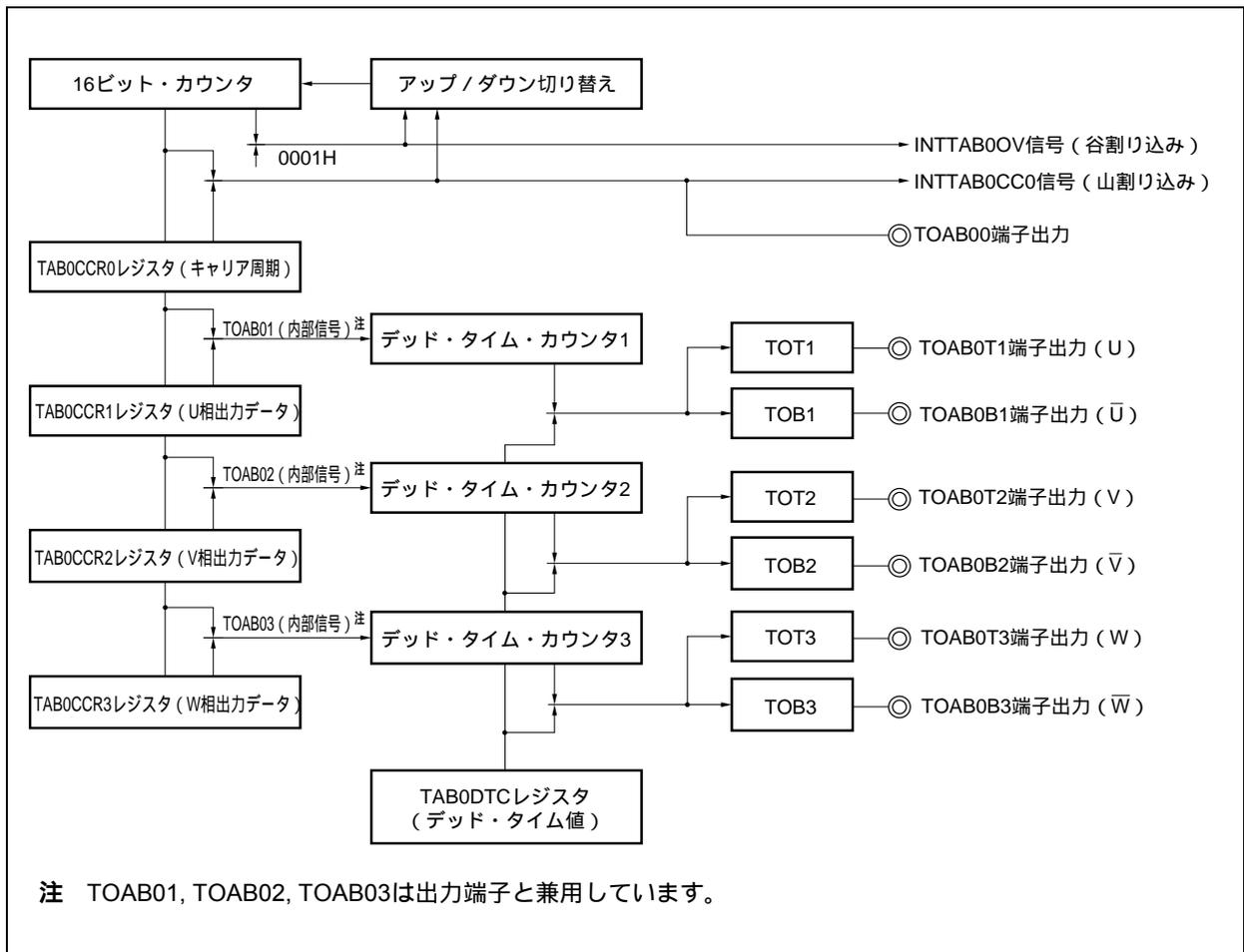
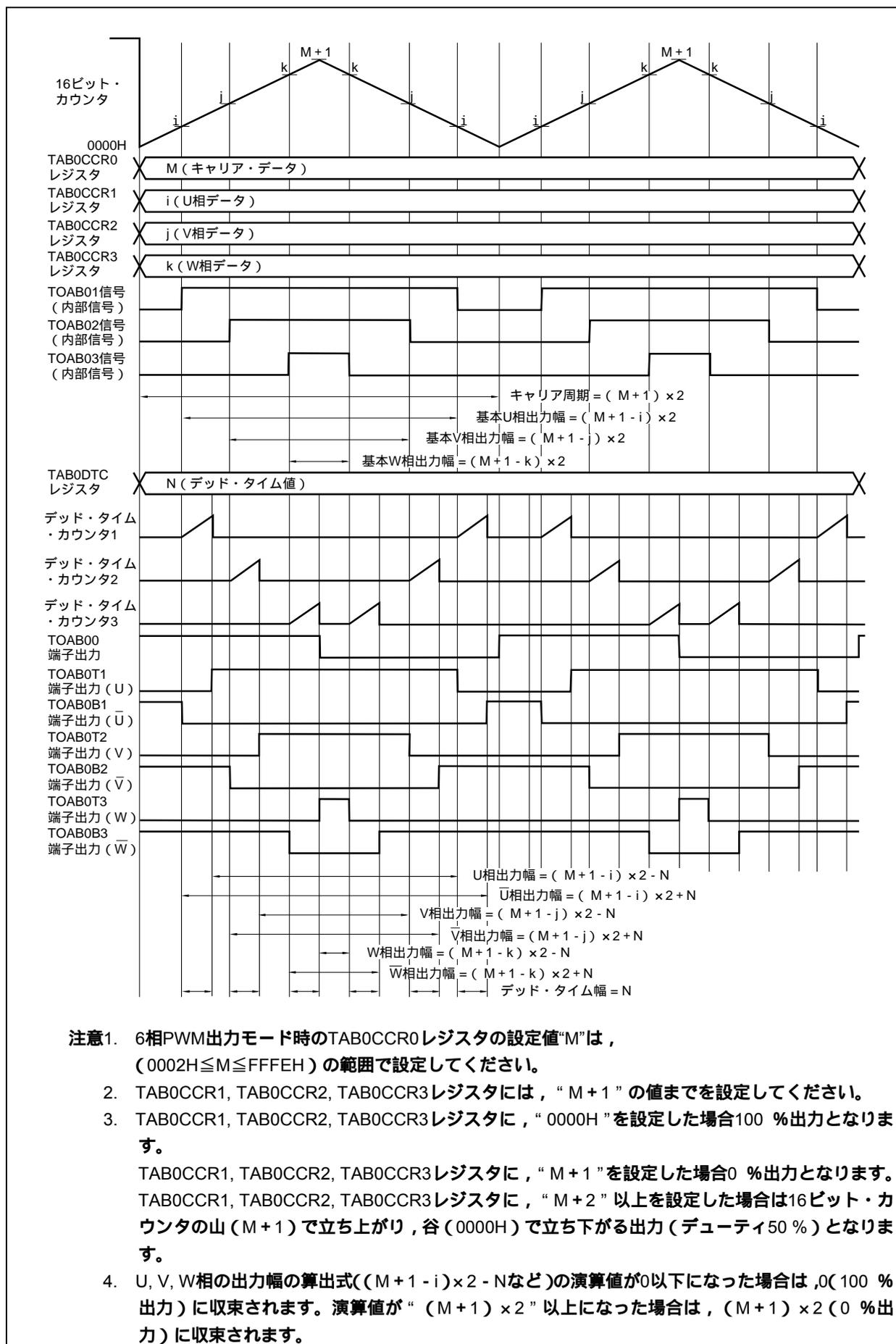


図10 - 6 6相PWM出力モードのタイミング図



(2) 割り込み要求

割り込み要求は、INTTAB0CC0（山割り込み）とINTTAB0OV（谷割り込み）の2種類あります。INTTAB0CC0, INTTAB0OVは、TAB0OPT1レジスタで割り込み要求を間引くことができます。割り込み間引きに関する詳細は、10.4.3 **割り込み間引き機能**を参照してください。

- ・INTTAB0CC0（山割り込み）：アップ・カウント時の16ビット・カウンタの値とTAB0CCR0レジスタの値との一致割り込み
- ・INTTAB0OV（谷割り込み）：ダウン・カウント時の16ビット・カウンタの値と0001Hの一致割り込み

(3) タイマ動作中のレジスタの書き換えについて

次のレジスタには、バッファ・レジスタがあり、随時書き換え、一斉書き換え、間欠一斉書き換えのいずれかの方法で書き換えができます。

関係ユニット	レジスタ
タイマAA4	TAA4キャプチャ/コンペア・レジスタ0 (TAA4CCR0) TAA4キャプチャ/コンペア・レジスタ1 (TAA4CCR1)
タイマAB0	TAB0キャプチャ/コンペア・レジスタ0 (TAB0CCR0) TAB0キャプチャ/コンペア・レジスタ1 (TAB0CCR1) TAB0キャプチャ/コンペア・レジスタ2 (TAB0CCR2) TAB0キャプチャ/コンペア・レジスタ3 (TAB0CCR3)
タイマAB0オプション	TAB0オプション・レジスタ1 (TAB0OPT1)

コンペア・レジスタの転送機能に関する詳細は、10.4.4 **転送機能付きレジスタの書き換え操作**を参照してください。

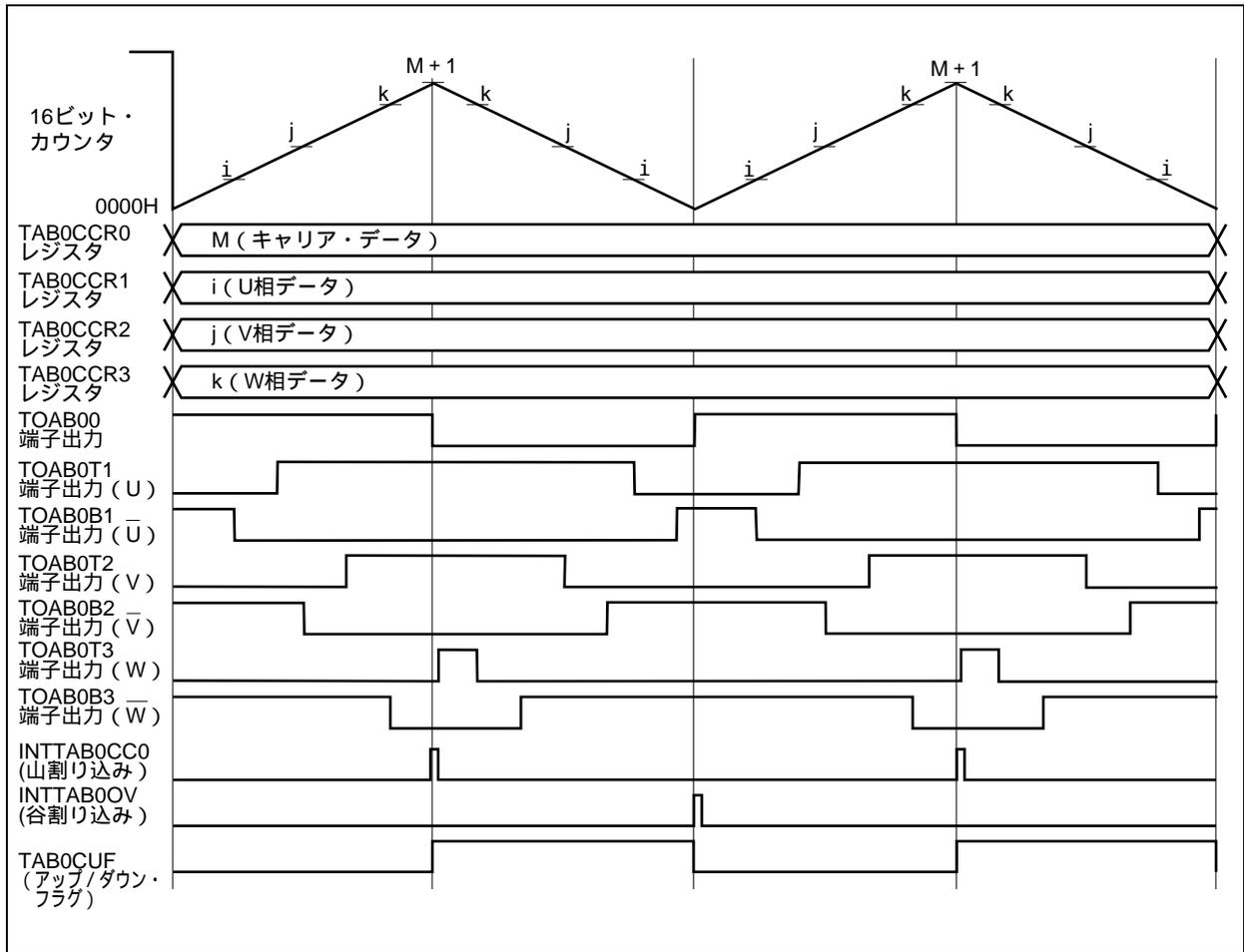
(4) 16ビット・カウンタのアップ/ダウン・カウント動作

16ビット・カウンタの動作状態は、TAB0オプション・レジスタ0 (TAB0OPT0) のTAB0CUFビットにより確認できます。

TAB0CUFビットの状態	16ビット・カウンタの状態	16ビット・カウンタの値の範囲
TAB0CUFビット = 0	アップ・カウント	0000H - m
TAB0CUFビット = 1	ダウン・カウント	(m + 1) - 0001H

備考 m = TAB0CCR0レジスタの設定値

図10-7 割り込みとアップ/ダウン・フラグ



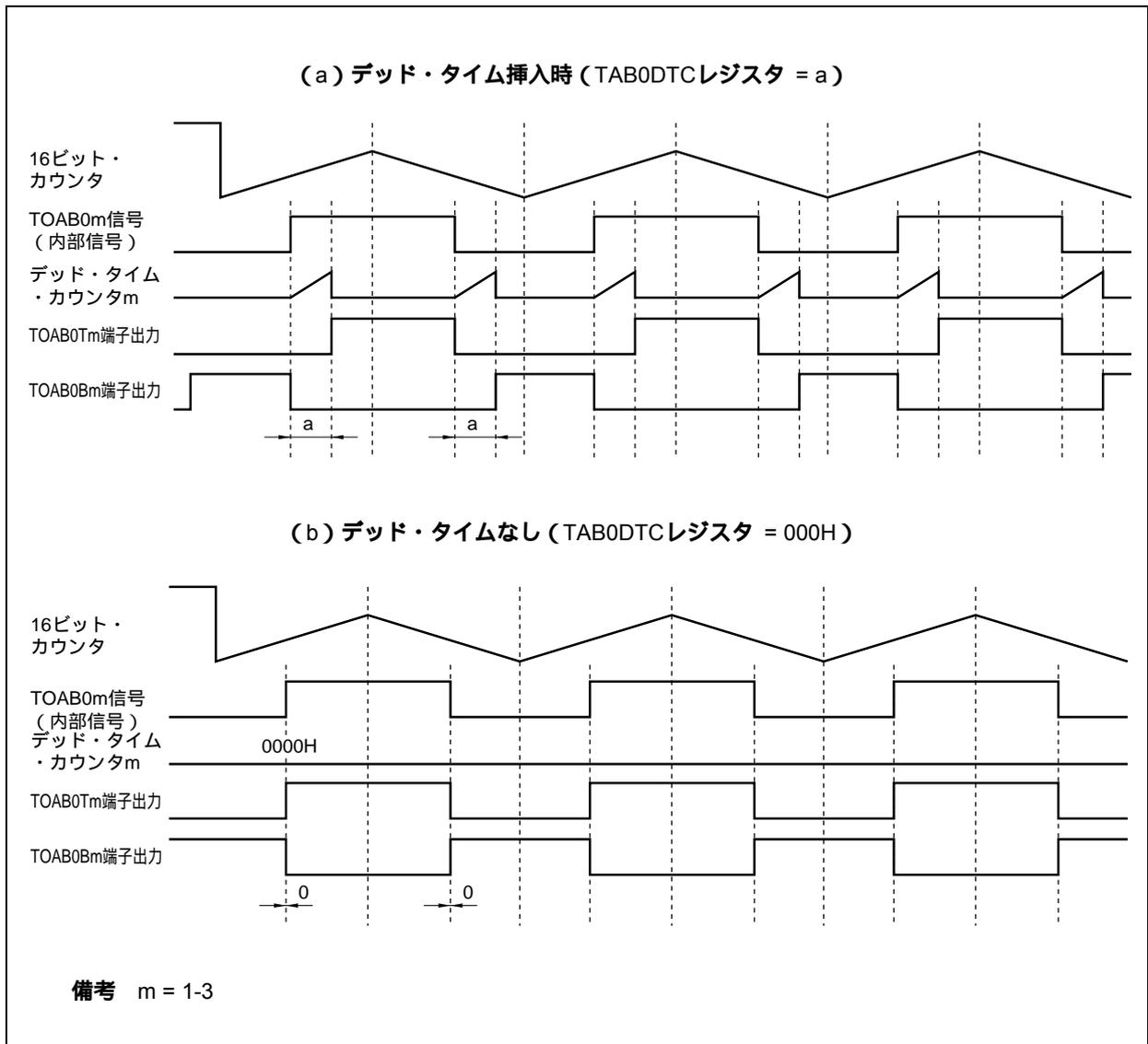
10.4.2 デッド・タイム制御（逆相波信号の生成）

（1）デッド・タイム制御機構

6相PWM出力モードではデューティ用の設定レジスタはコンペア・レジスタ1-3 (TAB0CCR1, TAB0CCR2, TAB0CCR3)とし、周期用の設定レジスタはコンペア・レジスタ0 (TAB0CCR0)となります。この4種類のレジスタを設定し、TABを動作させることでデューティ可変型の3種類のPWM出力波形（基本3相波）を生成します。この3種類のPWM出力波形をタイマABオプション・ユニット (TABOP0) で受け、デッド・タイムを付加した反転信号を作成することで、3組6本のPWM波形を生成します。

TABOP0ユニットは、TAB0のカウンタ・クロックに同期して動作する3本の10ビット・カウンタ（デッド・タイム・カウンタ1-3）とデッド・タイムの時間を指定するTAB0デッド・タイム・コンペア・レジスタ (TAB0DTC) で構成されます。TAB0DTCレジスタに“a”を設定するとデッド・タイム値は“a”となり、正相波と逆相波の間に“a”の間隔が作られます。

図10-8 デッド・タイム付加後のPWM出力波形（1）



(2) 0 % / 100 %のPWM出力

V850ES/Hx3は、PWM出力の0 %波形出力、および100 %波形出力が可能です。

0 %波形出力は、TOAB0Tm端子からロウ・レベルを出力し続けます。100 %波形はTOAB0Tm端子からハイ・レベルを出力し続けます。

0 %波形は、TAB0CCR0レジスタ = Mの場合、TAB0CCRmを“ M + 1 ”に設定することにより出力されます。

100 %波形は、TAB0CCRmレジスタを“ 0000H ”に設定することにより出力されます。

なお、タイマ動作中にTAB0CCRmレジスタの書き換えは許可されており、山割り込み (INTTAB0CC0) および谷割り込み (INTTAB0OV) のポイントで0 %波形出力 / 100 %波形出力に切り替えられます。

備考 m = 1-3

図10 - 9 0 %PWM出力波形図 (デッド・タイムなし)

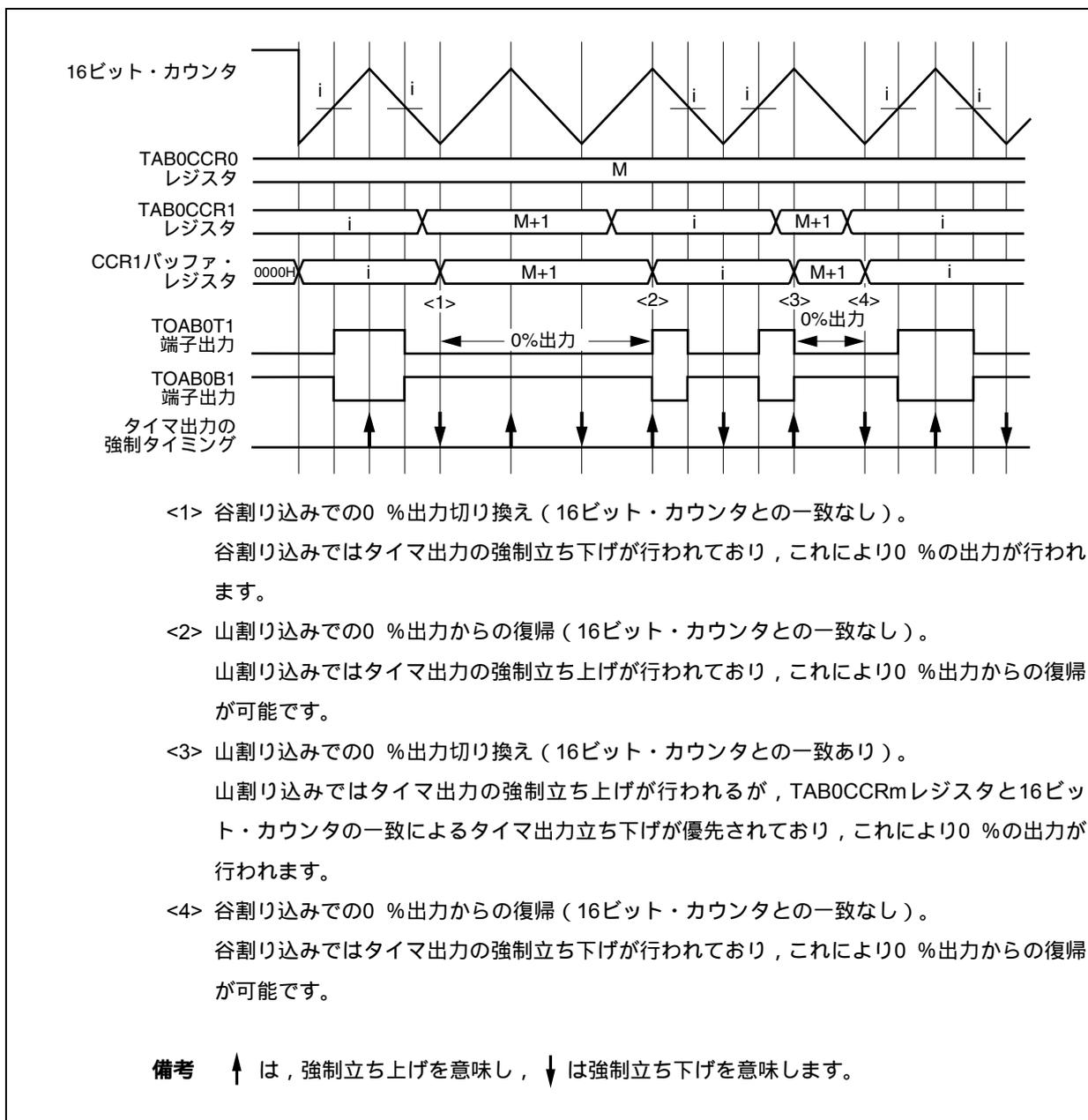


図10 - 10 100 %PWM出力波形図(デッド・タイムなし)

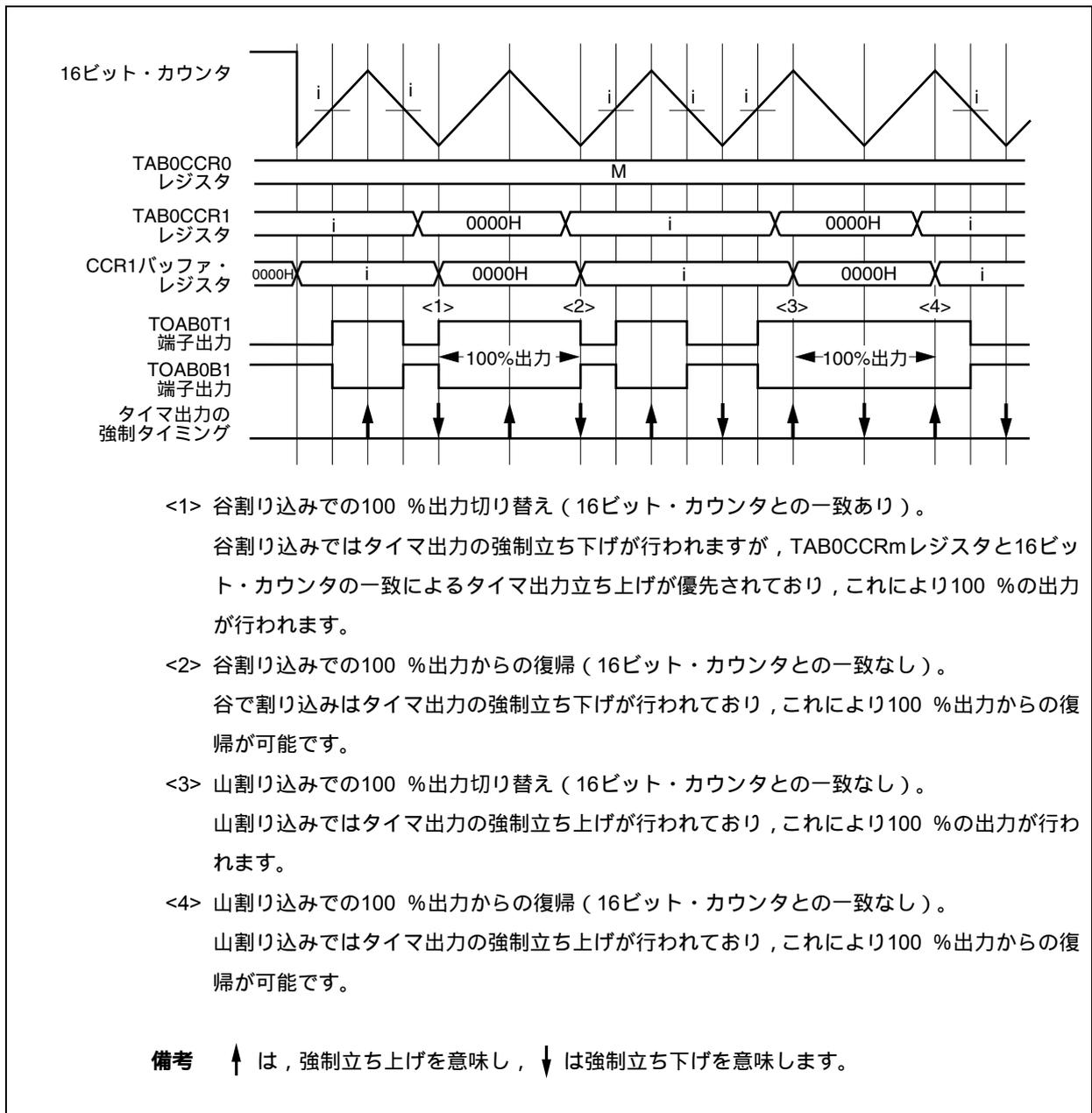
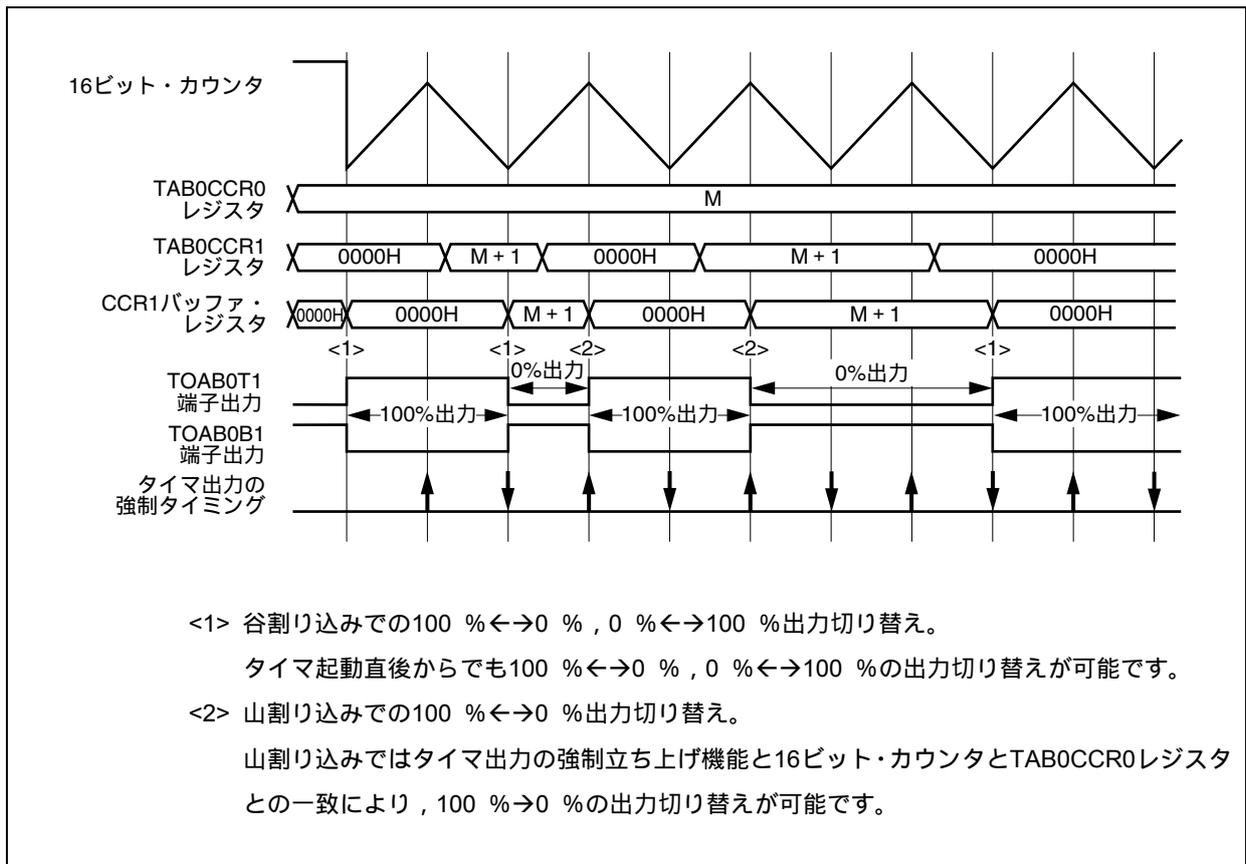


図10-11 0%から100% , 100%から0%のPWM出力波形図(デッド・タイムなし)



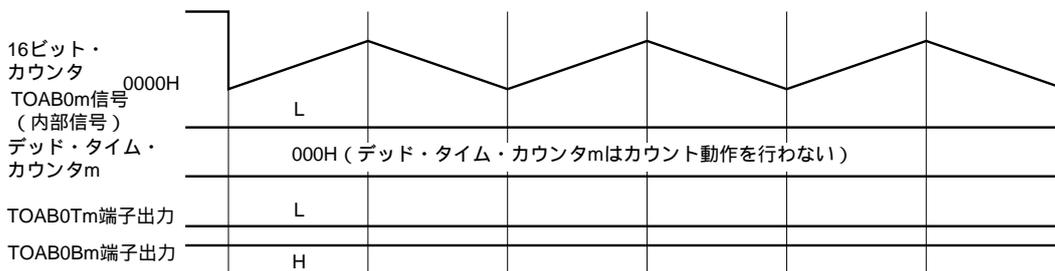
(3) 0% , 100%出力近傍の出力波形

デッド・タイム・カウント中にコンペア・レジスタと16ビット・カウンタとの一致割り込みが発生した場合 , デッド・タイム・カウンタはクリアされ , 再びカウント動作をします。

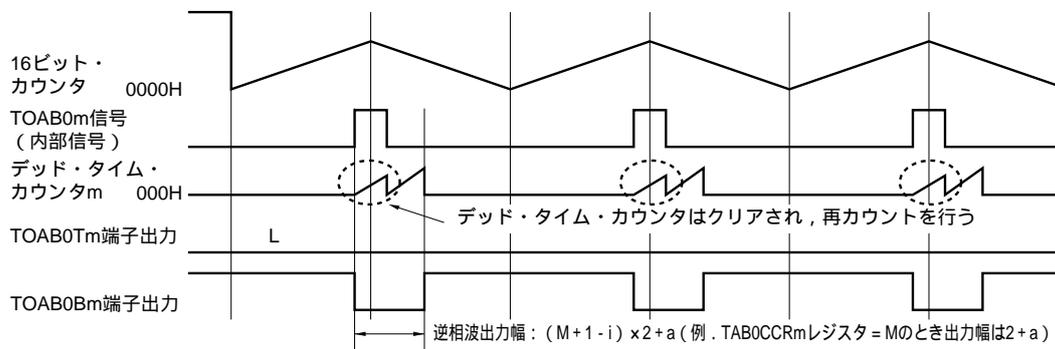
0% , 100%出力の近傍でのデッド・タイム制御の出力波形を次に示します。

図10 - 12 デッド・タイム付加後のPWM出力波形 (2)

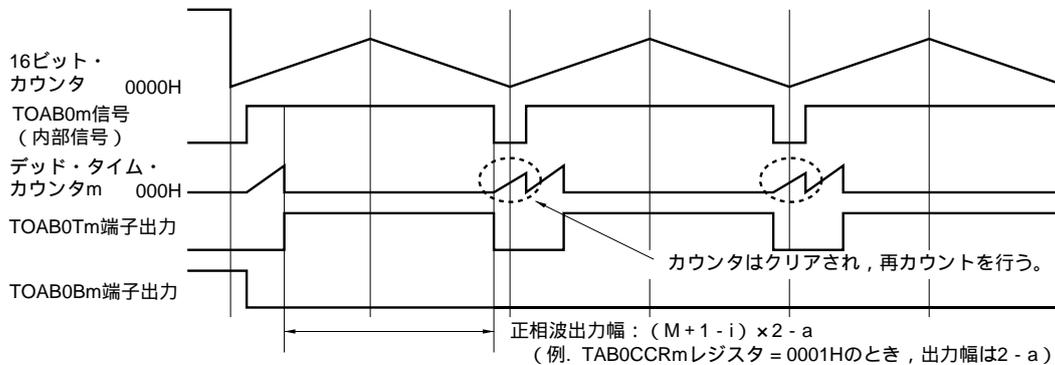
(a) 0 %出力 (TAB0CCRmレジスタ = M + 1, TAB0CCR0レジスタ = M, TAB0DTCレジスタ = a)



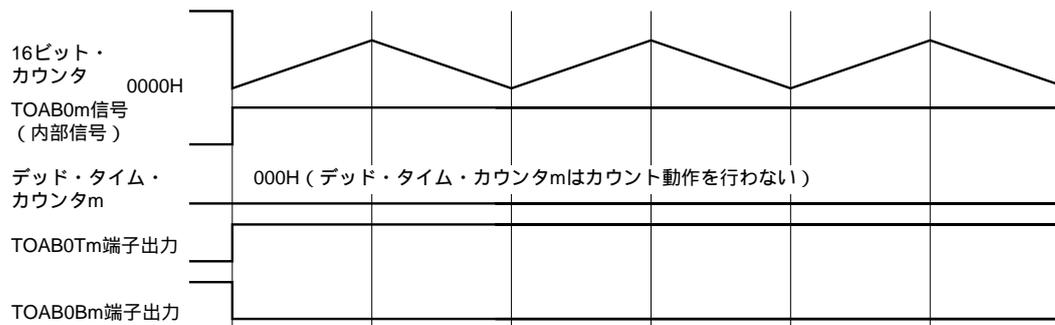
(b) 0 %出力近傍 (TAB0CCRmレジスタ = i M + 1 - a/2, TAB0CCR0レジスタ = M, TAB0DTCレジスタ = a)



(c) 100 %出力近傍 (TAB0CCRmレジスタ = i a/2, TAB0CCR0レジスタ = M, TAB0DTCレジスタ = a)



(d) 100 %出力 (TAB0CCRmレジスタ = 0000H, TAB0CCR0レジスタ = M, TAB0DTCレジスタ = a)



備考 m = 1-3

(4) デッド・タイム幅の自動縮小機能 (TAB0OPT2.TAB0DTMビット = 1)

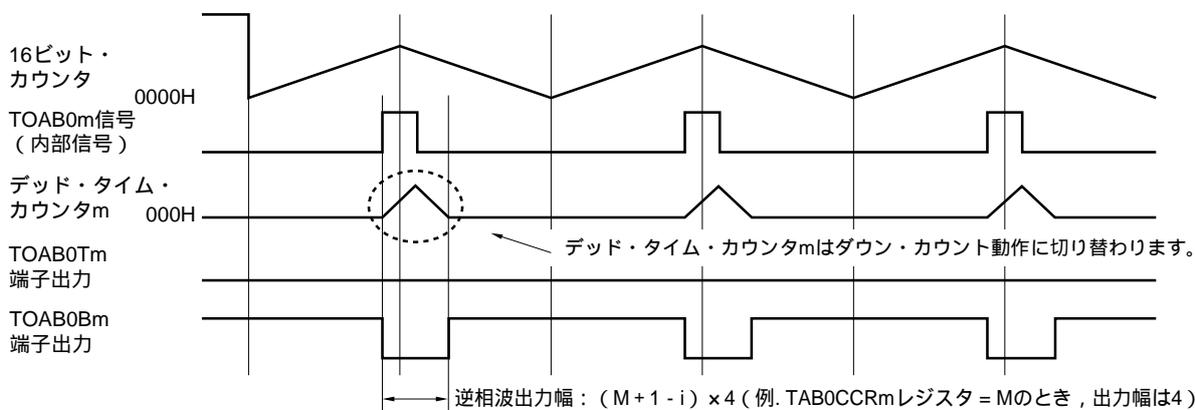
TAB0OPT2.TAB0DTMビットを“1”に設定することにより,0 %出力近傍 / 100 %出力近傍でのデッド・タイム幅を自動で縮小できます。

TAB0DTMビット = 1に設定することにより,デッド・タイム・カウント中に再度のタイマABのTOAB0m (内部信号) 出力変化が起こった場合,カウンタ・クリア動作は行わず,デッド・タイム・カウンタはダウン・カウント動作に切り替わります。

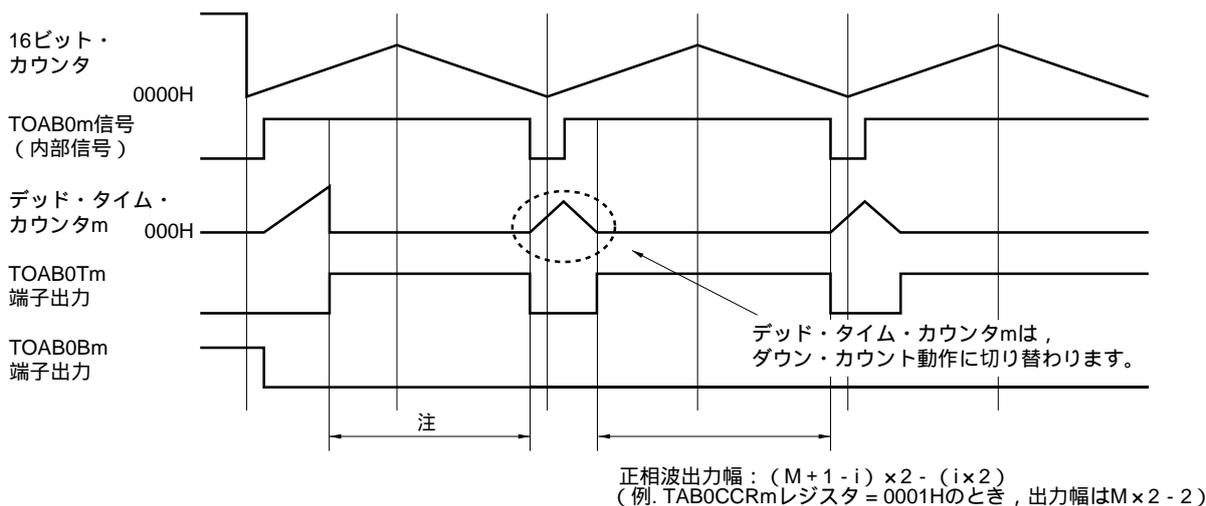
TAB0DTMビット = 1に設定した場合のタイミング・チャートを次に示します。

図10 - 13 デッド・タイム・カウンタmの動作 (1)

(a) 0 %出力近傍 (TAB0CCRmレジスタ = $i \cdot M + 1 - a/2$, TAB0CCR0レジスタ = M, TAB0DTCレジスタ = a)



(b) 100 %出力近傍 (TAB0CCRmレジスタ = $i \cdot a/2$, TAB0CCR0レジスタ = M, TAB0DTCレジスタ = a)



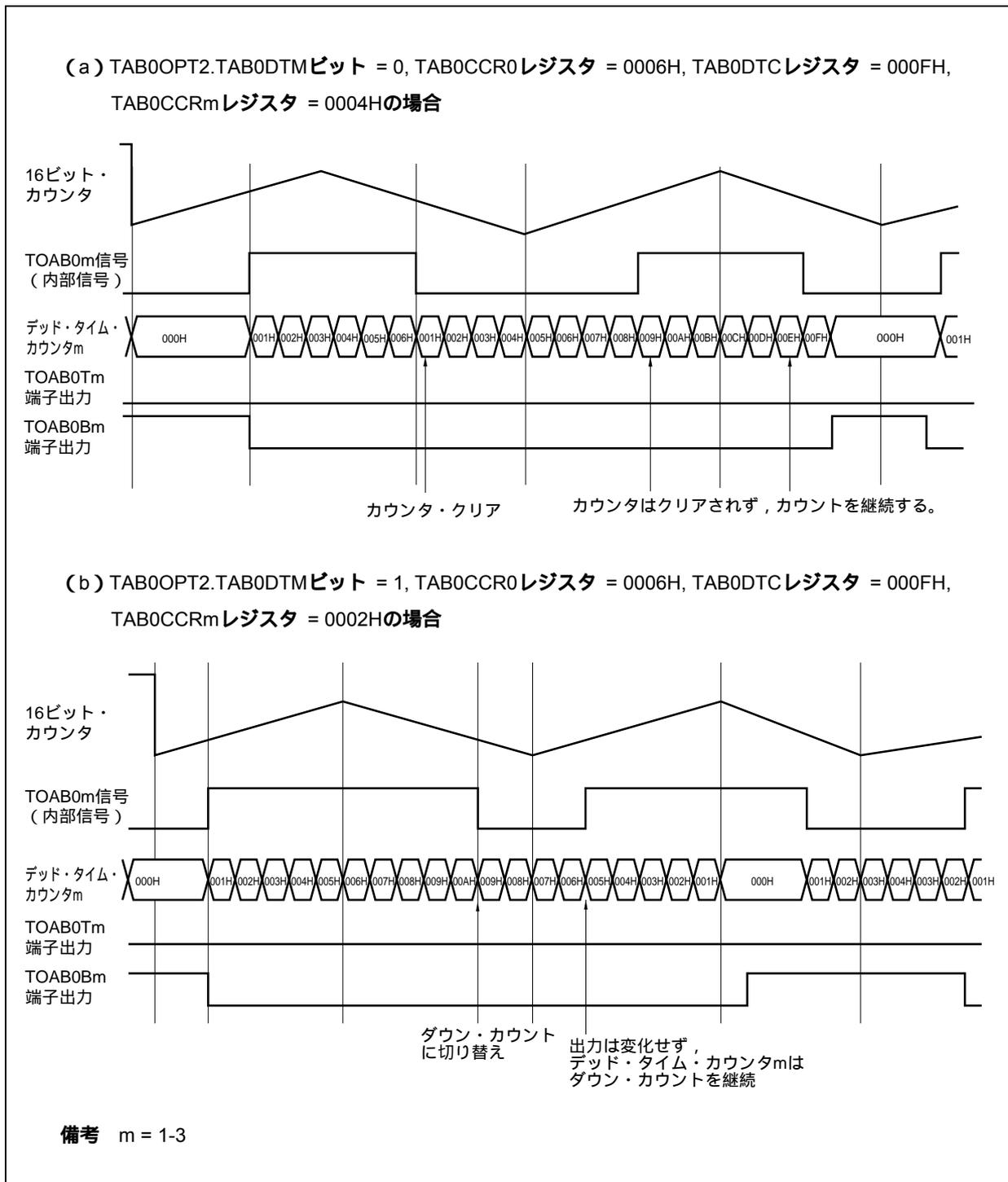
注 TAB0CTL0.TAB0CEビット = 1直後の第1波の出力幅と第2波以降の出力幅は異なります。第1波が第2波以降に比べ,デッド・タイムをフルカウントする分短くなります。

備考 m = 1-3

(5) 異常設定時のデッド・タイム制御

通常使用であれば、デッド・タイム・カウント中に再度のTAB0のTOAB0m (内部信号) 出力変化が起こるのは1度だけで、0%、100%出力の近傍のみです。ここでは、TAB0CCR0レジスタ(キャリア周期)とTAB0DTCレジスタ(デッド・タイム値)の設定を誤り異常な設定をした場合の動作を示します。異常設定をすると、デッド・タイム・カウント中に2、3度のTAB0のTOAB0m(内部信号)出力変化が起こります。この場合の6相PWM出力波形の出力例を示します。

図10-14 デッド・タイム・カウンタmの動作(2)



10.4.3 割り込み間引き機能

- ・間引き対象割り込みは、INTTAB0CC0（山割り込み）とINTTAB0OV（谷割り込み）です。
- ・TAB0OPT1.TAB0ICEビットで、INTTAB0CC0割り込みの出力許可と間引きカウント対象指定を行います。
- ・TAB0OPT1.TAB0IOEビットで、INTTAB0OV割り込みの出力許可と間引きカウント対象指定を行います。
- ・TAB0OPT2.TAB0RDEビットで、転送の間引きあり/なしが指定可能です。
- ・TAB0OPT1.TAB0ID4-TAB0ID0ビットで間引きカウント対象に指定された割り込み間引きカウント数の指定を行います。指定した間引きカウント数分、割り込みはマスクされ、次の割り込みタイミングで割り込みが発生します。

間引きありに指定した場合は、間引き後の割り込み出力と同タイミングにて転送が実行されます。

間引きなしに指定した場合は、TAB0CCR1レジスタ書き込み後の転送タイミングで転送が実行されます。

- ・TAB0OPT0.TAB0CMSビットで、一斉書き換え/随時書き換えが指定可能。

TAB0CMSビット = 0のときは転送に同期してレジスタ値が更新されますが、TAB0CMSビット = 1のときは書き込み後、ただちにレジスタ値が更新されます。

転送タイミングは、割り込み間引きタイミングに同期して、TAB0CCRmレジスタからCCRmバッファ・レジスタに転送されます。

注意1. 一斉書き換えモード（転送モード）で割り込み間引き機能を使用する場合には、必ず間欠一斉書き換えモード（転送間引きモード）で行ってください。

2. 割り込みは間引き後のタイミングで発生します。

(1) 割り込み間引き動作

図10 - 15 TAB0OPT1.TAB0ICEビット = 1, TAB0IOEビット = 1, TAB0OPT2.TAB0RDEビット = 1での割り込み
間引き動作 (山/谷割り込み出力)

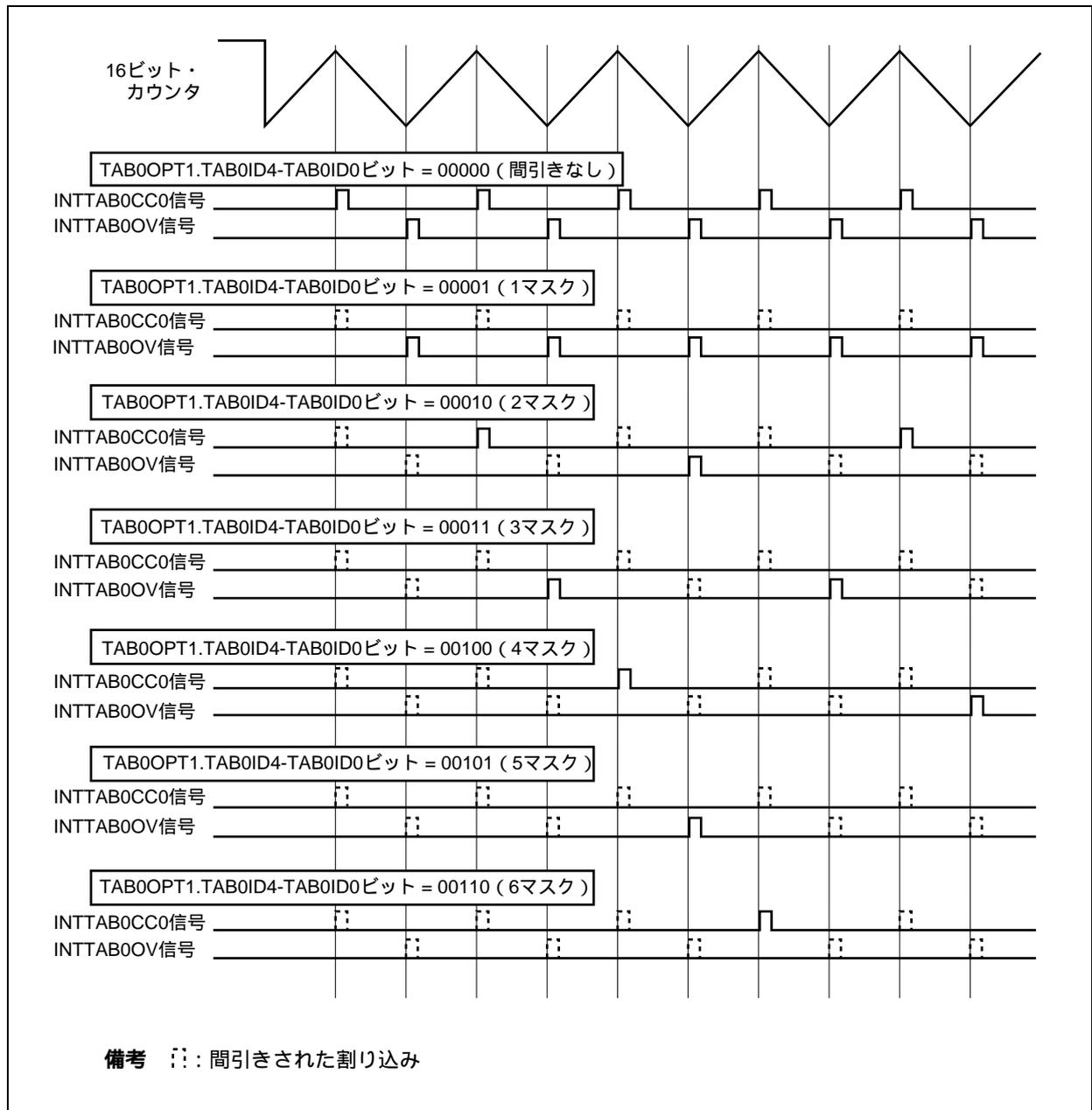


図10 - 16 TAB0OPT1.TAB0ICEビット = 1, TAB0IOEビット = 0, TAB0OPT2.TAB0RDEビット = 1での割り込み
間引き動作 (山割り込みのみ出力)

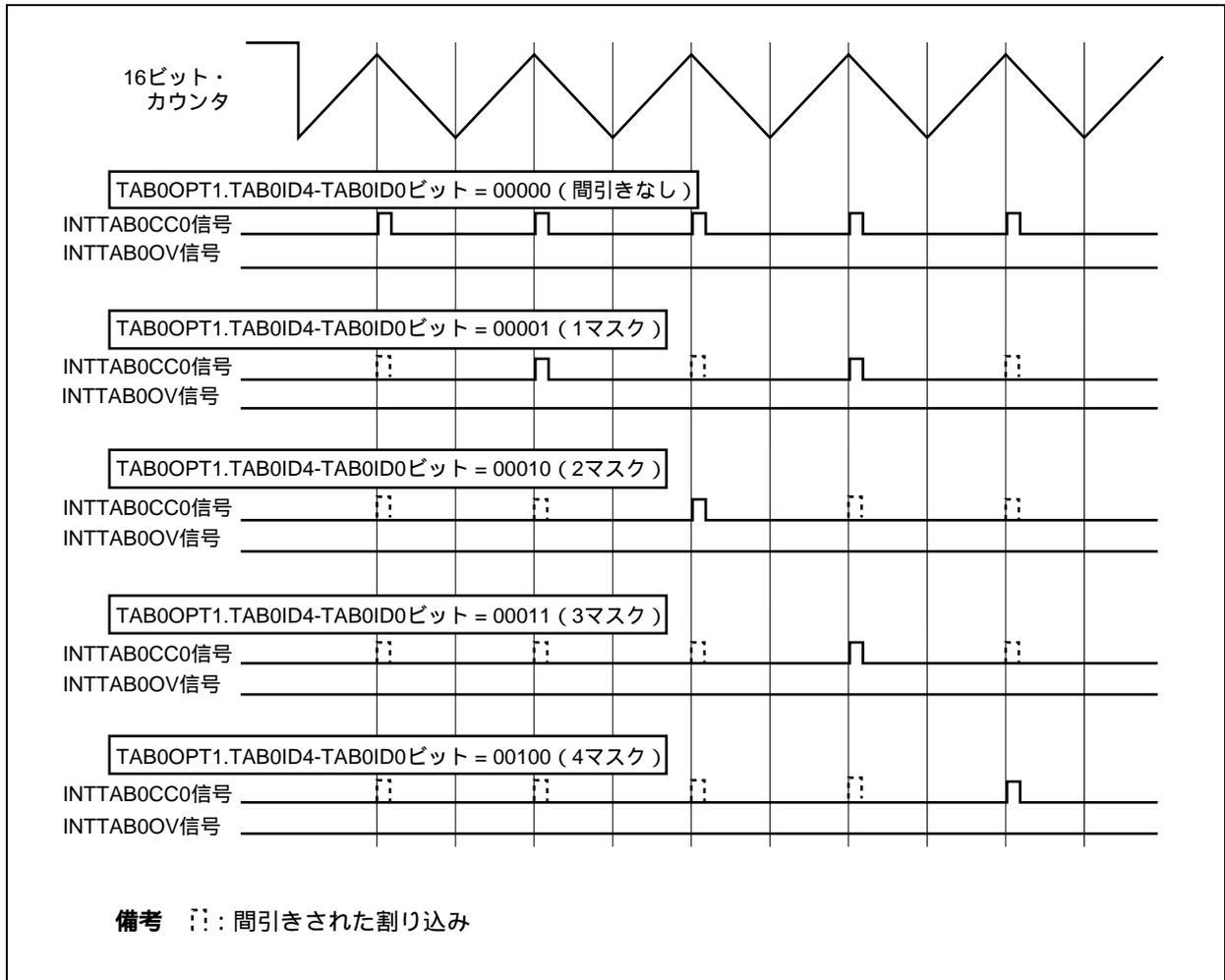
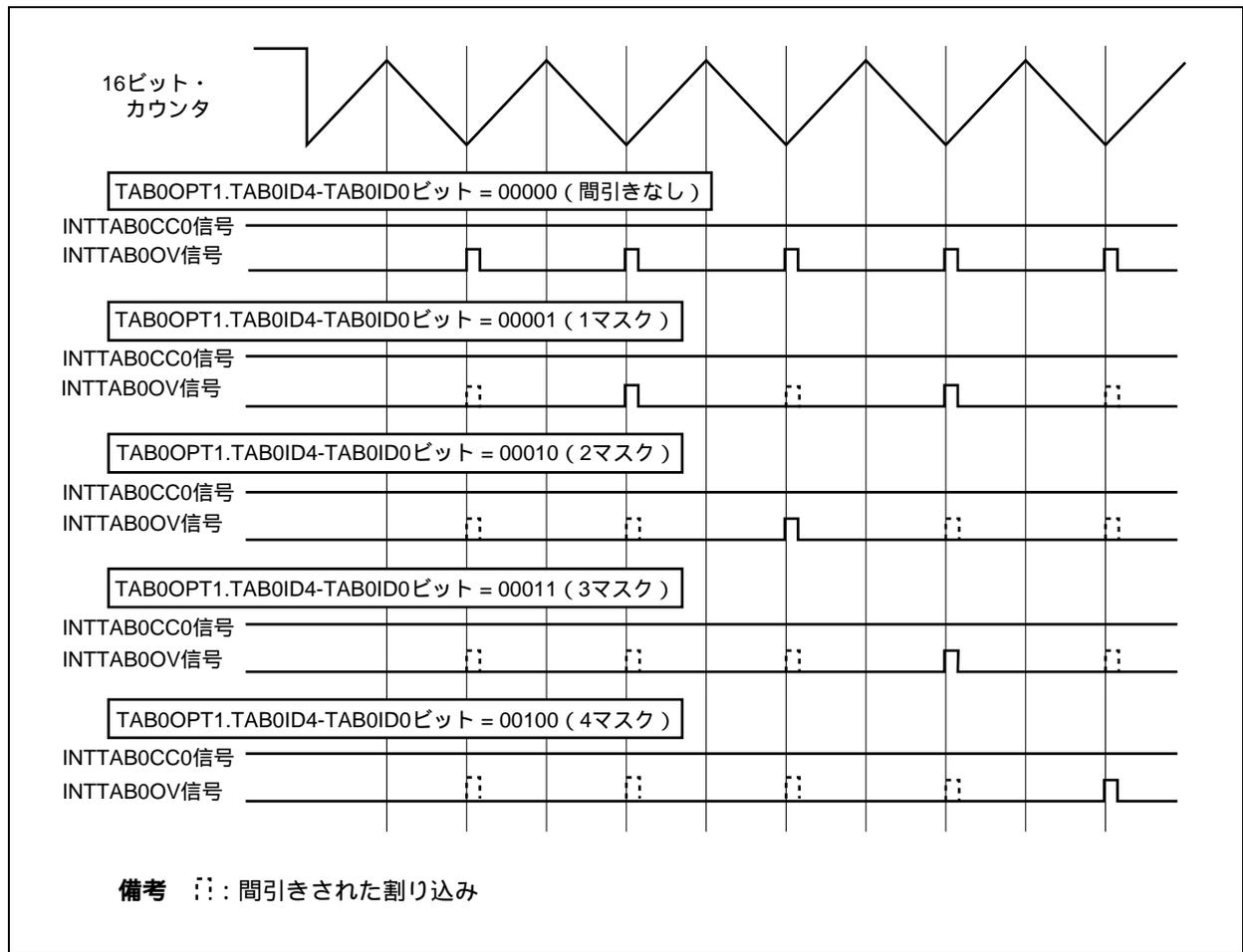


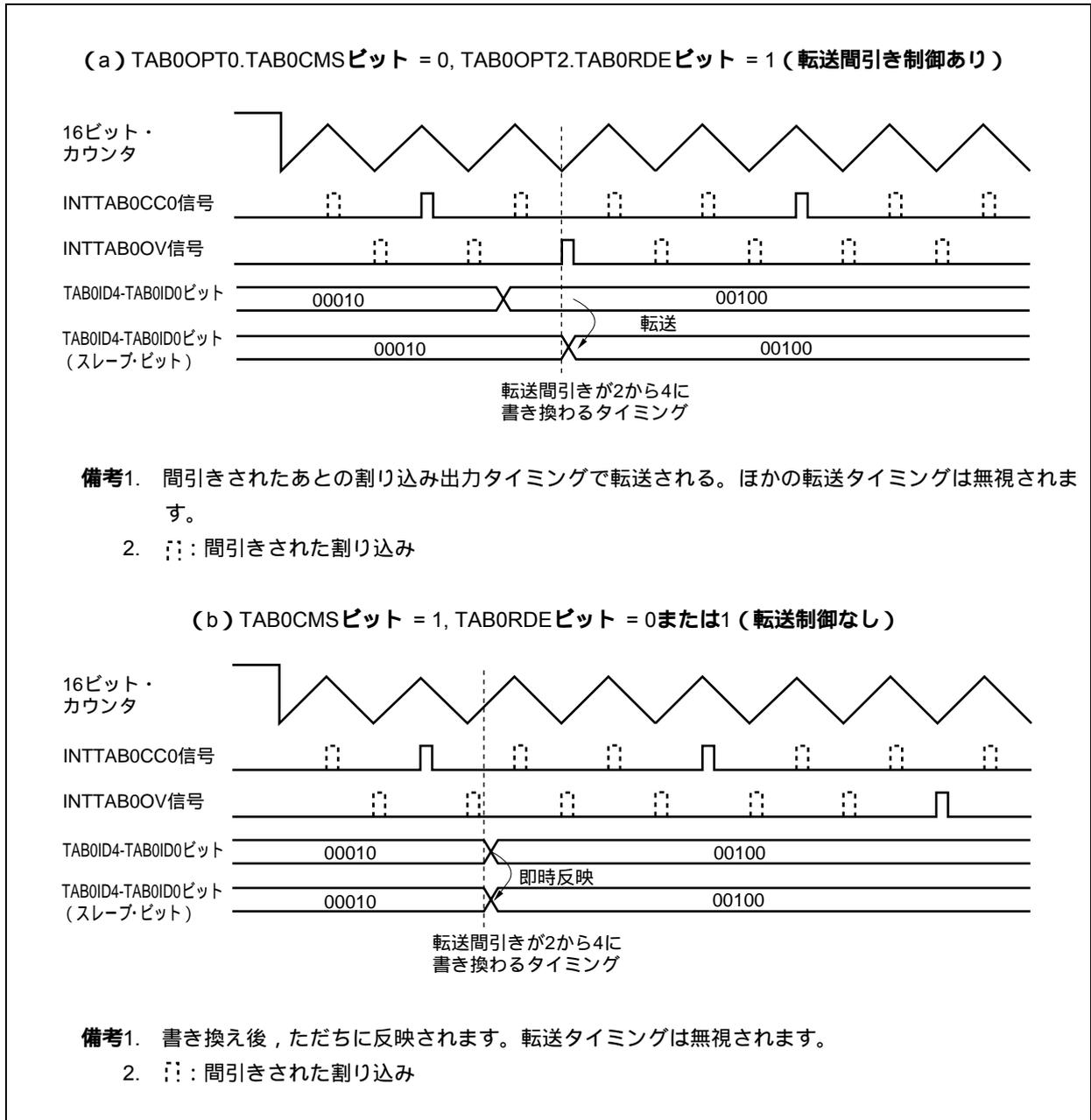
図10 - 17 TAB0OPT1.TAB0ICEビット = 0, TAB0IOEビット = 1, TAB0OPT2.TAB0RDEビット = 1での割り込み
間引き動作 (谷割り込みのみ出力)



(2) 山割り込み (INTTAB0CC0) と谷割り込み (INTTAB0OV) を交互出力する場合

山割り込みと谷割り込みを交互に出力するにはTAB0OPT1.TAB0ICE, TAB0IOEビットをともに“1”に設定してください。

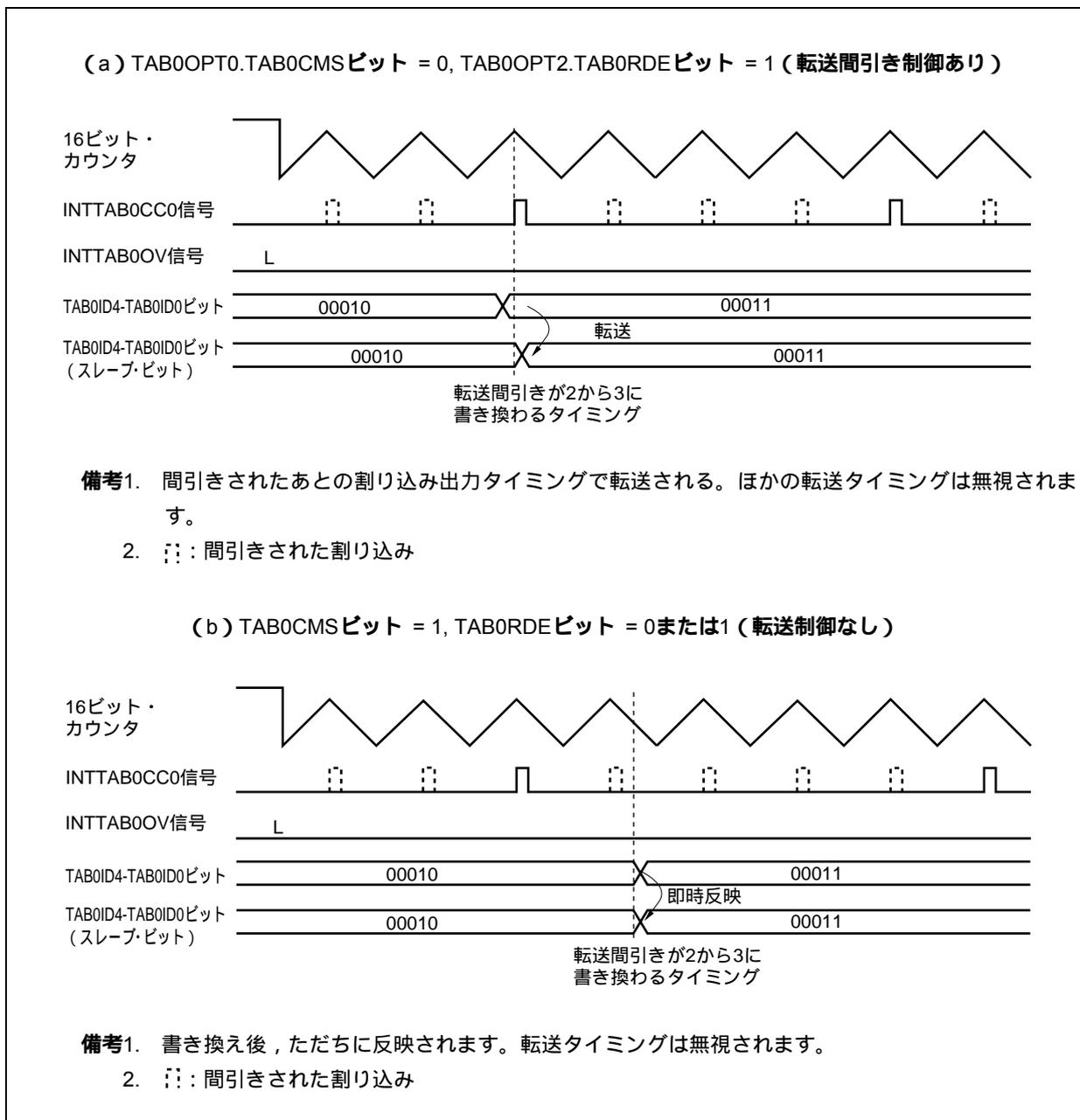
図10 - 18 山/谷割り込み出力



(3) 山割り込み (INTTAB0CC0) のみを出力する場合

TAB0OPT1.TAB0ICEビット = 1, TAB0IOEビット = 0に設定してください。

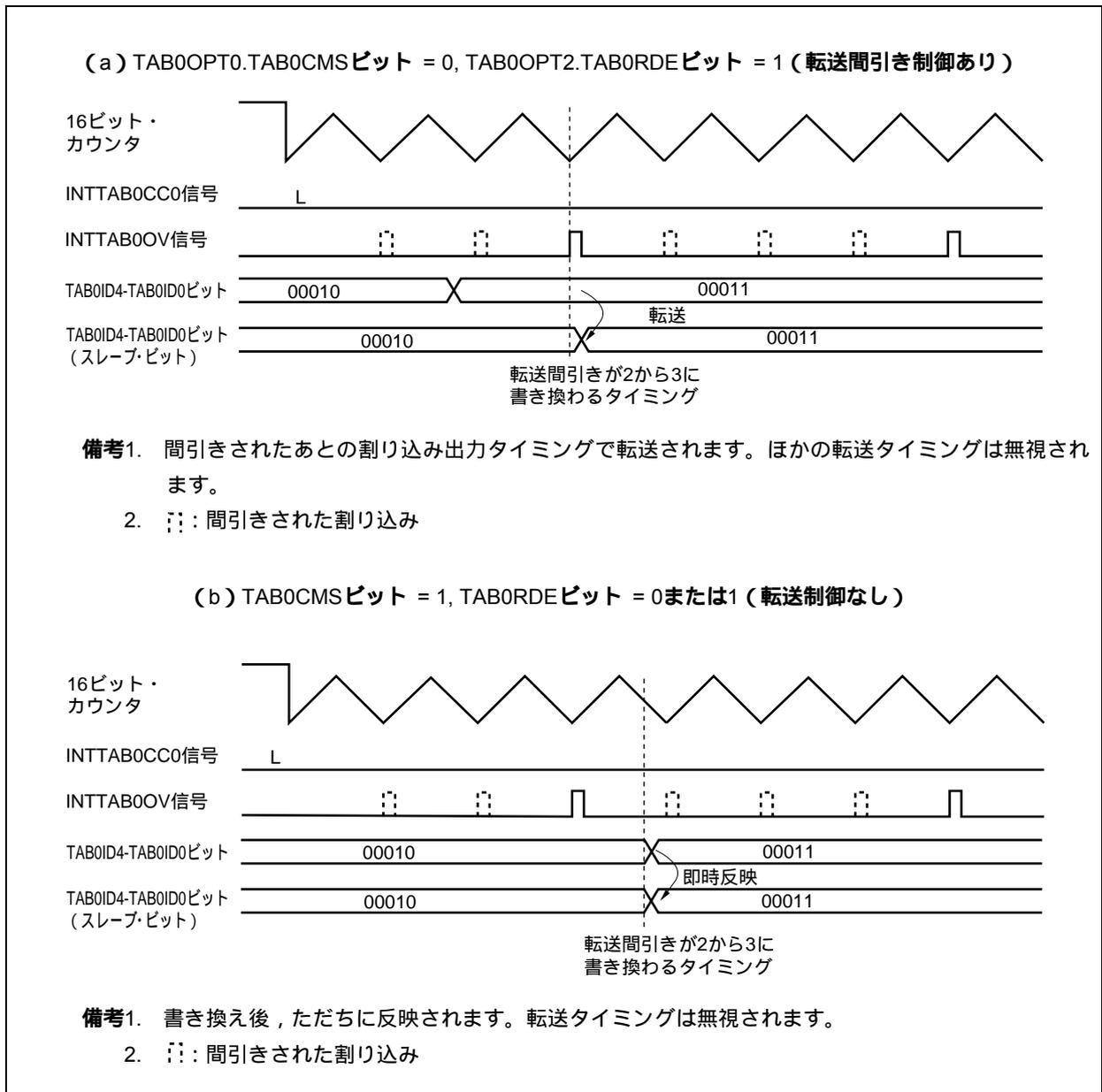
図10 - 19 山割り込み出力



(4) 谷割り込み (INTTAB0OV) のみを出力する場合

TAB0OPT1.TAB0ICEビット = 0, TAB0IOEビット = 1に設定してください。

図10 - 20 谷割り込み出力



10.4.4 転送機能付きレジスタの書き換え操作

モータ制御に使用し、転送機能があるレジスタは次の7種類です。それぞれにバッファ・レジスタがあります。

- ・ TAB0CCR0 : 16ビット・カウンタ (TAB) の周期指定用レジスタ
- ・ TAB0CCR1 : TOAB0T1 (U) , TOAB0B1 (\bar{U}) のデューティ指定用レジスタ
- ・ TAB0CCR2 : TOAB0T2 (V) , TOAB0B2 (\bar{V}) のデューティ指定用レジスタ
- ・ TAB0CCR3 : TOAB0T3 (W) , TOAB0B3 (\bar{W}) のデューティ指定用レジスタ
- ・ TAB0OPT1 : 割り込み間引き指定用レジスタ
- ・ TAA4CCR0 : A/D変換開始トリガ生成タイミング指定用レジスタ (同調動作時のTAA4)
- ・ TAA4CCR1 : A/D変換開始トリガ生成タイミング指定用レジスタ (同調動作時のTAA4)

また、転送機能があるレジスタには、次の3種類の書き換えモードがあります。

・ 随時書き換えモード

TAB0OPT0.TAB0CMSビット = 1で設定します。

このモードでは、各コンペア・レジスタが独立して更新動作を行い、各コンペア・レジスタに書き込むと即時に書き込み値が更新されます。

・ 一斉書き換えモード (転送モード)

TAB0OPT0.TAB0CMSビット = 0, TAB0OPT1.TAB0ID4-TAB0ID0ビット = 00000, TAB0OPT2.TAB0RDEビット = 0で設定します。

TAB0CCR1レジスタへの書き込みを行うと、次の転送タイミングで7つのレジスタからバッファ・レジスタに一斉に転送されます。ほかの6つのレジスタへの書き込みをしてもTAB0CCR1レジスタへの書き込みを行わないと転送動作は起こりません。

転送タイミングは、割り込みとは関係なく毎回の山 (16ビット・カウンタとTAB0CCR0レジスタの一致) タイミングと谷 (16ビット・カウンタと0001Hの一致) タイミングです。

・ 間欠一斉書き換えモード (転送間引きモード)

TAB0OPT0.TAB0CMSビット = 0, TAB0OPT2.TAB0RDEビット = 1で設定します。

TAB0CCR1レジスタへの書き込みを行うと、次の転送タイミングで7つのレジスタからバッファ・レジスタに一斉に転送されます。ほかの6つのレジスタへの書き込みをしてもTAB0CCR1レジスタへの書き込みを行わないと転送動作は起こりません。

転送は、TAB0OPT1レジスタで指定した割り込み間引きにあわせて転送タイミングが間引かれ、間引かれたあとの山割り込み (16ビット・カウンタとTAB0CCR0レジスタの一致) タイミング、または谷割り込み (16ビット・カウンタと0001Hの一致) タイミングにより7つのレジスタに対して一斉に行われます。

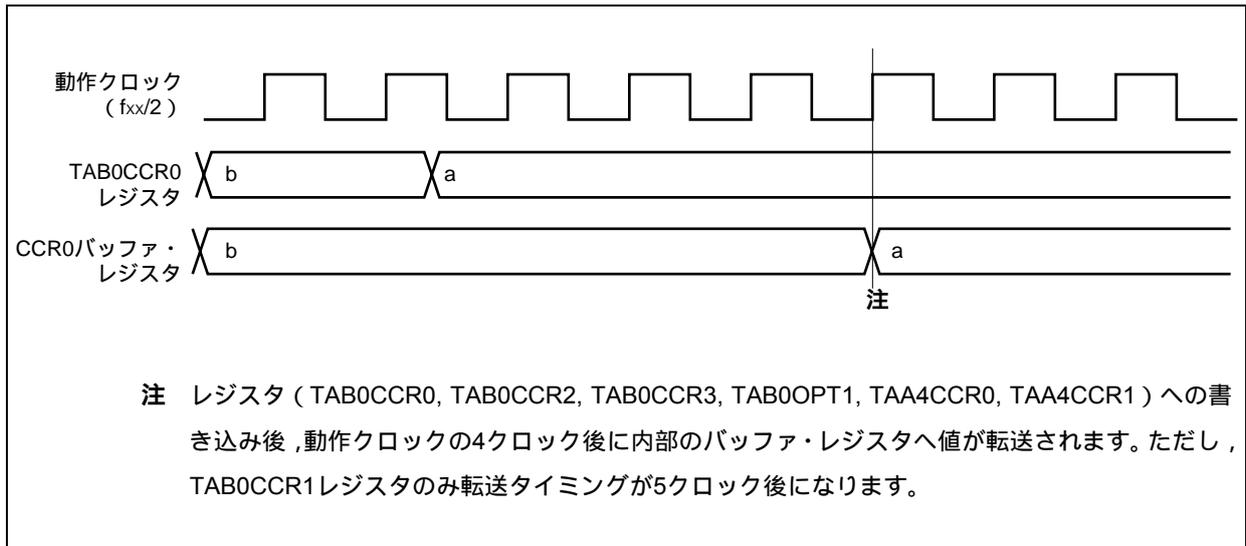
割り込み間引き機能についての詳細は、10.4.3 **割り込み間引き機能**を参照してください。

(1) 随時書き換えモード

TAB0OPT0.TAB0CMSビット = 1で設定します。TAB0OPT2.TAB0RDEビットの設定は無視されます。

各転送機能付きレジスタへの書き込み値が、すぐに内部のバッファ・レジスタに転送されカウンタ値との比較対象になるモードです。このモードではTAB0CCRmと16ビット・カウンタの一致が発生後に書き換ええると、一度一致が発生したあとの再度の一致は無視されるので書き換え値は反映されません。アップ・カウント中に書き換えた場合はダウン・カウントに切り替わったあとの一致で有効になります。

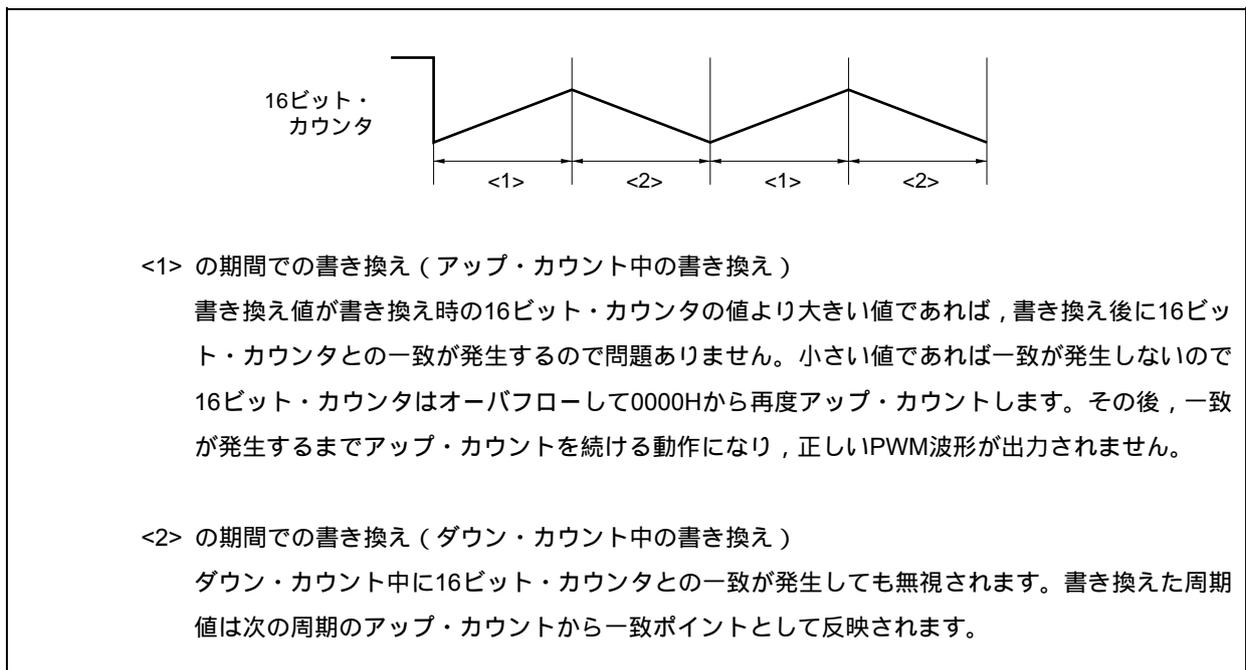
図10 - 21 書き換え値の反映タイミング



(a) TAB0CCR0レジスタの書き換え

TAB0CCR0レジスタを随時書き換えモードで書き換えても、すぐには値が反映されない場合があります。

図10 - 22 TAB0CCR0レジスタの書き換え例



(b) TAB0CCRmレジスタの書き換え

図10 - 24に16ビット・カウンタとTAB0CCRmレジスタが一致する前に書き換えた場合のタイミング (図10 - 23の<1>) を, 図10 - 25に16ビット・カウンタとTAB0CCRmレジスタが一致したあとに書き換えた場合のタイミング (図10 - 23の<2>) を示します。

図10 - 23 16ビット・カウンタとTAB0CCRmレジスタの基本動作

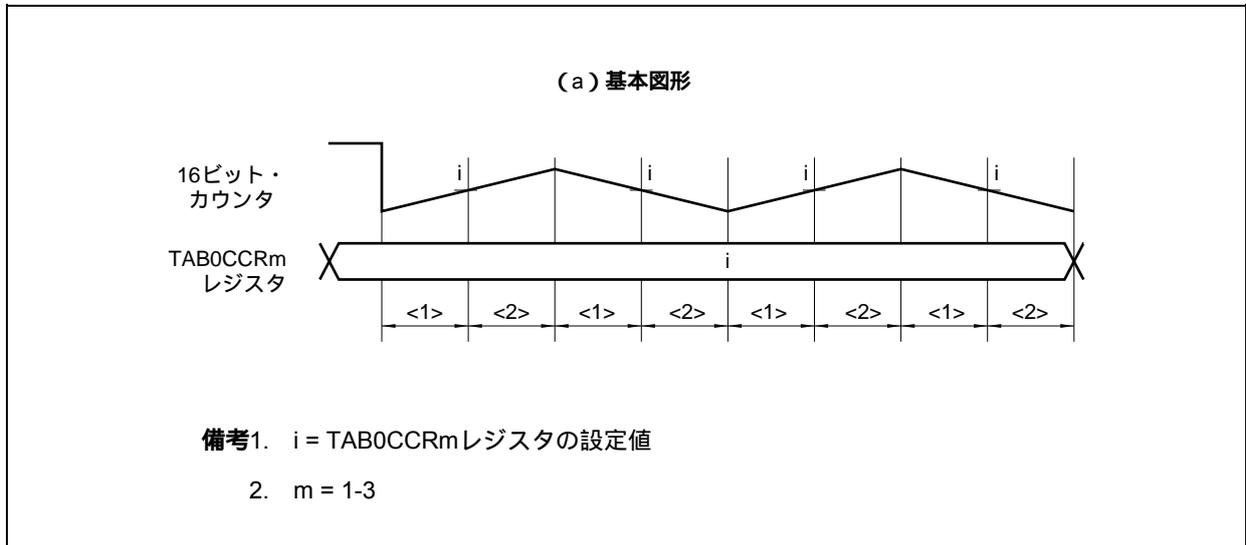
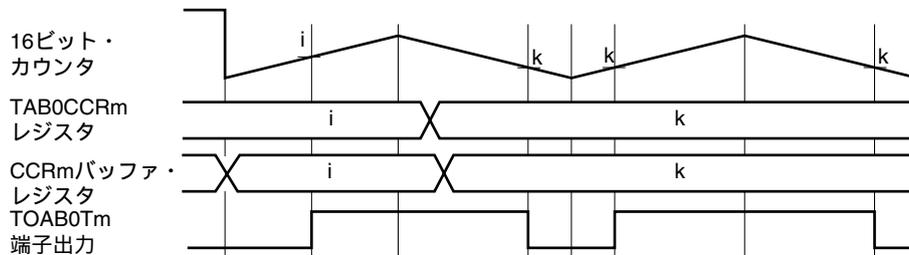


図10 - 24 TAB0CCR1-TAB0CCR3レジスタの書き換え例（一致発生前の書き換え）

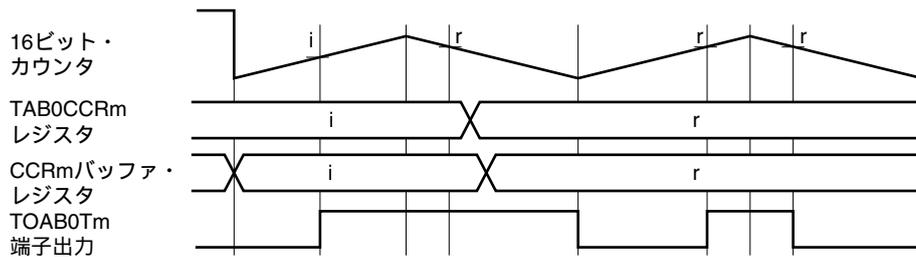
(a)

TAB0CCRmレジスタと16ビット・カウンタの一致が発生する前に書き換えると、書き換え後に16ビット・カウンタとの一致が発生するので書き換え値が即時に反映されます。



(b)

一致が発生する前でも、16ビット・カウンタより小さい値（ダウン・カウント時は大きい値）を書き込んだ場合は一致が発生しないので次のような出力波形となります。



一致が発生しない場合は、TOAB0Tm端子出力は変化しません。ただし、16ビット・カウンタとTAB0CCRmレジスタとの一致が発生しなくても山割り込み時ではハイ・レベルに、谷割り込み時ではロウ・レベルにTOAB0Tm端子出力は強制変化します。

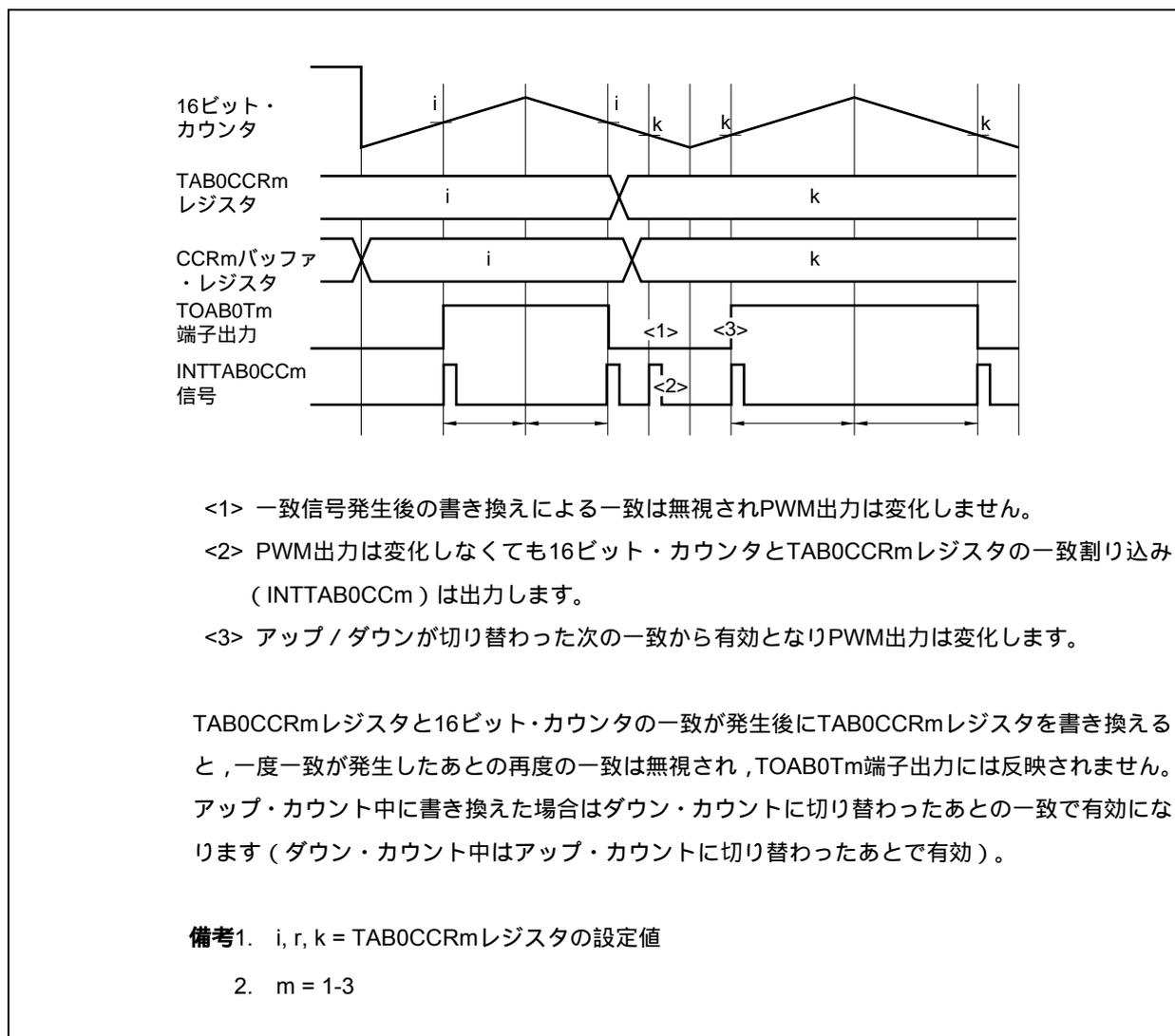
これは、0 %出力、100 %出力のために設けられている機能です。

詳細は10.4.2 (2) 0 % / 100 %のPWM出力を参照してください。

備考1. i, r, k = TAB0CCRmレジスタの設定値

2. m = 1-3

図10 - 25 TAB0CCR1-TAB0CCR3レジスタの書き換え例（一致発生後の書き換え）



(c) TAB0OPT1レジスタの書き換え

TAB0OPT1レジスタへの書き込みで割り込み間引きカウンタはクリアされます。割り込み間引きカウンタがクリアされることにより、それまで計測していた割り込み発生数は破棄されるので、一時的に割り込み発生間隔が長くなるので注意してください。

この動作を避けるためには、間欠一斉書き換えモード（転送間引きモード）での書き換えをしてください。

TAB0OPT1レジスタへの書き換えについての詳細は、10.4.3 割り込み間引き機能を参照してください。

(2) 一斉書き換えモード (転送モード)

TAB0OPT0.TAB0CMSビット = 0, TAB0OPT1.TAB0ID4-TAB0ID0ビット = 00000, TAB0OPT2.TAB0RDEビット = 0で設定します。

各コンペア・レジスタへの書き込み値が、転送タイミングで一斉に内部のバッファ・レジスタに転送され、カウンタ値との比較対象になるモードです。

(a) 書き換え操作手順

TAB0CCR1レジスタへの書き込みが行われると、TAB0CCR0-TAB0CCR3, TAB0OPT1, TAA4CCR0, TAA4CCR1レジスタが次の転送タイミングで一斉に内部のバッファ・レジスタに転送されます。したがって、TAB0CCR1レジスタへの書き込みは最後に行ってください。また、TAB0CCR1レジスタへの書き込み後は、転送タイミング(山(16ビット・カウンタとTAB0CCR0レジスタの一致)タイミング、または谷(16ビット・カウンタと0001Hの一致)タイミング)が発生するまで、レジスタへの書き込みは禁止です。操作手順を次に示します。

TAB0CCR0, TAB0CCR2, TAB0CCR3, TAB0OPT1, TAA4CCR0, TAA4CCR1レジスタの書き換え
(書き換えが必要ないレジスタは書き換え不要)

TAB0CCR1レジスタの書き換え

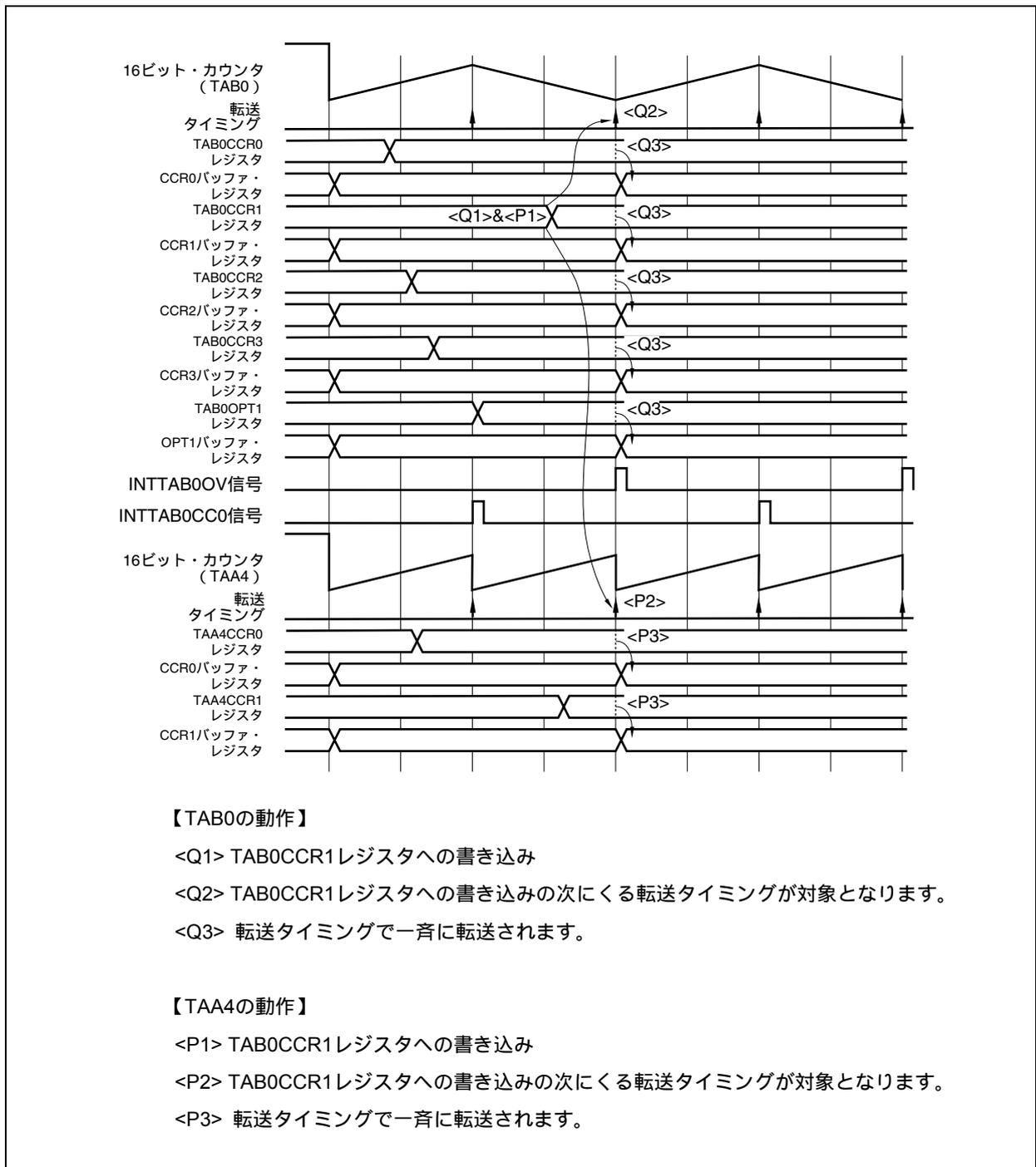
(TAB0CCR1レジスタを書き換える必要がない場合でも、同じ値を再書き込みする)

転送タイミングが発生するまで次の書き換えを保留

(INTTAB0OVまたはINTTAB0CC0割り込みの発生を確認してから次の書き換えをする)

に戻る

図10 - 26 一斉書き込みモードの基本動作



【TAB0の動作】

- <Q1> TAB0CCR1レジスタへの書き込み
- <Q2> TAB0CCR1レジスタへの書き込みの次にくる転送タイミングが対象となります。
- <Q3> 転送タイミングで一斉に転送されます。

【TAA4の動作】

- <P1> TAB0CCR1レジスタへの書き込み
- <P2> TAB0CCR1レジスタへの書き込みの次にくる転送タイミングが対象となります。
- <P3> 転送タイミングで一斉に転送されます。

(b) TAB0CCR0レジスタの書き換え

TAB0CCR0レジスタを一斉書き換えモードで書き換える場合、転送が山（16ビット・カウンタとTAB0CCR0レジスタの一致）タイミング、谷（16ビット・カウンタと0001Hの一致）タイミングのどちらで起こるかにより出力波形が変わります。通常は、ダウン・カウント中に書き換えを行い、転送タイミングが谷タイミングのときに転送する操作を推奨します。

図10 - 28にアップ・カウント中（図10 - 27の<1>の期間）のTAB0CCR0レジスタの書き換え例を、図10 - 29にダウン・カウント中（図10 - 27の<2>の期間）のTAB0CCR0レジスタの書き換え例を示します。

図10 - 27 16ビット・カウンタの基本動作

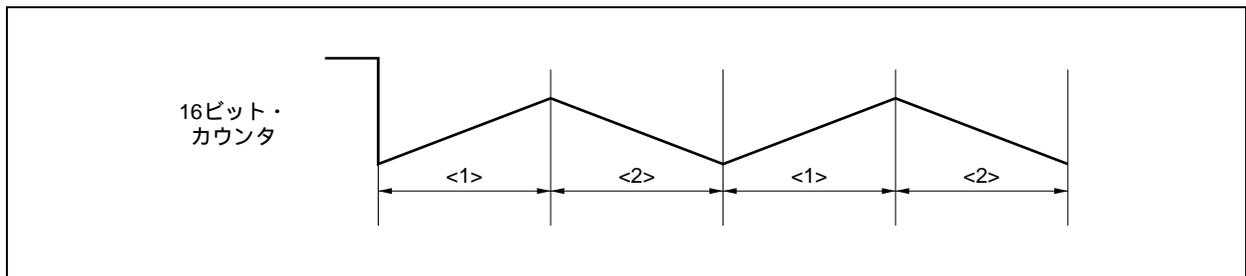


図10 - 28の転送タイミングは山タイミングのポイントになるので、ダウン・カウント側は周期が変わり非対称の三角波波形を出力します。また、周期が変化するので、デューティ比（電圧データ値）も書き換えてください。

図10 - 28 TAB0CCR0レジスタの書き換え例（アップ・カウント時）

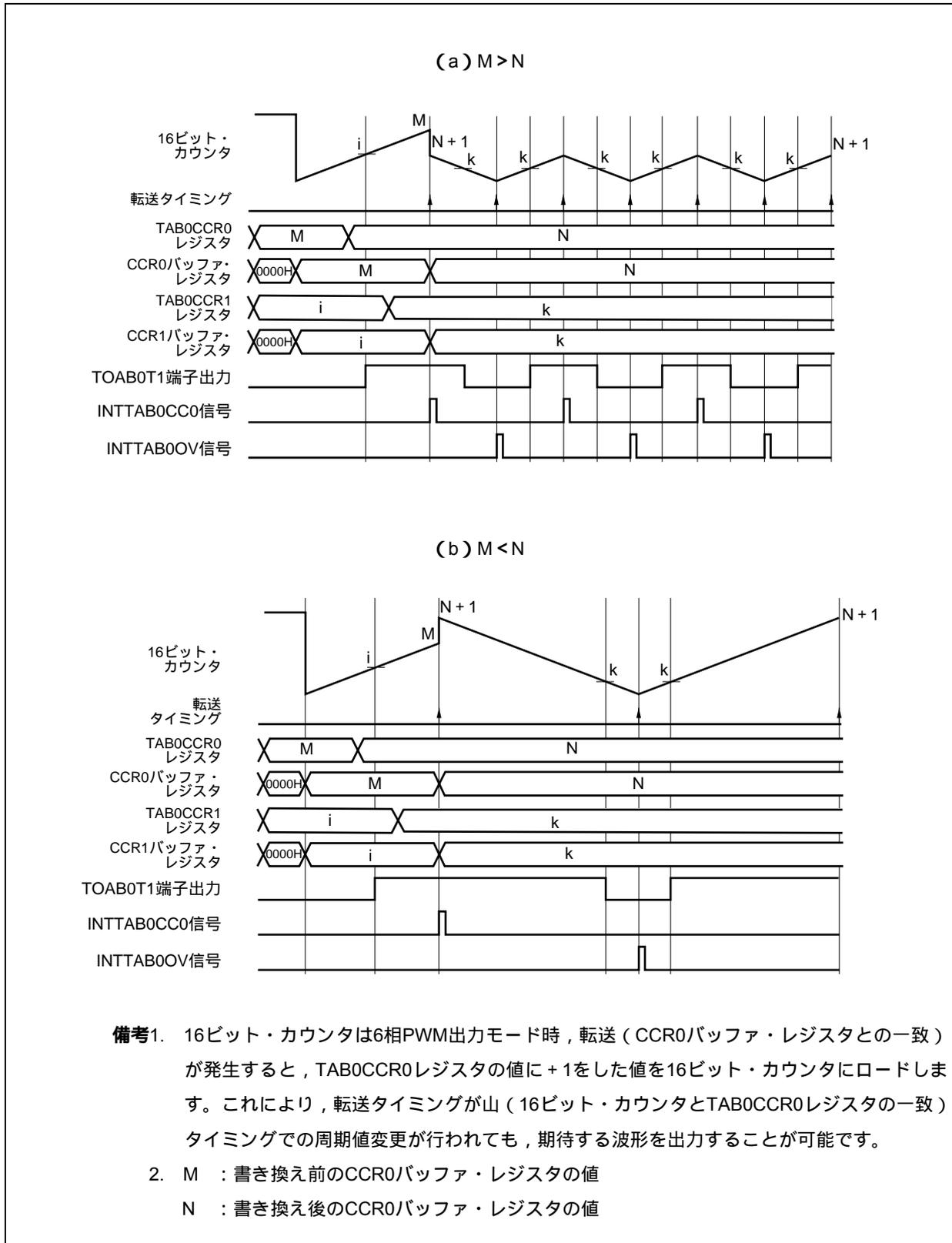
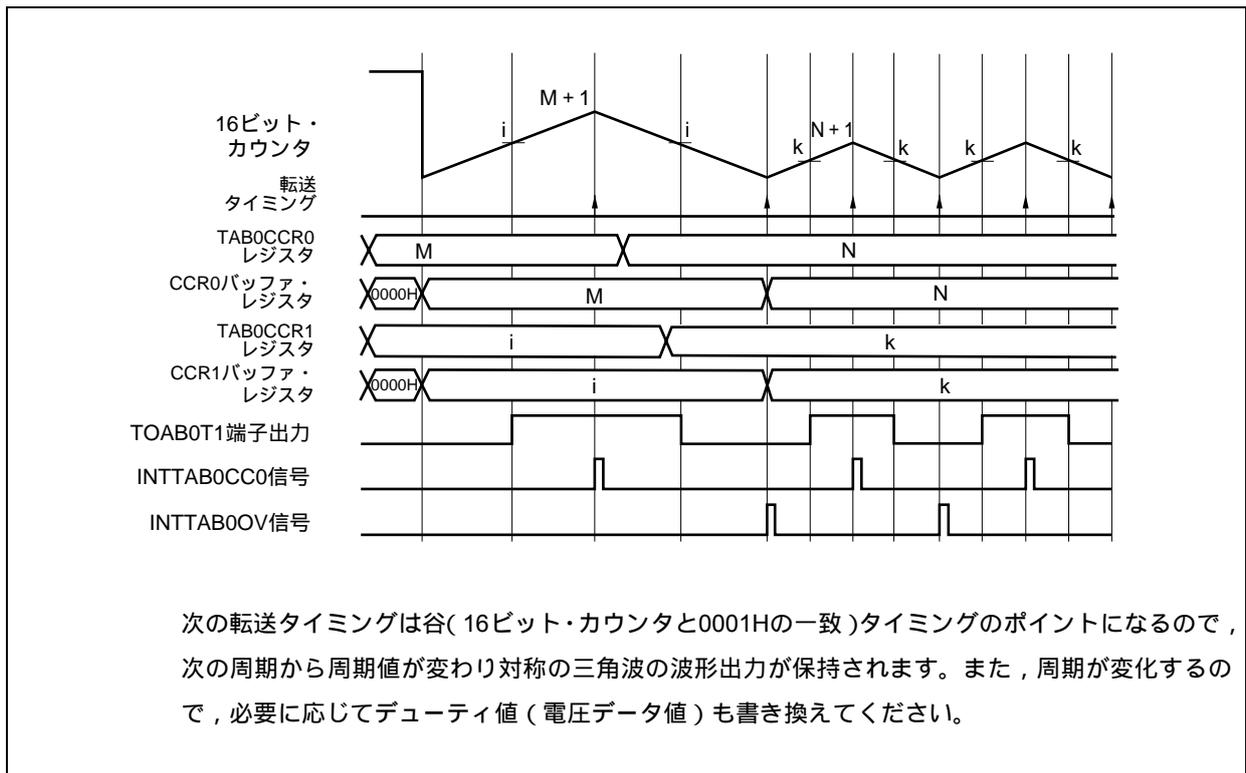
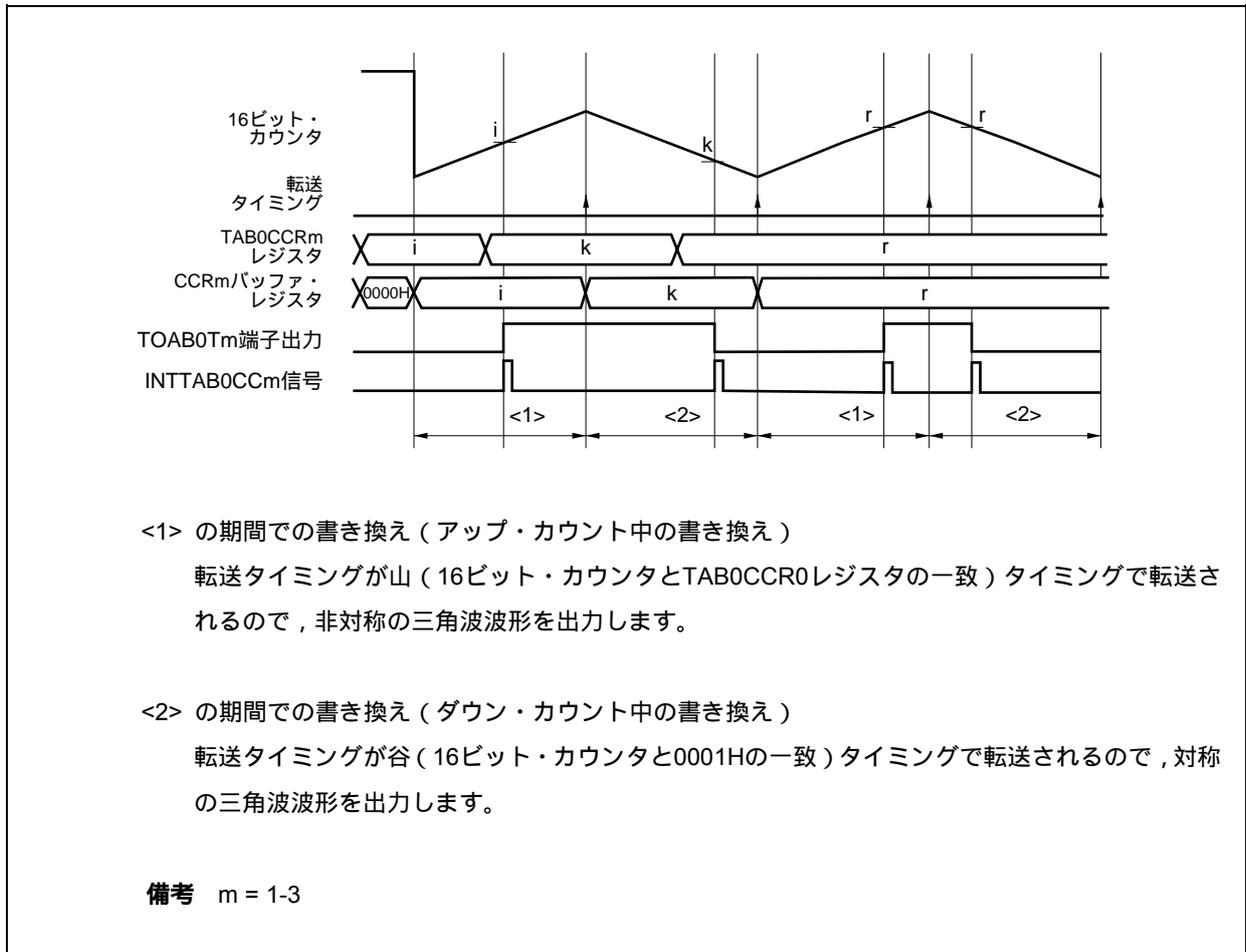


図10 - 29 TAB0CCR0レジスタの書き換え例 (ダウン・カウント時)



(c) TAB0CCRmレジスタの書き換え

図10 - 30 TAB0CCRmレジスタの書き換え例



(d) TAB0OPT1レジスタの転送

TAB0OPT1.TAB0ID4-TAB0ID0ビット = 00000以外の値は設定しないでください。割り込み間引き機能を使用する場合は、間欠一斉書き換えモード（転送間引きモード）で書き換えてください。

TAB0OPT1レジスタへの書き換えについての詳細は、10.4.3 **割り込み間引き機能**を参照してください。

(3) 間欠一斉書き換えモード (転送間引きモード)

TAB0OPT0.TAB0CMSビット = 0, TAB0OPT2.TAB0RDEビット = 1で設定します。

各コンペア・レジスタへの書き込み値が、間引きされたあとの転送タイミングで一斉に内部のバッファ・レジスタに転送されカウンタ値との比較対象になるモードです。転送タイミングは、割り込み間引きによる割り込み発生 (INTTAB0CC0, INTTAB0OV) タイミングになります。

割り込み間引き機能についての詳細は、10.4.3 **割り込み間引き機能**を参照してください。

(a) 書き換え操作手順

TAB0CCR1レジスタへの書き込みが行われるとTAB0CCR0-TAB0CCR3, TAB0OPT1, TAA4CCR0, TAA4CCR1レジスタが次の転送タイミングで一斉に内部のバッファ・レジスタに転送されます。したがって、TAB0CCR1レジスタへの書き込みは最後に行ってください。また、TAB0CCR1レジスタへの書き込み後は、転送タイミングが発生するまで (INTTAB0OV, INTTAB0CC0の割り込み発生まで) レジスタへの書き込みは禁止です。操作手順を次に示します。

TAB0CCR0, TAB0CCR2, TAB0CCR3, TAB0OPT1, TAA4CCR0, TAA4CCR1レジスタの書き換え
(書き換えが必要ないレジスタは書き換え不要)

TAB0CCR1レジスタの書き換え

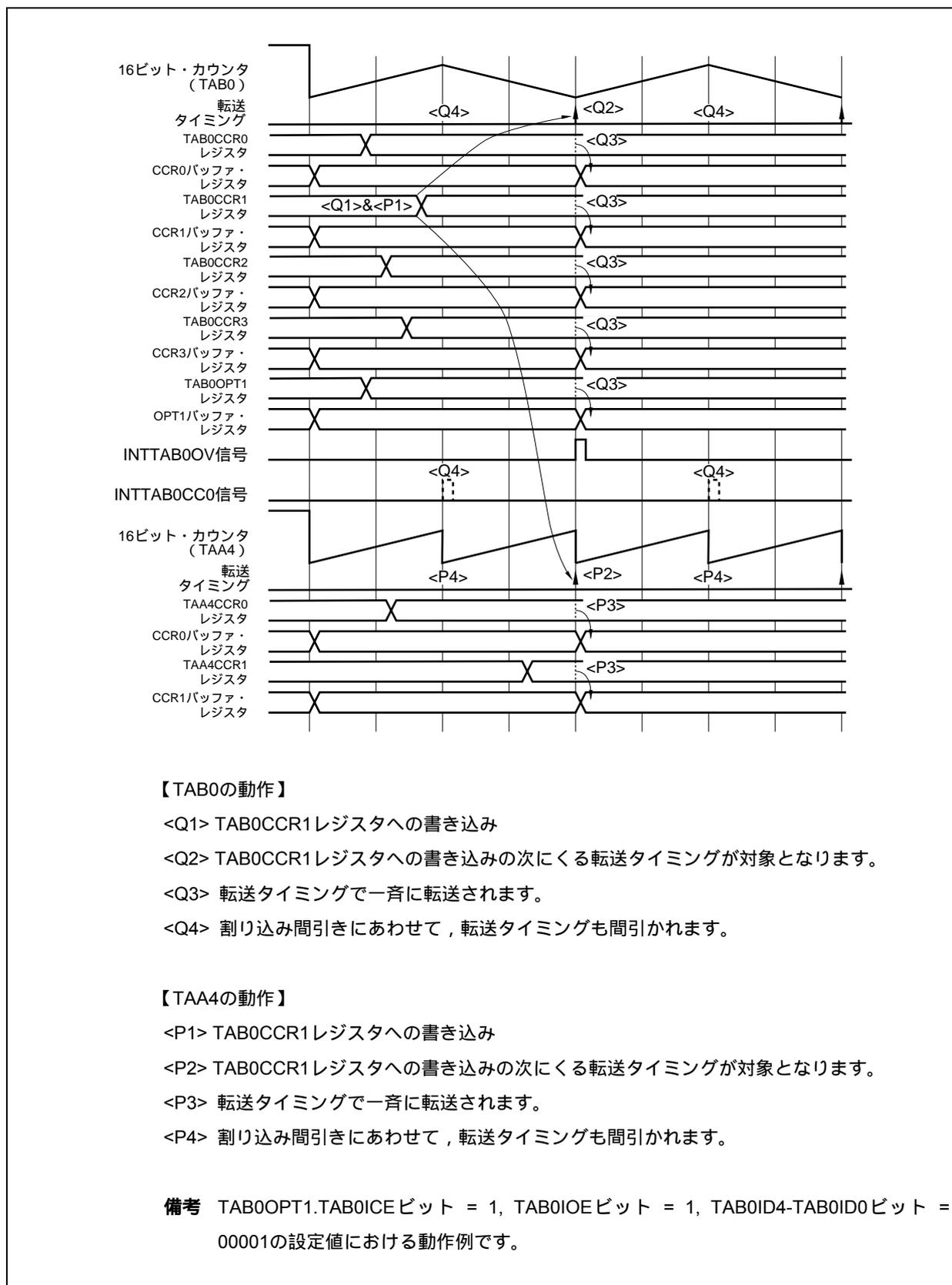
(TAB0CCR1レジスタを書き換える必要がない場合でも同じ値を再書き込みする)

転送タイミングが発生するまで次の書き換えを保留

(INTTAB0OVまたはINTTAB0CC0の割り込み発生を確認してから次の書き換えをする)

に戻る

図10 - 31 間欠一斉書き込みモードの基本動作



【TAB0の動作】

- <Q1> TAB0CCR1レジスタへの書き込み
- <Q2> TAB0CCR1レジスタへの書き込みの次にくる転送タイミングが対象となります。
- <Q3> 転送タイミングで一斉に転送されます。
- <Q4> 割り込み間引きにあわせて、転送タイミングも間引かれます。

【TAA4の動作】

- <P1> TAB0CCR1レジスタへの書き込み
- <P2> TAB0CCR1レジスタへの書き込みの次にくる転送タイミングが対象となります。
- <P3> 転送タイミングで一斉に転送されます。
- <P4> 割り込み間引きにあわせて、転送タイミングも間引かれます。

備考 TAB0OPT1.TAB0ICEビット = 1, TAB0IOEビット = 1, TAB0ID4-TAB0ID0ビット = 00001の設定値における動作例です。

(b) TAB0CCR0レジスタの書き換え

TAB0CCR0レジスタを間欠一斉書き換えモードで書き換える場合、割り込み間引き設定で山/谷割り込み発生をどこに指定しているかで出力波形が変わります。次に割り込み間引き設定での出力波形の変化を示します。

図10 - 32 TAB0CCR0レジスタの書き換え（山割り込みを設定時）

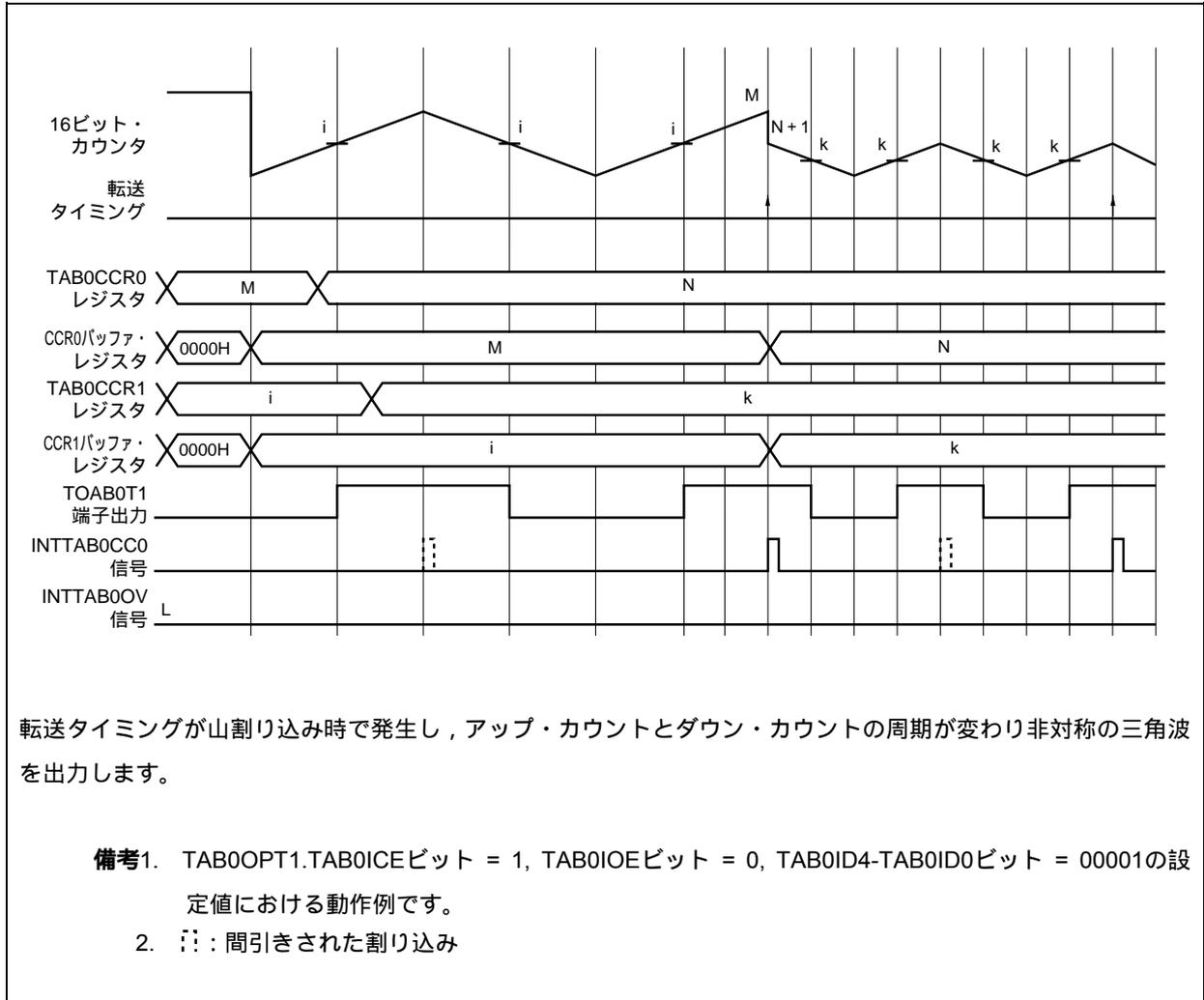
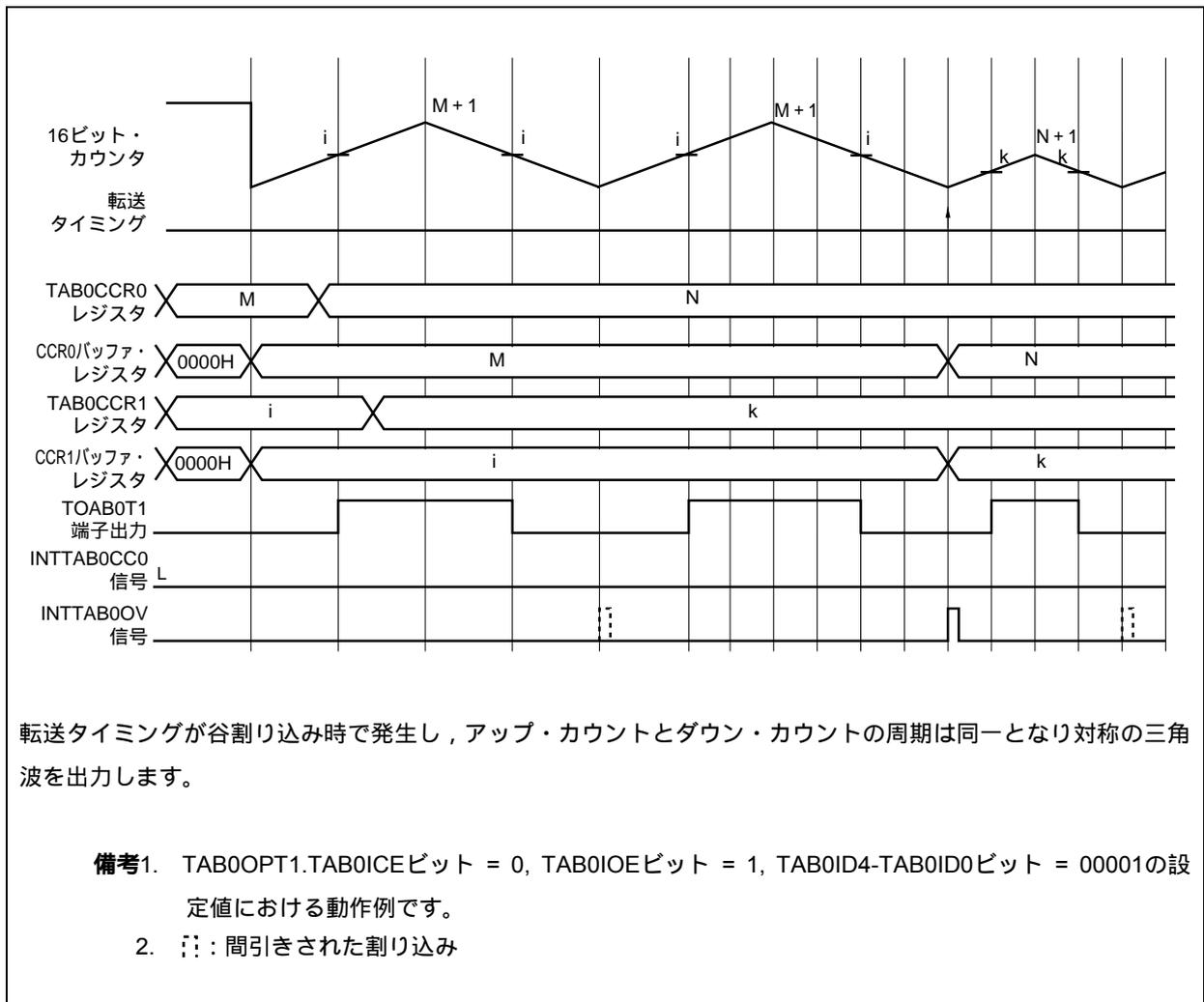


図10 - 33 TAB0CCR0レジスタの書き換え（谷割り込みを設定時）

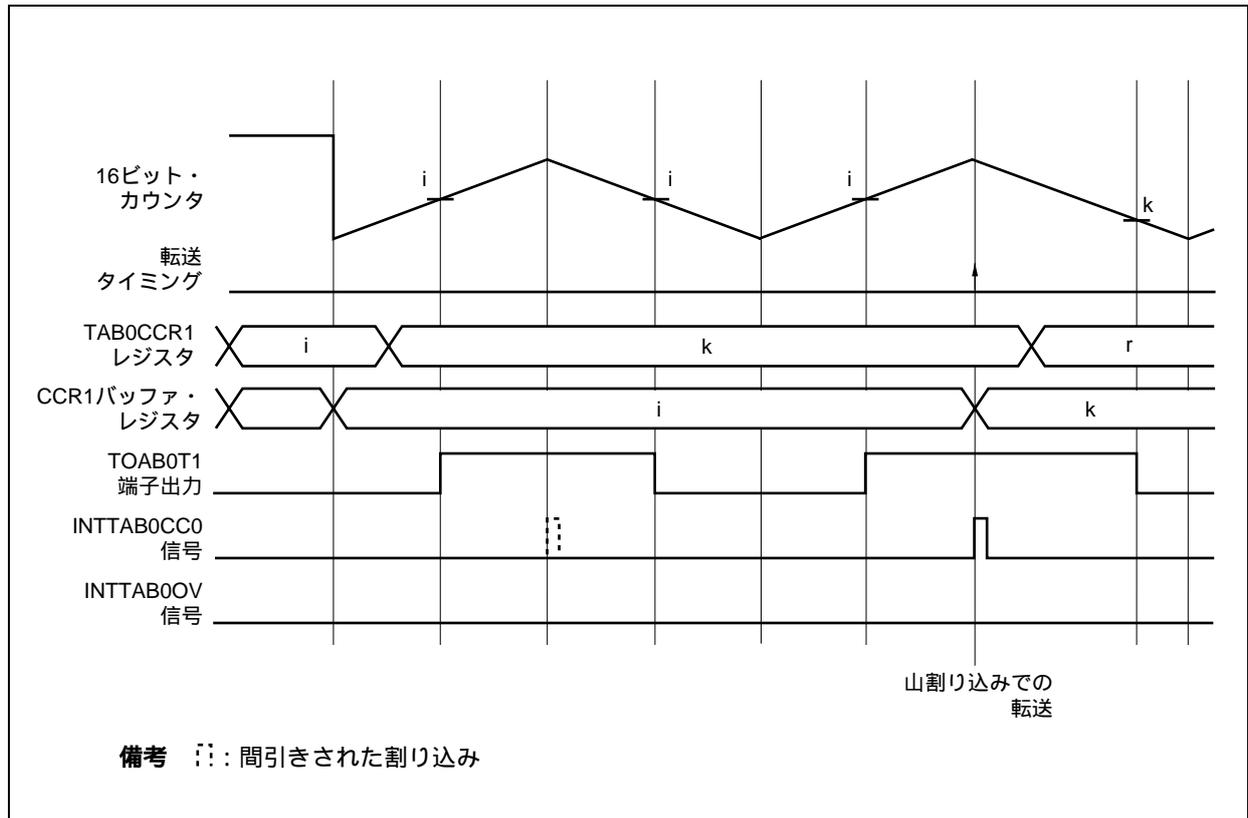


(c) TAB0CCR1-TAB0CCR3レジスタの書き換え

- ・山割り込みを設定した場合に山で転送された場合

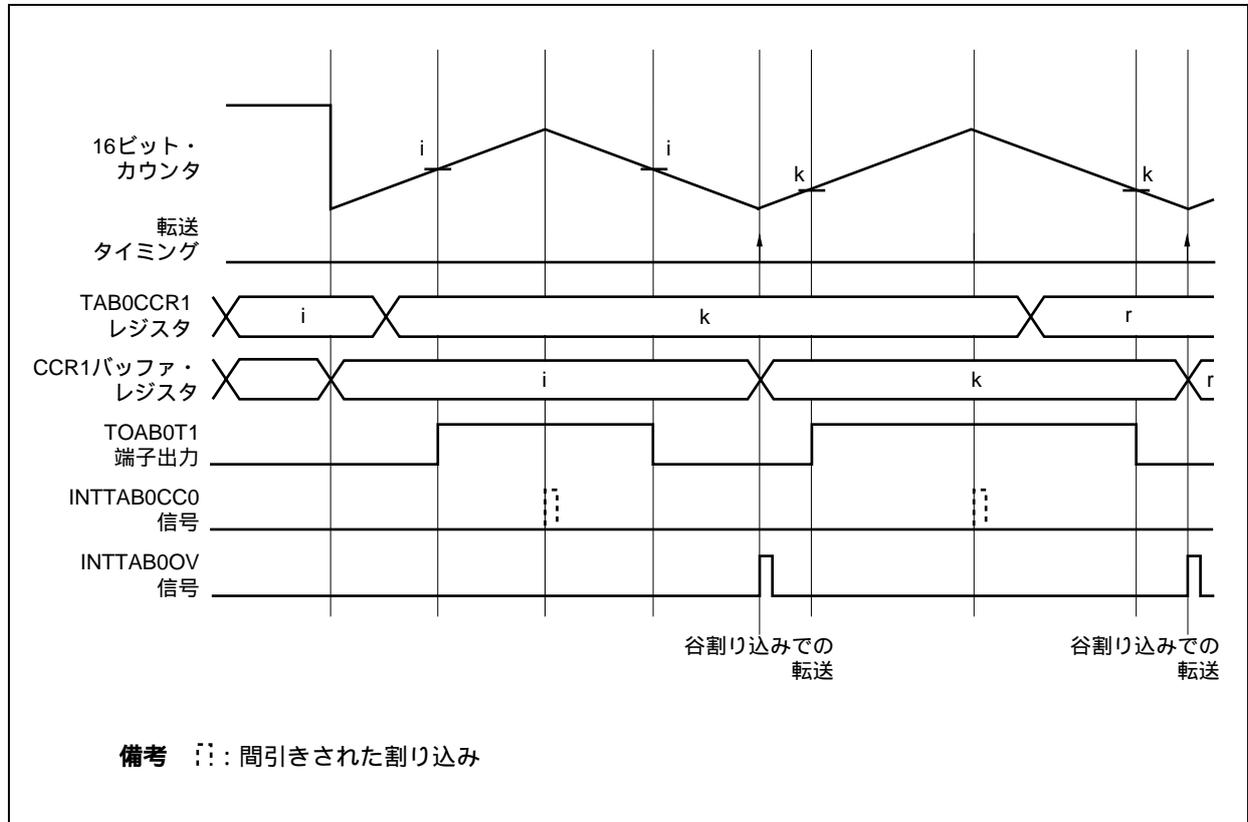
山の転送タイミングで転送されるので、非対称の三角波波形を出力します。

図10 - 34 TAB0CCR1レジスタの書き換え (TAB0OPT1.TAB0ICEビット = 1, TAB0IOEビット = 0, TAB0ID4-TAB0ID0 = 00001の場合)



- ・谷割り込みを設定した場合に谷で転送された場合
谷の転送タイミングで転送されるので、対称の三角波波形を出力します。

図10 - 35 TAB0CCR1レジスタの書き換え(TAB0OPT1.TAB0ICEビット = 1, TAB0IOEビット = 1, TAB0ID4-TAB0ID0 = 00001の場合)



(d) TAB0OPT1レジスタの書き換え

割り込み間引きカウンタが一致したときに、新しい割り込み間引き値が転送されるため、次から設定した間隔で割り込みが発生します。

TAB0OPT1レジスタへの書き換えについての詳細は、10.4.3 割り込み間引き機能を参照してください。

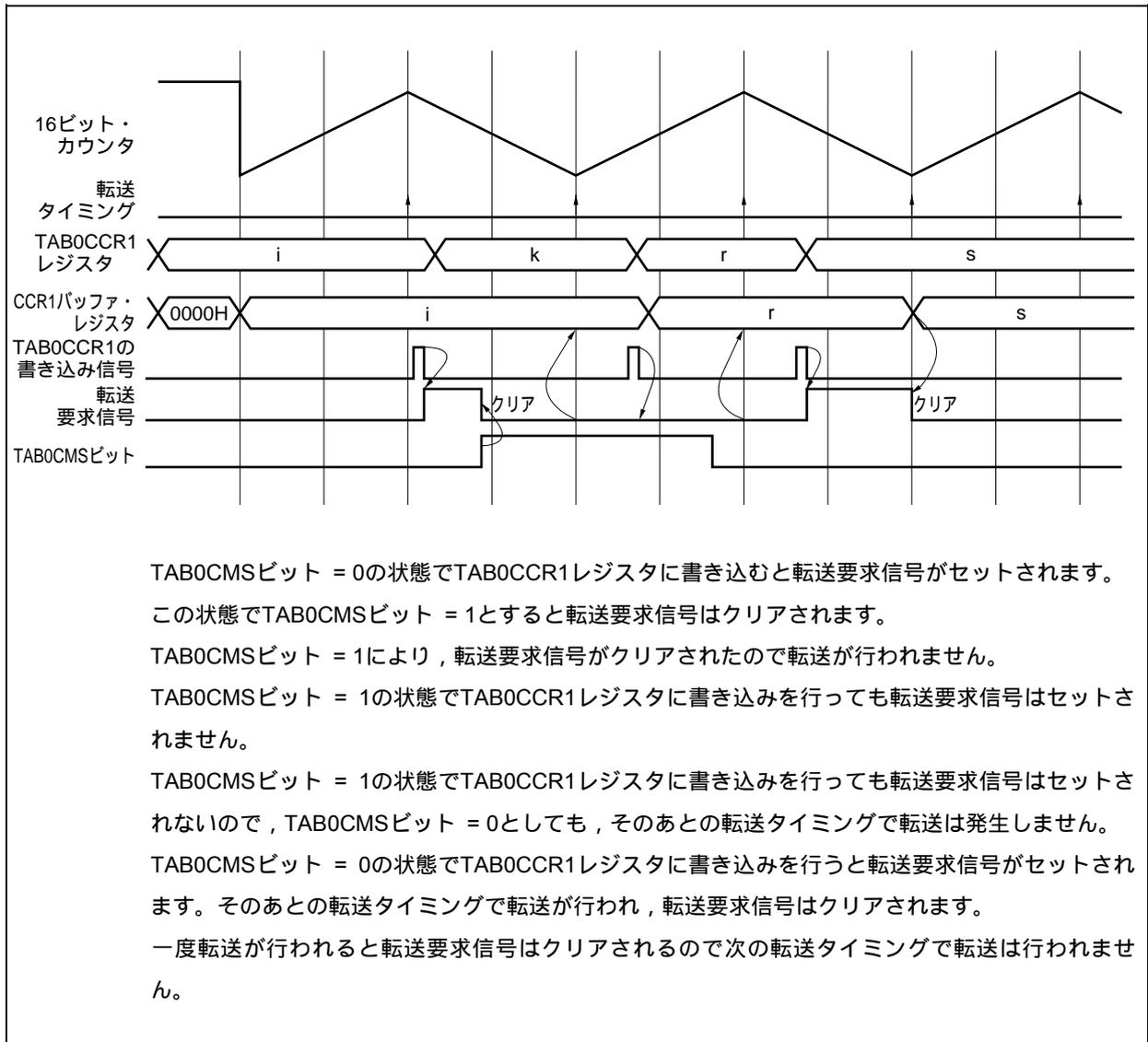
(4) TAB0OPT0.TAB0CMSビットの書き換え

TAB0CMSビットは、随時書き換えモードと一斉書き換えモードの切り替えができます。タイマ動作中 (TAB0CTL0.TAB0CEビット = 1) の書き換えが可能です。図10 - 36で示す動作および注意が必要です。

TAB0CMSビット = 0の状態ではTAB0CCR1レジスタに書き込むと転送要求信号 (内部信号) がセットされます。

転送要求信号がセットされていると、次の転送タイミングで転送を行い、転送要求信号がクリアされます。この転送要求信号は、TAB0CMSビット = 1によってもクリアされます。

図10 - 36 TAB0CMSビットの書き換え



TAB0CMSビット = 0の状態ではTAB0CCR1レジスタに書き込むと転送要求信号がセットされます。この状態でTAB0CMSビット = 1とすると転送要求信号はクリアされます。

TAB0CMSビット = 1により、転送要求信号がクリアされたので転送が行われません。

TAB0CMSビット = 1の状態ではTAB0CCR1レジスタに書き込みを行っても転送要求信号はセットされません。

TAB0CMSビット = 1の状態ではTAB0CCR1レジスタに書き込みを行っても転送要求信号はセットされないため、TAB0CMSビット = 0としても、そのあとの転送タイミングで転送は発生しません。

TAB0CMSビット = 0の状態ではTAB0CCR1レジスタに書き込みを行うと転送要求信号がセットされます。そのあとの転送タイミングで転送が行われ、転送要求信号はクリアされます。

一度転送が行われると転送要求信号はクリアされるので次の転送タイミングで転送は行われません。

10.4.5 A/D変換開始トリガ信号出力用TAA4の同調動作

6相PWM出力モードで使用する場合は、TAA4およびTAB0の同調動作について示します。

6相PWM出力モードでは、TAB0をマスタとし、TAA4をスレーブとして同調動作を行い、A/D変換開始トリガ・ソースとしてTAA4のINTTAA4CC0、INTTAA4CC1信号とTAB0のINTTAB0OV、INTTAB0CC0信号でA/Dコンバータの変換開始トリガ信号を設定できます。

(1) 同調動作開始手順

同調動作を行わせるためのTAA4、TAB0のレジスタの設定手順を次に示します。

(a) TAA4レジスタ設定 (TAB0、TAA4は動作停止状態 (TAB0CTL0.TAB0CEビット = 0, TAA4CTL0.TAA4CEビット = 0) にしてください)

- ・TAA4CTL1レジスタ = 85Hに設定 (同調動作スレーブ・モード、フリー・ランニング・タイマ・モードに設定)
- ・TAA4OPT0レジスタ = 00Hに設定 (コンペア・レジスタ選択)
- ・TAA4CCR0、TAA4CCR1レジスタに適切な値を設定 (動作開始時のコンペア初期値を設定)

(b) TAB0レジスタ設定

- ・TAB0CTL1レジスタ = 07Hに設定 (マスタ・モード、6相PWM出力モードに設定)
- ・TAB0IOC0レジスタに適切な値を設定 (TOAB0T1-TOAB0T3の出力モードを設定)
ただし、TAB0OL0、TAB0OE0ビットは必ずTAB0OL0ビット = 0、TAB0OE0ビット = 1に設定 (正相の出力許可) してください。この設定を行わない場合は、山割り込み (INTTAB0CC0)、谷割り込み (INTTAB0OV) が発生しないため、A/Dコンバータの変換開始トリガ信号が正常に発生しません。
- ・TAB0OPT0レジスタ = 00Hに設定 (コンペア・レジスタ選択にする)
- ・TAB0CCR0-TAB0CCR3レジスタに適切な値を設定 (動作開始時のコンペア初期値を設定)
- ・TAB0CTL0レジスタ = 0xHに設定 (TAB0CEビットは0、TAB0の動作クロックを設定する)
TAB0CTL0レジスタで設定したTAB0の動作クロックは、TAA4にも供給され、同じタイミングでカウント動作を行います。TAA4CTL0レジスタで設定したTAA4の動作クロックは無視されます。

(c) TABOP0n (TAB0オプション) レジスタ設定

- ・TAB0OPT1、TAB0OPT2レジスタに適切な値を設定
- ・TAB0IOC3レジスタに適切な値を設定 (TOAB0B1-TOAB0B3の出力モードを設定)
- ・TAB0DTCレジスタに適切な値を設定 (動作開始時のコンペア初期値を設定)

(d) 兼用機能設定

- ・ポート・コントロール・モードにより、ポートを兼用機能にする。

(e) TAA4CEビット = 1に設定し、直後にTAB0CEビット = 1に設定し、6相PWM出力動作を開始

動作中におけるTAB0CTL0, TAB0CTL1, TAB0IOC1, TAB0IOC2, TAA4CTL0, TAA4CTL1, TAA4IOC0, TAA4IOC1, TAA4IOC2レジスタの書き換えは禁止です。書き換えた場合の動作, および, PWM出力波形は保証できません。ただし, TAB0CTL0.TAB0CEビット = 0にするためのTAB0CEビットの書き換えは許可します。また, TAA4CTL0.TAA4CEビット = 1としたあとTAB0CEビット = 1とするまでは, ほかのTAB0, TAA4, TAB0オプションの各レジスタ操作(読み出し/書き込み)は一切禁止です。

注意 6相PWM出力モードでTAA4を同調動作させるときはTOAA00, TOAA01端子出力は禁止です。TAA0IOC0.TAA0OE0, TAA0OE1ビットは“0”に設定してください。

(2) 同調動作解除手順

同調動作を解除し, 6相PWM出力モードを終了するためのTAA4, TAB0レジスタの設定手順を次に示します。

TAB0CTL0.TAB0CEビット = 0に設定し, タイマ動作を停止
 TAA4CTL0.TAA4CEビット = 0に設定し, TAA4は分離可能状態
 TAB0IOC0, TAA4IOC0レジスタによりタイマ出力を停止
 TAA4CTL1.TAA4SYEビット = 0に設定し, 同調動作を解除

注意 TAB0CEビット = 0としたあとTAA4CEビット = 0とするまでは, ほかのTAB0, TAA4, TAB0オプションの各レジスタ操作(読み出し/書き込み)は一切禁止です。

(3) TAA4を同調動作させない場合について

A/Dコンバータの変換開始トリガ・ソースとしてTAA4の一致割り込み信号を使用しない場合は, TAA4を同調動作させず単独動作させて別機能のタイマとして使用できます。この場合, 6相PWM出力モードにおいて, A/D変換開始トリガ・ソースとしてTAA4の一致割り込み信号を使用しないため, TAB0OPT2.TAB0AT00-TAB0AT03ビットは0固定にして使用してください。

ほかの制御ビットは, TAA4を同調動作させた場合と同様に使用できます。

TAA4を同調動作させていない場合, TAA4のコンペア・レジスタ(TAA4CCR0, TAA4CCR1)は, TAB0OPT0.TAB0CMSビット, TAB0OPT2.TAB0RDEビットの設定による影響を受けません。TAA4を同調動作させない場合の初期設定手順は, 10.4.5(1)同調動作開始手順に示した手順の(b)-(e)を行ってください。(a)は同調動作させるTAA4の設定なので不要です。

(4) 同調動作時のTAA4の基本動作

TAA4の16ビット・カウンタは、アップ・カウント動作のみを行います。TAB0CCR0レジスタによる周期設定値でTAA4の16ビット・カウンタがクリアされ0000Hから再カウントを行います。したがって、TAB0の16ビット・カウンタがアップ・カウント時はTAA4の16ビット・カウンタと同値ですが、ダウン・カウント時はTAA4のカウント値は同じではありません。

- ・ TAB0がアップ・カウント時 (同値)

TAB0の16ビット・カウンタ : 0000H M (アップ・カウント)

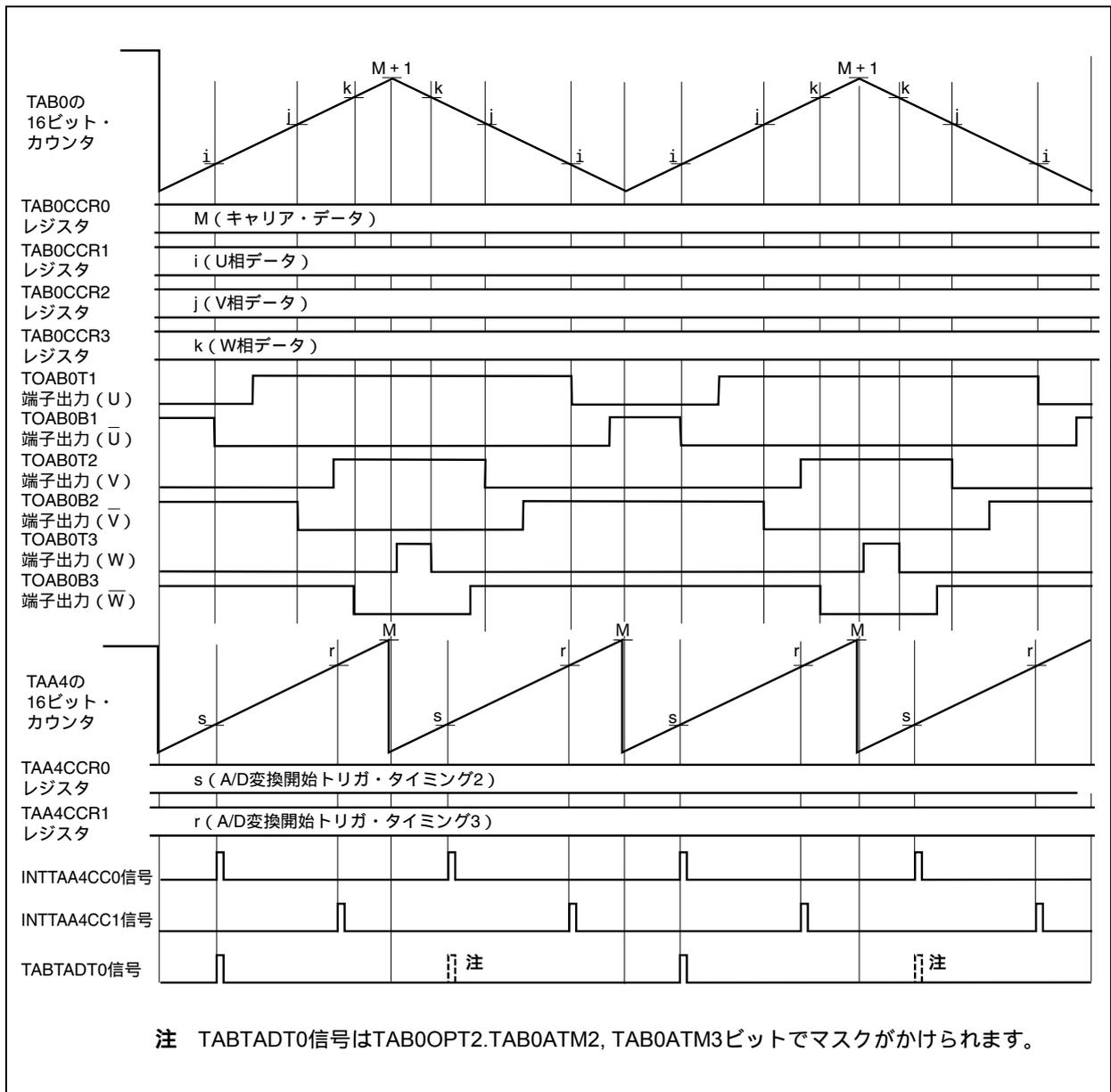
TAA4の16ビット・カウンタ : 0000H M (アップ・カウント)

- ・ TAB0がダウン・カウント時 (同値でない)

TAB0の16ビット・カウンタ : M + 1 0001H (ダウン・カウント)

TAA4の16ビット・カウンタ : 0000H M (アップ・カウント)

図10 - 37 同調動作時のTAA4



10.4.6 A/D変換開始トリガ出力機能

V850ES/Hx3には、4つのトリガ・ソース (INTTAB0OV, INTTAB0CC0, INTTAA4CC0, INTTAA4CC1) を自由に選択して、A/Dコンバータの変換開始トリガ信号 (TABTADT0) を生成する機能があります。

トリガ・ソースは、TAB0OPT2.TAB0AT0-TAB0AT3ビットで指定します。

- ・TAB0AT0ビット = 1
: INTTAB0OV (カウンタ・アンダフロー) 発生時にA/D変換開始トリガ信号を発生
- ・TAB0AT1ビット = 1
: INTTAB0CC0 (周期一致) 発生時にA/D変換開始トリガ信号を発生
- ・TAB0AT2ビット = 1
: INTTAA4CC0 (同調動作TAA4のTAA4CCR0レジスタとの一致) 発生時にA/D変換開始トリガ信号を発生
- ・TAB0AT3ビット = 1
: INTTAA4CC1 (同調動作TAA4のTAA4CCR1レジスタとの一致) 発生時にA/D変換開始トリガ信号を発生

TAB0AT0-TAB0AT3ビットにより選択されたA/D変換開始トリガ信号は、すべてORされて出力されるため、複数のトリガ・ソースを同時に指定できます。

TAB0AT0, TAB0AT1ビットによって選択されるINTTAB0OV, INTTAB0CC0信号は割り込み間引き後の信号となります。

したがって、割り込み間引き制御を受けたタイミングでの出力となり、割り込みの出力イネーブル (TAB0OPT1.TAB0ICE, TAB0IOEビット) を許可にしていない場合は、A/D変換開始トリガ信号も出力されません。

TAA4からのトリガ・ソース (INTTAA4CC0, INTTAA4CC1) は、TAB0AT2, TAB0AT3ビットの設定により、16ビット・カウンタのアップ・カウント/ダウン・カウントの状態によって、A/D変換開始トリガ信号をマスクする機能があります。

- ・TAB0ATM2ビット
: TAB0AT2ビットに対応し、TAA4のINTTAA4CC0 (一致割り込み信号) を制御
 - ・TAB0ATM2ビット = 0
: 16ビット・カウンタがアップ・カウント時 (TAB0OPT0.TAB0CUFビット = 0) はA/D変換開始トリガ信号を出力し、ダウン・カウント時 (TAB0CUFビット = 1) はA/D変換開始トリガ信号を出力しない。
 - ・TAB0ATM2ビット = 1
: 16ビット・カウンタがダウン・カウント時 (TAB0CUFビット = 1) はA/D変換開始トリガ信号を出力し、アップ・カウント時 (TAB0CUFビット = 0) はA/D変換開始トリガ信号を出力しない。
- ・TAB0ATM3ビット
: TAB0AT3ビットに対応し、TAA4のINTTAA4CC1 (一致割り込み信号) を制御
 - ・TAB0ATM3ビット = 0
: 16ビット・カウンタがアップ・カウント時 (TAB0CUFビット = 0) はA/D変換開始トリガ信号を出力し、ダウン・カウント時 (TAB0CUFビット = 1) はA/D変換開始トリガ信号を出力しない。
 - ・TAB0ATM3ビット = 1
: 16ビット・カウンタがダウン・カウント時 (TAB0CUFビット = 1) はA/D変換開始トリガ信号を出力し、アップ・カウント時 (TAB0CUFビット = 0) はA/D変換開始トリガ信号を出力しない。

TAB0ATM3, TAB0ATM2, TAB0AT3-TAB0AT0ビットは、タイマ動作中に書き換えることができます。タイマ動作中にA/D変換開始トリガ信号の設定ビットを書き換えると、即時にA/D変換開始トリガ信号の出力状態に反映されます。これらの制御ビットは、転送機能を持たず、随時書き換えモードのみ可能です。

- 注意1.** TAB0AT2, TAB0AT3ビットの設定におけるA/Dの変換開始トリガ信号出力は、TAA4がTAB0のスレーブ・タイマとして同調動作している場合にかぎり利用できます。TAB0, TAA4が同調動作を行っていない場合、および6相PWM出力モード以外で使用している場合は、出力を保証できません。
2. 16ビット・カウンタのアップ/ダウン・カウンタの状態判定には、TOAB00信号出力を内部で利用しています。したがって、TAB0IOC0.TAB0OL0ビット = 0, TAB0OE0ビット = 1と設定し、TOAB00端子出力を有効にしてください。

図10 - 38 A/D変換開始トリガ (TABTADT0) 信号出力例 (TAB0OPT1.TAB0ICEビット = 1, TAB0IOEビット = 1, TAB0ID4-TAB0ID0ビット = 00000 : 割り込み間引きなし)

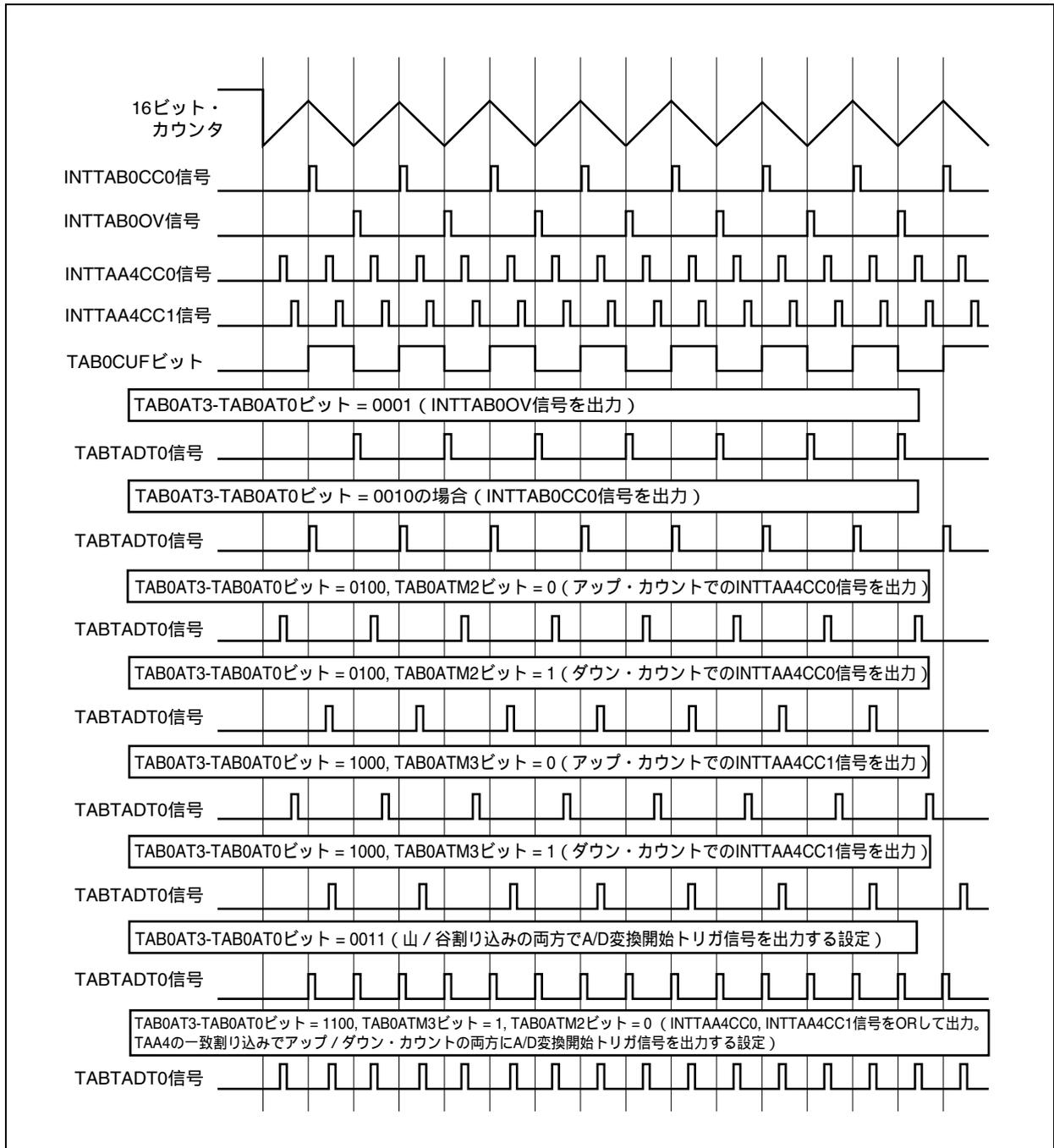


図10 - 39 A/D変換開始トリガ (TABTADT0) 信号出力例 (TAB0OPT1.TAB0ICEビット = 0, TAB0IOEビット = 1, TAB0ID4-TAB0ID0ビット = 00010 : 割り込み間引きあり) (1)

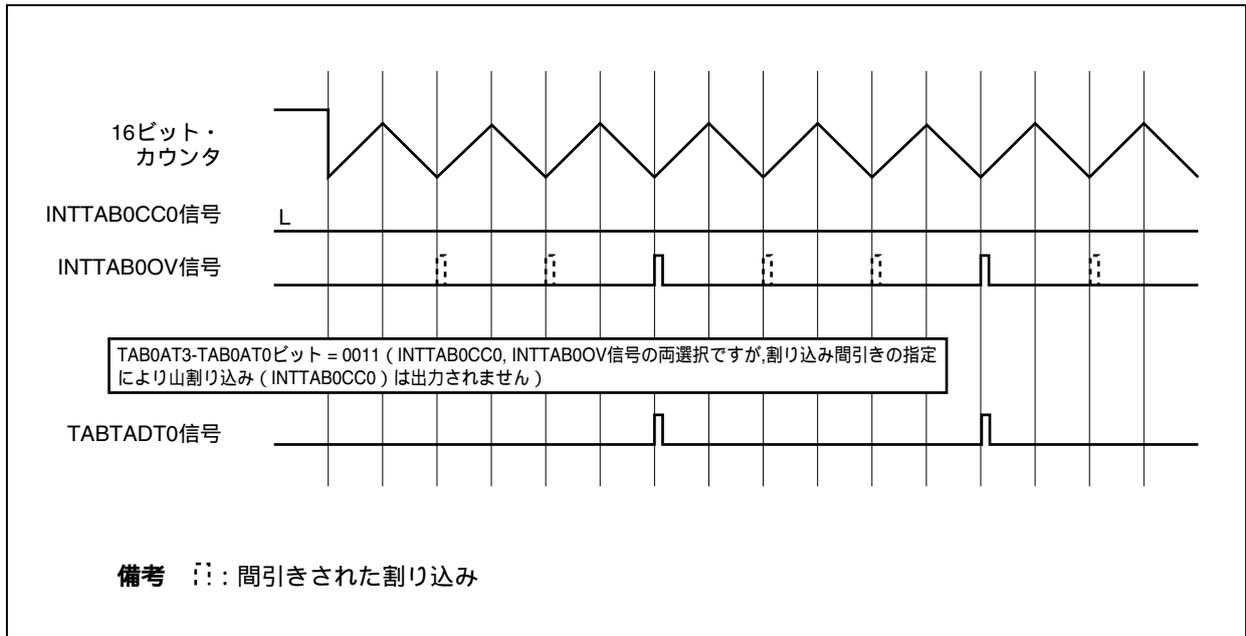
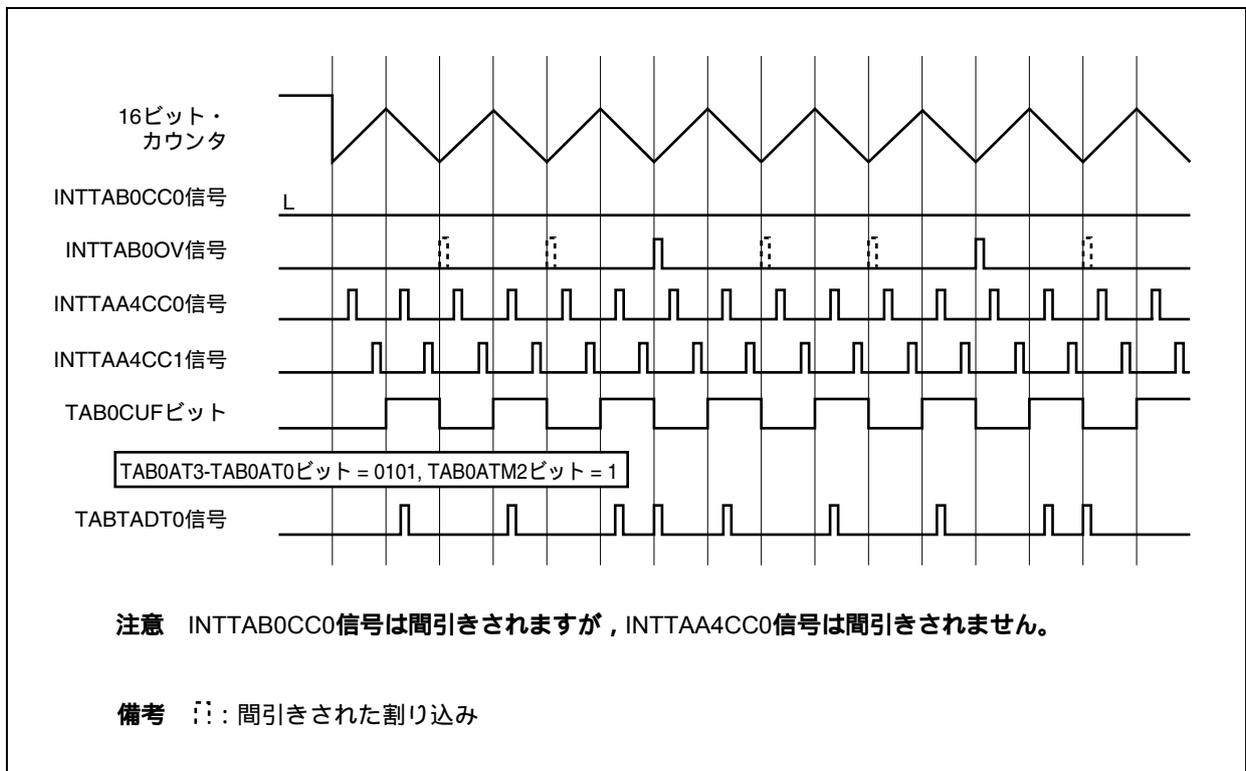


図10 - 40 A/D変換開始トリガ (TABTADT0) 信号出力例 (TAB0OPT1.TAB0ICEビット = 0, TAB0IOEビット = 1, TAB0ID4-TAB0ID0ビット = 00010 : 割り込み間引きあり) (2)



(1) 境界条件での動作 (16ビット・カウンタとINTTAA4CC0信号の一致発生時の動作説明)

表10 - 3 TAB0CCR0レジスタ = M, TAB0AT2ビット = 1, TAB0ATM2ビット = 0 (アップ・カウント期間選択) の動作

TAA4CCR0レジスタの値	TAB0の16ビット・カウンタの値	TAA4の16ビット・カウンタの値	TAB0の16ビット・カウンタの状態	INTTAA4CC0信号によるTABTADT0信号の出力
0000H	0000H	0000H	-	出力する
0000H	M + 1	0000H	-	出力しない
0001H	0001H	0001H	アップ・カウント	出力する
0001H	M	0001H	ダウン・カウント	出力しない
M	M	M	アップ・カウント	出力する
M	0001H	M	ダウン・カウント	出力しない

表10 - 4 TAB0CCR0レジスタ = M, TAB0AT2ビット = 1, TAB0ATM2ビット = 1 (ダウン・カウント期間選択) の動作

TAA4CCR0レジスタの値	TAB0の16ビット・カウンタの値	TAA4の16ビット・カウンタの値	TAB0の16ビット・カウンタの状態	INTTAA4CC0信号によるTABTADT0信号の出力
0000H	0000H	0000H	-	出力しない
0000H	M + 1	0000H	-	出力する
0001H	0001H	0001H	アップ・カウント	出力しない
0001H	M	0001H	ダウン・カウント	出力する
M	M	M	アップ・カウント	出力しない
M	0001H	M	ダウン・カウント	出力する

注意 TAA4CCRmレジスタは、TAB0CCR0レジスタ = Mのとき、“0”から“M”までの設定を許可します。

“M + 1”以上は設定禁止です。

“M + 1”以上の値を設定した場合は、TAA4の16ビット・カウンタは“M”でクリアされるため、TABTADT0信号は出力されません。

第11章 時計タイマ機能

11.1 機能

時計タイマには、次のような機能があります。

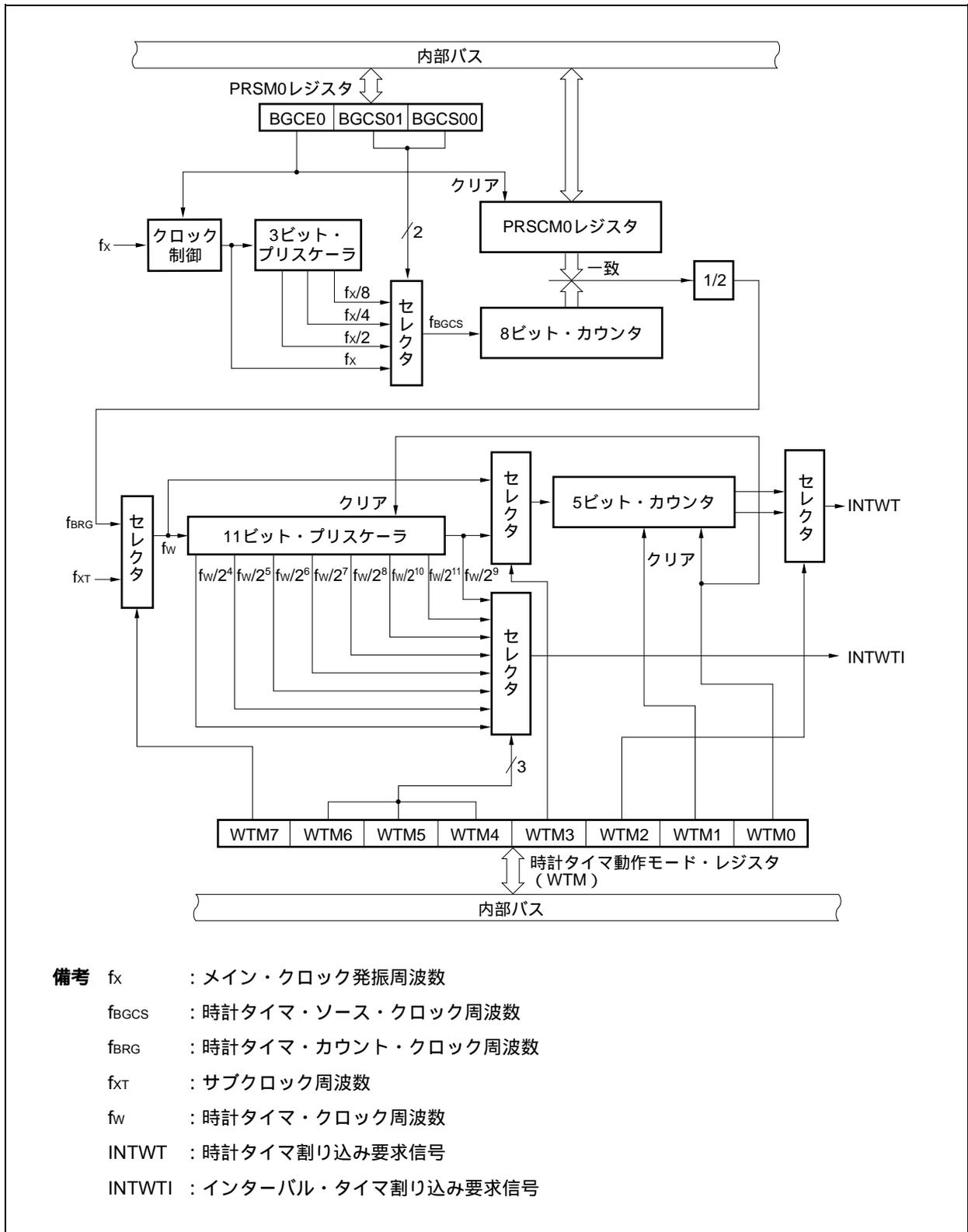
- ・時計タイマ : メイン・クロックまたはサブクロックを使用することで、0.5秒または0.25秒の時間間隔で割り込み要求信号 (INTWT) を発生します。
- ・インターバル・タイマ : あらかじめ設定した時間間隔で割り込み要求信号 (INTWTI) を発生します。

時計タイマとインターバル・タイマは、同時に使用できません。

11.2 構成

次に時計タイマのブロック図を示します。

図11-1 時計タイマのブロック図



(1) クロック制御

時計タイマのメイン・クロックでの動作クロック (f_x) の供給 / 停止を制御します。

(2) 3 ビット・プリスケーラ

f_x を分周して, $f_x/2$, $f_x/4$, $f_x/8$ を生成します。

(3) 8 ビット・カウンタ

ソース・クロック (f_{BCCS}) をカウントする8ビットのカウンタです。

(4) 11 ビット・プリスケーラ

f_w を分周して, $f_w/2^4$ - $f_w/2^{11}$ のクロックを生成します。

(5) 5 ビット・カウンタ

f_w または $f_w/2^9$ をカウントして, $2^4/f_w$, $2^5/f_w$, $2^{13}/f_w$ または $2^{14}/f_w$ ごとに時計タイマ割り込み要求信号 (INTWT) を発生します。

(6) セレクタ

時計タイマには, 次の5つのセレクタがあります。

- ・時計タイマのソース・クロックとして, f_x , $f_x/2$, $f_x/4$, $f_x/8$ のうちの1つを選択します。
- ・時計タイマのクロックとして, メイン・クロック (f_x) かサブクロック (f_{XT}) かを選択します。
- ・5ビット・カウンタのカウント・クロック周波数として, f_w か $f_w/2^9$ かを選択します。
- ・INTWT信号発生時間間隔として, $2^4/f_w$ または $2^{13}/f_w$ か, $2^5/f_w$ または $2^{14}/f_w$ かを選択します。
- ・インターバル・タイマ割り込み要求信号 (INTWTI) 発生時間間隔として, $2^4/f_w$ - $2^{11}/f_w$ から選択します。

(7) PRSCM レジスタ

インターバル時間を設定する8ビットのコンペア・レジスタです。

(8) PRSM レジスタ

時計タイマへのクロック供給を制御するレジスタです。

(9) WTM レジスタ

時計タイマ / インターバル・タイマの動作制御や割り込み要求信号発生間隔を設定する8ビットのレジスタです。

11.3 レジスタ

時計タイマには次のレジスタがあります。

- ・プリスケラ・モード・レジスタ0 (PRSM0)
- ・プリスケラ・コンペア・レジスタ0 (PRSCM0)
- ・時計タイマ動作モード・レジスタ (WTM)

(1) プリスケラ・モード・レジスタ0 (PRSM0)

PRSM0レジスタは、時計タイマのカウント・クロックの生成を制御します。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF8B0H

	7	6	5	④	3	2	1	0
PRSM0	0	0	0	BGCE0	0	0	BGCS01	BGCS00

BGCE0	メイン・クロックでの動作許可
0	禁止
1	許可

BGCS01	BGCS00	時計タイマ・ソース・クロック (f _{BGCS}) の選択		
			10 MHz	8 MHz
0	0	fx	100 ns	125 ns
0	1	fx/2	200 ns	250 ns
1	0	fx/4	400 ns	500 ns
1	1	fx/8	800 ns	1 μs

- 注意1.** 時計タイマ動作中に、BGCS01, BGCS00ビットの値を変更しないでください。
- PRSM0レジスタの設定はBGCE0ビットをセット(1)する前に行ってください。
 - f_{BRG}の周波数が32.768 kHzとなるよう、使用するメイン・クロック周波数にあわせて、PRSM0, PRSCM0レジスタの設定を行ってください。
 - ビット7-5, 3, 2には必ず0を設定してください。

(2) プリスケアラ・コンペア・レジスタ 0 (PRSCM0)

8ビットのコンペア・レジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF8B1H

	7	6	5	4	3	2	1	0
PRSCM0	PRSCM07	PRSCM06	PRSCM05	PRSCM04	PRSCM03	PRSCM02	PRSCM01	PRSCM00

注意1. 時計タイマ動作中にPRSCM0レジスタを書き換えしないでください。

2. PRSM0.BGCE0ビットをセット(1)する前にPRSCM0レジスタの設定を行ってください。

3. f_{BRG} の周波数が32.768 kHzとなるよう、使用するメイン・クロック周波数にあわせて、PRSM0, PRSCM0レジスタの設定を行ってください。

f_{BRG} の計算式を次に示します。

$$f_{BRG} = f_{BGCS}/2N$$

備考 f_{BGCS} : PRSM0レジスタで設定した時計タイマ・ソース・クロック

N : PRSCM0レジスタの設定値 = 1-256

ただし、N = 256となるのは、PRSCM0レジスタに00Hを設定した場合です。

(3) 時計タイマ動作モード・レジスタ (WTM)

時計タイマのカウンタ・クロックおよび動作の許可 / 禁止, プリスケーラのインターバル時間, 5ビット・カウンタの動作制御および時計フラグのセット時間を設定するレジスタです。

WTMレジスタを設定する前にPRSM0レジスタを設定してください。

8/1ビット単位でリード / ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時 : 00H R/W アドレス : FFFFF680H

	7	6	5	4	3	2	1	0
WTM	WTM7	WTM6	WTM5	WTM4	WTM3	WTM2	WTM1	WTM0

WTM7	WTM6	WTM5	WTM4	プリスケーラのインターバル時間の選択
0	0	0	0	$2^4/f_w$ (488 μ s : $f_w = f_{XT}$)
0	0	0	1	$2^5/f_w$ (977 μ s : $f_w = f_{XT}$)
0	0	1	0	$2^6/f_w$ (1.95 ms : $f_w = f_{XT}$)
0	0	1	1	$2^7/f_w$ (3.91 ms : $f_w = f_{XT}$)
0	1	0	0	$2^8/f_w$ (7.81 ms : $f_w = f_{XT}$)
0	1	0	1	$2^9/f_w$ (15.6 ms : $f_w = f_{XT}$)
0	1	1	0	$2^{10}/f_w$ (31.3 ms : $f_w = f_{XT}$)
0	1	1	1	$2^{11}/f_w$ (62.5 ms : $f_w = f_{XT}$)
1	0	0	0	$2^4/f_w$ (488 μ s : $f_w = f_{BRG}$)
1	0	0	1	$2^5/f_w$ (977 μ s : $f_w = f_{BRG}$)
1	0	1	0	$2^6/f_w$ (1.95 ms : $f_w = f_{BRG}$)
1	0	1	1	$2^7/f_w$ (3.91 ms : $f_w = f_{BRG}$)
1	1	0	0	$2^8/f_w$ (7.81 ms : $f_w = f_{BRG}$)
1	1	0	1	$2^9/f_w$ (15.6 ms : $f_w = f_{BRG}$)
1	1	1	0	$2^{10}/f_w$ (31.3 ms : $f_w = f_{BRG}$)
1	1	1	1	$2^{11}/f_w$ (62.5 ms : $f_w = f_{BRG}$)

WTM7	WTM3	WTM2	時計用フラグのセット時間の選択
0	0	0	$2^{14}/f_w$ (0.5 s : $f_w = f_{XT}$)
0	0	1	$2^{13}/f_w$ (0.25 s : $f_w = f_{XT}$)
0	1	0	$2^5/f_w$ (977 μ s : $f_w = f_{XT}$)
0	1	1	$2^4/f_w$ (488 μ s : $f_w = f_{XT}$)
1	0	0	$2^{14}/f_w$ (0.5 s : $f_w = f_{BRG}$)
1	0	1	$2^{13}/f_w$ (0.25 s : $f_w = f_{BRG}$)
1	1	0	$2^5/f_w$ (977 μ s : $f_w = f_{BRG}$)
1	1	1	$2^4/f_w$ (488 μ s : $f_w = f_{BRG}$)

WTM1	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTM0	時計用タイマの動作許可
0	動作停止 (プリスケーラ, 5ビット・カウンタともにクリア)
1	動作許可

注意 WTM2-WTM7ビットを書き換える場合は、WTM0, WTM1ビットがともに0の状態で行ってください。

- 備考**1. f_w : 時計タイマ・クロック周波数
2. () 内は, $f_w = 32.768$ kHz動作時
 3. f_{XT} : サブクロック周波数
 4. f_{BRG} : 時計タイマ・カウント・クロック周波数

11.4 動作

11.4.1 時計タイマとしての動作

時計タイマは、一定の時間間隔ごとに割り込み要求信号 (INTWT) を発生します。

サブクロック (32.768 kHz) またはメイン・クロックを使用して、0.25秒または0.5秒の時間間隔の時計タイマとして動作します。

WTM.WTM1, WTM0ビットに“11”を設定するとカウント動作がスタートします。WTM0ビットに0を設定すると11ビット・プリスケアラと5ビット・カウンタがクリアされ、カウント動作が停止します。

時計タイマをインターバル・タイマと同時に動作させているとき、WTM1ビットをクリア(0)して5ビット・カウンタをクリアすることにより、時刻合わせができます。このとき、インターバル・タイマには影響はありませんが、時計タイマは最大で15.6 msの誤差が発生することがあります。

時計タイマのカウント・クロックとしてメイン・クロックを使用するときは、PRSM0.BGCS01, BGCS00ビットでカウント・クロックを、PRSCM0レジスタで8ビットのコンペア値を設定し、時計タイマのカウント・クロック周波数 (f_{BRG}) が32.768 kHzになるようにしてください。

PRSM0.BGCE0ビットをセット(1)すると、時計タイマに f_{BRG} を供給します。

f_{BRG} は、次の式で求められます。

$$f_{BRG} = f_x / (2^{m+1} \times N)$$

f_{BRG} を32.768 kHzにするには、次のように計算してBGCS01, BGCS00ビット, PRSCM0レジスタを設定してください。

$N = f_x / 65,536$ とし、 $m = 0$ としてください。

N の小数点第一位を四捨五入した値が偶数のとき、四捨五入する前の $N = N/2$ とし、 $m = m + 1$ としてください。

N が奇数になるか、または $m = 3$ になるまで、を繰り返してください。

N の小数点第一位を四捨五入した値をPRSCM0レジスタに、 m をBGCS01, BGCS00ビットに設定してください。

例： $f_x = 8.00$ MHzの場合

$$N = 8,000,000 / 65,536 = 122.07\dots, m = 0$$

, N (小数点第一位を四捨五入) は偶数なので、 $N = N/2$ ($= 61$) , $m = m + 1$ ($= 1$)

PRSCM0レジスタ設定値：3DH (61) , BGCS01, BGCS00ビット設定値：01

このとき、実際の f_{BRG} の周波数は、次のようになります。

$$\begin{aligned} f_{BRG} &= f_x / (2^{m+1} \times N) = 8,000,000 / (4 \times 61) \\ &= 32.787 \text{ kHz} \end{aligned}$$

備考 m : 分周値 (BGCS01, BGCS00ビット設定値) = 0-3

N : PRSCM0レジスタ設定値 = 1-256

ただし、 $N = 256$ となるのは、PRSCM0レジスタに00Hを設定した場合です。

f_x : メイン・クロック発振周波数

11.4.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求信号 (INTWTI) を発生するインターバル・タイマとして動作します。

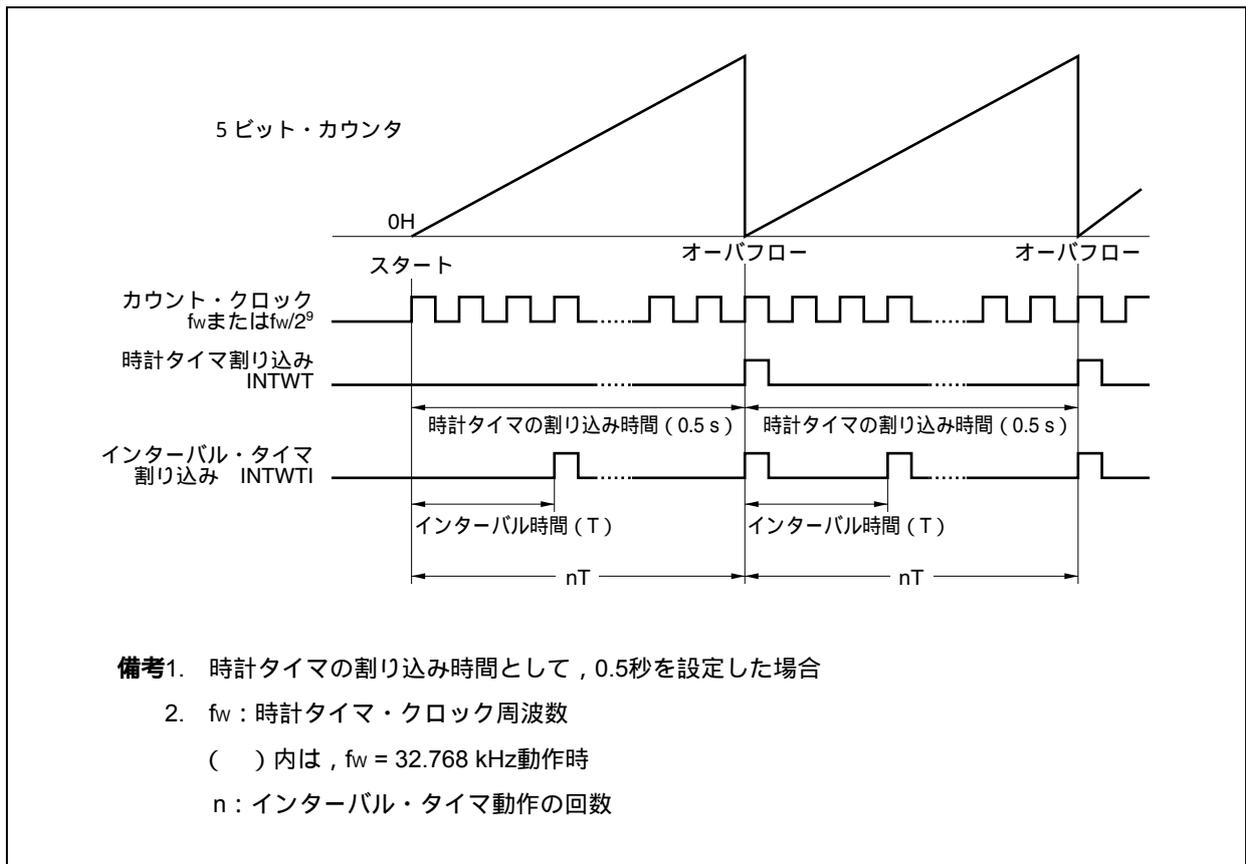
WTMレジスタのWTM4-WTM7ビットにより、インターバル時間を選択できます。

表11-1 インターバル・タイマのインターバル時間

WTM7	WTM6	WTM5	WTM4	インターバル時間	
0	0	0	0	$2^4 \times 1/f_w$	488 μ s ($f_w = f_{XT} = 32.768$ kHz動作時)
0	0	0	1	$2^5 \times 1/f_w$	977 μ s ($f_w = f_{XT} = 32.768$ kHz動作時)
0	0	1	0	$2^6 \times 1/f_w$	1.95 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
0	0	1	1	$2^7 \times 1/f_w$	3.91 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
0	1	0	0	$2^8 \times 1/f_w$	7.81 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
0	1	0	1	$2^9 \times 1/f_w$	15.6 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
0	1	1	0	$2^{10} \times 1/f_w$	31.3 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
0	1	1	1	$2^{11} \times 1/f_w$	62.5 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
1	0	0	0	$2^4 \times 1/f_w$	488 μ s ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	0	0	1	$2^5 \times 1/f_w$	977 μ s ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	0	1	0	$2^6 \times 1/f_w$	1.95 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	0	1	1	$2^7 \times 1/f_w$	3.91 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	1	0	0	$2^8 \times 1/f_w$	7.81 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	1	0	1	$2^9 \times 1/f_w$	15.6 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	1	1	0	$2^{10} \times 1/f_w$	31.3 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	1	1	1	$2^{11} \times 1/f_w$	62.5 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)

備考 f_w : 時計タイマ・クロック周波数

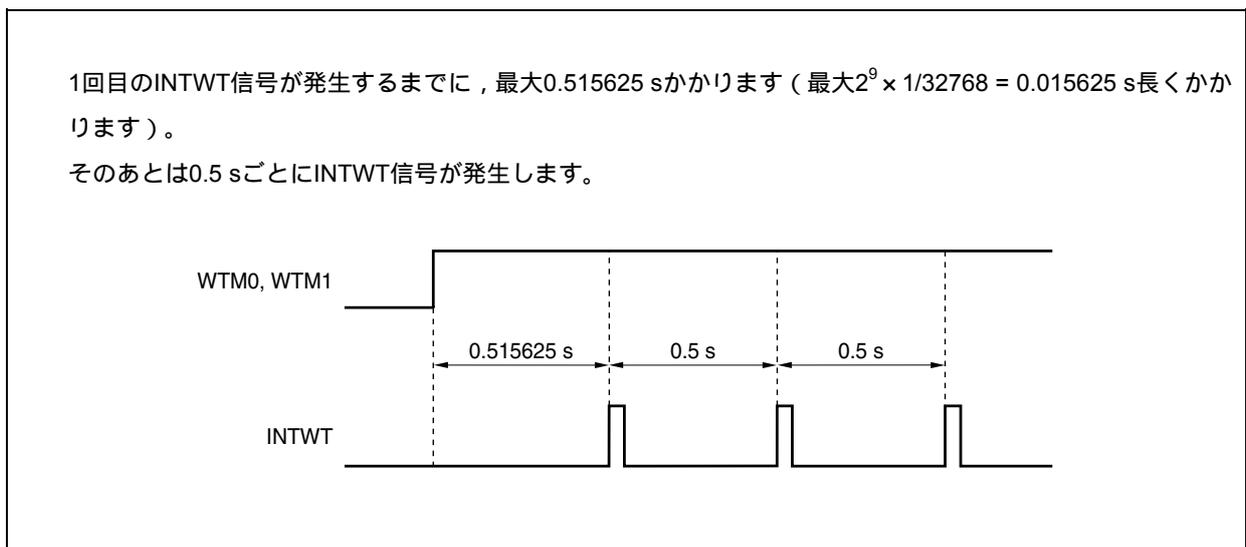
図11-2 時計タイマ/インターバル・タイマの動作タイミング



11.4.3 注意事項

動作許可 (WTM.WTM1, WTM0ビット = 1) してから、最初の1回目の時計タイマ割り込み要求信号 (INTWT) が発生するまで多少時間がかかります。

図11-3 時計タイマ割り込み要求信号 (INTWT) の発生例 (割り込み周期 = 0.5 sの場合)



第12章 ウォッチドッグ・タイマ2機能

12.1 機能

ウォッチドッグ・タイマ2には、次のような機能があります。

- ・デフォルト・スタート・ウォッチドッグ・タイマ^{注1}
 - リセット・モード：ウォッチドッグ・タイマ2のオーバフローによるリセット動作（WDT2RES信号を発生）
 - ノンマスクابل割り込み要求モード：ウォッチドッグ・タイマ2のオーバフローによるNMI動作（INTWDT2信号を発生）^{注2}
- ・ソース・クロックとしてメイン・クロック発振，低速内蔵発振クロックからの入力を選択可能

注1. ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。ウォッチドッグ・タイマ2を使用しない場合は、この機能によるリセットが発生する前に停止するか、一度ウォッチドッグ・タイマ2をクリアし、次のインターバル時間内で停止してください。

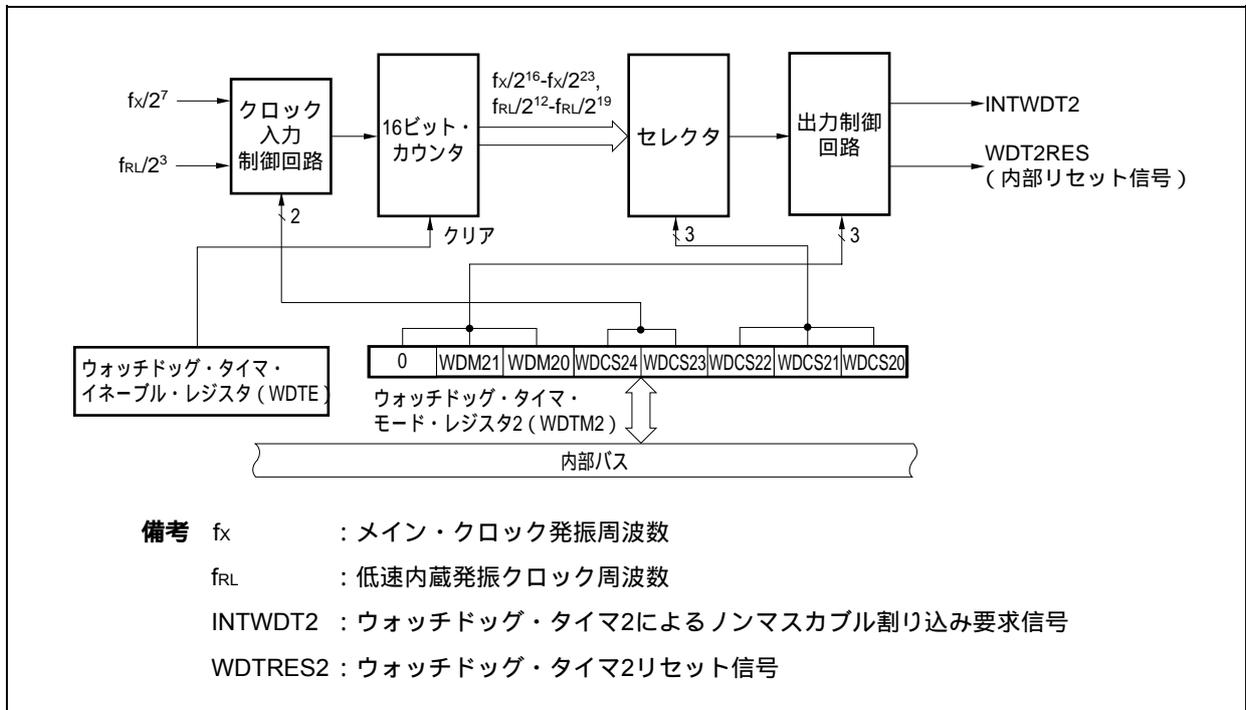
また、デフォルトの設定（リセット・モード，インターバル時間： $f_{RL}/2$ ¹⁹）で変更する必要がない場合も、動作を確定するために、1回だけWDTM2レジスタへの書き込みを行ってください。

2. ノンマスクابل割り込み要求信号（INTWDT2）によるノンマスクابل割り込み処理については18.2.2（2）INTWDT2信号の場合を参照してください。

12.2 構成

次にウォッチドッグ・タイマ2のブロック図を示します。

図12 - 1 ウォッチドッグ・タイマ2のブロック図



ウォッチドッグ・タイマ2は、次のハードウェアで構成されています。

表12 - 1 ウォッチドッグ・タイマ2の構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

12.3 レジスタ

(1) ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

ウォッチドッグ・タイマ2のオーバフロー時間および動作クロックを設定するレジスタです。

WDTM2は8ビット単位でリード/ライト可能です。ただし、リードは何回でもできますが、ライトはリセット解除後に1回のみできます。

リセットにより67Hになります。

注意 次に示す状態において、WDTM2レジスタへのアクセスは禁止です。詳細は3.4.8(2) 特定の
内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時：67H R/W アドレス：FFFFFF6D0H

	7	6	5	4	3	2	1	0
WDTM2	0	WDM21	WDM20	WDCS24	WDCS23	WDCS22	WDCS21	WDCS20

WDM21	WDM20	ウォッチドッグ・タイマ2の動作モードの選択
0	0	動作停止
0	1	ノンマスクブル割り込み要求モード (INTWDT2信号を発生)
1	-	リセット・モード (WDT2RES信号を発生)

- 注意1.** WDCS24-WDCS20ビットについては表12-2 ウォッチドッグ・タイマ2のクロック
選択を参照してください。
2. リセット後、WDTM2レジスタに2回書き込んだ場合、強制的にオーバフロー信号を
発生し、カウンタをリセットします。
 3. 意図的にオーバフロー信号を発生させたい場合は、WDTM2レジスタに2回だけ書き
込むか、WDTEレジスタに“ACH”以外の値を1回だけ書き込んでください。
ただし、ウォッチドッグ・タイマ2を動作停止に設定した場合は、WDTM2レジスタ
に2回だけ書き込む、またはWDTEレジスタに“ACH”以外の値を1回だけ書き込ん
でも、オーバフロー信号は発生しません。
 4. ウォッチドッグ・タイマ2の動作を停止する場合は、RCM.RSTOPビット = 1 (低
速内蔵発振器の停止) に設定するとともに、WDTM2レジスタに1FHを書き込んで
ください。

表12 - 2 ウォッチドッグ・タイマ2のクロック選択

WDCS24	WDCS23	WDCS22	WDCS21	WDCS20	選択クロック	204 kHz (MIN.)	240 kHz (TYP.)	276 kHz (MAX.)
0	0	0	0	0	$2^{12}/f_{RL}$	20.1 ms	17.1 ms	14.8 ms
0	0	0	0	1	$2^{13}/f_{RL}$	40.2 ms	34.1 ms	29.7 ms
0	0	0	1	0	$2^{14}/f_{RL}$	80.3 ms	68.3 ms	59.4 ms
0	0	0	1	1	$2^{15}/f_{RL}$	160.6 ms	136.5 ms	118.7 ms
0	0	1	0	0	$2^{16}/f_{RL}$	321.3 ms	273.1 ms	237.4 ms
0	0	1	0	1	$2^{17}/f_{RL}$	642.5 ms	546.1 ms	474.9 ms
0	0	1	1	0	$2^{18}/f_{RL}$	1285.0 ms	1092.3 ms	949.8 ms
0	0	1	1	1	$2^{19}/f_{RL}$	2570.0 ms	2184.5 ms	1899.6 ms
						f _x = 8 MHz時		f _x = 10 MHz時
0	1	0	0	0	$2^{16}/f_x$	8.2 ms	6.6 ms	
0	1	0	0	1	$2^{17}/f_x$	16.4 ms	13.1 ms	
0	1	0	1	0	$2^{18}/f_x$	32.8 ms	26.2 ms	
0	1	0	1	1	$2^{19}/f_x$	65.5 ms	52.4 ms	
0	1	1	0	0	$2^{20}/f_x$	131.1 ms	104.9 ms	
0	1	1	0	1	$2^{21}/f_x$	262.1 ms	209.7 ms	
0	1	1	1	0	$2^{22}/f_x$	524.3 ms	419.4 ms	
0	1	1	1	1	$2^{23}/f_x$	1048.6 ms	838.9 ms	
1	1	1	1	1	動作停止			

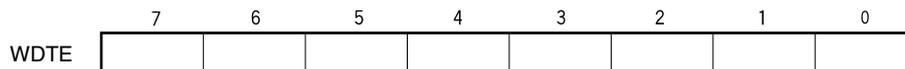
(2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEレジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマ2のカウンタをクリアし、再びカウントを開始します。

8ビット単位でリード/ライト可能です。

リセットにより9AHになります。

リセット時：9AH R/W アドレス：FFFFFF6D1H



- 注意1. WDTEレジスタに“ACH”以外の値を書き込んだ場合、強制的にオーバフロー信号を発生します。
2. WDTEレジスタに1ビット・メモリ操作命令を実行した場合、強制的にオーバフロー信号を発生します。
3. 意図的にオーバフロー信号を発生させたい場合は、WDTEレジスタに“ACH”以外の値を1回だけ書き込むか、WDTM2レジスタに2回だけ書き込んでください。ただし、ウォッチドッグ・タイマ2を動作停止に設定した場合は、WDTEレジスタに“ACH”以外の値を1回だけ書き込む、またはWDTM2レジスタに2回だけ書き込んでも、オーバフロー信号は発生しません。
4. WDTEレジスタのリード値は、“9AH”（書き込んだ値（“ACH”）とは異なる値）になります。

12.4 動作

ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。

WDTM2レジスタへの書き込みは、バイト・アクセスのみリセット後に一度だけ可能です。ウォッチドッグ・タイマ2を使用する場合は、動作モードとインターバル時間を8ビット・メモリ操作でWDTM2レジスタに書き込んでください。この操作後、動作停止することはできません。

WDTM2.WDCS24-WDCS20ビットで、ウォッチドッグ・タイマ2の暴走検出時間間隔を選択できます。

WDTEレジスタにACHを書き込むことにより、ウォッチドッグ・タイマ2のカウンタをクリアし、再度カウント動作を開始します。カウント動作を開始したあと、設定した暴走検出時間間隔内にWDTEレジスタにACHを書き込んでください。

WDTEレジスタにACHが書き込まれず、暴走検出時間を越えてしまった場合は、WDTM2.WDM21, WDM20ビットの設定値により、リセット信号 (WDT2RES) またはノンマスクابل割り込み要求信号 (INTWDT2) が発生します。

WDTM2.WDM21ビット = 1 (リセット・モード) に設定している場合、リセットやスタンバイ解除後の発振安定時間中にWDTオーバフローが発生すると、内部リセットは発生せずに、CPUクロックが内蔵発振クロックに切り替わります。

ウォッチドッグ・タイマ2を使用しない場合は、WDTM2レジスタに1FHを書き込んでください。

また、ノンマスクابل割り込み要求モードに設定した場合、ノンマスクابل割り込み処理については18. 2. 2 (2) INTWDT2信号の場合を参照してください。

第13章 A/Dコンバータ

13.1 概 要

V850ES/Hx3のA/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能のコンバータです。V850ES/Hx3のA/Dコンバータの搭載数を次に示します。

品 名	V850ES/HE3	V850ES/HF3	V850ES/HG3	V850ES/HJ3
ANIチャンネル数 (m)	10 ch (m = 10)	12 ch (m = 12)	16 ch (m = 16)	24 ch (m = 24)
ANI本数 (n)	ANI0-ANI9 (n = 0-9)	ANI0-ANI11 (n = 0-11)	ANI0-ANI14 (n = 0-14)	ANI0-ANI23 (n = 0-23)

この章では、ANIチャンネル数をm、ANI本数（アナログ入力機能端子）をnと省略して表記してあります。

次にA/Dコンバータの特徴について示します。

10ビット分解能

逐次比較変換方式

動作電圧： $AV_{REF0} = 4.0 \sim 5.5$ V

アナログ入力電圧：0 V ~ AV_{REF0}

動作モードとして、次の機能があります。

- ・連続セレクト・モード
- ・連続スキャン・モード
- ・ワンショット・セレクト・モード
- ・ワンショット・スキャン・モード

トリガ・モードとして、次の機能があります。

- ・ソフトウェア・トリガ・モード
- ・外部トリガ・モード（外部1本）
- ・タイマ・トリガ・モード

パワー・フェイル監視機能（変換結果比較機能）

13.2 機 能

(1) 10ビット分解能A/D変換

アナログ入力をANInから1チャンネル選択し、10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求信号（INTAD）を発生します。

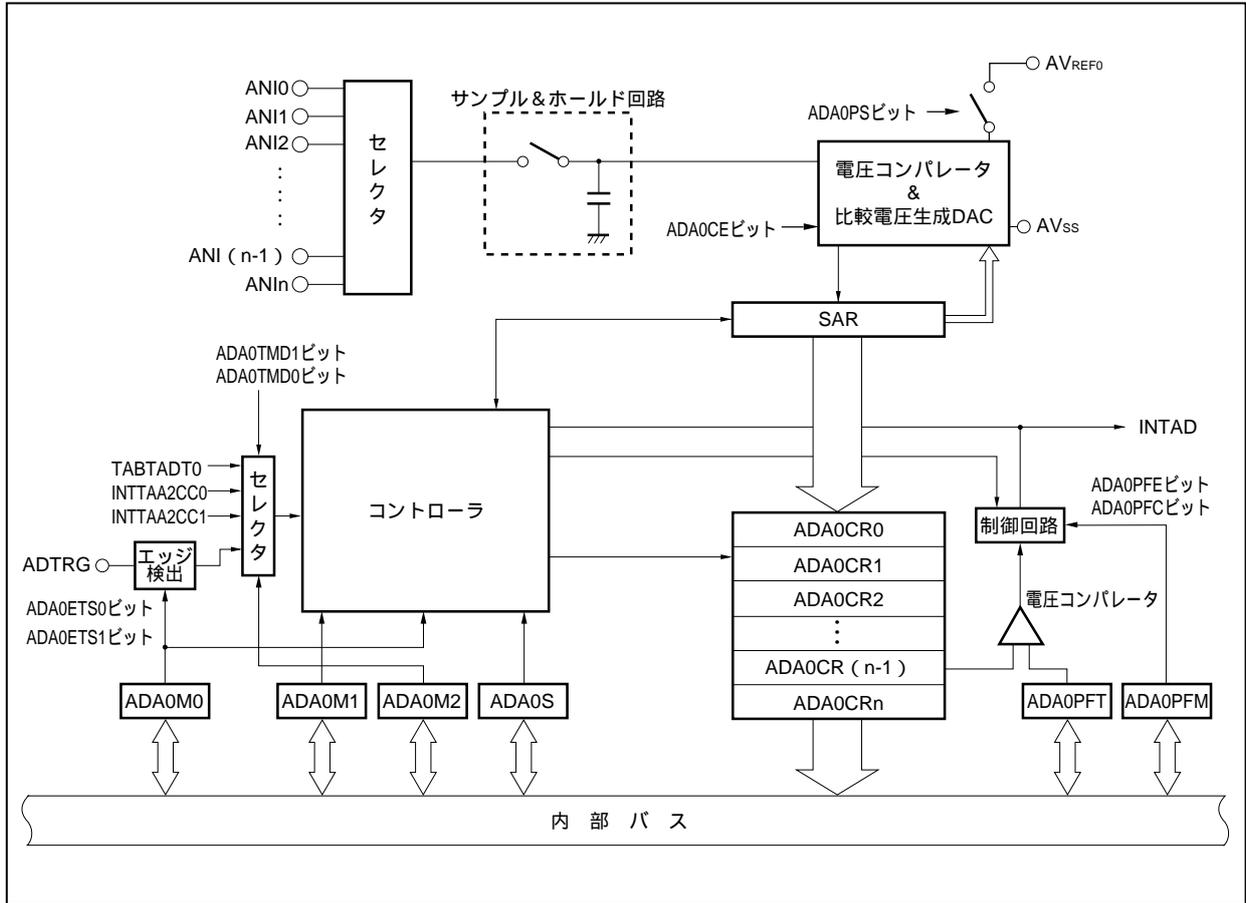
(2) パワー・フェイル検出機能

バッテリー電圧低下を検出するための機能です。A/D変換結果（ADA0CRnHレジスタ値）とADA0PFTレジスタの値との大小比較を行い、比較条件に合致した場合のみINTAD信号を発生します。

13.3 構成

次にブロック図を示します。

図13 - 1 A/Dコンバータのブロック図



A/Dコンバータは、次のハードウェアで構成しています。

表13 - 1 A/Dコンバータの構成

項目	構成
アナログ入力	mチャンネル (ANIn端子)
レジスタ	逐次変換レジスタ (SAR) A/D変換結果レジスタn (ADA0CRn) A/D変換結果レジスタnH (ADCRnH) : 上位8ビットだけ読み出し可能
制御レジスタ	A/Dコンバータ・モード・レジスタ0-2 (ADA0M0-ADA0M2) A/Dコンバータ・チャンネル指定レジスタ0 (ADA0S) パワー・フェイル比較モード・レジスタ (ADA0PFM) パワー・フェイル比較しきい値レジスタ (ADA0PFT)

(1) 逐次変換レジスタ (SAR)

アナログ入力の電圧値と比較電圧生成DACの出力電圧（比較電圧）の値を比較し、その結果を最上位ビット（MSB）から保持するレジスタです。

最下位ビット（LSB）まで保持すると（A/D変換終了）、SARレジスタの内容はADA0CRnレジスタに転送されます。

(2) A/D変換結果レジスタn (ADA0CRn) , A/D変換結果レジスタnH (ADA0CRnH)

ADA0CRnレジスタはA/D変換の結果を格納する16ビットのレジスタです。m本のレジスタで構成されており、A/D変換結果はアナログ入力に対応したADA0CRnレジスタの上位10ビットに格納します（下位6ビットは0に固定）。

(3) A/Dコンバータ・モード・レジスタ0 (ADA0M0)

動作モードの指定および変換動作の制御を行うレジスタです。

(4) A/Dコンバータ・モード・レジスタ1 (ADA0M1)

A/D変換するアナログ入力の変換時間を設定するレジスタです。

(5) A/Dコンバータ・モード・レジスタ2 (ADA0M2)

ハードウェア・トリガのモードを設定するレジスタです。

(6) A/Dコンバータ・チャンネル指定レジスタ (ADA0S)

A/D変換するアナログ電圧の入力ポートを設定するレジスタです。

(7) パワー・フェイル比較モード・レジスタ (ADA0PFM)

パワー・フェイル監視モードを設定するレジスタです。

(8) パワー・フェイル比較しきい値レジスタ (ADA0PFT)

A/D変換結果レジスタnH (ADA0CRnH) と大小比較する場合のしきい値を設定するレジスタです。

ADA0PFTレジスタに設定した8ビット・データとA/D変換結果レジスタの上位8ビット (ADA0CRnH) が比較されます。

(9) 制御回路

A/D変換が終了するか、パワー・フェイル検出機能使用時、A/D変換結果 (ADA0CRnHレジスタ値) とADA0PFTレジスタの値との大小比較を行い、比較条件に合致した場合のみINTAD信号を発生します。

(10) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路で選択されたアナログ入力信号をサンプリングし、電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(11) 電圧コンパレータ

電圧コンパレータは、サンプリングされ保持された電圧値と比較電圧生成DACの出力電圧を比較します。

(12) 比較電圧生成DAC

比較電圧生成DACは AV_{REF0} - AV_{SS} 間に接続されており、アナログ入力と比較する電圧を発生します。

(13) ANIn端子

A/Dコンバータへのmチャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。ADA0Sレジスタでアナログ入力として選択した端子以外は、入力ポートとして使用できます。

- 注意1. ANIn端子入力電圧は規格の範囲内で使用してください。特に AV_{REF0} 以上の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。
2. アナログ入力 (ANIn) 端子はポート (P70-P715, P120-P127) 端子と兼用になっています。ANIn端子のいずれかを選択してA/D変換する場合、変換中に入力ポートへの読み出し命令、または出力ポートへの書き込み命令を実行しないでください。変換分解能が低下することがあります。

(14) AV_{REF0} 端子

A/Dコンバータの基準電圧を入力する端子です。

AV_{REF0} , AV_{SS} 間にかかる電圧に基づいて、ANIn端子に入力される信号をデジタル信号に変換します。

またA/Dコンバータを使用しないときでも、3.7 AV_{REF0} 5.5 Vの電位で使用してください。

(15) AV_{SS} 端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常に V_{SS} 端子と同電位で使用してください。

13.4 レジスタ

A/Dコンバータは、次に示すレジスタで制御します。

- ・ A/Dコンバータ・モード・レジスタ0, 1, 2 (ADA0M0, ADA0M1, ADA0M2)
- ・ A/Dコンバータ・チャンネル指定レジスタ0 (ADA0S)
- ・ パワー・フェイル比較モード・レジスタ (ADA0PFM)

また、次のレジスタも使用します。

- ・ A/D変換結果レジスタn (ADA0CRn)
- ・ A/D変換結果レジスタnH (ADA0CRnH)
- ・ パワー・フェイル比較しきい値レジスタ (ADA0PFT)

(1) A/Dコンバータ・モード・レジスタ0 (ADA0M0)

動作モードの指定および変換動作の制御を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、ADA0EFビットはリードのみ可能です。

リセットにより、00Hになります。

注意 次に示す状態において、ADA0M0レジスタへのアクセスは禁止です。詳細は3.4.8(2) 特定の
内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・ CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・ CPUが低速内蔵発振クロックで動作している場合

リセット時：00H R/W アドレス：FFFFFF200H

	7	6	5	4	3	2	1	0
ADA0M0	ADA0CE	ADA0PS	ADA0MD1	ADA0MD0	ADA0ETS1	ADA0ETS0	ADA0TMD	ADA0EF

ADA0CE	A/D変換動作の制御	
0	A/D変換動作停止	
1	A/D変換動作許可	

ADA0PS	A/D電源制御	
0	A/Dコンバータ・パワー・オフ	
1	A/Dコンバータ・パワー・オン	
ADA0PSビット = 1にして安定時間以上経過後、A/D変換動作許可（ADA0CEビット = 1）することで、最初の変換結果から有効となります。		

ADA0MD1	ADA0MD0	A/Dコンバータ動作モードを指定	
0	0	連続セレクト・モード	
0	1	連続スキャン・モード	
1	0	ワンショット・セレクト・モード	
1	1	ワンショット・スキャン・モード	

ADA0ETS1	ADA0ETS0	外部トリガ（ADTRG端子）入力の有効エッジを指定	
0	0	エッジ検出し	
0	1	立ち下がりエッジ検出	
1	0	立ち上がりエッジ検出	
1	1	立ち上がり / 立ち下がり両エッジ検出	

ADA0TMD	トリガ・モードを指定	
0	ソフトウエア・トリガ・モード	
1	外部トリガ・モード / タイマ・トリガ・モード	

ADA0EF	A/Dコンバータの状態を提示	
0	A/D変換停止中	
1	A/D変換動作中	

- 注意1. ビット0に書き込みを行った場合、書き込みは無視されます。
- A/D変換動作許可中（ADA0CEビット = 1）は、ADA0M1レジスタの変更は禁止です。
 - A/D変換動作中（ADA0EFビット = 1）にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合には各モードにより次のようになります。
 - ・ソフトウエア・トリガ・モード時
A/D変換動作は中断され、再度、最初から変換動作を行います。
 - ・ハードウエア・トリガ・モード時
A/D変換動作は中断され、再度、トリガ待機状態になります。
 - A/Dコンバータを使用しない場合は、消費電力を小さくするために、ADA0CEビット = 0として動作を停止させADA0PSビット = 0（パワー・オフ）としてください。
 - A/D変換開始直後の最初の入力端子の変換分解能が低下する可能性があります。詳細は13.6（7）AV_{REF0}端子についてを参照してください。

(2) A/Dコンバータ・モード・レジスタ1 (ADA0M1)

変換時間の指定を行うの制御を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより, 00Hになります。

リセット時 : 00H R/W アドレス : FFFFF201H

	7	6	5	4	3	2	1	0
ADA0M1	0	0	0	0	ADA0FR3	ADA0FR2	ADA0FR1	ADA0FR0

注意1. ビット7-4には必ず“0”を設定してください。

2. 変換動作中 (ADA0M0.ADA0CEビット = 1) は, ADA0FR3-ADA0FR0ビットの設定は禁止です。

備考 A/D変換時間の設定例は表13 - 2を参照してください。

表13 - 2 変換モード時の設定例

ADA0FR3-ADA0FR0				A/D変換時間						サンプリング時間	
				f _{xx} = 32 MHz	f _{xx} = 24 MHz	f _{xx} = 20 MHz	f _{xx} = 16 MHz	f _{xx} = 10 MHz	f _{xx} = 4 MHz		
3	2	1	0								
0	0	0	0	32/f _{xx}	設定禁止	設定禁止	設定禁止	設定禁止	3.20 μs	8.00 μs	17/f _{xx}
0	0	0	1	64/f _{xx}	設定禁止	設定禁止	3.20 μs	4.00 μs	6.40 μs	16.00 μs	34/f _{xx}
0	0	1	0	96/f _{xx}	設定禁止	4.00 μs	4.80 μs	6.00 μs	9.60 μs	設定禁止	51/f _{xx}
0	0	1	1	128/f _{xx}	4.00 μs	5.34 μs	6.40 μs	8.00 μs	12.80 μs	設定禁止	68/f _{xx}
0	1	0	0	160/f _{xx}	5.00 μs	6.67 μs	8.00 μs	10.00 μs	16.00 μs	設定禁止	85/f _{xx}
0	1	0	1	192/f _{xx}	6.00 μs	8.00 μs	9.60 μs	12.00 μs	設定禁止	設定禁止	102/f _{xx}
0	1	1	0	224/f _{xx}	7.00 μs	9.34 μs	11.20 μs	14.00 μs	設定禁止	設定禁止	119/f _{xx}
0	1	1	1	256/f _{xx}	8.00 μs	10.67 μs	12.80 μs	16.00 μs	設定禁止	設定禁止	136/f _{xx}
1	0	0	0	288/f _{xx}	9.00 μs	12.00 μs	14.40 μs	設定禁止	設定禁止	設定禁止	153/f _{xx}
1	0	0	1	320/f _{xx}	10.00 μs	13.34 μs	16.00 μs	設定禁止	設定禁止	設定禁止	170/f _{xx}
1	0	1	0	352/f _{xx}	11.00 μs	14.67 μs	設定禁止	設定禁止	設定禁止	設定禁止	187/f _{xx}
1	0	1	1	384/f _{xx}	12.00 μs	16.00 μs	設定禁止	設定禁止	設定禁止	設定禁止	204/f _{xx}
1	1	0	0	416/f _{xx}	13.00 μs	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	221/f _{xx}
1	1	0	1	448/f _{xx}	14.00 μs	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	238/f _{xx}
1	1	1	0	480/f _{xx}	15.00 μs	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	255/f _{xx}
1	1	1	1	512/f _{xx}	16.00 μs	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	272/f _{xx}

注意 3.2 μs 変換時間 16.0 μsになるように設定してください。

(3) A/Dコンバータ・モード・レジスタ2 (ADA0M2)

ハードウェア・トリガのモードを指定します。

8/1ビット単位でリード/ライト可能です。

リセットにより, 00Hになります。

リセット時: 00H R/W アドレス: FFFFF203H

	7	6	5	4	3	2	1	0
ADA0M2	0	0	0	0	0	0	ADA0TMD1	ADA0TMD0

ADA0TMD1	ADA0TMD0	ハードウェア・トリガ・モードの指定
0	0	外部トリガ・モード (ADTRG端子の有効エッジ検出時)
0	1	タイマ・トリガ・モード0 (INTTAA2CC0割り込み要求発生時)
1	0	タイマ・トリガ・モード1 (INTTAA2CC1割り込み要求発生時)
1	1	タイマ・トリガ・モード2 (TABTADT0 ^注 信号発生時)

注 TABTADT0: 6相PW出力回路 (モータ制御) からのタイマ・トリガ信号です。詳細は10. 4. 5 A/D変換開始トリガ信号出力用TAA4の同調動作を参照してください。

注意 ビット7-2には必ず“0”を設定してください。

(4) A/Dコンバータ・チャンネル指定レジスタ0 (ADA0S)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより, 00Hになります。

リセット時: 00H R/W アドレス: FFFFF202H

	7	6	5	4	3	2	1	0
ADA0S	0	0	0	ADA0S4	ADA0S3	ADA0S2	ADA0S1	ADA0S0

ADA0S4	ADA0S3	ADA0S2	ADA0S1	ADA0S0	セレクト・モード	スキャン・モード
0	0	0	0	0	ANI0	ANI0
0	0	0	0	1	ANI1	ANI0, ANI1
0	0	0	1	0	ANI2	ANI0-ANI2
0	0	0	1	1	ANI3	ANI0-ANI3
0	0	1	0	0	ANI4	ANI0-ANI4
0	0	1	0	1	ANI5	ANI0-ANI5
0	0	1	1	0	ANI6	ANI0-ANI6
0	0	1	1	1	ANI7	ANI0-ANI7
0	1	0	0	0	ANI8	ANI0-ANI8
0	1	0	0	1	ANI9	ANI0-ANI9
0	1	0	1	0	ANI10	ANI0-ANI10
0	1	0	1	1	ANI11	ANI0-ANI11
0	1	1	0	0	ANI12	ANI0-ANI12
0	1	1	0	1	ANI13	ANI0-ANI13
0	1	1	1	0	ANI14	ANI0-ANI14
0	1	1	1	1	ANI15	ANI0-ANI15
1	0	0	0	0	ANI16	ANI0-ANI16
1	0	0	0	1	ANI17	ANI0-ANI17
1	0	0	1	0	ANI18	ANI0-ANI18
1	0	0	1	1	ANI19	ANI0-ANI19
1	0	1	0	0	ANI20	ANI0-ANI20
1	0	1	0	1	ANI21	ANI0-ANI21
1	0	1	1	0	ANI22	ANI0-ANI22
1	0	1	1	1	ANI23	ANI0-ANI23
上記以外					設定禁止 ^注	

注 アナログ入力が存在しないチャンネルを設定すると, 変換結果が不定になります。

備考 製品ごとにアナログ入力機能端子 (ANIn) の数は異なります。詳細は13.1 概要を参照してください。

(5) A/D変換結果レジスタ_n, nH (ADA0CR_n, ADA0CR_nH)

ADA0CR_n, ADA0CR_nHレジスタは、A/D変換結果を格納するレジスタです。

16/8ビット単位でリードのみ可能です。ただし、16ビット・アクセス時はADA0CR_nレジスタを指定、8ビット・アクセス時はADA0CR_nHレジスタを指定します。ADA0CR_nレジスタは上位10ビットに変換結果の10ビットが読み出され、下位6ビットには0が読み出されます。ADA0CR_nHレジスタには変換結果の上位8ビットが読み出されます。

ADA0CR_n, ADA0CR_nHレジスタは、ADA0M0.ADA0PSビットが0のときに初期化されます。

注意 次に示す状態において、ADA0CR_n, ADA0CR_nHレジスタへのアクセスは禁止です。詳細は3. 4.

8 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが低速内蔵発振クロックで動作している場合

リセット時：0000H R アドレス：ADA0CR0 FFFFF210H, ADA0CR1 FFFFF212H ,
 ADA0CR2 FFFFF214H, ADA0CR3 FFFFF216H
 ADA0CR4 FFFFF218H, ADA0CR5 FFFFF21AH
 ADA0CR6 FFFFF21CH, ADA0CR7 FFFFF21EH
 ADA0CR8 FFFFF220H, ADA0CR9 FFFFF222H
 ADA0CR10 FFFFF224H, ADA0CR11 FFFFF226H
 ADA0CR12 FFFFF228H, ADA0CR13 FFFFF22AH
 ADA0CR14 FFFFF22CH, ADA0CR15 FFFFF22EH
 ADA0CR16 FFFFF230H, ADA0CR17 FFFFF232H
 ADA0CR18 FFFFF234H, ADA0CR19 FFFFF236H
 ADA0CR20 FFFFF238H, ADA0CR21 FFFFF23AH
 ADA0CR22 FFFFF23CH, ADA0CR23 FFFFF23EH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADA0CRn	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	0	0	0	0	0	0

リセット時：00H R アドレス：ADA0CR0H FFFFF211H, ADA0CR1H FFFFF213H ,
 ADA0CR2H FFFFF215H, ADA0CR3H FFFFF217H
 ADA0CR4H FFFFF219H, ADA0CR5H FFFFF21BH
 ADA0CR6H FFFFF21DH, ADA0CR7H FFFFF21FH
 ADA0CR8H FFFFF221H, ADA0CR9H FFFFF223H
 ADA0CR10H FFFFF225H, ADA0CR11H FFFFF227H
 ADA0CR12H FFFFF229H, ADA0CR13H FFFFF22BH
 ADA0CR14H FFFFF22DH, ADA0CR15H FFFFF22FH
 ADA0CR16H FFFFF231H, ADA0CR17H FFFFF233H
 ADA0CR18H FFFFF235H, ADA0CR19H FFFFF237H
 ADA0CR20H FFFFF239H, ADA0CR21H FFFFF23BH
 ADA0CR22H FFFFF23DH, ADA0CR23H FFFFF23FH

	7	6	5	4	3	2	1	0
ADA0CRnH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2

注意 ADA0M0-ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに対して書き込み動作を行ったとき、ADA0CRnレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、ADA0M0, ADA0Sレジスタに対して書き込み動作を行う前に読み出してください。また、外部/タイマ・トリガを受け付けたときもADA0CRmレジスタの内容は不定になることがあります。変換動作終了後、次の外部/タイマ・トリガを受け付ける前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

アナログ入力端子 (ANIn) に入力されたアナログ入力電圧とA/D変換結果 (ADA0CRnレジスタ) には次式に示す関係があります。

$$\text{SAR} = \text{INT} \left(\frac{V_{\text{IN}}}{\text{AV}_{\text{REF0}}} \times 1024 + 0.5 \right)$$

$$\text{ADA0CR}^{\text{注}} = \text{SAR} \times 64$$

または,

$$\left(\text{SAR} - 0.5 \right) \times \frac{\text{AV}_{\text{REF0}}}{1024} < V_{\text{IN}} < \left(\text{SAR} + 0.5 \right) \times \frac{\text{AV}_{\text{REF0}}}{1024}$$

INT () : () 内の値の整数部を返す関数

V_{IN} : アナログ入力電圧

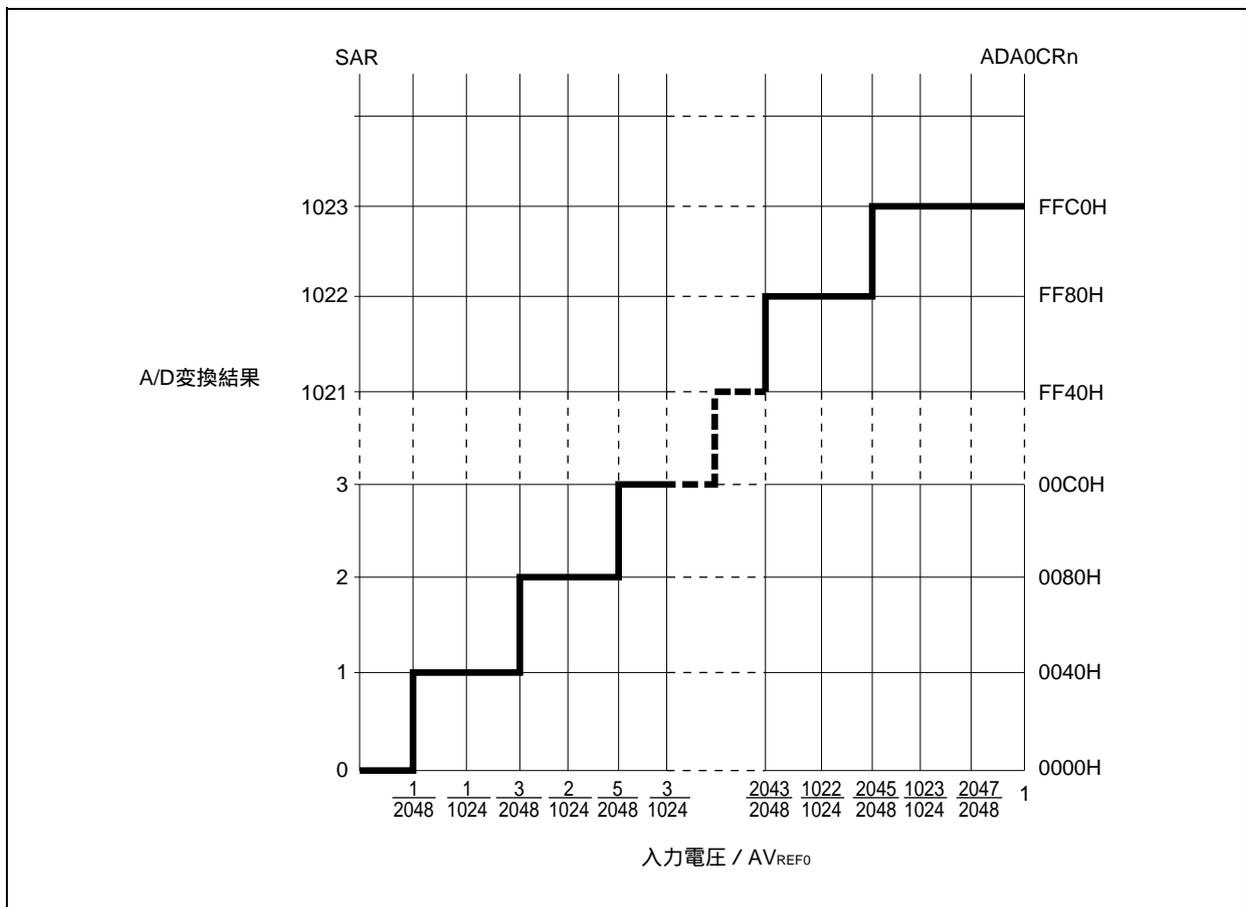
AV_{REF0} : AV_{REF0} 端子電圧

ADA0CR : ADA0CRnレジスタの値

注 ADA0CRnレジスタの下位6ビットは0固定です。

次にアナログ入力電圧とA/D変換結果の関係を示します。

図13 - 2 アナログ入力電圧とA/D変換結果の関係



(6) パワー・フェイル比較モード・レジスタ (ADA0PFM)

ADA0PFMレジスタは、パワー・フェイル比較モードの設定を行う8ビットのレジスタです。
8/1ビット単位でリード/ライト可能です。
リセットにより、00Hになります。

リセット時：00H R/W アドレス：FFFFFF204H

	7	6	5	4	3	2	1	0
ADA0PFM	ADA0PFE	ADA0PFC	0	0	0	0	0	0

ADA0PFE	パワー・フェイル比較許可/禁止の選択
0	パワー・フェイル比較禁止
1	パワー・フェイル比較許可

ADA0PFC	パワー・フェイル比較モードの選択
0	ADA0CRnH ADA0PFTで割り込み要求信号 (INTAD) を発生
1	ADA0CRnH < ADA0PFTで割り込み要求信号 (INTAD) を発生

- 注意1. セレクト・モードではADA0PFTレジスタに設定した8ビット・データとADA0Sレジスタで指定したADA0CRnHレジスタの値を比較し、結果がADA0PFCビットで設定された条件に一致した場合はADA0CRnレジスタに変換結果を格納しINTAD信号が発生しますが、一致しない場合は割り込みを発生しません。
2. スキャン・モードではADA0PFTレジスタに設定した8ビット・データとADA0CR0Hレジスタを比較し、結果がADA0PFCビットで設定された条件に一致した場合はADA0CR0レジスタに変換結果を格納しINTAD信号を発生させますが、一致しない場合はINTAD信号を発生させません。また比較結果にかかわらず、比較後はスキャン動作を継続しスキャン終了までADA0CRnレジスタに変換結果は格納しますが、スキャン終了後のINTAD信号は発生しません。

(7) パワー・フェイル比較しきい値レジスタ (ADA0PFT)

A/D変換結果レジスタnH (ADA0CRnH) と大小比較する場合のしきい値を設定するレジスタです。
ADA0PFTレジスタに設定した8ビット・データとA/D変換結果レジスタの上位8ビット (ADA0CRnH) が比較されます。
ADA0PFTレジスタは8/1ビット単位でリード/ライト可能です。
リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF205H

	7	6	5	4	3	2	1	0
ADA0PFT								

13.5 動作

13.5.1 基本動作

ADA0M0.ADA0PSビット = 1に設定し、A/Dをパワー・オンします。このときADA0M0.ADA0CEビットは0のままとしてください。それ以外のビットは同時設定が可能です。

A/D変換する動作モード、トリガ・モード、変換時間などをADA0M0, ADA0M1, ADA0M2, ADA0Sレジスタで設定します。

ADA0M0レジスタのADA0CEビットをセットすると、ソフトウェア・トリガ・モードのとき、A/Dをパワー・オン（ADA0M0.ADA0PSビット = 0 1）してから安定時間以上経過後、変換を開始し、外部/タイマ・トリガ・モード時はトリガ待機状態になります。

A/D変換が開始されると選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ（SAR）のビット9をセットし、比較電圧生成DACを $(1/2) AV_{REF0}$ にします。

比較電圧生成DACとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力 $(1/2) AV_{REF0}$ よりも大きければ、SARレジスタのMSBをセットしたままです。また、 $(1/2) AV_{REF0}$ よりも小さければMSBをリセットします。

次にSARレジスタのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、次に示すように比較電圧生成DACが選択されます。

・ビット9 = 1 : $(3/4) AV_{REF0}$

・ビット9 = 0 : $(1/4) AV_{REF0}$

この比較電圧とアナログ入力電圧を比較し、その結果でSARレジスタのビット8を次のように操作します。

アナログ入力電圧 比較電圧 : ビット8 = 1

アナログ入力電圧 比較電圧 : ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。

10ビットの比較が終了したとき、SARレジスタには有効なデジタルの結果が残り、その値がADA0CRnレジスタに転送され格納されます。そのあと、A/D変換終了割り込み要求信号（INTAD）を発生します。

ワンショット・セレクト・モードの場合は、変換を停止します（このときADA0M0.ADA0CEビットは1を保持し、自動クリアはされません）。

ワンショット・スキャン・モードの場合は、スキャンを一巡すると停止します。連続セレクト・モード、連続スキャン・モードの場合には、ADA0M0.ADA0CEビット = 0とするまで ~ を繰り返します。

13.5.2 トリガ・モード

トリガ・モードの設定により、変換動作の開始タイミングの指定を行います。トリガ・モードにはソフトウェア・トリガ・モード、ハードウェア・トリガ・モードがあり、ハードウェア・トリガ・モードでは、タイマ・トリガ・モード0-2、外部トリガ・モードの4つがあります。トリガ・モードの設定はADA0M0.ADA0TMDビットで行い、ハードウェア・トリガ・モードの設定はADA0M2.ADA0TMD1, ADA0TMD0ビットで行います。

(1) ソフトウェア・トリガ・モード

ADA0M0.ADA0CEビットを“1”に設定すると、ADA0Sレジスタで指定したアナログ入力（ANIn端子）に対し、変換動作を開始します。変換を終了すると、変換結果をADA0CRnレジスタに格納し、同時に、A/D変換終了割り込み要求信号（INTAD）を発生します。

ADA0M0.ADA0MD1, ADA0MD0ビットで設定される動作モードが、連続セレクト/スキャン・モードであれば、変換終了後はADA0CEビットを“0”にしないかぎり、次の変換を繰り返し行います。動作モードがワンショット・セレクト/スキャン・モードであれば、1回で変換を終了します。

変換が開始されると、ADA0M0.ADA0EFビット = 1（動作中）となります。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合、変換は中断され、再度最初から変換を行います。

(2) 外部トリガ・モード

外部トリガ（ADTRG端子）の入力により、ADA0Sレジスタで指定したアナログ入力（ANIn端子）に対し、変換動作を開始するモードです。ADA0M0.ADA0ETS1, ADA0ETS0ビットの設定により、外部トリガのエッジ検出（立ち上がり、立ち下がり、立ち上がり/立ち下がりの両エッジ）の指定ができます。ADA0CEビットをセット（1）設定するとトリガ待機状態となり、外部トリガが入力された後に変換を開始します。

ADA0MD1, ADA0MD0ビットで設定される動作モードが、連続セレクト/連続スキャン/ワンショット・スキャン・モードにかかわらず、変換を終了すると、変換結果をADA0CRnレジスタに格納し、同時に、INTAD信号を発生し、再びトリガ待機状態になります。

変換が開始されると、ADA0EFビット = 1（動作中）となります。ただし、トリガ待機状態の時はADA0EFビット = 0（停止中）となります。変換動作中に有効なトリガが入力されると、変換は中断され、再度最初から変換を行います。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合、変換は中断され、再度トリガ待機状態になります。

(3) タイマ・トリガ・モード

タイマに接続されたキャプチャ/コンペア・レジスタのコンペア一致割り込み要求信号 (INTTAA2CC0, INTTAA2CC1, TABTADT0) により, ADA0Sレジスタで指定したアナログ入力 (ANIn端子) に対し, 変換動作を開始するモードです。ADA0TMD1, ADA0TMD0ビットの設定により, INTTAA2CC0, INTTAA2CC1, TABTADT0信号のいずれかを指定し, 指定されたコンペア一致割り込み要求信号の立ち上がりエッジで変換を開始します。ADA0CEビットをセット (1) するとトリガ待機状態となり, タイマのコンペア一致割り込み要求信号が入力されたあとに変換を開始します。

ADA0MD1, ADA0MD0ビットで設定される動作モードが, 連続セレクト/連続スキャン/ワンショット・スキャン・モードにかかわらず, 変換を終了すると, 変換結果をADA0CRnレジスタに格納し, 同時に, INTAD信号を発生し, 再びトリガ待機状態になります。

変換が開始されると, ADA0EFビット = 1 (動作中) となります。ただし, トリガ待機状態の時はADA0EFビット = 0 (停止中) となります。変換動作中に有効なトリガが入力されると, 変換は中断され, 再度最初から変換を行います。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合, 変換は中断され, 再度, トリガ待機状態になります。

13.5.3 動作モード

動作モードには、ANIn端子を設定するモードとして、連続セレクト・モード、連続スキャン・モード、ワンショット・セレクト・モード、ワンショット・スキャン・モードの4つがあります。

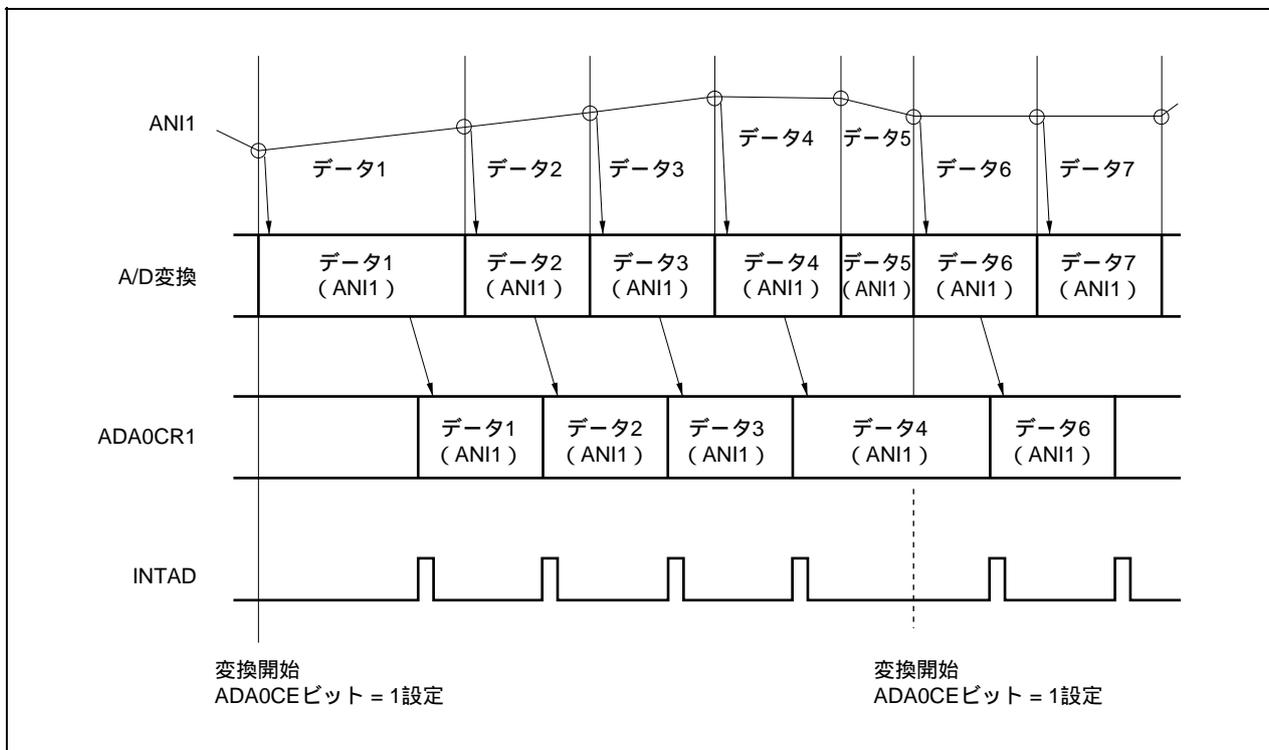
動作モードはADA0M0.ADA0MD1, ADA0MD0ビットで設定します。

(1) 連続セレクト・モード

ADA0Sレジスタで指定される1つのアナログ入力端子の電圧を連続してA/D変換します。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。このモードではアナログ入力端子とADA0CRnレジスタは1対1に対応しており、1回のA/D変換終了ごとにA/D変換終了割り込み要求信号(INTAD)が発生します。変換終了後はADA0M0.ADA0CEビットを“0”にしないかぎり、次の変換を繰り返していきます。

図13-3 連続セレクト・モード動作タイミング例 (ADA0Sレジスタ = 01H)

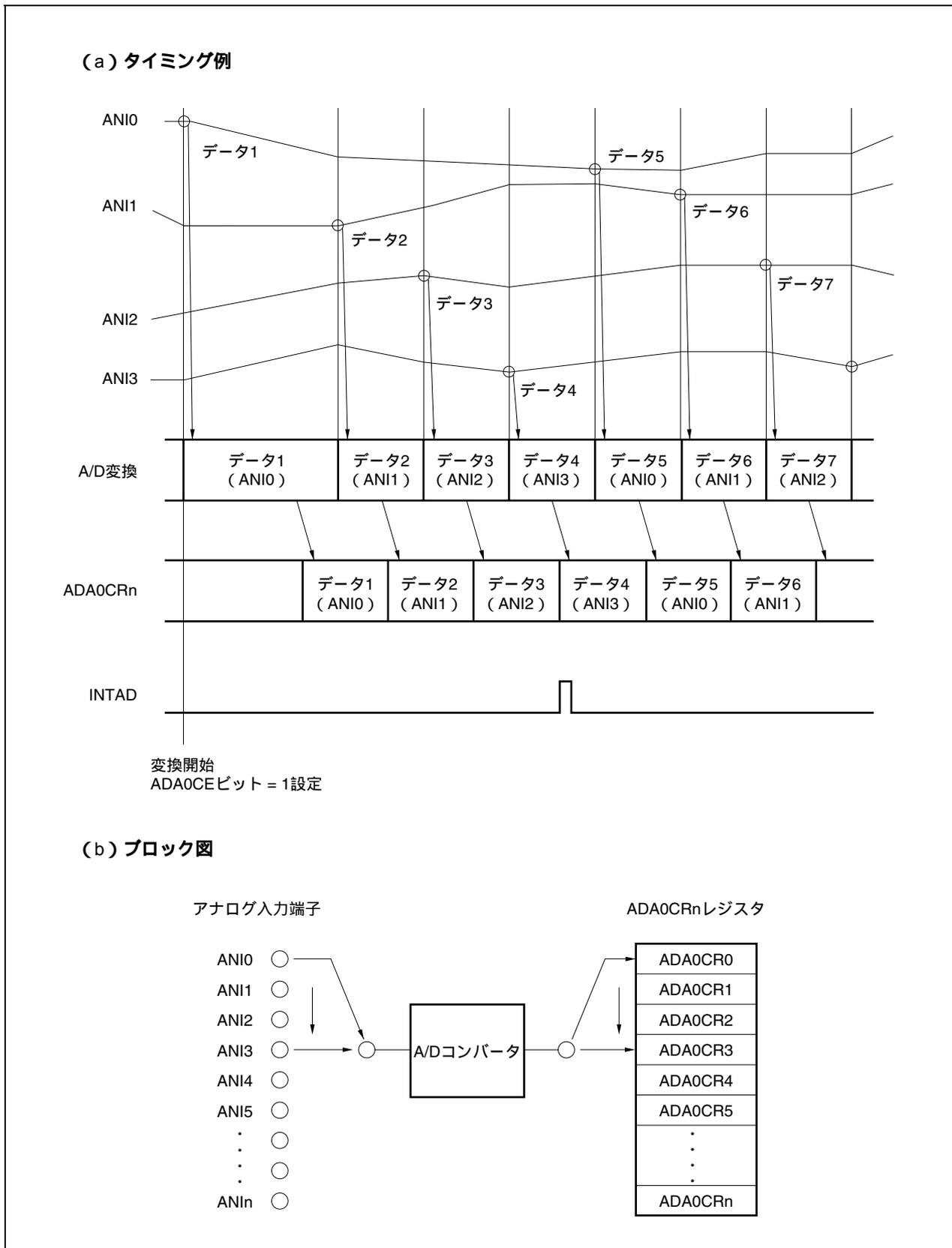


(2) 連続スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択し、A/D変換を連続で行います。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。ADA0Sレジスタで指定したアナログ入力端子の変換を終了すると、INTAD信号が発生し、ADA0CEビットを“0”にしないかぎり、再びANI0端子からA/D変換を開始します。

図13 - 4 連続スキャン・モード動作タイミング例 (ADA0Sレジスタ = 03H)

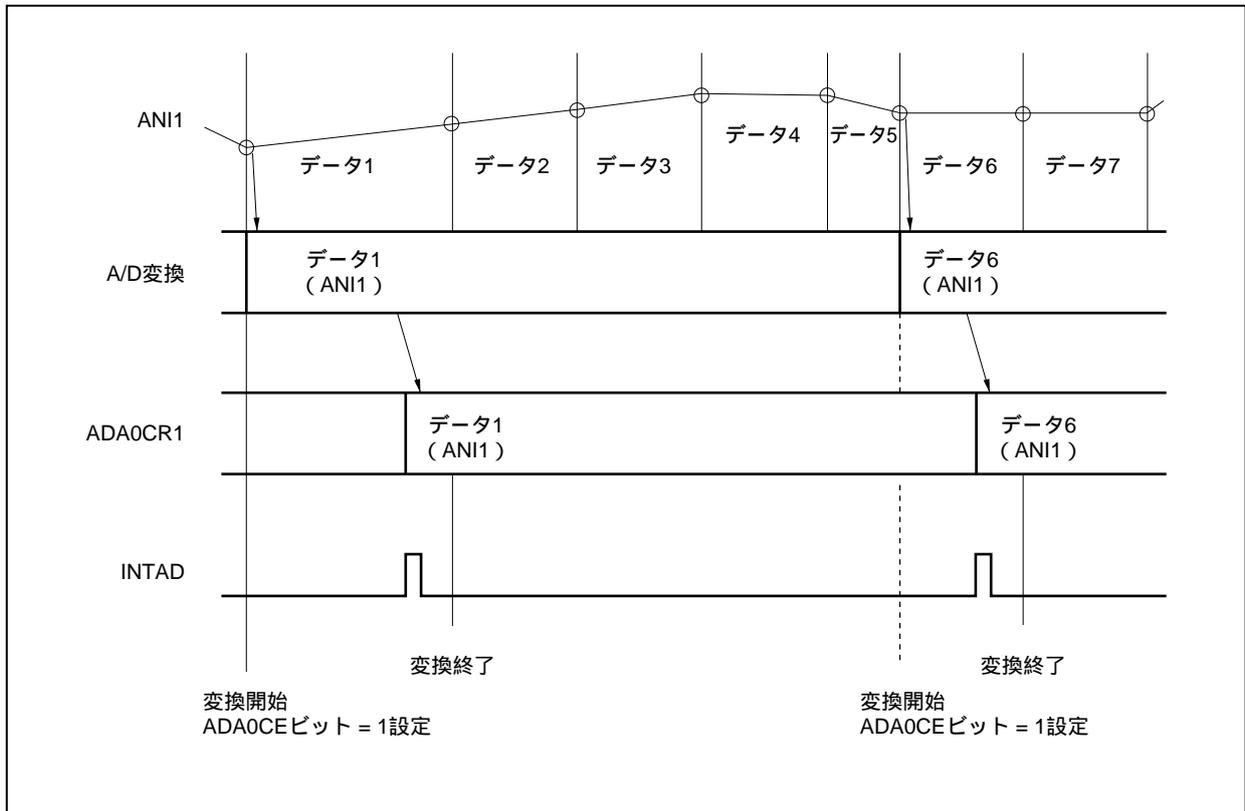


(3) ワンショット・セレクト・モード

ADA0Sレジスタで指定される1つのアナログ入力端子を1回のみA/D変換します。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。このモードではアナログ入力端子とADA0CRnレジスタは1対1に対応しており、1回のA/D変換終了後、INTAD信号が発生します。A/D変換終了後はA/D変換動作を停止します。

図13 - 5 ワンショット・セレクト・モード動作タイミング例 (ADA0Sレジスタ = 01H)

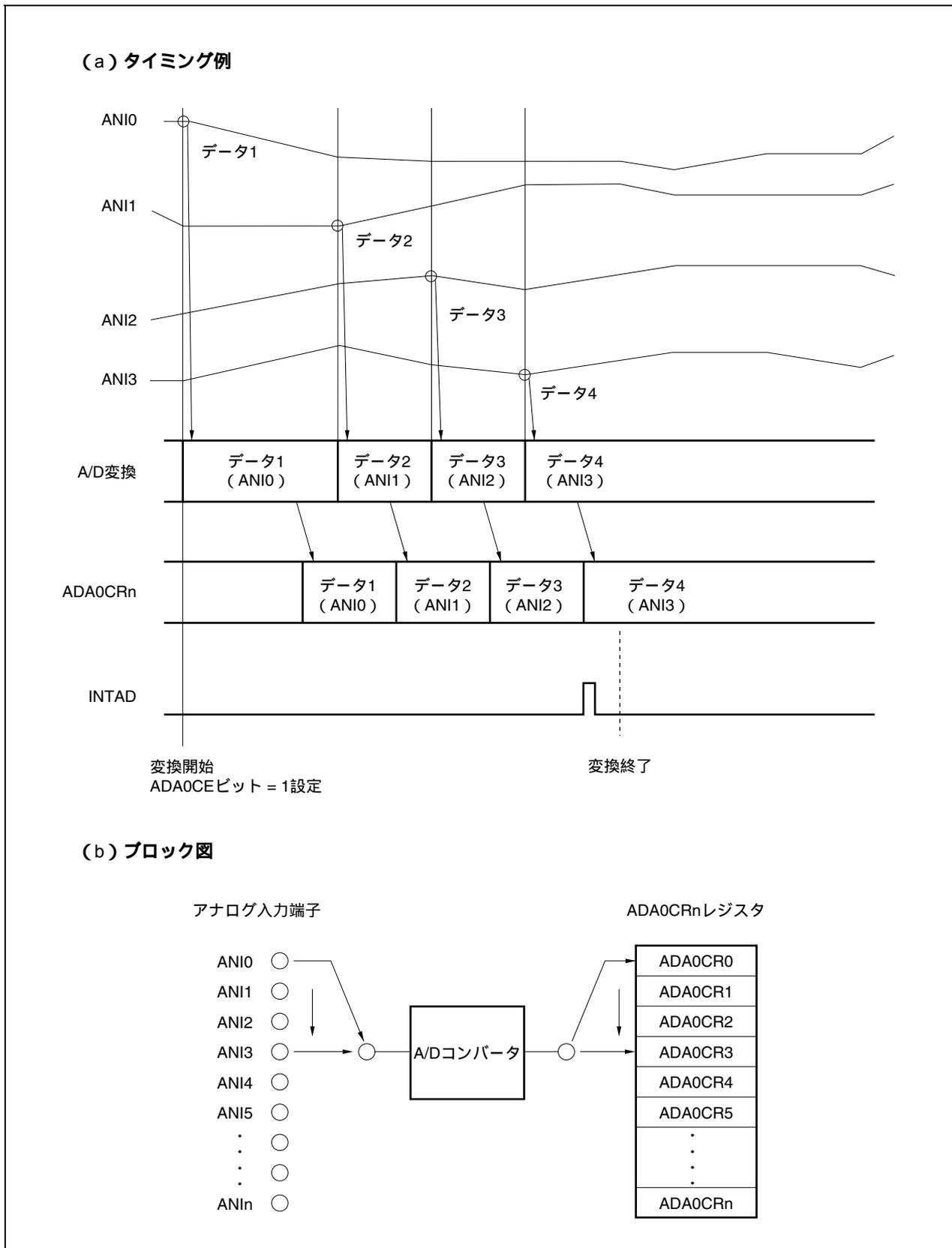


(4) ワンショット・スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択し、A/D変換します。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。ADA0Sレジスタで指定したアナログ入力端子の変換を終了すると、INTAD信号が発生し、A/D変換終了後はA/D変換動作を停止します。

図13-6 ワンショット・スキャン・モード動作タイミング例 (ADA0Sレジスタ = 03H)



13.5.4 パワー・フェイル比較モード

ADA0PFM, ADA0PFTレジスタにより, A/D変換終了割り込み要求信号(INTAD)を次のように制御できます。

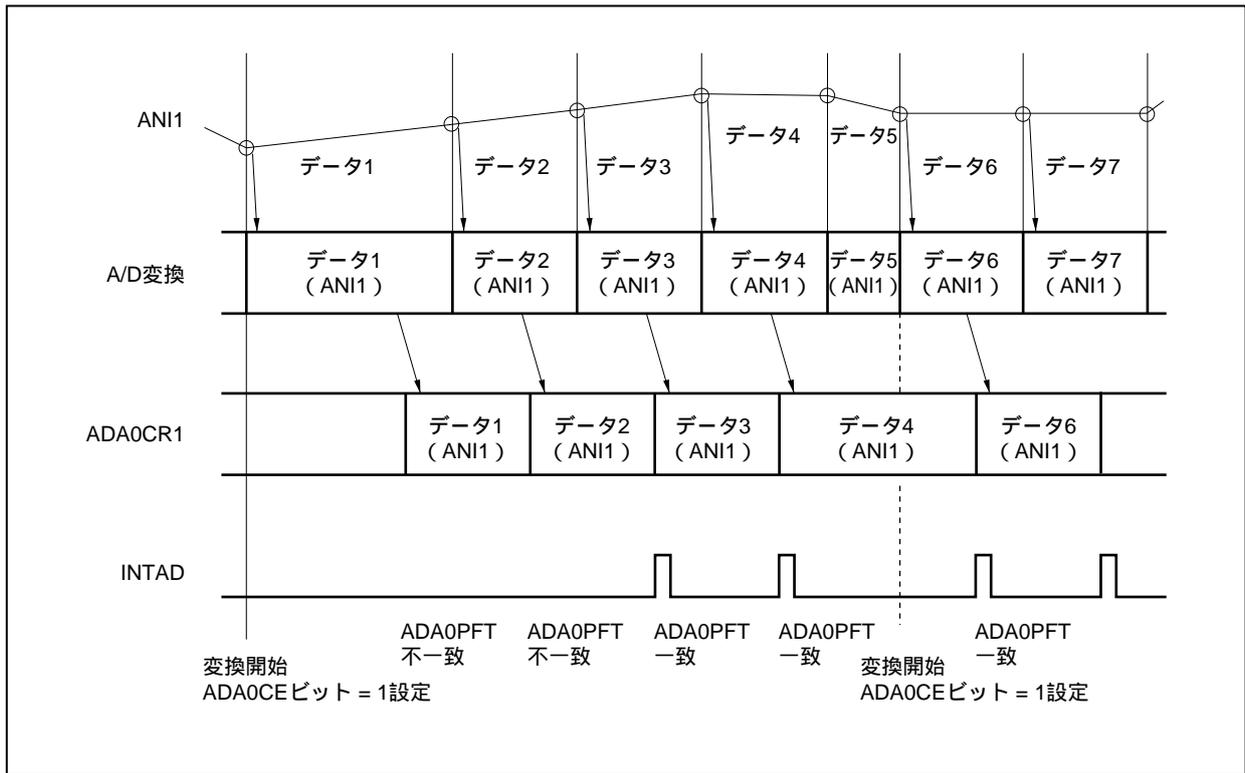
- ・ ADA0PFM.ADA0PFEビット = 0の場合, 変換終了ごとにINTAD信号が発生します(通常のA/Dコンバータとして使用)。
- ・ ADA0PFEビット = 1かつADA0PFM.ADA0PFCビット = 0の場合, 変換終了タイミングでADA0CRnHレジスタとADA0PFTレジスタの値を比較し, ADA0CRnH > ADA0PFTの場合のみ, INTAD信号が発生します。
- ・ ADA0PFEビット = 1かつADA0PFCビット = 1の場合, 変換終了タイミングでADA0CRnHレジスタとADA0PFTレジスタの値を比較し, ADA0CRnH < ADA0PFTの場合のみ, INTAD信号が発生します。

パワー・フェイル比較モードにもANIn端子を設定するモードとして, 連続セレクト・モード, 連続スキャン・モード, ワンショット・セレクト・モード, ワンショット・スキャン・モードの4つがあります。

(1) 連続セレクト・モード

ADA0Sレジスタで指定された1つのアナログ入力端子電圧の変換結果とADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CRnレジスタに格納し、INTAD信号が発生します。一致しない場合、変換結果をADA0CRnレジスタに格納し、INTAD信号を発生しません。変換終了後はADA0M0.ADA0CEビットを“0”にしないかぎり、次の変換を繰り返し行います。

図13-7 連続セレクト・モード動作タイミング例 (パワー・フェイル比較時：ADA0Sレジスタ = 01H)

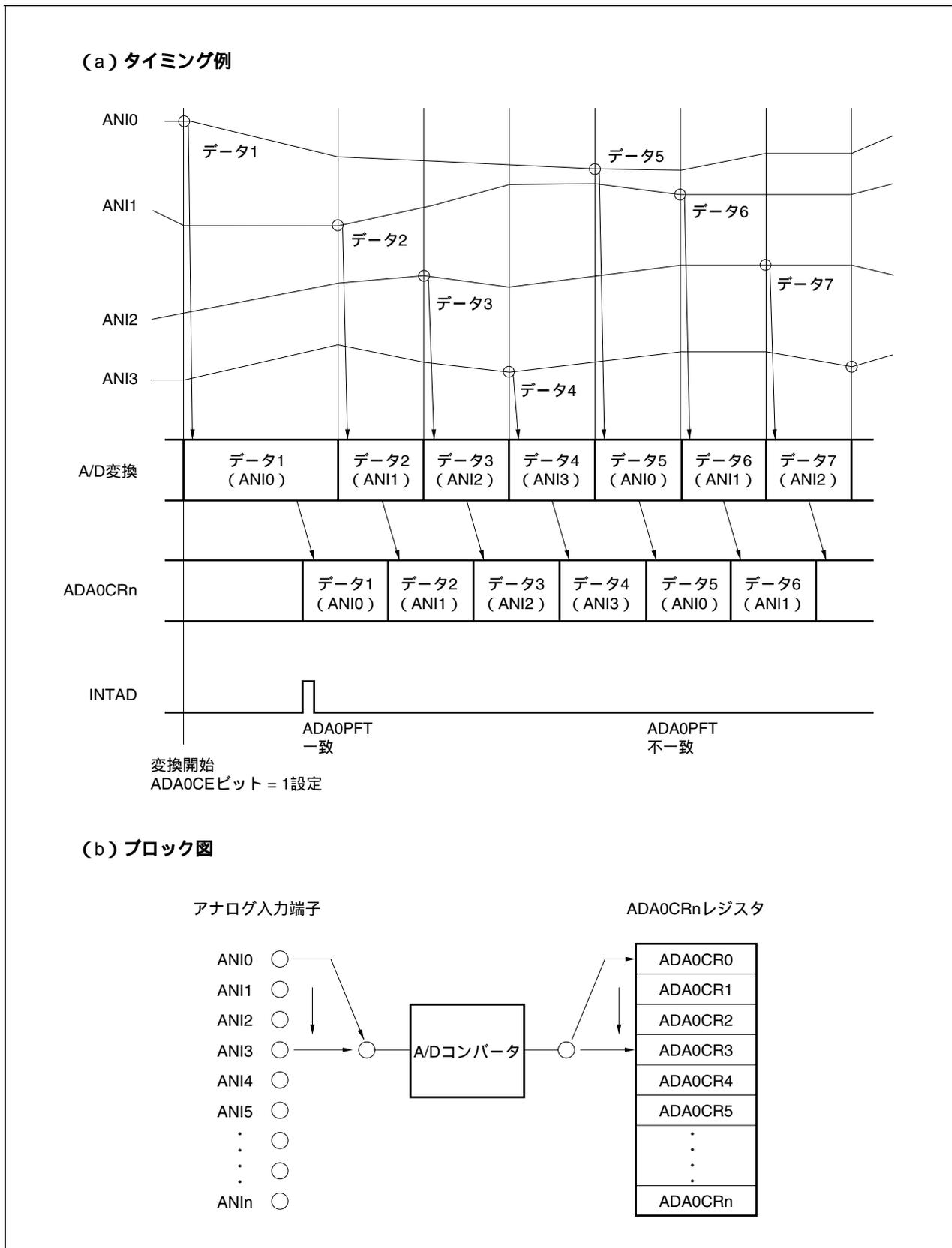


(2) 連続スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択した変換結果を格納し、チャンネル0のADA0CR0HレジスタとADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生します。一致しない場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生しません。

ADA0CR0レジスタに格納後、ADA0Sレジスタで指定されたアナログ入力端子まで順に変換結果を格納します。変換終了後はADA0CEビットを“0”にしないかぎり、再びANI0端子から変換を開始します。

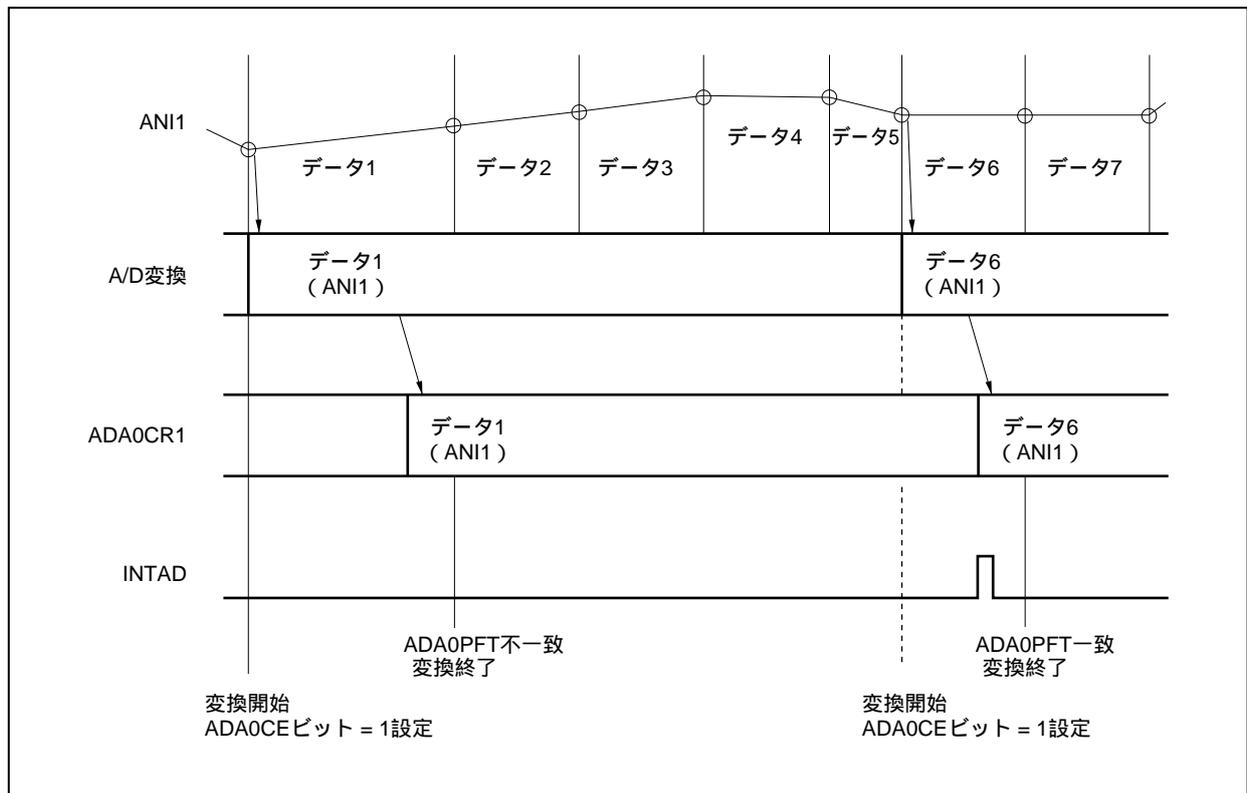
図13-8 連続スキャン・モード動作タイミング例 (パワー・フェイル比較時: ADA0Sレジスタ = 03H)



(3) ワンショット・セレクト・モード

ADA0Sレジスタで指定された1つのアナログ入力端子の変換結果とADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CRnレジスタに格納し、INTAD信号が発生します。一致しない場合、変換結果をADA0CRnレジスタに格納し、INTAD信号を発生しません。変換終了後は変換を停止します。

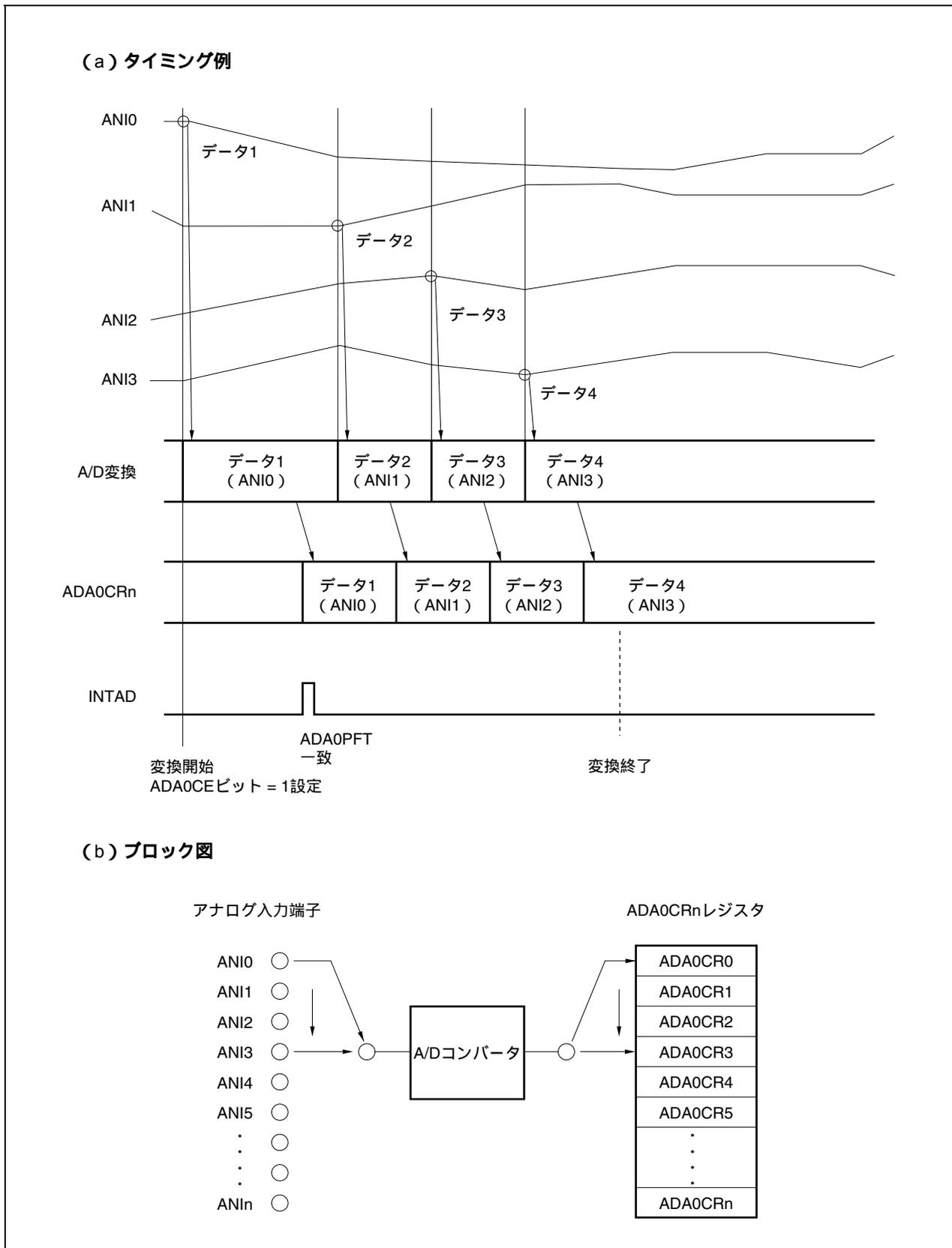
図13 - 9 ワンショット・セレクト・モード動作タイミング例 (パワー・フェイル比較時 : ADA0Sレジスタ = 01H)



(4) ワンショット・スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択した変換結果を格納し、チャンネル0のADA0CR0HレジスタとADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生します。一致しない場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生しません。ADA0CR0レジスタに格納後、ADA0Sレジスタで指定されたアナログ入力端子まで順に変換結果を格納します。変換終了後は変換を停止します。

図13 - 10 ワンショット・スキャン・モード動作タイミング例(パワー・フェイル比較時: ADA0Sレジスタ = 03H)



13.6 注意事項

(1) A/Dコンバータ未使用時について

未使用時は、ADA0M0.ADA0CEビット = 0およびADA0M0.ADA0PSビット = 0とすることにより消費電力を低減できます。

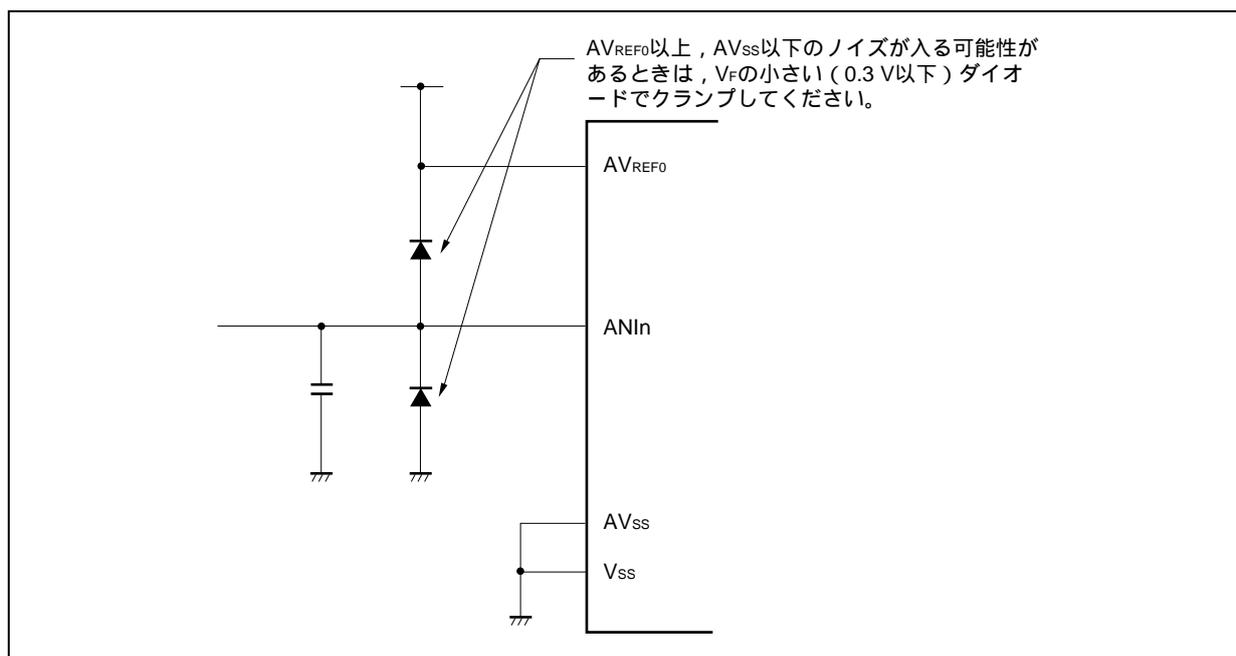
(2) ANIn端子入力範囲について

ANIn端子の入力電圧は規格の範囲内で使用してください。ただし、絶対最大定格の範囲内であっても AV_{REF0} 以上、 AV_{SS} 以下の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) ノイズ対策について

10ビット分解能を保つためには、ANIn端子へのノイズに注意する必要があります。アナログ入力源の出カインピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図13 - 11のようにコンデンサを外付けすることを推奨します。

図13 - 11 アナログ入力端子の処理



(4) 兼用入出力について

アナログ入力(ANIn)端子はポート端子と兼用になっています。ANIn端子のいずれかを選択してA/D変換をする場合、変換中に入力ポートへの読み出し命令、または出力ポートへの書き込み命令を実行しないでください。変換分解能が低下することがあります。

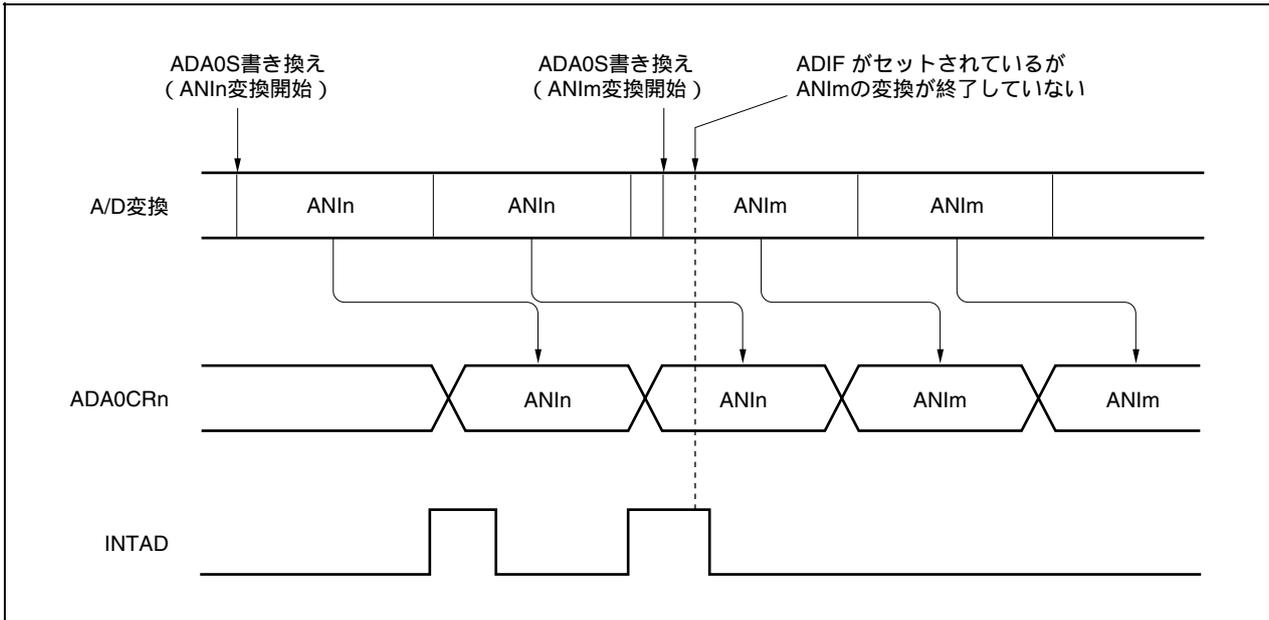
また、A/D変換中に出力ポートに設定している端子で、ポート端子に接続される外部回路の影響で出力電流が変動する場合も変換分解能が低下することがあります。

A/D変換中の端子に隣接する端子へデジタル・パルス印加したりデジタル・パルス出力したりすると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加またはパルス出力はしないでください。

(5) 割り込み要求フラグ (ADIF) について

ADA0Sレジスタを変更しても、割り込み要求フラグ (ADIF) はクリアされません。したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADA0Sレジスタ書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があります、ADA0Sレジスタ書き換え直後にADIFフラグを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされている場合がありますので注意してください。また、A/D変換を一度停止させて再開する場合は、再開する前にADIFフラグをクリアしてください。

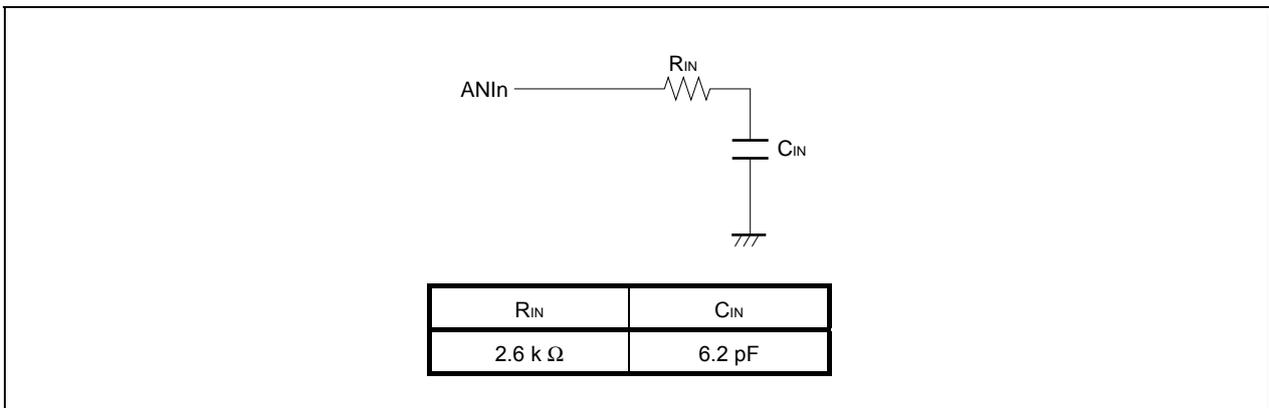
図13 - 12 A/D変換終了割り込み要求発生タイミング



(6) 内部等価回路について

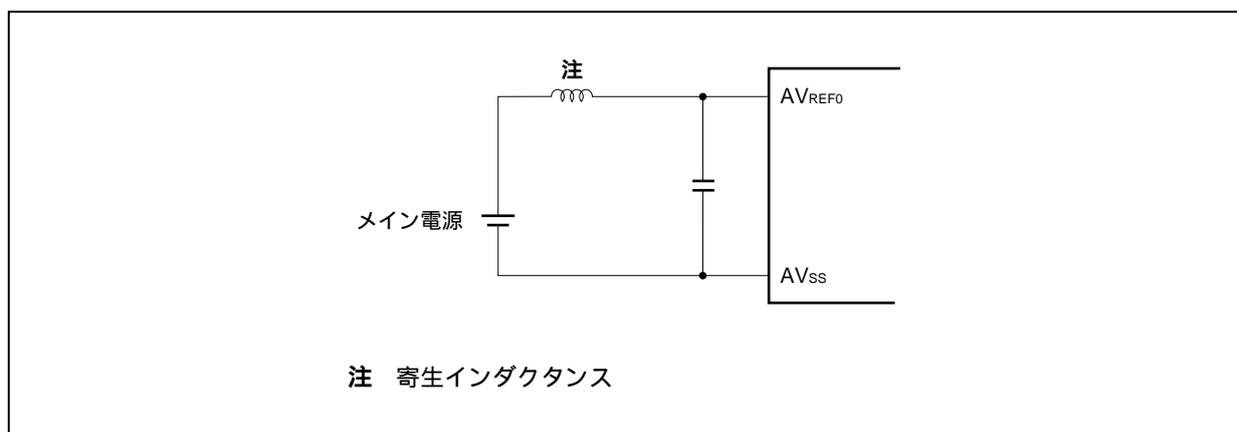
アナログ入力部の等価回路を次に示します。

図13 - 13 ANIn端子内部等価回路



(7) AV_{REF0}端子について

- (a) AV_{REF0}端子はA/Dコンバータの電源端子を兼用しており、また兼用ポートにも電源を供給しています。したがって、バックアップ電源に切り替えるようなアプリケーションにおいても図13 - 14のように必ず電気的特性で規定する電位を印加してください。
- (b) AV_{REF0}端子はA/Dコンバータ用の基準電圧端子を兼用しています。したがって、AV_{REF0}端子への供給部のインピーダンス値が高い場合や、電源の電流供給能力が低い場合、変換時に流れる電流（特に変換動作許可ADA0CEビット = 1とした直後）により基準電圧が変動し、変換精度が悪くなるおそれがあります。これを避けるため図13 - 14のようにAV_{REF0}端子とAV_{SS}端子間にコンデンサを接続し変動を抑えるようにすることを推奨します。
- (c) AV_{REF0}端子への供給部に直流抵抗値（ダイオード挿入など）が高いと、A/D変換電流による電圧降下により、変換動作停止時より動作許可時のほうが電圧が低くなる可能性があります。

図13 - 14 AV_{REF0}端子の処理例

(8) ADA0CRnレジスタの読み出しについて

ADA0M0-ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに対して書き込み動作を行ったとき、ADA0CRnレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、ADA0M0-ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに対して書き込み動作を行う前に読み出してください。また、外部/タイマ・トリガを受け付けたときも、ADA0CRnレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、次の外部/タイマ・トリガを受け付ける前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(9) A/D変換結果のばらつきについて

アナログ入力端子および基準電圧入力端子にノイズがのる場合は、ノイズにより不正な変換結果が生じることがあります。この不正な変換結果により、システムに悪影響を与えることを避けるために、ソフトウェア処理が必要です。次にソフトウェア処理の例を示します。

- ・複数回のA/D変換結果の平均値をA/D変換結果として使用する。
- ・複数回のA/D変換を連続して行い、特異な変換結果が得られた場合、この値を除外した変換結果を使用する。

- ・システムに異常が発生したと判断されるようなA/D変換結果が得られた場合、ただちに異常処理を行わず、再度異常発生を確認した上で異常処理を行う。

(10) スタンバイ・モードについて

A/Dコンバータは、STOPモード時に動作が停止するため、変換結果は無効になり消費電力を低減できます。STOPモード解除後、再び動作を開始しますが、STOPモード解除後のA/D変換結果は無効です。STOPモード解除後にA/Dコンバータを使用する場合は、STOPモード設定前またはSTOPモード解除後にADA0M0.ADA0CEビット = 0およびADA0M0.ADA0PSビット = 0に設定してからSTOPモード解除後にADA0M0.ADA0PSビット = 0およびADA0M0.ADA0CEビット = 1に設定してください。

IDLE1, IDLE2モード、サブクロック動作モードでは動作が保持されるため、消費電力を低減する場合にはADA0M0.ADA0CEビット = 0およびADA0M0.ADA0PS = 0にしてください。ただし、IDLE1, IDLE2モード期間中は、アナログ入力電圧値が保持できなくなるため、IDLE1, IDLE2モード解除後のA/D変換結果は無効です。また、IDLE1, IDLE2モード設定前のA/D変換結果は有効です。

(11) A/D変換のヒステリシス特性について

逐次比較型A/Dコンバータは、内部のサンプル&ホールド用コンデンサにアナログ入力電圧を保持し、そのあと、A/D変換を行います。A/D変換が終了したあとも、内部のサンプル&ホールド用コンデンサには、アナログ入力電圧が残っています。このため次のような現象が起きることがあります。

- ・同一チャンネルでA/D変換を実行する場合、以前のA/D変換時よりも高い電圧、または低い電圧に変化していると、変換結果が以前の値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。
- ・アナログ入力チャンネルを切り替える場合、1つのA/Dコンバータを用いてA/D変換を行っているため、変換結果が以前のチャンネルの値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。

このため、より正確な変換結果を得たい場合は、同一チャンネルで2回連続A/D変換を行い、1回目の変換結果を廃棄してください。

13.7 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次のような式になります。

$$\begin{aligned} 1 \text{ \%FSR} &= (\text{変換可能なアナログ入力電圧の最大値} - \text{変換可能なアナログ入力電圧の最小値}) / 100 \\ &= (AV_{REF0} - 0) / 100 \\ &= AV_{REF0} / 100 \end{aligned}$$

分解能10ビットのとき、1 LSBは次のようになります。

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \text{ \%FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

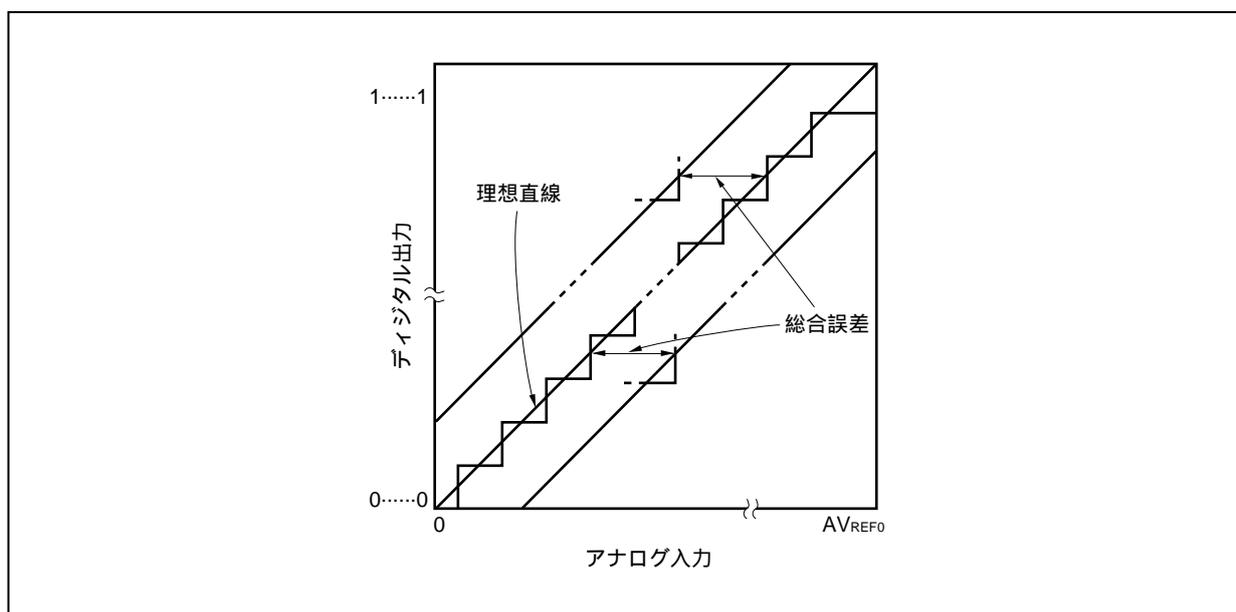
(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、直線性誤差、およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

図13 - 15 総合誤差

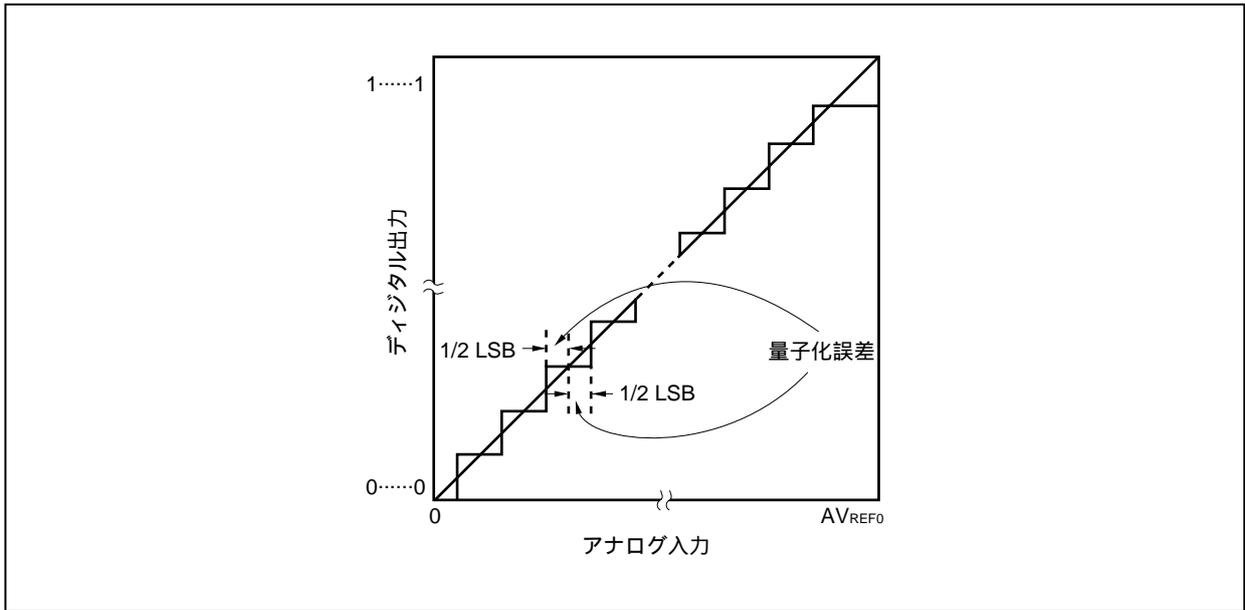


(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

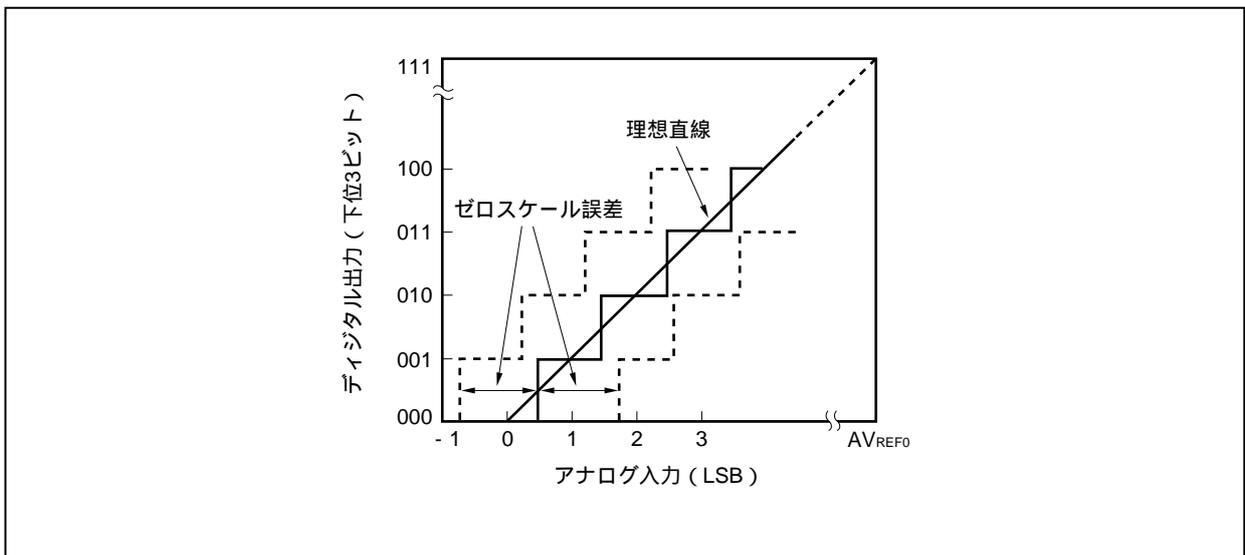
図13 - 16 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値 ($1/2$ LSB) との差を表します。

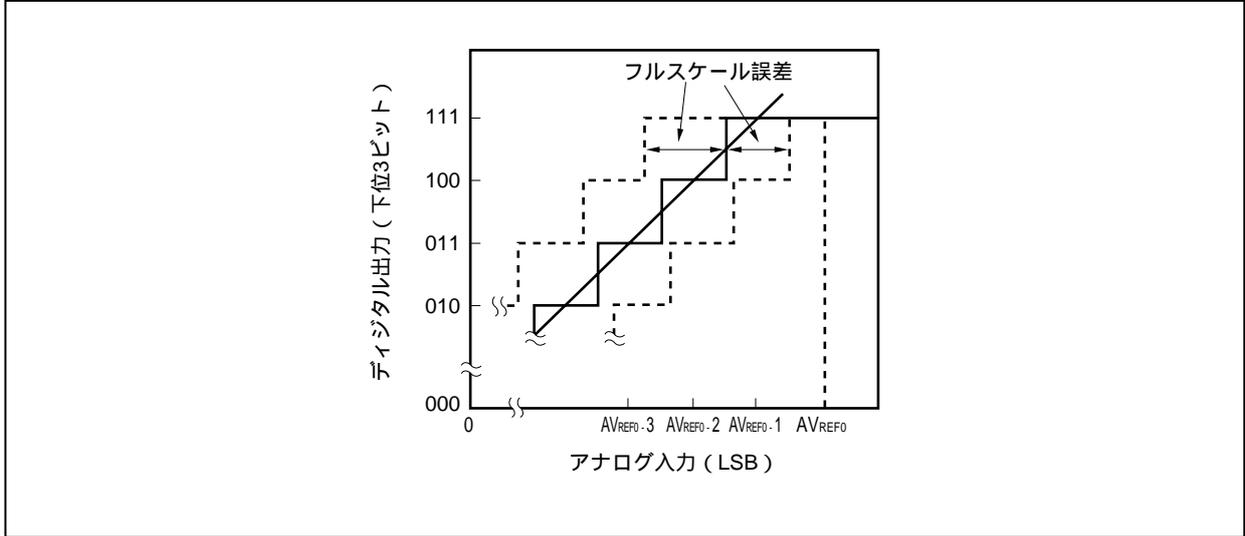
図13 - 17 ゼロスケール誤差



(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール - 3/2 LSB）との差を表します。

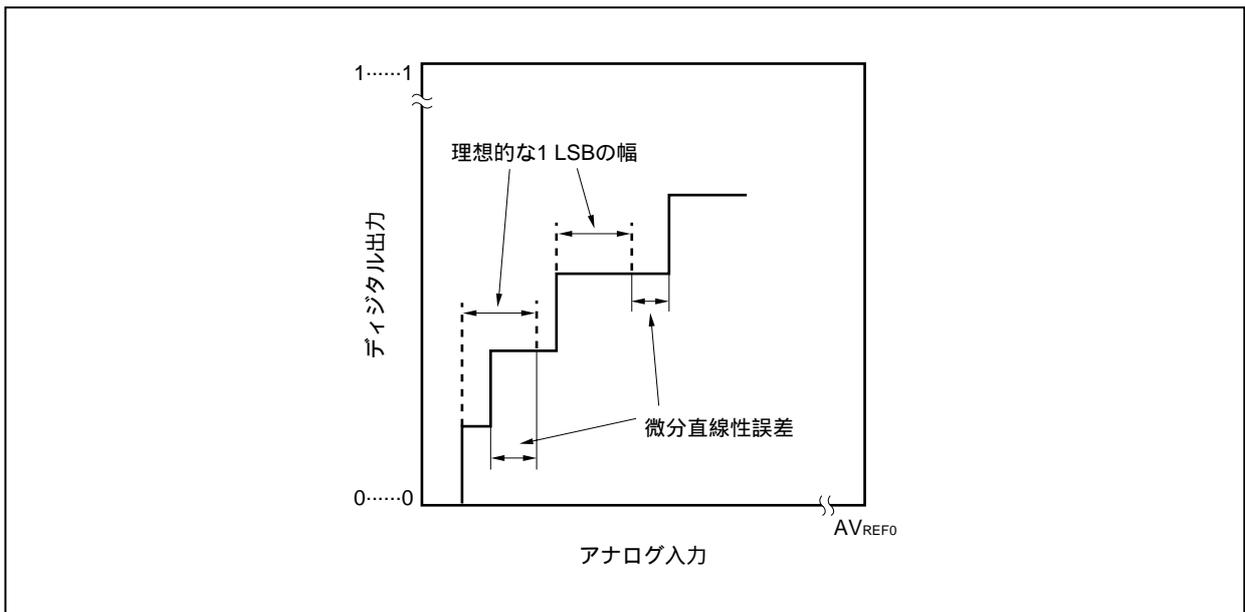
図13 - 18 フルスケール誤差



(6) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。同一チャネルのアナログ入力端子に印加する電圧をAVSSからAVREF0まで少しずつ単調増加させた場合のA/D変換の基本特性を示します。入力電圧が増減する場合や複数チャネルを使用する場合は、13.7 (2) 総合誤差を参照してください。

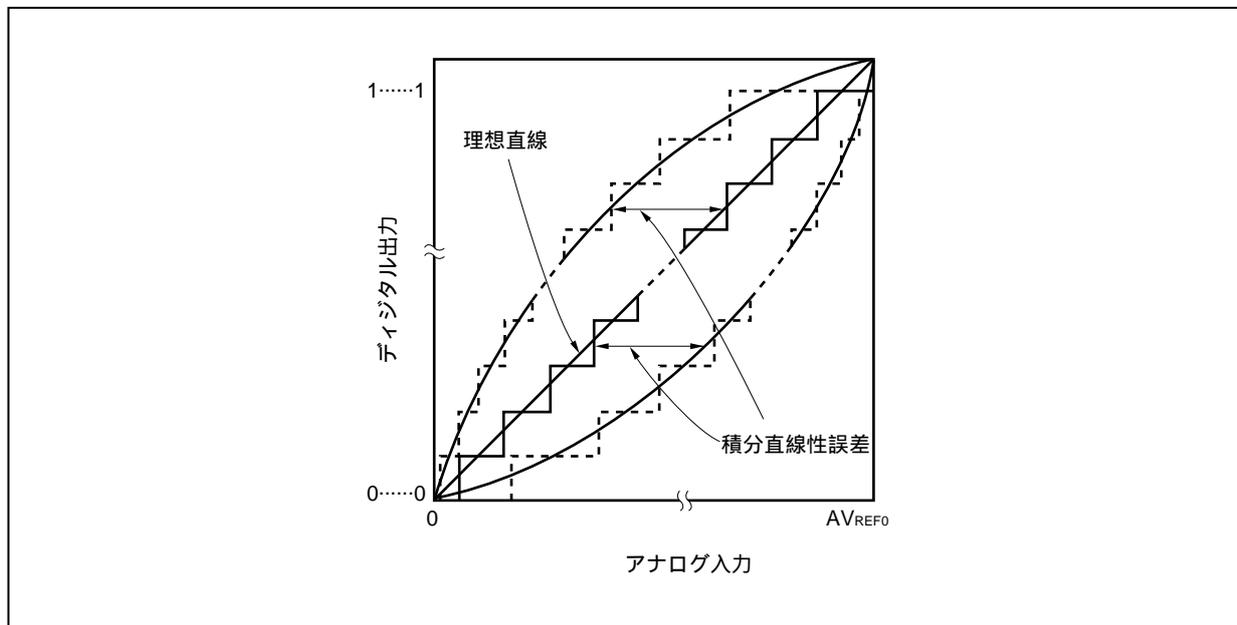
図13 - 19 微分直線性誤差



(7) 積分直線性誤差

変換特性が、理想的な直線関係からはずれている程度を指します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

図13 - 20 積分直線性誤差



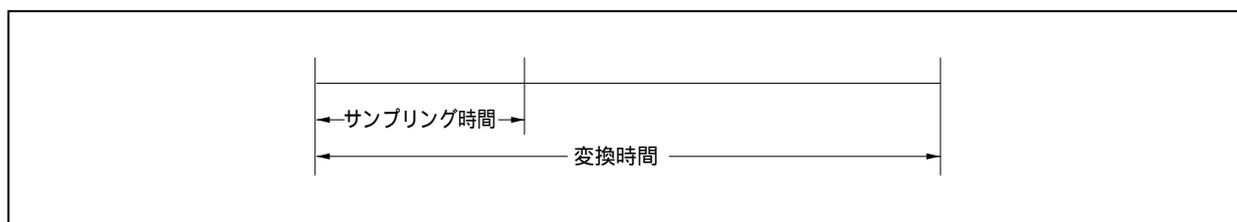
(8) 変換時間

各トリガが発生してから、デジタル出力が得られるまでの時間を表します。
特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。

図13 - 21 サンプリング時間



第14章 アシクロナス・シリアル・インタフェースD(UARTD)

V850ES/Hx3では、調歩同期通信に対応した、アシクロナス・シリアル・インタフェースD(UARTD)を搭載しています。各製品により、チャンネル数が異なります。表14 - 1に製品ごとのチャンネル数を示します。

表14 - 1 アシクロナス・シリアル・インタフェースDのチャンネル数

品名	V850ES/HE3	V850ES/HF3	V850ES/HG3	V850ES/HJ3	
				μ PD70F3755	μ PD70F3757
チャンネル数	2チャンネル UARTD0, UARTD1	2チャンネル UARTD0, UARTD1	3チャンネル UARTD0-UARTD2	3チャンネル UARTD0-UARTD2	6チャンネル UARTD0-UARTD5

この章では、チャンネル数をnと省略して表記してあります。

14.1 特徴

転送速度 300 bps ~ 1.5 Mbps (内部システム・クロック32 MHz, 専用ポー・レート・ジェネレータ使用)

全二重通信 UARTDn受信データ・レジスタ (UDnRX) 内蔵

UARTDn送信データ・レジスタ (UDnTX) 内蔵

2端子構成 TXDDn : 送信データの出力端子

RXDDn : 受信データの入力端子

受信エラー検出機能

- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー
- ・LIN通信データ一貫性エラー検出機能
- ・SBF受信成功検出機能

割り込みソース : 3種類

- ・受信完了割り込み (INTUDnR) : 受信許可状態において、シリアル転送完了後、受信シフト・レジスタから受信データ・レジスタへ受信データを転送すると発生
- ・送信許可割り込み (INTUDnT) : 送信許可状態において、送信データ・レジスタから送信シフト・レジスタへ送信データを転送すると発生
- ・ステータス割り込み (INTUDnS) : 受信エラー, LIN通信データ一貫性エラー, またはSBF受信成功を検出すると発生

キャラクタ長 : 7, 8ビット

パリティ機能 : 奇数, 偶数, 0, なし

送信ストップ・ビット : 1, 2ビット

専用ポー・レート・ジェネレータ内蔵

MSB/LSBファースト転送選択可能

送受信データの反転入出力が可能

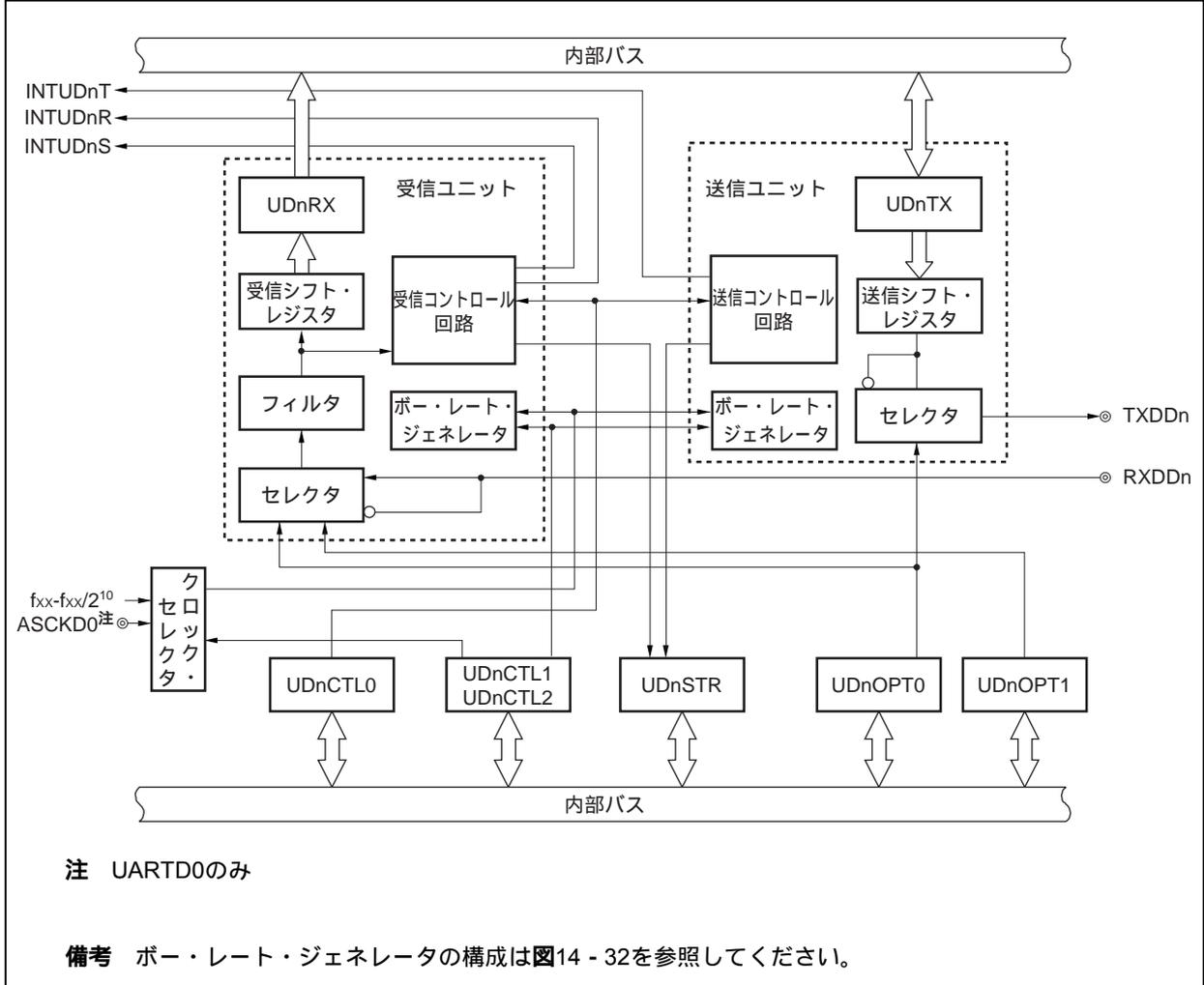
LIN (Local Interconnect Network) 通信フォーマットにおけるSBF (Synch Break Field) 送受信可能

- ・SBF送信は13-20ビットまで選択可能
- ・LIN通信フォーマットにおけるSBF受信は11ビット以上認識可能
- ・SBF受信フラグあり
- ・データ通信中に、新規のSBF受信を検出可能。
- ・送信データの一貫性チェック機能あり (送信データと受信データを比較し、不一致を検出する機能)

14.2 構成

次にUARTDnのブロック図を示します。

図14 - 1 アシクロナス・シリアル・インタフェースDnのブロック図



UARTDnは、次のハードウェアで構成されています。

表14 - 2 UARTDnの構成

項目	構成
レジスタ	UARTDn制御レジスタ0 (UDnCTL0)
	UARTDn制御レジスタ1 (UDnCTL1)
	UARTDn制御レジスタ2 (UDnCTL2)
	UARTDnオプション制御レジスタ0 (UDnOPT0)
	UARTDnオプション制御レジスタ1 (UDnOPT1)
	UARTDn状態レジスタ (UDnSTR)
	UARTDn受信シフト・レジスタ
	UARTDn受信データ・レジスタ (UDnRX)
	UARTDn送信シフト・レジスタ
	UARTDn送信データ・レジスタ (UDnTX)

(1) UARTDn制御レジスタ0 (UDnCTL0)

UDnCTL0レジスタは、UARTDnの動作を指定する8ビット・レジスタです。

(2) UARTDn制御レジスタ1 (UDnCTL1)

UDnCTL1レジスタは、UARTDnの入カクロックを選択する8ビット・レジスタです。

(3) UARTDn制御レジスタ2 (UDnCTL2)

UDnCTL2レジスタは、UARTDnのボー・レートを制御する8ビット・レジスタです。

(4) UARTDnオプション制御レジスタ0 (UDnOPT0)

UDnOPT0レジスタは、UARTDnのシリアル転送を制御する8ビット・レジスタです。

(5) UARTDnオプション制御レジスタ1 (UDnOPT1)

UDnOPT1レジスタは、UARTDnのシリアル転送動作を制御する8ビット・レジスタです。

(6) UARTDn状態レジスタ (UDnSTR)

UDnSTRレジスタは、受信エラー発生時のエラー内容を示すフラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット(1)され、UDnSTRレジスタの読み出しによってリセット(0)されます。

(7) UARTDn受信シフト・レジスタ

RXDDn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分のデータを受信し、ストップ・ビットを検出すると、受信データをUDnRXレジスタへ転送します。このレジスタは直接操作することはできません。

(8) UARTDn受信データ・レジスタ (UDnRX)

UDnRXレジスタは、受信データを保持する8ビットのバッファ・レジスタです。7キャラクタの受信では上位ビットには0が格納されます(LSBファースト受信時)。

受信許可状態中は、受信データは1フレーム分のシフト・イン処理終了に同期してUARTDn受信シフト・レジスタからUDnRXレジスタに転送されます。

また、UDnRXレジスタへの転送により、受信完了割り込み要求信号(INTUDnR)が発生します。

(9) UARTDn送信シフト・レジスタ

送信シフト・レジスタは、UDnTXレジスタから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

UDnTXレジスタから1バイト分のデータが転送されると、シフト・レジスタのデータをTXDDn端子から出力します。

このレジスタは直接操作することはできません。

(10) UARTDn送信データ・レジスタ (UDnTX)

UDnTXレジスタは、8ビットの送信データ用バッファです。UDnTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UDnTXレジスタにデータの書き込みが可能になる(UDnTXレジスタからUARTDn送信シフト・レジスタに1フレーム分のデータが転送される)と、送信許可割り込み要求信号(INTUDnT)が発生します。

14.3 シリアル・インタフェースの割り当て (μ PD70F3757のみ)

V850ES/Hx3のうちμ PD70F3757は、UARTD3用のRXDD3, TXDD3機能端子が、次のように2箇所割り当てられています。

表14-3 UARTD3の機能端子の割り当て

機能名	ピン番号	兼用機能
RXDD3	22	P40/SIB0/KR0/INTP14
	59	P80/INTP14
TXDD3	23	P41/SOB0/KR1
	60	P81

UARTD3を使用する場合は、ピン番号22と59を、またはピン番号23と60を同時に使用しないでください。また、ピン番号22と23を、またはピン番号59と60をセットで使用してください。

14.3.1 UARTD3とCSIB0を同時に使用する場合

μ PD70F3757では、ポート4においてUARTD3とCSIB0は1つの端子に機能が兼用されており、同時には使用できません。この場合UARTD3はポート8を使用してください。

- 注意1. UARTD3またはCSIB0において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証しません。モードの切り替えをする場合は、必ず動作禁止にしてから行ってください。
2. ピン番号22, 23をUARTD3のRXDD3, TXDD3端子として使用する場合、ピン番号59, 60をRXDD3, TXDD3端子に設定しないでください。

図14-2 UARTD3とCSIB0を同時に使用する場合の設定例

(1) CSIB0の設定

		PMC42	PMC41	PMC40
PMC4	0 0 0 0 0	1	1	1

		PFC42	PFC41	PFC40
PFC4	0 0 0 0 0	0	0	0

		PFCE41	PFCE40
PFCE4	0 0 0 0 0	0	0

(2) UARTD3の設定

		PMC81	PMC80
PMC8	0 0 0 0 0	0	1 ^注

注 P80端子には、RXDD3入力機能とINTP14入力機能が兼用されています。RXDD3入力機能として使用する場合にはINTP14端子のエッジ検出を無効にしてください (INTF8.INTF80ビット = 0, INTR8.INTR80ビット = 0に設定)

14.3.2 UARTD5とI²C00のモード切り替え

μPD70F3757では、UARTD5とI²C00は端子が兼用になっており、同時には使用できません。UARTD5を使用するときは、あらかじめPMC9, PFC9, PFCE9レジスタで設定する必要があります(4.3.9 ポート9参照)。

注意 UARTD5またはI²C00において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証しません。モードの切り替えをする場合は、必ず動作禁止にしてから行ってください。

図14 - 3 UARTD5とI²C00のモード切り替え設定

PMC9	15	14	13	12	11	10	9	8
	PMC915	PMC914	PMC913	PMC912	PMC911	PMC910	PMC99	PMC98
	7	6	5	4	3	2	1	0
	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90
PFC9	15	14	13	12	11	10	9	8
	PFC915	PFC914	PFC913	PFC912	PFC911	PFC910	PFC99	PFC98
	7	6	5	4	3	2	1	0
	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	PFC91	PFC90
PFCE9	15	14	13	12	11	10	9	8
	PFCE915	PFCE914	PFCE913	PFCE912	0	0	PFCE99	PFCE98
	7	6	5	4	3	2	1	0
	PFCE97	PFCE96	PFCE95	PFCE94	PFCE93	PFCE92	PFCE91	PFCE90
	PMC915	PFCE915	PFC915	動作モード				
	0	×	×	ポート入出力モード				
	1	1	0	SCL00入出力				
	1	1	1	TXDD4出力				
	PMC914	PFCE914	PFC914	動作モード				
	0	×	×	ポート入出力モード				
	1	1	0	SDA00入出力				
	1	1	1	RXDD4出力				

14.3.3 UARTD5とCSIB2のモード切り替え

μPD70F3757では、UARTD5とCSIB2は端子が兼用になっており、同時には使用できません。UARTD5を使用するときは、あらかじめPMC9、PFC9、PFCE9レジスタで設定する必要があります(4.3.9 ポート9参照)。

注意 UARTD5またはCSIB2において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証しません。モードの切り替えをする場合は、必ず動作禁止にしてから行ってください。

図14 - 4 UARTD5とCSIB2のモード切り替え設定

PMC9	15	14	13	12	11	10	9	8
	PMC915	PMC914	PMC913	PMC912	PMC911	PMC910	PMC99	PMC98
	7	6	5	4	3	2	1	0
	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90
PFC9	15	14	13	12	11	10	9	8
	PFC915	PFC914	PFC913	PFC912	PFC911	PFC910	PFC99	PFC98
	7	6	5	4	3	2	1	0
	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	PFC91	PFC90
PFCE9	15	14	13	12	11	10	9	8
	PFCE915	PFCE914	PFCE913	PFCE912	0	0	PFCE99	PFCE98
	7	6	5	4	3	2	1	0
	PFCE97	PFCE96	PFCE95	PFCE94	PFCE93	PFCE92	PFCE91	PFCE90
				動作モード				
	PMC912	PFCE912	PFC912					
	0	×	×	ポート入出力モード				
	1	0	1	SCKB2入出力				
	1	1	1	TXDD5出力				

14.4 レジスタ

(1) UARTDn制御レジスタ0 (UDnCTL0)

UDnCTL0レジスタは、UARTDnシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより10Hになります。

(1/2)

リセット時：10H R/W アドレス：UD0CTL0 FFFFFFFA00H, UD1CTL0 FFFFFFFA10H,
UD2CTL0 FFFFFFFA20H, UD3CTL0 FFFFFFFA30H,
UD4CTL0 FFFFFFFA40H, UD5CTL0 FFFFFFFA50H

	⑦	⑥	⑤	④	3	2	1	0
UDnCTL0	UDnPWR	UDnTXE	UDnRXE	UDnDIR	UDnPS1	UDnPS0	UDnCL	UDnSL

UDnPWR	UARTDnの動作の制御
0	UARTDn動作禁止 (UDRTAnを非同期にリセット)
1	UARTDn動作許可

UDnPWRビットにより、UARTDn動作の制御を行います。UDnPWRビットをクリア (0) すると、TXDDn端子の出力はハイ・レベルに固定されます (UDnOPT0. UDnTDLビット = 1のときは、ロウ・レベルに固定されます)。

UDnTXE	送信動作許可
0	送信動作禁止
1	送信動作許可

- UDnOPT0レジスタのUDnTDLビットが“0”のとき、UDnTXEビットを“0”にすると、TXDDn端子の出力をハイ・レベルに固定します。
UDnOPT0レジスタのUDnTDLビットが“1”のとき、UDnTXEビットを“0”にすると、TXDDn端子の出力をロウ・レベルに固定します。
- 起動時はUDnPWRビット = 1にしてから、UDnTXEビット = 1としてください。
また、停止時はUDnTXEビット = 0にしてから、UDnPWRビット = 0としてください。
- 送信ユニットを初期化する場合は、UDnTXEビットをクリア (0) して、基本クロックの2周期分の時間を経過してから、再びUDnTXEビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては 14.7 (1) (a) 基本クロック参照)。

UDnRXE	受信動作許可
0	受信動作禁止
1	受信動作許可

・起動時はUDnPWRビット = 1にしてから、UDnRXEビット = 1としてください。
 また、停止時は、UDnRXEビット = 0にしてから、UDnPWRビット = 0としてください。
 ・受信動作は、UDnRXEビット = 1を設定後、基本クロックの2周期分が経過後に許可状態となります。RXDD端子の立ち下がりエッジ検出が有効になるのは、UDnRXEビット = 1に設定したあと、基本クロックの4周期分経過後です。
 ・受信ユニットの状態を初期化する場合は、UDnRXEビットをクリア (0) して、基本クロックの2周期分の時間を経過してから、再びUDnRXEビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては 14.7 (1) (a) 基本クロック参照)。

UDnDIR	転送方向選択
0	MSB転送ファースト
1	LSB転送ファースト

・UDnPWRビット = 0, またはUDnTXEビット = 0, UDnRXEビット = 0の場合のみ書き換え可能です。
 ・LINのフォーマットで送受信を行う場合、UDnDIRビットは“1”に設定してください。

UDnPS1	UDnPS0	送信時のパリティ選択	受信時のパリティ選択
0	0	パリティを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

・UDnPWRビット = 0, またはUDnTXEビット = 0, UDnRXEビット = 0の場合のみ書き換え可能です。
 ・受信時に「0パリティとして受信」を選択した場合、パリティ判定を行いません。したがって、UDnSTRレジスタのUDnPEビットはセットされないため、パリティエラーでのステータス割り込み (INTUDnS) も発生しません。
 ・LINのフォーマットで送受信を行う場合、UDnPS1, UDnPS0ビットは“00”に設定してください。

UDnCL	送受信データ1フレームのデータ・キャラクタ長指定
0	7ビット
1	8ビット

・UDnPWRビット = 0, またはUDnTXEビット = UDnRXEビット = 0の場合のみ書き換え可能です。
 ・LINのフォーマットで送受信を行う場合、UDnCLビットは“1”に設定してください。

UDnSL	送信データのストップ・ビット長指定
0	1ビット
1	2ビット

UDnPWRビット = 0, またはUDnTXEビット = UDnRXEビット = 0の場合のみ書き換え可能です。

備考 パリティについての詳細は、14.6.11 **パリティの種類と動作**を参照してください。

(2) UARTDn制御レジスタ1 (UDnCTL1)

詳細は、14.7 (2) UARTDn制御レジスタ1 (UDnCTL1) を参照してください。

(3) UARTDn制御レジスタ2 (UDnCTL2)

詳細は、14.7 (3) UARTDn制御レジスタ2 (UDnCTL2) を参照してください。

(4) UARTDnオプション制御レジスタ0 (UDnOPT0)

UDnOPT0レジスタは、UARTDnのシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより14Hになります。

(1/2)

リセット時：14H R/W アドレス：UD0OPT0 FFFFA03H, UD1OPT0 FFFFA13H,
UD2OPT0 FFFFA23H, UD3OPT0 FFFFA33H ,
UD4OPT0 FFFFA43H, UD5OPT0 FFFFA53H

	⑦	6	5	4	3	2	1	0
UDnOPT0	UDnSRF	UDnSRT	UDnSTT	UDnSLS2	UDnSLS1	UDnSLS0	UDnTDL	UDnRDL

UDnSRF	SBF受信フラグ
0	UDnCTL0.UDnPWRビット = 0またはUDnRXEビット = 0に設定したとき。 またはSBF受信正常終了したとき。
1	SBF受信中
<ul style="list-style-type: none"> ・ LIN通信でのSBF (Synch Break Field) を受信していることを判断します。 ・ SBF受信エラー時、UDnSRFビットは“1”を保持し、そのあと再度SBF受信を開始します。 ・ UDnSRFビットはリードのみ可能です。 	

UDnSRT	SBF受信トリガ
0	
1	SBF受信トリガ
<ul style="list-style-type: none"> ・ LIN通信でのSBFの受信トリガ・ビットであり、読み出した場合、常に“0”が読み出されます。SBFを受信する場合、UDnSRTビットをセット(1)しSBF受信可能状態にしてください。 ・ UDnPWRビット = 1, UDnRXEビット = 1としてからUDnSRTビットを設定してください。 	

UDnSTT	SBF送信トリガ
0	
1	SBF送信トリガ
<ul style="list-style-type: none"> ・ LIN通信でのSBFの送信トリガ・ビットであり、読み出した場合、常に“0”が読み出されます。 ・ UDnPWRビット = 1, UDnTXEビット = 1としてからUDnSTTビットを設定してください。 	

注意 UDnSRT, UDnSTTビットは、SBF受信中 (UDnSRFビット = 1) にセット(1)しないでください。

UDnSLS2	UDnSLS1	UDnSLS0	SBF送信長選択
1	0	1	13ビット長で出力 (リセット値)
1	1	0	14ビット長で出力
1	1	1	15ビット長で出力
0	0	0	16ビット長で出力
0	0	1	17ビット長で出力
0	1	0	18ビット長で出力
0	1	1	19ビット長で出力
1	0	0	20ビット長で出力

UDnPWRビット = 0またはUDnTXEビット = 0のとき設定できます。

UDnTDL	送信データ・レベル・ビット
0	転送データ通常出力
1	転送データ反転出力

・UDnTDLビットによりTXDDn端子の出力レベルを反転できます。
 ・UDnPWRビット = 0またはUDnTXEビット = 0のとき設定できます。

UDnRDL	受信データ・レベル・ビット
0	転送データ通常入力
1	転送データ反転入力

・UDnRDLビットによりRXDDn端子の入力レベルを反転できます。
 ・UDnPWRビット = 0またはUDnRXEビット = 0のとき設定できます。

(5) UARTDnオプション制御レジスタ1 (UDnOPT1)

UDnOPT1レジスタは、UARTDnのシリアル転送動作を制御する8ビットのレジスタです。
8ビット単位でリード/ライト可能です。
リセットにより00Hになります。

リセット時：14H R/W アドレス：UD0OPT1 FFFFFFFA05H, UD1OPT1 FFFFFFFA15H,
UD2OPT1 FFFFFFFA25H, UD3OPT1 FFFFFFFA35H ,
UD4OPT1 FFFFFFFA45H, UD5OPT1 FFFFFFFA55H

	7	6	5	4	3	2	1	0
UDnOPT1	0	0	0	0	0	0	UDnSRS	UDnDCS

UDnSRS	SBF受信モード選択ビット
0	データの通信中は新しいSBFを検出しません（ストップ・ビットの位置でロウ・レベルが検出されると、フレーミング・エラーとして認識されます）。
1	データの通信中に新しいSBFを検出します（ストップ・ビットの位置でロウ・レベルが検出されると、次にハイ・レベルが検出されるまで待ち、ロウ・レベル期間が11ビット以上であれば、新しいSBFとして認識します）。
<ul style="list-style-type: none"> ・ LIN通信を使用する場合、UDnSRSビットをセットしてください。それ以外の場合は、必ず“0”を設定してください。 ・ UDnSRSビットをセット（1）する際は、UDnDCSビットも“1”に設定する必要があります。 	

UDnDCS	データ一貫性チェック選択ビット
0	データ一貫性のチェックをしません
1	データ一貫性のチェックをします。
<ul style="list-style-type: none"> ・ UDnDCSビットはLIN通信においてデータを送信する場合、データの一貫性チェックの取り扱いを選択します。 ・ UDnDCSビット = 1の場合、LIN通信においてデータを送信するときに送信データと受信データを比較します。不一致が検出されるとデータの一貫性エラー・フラグがセットされ、ステータス割り込み要求信号（INTUDnS）が発生します。 ・ LIN通信を使用する場合、UDnDCSビットをセットしてください。それ以外の場合は、必ず“0”を設定してください。 ・ UDnDCSビットをセット（1）する際は、データ・ビット長を8ビットに固定し、パリティ・ビットの付加は禁止です。 	

(6) UARTDn状態レジスタ (UDnSTR)

UDnSTRレジスタは、UARTDnの転送状態と受信エラー内容を示す8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。UDnTSFビットはリードのみ可能で、UDnPE、UDnFE、UDnOVEビットについてはリード/ライト可能ですが、ライト時は“0”ライトによるクリアのみ可能で、“1”ライトによるセット動作はできません(“1”をライトしても値を保持します)。

次に初期化条件を示します。

レジスタ/ビット	初期化条件
UDnSTRレジスタ	<ul style="list-style-type: none"> ・リセット ・UDnCTL0.UDnPWRビット = 0
UDnSSFビット	<ul style="list-style-type: none"> ・UDnCTL0レジスタのUDnRXEビット = 0 ・UDnOPT1レジスタのUDnSRSビット = 0
UDnDCEビット	<ul style="list-style-type: none"> ・UDnOPT1レジスタのUDnDCSビット = 0 ・UDnCTL0レジスタのUDnTXEビット = 0
UDnTSFビット	<ul style="list-style-type: none"> ・UDnCTL0.UDnTXEビット = 0
UDnPE, UDnFE, UDnOVEビット	<ul style="list-style-type: none"> ・0の書き込み ・UDnCTL0.UDnRXEビット = 0

注意 ステータス・フラグをクリアする場合は、1ビット操作命令で行うか、リードした値の反転値を8ビット操作命令でライトして、リード時にセットされていたビットをまとめてクリアしてください。

リセット時 : 00H R/W アドレス : UD0STR FFFFFFFA04H, UD1STR FFFFFFFA14H,
UD2STR FFFFFFFA24H, UD3STR FFFFFFFA34H,
UD4STR FFFFFFFA44H, UD5STR FFFFFFFA54H

	⑦	6	5	4	3	②	①	①
UDnSTR	UDnTSF	0	0	UDnSSF	UDnDCE	UDnPE	UDnFE	UDnOVE

UDnTSF	転送状態フラグ
0	<ul style="list-style-type: none"> UDnPWRビット = 0, またはUDnTXEビット = 0に設定したとき 転送完了後に, UDnTXレジスタに次のデータ転送がなかったとき SBF送信を終えたあと, UDnTXビットに次の送信データがなかったとき
1	<ul style="list-style-type: none"> UDnTXレジスタへの書き込み SBF送信トリガ・ビット (UDnSST) をセットしたとき

連続送信を行っている場合にはUDnTSFビットは常に“1”になっています。
送信ユニットの初期化を行う場合には, UDnTSFビット = 0になっていることを確認してから初期化を行ってください。UDnTSFビット = 1の状態で行った場合の送信データは保証できません。

UDnSSF	SBF受信成功フラグ
0	<ul style="list-style-type: none"> UDnPWRビット = 0, UDnRXEビット = 0, UDnSRSビット = 0, またはUDnSSFビット = 0に設定したとき
1	<ul style="list-style-type: none"> 11ビット以上の連続するロウ・レベル (SBF) を受信したとき

・ SBF受信モード選択ビットがLIN通信モードに設定されている場合 (UDnSRS = 1), ステータス割り込み処理でUDnSSFビットを読み出し, 新しいフレーム・スロットの開始を確認する必要があります。
・ UDnSSFビットは, 0が書き込まれるまで現在の状態を保持します。
“1”をライトした場合, 状態保持となります。

UDnDCE	データ一貫性エラー・フラグ
0	<ul style="list-style-type: none"> UDnPWRビット = 0, UDnTXEビット = 0, UDnDCSビット = 0, またはUDnDCEビット = 0に設定したとき
1	<ul style="list-style-type: none"> LIN通信モードにおいて, 送信データが受信データと一致しないとき

・ データの一貫性選択ビットをセットしている場合 (UDnDCS = 1), データを送信するときに送信データと受信データを比較します。不一致を検出した場合, UDnDCEビットは“1”となります。
・ UDnDCEビットは, 0が書き込まれるまで現在の状態を保持します。
“1”をライトした場合, 状態保持となります。

UDnPE	パリティ・エラー・フラグ
0	<ul style="list-style-type: none"> UDnPWRビット = 0, またはUDnRXEビット = 0に設定したとき “0” をライトしたとき
1	受信時, データのパリティとパリティ・ビットが一致しないとき
<ul style="list-style-type: none"> UDnPEビットの動作は, UDnCTL0.UDnPS1, UDnPS0ビットの設定により左右されます。 UDnPEビットはリード/ライト可能となっていますが, “0” ライトによるクリアのみ可能で, “1” ライトによるセット動作はできません。“1” をライトした場合, 値を保持します。 	

UDnFE	フレーミング・エラー・フラグ
0	<ul style="list-style-type: none"> UDnPWRビット = 0, またはUDnRXEビット = 0に設定したとき “0” をライトしたとき
1	受信時, ストップ・ビットが検出されないとき
<ul style="list-style-type: none"> 受信データのストップ・ビットは, UDnCTL0.UDnSLビットの値に関わらず, 最初の1ビットのみチェックします。 UDnFEビットはリード/ライト可能となっていますが, “0” ライトによるクリアのみ可能で, “1” ライトによるセット動作はできません。“1” をライトした場合, 値を保持します。 	

UDnOVE	オーバラン・エラー・フラグ
0	<ul style="list-style-type: none"> UDnPWRビット = 0, またはUDnRXEビット = 0に設定したとき “0” をライトしたとき
1	UDnRXレジスタに受信データがセットされ, それを読み出す前に次の受信動作が完了したとき
<ul style="list-style-type: none"> オーバラン・エラーが発生したとき, 次の受信データは受信バッファに書き込まれず, データは破棄されます。 UDnOVEビットはリード/ライト可能となっていますが, “0” ライトによるクリアのみ可能で, “1” ライトによるセット動作はできません。“1” をライトした場合, 値を保持します。 	

(7) UARTDn受信データ・レジスタ (UDnRX)

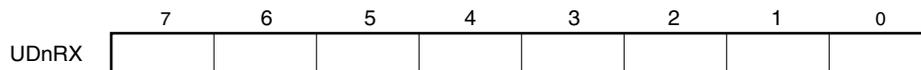
UDnRXレジスタは、受信シフト・レジスタで変換したパラレル・データを格納するための8ビット・バッファ・レジスタです。

1バイト・データの受信完了により受信シフト・レジスタに格納したデータをUDnRXレジスタに転送します。

8ビット単位でリードのみ可能です。

リセット以外に、UDnCTL0.UDnPWRビット = 0によってもUDnRXレジスタはFFHになります。

リセット時：FFH R アドレス： UD0RX FFFFFFFA06H, UD1RX FFFFFFFA16H,
UD2RX FFFFFFFA26H, UD3RX FFFFFFFA36H ,
UD4RX FFFFFFFA46H, UD5RX FFFFFFFA56H



データキャラクタ長を7ビットに指定 (UDnCL = 0) した場合：

- ・ LSBファーストで受信すると、受信データはUDnRXレジスタのビット6-0に転送され、MSBは必ず“0”になります。
- ・ MSBファーストで受信すると、受信データはUDnRXレジスタのビット7-1に転送され、LSBは必ず“0”になります。
- ・ オーバラン・エラーが発生 (UDnOVE = 1) した場合は、そのときの受信データはUDnRXレジスタに転送されません。

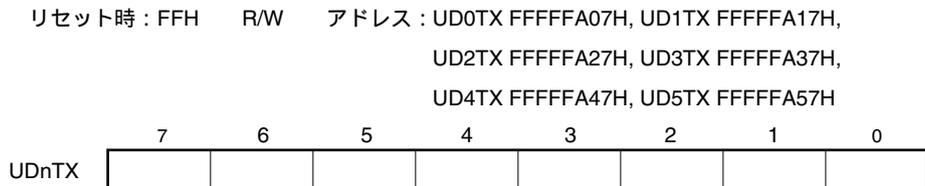
(8) UARTDn送信データ・レジスタ (UDnTX)

UDnTXレジスタは、送信データを設定するための8ビット・レジスタです。

送信割り込み要求信号 (INTUDnT) 発生後、送信が完了するまでに、次の送信データを書き込むことで連続送信が可能です

8ビット単位でリード/ライト可能です。

リセットによりFFHになります。



データキャラクタ長を7ビットに指定 (UDnCL = 0) した場合：

- ・ LSBファースト送信時、送信データはUDnTXレジスタのビット6-0が転送されます。
- ・ MSBファースト送信時、送信データはUDnTXレジスタのビット7-1が転送されます。

注意 送信動作許可状態 (UDnPWR = 1かつUDnTXE = 1) 時、UDnTXレジスタへの書き込みは送信開始のトリガとして作用するため、直前の値と同一の値を書き込むと二度同じデータが送信されます。

送信中の送信データ書き込みは、必ず送信割り込み要求 (INTUDnT) が発生したあとにしてください。

送信禁止状態において、UDnTXレジスタへ書き込んだ場合、送信開始トリガとして作用しません。

そのため、送信禁止状態にてUDnTXレジスタに書き込み後、送信許可状態に設定しても送信は開始されません。

14.5 割り込み要求信号

UARTDnからは次の3種類の割り込み要求信号を発生します。

- ・ステータス割り込み要求信号 (INTUDnS)
- ・受信完了割り込み要求信号 (INTUDnR)
- ・送信許可割り込み要求信号 (INTUDnT)

これら3種類の割り込み要求信号のデフォルト優先順位を次に示します。

表14-4 発生する割り込みとデフォルト優先順位

割り込み	優先順位
ステータス	高
受信完了	
送信許可	低

(1) ステータス割り込み要求信号 (INTUDnS)

受信中にエラー条件を検出すると、ステータス割り込み要求信号が発生します。検出したエラーに対応するフラグ (UDnPE, UDnFE, UDnOVEビット) がUDnSTRレジスタにセットされます。

- ・SBF受信モード選択ビットがLIN通信モードに設定 (UDnSRSビット = 1) されている場合、11ビット以上の連続するロウ・レベル(SBF)を受信するとステータス割り込み要求信号を発生します。
- ・データの一貫性チェック選択ビットをセット (UDnDCSビット = 1) している場合、データを送信するときに送信データと受信データを比較します。不一致を検出した場合、ステータス割り込み要求が発生します。

(2) 受信完了割り込み要求信号 (INTUDnR)

受信許可状態で、受信シフト・レジスタにデータがシフト・インされUDnRXレジスタに転送されると受信完了割り込み要求信号が発生します。

受信エラーが起こった場合には、受信完了割り込み要求信号 (INTUDnR) は発生せず、ステータス割り込み要求信号 (INTUDnS) が発生します。

受信禁止状態中は、受信完了割り込み要求信号は発生しません。

(3) 送信許可割り込み要求信号 (INTUDnT)

送信許可状態で、UDnTXレジスタからUARTDn送信シフト・レジスタへ送信データが転送されると送信許可割り込み要求信号を発生します。

14.6 動作

14.6.1 データ・フォーマット

全二重シリアル・データの送受信を行います。

送受信データのフォーマットは図14-5に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定、MSB/LSBファーストの転送指定は、UDnCTL0レジスタによって行います。

また、UDnOPT0.UDnTDLビットでTXDDn端子のUART出力/反転出力の制御を行います。

- ・スタート・ビット 1ビット
- ・キャラクタ・ビット ... 7ビット/8ビット
- ・パリティ・ビット 偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ストップ・ビット 1ビット/2ビット
- ・出力論理 正転 / 反転
- ・通信方向 LSB/MSB

図14 - 5 UARTDの送受信データのフォーマット

(a) 8ビット・データ長, LSBファースト, 偶数パリティ, 1ストップ・ビット, 転送データ: 55H



(b) 8ビット・データ長, MSBファースト, 偶数パリティ, 1ストップ・ビット, 転送データ: 55H



(c) 8ビット・データ長, MSBファースト, 偶数パリティ, 1ストップ・ビット, 転送データ: 55H, TXDDn反転



(d) 7ビット・データ長, LSBファースト, 奇数パリティ, 2ストップ・ビット, 転送データ: 36H



(e) 8ビット・データ長, LSBファースト, パリティなし, 1ストップ・ビット, 転送データ: 87H



14. 6. 2 SBF送信 / 受信フォーマット

V850ES/Hx3にはLIN機能として使用するために、SBF(Synch Break Field)送信 / 受信制御機能があります。

備考 LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速(1~20 kbps)のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

LINのマスタは通常、CAN (Controller Area Network) などのネットワークに接続されます。

また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは、マスタはフレームにボー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため、スレーブのボー・レート誤差が± 15 % 以下であれば、通信可能です。

LINの送信操作と受信操作の概略を、図14 - 6、図14 - 7に示します。

図14 - 6 LINの送信操作概略

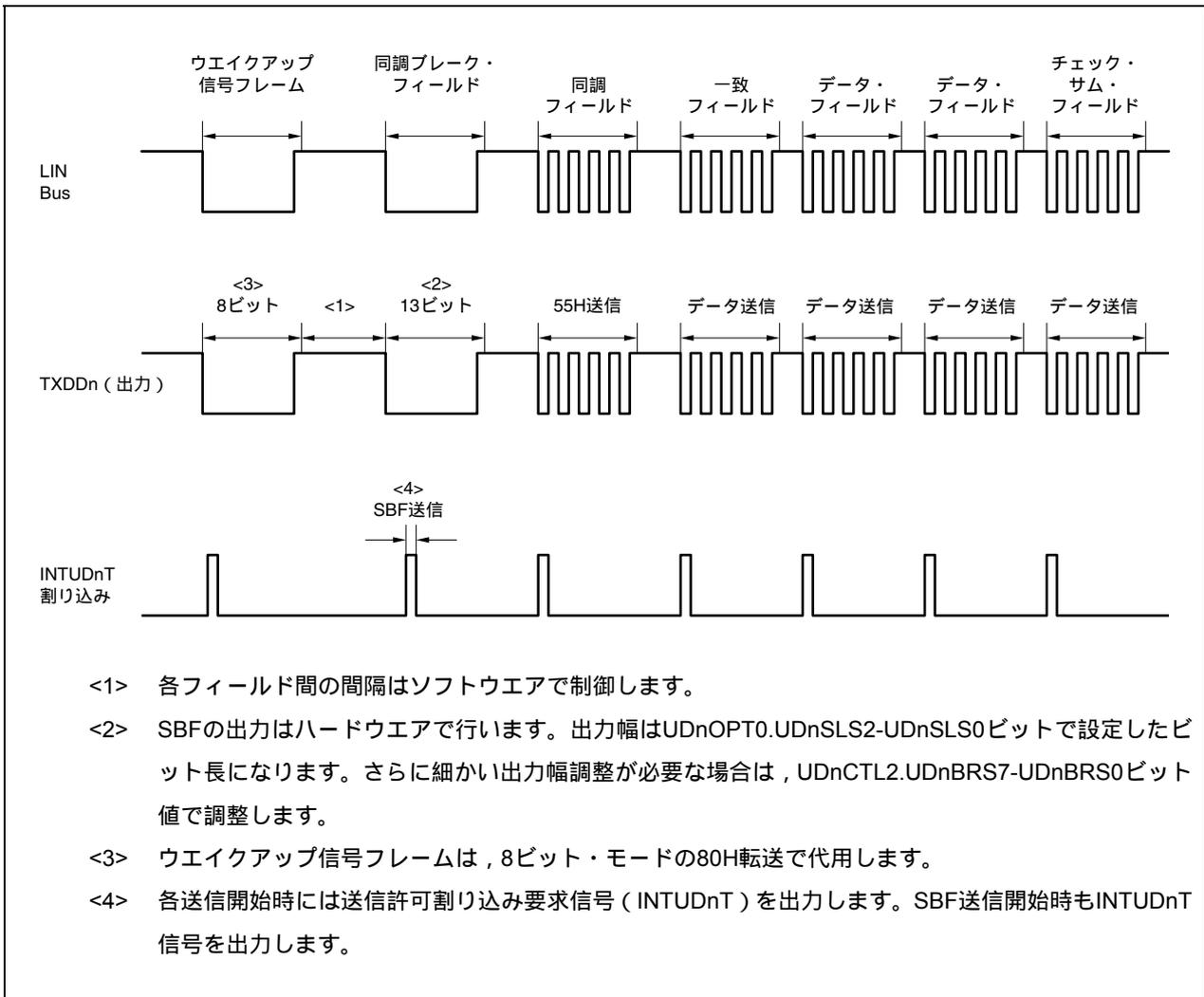
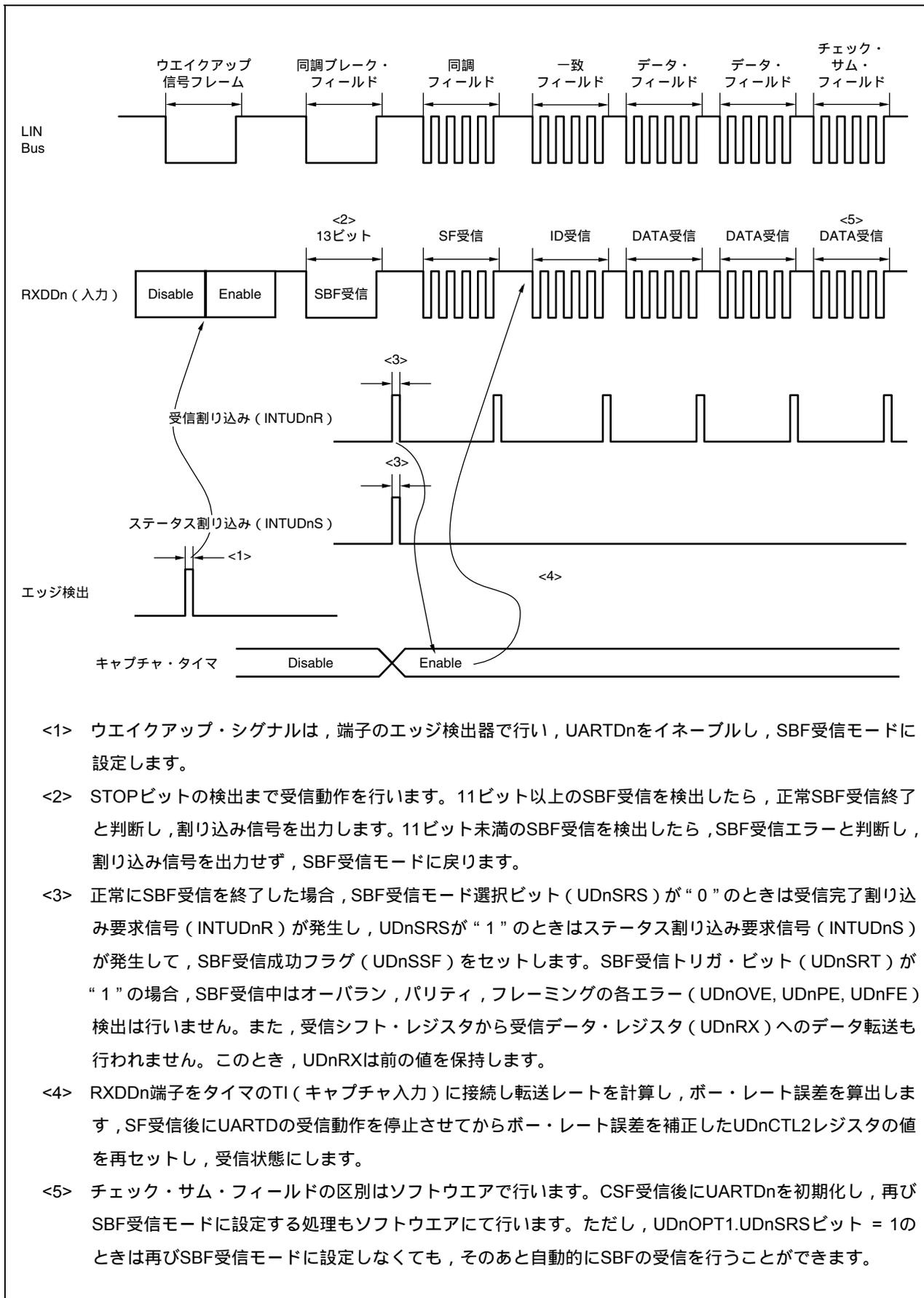


図14 - 7 LINの受信操作概略



- <1> ウェイクアップ・シグナルは、端子のエッジ検出器で行い、UARTDnをイネーブ爾し、SBF受信モードに設定します。
- <2> STOPビットの検出まで受信動作を行います。11ビット以上のSBF受信を検出したら、正常SBF受信終了と判断し、割り込み信号を出力します。11ビット未満のSBF受信を検出したら、SBF受信エラーと判断し、割り込み信号を出力せず、SBF受信モードに戻ります。
- <3> 正常にSBF受信を終了した場合、SBF受信モード選択ビット (UDnSRS) が“0”のときは受信完了割り込み要求信号 (INTUDnR) が発生し、UDnSRSが“1”のときはステータス割り込み要求信号 (INTUDnS) が発生して、SBF受信成功フラグ (UDnSSF) をセットします。SBF受信トリガ・ビット (UDnSRT) が“1”の場合、SBF受信中はオーバラン、パリティ、フレーミングの各エラー (UDnOVE, UDnPE, UDnFE) 検出は行いません。また、受信シフト・レジスタから受信データ・レジスタ (UDnRX) へのデータ転送も行われません。このとき、UDnRXは前の値を保持します。
- <4> RXDDn端子をタイマのTI (キャプチャ入力) に接続し転送レートを計算し、ポー・レート誤差を算出します。SF受信後にUARTDの受信動作を停止させてからポー・レート誤差を補正したUDnCTL2レジスタの値を再セットし、受信状態にします。
- <5> チェック・サム・フィールドの区別はソフトウェアで行います。CSF受信後にUARTDnを初期化し、再びSBF受信モードに設定する処理もソフトウェアにて行います。ただし、UDnOPT1.UDnSRSビット = 1のときは再びSBF受信モードに設定しなくても、そのあと自動的にSBFの受信を行うことができます。

14.6.3 SBF送信

まず次の操作で送信許可状態にします。

- ・動作クロックをUARTD制御レジスタ1 (UDnCTL1) で指定。
- ・ボー・レート UARTD制御レジスタ2 (UDnCTL2) で指定。
- ・出力論理レベルとSBF長をUARTDオプション制御レジスタ0 (UDnPT0) で指定。
- ・データのー貫性チェック有無とSBF受信モードをUARTDオプション制御レジスタ1(UDnPT1)で指定。
- ・通信方向, パリティ, データ・キャラクタ長, ストップ・ビット長をUARTD制御レジスタ0 (UDnCTL0) で指定。
- ・パワー・ビットと送信許可ビットをセット (UDnPWR = 1, UDnTXE = 1)。

次にSBF送信トリガ (UDnSTT) をセットし, SBF送信動作を起動します。TXDDn出力には, SBF長 (UDnSLS2-UDnSLS0) で指定された13ビットから20ビットまでの口ウ・レベルが出力されます。SBF送信開始時には送信割り込み要求信号 (INTUDnT) を発生します。SBF送信を終了後, SBF送信状態は自動的に解除され, 通常のUART送信モードに戻ります。

送信するデータをUDnTXレジスタに書き込むか, SBF送信トリガ (UDnSTT) をセットするまで, 送信動作は待機状態となります。SBF送信時の受信完了割り込み (INTUDnR) やステータス割り込み (INTUDnS) などによって, SBFの正常受信を確認してから, 次の送信動作を開始してください。

注意 設定する値が決まっているものを次に示します。

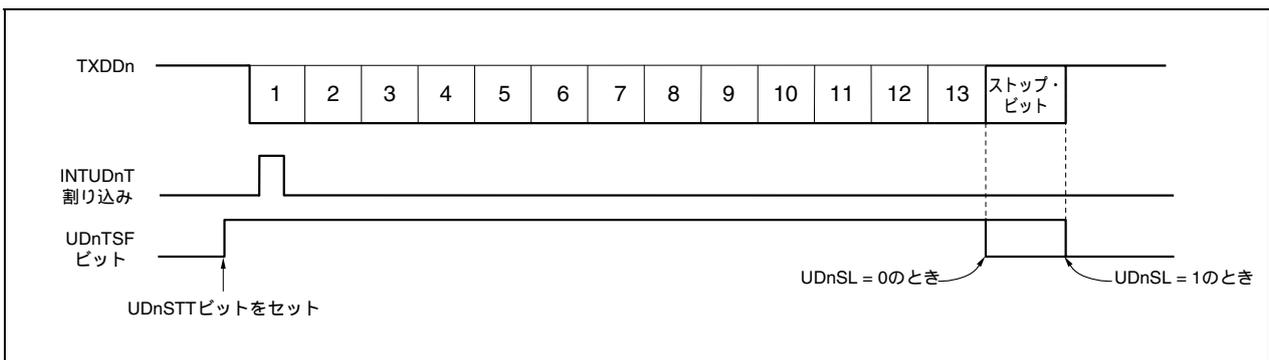
出力論理レベルは, 通常出力 (UDnTDL = 0) を設定。

通信方向制御は, LSBファースト (UDnDIR = 1) を設定。

パリティ選択ビットは, パリティ・ビット出力なし (UDnPS1 = 0, UDnPS0 = 0) を設定。

データ・キャラクタ長は, 8ビット (UDnCL = 1) を設定。

図14 - 8 SBF送信



14.6.4 SBF受信

まず次の操作で受信許可状態にし、RXDDn入力のモニタとスタート・ビットの検出を行います。

- ・ 動作クロックをUARTD制御レジスタ1 (UDnCTL1) で指定
- ・ ボー・レートをUARTD制御レジスタ2 (UDnCTL2) で指定
- ・ 入力論理レベルをUARTDオプション制御レジスタ0 (UDnOPT0) で指定
- ・ データの一貫性チェック有無とSBF受信モードをUARTDオプション制御レジスタ1 (UDnOPT1) で指定
- ・ 通信方向,パリティ,データ・キャラクタ長,ストップ・ビット長をUARTD制御レジスタ0(UDnCTL0) で指定
- ・ パワー・ビットと受信許可ビットをセット (UDnPWR = 1, UDnRXE = 1)

次にSBF受信トリガ・ビット (UDnSRT) をセットすると、SBFの受信待ち状態になり、RXDDn入力をモニタし、スタート・ビットの検出を行います。

RXDDn入力レベルの立ち下がりエッジが検出されると、RXDDn入力のデータ・サンプリングが始まります。ストップ・ビットを検出するまでの間、設定されたボー・レートにあわせて内蔵カウンタをカウント・アップすることでSBFの長さを測定します。ストップ・ビットを受信した時点で、SBFの長さが11ビット長以上の場合は正常と判断され、SBF受信モード選択ビット (UDnSRS) が“0” のときは、受信完了割り込み要求信号 (INTUDnR) を発生します。UDnSRSビットが“1” のときは、ステータス割り込み要求信号 (INTUDnS) を発生すると同時にSBF受信成功フラグ (UDnSSF) がセットされます。またSBF受信フラグ (UDnSRF) も自動的にクリアされ、SBF受信を終了します。

オーバラン、パリティ、フレーミング (UDnOVE, UDnPE, UDnFE) の各エラー検出は抑制されます。また、受信シフト・レジスタから受信データ・レジスタ (UDnRX) へのデータ転送も行われません。SBFの幅が10ビット長以下の場合は異常と判断されます。その場合、受信完了割り込み要求信号 (INTUDnR)、またはステータス割り込み要求信号 (INTUDnS) が発生せずに受信を終了し、再びSBF受信モードに戻ります。その際SBF受信フラグ (UDnSRF) はクリアされません。

もし、データの一貫性チェックあり (UDnDCS = 1) で送信をする場合は、SBF受信に成功しても失敗しても、送信データと受信データに不一致が検出されるとデータの一貫性エラー・フラグ (UDnDCE) がセットされ、ステータス割り込み要求信号 (INTUDnS) を出力します。そのとき、INTUDnRは出力されません。

UARTDは、データ通信中でも新規のSBF受信を検出できます。

注意1. 設定する値が決まっているものを次に示します。

入力論理レベルは、通常入力 (UDnRDL = 0) を設定。

通信方向制御は、LSBファースト (UDnDIR = 1) を設定。

パリティ選択ビットは、パリティ・ビット出力なし (UDnPS1 = 0, UDnPS0 = 0) を設定。

データ・キャラクタ長は、8ビット (UDnCL = 1) を設定。

2. データ受信中に、SBFが送信されてきた場合には、フレーミング・エラーとなります。
3. SBF受信トリガ・ビット (UDnSRT)、SBF送信トリガ・ビット (UDnSTT) は、SBF受信中 (UDnSRF = 1) にセット (1) しないでください。

図14 - 9 SBF受信 (UDnSRS = 0の場合)

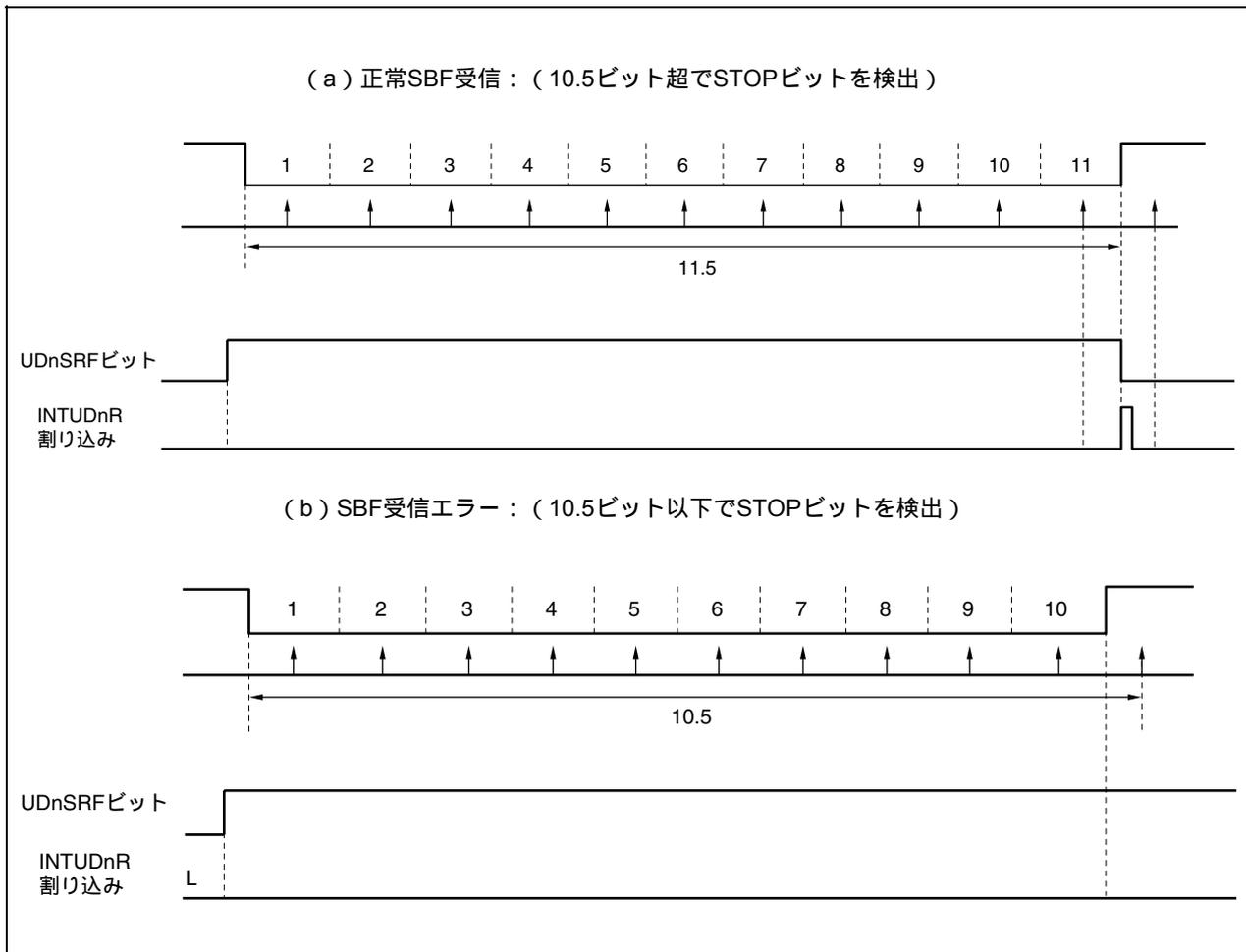
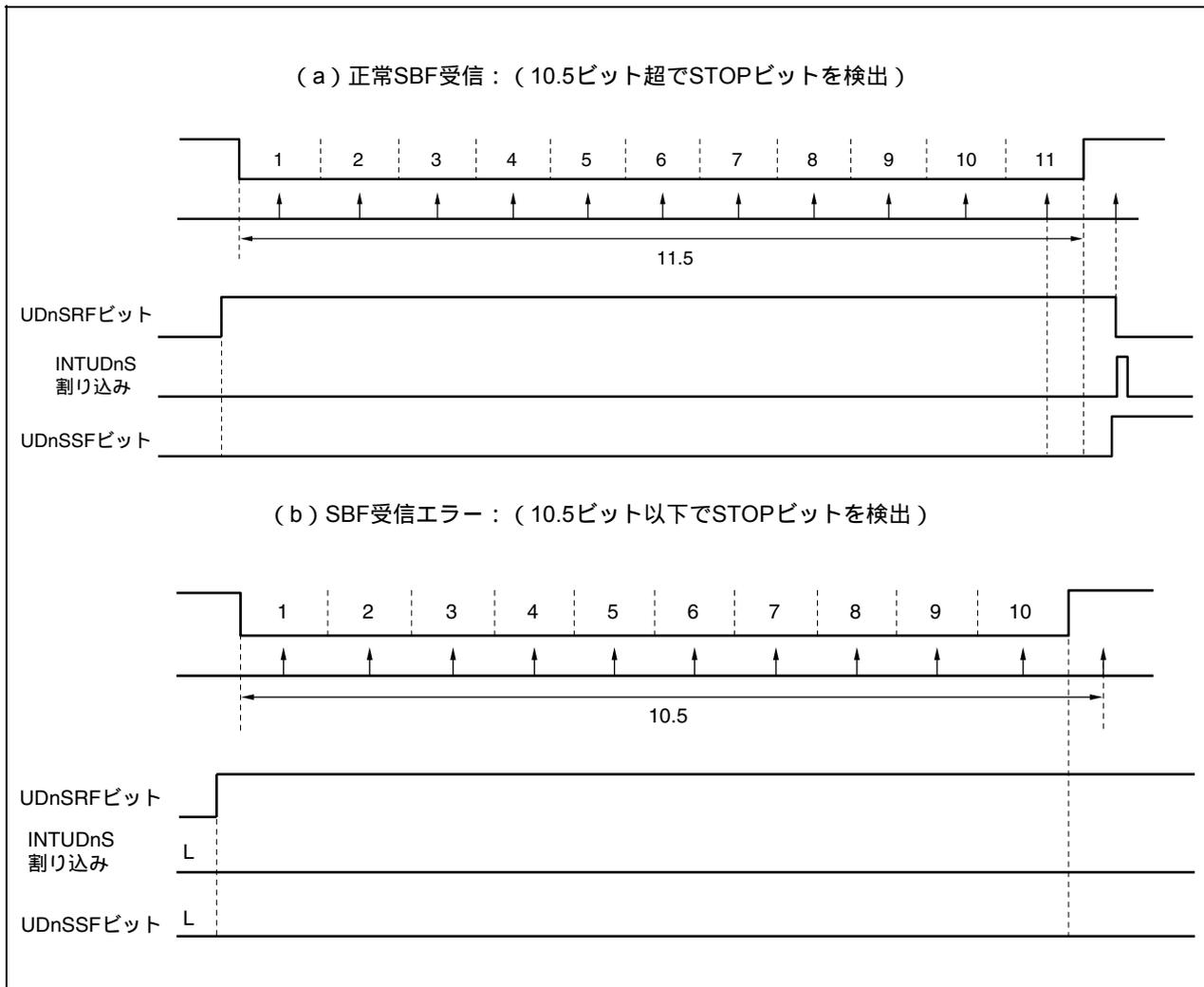


図14 - 10 SBF受信 (UDnSRS = 1の場合)



14.6.5 データの一貫性チェック機能

データの一貫性チェック選択ビット (UDnDCS) を“1”にすると、同調ブレイク・フィールド、同調フィールド、一致フィールド、チェック・サム・フィールドを含むデータの送信時、1ビットごとに送信データと受信データの比較を行います。不一致が検出された場合と、送信動作と受信動作のずれによる送信データと受信データの不一致に対応するために送信動作終了前に受信動作が終了した場合、そのフレームの終了時にステータス割り込み要求信号 (INTUDnS) を出力し、データの一貫性エラーフラグ (UDnDCE) をセットします。

また、次の送信データがすでに送信データ・レジスタ (UDnTX) にライト済みであった場合でも、次の送信を行いません (ライトされたUDnTX内のデータは無視)。SBF送信トリガ・ビット (UDnSTT) がセットされていた場合も、SBTTをクリアしてSBFの送信を行いません。送信を再開する場合は、データの一貫性エラー・フラグ (UDnDCE) をクリアしてから、送信データを送信データ・レジスタ (UDnTX) にライト、またはSBF送信トリガ・ビット (UDnSTT) をセットする必要があります。

データの一貫性チェックは、SBF送信においても送信のスタート・ビットから1ビット目のストップ・ビットまで行われます。ストップ・ビット長選択ビット (UDnSL) によってストップ・ビット長を2ビットに指定していても、2ビット目のストップ・ビットの一貫性チェックは行われません。

なお受信のみの場合 (送信していないとき) は、データの一貫性チェックは行われませんが、送信している場合は受信許可ビットを禁止 (UDnRXE = 0) にしていても、送信データと入力データ端子レベルとの一貫性チェックが行われます。UDnRXE = 0のときは受信動作自体が行われなため、受信データ格納とそれによる受信完了割り込み要求信号 (INTUDnR) の発生、またUDnSSF, UDnFE, UDnOVEのセットとそれによるステータス割り込み要求信号 (INTUDnS) が発生しないので、受信データを読み出す必要はありません。

データの一貫性エラーは次の場合に検出されます。

- ・送信中 (スタート・ビットから1ビット目のストップ・ビットの間) に、送信データと受信データの不一致を検出。
- ・UDnSRF = 0のとき、送信動作終了前に受信動作が終了^注。
- ・UDnSRF = 1かつUDnSRS = 0のとき、SBF送信中に入力データの立ち上がりエッジを検出。
- ・UDnSRF = 1かつUDnSRS = 1のとき、SBF送信中に入力データの“1”を検出。
- ・1ビット目のストップ・ビット送信時に入力データの“0”を検出。

注 ただし、UDnRXE = 0のときは除く。

- 注意1.** データの一貫性チェック選択ビットUDnDCS = 0の場合、データの一貫性エラー・フラグ (UDnDCE) は“0”固定です。
2. データの一貫性エラーの有無は、受信データのUDnRXレジスタ格納動作に影響を与えません。ただし格納が行われる場合は、フレーミング・エラーが発生の可能性があるタイミングに格納されます。
 3. UDnSRS = 0, UDnDCS = 1かつUDnSRF = 0のときにSBFを送信すると、受信動作はデータのストップ・ビット位置 (10ビット目) に終了するので (送信動作終了前に受信動作が終了)、送信データと受信データに不一致がなくても一貫性エラーが発生します。

図14 - 11 データ一貫性エラーのタイミング例 (UDnSRF = 0)

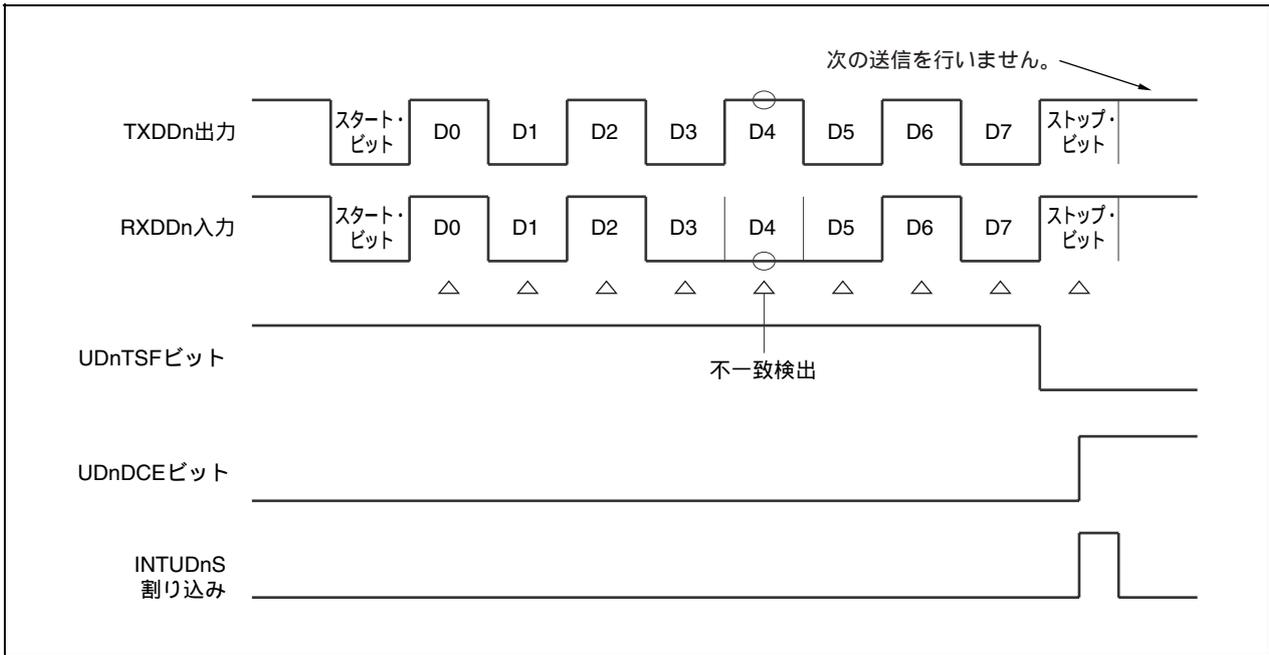
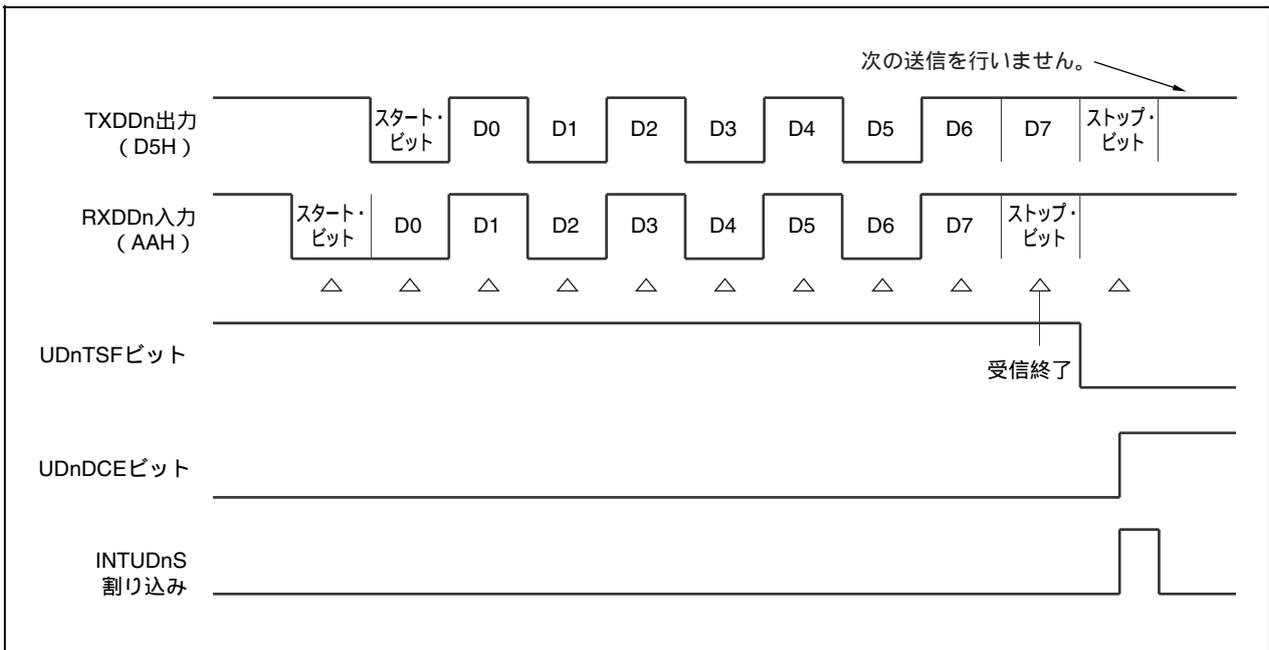


図14 - 12 送信と受信動作間に遅延がある場合のデータ一貫性エラーのタイミング例



14.6.6 SBF受信モード選択

SBF (Synch Break Field) の受信のために、2種類のモードを備えており、SBF受信モード選択ビット (UDnSRS)によって選択します。UDnSRSビットのセットは、データの一貫性チェック選択ビット (UDnDCS) を“1”にしたときのみです。

(1) UDnSRS = 0 の場合

SBF受信モード選択ビット (UDnSRS) を“0”に設定すると、SBF受信成功待ち (UDnSRF = 1) のときのみ新規SBFを認識するモードとなります。

SBF受信成功待ち状態でない場合 (UDnSRF = 0)、フレーミング・エラー/オーバーラン・エラーの判定は、データのストップ・ビット位置 (10ビット目)で行われます (図14 - 13参照)。オーバーラン状態でなければ、受信データはUDnRXレジスタに格納されます。SBF受信成功待ち (UDnSRF = 1) の場合、フレーミング・エラー/オーバーラン・エラーの検出および受信データのUDnRXレジスタへ格納されません。

UDnSRF = 0のときはデータまたはSBFのストップ・ビット送信開始時に受信動作が停止している場合は、データの一貫性エラーの割り込みとフラグの変化は、ストップ・ビットの次のビット開始時に行われます (図14 - 12参照)。ストップ・ビット送信開始時に受信動作中の場合は、ストップ・ビット位置で行われます (図14 - 12参照)。一方、UDnSRF = 1のとき、ストップ・ビット送信開始時に受信動作が停止していると、ストップ・ビットの次のビット開始時に行われ、受信動作中の場合はストップ・ビット以降の入力データの立ち上がりエッジ検出時に行われます。

注意 SBF受信モード選択ビット (UDnSRS) = 0の場合、SBF受信成功フラグ (UDnSSF) は“0”固定です。

図14 - 13 UDnSRS = 0の場合のフレーミング・エラー/オーバーラン・エラー判定タイミング

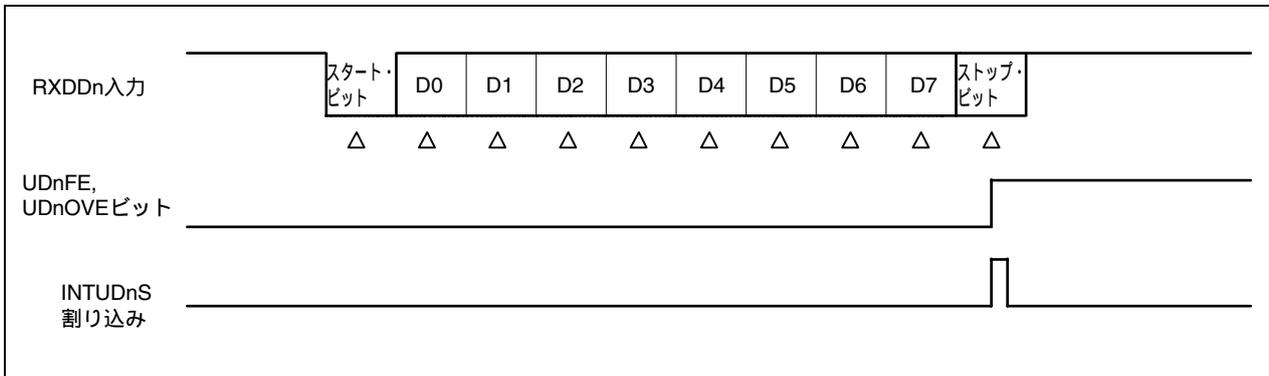


図14 - 14 UDnSRF = 1の場合のSBF送信時一貫性エラー発生タイミング例
 (ストップ・ビット送信開始時に受信動作が停止している場合 (直前の入力データが“1”))

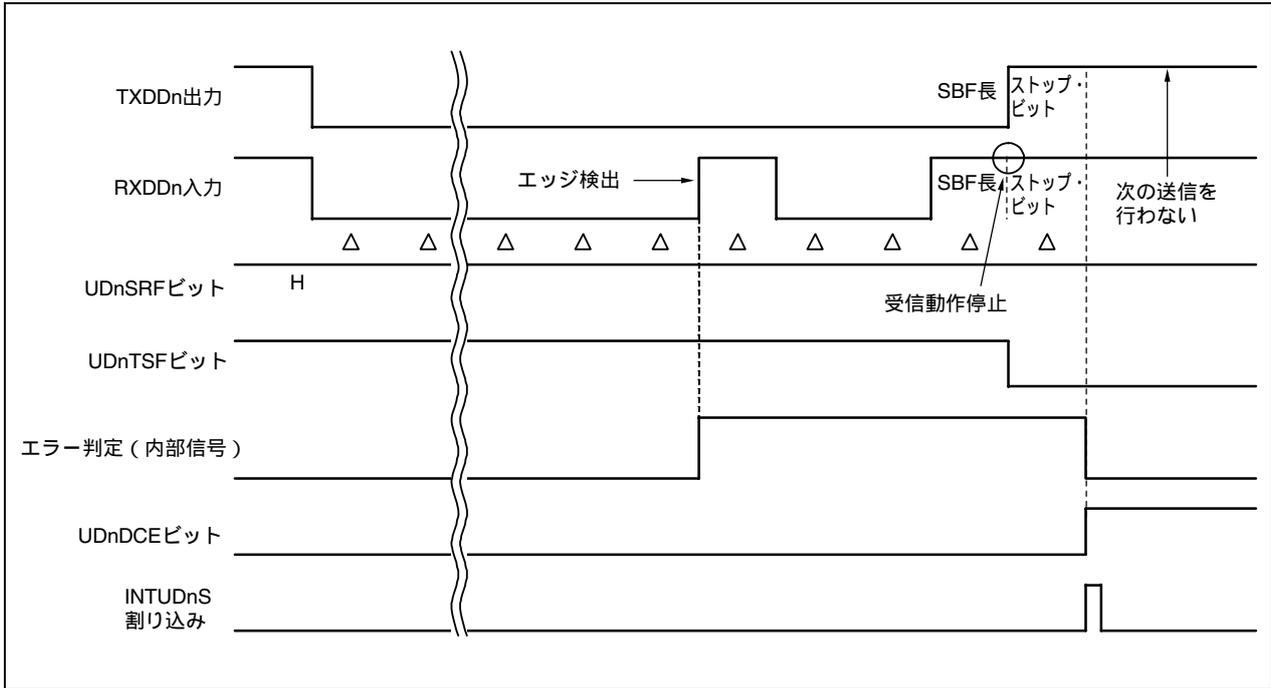
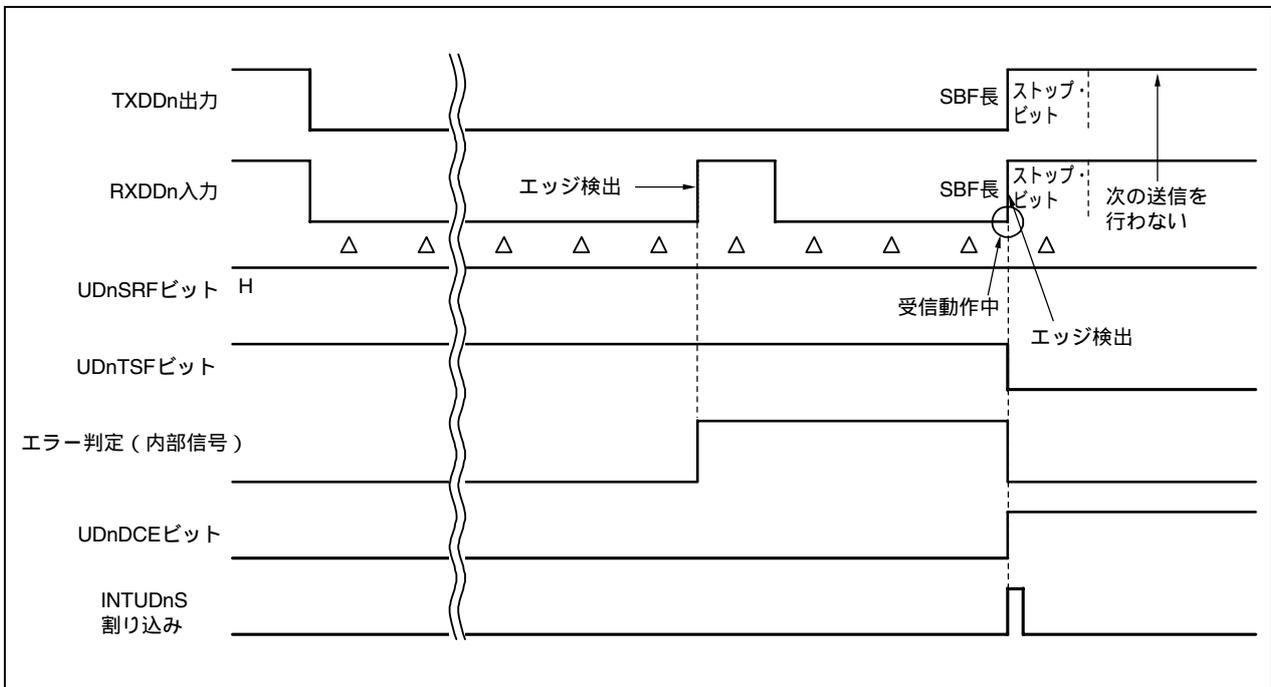


図14 - 15 UDnSRF = 1の場合のSBF送信時一貫性エラー発生タイミング例
 (ストップ・ビット送信開始時に受信動作中の場合 (直前の入力データが“0”))



(2) UDnSRS = 1 の場合

SBF受信モード選択ビット (UDnSRS) を “1” に設定すると、SBF受信成功待ち (UDnSRF = 1) のときに加えて、データ通信中のときにも新規SBFを認識するモードとなります。SBF受信成功待ち状態でない場合 (UDnSRF = 0)、データのストップ・ビット位置 (10ビット目) でロウ・レベルを検出した場合は、新規SBFを受信中の可能性があるので、入力データがハイ・レベルになるまでフレーミング・エラー / オーバラン・エラーの判定を待ちます。そして連続するロウ・レベル期間が11ビット未満だった場合はエラー検出と判定します (図14 - 16参照)。オーバラン・エラーでなければ、受信データは始めの8ビットがUDnRXレジスタに格納されます。このとき、SBF受信成功フラグ (UDnSSF) はセットされません。SBF受信成功待ち (UDnSRF = 1) のとき、フレーミング・エラー / オーバラン・エラーの検出および受信データのUDnRXレジスタへの格納は行われません。

一方連続するロウ・レベル期間が11ビット以上だった場合は、新規SBF受信成功と判断し、SBF受信成功フラグ (UDnSSF) をセットします (図14 - 17参照)。フレーミング・エラー / オーバラン・エラーの検出は行われません。このとき、受信データはUDnRXレジスタに格納されません。

データの一貫性エラーの割り込みとフラグの変化は、UDnSRF = 0のとき、データまたはSBFのストップ・ビット送信開始時に受信動作が停止していると、ストップ・ビットの次のビット開始時に行われます (図14 - 12参照)。ストップ・ビット送信開始時に受信動作中の場合は、ストップ・ビット以降に入力データ “1” を検出したときに行われます (図14 - 11, 図14 - 18参照)。

一方、UDnSRF = 1でストップ・ビット送信以降に入力データ “1” を検出したとき、受信動作が停止していると次のビット開始時に行われます (図14 - 19参照)。受信動作中の場合は “1” を検出したビットに行われます (図14 - 20参照)。

図14 - 16 SBF受信失敗時のフレーミング・エラー / オーバラン・エラー判定タイミング (UDnSRF = 0のとき)

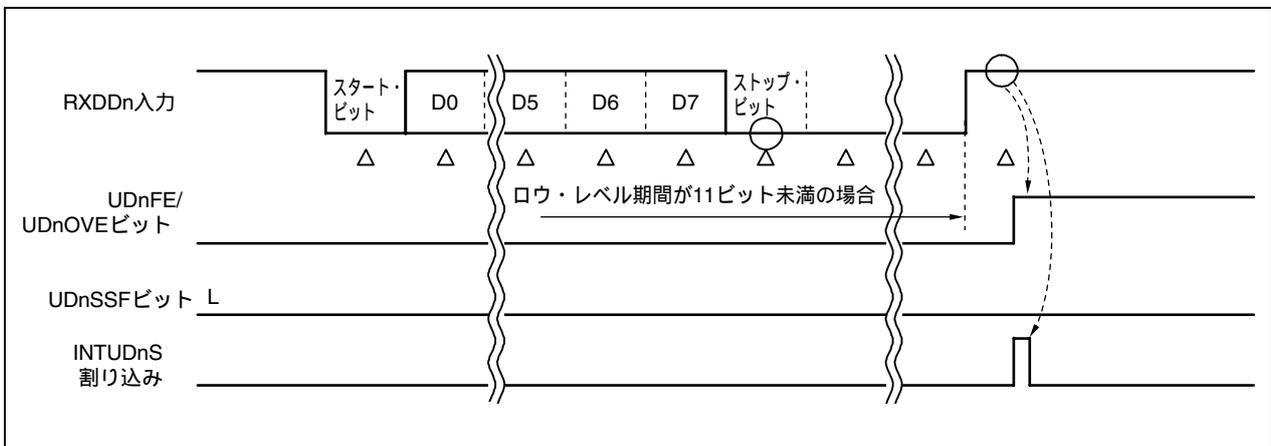


図14 - 17 SBF受信成功時のステータス割り込みの発生タイミング

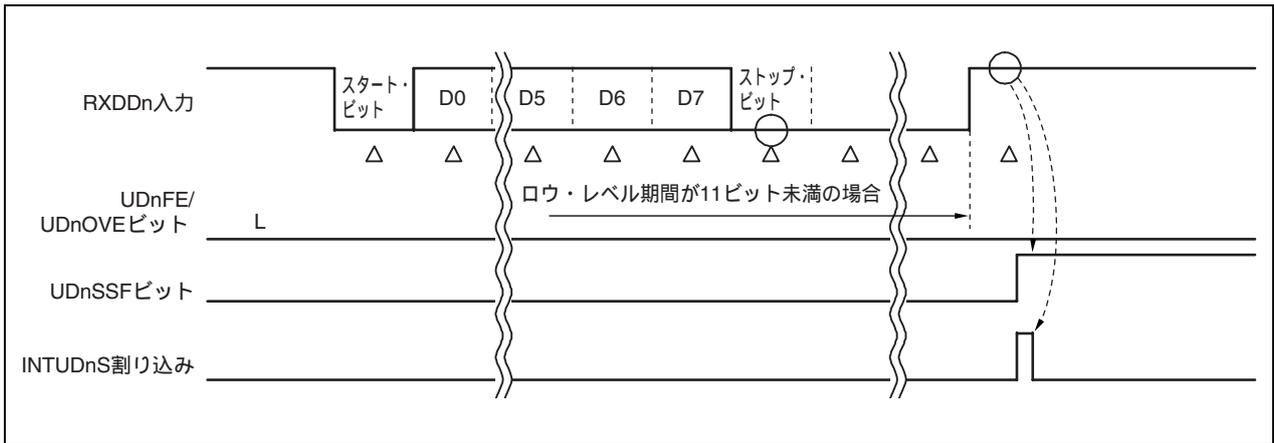


図14 - 18 UDnSRF = 0の場合のデータの一貫性エラー発生タイミング例

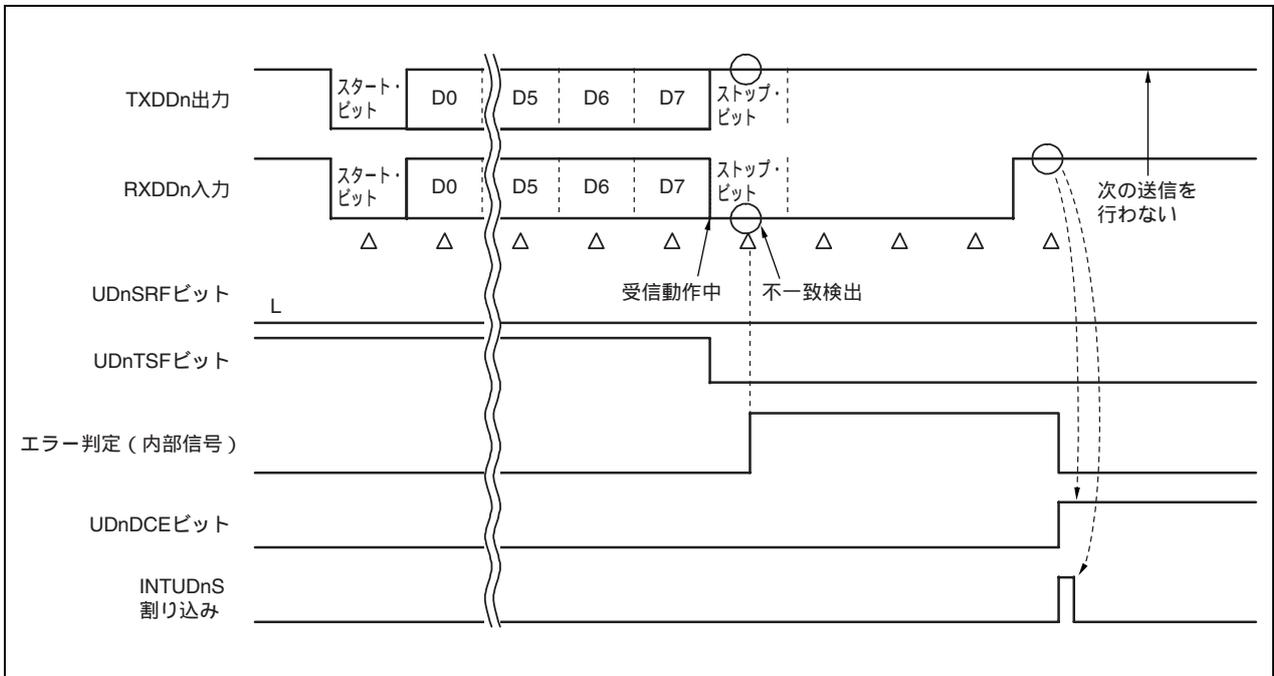


図14 - 19 UDnSRF = 1の場合のSBF送信時一貫性エラー発生タイミング例
 (ストップ・ビット以降に入力データ“1”を検出したとき、受信動作が停止している場合(前のビットが“1”))

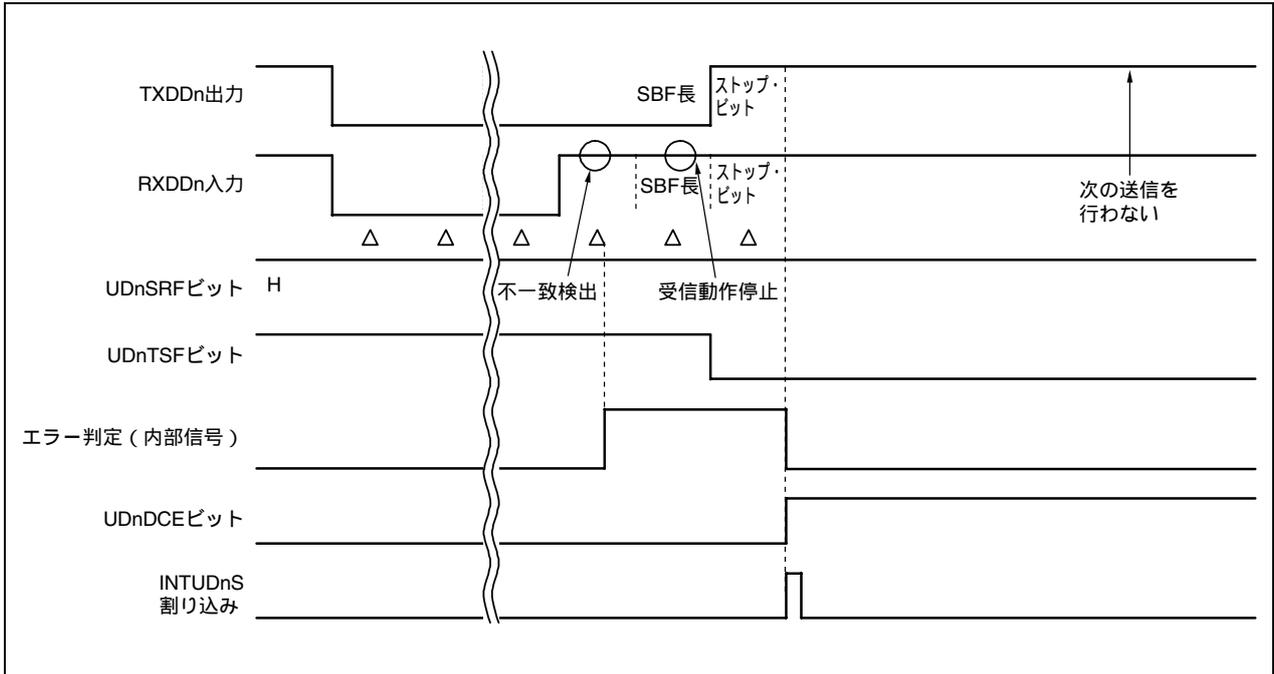
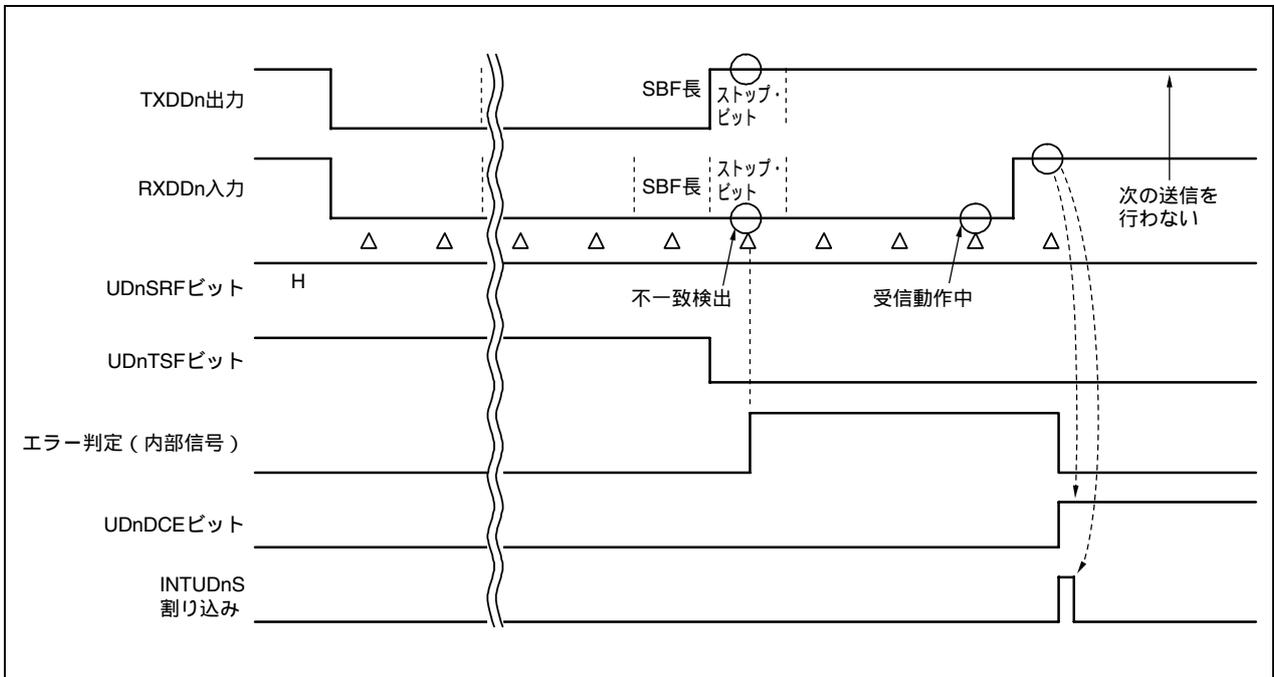


図14 - 20 UDnSRF = 1の場合のSBF送信時一貫性エラー発生タイミング例
 (ストップ・ビット以降に入力データ“1”を検出したとき、受信動作中の場合(前のビットが“0”))



(3) SBFの認識について

SBF受信, 2種類のモードによるSBF認識方法の違いを説明します。

UDnSRS = 1の場合, データの途中からでもSBFを認識するモードですが, SBFの認識はサンプル・ポイントで受信データをサンプリングしロウ・レベルと認識することでカウンタをアップさせ, ハイ・レベルと認識した場合はカウンタをクリア(0)する構造になっています。そして, カウンタ値が“11”になった時点で, SBF受信成立したと判定します。そのため, データ受信中に途中からSBFが送信された場合には, SBFをサンプリングする位置によって10ビット+1クロックから11ビット未満のSBF長だと受信成功が不確実な期間となります。ただし, 11ビット長以上であればSBFは正常に受信されます。

また, 受信スタート時からSBFデータであるならば10.5ビット長でもSBFとして認識します。

したがって, このモードを取り扱う場合, 他ノードとの送信データの衝突または“0x00H”の送信データが存在すると, ノード間でのオシレータの変動誤差の違いによってSBF判定が行われる可能性がありますので注意してください。

図14 - 21 10.5ビット長のロウ・レベルでSBF受信成立(成功)例

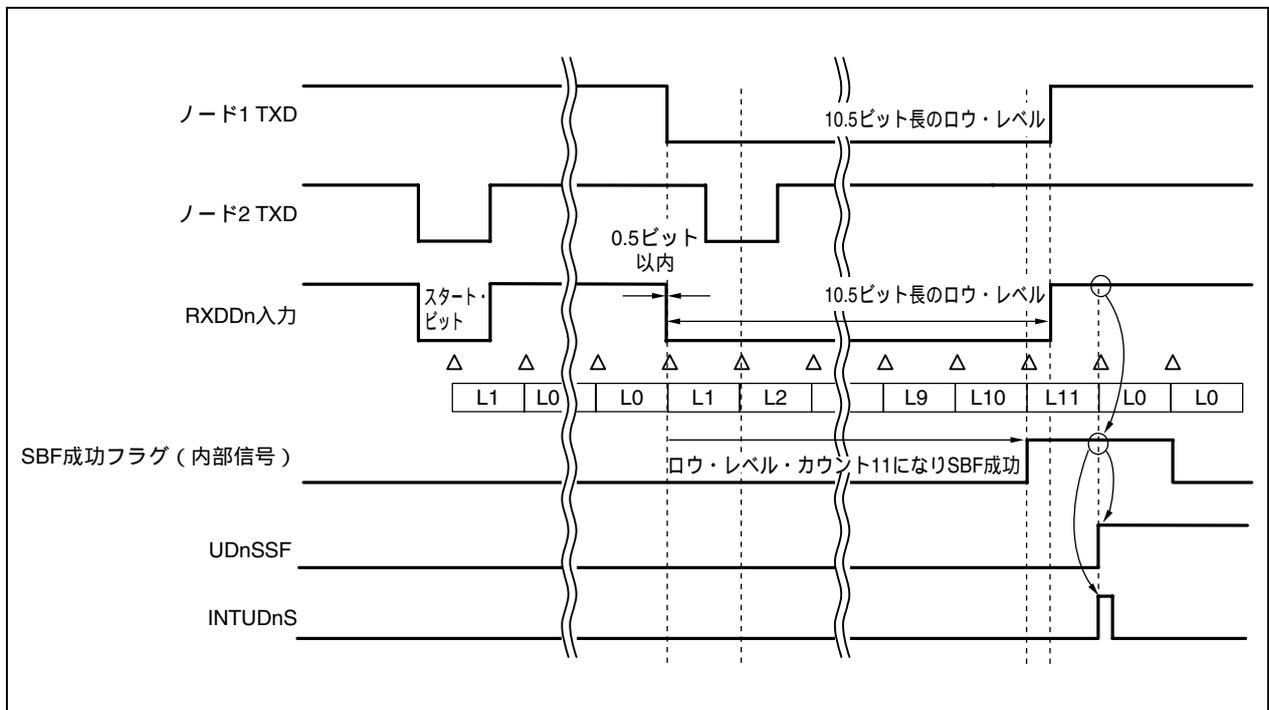


図14 - 22 10.5ビット長のロウ・レベルでSBF受信不成立（不成功）例

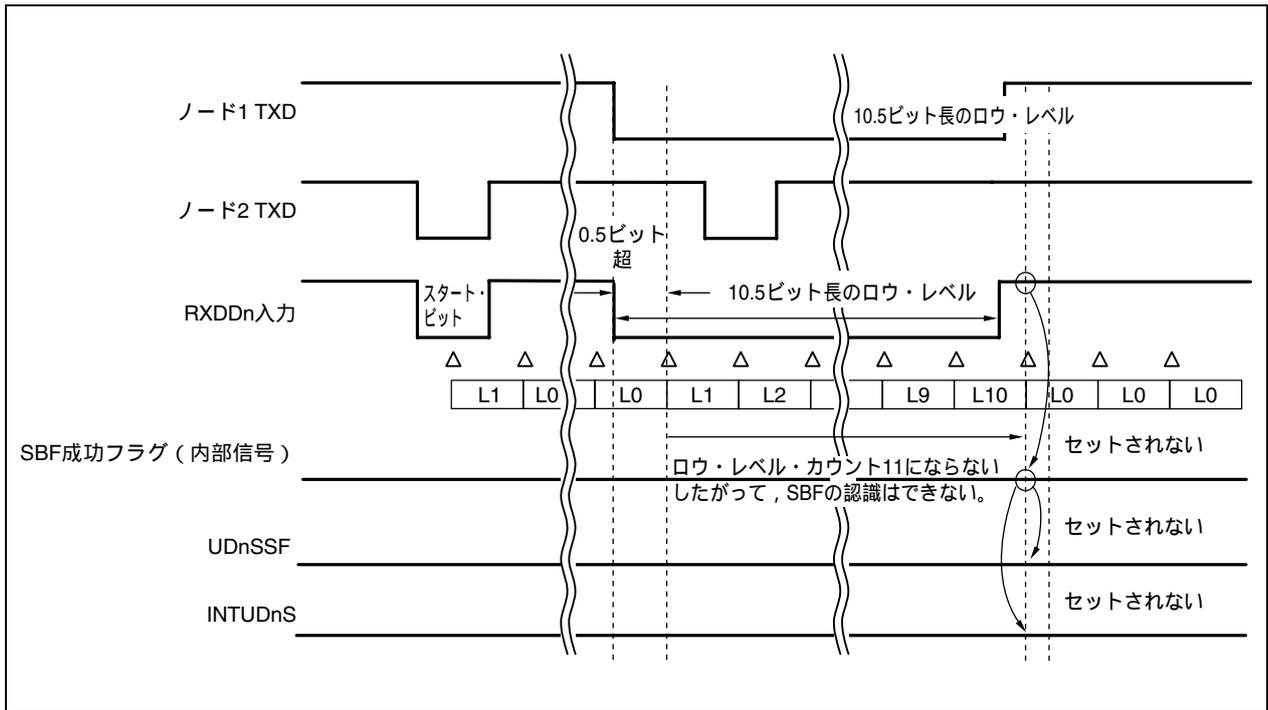


図14 - 23 もっとも短い幅によるSBF受信成立例

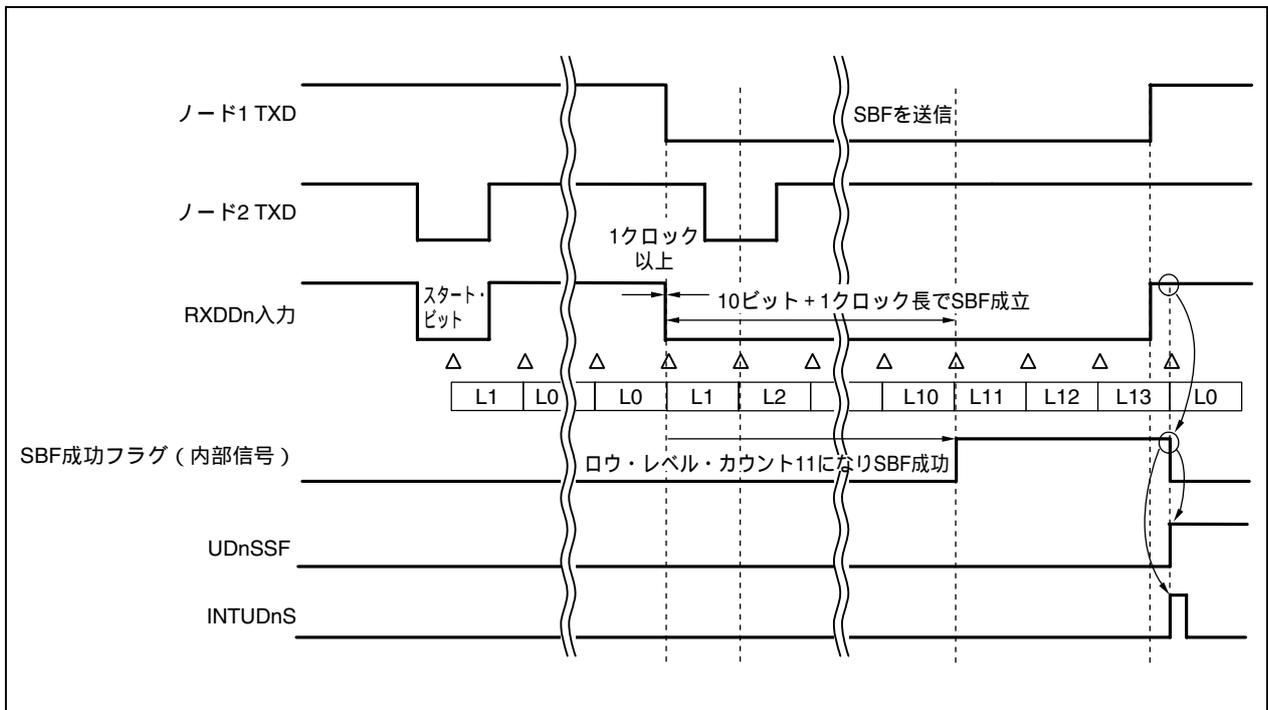
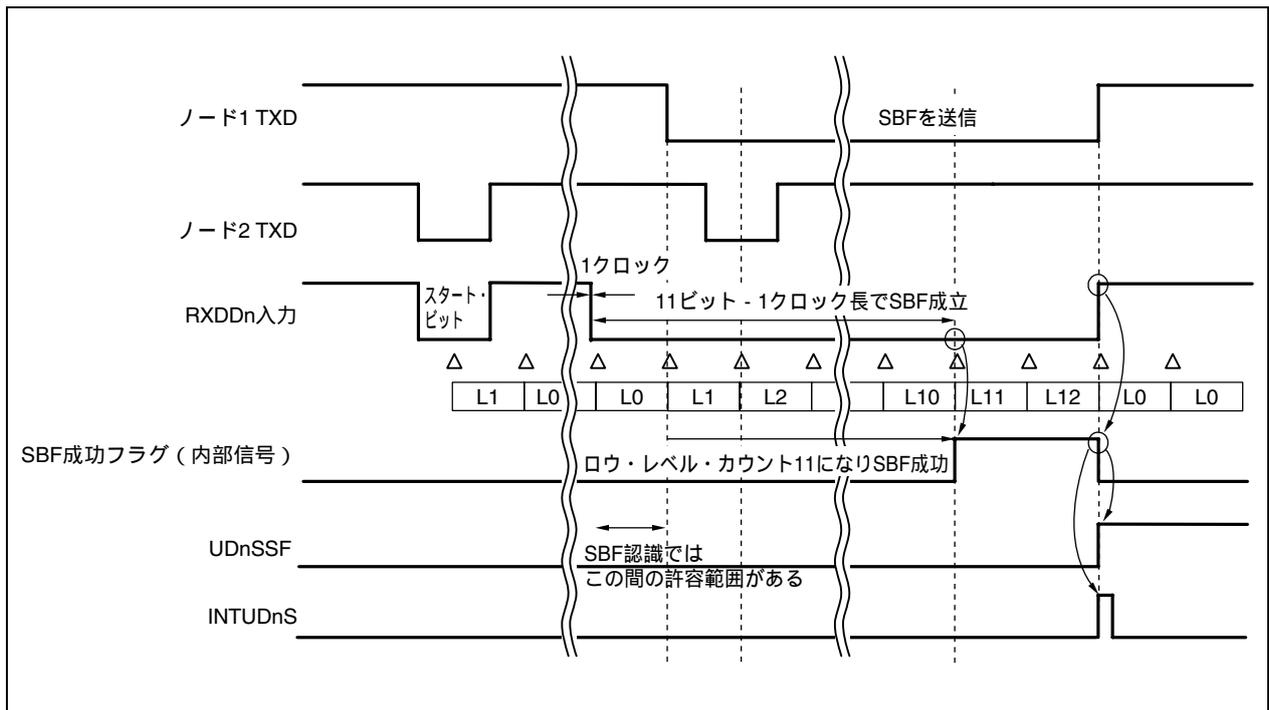


図14 - 24 もっとも長い幅によるSBF受信成立例



14.6.7 UART送信

まず次の操作で送信許可状態にしてください。

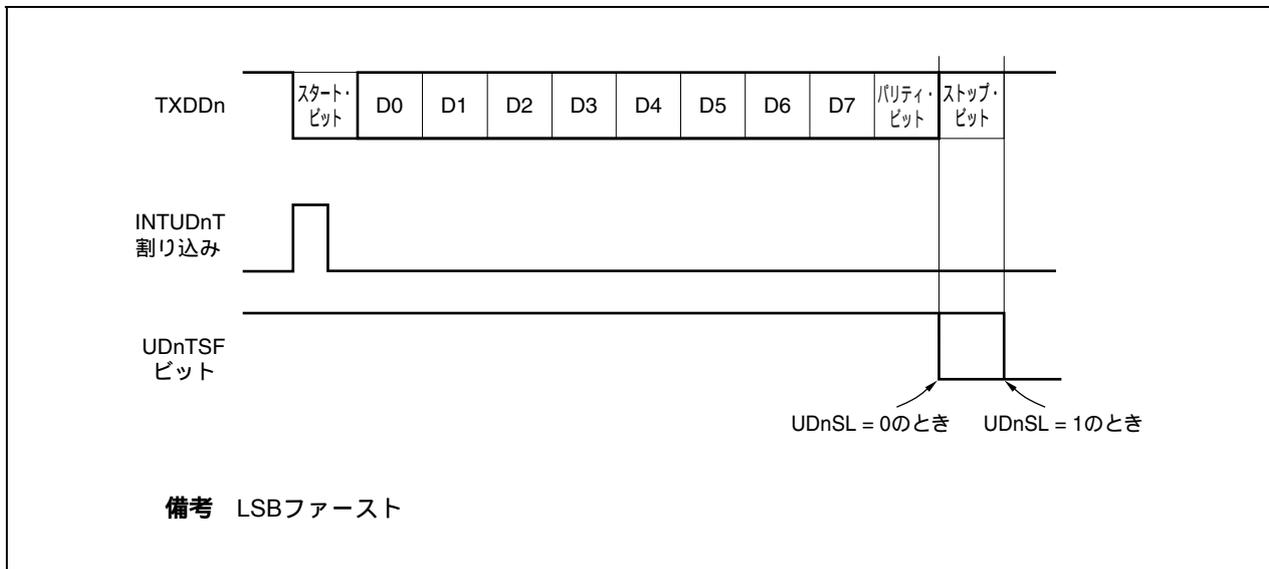
- ・ 動作クロックをUARTD制御レジスタ1 (UDnCTL1) で指定
- ・ ボー・レートUARTD制御レジスタ2 (UDnCTL2) で指定
- ・ 出力論理レベルをUARTDオプション制御レジスタ0 (UDnOPT0) で指定
- ・ 通信方向,パリティ,データ・キャラクタ長,ストップ・ビット長をUARTD制御レジスタ0(UDnCTL0) で指定
- ・ パワー・ビットと送信許可ビットをセット (UDnPWR = 1, UDnTXE = 1)

続いて送信バッファ・レジスタ (UDnTX) に送信データを書き込むことにより送信動作が起動します。通信方向,パリティ,データ・キャラクタ長,ストップ・ビット長の設定を変更する場合には,パワー・ビットをクリア(UDnPWR = 0)した状態,または送信許可ビットと受信許可ビットが共にクリア(UDnTXE = 0, UDnRXE = 0)の状態にしてから,設定を変更してください。

UDnTXレジスタに格納されたデータは送信シフト・レジスタ (UDnTXS) へ転送され,スタート・ビット,パリティ・ビット,ストップ・ビットが付加されて, TXDDn出力から順次シリアル出力されます。またUDnTXレジスタに格納されたデータのUDnTXSへの転送が完了するタイミングで,送信割り込み要求信号 (INTUDnT) を発生します。

INTUDnT割り込みが発生すると,UDnTXレジスタには次の送信データを書き込みます。

図14 - 25 UART送信



14.6.8 連続送信の手順説明

UARTDnはUARTDn送信シフト・レジスタがシフト動作を開始した時点で、次の送信データをUDnTXレジスタへ書き込むことができます。UARTDn送信シフト・レジスタへの送信タイミングは、送信許可割り込み要求信号 (INTUDnT) で判断できます。次に送信するデータを、転送中にUDnTXレジスタに書き込むことにより、効率的な通信レートを実現できます。

連続送信時には、送信データをUDnTXレジスタに書き込み後、UARTDn送信シフト・レジスタに転送され、送信要求割り込み信号 (INTUDnT) が発生するまで、次の送信データをUDnTXレジスタに書き込まないようにしてください。送信要求割り込み信号発生以前にUDnTXレジスタに値を書き込むと以前に設定した送信データが最新の送信データに上書きされてしまいます。

- 注意1. 送信ユニットを初期化する場合は、送信状態フラグがリセット (UDnTSF = 0) されていることを確認する必要があります。UDnTSF = 1の状態では初期化すると送信が途中で中断されます。
2. 連続送信の場合でもストップ・ビット送信後、次のスタート・ビットが送信されるまでに動作クロック2クロック分の間があります。ただし、受信側はスタート・ビットの検出によりタイミングを初期化するため、通信に支障はありません。

図14 - 26 連続送信の処理フロー

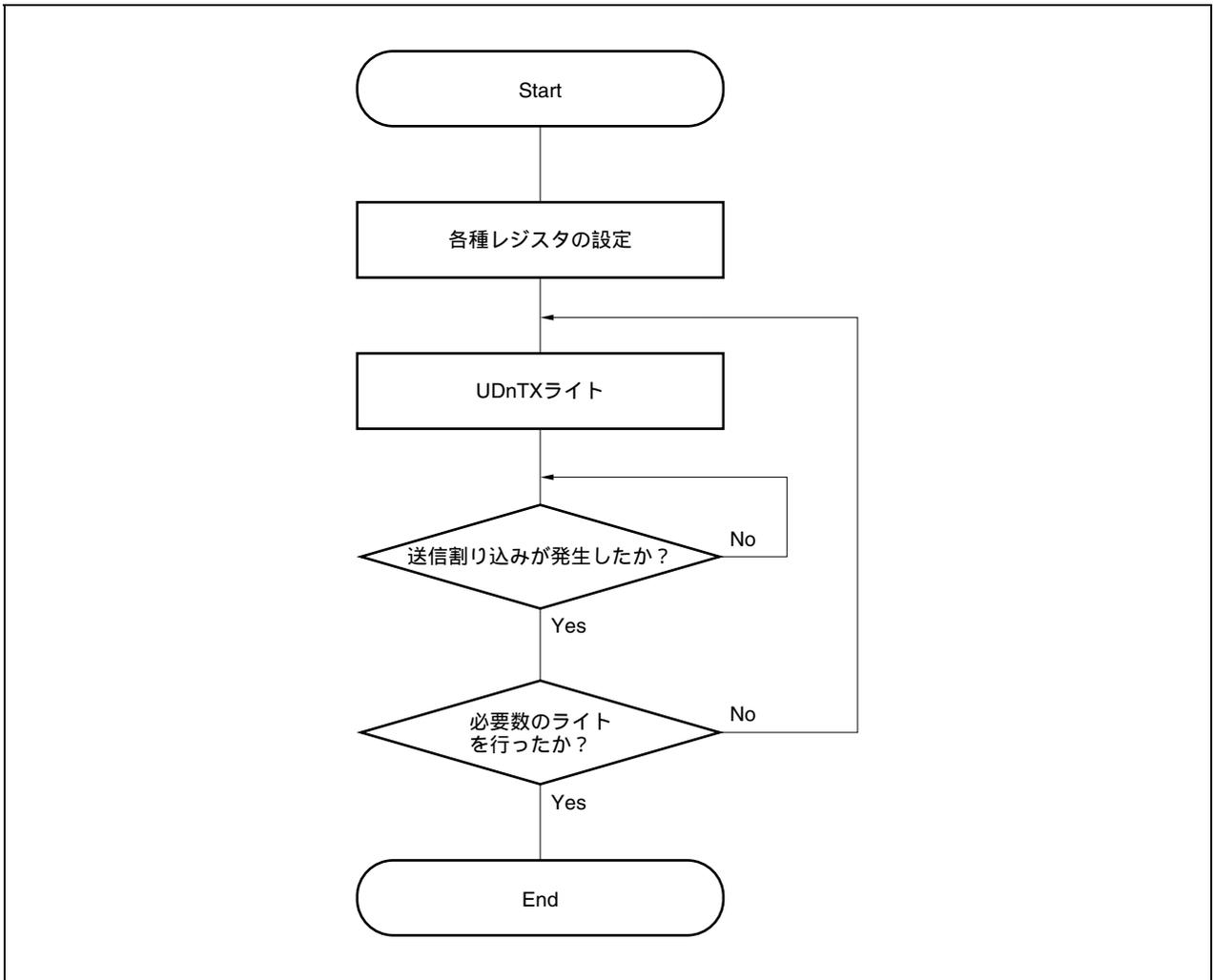
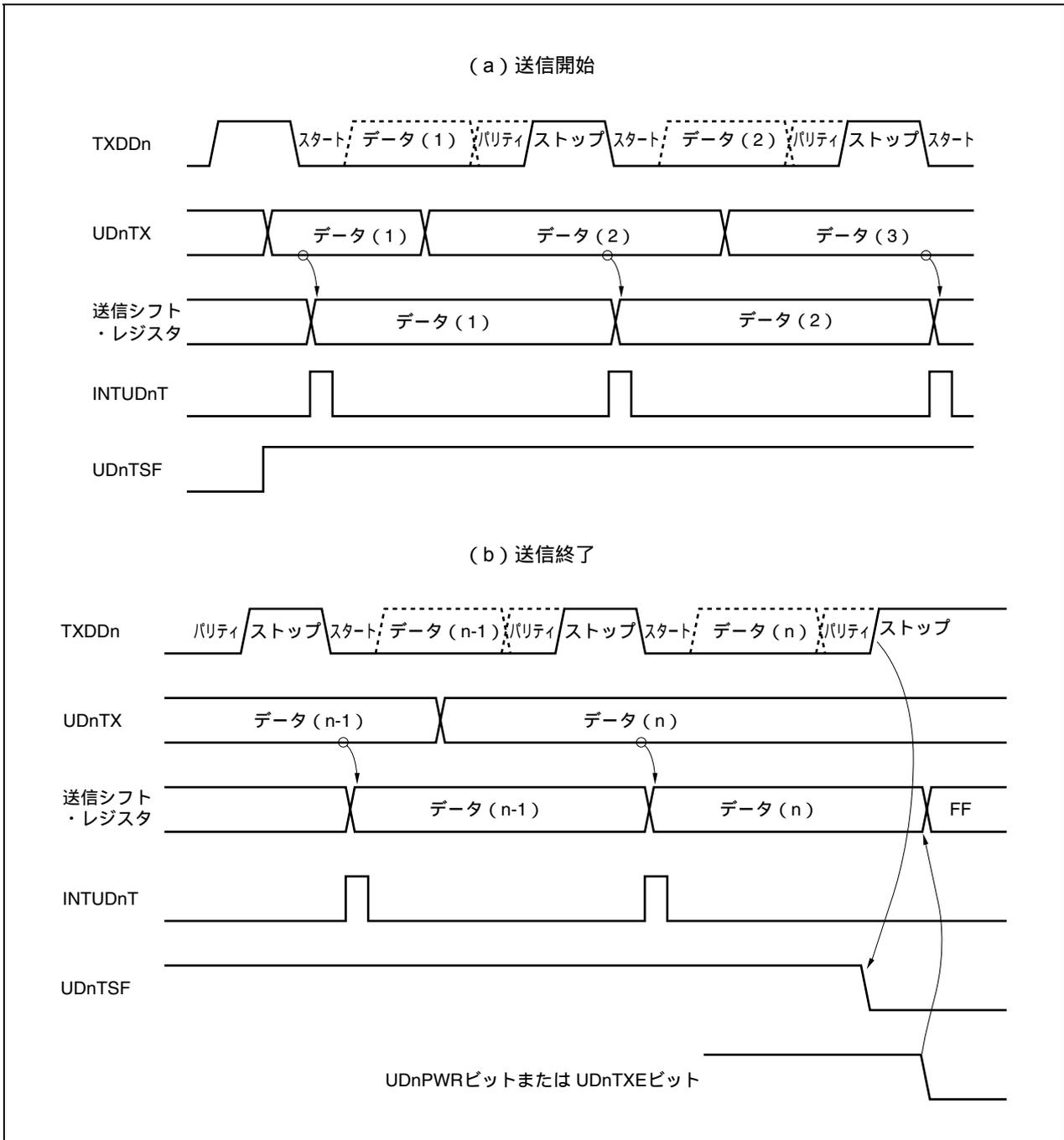


図14 - 27 連続送信動作のタイミング



14.6.9 UART受信

まず次の操作で受信許可状態とし、RXDDn入力の変動とスタート・ビットの検出を行います。

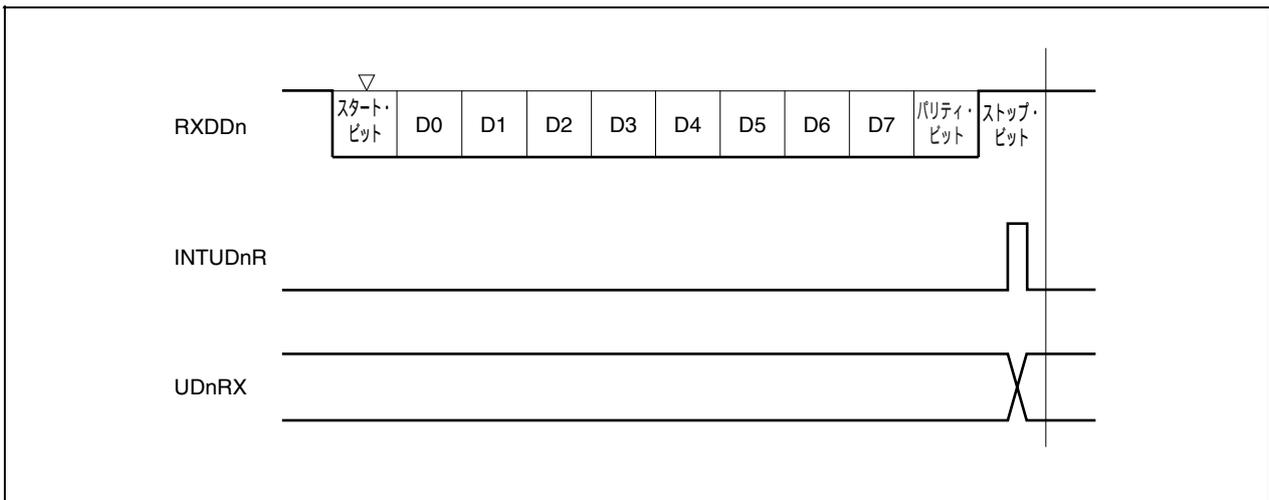
- ・ 動作クロックをUARTD制御レジスタ1 (UDnCTL1) で指定
- ・ ボー・レートはUARTD制御レジスタ2 (UDnCTL2) で指定
- ・ 出力論理レベルをUARTDオプション制御レジスタ0 (UDnOPT0) で指定
- ・ 通信方向, パリティ, データ・キャラクタ長, ストップ・ビット長をUARTD制御レジスタ0 (UDnCTL0) で指定
- ・ パワー・ビットと受信許可ビットをセット (UDnPWR = 1, UDnRXE = 1)

次に通信方向, パリティ, データ・キャラクタ長, ストップ・ビット長の設定を変更する場合には, パワー・ビットをクリア (UDnPWR = 0) した状態, または送信許可ビットと受信許可ビットが共にクリア (UDnTXE = 0, UDnRXE = 0) の状態にしてから, 設定を変更してください。

RXDDn入力のレベルを動作クロックでサンプリングし, 立ち下がりエッジを検出すると, RXDDn入力のデータ・サンプリングが始まり, 立ち下がりエッジ検出後の1/2ビット分の時間後 (図14 - 28の印) にロウ・レベルであればスタート・ビットと認識します。スタート・ビットが認識されたら, 受信動作を開始し, 設定されたボー・レートに合わせてシリアル・データを順次, 受信シフト・レジスタに格納します。ストップ・ビットを受信したら, 受信完了割り込み要求信号 (INTUDnR) が発生すると同時に, 受信シフト・レジスタに格納されたデータを受信データ・レジスタ (UDnRX) レジスタに転送します。

ただし, オーバラン・エラーが発生 (UDnOVE = 1) した場合, そのときの受信データはUDnRXに転送されず, 破棄されます。一方, パリティ・エラー (UDnPE = 1), フレーミング・エラー (UDnFE = 1) が発生しても, ストップ・ビットの受信位置までは受信を継続し, 受信データはUDnRXレジスタに転送されます。どの受信エラーが発生した場合でも, 受信完了後にINTUDnS割り込みを発生し, INTUDnR割り込みは発生しません。

図14 - 28 UART受信



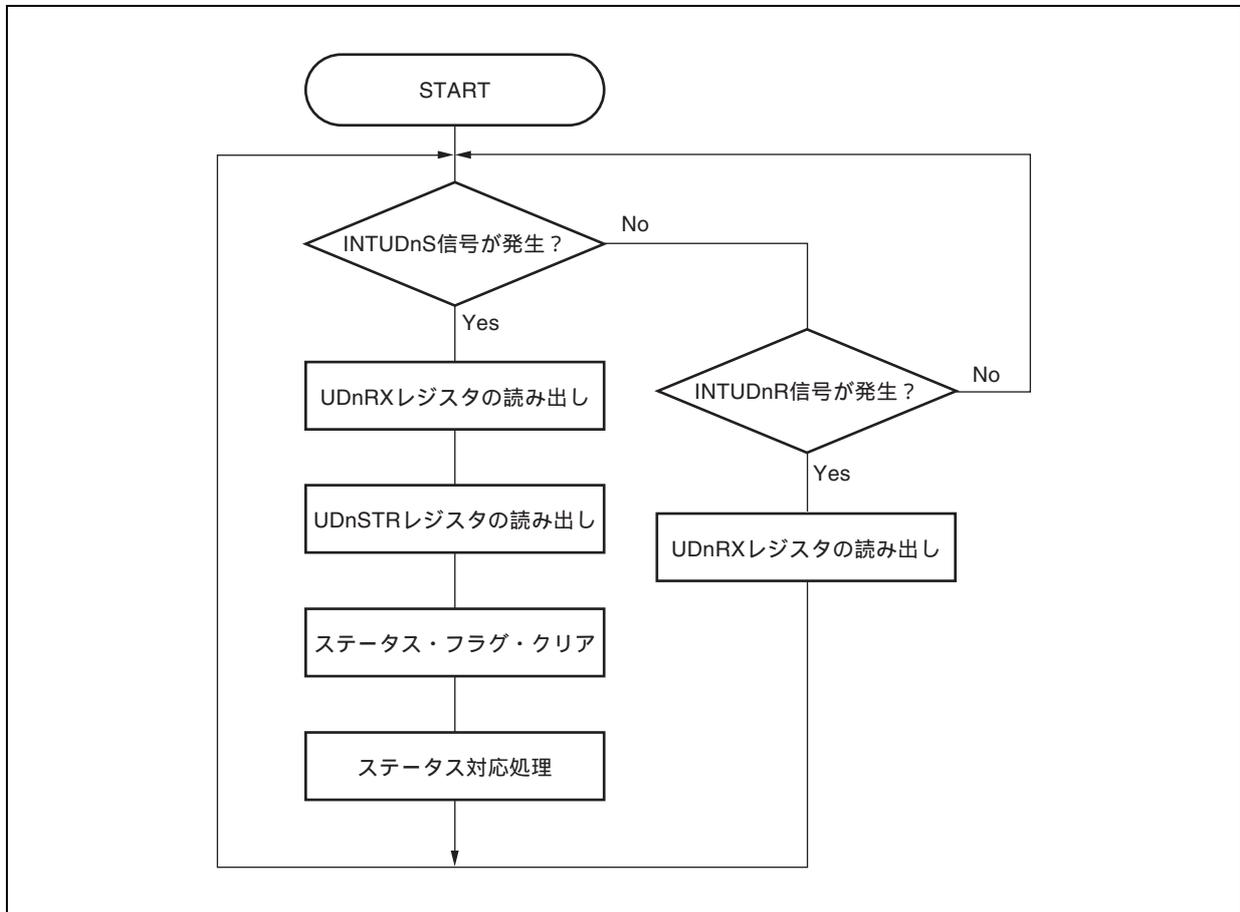
- 注意1. 受信エラー発生時にも、受信データ・レジスタ (UDnRX) は必ず読み出してください。UDnRXを読み出さないと、次のデータ受信完了時にオーバーラン・エラーが発生します。
2. 受信は、常にストップ・ビット数 = 1として動作します。
そのとき、2ビット目のストップ・ビットは無視されます。
3. RXDDn入力に、常時ロウ・レベルが入力されている状態だとスタート・ビットとは判断しません。
4. 連続受信の場合、最初の受信データのストップ・ビット検出直後（受信完了割り込み発生時）から、次のスタート・ビットの検出は可能です。

14.6.10 受信割り込み発生時の処理手順

受信割り込み発生時の処理手順は次のとおりです。

なお、次の処理手順におけるステータス・フラグは、UDnTSFビット以外のフラグとなります。

図14 - 29 受信データの読み出しフロー



(1) ステータス対応処理例

LIN通信を行う場合の図14 - 29におけるステータス対応処理の例を次に示します。

表14 - 5 LIN通信時のステータス対応処理例 (UDnSRS = 1, UDnDCS = 1の場合)

UDnSSF	UDnDCE	UDnFE	UDnOVE	状態	処理例
1	1	x	x	マスタ時, SBF送信中に送受信データの不一致を検出。ただし, 11ビット以上の連続ロウ・レベルは受信しているため, 次のデータ送信準備済みであっても, その送信は行われない。	<ul style="list-style-type: none"> 通信相手がSBFを認識できていない可能性があるため, 次のデータ (Synch Field) 送信は行わず, 次のタイム・スケジュールを待つ 通信相手がSBFを認識できていない可能性はあるが, 次のデータ (Synch Field) 送信を行うため, すべてのステータス・フラグをクリアして, 次のデータを書き込む
1	0	x	x	マスタ時, SBF送信, SBF受信に成功。	次のデータ (Synch Field) の送信処理を行う
				スレーブ時, SBF受信に成功。	次のデータ (Synch Field) の受信処理を行う
0	1	x	x	マスタ時, SBF送信またはデータ送信に失敗。次のデータまたはSBFの送信準備済みであっても, その送信は行われない。	その後の送受信データは破棄し, 次のタイム・スケジュールを待つ
				スレーブ時, データ送信に失敗。次のデータ送信準備済みであっても, その送信は行われない。	その後の送受信データは破棄し, 次のタイム・スケジュールを待つ
0	0	1	x	データ受信時にフレーミング・エラーを検出。	フレーミング・エラー検出時の処理を行う
0	0	x	1	データ受信時にオーバーラン・エラーを検出。直前に受信した1データが破棄されている。	オーバーラン・エラー検出時の処理を行う

注意1. いずれの処理においても, セットされているステータス・フラグはすべてクリアしてください。

- LIN通信においてエラーを検出, またはUDnSRS = 1を設定時, SBF受信に成功したとき, 受信完了割り込み要求信号 (INTUDnR) ではなく, ステータス割り込み要求信号 (INTUDnS) を発生し, 通信状態にしたがってステータス・フラグがセットされます。

備考 x : Don't Care

(2) ステータス割り込み発生要因

ステータス割り込み発生要因には、パリティ・エラー、フレーミング・エラー、オーバラン・エラーと、LIN通信時のみに発生する、データの一貫性エラー、SBF受信成功があります。これらを検出すると、ステータス割り込み要求信号 (INTUDnS) を発生します。発生要因は状態レジスタ (UDnSTR) で参照できます。ステータス割り込み処理ルーチンでUDnSTRを参照し、処理内容を決定してください。

UDnTSFを除くステータス・フラグは、ソフトウェアにて“0”書き込みでクリアする必要があります。

表14 - 6 ステータス割り込み発生要因

ステータス・フラグ	発生要因	内 容
UDnPE	パリティ・エラー	受信データのパリティ計算結果と受信したパリティ・ビットの値が一致しない
UDnFE	フレーミング・エラー	ストップ・ビットが検出されない (ストップ・ビット位置でロウ・レベルを検出)
UDnOVE	オーバラン・エラー	受信データ・レジスタに転送された受信データを読み出す前に次のデータ受信が完了した
UDnDCE	データの一貫性エラー	データの一貫性チェック選択ビット (UDnDCS) をセット、かつデータを送信しているとき、送信データと受信データの値が一致しない
UDnSSF	SBF受信成功	SBF受信モード選択ビット (UDnSRS) をセットしているとき、新規のSBF受信に成功した (マスタがSBFを送信した場合においても発生)

ステータス割り込み発生時、発生要因により次の処理が必要です。

・パリティ・エラー、データの一貫性エラー

誤ったデータを受信しているので、受信データを破棄し、再度通信を行ってください。データの一貫性エラーの場合は、データの衝突も考えられます。

・フレーミング・エラー

正常にストップ・ビットを検出できなかったか、スタート・ビットの誤検出によるビットずれが発生していることが考えられます。また、特にLINによる通信では送信側とボー・レートがずれていることや不十分な長さのSBFを受信した可能性もあります。頻繁にフレーミング・エラーが発生する場合には送信側、受信側の双方が初期化処理を行い、再度通信を開始してください。

・オーバラン・エラー

受信データを読み出す前に次の受信が完了しているので、直前に受信した1フレーム分のデータが破棄された状態となっています。必要なデータであれば再度通信を行ってください。

・SBF受信成功

新規のSBF受信に成功しています。新たなフレーム・スロットの開始に備えてください。

注意 ステータス・フラグは、最新の状態を反映しているのではなく、ステータス・フラグのクリア後に発生したすべての要因の累積です。そのため、次の受信完了までに対応処理を完了し、ステータス・フラグをクリアしてください。

表14 - 7 ステータス割り込みの発生タイミングおよびステータス・フラグの変化タイミング

ステータス・フラグ	モード設定			ステータス割り込みとフラグの変化タイミング
	SBF受信モード 選択 (UDnSRS)	データの一貫性チェ ック (UDnDCS)	SBF受信フラグ (UDnSRF)	
UDnPE	0	0	0	データのストップ・ビットの受信サンプル・ポイント (これ以外のモードでは、パリティなしを選択)
UDnFE, UDnOVE	0	×	0	データのストップ・ビットの受信サンプル・ポイント
	0	×	1	変化しない
	1	0	×	設定禁止
	1	1	0	データのストップ・ビット以降に、入力データ“1”を検出した受信サンプル・ポイント
	1	1	1	変化しない
UDnDCE	×	0	×	変化しない
	0	1	0	ストップ・ビット送信開始時に受信動作中の場合、ストップ・ビットの受信サンプル・ポイント
				ストップ・ビット送信開始時に受信動作が停止している場合、ストップ・ビットの次のビット開始時
	0	1	1	ストップ・ビット送信開始時に、直前の入力データが“0”の場合、ストップ・ビット以降の入力データの立ち上がりエッジ検出時
				ストップ・ビット送信開始時に、直前の入力データが“1”の場合、ストップ・ビットの次のビット開始時
	1	1	0	ストップ・ビット送信開始時に受信動作中の場合、ストップ・ビット以降に、入力データ“1”を検出した受信サンプル・ポイント
				ストップ・ビット送信開始時に受信動作が停止している場合、ストップ・ビットの次のビット開始時
	1	1	1	ストップ・ビット送信以降に入力データ“1”を検出したときに、前のビットが“0”の場合、“1”を検出したビットの受信サンプル・ポイント
ストップ・ビット送信以降に入力データ“1”を検出したときに、前のビットが“1”の場合、次のビット開始時				
UDnSSF	0	×	×	変化しない
	1	0	×	設定禁止
	1	1	×	11ビット以上の入力データ“0”を検出後に、“1”を検出した受信サンプル・ポイント

備考 × : Don't Care

14.6.11 パリティの種類と動作

注意 LIN機能を使用する場合、UDnCTL0.UDnPS1, UDnPS0ビットを“00”に固定してください。

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は送信側と受信側のパリティ・ビットは同一の種類のもを使用します。

偶数パリティと奇数パリティでは奇数個ビットの誤りを検出することができます。0パリティとパリティなしでは誤りを検出することはできません。

(a) 偶数パリティ

(i) 送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に値が“1”のビット数が奇数個：1
- ・送信データ中に値が“1”のビット数が偶数個：0

(ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(b) 奇数パリティ

(i) 送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に、値が“1”のビット数が奇数個：0
- ・送信データ中に、値が“1”のビット数が偶数個：1

(ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(c) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(d) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

14. 6. 12 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロックでRXDDn端子をサンプリングします。

サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。したがって、2クロック幅以下のデータはノイズとして判断され、内部回路には伝わりません(図14 - 31参照)。基本クロックについては14. 7 (1) (a) 基本クロックを参照してください。

また、回路は図14 - 30のようにになっているので、受信動作の内部での処理は、外部の信号状態より3クロック分遅れて動作することになります。

図14 - 30 ノイズ・フィルタ回路

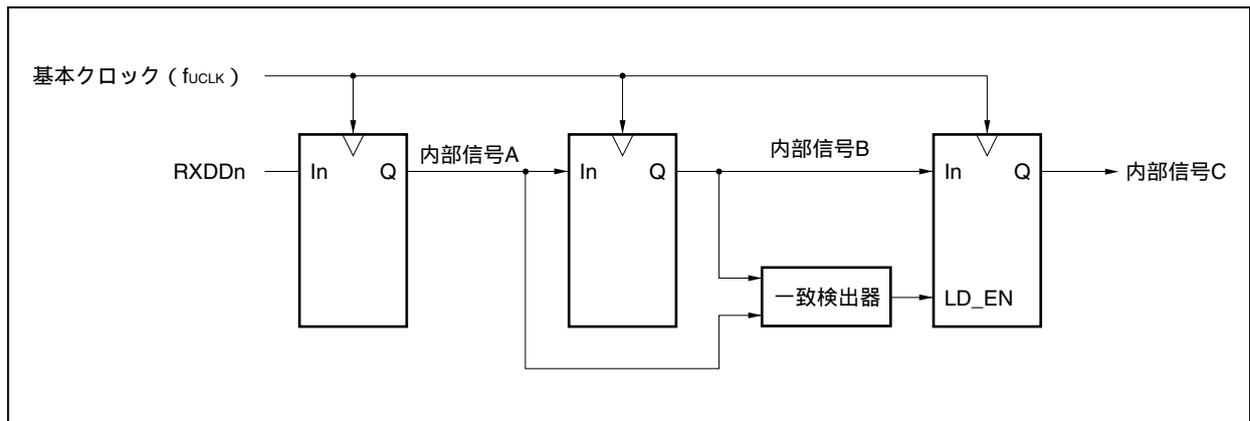
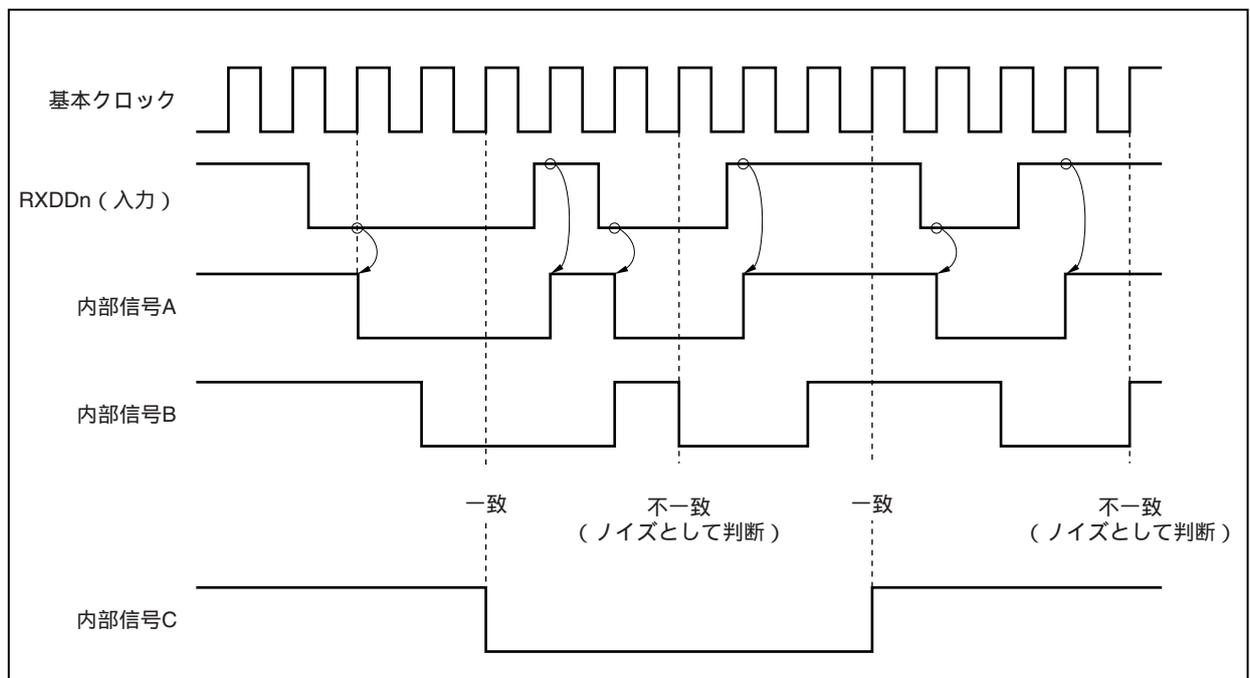


図14 - 31 ノイズとして判断されるRXDDn信号のタイミング



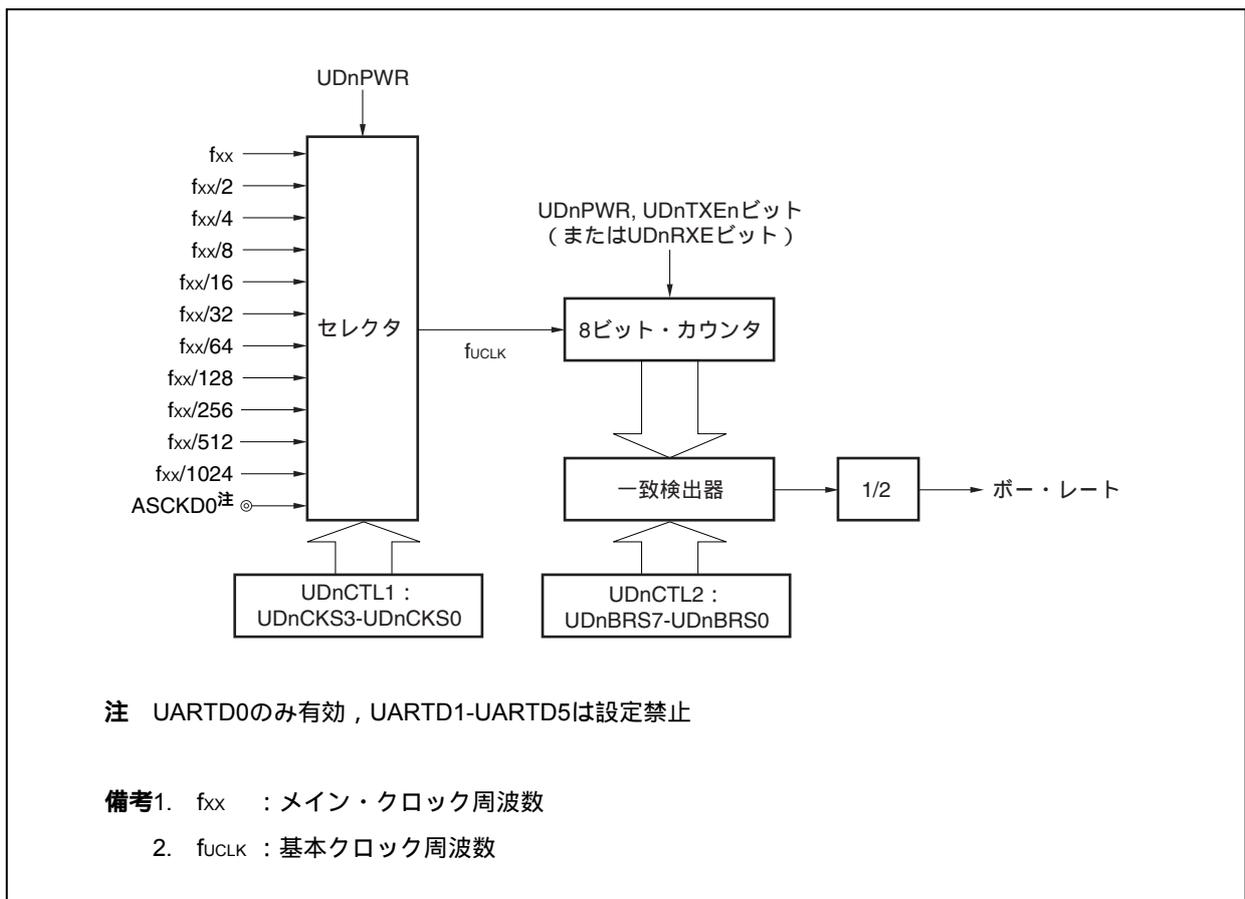
14.7 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UARTDnにおける送受信時のシリアル・クロックを生成します。シリアル・クロックは、チャンネルごとに専用ポー・レート・ジェネレータ出力を選択できます。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

(1) ポー・レート・ジェネレータの構成

図14 - 32 ポー・レート・ジェネレータの構成



(a) 基本クロック

UDnCTL0.UDnPWRビット = 1のとき、UDnCTL1.UDnCKS3-UDnCKS0ビットで選択したクロックを8ビット・カウンタに供給します。このクロックを基本クロック (f_{uCLK}) と呼びます。

(b) シリアル・クロックの生成

UDnCTL1レジスタとUDnCTL2レジスタの設定により、シリアル・クロックを生成できます。

UDnCTL1.UDnCKS3-UDnCKS0ビットにより、基本クロックを選択します。

UDnCTL2.UDnBRS7-UDnBRS0ビットにより、8ビット・カウンタの分周値を設定できます。

(2) UARTDn制御レジスタ1 (UDnCTL1)

UDnCTL1レジスタは、UARTDnの基本クロックを選択するための8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 UDnCTL1レジスタを書き換える場合は、UDnCTL0.UDnPWRビット = 0にしてから行ってください。

リセット時：00H R/W アドレス：UD0CTL1 FFFFFFFA01H, UD1CTL1 FFFFFFFA11H,
UD2CTL1 FFFFFFFA21H, UD3CTL1 FFFFFFFA31H,
UD4CTL1 FFFFFFFA41H, UD5CTL1 FFFFFFFA51H

	7	6	5	4	3	2	1	0
UDnCTL1	0	0	0	0	UDnCKS3	UDnCKS2	UDnCKS1	UDnCKS0

UDnCKS3	UDnCKS2	UDnCKS1	UDnCKS0	基本クロック (f _{uCLK}) の選択
0	0	0	0	f _{xx}
0	0	0	1	f _{xx} /2
0	0	1	0	f _{xx} /4
0	0	1	1	f _{xx} /8
0	1	0	0	f _{xx} /16
0	1	0	1	f _{xx} /32
0	1	1	0	f _{xx} /64
0	1	1	1	f _{xx} /128
1	0	0	0	f _{xx} /256
1	0	0	1	f _{xx} /512
1	0	1	0	f _{xx} /1024
1	0	1	1	外部クロック ^注 (ASCKD0端子)
上記以外				設定禁止

注 UARTD0のみ有効, UARTD1-UARTD5は設定禁止

備考 f_{xx} : メイン・クロック周波数

(3) UARTDn制御レジスタ2 (UDnCTL2)

UDnCTL2レジスタは、UARTDnのボー・レート（シリアル転送スピード）クロックを選択するための8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットによりFFHになります。

注意 UDnCTL2レジスタを書き換える場合は、UDnCTL0.UDnPWRビット = 0、またはUDnTXE, UDnRXEビット = 00にしてから行ってください。

リセット時：FFH R/W アドレス：UD0CTL2 FFFFA02H, UD1CTL2 FFFFA12H,
UD2CTL2 FFFFA22H, UD3CTL2 FFFFA32H,
UD4CTL2 FFFFA42H, UD5CTL2 FFFFA52H

	7	6	5	4	3	2	1	0
UDnCTL2	UDnBRS7	UDnBRS6	UDnBRS5	UDnBRS4	UDnBRS3	UDnBRS2	UDnBRS1	UDnBRS0

UDn BRS7	UDn BRS6	UDn BRS5	UDn BRS4	UDn BRS3	UDn BRS2	UDn BRS1	UDn BRS0	規定値 (k)	シリアル・クロック
0	0	0	0	0	0	x	x	x	設定禁止
0	0	0	0	0	1	0	0	4	f _{CLK} /4
0	0	0	0	0	1	0	1	5	f _{CLK} /5
0	0	0	0	0	1	1	0	6	f _{CLK} /6
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	0	0	252	f _{CLK} /252
1	1	1	1	1	1	0	1	253	f _{CLK} /253
1	1	1	1	1	1	1	0	254	f _{CLK} /254
1	1	1	1	1	1	1	1	255	f _{CLK} /255

備考 f_{CLK} : UDnCTL1.UDnCKS3-UDnCKS0ビットで選択したクロック周波数

(4) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{\text{UCLK}}}{2 \times k} \quad [\text{bps}]$$

内部クロックを使用する場合は、次の式になります (UARTD0でASCKD0端子入力をクロックとして使用する場合は、上の式で計算してください)。

$$\text{ボー・レート} = \frac{f_{\text{xx}}}{2^{m+1} \times k} \quad [\text{bps}]$$

備考 f_{UCLK} = UDnCTL1.UDnCKS3-UDnCKS0ビットで選択した基本クロックの周波数

f_{xx} : メイン・クロック周波数

m = UDnCTL1.UDnCKS3-UDnCKS0ビットで設定した値 ($m = 0-10$)

k = UDnCTL2.UDnBRS7-UDnBRS0ビットで設定した値 ($k = 4-255$)

ボー・レート誤差は次の式によって求められます。

$$\begin{aligned} \text{誤差}(\%) &= \left[\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{目標ボー・レート (正常なボー・レート)}} - 1 \right] \times 100 [\%] \\ &= \left[\frac{f_{\text{UCLK}}}{2 \times k \times \text{目標ボー・レート}} - 1 \right] \times 100 [\%] \end{aligned}$$

内部クロックを使用する場合は、次の式になります (UARTD0でASCKD0端子入力をクロックとして使用する場合は、上の式で計算してください)。

$$\text{誤差}(\%) = \left[\frac{f_{\text{xx}}}{2^{m+1} \times k \times \text{目標ボー・レート}} - 1 \right] \times 100 [\%]$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(5) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

ボー・レートを設定するときは、次のように計算してUDnCTL1, UDnCTL2レジスタを設定してください (内部クロック使用時)。

$k = f_{xx} / (2 \times \text{目標ボー・レート})$ とし、 $m = 0$ としてください。

$k > 256$ のとき、 $k = k/2$ とし、 $m = m + 1$ としてください。

$k < 256$ になるまで、を繰り返してください。

k の小数点第一位を四捨五入します。

四捨五入して、 $k = 256$ になったときは、もう一度 を行ってください ($k = 128$ になります)。

m をUDnCTL1レジスタに、 k をUDnCTL2レジスタに設定してください。

例： $f_{xx} = 20 \text{ MHz}$ ，目標ボー・レート：153,600 bpsの場合

$$k = 20,000,000 / (2 \times 153,600) = 65.10\dots, m = 0$$

$$, \quad k = 65.10\dots < 256, m = 0$$

$$\text{UDnCTL2レジスタ設定値} : k = 65 = 41\text{H}, \text{UDnCTL1レジスタ設定値} : m = 0$$

$$\begin{aligned} \text{実際のボー・レート} &= 20,000,000 / (2 \times 65) \\ &= 153,846 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{ボー・レート誤差} &= \{ 20,000,000 / (2 \times 65 \times 153,600) - 1 \} \times 100 \\ &= 0.160 \text{ [%]} \end{aligned}$$

次に、代表的なボー・レートの設定例を示します。

表14 - 8 ボー・レート・ジェネレータ設定データ

ボー・レート (bps)	$f_{xx} = 32 \text{ MHz}$			$f_{xx} = 20 \text{ MHz}$			$f_{xx} = 16 \text{ MHz}$		
	UDnCTL1	UDnCTL2	ERR (%)	UDnCTL1	UDnCTL2	ERR (%)	UDnCTL1	UDnCTL2	ERR (%)
300	08H	D0H	0.16	08H	82H	0.16	07H	D0H	0.16
600	07H	D0H	0.16	07H	82H	0.16	06H	D0H	0.16
1200	06H	D0H	0.16	06H	82H	0.16	05H	D0H	0.16
2400	05H	D0H	0.16	05H	82H	0.16	04H	D0H	0.16
4800	04H	D0H	0.16	04H	82H	0.16	03H	D0H	0.16
9600	03H	D0H	0.16	03H	82H	0.16	02H	D0H	0.16
19200	02H	D0H	0.16	02H	82H	0.16	01H	D0H	0.16
31250	02H	80H	0.00	01H	A0H	0.00	01H	80H	0.00
38400	01H	D0H	0.16	01H	82H	0.16	00H	D0H	0.16
76800	00H	D0H	0.16	00H	82H	0.16	00H	68H	0.16
115200	00H	8BH	- 0.08	00H	57H	- 0.22	00H	45H	0.64
153600	00H	68H	0.16	00H	41H	0.16	00H	34H	0.16
312500	00H	33H	0.39	00H	20H	0.00	00H	1AH	- 1.54
625000	00H	1AH	- 1.54	00H	10H	0.00	00H	0DH	- 1.54
1250000	00H	0DH	- 1.54	00H	08H	0.00	-	-	-

備考 f_{xx} : メイン・クロック周波数

ERR : ボー・レート誤差 [%]

(5) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図14 - 33 受信時の許容ボー・レート範囲

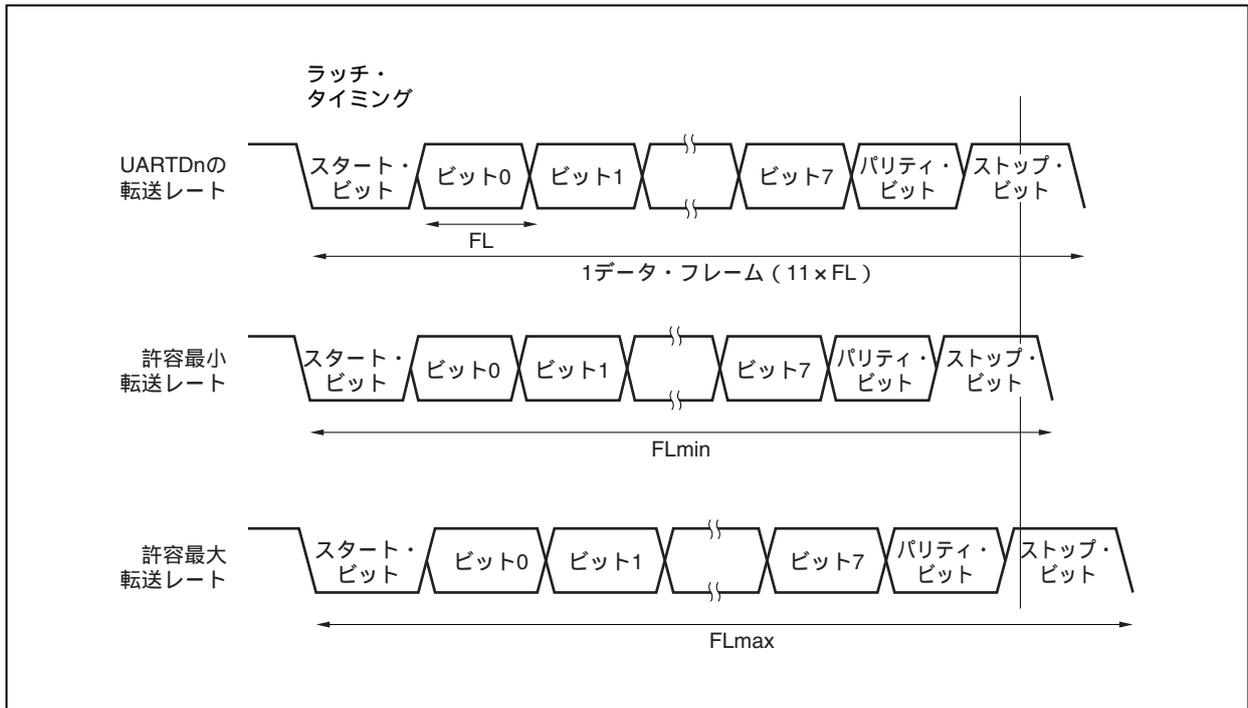


図14 - 33に示すように、スタート・ビット検出後はUDnCTL2レジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ(ストップ・ビット)までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UARTDnのボー・レート (n = 0-3)

k : UDnCTL2.UDnBRS7-UDnBRS0ビットの設定値 (n = 0-3)

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小転送レート} : FL_{\min} = 11 \times FL - \frac{k - 2}{2k} \times FL = \frac{21k + 2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{max} = (FL_{min}/11)^{-1} = \frac{22k}{21k + 2} \text{ Brate}$$

同様に、許容最大転送レートを求めると、次のようになります。

$$\frac{10}{11} \times FL_{max} = 11 \times FL - \frac{k + 2}{2 \times k} \times FL = \frac{21k - 2}{2 \times k} FL$$

$$FL_{max} = \frac{21k - 2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{min} = (FL_{max}/11)^{-1} = \frac{20k}{21k - 2} \text{ Brate}$$

前述の最小/最大ボー・レート値の算出式から、UARTDnと送信先とのボー・レートの許容誤差を求めると次のようになります。

表14-9 許容最大/最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	+ 2.32 %	- 2.43 %
8	+ 3.53 %	- 3.61 %
20	+ 4.26 %	- 4.31 %
50	+ 4.56 %	- 4.58 %
100	+ 4.66 %	- 4.67 %
255	+ 4.72 %	- 4.73 %

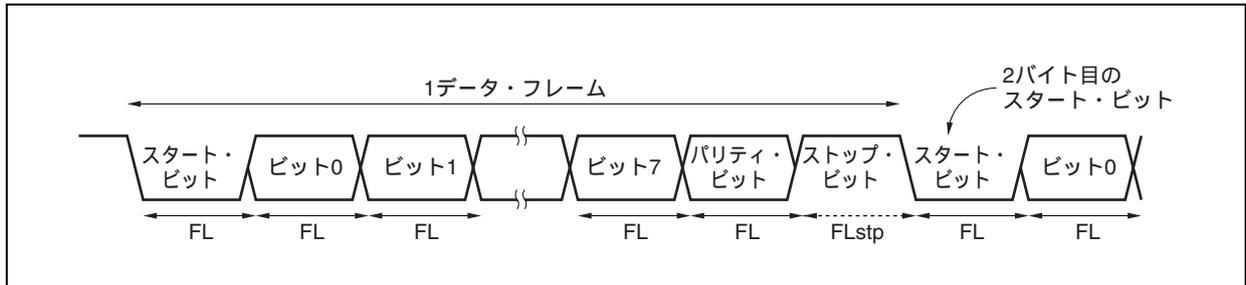
備考1. 受信の精度は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど精度は高くなります。

2. k : UDnCTL2.UDnBRS7-UDnBRS0ビットの設定値

(6) 連続送信時の転送レート

連続送信する場合、ストップ・ビットから次のスタート・ビットまでの転送レートが通常より基本クロックの2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので転送結果には影響しません。

図14 - 34 連続送信時の転送レート



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数：fuCLKとすると次の式が成り立ちます。

$$FLstp = FL + 2 / fuCLK$$

したがって、連続送信での転送レートは次のようになります。

$$\text{転送レート} = 11 \times FL + (2 / fuCLK)$$

14.8 注意事項

- (1) UARTDnへの供給クロックが停止する場合(例: IDLE1, IDLE2, STOPモード)は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDDn端子出力も停止直前の値を保持、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はUDnCTL0.UDnPWR, UDnRXEn, UDnTXEnビット = 000とし、回路を初期化してください。
- (2) UARTDは次のように兼用されています。
- (a) RXDD0機能とINTP7機能は同時に使用することはできません。RXDD0機能を使用する場合は、INTP7機能を使用しないでください(INTF3.INTF31ビット = 0, INTR3.INTR31ビット = 0に設定)。また、INTP7機能を使用する場合は、RXDD0機能を使用しないでください(UD0CTL0.UD0RXEビット = 0に設定)。
 - (b) RXDD1機能とKR7機能は同時に使用することはできません。RXDD1機能を使用する場合は、KR7機能を使用しないでください(KRM.KRM7ビット = 0に設定)。また、KR7機能を使用する場合は、KR7機能の設定をPFC91ビット = 1, PFCE91ビット = 0に設定するか、RXDD1機能を使用しないでください(UD1CTL0.UD1RXEビット = 0に設定)。
 - (c) RXDD2機能とINTP8機能は同時に使用することはできません。RXDD2機能を使用する場合は、INTP8機能を使用しないでください(INTF3.INTF39ビット = 0, INTR3.INTR39ビット = 0に設定)。また、INTP8機能を使用する場合は、RXDD2機能を使用しないでください(UD2CTL0.UD2RXEビット = 0に設定)。
 - (d) RXDD3機能とINTP14機能は同時に使用することはできません。RXDD3機能を使用する場合は、INTP14機能を使用しないでください(INTF4.INTF40ビット = 0, INTR4.INTR40ビット = 0に設定)。また、INTP14機能を使用する場合は、RXDD3機能を使用しないでください(UD3CTL0.UD3RXEビット = 0に設定)(μ PD70F3757のみ)。
 - (e) UARTD3用の端子機能RXDD3はピン番号22と59, TXDD3はピン番号23と60と、2箇所割り当てられており、またINTP14と兼用されています。
ピン番号22, 23をUARTD3のRXDD3, TXDD3機能として使用する場合、ピン番号59, 60をRXDD3, TXDD3機能に設定しないでください。たまたINTP14のエッジ検出をエッジ検出なし(INTF4.INTF40ビット = 0, INTR4.INTR40ビット = 0またはINTF8.INTF80ビット = 0, INTR8.INTR80ビット = 0)に設定してください(μ PD70F3757のみ)。
 - (f) RXDD4機能とINTP5機能は同時に使用することはできません。RXDD4機能を使用する場合は、INTP5機能を使用しないでください(INTF9H.INTF914ビット = 0, INTR9H.INTR914ビット = 0に設定)。また、INTP5機能を使用する場合は、RXDD4機能を使用しないでください(PFC914ビット = 1, PFCE914ビット = 0に設定することを推奨します)(μ PD70F3757のみ)。
 - (g) RXDD5機能とINTP4機能は同時に使用することはできません。RXDD5機能を使用する場合は、INTP4機能を使用しないでください(INTF9H.INTF913ビット = 0, INTR9H.INTR913ビット = 0に設定)。また、INTP4機能を使用する場合は、RXDD4機能を使用しないでください(PFC913ビット = 1, PFCE913ビット = 0に設定することを推奨します)(μ PD70F3757のみ)。

(3) UARTDnの起動は次の順序で行ってください。

UDnCTL0.UDnPWRビット = 1

ポートの設定

UDnCTL0.UDnTXEビット = 1, UDnCTL0.UDnRXEビット = 1

(4) UARTDnの停止は次の順序で行ってください。

UDnCTL0.UDnTXEビット = 0, UDnCTL0.UDnRXEビット = 0

ポートの設定, UDnCTL0.UDnPWRビット = 0 (ポートの設定は変更しなくても問題ありません)

(5) 送信モード中 (UDnCTL0.UDnPWRビット = 1, かつUDnCTL0.UDnTXEビット = 1) に, ソフトウェアでUDnTXレジスタの同値書き込みをしないでください。このレジスタへの書き込みにより送信が開始するためです。同値を連続送信する場合は問題ありません。

(6) 連続送信の場合, ストップ・ビットから次のスタート・ビットまでの通信レートが, 通常より基本クロックの2クロック分延びます。ただし, 受信側はスタート・ビットの検出でタイミングの初期化を行うため, 受信結果には影響しません。

(7) オンチップ・デバッグ (OCD) モード下において, breakコマンドが起動され, かつUARTDがデータ受信したとき, オーバラン・エラーを発生します。

第15章 3線式可変長シリアルI/O (CSIB)

V850ES/Hx3では、3線式可変長シリアル・インタフェースB (CSIB) を搭載しています。各製品により、チャンネル数が異なります。表15 - 1に製品ごとのチャンネル数を示します。

表15 - 1 3線式可変長シリアル・インタフェース (CSIB) のチャンネル数

品名	V850ES/HE3	V850ES/HF3	V850ES/HG3	V850ES/HJ3
チャンネル数	2チャンネル (CSIB0, CSIB1)	2チャンネル (CSIB0, CSIB1)	2チャンネル (CSIB0, CSIB1)	3チャンネル (CSIB0-CSIB2)

この章では、チャンネル数をnと省略して表記してあります。

15.1 特徴

転送速度：最大8 Mbps ($f_{xx} = 32$ MHz, 内部クロック使用時)

マスタ・モードとスレーブ・モードを選択可能

8-16ビット転送, 3線式シリアル・インタフェース

割り込み要求信号 (INTCBnT, INTCBnR)

シリアル・クロックとデータのフェーズ切り替えが可能

転送データ長を8-16ビットに1ビット単位で選択可能

転送データのMSB先頭/LSB先頭を切り替え可能

3線式 SOBn : シリアル・データ出力

SIBn : シリアル・データ入力

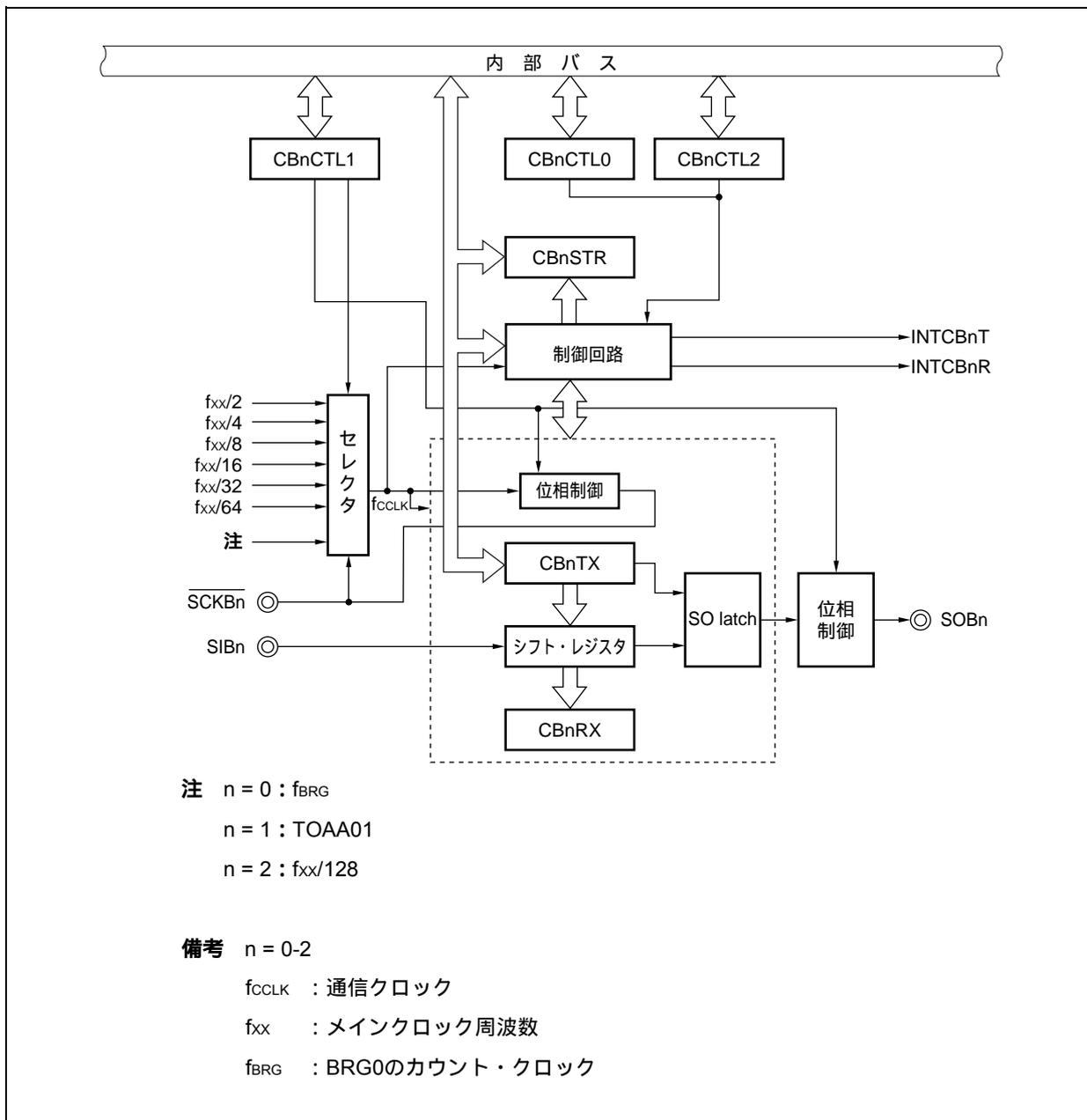
$\overline{\text{SCKBn}}$: シリアル・クロック入出力

送信モード, 受信モード, 送受信モードを指定可能

15.2 構成

次にCSIBnのブロック図を示します。

図15 - 1 CSIBnのブロック図



CSIBnは、次のハードウェアで構成されています。

表15 - 2 CSIBnの構成

項 目	構 成
レジスタ	CSIBn受信データ・レジスタ (CBnRX) CSIBn送信データ・レジスタ (CBnTX) CSIBn制御レジスタ0 (CBnCTL0) CSIBn制御レジスタ1 (CBnCTL1) CSIBn制御レジスタ2 (CBnCTL2) CSIBn状態レジスタ (CBnSTR)

15.3 CSIBとほかのシリアル・インタフェースの割り当て

15.3.1 CSIB0とUARTD3のモード切り替え

μ PD70F3757では、CSIB0とUARTD3は1つの端子に機能が兼用されており、同時には使用できません。CSIB0を使用するときは、あらかじめPMC4、PFC4、PFCE4レジスタで設定する必要があります（4.3.4 ポート4参照）。

注意 CSIB0またはUARTD3において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証しません。モードの切り替えをする場合は、必ず動作禁止にしてから行ってください。

図15-2 CSIB0とUARTD3の切り替え設定例

						PMC42	PMC41	PMC40
PMC4	0	0	0	0	0	1	1	1
						PFC42	PFC41	PFC40
PFC4	0	0	0	0	0	0	0	0
						PFCE41	PFCE40	
PFCE4	0	0	0	0	0	0	0	0
	PMC41	PFC41	PFCE41	動作モード				
	0	x	x	ポート入出力モード				
	1	0	0	CSIBモード (SOB0出力)				
		0	1	キー・リターン機能				
		1	0	UARTD3モード (TXDD3出力)				
		1	1	設定禁止				
	PMC40	PFC40	PFCE40	動作モード				
	0	x	x	ポート入出力モード				
	1	0	0	CSIBモード (SIB0入力)				
		0	1	キー・リターン機能				
		1	0	UARTD3モード (RXDD3入力) / 割り込み機能				
		1	1	設定禁止				

15.3.2 CSIB2とUARTD5のモード切り替え

μPD70F3757では、CSIB2とUARTD5は端子が兼用になっており、同時には使用できません。CSIB2を使用するときは、あらかじめPMC9, PFC9, PFCE9レジスタで設定する必要があります(4.3.9 ポート9参照)。

注意 CSIB2またはUARTD5において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証しません。モードの切り替えをする場合は、必ず動作禁止にしてから行ってください。

図15 - 3 CSIB2とUARTD5のモード切り替え設定

PMC9	15	14	13	12	11	10	9	8
	PMC915	PMC914	PMC913	PMC912	PMC911	PMC910	PMC99	PMC98
	7	6	5	4	3	2	1	0
	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90
PFC9	15	14	13	12	11	10	9	8
	PFC915	PFC914	PFC913	PFC912	PFC911	PFC910	PFC99	PFC98
	7	6	5	4	3	2	1	0
	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	PFC91	PFC90
PFCE9	15	14	13	12	11	10	9	8
	PFCE915	PFCE914	PFCE913	PFCE912	0	0	PFCE99	PFCE98
	7	6	5	4	3	2	1	0
	PFCE97	PFCE96	PFCE95	PFCE94	PFCE93	PFCE92	PFCE91	PFCE90
			動作モード					
	PMC912	PFCE912	PFC912					
	0	×	×	ポート入出力モード				
	1	0	1	SCKB2入出力				
	1	1	1	TXDD5出力				

15.4 レジスタ

CSIBnを制御するレジスタには、次のものがあります。

- ・ CSIBn受信データ・レジスタ (CBnRX)
- ・ CSIBn送信データ・レジスタ (CBnTX)
- ・ CSIBn制御レジスタ0 (CBnCTL0)
- ・ CSIBn制御レジスタ1 (CBnCTL1)
- ・ CSIBn制御レジスタ2 (CBnCTL2)
- ・ CSIBn状態レジスタ (CBnSTR)

(1) CSIBn受信データ・レジスタ (CBnRX)

CBnRXレジスタは、受信データを保持する16ビットのバッファ・レジスタです。

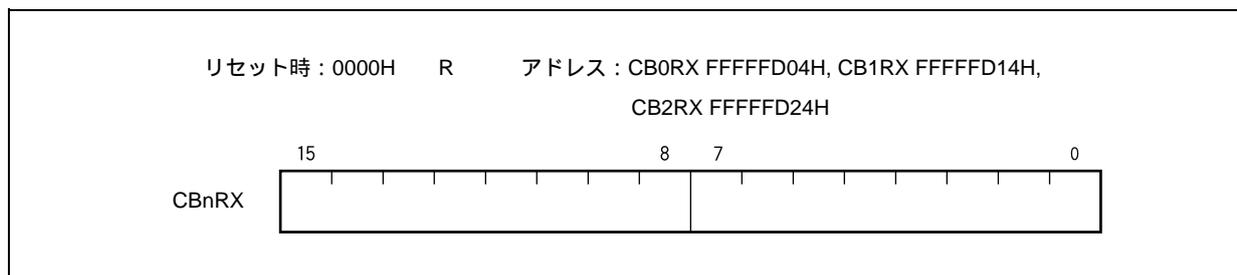
16ビット単位でリードのみ可能です。

受信許可状態中に、CBnRXレジスタをリードすることにより、受信動作を開始します。

転送データ長が8ビットの場合は、CBnRXレジスタの下位8ビットをCBnRXLレジスタとして、8ビット単位でリードのみ可能です。

リセットにより0000Hになります。

リセット以外に、CBnCTL0レジスタのCBnPWRビットをクリア (0) しても初期化されません。



(3) CSIBn制御レジスタ0 (CBnCTL0)

CSIBnのシリアル転送動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

(1/3)

リセット時：01H R/W アドレス：CB0CTL0 FFFFFFFD0H, CB1CTL0 FFFFFFFD10H,
CB2CTL0 FFFFFFFD20H

	⑦	⑥	⑤	④	3	2	1	①
CBnCTL0	CBnPWR	CBnTXE ^注	CBnRXE ^注	CBnDIR ^注	0	0	CBnTMS ^注	CBnSCE

CBnPWR	CSIBn動作禁止 / 許可の指定
0	CSIBn動作禁止, CBnSTRレジスタをリセットする
1	CSIBn動作許可
・CBnPWRビットはCSIBnの動作の制御と内部回路のリセットを行います。	

CBnTXE ^注	送信動作禁止 / 許可の指定
0	送信動作禁止
1	送信動作許可
・CBnTXEビット = 0のとき, SOBn出力はロウ・レベルとなります。	

CBnRXE ^注	受信動作禁止 / 許可の指定
0	受信動作禁止
1	受信動作許可
・CBnRXEビット = 0にすることで受信動作を禁止するため, 規定のデータを転送されても受信完了割り込みは出力されず, 受信データ (CBnRXレジスタ) は更新されません。	

注 CBnPWRビット = 0の場合のみ書き換えが可能です。ただし同時にCBnPWRビット = 1とするのは可能です。

注意 送受信を強制中断する場合は, CBnRXEビット, CBnTXEビットではなく, CBnPWRビットをクリア (0) してください。このとき, クロック出力も停止します。

CBnDIR ^注	転送方向モード (MSB/LSB) の指定
0	MSBファースト
1	LSBファースト

CBnTMS ^注	転送モードの指定
0	シングル転送モード
1	連続転送モード

【シングル転送モード】

通信の完了で受信完了割り込み (INTCBnR) を発生します。

送信許可 (CBnTXEビット = 1) の場合でも、送信許可割り込み (INTCBnT) は発生しません。

通信中 (CBnSTR.CBnTSFビット = 1) に次の送信データをライトしても無視され、次の通信は起動しません。また、受信のみの通信に設定したとき (CBnTXEビット = 0, CBnRXEビット = 1) も、通信中 (CBnSTR.CBnTSFビット = 1) に受信データをリードしても次の通信は起動しません。

【連続転送モード】

通信中 (CBnSTR.CBnTSFビット = 1) に次の送信データをライトすることで連続送信が可能です。

次の送信データがライト可能になるのは、送信許可割り込み (INTCBnT) 発生後です。

また、連続転送モードで受信のみの通信に設定 (CBnTXEビット = 0, CBnRXEビット = 1) すると、CBnRXレジスタのリード操作に関係なく、受信完了割り込み (INTCBnR) 後、連続して次の受信を開始します。

そのため、速やかにCBnRXレジスタから受信データを読み出してください。読み出しが遅れるとオーバーラン・エラー (CBnOVEビット = 1) が発生します。

注 CBnPWRビット = 0の場合のみ書き換えが可能です。ただし同時にCBnPWRビット = 1とするのは可能です。

CBnSCE	起動転送無効 / 許可の指定
0	通信起動トリガ無効
1	通信起動トリガ有効

・マスタ・モード時
通信起動トリガの有効 / 無効を制御するビットです。
(a) シングル送信 / 送受信モード, 連続送信 / 送受信モード時
CBnSCEビットの設定は, 動作に影響ありません。
(b) シングル受信モード時
受信データ (CBnRXレジスタ) のリードで受信動作が起動されるため, 最終受信データのリードを行う前にCBnSCEビットを “ 0 ” に設定して次の受信動作の起動を無効にしてください^{注1}。
(c) 連続受信モード時
最終データの受信が完了する1通信クロック前までにCBnSCEビットを “ 0 ” に設定して最終データ受信後の受信動作の起動を無効にしてください^{注2}。

・スレーブ・モード時
通信起動トリガの有効 / 無効を制御するビットです。
CBnSCEビットは “ 1 ” に設定してください。

【CBnSCEビットの使用方法】

・シングル受信モード時
INTCBnR割り込み処理で最終データの受信が完了している場合には, CBnSCEビット = 0にしてからCBnRXレジスタを読み出す。
CBnSTR.CBnTSFビット = 0を確認後, 受信を禁止する場合, CBnRXEビット = 0とする。
続けて受信をする場合には, CBnSCEビット = 1にしてCBnRXレジスタのダメージ・リードにより次の受信動作を起動する。

・連続受信モード時
INTCBnR割り込み処理で最終データ受信中にCBnSCEビット = 0とする。
CBnRXレジスタを読み出す。
CBnTIR割り込みを受けて, CBnRXレジスタを読み出すことで, 最終受信データを読み出す。
CBnSTR.CBnTSFビット = 0を確認後, 受信を禁止する場合, CBnRXEビット = 0とする。
続けて受信をする場合には, CBnSCEビット = 1にしてCBnRXレジスタのダメージ・リードにより次の受信動作まで待つ。

- 注1. CBnSCEビットが “ 1 ” のままリードした場合, 次回の通信動作が起動されません。
2. 最終データの受信を完了する1通信クロック前までにCBnSCEビットを “ 0 ” にしない場合, 自動的に次回の通信動作が起動されます。

注意 ビット3, 2には必ず0を設定してください。

(4) CSIBn制御レジスタ1 (CBnCTL1)

CSIBnのシリアル転送動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 CBnCTL1レジスタは、CBnCTL0.CBnPWRビット = 0の場合のみ書き換えが可能です。

リセット時：00H R/W アドレス：CB0CTL1 FFFFFFFD01H, CB1CTL1 FFFFFFFD11H,
CB2CTL1 FFFFFFFD21H

	7	6	5	4	3	2	1	0
CBnCTL1	0	0	0	CBnCKP	CBnDAP	CBnCKS2	CBnCKS1	CBnCKS0

	CBnCKP	CBnDAP	SCKBnに対するデータの送受信タイミングの指定
通信タイプ1	0	0	
通信タイプ2	0	1	
通信タイプ3	1	0	
通信タイプ4	1	1	

CBnCKS2	CBnCKS1	CBnCKS0	通信クロック (f _{CCLK}) ^{注1}			モード
			n = 0	n = 1	n = 2	
0	0	0	f _{xx} /2			マスタ・モード
0	0	1	f _{xx} /4			マスタ・モード
0	1	0	f _{xx} /8			マスタ・モード
0	1	1	f _{xx} /16			マスタ・モード
1	0	0	f _{xx} /32			マスタ・モード
1	0	1	f _{xx} /64			マスタ・モード
1	1	0	f _{BRG} ^{注2}	TAA0(TOAA01)	f _{xx} /128	マスタ・モード
1	1	1	外部クロック (SCKBn)			スレーブ・モード

注1. 通信クロック (f_{CCLK}) は、8 MHz以下になるように設定してください。

2. ボー・レート・ジェネレータの出力は時計タイマにも使用されます。詳細は15. 8 ボー・レート・ジェネレータを参照してください。

(5) CSIBn制御レジスタ2 (CBnCTL2)

CSIBnのシリアル転送ビット数を制御する8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 CBnCTL2レジスタは、CBnCTL0.CBnPWRビット = 0、またはCBnTXE, CBnRXEビット = 0の場合のみ書き換えが可能です。

リセット時：00H R/W アドレス：CB0CTL2 FFFFFFFD02H, CB1CTL2 FFFFFFFD12H,
CB2CTL2 FFFFFFFD22H

	7	6	5	4	3	2	1	0
CBnCTL2	0	0	0	0	CBnCL3	CBnCL2	CBnCL1	CBnCL0

CBnCL3	CBnCL2	CBnCL1	CBnCL0	シリアル・レジスタのビット長
0	0	0	0	8ビット
0	0	0	1	9ビット
0	0	1	0	10ビット
0	0	1	1	11ビット
0	1	0	0	12ビット
0	1	0	1	13ビット
0	1	1	0	14ビット
0	1	1	1	15ビット
1	×	×	×	16ビット

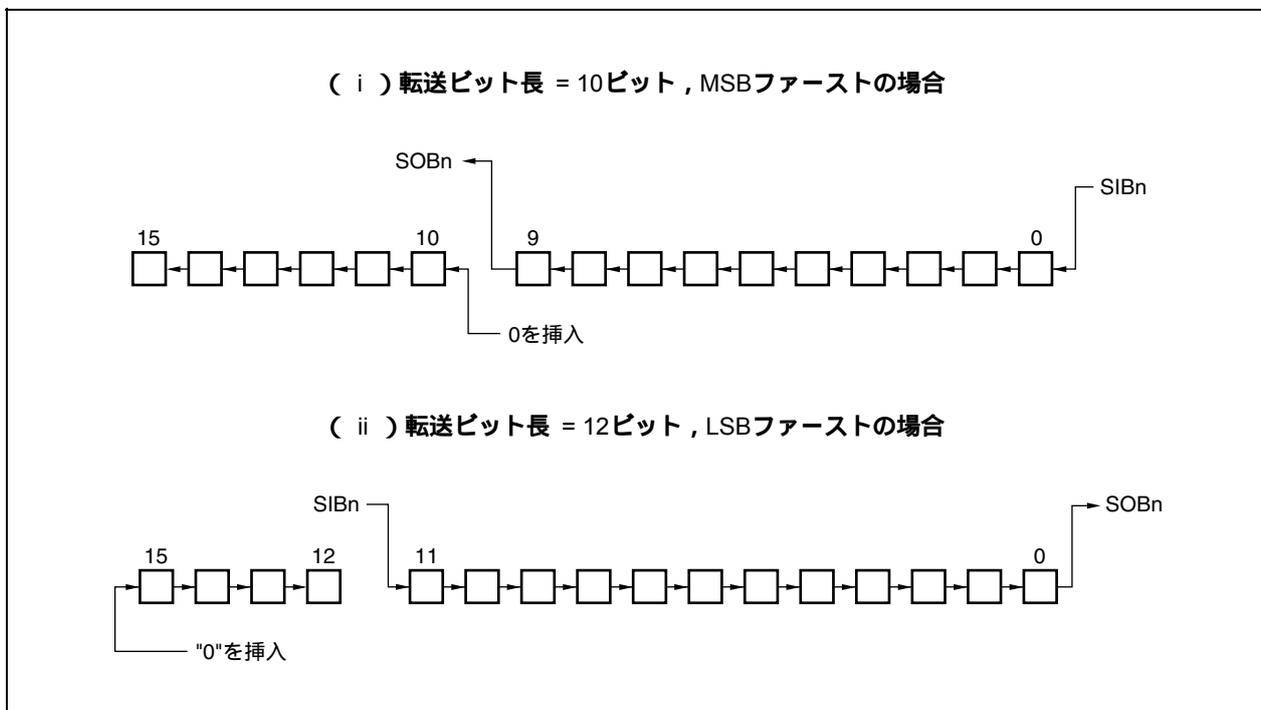
備考1. 転送ビット数が8/16ビットではない場合には、CBnTX, CBnRXレジスタの最下位ビットから詰めてデータを準備して使用してください。

2. × : don't care

(a) 転送データ長変更機能

CSIBnの転送データ長はCBnCTL2.CBnCL3-CBnCL0ビットによって、8-16ビットに1ビット単位で設定可能です。

転送ビット長を16ビット以外に設定した場合、CBnTX, CBnRXレジスタへは、転送先頭ビットがMSBであってもLSBであっても最下位ビットから詰めてデータをセットしてください。使用しない上位ビットにセットするデータは任意ですが、シリアル転送後の受信データは“0”になります。



(6) CSIBn状態レジスタ (CBnSTR)

CSIBnの状態をあらわす8ビットのレジスタです。

8/1ビット単位でリード/ライト可能ですが、CBnTSFフラグはリードのみ可能です。

リセットにより00Hになります。

リセット以外に、CBnCTL0.CBnPWRビットをクリア (0) する場合も初期化されます。

リセット時 : 00H R/W アドレス : CB0STR FFFFFFFD03H, CB1STR FFFFFFFD13H,
CB2STR FFFFFFFD23H

	⑦	6	5	4	3	2	1	①
CBnSTR	CBnTSF	0	0	0	0	0	0	CBnOVE

CBnTSF	通信状態フラグ
0	通信停止
1	通信中
<ul style="list-style-type: none"> 送信時にはCBnTXレジスタにデータを準備したタイミングでセットされます。 受信時にはCBnRXレジスタをダミー・リードしたタイミングでセットされます。 転送終了時、クロックの最後のエッジでクリア (0) されます。 	

CBnOVE	オーバラン・エラー・フラグ
0	オーバランなし
1	オーバランあり
<ul style="list-style-type: none"> 受信時もしくは受信動作完了後に、受信バッファの値をCPUがリードせずに次の受信が完了した場合、オーバラン・エラーとなります。 CBnOVEフラグは、このような場合のオーバラン・エラーの発生状態を示します。 シングル転送モード時もCBnOVEビットは有効です。そのため、送信のみで使用する場合は、次のように対応してください。 <ul style="list-style-type: none"> CBnOVEフラグのチェックを行わない。 受信データを読み出す必要がない場合でも読み出す。 CBnOVEフラグは“0”ライトによりクリアされます。“1”ライトしてもセットされません。 	

15.5 割り込み要求信号

CSIBnからは次の2種類の割り込み要求信号を発生します。

- ・ 受信完了割り込み要求信号 (INTCBnR)
- ・ 送信許可割り込み要求信号 (INTCBnT)

これら2種類の割り込み要求信号のデフォルト優先順位は、受信完了割り込み要求信号の方が高く、送信許可割り込み要求信号の方が低くなっています。

表15-3 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信完了	高
送信許可	低

(1) 受信完了割り込み要求信号 (INTCBnR)

受信許可状態中で、CBnRXレジスタに受信データが転送されると受信完了割り込み要求信号が発生します。

受信完了割り込み要求信号は、オーバラン・エラーが起こった場合にも発生します。

受信完了割り込み要求信号を受け付け、データを読み出すときに、CBnSTRレジスタを読み出して受信結果がエラーでないか確認してください。

また、シングル転送モード時は送信のみにおいても、送信完了のタイミングで、INTCBnR割り込み要求信号が発生します。

(2) 送信許可割り込み要求信号 (INTCBnT)

連続送信 / 連続送受信モードにおいて、CBnTXレジスタから送信データが転送され、CBnTXへの書き込みが可能となった時点で送信許可割り込み要求信号を発生します。

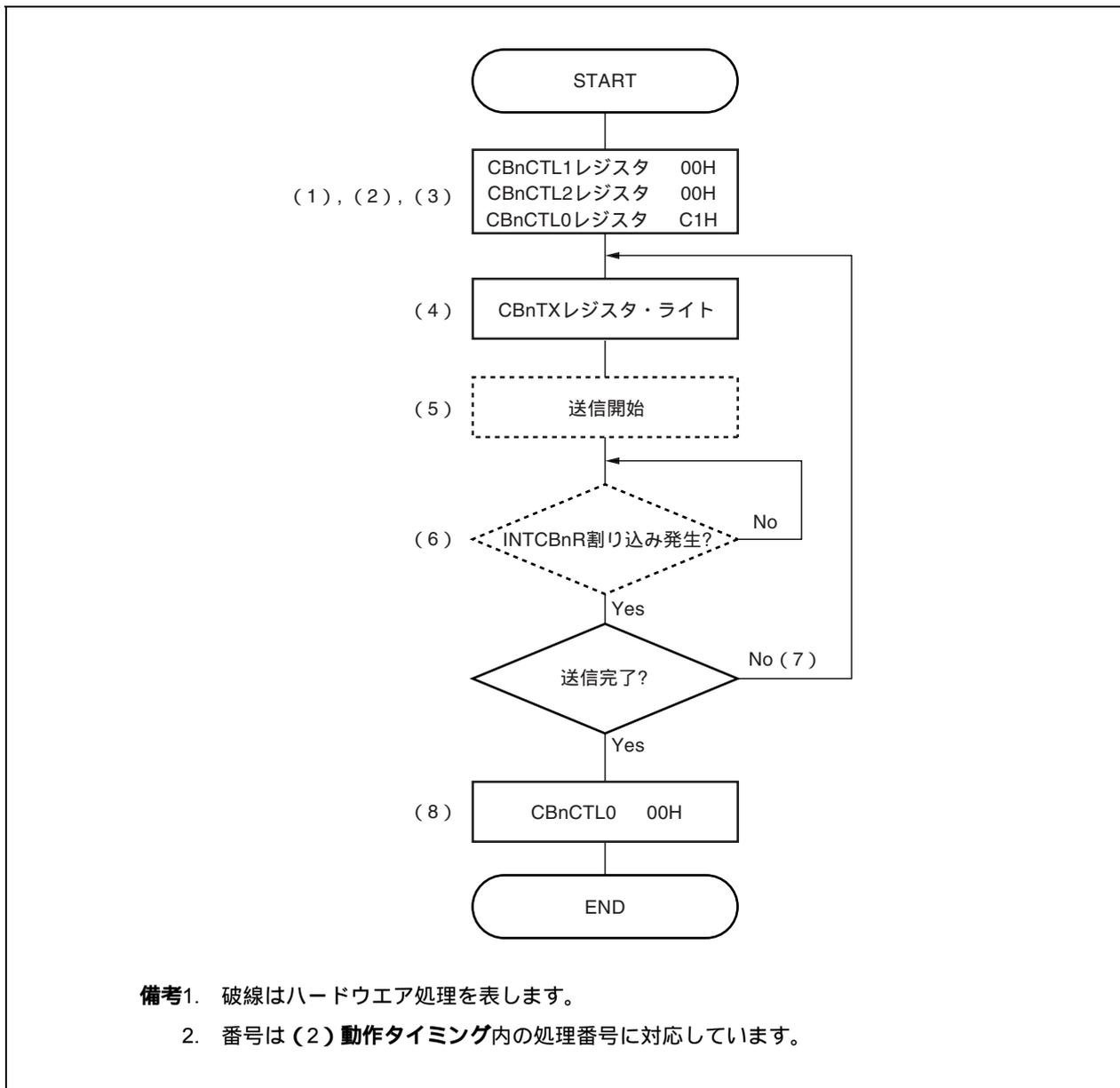
シングル送信 / シングル送受信モードにおいては、INTCBnT割り込みは発生しません。

15.6 動作

15.6.1 シングル転送モード (マスタ・モード, 送信モード)

MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ1 (CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック (f_{CLK}) = $f_{xx}/2$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

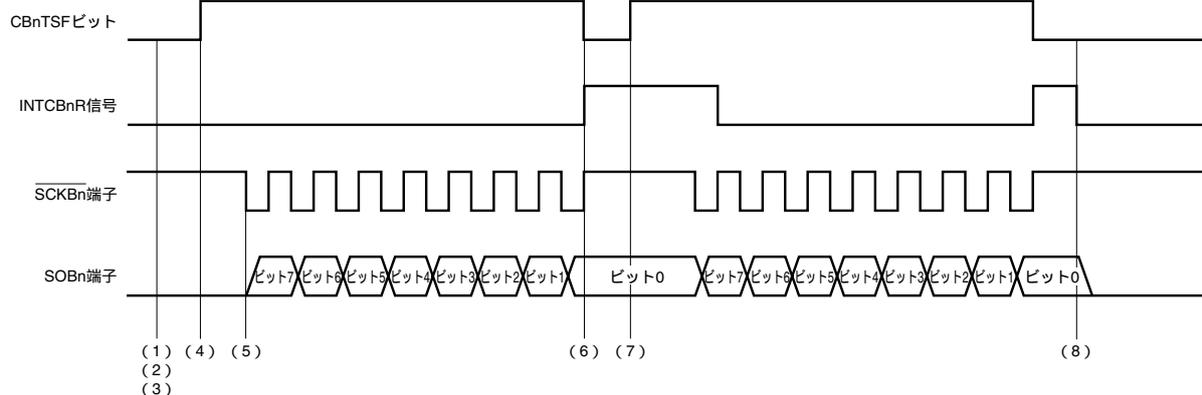
(1) 動作フロー



備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

(2) 動作タイミング

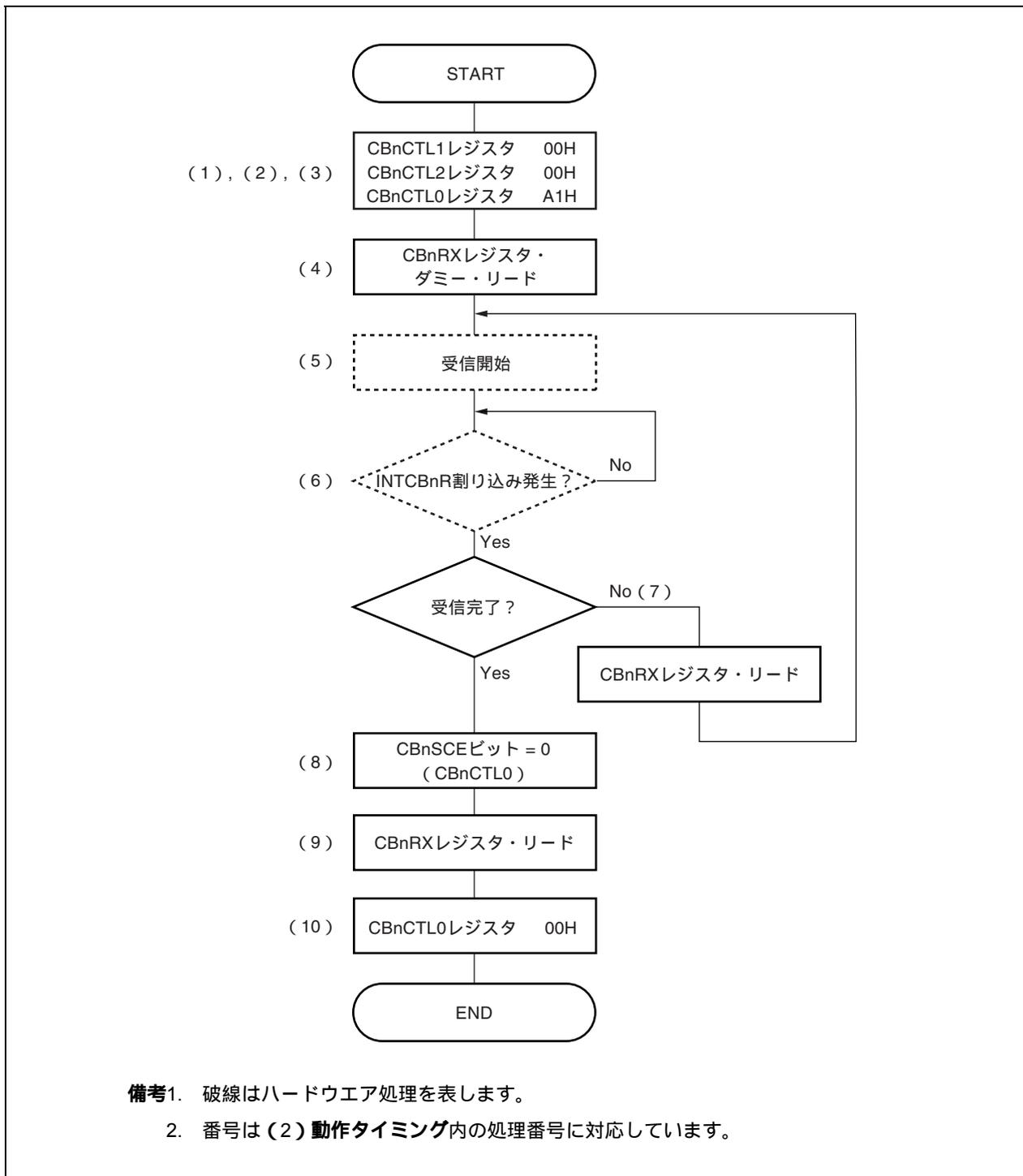


- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = $f_{\text{xx}}/2$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC1Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、送信モード、MSBファーストを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット(1)され、送信を開始する。
- (5) 送信が開始されると、SCKBn端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CBnCTL2レジスタで設定した転送データ長分の送信が終了すると、シリアル・クロックの出力と送信データの出力を停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCBnR) を発生し、CBnTSFビットをクリア(0)する。
- (7) 続けて送信を行う場合は、INTCBnR信号発生後、再びCBnTXレジスタに送信データをライトすることで次の送信を開始する。
- (8) 送信を完了する場合は、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnTXEビット = 0をライトする。

15.6.2 シングル転送モード (マスタ・モード, 受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック(f_{CLK}) = $f_{xx}/2$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

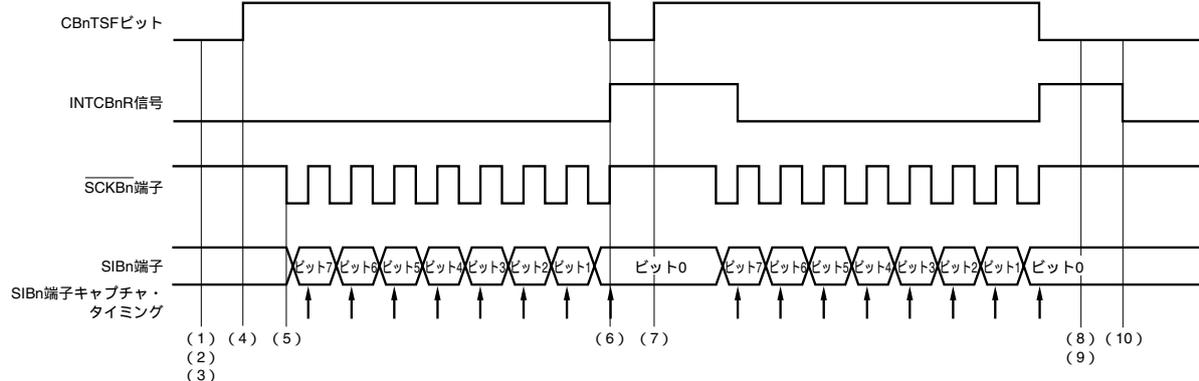
(1) 動作フロー



備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

(2) 動作タイミング

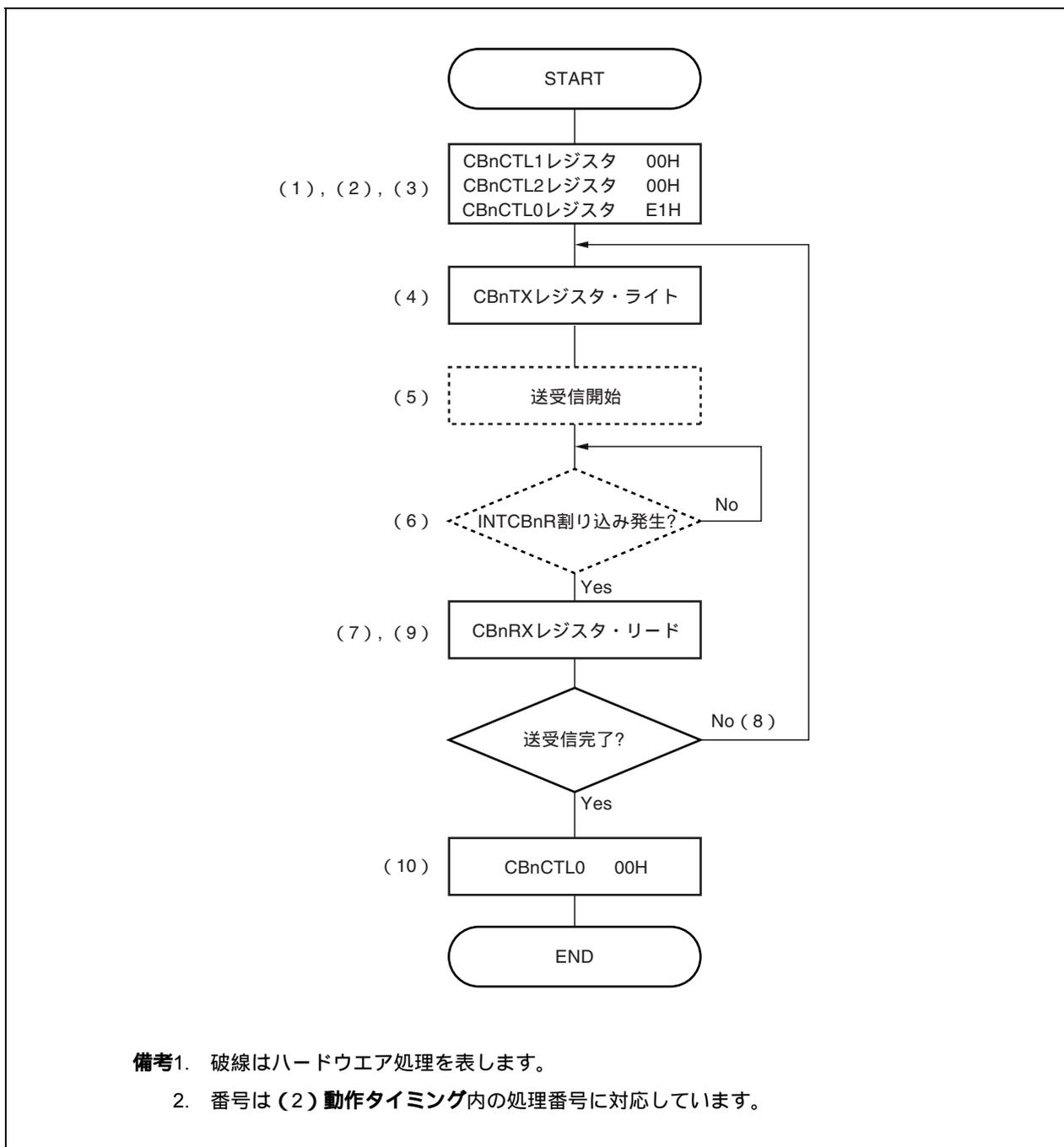


- (1) CbNCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = $f_{xx}/2$ 、マスタ・モードを選択する。
- (2) CbNCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CbNCTL0レジスタにA1Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、受信モード、MSBファーストを選択する。
- (4) CbNRXレジスタをダミー・リードすることで、CbNSTR.CbNtSfビットがセット(1)され、受信を開始する。
- (5) 受信が開始されると、SCKbN端子にシリアル・クロックを出力し、シリアル・クロックに同期してSIBn端子の受信データをキャプチャする。
- (6) CbNCTL2レジスタで設定した転送データ長分の受信が終了すると、シリアル・クロック出力とデータ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCbNr) を発生し、CbNtSfビットをクリア(0)する。
- (7) 続けて受信を行う場合は、ITNCbNr信号発生後、CbNCTL0.CbNtSfビット = 1のまま、CbNRXレジスタをリードする。
- (8) 次の受信を開始させずにCbNRXレジスタをリードする場合には、CbNtSfビット = 0をライトする。
- (9) CbNRXレジスタをリードする。
- (10) 受信を完了する場合は、CbNCTL0.CbNtPwrビット = 0, CbNCTL0.CbNtRxeビット = 0をライトする。

15.6.3 シングル転送モード (マスタ・モード, 送受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック(f_{CLK}) = $f_{\text{X}}/2$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

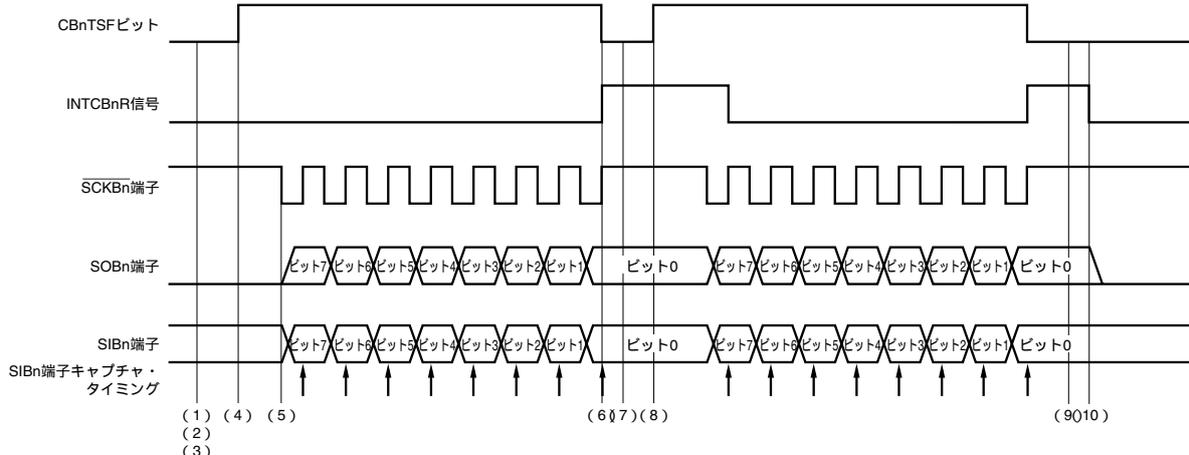
(1) 動作フロー



備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

(2) 動作タイミング

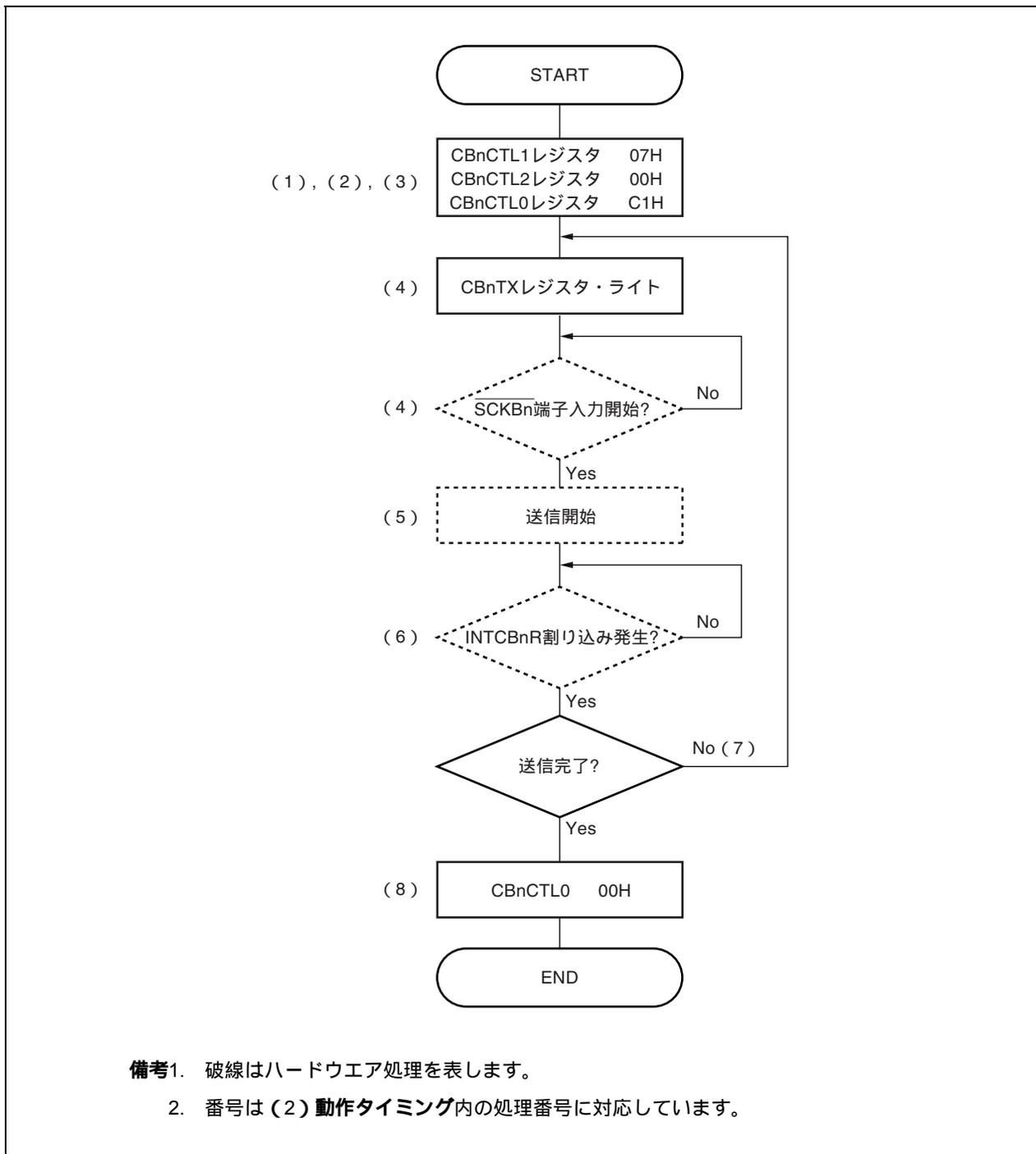


- (1) CnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = $f_{xx}/2$ 、マスタ・モードを選択する。
- (2) CnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CnCTL0レジスタにE1Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、送受信モード、MSBファーストを選択する。
- (4) CnTXレジスタに送信データをライトすることで、CnSTR.CnTnTSFビットがセット (1) され、送受信を開始する。
- (5) 送受信が開始されると、SCKBn端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOBn端子に送信データを出力し、SIBn端子の受信データをキャプチャする。
- (6) CnCTL2レジスタで設定した転送データ長分の送受信が終了すると、シリアル・クロックの出力、送信データの出力、データ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCBnR) を発生し、CnTnTSFビットをクリア (0) する。
- (7) CnRXレジスタをリードする。
- (8) 続けて送受信を行う場合は、再びCnTXレジスタに送信データをライトする。
- (9) CnRXレジスタをリードする。
- (10) 送受信を完了する場合は、CnCTL0.CnPWRRビット = 0, CnCTL0.CnTXEビット = 0, CnCTL0.CnRXEビット = 0をライトする。

15.6.4 シングル転送モード (スレーブ・モード, 送信モード)

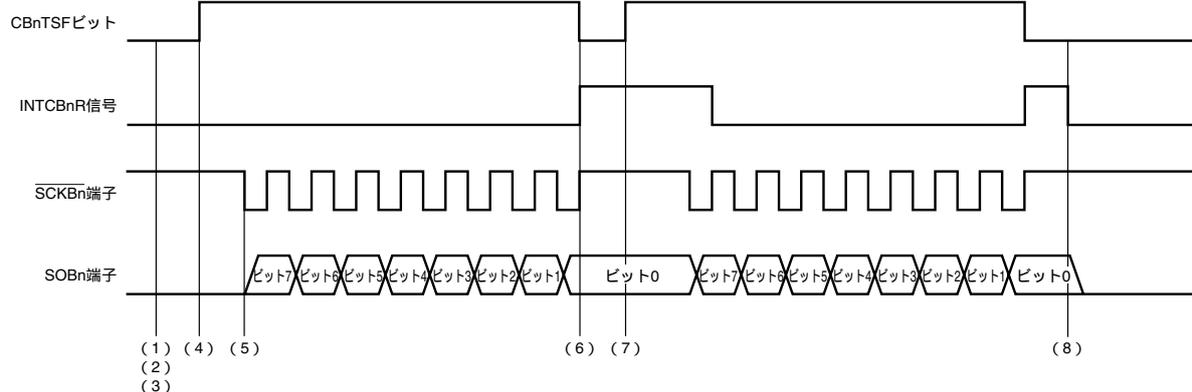
MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック(f_{CCLK}) =外部クロック(SCK_{Bn}) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
 2. 番号は(2)動作タイミング内の処理番号に対応しています。

(2) 動作タイミング

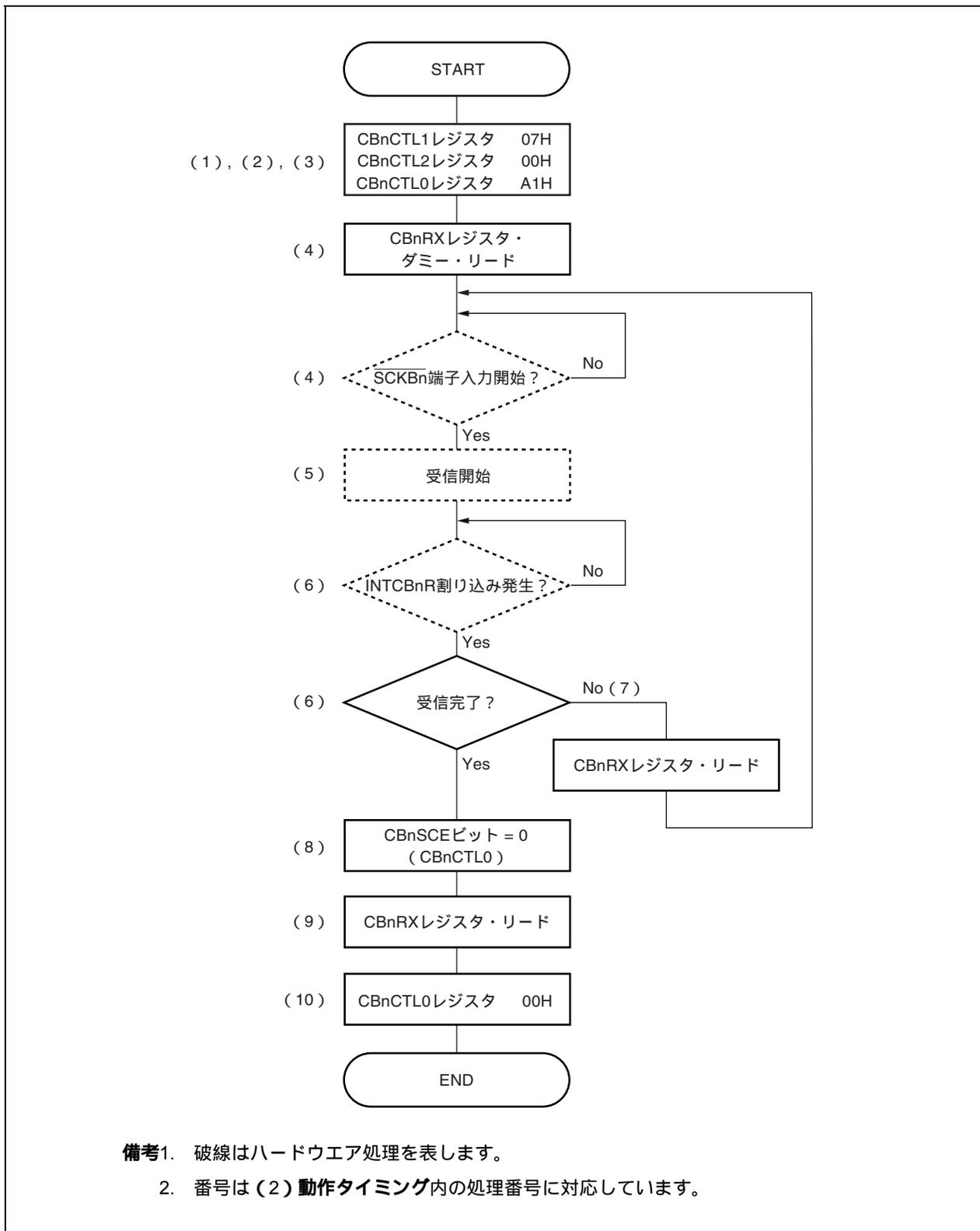


- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = 外部クロック ($SCKBn$)、スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC1Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、送信モード、MSBファーストを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット (1) され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CBnCTL2レジスタで設定した転送データ長分の送信が終了すると、シリアル・クロックの入力と送信データの出力を停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCBnR) を発生し、CBnTSFビットをクリア (0) する。
- (7) 続けて送信を行う場合は、INTCBnR信号発生後、再びCBnTXレジスタに送信データをライトし、シリアル・クロックの入力を待つ。
- (8) 送信を完了する場合は、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnTXEビット = 0をライトする。

15.6.5 シングル転送モード (スレーブ・モード, 受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック(f_{CCLK}) = 外部クロック(\overline{SCKBn}) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

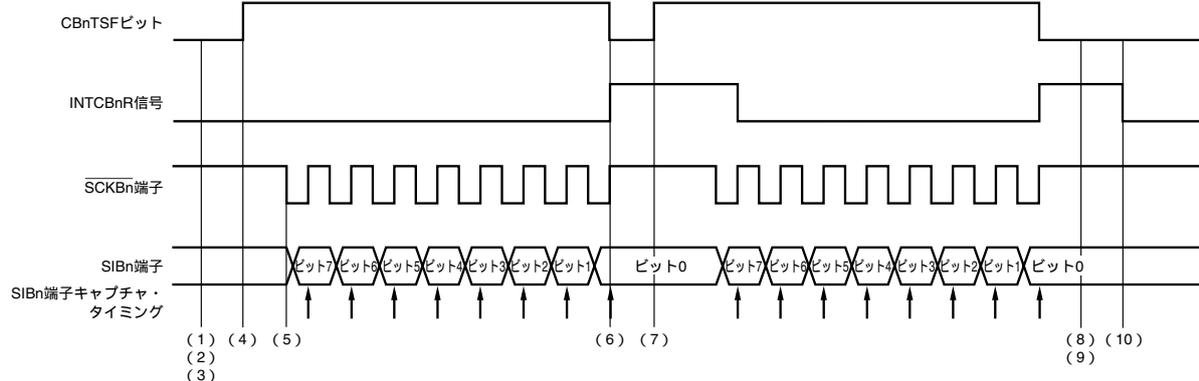
(1) 動作フロー



備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

(2) 動作タイミング

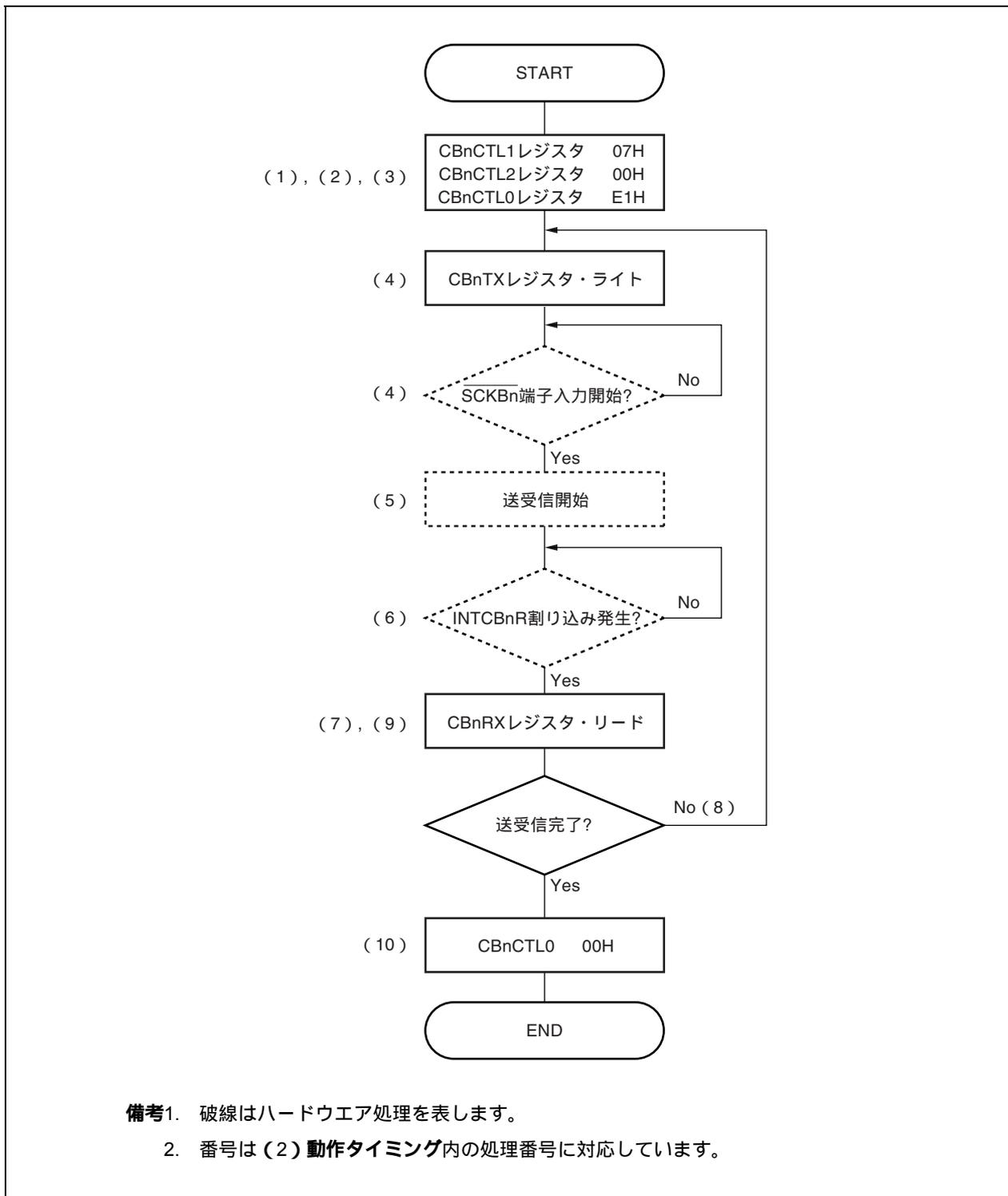


- (1) CbNCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = 外部クロック (SCKbN)、スレーブ・モードを選択する。
- (2) CbNCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CbNCTL0レジスタにA1Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、受信モード、MSBファーストを選択する。
- (4) CbNRXレジスタをダミー・リードすることで、CbNSTR.CbNtSFビットがセット(1)され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSIBn端子の受信データをキャプチャする。
- (6) CbNCTL2レジスタで設定した転送データ長分の受信が終了すると、シリアル・クロックの入力とデータ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCbNR) を発生し、CbNtSFビットをクリア(0)する。
- (7) 続けて受信を行う場合は、INTCbNR信号発生後、CbNCTL0.CbNSCEビット = 1のまま、CbNRXレジスタをリードし、シリアル・クロックの入力を待つ。
- (8) 受信を完了する場合は、CbNSCEビット = 0をライトする。
- (9) CbNRXレジスタをリードする。
- (10) 受信を完了する場合は、CbNCTL0.CbNPWRビット = 0, CbNCTL0.CbNRXEビット = 0をライトする。

15.6.6 シングル転送モード (スレーブ・モード, 送受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック(f_{CCLK}) = 外部クロック(SCK_{Bn}) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

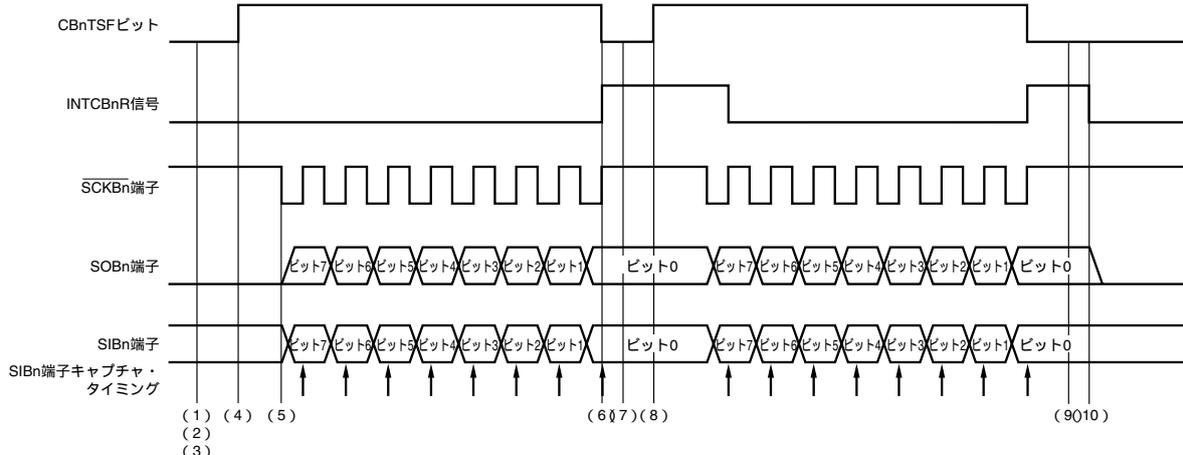
(1) 動作フロー



備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

(2) 動作タイミング

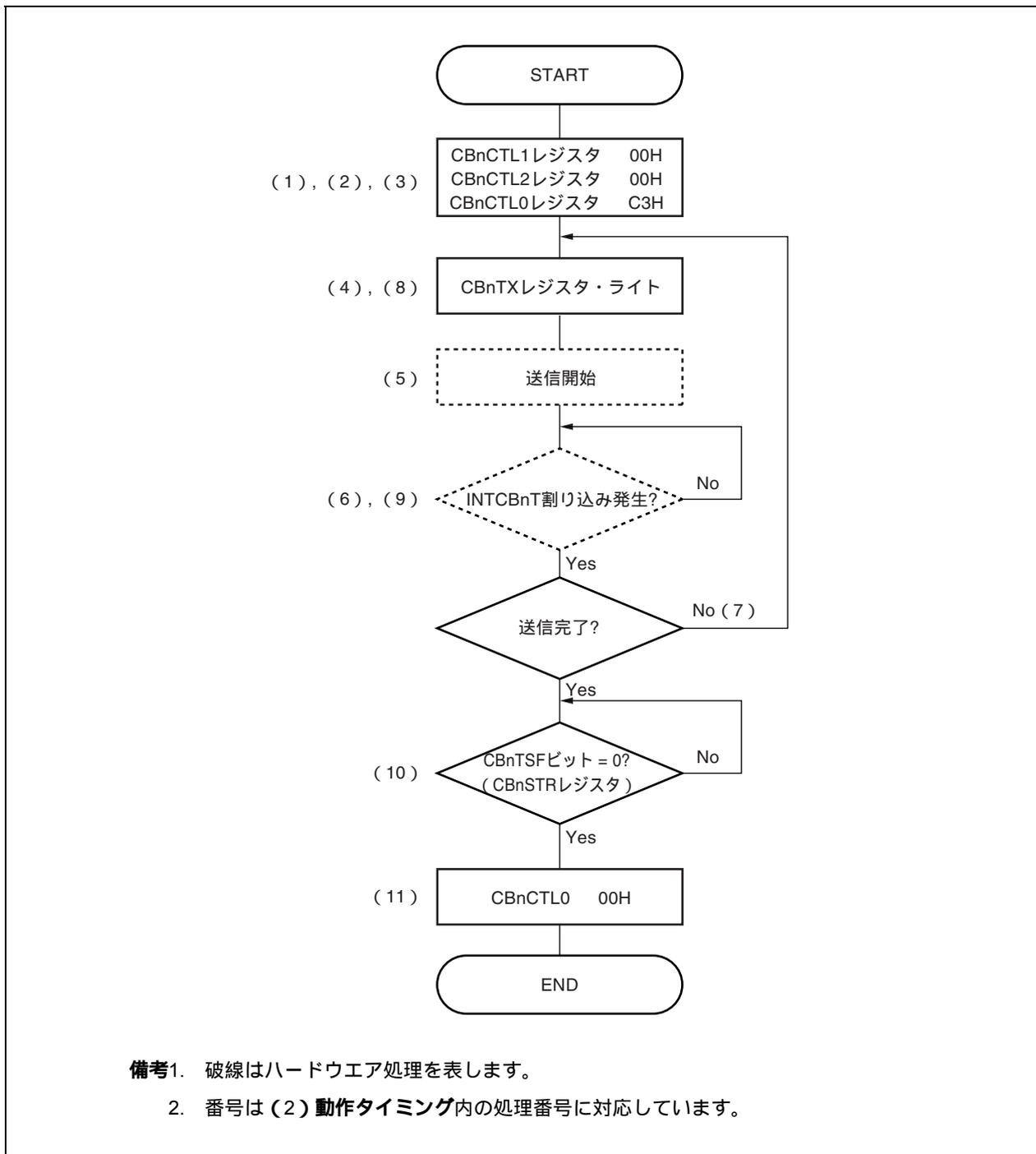


- (1) CbNCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = 外部クロック (\overline{SCKbN})、スレーブ・モードを選択する。
- (2) CbNCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CbNCTL0レジスタにE1Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、送受信モード、MSBファーストを選択する。
- (4) CbNTXレジスタに送信データをライトすることで、CbNSTR.CbNtSfビットがセット (1) され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOBn端子に送信データを出し、SIBn端子の受信データをキャプチャする。
- (6) CbNCTL2レジスタで設定した転送データ長分の送受信が終了すると、シリアル・クロックの入力、送信データの出力、データ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCbNR) を発生し、CbNtSfビットをクリア (0) する。
- (7) CbNRXレジスタをリードする。
- (8) 続けて送受信を行う場合は、再びCbNTXレジスタに送信データをライトし、シリアル・クロックの入力を待つ。
- (9) CbNRXレジスタをリードする。
- (10) 送受信を完了する場合は、CbNCTL0.CbNPWRビット = 0, CbNCTL0.CbNtXEビット = 0, CbNCTL0.CbNRXEビット = 0をライトする。

15.6.7 連続転送モード (マスタ・モード, 送信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック(f_{CLK}) = $f_x/2$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

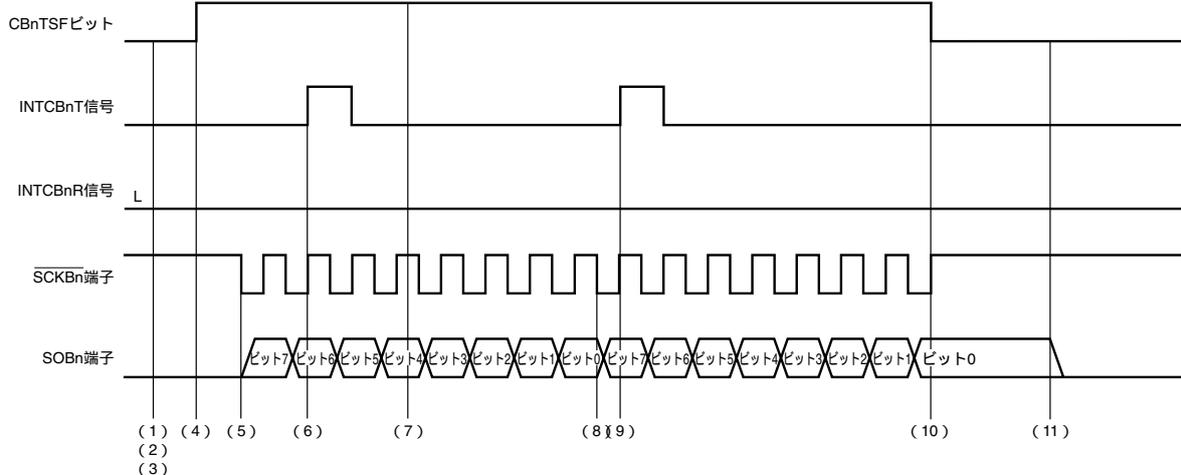
(1) 動作フロー



備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

(2) 動作タイミング



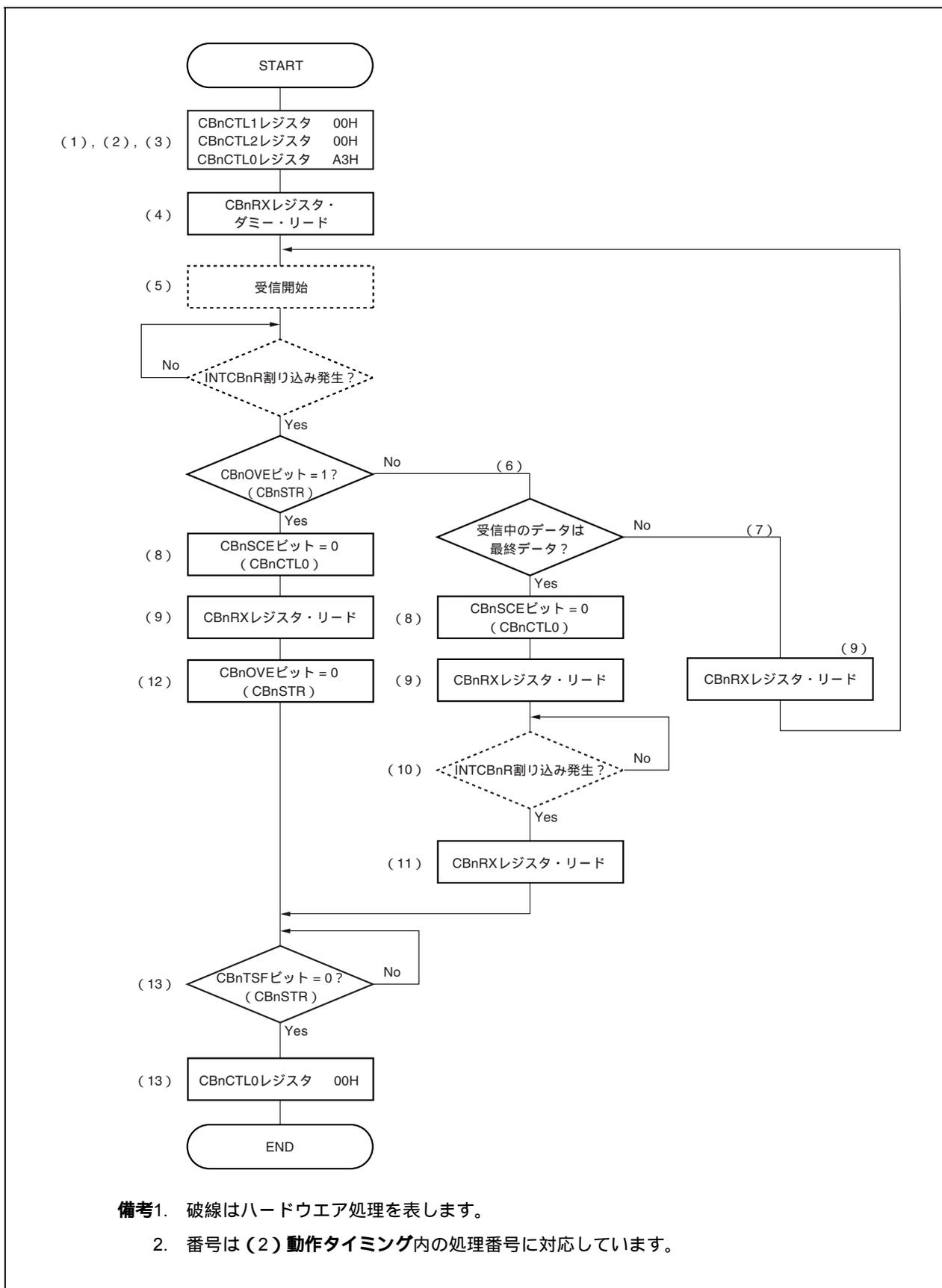
- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = $f_{xx}/2$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC3Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、送信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット (1) され、送信を開始する。
- (5) 送信が開始されると、 \overline{SCKBn} 端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCBnT) が発生する。
- (7) 続けて送信を行う場合は、INTCBnT信号発生後、再びCBnTXレジスタに送信データをライトする。
- (8) 通信完了前に新たな送信データがCBnTXレジスタへライトされていると、通信完了後に続けて次の通信を開始する。
- (9) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、INTCBnT信号が発生する。
現送信で連続送信を完了する場合は、CBnTXレジスタへのライトを行わない。
- (10) 転送完了までに次の送信データがCBnTXレジスタへライトされない場合は、転送完了後、 \overline{SCKBn} 端子へのシリアル・クロックの出力を停止し、CBnTSFビットをクリア (0) する。
- (11) 送信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnTXEビット = 0をライトする。

注意 連続送信モードでは、受信完了割り込み要求信号 (INTCBnR) は発生しません。

15.6.8 連続転送モード (マスタ・モード, 受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック(f_{CLK}) = $f_{\text{xx}}/2$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

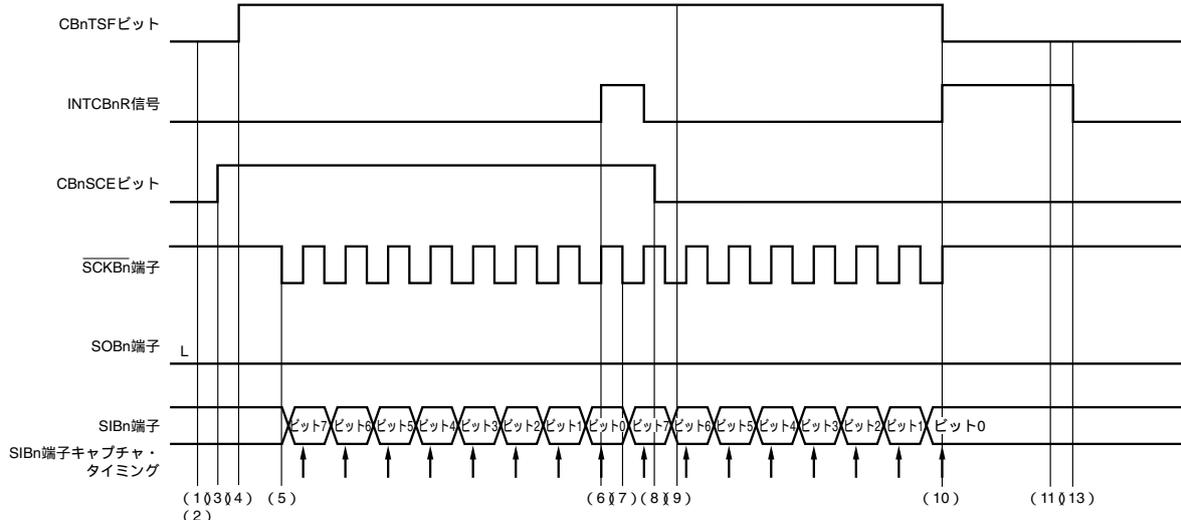
(1) 動作フロー



備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

(2) 動作タイミング

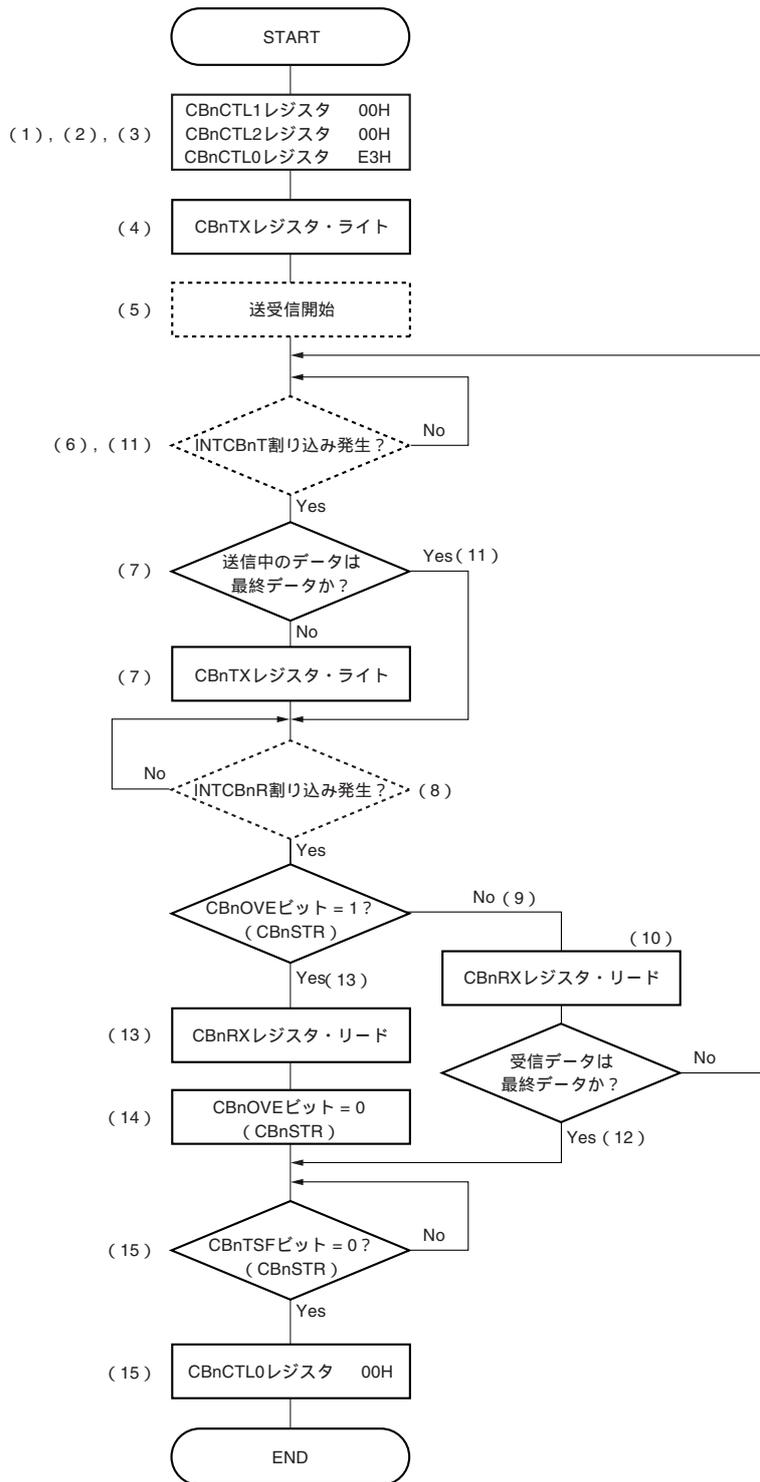


- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = $f_{\text{xx}}/2$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにA3Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、受信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnRXレジスタをダミー・リードすることで、CBnSTR.CBnTSFビットがセット(1)され、受信を開始する。
- (5) 受信が開始されると、 $\overline{\text{SCKBn}}$ 端子にシリアル・クロックを出力し、シリアル・クロックに同期してSIBn端子の受信データをキャプチャする。
- (6) 受信が完了すると、受信完了割り込み要求信号 (INTCBnR) が発生し、CBnRXレジスタのリードが可能になる。
- (7) 通信完了時にCBnCTL0.CBnSCEビット = 1だと、通信完了後に続けて次の通信を開始する。
- (8) 現受信で連続受信を完了する場合は、CBnSCEビット = 0をライトする。
- (9) CBnRXレジスタをリードする。
- (10) 受信が完了すると、INTCBnR信号が発生し、CBnRXレジスタのリードが可能になる。通信完了前にCBnSCEビット = 0に設定されていると、 $\overline{\text{SCKBn}}$ 端子へのシリアル・クロックの出力を停止し、CBnTSFビットをクリア(0)し受信動作を終了する。
- (11) CBnRXレジスタをリードする。
- (12) オーバラン・エラー発生時は、CBnSTR.CBnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (13) 受信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnRXEビット = 0をライトする。

15.6.9 連続転送モード (マスタ・モード, 送受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック(f_{CLK}) = $f_{\text{X}}/2$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

(1) 動作フロー



備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

(2) 動作タイミング

(1/2)



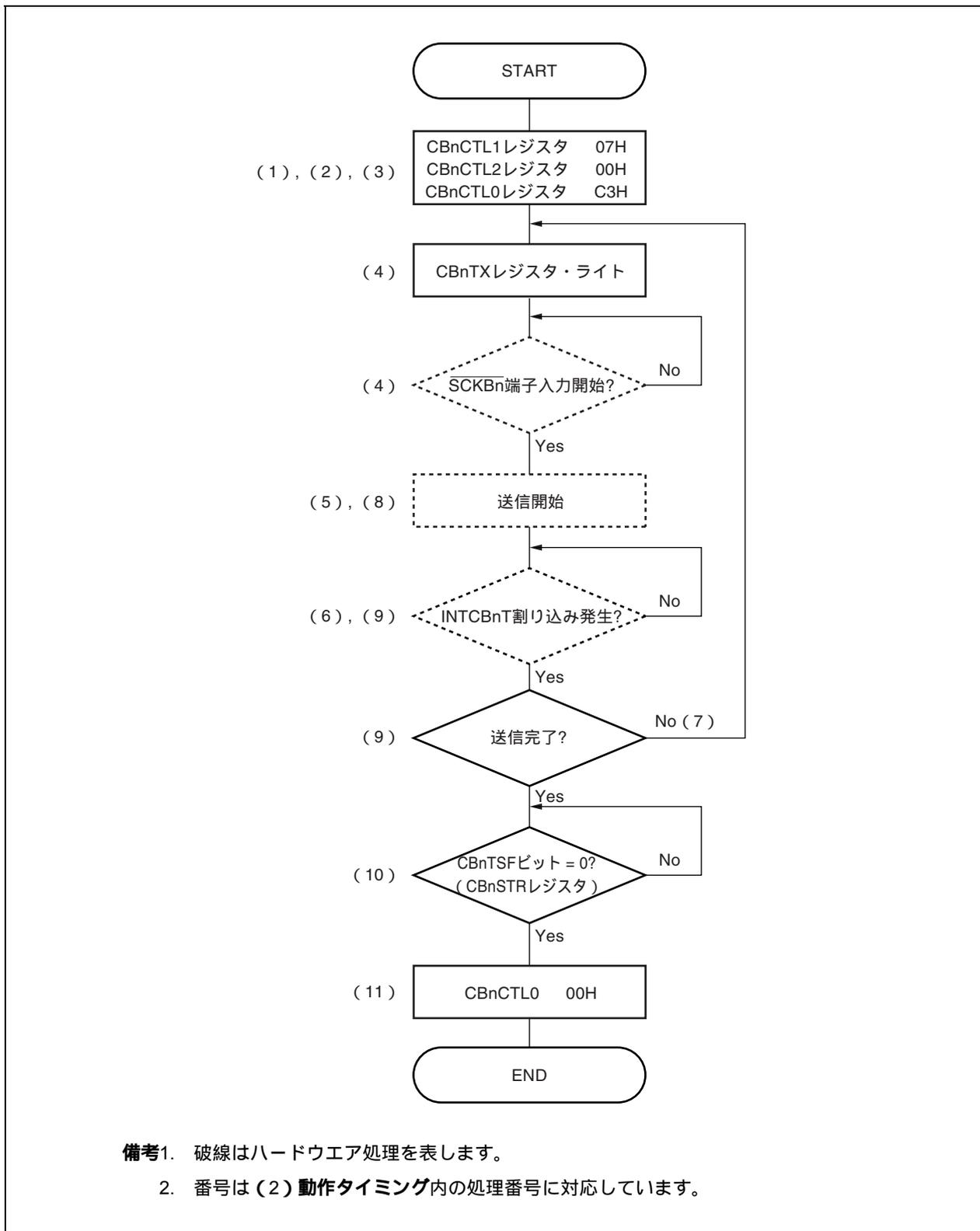
- (1) CbNCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = $f_{\text{xx}}/2$ 、マスタ・モードを選択する。
- (2) CbNCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CbNCTL0レジスタにE3Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、送受信モード、MSBファースト、連続転送モードを選択する。
- (4) CbNTXレジスタに送信データをライトすることで、CbNSTR.CbNtSFビットがセット(1)され、送受信を開始する。
- (5) 送受信が開始されると、SCKBn端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOBn端子に送信データを出力し、SIBn端子の受信データをキャプチャする。
- (6) CbNTXレジスタからシフト・レジスタへの送信データの転送が完了し、CbNTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCBnT) が発生する。
- (7) 続けて送受信を行う場合は、INTCBnT信号発生後、再びCbNTXレジスタに送信データをライトする。
- (8) 1回の送受信が完了すると、受信完了割り込み要求信号 (INTCBnR) が発生し、CbNRXレジスタのリードが可能になる。
- (9) 通信完了前に新たな送信データがCbNTXレジスタへライトされていると、通信完了後に続けて次の通信を開始する。
- (10) CbNRXレジスタをリードする。

- (11) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、INTCBnT信号が発生する。現送受信で連続送受信を完了する場合は、CBnTXレジスタへのライトを行わない。
- (12) 転送完了までに次の送信データがCBnTXレジスタへライトされない場合は、転送完了後、 $\overline{\text{SCKBn}}$ 端子へのシリアル・クロックの出力を停止し、CBnTSFビットをクリア(0)する。
- (13) 受信エラー割り込み要求信号 (INTCBnR) 発生時は、CBnRXレジスタをリードする。
- (14) オーバラン・エラー発生時は、CBnSTR.CBnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (15) 送受信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

15.6.10 連続転送モード (スレーブ・モード, 送信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック(f_{CLK}) = 外部クロック(SCKBn)(CBnCTL1.CBnCKS2-CBnCKS0ビット = 111),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

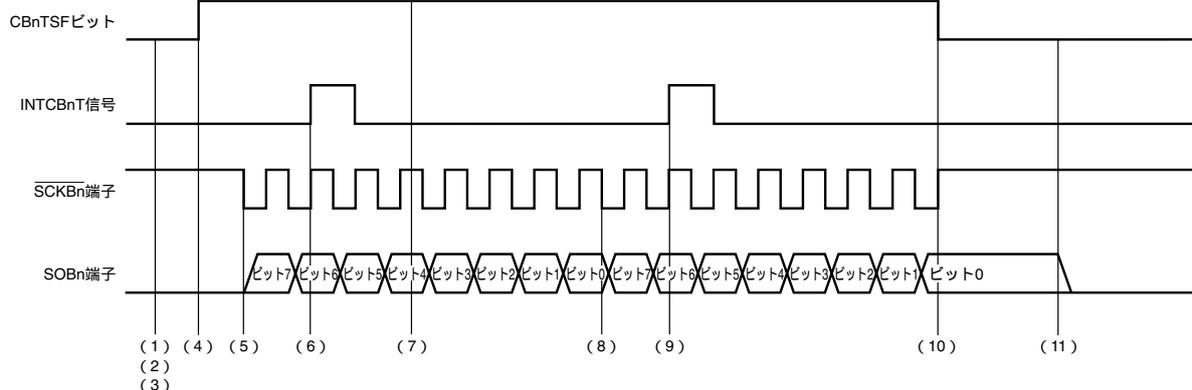
(1) 動作フロー



備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

(2) 動作タイミング



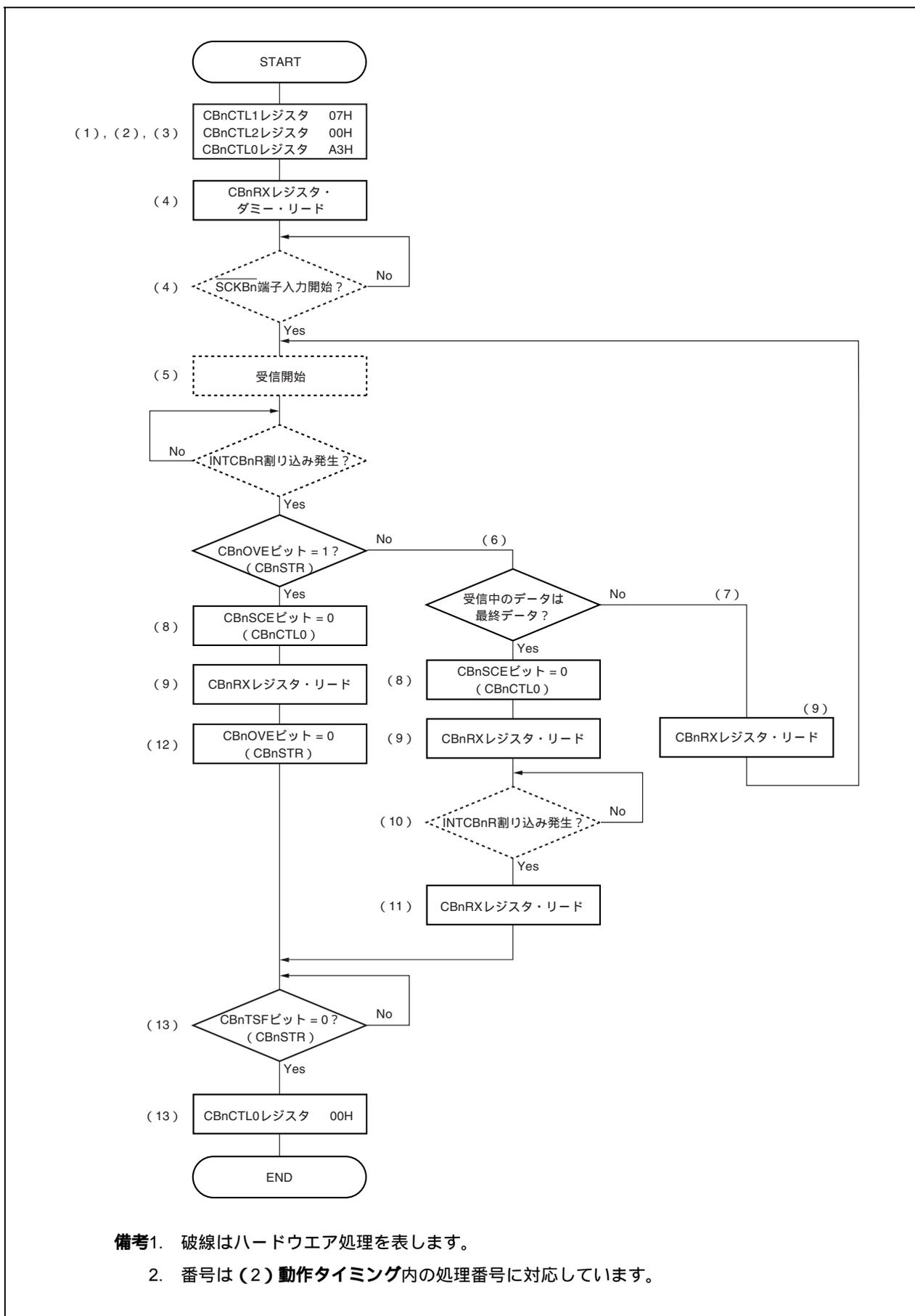
- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = 外部クロック ($SCKBn$)、スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC3Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、送信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット (1) され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCBnT) が発生する。
- (7) 続けて送信を行う場合は、INTCBnT信号発生後、再びCBnTXレジスタに送信データをライトする。
- (8) CBnCTL2レジスタで設定した転送データ長分の送信が完了後に続けてシリアル・クロックが入力されると、連続送信を開始する。
- (9) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になるとINTCBnT信号が発生する。現送信で連続送信を完了する場合は、CBnTXレジスタへのライトを行わない。
- (10) CBnTXレジスタへライトされていない状態で、CBnCTL2レジスタに設定した転送データ長分のクロックが入力されると、CBnTSFビットをクリア (0) し、送信を終了する。
- (11) 送信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnTXEビット = 0をライトする。

注意 連続送信モードでは、受信完了割り込み要求信号 (INTCBnR) は発生しません。

15.6.11 連続転送モード (スレーブ・モード, 受信モード)

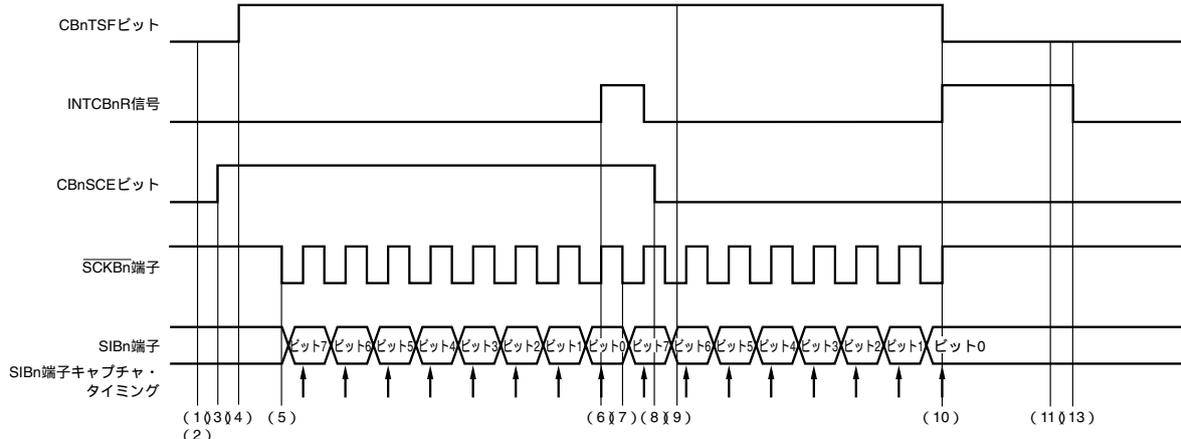
MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック(f_{CLK}) = 外部クロック($\overline{\text{SCKBn}}$) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
- 2. 番号は(2)動作タイミング内の処理番号に対応しています。

(2) 動作タイミング

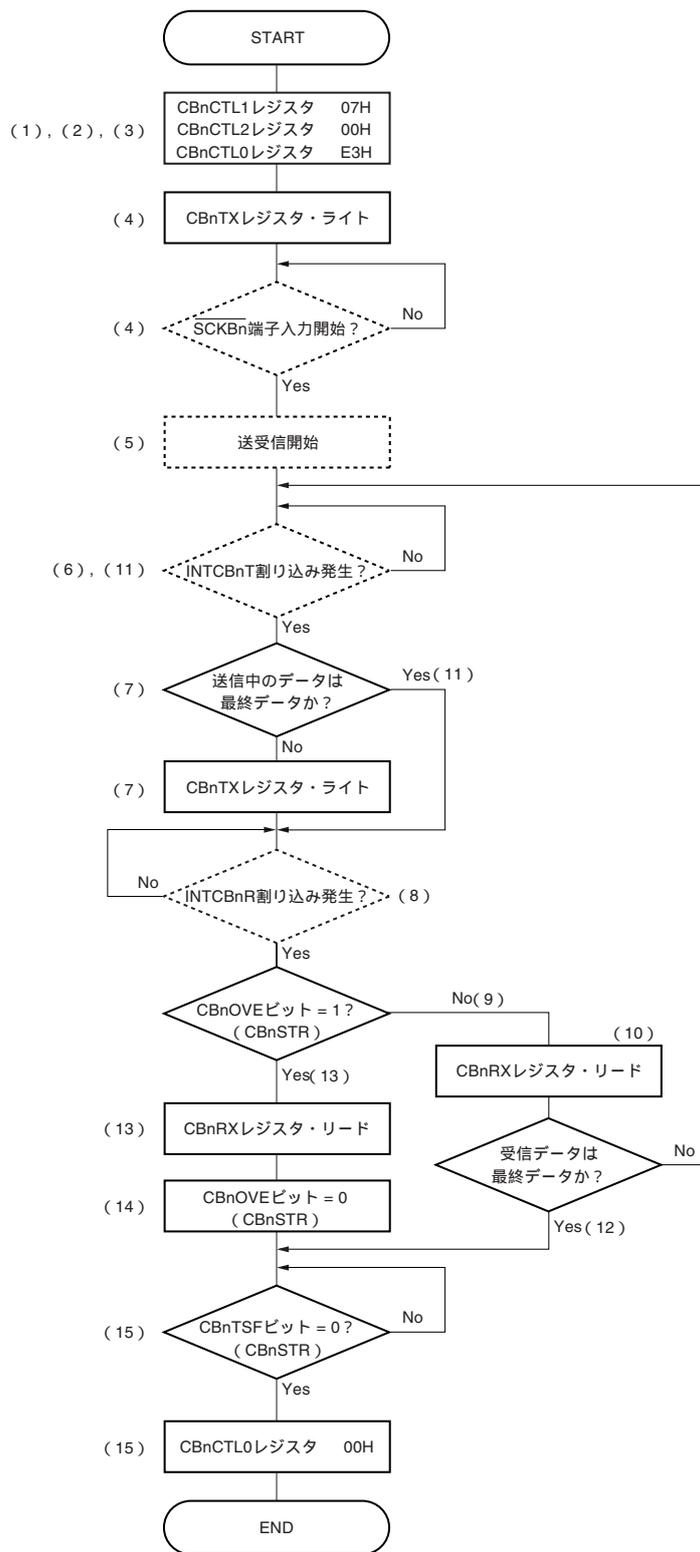


- (1) CbNCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = 外部クロック (SCKbN)、スレーブ・モードを選択する。
- (2) CbNCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CbNCTL0レジスタにA3Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、受信モード、MSBファースト、連続転送モードを選択する。
- (4) CbNRXレジスタをダミー・リードすることで、CbNSTR.CbNTSfビットがセット(1)され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSIBn端子の受信データをキャプチャする。
- (6) 受信が完了すると、受信完了割り込み要求信号 (INTCbNr) が発生し、CbNRXレジスタのリードが可能になる。
- (7) CbNCTL0.CbNsCeビット = 1状態でシリアル・クロックが入力されると、連続して受信動作を開始する。
- (8) 現受信で連続受信を完了する場合は、CbNsCeビット = 0をライトする。
- (9) CbNRXレジスタをリードする。
- (10) 受信が完了すると、INTCbNr信号が発生し、CbNRXレジスタのリードが可能になる。通信完了前にCbNsCeビット = 0に設定されていると、CbNTSfビットをクリア(0)し受信動作を終了する。
- (11) CbNRXレジスタをリードする。
- (12) オーバラン・エラー発生時は、CbNSTR.CbNOVeビット = 0をライトして、エラー・フラグをクリアする。
- (13) 受信許可状態を解除する場合は、CbNTSfビット = 0を確認後、CbNCTL0.CbNPwRビット = 0、CbNCTL0.CbNRXeビット = 0をライトする。

15. 6. 12 連続転送モード (スレーブ・モード, 送受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック(f_{CLK}) = 外部クロック($\overline{\text{SCKBn}}$) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー

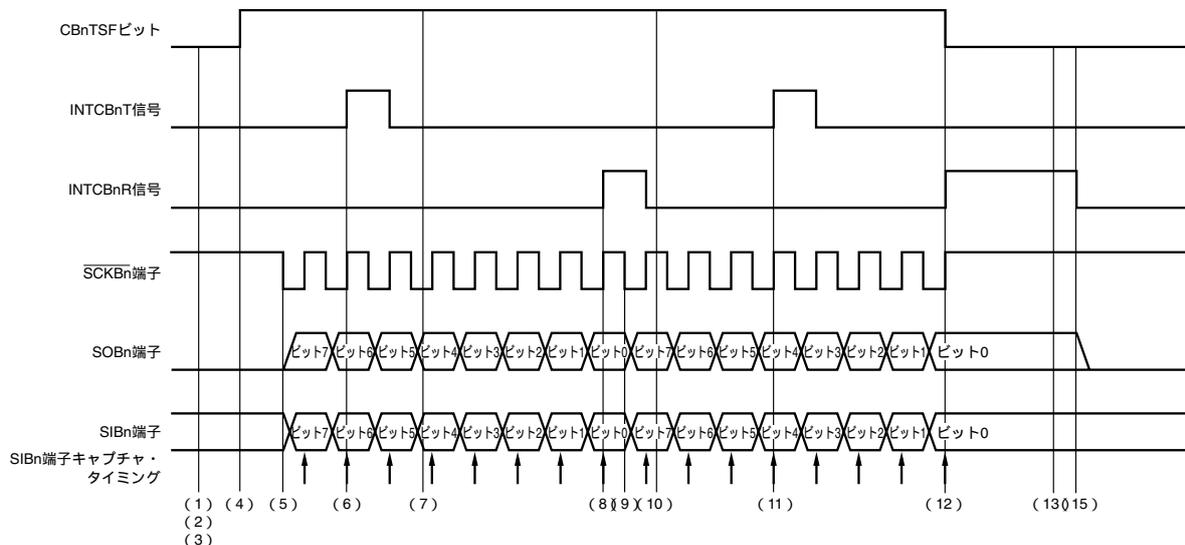


備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

(2) 動作タイミング

(1/2)



- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = 外部クロック (SCKBn)、スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにE3Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、送受信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット(1)され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOBn端子に送信データを出し、SIBn端子の受信データをキャプチャする。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCBnT) が発生する。
- (7) 続けて送信を行う場合は、INTCBnT信号発生後、再びCBnTXレジスタに送信データをライトする。
- (8) CBnCTL2レジスタで設定した転送データ長分の受信が終了すると、受信完了割り込み要求信号 (INTCBnR) を発生し、CBnRXレジスタのリードが可能になる。
- (9) 続けてシリアル・クロックが入力されると、連続送受信を開始する。
- (10) CBnRXレジスタをリードする。
- (11) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になるとINTCBnT信号が発生する。現送受信で連続送受信を完了する場合は、CBnTXレジスタへのライトを行わない。

- (12) CBnTXレジスタへライトされていない状態で、CBnCTL2レジスタに設定した転送データ長分のクロックが入力されると、INTCBnR信号が発生し、CBnTSFビットをクリア(0)し、送受信を終了する。
- (13) INTCBnR信号発生時は、CBnRXレジスタをリードする。
- (14) オーバラン・エラー発生時は、CBnSTR.CBnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (15) 送受信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

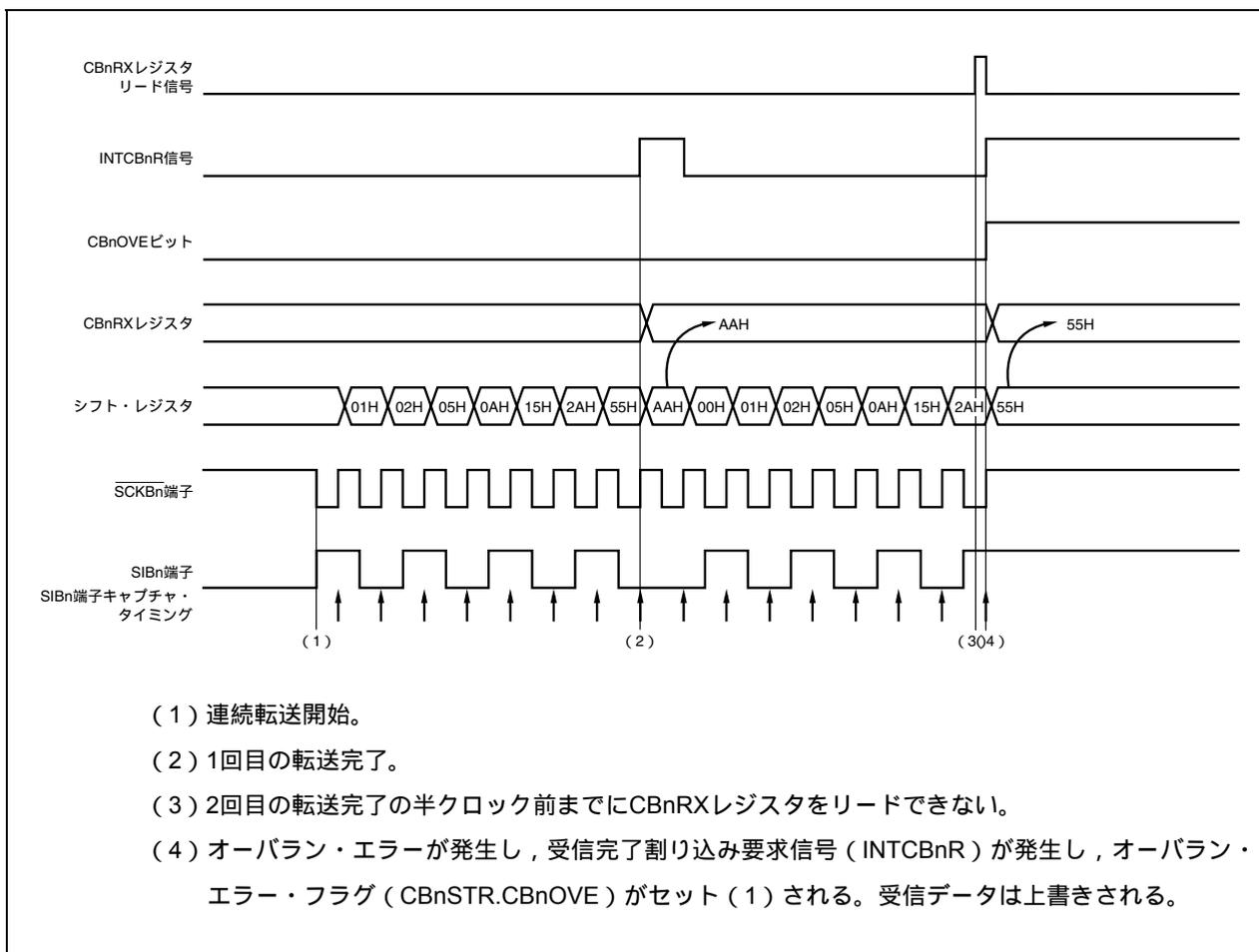
15.6.13 受信エラー

連続転送モード時に受信許可 (CBnCTL0.CBnRXEビット = 1) で転送を行う場合、受信完了割り込み要求信号 (INTCBnR) 発生後、CBnRXレジスタをリードする前に次の受信動作が完了すると再度INTCBnR信号が発生し、オーバラン・エラー・フラグ (CBnSTR.CBnOVE) がセット (1) されます。

オーバラン・エラーが発生した場合でも、CBnRXレジスタは更新されるため、前回の受信データは失われます。また、受信エラーが発生した場合でもCBnRXレジスタをリードしないと、次の受信完了で再びINTCBnR信号が発生します。

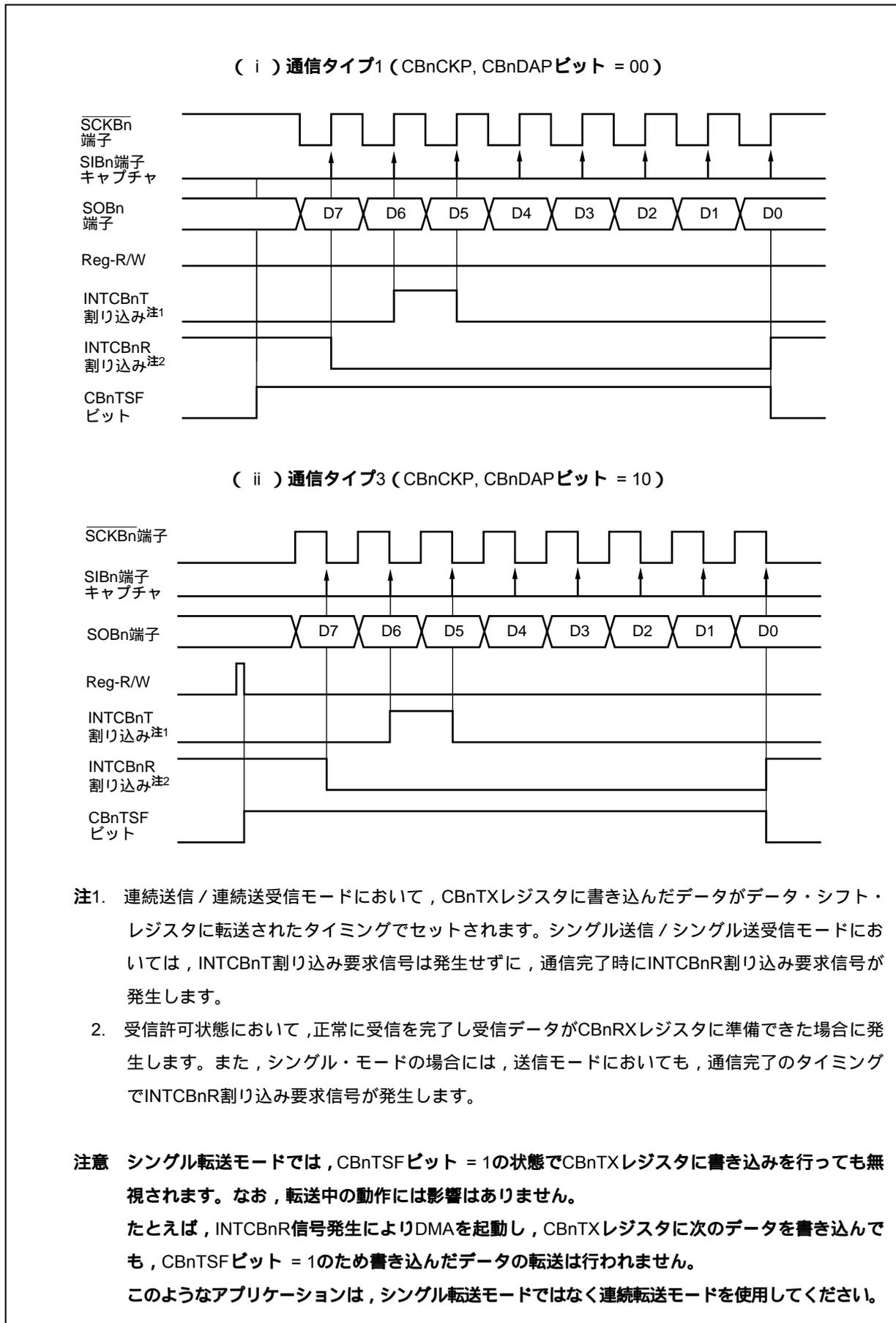
オーバラン・エラーを回避するためには、INTCBnR信号発生後から次の受信データの最終ビットをサンプリングする半クロック前までに、CBnRXレジスタのリードを完了してください。

(1) 動作タイミング

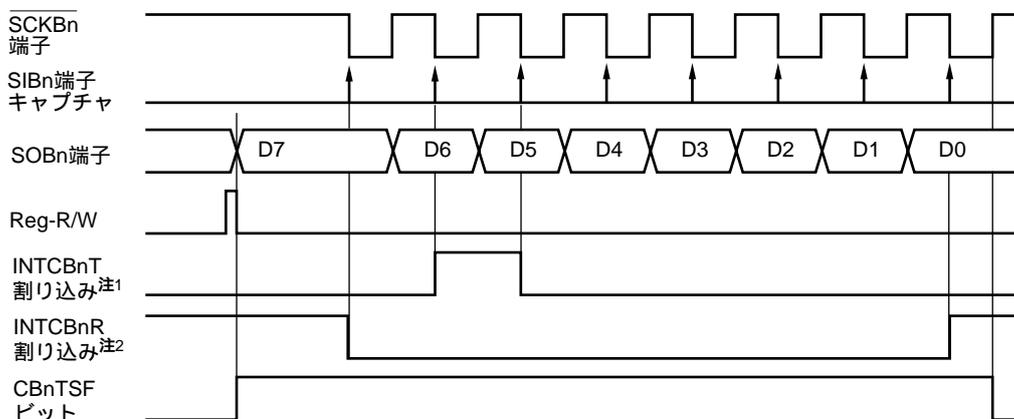


15.6.14 クロック・タイミング

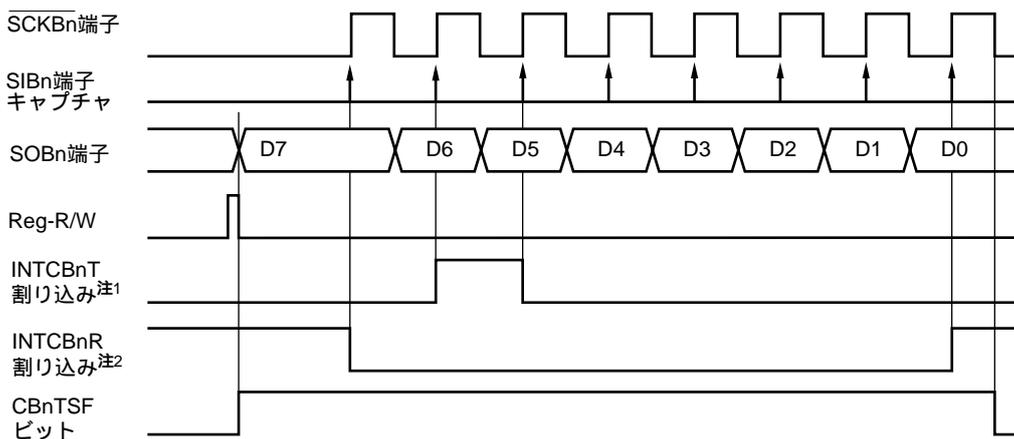
(1/2)



(iii) 通信タイプ2 (CBnCKP, CBnDAPビット = 01)



(iv) 通信タイプ4 (CBnCKP, CBnDAPビット = 11)



注1. 連続送信 / 連続送受信モードにおいて、CBnTXレジスタに書き込んだデータがデータ・シフト・レジスタに転送されたタイミングでセットされます。シングル送信 / シングル送受信モードにおいては、INTCBnT割り込み要求信号は発生せずに、通信完了時にINTCBnR割り込み要求信号が発生します。

2. 受信許可状態において、正常に受信を完了し受信データがCBnRXレジスタに準備できた場合に発生します。また、シングル・モードの場合には、送信モードにおいても、通信完了のタイミングでINTCBnR割り込み要求信号が発生します。

注意 シングル転送モードでは、CBnTSFビット = 1の状態でもCBnTXレジスタに書き込みを行っても無視されます。なお、転送中の動作には影響はありません。

たとえば、INTCBnR信号発生によりDMAを起動し、CBnTXレジスタに次のデータを書き込んでも、CBnTSFビット = 1のため書き込んだデータの転送は行われません。

このようなアプリケーションは、シングル転送モードではなく連続転送モードを使用してください。

15.7 動作禁止時の出力端子状態

(1) $\overline{\text{SCKBn}}$ 端子

CSIBn動作禁止 (CBnCTL0.CBnPWRビット = 0) のとき, $\overline{\text{SCKBn}}$ 端子出力状態は次のようになります。

CBnCKS2	CBnCKS1	CBnCKS0	CBnCKP	$\overline{\text{SCKBn}}$ 端子出力
1	1	1	x	ハイ・インピーダンス
上記以外			0	ハイ・レベル固定
			1	ロウ・レベル固定

備考1. CBnCTL1.CBnCKP, CBnCKS2-CBnCKS0ビットのいずれかを書き換えると $\overline{\text{SCKBn}}$ 端子の出力が変化します。

2. x : 任意

(2) SOBn 端子

CSIBn動作禁止 (CBnPWRビット = 0) のとき, SOBn 端子出力状態は次のようになります。

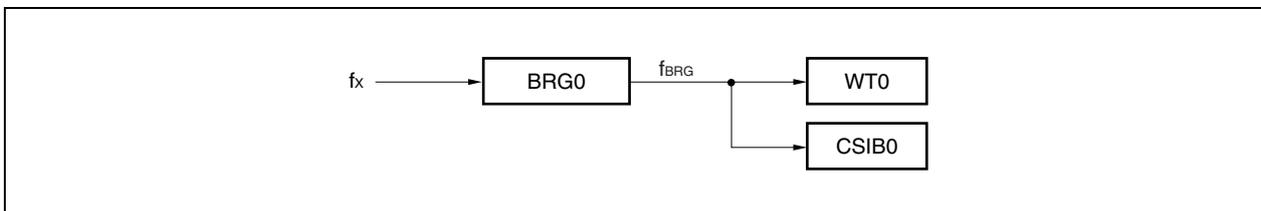
CBnTXE	CBnDAP	CBnDIR	SOBn 端子出力
0	x	x	ロウ・レベル固定
1	1	0	SOBn ラッチの値 (ロウ・レベル)
		0	CBnTXレジスタの値 (MSB)
		1	CBnTXレジスタの値 (LSB)

備考1. CBnCTL0.CBnTXE, CBnDIRビット, CBnCTL1.CBnDAPビットのいずれかを書き換えると SOBn 端子の出力が変化します。

2. x : 任意

15.8 ポー・レート・ジェネレータ

ポー・レート・ジェネレータ (プリスケラ3) から生成されるクロックは、時計タイマおよびCSIB0に供給されます。



(1) プリスケラ・モード・レジスタ0 (PRSM0)

PRSMmレジスタは、CSIBのポー・レート信号の生成を制御します。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF8B0H

	7	6	5	④	3	2	1	0
PRSM0	0	0	0	BGCE0	0	0	BGCS01	BGCS00

BGCE0	ポー・レート出力	
0	禁止	
1	許可	

BGCS01	BGCS00	時計タイマ・ソース・クロック (f _{BGCS}) の選択		
			10 MHz	8 MHz
0	0	fx	100 ns	125 ns
0	1	fx/2	200 ns	250 ns
1	0	fx/4	400 ns	500 ns
1	1	fx/8	800 ns	1 μs

注意1. 時計タイマおよびCSIB0動作中に、PRSM0レジスタを書き換えないでください。

2. PRSM0レジスタの設定はBGCE0ビットに“1”を設定する前に行ってください。

(2) プリスケアラ・コンペア・レジスタ 0 (PRSCM0)

8ビットのコンペア・レジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF8B1H

	7	6	5	4	3	2	1	0
PRSCM0	PRSCM07	PRSCM06	PRSCM05	PRSCM04	PRSCM03	PRSCM02	PRSCM01	PRSCM00

注意1. 時計タイマおよびCSIB動作中に、PRSCM0レジスタを書き換えしないでください。

2. PRSM0.BGCE0ビットに“1”を設定する前にPRSCM0レジスタの設定を行ってください。

15.8.1 ボー・レートの生成

メイン・クロックを分周して送受信クロックを生成します。メイン・クロックから生成するボー・レートは次の式によって求められます。

$$f_{BRG} = \frac{f_{XX}}{2^{k+1} \times N}$$

注意 f_{BRG} は、8 MHz以下になるように設定してください。

備考 f_{BRG} : BRGのカウント・クロック

f_{XX} : メイン・クロックの発振周波数

k : PRSM0レジスタの設定値 = 0-3

N : PRSCM0レジスタ設定値 = 1-256

ただし、 $N = 256$ となるのは、PRSCM0レジスタに00Hを設定した場合です。

15.9 注意事項

(1) DMA転送により、送信データ、受信データの転送を行う場合、シリアル転送中にオーバーラン・エラーが発生してもエラー処理を行えません。DMA転送終了後にCBnSTR.CBnOVEビットを読み出してオーバーラン・エラーがなかったことを確認してください。

(2) 動作中 (CBnCTL0.CBnPWRビット = 1) の書き換えを禁止しているレジスタに対して、動作中に誤って書き換えを行ってしまった場合は、一度CBnCTL0.CBnPWRビット = 0に設定してCSIBnを初期化してください。

動作中の書き換えが禁止されているレジスタを次に示します。

- ・ CBnCTL0レジスタ：CBnTXE, CBnRXE, CBnDIR, CBnTMSビット
- ・ CBnCTL1レジスタ：CBnCKP, CBnDAP, CBnCKS2-CBnCKS0ビット
- ・ CBnCTL2レジスタ：CBnCL3-CBnCL0ビット

(3) 通信タイプ2, 4 (CBnCTL1.CBnDAPビット = 1) では、受信完了割り込み (INTCBnR) 発生後、 \overline{SCKBn} 半クロック後にCBnSTR.CBnTSFビットがクリアされます。

一方、シングル転送モードでは、通信中 (CBnTSFビット = 1) に次の送信データをライトしても無視され、次の通信は起動しません。また、受信のみの通信に設定したとき (CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 1) も、通信中 (CBnTSFビット = 1) に受信データをリードしても次の通信は起動しません。

そのため、通信タイプ2, 4 (CBnDAPビット = 1) でシングル転送モードを使用する場合、次の点に注意してください。

- ・ 次の送信を起動する場合は、CBnTSFビット = 0であることを確認したあと、CBnTXレジスタに送信データを書き込む
- ・ 受信のみの通信に設定したとき (CBnTXEビット = 0, CBnRXEビット = 1) に続けて次の受信を行う場合は、CBnTSFビット = 0であることを確認したあと、CBnRXレジスタをリードする

または、シングル転送モードではなく、連続転送モードを使用してください。特にDMAを使用する場合は連続転送モードの使用を推奨します。

第16章 I²Cバス

この機能を使用する場合は、P914/SDA00, P915/SCL00端子を兼用端子として使用し、N-chオープン・ドレ
ーン出力に設定してください。

V850ES/Hx3は、I²Cバスを1チャンネル搭載しています。

16.1 I²Cバスとほかのシリアル・インタフェースのモード切り替え

16.1.1 UARTD4とI²C00のモード切り替え

V850ES/HJ3では、UARTD4とI²C00は端子が兼用になっており、同時には使用できません。I²C00を使用するときは、あらかじめPMC9, PFC9, PFCE9レジスタで設定する必要があります。

注意 UARTD4またはI²C00において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図16 - 1 UARTD4とI²C00のモード切り替え設定

リセット時：0000H R/W アドレス：FFFFF452H, FFFFF453H

	15	14	13	12	11	10	9	8
PMC9	PMC915	PMC914	PMC913	PMC912	PMC911	PMC910	PMC99	PMC98
	7	6	5	4	3	2	1	0
	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90

リセット時：0000H R/W アドレス：FFFFF472H, FFFFF473H

	15	14	13	12	11	10	9	8
PFC9	PFC915	PFC914	PFC913	PFC912	PFC911	PFC910	PFC99	PFC98
	7	6	5	4	3	2	1	0
	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	PFC91	PFC90

リセット時：0000H R/W アドレス：FFFFF712H, FFFFF713H

	15	14	13	12	11	10	9	8
PFCE9	PFCE915	PFCE914	PFCE913	PFCE912	PFCE911	PFCE910	PFCE99	PFCE98
	7	6	5	4	3	2	1	0
	PFCE97	PFCE96	PFCE95	PFCE94	PFCE93	PFCE92	PFCE91	PFCE90

PMC9n	PFC9n	PFCE9n	動作モード
0	x	x	ポート入出力モード
1	0	0	設定禁止
	0	1	割り込み機能
	1	0	I ² C00モード
	1	1	UARTD4モード

備考1. n = 14, 15
2. x = don't care

16.2 特 徴

I²C00には、次の2種類のモードがあります。

- ・動作停止モード
- ・I²C (Inter IC) バス・モード (マルチマスタ対応)

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

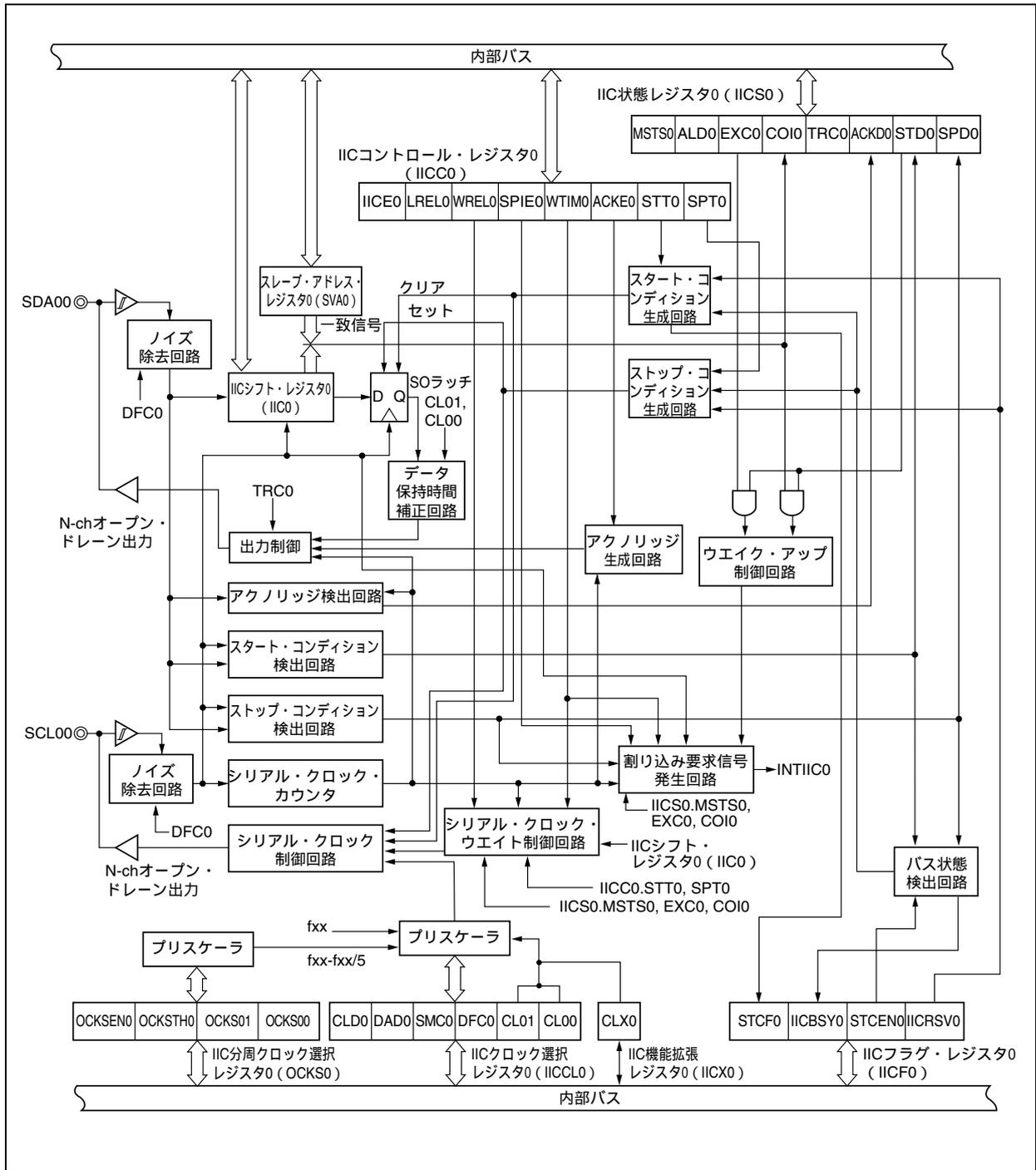
(2) I²Cバス・モード (マルチマスタ対応)

シリアル・クロック (SCL00) とシリアル・データ・バス (SDA00) の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対してシリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

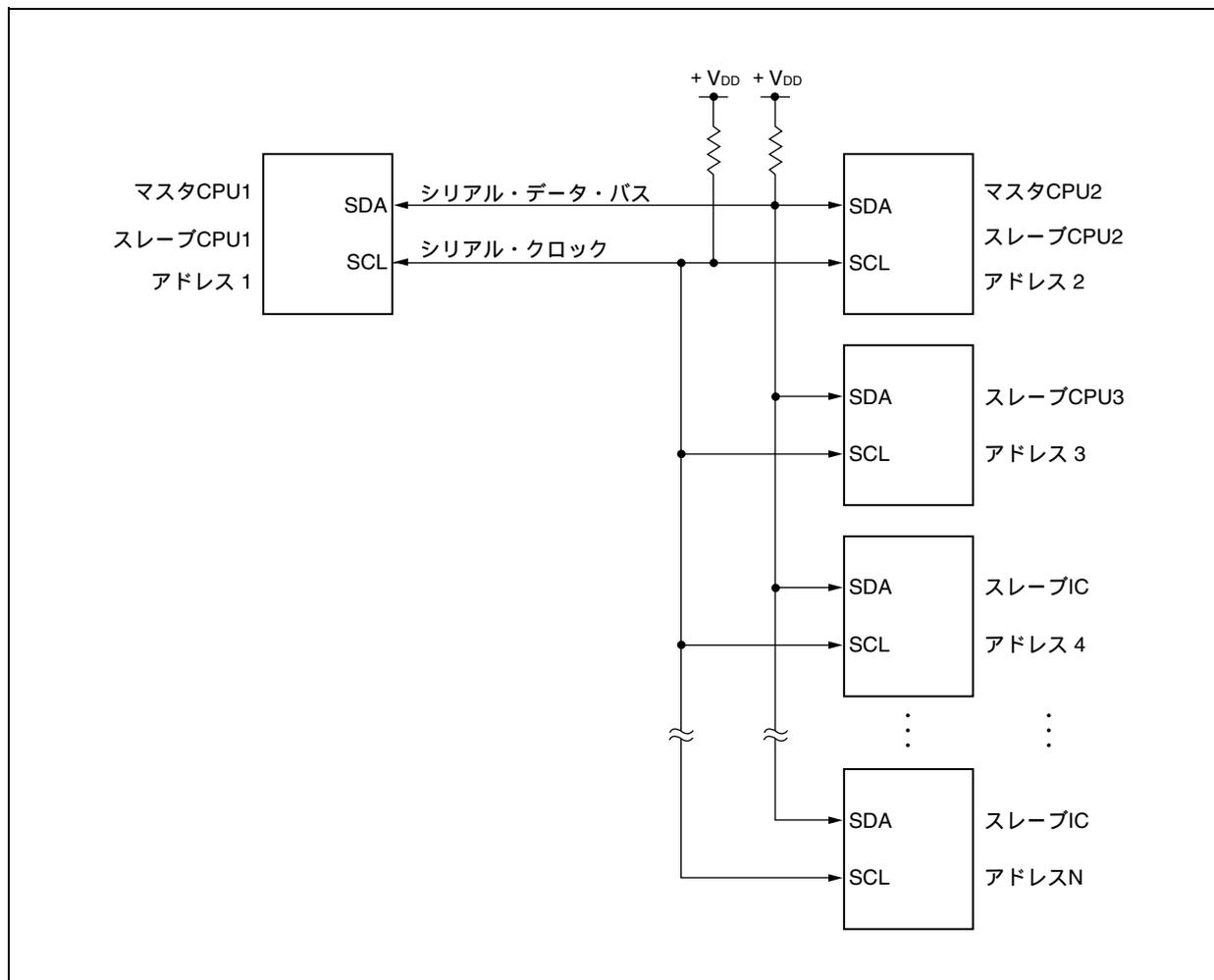
I²C00では、SCL00端子とSDA00端子はN-chオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

図16-2 I²C00のブロック図



次にシリアル・バス構成例を示します。

図16 - 3 I²Cバスによるシリアル・バス構成例



16.3 構成

I²C00は、次のハードウェアで構成されています。

表16 - 1 I²C00の構成

項目	構成
レジスタ	IICシフト・レジスタ0 (IIC0) スレーブ・アドレス・レジスタ0 (SVA0)
制御レジスタ	IICコントロール・レジスタ0 (IICC0) IIC状態レジスタ0 (IICS0) IICフラグ・レジスタ0 (IICF0) IICクロック選択レジスタ0 (IICCL0) IIC機能拡張レジスタ0 (IICX0) IIC分周クロック選択レジスタ0 (OCKS0)

(1) IICシフト・レジスタ0 (IIC0)

IIC0レジスタは、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IIC0レジスタは送信および受信の両方に使用されます。

IIC0レジスタに対する書き込み/読み出しにより、実際の送受信動作が制御されます。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(2) スレーブ・アドレス・レジスタ0 (SVA0)

スレーブとして使用する場合に、自局アドレスを設定するレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(3) SOラッチ

SOラッチは、SDA00端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

SVA0レジスタに設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に、割り込み要求信号 (INTIIC0) を発生させる回路です。

(5) プリスケーラ

使用するサンプリング・クロックを選択します。

(6) シリアル・クロック・カウンタ

送信/受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(7) 割り込み要求信号発生回路

割り込み要求信号 (INTIIC0) の発生を制御します。

I²C割り込みは、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目の立ち下がり (IICC0.WTIM0ビットで設定)
- ・ストップ・コンディション検出による割り込み発生 (IICC0.SPIE0ビットで設定)

(8) シリアル・クロック制御回路

マスタ・モード時に、SCL00端子に出力するクロックをサンプリング・クロックから生成します。

(9) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

(10) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路

各状態の生成および検出を行います。

(11) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

(12) スタート・コンディション生成回路

IICC0.STT0ビットがセットされるとスタート・コンディションを生成します。

ただし通信予約禁止状態 (IICF0.IICRSV0ビット = 1) で、かつバスが解放されていない (IICF0.IICBSY0ビット = 1) 場合には、スタート・コンディション要求は無視し、IICF0.STCF0ビットをセット (1) します。

(13) ストップ・コンディション生成回路

IICC0.SPT0ビットがセット (1) されるとストップ・コンディションを生成します。

(14) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため、IICF0.STCEN0ビットにより、バス状態検出回路の初期状態を設定してください。

16.4 レジスタ

I²C00は、次のレジスタで制御します。

- ・ IICコントロール・レジスタ0 (IICC0)
- ・ IIC状態レジスタ0 (IICS0)
- ・ IICフラグ・レジスタ0 (IICF0)
- ・ IICクロック選択レジスタ0 (IICCL0)
- ・ IIC機能拡張レジスタ0 (IICX0)
- ・ IIC分周クロック選択レジスタ0 (OCKS0)

また、次のレジスタも使用します。

- ・ IICシフト・レジスタ0 (IIC0)
- ・ スレーブ・アドレス・レジスタ0 (SVA0)

備考 兼用端子の設定は表4 - 25 **ポート端子を兼用端子として使用する場合**を参照してください。

(1) IICコントロール・レジスタ0 (IICC0)

I²C00の動作許可/停止, ウェイト・タイミングの設定, その他I²C動作の設定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。ただし, SPIE0, WTIM0, ACKE0ビットは, IICE0ビット = 0 のとき, またはウェイト期間中に設定してください。IICE0ビットを“0”から“1”に設定するとき, 同時にこれらのビットを設定できます。

リセットにより00Hになります。

(1/4)

リセット時: 00H R/W アドレス: IICC0 FFFFFFFD82H

	⑦	⑥	⑤	④	③	②	①	①
IICC0	IICE0	LRELO	WRELO	SPIE0	WTIM0	ACKE0	STT0	SPT0

IICE0	I ² C0動作許可/禁止の指定
0	動作停止。IICS0レジスタをリセット ^{注1} 。内部動作も停止。
1	動作許可。
このビットのセット(1)は, 必ずSCL00, SDA00ラインがハイ・レベルの状態で行ってください。	
クリアされる条件 (IICE0ビット = 0)	セットされる条件 (IICE0ビット = 1)
・ 命令によるクリア ・ リセット時	・ 命令によるセット

LRELO ^{注2}	通信退避
0	通常動作。
1	現在行っている通信から退避し, 待機状態。実行後自動的にクリア(0)される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCL00, SDA00ラインはハイ・インピーダンス状態になる。 STT0, SPT0ビット, IICS0.MSTS0, EXC0, COI0, TRC0, ACKD0, STD0ビットがクリア(0)される。
次の通信参加条件が満たされるまでは, 通信から退避した待機状態となる。 ストップ・コンディション検出後, マスタとしての起動 スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件 (LRELOビット = 0)	セットされる条件 (LRELOビット = 1)
・ 実行後, 自動的にクリア ・ リセット時	・ 命令によるセット

注1. リセットされるのはIICS0レジスタ, IICF0.STCF0, IICBSY0ビット, IICCL0.CLD0, DAD0ビットです。

2. IICE0ビット = 0により, このフラグの信号を無効にします。

注意 SCL00ラインがハイ・レベル, SDA00ラインがロウ・レベルの状態, I²C0を動作許可(IICE0ビット = 1)した場合, 直後にスタート・コンディションを検出してしまいます。I²C0を動作許可(IICE0ビット = 1)したあと, 連続してビット操作命令によりLRELOビットをセット(1)してください。

WRELO ^注	ウェイト解除の制御	
0	ウェイトを解除しない。	
1	ウェイト解除する。ウェイト解除後、自動的にクリア(0)される。	
クリアされる条件 (WRELOビット = 0)		セットされる条件 (WRELOビット = 1)
・実行後、自動的にクリア ・リセット時		・命令によるセット

SPIE0 ^注	ストップ・コンディション検出による割り込み要求発生への許可/禁止	
0	禁止	
1	許可	
クリアされる条件 (SPIE0ビット = 0)		セットされる条件 (SPIE0ビット = 1)
・命令によるクリア ・リセット時		・命令によるセット

WTIMO ^注	ウェイトおよび割り込み要求発生への制御	
0	8クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
1	9クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
アドレス転送中はこのビットの設定にかかわらず、9クロック目の立ち下がりでの割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにウェイトが入ります。自局アドレスを受信したスレーブは、アクノリッジ (ACK) 発生後の9クロック目の立ち下がりでのウェイトに入ります。ただし拡張コードを受信したスレーブは、8クロック目の立ち下がりでのウェイトに入ります。		
クリアされる条件 (WTIMOビット = 0)		セットされる条件 (WTIMOビット = 1)
・命令によるクリア ・リセット時		・命令によるセット

ACKE0 ^注	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDA00ラインをロウ・レベルにする。	
アドレス受信のときは、ACKE0ビットの設定は無効です。この場合、アドレスが一致したときはアクノリッジを生成します。 ただし、拡張コードのアドレス受信のときは、ACKE0ビットの設定は有効になります。		
クリアされる条件 (ACKE0ビット = 0)		セットされる条件 (ACKE0ビット = 1)
・命令によるクリア ・リセット時		・命令によるセット

注 IICE0ビット = 0により、このフラグの信号を無効にします。

STT0	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	<p>バスが解放されているとき（ストップ状態）： スタート・コンディションを生成する（マスタとしての起動）。SCL00ラインがハイ・レベルの状態ではSDA00ラインをハイ・レベルからロウ・レベルに変化させ、スタート・コンディションを生成する。その後、規格の時間を確保し、SCL00ラインをロウ・レベル（ウェイト状態）にする。</p> <p>第三者が通信中のとき： ・通信予約機能許可の場合（IICF0.IICRSV0ビット=0） スタート・コンディション予約フラグとして機能。セット（1）されると、バスが解放されたあと、自動的にスタート・コンディションを生成する。 ・通信予約機能禁止の場合（IICRSV0ビット=1） IICF0.STCF0ビットをセット（1）しSTT0ビットにセット（1）した情報をクリアする。 スタート・コンディションは生成しない。</p> <p>ウェイト状態（マスタ時）： ウェイトを解除してリスタート・コンディションを生成する。</p>
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセット（1）は禁止です。ACKE0ビット = 0に設定し、受信の最後であることをスレーブに伝えたあとにだけセット（1）可能です。</p> <p>マスタ送信の場合：アクリッジ期間中は、正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウェイト期間中にセット（1）してください。</p> <p>・SPT0ビットと同時にセット（1）することは禁止です。 ・STT0ビットをセット（1）後、クリア（0）される前に再度セット（1）することは禁止です。</p>	
クリアされる条件（STT0ビット=0）	セットされる条件（STT0ビット=1）
<ul style="list-style-type: none"> ・通信予約禁止状態でのSTT0ビットのセット（1） ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成によるクリア ・LREL0ビット = 1（通信退避）によるクリア ・IICE0ビット = 1 0（動作停止）のとき ・リセット時 	<ul style="list-style-type: none"> ・命令によるセット

備考 STT0ビットは、データ設定後に読み出すと0になっています。

SPT0	ストップ・コンディション・トリガ				
0	ストップ・コンディションを生成しない。				
1	ストップ・コンディションを生成する（マスタとしての転送終了）。 SDA00ラインをロウ・レベルにしたあと、SCL00ラインをハイ・レベルにするか、またはSCL00端子がハイ・レベルになるのを待つ。そのあと、規格の時間を確保し、SDA00ラインをロウ・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成する。				
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセット（1）は禁止です。ACKE0ビット = 0に設定し、受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット（1）可能です。</p> <p>マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック目出力後のウエイト期間中にセット（1）してください。</p> <ul style="list-style-type: none"> ・STT0ビットと同時にセット（1）することは禁止です。 ・SPT0ビットのセット（1）は、マスタのときのみ行ってください注。 ・WTIM0ビット = 0設定時に、8クロック出力後のウエイト期間中にSPT0ビットをセット（1）すると、ウエイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウエイト期間中にWTIM0ビット = 0 1にセットし、9クロック目出力後のウエイト期間中にSPT0ビットをセット（1）してください。 ・SPT0ビットをセット（1）後、クリア（0）される前に再度セット（1）することは禁止です。 					
<table border="1"> <thead> <tr> <th>クリアされる条件（SPT0ビット = 0）</th> <th>セットされる条件（SPT0ビット = 1）</th> </tr> </thead> <tbody> <tr> <td> <ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LREL0ビット = 1（通信退避）によるクリア ・IICE0ビット = 1 0（動作停止）のとき ・リセット時 </td> <td> <ul style="list-style-type: none"> ・命令によるセット </td> </tr> </tbody> </table>		クリアされる条件（SPT0ビット = 0）	セットされる条件（SPT0ビット = 1）	<ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LREL0ビット = 1（通信退避）によるクリア ・IICE0ビット = 1 0（動作停止）のとき ・リセット時 	<ul style="list-style-type: none"> ・命令によるセット
クリアされる条件（SPT0ビット = 0）	セットされる条件（SPT0ビット = 1）				
<ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LREL0ビット = 1（通信退避）によるクリア ・IICE0ビット = 1 0（動作停止）のとき ・リセット時 	<ul style="list-style-type: none"> ・命令によるセット 				

注 SPT0ビットのセット（1）は、マスタのときのみ行ってください。ただし、動作許可後最初のストップ・コンディションを検出する前にマスタ動作を行うには、一度SPT0ビットをセット（1）してストップ・コンディションを生成する必要があります。詳細は、16. 15 **注意事項**を参照してください。

注意 IICS0.TRC0ビット = 1のとき、9クロック目にWREL0ビットをセット（1）してウエイト解除すると、TRC0ビットをクリア（0）してSDA00ラインをハイ・インピーダンスにします。

備考 SPT0ビットは、データ設定後に読み出すと0になっています。

(2) IIC状態レジスタ0 (IICS0)

I²C00のステータスを表すレジスタです。

8/1ビット単位でリードのみ可能です。

ただしIICS0レジスタは、IICC0.STT0ビット = 1のとき、またはウェイト期間中だけリード可能です。

リセットにより00Hになります。

注意 次に示す状態において、IICS0レジスタへのアクセスは禁止です。詳細は3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが低速内蔵発振クロックで動作している場合

(1/3)

リセット時：00H R アドレス：IICS0 FFFFFFFD86H

⑦	⑥	⑤	④	③	②	①	①
MSTS0	ALD0	EXC0	COI0	TRC0	ACKD0	STD0	SPD0

MSTS0	マスタの状態
0	スレーブ状態または通信待機状態。
1	マスタ通信状態。
クリアされる条件 (MSTS0ビット=0)	セットされる条件 (MSTS0ビット=1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・ALD0ビット=1 (アービトレーション負け) のとき ・IICC0.LREL0ビット=1 (通信退避) によるクリア ・IICC0.IICE0ビット=1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・スタート・コンディション生成時

ALD0	アービトレーション負け検出
0	アービトレーションが起っていない状態。またはアービトレーションに勝った状態。
1	アービトレーションに負けた状態。MSTS0ビットがクリア (0) される。
クリアされる条件 (ALD0ビット=0)	セットされる条件 (ALD0ビット=1)
<ul style="list-style-type: none"> ・IICS0レジスタ読み出し後、自動的にクリア^注 ・IICE0ビット=1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・アービトレーションに負けたとき

EXC0	拡張コード受信検出
0	拡張コードを受信していない。
1	拡張コードを受信している。
クリアされる条件 (EXC0ビット=0)	セットされる条件 (EXC0ビット=1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0ビット=1 (通信退避) によるクリア ・IICE0ビット=1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> 受信したアドレス・データの上位4ビットが“0000”または“1111”のとき (8クロック目の立ち上がりでセット)

注 IICS0レジスタのほかのビットに対しビット操作命令を実行した場合もクリアされます。

COI0	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
	クリアされる条件 (COI0ビット = 0)	セットされる条件 (COI0ビット = 1)
	<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELOビット = 1 (通信退避) によるクリア ・IICE0ビット = 1 0 (動作停止) のとき ・リセット時 	受信アドレスが自局アドレス (SVA0レジスタ) と一致したとき (8クロック目の立ち上がりでセット)

TRC0	送信 / 受信状態検出	
0	受信状態 (送信状態以外)。SDA00ラインをハイ・インピーダンスにする。	
1	送信状態。SDA00ラインにSOラッチの値が出力できるようにする (1バイト目の9クロック目の立ち上がり以降有効)	
	クリアされる条件 (TRC0ビット = 0)	セットされる条件 (TRC0ビット = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・LRELOビット = 1 (通信退避) によるクリア ・IICE0ビット = 1 0 (動作停止) のとき ・IICC0.WRELOビット = 1 (ウエイト解除) によるクリア^注 ・ALD0ビット = 0 1 (アービトレーション負け) のとき ・リセット時 マスタの場合 <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に “1” を出力したとき スレーブの場合 <ul style="list-style-type: none"> ・スタート・コンディション検出時 通信不参加の場合	マスタの場合 <ul style="list-style-type: none"> ・スタート・コンディション生成時 ・1バイト目のLSB (転送方向指定ビット) に “0” を出力したとき スレーブの場合 <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に “1” を入力したとき

ACKD0	アクノリッジ (ACK) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出している。	
	クリアされる条件 (ACKD0ビット = 0)	セットされる条件 (ACKD0ビット = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LRELOビット = 1 (通信退避) によるクリア ・IICE0ビット = 1 0 (動作停止) のとき ・リセット時 	SCL00端子の9クロック目の立ち上がり時にSDA00端子がロウ・レベルであったとき

注 IICS0.TRIC0ビット = 1のとき, 9クロック目にIICC0.WRELOビットをセット(1)してウエイトを解除すると, TRIC0ビットをクリア(0)してSDA00ラインをハイ・インピーダンスにします。

STD0	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
	クリアされる条件 (STD0ビット = 0)	セットされる条件 (STD0ビット = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LRELOビット = 1 (通信退避) によるクリア ・IICE0ビット = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・スタート・コンディション検出時

SPD0	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放される。	
	クリアされる条件 (SPD0ビット = 0)	セットされる条件 (SPD0ビット = 1)
	<ul style="list-style-type: none"> ・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・IICE0ビット = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・ストップ・コンディション検出時

(3) IICフラグ・レジスタ0 (IICF0)

I²C00の動作モードの設定と、I²Cバスの状態を表すレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、STCF0, IICBSY0ビットはリードのみ可能です。

IICRSV0ビットにより通信予約機能の禁止/許可を設定します(16.14 **通信予約**参照)。

また、STCEN0ビットにより、IICBSY0ビットの初期値を設定します(16.15 **注意事項**参照)。

IICRSV0, STCEN0ビットは、I²C00が動作禁止(IIC0.IICE0ビット = 0)のときのみ書き込み可能です。

動作許可後、IICF0レジスタは読み出し可能となります。

リセットにより00Hになります。

リセット時：00H R/W^注 アドレス：IICF0 FFFFFFFD8AH

	⑦	⑥	5	4	3	2	①	①
IICF0	STCF0	IICBSY0	0	0	0	0	STCEN0	IICRSV0

STCF0	IICC0.STT0クリア・フラグ
0	スタート・コンディション発行
1	スタート・コンディション発行できずSTT0フラグ・クリア
クリアされる条件 (STCF0ビット = 0)	
<ul style="list-style-type: none"> ・STT0ビット = 1によるクリア ・IICE0ビット = 1 0 (動作停止) のとき ・リセット時 	
セットされる条件 (STCF0ビット = 1)	
<ul style="list-style-type: none"> ・通信予約禁止 (IICRSV0ビット = 1) 設定時にスタート・コンディション発行できず, STT0ビットがクリア (0) されたとき 	

IICBSY0	I ² C00バス状態フラグ
0	バス解放状態 (STCEN0ビット = 1時の通信初期状態)
1	バス通信状態 (STCEN0ビット = 0時の通信初期状態)
クリアされる条件 (IICBSY0ビット = 0)	
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・IICE0ビット = 1 0 (動作停止) のとき ・リセット時 	
セットされる条件 (IICBSY0ビット = 1)	
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・STCEN0ビット = 0時のIICE0ビットのセット 	

STCEN0	初期スタート許可トリガ
0	動作許可 (IICE0ビット = 1) 後, ストップ・コンディションの検出により, スタート・コンディションを生成許可。
1	動作許可 (IICE0ビット = 1) 後, ストップ・コンディションを検出せずに, スタート・コンディションを生成許可。
クリアされる条件 (STCEN0ビット = 0)	
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・リセット時 	
セットされる条件 (STCEN0ビット = 1)	
<ul style="list-style-type: none"> ・命令によるセット 	

IICRSV0	通信予約機能禁止ビット
0	通信予約許可
1	通信予約禁止
クリアされる条件 (IICRSV0ビット = 0)	
<ul style="list-style-type: none"> ・命令によるクリア ・リセット時 	
セットされる条件 (IICRSV0ビット = 1)	
<ul style="list-style-type: none"> ・命令によるセット 	

注 ビット6, 7はリード・オンリーです。

- 注意1. STCEN0ビットへの書き込みは動作停止 (IICE0ビット = 0) 時のみ行ってください。
2. STCEN0ビット = 1とした場合, 実際のバス状態にかかわらずバス解放状態 (IICBSY0ビット = 0)と認識しますので, 1回目のスタート・コンディションを発行 (STT0ビット = 1) する場合は他の通信を破壊しないように第3者の通信が行われていないことを確認する必要があります。
3. IICRSV0ビットへの書き込みは動作停止 (IICE0ビット = 0) 時のみ行ってください。

(4) IICクロック選択レジスタ0 (IICCL0)

I²C00の転送クロックを設定するレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、CLD0, DAD0ビットはリードのみ可能です。SMC0, CL01, CL00ビットの設定は、IICX0.CLX0ビットと、OCS0.OCKSTH0ビットと組み合わせて設定します (16.4 (6) I²C00の転送クロックの設定方法参照)。

IICCL0レジスタはIICC0.IICE0ビット = 0のときに設定してください。

リセットにより00Hになります。

リセット時：00H R/W^注 アドレス：IICCL0 FFFFFFFD84H

	7	6	⑤	④	3	2	1	0
IICCL0	0	0	CLD0	DAD0	SMC0	DFC0	CL01	CL00

CLD0	SCL00端子のレベル検出 (IICC0.IICE0ビット = 1のときのみ有効)
0	SCL00端子がロウ・レベルであることを検出
1	SCL00端子がハイ・レベルであることを検出
クリアされる条件 (CLD0ビット = 0)	
<ul style="list-style-type: none"> ・ SCL00端子がロウ・レベルのとき ・ IICE0ビット = 1 0 (動作停止) のとき ・ リセット時 	
セットされる条件 (CLD0ビット = 1)	
<ul style="list-style-type: none"> ・ SCL00端子がハイ・レベルのとき 	

DAD0	SDA00端子のレベル検出 (IICE0ビット = 1のときのみ有効)
0	SDA00端子がロウ・レベルであることを検出
1	SDA00端子がハイ・レベルであることを検出
クリアされる条件 (DAD0ビット = 0)	
<ul style="list-style-type: none"> ・ SDA00端子がロウ・レベルのとき ・ IICE0ビット = 1 0 (動作停止) のとき ・ リセット時 	
セットされる条件 (DAD0ビット = 1)	
<ul style="list-style-type: none"> ・ SDA00端子がハイ・レベルのとき 	

SMC0	動作モードの切り替え
0	標準モードで動作
1	高速モードで動作

DFC0	デジタル・フィルタの動作制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン
デジタル・フィルタは、高速モード時にのみ使用できます。 高速モード時はDFC0ビットのセット/クリアにより、転送クロックが変化することはありません。 デジタル・フィルタは、高速モード時にノイズ除去のために使用します。	

注 ビット4, ビット5はリード・オンリーです。

注意 ビット7, 6には必ず“0”を設定してください。

(5) IIC機能拡張レジスタ0 (IICX0)

I²C00の機能拡張を設定するレジスタです (高速モード時のみ有効)。

8/1ビット単位でリード/ライト可能です。CLX0ビットの設定は、IICCL0.SMC0, CL01, CL00ビットと、OCKS0.OCKSTH0ビットと組み合わせて設定します (16.4 (6) I²C00の転送クロックの設定方法参照)。

IICX0レジスタはIICC0.IICE0ビット = 0のときに設定してください。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: IICX0 FFFFFD85H

	7	6	5	4	3	2	1	①
IICX0	0	0	0	0	0	0	0	CLX0

(6) I²C00の転送クロックの設定方法

I²C00の転送クロック周波数 (f_{SCL}) は、次の計算式により求められます。

$$f_{SCL} = 1 / (m \times T + t_R + t_F)$$

m = 12, 18, 24, 36, 44, 48, 54, 60, 66, 72, 86, 88, 90, 96, 120, 132, 172, 176, 198, 220, 258, 264, 330, 344, 430 (表16-2 選択クロックの設定参照)

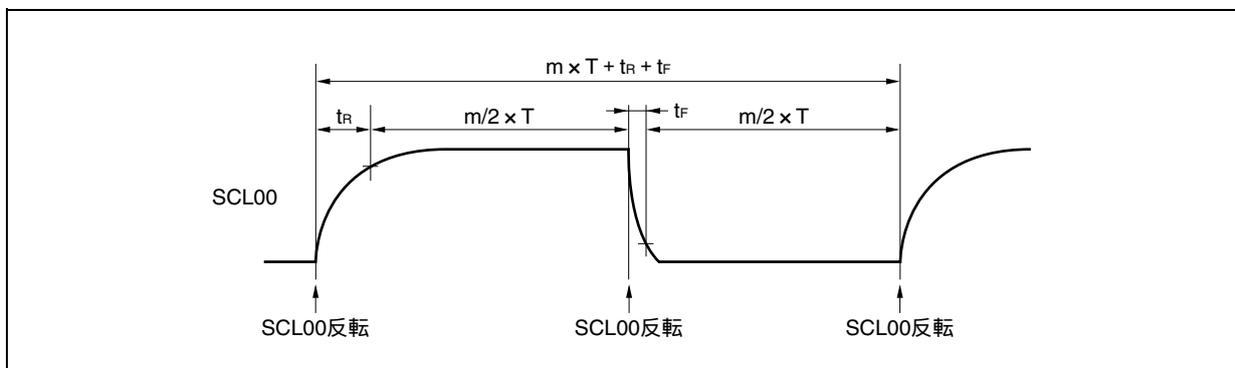
T : 1/f_{XX}

t_R : SCL00立ち上がり時間

t_F : SCL00立ち下がり時間

たとえば、f_{XX} = 19.2 MHz, m = 198, t_R = 200 ns, t_F = 50 nsの場合のI²C00の転送クロック周波数 (f_{SCL}) は、次の計算式により求められます。

$$f_{SCL} = 1 / (198 \times 52 \text{ ns} + 200 \text{ ns} + 50 \text{ ns}) \quad 94.7 \text{ kHz}$$



選択クロックは、IICCL0.SMC0, CL01, CL00ビット、IICX0.CLX0ビット、OCKS0.OCKSTH0ビットを組み合わせで設定します。

表16-2 選択クロックの設定

IICX0	IICCL0			選択クロック	転送 クロック	設定可能なメイン・クロック 周波数 (f _{xx}) の範囲	動作モード	
	ビット0	ビット3	ビット1					ビット0
	CLX0	SMC0	CL01					CL00
0	0	0	0	f _{xx} (OCKS0 = 18H設定時)	f _{xx} /44	4.00 MHz f _{xx} 4.19 MHz	標準モード (SMC0ビット = 0)	
				f _{xx} /2 (OCKS0 = 10H設定時)	f _{xx} /88	4.00 MHz f _{xx} 8.38 MHz		
				f _{xx} /3 (OCKS0 = 11H設定時)	f _{xx} /132	6.00 MHz f _{xx} 12.57 MHz		
				f _{xx} /4 (OCKS0 = 12H設定時)	f _{xx} /176	8.00 MHz f _{xx} 16.76 MHz		
				f _{xx} /5 (OCKS0 = 13H設定時)	f _{xx} /220	10.00 MHz f _{xx} 20.95 MHz		
0	0	0	1	f _{xx} /2 (OCKS0 = 10H設定時)	f _{xx} /172	8.38 MHz f _{xx} 16.76 MHz		
				f _{xx} /3 (OCKS0 = 11H設定時)	f _{xx} /258	12.57 MHz f _{xx} 25.14 MHz		
				f _{xx} /4 (OCKS0 = 12H設定時)	f _{xx} /344	16.76 MHz f _{xx} 32.00 MHz		
				f _{xx} /5 (OCKS0 = 13H設定時)	f _{xx} /430	20.95 MHz f _{xx} 32.00 MHz		
0	0	1	0	f _{xx} ^注	f _{xx} /86	4.19 MHz f _{xx} 8.38 MHz		
0	0	1	1	f _{xx} (OCKS0 = 18H設定時)	f _{xx} /66	6.40 MHz		
				f _{xx} /2 (OCKS0 = 10H設定時)	f _{xx} /132	12.80 MHz		
				f _{xx} /3 (OCKS0 = 11H設定時)	f _{xx} /198	19.20 MHz		
				f _{xx} /4 (OCKS0 = 12H設定時)	f _{xx} /264	25.60 MHz		
				f _{xx} /5 (OCKS0 = 13H設定時)	f _{xx} /330	32.00 MHz		
0	1	0	X	f _{xx} /2 (OCKS0 = 10H設定時)	f _{xx} /48	8.00 MHz f _{xx} 16.76 MHz	高速モード (SMC0ビット = 1)	
				f _{xx} /3 (OCKS0 = 11H設定時)	f _{xx} /72	12.00 MHz f _{xx} 25.14 MHz		
				f _{xx} /4 (OCKS0 = 12H設定時)	f _{xx} /96	16.00 MHz f _{xx} 32.00 MHz		
				f _{xx} /5 (OCKS0 = 13H設定時)	f _{xx} /120	20.00 MHz f _{xx} 32.00 MHz		
0	1	1	0	f _{xx} ^注	f _{xx} /24	4.00 MHz f _{xx} 8.38 MHz		
0	1	1	1	f _{xx} (OCKS0 = 18H設定時)	f _{xx} /18	6.40 MHz		
				f _{xx} /2 (OCKS0 = 10H設定時)	f _{xx} /36	12.80 MHz		
				f _{xx} /3 (OCKS0 = 11H設定時)	f _{xx} /54	19.20 MHz		
				f _{xx} /4 (OCKS0 = 12H設定時)	f _{xx} /72	25.60 MHz		
				f _{xx} /5 (OCKS0 = 13H設定時)	f _{xx} /90	32.00 MHz		
1	1	0	X	f _{xx} /2 (OCKS0 = 10H設定時)	f _{xx} /24	8.00 MHz f _{xx} 8.38 MHz		
				f _{xx} /3 (OCKS0 = 11H設定時)	f _{xx} /36	12.00 MHz f _{xx} 12.57 MHz		
				f _{xx} /4 (OCKS0 = 12H設定時)	f _{xx} /48	16.00 MHz f _{xx} 16.67 MHz		
				f _{xx} /5 (OCKS0 = 13H設定時)	f _{xx} /60	20.00 MHz f _{xx} 20.95 MHz		
1	1	1	0	f _{xx} ^注	f _{xx} /12	4.00 MHz f _{xx} 4.19 MHz		
上記以外				設定禁止	-	-	-	

注 OCKS0レジスタの設定値によらずf_{xx}になるので、OCKS0レジスタ = 00H (I²C分周クロックは停止状態)を設定してください。

備考 X : don't care

(7) IIC分周クロック選択レジスタ0 (OCKS0)

I²C00の分周クロックを制御するレジスタです。
 OCKS0レジスタでI²C00の分周クロックを制御します。
 8ビット単位でリード/ライト可能です。
 リセットにより00Hになります。

リセット時：00H R/W アドレス：OCKS0 FFFFF340H

	7	6	5	4	3	2	1	0
OCKS0	0	0	0	OCKSEN0	OCKSTH0	0	OCKS01	OCKS00

OCKSEN0	I ² C分周クロック動作指定
0	I ² C分周クロック動作停止
1	I ² C分周クロック動作許可

OCKSTH0	OCKS01	OCKS00	I ² C分周クロック選択
0	0	0	f _{xx} /2
0	0	1	f _{xx} /3
0	1	0	f _{xx} /4
0	1	1	f _{xx} /5
1	x	x	f _{xx}

(8) IICシフト・レジスタ0 (IIC0)

このレジスタは、シリアル・クロックに同期してシリアル送受信(シフト動作)を行うためのものです。
 8ビット単位でリード/ライト可能ですが、データ転送中にIIC0レジスタへデータを書き込まないでください。
 IIC0レジスタには、ウェイト期間中にだけアクセス(リード/ライト)してください。ウェイト期間中を除く通信状態でのIIC0レジスタのアクセスは禁止です。ただし、マスタになる場合は、送信トリガ・ビット(IICC0.STT0)をセット(1)したあと、1回ライトできます。
 ウェイト期間中のIIC0レジスタへの書き込みにより、ウェイトを解除しデータ転送を開始します。
 リセットにより00Hになります。

リセット時：00H R/W アドレス：IIC0 FFFFFD80H

	7	6	5	4	3	2	1	0
IIC0								

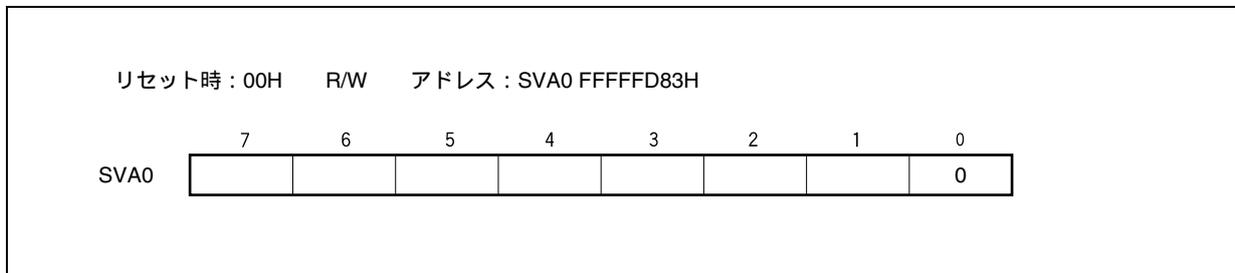
(9) スレーブ・アドレス・レジスタ0 (SVA0)

このレジスタには、I²Cバスのスレーブ・アドレスを格納します。

ただし、IICS0.STD0ビット = 1 (スタート・コンディション検出) のときの書き換えは禁止です。

8ビット単位でリード/ライト可能ですが、ビット0は0に固定されています。

リセットにより00Hになります。



16.5 機能

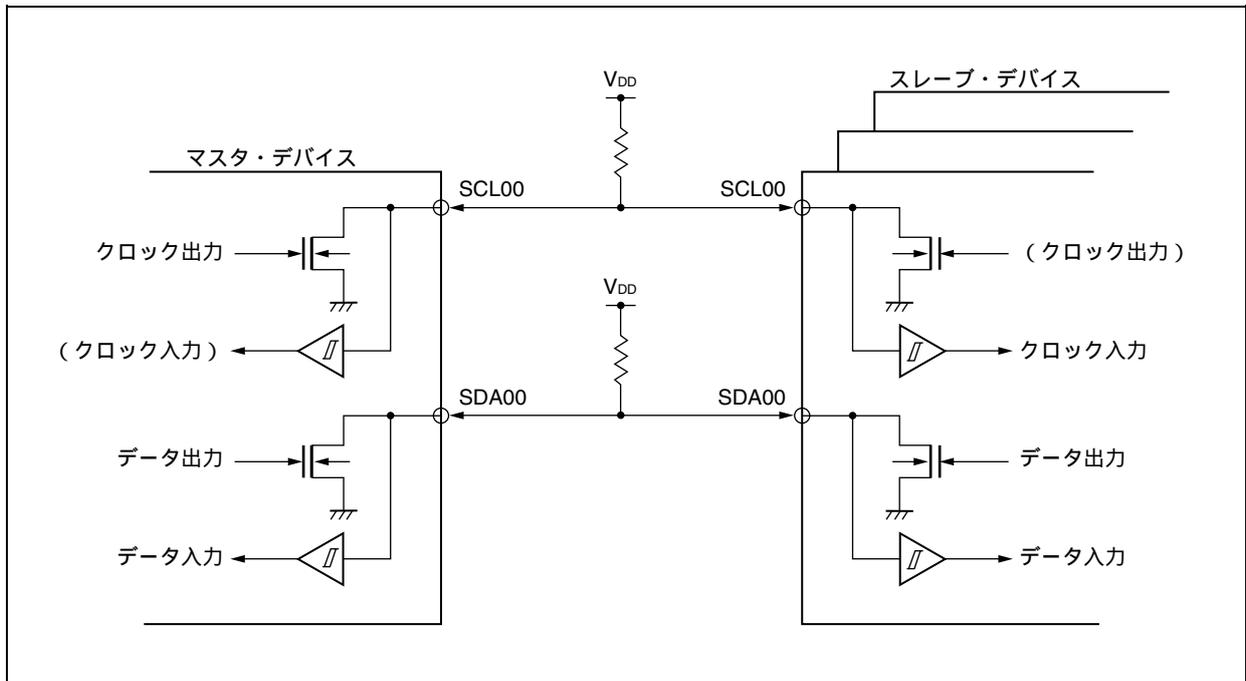
16.5.1 端子構成

シリアル・クロック端子 (SCL00) と、シリアル・データ・バス端子 (SDA00) の構成は、次のようになっています。

- SCL00 ... シリアル・クロックを入出力するための端子。
 マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力にはシュミット入力。
- SDA00 ... シリアル・データの入出力兼用端子。
 マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力にはシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図16 - 4 端子構成図

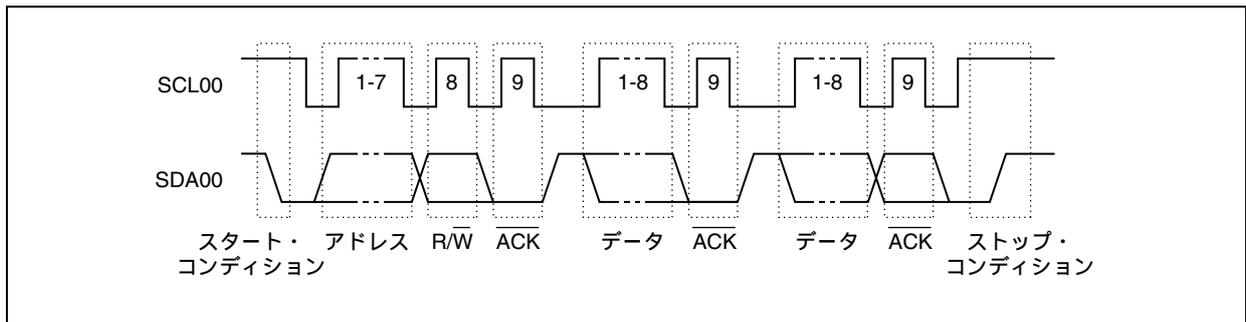


16.6 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、生成される状態の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”の各転送タイミングを次に示します。

図16-5 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

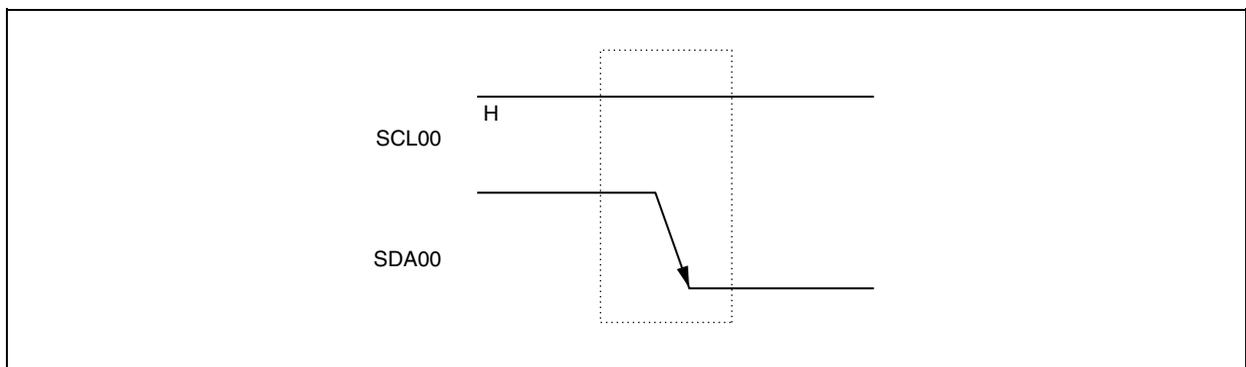
アクノリッジ (ACK) は、マスタ、スレーブのどちらでも生成できます (通常、8ビット・データの受信側が生成します)。

シリアル・クロック (SCL00) は、マスタが出力し続けます。ただし、スレーブはSCL00端子のロウ・レベル期間を延長し、ウエイトを挿入できます。

16.6.1 スタート・コンディション

SCL00端子がハイ・レベルのときに、SDA00端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL00端子、SDA00端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成されます。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図16-6 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (IICS0.SPD0ビット = 1) のときに IICC0.STT0ビットをセット (1) すると生成されます。また、スタート・コンディションを検出すると、IICS0.STD0ビットがセット (1) されます。

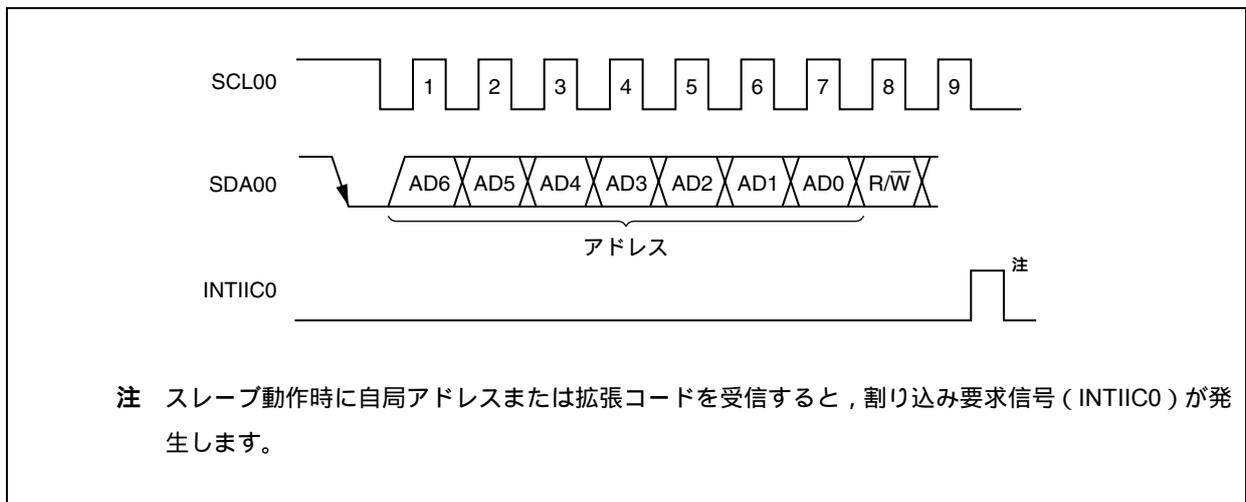
16.6.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがSVA0レジスタと一致しているかを調べます。このとき、7ビット・データとSVA0の値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図16-7 アドレス



アドレスは、スレーブのアドレスと16.6.3 転送方向指定で説明する転送方向を合わせて8ビットとしてIIC0レジスタに書き込むと出力します。また、受信したアドレスはIIC0レジスタに書き込まれます。

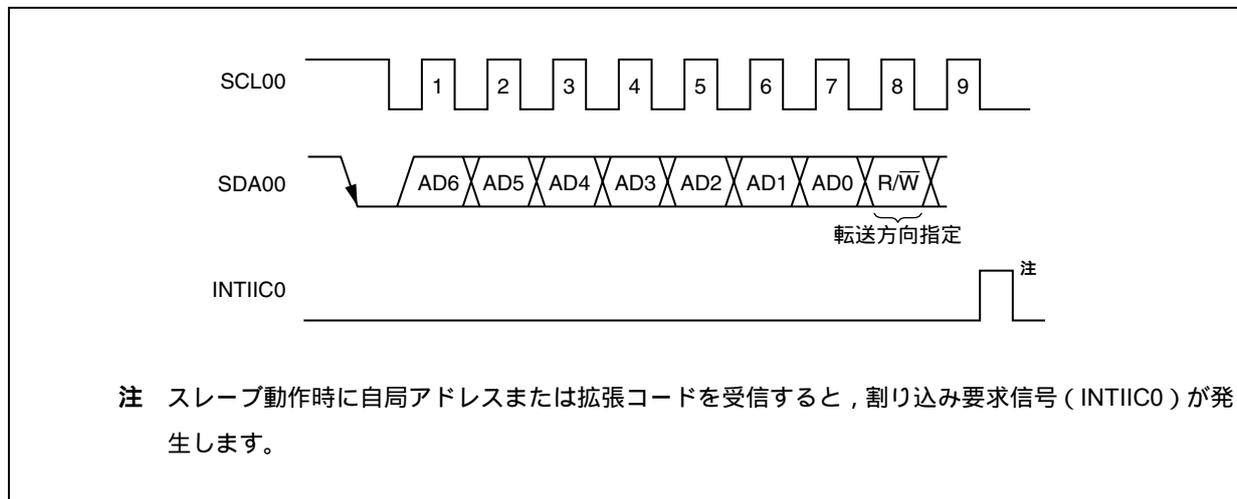
なお、スレーブのアドレスは、IIC0レジスタの上位7ビットに割り当てられます。

16.6.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図16 - 8 転送方向指定



16.6.4 アクノリッジ (ACK)

アクノリッジ (ACK) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IIC0.ACKD0ビットで確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを生成し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

受信が正しく行われていない。

最終データの受信が終わっている。

アドレス指定した受信側が存在しない。

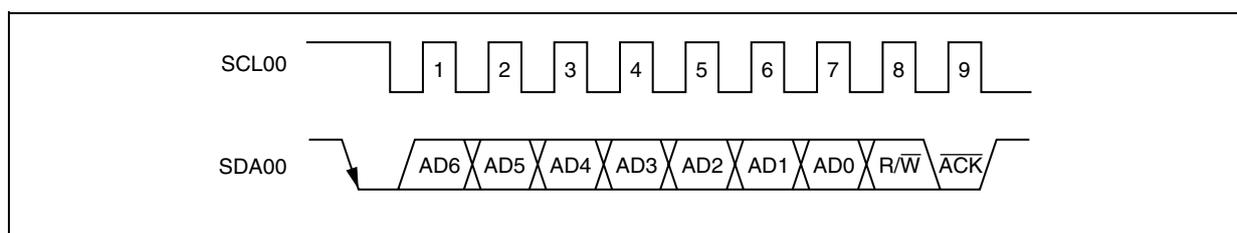
アクノリッジ生成は、受信側が9クロック目にSDA00ラインをロウ・レベルにすることによって行われます(正常受信)。

IIC0.ACKE0ビットをセット(1)することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIIC0.TRC0ビットが設定されます。受信(TRC0ビット = 0)の場合は、通常、ACKE0ビットをセット(1)してください。

スレーブ受信動作時(TRC0ビット = 0)にデータを受信できなくなったときは、ACKE0ビットをクリア(0)し、マスタ側に受信ができないことを示してください。

マスタ受信動作時(TRC0ビット = 0)に、次のデータを必要としない場合、アクノリッジを生成しないようにACKE0ビットをクリア(0)してください。これによって、スレーブ送信側にデータの終わりを知らせます(送信停止)。

図16-9 アクノリッジ (ACK)



自局アドレス受信時は、ACKE0ビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません(NACK)。

拡張コード受信時は、あらかじめACKE0ビットをセット(1)しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、ウェイト・タイミングの設定により次のように異なります。

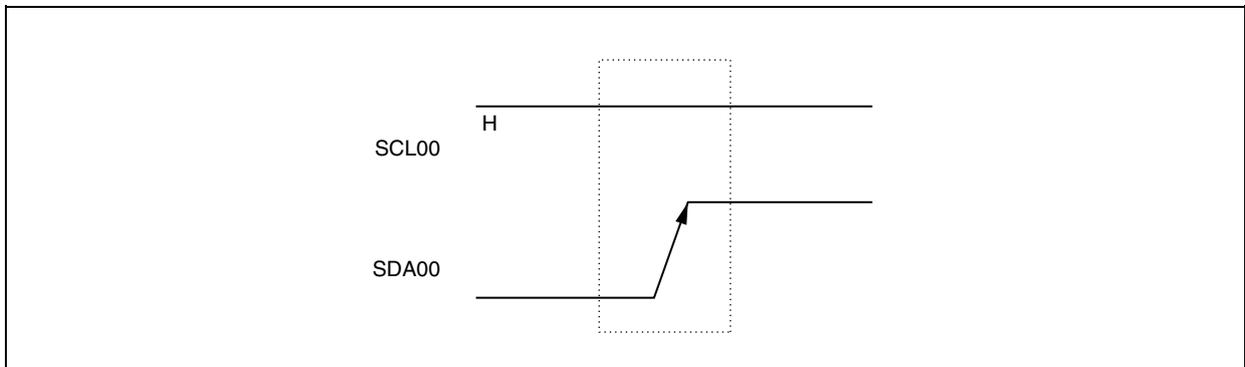
- ・8クロック・ウエイト選択時 (IICC0.WTIM0ビット = 0) :
ウエイト解除を行う前にACKE0ビットをセット (1) することによって、SCL00端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- ・9クロック・ウエイト選択時 (WTIM0ビット = 1) :
あらかじめACKE0ビットをセット (1) することによって、アクノリッジを生成します。

16.6.5 ストップ・コンディション

SCL00端子がハイ・レベルのときに、SDA00端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図16 - 10 ストップ・コンディション



ストップ・コンディションは、IICC0.SPT0ビットをセット (1) すると発生します。また、ストップ・コンディションを検出するとIICS0.SPD0ビットがセット (1) され、IICC0.SPIE0ビットがセット (1) されている場合には割り込み要求信号 (INTIIC0) が発生します。

16.6.6 ウェイト

ウェイトは、マスタまたはスレーブがデータの送受信が準備中（ウェイト状態）であることを相手に知らせます。

SCL00端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図16 - 11 ウェイト (1/2)

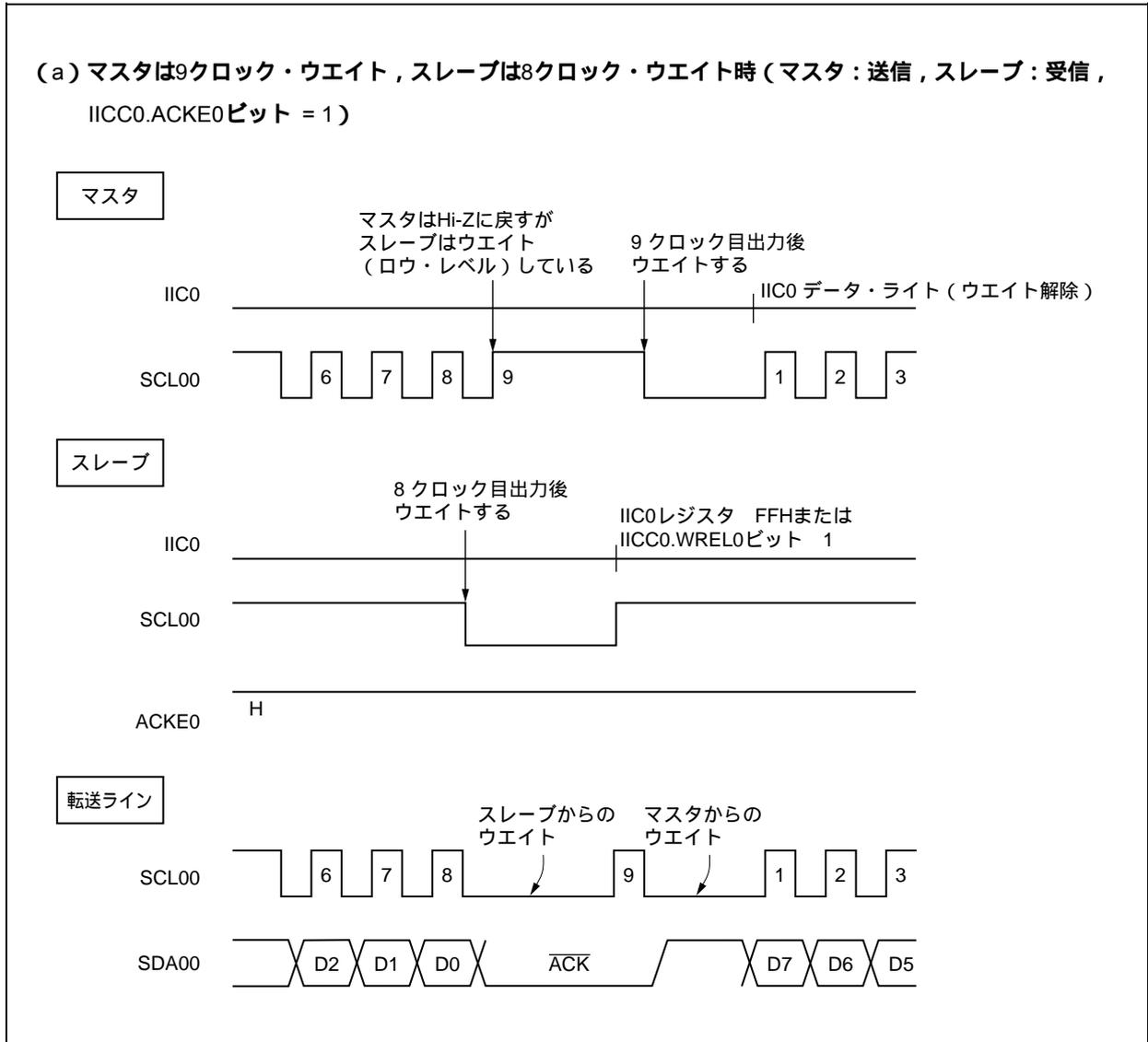
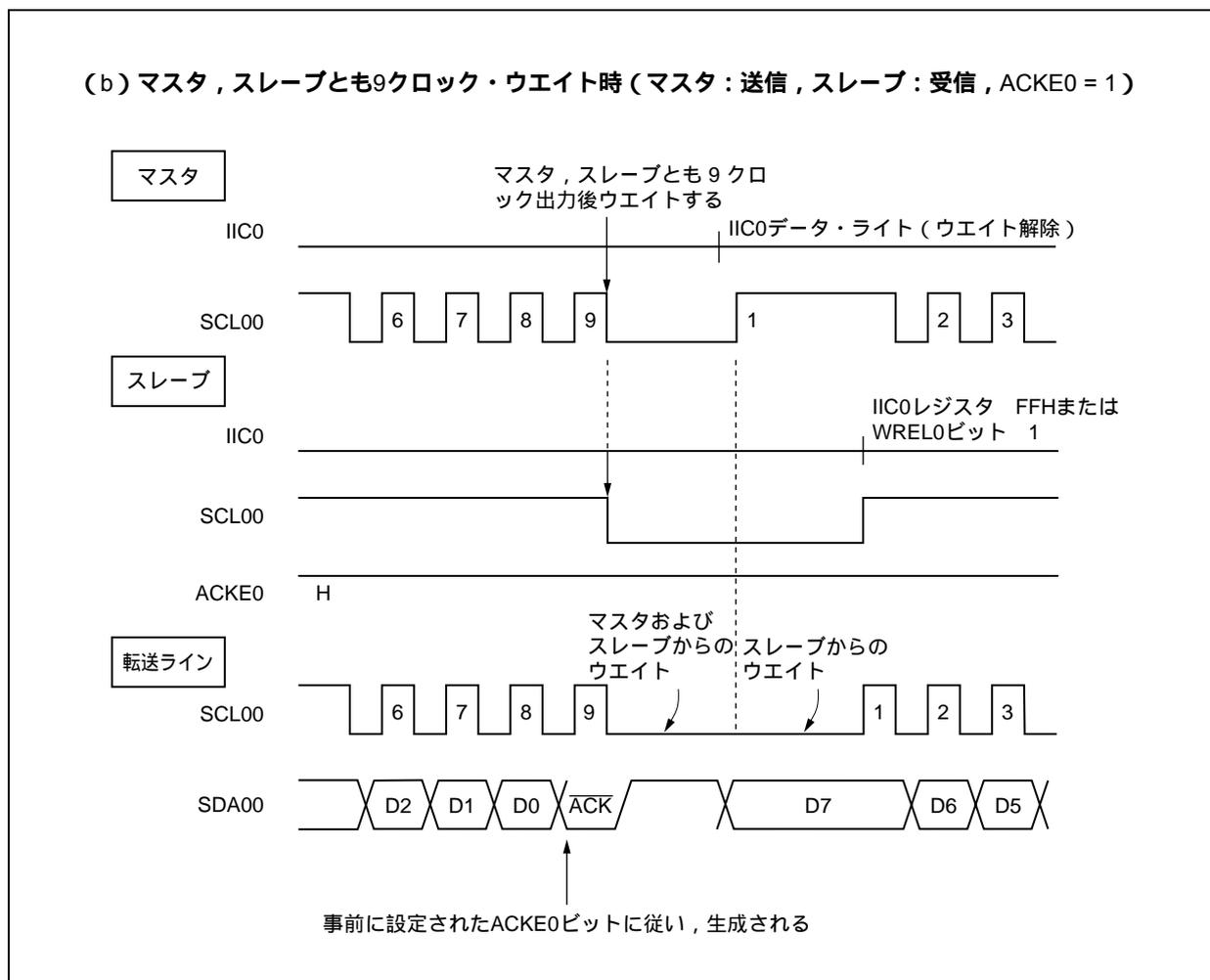


図16 - 11 ウェイト (2/2)



スタート・コンディション生成後,自動的にウェイト状態になります。また, IICC0.WTIM0ビットの設定により自動的にウェイト状態になります。

通常,受信側はWREL0ビット= 1またはIIC0レジスタ FFHライトにするとウェイトを解除し,送信側はIIC0レジスタにデータを書き込むとウェイトを解除します。

マスタの場合は,次の方法でもウェイトを解除できます。

- ・ IICC0.STT0ビット= 1
- ・ IICC0.SPT0ビット= 1

16.6.7 ウェイト解除方法

I²C00では、通常、次のような処理でウェイトを解除できます。

- ・ IIC0レジスタへのデータ書き込み
- ・ IICC0.WREL0ビットのセット（ウェイト解除）
- ・ IICC0.STT0ビットのセット（スタート・コンディションの生成）^注
- ・ IICC0.SPT0ビットのセット（ストップ・コンディションの生成）^注

注 マスタのみ

これらのウェイト解除処理を実行した場合、I²C00はウェイトを解除し通信が再開されます。

ウェイトを解除してデータ（アドレスを含む）を送信する場合には、IIC0レジスタにデータを書き込んでください。

ウェイト解除後にデータを受信する場合、またはデータ送信を完了する場合には、WREL0ビットをセット（1）してください。

ウェイト解除後にリスタート・コンディションを生成する場合には、STT0ビットをセット（1）してください。

ウェイト解除後にストップ・コンディションを生成する場合には、SPT0ビットをセット（1）してください。

1回のウェイト状態に対して1回だけ解除処理を実行してください。

たとえば、WREL0ビットのセット（1）によるウェイト解除後、IIC0レジスタへのデータ書き込みを実施した場合には、SDA00ラインの変化タイミングとIIC0レジスタへの書き込みタイミングの競合により、SDA00ラインへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICC0.IICE0ビットをクリア（0）すると通信を停止するので、ウェイトを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICC0.LREL0ビットをセット（1）すると通信から退避するので、ウェイトを解除できます。

16.7 I²C割り込み要求信号 (INTIIC0)

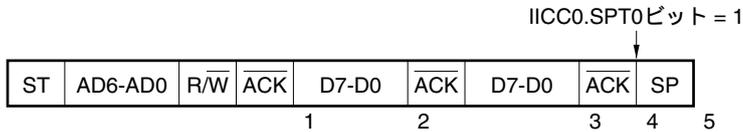
次に,INTIIC0割り込み要求信号発生タイミングと,INTIIC0信号タイミングでのIICS0レジスタの値を示します。

備考 ST	: スタート・コンディション
AD6-AD0	: アドレス
$\overline{R/W}$: 転送方向指定
\overline{ACK}	: アクノリッジ
D7-D0	: データ
SP	: ストップ・コンディション

16.7.1 マスタ動作

(1) Start ~ Address ~ Data ~ Data ~ Stop (通常送受信)

IICC0.WTIM0ビット = 0のとき



1 : IICS0レジスタ = 1000X110B

2 : IICS0レジスタ = 1000X000B

3 : IICS0レジスタ = 1000X000B (WTIM0ビット = 1[※])

4 : IICS0レジスタ = 1000XX00B

5 : IICS0レジスタ = 00000001B

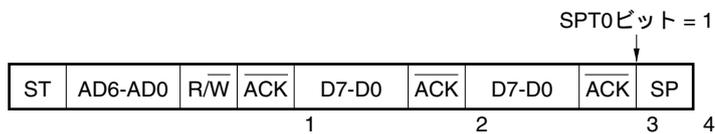
注 ストップ・コンディションを生成するためにWTIM0ビットをセット(1)し、割り込み要求信号(INTIIC0)の発生タイミングを変更してください。

備考 必ず発生

IICC0.SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき



1 : IICS0レジスタ = 1000X110B

2 : IICS0レジスタ = 1000X100B

3 : IICS0レジスタ = 1000XX00B

4 : IICS0レジスタ = 00000001B

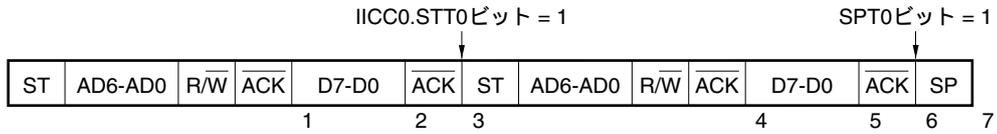
備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

(2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

WTIM0ビット = 0のとき

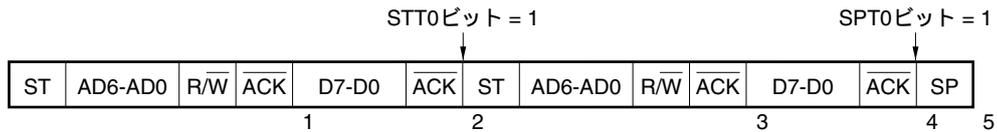


- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000X000B (WTIM0ビット = 1^{注1})
- 3 : IICS0レジスタ = 1000XX00B (WTIM0ビット = 0^{注2})
- 4 : IICS0レジスタ = 1000X110B
- 5 : IICS0レジスタ = 1000X000B (WTIM0ビット = 1^{注3})
- 6 : IICS0レジスタ = 1000XX00B
- 7 : IICS0レジスタ = 00000001B

- 注1. スタート・コンディションを生成するためにWTIM0ビットをセット(1)し、割り込み要求信号 (INTIIC0) の発生タイミングを変更してください。
- 2. 設定を元に戻すためにWTIM0ビットをクリア(0)します。
- 3. ストップ・コンディションを生成するためにWTIM0ビットをセット(1)し、割り込み要求信号 (INTIIC0) の発生タイミングを変更してください。

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

WTIM0ビット = 1のとき

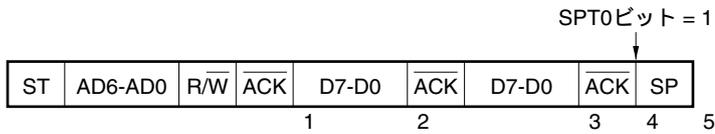


- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000XX00B
- 3 : IICS0レジスタ = 1000X110B
- 4 : IICS0レジスタ = 1000XX00B
- 5 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

(3) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

WTIM0ビット = 0のとき

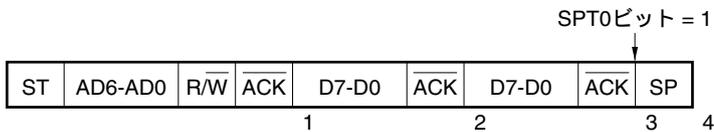


- 1 : IICS0レジスタ = 1010X110B
- 2 : IICS0レジスタ = 1010X000B
- 3 : IICS0レジスタ = 1010X000B (WTIM0ビット = 1[※])
- 4 : IICS0レジスタ = 1010XX00B
- 5 : IICS0レジスタ = 00000001B

注 ストップ・コンディションを生成するためにWTIM0ビットをセット(1)し、割り込み要求信号 (INTIIC0) の発生タイミングを変更してください。

- 備考** 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

WTIM0ビット = 1のとき



- 1 : IICS0レジスタ = 1010X110B
- 2 : IICS0レジスタ = 1010X100B
- 3 : IICS0レジスタ = 1010XX00B
- 4 : IICS0レジスタ = 00000001B

- 備考** 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

16.7.2 スレーブ動作（スレーブ・アドレス受信時（アドレス一致））

(1) Start ~ Address ~ Data ~ Data ~ Stop

IICC0.WTIM0ビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2	3		4

1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001X000B

3 : IICS0レジスタ = 0001X000B

4 : IICS0レジスタ = 00000001B

備考 必ず発生

IICC0.SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2	3		4

1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001X100B

3 : IICS0レジスタ = 0001XX00B

4 : IICS0レジスタ = 00000001B

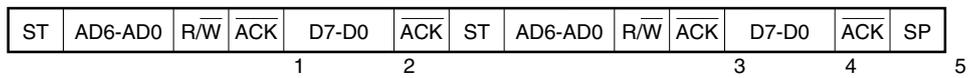
備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

(2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, アドレス一致)



1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001X000B

3 : IICS0レジスタ = 0001X110B

4 : IICS0レジスタ = 0001X000B

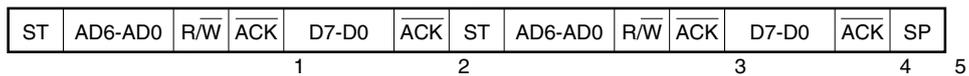
5 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき (リスタート後, アドレス一致)



1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001XX00B

3 : IICS0レジスタ = 0001X110B

4 : IICS0レジスタ = 0001XX00B

5 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

(3) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, アドレス不一致 (拡張コード))



1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001X000B

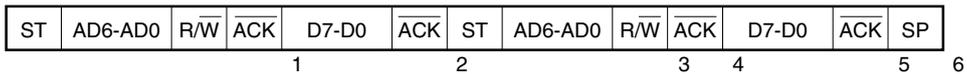
3 : IICS0レジスタ = 0010X010B

4 : IICS0レジスタ = 0010X000B

5 : IICS0レジスタ = 00000001B

備考 必ず発生
SPIE0ビット = 1のときだけ発生
X 任意

WTIM0ビット = 1のとき (リスタート後, アドレス不一致 (拡張コード))



1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001XX00B

3 : IICS0レジスタ = 0010X010B

4 : IICS0レジスタ = 0010X110B

5 : IICS0レジスタ = 0010XX00B

6 : IICS0レジスタ = 00000001B

備考 必ず発生
SPIE0ビット = 1のときだけ発生
X 任意

(4) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))



1 : IICS0レジスタ = 0001X110B

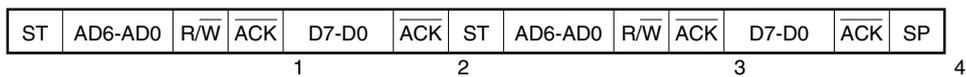
2 : IICS0レジスタ = 0001X000B

3 : IICS0レジスタ = 00000110B

4 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

WTIM0ビット = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))



1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001XX00B

3 : IICS0レジスタ = 00000110B

4 : IICS0レジスタ = 00000001B

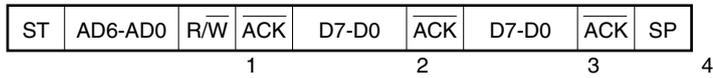
備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

16.7.3 スレーブ動作（拡張コード受信時）

拡張コード受信時は常に通信に参加しています。

(1) Start ~ Code ~ Data ~ Data ~ Stop

IIC0.WTIM0ビット = 0のとき



1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X000B

3 : IICS0レジスタ = 0010X000B

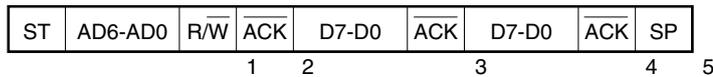
4 : IICS0レジスタ = 00000001B

備考 必ず発生

IIC0.SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき



1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X110B

3 : IICS0レジスタ = 0010X100B

4 : IICS0レジスタ = 0010XX00B

5 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

(2) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, アドレス一致)



1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X000B

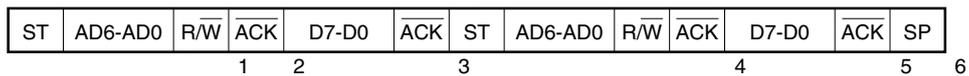
3 : IICS0レジスタ = 0001X110B

4 : IICS0レジスタ = 0001X000B

5 : IICS0レジスタ = 00000001B

備考 必ず発生
SPIE0ビット = 1のときだけ発生
X 任意

WTIM0ビット = 1のとき (リスタート後, アドレス一致)



1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X110B

3 : IICS0レジスタ = 0010XX00B

4 : IICS0レジスタ = 0001X110B

5 : IICS0レジスタ = 0001XX00B

6 : IICS0レジスタ = 00000001B

備考 必ず発生
SPIE0ビット = 1のときだけ発生
X 任意

(3) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2				3		4	5

1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X000B

3 : IICS0レジスタ = 0010X010B

4 : IICS0レジスタ = 0010X000B

5 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP	
			1	2		3			4	5		6	7

1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X110B

3 : IICS0レジスタ = 0010XX00B

4 : IICS0レジスタ = 0010X010B

5 : IICS0レジスタ = 0010X110B

6 : IICS0レジスタ = 0010XX00B

7 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

(4) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))



1 : IICS0レジスタ = 0010X010B

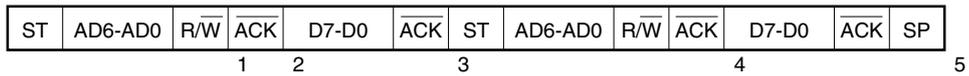
2 : IICS0レジスタ = 0010X000B

3 : IICS0レジスタ = 00000110B

4 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

WTIM0ビット = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))



1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X110B

3 : IICS0レジスタ = 0010XX00B

4 : IICS0レジスタ = 00000110B

5 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

16.7.4 通信不参加の動作

(1) Start ~ Code ~ Data ~ Data ~ Stop



1

1 : IICS0レジスタ = 00000001B

備考 IICC0.SPIE0ビット = 1のときだけ発生

16.7.5 アービトレーション負けの動作（アービトレーション負けのあと、スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合はINTIIC0割り込み発生ごとにアービトレーション結果を確認するためのIICS0.MSTS0ビットをリードし、アービトレーション結果を確認してください。

(1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

IICC0.WTIM0ビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICS0レジスタ = 0101X110B

2 : IICS0レジスタ = 0001X000B

3 : IICS0レジスタ = 0001X000B

4 : IICS0レジスタ = 00000001B

備考 必ず発生

IICC0.SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICS0レジスタ = 0101X110B

2 : IICS0レジスタ = 0001X100B

3 : IICS0レジスタ = 0001XX00B

4 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

(2) 拡張コード送信中にアービトレーションに負けた場合

WTIM0ビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1		2		3	4

1 : IICS0レジスタ = 0110X010B

2 : IICS0レジスタ = 0010X000B

3 : IICS0レジスタ = 0010X000B

4 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

WTIM0ビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1	2		3		4
								5

1 : IICS0レジスタ = 0110X010B

2 : IICS0レジスタ = 0010X110B

3 : IICS0レジスタ = 0010X100B

4 : IICS0レジスタ = 0010XX00B

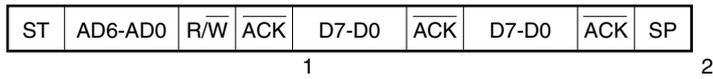
5 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

16.7.6 アービトレーション負けの動作(アービトレーション負けのあと,不参加)

マルチマスタ・システムでマスタとして使用する場合はINTIIC0割り込み発生ごとにアービトレーション結果を確認するためのIICS0.MSTS0ビットをリードし,アービトレーション結果を確認してください。

(1)スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

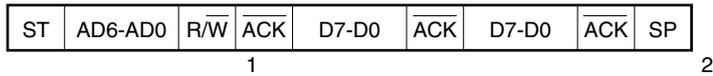


1 : IICS0レジスタ = 01000110B

2 : IICS0レジスタ = 00000001B

備考 必ず発生
 IICC0.SPIE0ビット = 1のときだけ発生

(2)拡張コード送信中にアービトレーションに負けた場合



1 : IICS0レジスタ = 0110X010B

ソフトウェアでIICC0.LREL0ビット = 1を設定

2 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

(3) データ転送時にアービトレーションに負けた場合

IIC0.WTIM0ビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2			3

1 : IICS0レジスタ = 10001110B

2 : IICS0レジスタ = 01000000B

3 : IICS0レジスタ = 00000001B

備考 必ず発生
SPIE0ビット = 1のときだけ発生

WTIM0ビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2			3

1 : IICS0レジスタ = 10001110B

2 : IICS0レジスタ = 01000100B

3 : IICS0レジスタ = 00000001B

備考 必ず発生
SPIE0ビット = 1のときだけ発生

(4) データ転送時にリスタート・コンディションで負けた場合

拡張コード以外 (例 アドレス不一致)



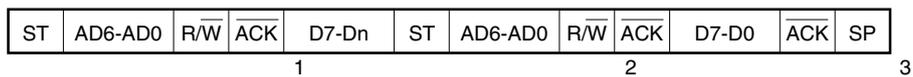
1 : IICS0レジスタ = 1000X110B

2 : IICS0レジスタ = 01000110B

3 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意
 Dn = D6-D0

拡張コード



1 : IICS0レジスタ = 1000X110B

2 : IICS0レジスタ = 0110X010B

ソフトウェアでLREL0ビット = 1を設定

3 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意
 Dn = D6-D0

(5) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	R/W	ACK	D7-Dn	SP
			1		2

1 : IICS0レジスタ = 1000X110B

2 : IICS0レジスタ = 01000001B

備考 必ず発生

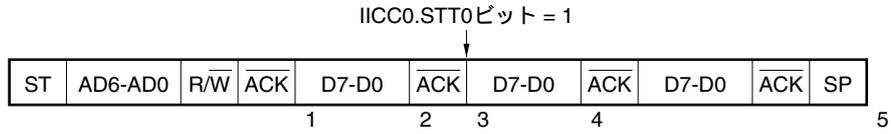
SPIE0ビット = 1のときだけ発生

X 任意

Dn = D6-D0

(6) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

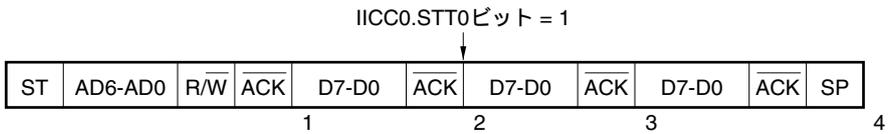
WTIM0ビット = 0のとき



- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000X000B (WTIM0ビット = 1)
- 3 : IICS0レジスタ = 1000X100B (WTIM0ビット = 0)
- 4 : IICS0レジスタ = 01000000B
- 5 : IICS0レジスタ = 00000001B

備考 必ず発生
SPIE0ビット = 1のときだけ発生
X 任意

WTIM0ビット = 1のとき



- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000X100B
- 3 : IICS0レジスタ = 01000100B
- 4 : IICS0レジスタ = 00000001B

備考 必ず発生
SPIE0ビット = 1のときだけ発生
X 任意

(7) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

WTIM0ビット = 0のとき



1 : IICS0レジスタ = 1000X110B

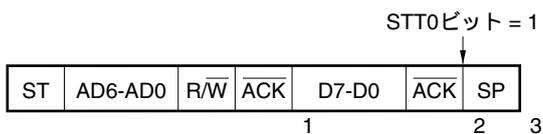
2 : IICS0レジスタ = 1000X000B (WTIM0ビット = 1)

3 : IICS0レジスタ = 1000XX00B

4 : IICS0レジスタ = 01000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

WTIM0ビット = 1のとき



1 : IICS0レジスタ = 1000X110B

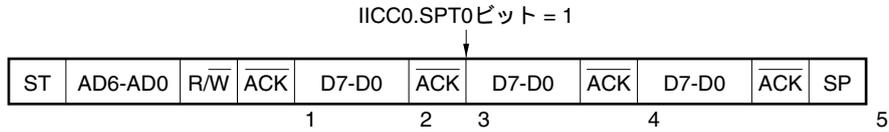
2 : IICS0レジスタ = 1000XX00B

3 : IICS0レジスタ = 01000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

(8) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

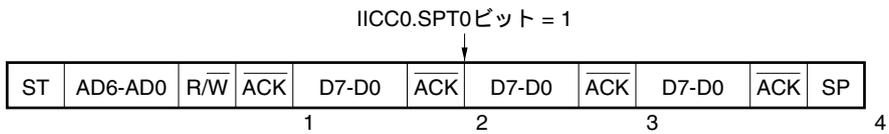
WTIM0ビット = 0のとき



- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000X000B (WTIM0ビット = 1)
- 3 : IICS0レジスタ = 1000X100B (WTIM0ビット = 0)
- 4 : IICS0レジスタ = 01000100B
- 5 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

WTIM0ビット = 1のとき



- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000X100B
- 3 : IICS0レジスタ = 01000100B
- 4 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

16.8 割り込み要求信号 (INTIIC0) 発生タイミングおよびウェイト制御

IICC0.WTIM0ビットの設定で、次に示すタイミングでINTIIC0信号が発生して、ウェイト制御を行います。

表16 - 3 INTIIC0信号発生タイミングおよびウェイト制御

WTIM0ビット	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1,2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1,2}	9 ^{注2}	9 ^{注2}	9	9	9

注1. スレーブのINTIIC0信号およびウェイトは、SVA0レジスタに設定しているアドレスと一致したときのみ、9クロック目の立ち下がりが発生します。

また、このとき、IICC0.ACKE0ビットの設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりINTIIC0信号が発生します。

ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりINTIIC0信号が発生しますが、ウェイトは発生しません。

2. SVA0レジスタと受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIIC0信号もウェイトも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・スレーブ動作時：WTIM0ビットにかかわらず、上記の注1, 2の条件により、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIM0ビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がり発生します。

(2) データ受信時

マスタ/スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

マスタ/スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・ IIC0レジスタへのデータ書き込み
- ・ IICC0.WREL0ビットのセット(ウェイト解除)
- ・ IICC0.STT0ビットのセット(スタート・コンディションの生成)^注
- ・ IICC0.SPT0ビットのセット(ストップ・コンディションの生成)^注

注 マスタのみ

8クロック・ウェイト選択(WTIM0ビット = 0)時は、ウェイト解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

ストップ・コンディションを検出するとINTIIC0信号を発生します。

16.9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致の検出は、ハードウェアで自動的に行えます。SVA0レジスタに自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVA0レジスタに設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIIC0割り込み要求信号が発生します。

16.10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス(SDA00)の状態が、送信しているデバイスのIIC0レジスタにも取り込まれるため、送信開始前と送信終了後のIIC0レジスタのデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

16.11 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (EXC0) をセットし、8クロック目の立ち下がりで割り込み要求信号 (INTIIC0) を発生します。SVA0レジスタに格納された自局アドレスは影響しません。

(2) 10ビット・アドレス転送で、SVA0レジスタに“11110xx0”を設定し、マスタから“11110xx0”が転送されてきた場合は、次のようになります。ただしINTIIC0信号は、8クロック目の立ち下がりで発生します。

上位4ビット・データ的一致 : IICS0.EXC0ビット = 1

7ビット・データ的一致 : IICS0.COI0ビット = 1

(3) INTIIC0信号発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアが行います。スレーブ動作時に拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICC0.LREL0ビット=1に設定してください。次の通信待機状態となります。

表16 - 4 拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
0000 000	1	スタート・バイト
0000 001	x	CBUSアドレス
0000 010	x	異なるバス・フォーマット用に予約されているアドレス
1111 0xx	x	10ビット・スレーブ・アドレス指定

16.12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合（IICS0.STD0ビット = 1になる前に IICC0.STT0ビット = 1にしたとき）、データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、アービトレーション負けフラグ（IICS0.ALD0ビット）をセット（1）し、SCL00, SDA00ラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは、次の割り込み要求信号（INTIIC0）発生タイミング（8または9クロック目、ストップ・コンディション検出など）で、ソフトウェアでALD0ビット = 1になっていることで検出します。

割り込み発生タイミングについては、16.7 I²C割り込み要求信号（INTIIC0）を参照してください。

図16 - 12 アービトレーション・タイミング例

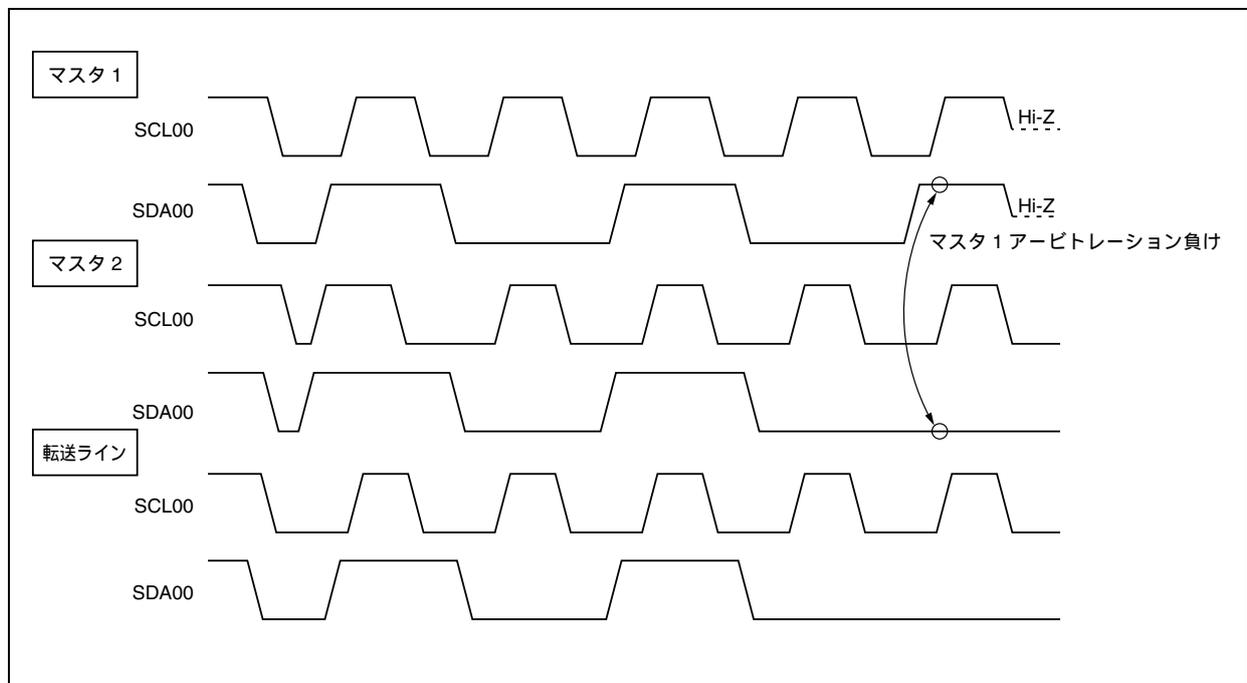


表16-5 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ受信後のアクノリッジ転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション生成時 (IICC0.SPIE0ビット = 1時) ^{注2}
リスタート・コンディションを生成しようとしたがSDA00端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIE0ビット = 1時) ^{注2}
ストップ・コンディションを生成しようとしたがSDA00端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがSCL00端子がロウ・レベル	

注1. IICC0.WTIM0ビット = 1の場合には、9クロック目の立ち下がりタイミングで割り込み要求を発生します。
WTIM0ビット = 0および拡張コードのスレーブ・アドレス受信時には、8クロック目の立ち下がりタイミングで割り込み要求を発生します。

2. アービトレーションが起こる可能性がある場合、マスタ動作ではSPIE0ビット = 1にしてください。

16.13 ウェイク・アップ機能

I²Cバスのスレーブ機能で、自局アドレスまたは拡張コードを受信したときに割り込み要求信号 (INTIIC0) が発生する機能です。アドレスが一致しないときは不要な割り込み要求を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを生成した場合) でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると、ウェイク・アップ機能に関係なく、IICC0.SPIE0ビットの設定によって、割り込み要求の発生許可/禁止が決定します。

16. 14 通信予約

16. 14. 1 通信予約機能許可の場合 (IICF0.IICRSV0ビット = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず、IICC0.LREL0ビット = 1でバスを解放した)とき。

バスに不参加の状態、IICC0.STT0ビットをセット(1)すると、バスが解放されたあと(ストップ・コンディション検出後)に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

IICC0.SPIE0ビットをセット(1)し、割り込み要求(INTIIC0)発生でバスの解放を検出(ストップ・コンディション検出)したあと、IIC0レジスタにアドレスを書き込むと、自動的にマスタとして通信を開始します。ストップ・コンディションを検出する前に、IIC0レジスタに書き込んだデータは無効となります。

STT0ビットをセット(1)したときスタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

バスが解放されているとき …………… スタート・コンディション生成
 バスが解放されていないとき(待機状態) … 通信予約

通信予約として動作するかどうかを確認するには、STT0ビットをセット(1)し、ウェイト時間をとったあと、IICS0.MSTS0ビットを確認することで行います。

ウェイト時間は、表16 - 6に示す時間をソフトウェアにより確保してください。なお、ウェイト時間はIICX0.CLX0、IICCL0.SMC0、CL01、CL00ビットにより設定できます。

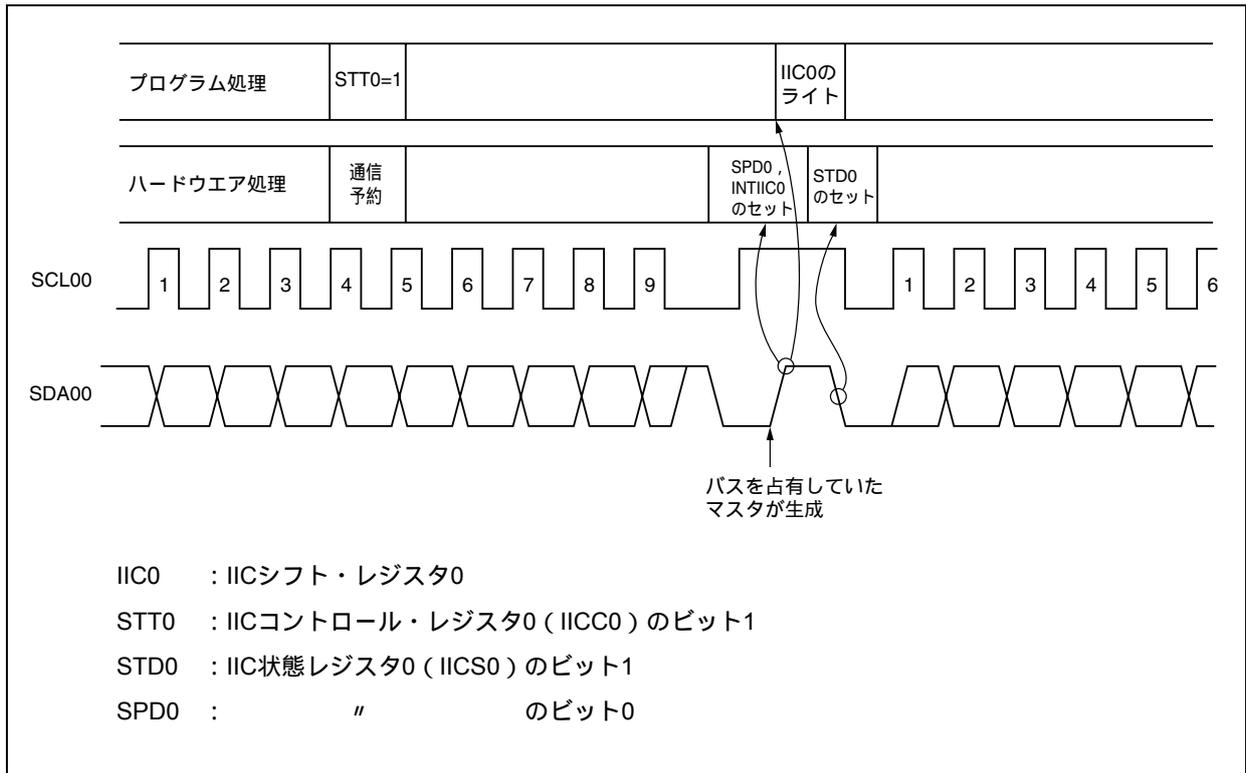
表16 - 6 ウェイト時間

選択クロック	CLX0	SMC0	CL01	CL00	ウェイト時間
f _{xx} (OCKS0 = 18H設定時)	0	0	0	0	26クロック
f _{xx} /2 (OCKS0 = 10H設定時)	0	0	0	0	52クロック
f _{xx} /3 (OCKS0 = 11H設定時)	0	0	0	0	78クロック
f _{xx} /4 (OCKS0 = 12H設定時)	0	0	0	0	104クロック
f _{xx} /5 (OCKS0 = 13H設定時)	0	0	0	0	130クロック
f _{xx} /2 (OCKS0 = 10H設定時)	0	0	0	1	94クロック
f _{xx} /3 (OCKS0 = 11H設定時)	0	0	0	1	141クロック
f _{xx} /4 (OCKS0 = 12H設定時)	0	0	0	1	188クロック
f _{xx} /5 (OCKS0 = 13H設定時)	0	0	0	1	253クロック
f _{xx}	0	0	1	0	47クロック
f _{xx} (OCKS0 = 18H設定時)	0	0	1	1	37クロック
f _{xx} /2 (OCKS0 = 10H設定時)	0	0	1	1	74クロック
f _{xx} /3 (OCKS0 = 11H設定時)	0	0	1	1	111クロック
f _{xx} /4 (OCKS0 = 12H設定時)	0	0	1	1	148クロック
f _{xx} /5 (OCKS0 = 13H設定時)	0	0	1	1	185クロック
f _{xx} /2 (OCKS0 = 10H設定時)	0	1	0	×	32クロック
f _{xx} /3 (OCKS0 = 11H設定時)	0	1	0	×	48クロック
f _{xx} /4 (OCKS0 = 12H設定時)	0	1	0	×	64クロック
f _{xx} /5 (OCKS0 = 13H設定時)	0	1	0	×	80クロック
f _{xx}	0	1	1	0	16クロック
f _{xx} (OCKS0 = 18H設定時)	0	1	1	1	13クロック
f _{xx} /2 (OCKS0 = 10H設定時)	0	1	1	1	26クロック
f _{xx} /3 (OCKS0 = 11H設定時)	0	1	1	1	39クロック
f _{xx} /4 (OCKS0 = 12H設定時)	0	1	1	1	52クロック
f _{xx} /5 (OCKS0 = 13H設定時)	0	1	1	1	65クロック
f _{xx} /2 (OCKS0 = 10H設定時)	1	1	0	×	20クロック
f _{xx} /3 (OCKS0 = 11H設定時)	1	1	0	×	30クロック
f _{xx} /4 (OCKS0 = 12H設定時)	1	1	0	×	40クロック
f _{xx} /5 (OCKS0 = 13H設定時)	1	1	0	×	50クロック
f _{xx}	1	1	1	0	10クロック

備考 x = Don't care

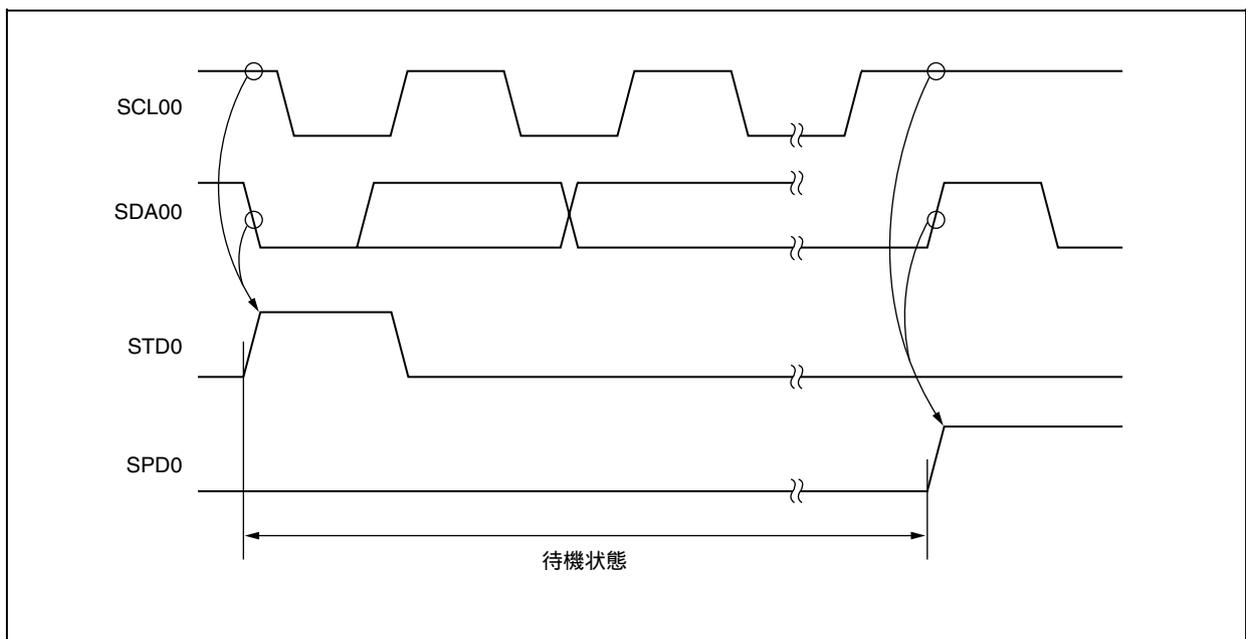
通信予約のタイミングを次に示します。

図16 - 13 通信予約のタイミング



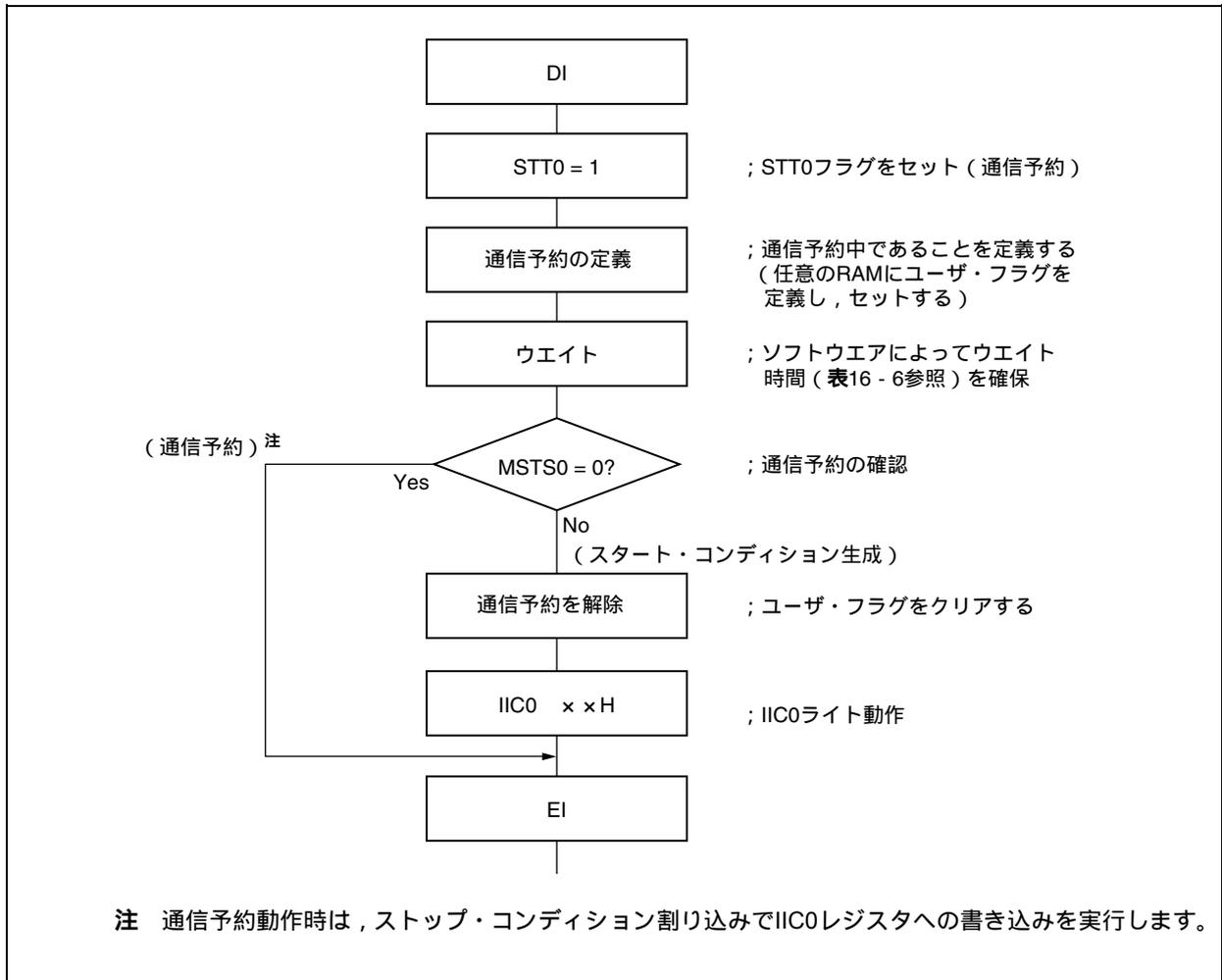
通信予約は次のタイミングで受け付けられます。IICS0.STD0ビット = 1になったあと、ストップ・コンディション検出までにIICC0.STT0ビット = 1で通信予約をします。

図16 - 14 通信予約受け付けタイミング



次に通信予約の手順を示します。

図16 - 15 通信予約の手順



16. 14. 2 通信予約機能禁止の場合 (IICF0.IICRSV0ビット = 1)

バスが通信中で、この通信に不参加の状態ではICC0.STT0ビットをセットすると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず、IICC0.LRELOビット = 1でバスを解放した) とき。

スタート・コンディションが生成されたか拒絶されたを確認するには、IICF0.STCF0フラグを確認することにより行います。STT0ビット = 1としてからSTCF0フラグがセットされるまで表16 - 7に示す時間がかかりますので、ソフトウェアによりこの時間を確保してください。

表16 - 7 ウェイト時間

OCKSEN0	OCKS01	OCKS00	CL01	CL00	ウェイト時間
1	0	0	0	×	10クロック
1	0	1	0	×	15クロック
1	1	0	0	×	20クロック
1	1	1	0	×	25クロック
0	0	0	1	0	5クロック

備考 × : Don't care

16.15 注意事項

(1) IICF0.STCEN0ビット = 0の場合

I²C0動作許可直後、実際のバス状態にかかわらず通信状態 (IICF0.IICBSY0ビット = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

ストップ・コンディションの生成は次の順番で行ってください。

IICCL0レジスタの設定

IICC0.IICE0ビットのセット

IICC0.SPT0ビットのセット

(2) IICF0.STCEN0ビット = 1の場合

I²C0動作許可直後、実際のバス状態にかかわらず解放状態 (IICBSY0ビット = 0) と認識しますので、1回目のスタート・コンディションを生成 (IICC0.STT0ビット = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) 動作許可 (IICC0.IICE0ビット = 1) する前にIICCL0, IICX0, OCKS0レジスタで動作クロック周波数を決定してください。動作クロック周波数を変更する場合は、一度IICC0.IICE0ビットをクリア(0)してください。

(4) IICC0.STT0, SPT0ビットをセット(1)したあと、クリア(0)される前の再セットは禁止します。

(5) 送信予約をした場合には、IICC0.SPIE0ビットをセット(1)してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後にI²C0に通信データをライトすることによってウェイトが解除され転送が開始します。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでIICS0.MSTS0ビットを検出する場合には、SPIE0ビットをセット(1)する必要はありません。

16.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²C00バスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI²Cバスの仕様だけでは判断できません。ここでは、一定(1フレーム)期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

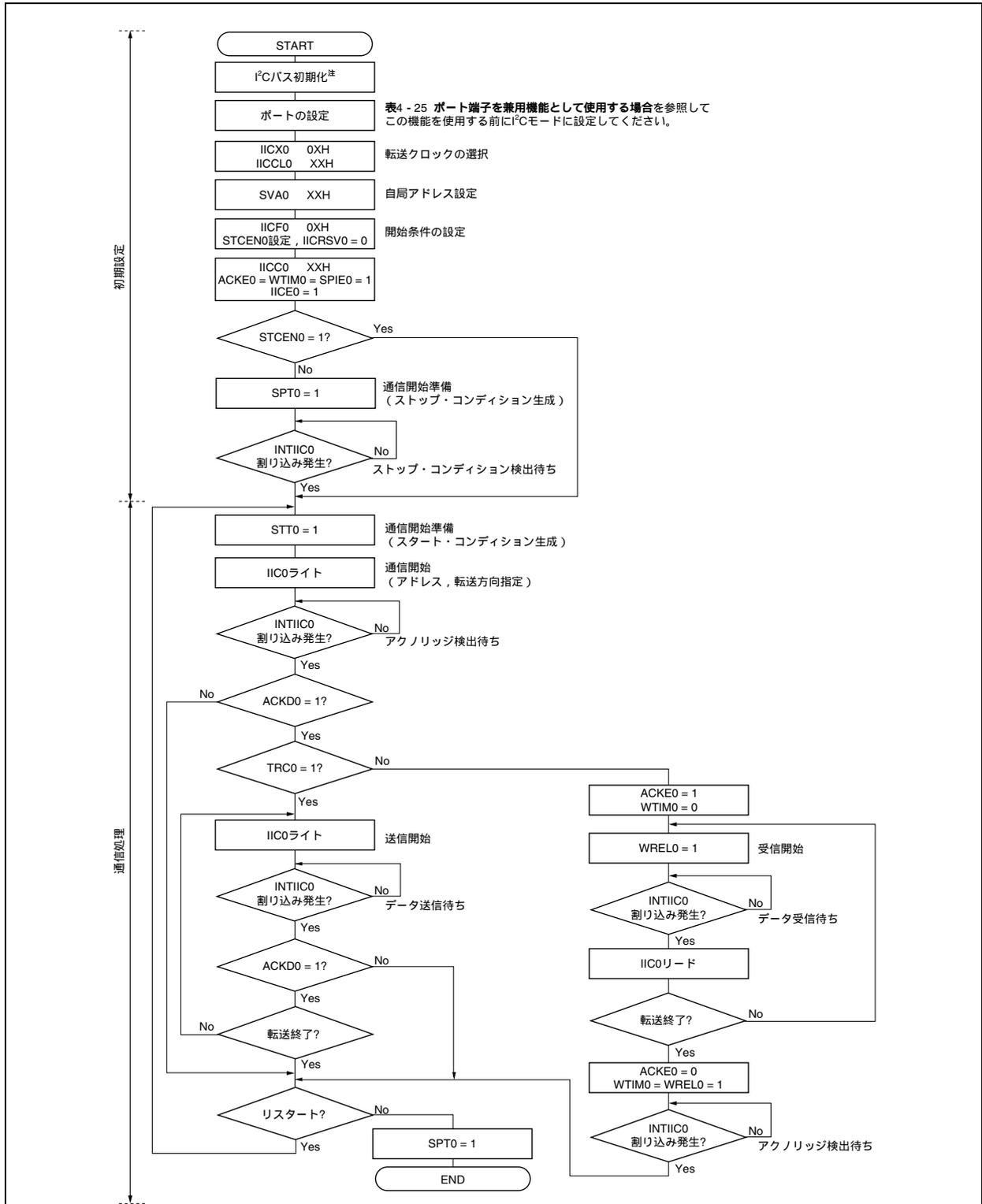
I²C00バスのスレーブとして使用する場合の例を示します。

スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIIC0割り込みの発生を待ちます。INTIIC0割り込みが発生すると通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

16. 16. 1 シングルマスタ・システムでのマスタ動作

図16 - 16 シングルマスタ・システムでのマスタ動作



注 通信している製品の仕様に準拠し、I²Cバスを解放 (SCL00, SDA00端子 = ハイ・レベル) してください。たとえば、EEPROM[®]がSDA00端子にロウ・レベルを出力した状態であれば、SCL00端子を出力ポートに設定し、SDA00端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

備考 送信および受信フォーマットは通信している製品の仕様に準拠してください。

16. 16. 2 マルチマスタ・システムでのマスタ動作

図16 - 17 マルチマスタ・システムでのマスタ動作 (1/3)

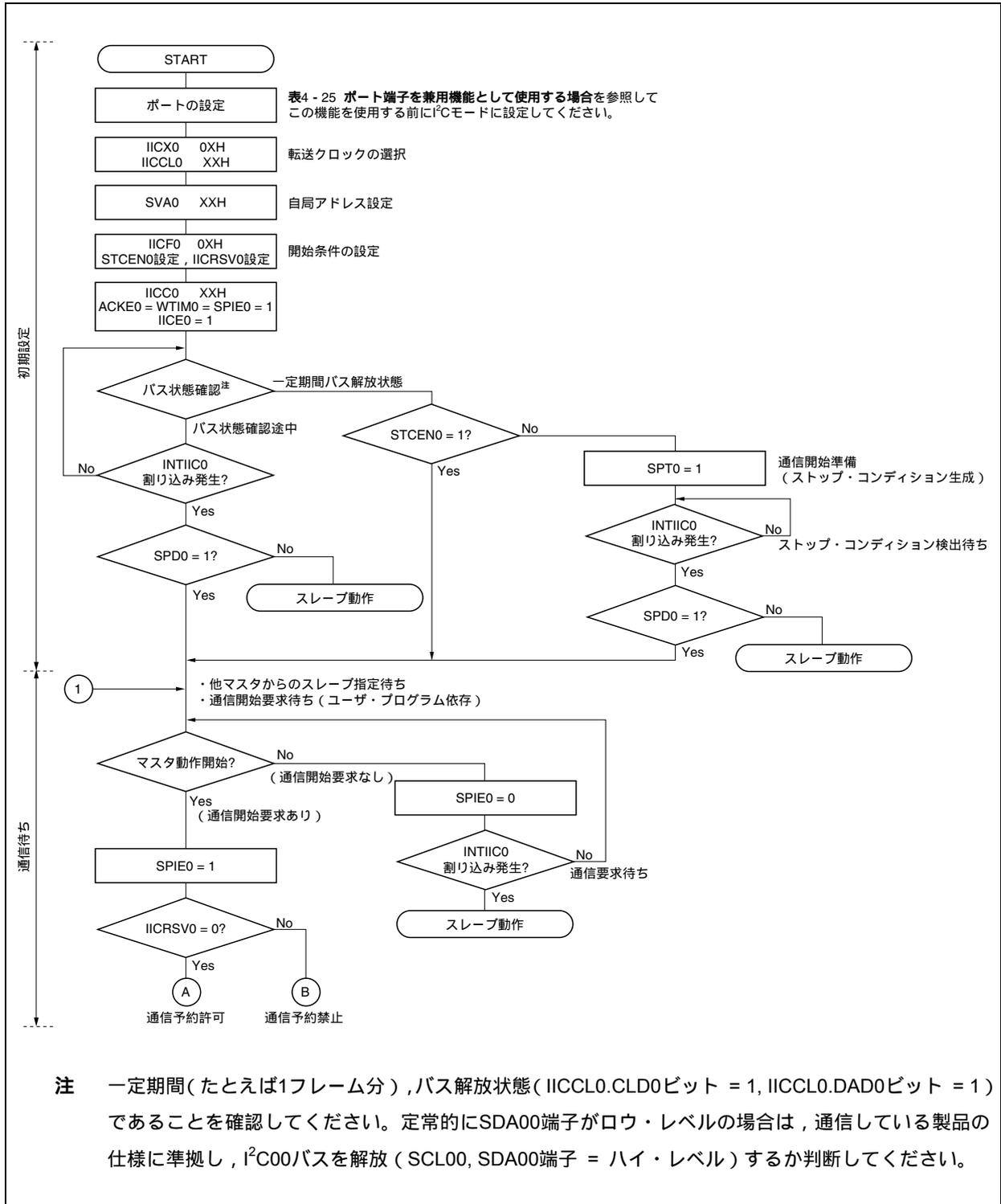


図16 - 17 マルチマスタ・システムでのマスタ動作 (2/3)

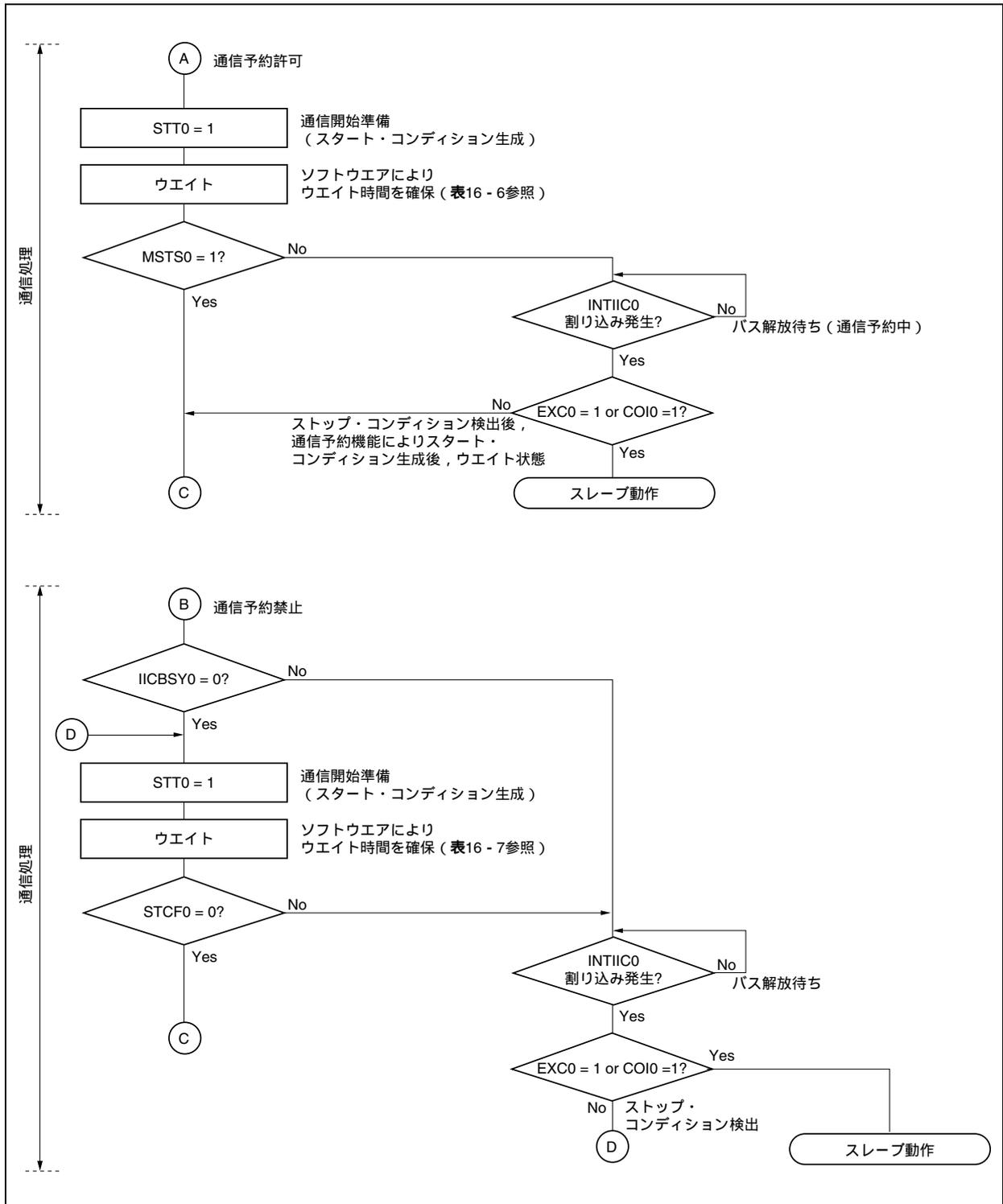
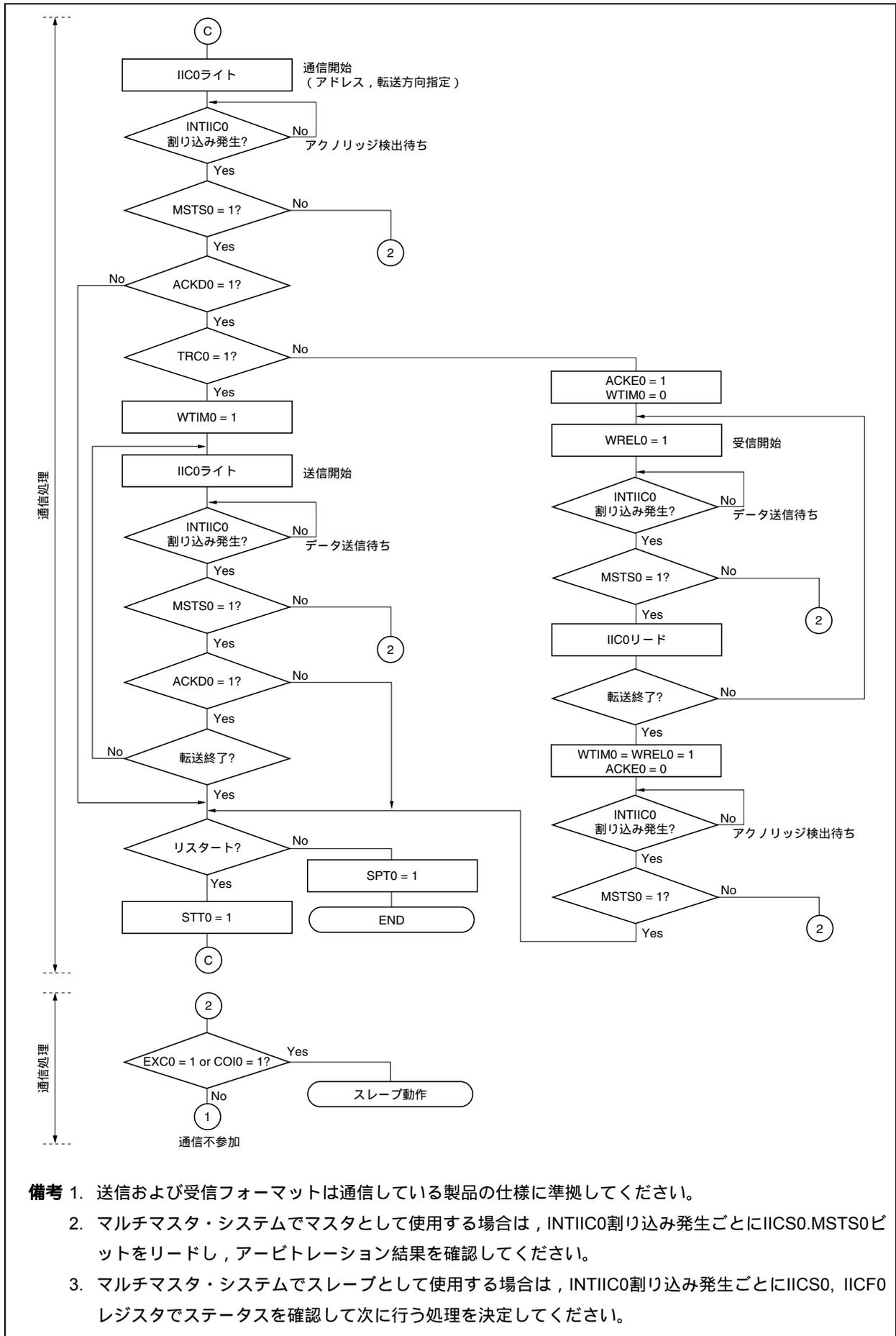


図16 - 17 マルチマスタ・システムでのマスタ動作 (3/3)



- 備考** 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。
 2. マルチマスタ・システムでマスタとして使用する場合は、INTIIC0割り込み発生ごとにIICS0.MSTS0ビットをリードし、アービトレーション結果を確認してください。
 3. マルチマスタ・システムでスレープとして使用する場合は、INTIIC0割り込み発生ごとにIICS0、IICF0レジスタでステータスを確認して次に行う処理を決定してください。

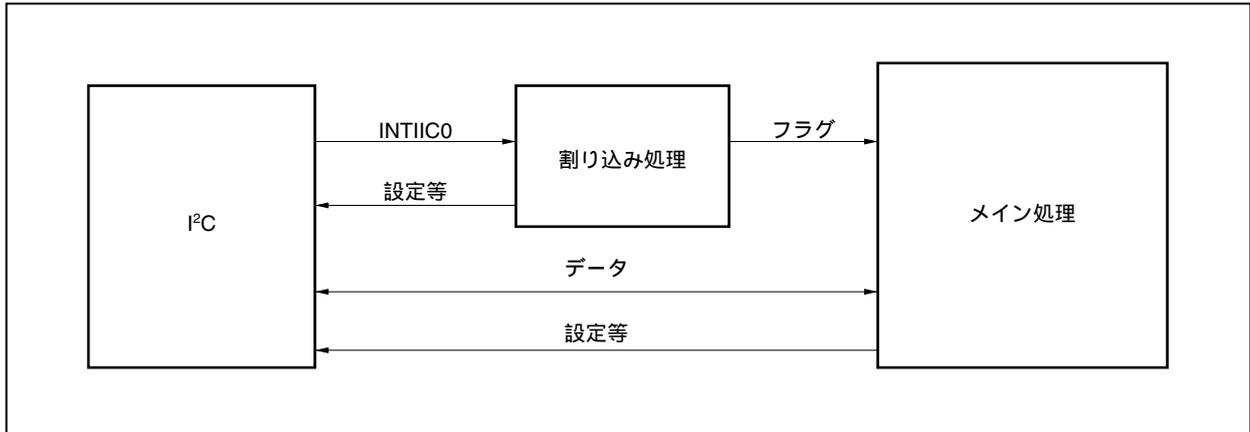
16.16.3 スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIIC0割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIIC0割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。

図16 - 18 スレーブ動作時のソフトウェア概要



このため、3つのフラグを準備し、これをINTIIC0信号の代わりにメイン処理に渡すことでデータ転送処理を行います。

(1) 通信モード・フラグ

次の2つの通信状態を示します。

クリア・モード : データ通信を行っていない状態

通信モード : データの通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

(2) レディ・フラグ

データ通信が可能になったことを示します。通常のデータ転送ではINTIIC0割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータについては、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

(3) 通信方向フラグ

通信の方向を示すフラグで、IIC0.TRIC0ビットの値と同じです。

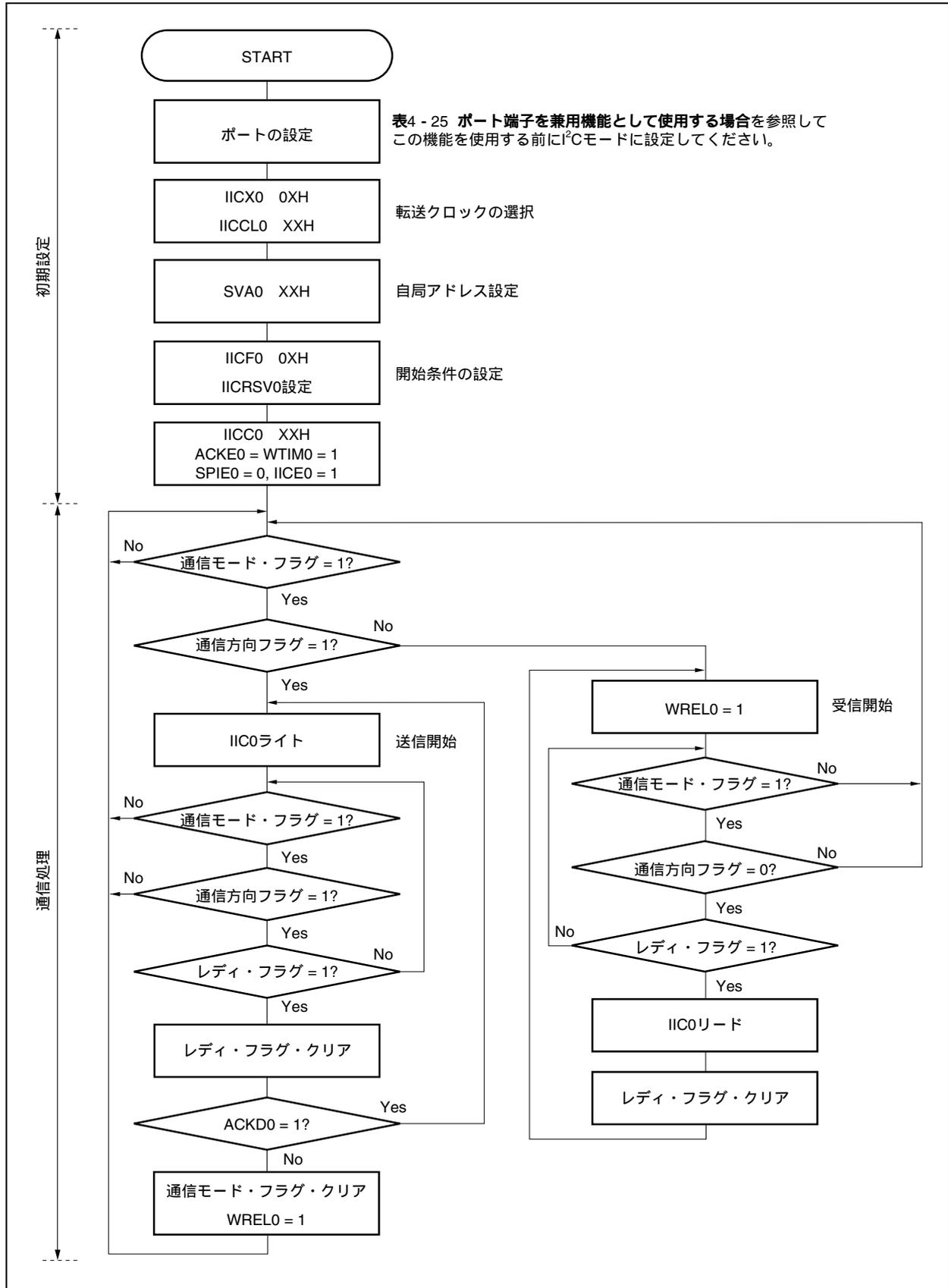
次にスレーブ動作でのメイン処理部の動作を示します。

I²C00を起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って転送を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで確認します）。

送信ではマスタからアクノリッジが来なくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら転送を完了します。

受信では必要な数のデータ受信し、転送完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図16 - 19 スレーブ動作手順 (1)



スレーブのINTIIC0割り込みでの処理手順例を示します(ここでは拡張コードはないものとして処理します)。INTIIC0割り込みではステータスを確認して、次のように行います。

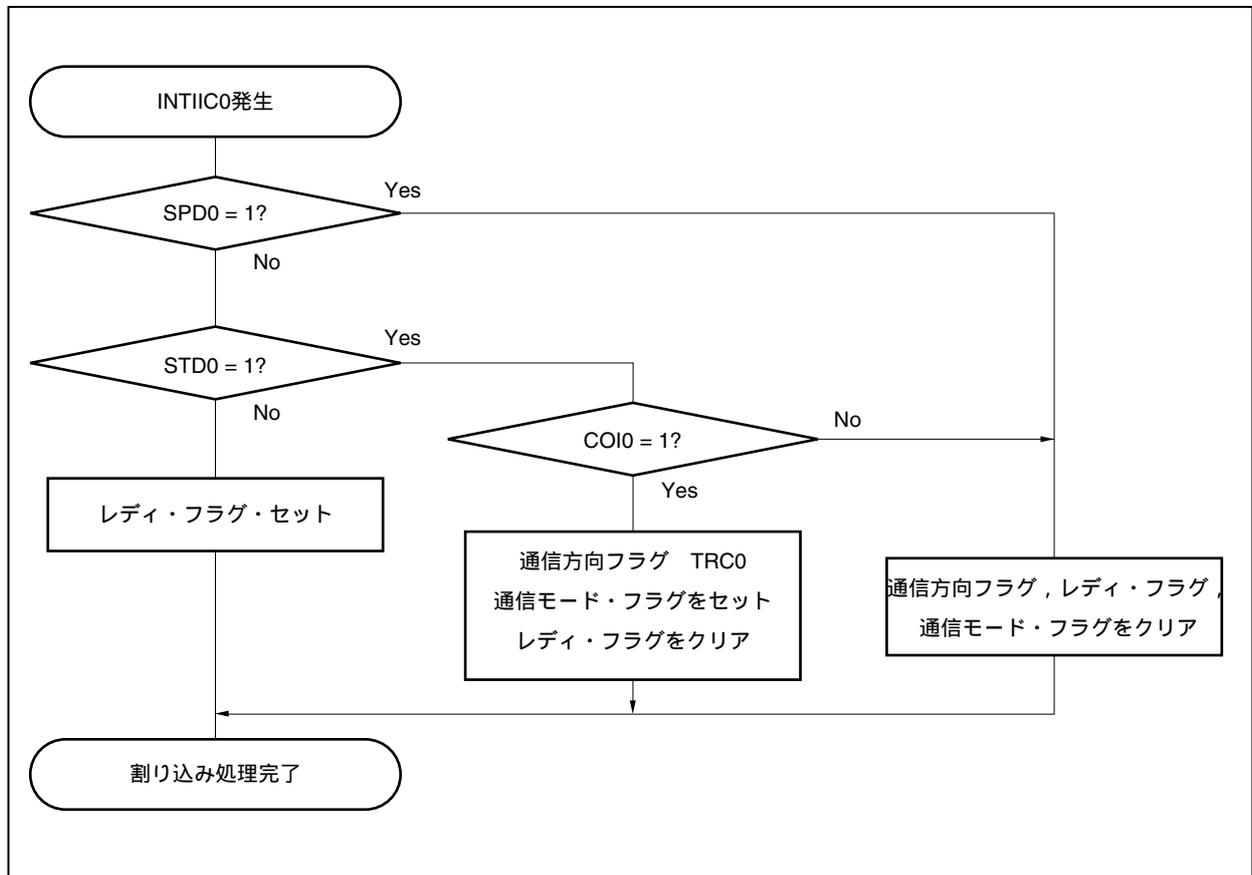
ストップ・コンディションの場合、通信を終了します。

スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。アドレスが一致していれば、モードを通信モードに設定し、ウエイトを解除して、割り込みから戻ります(レディ・フラグはクリアする)。

データ送受信の場合、レディ・フラグをセットするだけで、I²C00バスはウエイト状態のまま、割り込みから戻ります。

備考 上述の ~ は、図16-20 スレーブ動作手順(2)の ~ と対応しています。

図16-20 スレーブ動作手順(2)



16. 17 データ通信のタイミング

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを生成することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すIICS0.TRC0ビットを送信し、スレーブとのシリアル通信を開始します。

シリアル・クロック（SCL00端子）の立ち下がりに同期してIIC0レジスタのシフト動作が行われ、送信データがSOラッチに転送され、SDA00端子からMSBファーストで出力されます。

また、SCL00端子の立ち上がりでSDA00端子に入力されたデータがIIC0レジスタに取り込まれます。

データ通信のタイミングを次に示します。

図16 - 21 マスタ スレーブ通信例 (マスタ, スレーブとも9クロックでウェイト選択時) (1/3)

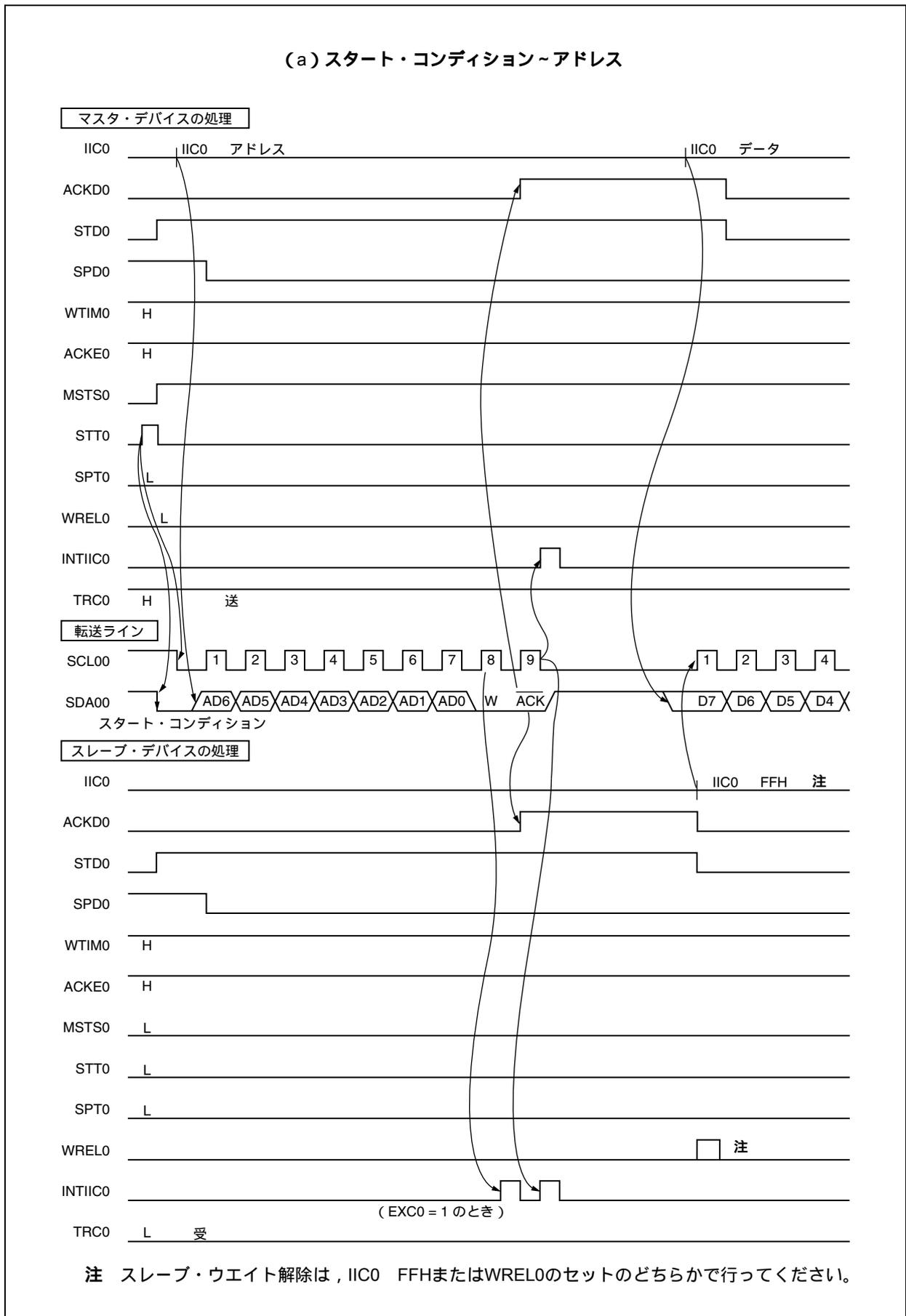


図16 - 21 マスタ スレーブ通信例 (マスタ, スレーブとも9クロックでウェイト選択時) (2/3)

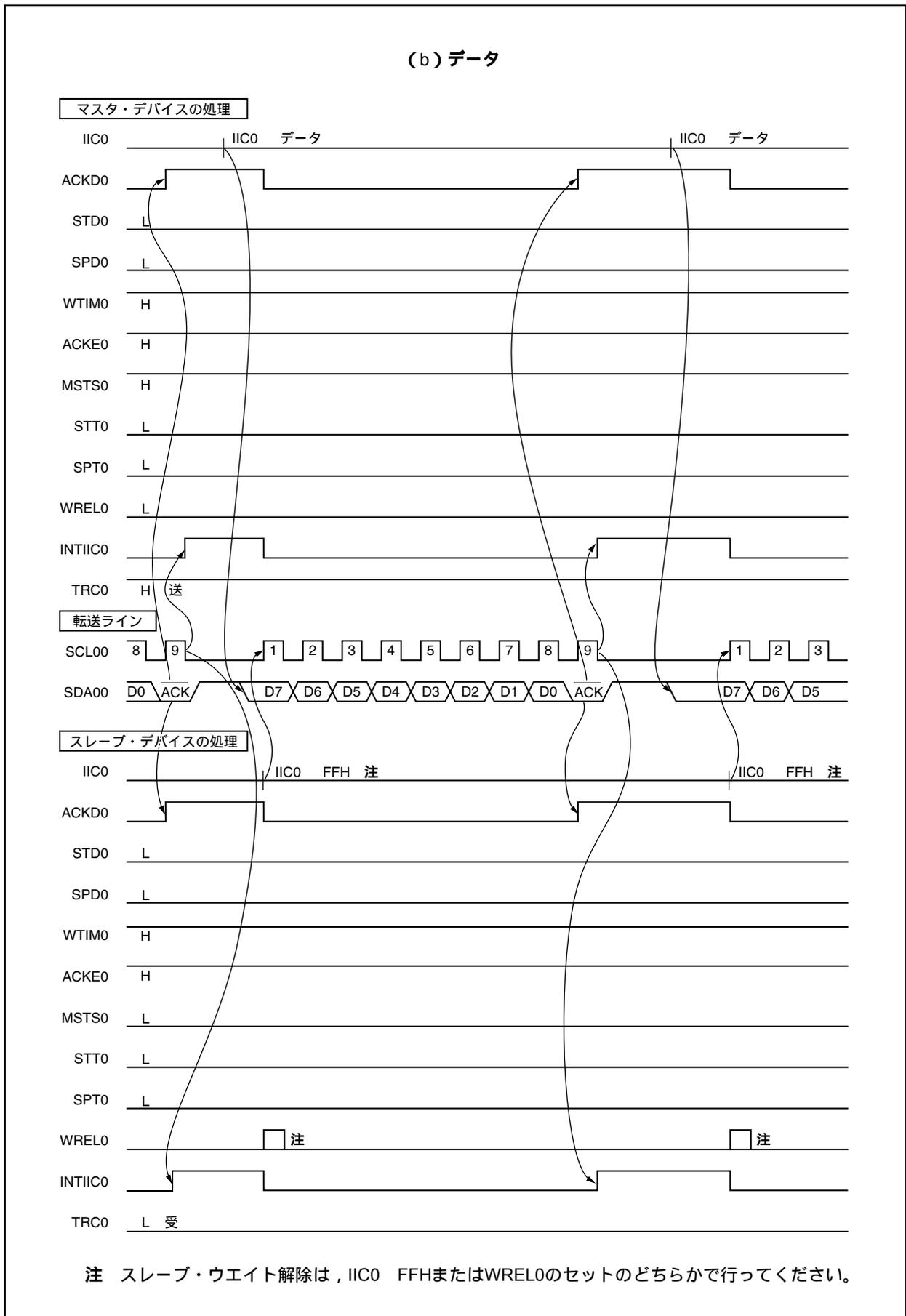


図16-21 マスタ スレーブ通信例 (マスタ, スレーブとも9クロックでウェイト選択時) (3/3)

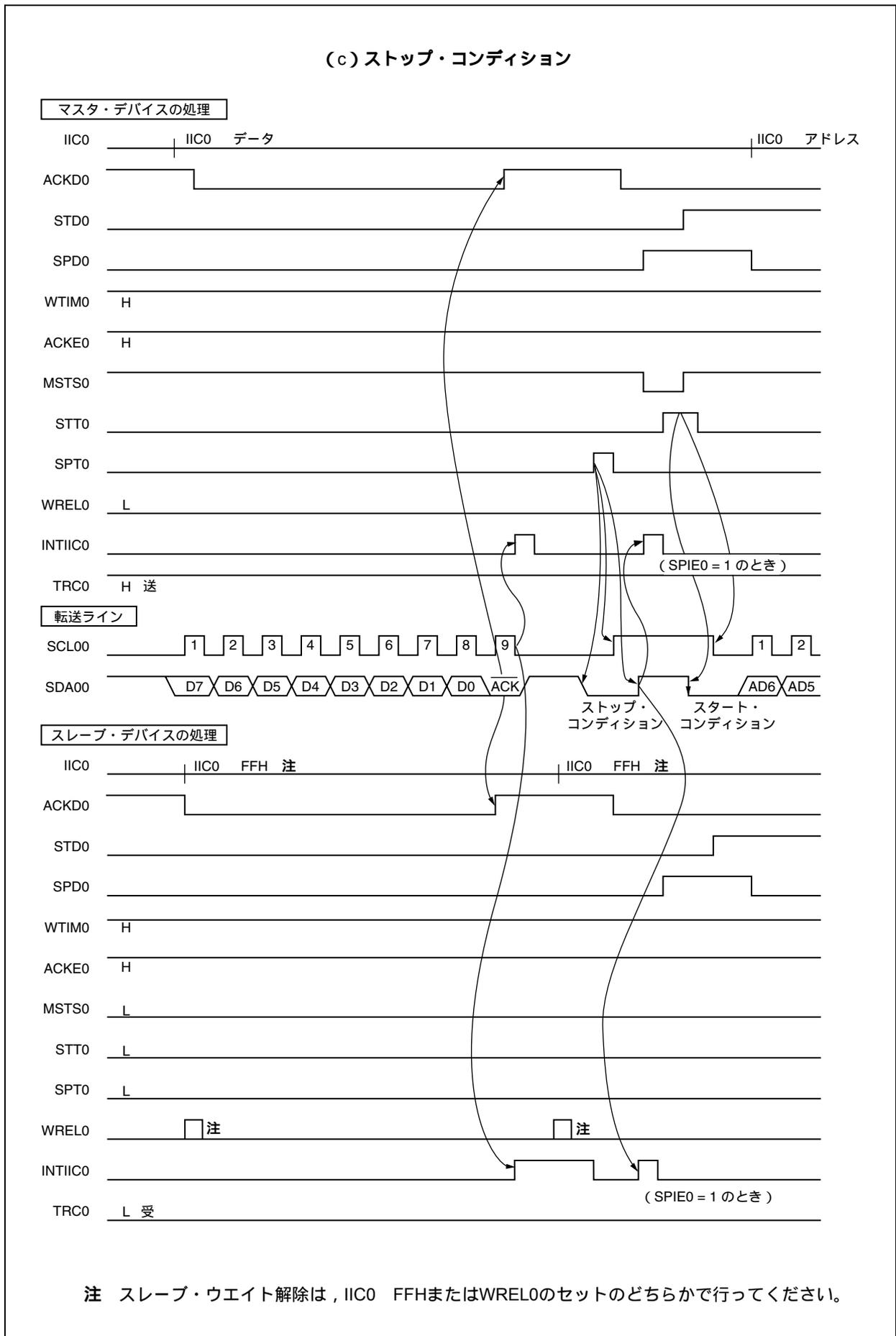


図16 - 22 スレーブ マスタ通信例 (マスタ : 8クロック , スレーブ : 9クロックでウエイト選択時) (1/3)

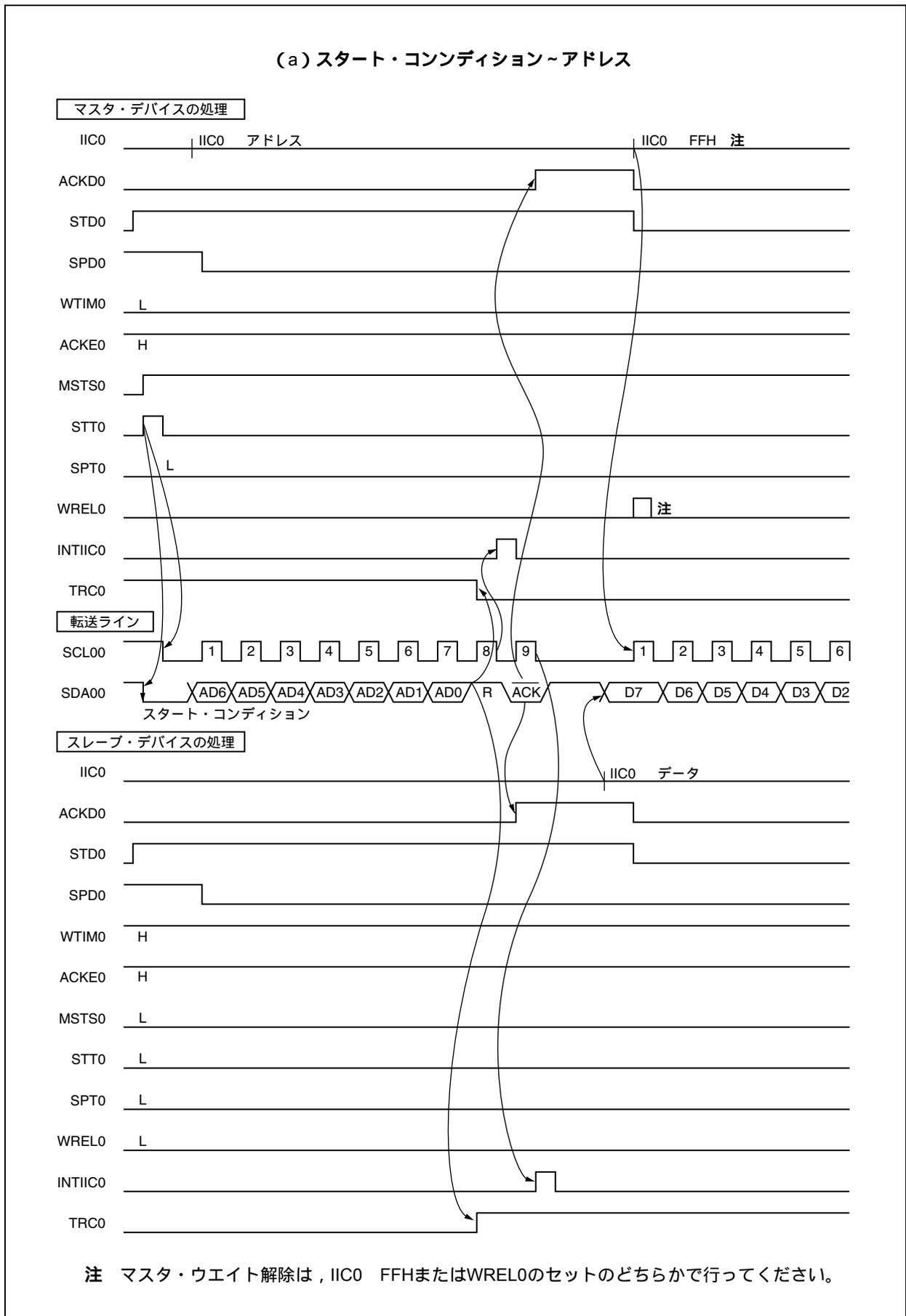


図16-22 スレーブ マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロックでウエイト選択時) (2/3)

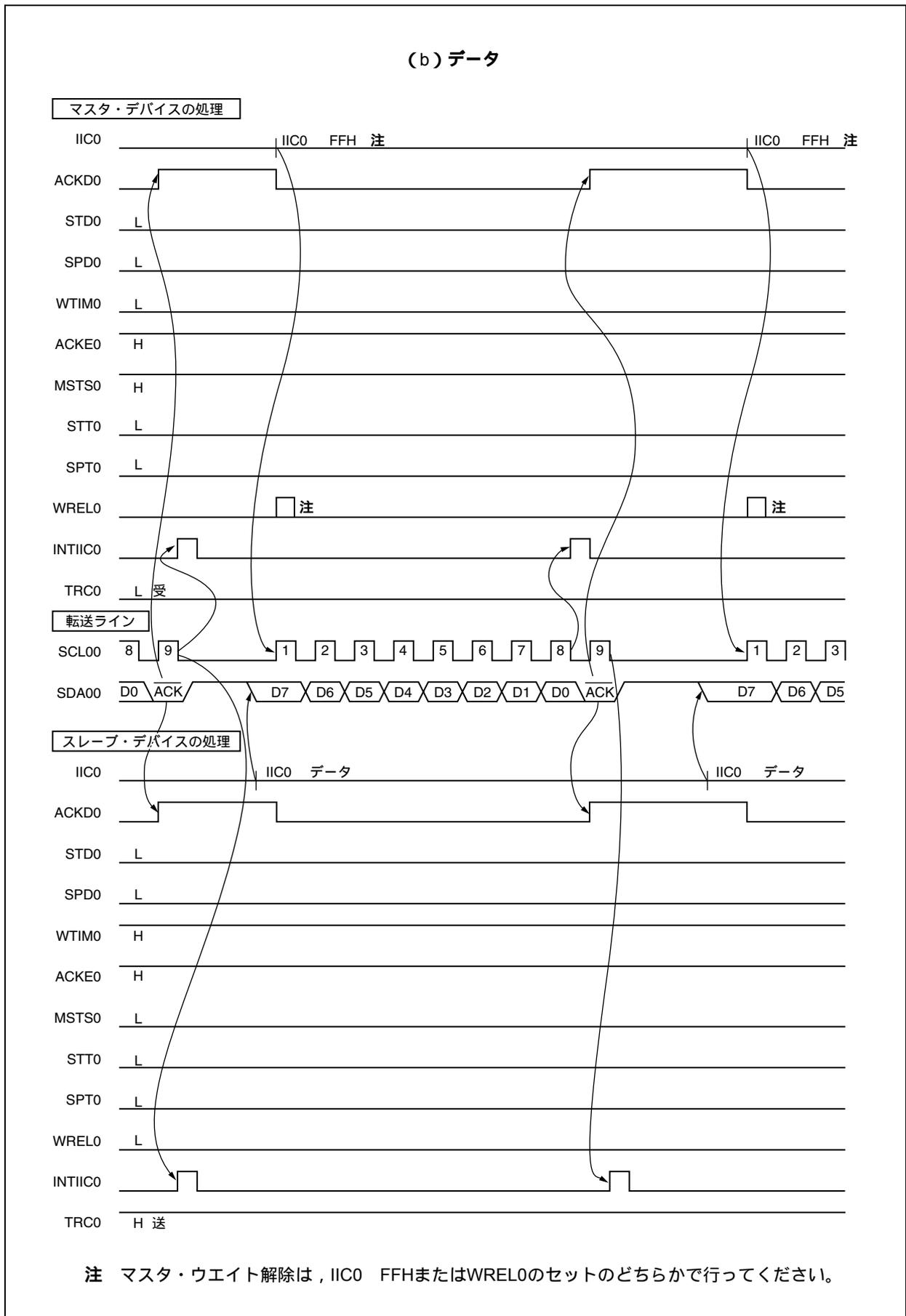
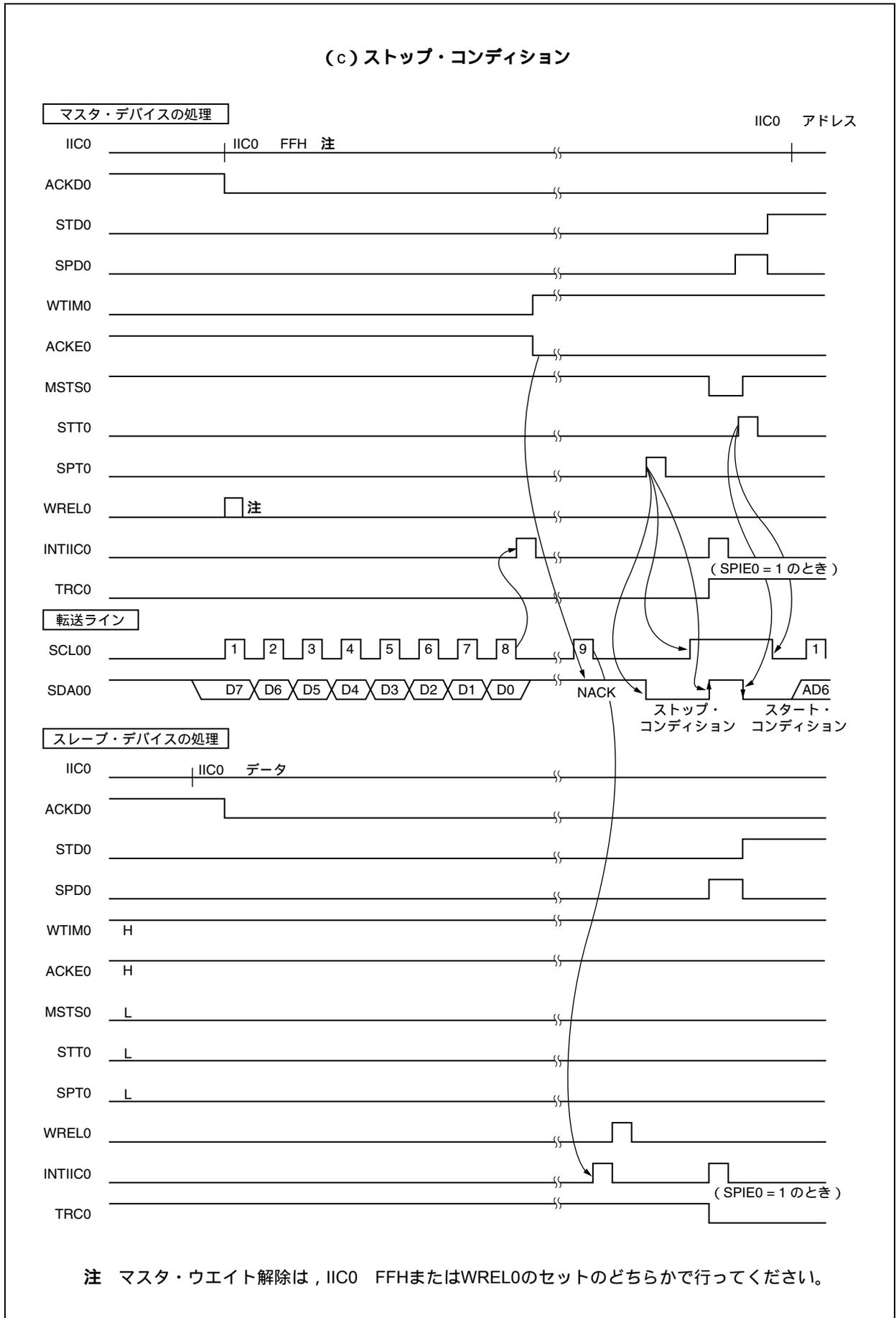


図16-22 スレーブ マスタ通信例 (マスタ: 8 クロック, スレーブ: 9クロックでウエイト選択時) (3/3)



第17章 DMA機能 (DMAコントローラ)

V850ES/Hx3は、DMA転送を実行制御するDMA (Direct Memory Access) コントローラ (DMAC) を備えています。

DMACは、内蔵周辺I/O (シリアル・インタフェース, タイマ/カウンタ, A/Dコンバータ), 外部入力端子からの割り込みによる要求, またはソフトウェア・トリガによるDMA要求に基づいて、メモリ I/O間, メモリ メモリ間, I/O I/O間でのデータ転送を制御します (メモリは内蔵RAM, または外部メモリを意味します)。

17.1 特 徴

4つの独立なDMAチャンネル

転送単位: 8ビット/16ビット

最大転送回数: 65536 (2^{16}) 回

転送タイプ: 2サイクル転送

転送モード: シングル転送モード

転送要求

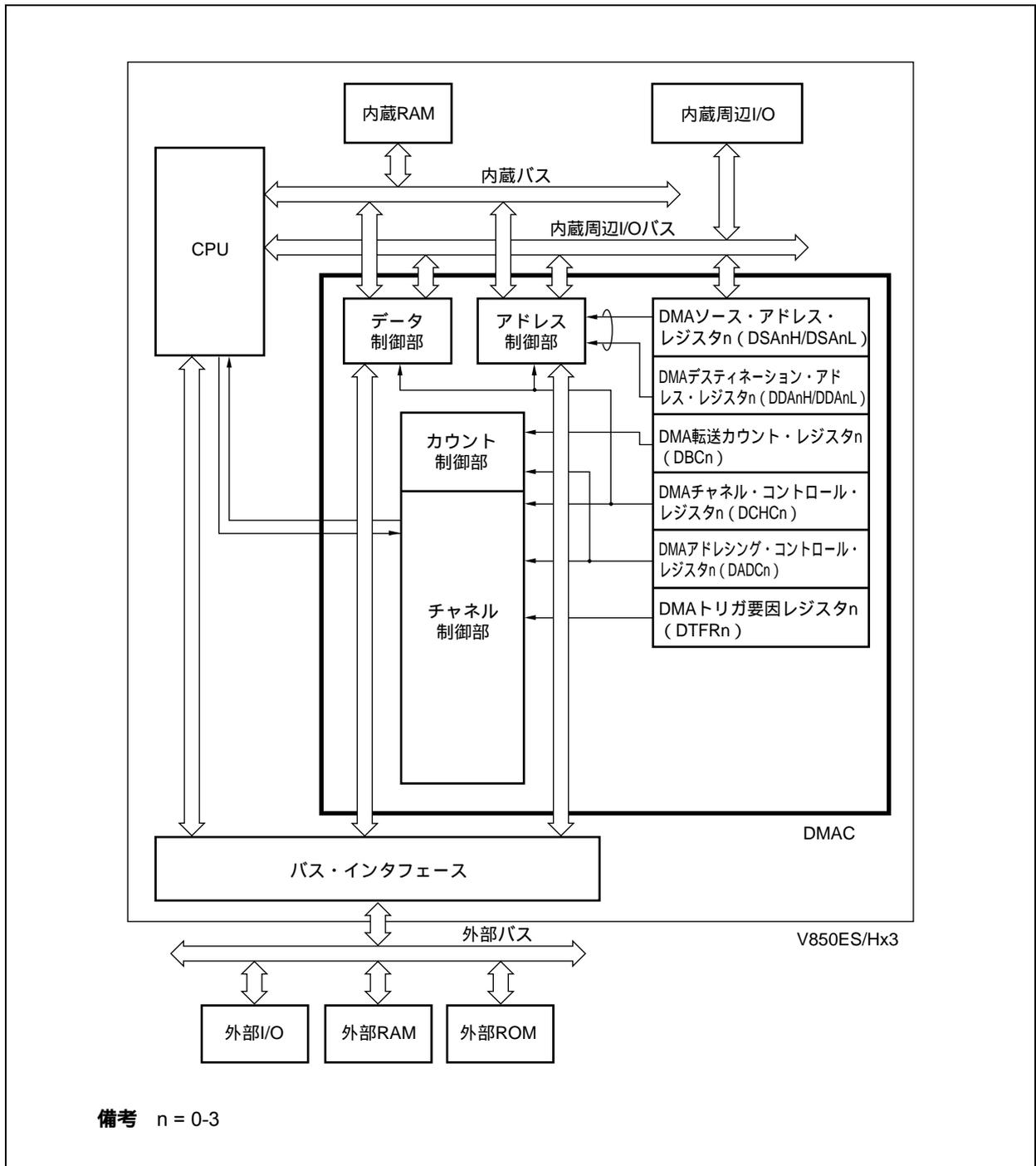
- ・内蔵周辺I/O (シリアル・インタフェース, タイマ/カウンタ, A/Dコンバータ), 外部入力端子からの割り込みによる要求
- ・ソフトウェア・トリガによる要求

転送対象

- ・内蔵RAM 周辺I/O
- ・周辺I/O 周辺I/O
- ・内蔵RAM 外部メモリ^注
- ・外部メモリ 周辺I/O^注
- ・外部メモリ 外部メモリ^注

注 V850ES/HJ3のみ

17.2 構成



17.3 レジスタ

(1) DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3)

DMAチャンネルnのDMA転送元アドレス (26ビット) を設定します (n = 0-3)。
 このレジスタは、DSAnH, DSAnLの2つの16ビット・レジスタに分かれます。
 16ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：DSA0H FFFFF082H, DSA1H FFFFF08AH,
 DSA2H FFFFF092H, DSA3H FFFFF09AH,
 DSA0L FFFFF080H, DSA1L FFFFF088H,
 DSA2L FFFFF090H, DSA3L FFFFF098H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSAnH (n = 0-3)	IR	0	0	0	0	0	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSAnL (n = 0-3)	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0

IR	DMA転送元の指定
0	外部メモリ, 内蔵周辺I/O
1	内蔵RAM

SA25-SA16	DMA転送元のアドレス (A25-A16) を設定してください (初期値不定)。 DMA転送中は, 次のDMA転送元アドレスを保持します。 DMA転送が完了すると, 最初に設定されたDMAアドレスが保持されます。
-----------	--

SA15-SA0	DMA転送元のアドレス (A15-A0) を設定してください (初期値不定)。 DMA転送中は, 次のDMA転送元アドレスを保持します。 DMA転送が完了すると, 最初に設定されたDMAアドレスが保持されます。
----------	---

- 注意1.** DSAnHレジスタのビット14-10には, 必ず“0”を設定してください。
- DSAnH, DSAnLレジスタの設定は, DMA転送禁止状態 (DCHCn.Ennビット = 0) である次のいずれかのタイミングで行ってください。
 - リセット後から最初のDMA転送起動までの期間
 - DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
 - DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
 - DSAnレジスタの値を読み出す際, DSAnHレジスタとDSAnLレジスタの2つの16ビット・レジスタごとに読み出すため, 読み出しと更新のタイミングが競合した場合, 更新途中の値が読み出されることがあります (17.13 注意事項参照)。
 - リセット後, DMA転送を開始する前にDSAnH, DSAnL, DDAnH, DDAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は, 動作を保証しません。

(2) DMAデスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3)

DMAチャンネルnのDMA転送先アドレス (26ビット) を設定します (n = 0-3)。
 このレジスタは、DDAnH, DDAnLの2つの16ビット・レジスタに分かれます。
 16ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：DDA0H FFFFFFF086H, DDA1H FFFFFFF08EH,
 DDA2H FFFFFFF096H, DDA3H FFFFFFF09EH,
 DDA0L FFFFFFF084H, DDA1L FFFFFFF08CH,
 DDA2L FFFFFFF094H, DDA3L FFFFFFF09CH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDAnH (n = 0-3)	IR	0	0	0	0	0	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDAnL (n = 0-3)	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0

IR	DMA転送先の指定
0	外部メモリ, 内蔵周辺I/O
1	内蔵RAM

DA25-DA16	DMA転送先のアドレス (A25-A16) を設定してください (初期値不定)。 DMA転送中は, 次のDMA転送先アドレスを保持します。 DMA転送が終了すると, 最初に設定されたDMA転送元アドレスを保持 します。
-----------	--

DA15-DA0	DMA転送先のアドレス (A15-A0) を設定してください (初期値不定)。 DMA転送中は, 次のDMA転送先アドレスを保持します。 DMA転送が終了すると, 最初に設定されたDMA転送元アドレスを保持 します。
----------	---

- 注意1. DDAnHレジスタのビット14-10には, 必ず“0”を設定してください。
- DDAnH, DDAnLレジスタの設定は, DMA転送禁止状態 (DCHCn.Ennビット = 0) である次のいずれかのタイミングで行ってください。
 - リセット後から最初のDMA転送起動までの期間
 - DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
 - DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
 - DDAnレジスタの値を読み出す際, DDAnHレジスタとDDAnLレジスタの2つの16ビット・レジスタごとに読み出すため, 読み出しと更新のタイミングが競合した場合, 更新途中の値が読み出されることがあります (17.13 注意事項参照)。
 - リセット後, DMA転送を開始する前にDSAnH, DSAnL, DDAnH, DDAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は, 動作を保証しません。

(3) DMA転送カウント・レジスタ0-3 (DBC0-DBC3)

DMAチャンネルnの転送数を設定する16ビット・レジスタです (n = 0-3)。

DMA転送中は、残りの転送数を保持します。

転送データ単位 (8/16ビット) にかかわらず、1回の転送につき1ずつデクリメントされ、ポローが発生すると転送を終了します。

16ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：DBC0 FFFFF0C0H, DBC1 FFFFF0C2H,
DBC2 FFFFF0C4H, DBC3 FFFFF0C6H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBCn (n = 0-3)	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0

BC15-BC0	転送数の設定, またはDMA転送中の残りの転送数
0000H	1回の転送, または残り転送数
0001H	2回の転送, または残り転送数
:	:
FFFFH	65536 (2 ¹⁶) 回の転送, または残り転送数
DMA転送が完了すると, 最初に設定された転送データ数を保持します。	

注意1. DBCnレジスタの設定は、DMA転送禁止状態 (DCHCn.Ennビット = 0) である次のいずれかのタイミングで行ってください。

- ・リセット後から最初のDMA転送起動までの期間
 - ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
 - ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
2. リセット後、DMA転送を開始する前にDSAnH, DSAnL, DDAnH, DDAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は、動作を保証しません。

(4) DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3)

DMAチャンネルnのDMA転送モードを制御する16ビット・レジスタです (n = 0-3)。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

リセット時 : 0000H R/W アドレス : DADC0 FFFFF0D0H, DADC1 FFFFF0D2H,
DADC2 FFFFF0D4H, DADC3 FFFFF0D6H

DADCn (n = 0-3)	15	14	13	12	11	10	9	8
	0	DS0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	SAD1	SAD0	DAD1	DAD0	0	0	0	0

DS0	転送データ・サイズの設定
0	8ビット
1	16ビット

SAD1	SAD0	転送元アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

DAD1	DAD0	転送先アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

- 注意1. DADCnレジスタのビット15, 13-8, 3-0には、必ず“0”を設定してください。
- DADCnレジスタの設定は、DMA転送禁止状態 (DCHCn.Ennビット = 0) である次のいずれかのタイミングで行ってください。
 - ・リセット後から最初のDMA転送起動までの期間
 - ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
 - ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
 - DS0ビットは転送データ・サイズを設定するものであり、バス・サイジングを制御するものではありません。したがって、8ビット・データ (DS0ビット = 0) を設定した場合でも、必ずしも下位データ・バスを使用するわけではありません。
 - 転送データ・サイズを16ビットに設定した場合 (DS0ビット = 1)、奇数アドレスから始まる転送はできません。下位アドレスの1ビットを“0”にアラインしたアドレスから必ず転送を開始します。
 - 内蔵周辺I/Oレジスタを対象 (転送元/転送先) とするDMA転送の場合、必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば、8ビットのレジスタに対するDMA転送の場合は、必ず (8ビット) 転送を指定してください。

(5) DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3)

DMAチャンネルnのDMA転送動作モードを指定する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です(ただし、ビット7はリードだけ、ビット1, 2はライトだけ可能です。ビット1, 2をリードした場合は0が読み出されます。)。

リセットにより00Hになります。

リセット時：00H R/W アドレス：DCHC0 FFFF0E0H, DCHC1 FFFF0E2H,
DCHC2 FFFF0E4H, DCHC3 FFFF0E6H

	⑦	6	5	4	3	②	①	①
DCHCn	TCn ^{注1}	0	0	0	0	INITn ^{注2}	STGn ^{注2}	Enn

(n = 0-3)

TCn ^{注1}	DMAチャンネルnのDMA転送の完了 / 未完了を示すステータス・フラグ
0	DMA転送未完了
1	DMA転送完了
DMA転送の最後の転送時にセット(1)され、読み出しによってクリア(0)されます。	

INITn ^{注2}	DMA転送が禁止された状態で(Ennビット = 0), INITnビットをセット(1)するとDMA転送のステータスを初期化できます。 DMA転送が完了する前に(TCnビットがセット(1)される前), DMA転送ステータスの再設定(DDAnH, DDAnL, DSAAnH, DSAAnL, DBCn, DADCnレジスタの再設定)を行う場合は、必ずDMAチャンネルの初期化後に行ってください。 ただし、DMAコントローラの初期化は、必ず17. 13 注意事項に示す手順にしたがって行ってください。
---------------------	--

STGn ^{注2}	DMA転送のソフトウェア起動トリガです。 DMA転送が許可の状態(TCnビット = 0, Ennビット = 1)でこのビットをセット(1)するとDMA転送を開始します。
--------------------	---

Enn	DMAチャンネルnのDMA転送の許可 / 禁止の設定
0	DMA転送の禁止
1	DMA転送の許可

Ennビットをセット(1)するとDMA転送が許可されます。
DMA転送が完了(ターミナル・カウント発生)すると、自動的にクリア(0)されます。
なお、DMA転送を中断するには、ソフトウェアでEnnビットをクリア(0)してください。再開するには、再度Ennビットをセット(1)してください。
ただし、DMA転送の中断 / 再開は、必ず17. 13 注意事項に示す手順にしたがって行ってください。

注1. TCnビットはリードのみ可能です。

2. INITn, STGnビットはライトのみ可能です。

注意1. DCHCnレジスタのビット6-3には、必ず“0”を設定してください。

2. DMA転送完了時(ターミナル・カウント時)は、Ennビットのクリア(0) TCnビットのセット(1)の順で各ビットの更新が行われます。そのため、DCHCnレジスタの各ビットの更新途中でDCHCnレジスタを読み出した場合、「転送未完了、かつ転送禁止」の状態を示す値(TCnビット = 0, かつEnnビット = 0)が読み出されることがあります。

(6) DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3)

内蔵周辺I/Oからの割り込み要求信号によるDMA転送開始トリガを制御する8ビット・レジスタです。

このレジスタで設定した割り込み要求信号が、DMA転送の起動要因になります。

8ビット単位でリード/ライト可能です。ただし、DFnビットのみ1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：DTFR0 FFFFF810H, DTFR1 FFFFF812H,
DTFR2 FFFFF814H, DTFR3 FFFFF816H

	7	6	5	4	3	2	1	0
DTFRn	DFn	0	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0

(n = 0-3)

DFn ^注	DMA転送要求ステータス・フラグ
0	DMA転送要求なし
1	DMA転送要求あり

注 DFnビットはソフトウェアにより“1”を設定しないでください。DMA転送を禁止している間にDMA転送の起動要因に設定している割り込みが発生し、DMA転送要求をクリアする必要がある場合に0をライトしてください。

注意1. IFCn5-IFCn0ビットの設定は、DMA転送禁止状態 (DCHCn.Ennビット = 0) である次のいずれかのタイミングで行ってください。

- ・リセット後から最初のDMA転送起動までの期間
- ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
- ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間

2. スタンバイ・モード (IDLE1, IDLE2, STOP, サブIDLEモード) 中に発生した割り込み要求は、DMA転送サイクルの起動要因にはなりません (DFnビットもセット (1) されません)。

3. IFCn5-IFCn0ビットで任意のDMA起動要因を選択したあとは、DMA転送の許可/禁止にかかわらず、選択した内蔵周辺I/Oからの割り込みが発生するとDFnビットはセット (1) されます。この状態でDMA許可とした場合、ただちにDMA転送が起動されます。

備考 IFCn5-IFCn0ビットについては表17-1 DMA起動要因を参照してください。

表17 - 1 DMA起動要因 (1/2)

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因	V850ES/ HE3	V850ES/ HF3	V850ES/ HG3	V850ES/ HJ3
0	0	0	0	0	0	割り込みによるDMA要求禁止				
0	0	0	0	0	1	INTLVIL				
0	0	0	0	1	0	INTP0				
0	0	0	0	1	1	INTP1				
0	0	0	1	0	0	INTP2				
0	0	0	1	0	1	INTP3				
0	0	0	1	1	0	INTP4				
0	0	0	1	1	1	INTP5				
0	0	1	0	0	0	INTP6				
0	0	1	0	0	1	INTP7				
0	0	1	0	1	0	INTTAB0OV				
0	0	1	0	1	1	INTTAB0CC0				
0	0	1	1	0	0	INTTAB0CC1				
0	0	1	1	0	1	INTTAB0CC2				
0	0	1	1	1	0	INTTAB0CC3				
0	0	1	1	1	1	INTTAA0OV				
0	1	0	0	0	0	INTTAA0CC0				
0	1	0	0	0	1	INTTAA0CC1				
0	1	0	0	1	0	INTTAA1OV				
0	1	0	0	1	1	INTTAA1CC0				
0	1	0	1	0	0	INTTAA1CC1				
0	1	0	1	0	1	INTTAA2OV				
0	1	0	1	1	0	INTTAA2CC0				
0	1	0	1	1	1	INTTAA2CC1				
0	1	1	0	0	0	INTTAA3OV				
0	1	1	0	0	1	INTTAA3CC0				
0	1	1	0	1	0	INTTAA3CC1				
0	1	1	0	1	1	INTTM0EQ0				
0	1	1	1	0	0	INTCB0R				
0	1	1	1	0	1	INTCB0T				
0	1	1	1	1	0	INTCB1R				
0	1	1	1	1	1	INTCB1T				
1	0	0	0	0	0	INTUD0R				
1	0	0	0	0	1	INTUD0T				
1	0	0	0	1	0	INTUD1R				
1	0	0	0	1	1	INTUD1T				
1	0	0	1	0	0	INTAD				
1	0	0	1	0	1	INTTAA4OV				
1	0	0	1	1	0	INTTAA4CC0				
1	0	0	1	1	1	INTTAA4CC1				
1	0	1	0	0	0	INTIIC0				

備考 n = 0-3

表17 - 1 DMA起動要因 (2/2)

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因	V850ES/ HE3	V850ES/ HF3	V850ES/ HG3	V850ES/ HJ3
1	0	1	0	0	1	INTKR				
1	0	1	0	1	0	INTTAB1OV	-	-		
1	0	1	0	1	1	INTTAB1CC0	-	-		
1	0	1	1	0	0	INTTAB1CC1	-	-		
1	0	1	1	0	1	INTTAB1CC2	-	-		
1	0	1	1	1	0	INTTAB1CC3	-	-		
1	0	1	1	1	1	INTUD2R	-	-		
1	1	0	0	0	0	INTUD2T	-	-		
1	1	0	0	0	1	INTLVIH				
1	1	0	0	1	0	INTUD3R	-	-	-	注
1	1	0	0	1	1	INTUD3T	-	-	-	注
1	1	0	1	0	0	INTTAB2OV	-	-	-	
1	1	0	1	0	1	INTTAB2CC0	-	-	-	
1	1	0	1	1	0	INTTAB2CC1	-	-	-	
1	1	0	1	1	1	INTTAB2CC2	-	-	-	
1	1	1	0	0	0	INTTAB2CC3	-	-	-	
1	1	1	0	0	1	INTCB2R	-	-	-	
1	1	1	0	1	0	INTCB2T	-	-	-	
1	1	1	0	1	1	INTUD4R	-	-	-	注
1	1	1	1	0	0	INTUD4T	-	-	-	注
1	1	1	1	0	1	INTUD5R	-	-	-	注
1	1	1	1	1	0	INTUD5T	-	-	-	注
上記以外						設定禁止				

注 μ PD70F3757のみ

備考 n = 0-3

17.4 転送対象

転送対象の関係を次に示します（○：転送可，×：転送不可）。

表17 - 2 転送対象の関係

		転送先			
		内蔵ROM	内蔵周辺I/O	内蔵RAM	外部メモリ
転送元	内蔵周辺I/O	×			
	内蔵RAM	×		×	
	外部メモリ	×			
	内蔵ROM	×	×	×	×

注意 表17 - 2に示す転送先と転送元で、「×」が表記されている組み合わせで転送を行った場合の動作は保証できません。

17.5 転送モード

転送モードとして、シングル転送をサポートしています。

シングル転送では、1回のバイト/ハーフワード転送ごとにバスを解放します。その後、DMA転送要求があると再度1回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA要求を優先させます。

ただし、転送サイクル中に同一チャンネルの新たな転送要求と、他の優先順位が低いチャンネルの転送要求が発生した場合、CPUにバスを解放した次の転送は、新たに要求のあった優先順位の低いチャンネルのDMA転送となります（転送サイクル中は、同一チャンネルの新たな転送要求は無視されます）。

17.6 転送タイプ

転送タイプとして、2サイクル転送をサポートしています。

2サイクル転送は、リード・サイクル、ライト・サイクルと2回のサイクルでデータを転送します。

リード・サイクルでは、転送元のアドレスを出力し転送元からDMACへのリードを行い、ライト・サイクルでは、転送先のアドレスを出力しDMACから転送先への書き込みを行います。

リード・サイクルとライト・サイクルの間には、必ず1クロック分のアイドル・サイクルが挿入されます。

2サイクルのDMA転送で、転送元と転送先のデータ・バス幅が異なる場合、次のような動作になります。

< 16ビット・データ転送の場合 >

32ビット・バス 16ビット・バスへの転送

リード・サイクル(上位16ビットはハイ・インピーダンス)が発生し、その後ライト・サイクル(16ビット)が発生します。

16/32ビット・バス 8ビット・バスへの転送の場合

16ビットのリード・サイクルが1回発生し、その後8ビットのライト・サイクルが2回発生します。

8ビット・バス 16/32ビット・バスへの転送の場合

8ビットのリード・サイクルが2回発生し、その後16ビットのライト・サイクルが1回発生します。

16ビット・バス 32ビット・バスへの転送の場合

16ビットのリード・サイクルが1回発生し、その後16ビットのライト・サイクルが1回発生します。

なお、内蔵周辺I/Oレジスタを対象(転送元/転送先)とするDMA転送の場合、必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば、8ビットのレジスタに対するDMA転送の場合は、必ずバイト(8ビット)転送を指定してください。

備考 各転送対象(転送元/転送先)のバス幅は次のとおりです。

- ・内蔵周辺I/O : 16ビット・バス幅
- ・内蔵RAM : 32ビット・バス幅
- ・外部メモリ : 8もしくは16ビット・バス幅

17.7 DMAチャネルの優先順位

DMAチャネルの優先順位は固定で、次のようになります。

DMAチャネル0 > DMAチャネル1 > DMAチャネル2 > DMAチャネル3

1回の転送サイクルの度に優先順位がチェックされます。

17.8 DMA転送に関する各種時間

DMA要求に対する応答時間、DMA転送にかかる最小クロック数を次に示します。

シングル転送: DMA応答時間() + 転送元メモリ・アクセス() + 1^{注1} + 転送先メモリ・アクセス()

DMAサイクル		最小実行クロック数
DMA要求に対する応答時間		4クロック (MIN.) + ノイズ除去時間 ^{注2}
メモリ・アクセス	外部メモリ・アクセス	接続するメモリで異なります
	内蔵RAMアクセス	2クロック ^{注3}
	周辺I/Oレジスタ・アクセス	3クロック + VSWCレジスタによるウエイト数 ^{注4}

- 注1. DMA転送のリード・サイクルとライト・サイクルの間には、必ず1クロック挿入されます。
2. 外部割り込み (INTPn) をDMA転送の起動要因に指定した場合、ノイズ除去時間が加算されます (n = 0-14)。
3. DMAサイクルの場合は、2クロックかかります。
4. 特定の周辺I/Oレジスタへのアクセスについては、さらにウエイトが必要となります (詳細は3. 4. 8 (2) を参照してください)。

17.9 DMA転送起動要因

DMA転送の起動要因には、次の2種類があります。

(1) ソフトウェアによる要求

DCHCn.TCnビット = 0, かつEnnビット = 1 (DMA転送許可) の状態で, STGnビットをセット (1) すると, DMA転送を起動します。

続けて次のDMA転送サイクルを要求するには, DBCnレジスタにて, 先のDMA転送サイクルが完了したことを確認してから, 再度STGnビットをセット (1) してください (n = 0-3)。

TCnビット = 0, Ennビット = 1

STGnビット = 1 ... 1回目のDMA転送開始

DBCnレジスタの内容が更新されたことを確認

STGnビット = 1 ... 2回目のDMA転送開始

:

ターミナル・カウント発生...Ennビット = 0, TCnビット = 1かつINTDMA_n信号発生

(2) 内蔵周辺I/Oによる要求

DCHCn.TCnビット = 0, かつEnnビット = 1 (DMA転送許可) の状態で, DTFRnレジスタに設定している内蔵周辺I/Oからの割り込み要求が発生すると, DMA転送を起動します。

- 注意1.** 同一のDMAチャンネルに対して, 2つの起動要因 (ソフトウェア・トリガ, ハードウェア・トリガ) を併用できません。1つのDMAチャンネルに対して, 2つの起動要因が同時に発生した場合, どちらか一方だけが有効となります。有効となった起動要因の特定はできません。
2. 先のDMA転送要求が発生してから, または先のDMA転送サイクル中に新たな転送要求が発生しても, その要求は無視 (クリア) されます。
3. 同一のDMAチャンネルに対する転送要求間隔は, DMA転送サイクル中のバス・ウエイトの設定やほかのチャンネルの起動状況, または外部バス・ホールド要求により変化します。特に注意2のとおり, DMA転送サイクル前, または転送サイクル中に同一チャンネルの新たな転送要求が発生しても, その要求は無視されてしまいます。したがって, 同一のDMAチャンネルに対する転送要求間隔は, システム上で十分な間隔をもつようにしてください。ソフトウェア・トリガ時は, DBCnレジスタの更新により, 先に発生したDMA転送サイクルの完了を確認できます。

17.10 DMAの中断要因

DMA転送は、バス・ホールドが発生すると中断されます。

内部メモリ / 内蔵周辺IO 内部メモリ / 内蔵周辺I/O時も同様です。

バス・ホールドが解除されると、引き続きDMA転送を開始します。

17.11 DMA転送の終了

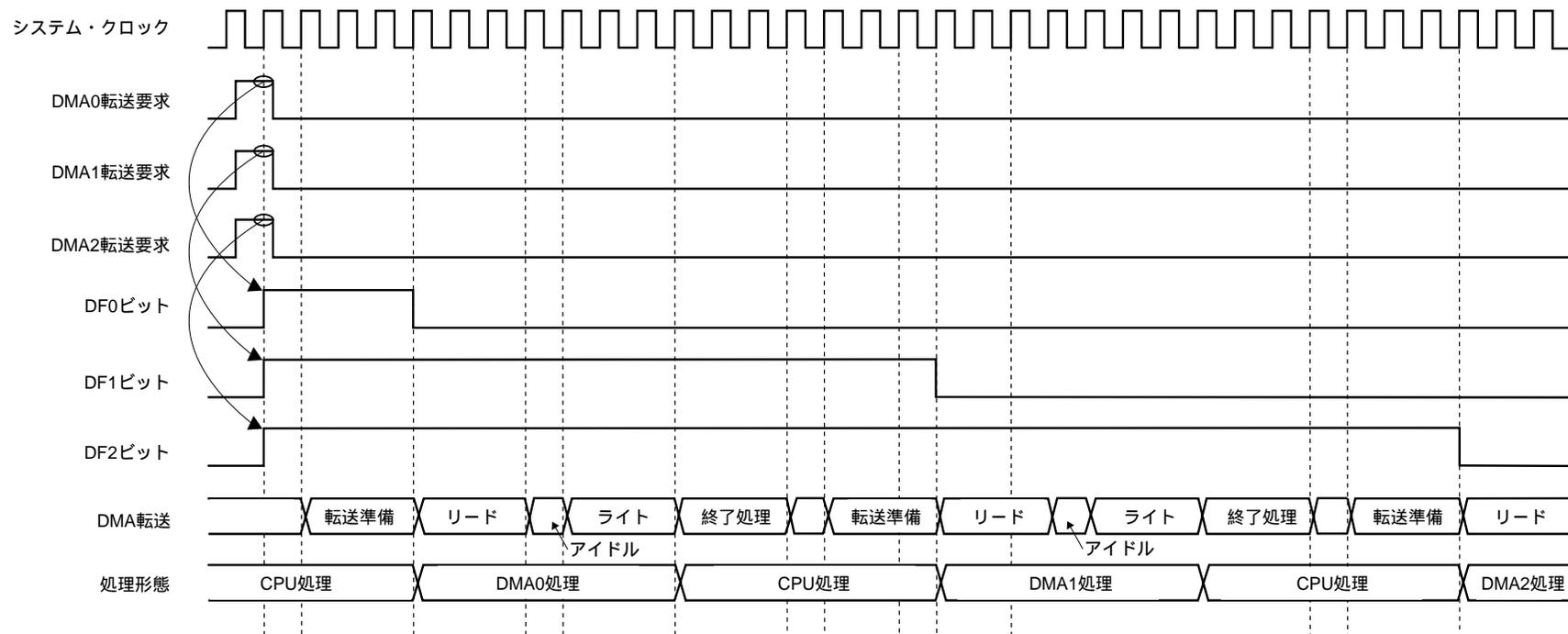
DBCnレジスタに設定した回数分DMA転送が終了し、DCHCn.Ennビットがクリア(0)、TCnビットがセット(1)されると、割り込みコントローラ (INTC) に対して、DMA転送終了割り込み要求信号 (INTDMA_n) を発生します (n = 0-3)。

V850ES/Hx3では、ターミナル・カウント信号を外部に出力していませんので、DMA転送終了割り込み、またはTCnビットのポーリングによりDMA転送の完了を確認してください。

17.12 動作タイミング

図17 - 1から図17 - 4にDMAの動作タイミングを示します。

図17-1 DMAの優先順位(1)



備考1. DMA0 DMA1 DMA2の順で転送。

2. 外部メモリ空間↔外部メモリ空間の場合(マルチプレクス・バス, ウェイトなし)。

図17-2 DMAの優先順位(2)

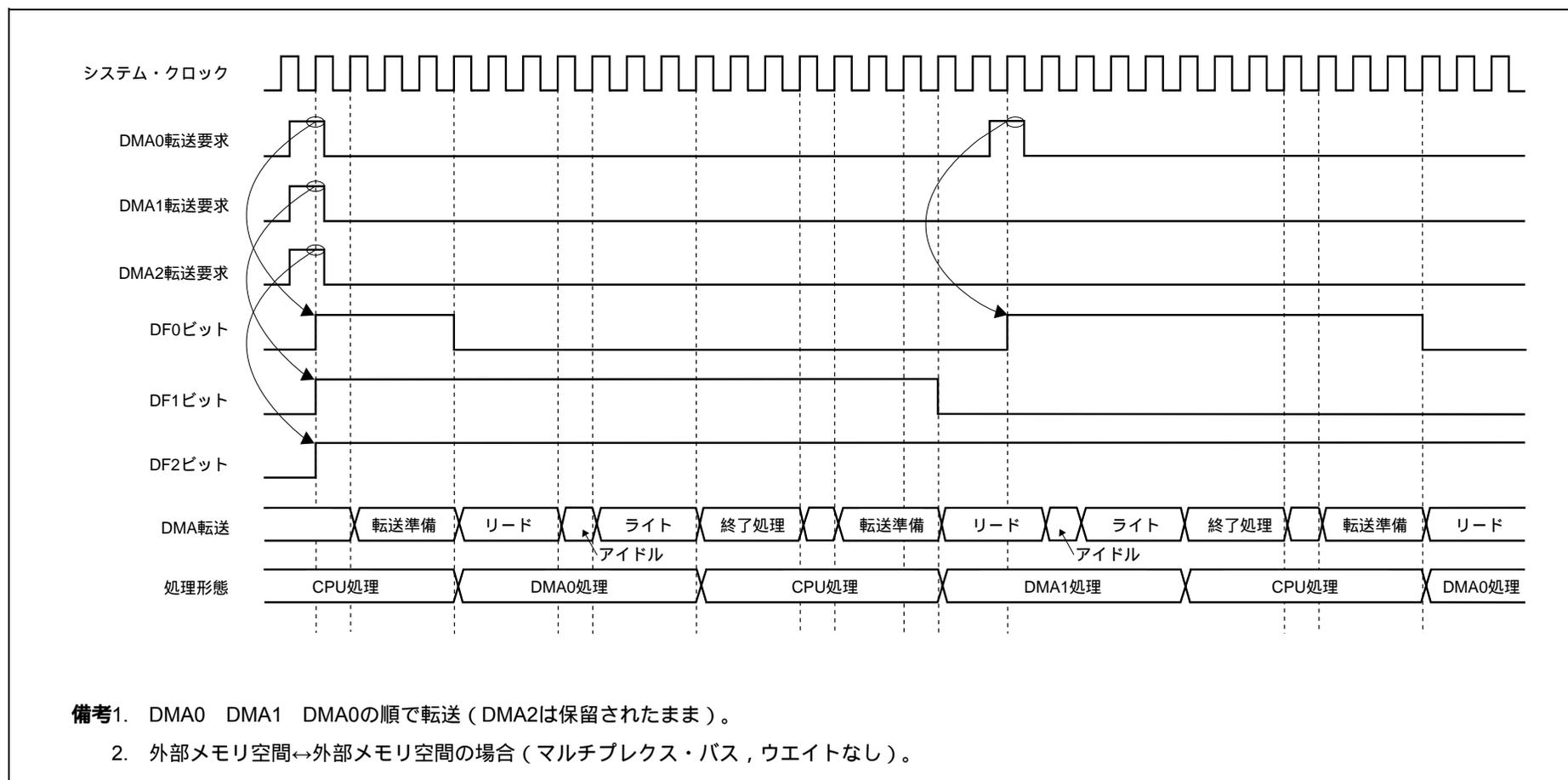


図17 - 3 DMAの転送要求が無視される期間 (1)

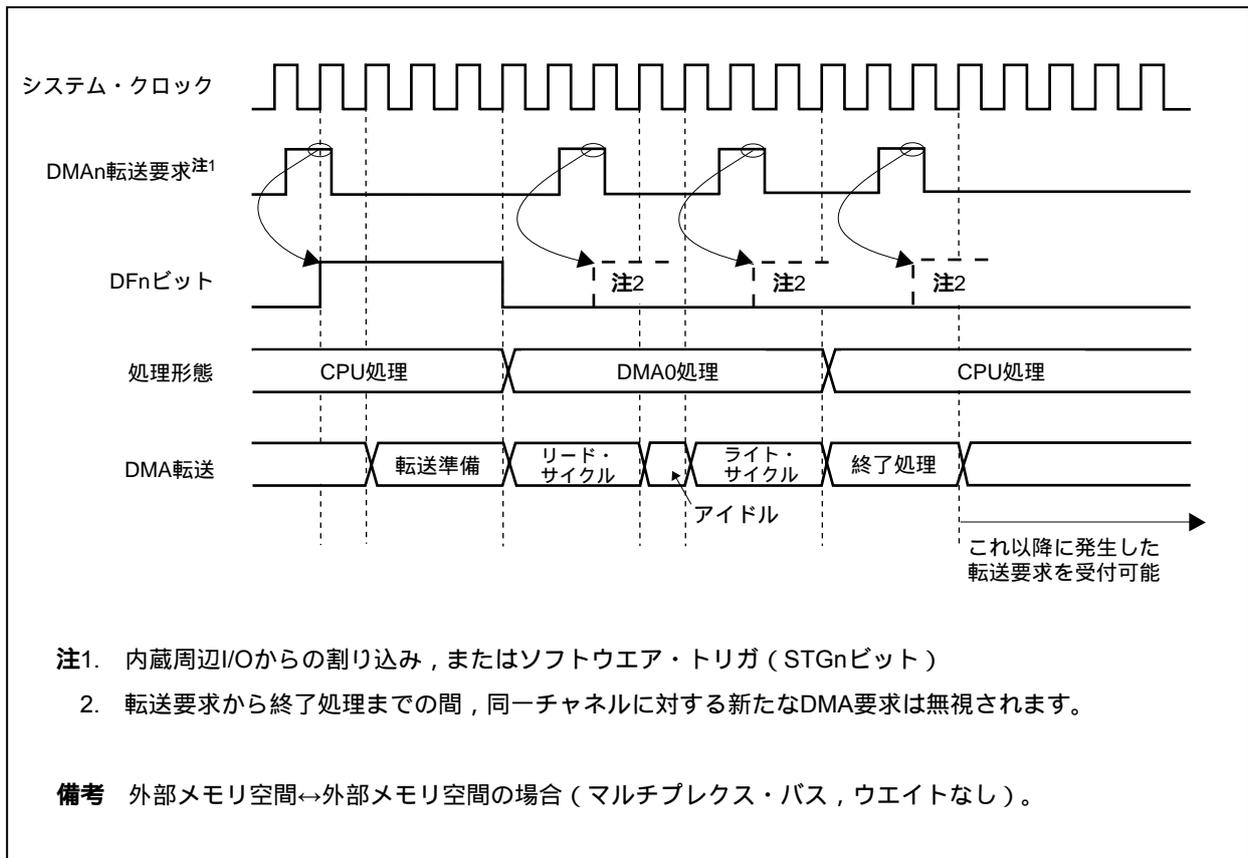
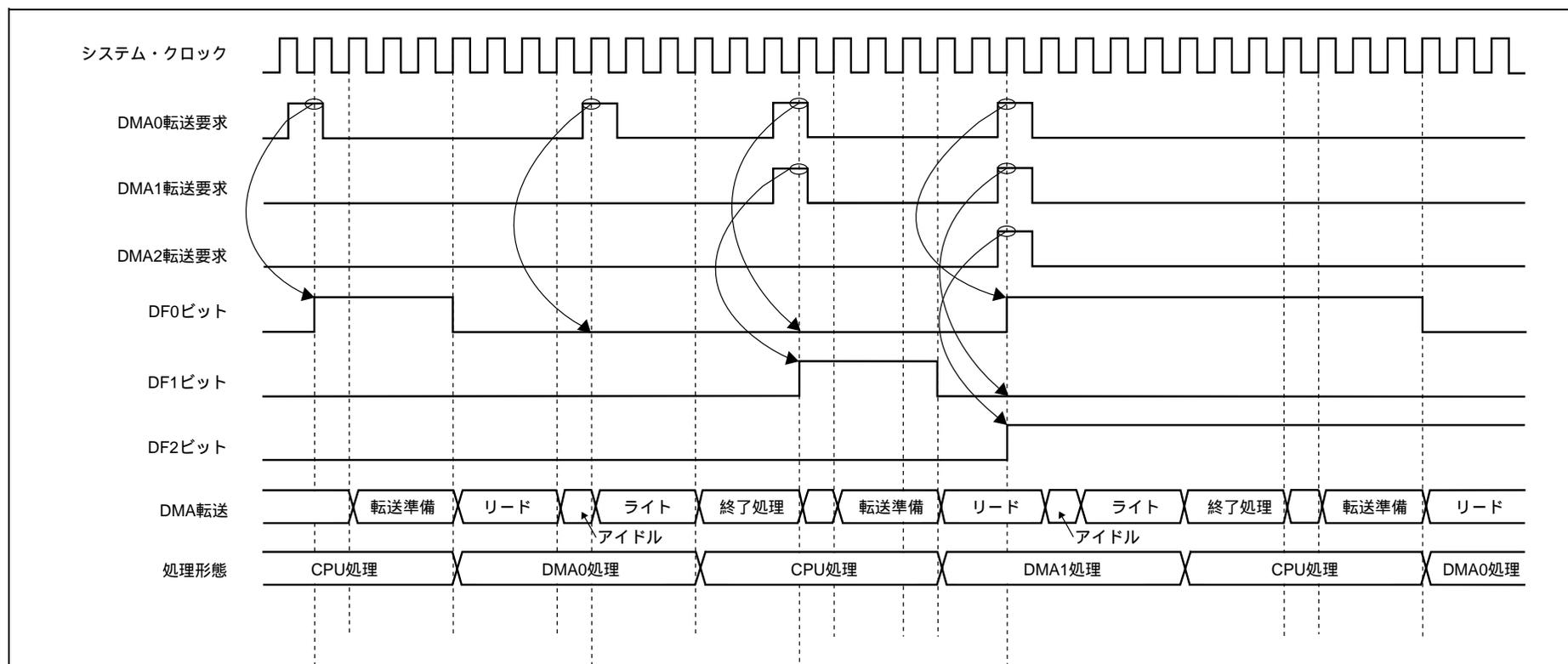


図17-4 DMAの転送要求が無視される期間(2)



DMA0転送要求

DMA0転送中に新たなDMA0転送要求が発生

DMA転送中の同一チャンネルのDMA要求は無視される

DMA0とDMA1の要求が同時発生

DMA0の要求は無視される（転送中の同一チャンネルのDMA要求は無視される）

DMA1の要求が受け付けられる

DMA0とDMA1とDMA2の要求が同時に発生

DMA1の要求は無視される（転送中の同一チャンネルのDMA要求は無視される）

優先順位によりDMA0の要求が受け付けられる。DMA2の要求は保留（次はDMA2の転送が発生）

17.13 注意事項

(1) VSWCレジスタに関する注意

DMACを使用する際は、必ずVSWCレジスタに、動作周波数に応じた最適な値を設定してください。

VSWCレジスタの初期値 (77H)、または最適な値以外でを使用した場合は正常に動作できません (VSWCレジスタの詳細については、3.4.8 (1) (a) システム・ウェイト・コントロール・レジスタ (VSWC) を参照してください)。

(2) 内蔵RAMを転送対象とするDMA転送時の注意

内蔵RAMに配置された次の命令を実行する場合は、内蔵RAMを対象 (転送先 / 転送元) とするDMA転送を行わないでください。その後CPUが正常に動作しない可能性があります。

- ・内蔵RAMに配置されたミス・アライン・アドレスに対するデータ・アクセス命令

逆に、内蔵RAMを対象 (転送先 / 転送元) としたDMA転送を行う場合は、上記の命令を実行しないでください。

(3) DCHCn.TCnビットのリードに関する注意事項 (n = 0-3)

TCnビットは、読み出しによりクリア (0) されますが、ある特定タイミングにおいてTCnビットをリードしても、自動的にクリア (0) されません。TCnビットのクリアを確実に実行するために次の処理を追加してください。

(a) TCnビットをポーリングしてDMA転送完了の待ち合わせを行う場合

TCnビットがセット (1) されたことを確認したあと (TCnビット = 1が読み出されたあと)、さらに3回のTCnビットのリードを行ってください。

(b) 割り込み処理ルーチンでTCnビットのリードを行う場合

TCnビットのリードを3回実行してください。

(4) DMA転送の初期化手順について (DCHCn.INITnビットのセット (1))

DMA転送中のチャンネルを初期化するとき、INITnビットをセット (1) しても、チャンネルの初期化が行われない場合があります。初期化を確実に実行するために、次に示す2つの手順のいずれかを実行させてください。

(a) 一時的にすべてのDMAチャンネルの転送を停止させる方法

次に示す ~ の手順で初期化を実行してください。

ただし、次の に示す処理の実行により、TCnビットがクリア (0) されてしまいます。ほかの処理において、TCnビット = 1となっていることを期待したプログラムになっていないことを確認してください。

割り込み禁止状態 (DI) にする。

強制終了したいチャンネル以外で使用しているDMAチャンネルのDCHCn.Ennビットを読み出し、汎用レジスタに転送する。

使用しているDMAチャンネル (強制終了するチャンネルを含む) のEnnビットをクリア (0) する。最終のDMAチャンネルの場合にはEnnビットのクリア命令を2回実行する。このとき、転送対象 (転送元 / 転送先) が内蔵RAMの場合は、3回実行する。

例 チャンネル0, 1, 2を使用している場合には、次の順で命令を実行する (転送対象が内蔵RAMでない場合)。

- ・ DCHC0 = 00Hを書き込む (E00ビットのクリア (0))
- ・ DCHC1 = 00Hを書き込む (E11ビットのクリア (0))
- ・ DCHC2 = 00Hを書き込む (E22ビットのクリア (0))
- ・ 再度、DCHC2 = 00Hを書き込む (E22ビットのクリア (0))

強制終了するチャンネルにDCHCn = 04を書き込む (INITnビットのセット (1))

強制終了しない各チャンネルのTCnビットを読み出し、TCnビットと で読み出したEnnビットが、ともに1 (論理積 (AND) が1) の場合は退避していたEnnビットをクリア (0) する。

で操作後のEnnビットをDCHCnレジスタに書き込む。

割り込み許可状態 (EI) にする。

- 注意1. 上記 は、 , の間に正常終了したチャンネルに対して、再度Ennビットを不正にセットすることを防ぐため、必ず行ってください。
2. 上記 のEnnビットのクリア (0)、および のINITnビットのセット (1) はビット操作命令で使用すると、TCnビットがクリア (0) されてしまうので禁止です。

(b) 正常に強制終了するまでINITnビットのセットを繰り返し実行する方法

強制終了したいチャンネルのDMA要求元からのリクエストが発生しないようにする (内蔵周辺I/Oの動作停止)。

DTFRn.DFnビットにより、強制終了するチャンネルのDMA転送要求が保留されていないかを確認する。保留されている場合は、保留されているDMA転送要求の実行が完了するまで待つ。

強制終了するチャンネルのDMA要求が保留されていないことが確認できたら、Ennビットをクリア (0) する。

再度、強制終了するチャンネルのEnnビットをクリア (0) する。

ただし、強制終了するチャンネルの転送対象 (転送元 / 転送先) が内蔵RAMの場合は、この操作をさらにもう一度実行する。

強制終了するチャンネルの初期転送回数を汎用レジスタにコピーする。

強制終了するチャンネルのINITnビットをセット (1) する。

強制終了するチャンネルのDBCnレジスタの値を読み出し、 でコピーした値と比較する。比較した結果、一致しない場合は から の操作を繰り返す。

- 備考1.** でDBCnレジスタの値を読み出すと、正常に強制終了を完了した場合は初期転送回数が読み出されず。未完了の場合は残りの転送回数が読み出されます。
2. (b)の方法は、強制終了の対象となっているDMAチャンネル以外のDMA転送が頻繁に行われるようなアプリケーションの場合、強制終了されるまでに時間を要する可能性があるので注意してください。

(5) DMA転送の一時中断手順について (Ennビットのクリア)

実行中のDMA転送を中断し、再開するには次の手順にしたがってください。

DMA要求元からの転送要求が発生しないようにする (内蔵周辺I/Oの動作を停止)。

DFnビットにより、DMA転送要求が保留されていないかを確認する (DFnビット = 0であることを確認)。保留されている場合は、保留されているDMA転送要求の実行が完了するまで待つ。

DMA転送要求が保留されていないことを確認できたら、Ennビットをクリア (0) する (この操作により、DMA転送が中断される)。

DMA転送を再開させるためにEnnビットをセット (1) する。

停止しているDMA要求元の動作を再開する (内蔵周辺I/Oの動作を開始)。

(6) メモリ境界

DMA転送中に、転送元、または転送先のアドレスがDMA対象 (外部メモリ、内蔵RAM、内蔵周辺I/O) の領域を越えた場合の動作は保証できません。

(7) ミス・アライン・データの転送

16ビット・バス幅のミス・アライン・データのDMA転送はサポートしていません。

奇数アドレスを転送元、または転送先に指定した場合、アドレスの最下位ビットは強制的に0として扱われます。

(8) CPUへのバス・アービトレーション

バス使用権の優先順位はCPUよりDMAコントローラが高いため、DMA転送中に発生したCPUのアクセスは、DMA転送サイクルが完了しCPUにバスが開放されるまで待たされます。

ただし、CPUは内蔵ROMおよびDMA転送を行っていない内蔵RAMにアクセスが可能です。

【例】

- ・外部メモリ 内蔵周辺I/Oとの間でDMA転送が行われているとき、CPUは内蔵ROM、内蔵RAMにアクセスできます。
- ・内蔵周辺I/O 内蔵RAMでDMA転送が行われているとき、CPUは内蔵ROMにアクセスできます。

(9) DMA動作中の書き換え禁止レジスタ/ビット

次のレジスタの設定は、DMA動作中でない次のいずれかのタイミングで行ってください。

【対象レジスタ】

- ・DSAnH, DSAnL, DDAAnH, DDAAnL, DBCn, DADCnレジスタ
- ・DTFRn.IFCn5-IFCn0ビット

【設定可能タイミング】

- ・リセット後から最初のDMA転送開始までの期間
- ・チャンネル初期化後からDMA転送開始までの時間
- ・DMA転送完了後 (TCnビット = 1の状態) から次のDMA転送開始までの期間

(10) 次のレジスタの各ビットには、必ず“0”を設定してください。

- ・DSAnHレジスタのビット14-10
- ・DDAAnHレジスタのビット14-10
- ・DADCnレジスタのビット15, 13-8, 3-0
- ・DCHCnレジスタのビット6-3

(11) DMAの起動要因

同じ起動要因で複数のDMAチャンネルを起動しないでください。起動した場合、すでに設定済みのチャンネルのDMAが起動されたり、優先順位の低いDMAチャンネルが優先順位の高いDMAチャンネルより先に受け付けられたりする場合があります、動作は保証できません。

(12) DSA_n, DDA_nレジスタの読み出し値

DMA転送中にDSA_n, DDA_nレジスタの値を読み出した場合、更新途中の値が読み出されることがあります (n = 0-3)。

たとえば、DMA転送元アドレス (DSA_nレジスタ) が0000FFFFH、カウント方向がインクリメント (DADC_n.SAD1, SAD0ビット = 00)の場合、DSA_nHレジスタ DSA_nLレジスタの順に読み出しを行うと、DSA_nHレジスタ読み出し直後のDMA転送の有無によって、DSA_nLレジスタの値が次のように異なります。

(a) DSA_nレジスタの読み出し中にDMA転送が発生しない場合

DSA_nHレジスタの読み出し : DSA_nH = 0000H

DSA_nLレジスタの読み出し : DSA_nL = FFFFH

(b) DSA_nレジスタの読み出し中にDMA転送が発生する場合

DSA_nHレジスタの読み出し : DSA_nH = 0000H

DMA転送の発生

DSA_nレジスタのインクリメント : DSA_n = 00100000H

DSA_nLレジスタの読み出し : DSA_nL = 0000H

第18章 割り込み / 例外処理機能

V850ES/Hx3は、割り込み処理用に専用の割り込みコントローラ（INTC）を内蔵し、合計52～80要因の割り込み要求を処理できる割り込み機能を実現しています。

なお、割り込みをプログラムの実行とは別に独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。

V850ES/Hx3では、内蔵している周辺ハードウェアおよび外部からの各種割り込み要求信号を処理できます。さらに、TRAP命令による例外処理の起動（ソフトウェア例外）や、例外事象の発生（不正命令コードのフェッチ）による例外処理の起動（例外トラップ）が可能です。

18.1 特徴

割り込み

- ・ ノンマスカブル割り込み : 2要因（外部1本，内部1要因）
- ・ マスカブル割り込み : 表18 - 1参照
- ・ 8レベルのプログラマブル優先順位制御（マスカブル割り込み）
- ・ 優先順位に従った割り込み多重処理制御
- ・ 個々のマスカブル割り込み要求に対するマスク指定
- ・ 外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

例外

- ・ ソフトウェア例外 : 32要因
- ・ 例外トラップ : 2要因（不正命令コード例外，デバッグ・トラップ）

V850ES/Hx3のマスカブル割り込みの要因数を表18 - 1に示します。

表18 - 1 V850ES/Hx3のマスカブル割り込み

		内部要因	外部要因	合計
V850ES/HE3		42要因	8要因	50要因
V850ES/HF3		42要因	8要因	50要因
V850ES/HG3		50要因	11要因	61要因
V850ES/HJ3	μ PD70F3755	57要因	15要因	72要因
	μ PD70F3757	63要因	15要因	78要因

V850ES/Hx3の割り込み / 例外要因を表18 - 2～表18 - 4に示します。

表18 - 2 V850ES/HE3,V850ES/HF3の割り込み要因一覧 (1/3)

種類	分類	DP ^{注1}	名称	トリガ	発生ユニット	例外コード	ハンドラ・アドレス	復帰PC	割り込み制御レジスタ
リセット	割り込み	-	RESET	RESET端子入力 / 内部要因からのリセット入力	RESET	0000H	00000000H	不定	-
ノンマスクابل	割り込み	-	NMI	NMI端子有効エッジ入力	端子	0010H	00000010H	nextPC	-
		-	INTWDT2	WDT2のオーバフロー	WDT2	0020H	00000020H	注2	-
ソフトウェア例外	例外	-	TRAP0 ^{注3}	TRAP命令	-	004nH ^{注3}	00000040H	nextPC	-
		-	TRAP1n ^{注3}	TRAP命令	-	005nH ^{注3}	00000050H	nextPC	-
例外トラップ	例外	-	ILGOP/ DBG0	不正命令コード / DBTRAP命令	-	0060H	00000060H	nextPC	-
マスクابل	割り込み	0	INTLVIL	低電圧検出 (基準レベルを下まわる電圧)	POCLVI	0080H	00000080H	nextPC	LVILIC
		1	INTLVIH	低電圧検出 (基準レベルを上まわる電圧)	POCLVI	0090H	00000090H	nextPC	LVIHIC
		2	INTP0	外部割り込み端子入力エッジ検出 (INTP0)	端子	00A0H	000000A0H	nextPC	PIC0
		3	INTP1	外部割り込み端子入力エッジ検出 (INTP1)	端子	00B0H	000000B0H	nextPC	PIC1
		4	INTP2	外部割り込み端子入力エッジ検出 (INTP2)	端子	00C0H	000000C0H	nextPC	PIC2
		5	INTP3	外部割り込み端子入力エッジ検出 (INTP3)	端子	00D0H	000000D0H	nextPC	PIC3
		6	INTP4	外部割り込み端子入力エッジ検出 (INTP4)	端子	00E0H	000000E0H	nextPC	PIC4
		7	INTP5	外部割り込み端子入力エッジ検出 (INTP5)	端子	00F0H	000000F0H	nextPC	PIC5
		8	INTP6	外部割り込み端子入力エッジ検出 (INTP6)	端子	0100H	00000100H	nextPC	PIC6
		9	INTP7	外部割り込み端子入力エッジ検出 (INTP7)	端子	0110H	00000110H	nextPC	PIC7
		10	INTTAB0OV	TAB0オーバフロー	TAB0	0120H	00000120H	nextPC	TAB0OVIC
		11	INTTAB0CC0	TAB0キャプチャ0 / コンペア0一致	TAB0	0130H	00000130H	nextPC	TAB0CCIC0
		12	INTTAB0CC1	TAB0キャプチャ1 / コンペア1一致	TAB0	0140H	00000140H	nextPC	TAB0CCIC1
		13	INTTAB0CC2	TAB0キャプチャ2 / コンペア2一致	TAB0	0150H	00000150H	nextPC	TAB0CCIC2
14	INTTAB0CC3	TAB0キャプチャ3 / コンペア3一致	TAB0	0160H	00000160H	nextPC	TAB0CCIC3		

注1. DP : デフォルト・プライオリティ

2. INTWDT2の場合の復帰については18. 2. 2 (2) INTWDT2信号の場合を参照してください。

3. n = 0H-FH

表18 - 2 V850ES/HE3, V850ES/HF3の割り込み要因一覧 (2/3)

種類	分類	DP ^注	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制 御レジスタ
マスクابل	割り込み	15	INTTAA0OV	TAA0オーバフロー	TAA0	0170H	00000170H	nextPC	TAA0OVIC
		16	INTTAA0CC0	TAA0キャプチャ0 / コンペ ア0一致	TAA0	0180H	00000180H	nextPC	TAA0CCIC0
		17	INTTAA0CC1	TAA0キャプチャ1 / コンペ ア1一致	TAA0	0190H	00000190H	nextPC	TAA0CCIC1
		18	INTTAA1OV	TAA1オーバフロー	TAA1	01A0H	000001A0H	nextPC	TAA1OVIC
		19	INTTAA1CC0	TAA1キャプチャ0 / コンペ ア0一致	TAA1	01B0H	000001B0H	nextPC	TAA1CCIC0
		20	INTTAA1CC1	TAA1キャプチャ1 / コンペ ア1一致	TAA1	01C0H	000001C0H	nextPC	TAA1CCIC1
		21	INTTAA2OV	TAA2オーバフロー	TAA2	01D0H	000001D0H	nextPC	TAA2OVIC
		22	INTTAA2CC0	TAA2キャプチャ0 / コンペ ア0一致	TAA2	01E0H	000001E0H	nextPC	TAA2CCIC0
		23	INTTAA2CC1	TAA2キャプチャ1 / コンペ ア1一致	TAA2	01F0H	000001F0H	nextPC	TAA2CCIC1
		24	INTTAA3OV	TAA3オーバフロー	TAA3	0200H	00000200H	nextPC	TAA3OVIC
		25	INTTAA3CC0	TAA3キャプチャ0 / コンペ ア0一致	TAA3	0210H	00000210H	nextPC	TAA3CCIC0
		26	INTTAA3CC1	TAA3キャプチャ1 / コンペ ア1一致	TAA3	0220H	00000220H	nextPC	TAA3CCIC1
		27	INTTAA4OV	TAA4オーバフロー	TAA4	0230H	00000230H	nextPC	TAA4OVIC
		28	INTTAA4CC0	TAA4キャプチャ0 / コンペ ア0一致	TAA4	0240H	00000240H	nextPC	TAA4CCIC0
		29	INTTAA4CC1	TAA4キャプチャ1 / コンペ ア1一致	TAA4	0250H	00000250H	nextPC	TAA4CCIC1
		30	INTTM0EQ0	TMM0コンペア一致	TMM0	0260H	00000260H	nextPC	TM0EQIC0
		31	INTCB0R	CSIB0受信完了 / エラー	CSIB0	0270H	00000270H	nextPC	CB0RIC
		32	INTCB0T	CSIB0連続送信書き込み許可	CSIB0	0280H	00000280H	nextPC	CB0TIC
		33	INTCB1R	CSIB1受信完了 / エラー	CSIB1	0290H	00000290H	nextPC	CB1RIC
		34	INTCB1T	CSIB1連続送信書き込み許可	CSIB1	02A0H	000002A0H	nextPC	CB1TIC
		35	INTUD0S	UARTD0ステータス	UARTD0	02B0H	000002B0H	nextPC	UD0SIC
		36	INTUD0R	UARTD0受信完了	UARTD0	02C0H	000002C0H	nextPC	UD0RIC
		37	INTUD0T	UARTD0送信許可	UARTD0	02D0H	000002D0H	nextPC	UD0TIC
		38	INTUD1S	UARTD1ステータス	UARTD1	02E0H	000002E0H	nextPC	UD1SIC
		39	INTUD1R	UARTD1受信完了	UARTD1	02F0H	000002F0H	nextPC	UD1RIC
		40	INTUD1T	UARTD1送信許可	UARTD1	0300H	00000300H	nextPC	UD1TIC
		41	INTIIC0	IIC0転送終了	IIC0	0310H	00000310H	nextPC	IIC0IC
		42	INTAD	A/D変換終了	A/D	0320H	00000320H	nextPC	ADIC
		43	INTDMA0	DMA0転送終了	DMA	0370H	00000370H	nextPC	DMAIC0

注 DP : デフォルト・プライオリティ

表18 - 2 V850ES/HE3, V850ES/HF3の割り込み要因一覧 (3/3)

種類	分類	DP ^注	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制 御レジスタ
マスカブル	割り込み	44	INTDMA1	DMA1転送終了	DMA	0380H	00000380H	nextPC	DMAIC1
		45	INTDMA2	DMA2転送終了	DMA	0390H	00000390H	nextPC	DMAIC2
		46	INTDMA3	DMA3転送終了	DMA	03A0H	000003A0H	nextPC	DMAIC3
		47	INTKR	キー・リターン割り込み要求	KR	03B0H	000003B0H	nextPC	KRIC
		48	INTWTI	時計タイマのインターバル	WT	03C0H	000003C0H	nextPC	WTIIC
		49	INTWT	時計タイマの基準時間	WT	03D0H	000003D0H	nextPC	WTIC

注 DP : デフォルト・プライオリティ

備考1. デフォルト・プライオリティ : 複数の同一優先順位レベルのマスカブル割り込み要求信号が同時に発生している場合に優先される順位です。0が最高優先順位です。

ノンマスカブル割り込みの優先順位は、INTWDT2 > NMIとなります。

復帰PC : 割り込み処理起動時に、CPUのEIPC、FEPCまたはDBPCにセーブされるプログラム・カウンタ (PC) のことです。なお、次の命令実行中にノンマスカブル / マスカブル割り込みを受け付けた場合の復帰PCはnextPCとはなりません (命令実行中に割り込みを受け付けると実行を中止し、割り込み処理完了後に再実行されます)。

- ・ロード命令 (SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W)
- ・除算命令 (DIV, DIVH, DIVU, DIVHU)
- ・PREPARE, DISPOSE命令 (スタック・ポインタの更新前に割り込みが発生した場合のみ)

nextPC : 割り込み / 例外処理後に処理を開始するPC値です。

2. 不正命令コード例外時の不正命令の実行アドレスは、(復帰PC - 4) で求められます。

表18-3 V850ES/HG3の割り込み要因一覧 (1/3)

種類	分類	DP ^{注1}	名称	トリガ	発生ユニット	例外コード	ハンドラ・アドレス	復帰PC	割り込み制御レジスタ
リセット	割り込み	-	RESET	RESET端子入力 / 内部要因からのリセット入力	RESET	0000H	00000000H	不定	-
ノンマスクابل	割り込み	-	NMI	NMI端子有効エッジ入力	端子	0010H	00000010H	nextPC	-
		-	INTWDT2	WDT2のオーバフロー	WDT2	0020H	00000020H	注2	-
ソフトウェア例外	例外	-	TRAP0 ^{注3}	TRAP命令	-	004nH ^{注3}	00000040H	nextPC	-
		-	TRAP1n ^{注3}	TRAP命令	-	005nH ^{注3}	00000050H	nextPC	-
例外トラップ	例外	-	ILGOP/ DBG0	不正命令コード / DBTRAP命令	-	0060H	00000060H	nextPC	-
マスクابل	割り込み	0	INTLVIL	低電圧検出 (基準レベルを下まわる電圧)	POCLVI	0080H	00000080H	nextPC	LVILIC
		1	INTLVIH	低電圧検出 (基準レベルを上まわる電圧)	POCLVI	0090H	00000090H	nextPC	LVIHIC
		2	INTP0	外部割り込み端子入力エッジ検出 (INTP0)	端子	00A0H	000000A0H	nextPC	PIC0
		3	INTP1	外部割り込み端子入力エッジ検出 (INTP1)	端子	00B0H	000000B0H	nextPC	PIC1
		4	INTP2	外部割り込み端子入力エッジ検出 (INTP2)	端子	00C0H	000000C0H	nextPC	PIC2
		5	INTP3	外部割り込み端子入力エッジ検出 (INTP3)	端子	00D0H	000000D0H	nextPC	PIC3
		6	INTP4	外部割り込み端子入力エッジ検出 (INTP4)	端子	00E0H	000000E0H	nextPC	PIC4
		7	INTP5	外部割り込み端子入力エッジ検出 (INTP5)	端子	00F0H	000000F0H	nextPC	PIC5
		8	INTP6	外部割り込み端子入力エッジ検出 (INTP6)	端子	0100H	00000100H	nextPC	PIC6
		9	INTP7	外部割り込み端子入力エッジ検出 (INTP7)	端子	0110H	00000110H	nextPC	PIC7
		10	INTTAB0OV	TAB0オーバフロー	TAB0	0120H	00000120H	nextPC	TAB0OVIC
		11	INTTAB0CC0	TAB0キャプチャ0 / コンペア0一致	TAB0	0130H	00000130H	nextPC	TAB0CCIC0
		12	INTTAB0CC1	TAB0キャプチャ1 / コンペア1一致	TAB0	0140H	00000140H	nextPC	TAB0CCIC1
		13	INTTAB0CC2	TAB0キャプチャ2 / コンペア2一致	TAB0	0150H	00000150H	nextPC	TAB0CCIC2
14	INTTAB0CC3	TAB0キャプチャ3 / コンペア3一致	TAB0	0160H	00000160H	nextPC	TAB0CCIC3		

注1. DP : デフォルト・プライオリティ

2. INTWDT2の場合の復帰については18. 2. 2 (2) INTWDT2信号の場合を参照してください。

3. n = 0H-FH

表18 - 3 V850ES/HG3の割り込み要因一覧 (2/3)

種類	分類	DP ^注	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制 御レジスタ
マスクابل	割り込み	15	INTTAA0OV	TAA0オーバフロー	TAA0	0170H	00000170H	nextPC	TAA0OVIC
		16	INTTAA0CC0	TAA0キャプチャ0 / コンペ ア0一致	TAA0	0180H	00000180H	nextPC	TAA0CCIC0
		17	INTTAA0CC1	TAA0キャプチャ1 / コンペ ア1一致	TAA0	0190H	00000190H	nextPC	TAA0CCIC1
		18	INTTAA1OV	TAA1オーバフロー	TAA1	01A0H	000001A0H	nextPC	TAA1OVIC
		19	INTTAA1CC0	TAA1キャプチャ0 / コンペ ア0一致	TAA1	01B0H	000001B0H	nextPC	TAA1CCIC0
		20	INTTAA1CC1	TAA1キャプチャ1 / コンペ ア1一致	TAA1	01C0H	000001C0H	nextPC	TAA1CCIC1
		21	INTTAA2OV	TAA2オーバフロー	TAA2	01D0H	000001D0H	nextPC	TAA2OVIC
		22	INTTAA2CC0	TAA2キャプチャ0 / コンペ ア0一致	TAA2	01E0H	000001E0H	nextPC	TAA2CCIC0
		23	INTTAA2CC1	TAA2キャプチャ1 / コンペ ア1一致	TAA2	01F0H	000001F0H	nextPC	TAA2CCIC1
		24	INTTAA3OV	TAA3オーバフロー	TAA3	0200H	00000200H	nextPC	TAA3OVIC
		25	INTTAA3CC0	TAA3キャプチャ0 / コンペ ア0一致	TAA3	0210H	00000210H	nextPC	TAA3CCIC0
		26	INTTAA3CC1	TAA3キャプチャ1 / コンペ ア1一致	TAA3	0220H	00000220H	nextPC	TAA3CCIC1
		27	INTTAA4OV	TAA4オーバフロー	TAA4	0230H	00000230H	nextPC	TAA4OVIC
		28	INTTAA4CC0	TAA4キャプチャ0 / コンペ ア0一致	TAA4	0240H	00000240H	nextPC	TAA4CCIC0
		29	INTTAA4CC1	TAA4キャプチャ1 / コンペ ア1一致	TAA4	0250H	00000250H	nextPC	TAA4CCIC1
		30	INTTM0EQ0	TMM0コンペア一致	TMM0	0260H	00000260H	nextPC	TM0EQIC0
		31	INTCB0R	CSIB0受信完了 / エラー	CSIB0	0270H	00000270H	nextPC	CB0RIC
		32	INTCB0T	CSIB0連続送信書き込み許可	CSIB0	0280H	00000280H	nextPC	CB0TIC
		33	INTCB1R	CSIB1受信完了 / エラー	CSIB1	0290H	00000290H	nextPC	CB1RIC
		34	INTCB1T	CSIB1連続送信書き込み許可	CSIB1	02A0H	000002A0H	nextPC	CB1TIC
		35	INTUD0S	UARTD0ステータス	UARTD0	02B0H	000002B0H	nextPC	UD0SIC
		36	INTUD0R	UARTD0受信完了	UARTD0	02C0H	000002C0H	nextPC	UD0RIC
		37	INTUD0T	UARTD0送信許可	UARTD0	02D0H	000002D0H	nextPC	UD0TIC
		38	INTUD1S	UARTD1ステータス	UARTD1	02E0H	000002E0H	nextPC	UD1SIC
		39	INTUD1R	UARTD1受信完了	UARTD1	02F0H	000002F0H	nextPC	UD1RIC
		40	INTUD1T	UARTD1送信許可	UARTD1	0300H	00000300H	nextPC	UD1TIC
		41	INTIIC0	IIC0転送終了	IIC0	0310H	00000310H	nextPC	IIC0IC
		42	INTAD	A/D変換終了	A/D	0320H	00000320H	nextPC	ADIC
		43	INTDMA0	DMA0転送終了	DMA	0370H	00000370H	nextPC	DMAIC0

注 DP : デフォルト・プライオリティ

表18 - 3 V850ES/HG3の割り込み要因一覧 (3/3)

種類	分類	DP ^注	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制 御レジスタ
マスクابل	割り込み	44	INTDMA1	DMA1転送終了	DMA	0380H	00000380H	nextPC	DMAIC1
		45	INTDMA2	DMA2転送終了	DMA	0390H	00000390H	nextPC	DMAIC2
		46	INTDMA3	DMA3転送終了	DMA	03A0H	000003A0H	nextPC	DMAIC3
		47	INTKR	キー・リターン割り込み要求	KR	03B0H	000003B0H	nextPC	KRIC
		48	INTWTI	時計タイマのインターバル	WT	03C0H	000003C0H	nextPC	WTIIC
		49	INTWT	時計タイマの基準時間	WT	03D0H	000003D0H	nextPC	WTIC
		50	INTP8	外部割り込み端子入力エッジ検出 (INTP8)	端子	0400H	00000400H	nextPC	PIC8
		51	INTP9	外部割り込み端子入力エッジ検出 (INTP9)	端子	0410H	00000410H	nextPC	PIC9
		52	INTP10	外部割り込み端子入力エッジ検出 (INTP10)	端子	0420H	00000420H	nextPC	PIC10
		53	INTTAB1OV	TAB1オーバフロー	TAB1	0430H	00000430H	nextPC	TAB1OVIC
		54	INTTAB1CC0	TAB1キャプチャ0 / コンペア0一致	TAB1	0440H	00000440H	nextPC	TAB1CCIC0
		55	INTTAB1CC1	TAB1キャプチャ1 / コンペア1一致	TAB1	0450H	00000450H	nextPC	TAB1CCIC1
		56	INTTAB1CC2	TAB1キャプチャ2 / コンペア2一致	TAB1	0460H	00000460H	nextPC	TAB1CCIC2
		57	INTTAB1CC3	TAB1キャプチャ3 / コンペア3一致	TAB1	0470H	00000470H	nextPC	TAB1CCIC3
		58	INTUD2S	UARTD2ステータス	UARTD2	0480H	00000480H	nextPC	UA2SIC
		59	INTUD2R	UARTD2受信完了 / エラー	UARTD2	0490H	00000490H	nextPC	UA2RIC
		60	INTUD2T	UARTD2送信許可	UARTD2	04A0H	000004A0H	nextPC	UA2TIC

注 DP : デフォルト・プライオリティ

備考1. デフォルト・プライオリティ: 複数の同一優先順位レベルのマスクابل割り込み要求信号が同時に発生している場合に優先される順位です。0が最高優先順位です。

ノンマスクابل割り込みの優先順位は、INTWDT2 > NMIとなります。

復帰PC : 割り込み処理起動時に、CPUのEIPC、FEPCまたはDBPCにセーブされるプログラム・カウンタ (PC) のことです。なお、次の命令実行中にノンマスクابل / マスクابل割り込みを受け付けた場合の復帰PCはnextPCとはなりません (命令実行中に割り込みを受け付けると実行を中止し、割り込み処理完了後に再実行されます)。

- ・ロード命令 (SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W)
- ・除算命令 (DIV, DIVH, DIVU, DIVHU)
- ・PREPARE, DISPOSE命令 (スタック・ポインタの更新前に割り込みが発生した場合のみ)

nextPC : 割り込み / 例外処理後に処理を開始するPC値です。

2. 不正命令コード例外時の不正命令の実行アドレスは、(復帰PC - 4) で求められます。

表18 - 4 V850ES/HJ3の割り込み要因一覧 (1/4)

種類	分類	DP ^{注1}	名称	トリガ	発生ユニット	例外コード	ハンドラ・アドレス	復帰PC	割り込み制御レジスタ
リセット	割り込み	-	RESET	RESET端子入力 / 内部要因からのリセット入力	RESET	0000H	00000000H	不定	-
ノンマスクابل	割り込み	-	NMI	NMI端子有効エッジ入力	端子	0010H	00000010H	nextPC	-
		-	INTWDT2	WDT2のオーバフロー	WDT2	0020H	00000020H	注2	-
ソフトウェア例外	例外	-	TRAP0n ^{注3}	TRAP命令	-	004nH ^{注3}	00000040H	nextPC	-
		-	TRAP1n ^{注3}	TRAP命令	-	005nH ^{注3}	00000050H	nextPC	-
例外トラップ	例外	-	ILGOP/ DBG0	不正命令コード / DBTRAP命令	-	0060H	00000060H	nextPC	-
マスクابل	割り込み	0	INTLVIL	低電圧検出 (基準レベルを下まわる電圧)	POCLVI	0080H	00000080H	nextPC	LVILIC
		1	INTLVIH	低電圧検出 (基準レベルを上まわる電圧)	POCLVI	0090H	00000090H	nextPC	LVIHIC
		2	INTP0	外部割り込み端子入力エッジ検出 (INTP0)	端子	00A0H	000000A0H	nextPC	PIC0
		3	INTP1	外部割り込み端子入力エッジ検出 (INTP1)	端子	00B0H	000000B0H	nextPC	PIC1
		4	INTP2	外部割り込み端子入力エッジ検出 (INTP2)	端子	00C0H	000000C0H	nextPC	PIC2
		5	INTP3	外部割り込み端子入力エッジ検出 (INTP3)	端子	00D0H	000000D0H	nextPC	PIC3
		6	INTP4	外部割り込み端子入力エッジ検出 (INTP4)	端子	00E0H	000000E0H	nextPC	PIC4
		7	INTP5	外部割り込み端子入力エッジ検出 (INTP5)	端子	00F0H	000000F0H	nextPC	PIC5
		8	INTP6	外部割り込み端子入力エッジ検出 (INTP6)	端子	0100H	00000100H	nextPC	PIC6
		9	INTP7	外部割り込み端子入力エッジ検出 (INTP7)	端子	0110H	00000110H	nextPC	PIC7
		10	INTTAB0OV	TAB0オーバフロー	TAB0	0120H	00000120H	nextPC	TAB0OVIC
		11	INTTAB0CC0	TAB0キャプチャ0 / コンペア0一致	TAB0	0130H	00000130H	nextPC	TAB0CCIC0
		12	INTTAB0CC1	TAB0キャプチャ1 / コンペア1一致	TAB0	0140H	00000140H	nextPC	TAB0CCIC1
		13	INTTAB0CC2	TAB0キャプチャ2 / コンペア2一致	TAB0	0150H	00000150H	nextPC	TAB0CCIC2
14	INTTAB0CC3	TAB0キャプチャ3 / コンペア3一致	TAB0	0160H	00000160H	nextPC	TAB0CCIC3		

注1. DP : デフォルト・プライオリティ

2. INTWDT2の場合の復帰については18. 2. 2 (2) INTWDT2信号の場合を参照してください。

3. n = 0H-FH

表18 - 4 V850ES/HJ3の割り込み要因一覧 (2/4)

種類	分類	DP ^{注1}	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制 御レジスタ
マスクブル	割り込み	15	INTTAA0OV	TAA0オーバフロー	TAA0	0170H	00000170H	nextPC	TAA0OVIC
		16	INTTAA0CC0	TAA0キャプチャ0 / コンペ ア0一致	TAA0	0180H	00000180H	nextPC	TAA0CCIC0
		17	INTTAA0CC1	TAA0キャプチャ1 / コンペ ア1一致	TAA0	0190H	00000190H	nextPC	TAA0CCIC1
		18	INTTAA1OV	TAA1オーバフロー	TAA1	01A0H	000001A0H	nextPC	TAA1OVIC
		19	INTTAA1CC0	TAA1キャプチャ0 / コンペ ア0一致	TAA1	01B0H	000001B0H	nextPC	TAA1CCIC0
		20	INTTAA1CC1	TAA1キャプチャ1 / コンペ ア1一致	TAA1	01C0H	000001C0H	nextPC	TAA1CCIC1
		21	INTTAA2OV	TAA2オーバフロー	TAA2	01D0H	000001D0H	nextPC	TAA2OVIC
		22	INTTAA2CC0	TAA2キャプチャ0 / コンペ ア0一致	TAA2	01E0H	000001E0H	nextPC	TAA2CCIC0
		23	INTTAA2CC1	TAA2キャプチャ1 / コンペ ア1一致	TAA2	01F0H	000001F0H	nextPC	TAA2CCIC1
		24	INTTAA3OV	TAA3オーバフロー	TAA3	0200H	00000200H	nextPC	TAA3OVIC
		25	INTTAA3CC0	TAA3キャプチャ0 / コンペ ア0一致	TAA3	0210H	00000210H	nextPC	TAA3CCIC0
		26	INTTAA3CC1	TAA3キャプチャ1 / コンペ ア1一致	TAA3	0220H	00000220H	nextPC	TAA3CCIC1
		27	INTTAA4OV	TAA4オーバフロー	TAA4	0230H	00000230H	nextPC	TAA4OVIC
		28	INTTAA4CC0	TAA4キャプチャ0 / コンペ ア0一致	TAA4	0240H	00000240H	nextPC	TAA4CCIC0
		29	INTTAA4CC1	TAA4キャプチャ1 / コンペ ア1一致	TAA4	0250H	00000250H	nextPC	TAA4CCIC1
		30	INTTM0EQ0	TMM0コンペア一致	TMM0	0260H	00000260H	nextPC	TM0EQIC0
		31	INTCB0R	CSIB0受信完了 / エラー	CSIB0	0270H	00000270H	nextPC	CB0RIC
		32	INTCB0T	CSIB0連続送信書き込み許可	CSIB0	0280H	00000280H	nextPC	CB0TIC
		33	INTCB1R	CSIB1受信完了 / エラー	CSIB1	0290H	00000290H	nextPC	CB1RIC
		34	INTCB1T	CSIB1連続送信書き込み許可	CSIB1	02A0H	000002A0H	nextPC	CB1TIC
		35	INTUD0S	UARTD0ステータス	UARTD0	02B0H	000002B0H	nextPC	UD0SIC
		36	INTUD0R	UARTD0受信完了	UARTD0	02C0H	000002C0H	nextPC	UD0RIC
		37	INTUD0T	UARTD0送信許可	UARTD0	02D0H	000002D0H	nextPC	UD0TIC
		38	INTUD1S	UARTD1ステータス	UARTD1	02E0H	000002E0H	nextPC	UD1SIC
		39	INTUD1R	UARTD1受信完了	UARTD1	02F0H	000002F0H	nextPC	UD1RIC
		40	INTUD1T	UARTD1送信許可	UARTD1	0300H	00000300H	nextPC	UD1TIC
		41	INTIIC0	IIC0転送終了	IIC0	0310H	00000310H	nextPC	IIC0IC
			INTUD4S ^{注2}	UATD4ステータス ^{注2}	UARTD4 ^{注2}				UD4SIC ^{注2}
		42	INTAD	A/D変換終了	A/D	0320H	00000320H	nextPC	ADIC
		43	INTDMA0	DMA0転送終了	DMA	0370H	00000370H	nextPC	DMAIC0

注1. DP : デフォルト・プライオリティ

2. μPD70F3757のみ

表18 - 4 V850ES/HJ3の割り込み要因一覧 (3/4)

種類	分類	DP ^{注1}	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制 御レジスタ
マスクابل	割り込み	44	INTDMA1	DMA1転送終了	DMA	0380H	00000380H	nextPC	DMAIC1
		45	INTDMA2	DMA2転送終了	DMA	0390H	00000390H	nextPC	DMAIC2
		46	INTDMA3	DMA3転送終了	DMA	03A0H	000003A0H	nextPC	DMAIC3
		47	INTKR	キー・リターン割り込み要求	KR	03B0H	000003B0H	nextPC	KRIC
		48	INTWTI	時計タイマのインターバル	WT	03C0H	000003C0H	nextPC	WTIIC
		49	INTWT	時計タイマの基準時間	WT	03D0H	000003D0H	nextPC	WTIC
		50	INTP8	外部割り込み端子入力エッジ検出 (INTP8)	端子	0400H	00000400H	nextPC	PIC8
		51	INTP9	外部割り込み端子入力エッジ検出 (INTP9)	端子	0410H	00000410H	nextPC	PIC9
		52	INTP10	外部割り込み端子入力エッジ検出 (INTP10)	端子	0420H	00000420H	nextPC	PIC10
		53	INTTAB1OV	TAB1オーバフロー	TAB1	0430H	00000430H	nextPC	TAB1OVIC
		54	INTTAB1CC0	TAB1キャプチャ0 / コンペア0一致	TAB1	0440H	00000440H	nextPC	TAB1CCIC0
		55	INTTAB1CC1	TAB1キャプチャ1 / コンペア1一致	TAB1	0450H	00000450H	nextPC	TAB1CCIC1
		56	INTTAB1CC2	TAB1キャプチャ2 / コンペア2一致	TAB1	0460H	00000460H	nextPC	TAB1CCIC2
		57	INTTAB1CC3	TAB1キャプチャ3 / コンペア3一致	TAB1	0470H	00000470H	nextPC	TAB1CCIC3
		58	INTUD2S	UARTD2ステータス	UARTD2	0480H	00000480H	nextPC	UA2SIC
		59	INTUD2R	UARTD2受信完了 / エラー	UARTD2	0490H	00000490H	nextPC	UA2RIC
		60	INTUD2T	UARTD2送信許可	UARTD2	04A0H	000004A0H	nextPC	UA2TIC
		61	INTP11	外部割り込み端子入力エッジ検出 (INTP11)	端子	04F0H	000004F0H	nextPC	PIC11
		62	INTP12	外部割り込み端子入力エッジ検出 (INTP12)	端子	0500H	00000500H	nextPC	PIC12
		63	INTP13	外部割り込み端子入力エッジ検出 (INTP13)	端子	0510H	00000510H	nextPC	PIC13
		64	INTP14	外部割り込み端子入力エッジ検出 (INTP14)	端子	0520H	00000520H	nextPC	PIC14
		65	INTUD3S ^{注2}	UARTD3ステータス ^{注2}	UARTD3 ^{注2}	0530H	00000530H	nextPC	UA3SIC ^{注2}
		66	INTUD3R ^{注2}	UARTD3受信完了 ^{注2}	UARTD3 ^{注2}	0540H	00000540H	nextPC	UA3RIC ^{注2}
		67	INTUD3T ^{注2}	UARTD3送信許可 ^{注2}	UARTD3 ^{注2}	0550H	00000550H	nextPC	UA3TIC ^{注2}
		68	INTUD4R ^{注2}	UARTD4受信完了 ^{注2}	UARTD4 ^{注2}	0560H	00000560H	nextPC	UA4RIC ^{注2}
		69	INTUD4T ^{注2}	UARTD4送信許可 ^{注2}	UARTD4 ^{注2}	0570H	00000570H	nextPC	UA4TIC ^{注2}
		70	INTTAB2OV	TAB2オーバフロー	TAB2	0580H	00000580H	nextPC	TAB2OVIC

注1. DP : デフォルト・プライオリティ

2. μ PD70F3757のみ

表18 - 4 V850ES/HJ3の割り込み要因一覧 (4/4)

種類	分類	DP ^{注1}	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制 御レジスタ
マスクابل	割り込み	71	INTTAB2CC0	TAB2キャプチャ0 / コンペ ア0一致	TAB2	0590H	00000590H	nextPC	TAB2CCIC0
		72	INTTAB2CC1	TAB2キャプチャ1 / コンペ ア1一致	TAB2	05A0H	000005A0H	nextPC	TAB2CCIC1
		73	INTTAB2CC2	TAB2キャプチャ2 / コンペ ア2一致	TAB2	05B0H	000005B0H	nextPC	TAB2CCIC2
		74	INTTAB2CC3	TAB2キャプチャ3 / コンペ ア3一致	TAB2	05C0H	000005C0H	nextPC	TAB2CCIC3
		75	INTUD5S ^{注2}	UARTD5ステータス ^{注2}	UARTD5 ^{注2}	05D0H	000005D0H	nextPC	UA5SIC ^{注2}
		76	INTUD5R ^{注2}	UARTD5受信完了 ^{注2}	UARTD5 ^{注2}	05E0H	000005E0H	nextPC	UA5RIC ^{注2}
			INTCB2R	CSIB2受信完了 / エラー	CSIB2				CB2RIC
		77	INTUD5T ^{注2}	UARTD5送信許可 ^{注2}	UARTD5 ^{注2}	05F0H	000005F0H	nextPC	UA5TIC ^{注2}
INTCB2T	CSIB2連続送信書き込み許 可		CSIB2	CB2TIC					

注1. DP : デフォルト・プライオリティ

2. μ PD70F3757のみ

備考1. デフォルト・プライオリティ : 複数の同一優先順位レベルのマスクابل割り込み要求信号が同時に発生している場合に優先される順位です。0が最高優先順位です。

ノンマスクابل割り込みの優先順位は、INTWDT2 > NMIとなります。

復帰PC : 割り込み処理起動時に、CPUのEIPC、FEPCまたはDBPCにセーブされるプログラム・カウンタ (PC) のことです。なお、次の命令実行中にノンマスクابل / マスクابل割り込みを受け付けた場合の復帰PCはnextPCとはなりません (命令実行中に割り込みを受け付けると実行を中止し、割り込み処理完了後に再実行されます)。

- ・ロード命令 (SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W)
- ・除算命令 (DIV, DIVH, DIVU, DIVHU)
- ・PREPARE, DISPOSE命令 (スタック・ポインタの更新前に割り込みが発生した場合のみ)

nextPC : 割り込み / 例外処理後に処理を開始するPC値です。

2. 不正命令コード例外時の不正命令の実行アドレスは、(復帰PC - 4) で求められます。

18.2 ノンマスカブル割り込み

ノンマスカブル割り込み要求信号は、CPUが割り込み禁止（DI）状態でも無条件に受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込み要求信号に対して最優先されます。

この製品のノンマスカブル割り込み要求信号には、次の2つがあります。

- ・ NMI端子入力（NMI）
- ・ ウォッチドッグ・タイマのオーバフローによるノンマスカブル割り込み要求信号（INTWDT2）

NMI端子の有効エッジは、“立ち上がりエッジ”、“立ち下がりエッジ”、“両エッジ”、“エッジ検出なし”の4種類から選択できます。

NMI端子は、PMC0.PMC02 = 1、かつINTF0.INTF02ビット、INTR0.INTR02ビットを任意の値に設定し希望する有効エッジを指定することにより、その機能が有効となります。

ウォッチドッグ・タイマ2のオーバフローによるノンマスカブル割り込み要求信号（INTWDT2）はWDTM2.WDM21, WDM20ビットを“01”と設定することで機能します。

複数のノンマスカブル割り込み要求信号が重なって発生した場合は、次の優先順位に従って順位の高い処理が事項されます（優先順位の低い割り込み要求信号は無視されます）。

INTWDT2 > NMI

なお、NMI処理中に、新たにNMI, INTWDT2要求信号が発生した場合は次のような処理を行います。

（1）NMI処理中に、新たにNMI要求信号が発生した場合

PSW.NPビットの値によらず、新たなNMI要求信号は保留されます。保留されたNMI要求信号は、現在実行中のNMI処理終了後（RETI命令実行後）に受け付けられます。

（2）NMI処理中に、新たにINTWDT2要求信号が発生した場合

NMI処理中にNPビットがセット（1）されたままであれば、新たなINTWDT2要求信号は保留されます。保留されたINTWDT2要求信号は、現在実行中のNMI処理終了後（RETI命令実行後）に受け付けられます。

NMI処理中にNPビットをクリア（0）すれば、新たに発生したINTWDT2要求信号が実行されます（NMI処理は中断されます）。

注意 ノンマスカブル割り込み要求信号（INTWDT2）によるノンマスカブル割り込み処理については18.2.2（2）INTWDT2信号の場合を参照してください。

図18 - 1 ノンマスカブル割り込み要求信号の受け付け動作 (1/2)

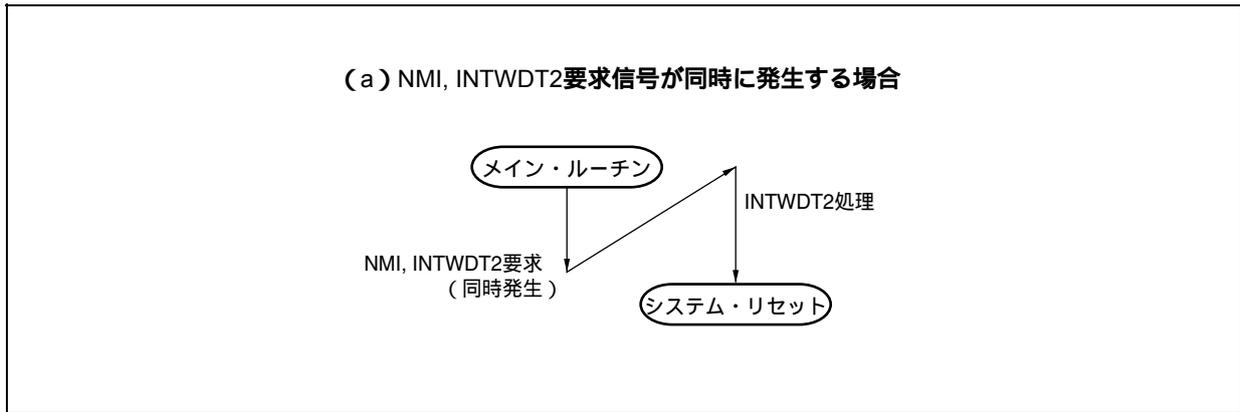


図18 - 1 ノンマスクابل割り込み要求信号の受け付け動作 (2/2)

(b) ノンマスクابل割り込み処理中に新たにノンマスクابل割り込み要求信号が発生する場合	
処理中の ノンマスクابل 割り込み	ノンマスクابل割り込み処理中に新たに発生するノンマスクابل割り込み要求信号
NMI	INTWDT2
<p>・ NMI処理中にNMI要求が発生</p>	<p>・ NMI処理中にINTWDT2要求が発生 (INTWDT2要求前にNPビット = 1のまま)</p> <p>・ NMI処理中にINTWDT2要求が発生 (INTWDT2要求前にNPビット = 0にする)</p> <p>・ NMI処理中にINTWDT2要求が発生 (INTWDT2要求後にNP = 0にする)</p>
<p>・ INTWDT2処理中にNMI要求が発生</p>	<p>・ INTWDT2処理中にINTWDT2要求が発生</p>

18.2.1 動作

ノンマスクブル割り込み要求信号が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをFEPCに退避します。

現在のPSWをFEPSWに退避します。

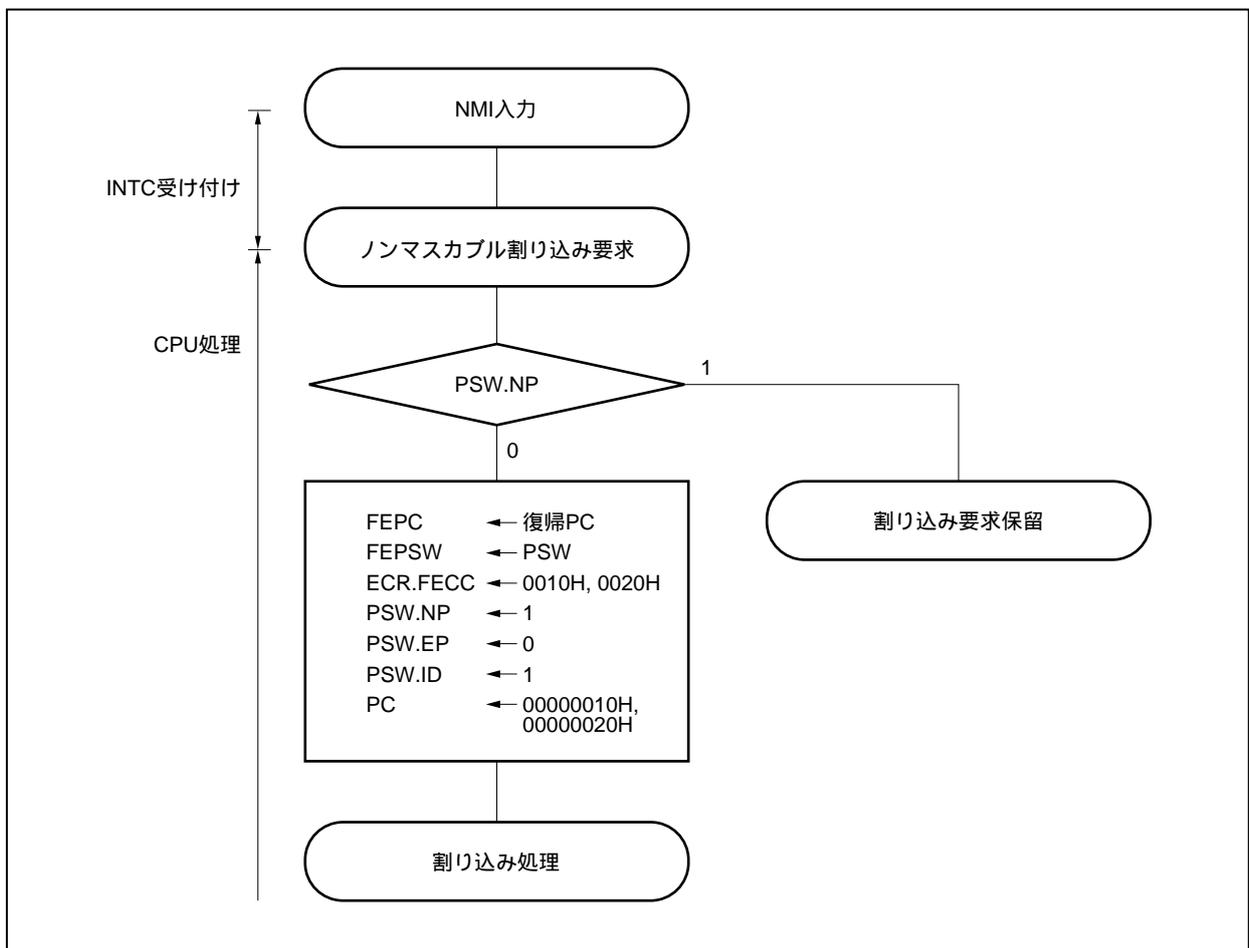
ECRの上位ハーフワード (FECC) に例外コード (0010H, 0020H) を書き込みます。

PSW.NP, IDビットをセット (1) し, PSW.EPビットをクリア (0) します。

PCにノンマスクブル割り込みに対するハンドラ・アドレス (00000010H, 00000020H) をセットし, 制御を移します。

ノンマスクブル割り込みの処理形態を図18 - 2に示します。

図18 - 2 ノンマスクブル割り込みの処理形態



18.2.2 復 帰

(1) NMI端子入力の場合

NMI処理からの復帰は、RETI命令により行います。

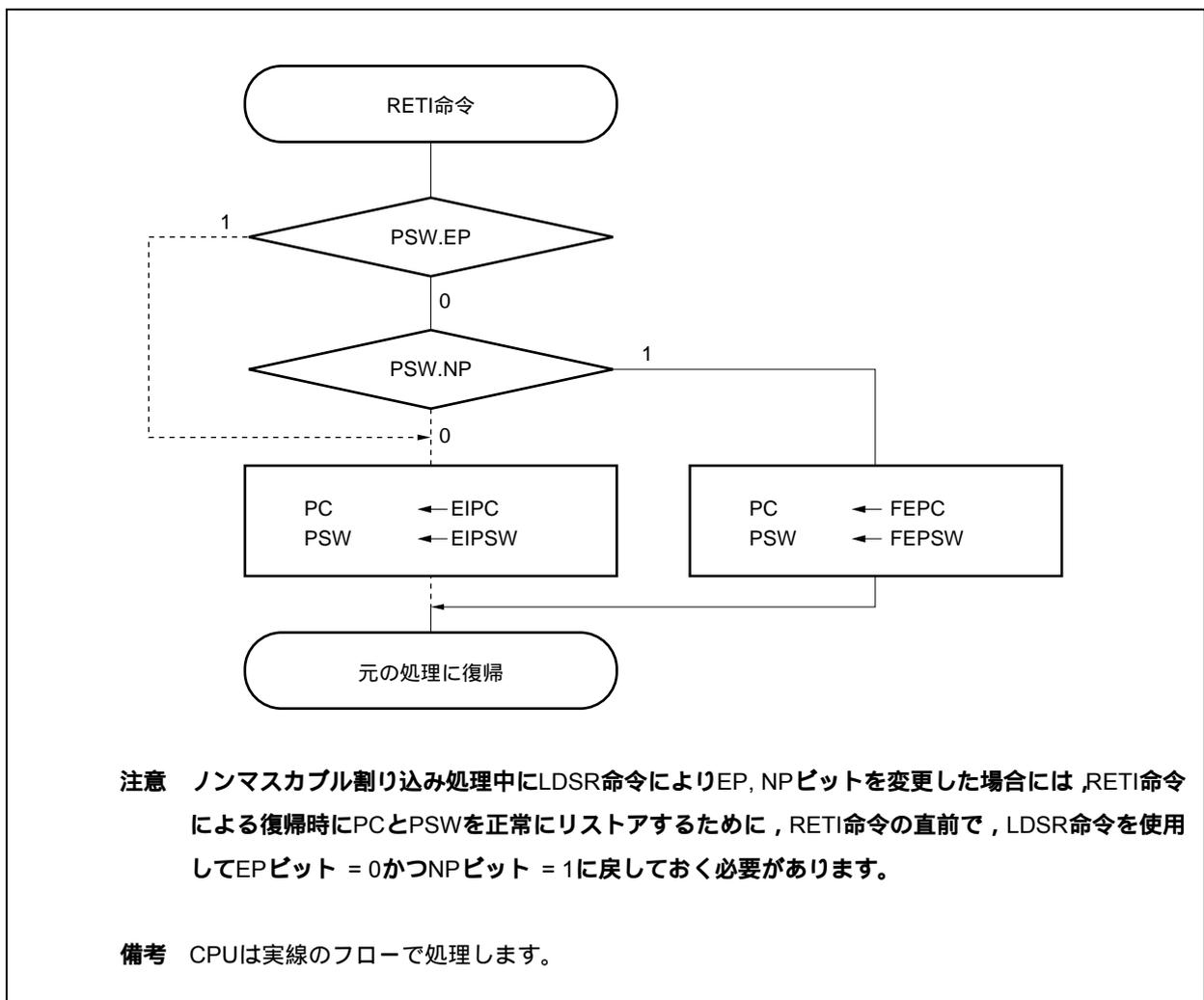
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへの制御を移します。

PSW.EPビットが0かつPSW.NPビットが1なので、FEPC, FEPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を図18 - 3に示します。

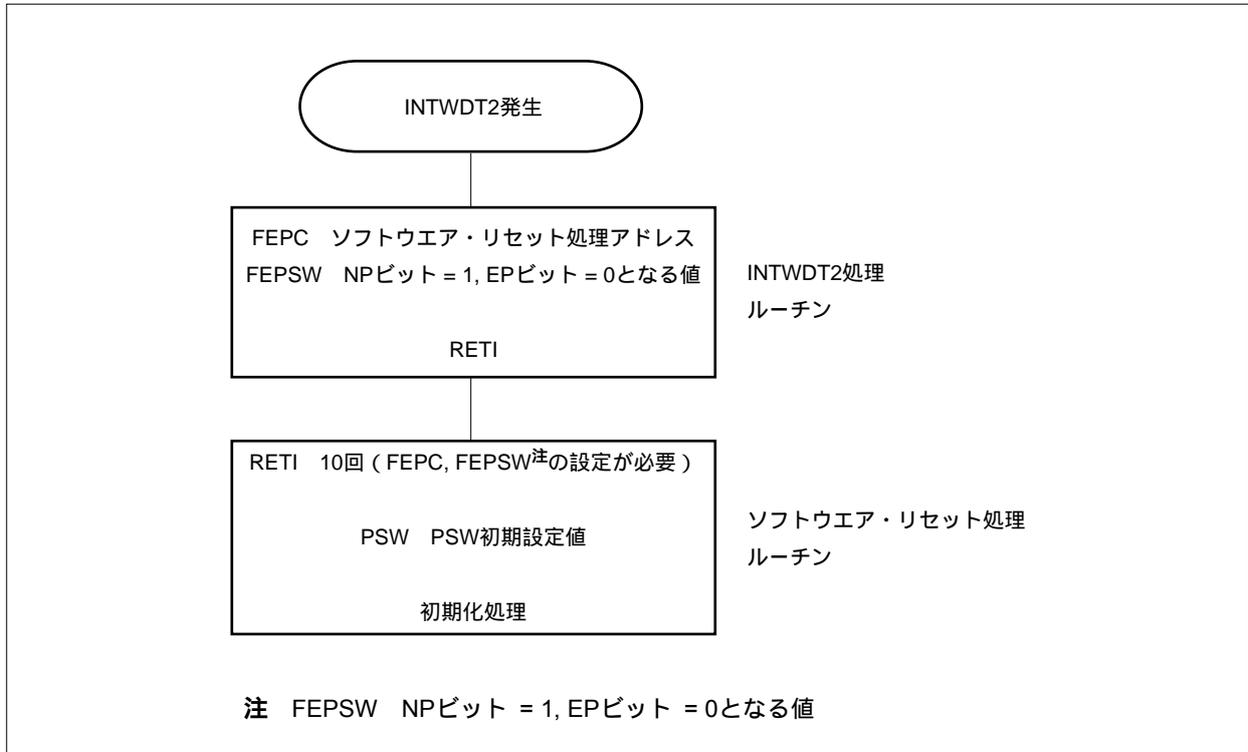
図18 - 3 RETI命令の処理形態



(2) INTWDT2信号の場合

ノンマスクابل割り込み要求 (INTWDT2) によるノンマスクابل割り込み処理実行後に, RETI命令による復帰はできません。次に示すソフトウェア・リセット処理を実行してください。

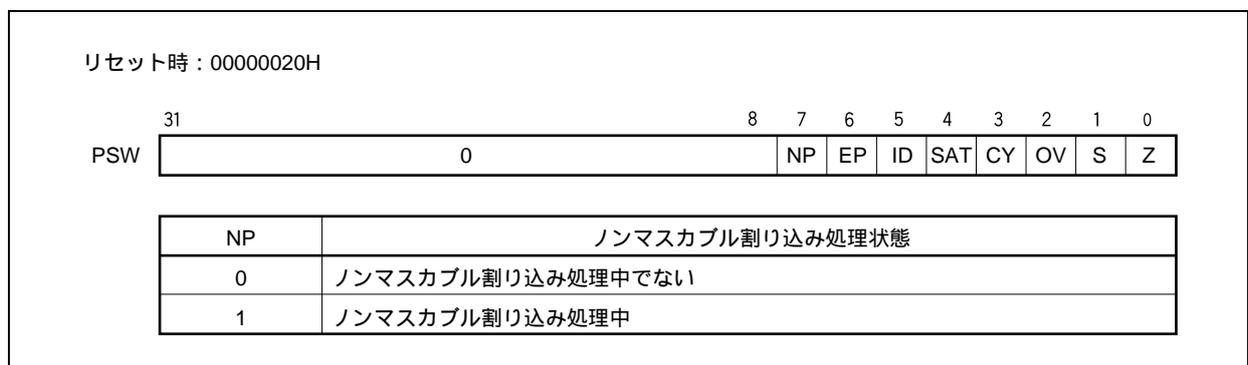
図18 - 4 ソフトウェア・リセット処理



18.2.3 NPフラグ

NPフラグは, ノンマスクابل割り込みの処理中であることを示すステータス・フラグです。

ノンマスクابل割り込み要求信号を受け付けるとセットされ, ノンマスクابل割り込み要求をマスクして多重割り込みを禁止します。



18.3 マスカブル割り込み

マスカブル割り込み要求信号は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求信号で、50～78種類の割り込み要因があります。

複数のマスカブル割り込み要求信号が同時に発生した場合は、デフォルト優先順位により、その優先順位が決定します。また、デフォルト優先順位とは別に、割り込み制御レジスタによって、8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求信号が受け付けられると割り込み禁止（DI）状態になり、以後のマスカブル割り込み要求信号の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり、受け付け中の割り込み要求信号の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求信号の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし、多重割り込みを許可するときは、EI命令を実行する前にEIPC、EIPSWをメモリ、または汎用レジスタに退避し、RETI命令を実行する前にDIを行って、EIPC、EIPSWを元の値に復帰してください。

18.3.1 動作

マスカブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

ECRの下位ハーフワード（EICC）に例外コードを書き込みます。

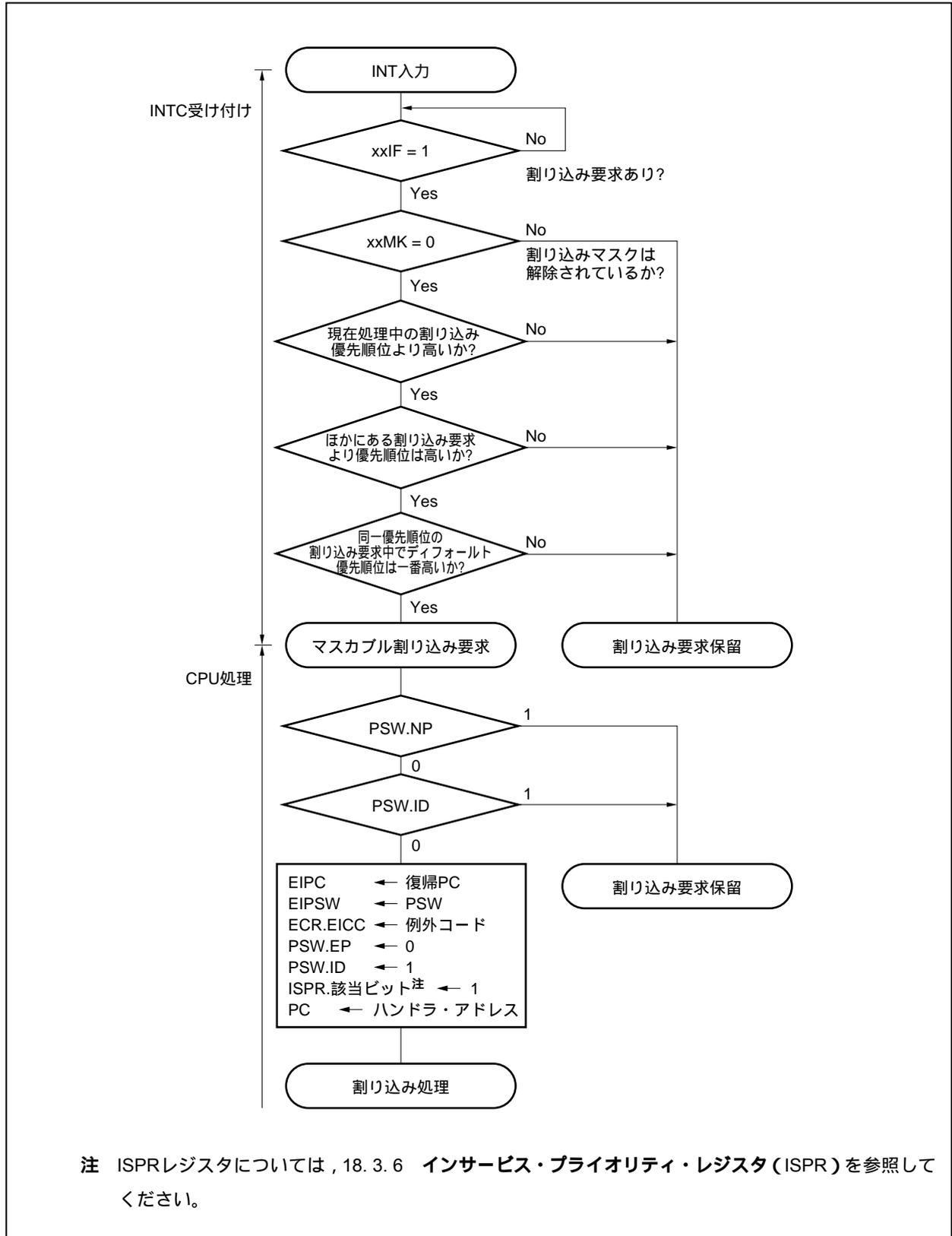
PSW.IDビットをセット（1）し、PSW.EPビットをクリア（0）します。

PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

なお、INTCでマスクされているマスカブル割り込み要求信号と、ほかの割り込み処理中（PSW.NPビット = 1またはIDビット = 1）に発生したマスカブル割り込み要求信号は、INTC内部で保留されます。この場合、マスクを解除するか、またはRETI命令、LDSR命令を使用してNPビット = 0かつIDビット = 0にすると、保留していたマスカブル割り込み要求信号の優先順位に従い、新たなマスカブル割り込み処理が開始されます。

マスカブル割り込みの処理形態を次に示します。

図18 - 5 マスカブル割り込みの処理形態



18.3.2 復 帰

マスクابل割り込み処理からの復帰は、RETI命令により行います。

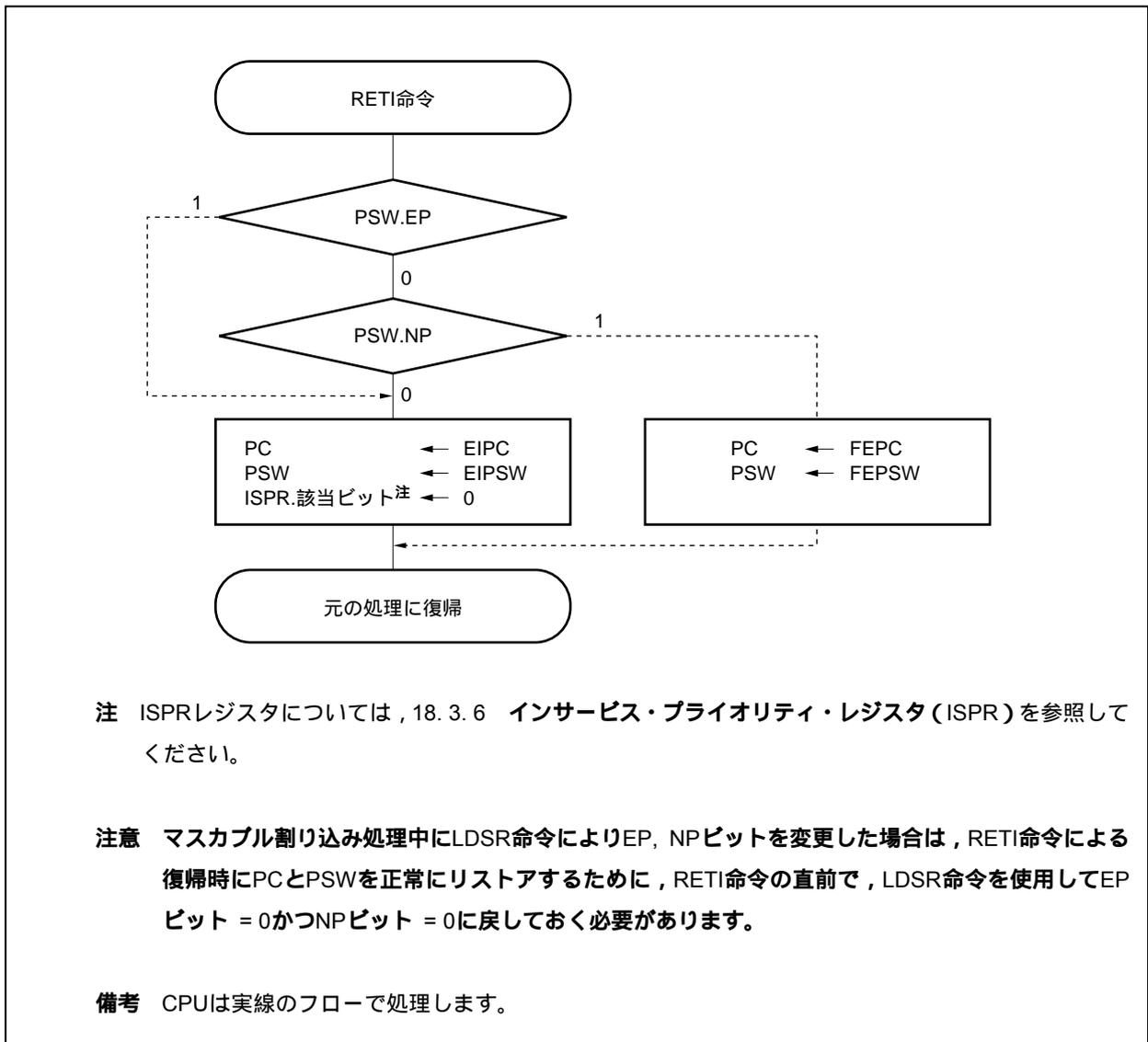
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビットが0かつPSW.NPビットが0なので、EIPC、EIPSWから復帰PC、PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を図18 - 6に示します。

図18 - 6 RETI命令の処理形態



18.3.3 マスカブル割り込みの優先順位

INTCは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込み制御レジスタ (xxICn) の割り込み優先順位指定ビット (xxPRn) によるプログラマブル優先順位制御があります。デフォルト優先順位制御は、xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求信号にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込みを処理します (表18-2~表18-4 **割り込み要因一覧**参照)。プログラマブル優先順位制御は、各割り込み要求信号を優先順位指定フラグの設定によって8レベルに分けます。

なお、割り込み要求信号を受け付けるとPSW.IDフラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア (0) し、割り込み許可状態にしてください。

備考 xx : 各周辺ユニット識別名称 (表18-5 **割り込み制御レジスタ (xxICn)** 参照)

n : 周辺ユニット番号 (表18-5 **割り込み制御レジスタ (xxICn)** 参照)

図18 - 7 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (1/2)

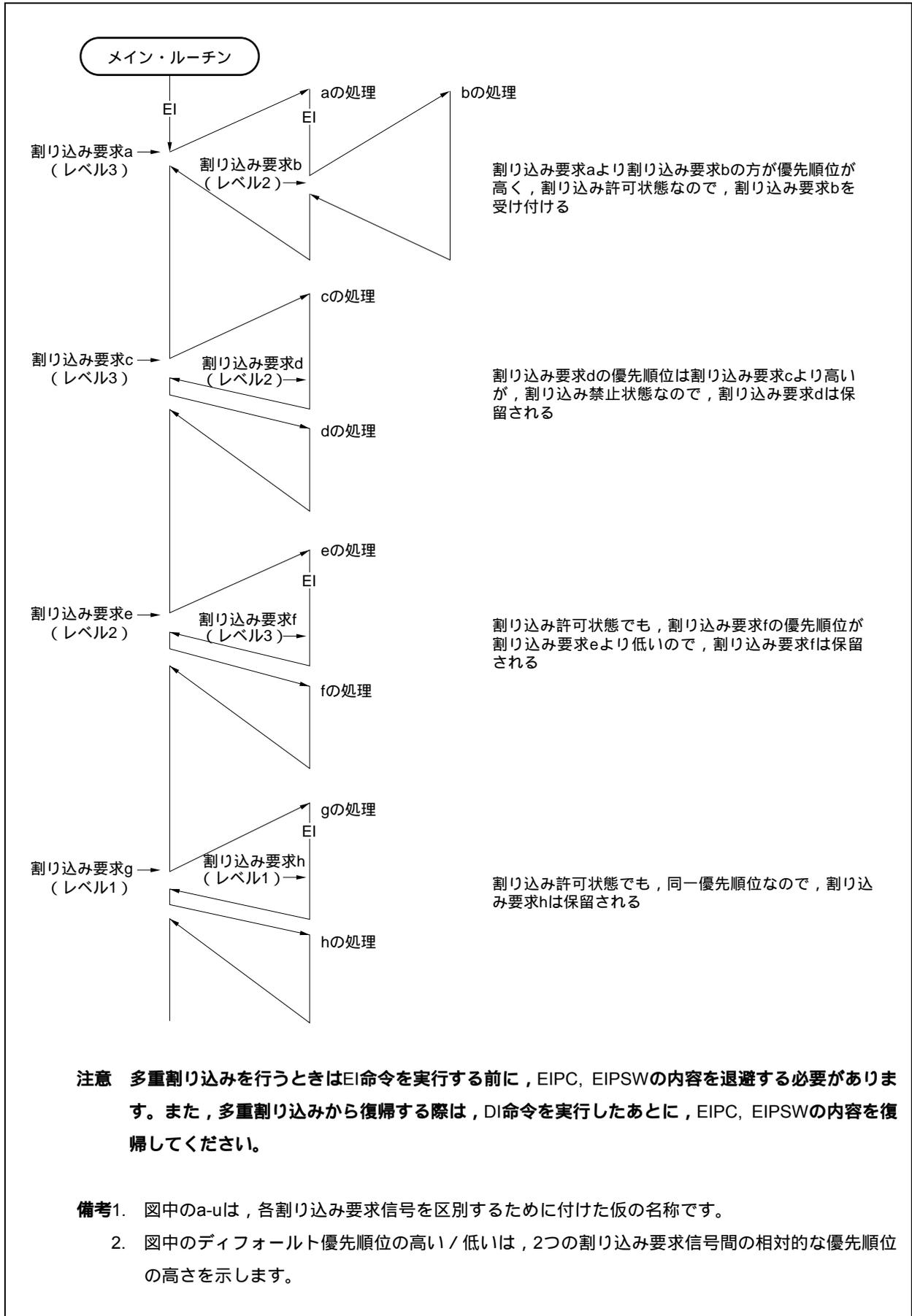


図18 - 7 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (2/2)

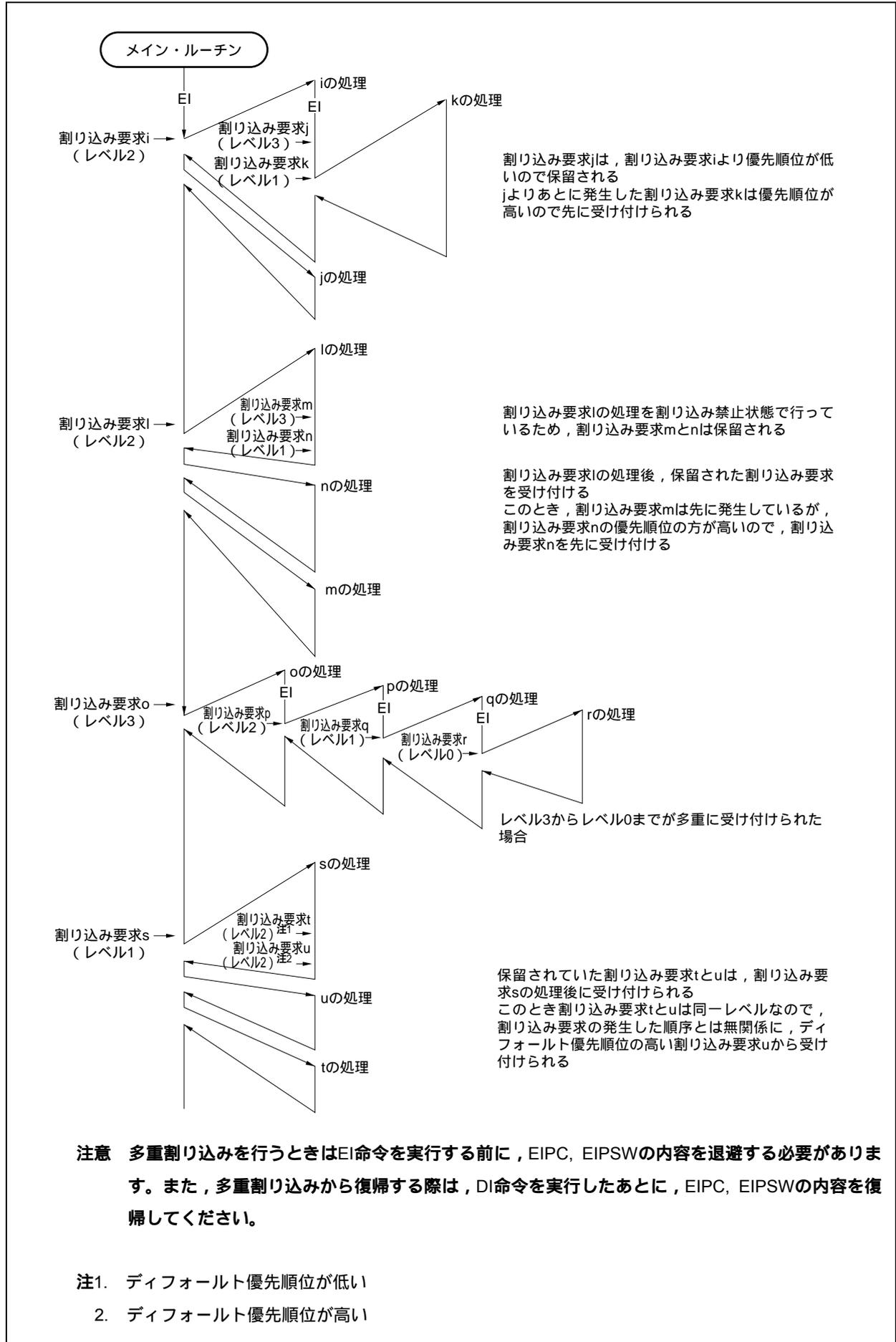
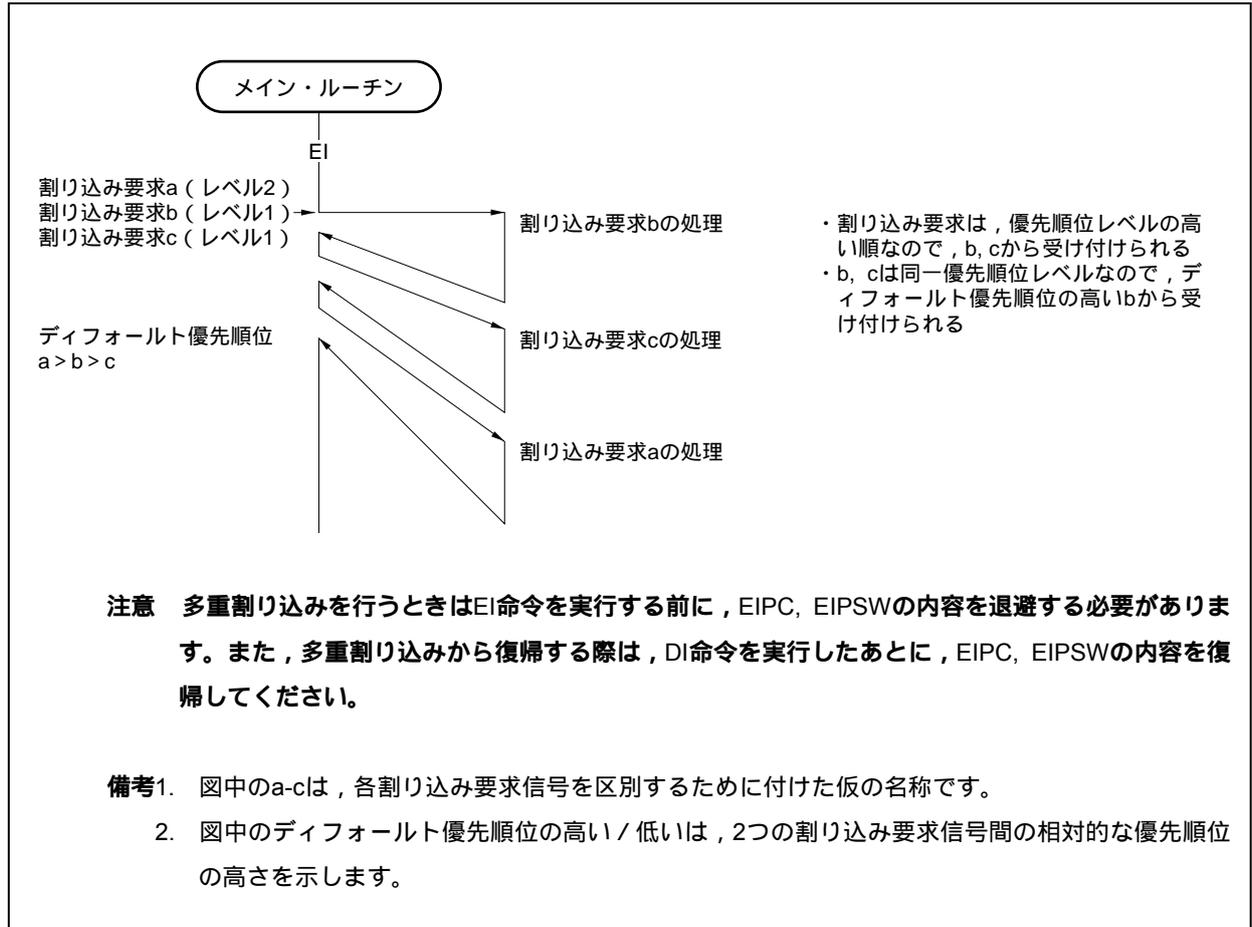


図18 - 8 同時発生した割り込み要求信号の処理例



18.3.4 割り込み制御レジスタ (xxICn)

割り込み要求信号(マスカブル割り込み)ごとに割り当てられ、各割り込みに対する制御条件を設定します。
8/1ビット単位でリード/ライト可能です。
リセットにより47Hになります。

注意 xxICn.xxIFnビットを読み出す場合は、割り込み禁止(DI)状態または割り込みをマスクした状態で行ってください。割り込み許可(EI)状態または割り込みマスクを解除した状態でxxIFnビットを読み出すと、割り込みの受け付けとビットの読み出しのタイミングが競合した場合に、正常な値が読み出せないことがあります。

リセット時: 47H R/W アドレス: FFFFF110H-FFFFFF1A2H

	7	6	5	4	3	2	1	0
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0

xxIFn	割り込み要求フラグ ^注
0	割り込み要求信号なし
1	割り込み要求信号あり

xxMKn	割り込みマスク・フラグ
0	割り込み処理を許可
1	割り込み処理を禁止(保留)

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル0(最高位)を指定
0	0	1	レベル1を指定
0	1	0	レベル2を指定
0	1	1	レベル3を指定
1	0	0	レベル4を指定
1	0	1	レベル5を指定
1	1	0	レベル6を指定
1	1	1	レベル7(最低位)を指定

注 割り込み要求信号が受け付けられるとハードウェアにより自動的にリセットされます。

備考 xx : 各周辺ユニット識別名称(表18-5 割り込み制御レジスタ(xxICn)参照)
n : 周辺ユニット番号(表18-5 割り込み制御レジスタ(xxICn)参照)

各割り込み制御レジスタのアドレスとビットを次に示します。

表18 - 5 割り込み制御レジスタ (xxICn) (1/2)

アドレス	レジスタ	ビット							対象製品				
		7	6	5	4	3	2	1	0	V850ES/HE3	V850ES/HF3	V850ES/HG3	V850ES/HJ3
FFFFF110H	LVILIC	LVILIF	LVILMK	0	0	0	LVILPR2	LVILPR1	LVILPR0				
FFFFF112H	LVIHIC	LVIHIF	LVIHMK	0	0	0	LVIHPR2	LVIHPR1	LVIHPR0				
FFFFF114H	PIC0	PIF0	PMK0	0	0	0	PPR02	PPR01	PPR00				
FFFFF116H	PIC1	PIF1	PMK1	0	0	0	PPR12	PPR11	PPR10				
FFFFF118H	PIC2	PIF2	PMK2	0	0	0	PPR22	PPR21	PPR20				
FFFFF11AH	PIC3	PIF3	PMK3	0	0	0	PPR32	PPR31	PPR30				
FFFFF11CH	PIC4	PIF4	PMK4	0	0	0	PPR42	PPR41	PPR40				
FFFFF11EH	PIC5	PIF5	PMK5	0	0	0	PPR52	PPR51	PPR50				
FFFFF120H	PIC6	PIF6	PMK6	0	0	0	PPR62	PPR61	PPR60				
FFFFF122H	PIC7	PIF7	PMK7	0	0	0	PPR72	PPR71	PPR70				
FFFFF124H	TAB0OVIC	TAB0OVIF	TAB0OVMK	0	0	0	TAB0OVPR2	TAB0OVPR1	TAB0OVPR0				
FFFFF126H	TAB0CCIC0	TAB0CCIF0	TAB0CCMK0	0	0	0	TAB0CCPR02	TAB0CCPR01	TAB0CCPR00				
FFFFF128H	TAB0CCIC1	TAB0CCIF1	TAB0CCMK1	0	0	0	TAB0CCPR12	TAB0CCPR11	TAB0CCPR10				
FFFFF12AH	TAB0CCIC2	TAB0CCIF2	TAB0CCMK2	0	0	0	TAB0CCPR22	TAB0CCPR21	TAB0CCPR20				
FFFFF12CH	TAB0CCIC3	TAB0CCIF3	TAB0CCMK3	0	0	0	TAB0CCPR32	TAB0CCPR31	TAB0CCPR30				
FFFFF12EH	TAA0OVIC	TAA0OVIF	TAA0OVMK	0	0	0	TAA0OVPR2	TAA0OVPR1	TAA0OVPR0				
FFFFF130H	TAA0CCIC0	TAA0CCIF0	TAA0CCMK0	0	0	0	TAA0CCPR02	TAA0CCPR01	TAA0CCPR00				
FFFFF132H	TAA0CCIC1	TAA0CCIF1	TAA0CCMK1	0	0	0	TAA0CCPR12	TAA0CCPR11	TAA0CCPR10				
FFFFF134H	TAA1OVIC	TAA1OVIF	TAA1OVMK	0	0	0	TAA1OVPR2	TAA1OVPR1	TAA1OVPR0				
FFFFF136H	TAA1CCIC0	TAA1CCIF0	TAA1CCMK0	0	0	0	TAA1CCPR02	TAA1CCPR01	TAA1CCPR00				
FFFFF138H	TAA1CCIC1	TAA1CCIF1	TAA1CCMK1	0	0	0	TAA1CCPR12	TAA1CCPR11	TAA1CCPR10				
FFFFF13AH	TAA2OVIC	TAA2OVIF	TAA2OVMK	0	0	0	TAA2OVPR2	TAA2OVPR1	TAA2OVPR0				
FFFFF13CH	TAA2CCIC0	TAA2CCIF0	TAA2CCMK0	0	0	0	TAA2CCPR02	TAA2CCPR01	TAA2CCPR00				
FFFFF13EH	TAA2CCIC1	TAA2CCIF1	TAA2CCMK1	0	0	0	TAA2CCPR12	TAA2CCPR11	TAA2CCPR10				
FFFFF140H	TAA3OVIC	TAA3OVIF	TAA3OVMK	0	0	0	TAA3OVPR2	TAA3OVPR1	TAA3OVPR0				
FFFFF142H	TAA3CCIC0	TAA3CCIF0	TAA3CCMK0	0	0	0	TAA3CCPR02	TAA3CCPR01	TAA3CCPR00				
FFFFF144H	TAA3CCIC1	TAA3CCIF1	TAA3CCMK1	0	0	0	TAA3CCPR12	TAA3CCPR11	TAA3CCPR10				
FFFFF146H	TAA4OVIC	TAA4OVIF	TAA4OVMK	0	0	0	TAA4OVPR2	TAA4OVPR1	TAA4OVPR0				
FFFFF148H	TAA4CCIC0	TAA4CCIF0	TAA4CCMK0	0	0	0	TAA4CCPR02	TAA4CCPR01	TAA4CCPR00				
FFFFF14AH	TAA4CCIC1	TAA4CCIF1	TAA4CCMK1	0	0	0	TAA4CCPR12	TAA4CCPR11	TAA4CCPR10				
FFFFF14CH	TM0EQIC0	TM0EQIF0	TM0EQMK0	0	0	0	TM0EQPR02	TM0EQPR01	TM0EQPR00				
FFFFF14EH	CB0RIC	CB0RIF	CB0RMK	0	0	0	CB0RPR2	CB0RPR1	CB0RPR0				
FFFFF150H	CB0TIC	CB0TIF	CB0TMK	0	0	0	CB0TPR2	CB0TPR1	CB0TPR0				
FFFFF152H	CB1RIC	CB1RIF	CB1RMK	0	0	0	CB1RPR2	CB1RPR1	CB1RPR0				
FFFFF154H	CB1TIC	CB1TIF	CB1TMK	0	0	0	CB1TPR2	CB1TPR1	CB1TPR0				
FFFFF156H	UD0SIC	UD0SIF	UD0SMK	0	0	0	UD0SPR2	UD0SPR1	UD0SPR0				
FFFFF158H	UD0RIC	UD0RIF	UD0RMK	0	0	0	UD0RPR2	UD0RPR1	UD0RPR0				
FFFFF15AH	UD0TIC	UD0TIF	UD0TMK	0	0	0	UD0TPR2	UD0TPR1	UD0TPR0				
FFFFF15CH	UD1SIC	UD1SIF	UD1SMK	0	0	0	UD1SPR2	UD1SPR1	UD1SPR0				
FFFFF15EH	UD1RIC	UD1RIF	UD1RMK	0	0	0	UD1RPR2	UD1RPR1	UD1RPR0				
FFFFF160H	UD1TIC	UD1TIF	UD1TMK	0	0	0	UD1TPR2	UD1TPR1	UD1TPR0				

表18 - 5 割り込み制御レジスタ (xxICn) (2/2)

アドレス	レジスタ	ビット							対象製品				
		7	6	5	4	3	2	1	0	V850ES/HE3	V850ES/HF3	V850ES/HG3	V850ES/HJ3
FFFFF162H	IIC0IC	IIC0IF	IIC0MK	0	0	0	IIC0PR2	IIC0PR1	IIC0PR0				
	UD4SIC	UD4SIF	UD4SMK	0	0	0	UD4SPR2	UD4SPR1	UD4SPR0				注
FFFFF164H	ADIC	ADIF	ADMK	0	0	0	ADPR2	ADPR1	ADPR0				
FFFFF16EH	DMAIC0	DMAIF0	DMAMK0	0	0	0	DMAPR02	DMAPR01	DMAPR00				
FFFFF170H	DMAIC1	DMAIF1	DMAMK1	0	0	0	DMAPR12	DMAPR11	DMAPR10				
FFFFF172H	DMAIC2	DMAIF2	DMAMK2	0	0	0	DMAPR22	DMAPR21	DMAPR20				
FFFFF174H	DMAIC3	DMAIF3	DMAMK3	0	0	0	DMAPR32	DMAPR31	DMAPR30				
FFFFF176H	KRIC	KRIF	KRMK	0	0	0	KRPR2	KRPR1	KRPR0				
FFFFF178H	WTIC	WTIF	WTMK	0	0	0	WTIPR2	WTIPR1	WTIPR0				
FFFFF17AH	WTIC	WTIF	WTMK	0	0	0	WTPR2	WTPR1	WTPR0				
FFFFF180H	PIC8	PIF8	PMK8	0	0	0	PPR82	PPR81	PPR80				
FFFFF182H	PIC9	PIF9	PMK9	0	0	0	PPR92	PPR91	PPR90				
FFFFF184H	PIC10	PIF10	PMK10	0	0	0	PPR102	PPR101	PPR100				
FFFFF186H	TAB1OVIC	TAB1OVIF	TAB1OVMK	0	0	0	TAB1OVPR2	TAB1OVPR1	TAB1OVPR0				
FFFFF188H	TAB1CCIC0	TAB1CCIF0	TAB1CCMK0	0	0	0	TAB1CCPR02	TAB1CCPR01	TAB1CCPR00				
FFFFF18AH	TAB1CCIC1	TAB1CCIF1	TAB1CCMK1	0	0	0	TAB1CCPR12	TAB1CCPR11	TAB1CCPR10				
FFFFF18CH	TAB1CCIC2	TAB1CCIF2	TAB1CCMK2	0	0	0	TAB1CCPR22	TAB1CCPR21	TAB1CCPR20				
FFFFF18EH	TAB1CCIC3	TAB1CCIF3	TAB1CCMK3	0	0	0	TAB1CCPR32	TAB1CCPR31	TAB1CCPR30				
FFFFF190H	UD2SIC	UD2SIF	UD2SMK	0	0	0	UD2SPR2	UD2SPR1	UD2SPR0				
FFFFF192H	UD2RIC	UD2RIF	UD2RMK	0	0	0	UD2RPR2	UD2RPR1	UD2RPR0				
FFFFF194H	UD2TIC	UD2TIF	UD2TMK	0	0	0	UD2TPR2	UD2TPR1	UD2TPR0				
FFFFF19EH	PIC11	PIF11	PMK11	0	0	0	PPR112	PPR111	PPR110				
FFFFF1A0H	PIC12	PIF12	PMK12	0	0	0	PPR122	PPR121	PPR120				
FFFFF1A2H	PIC13	PIF13	PMK13	0	0	0	PPR132	PPR131	PPR130				
FFFFF1A4H	PIC14	PIF14	PMK14	0	0	0	PPR142	PPR141	PPR140				
FFFFF1A6H	UD3SIC	UD3SIF	UD3SMK	0	0	0	UD3SPR2	UD3SPR1	UD3SPR0				注
FFFFF1A8H	UD3RIC	UD3RIF	UD3RMK	0	0	0	UD3RPR2	UD3RPR1	UD3RPR0				注
FFFFF1AAH	UD3TIC	UD3TIF	UD3TMK	0	0	0	UD3TPR2	UD3TPR1	UD3TPR0				注
FFFFF1ACH	UD4RIC	UD4RIF	UD4RMK	0	0	0	UD4RPR2	UD4RPR1	UD4RPR0				注
FFFFF1AEH	UD4TIC	UD4TIF	UD4TMK	0	0	0	UD4TPR2	UD4TPR1	UD4TPR0				注
FFFFF1B0H	TAB2OVIC	TAB2OVIF	TAB2OVMK	0	0	0	TAB2OVPR2	TAB2OVPR1	TAB2OVPR0				
FFFFF1B2H	TAB2CCIC0	TAB2CCIF0	TAB2CCMK0	0	0	0	TAB2CCPR02	TAB2CCPR01	TAB2CCPR00				
FFFFF1B4H	TAB2CCIC1	TAB2CCIF1	TAB2CCMK1	0	0	0	TAB2CCPR12	TAB2CCPR11	TAB2CCPR10				
FFFFF1B6H	TAB2CCIC2	TAB2CCIF2	TAB2CCMK2	0	0	0	TAB2CCPR22	TAB2CCPR21	TAB2CCPR20				
FFFFF1B8H	TAB2CCIC3	TAB2CCIF3	TAB2CCMK3	0	0	0	TAB2CCPR32	TAB2CCPR31	TAB2CCPR30				
FFFFF1BAH	UD5SIC	UD5SIF	UD5SMK	0	0	0	UD5SPR2	UD5SPR1	UD5SPR0				注
FFFFF1BCH	CB2RIC	CB2RIF	CB2RMK	0	0	0	CB2RPR2	CB2RPR1	CB2RPR0				
	UD5RIC	UD5RIF	UD5RMK	0	0	0	UD5RPR2	UD5RPR1	UD5RPR0				注
FFFFF1BEH	CB2TIC	CB2TIF	CB2TMK	0	0	0	CB2TPR2	CB2TPR1	CB2TPR0				
	UD5TIC	UD5TIF	UD5TMK	0	0	0	UD5TPR2	UD5TPR1	UD5TPR0				注

注 μ PD70F3757のみ

18.3.5 割り込みマスク・レジスタ0-5 (IMR0-IMR5)

マスクブル割り込みに対する割り込みマスク状態を設定します。IMR0-IMR5レジスタのxxMKnビットとxxICn.xxMKnビットは、それぞれ連結しています。

IMRmレジスタは、16ビット単位でリード/ライト可能です (m = 0-5)。

IMRmレジスタの上位8ビットをIMRmHレジスタ、下位8ビットをIMRmLレジスタとして使用する場合は、8/16ビット単位でリード/ライト可能です (m = 0-5)。

リセットによりFFFFFFHになります。

注意 デバイス・ファイルでは、xxICn.xxMKnビットを予約語として定義しています。したがって、xxMKnビットの名称でビット操作を行うと、IMRmレジスタではなくxxICnレジスタを書き換えます (結果としてIMRmレジスタも書き換わります)。

(1) V850ES/HE3, V850ES/HF3の場合

リセット時: FFFFH R/W アドレス: IMR3 FFFFF106H,
IMR3L FFFFF106H, IMR3H FFFFF107H

	15	14	13	12	11	10	9	8
IMR3 (IMR3H ^注)	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
IMR3L	1	1	WTMK	WTIMK	KRMK	DMAMK3	DMAMK2	DMAMK1

リセット時: FFFFH R/W アドレス: IMR2 FFFFF104H,
IMR2L FFFFF104H, IMR2H FFFFF105H

	15	14	13	12	11	10	9	8
IMR2 (IMR2H ^注)	DMAMK0	1	1	1	1	ADMK	IIC0MK	UD1TMK
	7	6	5	4	3	2	1	0
IMR2L	UD1RMK	UD1SMK	UD0TMK	UD0RMK	UD0SMK	CB1TMK	CB1RMK	CB0TMK

リセット時: FFFFH R/W アドレス: IMR1 FFFFF102H,
IMR1L FFFFF102H, IMR1H FFFFF103H

	15	14	13	12	11	10	9	8
IMR1 (IMR1H ^注)	CB0RMK	TM0EQMK0	TAA4CCMK1	TAA4CCMK0	TAA4OVMK	TAA3CCMK1	TAA3CCMK0	TAA3OVMK
	7	6	5	4	3	2	1	0
IMR1L	TAA2CCMK1	TAA2CCMK0	TAA2OVMK	TAA1CCMK1	TAA1CCMK0	TAA1OVMK	TAA0CCMK1	TAA0CCMK0

リセット時: FFFFH R/W アドレス: IMR0 FFFFF100H,
IMR0L FFFFF100H, IMR0H FFFFF101H

	15	14	13	12	11	10	9	8
IMR0 (IMR0H ^注)	TAA0OVMK	TAB0CCMK3	TAB0CCMK2	TAB0CCMK1	TAB0CCMK0	TAB0OVMK	PMK7	PMK6
	7	6	5	4	3	2	1	0
IMR0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVHMK	LVILMK

xxMKn	割り込みマスク・フラグの設定
0	割り込み処理を許可
1	割り込み処理を禁止

注 IMR0-IMR3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、IMR0H-IMR3Hレジスタのビット0-7として指定してください。

注意 IMR3レジスタのビット15-6, IMR2レジスタのビット14-11には1を設定してください。変更した場合の動作は保証できません。

備考 xx : 各周辺ユニット識別名称 (表18-5 割り込み制御レジスタ (xxICn) 参照)
n : 周辺ユニット番号 (表18-5 割り込み制御レジスタ (xxICn) 参照)

(2) V850ES/HG3の場合

リセット時 : FFFFH R/W アドレス : IMR4 FFFFF108H,
IMR4L FFFFF108H, IMR4H FFFFF109H

	15	14	13	12	11	10	9	8
IMR4 (IMR4H ^注)	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
IMR4L	1	1	1	1	1	UD2TMK	UD2RMK	UD2SMK

リセット時 : FFFFH R/W アドレス : IMR3 FFFFF106H,
IMR3L FFFFF106H, IMR3H FFFFF107H

	15	14	13	12	11	10	9	8
IMR3 (IMR3H ^注)	TAB1CCMK3	TAB1CCMK2	TAB1CCMK1	TAB1CCMK0	TAB1OVMK	PIC10	PIC9	PIC8
	7	6	5	4	3	2	1	0
IMR3L	1	1	WTMK	WTIMK	KRMK	DMAMK3	DMAMK2	DMAMK1

リセット時 : FFFFH R/W アドレス : IMR2 FFFFF104H,
IMR2L FFFFF104H, IMR2H FFFFF105H

	15	14	13	12	11	10	9	8
IMR2 (IMR2H ^注)	DMAMK0	1	1	1	1	ADMK	IIC0MK	UD1TMK
	7	6	5	4	3	2	1	0
IMR2L	UD1RMK	UD1SMK	UD0TMK	UD0RMK	UD0SMK	CB1TMK	CB1RMK	CB0TMK

リセット時 : FFFFH R/W アドレス : IMR1 FFFFF102H,
IMR1L FFFFF102H, IMR1H FFFFF103H

	15	14	13	12	11	10	9	8
IMR1 (IMR1H ^注)	CB0RMK	TM0EQMK0	TAA4CCMK1	TAA4CCMK0	TAA4OVMK	TAA3CCMK1	TAA3CCMK0	TAA3OVMK
	7	6	5	4	3	2	1	0
IMR1L	TAA2CCMK1	TAA2CCMK0	TAA2OVMK	TAA1CCMK1	TAA1CCMK0	TAA1OVMK	TAA0CCMK1	TAA0CCMK0

リセット時 : FFFFH R/W アドレス : IMR0 FFFFF100H,
IMR0L FFFFF100H, IMR0H FFFFF101H

	15	14	13	12	11	10	9	8
IMR0 (IMR0H ^注)	TAA0OVMK	TAB0CCMK3	TAB0CCMK2	TAB0CCMK1	TAB0CCMK0	TAB0OVMK	PMK7	PMK6
	7	6	5	4	3	2	1	0
IMR0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIHMK	LVILMK

xxMKn	割り込みマスク・フラグの設定
0	割り込み処理を許可
1	割り込み処理を禁止

注 IMR0-IMR4レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、IMR0H-IMR4Hレジスタのビット0-7として指定してください。

注意 IMR4レジスタのビット15-3、IMR3レジスタのビット7、6、IMR2レジスタのビット14-11には1を設定してください。変更した場合の動作は保証できません。

備考 xx : 各周辺ユニット識別名称 (表18 - 5 割り込み制御レジスタ (xxICn) 参照)
n : 周辺ユニット番号 (表18 - 5 割り込み制御レジスタ (xxICn) 参照)

(3) V850ES/HJ3の場合

リセット時：FFFFH R/W アドレス：IMR5 FFFFF10AH,
IMR5L FFFFF10AH, IMR5H FFFFF10BH

	15	14	13	12	11	10	9	8
IMR5 (IMR5H ^{注1})	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
IMR5L	CB2TMK ^{注2} / UD5TMK ^{注2}	CB2RMK ^{注2} / UD5RMK ^{注2}	UD5SMK ^{注2}	TAB2CCMK3	TAB2CCMK2	TAB2CCMK1	TAB2CCMK0	TAB2OVMK

リセット時：FFFFH R/W アドレス：IMR4 FFFFF108H,
IMR4L FFFFF108H, IMR4H FFFFF109H

	15	14	13	12	11	10	9	8
IMR4 (IMR4H ^{注1})	UD4TMK ^{注2}	UD4RMK ^{注2}	UD3TMK ^{注2}	UD3RMK ^{注2}	UD3SMK ^{注2}	PMK14	PMK13	PMK12
	7	6	5	4	3	2	1	0
IMR4L	PMK11	1	1	1	1	UD2TMK	UD2RMK	UD2SMK

リセット時：FFFFH R/W アドレス：IMR3 FFFFF106H,
IMR3L FFFFF106H, IMR3H FFFFF107H

	15	14	13	12	11	10	9	8
IMR3 (IMR3H ^{注1})	TAB1CCMK3	TAB1CCMK2	TAB1CCMK1	TAB1CCMK0	TAB1OVMK	PIC10	PIC9	PIC8
	7	6	5	4	3	2	1	0
IMR3L	1	1	WTMK	WTIMK	KRMK	DMAMK3	DMAMK2	DMAMK1

リセット時：FFFFH R/W アドレス：IMR2 FFFFF104H,
IMR2L FFFFF104H, IMR2H FFFFF105H

	15	14	13	12	11	10	9	8
IMR2 (IMR2H ^{注1})	DMAMK0	1	1	1	1	ADMK	IICOMK/ UD4SMK ^{注2}	UD1TMK
	7	6	5	4	3	2	1	0
IMR2L	UD1RMK	UD1SMK	UD0TMK	UD0RMK	UD0SMK	CB1TMK	CB1RMK	CB0TMK

リセット時：FFFFH R/W アドレス：IMR1 FFFFF102H,
IMR1L FFFFF102H, IMR1H FFFFF103H

	15	14	13	12	11	10	9	8
IMR1 (IMR1H ^{注1})	CBORMK	TM0EQMK0	TAA4CCMK1	TAA4CCMK0	TAA4OVMK	TAA3CCMK1	TAA3CCMK0	TAA3OVMK
	7	6	5	4	3	2	1	0
IMR1L	TAA2CCMK1	TAA2CCMK0	TAA2OVMK	TAA1CCMK1	TAA1CCMK0	TAA1OVMK	TAA0CCMK1	TAA0CCMK0

リセット時：FFFFH R/W アドレス：IMR0 FFFFF100H,
IMR0L FFFFF100H, IMR0H FFFFF101H

	15	14	13	12	11	10	9	8
IMR0 (IMR0H ^{注1})	TAA0OVMK	TAB0CCMK3	TAB0CCMK2	TAB0CCMK1	TAB0CCMK0	TAB0OVMK	PMK7	PMK6
	7	6	5	4	3	2	1	0
IMR0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIHMK	LVILMK

xxMKn	割り込みマスク・フラグの設定
0	割り込み処理を許可
1	割り込み処理を禁止

注1. IMR0-IMR5レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、IMR0H-IMR5Hレジスタのビット0-7として指定してください。

2. μ PD70F3757のみ

注意 IMR5レジスタのビット15-8, IMR4レジスタのビット6-3, IIMR3レジスタのビット7, 6, IMR2レジスタのビット14-11には1を設定してください。変更した場合の動作は保証できません。

備考 xx : 各周辺ユニット識別名称 (表18-5 割り込み制御レジスタ (xxICn) 参照)

n : 周辺ユニット番号 (表18-5 割り込み制御レジスタ (xxICn) 参照)

18.3.6 インサース・プライオリティ・レジスタ (ISPR)

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求信号が受け付けられると、その割り込み要求信号の優先順位レベルに対応するビットがセット(1)され、サービス中保持されます。

RETI命令の実行時、ISPRレジスタ内でセット(1)されているビットのうち、最も優先順位の高い割り込み要求信号に対応するビットがハードウェアにより自動的にリセット(0)されます。ただし、ノンマスカブルの割り込み処理や例外処理からの復帰の場合はリセット(0)されません。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

注意 割り込み許可(EI)状態において、ISPRレジスタをリード中に割り込みを受け付けた場合、その割り込み受け付けによるビットがセット(1)されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は、割り込み禁止(DI)状態でリードしてください。

リセット時 : 00H R アドレス : FFFFF1FAH

	7	6	5	4	3	2	1	0
ISPR	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0

ISPRn	受け付け中の割り込みの優先順位
0	優先順位nの割り込み要求信号を受け付けていない
1	優先順位nの割り込み要求信号を受け付け中

備考 n : 0-7 (優先順位のレベル)

18.3.7 IDフラグ

マスカブル割り込みの動作状態を制御し、割り込み要求信号受け付けの許可 / 禁止制御情報を記憶します。割り込み禁止フラグ (ID) は、PSWに割り付けられています。リセットにより00000020Hになります。

リセット時 : 00000020H

	31		8	7	6	5	4	3	2	1	0	
PSW	0				NP	EP	ID	SAT	CY	OV	S	Z

ID	マスカブル割り込み処理の指定 ^注
0	マスカブル割り込み要求信号の受け付けを許可
1	マスカブル割り込み要求信号の受け付けを禁止

注 割り込み禁止フラグ (ID) の機能

DI命令でセット (1)、EI命令でクリア (0) されます。また、RETI命令およびPSWへのLDSR命令により値が書き換えられます。

ノンマスカブル割り込み要求信号および例外は、このフラグの状態に関係なく受け付けられます。また、マスカブル割り込み要求信号を受け付けると、IDフラグはハードウェアで自動的にセット (1) されます。

受け付け禁止期間中 (IDフラグ = 1) に発生した割り込み要求信号は、xxICn.xxIFnビットがセット (1) され、IDフラグがクリア (0) されると受け付けられます。

18.3.8 ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

8ビット単位でリード / ライト可能です (詳細は第12章 ウォッチドッグ・タイマ2機能参照)。リセットにより67Hになります。

リセット時 : 67H R/W アドレス : FFFFF6D0H

	7	6	5	4	3	2	1	0
WDTM2	0	WDM21	WDM20	0	0	0	0	0

WDM21	WDM20	ウォッチドッグ・タイマの動作モードの選択
0	0	動作停止
0	1	ノンマスカブル割り込み要求モード
1	x	リセット・モード (初期値)

18.4 ソフトウェア例外

ソフトウェア例外は、CPUのTRAP命令の実行により発生する例外で、常に受け付け可能です。

18.4.1 動作

ソフトウェア例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

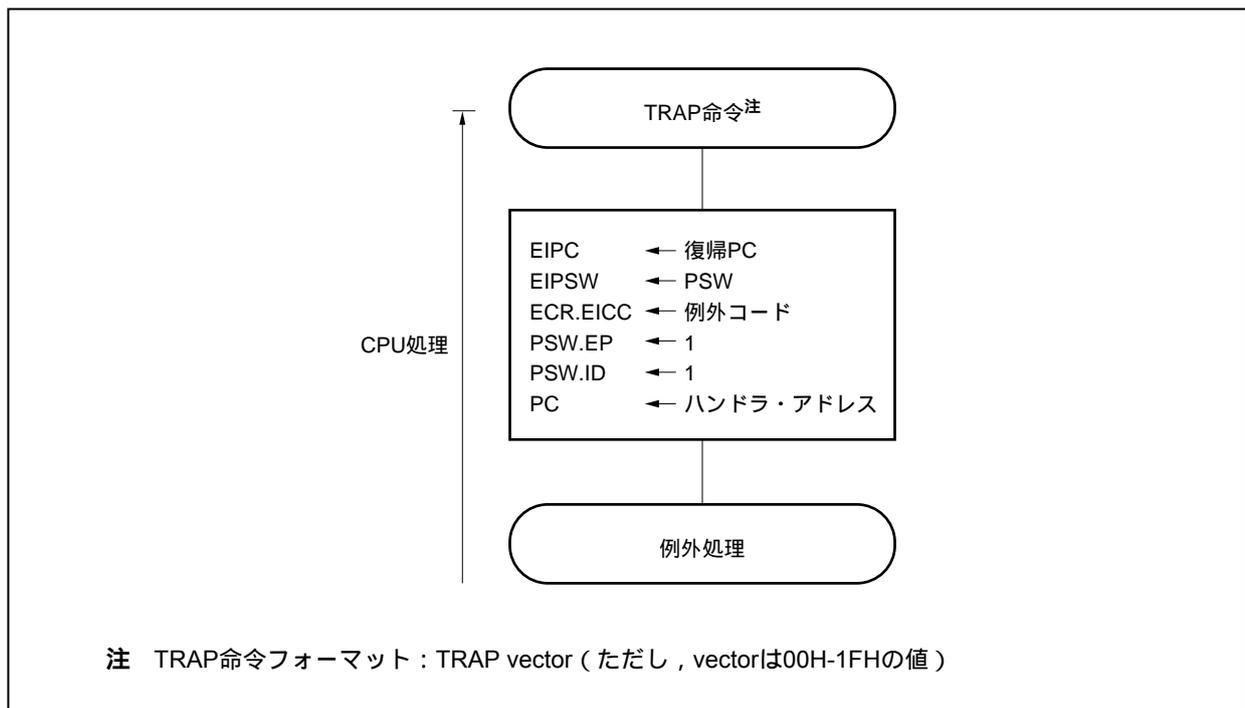
ECR (割り込み要因) の下位16ビット (EICC) に例外コードを書き込みます。

PSW.EP, IDビットをセット (1) します。

PCにソフトウェア例外に対するハンドラ・アドレス (00000040Hまたは00000050H) をセットし、制御を移します。

ソフトウェア例外の処理形態を、図18-9に示します。

図18-9 ソフトウェア例外の処理形態



ハンドラ・アドレスは、TRAP命令のオペランド (vector) によって決まります。vectorが000H-0FHの場合は00000040Hとなり、10H-1FHの場合は00000050Hとなります。

18.4.2 復 帰

ソフトウェア例外処理からの復帰は、RETI命令により行います。

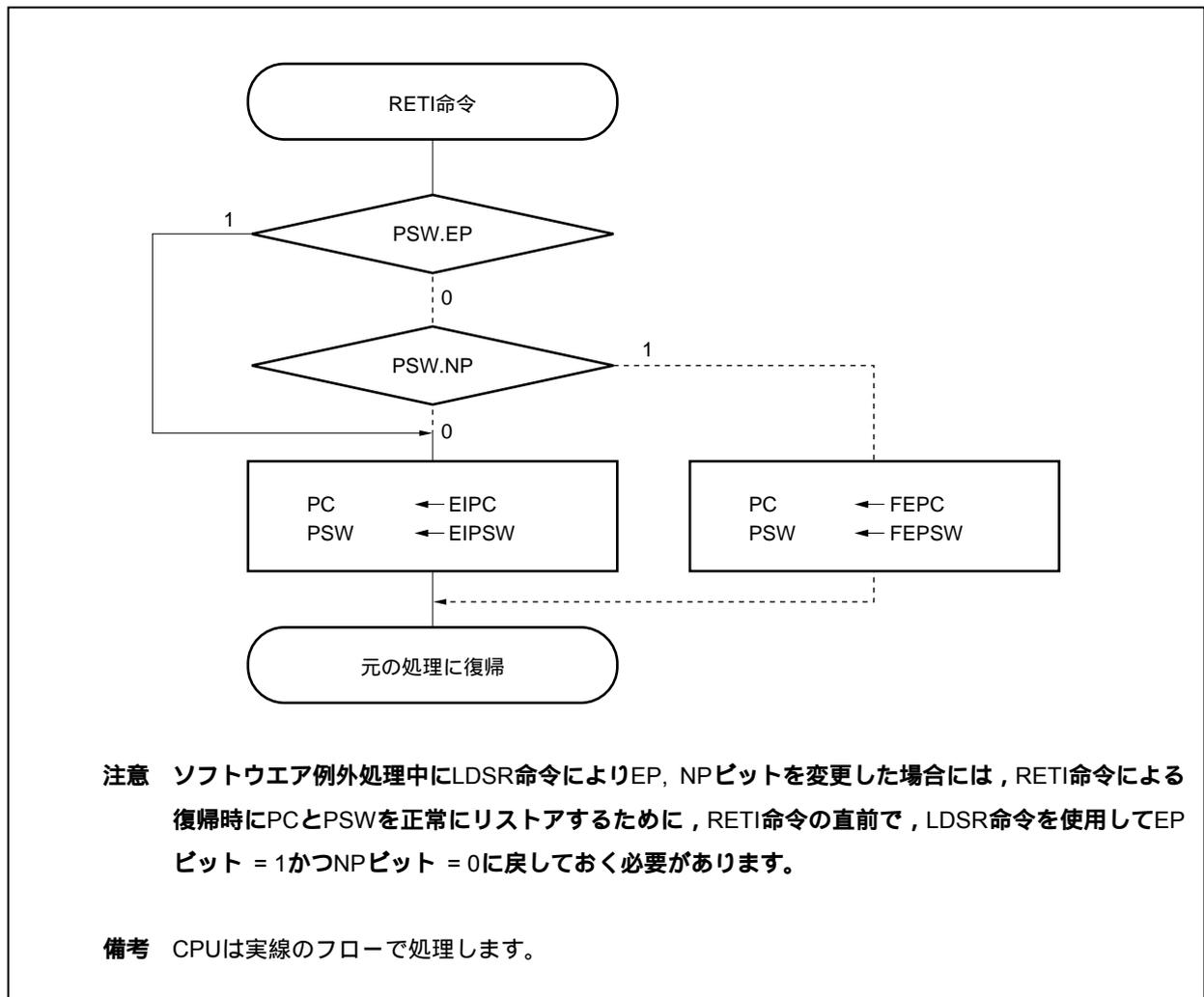
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビットは1なので、EIPC, EIPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を図18 - 10に示します。

図18 - 10 RETI命令の処理形態



18.4.3 EPフラグ

EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。

リセット時：00000020H

	31		8	7	6	5	4	3	2	1	0	
PSW	0				NP	EP	ID	SAT	CY	OV	S	Z

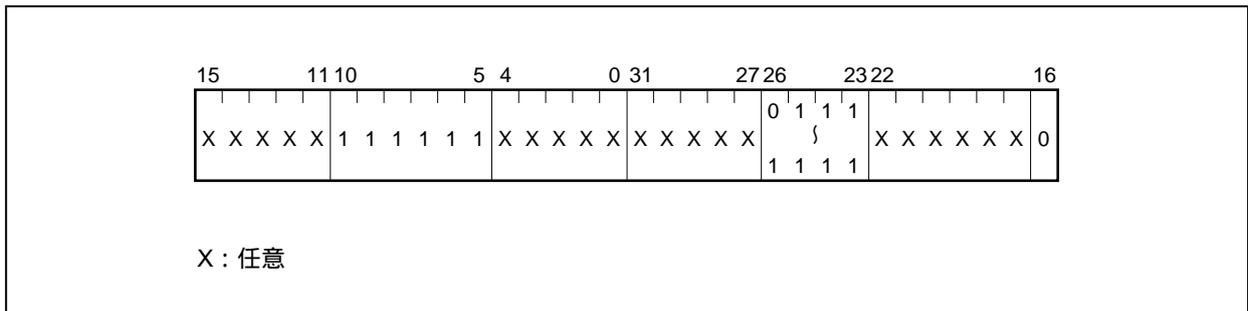
EP	例外処理状態
0	例外処理中でない
1	例外処理中

18.5 例外トラップ

例外トラップは、命令の不正実行が発生した場合に要求される割り込みです。V850ES/Hx3では、不正命令コード・トラップ (ILGOP : Illegal Opcode Trap) が例外トラップに当たります。

18.5.1 不正命令コード

不正命令は、命令のオペコード(ビット10-5)が111111Bで、サブオペコード(ビット26-23)が0111B-1111B、サブオペコード(ビット16)が0Bであるものです。この不正命令に当てはまる命令を実行したときに、例外トラップが発生します。



注意 不正命令コードには、将来、新規に命令を割り当てる可能性があるため、使用しないことを推奨します。

(1) 動作

例外トラップが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをDBPCに退避します。

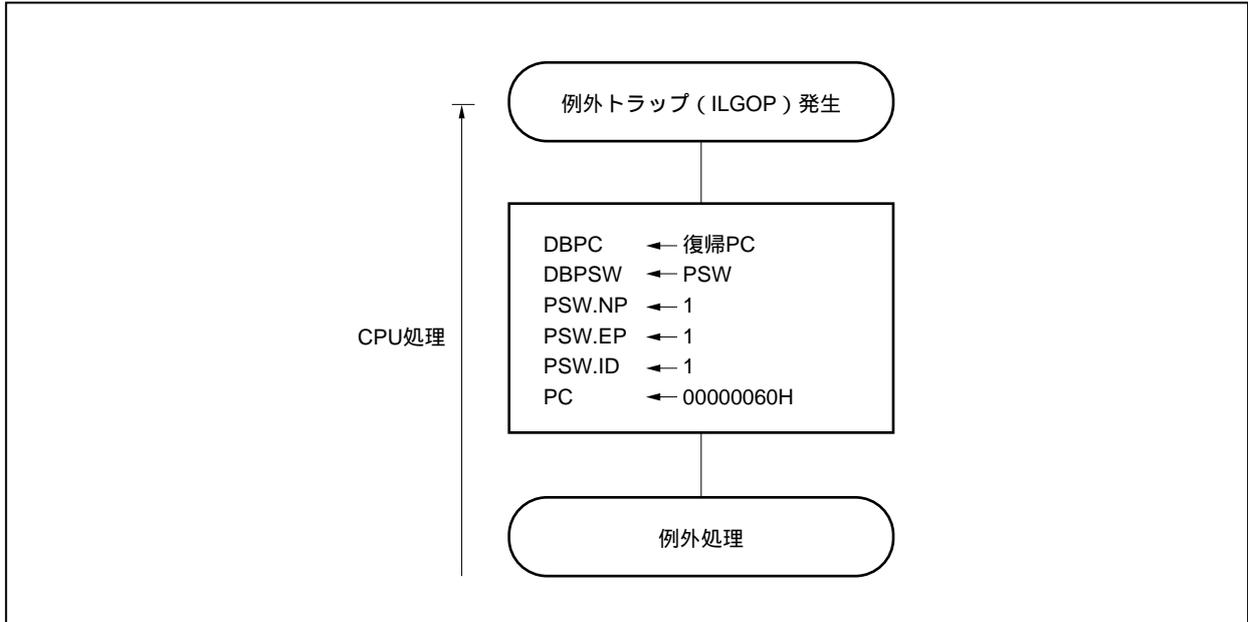
現在のPSWをDBPSWに退避します。

PSW.NP, EP, IDビットをセット(1)します。

PCに例外トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

例外トラップの処理形態を図18-11に示します。

図18 - 11 例外トラップの処理形態



(2) 復 帰

例外トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

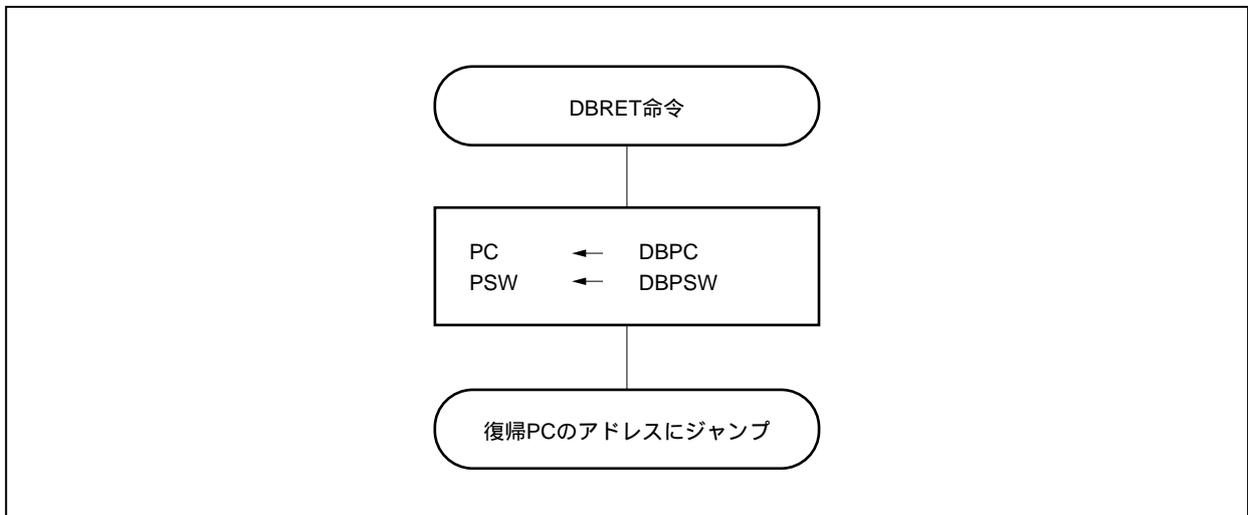
DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

注意 DBPCとDBPSWへは、不正命令コードを実行してからDBRET命令を実行するまでの期間のみアクセス可能です。

例外トラップからの復帰の処理形態を図18 - 12に示します。

図18 - 12 例外トラップからの復帰の処理形態



18.5.2 デバッグ・トラップ

デバッグ・トラップは、DBTRAP命令の実行により発生する常時受け付けが可能な例外です。

(1) 動作

デバッグ・トラップが発生した場合、CPUは次の処理を行います。

復帰PCをDBPCに退避します。

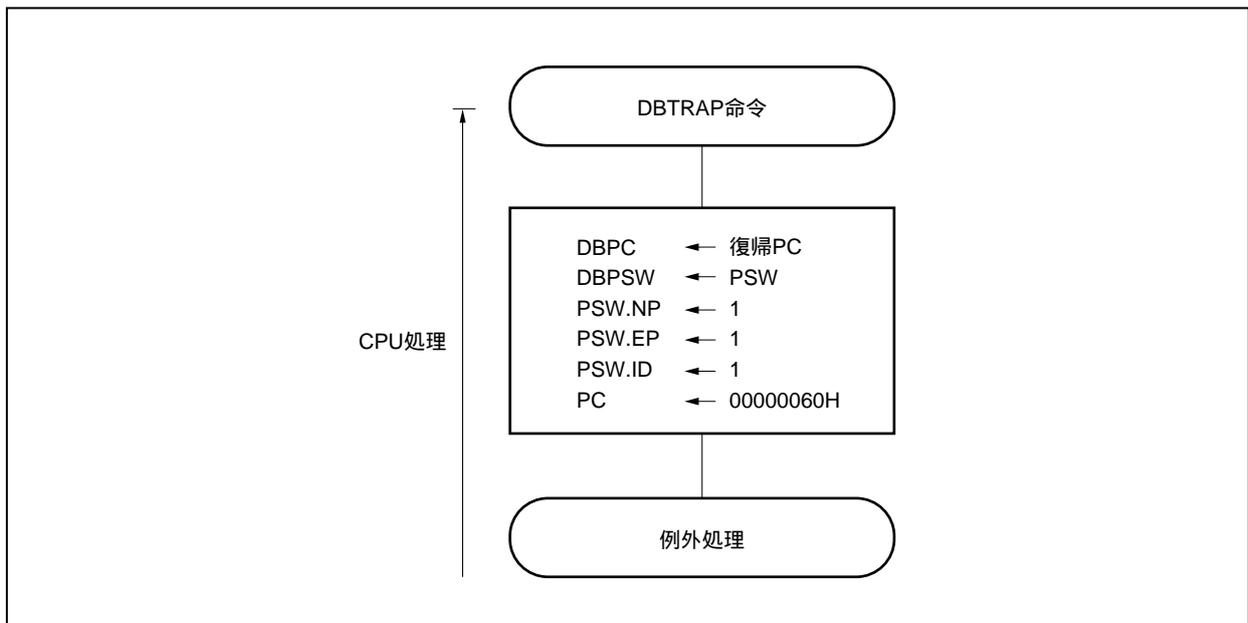
現在のPSWをDBPSWに退避します。

PSW.NP, EP, IDビットをセット(1)します。

PCにデバッグ・トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

デバッグ・トラップの処理形態を図18-13に示します。

図18-13 デバッグ・トラップの処理形態



(2) 復 帰

デバッグ・トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

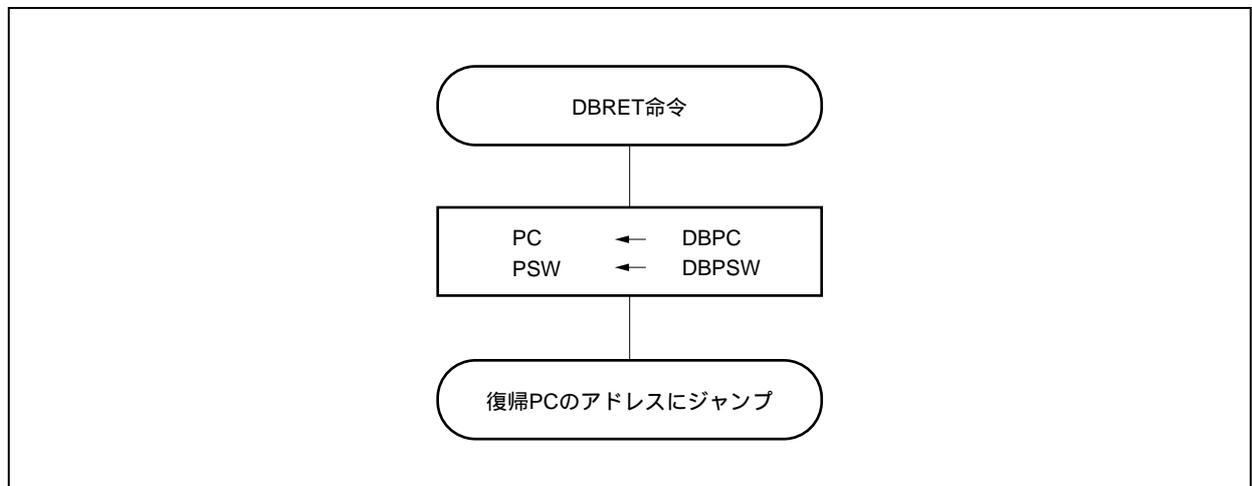
DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

注意 DBPCとDBPSWへは、DBTRAP命令を実行してからDBRET命令を実行するまでの期間のみアクセス可能です。

デバッグ・トラップからの復帰の処理形態を図18 - 14に示します。

図18 - 14 デバッグ・トラップからの復帰の処理形態



18.6 外部割り込み要求入力端子 (NMI, INTP0-INTP14)

18.6.1 ノイズ除去

(1) NMI端子のノイズ除去

NMI端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、NMI端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

なお、NMI端子はSTOPモードの解除に使用できます。STOPモードでは、内部システム・クロックは停止しているため、システム・クロックを使用したノイズ除去を行っていません。

(2) INTP0-INTP2, INTP4-INTP14端子のノイズ除去

INTP0-INTP2, INTP4-INTP14端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、各端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

(3) INTP3端子のノイズ除去

INTP3端子は、アナログ・ディレイによるノイズ除去回路とデジタルによるノイズ除去回路を内蔵しており、ノイズ除去制御レジスタ(NFC)により、どちらかを選択することが可能です(18.6.2(8)参照)。

18.6.2 エッジ検出

NMI, INTP0-INTP14端子の有効エッジは、次の4種類から端子ごとに選択できます。

- ・立ち上がりエッジ
- ・立ち下がりエッジ
- ・両エッジ
- ・エッジ検出なし

リセット後のNMI端子は“エッジ検出なし”になっていますので、INTF0, INTR0レジスタで有効エッジを許可しないと、割り込み要求信号を受け付けません(通常ポートとして機能します)。

(1) 外部割り込み立ち下がり，立ち上がりエッジ指定レジスタ0 (INTF0, INTR0)

ビット2でNMI端子，ビット3-6で外部割り込み端子 (INTP0-INTP3) の立ち下がり，立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 外部割り込み機能 (兼用機能) からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF0n, INTR0nビット = 00に設定したあとにポート・モードに設定してください。

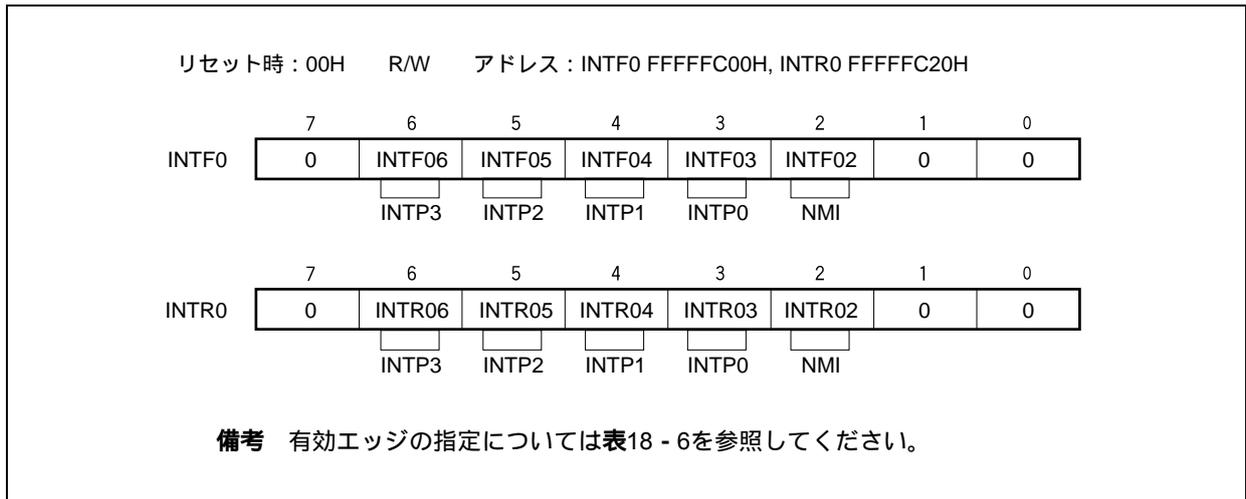


表18 - 6 有効エッジの指定

INTF0n	INTR0n	有効エッジの指定 (n = 2-6)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 NMI, INTP0-INTP3端子として使用しない場合，必ずINTF0n, INTR0nビット = 00に設定してください。

備考 n = 2 : NMI端子の制御
n = 3-6 : INTP0-INTP3端子の制御

(2) 外部割り込み立ち上がり, 立ち下がりエッジ指定レジスタ1 (INTR1, INTF1)

INTP9, INTP10端子の立ち上がり, 立ち下がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 外部割り込み機能(兼用機能)からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF1n, INTR1nビット = 00に設定したあとにポート・モードに設定してください。

リセット時: 00H R/W アドレス: INTF1 FFFFFFFC02H, INTR1 FFFFFFFC22H

	7	6	5	4	3	2	1	0
INTF1	0	0	0	0	0	0	INTF11	INTF10
							└──┬──┘	└──┬──┘
							INTP10	INTP9

	7	6	5	4	3	2	1	0
INTR1	0	0	0	0	0	0	INTR11	INTR10
							└──┬──┘	└──┬──┘
							INTP10	INTP9

備考 有効エッジの指定については表18 - 7を参照してください。

表18 - 7 有効エッジの指定

INTF1n	INTR1n	有効エッジの指定 (n = 0, 1)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP9, INTP10端子として使用しない場合, 必ずINTF1n, INTR1nビット = 00に設定してください。

備考 n = 0 : INTP9端子の制御

n = 1 : INTP10端子の制御

(3) 外部割り込み立ち上がり, 立ち下がりエッジ指定レジスタ3 (INTR3, INTF3)

INTP7, INTP8端子の立ち上がり, 立ち下がりエッジ検出を指定する16ビットのレジスタです。

16ビット単位でリード/ライト可能です。

ただし, INTF3レジスタの上位8ビットをINTF3Hレジスタ, 下位8ビットをINTF3Lレジスタとして使用する場合は, 8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 外部割り込み機能(兼用機能)からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF3n, INTR3nビット = 00に設定したあとにポート・モードに設定してください。

リセット時: 0000H R/W アドレス: INTF3 FFFFFFFC06H,
INTF3L FFFFFFFC06H, INTF3H FFFFFFFC07H

	15	14	13	12	11	10	9	8
INTF3 (INTF3H ^注)	0	0	0	0	0	0	INTF39	0
								INTP8
(INTF3L)	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	INTF31	0
								INTP7

リセット時: 0000H R/W アドレス: INTR3 FFFFFFFC26H,
INTR3L FFFFFFFC26H, INTR3H FFFFFFFC27H

	15	14	13	12	11	10	9	8
INTR3 (INTR3H ^注)	0	0	0	0	0	0	INTR39	0
								INTP8
(INTR3L)	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	INTR31	0
								INTP7

注意 INTF3, INTR3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は, INTF3H, INTR3Hレジスタのビット0-7として指定してください。

備考 有効エッジの指定については表18 - 8を参照してください。

表18 - 8 有効エッジの指定

INTF3n	INTR3n	有効エッジの指定 (n = 1, 9)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP7, INTP8端子として使用しない場合, 必ずINTF3n, INTR3nビット = 00に設定してください。

備考 n = 1 : INTP7端子の制御

n = 9 : INTP8端子の制御

(4) 外部割り込み立ち上がり, 立ち下がりエッジ指定レジスタ4 (INTR4, INTF4)

INTP14端子の立ち上がり, 立ち下がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- 注意1. 外部割り込み機能(兼用機能)からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF40, INTR40ビット = 00に設定したあとにポート・モードに設定してください。
2. INTP14はP40端子とP80端子に割り当てられています。P40端子をINTP14入力として使用する場合は, INTF8.INTF80, INTR8.INTR80ビットをそれぞれ0(エッジ検出なし)に設定してください。

リセット時: 00H R/W アドレス: INTF4 FFFFFFFC08H, INTR4 FFFFFFFC28H

	7	6	5	4	3	2	1	0	
INTF4	0	0	0	0	0	0	0	0	INTF40
								INTP14	

	7	6	5	4	3	2	1	0	
INTR4	0	0	0	0	0	0	0	0	INTR40
								INTP14	

備考 有効エッジの指定については表18 - 9を参照してください。

表18 - 9 有効エッジの指定

INTF40	INTR40	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP14端子として使用しない場合, 必ずINTF40, INTR40ビット = 00に設定してください。

(5) 外部割り込み立ち上がり, 立ち下がりエッジ指定レジスタ6L (INTR6L, INTF6L)

INTP11-INTP13端子の立ち上がり, 立ち下がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 外部割り込み機能(兼用機能)からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF6n, INTR6nビット = 00に設定したあとにポート・モードに設定してください。

リセット時 : 00H R/W アドレス : INTF6L FFFFFFFC0CH, INTR6L FFFFFFFC2CH

	7	6	5	4	3	2	1	0
INTF6L	0	0	0	0	0	INTF62	INTF61	INTF60
						└──┬──┘	└──┬──┘	└──┬──┘
						INTP13	INTP12	INTP11

	7	6	5	4	3	2	1	0
INTR6L	0	0	0	0	0	INTR62	INTR61	INTR60
						└──┬──┘	└──┬──┘	└──┬──┘
						INTP13	INTP12	INTP11

備考 有効エッジの指定については表18 - 10を参照してください。

表18 - 10 有効エッジの指定

INTF6n	INTR6n	有効エッジの指定 (n = 0-2)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP11-INTP13端子として使用しない場合, 必ずINTF6n, INTR6nビット = 00に設定してください。

備考 n = 0 : INTP11端子の制御
 n = 1 : INTP12端子の制御
 n = 2 : INTP13端子の制御

(6) 外部割り込み立ち下がり, 立ち上がりエッジ指定レジスタ8 (INTF8, INTR8)

外部割り込み端子 (INTP14) の立ち下がり, 立ち上がりエッジ検出を指定する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- 注意1. 外部割り込み機能 (兼用機能) からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF80, INTR80ビット = 00に設定したあとにポート・モードに設定してください。
2. INTP14端子とRXDA3端子は兼用となっています。RXDA3端子として使用する場合は兼用しているINTP14端子のエッジ検出を無効にしてください (INTF8.INTF80ビット = 0, INTR8.INTR80ビット = 0に設定)。またINTP14端子として使用する場合はUARTD3を受信動作停止としてください (UA3CTL0.UA3RXEビット = 0)。
3. INTP14はP80端子とP40端子に割り当てられています。P80端子をINTP14入力として使用する場合は, INTF4.INTF40, INTR4.INTR40ビットをそれぞれ0 (エッジ検出なし) に設定してください。

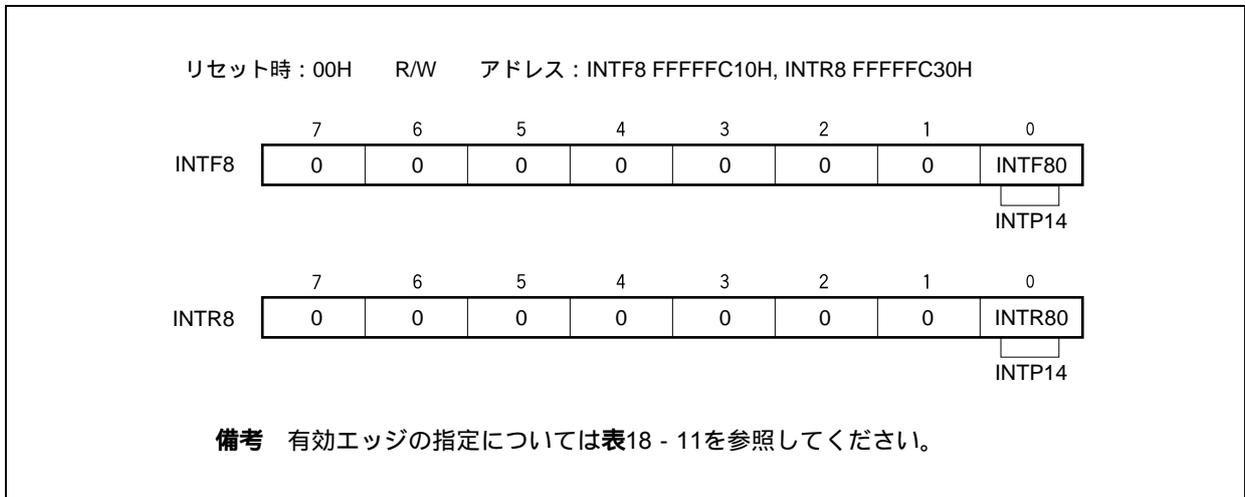


表18 - 11 有効エッジの指定

INTF80	INTR80	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP14端子として使用しない場合, 必ずINTF80, INTR80ビット = 00に設定してください。

(7) 外部割り込み立ち下がり, 立ち上がりエッジ指定レジスタ9H (INTF9H, INTR9H)

外部割り込み端子 (INTP4-INTP6) の立ち下がり, 立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 外部割り込み機能 (兼用機能) からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF9n, INTR9nビット = 0に設定したあとにポート・モードに設定してください。

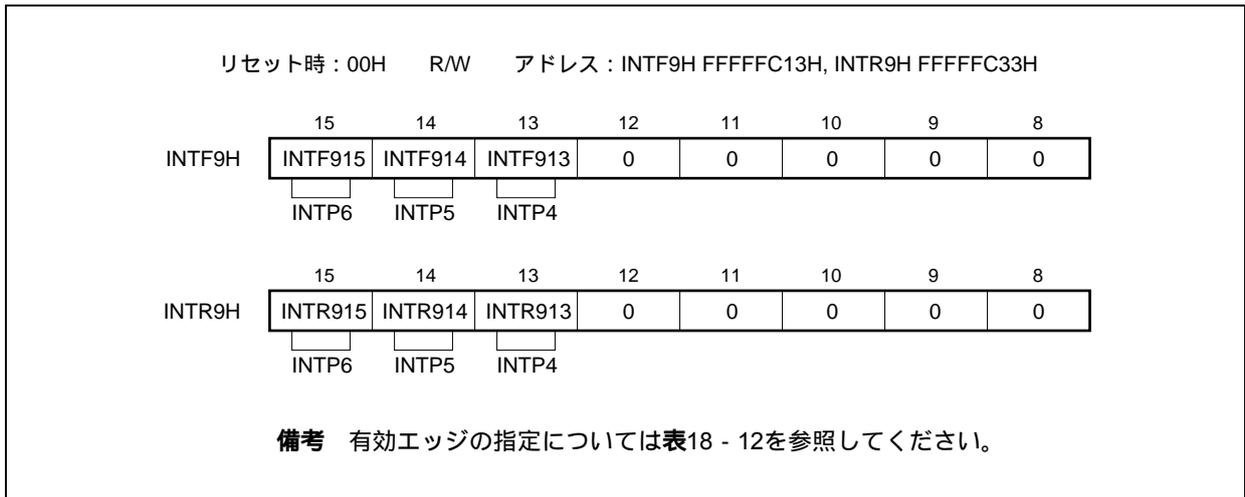


表18 - 12 有効エッジの指定

INTF9n	INTR9n	有効エッジの指定 (n = 13-15)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP4-INTP6端子として使用しない場合, 必ずINTF9n, INTR9nビット = 00に設定してください。

備考 n = 13-15 : INTP4-INTP6端子の制御

(8) ノイズ除去制御レジスタ (NFC)

INTP3端子はデジタル・ノイズ除去を選択することが可能で、NFCレジスタにてノイズ除去の設定を選択します。

デジタル・ノイズ除去を選択した場合、デジタル・サンプリングを行うサンプリング・クロックを、 $f_{xx}/64$ 、 $f_{xx}/128$ 、 $f_{xx}/256$ 、 $f_{xx}/512$ 、 $f_{xx}/1024$ 、 f_{XT} の中から選択できます。なおサンプリングの回数はNFC.NFSTSビットで設定します。

デジタル・ノイズ除去を選択した場合、スタンバイ・モード時にサンプリングを行うクロックを停止すると、そのスタンバイ・モードの解除にINTP3の割り込み要求信号を使用できません。サンプリング・クロックに f_{XT} を使用した場合は、サブクロック動作モード中およびIDLE1/IDLE2/STOP/サブIDLEモードの解除にINTP3の割り込み要求信号を使用できます。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 サンプリング・クロック変更後、デジタル・ノイズ除去回路が初期化されるのに、サンプリング・クロック×NFSTSビットで設定した回数かかります。そのため、サンプリング・クロックを変更してからサンプリング・クロック×NFSTSビットで設定した回数の中に、INTP3の有効エッジが入力されると割り込み要求信号が発生する可能性があります。したがって、割り込み機能、DMA機能を使用する場合は、次の点に注意してください。

- ・割り込み機能使用時は、サンプリング・クロック×NFSTSビットで設定した回数経過後、割り込み要求フラグ(PIC3.PIF3ビット)をクリアしてから割り込みを許可してください。
- ・DMA機能使用時(INTP3で起動)は、サンプリング・クロック×NFSTSビットで設定した回数経過後、DMAを許可してください。

リセット時 : 00H R/W アドレス : FFFFF318H

	7	6	5	4	3	2	1	0
NFC	NFEN	NFSTS	0	0	0	NFC2	NFC1	NFC0

NFEN	INTP3端子のノイズ除去の設定
0	アナログ・ノイズ除去を行う
1	デジタル・ノイズ除去を行う

NFSTS	デジタル・ノイズ除去のサンプリング回数の設定
0	サンプリング回数 = 3回
1	サンプリング回数 = 2回

NFC2	NFC1	NFC0	デジタル・サンプリングを行うクロック
0	0	0	$f_{xx}/64$
0	0	1	$f_{xx}/128$
0	1	0	$f_{xx}/256$
0	1	1	$f_{xx}/512$
1	0	0	$f_{xx}/1024$
1	0	1	f_{xt} (サブクロック)
その他			設定禁止

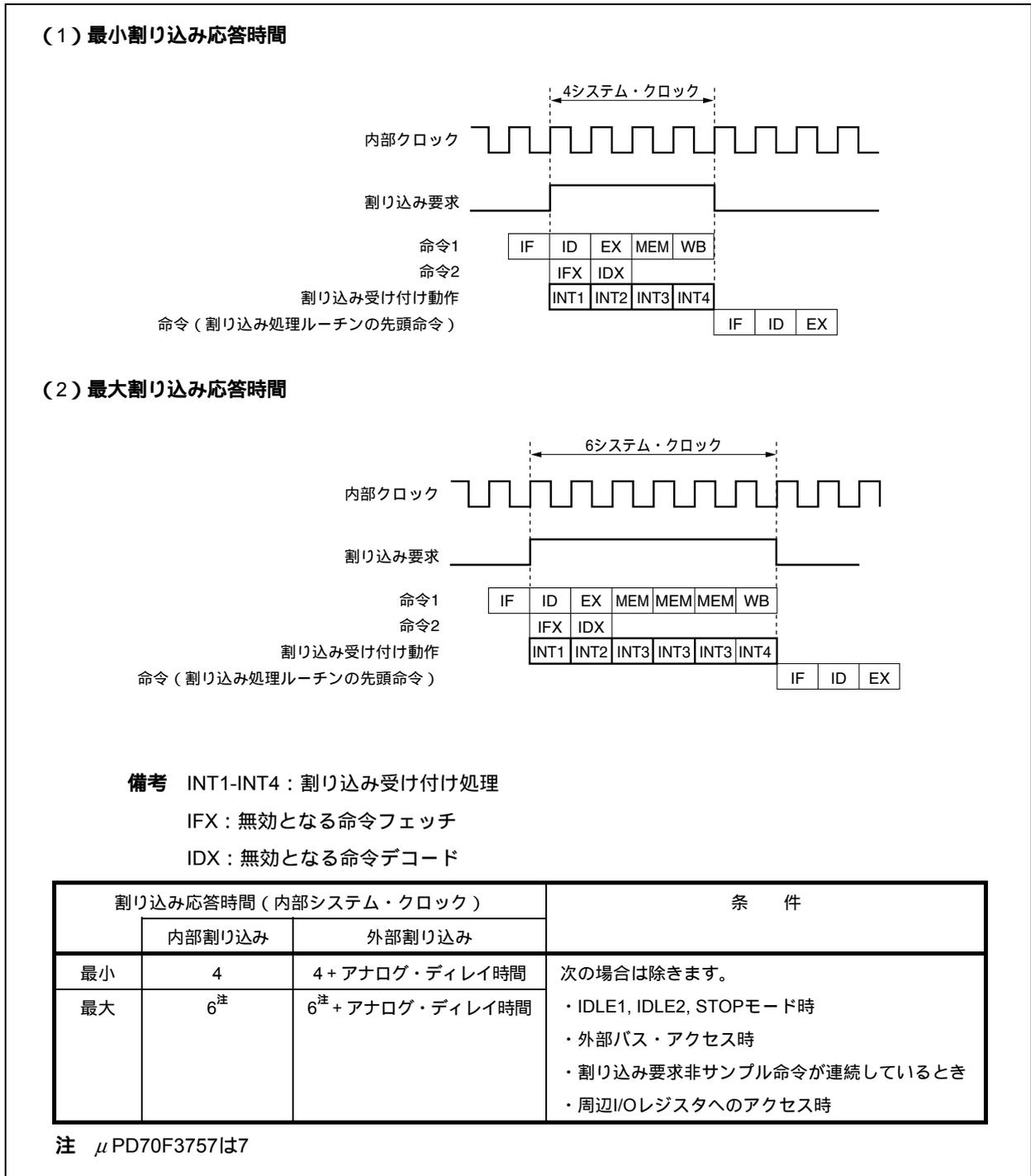
- 備考1.** 3回サンプリングするため、確実に除去するノイズ幅はサンプリング・クロック×2となります。
- 2.** サンプリング・クロック×2より短いノイズがあっても、サンプリング・クロックに同期したノイズが入力された場合には、割り込み要求信号が発生します。

18.7 CPUの割り込み応答時間

次の場合を除き、CPUの割り込み応答時間は、最小4クロックとなります。連続して割り込み要求信号を入力する場合には、最低でも4クロック以上間をあけて次の割り込み要求信号を入力する必要があります。

- ・ IDLE1/IDLE2/STOPモード時
- ・ 外部バス・アクセス時
- ・ 割り込み要求非サンプル命令（18.8 CPUが割り込みを受け付けられない期間参照）が連続しているとき
- ・ 割り込み制御レジスタへのアクセス時

図18 - 15 割り込み要求信号受け付け時のパイプライン動作例（概略）



18.8 CPUが割り込みを受け付けない期間

CPUの割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません（割り込みは保留されます）。

割り込み要求非サンプル命令は次のとおりです。

- ・ EI命令
- ・ DI命令
- ・ LDSR reg2, 0x5命令（対PSW）
- ・ PRCMDレジスタに対するストア命令
- ・ 次のレジスタに対するストア命令およびSET1, NOT1, CLR1命令
 - ・ 割り込み関連のレジスタ：
 - 割り込み制御レジスタ (xxlCn) , 割り込みマスク・レジスタ0-5 (IMR0-IMR5)
 - ・ コマンド・レジスタ (PRCMD)
 - ・ パワー・セーブ・コントロール・レジスタ (PSC)
 - ・ オンチップ・デバッグ・モード・レジスタ (OCDM)
 - ・ 周辺エミュレーション・レジスタ1 (PEMU1)

備考 xx : 各周辺ユニット識別名称 (表18 - 5 割り込み制御レジスタ (xxlCn) 参照)

n : 周辺ユニット番号 (表18 - 5 割り込み制御レジスタ (xxlCn) 参照)

18.9 注意事項

NMI端子はP02と兼用しており、リセット後は通常ポートとして機能します。NMI端子を使用する場合には、PMC0レジスタでNMI端子を有効にしてください。また、NMI端子の初期設定は“エッジ検出なし”になっていますので、INTF0, INTR0レジスタで有効エッジを選択してください。

第19章 キー割り込み機能

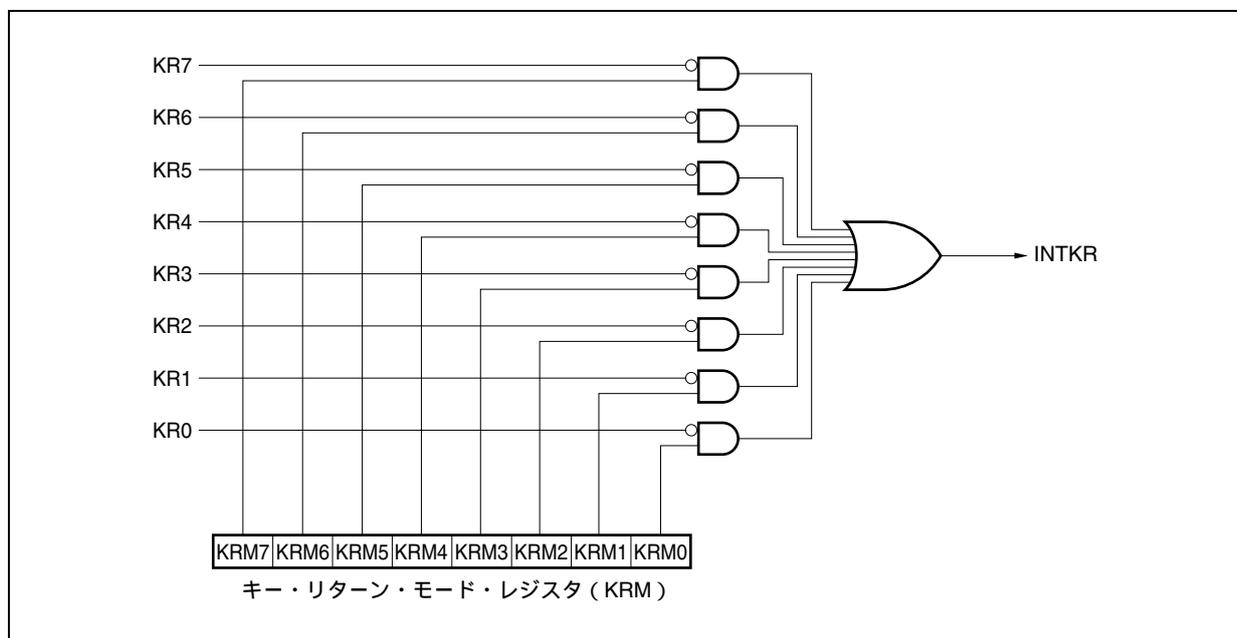
19.1 機能

キー・リターン・モード・レジスタ (KRM) の設定により、キー入力端子 (KR0-KR7) に立ち下がりエッジを検出することによって、キー割り込み要求信号 (INTKR) を発生させることができます。

表19 - 1 キー・リターン・フラグの機能

フラグ	設定される端子	兼用ポート
KRM0	KR0信号	P40
KRM1	KR1信号	P41/P51
KRM2	KR2信号	P42/P52
KRM3	KR3信号	P53
KRM4	KR4信号	P54
KRM5	KR5信号	P55
KRM6	KR6信号	P90
KRM7	KR7信号	P91

図19 - 1 キー・リターンのブロック図



19.2 レジスタ

(1) キー・リターン・モード・レジスタ (KRM)

KRMレジスタは、KRM0-KRM7ビットでそれぞれKR0-KR7信号を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF300H

	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	キー・リターン・モードの制御
0	キー・リターン信号を検出しない
1	キー・リターン信号を検出する

注意 KRMレジスタを書き換える場合は、一度00Hとしてから書き換えてください。

備考 兼用端子の設定は表4 - 25 ポート端子を兼用端子として使用する場合のレジスタ設定を参照してください。

19.3 注意事項

- (1) KR0-KR7端子のうち1つでもロウ・レベルが入力されていると、別の端子の立ち下がりエッジを入力してもINTKR信号が発生しません。
- (2) RXDD1端子とKR7端子は同時に使用することはできません。RXDD1端子を使用する場合は、KR7端子を使用しないでください。また、KR7端子を使用する場合は、RXDD1端子を使用しないでください(PFC91ビット = 1, PFCE91ビット = 0に設定することを推奨します)。
- (3) KRMレジスタを変更すると、割り込み要求信号 (INTKR) が発生する場合があります。したがって、あらかじめ割り込みを禁止 (DI) またはマスクしてからKRMレジスタを変更し、割り込み要求フラグ (KRIC.KRIFビット) をクリア (0) してから、割り込みを許可 (EI) またはマスク解除してください。
- (4) キー割り込み機能を使用する場合は、必ずポート端子をキー・リターン用端子に設定してからKRMレジスタで動作を許可してください。また、逆にキー・リターン用端子からポート端子に切り替える場合は、KRMレジスタで動作を禁止してからポート端子の設定を行ってください。

第20章 スタンバイ機能

20.1 概 要

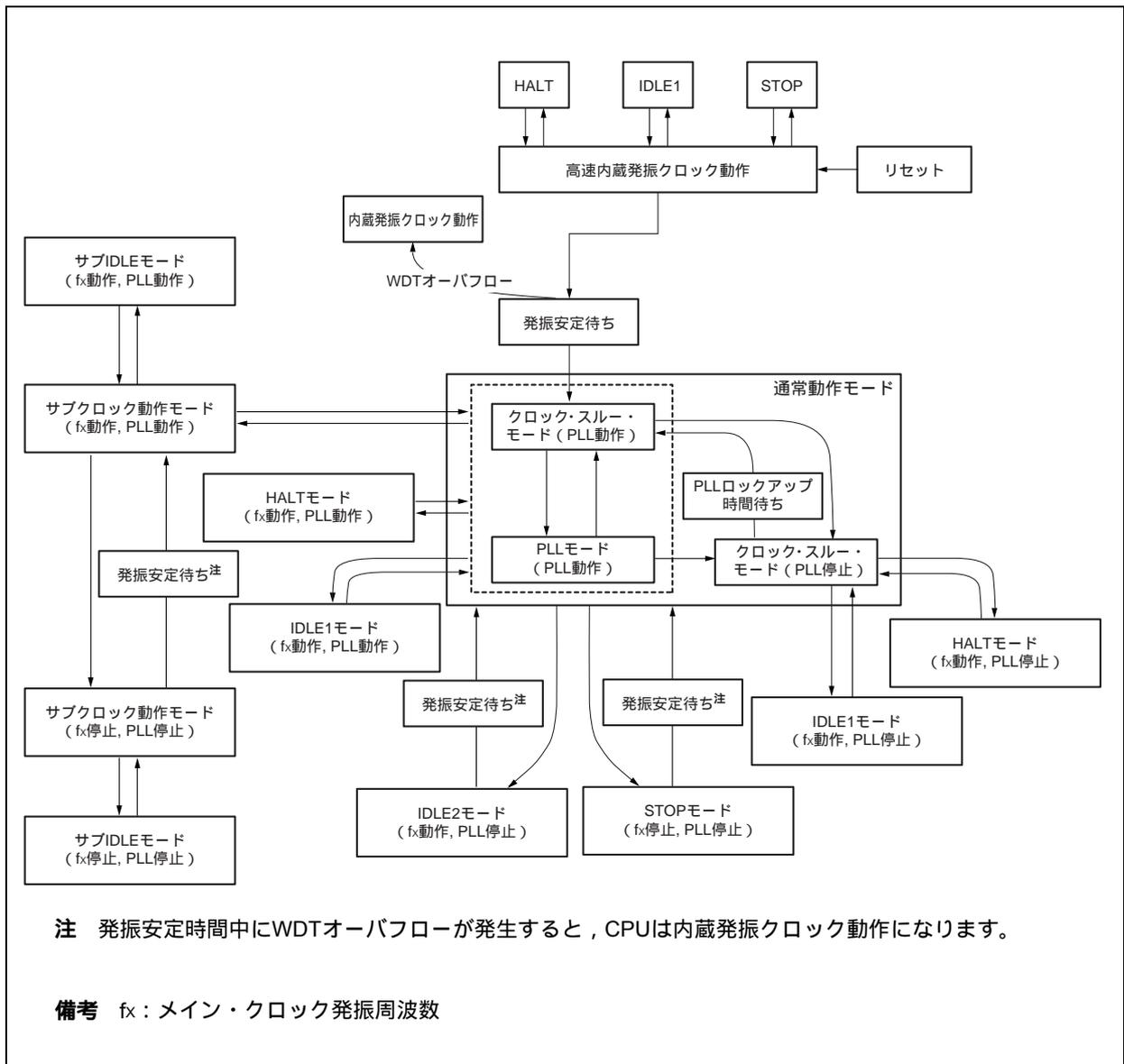
各モードを組み合わせ、用途によって切り替えて使用すると、効果的な低消費電力システムを実現できます。スタンバイ機能には、次に示すものがあります。

表20 - 1 スタンバイ機能のモード一覧

モード	機能概要
HALTモード	CPUの動作クロックのみを停止させるモード
IDLE1モード	発振回路、PLL動作 ^注 、フラッシュ・メモリ以外の内部回路の動作をすべて停止させるモード
IDLE2モード	発振回路以外のチップ内部の動作をすべて停止させるモード
STOPモード	サブクロック発振回路以外のチップ内部の動作をすべて停止させるモード
サブクロック動作モード	内部システム・クロックをサブクロックで動作させるモード
サブIDLEモード	サブクロック動作モード時、発振回路以外のチップ内部の動作をすべて停止させるモード

注 PLLは前の動作状態を保持します。

図20 - 1 状態遷移図



20.2 レジスタ

(1) パワー・セーブ・コントロール・レジスタ (PSC)

スタンバイ機能を制御する8ビットのレジスタです。STPビットの設定によりSTOPモードを指定します。PSCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.7 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF1FEH

	7	⑥	⑤	④	3	2	①	0
PSC	0	NMI1M	NMI0M	INTM	0	0	STP	0

NMI1M	INTWDT2信号発生によるスタンバイ・モード解除制御
0	INTWDT2信号によるスタンバイ・モード解除許可
1	INTWDT2信号によるスタンバイ・モード解除禁止

NMI0M	NMI端子入力によるスタンバイ・モード解除制御
0	NMI端子入力によるスタンバイ・モード解除許可
1	NMI端子入力によるスタンバイ・モード解除禁止

INTM	マスカブル割り込み要求信号によるスタンバイ・モード解除制御
0	マスカブル割り込み要求信号によるスタンバイ・モード解除許可
1	マスカブル割り込み要求信号によるスタンバイ・モード解除禁止

STP	スタンバイ・モード ^注 の設定
0	通常モード
1	スタンバイ・モード

注 STPビットにおけるスタンバイ・モード : IDLE1, IDLE2, STOP, サブIDLEモード

注意1. IDLE1, IDLE2, STOP, サブIDLEモードに設定するときは, PSMR.PSM1, PSM0ビットを設定してから, STPビットを設定してください。

2. NMI1M, NMI0M, INTMビットの設定は, HALTモード解除時は無効です。

3. NMI1M, NMI0M, INTMビットと, STPビットを同時にセット(1)した場合, NMI1M, NMI0M, INTMビットの設定は無効になります。したがって, IDLE1/IDLE2/STOPモードに移行する際にマスクされていない保留中の割り込み要求信号がある場合は, その割り込み要求信号に対するビット(NMI1M, NMI0M, INTM)をセット(1)したあとにSTPビットをセット(1)してください。

4. ビット7, 3, 2, 0には必ず0を設定してください。

(2) パワー・セーブ・モード・レジスタ (PSMR)

パワー・セーブ・モードの動作状態やクロックの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF820H

	7	6	5	4	3	2	1	0
PSMR	0	0	0	0	0	0	PSM1	PSM0

PSM1	PSM0	ソフトウェア・スタンバイ・モード時の動作指定
0	0	IDLE1
0	1	STOPモード
1	0	IDLE2, サブIDLEモード
1	1	STOPモード

注意1. ビット7-2には、必ず0を設定してください。

2. PSM0, PSM1ビットは、PSC.STPビット = 1のときのみ有効です。

備考 IDLE1 : 発振回路と一部の回路（フラッシュ・メモリ、PLL）以外の動作を停止するモードです。

IDLE1モード解除後、HALTモードと同様に発振安定時間を確保する必要なく、通常モードに復帰します。

IDLE2 : 発振回路以外の動作を停止するモードです。

IDLE2モード解除後、OSTSレジスタで指定したセットアップ時間（フラッシュ・メモリ、PLL）を確保したあと、通常モードに復帰します。

STOP : サブクロック発振回路以外の動作を停止するモードです。

STOPモード解除後、OSTSレジスタで指定した発振安定時間を確保したあと、通常モードに復帰します。

サブIDLE : サブクロック動作モード時、発振回路以外の動作を停止するモードです。

割り込み要求信号によるサブIDLEモードの解除後、サブクロックの12周期分の時間を確保したあと、サブクロック動作モードに復帰します。

(3) 発振安定時間選択レジスタ (OSTS)

リセット解除後、メイン・クロック発振許可してから発振が安定するまでのウエイト時間、STOPモードを解除してから発振が安定するまでのウエイト時間、IDLE2モードを解除してから内蔵フラッシュ・メモリが安定するまでのウエイト時間は、OSTSレジスタで制御します。

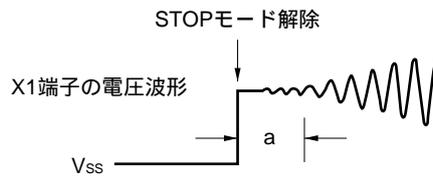
OSTSレジスタは、8ビット単位でリード/ライト可能です。

リセットにより06Hになります。

リセット時 : 06H R/W アドレス : FFFFF6C0H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	OSTS4	OSTS3	OSTS2	OSTS1	OSTS0

注意1. STOPモード解除時のウエイト時間は、リセットによる場合も、割り込み要求信号発生による場合も、STOPモード解除後クロック発振を開始するまでの時間(下図 a)は含みません。



2. ビット7-5には必ず“0”を設定してください。
3. リセット解除後の発振安定時間は、 $2^{16}/f_x$ (OSTSレジスタの初期値 = 06Hのため) となります。
4. 発振安定時間カウント中にOSTSレジスタへの書き込みは行えません。

備考1. 発振安定時間の選択については表20 - 2を参照してください。

2. f_x = メイン・クロック発振周波数

表20 - 2 発振安定時間の選択

OSTS4	OSTS3	OSTS2	OSTS1	OSTS0	発振安定時間の選択				
					$f_x = 4 \text{ MHz}$	$f_x = 5 \text{ MHz}$	$f_x = 12 \text{ MHz}$	$f_x = 16 \text{ MHz}$	
0	0	0	0	0	$2^{10}/f_x$	256 μs	205 μs	86 μs	64 μs
	0	0	0	1	$2^{11}/f_x$	512 μs	410 μs	171 μs	128 μs
	0	0	1	0	$2^{12}/f_x$	1.03 ms	820 μs	342 μs	256 μs
	0	0	1	1	$2^{13}/f_x$	2.05 ms	1.64 ms	683 μs	512 μs
	0	1	0	0	$2^{14}/f_x$	4.10 ms	3.28 ms	1.37 ms	1.03 ms
	0	1	0	1	$2^{15}/f_x$	8.20 ms	6.54 ms	2.74 ms	2.05 ms
	0	1	1	0	$2^{16}/f_x$ (初期値)	16.39 ms	13.11 ms	5.47 ms	4.10 ms
	0	1	1	1	$2^{17}/f_x$	32.77 ms	26.22 ms	10.93 ms	8.20 ms
	1	0	0	0	$2^{18}/f_x$	65.54 ms	52.43 ms	21.85 ms	16.39 ms
	1	0	0	1	$2^{19}/f_x$	131.08 ms	104.86 ms	43.70 ms	32.77 ms
	1	0	1	0	$2^{20}/f_x$	262.15 ms	209.72 ms	87.39 ms	65.54 ms
	1	0	1	1	$2^{21}/f_x$	524.29 ms	349.53 ms	174.77 ms	131.08 ms
1	0	0	0	0	設定禁止				
	0	0	0	1	設定禁止				
	0	0	1	0	$2^4/f_x$	設定禁止	設定禁止	設定禁止	設定禁止
	0	0	1	1	$2^5/f_x$	設定禁止	設定禁止	設定禁止	設定禁止
	0	1	0	0	$2^6/f_x$	設定禁止	設定禁止	設定禁止	設定禁止
	0	1	0	1	$2^7/f_x$	設定禁止	設定禁止	設定禁止	設定禁止
	0	1	1	0	$2^8/f_x$	64 μs	設定禁止	設定禁止	設定禁止
	0	1	1	1	$2^9/f_x$	128 μs	103 μs	設定禁止	設定禁止
	1	0	0	0	$2^{10}/f_x$	256 μs	205 μs	86 μs	64 μs
	1	0	0	1	$2^{11}/f_x$	512 μs	410 μs	171 μs	128 μs
	1	0	1	0	$2^{12}/f_x$	1.03 ms	820 μs	342 μs	256 μs
	1	0	1	1	$2^{13}/f_x$	2.05 ms	1.64 ms	683 μs	512 μs
上記以外					設定禁止				

注意1. OSTS4ビットは、IDLE2モード解除時のみ有効です。

OSTS4ビット = 1にした状態でSTOPモードに移行した場合、STOPモード解除後の発振安定時間はOSTS3-OSTS0ビットで設定した期間 (OSTS4 = 0と見なします) になります。

2. IDLE2モード解除時、次の安定時間を確保するように設定してください。

- PLL動作時：MIN.800 μs (PLLロックアップ時間確保のため)
- PLL停止時：MIN.54 μs (フラッシュ・メモリのセットアップ時間確保のため)
- SSCG動作時：MIN.1ms (SSCGロックアップ時間確保のため)

3. STOPモード解除時、次の安定時間を確保するように設定してください。

- PLL動作時：MIN.1600 μs (PLLロックアップ時間確保のため)
- PLL停止時：MIN.54 μs (フラッシュ・メモリのセットアップ時間確保のため)
- SSCG動作時：MIN.2 ms (SSCGロックアップ時間確保のため)

ただし、メイン・クロックの発振安定時間が上記値以上の場合は、メイン・クロックの発振安定時間を確保するような設定にしてください。

(4) 発振安定時間カウント・ステータス・レジスタ (OSTC)

OSTCレジスタは、メイン・クロックの状態を見るレジスタです。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時：00H R アドレス：FFFFFF6C2H

	7	6	5	4	3	2	1	0
OSTC	0	0	0	0	0	0	0	MSTS

MSTS	メイン・クロックの状態
0	メイン・クロック停止, または発振安定時間待ち
1	メイン・クロック発振安定時間終了

- 注意1.** OSTCレジスタは、メイン・クロックの発振状態を直接モニタしているのではなく、OSTSレジスタで選択された発振安定時間を基準に経過状態を示しています。
- 2.** メイン・クロック発振がソフトウェア (PCC.MCKビット = 1) やSTOPモードにより停止した場合、OSTCレジスタは00Hになりますが、メイン・クロック発振異常により停止した場合は、状態を保持します。

20.3 HALTモード

20.3.1 設定および動作状態

通常動作モード時、専用命令（HALT命令）を実行することにより、HALTモードに設定されます。

HALTモードに設定すると、クロック発振回路は動作を継続しますが、CPUへのクロック供給のみが停止し、そのほかの内蔵周辺機能へのクロック供給は継続されます。

これにより、プログラムの実行が停止し、内蔵RAMの内容は、HALTモード設定前の状態を保持します。また、CPUの命令処理に依存しない内蔵周辺機能は動作を継続します。

表20 - 4にHALTモード時の動作状態を示します。

HALTモードは、通常動作モードとの間欠動作により、システム全体の平均消費電力を低減することができます。

注意1. HALT命令の後には、NOP命令を5命令以上挿入してください。

2. マスクされていない割り込み要求信号が保留されている状態でHALT命令を実行した場合、HALTモードに移行するが、保留されている割り込み要求によりHALTモードはすぐに解除されます。

20.3.2 HALTモードの解除

HALTモードは、ノンマスクابل割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP0-INTP14端子入力）、HALTモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（ $\overline{\text{RESET}}$ 端子入力、WDT2RES信号、パワーオン・クリア回路（POC）、低電圧検出回路（LVI）、クロック・モニタ（CLM）によるリセット）により解除されます。

HALTモードの解除により、通常動作モードに移行します。

(1) ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のようになります。

- (a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとHALTモードの解除だけ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。
- (b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスクابل割り込み要求信号を含む）が発生すると、HALTモードの解除とともにこの割り込み要求信号を受け付けます。

表20 - 3 割り込み要求信号によるHALTモード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスクابل割り込み要求信号	ハンドラ・アドレスに分岐	
マスクابل割り込み要求信号	ハンドラ・アドレスに分岐、 または次の命令を実行	次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表20 - 4 HALTモード時の動作状態

項目	HALTモードの設定	動作状態	
		サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路		発振可能	
サブクロック発振回路		-	発振
低速内蔵発振器 (f _{RL})		発振可能	
高速内蔵発振器 (f _{RH})		発振可能	
PLL		動作可能	
SSCG		動作可能	
CPU		動作停止	
ポート機能		HALTモード設定前の状態を保持	
外部バス・インタフェース		2.2 端子状態参照	
タイマAA (TAA0-TAA4)		TAA0, TAA2, TAA4 : 動作可能 TAA1, TAA3 : カウント・クロックにf _{XT} 以外を選択時, 動作可能	動作可能
タイマAB (TAB0-TAB2)		動作可能	
タイマM (TMM0)		カウント・クロックにf _{XT} 以外を選択時に動作可能	動作可能
時計用タイマ		カウント・クロックにf _X (BRG分周) を選択時に動作可能	動作可能
ウォッチドッグ・タイマ2		動作可能	
A/Dコンバータ		動作可能	
シリアル・インタフェース	UARTD0-UARTD5	動作可能	
	CSIB0-CSIB2	動作可能	
	I ² C00	動作可能	
DMA		動作可能	
割り込みコントローラ		動作可能	
キー割り込み機能 (KR)		動作可能	
クロック・モニタ		動作可能	
パワーオン・クリア回路		動作可能	
低電圧検出回路		動作可能	
レギュレータ		動作継続	
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてHALTモード設定前の状態を保持	

備考 表20 - 4はV850ES/HJ3 (最大仕様) で示しています。V850ES/HE3, V850ES/HF3, V850ES/HG3ではサポートしていない周辺機能があります。詳細は表1 - 1 V850ES/Hx3の機能概要一覧を参照してください。

20.4 IDLE1モード

20.4.1 設定および動作状態

通常動作モード時、PSMR.PSM1, PSM0ビットを“00”に設定し、PSC.STPビットを“1”に設定することにより、IDLE1モードに設定されます。

IDLE1モードに設定すると、クロック発振回路、PLL動作、フラッシュ・メモリは動作を継続しますが、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はIDLE1モード設定前の状態を保持します。また、CPUや、そのほかの内蔵周辺機能は動作を停止します。ただし、サブクロックあるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表20-6にIDLE1モード時の動作状態を示します。

IDLE1モードは、内蔵周辺機能の動作が停止するので、HALTモードよりさらに低消費電力を実現できます。また、メイン・クロック発振回路は停止しないので、IDLE1モード解除時、HALTモードと同様に発振安定時間を確保することなく、通常動作モードに復帰できます。

- 注意1.** IDLE1モードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。
- 2.** マスクされていない割り込み要求信号が保留されている状態でIDLE1モードに設定した場合、保留されている割り込み要求によりIDLE1モードはすぐに解除されます。

20.4.2 IDLE1モードの解除

IDLE1モードは、ノンマスクابل割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP0-INTP14端子入力）、IDLE1モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（ $\overline{\text{RESET}}$ 端子入力、WDT2RES信号、パワーオン・クリア回路（POC）、低電圧検出回路（LVI）、クロック・モニタ（CLM）によるリセット）により解除されます。

IDLE1モードの解除により、通常動作モードに移行します。

（1）ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でIDLE1モードに設定した場合は次のようになります。

- 注意1.** PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり、IDLE1モードは解除されません。
- 2.** INTP3端子はNFCレジスタの設定により、デジタル・ノイズ除去を選択し、かつ、サンプリング・クロックを $f_{xx}/64$, $f_{xx}/128$, $f_{xx}/256$, $f_{xx}/512$, $f_{xx}/1024$ から選択した場合、割り込み要求信号によるIDLE1モードの解除はできません。サンプリング・クロックにサブクロック（ f_{XT} ）を選択するか、アナログ・ノイズ除去を選択することでIDLE1解除要因になります。詳細は18.6.2（8）ノイズ除去制御レジスタ（NFC）を参照してください。

- （a）現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとIDLE1モードの解除だけ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。
- （b）現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスクابل割り込み要求信号を含む）が発生すると、IDLE1モードの解除とともにこの割り込み要求信号を受け付けます。

表20 - 5 割り込み要求信号によるIDLE1モード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求信号	ハンドラ・アドレスに分岐	
マスクابل割り込み要求信号	ハンドラ・アドレスに分岐, または次の命令を実行	次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表20 - 6 IDLE1モード時の動作状態

項目	IDLE1モードの設定	動作状態	
		サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路		発振可能	
サブクロック発振回路		-	発振
低速内蔵発振器 (f _{RL})		発振可能	
高速内蔵発振器 (f _{RH})		発振可能	
PLL		動作可能	
SSCG		動作可能	
CPU		動作停止	
ポート機能		IDLE1モード設定前の状態を保持	
外部バス・インタフェース		2.2 端子状態参照	
タイマAA (TAA0-TAA4)		動作停止	
タイマAB (TAB0-TAB2)		動作停止	
タイマM (TMM0)		カウント・クロックにINTW _T , f _{RL} /8のいずれかを選択時に動作可能	カウント・クロックにINTW _T , f _{RL} /8, f _{XT} のいずれかを選択時に動作可能
時計用タイマ		カウント・クロックにf _x (BRG分周) を選択時に動作可能	動作可能
ウォッチドッグ・タイマ2		動作可能	
A/Dコンバータ		動作停止	
シリアル・インタフェース	UARTD0-UARTD5	動作停止 (ただしUARTD0はASCKD0入力クロック選択時に動作可能)	
	CSIB0-CSIB2	カウント・クロックにSCKB _n 入力クロック選択時に動作可能	
	I ² C00	動作停止	
DMA		動作停止	
割り込みコントローラ		動作停止 (ただし, IDLE1モードの解除は可能)	
キー割り込み機能 (KR)		動作可能	
クロック・モニタ		動作可能	
パワーオン・クリア回路		動作可能	
低電圧検出回路		動作可能	
レギュレータ		動作継続	
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてIDLE1モード設定前の状態を保持	

備考 表20 - 6はV850ES/HJ3 (最大仕様) で示しています。V850ES/HE3, V850ES/HF3, V850ES/HG3ではサポートしていない周辺機能があります。詳細は表1 - 1 V850ES/Hx3の機能概要一覧を参照してください。

20.5 IDLE2モード

20.5.1 設定および動作状態

通常動作モード時、PSMR.PSM1, PSM0ビットを“10”に設定し、PSC.STPビットを“1”に設定することにより、IDLE2モードに設定されます。

IDLE2モードに設定すると、クロック発振回路は動作を継続しますが、CPU, PLL, フラッシュ・メモリやその他の内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はIDLE2モード設定前の状態を保持します。また、CPU, PLLや、その他の内蔵周辺機能は動作を停止します。ただし、サブクロックあるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表20-8にIDLE2モード時の動作状態を示します。

IDLE2モードは、内蔵周辺機能、PLL, フラッシュ・メモリの動作が停止するので、IDLE1モードよりさらに低消費電力を実現できます。ただし、PLL, フラッシュ・メモリは停止するため、IDLE2モード解除時、必ずPLL, フラッシュ・メモリのセットアップ時間が必要となります。

- 注意1.** IDLE2モードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。
- 2.** マスクされていない割り込み要求信号が保留されている状態でIDLE2モードに設定した場合、保留されている割り込み要求によりIDLE2モードはすぐに解除されます。

20.5.2 IDLE2モードの解除

IDLE2モードは、ノンマスクブル割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP0-INTP14端子入力）、IDLE2モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（RESET端子入力、WDT2RES信号、パワーオン・クリア回路（POC）、低電圧検出回路（LVI）、クロック・モニタ（CLM）によるリセット）により解除されます。また、PLLはIDLE2モード設定前の動作状態に復帰します。

IDLE2モードの解除により、通常動作モードに移行します。

(1) ノンマスクブル割り込み要求信号、マスクされていないマスクブル割り込み要求信号

ノンマスクブル割り込み要求信号、マスクされていないマスクブル割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でIDLE2モードに設定した場合は次のようになります。

- 注意1.** PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり、IDLE2モードは解除されません。
- 2.** INTP3端子はNFCレジスタの設定により、デジタル・ノイズ除去を選択し、かつ、サンプリング・クロックをf_{xx}/64, f_{xx}/128, f_{xx}/256, f_{xx}/512, f_{xx}/1024から選択した場合、割り込み要求信号によるIDLE2モードの解除はできません。サンプリング・クロックにサブクロック（f_{XT}）を選択するか、アナログ・ノイズ除去を選択することでIDLE2の解除要因になります。詳細は18.6.2(8)ノイズ除去制御レジスタ（NFC）を参照してください。
- (a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとIDLE2モードの解除だけ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。
- (b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスクブル割り込み要求信号を含む）が発生すると、IDLE2モードの解除とともにこの割り込み要求信号を受け付けます。

表20 - 7 割り込み要求信号によるIDLE2モード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求信号	所定のセットアップ時間確保後、ハンドラ・アドレスに分岐	
マスクابل割り込み要求信号	所定のセットアップ時間確保後、ハンドラ・アドレスに分岐、または次の命令を実行	所定のセットアップ時間確保後、次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表20 - 8 IDLE2モード時の動作状態

項 目	IDLE2モードの設定		動作状態	
			サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路	発振可能			
サブクロック発振回路	-			発振
低速内蔵発振器 (f _{RL})	発振可能			
高速内蔵発振器 (f _{RH})	発振可能			
PLL	動作停止			
SSCG	動作停止			
CPU	動作停止			
ポート機能	IDLE2モード設定前の状態を保持			
外部バス・インタフェース	2.2 端子状態参照			
タイマAA (TAA0-TAA4)	動作停止			
タイマAB (TAB0-TAB2)	動作停止			
タイマM (TMM0)	カウント・クロックにINTW _T , f _{RL} /8のいずれかを選択時に動作可能		カウント・クロックにINTW _T , f _{RL} /8, f _{XT} のいずれかを選択時に動作可能	
時計用タイマ	カウント・クロックにf _X (BRG分周) を選択時に動作可能		動作可能	
ウォッチドッグ・タイマ2	動作可能			
A/Dコンバータ	動作停止			
シリアル・インタフェース	UARTD0-UARTD5	動作停止 (ただしUARTD0はASCKD0入力クロック選択時に動作可能)		
	CSIB0-CSIB2	カウント・クロックにSCKBn入力クロック選択時に動作可能		
	I ² C00	動作停止		
DMA	動作停止			
割り込みコントローラ	動作停止 (ただし, IDLE2モードの解除は可能)			
キー割り込み機能 (KR)	動作可能			
クロック・モニタ	動作可能			
パワーオン・クリア回路	動作可能			
低電圧検出回路	動作可能			
レギュレータ	動作継続			
内部データ	CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてIDLE1モード設定前の状態を保持			

備考 表20 - 8はV850ES/HJ3 (最大仕様) で示しています。V850ES/HE3, V850ES/HF3, V850ES/HG3ではサポートしていない周辺機能があります。詳細は表1 - 1 V850ES/Hx3の機能概要一覧を参照してください。

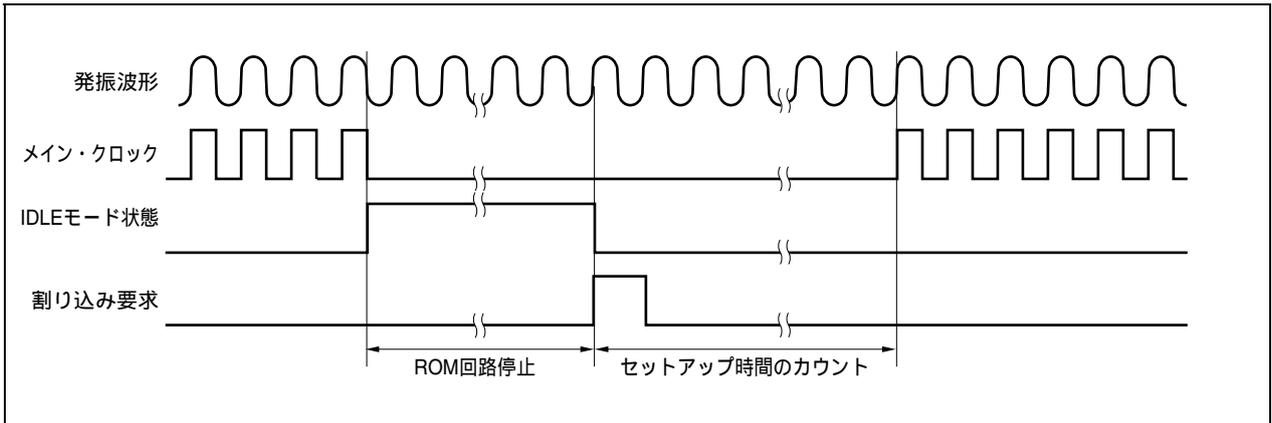
20.5.3 IDLE2モード解除時のセットアップ時間の確保

IDLE2モードに設定されることにより、メイン・クロック発振回路以外は動作を停止するので、IDLE2モード解除後、フラッシュ・メモリのセットアップ時間をOSTSレジスタで確保してください。また、PLL、SSCGを使用している場合は、ロックアップ時間をOSTSレジスタで確保してください。

(1) ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号による解除

所定のセットアップ時間、ロックアップ時間は、OSTSレジスタの設定により確保します。

IDLE2モードの解除要因が発生すると、OSTSレジスタの設定に従い内部専用タイマはカウント動作を開始し、オーバフローすると通常動作モードに移行します。



(2) リセット (RESET端子入力, WDT2RES発生) による解除

通常のリセット動作と同じです。

なお、発振安定時間はOSTSレジスタの初期値： $2^{16}/f_x$ になります。

20.6 STOPモード

20.6.1 設定および動作状態

通常動作モード時、PSMR.PSM1, PSM0ビットを“01”または“11”に設定し、PSC.STPビットを“1”に設定することにより、STOPモードに設定されます。

STOPモードに設定するとサブクロック発振回路は動作を継続しますが、メイン・クロック発振回路は動作を停止します。また、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はSTOPモード設定前の状態を保持します。また、CPUやそのほかの内蔵周辺機能は動作を停止します。ただし、サブクロック発振回路、あるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表20 - 10にSTOPモード時の動作状態を示します。

STOPモードは、メイン・クロック発振回路の動作が停止するので、IDLE2モードよりさらに低消費電力を実現できます。また、サブクロック発振回路、内蔵発振器、外部クロックを使用しない場合は、リーク電流のみの超低消費電力を実現できます

- 注意1.** STOPモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。
- 2.** マスクされていない割り込み要求信号が保留されている状態でSTOPモードに設定した場合、保留されている割り込み要求によりSTOPモードはすぐに解除されます。

20.6.2 STOPモードの解除

STOPモードは、ノンマスクブル割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP0-INTP14端子入力）、STOPモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（RESET端子入力、WDT2RES信号、パワーオン・クリア回路（POC）、低電圧検出回路（LVI）によるリセット）により解除されます。

STOPモードの解除により、発振安定時間を確保したあと、通常動作モードに移行します。

- 注意1.** PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求は無効になり、STOPモードは解除されません。
- 2.** INTP3端子はNFCレジスタの設定により、デジタル・ノイズ除去を選択し、かつ、サンプリング・クロックをf_{xx}/64, f_{xx}/128, f_{xx}/256, f_{xx}/512, f_{xx}/1024から選択した場合、割り込み要求信号によるSTOPモードの解除はできません。サンプリング・クロックにサブクロック（f_{XT}）を選択するか、アナログ・ノイズ除去を選択することでSTOPの解除要因になります。詳細は18.6.2(8)ノイズ除去制御レジスタ（NFC）を参照してください。

(1) ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でSTOPモードに設定した場合は次のようになります。

- (a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとSTOPモードの解除だけ行い，この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。
- (b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスカブル割り込み要求信号を含む）が発生すると，STOPモードの解除とともにこの割り込み要求信号を受け付けます。

表20 - 9 割り込み要求信号によるSTOPモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスカブル割り込み要求信号	発振安定時間確保後，ハンドラ・アドレスに分岐	
マスカブル割り込み要求信号	発振安定時間確保後，ハンドラ・アドレスに分岐，または次の命令を実行	発振安定時間確保後，次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表20 - 10 STOPモード時の動作状態

項目	STOPモードの設定	動作状態	
		サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路		発振停止	
サブクロック発振回路		-	発振
低速内蔵発振器 (f _{RL})		発振可能	
高速内蔵発振器 (f _{RH})		発振停止	
PLL		動作停止	
SSCG		動作停止	
CPU		動作停止	
ポート機能		STOPモード設定前の状態を保持	
外部バス・インタフェース		2.2 端子状態参照	
タイマAA (TAA0-TAA4)		動作停止	
タイマAB (TAB0-TAB2)		動作停止	
タイマM (TMM0)		カウント・クロックにf _{RL} /8を選択時に動作可能	カウント・クロックにINTWT, f _{RL} /8, f _{XT} のいずれかを選択時に動作可能
時計用タイマ		動作停止	カウント・クロックにf _{XT} を選択時に動作可能
ウォッチドッグ・タイマ2		カウント・クロックにf _{RL} を選択時に動作可能	
A/Dコンバータ		動作停止	
シリアル・インタフェース	UARTD0-UARTD5	動作停止 (ただしUARTD0はASCKD0入力クロック選択時に動作可能)	
	CSIB0-CSIB2	カウント・クロックにSCKBn入力クロック選択時に動作可能	
	I ² C00	動作停止	
DMA		動作停止	
割り込みコントローラ		動作停止 (ただし, STOPモードの解除は可能)	
キー割り込み機能 (KR)		動作可能	
クロック・モニタ		動作停止	
パワーオン・クリア回路		動作可能	
低電圧検出回路		動作可能	
レギュレータ		動作継続	
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてSTOPモード設定前の状態を保持	

備考 表20 - 10はV850ES/HJ3 (最大仕様) で示しています。V850ES/HE3, V850ES/HF3, V850ES/HG3ではサポートしていない周辺機能があります。詳細は表1 - 1 V850ES/Hx3の機能概要一覧を参照してください。

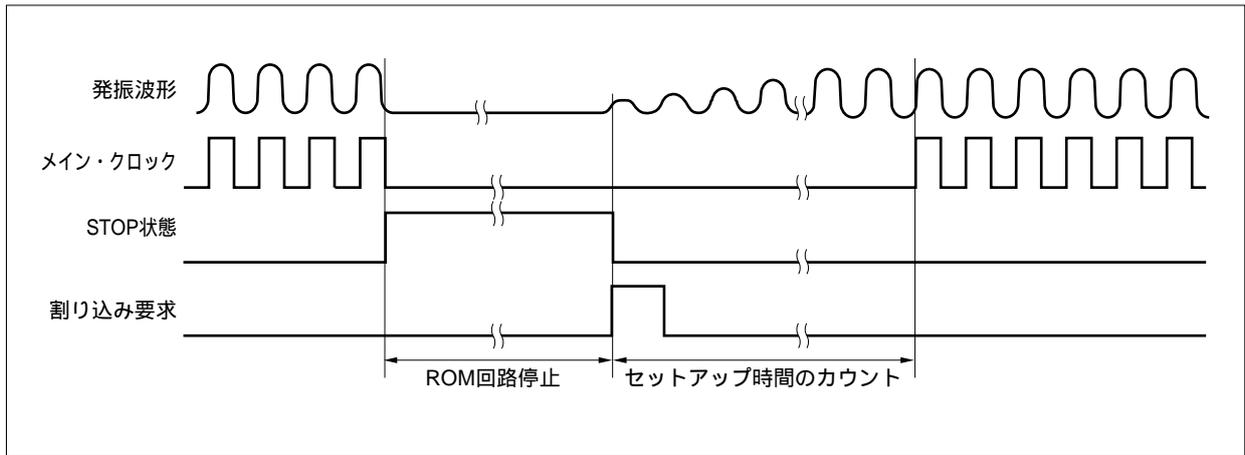
20.6.3 STOPモード解除時の発振安定時間の確保

STOPモードに設定されることにより、メイン・クロック発振回路は動作を停止するので、STOPモード解除後、メイン・クロック発振回路の発振安定時間をOSTSレジスタで確保してください。また、フラッシュ・メモリのセットアップ時間、PLL、SSCGのロックアップ時間をOSTSレジスタで確保してください。

(1) ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号による解除

セットアップ時間、ロックアップ時間、発振安定時間は、OSTSレジスタの設定により確保します。

STOPモードの解除要因が発生すると、OSTSレジスタの設定に従い内部専用タイマはカウント動作を開始し、オーバフローすると通常動作モードに移行します。



(2) リセットによる解除

通常のリセット動作と同じです。

なお、発振安定時間はOSTSレジスタの初期値： $2^{16}/f_x$ になります。

20.7 サブクロック動作モード

20.7.1 設定および動作状態

通常動作モード時，PCC.CK3ビットを“1”に設定することにより，サブクロック動作モードに設定されます。

サブクロック動作モードに設定すると，内部システム・クロックがメイン・クロック サブクロックに切り替わります。切り替わりは，PCC.CLSビットを確認してください。

さらに，PCC.MCKビットを“1”に設定することにより，メイン・クロック発振回路の動作を停止します。これにより，システム全体がサブクロックでのみ動作します。

サブクロック動作モードは，内部システム・クロックがサブクロックとなるので，通常動作モードよりも消費電力を低減できます。さらに，メイン・クロック発振回路の動作を停止させることにより，STOPモードに近い低消費電力を実現できます。

サブクロック動作モード時の動作状態を表20 - 11に示します。

- 注意1.** CK3ビットを操作する場合，PCC.CK2-CK0ビットの設定値の変更は禁止です（ビット操作命令を推奨）。PCCレジスタの詳細は，6.3(1)プロセッサ・クロック・コントロール・レジスタ(PCC)を参照してください。
- 2.** 次の条件を満たしていない場合は，条件を満たすようにCK2-CK0ビットを変更後，サブクロック動作モードに移行してください。

$$\text{内部システム・クロック (f}_{\text{CLK}}) > \text{サブクロック (f}_{\text{XT}}) \times 4$$

備考 内部システム・クロック (f_{CLK}) : CK2-CK0ビットの設定によってメイン・クロック (f_{XX}) から生成するクロック

20.7.2 サブクロック動作モードの解除

サブクロック動作モードは，CK3ビットを“0”に設定するか，リセット信号（ $\overline{\text{RESET}}$ 端子入力，WDT2RES信号，パワーオン・クリア回路(POC)，低電圧検出回路(LVI)，クロック・モニタ(CLM)によるリセット)により解除します。

なお，メイン・クロックを停止(MCKビット = 1)していた場合は，MCKビットを“1”に設定し，メイン・クロックの発振安定時間をソフトウェアにより確保してから，CK3ビットを“0”に設定します。

サブクロック動作モードの解除により，通常動作モードに移行します。

- 注意** CK3ビットを操作する場合，CK2-CK0ビットの設定値の変更は禁止です（ビット操作命令を推奨）。PCCレジスタの詳細は，6.3(1)プロセッサ・クロック・コントロール・レジスタ(PCC)を参照してください。

表20 - 11 サブクロック動作モード時の動作状態

サブクロック動作モードの設定 項目		動作状態	
		メイン・クロック発振時	メイン・クロック停止時
サブクロック発振回路		発振	
低速内蔵発振器 (f _{RL})		発振可能	
高速内蔵発振器 (f _{RH})		発振可能	
PLL		動作可能	動作停止 ^注
SSCG		動作可能	動作停止 ^注
CPU		動作可能	
ポート機能		設定可能	
外部バス・インタフェース		2.2 端子状態参照	
タイマAA (TAA0-TAA4)		動作可能	動作停止
タイマAB (TAB0-TAB2)		動作可能	動作停止
タイマM (TMM0)		動作可能	カウント・クロックにINTWT, f _{RL} /8, f _{XT} のいずれかを選択時に動作可能
時計用タイマ		動作可能	カウント・クロックにf _{XT} を選択時に動作可能
ウォッチドッグ・タイマ2		動作可能	カウント・クロックにf _{RL} を選択時に動作可能
A/Dコンバータ		動作可能	動作停止
シリアル・インタフェース	UARTD0-UARTD5	動作可能	動作停止 (ただしUARTD0はASCKD0入力クロック選択時に動作可能)
	CSIB0-CSIB2	動作可能	カウント・クロックにSCKBn入力クロック選択時に動作可能
	I ² C00	動作可能	動作停止
DMA		動作可能	
割り込みコントローラ		動作可能	
キー割り込み機能 (KR)		動作可能	
クロック・モニタ		動作可能	動作停止
パワーオン・クリア回路		動作可能	
低電圧検出回路		動作可能	
レギュレータ		動作継続	
内部データ		設定可能	

注 メイン・クロック発振回路を停止する場合は、必ずPLL, SSCGも停止 (PLLONビット=0, SSCGONビット=0) に設定してください。

注意 CPUがサブクロックで動作し、かつメイン発振を停止している場合、ウェイトが発生するレジスタへのアクセスは禁止です。ウェイトが発生した場合、解除する方法はリセットのみです (3.4.8 (2) 参照)。

備考 表20 - 11はV850ES/HJ3 (最大仕様) で示しています。V850ES/HE3, V850ES/HF3, V850ES/HG3ではサポートしていない周辺機能があります。詳細は表1 - 1 V850ES/Hx3の機能概要一覧を参照してください。

20.8 サブIDLEモード

20.8.1 設定および動作状態

サブクロック動作モード時，PSMR.PSM1, PSM0ビットを“10”に設定し，PSC.STPビットを“1”に設定することにより，サブIDLEモードに設定されます。

サブIDLEモードに設定すると，クロック発振回路は動作を継続しますが，CPU，フラッシュ・メモリやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより，プログラムの実行が停止し，内蔵RAMの内容はサブIDLEモード設定前の状態を保持します。また，CPUやそのほかの内蔵周辺機能は動作を停止します。ただし，サブクロック，あるいは外部クロックで動作可能な内蔵周辺機能に関しては，動作を継続します。

サブIDLEモードは，CPU，フラッシュ・メモリやそのほかの内蔵周辺機能の動作が停止するので，サブクロック動作モードよりさらに低消費電力を実現できます。

また，メイン・クロックを停止してからサブIDLEモードに設定した場合は，STOPモードに近い低消費電力を実現できます。

サブIDLEモード時の動作状態を，表20 - 13に示します。

- 注意1. サブIDLEモードに設定するためのPSCレジスタに対するストア命令のあとには，NOP命令を5命令以上挿入してください。**
- 2. マスクされていない割り込み要求信号が保留されている状態でサブIDLEモードに設定した場合，保留されている割り込み要求によりサブIDLEモードはすぐに解除されます。**

20.8.2 サブIDLEモードの解除

サブIDLEモードは、ノンマスクابل割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP0-INTP14端子入力）、サブIDLEモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（ $\overline{\text{RESET}}$ 端子入力、WDT2RES信号、パワーオン・クリア回路（POC）、低電圧検出回路（LVI）、クロック・モニタ（CLM）によるリセット）により解除されます。また、PLLはサブIDLEモード設定前の動作状態と同じ状態に復帰します。

割り込み要求信号によるサブIDLEモードの解除により、サブクロック動作モードに移行します。

（1）ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号が発生すると、優先順位とは無関係に解除されます。

ただし、割り込み処理ルーチン内でサブIDLEモードに設定した場合、次のようになります。

注意1. PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり、サブIDLEモードは解除されません。

2. サブIDLEモードからの復帰時は、割り込み要求信号による解除要因が発生してから解除されるまでに、サブクロックの12周期分の時間（約366 μ s）が挿入されます。

3. INTP3端子はNFCレジスタの設定により、デジタル・ノイズ除去を選択し、かつ、サンプリング・クロックを $f_{xx}/64$, $f_{xx}/128$, $f_{xx}/256$, $f_{xx}/512$, $f_{xx}/1024$ から選択した場合、割り込み要求信号によるサブIDLEモードの解除はできません。サンプリング・クロックにサブクロック（ f_{XT} ）を選択するか、アナログ・ノイズ除去を選択することでサブIDLEの解除要因になります。詳細は18.6.2（8）ノイズ除去制御レジスタ（NFC）を参照してください。

（a）現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生すると、サブIDLEモードの解除だけ行い、この割り込み要求信号は受けません。割り込み要求信号そのものは保留されます。

（b）現在処理中の割り込み要求よりも優先順位の高い割り込み要求信号（ノンマスクابل割り込み要求信号も含む）が発生すると、サブIDLEモードの解除とともにこの割り込み要求信号を受け付けます。

表20 - 12 割り込み要求信号によるサブIDLEモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求信号	ハンドラ・アドレスに分岐	
マスクابل割り込み要求信号	ハンドラ・アドレスに分岐, または次の命令を実行	次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表20 - 13 サブIDLEモード時の動作状態

項目	サブIDLEモードの設定		動作状態	
			メイン・クロック発振時	メイン・クロック停止時
サブクロック発振回路			発振	
低速内蔵発振器 (f _{RL})			発振可能	
高速内蔵発振器 (f _{RH})			発振可能	
PLL			動作可能	動作停止 ^注
SSCG			動作可能	動作停止 ^注
CPU			動作停止	
ポート機能			サブIDLEモード設定時の状態を保持	
外部バス・インタフェース			2.2 端子状態参照	
タイマAA (TAA0-TAA4)			動作停止	
タイマAB (TAB0-TAB2)			動作停止	
タイマM (TMM0)			カウント・クロックにINTWT, f _{RL} /8, f _{XT} のいずれかを選択時に動作可能	
時計用タイマ			動作可能	カウント・クロックにf _{XT} を選択時に動作可能
ウォッチドッグ・タイマ2			動作可能	カウント・クロックにf _{RL} を選択時に動作可能
A/Dコンバータ			動作停止	
シリアル・インタフェース	UARTD0-UARTD5		動作停止 (ただしUARTD0はASCKD0入力クロック選択時に動作可能)	
	CSIB0-CSIB2		カウント・クロックにSCKBn入力クロック選択時に動作可能	
	I ² C00		動作停止	
DMA			動作停止	
割り込みコントローラ			動作停止 (ただし, サブIDLEモードの解除は可能)	
キー割り込み機能 (KR)			動作可能	
クロック・モニタ			動作可能	動作停止
パワーオン・クリア回路			動作可能	
低電圧検出回路			動作可能	
レギュレータ			動作継続	
内部データ			CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてサブIDLEモード設定前の状態を保持	

注 メイン・クロック発振回路を停止する場合は, 必ずPLL, SSCGも停止 (PLLONビット=0, SSCGONビット=0) に設定してください。

備考 表20 - 13はV850ES/HJ3 (最大仕様) で示しています。V850ES/HE3, V850ES/HF3, V850ES/HG3ではサポートしていない周辺機能があります。詳細は表1 - 1 V850ES/Hx3の機能概要一覧を参照してください。

第21章 リセット機能

21.1 概 要

リセット機能の概要を次に示します。

(1) 4種類のリセット要因

- ・ $\overline{\text{RESET}}$ 端子による外部リセット入力
- ・ ウォッチドッグ・タイマ2 (WDT2) のオーバフローによるリセット機能 (WDT2RES)
- ・ 低電圧検出回路 (LVI) の電源電圧と検出電圧との比較によるシステム・リセット
- ・ クロック・モニタ (CLM) の発振停止検出によるシステム・リセット
- ・ パワーオン・クリア回路によるシステム・リセット

リセット解除後、リセット要因フラグ・レジスタ (RESF) によりリセット要因を確認できます。

(2) 緊急動作モード

リセット後に挿入されるメイン・クロック発振安定期間内でWDT2がオーバフローした場合、メイン・クロックの発振異常と判断し、内蔵発振クロックでCPUの動作を開始します。

注意 CPUが低速内蔵発振クロックで動作しているとき、ウェイトが発生するレジスタへのアクセスは禁止です。ウェイトが発生するレジスタについては、3.4.8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

21.2 リセット要因を確認するレジスタ

V850ES/Hx3には4つのリセット要因が存在します。リセット解除後、リセット要因フラグ・レジスタ (RESF) により発生したリセット要因を確認できます。

(1) リセット要因フラグ・レジスタ (RESF)

RESFレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4.7 特定レジスタ参照)。

RESFレジスタは、どの要因から発生したリセット信号かを格納するレジスタです。

8/1ビット単位でリード/ライト可能です。

$\overline{\text{RESET}}$ 端子入力、POCリセットにより00Hになります。 $\overline{\text{RESET}}$ 端子以外の要因のリセットにより初期値は異なります。

リセット時：00H^注 R/W アドレス：FFFFFF888H

	7	6	5	4	3	2	1	0
RESF	0	0	0	WDT2RF	0	0	CLMRF	LVIRF

WDT2RF	WDT2からのリセット信号発生有無
0	発生なし
1	発生あり

CLMRF	CLMからのリセット信号発生有無
0	発生なし
1	発生あり

LVIRF	LVIからのリセット信号発生有無
0	発生なし
1	発生あり

注 $\overline{\text{RESET}}$ 端子によるリセット時はRESFレジスタは00H。

ウォッチドッグ・タイマ2 (WDT2)、低電圧検出回路 (LVI)、クロック・モニタ (CLM) によるリセット時は、自身のリセット・フラグ (WDT2RF, CLMRF, LVIRFビット) をセットします。ただし、ほかの要因は保持します。

注意1. ビット7-5, 3, 2には必ず0を設定してください。

2. 各ビットへの書き込みは“0”ライトのみ可能で、“0”ライト書き込みとフラグ・セット(リセットの発生)が競合した場合、フラグ・セットが優先されます。

21.3 動作

21.3.1 RESET端子によるリセット動作

RESET端子にロウ・レベルを入力すると、システム・リセットがかかり、各ハードウェアを初期化します。

RESET端子入力をロウ・レベルからハイ・レベルに変化させると、リセット状態を解除します。リセット解除後、高速内蔵発振器のセットアップ時間を確保したあと、CPUはプログラム実行を開始します。

表21-1 RESET端子入力時の各ハードウェアの状態

項目	リセット中	リセット後
メイン・クロック発振回路 (fx)	発振停止	発振停止 (f _{RH} の発振安定時間確保後、ソフトウェアで発振開始設定可能)
サブクロック発振回路 (fxT)	発振継続	
低速内蔵発振器 (f _{RL})	発振停止	発振開始
高速内蔵発振器 (f _{RH})	発振停止	発振開始
PLL	動作停止	動作停止 (発振安定時間確保後、ソフトウェアで動作開始設定可能)
SSCG	動作停止	動作停止 (発振安定時間確保後、ソフトウェアで動作開始設定可能)
周辺クロック (fx-fx/1024)	動作停止	発振安定時間確保後、動作開始
内部システム・クロック (f _{CLK}) , CPUクロック (f _{CPU})	動作停止	発振安定時間確保後、動作開始
CPU	初期化	発振安定時間確保後、プログラムの実行開始
ウォッチドッグ・タイマ2	動作停止 (カウントは0に初期化)	動作開始
内蔵RAM	パワーオン時のリセット、またはRAMへのデータ書き込み (CPUやDMACによる) とリセット入力が競合 (データ破壊) した場合、不定。 それ以外は、リセット入力直前の値を保持 ^{注1} 。	
I/Oライン (ポート / 兼用端子)	ハイ・インピーダンス ^{注2}	
内蔵周辺I/Oレジスタ	所定の状態に初期化、OCDMレジスタはセット (01H)	
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後、動作開始可能

注1. V850ES/Hx3は、内部システム・リセット解除後、ファームウェアにより内蔵RAMの一部を使用します。したがってパワーオン状態でのリセットでも一部領域のRAMの内容を保持しません。詳細は21.4 リセット解除後の動作を参照してください。

2. 次に示す端子は、電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

・ P53/KR3/TIAB00/TOAB00/TOAB0B2/DDO端子

注意 OCDMレジスタはRESET端子入力によって初期化されます。そのため、リセット解除後、再度OCDM.OCDM0ビットをクリアするまでの間にP05/DRST端子にハイ・レベルが入力されると、オンチップ・デバッグ・モードに入るため注意してください。詳細は、第4章 ポート機能を参照してください。

図21 - 1 RESET端子入力によるリセット動作のタイミング

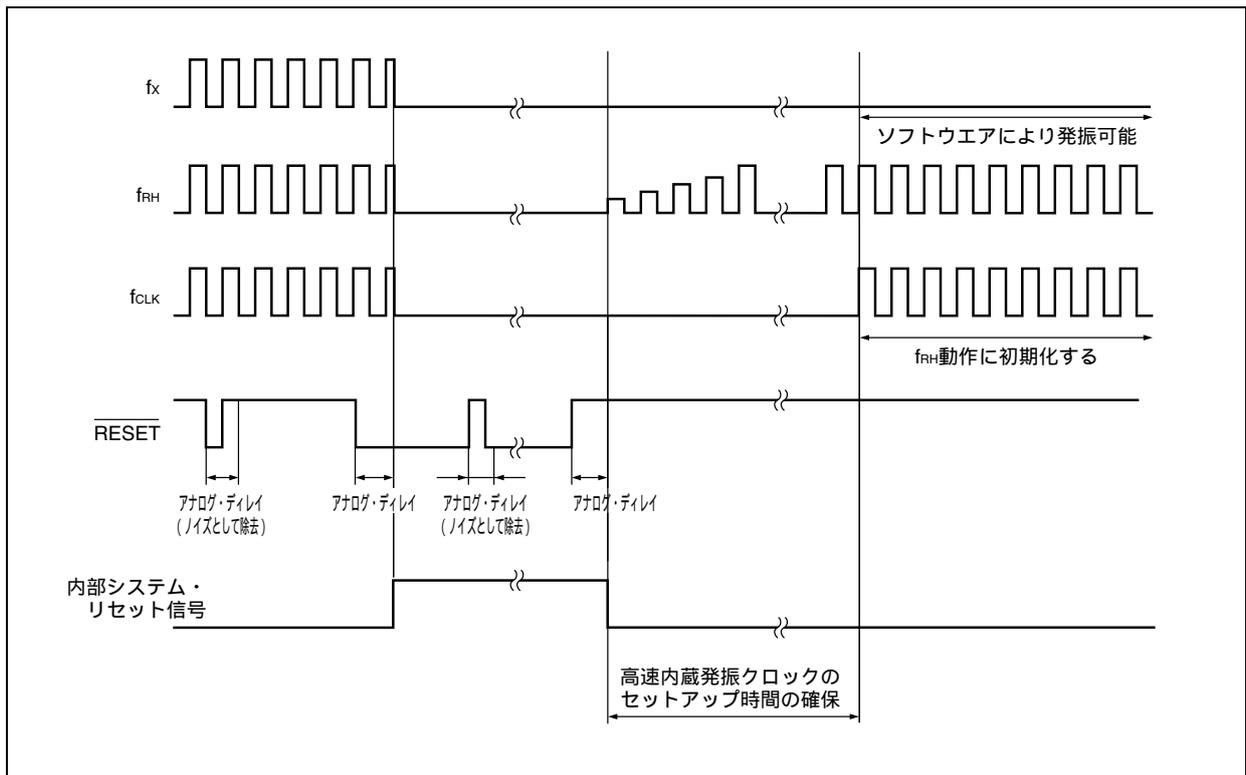
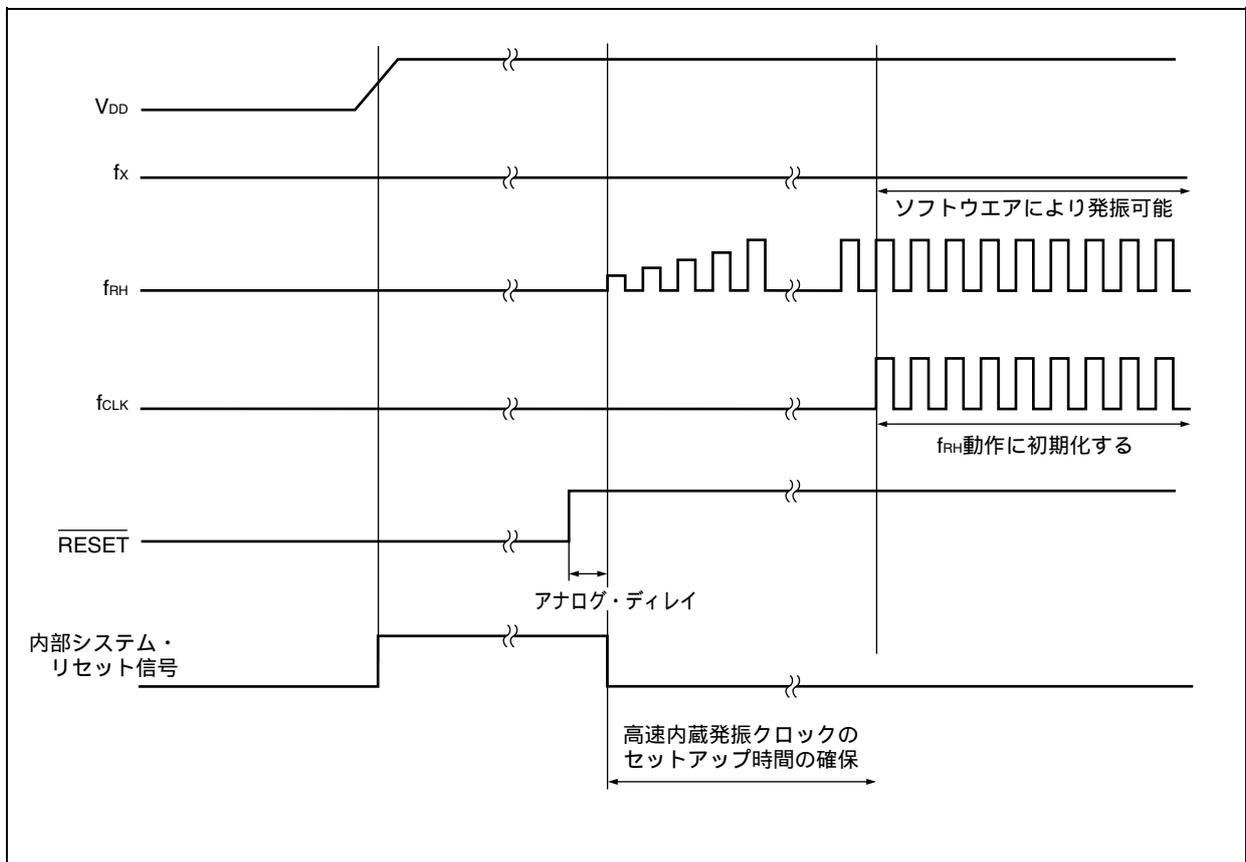


図21 - 2 パワーオン時のリセット動作のタイミング



21.3.2 ウォッチドッグ・タイマ2によるリセット動作

ウォッチドッグ・タイマ2をオーバーフローによるリセット動作モードに設定時、ウォッチドッグ・タイマ2がオーバーフロー（WDT2RES信号発生）すると、システム・リセットがかかり各ハードウェアを所定の状態に初期化します。

ウォッチドッグ・タイマ2のオーバーフロー後、所定の時間（アナログ・ディレイ分）リセット状態となり、その後リセット状態を自動的に解除します。

表21-2 ウォッチドッグ・タイマ2によるリセット動作時の各ハードウェアの状態

項目	リセット中	リセット後
メイン・クロック発振回路 (f _X)	発振停止	発振停止 (f _{RH} の発振安定時間確保後、ソフトウェアで発振開始設定可能)
サブクロック発振回路 (f _{XT})	発振継続	
低速内蔵発振器 (f _{RL})	発振停止	発振開始
高速内蔵発振器 (f _{RH})	発振停止	発振開始
PLL	動作停止	動作停止 (発振安定時間確保後、ソフトウェアで動作開始設定可能)
SSCG	動作停止	動作停止 (発振安定時間確保後、ソフトウェアで動作開始設定可能)
周辺クロック (f _{XX} -f _{XX} /1024)	動作停止	発振安定時間確保後、動作開始
内部システム・クロック (f _{XX}) , CPUクロック (f _{CPU})	動作停止	発振安定時間確保後、動作開始
CPU	初期化	発振安定時間確保後、プログラムの実行開始
WDT2	動作停止 (カウントは0に初期化)	動作開始
内蔵RAM	パワーオン時のリセット、またはRAMへのデータ書き込み (CPUやDMACによる) とリセット入力競合 (データ破壊) した場合、不定。 それ以外は、リセット入力直前の値を保持 ^注 。	
I/Oライン (ポート/兼用端子)	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化、OCDMレジスタは値を保持。	
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後、動作開始可能

注 V850ES/Hx3は、内部システム・リセット解除後、ファームウェアにより内蔵RAMの一部を使用します。したがってパワーオン状態でのリセットでも一部領域のRAMの内容を保持しません。詳細は21.4 リセット解除後の動作を参照してください。

21.3.3 パワーオン・クリア回路によるリセット動作

パワーオン・クリアは、電源電圧と検出電圧を比較し、電源電圧が検出電圧を下回った場合（電源投入時を含む）、システム・リセットがかかり、各ハードウェアを所定の状態に初期化します。

電圧低下検出から電源電圧が検出電圧を上回るまでリセット状態となり、その後リセット状態を自動的に解除します。リセット解除後、高速内蔵発振回路（ f_{RH} ）のセットアップ時間を確保したあと、CPUはプログラムの実行を開始します。詳細は図23-2 パワーオン・クリア回路によるリセット信号発生タイミングを参照ください。

21.3.4 低電圧検出回路によるリセット動作

LVI動作許可時かつLVIM.LVIMDビットをセット“1”し、電源電圧と検出電圧を比較し、電源電圧が検出電圧を下回った場合、システム・リセットがかかり、各ハードウェアを所定の状態に初期化します。

電圧低下検出から電源電圧が検出電圧を上回るまでリセット状態となり、その後リセット状態を自動的に解除します。リセット解除後、高速内蔵発振回路（ f_{RH} ）のセットアップ時間を確保したあと、CPUはプログラムの実行を開始します。

詳細は第24章 低電圧検出回路を参照ください。

21.3.5 クロック・モニタによるリセット動作

クロック・モニタ動作許可時、サンプリング・クロック（低速内蔵発振器）にてメイン・クロックの監視を行い、メイン・クロックの停止を検出した場合、システム・リセットがかかり、各ハードウェアを所定の状態に初期化します。

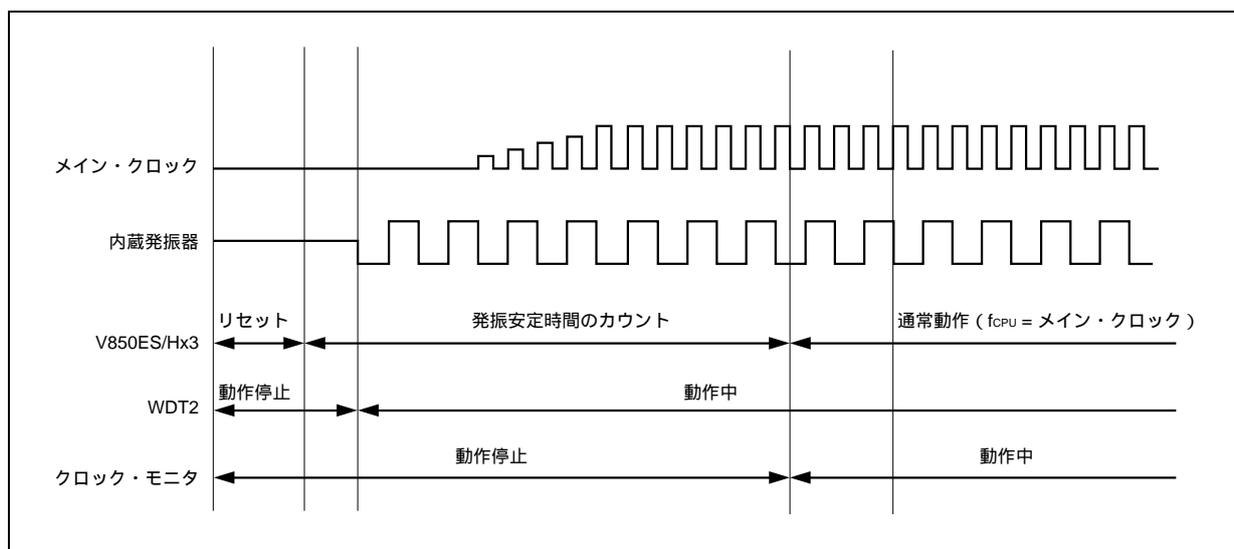
詳細は第22章 クロック・モニタを参照ください。

21.4 リセット解除後の動作

リセット解除後、メイン・クロックは発振を開始し、発振安定時間（OSTSレジスタの初期値： $2^{16}/f_x$ ）を確保したあと、CPUはプログラムの実行を開始します。

また、WDT2はリセット解除後、内蔵発振クロックをソース・クロックとして、すぐに動作を開始します。

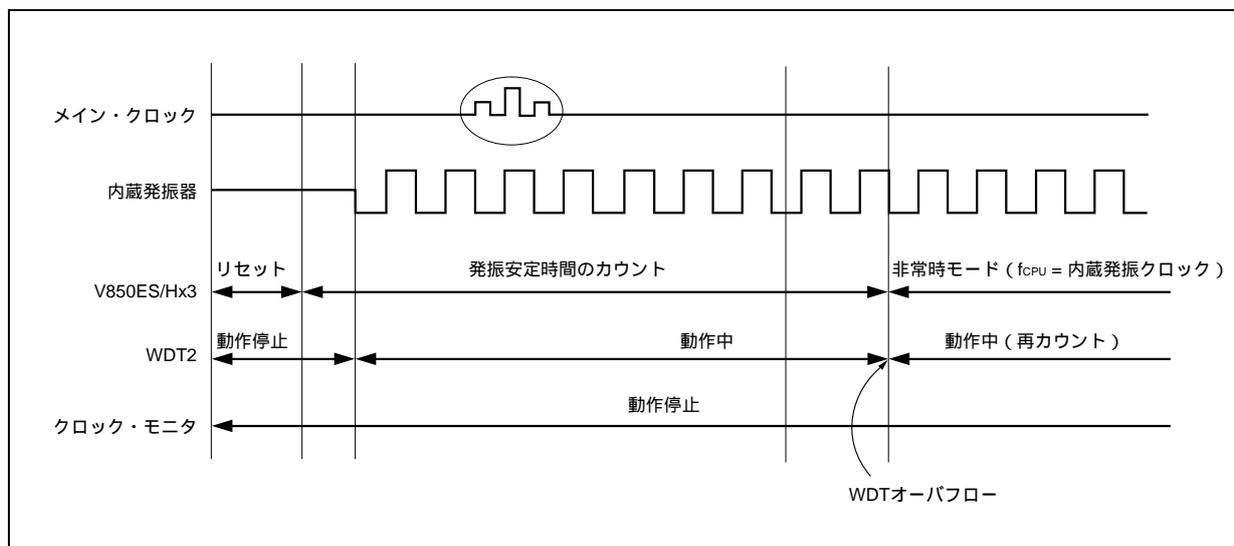
図21-3 リセット解除後の動作



(1) 緊急動作モード

発振安定時間が確保される前にメイン・クロックに異常が発生した場合、CPUがプログラムの実行を開始する前にWDT2がオーバーフローします。このとき、CPUは内蔵発振クロックをソース・クロックとして、プログラムの実行を開始します。

図21-4 リセット解除後の動作



CPU動作クロックの状態は、CPU動作クロック・ステータス・レジスタ（CCLS）で確認してください。

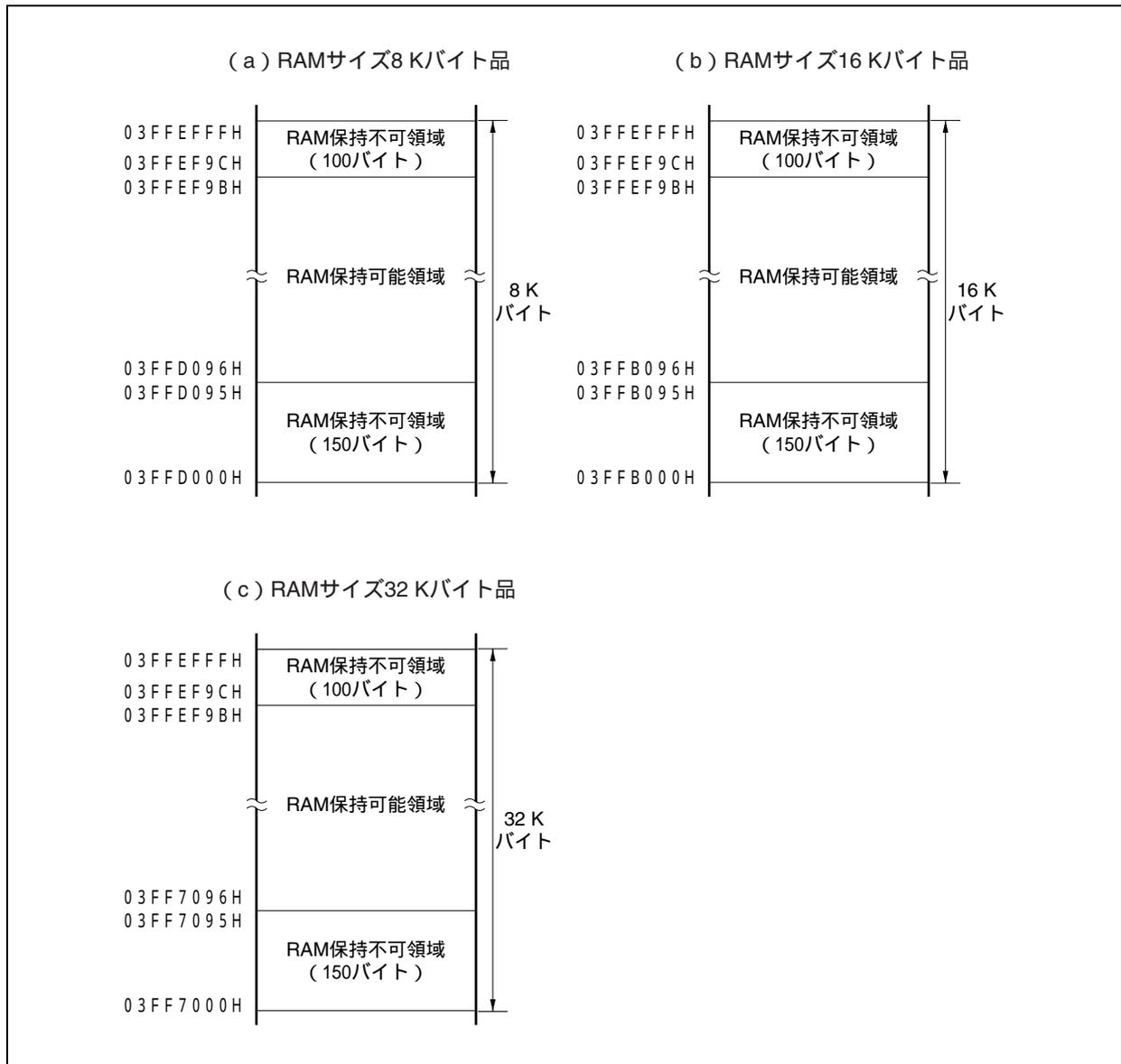
(2) ファームウェア動作

V850ES/Hx3は、ブート切り替え機能をサポートするため、リセット解除後、ユーザ・プログラム開始前に内蔵ファームウェアが動作します。

また、ファームウェアが内蔵RAMの一部を使用するため、パワーオン状態でのリセットでも次のRAM領域の内容を保持しません。

- ・ RAMサイズ8 Kバイト品 : 03FFD000H-03FFD095H, 03FFEF9CH-03FFEFFFH
- ・ RAMサイズ16 Kバイト品 : 03FFB000H-03FFB095H, 03FFEF9CH-03FFEFFFH
- ・ RAMサイズ32 Kバイト品 : 03FF7000H-03FF7095H, 03FFEF9CH-03FFEFFFH

図21 - 5 RAM保持可能領域



第22章 クロック・モニタ

22.1 機能

クロック・モニタは、低速内蔵発振クロックで、メイン・クロックのサンプリングを行い、メイン・クロックの発振停止時に、リセット要求信号を発生します。

動作許可フラグにより一度動作許可にすると、リセット以外ではクリア（0）できません。

クロック・モニタによるリセットが発生した場合、RESF.CLMRFビットがセットされます。RESFレジスタの詳細については、21.2 **リセット要因を確認するレジスタ**を参照してください。

次の条件のとき、クロック・モニタは自動的に停止します。

- ・ STOPモード～発振安定時間時
- ・ メイン・クロック停止時
(サブクロック動作時にPCC.MCKビット=1としてから、メイン・クロック動作時にPCC.CLSビット = 0とするまで)
- ・ サンプリング・クロック（低速内蔵発振クロック）停止時
- ・ CPUが高速内蔵発振クロック動作（MCM.MCSビット = 0）時
- ・ CPUが低速内蔵発振クロック動作（CCLS.CCSFビット = 1）時

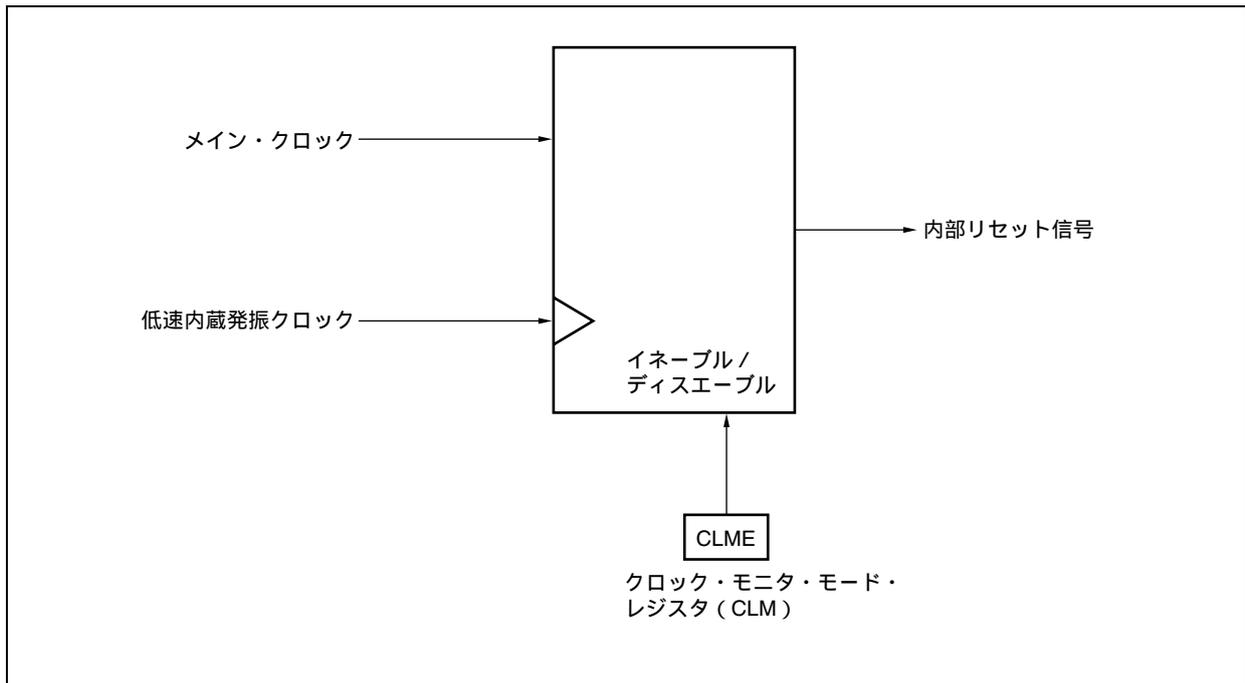
22.2 構成

クロック・モニタは、次のハードウェアで構成しています。

表22 - 1 クロック・モニタの構成

項目	構成
制御レジスタ	クロック・モニタ・モード・レジスタ (CLM)

図22 - 1 クロック・モニタのブロック図



22.3 レジスタ

クロック・モニタは、クロック・モニタ・モード・レジスタ (CLM) で制御します。

(1) クロック・モニタ・モード・レジスタ (CLM)

CLMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4.7 特定レジスタ参照)。

クロック・モニタの動作モードの設定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF870H

	7	6	5	4	3	2	1	①
CLM	0	0	0	0	0	0	0	CLME

CLME	クロック・モニタの動作許可 / 禁止
0	クロック・モニタの動作禁止
1	クロック・モニタの動作許可

- 注意1.** 一度CLMEビット = 1に設定した場合、リセット以外ではクリア(0)できません。
- 2.** クロック・モニタによるリセットが発生した場合、CLMEビットはクリア(0)され、RESF.CLMRFビットがセット(1)されます。

22.4 動作

クロック・モニタの持つ機能について説明します。スタート条件，ストップ条件は次のようになります。

<スタート条件>

CLM.CLMEビットを動作許可(1)に設定

<ストップ条件>

- ・STOPモード～発振安定時間カウント時
- ・メイン・クロック停止時
(サブクロック動作時にPCC.MCKビット=1としてから，メイン・クロック動作時にPCC.CLSビット = 0とするまで)
- ・サンプリング・クロック(低速内蔵発振クロック)停止時
- ・CPUが低速内蔵発振クロック動作時
- ・CPUが高速内蔵発振クロック動作時

表22-2 クロック・モニタの動作状態 (CLM.CLMEビット = 1設定時，低速内蔵発振クロック動作時)

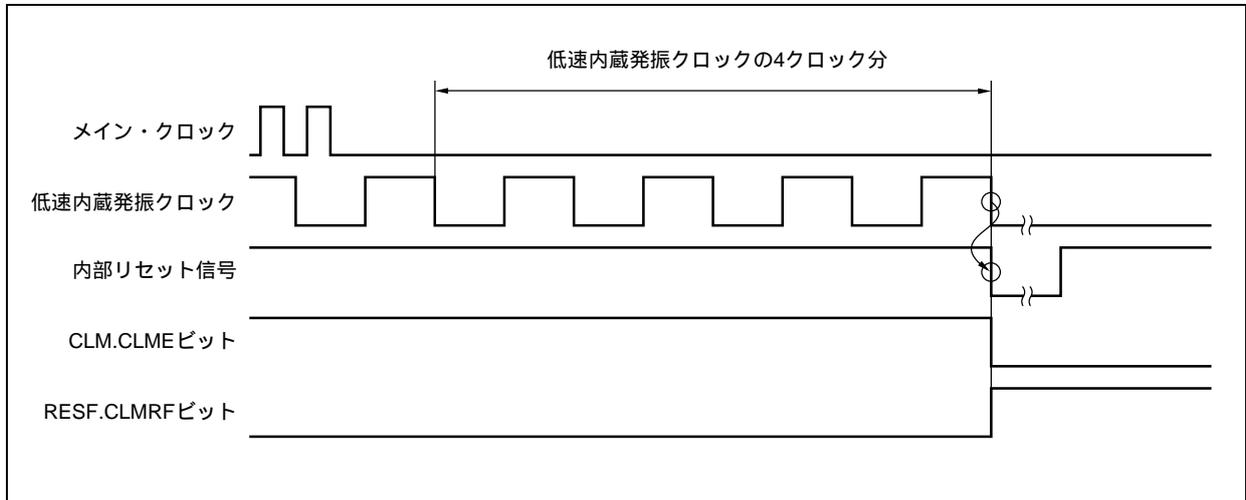
CPU動作クロック	動作モード	メイン・クロックの状態	低速内蔵発振クロックの状態	クロック・モニタの状態
メイン・クロック	HALTモード	発振	発振	動作 ^注
	IDLE1, IDLE2モード	発振	発振	動作 ^注
	STOPモード	停止	発振	停止
サブクロック(PCCレジスタのMCKビット = 0)	サブIDLEモード	発振	発振	動作 ^注
サブクロック(PCCレジスタのMCKビット = 1)	サブIDLEモード	停止	発振	停止
高速内蔵発振クロック (f_{RH}) (PCC.MCKビット = 0)	-	発振	発振	停止 ^注
高速内蔵発振クロック (f_{RH}) (PCC.MCKビット = 1)	-	停止	発振	停止
低速内蔵発振クロック (f_{RL})	-	停止	発振	停止
リセット中	-	停止	停止	停止

注 内蔵発振器が停止している場合，クロック・モニタは停止します。

(1) メイン・クロック発振停止時の動作 (CLMEビット = 1)

CLMEビット = 1のとき、メイン・クロックの発振が停止した場合、図22 - 2のタイミングで内部リセット信号が発生します。

図22 - 2 メイン・クロックの発振停止によってリセットがかかる時間

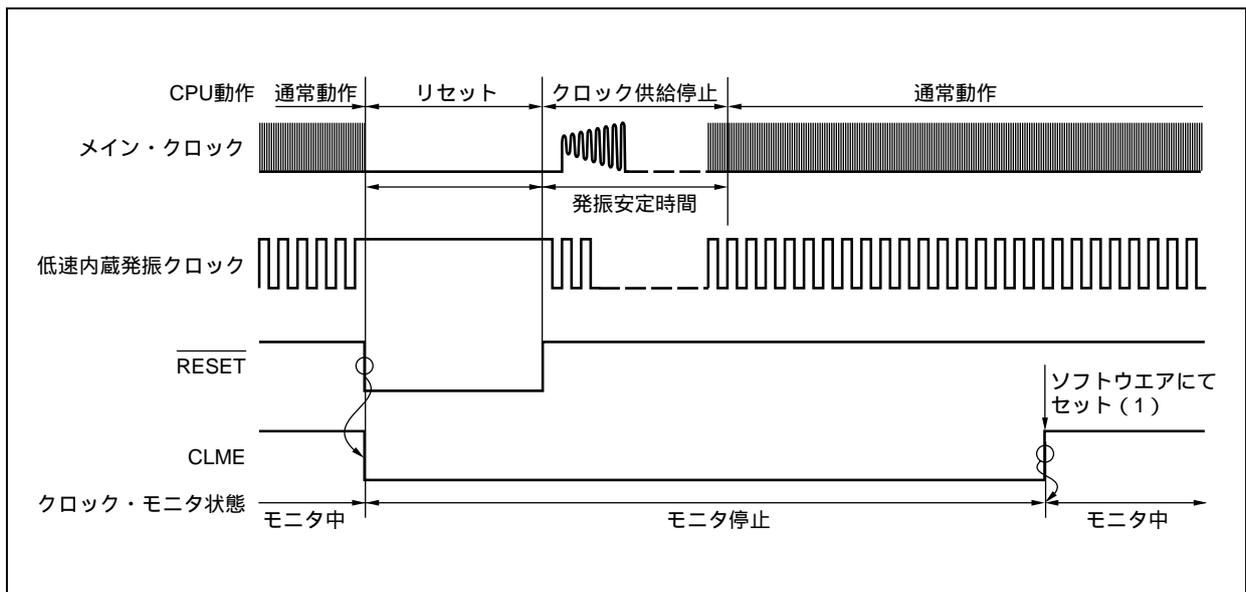


(2) RESET入力後のクロック・モニタの状態

RESET入力により、CLM.CLMEビットはクリア (0) されて、クロック・モニタは動作停止します。メイン・クロックの発振安定時間後にソフトウェアでCLMEビットをセット (1) すると、モニタ動作を開始します。

図22 - 3 RESET入力後のクロック・モニタの状態

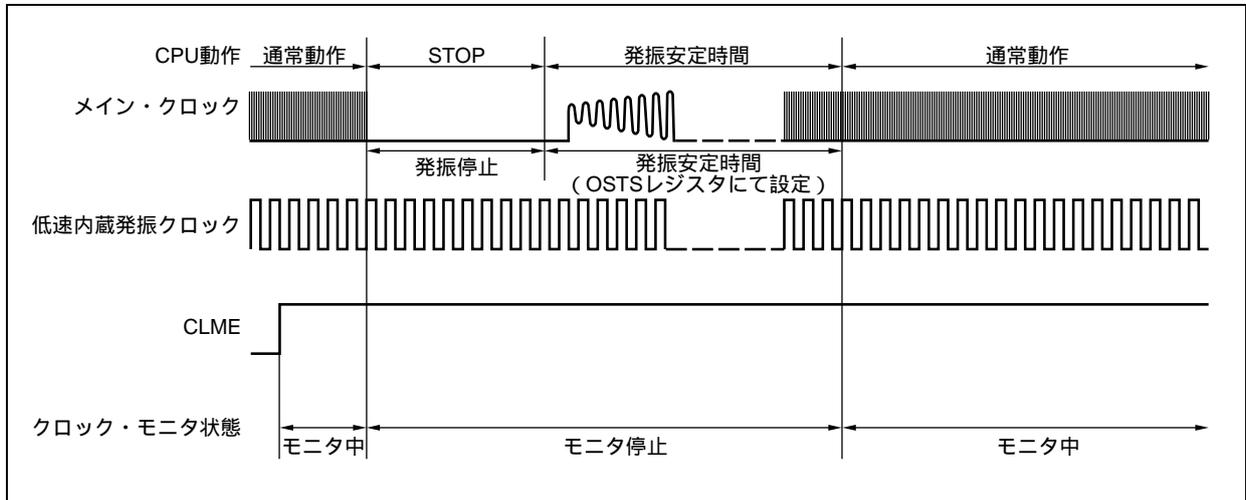
(RESET入力後、メイン・クロックの発振安定時間終了後に、CLM.CLMEビット = 1を設定)



(3) STOPモード中およびSTOPモード解除後の動作

CLM.CLMEビット = 1の状態ではSTOPモードに移行した場合、STOPモード中および発振安定時間カウンタ中はモニタ動作を停止します。発振安定時間カウンタ終了後に自動的にモニタ動作を開始します。

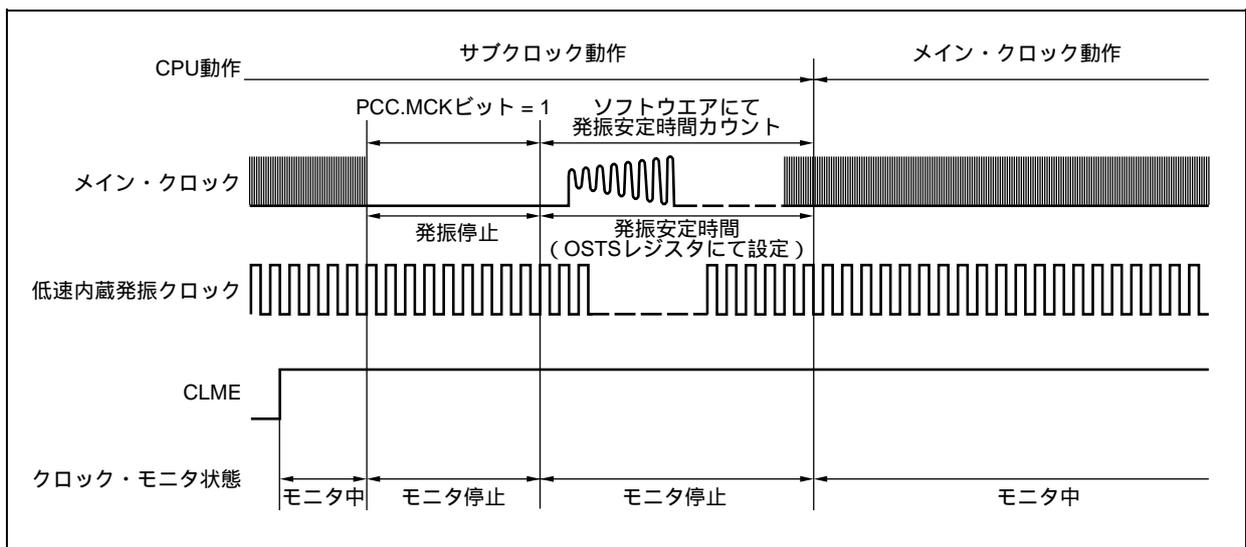
図22 - 4 STOPモード中およびSTOPモード解除後の動作



(4) メイン・クロック停止時(任意)の動作

サブクロック動作時(PCC.CLSビット = 1), PCC.MCKビット = 1に設定することによりメイン・クロックを停止した場合、メイン・クロック動作(PCC.CLSビット = 0)に移行するまでモニタ動作を停止し、メイン・クロック動作移行後に自動的にモニタ動作を開始します。

図22 - 5 メイン・クロック停止時(任意)の動作



(5) CPUが低速内蔵発振クロックで動作時(CCLS.CCLSFBビット = 1)の動作

CCLSFBビット = 1のとき、CLMEビット = 1に設定してもモニタ動作を開始しません。

(6) CPUが高速内蔵発振クロックで動作時(MCM.MCSビット = 0)の動作

MCM.MCSビット = 0のとき、CLM.CLMEビット = 1に設定してもモニタ動作を開始しません。

第23章 パワーオン・クリア回路

23.1 機能

パワーオン・クリア (POC) 回路の機能を次に示します。

- ・電源投入時にリセット信号を発生します。
- ・電源電圧 (V_{DD}) と検出電圧 (V_{POC0}) を比較し、 $V_{DD} < V_{POC0}$ になったとき、リセット信号を発生します (検出電圧 (V_{POC0}) : $3.5\text{V} \pm 0.2\text{V}$)。

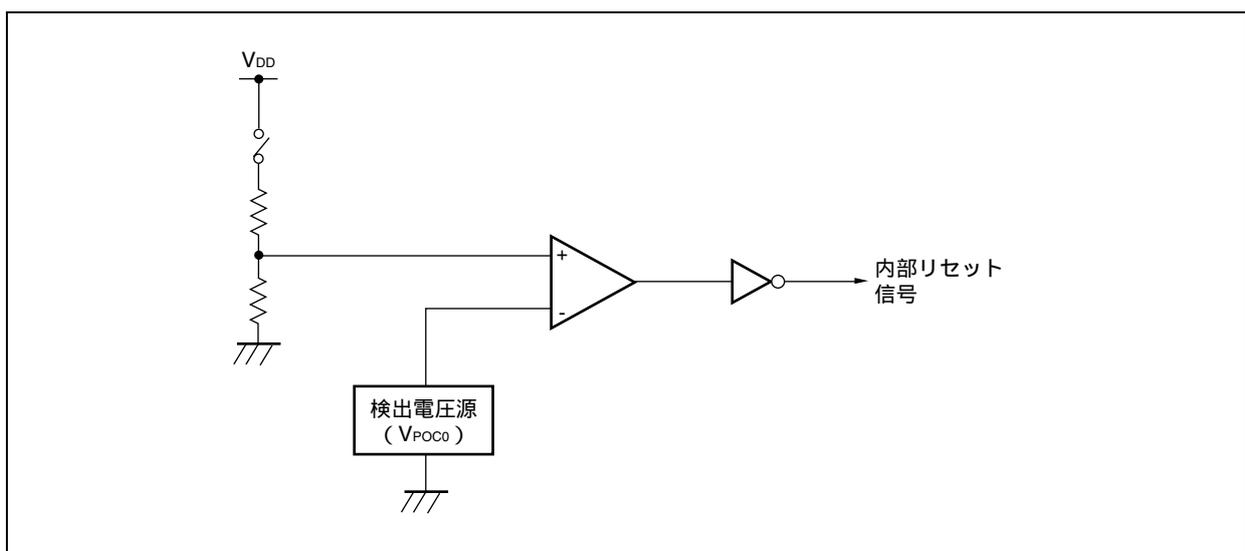
備考 V850ES/Hx3には、内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ2 (WDT2RES) / 低電圧検出回路 (LVI) / クロック・モニタ (CLM) によるリセット時は、そのリセット要因を示すためのフラグがリセット要因フラグ・レジスタ (RESF) に配置されています。

RESFレジスタは、WDT2RES / LVI / クロック・モニタのいずれかによる内部リセット信号が発生した場合は、クリア (00H) されずフラグがセット (1) されます。RESFレジスタの詳細については、**第21章 リセット機能**を参照してください。

23.2 構成

次にブロック図を示します。

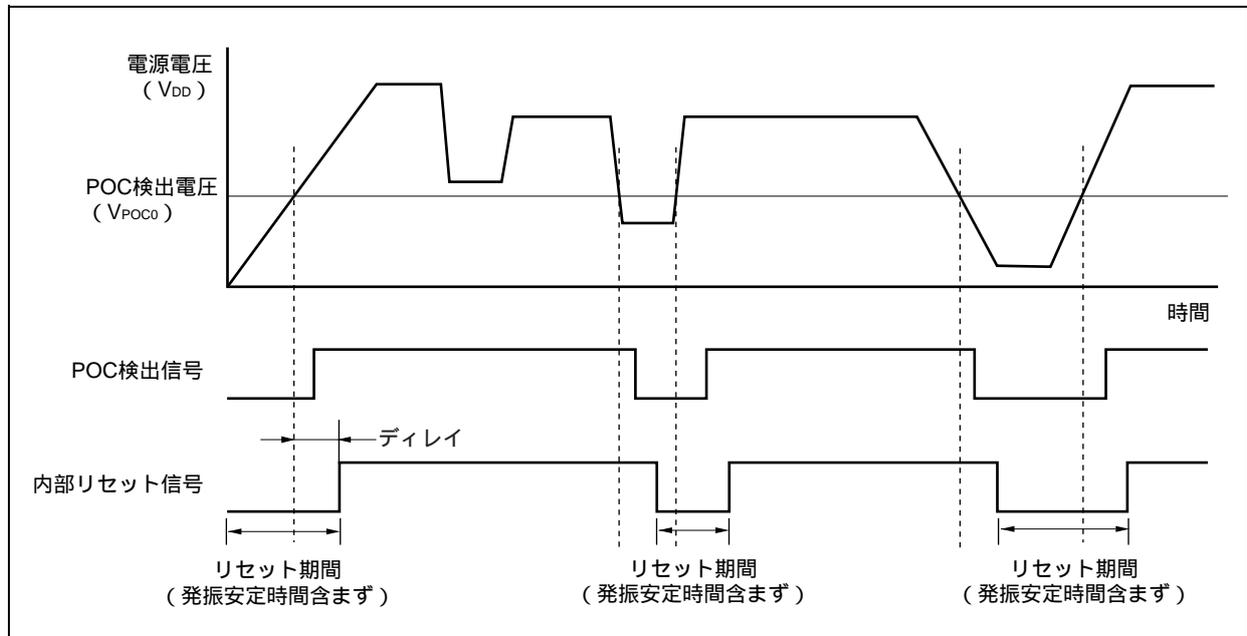
図23 - 1 パワーオン・クリア回路のブロック図



23.3 動作

電源電圧と検出電圧を比較し、電源電圧が検出電圧を下回った場合（電源投入時含む）、システム・リセットがかかり、各ハードウェアを所定の状態に初期化します。

図23-2 パワーオン・クリア回路によるリセット信号発生のタイミング



第24章 低電圧検出回路

24.1 機能

低電圧検出回路 (LVI) は、次のような機能を持ちます。

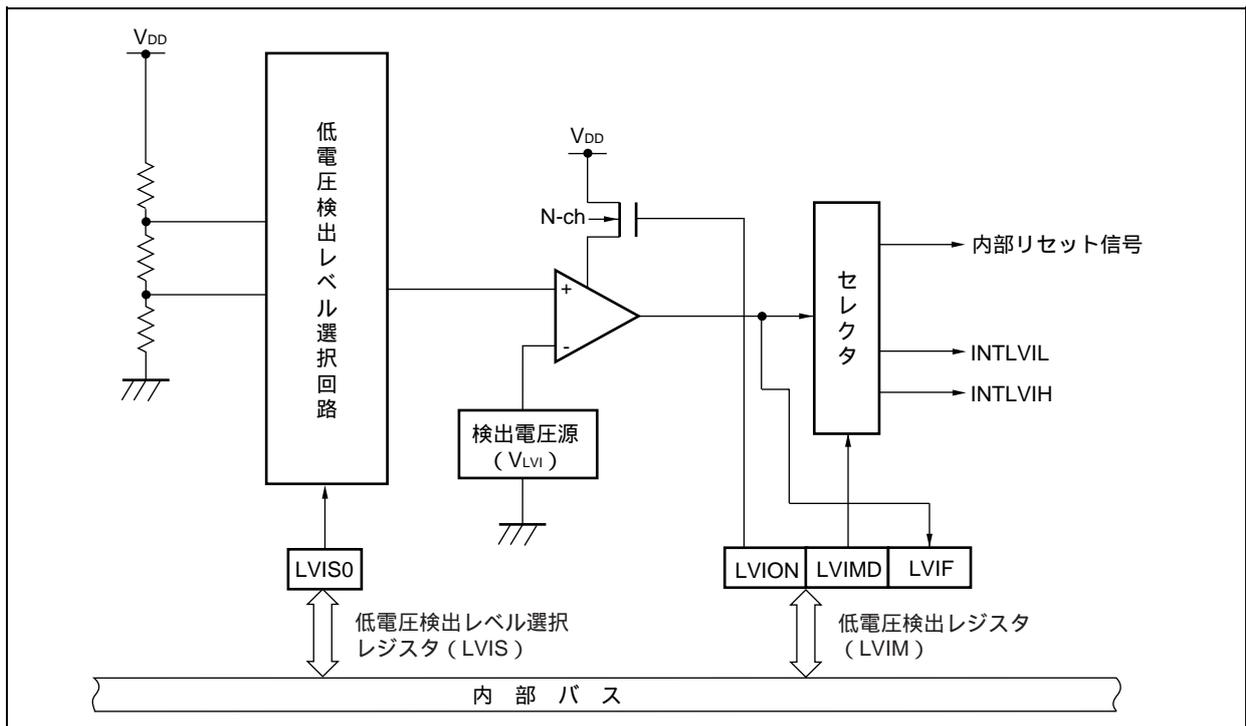
- ・低電圧検出時に割り込み発生を選択している場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、電源電圧が検出電圧を下回ったとき、および上回ったとき、内部割り込み信号を発生します。
- ・低電圧検出時にリセット発生を選択している場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ になったとき、内部リセット信号を発生します。
- ・電源電圧の検出レベル (2段階) をソフトウェアにて変更できます。
- ・割り込み要求信号 / 内部リセット信号を選択可能です。
- ・STOPモードにおいても動作可能です。
- ・ソフトウェアにて動作停止可能です。

低電圧検出回路をリセットとして使用した場合に、リセットが発生するとRESF.LVIRFビットがセット (1) されます。RESFレジスタについての詳細は、**第21章 リセット機能**を参照してください。

24.2 構成

次にブロック図を示します。

図24 - 1 低電圧検出回路のブロック図



24.3 制御レジスタ

(1) 低電圧検出レジスタ (LVIM)

LVIMレジスタは、低電圧検出動作モードを設定するレジスタです。LVIMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.7 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。ただし、ビット0はリードのみ可能です。

リセット時：00H R/W アドレス：FFFFF890H

	⑦	6	5	4	3	2	①	①
LVIM	LVION	0	0	0	0	0	LVIMD	LVIF

LVION	低電圧検出動作の許可/禁止
0	動作禁止
1	動作許可

LVIMD	低電圧検出の動作モード選択
0	電源電圧が検出電圧を下回ったときに割り込み要求信号INTLVILを発生 電源電圧が検出電圧を上回ったときに割り込み要求信号INTLVIHを発生
1	電源電圧 < 検出電圧時に内部リセット信号LVIREを発生

LVIF	低電圧検出フラグ
0	電源電圧 > 検出電圧, または動作禁止時
1	電源電圧 < 検出電圧

- 注意1. LVIONビット = 1設定後, 0.2 ms (MAX.) 以上間隔を空けてから, LVIFビットで電圧を確認してください。
- LVIFフラグの値は, LVIONビット = 1かつLVIMDビット = 0の場合に, 出力信号INTLVIL, INTLVIHとして出力されます。
 - ビット2-6には, 必ず0を設定してください。
 - LVIONビット = 1かつLVIMDビット = 1に設定した場合, 低電圧検出によるリセット以外のリセット要求が発生するまで低電圧検出回路を停止できません。

(2) 低電圧検出レベル選択レジスタ (LVIS)

LVISレジスタは、低電圧検出レベルを選択するレジスタです。

8ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF891H

	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	0	0	0	LVIS0

LVIS0	検出レベル
0	4.0 V ± 0.2 V
1	3.7 V ± 0.2 V

- 注意1. LVIM.LVIONビット = 1かつLVIM.LVIMDビット = 1に設定したあと、低電圧検出によるリセット以外のリセット要求が発生するまで、このレジスタへの書き込みは行えません。
2. ビット1-7には必ず0を設定してください。

(3) 内蔵RAMデータ・ステータス・レジスタ (RAMS)

内蔵RAMデータの有効 / 無効を示すフラグ・レジスタです。RAMSレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます (3.4.7 特定レジスタ参照)。

RAMSレジスタについては、24.5 RAM保持電圧検出動作を参照してください。

8/1ビット単位でリード / ライト可能です。

注意 リセット時の特定シーケンスを示します。

- ・セット条件 : 検出レベル (2.0 V ± 0.1 V) 以下の電圧検出
: 命令によるセット
- ・クリア条件 : 特定シーケンスによる0書き込み

リセット時 : 01H	R/W	アドレス : FFFFF892H						①
		7	6	5	4	3	2	1
RAMS		0	0	0	0	0	0	0
		RAMF						
RAMF		内蔵RAMデータ有効 / 無効						
	0	RAM保持電圧以下の電圧未検出						
	1	RAM保持電圧以下の電圧検出						

24.4 動作

LVIM.LVIMDビットの設定により、割り込み要求信号 (INTLVIL, INTLVIH) または内部リセット信号を発生します。

24.4.1 内部リセット信号として使用する場合

<動作開始時>

LVIM.LVIMDビットの設定により、割り込み要求信号 (INTLVIL, INTLVIH) または内部リセット信号を発生します。

LVIS.LVIS0ビットにて検出電圧を設定します。

LVIM.LVIONビット = 1に設定 (動作許可) します。

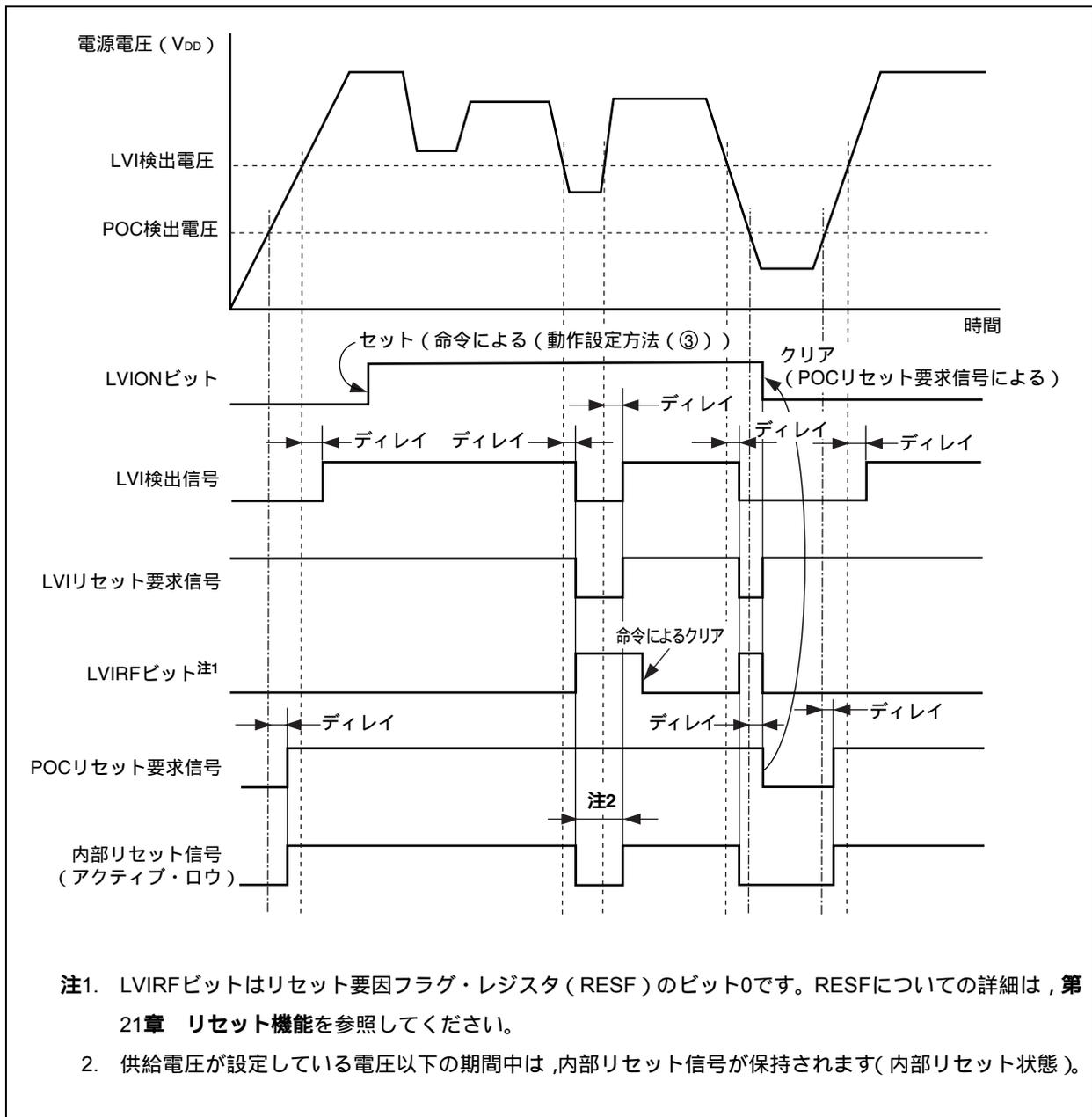
0.2 ms (MAX.) ソフトウェアにてウエイトを挿入します。

LVIM.LVIFビットで電源電圧 > 検出電圧であることを確認します。

LVIM.LVIMDビット = 1 (内部リセット発生) を設定します。

注意 LVIMDビット = 1に設定した場合、LVI以外のリセット要求が発生するまで、LVIM, LVISレジスタの変更はできません。

図24 - 2 低電圧検出回路の動作タイミング (LVIMDビット = 1)



24.4.2 割り込みとして使用する場合

<動作開始時>

LVIの割り込みをマスクします (LVILIC.LVILMK = 1, LVIHIC.LVIHMK = 1)。

LVIS.LVIS0ビットにて検出電圧を設定します。

LVIM.LVIONビット = 1に設定 (動作許可) します。

0.2 ms (MAX.) ソフトウェアにてウエイトを挿入します。

LVIM.LVIFビットで電源電圧 > 検出電圧であることを確認します。

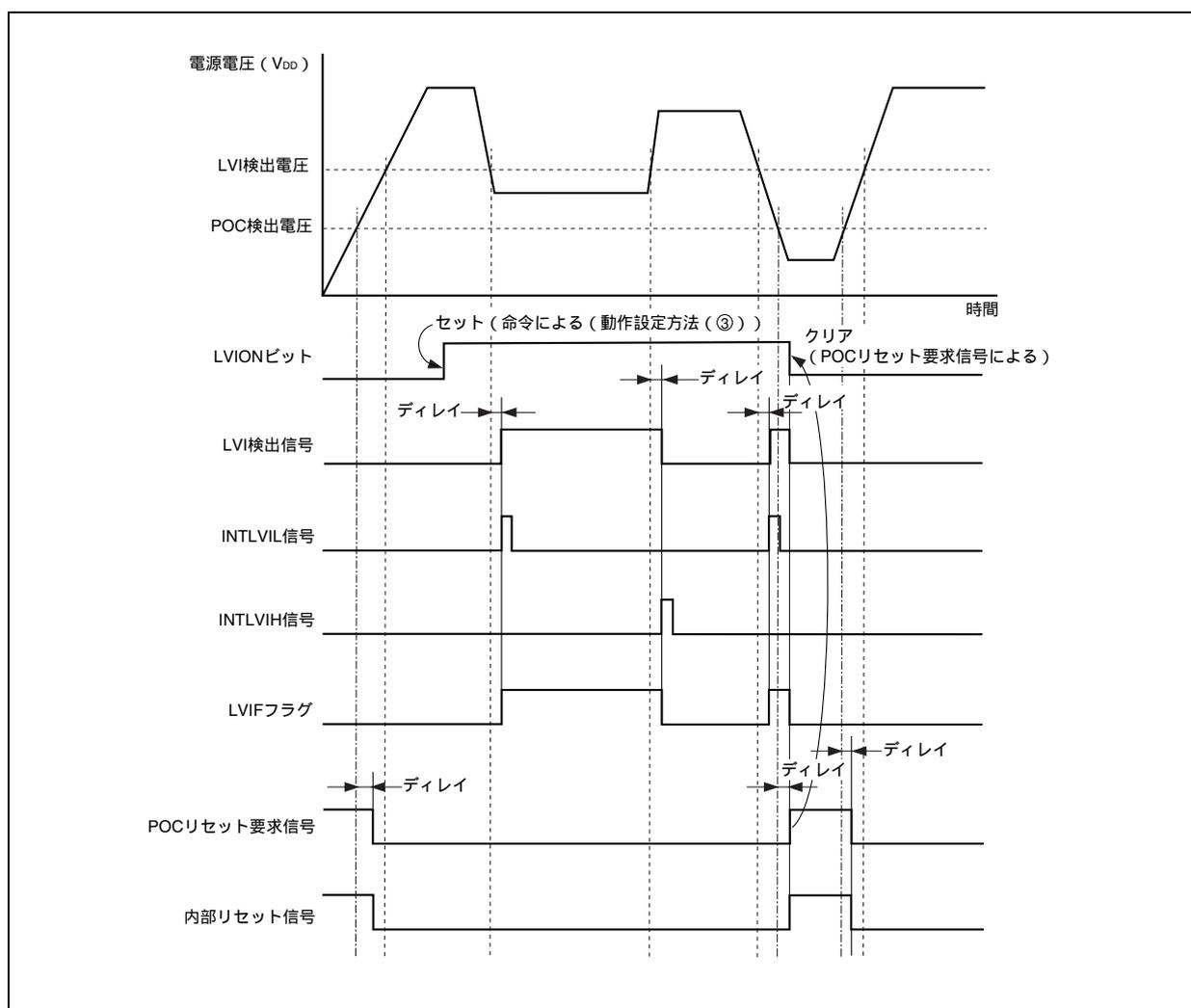
LVIの割り込み要求フラグをクリアします。

LVIの割り込みマスクを解除します。

<動作停止時>

LVIONビット = 0に設定します。

図24 - 3 低電圧検出回路の動作タイミング (LVIMDビット = 0)



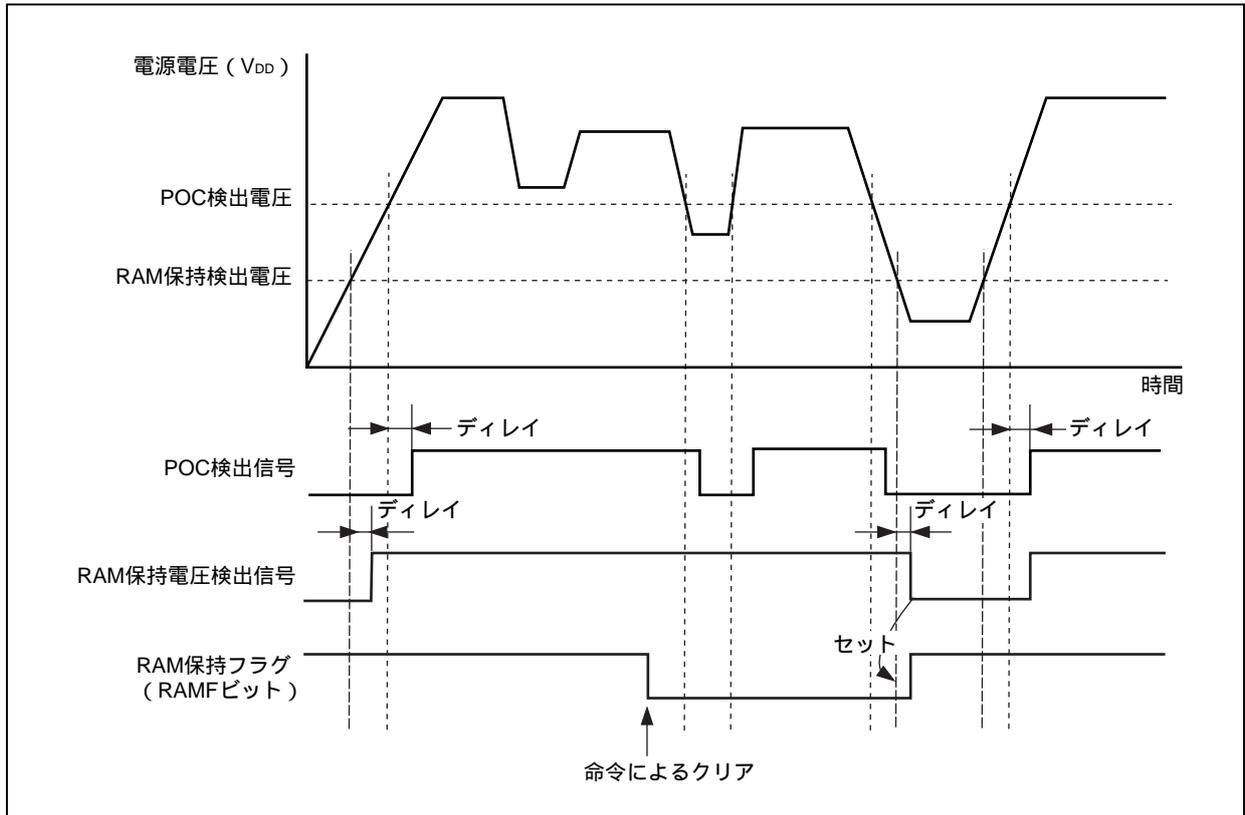
注意 V_{DD} がLVI検出レベル近接で揺れている場合、INTLVILまたはINTLVIH割り込みが複数回ずつ発生することがあります。この場合、最後に発生した割り込みがどちらか検出できません。LVIFフラグをモニタするなどソフトウェアで対策してください。

24.5 RAM保持電圧検出動作

電源電圧と検出電圧を比較し、電源電圧が検出電圧を下回った場合（電源投入時も含みます）、RAMS.RAMFビットをセット（1）します。

POC機能を使用せず、RAM保持電圧検出機能を使用し、動作電圧を下回る場合には、必ず外部リセットを入力してください。

図24 - 4 RAM保持電圧検出機能の動作タイミング



24.6 エミュレーション機能

インサーキット・エミュレータ使用時、デバッガ上で、PEMU1レジスタを操作することにより、疑似的にRAM保持フラグ（RAMS.RAMFビット）動作を制御し、エミュレーションを実現することが可能です。

なお、このレジスタは、エミュレーション・モード時のみ有効で、通常モードでは無効になります。

(1) 周辺エミュレーション・レジスタ1 (PEMU1)

リセット時：00H	R/W	アドレス：FFFFFF9FEH						
	7	6	5	4	3	2	1	0
PEMU1	0	0	0	0	0	EVARAMIN	0	0
EVARAMIN	RAM保持電圧検出信号疑似指定							
0	RAM保持電圧以下を非検出							
1	RAM保持電圧以下を検出（RAMFフラグをセット）							

注意 このビットは、自動的にクリアされません。

[使用方法]

インサーキット・エミュレータ使用時、デバッガ上でこのレジスタの書き換えを行うことにより、RAMFの疑似エミュレーションを実現します。

CPUブレーク（CPU動作停止）

レジスタ書き込みコマンドにより、EVARAMINビットを“1”にします。

EVARAMINビットを“1”にすることにより、ハード上でRAMFビットが“1”（内蔵RAMデータが無効）になります。

再度、レジスタ書き込みコマンドにより、EVARAMINビットを“0”にします。

この動作を行わない（EVARAMINビットを“1 0”）場合は、CPU動作命令にてRAMFビットをクリア（0）することができなくなります。

CPUをRUNし、エミュレーションを再開。

第25章 レギュレータ

25.1 概要

V850ES/Hx3は、低消費電力/低ノイズを実現するために、レギュレータを内蔵しています。

このレギュレータは、発振器ブロックと内部ロジック回路（A/Dコンバータ，出力バッファは除く）に， V_{DD} 電源電圧を降圧した電圧を供給します。レギュレータ出力電圧は，2.5 V（TYP.）に設定しています。

図25 - 1 レギュレータ（1/2）

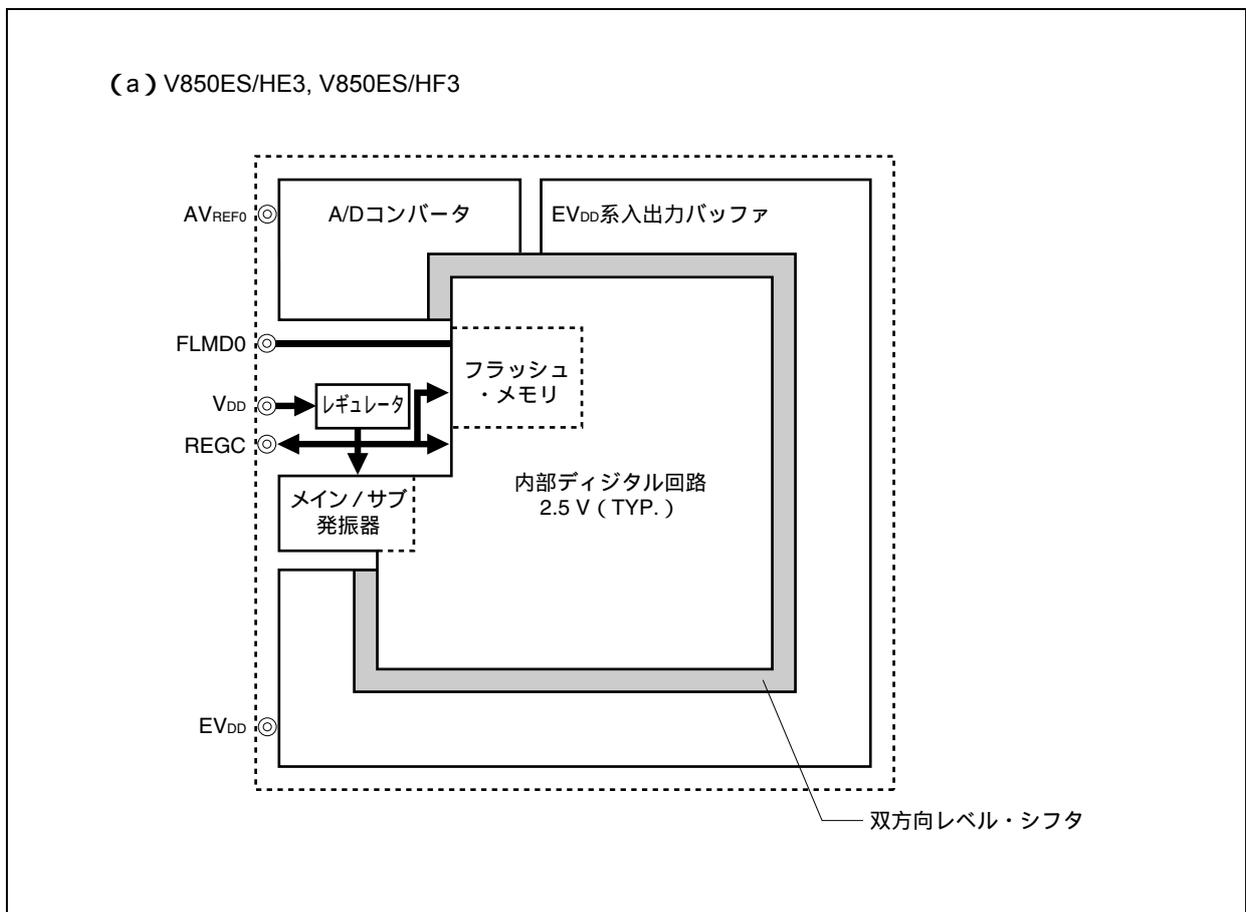
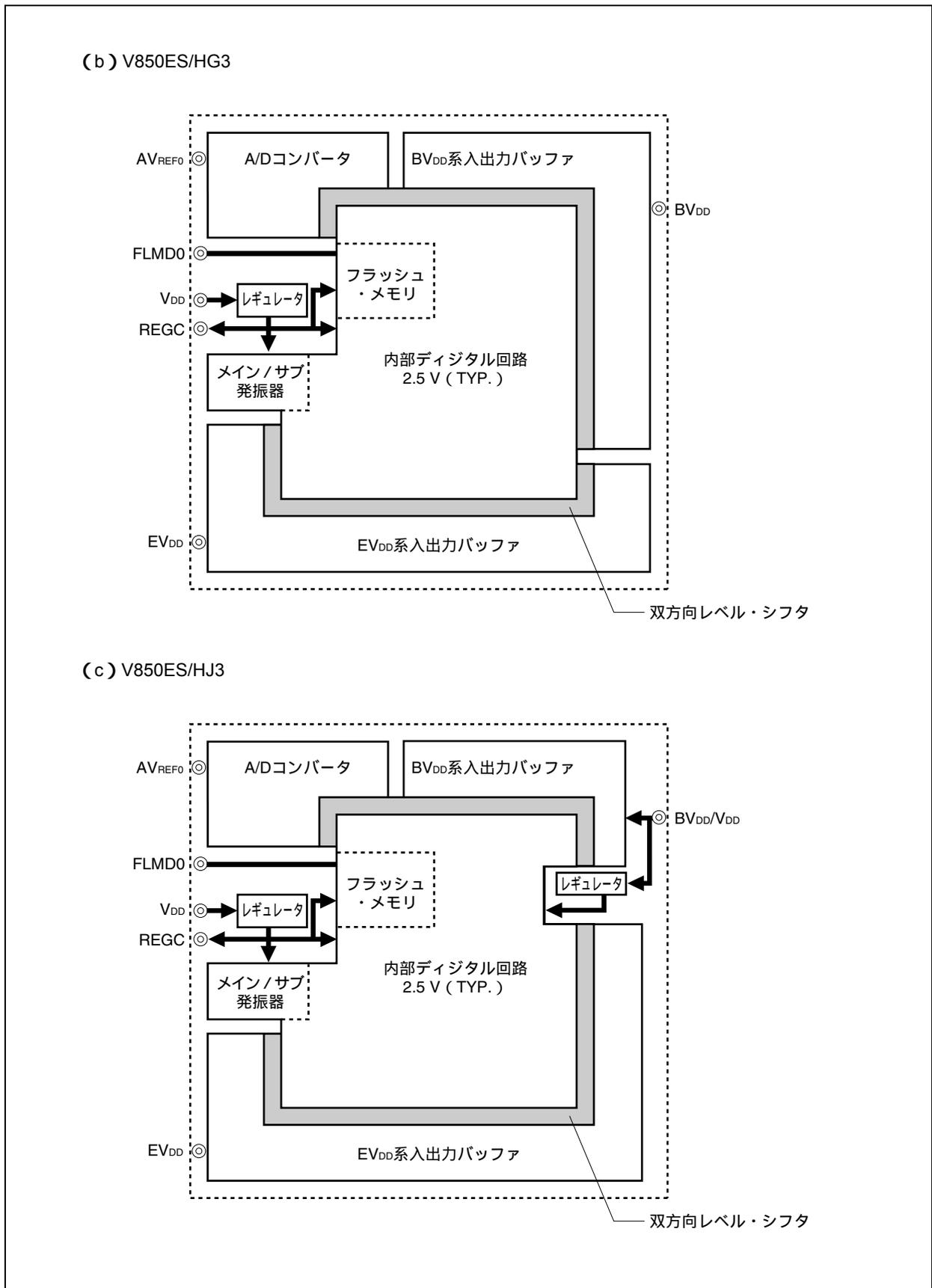


図25 - 1 レギュレータ (2/2)



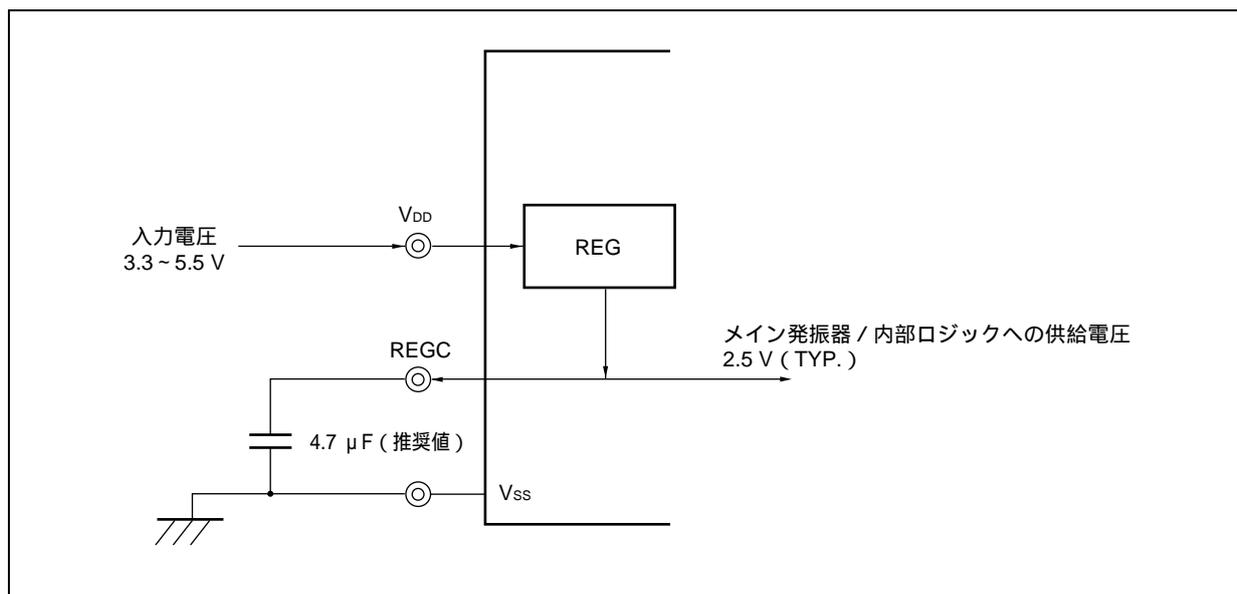
25.2 動作

この製品のレギュレータは、いかなるモード（通常動作モード / HALTモード / IDLE1モード / IDLE2モード / STOPモード / リセット中）でも常に動作します。

また、レギュレータの出力を安定させるためにREGC端子にコンデンサ（ $4.7\ \mu\text{F}$ （推奨値））を接続してください。

次に端子の接続の方法を示します。

図25 - 2 REGC端子の接続



第26章 フラッシュ・メモリ

V850ES/Hx3は、フラッシュ・メモリを内蔵しています。

- ・ 128 Kバイトのフラッシュ・メモリ内蔵： μ PD70F3747
- ・ 256 Kバイトのフラッシュ・メモリ内蔵： μ PD70F3750, 70F3752, 70F3755
- ・ 512 Kバイトのフラッシュ・メモリ内蔵： μ PD70F3757

フラッシュ・メモリ内蔵品は、開発用途および量産用途として次のような利点があります。

ターゲット・システムにV850ES/Hx3を半田実装後、ソフトウェアの変更可能
量産立ち上げ時のデータ調整が容易
規格ごとにソフトウェアを区別することで少量多品種生産が容易
在庫管理が容易
出荷後のソフトウェアのアップデートが容易

26.1 特徴

4バイト/1クロック・アクセス（命令フェッチ時）

容量：512 Kバイト / 256 Kバイト / 128 Kバイト

書き換え電圧：単一電源による消去 / 書き込みが可能

書き換え方式

- ・ 専用フラッシュ・プログラマとのシリアル・インタフェースを介しての通信による書き換え（オンボード / オフボード・プログラミング）
- ・ ユーザ・プログラムによるフラッシュ・メモリの書き換え（セルフ・プログラミング）

フラッシュ・メモリの書き換え禁止機能をサポート（セキュリティ機能）

ブート・スワップ機能により、セルフ・プログラミングによる全フラッシュ・メモリ領域のセキュアな書き換えが可能

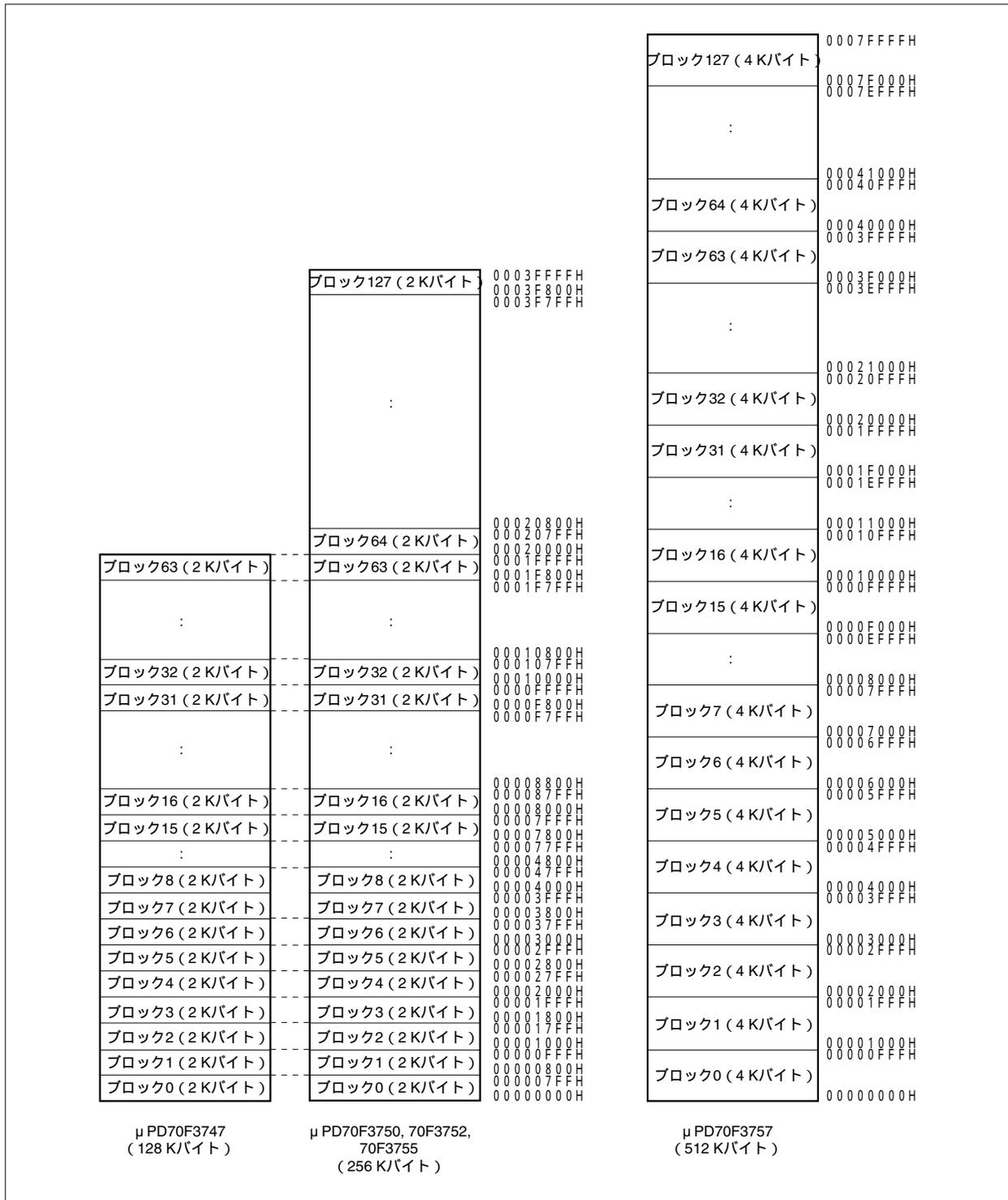
セルフ・プログラミング中の割り込み受け付け可能

26.2 メモリ構成

V850ES/Hx3の内蔵フラッシュ・メモリの領域は64, 128個のブロックに分割されており、各ブロック単位でプログラム/消去可能となっています。また、全ブロックの一括消去も可能です。

また、ブート・スワップ機能を用いた場合、設定したブート・スワップ・クラスタ・サイズ(表26-13参照)が入れ替わります。ブート・スワップ機能詳細については、26.5 セルフ・プログラミングによる書き換えを参照してください。

図26-1 フラッシュ・メモリ・マッピング



26.3 機能概要

V850ES/Hx3の内蔵フラッシュ・メモリは、専用フラッシュ・プログラマによる書き換え機能により、ターゲット・システムへの実装前、実装後にかかわらず書き換えが可能です(オフボード/オンボード・プログラミング)。

また、内蔵フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

ユーザ・プログラムによる書き換え機能(セルフ・プログラミング)は、ターゲット・システムの製造/出荷後のプログラム変更を想定したアプリケーションに適した書き換え方法です。全フラッシュ・メモリ領域を安全に書き換えるためのブート・スワップ機能もサポートしています。また、セルフ・プログラミング中の割り込み処理のサポートにより、外部との通信処理を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。

表26-1 書き換え方法

書き換え方法	機能概要	動作モード
オンボード・プログラミング	専用フラッシュ・プログラマを用いてターゲット・システム上に実装後にフラッシュ・メモリの書き換えが可能です。	フラッシュ・メモリ・プログラミング・モード
オフボード・プログラミング	専用フラッシュ・プログラマと専用プログラム・アダプタ・ボード(FAシリーズ)を用いることにより、ターゲット・システムに実装する前に、フラッシュ・メモリの書き換えが可能です。	
セルフ・プログラミング	オフボード/オンボード・プログラミングによりフラッシュ・メモリへあらかじめ書き込まれたユーザ・プログラムの実行により、フラッシュ・メモリの書き換えが可能です。(セルフ・プログラミング中は内蔵フラッシュ・メモリ領域からの命令フェッチおよびデータ・アクセスはできませんので、内蔵RAMもしくは外部メモリへ書き換え用のプログラムをあらかじめ転送して実行する必要があります。)	通常動作モード

備考 FAシリーズは、(株)内藤電誠町田製作所の製品です。

表26 - 2 基本機能一覧

機能	機能概要	サポートの有無 (: サポート, × : 未サポート)	
		オンボード/オフボード・ プログラミング	セルフ・プログラミング
ブランク・チェック	全メモリの消去状態の確認を行います。		
チップ消去	全メモリの内容の一括消去を行います。		× ^注
ブロック消去	指定したブロックのメモリの内容の消去を行います。		
プログラム	指定したアドレスの書き込みおよび書き込みレベルが確保されているかどうかのベリファイ・チェックを行います。		
ベリファイ/チェック・サム	フラッシュ・メモリから読み出したデータと、フラッシュ・プログラマから転送されたデータの比較を行います。		× (ユーザ・プログラムにて読み出しは可能)
リード	フラッシュ・メモリに書き込まれたデータの読み出しを行います。		×
セキュリティ設定	チップ消去コマンド/ブロック消去コマンド/プログラム・コマンド/リード・コマンドの使用禁止設定およびブート・ブロック・クラスタの書き換え禁止設定を行います。		× (設定を許可から禁止にする場合のみ可能)

注 ブロック消去関数において全メモリ領域を指定することにより可能です。

次にセキュリティ機能の一覧を示します。チップ消去コマンド禁止/ブロック消去コマンド禁止/プログラム・コマンド禁止/リード・コマンド禁止/ブート・ブロック・クラスタの書き換え禁止設定機能は、出荷後の初期状態はすべて許可になっており、オンボード/オフボード・プログラミングによる書き換えでのみセキュリティ設定が可能です。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

表26 - 3 セキュリティ機能一覧

機能	機能概要
チップ消去 コマンド禁止	全ブロックに対してのブロック消去および、チップ消去コマンドの実行を禁止します。一度禁止設定するとチップ消去コマンドが実行できないため、すべての禁止設定の初期化ができなくなります。
ブロック消去 コマンド禁止	全ブロックに対してのブロック消去コマンドの実行を禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。
プログラム・ コマンド禁止	全ブロックに対してのプログラム・コマンドとブロック消去コマンドの実行を禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。
リード・ コマンド禁止	全ブロックに対してのリード・コマンドの実行を禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。
ブート・ブロック・ クラスタの書き換え 禁止設定	ブロック0から指定したブロックまで、ブート・ブロック・クラスタを保護することが可能です。ブート・ブロック・クラスタを保護すると、それ以降保護されたブート・ブロック・クラスタの書き換え(消去および書き込み)はできません。チップ消去コマンドを実行しても、禁止設定の初期化はできません。指定可能な最大ブロックは次のとおりです。 μ PD70F3747 : ブロック63 μ PD70F3750, 70F3752, 70F3755, 70F3757 : ブロック127

表26 - 4 セキュリティ設定

機能	各セキュリティ設定時の消去 / 書き込み / 読み出し動作 (: 実行可能, x : 実行不可, : 未サポート)		セキュリティ設定 注意事項	
	オンボード / オフボード・ プログラミング	セルフ・プログラミング	オンボード / オ フボード・プロ グラミング	セルフ・プログ ラミング
チップ消去 コマンド禁止	チップ消去コマンド : x ブロック消去コマンド : x プログラム・コマンド : ^{注1} リード・コマンド :	チップ消去 : - ブロック消去 (FlashBlockErase) : 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	禁止設定の初期 化が不可能	設定を許可から 禁止にする場合 のみ可能
ブロック消去 コマンド禁止	チップ消去コマンド : ブロック消去コマンド : x プログラム・コマンド : リード・コマンド :	チップ消去 : - ブロック消去 (FlashBlockErase) : 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	チップ消去コマ ンドによる禁止 設定の初期化が 可能	
プログラム・ コマンド禁止	チップ消去コマンド : ブロック消去コマンド : x プログラム・コマンド : x リード・コマンド :	チップ消去 : - ブロック消去 (FlashBlockErase) : 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	チップ消去コマ ンドによる禁止 設定の初期化が 可能	
リード・ コマンド禁止	チップ消去コマンド : ブロック消去コマンド : プログラム・コマンド : リード・コマンド : x	チップ消去 : - ブロック消去 (FlashBlockErase) : 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	チップ消去コマ ンドによる禁止 設定の初期化が 可能	
ブート・ブロッ ク・クラスタの書 き換え禁止	チップ消去コマンド : x ブロック消去コマンド : x ^{注2} プログラム・コマンド : x ^{注2} リード・コマンド :	チップ消去 : - ブロック消去 (FlashBlockErase) : x ^{注2} 書き込み (FlashWordWrite) : x ^{注2} 読み出し (FlashWordRead) :	禁止設定の初期 化が不可能	

注1. 消去コマンドは無効となるため,すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできません。

2. ブート領域以外は実行可能です。

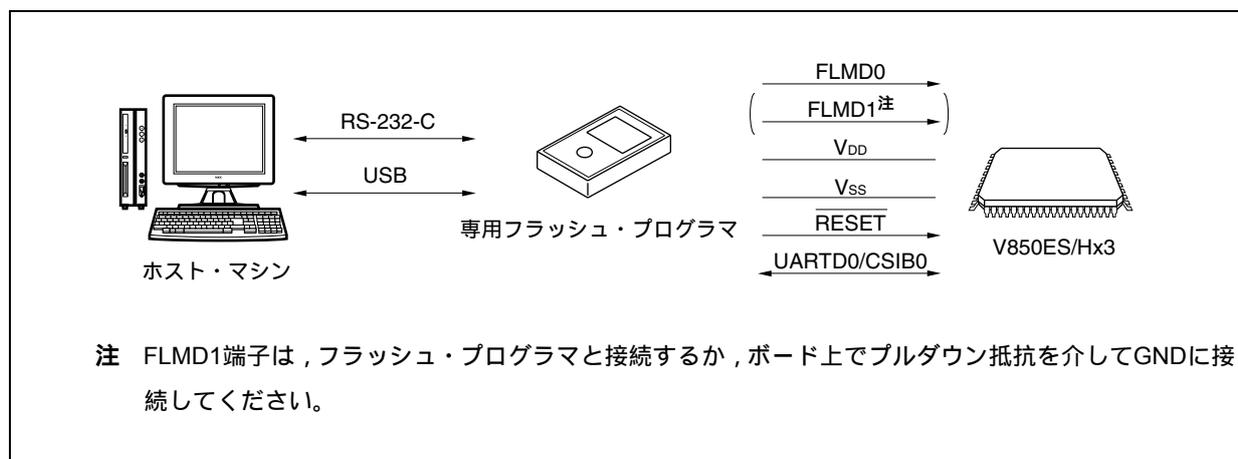
26.4 専用フラッシュ・プログラマでの書き換え

専用フラッシュ・プログラマにて、ターゲット・システム上にV850ES/Hx3を実装後のフラッシュ・メモリの書き換えが可能です（オンボード・プログラミング）。また、専用プログラム・アダプタ（FAシリーズ）を使用すれば、ターゲット・システムに実装する前でのフラッシュ・メモリの書き換えが可能です（オフボード・プログラミング）。

26.4.1 プログラミング環境

V850ES/Hx3のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図26-2 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・プログラマには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・プログラマとV850ES/Hx3とのインターフェースはUARTD0、CSIB0を使用して、書き込み、消去等の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ（FAシリーズ）が必要です。

V850ES/HE3用

- ・ FA-70F3371GB-GAH-RX (配線済み)^注
- ・ FA-64GB-GAH-B (未配線：配線が必要です)

V850ES/HF3用

- ・ FA-70F3373GK-GAK-RX (配線済み)^注
- ・ FA-80GK-GAK-B (未配線：配線が必要です)

V850ES/HG3用

- ・ FA-70F3375GC-UEU-RX (配線済み)^注
- ・ FA-100GC-UEU-B (未配線：配線が必要です)

V850ES/HJ3用

- ・ FA-70F3378GJ-GAE-RX (配線済み)^注
- ・ FA-144GJ-GAE-B (未配線：配線が必要です)

注 開発中

備考 FAシリーズは、(株)内藤電誠町田製作所の製品です。

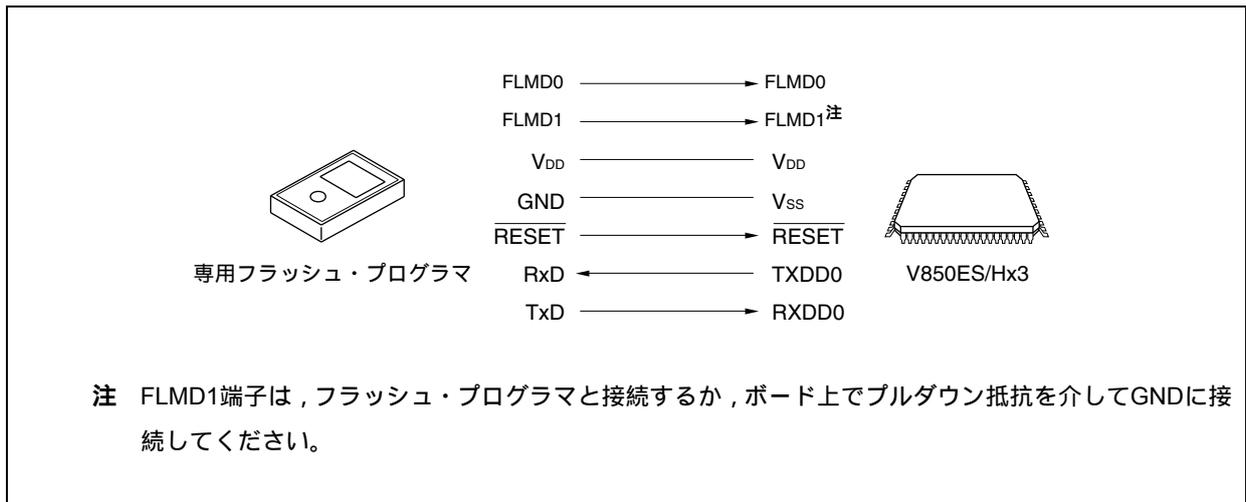
26.4.2 通信方式

専用フラッシュ・プログラマとV850ES/Hx3との通信は、V850ES/Hx3のUARTD0、CSIB0によるシリアル通信で行います。

(1) UARTD0

転送レート：9600～153600 bps

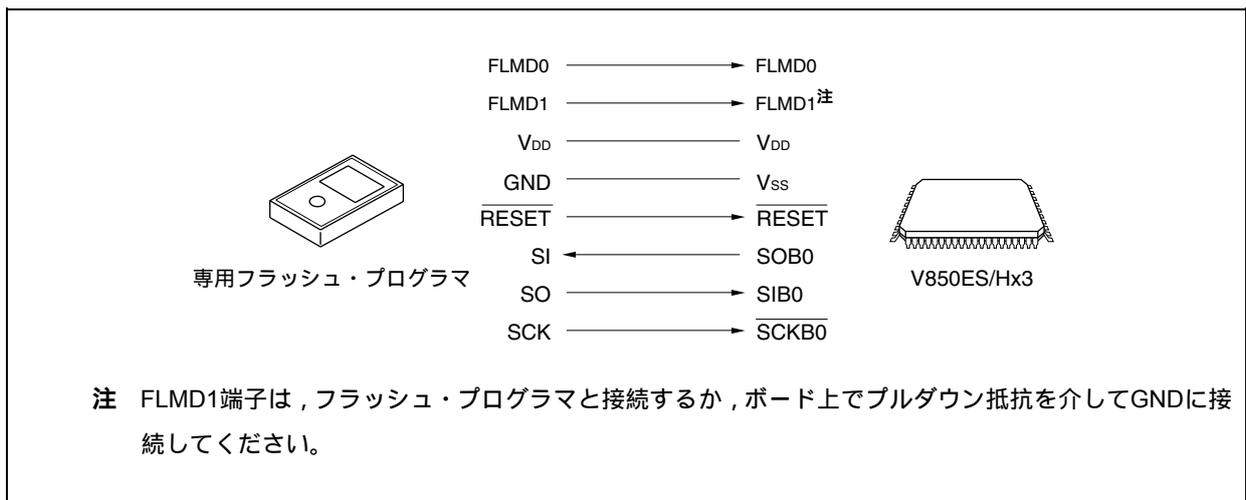
図26-3 専用フラッシュ・プログラマとの通信 (UARTD0)



(2) CSIB0

シリアル・クロック：2.4 kHz～5.0 MHz (MSBファースト)

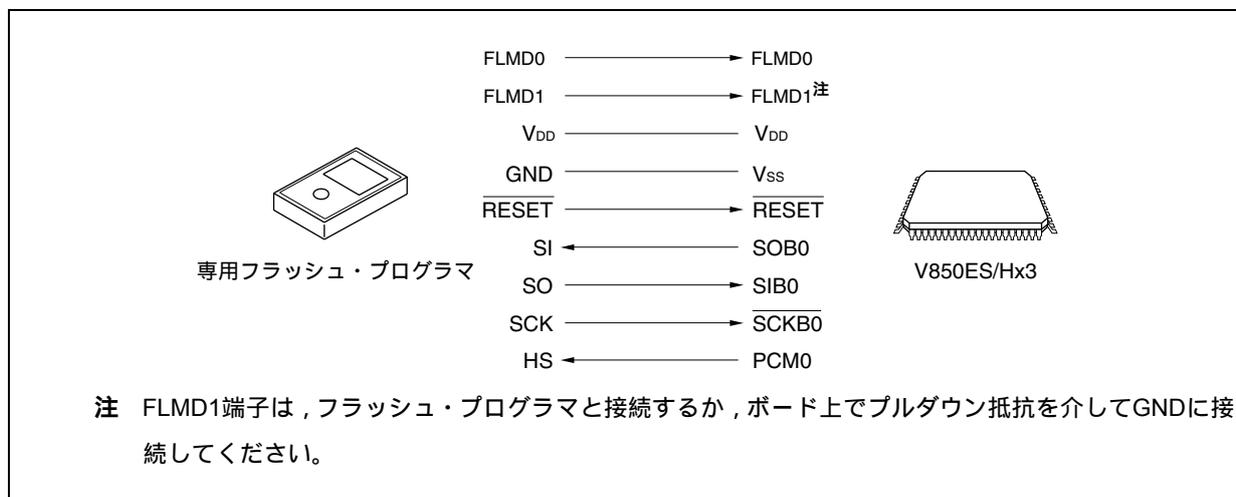
図26-4 専用フラッシュ・プログラマとの通信 (CSIB0)



(3) CSIB0 + HS

シリアル・クロック : 2.4 kHz ~ 5.0 MHz (MSBファースト)

図26 - 5 専用フラッシュ・プログラマとの通信 (CSIB0 + HS)



専用フラッシュ・プログラマが転送クロックを出力し、V850ES/Hx3はスレーブとして動作します。

専用フラッシュ・プログラマとしてPG-FP5を使用した場合、PG-FP5はV850ES/Hx3に対して次の信号を生成します。詳細はPG-FP5 ユーザーズ・マニュアル (U18865J) を参照してください。

表26 - 5 専用フラッシュ・プログラマ (PG-FP5) の信号接続一覧

PG-FP5			V850ES/Hx3	接続時の処置		
信号名	入出力	端子機能	端子名	UARTD0	CSIB0	CSIB0 + HS
FLMD0	出力	書き込み許可 / 禁止	FLMD0			
FLMD1	出力	書き込み許可 / 禁止	FLMD1	注1	注1	注1
VDD	-	V _{DD} 電圧生成/電圧監視	V _{DD}			
GND	-	グラウンド	V _{SS}			
CLK	出力	V850ES/Hx3へのクロック出力	X1, X2	x注2	x注2	x注2
RESET	出力	リセット信号	RESET			
SI/RxD	入力	受信信号	SOB0/ TXDD0			
SO/TxD	出力	送信信号	SIB0/ RXDD0			
SCK	出力	転送クロック	SCKB0	x		
HS	入力	CSIB0 + HS通信のハンドシェイク信号	PCM0	x	x	

注1. 図26 - 6のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。

2. フラッシュ・プログラマのCLK端子からのクロック供給はできません。ボード上に発振回路を作成してクロックを供給してください。

備考 : 必ず接続してください。

x : 接続の必要はありません。

表26 - 6 V850ES/HE3フラッシュ書き込み用アダプタ (FA-64GB-GAH-B) の配線表

フラッシュ・プログラマ (PG-FP5) 接続端子			FAボード の端子名	CSIB0 + HS使用時		CSIB0使用時		UARTD0使用時	
信号名	入出力	端子機能		端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	SI	P41/SOB0/ KR1	20	P41/SOB0/ KR1	20	P30/TXDD0	22
SO/TxD	出力	送信信号	SO	P40/SIB0/ KR0	19	P40/SIB0/ KR0	19	P31/RXDD0/ INTP7	23
SCK	出力	転送クロック	SCK	P42/SCKB0/ KR2	21	P42/SCKB0/ KR2	21	必要なし	-
CLK	出力	V850ES/HE3 へのクロック	X1	必要なし	-	必要なし	-	必要なし	-
			X2	必要なし	-	必要なし	-	必要なし	-
/RESET	出力	リセット信号	/RESET	RESET	9	RESET	9	RESET	9
FLMD0	出力	書き込み電圧	FLMD0	FLMD0	3	FLMD0	3	FLMD0	3
FLMD1	出力	書き込み電圧	FLMD1	PDL5/ FLMD1	52	PDL5/ FLMD1	52	PDL5/ FLMD1	52
HS	入力	CSI0 + HS 通 信のハンドシ ェーク信号	RESERVE /HS	PCM0	45	必要なし	-	必要なし	-
VDD	-	VDD 電圧生 成 / 電圧監視	VDD	V _{DD}	4	V _{DD}	4	V _{DD}	4
				EV _{DD}	33	EV _{DD}	33	EV _{DD}	33
				AV _{REF0}	1	AV _{REF0}	1	AV _{REF0}	1
GND	-	グラウンド	GND	V _{SS}	6	V _{SS}	6	V _{SS}	6
				AV _{SS}	2	AV _{SS}	2	AV _{SS}	2
				EV _{SS}	32	EV _{SS}	32	EV _{SS}	32

注意1. REGC端子は、必ず4.7 μFのコンデンサを介してGNDに接続してください。

2. フラッシュ・プログラマのCLK端子からのクロック供給はできません。

ボード上に発振回路を作成してクロックを供給してください。

表26 - 7 V850ES/HF3フラッシュ書き込み用アダプタ (FA-80GK-GAK-B) の配線表

フラッシュ・プログラマ (PG-FP5) 接続端子			FAボード の端子名	CSIB0 + HS使用時		CSIB0使用時		UARTD0使用時	
信号名	入出力	端子機能		端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	SI	P41/SOB0/ KR1	20	P41/SOB0/ KR1	20	P30/TXDD0	22
SO/TxD	出力	送信信号	SO	P40/SIB0/ KR0	19	P40/SIB0/ KR0	19	P31/RXDD0/ INTP7	23
SCK	出力	転送クロック	SCK	P42/SCKB0/ KR2	21	P42/SCKB0/ KR2	21	必要なし	-
CLK	出力	V850ES/HF3へ のクロック	X1	必要なし	-	必要なし	-	必要なし	-
			X2	必要なし	-	必要なし	-	必要なし	-
/RESET	出力	リセット信号	/RESET	RESET	14	RESET	14	RESET	14
FLMD0	出力	書き込み電圧	FLMD0	FLMD0	8	FLMD0	8	FLMD0	8
FLMD1	出力	書き込み電圧	FLMD1	PDL5/ FLMD1	62	PDL5/ FLMD1	62	PDL5/ FLMD1	62
HS	入力	CSI0 + HS 通 信のハンドシ ェーク信号	RESERVE /HS	PCM0	49	必要なし	-	必要なし	-
VDD	-	VDD 電圧生 成 / 電圧監視	VDD	V _{DD}	9	V _{DD}	9	V _{DD}	9
				EV _{DD}	31	EV _{DD}	31	EV _{DD}	31
				AV _{REF0}	1	AV _{REF0}	1	AV _{REF0}	1
GND	-	グラウンド	GND	V _{SS}	11	V _{SS}	11	V _{SS}	11
				AV _{SS}	2	AV _{SS}	2	AV _{SS}	2
				EV _{SS}	30	EV _{SS}	30	EV _{SS}	30

注意1. REGC端子は、必ず4.7 μFのコンデンサを介してGNDに接続してください。

2. フラッシュ・プログラマのCLK端子からのクロック供給はできません。

ボード上に発振回路を作成してクロックを供給してください。

表26 - 8 V850ES/HG3フラッシュ書き込み用アダプタ (FA-100GC-UEU-B) の配線表

フラッシュ・プログラマ (PG-FP5) 接続端子			FAボード の端子名	CSIB0 + HS使用時		CSIB0使用時		UARTD0使用時	
信号名	入出力	端子機能		端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	SI	P41/SOB0/ KR1	23	P41/SOB0/ KR1	23	P30/TXDD0	25
SO/TxD	出力	送信信号	SO	P40/SIB0/ KR0	22	P40/SIB0/ KR0	22	P31/RXDD0/ INTP7	26
SCK	出力	転送クロック	SCK	P42/SCKB0/ KR2	24	P42/SCKB0/ KR2	24	必要なし	-
CLK	出力	V850ES/HG3 へのクロック	X1	必要なし	-	必要なし	-	必要なし	-
			X2	必要なし	-	必要なし	-	必要なし	-
/RESET	出力	リセット信号	/RESET	RESET	14	RESET	14	RESET	14
FLMD0	出力	書き込み電圧	FLMD0	FLMD0	8	FLMD0	8	FLMD0	8
FLMD1	出力	書き込み電圧	FLMD1	PDL5/ FLMD1	76	PDL5/ FLMD1	76	PDL5/ FLMD1	76
HS	入力	CSI0 + HS 通 信のハンドシ ェーク信号	RESERVE /HS	PCM0	61	必要なし	-	必要なし	-
VDD	-	VDD 電圧生 成 / 電圧監視	VDD	V _{DD}	9	V _{DD}	9	V _{DD}	9
				EV _{DD}	5, 34	EV _{DD}	5, 34	EV _{DD}	5, 34
				AV _{REF0}	1	AV _{REF0}	1	AV _{REF0}	1
				BV _{DD}	70	BV _{DD}	70	BV _{DD}	70
GND	-	グラウンド	GND	V _{SS}	11	V _{SS}	11	V _{SS}	11
				AV _{SS}	2	AV _{SS}	2	AV _{SS}	2
				EV _{SS}	33	EV _{SS}	33	EV _{SS}	33
				BV _{SS}	69	BV _{SS}	69	BV _{SS}	69

注意1. REGC端子は、必ず4.7 μFのコンデンサを介してGNDに接続してください。

2. フラッシュ・プログラマのCLK端子からのクロック供給はできません。
ボード上に発振回路を作成してクロックを供給してください。

表26 - 9 V850ES/HJ3フラッシュ書き込み用アダプタ (FA-144GJ-GAE-B) の配線表

フラッシュ・プログラマ (PG-FP5) 接続端子			FAボード の端子名	CSIB0 + HS使用時		CSIB0使用時		UARTD0使用時	
信号名	入出力	端子機能		端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	SI	P41/SOB0/ KR1/ TXDD3 ^注	23	P41/SOB0/ KR1/ TXDD3 ^注	23	P30/TXDD0	25
SO/TxD	出力	送信信号	SO	P40/SIB0/ KR0/ RXDD3 ^注 / INTP14 ^注	22	P40/SIB0/ KR0/ RXDD3 ^注 / INTP14 ^注	22	P31/RXDD0/ INTP7	26
SCK	出力	転送クロック	SCK	P42/SCKB0/ KR2	24	P42/SCKB0/ KR2	24	必要なし	-
CLK	出力	V850ES/HJ3へ のクロック	X1	必要なし	-	必要なし	-	必要なし	-
			X2	必要なし	-	必要なし	-	必要なし	-
/RESET	出力	リセット信号	/RESET	RESET	14	RESET	14	RESET	14
FLMD0	出力	書き込み電圧	FLMD0	FLMD0	8	FLMD0	8	FLMD0	8
FLMD1	出力	書き込み電圧	FLMD1	PDL5/AD5/ FLMD1	110	PDL5/AD5/ FLMD1	110	PDL5/AD5/ FLMD1	110
HS	入力	CSI0 + HS 通 信のハンドシ ェーク信号	RESERVE /HS	PCM0/WAIT	85	必要なし	-	必要なし	-
VDD	-	VDD 電圧生 成 / 電圧監視	VDD	V _{DD}	9	V _{DD}	9	V _{DD}	9
				EV _{DD}	5, 34	EV _{DD}	5, 34	EV _{DD}	5, 34
				BV _{DD}	104	BV _{DD}	104	BV _{DD}	104
				AV _{REF0}	1	AV _{REF0}	1	AV _{REF0}	1
GND	-	グラウンド	GND	V _{SS}	11	V _{SS}	11	V _{SS}	11
				AV _{SS}	2	AV _{SS}	2	AV _{SS}	2
				EV _{SS}	33	EV _{SS}	33	EV _{SS}	33
				BV _{SS}	103	BV _{SS}	103	BV _{SS}	103

注意1. REGC端子は、必ず4.7 μ Fのコンデンサを介してGNDに接続してください。

2. フラッシュ・プログラマのCLK端子からのクロック供給はできません。
ボード上に発振回路を作成してクロックを供給してください。

図26 - 6 V850ES/HE3フラッシュ書き込み用アダプタ(FA-64GB-GAH-B)の配線例(CSIB0+HSモード時)(1/2)

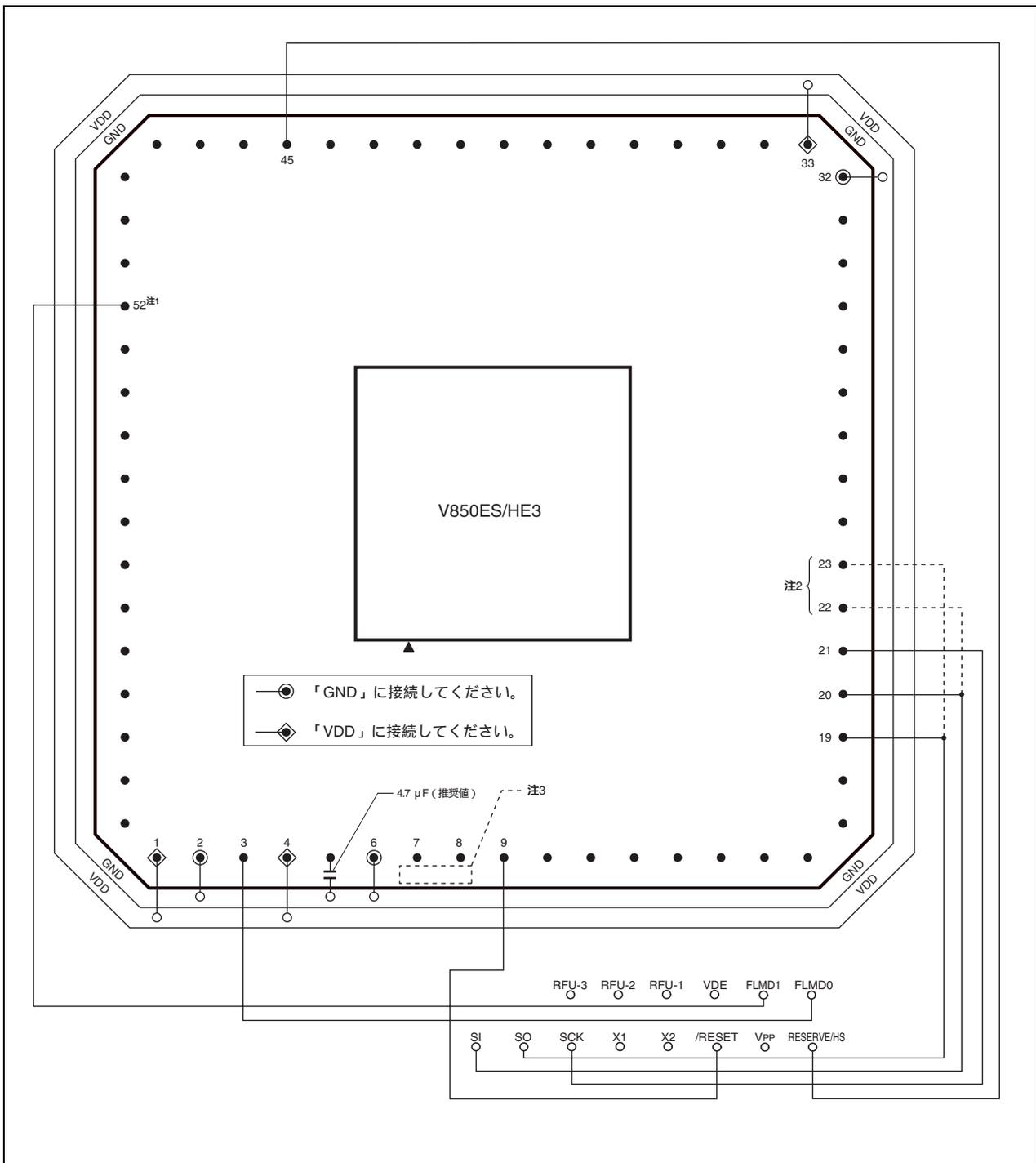
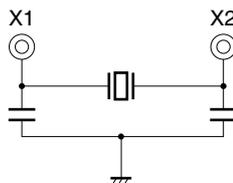


図26 - 6 V850ES/HE3フラッシュ書き込み用アダプタ (FA-64GB-GAH-B)の配線例 (CSIB0 + HSモード時) (2/2)

- 注1. FLMD1端子は図のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。
2. UARTD0使用時の該当端子
3. フラッシュ書き込みアダプタ上 (破線部) に発振回路を作成してクロックを供給してください。次に発振回路例を示します。

例



注意 DRST端子には、ハイ・レベルを入力しないでください。

- 備考1. 記述していない端子は、未使用時の端子処理に従って処理してください (2.3 端子の入出力回路タイプと未使用端子の処理参照)。
2. このアダプタは64ピン・プラスチックLQFPパッケージ用です。

図26 - 7 V850ES/HF3フラッシュ書き込み用アダプタ (FA-80GK-GAK-B)の配線例 (CSIB0 + HSモード時) (1/2)

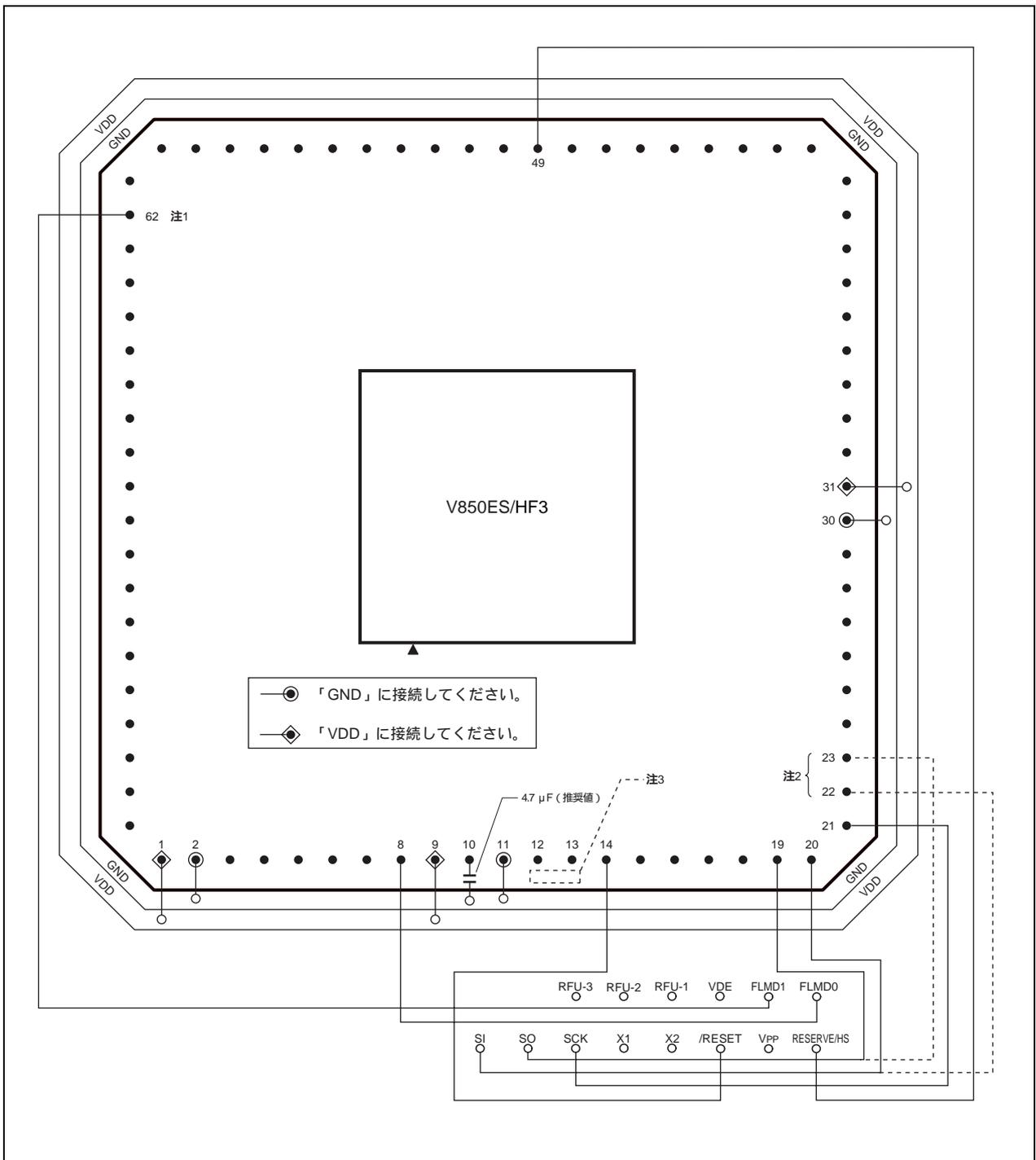
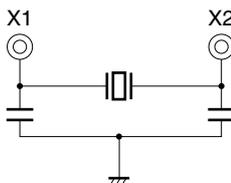


図26 - 7 V850ES/HF3フラッシュ書き込み用アダプタ (FA-80GK-GAK-B)の配線例 (CSIB0 + HSモード時) (2/2)

- 注1. FLMD1端子は図のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。
2. UARTD0使用時の該当端子
3. フラッシュ書き込みアダプタ上 (破線部) に発振回路を作成してクロックを供給してください。次に発振回路例を示します。

例



注意 DRST端子には、ハイ・レベルを入力しないでください。

- 備考1. 記述していない端子は、未使用時の端子処理に従って処理してください (2.3 端子の入出力回路タイプと未使用端子の処理参照)。
2. このアダプタは80ピン・プラスチックTQFPパッケージ用です。

図26 - 8 V850ES/HG3フラッシュ書き込み用アダプタ(FA-100GC-UEU-B)の配線例(CSIB0 + HSモード時)(1/2)

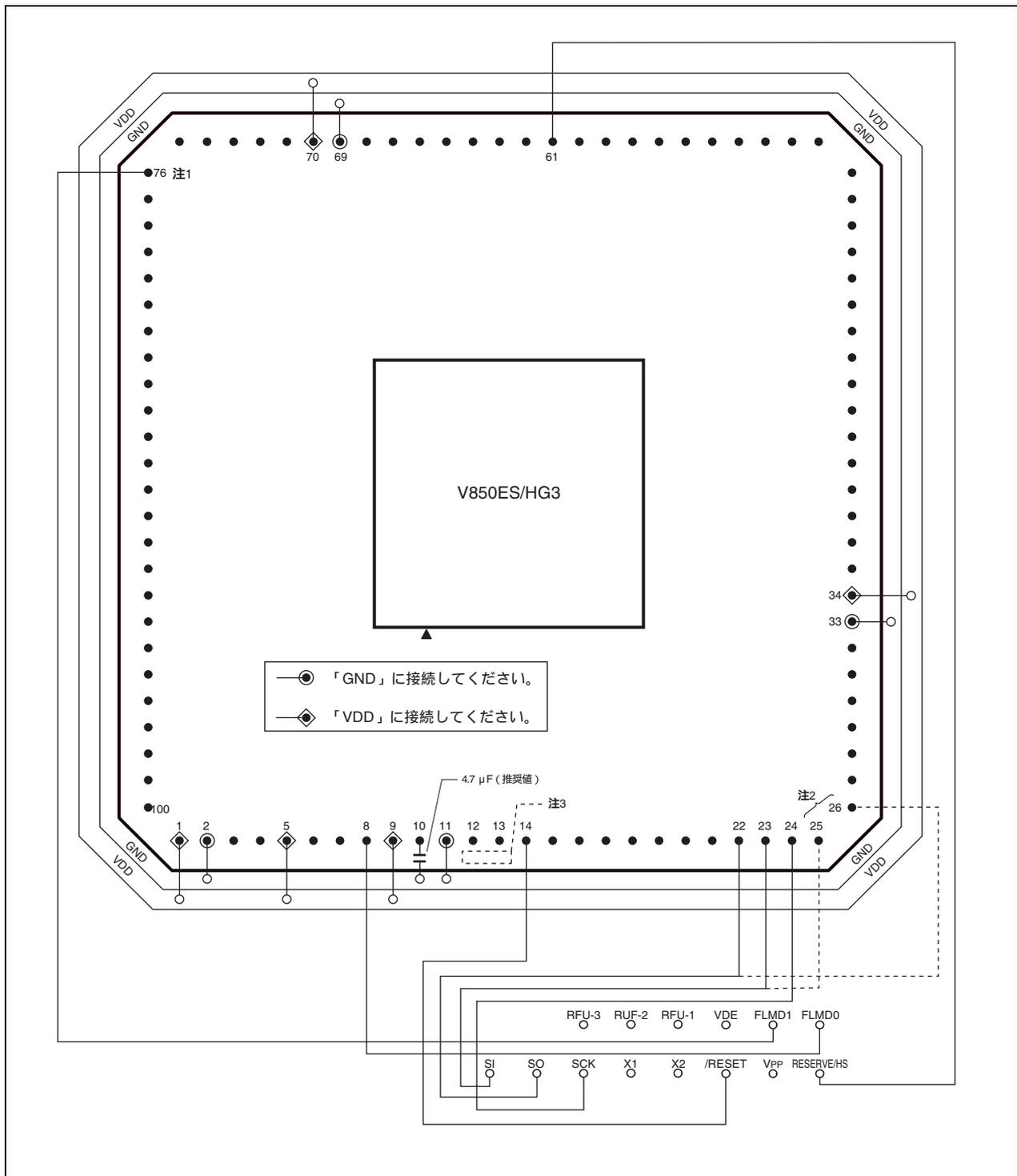
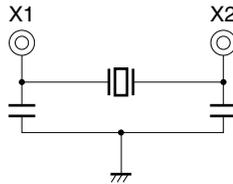


図26 - 8 V850ES/HG3フラッシュ書き込み用アダプタ(FA-100GC-UEU-B)の配線例(CSIB0 + HSモード時)(2/2)

- 注1. FLMD1端子は図のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。
2. UARTD0使用時の該当端子
3. フラッシュ書き込みアダプタ上(破線部)に発振回路を作成してクロックを供給してください。次に発振回路例を示します。

例



注意 DRST端子には、ハイ・レベルを入力しないでください。

- 備考1. 記述していない端子は、未使用時の端子処理に従って処理してください(2.3 端子の入出力回路タイプと未使用端子の処理参照)。
2. このアダプタは100ピン・プラスチックLQFPパッケージ用です。

図26 - 9 V850ES/HJ3フラッシュ書き込み用アダプタ(FA-144GJ-GAE-B)の配線例(CSIB0 + HSモード時)(1/2)

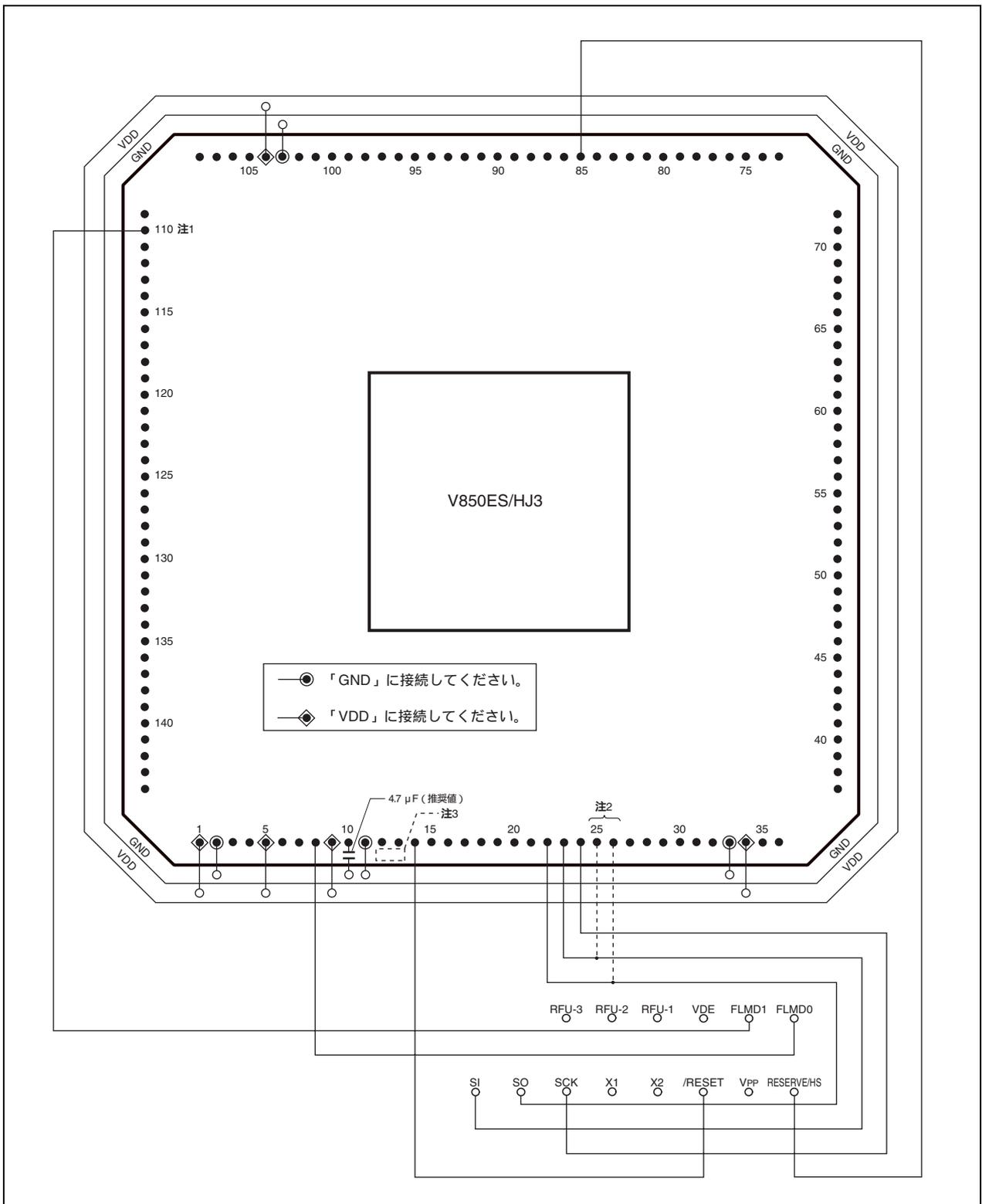
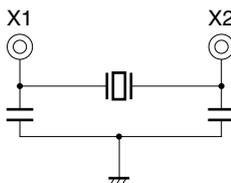


図26 - 9 V850ES/HJ3フラッシュ書き込み用アダプタ(FA-144GJ-GAE-B)の配線例(CSIB0 + HSモード時)(2/2)

- 注1. FLMD1端子は図のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。
2. UARTD0使用時の該当端子
3. フラッシュ書き込みアダプタ上(破線部)に発振回路を作成してクロックを供給してください。次に発振回路例を示します。

例



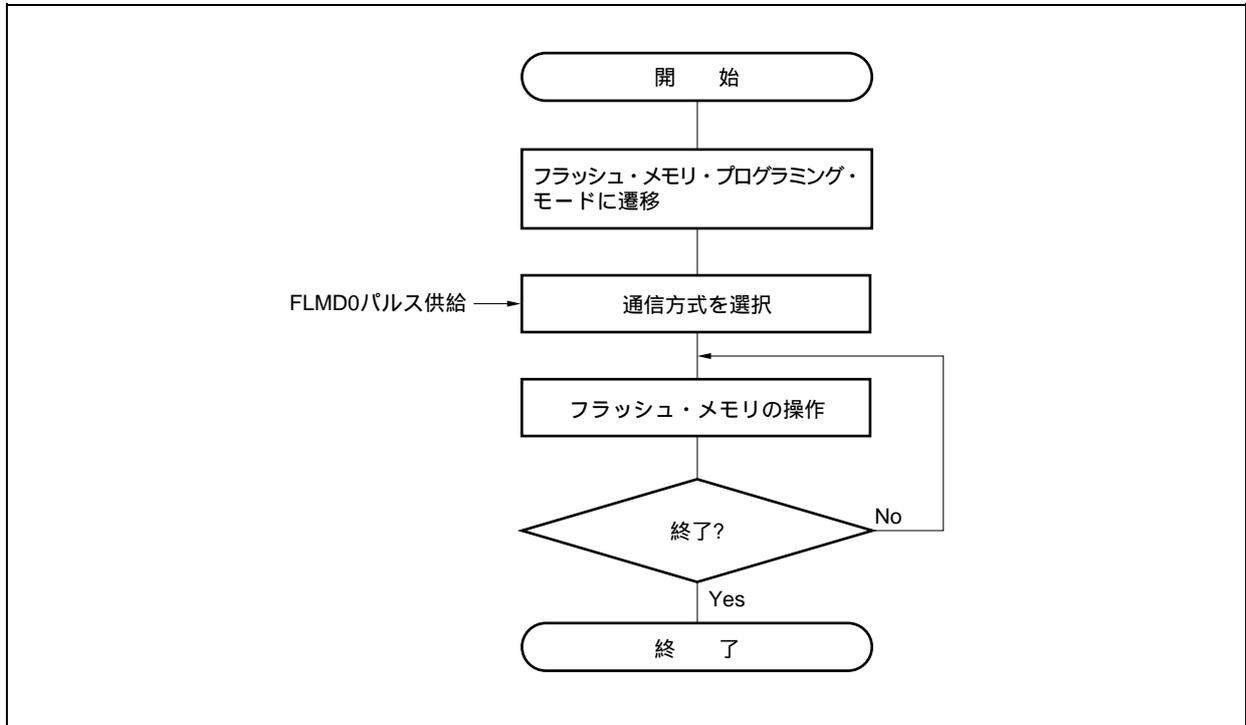
注意 DRST端子には、ハイ・レベルを入力しないでください。

- 備考1. 記述していない端子は、未使用時の端子処理に従って処理してください(2.3 端子の入出力回路タイプと未使用端子の処理参照)。
2. このアダプタは144ピン・プラスチックLQFPパッケージ用です。

26.4.3 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図26 - 10 フラッシュ・メモリの操作手順

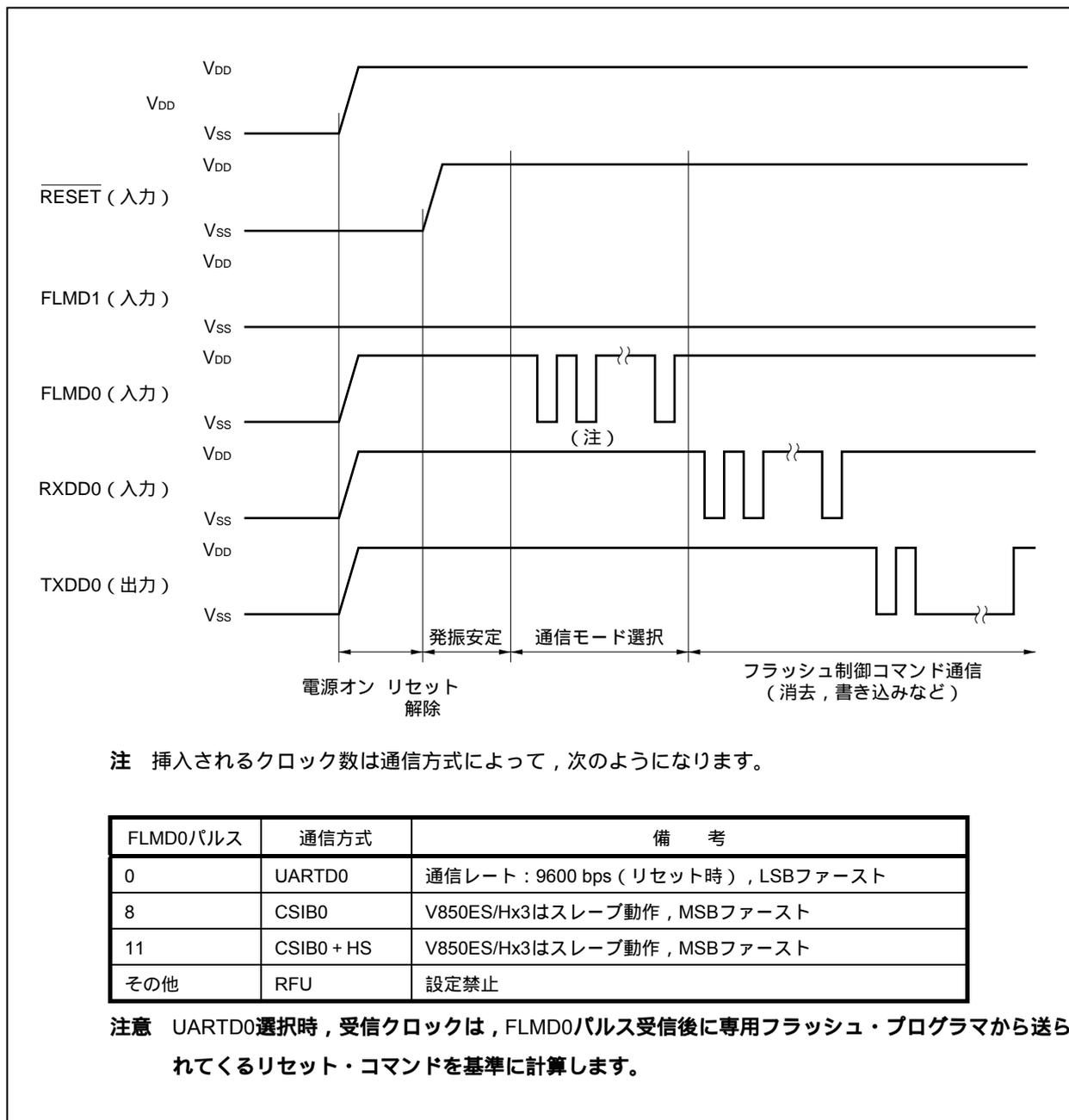


26.4.4 通信方式の選択

V850ES/Hx3では、フラッシュ・メモリ・プログラミング・モードに遷移後、FLMD0端子にパルス（最大11パルス）を入力することで通信方式を選択します。このFLMD0パルスは専用フラッシュ・プログラマが生成します。

パルス数と通信方式の関係を次に示します。

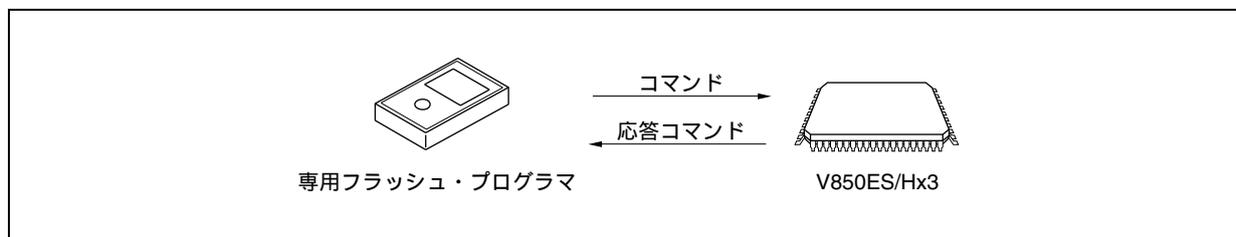
図26 - 11 通信方式の選択



26.4.5 通信コマンド

V850ES/Hx3と専用フラッシュ・プログラマは、コマンドを介して通信します。専用フラッシュ・プログラマからV850ES/Hx3へ送られる信号を「コマンド」と呼び、V850ES/Hx3から専用フラッシュ・プログラマへ送られる応答信号を「応答コマンド」と呼びます。

図26 - 12 通信コマンド



V850ES/Hx3のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマから発行され、V850ES/Hx3がコマンドに対応した各処理を行います。

表26 - 10 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	対応			機能
		CSIB0	CSIB0+HS	UARTD0	
ブランク・チェック	ブロック・ブランク・チェック・コマンド				指定したブロックのメモリの消去状態を確認
消去	チップ消去コマンド				全メモリの内容を消去
	ブロック消去コマンド				指定したブロックのメモリの内容を消去
プログラム	プログラム・コマンド				指定したアドレス範囲の書き込み、内容ベリファイ・チェックを実行
ベリファイ	ベリファイ・コマンド				指定したアドレス範囲のメモリの内容と、フラッシュ・プログラマから転送されたデータを比較
	チェック・サム・コマンド				指定したアドレス範囲のチェック・サムを読み出す
リード	リード・コマンド				フラッシュ・メモリに書き込まれたデータを読み出す
システム設定, 制御	シリコン・シグネチャ・コマンド				シリコン・シグネチャ情報を読み出す
	セキュリティ設定コマンド				チップ消去コマンド, ブロック消去コマンド, プログラム・コマンド, リード・コマンドの禁止設定およびブート・ブロック・クラスタの書き換え禁止設定

26.4.6 端子処理

オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

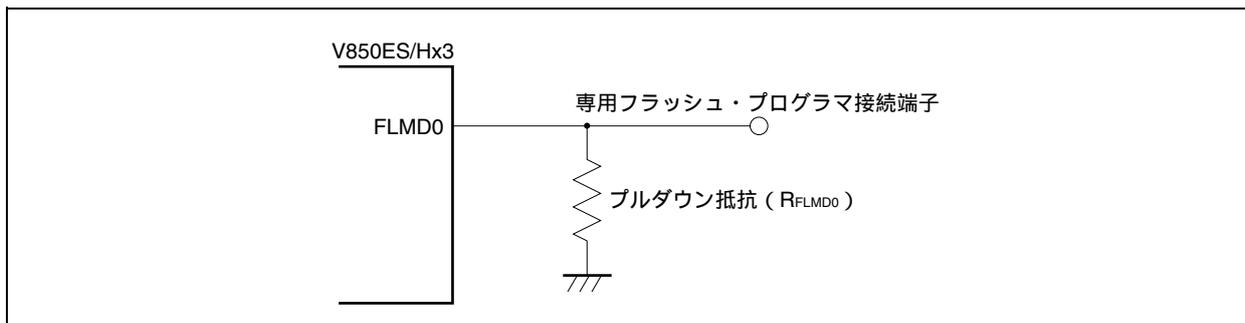
フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

(1) FLMD0端子

通常動作モード時は、FLMD0端子に V_{SS} レベルの電圧を入力します。また、フラッシュ・メモリ・プログラミング・モード時は、FLMD0端子に V_{DD} レベルの書き込み電圧を供給します。

また、FLMD0端子はセルフ・プログラミング・モード時には書き換え保護用の端子となるため、書き換え前にポート制御などによって、FLMD0端子に V_{DD} レベルの電圧を供給する必要があります。詳細は、26.5.5 (1) FLMD0端子を参照してください。

図26 - 13 FLMD0端子の接続例



(2) FLMD1端子

FLMD0端子に0 Vを入力された場合、FLMD1端子は機能しません。FLMD0端子に V_{DD} が供給された場合、フラッシュ・メモリ・プログラミング・モードに引き込むため、FLMD1端子に0 Vを入力する必要があります。FLMD1端子の接続例を次に示します。

図26 - 14 FLMD1端子の接続例

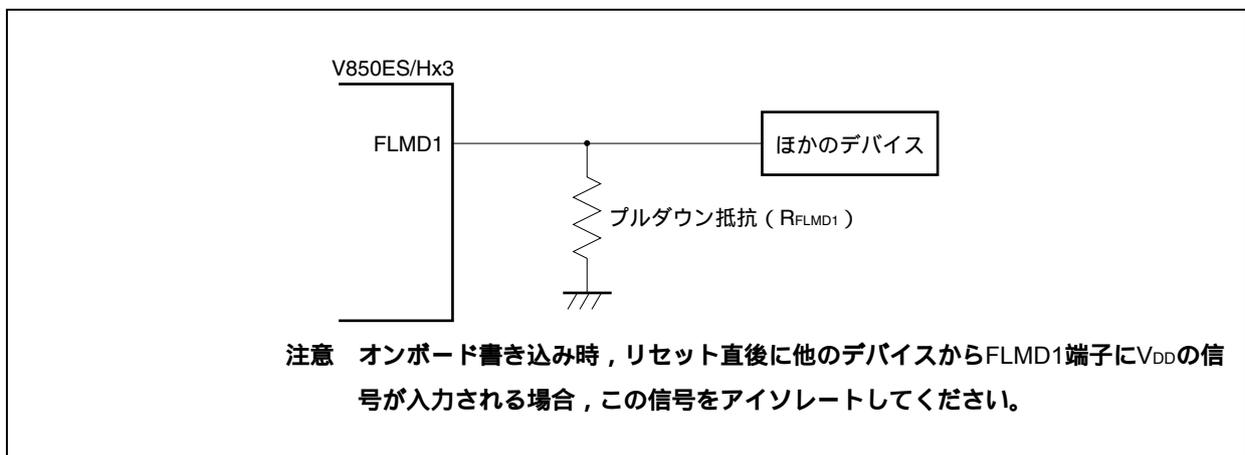


表26 - 11 リセット解除時のFLMD0, FLMD1端子の動作モードとの関係

FLMD0	FLMD1	動作モード
0	任意	通常動作モード
V _{DD}	0	フラッシュ・メモリ・プログラミング・モード
V _{DD}	V _{DD}	設定禁止

(3) シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表26 - 12 各シリアル・インタフェースが使用する端子

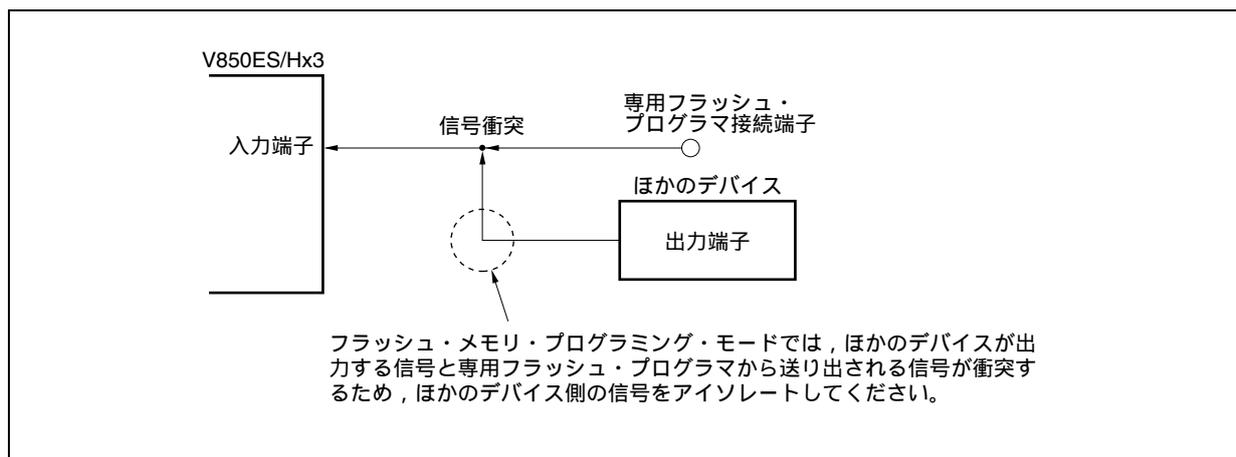
シリアル・インタフェース	使用端子
UARTD0	TXDD0, RXDD0
CSIB0	SOB0, SIB0, $\overline{\text{SCKB0}}$
CSIB0 + HS	SOB0, SIB0, $\overline{\text{SCKB0}}$, PCM0

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・プログラマを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(a) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・プログラマ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

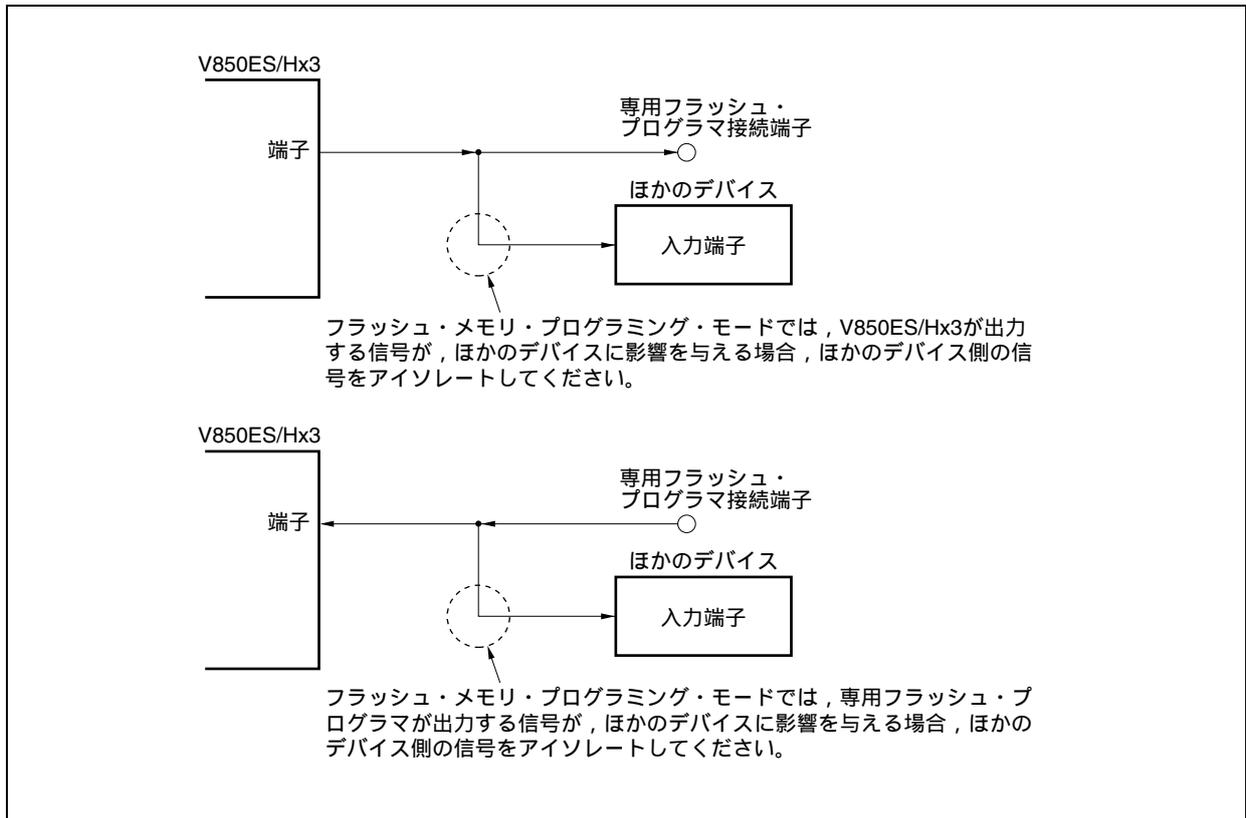
図26 - 15 信号の衝突（シリアル・インタフェースの入力端子）



(b) ほかのデバイスの異常動作

ほかのデバイス(入力)と接続しているシリアル・インタフェース用の端子(入力または出力)に、専用フラッシュ・プログラマ(出力または入力)を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートしてください。

図26 - 16 ほかのデバイスの異常動作

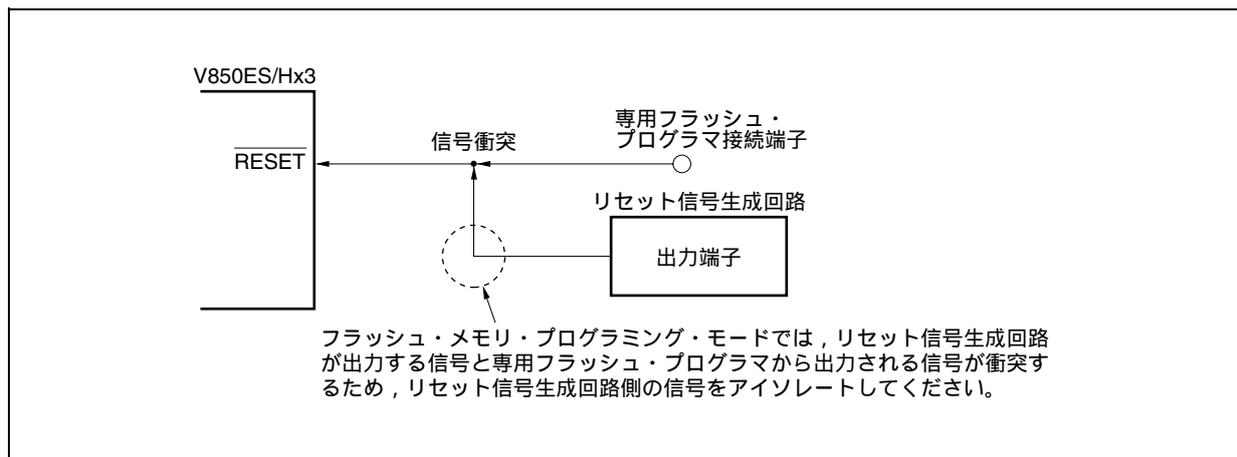


(4) RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・プログラムのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・プログラマからのリセット信号以外は入力しないでください。

図26 - 17 信号の衝突 (RESET端子)

**(5) ポート端子 (NMIを含む)**

フラッシュ・メモリ・プログラミング・モードに設定すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}に接続するか、または抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

(6) その他の信号端子

X1, X2, XT1, XT2, REGCIは、通常動作モード時と同じ状態に接続してください。

また、フラッシュ・メモリ・プログラミング中、DRST端子はロウ・レベル入力またはオープンにし、ハイ・レベル入力しないようにしてください。

(7) 電 源

電源 (V_{DD}, V_{SS}, EV_{DD}, EV_{SS}, BV_{DD}, BV_{SS}, AV_{REF0}, AV_{SS}) は、通常動作モード時と同じ電源を供給してください。

26.5 セルフ・プログラミングによる書き換え

26.5.1 概 要

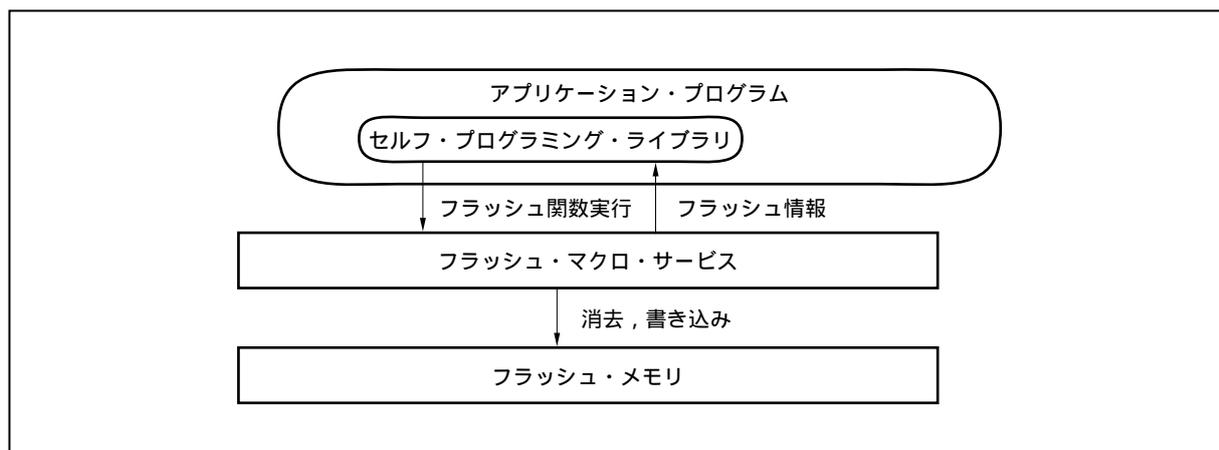
V850ES/Hx3は、ユーザ・プログラム自身で内蔵フラッシュ・メモリの書き換えを行うための、フラッシュ・マクロ・サービスをサポートしています。このインタフェースおよび、フラッシュ・メモリの書き換えをユーザのアプリケーション・プログラムで行うためのセルフ・プログラミング・ライブラリを利用することにより、内蔵RAMもしくは、外部メモリへあらかじめ転送しておいたユーザ・アプリケーションから、フラッシュ・メモリの書き換えが可能になり、フィールドでのユーザ・プログラムのアップグレードや、定数データ書き換え^注を行うことができます。

注 書き換え対象の定数データがあるブロックに、プログラム・コードを配置しないように注意してください。

ブロック構成については、26.2 **メモリ構成**を参照してください。

フラッシュ・セルフ・プログラミングについては、V850マイクロコントローラ **フラッシュ・メモリ・セルフ・プログラミング・ライブラリType04 ユーザーズ・マニュアル (U17819J)**を参照してください。

図26 - 18 セルフ・プログラミングの概念図



26.5.2 特 徴

(1) セキュア・セルフ・プログラミング (ブート・スワップ機能)

V850ES/Hx3は、ブロック0から指定したブロックの物理メモリと、連続する同サイズの物理メモリを入れ替えることができるブート・スワップ機能をサポートしています。

ブート・スワップ指定できるブロック数および領域は、フラッシュ・セルフ・プログラミングにて設定可能です。

備考 V850ES/Hx3では、製品ごとにスワップできるブロック数および領域をフラッシュ・セルフ・プログラミングにて設定可能です。

製品ごとの設定可能範囲を次に示します。

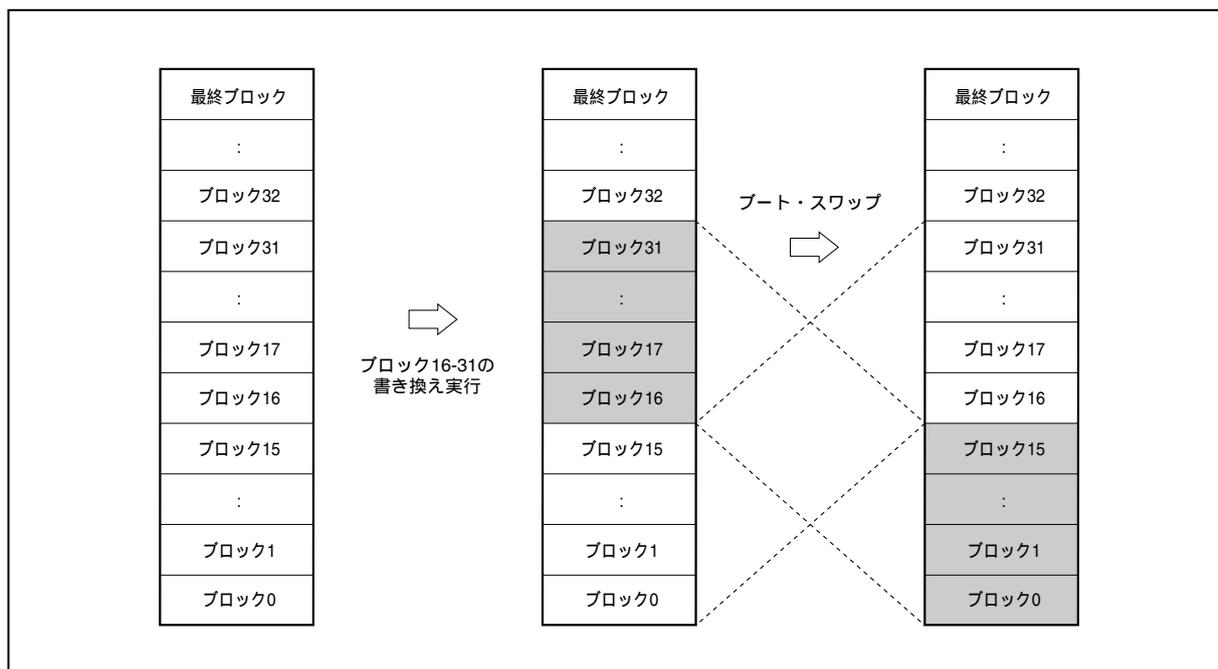
表26 - 13 ブート・スワップ・クラスタ・サイズ

製品名	ブート・スワップ単位	対象ブロック	対象領域
μ PD70F3747, μ PD70F3750,	8 Kバイトごと	ブロック0-3	0000 0000H-0000 1FFFFH
		ブロック4-7	0000 2000H-0000 3FFFFH
μ PD70F3752, μ PD70F3755	16Kバイトごと	ブロック0-7	0000 0000H-0000 3FFFFH
		ブロック8-15	0000 4000H-0000 7FFFFH
	32 Kバイトごと	ブロック0-15	0000 0000H-0000 7FFFFH
		ブロック16-31	0000 8000H-0000 FFFFFH
	64 Kバイトごと	ブロック0-31	0000 0000H-0000 FFFFFH
		ブロック32-63	0001 0000H-0001 FFFFFH
μ PD70F3757	16Kバイトごと	ブロック0-3	0000 0000H-0000 3FFFFH
		ブロック4-7	0000 4000H-0000 7FFFFH
	32 Kバイトごと	ブロック0-7	0000 0000H-0000 7FFFFH
		ブロック8-15	0000 8000H-0000 FFFFFH
	64 Kバイトごと	ブロック0-15	0000 0000H-0000 FFFFFH
		ブロック16-31	0001 0000H-0001 FFFFFH
	128 Kバイトごと	ブロック0-31	0000 0000H-0001 FFFFFH
		ブロック32-63	0002 0000H-0003 FFFFFH

注意 ブート・スワップ機能は、リセット・ベクタが初期値の状態 (00000000H) である場合のみ使用可能です。リセット・ベクタを初期値から変更している場合には使用できません。

たとえば、ブート・スワップ・クラスタの設定をブロック0-15に設定した場合、書き換えたい起動用プログラムをブロック16-31に書き込みます。ブロック16-31の書き換えが正常に完了したあと、物理メモリをスワップさせることで、書き換え中に電源昇断や不用意なリセットなどにより新しい起動用プログラムの書き換えに失敗しても、ブロック0-15には元の起動用プログラムが動作できる状態となるため、全領域の書き換えが安全に実行できます。

図26 - 19 全メモリ領域の書き換え0-15と16-31をスワップさせる場合（ブート・スワップ対応）



(2) 割り込み対応

セルフ・プログラミング中は、フラッシュ・メモリからの命令フェッチが不可能であるため、割り込みが発生してもフラッシュ・メモリに書き込まれているユーザ・ハンドラは使用できません。

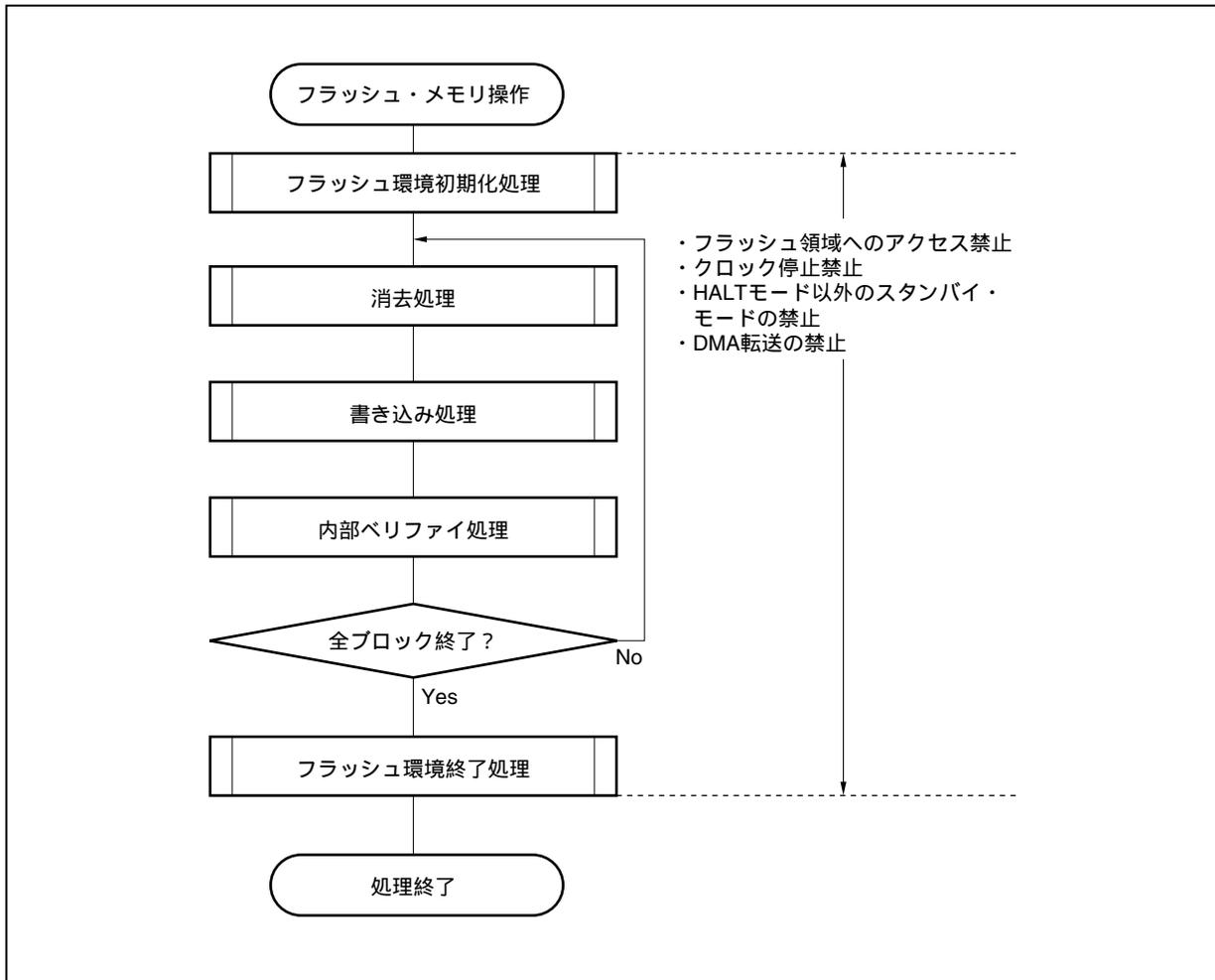
そのため、V850ES/Hx3では、セルフ・プログラミング中に割り込みを利用する場合、内蔵RAMの特定番地^注に処理が移ります。したがって、あらかじめ内蔵RAMの特定番地^注にユーザ割り込み処理へ遷移する分岐命令を用意してください。

- 注 NMI割り込み : 内蔵RAMの先頭番地
- マスカブル割り込み : 内蔵RAMの先頭 + 4番地

26.5.3 標準セルフ・プログラミング・フロー

フラッシュ・セルフ・プログラミングにて、フラッシュ・メモリへの書き換えを行う際の全体処理を次に示します。

図26 - 20 標準セルフ・プログラミング・フロー



26.5.4 フラッシュ関数一覧

表26 - 14 フラッシュ関数一覧

関数名	概要	対応
FlashInit	セルフ・ライブラリの初期化	
FlashEnv	フラッシュ環境の開始 / 終了	
FlashFLMDCheck	FLMD端子のチェック	
FlashStatusCheck	ハードウェア処理の実況チェック	
FlashBlockErase	ブロックの消去	
FlashWordWrite	データの書き込み	
FlashBlockVerify	ブロックの内部ベリファイ	
FlashBlockBlankCheck	ブロックのブランク・チェック	
FlashSetInfo	フラッシュ情報の設定	
FlashBootSwap	ブート・スワップの実行	

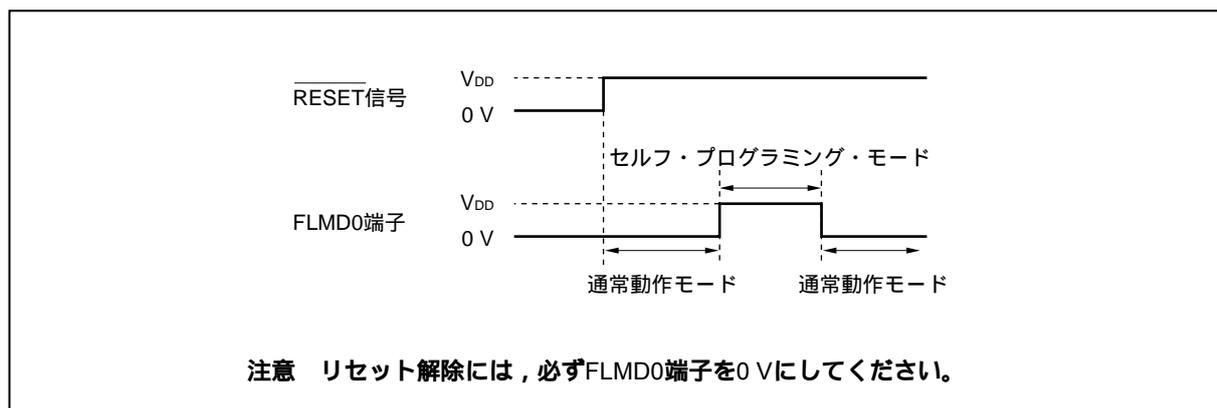
26.5.5 端子処理

(1) FLMD0端子

FLMD0端子は、リセット解除時の動作モード設定と、セルフ書き換え時の書き換え保護機能の兼用端子となっているため、リセット解除～通常動作実行時は、FLMD0端子へ印加される電圧を0 Vに保持し、セルフ・プログラミング・モードの期間は、書き換え前にポート制御などによって、FLMD0端子に V_{DD} レベルの電圧を印加する必要があります。

また、セルフ・プログラミングが終了したあとは、FLMD0端子の電圧を0 Vに戻す必要があります。

図26 - 21 モード切り替わりタイミング



26.5.6 使用する内部資源

セルフ・プログラミングにて使用する内部資源を次に示します。なお、セルフ・プログラミング以外では、次の内部資源については自由に使用できます。

表26 - 15 使用する内部資源

リソース名	説明
スタック領域 ^注	ユーザの使用しているスタックの延長をライブラリが使用。 (内部RAM / 外部RAMのどちらでも使用可)
ライブラリ・コード ^注	ライブラリのプログラム本体。 (操作対象のフラッシュ・メモリ・ブロック以外ならどこでも使用可)
アプリケーション・プログラム	ユーザ・アプリケーションとしての実行 フラッシュ関数の呼び出し
マスカブル割り込み	ユーザ・アプリケーションの実行状態、セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用した場合、内蔵RAMの先頭+4番地に処理が移るため、あらかじめ内蔵RAMの先頭+4番地にユーザ割り込み処理へ遷移する分岐命令を用意してください。
NMI割り込み	ユーザ・アプリケーションの実行状態、セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用した場合、内蔵RAMの先頭番地に処理が移るため、あらかじめ内蔵RAMの先頭番地にユーザ割り込み処理へ遷移する分岐命令を用意してください。

注 使用リソースについては、V850マイクロコントローラ フラッシュ・メモリ・セルフ・プログラミング・ライブラリType04 ユーザーズ・マニュアル (U17819) を参照してください。

第27章 オプション・バイト機能

オプション・バイトは、内蔵フラッシュ・メモリの000007BH番地（内蔵ROM領域）に8ビット・データとして格納しています。

V850ES/Hx3にプログラムを書き込む場合には、必ず000007BH番地に次のオプションに対応した、オプション・データを初期値データとしてプログラム上に設定してください。

なお、プログラム実行上、この領域のデータの書き換えなどはできません。

アドレス：000007BH

7	6	5	4	3	2	1	0
0	0	0	0	PLLO	0	0	1

PLLO	PLL/SSCGからの出力クロックの分周比の設定
0	$f_{PLL} = f_{PLLO}$ または f_{SSCGO}
1	$f_{PLL} = f_{PLLO}/2$ または $f_{SSCGO}/2$

注意 ビット7-4, 2, 1には必ず0を設定してください。ビット0には必ず1を設定してください。

また、000007AH, 000007CH-000007FH番地には必ず00Hを設定してください。

備考 f_{PLLO} : PLL出力クロック周波数（図6 - 2参照）
 f_{PLL} : 逓倍ブロック出力周波数（図6 - 2参照）
 f_{SSCGO} : SSCG出力クロック周波数（図6 - 2参照）

次に、CA850をご使用の場合のプログラム例を示します。

[プログラム例]

```
#-----  
# OPTION_BYTES  
#-----  
  
.section "OPTION_BYTES"  
.byte 0b00000000 -- 0x7a  
.byte 0b00001001 -- 0x7b  
.byte 0b00000000 -- 0x7c  
.byte 0b00000000 -- 0x7d  
.byte 0b00000000 -- 0x7e  
.byte 0b00000000 -- 0x7f
```

注意 このセクションは必ず6バイト分を記述してください。6バイト以下の場合は、リンカの際にエラーとなります。

エラー・メッセージ： F4112: illegal "OPTION_BYTES" section size.

備考 000007AH, 000007CH-000007FH番地には0x00を設定してください。

第28章 オンチップ・デバッグ機能

V850ES/Hx3のオンチップ・デバッグ機能を実現するには次の2つの方法があります。

- ・DCU (デバッグ・コントロール・ユニット) を使用する方法
 \overline{DRST} , DCK, DMS, DDI, DDO端子をデバッグ・インタフェース端子としてV850ES/Hx3に内蔵されているDCUによってオンチップ・デバッグを実現します。
- ・DCUを使用しない方法
DCUを使用せず, ユーザ資源を使用してMINICUBE2などによってオンチップ・デバッグを実現します。

2つのオンチップ・デバッグ機能の特徴を次に示します。

表28 - 1 オンチップ・デバッグ機能の特徴

	DCUを使用する方法	DCUを使用しない方法						
デバッグ・インタフェース端子	\overline{DRST} , DCK, DMS, DDI, DDO	<ul style="list-style-type: none"> ・UARTD0使用時 RXDD0, TXDD0 ・CSIB0使用時 SIB0, SOB0, $\overline{SCKB0}$, HS (PCM0) 						
ユーザ資源の確保	不要	必要						
ハードウェア・ブレーク機能	2ポイント	2ポイント						
ソフトウェア・ブレーク機能	<table border="1" style="border-collapse: collapse; width: 100%;"> <tr> <td style="width: 15%;">ソフトウェア・ブレーク機能</td> <td>内蔵ROM領域</td> <td>4ポイント</td> </tr> <tr> <td></td> <td>内蔵RAM領域</td> <td>2000ポイント</td> </tr> </table>	ソフトウェア・ブレーク機能	内蔵ROM領域	4ポイント		内蔵RAM領域	2000ポイント	4ポイント
ソフトウェア・ブレーク機能	内蔵ROM領域	4ポイント						
	内蔵RAM領域	2000ポイント						
リアルタイムRAMモニタ機能 ^{注1}	可能	可能						
ダイナミック・メモリ・モディフィケーション (DMM) 機能 ^{注2}	可能	可能						
マスク機能	リセット, NMI, INTWDT2, \overline{HLDRQ} , WAIT	\overline{RESET} 端子						
ROMセキュリティ機能	10バイトIDコード認証	10バイトIDコード認証						
使用するハードウェア	MINICUBE [®] など	MINICUBE2など						
トレース機能	サポートしていません	サポートしていません						
デバッグ割り込みインタフェース機能 (DBINT)	サポートしていません	サポートしていません						

注1. プログラム実行中にメモリの内容の読み出しを行う機能です。

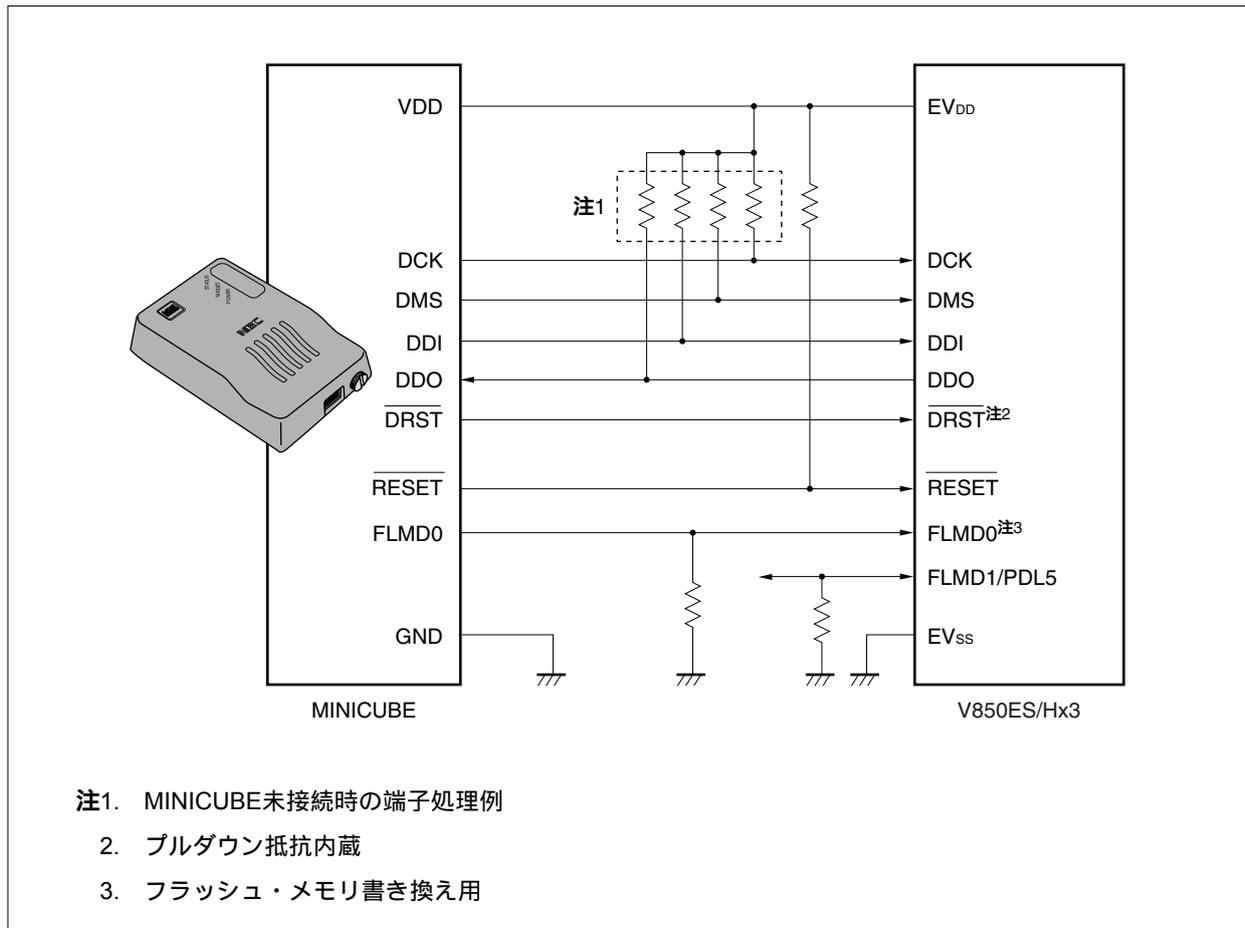
2. プログラム実行中にRAMの内容の書き換えを行う機能です。

28.1 DCUを使用する方法

デバッグ・インタフェース端子 ($\overline{\text{DRST}}$, DCK, DMS, DDI, DDO端子) を利用して, オンチップ・デバッグ・エミュレータ (MINICUBE) を接続することで, プログラムのデバッグが可能です。

28.1.1 接続回路例

図28 - 1 デバッグ・インタフェース端子を通信インタフェースとして使用する場合の回路接続例



28.1.2 インタフェース信号

インタフェース信号について説明します。

(1) $\overline{\text{DRST}}$

オンチップ・デバッグ・ユニット用のリセット入力信号です。デバッグ・コントロール・ユニットを非同期に初期化するための負論理の信号です。

MINICUBEは、統合デバッグの起動後にターゲット・システムのV_{DD}を検出すると、 $\overline{\text{DRST}}$ 信号をロウ・レベルからハイ・レベルに立ち上げて、対象デバイス内のオンチップ・デバッグ・ユニットを起動させます。

また、 $\overline{\text{DRST}}$ 信号がロウ・レベルからハイ・レベルに立ち上がることにより、CPUにもリセットが発生します。

統合デバッグを起動してデバッグを開始する際には、必ずCPUリセットが発生します。

(2) DCK

クロック入力信号です。MINICUBEから20 MHzあるいは10 MHzのクロックを供給します。オンチップ・デバッグ・ユニット内で、DCK信号の立ち上がり同期してDMS、DDI信号をサンプリングし、DCK信号の立ち下がり同期してデータDDOを出力します。

(3) DMS

転送モード選択信号です。DMS信号のレベルによりデバッグ・ユニット内の転送状態が遷移します。

(4) DDI

データ入力信号です。オンチップ・デバッグ・ユニット内でDCKの立ち上がり同期してサンプリングします。

(5) DDO

データ出力信号です。オンチップ・デバッグ・ユニットからDCK信号の立ち下がり同期して出力されます。

(6) EV_{DD}

ターゲット・システムのV_{DD}検出用です。ターゲット・システムからのV_{DD}が未検出の場合は、MINICUBEからの出力信号 ($\overline{\text{DRST}}$, DCK, DMS, DDI, FLMD0, $\overline{\text{RESET}}$ 端子) はハイ・インピーダンスになります。

(7) FLMD0

統合デバッガによるフラッシュ・メモリへのダウンロード機能は、フラッシュ・セルフ・プログラミング機能を利用しています。フラッシュ・セルフ・プログラミング中はFLMD0端子をハイ・レベルにする必要があります。また、FLMD0端子にはプルダウン抵抗を接続してください。

FLMD0端子の制御方法として、次の2種類のうち、どちらかの方法を選択してください。

MINICUBEから制御する場合

MINICUBEからのFLMD0信号をデバイスのFLMD0端子に接続します。

通常モード時はMINICUBEからは何もドライブしません（ハイ・インピーダンス）。

ブレーク中、統合デバッガのダウンロード機能を実行した際にMINICUBEはFLMD0端子をハイ・レベルに制御します。

ポートから制御する場合

デバイスの任意のポートをFLMD0端子に接続します。

ユーザ・プログラムにおいてフラッシュ・セルフ・プログラミング機能を実現する場合と同じポート端子で問題ありません。

統合デバッガのコンソールによって、ダウンロード機能実行前にポート端子をハイ・レベルにする、または、ダウンロード機能実行後にポート端子をロウ・レベルにする設定を行ってください。

詳細はID850QB Ver.3.40 **統合デバッガ ユーザーズ・マニュアル 操作編 (U18604J)** を参照してください。

(8) $\overline{\text{RESET}}$

システム・リセット入力信号です。ユーザ・プログラムにおいてOCDM.OCDM0ビットの値によって、 $\overline{\text{DRST}}$ 端子を無効としたあとは、オンチップ・デバッグは行えません。そのため、MINICUBEからRESET端子によるリセットを与えて、 $\overline{\text{DRST}}$ 端子を有効（初期化）にします。

28. 1. 3 マスク機能

リセット, NMI, INTWDT2, $\overline{\text{WAIT}}$, $\overline{\text{HLDRQ}}$ (V850ES/HJ3のみ) 信号のマスクが可能です。

次にデバッガ (ID850QB) のマスク機能および対応する機能を示します。

表28 - 2 マスク機能

デバッガ (ID850QB) のマスク機能	対応するV850ES/Hx3の機能
NMI0	NMI端子入力
NMI1	ノンマスクブル割り込み要求信号 (INTWDT2) 発生
NMI2	x
HLDRQ	$\overline{\text{HLDRQ}}$ 端子入力 (V850ES/HJ3のみ)
RESET	RESET端子入力, 低電圧検出回路, クロック・モニタまたはウォッチドッグ・タイマ (WDT2) のオーバフローによるリセット信号発生
STOP	x
WAIT	$\overline{\text{WAIT}}$ 端子入力 (V850ES/HJ3のみ)
DBINT	x

28.1.4 レジスタ

(1) オンチップ・デバッグ・モード・レジスタ (OCDM)

通常動作モードとオンチップ・デバッグ・モードを切り替えるレジスタで、オンチップ・デバッグ機能が割り付けられている兼用端子をオンチップ・デバッグ用端子として使用するか、通常のポート/周辺機能兼用端子として使用するかを指定します。また同時に、P05/INTP2/ $\overline{\text{DRST}}$ 端子の内蔵プルダウン抵抗の切断を制御します。

POCリセット後、OCDM0ビットの初期値は“0”で通常動作モードになります。したがってオンチップ・デバッグ・モードにするためには、端子リセットによってOCDM0ビットの値を“1”にする必要があります。またオンチップ・デバッグ中にPOCリセットが発生した場合は、MINICUBEとの通信は中断します。したがってPOCによるリセットのエミュレーションは行うことができません。

OCDMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます (3.4.7 特定レジスタ参照)。

OCDMレジスタへの書き込みは、 $\overline{\text{DRST}}$ 端子にロウ・レベルが入力されているときのみ有効です。8/1ビット単位でリード/ライト可能です。

リセット時：01H^注 R/W アドレス：FFFFFF9FCH

	7	6	5	4	3	2	1	①
OCDM	0	0	0	0	0	0	0	OCDM0

OCDM0	動作モード
0	通常動作モード（オンチップ・デバッグ兼用端子をポート/周辺機能端子として使用）かつ、P05/INTP2/DRST端子の内蔵プルダウン抵抗を切断
1	DRST端子がロウ・レベルの場合： 通常動作モード（オンチップ・デバッグ兼用端子をポート/周辺機能端子として使用） DRST端子がハイ・レベルの場合： オンチップ・デバッグ・モード（オンチップ・デバッグ・モード用端子として使用）

注 $\overline{\text{RESET}}$ 端子によるリセット時は01H。

パワーオン・クリアによるリセット時は00H。

WDT2RES信号、クロック・モニタ（CLM）、低電圧検出回路（LVI）によるリセット時は、OCDMレジスタの値を保持。

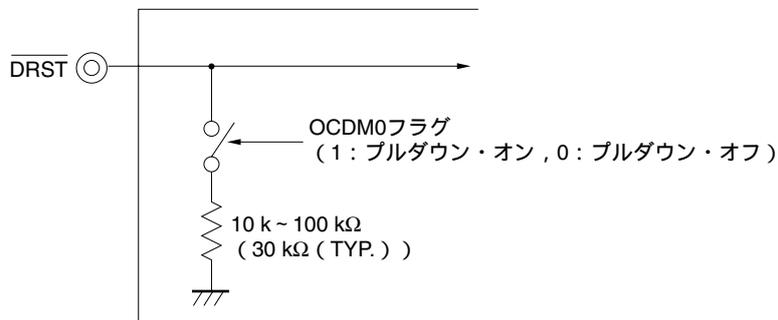
注意1. 外部リセット後、 $\overline{\text{DRST}}$ 、DDI、DDO、DCK、DMS端子をオンチップ・デバッグ用端子として使用せず、ポートとして使用する場合は、次のいずれかの処置が必要です。

- ・ P05/INTP2/ $\overline{\text{DRST}}$ 端子にロウ・レベルを入力します。
- ・ OCDM0ビットを設定します。この場合の処置は次のとおりです。

OCDM0ビットをクリア（0）します。

の処理を終えるまで、P05/INTP2/ $\overline{\text{DRST}}$ 端子入力をロウ・レベル固定にしておきます。

2. $\overline{\text{DRST}}$ 端子はプルダウン抵抗を内蔵しています。OCDM0フラグを“0”に設定すると切断されます。



28.1.5 動作

オンチップ・デバッグ機能は次の表に示す条件で有効になります。

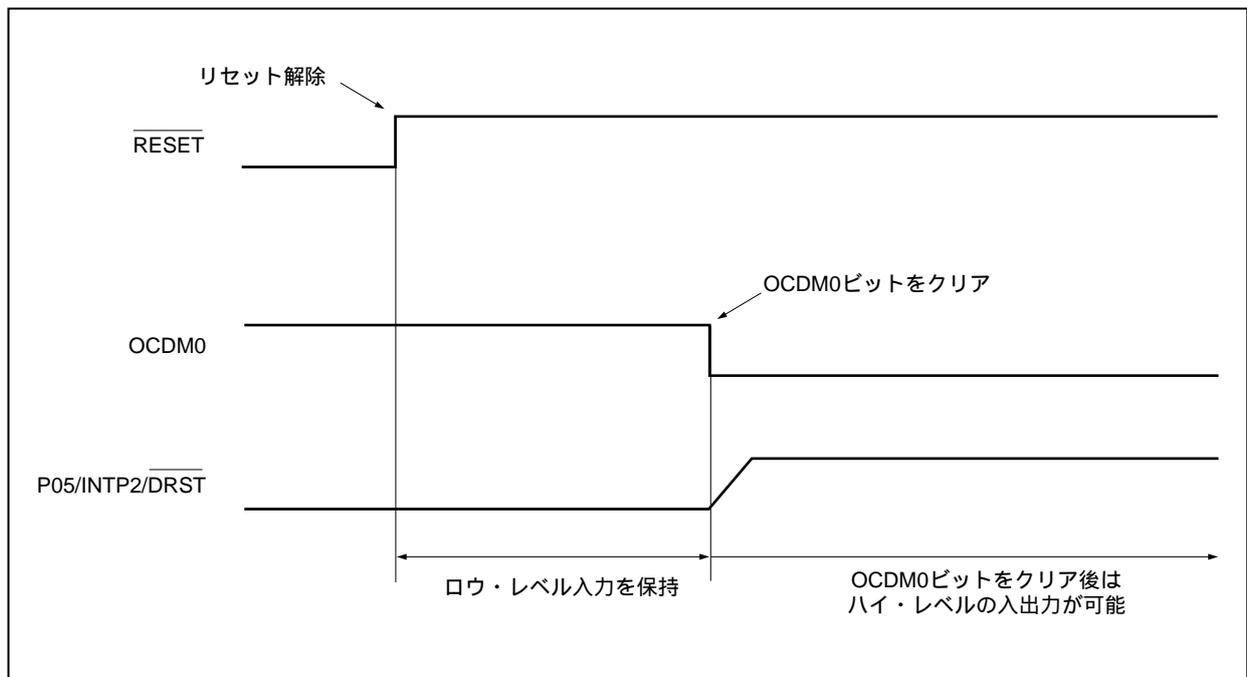
未使用時はOCDM0.OCDM0フラグをクリア(0)するまで、 $\overline{\text{DRST}}$ 端子はロウ・レベル入力の状態を保持してください。

OCDM0フラグ DRST端子	0	1
L	無効	無効
H	無効	有効

備考 L: ロウ・レベル入力

H: ハイ・レベル入力

図28 - 2 オンチップ・デバッグ機能未使用時のタイミング



28.1.6 注意事項

- (1) RUN中（プログラム実行中）にリセット入力（ターゲット・システムからのリセット入力や内部リセット要因によるリセット）があった場合、ブレーク機能が誤動作することがあります。
- (2) リセットをマスク機能でマスクしていても、端子からのリセットが入力された際に入出力バッファ（ポート端子）がリセット状態になる場合があります。
- (3) ブレーク中の端子リセットはマスクされ、CPUや周辺I/Oはリセットされません。また、ユーザ・プログラム実行中に、DMMで書き換える瞬間やRAMモニタ機能で読み出す瞬間に、端子リセットや内部リセットが発生した場合、CPUや周辺I/Oが正しくリセットされない場合があります。
- (4) オンチップ・デバッグ・モード時、DDO端子は強制的にハイ・レベル出力に設定されます。

28.2 DCUを使用しない方法

DCUを使用せず，UARTD0用端子（RXDD0，TXDD0），CSIB0用端子（SIB0，SOB0， $\overline{\text{SCKB0}}$ ，HS（PCM0））をデバッグ・インタフェースとしてMINICUBE2を使用してオンチップ・デバッグ機能を実現する方法を次に示します。

28.2.1 接続回路例

図28-3 UARTD0/CSIB0を通信インタフェースとして使用する場合の回路接続例

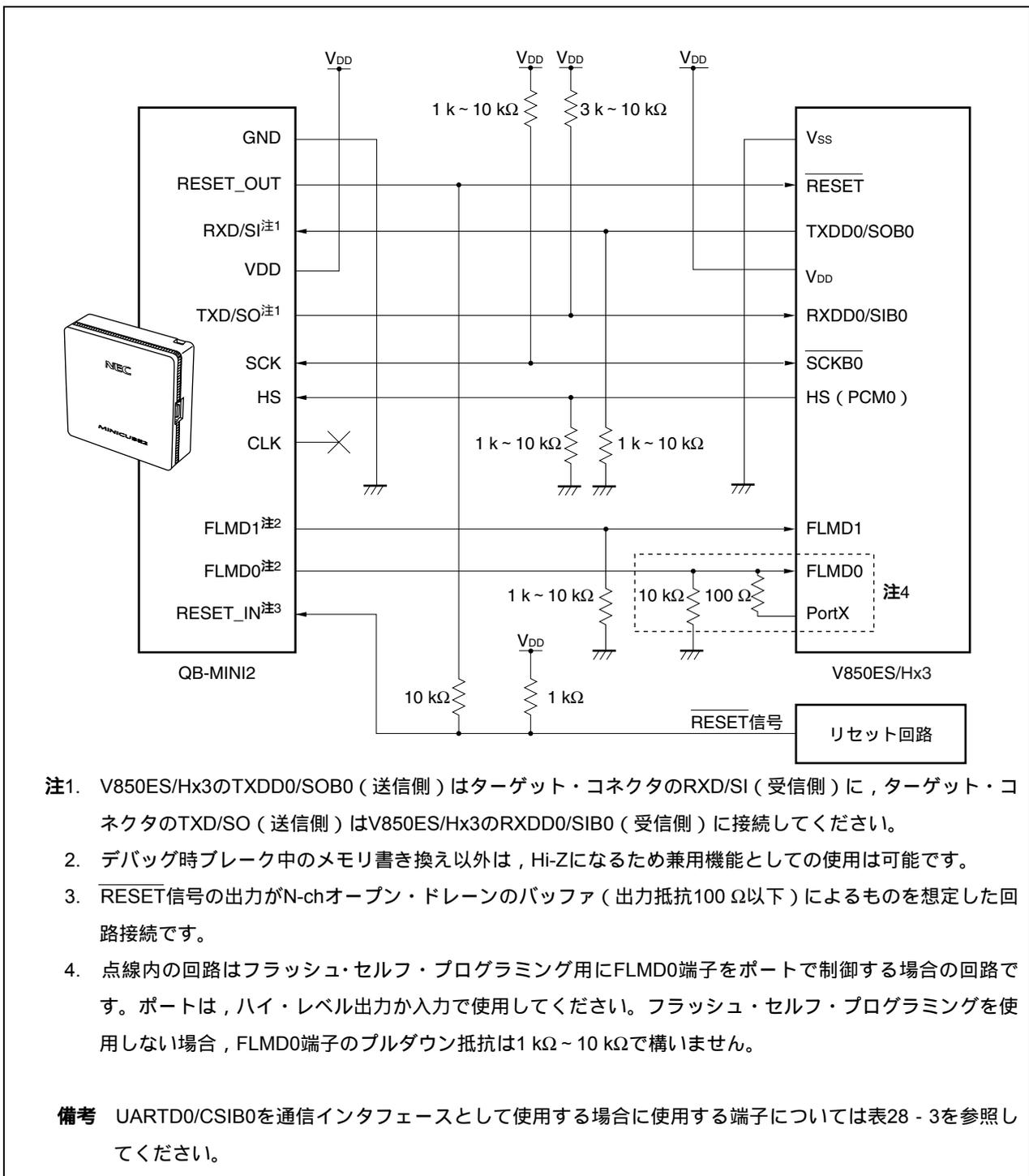


表28 - 3 V850ES/Hx3とMINICUBE2の配線表

MINICUBE2 (QB-MINI2) 接続端子			CSIB0-HS使用時	UARTD0使用時
信号名	入出力	端子機能	端子名	端子名
SI/RxD	入力	V850ES/Hx3からのコマンド, データ受信端子	P41/SOB0	P30/TXDD0
SO/TxD	出力	V850ES/Hx3へのコマンド, データ送信端子	P40/SIB0	P31/RXDD0
SCK	出力	3線式シリアル通信用クロック出力端子	P42/SCKB0	必要なし
CLK	出力	未使用	必要なし	必要なし
RESET_OUT	出力	V850ES/Hx3へのリセット出力端子	RESET	RESET
FLMD0	出力	V850ES/Hx3をデバッグ・モード, またはプログラミング・モードにするための出力端子	FLMD0	FLMD0
FLMD1	出力	プログラミング・モードにするための出力端子	PDL5/FLMD1	PDL5/FLMD1
HS	入力	CSI0 + HS通信のハンドシェーク信号	PCM0/WAIT	必要なし
GND	-	グラウンド	V _{SS}	V _{SS}
			AV _{SS}	AV _{SS}
			EV _{SS}	EV _{SS}
			BV _{SS}	BV _{SS}
RESET_IN	入力	ターゲット・システム上のリセット入力端子		

28.2.2 マスク機能

リセット信号のみマスクが可能です。

次にデバッガ (ID850QB) のマスク機能および対応する機能を示します。

表28 - 4 マスク機能

デバッガ (ID850QB) のマスク機能	対応するV850ES/Hx3の機能
NMI0	×
NMI1	×
NMI2	×
HLDQR	×
RESET	RESET端子入力によるリセット信号発生
STOP	×
WAIT	×
DBINT	×

28.2.3 ユーザ資源の確保

MINICUBE2は対象デバイスとの通信, または各デバッグ機能を実現するために次に示す準備を行う必要があります。これらは, ユーザ・プログラムやコンパイラ・オプションで設定する必要があります。

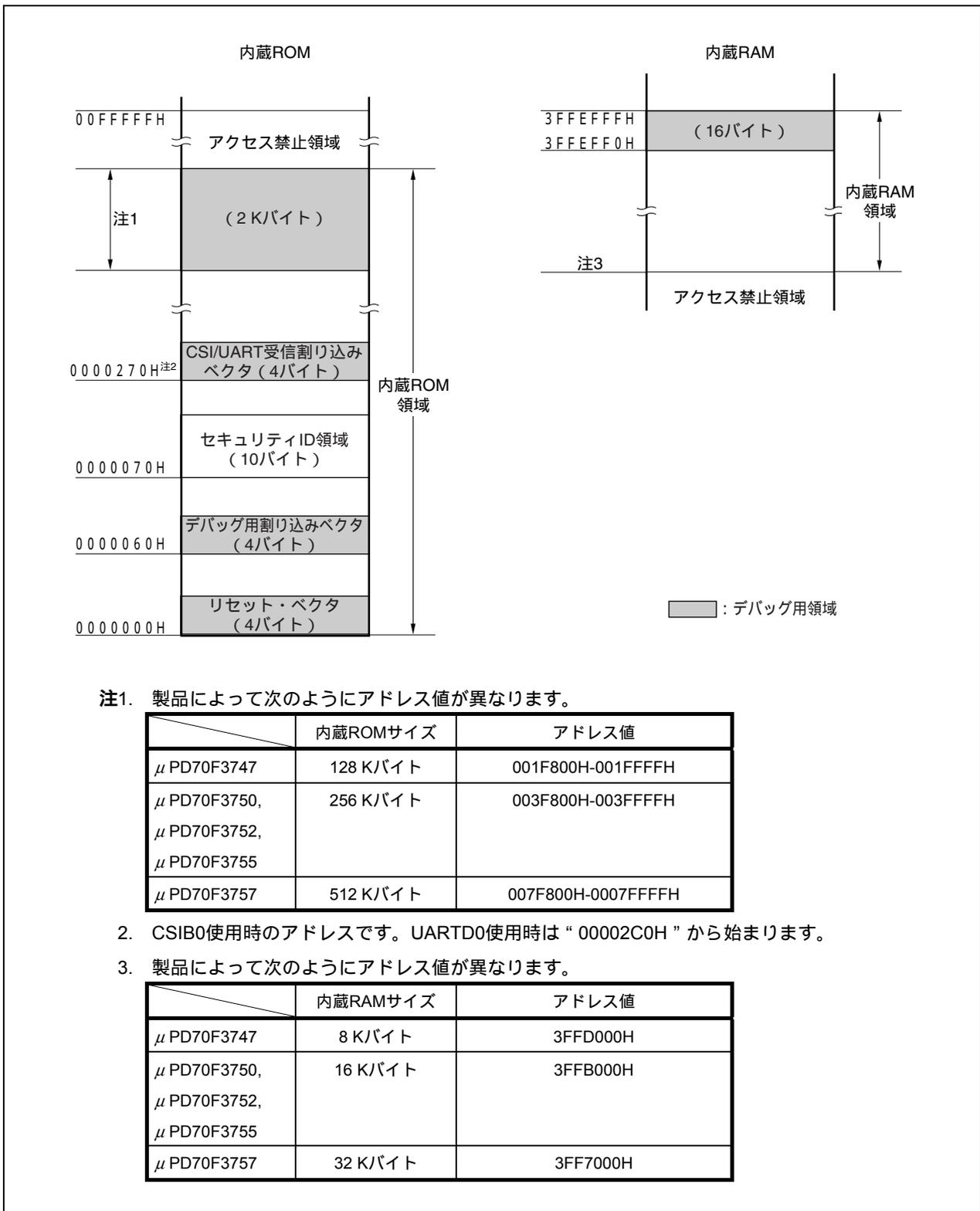
(1) メモリ空間の確保

図28 - 4で示すデバッグ領域はデバッグ用のモニタ・プログラムを組み込むために, ユーザ・プログラムやデータを配置できない空間です。この空間を使用しないように, 領域を確保する必要があります。

(2) セキュリティIDの設定

図28 - 4で示す0000070H-0000079H領域は第3者からメモリの内容を読み取られないようにするために, IDコードを埋め込む必要があります。詳細は28.3 ROMセキュリティ機能を参照してください。

図28 - 4 デバッグ用モニタ・プログラムが配置されるメモリ空間



(3) リセット・ベクタ

リセット・ベクタにはデバッグ用モニタ・プログラムへのジャンプ命令が組み込まれます。

【領域確保の方法】

この領域は意図的に確保する必要はありません。ただし、プログラムのダウンロード時に、次のケースに応じてデバッガがリセット・ベクタの書き換えを行います。書き換えパターンが次に示すケースに一致しない場合、デバッガがエラーを発生します（ID850QBの場合F0C34番）。

(a) 0番地からnopが2個連続している場合

書き換え前	書き換え後
0x0 nop	0x0 デバッグ用モニタ・プログラムへジャンプ
0x2 nop	0x4 xxxx
0x4 xxxx	

(b) 0番地から0xFFFFが2個連続している場合（消去済みデバイスが該当します）

書き換え前	書き換え後
0x0 0xFFFF	0x0 デバッグ用モニタ・プログラムへジャンプ
0x2 0xFFFF	0x4 xxxx
0x4 xxxx	

(c) 0番地がjr命令の場合（CA850では通常このケースに該当）

書き換え前	書き換え後
0x0 jr disp22	0x0 デバッグ用モニタ・プログラムへジャンプ
	0x4 jr disp22 - 4

(d) 0番地からmov32とjmpが連続している（IAR社製コンパイラ ICCV850では通常このケースに該当）

書き換え前	書き換え後
0x0 mov imm32,reg1	0x0 デバッグ用モニタ・プログラムへジャンプ
0x6 jmp [reg1]	0x4 mov imm32,reg1
	0xa jmp [reg1]

(e) 0番地が既にデバッグ用モニタ・プログラムへのジャンプ命令の場合

書き換え前	書き換え後
0x0 デバッグ用モニタ・プログラムへジャンプ	変更なし

(4) デバッグ用モニタ・プログラム領域の確保

図28 - 4の示すデバッグ用領域は、デバッグ用モニタ・プログラムが配置される空間です。モニタ・プログラムはデバッグ用通信インタフェースの初期化処理や、CPUのRUN / ブレーク処理などを行うものです。内蔵ROM領域については0xFFでフィルする必要があります。また、この領域をユーザ・プログラム内で書き換えないようにする必要があります。

【領域確保の方法】

この空間をユーザ・プログラムで使用しない場合は、必ずしも領域を確保する必要はありません。

しかし、デバッグ起動時のトラブルを回避するために、あらかじめコンパイラなどで領域確保しておくことを推奨いたします。

次に、NECエレクトロニクス社製コンパイラCA850を使用している場合に領域の確保を行う例を示します。次に示すように、アセンブル・ソースとリンクディレクティブ・コードを追加してください。

- ・アセンブル・ソース（次の内容をアセンブル・ソース・ファイルとして追加してください）

```
-- MonitorROMセクションとして2Kバイトの空間を確保
.section "MonitorROM", const
.space 0x800, 0xff

-- デバッグ用割り込みベクタの確保
.section "DBG0"
.space 4, 0xff

-- シリアル通信用割り込みベクタの確保
-- セクション名は使用するシリアル通信に応じて変更してください
.section "INTCB0R"
.space 4, 0xff

-- MonitorRAMセクションとして16バイトの空間を確保
.section "MonitorRAM", bss
.lcomm monitorramsym, 16, 4 ; -- monitorramsymシンボルを定義
```

- ・リンク・ディレクティブ（以下をリンク・ディレクティブ・ファイルの内容に追加してください）

次の例は、内蔵ROMが256 Kバイト（最終アドレス003FFFFH）、内蔵RAMが16 Kバイト（最終アドレス：3FFEFFFH）の場合です。

```
MROMSEG : !LOAD ?R V0x03f800{
        MonitorROM = $PROGBITS ?A MonitorROM;
};
MRAMSEG : !LOAD ?RW V0x03ffeff0{
        MonitorRAM = $NOBITS ?AW MonitorRAM;
};
```

(5) 通信用シリアル・インタフェースの確保

MINICUBE2は対象デバイスと通信するためにUARTD0, CSIB0のいずれかを使用します。これらのシリアル・インタフェースに関する設定は、デバッグ用モニタ・プログラムで行っていますが、ユーザ・プログラム上で、この設定を変更した場合、通信異常となりエラーが発生する可能性があります。

このようなトラブルが発生しないよう、ユーザ・プログラムで通信用シリアル・インタフェースの確保を行う必要があります。

【通信用シリアル・インタフェース確保の方法】**●オンチップ・デバッグ・モード・レジスタ (OCDM)**

UARTD0, CSIB0を使用するオンチップ・デバッグ機能の場合、OCDMレジスタの機能を通常モードにする必要があります。必ず次の設定をしてください。

- ・ P05/INTP2/ $\overline{\text{DRST}}$ 端子にロウ・レベルを入力します。
- ・ OCDM0ビットを設定します。この場合の処置は次のとおりです。

OCDM0ビットをクリア (0) します。

の処理を終えるまで、P05/INTP2/ $\overline{\text{DRST}}$ 端子入力をロウ・レベル固定にしておきます。

●シリアル・インタフェースのレジスタ

通信用に使用するCSIB0やUARTD0のレジスタ設定は、ユーザ・プログラムで行わないようにしてください。

●割り込みマスク・レジスタ

通信用にCSIB0を使用する場合、転送終了割り込み (INTCB0R) をマスクしないようにしてください。UARTD0の場合、受信完了割り込み (INTUD0R) をマスクしないようにしてください。

(a) CSIB0の場合

	7	6	5	4	3	2	1	0
CB0RIC	x	0	x	x	x	x	x	x

(b) UARTD0の場合

	7	6	5	4	3	2	1	0
UD0RIC	x	0	x	x	x	x	x	x

備考 x : 任意

●UARTD0使用時のポートに関するレジスタ

通信用にUARTD0を使用する場合、TXDD0, RXDD0端子を有効になるように、デバッグ用モニタ・プログラムで行っています。デバッグ中に次のレジスタの設定をユーザ・プログラムで変更しないでください（同値書き込みは可能です）。

	7	6	5	4	3	2	1	0
PMC3L	x	x	x	x	x	x	1	1

備考 x : 任意

●CSIB0使用時のポートに関するレジスタ

通信用にCSIB0を使用する場合、SIB0, SOB0, $\overline{\text{SCKB0}}$ およびHS (PCM0) 端子が有効になるように、デバッグ用モニタ・プログラムで行っています。デバッグ中に次のレジスタの設定をユーザ・プログラムで変更しないでください（同値書き込みは可能です）。

(a) SIB0, SOB0, $\overline{\text{SCKB0}}$ の設定

	7	6	5	4	3	2	1	0
PMC4	x	x	x	x	x	1	1	1

	7	6	5	4	3	2	1	0
PFC4	x	x	x	x	x	x	0	0

	7	6	5	4	3	2	1	0
PFCE4	x	x	x	x	x	x	0	0

(μ PD70F3757のみ)

(b) HS (PCM0端子)の設定

	7	6	5	4	3	2	1	0
PMCM	x	x	x	x	x	x	x	0

	7	6	5	4	3	2	1	0
PCM	x	x	x	x	x	x	x	注

注 ライト禁止です。

HS端子の値はモニタ・プログラムがデバッガの状態に応じて変更を行っています。ポート・レジスタの設定を8ビット単位で操作したい場合、ユーザ・プログラム上でリード・モディファイ・ライトを行えば、ほとんど問題ありませんが、ライト前にデバッグ用の割り込みが入った場合、意図しない動作になる可能性があります。

備考 x : 任意

28.2.4 注意事項

(1) デバッグに使用したデバイスの取り扱いについて

デバッグに使用したデバイスを、量産製品に搭載しないでください（デバッグ中にフラッシュ・メモリの書き換えをしており、フラッシュ・メモリの書き換え回数を保証することができないためです）。また、デバッグ用モニタ・プログラムは量産製品には組み込まないでください。

(2) ブレークができない場合について

次の状態が継続している場合は、強制ブレークすることができません。

- 割り込み禁止中（DI）の場合
- MINICUBE2と対象デバイスの通信に使用するシリアル・インタフェースの割り込みがマスクされている場合
- マスカブル割り込みによるスタンバイ解除を禁止している状態で、スタンバイ・モードに入っている場合
- MINICUBE2と対象デバイスの通信インタフェースがUARTD0の場合に、メイン・クロックを停止している場合

(3) 疑似リアルタイムRAMモニタ（RRM）機能やDMM機能が動作しない場合について

次の状態の場合、疑似RRM機能、DMM機能が動作しません。

- 割り込み禁止中（DI）の場合
- MINICUBE2と対象デバイスの通信に使用するシリアル・インタフェースの割り込みがマスクされている場合
- マスカブル割り込みによるスタンバイ解除を禁止している状態で、スタンバイ・モードに入っている場合
- MINICUBE2と対象デバイスの通信インタフェースがUARTD0の場合に、メイン・クロックを停止している場合
- MINICUBE2と対象デバイスの通信インタフェースがUARTD0の場合に、デバッガで指定する動作クロックと異なるクロックで動作している場合

(4) 疑似RRMやDMM機能を有効にしている場合のスタンバイ解除について

次の状態の場合、疑似RRM機能、DMM機能によりスタンバイ・モードが解除されます。

- MINICUBE2と対象デバイスの通信インタフェースがCSIB0の場合
- MINICUBE2と対象デバイスの通信インタフェースがUARTD0の場合に、メイン・クロックが停止していない場合

(5) 特定シーケンスを必要とする周辺I/OレジスタへのDMM機能による書き換えについて

特定シーケンスを必要とする周辺I/Oレジスタは、DMM機能により書き換えることができません。

(6) フラッシュ・セルフ・プログラミングについて

デバッグ用モニタ・プログラムが配置された空間を、フラッシュ・セルフ・プログラミングで書き換えた場合、デバッガが正常に動作しなくなります。

28.3 ROMセキュリティ機能

28.3.1 セキュリティID

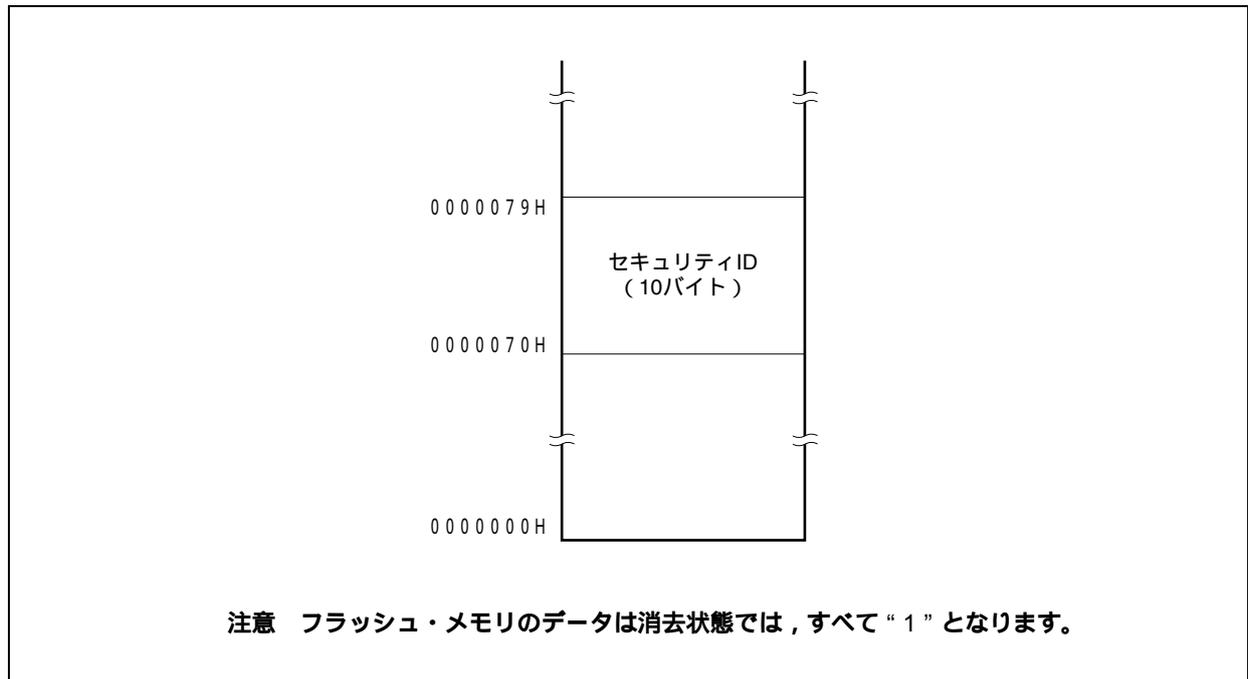
オンチップ・デバッグ・エミュレータによるオンチップ・デバッグ時、フラッシュ・メモリの内容を第三者に読み出されることを防ぐために、10バイトのIDコードによる認証を行います。

IDコードは、あらかじめ内蔵フラッシュ・メモリ領域の0000070H-0000079Hの10バイト分に設定し、デバッガがID認証を行います。

このID照合が一致していれば、セキュリティが解除されフラッシュ・メモリ読み出し許可、オンチップ・デバッグ・エミュレータ使用許可となります。

- ・10バイトのIDコードは、0000070H-0000079Hに設定します。
- ・0000079Hのビット7はオンチップ・デバッグ・エミュレータ使用許可フラグです。
(0: 使用禁止, 1: 使用許可)
- ・オンチップ・デバッグ・エミュレータを起動すると、デバッガがID入力を要求します。デバッガ上で入力したIDコードと、0000070H-0000079Hに埋め込んだIDコードが一致すればデバッガが起動します。
- ・IDコードが一致しても、オンチップ・デバッグ・エミュレータ使用許可フラグが“0”である場合は、デバッグを行うことはできません。

図28 - 5 セキュリティID領域



28.3.2 設定方法

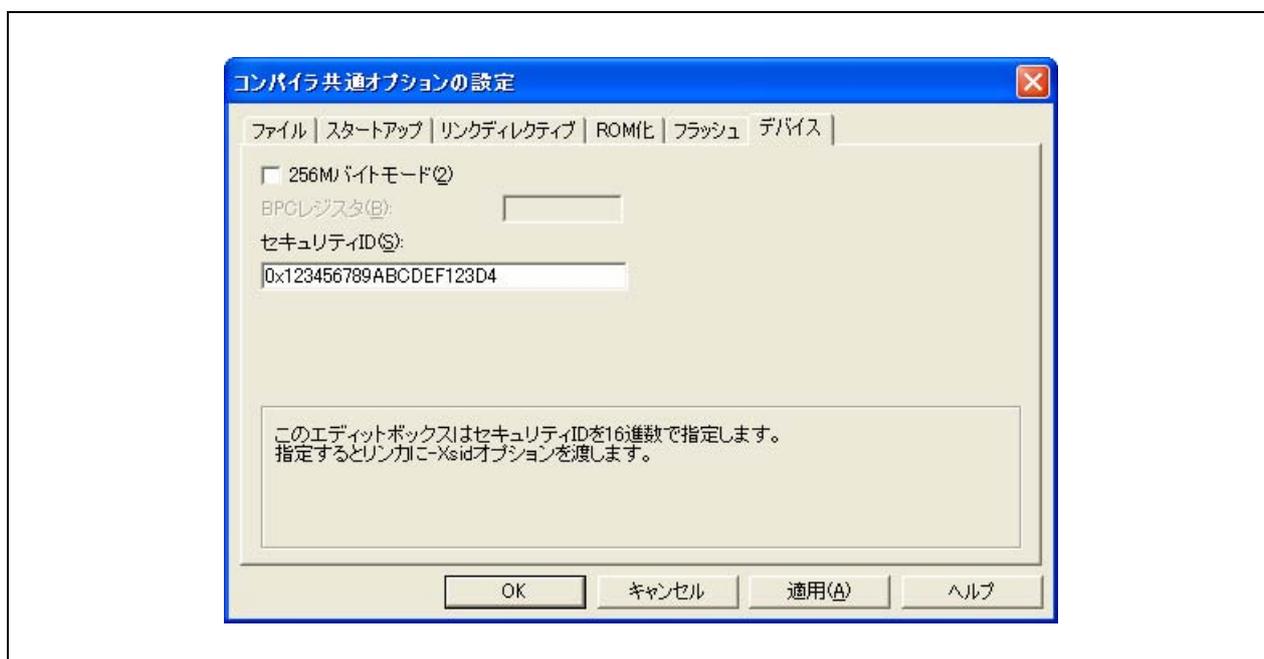
IDコードを表28 - 5のように設定する方法を次に示します。

表28 - 5のようにIDコードを設定した場合、ID850QBのコンフィギュレーション・ダイアログ上で入力するIDコードは「123456789ABCDEF123D4」となります（英数字は大文字でも小文字でも同じIDコードとして認識します）。

表28 - 5 IDコード

番地	値
0x70	0x12
0x71	0x34
0x72	0x56
0x73	0x78
0x74	0x9A
0x75	0xBC
0x76	0xDE
0x77	0xF1
0x78	0x23
0x79	0xD4

PM+のコンパイラ共通オプション設定でIDコードを指定することができます。



第29章 電気的特性 (V850ES/HE3)

29.1 絶対最大定格

絶対最大定格 (T_A = 25°C) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}	V _{DD} = EV _{DD}	- 0.5 ~ + 6.5	V
	EV _{DD}	V _{DD} = EV _{DD}	- 0.5 ~ + 6.5	V
	AV _{REF0}		- 0.5 ~ + 6.5	V
	V _{SS}	V _{SS} = EV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V
	AV _{SS}	V _{SS} = EV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V
	EV _{SS}	V _{SS} = EV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V
入力電圧	V _{I1}	P00-P06, P30-P35, P40-P42, P50-P55, P90, P91, P96-P99, P913-P915, PCM0, PCM1, PDL0-PDL7, $\overline{\text{RESET}}$, FLMD0	- 0.5 ~ EV _{DD} + 0.5 ^注	V
	V _{I3}	X1, X2, XT1, XT2	- 0.5 ~ V _{RO} + 0.5	V
アナログ入力電圧	V _{IAN}	P70-P79	- 0.5 ~ AV _{REF0} + 0.5 ^注	V

注 それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

- 注意1. IC製品の出力 (または入出力) 端子同士を直結したり, V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし, オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また, ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。
2. 各項目のうち1項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で, 製品をご使用ください。
- DC特性とAC特性に示す規格や条件が, 製品の正常動作, 品質保証の範囲です。

備考 兼用端子の特性は, 特に指定のないかぎり, ポート端子と同じです。

絶対最大定格 (TA = 25°C) (2/2)

項目	略号	条件	定格	単位	
ロウ・レベル出力電流	I _{OL}	P00-P06, P30-P35, P40-P42, P50-P55, P90, P91, P96-P99, P913-P915, PCM0, PCM1, PDL0-PDL7	1端子	4	mA
			全端子合計	50	mA
		P70-P79	1端子	4	mA
			全端子合計	20	mA
ハイ・レベル出力電流	I _{OH}	P00-P06, P30-P35, P40-P42, P50-P55, P90, P91, P96-P99, P913-P915, PCM0, PCM1, PDL0-PDL7	1端子	- 4	mA
			全端子合計	- 50	mA
		P70-P79	1端子	- 4	mA
			全端子合計	- 20	mA
動作周囲温度	T _A	通常動作モード	- 40 ~ + 85	°C	
		フラッシュ・メモリ・プログラミング・モード			
保存温度	T _{stg}		- 40 ~ + 125	°C	

注意1. IC製品の出力（または入出力）端子同士を直結したり、V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。

DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです。

29.2 容 量

($T_A = 25^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入出力容量	C_{io}	$f_x = 1\text{ MHz}$, 被測定端子以外は0 V			10	pF

29.3 動作条件

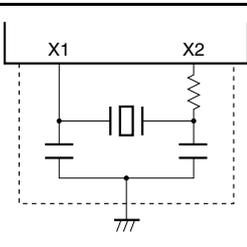
($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD}, 4.0\text{ V}$ $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$, $C = 4.7\ \mu\text{F}$)

内部システム・クロック周波数	条 件	電源電圧		単 位
		V_{DD}, EV_{DD}	AV_{REF0}	
4 MHz f_{xx} 32 MHz		4.0 ~ 5.5	4.0 ~ 5.5	V
4 MHz f_{xx} 20 MHz	ADコンバータ動作	3.7 ~ 5.5	4.0 ~ 5.5	V
	ADコンバータ停止	3.7 ~ 5.5	3.7 ~ 5.5	V
$f_{XT} = 32.768\text{ kHz}$		3.7 ~ 5.5	3.7 ~ 5.5	V
$f_{RL} = 240\text{ kHz}$ (TYP.)		3.7 ~ 5.5	3.7 ~ 5.5	V
$f_{RH} = 8\text{ MHz}$ (TYP.)	ADコンバータ動作	3.7 ~ 5.5	4.0 ~ 5.5	V
	ADコンバータ停止	3.7 ~ 5.5	3.7 ~ 5.5	V

29.4 発振回路特性

29.4.1 メイン・クロック発振回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.3\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位	
セラミック 発振子 / 水晶振動子		発振周波数 (f_x) ^{注1}		4		16	MHz	
		発振安定時間 ^{注2}	STOP	PLL停止時	54 ^{注3}	注4		μs
			モード 解除後	PLL動作時	1600 ^{注5}	注4		μs
				SSCG動作時	2000 ^{注6}	注4		μs
			IDLE2 モード 解除後	PLL停止時	54 ^{注3}	注4		μs
				PLL動作時	800 ^{注5}	注4		μs
SSCG動作時	1000 ^{注6}		注4		μs			

注1. 発振回路の特性だけを示すものです。

2. 発振子が発振を開始してから安定するまでの時間です。
3. 内蔵フラッシュ・メモリへのアクセスが安定するまでの時間です。
4. OSTSレジスタの設定によって値が異なります。
5. PLLのロックアップ時間です。
6. SSCGのロックアップ時間です。

注意1. メイン・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
 - ・大電流が流れるグランド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
2. メイン・クロックを停止させサブクロックで動作させているときに、再度メイン・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。
 3. 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

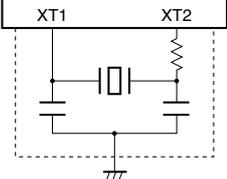
(i) 京セラキンセキ株式会社：水晶振動子 (T_A = -10 ~ +70)

タイプ	回路例	品名	発振周波数 fx (MHz)	推奨回路定数		
				C1 (pF)	C2 (pF)	Rd (Ω)
リード 表面 実装		HC49SFWB06000D0PESZZ	6.000	8	8	0
		HC49SFWB08000D0PESZZ	8.000	8	8	0
		HC49SFWB10000D0PESZZ	10.000	8	8	0
		HC49GFWB06000D0PESZZ	6.000	8	8	0
		CX1255GB06000D0PESZZ	6.000	8	8	0
		CX8045GB06000D0PESZZ	6.000	8	8	0
		HC49GFWB08000D0PESZZ	8.000	8	8	0
		CX1255GB08000D0PESZZ	8.000	8	8	0
		CX8045GB08000D0PESZZ	8.000	8	8	0
		CX5032GB08000D0PESZZ	8.000	8	8	0
		HC49GFWB10000D0PESZZ	10.000	8	8	0
		CX1255GB10000D0PESZZ	10.000	8	8	0
		CX8045GB10000D0PESZZ	10.000	8	8	0
		CX5032GB10000D0PESZZ	10.000	8	8	0

注意 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。
また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850ES/HE3の内部動作条件についてはAC, DC特性の規格内で使用してください。

29.4.2 サブクロック発振回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.3 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f_{XT}) ^{注1}		32	32.768	35	kHz
		発振安定時間 ^{注2}				10	s

注1. 発振回路の特性だけを示すものです。CPU動作クロックについては、29.7 AC特性を参照してください。

2. V_{DD} が発振電圧範囲 (MIN.: 3.3 V) に達してから発振が安定するまでの時間です。

注意1. サブクロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
 - ・大電流が流れるグランド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
2. サブクロック発振回路は、低消費電流にするため増幅度の低い回路になっており、ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって、サブクロックを使用する場合は、配線方法について特に注意してください。
3. 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

29.4.3 PLL特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.3\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	f_x		6		12	MHz
出力周波数	f_{xx}		12		32	MHz
ロック時間	t_{PLL}	V_{DD} がMIN.: 3.3 Vに達したあと			800	μs

29.4.4 SSCG特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.3\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	f_x		4		16	MHz
出力周波数 ^注	f_{xx}		12		32	MHz
ロック時間	t_{SSCG}	V_{DD} がMIN.: 3.3 Vに達したあと			1000	μs

注 SSCG出力周波数は、変調しない場合の特性を示しています。変調した場合の動作周波数は、SFC1.SFC16-SFC14ビットの設定により、次のようになります。動作周波数に変調率のMAX.値を考慮した最大動作周波数が32 MHzを越えないようにしてください。

SFC1.SFC16-SFC14	変調率		動作周波数
	TYP.	MAX.	
000B	$\pm 0.5\%$	$\pm 2.0\%$	31.3 MHz
001B	$\pm 1.0\%$	$\pm 2.5\%$	31.2 MHz
010B	$\pm 2.0\%$	$\pm 4.0\%$	30.7 MHz
011B	$\pm 3.0\%$	$\pm 6.0\%$	30.0 MHz
100B	$\pm 4.0\%$	$\pm 8.0\%$	29.4 MHz
101B	$\pm 5.0\%$	$\pm 10.0\%$	28.8 MHz

29.4.5 低速内蔵発振器 / 高速内蔵発振器特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.3\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

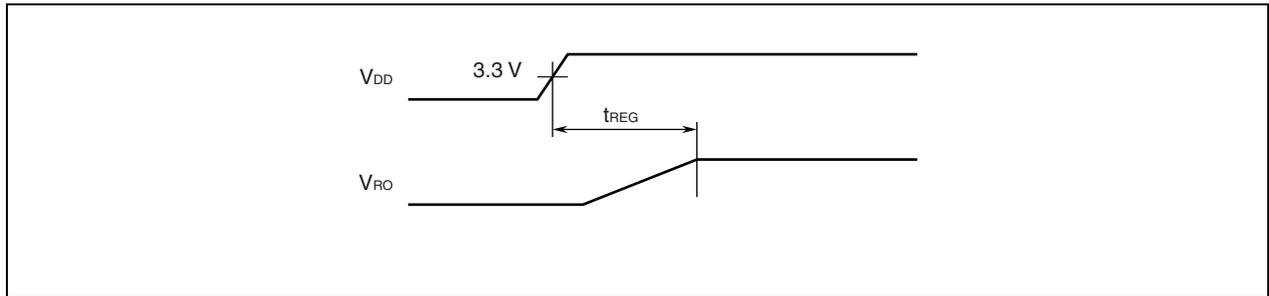
項目	略号	条件	MIN.	TYP.	MAX.	単位
出力周波数	f_{RL}	低速内蔵発振器	204	240	276	kHz
	f_{RH}	高速内蔵発振器	7.2	8.0	8.8	MHz
発振安定時間		高速内蔵発振器動作時			256	μs

29.5 電圧レギュレータ特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	V_{DD}		3.3		5.5	V
出力電圧	V_{RO}			2.5		V
出力電圧安定時間	t_{REG}	V_{DD} がMIN.: 3.3 Vに達したあと REGC端子に $C = 4.7\ \mu\text{F}$ を接続			1	ms

備考 t_{REG} はPOC機能により確保されます。そのあと、リセットが解除されます。



29.6 DC特性

29.6.1 入出力レベル

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.3\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

(1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH1}	P04, P30, P31, P34, P40, P91, P913-P915	$0.7EV_{DD}$		EV_{DD}	V
	V_{IH2}	P00-P03, P05, P06, P32, P33, P35, P41 P42, P50-P55, P90, P96-P99, PDL0-PDL7	$0.8EV_{DD}$		EV_{DD}	V
	V_{IH3}	PCM0, PCM1	$0.7EV_{DD}$		EV_{DD}	V
	V_{IH4}	P70-P79	$0.7AV_{REF0}$		AV_{REF0}	V
	V_{IH5}	RESET, FLMD0	$0.8EV_{DD}$		EV_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	P04, P30, P31, P34, P40, P91, P913-P915	EV_{SS}		$0.3EV_{DD}$	V
	V_{IL2}	P00-P03, P05, P06, P32, P33, P35, P41 P42, P50-P55, P90, P96-P99, PDL0-PDL7	EV_{SS}		$0.4EV_{DD}$	V
	V_{IL3}	PCM0, PCM1	EV_{SS}		$0.3EV_{DD}$	V
	V_{IL4}	P70-P79	AV_{SS}		$0.3AV_{REF0}$	V
	V_{IL5}	RESET, FLMD0	EV_{SS}		$0.2EV_{DD}$	V

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです。

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.3 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

(2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧 ^{注1}	V _{OH1}	P00-P06, P30-P35, P40-P42, P50-P55, P90, P91, P96-P99, P913-P915, PCM0, PCM1, PDL0-PDL7	I _{OH} = -1.0 mA	EV _{DD} - 1.0		EV _{DD}	V
			I _{OH} = -0.1 mA	EV _{DD} - 0.5		EV _{DD}	V
	V _{OH3}	P70-P79	I _{OH} = -1.0 mA	AV _{REF0} - 1.0		AV _{REF0}	V
			I _{OH} = -0.1 mA	AV _{REF0} - 0.5		AV _{REF0}	V
ロウ・レベル出力電圧 ^{注1}	V _{OL1}	P00-P06, P30-P35, P40-P42, P50-P55, P90, P91, P96-P99, P913 PCM0, PCM1, PDL0-PDL7	I _{OL} = 1.0 mA	0		0.4	V
			I _{OL} = 3.0 mA	0		0.4	V
	V _{OL3}	P70-P79	I _{OL} = 1.0 mA	0		0.4	V
ブルアップ抵抗	R ₁	V _i = 0 V	10	30	100	kΩ	
ブルダウン抵抗 ^{注2}	R ₂	V _i = V _{DD}	10	30	100	kΩ	

注1. I_{OH}/I_{OL}の合計の最大値は、各電源 (EV_{DD}, AV_{REF0}) ごとに20 mA/-20 mAです。

2. DRST端子のみ。

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです。

29.6.2 端子リーク電流

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.3 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I _{IH1}	V _{IN} = V _{DD}	アナログ端子		0.2	μA
			FLMDO端子		2.0	
			上記端子以外		0.5	
ロウ・レベル入力リーク電流	I _{IL1}	V _{IN} = 0 V	アナログ端子		-0.2	μA
			FLMDO端子		-2.0	
			上記端子以外		-0.5	
ハイ・レベル出力リーク電流	I _{LOH1}	V _O = V _{DD}	アナログ端子		0.2	μA
			アナログ端子以外		0.5	
ロウ・レベル出力リーク電流	I _{LOL1}	V _O = 0 V	アナログ端子		-0.2	μA
			アナログ端子以外		-0.5	

29.6.3 電源電流

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

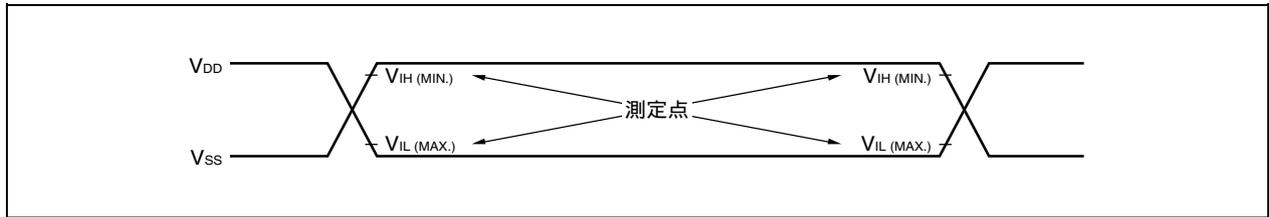
項目	略号	条 件			MIN.	TYP.	MAX.	単 位	
電源電流 ^{注1}	IDD1	通常動作モード ^{注2}	PLL動作	$f_{xx} = 32\text{ MHz}$	全周辺機能動作		39	51	mA
				($f_x = 8\text{ MHz}$)	全周辺機能停止		32		mA
			PLL動作	$f_{xx} = 20\text{ MHz}$	全周辺機能動作		27	37	mA
				($f_x = 10\text{ MHz}$)	全周辺機能停止		22		mA
			PLL停止	$f_{xx} = 16\text{ MHz}$	全周辺機能動作		21	30	mA
				($f_x = 16\text{ MHz}$)	全周辺機能停止		19		mA
	IDD2	HALTモード ^{注2}	PLL動作	$f_{xx} = 32\text{ MHz}$	全周辺機能動作		24	34	mA
				($f_x = 8\text{ MHz}$)	全周辺機能停止		18		mA
			PLL動作	$f_{xx} = 20\text{ MHz}$	全周辺機能動作		16	23	mA
				($f_x = 10\text{ MHz}$)	全周辺機能停止		12		mA
			PLL停止	$f_{xx} = 16\text{ MHz}$	全周辺機能動作		13	20	mA
				($f_x = 16\text{ MHz}$)	全周辺機能停止		9		mA
	IDD3	IDLE1モード	PLL停止 ^{注3}	$f_{xx} = 16\text{ MHz}$	TAA, UARTD動作		2.4	3.6	mA
				($f_x = 16\text{ MHz}$)	全周辺機能停止		1.6		mA
$f_{xx} = 8\text{ MHz}$			($f_x = 8\text{ MHz}$)	TAA, UARTD動作		1.6	2.5	mA	
			($f_x = 8\text{ MHz}$)	全周辺機能停止		1.3		mA	
$f_{xx} = \text{高速内蔵発振}$			(f_{RH}) ^{注4}	TAA, UARTD動作		1.5	2.3	mA	
			(f_{RH}) ^{注4}	全周辺機能停止		1.1		mA	
IDD4	IDLE2モード	PLL停止 ^{注3}	$f_{xx} = 16\text{ MHz}$ ($f_x = 16\text{ MHz}$)			0.8	1.2	mA	
			$f_{xx} = 8\text{ MHz}$ ($f_x = 8\text{ MHz}$)			0.5	0.8	mA	
		$f_{xx} = \text{高速内蔵発振}$ (f_{RH}) ^{注4}			0.2	0.5	mA		
IDD5	サブクロック動作モード ^{注4,5}	水晶発振子 ($f_{XT} = 32.768\text{ kHz}$)				80	400	μA	
IDD6	サブIDLEモード ^{注4,5}	水晶発振子 ($f_{XT} = 32.768\text{ kHz}$)				20	190	μA	
IDD7	STOPモード ^{注4,6}	低速内蔵発振 (f_{RL}) 動作				18.5	100	μA	
		低速内蔵発振 (f_{RL}) 停止				10.5	85	μA	

注1. V_{DD} , EV_{DD} の電流の合計です(全ポート停止時)。 AV_{REF0} の電流, 内蔵プルアップ/プルダウン抵抗を通過する電流を含むポート・バッファの電流は含みません。

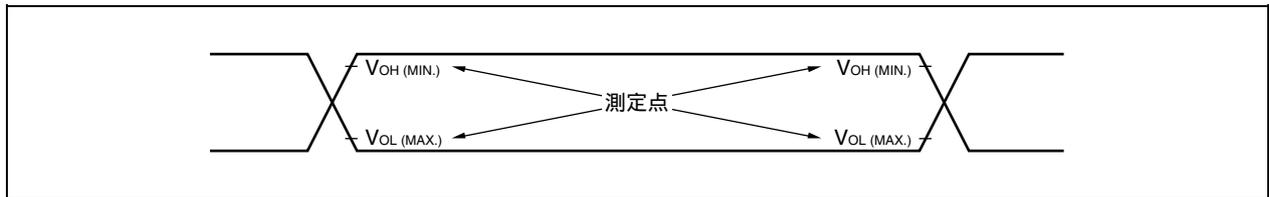
- SSCG動作時は, TYP.値に+2.5mA, MAX.値に+4 mAを加算してください。
- 高速内蔵発振回路 (f_{RH}) 停止時。
- メイン・クロック発振回路 (f_{xx}) 停止時。
- 低速内蔵発振回路 (f_{RL}) 動作, 高速内蔵発振回路 (f_{RH}) 停止
- サブクロック発振回路 (f_{XT}) 未使用時。

29.7 AC特性

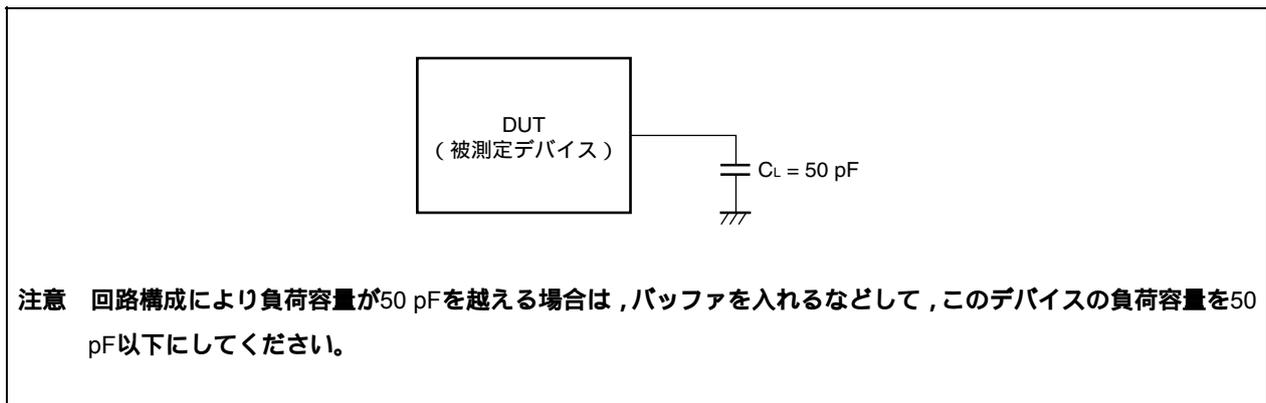
(1) ACテスト入力測定点 (V_{DD} , AV_{REF0} , EV_{DD})



(2) ACテスト出力測定点



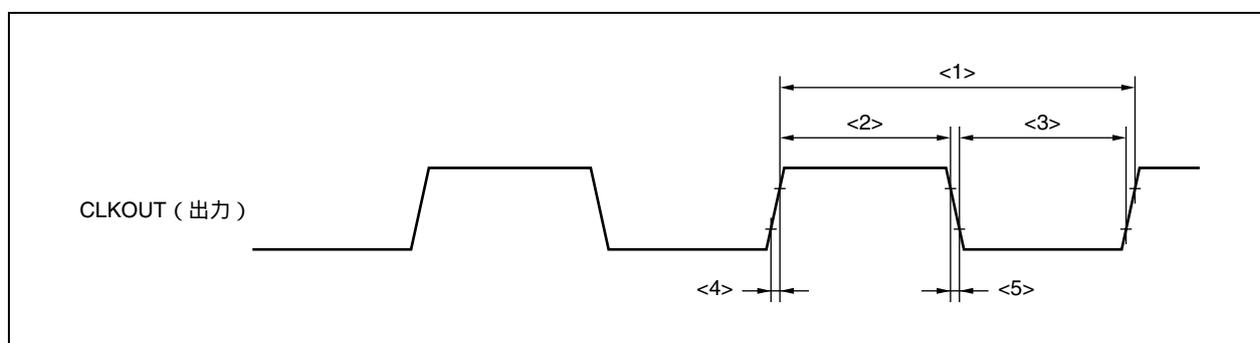
(3) 負荷条件



29.7.1 CLKOUT出力タイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.7 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
出力周期	t_{CYK}	<1> $V_{DD} = EV_{DD} = 3.7 \text{ V} \sim 5.5 \text{ V}$	50 ns	$80 \mu\text{s}$	
		$V_{DD} = EV_{DD} = 4.0 \text{ V} \sim 5.5 \text{ V}$	31.25 ns	$80 \mu\text{s}$	
ハイ・レベル幅	t_{WKH}	<2> $V_{DD} = EV_{DD} = 3.7 \text{ V} \sim 5.5 \text{ V}$	$t_{CYK}/2 - 15$		ns
		$V_{DD} = EV_{DD} = 4.0 \text{ V} \sim 5.5 \text{ V}$	$t_{CYK}/2 - 13$		ns
ロウ・レベル幅	t_{WKL}	<3> $V_{DD} = EV_{DD} = 3.7 \text{ V} \sim 5.5 \text{ V}$	$t_{CYK}/2 - 15$		ns
		$V_{DD} = EV_{DD} = 4.0 \text{ V} \sim 5.5 \text{ V}$	$t_{CYK}/2 - 13$		ns
立ち上がり時間	t_{KR}	<4> $V_{DD} = EV_{DD} = 3.7 \text{ V} \sim 5.5 \text{ V}$		15	ns
		$V_{DD} = EV_{DD} = 4.0 \text{ V} \sim 5.5 \text{ V}$		13	ns
立ち下がり時間	t_{KF}	<5> $V_{DD} = EV_{DD} = 3.7 \text{ V} \sim 5.5 \text{ V}$		15	ns
		$V_{DD} = EV_{DD} = 4.0 \text{ V} \sim 5.5 \text{ V}$		13	ns



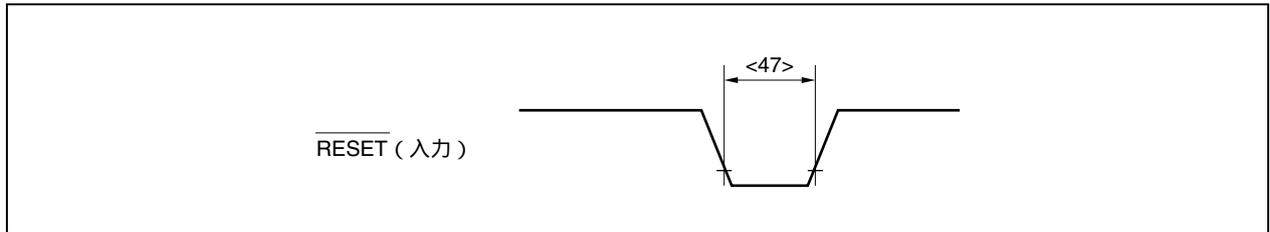
29.8 基本動作

(1) リセットタイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.3 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
RESETロウ・レベル幅	t_{WRSL}	<47>	250		ns

リセット



(2) 割り込みタイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.7 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

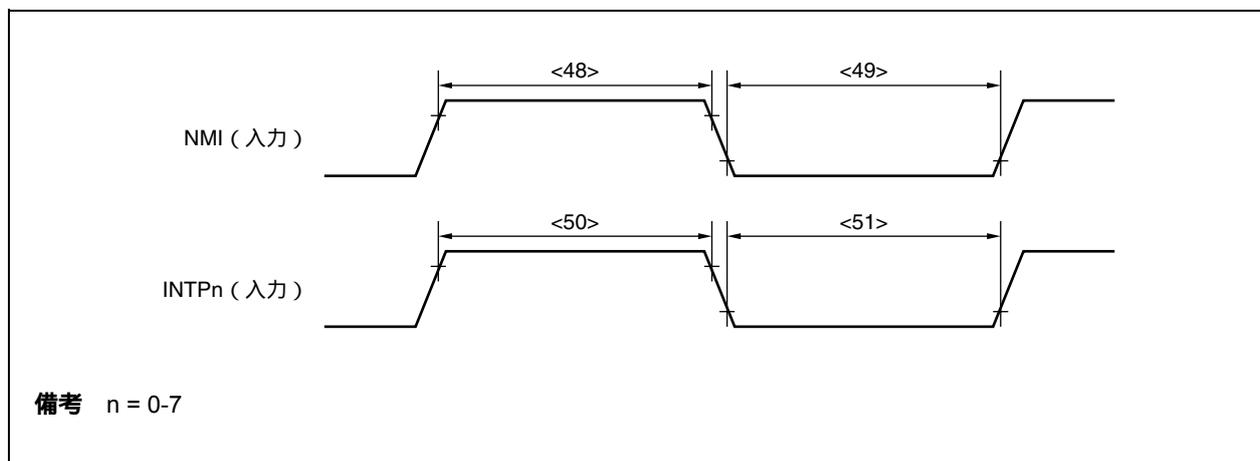
項目	略号	条件	MIN.	MAX.	単位
NMIハイ・レベル幅	t_{WNIH}	<48> アナログ・ノイズ除去	250		ns
NMIロウ・レベル幅	t_{WNIL}	<49> アナログ・ノイズ除去	250		ns
INTPn ^{注1} ハイ・レベル幅	t_{WITH}	<50> アナログ・ノイズ除去 ($n = 0-7$)	250		ns
		デジタル・ノイズ除去 ($n = 3$)	注2		ns
INTPn ^{注1} ロウ・レベル幅	t_{WITL}	<51> アナログ・ノイズ除去 ($n = 0-7$)	250		ns
		デジタル・ノイズ除去 ($n = 3$)	注2		ns

注1. ADTRG端子は、INTP0/P03端子と同じ値です。DRST端子は、INTP02/P05端子と同じ値です。

2. $2T_{\text{samp}} + 20$ または $3T_{\text{samp}} + 20$

T_{samp} : ノイズ除去用サンプリング・クロック

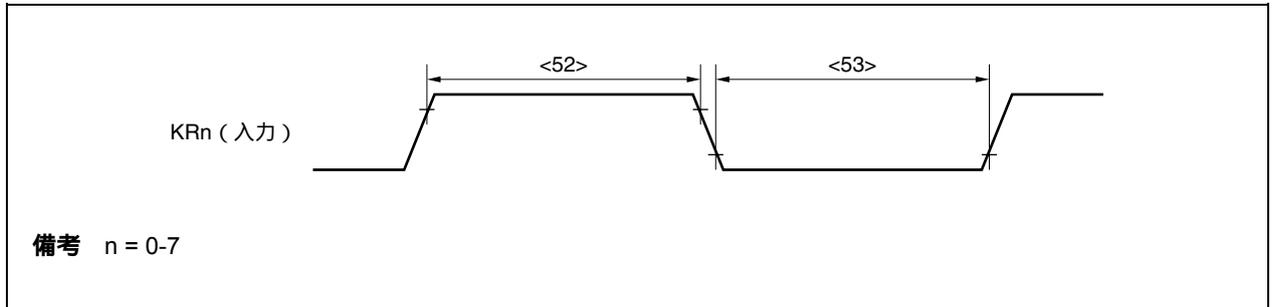
リセット/割り込み



(3) キー割り込みタイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.7 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
KRn入力ハイ・レベル幅	t_{WKRH}	<52> アナログ・ノイズ除去 ($n = 0-7$)	250		ns
KRn入力ロウ・レベル幅	t_{WKRL}	<53>	250		ns

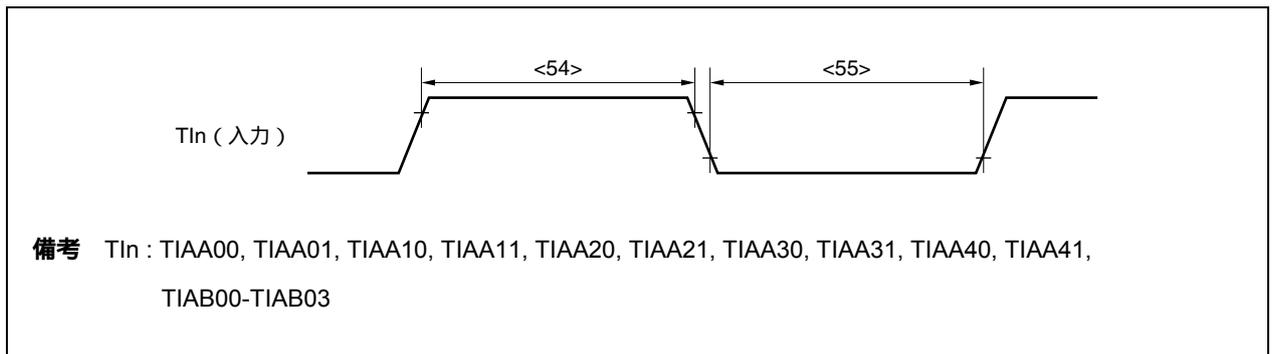


(4) タイマ入力タイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.7 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
TInハイ・レベル幅	t_{TIH}	<54> TIAA00, TIAA01, TIAA10, TIAA11, TIAA20, TIAA21,	250		ns
TInロウ・レベル幅	t_{TIL}	<55> TIAA30, TIAA31, TIAA40, TIAA41, TIAB00-TIAB03 [※]	250		ns
TOn出力周期	f_{TCYK}	TOAA00, TOAA01, TOAA10, TOAA11, $4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		16	MHz
		TOAA20, TOAA21, TOAA30, TOAA31, $3.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		10	MHz
		TOAA40, TOAA41, TOAB00-TOAB03			

注 TIAA00, TIAA10, TIAA20, TIAA30, TIAB00端子はキャプチャ入力時のみノイズ除去が有効。
外部トリガ時, 外部イベント・カウンタ時はノイズ除去は無効。



(5) CSIBタイミング

(a) マスタ・モード

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.7 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
SCKBnサイクル・タイム	t _{KCY1}	<56>	125		ns
SCKBnハイ・レベル幅	t _{KH1}	<57>	t _{KCY1} /2 - 15		ns
SCKBnロウ・レベル幅	t _{KL1}	<58>	t _{KCY1} /2 - 15		ns
SIBnセットアップ時間 (対SCKBn)	t _{SIK1}	<59>	30		ns
SIBnホールド時間 (対SCKBn)	t _{SI1}	<60>	25		ns
SCKBn SOBn出力遅延時間	t _{KSO1}	<61>		25	ns

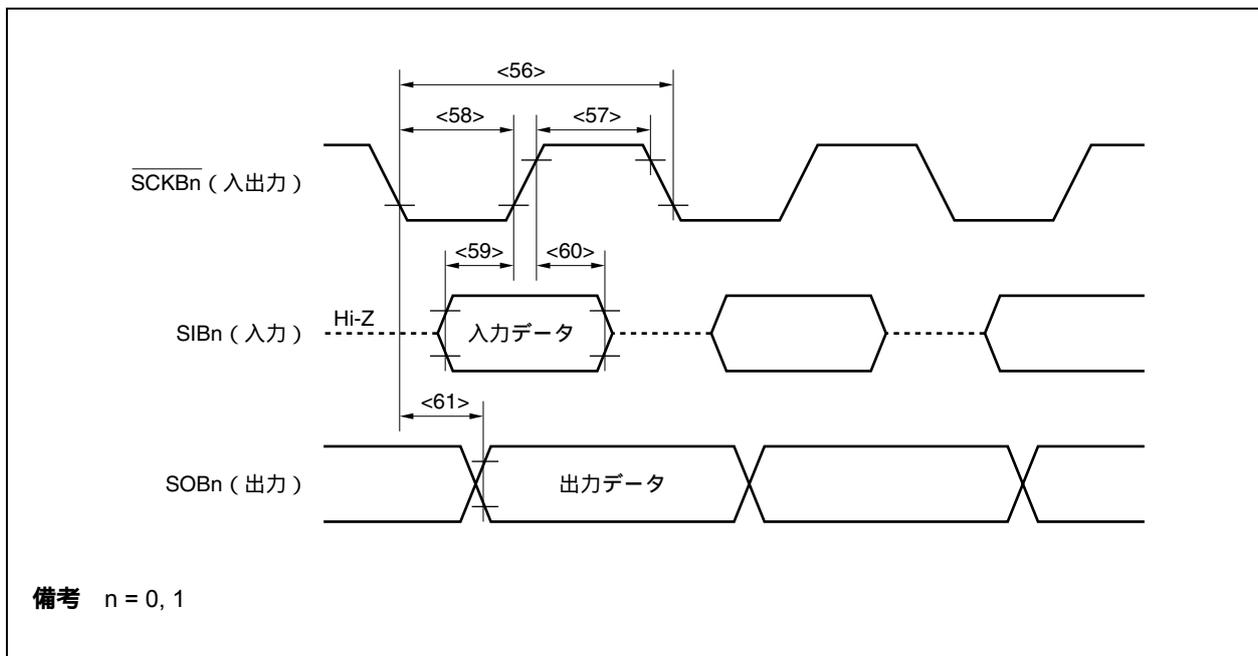
備考 n = 0, 1

(b) スレーブ・モード

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.7 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
SCKBn サイクル・タイム	t _{KCY1}	<56>	200		ns
SCKBn ハイ・レベル幅	t _{KH1}	<57>	90		ns
SCKBn ロウ・レベル幅	t _{KL1}	<58>	90		ns
SIBnセットアップ時間 (対SCKBn)	t _{SIK1}	<59>	50		ns
SIBnホールド時間 (対SCKBn)	t _{SI1}	<60>	50		ns
SCKBn SOBn出力遅延時間	t _{KSO1}	<61>		50	ns

備考 n = 0, 1



(6) UARTDタイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}, 4.0\text{ V}$ $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
通信レート				1.5	Mbps
ASCK0サイクル・タイム				10	MHz

(7) I²C タイミング

(T_A = -40 ~ +85 , V_{DD} = V_{DD1} = EV_{DD} = 3.7 V ~ 5.5 V, 4.0 V AV_{REF0} 5.5 V, V_{SS} = V_{SS1} = EV_{SS} = AV_{SS} = 0 V)

項目	略号		標準モード		高速モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCL00クロック周波数	f _{CLK}		0	100	0	400	kHz
バス・フリー・タイム (ストップ・スタート・コンディション間)	t _{BUF}	<62>	4.7	-	1.3	-	μs
ホールド時間 ^{注1}	t _{HD:STA}	<63>	4.0	-	0.6	-	μs
SCL00クロックのロウ・レベル幅	t _{LOW}	<64>	4.7	-	1.3	-	μs
SCL00クロックのハイ・レベル幅	t _{HIGH}	<65>	4.0	-	0.6	-	μs
スタート/リスタート・コンディションのセットアップ時間	t _{SU:STA}	<66>	4.7	-	0.6	-	μs
データ・ホールド時間	CBUS互換マスタの場合 I ² Cモードの場合	t _{HD:DAT}	<67>	5.0	-	-	μs
				0 ^{注2}	-	0 ^{注2}	0.9 ^{注3}
データ・セットアップ時間	t _{SU:DAT}	<68>	250	-	100 ^{注4}	-	ns
SDA00およびSCL00信号の立ち上がり時間	t _R	<69>	-	1000	20 + 0.1Cb ^{注5}	300	ns
SDA00およびSCL00信号の立ち下がり時間	t _F	<70>	-	300	20 + 0.1Cb ^{注5}	300	ns
ストップ・コンディションのセットアップ時間	t _{SU:STO}	<71>	4.0	-	0.6	-	μs
入力フィルタによって抑制されるスパイクのパルス幅	t _{SP}	<72>	-	-	0	50	ns
各バス・ラインの容量性負荷	Cb		-	400	-	400	pF

注1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。

2. 装置は、SCL00の立ち下がり端の未定義領域を埋めるために (SCL00信号のV_{IHmin}.での) SDA00信号用に最低 300 nsのホールド時間を内部的に提供する必要があります。
3. 装置がSCL00信号のロウ・ホールド時間 (t_{LOW}) を延長しない場合は、最大データ・ホールド時間 (t_{HD:DAT}) のみ満たすことが必要です。
4. 高速モードI²Cバスは、標準モードI²Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。

- ・装置がSCL00信号のロウ状態ホールド時間を延長しない場合

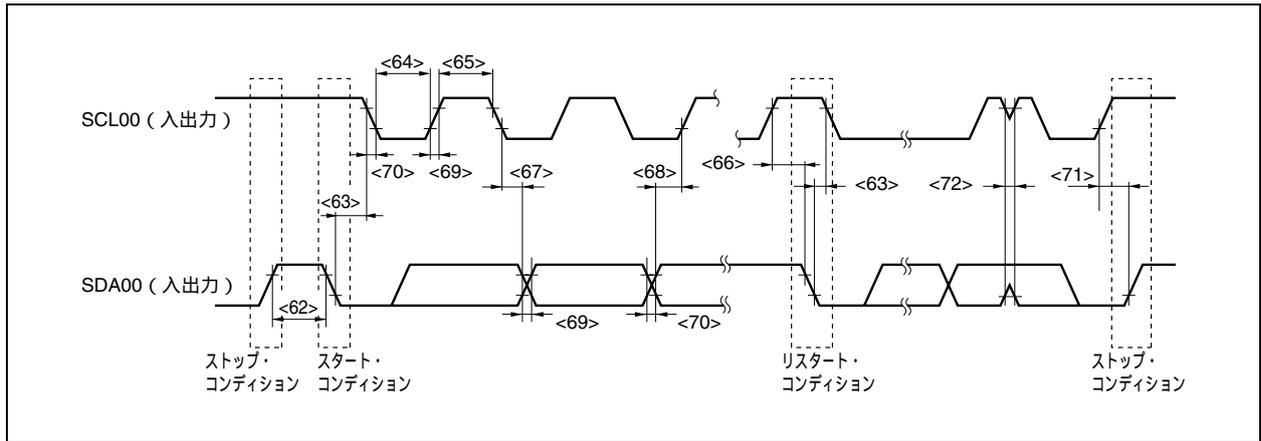
t_{SU:DAT} 250 ns

- ・装置がSCL00信号のロウ状態ホールド時間を延長する場合

SCL00ラインが解放される (t_{Rmax}. + t_{SU:DAT} = 1000 + 250 = 1250 ns : 標準モードI²Cバス仕様) 前に、次のデータ・ビットをSDA00ラインに送出してください。

5. Cb : 1つのバス・ラインの合計キャパシタンス (単位 : pF)

I²Cバス・モード



(8) A/Dコンバータ

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					10	bit
総合誤差 ^注		4.0 AV_{REF0} 5.5 V		± 0.15	± 0.3	%FSR
変換時間	t_{CONV}		3.1		16	μs
安定時間	t_{STA}	ADA0M0.ADA0PSビット = 0 1としたあと	2			μs
パワーダウン復帰時間	t_{DPU}	STOPモード解除後の動作開始	1			μs
ゼロスケール誤差 ^{注1}	ZSE				± 0.3	%FSR
フルスケール誤差 ^{注1}	FSE				± 0.3	%FSR
積分非直線性誤差 ^{注2}	INL				± 2.5	LSB
微分非直線性誤差 ^{注2}	DNL				± 1.5	LSB
アナログ入力電圧	V_{IAN}		AV_{SS}		AV_{REF0}	V
AV_{REF0} 電流	I_{AREF0}	A/Dコンバータ使用時		4	7	mA
		A/Dコンバータ未使用時		1	10	μA

注 量子化誤差 ($\pm 0.05\%$ FSR) は含みません。フルスケール値に対する比率 (%FSR) で表します。

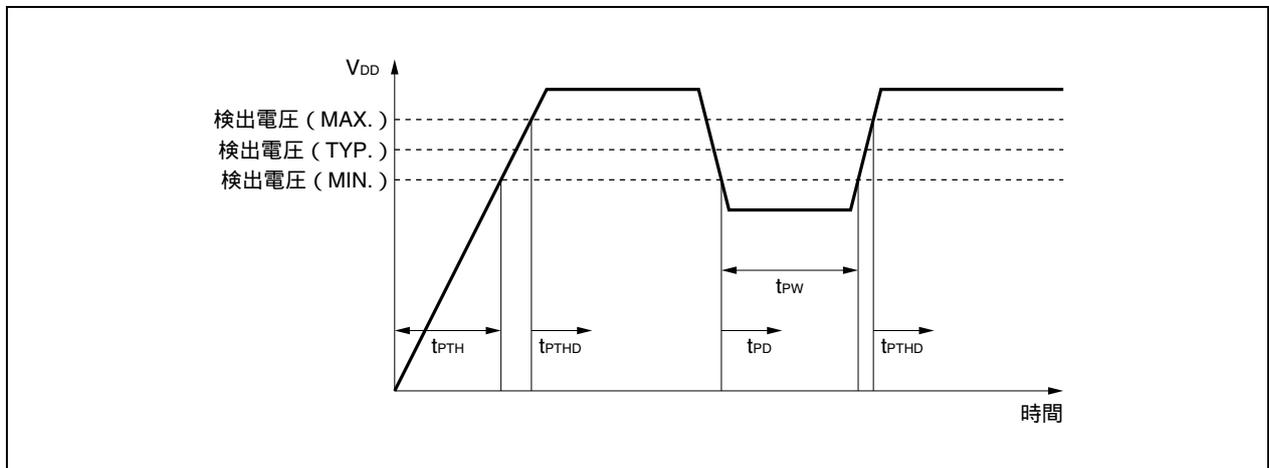
備考 FSR : Full Scale Range

(9) POC回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POCO}		3.3	3.5	3.7	V
電源立ち上げ時間	t_{PTH}	$V_{DD} = 0\text{ V}$ 3.3 V	0.002			ms
応答ディレイ時間 ^{注1}	t_{PTHD}	電源立ち上げ時, V_{DD} が3.7 Vに達したあと			2.0	ms
応答ディレイ時間 ^{注2}	t_{PD}	電源降下時, V_{DD} が3.3 Vを下まわったあと			1.0	ms
最小 V_{DD} 幅	t_{PW}		0.2			ms

- 注1. 検出電圧を検出してからリセットを解除するまでの時間。
 2. 検出電圧を検出してからリセットを出力するまでの時間。

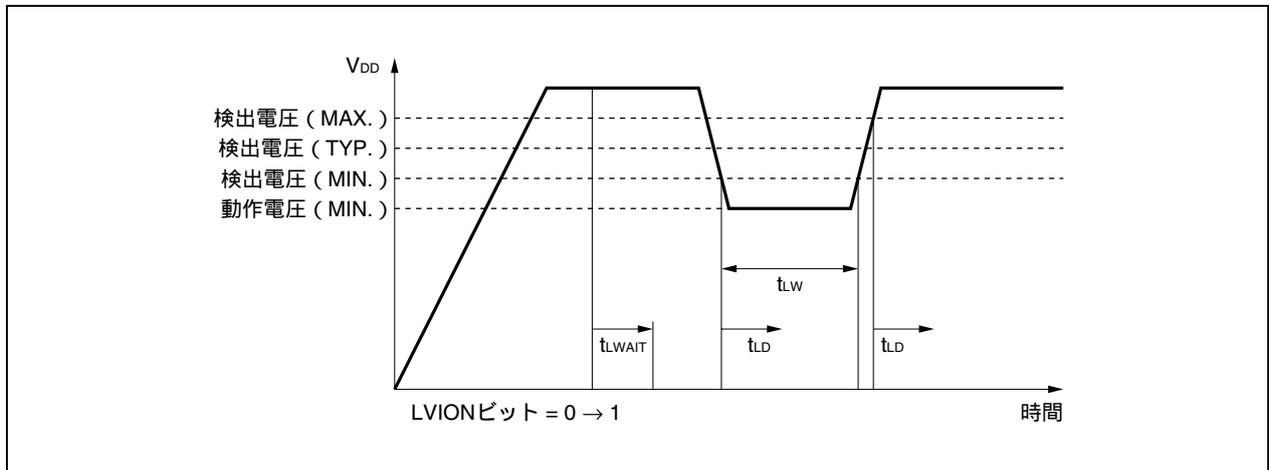


(10) LVI回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.3 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{LVI0}		3.8	4.0	4.2	V
	V_{LVI1}		3.5	3.7	3.9	V
応答時間 ^注	t_{LD}	V_{DD} が V_{LVI0} , V_{LVI1} (MAX.) に達したあと, V_{DD} が V_{LVI0} , V_{LVI1} (MIN.) を下まわったあと		0.2	2.0	ms
最小 V_{DD} 幅	t_{LW}		0.2			ms
基準電圧安定待ち時間	t_{LWAIT}	LVIONビット (LVIM.bit7) = 0 → 1 となったあと		0.1	0.2	ms

注 検出電圧を検出して割り込み/リセットを出力するまでの時間。

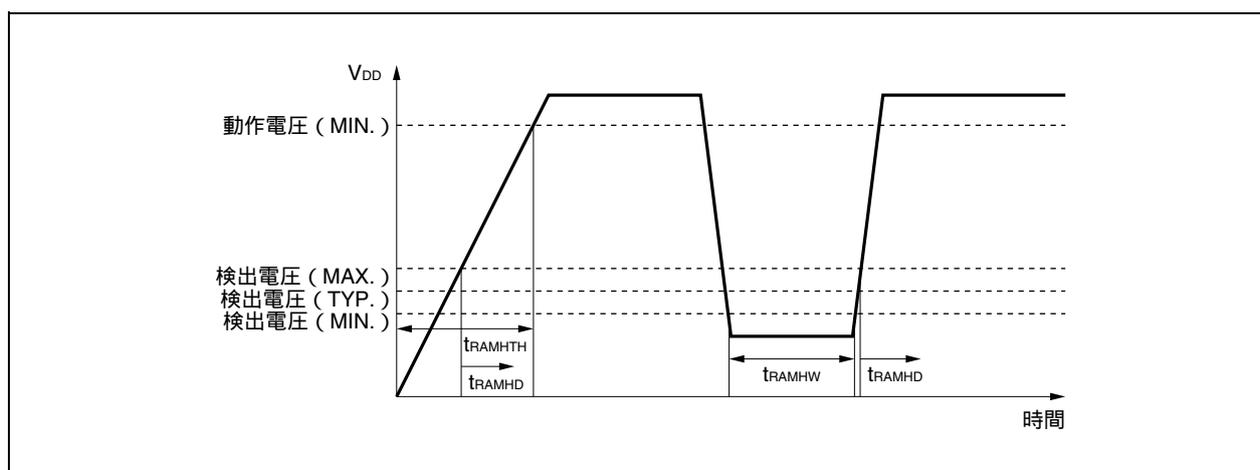


(11) RAM保持フラグ特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 1.9\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{RAMH}		1.9	2.0	2.1	V
電源電圧立ち上がり時間	t_{RAMHTH}	$V_{DD} = 0\text{ V}$ 3.3 V	0.002		1800	ms
応答時間注	t_{RAMHD}	電源電圧が検出電圧 (MAX.) に達したあと		0.2	2.0	ms
最小 V_{DD} 幅	t_{RAMHW}		0.2			ms

注 検出電圧を検出してRAMビットをセットするまでの時間。



29.9 フラッシュ・メモリ・プログラミング特性

(1) 基本特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD}$, 4.0 V AV_{REF0} 5.5 V, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f_{CPU}		4		32	MHz
電源電圧	V_{DD}		3.8		5.5	V
書き込み回数	C_{WRT} ^注				100	回
ハイ・レベル入力電圧	V_{IH}	FLMD0	0.8 EV_{DD}		EV_{DD}	V
ロウ・レベル入力電圧	V_{IL}	FLMD0	EV_{SS}		0.2 EV_{DD}	V
プログラミング温度	t_{PRG}		- 40		+ 85	

注 出荷品に対する初回書き込み時では、「消去 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

例 P : 書き込み E : 消去

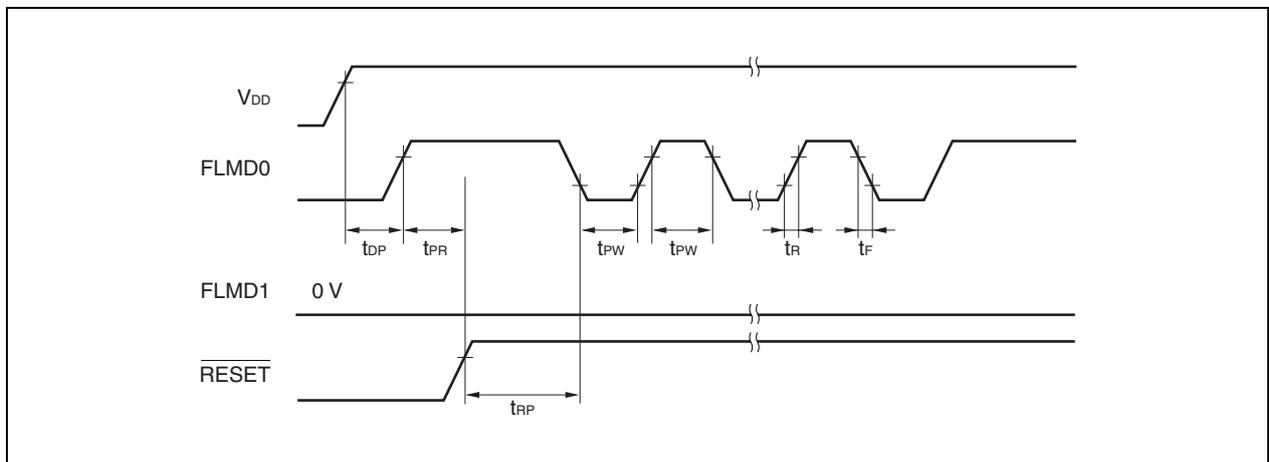
出荷品 P E P E P : 書き換え回数3回

出荷品 E P E P E P : 書き換え回数3回

(2) シリアル書き込みオペレーション特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD}$, 4.0 V AV_{REF0} 5.5 V, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
V_{DD} FLMD0 セットアップ時間	t_{DP}		1			ms
FLMD0 RESET解除時間	t_{PR}		2			ms
RESET FLMD0パルス入力開始時間	t_{RP}		800			μs
FLMD0パルス・ハイ・レベル幅 / ロウ・レベル幅	t_{PW}		10		100	μs
FLMD0立ち上がり時間	t_r				1	μs
FLMD0立ち下がり時間	t_f				1	μs



第30章 電気的特性 (V850ES/HF3)

30.1 絶対最大定格

絶対最大定格 (TA = 25°C) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}	V _{DD} = EV _{DD}	- 0.5 ~ + 6.5	V
	EV _{DD}	V _{DD} = EV _{DD}	- 0.5 ~ + 6.5	V
	AV _{REF0}		- 0.5 ~ + 6.5	V
	V _{SS}	V _{SS} = EV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V
	AV _{SS}	V _{SS} = EV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V
	EV _{SS}	V _{SS} = EV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V
入力電圧	V _{I1}	P00-P06, P30-35, P38, P39, P40-P42, P50-P55, P90, P91, P96-P99, P913-P915, PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL11, $\overline{\text{RESET}}$, FLMD0	- 0.5 ~ EV _{DD} + 0.5 ^注	V
	V _{I3}	X1, X2, XT1, XT2	- 0.5 ~ V _{RO} + 0.5	V
アナログ入力電圧	V _{IAN}	P70-P711	- 0.5 ~ AV _{REF0} + 0.5 ^注	V

注 それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

- 注意1. IC製品の出力 (または入出力) 端子同士を直結したり, V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし, オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また, ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。
2. 各項目のうち1項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で, 製品をご使用ください。
- DC特性とAC特性に示す規格や条件が, 製品の正常動作, 品質保証の範囲です。

備考 兼用端子の特性は, 特に指定のないかぎり, ポート端子と同じです。

絶対最大定格 (TA = 25°C) (2/2)

項目	略号	条件	定格	単位	
ロウ・レベル出力電流	I _{OL}	P00-P06, P30-P35, P38, P39, P40-P42, P50-P55, P90, P91, P96-P99, P913-P915, PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL11	1端子	4	mA
			全端子合計	50	mA
		P70-P711	1端子	4	mA
			全端子合計	20	mA
ハイ・レベル出力電流	I _{OH}	P00-P06, P30-P35, P38, P39, P40-P42, P50-P55, P90, P91, P96-P99, P913-P915, PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL11	1端子	- 4	mA
			全端子合計	- 50	mA
		P70-P711	1端子	- 4	mA
			全端子合計	- 20	mA
動作周囲温度	T _A	通常動作モード	- 40 ~ + 85	°C	
		フラッシュ・メモリ・プログラミング・モード			
保存温度	T _{stg}		- 40 ~ + 125	°C	

注意1. IC製品の出力（または入出力）端子同士を直結したり、V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。

DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです。

30.2 容 量

($T_A = 25^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入出力容量	C_{io}	$f_x = 1\text{ MHz}$, 被測定端子以外は0 V			10	pF

30.3 動作条件

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD}, 4.0\text{ V}$ $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$, $C = 4.7\ \mu\text{F}$)

内部システム・クロック周波数	条 件	電源電圧		単 位
		V_{DD}, EV_{DD}	AV_{REF0}	
4 MHz f_{xx} 32 MHz		4.0 ~ 5.5	4.0 ~ 5.5	V
4 MHz f_{xx} 20 MHz	ADコンバータ動作	3.7 ~ 5.5	4.0 ~ 5.5	V
	ADコンバータ停止	3.7 ~ 5.5	3.7 ~ 5.5	V
$f_{XT} = 32.768\text{ kHz}$		3.7 ~ 5.5	3.7 ~ 5.5	V
$f_{RL} = 240\text{ kHz}$ (TYP.)		3.7 ~ 5.5	3.7 ~ 5.5	V
$f_{RH} = 8\text{ MHz}$ (TYP.)	ADコンバータ動作	3.7 ~ 5.5	4.0 ~ 5.5	V
	ADコンバータ停止	3.7 ~ 5.5	3.7 ~ 5.5	V

30.4 発振回路特性

30.4.1 メイン・クロック発振回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.3\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位	
セラミック 発振子 / 水晶振動子		発振周波数 (f_x) ^{注1}		4		16	MHz	
		発振安定時間 ^{注2}	STOP	PLL停止時	54 ^{注3}	注4		μs
			モード	PLL動作時	1600 ^{注5}	注4		μs
				解除後	SSCG動作時	2000 ^{注6}	注4	
			IDLE2	PLL停止時	54 ^{注3}	注4		μs
				モード	PLL動作時	800 ^{注5}	注4	
			解除後		SSCG動作時	1000 ^{注6}	注4	

注1. 発振回路の特性だけを示すものです。

2. 発振子が発振を開始してから安定するまでの時間です。
3. 内蔵フラッシュ・メモリへのアクセスが安定するまでの時間です。
4. OSTSレジスタの設定によって値が異なります。
5. PLLのロックアップ時間です。
6. SSCGのロックアップ時間です。

注意1. メイン・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
 - ・大電流が流れるグランド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
2. メイン・クロックを停止させサブクロックで動作させているときに、再度メイン・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。
 3. 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

(i) 京セラキンセキ株式会社：水晶振動子 (TA = -10 ~ +70)

タイプ	回路例	品名	発振周波数 fx (MHz)	推奨回路定数		
				C1 (pF)	C2 (pF)	Rd (Ω)
リード		HC49SFWB06000D0PESZZ	6.000	8	8	0
		HC49SFWB08000D0PESZZ	8.000	8	8	0
		HC49SFWB10000D0PESZZ	10.000	8	8	0
表面実装		HC49GFWB06000D0PESZZ	6.000	8	8	0
		CX1255GB06000D0PESZZ	6.000	8	8	0
		CX8045GB06000D0PESZZ	6.000	8	8	0
		HC49GFWB08000D0PESZZ	8.000	8	8	0
		CX1255GB08000D0PESZZ	8.000	8	8	0
		CX8045GB08000D0PESZZ	8.000	8	8	0
		CX5032GB08000D0PESZZ	8.000	8	8	0
		HC49GFWB10000D0PESZZ	10.000	8	8	0
		CX1255GB10000D0PESZZ	10.000	8	8	0
		CX8045GB10000D0PESZZ	10.000	8	8	0
		CX5032GB10000D0PESZZ	10.000	8	8	0

注意 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。
また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850ES/HF3の内部動作条件についてはAC、DC特性の規格内で使用してください。

30.4.2 サブクロック発振回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.3\text{ V} \sim 5.5\text{ V}, 4.0\text{ V}$ $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f_{XT}) ^{注1}		32	32.768	35	kHz
		発振安定時間 ^{注2}				10	s

注1. 発振回路の特性だけを示すものです。CPU動作クロックについては、30.7 AC特性を参照してください。

2. V_{DD} が発振電圧範囲 (MIN.: 3.3 V) に達してから発振が安定するまでの時間です。

注意1. サブクロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
 - ・大電流が流れるグランド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
2. サブクロック発振回路は、低消費電流にするため増幅度の低い回路になっており、ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって、サブクロックを使用する場合は、配線方法について特に注意してください。
3. 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

30.4.3 PLL特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.3\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	f_x		6		12	MHz
出力周波数	f_{xx}		12		32	MHz
ロック時間	t_{PLL}	V_{DD} がMIN.: 3.3 Vに達したあと			800	μs

30.4.4 SSCG特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.3\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	f_x		4		16	MHz
出力周波数 ^注	f_{xx}		12		32	MHz
ロック時間	t_{SSCG}	V_{DD} がMIN.: 3.3 Vに達したあと			1000	μs

注 SSCG出力周波数は、変調しない場合の特性を示しています。変調した場合の動作周波数は、SFC1.SFC16-SFC14ビットの設定により、次のようになります。動作周波数に変調率のMAX.値を考慮した最大動作周波数が32 MHzを越えないようにしてください。

SFC1.SFC16-SFC14	変調率		動作周波数
	TYP.	MAX.	
000B	$\pm 0.5\%$	$\pm 2.0\%$	31.3 MHz
001B	$\pm 1.0\%$	$\pm 2.5\%$	31.2 MHz
010B	$\pm 2.0\%$	$\pm 4.0\%$	30.7 MHz
011B	$\pm 3.0\%$	$\pm 6.0\%$	30.0 MHz
100B	$\pm 4.0\%$	$\pm 8.0\%$	29.4 MHz
101B	$\pm 5.0\%$	$\pm 10.0\%$	28.8 MHz

30.4.5 低速内蔵発振器 / 高速内蔵発振器特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.3\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

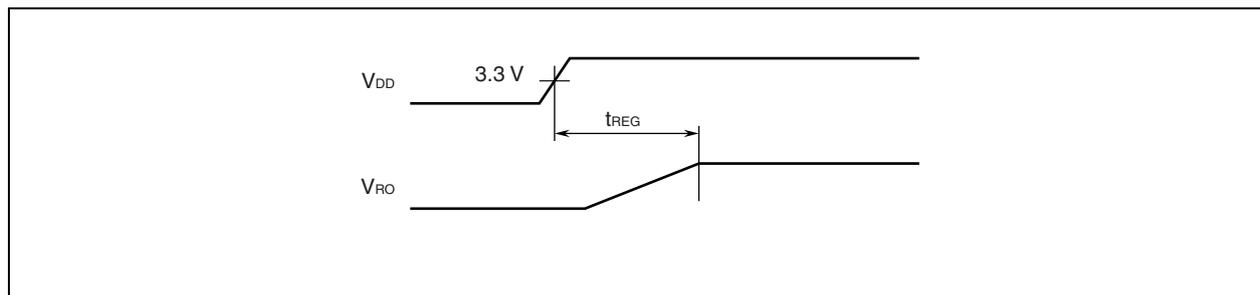
項目	略号	条件	MIN.	TYP.	MAX.	単位
出力周波数	f_{RL}	低速内蔵発振器	204	240	276	kHz
	f_{RH}	高速内蔵発振器	7.2	8.0	8.8	MHz
発振安定時間		高速内蔵発振器動作時			256	μs

30.5 電圧レギュレータ特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	V_{DD}		3.3		5.5	V
出力電圧	V_{RO}			2.5		V
出力電圧安定時間	t_{REG}	V_{DD} がMIN.: 3.3 Vに達したあと REGC端子に $C = 4.7\ \mu\text{F}$ を接続			1	ms

備考 t_{REG} はPOC機能により確保されます。そのあと、リセットが解除されます。



30.6 DC特性

30.6.1 入出力レベル

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.3\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

(1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH1}	P04, P30, P31, P34, P38, P39, P40, P91, P913-P915	$0.7EV_{DD}$		EV_{DD}	V
	V_{IH2}	P00-P03, P05, P06, P32, P33, P35, P41, P42, P50-P55, P90, P96-P99, PDL0-PDL11	$0.8EV_{DD}$		EV_{DD}	V
	V_{IH3}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6	$0.7EV_{DD}$		EV_{DD}	V
	V_{IH4}	P70-P711	$0.7AV_{REF0}$		AV_{REF0}	V
	V_{IH5}	$\overline{\text{RESET}}$, FLMD0	$0.8EV_{DD}$		EV_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	P04, P30, P31, P34, P38, P39, P40, P91, P913-P915	EV_{SS}		$0.3EV_{DD}$	V
	V_{IL2}	P00-P03, P05, P06, P32, P33, P35, P41, P42, P50-P55, P90, P96-P99, PDL0-PDL11	EV_{SS}		$0.4EV_{DD}$	V
	V_{IL3}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6	EV_{SS}		$0.3EV_{DD}$	V
	V_{IL4}	P70-P711	AV_{SS}		$0.3AV_{REF0}$	V
	V_{IL5}	$\overline{\text{RESET}}$, FLMD0	EV_{SS}		$0.2EV_{DD}$	V

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです。

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.3 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

(2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧 ^{注1}	V _{OH1}	P00-P06, P30-P35, P38, P39, P40-P42, P50-P55, P90, P91, P96-P99, P913-P915, PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL11	$I_{OH} = -1.0 \text{ mA}$	$EV_{DD} - 1.0$		EV_{DD}	V
			$I_{OH} = -0.1 \text{ mA}$	$EV_{DD} - 0.5$		EV_{DD}	V
	V _{OH3}	P70-P711	$I_{OH} = -1.0 \text{ mA}$	$AV_{REF0} - 1.0$		AV_{REF0}	V
			$I_{OH} = -0.1 \text{ mA}$	$AV_{REF0} - 0.5$		AV_{REF0}	V
ロウ・レベル出力電圧 ^{注1}	V _{OL1}	P00-P06, P30-P35, P38, P39, P40-P42, P50-P55, P90, P91, P96-P99, P913, PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL11	$I_{OL} = 1.0 \text{ mA}$	0		0.4	V
			$I_{OL} = 3.0 \text{ mA}$	0		0.4	V
	V _{OL3}	P70-P711	$I_{OL} = 1.0 \text{ mA}$	0		0.4	V
プルアップ抵抗	R ₁	$V_i = 0 \text{ V}$	10	30	100	k Ω	
プルダウン抵抗 ^{注2}	R ₂	$V_i = V_{DD}$	10	30	100	k Ω	

注1. I_{OH}/I_{OL} の合計の最大値は、各電源 (EV_{DD} , AV_{REF0}) ごとに20 mA/-20 mAです。

2. DRST端子のみ。

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです。

30.6.2 端子リーク電流

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.3 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I _{LIH1}	$V_{IN} = V_{DD}$	アナログ端子		0.2	μA
			FLMD0端子		2.0	
			上記端子以外		0.5	
ロウ・レベル入力リーク電流	I _{LIL1}	$V_{IN} = 0 \text{ V}$	アナログ端子		-0.2	μA
			FLMD0端子		-2.0	
			上記端子以外		-0.5	
ハイ・レベル出力リーク電流	I _{LOH1}	$V_O = V_{DD}$	アナログ端子		0.2	μA
			アナログ端子以外		0.5	
ロウ・レベル出力リーク電流	I _{LOL1}	$V_O = 0 \text{ V}$	アナログ端子		-0.2	μA
			アナログ端子以外		-0.5	

30.6.3 電源電流

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

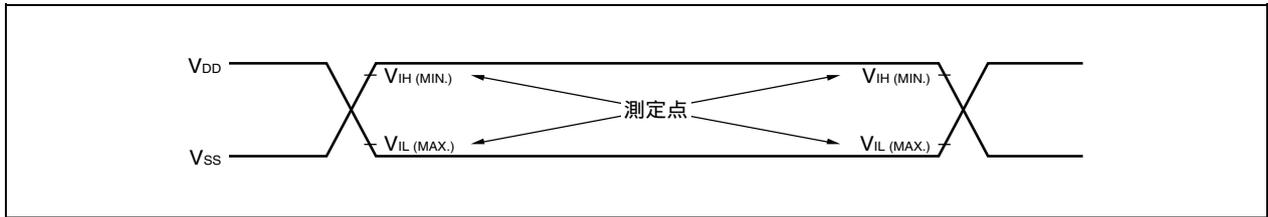
項目	略号	条 件			MIN.	TYP.	MAX.	単 位	
電源電流 ^{注1}	IDD1	通常動作モード ^{注2}	PLL動作	$f_{xx} = 32\text{ MHz}$	全周辺機能動作		39	51	mA
				($f_x = 8\text{ MHz}$)	全周辺機能停止		32		mA
			PLL動作	$f_{xx} = 20\text{ MHz}$	全周辺機能動作		27	37	mA
				($f_x = 10\text{ MHz}$)	全周辺機能停止		22		mA
			PLL停止	$f_{xx} = 16\text{ MHz}$	全周辺機能動作		21	30	mA
				($f_x = 16\text{ MHz}$)	全周辺機能停止		19		mA
	IDD2	HALTモード ^{注2}	PLL動作	$f_{xx} = 32\text{ MHz}$	全周辺機能動作		24	34	mA
				($f_x = 8\text{ MHz}$)	全周辺機能停止		18		mA
			PLL動作	$f_{xx} = 20\text{ MHz}$	全周辺機能動作		16	23	mA
				($f_x = 10\text{ MHz}$)	全周辺機能停止		12		mA
			PLL停止	$f_{xx} = 16\text{ MHz}$	全周辺機能動作		13	20	mA
				($f_x = 16\text{ MHz}$)	全周辺機能停止		9		mA
	IDD3	IDLE1モード	PLL停止 ^{注3}	$f_{xx} = 16\text{ MHz}$	TAA, UARTD動作		2.4	3.6	mA
				($f_x = 16\text{ MHz}$)	全周辺機能停止		1.6		mA
$f_{xx} = 8\text{ MHz}$				TAA, UARTD動作		1.6	2.5	mA	
($f_x = 8\text{ MHz}$)				全周辺機能停止		1.3		mA	
$f_{xx} =$ 高速内蔵発振(f_{RH}) ^{注4}			TAA, UARTD動作		1.5	2.3	mA		
			全周辺機能停止		1.1		mA		
IDD4	IDLE2モード	PLL停止 ^{注3}	$f_{xx} = 16\text{ MHz}$ ($f_x = 16\text{ MHz}$)			0.8	1.2	mA	
			$f_{xx} = 8\text{ MHz}$ ($f_x = 8\text{ MHz}$)			0.5	0.8	mA	
		$f_{xx} =$ 高速内蔵発振(f_{RH}) ^{注4}			0.2	0.5	mA		
IDD5	サブクロック動作モード ^{注4,5}	水晶発振子 ($f_{XT} = 32.768\text{ kHz}$)			80	400	μA		
IDD6	サブIDLEモード ^{注4,5}	水晶発振子 ($f_{XT} = 32.768\text{ kHz}$)			20	190	μA		
IDD7	STOPモード ^{注4,6}	低速内蔵発振 (f_{RL}) 動作			18.5	100	μA		
		低速内蔵発振 (f_{RL}) 停止			10.5	85	μA		

注1. V_{DD} , EV_{DD} の電流の合計です(全ポート停止時)。 AV_{REF0} の電流, 内蔵プルアップ/プルダウン抵抗を通過する電流を含むポート・バッファの電流は含みません。

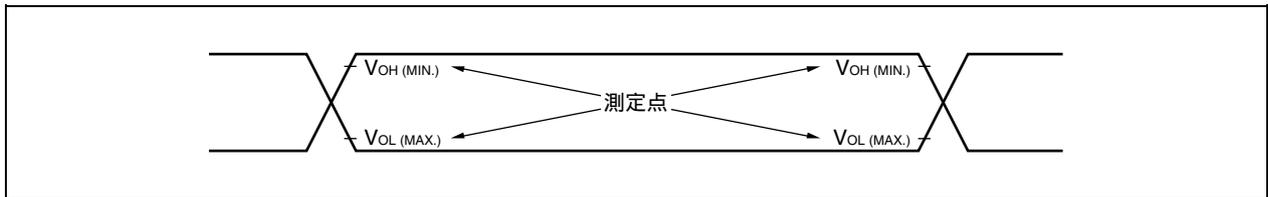
- SSCG動作時は, TYP.値に + 2.5mA, MAX.値に + 4 mAを加算してください。
- 高速内蔵発振回路 (f_{RH}) 停止時。
- メイン・クロック発振回路 (f_{xx}) 停止時。
- 低速内蔵発振回路 (f_{RL}) 動作, 高速内蔵発振回路 (f_{RH}) 停止
- サブクロック発振回路 (f_{XT}) 未使用時。

30.7 AC特性

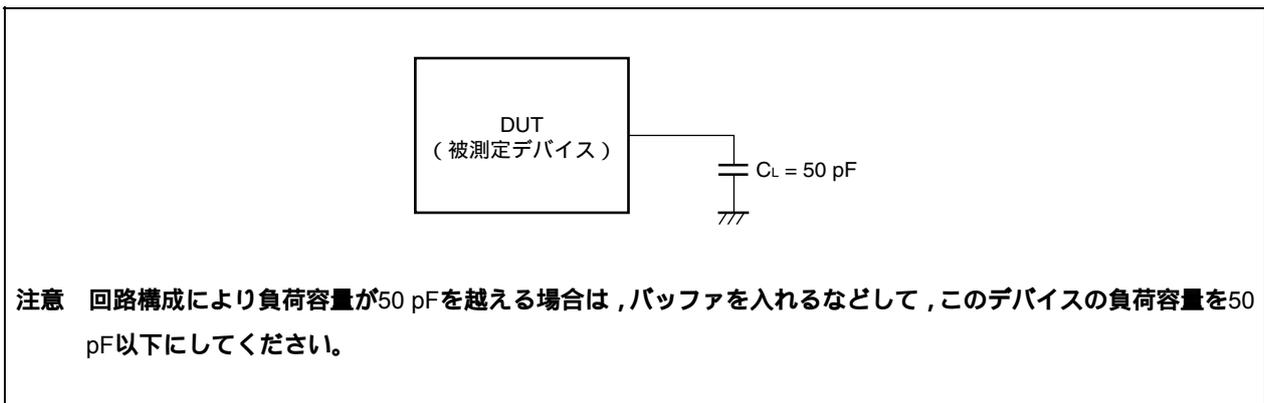
(1) ACテスト入力測定点 (V_{DD} , AV_{REF0} , EV_{DD})



(2) ACテスト出力測定点



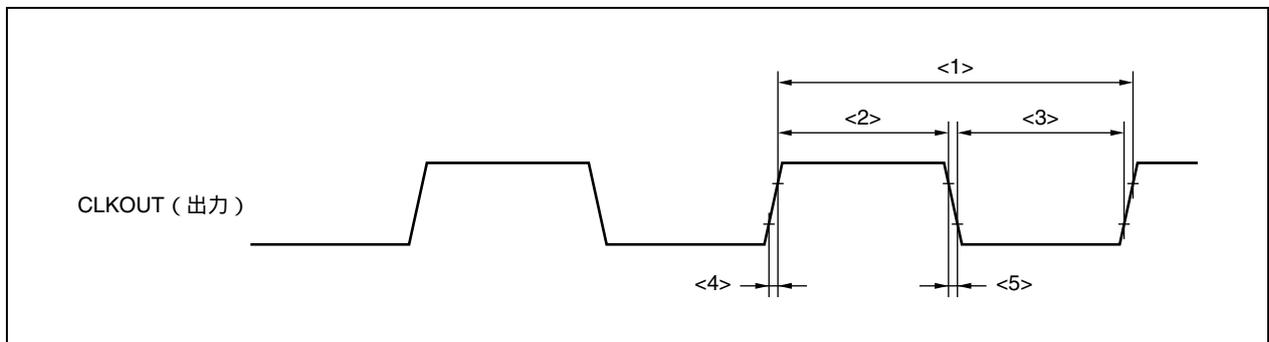
(3) 負荷条件



30.7.1 CLKOUT出力タイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.7 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
出力周期	t_{CYK}	<1> $V_{DD} = EV_{DD} = 3.7 \text{ V} \sim 5.5 \text{ V}$	50 ns	$80 \mu\text{s}$	
		$V_{DD} = EV_{DD} = 4.0 \text{ V} \sim 5.5 \text{ V}$	31.25 ns	$80 \mu\text{s}$	
ハイ・レベル幅	t_{WKH}	$V_{DD} = EV_{DD} = 3.7 \text{ V} \sim 5.5 \text{ V}$	$t_{CYK}/2 - 15$		ns
		$V_{DD} = EV_{DD} = 4.0 \text{ V} \sim 5.5 \text{ V}$	$t_{CYK}/2 - 13$		ns
ロウ・レベル幅	t_{WKL}	$V_{DD} = EV_{DD} = 3.7 \text{ V} \sim 5.5 \text{ V}$	$t_{CYK}/2 - 15$		ns
		$V_{DD} = EV_{DD} = 4.0 \text{ V} \sim 5.5 \text{ V}$	$t_{CYK}/2 - 13$		ns
立ち上がり時間	t_{KR}	$V_{DD} = EV_{DD} = 3.7 \text{ V} \sim 5.5 \text{ V}$		15	ns
		$V_{DD} = EV_{DD} = 4.0 \text{ V} \sim 5.5 \text{ V}$		13	ns
立ち下がり時間	t_{KF}	$V_{DD} = EV_{DD} = 3.7 \text{ V} \sim 5.5 \text{ V}$		15	ns
		$V_{DD} = EV_{DD} = 4.0 \text{ V} \sim 5.5 \text{ V}$		13	ns



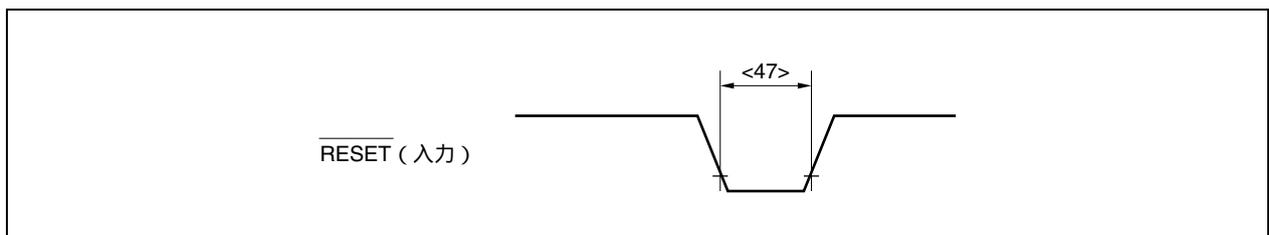
30.8 基本動作

(1) リセットタイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.3 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
RESETロウ・レベル幅	t_{WRSL} <47>		250		ns

リセット



(2) 割り込みタイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}, 4.0\text{ V}$ $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

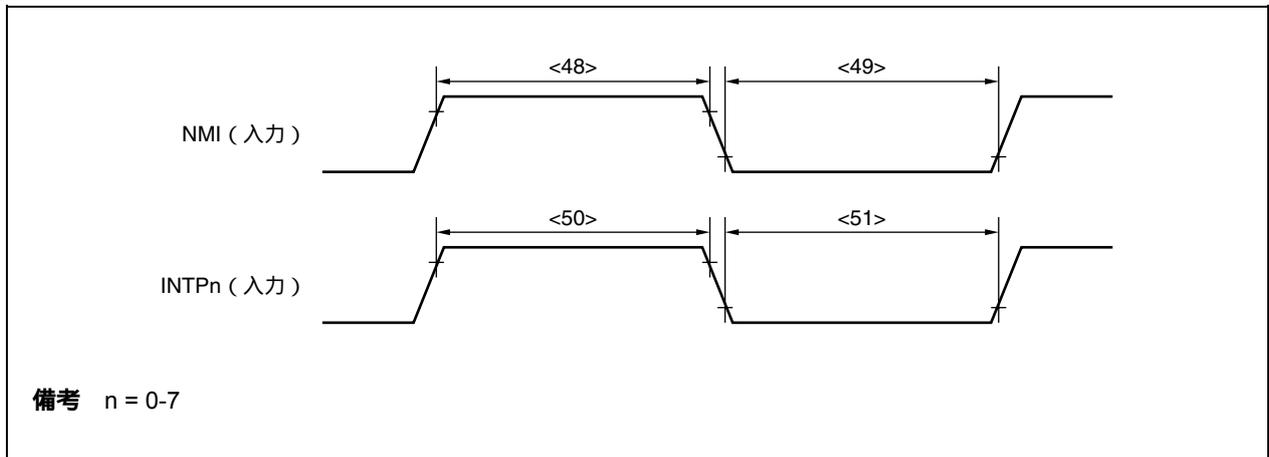
項目	略号	条件	MIN.	MAX.	単位
NMIハイ・レベル幅	t_{WNIH}	<48> アナログ・ノイズ除去	250		ns
NMIロウ・レベル幅	t_{WNIL}	<49> アナログ・ノイズ除去	250		ns
INTPn ^{注1} ハイ・レベル幅	t_{WITH}	アナログ・ノイズ除去 ($n = 0-7$)	250		ns
		デジタル・ノイズ除去 ($n = 3$)	注2		ns
INTPn ^{注1} ロウ・レベル幅	t_{WITL}	アナログ・ノイズ除去 ($n = 0-7$)	250		ns
		デジタル・ノイズ除去 ($n = 3$)	注2		ns

注1. ADTRG端子は、INTP0/P03端子と同じ値です。DRST端子は、INTP02/P05端子と同じ値です。

2. $2T_{\text{samp}} + 20$ または $3T_{\text{samp}} + 20$

T_{samp} : ノイズ除去用サンプリング・クロック

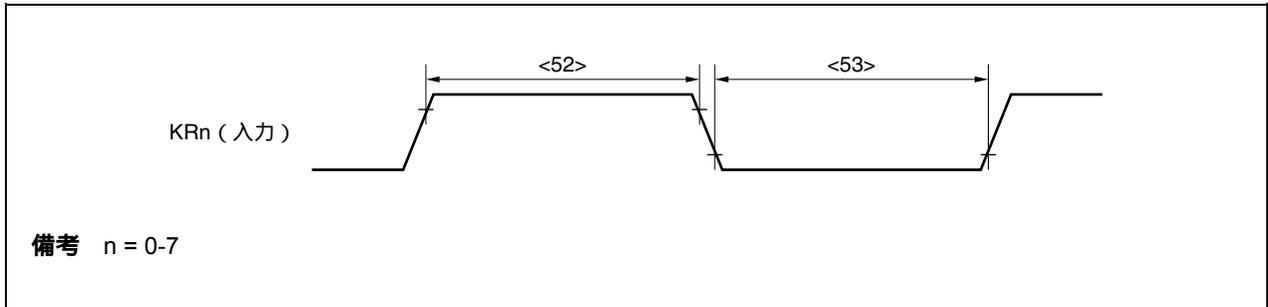
リセット/割り込み



(3) キー割り込みタイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.7 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
KRn入力ハイ・レベル幅	t_{WKRH}	<52> アナログ・ノイズ除去 ($n = 0-7$)	250		ns
KRn入力ロウ・レベル幅	t_{WKRL}	<53>	250		ns

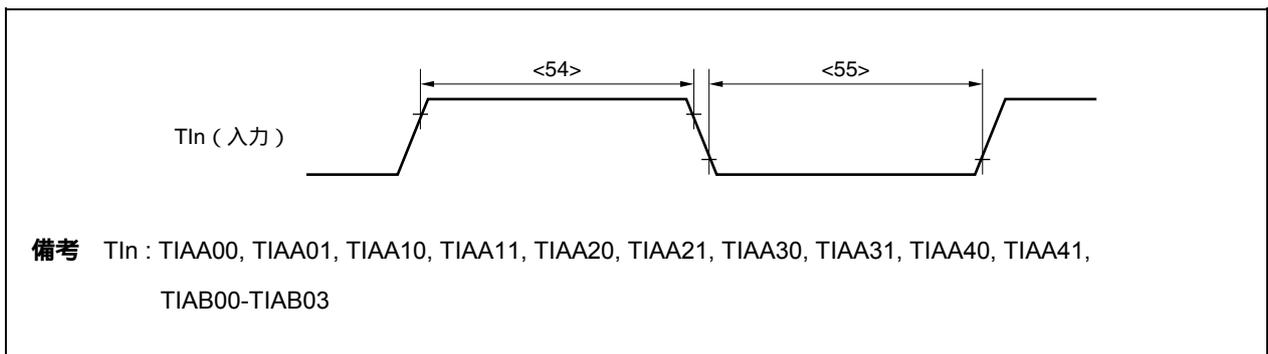


(4) タイマ入力タイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.7 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
TInハイ・レベル幅	t_{TIH}	<54> TIAA00, TIAA01, TIAA10, TIAA11, TIAA20, TIAA21,	250		ns
TInロウ・レベル幅	t_{TIL}	<55> TIAA30, TIAA31, TIAA40, TIAA41, TIAB00-TIAB03 [※]	250		ns
TOn出力周期	f_{TCYK}	TOAA00, TOAA01, TOAA10, TOAA11, $4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		16	MHz
		TOAA20, TOAA21, TOAA30, TOAA31, $3.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		10	MHz
		TOAA40, TOAA41, TOAB00-TOAB03			

注 TIAA00, TIAA10, TIAA20, TIAA30, TIAB00端子はキャプチャ入力時のみノイズ除去が有効。
外部トリガ時, 外部イベント・カウンタ時はノイズ除去は無効。



(5) CSIBタイミング

(a) マスタ・モード

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.7 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
SCKBnサイクル・タイム	t _{KCY1}	<56>	125		ns
SCKBnハイ・レベル幅	t _{KH1}	<57>	t _{KCY1} /2 - 15		ns
SCKBnロウ・レベル幅	t _{KL1}	<58>	t _{KCY1} /2 - 15		ns
SIBnセットアップ時間 (対SCKBn)	t _{SIK1}	<59>	30		ns
SIBnホールド時間 (対SCKBn)	t _{SI1}	<60>	25		ns
SCKBn SOBn出力遅延時間	t _{KSO1}	<61>		25	ns

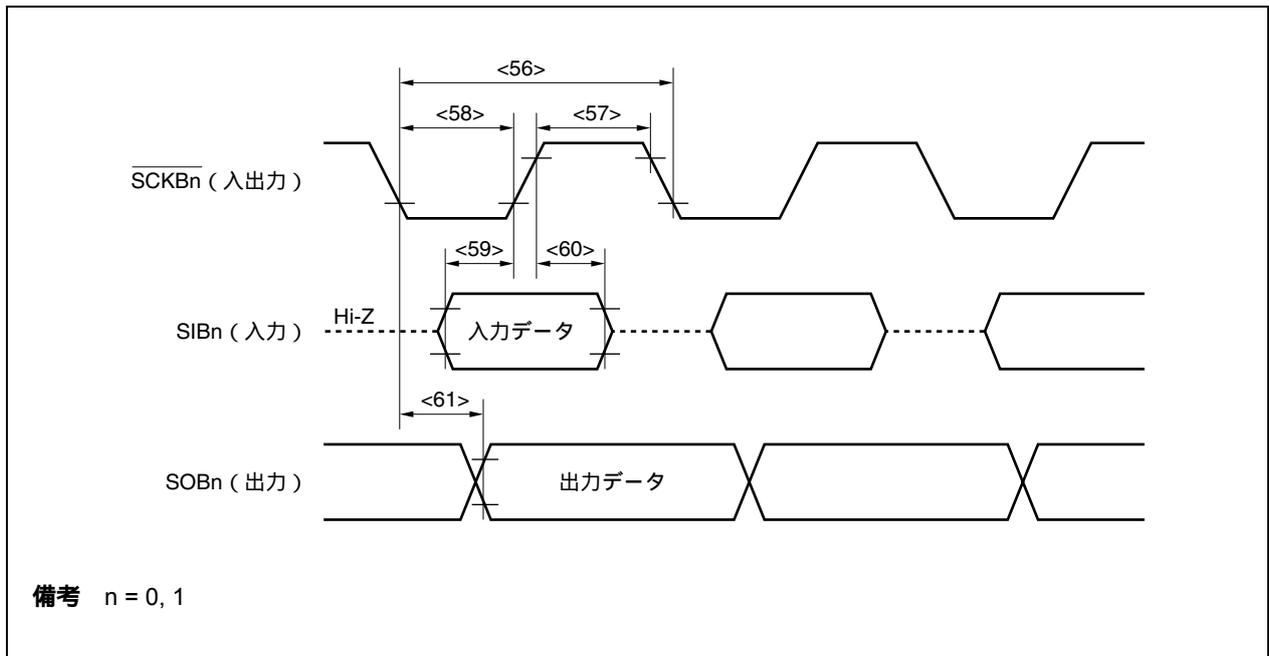
備考 n = 0, 1

(b) スレーブ・モード

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.7 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
SCKBn サイクル・タイム	t _{KCY1}	<56>	200		ns
SCKBn ハイ・レベル幅	t _{KH1}	<57>	90		ns
SCKBn ロウ・レベル幅	t _{KL1}	<58>	90		ns
SIBnセットアップ時間 (対SCKBn)	t _{SIK1}	<59>	50		ns
SIBnホールド時間 (対SCKBn)	t _{SI1}	<60>	50		ns
SCKBn SOBn出力遅延時間	t _{KSO1}	<61>		50	ns

備考 n = 0, 1



(6) UARTDタイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}, 4.0\text{ V}$ $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
通信レート				1.5	Mbps
ASCK0サイクル・タイム				10	MHz

(7) I²C タイミング

(T_A = -40 ~ +85 , V_{DD} = V_{DD1} = EV_{DD} = 3.7 V ~ 5.5 V, 4.0 V AV_{REF0} 5.5 V, V_{SS} = V_{SS1} = EV_{SS} = AV_{SS} = 0 V)

項目	略号		標準モード		高速モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCL00クロック周波数	f _{CLK}		0	100	0	400	kHz
バス・フリー・タイム (ストップ・スタート・コンディション間)	t _{BUF}	<62>	4.7	-	1.3	-	μs
ホールド時間 ^{注1}	t _{HD:STA}	<63>	4.0	-	0.6	-	μs
SCL00クロックのロウ・レベル幅	t _{LOW}	<64>	4.7	-	1.3	-	μs
SCL00クロックのハイ・レベル幅	t _{HIGH}	<65>	4.0	-	0.6	-	μs
スタート/リスタート・コンディションのセットアップ時間	t _{SU:STA}	<66>	4.7	-	0.6	-	μs
データ・ホールド時間	CBUS互換マスタの場合 I ² Cモードの場合	t _{HD:DAT}	<67>	5.0	-	-	μs
				0 ^{注2}	-	0 ^{注2}	0.9 ^{注3}
データ・セットアップ時間	t _{SU:DAT}	<68>	250	-	100 ^{注4}	-	ns
SDA00およびSCL00信号の立ち上がり時間	t _R	<69>	-	1000	20 + 0.1Cb ^{注5}	300	ns
SDA00およびSCL00信号の立ち下がり時間	t _F	<70>	-	300	20 + 0.1Cb ^{注5}	300	ns
ストップ・コンディションのセットアップ時間	t _{SU:STO}	<71>	4.0	-	0.6	-	μs
入力フィルタによって抑制されるスパイクのパルス幅	t _{SP}	<72>	-	-	0	50	ns
各バス・ラインの容量性負荷	Cb		-	400	-	400	pF

注1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。

2. 装置は、SCL00の立ち下がり端の未定義領域を埋めるために (SCL00信号のV_{IHmin.}での) SDA00信号用に最低 300 nsのホールド時間を内部的に提供する必要があります。
3. 装置がSCL00信号のロウ・ホールド時間 (t_{LOW}) を延長しない場合は、最大データ・ホールド時間 (t_{HD:DAT}) のみ満たすことが必要です。
4. 高速モードI²Cバスは、標準モードI²Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。

- ・装置がSCL00信号のロウ状態ホールド時間を延長しない場合

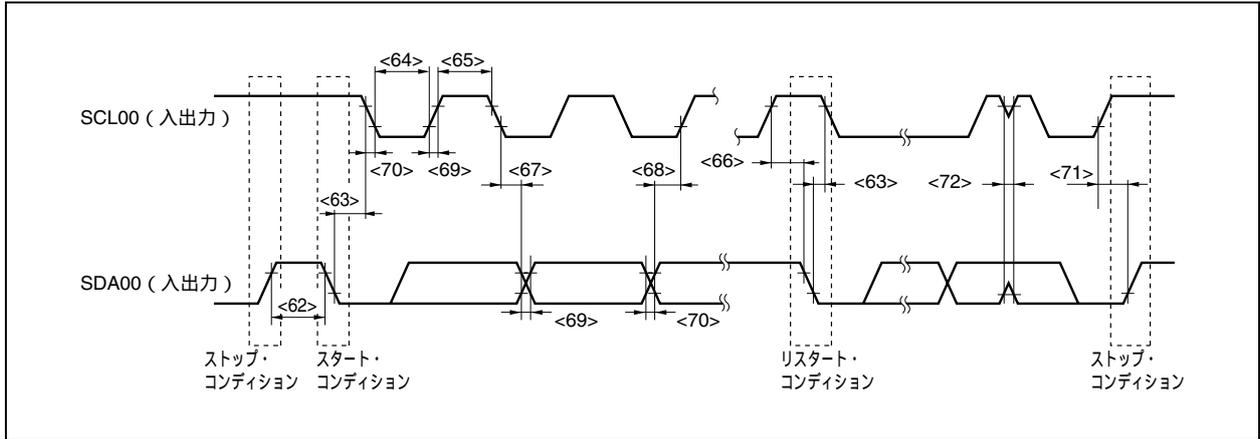
t_{SU:DAT} 250 ns

- ・装置がSCL00信号のロウ状態ホールド時間を延長する場合

SCL00ラインが解放される (t_{Rmax.} + t_{SU:DAT} = 1000 + 250 = 1250 ns : 標準モードI²Cバス仕様) 前に、次のデータ・ビットをSDA00ラインに送出してください。

5. Cb : 1つのバス・ラインの合計キャパシタンス (単位 : pF)

I²Cバス・モード



(8) A/Dコンバータ

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					10	bit
総合誤差 ^注		4.0 AV_{REF0} 5.5 V		± 0.15	± 0.3	%FSR
変換時間	t_{CONV}		3.1		16	μs
安定時間	t_{STA}	ADA0M0.ADA0PSビット = 0 1としたあと	2			μs
パワーダウン復帰時間	t_{DPU}	STOPモード解除後の動作開始	1			μs
ゼロスケール誤差 ^{注1}	ZSE				± 0.3	%FSR
フルスケール誤差 ^{注1}	FSE				± 0.3	%FSR
積分非直線性誤差 ^{注2}	INL				± 2.5	LSB
微分非直線性誤差 ^{注2}	DNL				± 1.5	LSB
アナログ入力電圧	V_{IAN}		AV_{SS}		AV_{REF0}	V
AV_{REF0} 電流	I_{AREF0}	A/Dコンバータ使用時		4	7	mA
		A/Dコンバータ未使用時		1	10	μA

注 量子化誤差 ($\pm 0.05\%$ FSR) は含みません。フルスケール値に対する比率 (%FSR) で表します。

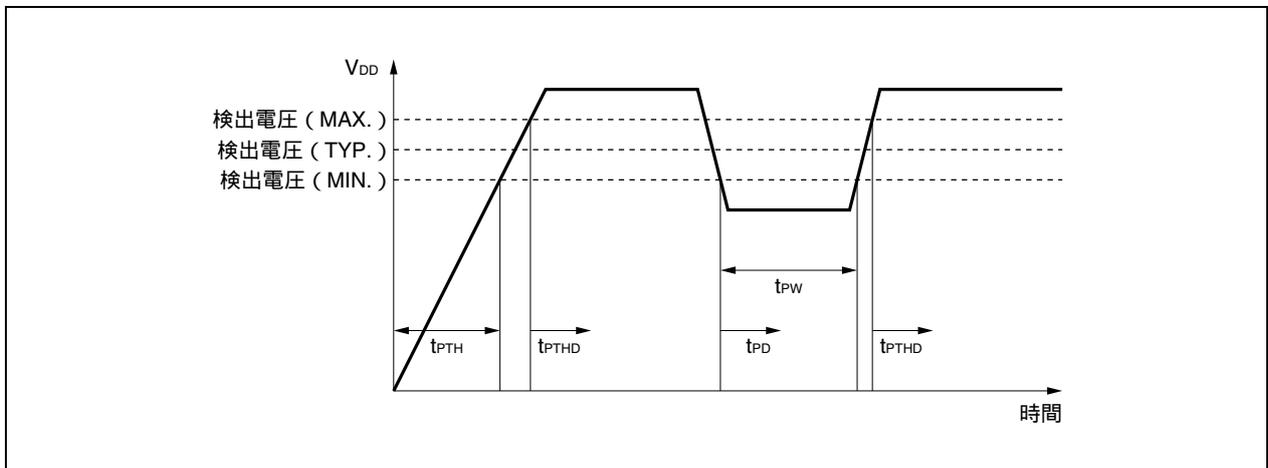
備考 FSR : Full Scale Range

(9) POC回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POCO}		3.3	3.5	3.7	V
電源立ち上げ時間	t_{PTH}	$V_{DD} = 0\text{ V}$ 3.3 V	0.002			ms
応答ディレイ時間 ^{注1}	t_{PTHD}	電源立ち上げ時, V_{DD} が3.7 Vに達したあと			2.0	ms
応答ディレイ時間 ^{注2}	t_{PD}	電源降下時, V_{DD} が3.3 Vを下まわったあと			1.0	ms
最小 V_{DD} 幅	t_{PW}		0.2			ms

- 注1. 検出電圧を検出してからリセットを解除するまでの時間。
 2. 検出電圧を検出してからリセットを出力するまでの時間。

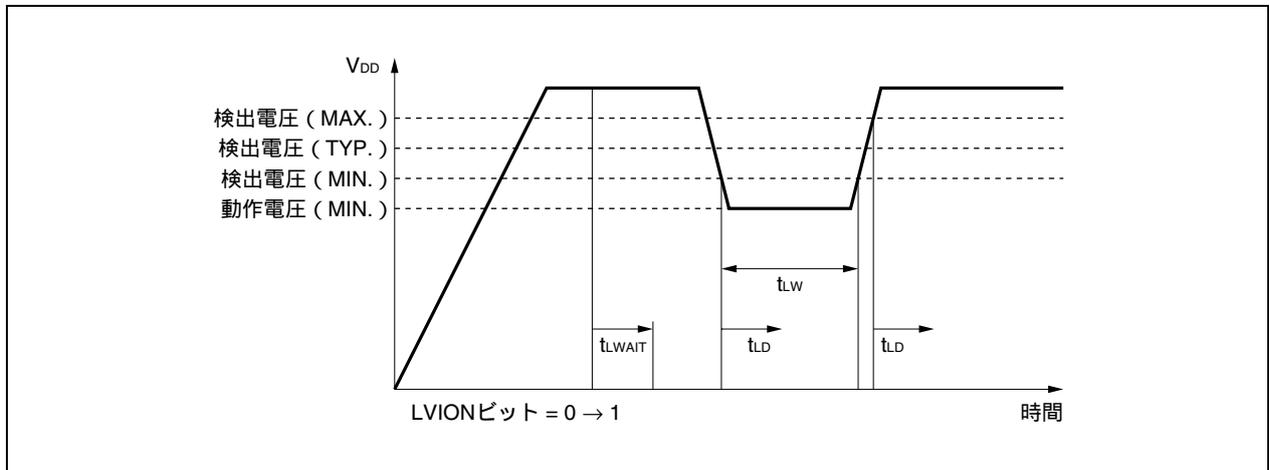


(10) LVI回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.3 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{LVI0}		3.8	4.0	4.2	V
	V_{LVI1}		3.5	3.7	3.9	V
応答時間 ^注	t_{LD}	V_{DD} が V_{LVI0} , V_{LVI1} (MAX.) に達したあと, V_{DD} が V_{LVI0} , V_{LVI1} (MIN.) を下まわったあと		0.2	2.0	ms
最小 V_{DD} 幅	t_{LW}		0.2			ms
基準電圧安定待ち時間	t_{LWAIT}	LVIONビット (LVIM.bit7) = 0 → 1 となったあと		0.1	0.2	ms

注 検出電圧を検出して割り込み/リセットを出力するまでの時間。

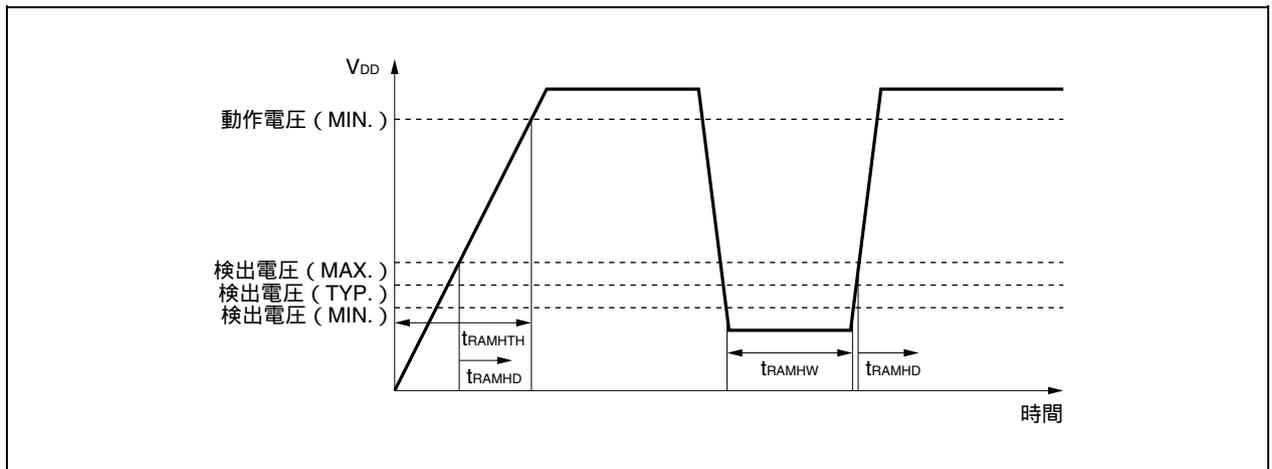


(11) RAM保持フラグ特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = 1.9 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{RAMH}		1.9	2.0	2.1	V
電源電圧立ち上がり時間	t_{RAMHTH}	$V_{DD} = 0 \text{ V}$ 3.3 V	0.002		1800	ms
応答時間注	t_{RAMHD}	電源電圧が検出電圧 (MAX.) に達したあと		0.2	2.0	ms
最小 V_{DD} 幅	t_{RAMHW}		0.2			ms

注 検出電圧を検出してRAMビットをセットするまでの時間。



30.9 フラッシュ・メモリ・プログラミング特性

(1) 基本特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD}$, 4.0 V AV_{REF0} 5.5 V, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f_{CPU}		4		32	MHz
電源電圧	V_{DD}		3.8		5.5	V
書き込み回数	C_{WRT} ^注				100	回
ハイ・レベル入力電圧	V_{IH}	FLMD0	0.8 EV_{DD}		EV_{DD}	V
ロウ・レベル入力電圧	V_{IL}	FLMD0	EV_{SS}		0.2 EV_{DD}	V
プログラミング温度	t_{PRG}		- 40		+ 85	

注 出荷品に対する初回書き込み時では、「消去 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

例 P : 書き込み E : 消去

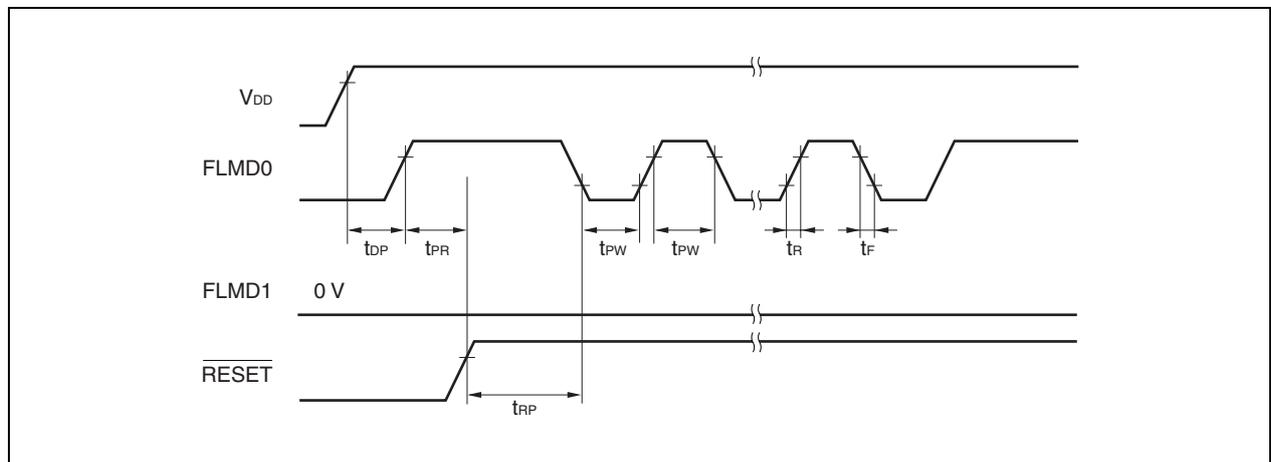
出荷品 P E P E P : 書き換え回数3回

出荷品 E P E P E P : 書き換え回数3回

(2) シリアル書き込みオペレーション特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD}$, 4.0 V AV_{REF0} 5.5 V, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
V_{DD} FLMD0 セットアップ時間	t_{DP}		1			ms
FLMD0 RESET解除時間	t_{PR}		2			ms
RESET FLMD0パルス入力開始時間	t_{RP}		800			μs
FLMD0パルス・ハイ・レベル幅 / ロウ・レベル幅	t_{PW}		10		100	μs
FLMD0立ち上がり時間	t_r				1	μs
FLMD0立ち下がり時間	t_f				1	μs



第31章 電気的特性 (V850ES/HG3)

31.1 絶対最大定格

絶対最大定格 (T_A = 25°C) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}	V _{DD} = EV _{DD} = BV _{DD}	- 0.5 ~ + 6.5	V
	BV _{DD}	V _{DD} = EV _{DD} = BV _{DD}	- 0.5 ~ + 6.5	V
	EV _{DD}	V _{DD} = EV _{DD} = BV _{DD}	- 0.5 ~ + 6.5	V
	AV _{REF0}		- 0.5 ~ + 6.5	V
	V _{SS}	V _{SS} = EV _{SS} = BV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V
	AV _{SS}	V _{SS} = EV _{SS} = BV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V
	BV _{SS}	V _{SS} = EV _{SS} = BV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V
	EV _{SS}	V _{SS} = EV _{SS} = BV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V
入力電圧	V _{I1}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915, RESET, FLMD0	- 0.5 ~ EV _{DD} + 0.5 ^注	V
	V _{I2}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	- 0.5 ~ BV _{DD} + 0.5 ^注	V
	V _{I3}	X1, X2, XT1, XT2	- 0.5 ~ V _{RO} + 0.5	V
アナログ入力電圧	V _{IAN}	P70-P715	- 0.5 ~ AV _{REF0} + 0.5 ^注	V

注 それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

- 注意1. IC製品の出力 (または入出力) 端子同士を直結したり、V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。
2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。
- DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです。

絶対最大定格 (TA = 25°C) (2/2)

項目	略号	条件	定格	単位			
ロウ・レベル出力電流	I _{OL}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915	1端子	4	mA		
			全端子合計	50	mA		
		P70-P715	1端子	4	mA		
			全端子合計	20	mA		
		PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	1端子	4	mA		
			全端子合計	50	mA		
		ハイ・レベル出力電流	I _{OH}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915	1端子	- 4	mA
					全端子合計	- 50	mA
P70-P715	1端子			- 4	mA		
	全端子合計			- 20	mA		
PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	1端子			- 4	mA		
	全端子合計			- 50	mA		
動作周囲温度	T _A			通常動作モード	- 40 ~ + 85	°C	
				フラッシュ・メモリ・プログラミング・モード			
保存温度	T _{stg}		- 40 ~ + 125	°C			

注意1. IC製品の出力（または入出力）端子同士を直結したり、V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。

DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです。

31.2 容 量

($T_A = 25^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = BV_{DD} = V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入出力容量	C_{IO}	$f_x = 1\text{ MHz}$, 被測定端子以外は0 V			10	pF

31.3 動作条件

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD}, 4.0\text{ V}$ $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C = 4.7\ \mu\text{F}$)

内部システム・クロック周波数	条 件	電源電圧		単 位
		V_{DD}, EV_{DD}, BV_{DD}	AV_{REF0}	
4 MHz f_{XX} 32 MHz		4.0 ~ 5.5	4.0 ~ 5.5	V
4 MHz f_{XX} 20 MHz	ADコンバータ動作	3.7 ~ 5.5	4.0 ~ 5.5	V
	ADコンバータ停止	3.7 ~ 5.5	3.7 ~ 5.5	V
32 kHz f_{XT} 35 kHz		3.7 ~ 5.5	3.7 ~ 5.5	V
$f_{RL} = 240\text{ kHz}$ (TYP.)		3.7 ~ 5.5	3.7 ~ 5.5	V
$f_{RH} = 8\text{ MHz}$ (TYP.)	ADコンバータ動作	3.7 ~ 5.5	4.0 ~ 5.5	V
	ADコンバータ停止	3.7 ~ 5.5	3.7 ~ 5.5	V

31.4 発振回路特性

31.4.1 メイン・クロック発振回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.3 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位	
セラミック 発振子 / 水晶振動子		発振周波数 (f_x) ^{注1}		4		16	MHz	
		発振安定時間 ^{注2}	STOP	PLL停止時	54 ^{注3}	注4		μs
			モード	PLL動作時	1600 ^{注5}	注4		μs
				解除後	SSCG動作時	2000 ^{注6}	注4	
			IDLE2	PLL停止時	54 ^{注3}	注4		μs
				モード	PLL動作時	800 ^{注5}	注4	
			解除後		SSCG動作時	1000 ^{注6}	注4	

注1. 発振回路の特性だけを示すものです。

2. 発振子が発振を開始してから安定するまでの時間です
3. 内蔵フラッシュ・メモリへのアクセスが安定するまでの時間です。
4. OSTSレジスタの設定によって値が異なります。
5. PLLのロックアップ時間です。
6. SSCGのロックアップ時間です。

注意1. メイン・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. メイン・クロックを停止させサブクロックで動作させているときに、再度メイン・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。
3. 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

(i) 京セラキンセキ株式会社：水晶振動子 ($T_A = -10 \sim +70$)

タイプ	回路例	品名	発振周波数 fx (MHz)	推奨回路定数		
				C1 (pF)	C2 (pF)	Rd (Ω)
リード		HC49SFWB06000D0PESZZ	6.000	8	8	0
		HC49SFWB08000D0PESZZ	8.000	8	8	0
HC49SFWB10000D0PESZZ		10.000	8	8	0	
表面実装		HC49GFWB06000D0PESZZ	6.000	8	8	0
		CX1255GB06000D0PESZZ	6.000	8	8	0
		CX8045GB06000D0PESZZ	6.000	8	8	0
		HC49GFWB08000D0PESZZ	8.000	8	8	0
		CX1255GB08000D0PESZZ	8.000	8	8	0
		CX8045GB08000D0PESZZ	8.000	8	8	0
		CX5032GB08000D0PESZZ	8.000	8	8	0
		HC49GFWB10000D0PESZZ	10.000	8	8	0
		CX1255GB10000D0PESZZ	10.000	8	8	0
		CX8045GB10000D0PESZZ	10.000	8	8	0
		CX5032GB10000D0PESZZ	10.000	8	8	0

注意 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。
また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850ES/HG3の内部動作条件についてはAC, DC特性の規格内で使用してください。

31.4.2 サブクロック発振回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.3 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f_{XT}) ^{注1}		32	32.768	35	kHz
		発振安定時間 ^{注2}				10	s

注1. 発振回路の特性だけを示すものです。CPU動作クロックについては、31.7 AC特性を参照してください。

2. V_{DD} が発振電圧範囲 (MIN.: 3.3 V) に達してから発振が安定するまでの時間です。

注意1. サブクロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
 - ・大電流が流れるグランド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
2. サブクロック発振回路は、低消費電流にするため増幅度の低い回路になっており、ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって、サブクロックを使用する場合は、配線方法について特に注意してください。
3. 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

31.4.3 PLL特性

(TA = -40 ~ +85°C, VDD = EVDD = BVDD = 3.3 V ~ 5.5 V, 4.0 V AVREF0 5.5 V, VSS = EVSS = BVSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	fx		6		12	MHz
出力周波数	fx		12		32	MHz
ロック時間	tPLL	VDDがMIN.: 3.3 Vに達したあと			800	μs

31.4.4 SSCG特性

(TA = -40 ~ +85°C, VDD = EVDD = BVDD = 3.3 V ~ 5.5 V, 4.0 V AVREF0 5.5 V, VSS = EVSS = BVSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	fx		4		16	MHz
出力周波数 ^注	fx		12		32	MHz
ロック時間	tSSCG	VDDがMIN.: 3.3 Vに達したあと			1000	μs

注 SSCG出力周波数は、変調しない場合の特性を示しています。変調した場合の動作周波数は、SFC1.SFC16-SFC14ビットの設定により、次のようになります。動作周波数に変調率のMAX.値を考慮した最大動作周波数が32 MHzを越えないようにしてください。

SFC1.SFC16-SFC14	変調率		動作周波数
	TYP.	MAX.	
000B	±0.5 %	±2.0 %	31.3 MHz
001B	±1.0 %	±2.5 %	31.2 MHz
010B	±2.0 %	±4.0 %	30.7 MHz
011B	±3.0 %	±6.0 %	30.0 MHz
100B	±4.0 %	±8.0 %	29.4 MHz
101B	±5.0 %	±10.0 %	28.8 MHz

31.4.5 低速内蔵発振器 / 高速内蔵発振器特性

(TA = -40 ~ +85°C, VDD = EVDD = BVDD = 3.3 V ~ 5.5 V, 4.0 V AVREF0 5.5 V, VSS = EVSS = BVSS = AVSS = 0 V)

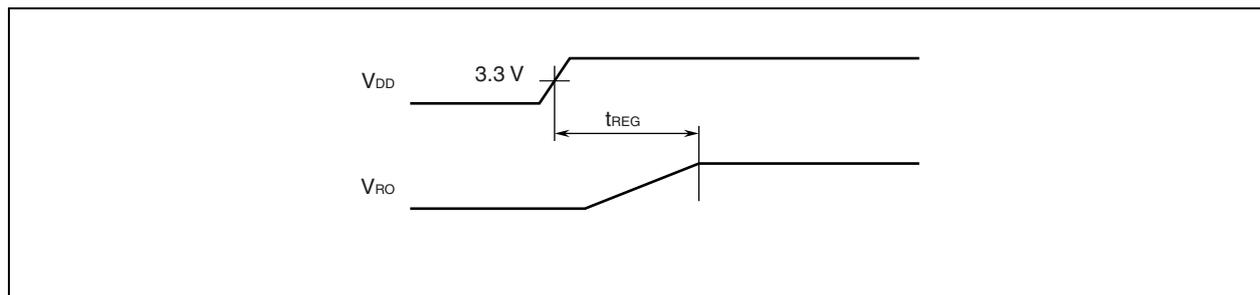
項目	略号	条件	MIN.	TYP.	MAX.	単位
出力周波数	f _{RL}	低速内蔵発振器	204	240	276	kHz
	f _{RH}	高速内蔵発振器	7.2	8.0	8.8	MHz
発振安定時間		高速内蔵発振器動作時			256	μs

31.5 電圧レギュレータ特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	V_{DD}		3.3		5.5	V
出力電圧	V_{RO}			2.5		V
出力電圧安定時間	t_{REG}	V_{DD} がMIN.: 3.3 Vに達したあと REGC端子に $C = 4.7\ \mu\text{F}$ を接続			1	ms

備考 t_{REG} はPOC機能により確保されます。そのあと、リセットが解除されます。



31.6 DC特性

31.6.1 入出力レベル

(TA = -40 ~ +85°C, V_{DD} = EV_{DD} = BV_{DD} = 3.3 V ~ 5.5 V, 4.0 V AV_{REF0} 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V)

(1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IH1}	P04, P30, P31, P34, P36-P39, P40, P91, P911, P913-P915	0.7EV _{DD}		EV _{DD}	V
	V _{IH2}	P00-P03, P05, P06, P10, P11, P32, P33, P35, P41 P42, P50-P55, P90, P92-P910, P912	0.8EV _{DD}		EV _{DD}	V
		PDL0-PDL13	0.8BV _{DD}		BV _{DD}	V
	V _{IH3}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6	0.7BV _{DD}		BV _{DD}	V
	V _{IH4}	P70-P715	0.7AV _{REF0}		AV _{REF0}	V
	V _{IH5}	RESET, FLMD0	0.8EV _{DD}		EV _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	P04, P30, P31, P34, P36-P39, P40, P91, P911, P913-P915	EV _{SS}		0.3EV _{DD}	V
	V _{IL2}	P00-P03, P05, P06, P10, P11, P32, P33, P35, P41 P42, P50-P55, P90, P92-P910, P912	EV _{SS}		0.4EV _{DD}	V
		PDL0-PDL13	BV _{SS}		0.4BV _{DD}	V
	V _{IL3}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6	BV _{SS}		0.3BV _{DD}	V
	V _{IL4}	P70-P715	AV _{SS}		0.3AV _{REF0}	V
	V _{IL5}	RESET, FLMD0	EV _{SS}		0.2EV _{DD}	V

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです。

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.3\text{ V} \sim 5.5\text{ V}, 4.0\text{ V}$ $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$)

(2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧 ^{注1}	V _{OH1}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915	I _{OH} = -1.0 mA		EV _{DD} - 1.0	EV _{DD}	V
			I _{OH} = -0.1 mA		EV _{DD} - 0.5	EV _{DD}	V
	V _{OH2}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	I _{OH} = -1.0 mA		BV _{DD} - 1.0	BV _{DD}	V
			I _{OH} = -0.1 mA		BV _{DD} - 0.5	BV _{DD}	V
	V _{OH3}	P70-P715	I _{OH} = -1.0 mA		AV _{REF0} - 1.0	AV _{REF0}	V
			I _{OH} = -0.1 mA		AV _{REF0} - 0.5	AV _{REF0}	V
ロウ・レベル出力電圧 ^{注1}	V _{OL1}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P913	I _{OL} = 1.0 mA		0	0.4	V
		P914, P915	I _{OL} = 3.0 mA		0	0.4	V
	V _{OL2}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL13	I _{OL} = 1.0 mA		0	0.4	V
	V _{OL3}	P70-P715	I _{OL} = 1.0 mA		0	0.4	V
	プルアップ抵抗	R ₁	V _i = 0 V		10	30	100
プルダウン抵抗 ^{注2}	R ₂	V _i = V _{DD}		10	30	100	kΩ

注1. I_{OH}/I_{OL}の合計の最大値は、各電源 (EV_{DD}, BV_{DD}, AV_{REF0}) ごとに20 mA/-20 mAです。

2. DRST端子のみ。

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです。

31.6.2 端子リーク電流

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.3\text{ V} \sim 5.5\text{ V}, 4.0\text{ V}$ $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I _{LIH1}	V _{IN} = V _{DD}	アナログ端子		0.2	μA
			FLMDO端子		2.0	
			上記端子以外		0.5	
ロウ・レベル入力リーク電流	I _{LIL1}	V _{IN} = 0 V	アナログ端子		- 0.2	μA
			FLMDO端子		- 2.0	
			上記端子以外		- 0.5	
ハイ・レベル出力リーク電流	I _{LOH1}	V _O = V _{DD}	アナログ端子		0.2	μA
			アナログ端子以外		0.5	
ロウ・レベル出力リーク電流	I _{LOL1}	V _O = 0 V	アナログ端子		- 0.2	μA
			アナログ端子以外		- 0.5	

31.6.3 電源電流

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$)

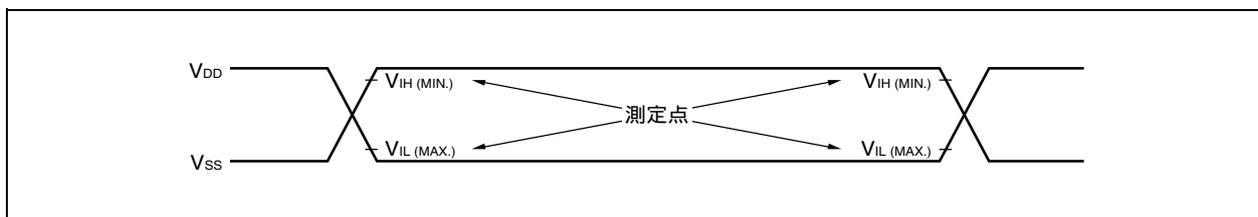
項目	略号	条件			MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD1	通常動作モード ^{注2}	PLL動作	$f_{xx} = 32\text{ MHz}$	全周辺機能動作		40	53	mA
				($f_x = 8\text{ MHz}$)	全周辺機能停止		32		mA
			PLL動作	$f_{xx} = 20\text{ MHz}$	全周辺機能動作		28	38	mA
				($f_x = 10\text{ MHz}$)	全周辺機能停止		22		mA
			PLL停止	$f_{xx} = 16\text{ MHz}$	全周辺機能動作		22	30	mA
				($f_x = 16\text{ MHz}$)	全周辺機能停止		19		mA
	IDD2	HALTモード ^{注2}	PLL動作	$f_{xx} = 32\text{ MHz}$	全周辺機能動作		27	39	mA
				($f_x = 8\text{ MHz}$)	全周辺機能停止		18		mA
			PLL動作	$f_{xx} = 20\text{ MHz}$	全周辺機能動作		18	26	mA
				($f_x = 10\text{ MHz}$)	全周辺機能停止		12		mA
			PLL停止	$f_{xx} = 16\text{ MHz}$	全周辺機能動作		13	20	mA
				($f_x = 16\text{ MHz}$)	全周辺機能停止		9		mA
	IDD3	IDLE1モード	PLL停止 ^{注3}	$f_{xx} = 16\text{ MHz}$ ($f_x = 16\text{ MHz}$)	TAA, UARTD動作		3.3	4.7	mA
					全周辺機能停止		1.6		mA
$f_{xx} = 8\text{ MHz}$ ($f_x = 8\text{ MHz}$)				TAA, UARTD動作		2.1	3.0	mA	
				全周辺機能停止		1.3		mA	
$f_{xx} = \text{高速内蔵発振}$ (f_{RH}) ^{注4}			TAA, UARTD動作		1.5	2.3	mA		
			全周辺機能停止		1.1		mA		
IDD4	IDLE2モード	PLL停止 ^{注3}	$f_{xx} = 16\text{ MHz}$ ($f_x = 16\text{ MHz}$)		0.8	1.2	mA		
			$f_{xx} = 8\text{ MHz}$ ($f_x = 8\text{ MHz}$)		0.5	0.8	mA		
		$f_{xx} = \text{高速内蔵発振}$ (f_{RH}) ^{注4}		0.2	0.5	mA			
IDD5	サブクロック動作モード ^{注4,5}	水晶発振子 ($f_{XT} = 32.768\text{ kHz}$)		80	400	μA			
IDD6	サブIDLEモード ^{注4,5}	水晶発振子 ($f_{XT} = 32.768\text{ kHz}$)		20	190	μA			
IDD7	STOPモード ^{注4,6}	低速内蔵発振 (f_{RL}) 動作				18.5	100	μA	
		低速内蔵発振 (f_{RL}) 停止				10.5	85	μA	

注1. V_{DD} , EV_{DD} , BV_{DD} の電流の合計です(全ポート停止時)。 AV_{REF0} の電流, 内蔵プルアップ/プルダウン抵抗を通過する電流を含むポート・バッファの電流は含みません。

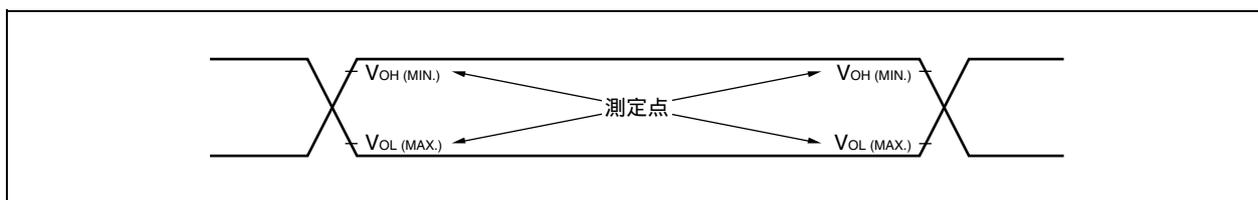
- SSCG動作時は, TYP.値に + 2.5mA, MAX.値に + 4 mAを加算してください。
- 高速内蔵発振回路 (f_{RH}) 停止時。
- メイン・クロック発振回路 (f_{xx}) 停止時。
- 低速内蔵発振回路 (f_{RL}) 動作, 高速内蔵発振回路 (f_{RH}) 停止
- サブクロック発振回路 (f_{XT}) 未使用時。

31.7 AC特性

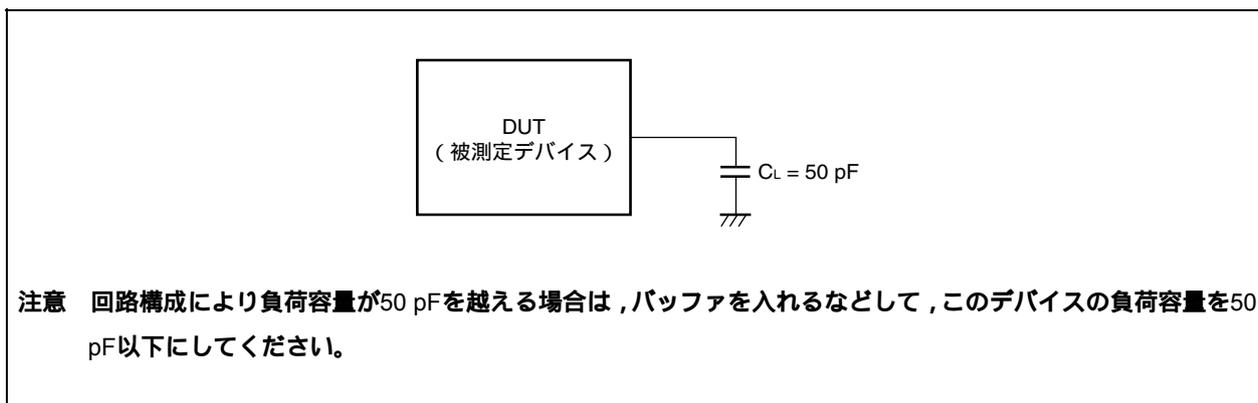
(1) ACテスト入力測定点 (V_{DD} , AV_{REF0} , EV_{DD} , BV_{DD})



(2) ACテスト出力測定点



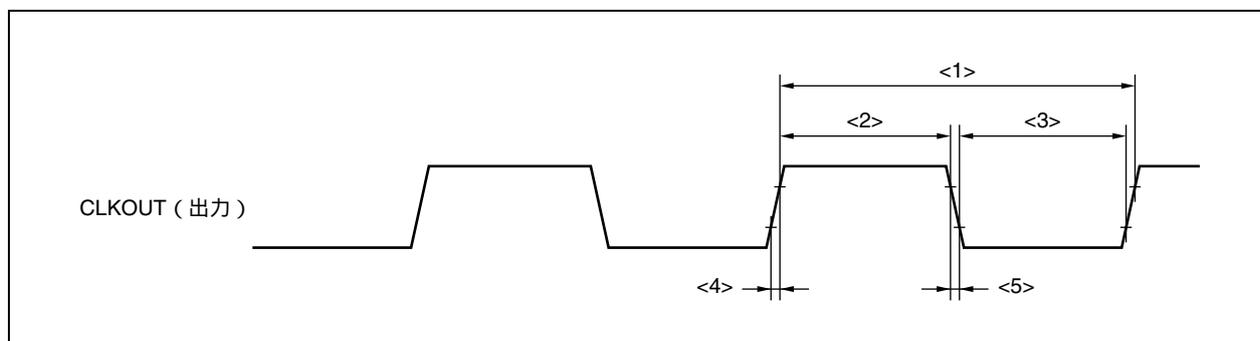
(3) 負荷条件



31.7.1 CLKOUT出力タイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$,
 $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
出力周期	t_{CYK}	<1> $V_{DD} = EV_{DD} = BV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$	50 ns	$80\ \mu\text{s}$	
		$V_{DD} = EV_{DD} = BV_{DD} = 4.0\text{ V} \sim 5.5\text{ V}$	31.25 ns	$80\ \mu\text{s}$	
ハイ・レベル幅	t_{WKH}	<2> $V_{DD} = EV_{DD} = BV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$	$t_{CYK}/2 - 15$		ns
		$V_{DD} = EV_{DD} = BV_{DD} = 4.0\text{ V} \sim 5.5\text{ V}$	$t_{CYK}/2 - 13$		ns
ロウ・レベル幅	t_{WKL}	<3> $V_{DD} = EV_{DD} = BV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$	$t_{CYK}/2 - 15$		ns
		$V_{DD} = EV_{DD} = BV_{DD} = 4.0\text{ V} \sim 5.5\text{ V}$	$t_{CYK}/2 - 13$		ns
立ち上がり時間	t_{KR}	<4> $V_{DD} = EV_{DD} = BV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$		15	ns
		$V_{DD} = EV_{DD} = BV_{DD} = 4.0\text{ V} \sim 5.5\text{ V}$		13	ns
立ち下がり時間	t_{KF}	<5> $V_{DD} = EV_{DD} = BV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$		15	ns
		$V_{DD} = EV_{DD} = BV_{DD} = 4.0\text{ V} \sim 5.5\text{ V}$		13	ns



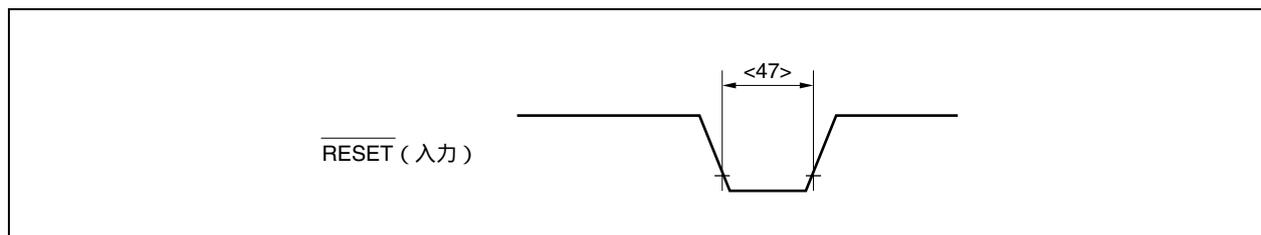
31.8 基本動作

(1) リセットタイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.3\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
RESET口ウ・レベル幅	t_{WRSL} <47>		250		ns

リセット



(2) 割り込みタイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

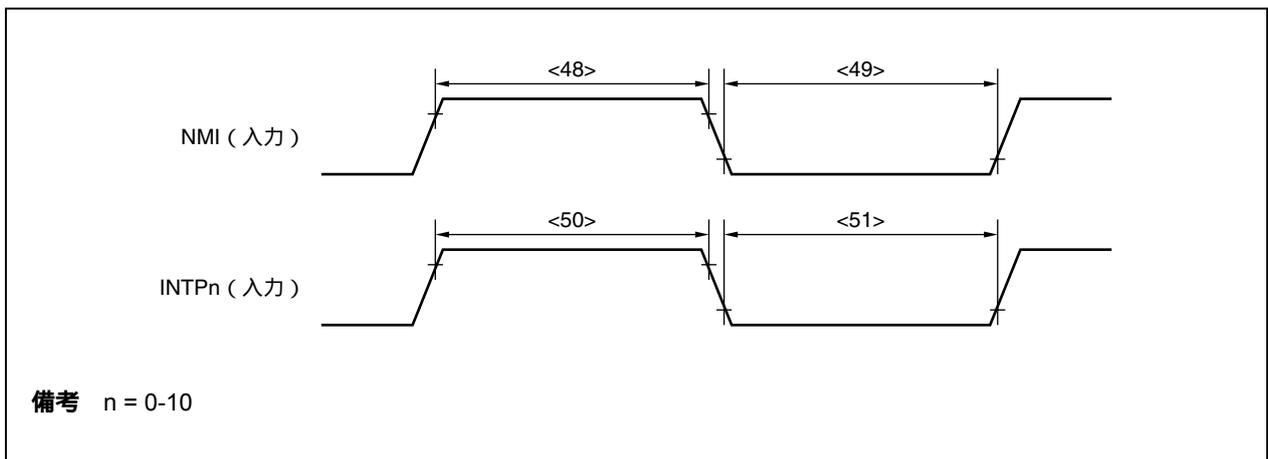
項目	略号	条件	MIN.	MAX.	単位
NMIハイ・レベル幅	t_{WNIH}	<48> アナログ・ノイズ除去	250		ns
NMIロウ・レベル幅	t_{WNIL}	<49> アナログ・ノイズ除去	250		ns
INTPn ^{注1} ハイ・レベル幅	t_{WITH}	<50> アナログ・ノイズ除去 (n = 0-10)	250		ns
		デジタル・ノイズ除去 (n = 3)	注2		ns
INTPn ^{注1} ロウ・レベル幅	t_{WITL}	<51> アナログ・ノイズ除去 (n = 0-10)	250		ns
		デジタル・ノイズ除去 (n = 3)	注2		ns

注1. ADTRG端子は、INTP0/P03端子と同じ値です。DRST端子は、INTP02/P05端子と同じ値です。

2. $2T_{\text{samp}} + 20$ または $3T_{\text{samp}} + 20$

T_{samp} : ノイズ除去用サンプリング・クロック

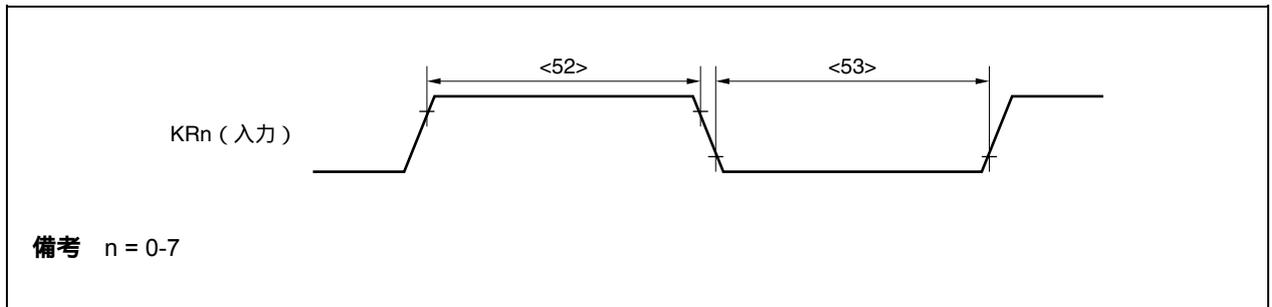
リセット/割り込み



(3) キー割り込みタイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.7 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
KRn入力ハイ・レベル幅	t_{WKRH}	<52>	250		ns
KRn入力ロウ・レベル幅	t_{WKRL}	<53>			

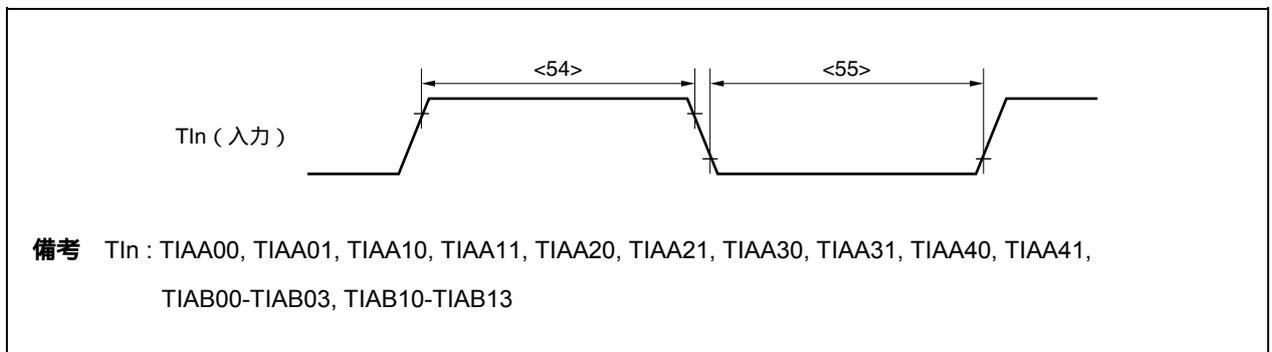


(4) タイマ入力タイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.7 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
TInハイ・レベル幅	t_{TIH}	<54>	250		ns
TInロウ・レベル幅	t_{TIL}	<55>			
TOn出力周期	f_{TCYK}	TOAA00, TOAA01, TOAA10, TOAA11, TOAA20, TOAA21, TOAA30, TOAA31, TOAA40, TOAA41, TOAB00-TIAB03, TOAB10-TIAB13 [※]	4.0 V $V_{DD} = 5.5 \text{ V}$	16	MHz
			3.7 V $V_{DD} < 4.0 \text{ V}$	10	MHz

注 TIAA00, TIAA10, TIAA20, TIAA30, TIAB00, TIAB10端子はキャプチャ入力時のみノイズ除去が有効。
外部トリガ時, 外部イベント・カウンタ時はノイズ除去は無効。



(5) CSIBタイミング

(a) マスタ・モード

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
SCKBn サイクル・タイム	t _{KCY1}	<56>	125		ns
SCKBn ハイ・レベル幅	t _{KH1}	<57>	t _{KCY1} /2 - 15		ns
SCKBn ロウ・レベル幅	t _{KL1}	<58>	t _{KCY1} /2 - 15		ns
SIBn セットアップ時間 (対 SCKBn)	t _{SIK1}	<59>	30		ns
SIBn ホールド時間 (対 SCKBn)	t _{KSI1}	<60>	25		ns
SCKBn SOBn 出力遅延時間	t _{KSO1}	<61>		25	ns

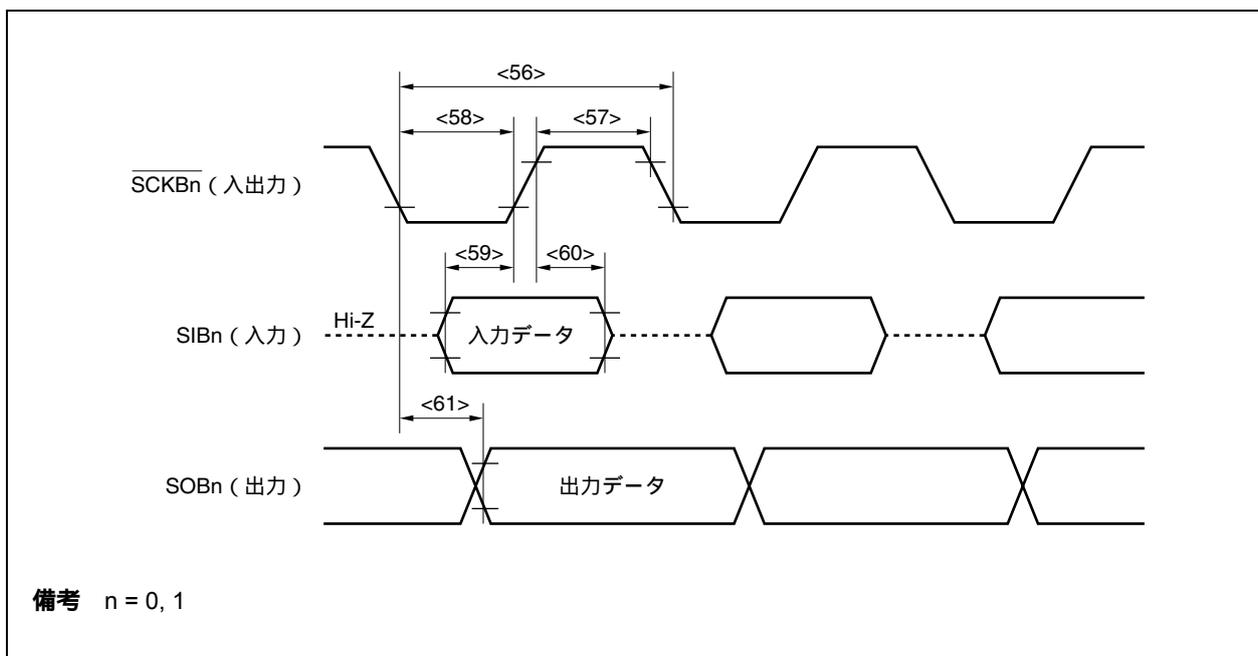
備考 n = 0, 1

(b) スレーブ・モード

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
SCKBn サイクル・タイム	t _{KCY1}	<56>	200		ns
SCKBn ハイ・レベル幅	t _{KH1}	<57>	90		ns
SCKBn ロウ・レベル幅	t _{KL1}	<58>	90		ns
SIBn セットアップ時間 (対 SCKBn)	t _{SIK1}	<59>	50		ns
SIBn ホールド時間 (対 SCKBn)	t _{KSI1}	<60>	50		ns
SCKBn SOBn 出力遅延時間	t _{KSO1}	<61>		50	ns

備考 n = 0, 1



(6) UARTD タイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.7 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
通信レート				1.5	Mbps
ASCK0 サイクル・タイム				10	MHz

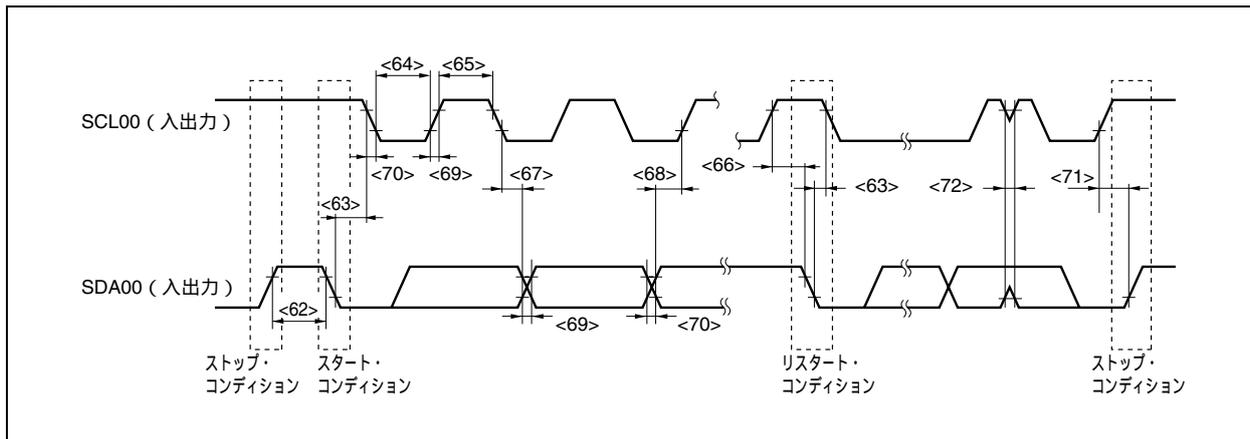
(7) I²C タイミング

(T_A = -40 ~ +85 , V_{DD} = V_{DD1} = EV_{DD} = BV_{DD} = 3.7 V ~ 5.5 V, 4.0 V AV_{REF0} 5.5 V, V_{SS} = V_{SS1} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V)

項目	略号		標準モード		高速モード		単位	
			MIN.	MAX.	MIN.	MAX.		
SCL00クロック周波数	f _{CLK}		0	100	0	400	kHz	
バス・フリー・タイム (ストップ・スタート・コンディション間)	t _{BUF}	<62>	4.7	-	1.3	-	μs	
ホールド時間 ^{注1}	t _{HD:STA}	<63>	4.0	-	0.6	-	μs	
SCL00クロックのロウ・レベル幅	t _{LOW}	<64>	4.7	-	1.3	-	μs	
SCL00クロックのハイ・レベル幅	t _{HIGH}	<65>	4.0	-	0.6	-	μs	
スタート/リスタート・コンディションのセットアップ時間	t _{SU:STA}	<66>	4.7	-	0.6	-	μs	
データ・ホールド時間	CBUS互換マスタの場合 I ² Cモードの場合	t _{HD:DAT}	<67>	5.0	-	-	-	μs
				0 ^{注2}	-	0 ^{注2}	0.9 ^{注3}	μs
データ・セットアップ時間	t _{SU:DAT}	<68>	250	-	100 ^{注4}	-	ns	
SDA00およびSCL00信号の立ち上がり時間	t _R	<69>	-	1000	20 + 0.1Cb ^{注5}	300	ns	
SDA00およびSCL00信号の立ち下がり時間	t _F	<70>	-	300	20 + 0.1Cb ^{注5}	300	ns	
ストップ・コンディションのセットアップ時間	t _{SU:STO}	<71>	4.0	-	0.6	-	μs	
入力フィルタによって抑制されるスパイクのパルス幅	t _{SP}	<72>	-	-	0	50	ns	
各バス・ラインの容量性負荷	Cb		-	400	-	400	pF	

- 注1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。
2. 装置は、SCL00の立ち下がり端の未定義領域を埋めるために (SCL00信号のV_{IHmin}.での) SDA00信号用に最低 300 nsのホールド時間を内部的に提供する必要があります。
3. 装置がSCL00信号のロウ・ホールド時間 (t_{LOW}) を延長しない場合は、最大データ・ホールド時間 (t_{HD:DAT}) のみ満たすことが必要です。
4. 高速モードI²Cバスは、標準モードI²Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。
- ・装置がSCL00信号のロウ状態ホールド時間を延長しない場合
t_{SU:DAT} 250 ns
 - ・装置がSCL00信号のロウ状態ホールド時間を延長する場合
SCL00ラインが解放される (t_{Rmax}. + t_{SU:DAT} = 1000 + 250 = 1250 ns : 標準モードI²Cバス仕様) 前に、次のデータ・ビットをSDA00ラインに送出してください。
5. Cb : 1つのバス・ラインの合計キャパシタンス (単位 : pF)

I²Cバス・モード



(8) A/Dコンバータ

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$,
 $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					10	bit
総合誤差 ^注		4.0 AV_{REF0} 5.5 V		± 0.15	± 0.3	%FSR
変換時間	t _{CONV}		3.1		16	μs
安定時間	t _{STA}	ADA0M0.ADA0PSビット = 0 1としたあと	2			μs
パワーダウン復帰時間	t _{DPU}	STOPモード解除後の動作開始	1			μs
ゼロスケール誤差 ^{注1}	ZSE				± 0.3	%FSR
フルスケール誤差 ^{注1}	FSE				± 0.3	%FSR
積分非直線性誤差 ^{注2}	INL				± 2.5	LSB
微分非直線性誤差 ^{注2}	DNL				± 1.5	LSB
アナログ入力電圧	V _{IAN}		AV_{SS}		AV_{REF0}	V
AV_{REF0} 電流	I _{A$REF0$}	A/Dコンバータ使用時		4	7	mA
		A/Dコンバータ未使用時		1	10	μA

注 量子化誤差 ($\pm 0.05\%$ FSR) は含みません。フルスケール値に対する比率 (%FSR) で表します。

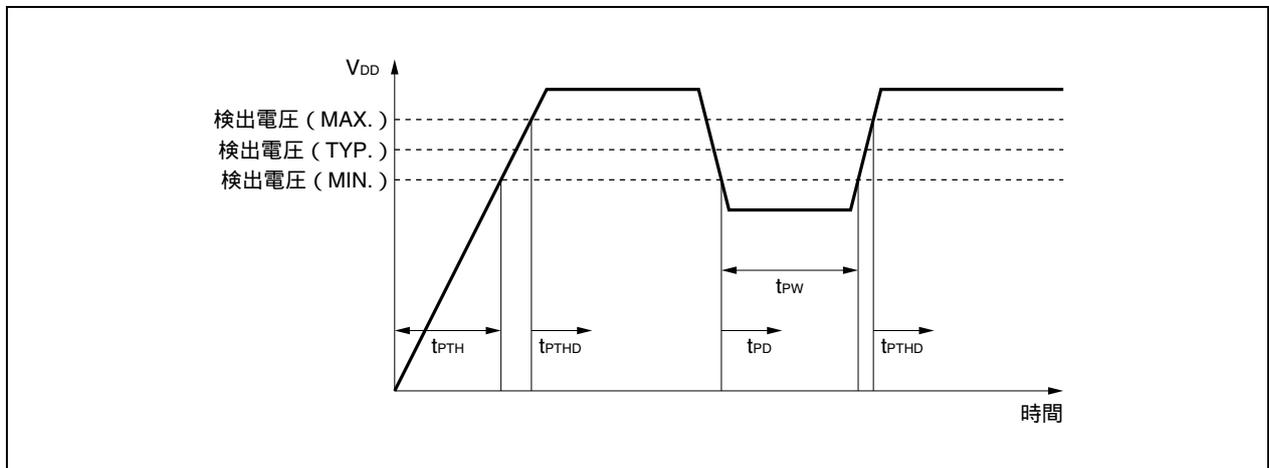
備考 FSR : Full Scale Range

(9) POC回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POCO}		3.3	3.5	3.7	V
電源立ち上げ時間	t_{PTH}	$V_{DD} = 0\text{ V}$ 3.3 V	0.002			ms
応答ディレイ時間 ^{注1}	t_{PTHD}	電源立ち上げ時, V_{DD} が3.7 Vに達したあと			2.0	ms
応答ディレイ時間 ^{注2}	t_{PD}	電源降下時, V_{DD} が3.3 Vを下まわったあと			1.0	ms
最小 V_{DD} 幅	t_{PW}		0.2			ms

- 注1. 検出電圧を検出してからリセットを解除するまでの時間。
 2. 検出電圧を検出してからリセットを出力するまでの時間。

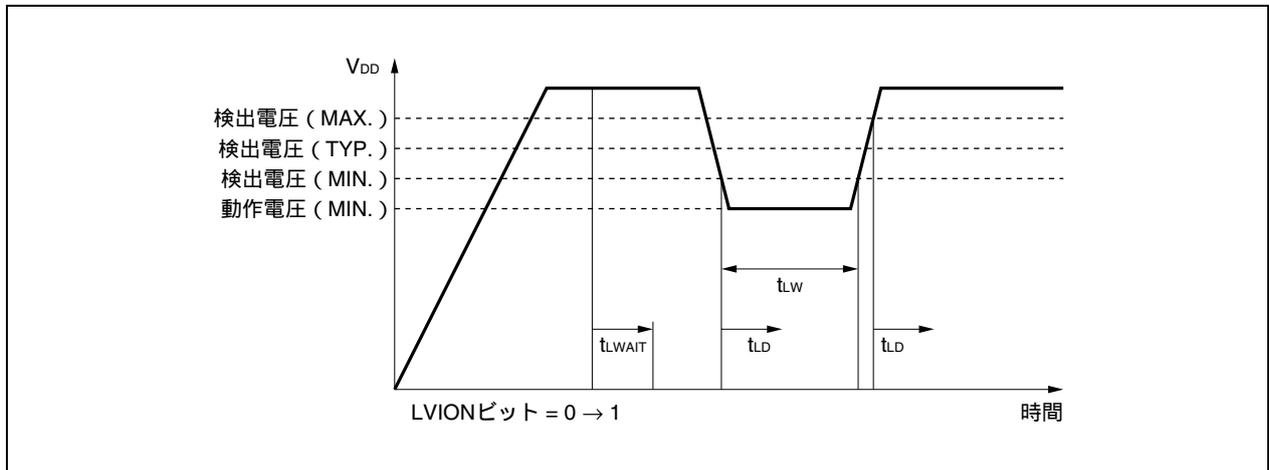


(10) LVI回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.3\text{ V} \sim 5.5\text{ V}, 4.0\text{ V}$ $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$,
 $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{LV10}		3.8	4.0	4.2	V
	V_{LV11}		3.5	3.7	3.9	V
応答時間 ^注	t_{LD}	V_{DD} が V_{LV10} , V_{LV11} (MAX.) に達したあと, V_{DD} が V_{LV10} , V_{LV11} (MIN.) を下まわったあと		0.2	2.0	ms
最小 V_{DD} 幅	t_{LW}		0.2			ms
基準電圧安定待ち時間	t_{LWAIT}	LVIONビット(LVIM.bit7)=0 → 1 となったあと		0.1	0.2	ms

注 検出電圧を検出して割り込み/リセットを出力するまでの時間。

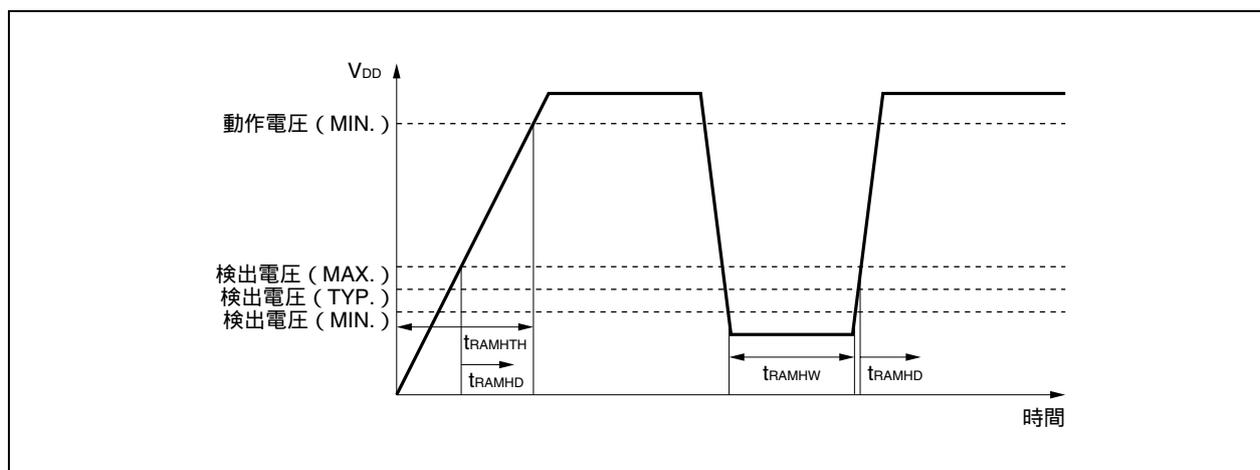


(11) RAM保持フラグ特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 1.9 \text{ V} \sim 5.5 \text{ V}, 4.0 \text{ V}$ $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$,
 $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{RAMH}		1.9	2.0	2.1	V
電源電圧立ち上がり時間	t_{RAMHTH}	$V_{DD} = 0 \text{ V} \rightarrow 3.3 \text{ V}$	0.002		1800	ms
応答時間注	t_{RAMHD}	電源電圧が検出電圧 (MAX.) に達したあと		0.2	2.0	ms
最小 V_{DD} 幅	t_{RAMHW}		0.2			ms

注 検出電圧を検出してRAMFビットをセットするまでの時間。



31.9 フラッシュ・メモリ・プログラミング特性

(1) 基本特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD}, 4.0\text{ V}$ $AV_{REF0} 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f_{CPU}		4		32	MHz
電源電圧	V_{DD}		3.8		5.5	V
書き込み回数	C_{WRT} ^注				100	回
ハイ・レベル入力電圧	V_{IH}	FLMD0	$0.8 EV_{DD}$		EV_{DD}	V
ロウ・レベル入力電圧	V_{IL}	FLMD0	EV_{SS}		$0.2 EV_{DD}$	V
プログラミング温度	t_{PRG}		- 40		+ 85	

注 出荷品に対する初回書き込み時では、「消去 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

例 P : 書き込み E : 消去

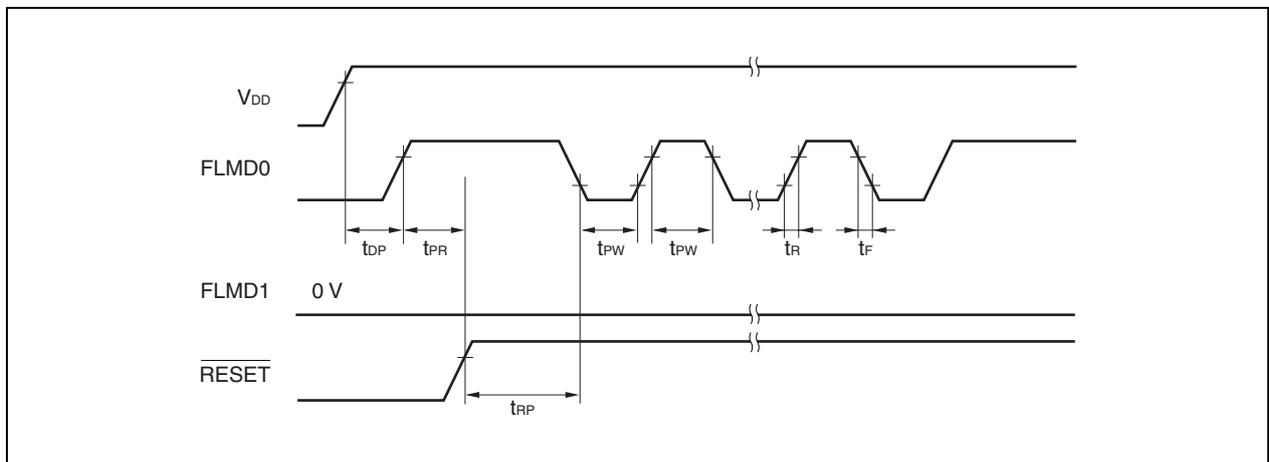
出荷品 P E P E P : 書き換え回数3回

出荷品 E P E P E P : 書き換え回数3回

(2) シリアル書き込みオペレーション特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD}, 4.0\text{ V}$ $AV_{REF0} 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
V_{DD} FLMD0 セットアップ時間	t_{DP}		1			ms
FLMD0 RESET解除時間	t_{PR}		2			ms
RESET FLMD0パルス入力開始時間	t_{RP}		800			μs
FLMD0パルス・ハイ・レベル幅 / ロウ・レベル幅	t_{PW}		10		100	μs
FLMD0立ち上がり時間	t_r				1	μs
FLMD0立ち下がり時間	t_f				1	μs



第32章 電気的特性 (V850ES/HJ3)

32.1 絶対最大定格

絶対最大定格 (T_A = 25°C) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}	V _{DD} = EV _{DD} = BV _{DD}	- 0.5 ~ + 6.5	V
	BV _{DD}	V _{DD} = EV _{DD} = BV _{DD}	- 0.5 ~ + 6.5	V
	EV _{DD}	V _{DD} = EV _{DD} = BV _{DD}	- 0.5 ~ + 6.5	V
	AV _{REF0}		- 0.5 ~ + 6.5	V
	V _{SS}	V _{SS} = EV _{SS} = BV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V
	AV _{SS}	V _{SS} = EV _{SS} = BV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V
	BV _{SS}	V _{SS} = EV _{SS} = BV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V
	EV _{SS}	V _{SS} = EV _{SS} = BV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V
入力電圧	V _{I1}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P60-P615, P80, P81, P90-P915, RESET, FLMD0	- 0.5 ~ EV _{DD} + 0.5 ^注	V
	V _{I2}	PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDL0-PDL15	- 0.5 ~ BV _{DD} + 0.5 ^注	V
	V _{I3}	X1, X2, XT1, XT2	- 0.5 ~ V _{RO} + 0.5	V
アナログ入力電圧	V _{IAN}	P70-P715, P120-P127	- 0.5 ~ AV _{REF0} + 0.5 ^注	V

注 それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

- 注意1. IC製品の出力 (または入出力) 端子同士を直結したり、V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。
2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。
- DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです。

絶対最大定格 (T_A = 25°C) (2/2)

項目	略号	条件	定格	単位			
ロウ・レベル出力電流	I _{OL}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P60-P615, P80, P81, P90-P915	1端子	4	mA		
			全端子合計	50	mA		
		P70-P715, P120-P127	1端子	4	mA		
			全端子合計	20	mA		
		PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDL0-PDL15	1端子	4	mA		
			全端子合計	50	mA		
		ハイ・レベル出力電流	I _{OH}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P60-P615, P80, P81, P90-P915	1端子	- 4	mA
					全端子合計	- 50	mA
P70-P715, P120-P127	1端子			- 4	mA		
	全端子合計			- 20	mA		
PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDL0-PDL15	1端子			- 4	mA		
	全端子合計			- 50	mA		
動作周囲温度	T _A			通常動作モード	- 40 ~ + 85	°C	
				フラッシュ・メモリ・プログラミング・モード			
保存温度	T _{stg}		- 40 ~ + 125	°C			

- 注意1. IC製品の出力（または入出力）端子同士を直結したり、V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。
2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。
- DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです。

32.2 容 量

($T_A = 25^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = BV_{DD} = V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入出力容量	C_{io}	$f_x = 1\text{ MHz}$, 被測定端子以外は0 V			10	pF

32.3 動作条件

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD}, 4.0\text{ V}$ AV_{REF0} 5.5 V , $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C = 4.7\ \mu\text{F}$)

内部システム・クロック周波数	条 件	電源電圧		単 位
		$V_{DD} = EV_{DD} = BV_{DD}$	AV_{REF0}	
4 MHz f_{xx} 32 MHz		4.0 ~ 5.5	4.0 ~ 5.5	V
4 MHz f_{xx} 20 MHz	ADコンバータ動作	3.7 ~ 5.5	4.0 ~ 5.5	V
	ADコンバータ停止	3.7 ~ 5.5	3.7 ~ 5.5	V
32 kHz f_{xT} 35 kHz		3.7 ~ 5.5	3.7 ~ 5.5	V
$f_{RL} = 240\text{ kHz}$ (TYP.)		3.7 ~ 5.5	3.7 ~ 5.5	V
$f_{RH} = 8\text{ MHz}$ (TYP.)	ADコンバータ動作	3.7 ~ 5.5	4.0 ~ 5.5	V
	ADコンバータ停止	3.7 ~ 5.5	3.7 ~ 5.5	V

32.4 発振回路特性

32.4.1 メイン・クロック発振回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.3 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位	
セラミック 発振子 / 水晶振動子		発振周波数 (f_x) ^{注1}		4		16	MHz	
		発振安定時間 ^{注2}	STOP	PLL停止時	54 ^{注3}	注4		μs
			モード	PLL動作時	1600 ^{注5}	注4		μs
				解除後	SSCG動作時	2000 ^{注6}	注4	
			IDLE2	PLL停止時	54 ^{注3}	注4		μs
				モード	PLL動作時	800 ^{注5}	注4	
			解除後		SSCG動作時	1000 ^{注6}	注4	

注1. 発振回路の特性だけを示すものです。

2. 発振子が発振を開始してから安定するまでの時間です。
3. 内蔵フラッシュ・メモリへのアクセスが安定するまでの時間です。
4. OSTSレジスタの設定によって値が異なります。
5. PLLのロックアップ時間です。
6. SSCGのロックアップ時間です。

注意1. メイン・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
 - ・大電流が流れるグランド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
2. メイン・クロックを停止させサブクロックで動作させているときに、再度メイン・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。
 3. 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

(i) 京セラキンセキ株式会社：水晶振動子 (T_A = -10 ~ +70)

タイプ	回路例	品名	発振周波数 fx (MHz)	推奨回路定数		
				C1 (pF)	C2 (pF)	Rd (Ω)
リード 表面 実装		HC49SFWB06000D0PESZZ	6.000	8	8	0
		HC49SFWB08000D0PESZZ	8.000	8	8	0
		HC49SFWB10000D0PESZZ	10.000	8	8	0
		HC49GFWB06000D0PESZZ	6.000	8	8	0
		CX1255GB06000D0PESZZ	6.000	8	8	0
		CX8045GB06000D0PESZZ	6.000	8	8	0
		HC49GFWB08000D0PESZZ	8.000	8	8	0
		CX1255GB08000D0PESZZ	8.000	8	8	0
		CX8045GB08000D0PESZZ	8.000	8	8	0
		CX5032GB08000D0PESZZ	8.000	8	8	0
		HC49GFWB10000D0PESZZ	10.000	8	8	0
		CX1255GB10000D0PESZZ	10.000	8	8	0
		CX8045GB10000D0PESZZ	10.000	8	8	0
		CX5032GB10000D0PESZZ	10.000	8	8	0

注意 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。
また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850ES/HJ3の内部動作条件についてはAC、DC特性の規格内で使用してください。

32.4.2 サブクロック発振回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.3 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f_{XT}) ^{注1}		32	32.768	35	kHz
		発振安定時間 ^{注2}				10	s

注1. 発振回路の特性だけを示すものです。CPU動作クロックについては、32.7 AC特性を参照してください。

2. V_{DD} が発振電圧範囲 (MIN.: 3.3 V) に達してから発振が安定するまでの時間です。

注意1. サブクロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
 - ・大電流が流れるグランド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
2. サブクロック発振回路は、低消費電流にするため増幅度の低い回路になっており、ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって、サブクロックを使用する場合は、配線方法について特に注意してください。
3. 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

32.4.3 PLL特性

(TA = -40 ~ +85°C, VDD = EVDD = BVDD = 3.3 V ~ 5.5 V, 4.0 V AVREF0 5.5 V, VSS = EVSS = BVSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	fx		6		12	MHz
出力周波数	fx		12		32	MHz
ロック時間	tPLL	VDDがMIN.: 3.3 Vに達したあと			800	μs

32.4.4 SSCG特性

(TA = -40 ~ +85°C, VDD = EVDD = BVDD = 3.3 V ~ 5.5 V, 4.0 V AVREF0 5.5 V, VSS = EVSS = BVSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	fx		4		16	MHz
出力周波数 ^注	fx		12		32	MHz
ロック時間	tSSCG	VDDがMIN.: 3.3 Vに達したあと			1000	μs

注 SSCG出力周波数は、変調しない場合の特性を示しています。変調した場合の動作周波数は、SFC1.SFC16-SFC14ビットの設定により、次のようになります。動作周波数に変調率のMAX.値を考慮した最大動作周波数が32 MHzを越えないようにしてください。

SFC1.SFC16-SFC14	変調率		動作周波数
	TYP.	MAX.	
000B	±0.5 %	±2.0 %	31.3 MHz
001B	±1.0 %	±2.5 %	31.2 MHz
010B	±2.0 %	±4.0 %	30.7 MHz
011B	±3.0 %	±6.0 %	30.0 MHz
100B	±4.0 %	±8.0 %	29.4 MHz
101B	±5.0 %	±10.0 %	28.8 MHz

32.4.5 低速内蔵発振器 / 高速内蔵発振器特性

(TA = -40 ~ +85°C, VDD = EVDD = BVDD = 3.3 V ~ 5.5 V, 4.0 V AVREF0 5.5 V, VSS = EVSS = BVSS = AVSS = 0 V)

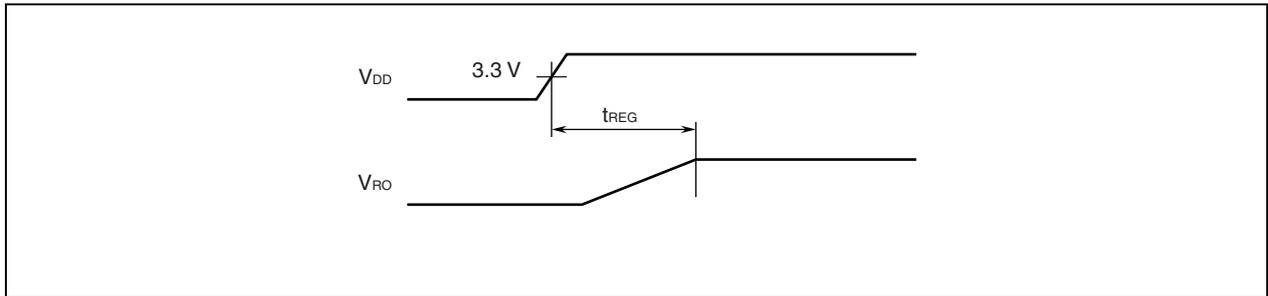
項目	略号	条件	MIN.	TYP.	MAX.	単位
出力周波数	f _{RL}	低速内蔵発振器	204	240	276	kHz
	f _{RH}	高速内蔵発振器	7.2	8.0	8.8	MHz
発振安定時間		高速内蔵発振器動作時			256	μs

32.5 電圧レギュレータ特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	V_{DD}		3.3		5.5	V
出力電圧	V_{RO}			2.5		V
出力電圧安定時間	t_{REG}	V_{DD} がMIN.: 3.3 Vに達したあと REGC端子に $C = 4.7\ \mu\text{F}$ を接続			1	ms

備考 t_{REG} はPOC機能により確保されます。そのあと、リセットが解除されます。



32.6 DC特性

32.6.1 入出力レベル

(TA = -40 ~ +85°C, V_{DD} = EV_{DD} = BV_{DD} = 3.3 V ~ 5.5 V, 4.0 V AV_{REF0} 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V)

(1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IH1}	P04, P30, P31, P34, P36-P39, P40, P63-P69, P614, P615, P80, P81, P91, P911, P913-P915	0.7EV _{DD}		EV _{DD}	V
	V _{IH2}	P00-P03, P05, P06, P10, P11, P32, P33, P35, P41, P42, P50-P55, P60-P62, P610-P613, P90, P92-P910, P912	0.8EV _{DD}		EV _{DD}	V
		PDL0-PDL15	0.8BV _{DD}		BV _{DD}	V
	V _{IH3}	PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7	0.7BV _{DD}		BV _{DD}	V
	V _{IH4}	P70-P715, P120-P127	0.7AV _{REF0}		AV _{REF0}	V
	V _{IH5}	RESET, FLMD0	0.8EV _{DD}		EV _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	P04, P30, P31, P34, P36-P39, P40, P63-P69, P614, P615, P80, P81, P91, P911, P913-P915	EV _{SS}		0.3EV _{DD}	V
	V _{IL2}	P00-P03, P05, P06, P10, P11, P32, P33, P35, P41, P42, P50-P55, P60-P62, P610-P613, P90, P92-P910, P912	EV _{SS}		0.4EV _{DD}	V
		PDL0-PDL15	BV _{SS}		0.4BV _{DD}	V
	V _{IL3}	PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7	BV _{SS}		0.3BV _{DD}	V
	V _{IL4}	P70-P715, P120-P127	AV _{SS}		0.3AV _{REF0}	V
	V _{IL5}	RESET, FLMD0	EV _{SS}		0.2EV _{DD}	V

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです。

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.3\text{ V} \sim 5.5\text{ V}, 4.0\text{ V}$ $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$)

(2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧 ^{注1}	V _{OH1}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P60-P615, P80, P81, P90-P915	$I_{OH} = -1.0\text{ mA}$	$EV_{DD} - 1.0$		EV_{DD}	V
			$I_{OH} = -0.1\text{ mA}$	$EV_{DD} - 0.5$		EV_{DD}	V
	V _{OH2}	PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDL0-PDL15	$I_{OH} = -1.0\text{ mA}$	$BV_{DD} - 1.0$		BV_{DD}	V
			$I_{OH} = -0.1\text{ mA}$	$BV_{DD} - 0.5$		BV_{DD}	V
	V _{OH3}	P70-P715, P120-P127	$I_{OH} = -1.0\text{ mA}$	$AV_{REF0} - 1.0$		AV_{REF0}	V
			$I_{OH} = -0.1\text{ mA}$	$AV_{REF0} - 0.5$		AV_{REF0}	V
ロウ・レベル出力電圧 ^{注1}	V _{OL1}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P60-P615, P80, P81, P90-P913	$I_{OL} = 1.0\text{ mA}$	0		0.4	V
			P914, P915	$I_{OL} = 3.0\text{ mA}$	0		0.4
	V _{OL2}	PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDL0-PDL15	$I_{OL} = 1.0\text{ mA}$	0		0.4	V
	V _{OL3}	P70-P715, P120-P127	$I_{OL} = 1.0\text{ mA}$	0		0.4	V
	プルアップ抵抗	R ₁	$V_i = 0\text{ V}$	10	30	100	k Ω
プルダウン抵抗 ^{注2}	R ₂	$V_i = V_{DD}$	10	30	100	k Ω	

注1. I_{OH}/I_{OL} の合計の最大値は、各電源 (EV_{DD} , BV_{DD} , AV_{REF0}) ごとに20 mA/-20 mAです。

2. DRST端子のみ。

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです。

32.6.2 端子リーク電流

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.3\text{ V} \sim 5.5\text{ V}, 4.0\text{ V}$ $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I _{LIH1}	$V_{IN} = V_{DD}$	アナログ端子		0.2	μA
			FLMDO端子		2.0	
			上記端子以外		0.5	
ロウ・レベル入力リーク電流	I _{LIL1}	$V_{IN} = 0\text{ V}$	アナログ端子		-0.2	μA
			FLMDO端子		-2.0	
			上記端子以外		-0.5	
ハイ・レベル出力リーク電流	I _{LOH1}	$V_O = V_{DD}$	アナログ端子		0.2	μA
			アナログ端子以外		0.5	
ロウ・レベル出力リーク電流	I _{LOL1}	$V_O = 0\text{ V}$	アナログ端子		-0.2	μA
			アナログ端子以外		-0.5	

32.6.3 電源電流

(1) μ PD70F3755

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件			MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD1	通常動作モード ^{注2}	PLL動作	$f_{XX} = 32\text{ MHz}$	全周辺機能動作		40	53	mA
				($f_x = 8\text{ MHz}$)	全周辺機能停止		32		mA
			PLL動作	$f_{XX} = 20\text{ MHz}$	全周辺機能動作		28	38	mA
				($f_x = 10\text{ MHz}$)	全周辺機能停止		22		mA
			PLL停止	$f_{XX} = 16\text{ MHz}$	全周辺機能動作		22	30	mA
				($f_x = 16\text{ MHz}$)	全周辺機能停止		19		mA
	IDD2	HALTモード ^{注2}	PLL動作	$f_{XX} = 32\text{ MHz}$	全周辺機能動作		27	39	mA
				($f_x = 8\text{ MHz}$)	全周辺機能停止		18		mA
			PLL動作	$f_{XX} = 20\text{ MHz}$	全周辺機能動作		18	26	mA
				($f_x = 10\text{ MHz}$)	全周辺機能停止		12		mA
			PLL停止	$f_{XX} = 16\text{ MHz}$	全周辺機能動作		13	20	mA
				($f_x = 16\text{ MHz}$)	全周辺機能停止		9		mA
	IDD3	IDLE1モード	PLL停止 ^{注3}	$f_{XX} = 16\text{ MHz}$ ($f_x = 16\text{ MHz}$)	TAA, UARTD動作		3.3	4.7	mA
					全周辺機能停止		1.6		mA
$f_{XX} = 8\text{ MHz}$ ($f_x = 8\text{ MHz}$)				TAA, UARTD動作		2.1	3.0	mA	
				全周辺機能停止		1.3		mA	
$f_{XX} = \text{高速内蔵発振}$ (f_{RH}) ^{注4}			TAA, UARTD動作		1.5	2.3	mA		
			全周辺機能停止		1.1		mA		
IDD4	IDLE2モード	PLL停止 ^{注3}	$f_{XX} = 16\text{ MHz}$ ($f_x = 16\text{ MHz}$)			0.8	1.2	mA	
			$f_{XX} = 8\text{ MHz}$ ($f_x = 8\text{ MHz}$)			0.5	0.8	mA	
		$f_{XX} = \text{高速内蔵発振}$ (f_{RH}) ^{注4}			0.2	0.5	mA		
IDD5	サブクロック動作モード ^{注4,5}	水晶発振子 ($f_{XT} = 32.768\text{ kHz}$)				80	400	μA	
IDD6	サブIDLEモード ^{注4,5}	水晶発振子 ($f_{XT} = 32.768\text{ kHz}$)				20	190	μA	
IDD7	STOPモード ^{注4,6}	低速内蔵発振 (f_{RL}) 動作				18.5	100	μA	
		低速内蔵発振 (f_{RL}) 停止				10.5	85	μA	

注1. V_{DD} , EV_{DD} , BV_{DD} の電流の合計です(全ポート停止時)。 AV_{REF0} の電流, 内蔵プルアップ/プルダウン抵抗を通過する電流を含むポート・バッファの電流は含みません。

- SSCG動作時は, TYP.値に +2.5mA, MAX.値に +4 mAを加算してください。
- 高速内蔵発振回路 (f_{RH}) 停止時。
- メイン・クロック発振回路 (f_{XX}) 停止時。
- 低速内蔵発振回路 (f_{RL}) 動作, 高速内蔵発振回路 (f_{RH}) 停止
- サブクロック発振回路 (f_{XT}) 未使用時。

(2) μ PD70F3757

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$)

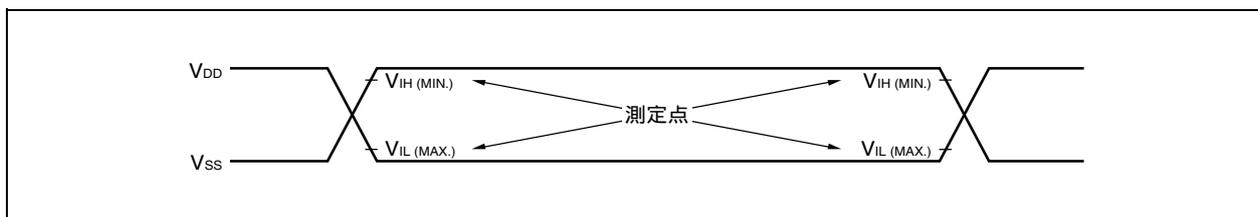
項目	略号	条 件			MIN.	TYP.	MAX.	単 位	
電源電流 ^{注1}	IDD1	通常動作モード ^{注2}	PLL動作	$f_{xx} = 32\text{ MHz}$	全周辺機能動作		41	54	mA
				($f_x = 8\text{ MHz}$)	全周辺機能停止		32		mA
			PLL動作	$f_{xx} = 20\text{ MHz}$	全周辺機能動作		28	39	mA
				($f_x = 10\text{ MHz}$)	全周辺機能停止		22		mA
			PLL停止	$f_{xx} = 16\text{ MHz}$	全周辺機能動作		23	31	mA
				($f_x = 16\text{ MHz}$)	全周辺機能停止		19		mA
	IDD2	HALTモード ^{注2}	PLL動作	$f_{xx} = 32\text{ MHz}$	全周辺機能動作		27	39	mA
				($f_x = 8\text{ MHz}$)	全周辺機能停止		18		mA
			PLL動作	$f_{xx} = 20\text{ MHz}$	全周辺機能動作		18	26	mA
				($f_x = 10\text{ MHz}$)	全周辺機能停止		12		mA
			PLL停止	$f_{xx} = 16\text{ MHz}$	全周辺機能動作		13	20	mA
				($f_x = 16\text{ MHz}$)	全周辺機能停止		9		mA
	IDD3	IDLE1モード	PLL停止 ^{注3}	$f_{xx} = 16\text{ MHz}$	TAA, UARTD動作		3.3	4.7	mA
				($f_x = 16\text{ MHz}$)	全周辺機能停止		1.6		mA
$f_{xx} = 8\text{ MHz}$			($f_x = 8\text{ MHz}$)	TAA, UARTD動作		2.1	3.0	mA	
			($f_x = 8\text{ MHz}$)	全周辺機能停止		1.3		mA	
$f_{xx} = \text{高速内蔵発振}$			(f_{RH}) ^{注4}	TAA, UARTD動作		1.5	2.3	mA	
			(f_{RH}) ^{注4}	全周辺機能停止		1.1		mA	
IDD4	IDLE2モード	PLL停止 ^{注3}	$f_{xx} = 16\text{ MHz}$ ($f_x = 16\text{ MHz}$)			0.8	1.2	mA	
			$f_{xx} = 8\text{ MHz}$ ($f_x = 8\text{ MHz}$)			0.5	0.8	mA	
		$f_{xx} = \text{高速内蔵発振}$ (f_{RH}) ^{注4}			0.2	0.5	mA		
IDD5	サブクロック動作モード ^{注4,5}	水晶発振子 ($f_{XT} = 32.768\text{ kHz}$)				80	400	μA	
IDD6	サブIDLEモード ^{注4,5}	水晶発振子 ($f_{XT} = 32.768\text{ kHz}$)				20	190	μA	
IDD7	STOPモード ^{注4,6}	低速内蔵発振 (f_{RL}) 動作				18.5	110	μA	
		低速内蔵発振 (f_{RL}) 停止				10.5	95	μA	

注1. V_{DD} , EV_{DD} , BV_{DD} の電流の合計です(全ポート停止時)。 AV_{REF0} の電流, 内蔵ブルアップ/ブルダウン抵抗を通過する電流を含むポート・バッファの電流は含みません。

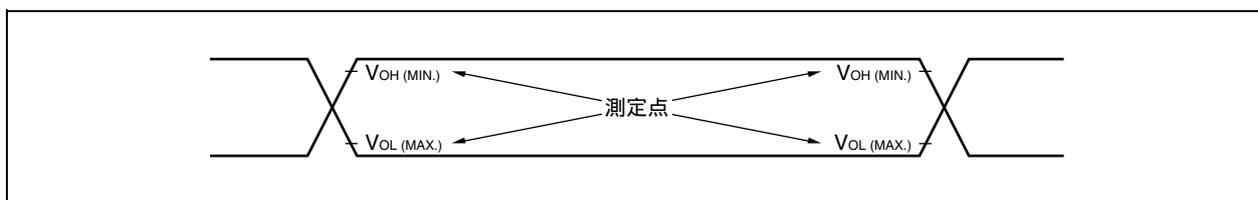
- SSCG動作時は, TYP.値に + 2.5mA, MAX.値に + 4 mAを加算してください。
- 高速内蔵発振回路 (f_{RH}) 停止時。
- メイン・クロック発振回路 (f_{xx}) 停止時。
- 低速内蔵発振回路 (f_{RL}) 動作, 高速内蔵発振回路 (f_{RH}) 停止
- サブクロック発振回路 (f_{XT}) 未使用時。

32.7 AC特性

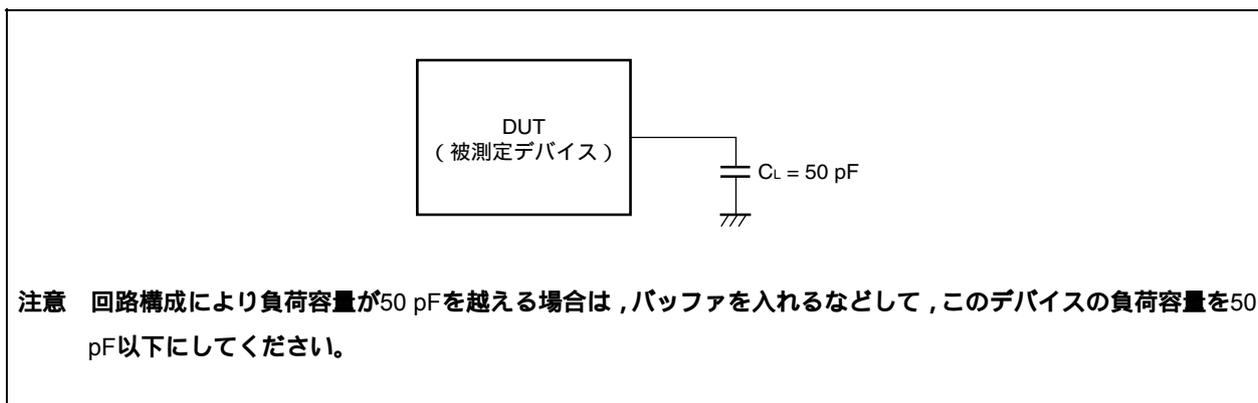
(1) ACテスト入力測定点 (V_{DD} , AV_{REF0} , EV_{DD} , BV_{DD})



(2) ACテスト出力測定点



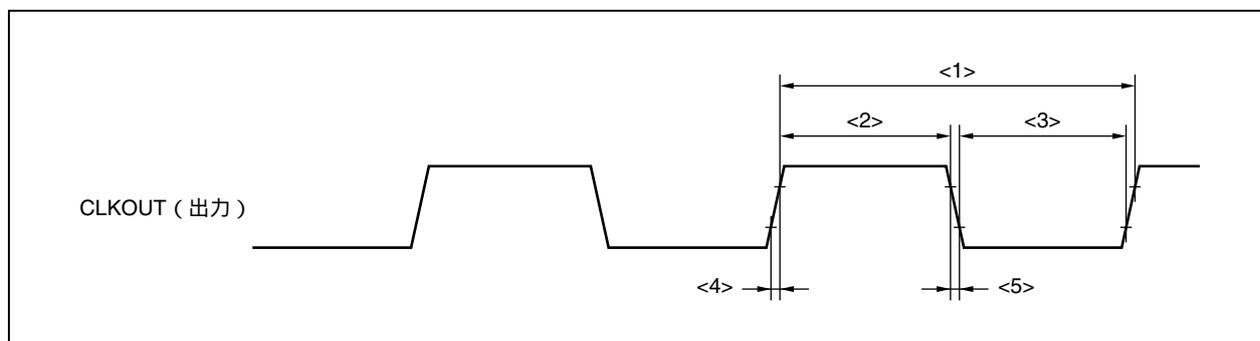
(3) 負荷条件



32.7.1 CLKOUT出力タイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$,
 $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
出力周期	t_{CYK}	<1> $V_{DD} = EV_{DD} = BV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$	50 ns	$80\ \mu\text{s}$	
		$V_{DD} = EV_{DD} = BV_{DD} = 4.0\text{ V} \sim 5.5\text{ V}$	31.25 ns	$80\ \mu\text{s}$	
ハイ・レベル幅	t_{WKH}	<2> $V_{DD} = EV_{DD} = BV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$	$t_{CYK}/2 - 15$		ns
		$V_{DD} = EV_{DD} = BV_{DD} = 4.0\text{ V} \sim 5.5\text{ V}$	$t_{CYK}/2 - 13$		ns
ロウ・レベル幅	t_{WKL}	<3> $V_{DD} = EV_{DD} = BV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$	$t_{CYK}/2 - 15$		ns
		$V_{DD} = EV_{DD} = BV_{DD} = 4.0\text{ V} \sim 5.5\text{ V}$	$t_{CYK}/2 - 13$		ns
立ち上がり時間	t_{KR}	<4> $V_{DD} = EV_{DD} = BV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$		15	ns
		$V_{DD} = EV_{DD} = BV_{DD} = 4.0\text{ V} \sim 5.5\text{ V}$		13	ns
立ち下がり時間	t_{KF}	<5> $V_{DD} = EV_{DD} = BV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$		15	ns
		$V_{DD} = EV_{DD} = BV_{DD} = 4.0\text{ V} \sim 5.5\text{ V}$		13	ns



32.7.2 バス・タイミング

(1) CLKOUT非同期

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対ASTB)	t_{SAST}	<6>	$(0.5 + t_{ASW}) - 20$		ns
アドレス保持時間 (対ASTB)	t_{HSTA}	<7>	$(0.5 + t_{AHW}) - 15$		ns
\overline{RD} アドレス・フロート遅延時間	t_{FRDA}	<8>		16	ns
アドレス データ入力設定時間	t_{SAID}	<9>		$(2 + n + t_{ASW} + t_{AHW}) T - 40$	ns
\overline{RD} データ入力設定時間	t_{SRDID}	<10>		$(1 + n) T - 30$	ns
ASTB \overline{RD} , \overline{WRm} 遅延時間	$t_{DSTRDWR}$	<11>	$(0.5 + t_{AHW}) T - 15$		ns
データ入力保持時間 (対 \overline{RD})	t_{HRDID}	<12>	0		ns
\overline{RD} アドレス出力時間	t_{DRDA}	<13>	$(1 + i) T - 15$		ns
\overline{RD} , \overline{WRm} ASTB 遅延時間	$t_{DRDWRST}$	<14>	0.5T - 15		ns
\overline{RD} ASTB 遅延時間	t_{DRDST}	<15>	$(1.5 + i + t_{ASW}) T - 15$		ns
\overline{RD} , \overline{WRm} ロウ・レベル幅	$t_{WRDWRRL}$	<16>	$(1 + n) T - 20$		ns
ASTBハイ・レベル幅	t_{WSTH}	<17>	$(1 + i + t_{ASW}) T - 15$		ns
\overline{WRm} データ出力時間	t_{DWRD}	<18>		15	ns
データ出力設定時間 (対 \overline{WRm})	t_{SODWR}	<19>	$(1 + n) T - 25$		ns
データ出力保持時間 (対 \overline{WRm})	t_{HWRD}	<20>	T - 15		ns
WAIT設定時間 (対アドレス)	t_{SAWT1}	<21>	n 1	$(1.5 + t_{ASW} + t_{AHW}) T - 45$	ns
	t_{SAWT2}	<22>		$(1.5 + n + t_{ASW} + t_{AHW}) T - 45$	ns
WAIT保持時間 (対アドレス)	t_{HAWT1}	<23>	n 1	$(0.5 + n + t_{ASW} + t_{AHW}) T$	ns
	t_{HAWT2}	<24>		$(1.5 + n + t_{ASW} + t_{AHW}) T$	ns
WAIT設定時間 (対ASTB)	t_{SSTWT1}	<25>	n 1	$(1 + t_{AHW}) T - 35$	ns
	t_{SSTWT2}	<26>		$(1 + n + t_{AHW}) T - 35$	ns
WAIT保持時間 (対ASTB)	t_{HSTWT1}	<27>	n 1	$(n + t_{AHW}) T$	ns
	t_{HSTWT2}	<28>		$(1 + n + t_{AHW}) T$	ns
HLD \overline{RQ} ハイ・レベル幅	t_{WHQH}	<29>	T + 10		ns
HLD \overline{AK} ロウ・レベル幅	t_{WHAL}	<30>	T - 20		ns
HLD \overline{AK} バス出力遅延時間	t_{DHAC}	<31>	- 3		ns
HLD \overline{RQ} HLD \overline{AK} 遅延時間	t_{DHQA1}	<32>		$(2n + 7.5) T + 25$	ns
HLD \overline{RQ} HLD \overline{AK} 遅延時間	t_{DHQA2}	<33>	0.5T	1.5T + 35	ns

備考1. $T = 1/f_{CPU}$ (f_{CPU} : CPU動作クロック周波数)

- n: バス・サイクルに挿入されるウェイト・クロック数
プログラマブル・ウェイト挿入時は、サンプル・タイミングが変わります。
- m = 0, 1
- i: リード・サイクル後に挿入されるアイドル・ステート数 (0または1)
- 上記スペックは、X1からデューティ比1:1のクロックを入力した場合の値です。
- t_{ASW} : アドレス・セットアップ・ウェイト・クロック数 (0または1)
 t_{AHW} : アドレス・ホールド・ウェイト・クロック数 (0または1)

(2) CLKOUT同期

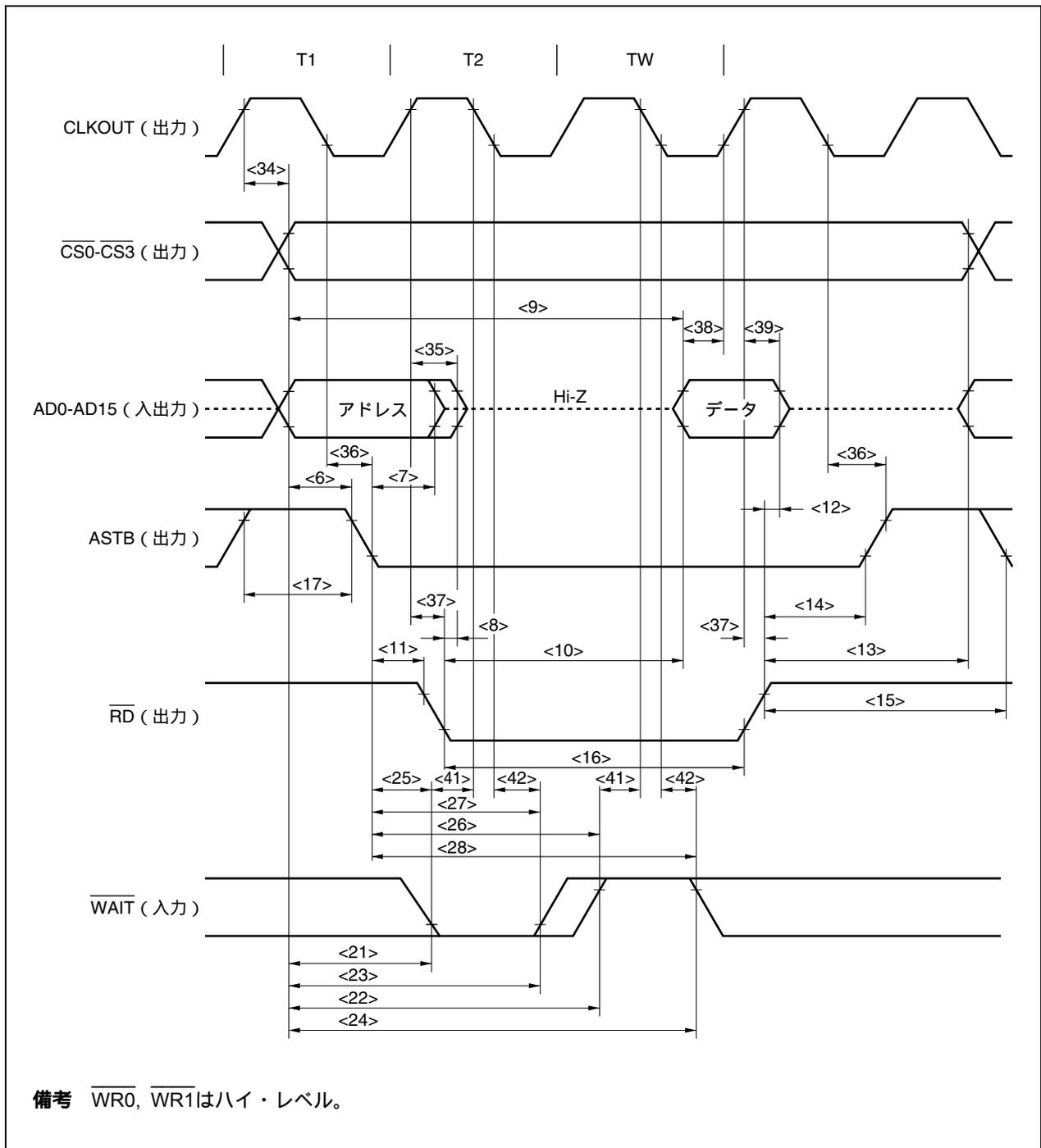
($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	t _{DKA}	<34>	0	24	ns
CLKOUT アドレス・フロート遅延時間	t _{FKA}	<35>	0	24	ns
CLKOUT ASTB遅延時間	t _{DKST}	<36>	-12	12	ns
CLKOUT \overline{RD} , \overline{WR} m遅延時間	t _{DKRDWR}	<37>	-5	14	ns
データ入力設定時間 (対CLKOUT)	t _{SIDK}	<38>	20		ns
データ入力保持時間 (対CLKOUT)	t _{HKID}	<39>	5		ns
CLKOUT データ出力遅延時間	t _{DKOD}	<40>		22	ns
WAIT設定時間 (対CLKOUT)	t _{SWTK}	<41>	30		ns
WAIT保持時間 (対CLKOUT)	t _{HKWT}	<42>	5		ns
HLDRQ設定時間 (対CLKOUT)	t _{SHQK}	<43>	30		ns
HLDRQ保持時間 (対CLKOUT)	t _{HKHQ}	<44>	5		ns
CLKOUT \overline{HLDAK} 遅延時間	t _{DKHA}	<45>		24	ns
CLKOUT バス・フロート遅延時間	t _{DKF}	<46>		25	ns

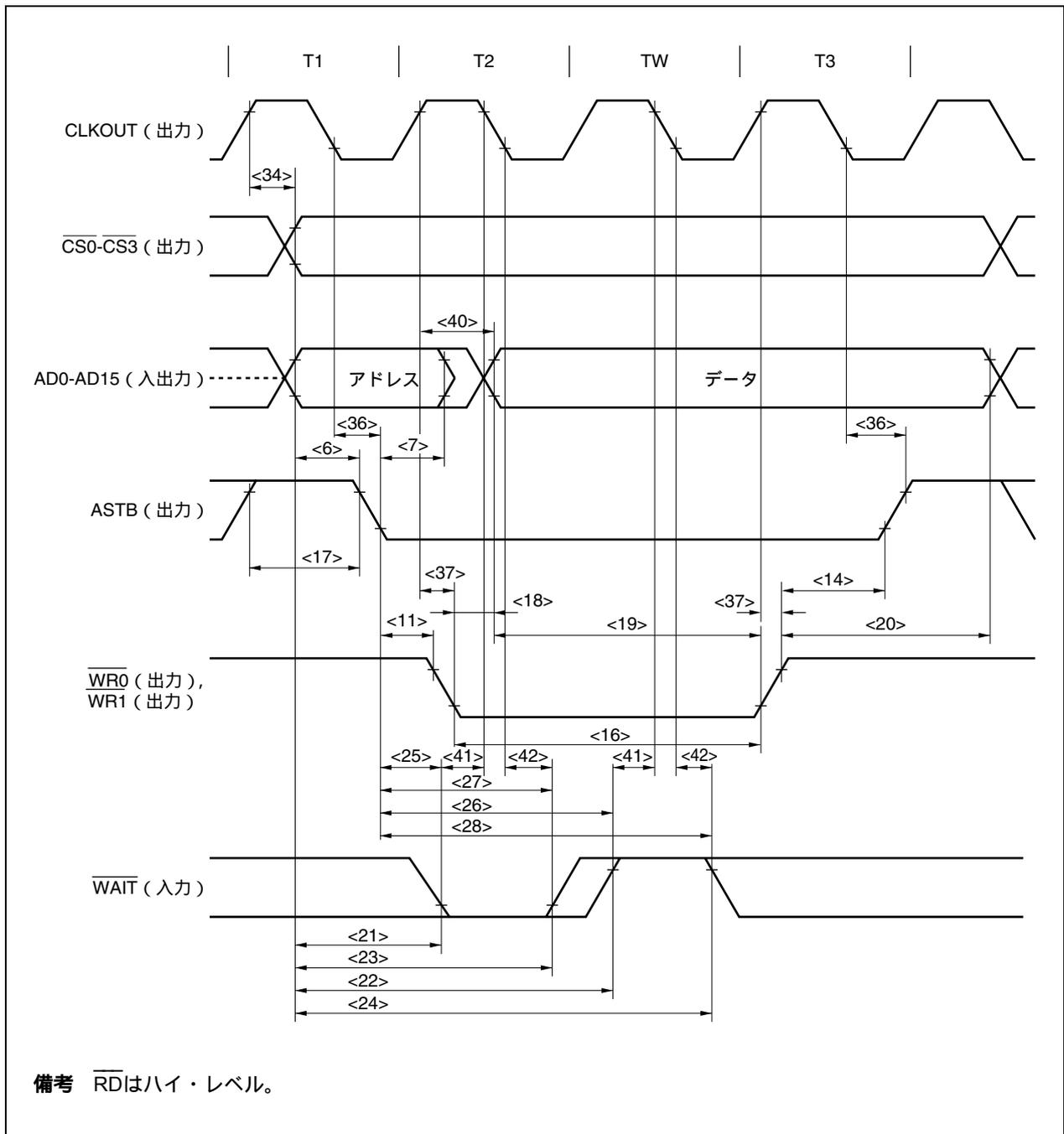
備考1. $m = 0, 1$

2. 上記スペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

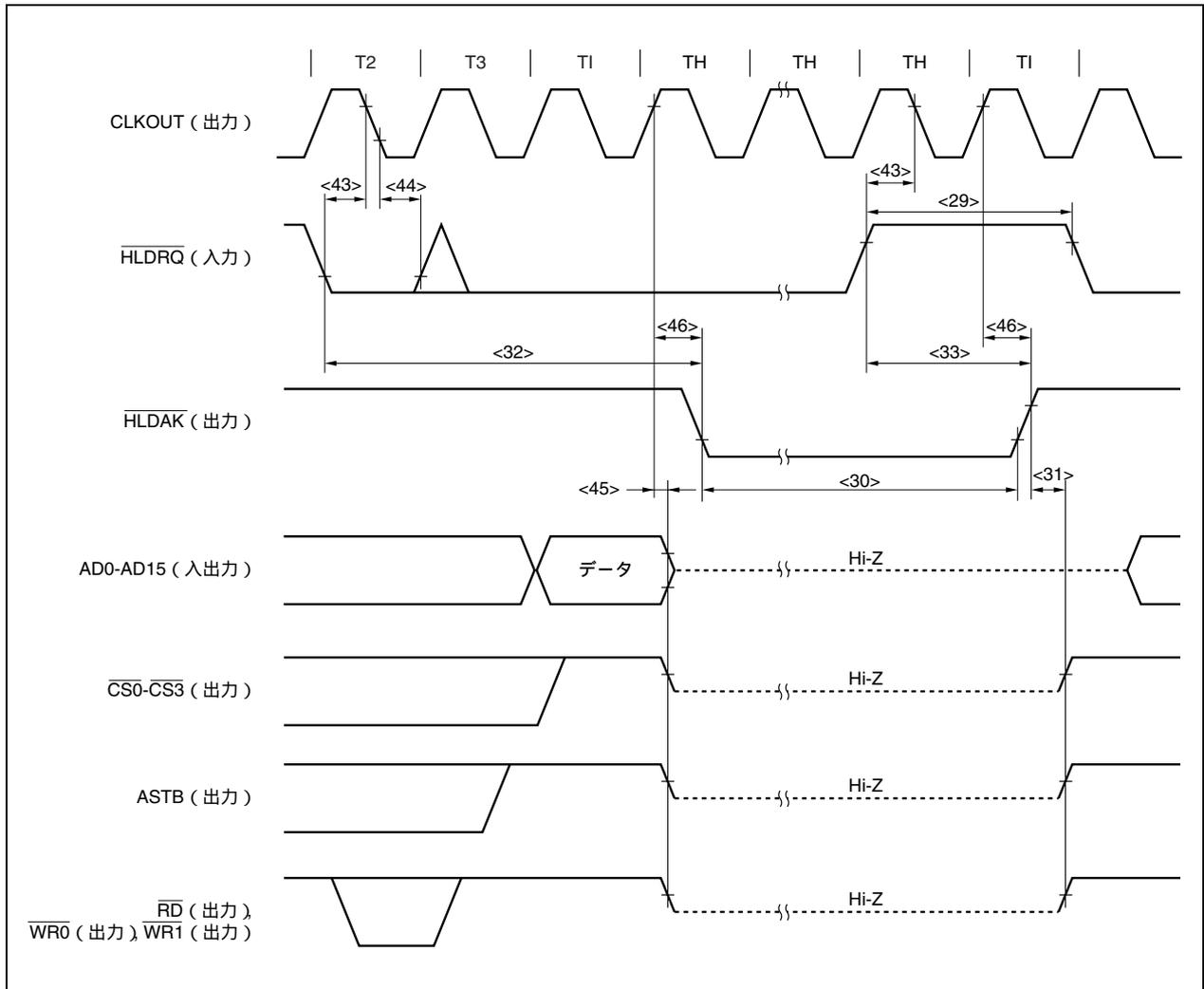
リード・サイクル (CLKOUT同期/非同期, 1ウエイト)



ライト・サイクル (CLKOUT同期/非同期, 1ウエイト)



バス・ホールド



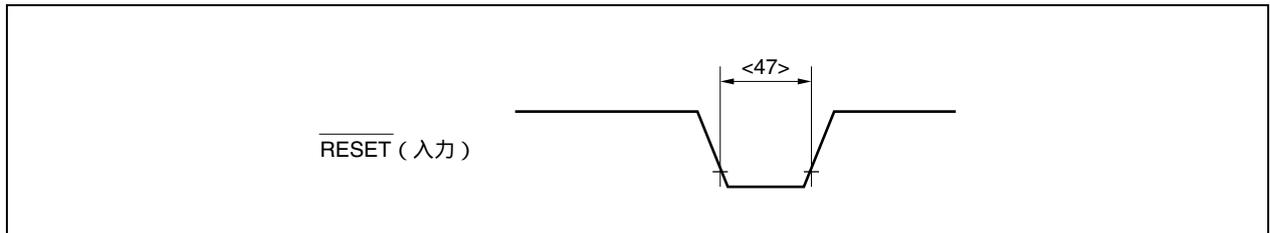
32.8 基本動作

(1) リセットタイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.3\text{ V} \sim 5.5\text{ V}, 4.0\text{ V}$ $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
RESET口ウ・レベル幅	t_{WRSL} <47>		250		ns

リセット



(2) 割り込みタイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

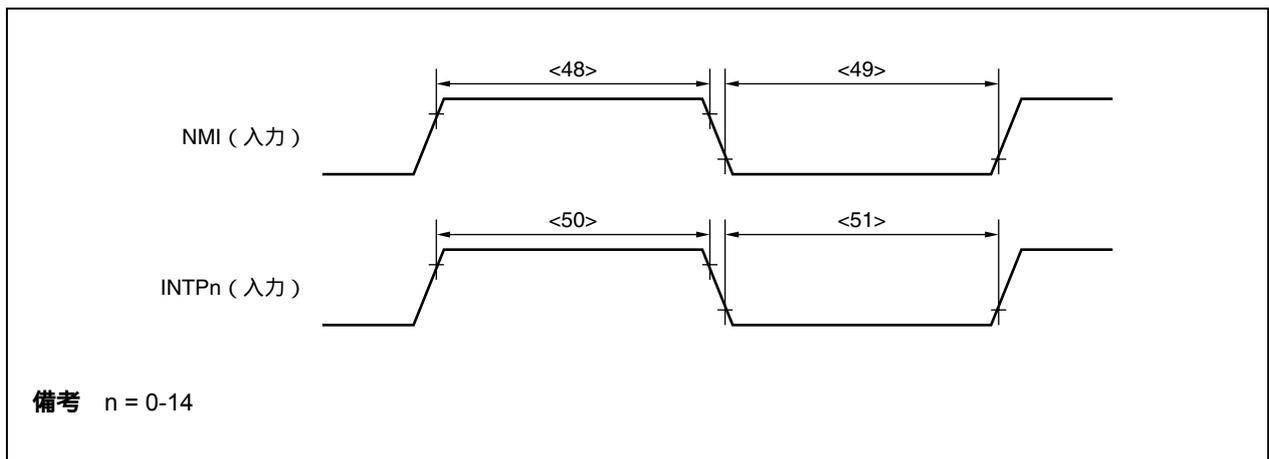
項目	略号	条件	MIN.	MAX.	単位
NMIハイ・レベル幅	t_{WNIH}	<48> アナログ・ノイズ除去	250		ns
NMIロウ・レベル幅	t_{WNIL}	<49> アナログ・ノイズ除去	250		ns
INTPn ^{注1} ハイ・レベル幅	t_{WITH}	<50> アナログ・ノイズ除去 (n = 0-14)	250		ns
		デジタル・ノイズ除去 (n = 3)	注2		ns
INTPn ^{注1} ロウ・レベル幅	t_{WITL}	<51> アナログ・ノイズ除去 (n = 0-14)	250		ns
		デジタル・ノイズ除去 (n = 3)	注2		ns

注1. ADTRG端子は、INTP0/P03端子と同じ値です。DRST端子は、INTP02/P05端子と同じ値です。

2. $2T_{\text{samp}} + 20$ または $3T_{\text{samp}} + 20$

T_{samp} : ノイズ除去用サンプリング・クロック

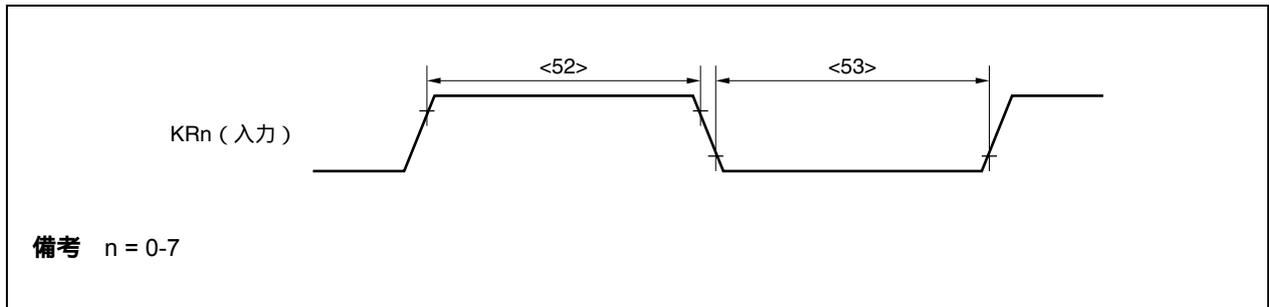
リセット/割り込み



(3) キー割り込みタイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
KRn入力ハイ・レベル幅	t_{WKRH}	<52>	250		ns
KRn入力ロウ・レベル幅	t_{WKRL}	<53>			

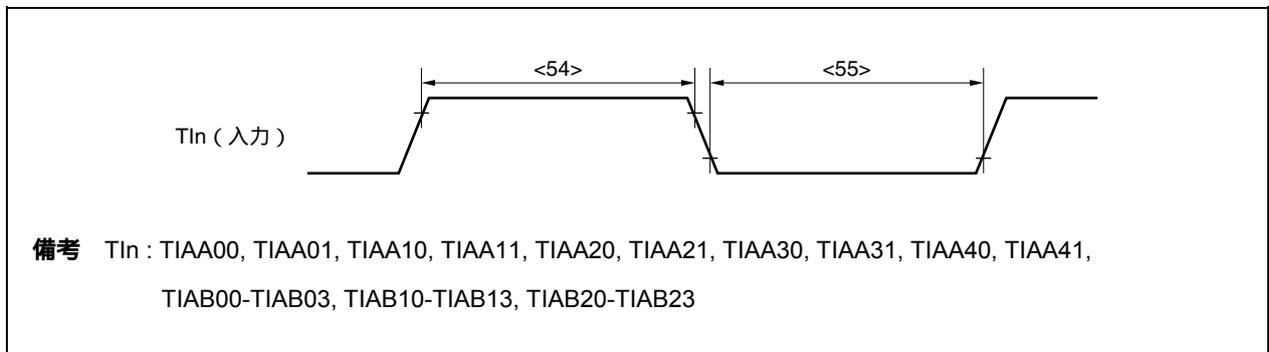


(4) タイマ入力タイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
TInハイ・レベル幅	t_{TIH}	<54>	250		ns
TInロウ・レベル幅	t_{TIL}	<55>			
TOn出力周期	f_{TCYK}	TOAA00, TOAA01, TOAA10, TOAA11, TOAA20, TOAA21, TOAA30, TOAA31, TOAA40, TOAA41, TOAB00-TIAB03, TOAB10-TIAB13, TOAB20-TIAB23 [※]	4.0 V $V_{DD} = 5.5\text{ V}$	16	MHz
			3.7 V $V_{DD} < 4.0\text{ V}$	10	MHz

注 TIAA00, TIAA10, TIAA20, TIAA30, TIAB00, TIAB10, TIAB20端子はキャプチャ入力時のみノイズ除去が有効。
外部トリガ時, 外部イベント・カウンタ時はノイズ除去は無効。



(5) CSIBタイミング

(a) マスタ・モード

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
SCKBn サイクル・タイム	t_{kCY1}	<56>	125		ns
SCKBn ハイ・レベル幅	t_{kH1}	<57>	$t_{kCY1}/2 - 15$		ns
SCKBn ロウ・レベル幅	t_{kL1}	<58>	$t_{kCY1}/2 - 15$		ns
SIBn セットアップ時間 (対 SCKBn)	t_{sIK1}	<59>	30		ns
SIBn ホールド時間 (対 SCKBn)	t_{kSI1}	<60>	25		ns
SCKBn SOBn 出力遅延時間	t_{kSO1}	<61>		25	ns

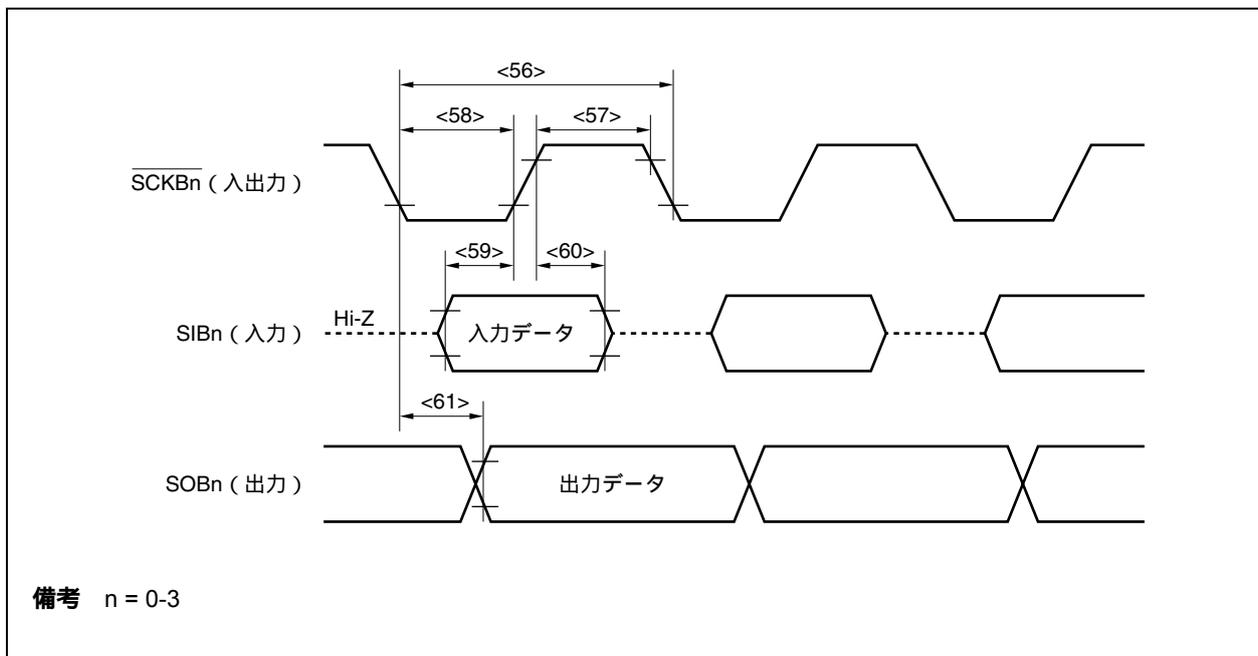
備考 n = 0-3

(b) スレーブ・モード

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
SCKBn サイクル・タイム	t_{kCY1}	<56>	200		ns
SCKBn ハイ・レベル幅	t_{kH1}	<57>	90		ns
SCKBn ロウ・レベル幅	t_{kL1}	<58>	90		ns
SIBn セットアップ時間 (対 SCKBn)	t_{sIK1}	<59>	50		ns
SIBn ホールド時間 (対 SCKBn)	t_{kSI1}	<60>	50		ns
SCKBn SOBn 出力遅延時間	t_{kSO1}	<61>		50	ns

備考 n = 0-3



(6) UARTDタイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.7 \text{ V} \sim 5.5 \text{ V}$, 4.0 V $AV_{REF0} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
通信レート				1.5	Mbps
ASCK0サイクル・タイム				10	MHz

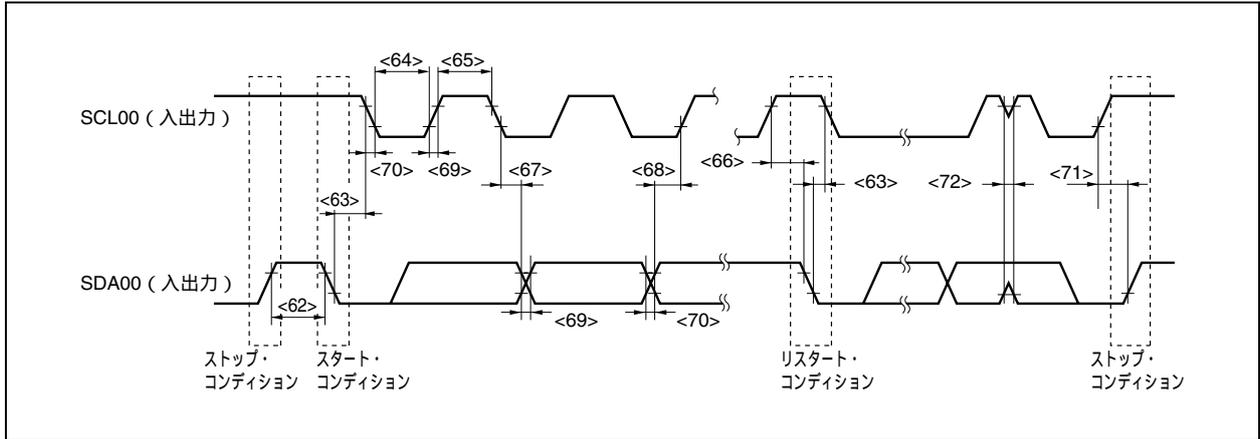
(7) I²C タイミング

(T_A = -40 ~ +85 , V_{DD} = V_{DD1} = EV_{DD} = BV_{DD} = 3.7 V ~ 5.5 V, 4.0 V AV_{REF0} 5.5 V, V_{SS} = V_{SS1} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V)

項目	略号		標準モード		高速モード		単位	
			MIN.	MAX.	MIN.	MAX.		
SCL00クロック周波数	f _{CLK}		0	100	0	400	kHz	
バス・フリー・タイム (ストップ・スタート・コンディション間)	t _{BUF}	<62>	4.7	-	1.3	-	μs	
ホールド時間 ^{注1}	t _{HD:STA}	<63>	4.0	-	0.6	-	μs	
SCL00クロックのロウ・レベル幅	t _{LOW}	<64>	4.7	-	1.3	-	μs	
SCL00クロックのハイ・レベル幅	t _{HIGH}	<65>	4.0	-	0.6	-	μs	
スタート/リスタート・コンディションのセットアップ時間	t _{SU:STA}	<66>	4.7	-	0.6	-	μs	
データ・ホールド時間	CBUS互換マスタの場合 I ² Cモードの場合	t _{HD:DAT}	<67>	5.0	-	-	-	μs
				0 ^{注2}	-	0 ^{注2}	0.9 ^{注3}	μs
データ・セットアップ時間	t _{SU:DAT}	<68>	250	-	100 ^{注4}	-	ns	
SDA00およびSCL00信号の立ち上がり時間	t _r	<69>	-	1000	20 + 0.1Cb ^{注5}	300	ns	
SDA00およびSCL00信号の立ち下がり時間	t _f	<70>	-	300	20 + 0.1Cb ^{注5}	300	ns	
ストップ・コンディションのセットアップ時間	t _{SU:STO}	<71>	4.0	-	0.6	-	μs	
入力フィルタによって抑制されるスパイクのパルス幅	t _{SP}	<72>	-	-	0	50	ns	
各バス・ラインの容量性負荷	Cb		-	400	-	400	pF	

- 注1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。
2. 装置は、SCL00の立ち下がり端の未定義領域を埋めるために (SCL00信号のV_{IHmin}.での) SDA00信号用に最低 300 nsのホールド時間を内部的に提供する必要があります。
3. 装置がSCL00信号のロウ・ホールド時間 (t_{LOW}) を延長しない場合は、最大データ・ホールド時間 (t_{HD:DAT}) のみ満たすことが必要です。
4. 高速モードI²Cバスは、標準モードI²Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。
- ・装置がSCL00信号のロウ状態ホールド時間を延長しない場合
t_{SU:DAT} 250 ns
 - ・装置がSCL00信号のロウ状態ホールド時間を延長する場合
SCL00ラインが解放される (t_{rmax}. + t_{SU:DAT} = 1000 + 250 = 1250 ns : 標準モードI²Cバス仕様) 前に、次のデータ・ビットをSDA00ラインに送出してください。
5. Cb : 1つのバス・ラインの合計キャパシタンス (単位 : pF)

I²Cバス・モード



(8) A/Dコンバータ

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.7\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $CL = 50\text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					10	bit
総合誤差 ^注		4.0 AV_{REF0} 5.5 V		± 0.15	± 0.3	%FSR
変換時間	t _{CONV}		3.1		16	μs
安定時間	t _{STA}	ADA0M0.ADA0PSビット = 0 1としたあと	2			μs
パワーダウン復帰時間	t _{DPU}	STOPモード解除後の動作開始	1			μs
ゼロスケール誤差 ^{注1}	ZSE				± 0.3	%FSR
フルスケール誤差 ^{注1}	FSE				± 0.3	%FSR
積分非直線性誤差 ^{注2}	INL				± 2.5	LSB
微分非直線性誤差 ^{注2}	DNL				± 1.5	LSB
アナログ入力電圧	V _{IAN}		AV_{SS}		AV_{REF0}	V
AV_{REF0} 電流	I _{A$REF0$}	A/Dコンバータ使用時		4	7	mA
		A/Dコンバータ未使用時		1	10	μA

注 量子化誤差 ($\pm 0.05\%$ FSR) は含みません。フルスケール値に対する比率 (%FSR) で表します。

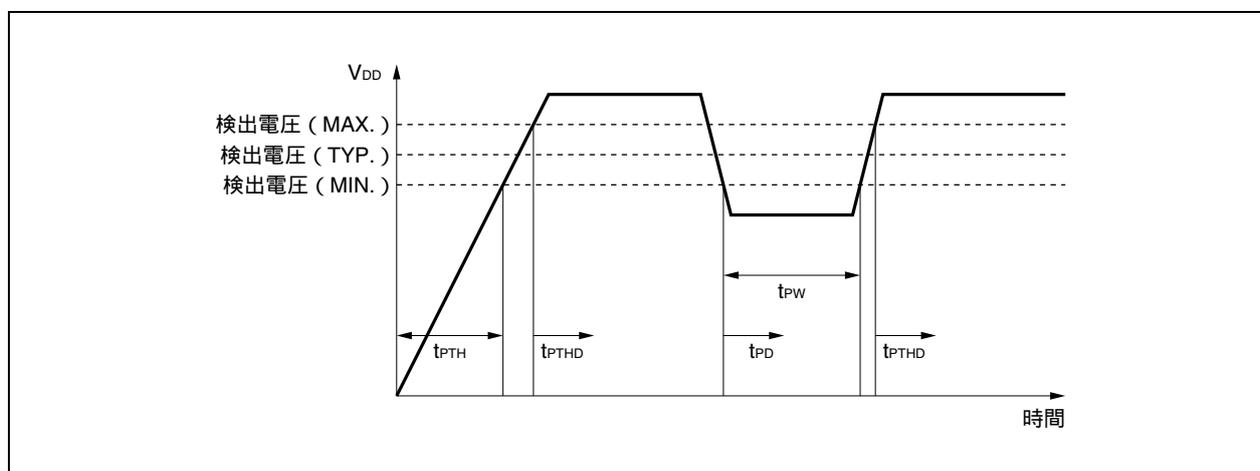
備考 FSR : Full Scale Range

(9) POC回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POCO}		3.3	3.5	3.7	V
電源立ち上げ時間	t_{PTH}	$V_{DD} = 0\text{ V}$ 3.3 V	0.002			ms
応答遅延時間 ^{注1}	t_{PTHD}	電源立ち上げ時, V_{DD} が3.7 Vに達したあと			2.0	ms
応答遅延時間 ^{注2}	t_{PD}	電源降下時, V_{DD} が3.3 Vを下まわったあと			1.0	ms
最小 V_{DD} 幅	t_{PW}		0.2			ms

- 注1. 検出電圧を検出してからリセットを解除するまでの時間。
 2. 検出電圧を検出してからリセットを出力するまでの時間。

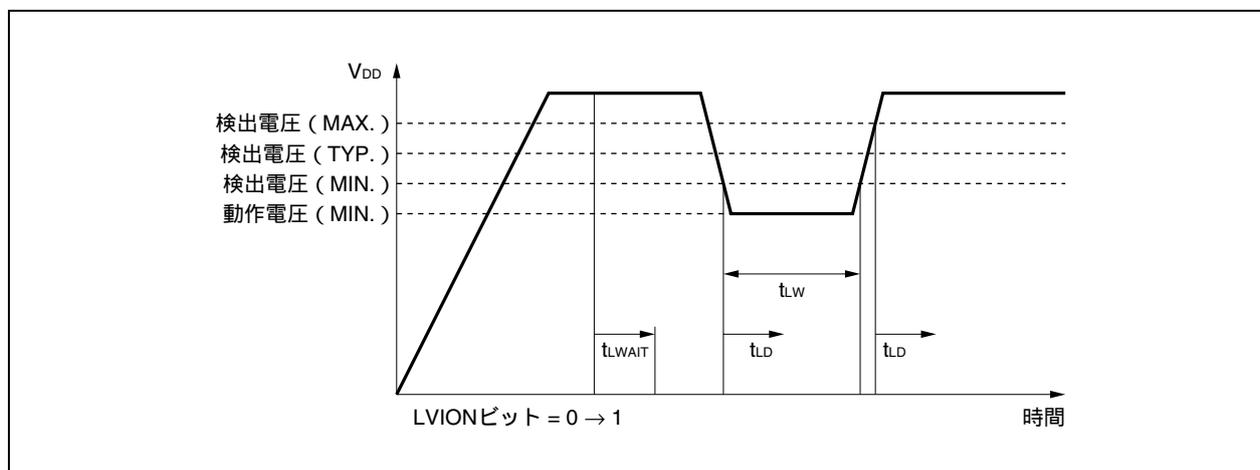


(10) LVI回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 3.3\text{ V} \sim 5.5\text{ V}, 4.0\text{ V}$ $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$,
 $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{LV10}		3.8	4.0	4.2	V
	V_{LV11}		3.5	3.7	3.9	V
応答時間 ^注	t_{LD}	V_{DD} が V_{LV10} , V_{LV11} (MAX.) に達したあと, V_{DD} が V_{LV10} , V_{LV11} (MIN.) を下まわったあと		0.2	2.0	ms
最小 V_{DD} 幅	t_{LW}		0.2			ms
基準電圧安定待ち時間	t_{LWAIT}	LVIONビット(LVIM.bit7)=0 → 1 となったあと		0.1	0.2	ms

注 検出電圧を検出して割り込み/リセットを出力するまでの時間。

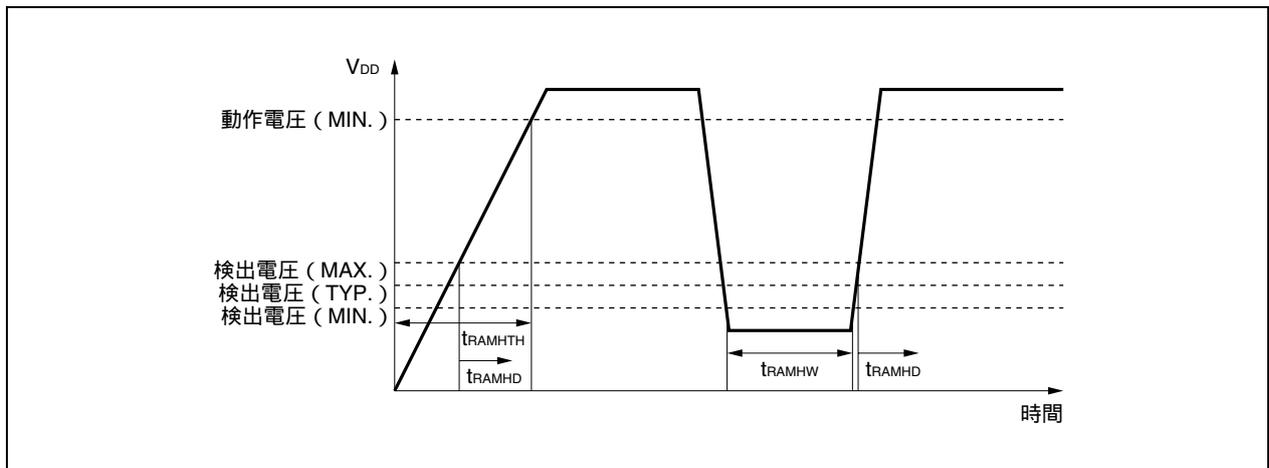


(11) RAM保持フラグ特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 1.9\text{ V} \sim 5.5\text{ V}$, 4.0 V $AV_{REF0} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{RAMH}		1.9	2.0	2.1	V
電源電圧立ち上がり時間	t_{RAMHTH}	$V_{DD} = 0\text{ V}$ 3.3 V	0.002		1800	ms
応答時間注	t_{RAMHD}	電源電圧が検出電圧 (MAX.) に達したあと		0.2	2.0	ms
最小 V_{DD} 幅	t_{RAMHW}		0.2			ms

注 検出電圧を検出してRAMビットをセットするまでの時間。



32.9 フラッシュ・メモリ・プログラミング特性

(1) 基本特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD}, 4.0\text{ V}$ $AV_{REF0} 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f_{CPU}		4		32	MHz
電源電圧	V_{DD}		3.8		5.5	V
書き込み回数	C_{WRT} ^注				100	回
ハイ・レベル入力電圧	V_{IH}	FLMD0	$0.8 EV_{DD}$		EV_{DD}	V
ロウ・レベル入力電圧	V_{IL}	FLMD0	EV_{SS}		$0.2 EV_{DD}$	V
プログラミング温度	t_{PRG}		- 40		+ 85	

注 出荷品に対する初回書き込み時では、「消去 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

例 P : 書き込み E : 消去

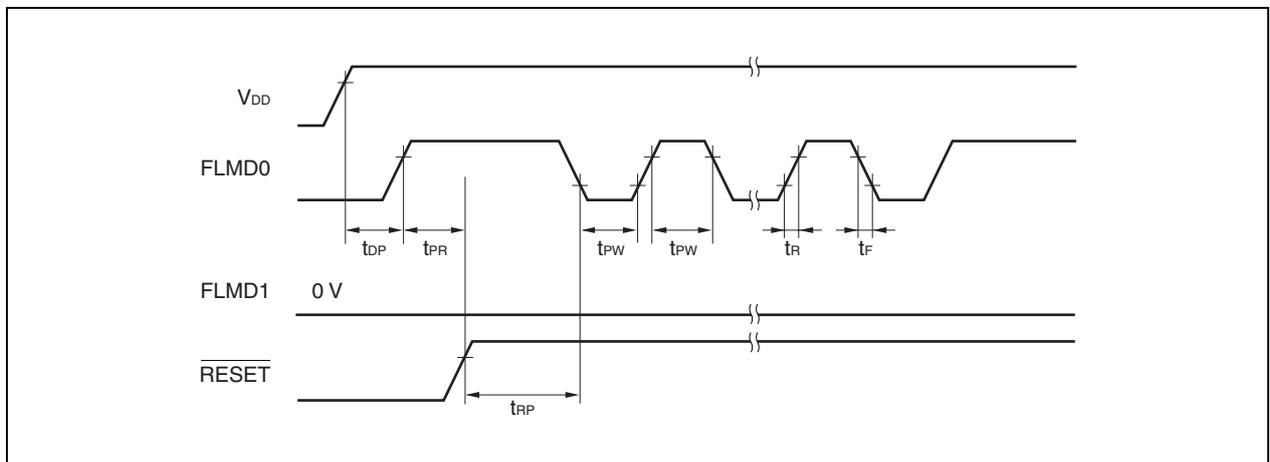
出荷品 P E P E P : 書き換え回数3回

出荷品 E P E P E P : 書き換え回数3回

(2) シリアル書き込みオペレーション特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD}, 4.0\text{ V}$ $AV_{REF0} 5.5\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

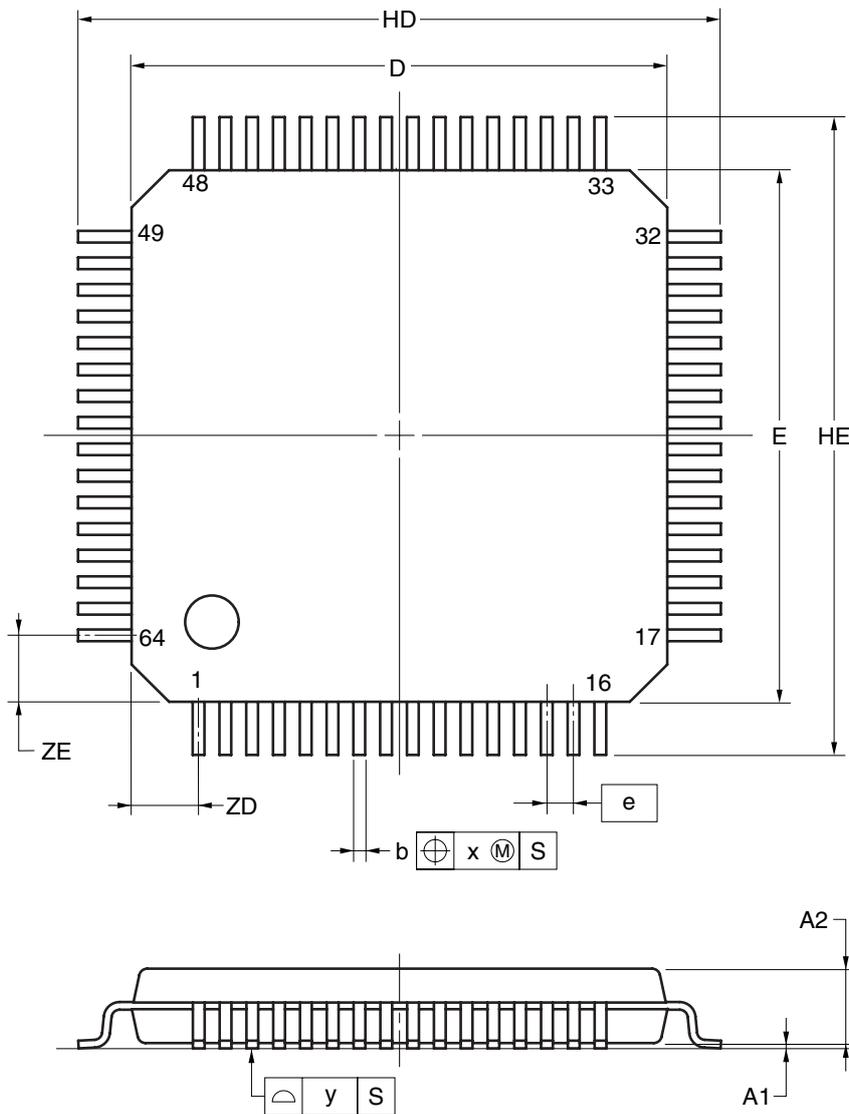
項目	略号	条件	MIN.	TYP.	MAX.	単位
V_{DD} FLMD0 セットアップ時間	t_{DP}		1			ms
FLMD0 RESET解除時間	t_{PR}		2			ms
RESET FLMD0パルス入力開始時間	t_{RP}		800			μs
FLMD0パルス・ハイ・レベル幅 / ロウ・レベル幅	t_{PW}		10		100	μs
FLMD0立ち上がり時間	t_r				1	μs
FLMD0立ち下がり時間	t_f				1	μs



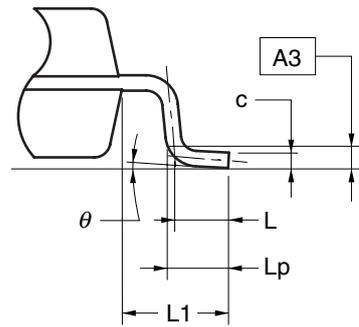
第33章 外形図

• V850ES/HE3

64-PIN PLASTIC LQFP(FINE PITCH)(10x10)



detail of lead end



(UNIT:mm)

ITEM	DIMENSIONS
D	10.00±0.20
E	10.00±0.20
HD	12.00±0.20
HE	12.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.20 ^{+0.07} _{-0.03}
c	0.125 ^{+0.075} _{-0.025}
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3°+5° -3°
e	0.50
x	0.08
y	0.08
ZD	1.25
ZE	1.25

P64GB-50-GAH

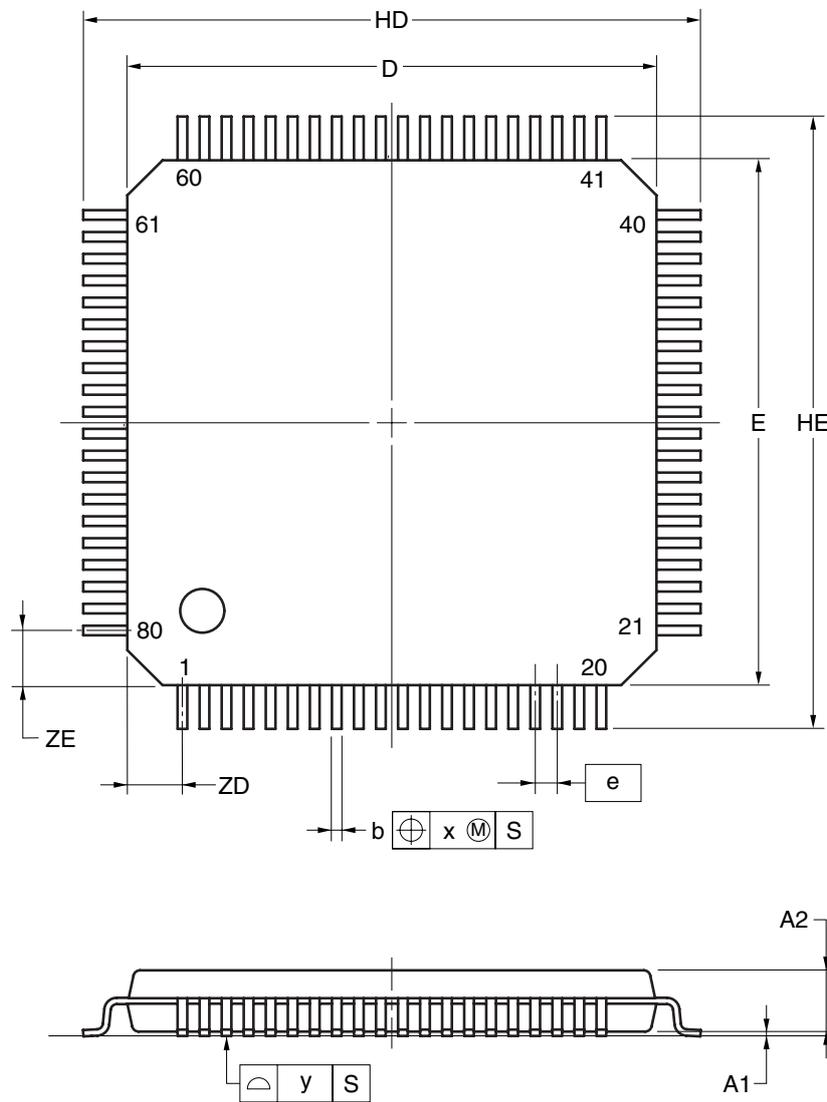
NOTE

Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

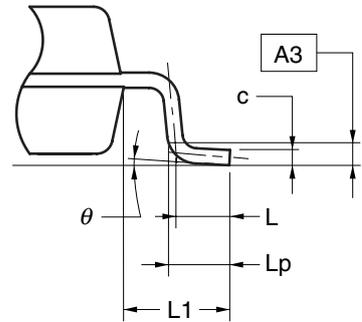
© NEC Electronics Corporation 2005

• V850ES/HF3

80-PIN PLASTIC LQFP (FINE PITCH) (12x12)



detail of lead end



(UNIT:mm)

ITEM	DIMENSIONS
D	12.00±0.20
E	12.00±0.20
HD	14.00±0.20
HE	14.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.20 ^{+0.07} _{-0.03}
c	0.125 ^{+0.075} _{-0.025}
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° ^{+5°} _{-3°}
e	0.50
x	0.08
y	0.08
ZD	1.25
ZE	1.25

P80GK-50-GAK

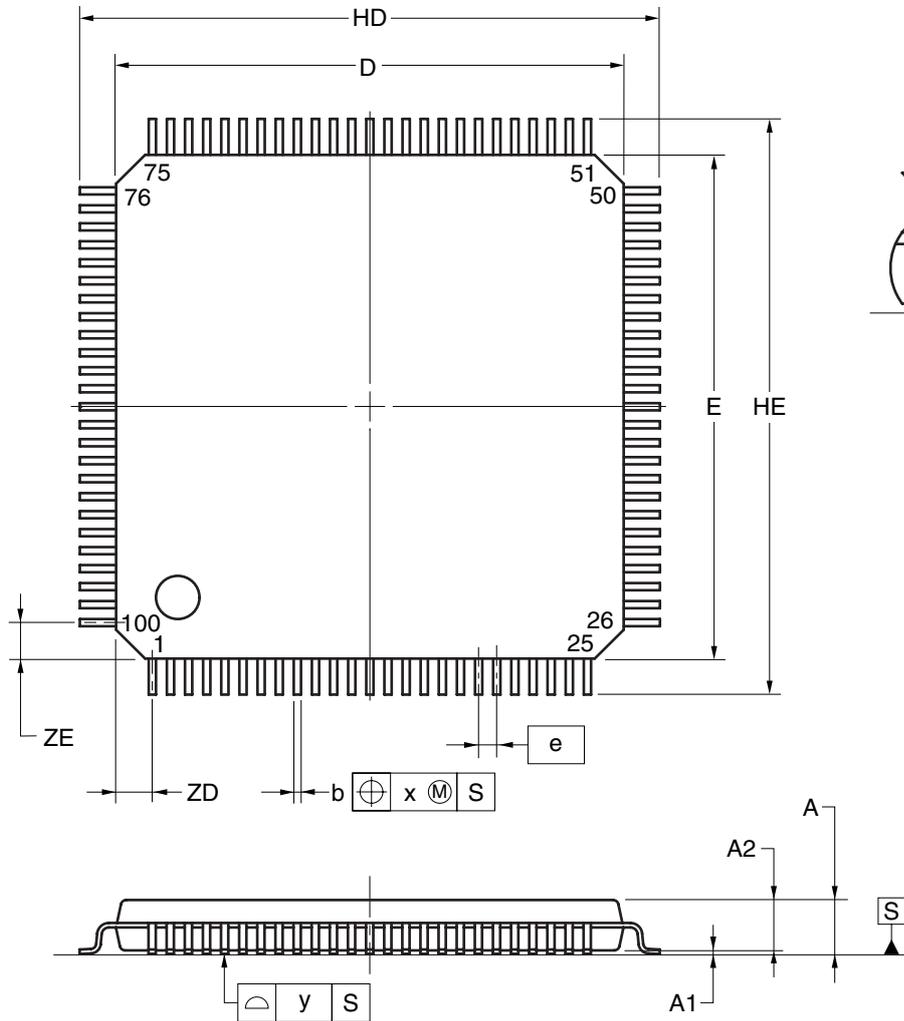
NOTE

Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

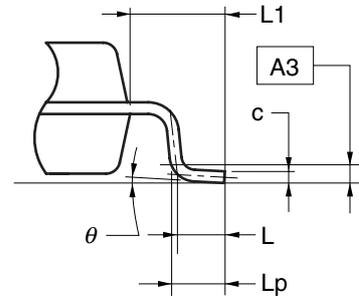
© NEC Electronics Corporation 2005

• V850ES/HG3

100-PIN PLASTIC LQFP (FINE PITCH) (14x14)



detail of lead end



(UNIT:mm)

ITEM	DIMENSIONS
D	14.00±0.20
E	14.00±0.20
HD	16.00±0.20
HE	16.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.20 ^{+0.07} _{-0.03}
c	0.125 ^{+0.075} _{-0.025}
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° ^{+5°} _{-3°}
e	0.50
x	0.08
y	0.08
ZD	1.00
ZE	1.00

P100GC-50-UEU-1

© NEC Electronics Corporation 2007

第34章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表34 - 1 表面実装タイプの半田付け条件

μ PD70F3747GB-GAH-AX	: 64ピン・プラスチックLQFP (ファインピッチ)(10×10)
μ PD70F3750GK-GAK-AX	: 80ピン・プラスチックLQFP (ファインピッチ)(12×12)
μ PD70F3752GC-UEU-AX	: 100ピン・プラスチックLQFP (ファインピッチ)(14×14)
μ PD70F3755GJ-GAE-AX	: 144ピン・プラスチックLQFP (ファインピッチ)(20×20)
μ PD70F3757GJ-GAE-AX	: "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内 制限日数：7日間 [※] （以降は125℃プリベーク20～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考1. V850ES/Hx3は，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

付録A 開発ツール

V850ES/Hx3を使用するシステム開発のために、次のような開発ツールを用意しています。

図A - 1に開発ツール構成を示します。

PC98-NXシリーズへの対応について

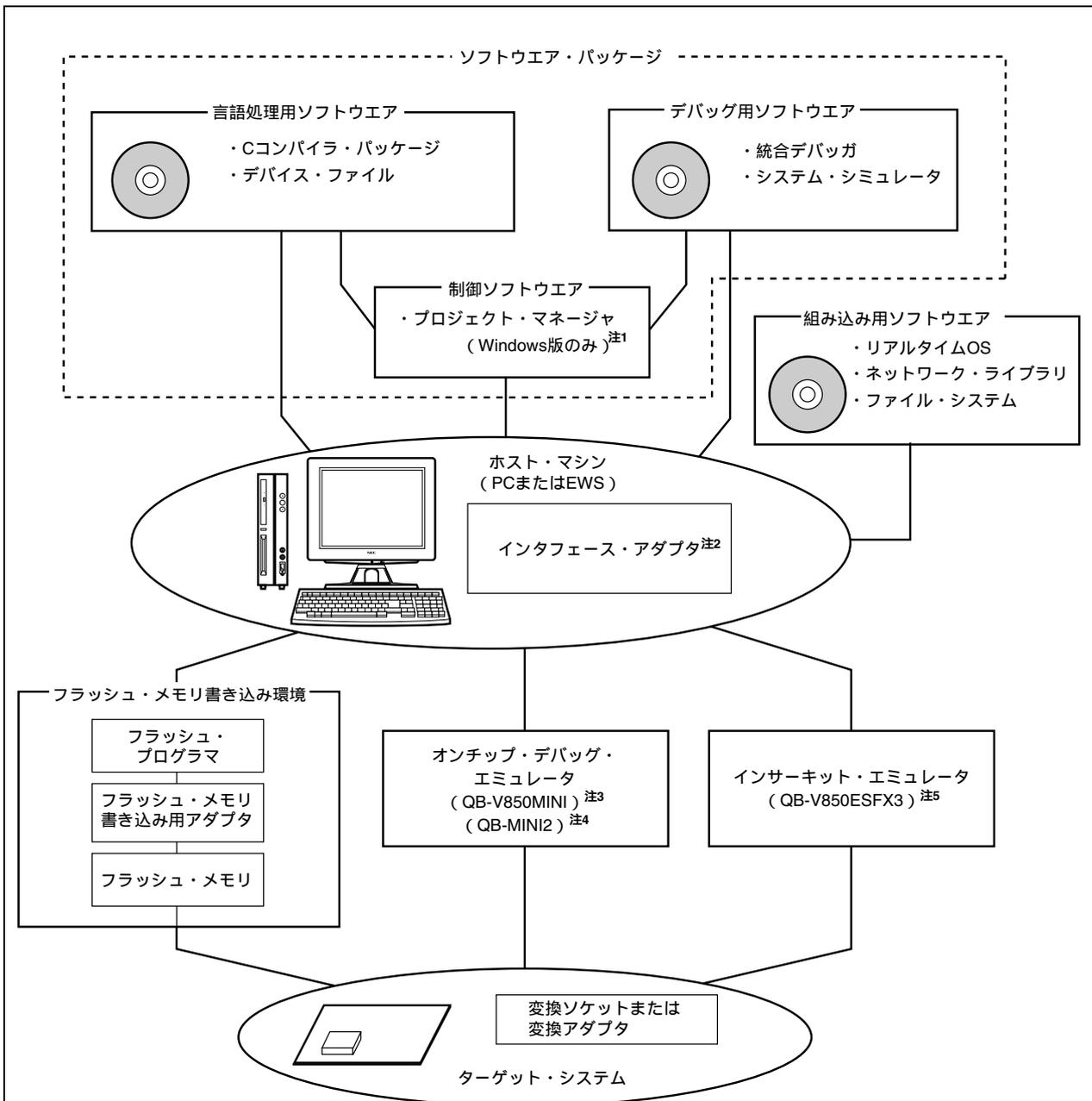
特に断りのないかぎり、IBM PC/ATTM互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

Windows[®]について

特に断りのないかぎり、「Windows」は次のOSを示しています。

- Windows 98, 2000
- Windows Me
- Windows XP[®]
- Windows NT[®] Ver. 4.0

図A-1 開発ツール構成



注1. プロジェクト・マネージャ PM+は、Cコンパイラ・パッケージに入っています。

また、Windows以外ではPM+は使用できません。

2. QB-V850MINI, QB-MINI2, QB-V850ESFX3はUSBのみ対応です。

3. QB-V850MINIは、ID850QB, USBインタフェース・ケーブル, OCDケーブル, セルフチェック・ボード, KELアダプタ, KELコネクタを添付しています。それ以外の製品は、すべてオプションです。

4. QB-MINI2は、USBインタフェース・ケーブル, 16pinターゲット・ケーブル, 10pinターゲット・ケーブル, 78K0-OCDボードを添付しています(統合デバッガは添付されていません)。それ以外の製品は、すべてオプションです。

5. QB-V850ESFX3は、ID850QB, フラッシュ・メモリ・プログラマ(QB-MINI2), 電源ユニットとUSBインタフェース・アダプタを添付しています。それ以外の製品は、すべてオプションです。

A.1 ソフトウェア・パッケージ

SP850 V850シリーズ・ソフトウェア・ パッケージ	V850シリーズ共通の開発ツール（ソフトウェア）を1つのパッケージにした製品です。 オーダ名称： $\mu S \times \times \times \times SP850$
------------------------------------	---

備考 オーダ名称の $\times \times \times \times$ は、使用するホスト・マシン、OSにより異なります。

$\mu S \times \times \times \times SP850$

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ、	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.2 言語処理用ソフトウェア

CA850 Cコンパイラ・パッケージ	C言語で書かれたプログラムを、マイコンの実行可能なオブジェクト・コードに変換するプログラムです。プロジェクト・マネージャ PM+から起動されます。 オーダ名称： $\mu S \times \times \times \times CA703000$
DF703757 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 各ツール（CA850, ID850QB）と組み合わせて使用します。 対応OS、ホスト・マシンは組み合わせられる各ツールに依存します。

備考 オーダ名称の $\times \times \times \times$ は、使用するホスト・マシン、OSにより異なります。

$\mu S \times \times \times \times CA703000$

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ、	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	
3K17	SPARCstation TM	SunOS TM (Rel. 4.1.4) , Solaris TM (Rel. 2.5.1)	

A.3 制御ソフトウェア

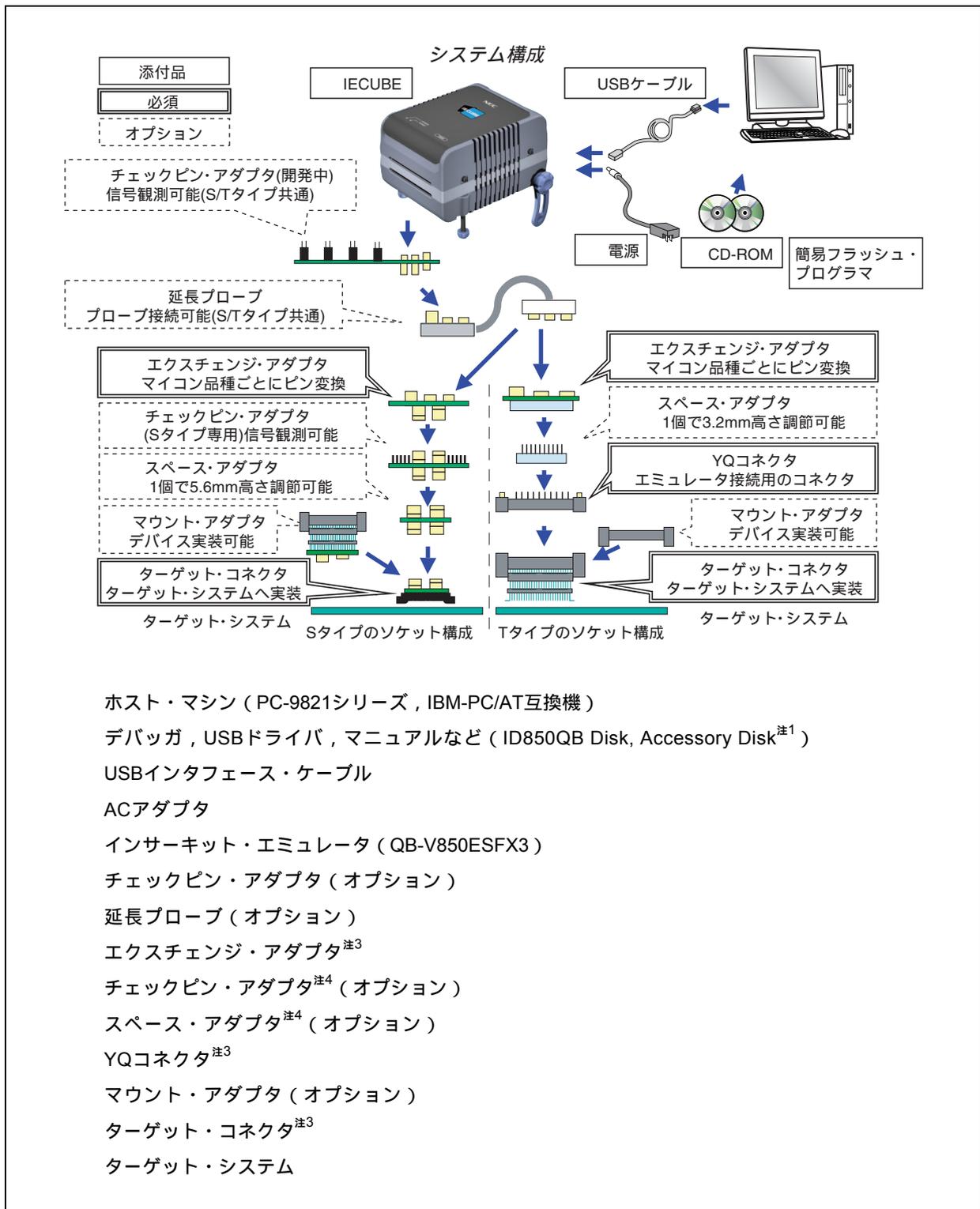
PM+ プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。PM+上から、エディタの起動、ビルド、デバッガの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> PM+は、Cコンパイラ・パッケージ CA850の中に入っています。 Windows以外の環境では使用できません。
---------------------	--

A. 4 デバッグ用ツール（ハードウェア）

A. 4. 1 IECUBE QB-V850ESFX3を使用する場合

QB-V850ESFX3とホスト・マシン（PC-9821シリーズ，PC/AT互換機）を接続して使用する場合のシステム構成を次に示します。オプション製品がない場合でも接続は可能です。

図A - 2 システム構成（QB-V850ESFX3を使用する場合）（1/2）



図A - 2 システム構成 (QB-V850ESFX3を使用する場合) (2/2)

注1. デバイス・ファイルはNECエレクトロニクスのホームページから入手してください。

<http://www.necel.com/micro/ods/jpn/index.html>

2. 開発中

3. オーダ品名によっては、添付品となります。

・QB-V850ESFX3-ZZZでオーダした場合

 エクステンジ・アダプタ，ターゲット・コネクタは添付されていません。

・QB-V850ESFX3-S64GB，QB-V850ESFX3-S80GK，QB-V850ESFX3-S100GC，
QB-V850ESFX3-S144GJでオーダした場合

 エクステンジ・アダプタ (Sタイプ)，ターゲット・コネクタ (Sタイプ) が添付されています。

・QB-V850ESFX3-T64GB，QB-V850ESFX3-T80GK，QB-V850ESFX3-T100GC，
QB-V850ESFX3-T144GJでオーダした場合

 エクステンジ・アダプタ (Tタイプ)，ターゲット・コネクタ (Tタイプ) が添付されています。

4. と の両方を使用する場合， と の接続順序が逆でも接続できます。

QB-V850ESFX3 ^注 インサーキット・エミュレータ	V850ES/Hx3を使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合デバッガ ID850QBに対応しています。電源ユニット、エミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は、USBを使用します。
USBインタフェース・ケーブル	ホスト・マシンとQB-V850ESFX3を接続するケーブルです。
ACアダプタ	ACプラグ差し替えで100～240Vに対応可能です。
エクステンジ・アダプタ	ピン変換を行うアダプタです。
チェックピン・アダプタ	オシロスコープなどで波形観測を行うときに使用するアダプタです。
スペース・アダプタ	高さ調節用アダプタです。
YQコネクタ	ターゲット・コネクタとエクステンジ・アダプタを接続するためのコネクタです。
マウント・アダプタ	V850ES/Hx3をソケット実装するためのアダプタです。
ターゲット・コネクタ	ターゲット・システム上へ半田付けするコネクタです。

注 QB-V850ESFX3は、電源ユニット、USBインタフェース・ケーブルとフラッシュ・メモリ・プログラマ (QB-MINI2) を添付しています。また、コントロール・ソフトウェアとして、統合デバッガ ID850QBを添付しています。

備考 表内の番号は図A - 2の番号に対応しています。各部品の型番は表A - 1を参照してください。

表A - 1 IECUBE関連の部品の型番一覧

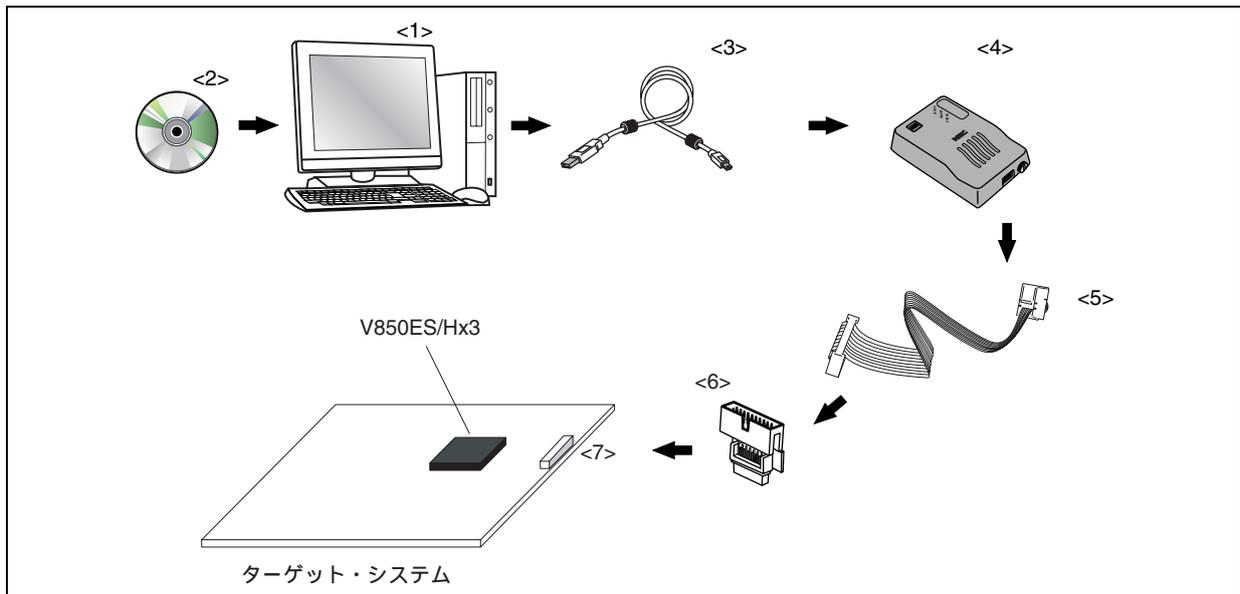
対象デバイス		V850ES/HE3	V850ES/HF3	V850ES/HG3	V850ES/HJ3
チェックピン・ アダプタ2	Sタイプ	QB-144-CA-01			
	Tタイプ				
エミュレーション・ プローブ	Sタイプ	QB-144-EP-01S			
	Tタイプ				
エクステンジ・ アダプタ	Sタイプ	QB-64GB-EA-01S	QB-80GK-EA-02S	QB-100GC-EA-01S	QB-144GJ-EA-03S
	Tタイプ	QB-64GB-EA-02T	QB-80GK-EA-02T	QB-100GC-EA-01T	QB-144GJ-EA-03T
チェックピン・ アダプタ1	Sタイプ	QB-64-CA-01S	QB-80-CA-01S	QB-100-CA-01S	QB-144-CA-01S
スペース・ アダプタ	Sタイプ	QB-64-SA-01S	QB-80-SA-01S	QB-100-SA-01S	QB-144-SA-01S
	Tタイプ	QB-64GB-YS-01T	QB-80GK-YS-01T	QB-100GC-YS-01T	QB-144GJ-YS-01T
YQコネクタ	Tタイプ	QB-64GB-YQ-01T	QB-80GK-YQ-01T	QB-100GC-YQ-01T	QB-144GJ-YQ-01T
マウント・ アダプタ	Sタイプ	QB-64GB-MA-01S	QB-80GK-MA-01S	QB-100GC-MA-01S	QB-144GJ-MA-01S
	Tタイプ	QB-64GB-HQ-01T	QB-80GK-HQ-01T	QB-100GC-HQ-01T	QB-144GJ-HQ-01T
ターゲット・ コネクタ	Sタイプ	QB-64GB-TC-01S	QB-80GK-TC-01S	QB-100GC-TC-01S	QB-144GJ-TC-01S
	Tタイプ	QB-64GB-NQ-01T	QB-80GK-NQ-01T	QB-100GC-NQ-01T	QB-144GJ-NQ-01T

A. 4.2 MINICUBE QB-V850MINIを使用する場合

(1) MINICUBEを使用してのオンチップ・エミュレーション

MINICUBEとホスト・マシン (PC-9821シリーズ , PC/AT互換機) を接続して使用する場合のシステム構成を次に示します。

図A - 3 オンチップ・エミュレーション・システム構成例



<1> ホスト・マシン	USBポート搭載品。
<2> CD-ROM ^{注1}	CD-ROM形式で統合デバッグ ID850QB, N-Wire Checker, デバイス・ドライバ, ドキュメントなどが含まれています。MINICUBEに添付されています。
<3> USBインタフェース・ケーブル	ホスト・マシンとMINICUBEを接続するUSB対応のケーブルです。MINICUBEに添付されています。ケーブルの長さは約2 mです。
<4> MINICUBE オンチップ・デバッグ・エミュレータ	V850ES/Hx3を使用する応用システムを開発する際に, ハードウェア, ソフトウェアをデバッグするためのオンチップ・エミュレータです。統合デバッグ ID850QBに対応しています。
<5> OCDケーブル	MINICUBEとターゲット・システムを接続するケーブルです。 MINICUBEに添付されています。ケーブルの長さは約20 cmです。
<6> コネクタ変換ボード KEL Adaptor	MINICUBEに添付されています。
<7> MINICUBE接続コネクタ KELコネクタ ^{注2}	8830E-026-170S (MINICUBEに添付されています) 8830E-026-170L (別売品)

注1. デバイス・ファイルはNECエレクトロニクスホームページから入手してください。

<http://www.necel.com/micro/ods/jpn/index.html>

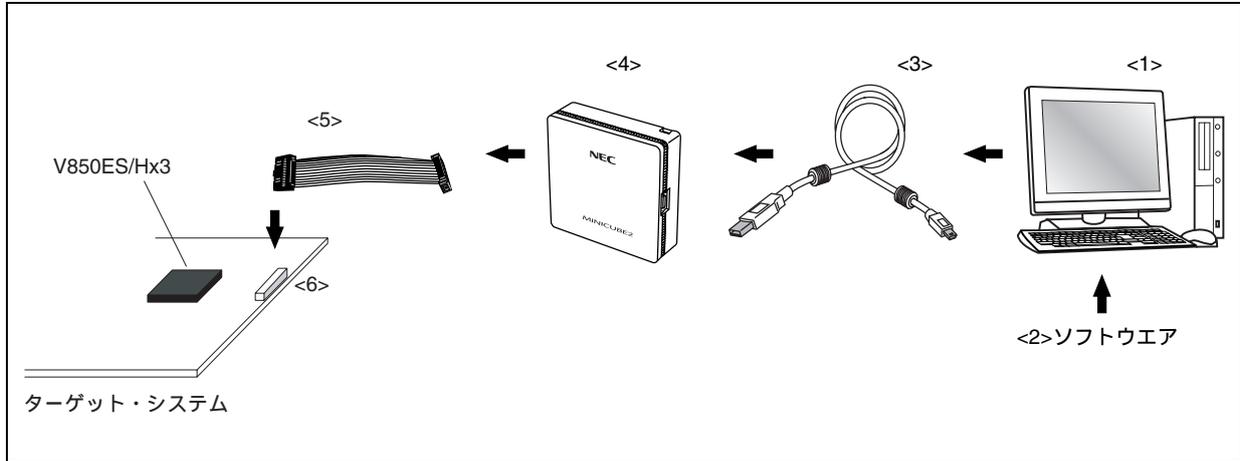
2. ケル株式会社の製品です。

備考 表内の番号は図A - 3の番号に対応しています。

A. 4.3 MINICUBE2 QB-MINI2を使用する場合

MINICUBE2とホスト・マシン（PC-9821シリーズ，PC/AT互換機）を接続して使用する場合のシステム構成を次に示します。

図A-4 オンチップ・エミュレーション・システム構成例



<1> ホスト・マシン	USBポート搭載品。
<2> ソフトウェア	統合デバッガ ID850QB, デバイス・ファイルなどです。 NECエレクトロニクスのホームページから入手してください http://www.necel.com/micro/ods/jpn/index.html
<3>USBインタフェース・ケーブル	ホスト・マシンとMINICUBEを接続するUSB対応のケーブルです。MINICUBEに添付しています。ケーブルの長さは約2 mです。
<4> MINICUBE2 オンチップ・デバッグ・エミュレータ	V850ES/Hx3を使用する応用システムを開発する際に，ハードウェア，ソフトウェアをデバッグするためのオンチップ・エミュレータです。統合デバッガ ID850QBに対応しています。
<5> 16pinターゲット・ケーブル	MINICUBE2とターゲット・システムを接続するケーブルです。 MINICUBEに添付されています。ケーブルの長さは約15 cmです。
<6>ターゲット・コネクタ（別売品）	2.54 mmピッチの16ピン汎用コネクタを使用してください。

備考 表内の番号は図A-4の番号に対応しています。

A.5 デバッグ用ツール(ソフトウェア)

ID850QB 統合デバッガ	V850シリーズ用のインサーキット・エミュレータに対応したデバッガです。ID850QBは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 デバイス・ファイルと組み合わせて使用します。
	オーダ名称： $\mu S \times \times \times \times$ ID703000-QB (ID850QB)

備考 オーダ名称の $\times \times \times \times$ は、使用するホスト・マシン、OSにより異なります。

$\mu S \times \times \times \times$ ID703000-QB

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.6 組み込み用ソフトウェア

RX850, RX850 Pro リアルタイムOS	μ ITRON3.0仕様に準拠したリアルタイムOSです。 複数の情報テーブルを作成するためのツール(コンフィギュレータ)を添付しています。 RX850よりRX850 Proの方が多機能になっています。
	オーダ名称： $\mu S \times \times \times \times$ RX703000- (RX850) $\mu S \times \times \times \times$ RX703100- (RX850 Pro)
RX-FS850 (ファイル・システム)	FATファイル・システム機能です。 CD-ROMファイル・システム機能をサポートしたファイル・システムです。 リアルタイムOS RX850 Proと共に使用します。

注意 RX850, RX850 Proを購入する際、事前に購入申込書にご記入のうえ、使用許諾契約書を締結してください。

備考 オーダ名称の $\times \times \times \times$ およびは、使用するホスト・マシン、OSなどにより異なります。

$\mu S \times \times \times \times$ RX703000-

$\mu S \times \times \times \times$ RX703100-

	製品概要	量産時使用数量の上限
001	評価用オブジェクト	量産品には使用しないでください。
100K	量産用オブジェクト	10万個
001M		100万個
010M		1000万個
S01	ソース・プログラム	量産用オブジェクトのソース・プログラム

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	
3K17	SPARCstation	Solaris (Rel. 2.5.1)	

A.7 フラッシュ・メモリ書き込み用ツール

Flashpro IV (型番 PG-FP4) Flashpro V (型番 PG-FP5) フラッシュ・プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・プログラマです。
QB-MINI2 (MINICUBE2)	プログラミング機能付きオンチップ・デバッグ・エミュレータです。
FA-64GB-GAH-B FA-80GK-GAK-B FA-100GC-UEU-B FA-144GJ-GAE-B フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです (未配線)。Flashpro , Flashpro Vなどに接続して使用します。 ・ FA-64GB-GAH-B : 64ピン・プラスチックLQFP (V850ES/HE3) 用 ・ FA-80GK-GAK-B : 80ピン・プラスチックLQFP (V850ES/HF3) 用 ・ FA-100GC-UEU-B : 100ピン・プラスチックLQFP (V850ES/HG3) 用 ・ FA-144GJ-GAE-B : 144ピン・プラスチックLQFP (V850ES/HJ3) 用
FA-70F3371GB-GAH-RX (開発中) FA-70F3373GK-GAK-RX (開発中) FA-70F3375GC-UEU-RX (開発中) FA-70F3378GJ-GAE-RX (開発中) フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです (配線済み)。Flashpro , Flashpro Vなどに接続して使用します。 ・ FA-70F3371GB-GAH-RX : 64ピン・プラスチックLQFP (V850ES/HE3) 用 ・ FA-70F3373GK-GAK-RX : 80ピン・プラスチックLQFP (V850ES/HF3) 用 ・ FA-70F3375GC-UEU-RX : 100ピン・プラスチックLQFP (V850ES/HG3) 用 ・ FA-70F3378GJ-GAE-RX : 144ピン・プラスチックLQFP (V850ES/HJ3) 用

備考 FA-64GB-GAH-B, FA-80GK-GAK-B, FA-100GC-UEU-B, FA-144GJ-GAE-B, FA-70F3371GB-GAH-RX, FA-70F3373GK-GAK-RX, FA-70F3375GC-UEU-RX, FA-70F3378GJ-GAE-RXは, 株式会社内藤電誠町田製作所の製品です。

問い合わせ先: 株式会社内藤電誠町田製作所 (TEL (042) 750-4172)

付録B レジスタ索引

(1/12)

略号	名称	ユニット	ページ
ADA0CR0	A/D変換結果レジスタ0	ADC	601
ADA0CR0H	A/D変換結果レジスタ0H	ADC	601
ADA0CR1	A/D変換結果レジスタ1	ADC	601
ADA0CR1H	A/D変換結果レジスタ1H	ADC	601
ADA0CR2	A/D変換結果レジスタ2	ADC	601
ADA0CR2H	A/D変換結果レジスタ2H	ADC	601
ADA0CR3	A/D変換結果レジスタ3	ADC	601
ADA0CR3H	A/D変換結果レジスタ3H	ADC	601
ADA0CR4	A/D変換結果レジスタ4	ADC	601
ADA0CR4H	A/D変換結果レジスタ4H	ADC	601
ADA0CR5	A/D変換結果レジスタ5	ADC	601
ADA0CR5H	A/D変換結果レジスタ5H	ADC	601
ADA0CR6	A/D変換結果レジスタ6	ADC	601
ADA0CR6H	A/D変換結果レジスタ6H	ADC	601
ADA0CR7	A/D変換結果レジスタ7	ADC	601
ADA0CR7H	A/D変換結果レジスタ7H	ADC	601
ADA0CR8	A/D変換結果レジスタ8	ADC	601
ADA0CR8H	A/D変換結果レジスタ8H	ADC	601
ADA0CR9	A/D変換結果レジスタ9	ADC	601
ADA0CR9H	A/D変換結果レジスタ9H	ADC	601
ADA0CR10	A/D変換結果レジスタ10	ADC	601
ADA0CR10H	A/D変換結果レジスタ10H	ADC	601
ADA0CR11	A/D変換結果レジスタ11	ADC	601
ADA0CR11H	A/D変換結果レジスタ11H	ADC	601
ADA0CR12	A/D変換結果レジスタ12	ADC	601
ADA0CR12H	A/D変換結果レジスタ12H	ADC	601
ADA0CR13	A/D変換結果レジスタ13	ADC	601
ADA0CR13H	A/D変換結果レジスタ13H	ADC	601
ADA0CR14	A/D変換結果レジスタ14	ADC	601
ADA0CR14H	A/D変換結果レジスタ14H	ADC	601
ADA0CR15	A/D変換結果レジスタ15	ADC	601
ADA0CR15H	A/D変換結果レジスタ15H	ADC	601
ADA0CR16	A/D変換結果レジスタ16	ADC	601
ADA0CR16H	A/D変換結果レジスタ16H	ADC	601
ADA0CR17	A/D変換結果レジスタ17	ADC	601
ADA0CR17H	A/D変換結果レジスタ17H	ADC	601
ADA0CR18	A/D変換結果レジスタ18	ADC	601
ADA0CR18H	A/D変換結果レジスタ18H	ADC	601
ADA0CR19	A/D変換結果レジスタ19	ADC	601

略号	名称	ユニット	ページ
ADA0CR19H	A/D変換結果レジスタ19H	ADC	601
ADA0CR20	A/D変換結果レジスタ20	ADC	601
ADA0CR20H	A/D変換結果レジスタ20H	ADC	601
ADA0CR21	A/D変換結果レジスタ21	ADC	601
ADA0CR21H	A/D変換結果レジスタ21H	ADC	601
ADA0CR22	A/D変換結果レジスタ22	ADC	601
ADA0CR22H	A/D変換結果レジスタ22H	ADC	601
ADA0CR23	A/D変換結果レジスタ23	ADC	601
ADA0CR23H	A/D変換結果レジスタ23H	ADC	601
ADA0M0	A/Dコンバータ・モード・レジスタ0	ADC	596
ADA0M1	A/Dコンバータ・モード・レジスタ1	ADC	598
ADA0M2	A/Dコンバータ・モード・レジスタ2	ADC	599
ADA0PFM	パワー・フェイル比較モード・レジスタ	ADC	604
ADA0PFT	パワー・フェイル比較しきい値レジスタ	ADC	604
ADA0S	A/Dコンバータ・チャンネル指定レジスタ0	ADC	600
ADIC	割り込み制御レジスタ	INTC	862
AWC	アドレス・ウェイト・コントロール・レジスタ	BCU	254
BCC	バス・サイクル・コントロール・レジスタ	BCU	255
BSC	バス・サイズ・コンフィギュレーション・レジスタ	BCU	244
CB0CTL0	CSIB0制御レジスタ0	CSI	690
CB0CTL1	CSIB0制御レジスタ1	CSI	693
CB0CTL2	CSIB0制御レジスタ2	CSI	694
CB0RIC	割り込み制御レジスタ	INTC	862
CB0RX	CSIB0受信データ・レジスタ	CSI	688
CB0RXL	CSIB0受信データ・レジスタL	CSI	688
CB0STR	CSIB0状態レジスタ	CSI	696
CB0TIC	割り込み制御レジスタ	INTC	862
CB0TX	CSIB0送信データ・レジスタ	CSI	689
CB0TXL	CSIB0送信データ・レジスタL	CSI	689
CB1CTL0	CSIB1制御レジスタ0	CSI	690
CB1CTL1	CSIB1制御レジスタ1	CSI	693
CB1CTL2	CSIB1制御レジスタ2	CSI	694
CB1RIC	割り込み制御レジスタ	INTC	862
CB1RX	CSIB1受信データ・レジスタ	CSI	688
CB1RXL	CSIB1受信データ・レジスタL	CSI	688
CB1STR	CSIB1状態レジスタ	CSI	696
CB1TIC	割り込み制御レジスタ	INTC	862
CB1TX	CSIB1送信データ・レジスタ	CSI	689
CB1TXL	CSIB1送信データ・レジスタL	CSI	689
CB2CTL0	CSIB2制御レジスタ0	CSI	690
CB2CTL1	CSIB2制御レジスタ1	CSI	693
CB2CTL2	CSIB2制御レジスタ2	CSI	694
CB2RIC	割り込み制御レジスタ	INTC	862
CB2RX	CSIB2受信データ・レジスタ	CSI	688

略号	名称	ユニット	ページ
CB2RXL	CSIB2受信データ・レジスタL	CSI	688
CB2STR	CSIB2状態レジスタ	CSI	696
CB2TIC	割り込み制御レジスタ	INTC	862
CB2TX	CSIB2送信データ・レジスタ	CSI	689
CB2TXL	CSIB2送信データ・レジスタL	CSI	689
CCLS	CPU動作クロック・ステータス・レジスタ	CG	274
CLM	クロック・モニタ・モード・レジスタ	CLM	926
DADC0	DMAアドレッシング・コントロール・レジスタ0	DMA	819
DADC1	DMAアドレッシング・コントロール・レジスタ1	DMA	819
DADC2	DMAアドレッシング・コントロール・レジスタ2	DMA	819
DADC3	DMAアドレッシング・コントロール・レジスタ3	DMA	819
DBC0	DMA転送カウント・レジスタ0	DMA	818
DBC1	DMA転送カウント・レジスタ1	DMA	818
DBC2	DMA転送カウント・レジスタ2	DMA	818
DBC3	DMA転送カウント・レジスタ3	DMA	818
DCHC0	DMAチャンネル・コントロール・レジスタ0	DMA	820
DCHC1	DMAチャンネル・コントロール・レジスタ1	DMA	820
DCHC2	DMAチャンネル・コントロール・レジスタ2	DMA	820
DCHC3	DMAチャンネル・コントロール・レジスタ3	DMA	820
DDA0H	DMAデスティネーション・アドレス・レジスタ0H	DMA	817
DDA0L	DMAデスティネーション・アドレス・レジスタ0L	DMA	817
DDA1H	DMAデスティネーション・アドレス・レジスタ1H	DMA	817
DDA1L	DMAデスティネーション・アドレス・レジスタ1L	DMA	817
DDA2H	DMAデスティネーション・アドレス・レジスタ2H	DMA	817
DDA2L	DMAデスティネーション・アドレス・レジスタ2L	DMA	817
DDA3H	DMAデスティネーション・アドレス・レジスタ3H	DMA	817
DDA3L	DMAデスティネーション・アドレス・レジスタ3L	DMA	817
DMAIC0	割り込み制御レジスタ	INTC	862
DMAIC1	割り込み制御レジスタ	INTC	862
DMAIC2	割り込み制御レジスタ	INTC	862
DMAIC3	割り込み制御レジスタ	INTC	862
DSA0H	DMAソース・アドレス・レジスタ0H	DMA	816
DSA0L	DMAソース・アドレス・レジスタ0L	DMA	816
DSA1H	DMAソース・アドレス・レジスタ1H	DMA	816
DSA1L	DMAソース・アドレス・レジスタ1L	DMA	816
DSA2H	DMAソース・アドレス・レジスタ2H	DMA	816
DSA2L	DMAソース・アドレス・レジスタ2L	DMA	816
DSA3H	DMAソース・アドレス・レジスタ3H	DMA	816
DSA3L	DMAソース・アドレス・レジスタ3L	DMA	816
DTFR0	DMAトリガ要因レジスタ0	DMA	821
DTFR1	DMAトリガ要因レジスタ1	DMA	821
DTFR2	DMAトリガ要因レジスタ2	DMA	821
DTFR3	DMAトリガ要因レジスタ3	DMA	821
DWC0	データ・ウェイト・コントロール・レジスタ0	BCU	252

略号	名称	ユニット	ページ
HZA0CTL0	ハイ・インピーダンス出力制御レジスタ0	モータ	526
HZA0CTL1	ハイ・インピーダンス出力制御レジスタ1	モータ	526
IIC0	IICシフト・レジスタ0	I ² C	754
IIC0IC	割り込み制御レジスタ	INTC	862
IICC0	IICコントロール・レジスタ0	I ² C	742
IICCL0	IICクロック選択レジスタ0	I ² C	751
IICF0	IICフラグ・レジスタ0	I ² C	749
IICS0	IIC状態レジスタ0	I ² C	749
IICX0	IIC機能拡張レジスタ0	I ² C	752
IMR0	割り込みマスク・レジスタ0	INTC	865
IMR0H	割り込みマスク・レジスタ0H	INTC	865
IMR0L	割り込みマスク・レジスタ0L	INTC	865
IMR1	割り込みマスク・レジスタ1	INTC	865
IMR1H	割り込みマスク・レジスタ1H	INTC	865
IMR1L	割り込みマスク・レジスタ1L	INTC	865
IMR2	割り込みマスク・レジスタ2	INTC	865
IMR2H	割り込みマスク・レジスタ2H	INTC	865
IMR2L	割り込みマスク・レジスタ2L	INTC	865
IMR3	割り込みマスク・レジスタ3	INTC	865
IMR3H	割り込みマスク・レジスタ3H	INTC	865
IMR3L	割り込みマスク・レジスタ3L	INTC	865
IMR4	割り込みマスク・レジスタ4	INTC	865
IMR4H	割り込みマスク・レジスタ4H	INTC	865
IMR4L	割り込みマスク・レジスタ4L	INTC	865
IMR5	割り込みマスク・レジスタ5	INTC	865
IMR5H	割り込みマスク・レジスタ5H	INTC	865
IMR5L	割り込みマスク・レジスタ5L	INTC	865
INTF0	外部割り込み立ち下がりエッジ指定レジスタ0	INTC	879
INTF1	外部割り込み立ち下がりエッジ指定レジスタ1	INTC	880
INTF3	外部割り込み立ち下がりエッジ指定レジスタ3	INTC	881
INTF3H	外部割り込み立ち下がりエッジ指定レジスタ3H	INTC	881
INTF3L	外部割り込み立ち下がりエッジ指定レジスタ3L	INTC	881
INTF4	外部割り込み立ち下がりエッジ指定レジスタ4	INTC	882
INTF6L	外部割り込み立ち下がりエッジ指定レジスタ6L	INTC	883
INTF8	外部割り込み立ち下がりエッジ指定レジスタ8	INTC	884
INTF9H	外部割り込み立ち下がりエッジ指定レジスタ9H	INTC	885
INTR0	外部割り込み立ち上がりエッジ指定レジスタ0	INTC	879
INTR1	外部割り込み立ち上がりエッジ指定レジスタ1	INTC	880
INTR3	外部割り込み立ち上がりエッジ指定レジスタ3	INTC	881
INTR3H	外部割り込み立ち上がりエッジ指定レジスタ3H	INTC	881
INTR3L	外部割り込み立ち上がりエッジ指定レジスタ3L	INTC	881
INTR4	外部割り込み立ち上がりエッジ指定レジスタ4	INTC	882
INTR6L	外部割り込み立ち上がりエッジ指定レジスタ6L	INTC	883
INTR8	外部割り込み立ち上がりエッジ指定レジスタ8	INTC	884

略号	名称	ユニット	ページ
INTR9H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTC	885
ISPR	インサービス・プライオリティ・レジスタ	INTC	869
KRIC	割り込み制御レジスタ	INTC	862
KRM	キー・リターン・モード・レジスタ	KR	891
LOCKR	ロック・レジスタ	CG	281
LVIHIC	割り込み制御レジスタ	INTC	862
LVILIC	割り込み制御レジスタ	INTC	862
LVIM	低電圧検出レジスタ	LVI	933
LVIS	低電圧検出レベル選択レジスタ	LVI	934
MCM	メイン・クロック・モード・レジスタ	CG	273
NFC	ノイズ除去制御レジスタ	INTC	886
OCDM	オンチップ・デバッグ・モード・レジスタ	DCU	984
OCKS0	IIC分周クロック選択レジスタ0	I ² C	754
OSTC	発振安定時間カウント・ステータス・レジスタ	スタンバイ	898
OSTS	発振安定時間選択レジスタ	スタンバイ	896
P0	ポート0	ポート	116
P1	ポート1	ポート	120
P3	ポート3	ポート	123
P3H	ポート3H	ポート	123
P3L	ポート3L	ポート	123
P4	ポート4	ポート	130
P5	ポート5	ポート	133
P6	ポート6	ポート	138
P6H	ポート6H	ポート	138
P6L	ポート6L	ポート	138
P7H	ポート7H	ポート	143
P7L	ポート7L	ポート	143
P8	ポート8	ポート	146
P9	ポート9	ポート	149
P9H	ポート9H	ポート	149
P9L	ポート9L	ポート	149
P12	ポート12	ポート	167
PCC	プロセッサ・クロック・コントロール・レジスタ	CG	267
PCD	ポートCD	ポート	169
PCLM	プログラマブル・クロック・モード・レジスタ	CG	275
PCM	ポートCM	ポート	171
PCS	ポートCS	ポート	175
PCT	ポートCT	ポート	179
PDL	ポートDL	ポート	183
PDLH	ポートDLH	ポート	183
PDLL	ポートDLL	ポート	183
PEMU1	周辺エミュレーション・レジスタ1	CPU	940
PF9H	ポート・ファンクション・レジスタ9H	ポート	166
PFC0	ポート・ファンクション・コントロール・レジスタ0	ポート	118

略号	名称	ユニット	ページ
PFC3L	ポート・ファンクション・コントロール・レジスタ3L	ポート	127
PFC4	ポート・ファンクション・コントロール・レジスタ4	ポート	131
PFC5	ポート・ファンクション・コントロール・レジスタ5	ポート	135
PFC6	ポート・ファンクション・コントロール・レジスタ6	ポート	140
PFC6H	ポート・ファンクション・コントロール・レジスタ6H	ポート	140
PFC6L	ポート・ファンクション・コントロール・レジスタ6L	ポート	140
PFC9	ポート・ファンクション・コントロール・レジスタ9	ポート	156
PFC9H	ポート・ファンクション・コントロール・レジスタ9H	ポート	156
PFC9L	ポート・ファンクション・コントロール・レジスタ9L	ポート	156
PFCE0	ポート・ファンクション・コントロール拡張レジスタ0	ポート	118
PFCE3L	ポート・ファンクション・コントロール拡張レジスタ3L	ポート	127
PFCE4	ポート・ファンクション・コントロール拡張レジスタ4	ポート	132
PFCE5	ポート・ファンクション・コントロール拡張レジスタ5	ポート	135
PFCE9	ポート・ファンクション・コントロール拡張レジスタ9	ポート	157
PFCE9H	ポート・ファンクション・コントロール拡張レジスタ9H	ポート	157
PFCE9L	ポート・ファンクション・コントロール拡張レジスタ9L	ポート	157
PIC0	割り込み制御レジスタ	INTC	862
PIC1	割り込み制御レジスタ	INTC	862
PIC2	割り込み制御レジスタ	INTC	862
PIC3	割り込み制御レジスタ	INTC	862
PIC4	割り込み制御レジスタ	INTC	862
PIC5	割り込み制御レジスタ	INTC	862
PIC6	割り込み制御レジスタ	INTC	862
PIC7	割り込み制御レジスタ	INTC	862
PIC8	割り込み制御レジスタ	INTC	862
PIC9	割り込み制御レジスタ	INTC	862
PIC10	割り込み制御レジスタ	INTC	862
PIC11	割り込み制御レジスタ	INTC	862
PIC12	割り込み制御レジスタ	INTC	862
PIC13	割り込み制御レジスタ	INTC	862
PIC14	割り込み制御レジスタ	INTC	862
PLLCTL	PLLコントロール・レジスタ	CG	280
PLLS	PLLロック・アップ時間指定レジスタ	CG	282
PM0	ポート・モード・レジスタ0	ポート	116
PM1	ポート・モード・レジスタ1	ポート	120
PM3	ポート・モード・レジスタ3	ポート	124
PM3H	ポート・モード・レジスタ3H	ポート	124
PM3L	ポート・モード・レジスタ3L	ポート	124
PM4	ポート・モード・レジスタ4	ポート	131
PM5	ポート・モード・レジスタ5	ポート	134
PM6	ポート・モード・レジスタ6	ポート	138
PM6H	ポート・モード・レジスタ6H	ポート	138
PM6L	ポート・モード・レジスタ6L	ポート	138
PM7H	ポート・モード・レジスタ7H	ポート	144

略号	名称	ユニット	ページ
PM7L	ポート・モード・レジスタ7L	ポート	144
PM8	ポート・モード・レジスタ8	ポート	147
PM9	ポート・モード・レジスタ9	ポート	150
PM9H	ポート・モード・レジスタ9H	ポート	150
PM9L	ポート・モード・レジスタ9L	ポート	150
PM12	ポート・モード・レジスタ12	ポート	168
PMC0	ポート・モード・コントロール・レジスタ0	ポート	117
PMC1	ポート・モード・コントロール・レジスタ1	ポート	121
PMC3	ポート・モード・コントロール・レジスタ3	ポート	125
PMC3H	ポート・モード・コントロール・レジスタ3H	ポート	125
PMC3L	ポート・モード・コントロール・レジスタ3L	ポート	125
PMC4	ポート・モード・コントロール・レジスタ4	ポート	131
PMC5	ポート・モード・コントロール・レジスタ5	ポート	134
PMC6	ポート・モード・コントロール・レジスタ6	ポート	139
PMC6H	ポート・モード・コントロール・レジスタ6H	ポート	139
PMC6L	ポート・モード・コントロール・レジスタ6L	ポート	139
PMC7H	ポート・モード・コントロール・レジスタ7H	ポート	145
PMC7L	ポート・モード・コントロール・レジスタ7L	ポート	145
PMC8	ポート・モード・コントロール・レジスタ8	ポート	147
PMC9	ポート・モード・コントロール・レジスタ9	ポート	151
PMC9H	ポート・モード・コントロール・レジスタ9H	ポート	151
PMC9L	ポート・モード・コントロール・レジスタ9L	ポート	151
PMC12	ポート・モード・コントロール・レジスタ12	ポート	168
PMCCM	ポート・モード・コントロール・レジスタCM	ポート	173
PMCCS	ポート・モード・コントロール・レジスタCS	ポート	177
PMCCCT	ポート・モード・コントロール・レジスタCT	ポート	181
PMCD	ポート・モード・レジスタCD	ポート	169
PMCDL	ポート・モード・コントロール・レジスタDL	ポート	186
PMCDLH	ポート・モード・コントロール・レジスタDLH	ポート	186
PMCDLL	ポート・モード・コントロール・レジスタDLL	ポート	186
PMCM	ポート・モード・レジスタCM	ポート	172
PMCS	ポート・モード・レジスタCS	ポート	176
PMCT	ポート・モード・レジスタCT	ポート	180
PMDL	ポート・モード・レジスタDL	ポート	184
PMDLH	ポート・モード・レジスタDLH	ポート	184
PMDLL	ポート・モード・レジスタDLL	ポート	184
PRCMD	コマンド・レジスタ	CPU	99
PRSCM0	プリスケアラ・コンペア・レジスタ0	WT	581
PRSM0	プリスケアラ・モード・レジスタ0	WT	580
PSC	パワー・セーブ・コントロール・レジスタ	CG	894
PSMR	パワーセーブ・モード・レジスタ	CG	895
PU0	プルアップ抵抗オプション・レジスタ0	ポート	119
PU1	プルアップ抵抗オプション・レジスタ1	ポート	121
PU3	プルアップ抵抗オプション・レジスタ3	ポート	129

略号	名称	ユニット	ページ
PU3H	ブルアップ抵抗オプション・レジスタ3H	ポート	129
PU3L	ブルアップ抵抗オプション・レジスタ3L	ポート	129
PU4	ブルアップ抵抗オプション・レジスタ4	ポート	132
PU5	ブルアップ抵抗オプション・レジスタ5	ポート	136
PU6	ブルアップ抵抗オプション・レジスタ6	ポート	141
PU6H	ブルアップ抵抗オプション・レジスタ6H	ポート	141
PU6L	ブルアップ抵抗オプション・レジスタ6L	ポート	141
PU8	ブルアップ抵抗オプション・レジスタ8	ポート	147
PU9	ブルアップ抵抗オプション・レジスタ9	ポート	165
PU9H	ブルアップ抵抗オプション・レジスタ9H	ポート	165
PU9L	ブルアップ抵抗オプション・レジスタ9L	ポート	165
RAMS	内蔵RAMデータ・ステータス・レジスタ	CG	935
RCM	内蔵発振モード・レジスタ	CG	272
RESF	リセット要因フラグ・レジスタ	CG	916
SELCNT0	セレクタ動作制御レジスタ0	タイマ	398
SELCNT1	セレクタ動作制御レジスタ1	タイマ	399
SELCNT3	セレクタ動作制御レジスタ3	タイマ	399
SELCNT4	セレクタ動作制御レジスタ4	タイマ	286
SFC0	SSCG周波数コントロール・レジスタ0	CG	284
SFC1	SSCG周波数コントロール・レジスタ1	CG	285
SSCGCTL	SSCGコントロール・レジスタ	CG	283
SVA0	スレーブ・アドレス・レジスタ	°C	755
SYS	システム・ステータス・レジスタ	タイマ	100
TAA0CCIC0	割り込み制御レジスタ	INTC	862
TAA0CCIC1	割り込み制御レジスタ	INTC	862
TAA0CCR0	TAA0キャプチャ/コンペア・レジスタ0	タイマ	304
TAA0CCR1	TAA0キャプチャ/コンペア・レジスタ1	タイマ	306
TAA0CNT	TAA0カウンタ・リード・バッファ・レジスタ	タイマ	308
TAA0CTL0	TAA0制御レジスタ0	タイマ	296
TAA0CTL1	TAA0制御レジスタ1	タイマ	297
TAA0IOC0	TAA0 I/O制御レジスタ0	タイマ	299
TAA0IOC1	TAA0 I/O制御レジスタ1	タイマ	300
TAA0IOC2	TAA0 I/O制御レジスタ2	タイマ	301
TAA0OPT0	TAA0オプション・レジスタ0	タイマ	302
TAA0OVIC	割り込み制御レジスタ	INTC	862
TAA1CCIC0	割り込み制御レジスタ	INTC	862
TAA1CCIC1	割り込み制御レジスタ	INTC	862
TAA1CCR0	TAA1キャプチャ/コンペア・レジスタ0	タイマ	304
TAA1CCR1	TAA1キャプチャ/コンペア・レジスタ1	タイマ	306
TAA1CNT	TAA1カウンタ・リード・バッファ・レジスタ	タイマ	308
TAA1CTL0	TAA1制御レジスタ0	タイマ	296
TAA1CTL1	TAA1制御レジスタ1	タイマ	297
TAA1IOC0	TAA1 I/O制御レジスタ0	タイマ	299
TAA1IOC1	TAA1 I/O制御レジスタ1	タイマ	300

略号	名称	ユニット	ページ
TAA1IOC2	TAA1 I/O制御レジスタ2	タイマ	301
TAA1OPT0	TAA1オプション・レジスタ0	タイマ	302
TAA1OPT1	TAA1オプション・レジスタ1	タイマ	303
TAA1OVIC	割り込み制御レジスタ	INTC	862
TAA2CCIC0	割り込み制御レジスタ	INTC	862
TAA2CCIC1	割り込み制御レジスタ	INTC	862
TAA2CCR0	TAA2キャプチャ/コンペア・レジスタ0	タイマ	304
TAA2CCR1	TAA2キャプチャ/コンペア・レジスタ1	タイマ	306
TAA2CNT	TAA2カウンタ・リード・バッファ・レジスタ	タイマ	308
TAA2CTL0	TAA2制御レジスタ0	タイマ	296
TAA2CTL1	TAA2制御レジスタ1	タイマ	297
TAA2IOC0	TAA2 I/O制御レジスタ0	タイマ	299
TAA2IOC1	TAA2 I/O制御レジスタ1	タイマ	300
TAA2IOC2	TAA2 I/O制御レジスタ2	タイマ	301
TAA2OPT0	TAA2オプション・レジスタ	タイマ	302
TAA2OVIC	割り込み制御レジスタ	INTC	862
TAA3CCIC0	割り込み制御レジスタ	INTC	862
TAA3CCIC1	割り込み制御レジスタ	INTC	862
TAA3CCR0	TAA3キャプチャ/コンペア・レジスタ0	タイマ	304
TAA3CCR1	TAA3キャプチャ/コンペア・レジスタ1	タイマ	306
TAA3CNT	TAA3カウンタ・リード・バッファ・レジスタ	タイマ	308
TAA3CTL0	TAA3制御レジスタ0	タイマ	296
TAA3CTL1	TAA3制御レジスタ1	タイマ	297
TAA3IOC0	TAA3 I/O制御レジスタ0	タイマ	299
TAA3IOC1	TAA3 I/O制御レジスタ1	タイマ	300
TAA3IOC2	TAA3 I/O制御レジスタ2	タイマ	301
TAA3OPT0	TAA3オプション・レジスタ0	タイマ	302
TAA3OPT1	TAA3オプション・レジスタ1	タイマ	303
TAA3OVIC	割り込み制御レジスタ	INTC	862
TAA3OVIC	割り込み制御レジスタ	INTC	862
TAA4CCIC0	割り込み制御レジスタ	INTC	862
TAA4CCIC1	割り込み制御レジスタ	INTC	862
TAA4CCR0	TAA4キャプチャ/コンペア・レジスタ0	タイマ	304
TAA4CCR1	TAA4キャプチャ/コンペア・レジスタ1	タイマ	306
TAA4CNT	TAA4カウンタ・リード・バッファ・レジスタ	タイマ	308
TAA4CTL0	TAA4制御レジスタ0	タイマ	296
TAA4CTL1	TAA4制御レジスタ1	タイマ	297
TAA4IOC0	TAA4 I/O制御レジスタ0	タイマ	299
TAA4IOC1	TAA4 I/O制御レジスタ1	タイマ	300
TAA4IOC2	TAA4 I/O制御レジスタ2	タイマ	301
TAA4OPT0	TAA4オプション・レジスタ0	タイマ	302
TAB0CCIC0	割り込み制御レジスタ	INTC	862
TAB0CCIC1	割り込み制御レジスタ	INTC	862
TAB0CCIC2	割り込み制御レジスタ	INTC	862

略号	名称	ユニット	ページ
TAB0CCIC3	割り込み制御レジスタ	INTC	862
TAB0CCR0	TAB0キャプチャ/コンペア・レジスタ0	タイマ	413
TAB0CCR1	TAB0キャプチャ/コンペア・レジスタ1	タイマ	415
TAB0CCR2	TAB0キャプチャ/コンペア・レジスタ2	タイマ	417
TAB0CCR3	TAB0キャプチャ/コンペア・レジスタ3	タイマ	419
TAB0CNT	TAB0カウンタ・リード・バッファ・レジスタ	タイマ	421
TAB0CTL0	TAB0制御レジスタ0	タイマ	406
TAB0CTL1	TAB0制御レジスタ1	タイマ	407
TAB0DTC	TAB0デッド・タイム・コンペア・レジスタ	タイマ	518
TAB0IOC0	TAB0 I/O制御レジスタ0	タイマ	409
TAB0IOC1	TAB0 I/O制御レジスタ1	タイマ	410
TAB0IOC2	TAB0 I/O制御レジスタ2	タイマ	411
TAB0IOC3	TAB0 I/O制御レジスタ3	タイマ	523
TAB0OPT0	TAB0オプション・レジスタ0	タイマ	412
TAB0OPT1	TAB0オプション・レジスタ1	タイマ	520
TAB0OPT2	TAB0オプション・レジスタ2	タイマ	521
TAB0OVIC	割り込み制御レジスタ	INTC	862
TAB1CCIC0	割り込み制御レジスタ	INTC	862
TAB1CCIC1	割り込み制御レジスタ	INTC	862
TAB1CCIC2	割り込み制御レジスタ	INTC	862
TAB1CCIC3	割り込み制御レジスタ	INTC	862
TAB1CCR0	TAB1キャプチャ/コンペア・レジスタ0	タイマ	413
TAB1CCR1	TAB1キャプチャ/コンペア・レジスタ1	タイマ	415
TAB1CCR2	TAB1キャプチャ/コンペア・レジスタ2	タイマ	417
TAB1CCR3	TAB1キャプチャ/コンペア・レジスタ3	タイマ	419
TAB1CNT	TAB1カウンタ・リード・バッファ・レジスタ	タイマ	421
TAB1CTL0	TAB1制御レジスタ0	タイマ	406
TAB1CTL1	TAB1制御レジスタ1	タイマ	407
TAB1IOC0	TAB1 I/O制御レジスタ0	タイマ	409
TAB1IOC1	TAB1 I/O制御レジスタ1	タイマ	410
TAB1IOC2	TAB1 I/O制御レジスタ2	タイマ	411
TAB1OPT0	TAB1オプション・レジスタ0	タイマ	412
TAB1OVIC	割り込み制御レジスタ	INTC	862
TAB2CCIC0	割り込み制御レジスタ	INTC	862
TAB2CCIC1	割り込み制御レジスタ	INTC	862
TAB2CCIC2	割り込み制御レジスタ	INTC	862
TAB2CCIC3	割り込み制御レジスタ	INTC	862
TAB2CCR0	TAB2キャプチャ/コンペア・レジスタ0	タイマ	413
TAB2CCR1	TAB2キャプチャ/コンペア・レジスタ1	タイマ	415
TAB2CCR2	TAB2キャプチャ/コンペア・レジスタ2	タイマ	417
TAB2CCR3	TAB2キャプチャ/コンペア・レジスタ3	タイマ	419
TAB2CNT	TAB2カウンタ・リード・バッファ・レジスタ	タイマ	421
TAB2CTL0	TAB2制御レジスタ0	タイマ	406
TAB2CTL1	TAB2制御レジスタ1	タイマ	407

略号	名称	ユニット	ページ
TAB2IOC0	TAB2 I/O制御レジスタ0	タイマ	409
TAB2IOC1	TAB2 I/O制御レジスタ1	タイマ	410
TAB2IOC2	TAB2 I/O制御レジスタ2	タイマ	411
TAB2OPT0	TAB2オプション・レジスタ0	タイマ	412
TAB2OVIC	割り込み制御レジスタ	INTC	862
TM0CMP0	TMM0コンペア・レジスタ0	タイマ	507
TM0CTL0	TMM0制御レジスタ0	タイマ	508
TM0EQIC0	割り込み制御レジスタ	INTC	862
UD0CTL0	UARTD0制御レジスタ0	UART	632
UD0CTL1	UARTD0制御レジスタ1	UART	674
UD0CTL2	UARTD0制御レジスタ2	UART	675
UD0OPT0	UARTD0オプション制御レジスタ0	UART	634
UD0OPT1	UARTD0オプション制御レジスタ1	UART	636
UD0RIC	割り込み制御レジスタ	INTC	862
UD0RX	UARTD0受信データ・レジスタ	UART	640
UD0SIC	割り込み制御レジスタ	INTC	862
UD0STR	UARTD0状態レジスタ	UART	637
UD0TIC	割り込み制御レジスタ	INTC	862
UD0TX	UARTD0送信データ・レジスタ	UART	641
UD1CTL0	UARTD1制御レジスタ0	UART	632
UD1CTL1	UARTD1制御レジスタ1	UART	674
UD1CTL2	UARTD1制御レジスタ2	UART	675
UD1OPT0	UARTD1オプション制御レジスタ0	UART	634
UD1OPT1	UARTD1オプション制御レジスタ1	UART	636
UD1RIC	割り込み制御レジスタ	INTC	862
UD1RX	UARTD1受信データ・レジスタ	UART	640
UD1SIC	割り込み制御レジスタ	INTC	862
UD1STR	UARTD1状態レジスタ	UART	637
UD1TIC	割り込み制御レジスタ	INTC	862
UD1TX	UARTD1送信データ・レジスタ	UART	641
UD2CTL0	UARTD2制御レジスタ0	UART	632
UD2CTL1	UARTD2制御レジスタ1	UART	674
UD2CTL2	UARTD2制御レジスタ2	UART	675
UD2OPT0	UARTD2オプション制御レジスタ0	UART	634
UD2OPT1	UARTD2オプション制御レジスタ1	UART	636
UD2RIC	割り込み制御レジスタ	INTC	862
UD2RX	UARTD2受信データ・レジスタ	UART	640
UD2SIC	割り込み制御レジスタ	INTC	862
UD2STR	UARTD2状態レジスタ	UART	637
UD2TIC	割り込み制御レジスタ	INTC	862
UD2TX	UARTD2送信データ・レジスタ	UART	641
UD3CTL0	UARTD3制御レジスタ0	UART	632
UD3CTL1	UARTD3制御レジスタ1	UART	674
UD3CTL2	UARTD3制御レジスタ2	UART	675

略号	名称	ユニット	ページ
UD3OPT0	UARTD3オプション制御レジスタ0	UART	634
UD3OPT1	UARTD3オプション制御レジスタ1	UART	636
UD3RIC	割り込み制御レジスタ	INTC	862
UD3RX	UARTD3受信データ・レジスタ	UART	640
UD3SIC	割り込み制御レジスタ	INTC	862
UD3STR	UARTD3状態レジスタ	UART	637
UD3TIC	割り込み制御レジスタ	INTC	862
UD3TX	UARTD3送信データ・レジスタ	UART	641
UD4CTL0	UARTD4制御レジスタ0	UART	632
UD4CTL1	UARTD4制御レジスタ1	UART	674
UD4CTL2	UARTD4制御レジスタ2	UART	675
UD4OPT0	UARTD4オプション制御レジスタ0	UART	634
UD4OPT1	UARTD4オプション制御レジスタ1	UART	636
UD4RIC	割り込み制御レジスタ	INTC	862
UD4RX	UARTD4受信データ・レジスタ	UART	640
UD4SIC	割り込み制御レジスタ	INTC	862
UD4STR	UARTD4状態レジスタ	UART	637
UD4TIC	割り込み制御レジスタ	INTC	862
UD4TX	UARTD4送信データ・レジスタ	UART	641
UD5CTL0	UARTD5制御レジスタ0	UART	632
UD5CTL1	UARTD5制御レジスタ1	UART	674
UD5CTL2	UARTD5制御レジスタ2	UART	675
UD5OPT0	UARTD5オプション制御レジスタ0	UART	634
UD5OPT1	UARTD5オプション制御レジスタ1	UART	636
UD5RIC	割り込み制御レジスタ	INTC	862
UD5RX	UARTD5受信データ・レジスタ	UART	640
UD5SIC	割り込み制御レジスタ	INTC	862
UD5STR	UARTD5状態レジスタ	UART	637
UD5TIC	割り込み制御レジスタ	INTC	862
UD5TX	UARTD5送信データ・レジスタ	UART	641
VSWC	システム・ウェイト・コントロール・レジスタ	CPU	101
WDE	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDT	591
WDTM2	ウォッチドッグ・タイマ・モード・レジスタ2	WDT	589
WTIC	割り込み制御レジスタ	INTC	862
WTIIC	割り込み制御レジスタ	INTC	862
WTM	時計タイマ動作モード・レジスタ	WT	582

付録C 命令セット一覧

C.1 凡 例

(1) オペランド記述に使われる略号

略号	説明
reg1	汎用レジスタ (ソース・レジスタとして使用)
reg2	汎用レジスタ (おもにデスティネーション・レジスタとして使用。一部の命令で、ソース・レジスタとしても使用。)
reg3	汎用レジスタ (おもに除算結果の余り、乗算結果の上位32ビットを格納)
bit#3	ビット・ナンバ指定用3ビット・データ
imm x	xビット・イミューディエト・データ
disp x	xビット・ディスプレイースメント・データ
regID	システム・レジスタ番号
vector	トラップ・ベクタ (00H-1FH) を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ
sp	スタック・ポインタ (r3)
ep	エレメント・ポインタ (r30)
list x	x個のレジスタ・リスト

(2) オペランドに使われる略号

略号	説明
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
w	reg3を指定するコードの1ビット分データ
d	ディスプレイースメントの1ビット分データ
l	イミューディエトの1ビット分データ (イミューディエトの上位ビットを示す)
i	イミューディエトの1ビット分データ
cccc	条件コードを示す4ビット・データ
CCCC	Bcond命令の条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定用3ビット・データ
L	レジスタ・リスト中のプログラム・レジスタを指定する1ビット分データ

(3) オペレーションに使われる略号

略号	説明
	代入
GR[]	汎用レジスタ
SR[]	システム・レジスタ
zero-extend (n)	nをワード長までゼロ拡張する。
sign-extend (n)	nをワード長まで符号拡張する。
load-memory (a, b)	アドレス「a」からサイズ「b」のデータを読み出す。
store-memory (a, b, c)	アドレス「a」に、データ「b」をサイズ「c」で書き込む。
load-memory-bit (a, b)	アドレス「a」のビット「b」を読み出す。
store-memory-bit (a, b, c)	アドレス「a」のビット「b」に「c」を書き込む。
saturated (n)	nの飽和处理を行う (nは2の補数)。 nが計算の結果、n 7FFFFFFFHとなった場合、n = 7FFFFFFFHとする。 nが計算の結果、n 80000000Hとなった場合、n = 80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト (8ビット)
Half-word	ハーフワード (16ビット)
Word	ワード (32ビット)
+	加算
-	減算
	ビット連結
×	乗算
÷	除算
%	除算結果の余り
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

(4) 実行クロックに使われる略号

略号	説明
i	命令実行直後にほかの命令を実行する場合 (issue)
r	命令実行直後に同一命令を繰り返す場合 (repeat)
l	命令実行結果を命令実行直後の命令で利用する場合 (latency)

(5) フラグの動作に使われる略号

略号	説明
(ブランク)	変化なし
0	0にクリア
x	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

(6) 条件コード

条件コード (cccc)	条件式	説明
0000	$OV = 1$	Overflow
1000	$OV = 0$	No overflow
0001	$CY = 1$	Carry Lower (Less than)
1001	$CY = 0$	No carry No lower (Greater than or equal)
0010	$Z = 1$	Zero
1010	$Z = 0$	Not zero
0011	$(CY \text{ or } Z) = 1$	Not higher (Less than or equal)
1011	$(CY \text{ or } Z) = 0$	Higher (Greater than)
0100	$S = 1$	Negative
1100	$S = 0$	Positive
0101	-	Always (無条件)
1101	$SAT = 1$	Saturated
0110	$(S \text{ xor } OV) = 1$	Less than signed
1110	$(S \text{ xor } OV) = 0$	Greater than or equal signed
0111	$((S \text{ xor } OV) \text{ or } Z) = 1$	Less than or equal signed
1111	$((S \text{ xor } OV) \text{ or } Z) = 0$	Greater than signed

C.2 インストラクション・セット (アルファベット順)

(1/5)

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2] GR[reg2] + GR[reg1]	1	1	1	x	x	x	x		
	imm5, reg2	rrrrr010010iiii	GR[reg2] GR[reg2] + sign-extend (imm5)	1	1	1	x	x	x	x		
ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1	x	x	x	x		
AND	reg1, reg2	rrrrr001010RRRRR	GR[reg2] GR[reg2] AND GR[reg1]	1	1	1		0	x	x		
ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] AND zero-extend (imm16)	1	1	1		0	x	x		
Bcond	disp9	dddd1011ddcccc 注1	if conditions are satisfied	条件成立時	2	2	2					
			then PC PC + sign-extend (disp9)	注2	注2	注2						
			条件不成立時	1	1	1						
BSH	reg2, reg3	rrrrr1111100000 wwwww01101000010	GR[reg3] GR[reg2] (23:16) GR[reg2] (31:24) GR [reg2] (7:0) GR[reg2] (15:8)	1	1	1	x	0	x	x		
BSW	reg2, reg3	rrrrr1111100000 wwwww01101000000	GR[reg3] GR[reg2] (7:0) GR[reg2] (15:8) GR[reg2] (23:16) GR[reg2] (31:24)	1	1	1	x	0	x	x		
CALLT	imm6	000001000iiii	CTPC PC + 2 (return PC) CTPSW PSW adr CTBP + zero-extend (imm6 logically shift left by 1) PC CTBP + zero-extend(Load-memory (adr,Half-word))	4	4	4						
CLR1	bit#3, disp16[reg1]	10bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 0)	3	3	3				x		
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100100	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 0)	3	3	3				x		
CMOV	cccc, imm5, reg2, reg3	rrrrr11111iiii wwwww011000cccc0	if conditions are satisfied then GR[reg3] sign-extend (imm5) else GR[reg3] GR[reg2]	1	1	1						
	cccc, reg1, reg2, reg3	rrrrr11111RRRRR wwwww011001cccc0	if conditions are satisfied then GR[reg3] GR[reg1] else GR[reg3] GR[reg2]	1	1	1						
CMP	reg1, reg2	rrrrr001111RRRRR	result GR[reg2] - GR[reg1]	1	1	1	x	x	x	x		
	imm5, reg2	rrrrr010011iiii	result GR[reg2] - sign-extend (imm5)	1	1	1	x	x	x	x		
CTRET		000001111100000 0000000101000100	PC CTPC PSW CTPSW	3	3	3	R	R	R	R	R	
DBRET		000001111100000 0000000101000110	PC DBPC PSW DBPSW	3	3	3	R	R	R	R	R	
DBTRAP		1111100001000000	DBPC PC + 2 (復帰PC) DBPSW PSW PSW.NP 1 PSW.EP 1 PSW.ID 1 PC 00000060H	3	3	3						
DI		000001111100000 0000000101100000	PSW.ID 1	1	1	1						

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
DISPOSE	imm5, list12	0000011001iiiiL LLLLLLLLLLLL00000	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until all regs in list12 is loaded	n+1 注4	n+1 注4	n+1 注4						
	imm5, list12 [reg1]	0000011001iiiiL LLLLLLLLLLLLRRRRR 注5	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until all regs in list12 is loaded PC GR[reg1]	n+3 注4	n+3 注4	n+3 注4						
DIV	reg1, reg2, reg3	rrrrr11111RRRRR wwwww01011000000	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x		
DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6}	35	35	35		x	x	x		
	reg1, reg2, reg3	rrrrr11111RRRRR wwwww01010000000	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6} GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x		
DIVHU	reg1, reg2, reg3	rrrrr11111RRRRR wwwww01010000010	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6} GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x		
DIVU	reg1, reg2, reg3	rrrrr11111RRRRR wwwww01011000010	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x		
EI		100001111100000 0000000101100000	PSW.ID 0	1	1	1						
HALT		000001111100000 0000000100100000	停止する	1	1	1						
HSW	reg2, reg3	rrrrr1111100000 wwwww01101000100	GR[reg3] GR[reg2] (15:0) GR[reg2] (31:16)	1	1	1	x	0	x	x		
JARL	disp22, reg2	rrrrr11110dddd dddddddddddddd0 注7	GR[reg2] PC + 4 PC PC + sign-extend(disp22)	2	2	2						
JMP	[reg1]	0000000011RRRRR	PC GR[reg1]	3	3	3						
JR	disp22	0000011110dddd dddddddddddddd0 注7	PC PC + sign-extend(disp22)	2	2	2						
LD.B	disp16[reg1], reg2	rrrrr111000RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Byte))	1	1	注11						
LD.BU	disp16[reg1], reg2	rrrrr11110bRRRRR ddddddddddddddd1 注8, 10	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Byte))	1	1	注11						
LD.H	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd0 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Halfword))	1	1	注11						
LDSR	reg2, regID	rrrrr11111RRRRR 000000000100000 注12	SR[regID] GR[reg2]	regID = PSW以外	1	1	1					
				regID = PSW	1	1	1	x	x	x	x	x
LD.HU	disp16[reg1], reg2	rrrrr11111RRRRR ddddddddddddddd1 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Halfword))	1	1	注11						

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
LD.W	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend (disp16) GR[reg2] Load-memory (adr, Word)	1	1	注11						
MOV	reg1, reg2	rrrrr000000RRRRR	GR[reg2] GR[reg1]	1	1	1						
	imm5, reg2	rrrrr010000iiii	GR[reg2] sign-extend (imm5)	1	1	1						
	imm32, reg1	00000110001RRRRR iiiiiiiiiiiiiiii IIIIIIIIIIIIIIII	GR[reg1] imm32	2	2	2						
MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1						
MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + (imm16 0 ¹⁶)	1	1	1						
MUL	reg1, reg2, reg3	rrrrr111111RRRRR wwwww01000100000 注14	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	4	5						
	imm9, reg2, reg3	rrrrr111111iiii wwwww01001IIII00 注13	GR[reg3] GR[reg2] GR[reg2] × sign-extend (imm9)	1	4	5						
MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2] GR[reg2] ^{2⁶} × GR[reg1] ^{2⁶}	1	1	2						
	imm5, reg2	rrrrr010111iiii	GR[reg2] GR[reg2] ^{2⁶} × sign-extend (imm5)	1	1	2						
MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] ^{2⁶} × imm16	1	1	2						
MULU	reg1, reg2, reg3	rrrrr111111RRRRR wwwww01000100010 注14	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	4	5						
	imm9, reg2, reg3	rrrrr111111iiii wwwww01001IIII10 注13	GR[reg3] GR[reg2] GR[reg2] × zero-extend (imm9)	1	4	5						
NOP		0000000000000000	何もせず最低1クロック費やします	1	1	1						
NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2] NOT (GR[reg1])	1	1	1		0	×	×		
NOT1	bit#3, disp16[reg1]	01bbb11110RRRRR ddddddddddddddd 注3	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, Zフラグ)	3	3	3					×	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100010 注3	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, Zフラグ)	3	3	3					×	
OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2] GR[reg2] OR GR[reg1]	1	1	1		0	×	×		
ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] OR zero-extend (imm16)	1	1	1		0	×	×		
PREPARE	list12, imm5	0000011110iiiiL LLLLLLLLLLLL00001	Store-memory (sp - 4, GR[reg in list12], Word) sp sp - 4 repeat 1 steps above until all regs in list12 is stored sp sp-zero-extend (imm5)	n+1 注4	n+1 注4	n+1 注4						
	list12, imm5, sp/imm ^{注15}	0000011110iiiiL LLLLLLLLLLLLff011 imm16/imm32 注16	Store-memory (sp - 4, GR[reg in list12], Word) sp sp - 4 repeat 1 steps above until all regs in list12 is stored sp sp - zero-extend (imm5) ep sp/imm	n+2 注4	n+2 注4	n+2 注4						

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
RETI		0000011111100000 0000000101000000	if PSW.EP = 1 then PC EIPC PSW EIPSW else if PSW.NP = 1 then PC FEPC PSW FEPSW else PC EIPC PSW EIPSW	3	3	3	R	R	R	R	R
SAR	reg1, reg2	rrrrr11111RRRRR 0000000101000000	GR[reg2] GR[reg2] arithmetically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010101iiii	GR[reg2] GR[reg2] arithmetically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SASF	cccc, reg2	rrrrr111110cccc 0000001000000000	if conditions are satisfied then GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000001H else GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000000H	1	1	1					
SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2] saturated (GR[reg2] + GR[reg1])	1	1	1	x	x	x	x	x
	imm5, reg2	rrrrr010001iiii	GR[reg2] saturated (GR[reg2] + sign-extend (imm5))	1	1	1	x	x	x	x	x
SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2] saturated (GR[reg2] - GR[reg1])	1	1	1	x	x	x	x	x
SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2] saturated (GR[reg1] - sign-extend (imm16))	1	1	1	x	x	x	x	x
SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2] saturated (GR[reg1] - GR[reg2])	1	1	1	x	x	x	x	x
SETF	cccc, reg2	rrrrr111110cccc 0000000000000000	if conditions are satisfied then GR[reg2] 0000001H else GR[reg2] 0000000H	1	1	1					
SET1	bit#3, disp16 [reg1]	00bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 1)	3	3	3					x
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100000	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 1)	3	3	3					x
SHL	reg1, reg2	rrrrr11111RRRRR 0000000011000000	GR[reg2] GR[reg2] logically shift left by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010110iiii	GR[reg2] GR[reg2] logically shift left by zero-extend (imm5)	1	1	1	x	0	x	x	
SHR	reg1, reg2	rrrrr11111RRRRR 0000000010000000	GR[reg2] GR[reg2] logically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010100iiii	GR[reg2] GR[reg2] logically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SLD.B	disp7 [ep] , reg2	rrrrr0110ddddddd	adr ep + zero-extend (disp7) GR[reg2] sign-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.BU	disp4 [ep] , reg2	rrrrr0000110ddd 注18	adr ep + zero-extend (disp4) GR[reg2] zero-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.H	disp8 [ep] , reg2	rrrrr1000ddddddd 注19	adr ep + zero-extend (disp8) GR[reg2] sign-extend (Load-memory (adr, Halfword))	1	1	注9					

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SLD.HU	disp5 [ep] , reg2	rrrrr0000111ddd 注18, 20	adr ep + zero-extend (disp5) GR[reg2] zero-extend (Load-memory (adr, Halfword))	1	1	注9					
SLD.W	disp8 [ep] , reg2	rrrrr1010ddddd0 注21	adr ep + zero-extend (disp8) GR[reg2] Load-memory (adr, Word)	1	1	注9					
SST.B	reg2, disp7 [ep]	rrrrr0111ddddd	adr ep + zero-extend (disp7) Store-memory (adr, GR[reg2], Byte)	1	1	1					
SST.H	reg2, disp8 [ep]	rrrrr1001ddddd 注19	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
SST.W	reg2, disp8 [ep]	rrrrr1010ddddd1 注21	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Word)	1	1	1					
ST.B	reg2, disp16 [reg1]	rrrrr111010RRRR dddddddddddddd	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Byte)	1	1	1					
ST.H	reg2, disp16 [reg1]	rrrrr111011RRRR dddddddddddddd0 注3	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
ST.W	reg2, disp16 [reg1]	rrrrr111011RRRR dddddddddddddd1 注3	adr GR[reg1] + sign-extend(disp16) Store-memory (adr, GR[reg2], Word)	1	1	1					
STSR	regID, reg2	rrrrr11111RRRR 000000001000000	GR[reg2] SR[regID]	1	1	1					
SUB	reg1, reg2	rrrrr001101RRRR	GR[reg2] GR[reg2] - GR[reg1]	1	1	1	x	x	x	x	
SUBR	reg1, reg2	rrrrr001100RRRR	GR[reg2] GR[reg1] - GR[reg2]	1	1	1	x	x	x	x	
SWITCH	reg1	0000000010RRRR	adr (PC + 2) + (GR[reg1] logically shift left by 1) PC (PC + 2) + (sign-extend (Load-memory (adr, Halfword))) logically shift left by 1	5	5	5					
SXB	reg1	00000000101RRRR	GR[reg1] sign-extend (GR[reg1] (7 : 0))	1	1	1					
SXH	reg1	00000000111RRRR	GR[reg1] sign-extend (GR[reg1] (15 : 0))	1	1	1					
TRAP	vector	0000011111111111 0000000100000000	EIPC PC + 4 (復帰PC) EIPSW PSW ECR.EICC 割り込みコード PSW.EP 1 PSW.ID 1 PC 00000040H (vectorが00H-0FHのとき) 00000050H (vectorが10H-1FHのとき)	3	3	3					
TST	reg1, reg2	rrrrr001011RRRR	result GR[reg2] AND GR[reg1]	1	1	1		0	x	x	
TST1	bit#3, disp16 [reg1]	11bbb111110RRRR dddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3))	3	3	3	注3	注3	注3		x
	reg2, [reg1]	rrrrr11111RRRR 0000000011100110	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2))	3	3	3	注3	注3	注3		x
XOR	reg1, reg2	rrrrr001001RRRR	GR[reg2] GR[reg2] XOR GR[reg1]	1	1	1		0	x	x	
XORI	imm16, reg1, reg2	rrrrr110101RRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] XOR zero-extend (imm16)	1	1	1		0	x	x	
ZXB	reg1	00000000100RRRR	GR[reg1] zero-extend (GR[reg1] (7 : 0))	1	1	1					
ZXH	reg1	00000000110RRRR	GR[reg1] zero-extend (GR[reg1] (15 : 0))	1	1	1					

- 注1. ddddddddはdisp9の上位8ビットです。
2. 直前にPSWの内容を書き換える命令がある場合は3。
 3. ウェイト・ステートがない場合 (3+リード・アクセス・ウェイト・ステート数)
 4. nはlist12のロード・レジスタの合計数 (ウェイト・ステート数による。ウェイト・ステートがない場合, nはlist12のレジスタ数。n = 0の場合, n = 1と同じ動作)
 5. RRRRR : 00000以外
 6. 下位ハーフワード・データだけ有効
 7. ddddddddddddddddddddはdisp22の上位21ビットです。
 8. ddddddddddddddddはdisp16の上位15ビットです。
 9. ウェイト・ステート数による (ウェイト・ステートがない場合は1)
 10. b : disp16のビット0
 11. ウェイト・ステート数による (ウェイト・ステートがない場合は2)
 12. この命令ではニモニクの記述の都合上, ソース・レジスタをreg2としていますが, オペコード上はreg1のフィールドを使用しています。したがって, ニモニク記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。
 - rrrrr = regID指定
 - RRRRR = reg2指定
 13. iiii : imm9の下位5ビット
IIII : imm9の上位4ビット
 14. 汎用レジスタreg1と汎用レジスタreg3に, 同じレジスタを指定しないでください。
 15. sp/imm : サブオペコードのビット19, 20で指定
 16. ff = 00 : spをepにロード
 - 01 : 符号拡張した16ビット・イミディエト・データ (ビット47-32) をepにロード
 - 10 : 16ビット論理左シフトした16ビット・イミディエト・データ (ビット47-32) をepにロード
 - 11 : 32ビット・イミディエト・データ (ビット63-32) をepにロード
 17. imm = imm32の場合はn + 3クロック
 18. rrrrr : 00000以外
 19. dddddddはdisp8の上位7ビットです。
 20. ddddはdisp5の上位4ビットです。
 21. dddddddはdisp8の上位6ビットです。

付録D 改版履歴

D.1 本版で改訂された主な箇所

箇所	内容
全般	・開発中 量産 μ PD70F3747GB-GAH-AX, μ PD70F3750GK-GAK-AX, μ PD70F3752GC-UEU-AX, μ PD70F3755GJ-GAE-AX, μ PD70F3757GJ-GAE-AX
p.243	表5 - 4 アクセス・クロック数 (μ PD70F3757) 変更
p.263	6.1 概要 変更
p.266	6.2 (1) メイン・クロック発振回路 変更
p.280	6.5.1 概要 変更
p.376	図7 - 36 パルス幅測定モード動作時のレジスタ設定内容 変更
p.834	17.13 (4) (a) 一時的にすべてのDMAチャンネルの転送を停止させる方法 変更
p.1003	29.4.1 (1) 京セラキンセキ株式会社：水晶振動子 (TA = - 10 ~ + 70) 追加
p.1005	29.4.3 PLL特性 変更
p.1009	29.6.3 電源電流 変更
p.1023	29.9 (2) シリアル・オペレーション特性 変更
p.1028	30.4.1 (1) 京セラキンセキ株式会社：水晶振動子 (TA = - 10 ~ + 70) 追加
p.1030	30.4.3 PLL特性 変更
p.1034	30.6.3 電源電流 変更
p.1047	30.9 (2) シリアル・オペレーション特性 変更
p.1052	31.4.1 (1) 京セラキンセキ株式会社：水晶振動子 (TA = - 10 ~ + 70) 追加
p.1054	31.4.3 PLL特性 変更
p.1058	31.6.3 電源電流 変更
p.1072	31.9 (2) シリアル・オペレーション特性 変更
p.1077	32.4.1 (1) 京セラキンセキ株式会社：水晶振動子 (TA = - 10 ~ + 70) 追加
p.1079	32.4.3 PLL特性 変更
p.1083, 1084	32.6.3 電源電流 変更
p.1103	32.9 (2) シリアル・オペレーション特性 変更
p.1108	第34章 半田付け推奨条件 追加
p.1140	付録D 改版履歴 追加

(メモ)

【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00, 午後 1:00～5:00)

電話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。
