

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ユーザーズ・マニュアル（暫定）

V850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-L

32ビット・シングルチップ・マイクロコントローラ

ハードウェア編

V850ES/FE3-L :

μPD70F3610

μPD70F3611

μPD70F3612

μPD70F3613

μPD70F3614

V850ES/FF3-L :

μPD70F3615

μPD70F3616

μPD70F3617

μPD70F3618

μPD70F3619

V850ES/FG3-L :

μPD70F3620

μPD70F3621

μPD70F3622

(メモ)

目次要約

第1章	イントロダクション	...	19
第2章	端子機能	...	29
第3章	CPU機能	...	117
第4章	クロック発生機能とスタンバイ制御	...	144
第5章	割り込みコントローラ (INTC)	...	203
第6章	キー割り込み機能	...	241
第7章	フラッシュ・メモリ	...	243
第8章	オプション・バイト	...	269
第9章	データ保護とセキュリティ	...	273
第10章	16ビット・タイマ/イベント・カウンタAA	...	278
第11章	16ビット・インターバル・タイマM	...	354
第12章	時計タイマ機能	...	360
第13章	ウォッチドッグ・タイマ2	...	366
第14章	アシンクロナス・シリアル・インタフェース (UARTD)	...	371
第15章	3線式シリアル・インタフェース (CSIB)	...	424
第16章	I ² Cバス	...	460
第17章	CANコントローラ	...	538
第18章	A/Dコンバータ	...	678
第19章	電 源	...	718
第20章	リセット機能	...	721
第21章	低電圧検出回路	...	727
第22章	オンチップ・デバッグ・ユニット	...	736
付録A	周辺I/Oレジスタとプログラマブル周辺I/Oレジスタ	...	752
付録B	レジスタ索引	...	761
付録C	改版履歴	...	770

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

注意：本製品は、Silicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

- 本資料は、この製品の企画段階で作成していますので、予告なしに内容を変更することがあります。また本資料で扱う製品の製品化を中止することがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に掲載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っておりません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

（注）

（1）本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

（2）本事項において使用されている「当社製品」とは、（1）において定義された当社の開発、製造製品をいう。

M50710J

はじめに

- 対象者** このマニュアルは、V850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-Lの機能を理解し、それを用いた応用システムを設計するユーザを対象とします。
- 目的** このマニュアルは、次の構成に示すハードウェア機能をユーザに理解していただくことを目的としています。
- 構成** V850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-Lのユーザズ・マニュアルは、ハードウェア編（このマニュアル）と、アーキテクチャ編（V850ES ユーザズ・マニュアル アーキテクチャ編）の2冊に分かれています。

ハードウェア編

- ・端子機能
- ・CPU機能
- ・内蔵周辺機能
- ・フラッシュ・メモリ・プログラミング

アーキテクチャ編

- ・データ・タイプ
- ・レジスタ・セット
- ・命令形式と命令セット
- ・割り込みと例外
- ・パイプラインの動作

- 読み方** このマニュアルの読者には、電気、論理回路、およびマイクロコントローラに関する一般知識を必要とします。

品名表記について

このマニュアルでは、(A)、(A1)、および(A2)を省略して記載しております。(A)、(A1)、および(A2)製品間の違いは品質水準と電気的特性のみです。

製品の端子機能および内蔵周辺機能については、品名を次のように読み替えてください。

- ・ μ PD70F3610 μ PD70F3610(A), μ PD70F3610(A1), μ PD70F3610(A2)
- ・ μ PD70F3611 μ PD70F3611(A), μ PD70F3611(A1), μ PD70F3611(A2)
- ・ μ PD70F3612 μ PD70F3612(A), μ PD70F3612(A1), μ PD70F3612(A2)
- ・ μ PD70F3613 μ PD70F3613(A), μ PD70F3613(A1), μ PD70F3613(A2)
- ・ μ PD70F3614 μ PD70F3614(A), μ PD70F3614(A1), μ PD70F3614(A2)
- ・ μ PD70F3615 μ PD70F3615(A), μ PD70F3615(A1), μ PD70F3615(A2)
- ・ μ PD70F3616 μ PD70F3616(A), μ PD70F3616(A1), μ PD70F3616(A2)
- ・ μ PD70F3617 μ PD70F3617(A), μ PD70F3617(A1), μ PD70F3617(A2)
- ・ μ PD70F3618 μ PD70F3618(A), μ PD70F3618(A1), μ PD70F3618(A2)
- ・ μ PD70F3619 μ PD70F3619(A), μ PD70F3619(A1), μ PD70F3619(A2)
- ・ μ PD70F3620 μ PD70F3610(A), μ PD70F3620(A1), μ PD70F3620(A2)
- ・ μ PD70F3621 μ PD70F3621(A), μ PD70F3621(A1), μ PD70F3621(A2)
- ・ μ PD70F3622 μ PD70F3622(A), μ PD70F3622(A1), μ PD70F3622(A2)

一通りV850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-Lの機能を理解しようとするとき目次に従ってお読みください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がデバイス・ファイルで予約語に定義されているものです。

V850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-Lの電気的特性を知りたいとき

次のデータ・シートを参照してください。

μ PD70F3610, 70F3611, 70F3612, 70F3613, 70F3614 データ・シート (U18666J)

μ PD70F3615, 70F3616, 70F3617, 70F3618, 70F3619 データ・シート (U18667J)

μ PD70F3620, 70F3621, 70F3622 データ・シート (U18668J)

命令機能の詳細を理解しようとするとき

別冊のV850ES ユーザーズ・マニュアル アーキテクチャ編を参照してください。

注意 このマニュアル中の使用例は、(A) 品質水準用に作成してあります。(A1) 品質水準、および (A2) 品質水準を要求する用途にこのマニュアル中の使用例を使用する場合は、実際に使用する各部分および回路について、その品質水準についてご検討のうえご使用ください。

- 凡 例** データ表記の重み：左が上位桁，右が下位桁
 アクティブ・ロウの表記： \overline{xxx} （端子，信号名称に上線）
 メモリ・マップのアドレス：上部 - 上位，下部 - 下位
 注：本文中に付けた注の説明
 注意：気を付けて読んでいただきたい内容
 備考：本文の補足説明
 数の表記：2進数 ... xxxxまたはxxxxB
 10進数 ... xxxx
 16進数 ... xxxxH
 2のべき数を示す接頭語（アドレス空間，メモリ容量）：
 K（キロ）： 2^{10} ... 1024
 M（メガ）： 2^{20} ... 1024^2
 G（ギガ）： 2^{30} ... 1024^3

関連資料 関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V850ES/FE3-L, V850ES/FF3-LおよびV850ES/FG3-Lに関する資料

資料名	資料番号
V850ES ユーザーズ・マニュアル アーキテクチャ編	U15943J
V850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-L ユーザーズ・マニュアル ハードウェア編	このマニュアル
μ PD70F3610, 70F3611, 70F3612, 70F3613, 70F3614 データ・シート	U18666J
μ PD70F3615, 70F3616, 70F3617, 70F3618, 70F3619 データ・シート	U18667J
μ PD70F3620, 70F3621, 70F3622 データ・シート	U18668J

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

開発ツールに関する資料（ユーザズ・マニュアル）

資料名		資料番号
CA850 Ver.3.00 Cコンパイラ・パッケージ	操作編	U17293J
	C言語編	U17291J
	アセンブリ言語編	U17292J
	リンク・ディレクティブ編	U17294J
PM+ Ver.6.30 プロジェクト・マネージャ		U18416J
ID850QB Ver.3.40 統合デバugga	操作編	U18604J
RX850 Ver.3.20 リアルタイムOS	基礎編	U13430J
	インストレーション編	U17419J
	テクニカル編	U13431J
	タスク・デバugga編	U17420J
RX850 Pro Ver.3.21 リアルタイムOS	基礎編	U18165J
	インストレーション編	U17421J
	テクニカル編	U13772J
	タスク・デバugga編	U17422J
RD850 Ver.3.01 タスク・デバugga		U13737J
AZ850 Ver.3.30 システム・パフォーマンス・アナライザ		U17423J
PG-FP4 フラッシュ・メモリ・プログラマ		U15260J
PG-FP5 フラッシュ・メモリ・プログラマ		U18865J
QB-V850ESFX3		(未定)
QB-V850MINI (オンチップ・デバugga・エミュレータ)		U17638J
SM+ システム・シミュレータ	操作編	U18601J
	ユーザ・オープン・インタフェース編	U18212J

備考 開発ツール、およびその最新バージョンに関しては、下記の当社ホームページをご参照いただくか、または当社販売特約店へお問い合わせください。

[http:// www.necel.com/micro/ja/development/asia/v850/index.html](http://www.necel.com/micro/ja/development/asia/v850/index.html)

その他の資料

資料名	資料番号
半導体総合セクション・ガイド - 製品・パッケージ情報 -	X13769X
半導体デバイス 実装マニュアル	注
NEC半導体デバイスの品質水準	C11531J
NEC半導体デバイスの信頼性品質管理	C10983J
静電気放電 (ESD) 破壊対策ガイド	C11892J
半導体 品質 / 信頼性ハンドブック	C12769J
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J

注 「半導体デバイス実装マニュアル」のホームページ参照

[http:// www.necel.com/pkg/ja/jissou/index.html](http://www.necel.com/pkg/ja/jissou/index.html)

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章	イントロダクション	... 19
1.1	概 説	... 19
1.2	特 徴	... 19
1.3	機能ブロック構成	... 23
1.3.1	内部ユニット	... 25
1.4	オーダ情報	... 26
1.4.1	V850ES/FE3-Lオーダ情報	... 26
1.4.2	V850ES/FF3-Lオーダ情報	... 27
1.4.3	V850ES/FG3-Lオーダ情報	... 28
第2章	端子機能	... 29
2.1	概 要	... 29
2.1.1	解 説	... 30
2.1.2	用 語	... 32
2.1.3	ノイズ除去	... 32
2.2	ポート・グループを設定するレジスタの構成	... 33
2.2.1	概 要	... 33
2.2.2	端子機能設定用レジスタ	... 34
2.2.3	端子データ入出力用レジスタ	... 40
2.2.4	プルアップ抵抗設定用レジスタ	... 42
2.2.5	オープン・ドレーン設定用レジスタ	... 43
2.3	端子の入出力回路タイプ	... 44
2.4	ポート・タイプ	... 46
2.4.1	ポート・タイプC	... 46
2.4.2	ポート・タイプC-U	... 47
2.4.3	ポート・タイプD0	... 48
2.4.4	ポート・タイプD0-U	... 49
2.4.5	ポート・タイプD1-U	... 50
2.4.6	ポート・タイプD1-UI	... 51
2.4.7	ポート・タイプD3-UI	... 52
2.4.8	ポート・タイプD1A	... 53
2.4.9	ポート・タイプD100-U	... 54
2.4.10	ポート・タイプD101-U	... 55
2.4.11	ポート・タイプD101-UI	... 56
2.4.12	ポート・タイプE01-U	... 57
2.4.13	ポート・タイプE10-U	... 58
2.4.14	ポート・タイプE10-UI	... 59
2.4.15	ポート・タイプE11-U	... 60
2.4.16	ポート・タイプE11-UI	... 61
2.4.17	ポート・タイプE21-U	... 62
2.4.18	ポート・タイプEx0-U	... 63
2.4.19	ポート・タイプEx2-U	... 64
2.4.20	ポート・タイプF100x-U	... 65
2.4.21	ポート・タイプF1010-U	... 66

2.4.22	ポート・タイプF101x-U	...	67
2.4.23	ポート・タイプF1110-UI	...	68
2.4.24	ポート・タイプF1x10-UI	...	69
2.4.25	ポート・タイプFx10x-U	...	70
2.4.26	ポート・タイプFx10x-UI	...	71
2.4.27	ポート・タイプFx110-U	...	72
2.4.28	ポート・タイプFx12x-UI	...	73
2.4.29	ポート・タイプFx13x-U	...	74
2.4.30	ポート・タイプFxx10-U	...	75
2.5	ポート・グループの設定	...	76
2.5.1	ポートと兼用機能の対応	...	76
2.5.2	兼用機能と各製品の対応端子（アルファベット順）	...	79
2.5.3	ポート・グループ0	...	83
2.5.4	ポート・グループ1（V850ES/FG3-L）	...	86
2.5.5	ポート・グループ3	...	87
2.5.6	ポート・グループ4	...	89
2.5.7	ポート・グループ5	...	90
2.5.8	ポート・グループ7	...	92
2.5.9	ポート・グループ9	...	94
2.5.10	ポート・グループCM	...	98
2.5.11	ポート・グループCS（V850ES/FF3-L, V850ES/FG3-L）	...	99
2.5.12	ポート・グループCT（V850ES/FF3-L, V850ES/FG3-L）	...	100
2.5.13	ポート・グループDL	...	101
2.6	ノイズ除去	...	103
2.6.1	アナログ・フィルタ処理を行う入力	...	103
2.6.2	デジタル・フィルタ処理を行う入力	...	104
2.7	リセット時とスタンバイ機能使用時の端子機能	...	107
2.8	未使用端子の推奨接続	...	108
2.9	注意事項	...	109
2.9.1	ポート端子設定上の注意事項	...	109
2.9.2	ポートnレジスタ（Pn）に対するビット操作命令に関する注意事項	...	112
2.9.3	オンチップ・デバッグ用端子に関する注意事項	...	113
2.9.4	P05/INTP2/DRST端子に関する注意事項	...	113
2.9.5	P53端子に関する電源投入時の注意事項	...	113
2.10	パッケージの端子接続図	...	114
2.10.1	V850ES/FE3-L端子接続図	...	114
2.10.2	V850ES/FF3-L端子接続図	...	115
2.10.3	V850ES/FG3-L端子接続図	...	116

第3章 CPU機能 ... 117

3.1	特徴	...	117
3.2	CPUレジスタ・セット	...	118
3.2.1	プログラム・レジスタ・セット	...	119
3.2.2	システム・レジスタ・セット	...	120
3.3	動作モード	...	126
3.3.1	通常動作モード	...	126
3.3.2	フラッシュ・プログラミング・モード	...	126
3.3.3	オンチップ・デバッグ・モード	...	126
3.4	アドレス空間	...	127

3.4.1	CPUアドレス空間と物理アドレス空間	...	127
3.4.2	プログラム空間とデータ空間	...	128
3.5	メモリ	...	130
3.5.1	メモリ領域	...	130
3.5.2	プログラマブル周辺I/Oレジスタ	...	133
3.5.3	データ・アドレス空間の推奨使用方法	...	134
3.6	特定レジスタ	...	137
3.6.1	コマンド・レジスタ	...	139
3.7	注意事項	...	141
第4章	クロック発生機能とスタンバイ制御	...	144
4.1	概要	...	144
4.1.1	構成	...	145
4.1.2	クロック・モニタ	...	150
4.1.3	スタンバイ機能概要	...	151
4.1.4	リセット期間中およびリセット解除時の発振動作	...	151
4.2	クロック発生回路のレジスタ	...	152
4.2.1	クロック発生回路レジスタ	...	154
4.2.2	PLL制御レジスタ	...	164
4.2.3	スタンバイ・コントロール・レジスタ	...	167
4.2.4	プリスケアラ・モード・レジスタ0	...	169
4.2.5	クロック・モニタ・レジスタ	...	171
4.2.6	セレクト制御レジスタ	...	172
4.3	クロック発生回路の動作	...	175
4.3.1	クロック動作制御の設定概要	...	175
4.3.2	動作状態遷移	...	176
4.3.3	スタンバイ機能の説明	...	180
4.3.4	各クロックの動作状態	...	197
4.3.5	プリスケアラ3の動作	...	199
4.3.6	クロック・モニタの動作	...	200
第5章	割り込みコントローラ (INTC)	...	203
5.1	特徴	...	203
5.2	ノンマスクابل割り込み	...	206
5.2.1	動作	...	208
5.2.2	復帰	...	209
5.2.3	ノンマスクابل割り込み状態フラグ (NP)	...	211
5.2.4	NMI制御	...	211
5.3	マスクابل割り込み	...	212
5.3.1	動作	...	212
5.3.2	復帰	...	214
5.3.3	マスクابل割り込みの優先順位	...	215
5.3.4	割り込み制御レジスタ (xxICn)	...	219
5.3.5	割り込みマスク・レジスタ (IMR0-IMR4)	...	224
5.3.6	インサースビス・プライオリティ・レジスタ (ISPR)	...	226
5.3.7	マスクابل割り込み状態フラグ (ID)	...	227
5.3.8	外部マスクابل割り込み	...	227
5.4	外部割り込みエッジ検出設定	...	228
5.5	ソフトウェア例外	...	231

5.5.1	動作	...	231
5.5.2	復帰	...	232
5.5.3	例外状態フラグ (EP)	...	233
5.6	例外トラップ	...	234
5.6.1	不正命令コード	...	234
5.6.2	デバッグ・トラップ	...	235
5.7	多重割り込み処理制御	...	237
5.8	CPUの割り込み応答時間	...	239
5.9	CPUが割り込みを受け付けない期間	...	240
第6章 キー割り込み機能 ... 241			
6.1	機能	...	241
6.2	制御レジスタ	...	242
6.3	注意事項	...	242
第7章 フラッシュ・メモリ ... 243			
7.1	コード・フラッシュ・メモリ	...	244
7.1.1	コード・フラッシュ・メモリの特徴	...	244
7.1.2	コード・フラッシュ・メモリのマッピング	...	245
7.1.3	コード・フラッシュ・メモリの機能概要	...	247
7.1.4	コード・フラッシュ・メモリの消去と書き換え	...	250
7.2	専用フラッシュ・ライターでの書き換え	...	251
7.2.1	プログラミング環境	...	251
7.2.2	通信方式	...	252
7.2.3	フラッシュ・ライターPG-FP4, PG-FP5	...	254
7.2.4	フラッシュ・メモリ制御	...	255
7.3	コード・フラッシュ・セルフ・プログラミング	...	263
7.3.1	フラッシュ関数一覧	...	264
7.3.2	セルフ・プログラミングの許可 (FLMD0端子処理)	...	264
7.3.3	セルフ・プログラミング・ライブラリの機能	...	265
7.3.4	セキュア・セルフ・プログラミング (ブート・スワップ機能)	...	265
7.3.5	フラッシュ・セルフ・プログラミング時の割り込み処理	...	268
第8章 オプション・バイト ... 269			
8.1	オプション・バイト (007AH)	...	270
8.2	オプション・バイト (007BH)	...	271
第9章 データ保護とセキュリティ ... 273			
9.1	概要	...	273
9.2	N-Wireデバッグ・インタフェースの保護	...	274
9.3	フラッシュ・プログラマとセルフ・プログラミング保護	...	275
第10章 16ビット・タイマ/イベント・カウンタAA ... 278			
10.1	特徴	...	278
10.2	機能概要	...	278
10.3	構成	...	279
10.4	入力選択レジスタ	...	285
10.5	制御レジスタ	...	287
10.6	動作	...	301

10.6.1	随時書き込みとリロード ...	301
10.6.2	インターバル・タイマ・モード (TAAAnMD2-TAAAnMD0 = 000) ...	306
10.6.3	外部イベント・カウント・モード (TAAAnMD2-TAAAnMD0 = 001) ...	311
10.6.4	外部トリガ・パルス出力モード (TAAAnMD2-TAAAnMD0 = 010) ...	315
10.6.5	ワンショット・パルス・モード (TAAAnMD2-TAAAnMD0 = 011) ...	318
10.6.6	PWMモード (TAAAnMD2-TAAAnMD0 = 100) ...	321
10.6.7	フリー・ランニング・モード (TAAAnMD2-TAAAnMD0 = 101) ...	327
10.6.8	パルス幅測定モード (TAAAnMD2-TAAAnMD0 = 110) ...	335
10.6.9	カスケード機能 ...	342
10.7	タイマAA同期動作機能 ...	348
10.8	使用上の注意 ...	352

第11章 16ビット・インターバル・タイマM ... 354

11.1	特 徴 ...	354
11.2	構 成 ...	355
11.3	制御レジスタ ...	356
11.4	動 作 ...	358
11.4.1	インターバル・タイマ・モード ...	358
11.4.2	注意事項 ...	358

第12章 時計タイマ機能 ... 360

12.1	機 能 ...	360
12.2	構 成 ...	361
12.3	制御レジスタ ...	362
12.4	動 作 ...	364
12.4.1	時計タイマとしての動作 ...	364
12.4.2	インターバル・タイマとしての動作 ...	364
12.4.3	注意事項 ...	365

第13章 ウォッチドッグ・タイマ2 ... 366

13.1	機 能 ...	366
13.2	構 成 ...	367
13.3	制御レジスタ ...	368
13.4	動 作 ...	370

第14章 アシンクロナス・シリアル・インタフェース (UARTD) ... 371

14.1	特 徴 ...	372
14.2	構 成 ...	373
14.3	制御レジスタ ...	375
14.4	割り込み要求信号 ...	387
14.5	動 作 ...	388
14.5.1	データ・フォーマット ...	388
14.5.2	SBF送信 / 受信フォーマット ...	390
14.5.3	SBF送信 ...	392
14.5.4	SBF受信 ...	393
14.5.5	データ一貫性チェック ...	395
14.5.6	SBF受信モード選択 ...	397
14.5.7	UART送信 ...	405
14.5.8	連続送信の手順説明 ...	406

- 14.5.9 UART受信 ... 408
- 14.5.10 受信割り込み発生時の処理手順 ... 409
- 14.5.11 ステータス割り込み発生要因 ... 411
- 14.5.12 パリティの種類と動作 ... 413
- 14.5.13 受信データのノイズ・フィルタ ... 414
- 14.6 専用ボー・レート・ジェネレータ ... 415
- 14.7 使用上の注意 ... 423

第15章 3線式シリアル・インタフェース (CSIB) ... 424

- 15.1 特 徴 ... 424
- 15.2 構 成 ... 425
- 15.3 制御レジスタ ... 427
- 15.4 割り込み要求信号 ... 434
- 15.5 動 作 ... 435
 - 15.5.1 シングル転送モード (マスタ・モード, 送受信モード) ... 435
 - 15.5.2 シングル転送モード (マスタ・モード, 送信モード) ... 437
 - 15.5.3 シングル転送モード (マスタ・モード, 受信モード) ... 438
 - 15.5.4 シングル転送モード (スレーブ・モード, 送受信モード) ... 439
 - 15.5.5 シングル転送モード (スレーブ・モード, 送信モード) ... 440
 - 15.5.6 シングル転送モード (スレーブ・モード, 受信モード) ... 441
 - 15.5.7 連続モード (マスタ・モード, 送受信モード) ... 442
 - 15.5.8 連続モード (マスタ・モード, 送信モード) ... 443
 - 15.5.9 連続モード (マスタ・モード, 受信モード) ... 444
 - 15.5.10 連続受信モード (エラー時) ... 445
 - 15.5.11 連続モード (スレーブ・モード, 送受信モード) ... 446
 - 15.5.12 連続モード (スレーブ・モード, 送信モード) ... 448
 - 15.5.13 連続モード (スレーブ・モード, 受信モード) ... 449
 - 15.5.14 クロック・タイミング ... 450
 - 15.5.15 動作禁止時の出力端子状態 ... 452
- 15.6 動作フロー ... 453
- 15.7 注意事項 ... 459

第16章 I²Cバス ... 460

- 16.1 特 徴 ... 460
- 16.2 構 成 ... 461
- 16.3 レジスタ ... 465
- 16.4 I²Cバス・モードの機能 ... 483
 - 16.4.1 端子構成 ... 483
- 16.5 I²Cバスの定義および制御方法 ... 484
 - 16.5.1 スタート・コンディション ... 485
 - 16.5.2 アドレス ... 486
 - 16.5.3 転送方向指定 ... 487
 - 16.5.4 アクノリッジ (\overline{ACK}) ... 488
 - 16.5.5 ストップ・コンディション ... 489
 - 16.5.6 ウェイト ... 490
 - 16.5.7 ウェイト解除方法 ... 492
- 16.6 I²C割り込み要求信号 (INTIIC0) ... 493
 - 16.6.1 マスタ動作 ... 494
 - 16.6.2 スレーブ動作 (スレーブ・アドレス・データ受信時 (アドレス一致)) ... 497

16.6.3	スレーブ動作(拡張コード受信時)	...	501
16.6.4	通信不参加の動作	...	505
16.6.5	アービトレーション負けの動作(アービトレーション負けのあと,スレーブとして動作)	...	506
16.6.6	アービトレーション負けの動作(アービトレーション負けのあと,不参加)	...	508
16.7	割り込み要求信号(INTIIC0)発生タイミングおよびウエイト制御	...	515
16.8	アドレスの一致検出方法	...	517
16.9	エラーの検出	...	517
16.10	拡張コード	...	517
16.11	アービトレーション	...	518
16.12	ウエイク・アップ機能	...	519
16.13	通信予約	...	520
16.13.1	通信予約機能許可の場合(IICF0.IICRSV0ビット = 0)	...	520
16.13.2	通信予約機能禁止の場合(IICF0.IICRSV0ビット = 1)	...	524
16.14	注意事項	...	525
16.15	通信動作	...	526
16.15.1	マスタ動作1	...	526
16.15.2	マスタ動作2	...	527
16.15.3	スレーブ動作	...	528
16.16	データ通信のタイミング	...	531

第17章 CANコントローラ ... 538

17.1	概 要	...	538
17.1.1	特 徴	...	538
17.1.2	機能概要	...	539
17.1.3	構 成	...	540
17.2	CANプロトコル	...	542
17.2.1	フレーム・フォーマット	...	543
17.2.2	フレーム・タイプ	...	543
17.2.3	データ・フレーム/リモート・フレーム	...	544
17.2.4	エラー・フレーム	...	552
17.2.5	オーバーロード・フレーム	...	553
17.3	機 能	...	554
17.3.1	バス・プライオリティの決定	...	554
17.3.2	ビット・スタッフ	...	554
17.3.3	マルチマスタ	...	554
17.3.4	マルチキャスト	...	555
17.3.5	CANスリープ・モード/CANストップ・モード機能	...	555
17.3.6	エラー制御機能	...	555
17.3.7	ポー・レート制御機能	...	561
17.4	ターゲット・システムとの接続	...	566
17.5	CANコントローラの内部レジスタ	...	567
17.5.1	CANモジュール・レジスタとメッセージ・バッファ・アドレス	...	567
17.5.2	CANコントローラの構成	...	568
17.5.3	CANレジスタ概要	...	569
17.5.4	レジスタのビット構成	...	571
17.6	ビットのセット/クリア機能	...	575
17.7	制御レジスタ	...	577
17.8	CANコントローラの初期化処理	...	612

- 17.8.1 CANモジュールの初期化 ... 612
- 17.8.2 メッセージ・バッファの初期化 ... 612
- 17.8.3 メッセージ・バッファの再定義 ... 613
- 17.8.4 動作モードへの移行 ... 615
- 17.8.5 CANモジュールのエラー・カウンタC0ERCのリセット ... 616
- 17.9 メッセージ受信 ... 617
 - 17.9.1 メッセージ受信 ... 617
 - 17.9.2 受信データの読み出し ... 618
 - 17.9.3 受信履歴・リスト機能 ... 619
 - 17.9.4 マスク機能 ... 621
 - 17.9.5 マルチ・バッファ受信ブロック機能 ... 622
 - 17.9.6 リモート・フレーム受信 ... 624
- 17.10 メッセージ送信 ... 625
 - 17.10.1 メッセージ送信 ... 625
 - 17.10.2 送信履歴・リスト機能 ... 627
 - 17.10.3 自動ブロック送信機能 (ABT : Automatic Block Transmission) ... 629
 - 17.10.4 送信中断処理 ... 630
 - 17.10.5 リモート・フレーム送信 ... 631
- 17.11 パワー・セーブ・モード ... 632
 - 17.11.1 CANスリープ・モード ... 632
 - 17.11.2 CANストップ・モード ... 634
 - 17.11.3 パワー・セーブ・モード使用例 ... 636
- 17.12 割り込み機能 ... 637
- 17.13 診断機能と特殊動作モード ... 638
 - 17.13.1 受信オンリー・モード ... 638
 - 17.13.2 シングル・ショット・モード ... 639
 - 17.13.3 セルフ・テスト・モード ... 640
 - 17.13.4 各動作モードにおける送受信動作 ... 641
- 17.14 タイム・スタンプ機能 ... 642
 - 17.14.1 タイム・スタンプ機能 ... 642
- 17.15 ボー・レート設定について ... 644
 - 17.15.1 ビット・レート設定条件 ... 644
 - 17.15.2 代表的なボー・レート設定例 ... 648
- 17.16 CANコントローラの動作 ... 652

第18章 A/Dコンバータ ... 678

- 18.1 機能 ... 679
- 18.2 構成 ... 681
- 18.3 制御レジスタ ... 683
- 18.4 動作 ... 694
 - 18.4.1 基本動作 ... 694
 - 18.4.2 トリガ・モード ... 696
 - 18.4.3 動作モード ... 698
 - 18.4.4 パワー・フェイル比較モード ... 703
- 18.5 注意事項 ... 709
- 18.6 A/Dコンバータ特性表の読み方 ... 714

第19章 電源 ... 718

- 19.1 概要 ... 718

19.2	内蔵レギュレータ	...	720
第20章	リセット機能	...	721
20.1	概要	...	721
20.1.1	リセット機能	...	721
20.1.2	パワーオン・リセット	...	723
20.1.3	外部RESET	...	724
20.1.4	ウォッチドッグ・タイマ2によるリセット	...	725
20.1.5	クロック・モニタによるリセット	...	725
20.1.6	低電圧検出回路によるリセット	...	725
20.2	リセット要因を確認するレジスタ	...	726
第21章	低電圧検出回路	...	727
21.1	機能	...	727
21.2	構成	...	727
21.3	レジスタ	...	728
21.4	動作	...	732
21.4.1	LVI (LVIM.LVIMD = 1) からのリセット発生	...	732
21.4.2	LVI (LVIM.LVIMD = 0) からの割り込み発生	...	733
21.4.3	RAM保持電圧検出動作	...	735
第22章	オンチップ・デバッグ・ユニット	...	736
22.1	機能概要	...	736
22.1.1	オンチップ・デバッグ・ユニットの種類	...	736
22.1.2	デバッグ機能	...	736
22.1.3	インタフェース信号	...	739
22.1.4	セキュリティ機能	...	741
22.2	制御レジスタ	...	743
22.3	N-Wire使用方法	...	747
22.3.1	RESETおよびRESPOC後の通常動作開始	...	747
22.3.2	RESETおよびRESPOC後のデバッグ起動	...	747
22.3.3	RESET端子によるN-Wire起動	...	748
22.4	オンチップ・デバッグ・エミュレータとの接続	...	749
22.4.1	接続回路例	...	749
22.4.2	MINICUBE QB-V850MINIを使用する場合	...	750
22.5	オンチップ・デバッグ時の注意事項	...	751
付録A	周辺I/Oレジスタとプログラマブル周辺I/Oレジスタ	...	752
A.1	プログラマブル周辺I/O領域に割り付けられているレジスタ	...	752
A.2	周辺I/O領域に割り付けられているレジスタ	...	753
付録B	レジスタ索引	...	761
付録C	改版履歴	...	770
C.1	本版で改訂された主な箇所	...	770

第1章 イン트로ダクション

本マイクロコントローラは、NECエレクトロニクスの車載用アプリケーション向けシングルチップ・マイクロコントローラV850の製品です。

1.1 概 説

本マイクロコントローラは、V850ES CPUを使用し、ROM/RAM、タイマ/カウンタ、シリアル・インタフェース、A/Dコンバータなどの周辺機能を内蔵した32ビット・シングルチップ・マイクロコントローラです。本マイクロコントローラでは、車輻内LANとして、CAN (Controller Area Network) を内蔵しています。

本マイクロコントローラは、高いリアルタイム応答性と1クロック・ピッチの基本命令に加え、デジタル・サーボ制御の応用に最適な命令として、ハードウェア乗算器による乗算命令、飽和演算命令、ビット操作命令などを持っています。また、リアルタイム制御システム用として、自動車電装分野などへの応用がきわめて高いコスト・パフォーマンスで実現できます。

1.2 特 徴

本マイクロコントローラは次のマイクロコントローラ製品で構成されています。

V850ES/FE3-L

- ・ μ PD70F3610
- ・ μ PD70F3611
- ・ μ PD70F3612
- ・ μ PD70F3613
- ・ μ PD70F3614

V850ES/FF3-L

- ・ μ PD70F3615
- ・ μ PD70F3616
- ・ μ PD70F3617
- ・ μ PD70F3618
- ・ μ PD70F3619

V850ES/FG3-L

- ・ μ PD70F3620
- ・ μ PD70F3621
- ・ μ PD70F3622

表1 - 1に各製品の機能概要について示します。

表1 - 1 V850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-Lの機能概要 (1/3)

愛 称		V850ES/FE3-L				
品 名		μ PD70F3610	μ PD70F3611	μ PD70F3612	μ PD70F3613	μ PD70F3614
CPU		V850ES (32ビットRISC)				
内蔵 メモリ	フラッシュROM	64 KB	96 KB	128 KB	192 KB	256 KB
	マスクROM	-	-	-	-	-
	RAM	6 KB	6 KB	8 KB	12 KB	16 KB
	データ・フラッシュ	-				
外部メモリ・インタフェース		-				
動作 クロック	CPU周波数	Max. 20 MHz				
	PLL通倍	× 8				
	SSCG	-				
	メインOSC	4 ~ 16 MHz				
	サブOSC	RCまたはクリスタル				
	低速内蔵発振器	Typ. 240 kHz				
	高速内蔵発振器	Typ. 8 MHz				
I/Oポート		51				
タイマ	TAA	5 ch				
	TAB	-				
	TMM	1 ch				
	モータ制御	-				
	時計	1 ch				
	WDT2	1 ch				
A/Dコンバータ		10ビット × 10ch				
シリアル・ インタ フェース	UART (LIN)	2 ch				
	CSI	2 ch				
	IIC	1 ch				
	CAN	1 ch				
DMA		-				
割り込み (マスカブル)	外部	8 ch				
	内部	38 ch				
その他	スタンバイ機能	HALT, IDLE1, IDLE2, STOP, サブクロック動作, サブIDLE				
	キー・リターン入力	8 ch				
	クロック・モニタ機能	あり				
	POC	パワーオン・クリア Typ. 3.5 V以下 ^注				
	LVI	低電圧検出 Typ. 3.7/4.0 V以下 (ソフトウェアにて選択) ^注				
	オンチップ・デバッグ 機能	あり				
動作電圧		3.3 ~ 5.5 V ^注				
パッケージ		64ピンLQFP				

注 μ PD70F3610, 70F3611, 70F3612, 70F3613, 70F3614 データ・シート (U18666J) を参照してください。

表1-1 V850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-Lの機能概要 (2/3)

愛 称		V850ES/FF3-L				
品 名		μ PD70F3615	μ PD70F3616	μ PD70F3617	μ PD70F3618	μ PD70F3619
CPU		V850ES (32ビットRISC)				
内蔵 メモリ	フラッシュROM	64 KB	96 KB	128 KB	192 KB	256 KB
	マスクROM	-	-	-	-	-
	RAM	6 KB	6 KB	8 KB	12 KB	16 KB
	データ・フラッシュ	-				
外部メモリ・インタフェース		-				
動作 クロック	CPU周波数	Max. 20 MHz				
	PLL通倍	× 8				
	SSCG	-				
	メインOSC	4 ~ 16 MHz				
	サブOSC	RCまたはクリスタル				
	低速内蔵発振器	Typ. 240 kHz				
	高速内蔵発振器	Typ. 8 MHz				
I/Oポート		67				
タイマ	TAA	5 ch				
	TAB	-				
	TMM	1 ch				
	モータ制御	-				
	時計	1 ch				
	WDT2	1 ch				
A/Dコンバータ		10ビット × 12ch				
シリアル・ インタ フェース	UART (LIN)	2 ch				
	CSI	2 ch				
	IIC	1 ch				
	CAN	1 ch				
DMA		-				
割り込み (マスカブル)	外部	8 ch				
	内部	38 ch				
その他	スタンバイ機能	HALT, IDLE1, IDLE2, STOP, サブクロック動作, サブIDLE				
	キー・リターン入力	8 ch				
	クロック・モニタ機能	あり				
	POC	パワーオン・クリア Typ. 3.5 V以下 ^注				
	LVI	低電圧検出 Typ. 3.7/ 4.0 V以下 (ソフトウェアにて選択) ^注				
	オンチップ・デバッグ 機能	あり				
動作電圧		3.3 ~ 5.5 V ^注				
パッケージ		80ピンLQFP				

注 μ PD70F3615, 70F3616, 70F3617, 70F3618, 70F3619 データ・シート (U18667J) を参照してください。

表1-1 V850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-Lの機能概要 (3/3)

愛 称		V850ES/FG3-L		
品 名		μ PD70F3620	μ PD70F3621	μ PD70F3622
CPU		V850ES (32ビットRISC)		
内蔵 メモリ	フラッシュROM	128 KB	192 KB	256 KB
	マスクROM	-	-	-
	RAM	8 KB	12 KB	16 KB
	データ・フラッシュ	-		
外部メモリ・インタフェース		-		
動作 クロック	CPU周波数	Max. 20 MHz ^注		
	PLL通倍	×8		
	SSCG	-		
	メインOSC	4~16 MHz		
	サブOSC	RCまたはクリスタル		
	低速内蔵発振器	Typ. 240 kHz		
	高速内蔵発振器	Typ. 8 MHz		
I/Oポート		84		
タイマ	TAA	5 ch		
	TAB	-		
	TMM	1 ch		
	モータ制御	-		
	時計	1 ch		
	WDT2	1 ch		
A/Dコンバータ		10ビット×16ch		
シリアル・ インタ フェース	UART (LIN)	3 ch		
	CSI	2 ch		
	IIC	1 ch		
	CAN	1 ch		
DMA		-		
割り込み (マスカブル)	外部	11 ch		
	内部	41 ch		
その他	スタンバイ機能	HALT, IDLE1, IDLE2, STOP, サブクロック動作, サブIDLE		
	キー・リターン入力	8 ch		
	クロック・モニタ機能	あり		
	POC	パワーオン・クリア Typ. 3.5 V以下 ^注		
	LVI	低電圧検出 Typ. 3.7/4.0 V以下 (ソフトウェアにて選択) ^注		
	オンチップ・デバッグ 機能	あり		
動作電圧		3.3~5.5 V ^注		
パッケージ		100ピンLQFP		

注 μ PD70F3620, 70F3621, 70F3622 データ・シート (U18668J) を参照してください。

1.3 機能ブロック構成

図1 - 1にV850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-Lの機能ブロック図を示します。

図1 - 1 V850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-Lブロック図

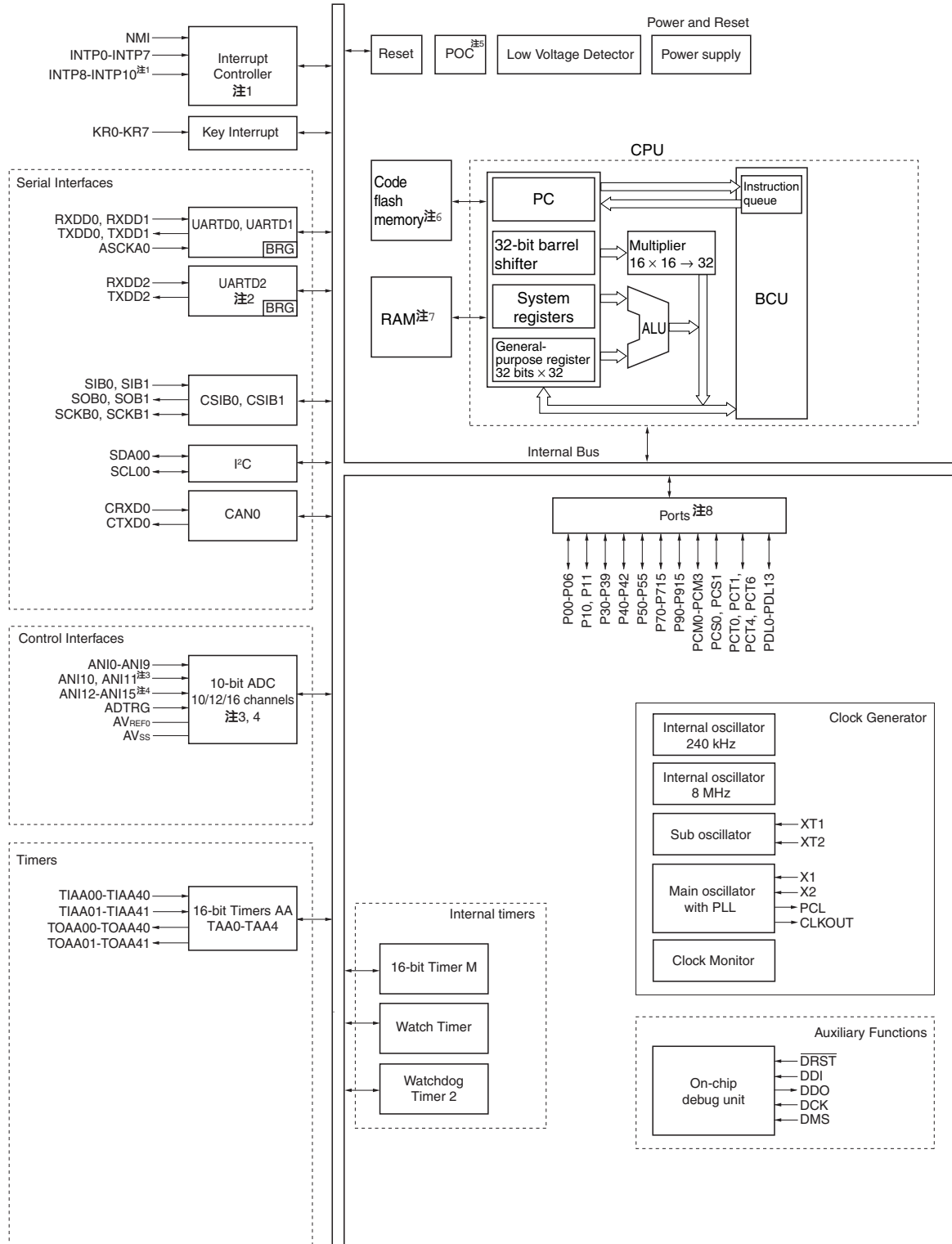


表1 - 2に、図1 - 1で「注」を付けたV850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-Lのデバイス間の機能の違いをまとめます。

表1 - 2 V850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-L間の機能の違い (1/3)

注	端子 / 機能	V850ES/FE3-L				
		μ PD70F3610	μ PD70F3611	μ PD70F3612	μ PD70F3613	μ PD70F3614
1	INTP8-INTP10	なし	なし	なし	なし	なし
2	UARTD2	なし	なし	なし	なし	なし
3	ANI10, ANI11	なし	なし	なし	なし	なし
4	ANI12-ANI15	なし	なし	なし	なし	なし
5	POC	POC搭載製品のみ				
6	フラッシュROM	64 KB	96 KB	128 KB	192 KB	256 KB
7	RAM	6 KB	6 KB	8 KB	12 KB	16 KB
8	ポート	第2章 端子機能参照				

表1 - 2 V850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-L間の機能の違い (2/3)

注	端子 / 機能	V850ES/FF3-L				
		μ PD70F3615	μ PD70F3616	μ PD70F3617	μ PD70F3618	μ PD70F3619
1	INTP8-INTP10	なし	なし	なし	なし	なし
2	UARTD2	なし	なし	なし	なし	なし
3	ANI10, ANI11	あり	あり	あり	あり	あり
4	ANI12-ANI15	なし	なし	なし	なし	なし
5	POC	POC搭載製品のみ				
6	フラッシュROM	64 KB	96 KB	128 KB	192 KB	256 KB
7	RAM	6 KB	6 KB	8 KB	12 KB	16 KB
8	ポート	第2章 端子機能参照				

表1 - 2 V850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-L間の機能の違い (3/3)

注	端子 / 機能	V850ES/FG3-L		
		μ PD70F3620	μ PD70F3621	μ PD70F3622
1	INTP8-INTP10	あり	あり	あり
2	UARTD2	あり	あり	あり
3	ANI10, ANI11	あり	あり	あり
4	ANI12-ANI15	あり	あり	あり
5	POC	POC搭載製品のみ		
6	フラッシュROM	128 KB	192 KB	256 KB
7	RAM	8 KB	12 KB	16 KB
8	ポート	第2章 端子機能参照		

1.3.1 内部ユニット

CPU :	アドレス計算, 算術論理演算, データ転送などのほとんどの命令処理を, 5段パイプライン制御により1クロックで実行できます。 乗算器や32ビットのパレル・シフタなどの専用ハードウェアを内蔵し, 複雑な命令処理の高速化を図っています。
バス・コントロール・ユニット :	バス・コントロール・ユニット (BCU) で, 内蔵周辺I/Oへのアクセスを制御できます。
ROM :	ROMは, 内蔵フラッシュ・メモリで構成されています。各フラッシュ・メモリのサイズに関しては, 表1-1を参照してください。
RAM :	使用可能なRAMサイズに関しては, 表1-1を参照してください。
ポート :	汎用ポートとしての機能と制御端子の機能があります。
クロック・ジェネレータ :	クロック・ジェネレータはシステム・クロックを生成します。独立した4つの発振器を内蔵しており, メインの発振器が故障した場合もシステムの動作を継続することが可能です。さらに, パワー・セーブ・モードにおける低速クロックを生成します。
クロック・モニタ :	クロック・モニタはメイン発振器を監視します。メイン発振器が故障した場合, 他の発振器に切り替えます。
オンチップ・デバッグ機能 :	N-Wireインタフェースを使用するオンチップ・デバッグ機能を内蔵しています。
割り込みコントローラ (INTC) :	内蔵周辺ハードウェア, および外部からのノンマスクابل割り込みやマスクابل割り込み要求を処理します。これらの割り込み要求は, 8レベルの割り込み優先順位を指定でき, 割り込み要因に対し多重処理制御ができます。
キー割り込み機能 :	8チャンネルのキー入力端子に立ち下がりエッジを入力することによって, キー割り込み要求信号を発生させることができます。
UARTD :	UARTは2線アシンクロナス・シリアル・インタフェースです。
CSIB :	クロック同期式シリアル・インタフェースは3線可変長シリアル・インタフェースです。
CANコントローラ :	CANコントローラは, ユニット間のデータ転送を行うことを目的とした小規模のデジタル・データ伝送システムです。
A/Dコンバータ :	アナログ入力端子を持つ高速, 高分解能の10ビットA/Dコンバータです。逐次変換方式で変換します。製品ごとの搭載本数は表1-1を参照してください。
タイマ/カウンタ :	16ビット・タイマ/カウンタTAAと16ビット・インターバル・タイマTMMがあります。 製品ごとの搭載個数は表1-1を参照してください。
時計用タイマ :	ウォッチ・タイマ (WT) 出力は日付とカレンダー用の基準時間を生成します。
ウォッチドッグ・タイマ2 :	ウォッチドッグ・タイマ (WDT2) は, プログラム・ループやシステム・エラーを検出するために使われます。オーバフローでノンマスクابل割り込み要求信号またはシステム・リセット信号を発生します。

1.4 オーダ情報

1.4.1 V850ES/FE3-Lオーダ情報

オーダ名称	パッケージ	内蔵メモリ	品質水準	備考
μPD70F3610M1GBA-GAH-AX	64ピン・プラス チックLQFP (ファインピッチ) (10×10)	64 Kバイト	(A)	パワーオン・ クリア機能非搭載
μPD70F3610M1GBA1-GAH-AX			(A1)	
μPD70F3610M1GBA2-GAH-AX			(A2)	
μPD70F3610M2GBA-GAH-AX			(A)	パワーオン・ クリア機能搭載
μPD70F3610M2GBA1-GAH-AX			(A1)	
μPD70F3610M2GBA2-GAH-AX			(A2)	
μPD70F3611M1GBA-GAH-AX		96 Kバイト	(A)	パワーオン・ クリア機能非搭載
μPD70F3611M1GBA1-GAH-AX			(A1)	
μPD70F3611M1GBA2-GAH-AX			(A2)	
μPD70F3611M2GBA-GAH-AX			(A)	パワーオン・ クリア機能搭載
μPD70F3611M2GBA1-GAH-AX			(A1)	
μPD70F3611M2GBA2-GAH-AX			(A2)	
μPD70F3612M1GBA-GAH-AX		128 Kバイト	(A)	パワーオン・ クリア機能非搭載
μPD70F3612M1GBA1-GAH-AX			(A1)	
μPD70F3612M1GBA2-GAH-AX			(A2)	
μPD70F3612M2GBA-GAH-AX			(A)	パワーオン・ クリア機能搭載
μPD70F3612M2GBA1-GAH-AX			(A1)	
μPD70F3612M2GBA2-GAH-AX			(A2)	
μPD70F3613M1GBA-GAH-AX		192 Kバイト	(A)	パワーオン・ クリア機能非搭載
μPD70F3613M1GBA1-GAH-AX			(A1)	
μPD70F3613M1GBA2-GAH-AX	(A2)			
μPD70F3613M2GBA-GAH-AX	(A)		パワーオン・ クリア機能搭載	
μPD70F3613M2GBA1-GAH-AX	(A1)			
μPD70F3613M2GBA2-GAH-AX	(A2)			
μPD70F3614M1GBA-GAH-AX	256 Kバイト	(A)	パワーオン・ クリア機能非搭載	
μPD70F3614M1GBA1-GAH-AX		(A1)		
μPD70F3614M1GBA2-GAH-AX		(A2)		
μPD70F3614M2GBA-GAH-AX		(A)	パワーオン・ クリア機能搭載	
μPD70F3614M2GBA1-GAH-AX		(A1)		
μPD70F3614M2GBA2-GAH-AX		(A2)		

備考1. 各品質水準の動作周囲温度は次のとおりです。

(A) : -40 ~ +85 , (A1) : -40 ~ +110 , (A2) : -40 ~ +125

2. オーダ名称末尾「-AX」の製品は、鉛フリー製品です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」
(資料番号 C11531J)をご覧ください。

1.4.2 V850ES/FF3-Lオーダ情報

オーダ名称	パッケージ	内蔵メモリ	品質水準	備考
μPD70F3615M1GKA-GAK-AX	80ピン・プラス チックLQFP (ファインピッチ) (12×12)	64 Kバイト	(A)	パワーオン・ クリア機能非搭載
μPD70F3615M1GKA1-GAK-AX			(A1)	
μPD70F3615M1GKA2-GAK-AX			(A2)	
μPD70F3615M2GKA-GAK-AX			(A)	パワーオン・ クリア機能搭載
μPD70F3615M2GKA1-GAK-AX			(A1)	
μPD70F3615M2GKA2-GAK-AX			(A2)	
μPD70F3616M1GKA-GAK-AX		96 Kバイト	(A)	パワーオン・ クリア機能非搭載
μPD70F3616M1GKA1-GAK-AX			(A1)	
μPD70F3616M1GKA2-GAK-AX			(A2)	
μPD70F3616M2GKA-GAK-AX			(A)	パワーオン・ クリア機能搭載
μPD70F3616M2GKA1-GAK-AX			(A1)	
μPD70F3616M2GKA2-GAK-AX			(A2)	
μPD70F3617M1GKA-GAK-AX	128 Kバイト	(A)	パワーオン・ クリア機能非搭載	
μPD70F3617M1GKA1-GAK-AX		(A1)		
μPD70F3617M1GKA2-GAK-AX		(A2)		
μPD70F3617M2GKA-GAK-AX		(A)	パワーオン・ クリア機能搭載	
μPD70F3617M2GKA1-GAK-AX		(A1)		
μPD70F3617M2GKA2-GAK-AX		(A2)		
μPD70F3618M1GKA-GAK-AX	192 Kバイト	(A)	パワーオン・ クリア機能非搭載	
μPD70F3618M1GKA1-GAK-AX		(A1)		
μPD70F3618M1GKA2-GAK-AX		(A2)		
μPD70F3618M2GKA-GAK-AX		(A)	パワーオン・ クリア機能搭載	
μPD70F3618M2GKA1-GAK-AX		(A1)		
μPD70F3618M2GKA2-GAK-AX		(A2)		
μPD70F3619M1GKA-GAK-AX	256 Kバイト	(A)	パワーオン・ クリア機能非搭載	
μPD70F3619M1GKA1-GAK-AX		(A1)		
μPD70F3619M1GKA2-GAK-AX		(A2)		
μPD70F3619M2GKA-GAK-AX		(A)	パワーオン・ クリア機能搭載	
μPD70F3619M2GKA1-GAK-AX		(A1)		
μPD70F3619M2GKA2-GAK-AX		(A2)		

備考1. 各品質水準の動作周囲温度は次のとおりです。

(A) : -40 ~ +85 , (A1) : -40 ~ +110 , (A2) : -40 ~ +125

2. オーダ名称末尾「-AX」の製品は、鉛フリー製品です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」
(資料番号 C11531J)をご覧ください。

1.4.3 V850ES/FG3-Lオーダ情報

オーダ名称	パッケージ	内蔵メモリ	品質水準	備考
μPD70F3620M1GCA-UEU-AX	100ピン・プラス チックLQFP (ファインピッチ) (14×14)	128 Kバイト	(A)	パワーオン・ クリア機能非搭載
μPD70F3620M1GCA1-UEU-AX			(A1)	
μPD70F3620M1GCA2-UEU-AX			(A2)	
μPD70F3620M2GCA-UEU-AX			(A)	パワーオン・ クリア機能搭載
μPD70F3620M2GCA1-UEU-AX			(A1)	
μPD70F3620M2GCA2-UEU-AX			(A2)	
μPD70F3621M1GCA-UEU-AX		192 Kバイト	(A)	パワーオン・ クリア機能非搭載
μPD70F3621M1GCA1-UEU-AX			(A1)	
μPD70F3621M1GCA2-UEU-AX			(A2)	
μPD70F3621M2GCA-UEU-AX			(A)	パワーオン・ クリア機能搭載
μPD70F3621M2GCA1-UEU-AX			(A1)	
μPD70F3621M2GCA2-UEU-AX			(A2)	
μPD70F3622M1GCA-UEU-AX	256 Kバイト	(A)	パワーオン・ クリア機能非搭載	
μPD70F3622M1GCA1-UEU-AX		(A1)		
μPD70F3622M1GCA2-UEU-AX		(A2)		
μPD70F3622M2GCA-UEU-AX		(A)	パワーオン・ クリア機能搭載	
μPD70F3622M2GCA1-UEU-AX		(A1)		
μPD70F3622M2GCA2-UEU-AX		(A2)		

備考 1. 各品質水準の動作周囲温度は次のとおりです。

(A) : -40 ~ +85 , (A1) : -40 ~ +110 , (A2) : -40 ~ +125

2. オーダ名称末尾「-AX」の製品は、鉛フリー製品です。

第2章 端子機能

本マイクロコントローラのポート端子および兼用端子用ポートの構成を説明します。また、本章の最後には、未使用端子の推奨接続方法を示します。

2.1 概要

本マイクロコントローラは入出力機能を持ったポートを搭載しています。これらのポートはいくつかのグループで構成されます。

汎用入出力機能の他に、特定機能を持たせるためのいくつかの制御レジスタが存在します。

端子、ポート、ポート・グループといった用語に関しては、2.1.2 **用語**を参照してください。

特長概要

・ポートとポート・グループの数

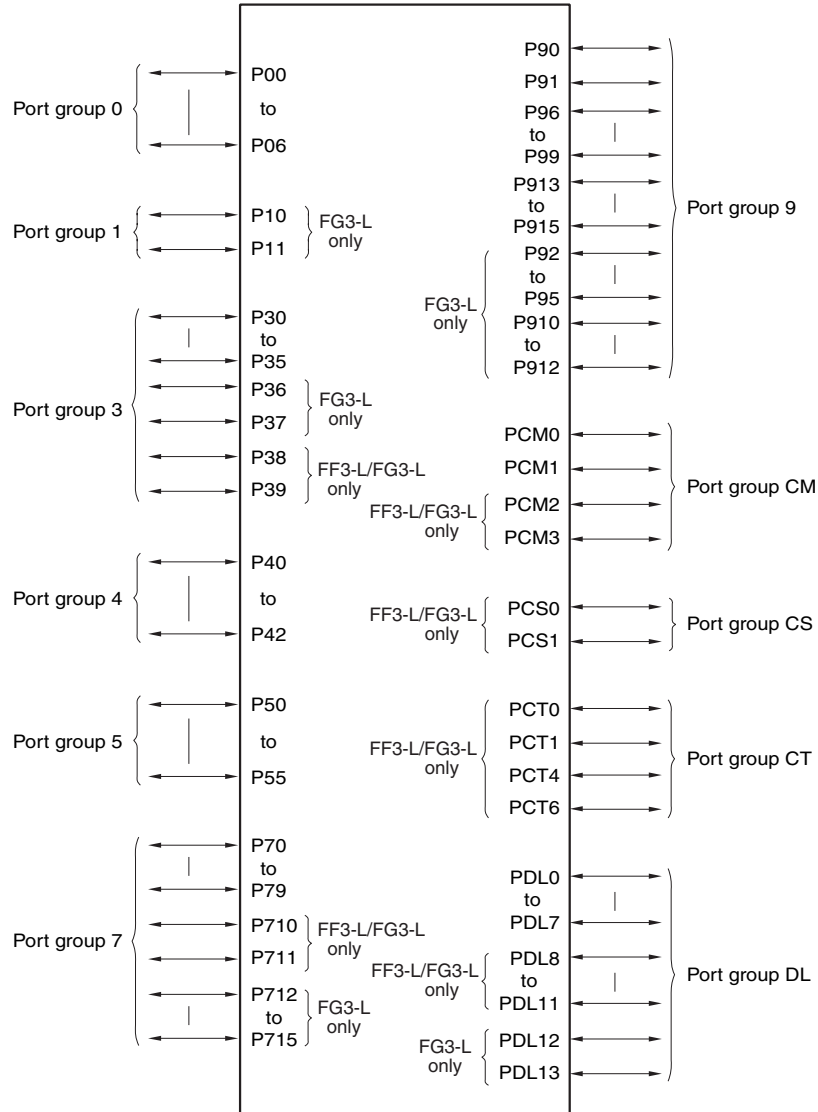
	V850ES/FE3-L	V850ES/FF3-L	V850ES/FG3-L
ポート・グループ	8	10	11
入出力ポート	51	67	84

- ・各端子は個別に設定可能
- ・特定の端子にプルアップ抵抗の接続を選択可能

2.1.1 解 説

V850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-Lには、次のようなポート・グループがあります。

図2 - 1 V850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-Lのポート・グループ



ポート・グループの概要：表2 - 1にポート・グループの概要を示します。この表には、各ポート・グループが、ポート・モードと兼用モードで対応する機能が示されています。

備考 表2 - 1にあるポート・グループと機能のすべてをV850ES/FE3-L, V850ES/FF3-Lで使用できるわけではありません。製品ごとのポート・グループと機能の搭載状況については、表2 - 1の注を参照してください。

表2 - 1 各ポート・グループの機能

ポート・グループ名	機 能	
	ポート・モード	兼用モード
0	7ビット入出力	<ul style="list-style-type: none"> ・外部割り込み0-3 ・ノンマスクابل割り込み ・N-Wireデバッグ・インタフェース・リセット ・ADコンバータ外部トリガ入力 ・タイマAA3入出力 ・タイマAA4入出力 ・CAN0送受信データ
1	2ビット入出力	<ul style="list-style-type: none"> ・外部割り込み9, 10^{注1}
3	10ビット入出力	<ul style="list-style-type: none"> ・外部割り込み7, 8^{注1} ・タイマAA0入出力 ・タイマAA1入出力 ・CAN0送受信データ ・UARTD0送受信データ ・UARTD0ポー・レート・クロック入力 ・UARTD2送受信データ^{注2}
4	3ビット入出力	<ul style="list-style-type: none"> ・キー割り込み入力0-2 ・クロック同期式シリアル・インタフェースCSIB0データ/クロック
5	6ビット入出力	<ul style="list-style-type: none"> ・キー割り込み入力0-5 ・N-Wireデバッグ・インタフェース信号
7	16ビット入出力	<ul style="list-style-type: none"> ・ADコンバータ入力
9	16ビット入出力	<ul style="list-style-type: none"> ・外部割り込み4-6 ・キー割り込み入力6, 7 ・タイマAA2入出力 ・CSIB1データ/クロック ・UARTD1送受信データ ・I²Cデータ/クロック ・プログラマブル・クロック出力
CM	4ビット入出力	<ul style="list-style-type: none"> ・CPUシステム・クロック出力
CS	2ビット入出力	-
CT	4ビット入出力	-
DL	14ビット	<ul style="list-style-type: none"> ・フラッシュ・プログラミング・モード引き込み端子

注 1. V850ES/FE3-L, V850ES/FF3-Lは外部割り込み8, 9, 10を搭載していません。

2. V850ES/FE3-L, V850ES/FF3-LはUARTD2を搭載していません。

備考 各ポートの設定については、2.5 **ポート・グループの設定**を参照してください。

2.1.2 用語

この章では、次のような用語を使用します。

- ・端子

物理的な端子を意味します。各端子は、その端子番号で一意に決められます。端子はいくつかのモードで使用できます。選択されたモードによっては、端子には端子名が割り当てられます。

- ・ポート・グループ

端子のグループを意味します。

- ・ポート・モード / ポート

ポート・モードに設定された端子は、汎用入出力端子として機能します。この場合、端子は「ポート」と呼ばれます。

各ポートの名前は、Pnm (nmは番号) です。たとえば、P04はポート・グループ0のポート4となります。「ポートP04」と呼ぶ場合もあります。

- ・兼用モード

兼用モードにおいて、各端子は兼用（入力 / 出力）機能として動作します（たとえば、内蔵周辺機能の入出力端子など）。

これらの機能に対応する端子の名前は、選択された機能によって異なります。たとえば、端子INTP0は外部割り込み入力端子を意味します。たとえば、P03とINTP0は物理的には同じ端子を指しています。ただし、端子名は現在動作している端子機能を示しています。

2.1.3 ノイズ除去

一部の端子は、入力される信号のノイズを除去するためにフィルタを搭載しています。

詳細については、2.6 **ノイズ除去**を参照してください。

2.2 ポート・グループを設定するレジスタの構成

設定レジスタの構成と各レジスタの詳細を説明します。設定レジスタは次のように分類されます。

- ・ 端子機能設定
- ・ 端子データ入出力
- ・ プルアップ抵抗の設定
- ・ オープン・ドレイン機能

2.2.1 概要

ポート・グループ（各端子）を設定するレジスタは、次の表の構成です。

表2-2 ポート・グループ設定用レジスタ

レジスタ名	略号	機能
ポート・モード・コントロール・レジスタ	PMCn	端子機能設定
ポート・モード・レジスタ	PMn	
ポート・ファンクション・コントロール・レジスタ	PFCn	
ポート・ファンクション・コントロール拡張レジスタ	PFCEn	
オンチップ・デバッグ・モード・レジスタ	OCDM	
ポート・レジスタ	Pn	端子データ入出力
プルアップ抵抗オプション・レジスタ	PUn	プルアップ抵抗設定
ポート・ファンクション・レジスタ	PFn	オープン・ドレイン設定

備考 V850ES/FE3-L : n = 0, 3-5, 7, 9, CM, DL

V850ES/FF3-L : n = 0, 3-5, 7, 9, CM, CS, CT, DL

V850ES/FG3-L : n = 0, 1, 3-5, 7, 9, CM, CS, CT, DL

2.2.2 端子機能設定用レジスタ

端子機能設定用レジスタは、次のような端子の通常機能を設定します。

- ・ポート・モードまたは兼用モード
- ・ポート・モード：入力モードまたは出力モード
- ・兼用モード：兼用モードにおける兼用機能の選択
- ・通常モードまたはオンチップ・デバッグ・モード（N-Wireインタフェース）

レジスタ設定の概要を次の表に示します。

表2-3 端子機能設定の概要（各レジスタ内該当ビットの設定）

選択する機能（モード）	レジスタ					入力（I）/ 出力（O） 状態
	OCDM	PMC	PM	PFCE	PFC	
ポート・モード（出力）	0	0	0	x	x	O
ポート・モード（入力）			1	x	x	I
兼用モード（兼用機能1）		1	x ^{注1}	0	0	I/O ^{注2}
兼用モード（兼用機能2）						
兼用モード（兼用機能3）				1	0	
兼用モード（兼用機能4）					1	
オンチップ・デバッグ・モード ^{注3}	1	x	x	x	x	I/O

注1. 詳細は、2.2.3 端子データ入出力用レジスタを参照してください。

2. 兼用モードでは、対応する兼用機能により端子が入力もしくは出力に決まります。
3. オンチップ・デバッグ・モードでは、対応する端子は自動的に入力または出力端子として設定され、N-Wireインタフェース端子として機能します。このモードでは、端子の設定は、端子設定レジスタで変更することができません。詳細は、第22章 オンチップ・デバッグ・ユニットを参照してください。

備考 x : Don't Care

(1) ポート・モード・コントロール・レジスタ (PMcN)

PMcNレジスタはポート・グループnの各端子をポート・モードまたは兼用モードに指定します。

最大8つのポートで構成されるポート・グループに対しては、本レジスタは8ビット・レジスタとして動作します。16個のポートで構成されるポート・グループに対しては、本レジスタは16ビット・レジスタとしても動作します。

アクセス： 8/1ビット単位でリード/ライト可能です。

16ビット・レジスタとして機能する場合は、16ビット単位でリード/ライト可能です。

アドレス： 2.5 ポート・グループの設定を参照してください。

初期値： リセットにより00H、または0000Hになります。

								7	6	5	4	3	2	1	0																
								PMcN7	PMcN6	PMcN5	PMcN4	PMcN3	PMcN2	PMcN1	PMcN0																
								R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
PMcN15	PMcN14	PMcN13	PMcN12	PMcN11	PMcN10	PMcN9	PMcN8	PMcN7	PMcN6	PMcN5	PMcN4	PMcN3	PMcN2	PMcN1	PMcN0																
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																

表2-4 PMcNレジスタの内容

ビット位置	ビット名	機能
7-0または15-0	PMcN [7:0] または PMcN [15:0]	対応する端子の動作モードを指定。 0：ポート・モード 1：兼用モード

注意 ポートの機能をポート・モード (PMcNm = 0) から外部割り込み入力 (PMcNm = 1) に変更すると、意図しない割り込みが発生する場合があります。

したがって、次の手順を推奨します。

1. 兼用入力機能であるINTPn (I) を選択する場合は、PFCE.PFCEnmとPFC.PFCnmを設定します。
2. PMcNm = 1にセットし、兼用モードに変更します。
3. ノイズ除去フィルタの遅延時間が経過するまで待ちます。
4. INTnIC.INTnIF = 0にクリアして、割り込み要求をクリアします。
5. NTnIC.INTnMK (またはINTMR.INTnMK) をクリアして、割り込みを許可します。

外部割り込み端子はノイズ除去フィルタを備えているため、ステップ3では特定の時間が経過するまで待つ必要があります。このフィルタによって遅延時間が発生し、その間に割り込み要求フラグINTnIC.INTnIFがセットされるため、このフラグをクリアする必要があります (ステップ4)。

(2) ポート・モード・レジスタ (PMn)

PMnレジスタはポート・グループnの各端子を入力モードまたは出力モードに指定します。

最大8つのポートで構成されるポート・グループに対しては、本レジスタは8ビット・レジスタとして動作します。16個のポートで構成されるポート・グループに対しては、本レジスタは16ビット・レジスタとしても動作します。

備考 端子が兼用モードに設定され (PMcn.PMCnm = 1) , 対応するPMnビットがセットされている (PMn.PMnm = 1) 場合, Pn.Pmnを読み出すと, 端子状態が読み出されます。

アクセス: 8ビットまたは1ビット単位でリード/ライト可能です。

16ビット・レジスタとして機能する場合は, 16ビット単位でリード/ライト可能です。

アドレス: 2.5 **ポート・グループの設定**を参照してください。

初期値: リセットによりFFH, またはFFFFHになります。

7	6	5	4	3	2	1	0
PMn7	PMn6	PMn5	PMn4	PMn3	PMn2	PMn1	PMn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMn15	PMn14	PMn13	PMn12	PMn11	PMn10	PMn9	PMn8	PMn7	PMn6	PMn5	PMn4	PMn3	PMn2	PMn1	PMn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表2 - 5 PMnレジスタの内容

ビット位置	ビット名	機能
7-0または15-0	PMn [7:0] または PMn [15:0]	対応する端子の入出力モードを指定。 0: 出力モード 1: 入力モード

(3) ポート・ファンクション・コントロール・レジスタ (PFCn)

1本の端子に兼用機能が2つ以上存在する場合に、兼用モード (PMcN.PMCnm = 1) で使用する兼用機能を指定します。兼用モードでは、対応する兼用機能により端子が入力または出力に決まります。

アクセス： 8/1ビット単位でリード/ライト可能です。

16ビット・レジスタとして機能する場合は、16ビット単位でリード/ライト可能です。

アドレス： 2.5 **ポート・グループの設定**を参照してください。

初期値： リセットにより00H, または0000Hになります。

7	6	5	4	3	2	1	0
PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PFCn15	PFCn14	PFCn13	PFCn12	PFCn11	PFCn10	PFCn9	PFCn8	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表2 - 6 PFCnレジスタの内容

ビット位置	ビット名	機能
7-0または15-0	PFCn [7:0] または PFC [15:0]	詳細は、表2 - 3 端子機能設定の概要 (各レジスタ内該当ビットの設定) を参照してください。

(4) ポート・ファンクション・コントロール拡張レジスタ (PFCEn)

1本の端子に兼用機能が3つ以上存在する場合に、兼用モード (PMcN.PMCNm = 1) で使用する兼用機能を指定します。端子によっては最大4つまでの兼用機能を持つことになります。

兼用モードでは、対応する兼用機能により端子が入力または出力に決まります。

アクセス： 8/1ビット単位でリード/ライト可能です。

16ビット・レジスタとして機能する場合は、16ビット単位でリード/ライト可能です。

アドレス： 2.5 **ポート・グループの設定**を参照してください。

初期値： リセットにより00H、または0000Hになります。

7	6	5	4	3	2	1	0									
PFCEn7	PFCEn6	PFCEn5	PFCEn4	PFCEn3	PFCEn2	PFCEn1	PFCEn0									
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
PFCEn15	PFCEn14	PFCEn13	PFCEn12	PFCEn11	PFCEn10	PFCEn9	PFCEn8	PFCEn7	PFCEn6	PFCEn5	PFCEn4	PFCEn3	PFCEn2	PFCEn1	PFCEn0	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表2 - 7 PFCEnレジスタの内容

ビット位置	ビット名	機 能
7-0または15-0	PFCEn [7:0] または PFCE [15:0]	詳細は、表2 - 3 端子機能設定の概要 (各レジスタ内該当ビットの設定) を参照してください。

(5) オンチップ・デバッグ・モード・レジスタ (OCDM)

オンチップ・デバッグ (N-Wireインタフェース) が割り当てられている端子を、通常動作モードで動作するか、N-wireインタフェース動作するか指定します。このレジスタの設定は、N-Wireインタフェースに使用可能な、P05/ $\overline{\text{DRST}}$ 、P52/DDI、P53/DDO、P54/DCKおよびP55/DMS端子に対してのみ有効です。

詳細は、2. 9. 3 オンチップ・デバッグ用端子に関する注意事項、第22章 オンチップ・デバッグ・ユニットを参照してください。

本レジスタは、不正なデータが書き込まれないように保護されているレジスタ (特定レジスタ) です。

詳細は、第3章 CPU機能を参照してください。

アクセス： 8/1ビット単位でリード/ライト可能です。

本レジスタへの書き込みは、P05/ $\overline{\text{DRST}}$ 端子にロウ・レベル入力時のみ有効です。

アドレス： 3FFFF9FCH

初期値： 00H/01H:

- ・パワーオン・クリア (POC) リセット発生時 (POC使用製品) : 00H
- ・外部RESET入力時 : 01H
- ・その他内部要因リセット (POC以外) 発生時 : リセット発生前の値を保持

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	OCDM0
R	R	R	R	R	R	R	R/W

表2 - 8 OCDMレジスタの内容

ビット位置	ビット名	機能
0	OCDM0	N-Wireインタフェースの許可 / 禁止。 0 : 端子は通常動作モード (ポート・モードまたは兼用モード, プルダウン抵抗切断)。 1 : 端子はオンチップ・デバッグ・モード (プルダウン抵抗接続)。

備考 P05/ $\overline{\text{DRST}}$ 、P52/DDI、P53/DDO、P54/DCKおよびP55/DMS端子がN-Wireインタフェース端子として使用される場合、これらの端子の設定を端子設定レジスタで変更することはできません。

$\overline{\text{DRST}}$ プルダウン抵抗 : $\overline{\text{DRST}}$ (P05) はプルダウン抵抗を内蔵しています。このプルダウン抵抗の接続は、OCDM.OCDM0で制御します。

0 : プルダウン抵抗をP05/ $\overline{\text{DRST}}$ に接続しない。

1 : プルダウン抵抗をP05/ $\overline{\text{DRST}}$ に接続する。

2.2.3 端子データ入出力用レジスタ

端子がポート・モードにある場合、端子データ入出力用のレジスタで外部とのデータ入出力を、Pnレジスタへの書き込み、および読み出しによって行います。

(1) ポート・レジスタ (Pn)

Pnレジスタは、出力データを保持するポート・ラッチ、および端子の状態を読み込む回路で構成されています。

最大8つのポートで構成されるポート・グループに対しては、本レジスタは8ビット・レジスタとして動作します。16個のポートで構成されるポート・グループに対しては、本レジスタは16ビット・レジスタとしても動作します。

アクセス： 8/1ビット単位でリード/ライト可能です。

16ビット・レジスタとして機能する場合は、16ビット単位でリード/ライト可能です。

アドレス： 2.5 **ポート・グループの設定**を参照してください。

初期値： 不定

備考 リセット後、ポートは入力モードに設定されます (PMn.PMnm = 1)。読み出し値は、端子状態によって決定されます。

7	6	5	4	3	2	1	0
Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Pn15	Pn14	Pn13	Pn12	Pn11	Pn10	Pn9	Pn8	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表2-9 Pnレジスタの内容

ビット位置	ビット名	機能
7-0または15-0	Pn [7:0] または Pn [15:0]	詳細は、表2-10と表2-11を参照してください。

備考 Pnレジスタに書き込まれた値は、同レジスタに新しい値が書き込まれるまで保持されます。

ポート・モード： ポート・モード (PMcn.PMCnm = 0) では、PMnレジスタは各端子が入力モードであるか出力モードであるかを指定します。Pnレジスタのリード/ライトは以下のとおりです。

表2 - 10 ポート・モード (PM_{Cn}.PM_{Cnm} = 0) でのP_nレジスタへのリード/ライト

機 能	PM
P _n への書き込み	
P _n の内容が端子から出力されます。	0 (出力モード)
端子状態に影響しません	1 (入力モード)
P _n からの読み出し	
出力ラッチの値を読み出します。	0 (出力モード)
端子状態を読み出します。	1 (入力モード)

兼用モード：兼用モード (PM_{Cn}.PM_{Cnm} = 1) では、設定する兼用機能により端子の入力または出力が決定されます。P_nレジスタのリード/ライト動作はPM_nレジスタの影響を受けます。

表2 - 11 兼用モード (PM_{Cn}.PM_{Cnm} = 1) でのP_nレジスタへのリード/ライト

機 能	PM
P _n への書き込み	
端子状態に影響しません。	×
P _n からの読み出し	
出力ラッチの値を読み出します。	0 (出力モード)
端子状態を読み出します。	1 (入力モード)

注意 兼用機能としてアナログ入力 (AN_{In}) を選択している場合、端子状態は読み出しできません。

備考 × : Don't care

2.2.4 ブルアップ抵抗設定用レジスタ

(1) ブルアップ抵抗オプション・レジスタ (PUn)

PUnレジスタは、対応する端子にブルアップ抵抗を接続するかどうかを指定します。

アクセス： 8/1ビット単位でリード/ライト可能です。

16ビット・レジスタとして機能する場合は、16ビット単位でリード/ライト可能です。

アドレス： 2.5 **ポート・グループの設定**を参照してください。

初期値： リセットにより00H、または0000Hになります。

7	6	5	4	3	2	1	0
PUn7	PUn6	PUn5	PUn4	PUn3	PUn2	PUn1	PUn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PUn15	PUn14	PUn13	PUn12	PUn11	PUn10	PUn9	PUn8	PUn7	PUn6	PUn5	PUn4	PUn3	PUn2	PUn1	PUn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表2 - 12 PUnレジスタの内容

ビット位置	ビット名	機能
7-0または15-0	PUn [7:0] または PUn [15:0]	対応する端子へのブルアップ抵抗の接続を指定。 0：ブルアップ抵抗を接続しない。 1：ブルアップ抵抗を接続する。

注意 ポート・モード時 (PMcNmビット = 0)、PUnレジスタのPUnmビットは、PMnレジスタのPMnmビット = 1 (入力モード時) のときのみ有効です。PMnmビット = 0 (出力モード時) のときは、PUnレジスタの設定値は無効 (ブルアップ抵抗を接続しません) です。

2.2.5 オープン・ドレイン設定用レジスタ

(1) ポート・ファンクション・レジスタ9H (PF9H)

端子が出力ポート・モード (PMC9.PMC9m = 0, PM9.PM9m = 0) , または兼用機能3 (SDA00, SCL00) の場合, PF9Hレジスタは, その端子が通常出力端子として機能するか, オープン・ドレイン出力端子として機能するかを指定します。

このレジスタは, 8ビット・レジスタとして動作します。

アクセス: 8/1ビット単位でリード/ライト可能です。

アドレス: 2.5 ポート・グループの設定を参照してください。

初期値: リセットにより00Hになります。

7	6	5	4	3	2	1	0
PF915	PF914	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R

表2 - 13 PF9Hレジスタの内容

ビット位置	ビット名	機能
7, 6	PF91 [5:4]	通常出力またはオープン・ドレイン出力を指定 0: 通常出力 1: オープン・ドレイン出力

2.3 端子の入出力回路タイプ

図2 - 2 端子の入出力回路タイプ (1/2)

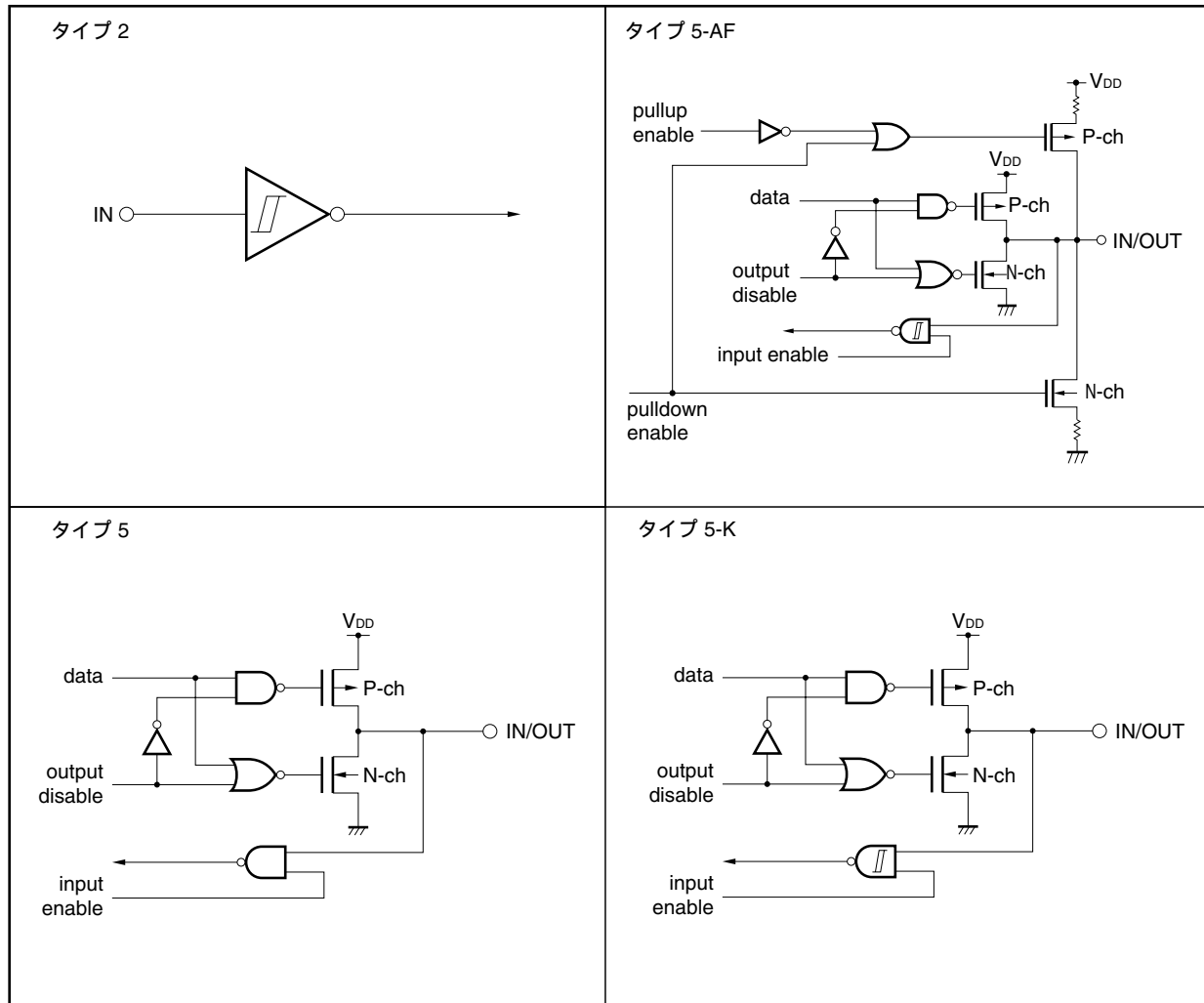
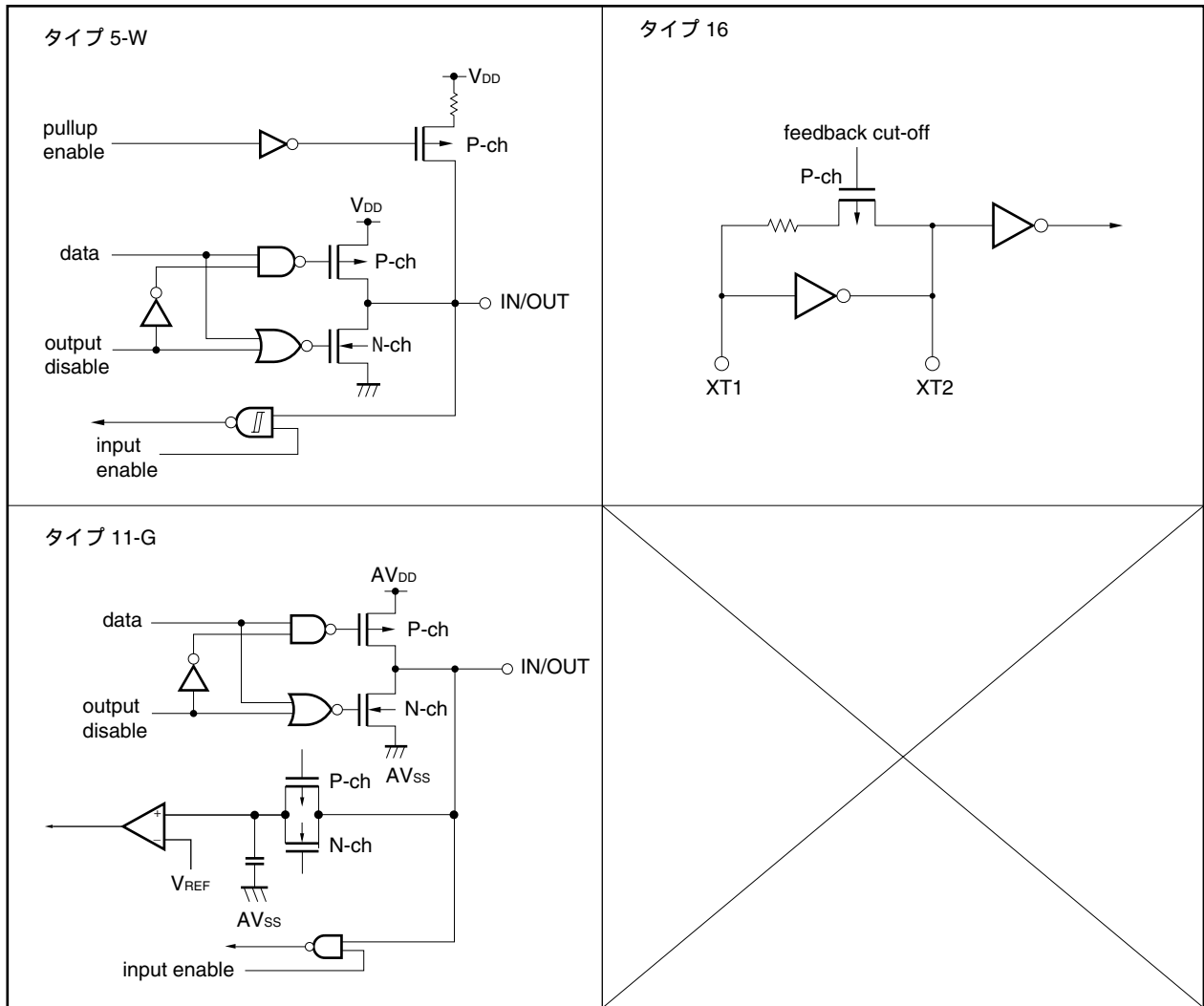


図2-2 端子の入出力回路タイプ (2/2)



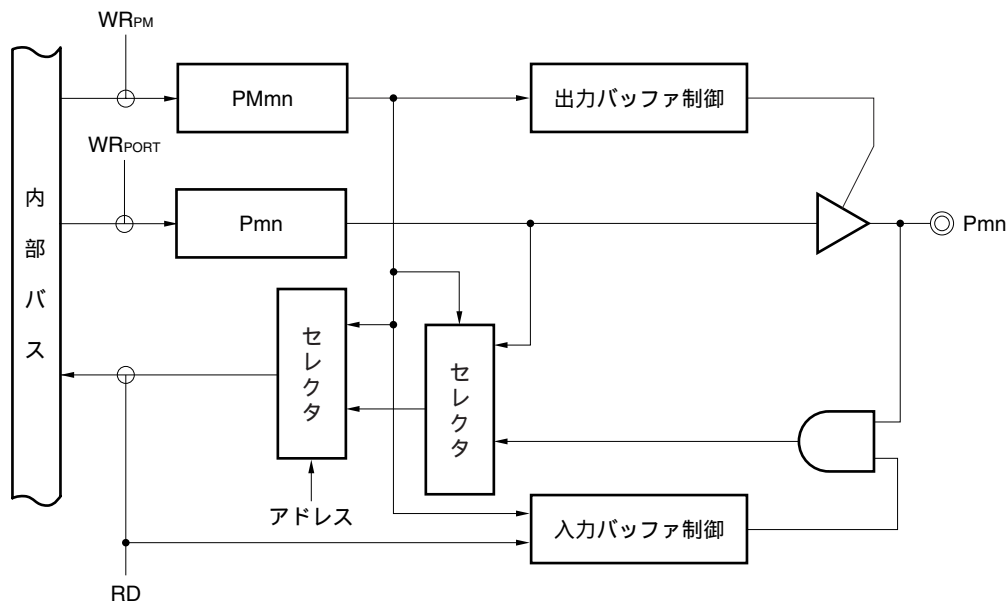
2.4 ポート・タイプ

ポート・タイプのブロック図を列挙します。

各ポート・グループの説明にある表（例：表2 - 16 ポート・グループ0：端子機能とポート・タイプ）に、各ポートのポート・タイプを示しています。

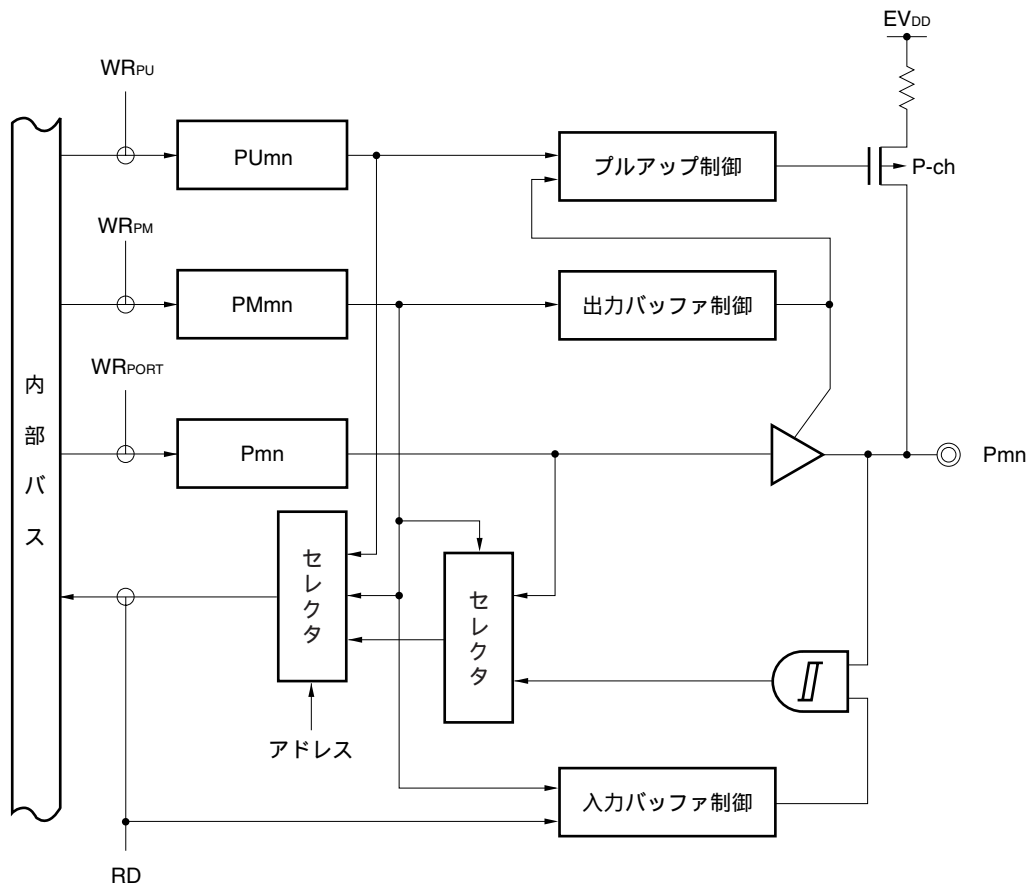
2.4.1 ポート・タイプC

図2 - 3 ポート・タイプCのブロック図



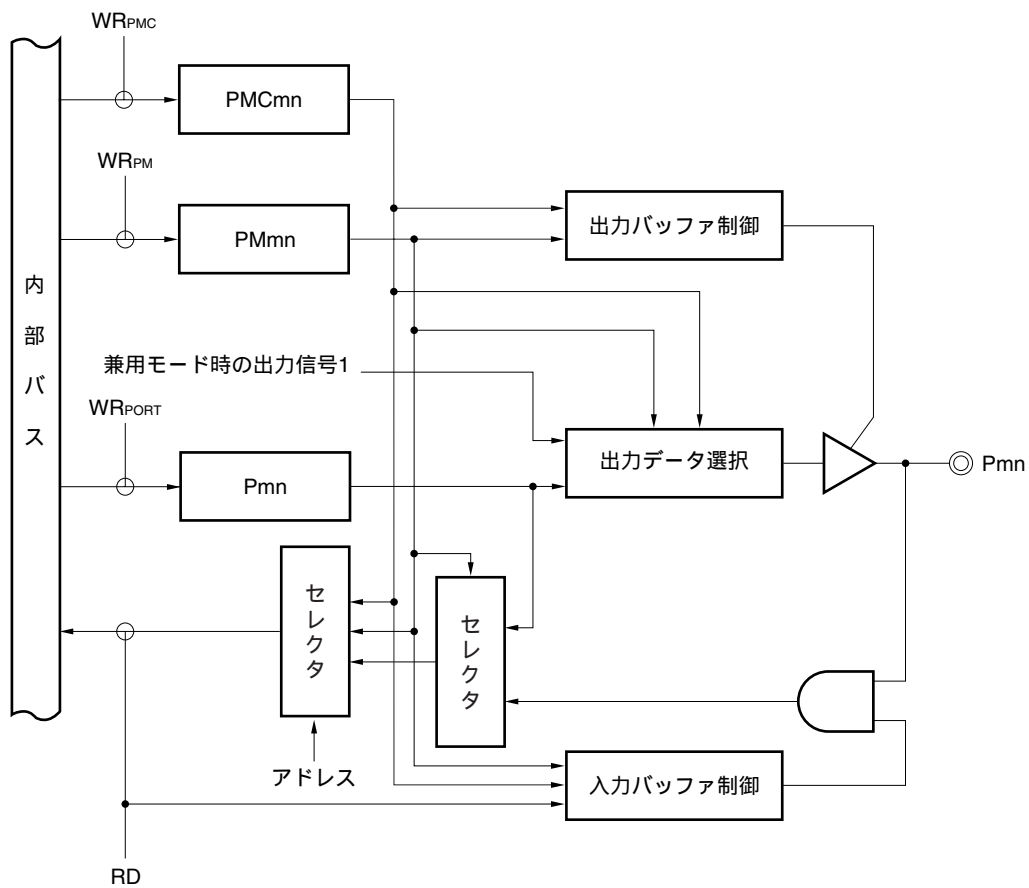
2.4.2 ポート・タイプC-U

図2-4 ポート・タイプC-Uのブロック図



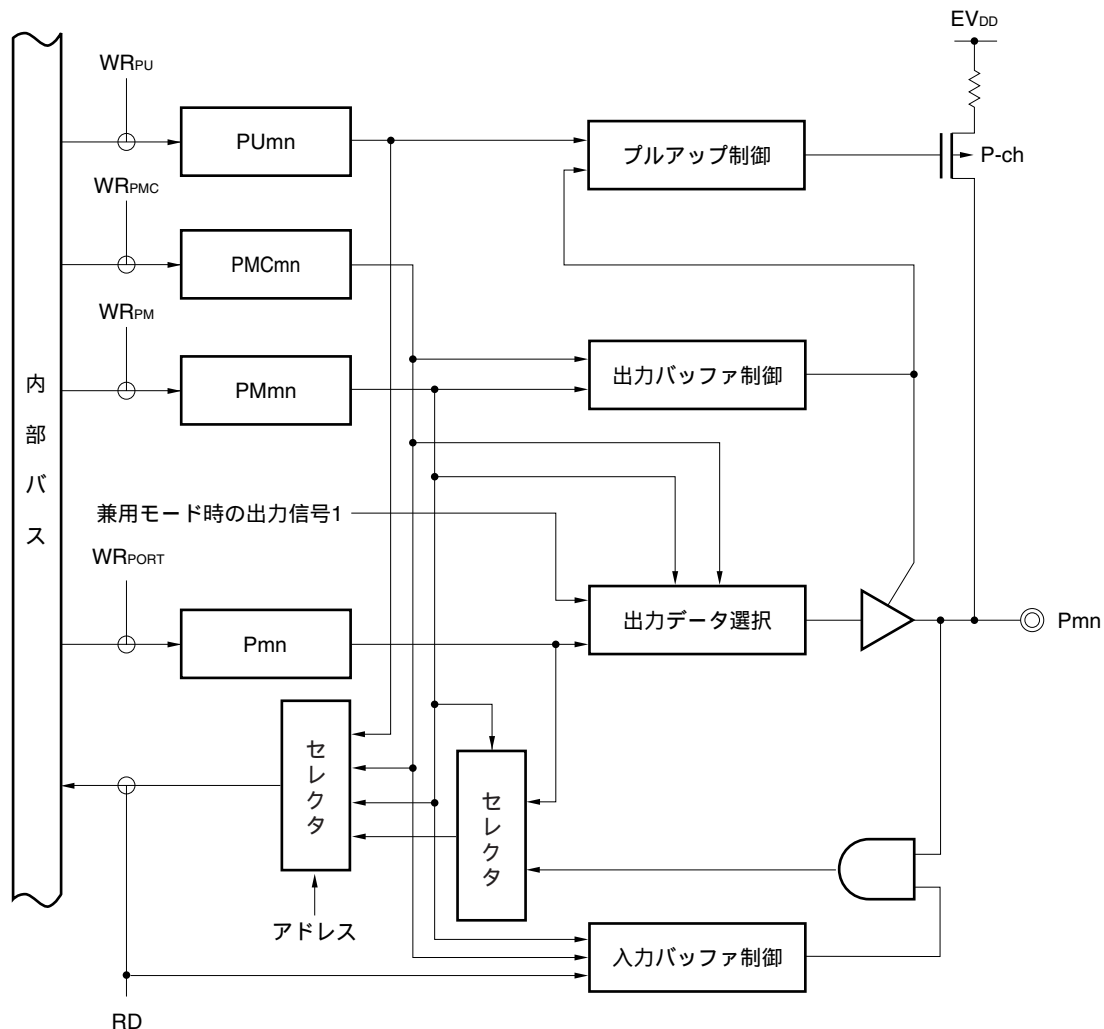
2.4.3 ポート・タイプD0

図2-5 ポート・タイプD0のブロック図



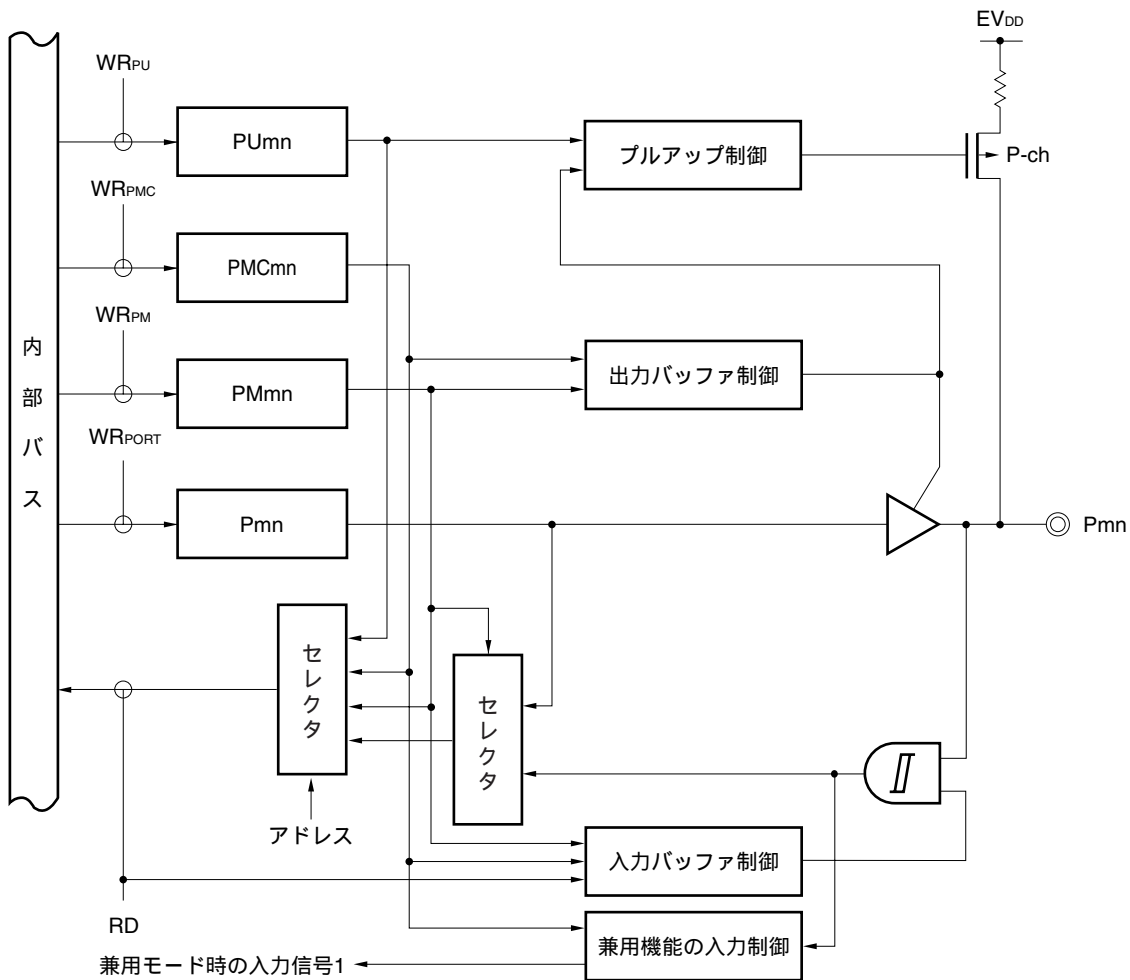
2.4.4 ポート・タイプD0-U

図2-6 ポート・タイプD0-Uのブロック図



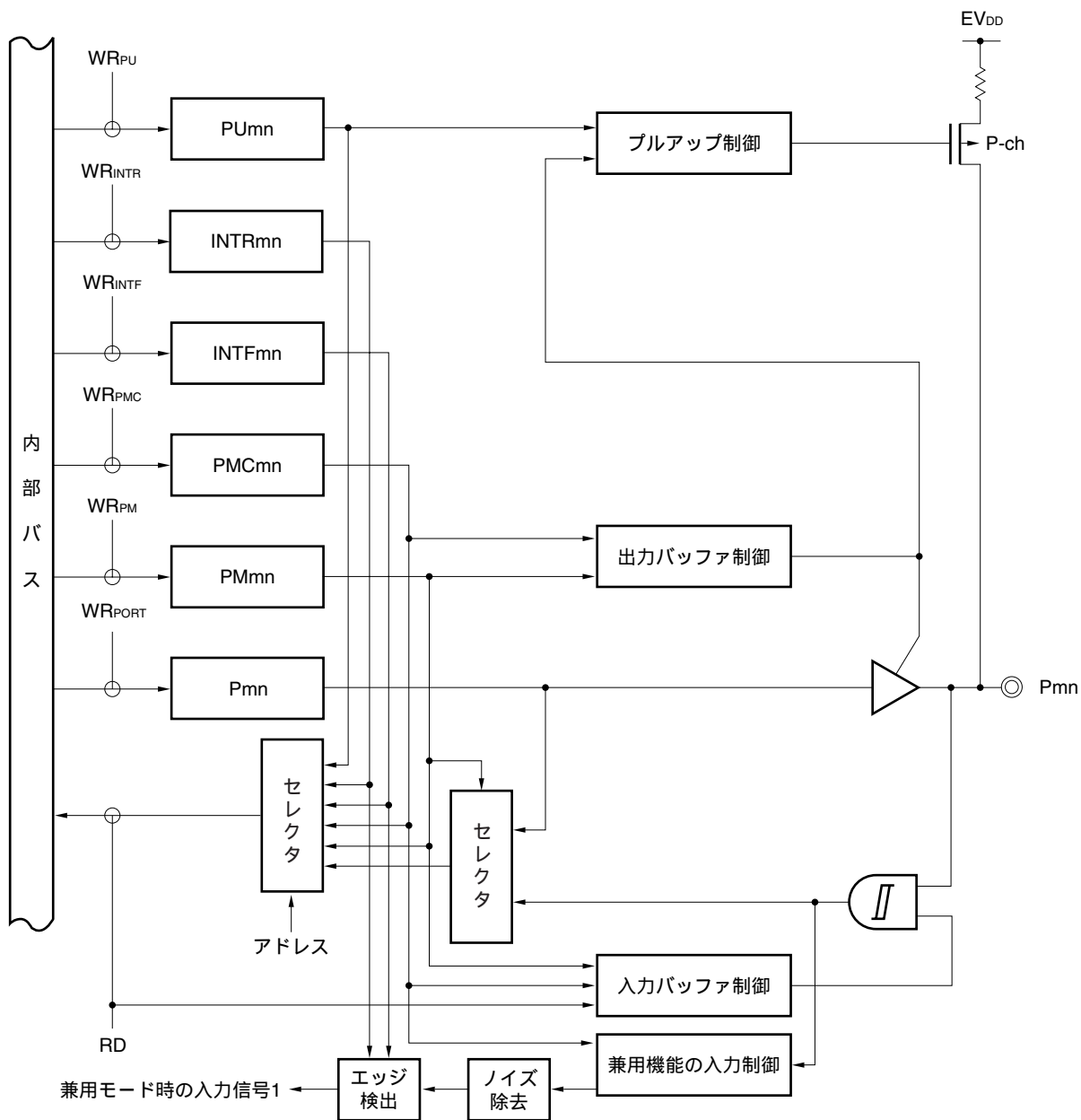
2.4.5 ポート・タイプD1-U

図2-7 ポート・タイプD1-Uのブロック図



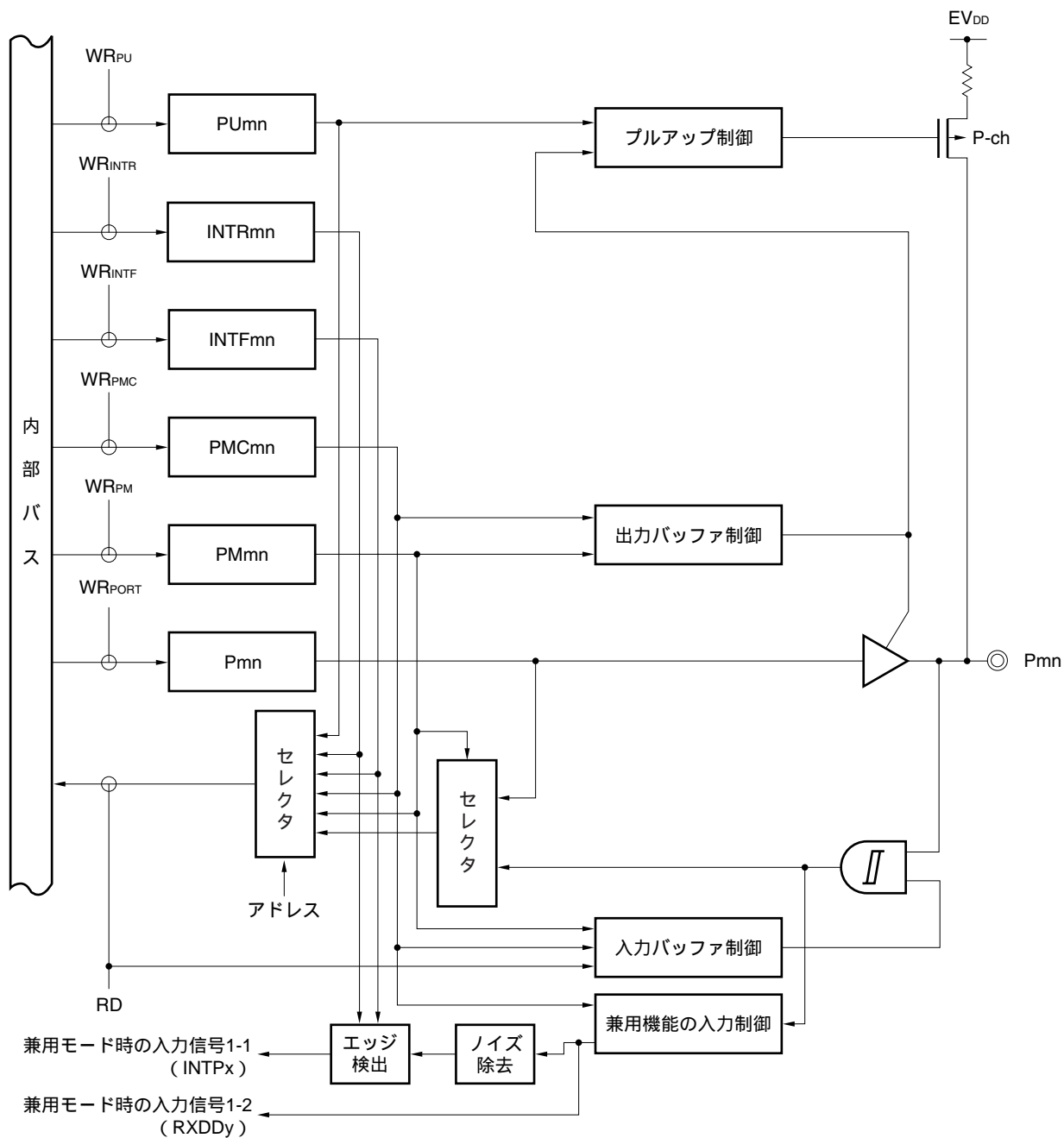
2.4.6 ポート・タイプD1-UI

図2-8 ポート・タイプD1-UIのブロック図



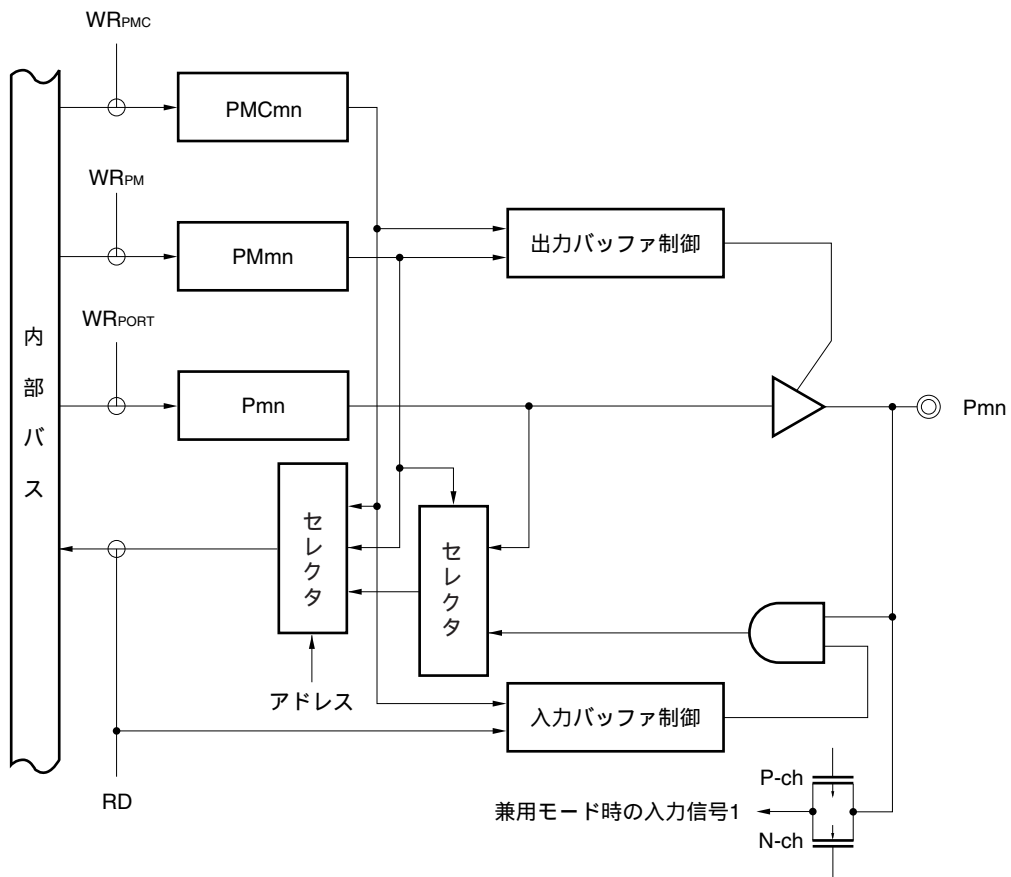
2.4.7 ポート・タイプD3-UI

図2-9 ポート・タイプD3-UIのブロック図



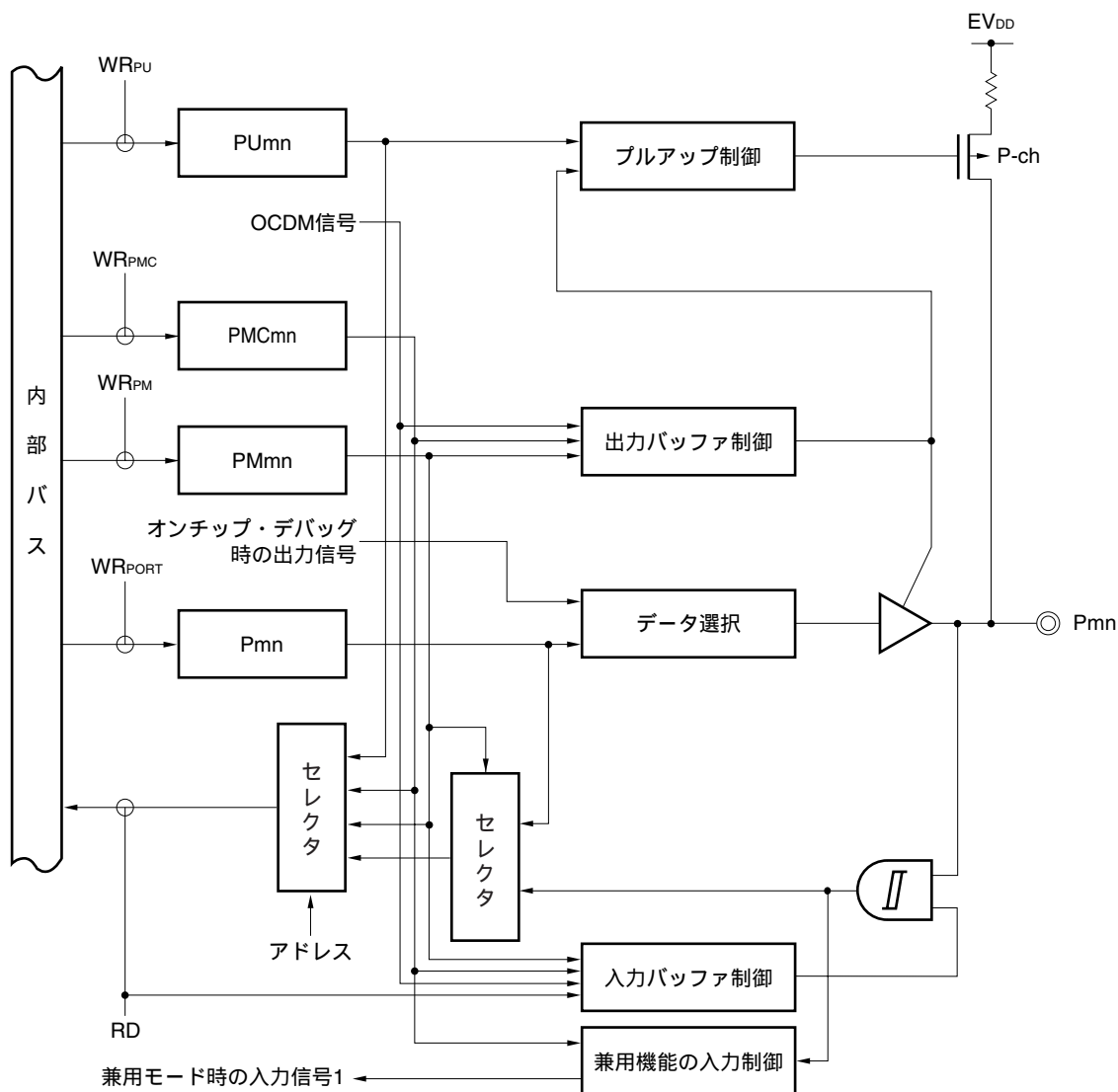
2.4.8 ポート・タイプD1A

図2-10 ポート・タイプD1Aのブロック図



2.4.9 ポート・タイプD100-U

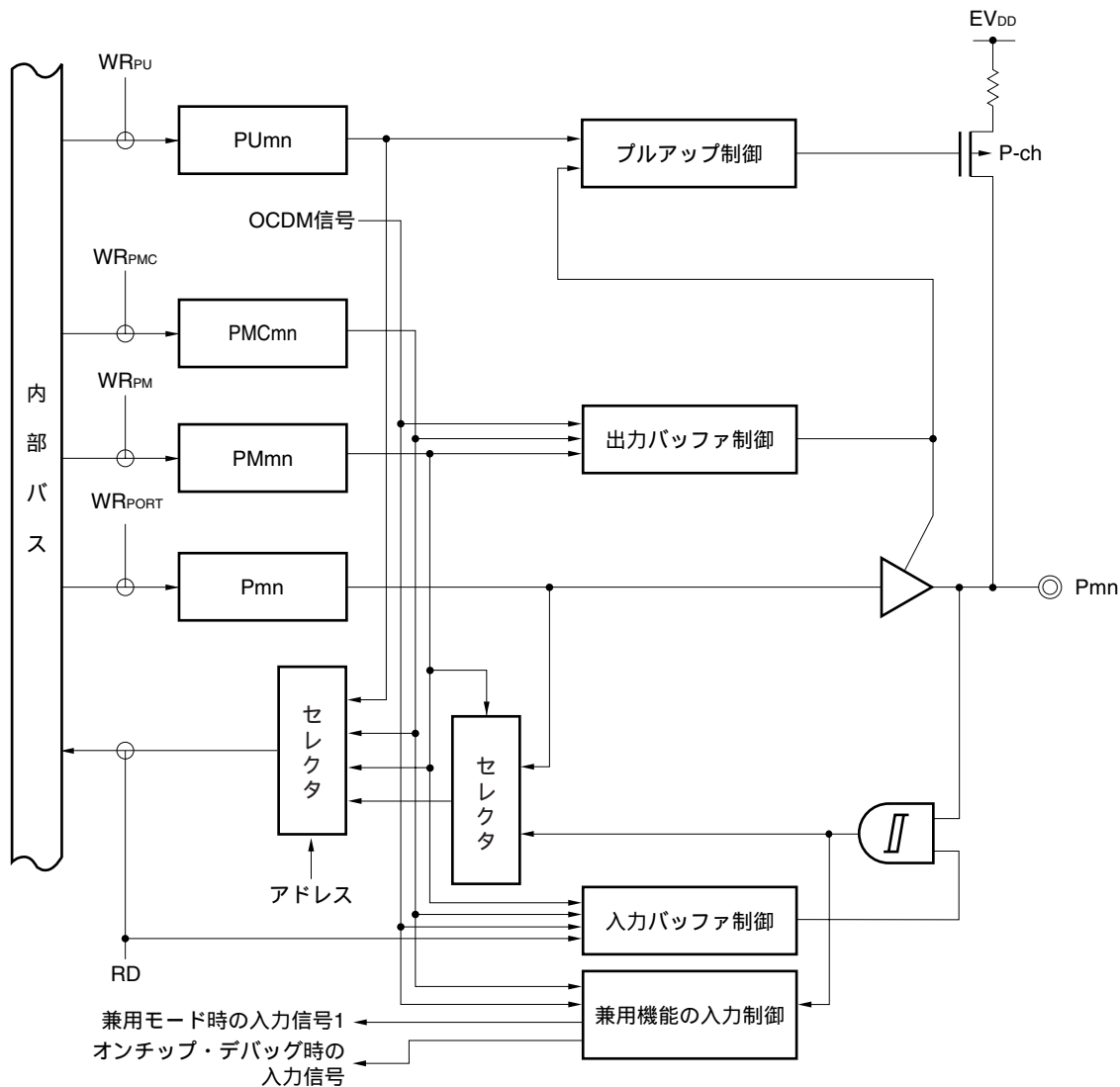
図2-11 ポート・タイプD100-Uのブロック図



備考 OCDM信号：オンチップ・デバッグ入力制御から出力されるデバイス信号です。2.4.11 ポート・タイプD101-UIを参照してください。

2.4.10 ポート・タイプD101-U

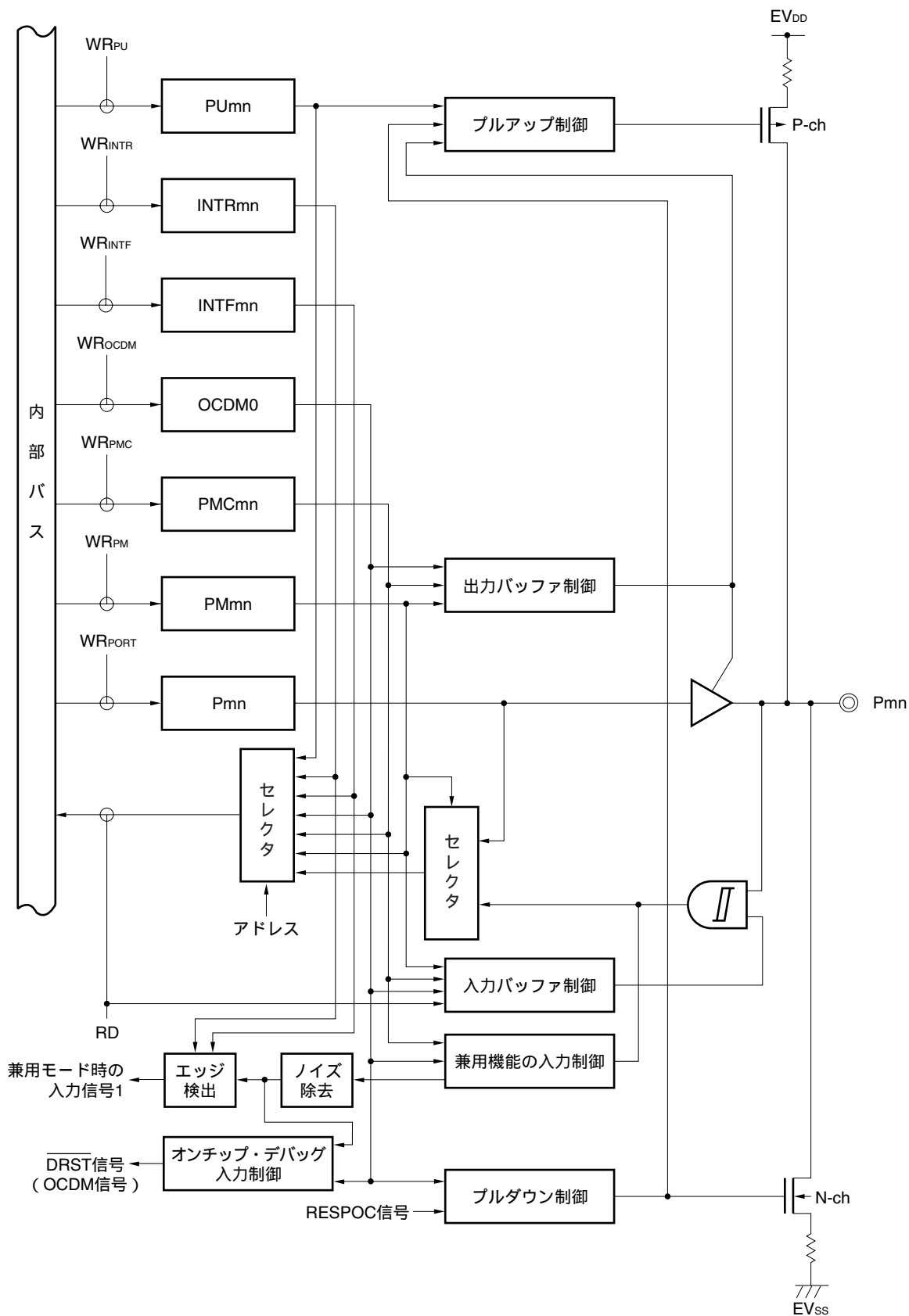
図2-12 ポート・タイプD101-Uのブロック図



備考 OCDM信号：オンチップ・デバッグ入力制御から出力されるデバイス信号です。2.4.11 ポート・タイプD101-UIを参照してください。

2.4.11 ポート・タイプD1O1-UI

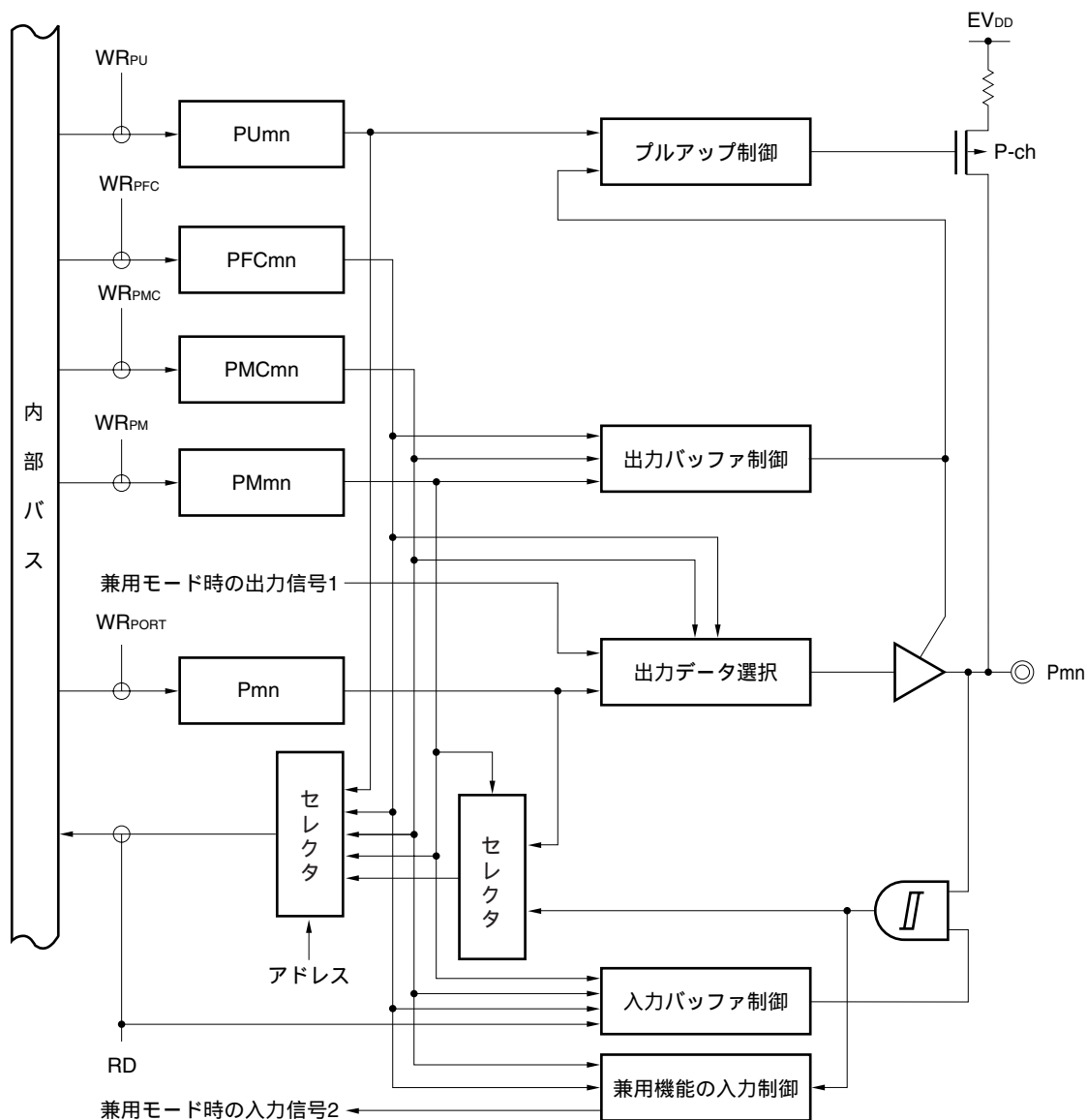
図2-13 ポート・タイプD1O1-UIのブロック図



備考 OCDM信号：オンチップ・デバッグ入力制御から出力されるデバイス信号です。

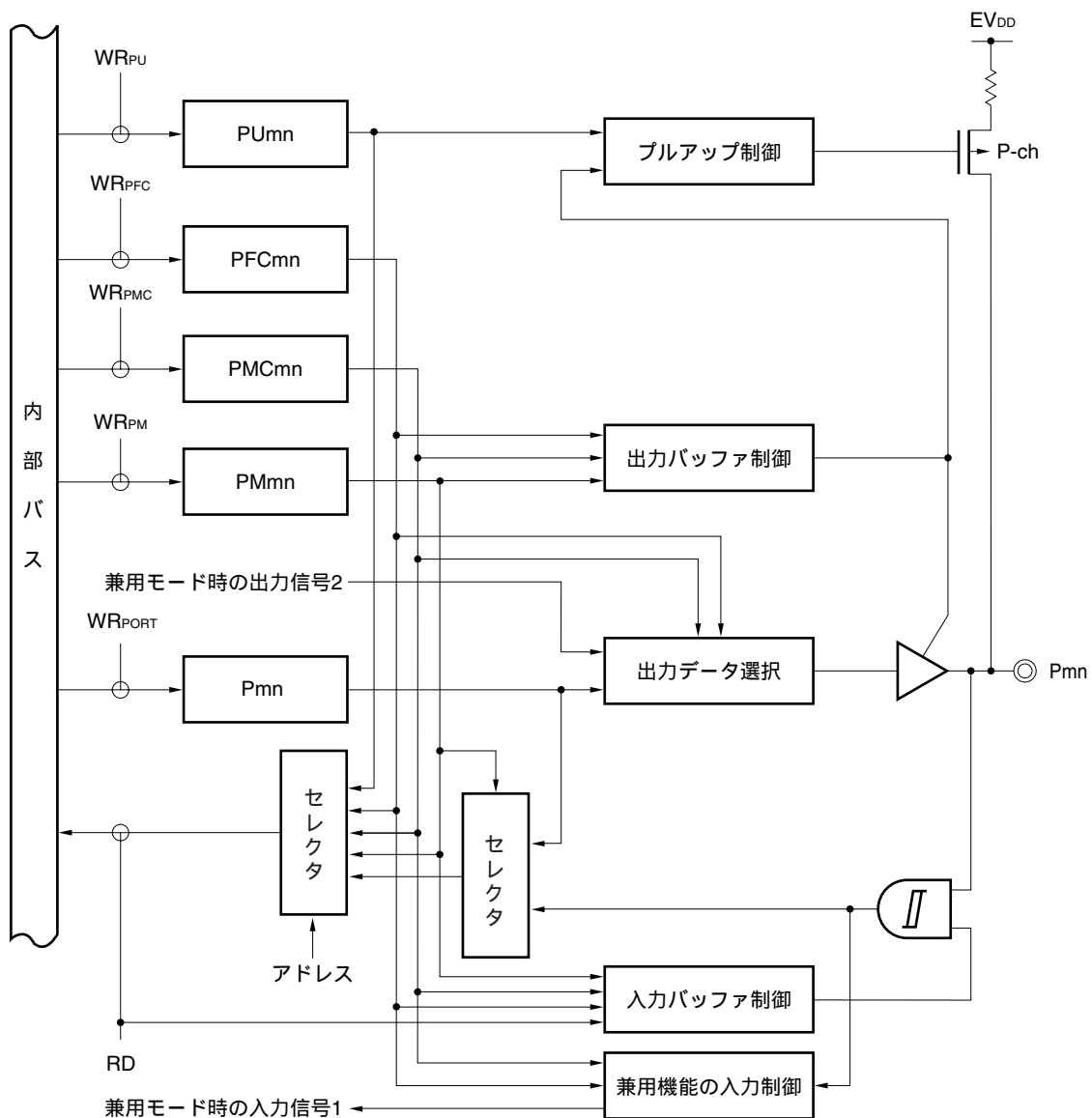
2.4.12 ポート・タイプE01-U

図2-14 ポート・タイプE01-Uのブロック図



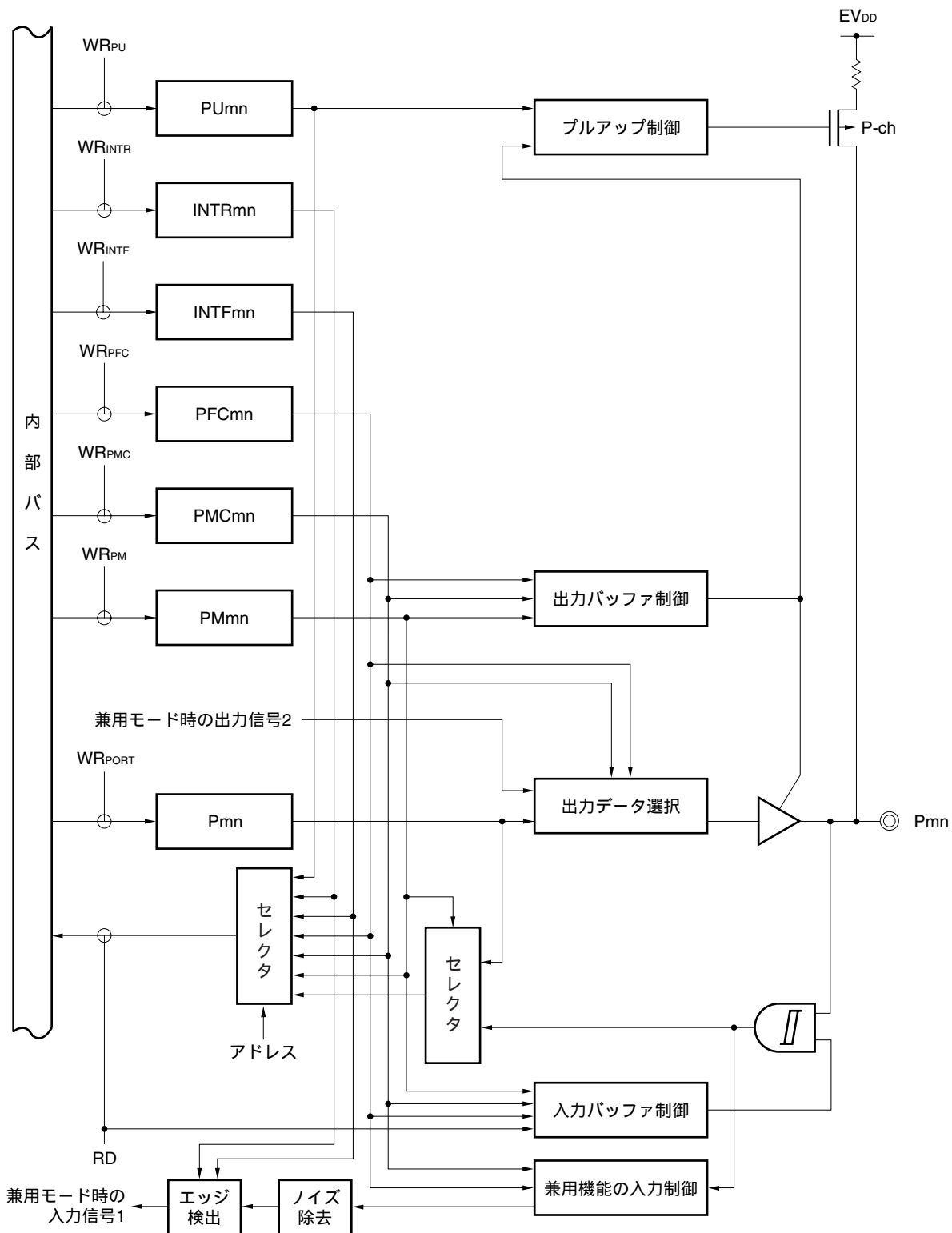
2.4.13 ポート・タイプE10-U

図2-15 ポート・タイプE10-Uのブロック図



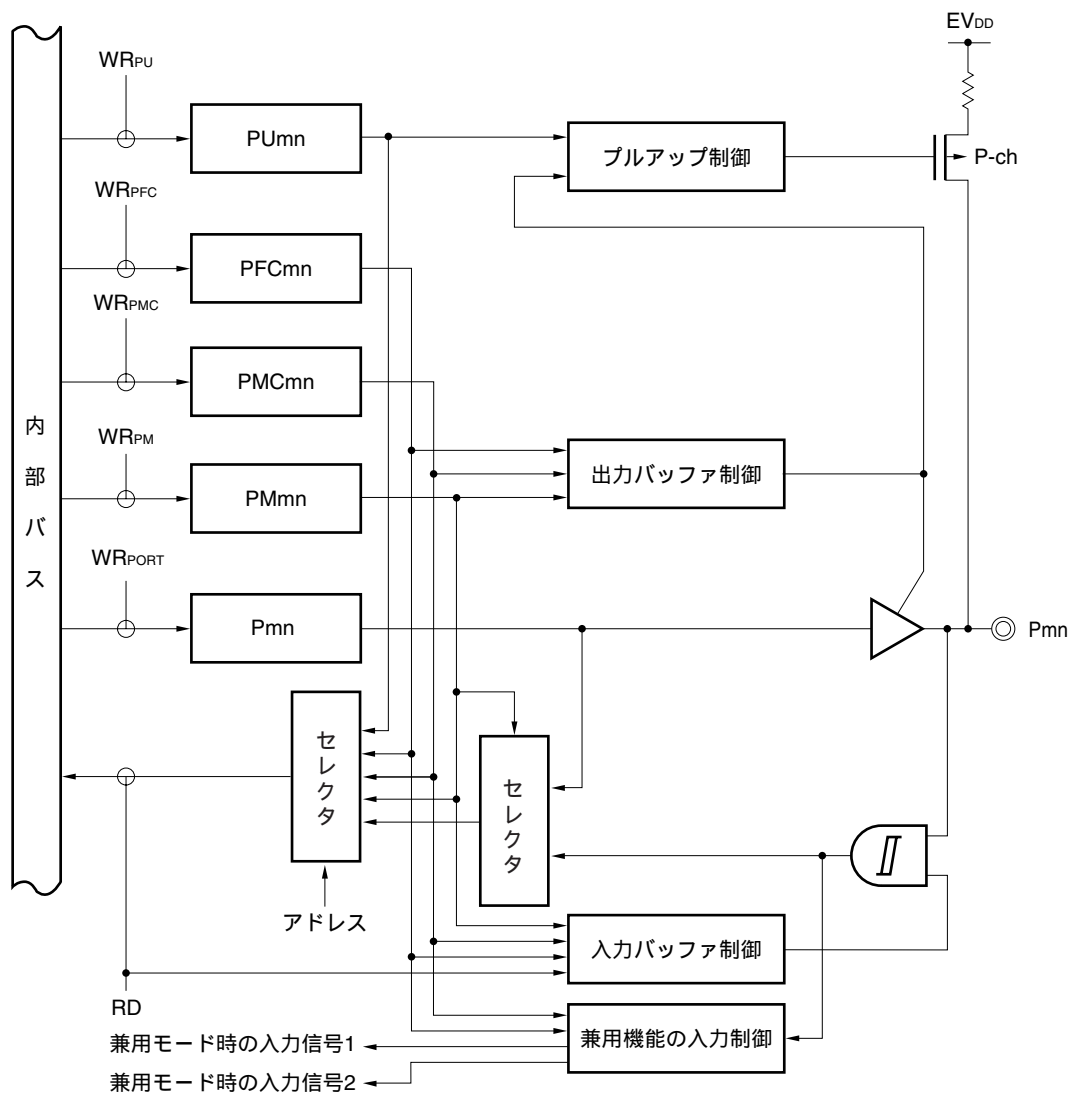
2.4.14 ポート・タイプE10-UI

図2-16 ポート・タイプE10-UIのブロック図



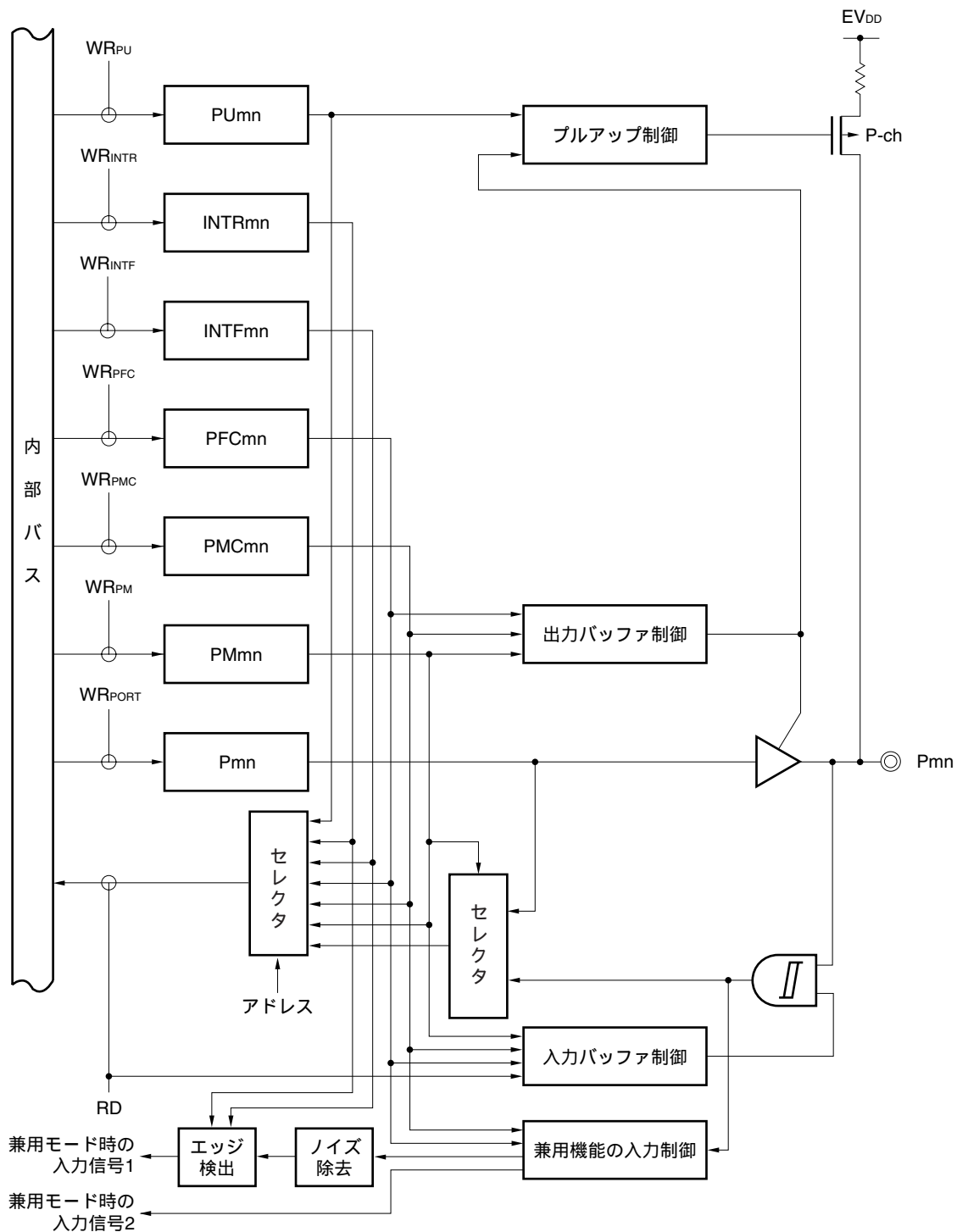
2.4.15 ポート・タイプE11-U

図2-17 ポート・タイプE11-Uのブロック図



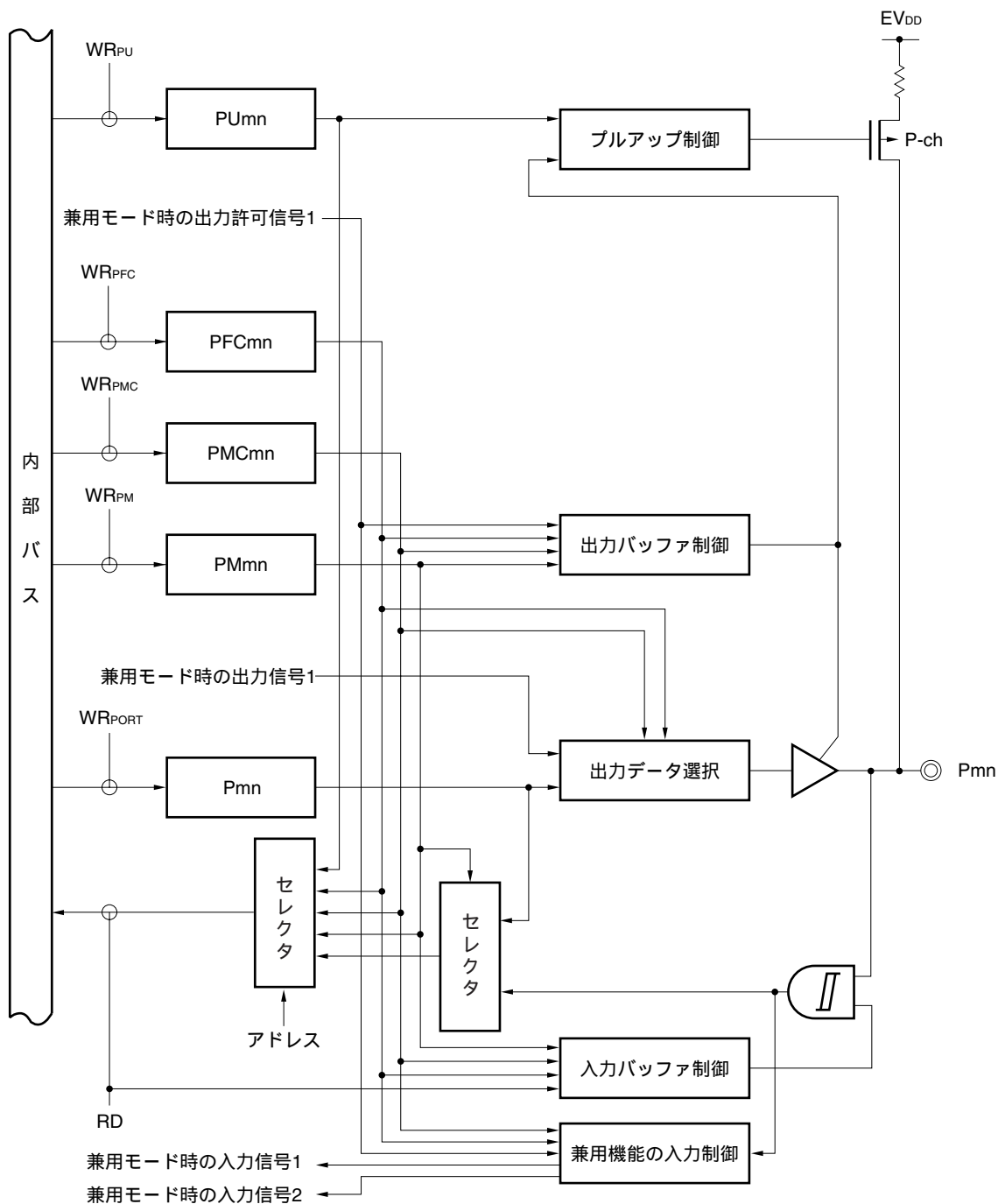
2.4.16 ポート・タイプE11-UI

図2-18 ポート・タイプE11-UIのブロック図



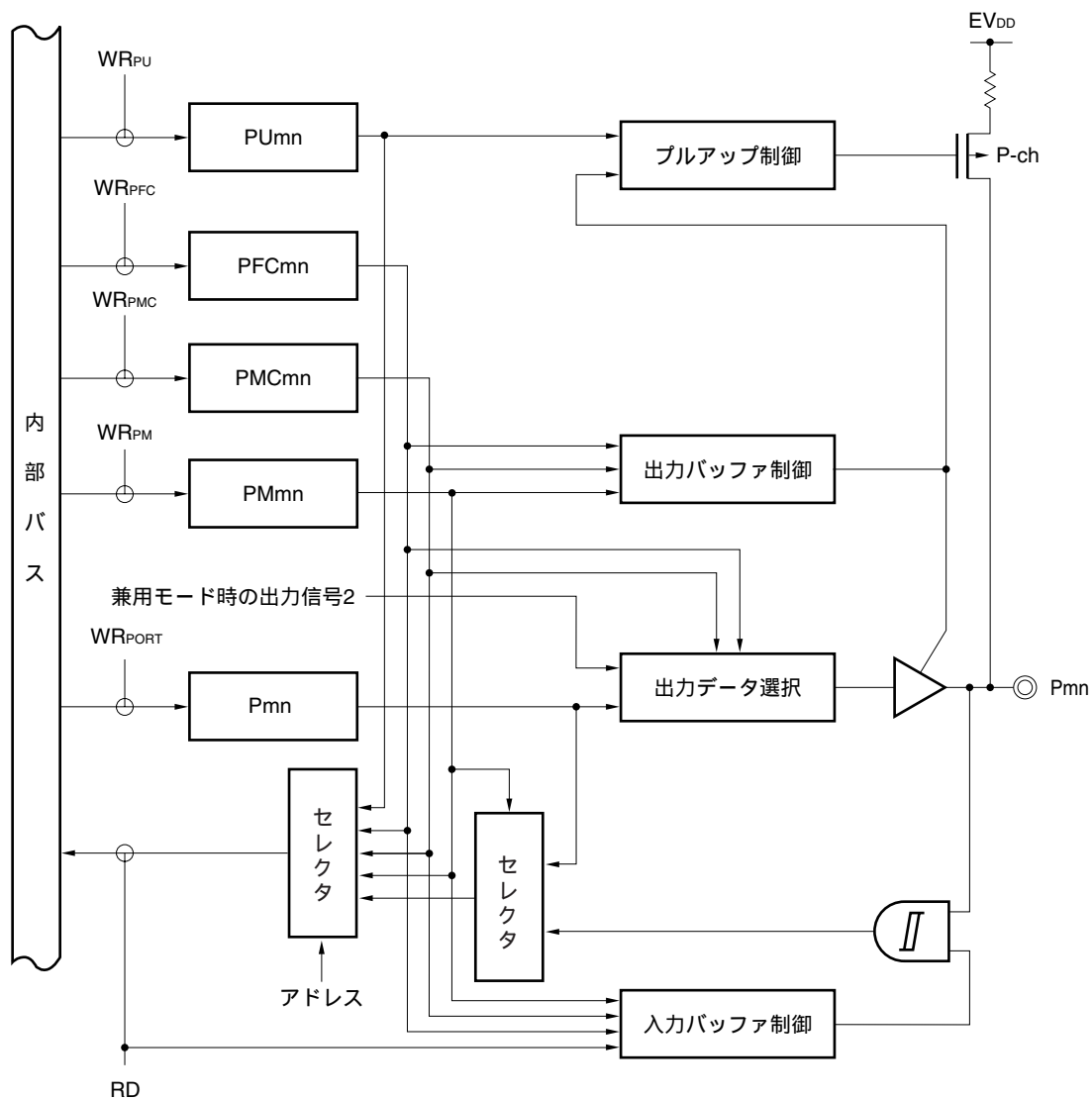
2.4.17 ポート・タイプE21-U

図2-19 ポート・タイプE21-Uのブロック図



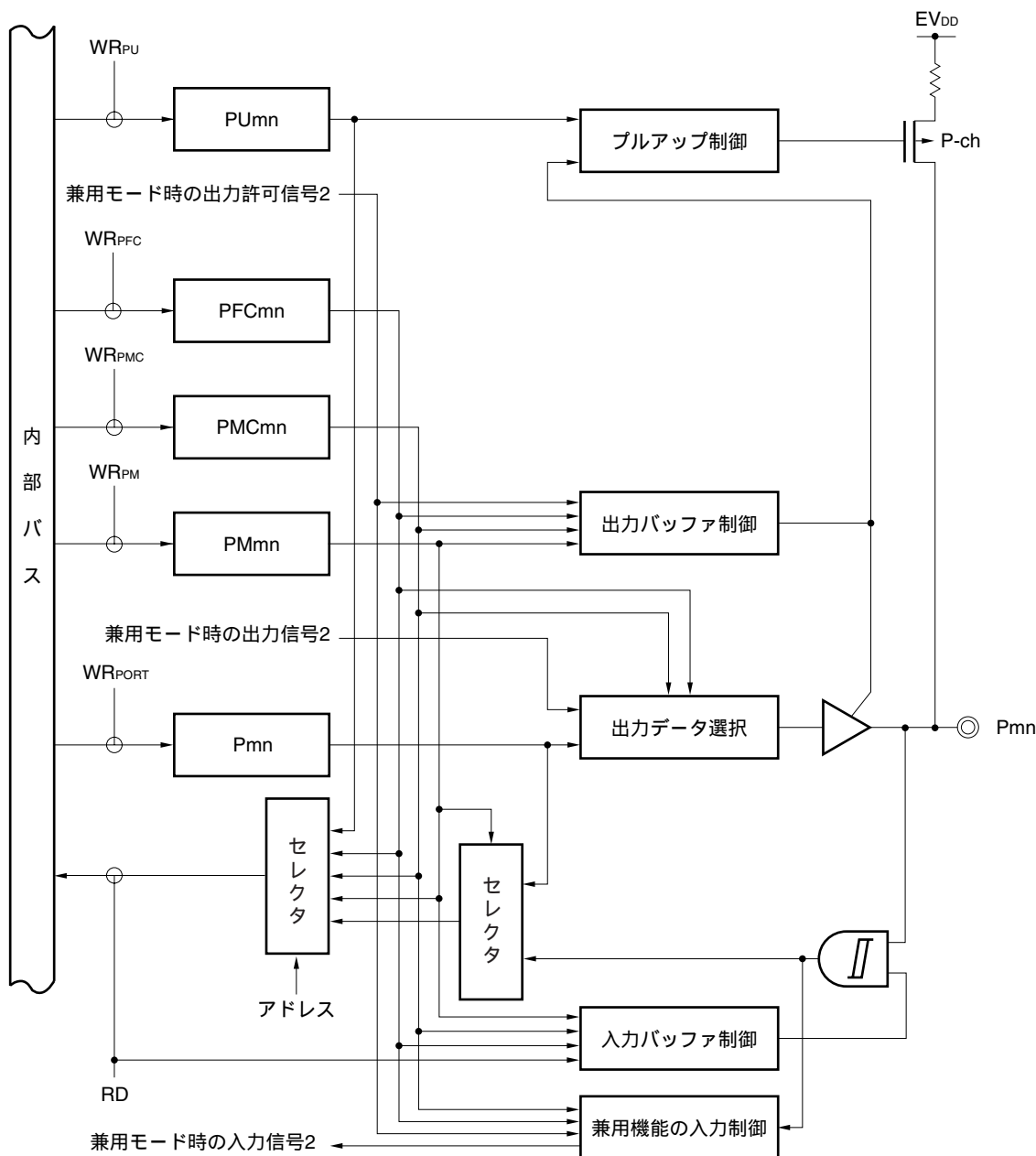
2.4.18 ポート・タイプEx0-U

図2-20 ポート・タイプEx0-Uのブロック図



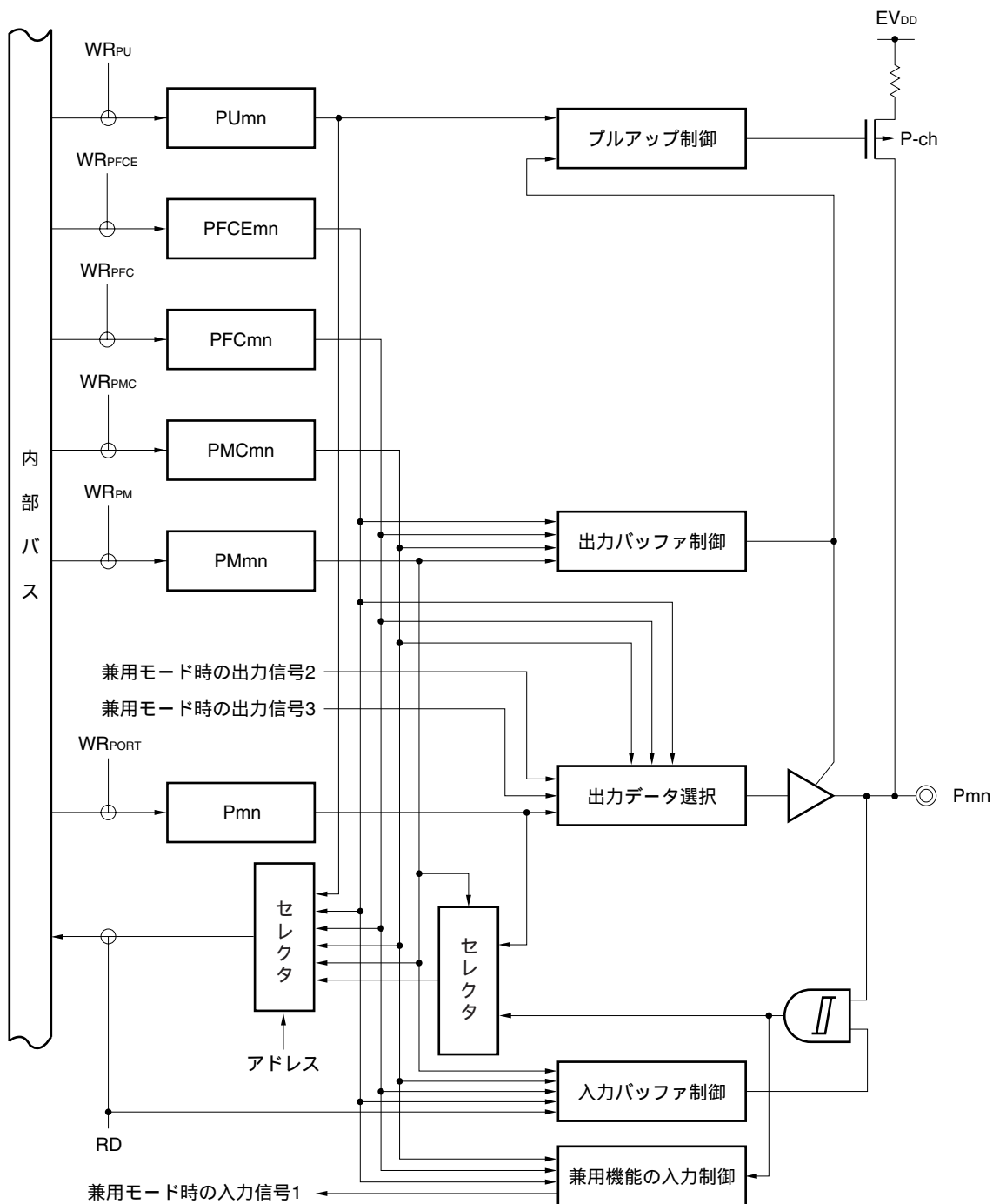
2.4.19 ポート・タイプEx2-U

図2-21 ポート・タイプEx2-Uのブロック図



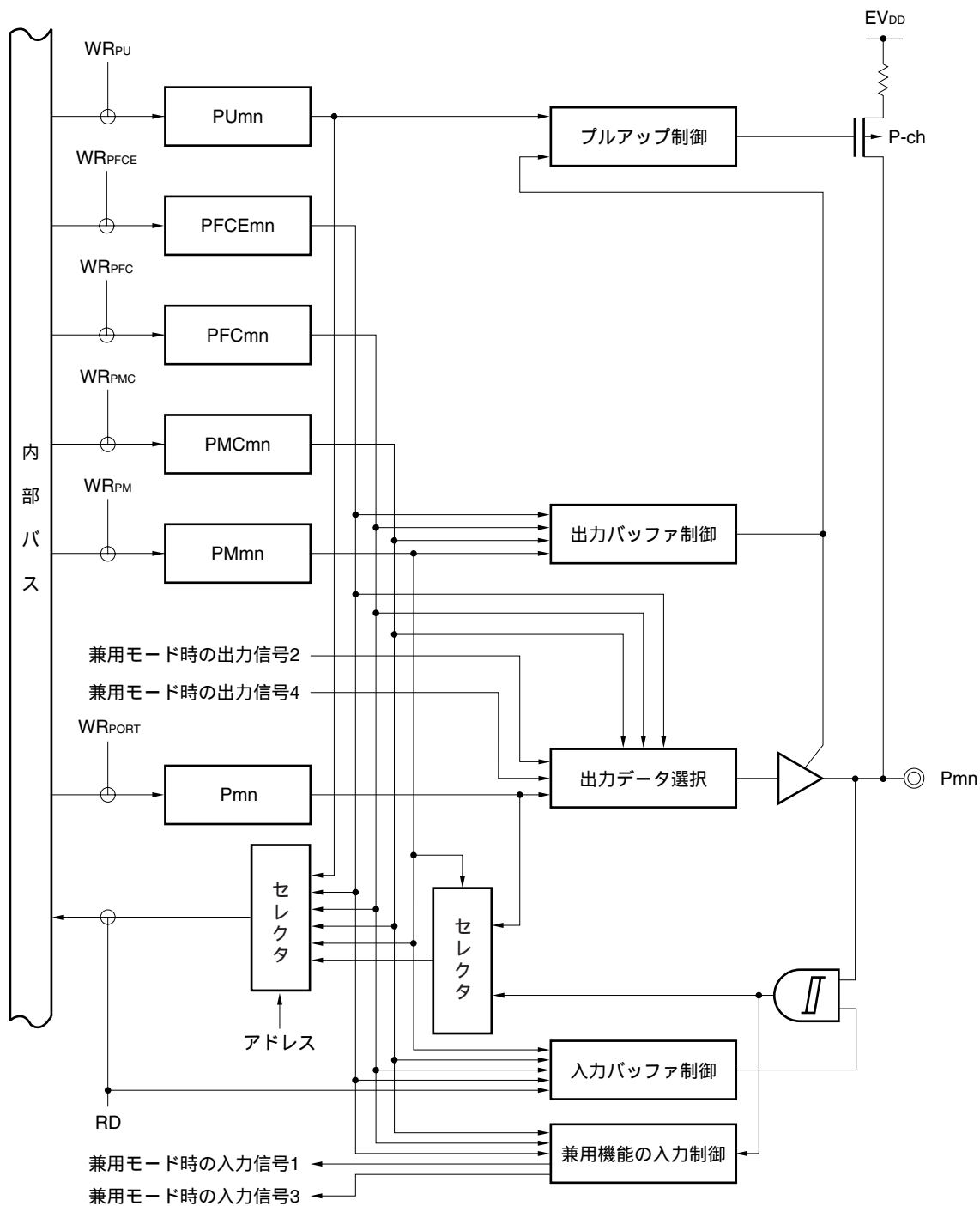
2.4.20 ポート・タイプF100x-U

図2-22 ポート・タイプF100x-Uのブロック図



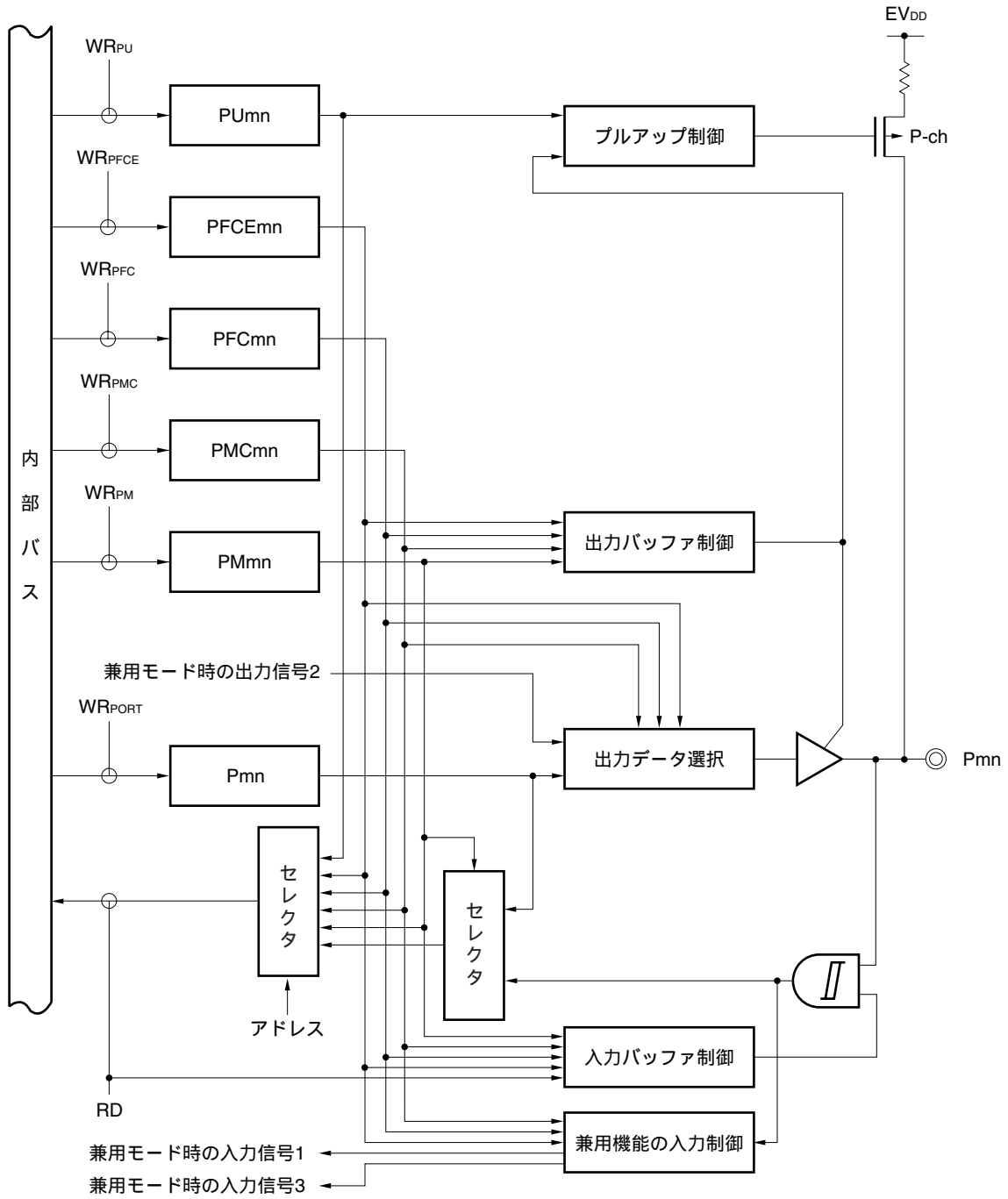
2.4.21 ポート・タイプF1010-U

図2-23 ポート・タイプF1010-Uのブロック図



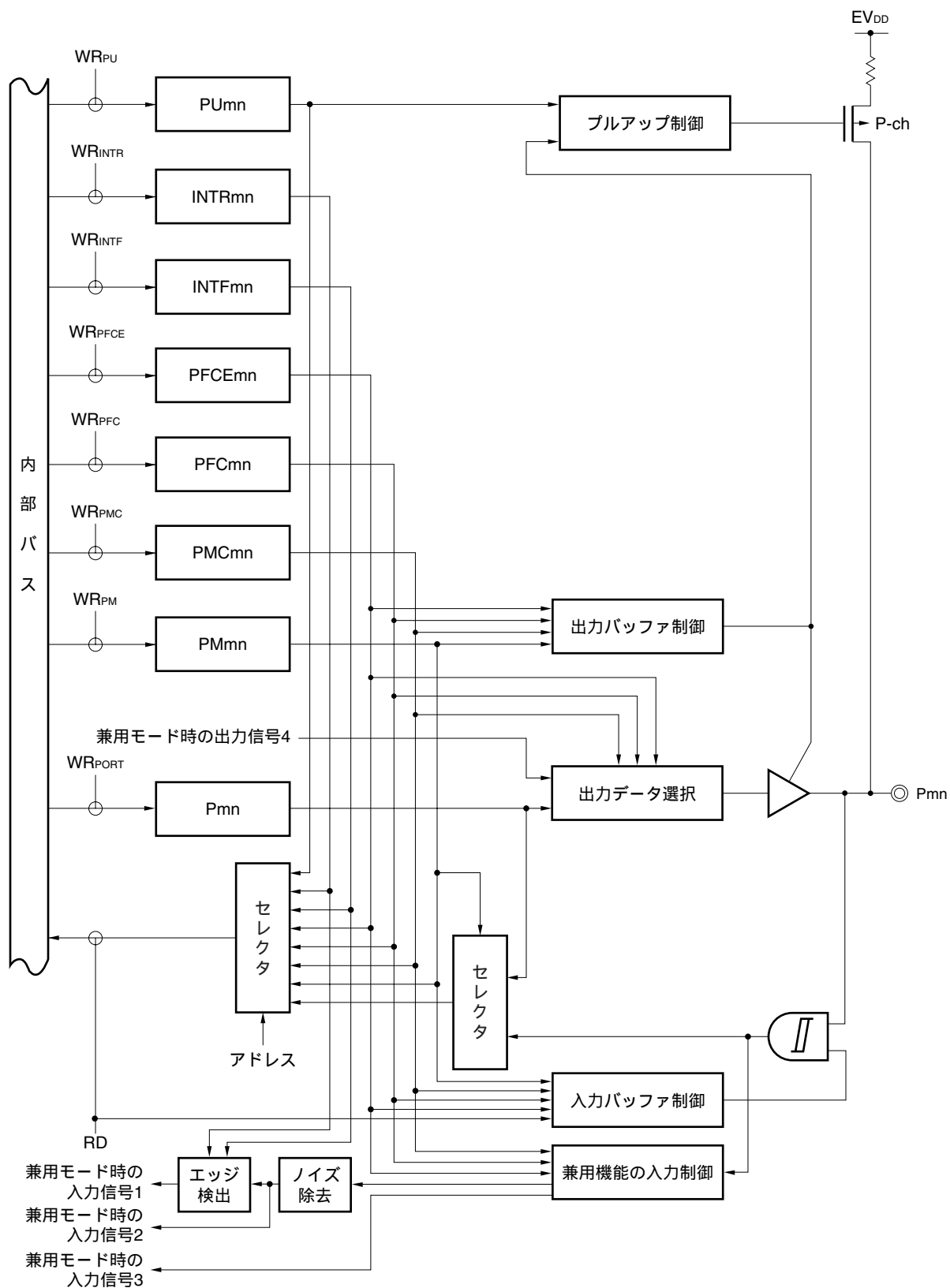
2.4.22 ポート・タイプF101x-U

図2-24 ポート・タイプF101x-Uのブロック図



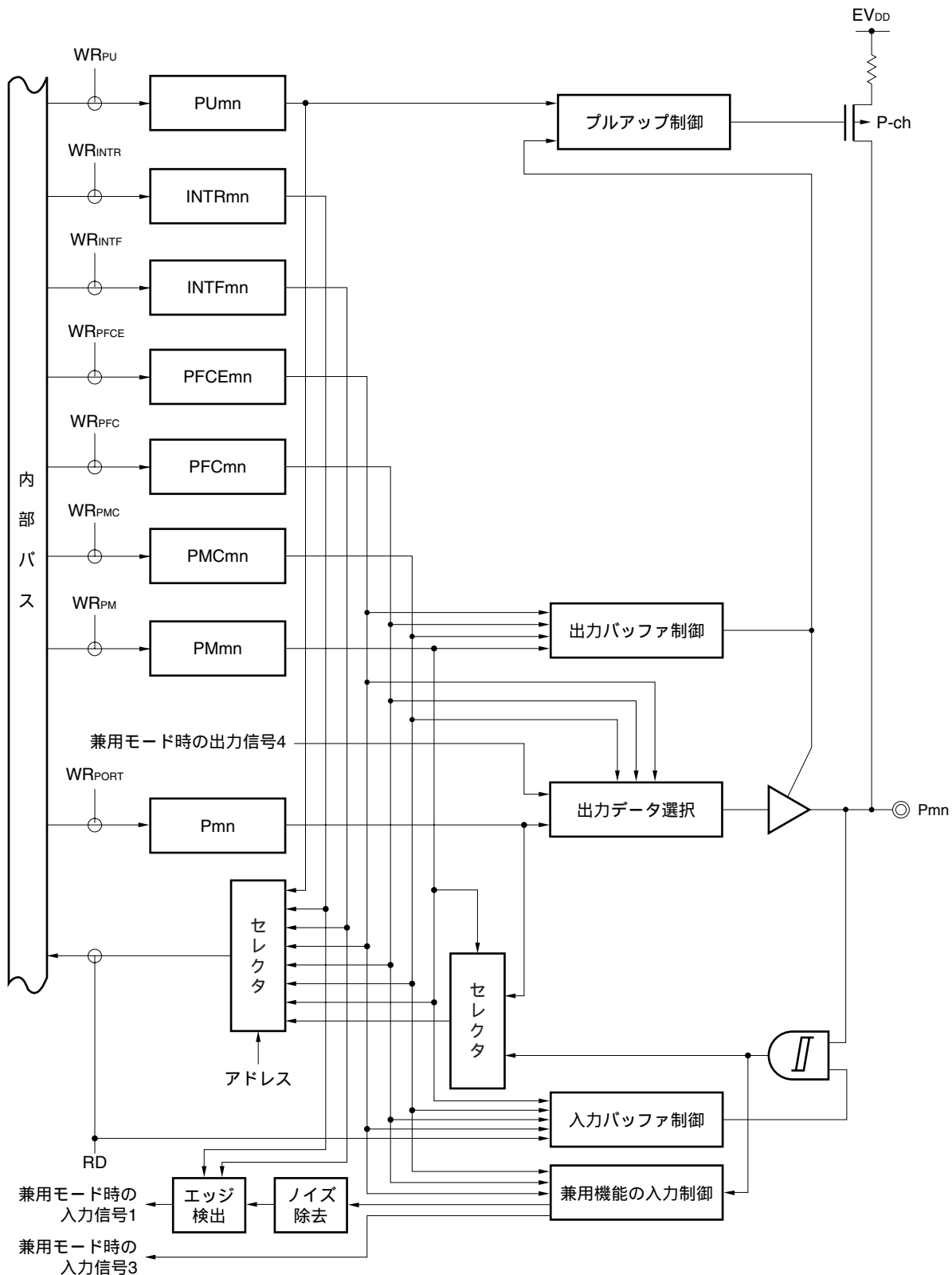
2.4.23 ポート・タイプF1110-UI

図2-25 ポート・タイプF1110-UIのブロック図



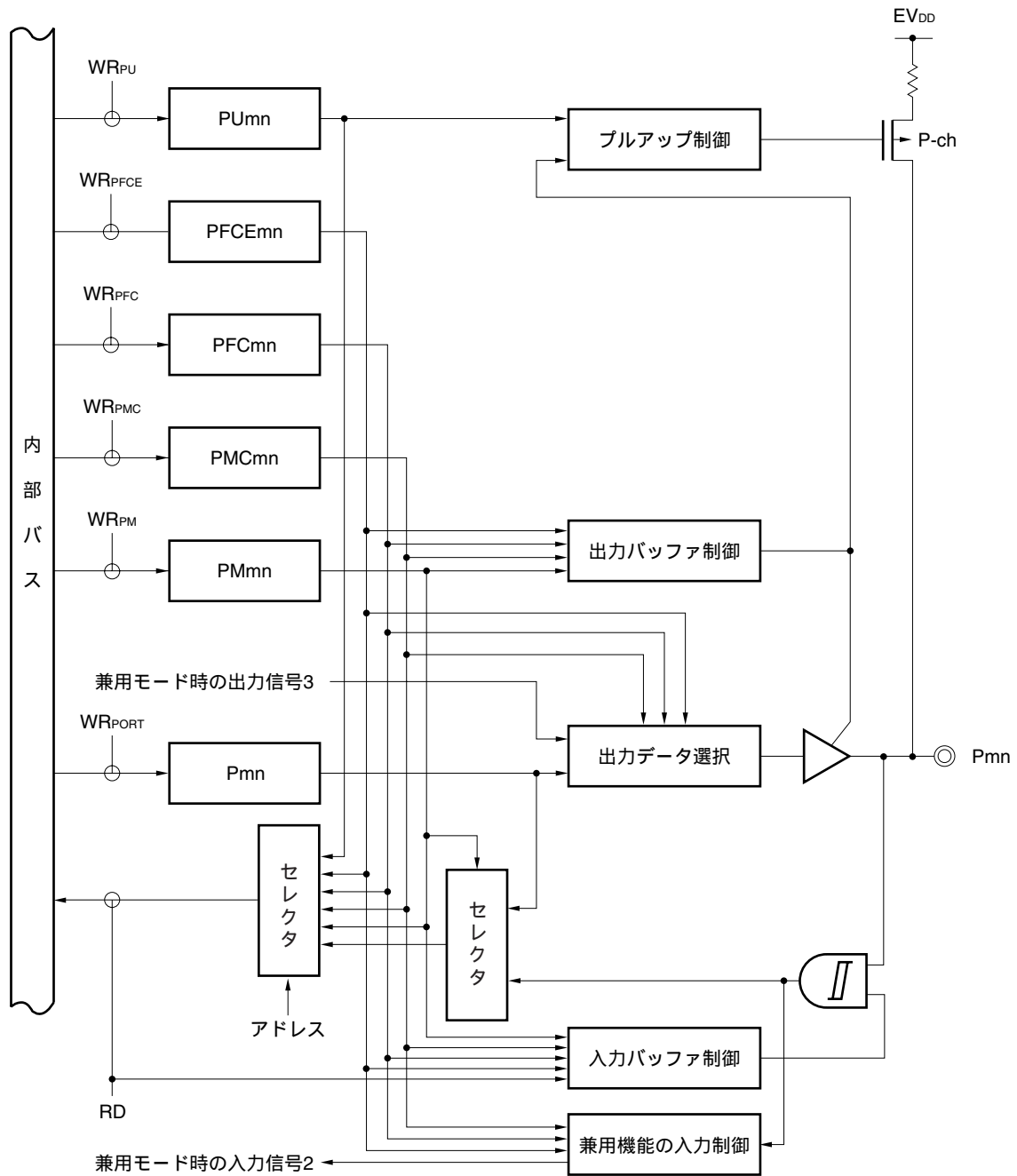
2.4.24 ポート・タイプF1x10-UI

図2-26 ポート・タイプF1x10-UIのブロック図



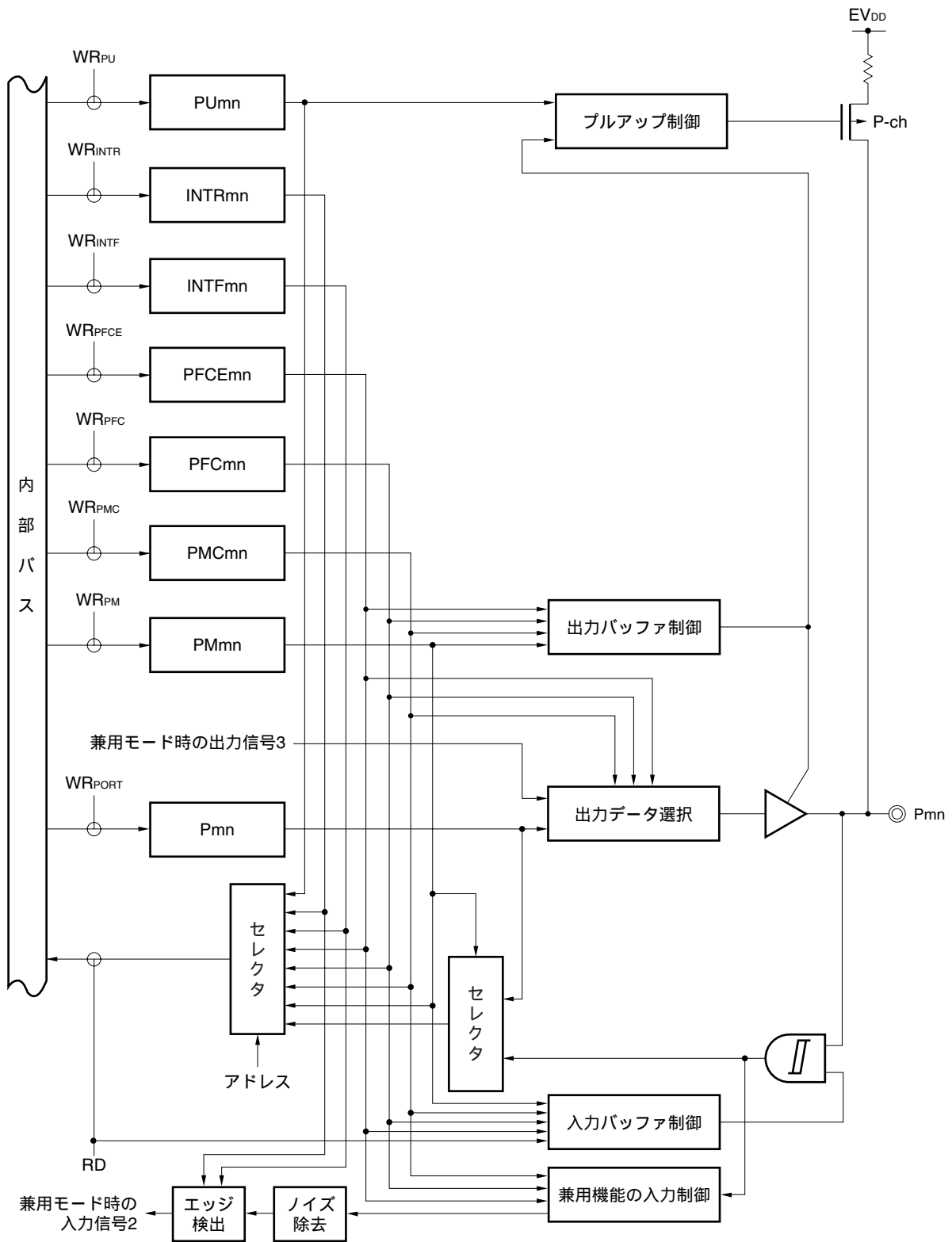
2.4.25 ポート・タイプFx10x-U

図2-27 ポート・タイプFx10x-Uのブロック図



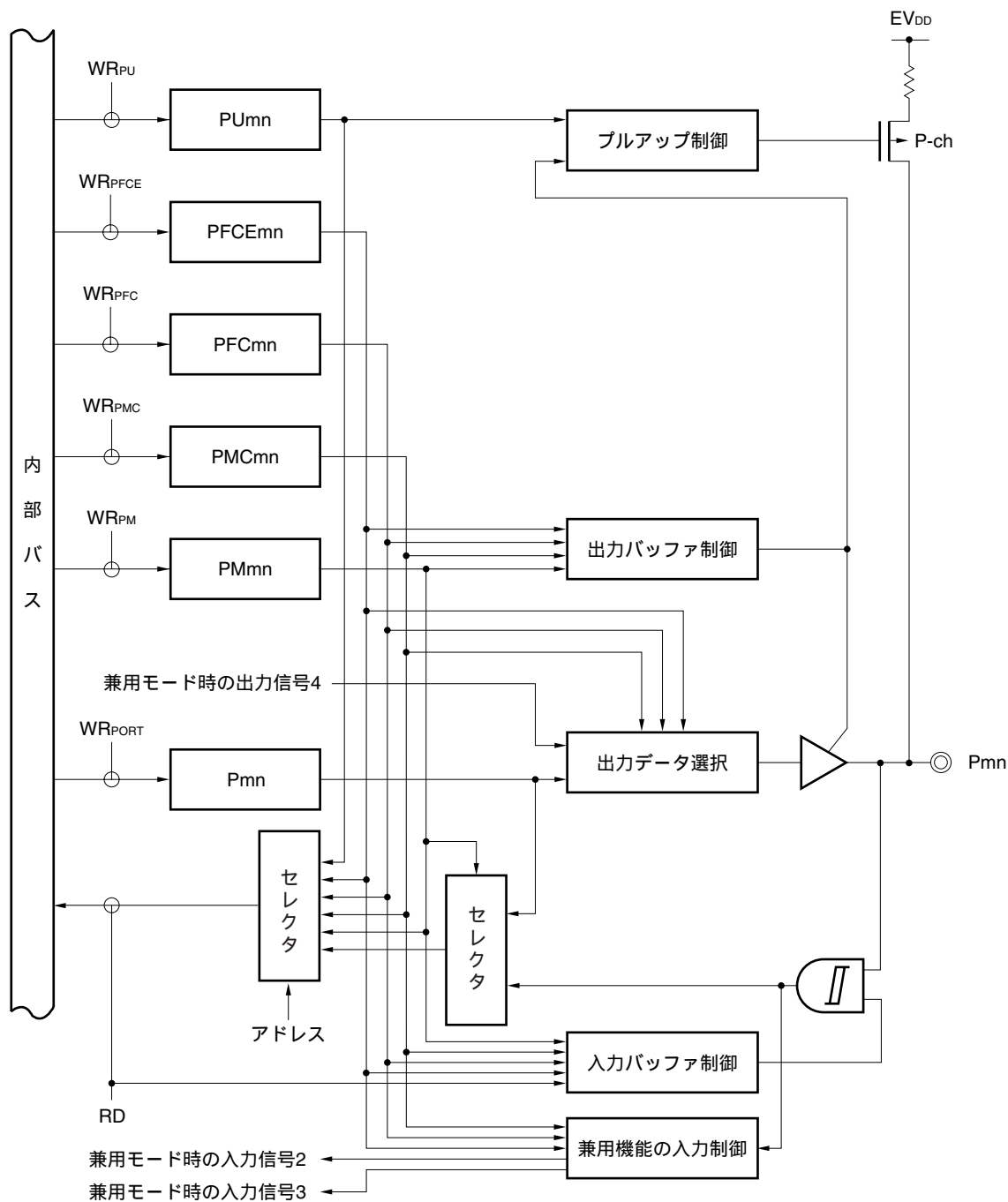
2.4.26 ポート・タイプFx10x-UI

図2-28 ポート・タイプFx10x-UIのブロック図



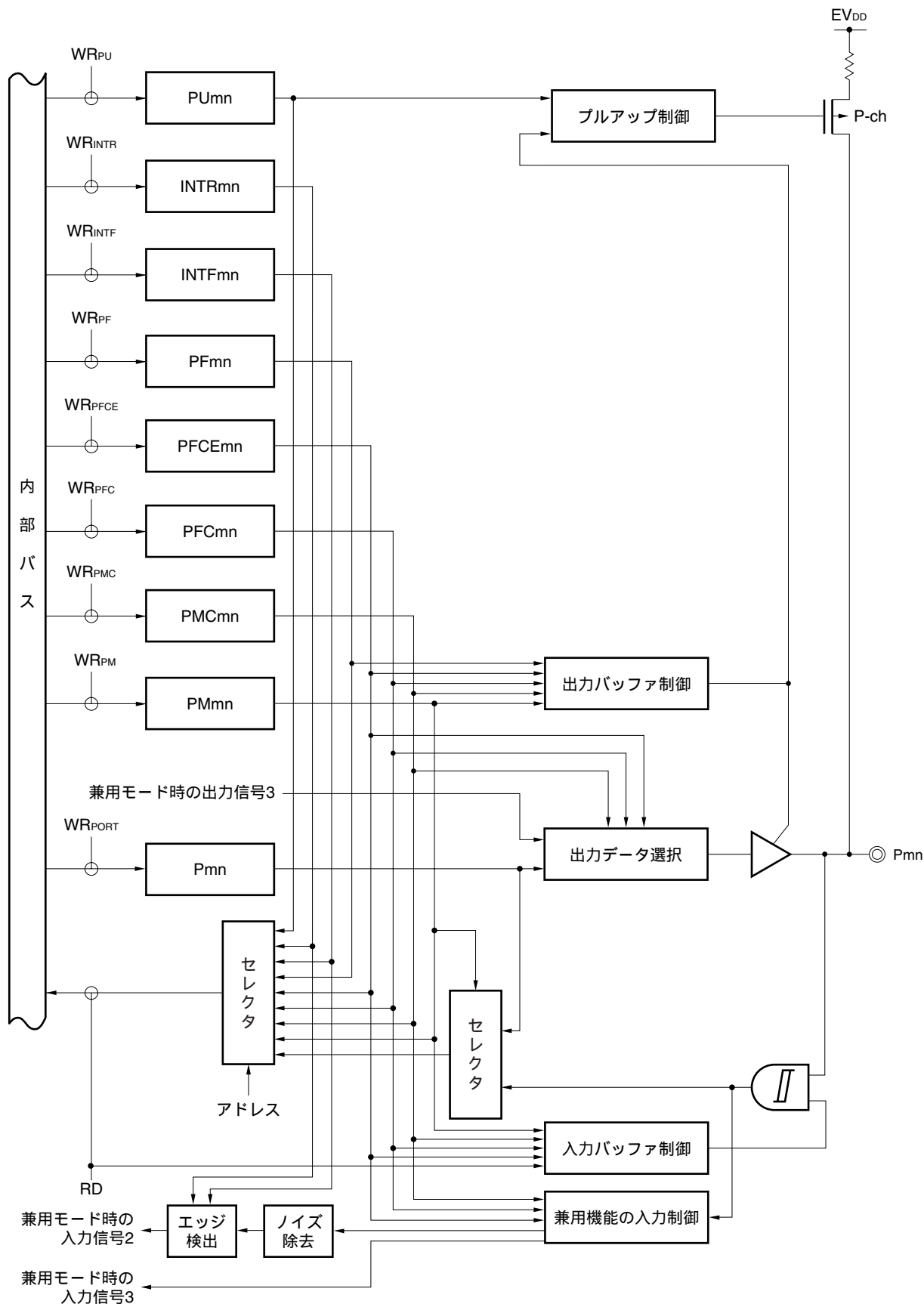
2.4.27 ポート・タイプFx110-U

図2-29 ポート・タイプFx110-Uのブロック図



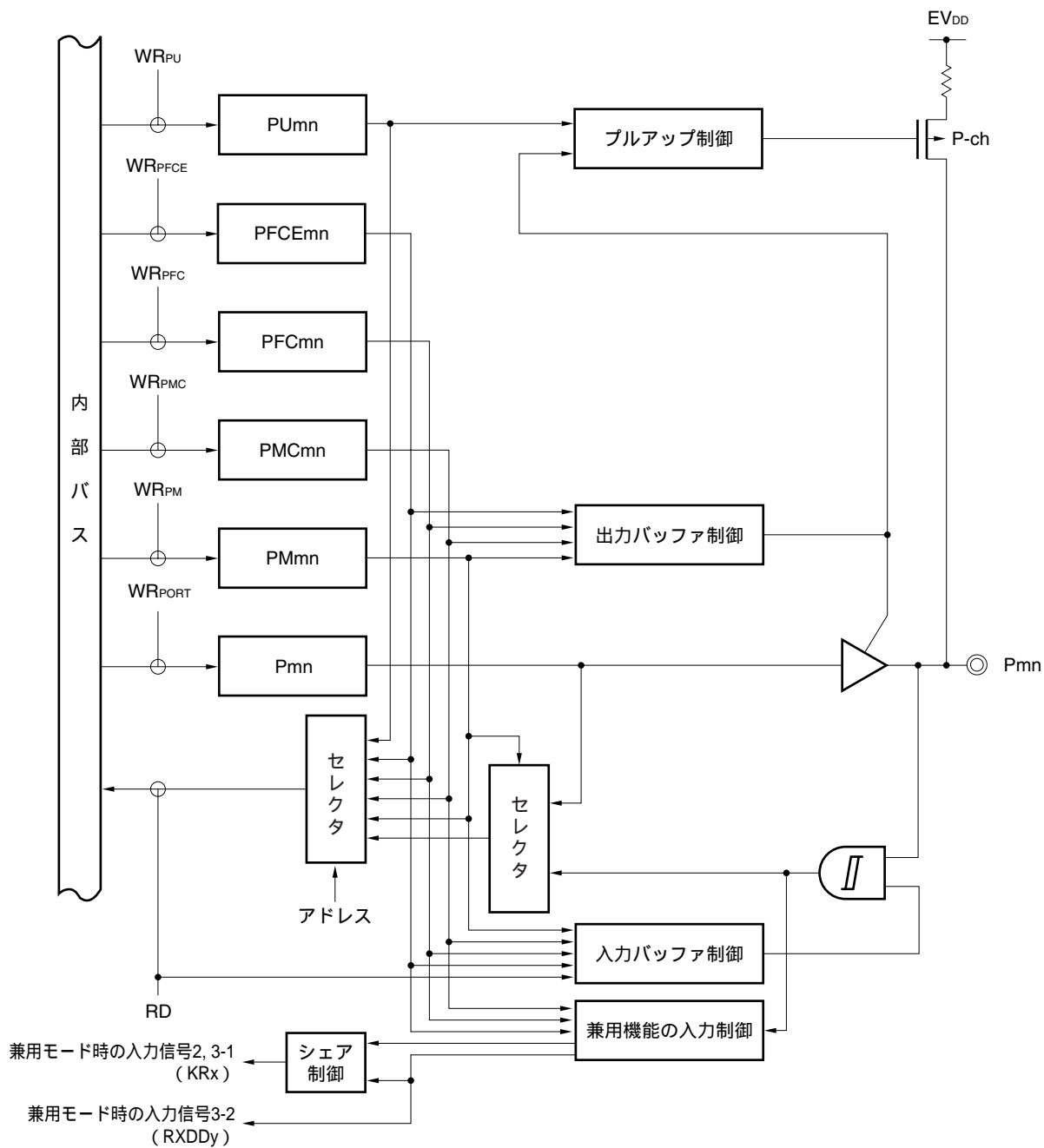
2.4.28 ポート・タイプFx12x-UF1

図2-30 ポート・タイプFx12x-UF1のブロック図



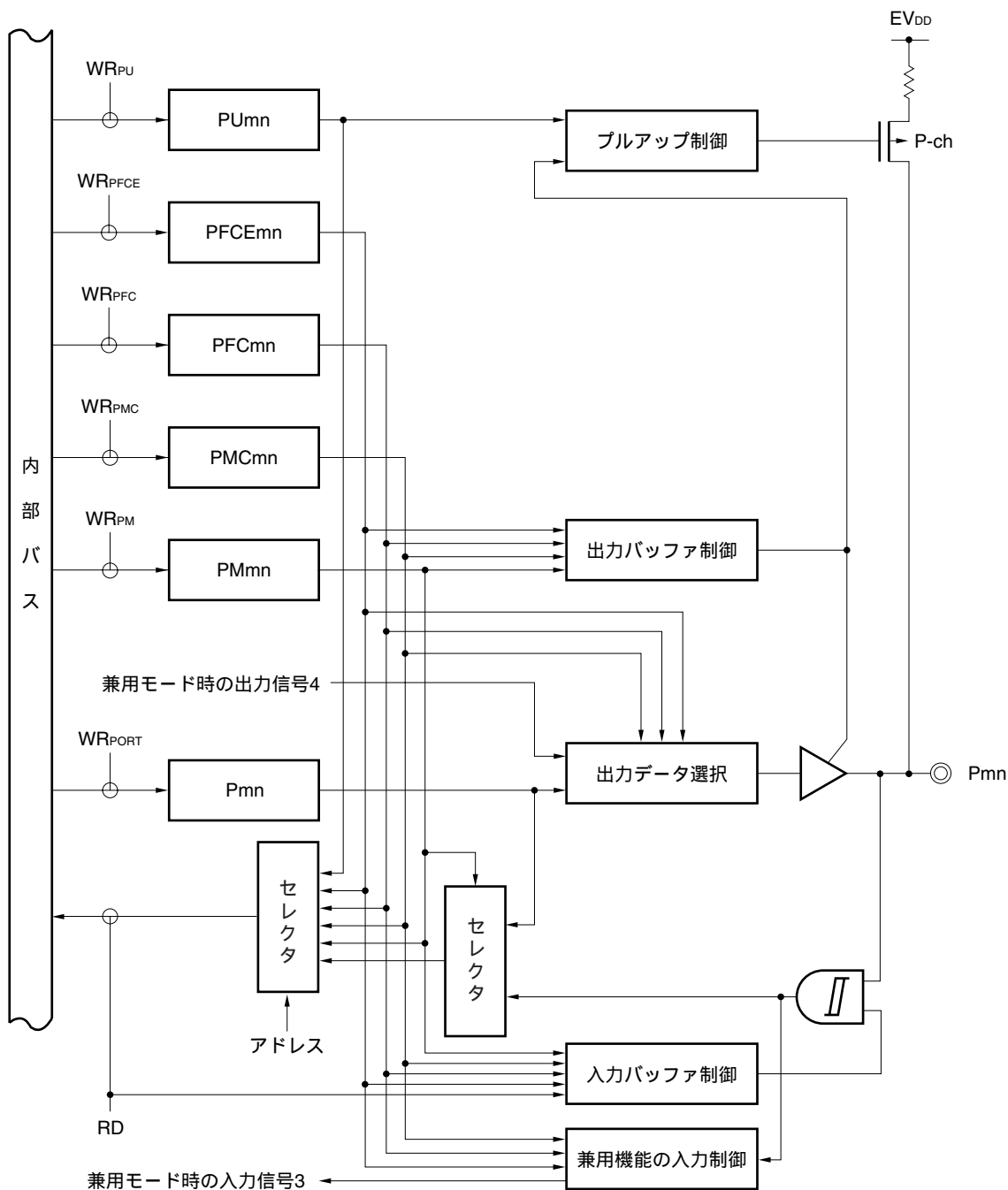
2.4.29 ポート・タイプFx13x-U

図2-31 ポート・タイプFx13x-Uのブロック図



2.4.30 ポート・タイプFxx10-U

図2-32 ポート・タイプFxx10-Uのブロック図



2.5 ポート・グループの設定

ポートと対応する兼用機能についてまとめた表2 - 14と、兼用機能と各製品の対応端子についてまとめた表2 - 15を示します。

また、各ポート・グループに対するレジスタの設定を示します。

2.5.1 ポートと兼用機能の対応

表2 - 14に、各ポート端子で使用可能な機能の概要を示します。

表2 - 14 V850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-L (ポートと兼用機能) (1/3)

ポート・グループ名	ポート名	兼用出力機能	兼用入力機能	入出力回路タイプ
0	P00	TOAA31	TIAA31	5-W
	P01	TOAA30	TIAA30	5-W
	P02	TOAA40	NMI/TIAA40	5-W
	P03	TOAA41	INTP0/TIAA41/ADTRG	5-W
	P04	-	INTP1/CRXD0	5-W
	P05	-	INTP2/DRST	5-AF
	P06	CTXD0	INTP3	5-W
1 ^{注1}	P10	-	INTP9	5-W
	P11	-	INTP10	5-W
3	P30	TXDD0	-	5-W
	P31	-	RXDD0/INTP7	5-W
	P32	TOAA00/TOAA01	ASCKD0/TIAA00	5-W
	P33	TOAA01/CTXD0	TIAA01	5-W
	P34	TOAA10	TIAA10/CRXD0	5-W
	P35	TOAA11	TIAA11	5-W
	P36 ^{注1}	-	-	5-W
	P37 ^{注1}	-	-	5-W
	P38 ^{注2}	TXDD2 ^{注1}	-	5-W
	P39 ^{注2}	-	RXDD2 ^{注1} /INTP8 ^{注1}	5-W
4	P40	-	SIB0/KR0	5-W
	P41	SOB0	KR1	5-W
	P42	SCKB0	SCKB0/KR2	5-W
5	P50	-	KR0	5-W
	P51	-	KR1	5-W
	P52	-	KR2/DDI	5-W
	P53	DDO	KR3	5-W
	P54	-	KR4/DCK	5-W
	P55	-	KR5/DMS	5-W

注1. V850ES/FG3-Lのみ

2. V850ES/FF3-L, V850ES/FG3-Lのみ

表2 - 14 V850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-L (ポートと兼用機能) (2/3)

ポート・グループ名	ポート名	兼用出力機能	兼用入力機能	入出力回路タイプ
7	P70	-	ANI0	11-G
	P71	-	ANI1	11-G
	P72	-	ANI2	11-G
	P73	-	ANI3	11-G
	P74	-	ANI4	11-G
	P75	-	ANI5	11-G
	P76	-	ANI6	11-G
	P77	-	ANI7	11-G
	P78	-	ANI8	11-G
	P79	-	ANI9	11-G
	P710 ^{注1}	-	ANI10	11-G
	P711 ^{注1}	-	ANI11	11-G
	P712 ^{注2}	-	ANI12	11-G
	P713 ^{注2}	-	ANI13	11-G
	P714 ^{注2}	-	ANI14	11-G
	P715 ^{注2}	-	ANI15	11-G
9	P90	TXDD1	KR6	5-W
	P91	-	KR7/RXDD1	5-W
	P92 ^{注2}	-	-	5-W
	P93 ^{注2}	-	-	5-W
	P94 ^{注2}	-	-	5-W
	P95 ^{注2}	-	-	5-W
	P96	TOAA21	TIAA21	5-W
	P97	TOAA20	SIB1/TIAA20	5-W
	P98	SOB1	-	5-W
	P99	SCKB1	SCKB1	5-W
	P910 ^{注2}	-	-	5-W
	P911 ^{注2}	-	-	5-W
	P912 ^{注2}	-	-	5-W
	P913	PCL	INTP4	5-W
	P914	SDA00	SDA00/INTP5	5-W
	P915	SCL00	SCL00/INTP6	5-W
CM	PCM0	-	-	5
	PCM1	CLKOUT	-	5
	PCM2 ^{注1}	-	-	5
	PCM3 ^{注1}	-	-	5

注1. V850ES/FF3-L, V850ES/FG3-Lのみ

2. V850ES/FG3-Lのみ

表2 - 14 V850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-L (ポートと兼用機能) (3/3)

ポート・グループ名	ポート名	兼用出力機能	兼用入力機能	入出力回路タイプ
CS ^{注1}	PCS0	-	-	5
	PCS1	-	-	5
CT ^{注1}	PCT0	-	-	5
	PCT1	-	-	5
	PCT4	-	-	5
	PCT6	-	-	5
DL	PDL0	-	-	5-K
	PDL1	-	-	5-K
	PDL2	-	-	5-K
	PDL3	-	-	5-K
	PDL4	-	-	5-K
	PDL5	-	FLMD1	5-K
	PDL6	-	-	5-K
	PDL7	-	-	5-K
	PDL8 ^{注1}	-	-	5-K
	PDL9 ^{注1}	-	-	5-K
	PDL10 ^{注1}	-	-	5-K
	PDL11 ^{注1}	-	-	5-K
	PDL12 ^{注2}	-	-	5-K
	PDL13 ^{注2}	-	-	5-K

注1. V850ES/FF3-L, V850ES/FG3-Lのみ

2. V850ES/FG3-Lのみ

2.5.2 兼用機能と各製品の対応端子（アルファベット順）

表2 - 15はアルファベット順にすべての兼用機能名を並べたものです。

この表は、本マイクロコントローラの各デバイス間の相違を示すものではありません。これらの相違については、表2 - 14を参照してください。

表2 - 15 兼用機能と各製品の対応端子（アルファベット順）（1/3）

端子名	I/O	機 能	ポート	端子番号		
				FE3-L	FF3-L	FG3-L
ADTRG	I	A/Dコンバータ0外部トリガ入力	P03	15	6	18
ANI0	I	A/Dコンバータ0入力0-15	P70	64	80	100
ANI1			P71	63	79	99
ANI2			P72	62	78	98
ANI3			P73	61	77	97
ANI4			P74	60	76	96
ANI5			P75	59	75	95
ANI6			P76	58	74	94
ANI7			P77	57	73	93
ANI8			P78	56	72	92
ANI9			P79	55	71	91
ANI10			P710	-	70	90
ANI11			P711	-	69	89
ANI12			P712	-	-	88
ANI13			P713	-	-	87
ANI14			P714	-	-	86
ANI15			P715	-	-	85
ASCKD0	I	UARTD0ポーレート・クロック入力	P32	24	24	27
AV _{REF0}	-	A/Dコンバータ基準電圧入力	-	1	1	1
AV _{SS}	-	A/Dコンバータ用グラウンド電位	-	2	2	2
BV _{DD}	-	I/Oバッファ電源電圧	-	-	-	70
BV _{SS}	-	I/Oバッファ電源グラウンド	-	-	-	69
CLKOUT	O	CPUシステム・クロック出力	PCM1	46	50	62
CRXD0	I	CAN0受信データ	P04	16	7	19
			P34	26	26	29
CTXD0	O	CAN0送信データ	P06	18	18	21
			P33	25	25	28
DCK	I	デバッグ・クロック	P54	34	36	41
DDI	I	デバッグ・データ入力	P52	30	34	39
DDO	O	デバッグ・データ出力	P53	31	35	40
DMS	I	デバッグ・モード・セレクト入力	P55	35	37	42
DRST	I	デバッグ・リセット	P05	17	17	20
EV _{DD}	-	I/Oバッファ電源電圧	-	33	31	5, 34
EV _{SS}	-	I/Oバッファ電源グラウンド	-	32	30	33
FLMD0	-	フラッシュ・プログラミング・モード引き込み端子	-	3	8	8
FLMD1	-	フラッシュ・プログラミング・モード引き込み端子	PDL5	52	62	76

表2 - 15 兼用機能と各製品の対応端子（アルファベット順）（2/3）

端子名	I/O	機 能	ポート	端子番号		
				FE3-L	FF3-L	FG3-L
INTP0	I	外部割り込み0-10	P03	15	6	18
INTP1			P04	16	7	19
INTP2			P05	17	17	20
INTP3			P06	18	18	21
INTP4			P913	42	44	56
INTP5			P914	43	45	57
INTP6			P915	44	46	58
INTP7			P31	23	23	26
INTP8			P39	-	-	36
INTP9			P10	-	-	3
INTP10			P11	-	-	4
KR0	I	キー割り込み入力0-7	P40	19	19	22
KR1			P50	28	32	37
			P41	20	20	23
KR2			P51	29	33	38
			P42	21	21	24
KR3			P52	30	34	39
KR4			P53	31	35	40
KR5			P54	34	36	41
KR6	P55	35	37	42		
KR7	P90	36	38	43		
NMI ^注	I	ノンマスクابل割り込み	P02	14	5	17
PCL	O	プログラマブル・クロック出力	P913	42	44	56
REGC	-	レギュレータ出力安定容量接続	-	5	10	10
RESET	I	リセット入力	-	9	14	14
RXDD0	I	UARTD0-UARTD2受信データ	P31	23	23	26
RXDD1			P91	37	39	44
RXDD2			P39	-	-	36
SCKB0	I/O	クロック同期式シリアル・インタフェースCSIB0, CSIB1	P42	21	21	24
SCKB1		クロック	P99	41	43	52
SCL00	I/O	I ² C0クロック	P915	44	46	58
SDA00	I/O	I ² C0データ	P914	43	45	57
SIB0	I	クロック同期式シリアル・インタフェースCSIB0, CSIB1	P40	19	19	22
SIB1		データ入力	P97	39	41	50
SOB0	O	クロック同期式シリアル・インタフェースCSIB0, CSIB1	P41	20	20	23
SOB1		データ出力	P98	40	42	51

注 NMI端子はP02端子と兼用しており、リセット後はP02端子として機能します。NMIを有効にする場合は、PMC0.PMC02ビットをセット（1）してください。また、NMI端子の初期設定は“エッジ検出なし”になっています。INTF0, INTR0レジスタでNMI端子の有効エッジを選択する必要があります。

表2 - 15 兼用機能と各製品の対応端子（アルファベット順）（3/3）

端子名	I/O	機 能	ポート	端子番号		
				FE3-L	FF3-L	FG3-L
TIAA00	I	タイマTAA0-TAA4チャンネル0キャプチャ・トリガ入力	P32	24	24	27
TIAA10			P34	26	26	29
TIAA20			P97	39	41	50
TIAA30			P01	13	4	7
TIAA40			P02	14	5	17
TIAA01	I	タイマTAA0-TAA4チャンネル1キャプチャ・トリガ入力	P33	25	25	28
TIAA11			P35	27	27	30
TIAA21			P96	38	40	49
TIAA31			P00	12	3	6
TIAA41			P03	15	6	18
TOAA00	O	タイマTAA0-TAA4チャンネル0信号出力	P32	24	24	27
TOAA10			P34	26	26	29
TOAA20			P97	39	41	50
TOAA30			P01	13	4	7
TOAA40			P02	14	5	17
TOAA01	O	タイマTAA0-TAA4チャンネル1信号出力	P32	24	24	27
			P33	25	25	28
TOAA11			P35	27	27	30
TOAA21			P96	38	40	49
TOAA31			P00	12	3	6
TOAA41			P03	15	6	18
TXDD0	O	UARTD0-UARTD2送信データ	P30	22	22	25
TXDD1			P90	36	38	43
TXDD2			P38	-	-	35
V _{DD}	-	内部電源電圧	-	4	9	9
V _{SS}	-	内部電源グラウンド	-	6	11	11
X1	I	メイン・クロック発振子接続	-	7	12	12
X2	-	メイン・クロック発振子接続	-	8	13	13
XT1	I	サブ発振子接続	-	10	15	15
XT2	-	サブ発振子接続	-	11	16	16

備考 下記の兼用機能は、異なる2つのポート（端子）に備わっています。

ユニット	兼用機能	I/O	ポート1	ポート2
タイマ	TOAA01	O	P33	P32
CAN	CTXD0	O	P06	P33
	CRXD0	I	P04	P34
キー割り込み	KR0	I	P40	P50
	KR1	I	P41	P51
	KR2	I	P42	P52

注意 製品によっては搭載していない端子があります。詳細は、表2 - 15を参照してください。

どちらかの端子の兼用機能を使用するかを選択できます。2.2.2 **端子機能設定用レジスタ**を参照してください。

注意 上表の兼用機能を使用する場合は、ポート1またはポート2のどちらか一方のみを兼用機能に設定してください。なお、兼用入力端子に関してポート1、ポート2を同時に兼用機能に設定すると、正常動作しない可能性があります。ただし、兼用出力端子に関してはポート1、ポート2を同時に兼用機能に設定しても、デバイスの動作に影響しません。また、周辺機能の動作は、ポート1またはポート2のどちらか一方を兼用機能端子に設定後に、動作許可するようにしてください。

2.5.3 ポート・グループ0

ポート・グループ0は、7ビットのポート・グループです。兼用としては、次の機能を持っています。

- ・外部割り込み (INTP0-INTP3)
- ・ノンマスクابل割り込み (NMI)
- ・N-Wireデバッグ・インタフェース・リセット ($\overline{\text{DRST}}$)
- ・A/Dコンバータ外部トリガ入力 (ADTRG)
- ・タイマTAA3チャンネル (TIAA30, TIAA31とTOAA30, TOAA31)
- ・タイマTAA4チャンネル (TIAA40, TIAA41とTOAA40, TOAA41)
- ・CAN0送受信データ (CTXD0, CRXD0)

ポート・グループ0は次の端子で構成されます。

表2 - 16 ポート・グループ0：端子機能とポート・タイプ

ポート・モード (PMcNm = 0)	各モードにおける端子機能				オンチップ・デバッグ・モード (OCDM0 = 1)	リセット時の端子機能	ポート・タイプ
	兼用モード (PMcNm = 1)						
	PFCE = 0		PFCE = 1				
	機能1 PFC = 0	機能2 PFC = 1	機能3 PFC = 0	機能4 PFC = 1			
P00	TIAA31 (I)	TOAA31 (O)	-	-	-	P00 (I)	E10-U
P01	TIAA30 (I)	TOAA30 (O)	-	-	-	P01 (I)	E10-U
P02	NMI (I) ^{注1}	禁止	TIAA40 (I)	TOAA40 (O)	-	P02 (I)	F1x10-UI
P03	INTP0 (I)	ADTRG (I)	TIAA41 (I)	TOAA41 (O)	-	P03 (I)	F1110-UI
P04	INTP1 (I)	CRXD0 (I)	-	-	-	P04 (I)	E11-UI
P05	INTP2 (I)	-	-	-	DRST (I)	P05 (I) または $\overline{\text{DRST}}$ (I) ^{注2}	D101-UI
P06	INTP3 (I) ^{注3}	CTXD0 (O)	-	-	-	P06 (I)	E10-UI

注1. NMI端子はP02端子と兼用しており、リセット後はP02端子として機能します。

NMI端子を有効にする場合は、PMC0.PMC02ビットをセット(1)してください。

またNMI端子の初期設定は“エッジ検出なし”になっています。INTF0.INTF02、INTR0.INTR02ビットでNMI端子の有効エッジを選択してください。

- P05端子はオンチップ・デバッグ用の端子と兼用です。外部リセット後、P05/INTP2/DRST端子はオンチップ・デバッグ用端子(DRST)に初期化されます。P05端子をオンチップ・デバッグ用端子として使用せず、ポートとして使用する場合は、次の処置が必要です。

OCDMレジスタ(特定レジスタ)のOCDM0ビットをクリア(0)します。

の処置を終えるまでP05/INTP2/DRST端子をロウ・レベル固定にしておきます。

なお、オンチップ・デバッグを使用しない場合、上記処置を行う前にDRST端子にハイ・レベルを入力すると、誤動作(CPUデッド・ロック)の原因となるため、P05端子の取り扱いには十分注意してください。

P05/INTP2/DRST端子にハイ・レベルを入力しない(ロウ・レベルに固定する)場合は、OCDMレジスタのOCDM0ビットを操作する必要はありません。

P05/INTP2/DRST端子は、プルダウン抵抗(30 kΩ(TYP.))をバッファに内蔵しているため、外部からロウ・レベル固定に処置する必要はありません。OCDM0ビットをクリア(0)することにより、プルダウン抵抗は切断されます。

詳細は2.2.2(5)オンチップ・デバッグ・モード・レジスタ(OCDM)と第22章 オンチップ・デバッグ・ユニットを参照してください。

- INTP3は、アナログおよびデジタル・ノイズ除去回路を備えています。詳細は、2.6 ノイズ除去を参照してください。

注意 1. P00-P06端子は兼用機能の入出力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

- 外部割り込み機能(兼用機能)とポート機能を切り替える際は、エッジ検出を行う可能性があるため注意してください。詳細は、2.9 注意事項を参照してください。

備考 兼用機能CRXD0とCTXD0は2つの端子に備わっているため、どの端子で兼用機能を使うかを選択できます。

2.2.2 端子機能設定用レジスタを参照してください。

表2 - 17 ポート・グループ0：設定レジスタ

レジスタ	アドレス	初期値	使用ビット							
PMC0	FFFFFF440H	00H	0	PMC06	PMC05	PMC04	PMC03	PMC02	PMC01	PMC00
PM0	FFFFFF420H	FFH	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00
PFC0	FFFFFF460H	00H	0	PFC06	0	PFC04	PFC03	PFC02	PFC01	PFC00
PFCE0	FFFFFF700H	00H	0	0	0	0	PFCE03	PFCE02	0	0
OCDM	FFFFFF9FCH	00H/01H ^{注1}	0	0	0	0	0	0	0	OCDM0
P0	FFFFFF400H	不定	×	P06	P05	P04	P03	P02	P01	P00
PU0	FFFFFFC40H	00H	0	PU06	PU05 ^{注2}	PU04	PU03	PU02	PU01	PU00

注1. リセット要因による (2.2.2(5) オンチップ・デバッグ・モード・レジスタ (OCDM) と第22章 オンチップ・デバッグ・ユニットを参照してください)。

2. PU05の設定は、OCDMレジスタのOCDM0ビット = 0時のみ有効です。OCDMビット = 1時は、プルアップされません。

アクセス：すべての8ビット・レジスタは8ビットまたは1ビット単位でアクセスできます。

2.5.4 ポート・グループ1 (V850ES/FG3-L)

ポート・グループ1は、2ビットのポート・グループです。兼用モードとして、次の機能を持っています。

- ・外部割り込み (INTP9, INTP10)

ポート・グループ1は次の端子で構成されます。

注意 ポート・グループ1はV850ES/FG3-Lのみ

表2 - 18 ポート・グループ1：端子機能とポート・タイプ

各モードにおける端子機能		リセット時の端子機能	ポート・タイプ
ポート・モード (PMCnm = 0)	兼用モード (PMCnm = 1)		
P10	INTP9 (I)	P10 (I)	D1-UI
P11	INTP10 (I)	P11 (I)	D1-UI

- 注意 1. P10, P11端子は兼用機能の入出力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。
2. 外部割り込み機能（兼用機能）とポート機能を切り替える際は、エッジ検出を行う可能性があるため注意してください。詳細は、2.9 注意事項を参照してください。

表2 - 19 ポート・グループ1：設定レジスタ

レジスタ	アドレス	初期値	使用ビット								
			0	0	0	0	0	0	0	0	
PMC1	FFFFFF442H	00H	0	0	0	0	0	0	0	PMC11	PMC10
PM1	FFFFFF422H	FFH	1	1	1	1	1	1	1	PM11	PM10
P1	FFFFFF402H	不定	x	x	x	x	x	x	x	P11	P10
PU1	FFFFFFC42H	00H	0	0	0	0	0	0	0	PU11	PU10

備考 x : Don't care

アクセス：すべての8ビット・レジスタは8ビットまたは1ビット単位でアクセスできます。

2.5.5 ポート・グループ3

ポート・グループ3は、10ビットのポート・グループです。兼用モードとして、次の機能を持っています。

- ・外部割り込み (INTP7, INTP8)
- ・タイマTAA0チャンネル (TIAA00, TIAA01とTOAA00, TOAA01)
- ・タイマTAA1チャンネル (TIAA10, TIAA11とTOAA10, TOAA11)
- ・CAN0送受信データ (CTXD0, CRXD0)
- ・UARTD0送受信データ (TXDD0, RXDD0)
- ・UARTD0ポー・レート・クロック入力 (ASCKD0)
- ・UARTD2送受信データ (TXDD2, RXDD2)

ポート・グループ3は次の端子で構成されます。

表2-20 ポート・グループ3：端子機能とポート・タイプ

各モードにおける端子機能					リセット時の端子機能	ポート・タイプ
ポート・モード (PMCnm = 0)	兼用モード (PMCnm = 1)					
	PFCE = 0		PFCE = 1			
	機能1 PFC = 0	機能2 PFC = 1	機能3 PFC = 0	機能4 PFC = 1		
P30	TXDD0 (O)	-	-	-	P30 (I)	D0-U
P31	RXDD0 (I) / INTP7 (I)	-	-	-	P31 (I)	D3-UI
P32	ASCKD0 (I)	TOAA01 (O)	TIAA00 (I)	TOAA00 (O)	P32 (I)	F1010-U
P33	TIAA01 (I)	TOAA01 (O)	CTXD0 (O)	禁止	P33 (I)	F100x-U
P34	TIAA10 (I)	TOAA10 (O)	CRXD0 (I)	禁止	P34 (I)	F101x-U
P35	TIAA11 (I)	TOAA11 (O)	-	-	P35 (I)	E10-U
P36 ^{注1}	-	-	-	-	P36 (I)	C-U
P37 ^{注1}	-	-	-	-	P37 (I)	C-U
P38 ^{注2}	TXDD2 (O) ^{注1}	-	-	-	P38 (I)	C-U ^{注3} D0-U ^{注1}
P39 ^{注2}	RXDD2 (I) ^{注1} / INTP8 (I) ^{注1}	-	-	-	P39 (I)	C-U ^{注3} D3-UI ^{注1}

注1. V850ES/FG3-Lのみ

2. V850ES/FE3-Lには搭載されていません。

3. V850ES/FF3-Lのみ

注意 1. P30-P39端子は兼用機能の入出力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

2. 外部割り込み機能 (兼用機能) とポート機能を切り替える際は、エッジ検出を行う可能性があるため注意してください。詳細は、2.9 注意事項を参照してください。

備考 兼用機能CRXD0, CTXD0とTOAA01は2つの端子に備わっているため、どの端子で兼用機能を使うかを選択できます。2.2.2 端子機能設定用レジスタを参照してください。

表2-21 ポート・グループ3：設定レジスタ

レジスタ	アドレス	初期値	使用ビット							
V850ES/FE3-L										
PMC3L	FFFFFF446H	00H	0	0	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30
PM3L	FFFFFF426H	FFH	1	1	PM35	PM34	PM33	PM32	PM31	PM30
PFC3L	FFFFFF466H	00H	0	0	PFC35	PFC34	PFC33	PFC32	0	0
PFCE3L	FFFFFF706H	00H	0	0	0	PFCE34	PFCE33	PFCE32	0	0
P3L	FFFFFF406H	不定	×	×	P35	P34	P33	P32	P31	P30
PU3L	FFFFFF46H	00H	0	0	PU35	PU34	PU33	PU32	PU31	PU30
V850ES/FF3-L										
PMC3L	FFFFFF446H	00H	0	0	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30
PM3L	FFFFFF426H	FFH	1	1	PM35	PM34	PM33	PM32	PM31	PM30
PM3H	FFFFFF427H	FFH	1	1	1	1	1	1	PM39	PM38
PM3 (16ビット)	FFFFFF426H	FFFFH	PM315-PM38 (PM3H)				PM37-PM30 (PM3L)			
PFC3L	FFFFFF466H	00H	0	0	PFC35	PFC34	PFC33	PFC32	0	0
PFCE3L	FFFFFF706H	00H	0	0	0	PFCE34	PFCE33	PFCE32	0	0
P3L	FFFFFF406H	不定	×	×	P35	P34	P33	P32	P31	P30
P3H	FFFFFF407H	不定	×	×	×	×	×	×	P39	P38
P3 (16ビット)	FFFFFF406H	不定	P315-P38 (P3H)				P37-P30 (P3L)			
PU3L	FFFFFF46H	00H	0	0	PU35	PU34	PU33	PU32	PU31	PU30
PU3H	FFFFFF47H	00H	0	0	0	0	0	0	PU39	PU38
PU3 (16ビット)	FFFFFF46H	0000H	PU315-PU38 (PU3H)				PU37-PU30 (PU3L)			
V850ES/FG3-L										
PMC3L	FFFFFF446H	00H	0	0	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30
PMC3H	FFFFFF447H	00H	0	0	0	0	0	0	PMC39	PMC38
PMC3 (16ビット)	FFFFFF446H	0000H	PMC315-PMC38 (PMC3H)				PMC37-PMC30 (PMC3L)			
PM3L	FFFFFF426H	FFH	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30
PM3H	FFFFFF427H	FFH	1	1	1	1	1	1	PM39	PM38
PM3 (16ビット)	FFFFFF426H	FFFFH	PM315-PM38 (PM3H)				PM37-PM30 (PM3L)			
PFC3L	FFFFFF466H	00H	0	0	PFC35	PFC34	PFC33	PFC32	0	0
PFCE3L	FFFFFF706H	00H	0	0	0	PFCE34	PFCE33	PFCE32	0	0
P3L	FFFFFF406H	不定	P37	P36	P35	P34	P33	P32	P31	P30
P3H	FFFFFF407H	不定	×	×	×	×	×	×	P39	P38
P3 (16ビット)	FFFFFF406H	不定	P315-P38 (P3H)				P37-P30 (P3L)			
PU3L	FFFFFF46H	00H	PU37	PU36	PU35	PU34	PU33	PU32	PU31	PU30
PU3H	FFFFFF47H	00H	0	0	0	0	0	0	PU39	PU38
PU3 (16ビット)	FFFFFF46H	0000H	PU315-PU38 (PU3H)				PU37-PU30 (PU3L)			

備考 × : Don't care

アクセス：すべての8ビット・レジスタは8ビットまたは1ビット単位でアクセスできます。

すべての16ビット・レジスタは16ビット単位でアクセスできます。

2.5.6 ポート・グループ4

ポート・グループ4は、3ビットのポート・グループです。兼用モードとして、次の機能を持っています。

- ・キー割り込み入力 (KR0-KR2)
- ・クロック同期式シリアル・インタフェースCSIB0データ/クロック・ライン (SIB0, SOB0, SCKB0)

ポート・グループ4は、次の端子で構成されます。

表2 - 22 ポート・グループ4：端子機能とポート・タイプ

ポート・モード (PMNm = 0)	各モードにおける端子機能		リセット時の 端子機能	ポート・ タイプ
	兼用モード (PMNm = 1)			
	機能1 PFC = 0	機能2 PFC = 1		
P40	SIB0 (I)	KR0 (I)	P40 (I)	E11-U
P41	SOB0 (O)	KR1 (I)	P41 (I)	E01-U
P42	SCKB0 (I/O)	KR2 (I)	P42 (I)	E21-U

- 注意 1. P40-P42端子は兼用機能の入出力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。
2. 外部割り込み機能 (兼用機能) とポート機能を切り替える際は、エッジ検出を行う可能性があるため注意してください。詳細は、2.9 注意事項を参照してください。

備考 兼用機能KR0-KR2は2つの端子に備わっているため、どの端子で兼用機能を使うかを選択できます。2.2.2 端子機能設定用レジスタを参照してください。

表2 - 23 ポート・グループ4：設定レジスタ

レジスタ	アドレス	初期値	使用ビット							
PMC4	FFFFFF448H	00H	0	0	0	0	0	PMC42	PMC41	PMC40
PM4	FFFFFF428H	FFH	1	1	1	1	1	PM42	PM41	PM40
PFC4	FFFFFF468H	00H	0	0	0	0	0	PFC42	PFC41	PFC40
P4	FFFFFF408H	不定	x	x	x	x	x	P42	P41	P40
PU4	FFFFFFC48H	00H	0	0	0	0	0	PU42	PU41	PU40

備考 x : Don't care

アクセス：すべての8ビット・レジスタは8ビットまたは1ビット単位でアクセスできます。

2.5.7 ポート・グループ5

ポート・グループ5は、6ビットのポート・グループです。兼用モードとして、次の機能を持っています。

- ・キー割り込み入力0-5 (KR0-KR5)
- ・N-Wireデバッグ・インタフェース信号 (DDI, DDO, DCK, DMS)

ポート・グループ5は次の端子で構成されます。

表2-24 ポート・グループ5：端子機能とポート・タイプ

各モードにおける端子機能			リセット時の端子機能	ポート・タイプ
ポート・モード (PMCNm = 0)	兼用モード (PMCNm = 1)	オンチップ・ デバッグ・モード (OCDM0 = 1)		
P50	KR0 (1)	-	P50 (1)	D1-U
P51	KR1 (1)	-	P51 (1)	D1-U
P52	KR2 (1)	DDI (1)	P52 (1) または DDI (1) ^注	D1O1-U
P53	KR3 (1)	DDO (0)	P53 (1) または DDO (0) ^注	D1O0-U
P54	KR4 (1)	DCK (1)	P54 (1) または DCK (1) ^注	D1O1-U
P55	KR5 (1)	DMS (1)	P55 (1) または DMS (1) ^注	D1O1-U

注 DDI, DDO, DCK, DMS端子はオンチップ・デバッグ用の端子です。外部リセット後、DDI, DDO, DCK, DMS端子をオンチップ・デバッグ用端子として使用せず、ポートとして使用する場合は、次の処置が必要です。

OCDMレジスタ (特定レジスタ) のOCDM0ビットをクリア (0) します。

の処置を終えるまでP05/INTP2/DRST端子をロウ・レベル固定にしておきます。

なお、オンチップ・デバッグを使用しない場合、上記処置を行う前にDRST端子にハイ・レベルを入力すると、誤動作 (CPUデッド・ロック) の原因となるため、P05端子の取り扱いには十分注意してください。

P05/INTP2/DRST端子にハイ・レベルを入力しない (ロウ・レベルに固定する) 場合は、OCDMレジスタのOCDM0ビットを操作する必要はありません。

P05/INTP2/DRST端子は、プルダウン抵抗 (30 kΩ (TYP.)) をバッファに内蔵しているため、外部からロウ・レベル固定に処置する必要はありません。OCDM0ビットをクリア (0) することにより、プルダウン抵抗は切断されます。

詳細は、2.2.2 (5) オンチップ・デバッグ・モード・レジスタ (OCDM) と第22章 オンチップ・デバッグ・ユニットを参照してください。

注意 P50-P55端子は兼用機能の入出力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

備考 兼用機能KR0-KR2は2つの端子に備わっているため、どの端子で兼用機能を使うかを選択できます。2.2.2 端子機能設定用レジスタを参照してください。

表2 - 25 ポート・グループ5：設定レジスタ

レジスタ	アドレス	初期値	使用ビット							
			0	0	PMC55	PMC54	PMC53	PMC52	PMC51	PMC50
PMC5	FFFFFF44AH	00H	0	0	PMC55	PMC54	PMC53	PMC52	PMC51	PMC50
PM5	FFFFFF42AH	FFH	1	1	PM55	PM54	PM53	PM52	PM51	PM50
OCDM	FFFFFF9FCH	00H/01H ^注	0	0	0	0	0	0	0	OCDM0
P5	FFFFFF40AH	不定	x	x	P55	P54	P53	P52	P51	P50
PU5	FFFFFFC4AH	00H	0	0	PU55	PU54	PU53	PU52	PU51	PU50

注 リセット要因による(2.2.2(5)オンチップ・デバッグ・モード・レジスタ(OCDM)と第22章 オンチップ・デバッグ・ユニットを参照してください)。

備考 x : Don't care

アクセス：すべての8ビット・レジスタは8ビットまたは1ビット単位でアクセスできます。

2.5.8 ポート・グループ7

ポート・グループ7は、16ビットのポート・グループです。兼用モードとして、次の機能を持っています。

- ・A/Dコンバータ入力

ポート・グループ7は次の端子で構成されます。

表2-26 ポート・グループ7：端子機能とポート・タイプ

各モードにおける端子機能		リセット時の 端子機能	ポート・ タイプ
ポート・モード (PMCnm = 0)	兼用モード (PMCnm = 1)		
P70	ANI0 (I)	P70 (I)	D1A
P71	ANI1 (I)	P71 (I)	D1A
P72	ANI2 (I)	P72 (I)	D1A
P73	ANI3 (I)	P73 (I)	D1A
P74	ANI4 (I)	P74 (I)	D1A
P75	ANI5 (I)	P75 (I)	D1A
P76	ANI6 (I)	P76 (I)	D1A
P77	ANI7 (I)	P77 (I)	D1A
P78	ANI8 (I)	P78 (I)	D1A
P79	ANI9 (I)	P79 (I)	D1A
P710 ^{注1}	ANI10 (I)	P710 (I)	D1A
P711 ^{注1}	ANI11 (I)	P711 (I)	D1A
P712 ^{注2}	ANI12 (I)	P712 (I)	D1A
P713 ^{注2}	ANI13 (I)	P713 (I)	D1A
P714 ^{注2}	ANI14 (I)	P714 (I)	D1A
P715 ^{注2}	ANI15 (I)	P715 (I)	D1A

注1. V850ES/FE3-Lには搭載されていません。

2. V850ES/FG3-Lのみ。

表2 - 27 ポート・グループ7：設定レジスタ

レジスタ	アドレス	初期値	使用ビット							
			PMC77	PMC76	PMC75	PMC74	PMC73	PMC72	PMC71	PMC70
PMC7L	FFFFFF44EH	00H	PMC77	PMC76	PMC75	PMC74	PMC73	PMC72	PMC71	PMC70
PMC7H	FFFFFF44FH	00H	PMC715 ^{注1}	PMC714 ^{注1}	PMC713 ^{注1}	PMC712 ^{注1}	PMC711 ^{注2}	PMC710 ^{注2}	PMC79	PMC78
PM7L	FFFFFF42EH	FFH	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70
PM7H	FFFFFF42FH	FFH	PM715 ^{注3}	PM714 ^{注3}	PM713 ^{注3}	PM712 ^{注3}	PM711 ^{注4}	PM710 ^{注4}	PM79	PM78
P7L	FFFFFF40EH	不定	P77	P76	P75	P74	P73	P72	P71	P70
P7H	FFFFFF40FH	不定	P715 ^{注1}	P714 ^{注1}	P713 ^{注1}	P712 ^{注1}	P711 ^{注2}	P710 ^{注2}	P79	P78

注1. V850ES/FG3-Lのみ。V850ES/FE3-L, V850ES/FF3-Lでは必ず0を設定してください。

2. V850ES/FG3-L, V850ES/FF3-Lのみ。V850ES/FE3-Lでは必ず0を設定してください。

3. V850ES/FG3-Lのみ。V850ES/FE3-L, V850ES/FF3-Lでは必ず1を設定してください。

4. V850ES/FG3-L, V850ES/FF3-Lのみ。V850ES/FE3-Lでは必ず1を設定してください。

アクセス：すべての8ビット・レジスタは8ビットまたは1ビット単位でアクセスできます。

注意 アナログ入力として使用する場合、ポートの状態は読み出しできません。

2.5.9 ポート・グループ9

ポート・グループ9は、16ビットのポート・グループです。兼用モードとして、次の機能を持っています。

- ・外部割り込み (INTP4-INTP6)
- ・キー割り込み入力6, 7 (KR6, KR7)
- ・タイマTAA2チャンネル (TIAA20, TIAA21とTOAA20, TOAA21)
- ・クロック同期式シリアル・インタフェースCSIB1データ/クロック (SOB1, SIB1, SCKB1)
- ・UARTD1送受信データ (TXDD1, RXDD1)
- ・I²Cデータ/クロック (SDA00, SCL00)
- ・プログラマブル・クロック出力 (PCL)

備考 P914とP915は、出力ポート・モード(PMC9.PMC9m = 0 ,PM9.PM9m = 0),または兼用機能3(SDA00, SCL00) の場合、PF9Hレジスタにより通常出力またはオープン・ドレイン出力を選択できます。

ポート・グループ9は、次の端子で構成されます。

表2 - 28 ポート・グループ9：端子機能とポート・タイプ

ポート・モード (PMCnm = 0)	各モードにおける端子機能				リセット時の端子機能	ポート・タイプ
	兼用モード (PMCnm = 1)					
	PFCE = 0		PFCE = 1			
	機能1 PFC = 0	機能2 PFC = 1	機能3 PFC = 0	機能4 PFC = 1		
P90	禁止	KR6 (I)	TXDD1 (O)	禁止	P90 (I)	Fx10x-U
P91	禁止	KR7 (I)	RXDD1 (I) / KR7 (I)	禁止	P91 (I)	Fx13x-U
P92 ^注	禁止	禁止	禁止	禁止	P92 (I)	C-U
P93 ^注	禁止	禁止	禁止	禁止	P93 (I)	C-U
P94 ^注	禁止	禁止	禁止	禁止	P94 (I)	C-U
P95 ^注	禁止	禁止	禁止	禁止	P95 (I)	C-U
P96	禁止	禁止	TIAA21 (I)	TOAA21 (O)	P96 (I)	Fxx10-U
P97	禁止	SIB1 (I)	TIAA20 (I)	TOAA20 (O)	P97 (I)	Fx110-U
P98	禁止	SOB1 (O)	禁止	禁止	P98 (I)	Ex0-U
P99	禁止	SCKB1 (I/O)	禁止	禁止	P99 (I)	Ex2-U
P910 ^注	禁止	禁止	禁止	禁止	P910 (I)	C-U
P911 ^注	禁止	禁止	禁止	禁止	P911 (I)	C-U
P912 ^注	禁止	禁止	禁止	禁止	P912 (I)	C-U
P913	禁止	INTP4 (I)	PCL (O)	禁止	P913 (I)	Fx10x-UI
P914	禁止	INTP5 (I)	SDA00 (I/O)	禁止	P914 (I)	Fx12x-UI
P915	禁止	INTP6 (I)	SCL00 (I/O)	禁止	P915 (I)	Fx12x-UI

注 V850ES/FE3-L, V850ES/FF3-Lには搭載されていません。

- 注意 1. P90-P915端子は兼用機能の入出力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。
2. 外部割り込み機能（兼用機能）とポート機能を切り替える際は、エッジ検出を行う可能性があるため注意してください。詳細は、2.9 注意事項を参照してください。

表2 - 29 ポート・グループ9：設定レジスタ (V850ES/FE3-L, V850ES/FF3-L)

レジスタ	アドレス	初期値	使用ビット							
			PMC97	PMC96	0	0	0	0	PMC91	PMC90
PMC9L	FFFFFF452H	00H	PMC97	PMC96	0	0	0	0	PMC91	PMC90
PMC9H	FFFFFF453H	00H	PMC915	PMC914	PMC913	0	0	0	PMC99	PMC98
PMC9 (16ビット)	FFFFFF452H	0000H	PMC915-PMC98 (PMC9H)				PMC97-PMC90 (PMC9L)			
PM9L	FFFFFF432H	FFH	PM97	PM96	1	1	1	1	PM91	PM90
PM9H	FFFFFF433H	FFH	PM915	PM914	PM913	1	1	1	PM99	PM98
PM9 (16ビット)	FFFFFF432H	FFFFH	PM915-PM98 (PM9H)				PM97-PM90 (PM9L)			
PFC9L	FFFFFF472H	00H	PFC97	PFC96	0	0	0	0	PFC91	PFC90
PFC9H	FFFFFF473H	00H	PFC915	PFC914	PFC913	0	0	0	PFC99	PFC98
PFC9 (16ビット)	FFFFFF472H	0000H	PFC915-PFC98 (PFC9H)				PFC97-PFC90 (PFC9L)			
PFCE9L	FFFFFF712H	00H	PFCE97	PFCE96	0	0	0	0	PFCE91	PFCE90
PFCE9H	FFFFFF713H	00H	PFCE915	PFCE914	PFCE913	0	0	0	0	0
PFCE9 (16ビット)	FFFFFF712H	0000H	PFCE915-PFCE98 (PFCE9H)				PFCE97-PFCE90 (PFCE9L)			
P9L	FFFFFF412H	不定	P97	P96	x	x	x	x	P91	P90
P9H	FFFFFF413H	不定	P915	P914	P913	x	x	x	P99	P98
P9 (16ビット)	FFFFFF412H	不定	P915-P98 (P9H)				P97-P90 (P9L)			
PU9L	FFFFFFC52H	00H	PU97	PU96	0	0	0	0	PU91	PU90
PU9H	FFFFFFC53H	00H	PU915	PU914	PU913	0	0	0	PU99	PU98
PU9 (16ビット)	FFFFFFC52H	0000H	PU915-PU98 (PU9H)				PU97-PU90 (PU9L)			
PF9H	FFFFFFC73H	00H	PF915	PF914	0	0	0	0	0	0

備考 1. P914とP915は、出力ポート・モード (PMC.PMC9m = 0, PM9.PM9m = 0) , または兼用機能3 (SDA00, SCL00) の場合、PF9Hレジスタにより通常出力、またはオープン・ドレイン出力を選択できます。詳細は、2.2.5 オープン・ドレイン設定用レジスタを参照してください。

2. x : Don't care

アクセス：すべての8ビット・レジスタは8ビットまたは1ビット単位でアクセスできます。

すべての16ビット・レジスタは16ビット単位でアクセスできます。

表2 - 30 ポート・グループ9：設定レジスタ (V850ES/FG3-L)

レジスタ	アドレス	初期値	使用ビット							
			PMC97	PMC96	0	0	0	0	PMC91	PMC90
PMC9L	FFFFFF452H	00H	PMC97	PMC96	0	0	0	0	PMC91	PMC90
PMC9H	FFFFFF453H	00H	PMC915	PMC914	PMC913	0	0	0	PMC99	PMC98
PMC9 (16ビット)	FFFFFF452H	0000H	PMC915-PMC98 (PMC9H)				PMC97-PMC90 (PMC9L)			
PM9L	FFFFFF432H	FFH	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90
PM9H	FFFFFF433H	FFH	PM915	PM914	PM913	PM912	PM911	PM910	PM99	PM98
PM9 (16ビット)	FFFFFF432H	FFFFH	PM915-PM98 (PM9H)				PM97-PM90 (PM9L)			
PFC9L	FFFFFF472H	00H	PFC97	PFC96	0	0	0	0	PFC91	PFC90
PFC9H	FFFFFF473H	00H	PFC915	PFC914	PFC913	0	0	0	PFC99	PFC98
PFC9 (16ビット)	FFFFFF472H	0000H	PFC915-PFC98 (PFC9H)				PFC97-PFC90 (PFC9L)			
PFCE9L	FFFFFF712H	00H	PFCE97	PFCE96	0	0	0	0	PFCE91	PFCE90
PFCE9H	FFFFFF713H	00H	PFCE915	PFCE914	PFCE913	0	0	0	0	0
PFCE9 (16ビット)	FFFFFF712H	0000H	PFCE915-PFCE98 (PFCE9H)				PFCE97-PFCE90 (PFCE9L)			
P9L	FFFFFF412H	不定	P97	P96	P95	P94	P93	P92	P91	P90
P9H	FFFFFF413H	不定	P915	P914	P913	P912	P911	P910	P99	P98
P9 (16ビット)	FFFFFF412H	不定	P915-P98 (P9H)				P97-P90 (P9L)			
PU9L	FFFFFF52H	00H	PU97	PU96	PU95	PU94	PU93	PU92	PU91	PU90
PU9H	FFFFFF53H	00H	PU915	PU914	PU913	PU912	PU911	PU910	PU99	PU98
PU9 (16ビット)	FFFFFF52H	0000H	PU915-PU98 (PU9H)				PU97-PU90 (PU9L)			
PF9H	FFFFFF73H	00H	PF915	PF914	0	0	0	0	0	0

備考 P914とP915は、出力ポート・モード (PMC.PMC9m = 0, PM9.PM9m = 0) , または兼用機能3 (SDA00, SCL00) の場合、PF9Hレジスタにより通常出力、またはオープン・ドレーン出力を選択できます。詳細は、
2.2.5 オープン・ドレーン設定用レジスタを参照してください。

アクセス：すべての8ビット・レジスタは8ビットまたは1ビット単位でアクセスできます。

すべての16ビット・レジスタは16ビット単位でアクセスできます。

2.5.10 ポート・グループCM

ポート・グループCMは、4ビットのポート・グループです。兼用モードとして、次の機能を持っています。

- ・CPUシステム・クロック出力（CLKOUT）

ポート・グループCMは次の端子で構成されます。

表2 - 31 ポート・グループCM：端子機能とポート・タイプ

各モードにおける端子機能		リセット時の 端子機能	ポート・ タイプ
ポート・モード (PMCnm = 0)	兼用モード (PMCnm = 1)		
PCM0	-	PCM0 (I)	C
PCM1	CLKOUT (O)	PCM1 (I)	D0
PCM2 ^注	-	PCM2 (I)	C
PCM3 ^注	-	PCM3 (I)	C

注 V850ES/FE3-Lには搭載されていません。

表2 - 32 ポート・グループCM：設定レジスタ

レジスタ	アドレス	初期値	使用ビット								
			0	0	0	0	0	0	PMCCM1	0	
PMCCM	FFFFFF04CH	00H	0	0	0	0	0	0	0	PMCCM1	0
PMCM	FFFFFF02CH	FFH	1	1	1	1	PMCM3 ^注	PMCM2 ^注	PMCM1	PMCM0	
PCM	FFFFFF00CH	不定	x	x	x	x	PCM3 ^注	PCM2 ^注	PCM1	PCM0	

注 V850ES/FE3-Lには搭載されていません。

備考 x : Don't care

アクセス：すべての8ビット・レジスタは8ビットまたは1ビット単位でアクセスできます。

2.5.11 ポート・グループCS (V850ES/FF3-L, V850ES/FG3-L)

ポート・グループCSは、2ビットのポート・グループです。

ポート・グループCSは次の端子で構成されます。

注意 ポート・グループCSはV850ES/FF3-L, V850ES/FG3-Lのみ

表2 - 33 ポート・グループCS : 端子機能とポート・タイプ

各モードにおける端子機能		リセット時の 端子機能	ポート・ タイプ
ポート・モード (PMCnm = 0)	兼用モード (PMCnm = 1)		
PCS0	-	PCS0 (I)	C
PCS1	-	PCS1 (I)	C

表2 - 34 ポート・グループCS : 設定レジスタ

レジスタ	アドレス	初期値	使用ビット							
			1	1	1	1	1	1	PMCS1	PMCS0
PMCS	FFFFFF028H	FFH	1	1	1	1	1	1	PMCS1	PMCS0
PCS	FFFFFF008H	不定	x	x	x	x	x	x	PCS1	PCS0

アクセス：すべての8ビット・レジスタは8ビットまたは1ビット単位でアクセスできます。

2.5.12 ポート・グループCT (V850ES/FF3-L, V850ES/FG3-L)

ポート・グループCTは、4ビットのポート・グループです。

ポート・グループCTは次の端子で構成されます。

注意 ポート・グループCSはV850ES/FF3-L, V850ES/FG3-Lのみ

表2 - 35 ポート・グループCT：端子機能とポート・タイプ

各モードにおける端子機能		リセット時の 端子機能	ポート・ タイプ
ポート・モード (PMCnm = 0)	兼用モード (PMCnm = 1)		
PCT0	-	PCT0 (1)	C
PCT1	-	PCT1 (1)	C
PCT4	-	PCT4 (1)	C
PCT6	-	PCT6 (1)	C

表2 - 36 ポート・グループCT：設定レジスタ

レジスタ	アドレス	初期値	使用ビット							
			1	PMCT6	1	PMCT4	1	1	PMCT1	PMCT0
PMCT	FFFFFF02AH	FFH	1	PMCT6	1	PMCT4	1	1	PMCT1	PMCT0
PCT	FFFFFF00AH	不定	x	PCT6	x	PCT4	x	x	PCT1	PCT0

アクセス：すべての8ビット・レジスタは8ビットまたは1ビット単位でアクセスできます。

2.5.13 ポート・グループDL

ポート・グループDLは、14ビットのポート・グループです。

ポート・グループDLは次の端子で構成されます。

表2 - 37 ポート・グループDL：端子機能とポート・タイプ

各モードにおける端子機能		リセット時の 端子機能	ポート・ タイプ
ポート・モード (PMCnm = 0)	兼用モード (PMCnm = 1)		
PDL0	-	PDL0 (1)	C
PDL1	-	PDL1 (1)	C
PDL2	-	PDL2 (1)	C
PDL3	-	PDL3 (1)	C
PDL4	-	PDL4 (1)	C
PDL5	FLMD1 (1) ^{注1}	PDL5 (1)	C
PDL6	-	PDL6 (1)	C
PDL7	-	PDL7 (1)	C
PDL8 ^{注2}	-	PDL8 (1)	C
PDL9 ^{注2}	-	PDL9 (1)	C
PDL10 ^{注2}	-	PDL10 (1)	C
PDL11 ^{注2}	-	PDL11 (1)	C
PDL12 ^{注3}	-	PDL12 (1)	C
PDL13 ^{注3}	-	PDL13 (1)	C

注1. FLMD1端子は、フラッシュ・プログラミング・モード時に設定する端子のため、ポート制御用レジスタで操作する必要はありません。詳細は、第7章 フラッシュ・メモリを参照してください。

2. V850ES/FE3-Lには搭載されていません。

3. V850ES/FE3-L, V850ES/FF3-Lには搭載されていません。

注意 PDL0-PDL13端子は兼用機能の入出力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

表2 - 38 ポート・グループDL : 設定レジスタ

レジスタ	アドレス	初期値	使用ビット							
			PMDL7	PMDL6	PMDL5	PMDL4	PMDL3	PMDL2	PMDL1	PMDL0
PMDLL	FFFFFF024H	FFH								
PMDLH ^{注1}	FFFFFF025H	FFH	1	1	PMDL13 ^{注2}	PMDL12 ^{注2}	PMDL11	PMDL10	PMDL9	PMDL8
PMDL(16ビット) ^{注1}	FFFFFF024H	FFFFH	PMDL15-PMDL8 (PMDLH)				PMDL7-PMDL0 (PMDLL)			
PDLL	FFFFFF004H	不定	PDL7	PDL6	PDL5	PDL4	PDL3	PDL2	PDL1	PDL0
PDLH ^{注1}	FFFFFF005H	不定	x	x	PDL13 ^{注2}	PDL12 ^{注2}	PDL11	PDL10	PDL9	PDL8
PDL(16ビット) ^{注1}	FFFFFF004H	不定	PDL15-PDL8 (PDLH)				PDL7-PDL0 (PDLL)			

注1. V850ES/FE3-Lには搭載されていません。

2. V850ES/FE3-L, V850ES/FF3-Lには搭載されていません。

アクセス：すべての8ビット・レジスタは8ビットまたは1ビット単位でアクセスできます。

すべての16ビット・レジスタは16ビット単位でアクセスできます。

2.6 ノイズ除去

端子は、アナログ・フィルタ、デジタル・フィルタ、またはその両方を搭載しているものがあります。

2.6.1 アナログ・フィルタ処理を行う入力

下記の入力信号はアナログ・フィルタ処理を行います。

- ・ノンマスクابل割り込み (NMI)
- ・外部割り込み (INTPn)
- ・キー割り込み入力 (KRn)
- ・タイマAAトリガ入力 (TIAAnm)
- ・A/Dコンバータ外部入力トリガ (ADTRG)
- ・N-Wireデバッグ・インタフェース・リセット ($\overline{\text{DRST}}$)

アナログ・フィルタは、通常モードおよびスタンバイ・モードで動作しますが、対応する端子が兼用モードで動作するときのみ有効で、汎用I/Oポートとして動作する場合は無効です。

アナログ・フィルタ処理を行う入力信号は、入力信号を一定時間以上維持する必要があります。詳細は、V850ES/FE3-L データ・シート (U18666J)、V850ES/FF3-L データ・シート (U18667J)、V850ES/FG3-L データ・シート (U18668J) を参照してください。

2.6.2 デジタル・フィルタ処理を行う入力

入力信号INTP3は、アナログとデジタルの両方のフィルタを搭載しており、選択が可能です。

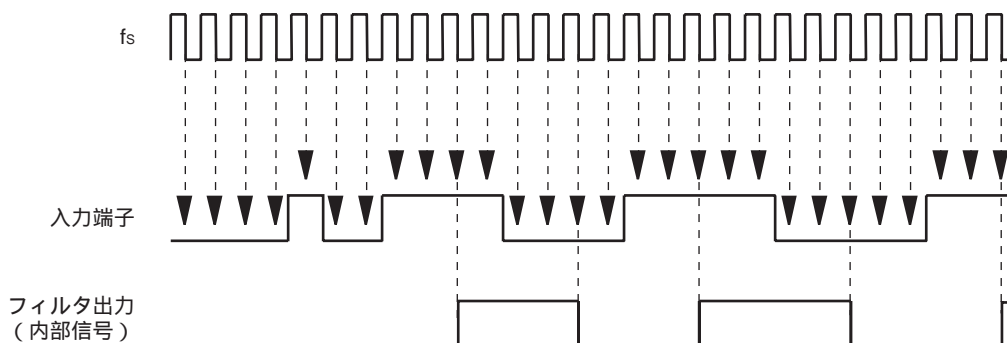
デジタル・フィルタはPLLが動作状態であるすべてのモードで動作します。デジタル・フィルタはPLL動作が停止するスタンバイ・モードでは動作しません（サンプリング・クロックに f_{XT} を使用した場合は、スタンバイ・モードでも動作します）。デジタル・フィルタは、対応する端子が兼用モードで動作するときのみ有効で、汎用I/Oポートとして動作する場合は無効です。

フィルタ動作： 入力端子信号は、サンプリング周波数 f_s でサンプリングされます。サンプリング・サイクル $N - 1$ よりも短いノイズは除去され、内部信号は生成されません。サンプリング・サイクル N よりも長いパルスは、有効パルスとして認識され、内部信号が生成されます。サンプリング・サイクル $N - 1$ と N 間のパルスは、ノイズとして除去、または有効エッジとして検出されます。デジタル・ノイズ・フィルタの特性は、レジスタNFCで設定します。

- ・ f_s はNFC.NFC [2:0]で選択するサンプリング周波数です。
- ・ N はNFC.NFSTSで定義されます。 N は2または3の選択が可能です。

NFC.NFSTS = 0 ($N = 3$) の場合のフィルタ動作を図2 - 33に示します。

図2 - 33 NFC.NFSTS = 0 ($N = 3$) のときのデジタル・ノイズ除去例



(1) デジタル・ノイズ・フィルタ制御レジスタ (NFC)

8ビットのNFCレジスタはINTP3信号のノイズ除去回路を指定します。

アクセス： 8/1ビット単位でリード/ライト可能です。

アドレス： FFFFF318H

初期値： リセットにより00Hになります。

7	6	5	4	3	2	1	0
NFEN	NFSTS	0	0	0	NFC2	NFC1	NFC0
R/W	R/W	R	R	R	R/W	R/W	R/W

表2 - 39 NFCレジスタの内容

ビット位置	ビット名	機能																																															
7	NFEN	INTP3端子のデジタル・ノイズ除去の設定 0：デジタル・ノイズ除去を行わない 1：デジタル・ノイズ除去を行う																																															
6	NFSTS	外部信号を有効にする f_s のサンプリング周期数Nの設定 0：N = 3 1：N = 2																																															
2-0	NFC [2:0]	デジタル・ノイズを除去するサンプリング周波数 f_s の設定 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th rowspan="2">NFC2</th> <th rowspan="2">NFC1</th> <th rowspan="2">NFC0</th> <th colspan="2">サンプリング周波数f_s</th> </tr> <tr> <th>OB_7B.PRSI = 0</th> <th>OB_7B.PRSI = 1</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>$f_{xx}/64$</td> <td>$f_{xx}/128$</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>$f_{xx}/128$</td> <td>$f_{xx}/256$</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>$f_{xx}/256$</td> <td>$f_{xx}/512$</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>$f_{xx}/512$</td> <td>$f_{xx}/1024$</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>$f_{xx}/1024$</td> <td>$f_{xx}/2048$</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>f_{XT}</td> <td>f_{XT}</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td colspan="2">設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td colspan="2">設定禁止</td> </tr> </tbody> </table>	NFC2	NFC1	NFC0	サンプリング周波数 f_s		OB_7B.PRSI = 0	OB_7B.PRSI = 1	0	0	0	$f_{xx}/64$	$f_{xx}/128$	0	0	1	$f_{xx}/128$	$f_{xx}/256$	0	1	0	$f_{xx}/256$	$f_{xx}/512$	0	1	1	$f_{xx}/512$	$f_{xx}/1024$	1	0	0	$f_{xx}/1024$	$f_{xx}/2048$	1	0	1	f_{XT}	f_{XT}	1	1	0	設定禁止		1	1	1	設定禁止	
NFC2	NFC1	NFC0				サンプリング周波数 f_s																																											
			OB_7B.PRSI = 0	OB_7B.PRSI = 1																																													
0	0	0	$f_{xx}/64$	$f_{xx}/128$																																													
0	0	1	$f_{xx}/128$	$f_{xx}/256$																																													
0	1	0	$f_{xx}/256$	$f_{xx}/512$																																													
0	1	1	$f_{xx}/512$	$f_{xx}/1024$																																													
1	0	0	$f_{xx}/1024$	$f_{xx}/2048$																																													
1	0	1	f_{XT}	f_{XT}																																													
1	1	0	設定禁止																																														
1	1	1	設定禁止																																														

注意 サンプリング・クロック変更後、デジタル・ノイズ除去回路が初期化されるのに、サンプリング・クロック $\times N$ (選択しているサンプリング周期数 $N = 3$ または 2) の時間がかかります。そのため、サンプリング・クロックを変更してから前記の時間までに、INTP3の有効エッジが入力されると、割り込み要求が発生する可能性があります。したがって、割り込み機能を使用する場合は、次の点に注意してください。

- ・ 割り込み機能使用時は、サンプリング・クロック $\times N$ (選択しているサンプリング周期数 $N = 3$ または 2) クロック経過後、割り込み要求フラグ (PIC3.PIF3ビット) をクリアしてから、割り込みを許可してください。

- 備考1. オプション・バイトによってPRSIを設定します。詳細は、第8章 オプション・バイトを参照してください。
2. f_s を $f_{xx}/64$, $f_{xx}/128$, $f_{xx}/256$, $f_{xx}/512$, $f_{xx}/1024$, $f_{xx}/2048$ に設定した場合, IDLE1, IDLE2モード, STOPモード時にサンプリング・クロックが停止するので, スタンバイ解除要因として使用できません。この場合, f_s を f_{XT} に設定, またはアナログ・ノイズ除去回路を接続(デジタル・ノイズ回路を行わない設定)することで, スタンバイ解除要因として使用することができます。
 3. f_{xx} = システム・クロック
 f_{XT} = サブ発振周波数

2.7 リセット時とスタンバイ機能使用時の端子機能

表2 - 40は、リセット時およびスタンバイ機能使用時、それらの動作状態が解除され通常動作モードになったときの端子状態を示しています。

N-Wireデバッグ・インタフェース端子である \overline{DRST} 、DDI、DDO、DCK、DMSは、リセット解除後の動作がリセット要因によって異なります。外部RESETまたは内部のパワーオン・クリア要因では、すべての端子が入力モードに設定されますが、その他の内部リセット要因では、端子はデバッグで使用可能になります。

HALTモードはCPUの動作を中断するだけなので、端子状態に影響しません。

表2 - 40 端子機能とリセット/スタンバイ機能

動作状態		端子機能
外部RESET	リセット中	<ul style="list-style-type: none"> ・ P05/\overline{DRST} : P05ポート入力, 内部プルダウン抵抗接続。 ・ その他の端子 : ハイ・インピーダンス
	リセット後	<ul style="list-style-type: none"> ・ P05/\overline{DRST} : \overline{DRST}入力, 内部プルダウン抵抗接続。 ・ P52/DDI, P54/DCK, P55/DMS : DDI, DCK, DMS入力 ・ P53/DDO : DDO出力 ・ その他の端子 : 入力ポート・モード
パワーオン・クリア (POC) ^{注1}	リセット中	<ul style="list-style-type: none"> ・ P05/\overline{DRST} : P05ポート入力, 内部プルダウン抵抗接続。 ・ その他の端子 : ハイ・インピーダンス
	リセット後	<ul style="list-style-type: none"> ・ P05/\overline{DRST} : P05ポート入力 (内部プルダウン抵抗切断) ・ その他の端子 : 入力ポート・モード
その他のリセット要因	リセット中	<ul style="list-style-type: none"> ・ P05/\overline{DRST}, P52/DDI, P53/DDO, P54/DCK, P55/DMS : リセット前と同じ
	リセット後	<ul style="list-style-type: none"> ・ その他の端子 : 入力ポート・モード
HALTモード	モード中	HALTモード設定前の状態を保持
	モード解除後	
IDLE1, IDLE2, STOPモード	モード中	<ul style="list-style-type: none"> スタンバイ機能設定前の状態を保持 出力信号有効, 出力レベルを維持 スタンバイ機能の解除要因^{注2}となる入力信号は有効 その他入力状態端子への入力信号は無視
	モード解除後	スタンバイ機能設定前の状態を保持

注1. POC使用製品のみ

- ウエイク・アップ機能を持つ入力信号 : 外部割り込み (INTP0-INTP10, NMI), CAN0受信データ (CRXD0), キー割り込み (KR0-KR7)

2.8 未使用端子の推奨接続

端子が未使用の場合、下記のように接続することを推奨します。

表2 - 41 未使用端子の推奨接続

	端子	入出回路 タイプ	推奨接続
ポート端子	ポート・グループ0, 1, 3-5, 9の端子 (ポート・グループ 0のP05端子を除く)	5-W	・出力時：オープン ・入力時：端子ごとに抵抗を介してEV _{DD} またはEV _{SS} に接続
	ポート・グループ0のP05端 子	5-AF	・出力時：オープン ・入力時：端子ごとに抵抗を介してEV _{SS} に接続
	ポート・グループ7の端子	11-G	・出力時：オープン ・入力時：端子ごとに抵抗を介してAV _{REF0} またはAV _{SS} に接続
	ポート・グループCM, CS, CTの端子	5	・出力時：オープン ・入力時：端子ごとに抵抗を介してBV _{DD} またはBV _{SS} に接続 (V850ES/FE3-L, V850ES/FF3-Lは、端子ごとに抵抗を介 してEV _{DD} またはEV _{SS} に接続)
	ポート・グループDLの端子	5-K	・出力時：オープン ・入力時：端子ごとに抵抗を介してBV _{DD} またはBV _{SS} に接続 (V850ES/FE3-L, V850ES/FF3-Lは、端子ごとに抵抗を介 してEV _{DD} またはEV _{SS} に接続)
ポート以外 の端子	AV _{REF0}	-	V _{DD} に直接接続
	FLMD0	-	フラッシュ・メモリ・プログラミング・モード時以外は、V _{SS} に接 続
	REGC	-	レギュレータ出力安定容量接続
	RESET	2	-
	XT1	16	抵抗を介してV _{SS} に接続
	XT2	16	オープン

備考1. 未使用端子に抵抗を介して電源またはグランドへ接続する場合、個別に1 k~10 kΩの抵抗を介して接続することを推奨します。

2. 総出力電流が最大値を越えた場合、出力バッファが破損する可能性があります。誤って出力が許可された場合に出力バッファを破損から守るために、直列抵抗の挿入を推奨します。

2.9 注意事項

2.9.1 ポート端子設定上の注意事項

(1)本マイクロコントローラでは、1本の端子に汎用ポートと複数の周辺機能の入出力端子が兼用されています。汎用ポート（ポート・モード）と、周辺機能の入出力端子（兼用機能モード）との切り替えは、PMCnレジスタで設定します。このレジスタの設定順序に関して、次の点に注意してください。

(a) ポート・モードから兼用機能モードへ切り替える場合の注意事項

ポート・モードから兼用機能モードへ切り替える場合は、次の順序で行ってください。

PFnレジスタを設定 ^注	: N-chオープン・ドレイン設定
PFCn, PFCEnレジスタを設定	: 兼用端子機能選択
PMCnレジスタの該当ビットに1を設定	: 兼用機能モードへ切り替え

PMCnレジスタを先に設定すると、その瞬間、またそのあとのPFn, PFCn, PFCEnレジスタの設定に伴う端子状態の変化によっては、意図しない動作に陥る可能性があるため注意してください。

注 N-chオープン・ドレイン出力端子のみ

注意 ポート・モード/兼用機能モードに関係なく、Pnレジスタのリード/ライトは次のようになります。

- ・ Pnレジスタのリード : ポート出力ラッチの値（PMn.PMnmビット = 0時）、または端子状態（PMn.PMnmビット = 1時）の読み出し
- ・ Pnレジスタへのライト : ポート出力ラッチへの書き込み

(b) 兼用機能モード（入力）に関する注意事項

兼用機能ブロックへの入力信号は、PMCnレジスタの設定値と端子レベルのAND出力のため、PMCn.PMCnmビット = 0のときはロウ・レベルとなります。そのため、ポート設定と兼用機能動作許可のタイミングによっては、意図しない動作に陥る可能性があります。したがって、PMCnレジスタによるポート・モードと兼用機能モードの切り替えは、次に示す順序で実行してください。

- ・ ポート・モードから兼用機能モード（入力）へ切り替える場合
PMCnレジスタで端子を兼用機能モードにしてから、兼用機能の動作を許可してください。
- ・ 兼用機能モード（入力）からポート・モードへ切り替える場合
兼用機能の動作を停止してから、端子をポート・モードへ切り替えてください。

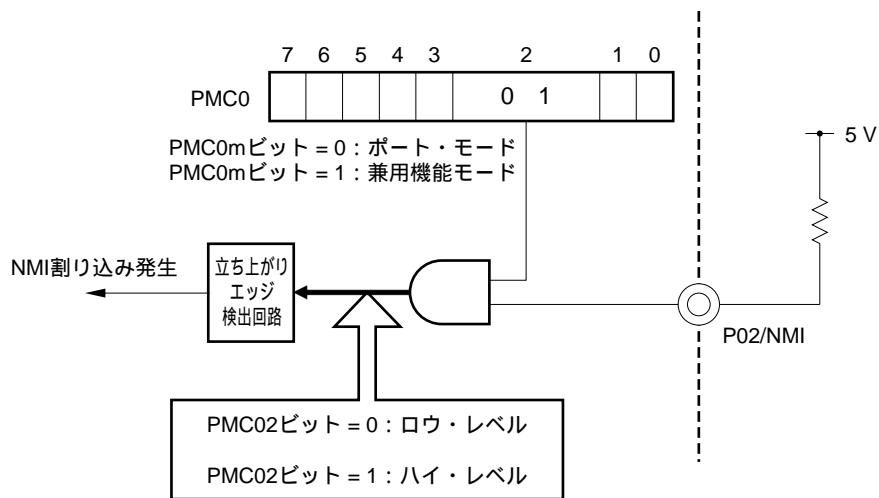
【例1】、【例2】に具体例を示します。

【例1】汎用ポート (P02) から外部割り込み端子 (NMI) への切り替え

P02/NMI端子が図2 - 34のようにプルアップされており、かつNMI端子のエッジ検出設定で立ち上がりエッジを指定している場合に、P02端子からNMI端子へ切り替えたとき (PMC02ビット = 0→1)、NMI端子にはハイ・レベルが入力され続けているにもかかわらず、ロウ・レベル→ハイ・レベルと変化したかのように立ち上がりエッジとして検出し、NMI割り込みが発生します。

対策として、P02端子からNMI端子へ切り替えてから、NMI端子の有効エッジを設定してください。

図2 - 34 P02からNMIへの切り替え (悪い例)

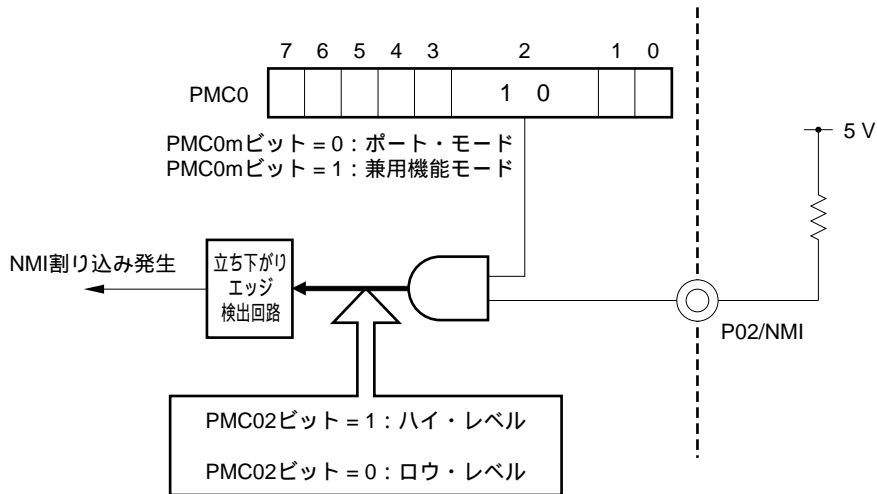


備考 m = 0-7

【例2】外部割り込み端子（NMI）から，汎用ポート（P02）への切り替え

P02/NMI端子が図2 - 35のようにプルアップされており，かつNMI端子のエッジ検出設定で立ち下がりエッジを指定している場合に，NMI端子からP02端子へ切り替えたとき（PMC02ビット = 1→0），NMI端子にはハイ・レベルが入力され続けているにもかかわらず，ハイ・レベル→ロウ・レベルと変化したかのように立ち下がりエッジとして検出し，NMI割り込みが発生します。対策として，NMI端子のエッジ検出設定を“エッジ検出ししない”にしてから，NMI端子からP02端子へ切り替えてください。

図2 - 35 NMIからP02への切り替え（悪い例）



備考 m = 0-7

- (2) ポート・モードにおいてPFn.PFnmビットは，出力モード（PMn.PMnmビット = 0）時のみ有効となります。入力モード（PMnmビット = 1）のとき，PFnmビットの値はバッファに反映されません。

2.9.2 ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項

入力/出力が混在しているポートに対して1ビット操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P90端子は出力ポート、P91-P97端子は入力ポート（端子状態はすべてハイ・レベル）で、かつポート・ラッチの値が“00H”のとき、P90端子の出力をビット操作命令により“ロウ・レベル” “ハイ・レベル” とすると、ポート・ラッチの値は、“FFH” になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込み/読み出しの対象は、それぞれ出力ラッチ/端子状態です。

また、ビット操作命令は本マイクロコントローラ内部で、次の順序で行われます。

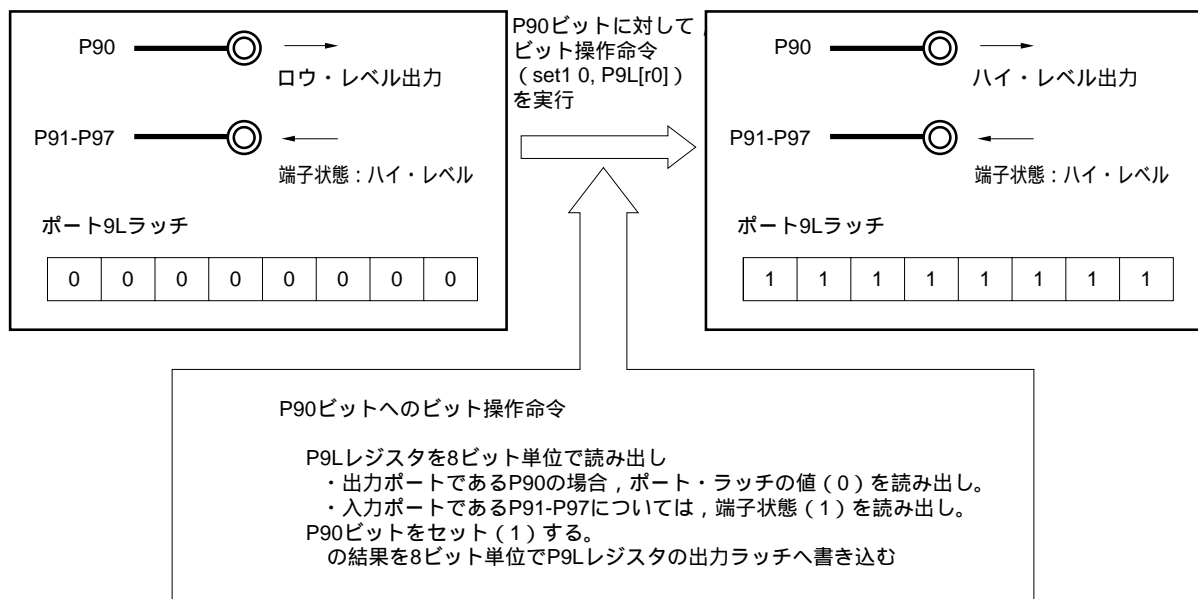
- <1> Pnレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> Pnレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP90端子は出力ラッチの値（0）を読み出しますが、入力ポートであるP91-P97端子は端子状態を読み出します。このときP91-P97端子の端子状態が“ハイ・レベル” とすると、読み出し値は“FEH” となります。

<2> の操作で、値は“FFH” となります。

<3> の操作で、出力ラッチに“FFH” が書き込まれます。

図2 - 36 ビット操作命令（P90端子の場合）



2.9.3 オンチップ・デバッグ用端子に関する注意事項

$\overline{\text{DRST}}$, DCK, DMS, DDI, DDO端子はオンチップ・デバッグ用の端子です。

RESET端子によるリセット後, P05/INTP2/ $\overline{\text{DRST}}$ 端子はオンチップ・デバッグ用端子 ($\overline{\text{DRST}}$) に初期化されます。このとき $\overline{\text{DRST}}$ 端子にハイ・レベルを入力すると, オンチップ・デバッグ・モードになり, DCK, DMS, DDI, DDO端子が使用可能になります。

オンチップ・デバッグを使用しない場合は, 次の処置が必要です。

- ・OCDMレジスタ (特定レジスタ) のOCDM0ビットをクリア (0)

このとき, $\overline{\text{RESET}}$ 端子によるリセット解除時から, 上記の処理を終えるまで, P05/INTP2/ $\overline{\text{DRST}}$ 端子をロウ・レベル固定にしてください。

上記処置を行う前に $\overline{\text{DRST}}$ 端子にハイ・レベルを入力すると, 誤動作 (CPUデッド・ロック) の原因となるため, P05端子の取り扱いには十分注意してください。

注意 WDT2RES信号, クロック・モニタ (CLM), 低電圧検出回路 (LVI) によるリセット時は, P05/INTP2/ $\overline{\text{DRST}}$ 端子はオンチップ・デバッグ用端子 ($\overline{\text{DRST}}$) に初期化されません。また, OCDMレジスタも値を保持します。

2.9.4 P05/INTP2/ $\overline{\text{DRST}}$ 端子に関する注意事項

P05/INTP2/ $\overline{\text{DRST}}$ 端子はプルダウン抵抗 (30 k Ω (TYP.)) を内蔵しています。 $\overline{\text{RESET}}$ 端子によるリセット後は, プルダウン抵抗が接続されています。OCDM0ビットをクリア (0) することにより, プルダウン抵抗は切断されます。

2.9.5 P53端子に関する電源投入時の注意事項

次に示す端子は, 電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

- ・P53/KR3/DDO端子

2.10 パッケージの端子接続図

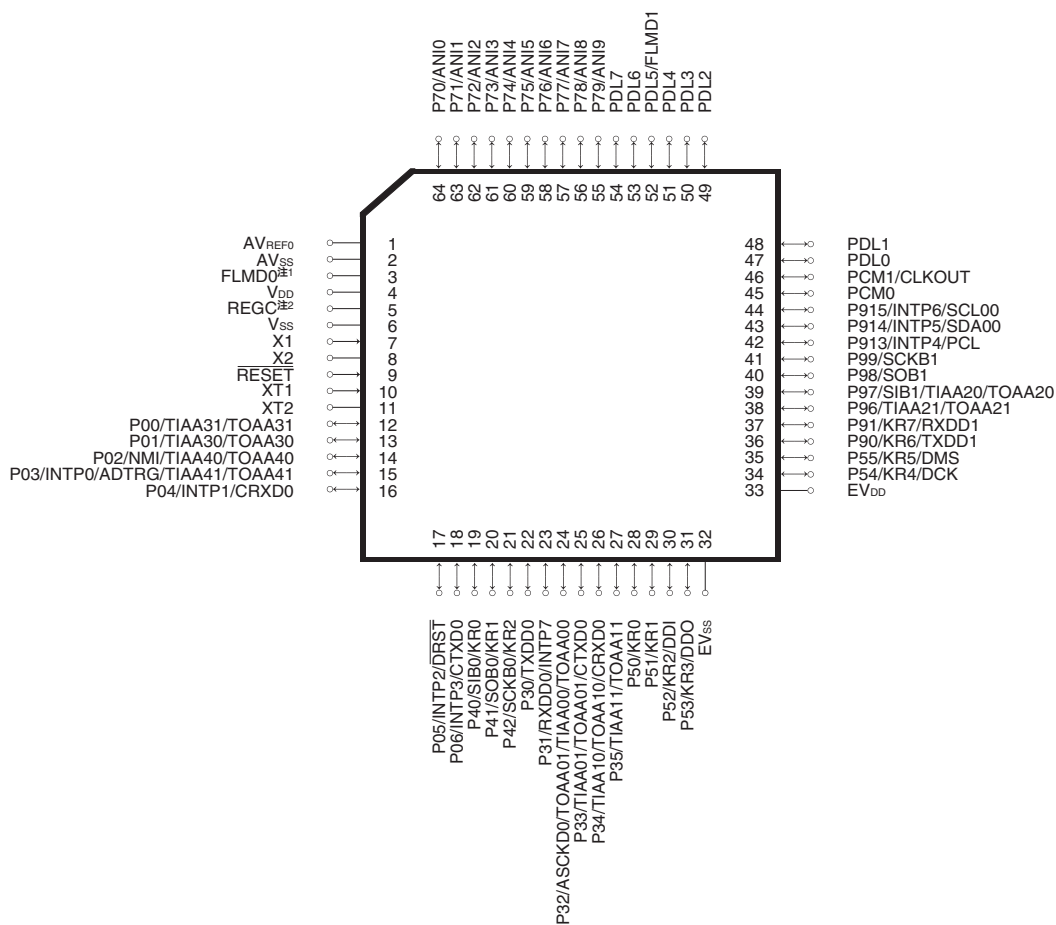
端子接続図を次に示します。各端子には端子番号と端子名が割り当てられています。

2.10.1 V850ES/FE3-L端子接続図

64ピン・プラスチックLQFP（ファインピッチ）（10×10）

・ μ PD70F3610, 70F3611, 70F3612, 70F3613, 70F3614

図2 - 37 V850ES/FE3-Lの端子接続図



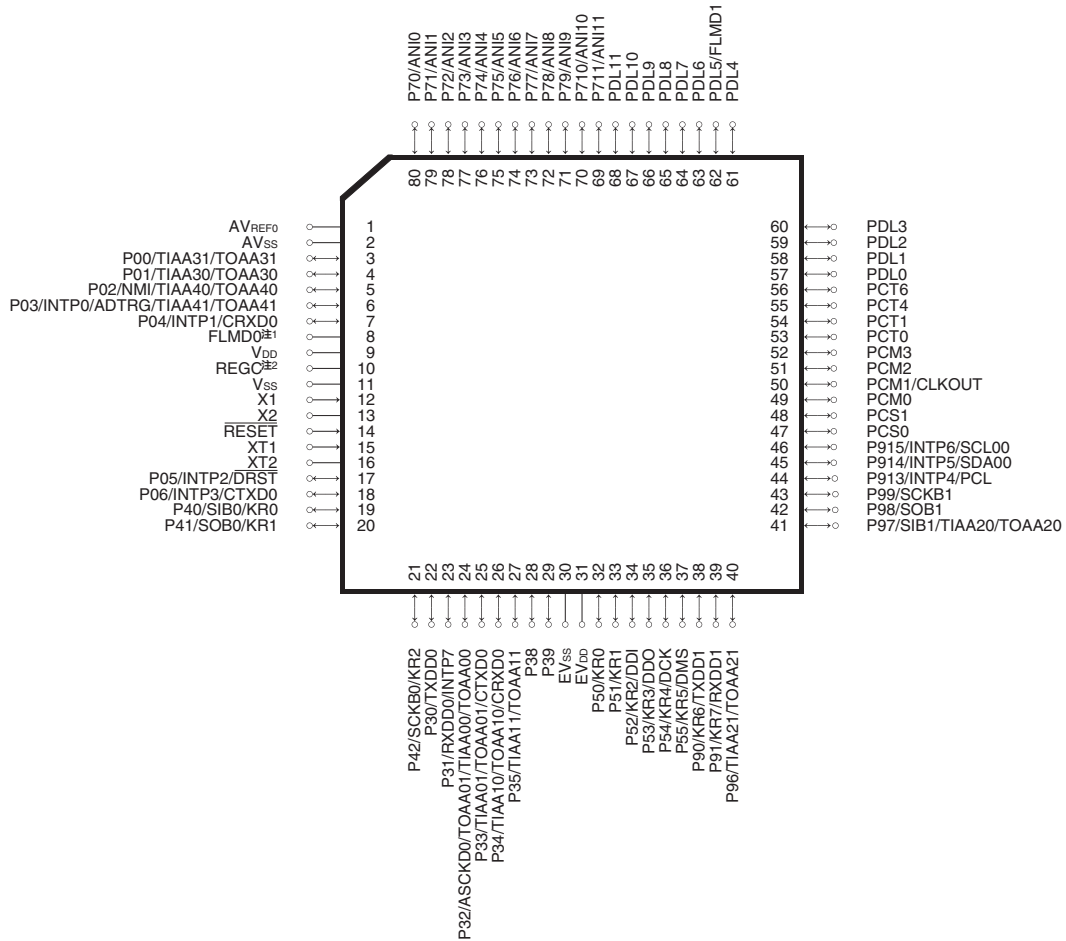
- 注1. FLMD0：通常モード時はV_{SS}に接続してください。
2. REGC端子は4.7 μ Fのコンデンサを介し，V_{SS}に接続してください。

2. 10. 2 V850ES/FF3-L端子接続図

80ピン・プラスチックLQFP（ファインピッチ）（12×12）

・μPD70F3615, 70F3616, 70F3617, 70F3618, 70F3619

図2 - 38 V850ES/FF3-Lの端子接続図



注1. FLMD0 : 通常モード時はV_{SS}に接続してください。

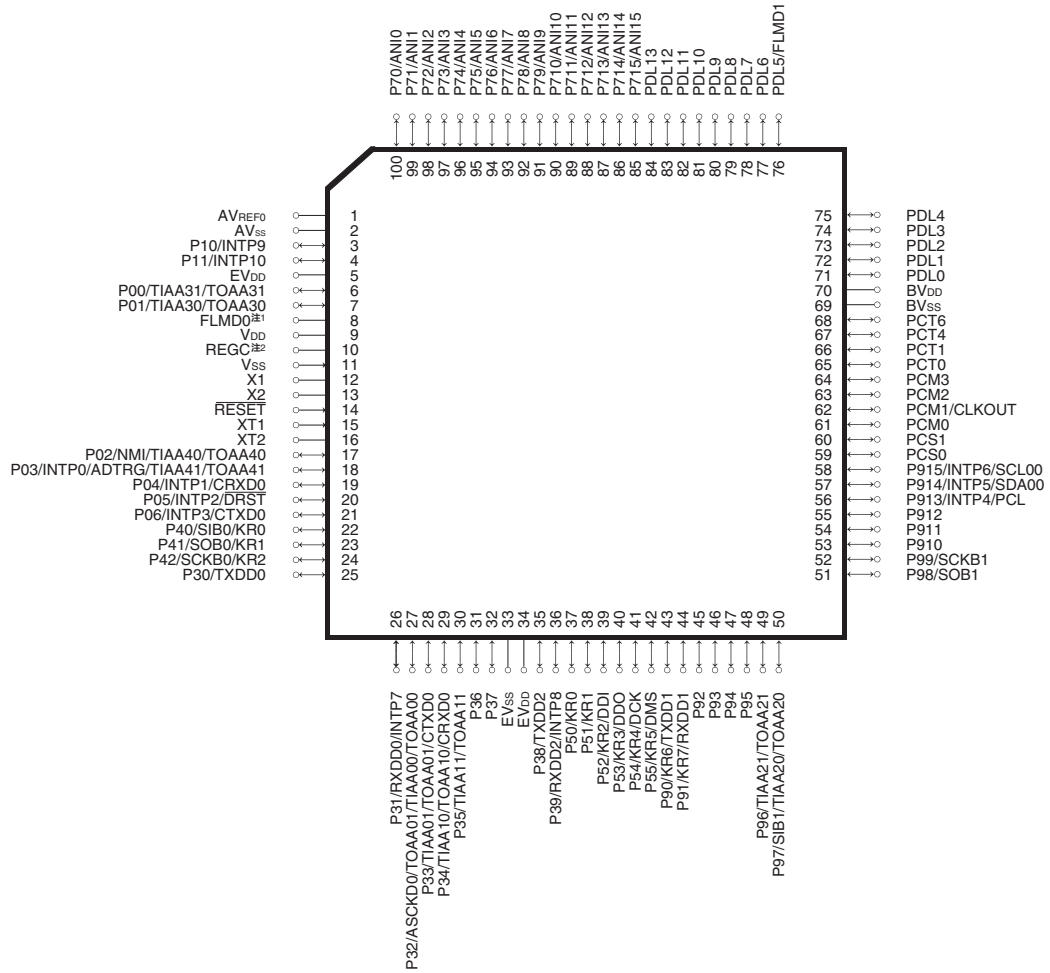
2. REGC端子は4.7 μFのコンデンサを介し、V_{SS}に接続してください。

2. 10. 3 V850ES/FG3-L端子接続図

100ピン・プラスチックLQFP（ファインピッチ）（14×14）

・μPD70F3620, 70F3621, 70F3622

図2 - 39 V850ES/FG3-Lの端子接続図



- 注1. FLMD0 : 通常モード時はVssに接続してください。
 2. REGC端子は4.7 μFのコンデンサを介し、Vssに接続してください。

第3章 CPU機能

CPUのレジスタ，動作モード，アドレス空間およびメモリ領域を解説します。

3.1 特 徴

最小命令実行時間：50 ns（20 MHz動作時）

メモリ空間 プログラム空間：64 Mバイト・リニア

 データ空間 ：4 Gバイト・リニア

汎用レジスタ：32ビット×32本

内部32ビット・アーキテクチャ

5段パイプライン制御

乗除算命令

飽和演算命令

32ビット・シフト命令：1クロック

ロング/ショート形式を持つロード/ストア命令

ビット操作命令4種

・SET1

・CLR1

・NOT1

・TST1

3.2 CPUレジスタ・セット

レジスタは、汎用のプログラム・レジスタ・セットと、専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅となっています。

詳細はV850ES ユーザーズ・マニュアル アーキテクチャ編を参照してください。

(1) プログラム・レジスタ・セット		(2) システム・レジスタ・セット	
31	0	31	0
r0	(ゼロ・レジスタ)	EIPC	(割り込み時状態退避レジスタ)
r1	(アセンブラ予約レジスタ)	EIPSW	(割り込み時状態退避レジスタ)
r2			
r3	(スタック・ポインタ (SP))	FEPC	(NMI時状態退避レジスタ)
r4	(グローバル・ポインタ (GP))	FEPSW	(NMI時状態退避レジスタ)
r5	(テキスト・ポインタ (TP))		
r6		ECR	(割り込み要因レジスタ)
r7			
r8		PSW	(プログラム・ステータス・ワード)
r9			
r10		CTPC	(CALLT実行時状態退避レジスタ)
r11		CTPSW	(CALLT実行時状態退避レジスタ)
r12			
r13			
r14		DBPC	(例外/デバッグ・トラップ時状態退避レジスタ)
r15		DBPSW	(例外/デバッグ・トラップ時状態退避レジスタ)
r16			
r17		CTBP	(CALLTベース・ポインタ)
r18			
r19			
r20			
r21			
r22			
r23			
r24			
r25			
r26			
r27			
r28			
r29			
r30	(エレメント・ポインタ (EP))		
r31	(リンク・ポインタ (LP))		
31	0		
PC	(プログラム・カウンタ)		

3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

(1) 汎用レジスタ (r0-r31)

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれでもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。r0は常に0を保持しているレジスタで、0を使用する演算やオフセット0のアドレッシングで使用されます。r30はSLD命令とSST命令により、メモリをアクセスするときのベース・ポインタとして使用されます。また、r1、r3-r5、r31は、アセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。r2は、リアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は、変数用レジスタとしてr2を使用できます。

表3 - 1 プログラム・レジスタ一覧

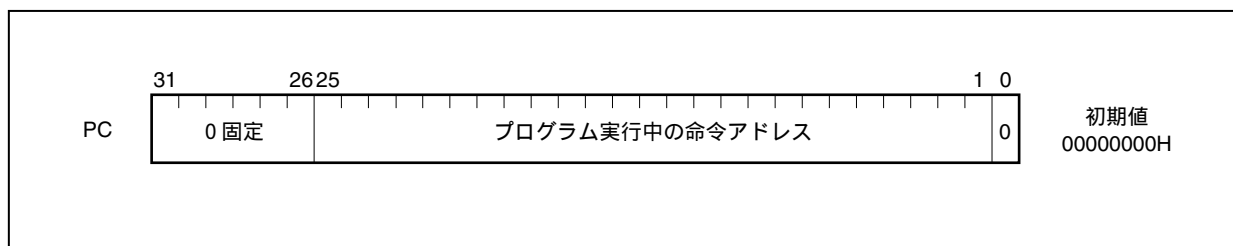
名称	用途	動作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミディエト作成用のワーキング・レジスタとして使用
r2	アドレス/データ変数用レジスタ (使用するリアルタイムOSがr2を使用していない場合)	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域 (プログラム・コードを配置する領域) の先頭を指すレジスタとして使用
r6-r29	アドレス/データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

備考 アセンブラやCコンパイラで使用されるr1、r3-r5、r31の詳細な説明は、CA850 (Cコンパイラ・パッケージ) ユーザーズ・マニュアル アセンブリ言語編を参照してください。

(2) プログラム・カウンタ (PC)

プログラム実行中の命令アドレスを保持します。下位26ビットが有効で、ビット31-26は0に固定されます。ビット25からビット26へのキャリーがあっても無視します。

また、ビット0は0に固定されており、奇数番地への分岐はできません。



3.2.2 システム・レジスタ・セット

システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

システム・レジスタへのリード/ライトは、システム・レジスタ・ロード/ストア命令 (LDSR, STSR命令) により、次に示すシステム・レジスタ番号を設定することで行います。

表3-2 システム・レジスタ番号

レジスタ番号	システム・レジスタ名称	オペランド指定の可否	
		LDSR命令	STSR命令
0	割り込み時状態退避レジスタ (EIPC) ^{注1}		
1	割り込み時状態退避レジスタ (EIPSW) ^{注1}		
2	NMI時状態退避レジスタ (FEPC)		
3	NMI時状態退避レジスタ (FEPSW)		
4	割り込み要因レジスタ (ECR)	x	
5	プログラム・ステータス・ワード (PSW)		
6-15	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	x	x
16	CALLT実行時状態退避レジスタ (CTPC)		
17	CALLT実行時状態退避レジスタ (CTPSW)		
18	例外/デバッグ・トラップ時状態退避レジスタ (DBPC)	注2	注2
19	例外/デバッグ・トラップ時状態退避レジスタ (DBPSW)	注2	注2
20	CALLTベース・ポインタ (CTBP)		
21-31	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	x	x

注1. このレジスタは1組しかないため、多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。

2. DBTRAP命令または不正命令を実行してからDBRET命令を実行するまでの期間のみアクセス可能です。

注意 LDSR命令によりEIPCがFEPC、またはCTPCのビット0をセット(1)しても、割り込み処理後のRETI命令で復帰するときにビット0は無視されます(PCのビット0を0固定してあるため)。EIPC、FEPC、CTPCに値を設定する場合は、偶数値(ビット0=0)を設定してください。

備考 : アクセス可能

x : アクセス禁止

(1) 割り込み時状態退避レジスタ (EIPC, EIPSW)

割り込み時状態退避レジスタには、EIPCとEIPSWがあります。

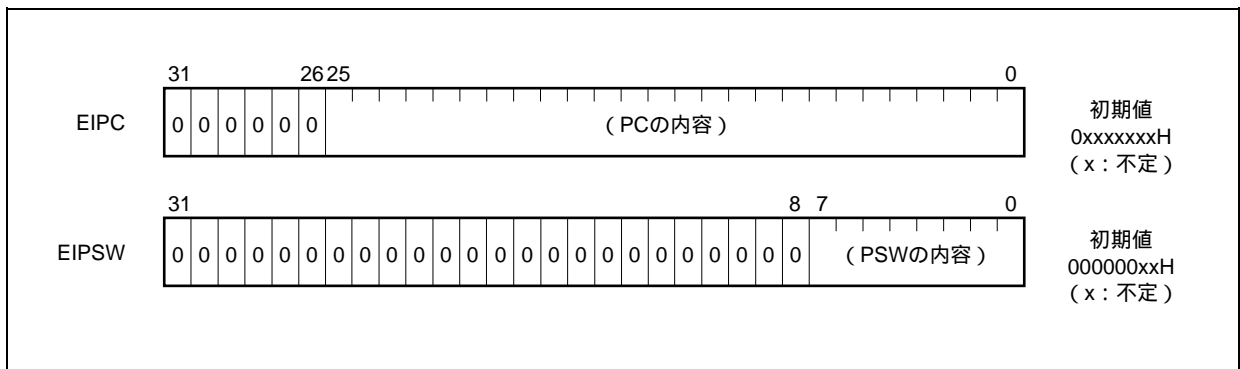
ソフトウェア例外やマスカブル割り込みが発生した場合、プログラム・カウンタ (PC) の内容がEIPCに、プログラム・ステータス・ワード (PSW) の内容がEIPSWに退避されます (ノンマスカブル割り込み (NMI) 発生時には、NMI時状態退避レジスタ (FEPC, FEPSW) に退避されます)。

EIPCには、一部の命令 (5.9 CPUが割り込みを受け付けない期間参照) を除き、ソフトウェア例外やマスカブル割り込みが発生したときに実行していた命令の次の命令のアドレスが退避されます。

EIPSWには、現在のPSWの内容が退避されます。

割り込み時状態退避レジスタは1組しかないので、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお、EIPCのビット31-26とEIPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。RETI命令により、EIPCの値はPCへ、EIPSWの値はPSWへ復帰します。



(2) NMI時状態退避レジスタ (FEPC, FEPSW)

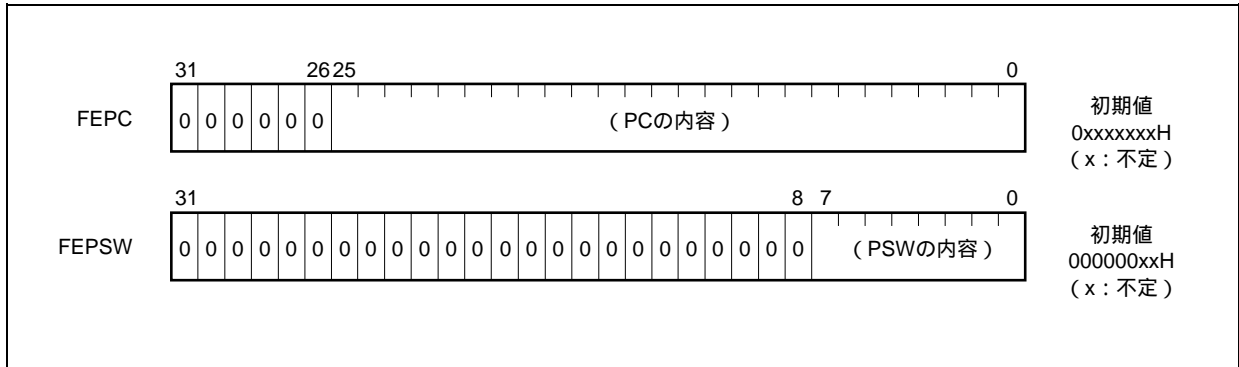
NMI時状態退避レジスタには、FEPCとFEPSWがあります。

ノンマスクابل割り込み (NMI) が発生した場合、プログラム・カウンタ (PC) の内容がFEPCに、プログラム・ステータス・ワード (PSW) の内容がFEPSWに退避されます。

FEPCには、一部の命令を除き、NMIが発生したときに実行していた命令の次の命令のアドレスが退避されます。

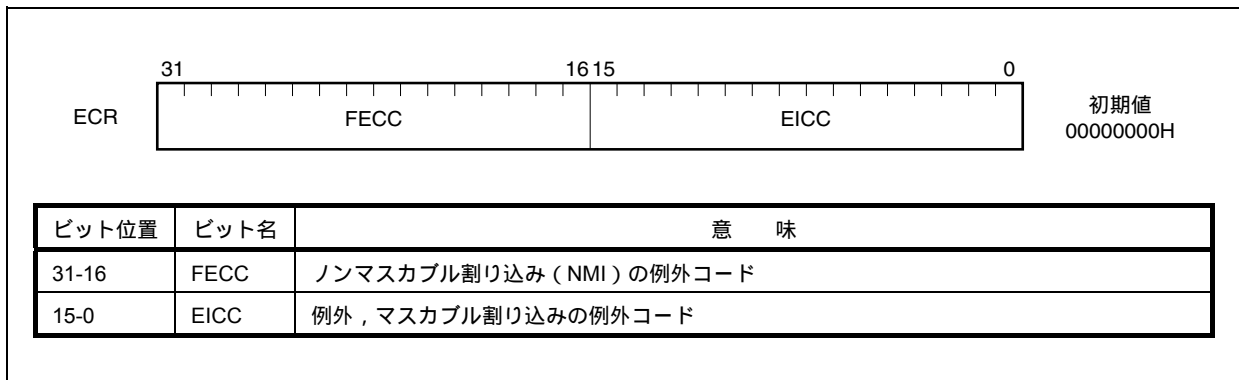
FEPSWには、現在のPSWの内容が退避されます。

なお、FEPCのビット31-26とFEPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。



(3) 割り込み要因レジスタ (ECR)

割り込み要因レジスタ (ECR) は、例外や割り込みが発生した場合に、その要因を保持するレジスタです。ECRが保持する値は、割り込み要因ごとにコード化された例外コードです。なお、このレジスタは読み出し専用のため、LDSR命令を使ってこのレジスタにデータを書き込むことはできません。



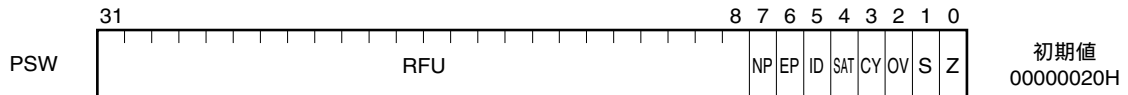
(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワード (PSW) は、プログラムの状態 (命令実行の結果) やCPUの状態を示すフラグの集合です。

LDSR命令を使用してこのレジスタの各ビットの内容を変更した場合は、LDSR命令実行終了直後から変更内容が有効となります。ただし、IDフラグをセット“1”する場合、LDSR命令実行中から割り込み要求の受け付けを禁止します。

なお、ビット31-8は、将来の機能拡張のために予約されています (0に固定)。

(1/2)



ビット位置	フラグ名	意 味
31-8	RFU	予約フィールドです。“0”に固定されています。
7	NP	ノンマスカブル割り込み (NMI) 処理中であることを示します。NMI要求が受け付けられるとセット“1”され、多重割り込みを禁止します。 0: NMI処理中でない。 1: NMI処理中である。
6	EP	例外処理中であることを示します。例外の発生でセット“1”されます。なお、このビットがセットされても割り込み要求は受け付けます。 0: 例外処理中でない。 1: 例外処理中である。
5	ID	マスカブル割り込み要求を受け付ける状態かどうかを示します。 0: 割り込み可 1: 割り込み不可
4	SAT ^注	飽和演算命令の演算結果がオーバフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット“1”され、以降の命令の演算結果が飽和しなくてもクリア“0”されません。クリア“0”する場合は、LDSR命令により行います。なお、算術演算命令の実行では、セット“1”もクリア“0”も行いません。 0: 飽和していない。 1: 飽和している。
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0: キャリー、またはボローは発生していない。 1: キャリー、またはボローが発生した。
2	OV ^注	演算中にオーバフローが発生したかどうかを示します。 0: オーバフローは発生していない。 1: オーバフローが発生した。
1	S ^注	演算の結果が負かどうかを示します。 0: 演算の結果は、正または0であった。 1: 演算の結果は負であった。
0	Z	演算の結果が0かどうかを示します。 0: 演算の結果は0でなかった。 1: 演算の結果は0であった。

備考 注の説明は次ページに記載しています。

注 飽和演算時の OV フラグと S フラグの内容で飽和処理した演算結果が決まります。また、飽和演算時に OV フラグがセット “ 1 ” 場合だけ、SAT フラグはセット “ 1 ” されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正 (最大値を越えない)	演算前の値を	0	0	演算結果そのもの
負 (最大値を越えない)	保持		1	

(5) CALLT実行時状態退避レジスタ (CTPC, CTPSW)

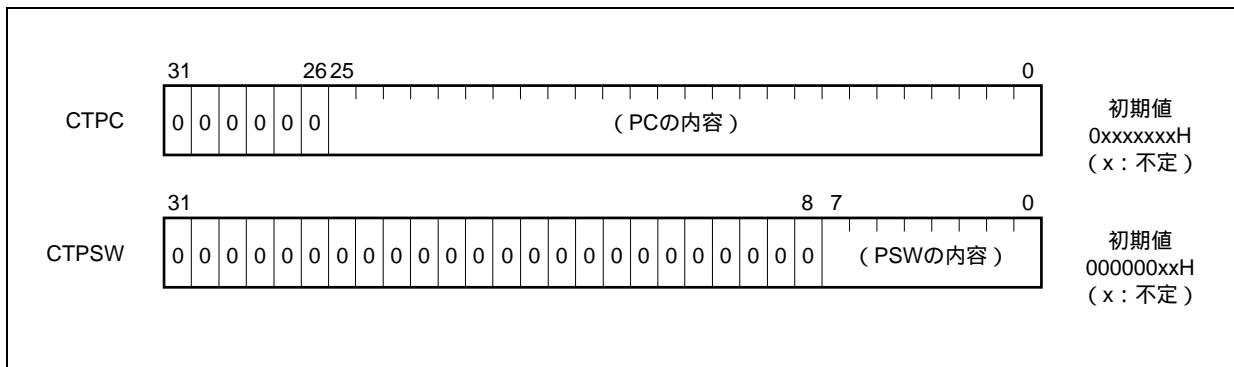
CALLT実行時状態退避レジスタには、CTPCとCTPSWがあります。

CALLT命令が実行されると、プログラム・カウンタ (PC) の内容がCTPCに、プログラム・ステータス・ワード (PSW) の内容がCTPSWに退避されます。

CTPCに退避される内容は、CALLT命令の次の命令のアドレスです。

CTPSWには、現在のPSWの内容が退避されます。

なお、CTPCのビット31-26とCTPSWのビット31-8は、将来の機能拡張のために予約されています (“ 0 ” に固定)。



(6) 例外 / デバッグ・トラップ時状態退避レジスタ (DBPC, DBPSW)

例外 / デバッグ・トラップ時状態退避レジスタとして、DBPCとDBPSWがあります。

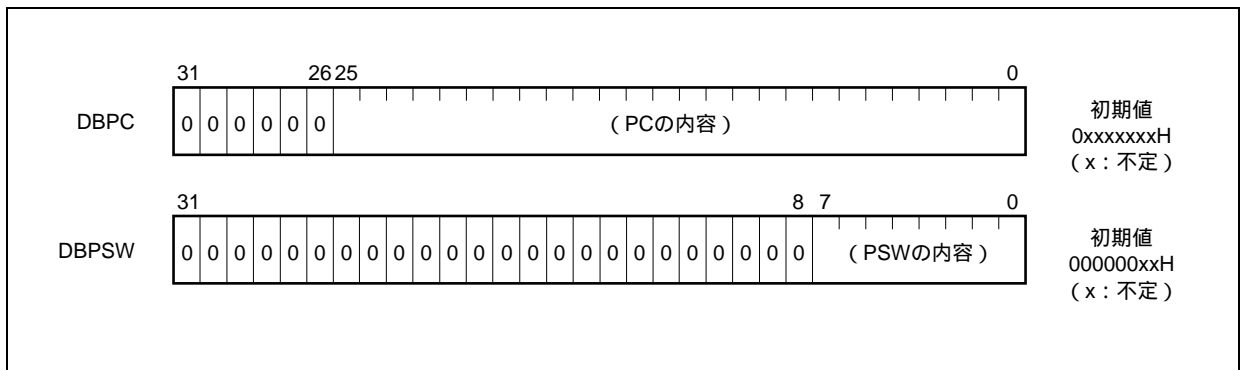
例外トラップ、またはデバッグ・トラップが発生すると、プログラム・カウンタ (PC) の内容がDBPCに、プログラム・ステータス・ワード (PSW) の内容がDBPSWに退避されます。

DBPCに退避される内容は、例外トラップ、またはデバッグ・トラップが発生したときに実行していた命令の次の命令のアドレスです。

DBPSWには、現在のPSWの内容が退避されます。

このレジスタへのリード / ライトはDBTRAP命令または不正命令を実行してからDBRET命令を実行するまでの期間だけ可能です。

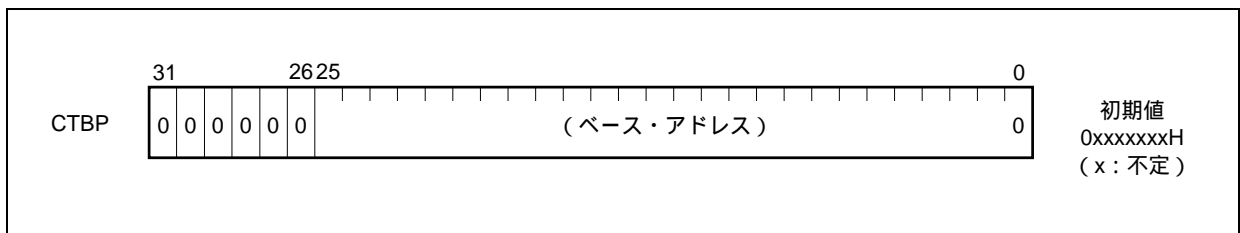
なお、DBPCのビット31-26とDBPSWのビット31-8は、将来の機能拡張のために予約されています (“0” に固定)。DBRET命令によりDBPCの値はPCへ、DBPSWの値はPSWに復帰します。



(7) CALLTベース・ポインタ (CTBP)

CALLTベース・ポインタ (CTBP) は、テーブル・アドレスの指定、ターゲット・アドレスの生成に使用されます (ビット0は “0” に固定)。

なお、ビット31-26は、将来の機能拡張のために予約されています (“0” に固定)。



3.3 動作モード

CPUの動作モードと、どのようにしてモードを指定するかを説明します。

CPUには次の動作モードがあります。

- ・通常動作モード
- ・フラッシュ・プログラミング・モード
- ・オンチップ・デバッグ・モード

FLMD0, FLMD1端子の状態により動作モードを指定します。通常モード時はリセット解除時にFLMD0端子がロウ・レベル入力となるようにしてください。フラッシュ・メモリ・プログラミング・モード時のFLMD0端子へのハイ・レベル入力は、フラッシュ・ライター接続時はフラッシュ・ライターから行いますが、セルフ・プログラミング時は外部回路で行ってください。

表3-3 動作モードの選択

端 子		動作モード
FLMD0	FLMD1 (PDL5)	
L	x	通常動作モード (フラッシュ・メモリからフェッチ)
H	L	フラッシュ・プログラミング・モード
	H	設定禁止

備考1. FLMD1端子はPDL5端子と兼用になっています。

2. x : 任意
- L : ロウ・レベル入力
- H : ハイ・レベル入力

3.3.1 通常動作モード

システム・リセット解除後、バス・インタフェース関連の各端子はポート・モードになり、内蔵ROMのリセット・エントリ・アドレスに分岐し、命令処理を開始します。

3.3.2 フラッシュ・プログラミング・モード

このモードを指定すると、フラッシュ・ライターによる内蔵フラッシュ・メモリへのプログラム動作が可能になります。

詳細は、第7章 フラッシュ・メモリを参照してください。

3.3.3 オンチップ・デバッグ・モード

JTAG (Joint Test Action Group) の通信仕様を利用して、オンチップ・デバッグ・エミュレータを介したオンチップ・デバッグが可能になります。詳細は第22章 オンチップ・デバッグ・ユニットを参照してください。

3.4 アドレス空間

CPUのアドレス空間を解説します。CPUアドレス空間と物理アドレス空間の大きさとアドレスを解説し、また、データ空間とプログラム空間のアドレス範囲を、各空間のラップ・アラウンド特性とともに解説します。

3.4.1 CPUアドレス空間と物理アドレス空間

CPUは次のアドレス空間に対応しています。

- ・4 GバイトのCPUアドレス空間

32ビット汎用レジスタを使用して、4 Gバイトのメモリのアドレスを生成できます。これが、CPUが対応する最大アドレス空間となります。

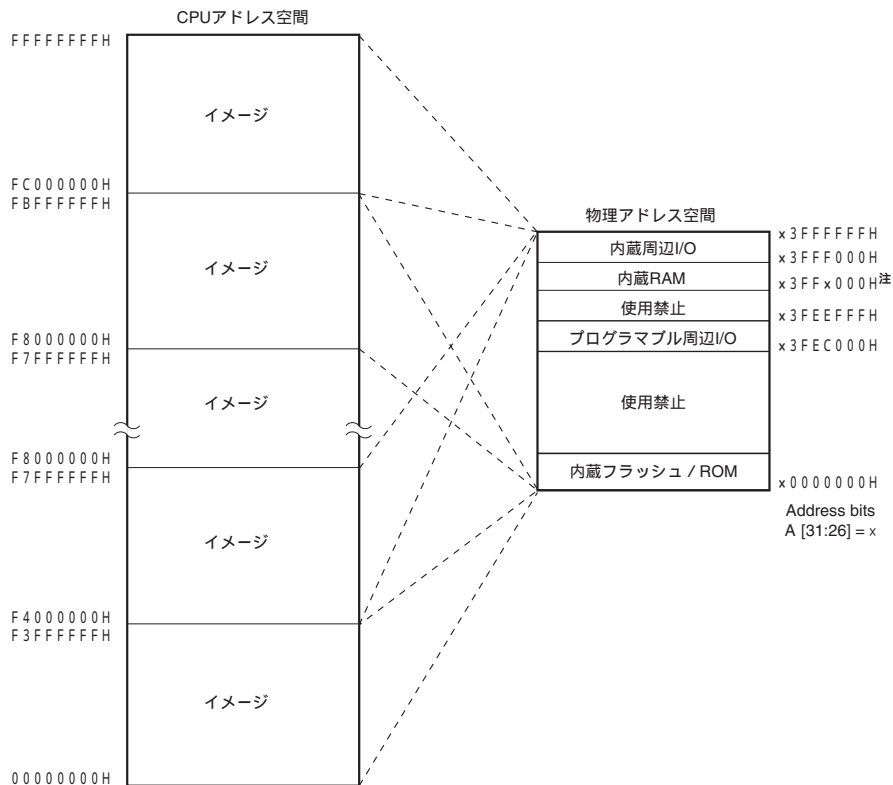
- ・64 Mバイトの物理アドレス空間

CPUは64 Mバイトの物理空間を提供します。つまり、最大64 Mバイトの内蔵メモリにアクセスできます。

32ビット・アドレスは、対応する物理アドレスに変換されます。この時、アドレスのビット31-ビット26は無視されます。したがって、64個のアドレスが同じ物理アドレスを示すこととなります。言い換えれば、物理アドレス00000000Hのデータは、アドレス04000000H, 08000000H, ..., F8000000HまたはFC000000Hで追加アクセスできます。

4 GバイトのCPUアドレス空間には64 Mバイトの物理アドレス空間が64個のイメージとして見えます。

図3 - 1 CPUアドレス空間上のイメージ



注 内蔵RAM領域の開始アドレスは各製品によって異なります。詳細は、3.5.1(2)内蔵RAM領域を参照してください。プログラマブル周辺I/O領域だけは、4 Gバイトのアドレス空間に256 Mバイトごとのイメージとして見えます。

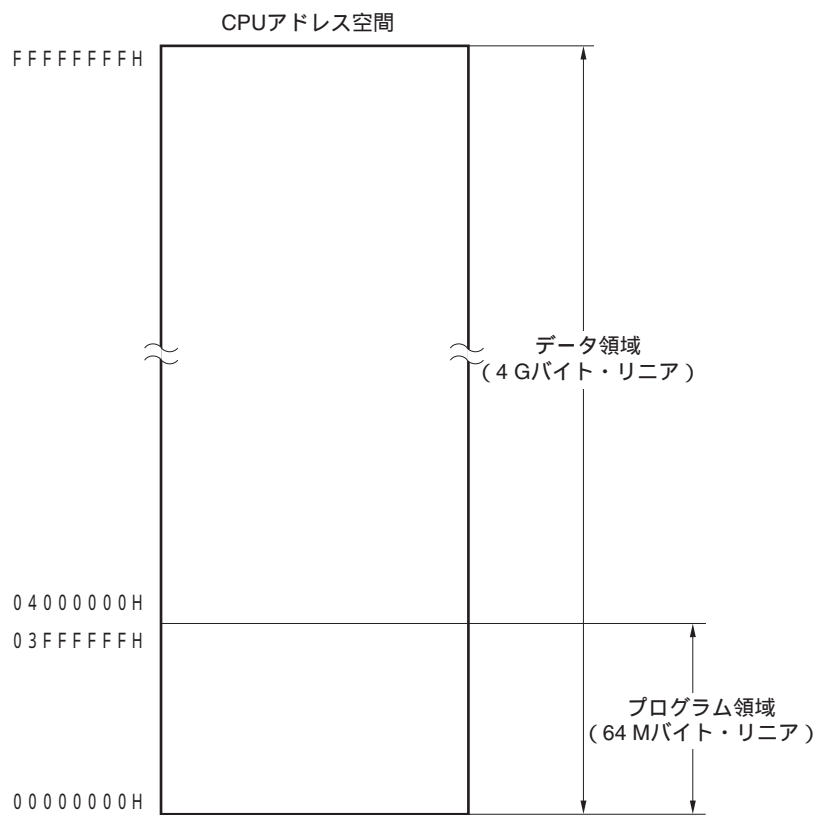
3.4.2 プログラム空間とデータ空間

CPUアドレス空間には次のようにデータと命令を割り付けることができます。

- ・データ空間として4 Gバイト
全CPUアドレス空間をオペランド・アドレッシングに使用できます。
- ・プログラム空間として64 Mバイト
CPUアドレス空間の下位64 Mバイトだけを命令アドレッシングに使用できます。分岐命令の命令アドレスを算出し、プログラム・カウンタ (PC) に転送すると、ビット31-26はゼロにクリアされます。

図3 - 2にCPUアドレス空間のデータ空間とプログラム空間の割り当てを示します。

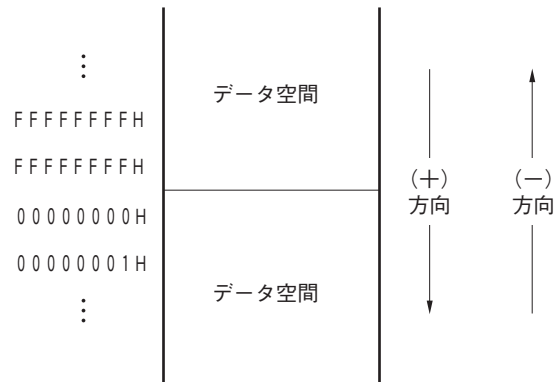
図3 - 2 CPUアドレス空間



(1) データ空間のラップ・アラウンド

オペランド・アドレス計算で32ビットを越える演算結果は無視し、結果の下位32ビットのみを考慮します。したがって、データ空間の下限である00000000H番地と、上限のFFFFFFFFH番地は連続したアドレスになります。結果として、データ空間をラップ・アラウンドします。

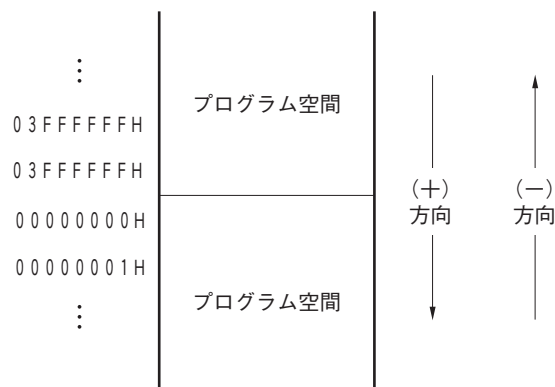
図3-3 データ空間のラップ・アラウンド



(2) プログラム空間のラップ・アラウンド

命令アドレス計算で26ビットを越える演算結果は無視し、結果の下位26ビットのみを考慮します。したがって、データ空間の下限である00000000H番地と、上限の03FFFFFFH番地は連続したアドレスになります。結果として、プログラム空間をラップ・アラウンドします。

図3-4 プログラム空間のラップ・アラウンド



注意 03FFF000H-03FFFFFFHの4 Kバイトの領域は、内蔵周辺I/O領域のため、命令フェッチすることができません。したがって、この領域に対して分岐命令を実行しないでください。

3.5 メモリ

CPUのメモリに関し説明します。また、特定のメモリ領域を解説し、アドレス空間の推奨使用方法も説明します。

3.5.1 メモリ領域

CPUの内蔵メモリは次の領域で構成されます。

- ・内蔵ROM領域
- ・内蔵RAM領域
- ・内蔵周辺I/O領域
- ・プログラマブルI/O領域

次に、各領域を簡単に説明します。

(1) 内蔵ROM領域

内蔵ROM領域は最大1 Mバイトが予約されています。

表3 - 4に製品ごとの物理内蔵ROM領域の大きさとアドレス範囲を示します。

表3 - 4 物理内蔵ROM領域

製品	デバイス	フラッシュ・メモリ・サイズ	物理内蔵ROM領域
V850ES/FE3-L	μPD70F3610	64 KB	00000000H-0000FFFFH
	μPD70F3611	96 KB	00000000H-00017FFFH
	μPD70F3612	128 KB	00000000H-0001FFFFH
	μPD70F3613	192 KB	00000000H-0002FFFFH
	μPD70F3614	256 KB	00000000H-0003FFFFH
V850ES/FF3-L	μPD70F3615	64 KB	00000000H-0000FFFFH
	μPD70F3616	96 KB	00000000H-00017FFFH
	μPD70F3617	128 KB	00000000H-0001FFFFH
	μPD70F3618	192 KB	00000000H-0002FFFFH
	μPD70F3619	256 KB	00000000H-0003FFFFH
V850ES/FG3-L	μPD70F3620	128 KB	00000000H-0001FFFFH
	μPD70F3621	192 KB	00000000H-0002FFFFH
	μPD70F3622	256 KB	00000000H-0003FFFFH

注意 内蔵ROM領域として予約している1 MB(00000000H-00FFFFFFH番地)領域のうち、表3 - 4の物理内蔵ROM領域以外は使用禁止領域です。

(2) 内蔵RAM領域

内蔵RAM領域は最大60 Kバイトが予約されています。

表3 - 5に製品ごとの物理内蔵RAM領域の大きさとアドレス範囲を示します。

表3 - 5 物理内蔵RAM領域

製品	デバイス	RAMサイズ	物理内蔵RAM領域
V850ES/FE3-L	μPD70F3610	6 KB	03FFD800H-03FFEFFFFH
	μPD70F3611	6 KB	03FFD800H-03FFEFFFFH
	μPD70F3612	8 KB	03FFD000H-03FFEFFFFH
	μPD70F3613	12 KB	03FFC000H-03FFEFFFFH
	μPD70F3614	16 KB	03FFB000H-03FFEFFFFH
V850ES/FF3-L	μPD70F3615	6 KB	03FFD800H-03FFEFFFFH
	μPD70F3616	6 KB	03FFD800H-03FFEFFFFH
	μPD70F3617	8 KB	03FFD000H-03FFEFFFFH
	μPD70F3618	12 KB	03FFC000H-03FFEFFFFH
	μPD70F3619	16 KB	03FFB000H-03FFEFFFFH
V850ES/FG3-L	μPD70F3620	8 KB	03FFD000H-03FFEFFFFH
	μPD70F3621	12 KB	03FFC000H-03FFEFFFFH
	μPD70F3622	16 KB	03FFB000H-03FFEFFFFH

注意 内蔵RAM領域として予約している60 Kバイト（3FF000H-3FFEFFFF番地）領域のうち、表3 - 5の物理内蔵RAM領域以外は使用禁止領域です。

- ・本製品は、内部システム・リセット解除後、ファームウェアにより内蔵RAMの一部が使用されます。したがって、パワーオン状態でのリセットでも一部領域の内蔵RAM内容を保持しません（RAMの先頭アドレスから150バイトおよび最終アドレスから100バイト）。

（ファームウェアが使用する内蔵RAMの領域）

RAMサイズ6 Kバイト製品 : 03FFD800H-03FFD895H, および03FFEF9CH-03FFEFFFFH

RAMサイズ8 Kバイト製品 : 03FFD000H-03FFD095H, および03FFEF9CH-03FFEFFFFH

RAMサイズ12 Kバイト製品 : 03FFC000H-03FFC095H, および03FFEF9CH-03FFEFFFFH

RAMサイズ16 Kバイト製品 : 03FFB000H-03FFB095H, および03FFEF9CH-03FFEFFFFH

本製品は、内部システム・リセット解除後、ファームウェアにより内蔵RAMの一部が使用されます。したがって、パワーオン状態でのリセットでも一部領域の内蔵RAM内容を保持しません。第20章 リセット機能を参照してください。

(3) 内蔵周辺I/O領域

アドレス03FFF000Hから03FFFFFFHまでの4 Kバイトの領域は、内蔵周辺I/O領域として予約されています。

内蔵周辺I/O領域には、内蔵周辺I/Oの動作モード指定、状態モニタリングなどの機能を割り付けた周辺I/Oレジスタがマッピングされています。

これらの領域は、プログラム・フェッチを行うことができません。

- 注意1.** 物理アドレス空間は64 Mバイトであるため、アドレス・ビットA [31:26]は考慮されません。したがって、4 Kバイトのアドレス空間をFFFFFF000HからFFFFFFFHHの領域を介してアドレッシングすることができるため、オフセットとゼロ・ベース・レジスタr0で本領域を間接的にアドレッシングできます。
- このため、このユーザーズ・マニュアルでは、周辺I/O領域の周辺I/Oレジスタのアドレス表記を、03FFF000Hから03FFFFFFHではなく、FFFFFF000HからFFFFFFFHHの範囲としています。
- レジスタにワード・アクセスを行うと、アドレスの下位2ビットを無視したワード領域に対して下位、上位の順番でハーフワード・アクセスを2回行います。
 - バイト・アクセス可能なレジスタにハーフワード・アクセスした場合
 - ・リード時：上位8ビットが不定になります。
 - ・ライト時：下位8ビット・データがレジスタに書き込まれます。
 - 内蔵ROM/RAM領域と内蔵周辺I/O領域のアドレスは連続しています。そのため、ポインタ操作などでアドレスをインクリメント/デクリメントしながらアクセスする場合は、誤って内蔵ROM/RAM領域を越えて内蔵周辺I/O領域へアクセスしないください。
 - レジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。

(4) プログラマブル周辺I/O領域

アドレス03FEC000Hから03FEEFFFHの12 Kバイトの領域は、プログラマブル周辺I/O領域として予約されています。

プログラマブル周辺I/O領域にはCANモジュール・レジスタとメッセージ・バッファが割り当てられています。

注意 プログラマブル周辺I/O領域は、4 Gバイトのアドレス空間に256 Mバイトごとのイメージとして見えます。

3.5.2 プログラマブル周辺I/Oレジスタ

プログラマブル周辺I/O領域を有効とするために、BPCレジスタの設定が必要です。

(1) 周辺I/O領域セレクト制御レジスタ (BPC)

16ビット単位でリード/ライト可能です。

リセット時は0000Hになります。

リセット時：0000H R/W アドレス：FFFFFF064H

	15	14	13		10	9	8	7	6	5	4	3	2	1	0	
BPC	PA15	0	PA13	PA12	PA11	PA10	PA9	PA8	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0

PA15	プログラマブル周辺I/O領域の使用許可 / 禁止
0	プログラマブル周辺I/O領域の使用を禁止
1	プログラマブル周辺I/O領域の使用を許可

PA13-PA0	プログラマブル周辺I/O領域の開始アドレス設定 (A27-A14に対応)。
----------	---------------------------------------

注意 必ずBPCレジスタに8FFBHを設定してください。

3.5.3 データ・アドレス空間の推奨使用方法

データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このレジスタは、ポインタ・レジスタと呼ばれます。相対アドレッシングでは、このポインタ・レジスタに入れたアドレスの記号±32 Kバイトには、命令からオペランド・データ・アクセスが行えます。

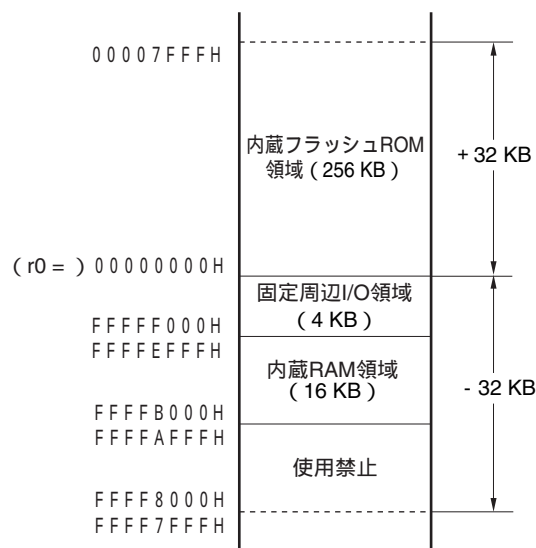
メモリ・マップを考慮したポインタの使用効率を高めるために、次のことが推奨されます。

相対アドレッシングの特長を効率的に活用するには、データ・セグメントはFFFFFF800Hから00000000Hと、00000000Hから00007FFFHまでのアドレス範囲に配置しなければなりません。周辺I/Oレジスタと内蔵RAMは上位境界にアラインされるため、これらのレジスタと一部のRAMは相対アドレッシングでアクセスできます。このときのベース・アドレスは0 (r0) となります。

フラッシュ・メモリ・データ・セグメントは、00007FFFHまでの領域に配置することを推奨します。これにより、これらの定数データをアクセスするために相対アドレッシングを使うことができます。

オペランド・アドレッシングには、r0レジスタをポインタ・レジスタとして使用します。r0レジスタは、ハードウェアによってゼロに固定されているため、ポインタ・レジスタとして使用すると同時に、ゼロ・レジスタが必要とされるその他の目的にも使用できます。このため、他の汎用レジスタをポインタ・レジスタとして予約する必要がなくなります。

図3 - 5 ラップ・アラウンドの応用例



(1) プログラム空間

PC (プログラム・カウンタ) は、32ビットのうち上位6ビットは0に固定であり、下位26ビットだけ有効となります。したがって、プログラム空間に関しては無条件に00000000H番地から連続した64 Mバイト空間がそのままメモリ・マップに対応します。

内蔵RAM領域をプログラム空間として使用する場合は、次の番地に対してアクセスしてください。

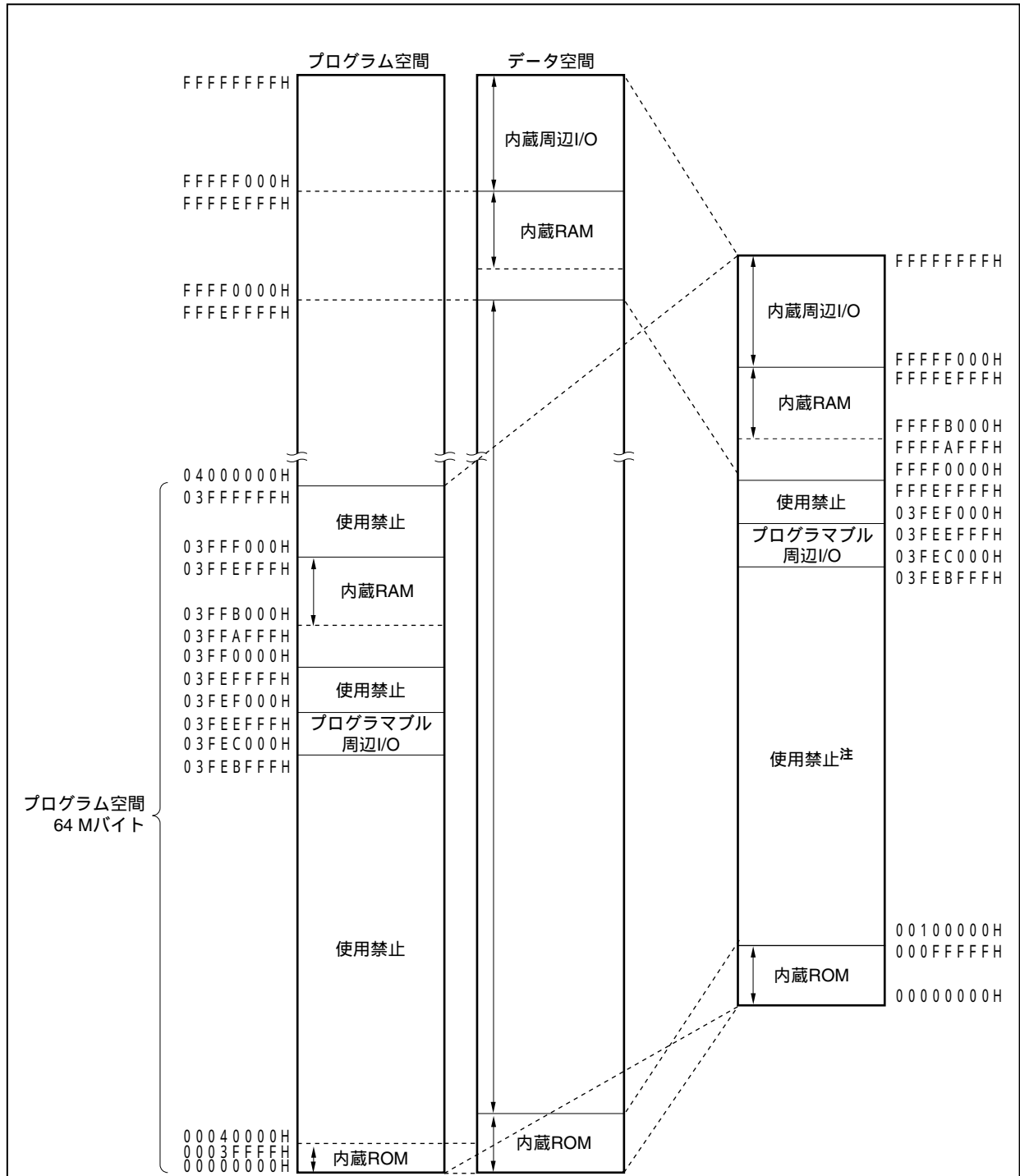
注意 内蔵RAM領域の上限に分岐命令がある場合、内蔵周辺I/O領域にまたがるプリフェッチ動作 (無効フェッチ) は発生しません。

RAMサイズ	アクセス番地
16 Kバイト	03FFB000H-03FFEFFFH
12 Kバイト	03FFC000H-03FFEFFFH
8 Kバイト	03FFD000H-03FFEFFFH
6 Kバイト	03FFD800H-03FFEFFFH

(2) データ空間

本マイクロコントローラでは、4 GバイトのCPUアドレス空間に64 Mバイトの物理アドレス空間が64個のイメージとして見えるため、この26ビット・アドレスの最上位ビット (ビット25) を32ビット長まで符号拡張したアドレスとして割り当てています。

図3-6 推奨メモリ・マップ



注 プログラマブル周辺I/O領域だけは4 Gバイトのアドレス空間に256 Mバイトごとのイメージとして見えます。

備考1. †は推奨使用領域です。

2. この図はμPD70F3622の場合の推奨メモリ・マップです。

3.6 特定レジスタ

特定レジスタとは、プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。特定レジスタに対するライト・アクセスは、コマンド・レジスタにデータを書き込んだ直後にのみ行われます。特定レジスタに書き込みを行う場合は、下記命令を使用する必要があります。

1. ストア命令 (ST/SST命令)
2. ビット操作命令 (SET1/CLR1/NOT1命令)

不正なストア動作はシステム・レジスタ (SYS) に報告されます。

特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

表3 - 6に特定レジスタの概要を示します。

表3 - 6 特定レジスタの概要

特定レジスタ	略号	参 照
プロセッサ・クロック・コントロール・レジスタ	PCC	第4章 クロック発生機能とスタンバイ制御参照
メイン・システム・クロック・モード・レジスタ	MCM	
メイン・クロック発振回路クロック・モニタ・モード・レジスタ	CLM	
パワー・セーブ・コントロール・レジスタ	PSC	
リセット要因フラグ・レジスタ	RESF	第20章 リセット機能参照
内蔵RAMデータ・ステータス・レジスタ	RAMS	第21章 低電圧検出回路参照
低電圧検出レジスタ	LVIM	
オンチップ・デバッグ・モード・レジスタ	OCDM	第22章 オンチップ・デバッグ・ユニット参照

(1) 特定レジスタへのデータ設定

特定レジスタへのデータ設定は次のシーケンスで行います。

任意の汎用レジスタに特定レジスタへ設定するためのデータを用意する。

コマンド・レジスタ (PRCMD) に で用意したデータを書き込む。

特定レジスタに設定データを書き込む (次の命令で行う)。

- ・ストア命令 (ST/SST命令)
- ・ビット操作命令 (SET1/CLR1/NOT1命令)
- NOP命令を挿入する (5命令)^注。

注 IDLE1, IDLE2, STOPモード, サブIDLEモードに移行する場合 (PSCレジスタのSTPビット = 1) には、直後にNOP命令を5命令以上挿入する必要があります。

[記述例] PSCレジスタの場合 (スタンバイ・モードの設定)

```

ST.B r11, PSMR [ r0 ] ;PSMRレジスタ設定 (IDLE1, IDLE2, STOPモードの設定)
MOV 0x02, r10
ST.B r10, PRCMD [ r0 ] ;PRCMDレジスタ書き込み
ST.B r10, PSC [ r0 ] ;PSCレジスタ設定
NOP注 ;ダミー命令
NOP注 ;ダミー命令
NOP注 ;ダミー命令
NOP注 ;ダミー命令
NOP注 ;ダミー命令

```

(next instruction)

なお、特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

注 IDLE1, IDLE2, STOPモード、サブIDLEモードに移行する場合 (PSCレジスタのSTPビット = 1) には、直後にNOP命令を5命令以上挿入する必要があります。

- 注意1.** コマンド・レジスタに対するストア命令では、割り込みを受け付けません。これはプログラムで上記 `ST.B` を連続したストア命令で行うことを前提としているためです。`ST.B` の間にほかの命令が置かれていると、その命令で割り込みを受け付けた際、上記シーケンスが成立しなくなる場合があります、誤動作の要因となります。
2. PRCMDレジスタへ書き込むデータはダミーですが、特定レジスタへの設定 (例 `ST.B r10, PRCMD [r0]`) で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み (例 `ST.B r10, PSC [r0]`) でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。

3.6.1 コマンド・レジスタ

特定レジスタへの書き込みアクセスを制御するレジスタを説明します。

(1) コマンド・レジスタ (PRCMD)

8ビットのPRCMDレジスタは、不適切な書き込みから特定レジスタを保護し、プログラムの暴走などによりシステムが不用意に停止しないようにするものです。

PRCMDレジスタに書き込みを行った直後に特定レジスタに1回だけ書き込みを行うことができます。その後2回目に特定レジスタに書き込みを行っても、そのレジスタは書き込みから保護されているため、書き込みません。

アクセス： 8ビット単位でライトのみ可能です。リードした場合、不定データを読み出します。

アドレス： FFFFFFF1FCH

初期値： リセットにより不定になります。

7	6	5	4	3	2	1	0
x	x	x	x	x	x	x	x
W	W	W	W	W	W	W	W

特定レジスタに無効な書き込みを行うと、エラー・フラグSYS.PRERRがセットされます。

(2) システム・レジスタ (SYS)

8ビットのSYSレジスタは、特定レジスタへの書き込みアクセスの状態を示します。

アクセス： 8/1ビット単位でリード/ライト可能です。

アドレス： FFFFF802H

初期値： リセットにより00Hになります。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	PRERR
R	R	R	R	R	R	R	R/W

表3 - 7 SYSレジスタの内容

ビット位置	ビット名	機能
0	PRERR	プロテクション・エラーの検出： 0：プロテクション・エラーは発生していない。 1：プロテクション・エラーは発生している。

PRERRフラグの動作条件を次に示します。

(a) セット条件 (PRERRフラグ = 1)

- (i) PRCMDレジスタへの書き込み動作を行わず、特定レジスタへの書き込み動作を行ったとき (3.6(1) 特定レジスタへのデータ設定例で示す を行わずに を行なったとき)。
- (ii) PRCMDレジスタへの書き込み動作後、特定レジスタ以外の内蔵周辺I/Oレジスタに書き込み動作 (ビット操作命令を含む) を行なったとき (3.6(1) 特定レジスタへのデータ設定例で示す が特定レジスタでなかったとき)。

備考 特定レジスタは、PRCMDレジスタへの書き込み動作と特定レジスタへの書き込み動作の間に、内蔵周辺I/Oレジスタの読み出し動作 (ビット操作命令を除く) など内蔵RAMへのアクセスを行っても、PRERRフラグはセットされず、特定レジスタに設定データを書き込むことができます。

(b) クリア条件 (PRERRフラグ = 0)

- (i) SYSレジスタのPRERRフラグに0を書き込んだとき。
- (ii) システム・リセットしたとき。

- 注意**
1. PRCMDレジスタへの書き込み動作直後に、特定レジスタではないSYSレジスタのPRERRビットに“0”を書き込んだ場合、PRERRビットは“0”になります (ライト優先)。
 2. PRCMDレジスタへの書き込み動作直後に、特定レジスタではないPRCMDレジスタへの書き込み動作を行った場合、PRERRビットは“1”になります。

3.7 注意事項

(1) 最初に設定するレジスタ

本マイクロコントローラを使用する際には、必ず最初に次のレジスタを設定してください。

- ・システム・ウェイト・コントロール・レジスタ (VSWC)
- ・オンチップ・デバッグ・モード・レジスタ (OCDM)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM2)

OCDMレジスタを設定したあとに、VSWC, WDTM2レジスタを設定し、その後必要に応じてその他の各レジスタを設定してください。

(a) システム・ウェイト・コントロール・レジスタ (VSWC)

VSWCレジスタは、内蔵周辺I/Oレジスタに対するバス・アクセスのウェイトを制御するレジスタです。

内蔵周辺I/Oレジスタへのアクセスは3クロック (ノー・ウェイト時) ですが、本マイクロコントローラでは動作周波数によりウェイトが必要です。使用する動作周波数に応じて、VSWCレジスタには次に示す値を設定してください。

動作周波数 (f _{CPU})	VSWCの設定値	ウェイト数
f _{CPU} < 16.6 MHz	00H	0
16.6 MHz f _{CPU} < 20 MHz	01H	1

(b) オンチップ・デバッグ・モード・レジスタ (OCDM)

詳細は、第22章 オンチップ・デバッグ・ユニットを参照してください。

(c) ウォッチドッグ・タイマ・モード・レジスタ2 (WDT2)

WDTM2レジスタは、ウォッチドッグ・タイマ2のオーバフロー時間およびクロックを設定するレジスタです。

ウォッチドッグ・タイマ2は、リセット解除後、自動的にリセット・モードでスタートします。動作を確保するために、WDT2レジスタへの書き込みを行ってください。

詳細は、第17章 ウォッチドッグ・タイマ2機能を参照してください。

(2) 特定の内蔵周辺I/Oレジスタへのアクセスについて

この製品は、内部に2種類のシステム・バスを持っています。

1つはCPU用バスで、もう1つは低速周辺ハードウェアとのインタフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期の関係となるため、CPUと周辺ハードウェアとのアクセス間に競合が発生した場合は、予期しない不正データの受け渡しが行われる可能性があります。したがって、競合の恐れがある周辺ハードウェアへのアクセス時は、CPUは正しいデータの受け渡しが行われるよう、アクセス・サイクル数が変わります。その結果、CPUは次の命令処理に移行せず、CPU処理としてウエイト状態となるため、このウエイトが発生した場合、命令の実行クロック数が次に示すウエイト・クロック数分長くなります。

リアルタイム性が要求される処理を行う場合は、この内容に注意してください。

特定の内蔵周辺I/Oレジスタへのアクセス時に、VSWCレジスタで設定したウエイト以外に、さらにウエイトを要する場合があります。

その際のアクセス条件と、挿入されるウエイト数（CPUクロック数）の算出方法を次に示します。

(1/2)

周辺機能	レジスタ名称	アクセス	k
16ビット・タイマ/イベント・カウンタAA (TAA)	TAAAnCNT	リード (TAA動作時)	1
	TAAAnCCR0, TAAAnCCR1	ライト (TAA動作時)	0-4 ^注
		リード (TAA動作時)	1
	TAAAnIOC4	ライト (TAA動作時)	0-4 ^注
ウォッチドッグ・タイマ2 (WDT2)	WDTM2	ライト (WDT2動作時)	3
A/Dコンバータ	ADAnM0	リード	1-3
	ADAnCRm	リード	1-3
	ADAnCRmH	リード	1-3
	ADAnCRDD	リード	1-3
	ADAnCRDDH	リード	1-3
	ADAnCRSS	リード	1-3
	ADAnCRSSH	リード	1-3
I ² C	IICS0	リード	1

注 対象となる同一レジスタに連続してライトする場合にウエイトは発生します。1回のみライトする場合、ウエイトは発生しません。

備考 n, m: 製品により異なります。詳細は、表1-1 V850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-Lの機能概要を参照してください。

周辺機能	レジスタ名称	アクセス	k
CANコントローラ	C0GMCTRL, C0GMCS, C0GMABT, C0GMABTD, C0MASKaL, C0MASKaH, C0CTRL, C0LEC, C0INFO, C0ERC, C0IE, C0INTS, C0BRP, C0BTR, C0TS	リード/ライト	1-2
	C0RGPT, C0LIPT, C0TGPT, C0LOPT	リード	1-3
	C0MDATA01m, C0MDATA0m, C0MDATA1m, C0MDATA23m, C0MDATA2m, C0MDATA3m, C0MDATA45m, C0MDATA4m, C0MDATA5m, C0MDATA67m, C0MDATA6m, C0MDATA7m, C0MDLcM, C0MCONFm, C0MIDLm, C0MIDHm, C0MCTRLm	ライト (8ビット)	1-3
		ライト (16ビット)	1-2
		リード	1-3

アクセスに必要なクロック数 = $3 + i + j + (2 + j) \times k$

注意 次に示す状態において、上記レジスタへのアクセスは禁止です。ウエイトが発生した場合、解除する方法はリセットだけです。

- CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- CPUが低速内蔵発振器で動作している場合

備考 i: VSWCレジスタの上位4ビットの値 (0, 1)

j: VSWCレジスタの下位4ビットの値 (0, 1, 2)

n, m: 製品により異なります。詳細は、表1-1 V850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-Lの機能概要を参照してください。

第4章 クロック発生機能とスタンバイ制御

クロック発生機能の概要を次に示します。

4.1 概 要

- ・メイン・クロック発振回路： 4 MHzから16 MHzの外付け発振子と接続し発振
- ・サブクロック発振回路： 外付け発振子(32.768 kHz)または外付けRC(20 kHz)と接続し発振(R = 390 k Ω , C = 47 pF)
- ・低速内蔵発振器： 240 kHz (TYP.)
- ・高速内蔵発振器： 8 MHz (TYP.)

特 徴： クロック発生機能には次のような特徴があります。

- ・メイン・クロック用PLL
クロック・スルー・モード： $f_x = 4 \sim 16$ MHz ($f_{xx} = 4 \sim 16$ MHz)
PLL (Phase Locked Loop) モード (8通倍) :
 $f_x = 4 \sim 16$ MHz ($f_{xx} = 12 \sim 20$ MHz)
- ・サブクロック発振回路 (f_{XT}) : 外付け発振子または外付けRCを選択可能
- ・2つの内蔵発振器 ($f_{RL} = 240$ kHz, $f_{RH} = 8$ MHz)
- ・内部メイン・システム・クロック生成
7段階 (f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, f_{XT} または f_{RL})
サブクロック：オプション・バイトの設定で f_{XT} または f_{RL} を選択可能。
- ・周辺クロック生成
- ・クロック出力機能 (CLKOUT端子)
- ・プログラマブル・クロック出力機能 (PCL端子)
- ・時計タイマ, CSIB0およびCANへのメイン発振クロックの直接供給に対応。
- ・メイン・クロック発振回路用クロック・モニタ

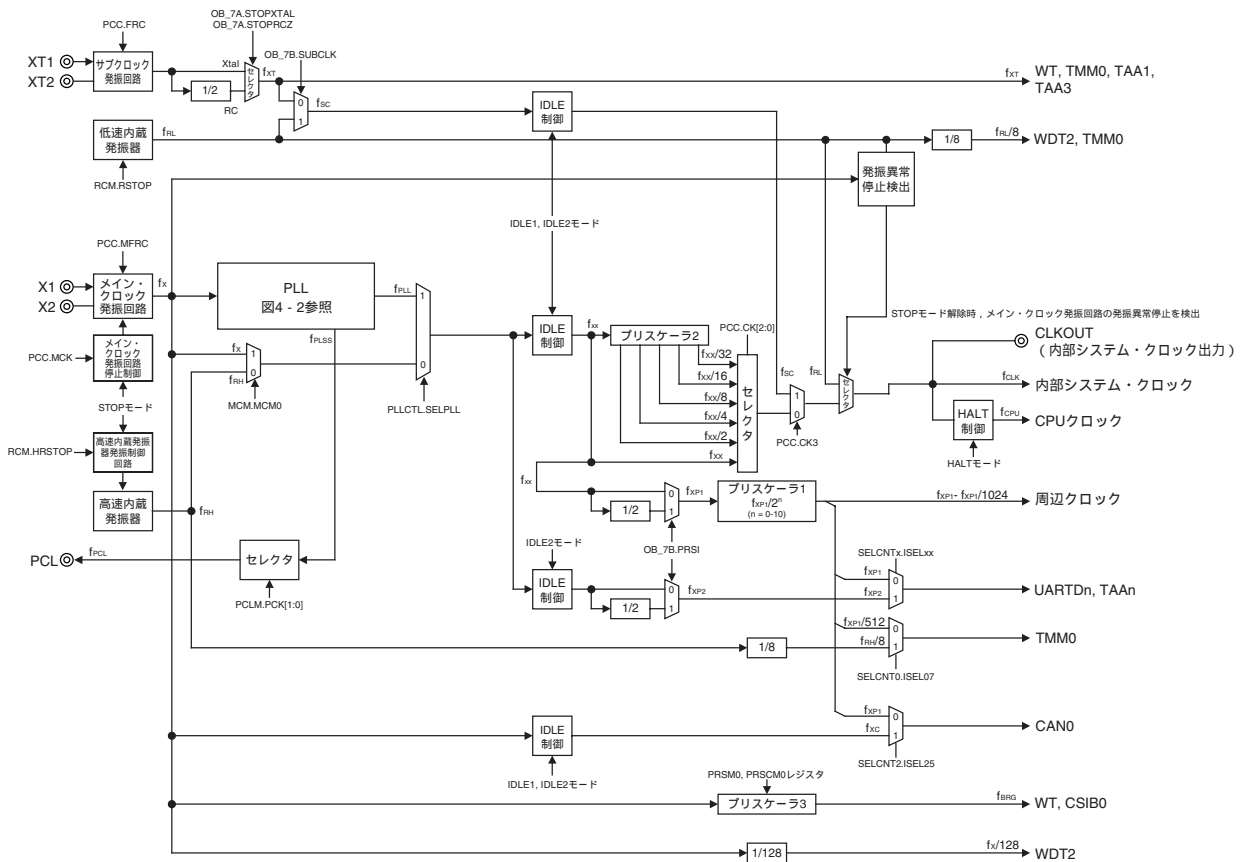
備考 1. PLL回路の前段には分周器があり, PLLへの入力 (f_{PLL1}) は f_x , $f_x/2$ または $f_x/4$ に設定できます。

- 2. f_x : メイン・クロック発振周波数
- f_{xx} : メイン・クロック周波数
- f_{RL} : 低速内蔵発振クロック周波数
- f_{RH} : 高速内蔵発振クロック周波数
- f_{XT} : サブクロック発振周波数

4.1.1 構成

下図にクロック発生回路の構成を示します。

図4 - 1 クロック発生回路



注意 f_{XP1} が高速内蔵発振クロック (f_{RH}) をソース・クロックとするよう設定されている場合、3線式リアル・インタフェース (CSIB) は、 f_{XP1} クロックをその分周クロックを含め、入力クロック (動作クロック) に設定して使用できません。

備考1. OB_7A.ビット名, OB_7B.ビット名はオプション・バイト007AHと007BHの制御ビットです。

2. f_{BRG} : 時計タイマ, CSIB0入力クロック周波数

f_{PLSS} : PCL出力用途通倍ブロック出力周波数

f_{XP1} : 周辺クロック用プリスケラ1入力クロック周波数

f_{XP2} : UARTD0, TAAAn用クロック

f_{PLL} : 通倍ブロック出力周波数

f_{XX} : メイン・クロック周波数

f_{PCL} : PCL出力クロック周波数

f_{RL} : 低速内蔵発振クロック周波数

f_{RH} : 高速内蔵発振クロック周波数

f_{XT} : サブクロック発振周波数

f_{SC} : サブクロック周波数

f_{CLK} : 内部システム・クロック

f_{CPU} : CPUクロック

f_X : メイン・クロック発振周波数

図4 - 1の左側は、4種類の発振源が生成するクロックをどのようにしてCPUと周辺モジュールに接続できるかを示しています。クロック経路は、ソフトウェア制御のセレクタで指定します。

メイン・クロック発振回路：メイン・クロック発振回路（MainOSC）は、 $f_x = 4$ MHzから16 MHzで発振します。リセット解除後、メイン・クロック発振回路は停止状態です（発振の開始はソフトウェアで設定する必要があります）。

メイン・クロック発振回路の発振はSTOPモードで停止します。また、発振の許可/禁止はPCCレジスタによって制御します。

サブクロック発振回路：外付け発振子（32.768 kHz）での発振、または外付けRCによる発振（20 kHz（TYP.））に対応しています。

低速内蔵発振器：240 kHz（TYP.）でクロック f_{RL} を生成します。この発振器は、RCMレジスタの設定により停止しますが、オプション・バイト007AHで停止不可を選択している場合、発振は停止できません。

高速内蔵発振器：8 MHzでクロック（ f_{RH} ）を生成します。この高速内蔵発振器はリセット解除後に起動します。

発振をRCMレジスタの設定によって停止できます。

メイン・クロック（ f_{xx} ）：メイン・システム・クロック（ f_{xx} ）はクロック源として次から選択できます。

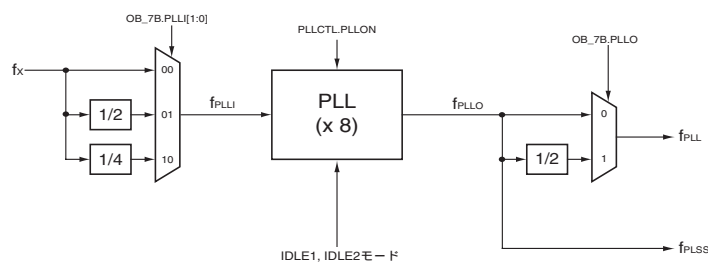
- ・ クロック・スルー・モード：メイン・クロック発振周波数（ f_x ）または高速内蔵発振クロック周波数（ f_{RH} ）から選択。

- ・ PLLモード： f_{PLLO} （PLL出力）

スルー・クロックか逡倍クロックかの選択は、PLLCTL.SELPLLビットで設定します。

PLL： PLLはメイン・クロック（ f_{xx} ）として使用できるクロック（ f_{PLL} ）を生成します。次の図は、PLL回路のブロック図です。

図4 - 2 PLLのブロック図



注意 OB_7B.PLLOに"0"は設定禁止です。必ず"1"に設定してください。

備考 1. OB_7B.ビット名はオプション・バイト007BHの制御ビットです。

2. f_{PLLI} ： PLL入力クロック周波数

f_{PLLO} ： PLL出力周波数

f_{PLL} は、オプション・バイト（OB7B.PLLO）により、 $f_{PLL} = f_{PLLO}/2$ となります。

- PLL

PLL回路の前段には分周器があり、PLLへの入力 (f_{PLL}) は f_x 、 $f_x/2$ または $f_x/4$ に設定できます。この分周器は、オプション・バイト (OB7B.PLLI [1:0]) で設定します。PLL回路は、メイン・クロック発振周波数 (f_x)、またはその分周クロックを8週倍します。PLLはPLLCTL.PLLONビットによって起動、停止します。

(a) PLLを使用する場合のクロック設定例

- (A) , (A1) , (A2) 品質水準品

f _x [MHz]	PLLCTL.SELPLL	OB_7B.PLLI1	OB_7B.PLLI0	OB_7B.PLLO	f _{xx} [MHz]	動作クロック
4	0	x	x	x	4	クロック・スルー・モード
	1	0	0	1	16	PLLモード (f _{PLL} = f _x)
	1	0	1	1	設定禁止	PLLモード (f _{PLL} = f _x /2)
	1	1	x	1	設定禁止	PLLモード (f _{PLL} = f _x /4)
5	0	x	x	x	5	クロック・スルー・モード
	1	0	0	1	20	PLLモード (f _{PLL} = f _x)
	1	0	1	1	10	PLLモード (f _{PLL} = f _x /2)
	1	1	x	1	設定禁止	PLLモード (f _{PLL} = f _x /4)
6	0	x	x	x	6	クロック・スルー・モード
	1	0	0	1	設定禁止	PLLモード (f _{PLL} = f _x)
	1	0	1	1	12	PLLモード (f _{PLL} = f _x /2)
	1	1	x	1	設定禁止	PLLモード (f _{PLL} = f _x /4)
8	0	x	x	x	8	クロック・スルー・モード
	1	0	0	1	設定禁止	PLLモード (f _{PLL} = f _x)
	1	0	1	1	16	PLLモード (f _{PLL} = f _x /2)
	1	1	x	1	設定禁止	PLLモード (f _{PLL} = f _x /4)
10	0	x	x	x	10	クロック・スルー・モード
	1	0	0	1	設定禁止	PLLモード (f _{PLL} = f _x)
	1	0	1	1	20	PLLモード (f _{PLL} = f _x /2)
	1	1	x	1	10	PLLモード (f _{PLL} = f _x /4)
12	0	x	x	x	12	クロック・スルー・モード
	1	0	0	1	設定禁止	PLLモード (f _{PLL} = f _x)
	1	0	1	1	設定禁止	PLLモード (f _{PLL} = f _x /2)
	1	1	x	1	12	PLLモード (f _{PLL} = f _x /4)
16	0	x	x	x	16	クロック・スルー・モード
	1	0	0	1	設定禁止	PLLモード (f _{PLL} = f _x)
	1	0	1	1	設定禁止	PLLモード (f _{PLL} = f _x /2)
	1	1	x	1	16	PLLモード (f _{PLL} = f _x /4)

(1) 内部システム・クロックとCPUクロック

- ・ f_{CLK} : 内部システム・クロック
- ・ f_{CPU} : CPUクロック

表4 - 1に内部システム・クロックとCPUクロックのクロック・ソースの概要を示します。

表4 - 1 内部システム・クロックとCPUクロックのクロック・ソース

クロック・ソース	周波数	説明
高速内蔵発振器	Typ.8 MHz	リセット解除後のクロック
低速内蔵発振器	Typ.240 kHz	クロック・ソースとして選択可能。また、メイン・クロック発振回路が停止した場合のクロック
サブクロック発振回路	32 kHzまたは20 kHz	クロック・ソースとして選択可能
メイン・クロック発振回路	4 ~ 16 MHz	クロック・スルー・モードの内部システム・クロック
PLL	20 MHz以下	PLL自体は8逓倍固定。 前後の分周段を使用することにより、メイン・クロック発生回路の1, 2, 4, 8逓倍を選択可能

メイン・クロック発振回路，PLL，高速内蔵発振器の各クロック・ソースは，メイン・クロック（f_{xx}）を生成します。このマスタ・クロックはプリスケアラ2に入力されます。プリスケアラ2はメイン・クロック（f_{xx}）を1, 2, 4, 8, 16または32分周します。プリスケアラ2の動作はPCCレジスタで設定します。

プリスケアラ2，サブクロック発振回路または低速内蔵発振器が生成するクロックは，CPUクロック（f_{CPU}）と内部システム・クロック（f_{CLK}）に適用されます。

f_{CLK}は，CLKOUT端子から出力可能です。

(2) 周辺クロック

図4 - 1 クロック発生回路の中央と右側は，周辺用のクロックがどのように生成，分配されるかを示しています。

周辺クロック用プリスケアラ1入力クロック（f_{XP1}）： f_{XP1}のクロック・ソースはf_{xx}です。

プリスケアラ1：

周辺クロックはプリスケアラ1から供給されます。

このプリスケアラ1は，タイマ，シリアル・インタフェース，A/Dコンバータといった内蔵周辺機能に供給される周辺クロック（f_{XP1}-f_{XP1}/1024）を生成します。

(3) 特定クロック

クロック発生回路は、次のような特定クロックを生成し、特定の周辺機能に供給します。

UARTDn, TAAAnのクロック :	このクロックは f_{XP1} または f_{XP2} から選択可能です。 f_{XP1} はIDLE1, IDLE2モードで停止しますが、 f_{XP2} はIDLE2モードでのみ停止します。 タイマTAA1, TAA3にはサブクロック発振周波数(f_{XT})も供給選択可能です。
TMM0のクロック :	TMM0タイマには、どの発振器からでもクロックを供給できます。 f_{XP1} または f_{RH} を供給するかは、SELCNT0.ISEL07ビットで選択できます。
CAN0のクロック :	CANコントローラには、SELCNTxレジスタで f_{XP1} または f_{XC} を選択し、クロックとして供給できます。 f_{XC} はメイン・クロック発振回路の生成するクロックをCANコントローラに直接供給する場合に選択します。
時計タイマ(WT)のクロック :	リセット後、時計タイマにはサブクロック発振回路からのクロック(f_{XT})が供給されます。メイン・クロック発振回路の安定後、プリスケアラ3を介し、メイン・クロック発振回路からのクロックを供給するように変更できます。 プリスケアラ3はポー・レート・ジェネレータとして動作します。このプリスケアラ3はPRSM0とPRSCM0レジスタで設定します。レジスタ設定により、 $f_x = 4.19$ MHz以外の周波数であった場合にしても、32.768 kHz相当のクロックを生成することができます。詳細は、4.3.5 プリスケアラ3の動作 を参照してください。
PCL :	プログラマブル・クロック(PCL)を出力できます。この出力は f_{PLSS} を分周(f_{PLSS} を4, 8, 16または32で分周)したクロック(f_{PLLO})です。PCLMレジスタで分周設定します。PCL出力を許可するためには、PCLM.PCLEビットをセットする必要があります。
CLKOUT :	内部システム・クロック(f_{CLK})を出力します。発振安定期間のCLKOUT出力は、Hi-Z状態です。
WDT2のクロック :	WDT2には、選択されたクロック・ソース(低速内蔵発振器またはメイン・クロック発振回路)がクロックを生成している間、クロックが供給され続けます。 WDT2の動作設定には、オプション・バイト007AHの設定が必要ですので注意してください。

(4) スタンバイ制御

図4-1のクロックのブロック図では、“IDLE制御”または“HALT制御”という表現がありますが、これらはスタンバイ機能の設定による、クロックの供給/停止を示しています(4.1.3 **スタンバイ機能概要**を参照してください)。

4.1.2 クロック・モニタ

クロック・モニタは、低速内蔵発振クロックでメイン・クロック発振回路が生成するクロックをサンプリングし、クロックの停止を検出した際、リセット要求信号を発生します。詳細は、4.3.6 **クロック・モニタの動作**を参照してください。

4.1.3 スタンバイ機能概要

消費電力は、スタンバイ機能を使用し、アプリケーションに応じたモードを選択することで、効果的に低減できます。

スタンバイ機能の概要を次に示します。詳細は、4.3.3 **スタンバイ機能の説明**とレジスタ説明を参照してください。

- HALTモード：** CPUの動作クロック (f_{CPU}) のみが停止します。
このモードは、HALT命令を実行することで設定します。HALTモード解除時、発振安定時間を確保する必要がなく、またPLLのロックアップ時間待ちがないので、すばやく通常モードに復帰できます。
- IDLE1モード：** 発振回路、PLLは動作を継続しますが、フラッシュ・メモリ以外の内部回路は全て動作を停止します。PLLは以前の動作状態を保持します。
IDLE1モード解除時、発振安定時間を確保する必要がなく、またPLLロックアップ時間待ちがないので、すばやく通常モードに復帰できます。
- IDLE2モード：** 発振回路を除くすべての内部回路動作が停止するモードです。
- STOPモード：** サブクロック発振回路を除くすべての内部回路動作が停止するモードです。
- サブクロック動作：** 内部システム・クロック (f_{CLK})、CPUクロック (f_{CPU}) を、サブクロック (f_{SC}) で動作させるモードです。サブクロックのソースはサブクロック発振回路 (f_{XT}) または低速内蔵発振器 (f_{RL}) のどちらかをオプション・バイト (OB7B.SUBCLK) で選択できます。
- サブIDLEモード：** サブクロック動作モード時、発振回路以外の内部回路をすべて停止するモードです

4.1.4 リセット期間中およびリセット解除時の発振動作

リセット解除後、高速内蔵発振器のセットアップ時間を確保したあと、CPUはプログラムを実行します。内蔵発振器の発振安定時間はハードウェアが確保します。

下表に、リセット期間中およびリセット解除後の発振動作状態を示します。

表4-2 リセット期間中およびリセット解除時の発振動作

項 目	リセット期間中	リセット解除後
メイン・クロック発振回路 (f_x)	停止	停止 (内蔵高速発振器安定後、ソフトウェアで発振開始設定可能)
サブクロック発振回路 (f_{XT})	発振継続	
低速内蔵発振器	停止	発振開始
高速内蔵発振器	停止	発振開始
PLL (f_{PLLO})	停止	停止 (内蔵高速発振器安定後、ソフトウェアで動作開始設定可能)
内部システム・クロック (f_{CLK})	停止	内蔵発振器安定後、高速内蔵発振器で動作開始
周辺クロック f_{XP1} (とその分周)、 f_{XP2}	停止	内蔵発振器安定後、高速内蔵発振器で動作開始
プログラマブル・クロック出力PCL (f_{PCL})	禁止設定 (ロウ・レベル出力)	PLL安定後、ソフトウェアで出力許可設定可能
システム・クロック出力CLKOUT (f_{CLK})	停止	内蔵発振器安定後、高速内蔵発振器の出力を、ソフトウェアで出力許可設定可能

4.2 クロック発生回路のレジスタ

クロック発生回路は、下記のレジスタで動作設定をします（下表ではレジスタをメモリ割り当て順に並べてあります）。

表4-3 クロック発生回路のレジスタ概要

レジスタ名	略号	アドレス	備考 ^注
パワー・セーブ・コントロール・レジスタ	PSC	FFFFFF1FEH	特定レジスタ
セレクト動作制御レジスタ0	SELCNT0	FFFFFF308H	
セレクト動作制御レジスタ2	SELCNT2	FFFFFF30CH	
セレクト動作制御レジスタ3	SELCNT3	FFFFFF30EH	
発振安定時間選択レジスタ	OSTS	FFFFFF6C0H	
PLLロックアップ時間指定レジスタ	PLLS	FFFFFF6C1H	
発振安定時間カウント・ステータス・レジスタ	OSTC	FFFFFF6C2H	
内蔵発振モード・レジスタ	RCM	FFFFFF80CH	
パワー・セーブ・モード・コントロール・レジスタ	PSMR	FFFFFF820H	
PLLロック・レジスタ	LOCKR	FFFFFF824H	
プロセッサ・クロック・コントロール・レジスタ	PCC	FFFFFF828H	特定レジスタ
PLLコントロール・レジスタ	PLLCTL	FFFFFF82CH	
CPU動作クロック・ステータス・レジスタ	CCLS	FFFFFF82EH	
プログラマブル・クロック・モード・レジスタ	PCLM	FFFFFF82FH	
メイン・システム・クロック・モード・レジスタ	MCM	FFFFFF860H	
メイン・クロック発生回路クロック・モニタ・モード・レジスタ	CLM	FFFFFF870H	特定レジスタ
プリスケアラ・モード・レジスタ0	PRSM0	FFFFFF8B0H	
プリスケアラ・コンペア・レジスタ0	PRSCM0	FFFFFF8B1H	

注 レジスタの中には、不用意に内容が書き換えられないように書き込み保護されたもの（特定レジスタ）もあります。このようなレジスタにデータを書き込むためには特別なシーケンスが必要で、レジスタの内容はプログラムが暴走した場合でも簡単に書き換えられないようになっています。

詳細は、**第3章 CPU機能**を参照してください。

備考 クロック発生回路の設定は、オプション・バイトにも設定の必要な項目があります。詳細は、**第8章 オプション・バイト**を参照してください。

レジスタを次のように分類して説明します。

- ・クロック発生回路レジスタ：
 - CPU動作クロック・ステータス・レジスタ (CCLS)
 - メイン・システム・クロック・モード・レジスタ (MCM)
 - 発振安定時間カウント・ステータス・レジスタ (OSTC)
 - 発振安定時間選択レジスタ (OSTS)
 - プロセッサ・クロック・コントロール・レジスタ (PCC)
 - プログラマブル・クロック・モード・レジスタ (PCLM)
 - 内蔵発振モード・レジスタ (RCM)

- ・PLL制御レジスタ：
 - PLLロック・レジスタ (LOCKR)
 - PLLコントロール・レジスタ (PLLCTL)
 - PLLロックアップ時間指定レジスタ (PLLS)

- ・スタンバイ・コントロール・レジスタ
 - パワー・セーブ・コントロール・レジスタ (PSC)
 - パワー・セーブ・モード・コントロール・レジスタ (PSMR)

- ・プリスケアラ制御レジスタ
 - プリスケアラ・モード・レジスタ0 (PRSM0)
 - プリスケアラ・コンペア・レジスタ0 (PRSCM0)

- ・クロック・モニタ・レジスタ
 - メイン・クロック発振回路クロック・モニタ・モード・レジスタ (CLM)

- ・セレクトラ制御レジスタ
 - セレクトラ動作制御レジスタ0 (SELCNT0)
 - セレクトラ動作制御レジスタ2 (SELCNT2)
 - セレクトラ動作制御レジスタ3 (SELCNT3)

4.2.1 クロック発生回路レジスタ

クロック発生回路レジスタはクロック発生回路の動作を制御し、反映するものです。

(1) CPU動作クロック・ステータス・レジスタ (CCLS)

CCLSレジスタは、CPU動作クロックの状態を示すレジスタです。

アクセス： このレジスタはリードのみ可能です。

アドレス： FFFFFFF82EH

初期値： 00H。リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	CCLS F
R	R	R	R	R	R	R	R

表4 - 4 CCLSレジスタの内容

ビット位置	ビット名	機能
0	CCLS F	CPU動作クロック状態 0：メイン・システム・クロック (f_{XX}) またはサブクロック (f_{SC}) ^注 で動作。 1：低速内蔵発振クロック (f_{RL}) で動作 (メイン・クロック発振が異常停止の場合)。

注 サブクロック (f_{SC}) は、オプション・バイト007BHのSUBCLKビットの設定によって、 f_{XT} または f_{RL} となります。

注意 メイン・クロック発振回路の発振安定時間が経過する前にウォッチドッグ・タイマ2がオーバーフローすると、メイン・クロック発振回路が異常停止しているとみなし、内部システム・クロック (f_{CLK})、CPUクロック (f_{CPU}) に低速内蔵発振クロック (f_{RL}) を供給します。

(2) メイン・システム・クロック・モード・レジスタ (MCM)

MCMレジスタはクロック・スルー・モードでのメイン・クロック (f_{xx}) ソースを指定し、その状態を示す8ビットのレジスタです。

本レジスタは、特別な命令シーケンスによって書き込みから保護されています。

詳細は、第3章 CPU機能を参照してください。

アクセス： 8/1ビット単位でリード/ライト可能です。

アドレス： FFFFFFF860H

初期値： 00H。リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	MCS	MCM0
R	R	R	R	R	R	R	R/W

表4 - 5 MCMレジスタの内容

ビット位置	ビット名	機能
1	MCS	メイン・クロック (f _{xx}) の状態 (クロック・スルー・モード時, PLLCTL.SELPLL = 0) 0 : 高速内蔵発振クロック (f _{RH}) で動作 1 : メイン・クロック発振クロック (f _x) で動作
0	MCM0	メイン・クロック (f _{xx}) の選択 (クロック・スルー・モード時, PLLCTL.SELPLL = 0) 0 : 高速内蔵発振クロック (f _{RH}) 1 : メイン・クロック発振クロック (f _x) 注意1. 切り替え先のクロック発振が安定していない場合、書き換えは禁止します。 2. CPUクロックが PLL出力クロック(PLLCTL.SELPLL = 1) またはサブクロック(PCC.CK3 = 1) の場合、書き換えは禁止します。 3. CPUクロックが低速内蔵発振クロックである場合 (CCLS.CCLSF = 1) , このビットを1にセットすることは禁止します。

(3) 発振安定時間カウント・ステータス・レジスタ (OSTC)

OSTCレジスタはメイン・クロック発振回路の状態を示す8ビットのレジスタです。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	MSTS
R	R	R	R	R	R	R	R

アクセス： リードのみ可能です。

アドレス： FFFFFFF6C2H

初期値： 00H。リセットにより初期化されます。

表4 - 6 OSTCレジスタの内容

ビット位置	ビット名	機 能
0	MSTS	メイン・クロック発振回路の発振安定状態 0：メイン・クロック発振回路は停止または発振安定待ち。 1：メイン・クロック発振回路発振安定完了。

- 注意 1. OSTCレジスタは、メイン・クロックの状態をモニタしているのではなく、OSTSレジスタで選択された発振安定時間を基準に経過状態を示します。
2. メイン・クロック発振回路がソフトウェア (PCC.MCKビット = 1) やSTOPモードにより停止した場合、OSTCレジスタは00Hになります。しかし、メイン発振異常により停止した場合は、状態を保持します。

(4) 発振安定時間選択レジスタ (OSTS)

OSTSレジスタは、STOPモード、IDLE2モード解除後に経過する発振安定時間、セットアップ時間およびメイン・クロック発振回路の動作を許可 (PCC.MCKビット = 0) したときの発振安定時間を指定する8ビットのレジスタです。

アクセス： 8ビット単位でリード/ライト可能です。

アドレス： FFFFF6C0H

初期値： 06H。リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	OSTS4	OSTS3	OSTS2	OSTS1	OSTS0
R	R	R	R/W	R/W	R/W	R/W	R/W

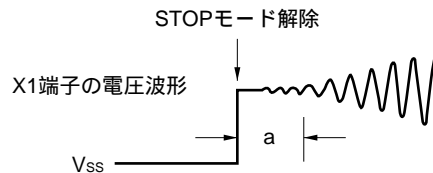
表4 - 7 OSTSレジスタの内容

ビット位置	ビット名	機 能									
4-0	OSTS [4:0]	時間選択									
		OSTS4 ^{注1}	OSTS3	OSTS2	OSTS1	OSTS0	発振安定時間/ セットアップ 時間の選択 ^{注2}	f _x = 4 MHz	f _x = 5 MHz	f _x = 12 MHz	f _x = 16 MHz
		0	0	0	0	0	2 ¹⁰ /f _x	256 μs	205 μs	86 μs	64 μs
		0	0	0	0	1	2 ¹¹ /f _x	521 μs	410 μs	171 μs	128 μs
		0	0	0	1	0	2 ¹² /f _x	1.03 ms	820 μs	342 μs	256 μs
		0	0	0	1	1	2 ¹³ /f _x	2.05 ms	1.64 ms	683 μs	512 μs
		0	0	1	0	0	2 ¹⁴ /f _x	4.10 ms	3.28 ms	1.37 ms	1.03 ms
		0	0	1	0	1	2 ¹⁵ /f _x	8.20 ms	6.54 ms	2.74 ms	2.05 ms
		0	0	1	1	0	2 ¹⁶ /f _x	16.39 ms	13.11 ms	5.47 ms	4.10 ms
		0	0	1	1	1	2 ¹⁷ /f _x	32.77 ms	26.22 ms	10.93 ms	8.20 ms
		0	1	0	0	0	2 ¹⁸ /f _x	65.54 ms	52.43 ms	21.85 ms	16.39 ms
		0	1	0	0	1	2 ¹⁹ /f _x	131.08 ms	104.86 ms	43.70 ms	32.77 ms
		0	1	0	1	0	2 ²⁰ /f _x	262.15 ms	209.72 ms	87.39 ms	65.54 ms
		0	1	0	1	1	2 ²¹ /f _x	524.29 ms	349.53 ms	174.77 ms	131.08 ms
		1	0	0	0	0	設定禁止				
		1	0	0	0	1	設定禁止				
		1	0	0	1	0	2 ⁴ /f _x	設定禁止	設定禁止	設定禁止	設定禁止
		1	0	0	1	1	2 ⁵ /f _x	設定禁止	設定禁止	設定禁止	設定禁止
		1	0	1	0	0	2 ⁶ /f _x	設定禁止	設定禁止	設定禁止	設定禁止
		1	0	1	0	1	2 ⁷ /f _x	設定禁止	設定禁止	設定禁止	設定禁止
		1	0	1	1	0	2 ⁸ /f _x	64 μs	設定禁止	設定禁止	設定禁止
		1	0	1	1	1	2 ⁹ /f _x	128 μs	103 μs	設定禁止	設定禁止
		1	1	0	0	0	2 ¹⁰ /f _x	256 μs	205 μs	86 μs	64 μs
		1	1	0	0	1	2 ¹¹ /f _x	512 μs	410 μs	171 μs	128 μs
		1	1	0	1	0	2 ¹² /f _x	1.03 ms	820 μs	342 μs	256 μs
		1	1	0	1	1	2 ¹³ /f _x	2.05 ms	1.64 ms	683 μs	512 μs
		上記以外					設定禁止				

(注、注意、備考は次ページにあります)

- 注1. OSTs4ビットはIDLE2モード解除時のみ有効です。OSTs4ビット = 1のときにSTOPモードに移行した場合は、STOPモード解除後の発振安定時間は、OSTs3-OSTs0ビットで設定された期間となります(この場合、OSTs4ビットは0とみなされます)。
2. 発振安定時間はSTOPモードの解除時に、セットアップ時間はIDLE2モード解除時に必要になります。

注意1. STOPモード解除時の安定時間は、STOPモード解除後クロック発振を開始するまでの時間(下図a)は含みません。



2. ビット7-5には必ず“0”を設定してください。
3. OSTsレジスタの初期値は、06H ($2^{16}/f_x$) です。

備考1. IDLE2モードが解除された場合、下記要件を満たすように安定時間を設定してください。

- ・PLL動作時：最小800 μ s (PLLロックアップ時間要件)

- ・PLL停止時：最小54 μ s (フラッシュ・セットアップ時間要件)

μ PD70F3610, 70F3611, 70F3612, 70F3613, 70F3614 データ・シート (U18666J), μ PD70F3615, 70F3616, 70F3617, 70F3618, 70F3619 データ・シート (U18667J), μ PD70F3620, 70F3621, 70F3622 データ・シート (U18668J) を参照してください。

2. STOPモードが解除された場合、下記要件を満たすように安定時間を設定してください。

- ・PLL動作時：最小1600 μ s (PLLロックアップ時間の2倍以上)

- ・PLL停止時：最小64 μ s (フラッシュ・セットアップ時間要件)

μ PD70F3610, 70F3611, 70F3612, 70F3613, 70F3614 データ・シート (U18666J), μ PD70F3615, 70F3616, 70F3617, 70F3618, 70F3619 データ・シート (U18667J), μ PD70F3620, 70F3621, 70F3622 データ・シート (U18668J) を参照してください。

3. メイン・クロック発振回路の必要発振安定時間が上記の時間を越える場合、メイン・クロック発振回路の必要発振安定時間に値を設定してください。

4. f_x : メイン・クロック発振周波数

(5) プロセッサ・クロック・コントロール・レジスタ (PCC)

PCCレジスタは内部システム・クロック (f_{CLK}) を制御する8ビットのレジスタです。

アクセス： 8/1ビット単位でリード/ライト可能です。

このレジスタは、特定レジスタです。特定シーケンスの組み合わせによってだけ書き込みができます。第3章 CPU機能を参照してください。

アドレス： FFFFF828H

初期値： 40H。リセットにより初期化されます。

7	6	5	4	3	2	1	0
FRC	MCK	MFRC	CLS	CK3	CK2	CK1	CK0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

表4 - 8 PCCレジスタの内容 (1/2)

ビット位置	ビット名	機能
7	FRC	サブクロック発振回路の内蔵帰還抵抗の選択。 0: 使用する。 1: 使用しない。
6	MCK	メイン・クロック発振回路の動作 / 停止制御。 0: 発振許可 1: 発振禁止 備考 1. CPUがメイン・クロックで動作中, MCKビットに"1"を設定しないでください。 CPUがメイン・クロックで動作中, MCKビットに"1"を設定しても, メイン・クロックは停止しません (MCKビットに"1"ライトは可能)。 2. 高速内蔵発振クロック (MCSビット = 0), またはサブクロック (CLSビット = 1) で動作中にメイン・クロックを停止させ, 再度メイン・クロックに切り替えるときは, MCKビットに"0"を設定し, ソフトウェアにて発振安定時間を確保したあとに切り替えてください。 なお, MCKビットを"1" "0"に設定すると, 発振安定用タイマがカウント動作を開始し, オーバフローするとOSTSレジスタのMSTSビットが"0" "1"になります。このときの発振安定時間は, OSTSレジスタにより設定します。
5	MFRC	メイン・クロック発振回路の内蔵帰還抵抗の選択。 0: 使用する。 1: 使用しない。
4	CLS	CPUクロック (f _{CPU}) の状態。 0: メイン・クロック (f _{xx}) 動作。 1: サブクロック (f _{sc}) 動作。

表4 - 8 PCCレジスタの内容 (2/2)

ビット位置	ビット名	機 能				
3-0	CK [3:0]	クロック選択				
		CK3	CK2	CK1	CK0	クロック選択 (f _{CPU} , f _{CLK})
		0	0	0	0	f _{xx}
		0	0	0	1	f _{xx} /2
		0	0	1	0	f _{xx} /4
		0	0	1	1	f _{xx} /8
		0	1	0	0	f _{xx} /16
		0	1	0	1	f _{xx} /32
		0	1	1	x	設定禁止
		1	x	x	x	サブクロック (f _{SC}) (f _{XT} またはf _{RL}) ^注
<p>注 オプション・バイト007BHで選択。</p> <p>注意 1. CLKOUT出力中に (CK [3:0]ビットを使用) CPUクロックを変更しないでください。 2. CK3ビットを操作する場合は、必ずMCSビット = 1の状態(メイン・クロック動作)で行ってください。 なお、MCSビット = 0時、CK3ビットに"1"をライトすることはできません。 3. CK3ビットを操作するにはビット操作命令を使用してください。8ビット操作命令を使う場合は、CK [2:0]ビットの設定値を変更しないでください。 4. オプション・バイト (007BH) のSUBCLK = 0で、かつサブクロック発振回路が発振していない場合、CK3ビット = 1を設定してもCPUクロックはf_{XT}に切り替わりません。 5. オプション・バイト (007BH) のSUBCLK = 1で、かつ低速内蔵発振を停止している場合、CK3ビット = 1を設定すると、低速内蔵発振器は発振を開始し、CPUクロックはf_{RL}に切り替わります。 6. サブクロック動作モード中は、MCM.MCM0ビット、およびPCC.CK2-CK0ビットの値を変更しないでください。</p> <p>備考 x : 任意</p>						

次に、メイン・クロック動作からサブクロック/低速内蔵発振クロック動作へ切り換える場合の設定例を示します。

(a) メイン・クロック動作 サブクロック/低速内蔵発振クロック動作へ切り換えるときの設定例

1. 動作クロック確認：メイン・クロック動作（MCS = 1）であることを確認します。
 なお、高速内蔵発振クロック動作からサブクロック/低速内蔵発振クロック動作への切り換えは禁止です。
 高速内蔵発振クロック動作（MCS = 0）の場合は、MCM.MCM0ビット = 1に設定したあと、再度、MCM.MCSビット = 1であることを確認してください。
2. CPUクロック（ f_{CPU} ）周波数確認：
 f_{CPU} が次の条件であるか確認します。
 - ・OB7B.SUBCLK = 0時、 $f_{CPU} >$ サブクロック発振周波数（ f_{XT} ）
 （32.768 kHz）× 4
 - ・OB7B.SUBCLK = 1時、 $f_{CPU} >$ 低速内蔵発振クロック周波数（ f_{RL} ）
 （TYP.240 kHz）× 4
 上記条件を満たしていない場合は、条件を満たすようCK2-CK0ビットを変更してください。このとき、CK3ビットは変更しないでください。
3. CK3ビット “1”：ビット操作命令で行ってください。CK2-CK0ビットは変更しないでください。
4. サブクロック動作：CK3ビットに = 1に設定したあと、サブクロック/低速内蔵発振クロック動作に切り替わるまでには、最大、次に示す時間がかかります。
 - ・OB7B.SUBCLK = 0時、最大：（1 / サブクロック発振周波数（ f_{XT} ））
 - ・OB7B.SUBCLK = 1時、最大：（1 / 低速内蔵発振クロック周波数（ f_{RL} ））
 CLSビットをリードしてサブクロック/低速内蔵発振クロック動作に切り替わっているかを確認してください。
5. MCKビット “1”：メイン・クロック発振回路の動作を停止する場合はMCKビット = 1に設定してください。

注意 メイン・クロック発振回路の動作を停止する場合は、PLLを停止してください。また、メイン・クロック周波数（ f_{xx} ）で動作する内蔵周辺機能を動作停止にしてください。

(b) サブクロック/低速内蔵発振クロック動作 メイン・クロック動作へ切り換えるときの設定例

1. MCKビット “0”：メイン・クロックの発振を許可します。
2. ソフトウェア・ウェイト：プログラムによりウェイトを挿入して、メイン・クロック発振回路の発振安定時間が経過する（OSTC.MSTS = 1）まで待ちます。
3. CK3ビット “0”：ビット操作命令で行ってください。CK2-CK0ビットは変更しないでください。
4. メイン・クロック動作：CK3ビットを設定したあと、CK2-CK0ビットで指定されるメイン・クロック動作に切り替わるまでに、最大、次に示す時間がかかります。
 - ・OB7B.SUBCLK = 0時、最大：（1 / サブクロック発振周波数（ f_{XT} ））
 - ・OB7B.SUBCLK = 1時、最大：（1 / 低速内蔵発振クロック周波数（ f_{RL} ））
 CLSビットをリードしてメイン・クロック動作に切り替わっているかを確認してください。

備考 OB7B.SUBCLK：オプション・バイト007BHのビット7

(6) プログラマブル・クロック・モード・レジスタ (PCLM)

PCLMレジスタは、プログラマブル・クロック出力PCLの設定を指定する8ビットのレジスタです。

アクセス： 8/1ビット単位でリード/ライト可能です。

アドレス： FFFFFFF82FH

初期値： 00H。リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	PCL	0	0	PCK1	PCK0
R	R	R	R/W	R	R	R/W	R/W

表4 - 9 PCLMレジスタの内容

ビット位置	ビット名	機能															
4	PCL	PCL許可 / 禁止指定 0 : PCL出力禁止 (PCL出力はロウ・レベルに固定) 1 : PCL出力許可															
1, 0	PCK [1:0]	PCLクロック周波数選択 <table border="1"> <thead> <tr> <th>PCK1</th> <th>PCK0</th> <th>PCL出力クロック</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>$f_{PCL} = f_{PLSS}/4$</td> </tr> <tr> <td>0</td> <td>1</td> <td>$f_{PCL} = f_{PLSS}/8$</td> </tr> <tr> <td>1</td> <td>0</td> <td>$f_{PCL} = f_{PLSS}/16$</td> </tr> <tr> <td>1</td> <td>1</td> <td>$f_{PCL} = f_{PLSS}/32$</td> </tr> </tbody> </table>	PCK1	PCK0	PCL出力クロック	0	0	$f_{PCL} = f_{PLSS}/4$	0	1	$f_{PCL} = f_{PLSS}/8$	1	0	$f_{PCL} = f_{PLSS}/16$	1	1	$f_{PCL} = f_{PLSS}/32$
PCK1	PCK0	PCL出力クロック															
0	0	$f_{PCL} = f_{PLSS}/4$															
0	1	$f_{PCL} = f_{PLSS}/8$															
1	0	$f_{PCL} = f_{PLSS}/16$															
1	1	$f_{PCL} = f_{PLSS}/32$															

(7) 内蔵発振モード・レジスタ (RCM)

RCMレジスタは、低速および高速内蔵発振器の動作を指定し、その状態を表示する8ビットのレジスタです。

アクセス： 8/1ビット単位でリード/ライト可能です。

アドレス： FFFFF80CH

初期値： 80H。リセットにより初期化されます。

	7	6	5	4	3	2	1	0
	RSTS	0	0	0	0	0	HRSTOP	RSTOP
	R	R	R	R	R	R	R/W	R/W

表4 - 10 RCMレジスタの内容

ビット位置	ビット名	機能
7	RSTS	高速内蔵発振器の発振安定状態 0：高速内蔵発振器は停止，または発振安定化待ち。 1：高速内蔵発振器は動作中。
1	HRSTOP	高速内蔵発振器動作の許可/禁止 0：高速内蔵発振器の動作を許可（発振）。 1：高速内蔵発振器の動作を禁止（停止）。 注意 CPUクロックが高速内蔵発振器の状態時，このビットを1にセットしないでください。
0	RSTOP	低速内蔵発振器の許可/禁止 0：低速内蔵発振器の動作を許可（発振）。 1：低速内蔵発振器の動作を禁止（停止）。 注意 1. オプション・バイト (OB7A.RMOPIN) 設定を，ソフトウェア停止可能にしている場合のみ，本ビットの設定は有効です。 2. CPUクロックが低速内蔵発振器の状態時，本ビットを1にセットしないでください。 CCLS.CCLSFBIT = 1の状態時，またはオプション・バイト (OB7B.SUBCLK) = 1かつPCC.CLSBIT = 1時に本ビットを"1"に設定しても，低速内蔵発振器は停止しません。 3. RSTOPビット = 1設定時，CCLS.CCLSFBIT = 1，またはオプション・バイト (OB7B.SUBCLK = 1) かつPCC.CLSBIT = 1になると低速内蔵発振器は発振開始します。ただし，RSTOPビット = 1に設定されたままです。 備考 本ビットの設定はオプション・バイト007AHのRMOPINビットがセット（停止不可に設定）されているときは無視されます。

4.2.2 PLL制御レジスタ

(1) ロック・レジスタ (LOCKR)

電源投入後、またはSTOPモード解除直後から所定の周波数でフェーズ・ロックし、周波数が安定するまでにある程度の時間がかかります。周波数が安定するまでにかかる時間をロックアップ時間（周波数安定時間）と呼び、安定した状態をロック状態と呼びます。

ロック・レジスタ (LOCKR) はPLL周波数安定状態を示すLOCKビットを持っています。

アクセス： 8/1ビット単位でリードのみ可能です。

アドレス： FFFFF824H

初期値： 01H。リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	LOCK
R	R	R	R	R	R	R	R

表4 - 11 LOCKRレジスタの内容

ビット位置	ビット名	機能
0	LOCK	PLLのロック状態 0：ロック状態 1：アンロック（ロックしていない）状態

LOCKフラグはPLLのロック状態をリアルタイムに反映するものではありません。このフラグのセット/クリア条件は次のようになります。

- セット条件
- ・システム・リセット時（このレジスタはリセットによって01Hに初期化されます）。
 - ・STOPおよびIDLE2モード
 - ・PLLを停止設定時（PLLCTL.PLLONビット = 0設定時）
 - ・高速内蔵発振動作（MCM.MCSビット = 0）またはサブクロック動作モード（PCC.CLSビット = 1）で、かつメイン発振を停止（PCC.MCKビット = 1）
 - ・メイン・クロック発振回路の発振異常停止を検出し、低速内蔵発振クロックで動作時（CCLS.CCLSFBビット = 1）
- クリア条件
- ・PLL動作状態でIDLE2モードを設定した場合、IDLE2モード解除後、発振安定タイムのオーバフロー（OSTSレジスタで設定した時間）
 - ・メイン・クロック発振回路が発振状態で、PLL動作を許可（PLLCTL.PLLONビット = 1）に設定したとき、PLLロックアップ時間タイムのオーバフロー（PLLSレジスタで設定した時間）
 - ・PLL動作状態でSTOPモードを設定した場合、STOPモード解除後、発振安定用タイムのオーバフロー（OSTSレジスタで設定した時間）

(2) PLLコントロール・レジスタ (PLLCTL)

PLLCTLレジスタはPLL機能を制御する8ビットのレジスタです。

アクセス： 8/1ビット単位でリード/ライト可能です。

アドレス： FFFFFFF82CH

初期値： 00H。リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	SELPLL	PLLON
R	R	R	R	R	R	R/W	R/W

表4 - 12 PLLCTLレジスタの内容

ビット位置	ビット名	機能
1	SELPLL	CPU動作クロック（メイン・クロック動作モード時）選択 0：クロック・スルー・モード（MCM.MCM0ビットに応じて、 f_{xx} はメイン・クロック発振周波数（ f_x ）または高速内蔵発振クロック（ f_{RH} ）になります）。 1：PLLモード（MCM.MCM0 = 1の場合、 f_{xx} はPLL出力、 f_{PLL} になります）。
0	PLLON	PLL動作 / 停止制御 0：PLL停止 1：PLL動作（許可） （PLL動作開始後、周波数安定のためにロックアップ時間が必要となります。）

- 注意 1. SELPLLビットは、メイン・クロック（ f_{xx} ）がメイン・クロック発振周波数（ f_x ）で動作状態（MCM.MCS = 1）時、かつPLL動作が安定状態（LOCKR.LOCK = 0）時のみ1に設定できます。
2. メイン・クロック（ f_{xx} ）が高速内蔵発振クロック（ f_{RH} ）で動作状態（MCM.MCS = 0）時、またはPLL出力が安定していない状態（LOCKR.LOCK = 1）時にSELPLLビットへ1を書き込む操作をした場合、0が書き込まれます。
3. PLLONビットを0にクリアすると、SELPLLビットも自動的に0にクリアされます（クロック・スルー・モード時）。
4. PLLONビット = 1の状態でもメイン・クロックが停止した場合、PLLは動作を停止します。
5. PLLが動作開始時は、PLLがロックするまでの時間が必要になります

(3) PLLロックアップ時間指定レジスタ (PLLS)

PLLSレジスタはPLLCTL.PLLONビットを0 1に設定したときのPLLロックアップ時間を選択するレジスタです。

アクセス： 8ビット単位でリード/ライト可能です。

アドレス： FFFFFFF6C1H

初期値： 03H。リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	PLLS2	PLLS1	PLLS0
R	R	R	R	R	R/W	R/W	R/W

表4 - 13 PLLSレジスタの内容

ビット位置	ビット名	機 能																				
2-0	PLLS [2:0]	PLLロックアップ時間の選択 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>PLLS2</th> <th>PLLS1</th> <th>PLLS0</th> <th>ロックアップ時間</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>0</td> <td>$2^{12}/f_x$</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>$2^{13}/f_x$ (初期値)</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>$2^{14}/f_x$</td> </tr> <tr> <td colspan="3">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	PLLS2	PLLS1	PLLS0	ロックアップ時間	0	1	0	$2^{12}/f_x$	0	1	1	$2^{13}/f_x$ (初期値)	1	0	0	$2^{14}/f_x$	上記以外			設定禁止
PLLS2	PLLS1	PLLS0	ロックアップ時間																			
0	1	0	$2^{12}/f_x$																			
0	1	1	$2^{13}/f_x$ (初期値)																			
1	0	0	$2^{14}/f_x$																			
上記以外			設定禁止																			

- 注意 1. ロックアップ時間は、800 μ s以上になるように注意してください。
2. ロックアップ期間中は、PLLSレジスタの設定を変更しないでください。

4.2.3 スタンバイ・コントロール・レジスタ

(1) パワー・セーブ・コントロール・レジスタ (PSC)

スタンバイ・モードの設定 / 解除を決めるレジスタです。

アクセス： 8/1ビット単位でリード / ライト可能です。

このレジスタは、特定レジスタです。特定シーケンスでのみ書き込み可能です。第3章 CPU 機能を参照してください。

アドレス： FFFFF1FEH

初期値： 00H。リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	NMI1M	NMI0M	INTM	0	0	STP	0
R	R/W	R/W	R/W	R	R	R/W	R

注意 ビット7, 3, 2, 0には、必ず0を設定してください。

表4 - 14 PSCレジスタの内容

ビット位置	ビット名	機能
6	NMI1M	INTWDT2信号発生によるスタンバイ・モード解除制御 0：INTWDT2信号によるスタンバイ・モード解除を許可。 1：INTWDT2信号によるスタンバイ・モード解除を禁止。
5	NMI0M	NMI端子入力によるスタンバイ・モード解除制御 0：NMI端子入力によるスタンバイ・モード解除を許可。 1：NMI端子入力によるスタンバイ・モード解除を禁止。
4	INTM	マスカブル割り込み要求信号によるスタンバイ・モード解除制御 0：マスカブル割り込み要求信号によるスタンバイ・モード解除を許可。 1：マスカブル割り込み要求信号によるスタンバイ・モード解除を禁止。
1	STP	スタンバイ・モードの設定 0：通常モード 1：スタンバイ・モード 注意1. STPビットで設定可能なスタンバイ・モード：IDLE1モード、IDLE2モード、STOPモード、サブIDLEモード 2. このビットを設定する際は、事前にPSMR.PSM [1:0]ビットを設定してください。

スタンバイ・モードを設定する際は、注意が必要です。

- 注意1.** HALTモード解除時、NMI1M, NMI0M, INTMビットの設定は無効です。
2. NMI1M, NMI0M, INTMビットとSTPビットを同時にセット(1)した場合、NMI1M, NMI0M, INTMビットの設定は無効になります。したがって、IDLE1/IDLE2/STOP/サブIDLEモードにマスクされていない保留中の割り込み要求信号がある場合は、その割り込み要求信号に対するビット(NMI1M, NMI0M, INTM)をセット(1)したあとにSTPビットをセット(1)してください。

(2) パワー・セーブ・モード・コントロール・レジスタ (PSMR)

パワー・セーブ・モードの動作状態や、クロックの動作を制御するための8ビットのレジスタです。このレジスタの設定は、PSC.STPビット = 1のときのみ有効です。

アクセス： 8/1ビット単位でリード/ライト可能です。

アドレス： FFFFFFF820H

初期値： 00H。リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	PSM1	PSM0
R	R	R	R	R	R	R/W	R/W

注意 ビット7-2には、必ず0を設定してください。

表4 - 15 PSMRレジスタの内容

ビット位置	ビット名	機能															
1, 0	PSM [1:0]	ソフトウェア・スタンバイ・モードの動作指定 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>PSM1</th> <th>PSM0</th> <th>ソフトウェア・スタンバイ・モードの動作指定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>IDLE1モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>STOPモード</td> </tr> <tr> <td>1</td> <td>0</td> <td>IDLE2モードまたはサブIDLEモード^注</td> </tr> <tr> <td>1</td> <td>1</td> <td>STOPモード</td> </tr> </tbody> </table>	PSM1	PSM0	ソフトウェア・スタンバイ・モードの動作指定	0	0	IDLE1モード	0	1	STOPモード	1	0	IDLE2モードまたはサブIDLEモード ^注	1	1	STOPモード
PSM1	PSM0	ソフトウェア・スタンバイ・モードの動作指定															
0	0	IDLE1モード															
0	1	STOPモード															
1	0	IDLE2モードまたはサブIDLEモード ^注															
1	1	STOPモード															
備考 PSM0とPSM1ビットは、PSC.STP = 1のときのみ有効となります。																	

注 サブIDLEモードはサブクロック・モードに設定されている（CPUクロック（f_{cpu}）、内部システム・クロック（f_{clk}）へクロックf_{xt}またはf_{rl}が供給されている）場合に設定されます。

これらのパワー・セーブ・モードに関する詳細は、4.3.3 **スタンバイ機能の説明**を参照してください。

4.2.4 プリスケーラ・モード・レジスタ0

プリスケーラ・モード・レジスタ0は、時計タイマとクロック同期式シリアル・インタフェースCSIB0に供給されるクロック f_{BRG} を生成するプリスケーラ3を制御します。プリスケーラ3はクロック分周器とカウンタ、コンペア・レジスタで構成されています。詳細は、4.3.5 プリスケーラ3の動作を参照してください。

(1) プリスケーラ・モード・レジスタ0 (PRSM0)

PRSM0はプリスケーラ3へ入力するクロックを制御するレジスタです。

アクセス： 8ビット単位でリード/ライト可能です。

アドレス： FFFFF8B0H

初期値： 00H。リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	BGCE0	0	0	BGCS01	BGCS00
R	R	R	R/W	R	R	R/W	R/W

注意 ビット7-5, 3, 2には、必ず0を設定してください。

表4 - 16 PRSM0レジスタの内容

ビット位置	ビット名	機能															
4	BGCE0	プリスケーラ3出力 0：禁止 1：許可															
1, 0	BGCS0 [1:0]	入力クロックの選択 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>BGCS01</th> <th>BGCS00</th> <th>入力クロックの選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>f_x</td> </tr> <tr> <td>0</td> <td>1</td> <td>$f_x/2$</td> </tr> <tr> <td>1</td> <td>0</td> <td>$f_x/4$</td> </tr> <tr> <td>1</td> <td>1</td> <td>$f_x/8$</td> </tr> </tbody> </table>	BGCS01	BGCS00	入力クロックの選択	0	0	f_x	0	1	$f_x/2$	1	0	$f_x/4$	1	1	$f_x/8$
BGCS01	BGCS00	入力クロックの選択															
0	0	f_x															
0	1	$f_x/2$															
1	0	$f_x/4$															
1	1	$f_x/8$															

- 注意**
1. BGCE0ビットを1にセットする前にBGCS0 [1:0]ビットを設定してください。
 2. 時計タイマ動作中はBGCS0 [1:0]ビットの値を変更しないでください。
 3. f_{BRG} の周波数を時計タイマの動作に使用する場合は、32.768 kHzに近くなるよう使用するメイン・クロック発振周波数 (f_x) に応じて、PRSM0, PRSCM0レジスタを設定してください。

(2) プリスケアラ・コンペア・レジスタ0 (PRSCM0)

PRSCM0レジスタは、 f_{BRG} の出力周波数を制御するレジスタです。

アクセス： 8ビット単位でリード/ライト可能です。

アドレス： FFFFF8B1H

初期値： 00H。リセットにより初期化されます。

7	6	5	4	3	2	1	0
PRSCM7	PRSCM6	PRSCM5	PRSCM4	PRSCM3	PRSCM2	PRSCM1	PRSCM0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- 注意 1. 時計タイマの動作中はPRSCM0レジスタの書き換えを行わないでください。
2. f_{BRG} の周波数を時計タイマの動作に使用する場合は、32.768 kHzに近くなるよう使用するメイン・クロック発振周波数 (f_x) に応じて、PRSCM0レジスタを設定してください。

詳細と計算方法に関しては、4.3.5 プリスケアラ3の動作を参照してください。

4.2.5 クロック・モニタ・レジスタ

クロック・モニタ・レジスタはクロック・モニタの動作を制御するレジスタです。

(1) メイン・クロック発振回路クロック・モニタ・モード・レジスタ (CLM)

CLMレジスタはメイン・クロック発振回路クロックの監視を許可する8ビットのレジスタです。

アクセス： 8/1ビット単位でリード/ライト可能です。

このレジスタは、特定レジスタです。特定のシーケンスでのみ書き込み可能です。第3章 CPU機能を参照してください。

アドレス： FFFFF870H

初期値： 00H。リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	CLME
R	R	R	R	R	R	R	R/W

表4 - 17 CLMレジスタの内容

ビット位置	ビット名	機能
0	CLME	クロック・モニタの動作許可/禁止 0：クロック・モニタ動作禁止。 1：クロック・モニタ動作許可。

注意1. クロック・モニタによるリセットが発生した場合、CLM.CLMEはクリア(0)され、RESF.CLMRFがセット(1)されます。

2. CLMEビット = 1に設定した場合、リセット以外ではクリア(0)できません。

備考 CLM.CLMEはいつでもセットできますが、クロック・モニタは、メイン発振が安定した(OSTC.MSTS = 1で示される)あとでのみ起動できます。

4.2.6 セレクタ制御レジスタ

セレクタ制御レジスタはタイマTAA_nとTMM0，およびシリアル・インタフェースUARTD_nとCAN0のクロックと機能を選択するレジスタです。

備考 ここでは，クロック生成と分配に関わるビットのみを解説します。その他に関しては，各内蔵周辺機能の説明を参照してください。

(1) セレクタ動作制御レジスタ0 (SELCNT0)

SELCNT0レジスタはタイマTMM0のクロックを指定する8ビットのレジスタです。

アクセス： 8/1ビット単位でリード/ライト可能です。

アドレス： FFFFFFF308H

初期値： 00H。リセットにより初期化されます。

・ V850ES/FE3-L

・ V850ES/FF3-L

	7	6	5	4	3	2	1	0
ISEL07	0	0	ISEL04	ISEL03	ISEL02	0	ISEL00	
R/W	R	R	R/W	R/W	R/W	R	R/W	

・ V850ES/FG3-L

	7	6	5	4	3	2	1	0
ISEL07	0	ISEL05	ISEL04	ISEL03	ISEL02	0	ISEL00	
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- 注意** 1. V850ES/FE3-L, V850ES/FF3-Lは，ビット6, 5, 1に必ず0を設定してください。
 2. V850ES/FG3-Lは，ビット6, 1を必ず0に設定してください。

表4 - 18 SELCNT0レジスタの内容

ビット位置	ビット名	機能
7	ISEL07	TMM0のカウント・クロックの選択 0 : クロック = $f_{XP1}/512$ 1 : クロック = $f_{RH}/8$
5-2, 0	ISEL0 [5:2], ISEL00	第10章 16ビット・タイマ/イベント・カウンタAAを参照してください。

(2) セレクタ動作制御レジスタ2 (SELCNT2)

SELCNT2レジスタは、UARTD0, UARTD1, CAN0, TAAのクロックを指定する8ビットのレジスタです。

アクセス： 8/1ビット単位でリード/ライト可能です。

アドレス： FFFFF30CH

初期値： 00H。リセットにより初期化されます。

7	6	5	4	3	2	1	0
ISEL27	ISEL26	ISEL25	ISEL24	ISEL23	ISEL22	ISEL21	ISEL20
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表4 - 19 SELCNT2レジスタの内容

ビット位置	ビット名	機能
7	ISEL27	UARTD1クロックの選択 0 : クロック = f_{XP1} IDLE1モードで停止するクロック 1 : クロック = f_{XP2} IDLE1モードで停止しないクロック
6	ISEL26	UARTD0クロックの選択 0 : クロック = f_{XP1} IDLE1モードで停止するクロック 1 : クロック = f_{XP2} IDLE1モードで停止しないクロック
5	ISEL25	CAN0クロックの選択 0 : クロック = f_{XP1} 1 : クロック = f_{XC} (f_X)
4	ISEL24	TAA4カウンタ・クロックの選択 0 : クロック = f_{XP1} IDLE1モードで停止するクロック 1 : クロック = f_{XP2} IDLE1モードで停止しないクロック
3	ISEL23	TAA3カウンタ・クロックの選択 0 : クロック = f_{XP1} IDLE1モードで停止するクロック 1 : クロック = f_{XP2} IDLE1モードで停止しないクロック
2	ISEL22	TAA2カウンタ・クロックの選択 0 : クロック = f_{XP1} IDLE1モードで停止するクロック 1 : クロック = f_{XP2} IDLE1モードで停止しないクロック
1	ISEL21	TAA1カウンタ・クロックの選択 0 : クロック = f_{XP1} IDLE1モードで停止するクロック 1 : クロック = f_{XP2} IDLE1モードで停止しないクロック
0	ISEL20	TAA0カウンタ・クロックの選択 0 : クロック = f_{XP1} IDLE1モードで停止するクロック 1 : クロック = f_{XP2} IDLE1モードで停止しないクロック

(3) セレクタ動作制御レジスタ3 (SELCNT3)

SELCNT3レジスタは、UARTD2のクロックを指定する8ビットのレジスタです。

アクセス： 8/1ビット単位でリード/ライト可能です。

アドレス： FFFFFFF30EH

初期値： 00H。リセットにより初期化されます。

・ V850ES/FG3-L

7	6	5	4	3	2	1	0
0	0	0	0	0	ISEL32	0	0
R	R	R	R	R	R/W	R	R

注意 V850ES/FG3-Lは、ビット7-3, 1, 0に必ず0を設定してください。

表4 - 20 SELCNT3レジスタの内容

ビット位置	ビット名	機能
2	ISEL32	UARTD2クロックの選択： 0：クロック = f_{XP1} IDLE1モードで停止するクロック 1：クロック = f_{XP2} IDLE1モードで停止しないクロック

4.3 クロック発生回路の動作

この節ではクロック発生回路の各特徴を解説します。詳細は、次のとおりです。

- ・クロック動作制御の設定概要
- ・動作状態遷移
- ・パワー・セーブ・モードの説明
- ・パワー・セーブ・モードで使用できるクロック
- ・PLL制御
- ・ウォッチドッグ・タイマ・クロック
- ・CLKOUT機能
- ・プリスケラ3の動作
- ・クロック・モニタの動作

4.3.1 クロック動作制御の設定概要

表4 - 21に内部システム・クロック (f_{CLK}) の設定概要を示します。

表4 - 21 内部システム・クロック設定概要

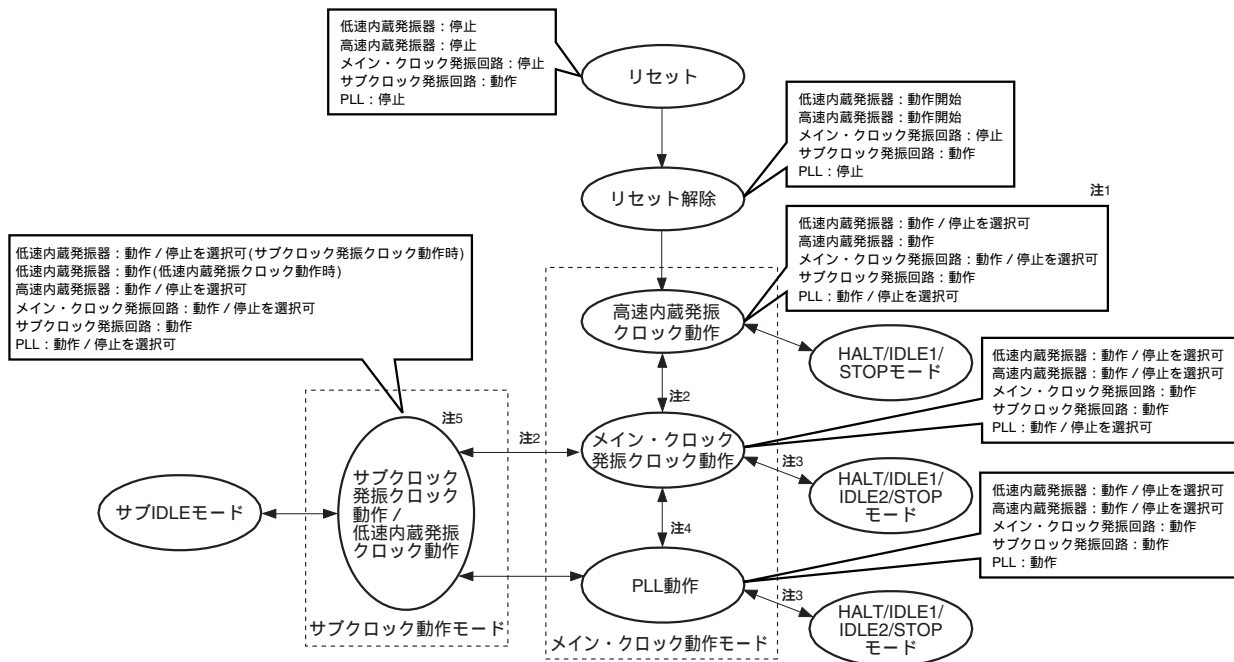
CCLS. CCLS F	PCC.CLS	PLLCTL. SELPLL	MCM.MCS	オプション・ バイト007B : SUBCLKビット	動作クロック (内部システム・クロック (f _{CLK}))
0	0 (メイン・システム・クロック動作 モード)	0 (クロック・ スルー・モード)	0 (高速内蔵発振 モード)	×	高速内蔵発振クロック動作
		1 (PLLモード)	1 (メイン・ クロック発振 モード)		メイン・クロック発振クロック 動作
	1 (サブクロック動 作モード)			×	0 (サブクロック 発振モード)
		1 (低速内蔵発振 モード2)	低速内蔵発振クロック動作		
1	-				低速内蔵発振クロック動作 (メイン・クロック発振回路の発振 異常停止を検出時)
上記以外					設定禁止

備考 x = don't care

4.3.2 動作状態遷移

図4 - 3は状態遷移を示しています。

図4 - 3 動作状態遷移図



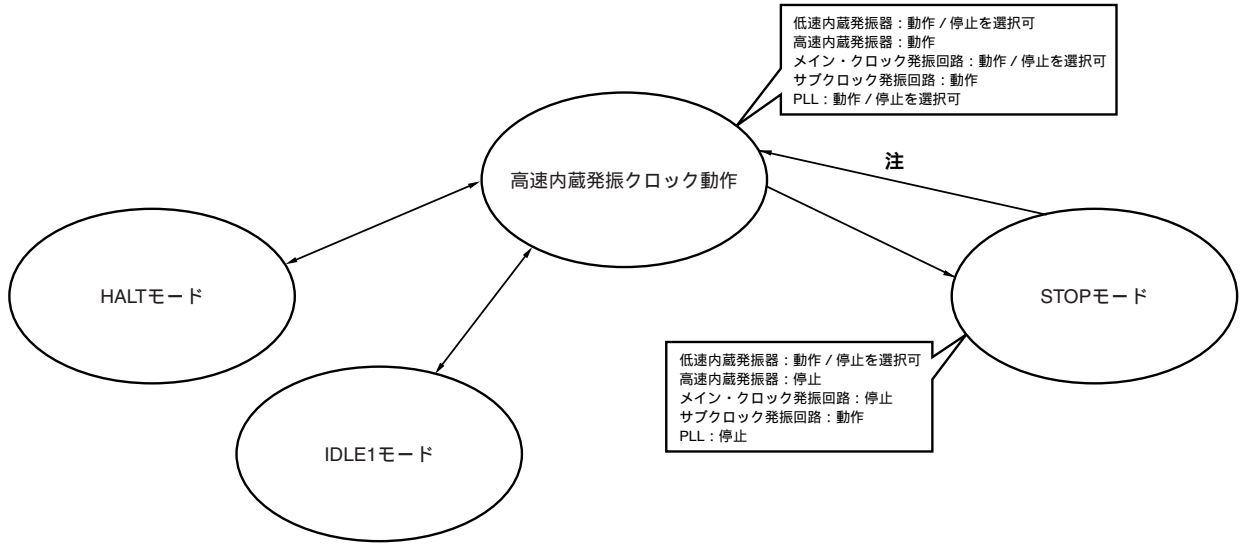
注1. リセット解除直後（デフォルト）の状態は次のとおりです。

低速内蔵発振器： 動作
 高速内蔵発振器： 動作
 メイン・クロック発振回路： 停止
 サブクロック発振回路： 動作
 PLL： 停止

2. メイン・クロック発振クロックへの動作移行時は、PCC.MCKビットに"0"を設定（メイン・クロック発振回路の発振許可）のあと、ソフトウェアで発振安定時間を確保し、OSTC.MSTSビットで発振安定状態を確認してください。PLLを動作許可にする場合は、メイン・クロック発振回路を動作許可にする前、または発振安定後にしてください。
3. STOPモード解除時、メイン・クロック発振回路が発振していない（異常停止している）場合は低速内蔵発振クロック動作に移行します。この場合、サブクロック動作（低速内蔵発振クロック）と状態が異なるので注意してください。
4. PLL動作移行時は、ソフトウェアでロックアップ時間を確保し、LOCKR.LOCKビットでPLLのロック状態を確認してください。
5. サブクロック動作モードでのクロックは、オプション・バイト設定でサブクロック発振クロックか低速内蔵発振クロックのどちらか一方を選択します。

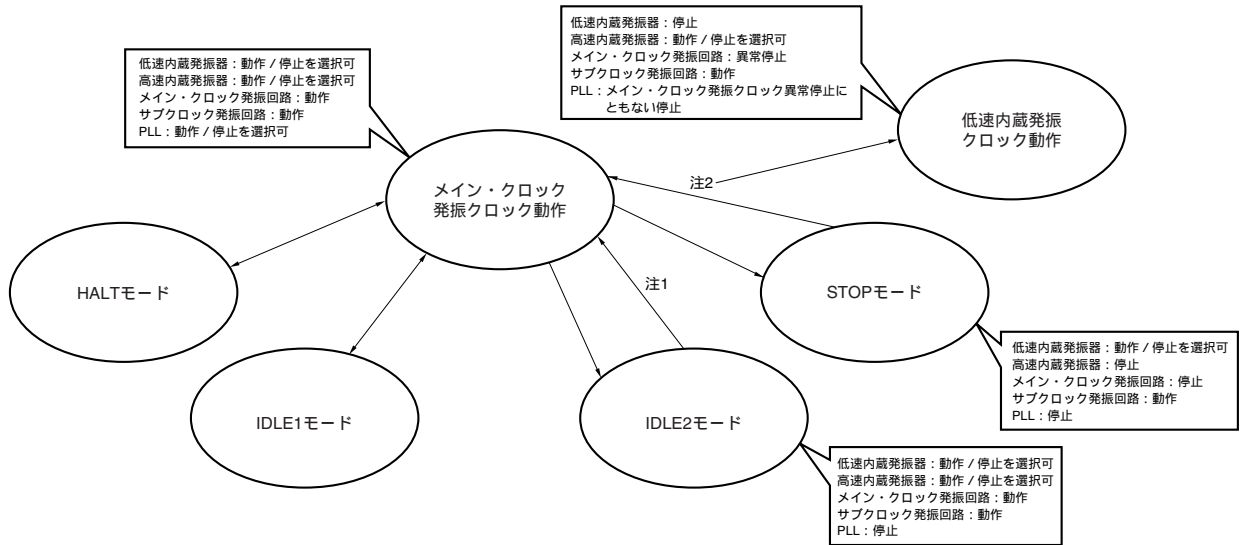
(1) メイン・クロック動作からスタンバイ状態への遷移

図4 - 4 高速内蔵発振クロック動作からスタンバイ状態への遷移



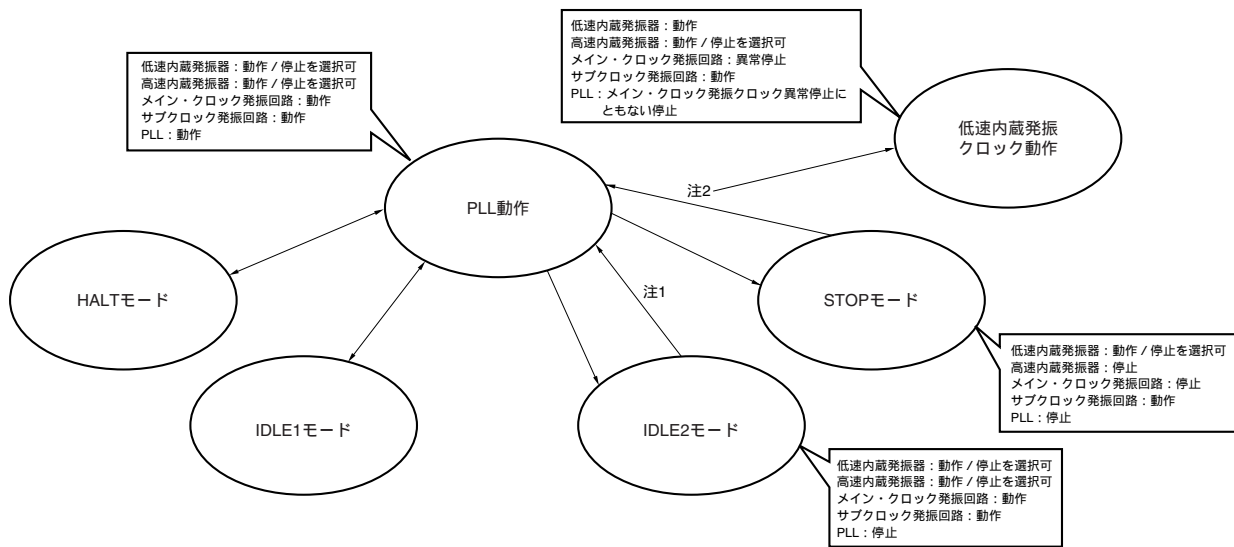
注 高速内蔵発振クロックの発振安定時間カウント後、高速内蔵発振クロック動作に復帰します。

図4 - 5 メイン・クロック発振クロック動作からスタンバイ状態への遷移



- 注1. OSTSレジスタで設定した発振安定時間カウント後、メイン・クロック発振クロック動作に復帰します。
2. OSTSレジスタで設定した発振安定時間カウント後、メイン・クロック発振クロック動作に復帰します。ただし、メイン・クロック発振回路が発振していない（発振安定時間カウント中にウォッチドッグ・タイマがオーバーフローした）場合は、低速内蔵発振クロック動作に移行します（セーフティ動作）。この場合、サブクロック動作モード（低速内蔵発振クロック動作）と状態が異なりますので注意してください。

図4 - 6 PLL動作からスタンバイ状態への遷移



- 注1. OSTSレジスタで設定した発振安定時間カウント後、PLLクロック動作に復帰します。
2. OSTSレジスタで設定した発振安定時間カウント後、PLLクロック動作に復帰します。ただし、メイン・クロック発振回路が発振していない（発振安定時間カウント中にウォッチドッグ・タイマがオーバーフローした）場合は、低速内蔵発振クロック動作に移行します（セーフティ動作）。この場合、サブクロック動作モード（低速内蔵発振クロック動作）と状態が異なりますので注意してください。

(2) サブクロック動作からスタンバイ状態への遷移

図4 - 7 サブクロック発振クロック動作からスタンバイ状態への遷移

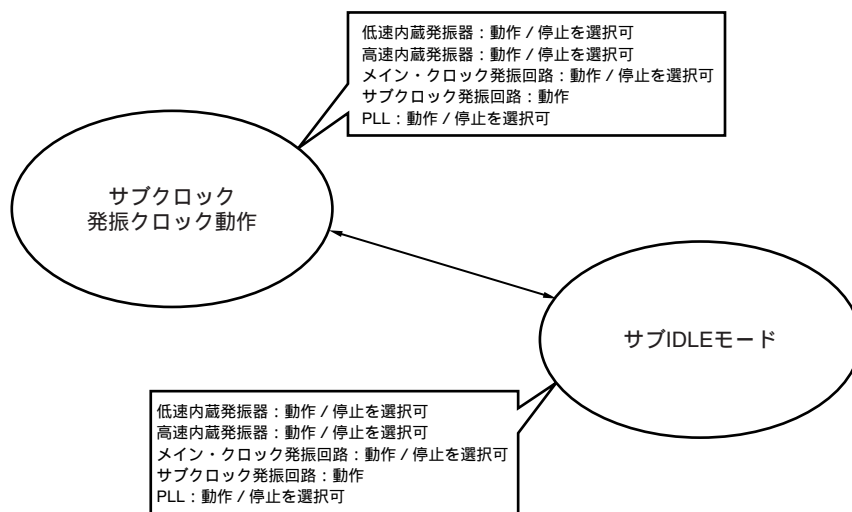
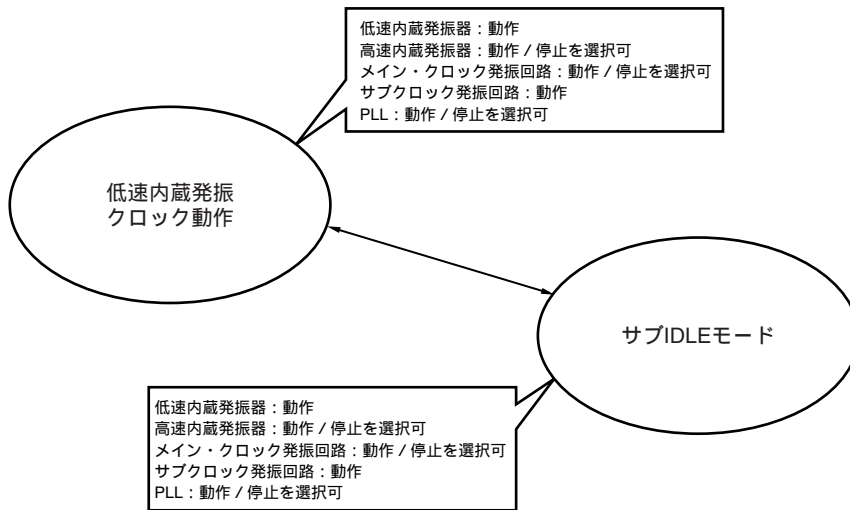


図4 - 8 低速内蔵発振クロック動作からスタンバイ状態への遷移



4.3.3 スタンバイ機能の説明

ここではスタンバイ機能の各モードを詳細に説明します。

表4 - 22 スタンバイ機能

モード	機能概要
HALTモード	CPUの動作クロックが停止するモード
IDLE1モード	発振回路とPLL ^注 、フラッシュ・メモリを除く、チップのすべての内部動作が停止するモード
IDLE2モード	発振回路を除く、チップのすべての内部回路動作が停止するモード
STOPモード	サブクロック発振回路を除く、チップのすべての内部回路動作が停止するモード
サブクロック動作モード	内部システム・クロック (f _{CLK})、CPUクロック (f _{CPU}) をサブクロック (f _{SC}) で動作させるモード
サブIDLEモード	サブクロック動作モード時、発振回路以外の内部回路をすべて停止するモード

注 PLLは前の動作状態を保持します。

(1) HALTモード

このモードではクロック発振器は動作を継続しますが、CPUへのクロック供給は停止します。その他の内蔵周辺機能へのクロック供給は継続します。

そのため、プログラム実行は停止し、HALTモード設定前の内蔵RAMの内容は保持されます。CPUの命令処理に依存しない内蔵周辺機能は動作を継続します。

HALTモードは、通常動作と使用して間欠動作を行うことで、システムの平均消費電力を低減することができます。

HALTモードの設定： 通常動作モードでHALT命令が実行されると、HALTモードが設定されます。

- 注意 1. HALT命令の後には、NOP命令を5命令以上挿入してください。
2. マスクされていない割り込み要求信号が保留されている状態でHALT命令を実行した場合、HALTモードに移行しますが、保留されている割り込み要求によりHALTモードはすぐに解除されます。
3. セルフ・プログラミング中に、HALTモードに移行させないでください。

HALTモード状態： 次の表はHALTモードの動作状態を示しています。

表4 - 23 HALTモードの動作状態

		動作状態	
		サブクロックなし	サブクロックあり
メイン・クロック発振回路 (fx)		発振可能	
サブクロック発振回路 (fxt)		-	発振可能
低速内蔵発振器 (fRL)		発振可能	
高速内蔵発振器 (fRH)		発振可能	
PLL (fPLLO)		動作可能	
CPU		動作停止	
ポート機能		HALTモード設定前の状態を保持。	
タイマ/カウンタ	TAA0-TAA4	TAA0, TAA2, : 動作可能 TAA4 TAA1, TAA3 : fxt以外がカウント・クロックとして選択された場合動作可能。	動作可能
	TMM0	fxt以外がカウント・クロックとして選択された場合動作可能。	動作可能
時計タイマ (WT)		カウント・クロックにfx (プリスケアラ3の分周クロック)を選択した場合動作可能	動作可能
ウォッチドッグ・タイマ (WDT2)		動作可能	
A/Dコンバータ		動作可能	
シリアル・インタフェース	UARTD0-UARTD2	動作可能	
	CSIB0, CSIB1	動作可能	
	IIC00	動作可能	
CANコントローラ (CAN0)		動作可能	
割り込みコントローラ		動作可能	
キー割り込み機能		動作可能	
クロック・モニタ		動作可能	
パワー・オン・クリア回路		動作可能	
低電圧検出回路 (LVI)		動作可能	
電圧レギュレータ		動作継続	
内部データ		CPUのレジスタとステート、データおよび内部RAMなどの内部データは、すべてHALTモード設定以前の状態を保持。	

注意 表はV850ES/FG3-Lのもので、各製品がサポートする周辺機能につきましては表1 - 1 V850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-Lの機能概要を参照してください。

HALTモードの解除： HALTモードは、ノンマスクابل割り込み要求信号（NMI端子またはINTWDT2信号）またはマスクされていない外部割り込み要求信号，HALTモードでも動作する周辺機能のマスクされていない内部割り込み要求信号，リセット信号によって解除されます。
HALTモードが解除されると，通常動作モードに復帰します。

(a) ノンマスクابل割り込み要求またはマスクされていないマスクابل割り込み要求による解除

HALTモードは，割り込み要求信号の優先順位に関わらずノンマスクابل割り込み要求またはマスクされていないマスクابل割り込み要求によって解除されます。しかし，HALTモードが割り込みルーチンの中で設定されると，次のような動作が行われます。

- ・現在処理中の割り込み要求よりも低い優先順位を持つ割り込み要求信号が発生すると，HALTモードは解除されますが，この低い優先順位の割り込み要求は保持されます。
- ・現在処理中の割り込み要求よりも高い優先順位を持つ割り込み要求信号（ノン・マスクابل割り込み要求を含む）が発生すると，HALTモードは解除され，この割り込み要求信号は受け付けられます。

表4 - 24 HALTモードが割り込み要求信号で解除された後の動作

解除要因	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求信号	ハンドラ・アドレスに分岐します。	
マスクابل割り込み要求信号	ハンドラ・アドレスに分岐するか，次の命令が実行されます。	次の命令が実行されます。

(b) リセット信号による解除 ($\overline{\text{RESET}}$ 端子入力によるリセットまたは内部リセット信号であるRESPOC信号（パワーオン・クリア回路），WDT2RES信号（ウォッチドッグ・タイマ2），RESLVI信号（低電圧検出回路），SYSRES信号（クロック・モニタ））

動作は通常のリセット動作と同じです。

(2) IDLE1モード

IDLE1モードでは、メイン・クロック発振回路とPLL，フラッシュ・メモリは動作を継続しますが，CPUとその他の内蔵周辺機能へのクロック供給は停止します。

この結果，プログラム実行は停止し，IDLE1モードが設定される前の内蔵RAMの内容は保持されます。CPUや内蔵周辺機能は動作を停止しますが，サブクロック，内蔵発振クロックまたは外部クロックで動作できる内蔵周辺機能は動作を継続します。

IDLE1モードでは，内蔵周辺機能の動作が停止するため，消費電力をHALTモードよりも低減できます。また，メイン・クロック発振回路は停止しないので，HALTモード同様に，発振安定時間を確保することなく通常モードに復帰できます。

IDLE1モードの設定： IDLE1モードは，通常動作モード時にPSMRレジスタのPSM1とPSM0ビットを“00”にクリアし，PSCレジスタのSTPビットを1にセットすると設定されます。

IDLE1モード状態： 次の表はIDLE1モードの動作状態を示しています。

- 注意 1. IDLE1モードに設定するためのPSCレジスタに対するストア命令のあとには，直後にNOP命令を5命令以上挿入してください。
2. セルフ・プログラミング中に，IDLE1モードに移行させないでください。

表4 - 25 IDLE1モードの動作状態 (1/2)

		動作状態	
		サブクロックなし	サブクロックあり
メイン・クロック発振回路 (fx)		発振可能	
サブクロック発振回路 (fxT)		-	発振可能
低速内蔵発振器 (fRL)		発振可能	
高速内蔵発振器 (fRH)		発振可能	
PLL (fPLLO)		動作可能	
CPU		動作停止	
ポート機能		IDLE1モード設定前の状態を保持。	
タイマ/カウンタ	TAA0-TAA4	fxP2がカウント・クロックとして選択されている場合動作可能。	TAA0, TAA2, TAA4 : fxP2がカウント・クロックとして選択されている場合動作可能。 TAA1, TAA3 : fxP2またはfxTがカウント・クロックとして選択されている場合動作可能 ^注 。
	TMM0	fRH/8, INTWTまたはfRL/8がカウント・クロックとして選択されている場合動作可能。	fRH/8, INTWT, fRL/8またはfxTがカウント・クロックとして選択されている場合動作可能。
時計タイマ (WT)		カウント・クロックにfx (プリスケアラ3の分周クロック) を選択した場合動作可能。	動作可能

注 fxTによるカウント動作は，セレクト動作制御レジスタ (SELCNTn) のISEL x x ビットが1に設定されている場合 (fxP2) のみ可能です。

注意 表はV850ES/FG3-Lのものであります。各製品がサポートする周辺機能につきましては表1 - 1 V850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-Lの機能概要を参照してください。

表4 - 25 IDLE1モードの動作状態 (2/2)

		動作状態	
		サブクロックなし	サブクロックあり
ウォッチドッグ・タイマ (WDT2)		動作可能	
A/Dコンバータ ^注		動作停止	
シリアル・インタフェース	UARTD0- UARTD2	UARTD0 : f _{XP2} またはASCKD0が入力クロックに選択されている場合動作可能。 UARTD1, UARTD2 : 動作クロックとしてf _{XP2} が選択されている場合動作可能。	
	CSIB0, CSIB1	SCKBnが入力クロックとして選択されている場合動作可能。	
	IIC00	動作停止	
CANコントローラ (CAN0)		動作停止	
割り込みコントローラ		動作停止 (ただしIDLE1モード解除可能)	
キー割り込み機能		動作可能	
クロック・モニタ		動作可能	
パワー・オン・クリア回路		動作可能	
低電圧検出回路 (LVI)		動作可能	
電圧レギュレータ		動作継続	
内部データ		CPUのレジスタとステータス、データおよび内部RAMなどの内部データは、すべてIDLE1モード設定以前の状態を保持。	

注 消費電力を低減するために、IDLE1モードを設定する前にA/Dコンバータを停止してください。

注意 表はV850ES/FG3-Lのもので、各製品がサポートする周辺機能につきましては表1 - 1 V850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-Lの機能概要を参照してください。

IDLE1モードの解除：IDLE1モードは、ノンマスクブル割り込み要求信号 (NMI端子入力またはINTWDT2信号) またはマスクされていない外部割り込み要求信号、IDLE1モードで動作可能な周辺機能のマスクされていない割り込み要求信号、リセット信号により解除されます。
IDLE1モードが解除されると、通常動作モードに復帰します。

- 注意1. PSCレジスタのNMI1M, NMI0MおよびINTMビットで禁止される割り込み要求信号は無効で、IDLE1モードを解除しません。
2. INTP3端子は、NFCレジスタの設定によりデジタル・ノイズ除去を選択し、かつサンプリング・クロックをf_{xx}/64, f_{xx}/128, f_{xx}/256, f_{xx}/512, f_{xx}/1024, f_{xx}/2048から選択した場合、IDLE1モードの解除はできません。詳細は、第2章 端子機能を参照してください。

(a) ノンマスクابل割り込み要求またはマスクされていないマスクابل割り込み要求による解除

IDLE1モードは、割り込み要求信号の優先順位に関わらずノンマスクابل割り込み要求またはマスクされていないマスクابل割り込み要求によって解除されます。IDLE1モードが割り込みルーチンの中で設定されると、次のような動作が行われます。

- ・現在処理中の割り込み要求よりも低い優先順位を持つ割り込み要求信号が発生すると、IDLE1モードは解除されますが、この低い優先順位の割り込み要求信号は保持されます。
- ・現在処理中の割り込み要求よりも高い優先順位を持つ割り込み要求信号（ノン・マスクابل割り込み要求を含む）が発生すると、IDLE1モードは解除され、この割り込み要求信号は受け付けられます。

表4 - 26 IDLE1モードが割り込み要求信号で解除された後の動作

解除要因	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求信号	ハンドラ・アドレスに分岐します。	
マスクابل割り込み要求信号	ハンドラ・アドレスに分岐するか、次の命令が実行されます。	次の命令が実行されます。

(b) リセット信号による解除 ($\overline{\text{RESET}}$ 端子入力によるリセットまたは内部リセット信号であるRESPOC信号 (パワーオン・クリア回路), WDT2RES信号 (ウォッチドッグ・タイマ2), RESLVI信号 (低電圧検出回路), SYSRES信号 (クロック・モニタ))

動作は通常のリセット動作と同じです。

(3) IDLE2モード

IDLE2モードでは、メイン・クロック発振回路は動作を継続しますが、CPU, PLL, フラッシュ・メモリとその他の内蔵周辺機能へのクロック供給は停止します。

この結果、プログラム実行は停止し、IDLE2モードが設定される前の内蔵RAMの内容は保持されます。CPUや内蔵周辺機能は動作を停止しますが、サブクロック、内蔵発振クロックまたは外部クロックで動作できる内蔵周辺機能は動作を継続します。

IDLE2モードでは、PLL、内蔵周辺機能とフラッシュ・メモリの動作が停止するため、消費電力をIDLE1モードよりも低減できます。また、PLLとフラッシュ・メモリが停止するため、IDLE2モードの解除後、PLLとフラッシュ・メモリのセットアップ時間が必要です。

IDLE2モードの設定： IDLE2モードは、通常動作モード時にPSMRレジスタのPSM1とPSM0ビットを“10”にクリアし、PSCレジスタのSTPビットを1にセットすると設定されます。

- 注意1.** IDLE2モードを設定するためには、PSCレジスタを操作するストア命令の直後に、5つ以上のNOP命令を挿入してください。
- 2.** セルフ・プログラミング中に、IDLE2モードに移行させないでください。

IDLE2モード状態： 次の表はIDLE2モードの動作状態を示しています。

表4 - 27 IDLE2モードの動作状態

		動作状態	
		サブクロックなし	サブクロックあり
メイン・クロック発振回路 (fx)		発振可能	
サブクロック発振回路 (fxt)		-	発振可能
低速内蔵発振器 (fRL)		発振可能	
高速内蔵発振器 (fRH)		発振可能	
PLL (fPLLO)		動作停止	
CPU		動作停止	
ポート機能		IDLE2モード設定前の状態を保持。	
タイマ/カウンタ	TAA0-TAA4	動作停止	
	TMM0	fRH/8, INTWT, またはfRL/8がカウント・クロックとして選択されている場合動作可能。	fRH/8, INTWT, fRL/8またはfXTがカウント・クロックとして選択されている場合動作可能。
時計タイマ (WT)		カウント・クロックにfx (プリスケアラ3の分周クロック) を選択した場合動作可能。	動作可能
ウォッチドッグ・タイマ (WDT2)		動作可能	
A/Dコンバータ ^注		動作停止	
シリアル・インタフェース	UARTD0- UARTD2	UARTD0: ASCKD0が入カクロックに選択されている場合動作可能。 UARTD1, UARTD2: 動作停止。	
	CSIB0, CSIB1	SCKBnが入カクロックとして選択されている場合動作可能。	
	IIC00	動作停止	
	CANコントローラ (CAN0)	動作停止 (ただしスリープ・モードからのウエイクアップは可能)	
割り込みコントローラ		動作停止 (ただしIDLE2モードの解除は可能)	
キー割り込み機能		動作可能	
クロック・モニタ		動作可能	
パワー・オン・クリア回路		動作可能	
低電圧検出回路 (LVI)		動作可能	
電圧レギュレータ		動作継続	
内部データ		CPUのレジスタとステート, データおよび内部RAMの内容などの内部データは, すべてIDLE2モード設定以前の状態を保持。	

注 消費電力を低減するためには, IDLE2モードを設定する前にA/Dコンバータを停止してください。

注意 1. 表はV850ES/FG3-Lのものです。各製品がサポートする周辺機能につきましては表1 - 1 V850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-Lの機能概要を参照してください。

IDLE2モードの解除: IDLE2モードは, ノンマスカブル割り込み要求信号 (NMI端子入力またはINTWDT2信号) またはマスクされていない外部割り込み要求信号, IDLE2モードで動作可能な周辺機能のマスクされていない割り込み要求信号, リセット信号により解除されます。
IDLE2モードが解除されると, 通常動作モードに復帰します。

- 注意 1. PSCレジスタのNMI1M, NMI0MおよびINTMビットで禁止される割り込み要求信号は無効で, IDLE2モードを解除しません。
2. INTP3端子は, NFCレジスタの設定によりデジタル・ノイズ除去を選択し, かつサンプリング・クロックをfxx/64, fxx/128, fxx/256, fxx/512, fxx/1024, fxx/2048から選択した場合, IDLE2モードの解除はできません。詳細は, 第2章 端子機能を参照してください。

(a) ノンマスクابل割り込み要求またはマスクされていないマスクابل割り込み要求による解除

IDLE2モードは、割り込み要求信号の優先順位に関わらずノンマスクابل割り込み要求またはマスクされていないマスクابل割り込み要求によって解除されます。しかし、IDLE2モードが割り込みルーチンの中で設定されると、次のような動作が行われます。

- ・現在処理中の割り込み要求よりも低い優先順位を持つ割り込み要求信号が発生すると、IDLE2モードは解除されますが、この低い優先順位の割り込み要求は保持されます。
- ・現在処理中の割り込み要求よりも高い優先順位を持つ割り込み要求信号が発生すると、IDLE2モードは解除され、この割り込み要求信号は受け付けられません。

表4 - 28 IDLE2モードが割り込み要求信号で解除された後の動作

解除要因	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求信号	所定のセットアップ時間が経過後、ハンドラ・アドレスに分岐します。	
マスクابل割り込み要求信号	所定のセットアップ時間経過後、ハンドラ・アドレスに分岐するか、次の命令が実行されます。	所定のセットアップ時間経過後、次の命令が実行されます。

(b) リセット信号による解除 (RESET端子入力によるリセットまたは内部リセット信号であるRESPOC信号 (パワーオン・クリア回路), WDT2RES信号 (ウォッチドッグ・タイマ2), RESLVI信号 (低電圧検出回路), SYSRES信号 (クロック・モニタ))

動作は通常のリセット動作と同じです。

(c) IDLE2モードを解除時のセットアップ時間の確保

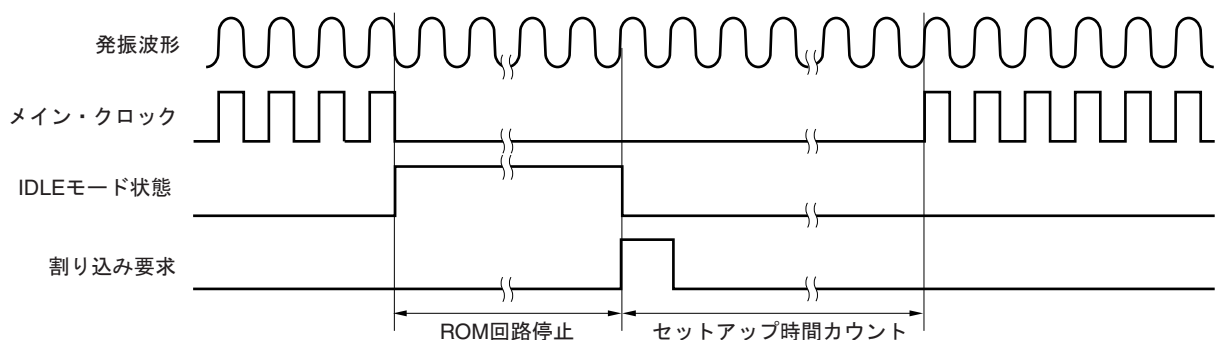
IDLE2モードが設定されると、メイン・クロック発振回路以外は停止します。したがって、IDLE2モードを解除した後にROM (フラッシュ・メモリ) のセットアップ時間を確保してください。

- ・ノンマスクابل割り込み要求信号またはマスクされていないマスクابل割り込み要求信号による解除

所定のセットアップ時間はOSTSレジスタの設定により確保します。

IDLE2モードを解除する要因が発生した場合、内部専用タイマがOSTSレジスタの設定にしたがってカウントを開始します。このタイマがオーバーフローした時、通常動作モードに復帰します。

図4 - 9 IDLE2モード・タイミング



- ・リセット信号による解除（ $\overline{\text{RESET}}$ 端子入力によるリセットまたは内部リセット信号である RESPOC信号（パワーオン・クリア回路）、WDT2RES信号（ウォッチドッグ・タイマ2）、RESLVI信号（低電圧検出回路）、SYSRES信号（クロック・モニタ））
動作は通常のリセット動作と同じです。
発振安定時間はOSTSレジスタのデフォルト値 $2^{16}/f_x$ です。

（4）STOPモード

STOPモードではサブクロック発振回路は動作を継続しますが、メイン・クロック発振回路は停止します。また、CPUと内蔵周辺機能へのクロック供給も停止します。

この結果、プログラム実行は停止し、STOPモードが設定される前の内蔵RAMの内容は保持されます。CPUの内蔵周辺機能は動作を停止しますが、サブクロック、内部発振クロックまたは外部クロックで動作できる内蔵周辺機能は動作を継続します。

STOPモードでは、メイン・クロック発振回路の動作が停止するため、消費電力をIDLE2モードよりも低減できます。また、サブクロック発振回路と内蔵発振器、外部クロックを使用していない場合、リーク電流のみの低消費電力を実現できます。

STOPモードの設定： STOPモードは、通常動作モード時にPSMRレジスタのPSM1とPSM0ビットを“01”または“11”に設定し、PSCレジスタのSTPビットを1にセットすると設定されます。

- 注意1. STOPモードを設定するためには、PSCレジスタを操作するストア命令の直後に、5つ以上のNOP命令を挿入してください。
2. セルフ・プログラミング中に、STOPモードに移行させないでください。

STOPモード状態： 次の表はSTOPモードの動作状態を示しています。

表4 - 29 STOPモードの動作状態

		動作状態	
		サブクロックなし	サブクロックあり
メイン・クロック発振回路 (fx)		動作停止	
サブクロック発振回路 (fxt)		-	発振可能
低速内蔵発振器 (fRL)		発振可能	
高速内蔵発振器 (fRH)		発振停止	
PLL (fPLLO)		動作停止	
CPU		動作停止	
ポート機能		STOPモード設定前の状態を保持。	
タイマ/カウンタ	TAA0-TAA4	動作停止	
	TMM0	カウント・クロックにfRL/8を選択時, 動作可能。	INTWT, fRL/8またはfXTがカウント・クロックとして選択されている場合動作可能。
時計タイマ (WT)		動作停止	タイマ/カウンタfXTがカウント・クロックとして選択されている場合動作可能。
ウォッチドッグ・タイマ (WDT2)		タイマ/カウンタfRLがカウント・クロックとして選択されている場合動作可能。	
A/Dコンバータ		動作停止	
シリアル・インタフェース	UARTD0- UARTD2	UARTD0: ASCKD0が入力クロックに選択されている場合動作可能。 UARTD1, UARTD2: 動作停止。	
	CSIB0, CSIB1	SCKBnが入力クロックとして選択されている場合動作可能。	
	IIC00	動作停止	
CANコントローラ (CAN0)		動作停止 (ただしSTOPモードからのウエイクアップは可能)	
割り込みコントローラ		動作停止 (ただしSTOPモードの解除は可能)	
キー割り込み機能		動作可能	
クロック・モニタ		動作停止	
パワー・オン・クリア回路		動作可能	
低電圧検出回路 (LVI)		動作可能	
電圧レギュレータ		動作継続	
内部データ		CPUのレジスタとステート, データおよび内部RAMなどの内部データは, すべてSTOPモード設定以前の状態を保持。	

注意 表はV850ES/FG3-Lのもので、各製品がサポートする周辺機能につきましては表1 - 1 V850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-Lの機能概要を参照してください。

- 注意1. A/Dコンバータの動作中にSTOPモードが設定された場合, A/Dコンバータは自動的に動作を停止し, STOPモード解除後に動作を再開します。この場合, STOPモード解除後から2回目までの変換結果は無効になります (3回目以降の変換結果は有効です)。STOPモードが設定される前のすべてのA/D変換結果は無効となります。
2. A/Dコンバータを動作したままSTOPモードに移した場合でも, STOPモード移行前にA/Dコンバータを停止した場合と同等の消費電力を低減できます。

STOPモードの解除：STOPモードは、ノンマスクابل割り込み要求信号（NMI端子入力またはINTWDT2信号）またはマスクされていない外部割り込み要求信号、STOPモードで動作可能な周辺機能のマスクされていない割り込み要求信号、リセット信号により解除されます。
STOPモードが解除されると、通常動作モードに復帰します。

- 注意1. PSCレジスタのNMI1M、NMI0MおよびINTMビットで禁止される割り込み要求信号は無効で、STOPモードを解除しません。
2. INTP3端子は、NFCレジスタの設定によりデジタル・ノイズ除去を選択し、かつサンプリング・クロックをfxx/64、fxx/128、fxx/256、fxx/512、fxx/1024、fxx/2048から選択した場合、STOPモードの解除はできません。詳細は、第2章 端子機能を参照してください。

(a) ノンマスクابل割り込み要求またはマスクされていないマスクابل割り込み要求による解除

STOPモードは、割り込み要求信号の優先順位に関わらずノンマスクابل割り込み要求またはマスクされていないマスクابل割り込み要求によって解除されます。しかし、STOPモードが割り込みルーチンの中で設定されると、次のような動作が行われます。

- ・現在処理中の割り込み要求よりも低い優先順位を持つ割り込み要求信号が発生すると、STOPモードは解除されますが、この低い優先順位の割り込み要求は保持されます。
- ・現在処理中の割り込み要求よりも高い優先順位を持つ割り込み要求信号が発生すると、STOPモードは解除され、この割り込み要求信号は受け付けられません。

表4 - 30 STOPモードが割り込み要求信号で解除された後の動作

解除要因	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求信号	発振安定時間が経過後、ハンドラ・アドレスに分岐します。	
マスクابل割り込み要求信号	発振安定時間経過後、ハンドラ・アドレスに分岐するか、次の命令が実行されます。	発振安定時間経過後、次の命令が実行されます。

(b) STOPモードを解除時の発振安定時間の確保

STOPモードが設定されると、メイン・クロック発振回路は停止します。したがって、STOPモードを解除した後にメイン・クロックの発振安定時間を確保してください。

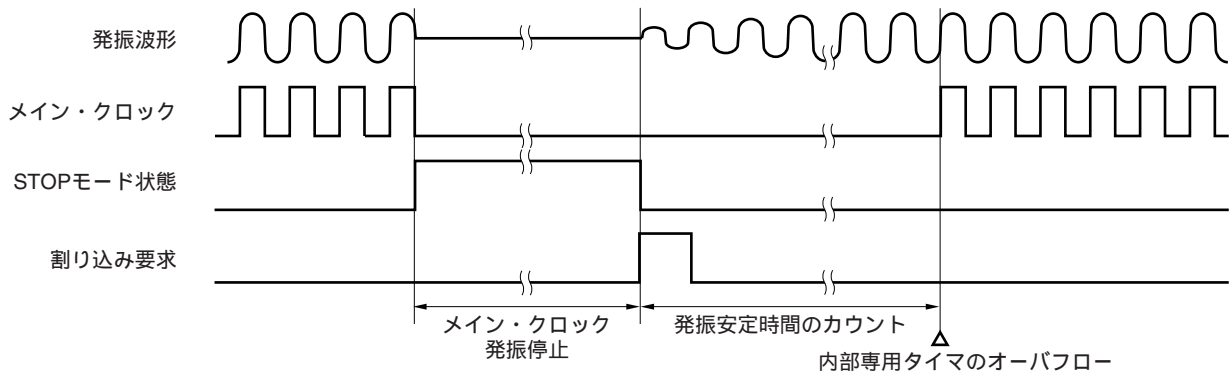
ノンマスクابل割り込み要求信号またはマスクされていないマスクابل割り込み要求信号による解除：

(i) メイン・クロック発振クロック動作時

- ・セットアップ時間はOSTSレジスタの設定により確保します。
- ・STOPモードを解除する要因が発生した場合、内部専用タイマが、OSTSレジスタの設定にしたがってカウントを開始します。このタイマがオーバフローした時、通常動作モードに復帰します。

STOPモードを割り込みで解除した場合の動作を次の図に示します。

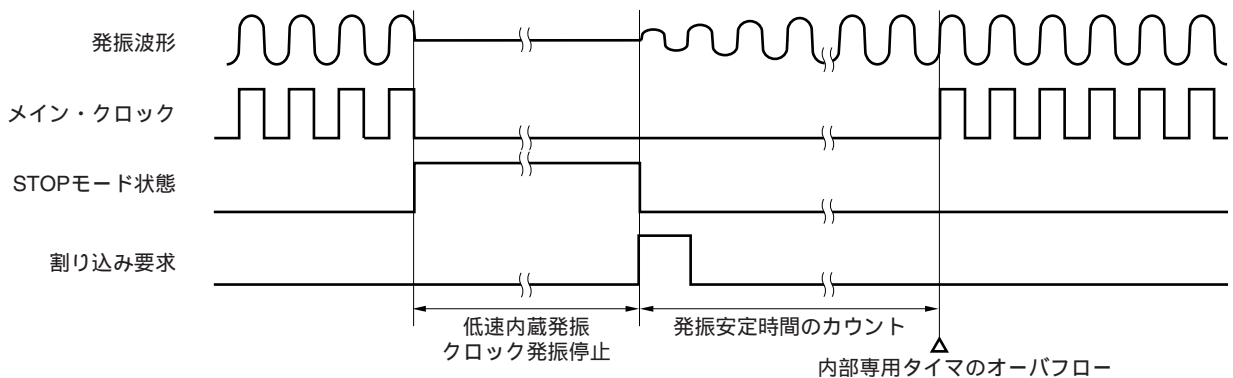
図4 - 10 STOPモード・タイミング



(ii) 高速内蔵発振クロック動作時

STOPモードを解除すると、所定の時間だけ発振安定時間を確保します。STOPモードを解除する要因が発生した場合、メイン・クロック発振用とは異なる内部専用タイマがカウントを開始します。このタイマがオーバーフローしたとき、通常動作モードに復帰します。STOPモードを割り込みで解除した場合の動作を次の図に示します。

図4 - 11 STOPモード・タイミング (高速内蔵発振クロック動作の場合)



(c) リセット信号による解除 (RESET端子入力によるリセットまたは内部リセット信号であるRESPOC信号 (パワーオン・クリア回路), WDT2RES信号 (ウォッチドッグ・タイマ2), RESLVI信号 (低電圧検出回路), SYSRES信号 (クロック・モニタ))

動作は、通常リセット動作と同じです。

(5) サブクロック動作モード

サブクロック動作モードが設定されると、内部システム・クロック (f_{CLK}) はメイン・システム・クロックからサブクロックに切り換わります。サブクロックはサブクロック発振 (f_{XT}) または低速内蔵発振 (f_{RL}) からオプション・バイト007BHのSUBCLKビットで選択できます。

内部システム・クロックが切り換わったかどうかは、PCCレジスタのCLSビットを使用して確認してください。

PCCレジスタのMCKビットを1にセットすることにより、メイン・クロック発振回路の動作を停止します。この結果、システム全体がサブクロックでのみ動作します。

サブクロック動作モードでは、内部システム・クロックとしてサブクロックが使われるため、通常動作モードよりも消費電力が低減できます。また、メイン・クロック発振回路の発振を停止することにより、STOPモードに近い消費電力を実現できます。

サブクロック・モードの設定：通常動作モード時、サブクロック動作モードはPCCレジスタのCK3ビットを1にセットすることで設定されます。

- 注意 1.** PCCレジスタのCK3ビットを操作(0から1または1から0)する場合、CK2-CK0ビットの値を変更しないでください。CK3ビットはビット操作命令を使用してセットしてください。PCCレジスタに関する詳細は、4.2.1(5) プロセッサ・クロック・コントロール・レジスタ(PCC)を参照してください。
2. セルフ・プログラミング中に、STOPモードに移行させないでください。
3. 次の条件を満たしていない場合は、条件を満たすようにCK2-CK0ビットを変更後、サブクロック動作モードに移行してください。

$$\text{内部システム・クロック } (f_{CLK}) > \text{サブクロック } (f_{SC}) \times 4$$

サブクロック・モード状態： 次の表にサブクロック・モードにおける状態を示します。

表4 - 31 サブクロック・モードの動作状態

		動作状態	
		メイン・クロック発振回路発振時	メイン・クロック発振回路停止時
サブクロック発振回路 (f _{XT})		発振可能	
低速内蔵発振器 (f _{RL})		発振可能	
高速内蔵発振器 (f _{RH})		発振可能	
PLL (f _{PLLO})		動作可能	動作停止 ^注
CPU		動作可能	
ポート機能		設定可能	
タイマ/カウンタ	TAA0-TAA4	動作可能	動作停止
	TMM0	動作可能	f _{RH} /8, f _{RL} /8, INTWTまたはf _{XT} がカウント・クロックとして選択されている場合動作可能。
時計タイマ (WT)		動作可能	f _{XT} がカウント・クロックとして選択されている場合動作可能。
ウォッチドッグ・タイマ (WDT2)		動作可能	f _{RL} がカウント・クロックとして選択されている場合動作可能。
A/Dコンバータ		動作可能	動作停止
シリアル・インタフェース	UARTD0- UARTD2	動作可能	UARTD0 : ASCKD0が入力クロックに選択されている場合動作可能。 UARTD1- : 動作停止。 UARTD2
	CSIB0, CSIB1	動作可能	SCKBnが入力クロックとして選択されている場合動作可能。
	IIC00	動作可能	動作停止
CANコントローラ (CAN0)		動作可能	動作停止
割り込みコントローラ		動作可能	
キー割り込み機能		動作可能	
クロック・モニタ		動作可能	動作停止
パワー・オン・クリア回路		動作可能	
低電圧検出回路 (LVI)		動作可能	
電圧レギュレータ		動作継続	
内部データ		設定可能 ^{注2}	

注 メイン・クロック発振回路を停止する場合、PLLも停止してください (PLLCTL.PLLON = 0)。

- 注意1. 表はV850ES/FG3-Lのもので、各製品がサポートする周辺機能につきましては表1 - 1 V850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-Lの機能概要を参照してください。
2. CPUがサブクロックで動作し、メイン・クロックの発振が停止している場合、ウェイトが発生するレジスタへのアクセス禁止です。ウェイトが発生した場合、解除する方法はリセットのみです。

サブクロック・モードの解除：サブクロック・モードは、PCC.CK3ビットを0にクリアするか、リセット信号で解除します。

注意 PCCレジスタのCK3ビットを操作する場合(CK3ビットはビット操作命令でセットしてください)、CK2-CK0ビットの値を変更することは禁止です。PCCレジスタに関する詳細は、4.2.1(5)プロセッサ・クロック・コントロール・レジスタ(PCC)を参照してください。

メイン・クロック発振回路の発振が停止している場合(PCC.MCK = 1)、MCKビットを0にクリアして、ソフトウェアでメイン・クロックの発振安定時間を確保したあと、CK3ビットを0に設定してください。サブクロック動作モードが解除されると通常動作モードに復帰します。

(6) サブIDLEモード

サブIDLEモードでは、クロック発振器は動作を継続しますが、CPUとフラッシュ・メモリ、内蔵周辺機能へのクロック供給は停止します。

その結果、プログラム実行は停止し、サブIDLEモード設定以前の内蔵RAMの内容は保持されます。CPUだけでなく、内蔵周辺機能の動作を停止しますが、サブクロック、内蔵発振クロック、外部クロックで動作可能な内蔵周辺機能は動作を継続します。

CPUとフラッシュ・メモリ、内蔵周辺機能の動作が停止するため、サブIDLEモードの消費電力はサブクロック動作モードよりも低減できます。

メイン・クロックを停止したあとでサブIDLEモードに設定した場合、STOPモードに近い消費電力を実現できます。

サブIDLEモードの設定： サブIDLEモードは、サブクロック動作モードに設定されているときにPSMRレジスタのPSM1とPSM0ビットを“10”に設定し、PSCレジスタのSTPビットを1にセットすることにより設定されます。

注意 サブIDLEモードを設定するためにPSCレジスタへストア命令の直後、5つ以上のNOP命令を挿入してください。

サブIDLEモード状態： 次の表にサブIDLEモードの動作状態を示します。

表4 - 32 サブIDLEモードの動作状態

		動作状態	
		メイン・クロック発振回路発振時	メイン・クロック発振回路停止時
サブクロック発振回路 (fx)		発振可能	
低速内蔵発振器 (f _{RL})		発振可能	
高速内蔵発振器 (f _{RH})		発振可能	
PLL (f _{PLLO})		動作可能	動作停止 ^注
CPU		動作停止	
ポート機能		サブIDLEモード設定前の状態を保持。	
タイマ/カウンタ	TAA0-TAA4	動作停止	
	TMM0	INTWT, f _{RH} /8, f _{RL} /8, f _{XT} がカウント・クロックとして選択されている場合動作可能。	
時計タイマ (WT)		動作可能	f _{XT} がカウント・クロックとして選択されている場合動作可能。
ウォッチドッグ・タイマ (WDT2)		動作可能	f _{RL} がカウント・クロックとして選択されている場合動作可能。
A/Dコンバータ		動作停止	
シリアル・インタフェース	UARTD0- UARTD2	UARTD0 : ASCKD0が入力クロックに選択されている場合動作可能。 UARTD1-UARTD2 : 動作停止。	
	CSIB0, CSIB1	SCKBnが入力クロックとして選択されている場合動作可能。	
	IIC00	動作停止	
CANコントローラ (CAN0)		動作停止	
割り込みコントローラ		動作停止 (サブIDLEモードの解除は可能)	
キー割り込み機能		動作可能	
クロック・モニタ		動作可能	動作停止
パワー・オン・クリア回路		動作可能	
低電圧検出回路 (LVI)		動作可能	
電圧レギュレータ		動作継続	
内部データ		CPUのレジスタとステート, データおよび内部RAMなどの内部データは, すべてサブIDLEモード設定以前の状態を保持。	

注 メイン・クロック発振回路を停止するときは、PLLも停止 (PLLCTL.PLLON = 0) してください。

注意 表はV850ES/FG3-Lのもので、各製品がサポートする周辺機能につきましては表1 - 1 V850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-Lの機能概要を参照してください。

サブIDLEモードの解除：サブIDLEモードは、ノンマスクابل割り込み要求信号 (NMI端子入力またはINTWDT2信号) またはマスクされていない外部割り込み要求信号、サブIDLEモードで動作可能な周辺機能のマスクされていない割り込み要求信号、リセット信号により解除されます。
PLLは、サブIDLEモードが設定される前の動作状態に戻ります。
サブIDLEモードが割り込み要求信号で解除された場合、サブクロック動作モードに復帰します。サブIDLEモードがRESETで解除された場合は、通常動作モードに復帰します。

- 注意1. PSCレジスタのNMI1M, NMI0MおよびINTMビットで禁止される割り込み要求信号は無効で、サブIDLEモードを解除しません。
2. INTP3端子は、NFCレジスタの設定によりデジタル・ノイズ除去を選択し、かつサンプリング・クロックをf_{xx}/64, f_{xx}/128, f_{xx}/256, f_{xx}/512, f_{xx}/1024, f_{xx}/2048から選択した場合、サブIDLEモードの解除はできません。詳細は、第2章 端子機能を参照してください。

(a) ノンマスクابل割り込み要求またはマスクされていないマスクابل割り込み要求による解除

サブIDLEモードは、割り込み要求信号の優先順位に関わらずノンマスクابل割り込み要求またはマスクされていないマスクابل割り込み要求によって解除されます。しかし、サブIDLEモードが割り込みルーチンの中で設定されると、次のような動作が行われます。

- ・現在処理中の割り込み要求よりも低い優先順位を持つ割り込み要求信号が発生すると、サブIDLEモードは解除されませんが、この低い優先順位の割り込み要求は保持されます。
- ・現在処理中の割り込み要求よりも高い優先順位を持つ割り込み要求信号が発生すると、サブIDLEモードは解除され、この割り込み要求信号は受け付けられます。

表4 - 33 サブIDLEモードが割り込み要求信号で解除された後の動作

解除要因	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求信号	ハンドラ・アドレスに分岐します。	
マスクابل割り込み要求信号	ハンドラ・アドレスに分岐するか、次の命令が実行されます。	次の命令が実行されます。

(b) リセット信号 (RESET端子入力によるリセットまたはWDT2RES信号、低電圧検出器 (LVI)、クロック・モニタ (CLM)) による解除

動作は、通常動作モードと同様です。

4.3.4 各クロックの動作状態

次の表は、各動作状態における、各クロックの動作状態概要を示しています。

表4 - 34 各動作状態における、各クロックの動作状態概要

動作状態	f _X /f _{PLLI} ^{注2}	f _{XT} ^{注2}	f _{RL} ^{注2}	f _{RH} ^{注2}	f _{PLLO} f _{PCL}	f _{XX}	f _{XP1}	f _{CLK}	f _{CPU}	f _{XP2}	f _{XC}
リセット期間	×		×	×	×	×	×	×	×	×	×
リセット解除から高速内蔵発振器のセットアップまで	×				×		×	×	×	×	×
高速内蔵発振器 ^{注1}	通常動作	可能		可能		可能					可能
	HALTモード	可能		可能		可能			×		可能
	IDLE1モード	可能		可能		可能	×	×	×	×	×
	STOPモード	×		可能	×	×	×	×	×	×	×
	STOPモード解除から発振安定まで	可能		可能		×		×	×		可能
メイン発振器 ^{注1}	通常動作			可能	可能	可能					
	HALTモード			可能	可能	可能			×		
	IDLE1モード			可能	可能	可能	×	×	×	×	×
	IDLE2モード			可能	可能	×	×	×	×	×	×
	IDLE2解除からセットアップまで			可能	可能	×	×	×	×	×	×
	STOPモード	×		可能	×	×	×	×	×	×	×
	STOPモード解除から発振安定まで			可能	可能	×	×	×	×	×	×
PLL ^{注1}	通常動作			可能	可能						
	HALTモード			可能	可能				×		
	IDLE1モード			可能	可能		×	×	×	×	×
	IDLE2モード			可能	可能	×	×	×	×	×	×
	IDLE2解除からセットアップまで			可能	可能	×	×	×	×	×	×
	STOPモード	×		可能	×	×	×	×	×	×	×
	STOPモード解除から発振安定まで			可能	可能	×	×	×	×	×	×
サブ発振器 ^{注1}	通常動作	可能		可能	可能	可能	可能			可能	可能
	IDLEモード	可能		可能	可能	可能	×	×	×	×	×
(サブクロック用)低速内蔵発振 ^{注1}	通常動作	可能			可能	可能	可能			可能	可能
	IDLEモード	可能			可能	可能	×	×	×	×	×
(セーフティ動作)低速内蔵発振器 ^{注1}	通常動作	-			可能	-	可能	可能		可能	可能
	HALTモード	-			可能	-	可能	可能	×	可能	可能

備考 ○：動作 ×：停止

可能：動作可能（制御レジスタとオプション・バイトの設定による）

注1. 動作条件は次のとおりです。

高速内蔵発振器：	高速内蔵発振クロック動作
メイン発振：	メイン・クロック発振回路クロック動作
PLL：	PLLクロック動作
サブ発振器：	サブクロック発振回路クロック動作
(サブクロック用)低速内蔵発振器：	サブクロック用低速内蔵発振クロック動作
(セーフティ動作)低速内蔵発振器：	セーフティ用低速内蔵発振クロック動作 (STOPモード解除時, メイン・クロック発振回路の発振異常停止を検出した場合の動作)

2. クロック信号の略号の意味は次のようになります。

f _X ：	メイン・クロック発振クロック
f _{XT} ：	サブクロック発振クロック
f _{RL} ：	低速内蔵発振クロック
f _{RH} ：	高速内蔵発振クロック
f _{PLLO} ：	PLL出力クロック
f _{PCL} ：	プログラマブル・クロック出力
f _{XX} ：	メイン・クロック
f _{CLK} ：	内部システム・クロック
f _{CPU} ：	CPUクロック
f _{XP1} ：	周辺クロック用プリスケアラ1入力クロック
f _{XP2} ：	UARTD, TAA用クロック
f _{XC} ：	CAN用クロック

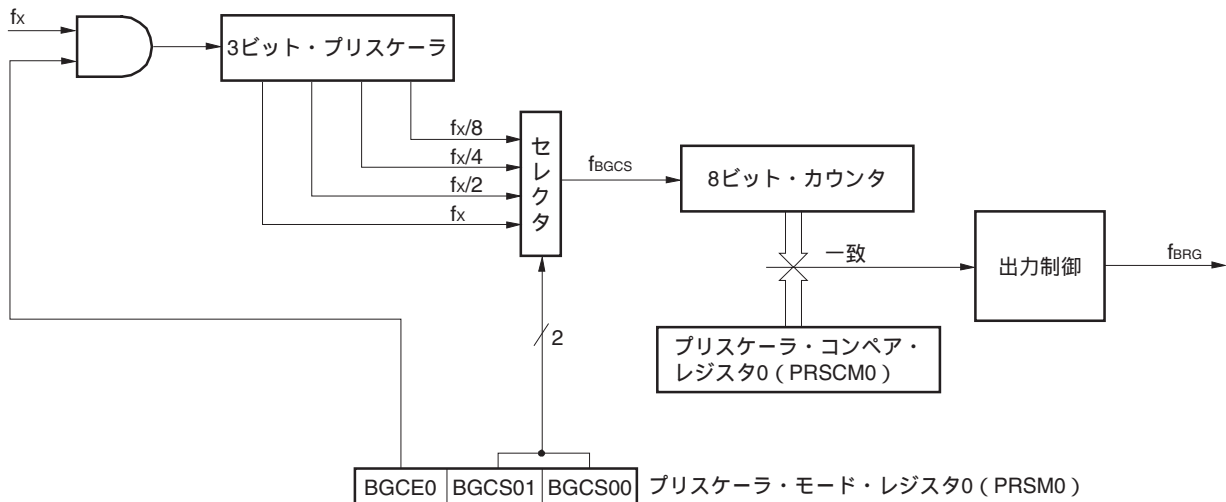
4.3.5 プリスケアラ3の動作

プリスケアラ3はメイン・クロック発振回路の出力信号 f_x を分周してクロック f_{BRG} を生成します。

(1) 構成

プリスケアラ3はクロック分周器，カウンタ，コンパレータで構成されます。

図4 - 12 プリスケアラ3のブロック図



備考 PRSM0レジスタについての詳細は，4.2.5(1) **プリスケアラ・モード・レジスタ0 (PRSM0)** を，PRSCM0レジスタについての詳細は，4.2.5(2) **プリスケアラ・コンペア・レジスタ0 (PRSCM0)** をそれぞれ参照してください。

(2) 算出方法

メイン・クロック発振クロック(f_x)とプリスケアラ・クロック分周器の設定値を選択するPRSM0.BGCS0 [1:2]ビット，PRSCM0コンペア・レジスタの値，出力されるクロック f_{BRG} の関係は次のようになります。

$$f_{BRG} = f_x / (2^m \times N \times 2)$$

f_{BRG} = 出力クロック周波数

f_x = 入力クロック周波数

m = BGCS0 [1:0]の値 (0-3)

N = PRSCM0レジスタの値 (1-FFH)。PRSCM0 = 00Hの場合， $N = 256$

例 $f_x = 4 \text{ MHz}$

$m = 0$

$N = 3DH$

の場合，

$f_{BRG} = 32.787 \text{ kHz}$

となります。

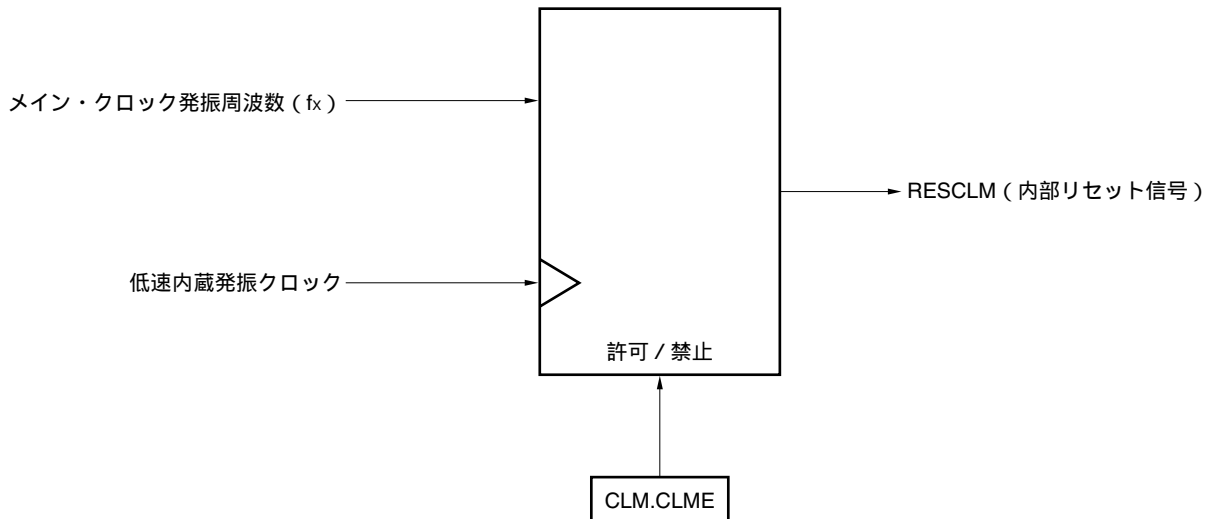
4.3.6 クロック・モニタの動作

クロック・モニタは、低速内蔵発振器を使用してメイン・クロックをサンプリングし、メイン・クロックの発振が停止した場合、リセット要求信号を生成します。

(1) 構成

クロック・モニタのブロック図を示します。

図4 - 13 クロック・モニタのブロック図



クロック・モニタはメイン・クロック発振周波数 (fx) を低速内蔵発振クロックでサンプリングします。メイン・クロック発振の停止を検出すると、RESCLM信号 (内部リセット信号) が生成されます。

表4 - 35 クロック・モニタの動作状態 (CLM.CLMEビット = 1, 低速内蔵発振クロック動作中)

内部システム・クロック (f _{CLK})	動作モード	メイン・クロック 発振回路の状態	低速内蔵発振 回路の状態	クロック・ モニタの状態
メイン・クロック	HALTモード	発振	発振 ^{注1}	動作 ^{注2}
	IDLE1モード, IDLE2モード	発振	発振 ^{注1}	動作 ^{注2}
	STOPモード	停止	発振 ^{注1}	停止
サブクロック (PCCレジスタのMCKビット = 0)	サブIDLEモード	発振	発振 ^{注1}	動作 ^{注2}
サブクロック (PCCレジスタのMCKビット = 1)	サブIDLEモード	停止	発振 ^{注1}	停止
低速内蔵発振クロック	-	停止	停止 ^{注1}	停止
リセット中	-	停止	停止	停止

注1. 低速内蔵発振器は、オプション・バイトによりソフトウェアで停止可に設定されている場合のみ、RCMレジスタのRSTOPビットを1にセットすることで停止できます。

2. 低速内蔵発振器が停止するとクロック・モニタも停止します。

(2) 始動と停止

クロック・モニタの動作を許可するには、CLM.CLMEビットを1にセットします。このビットは1度セットされると、リセット以外ではクリアされません。

メイン・クロック発振回路が安定すると（OSTC.MSTSビット = 1）、クロック・モニタは自動的に始動します。

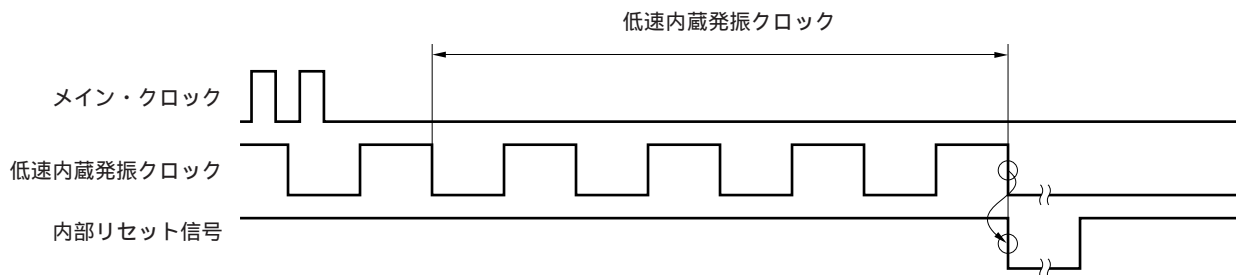
クロック・モニタは次の条件下で自動的に停止します。

- ・STOPモード解除後の発振安定時間のカウント中
- ・メイン・クロックが停止した場合（サブクロック動作中にPCC.MCKビット = 1の場合、またはメイン・クロック動作中にPCC.CLSビット = 0の場合）
- ・サンプリング・クロックが停止した場合（低速内蔵発振器の停止）
- ・CPUが高速内蔵発振クロックで動作している場合
- ・CPUが低速内蔵発振クロックで動作している場合（セーフティ動作）

(3) メイン・クロック発振が停止した場合の動作（CLMEビット = 1）

CLMEビット = 1に設定されてメイン・クロックの発振が停止した場合、下図に示すように内部リセット信号が生成されます。

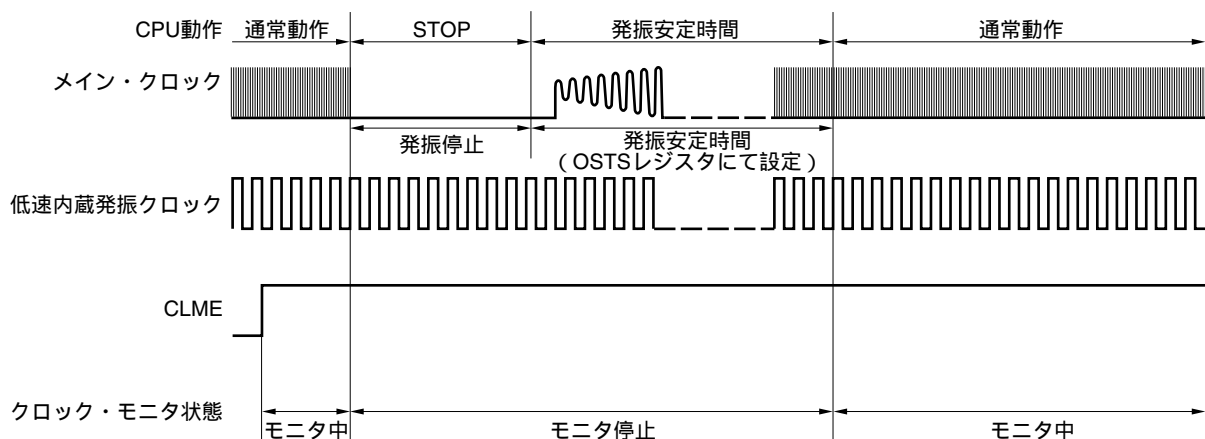
図4 - 14 メイン・クロックの発振が停止した場合



(4) ストップ・モード中または解除後の動作

CLMEビット = 1に設定されSTOPモードが設定された場合、発振安定時間のカウント中はモニタ動作はSTOPモードで停止します。発振安定時間の経過後、モニタ動作は自動的に開始されます。

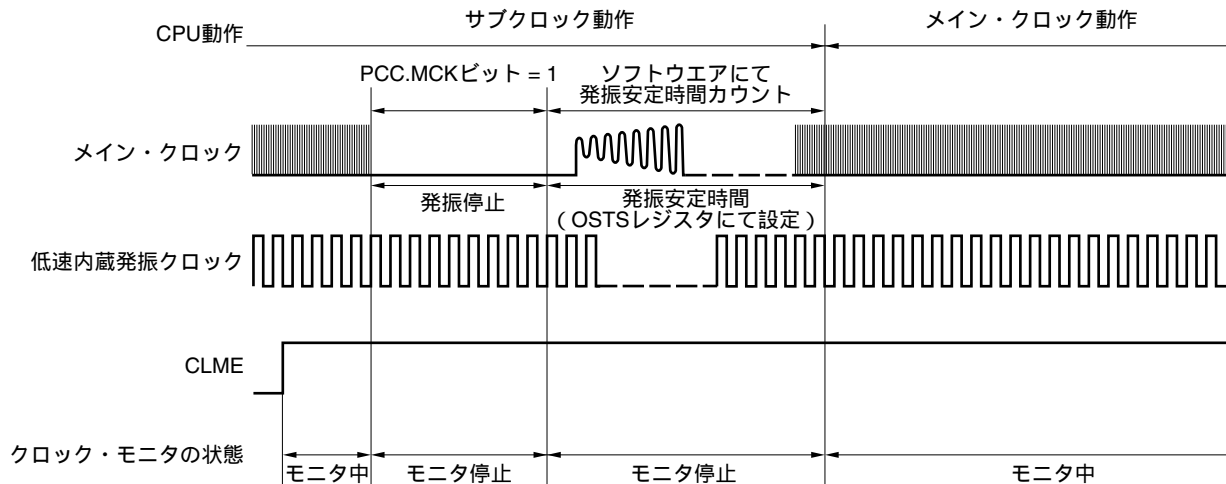
図4 - 15 ストップ・モード中または解除後の動作



(5) メイン・クロック停止時の動作

サブクロック動作時（PCCレジスタのCLSビット = 1）、またはPCCレジスタのMCKビットを1にセットしてメイン・クロックを停止した場合、メイン・クロック動作が開始されるまで（PCCレジスタのCLSビット = 0）モニタ動作は停止します。メイン・クロック動作が開始されると、モニタ動作は自動的に開始されます。

図4 - 16 メイン・クロック停止時の動作



(6) スタンバイ機能中および解除後の動作

メイン・クロック発振回路が停止した場合：メイン・クロック発振回路が停止した場合、クロック・モニタは停止します。パワー・セーブ・モードが解除されメイン発振が再開されると、クロック・モニタは自動的に再開します。

低速内蔵発振器が停止した場合：低速内蔵発振器が停止した場合、クロック・モニタの動作は停止します。低速内蔵発振が再開されるとクロック・モニタの動作は自動的に再開されます。

(7) CPUが低速内蔵発振クロックで動作時（CCLS.CCLSFBビット = 1）のクロック・モニタ動作

CCLSFBビット = 1のとき、CLMEビット = 1に設定してもモニタ動作を開始しません。

(8) CPUが高速内蔵発振クロックで動作時（MCM.MCMSビット = 0）のクロック・モニタ動作

MCSビット = 0のとき、CLMEビット = 1に設定してもモニタ動作を開始しません。

第5章 割り込みコントローラ (INTC)

本マイクロコントローラは、割り込み処理用に専用割り込みコントローラ (INTC) を備えており、多くのマスカブル割り込み要求と2つのノンマスカブル割り込み要求を処理できます。

割り込みとは、プログラムの実行と独立して発生する事象 (イベント) であり、例外とはプログラムの実行に依存して発生するイベントです。通常、例外は割り込みに優先します。

本割り込みコントローラは、内蔵周辺ハードウェアと外部要因からの割り込み要求を処理します。また、例外処理はTRAP命令の実行 (ソフトウェア例外) または例外イベント (つまり不正オペコードのフェッチ) (例外トラップ) によって起動します。

各割り込み要求には、ソフトウェアでプログラム可能な8種類の優先順位を指定できます。割り込み要求が発生してから割り込み処理が開始されるまでには、最低5システム・クロックが必要です。

5.1 特 徴

- ・ 割り込み

 - ノンマスカブル割り込み : 2要因

 - マスカブル割り込み

割り込み要因	V850ES/FE3-L	V850ES/FF3-L	V850ES/FG3-L
内 部	38		41
外 部	8		11

8レベルのプログラマブル優先順位 (マスカブル割り込み)

優先順位による多重割り込み制御

各マスカブル割り込みにマスク指定可能。

外部割り込み要求信号には、ノイズ除去、エッジ検出と有効エッジ指定およびレベル検出を指定可能。

ウエイクアップ機能 (外部割り込み要求信号のアナログ・ノイズ除去)

- ・ 例外

 - ソフトウェア例外 : 2チャンネル, 16要因

 - 例外トラップ : 2要因 (不正命令コード例外とデバッグ・トラップ)

表5 - 1 V850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-L (割り込み/例外要因) (1/2)

種類	割り込み/例外要因				デフォルト・プライオリティ	例外コード	ハンドラ・アドレス	復帰PC
	名称	割り込み制御レジスタ	発生要因	発生ユニット				
リセット	リセット	-	内部要因からのリセット入力	リセット	-	0000H	00000000H	不定
ノンマスクابل	NMI	-	NMI端子有効エッジ入力	端子	-	0010H	00000010H	nextPC
	INTWDT2	-	WDT2のオーバフロー	WDT2	-	0020H	00000020H	nextPC
ソフトウェア例外	TRAP0n (n = 0-FH)	-	TRAP命令	-	-	004nH	00000040H	nextPC
	TRAP1n (n = 0-FH)	-	TRAP命令	-	-	005nH	00000050H	nextPC
例外トラップ	ILGOP/ DBG0	-	不正命令コード / DBTRAP命令	-	-	0060H	00000060H	nextPC
マスクابل	INTLVIL	LVLIC	低電圧検出 (基準レベルを下まわる電圧)	POCLVI	0	0080H	00000080H	nextPC
	INTLVIH	LVIHIC	低電圧検出 (基準レベルを上まわる電圧)	POCLVI	1	0090H	00000090H	nextPC
	INTP0	PIC0	外部割り込み0 (INTP0)	端子	2	00A0H	000000A0H	nextPC
	INTP1	PIC1	外部割り込み1 (INTP1)	端子	3	00B0H	000000B0H	nextPC
	INTP2	PIC2	外部割り込み2 (INTP2)	端子	4	00C0H	000000C0H	nextPC
	INTP3	PIC3	外部割り込み3 (INTP3)	端子	5	00D0H	000000D0H	nextPC
	INTP4	PIC4	外部割り込み4 (INTP4)	端子	6	00E0H	000000E0H	nextPC
	INTP5	PIC5	外部割り込み5 (INTP5)	端子	7	00F0H	000000F0H	nextPC
	INTP6	PIC6	外部割り込み6 (INTP6)	端子	8	0100H	00000100H	nextPC
	INTP7	PIC7	外部割り込み7 (INTP7)	端子	9	0110H	00000110H	nextPC
	INTTAA0OV	TAA0VIC	TAA0オーバフロー	TAA0	10	0170H	00000170H	nextPC
	INTTAA0CC0	TAA0CCIC0	TAA0キャプチャ0 / コンペア0一致	TAA0	11	0180H	00000180H	nextPC
	INTTAA0CC1	TAA0CCIC1	TAA0キャプチャ1 / コンペア1一致	TAA0	12	0190H	00000190H	nextPC
	INTTAA1OV	TAA1VIC	TAA1オーバフロー	TAA1	13	01A0H	000001A0H	nextPC
	INTTAA1CC0	TAA1CCIC0	TAA1キャプチャ0 / コンペア0一致	TAA1	14	01B0H	000001B0H	nextPC
	INTTAA1CC1	TAA1CCIC1	TAA1キャプチャ1 / コンペア1一致	TAA1	15	01C0H	000001C0H	nextPC
	INTTAA2OV	TAA2VIC	TAA2オーバフロー	TAA2	16	01D0H	000001D0H	nextPC
	INTTAA2CC0	TAA2CCIC0	TAA2キャプチャ0 / コンペア0一致	TAA2	17	01E0H	000001E0H	nextPC
	INTTAA2CC1	TAA2CCIC1	TAA2キャプチャ1 / コンペア1一致	TAA2	18	01F0H	000001F0H	nextPC
	INTTAA3OV	TAA3VIC	TAA3オーバフロー	TAA3	19	0200H	00000200H	nextPC
	INTTAA3CC0	TAA3CCIC0	TAA3キャプチャ0 / コンペア0一致	TAA3	20	0210H	00000210H	nextPC
	INTTAA3CC1	TAA3CCIC1	TAA3キャプチャ1 / コンペア1一致	TAA3	21	0220H	00000220H	nextPC
	INTTAA4OV	TAA4VIC	TAA4オーバフロー	TAA4	22	0230H	00000230H	nextPC
	INTTAA4CC0	TAA4CCIC0	TAA4キャプチャ0 / コンペア0一致	TAA4	23	0240H	00000240H	nextPC
	INTTAA4CC1	TAA4CCIC1	TAA4キャプチャ1 / コンペア1一致	TAA4	24	0250H	00000250H	nextPC
	INTTM0EQ0	TM0EQIC0	TMM0コンペア一致	TMM0	25	0260H	00000260H	nextPC
	INTCB0R	CB0RIC	CSIB0受信完了 / オーバラン・エラー	CSIB0	26	0270H	00000270H	nextPC
	INTCB0T	CB0TIC	CSIB0連続送信書き込み許可	CSIB0	27	0280H	00000280H	nextPC
	INTCB1R	CB1RIC	CSIB1受信完了 / オーバラン・エラー	CSIB1	28	0290H	00000290H	nextPC
	INTCB1T	CB1TIC	CSIB1連続送信書き込み許可	CSIB1	29	02A0H	000002A0H	nextPC
	INTUD0S	UD0SIC	UARTD0状態割り込み	UARTD0	30	02B0H	000002B0H	nextPC
INTUD0R	UD0RIC	UARTD0受信完了	UARTD0	31	02C0H	000002C0H	nextPC	

表5 - 1 V850ES/FE3-L, V850ES/FF3-L, V850ES/FG3-L (割り込み/例外要因) (2/2)

種類	割り込み/例外要因				デフォルト・プライオリティ	例外コード	ハンドラ・アドレス	復帰PC
	名称	割り込み制御レジスタ	発生要因	発生ユニット				
マスクブル	INTUD0T	UD0TIC	UARTD0連続送信許可	UARTD0	32	02D0H	000002D0H	nextPC
	INTUD1S	UD1SIC	UARTD1状態割り込み	UARTD1	33	02E0H	000002E0H	nextPC
	INTUD1R	UD1RIC	UARTD1受信完了	UARTD1	34	02F0H	000002F0H	nextPC
	INTUD1T	UD1TIC	UARTD1連続送信許可	UARTD1	35	0300H	00000300H	nextPC
	INTIIC0	IIC0IC	IIC0送信完了	IIC0	36	0310H	00000310H	nextPC
	INTAD	ADIC	A/D変換終了	AD	37	0320H	00000320H	nextPC
	INTC0ERR	C0ERRIC	CAN0エラー	CAN0	38	0330H	00000330H	nextPC
	INTC0WUP	C0WUPIC	CAN0ウエイクアップ	CAN0	39	0340H	00000340H	nextPC
	INTC0REC	C0RECIC	CAN0受信	CAN0	40	0350H	00000350H	nextPC
	INTC0TRX	C0TRXIC	CAN0送信	CAN0	41	0360H	00000360H	nextPC
	INTKR	KRIC	キーリターン割り込み	KR	42	03B0H	000003B0H	nextPC
	INTWTI	WTIIC	時計タイマのインターバル	WT	43	03C0H	000003C0H	nextPC
	INTWT	WTIC	時計タイマの基準時間	WT	44	03D0H	000003D0H	nextPC
	INTP8 ^注	PIC8	外部割り込み8 (INTP8)	端子	46	0400H	00000400H	nextPC
	INTP9 ^注	PIC9	外部割り込み9 (INTP9)	端子	47	0410H	00000410H	nextPC
	INTP10 ^注	PIC10	外部割り込み10 (INTP10)	端子	48	0420H	00000420H	nextPC
	INTUD2S ^注	UD2SIC	UARTD2状態割り込み	UARTD2	49	0480H	00000480H	nextPC
	INTUD2R ^注	UD2RIC	UARTD2受信完了	UARTD2	50	0490H	00000490H	nextPC
INTUD2T ^注	UD2TIC	UARTD2連続送信許可	UARTD2	51	04A0H	000004A0H	nextPC	

注 V850ES/FE3-L, V850ES/FF3-Lには搭載されていません。

- 備考1. デフォルト・プライオリティ：複数の同一優先順位レベルのマスクブル割り込み要求信号が同時に発生している場合に優先される順位です。0が最高優先順位です。
2. 復帰PC：割り込み処理起動時に、CPUのEIPCまたはFEPCにセーブされるプログラム・カウンタ (PC) のことです。なお、次の命令実行中にノンマスクブル/マスクブル割り込みを受け付けた場合の復帰PCはnextPCとはなりません (命令実行中に割り込みを受け付けると実行を中止し、割り込み処理完了後に再実行されます)。
- ・ロード命令 (SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W)
 - ・除算命令 (DIV, DIVH, DIVU, DIVHU)
 - ・PREPARE, DISPOSE命令 (スタック・ポインタの更新前に割り込みが発生した場合のみ)
3. nextPC：割り込み/例外処理後に処理を開始するPC値です。
4. 不正命令コード例外時の不正命令の実行アドレスは、(復帰PC - 4) で求められます。

5.2 ノンマスカブル割り込み

ノンマスカブル割り込み要求信号は、CPUが割り込み禁止 (DI) 状態でも無条件に受け付けられます。この製品のノンマスカブル割り込み要求信号には、次の2つがあります。

- ・ NMI端子入力 (NMI)
- ・ ウォッチドッグ・タイマのオーパフローによるノンマスカブル割り込み要求信号 (INTWDT2)

INTR0.INTR02ビットおよびINTF0.INTF02ビットで指定された有効エッジがNMI端子上で検出されるとNMI割り込みが発生します。

ウォッチドッグ・タイマ割り込み要求は、ウォッチドッグ・タイマ・モード・レジスタでWDTM2.WDM2 [1:0]ビットに01Bを選択した場合のみにノンマスカブル割り込みとして有効になります。

複数のノンマスカブル割り込み要求信号が重なって発生した場合は、次の優先順位に従って順位の高い処理が実行されます (優先順位の低い割り込み要求信号は無視されます)。

INTWDT2 > NMI

なお、NMI処理中に、新たにNMI、INTWDT2要求信号が発生した場合は次のような処理を行います。

(1) NMI処理中に、新たにNMI要求信号が発生した場合

PSWのNPビットの値によらず、新たなNMI要求信号は保留されます。保留されたNMIVC要求信号は、現在実行中のNMI処理終了後 (RETI命令実行後) に受け付けられます。

(2) NMI処理中に、新たにINTWDT2要求信号が発生した場合

NMI処理中にPSWのNPビットがセット (1) されたままであれば、新たなINTWDT2要求信号は保留されます。保留されたINTWDT2要求信号は、現在実行中のNMI処理終了後 (RETI命令実行後) に受け付けられます。

NMI処理中にPSWのNPビットをクリア (0) すれば、新たに発生したINTWDT2要求信号が実行されます (NMI処理は中断されます)。

- 注意1.** ノンマスカブル割り込み要求信号が発生した場合、PC、PSWの値はNMI時状態退避レジスタ (FEPC、FEPSW) に退避されますが、このときRETI命令によって復帰できるのはNMI信号だけです。INTWDT2信号の場合はRETI命令による復帰はできないため、割り込み処理終了後にシステム・リセットを行ってください。
- 2.** ノンマスカブル割り込み処理中にLDSR命令でPSW.NPビットが0にクリアされると、その後のNMI割り込みは正しく受け付けられません。

図5 - 1 ノンマスクابل割り込み要求信号の受け付け動作：多重NMI割り込み要求が同時発生

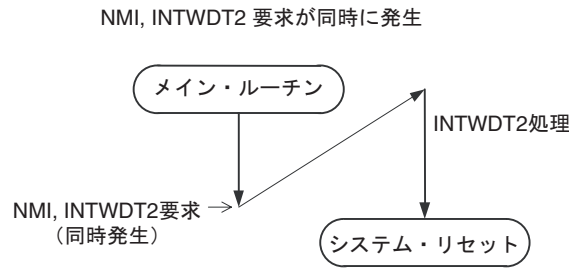


図5 - 2 ノンマスクابل割り込み要求信号の受け付け動作：NMI処理中に発生したNMI要求

処理中の ノンマスクابل 割り込み	ノンマスクابل割り込み処理中に新たに発生するノンマスクابل割り込み要求	
	NMI	INTWDT2
NMI	<p>NMI処理中にNMI要求が発生</p> <pre> graph TD MR(メイン・ルーチン) --> NMIProc(NMI処理) NMIReq[NMI要求] --> NMIProc NMIReq --> R[保留] R --> NMIProc NMIProc --> SR(システム・リセット) </pre>	<p>NMI処理中にINTWDT2要求が発生 (INTWDT2要求前にNP = 1のまま)</p> <pre> graph TD MR(メイン・ルーチン) --> NMIProc(NMI処理) NMIReq[NMI要求] --> NMIProc INTWDT2Req[INTWDT2要求] --> NMIProc INTWDT2Req --> R[保留] R --> INTWDT2Proc(INTWDT2処理) INTWDT2Proc --> SR(システム・リセット) </pre> <p>NMI処理中にINTWDT2要求が発生 (INTWDT2要求前にNP = 0にする)</p> <pre> graph TD MR(メイン・ルーチン) --> NMIProc(NMI処理) NMIReq[NMI要求] --> NMIProc INTWDT2Req[INTWDT2要求] --> NMIProc NMIProc --> NP0[NP = 0 NMIWDT要求] NP0 --> SR(システム・リセット) </pre> <p>NMI処理中にINTWDT2要求が発生 (INTWDT2要求後にNP = 0にする)</p> <pre> graph TD MR(メイン・ルーチン) --> NMIProc(NMI処理) NMIReq[NMI要求] --> NMIProc INTWDT2Req[INTWDT2要求] --> NMIProc INTWDT2Req --> R[保留] R --> INTWDT2Proc(INTWDT2処理) INTWDT2Proc --> SR(システム・リセット) </pre>
INTWDT2	<p>INTWDT2処理中にNMI要求が発生</p> <pre> graph TD MR(メイン・ルーチン) --> INTWDT2Proc(INTWDT2処理) INTWDT2Req[INTWDT2要求] --> INTWDT2Proc NMIReq[NMI要求] --> INTWDT2Proc INTWDT2Proc --> SR(システム・リセット) </pre>	<p>INTWDT2処理中にINTWDT2要求が発生</p> <pre> graph TD MR(メイン・ルーチン) --> INTWDT2Proc(INTWDT2処理) INTWDT2Req[INTWDT2要求] --> INTWDT2Proc INTWDT2Proc --> SR(システム・リセット) </pre>

5.2.1 動作

ノンマスクابل割り込み要求信号が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをFEPCに退避します。

現在のPSWをFEPSWに退避します。

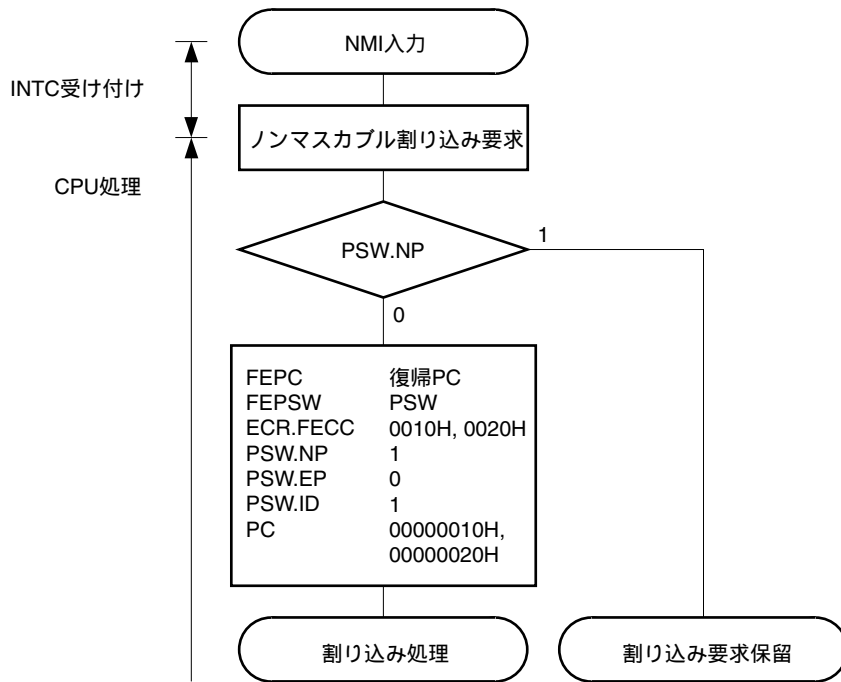
ECRの上位ハーフワード (FECC) に例外コード (0010H) を書き込みます。

PSWのNP, IDビットをセットし, EPビットをクリアします。

PCにノンマスクابل割り込みに対するハンドラ・アドレス (00000010H, 00000020H) をセットし, 制御を移します。

ノンマスクابل割り込みの処理形態を図5 - 3に示します。

図5 - 3 ノンマスクابل割り込みの処理形態



5.2.2 復 帰

(1) NMI

NMI処理からの復帰は、RETI命令により行います。

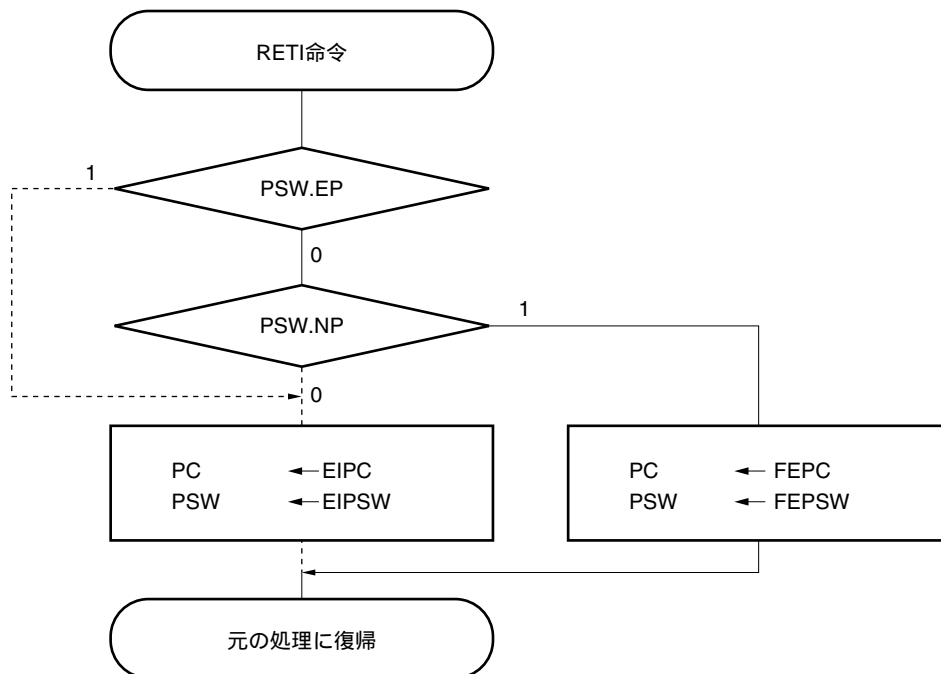
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへの制御を移します。

PSWのEPビットが0かつPSWのNPビットが1なので、FEPC, FEPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を図5 - 4に示します。

図5 - 4 RETI命令の処理形態



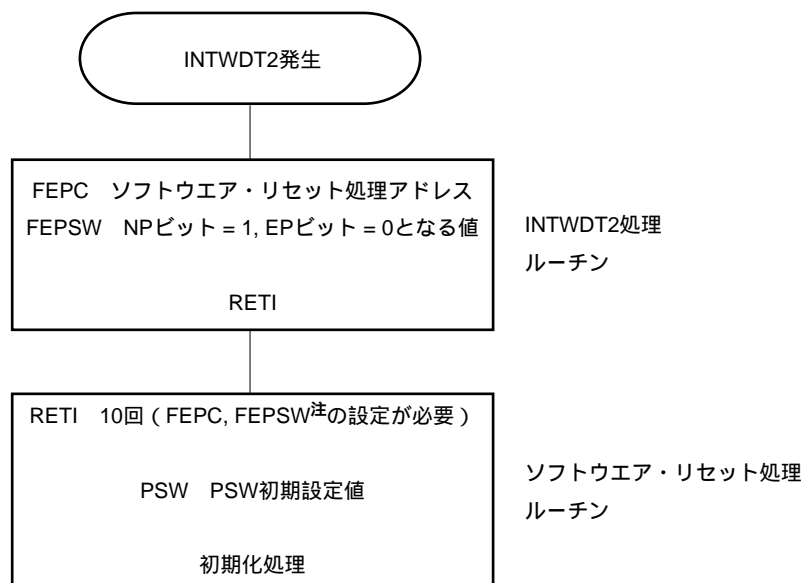
注意 ノンマスクابل割り込み処理中にLDSR命令によりPSW.EPビット、PSW.NPビットを変更した場合には、RETI命令による復帰時にPCとPSWを正常にリストアするために、RETI命令の直前で、LDSR命令を使用してPSW.EP = 0かつPSW.NP = 1に戻しておく必要があります。

備考 CPUは実線のフローで処理します。

(2) INTWDT2

RETI命令による復帰は、できません。割り込み処理後に、システム・リセットを行ってください。

図5 - 5 ソフトウェア・リセット処理



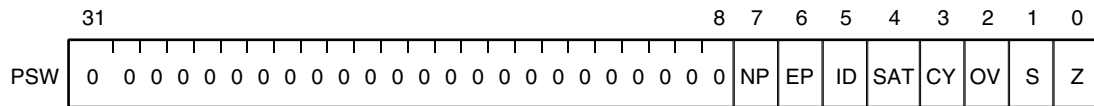
注 FEPSW NPビット = 1, EPビット = 0となる値

5.2.3 ノンマスクابل割り込み状態フラグ (NP)

NPフラグは、ノンマスクابل割り込みの処理中であることを示すステータス・フラグです。

ノンマスクابل割り込み要求信号を受け付けるとセットされ、すべての割り込みおよび例外をマスクし、多重割り込みの受け付けを禁止します。

リセット時：00000020H



ビット位置	ビット名	機能
7	NP	ノンマスクابل割り込み処理状態 0：ノンマスクابل割り込み処理中でない 1：ノンマスクابل割り込み処理中

5.2.4 NMI制御

NMIは、NMI端子上で立ち上がりエッジあるいは立ち下がりエッジ、または両方のエッジが検出されたときに発生するノンマスクابل割り込みです。NMIが検出するエッジの指定方法に関しては、5.4 外部割り込みエッジ検出設定を参照してください。

5.3 マスカブル割り込み

マスカブル割り込み要求信号は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求信号で、製品により46/52種類の割り込み要因があります。

複数のマスカブル割り込み要求信号が同時に発生した場合は、デフォルト・プライオリティにより、その優先順位が決定します。また、デフォルト・プライオリティとは別に、割り込み制御レジスタによって、8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求信号が受け付けられると割り込み禁止（DI）状態になり、以後のマスカブル割り込み要求信号の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり、受け付け中の割り込み要求信号の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求信号の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし、多重割り込みを許可するときは、次の処理が必要となります。

1. EI命令を実行前にEIPCとEIPSWをメモリまたは汎用レジスタに退避します。
2. RETI命令を実行する前にDI命令を実行し、（1）で退避した値でEIPCとEIPSWを再設定します。

5.3.1 動作

マスカブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

ECRの下位ハーフワード（EICC）に例外コードを書き込みます。

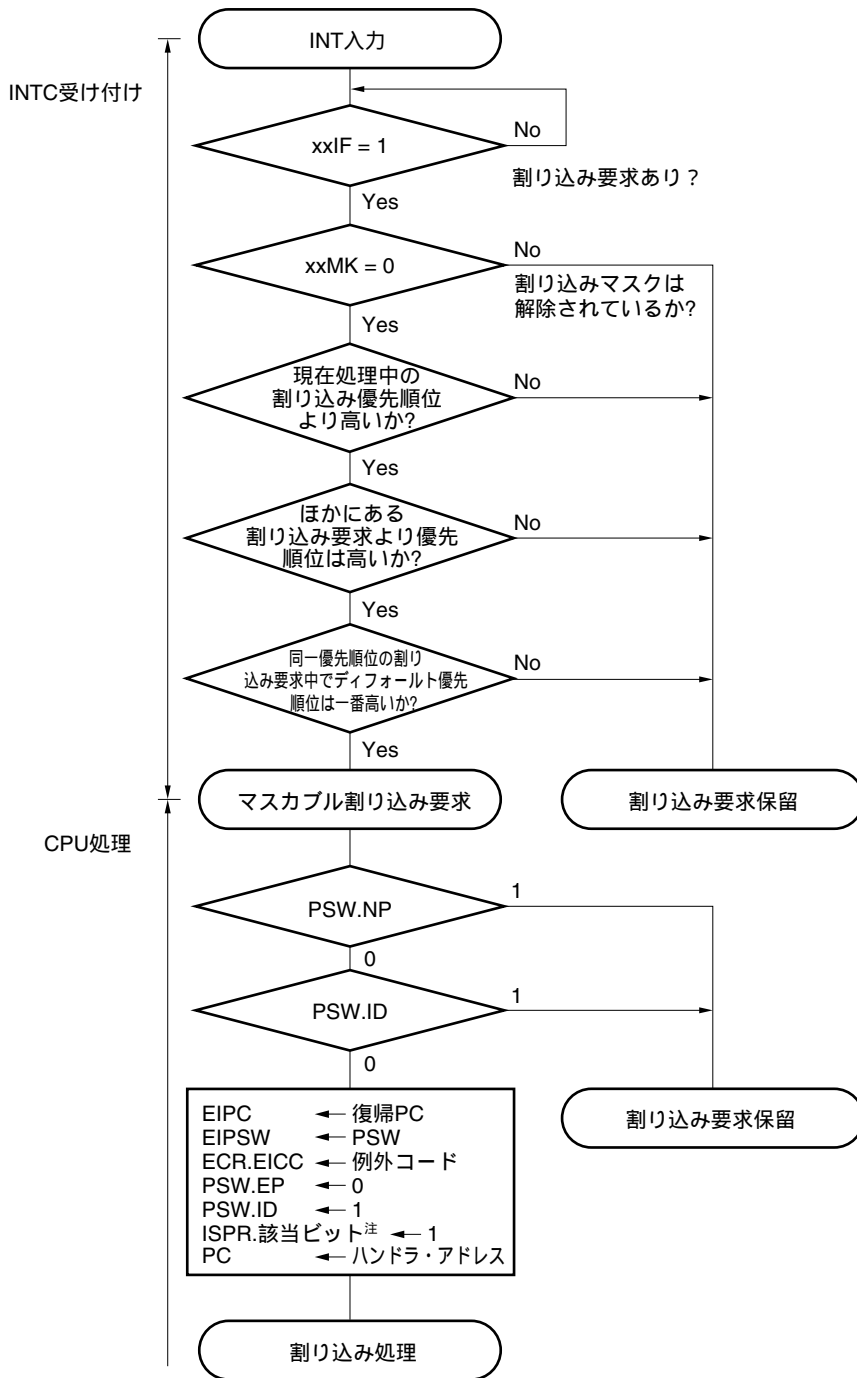
PSWのIDビットをセットし、EPビットをクリアします。

PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

なお、INTCでマスクされているマスカブル割り込み要求信号と、他の割り込み処理中（PSW.NPビット = 1、またはIDビット = 1）に発生したマスカブル割り込み要求信号は、INTC内部で保留されます。この場合、マスクを解除するか、またはRETI命令、LDSR命令を使用してNPビット = 0かつIDビット = 0にすると、保留していたマスカブル割り込み要求信号の優先順位に従い、新たなマスカブル割り込み処理が開始されます。

図5 - 6にマスカブル割り込みの処理形態を示します。

図5-6 マスカブル割り込みの処理形態



注 ISPRレジスタについては、5.3.6 インサービス・プライオリティ・レジスタ (ISPR) を参照してください。

5.3.2 復 帰

マスクブル割り込み処理からの復帰は、RETI命令により行います。

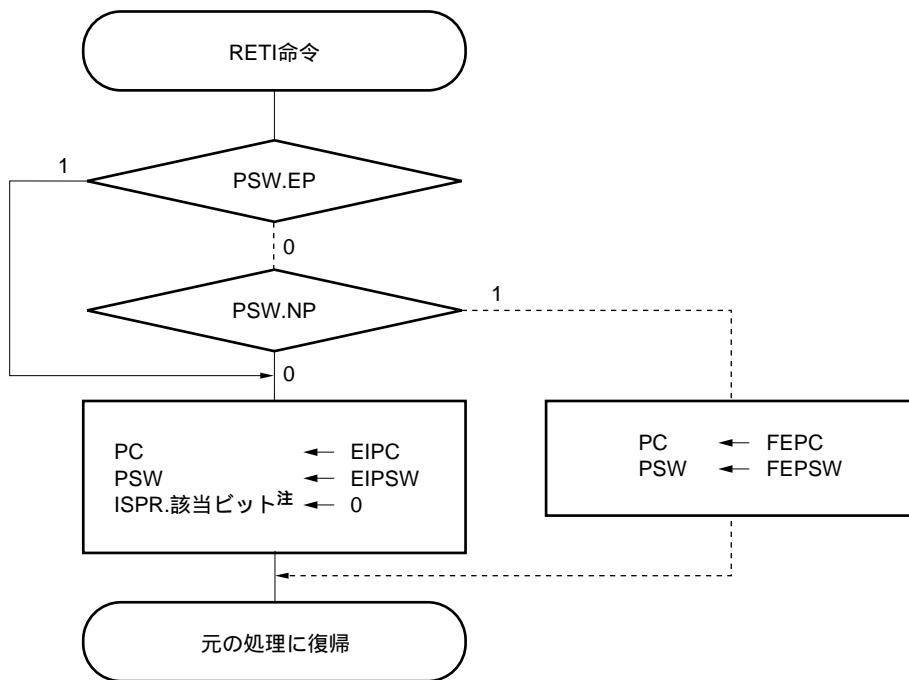
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSWのEPビットが0かつPSWのNPビットが0なので、EIPC、EIPSWから復帰PC、PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を図5 - 7に示します。

図5 - 7 RETI命令の処理形態



注 ISPRレジスタについては、5.3.6 インサース・プライオリティ・レジスタ (ISPR) を参照してください。

注意 マスクブル割り込み処理中にLDSR命令によりPSW.EPビット、PSW.NPビットを変更した場合は、RETI命令による復帰時にPCとPSWを正常にリストアするために、RETI命令の直前で、LDSR命令を使用してPSW.EP = 0かつPSW.NP = 0に戻しておく必要があります。

備考 CPUは実線のフローで処理します。

5.3.3 マスカブル割り込みの優先順位

INTCは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

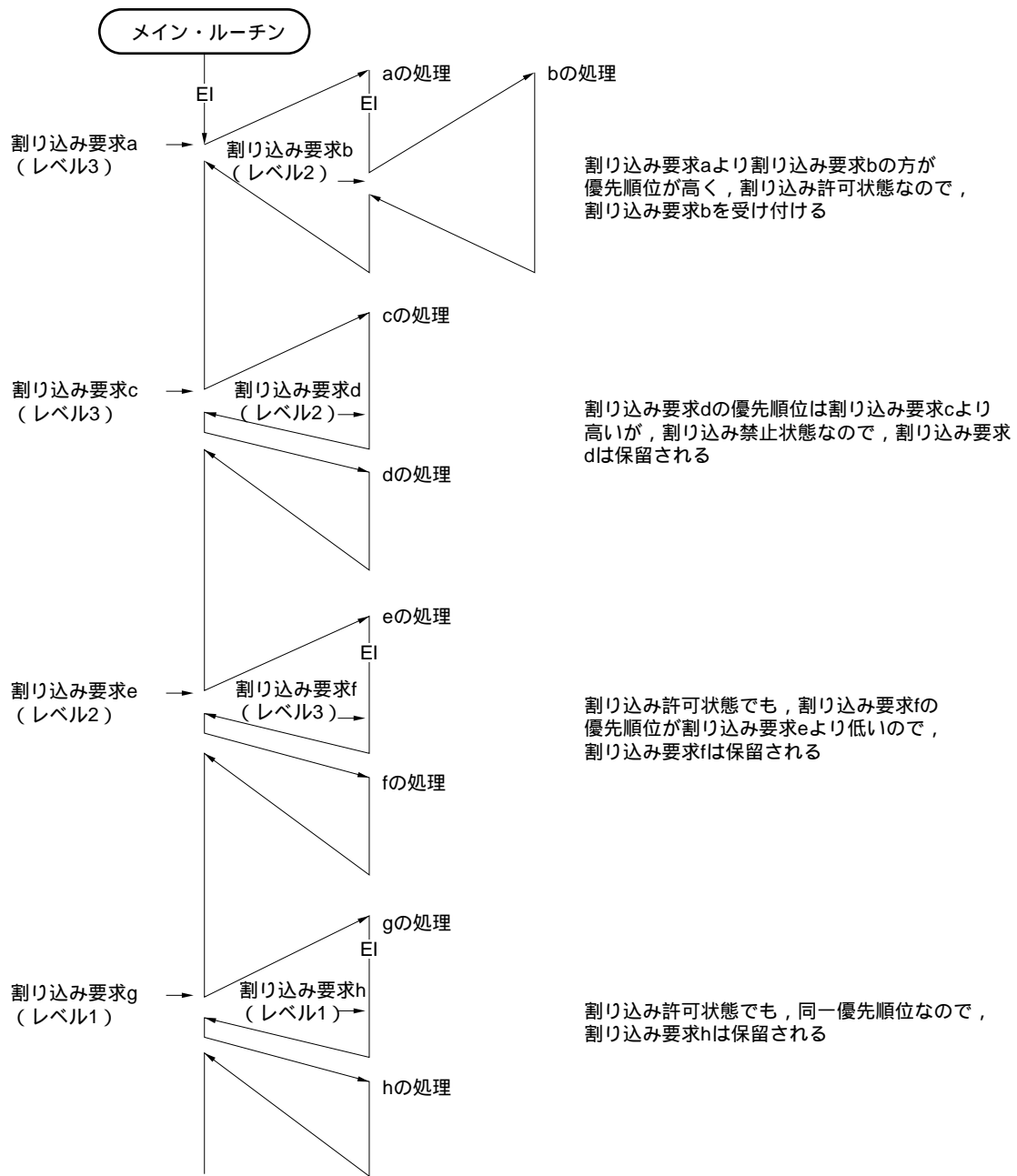
優先順位制御には、デフォルト・プライオリティによる制御と、割り込み制御レジスタ (xxICn) の割り込み優先順位指定ビット (xxPRn) によるプログラマブル優先順位制御があります。デフォルト・プライオリティ順位制御は、xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求信号にあらかじめ割り付けてある優先順位 (デフォルト・プライオリティ) に従って割り込みを処理します (表5-1 割り込み/例外要因参照)。プログラマブル優先順位制御は、各割り込み要求信号を優先順位指定フラグの設定によって8レベルに分けます。

なお、割り込み要求信号を受け付けるとPSWのIDフラグが自動的にセット(1)されるので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア(0)し、割り込み許可状態にしてください。

備考 xx : 各周辺ユニット識別名称 (表5-2 割り込み制御レジスタ (xxICn) のアドレスとビット一覧参照)

n : 周辺ユニット番号 (表5-2 割り込み制御レジスタ (xxICn) のアドレスとビット一覧参照)

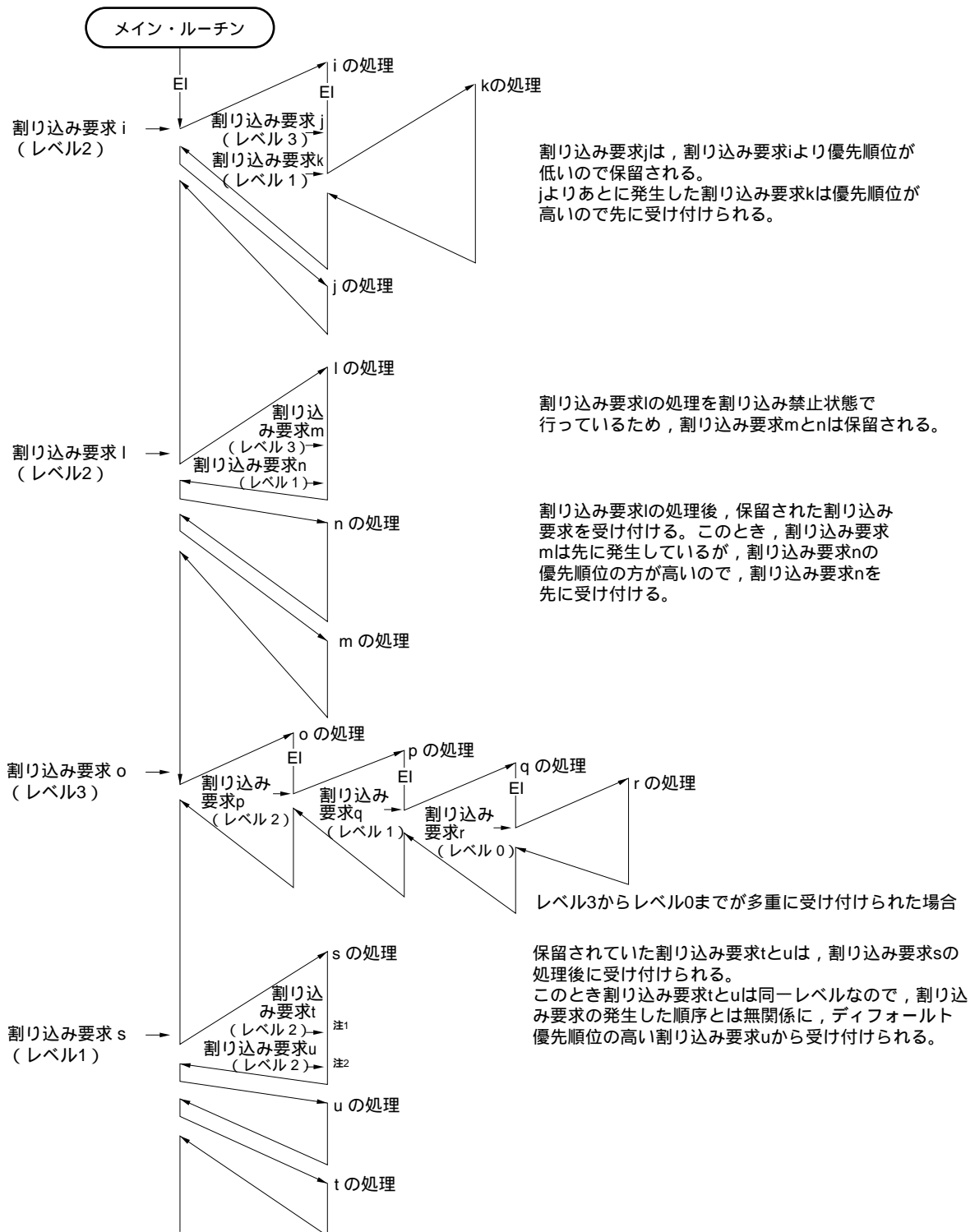
図5 - 8 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (1/2)



注意 多重割り込みを行うときはEI命令を実行する前に、EIPC, EIPSWの内容を退避する必要があります。また、多重割り込みから復帰する際は、DI命令を実行したあとに、EIPC, EIPSWの内容を復帰してください。

- 備考1.** 図中のa-uは、各割り込み要求信号を区別するために付けた仮の名称です。
2. 図中のデフォルト・プライオリティの高い/低いは、2つの割り込み要求信号間の相対的な優先順位の高さを示します。

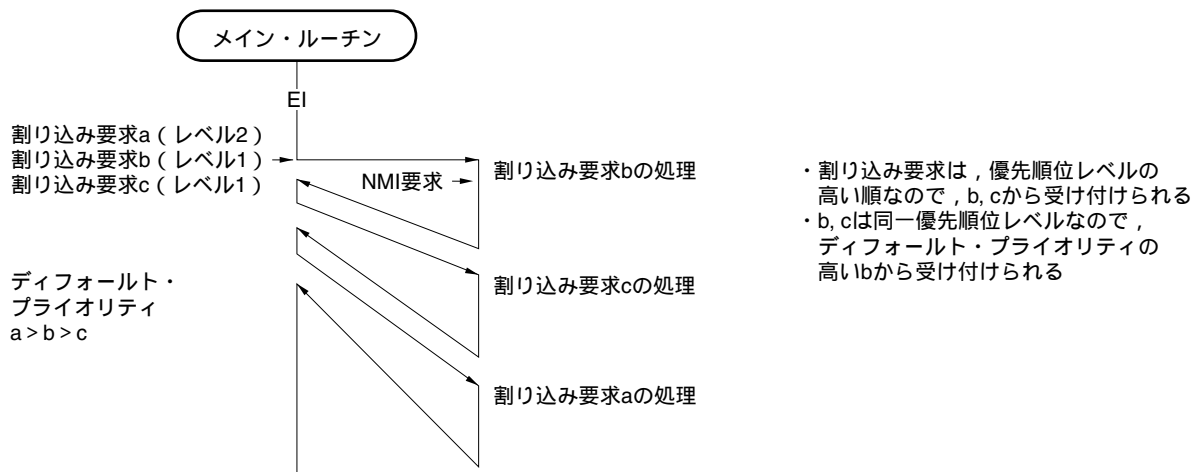
図5 - 8 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (2/2)



- 注1. デフォルト・プライオリティが低い
 2. デフォルト・プライオリティが高い

注意 多重割り込みを行うときはEI命令を実行する前に、EIPC, EIPSWの内容を退避する必要があります。また、多重割り込みから復帰する際は、DI命令を実行したあとに、EIPC, EIPSWの内容を復帰してください。

図5 - 9 同時発生した割り込み要求信号の処理例



注意 多重割り込みを行うときはEI命令を実行する前に、EIPC, EIPSWの内容を退避する必要があります。また、多重割り込みから復帰する際は、DI命令を実行したあとに、EIPC, EIPSWの内容を復帰してください。

- 備考** 1. 図中のa-cは、各割り込み要求信号を区別するために付けた仮の名称です。
 2. 図中のデフォルト・プライオリティの高い/低いは、2つの割り込み要求信号間の相対的な優先順位の高さを示します。

5.3.4 割り込み制御レジスタ (xxICn)

割り込み要求信号 (マスクブル割り込み) ごとに割り当てられ, 各割り込みに対する制御条件を設定します。
8/1ビット単位でリード/ライト可能です。

リセット時: 47H アドレス: FFFFFFF110H-FFFFFF1F8H^注

	7	6	5	4	3	2	1	0
xxICn	xxIFn	xxMKn	0	0	0	xxPR2	xxPR1	xxPR0

注 製品により異なります。

注意 xxICnレジスタのxxIFnビットを読み出す場合は, 割り込み禁止 (DI) 状態, または割り込みをマスクした状態で行ってください。割り込み許可 (EI), または割り込みマスクを解除した状態でxxIFnビットを読み出すと, 割り込みの受け付けとビットの読み出しのタイミングが競合した場合に, 正常な値が読み出せないことがあります。

ビット位置	ビット名	機能																																				
7	xxIFn	割り込み要求フラグ 0: 割り込み要求信号なし 1: 割り込み要求信号あり xxIFnフラグは割り込み要求が受け付けられるとハードウェアにより自動的にリセットされます。																																				
6	xxMKn	割り込みマスク・フラグ 0: 割り込み処理を許可 1: 割り込み処理を禁止 (保留)																																				
2-0	xxPR2-xxPR0	割り込みに8レベルの優先順位を指定。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>xxPR2</th> <th>xxPR1</th> <th>xxPR0</th> <th>割り込み優先順位指定ビット</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>レベル0 (最高位) を指定</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>レベル1を指定</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>レベル2を指定</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>レベル3を指定</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>レベル4を指定</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>レベル5を指定</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>レベル6を指定</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>レベル7 (最低位) を指定</td> </tr> </tbody> </table>	xxPR2	xxPR1	xxPR0	割り込み優先順位指定ビット	0	0	0	レベル0 (最高位) を指定	0	0	1	レベル1を指定	0	1	0	レベル2を指定	0	1	1	レベル3を指定	1	0	0	レベル4を指定	1	0	1	レベル5を指定	1	1	0	レベル6を指定	1	1	1	レベル7 (最低位) を指定
xxPR2	xxPR1	xxPR0	割り込み優先順位指定ビット																																			
0	0	0	レベル0 (最高位) を指定																																			
0	0	1	レベル1を指定																																			
0	1	0	レベル2を指定																																			
0	1	1	レベル3を指定																																			
1	0	0	レベル4を指定																																			
1	0	1	レベル5を指定																																			
1	1	0	レベル6を指定																																			
1	1	1	レベル7 (最低位) を指定																																			

備考 xx: 各周辺ユニット識別名称 (LVIL, LVIH, P, TAA0OV-TAA4OV, TAA0CC-TAA4CC, TM0EQ, CB0R, CB1R, CB0T, CB1T, UD0S-UD2S, UD0R-UD2R, UD0T-UD2T, IIC0, AD, C0ERR, C0WUP, C0REC, C0TRX, KR, WTI, WT, FL)

n: 周辺ユニット番号 (表5-2 割り込み制御レジスタ (xxICn) のアドレスとビット一覧参照)

各割り込み制御レジスタのアドレスとビットを次に示します。

表5 - 2 割り込み制御レジスタ (xxICn) のアドレスとビット一覧 (1/2)

アドレス	レジスタ	ビット							
		⑦	⑥	5	4	3	2	1	0
FFFFF110H	LVILIC	LVILIF	LVILMK	0	0	0	LVILPR2	LVILPR1	LVILPR0
FFFFF112H	LVIHIC	LVIHIF	LVIHMK	0	0	0	LVIHPR2	LVIHPR1	LVIHPR0
FFFFF114H	PIC0	PIF0	PMK0	0	0	0	PPR02	PPR01	PPR00
FFFFF116H	PIC1	PIF1	PMK1	0	0	0	PPR12	PPR11	PPR10
FFFFF118H	PIC2	PIF2	PMK2	0	0	0	PPR22	PPR21	PPR20
FFFFF11AH	PIC3	PIF3	PMK3	0	0	0	PPR32	PPR31	PPR30
FFFFF11CH	PIC4	PIF4	PMK4	0	0	0	PPR42	PPR41	PPR40
FFFFF11EH	PIC5	PIF5	PMK5	0	0	0	PPR52	PPR51	PPR50
FFFFF120H	PIC6	PIF6	PMK6	0	0	0	PPR62	PPR61	PPR60
FFFFF122H	PIC7	PIF7	PMK7	0	0	0	PPR72	PPR71	PPR70
FFFFF12EH	TAA0OVIC	TAA0OVIF	TAA0OVMK	0	0	0	TAA0OVPR2	TAA0OVPR1	TAA0OVPR0
FFFFF130H	TAA0CCIC0	TAA0CCIF0	TAA0CCMK0	0	0	0	TAA0CCPR02	TAA0CCPR01	TAA0CCPR00
FFFFF132H	TAA0CCIC1	TAA0CCIF1	TAA0CCMK1	0	0	0	TAA0CCPR12	TAA0CCPR11	TAA0CCPR10
FFFFF134H	TAA1OVIC	TAA1OVIF	TAA1OVMK	0	0	0	TAA1OVPR2	TAA1OVPR1	TAA1OVPR0
FFFFF136H	TAA1CCIC0	TAA1CCIF0	TAA1CCMK0	0	0	0	TAA1CCPR02	TAA1CCPR01	TAA1CCPR00
FFFFF138H	TAA1CCIC1	TAA1CCIF1	TAA1CCMK1	0	0	0	TAA1CCPR12	TAA1CCPR11	TAA1CCPR10
FFFFF13AH	TAA2OVIC	TAA2OVIF	TAA2OVMK	0	0	0	TAA2OVPR2	TAA2OVPR1	TAA2OVPR0
FFFFF13CH	TAA2CCIC0	TAA2CCIF0	TAA2CCMK0	0	0	0	TAA2CCPR02	TAA2CCPR01	TAA2CCPR00
FFFFF13EH	TAA2CCIC1	TAA2CCIF1	TAA2CCMK1	0	0	0	TAA2CCPR12	TAA2CCPR11	TAA2CCPR10
FFFFF140H	TAA3OVIC	TAA3OVIF	TAA3OVMK	0	0	0	TAA3OVPR2	TAA3OVPR1	TAA3OVPR0
FFFFF142H	TAA3CCIC0	TAA3CCIF0	TAA3CCMK0	0	0	0	TAA3CCPR02	TAA3CCPR01	TAA3CCPR00
FFFFF144H	TAA3CCIC1	TAA3CCIF1	TAA3CCMK1	0	0	0	TAA3CCPR12	TAA3CCPR11	TAA3CCPR10
FFFFF146H	TAA4OVIC	TAA4OVIF	TAA4OVMK	0	0	0	TAA4OVPR2	TAA4OVPR1	TAA4OVPR0
FFFFF148H	TAA4CCIC0	TAA4CCIF0	TAA4CCMK0	0	0	0	TAA4CCPR02	TAA4CCPR01	TAA4CCPR00
FFFFF14AH	TAA4CCIC1	TAA4CCIF1	TAA4CCMK1	0	0	0	TAA4CCPR12	TAA4CCPR11	TAA4CCPR10
FFFFF14CH	TM0EQIC0	TM0EQIF0	TM0EQMK0	0	0	0	TM0EQPR02	TM0EQPR01	TM0EQPR00
FFFFF14EH	CB0RIC	CB0RIF	CB0RMK	0	0	0	CB0RPR2	CB0RPR1	CB0RPR0
FFFFF150H	CB0TIC	CB0TIF	CB0TMK	0	0	0	CB0TPR2	CB0TPR1	CB0TPR0
FFFFF152H	CB1RIC	CB1RIF	CB1RMK	0	0	0	CB1RPR2	CB1RPR1	CB1RPR0
FFFFF154H	CB1TIC	CB1TIF	CB1TMK	0	0	0	CB1TPR2	CB1TPR1	CB1TPR0
FFFFF156H	UD0SIC	UD0SIF	UD0SMK	0	0	0	UD0SPR2	UD0SPR1	UD0SPR0
FFFFF158H	UD0RIC	UD0RIF	UD0RMK	0	0	0	UD0RPR2	UD0RPR1	UD0RPR0
FFFFF15AH	UD0TIC	UD0TIF	UD0TMK	0	0	0	UD0TPR2	UD0TPR1	UD0TPR0
FFFFF15CH	UD1SIC	UD1SIF	UD1SMK	0	0	0	UD1SPR2	UD1SPR1	UD1SPR0
FFFFF15EH	UD1RIC	UD1RIF	UD1RMK	0	0	0	UD1RPR2	UD1RPR1	UD1RPR0
FFFFF160H	UD1TIC	UD1TIF	UD1TMK	0	0	0	UD1TPR2	UD1TPR1	UD1TPR0
FFFFF162H	IIC0IC	IIC0IF	IIC0MK	0	0	0	IIC0PR2	IIC0PR1	IIC0PR0
FFFFF164H	ADIC	ADIF	ADMK	0	0	0	ADPR2	ADPR1	ADPR0

備考 表はV850ES/FG3-L (最大仕様) のものです。各製品がサポートする割り込みにつきましては表5 - 3を参照してください。

表5 - 2 割り込み制御レジスタ (xxICn) のアドレスとビット一覧 (2/2)

アドレス	レジスタ	ビット							
		⑦	⑥	5	4	3	2	1	0
FFFFFF166H	C0ERRIC	C0ERRIF	C0ERRMK	0	0	0	C0ERRPR2	C0ERRPR1	C0ERRPR0
FFFFFF168H	C0WUPIC	C0WUPIF	C0WUPMK	0	0	0	C0WUPPR2	C0WUPPR1	C0WUPPR0
FFFFFF16AH	C0RECIC	C0RECIF	C0RECMK	0	0	0	C0RECPR2	C0RECPR1	C0RECPR0
FFFFFF16CH	C0TRXIC	C0TRXIF	C0TRXMK	0	0	0	C0TRXPR2	C0TRXPR1	C0TRXPR0
FFFFFF176H	KRIC	KRIF	KRMK	0	0	0	KRPR2	KRPR1	KRPR0
FFFFFF178H	WTIIC	WTIIF	WTIMK	0	0	0	WTIPR2	WTIPR1	WTIPR0
FFFFFF17AH	WTIC	WTIF	WTMK	0	0	0	WTPR2	WTPR1	WTPR0
FFFFFF180H	PIC8	PIF8	PMK8	0	0	0	PPR82	PPR81	PPR80
FFFFFF182H	PIC9	PIF9	PMK9	0	0	0	PPR92	PPR91	PPR90
FFFFFF184H	PIC10	PIF10	PMK10	0	0	0	PPR102	PPR101	PPR100
FFFFFF190H	UD2SIC	UD2SIF	UD2SMK	0	0	0	UD2SPR2	UD2SPR1	UD2SPR0
FFFFFF192H	UD2RIC	UD2RIF	UD2RMK	0	0	0	UD2RPR2	UD2RPR1	UD2RPR0
FFFFFF194H	UD2TIC	UD2TIF	UD2TMK	0	0	0	UD2TPR2	UD2TPR1	UD2TPR0

備考 表はV850ES/FG3-L (最大仕様) のものです。各製品がサポートする割り込みにつきましては表5 - 3を参照してください。

各デバイスにおける各割り込み制御レジスタのアドレスと使用可否を表5 - 3に示します。

表5 - 3 製品ごとの割り込み制御レジスタ (xxICn) (1/2)

アドレス	レジスタ	V850ES/FE3-L	V850ES/FF3-L	V850ES/FG3-L
FFFFFF110H	LVLIC			
FFFFFF112H	LVIHIC			
FFFFFF114H	PIC0			
FFFFFF116H	PIC1			
FFFFFF118H	PIC2			
FFFFFF11AH	PIC3			
FFFFFF11CH	PIC4			
FFFFFF11EH	PIC5			
FFFFFF120H	PIC6			
FFFFFF122H	PIC7			
FFFFFF12EH	TAA0OVIC			
FFFFFF130H	TAA0CCIC0			
FFFFFF132H	TAA0CCIC1			
FFFFFF134H	TAA1OVIC			
FFFFFF136H	TAA1CCIC0			
FFFFFF138H	TAA1CCIC1			
FFFFFF13AH	TAA2OVIC			
FFFFFF13CH	TAA2CCIC0			
FFFFFF13EH	TAA2CCIC1			
FFFFFF140H	TAA3OVIC			
FFFFFF142H	TAA3CCIC0			
FFFFFF144H	TAA3CCIC1			
FFFFFF146H	TAA4OVIC			
FFFFFF148H	TAA4CCIC0			
FFFFFF14AH	TAA4CCIC1			
FFFFFF14CH	TM0EQIC0			
FFFFFF14EH	CB0RIC			
FFFFFF150H	CB0TIC			
FFFFFF152H	CB1RIC			
FFFFFF154H	CB1TIC			
FFFFFF156H	UD0SIC			
FFFFFF158H	UD0RIC			
FFFFFF15AH	UD0TIC			
FFFFFF15CH	UD1SIC			
FFFFFF15EH	UD1RIC			
FFFFFF160H	UD1TIC			
FFFFFF162H	IIC0IC			
FFFFFF164H	ADIC			

備考 表内の記号は次を意味します。

- : デバイスで使用できるレジスタ
- : デバイスで使用できないレジスタ

表5 - 3 製品ごとの割り込み制御レジスタ (xxICn) (2/2)

アドレス	レジスタ	V850ES/FE3-L	V850ES/FF3-L	V850ES/FG3-L
FFFFFF166H	C0ERRIC			
FFFFFF168H	C0WUPIC			
FFFFFF16AH	C0RECIC			
FFFFFF16CH	C0TRXIC			
FFFFFF176H	KRIC			
FFFFFF178H	WTIIC			
FFFFFF17AH	WTIC			
FFFFFF180H	PIC8	-	-	
FFFFFF182H	PIC9	-	-	
FFFFFF184H	PIC10	-	-	
FFFFFF190H	UD2SIC	-	-	
FFFFFF192H	UD2RIC	-	-	
FFFFFF194H	UD2TIC	-	-	

備考 表内の記号は次を意味します。

：デバイスで使用できるレジスタ

- ：デバイスで使用できないレジスタ

5.3.5 割り込みマスク・レジスタ (IMR0-IMR4)

マスカブル割り込みの割り込みマスク状態を設定します。

IMRm (m = 0-4) レジスタのxxMKnビットは、xxICnレジスタのxxMKnビットとそれぞれ連結しています。

- 16ビットのIMRmレジスタへのアクセス。
16ビットのIMRmに、16ビット単位でリード/ライト可能
8ビットのIMRmL = IMRm[7:0]レジスタに、8ビットまたは1ビット単位でリード/ライト可能
8ビットのIMRmH = IMRm[15:8]レジスタに、8ビットまたは1ビット単位でリード/ライト可能
- 8ビットのIMRmレジスタへのアクセス。
8ビットのIMRmまたはIMRmLレジスタに、8ビットまたは1ビット単位でリード/ライト可能

注意1. 機能割り当てのないマスク・ビットの設定 (1) を変更しないでください。レジスタに書き込みを行う場合は、必ずこれらのマスク・ビットに“1”を設定してください。

2. デバイス・ファイルでは、xxICnレジスタのxxMKnビットを予約語として定義しています。したがって、xxMKnビットの名称でビット操作を行うと、IMRmレジスタではなくxxICnレジスタを書き換えます (結果としてIMRmレジスタも書き換わります)。

ビット位置	ビット名	機能
15-0	xxMKn	割り込みマスク・フラグの設定 0: 割り込み処理を許可 1: 割り込み処理を禁止 (保留)

備考 xx: 各周辺ユニット識別名称 (5.3.4 割り込み制御レジスタ (xxICn) 参照)

(1) 割り込みマスク・レジスタ0 (IMR0)

リセット時: FFFFH アドレス: IMR0 FFFFF100H
IMR0L FFFFF100H, IMR0H FFFFF101H

	15	14	13	12	11	10	9	8
IMR0	TAA0VMK	1	1	1	1	1	PMK7	PMK6
	7	6	5	4	3	2	1	0
	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIHMK	LVILMK

注意 ビット14-10は、必ず“1”をセットしてください。

(2) 割り込みマスク・レジスタ1 (IMR1)

リセット時: FFFFH アドレス: IMR1 FFFFF102H
IMR1L FFFFF102H, IMR1H FFFFF103H

	15	14	13	12	11	10	9	8
IMR1	CB0RMK	TM0EQMK0	TAA4CCMK1	TAA4CCMK0	TAA4OVMK	TAA3CCMK1	TAA3CCMK0	TAA3OVMK
	7	6	5	4	3	2	1	0
	TAA2CCMK1	TAA2CCMK0	TAA2OVMK	TAA1CCMK1	TAA1CCMK0	TAA1OVMK	TAA0CCMK1	TAA0CCMK0

(3) 割り込みマスク・レジスタ2 (IMR2)

リセット時: FFFFH アドレス: IMR2 FFFFF104H
 IMR2L FFFFF104H, IMR2H FFFFF105H

	15	14	13	12	11	10	9	8
IMR2	1	C0TRXMK	C0RECMK	C0WUPMK	C0ERRMK	ADMK	IIC0MK	UD1TMK
	7	6	5	4	3	2	1	0
	UD1RMK	UD1SMK	UD0TMK	UD0RMK	UD0SMK	CB1TMK	CB1RMK	CB0TMK

注意 ビット15は、必ず“1”をセットしてください。

(4) 割り込みマスク・レジスタ3 (IMR3)

- ・ V850ES/FE3-L
- ・ V850ES/FF3-L

リセット時: FFH アドレス: FFFFF106H

	7	6	5	4	3	2	1	0
IMR3L	FLMK	1	WTMK	WTIMK	KRMK	1	1	1

注意 ビット6, 2-0は、必ず“1”をセットしてください。

- ・ V850ES/FG3-L

リセット時: FFFFH アドレス: IMR3 FFFFF106H
 IMR3L FFFFF106H, IMR3H FFFFF107H

	15	14	13	12	11	10	9	8
IMR3	1	1	1	1	1	PMK10	PMK9	PMK8
	7	6	5	4	3	2	1	0
	FLMK	1	WTMK	WTIMK	KRMK	1	1	1

注意 ビット15-11, 6, 2-0は、必ず“1”をセットしてください。

(5) 割り込みマスク・レジスタ4 (IMR4)

- ・ V850ES/FG3-L

リセット時: FFH アドレス: FFFFF108H

	7	6	5	4	3	2	1	0
IMR4L	1	1	1	1	1	UD2TMK	UD2RMK	UD2SMK

注意 ビット7-3は、必ず“1”をセットしてください。

5.3.6 インサース・プライオリティ・レジスタ (ISPR)

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求信号が受け付けられると、その割り込み要求信号の優先順位レベルに対応するビットがセット (1) され、サービス中保持されます。

RETI命令の実行時、ISPRレジスタ内でセット (1) されているビットのうち、最も優先順位の高い割り込み要求信号に対応するビットがハードウェアにより自動的にリセット (0) されます。ただし、ノンマスカブルの割り込み処理や例外処理からの復帰の場合はリセット (0) されません。

8/1ビット単位でリードのみ可能です。



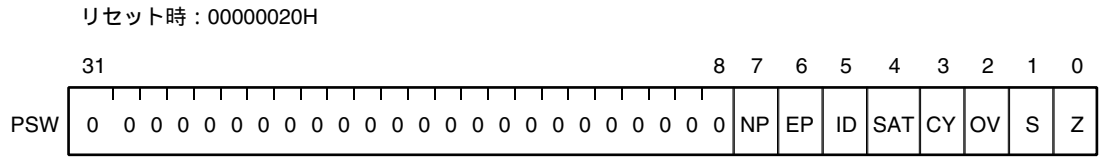
注意 割り込み許可 (EI) 状態において、ISPRレジスタをリード中に割り込みを受け付けた場合、その割り込み受け付けによるビットがセット (1) されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は、割り込み禁止 (DI) 状態でリードしてください。

ビット位置	ビット名	機 能
7-0	ISPR7-ISPR0	受け付け中の割り込みの優先順位 0 : 優先順位nの割り込み要求信号を受け付けていない 1 : 優先順位nの割り込み要求信号を受け付け中

備考 n : 0-7 (優先順位のレベル)

5.3.7 マスカブル割り込み状態フラグ (ID)

IDフラグはPSWのビット5です。マスカブル割り込みの動作状態を制御し、割り込み要求信号受け付けの許可 / 禁止制御情報を記憶します。



ビット位置	ビット名	機能
5	ID	<p>マスカブル割り込み処理の指定</p> <ul style="list-style-type: none"> 0 : マスカブル割り込み要求信号の受け付けを許可 1 : マスカブル割り込み要求信号の受け付けを禁止 (保留) <p>DI命令でセット(1), EI命令でリセット(0)されます。また, RETI命令およびPSWへのLDSR命令により値が書き換えられます。</p> <p>ノンマスカブル割り込み要求信号および例外は、このフラグの状態に関係なく受け付けられます。また、マスカブル割り込み要求信号を受け付けると、IDフラグはハードウェアで自動的にセット(1)されます。</p> <p>受け付け禁止期間中 (ID = 1) に発生した割り込み要求信号は、xxICnのxxIFnビットがセット(1)され、IDフラグがリセット(0)されると受け付けられます。</p>

5.3.8 外部マスカブル割り込み

外部マスカブル割り込みINTPnは次のような特徴を備えています。

- ・アナログ入力フィルタ (2.6.1 **アナログ・フィルタ処理を行う入力**を参照してください。)
- ・INTP3用デジタル入力フィルタ (2.6.2 **デジタル・フィルタ処理を行う入力**を参照してください。)
- ・各割り込み入力の検出方法を選択可能。

立ち上がりエッジ

立ち下がりエッジ

両エッジ (立ち上がりエッジと立ち下がりエッジ)

外部割り込みイベントの設定に関しては、5.4 **外部割り込みエッジ検出設定**を参照してください。

5.4 外部割り込みエッジ検出設定

本マイクロコントローラは外部マスカブル割り込みINTPnと1つのノンマスカブル割り込み (NMI) を備えています。

INTPnとNMIは、立ち上がりエッジ、立ち下がりエッジ、または両エッジの検出時に割り込みを発生するように設定できます。2つのレジスタで各外部割り込みに対するエッジとレベルを指定します。

注意 リセット後のNMIは、エッジ件出なしになっているので、INTF0、INTR0レジスタで有効エッジを許可しないと、割り込み要求信号を受け付けません。

(1) 外部割り込み立ち上がりエッジ指定レジスタ (INTRm)

INTRmレジスタは、対応する外部割り込み信号のエッジ検出に立ち上がりエッジを指定します。

8ビットまたは1ビット単位でリード/ライト可能です。

16ビット・レジスタとして使用するときには、16ビット単位でリード/ライト可能です。

ビット位置	ビット名	機能
15-0	INTRm [15:0]	外部割り込み信号のエッジ検出を指定します。 0: 立ち上がりエッジを検出しない。 1: 立ち上がりエッジを検出。

注意 1. 端子の機能を外部割り込み機能 (兼用機能) からポート機能に変更した場合、エッジが検出される場合があります。したがって、INTRm.INTRmk (k = 0-15) を0にクリアしてからポート・モードを設定してください。

2. 外部割り込み入力には、アナログ・ディレイによるノイズ除去回路を内蔵します。

(2) 外部割り込み立ち下がりエッジ指定レジスタ (INTFm)

INTFmレジスタは、対応する外部割り込み信号のエッジ検出に立ち下がりエッジを指定します。

このレジスタは、8ビットまたは1ビット単位で読み出しおよび書き込みができます。

16ビット・レジスタとして使用するときには、16ビット単位で読み出しおよび書き込みができます。

ビット位置	ビット名	機能
15-0	INTFm [15:0]	外部割り込み信号のエッジ検出を指定します。 0: 立ち下がりエッジを検出しない。 1: 立ち下がりエッジを検出。

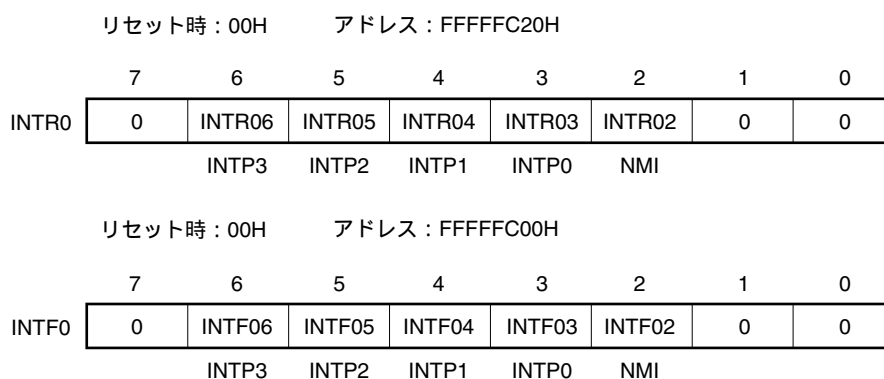
注意 1. 端子の機能を外部割り込み機能 (兼用機能) からポート機能に変更した場合、エッジが検出される場合があります。したがって、INTFm.INTFmk (k = 0-15) を0にクリアしてからポート・モードを設定してください。

2. 外部割り込み入力には、アナログ・ディレイによるノイズ除去回路を内蔵します。

備考 V850ES/FE3-L, V850ES/FF3-L : m = 0, 3, 9

V850ES/FG3-L : m = 0, 1, 3, 9

(a) 外部割り込みエッジ指定レジスタ0 (INTF0/INTR0)



(b) 外部割り込みエッジ指定レジスタ1 (INTF1/INTR1)



(c) 外部割り込みエッジ指定レジスタ3 (INTF3/INTR3)

- V850ES/FE3-L
- V850ES/FF3-L

リセット時 : 00H アドレス : FFFFC26H

	7	6	5	4	3	2	1	0
INTR3L	0	0	0	0	0	0	INTR31	0

INTP7

リセット時 : 00H アドレス : FFFFC06H

	7	6	5	4	3	2	1	0
INTF3L	0	0	0	0	0	0	INTF31	0

INTP7

- V850ES/FG3-L

リセット時 : 0000H アドレス : INTR3 FFFFC26H
INTR3L FFFFC26H, INTR3H FFFFC27H

	15	14	13	12	11	10	9	8
INTR3	0	0	0	0	0	0	INTR39	0

INTP8

	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	INTR31	0

INTP7

リセット時 : 0000H アドレス : INTF3 FFFFC06H
INTF3L FFFFC06H, INTF3H FFFFC07H

	15	14	13	12	11	10	9	8
INTF3	0	0	0	0	0	0	INTF39	0

INTP8

	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	INTF31	0

INTP7

(d) 外部割り込みエッジ指定レジスタ9H (INTF9H/INTR9H)

リセット時 : 00H アドレス : FFFFC33H

	7	6	5	4	3	2	1	0
INTR9H	INTR915	INTR914	INTR913	0	0	0	0	0

INTP6 INTP5 INTP4

リセット時 : 00H アドレス : FFFFC13H

	7	6	5	4	3	2	1	0
INTF9H	INTF915	INTF914	INTF913	0	0	0	0	0

INTP6 INTP5 INTP4

5.5 ソフトウェア例外

ソフトウェア例外は、CPUのTRAP命令の実行により発生する例外で、常に受け付け可能です。

5.5.1 動作

ソフトウェア例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

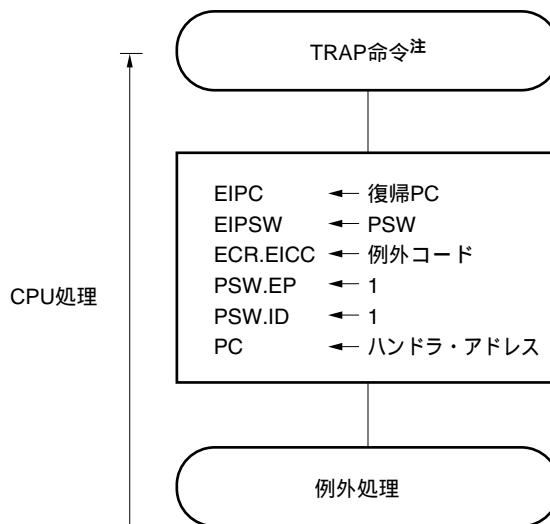
ECR (割り込み要因) の下位16ビット (EICC) に例外コードを書き込みます。

PSWのEP, IDビットをセットします。

PCにソフトウェア例外に対するハンドラ・アドレス (00000040Hまたは00000050H) をセットし、制御を移します。

ソフトウェア例外の処理形態を、図5 - 10に示します。

図5 - 10 ソフトウェア例外の処理形態



注 TRAP命令フォーマット：TRAP vector (ただし、vectorは0-1FHの値)

ハンドラ・アドレスは、TRAP命令のオペランド (vector) によって決まります。vectorが0-0FHの場合は00000040Hとなり、10-1FHの場合は00000050Hとなります。

5.5.2 復 帰

ソフトウェア例外処理からの復帰は、RETI命令により行います。

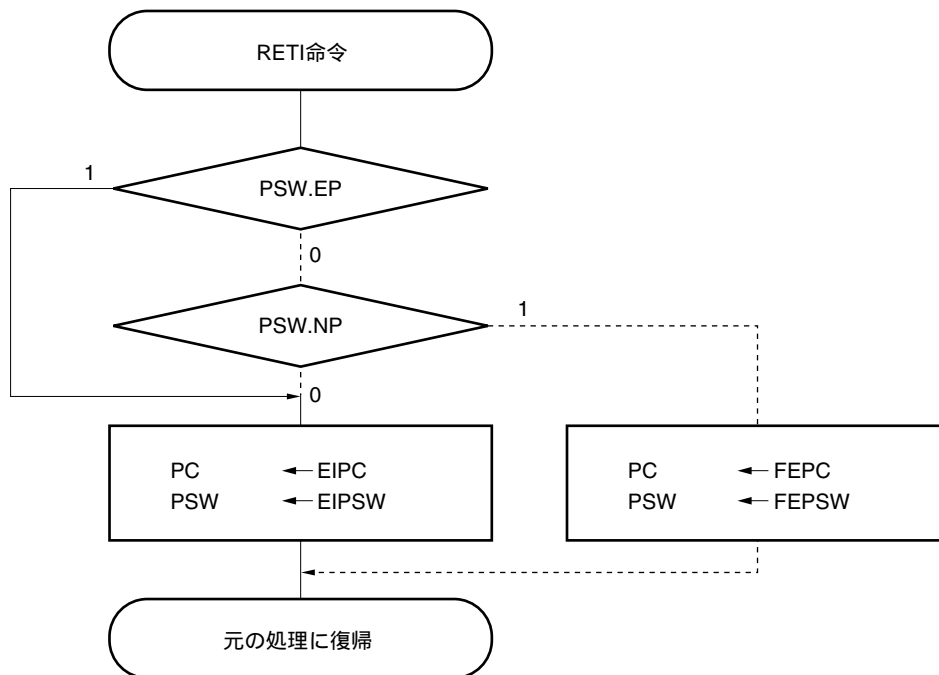
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSWのEPビットは1なので、EIPC, EIPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を図5 - 11に示します。

図5 - 11 RETI命令の処理形態



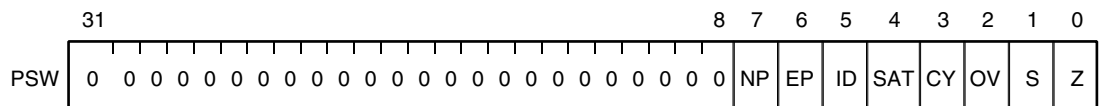
注意 ソフトウェア例外処理中にLDSR命令によりPSW.EPビット、PSW.NPビットを変更した場合には、RETI命令による復帰時にPCとPSWを正常にリストアするために、RETI命令の直前で、LDSR命令を使用してPSW.EP = 1に戻しておく必要があります。

備考 CPUは実線のフローで処理します。

5.5.3 例外状態フラグ (EP)

EPフラグは、PSWのビット6です。EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。

リセット時：00000020H



ビット位置	ビット名	機 能
6	EP	例外処理状態 0：例外処理中でない 1：例外処理中

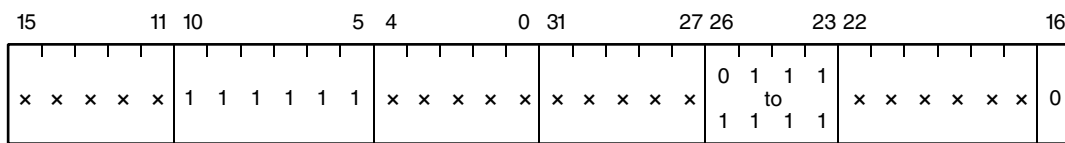
5.6 例外トラップ

例外トラップは、命令の不正実行が発生した場合に要求される割り込みです。本マイクロコントローラでは、不正命令コード・トラップ (ILGOP : Illegal Opcode Trap) が例外トラップに当たります。

5.6.1 不正命令コード

不正命令は、命令のオペコード (ビット10-5) が111111Bで、サブオペコード (ビット26-23) が0111B-1111B, サブオペコード (ビット16) が0Bであるものです。この不正命令に当てはまる命令を実行したときに、例外トラップが発生します。

注意 不正命令コードには、将来、新規に命令を割り当てる可能性があるため、使用しないことを推奨します。



備考 X : 任意

(1) 動作

例外トラップが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをDBPCに退避します。

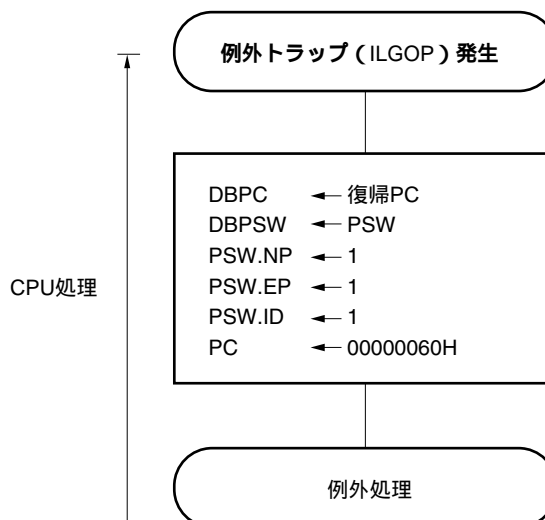
現在のPSWをDBPSWに退避します。

PSWのNP, EP, IDビットをセットします。

PCに例外トラップに対するハンドラ・アドレス (00000060H) をセットし、制御を移します。

例外トラップの処理形態を図5 - 12に示します。

図5 - 12 例外トラップの処理形態



(2) 復 帰

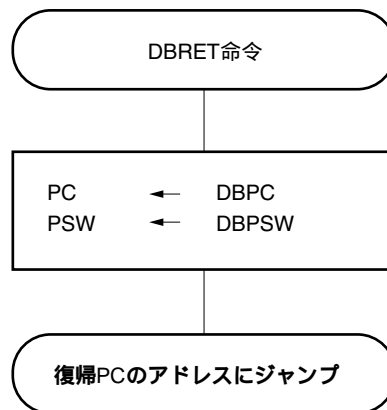
例外トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

例外トラップからの復帰の処理形態を図5 - 13に示します。

図5 - 13 例外トラップからの復帰の処理形態



5.6.2 デバッグ・トラップ

デバッグ・トラップは、DBTRAP命令の実行により発生する常時受け付けが可能な例外です。

デバッグ・トラップが発生した場合、CPUは次の処理を行います。

(1) 動 作

デバッグ・トラップが発生した場合、CPUは制御をデバッグ・モニタ・ルーチンに移し、デバッグ・モードに遷移します。

復帰PCをDBPCに退避します。

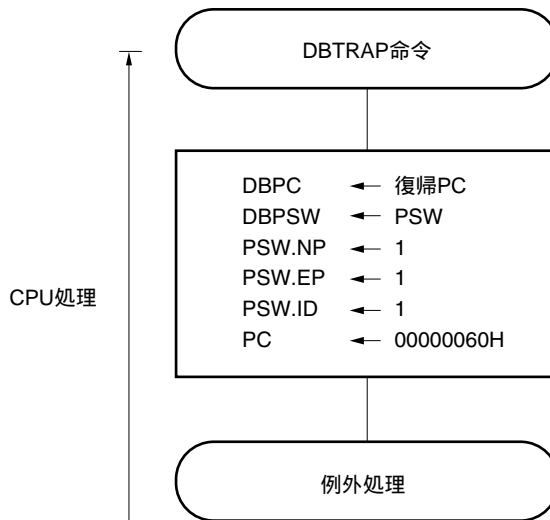
現在のPSWをDBPSWに退避します。

PSWのNP, EP, IDビットをセットします。

PCにデバッグ・トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

デバッグ・トラップの処理形態を図5 - 14に示します。

図5 - 14 デバッグ・トラップの処理形態



(2) 復 帰

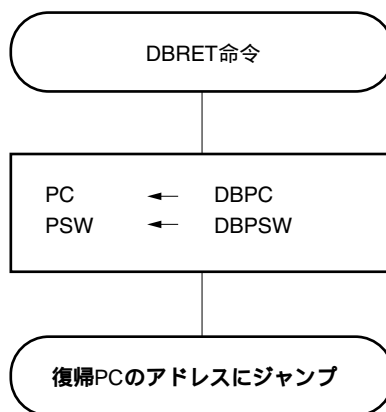
デバッグ・トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

デバッグ・トラップからの復帰の処理形態を図5 - 15に示します。

図5 - 15 デバッグ・トラップからの復帰の処理形態



注意 DBPCとDBPSWへは、DBTRAP命令または不正命令を実行してからDBRET命令を実行するまでの期間のみアクセス可能です。

5.7 多重割り込み処理制御

多重割り込み処理制御は、現在割り込み要求を処理中に高位の優先順位を持つ割り込み要求が発生した場合、高位の優先順位の割り込みを受け付けて先に処理する制御です。

割り込み処理中に低位の優先順位を持つ割り込み要求が発生した場合は、その割り込み要求は保留されます。

マスカブル割り込み要求の多重処理制御は、割り込みが許可状態 (ID = 0) の場合に実行されます。したがって、多重割り込みを実行する場合、割り込み処理ルーチンも割り込み許可状態 (ID = 0) になっている必要があります。

マスカブル割り込み許可またはソフトウェア例外が、マスカブル割り込みまたはソフトウェア例外処理プログラム中で発生した場合は、EIPCとEIPSWを退避しなければなりません。

これは次の手順で行います。

(1) 処理プログラム中でのマスカブル割り込み受け付け

マスカブル割り込みまたは例外処理プログラム

...	
...	
・ EIPCをメモリまたはレジスタに退避。	
・ EIPSWをメモリまたはレジスタに退避。	
・ EI命令 (割り込み受け付け許可)	
...	
...	
...	
・ DI命令 (割り込み受け付け禁止)	
・ 退避した値をEIPSWに復帰。	
・ 退避した値をEIPCに復帰。	
・ RETI命令	

マスカブル割り込み許可

(2) 処理プログラム中での例外発生

マスカブル割り込みまたは例外処理プログラム

...	
...	
・ EIPCをメモリまたはレジスタに退避。	
・ EIPSWをメモリまたはレジスタに退避。	
...	
・ TRAP命令	
...	
・ 退避した値をEIPSWに復帰。	
・ 退避した値をEIPCに復帰。	
・ RETI命令	

TRAP命令等の例外受け付け

多重割り込み処理制御の優先順位には、各マスクブル割り込み要求に0から7まで8つのレベルがあり（0が最高位の優先順位）、ソフトウェアで希望の優先レベルを設定できます。優先レベルは、各マスクブル割り込み要求に具備された割り込み制御レジスタ (PICn) のPPRn0-PPRn2ビットを使用して設定します。システム・リセット後、割り込み要求はPMKnビットでマスクされ、優先レベルはPPRn0-PPRn2ビットで7に設定されます。

マスクブル割り込みの優先レベルは次のようになります。

(高) レベル0 > レベル1 > レベル2 > レベル3 > レベル4 > レベル5 > レベル6 > レベル7 (低い)

多重割り込み制御によって一時停止 (サスペンド) された割り込み処理は、高位の優先順位の割り込みの処理が完了し、RETI命令が実行されると再開されます。

保留された割り込み要求は、現在の割り込み処理が完了し、RETI命令が実行されると受け付けられます。

注意 ノンマスクブル割り込み処理ルーチンでは (RETI命令が実行されるまで)、マスクブル割り込みはサスペンドされ受け付けられません。

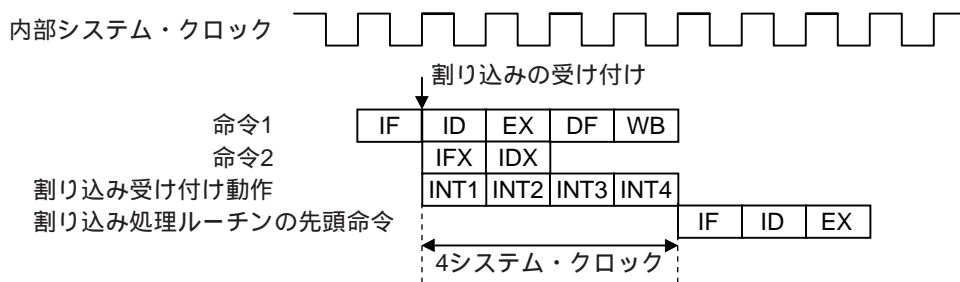
5.8 CPUの割り込み応答時間

表5 - 4は割り込み応答時間（割り込み発生から処理開始までの時間）を示しています。
 次の場合を除き、CPUの割り込み応答時間は、最小4クロックとなります。

STOPモード時

割り込み要求非サンプル命令（5.9 CPUが割り込みを受け付けない期間参照）が連続しているとき
 割り込み制御レジスタへのアクセス時

図5 - 16 割り込み要求信号受け付け時のパイプライン動作例1（概略）



備考1. INT1-INT4：割り込み受け付け処理

IFX：無効となる命令フェッチ

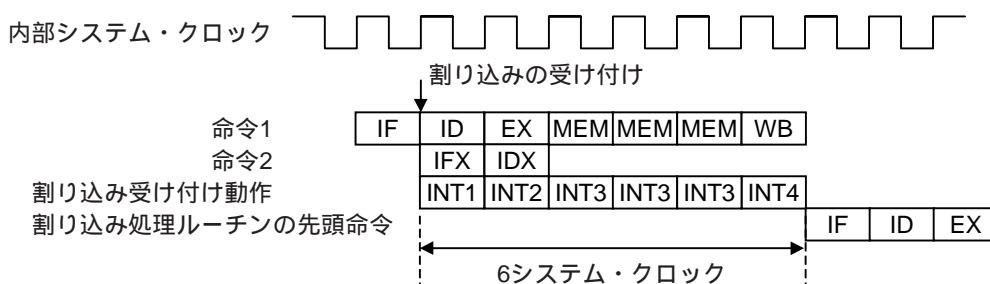
IDX：無効となる命令デコード

- 4サイクルの割り込み受け付け時間中に同じ割り込みが発生すると、新しい割り込みは破棄されます。同じ要因からの次の割り込みは、4サイクル後に登録されます。

表5 - 4 割り込み応答時間1

	割り込み応答時間（内部システム・クロック）		条 件
	内部割り込み	外部割り込み	
最小	4	4 + アナログ・ディレイ時間	次の場合は除きます。 ・ IDLE1/IDLE2/STOPモード時 ・ 割り込み要求非サンプル命令が連続しているとき ・ 割り込み制御レジスタへのアクセス時 ・ プログラマブル周辺I/Oレジスタへのアクセス時 ・ 周辺I/Oレジスタへのアクセス時
最大	6	6 + アナログ・ディレイ時間	

図5 - 17 割り込み要求信号受け付け時のパイプライン動作例1（最大時）



5.9 CPUが割り込みを受け付けない期間

CPUの割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません（割り込みは保留されます）。

割り込み要求非サンプル命令は次のとおりです。

EI命令

DI命令

LDSR reg2, 0x5命令（対PSW）

次のレジスタに対するストア命令およびSET1, NOT1, CLR1命令

・割り込み関連のレジスタ：

 割り込み制御レジスタ (xxICn) , 割り込みマスク・レジスタ0-7 (IMR0-IMR7)

・インサースピス・プライオリティ・レジスタ (ISPR)

・コマンド・レジスタ (PRCMD)

・パワー・セーブ・コントロール・レジスタ (PSC)

・オンチップ・デバッグ・モード・レジスタ (OCDM)

・周辺エミュレーション・レジスタ1 (PEMU1)

備考 xx : 各周辺ユニット識別名称

n : 周辺ユニット番号

(表5-2 割り込み制御レジスタ (xxICn) のアドレスとビット一覧参照)

第6章 キー割り込み機能

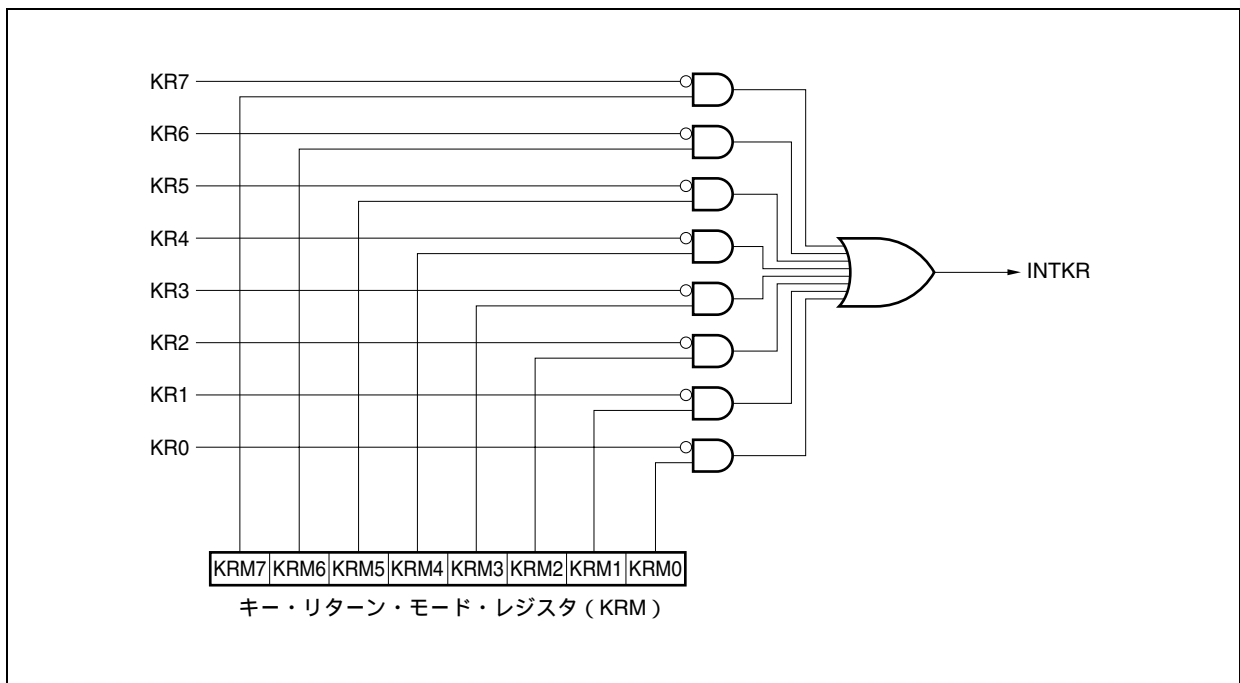
6.1 機能

キー・リターン・モード・レジスタ (KRM) の設定により、キー入力端子 (KR0-KR7) に立ち下がりエッジを入力することによって、キー割り込み要求信号 (INTKR) を発生させることができます。

表6 - 1 キー・リターン検出端子の割り当て

フラグ	設定される端子
KRM0	KR0信号を1ビット単位で制御
KRM1	KR1信号を1ビット単位で制御
KRM2	KR2信号を1ビット単位で制御
KRM3	KR3信号を1ビット単位で制御
KRM4	KR4信号を1ビット単位で制御
KRM5	KR5信号を1ビット単位で制御
KRM6	KR6信号を1ビット単位で制御
KRM7	KR7信号を1ビット単位で制御

図6 - 1 キー・リターンのブロック図



6.2 制御レジスタ

(1) キー・リターン・モード・レジスタ (KRM)

KRMレジスタは、KRM0-KRM7ビットでそれぞれKR0-KR7信号を制御するレジスタです。
8/1ビット単位でリード/ライト可能です。

アクセス： 8/1ビット単位でリード/ライト可能です。

アドレス： FFFFFFF300H

初期値： 00H。リセットにより初期化されます。

	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	キー・リターン・モードの制御
0	キー・リターン信号を検出しない
1	キー・リターン信号を検出する

注意 KRMレジスタを書き換える場合は、一度00Hとしてから書き換えてください。

備考 兼用端子の設定は第2章 端子機能を参照してください。

6.3 注意事項

- (1) KR0-KR7端子のうち1つでもロウ・レベルが入力されていると、別の端子の立ち下がりエッジを入力してもINTKR信号が発生しません。
- (2) RXDD1端子とKR7端子は同時に使用することはできません。RXDD1端子を使用する場合は、KR7端子を使用しないでください。また、KR7端子を使用する場合は、RXDD1端子を使用しないでください（PFC91ビット = 1, PFCE91ビット = 0に設定することを推奨します）。
- (3) KRMレジスタを変更すると、割り込み要求信号（INTKR）が発生する場合があります。したがって、あらかじめ割り込みを禁止（DI）してからKRMレジスタを変更し、割り込み要求フラグ（KRIC.KRIFビット）をクリア（0）してから、割り込みを許可（EI）してください。
- (4) キー割り込み機能を使用する場合は、必ずポート端子をキー・リターン用端子に設定してからKRMレジスタで動作を許可してください。また、逆にキー・リターン用端子からポート端子に切り替える場合は、KRMレジスタで動作を禁止してからポート端子の設定を行ってください。

第7章 フラッシュ・メモリ

本マイクロコントローラはフラッシュ・メモリを内蔵しています。

シリーズ	製品名	コード・フラッシュ
V850ES/FE3-L	μ PD70F3610	64 KB
	μ PD70F3611	96 KB
	μ PD70F3612	128 KB
	μ PD70F3613	192 KB
	μ PD70F3614	256 KB
V850ES/FF3-L	μ PD70F3615	64 KB
	μ PD70F3616	96 KB
	μ PD70F3617	128 KB
	μ PD70F3618	192 KB
	μ PD70F3619	256 KB
V850ES/FG3-L	μ PD70F3620	128 KB
	μ PD70F3621	192 KB
	μ PD70F3622	256 KB

コード・フラッシュ・メモリは、プログラム・コードや定数データを格納します。
フラッシュ・メモリを使用した開発環境および用途として次のようなことが考えられます。

- ターゲット・システムにマイクロコントローラを半田実装後、ソフトウェアの変更可能
- ソフトウェアを区別することで少量多品種生産が容易
- ユーザ規格ごとに量産立ち上げ時のデータ調整が容易
- 在庫管理が容易
- 出荷後のソフトウェアのアップデートが容易

フラッシュ・メモリは次のさまざまな方法で書き換え可能です。

- 専用のアダプタ（FAシリーズ）に実装し、専用のフラッシュ・ライターとのシリアル・インタフェース通信を介しての書き換え（オフボード・プログラミング）
- ターゲット・システムに実装し、専用のフラッシュ・ライターとのシリアル・インタフェース通信を介しての書き換え（オンボード・プログラミング）
- ユーザ・プログラミング（アプリケーション）によるフラッシュ・メモリの書き換え（セルフ・プログラミング）

備考 FAシリーズは、(株)内藤電誠町田製作所の製品です。

また、フラッシュ・メモリには、本製品のオプション機能を設定するオプション・バイト領域があります。

オプション・バイトでは、低速内蔵発振器のソフトウェアによる停止許可/禁止設定や、ウォッチドッグ・タイマ2などの動作モード設定を行います。

フラッシュ・メモリにプログラムを書き込む際、必ずオプション・バイト領域にデータを設定してください。詳細は、第8章 オプション・バイトを参照してください。

7.1 コード・フラッシュ・メモリ

7.1.1 コード・フラッシュ・メモリの特徴

- 4バイト/1クロック・アクセス（命令フェッチ時）
- 全ブロック一括消去、複数ブロック一括消去、または単一ブロック消去が可能
- 単一電源による消去/書き込みが可能
- 専用フラッシュ・ライターとの各種シリアル・インタフェースを介しての通信が可能
- オンボード、オフボード・プログラミングが可能
- セルフ・プログラミングによるフラッシュ・メモリ・プログラミングが可能
- フラッシュ・メモリの書き換え禁止機能をサポート（セキュリティ機能）
- ブート・スワップ機能により、セルフ・プログラミングによる全フラッシュ・メモリ領域のセキュアな書き換えが可能
- セルフ・プログラミングの割り込み受け付けが可能

7.1.2 コード・フラッシュ・メモリのマッピング

本マイクロコントローラの内蔵コード・フラッシュ・メモリ領域は、2 Kバイトのブロック単位に分割されており、全ブロックまたはブロック単位でのプログラミングおよび消去が可能です。また、複数ブロックの一括消去も可能です。

ブロック構造とアドレス割り当てについて、図7 - 1に示します。

- **ブート・スワップ・クラスタ・サイズ**

セキュア・セルフ・プログラミング用ブート・クラスタの構成可能なサイズ。詳しくは、7.3.4 **セキュア・セルフ・プログラミング (ブート・スワップ機能)** を参照してください。

図7-1 コード・フラッシュ・メモリの構成

				Block 127 (2 KB)	0003 FFFFH 0003 F800H	アドレス
				
				Block 96 (2KB)	0003 07FFH 0003 0000H	
			Block 95 (2 KB)	Block 95 (2 KB)	0002 FFFFH 0002 F800H	
			
			Block 64 (2 KB)	Block 64 (2 KB)	0002 07FFH 0002 0000H	
		Block 63 (2 KB)	Block 63 (2 KB)	Block 63 (2 KB)	0001 FFFFH 0001 F800H	
		
		Block 48 (2 KB)	Block 48 (2 KB)	Block 48 (2 KB)	0001 87FFH 0001 8000H	
	Block 47 (2 KB)	Block 47 (2 KB)	Block 47 (2 KB)	Block 47 (2 KB)	0001 7FFFH 0001 7800H	
	
	Block 32 (2 KB)	Block 32 (2 KB)	Block 32 (2 KB)	Block 32 (2 KB)	0001 07FFH 0001 0000H	
Block 31 (2 KB)	Block 31 (2 KB)	Block 31 (2 KB)	Block 31 (2 KB)	Block 31 (2 KB)	0000 FFFFH 0000 F800H	
...	
Block 1 (2 KB)	Block 1 (2 KB)	Block 1 (2 KB)	Block 1 (2 KB)	Block 1 (2 KB)	0000 0FFFH 0000 0800H	
Block 0 (2 KB)	Block 0 (2 KB)	Block 0 (2 KB)	Block 0 (2 KB)	Block 0 (2 KB)	0000 07FFH 0000 0000H	
64 KB	96 KB	128 KB	192 KB	256 KB	コード・フラッシュ・サイズ	
8/16/32/64 [※] KB					ブート・スワップ・クラスタ・サイズ	
μPD70F3610 μPD70F3615	μPD70F3611 μPD70F3616	μPD70F3612 μPD70F3617 μPD70F3620	μPD70F3613 μPD70F3618 μPD70F3621	μPD70F3614 μPD70F3619 μPD70F3622	製 品	

注 V850ES/FE3-LのμPD70F3610, 70F3611, V850ES/FF3-LのμPD70F3615, 70F3616はブート・スワップ・クラスタに64 Kバイトを選択禁止です。

7.1.3 コード・フラッシュ・メモリの機能概要

- 専用フラッシュ・ライターによるプログラミング:** マイクロコントローラがターゲット・システムに実装されている,または実装されていないかにかかわらず,内蔵フラッシュ・メモリは専用フラッシュ・ライターによる書き換えが可能です(オフボード/オンボード・プログラミング)。
- セルフ・プログラミング:** セルフ・プログラミング機能はユーザ・プログラムによるフラッシュ・メモリの書き換えを容易にし,製造および出荷後のプログラム・アップデートに適しています。また,セルフ・プログラミング中の割り込み処理をサポートしており,外部との通信処理を行いながら書き換えを行うなど,さまざまな条件での書き換えが可能です。
- セルフ・プログラミング・モードは通常動作モードで開始できますが,専用フラッシュ・ライターによるプログラミングはシステム・リセットの解除直後に設定されます。
- セルフ・プログラミングに関しては,7.3 **コード・フラッシュ・セルフ・プログラミング**を参照してください。専用フラッシュ・ライターによるプログラミングの設定方法に関しては,7.2 **専用フラッシュ・ライターでの書き換え**を参照してください。
- ブート・スワップ:** 書き換え中に電源遮断が発生しても,常に正常なユーザ・プログラムが存在する状態となるため,全領域の書き換えが安全に実行できます。
- ブート・スワップの詳細は,7.3.4 **セキュア・セルフ・プログラミング(ブート・スワップ機能)**を参照してください。
- 保護:** フラッシュ・メモリ・プログラミング中に保護フラグのセットを指定し,フラッシュ・メモリにアクセスするさまざまな方法を禁止できます。
- データ保護の詳細は,第9章 **データ保護とセキュリティ**を参照してください。
- リセット・ベクタ・ハンドリング:** リセット・ベクタ・ハンドリング機能とは,リセット・ベクタ・アドレスを任意のアドレスに設定することができる機能です。詳細は,**フラッシュ・メモリ・セルフ・プログラミング・ライブラリ ユーザーズ・マニュアル(作成中)**を参照してください。

表7-1 フラッシュ・メモリの書き換え方法

環 境	インタフェース	概 要	動作モード
専用フラッシュ・ライタによるプログラミング	シリアル・インタフェース (UARTD, CSIB)	<ul style="list-style-type: none"> ・ターゲット・システム上に実装後,フラッシュ・メモリの書き換えが可能 (オンボード・プログラミング) ・専用プログラム・アダプタ・ボード (FAシリーズ) を用いることにより, ターゲット・システムへ実装する前にフラッシュ・メモリの書き換えが可能 (オフボード・プログラミング) 	フラッシュ・メモリ・プログラミング・モード
セルフ・プログラミング	セルフ・プログラミング・ライブラリ	<p>あらかじめオフボード / オンボード・プログラミングによりフラッシュ・メモリに書き込まれたユーザ・プログラムを実行することで書き換えが可能です。</p> <p>セルフ・プログラミング中は, 内蔵フラッシュ・メモリ領域からの命令フェッチおよびデータ・アクセスはできませんので, 内蔵RAM, または外部メモリへ書き換え用のプログラムをあらかじめ転送して実行する必要があります。</p>	通常動作モード

備考 FAシリーズは, (株)内藤電誠町田製作所の製品です。

表7-2は, フラッシュ・メモリの内容を変更する機能をまとめたものです。

表7-2 基本機能一覧

機能	機能概要	対応 (: 対応, x : 未対応)	
		専用フラッシュ・ライターによるプログラミング	セルフ・プログラミング
ブロック消去	指定したメモリ・ブロックの内容を消去します。		
複数ブロック消去	指定した連続する複数のブロックの内容を消去します。		
チップ消去	メモリ領域全体の内容を一括消去します(書き換え禁止のセキュリティ・フラグがセットされたブート・ブロック・クラスタを除く)。		x ^{注1}
書き込み (プログラム)	指定したアドレスに書き込み,書き込みレベルが確保されているかどうかのペリファイ・チェックを実行します。		
ペリファイ	フラッシュ・メモリから読み出したデータをフラッシュ・ライターから転送されたデータと比較します。		x ^{注2}
チェックサム	フラッシュ・メモリからチェック・サム値の読み出しを行います。		x
ブランク・チェック	全メモリの消去状態を確認します。		
セキュリティ設定	次の機能を禁止できます。 <ul style="list-style-type: none"> ・チップ消去 ・ブロック消去 ・プログラム ・リード ・ブート・ブロック・クラスタの書き換え 		x ^{注3}

注1. セルフ・プログラミング・モードでは,ブロック消去によりすべてのブロックを一括消去するように指定できます。

2. ユーザ・プログラムで読み出しは可能です。

3. ブート・ブロック・クラスタの書き換えに対するセキュリティ設定(書き換え禁止)を除き,その他のすべてのセキュリティ設定はセルフ・プログラミング・モードでは無効です。

セキュリティ設定は,セルフ・プログラミング・モードでも行うことができます。しかし,既にアクティブ(禁止設定)になっているセキュリティ設定をインアクティブ(許可設定)にすることは不可能です。

次の表に使用可能なフラッシュ・メモリ・セキュリティ機能を示します。

詳細は,第9章 **データ保護とセキュリティ**を参照してください。

表7 - 3 セキュリティ機能一覧

機能	機能概要	適用 (: 適用, x : 未適用)	
		専用フラッシュ・ライタによるプログラミング	セルフ・プログラミング
チップ消去コマンド禁止 ^{注1}	全ブロックに対してフラッシュ全体および単一ブロックの消去が不可能になります。		x
ブロック消去コマンド禁止 ^{注2}	全ブロックに対して単一ブロックの消去が不可能になります。		x
プログラム・コマンド禁止 ^{注2}	全ブロックに対して消去と書き換えが不可能になります。		x
リード・コマンド禁止 ^{注2}	全ブロックに対してリード・コマンドの実行を禁止します。		x
ブート領域書き換え禁止 ^{注3}	ブート・ブロック・クラスタの(ブロック消去またはチップ消去による)消去および書き換えが不可能になります。		

注1. 一度禁止設定にすると、チップ消去コマンド禁止が初期化できなくなります。

2. チップ消去コマンドの実行によって、禁止設定が初期化可能です。

3. 一度禁止設定にすると、ブート領域書き換え禁止設定が初期化できなくなります。チップ消去コマンドは実行できません。ブート領域以外に対するブロック消去コマンド、プログラム・コマンドの実行は可能です。

7.1.4 コード・フラッシュ・メモリの消去と書き換え

- 消去：
- フラッシュ・メモリの消去は、次の2つの方法により行うことができます。
- ・ チップ消去 (セルフ・プログラミングでは未対応)
全ブロックを一括消去できます。
 - ・ ブロック消去
ブロック単位 (2Kバイト) で指定して消去できます。
セルフ・プログラミング・モードでは、任意の数の連続するフラッシュ・メモリ・ブロックを消去できます。
- 書き込み (プログラム)：専用フラッシュ・ライタによるプログラミングでは、全ブロックまたは任意のブロックを指定して書き込むことができます。
セルフ・プログラミング・モードでは、フラッシュ・メモリを1ブロックよりも小さな単位で書き込みます。1つのブロックを消去したあと、ワード単位で書き込みが可能です。書き込みは、1つのブロックを完全に消去後、そのブロックに対し1回のみ可能です。

7.2 専用フラッシュ・ライターでの書き換え

専用フラッシュ・ライターにより、オンボードまたはオフボードでフラッシュ・メモリの書き換えができます。

・オンボード・プログラミング

ターゲット・システム上にマイクロコントローラを実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・ライターを接続するためのコネクタなどを実装しておく必要があります。

・オフボード・プログラミング

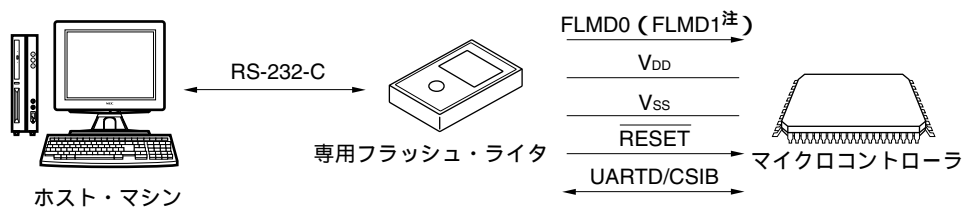
ターゲット・システム上にマイクロコントローラを実装する前に専用プログラム・アダプタ (FAシリーズ) などでフラッシュ・メモリに書き込みます。

備考 FAシリーズは、(株)内藤電誠町田製作所の製品です。

7.2.1 プログラミング環境

本マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図7-2 フラッシュ・メモリにプログラムを書き込むための環境



注 FLMD1端子は、フラッシュ・ライターと接続するか、ボード上でプルダウン抵抗を介してGNDに接続してください。

7.2.2 通信方式

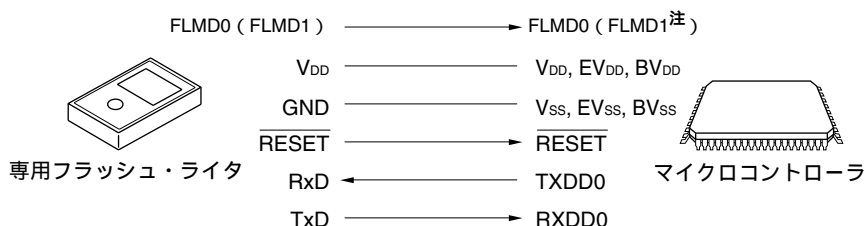
専用フラッシュ・ライターとマイクロコントローラとの通信には、アシンクロナス・シリアル・インタフェースUARTD0または3線式シリアル・インタフェースCSIB0を使用します。

CSIB0を介したプログラミングでは、ハンドシェークなしまたはハンドシェーク付きモードをサポートしています。ハンドシェーク付きモードでは、ポート端子PCM0をプログラムのハンドシェーク信号HSに使用します。

(1) UARTD0

転送レート：9600～153600 bps

図7-3 専用フラッシュ・ライターとの通信 (UARTD0)



注 FLMD1端子は、フラッシュ・ライターと接続するか、ボード上でプルダウン抵抗を介してGNDに接続してください。

- 注意1.** 記述していない端子は、未使用時の端子処理に従って処理してください。抵抗を介する場合、 $1\text{ k}\Omega \sim 10\text{ k}\Omega$ の抵抗を接続してください。
- 2.** $\overline{\text{DRST}}$ 端子には、ハイ・レベルを入力しないでください。

(2) ハンドシェークなしCSIB0

シリアル・クロック：2.4 kHz～2.5 MHz (MSBファースト)

図7-4 専用フラッシュ・ライターとの通信 (ハンドシェークなしCSIB0)



注 FLMD1端子は、フラッシュ・ライターと接続するか、ボード上でプルダウン抵抗を介してGNDに接続してください。

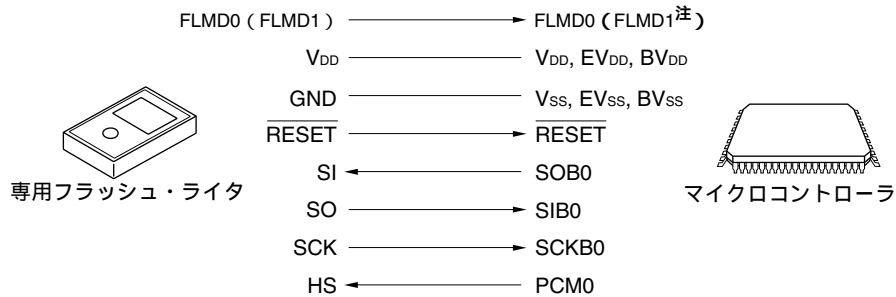
- 注意1.** 記述していない端子は、未使用時の端子処理に従って処理してください。抵抗を介する場合、 $1\text{ k}\Omega \sim 10\text{ k}\Omega$ の抵抗を接続してください。
- 2.** $\overline{\text{DRST}}$ 端子には、ハイ・レベルを入力しないでください。

フラッシュ・ライターが転送クロックを出力し、マイクロコントローラはスレーブとして動作します。

(3) ハンドシェーク付きCSIB0 (CSIB0 + HS)

シリアル・クロック : 2.4 kHz ~ 2.5 MHz (MSBファースト)

図7-5 専用フラッシュ・ライターとの通信 (ハンドシェーク付きCSIB0)



注 FLMD1端子は、フラッシュ・ライターと接続するか、ボード上でプルダウン抵抗を介してGNDに接続してください。

- 注意1. 記述していない端子は、未使用時の端子処理に従って処理してください。抵抗を介する場合、 $1\text{ k}\Omega \sim 10\text{ k}\Omega$ の抵抗を接続してください。
2. $\overline{\text{DRST}}$ 端子には、ハイ・レベルを入力しないでください。

専用フラッシュ・ライターが転送クロックを出力し、マイクロコントローラはスレーブとして動作します。

7.2.3 フラッシュ・ライタPG-FP4, PG-FP5

オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・ライタと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。

専用フラッシュ・ライタとしてPG-FP4, PG-FP5を使用した場合、PG-FP4, PG-FP5はマイクロコントローラに対して次の信号を生成します。詳細はPG-FP4 **ユーザズ・マニュアル (U15260J)** , PG-FP5 **ユーザズ・マニュアル (U18865J)** を参照してください。

表7-4 専用フラッシュ・ライタ (PG-FP4, PG-FP5) の信号接続

PG-FP4, PG-FP5			マイクロ コントローラ	接続時の処置		
信号名	入出力	端子機能	端子名	UARTD0	CSIB0	CSIB0 + HS
FLMD0	出力	書き込み許可 / 禁止	FLMD0			
FLMD1	出力	書き込み許可 / 禁止	FLMD1	x ^{注1}	x ^{注1}	x ^{注1}
V _{DD}	入出力	V _{DD} 電圧生成/電圧監視	V _{DD} , EV _{DD} , BV _{DD} , AV _{REF0}			
GND	-	グランド	V _{SS} , EV _{SS} , BV _{SS} , AV _{SS}			
CLK	出力	コントローラへのクロック出力	- ^{注2, 3}	x	x	x
RESET	出力	リセット信号	RESET			
SI/RxD	入力	受信信号	SOB0/TXDD0			
SO/TxD	出力	送信信号	SIB0/RXDD0			
SCK	出力	転送クロック	SCKB0	x		
HS	入力	CSIB0 + HS通信のハンドシェイク信号	PCM0	x	x	

注1. 接続するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。

- フラッシュ・ライタのCLK端子からのクロック供給はできません。
ボード上に発振回路を作成してクロックを供給してください。
- 水晶 / セラミック発振子のみサポートします。

注意 1. PLL通倍数は、メイン・クロック発振周波数 (f_x) に応じて次の表のとおり設定してください。

メイン・クロック発振周波数 (f _x)	PLL通倍数
4 MHz < f _x < 5 MHz	4.00
5 MHz < f _x < 10 MHz	2.00
10 MHz < f _x < 16 MHz	1.00

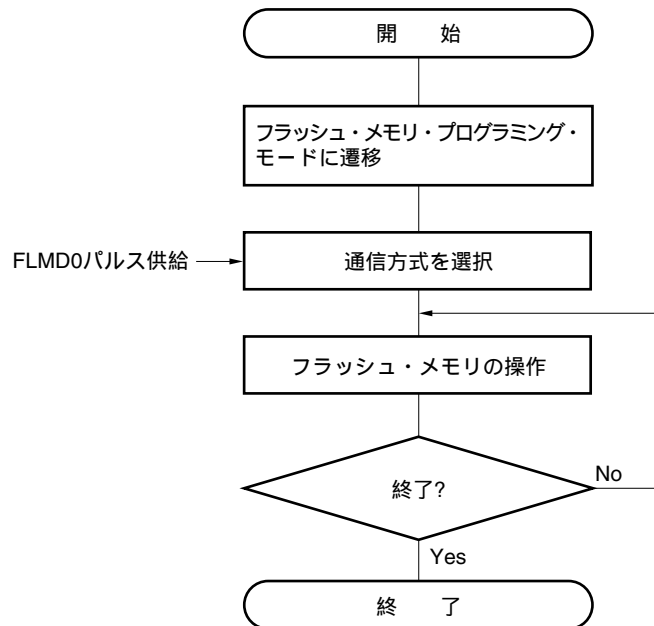
- クロック・スルー・モード (フラッシュ・ライタGUI上 : Internal/Direct mode) では使用しないでください。

備考 : 必ず接続してください。
x : 接続の必要はありません。

7.2.4 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図7-6 フラッシュ・メモリの操作手順



(1) フラッシュ・ライターへの接続

専用フラッシュ・ライターでフラッシュ・メモリの内容を書き換えるには、マイクロコントローラをフラッシュ・メモリ・プログラミング・モードに設定します。

このモードをに遷移させるには、表7-5の設定に示すように、FLMD0端子とFLMD1端子を設定し、 $\overline{\text{RESET}}$ を解除します。

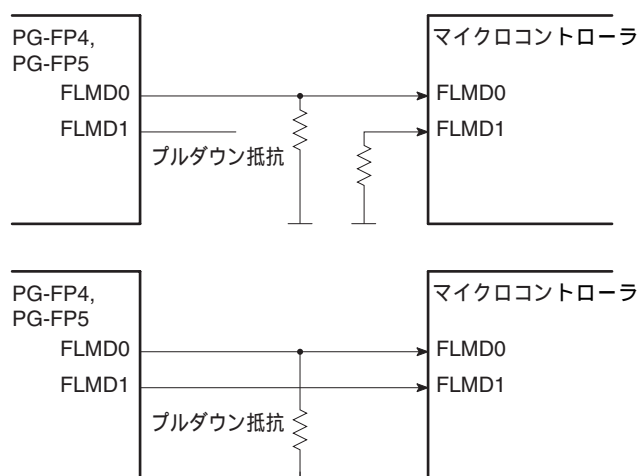
通常動作モード時は、FLMD0端子にV_{SS}レベルを入力します。フラッシュ・メモリ・プログラミング・モード時は、FLMD0端子にV_{DD}の書き込み電圧を供給します。また、PDL5ポートと兼用するFLMD1端子はV_{SS}レベルを保持します。

表7-5 動作モードの設定

端子		動作モード
FLMD0	FLMD1 (PDL5)	
0	x	通常動作モード (フラッシュからフェッチ)
1	0	フラッシュ・メモリ・プログラミング・モード
	1	設定禁止

FLMD0端子とFLMD1端子の接続例を次に示します。FLMD1は抵抗を介してV_{SS}に接続、または専用フラッシュ・ライターのFLMD1信号に直接接続してください。

図7-7 専用フラッシュ・ライターPG-FP4への接続例



(a) FLMD0端子

通常動作モード時は、FLMD0端子にV_{SS}レベルの電圧を入力します。フラッシュ・メモリ・プログラミング・モード時は、FLMD0端子にV_{DD}レベルの書き込み電圧を供給します。また、FLMD0端子は、セルフ・プログラミング・モード時に書き換え保護用端子となります。そのため、書き換え前に接続する他のポートを制御して、FLMD0端子にV_{DD}レベルの電圧を供給する必要があります。詳細は、7.3.

2 セルフ・プログラミングの許可 (FLMD0端子処理) を参照してください。

(b) FLMD1端子

FLMD0端子にV_{SS}レベル電圧を入力した場合、FLMD1端子は機能しません。FLMD0端子にV_{DD}が供給された場合、フラッシュ・メモリ・プログラミング・モードに遷移させるため、FLMD1端子にV_{SS}レベルの電圧を入力する必要があります。

注意 オンボード書き込み時、リセット直後に他のデバイスからFLMD1端子にV_{DD}の信号が入力される場合、この信号をアイソレートしてください。

(2) シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表7-6 各シリアル・インタフェースが使用する端子

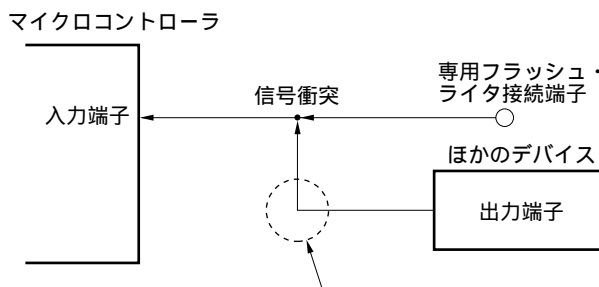
シリアル・インタフェース	使用端子
CSIB0	SOB0, SIB0, SCKB0
CSIB0 + HS	SOB0, SIB0, SCKB0, PCM0
UARTA0	TXDD0, RXDD0

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライタを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(a) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライタ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

図7-8 信号の衝突（シリアル・インタフェースの入力端子）

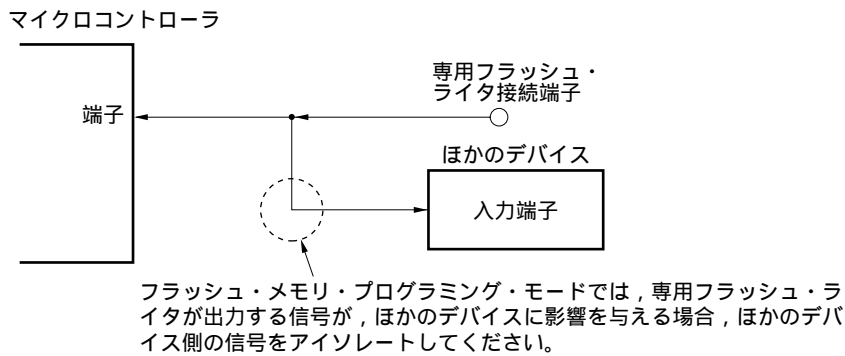
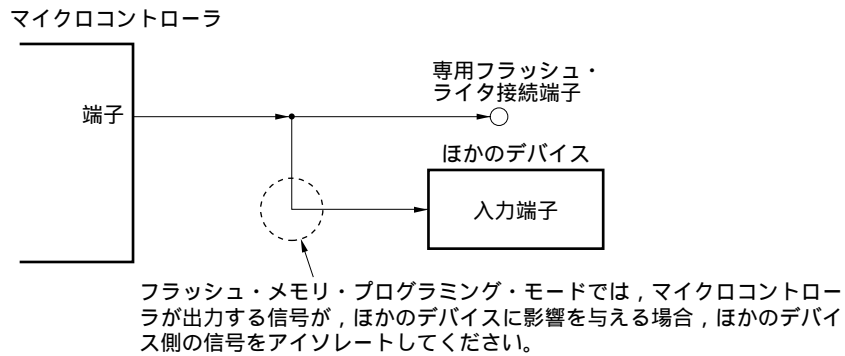


フラッシュ・メモリ・プログラミング・モードでは、ほかのデバイスが出力する信号と専用フラッシュ・ライタから送り出される信号が衝突するため、ほかのデバイス側の信号をアイソレートしてください。

(b) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に，専用フラッシュ・ライター（出力または入力）を接続する場合，ほかのデバイスに信号が出力され，異常動作を起こす可能性があります。この異常動作を避けるため，ほかのデバイスとの接続をアイソレートするか，またはほかのデバイスで入力信号を無視するように設定してください。

図7-9 ほかのデバイスの異常動作

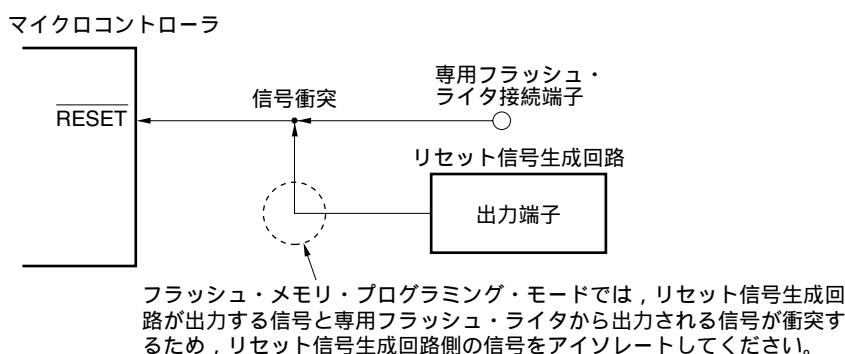


(3) RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図7 - 10 信号の衝突 (RESET端子)



(4) ポート端子 (NMIを含む)

フラッシュ・メモリ・プログラミング・モードに設定すると、専用フラッシュ・ライタと通信する端子を除くすべてのポート端子はリセット直後と同じ状態になります。なお、ポートに接続されている外部デバイスがリセット直後のポート状態を認めない場合には、抵抗を介して V_{DD} に接続するか、または抵抗を介して V_{SS} に接続するなどの処置をしてください。

(5) その他の信号端子

X1, X2, XT1, XT2は、通常動作モード時と同じ状態に接続してください。

また、フラッシュ・メモリ・プログラミング中、DRST端子はロウ・レベル入力またはオープンにし、ハイ・レベル入力しないようにしてください。

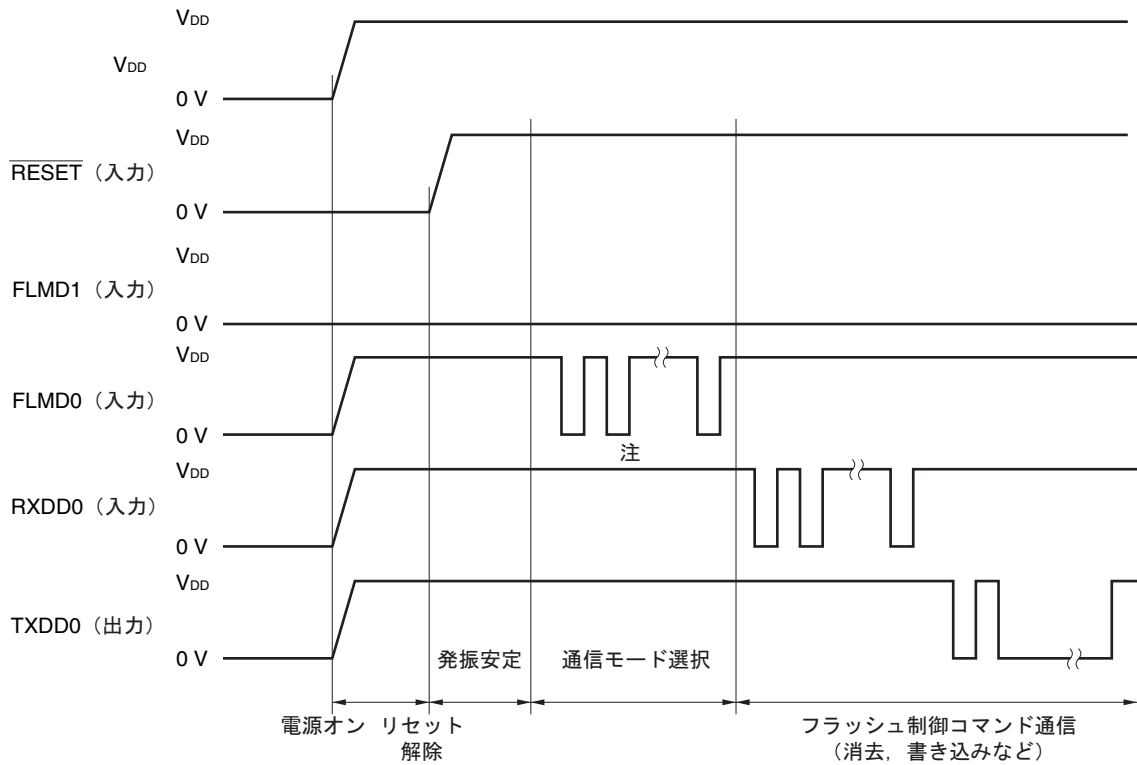
(6) 電 源

電源 (V_{DD} , V_{SS} , EV_{DD} , EV_{SS} , BV_{DD} , BV_{SS} , AV_{REF0} , AV_{SS} , $REGC$) は、通常動作モード時と同じ電源を供給してください。

(7) 通信方式の選択

リセット解除後にFLMD0端子に特定のパルス数を印加することで通信方式を選択します。このパルスは専用フラッシュ・ライタが生成します。

図7 - 11 通信方式の選択



注 挿入されるクロック数は通信方式によって異なります。詳細は表7 - 7を参照してください。

表7 - 7 通信方式一覧

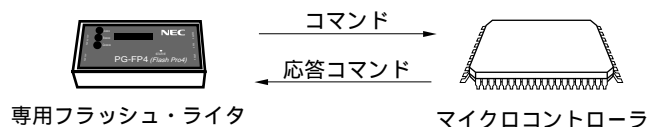
FLMD0パルス	通信方式	備考
0	UARTD0 ^注	通信レート：9600 bps（リセット時），LSBファースト
8	CSIB0	マイクロコントローラはスレープ動作，MSBファースト
11	CSIB0 + HS	マイクロコントローラはスレープ動作，MSBファースト
その他	-	設定禁止

注 UARTD0選択時，フラッシュ・ライタはユーザが選択したボー・レートにて，最初に00Hのデータをマイクロコントローラへ送信します。マイクロコントローラは，そのデータ波形からボー・レートを算出し，設定します。

(8) 通信コマンド

マイクロコントローラと専用フラッシュ・ライタは、コマンドを介して通信します。専用フラッシュ・ライタからマイクロコントローラへ送られるコマンドを「コマンド」と呼び、マイクロコントローラから専用フラッシュ・ライタへ送られる応答信号を「応答コマンド」と呼びます。

図7 - 12 通信コマンド



本マイクロコントローラのフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべて専用フラッシュ・ライタから発行され、マイクロコントローラがコマンドに対応した各処理を行います。

表7 - 8 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	対応			機能
		CSIB0	CSIB0+HS	UARTD0	
ブランク・チェック	ブロック・ブランク・チェック・コマンド				全メモリの消去状態を確認
消去 ^{注1}	チップ消去コマンド				全メモリの内容を消去 ^{注2}
	ブロック消去コマンド				指定したブロックのメモリの内容を消去
書き込み ^{注1}	プログラム・コマンド				書き込みアドレス、書き込みバイト数の指定によりデータを書き込み、ペリファイ・チェックを実行
ペリファイ ^{注1}	ペリファイ・コマンド				指定したアドレス範囲のメモリの内容とフラッシュ・ライタから転送されたデータの内容を比較
	チェックサム・コマンド				指定したアドレス範囲のチェック・サムを読み出す
システム設定, 制御	シリコン・シグネチャ・コマンド				シリコン・シグネチャ情報を読み出す
	セキュリティ設定コマンド				チップ消去コマンド, ブロック消去コマンド, プログラム・コマンド, リード・コマンドの禁止設定, およびブート領域の書き換え禁止設定。

- 注1. セルフ・プログラミング環境で書き終えたあと、再度フラッシュ・ライタを使用して書き込みを行う場合、専用フラッシュ・ライタのEPVコマンドは使用しないでください。その場合、専用フラッシュ・ライタのCHIP Eraseコマンドで消去し、リセットしたあと、Programコマンドで書き込んでください。ただし、ブロックを対象とするEPVコマンドは使用可能です。
2. コード・フラッシュ・メモリを消去します。またセキュリティ機能（ブロック消去コマンド禁止，プログラム・コマンド禁止，リード・コマンド禁止）設定が解除されます。

マイクロコントローラは、専用フラッシュ・ライターから発行されたコマンドに対して、応答コマンドを返します。マイクロコントローラが送出する応答コマンドを次に示します。

表7 - 9 応答コマンド

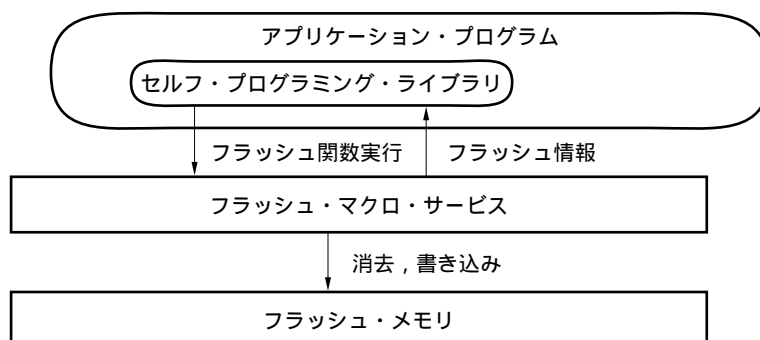
応答コマンド名称	機 能
ACK	コマンド / データなどのアクノリッジ
NACK	不正なコマンド / データなどのアクノリッジ

7.3 コード・フラッシュ・セルフ・プログラミング

本マイクロコントローラは、ユーザ・プログラム自身で内蔵フラッシュ・メモリの書き換えを行うための、フラッシュ・マクロ・サービスをサポートしています。

このインタフェースおよび、当社セルフ・プログラミング・ライブラリを使用することにより、内蔵RAMもしくは、外部メモリへあらかじめ転送しておいたユーザ・アプリケーションから、フラッシュ・メモリの書き換えが可能になり、フィールドでのユーザ・プログラムのアップグレードや、定数データ書き換えを行うことができます。

図7-13 セルフ・プログラミングの概念図



セルフ・プログラミング中は、フラッシュ・メモリにアクセスできなくなります。したがって、内蔵RAMまたは外部メモリからの命令フェッチによってのみ、プログラムの実行が可能となります。

このため、セルフ・プログラミングをアクティブにする（フラッシュ環境初期化処理を実行する）前に、セルフ・プログラミング用プログラム自体をフラッシュ・メモリから内蔵RAMまたは外部メモリにコピーする必要があります。セルフ・プログラミング中は、フラッシュ・メモリ内の割り込みベクタを使用した割り込み処理も不可能になります。このため、内蔵RAM上にて割り込み受け付けを行う特別な機能が用意されています。詳細は、7.3.5 **フラッシュ・セルフ・プログラミング時の割り込み処理**を参照してください。

フラッシュ・セルフ・プログラミングに関しては、**フラッシュ・メモリ・セルフ・プログラミング・ライブラリ ユーザーズ・マニュアル（作成中）**を参照してください。

7.3.1 フラッシュ関数一覧

表7 - 10 フラッシュ関数一覧

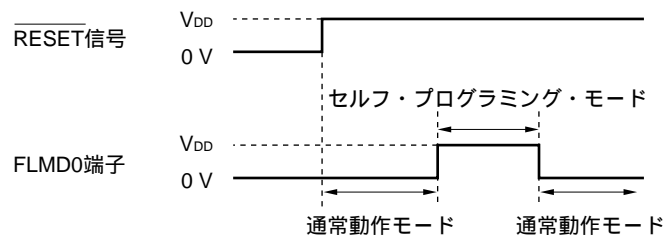
関数名	概要
FlashInit	セルフ・ライブラリの初期化
FlashEnv	フラッシュ環境の開始 / 終了
FlashFLMDCheck	FLMD0端子のチェック
FlashStatusCheck	ハードウェア処理の実況チェック
FlashBlockErase	ブロックの消去
FlashWordWrite	データの書き込み
FlashBlockVerify	ブロックの内部ベリファイ
FlashBlockBlankCheck	ブロックのブランク・チェック
FlashSetInfo	フラッシュ情報の設定
FlashGetInfo	フラッシュ情報の獲得
FlashBootSwap	ブート・スワップの実行

7.3.2 セルフ・プログラミングの許可 (FLMD0端子処理)

FLMD0端子は、リセット解除時の動作モード設定と、セルフ書き換え時の書き換え保護機能の兼用端子となっているため、リセット解除～通常動作実行時は、FLMD0端子へ印加される電圧を0 Vに保持し、セルフ・プログラミング・モードの期間は、書き換え前にポート制御などによって、FLMD0端子に V_{DD} レベルの電圧を印加する必要があります。

また、セルフ・プログラミングが終了したあとは、FLMD0端子への印加電圧を0 Vに戻す必要があります。

図7 - 14 セルフ・プログラミングの許可



注意 リセット解除時は、必ずFLMD0端子を0 Vにしてください。

7.3.3 セルフ・プログラミング・ライブラリの機能

セルフ・プログラミング・ライブラリを使用することで、ユーザ・プログラムによるコード・フラッシュ・メモリ・セルフ・プログラミングに対応しています。

このライブラリには、次の基本機能を実行するC関数の呼び出しセットが用意されています。

- ・フラッシュのブランク・チェック / 消去 / 書き込み / ベリファイ
- ・ブート・ブロック・クラスタの設定, ブート・スワップ設定
- ・リセット・ベクタ・ハンドリング機能設定
- ・セキュリティ情報設定
- ・コード・フラッシュ・メモリに関する情報の取得

ライブラリ機能の使用方法の詳細に関しては、**フラッシュ・メモリ・セルフ・プログラミング・ライブラリ ユーザーズ・マニュアル (作成中)** を参照してください。

7.3.4 セキュア・セルフ・プログラミング (ブート・スワップ機能)

本マイクロコントローラは、アドレス00000000Hから始まるコード・フラッシュ・メモリ・ブロックのブロック群 (クラスタ) を、そのクラスタのアドレス上位に位置する同じサイズの異なるクラスタとスワップする機能をサポートしています。

注意 ブート・スワップ機能は、リセット・ベクタが初期値の状態 (00000000H) のままである場合のみ使用可能です。

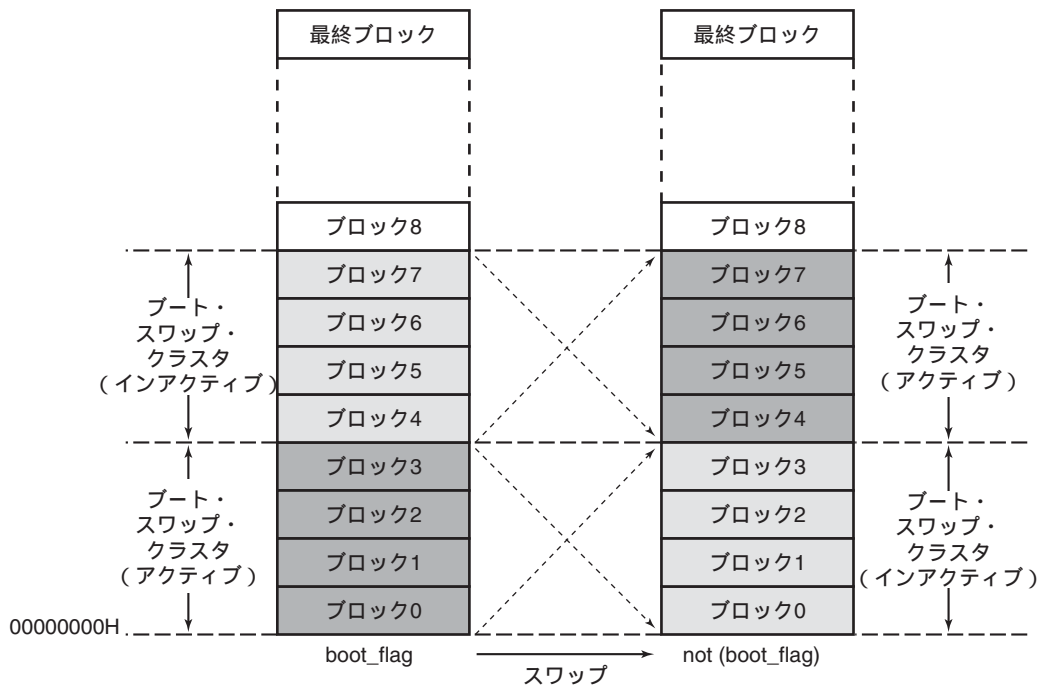
リセット・ベクタ・ハンドリング機能でリセット・ベクタを初期値から変更している場合、ブート・スワップは行えません。

ブート・スワップ・クラスタ: ブート・スワップする際のスワップするブロック群です。ブート・スワップ・クラスタのサイズは、ブート・ブロック・クラスタの設定により決まります。その領域に対してブート・スワップ機能を実行することが可能です。詳細は、**表7-11 ブート・ブロックとブート・スワップ・クラスタの関係**を参照してください。

ブート・フラグ: 2つのクラスタのうち、どちらがアクティブな (ブートする) クラスタであるかを制御します。ブート・フラグは、フラッシュ情報用の領域に格納されます。

図7-15は、4つのフラッシュ・メモリ・ブロックから構成されるクラスタのブート・スワップ機能の一例です。boot_flagの反転後はnot (boot_flag)になり、ブロック4から7がアクティブなブート・ブロック・クラスタになります。したがって、次のリセット解除後からユーザ・プログラムは新しいブート・スワップ・クラスタより起動されます。

図7 - 15 ブート・スワップ・クラスタのスワップ機能



セキュア・セルフ・プログラミング：ブート・スワップ機能は、セキュア・セルフ・プログラミングを実現します。ブート・コードを書き換える場合、boot_flagは元の状態（ブロック0-3のクラスタがアクティブ）のまま、アクティブでないクラスタ（ブロック4-7）に新しいコードを書き込みます。

アクティブでないクラスタ（ブロック4-7）の書き換えが正常に完了したあと、boot_flagを変更（ブート・スワップ）し、新しいブート・コード（ブロック4-7のクラスタ）をアクティブにします。

たとえば、停電や不意なリセットなどにより新しいブート・コードの書き換えに失敗した場合でも、元のブート・コードがアクティブなままとなっており、書き換えを再開できます。

ブート・ブロック・クラスタ：アプリケーション・プログラムのブート領域であり、領域の選択が可能です。

ブート・ブロック・クラスタに対しては、書き換えを禁止するセキュリティ設定が可能です。

表7 - 11は、ブート・ブロック・クラスタの領域設定と、それにより決まるブート・スワップ・クラスタとの関係を示します。

表7-11 ブート・ブロックとブート・スワップ・クラスタの関係

ブート・ブロック・クラスタ設定 ^注	ブート・ブロック・クラスタ	ブート・スワップ・クラスタ
00H	00000000H-000007FFH (2 KB)	00000000H-00001FFFH (8 KB)
01H	RESV-00000FFFH (MAX.4 KB)	
02H	RESV-000017FFH (MAX.6 KB)	
03H	RESV-00001FFFH (MAX.8 KB)	
04H	RESV-000027FFH (MAX.10 KB)	00000000H-00003FFFH (16 KB)
:	:	
07H	RESV-00003FFFH (MAX.16 KB)	
08H	RESV-000047FFH (MAX.18 KB)	
:	:	00000000H-00007FFFH (32 KB)
0FH	RESV-00007FFFH (MAX. 32 KB)	
10H	RESV-000087FFH (MAX.34 KB)	
:	:	
1FH	RESV-0000FFFFH (MAX.64 KB)	00000000H-0000FFFFH (64 KB)
20H	RESV-000107FFH (MAX.66 KB)	
:	:	
7FH	RESV-0003FFFFH (MAX.256 KB)	
80H	設定禁止	
:		
FFH		

注 フラッシュ・ライタのGUI, またはフラッシュ・セルフ・プログラミングにて設定可能です。

- 注意 1. ブート・ブロック・クラスタのサイズは, リセット・ベクタの設定値に依存します。
2. ブート・ブロック・クラスタは, 製品のROMサイズ以下に設定してください。
3. V850ES/FE3-Lの μ PD70F3610, 70F3611, V850ES/FF3-Lの μ PD70F3615, 70F3616はブート・スワップ・クラスタに64 KBを選択禁止です。例えば, ブート・ブロック・クラスタを34 KB以上 (10H) に設定し, ブート・スワップしないでください。誤ってブート・スワップした場合の動作は保証しません。

備考 RESV: リセット・ベクタ・ハンドリング機能で設定したベクタを含むブロックの最下位アドレスです。

7.3.5 フラッシュ・セルフ・プログラミング時の割り込み処理

本マイクロコントローラは、セルフ・プログラミング中でも割り込み処理を行うことが可能です。

セルフ・プログラミング中には、通常フラッシュ・メモリに配置された割り込みベクタ・テーブルも割り込みハンドラ・ルーチンもアクセスできないため、割り込み受け付けは、内蔵RAMを通して行う必要があります。

したがって、セルフ・プログラミング中に割り込み処理を許可するには、次の2つの要件を満たさなければなりません。

- ・必要となる割り込みハンドラ・ルーチンは、内蔵RAMと外部メモリにコピーしなければなりません。
- ・割り込み受け付けは、そのハンドラを通して行わなければなりません。

セルフ・プログラミング・ライブラリは、このような割り込みを初期化、処理する機能を備えています。

割り込みハンドラ・ルーチンは、セルフ・プログラミング・ライブラリ機能を使用することでフラッシュから内蔵RAMにコピーすることが可能です。

割り込みハンドラ・ルーチンのアドレスは、セルフ・プログラミング・ライブラリ機能で設定します。

詳細は、**フラッシュ・メモリ・セルフ・プログラミング・ライブラリ ユーザーズ・マニュアル（作成中）**を参照してください。

注意 フラッシュ環境時の割り込み処理の流れは、通常の割り込み処理の流れと異なります。

備考1. このフラッシュ環境での割り込みは、通常の割り込み処理に比べ応答遅延時間が長くなりますので、注意してください。

2. フラッシュ・プログラミング環境時のみ、この特殊な割り込み処理が実行されます。

第8章 オプション・バイト

フラッシュ・メモリ内には、本マイクロコントローラのオプション機能を設定するオプション・バイト領域があります。フラッシュ・メモリにプログラムを書き込む場合は、下記のオプションに対応するオプション・バイト領域を必ず設定してください。

オプション・バイトで決定するオプション機能は次のとおりです。

- ・ソフトウェアによる低速内蔵発振器の停止許可 / 禁止
- ・WDT2動作モードの指定
- ・サブクロック発振回路の外部接続（クリスタル振動子またはRC発振子）の選択
- ・サブクロック動作モードでのクロック・ソースの選択（サブクロック発振回路または低速内蔵発振器）
- ・PLL入力クロックの選択
- ・PLL出力クロックの分周
- ・周辺クロックの選択

オプション・バイトは、内蔵フラッシュ・メモリのアドレス007AHおよび007BHに16ビット・データとして格納されています。

8.1 オプション・バイト (007AH)

アドレス： 007AH

7	6	5	4	3	2	1	0
STOPXTAL	STOPRCZ	0	0	0	0	WDTMD1	RMOPIN

表8 - 1 オプション・バイト (007AH) の設定

ビット位置	ビット名	機能												
7-6	STOPXTAL, STOPRCZ	<p>サブ発振器の選択：</p> <table border="1"> <thead> <tr> <th>STOPXTAL</th> <th>STOPRCZ</th> <th>サブ発振器の選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>水晶 / セラミック発振 (32.768 kHz)</td> </tr> <tr> <td>1</td> <td>1</td> <td>RC発振 (20 kHz)</td> </tr> <tr> <td colspan="2">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	STOPXTAL	STOPRCZ	サブ発振器の選択	0	0	水晶 / セラミック発振 (32.768 kHz)	1	1	RC発振 (20 kHz)	上記以外		設定禁止
STOPXTAL	STOPRCZ	サブ発振器の選択												
0	0	水晶 / セラミック発振 (32.768 kHz)												
1	1	RC発振 (20 kHz)												
上記以外		設定禁止												
1	WDTMD1	<p>WDT2動作モードの指定：</p> <p>0：カウント動作： WDTM2.WDCS24で停止可能。 入力クロック： WDTM2レジスタで選択可能。低速内蔵発振器またはメイン・クロック発振回路。 動作モード： WDTM2レジスタで選択可能。NMI割り込み (INTWDT2) またはリセット・モード (WDT2RES) が選択可能。</p> <p>1：カウント動作： 停止不可。 入力クロック： 低速内蔵発振器に固定。 動作モード： リセット・モードに固定 (WDT2RES)。</p>												
0	RMOPIN	<p>ソフトウェアで低速内蔵発振器を停止するオプション：</p> <p>0：ソフトウェアで停止可能。 1：停止不可。</p>												

注意 ビット5-2には“0”を設定してください。

8.2 オプション・バイト (007BH)

アドレス： 007BH

	7	6	5	4	3	2	1	0
	SUBCLK	0	0	0	PLLO	PRSI	PLLI1	PLLI0

表8 - 2 オプション・バイト007BHの設定

ビット位置	ビット名	機 能												
7	SUBCLK	サブクロック動作モードのクロック・ソース： 0：サブクロック発振回路を選択。 1：低速内蔵発振器を選択。												
3	PLLO	PLL出力クロック (f_{PLL}) の分周： <table border="1" data-bbox="491 728 1391 862"> <thead> <tr> <th>PLLO</th> <th>f_{PLL}</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>$f_{PLLO}/2$</td> </tr> </tbody> </table> <p>注意 PLLOビットは必ず“1” (2分周) を設定してください。“0” に設定した場合の動作は保証しません。</p>	PLLO	f_{PLL}	0	設定禁止	1	$f_{PLLO}/2$						
PLLO	f_{PLL}													
0	設定禁止													
1	$f_{PLLO}/2$													
2	PRSI	周辺クロック f_{XP1} と f_{XP2} の分周設定。 0： $f_{XP1}, f_{XP2} = f_{XX}$ 1： $f_{XP1}, f_{XP2} = f_{XX}/2$												
1, 0	PLLI [1:0]	PLL入力クロック周波数の選択： <table border="1" data-bbox="491 1146 1391 1321"> <thead> <tr> <th>PLLI1</th> <th>PLLI0</th> <th>PLL入力クロック</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>$f_{PLLI} = f_X$</td> </tr> <tr> <td>0</td> <td>1</td> <td>$f_{PLLI} = f_X/2$</td> </tr> <tr> <td>1</td> <td>x</td> <td>$f_{PLLI} = f_X/4$</td> </tr> </tbody> </table>	PLLI1	PLLI0	PLL入力クロック	0	0	$f_{PLLI} = f_X$	0	1	$f_{PLLI} = f_X/2$	1	x	$f_{PLLI} = f_X/4$
PLLI1	PLLI0	PLL入力クロック												
0	0	$f_{PLLI} = f_X$												
0	1	$f_{PLLI} = f_X/2$												
1	x	$f_{PLLI} = f_X/4$												

注意 ビット6-4には“0”を設定してください。

次に、CA850をご使用の場合のプログラム例を示します。

[プログラム例]

```
#-----  
# OPTION_BYTES  
#-----  
  
.section "OPTION_BYTES"  
.byte 0b00000001 -- 0x7a  
.byte 0b00000000 -- 0x7b  
.byte 0b00000000 -- 0x7c  
.byte 0b00000000 -- 0x7d  
.byte 0b00000000 -- 0x7e  
.byte 0b00000000 -- 0x7f
```

注意 このセクションは必ず6バイト分を記述してください。6バイト以下の場合は、リンカの際にエラーとなります。

エラー・メッセージ： F4112: illegal "OPTION_BYTES" section size.

備考 007CH-007FH番地には0x00を設定してください。

第9章 データ保護とセキュリティ

9.1 概 要

このマイクロコントローラは、内蔵フラッシュ・メモリの安全なプログラミングと再プログラミングに対応し、不正な読み出しや再プログラミングなどの望ましくないアクセスからフラッシュ・メモリ・データを保護する多様な手段をサポートしています。

セキュリティ機能 セキュリティ機能は、再プログラミング処理中の予期しない失敗などへの対策をサポートします。基本機能は、次のとおりです。

- セキュア・セルフ・プログラミング
- ブート・スワップ
- ブート・ブロック・クラスタの保護

これらの機能についての詳細は、**第7章 フラッシュ・メモリ**を参照してください。

保護機能 保護機能は、権限のない人物による内蔵フラッシュ・メモリ・データの読み出し、消去、書き込みを防止する手順を提供します。基本機能は、次のとおりです。

- 内蔵 (N-Wire) デバッグ・インタフェースの保護
- フラッシュ・メモリの消去 / 書き込み / 読み出しの保護

N-Wireデバッグ・インタフェース、外部フラッシュ・プログラマ・インタフェースやセルフ・プログラミング機能など、一部のインタフェースは、内蔵フラッシュ・メモリへのアクセスが通常可能です。これらのインタフェースすべてに対して、内蔵フラッシュ・メモリ・データの読み出し、消去、書き込みを禁止することができます。

サポートされている保護方法について次ページに示します。

9.2 N-Wireデバッグ・インタフェースの保護

通常、フラッシュ・メモリの内容の不正な読み出しは、N-Wireデバッグ・インタフェースを介して可能になります。フラッシュ・メモリを保護するために、デバッグ・インタフェースの使用を保護または禁止できます。デバッグ・インタフェースには、10バイトのIDコードと内部フラグ（N-Wire使用許可フラグ）を設けています。

デバッグが起動されると、フラグの状態が照会されます（N-Wire使用許可フラグ）。N-Wireインサーキット・エミュレータの使用を禁止する場合は、このフラグを0に設定します。

デバッグが許可されている（N-Wire使用許可が設定されている）場合は、デバッグを介して10バイトのIDコードを入力する必要があります。このコードは、内蔵フラッシュ・メモリに保存されているIDコードと比較されます。2つのコードが一致しない場合、デバッグは実行できません。

N-Wire使用許可フラグは、外部フラッシュ・プログラマまたはセルフ・プログラミング機能によるフラッシュのプログラミング中に設定できます。このフラグは、00000079H番地のビット7に配置されます。

ユーザ独自のIDコードを指定し、これを外部フラッシュ・プログラマまたはセルフ・プログラミング機能を使用して内蔵フラッシュ・メモリにプログラムすることも可能です。IDコードは、00000070H番地から00000079H番地の範囲に配置されます。

保護レベルの概要は、表9 - 1にまとめられています。

表9 - 1 IDコード比較の結果一覧

N-Wire使用許可フラグ	IDコード	保護レベル
0	× ^{注1}	レベル2： 完全な保護 N-Wireデバッグ・インタフェースは使用できません。 ^{注2}
1	ユーザ定義IDコード	レベル1： ユーザIDコードによるIDコード保護 ユーザが正しいIDコードを入力した場合のみN-Wireデバッグ・インタフェースを使用できます。
	すべてのIDコードが同じ ^{注3}	レベル0： デフォルトのIDコードFFHをすべてのIDバイトに入力すると、N-Wireデバッグ・インタフェースを使用できます。

注1. コードは比較されません。

- N-Wire デバッグ・インタフェースが「使用禁止」に設定されると、フラッシュ・メモリの再プログラムで再度使用許可設定を行うまで使用できなくなります。
- フラッシュ・メモリ消去後は、これがデフォルト（FFH）の状態となります。

備考 保護レベル1または2設定後は、ブロック消去禁止機能を用いて、許可フラグ、IDコードを保護してください。保護を行わない場合 権限のない人物がIDコードまたは「N-Wire使用許可フラグ」を含むブロックを消去して、保護レベルが0の状態とされる可能性があることに注意してください。

9.3 フラッシュ・プログラマとセルフ・プログラミング保護

通常、フラッシュ・メモリの内容の不正な読み出しや再プログラミングは、フラッシュ・プログラマ・インタフェースとセルフ・プログラミング機能を介して可能になります。フラッシュ・メモリの保護について次に記します。

外部プログラミング	外部フラッシュ・プログラマなど、外部からのアクセスを一切禁止できます。内蔵フラッシュ・メモリのブロック単位またはフラッシュ・メモリ全体での消去、読み出し、書き込みを禁止できます。
セルフ・プログラミング	セルフ・プログラミング中のフラッシュ・メモリの消去、読み出し、またはプログラミングなどすべての操作は、ユーザ・プログラムにより制御されます。したがって、セルフ・プログラミング・モードでは保護は働きません。ただし、ブート・ブロック・クラスタの書き換えは禁止できます。
保護フラグ	保護フラグは、外部フラッシュ・プログラマによってセット、リセットできます(禁止設定されている場合を除く)。セルフ・プログラミング・モードでは、有効となっている保護フラグをリセットできません。ただし、保護レベルを強化するために別の保護フラグを有効となるようセットすることは可能です。

保護機能は、他の保護機能と組み合わせて使用できます。

(1) プログラム(書き込み)保護フラグ(プログラム・コマンド禁止)

外部フラッシュ・プログラマ・インタフェースを介してのプログラミング機能を禁止する場合は、このフラグをセットします。

このフラグがセットされると、フラッシュ・メモリの内容を外部から書き込めなくなります。

単一ブロックの消去も同様に禁止されます。

この保護機能は、セルフ・プログラミングには適用されません。

(2) チップ消去保護フラグ(チップ消去コマンド禁止)

外部フラッシュ・プログラマ・インタフェースを介してのチップ消去機能を禁止する場合は、このフラグをセットします。

このフラグがセットされると、単一ブロックまたはフラッシュ・メモリ全体のフラッシュ・メモリの内容を消去できなくなります。

セルフ・プログラミング・モードでは、全ブロックを一括消去するようにブロック消去を行うことでフラッシュ・メモリの全内容を消去することは可能です。

この方法の場合、保護(禁止)フラグ、変数リセット・ベクタ・ハンドリング機能の設定変更は行えません。

(3) ブロック消去保護フラグ (ブロック消去コマンド禁止)

外部フラッシュ・プログラマ・インタフェースを介しての単一ブロックを消去する機能を禁止する場合は、このフラグをセットします。

単一ブロックは、消去できなくなります。ただし、チップ消去保護フラグがセットされていない場合、チップ消去は可能です。

この保護機能は、セルフ・プログラミングには適用されません。

(4) 読み出し保護フラグ (リード・コマンド禁止)

外部フラッシュ・プログラマ・インタフェースを介してのフラッシュ・メモリを読み戻す機能を禁止する場合は、このフラグをセットします。

フラッシュの内容を読み出せなくなります。

この保護機能は、セルフ・プログラミングには適用されません。

(5) ブート・ブロック・クラスタ保護フラグ (ブート領域書き換え禁止)

ブート・ブロック・クラスタの消去と書き換えを禁止する場合は、このフラグをセットします。

ブート・ブロック・クラスタは、全く操作できなくなります (消去 / 書き込み不可)。

これは、外部フラッシュ・プログラマ・インタフェースおよびセルフ・プログラミングの両方に適用されます。

このフラグをセットすると、フラグのリセットが不可能になります。したがって、これ以降ブート・ブロック・クラスタの内容は、変更不可能になります。

出荷時、すべての保護は無効になっています。

この保護フラグをセットする、つまり保護を有効にすると、フラッシュ・メモリ全体を消去するチップ消去コマンドの実施でのみ、保護をリセット (無効) することが可能です。

そのため、チップ消去を行わない限り、保護の追加設定のみが可能です。

表9-2 セキュリティ機能一覧

機能	機能概要	適用 (: 適用, × : 未適用)	
		専用フラッシュ・ライターによるプログラミング	セルフ・プログラミング
チップ消去コマンド禁止 ^{注1}	全ブロックに対してフラッシュ全体および単一ブロックの消去が不可能になります。		×
ブロック消去コマンド禁止 ^{注2}	全ブロックに対して単一ブロックの消去が不可能になります。		×
プログラム・コマンド禁止 ^{注2}	全ブロックに対して消去と書き換えが不可能になります。		×
リード・コマンド禁止 ^{注2}	全ブロックに対してリード・コマンドの実行を禁止します。		×
ブート領域書き換え禁止 ^{注3}	ブート・ブロック・クラスタの(ブロック消去またはチップ消去による)消去および書き換えが不可能になります。		

注1. 一度禁止設定にすると、チップ消去コマンド禁止が初期化できなくなります。

2. チップ消去コマンドの実行によって、禁止設定が初期化可能です。

3. 一度禁止設定にすると、ブート領域書き換え禁止設定が初期化できなくなります。チップ消去コマンドは実行できません。ブート領域以外に対するブロック消去コマンド、プログラム・コマンドの実行は可能です。

第10章 16ビット・タイマ/イベント・カウンタ AA

本マイクロコントローラは、16ビット・タイマ/イベント・カウンタAA (TAA_n) を搭載しています。

製品	V850ES/FE3-L	V850ES/FF3-L	V850ES/FG3-L
TAA			
本数	5		
名称	TAA0-TAA4		

タイマAAは、ほかのV850EシリーズおよびV850ESシリーズで使用されているタイマPの上位互換になります。

10.1 特徴

タイマAA (TAA) は16ビット・タイマ/イベント・カウンタです。

TAAは、次のような動作を行うことができます。

- ・PWM 出力
- ・インターバル・タイマ
- ・外部イベント・カウンタ (クロック停止時動作不可)
- ・TAA の 2ch カスケード接続による 32 ビット・キャプチャ・タイマ機能
- ・ワンショット・パルス出力
- ・パルス幅測定機能
- ・タイマ同期動作機能
- ・フリー・ランニング機能
- ・外部トリガ・パルス出力機能

10.2 機能概要

- ・キャプチャ・トリガ入力信号 ×2
- ・外部トリガ入力信号 ×1
- ・クロック選択 ×8
- ・外部イベント・カウント入力 ×1
- ・リーダブル・カウンタ ×1
- ・キャプチャ/コンペア・リロード・レジスタ ×2
- ・キャプチャ/コンペア一致割り込み ×2
- ・タイマ出力 (TOAA_n0, TOAA_n1) ×2
- ・2つのタイマAAのカスケード接続による32ビット・キャプチャ (TAA0 + TAA1, TAA2 + TAA3)

備考 n = 0-4

10.3 構成

TAAは、次のハードウェアで構成されています。

表10 - 1 TAAの構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TAAキャプチャ/コンペア・レジスタ0, 1 (TAAAnCCR0, TAAAnCCR1) TAAAnカウンタ・リード・バッファ・レジスタ (TAAAnCNT) CCR0バッファ・レジスタ, CCR1バッファ・レジスタ
入力選択レジスタ	セレクタ動作制御レジスタ0 (SELCNT0)
タイマ入力	2本 (TIAAn0 ^注 , TIAAn1)
タイマ出力	2本 (TOAAn0, TOAAn1)
制御レジスタ	TAAAn制御レジスタ0, 1 (TAAAnCTL0, TAAAnCTL1) TAAAn I/O制御レジスタ0-2, 4 (TAAAnIOC0-TAAAnIOC2, TAAAnIOC4) TAAAnオプション・レジスタ0, 1 (TAAAnOPT0, TAAAnOPT1)

注 TIAAn0には、キャプチャ・トリガ入力信号、外部トリガ入力信号、外部イベント・カウント入力信号が兼用になっています。

備考 n = 0-4

タイマAA (TAA) 端子は、ポート端子の兼用機能です。兼用機能の設定方法については、第2章 端子機能を参照してください。

タイマTAAのブロック図を以下に示します。図10 - 2から図10 - 4は、個々のタイマTAAの入力回路のブロック図です。

図10-1 タイマAAのブロック図

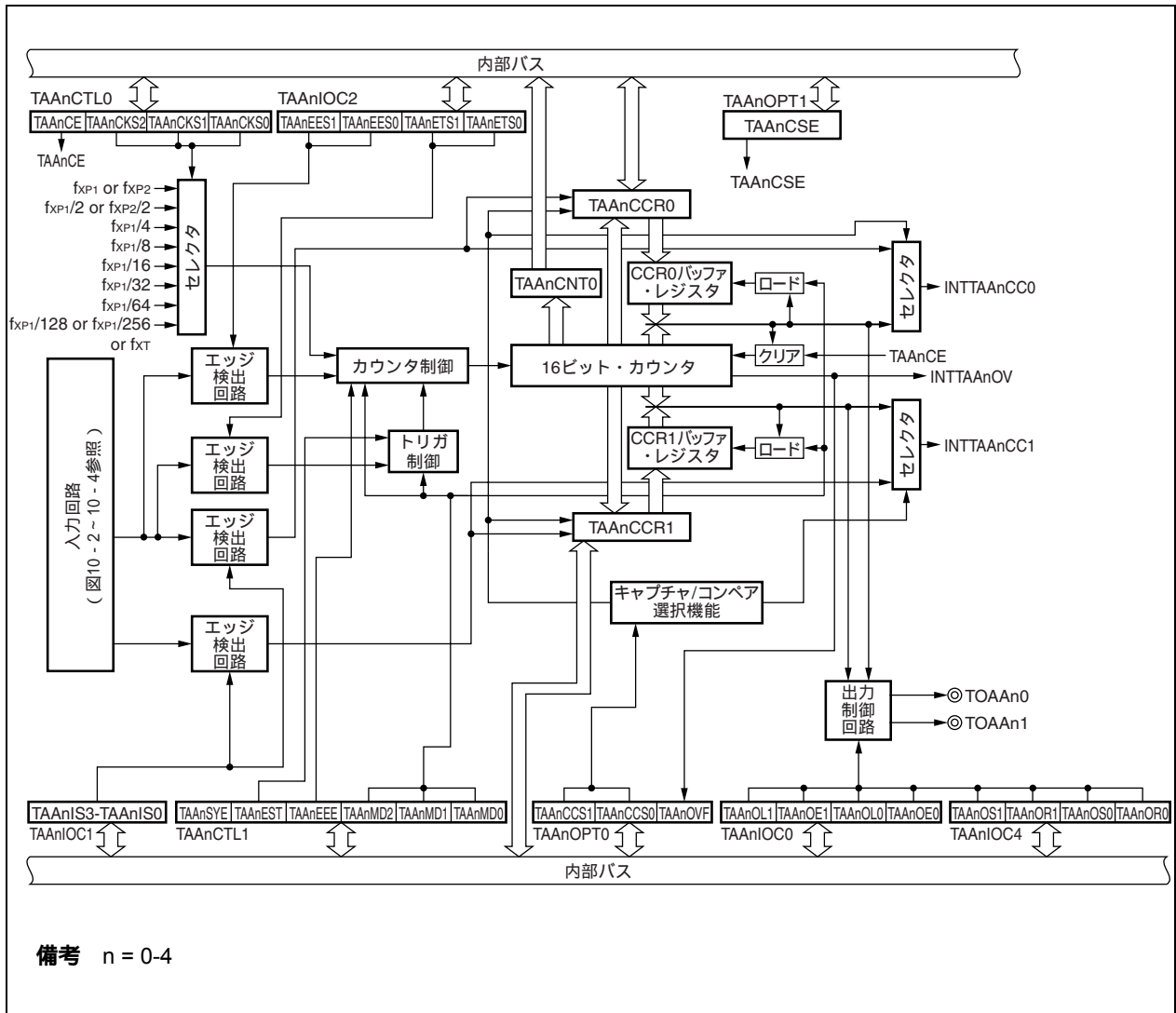


図10 - 2 TAA0, TAA1の入力回路

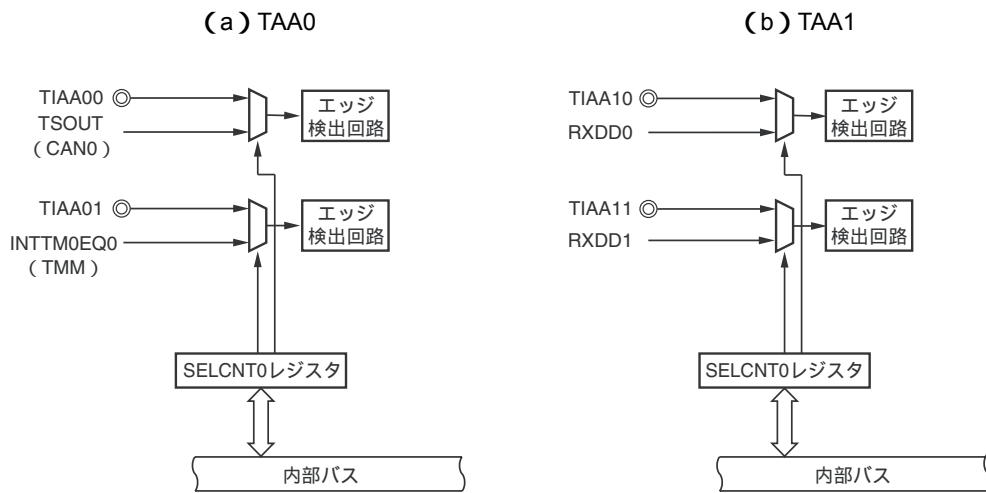


図10 - 3 TAA2, TAA3の入力回路

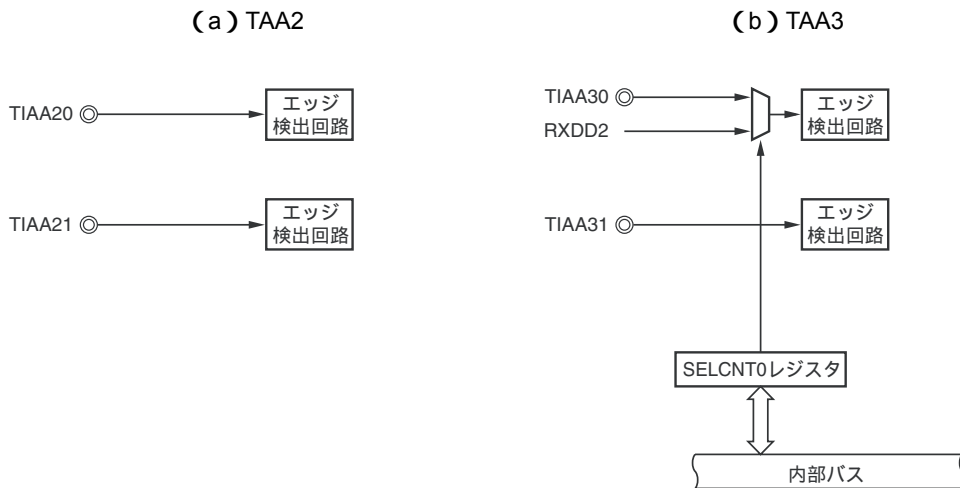
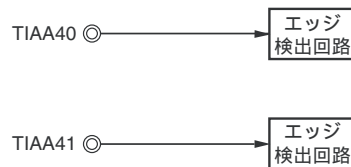


図10 - 4 TAA4の入力回路



備考 SELCNT0レジスタに関しては、10.4 入力選択レジスタを参照してください。

(1) TAA_n キャプチャ/コンペア・レジスタ 0 (TAA_nCCR0)

TAA_nCCR0 レジスタはキャプチャ機能とコンペア機能を兼用させた 16 ビットのレジスタです。

フリー・ランニング・モードの場合のみ TAA_nOPT0 レジスタの TAA_nCCS0 ビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタに設定できます。

パルス幅測定モード時はキャプチャ・レジスタ専用として機能します。

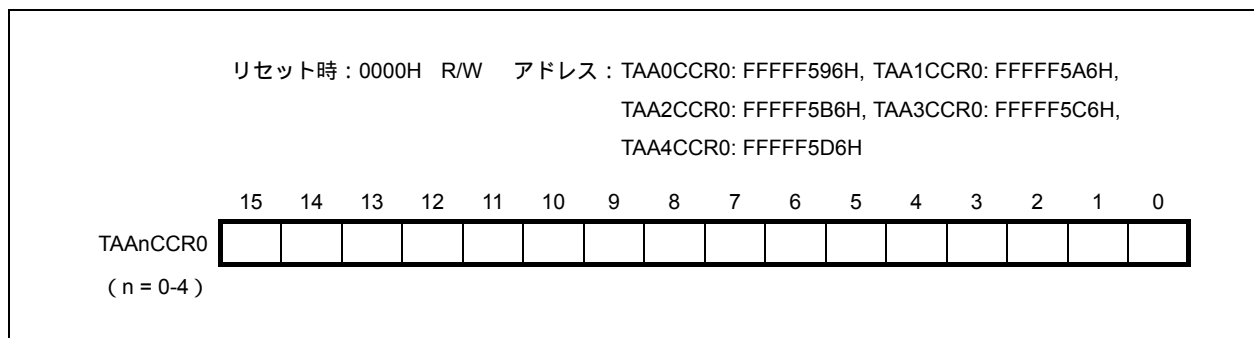
フリー・ランニング・モードとパルス幅測定モード以外のモードではすべてコンペア・レジスタ専用として機能します。

初期状態では、TAA_nCCR0 レジスタはコンペア・レジスタとなります。

16 ビット単位でリード/ライト可能です。

リセットにより 0000H になります。

- 注意 1.** 外部イベント・カウンタ・モード使用時、TAA_nCCR0レジスタを0000Hに設定しないでください。
- 2.** サブクロック動作時、かつメイン・クロック停止時のTAA_nCCR0レジスタへのアクセスは禁止です。



- ・コンペア・レジスタとして使用する場合

TAA_nCE = 1 時の TAA_nCCR0 の書き換えは可能です。

- ・キャプチャ・レジスタとして使用する場合

キャプチャ・トリガ (TIA_n0) 入力のエッジ検出によりカウンタ値を TAA_nCCR0 に格納します。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

TAA動作モード	TAA _n CCR0レジスタの書き込み方法
PWMモード, 外部トリガ・パルス出力モード	リロード
フリー・ランニング・モード, 外部イベント・カウント・モード, ワンショット・パルス・モード, インターバル・タイマ・モード	随時書き込み
パルス幅測定モード	キャプチャ専用であるため書き込み不可

備考 TAA_n 制御レジスタ 0 (TAA_nCTL0) の TAA_nCE ビット = 1 の場合、書き込み/読み出しが可能です。

(2) TAA_n キャプチャ/コンペア・レジスタ 1 (TAA_nCCR1)

TAA_nCCR1 レジスタはキャプチャ機能とコンペア機能を兼用させた 16 ビットのレジスタです。

フリー・ランニング・モードの場合のみ TAA_nOPT0 レジスタの TAA_nCCS1 ビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタに設定できます。

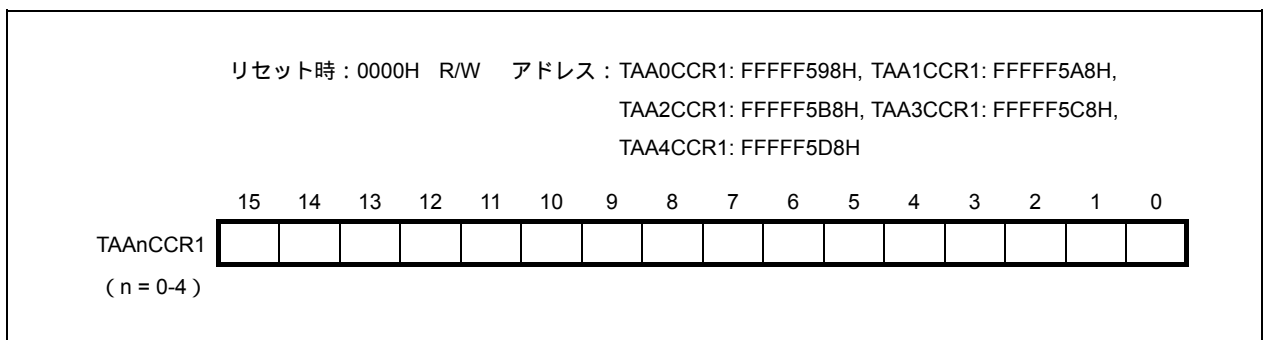
パルス幅測定モード時はキャプチャ・レジスタ専用として機能します。

フリー・ランニング・モードとパルス幅測定モード以外のモードではすべてコンペア・レジスタ専用として機能します。

16 ビット単位でリード/ライト可能です。

リセットにより 0000H になります。

注意 サブクロック動作時、かつメイン・クロック停止時のTAA_nCCR1レジスタへのアクセスは禁止です。



- ・コンペア・レジスタとして使用する場合

TAA_nCE = 1 時の TAA_nCCR1 の書き換えは可能です。

- ・キャプチャ・レジスタとして使用する場合

キャプチャ・トリガ (TIA_n1) 入力のエッジ検出によりカウンタ値を TAA_nCCR1 に格納します。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

TAA動作モード	TAA _n CCR1レジスタの書き込み方法
PWMモード, 外部トリガ・パルス出力モード	リロード
フリー・ランニング・モード, 外部イベント・カウント・モード, ワンショット・パルス・モード, インターバル・タイマ・モード	随時書き込み
パルス幅測定モード	キャプチャ専用であるため書き込み不可

備考 TAA_n 制御レジスタ 0 (TAA_nCTL0) の TAA_nCE ビット = 1 の場合、TAA_nCCR1 レジスタの書き込み/読み出しが可能です。

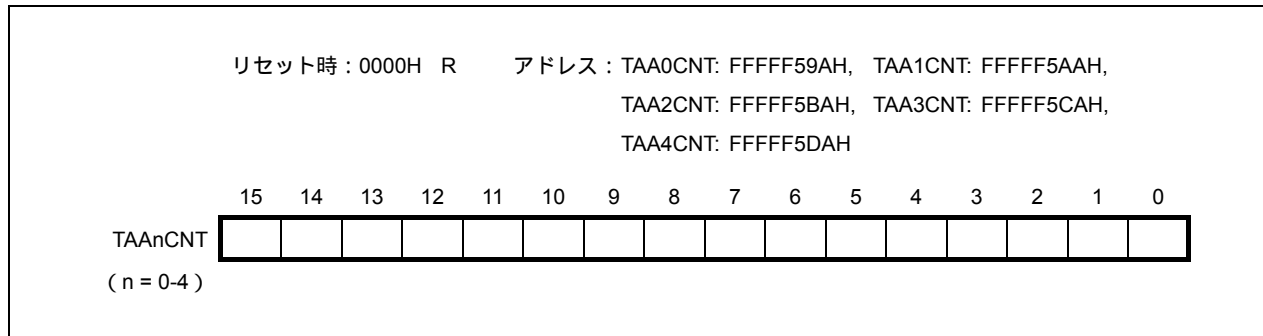
(3) TAA_n カウンタ・リード・バッファ・レジスタ (TAA_nCNT)

TAA_nCNT レジスタは 16 ビット・カウンタの値をリードできるリード・バッファ・レジスタです。

16 ビット単位でリードのみ可能です。

リセットにより FFFFH になります。

TAA_nCE = 0 のとき,ハードウェアの状態は FFFFH ですが,このレジスタをリードすると 0000H がリードされます。TAA_nCE = 1 のとき,このレジスタをリードすると 16 ビット・カウンタのカウント値をリードできます。

**(4) CCR0 バッファ・レジスタ**

16 ビット・カウンタのカウント値を比較する 16 ビットのコンペア・レジスタです。

TAA_nCCR0 レジスタをコンペア・レジスタとして使用するとき, TAA_nCCR0 レジスタにライトした値が CCR0 バッファ・レジスタに転送され, 16 ビット・カウンタのカウント値と CCR0 バッファ・レジスタの値が一致すると, コンペア一致割り込み要求信号 (INTTAA_nCC0) を発生します。

CCR0 バッファ・レジスタは, 直接リード/ライトできません。

リセットにより TAA_nCCR0 レジスタが 0000H になるため, CCR0 バッファ・レジスタも 0000H になります。

(5) CCR1 バッファ・レジスタ

16 ビット・カウンタのカウント値を比較する 16 ビットのコンペア・レジスタです。

TAA_nCCR1 レジスタをコンペア・レジスタとして使用するとき, TAA_nCCR1 レジスタにライトした値が CCR1 バッファ・レジスタに転送され, 16 ビット・カウンタのカウント値と CCR1 バッファ・レジスタの値が一致すると, コンペア一致割り込み要求信号 (INTTAA_nCC1) を発生します。

CCR1 バッファ・レジスタは, 直接リード/ライトできません。

リセットにより TAA_nCCR1 レジスタが 0000H になるため, CCR1 バッファ・レジスタも 0000H になります。

10.4 入力選択レジスタ

セレクタ動作制御レジスタ0 (SELCNT0) は、タイマへの入力を選択します。

備考 ここでは、タイマAA入力の選択に関係のあるビットだけを説明しています。それ以外のビットに関しては、第4章 クロック発生機能とスタンバイ制御を参照してください。

(1) セレクタ動作制御レジスタ0 (SELCNT0)

SELCNT0 レジスタは、TAA_n のキャプチャ・トリガを選択する 8 ビット・レジスタです。

8/1 ビット単位でリード/ライト可能です。

リセットにより 00H になります。

(1/2)

	リセット時 : 00H	R/W	アドレス : FFFFF308H					
	<ul style="list-style-type: none"> ・V850ES/FE3-L ・V850ES/FF3-L 							
	7	6	5	4	3	2	1	0
SELCNT0	ISEL07	0 ^{注1}	0 ^{注2}	ISEL04	ISEL03	ISEL02	0 ^{注1}	ISEL00
	<ul style="list-style-type: none"> ・V850ES/FG3-L 							
	7	6	5	4	3	2	1	0
SELCNT0	ISEL07	0 ^{注1}	ISEL05	ISEL04	ISEL03	ISEL02	0 ^{注1}	ISEL00
	ISEL07	第4章 クロック発生機能とスタンバイ制御を参照してください。						
	ISEL05	TIAA30入力信号選択 (TAA3)						
	0	TIAA30端子入力						
	1	RXDD2端子入力						
	ISEL04	TIAA11入力信号選択 (TAA1)						
	0	TIAA11端子入力						
	1	RXDD1端子入力						
	ISEL03	TIAA10入力信号選択 (TAA1)						
	0	TIAA10端子入力						
	1	RXDD0端子入力						
	<p>注 1. ビット6, 1に必ず0を設定してください。</p> <p>2. V850ES/FE3-L, V850ES/FF3-Lは ,RXDD2端子を搭載していません。この製品では , ISEL05ビットを “ 0 ” 固定で使用してください。</p>							

ISEL02 ^{注1}	TIAA01入力信号選択 (TAA0)
0	TIAA01端子入力
1	TMM0のINTTM0EQ0割り込み

ISEL00	TIAA00入力信号選択 (TAA0)
0	TIAA00端子入力
1	CAN0のTSOUT信号

注 INTTM0EQ0割り込み信号をTIAA01入力信号に使用する場合は、次の範囲内で使用してください。

TMM動作クロック周期 TAA動作クロック周期×4

- 注意1.** ISEL05-ISEL02, ISEL01の各ビットを“1”に設定する場合は、対応する機能端子（タイマ入力）をキャプチャ入力に設定してください。
- 2.** ISEL00ビットを設定する場合はTAA0およびCAN0を動作禁止にしてから設定してください。
 ISEL02ビットを設定する場合はTAA0およびTMM0を動作禁止にしてから設定してください。
 ISEL03ビットを設定する場合はTAA1およびUARTD0を動作禁止にしてから設定してください。
 ISEL04ビットを設定する場合はTAA1およびUARTD1を動作禁止にしてから設定してください。
 ISEL05ビットを設定する場合はTAA3およびUARTD2を動作禁止にしてから設定してください。

10.5 制御レジスタ

(1) TAAAn 制御レジスタ 0 (TAAAnCTL0)

TAAAnCTL0 レジスタはタイマ AA の動作を制御する 8 ビット・レジスタです。

8/1 ビット単位でリード/ライト可能です。

リセットにより初期値 00H になります。

TAAAnCTL0 レジスタは動作中 (TAAAnCE = 1) 書き換え禁止です。ただし, TAAAnCE ビットのみ常時書き換え可能です。

(1/2)

リセット時 : 00H R/W アドレス : TAA0CTL0:FFFFFF590H, TAA1CTL0:FFFFFF5A0H,
TAA2CTL0:FFFFFF5B0H, TAA3CTL0:FFFFFF5C0H,
TAA4CTL0:FFFFFF5D0H

	7	6	5	4	3	2	1	0
TAAAnCTL0	TAAAnCE	0	0	0	0	TAAAnCKS2	TAAAnCKS1	TAAAnCKS0

(n = 0-4)

TAAAnCE	タイマAAAnの動作の制御
0	内部動作クロック動作禁止 (TAAAn内部回路を非同期にリセット)
1	内部動作クロック動作許可

TAAAnCEビットにより, 内部動作クロックの制御とTAAAnの非同期リセットを行います。TAAAnCEビットを“0”にすると, TAAAnの内部動作クロックは停止 (ロウ・レベル固定) し, TAAAnを非同期にリセットします。

TAAAnCEビットを“1”にすると, TAAAnCEビットを“1”にしたタイミングから入カクロックの2クロック以内に内部動作クロックが許可されカウント・アップします。

注意 次のモードでは, TAAAnCTL0.TAAAnCE に“1”を設定しても, 内部動作クロックは許可されません (カウント・アップしません)。

- ・ 同調動作モード時のスレーブ・タイマ
タイマが同調動作モードでスレーブ・タイマとして動作している (TAAAnCTL1.TAAAnSYE = 1) 場合。
- ・ カスケード機能 (32 ビット) 使用時のスレーブ・タイマ
タイマがカスケード機能 (32 ビット) 使用時にスレーブ・タイマ (上位 16 ビット側) として動作している (TAAAnOPT1.TAAAnCSE = 1 (n = 1, 3)) 場合。

SELCNT2. ISELY ^{注1}	TAAAnCTL0レジスタ			内部カウント・クロックの選択				
	TAAAnCKs2	TAAAnCKs1	TAAAnCKs0	入 力	n = 0, 2, 4		n = 1, 3	
					PRSI = 0	PRSI = 1	PRSI = 0	PRSI = 1
0	0	0	0	f _{XP1}	f _{xx}	f _{xx} /2	f _{xx}	f _{xx} /2
1				f _{XP2} ^{注2}	f _{xx}	f _{xx} /2	f _{xx}	f _{xx} /2
0	0	0	1	f _{XP1} /2	f _{xx} /2	f _{xx} /4	f _{xx} /2	f _{xx} /4
1				f _{XP2} /2 ^{注2}	f _{xx} /2	f _{xx} /4	f _{xx} /2	f _{xx} /4
0	0	1	0	f _{XP1} /4	f _{xx} /4	f _{xx} /8	f _{xx} /4	f _{xx} /8
1				f _{XP2} /4 ^{注2}	f _{xx} /4	f _{xx} /8	f _{xx} /4	f _{xx} /8
x	0	1	1	f _{XP1} /8	f _{xx} /8	f _{xx} /16	f _{xx} /8	f _{xx} /16
x	1	0	0	f _{XP1} /16	f _{xx} /16	f _{xx} /32	f _{xx} /16	f _{xx} /32
x	1	0	1	f _{XP1} /32	f _{xx} /32	f _{xx} /64	f _{xx} /32	f _{xx} /64
x	1	1	0	f _{XP1} /64	f _{xx} /64	f _{xx} /128	f _{xx} /64	f _{xx} /128
x	1	1	1	f _{XP1} /128	f _{xx} /128	f _{xx} /256	-	-
				f _{XT}	-	-	f _{XT}	f _{XT}

注1. SELCNT2レジスタ内の対応するISELビットの設定。詳しくは第4章 クロック発生機能とスタンバイ制御を参照してください。

2. f_{XP2}は、IDLE1モードでは停止しません。詳しくは第4章 クロック発生機能とスタンバイ制御を参照してください。

注意1. TAAAnCKs2-TAAAnCKs0ビットは、TAAAnCE = 0とき設定してください。

TAAAnCEビットを“0”から“1”に設定するとき、同時にTAAAnCKs2-TAAAnCKs0ビットを設定することは可能です。

メイン・クロック停止時は、サブクロックによるカウント動作はできません。

2. PRSIはオプション・バイトで設定します。

詳しくは第8章 オプション・バイトを参照してください。

備考 f_{xx} : メイン・クロック周波数

f_{XT} : サブクロック発振周波数

f_{XP1} : 周辺クロック用プリスケアラ1入力クロック周波数

f_{XP2} : UARTD, TAA用クロック

(2) TAA_n 制御レジスタ 1 (TAA_nCTL1)

TAA_nCTL1 制御レジスタはタイマ AA の動作を制御する 8 ビット・レジスタです。

8/1 ビット単位でリード/ライト可能です。

リセットにより初期値 00H になります。

(1/2)

リセット時：00H R/W アドレス：TAA0CTL1:FFFFFF591H, TAA1CTL1:FFFFFF5A1H,
TAA2CTL1:FFFFFF5B1H, TAA3CTL1:FFFFFF5C1H,
TAA4CTL1:FFFFFF5D1H

	7	6	5	4	3	2	1	0
TAA _n CTL1	TAA _n SYE	TAA _n EST	TAA _n EEE	0	0	TAA _n MD2	TAA _n MD1	TAA _n MD0

(n = 0-4)

TAA _n SYE	同調動作モード許可制御						
0	独立動作モード (アシンクロナス動作モード)						
1	同調動作モード (スレーブ動作の指定) マスタとなるタイマに同期して動作させることができます。						
<table border="1"> <tr> <td>マスタ・タイマ</td> <td>スレーブ・タイマ</td> </tr> <tr> <td>TAA0</td> <td>TAA1</td> </tr> <tr> <td>TAA2</td> <td>TAA3</td> </tr> </table>		マスタ・タイマ	スレーブ・タイマ	TAA0	TAA1	TAA2	TAA3
マスタ・タイマ	スレーブ・タイマ						
TAA0	TAA1						
TAA2	TAA3						
<p>このモードでは、タイマAAをマスタとなるタイマに同期して動作させることができます。TAA_nSYE = 1の場合、TAA_nCTL0.TAA_nCEに“1”を設定しても、内部動作クロックは許可されません (カウント・アップしません)。</p> <p>同調動作モードについては、10.7 タイマAA同期動作機能を参照してください。</p> <p>注意 TAA0SYE, TAA2SYE, TAA5SYEビットには必ず、0を設定してください。</p>							

TAA _n EST	ソフトウェア・トリガ制御
0	非動作
1	ワンショット・パルス・モード時：ワンショット・パルス・ソフトウェア・トリガ 外部トリガ・パルス出力モード時：パルス出力ソフトウェア・トリガ
<p>TAA_nESTビットはワンショット・パルス・モード時/外部トリガ・パルス出力モード時にソフトウェア・トリガとして機能します (それ以外のモード時に制御しても無効です)。TAA_nCE = 1のときにTAA_nEST = 1にすることでソフトウェア・トリガとして機能します。したがって、必ずTAA_nCE = 1のときにTAA_nEST = 1に設定してください。</p> <p>外部トリガは、TIAAn0端子を使用します。TAA_nESTビットのリード値は常に“0”です。</p>	

TAA _n EEE	カウント・クロックの選択
0	内部クロック (TAA _n CKS2-TAA _n CKS0ビットで選択したクロック) を使用
1	外部イベント・カウント入力 (TIAAn0入力のエッジ) を使用
<p>TAA_nEEE = 1 (外部イベント・カウント入力：TIAAn0) のときの有効エッジの指定はTAA_nEES1, TAA_nEES0ビットで設定します。</p>	

TAAAnMD2	TAAAnMD1	TAAAnMD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス・モード
1	0	0	PWMモード
1	0	1	フリー・ランニング・モード
1	1	0	パルス幅測定モード
1	1	1	設定禁止

- 注意1. TAAAnEEE, TAAAnMD2-TAAAnMD0ビットは, TAAAnCE = 0のとき設定してください (TAAAnCE = 1のときの同値書き込みは可能)。TAAAnCE = 1のとき書き換えた場合の動作の保証はできません。誤って書き換えた場合は, TAAAnCE = 0に設定してから再設定してください。
- 外部イベント・カウント・モードのときは, TAAAnEEEビットの値にかかわらず外部イベント・カウント入力を選択されます。
 - 外部トリガ・パルス・モード, ワンショット・パルス・モード, パルス長測定モードを使用する場合, カウント・クロックは内部クロック (TAAAnEEE = 0) に設定してください。
 - 外部イベント・カウント・モードを使用する場合, TIAAn0キャプチャ入力のエッジ検出を検出しない (TAAAnIOC2レジスタのTAAAnEES1, TAAAnEES0 = 00) に設定してください。
 - ビット3, 4には必ず“0”を設定してください。

(3) TAA_n I/O 制御レジスタ 0 (TAA_nIOC0)

TAA_nIOC0 レジスタは、タイマ出力 (TOAA_n0, TOAA_n1) を制御する 8 ビット・レジスタです。

8/1 ビット単位でリード/ライト可能です。

リセットにより 00H になります。

リセット時 : 00H R/W アドレス : TAA0IOC0:FFFFFF592H, TAA1IOC0:FFFFFF5A2H,
TAA2IOC0:FFFFFF5B2H, TAA3IOC0:FFFFFF5C2H,
TAA4IOC0:FFFFFF5D2H

	7	6	5	4	3	2	1	0
TAA _n IOC0	0	0	0	0	TAA _n OL1	TAA _n OE1	TAA _n OL0	TAA _n OE0

(n = 0-4)

TAA _n OL _m	TOAA _n m出力レベルの設定 (m = 0, 1)
0	通常出力
1	反転出力

TAA_nOL_mビットでタイマ出力を反転できます。

TAA _n OE _m	TOAA _n m出力の設定 (m = 0, 1)
0	タイマ出力禁止 (TOAA _n m端子からTAA _n OL _m = 0のときロウ・レベルが出力 TAA _n OL _m = 1のときハイ・レベルが出力)
1	タイマ出力許可 (TOAA _n m端子からパルスを出力)

- 注意1.** TAA_nOL1, TAA_nOE1, TAA_nOL0, TAA_nOE0ビットは、TAA_nCE = 0のときに書き換えてください(TAA_nCE = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TAA_nCE = 0に設定してから再設定してください。
2. タイマ出力を許可する場合は、必ず、TAA_nIOC1レジスタの対応する兼用端子のTAA_nIS3-TAA_nIS0を「エッジ検出しない」に設定し、キャプチャ動作を無効にしてください。そのあと、対応する兼用ポートの設定を出力モードにしてください。
3. TAA_nCEビット = 0, TAA_nOE_mビット = 0の状態において、TAA_nOL_mビットを操作した場合でも、TOAA_nm端子の出力レベルは変化します。

(4) TAA_n I/O 制御レジスタ 1 (TAA_nIOC1)

TAA_nIOC1 レジスタは、外部入力信号 (TIAAn0, TIAAn1) に対する有効エッジを制御する 8 ビット・レジスタです。

8/1 ビット単位でリード/ライト可能です。

リセットにより 00H になります。

リセット時 : 00H R/W アドレス : TAA0IOC1:FFFFFF593H, TAA1IOC1:FFFFFF5A3H,
TAA2IOC1:FFFFFF5B3H, TAA3IOC1:FFFFFF5C3H,
TAA4IOC1:FFFFFF5D3H

	7	6	5	4	3	2	1	0
TAA _n IOC1	0	0	0	0	TAA _n IS3	TAA _n IS2	TAA _n IS1	TAA _n IS0

(n = 0-4)

TAA _n IS3	TAA _n IS2	キャプチャ入力 (TIAAn1) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TAA _n IS1	TAA _n IS0	キャプチャ入力 (TIAAn0) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TAA_nIS3-TAA_nIS0ビットは、フリー・ランニング・キャプチャ・モードと、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。
- キャプチャ入力として使用する場合は、必ずTAA_nIOC0レジスタの対応する兼用端子のTAA_nOE1, TAA_nOE0ビットを「タイマ出力禁止」に設定し、キャプチャ入力の有効エッジを設定してください。その後、対応する兼用ポートを入力モードに設定してください。
 - 外部イベント・カウント・モードで使用 (TAA_nCTL1.TAA_nEEE = 1) する場合、TIAAn0キャプチャ入力をエッジ検出なし (TAA_nIS1, TAA_nIS0ビット = 00) に設定してください。

タイマ動作時の書き換え フリー・ランニング・モードで動作中，TAAAnIOC1.TAAAnIS[k:i]を操作してキャプチャ機能の有効エッジを切り換える場合，2ビットで制御している TIAAn 入力の有効エッジを1ビット単位で書き換える必要があります。

次に手順を示します。手順に従わない場合のキャプチャ値は保障できません。

- 立ち上がりエッジから立ち下がりエッジへの変更手順

現在のステータス，TAAAnIOC1.TAAAnIS[1:0] = 01B：“立ち上がりエッジ”

TAAAnIOC1.TAAAnIS[1:0] = 00B に設定：“エッジなし”の指定

TAAAnIOC1.TAAAnIS[1:0] = 10B に設定：“立ち下がりエッジ”の指定

- 立ち下がりエッジから立ち上がりエッジへの変更手順

現在のステータス，TAAAnIOC1.TAAAnIS[1:0] = 10B：“立ち下がりエッジ”

TAAAnIOC1.TAAAnIS[1:0] = 00B に設定：“エッジなし”の指定

TAAAnIOC1.TAAAnIS[1:0] = 01B に設定：“立ち上がりエッジ”の指定

- 立ち上がりエッジまたは立ち下がりエッジから両エッジに変更順

現在のステータス，TAAAnIOC1.TAAAnIS[1:0] = 01B または 10B：“立ち上がりエッジ”

または“立ち下がりエッジ”

TAAAnIOC1.TAAAnIS[1:0] = 11B に設定：“両エッジ”の指定

(5) TAA_n I/O 制御レジスタ 2 (TAA_nIOC2)

TAA_nIOC2 レジスタは、外部イベント・カウント入力信号 (TIAA_n0), 外部トリガ入力信号 (TIAA_n0) に対する有効エッジを制御する 8 ビット・レジスタです。

8/1 ビット単位でリード/ライト可能です。

リセットにより 00H になります。

リセット時 : 00H R/W アドレス : TAA0IOC2:FFFFFF594H, TAA1IOC2:FFFFFF5A4H,
TAA2IOC2:FFFFFF5B4H, TAA3IOC2:FFFFFF5C4H,
TAA4IOC2:FFFFFF5D4H

	7	6	5	4	3	2	1	0
TAA _n IOC2	0	0	0	0	TAA _n EES1	TAA _n EES0	TAA _n ETS1	TAA _n ETS0

(n = 0-4)

TAA _n EES1	TAA _n EES0	外部イベント・カウント入力 (TIAA00) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TAA _n ETS1	TAA _n ETS0	外部トリガ入力 (TIAA00) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TAA_nEES1, TAA_nEES0ビットは、TAA_nEEE = 1、または、外部イベント・カウント・モード (TIAAnCTL1レジスタのTAA_nMD2-TAA_nMD0 = 001) に設定したときのみ有効です。
- 2.** TAA_nETS1, TAA_nETS0ビットは、外部トリガ・パルス出力モード (TAA_nCTLレジスタのTAA_nMD2-TAA_nMD0 = 010)、ワンショット・パルス出力モード (TAA_nCTL1レジスタのTAA_nMD2-TAA_nMD0 = 011) に設定したときのみ有効です。

タイマ動作時の書き換え 外部イベント・カウント入力 (TIAA00), または外部トリガ入力 (TIAA00) の有効エッジを切り換える場合, 2ビットで制御している TIAAn 入力の有効エッジを 1ビット単位で書き換える必要があります。

次に手順を示します。手順に従わない場合のキャプチャ値は保障できません。

[外部イベント・カウント入力の場合]

- 立ち上がりエッジから立ち下がりエッジへの変更手順

現在のステータス, TAAAnIOC2.TAAAnEES[1:0] = 01B : “立ち上がりエッジ”

TAAAnIOC2.TAAAnEES[1:0] = 00B に設定 : “エッジなし” の指定

TAAAnIOC2.TAAAnEES[1:0] = 10B に設定 : “立ち下がりエッジ” の指定

- 立ち下がりエッジから立ち上がりエッジへの変更手順

現在のステータス, TAAAnIOC2.TAAAnEES[1:0] = 10B : “立ち下がりエッジ”

TAAAnIOC2.TAAAnEES[1:0] = 00B に設定 : “エッジなし” の指定

TAAAnIOC2.TAAAnEES[1:0] = 01B に設定 : “立ち上がりエッジ” の指定

[外部トリガ入力の場合]

- 立ち上がりエッジから立ち下がりエッジへの変更手順

現在のステータス, TAAAnIOC2.TAAAnETS[1:0] = 01B : “立ち上がりエッジ”

TAAAnIOC2.TAAAnETS[1:0] = 00B に設定 : “エッジなし” の指定

TAAAnIOC2.TAAAnETS[1:0] = 10B に設定 : “立ち下がりエッジ” の指定

- 立ち下がりエッジから立ち上がりエッジへの変更手順

現在のステータス, TAAAnIOC2.TAAAnETS[1:0] = 10B : “立ち下がりエッジ”

TAAAnIOC2.TAAAnETS[1:0] = 00B に設定 : “エッジなし” の指定

TAAAnIOC2.TAAAnETS[1:0] = 01B に設定 : “立ち上がりエッジ” の指定

注意 外部入力信号のレベルが変化しない状態で行ってください。

(6) TAAAn I/O 制御レジスタ 4 (TAAAnIOC4)

TAAAnIOC4 レジスタは、タイマ AA の出力機能を制御する 8 ビットのレジスタです。

8/1 ビット単位でリード/ライト可能です。

リセットにより 00H になります。

リセット時：00H R/W アドレス：TAA0IOC4:FFFFFF59CH, TAA1IOC4:FFFFFF5ACH,
TAA2IOC4:FFFFFF5BCH, TAA3IOC4:FFFFFF5CCH,
TAA4IOC4:FFFFFF5DCH

	7	6	5	4	3	2	1	0
TAAAnIOC4	0	0	0	0	TAAAnOS1	TAAAnOR1	TAAAnOS0	TAAAnR0

TAAAnOS1	TAAAnOR1	TOAAAn1のトグル制御
0	0	通常動作
0	1	次のトグル・タイミングで出力レベルを強制的にインアクティブ・レベルに設定
1	0	次のトグル・タイミングで出力レベルを強制的にアクティブ・レベルに設定
1	1	次のトグル・タイミングでも現在の出力レベルを保持

TAAAnOS0	TAAAnOR0	TOAAAn0のトグル制御
0	0	通常動作
0	1	次のトグル・タイミングで出力レベルを強制的にインアクティブ・レベルに設定
1	0	次のトグル・タイミングで出力レベルを強制的にアクティブ・レベルに設定
1	1	次のトグル・タイミングでも現在の出力レベルを保持

- 備考1.** 出力レベルを強制的にインアクティブまたはアクティブ・レベルにしたあと、TAAAnOS1 (TAAAnOS0) とTAAAnOR1 (TAAAnOS0) がクリアされて通常動作に戻るまで、TOAAAn1 (TAAAnOS0) はそのレベルを維持します (その後のトグル動作は行いません)。
2. 出力レベルの強制変更は次のトグル・イベントの発生時に起こり、出力保持は直ちに有効になります。
3. TAAAnCTL0.TAAAnCE = 1のとき、TAAAnIOC4への書き込みが可能です。

- 注意1.** TAAAnIOC4が使えるのは、インターバル・モードまたはフリー・ランニング・モードが選択されたときだけです。その他のモードでは、このレジスタを00Hに設定してください。
2. フリー・ランニング・モードにおいて、TAAAnIOC4レジスタの設定が有効になるのは、コンペア機能を選択している場合のみです。キャプチャ機能を選択している場合は無効です。

(7) TAAAn オプション・レジスタ 0 (TAAAnOPT0)

TAAAnOPT0レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：TAA0OPT0:FFFFFF595H, TAA1OPT0:FFFFFF5A5H,
TAA2OPT0:FFFFFF5B5H, TAA3OPT0:FFFFFF5C5H,
TAA4OPT0:FFFFFF5D5H

	7	6	5	4	3	2	1	0
TAAAnOPT0	0	0	TAAAnCCS1	TAAAnCCS0	0	0	0	TAAAnOVF

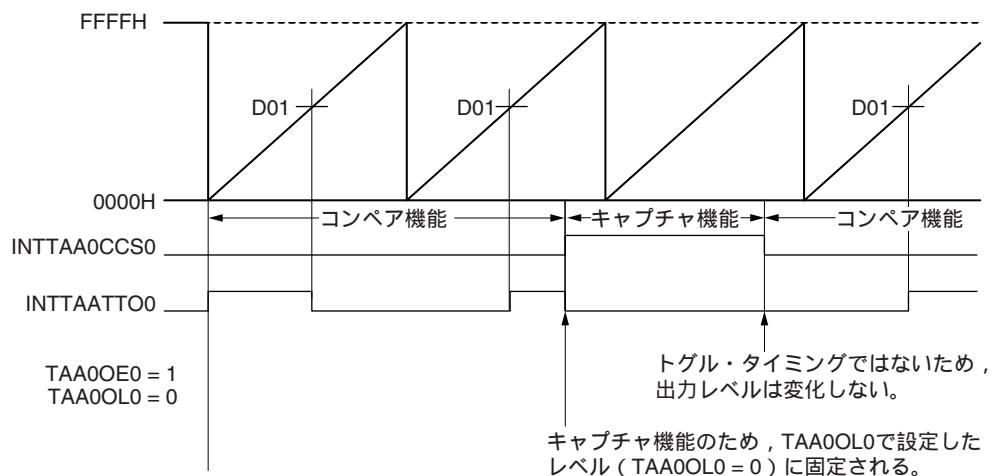
(n = 0-4)

TAAAnCCSm	TAAAnCCRmレジスタのキャプチャ/コンペア選択 (m = 0, 1)
0	コンペア・レジスタ選択
1	キャプチャ・レジスタ選択
TAAAnCCSmビットの設定はフリー・ランニング・モードのときのみ有効になります。	

TAAAnOVF	タイマAAのオーバフロー検出
セット (1)	オーバフロー発生
リセット (0)	TAAAnOVFビットの0書き込みまたはTAAAnCE = 0
<ul style="list-style-type: none"> ・TAAAnOVFビットはフリー・ランニング・モードおよびパルス幅測定モード時に16ビット・カウンタの値がFFFFFFHから0000Hにオーバフローするときセットされます。 ・TAAAnOVFビットがセット (1) されると同時に割り込み要求信号 (INTTAAAnOV) が発生します。フリー・ランニング・モードおよびパルス幅測定モード以外では、INTTAAAnOV信号は発生しません。 ・TAAAnOVF = 1のときにTAAAnOVFビットおよびTAAAnOPT0レジスタをリードしてもTAAAnOVFビットはクリアされません。 ・TAAAnOVFビットは、R/W可能ですがCPUからTAAAnOVFビットに“ 1 ”を書き込むことはできません。1をライトしてもタイマAAの動作に影響はありません。 	

注意 TAAAnCCS1, TAAAnCCS0ビットを、タイマ動作中 (TAAAnCE = 1) に書き換える場合は、次の手順に従ってください。

- ・コンペア機能からキャプチャ機能への切り換え
 1. コンペア・レジスタの設定値を別領域へ格納し、カウンタをリードする。
(コンペア・レジスタの設定値とカウンタが一致するタイミングでなければ“2”へ進む)
 2. 割り込み要求信号 (INTTAAAnCC0, INTTAAAnCC1, INTTAAAnOV) をマスクする。
TIAAn0, TIAAn1の入力をポートでマスクする。
 3. コンペア・レジスタの設定値とカウンタが一致するタイミング以外でコンペア機能 (TAAAnCCSm = 0) からキャプチャ機能 (TAAAnCCSm = 1) へ変更する。
コンペア機能からキャプチャ機能への切り換えによりタイマ出力はTAAAnOLmビットで設定したレベルに固定される。
 4. オーバフロー・フラグ (TAAAnOVF) を“0”ライト・クリアする。
 5. 割り込み要求信号 (INTTAAAnCC0, INTTAAAnCC1, INTTAAAnOV) 信号のマスクを解除する。
TIAAn0, TIAAn1の入力のマスクを解除する。
- ・キャプチャ機能からコンペア機能への切り換え
 1. カウンタをリードし、コンペア・レジスタに設定する値を決定する。
 2. 割り込み要求信号 (INTTAAAnCC0, INTTAAAnCC1, INTTAAAnOV) をマスクする。
 3. キャプチャ機能 (TAA0CCSm = 1) からコンペア機能 (TAA0CCSm = 0) へ変更する。
 4. “1”で決定した値を、コンペア・レジスタにライトする。
 5. オーバフロー・フラグ (TAA0OVF) を“0”ライト・クリアする。
 6. 割り込み要求信号 (INTTAAAnCC0, INTTAAAnCC1, INTTAAAnOV) のマスクを解除する。



(8) TAA_n オプション・レジスタ 1 (TAA_nOPT1)

TAA_nOPT1レジスタは、2つのタイマAAをカスケード接続して32ビットのキャプチャ・モードを設定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：TAA1OPT1:FFFFFF5ADH, TAA3OPT1:FFFFFF5CDH

	7	6	5	4	3	2	1	0
TAA _n OPT1	TAA _n CSE	0	0	0	0	0	0	0

(n = 1, 3)

TAA _n CSE	カスケード制御
0	単体動作
1	32ビットのカスケード機能動作 (タイマAAnは上位16ビットのスレーブとして動作し、マスタ・タイマはTAA _m となります (m = n - 1))

注意1. TAA_nCSEビットをセットする場合は、タイマは32ビット・タイマの上位16ビットとして動作します。

2. TAA_nCSEビット = 1の場合、TAA_nCTL0.TAA_nCEは強制的に“0”になります。
3. TAA_nCSEビット = 1の場合、TAA_nCTL1.TAA_nSYE = 0に必ず設定してください。
4. TAA_nCSEビット = 1の場合、必ずフリー・ランニング・モードに設定し、キャプチャ/コンペア・レジスタ (TAA_nCCR0, TAA_nCCR1) は必ずキャプチャ機能に設定してください。
5. カスケード接続できるタイマのペアを次に示します。
 - ・ TAA0とTAA1
(TAA0がマスタとして動作し、下位16ビットとして動作します。)
 - ・ TAA2とTAA3
(TAA2がマスタとして動作し、下位16ビットとして動作します。)

TAAncSEビットのタイマ動作への影響を次に示します。

	TAAncSE = 0	TAAncSE = 1
内部動作クロックの禁止/許可	TAAncCTL0.TAAncCEビット	TAAmCTL0.TAAmCEビット
カウント・イネーブル	TAAncCTL0のTAAncCEビット	TAAmのTAAmCEビット
カウント・クロック	TAAncCKS [2:0]で選択	TAAmからのカウンタ・オーバーフロー
キャプチャ信号0	TAAncIS [1:0]で選択した, 有効エッジ入力TIAAn0	TAAmの有効エッジ入力TIAAm0
キャプチャ信号1	TAAncIS [3:2]で選択した, 有効エッジ入力TIAAn1	TAAmの有効エッジ入力TIAAm1
キャプチャ割り込み	INTTAAncCC0またはINTTAAncCC1	INTTAAmCC0またはINTTAAmCC1

備考 $n = 1, 3, m = (n-1)$

32ビット・キャプチャ・モードの詳細については、10.6.9 **カスケード機能**を参照してください

10.6 動作

タイマAAには次のような動作があります。

動作	TAAAnEST (ソフトウェア・ トリガ・ビット)	TIAAn0 (外部トリガ 入力)	TAAAnEEE カウント・ クロック選択	キャプチャ/ コンペア選択	コンペア 書き込み
インターバル・タイマ・モード	無効	無効	内部 / TIAAn0 端子	コンペア専用	随時書き込み
外部イベント・カウント・モード ^{注1}	無効	無効	外部のみ	コンペア専用	随時書き込み
外部トリガ・パルス出力モード ^{注2}	有効	有効	内部のみ	コンペア専用	リロード
ワンショット・パルス出力モード ^{注2}	有効	有効	内部のみ	コンペア専用	随時書き込み
PWMモード	無効	無効	内部 / TIAAn0 端子	コンペア専用	リロード
フリー・ランニング・モード	無効	無効	内部 / TIAAn0 端子	キャプチャ/コン ペア切り換え可	随時書き込み
パルス幅測定モード ^{注2}	無効	無効	内部のみ	キャプチャ専用	対象外

- 注1. 外部イベント・カウント機能を使用する場合、TIAAn0キャプチャ入力のエッジ検出を、エッジを検出しない (TAAAnIOC1レジスタのTAAAnIS1, TAAAnIS0ビットを“00”) に設定してください。
2. 外部トリガ・パルス出力モード、ワンショット・パルス・モード、パルス幅測定モードを使用する場合、カウント・クロックを選択 (TAAAnCTL1レジスタのTAAAnEEEビット = 0に設定) してください。

10.6.1 随時書き込みとリロード

タイマAAではタイマ動作中 (TAAAnCE = 1) のときのTAAAnCCR0, TAAAnCCR1レジスタの書き換えを許可していますがモードによって書き込み方法 (随時書き込み, リロード) が異なります。

(1) 随時書き込み

タイマ動作中に TAAAnCCRm レジスタの書き込みを行ったとき CCRm バッファ・レジスタに随時転送され、16ビット・カウンタの比較値となります。

備考 n = 0-4, m = 0, 1

図10 - 5 随時書き込みの基本動作フロー・チャート

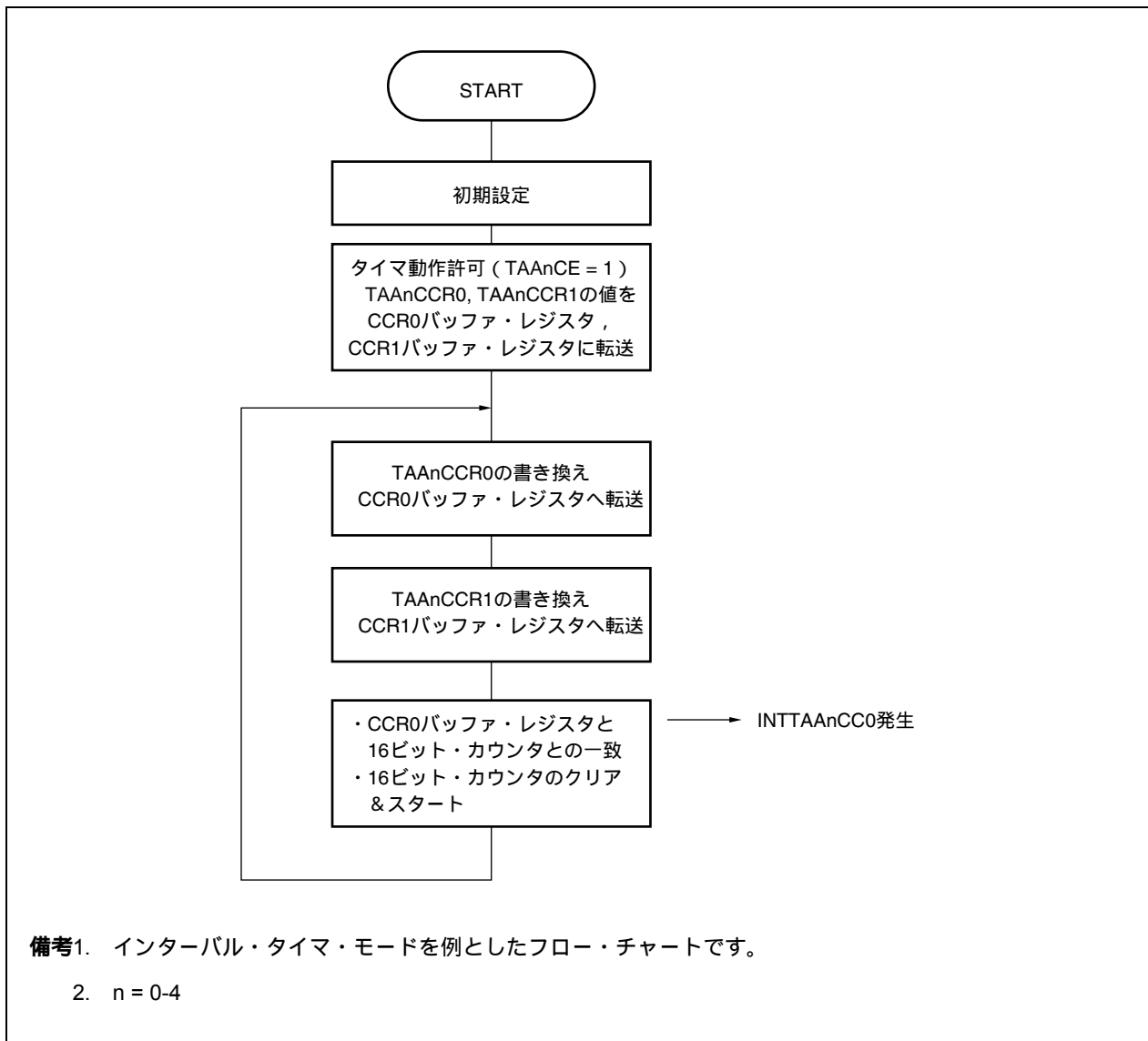
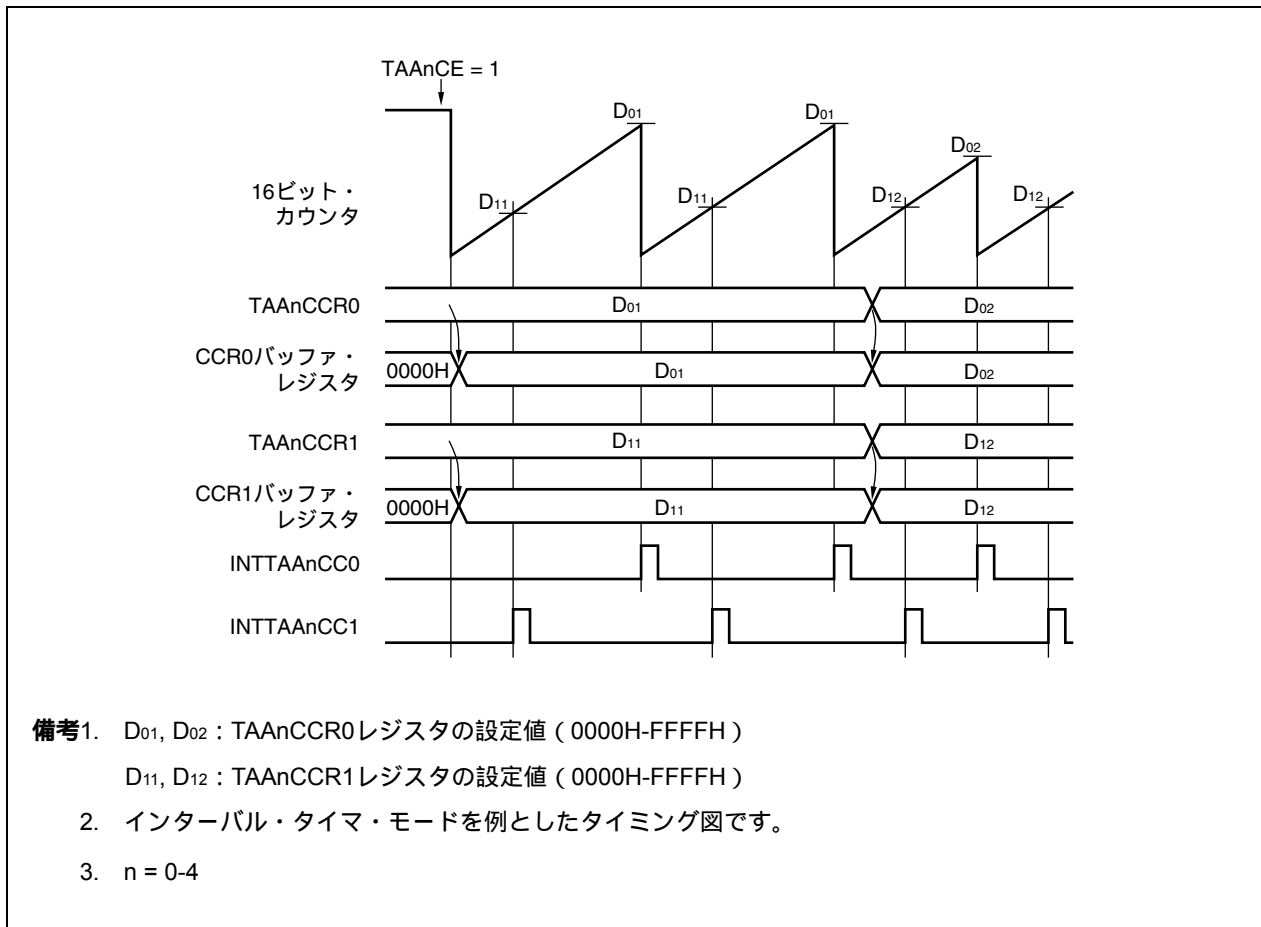


図10 - 6 随時書き込みのタイミング図



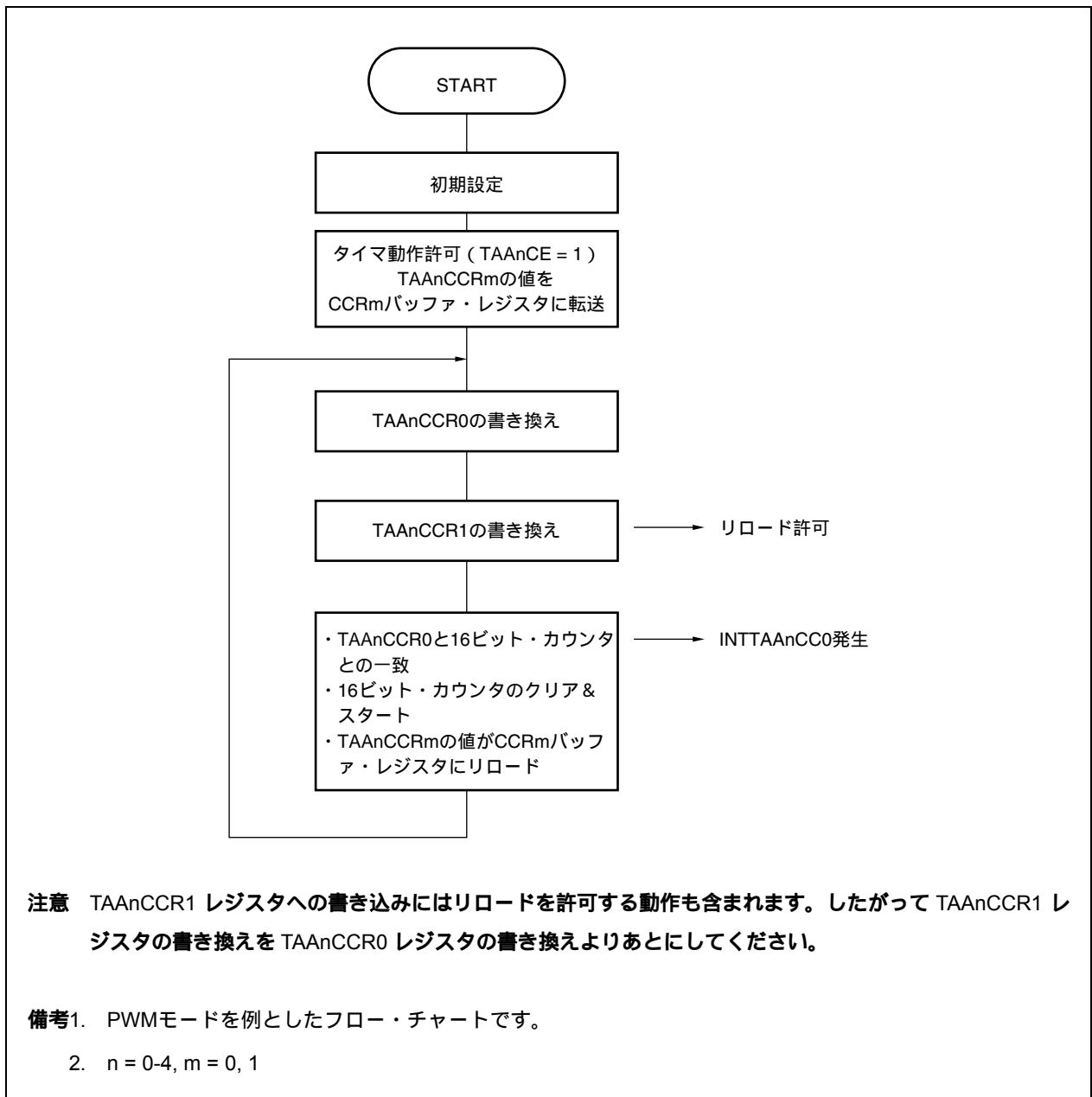
(2) リロード

タイマ動作中に TAAAnCCR0, TAAAnCCR1 レジスタの書き込みを行ったとき、書き込んだ値は特定の状態になるまで保留されたあと、CCRm バッファ・レジスタに転送され、16 ビット・カウンタの比較値となります。TAAAnCCR0 レジスタおよび TAAAnCCR1 レジスタは TAAAnCE = 1 時書き換えが可能です。

TAAAnCCR0 レジスタおよび TAAAnCCR1 レジスタを書き換えた場合の設定値が 16 ビット・カウンタの比較値となる (CCRm バッファ・レジスタにリロードされる) には 16 ビット・カウンタの値と TAAAnCCR0 レジスタの値が一致する前に TAAAnCCR0 を書き換え、次に TAAAnCCR1 レジスタを書き込む必要があります。そのあと TAAAnCCR0 レジスタの一致タイミングで TAAAnCCR0 レジスタと TAAAnCCR1 レジスタの値はリロードされます。

TAAAnCCR1 レジスタの書き込みで次のリロード・タイミングを有効とするか無効とするか制御します。したがって TAAAnCCR0 レジスタの値だけ書き換えたい場合でも、TAAAnCCR1 レジスタを同値書き込みししてください。

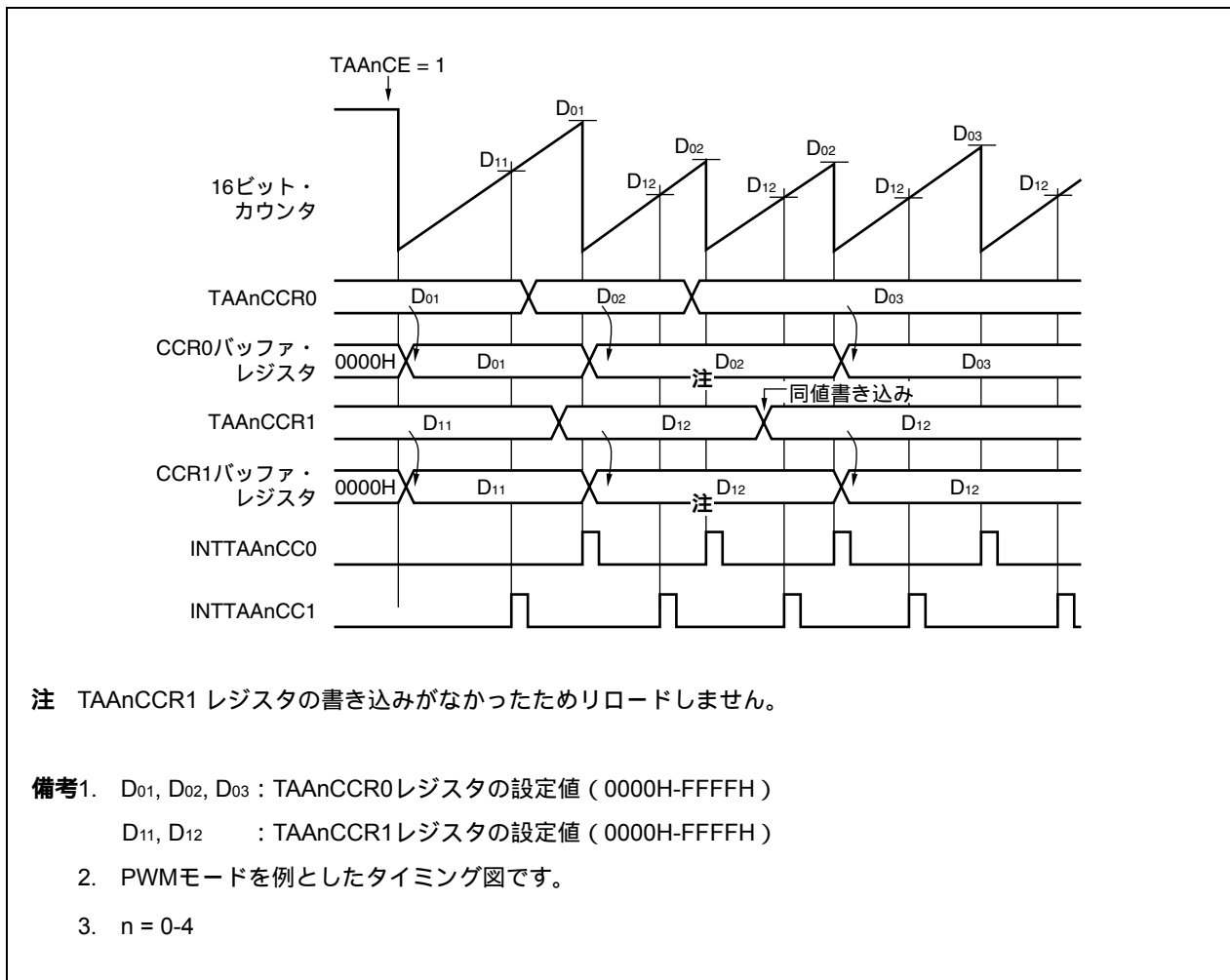
図10-7 リロードの基本動作フロー・チャート



注意 TAAAnCCR1 レジスタへの書き込みにはリロードを許可する動作も含まれます。したがって TAAAnCCR1 レジスタの書き換えを TAAAnCCR0 レジスタの書き換えよりあとにしてください。

備考1. PWMモードを例としたフロー・チャートです。
 2. n = 0-4, m = 0, 1

図10 - 8 リロードのタイミング図



10.6.2 インターバル・タイマ・モード (TAAAnMD2-TAAAnMD0 = 000)

インターバル・タイマ・モードではTAAAnCCR0レジスタの設定値と16ビット・カウンタの値の一致で割り込み要求信号 (INTTAAAnCC0) を発生し16ビット・カウンタをクリアします。TAAAnCCRmレジスタはTAAAnCE = 1 のときに書き換えを許可しており, TAAAnCCRmレジスタに値を設定すると随時書き込みによりCCRmバッファ・レジスタに転送され, 16ビット・カウンタ値との比較対象値となります。

TAAAnCCR1レジスタを使用しての16ビット・カウンタのクリア動作は行いません。

ただし, TAAAnCCR1レジスタ設定値はCCR1バッファ・レジスタに転送され, 16ビット・カウンタと比較されることで, 割り込み要求 (INTTAAAnCC1) が発生します。

また, TAAAnOEmビットを1に設定することにより, TOAAnm端子出力も可能です。

TAAAnCCR1レジスタを使用しない場合はTAAAnCCR1レジスタの設定値はFFFFHを設定することを推奨します。

備考1. タイマ動作中 (TAAAnCE = 1) のときのTAAAnCCR0, TAAAnCCR1の書き換え動作については, 10.6.1 (1) **随時書き込み**を参照してください。

2. n = 0-4, m = 0, 1

図10-9 インターバル・タイマ・モード時の基本動作フロー・チャート

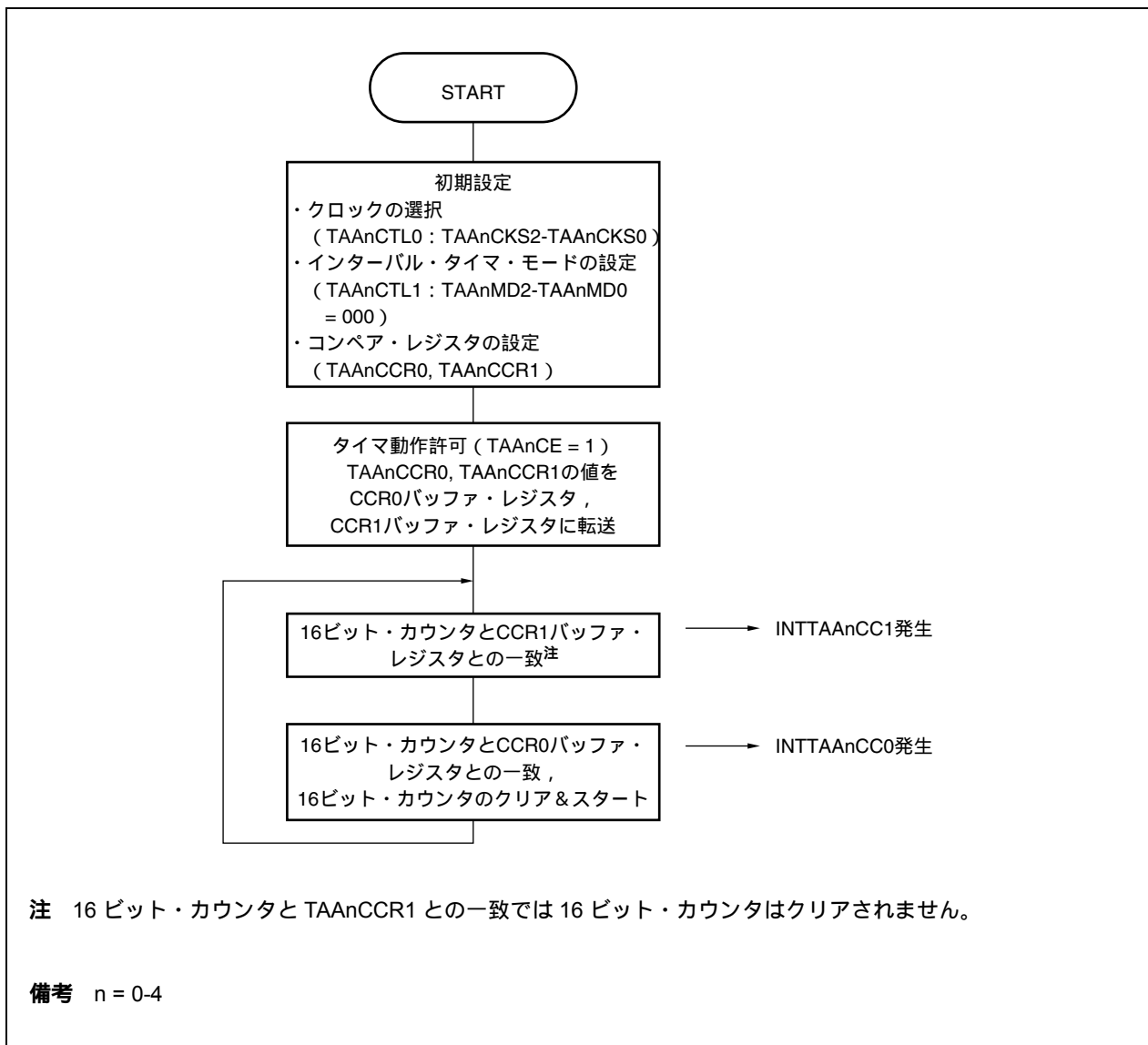
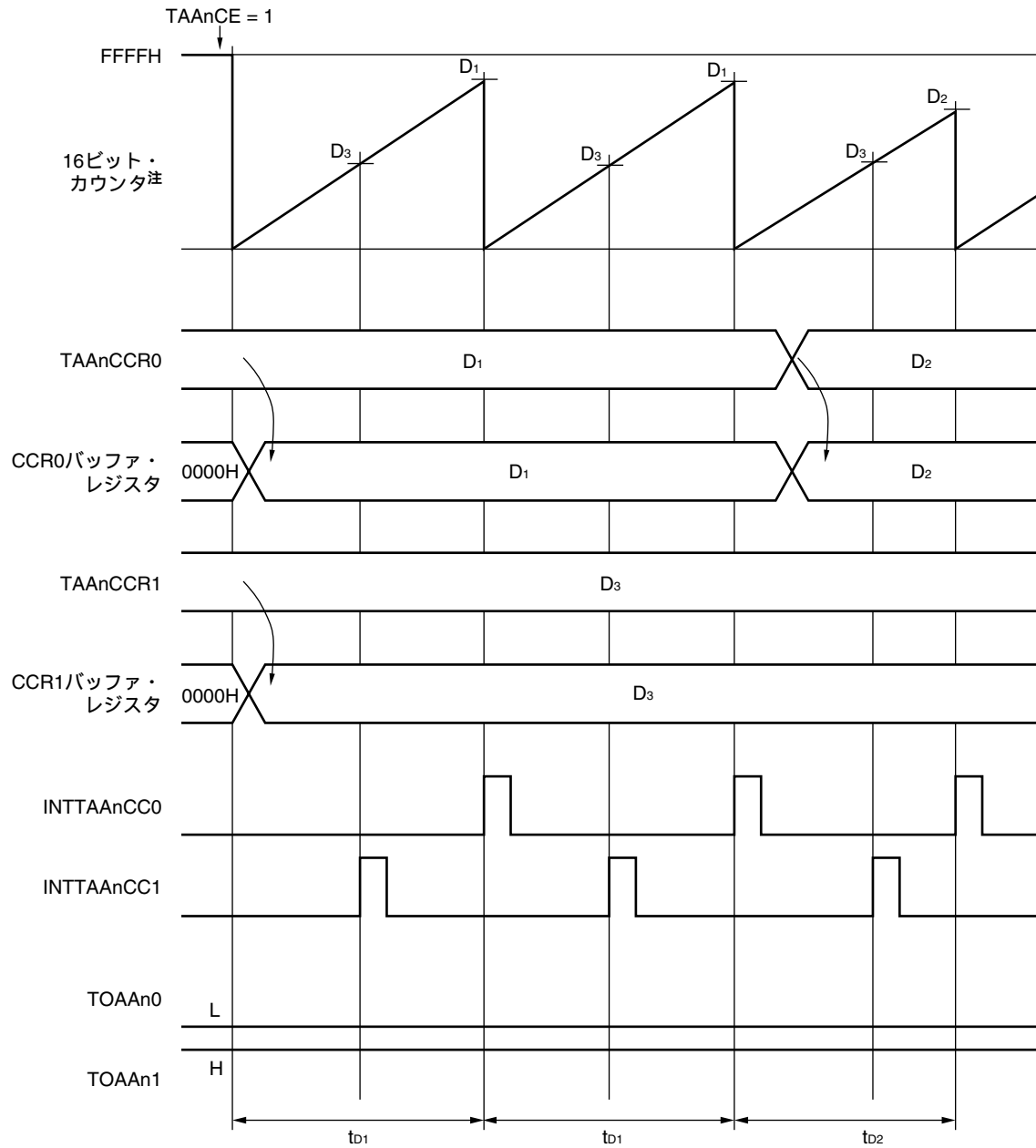


図10 - 10 インターバル・タイマ・モード時の基本動作タイミング (1/2)

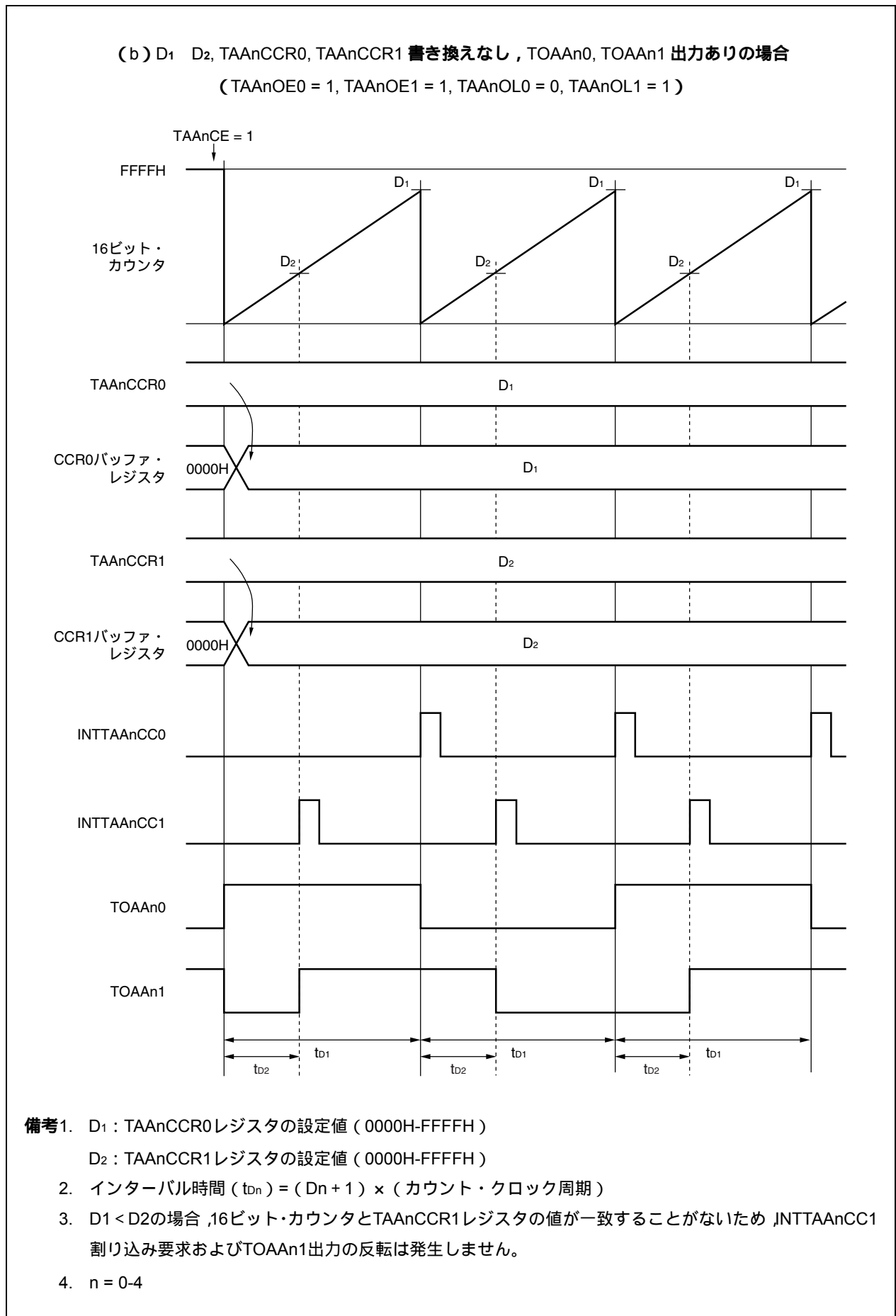
(a) $D_1 > D_2 > D_3$, TAAAnCCR0 レジスタのみ値を書き換え, TOAAAn0, TOAAAn1 出力なしの場合
 (TAAAnOE0 = 0, TAAAnOE1 = 0, TAAAnOL0 = 0, TAAAnOL1 = 1)



注 16ビット・カウンタとTAAAnCCR1との一致では16ビット・カウンタはクリアされません。

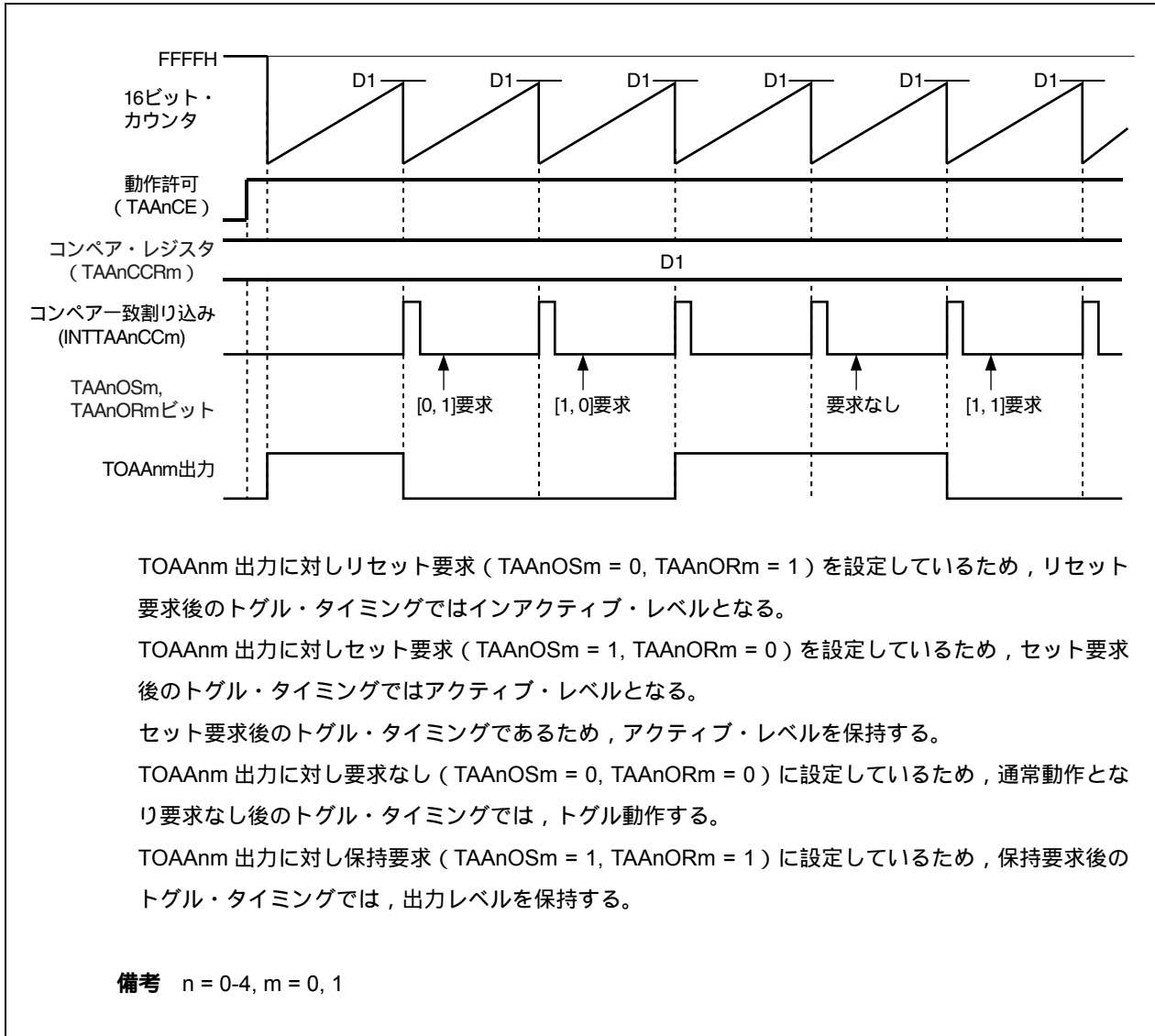
- 備考1. D₁, D₂ : TAAAnCCR0レジスタの設定値 (0000H-FFFFH)
 D₃ : TAAAnCCR1レジスタの設定値 (0000H-FFFFH)
 2. インターバル時間 (t_{Dn}) = (D_n + 1) × (カウント・クロック周期)
 3. n = 0-4

図10 - 10 インターバル・タイマ・モード時の基本動作タイミング (2/2)



(1) 特殊 TOAAnm 出力動作 (強制インアクティブ(リセット) / 強制アクティブ(セット) / 保持)

TAAAnIOC4.TAAAnOS, TAAAnIOC4.TAAAnOR ビットの設定により, TOAAnm 出力レベルを次回トグル発生タイミングで固定することができます。アクティブ・レベルは, TAAAnIOC0.TAAAnOLm ビットで設定したレベルとなります。



TOAAnm 出力に対しリセット要求 (TAAAnOSm = 0, TAAAnORm = 1) を設定しているため, リセット要求後のトグル・タイミングではインアクティブ・レベルとなる。

TOAAnm 出力に対しセット要求 (TAAAnOSm = 1, TAAAnORm = 0) を設定しているため, セット要求後のトグル・タイミングではアクティブ・レベルとなる。

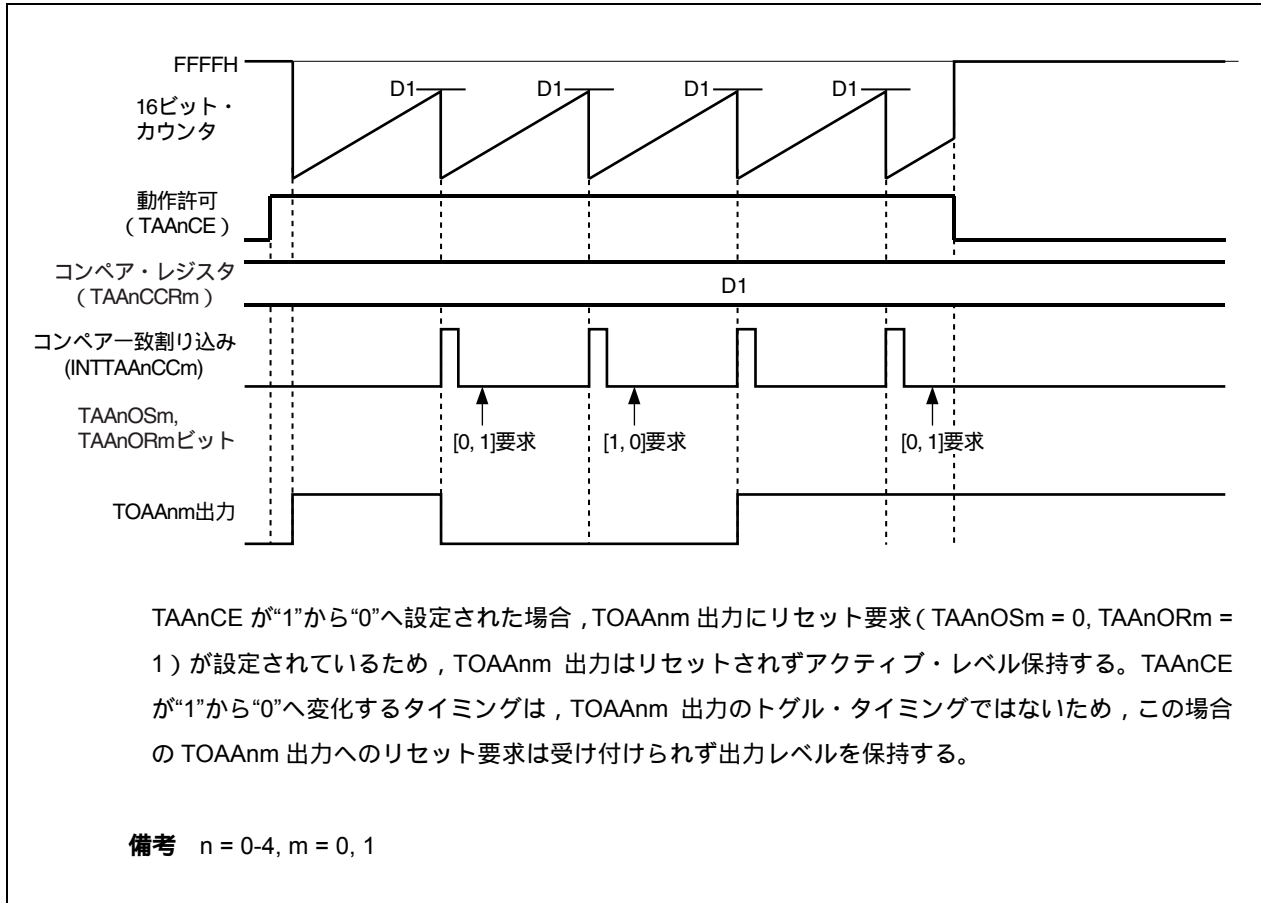
セット要求後のトグル・タイミングであるため, アクティブ・レベルを保持する。

TOAAnm 出力に対し要求なし (TAAAnOSm = 0, TAAAnORm = 0) に設定しているため, 通常動作となり要求なし後のトグル・タイミングでは, トグル動作する。

TOAAnm 出力に対し保持要求 (TAAAnOSm = 1, TAAAnORm = 1) に設定しているため, 保持要求後のトグル・タイミングでは, 出力レベルを保持する。

(2) 特殊 TOAAn0, TOAAn1 出力動作 (動作停止)

インターバル・タイマ・モードで動作しているとき, TAAAnCTL.TAAAnCE ビットが“1”から“0”へ設定されると, TAAAnIOC4.TAAAnOS, TAAAnIOC4.TAAAnOR ビットの設定値どちらかが“1”, または両方“1”の場合, TOAAnm 出力はリセットされず出力レベルを保持します。



10.6.3 外部イベント・カウント・モード (TAAAnMD2-TAAAnMD0 = 001)

外部イベント・カウント・モードでは外部イベント・カウント入力 (TIAAn0端子入力) をカウント・アップ信号として動作させます。TAAAnCTL0レジスタのTAAAnEEEビットの設定にかかわらず外部イベント・カウント・モードに設定すると外部イベント・カウント入力 (TIAAn0端子入力) によりカウント・アップを行います。

外部イベント・カウント・モードではTAAAnCCR0レジスタの設定値と16ビット・カウンタ値の一致で一致割り込み要求 (INTTAAAnCC0) を発生し16ビット・カウンタの値をクリアします。

TAAAnCCRmレジスタに値を設定すると随時書き込みにより, CCRmバッファ・レジスタに転送され, 16 ビット・カウンタ値との比較対象値となります。

TAAAnCCR1レジスタを使用しての16ビット・カウンタのクリア動作は行いません。

ただし, TAAAnCCR1レジスタ設定値はCCR1バッファ・レジスタに転送され, 16ビット・カウンタと比較されることで, 割り込み要求 (INTTAAAnCC1) が発生します。

また, TAAAnOEmビットを1に設定することにより, TOAAnm端子出力も可能です。

TAAAnCCR0レジスタはTAAAnCE = 1のときに書き換えを許可しています。TAAAnCCR1レジスタを使用しない場合はTAAAnCCR1の設定値はFFFFHを設定することを推奨します。

- 注意 1. 外部イベント・カウント・モードでの TOAAn0 端子出力は使用できません。**
外部イベント・カウント・モードでの TOAAn1 端子出力を使用する場合は, インターバル・タイマ・モード (TAAAnMD2-TAAAnMD0 = 000) で TAAAnEEE = 1 に設定し使用してください。
2. 外部イベント・カウント・モードを使用する場合, TOAAn0 キャプチャ入力のエッジ検出を検出しない (TAAAnIOC2 レジスタの TAAAnEES1, TAAAnEES0 = 00) に設定してください

- 備考1.** タイマ動作中 (TAAAnCE = 1) のときのTAAAnCCR0, TAAAnCCR1の書き換え動作については, 10. 6. 1 (1) 随時書き込みを参照してください。
2. n = 0-4, m = 0, 1

図10 - 11 外部イベント・カウント・モード時の基本動作フロー・チャート

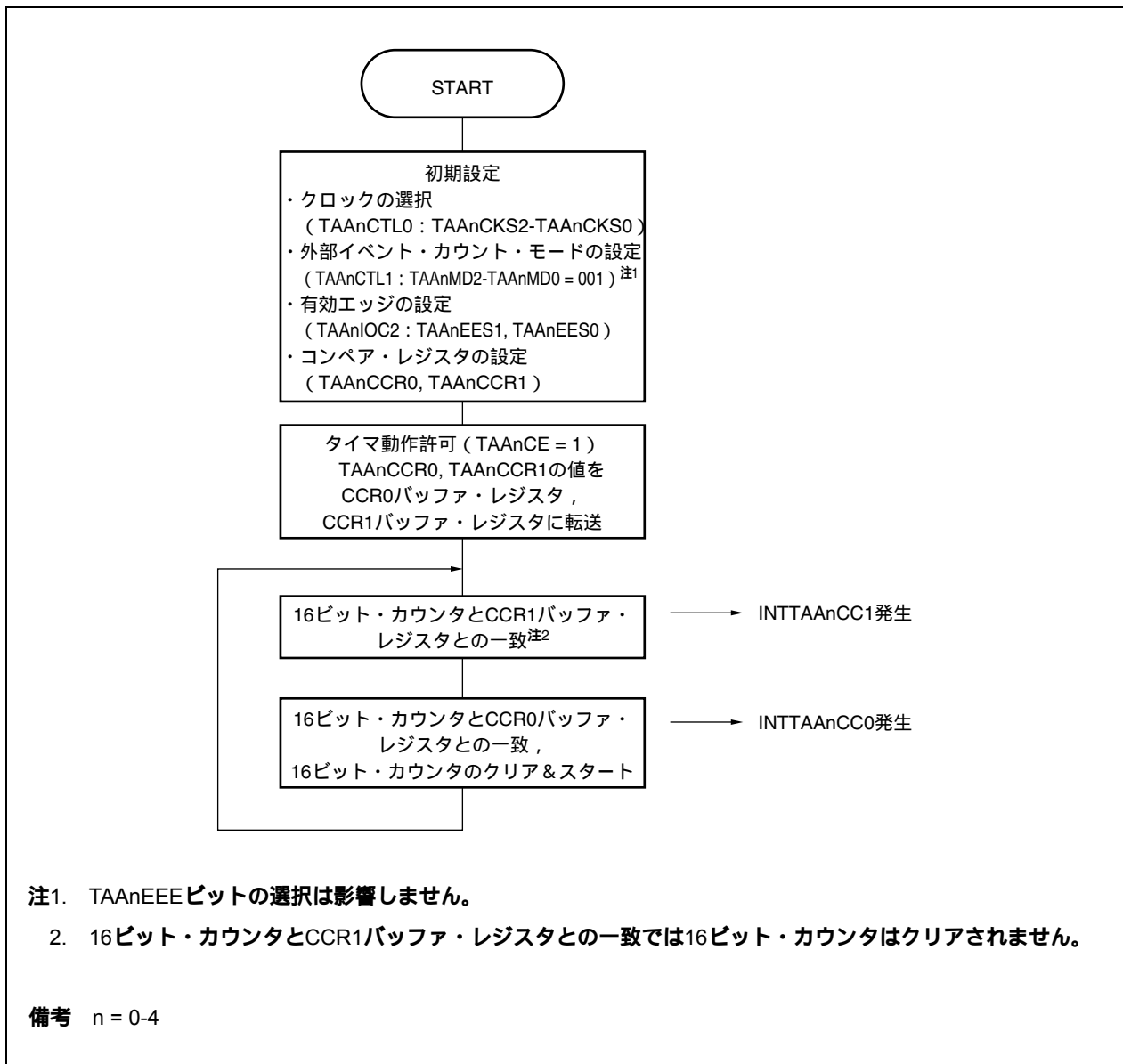


図10 - 12 外部イベント・カウント・モード時の基本動作タイミング (1/2)

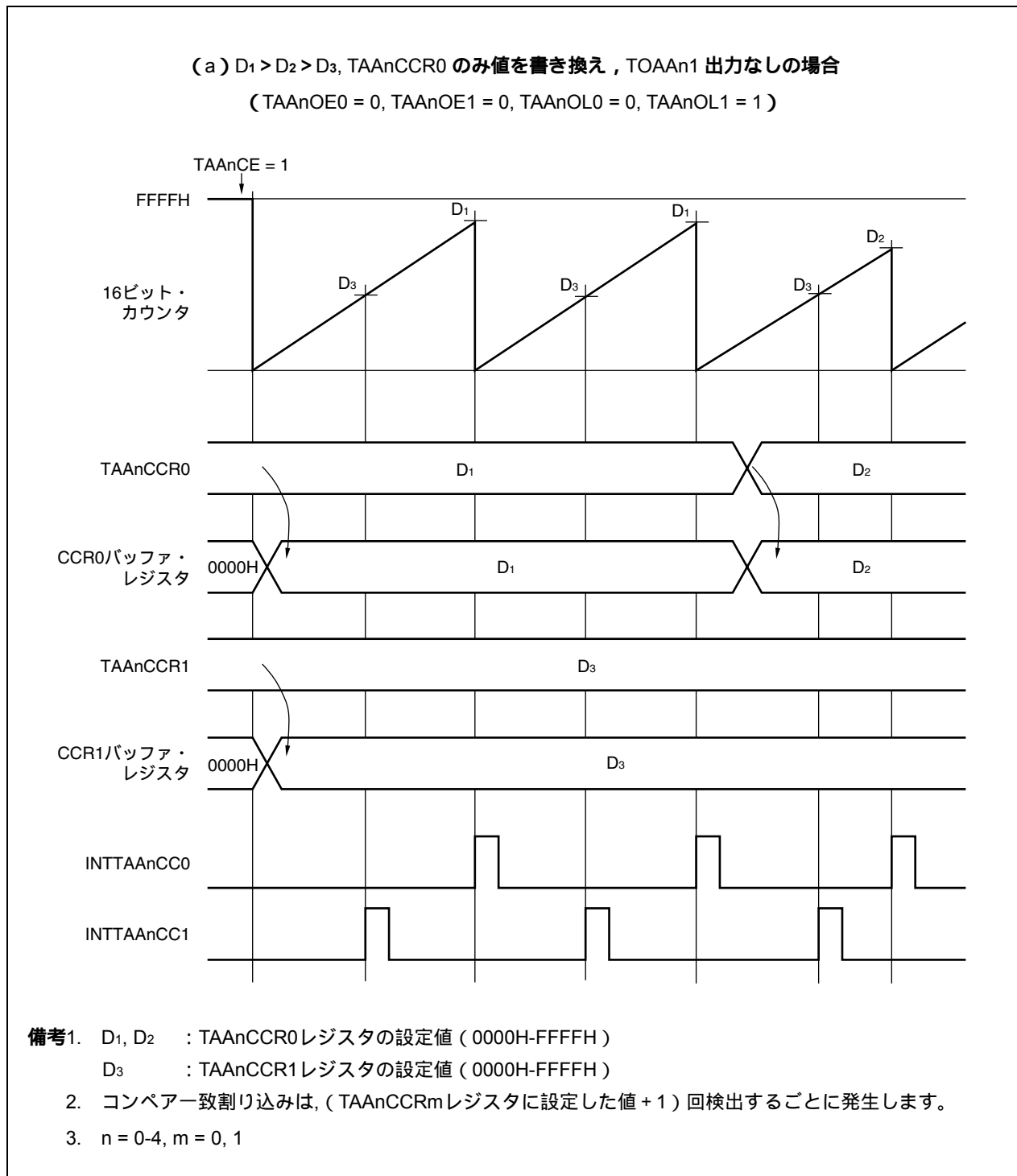
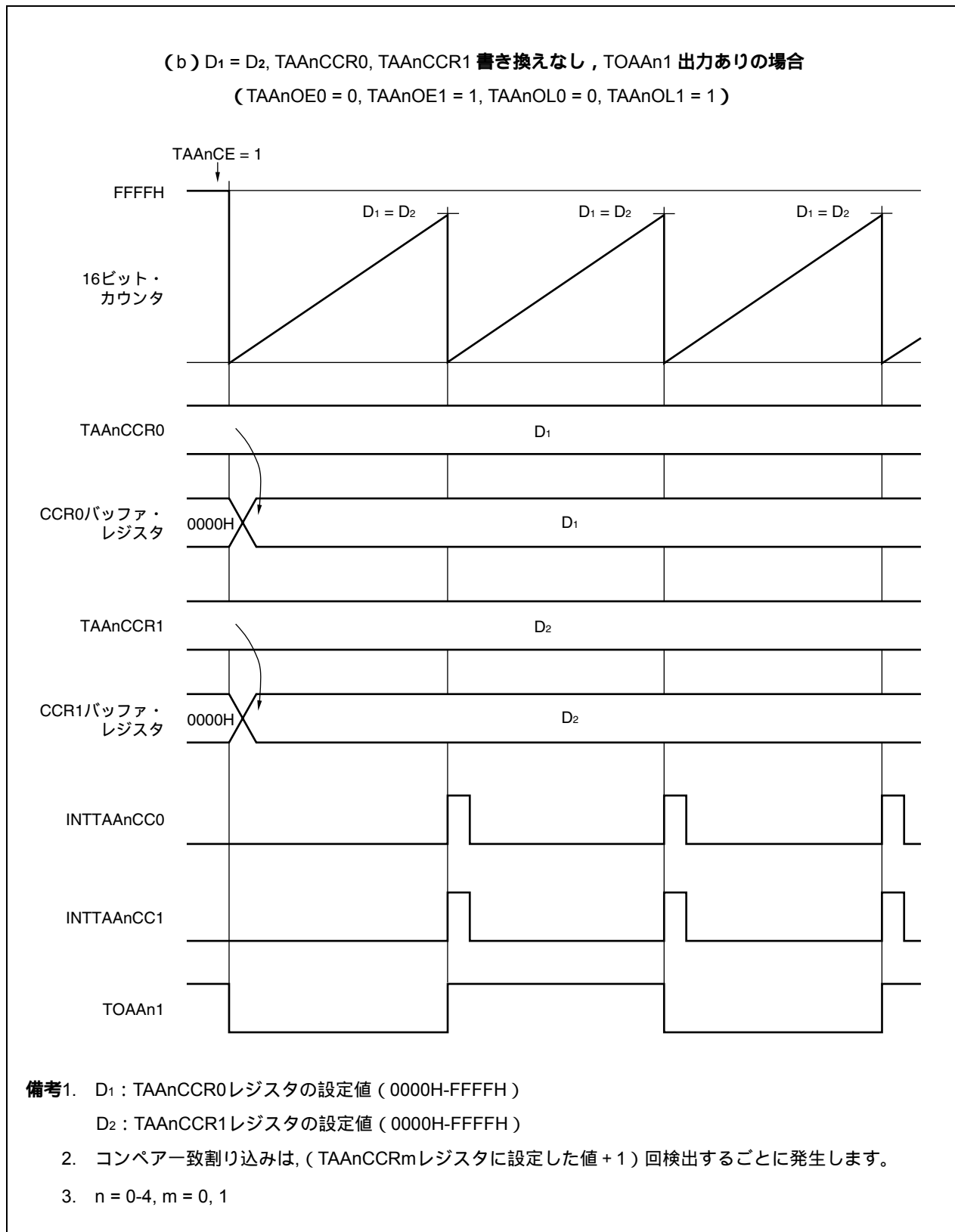


図10 - 12 外部イベント・カウント・モード時の基本動作タイミング (2/2)



10. 6. 4 外部トリガ・パルス出力モード (TAA_nMD2-TAA_nMD0 = 010)

外部トリガ・パルス出力モードではTAA_nCE = 1にすると、16ビット・カウンタはFFFFHを保持したまま、外部トリガ入力 (TIAAn0端子入力、もしくはTAA_nESTビットのセット) 待ちとなります。トリガを入力するとカウント・アップを開始します。

TOAAn1出力制御について、デューティ用の設定レジスタはリロード・レジスタ (TAA_nCCR1) とし、周期用の設定レジスタはコンペア・レジスタ (TAA_nCCR0) とします。

TAA_nCCR0レジスタおよびTAA_nCCR1レジスタはTAA_nCE = 1の時も書き換えが可能です。

TAA_nCCR0およびTAA_nCCR1レジスタに書き込んだ設定値が確実に16ビット・カウンタの比較値となる (CCR_mバッファ・レジスタにリロードされる) には、16ビット・カウンタの値とTAA_nCCR0レジスタの値が一致する前にTAA_nCCR0レジスタを書き換え、次にTAA_nCCR1レジスタの値を書き換える必要があります。

その後TAA_nCCR0レジスタの値と16ビット・カウンタが一致すると、TAA_nCCR0およびTAA_nCCR1レジスタの値はCCR_mバッファ・レジスタにリロードされます。

TAA_nCCR1レジスタの書き込みで次のリロード・タイミングを有効とするか無効とするかを制御します。したがって、TAA_nCCR0レジスタの値だけ書き換えたい場合でも、TAA_nCCR1レジスタに同値を書き込んでください。

TAA_nCCR0レジスタのみを書き換えると、リロードは無効になります。

タイマAAを停止するにはTAA_nCE = 0にしてください。外部トリガ・パルス出力モード中に複数回、外部トリガ (TIAAn0端子入力、もしくはTAA_nESTビットのセット) が入力されると検出したタイミングで16ビット・カウンタはクリアされカウント・アップを再開すると同時にTOAAn0, TOAAn1端子は初期化されます。

なお、外部トリガ入力 (TIAAn0端子入力) の代わりにソフトウェア・トリガを使用して、外部トリガ・パルス出力モードと同じ機能 (ソフトウェア・トリガ・パルス・モード) を実現するには、TAA_nCTL1レジスタのTAA_nESTビットを1にセットすることにより、ソフトウェア・トリガが発生します。

ソフトウェア・トリガ時は、周期の半分として1周期のPWM波形を持つ方形波をTOAAn0端子から出力します。

外部トリガ・パルスの波形はTOAAn1から出力します。TAA_nCCR0レジスタの値と16ビット・カウンタの値が一致すると、TOAAn0端子はトグル出力します。

注意1. 外部トリガ・パルス出力モード時のカウント・クロックは内部クロック (TAA_nCTL1レジスタのTAA_nEEE = 0) を選択してください。

2. 外部トリガ・パルス出力モード時はTAA_nCCR0レジスタおよびTAA_nCCR1レジスタはコンペア・レジスタとして機能が固定されるため、キャプチャ機能は使用できません。

備考1. タイマ動作中のTAA_nCCR0, TAA_nCCR1の書き換え時のリロード動作については10. 6. 1 (2) リロードを参照してください。

2. n = 0-4, m = 0, 1

図10 - 13 外部トリガ・パルス出力モード時の基本動作フロー・チャート

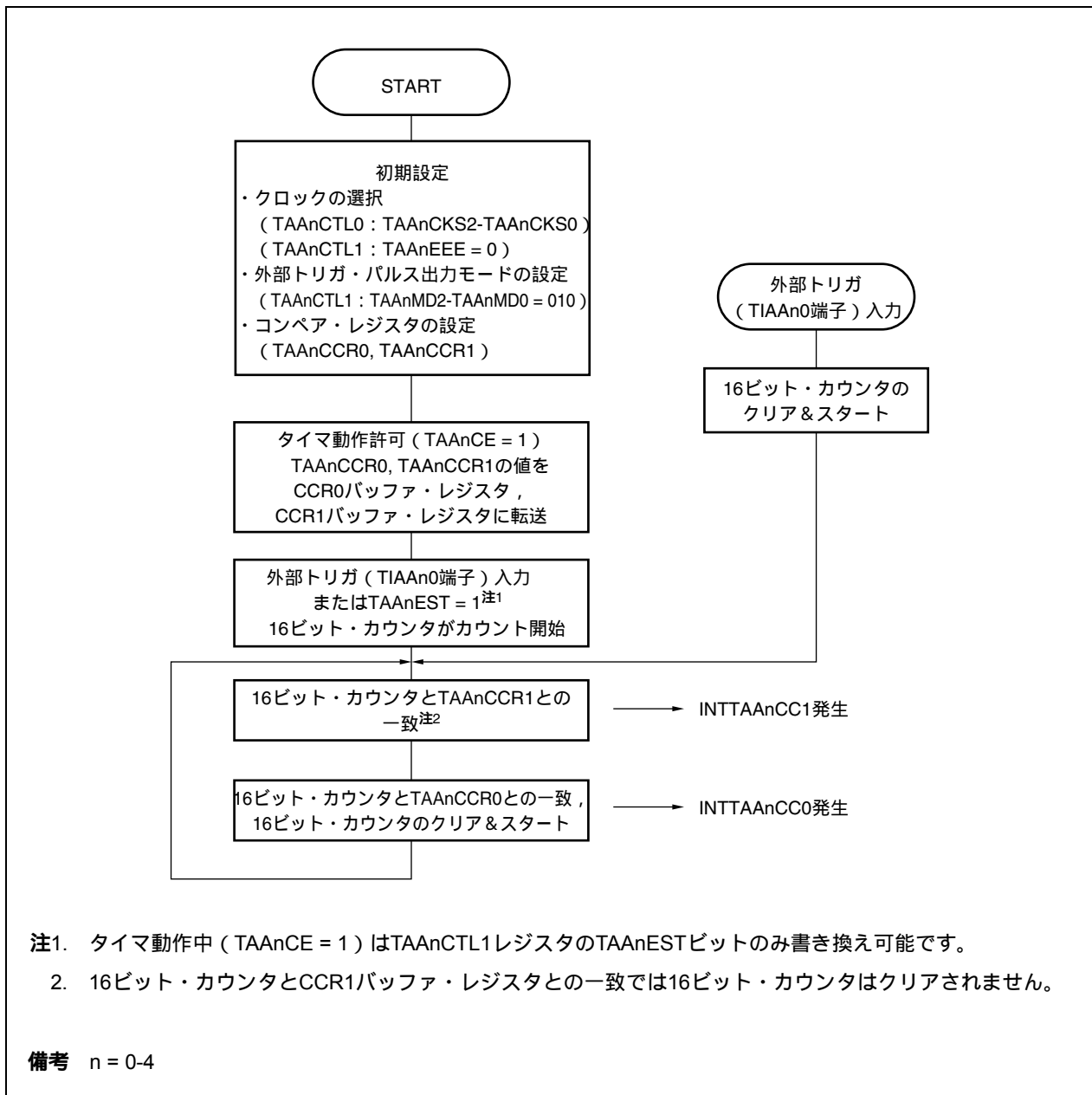
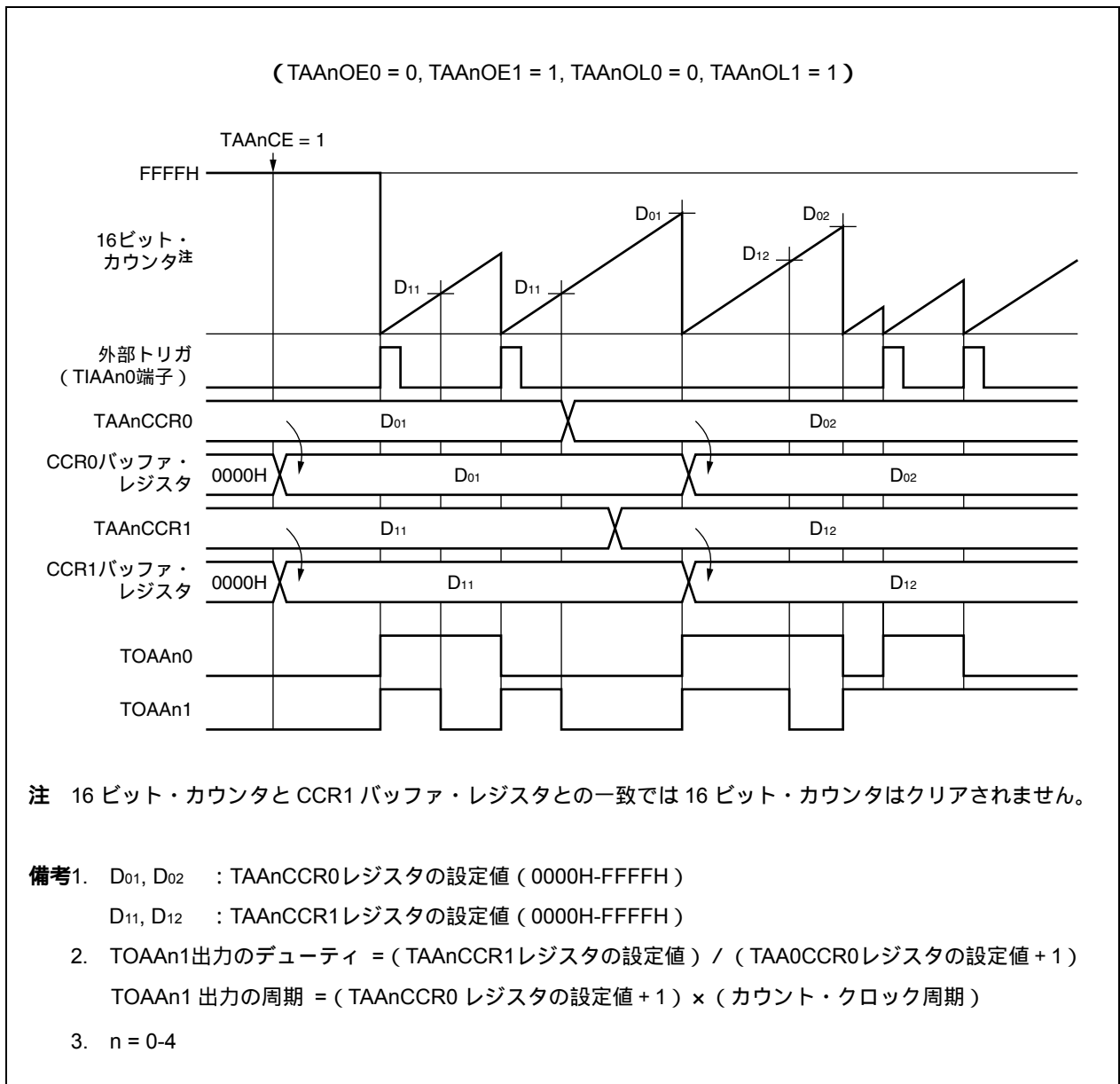


図10 - 14 外部トリガ・パルス出力モード時の基本動作タイミング



10.6.5 ワンショット・パルス・モード (TAA_nMD2-TAA_nMD0 = 011)

ワンショット・パルス・モードではTAA_nCE = 1にすると、16ビット・カウンタはFFFFHを保持したままTAA_nESTビットのセット(1)もしくはTIAA_n0端子エッジ検出のトリガ待ちとなります。トリガを入力すると16ビット・カウンタがカウント・アップを開始し、16ビット・カウンタの値とTAA_nCCR1レジスタから転送されたCCR1バッファ・レジスタの値が一致するとTOAA_n1がハイ・レベルとなり16ビット・カウンタの値とTAA_nCCR0レジスタから転送されたCCR0バッファ・レジスタの値が一致するとTOAA_n1はロウ・レベルとなり16ビット・カウンタは0000Hにクリアされ停止します。16ビット・カウンタ動作中に2回以上のトリガを入力しても無視されます。2回目のトリガは必ず16ビット・カウンタが0000Hに停止しているタイミングに入力してください。TAA_nCCR_mレジスタはTAA_nCE = 1のときに書き換えを許可しており、TAA_nCCR_mレジスタに値を設定すると随時書き込みによりCCR_m バッファ・レジスタに転送され、16 ビット・カウンタ値との比較対象値となります。

ワンショット・パルスの波形はTOAA_n1端子から出力します。TOAA_n0端子からは、タイマ・カウンタがカウントを行っている期間、アクティブ・レベルを出力します。アクティブ・レベルはTAA_nOL0ビットによって設定します。

- 注意1.** ワンショット・パルス・モード時、カウント・クロックは内部クロック (TAA_nCTL1レジスタのTAA_nEEE = 0) を選択してください。
2. ワンショット・パルス・モード時はTAA_nCCR0, TAA_nCCR1レジスタはコンペア・レジスタとして機能が固定されるので、キャプチャ・レジスタとしての機能は使用できません。
 3. ワンショット・パルス・モードにおいて、TAA_nCCR1の設定値がTAA_nCCR0の設定値より大きい場合、ワンショット・パルスは出力しません。

- 備考1.** タイマ動作中 (TAA_nCE = 1) のTAA_nCCR0, TAA_nCCR1の書き換え時の随時書き込み動作は、10.6.1(1) **随時書き込み**を参照してください。
2. n = 0-4

図10 - 15 ワンショット・パルス・モード時の基本動作フロー・チャート

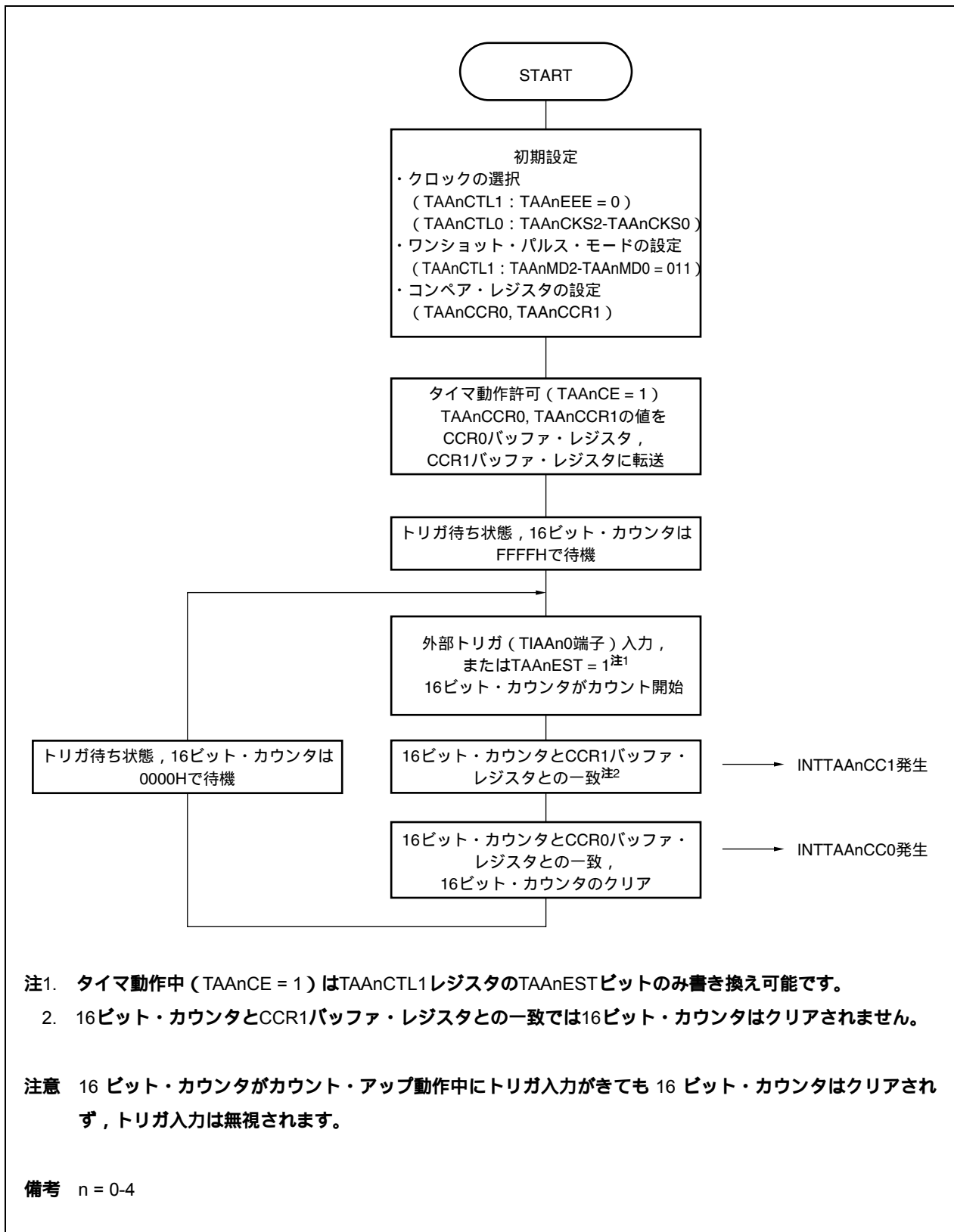
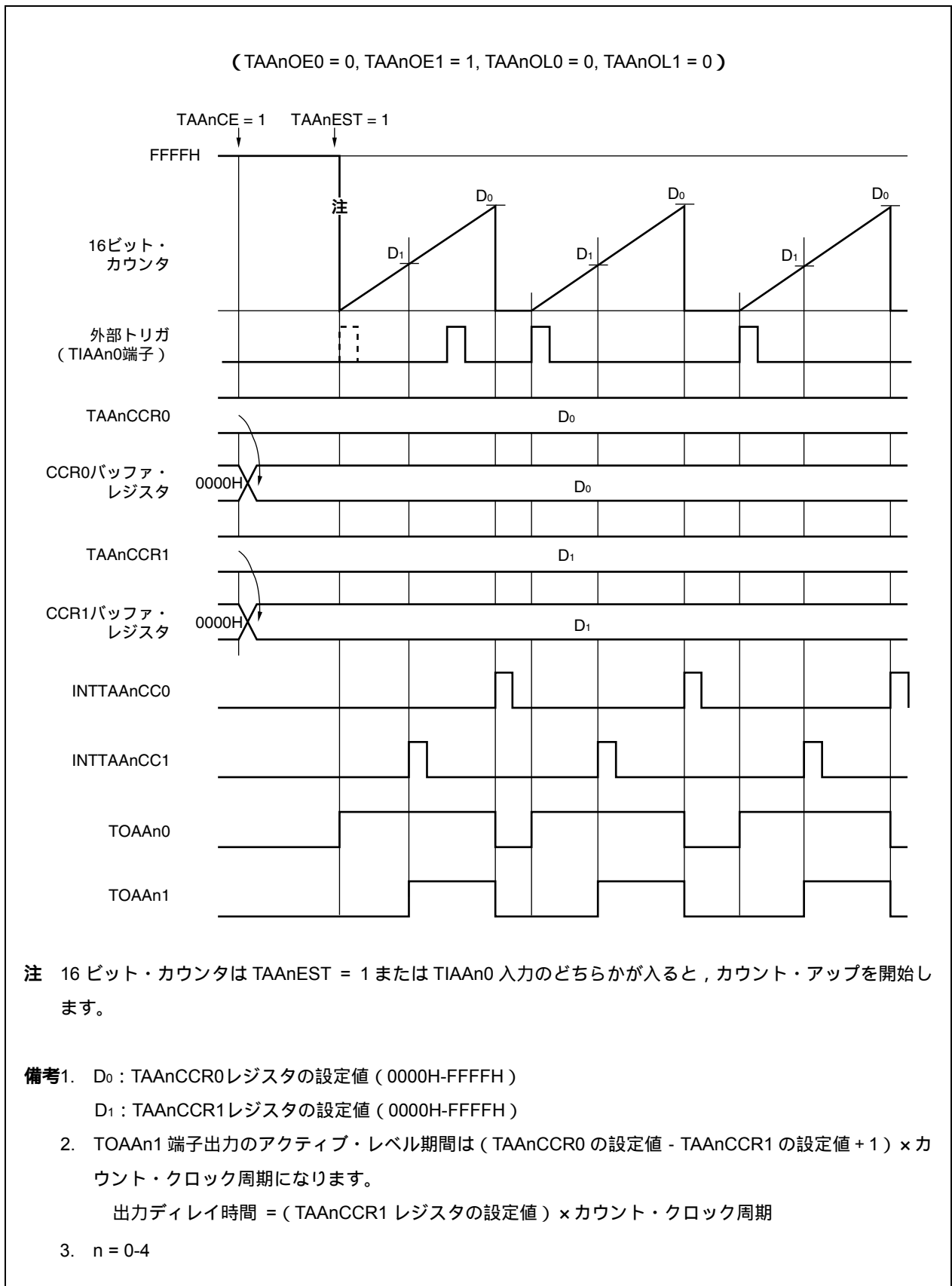


図10 - 16 ワンショット・パルス・モード時の基本動作タイミング



10.6.6 PWM モード (TAAAnMD2-TAAAnMD0 = 100)

PWMモードではデューティ用の設定レジスタはTAAAnキャプチャ/コンペア・レジスタ1 (TAAAnCCR1)とし、周期用の設定レジスタはTAAAnキャプチャ/コンペア・レジスタ0 (TAAAnCCR0)となります。

この2つのレジスタを設定し、タイマを動作させることでデューティ可変型のPWMを出力します。

TAAAnCCR0レジスタおよびTAAAnCCR1レジスタはTAAAnCE = 1時書き換えを許可しています。

タイマAAを停止するにはTAAAnCE = 0にしてください。PWMの波形出力はTOAAAn1端子から出力します。

TOAAAn0端子はPWM周期を半周期とするパルスを出力します。

PWMモードではデューティ用の設定レジスタはTAAAnキャプチャ/コンペア・レジスタ1 (TAAAnCCR1)とし、周期用の設定レジスタはTAAAnキャプチャ/コンペア・レジスタ0 (TAAAnCCR0)となります。この2つのレジスタを設定し、タイマを動作させることでデューティ可変型のPWMを出力します。

TAAAnCCR0レジスタおよびTAAAnCCR1レジスタはTAAAnCE = 1のとき、書き換えが可能です。

TAAAnCCR0およびTAAAnCCR1レジスタの設定値が16ビット・カウンタの比較値となる (CCR0およびCCR1バッファ・レジスタにリロードされる) には、16ビット・カウンタの値とTAAAnCCR0レジスタの値が一致する前にTAAAnCCR0レジスタを書き換え、次にTAAAnCCR1レジスタに値を書き込む必要があります。

その後TAAAnCCR0レジスタの値と16ビット・カウンタの値が一致すると、TAAAnCCR0およびTAAAnCCR1レジスタの値はリロードされます。

TAAAnCCR1レジスタの書き込みで次のリロード・タイミングを有効とするか無効とするかを制御します。したがって、TAAAnCCR0レジスタの値だけ書き換えたい場合でも、TAAAnCCR1レジスタに同値を書き込んでください。TAAAnCCR0レジスタの値のみを書き換えると、リロードは無効になります。

タイマAAを停止するにはTAAAnCE = 0にしてください。

PWM波形は、TOAAAn1端子から出力されます。16ビット・カウンタとTAAAnCCR0レジスタが一致すると、TOAAAn0端子はトグル出力します。

注意 PWMモード時はTAAAnCCR0, TAAAnCCR1レジスタはコンペア・レジスタとして機能が固定されるためキャプチャ・レジスタとしての機能は使用できません。

備考1. タイマ動作中 (TAAAnCE1) のTAAAnCCR0, TAAAnCCR1の書き換え時のリロード動作は、10.6.1(2) **リロード**を参照してください。

2. n = 0-4

(1) PWM モード動作フロー

図10 - 17 PWMモードの基本動作フロー・チャート (1/2)

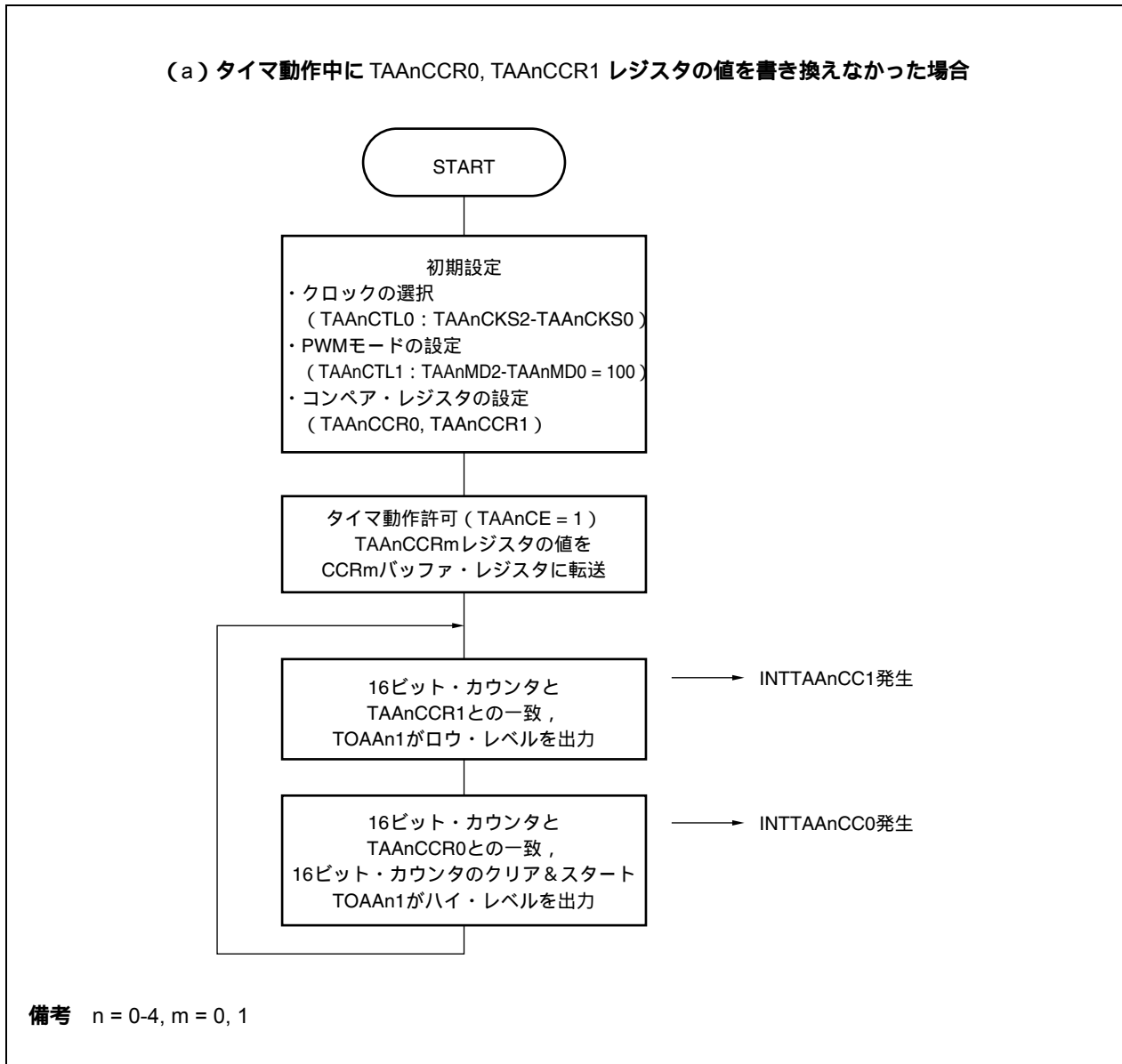
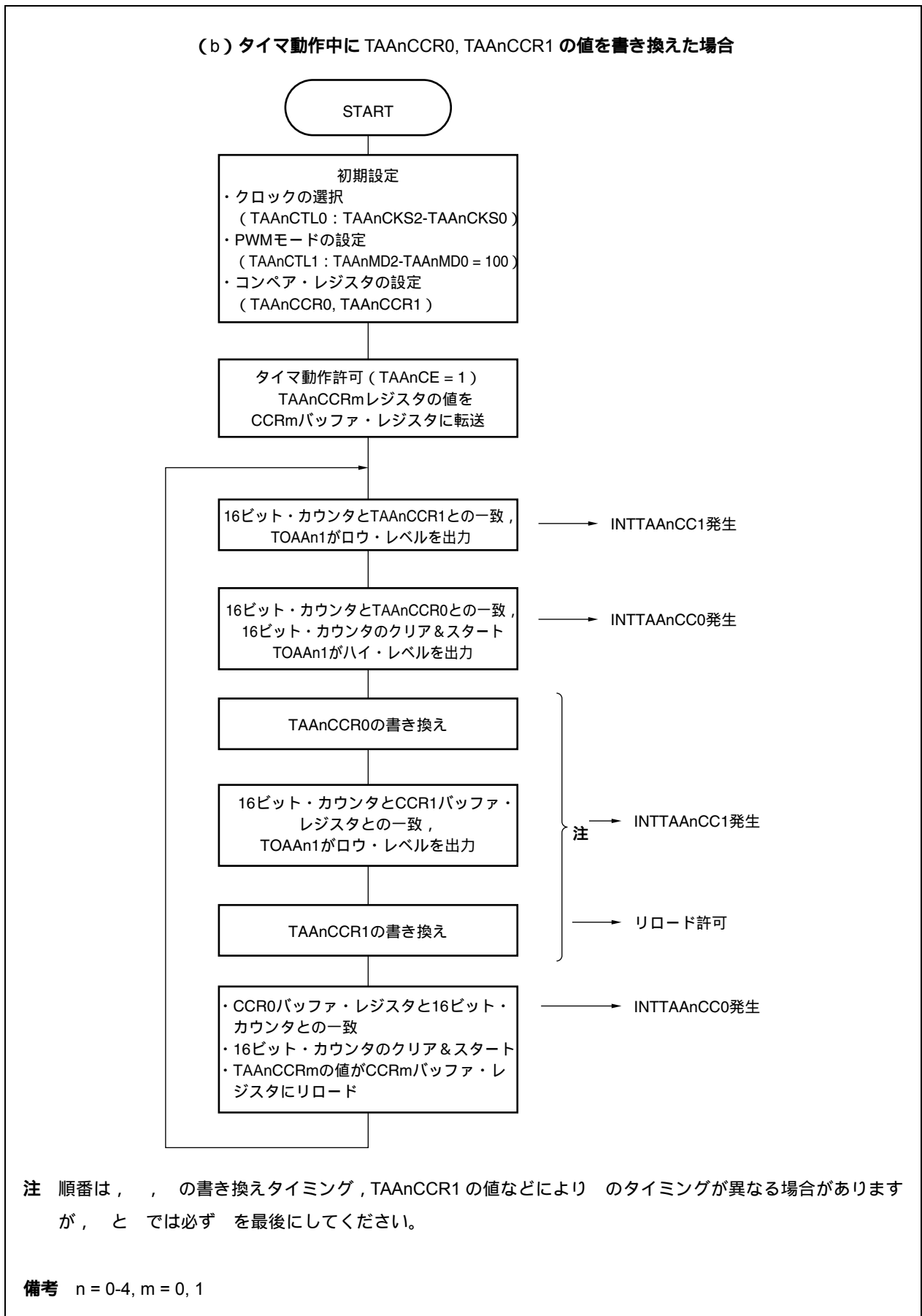


図10 - 17 PWMモードの基本動作フロー・チャート (2/2)



(2) PWM モード動作タイミング

(a) 動作中のパルス幅の変更

動作中に PWM 波形を変更するには、最後に TAAAnCCR1 レジスタにライトしてください。

TAAAnCCR1 レジスタにライト後、再度 TAAAnCCR0 レジスタの書き換えを行う場合には、INTTAAAnCC1 信号を検出後に書き換えてください。

図10 - 18 PWMモード時の基本動作タイミング (1/2)

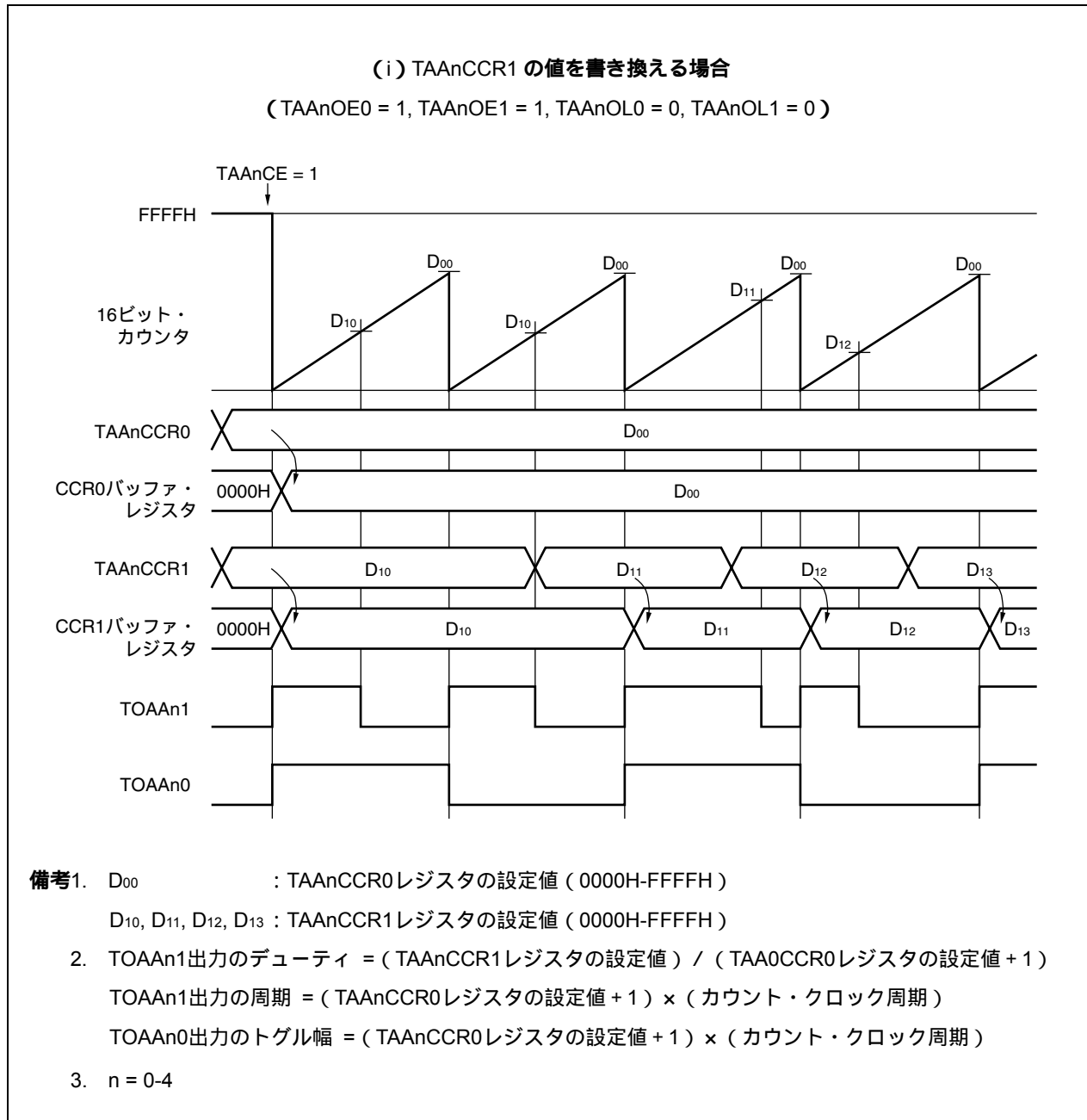
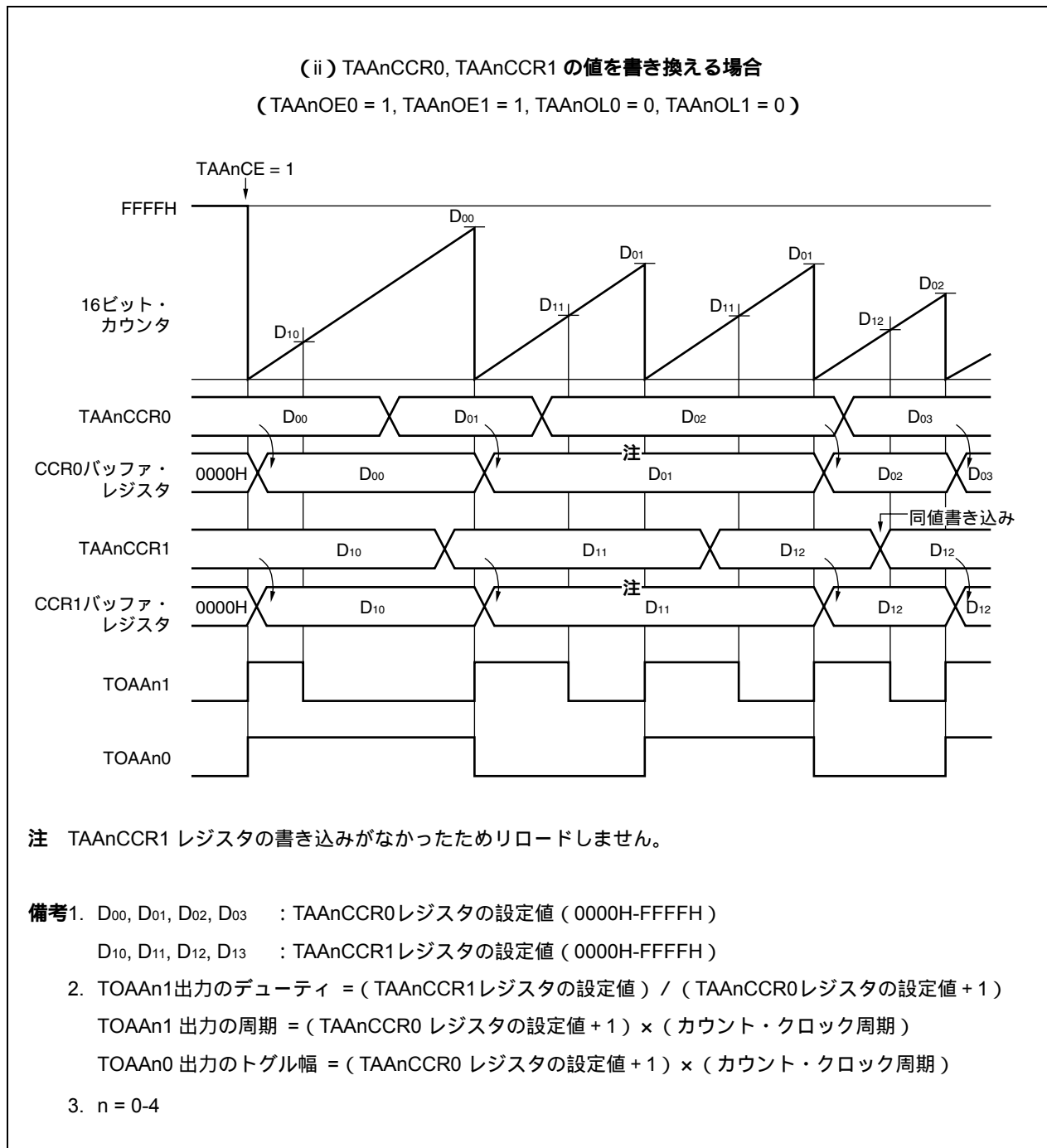


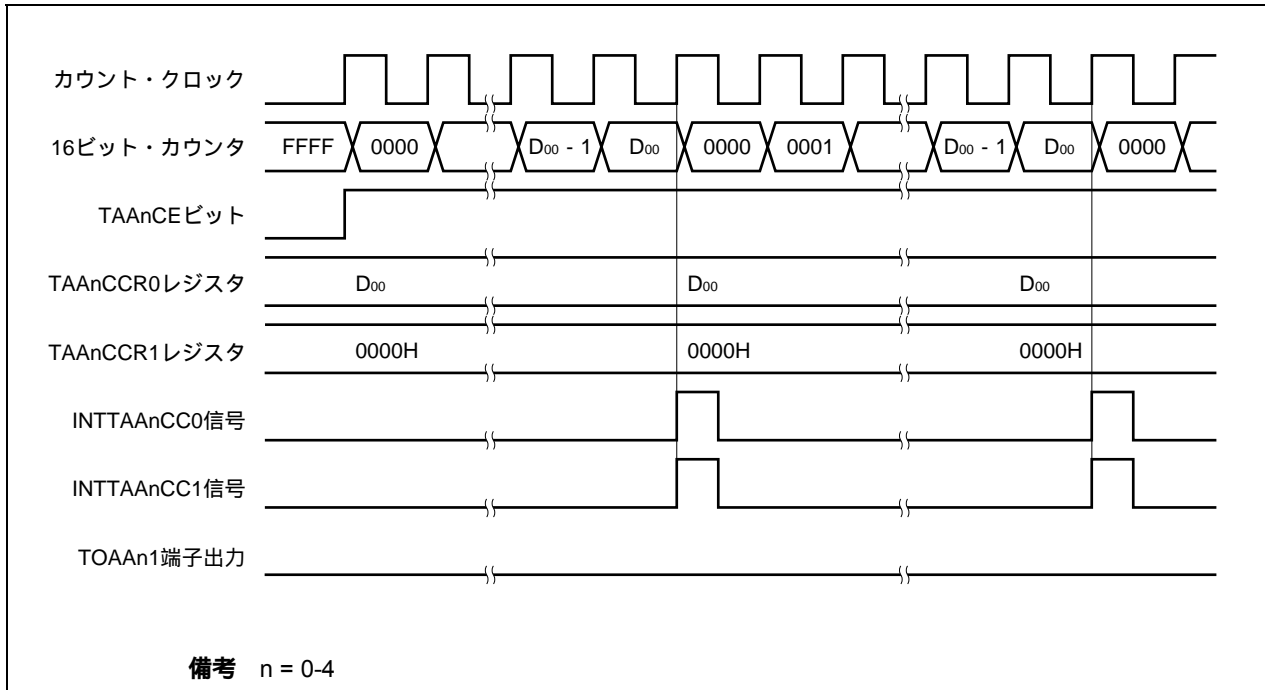
図10 - 18 PWMモード時の基本動作タイミング (2/2)



(b) PWM 波形の 0 % / 100 % 出力

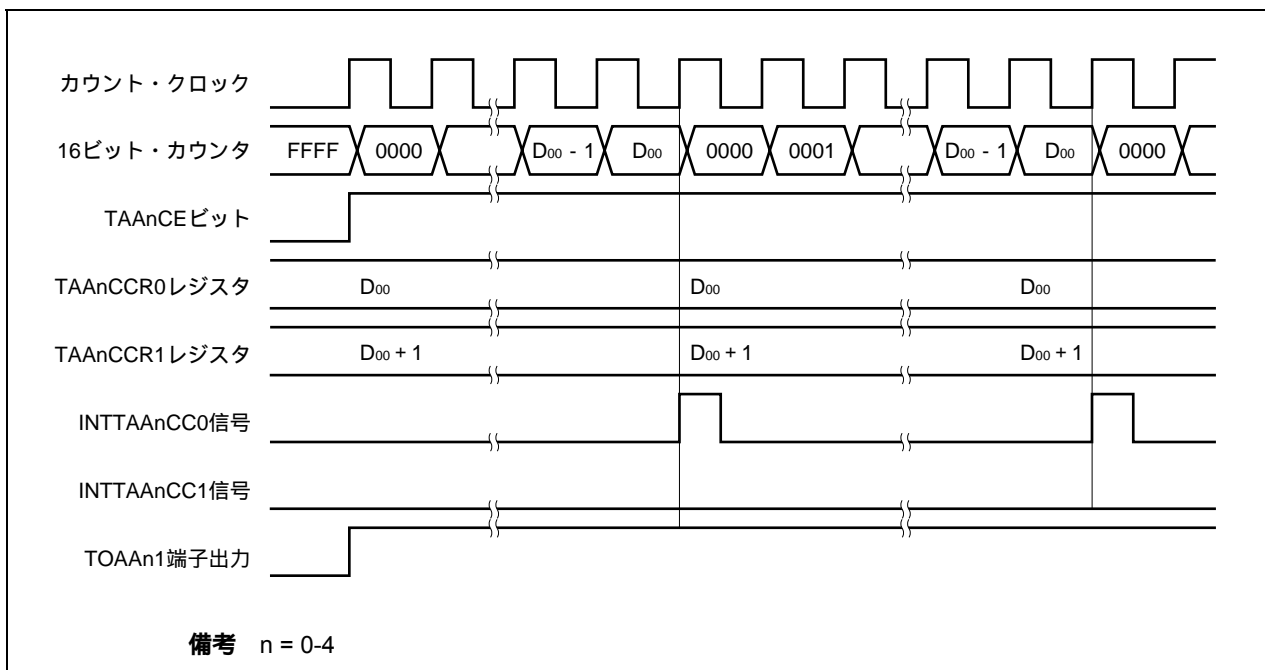
0 % 波形を出力するためには，TAAAnCCR1レジスタに対して0000Hを設定します。ただし，TAAAnCCR0レジスタの設定値がFFFFHの場合には，INTTAAAnCC1信号が定期的が発生します。

図10 - 19 PWM波形の0 % 出力



100 % 波形を出力するためには，TAAAnCCR1レジスタに対して (TAAAnCCR0レジスタの設定値 + 1) の値を設定してください。TAAAnCCR0レジスタの設定値がFFFFHの場合には，100 %出力はできません。

図10 - 20 PWM波形の100 % 出力



10.6.7 フリー・ランニング・モード (TAAAnMD2-TAAAnMD0 = 101)

フリー・ランニング・モードは、16ビット・カウンタをフリー・ランニングさせTAAAnCCS1, TAAAnCCS0ビットの設定によりコンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

フリー・ランニング・モード時のみ、TAAAnOPT0レジスタのTAAAnCCS1, TAAAnCCS0ビットの設定が有効となります。

注意 フリー・ランニング・モード時はコンペア・レジスタ一致によるカウンタ・クリア動作は行いません。

TAAAnCCS1	動作
0	TAAAnCCR1レジスタをコンペアとして使用
1	TAAAnCCR1レジスタをキャプチャとして使用

TAAAnCCS0	動作
0	TAAAnCCR0レジスタをコンペアとして使用
1	TAAAnCCR0レジスタをキャプチャとして使用

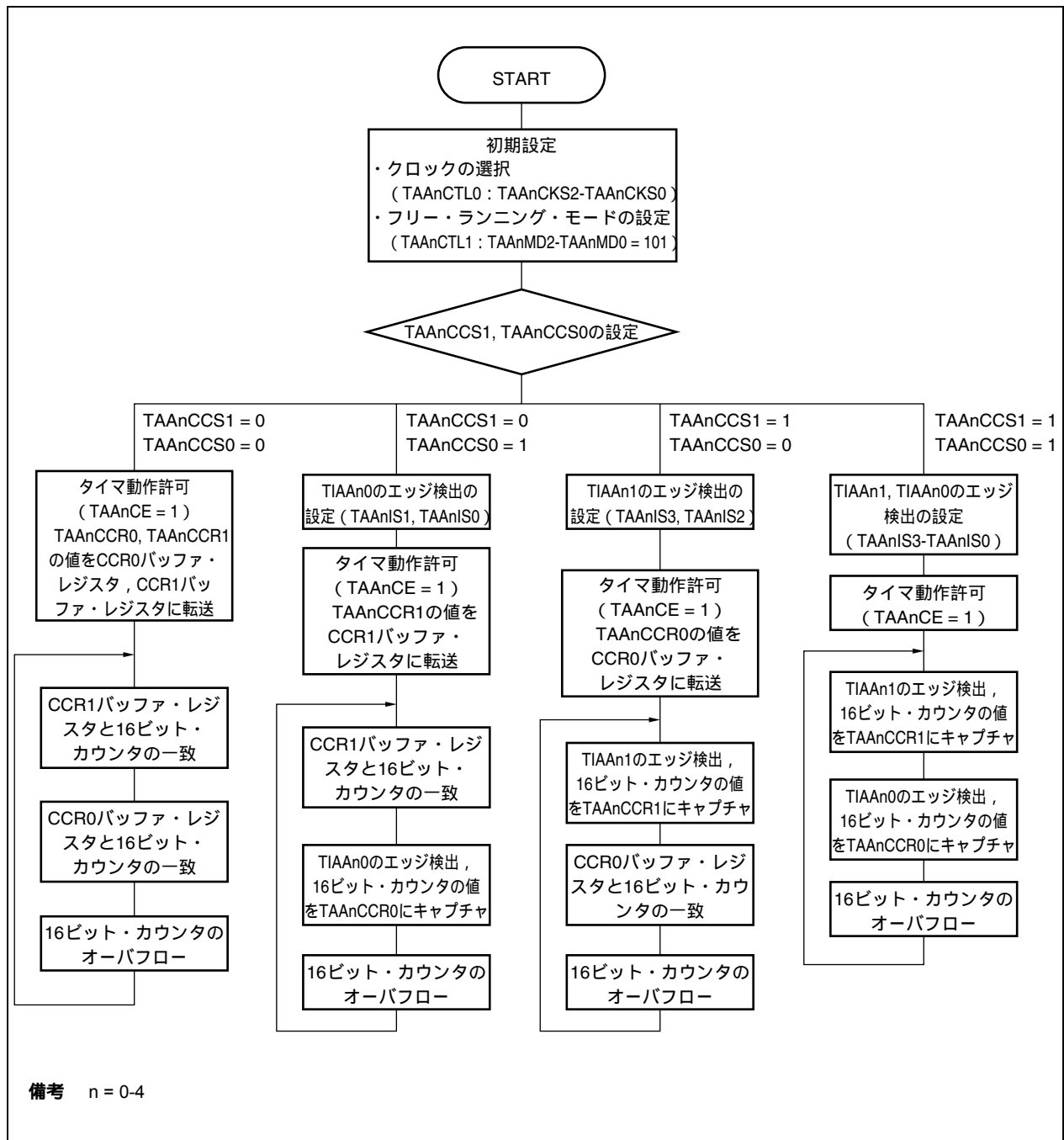
- ・ TAAAnCCR1 レジスタをコンペア・レジスタとして使用した場合
フリー・ランニング・モードで 16 ビット・カウンタと CCR1 バッファ・レジスタの一致で割り込みが発生します。
TAAAnCCR1 レジスタは TAAAnCE = 1 のときに書き換えを許可しており、TAAAnCCR1 レジスタに値を設定すると随時書き込みにより CCR1 バッファ・レジスタに転送され、16 ビット・カウンタ値との比較対象値となります。
タイマ出力 (TOAAAn1) を許可した場合、TOAAAn1 出力は 16 ビット・カウンタと CCR1 バッファ・レジスタの一致でトグル出力します。
- ・ TAAAnCCR1 レジスタをキャプチャ・レジスタとして使用した場合
TIAAn1 端子のエッジ検出により 16 ビット・カウンタの値を TAAAnCCR1 レジスタに格納します。
- ・ TAAAnCCR0 レジスタをコンペア・レジスタとして使用した場合
フリー・ランニング・モードで 16 ビット・カウンタと CCR0 バッファ・レジスタの一致で割り込みが発生します。
TAAAnCCR0 レジスタは TAAAnCE = 1 のときに書き換えを許可しており、TAAAnCCR0 レジスタに値を設定すると随時書き込みにより CCR0 バッファ・レジスタに転送され、16 ビット・カウンタ値との比較対象値となります。
タイマ出力 (TOAAAn0) を許可した場合、TOAAAn0 出力は 16 ビット・カウンタと CCR0 バッファ・レジスタの一致でトグル出力します。
- ・ TAAAnCCR0 レジスタをキャプチャ・レジスタとして使用した場合
TIAAn0 端子のエッジ検出により 16 ビット・カウンタの値を TAAAnCCR0 レジスタに格納します。

注意 TAAAnCTL1レジスタのTAAAnEEEビット = 1にし、カウント・クロックを外部イベント・カウント入力としたとき、TAAAnCCR0レジスタはキャプチャ・レジスタとして使用できません。

備考1. TAAAnCCR0, TAAAnCCR1レジスタをコンペア・レジスタとして使用した場合、タイマ動作中 (TAAAnCE = 1) の書き換え動作は、10.6.1(1) 随時書き込みを参照してください。

2. n = 0-4

図10 - 21 フリー・ランニング・モードの基本動作フロー・チャート

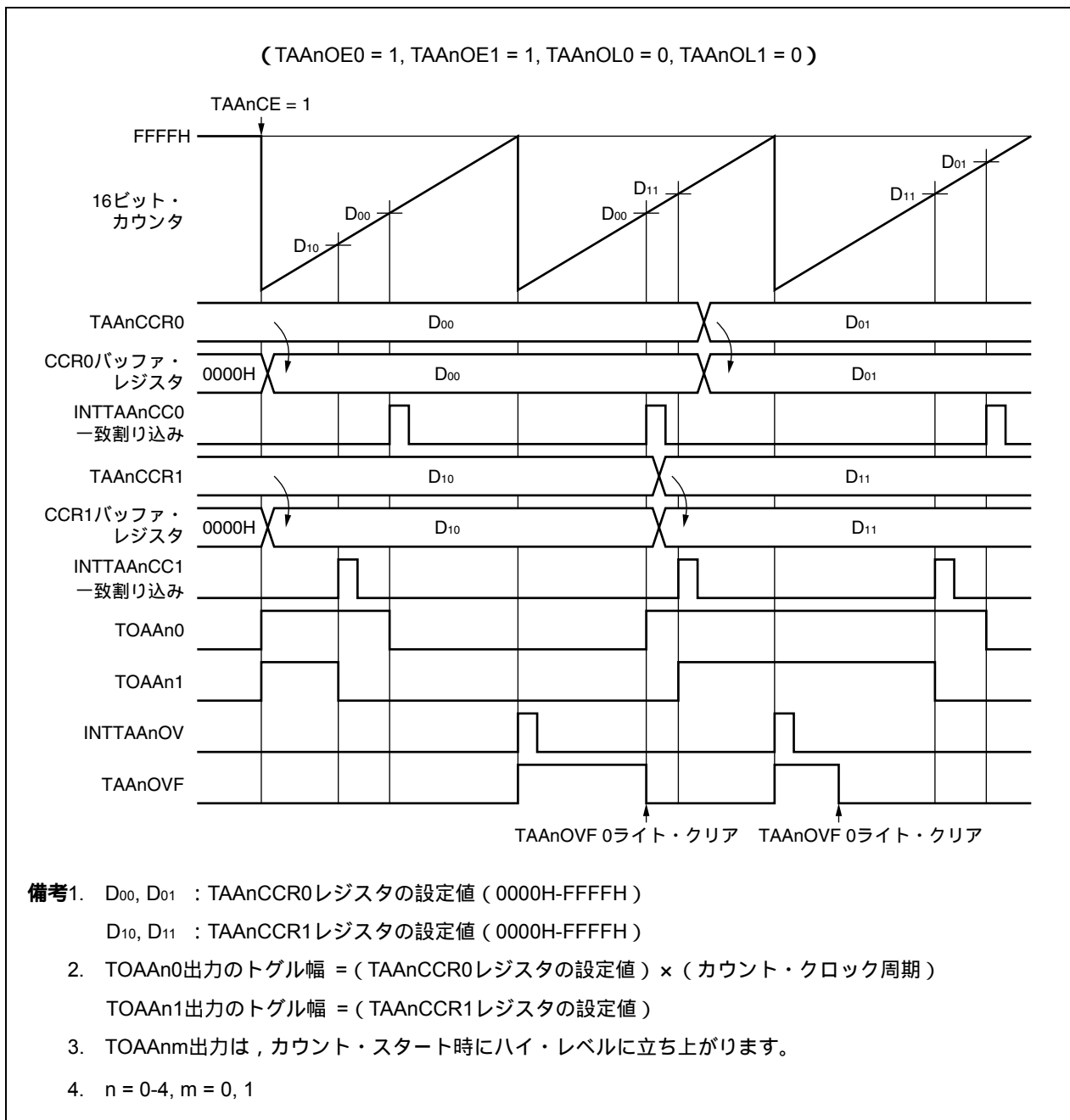


(1) TAAAnCCS1 = 0, TAAAnCCS0 = 0 に設定した場合 (コンペア機能の説明)

TAAAnCE = 1 にすると、16 ビット・カウンタは 0000H から FFFFH までカウントし TAAAnCE = 0 にするまでフリー・ランニングでカウント・アップを続けます。このモードで TAAAnCCR0, TAAAnCCR1 レジスタに値を書き込むと CCR0 バッファ・レジスタ, CCR1 バッファ・レジスタに転送されます (随時書き込み)。このモードにおいて、ワンショット・パルス・トリガが入力されてもワンショット・パルスは発生しません。また TAAAnOEm = 1 にすると 16 ビット・カウンタの値と CCRm バッファ・レジスタの設定値の一致で TOAAAnm がトグル出力します。

備考 n = 0-4, m = 0, 1

図10 - 22 フリー・ランニング・モード時の基本動作タイミング (TAAAnCCS1 = 0, TAAAnCCS0 = 0)

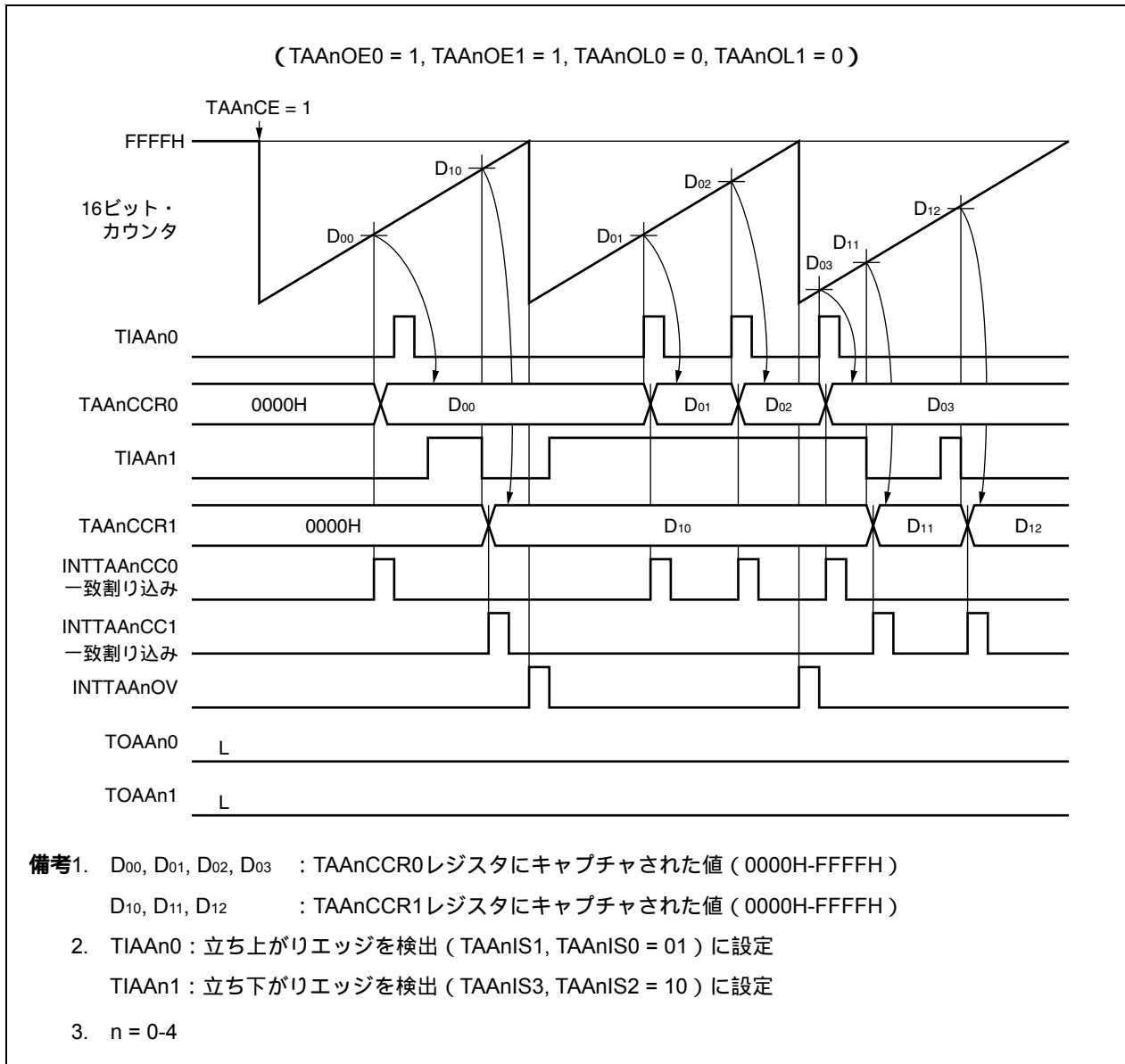


(2) TAA_nCCS1 = 1, TAA_nCCS0 = 1 に設定した場合 (キャプチャ機能の説明)

TAA_nCE = 1 にすると, 16 ビット・カウンタは 0000H から FFFFH までカウントし TAA_nCE = 0 にするまでフリー・ランニングでカウント・アップを継続します。その間キャプチャ・トリガによりキャプチャしキャプチャした値を TAA_nCCR0, TAA_nCCR1 レジスタに書き込みます。

オーバフロー(FFFFH)近辺のキャプチャについてはオーバフロー・フラグ(TAA_nOVF)で判断します。ただしオーバフローが2回発生する(フリー・ランニングが2周期以上)ようなキャプチャ・トリガの間隔だと TAA_nOVF フラグでは判断できません。このような場合は, 設定を見直す必要があります。

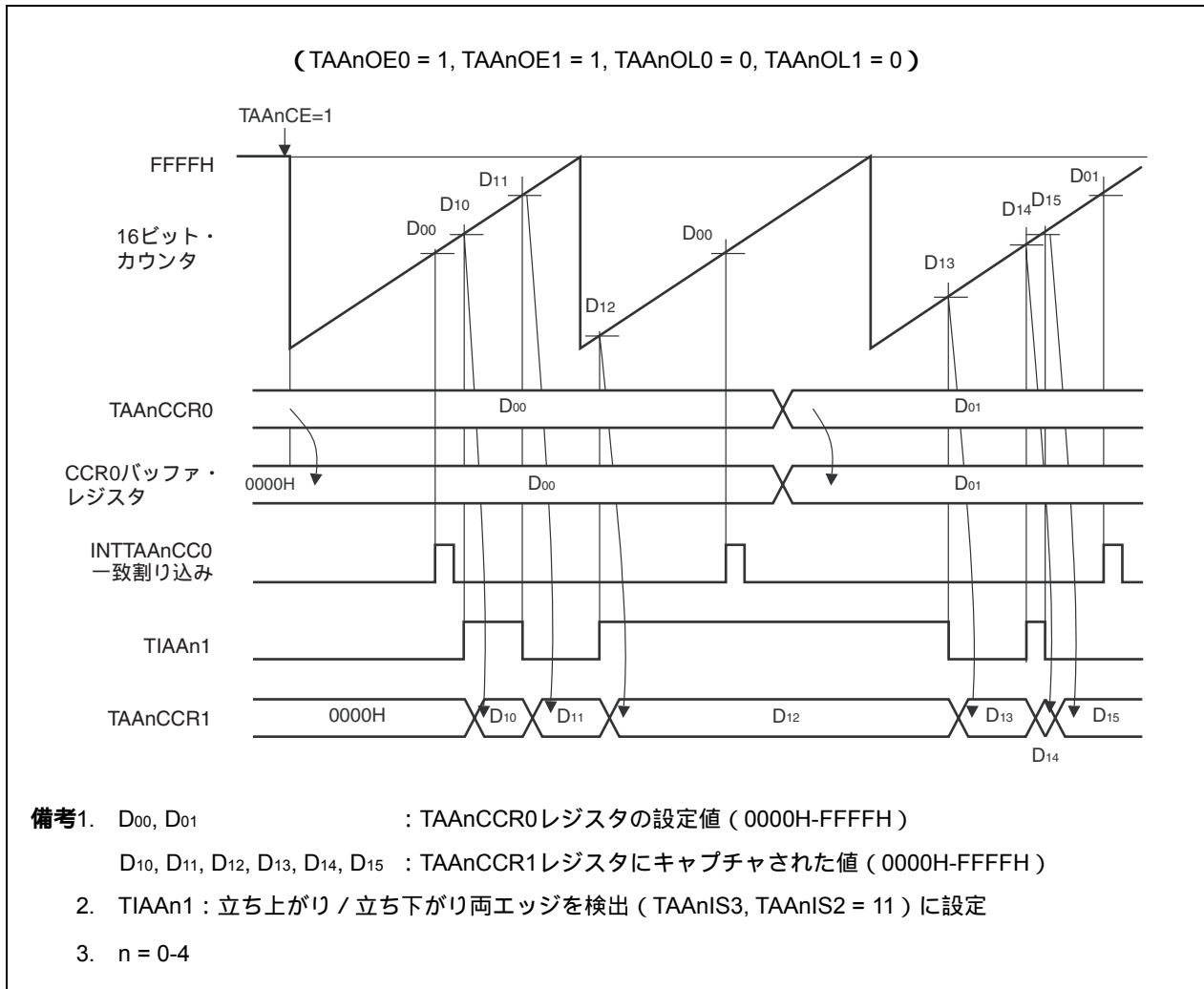
図10 - 23 フリー・ランニング・モード時の基本動作タイミング (TAA_nCCS1 = 1, TAA_nCCS0 = 1)



(3) TAAAnCCS1 = 1, TAAAnCCS0 = 0 に設定した場合

TAAAnCE = 1 にすると、16ビット・カウンタは0000HからFFFFHまでカウントしTAAAnCE = 0にするまでフリー・ランニングでカウント・アップを続けます。TAAAnCCR1レジスタをコンペア・レジスタとして使用します。インターバル機能として16ビット・カウンタの値と、CCR0バッファ・レジスタに転送されたTAAAnCCR1レジスタの設定値との一致で割り込み信号を出力します。出力機能を使用するためにTAAAnOE1 = 1に設定しても、TAAAnCR1レジスタをキャプチャ・レジスタとして使用するため、TOAAAn1は出力できません。

図10-24 フリー・ランニング・モード時の基本動作タイミング (TAAAnCCS1 = 1, TAAAnCCS0 = 0)

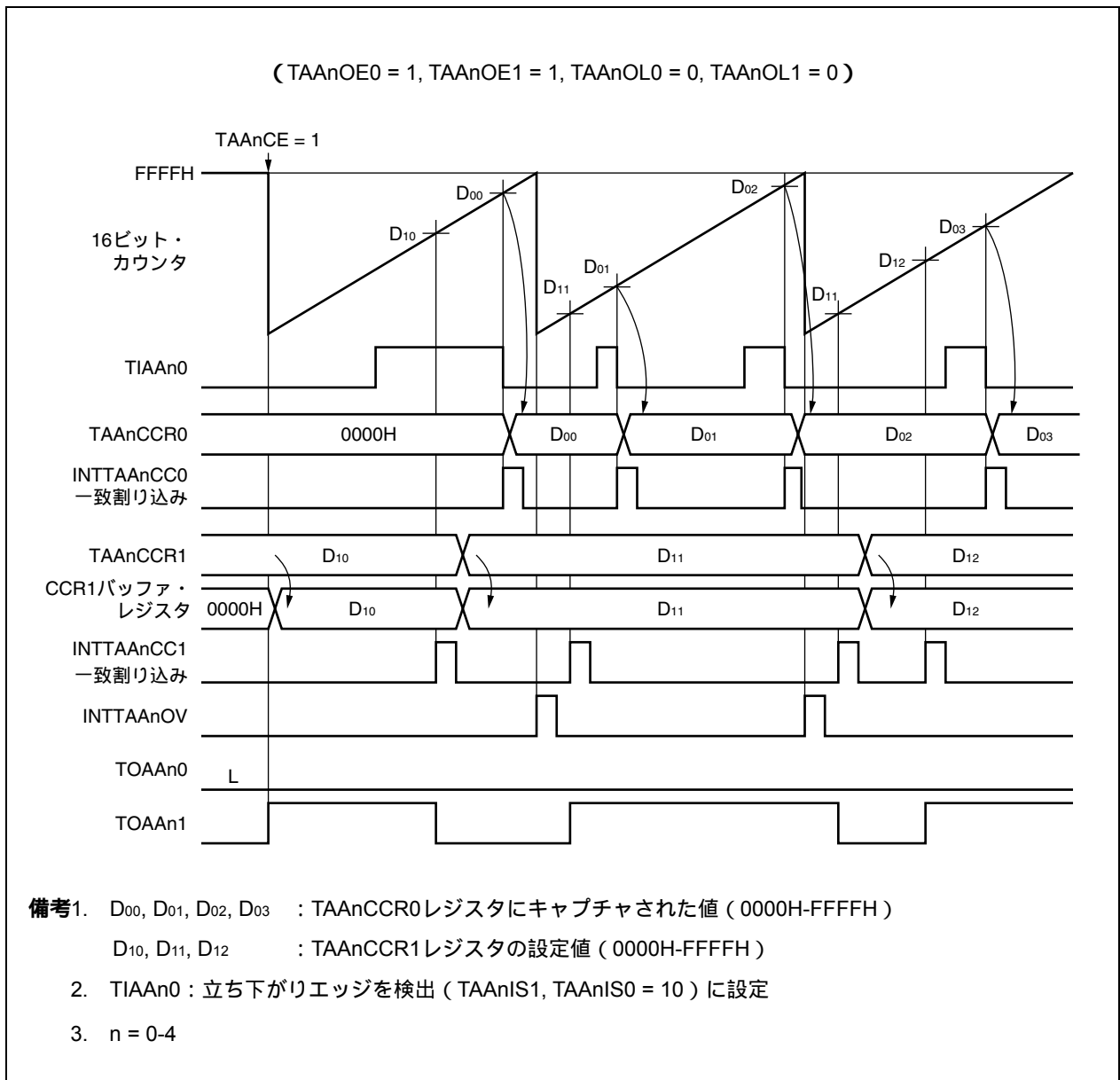


(4) TAA_nCCS1 = 0, TAA_nCCS0 = 1 に設定した場合

TAA_nCE = 1 にすると、16 ビット・カウンタは 0000H から FFFFH までカウントし TAA_nCE = 0 にするまでフリー・ランニングでカウント・アップを継続します。TAA_nCCR1 レジスタをコンペア・レジスタとして使用します。インターバル機能として 16 ビット・カウンタの値と TAA_nCCR1 レジスタの設定値との一致で割り込み信号を出力します。TAA_nOE1 = 1 に設定すると 16 ビット・カウンタの値と TAA_nCCR1 レジスタの設定値の一致で TOAA_n1 はトグル出力します。

出力機能を使用するために TAA_nOE0 = 1 に設定しても、TAA_nCCR0 レジスタをキャプチャ・レジスタとして使用するため、TOAA_n0 は出力できません。

図10 - 25 フリー・ランニング・モード時の基本動作タイミング (TAA_nCCS1 = 0, TAA_nCCS0 = 1)



(5) オーバフロー・フラグについて

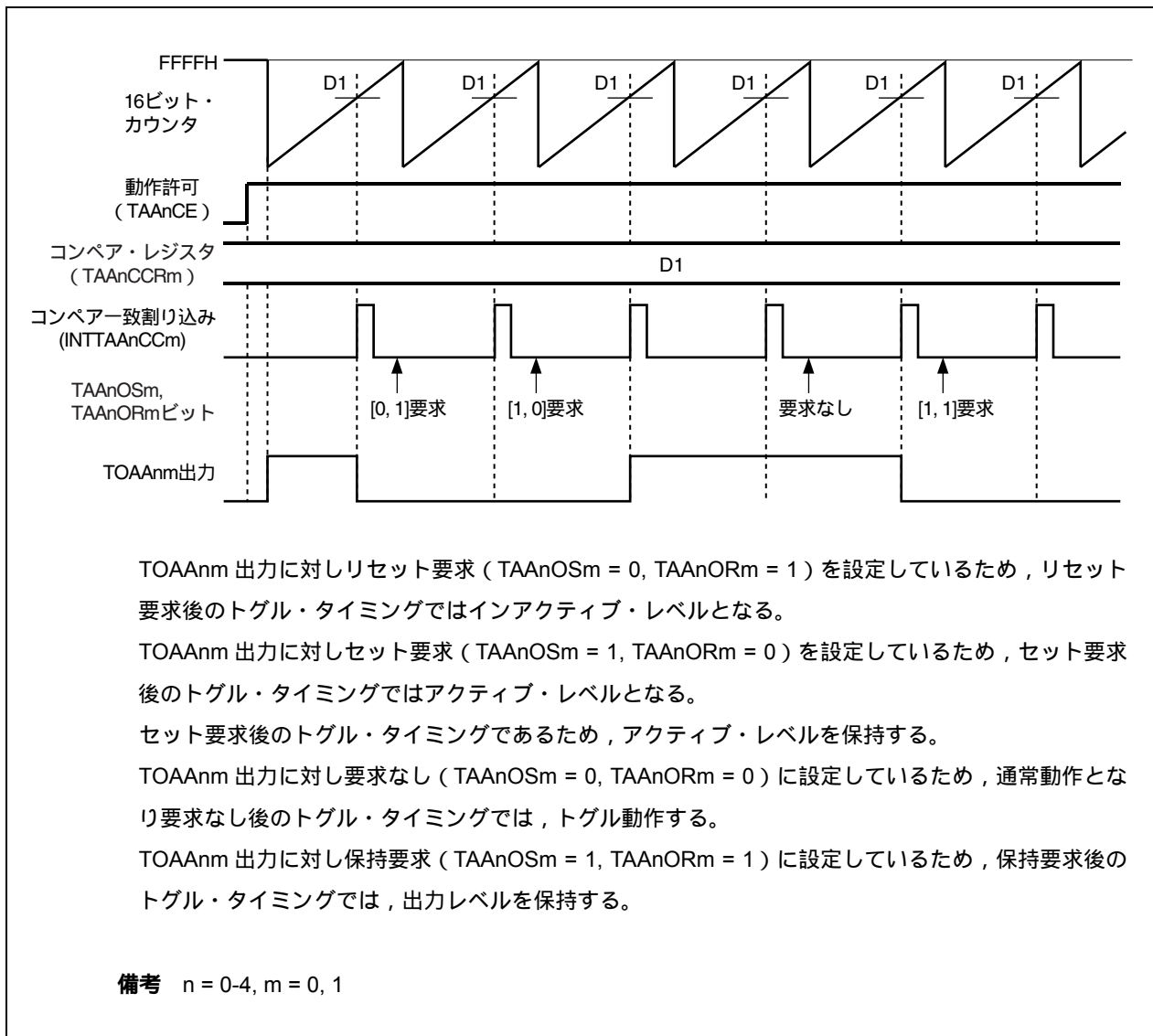
フリー・ランニング・モードにおいてカウンタが FFFFH から 0000H にオーバーフローするとオーバーフロー・フラグ (TAAAnOVF) が “1” にセットされ、オーバーフロー割り込み (INTTAAAnOV) が発生します。

オーバーフロー割り込み (INTTAAAnOV) 発生後は必ずオーバーフロー・フラグ (TAAAnOVF) に “1” がセットされているのを確認してください。

オーバーフロー・フラグについては、“0” を書き込むことによりクリアされます。

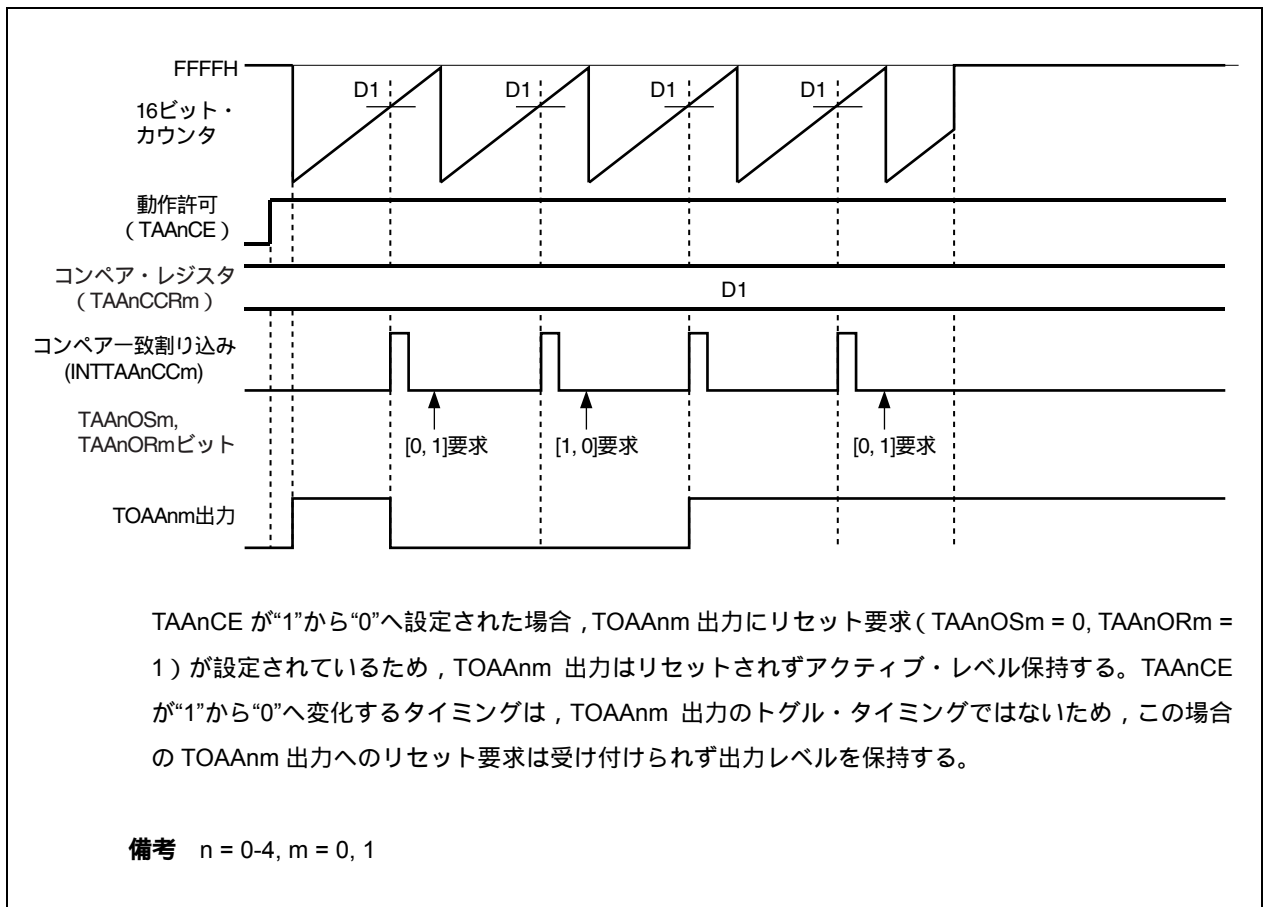
(6) 特殊 TOAAAnm 出力動作 (強制インアクティブ (リセット) / 強制アクティブ (セット) / 保持)

TAAAnIOC4.TAAAnOS, TAAAnIOC4.TAAAnOR ビットの設定により、TOAAAnm 出力レベルを次回トグル発生タイミングで固定することができます。アクティブ・レベルは、TAAAnIOC0.TAAAnOLm ビットで設定したレベルとなります。



(7) 特殊 TOAAn0, TOAAn1 出力動作 (動作停止)

フリー・ランニング・モードで TAAAnCCRm がコンペア機能として動作しているとき, TAAAnCTL.TAAAnCE ビットが“1”から“0”へ設定されると, TAAAnIOC4.TAAAnOS, TAAAnIOC4.TAAAnOR ビットの設定値どちらかが“1”, または両方“1”の場合, TOAAnm 出力はリセットされず出力レベルを保持します。



10.6.8 パルス幅測定モード (TAAAnMD2-TAAAnMD0 = 110)

パルス幅測定モードではフリー・ランニング・カウントを行い、TIAAn0端子の立ち上がり/立ち下がり両エッジ検出により16ビット・カウンタの値をキャプチャ・レジスタ0 (TAAAnCCR0) に格納し、16ビット・カウンタを0000Hにクリアします。これにより外部入力パルス幅を測定できます。

ただし、16ビット・カウンタのオーバフローを越えるような長いパルス幅を測定する場合は、オーバフロー・フラグで判断してください。オーバフローが2回以上生じるパルスの測定はオーバフロー割り込みを使用するなどして回数をカウントしてください。またTIAAn1端子のエッジ検出でもキャプチャ・レジスタ1 (TAAAnCCR1) に16ビット・カウンタの値を格納し16ビット・カウンタをクリアします。

選択したキャプチャ入力ソースと指定したエッジ検出に応じて、次の3つの測定方法を利用できます。

1. パルス周期測定
2. パルス幅とパルス間隔の交互測定
3. パルス幅とパルス間隔の同時測定

パルス幅とパルス間隔を同時に測定するため、両方のキャプチャ入力が必要となります。

測定方法については、以降の項目で説明します。

注意 パルス幅測定モード時のカウント・クロックは内部クロック(TAAAnCTL1 レジスタの TAAAnEEE = 0) を選択してください。

(1) パルス周期測定

TIAAn0 と TIAAn1 入力の一方向のエッジ検出が“立ち上がりエッジ”または“立ち下がりエッジ”のいずれかに設定されているとき、パルス幅測定モードで信号のパルス周期を測定することができます。もう一方の入力のエッジ検出は“エッジ検出なし”に設定してください。

指定エッジの検出により、結果の値が対応するキャプチャ・レジスタ (TAAAnCCR0 または TAAAnCCR1) にキャプチャされ、タイマはクリアされカウントを再開します。

図10 - 26 パルス周期測定のプロロー・チャート

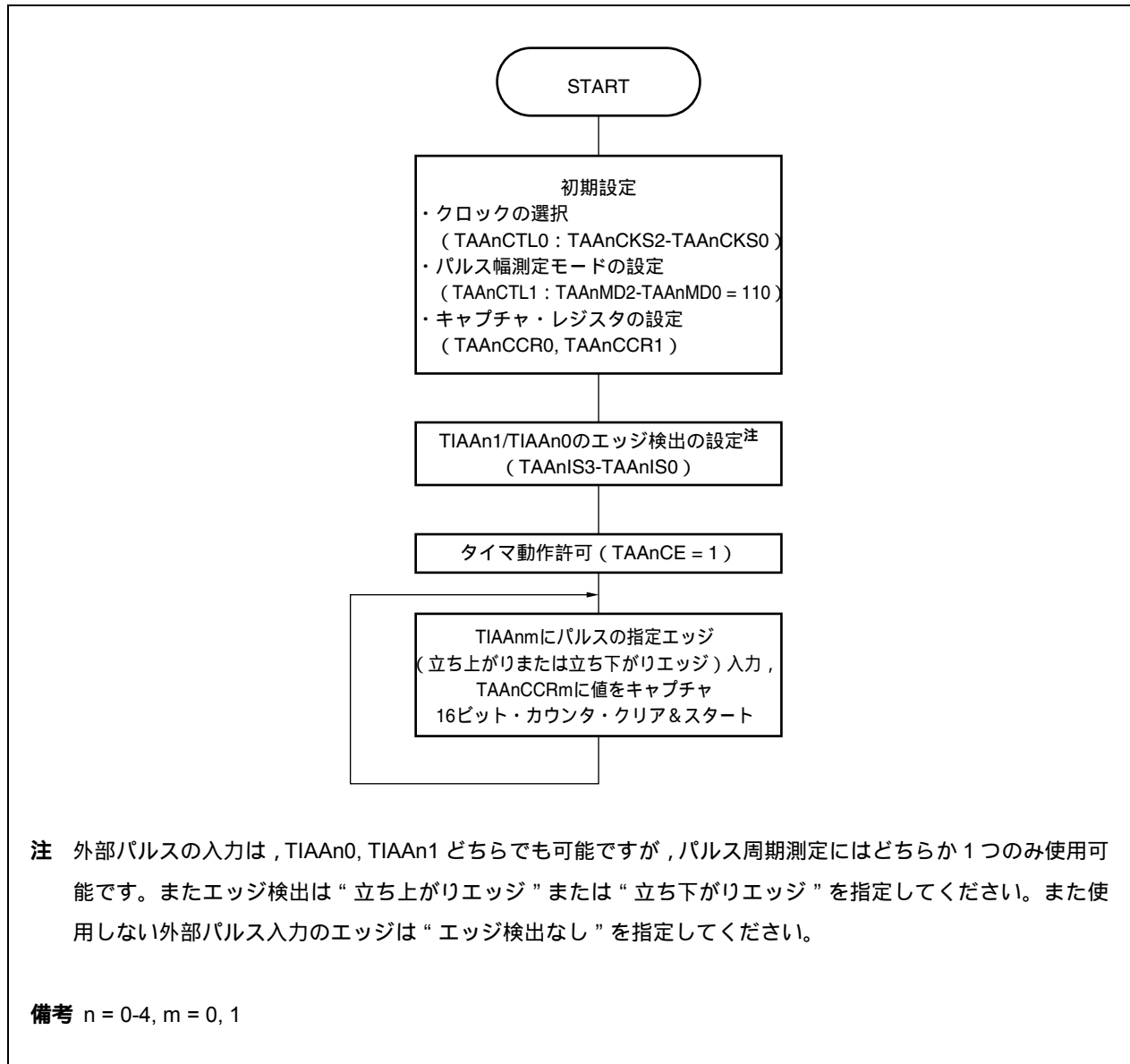
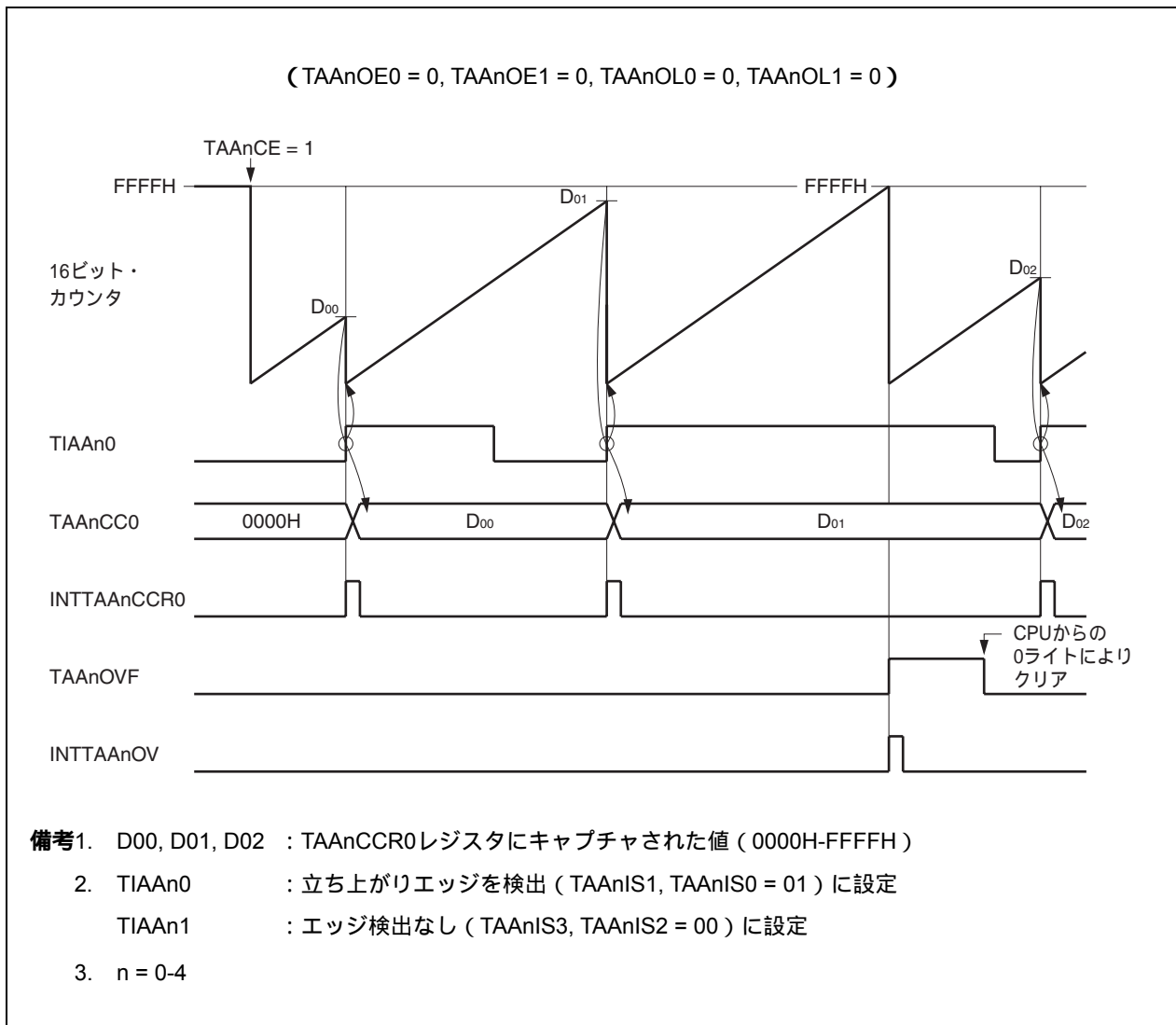


図10 - 27 パルス周期測定の基本動作タイミング



(2) パルス幅とパルス間隔の交互測定

TIAAn0 と TIAAn1 入力の一方向のエッジ検出が“立ち上がり/立ち下がり両エッジ”に設定されているとき、パルス幅測定モードで、1つのキャプチャ・レジスタでパルス幅とパルス間隔を交互に測定することができます。もう一方の入力の検出は“エッジ検出なし”に設定してください。

立ち上がりまたは立ち下がりエッジの検出により、結果の値が対応するキャプチャ・レジスタ (TAAAnCCR0 または TAAAnCCR1) にキャプチャされ、タイマはクリアされカウントを再開します。

図10 - 28 パルス幅とパルス間隔の交互測定のプロロー・チャート

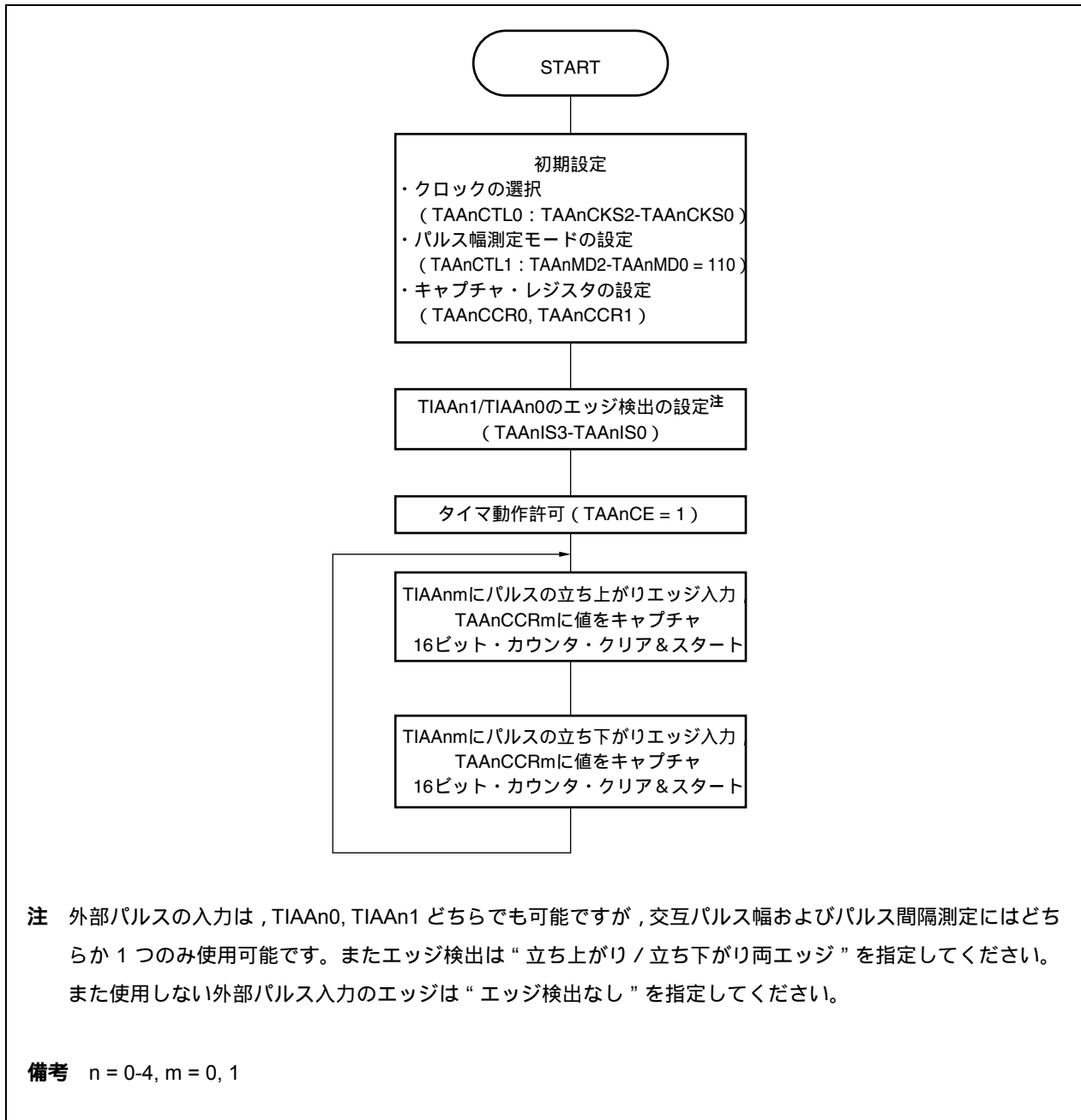
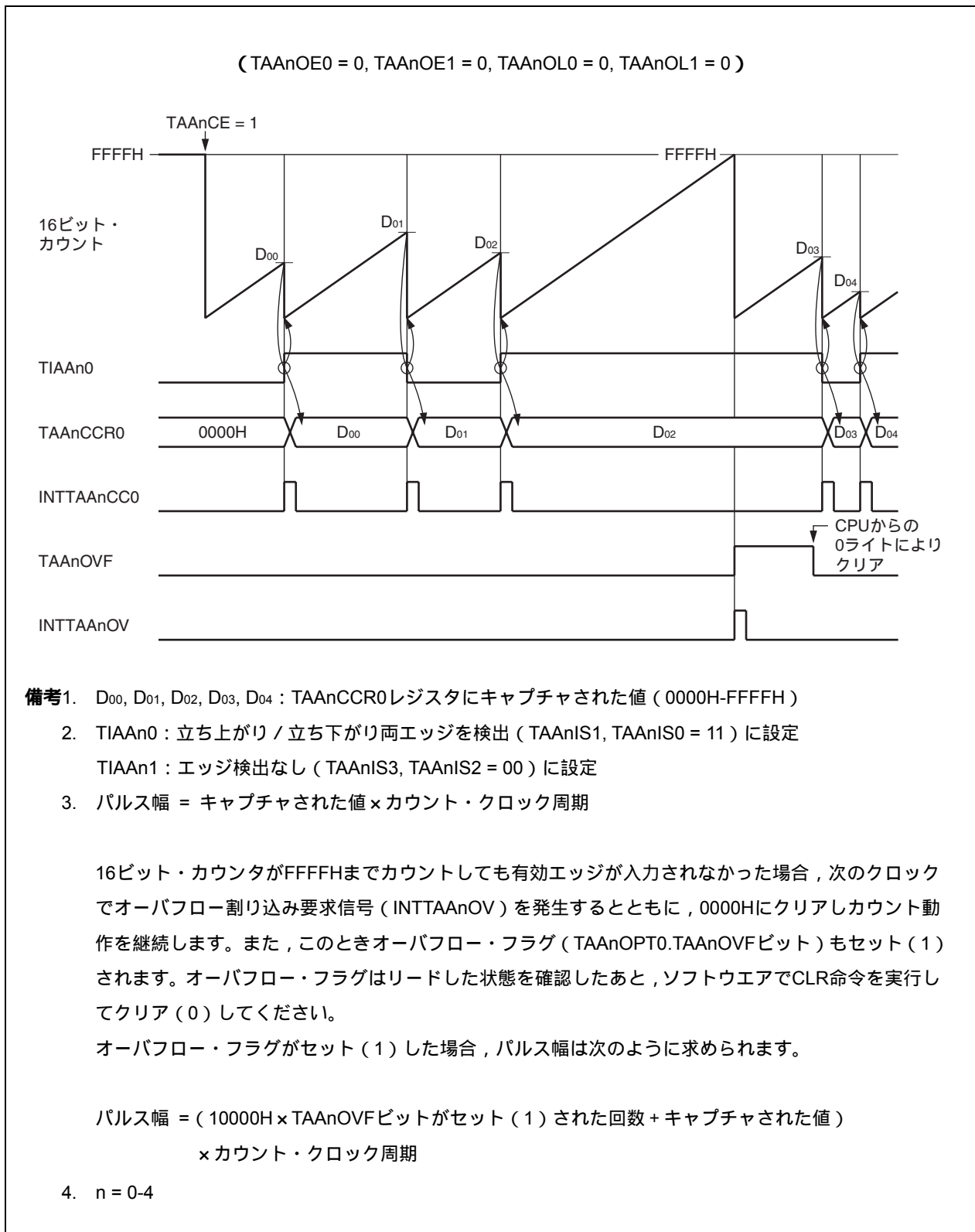


図10 - 29 パルス幅とパルス間隔の交互測定の基本動作タイミング



(3) パルス幅とパルス間隔の同時測定

TIAAn0 と TIAAn1 入力の両方に信号が入力され、かつ両方のエッジ検出がお互いに反対のエッジを検出するとき、パルス幅測定モードでパルス幅とパルス間隔を同時に測定することができます。

指定エッジの検出により、パルス幅またはパルス間隔の結果の値が対応するキャプチャ・レジスタ (TAAAnCCR0 または TAAAnCCR1) にキャプチャされ、タイマはクリアされカウントを再開します。

図10 - 30 パルス幅とパルス間隔の同時測定の基本動作フロー・チャート

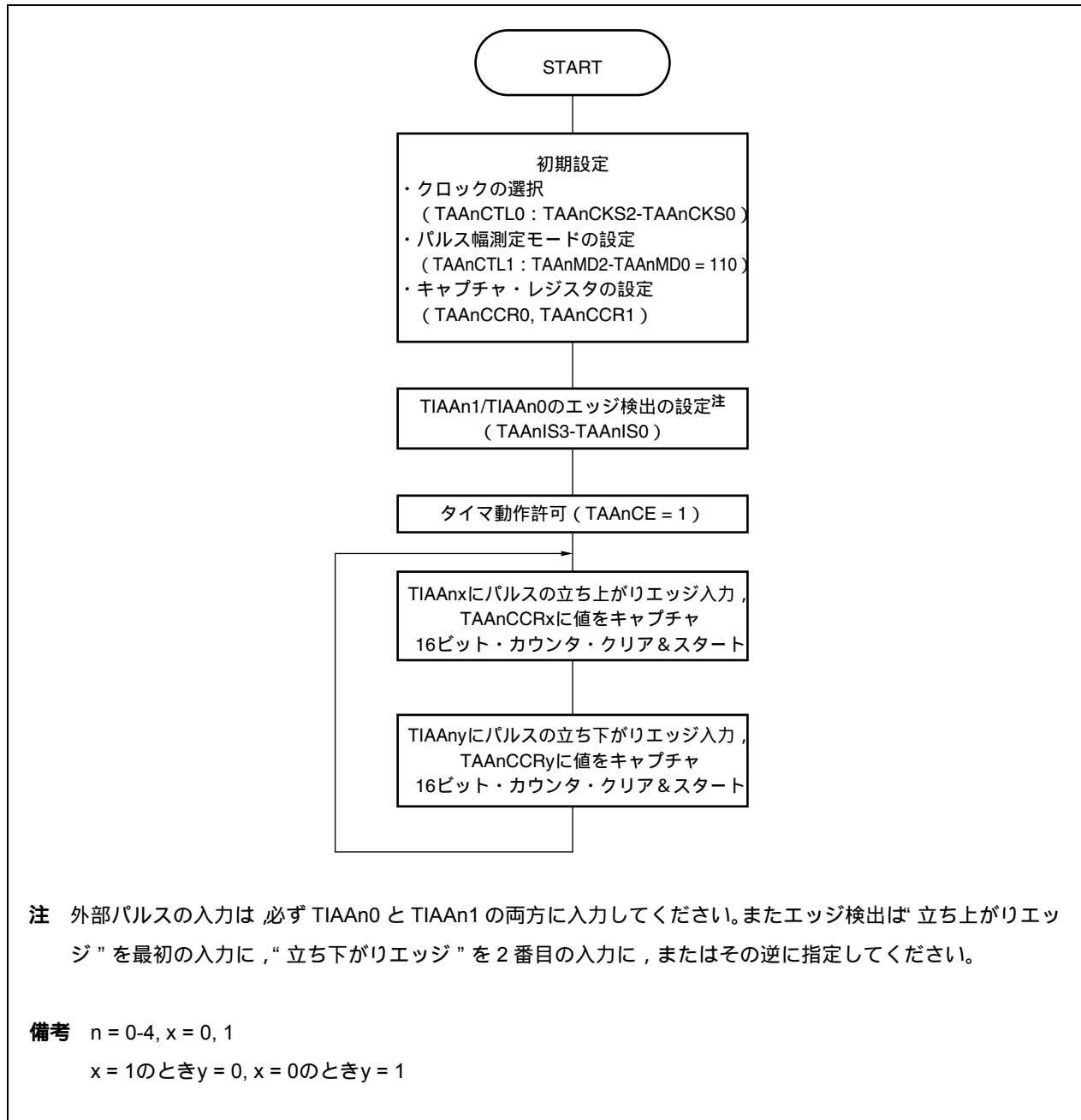
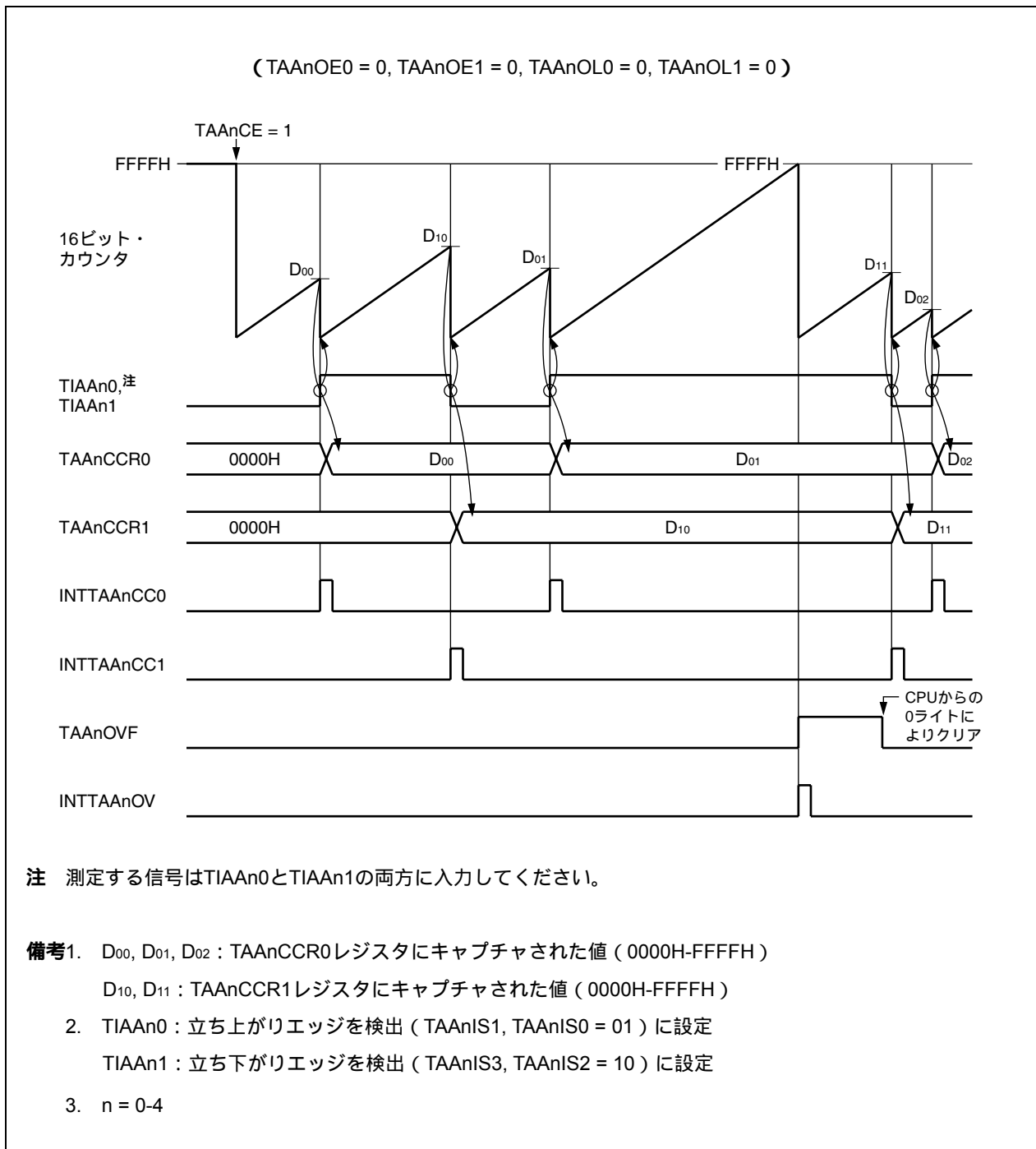


図10 - 31 パルス幅とパルス間隔の同時測定の基本動作タイミング



10.6.9 カスケード機能

2つのタイマAA (TAA0とTAA1またはTAA2とTAA3の組み合わせ) 接続により, 32ビット・キャプチャ・タイマとして動作し, カスケード機能を使用できます。

カスケード機能は, 必ずフリー・ランニング・モードに設定し, かつすべてのキャプチャ・コンペア・レジスタをキャプチャ機能 (TAA_nCCSmビット = 1) に設定する必要があります。

下位TAAの制御ビットおよび端子名称をTAA_{xxx}_L, 上位TAAの制御ビットおよび端子名称をTAA_{xxx}_Hと表現します。

また, カスケード動作時のマスタを下位, スレーブを上位と表現します。

カスケード機能では, 低い数のタイマ (TAA0またはTAA2) が動作を制御します (マスタ・タイマとなります)。

(1) カスケード機能の動作概要

下位 TAA_nCE ビットを 1 に設定し, クロックが供給されるとカウント動作を開始します。

下位カウンタの FFFFH 検出により, 上位カウンタがカウント・アップします。

図10 - 32 32ビット・キャプチャ・モードでのTAA_nとTAA_mのブロック図

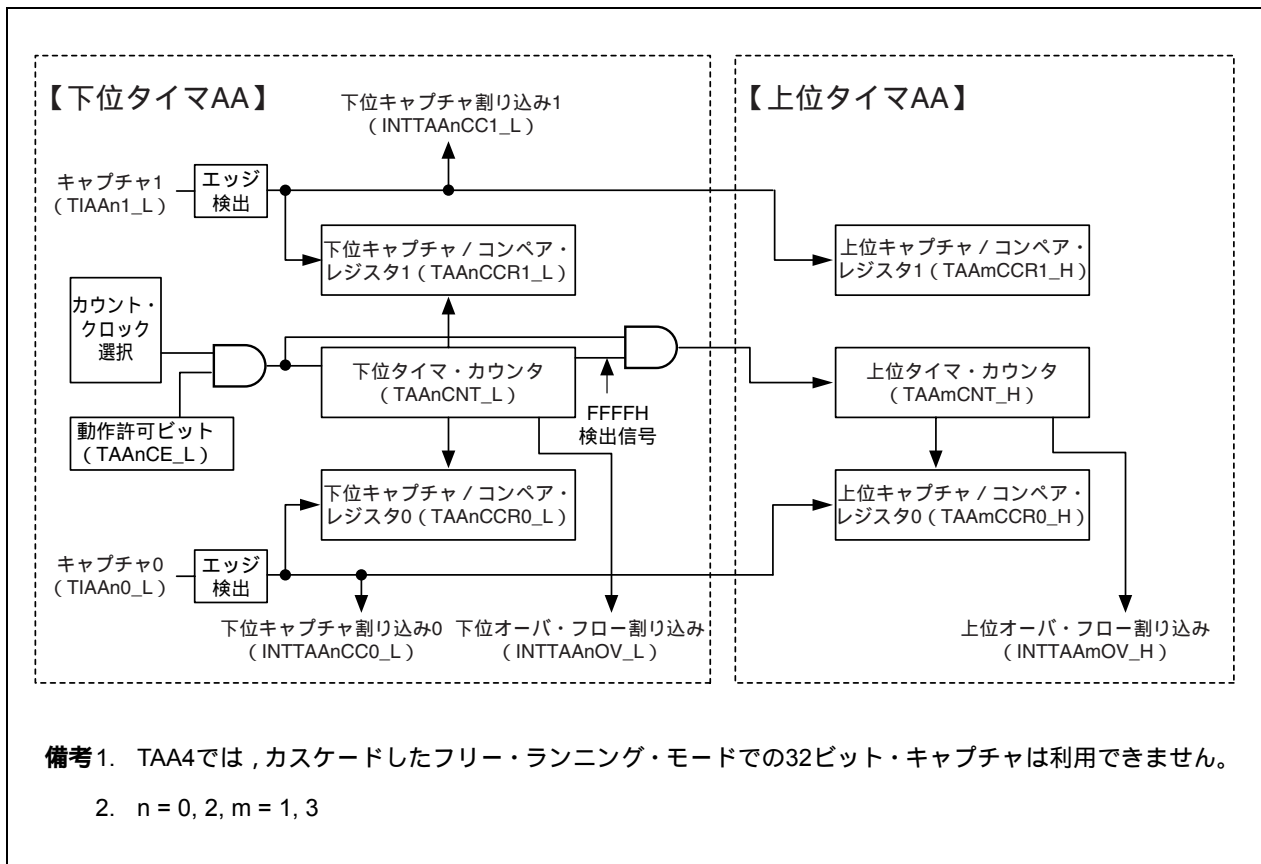
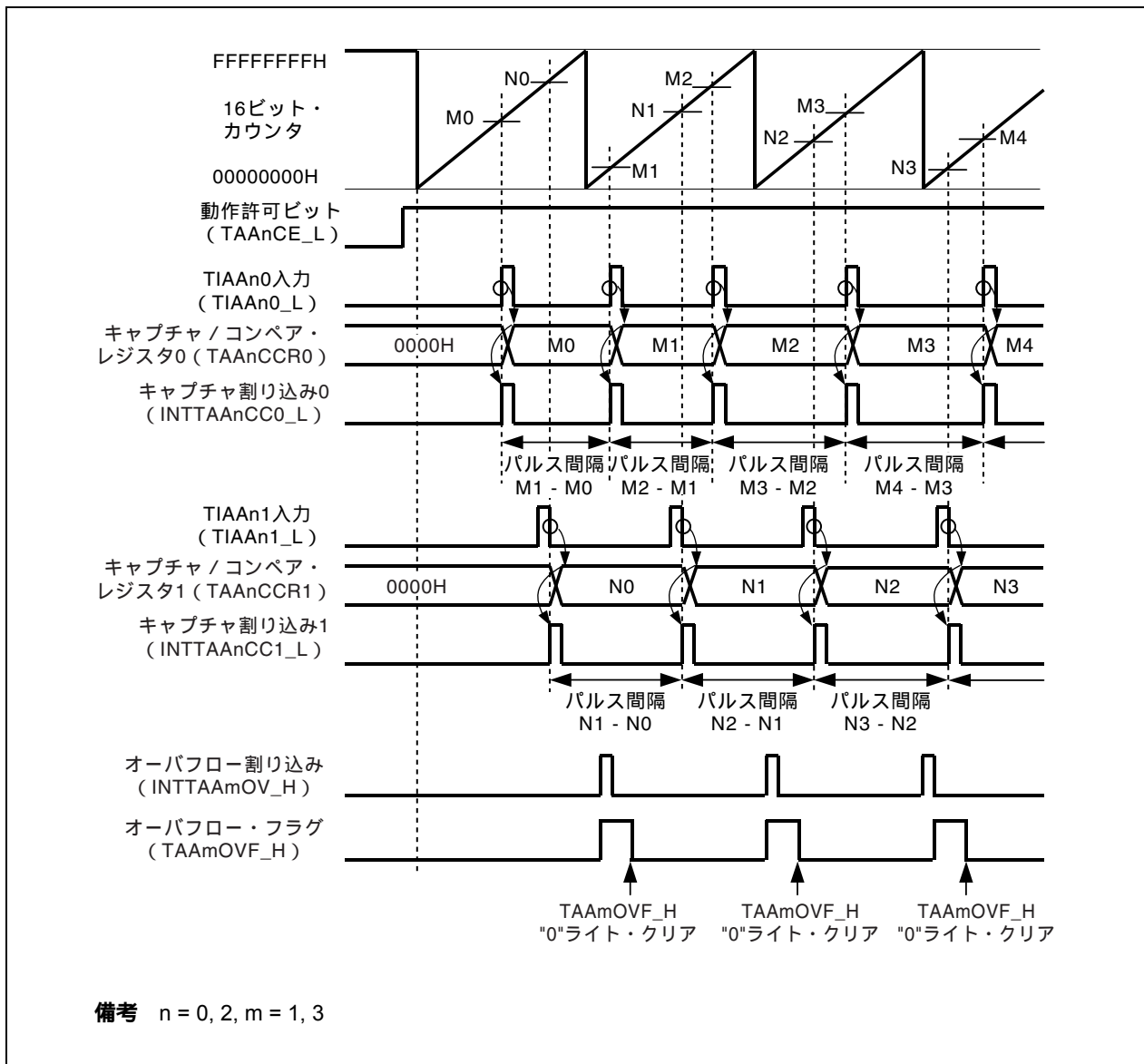


図10 - 33 基本タイミング



(2) 動作説明

TAAAnCE_L ビットを“1”に設定し、クロックを供給するとカウンタ動作を開始します。

その後、TIAAn0_L 入力の有効エッジを検出する事によりカウンタ値をキャプチャ・レジスタ 0 (TAAmCCR0_H, TAAAnCCR0_L) に格納し、キャプチャ割り込み 0 (INTTAAAnCCR0_L) が発生します。

カウンタはカウンタ・クロックに同期してカウンタ動作を続け、FFFFFFFH までカウンタ後、次のクロックでオーバーフロー割り込み (INTTAAAmOV_H) を発生します。それにより、オーバーフロー・フラグ (INTTAAAmOV_H) が 1 にセットされ、カウンタを 00000000H にクリアしカウンタ・アップを継続します。

オーバーフロー・フラグは、CPU からの“0”書込みでクリアされます。

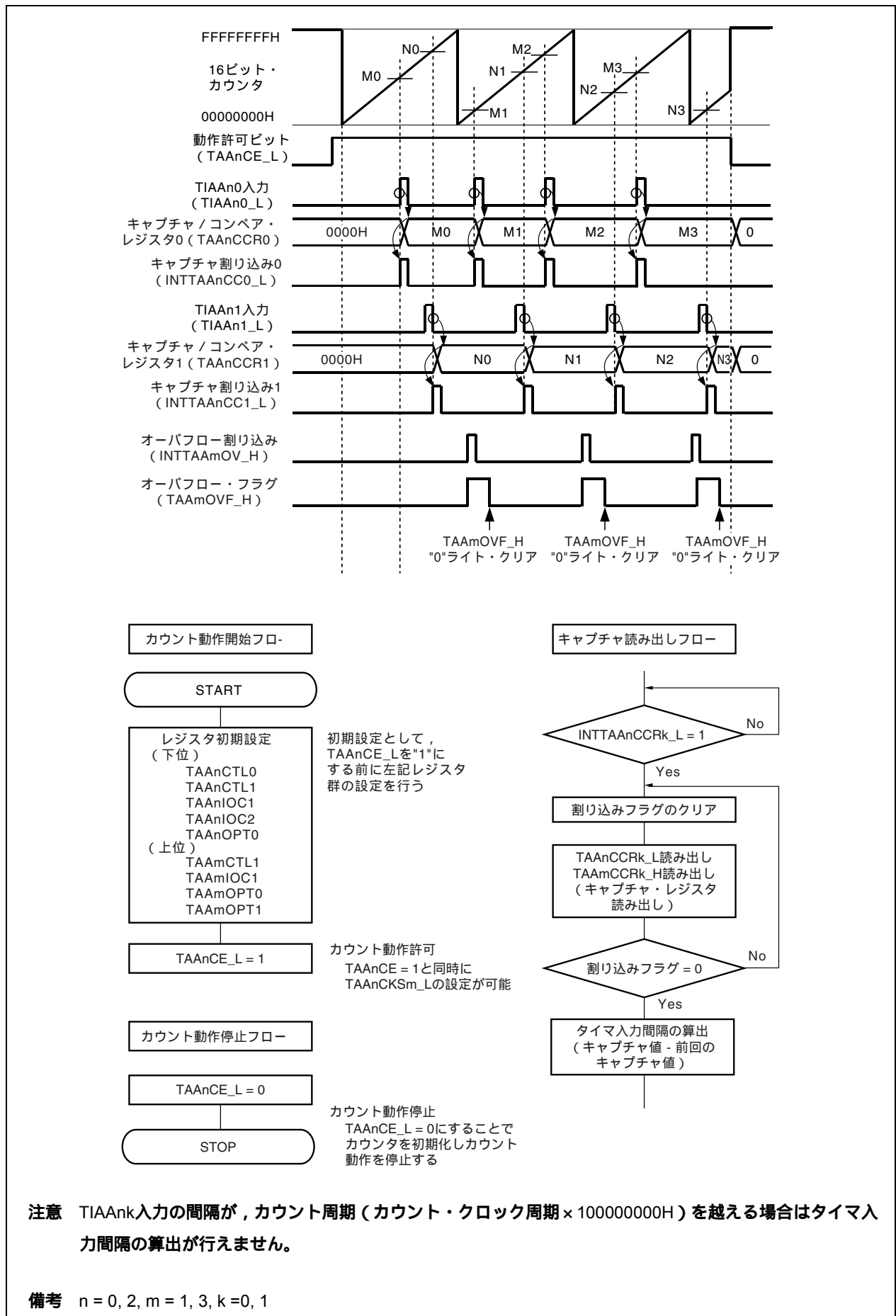
カスケード動作では、TIAAn0 入力の有効エッジ検出によりカウンタをクリアしません。

キャプチャ/コンペア・レジスタ 1 も、同様に動作します。

下位カウンタがオーバーフローした場合、オーバーフロー割り込み (INTTAAAnOV_L) が発生しますが、32 ビット・カウンタとしてのオーバーフローではないため、割り込みをマスクしてください。

備考 n = 0, 2, m = 1, 3

図10 - 34 カスケード機能の動作フロー



(3) 16ビット・レジスタ・リード・アクセス時の注意事項

タイマ AA のタイマ・カウント・レジスタ (TAAmCNT_L/TAAmCNT_H), キャプチャ・レジスタ (TAAmCCR0_L/TAAmCCR0_H, TAAmCCR1_L/TAAmCCR0_H)に対するリード・アクセスは,16ビット・アクセスとなっている。そのため,次の点に注意してください。

・ TAAmCNT レジスタ (カウンタ) をリードする場合

TAAmCNT_L TAAmCNT_H とアクセスする必要があるため,アクセス期間中にカウント・クロックが発生するとリード値と実カウント値が変わってしまいます。

そのため,リードする場合は TAAmOVF_L をクリアし,TAAmCNT_L, TAAmCNT_H の順に読み出したあと,TAAmOVF_L を確認してください。TAAmOVF_L = 0 の場合,リード値は実カウント値となります。ただし,アクセス期間中にカウント・クロックが発生した場合は,TAAmCNT_L のカウント値は,保証できません。TAAmOVF_L = 1 の場合,TAAmCNT_H のカウント値が変化している可能性があるため,リード値が保証できません。再度 TAAmOVF_L をクリアし,読み出しを行ってください。

・ TAAmCCR0, TAAmCCR1 レジスタ (キャプチャ) をリードする場合

TAAmCCRk_L TAAmCCRk_H とアクセスする必要があるため,アクセス期間中にキャプチャ・トリガが入力されるとキャプチャ値が変わってしまいます。

TAAmCCRk_L, TAAmCCRk_H のリード期間中,キャプチャ・トリガ入力を禁止してください。

備考 n = 0, 2, m = 1, 3, k = 0, 1

図10 - 35 カスケード機能の動作タイミング (1/2)

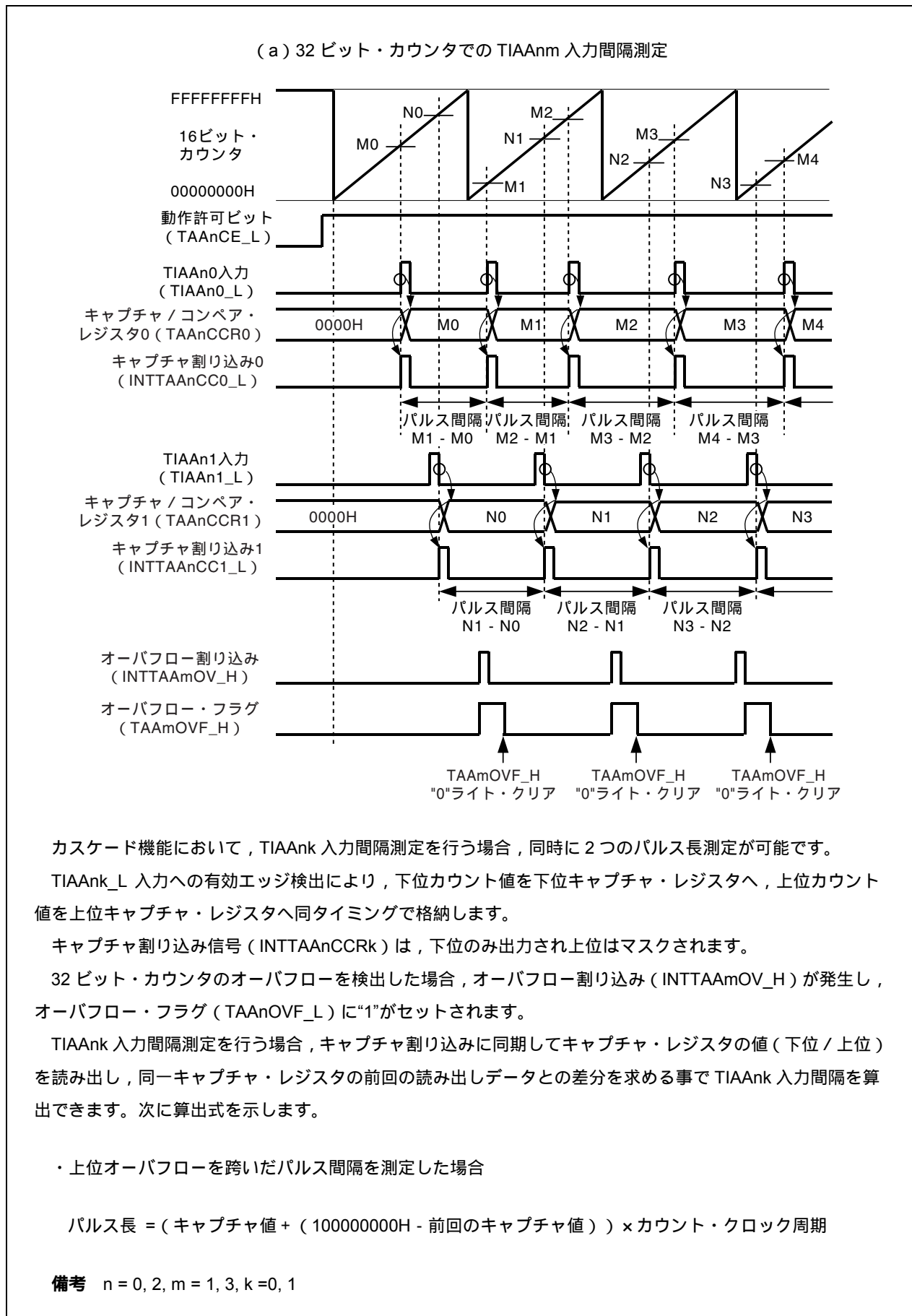
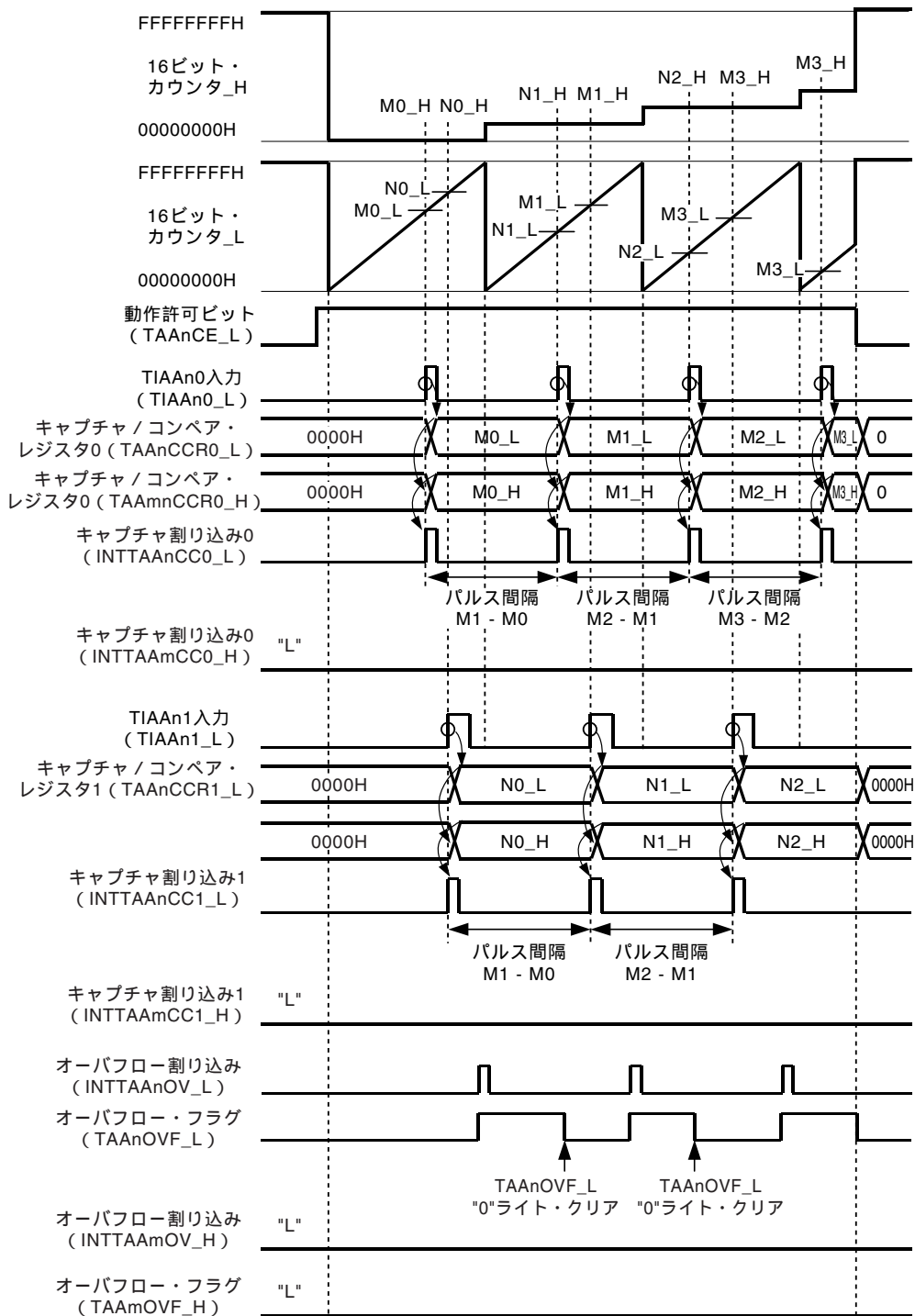


図10 - 35 カスケード機能の動作タイミング (2/2)

(b) 32ビット・キャプチャ動作と下位16ビットのオーバーフロー動作



下位 16 ビット・カウンタのオーバーフローを検出した場合、オーバーフロー割り込み (INTTAAAnOV_L) が発生し、オーバーフロー・フラグ (TAAAnOVF_L) に"1"がセットされます。

下位 16 ビット・カウンタがオーバーフローした場合、オーバーフロー割り込み (INTTAAAnOV_L) が発生しますが、32 ビット・カウンタのオーバーフローではないため、割り込みをマスクしてください。

備考 n = 0, 2, m = 1, 3

10.7 タイマAA同期動作機能

タイマAAには、タイマ同期動作機能（同調動作モード）があります。

同調させることのできるタイマを表10 - 2に示します。

表10 - 2 同調動作のタイマ組み合わせ

マスタ・タイマ	スレーブ・タイマ
TAA0	TAA1
TAA2	TAA3

次に、マスタ・タイマとスレーブ・タイマの同調動作を設定する手順を示します。例としてTAA_nをマスタ・タイマとし、TAA_mをスレーブ・タイマとします。

- スレーブ・タイマの設定

TAA_mCTL1.TAA_mSYE = 1 : 同期動作の許可

TAA_mCTL1.TAA_mMD [2:0] = 101B : フリー・ランニング・モード

TAA_mCCR0, TAA_mCCR1 : コンペア値の設定

- マスタ・タイマの設定

TAA_nCTL1.TAA_nMD [2:0]

= 101B : フリー・ランニング・モード

= 100B : PWMモード

= 111B : 三角波PWMモード

TAA_nCCR0, TAA_nCCR1 : コンペア値の設定

TAA_nCTL0.TAA_nCE = 1 : 動作の許可

同調動作モード時に使用できるタイマ・モードを表10 - 3, 10 - 4に示します。

注意 同調動作モードの許可/禁止は、TAA_mCTL1レジスタのTAA_mSYEビットで設定します。

備考 n = 0, 2, m = 1, 3

表10 - 3 同調動作モードで使用可能なタイマ・モード

マスタ・タイマ	スレーブ・タイマ	フリー・ランニング・モード	PWMモード	三角波PWMモード
TAA0	TAA1			×
TAA2	TAA3			×

備考 : 設定可能, × : 設定不可

表10 - 4 タイマ出力機能一覧

同調チャンネル	タイマ	端子	フリー・ランニング・モード		PWMモード		三角波PWMモード	
			同調OFF	同調ON	同調OFF	同調ON	同調OFF	同調ON
Ch0	TAA0 (マスタ)	TOAA00	PPG	←	トグル	←	N/A	←
		TOAA01	PPG	←	PWM	←	N/A	←
	TAA1 (スレーブ)	TOAA10	PPG	←	トグル	PWM	N/A	←
		TOAA11	PPG	←	PWM	←	N/A	←
Ch1	TAA2 (マスタ)	TOAA20	PPG	←	トグル	←	N/A	←
		TOAA21	PPG	←	PWM	←	N/A	←
	TAA3 (スレーブ)	TOAA30	PPG	←	トグル	PWM	N/A	←
		TOAA31	PPG	←	PWM	←	N/A	←

備考 マスタ・タイマのコンペア・レジスタからスレーブ・タイマのコンペア・レジスタへの送信タイミングは、次のとおりです。

PPG : CPU 書き込みのタイミング

トグル, PWM : タイマ・カウンタとコンペア・レジスタが TOAA_n (n = 0-4) と一致したタイミング

同調機能により、マスタ (TAA_n) に対し、スレーブ (TAA_m) のキャプチャ、またはコンペア数を追加したタイマ動作が可能となります。

TAA0とTAA1を同調動作させ、PWM動作させた例を図10 - 36, 10 - 37に示します。

備考 n = 0, 2, m = 1, 3

図10 - 36 同調動作イメージ (TAA0, TAA1)

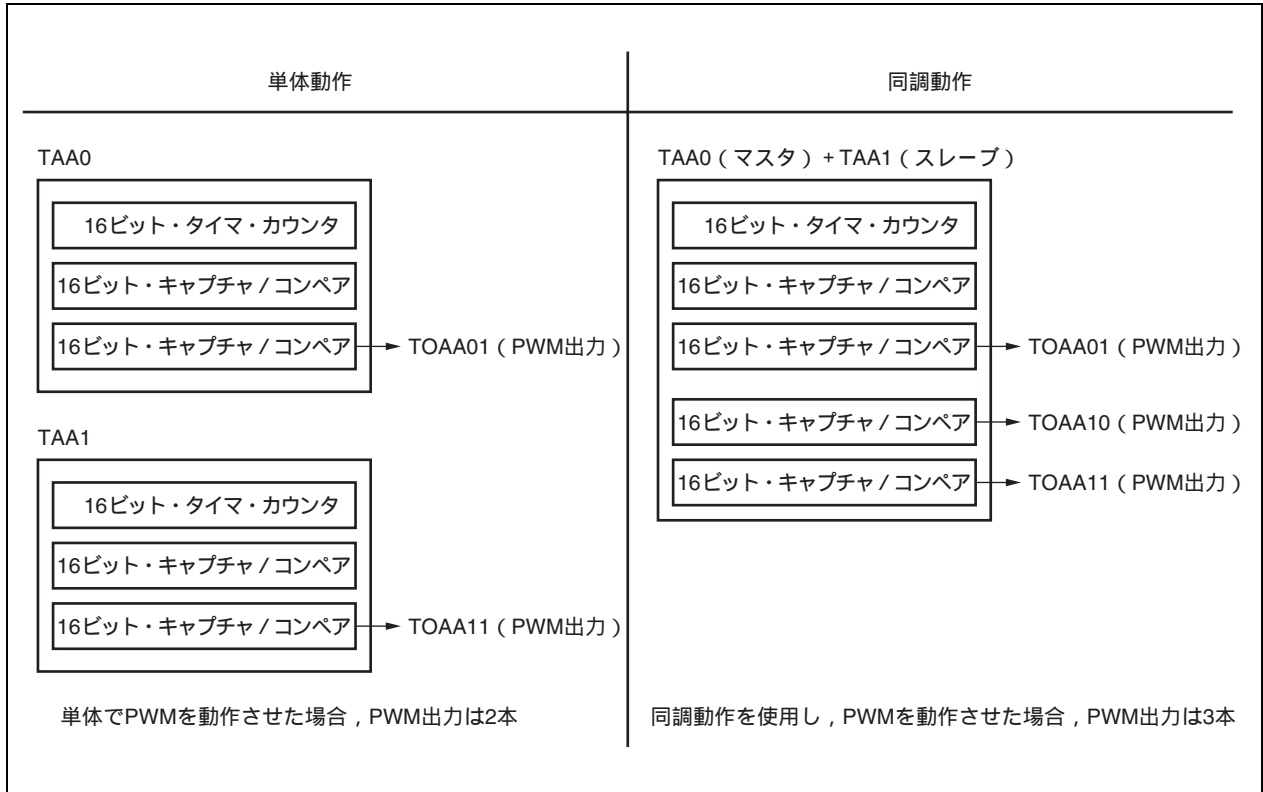
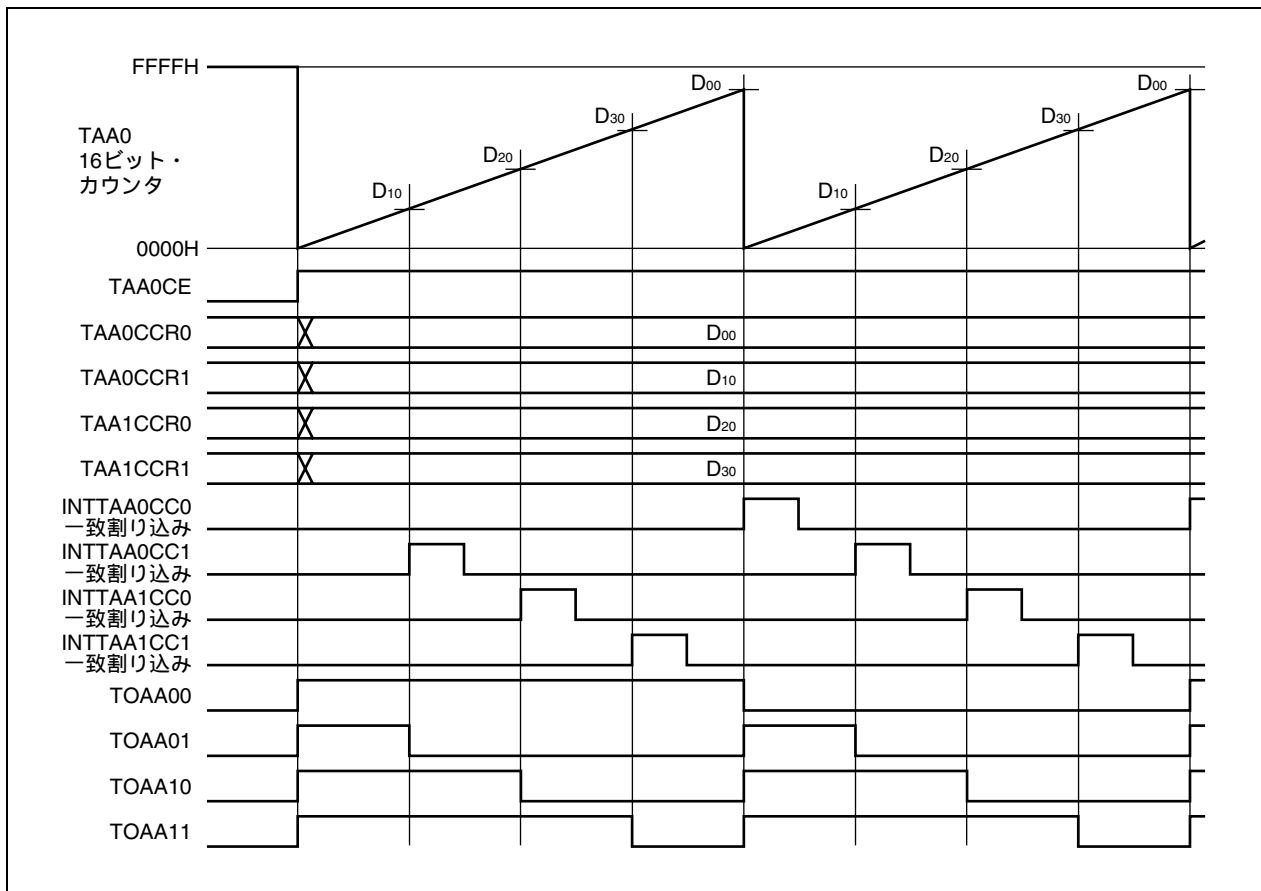


図10 - 37 同調PWM機能の基本動作タイミング (TAA0, TAA1)

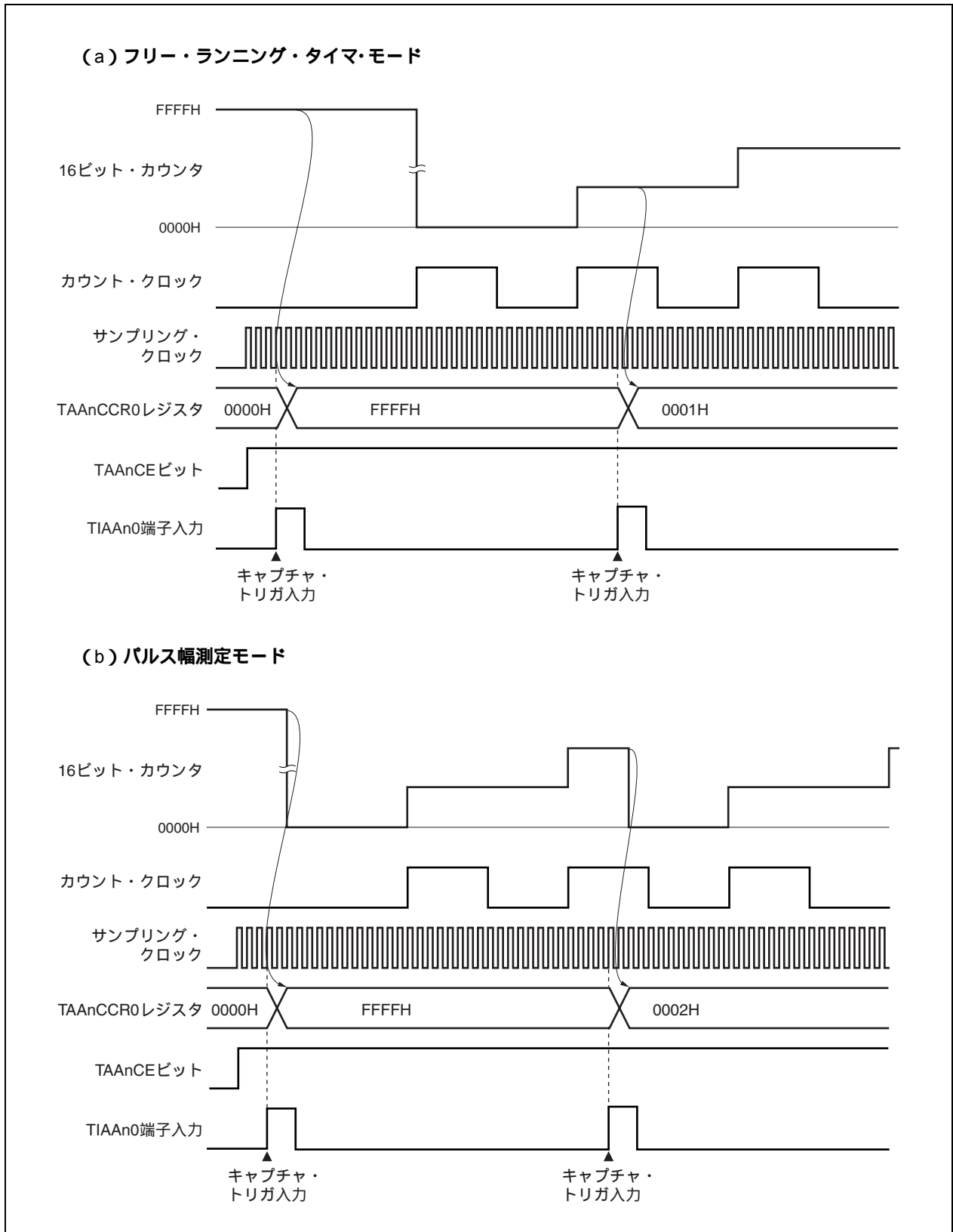


- 動作説明：
- ・ マスタ側の TAA0CTL0.TAA0CE ビットを “1” に設定すると、マスタ側およびスレーブ側が同時にタイマ動作を開始します
 - ・ マスタ側からスレーブ側へカウント・アップ信号が供給され、スレーブ側のカウンタがカウント・アップします。
 - ・ マスタ側とスレーブ側のカウンタは、同一のカウント動作をします。そのため、マスタ側で同期一致によりカウンタが 0000H にクリアされると、スレーブ側のカウンタも同時に 0000H にクリアされます。
 - ・ コンペア・レジスタがリロード書き換え方式の場合、マスタ側のリロード・タイミングに同期してマスタ側、スレーブ側すべてのコンペア・レジスタの値がリロードされます。

10.8 使用上の注意

(1) キャプチャ動作

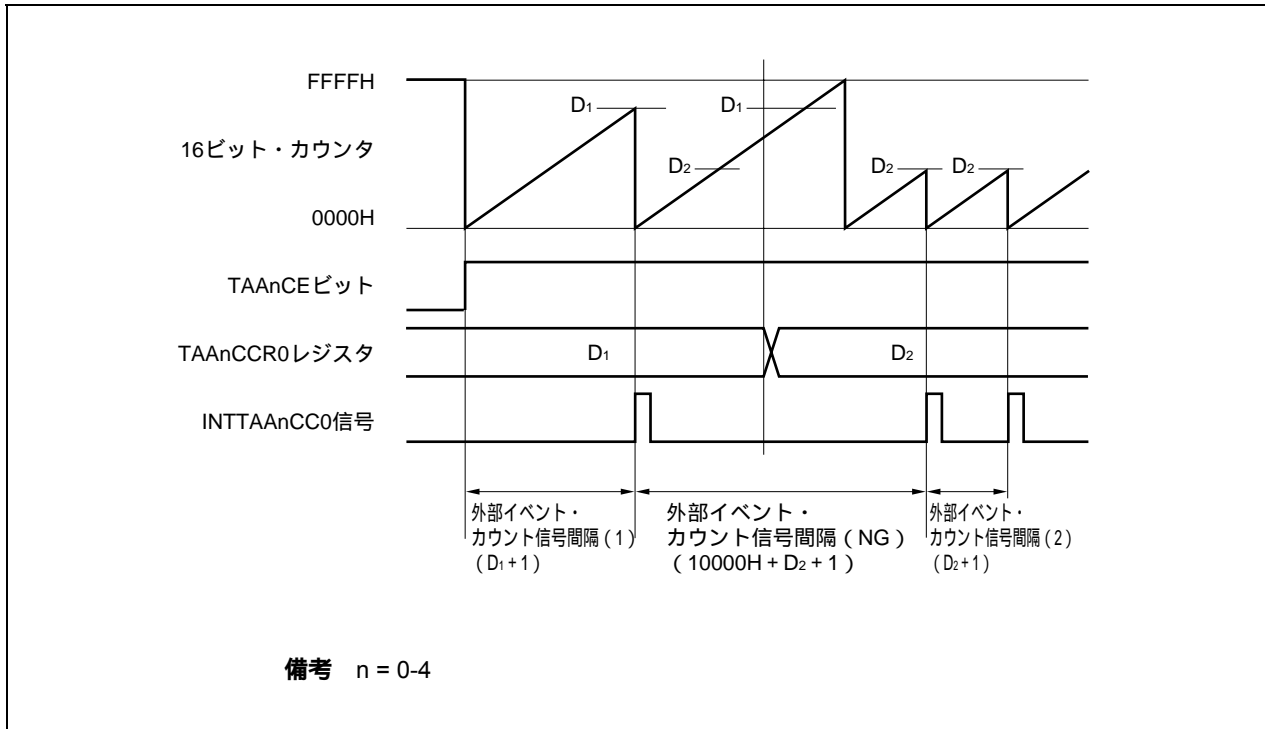
キャプチャ動作を使用し、かつカウント・クロックとして遅いクロックを選択した場合、TAAAnCE ビットをセット(1)し、カウント・クロックが動作開始するまでに、キャプチャ・トリガが入力されると、TAAAnCCR0, TAAAnCCR1 レジスタに 0000H ではなく FFFFH がキャプチャされる場合があります。



(2) インターバル・タイマ・モード時のコンペア・レジスタの書き換え

TAAAnCCR0 レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中に TAAAnCCR0 レジスタの値を小さい値に書き換えると、16 ビット・カウンタがオーバーフローする場合がありますので注意してください。



カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TAAAnCCR0 レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングで CCR0 バッファ・レジスタに転送されるため、16 ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているために FFFFH までカウントを行い、オーバーフロー後、0000H から再度カウント・アップを行います。そして、 D_2 との一致で INTTAAAnCC0 信号を発生します。

したがって、本来期待している外部イベント・カウント数である「 $(D_1 + 1)$ 回」または「 $(D_2 + 1)$ 回」の有効エッジ数で INTTAAAnCC0 信号は発生せずに、「 $(10000H + D_2 + 1)$ 回」の有効エッジ数で INTTAAAnCC0 信号が発生する場合があります。

第11章 16ビット・インターバル・タイマM

本マイクロコントローラは、16ビット・インターバル・タイマM (TMM0) を搭載しています。

11.1 特 徴

タイマM (TMM) はクリア&スタート・モードのみサポートしています。フリー・ランニング・モードはサポートしていません。フリー・ランニング・モードと同等に使用したい場合は、コンペア・レジスタにFFFFHを設定し16ビット・カウンタをスタートさせることで一致割り込みをオーバフロー・タイミングとして機能を実現することが可能です。

- ・インターバル機能
- ・クロック選択×8
- ・シンプル・カウンタ×1
(シンプル・カウンタとはカウンタ・リード・バッファ未使用タイプのカウンタでありタイマ・カウント動作中のカウンタ・リードはできません。)
- ・シンプル・コンペア×1
(シンプル・コンペアとはコンペア・ライト・バッファ未使用タイプでありタイマ・カウント動作中のコンペア・レジスタへのライトはできません。)
- ・コンペア一致割り込み×1

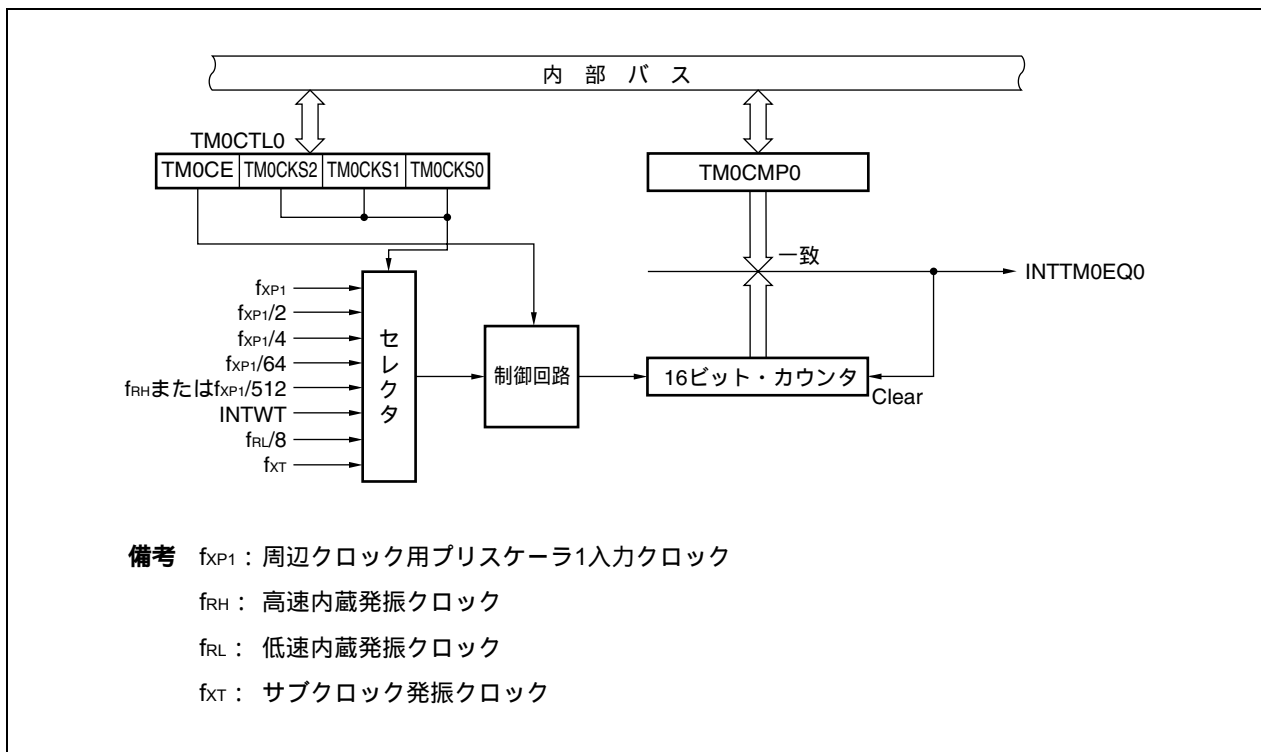
11.2 構成

TMMは、次のハードウェアで構成されています。

表11-1 TMMの構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TMMコンペア・レジスタ0 (TMOCMP0)
制御レジスタ	TMM0制御レジスタ (TMOCTL0)

図11-1 タイマMのブロック図



11.3 制御レジスタ

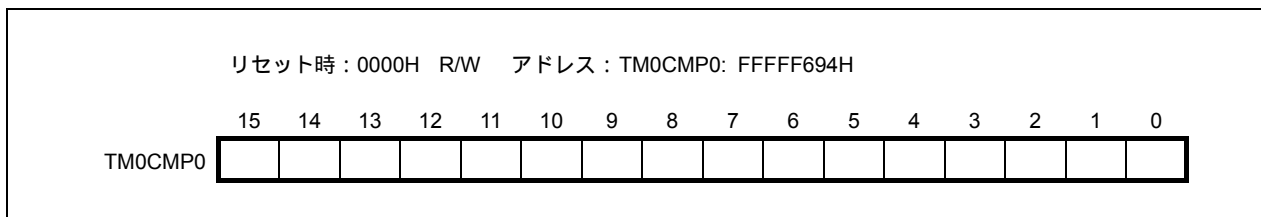
(1) TMM0コンペア・レジスタ0 (TM0CMP0)

TM0CMP0レジスタは16ビットのコンペア・レジスタです。

16ビット単位でリード/ライト可能です。

リセットにより初期値0000Hになります。

注意 タイマ動作中 (TM0CE = 1) のTM0CMP0レジスタの書き換えは禁止です。同値書き込みは可能です。



(2) TMM0制御レジスタ0 (TM0CTL0)

TM0CTL0レジスタはTMMのタイマ動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TM0CTL0レジスタは動作中 (TM0CE = 1) 書き換え禁止です。

ただし, TM0CEビットのみ常時書き換えができます。

リセット時：00H R/W アドレス：TMOCTL0: FFFF690H

	7	6	5	4	3	2	1	0
TMOCTL0	TM0CE	0	0	0	0	TM0CKS2	TM0CKS1	TM0CKS0

TM0CE	タイマM0の動作の制御
0	内部動作クロック動作禁止 (TMM0を非同期にリセット)
1	内部動作クロック動作許可

TM0CEビットにより、内部動作クロックの制御とTMM0の非同期リセットを行います。TM0CEビットを“0”にすると、TMM0の内部動作クロックは停止(ロウ・レベル固定)し、TMM0を非同期にリセットします。

TM0CEビットを“1”にすると、TM0CEビットを“1”にしたタイミングから入力クロックの2クロック以内に内部動作クロックが許可されカウントアップします。

SELCNT0レジスタ ^注	TMOCTL0レジスタ			内部カウント・クロックの選択		
SEL07ビット	TM0CKS2	TM0CKS1	TM0CKS0	入力	PRSI = 0	PRSI = 1
×	0	0	0	f_{XP1}	f_{xx}	$f_{xx}/2$
×	0	0	1	$f_{XP1}/2$	$f_{xx}/2$	$f_{xx}/4$
×	0	1	0	$f_{XP1}/4$	$f_{xx}/4$	$f_{xx}/8$
×	0	1	1	$f_{XP1}/64$	$f_{xx}/64$	$f_{xx}/128$
0	1	0	0	$f_{XP1}/512$	$f_{xx}/512$	$f_{xx}/1024$
1				$f_{RH}/8$		
×	1	0	1	INTWT		
×	1	1	0	$f_{RL}/8$		
×	1	1	1	f_{XT}		

注 SELCNT0レジスタの詳細については、第4章 クロック発生機能とスタンバイ制御を参照してください。

- 注意1. TM0CKS2-TM0CKS0ビットはTM0CE = 0のとき設定してください。
TM0CEビットを0から1に設定するとき同時にTM0CKS2-TM0CKS0ビットを設定できません。
- ビット3-6は必ず0に設定してください。
 - オプション・バイトによってPRSIを設定します。
詳しくは第8章 オプション・バイトを参照してください。

備考 f_{xx} : メイン・クロック周波数
 f_{RL} : 低速内蔵発振クロック周波数
 f_{RH} : 高速内蔵発振クロック周波数
 f_{XP1} : 周辺クロック用プリスケラ1入力クロック
 f_{XT} : サブクロック発振周波数

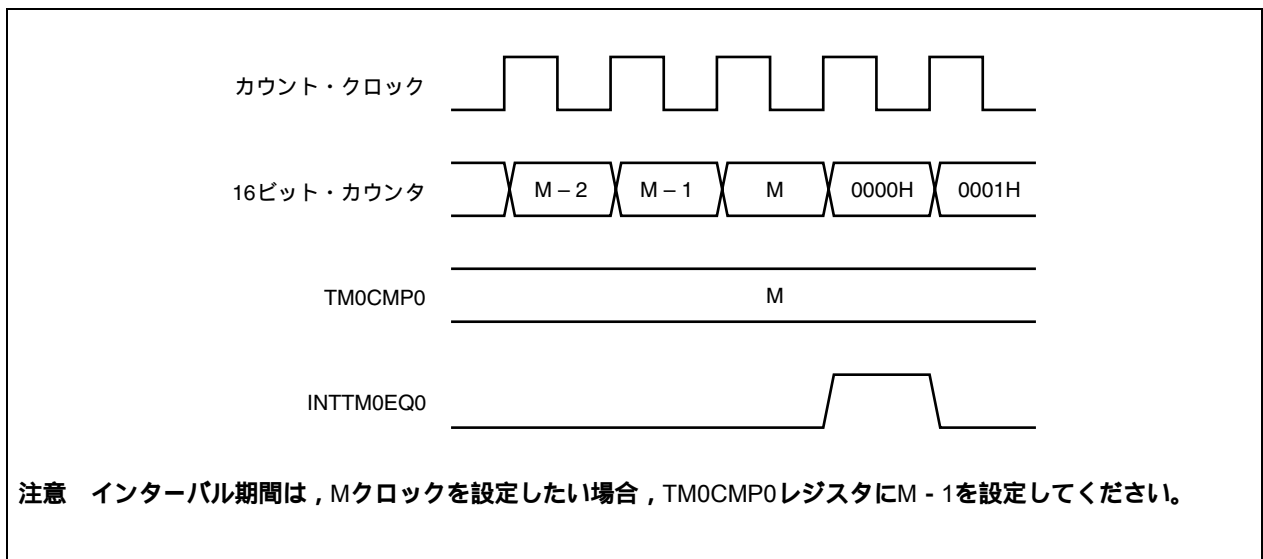
11.4 動作

11.4.1 インターバル・タイマ・モード

インターバル・タイマ・モードは16ビット・カウンタとTMM0コンペア・レジスタ0 (TM0CMP0) によりTM0CMP0レジスタの値とカウンタ値が一致すると一致割り込み信号 (INTTM0EQ0) を出力し、かつ同タイミングでカウンタを0000Hにクリアさせ再度カウントアップを開始します。

TM0CMP0レジスタにFFFFHを設定すると、フリー・ランニング・モードと同様の動作を行います。

図11-2 インターバル・タイマ・モードの動作タイミング

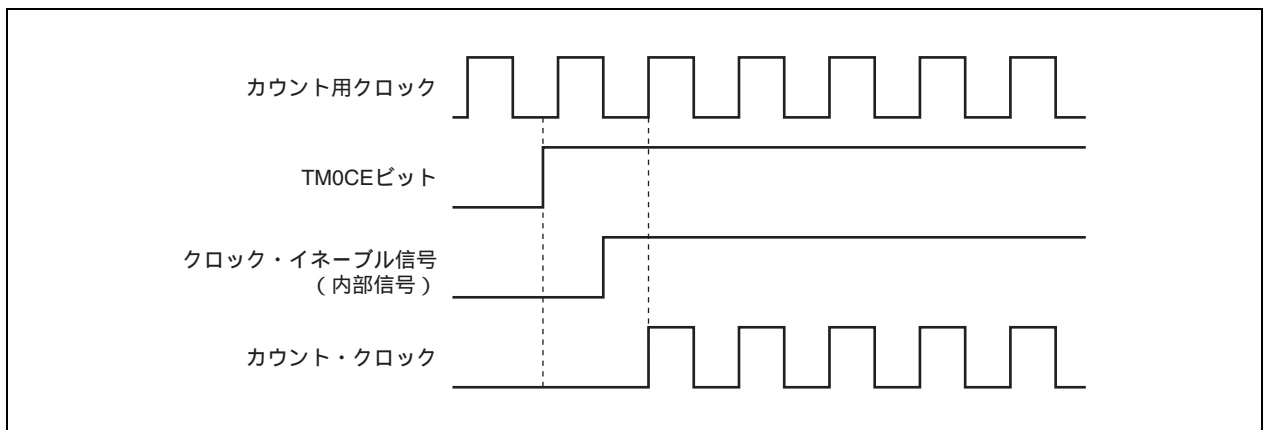


11.4.2 注意事項

(1) クロック生成回路およびクロック・イネーブル・タイミング

TM0CEビット = 0から1に設定し、クロックの2クロック目がタイマ・カウント・アップ信号の最初のパルスとなるため、1クロック分少なくカウントしてしまいます。

図11-3 カウント動作開始タイミング



(2) TMM0動作中のレジスタ書き換え

TM0CMP0, TM0CTL0レジスタはTMM0動作中の書き換えは禁止です。

TM0CEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TM0CTL0. TM0CEビットをクリア(0)してから再設定してください。

第12章 時計タイマ機能

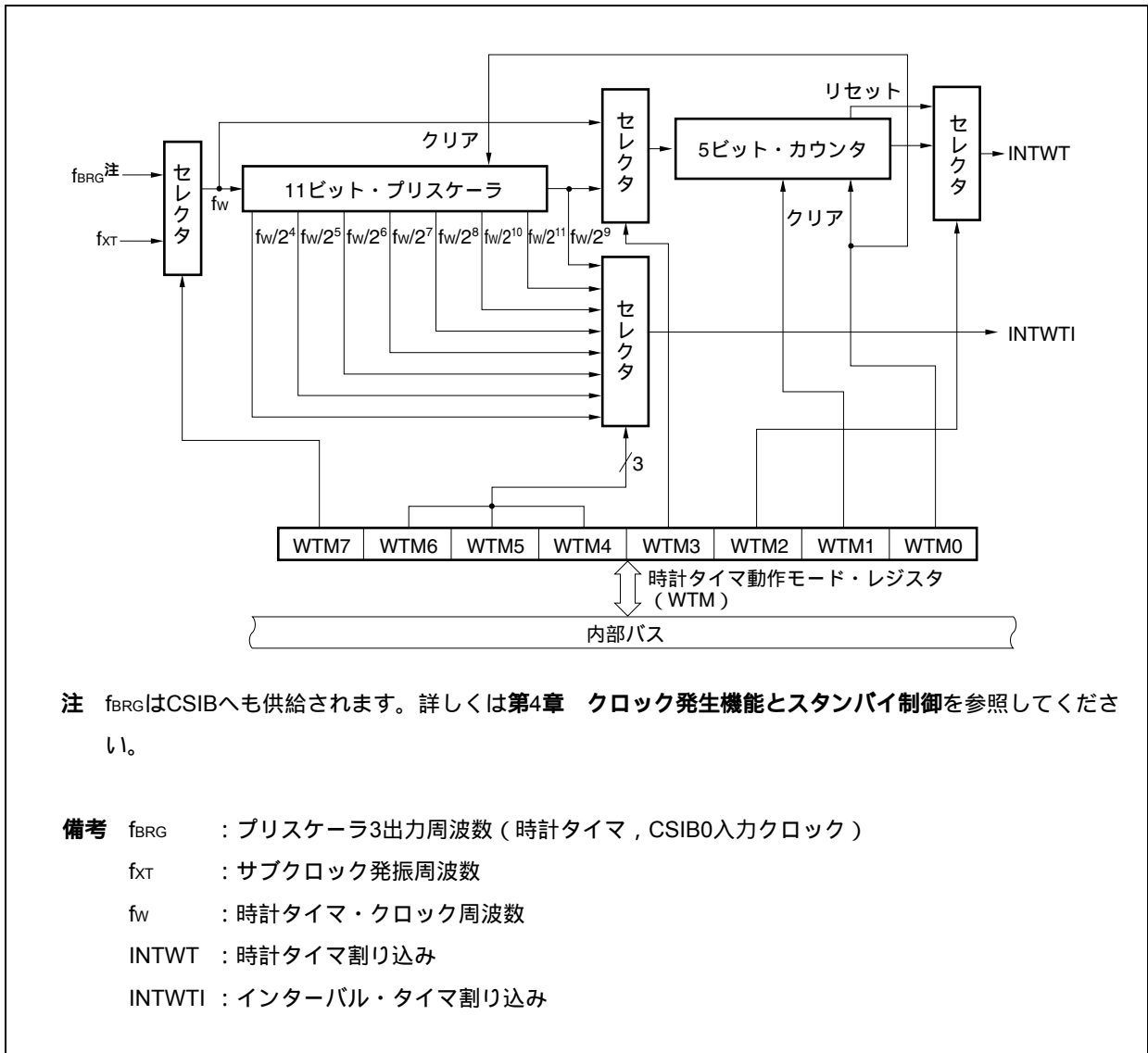
12.1 機能

時計タイマには、次のような機能があります。

- ・時計タイマ
- ・インターバル・タイマ

時計タイマとインターバル・タイマは、同時に使用できます。

図12 - 1 時計タイマのブロック図



(1) 時計タイマ

サブクロック ($f_{XT} = 32.768 \text{ kHz}$) を使用して、0.5秒または0.25秒の時間間隔で割り込み要求 (INTWT) を発生させます。

注意 時計タイマのカウンタ・クロック (f_W) として、メイン・クロック (f_X) からプリスケアラ3の分周クロック (f_{BRG}) を選択する場合、分周クロック周波数が32.768 kHzとなるよう、使用するメイン・クロック周波数にあわせてPRSM0レジスタおよびPRSCM0レジスタの設定をしてください。

32.768 kHzを生成できない場合は、ソフトウェアにて補正を行い、時計機能を実現してください。

(2) インターバル・タイマ

あらかじめ設定した時間間隔で、割り込み要求 (INTWTI) を発生します。

表12 - 1 インターバル・タイマのインターバル時間

インターバル時間	$f_W = f_{XT} = 32.768 \text{ kHz}$ 動作時
$2^4 \times 1/f_W$	488 μs
$2^5 \times 1/f_W$	977 μs
$2^6 \times 1/f_W$	1.95 ms
$2^7 \times 1/f_W$	3.91 ms
$2^8 \times 1/f_W$	7.81 ms
$2^9 \times 1/f_W$	15.6 ms
$2^{10} \times 1/f_W$	31.2 ms
$2^{11} \times 1/f_W$	62.5 ms

備考 f_W : 時計タイマ・クロック周波数

f_{XT} : サブクロック発振周波数

12.2 構成

時計タイマは、次のハードウェアで構成されています。

表12 - 2 時計タイマの構成

項目	構成
カウンタ	5ビット×1本
プリスケアラ	11ビット×1本
制御レジスタ	時計タイマ動作モード・レジスタ (WTM)

12.3 制御レジスタ

時計タイマを制御するレジスタには、時計タイマ動作モード・レジスタ (WTM) があります。時計タイマは、カウント・クロックやインターバル時間を設定したあとに動作させてください。

(1) 時計タイマ動作モード・レジスタ (WTM)

時計タイマのカウント・クロックおよび動作の許可/禁止、プリスケーラのインターバル時間、5ビット・カウンタの動作制御および時計フラグのセット時間を設定するレジスタです。

WTMレジスタは、8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時: 00H R/W アドレス: FFFFF680H

	7	6	5	4	3	2	1	0
WTM	WTM7	WTM6	WTM5	WTM4	WTM3	WTM2	WTM1	WTM0

WTM7	時計タイマのカウント・クロックの選択
0	f_{XT}
1	f_{BRG}

WTM6	WTM5	WTM4	プリスケーラのインターバル時間の選択
0	0	0	$2^4/f_w$
0	0	1	$2^5/f_w$
0	1	0	$2^6/f_w$
0	1	1	$2^7/f_w$
1	0	0	$2^8/f_w$
1	0	1	$2^9/f_w$
1	1	0	$2^{10}/f_w$
1	1	1	$2^{11}/f_w$

備考 f_{XT} : サブクロック発振周波数

f_{BRG} : プリスケーラ3周波数 (時計タイマ, CSIB0入力クロック)

f_w : 時計タイマ・クロック周波数

WTM3	WTM2	時計タイマの割り込み時間の選択
0	0	$2^{14}/f_w$
0	1	$2^{13}/f_w$
1	0	$2^5/f_w$
1	1	$2^4/f_w$

WTM1	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTM0	時計用タイマの動作許可
0	動作停止（プリスケラ、5ビット・カウンタともにクリア）
1	動作許可

注意 WTM2-WTM7ビットを書き換える場合は、WTM0、WTM1ビットがともに0の状態で行ってください。

備考 f_w : 時計タイマ・クロック周波数

12.4 動作

12.4.1 時計タイマとしての動作

時計タイマは、一定の時間間隔ごとに割り込み要求を発生します。

サブクロック ($f_{XT} = 32.768 \text{ kHz}$) を使用すると、0.5秒または0.25秒の時間間隔の時計タイマとして動作します。

WTMレジスタのWTM1, WTM0ビットに“11”を設定するとカウント動作がスタートします。WTM0ビットに0を設定すると11ビット・プリスケアラと5ビット・カウンタがクリアされ、カウント動作が停止します。

時計タイマは、WTM1ビットをクリア(0)して5ビット・カウンタをクリアすることにより、時刻合わせができます。このとき最大で15.6 msの誤差が発生することがあります。

また、インターバル・タイマは、WTM0ビットをクリア(0)することによりクリアできます。ただし、5ビット・カウンタも同時にクリアされるため、時計タイマのオーバフロー (INTWT) には、最大で0.5秒の誤差が発生することがあります。

12.4.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

WTMレジスタのWTM4-WTM7ビットにより、インターバル時間を選択できます。

表12-3 インターバル・タイマのインターバル時間

WTM7	時計タイマのカウント・クロックの選択
0	f_{XT}
1	f_{BRG}

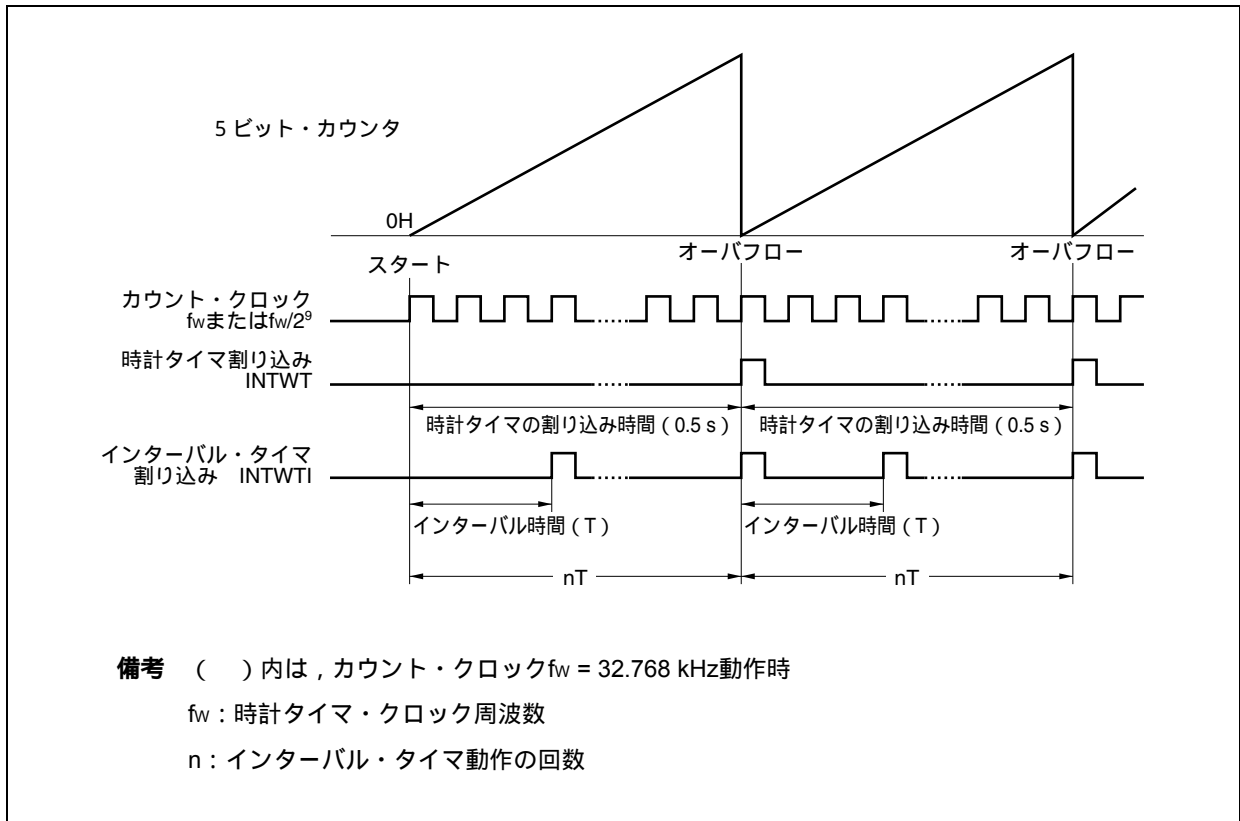
WTM6	WTM5	WTM4	インターバル時間
0	0	0	$2^4 \times 1/f_w$
0	0	1	$2^5 \times 1/f_w$
0	1	0	$2^6 \times 1/f_w$
0	1	1	$2^7 \times 1/f_w$
1	0	0	$2^8 \times 1/f_w$
1	0	1	$2^9 \times 1/f_w$
1	1	0	$2^{10} \times 1/f_w$
1	1	1	$2^{11} \times 1/f_w$

備考 f_w : 時計タイマ・クロック周波数

f_{XT} : サブクロック発振周波数

f_{BRG} : プリスケアラ3出力周波数 (時計タイマ, CSIB0入力クロック)

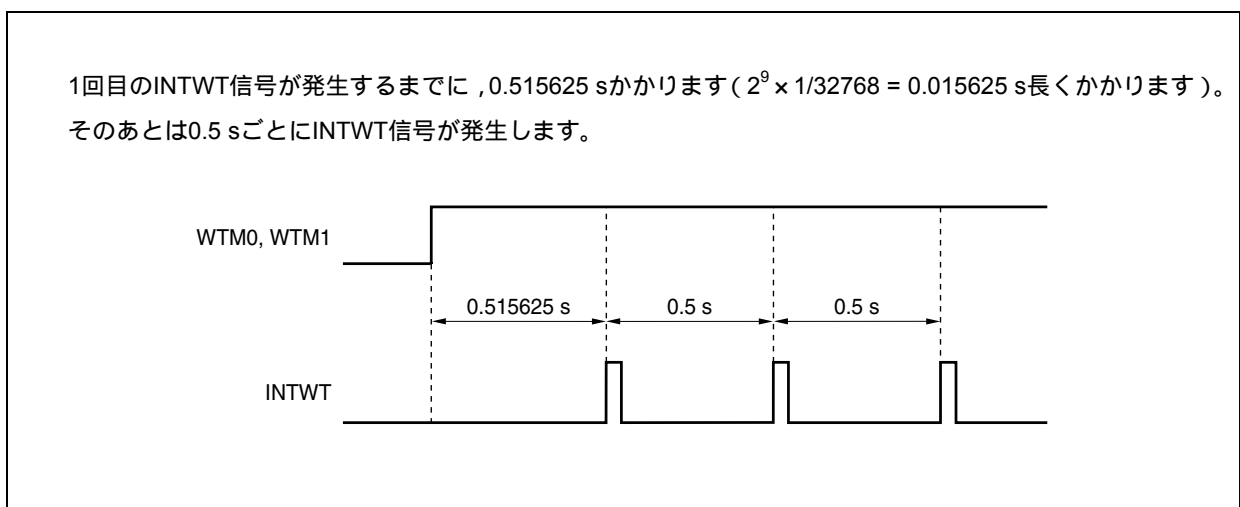
図12-2 時計タイマ/インターバル・タイマの動作タイミング



12.4.3 注意事項

動作許可 (WTMレジスタのWTM1, WTM0ビット = 1) してから、最初の1回目の時計タイマ割り込み要求信号 (INTWT) が発生するまで以下に示す時間がかかります。

図12-3 時計タイマ割り込み要求信号 (INTWT) の発生例 (割り込み周期 = 0.5 sの場合)



第13章 ウォッチドッグ・タイマ2

13.1 機能

ウォッチドッグ・タイマ2には、次のような機能があります。

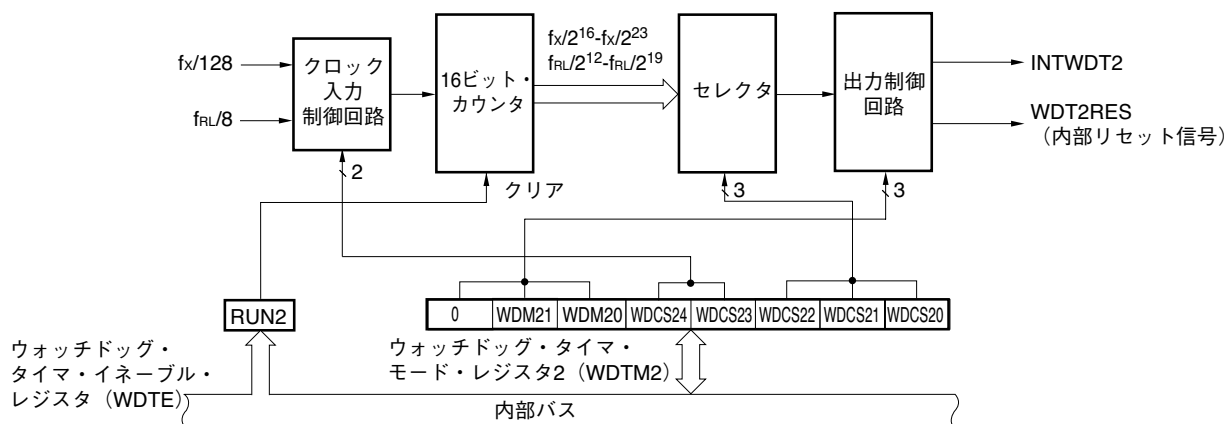
デフォルト・スタート・ウォッチドッグ・タイマ

- ・リセット・モード：ウォッチドッグ・タイマ2のオーバフローによるリセット動作（WDT2RES信号を発生）
- ・ノンマスクブル割り込み要求モード：ウォッチドッグ・タイマ2のオーバフローによるNMI動作（INTWDT2信号を発生）

ソース・クロックとしてメイン・クロック，低速内蔵発振器からの入力を選択可能

- 注意1.** ウォッチドッグ・タイマ2は，リセット解除後に自動的にスタートします。ソース・クロックは低速内蔵発振器です。
2. オプション・バイトで，WDT2の動作を低速内蔵発振器ソース・クロック固定，リセット・モード固定にできます(インターバル時間のみ制御レジスタで変更可能)。この場合，制御レジスタによるソース・クロックの変更，モードの変更が無効となります。
 3. WDT2を使用しない場合，またはクロック・ソースと動作モードを変更する場合は，オプション・バイトの設定をソース・クロック選択可，モード選択可にしてください。
この場合，リセット後の最初のWDT2のオーバフロー前に設定を変更するか，または一度WDT2をクリアし，次のインターバル時間内で設定変更を行ってください。そのとき，WDT2は停止させていただきます。
 4. WDTM2レジスタは，リセット後に1回だけ書き込みができます。WDTM2の初期値の設定で変更する必要がない場合でも，動作を確認するために，WDTM2レジスタに1回だけ書き込みを行ってください。
 5. ノンマスクブル割り込み要求信号（INTWDT2）によるノンマスクブル割り込み処理後に，RETI命令による復帰はできません。割り込み処理後，システム・リセットを行ってください。

図13 - 1 ウォッチドッグ・タイマ2のブロック図



- 備考** fx : メイン・クロック発振周波数
 fRL : 低速内蔵発振クロック周波数
 INTWDT2 : ウォッチドッグ・タイマ2によるノンマスクابل割り込み要求信号
 WDT2RES : ウォッチドッグ・タイマ2リセット信号

13.2 構成

ウォッチドッグ・タイマ2は、次のハードウェアで構成されています。

表13 - 1 ウォッチドッグ・タイマ2の構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

13.3 制御レジスタ

(1) ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

WDTM2レジスタは、ウォッチドッグ・タイマ2のオーバフロー時間および動作クロックを設定するレジスタです。

アクセス： 8ビット単位でリード/ライト可能です。

ただし、リードは何回でもできますが、ライトはリセット解除後に1回のみできます。

アドレス： FFFFFFF6D0H

初期値： 67H。リセットにより初期化されます。

7	6	5	4	3	2	1	0
0	WDM21	WDM20	WDCS24	WDCS23	WDCS22	WDCS21	WDCS20
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表13-2 動作モードの選択

WDCM21	WDCM20	機能
0	0	動作停止
0	1	ノンマスクブル割り込み要求モード (INTWDT2信号を発生)
1	x	リセット・モード (RESWDT2信号を発生)

表13-3 ウォッチドッグ・タイマ2のクロック選択

WDCS24	WDCS23	WDCS22	WDCS21	WDCS20	選択クロック周期	$f_{RL} = 240 \text{ kHz (typ.)}$	
0	0	0	0	0	$2^{12}/f_{RL}$	17.1 ms	
0	0	0	0	1	$2^{13}/f_{RL}$	34.1 ms	
0	0	0	1	0	$2^{14}/f_{RL}$	68.3 ms	
0	0	0	1	1	$2^{15}/f_{RL}$	136.5 ms	
0	0	1	0	0	$2^{16}/f_{RL}$	273.1 ms	
0	0	1	0	1	$2^{17}/f_{RL}$	546.1 ms	
0	0	1	1	0	$2^{18}/f_{RL}$	1092.3 ms	
0	0	1	1	1	$2^{19}/f_{RL}$ (デフォルト)	2184.5 ms	
						$f_x = 4 \text{ MHz}$	$f_x = 16 \text{ MHz}$
0	1	0	0	0	$2^{16}/f_x$	16.4 ms	4.1 ms
0	1	0	0	1	$2^{17}/f_x$	32.8 ms	8.2 ms
0	1	0	1	0	$2^{18}/f_x$	65.5 ms	16.4 ms
0	1	0	1	1	$2^{19}/f_x$	131.1 ms	32.8 ms
0	1	1	0	0	$2^{20}/f_x$	262.1 ms	65.3 ms
0	1	1	0	1	$2^{21}/f_x$	524.3 ms	131.1 ms
0	1	1	1	0	$2^{22}/f_x$	1048.6 ms	262.2 ms
0	1	1	1	1	$2^{23}/f_x$	2097.2 ms	524.3 ms
1	x	x	x	x	停止		

- 注意1. ウォッチドッグ・タイマ2動作中 ,WDTM2レジスタに2回書き込んだ場合 ,強制的にオーバフロー信号を発生します。ただし ,ウォッチドッグ・タイマ2を停止させたあと ,WDTM2レジスタに2回書き込んだ場合でもオーバフロー信号は発生しません。
2. ウォッチドッグ・タイマ2の動作を停止する場合は ,RCMレジスタのRSTOPビットに “ 1 ” を設定 (低速内蔵発振の停止) するとともに ,WDTM2レジスタに “ 1FH ” を設定してください。

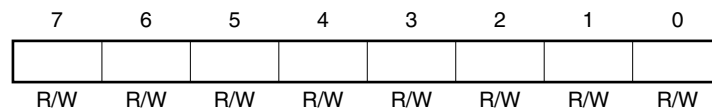
(2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEレジスタに “ ACH ” を書き込むことにより ,ウォッチドッグ・タイマ2のカウンタをクリアし ,再びカウントを開始します。

アクセス : 8ビット単位でリード/ライト可能です。

アドレス : FFFFFFF6D1H

初期値 : 9AH。リセットにより初期化されます。



- 注意1. WDTEレジスタに “ ACH ” 以外の値を書き込んだ場合 ,強制的にオーバフロー信号を出力します。
2. WDTEレジスタに1ビット・メモリ操作命令を実行した場合 ,強制的にオーバフロー信号を出力します。
3. WDTEレジスタのリード値は , “ 9AH ” (書き込んだ値 (“ ACH ”) とは異なる値) になります。

13.4 動作

ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。

WDTM2レジスタへの書き込みは、バイト・アクセスのみリセット後に一度だけ可能です。ウォッチドッグ・タイマ2を使用する場合は、動作モードとインターバル時間を8ビット・メモリ操作でWDTM2レジスタに書き込んでください。この操作後、動作停止することはできません。

WDTM2レジスタのWDCS24-WDCS20ビットで、ウォッチドッグ・タイマ2の暴走検出時間間隔を選択できます。WDTEレジスタにACHを書き込むことにより、ウォッチドッグ・タイマ2のカウンタをクリアし、再度カウント動作を開始します。カウント動作を開始したあと、設定した暴走検出時間間隔内にWDTEレジスタにACHを書き込んでください。

WDTEレジスタにACHが書き込まれず、暴走検出時間を越えてしまった場合は、WDTM2レジスタのWDM21、WDM20ビットの設定値により、リセット信号(WDT2RES)またはノンマスカブル割り込み要求信号(INTWDT2)が発生します。

ウォッチドッグ・タイマ2を使用しない場合は、WDTM2レジスタに1FHを書き込んでください。

また、ノンマスカブル割り込み要求モードに設定した場合、ノンマスカブル割り込み処理後にRETI命令による復帰はできません。割り込み処理後にシステム・リセットを行ってください。

注意 WDTM2, WDTM21ビット = 1 (リセット・モード) に設定している場合、スタンバイ解除後の発振安定時間中にWDTオーバーフローが発生すると、内部リセットは発生せずに、CPUクロックが内蔵発振クロックに切り替わります。

第14章 アシクロナス・シリアル・インタフェース (UARTD)

本マイクロコントローラは、アシクロナス・シリアル・インタフェース (UARTD) を搭載しています。
各製品により、チャンネル数が異なります。表14 - 1に各製品のチャンネル数を示します。

表14 - 1 アシクロナス・シリアル・インタフェースのチャンネル数

製品	V850ES/FE3-L	V850ES/FF3-L	V850ES/FG3-L
UARTD			
チャンネル数	2		3
名称	UARTD0, UARTD1		UARTD0-UARTD2

14.1 特徴

転送速度 300 bps ~ 312.5 kbps (専用ポーレート・ジェネレータ使用)

全二重通信 UARTD受信データ・レジスタ n (UDnRX) 内蔵

UARTD送信データ・レジスタ n (UDnTX) 内蔵

2端子構成 TXDD n : 送信データの出力端子

RXDD n : 受信データの入力端子

受信エラー検出機能

- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー
- ・LIN通信データ一貫性エラー検出機能
- ・SBF受信成功検出機能

割り込みソース : 3種類

- ・受信完了割り込み (INTUDnR) : 受信許可状態において、シリアル転送完了後、シフト・レジスタから受信バッファ・レジスタ n へ受信データを転送すると発生
- ・送信許可割り込み (INTUDnT) : 送信許可状態において、送信バッファ・レジスタからシフト・レジスタへ送信データを転送すると発生
- ・ステータス割り込み (INTUDnS) : 受信エラー、LIN通信データ一貫性エラー、またはSBF受信成功を検出すると発生

キャラクタ長 : 7, 8ビット

パリティ機能 : 奇数, 偶数, 0, なし

送信ストップ・ビット : 1, 2ビット

専用ポーレート・ジェネレータ内蔵

MSB/LSBファースト転送選択可能

送受信データの反転入出力が可能

LIN (Local Interconnect Network) 通信フォーマットにおけるSBF (Sync Break Field) 送受信可能

- ・SBF送信は、13-20ビットまで選択可能
- ・LIN通信フォーマットにおけるSBF受信は11ビット以上認識可能
- ・SBF受信フラグあり
- ・データ通信中に、新規のSBF受信を検出可能。
- ・送信データの一貫性チェック機能あり (送信データと受信データを比較し、不一致を検出する機能)

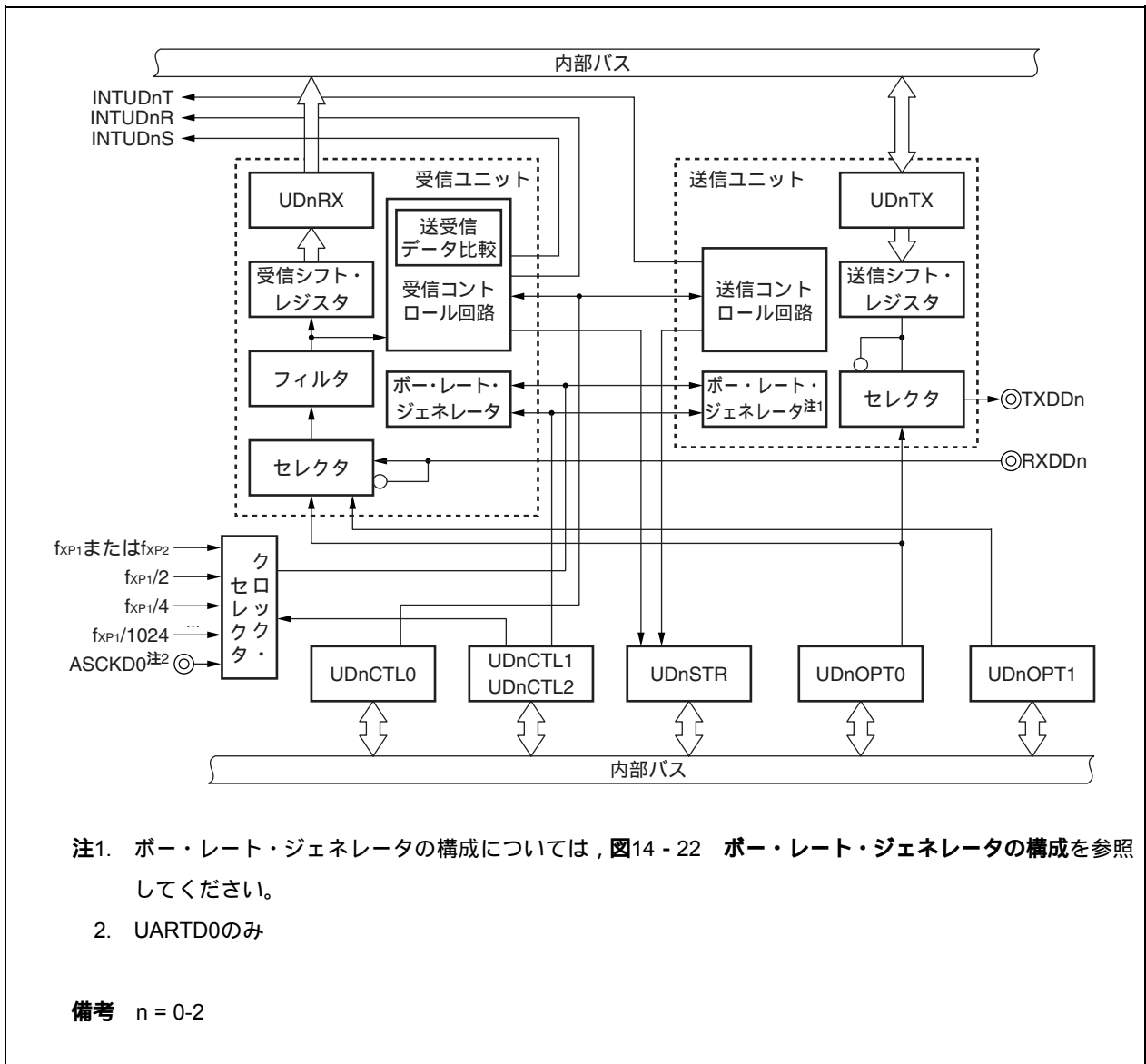
備考 $n = 0, 1$ (V850ES/FE3-L, V850ES/FF3-L)

$n = 0-2$ (V850ES/FG3-L)

この章では $n = 0-2$ の場合について記述しています。

14.2 構成

図14 - 1 アシクロナス・シリアル・インタフェースのブロック図



UARTDは、次のハードウェアで構成されています。

表14 - 2 UARTDnの構成

項目	構成
レジスタ	UARTDn 制御レジスタ 0-2 (UDnCTL0-UDnCTL2) UARTDn オプション制御レジスタ 0 (UDnOPT0) UARTDn 状態レジスタ (UDnSTR) UARTDn 受信シフト・レジスタ UARTDn 受信データ・レジスタ (UDnRX) UARTDn 送信シフト・レジスタ UARTDn 送信データ・レジスタ (UDnTX)

備考 n = 0-2

(1) UARTDn 制御レジスタ 0 (UDnCTL0)

UDnCTL0レジスタは、UARTDnの動作を指定する8ビット・レジスタです。

(2) UARTDn 制御レジスタ 1 (UDnCTL1)

UDnCTL1レジスタは、UARTDnの入カクロックを選択する8ビット・レジスタです。

(3) UARTDn 制御レジスタ 2 (UDnCTL2)

UDnCTL2レジスタは、UARTDnのポー・レートを制御する8ビット・レジスタです。

(4) UARTDn オプション制御レジスタ 0 (UDnOPT0)

UDnOPT0レジスタは、UARTDnのシリアル転送を制御する8ビット・レジスタです。

(5) UARTDn オプション制御レジスタ 1 (UDnOPT1)

UDnOPT1レジスタは、UARTDnのシリアル転送を制御する8ビット・レジスタです。

(6) UARTDn 状態レジスタ (UDnSTR)

UDnSTRレジスタは、UARTDnの通信状態と受信エラー発生時のエラー内容を示すフラグの集合レジスタです。通信の所定状態を検出した際、対応するフラグがセットされます。

(7) UARTDn 受信シフト・レジスタ

RXDDn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分データを受信し、ストップ・ビットを検出すると、受信データをUDnRXレジスタへ転送します。このレジスタを直接操作することはできません。

(8) UARTDn 受信データ・レジスタ (UDnRX)

UDnRXレジスタは、受信データを保持する8ビットのバッファ・レジスタです。7キャラクタの受信では上位ビットには0が格納されます (LSBファースト受信時)。

受信許可状態中は、受信データは1フレーム分のシフト・イン処理終了に同期してUARTDn受信シフト・レジスタからUDnRXレジスタに転送されます。

また、UDnRXレジスタへの転送により、受信完了割り込み要求信号 (INTUDnR) が発生します。

(9) UARTDn 送信シフト・レジスタ

送信シフト・レジスタは、UDnTXレジスタから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

UDnTXレジスタから1バイト分のデータが転送されると、シフト・レジスタのデータをTXDDn端子から出力します。このレジスタは直接操作することはできません。

(10) UARTDn 送信データ・レジスタ (UDnTX)

UDnTXレジスタは、8ビットの送信データ用バッファです。UDnTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UDnTXレジスタにデータの書き込みが可能になる (UDnTXレジスタからUARTDn送信シフト・レジスタに1フレーム分のデータが転送される) と、送信許可割り込み要求信号 (INTUDnT) を発生します。

14.3 制御レジスタ

(1) UARTDn制御レジスタ0 (UDnCTL0)

UDnCTL0レジスタは、UARTDnシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより10Hになります。

(1/2)

リセット時：10H R/W アドレス：UD0CTL0：FFFFFFA00H, UD1CTL0：FFFFFFA10H,
UD2CTL0：FFFFFFA20H

	⑦	⑥	⑤	④	3	2	1	0
UDnCTL0	UDnPWR	UDnTXE	UDnRXE	UDnDIR	UDnPS1	UDnPS0	UDnCL	UDnSL

(n = 0-2)

UDnPWR	UARTDnの動作の制御
0	クロック動作禁止 (UARTDnを非同期にリセット)
1	クロック動作許可

UDnPWRビットにより、動作クロックの制御とUARTDnの非同期リセットを行います。UDnPWRビットを“0”にすると、TXDDn端子の出力はハイ・レベルに固定されます (UDnOPT0.UDnTDLビット = 1のときは、ロウ・レベルに固定されます)。

UDnTXE	送信動作許可
0	送信動作停止
1	送信動作許可

- UDnOPT0レジスタのUDnTDLビットが“0”のとき、UDnTXEビットを“0”にすると、TXDAn端子の出力をハイ・レベルに固定します。
UDnOPT0レジスタのUDnTDLビットが“1”のとき、UDnTXEビットを“0”にすると、TXDAn端子の出力をロウ・レベルに固定します。
- 送信ユニットを初期化する場合は、UDnTXEビットをクリア (0) して、基本クロックの2周期分の時間が経過してから、再びUDnTXEビットをセット (1) してください。基本クロックの2周期分に満たない時間で再びUDnTXEビットをセット (1) した場合、状態の初期化がされない場合があります。
- UDnTXEビット = 1時、UDnPWRビット = 0にすると、内部構造はUDnTXEビット = 0時と同等になります。

UDnRXE	受信動作許可
0	受信動作停止
1	受信動作許可

受信ユニットの状態を初期化する場合は、UDnRXEビットをクリア (0) して、基本クロックの2周期分の時間が必要です。基本クロックの2周期分の時間が経過する以前にUDnRXEビット = 1とすることを禁止します。

受信動作は、UDnRXEビット = 1を設定後、基本クロックの2周期分が経過後に許可状態となります。RXDD端子の立ち下がりエッジ検出が有効になるのは、UDnRXEビット = 1に設定したあと、基本クロックの4周期分経過後です。

UDnDIR	転送方向モード (MSB/LSB) 選択
0	MSBファースト
1	LSBファースト

・UDnPWRビット = 0, またはUDnTXEビット = UDnRXEビット = 0の場合のみ書き換え可能です。
 ・LINのフォーマットで送信受信を行う場合は, UDnDIRビットは“1”に設定してください。

UDnPS1	UDnPS0	送信時のパリティ選択	受信時のパリティ選択
0	0	パリティを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

・UDnPWRビット = 0, またはUDnTXEビット = UDnRXEビット = 0の場合のみ書き換え可能です。
 ・受信時に「0パリティとして受信」を選択した場合, パリティ判定を行いません。
 したがって, UDnSTRレジスタのUDnPEビットはセットされないため, パリティ・エラーでのステータス割り込み (INTUDnS) も発生しません。
 ・LINのフォーマットで送受信を行う場合, UDnPS1, UDnPS0ビットは“00”に設定してください。

UDnCL	送受信データ1フレームのデータ・キャラクタ長指定
0	7ビット
1	8ビット

・UDnPWRビット = 0, またはUDnTXEビット = UDnRXEビット = 0の場合のみ書き換え可能です。
 ・LINのフォーマットで送信受信を行う場合は, UDnCLビットは“1”に設定してください。

UDnSL	送信データのストップ・ビット長指定
0	1ビット
1	2ビット

UDnPWRビット = 0, またはUDnTXEビット = UDnRXEビット = 0の場合のみ書き換え可能です。

備考 パリティについての詳細は, 14. 5. 12 **パリティの種類と動作**を参照してください。

(2) UARTDn 制御レジスタ 1 (UDnCTL1)

詳細は, 14. 6 (2) UARTDn**制御レジスタ1** (UDnCTL1) を参照してください。

(3) UARTDn 制御レジスタ 2 (UDnCTL2)

詳細は, 14. 6 (3) UARTDn**制御レジスタ2** (UDnCTL2) を参照してください。

(4) UARTDn オプション制御レジスタ 0 (UDnOPT0)

UDnOPT0レジスタは，UARTDnのシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより14Hになります。

(1/4)

リセット時：14H R/W アドレス：UD0OPT0：FFFFFFA03H, UD1OPT0：FFFFFFA13H,
UD2OPT0：FFFFFFA23H

	7	6	5	4	3	2	1	0
UDnOPT0 (n = 0-2)	UDnSRF	UDnSRT	UDnSTT	UDnSLS2	UDnSLS1	UDnSLS0	UDnTDL	UDnRDL

UDnSRF	SBF受信フラグ
0	UDnCTL0レジスタのUDnPWRビット = UDnRXEビット = 0に設定したとき。またはSBF受信正常終了したとき。
1	SBF受信中

・LIN通信でのSBF (Sync Brake Field) を受信していることを判断します。

・SBF受信エラー時に，UDnSRFビットは“1”を保持し，そのあと再度SBF受信を開始して正常終了すると“0”になります。命令でクリアできません。

・UDnSRFビットはリードのみ可能です。

注意 UDnSRF = 1の場合，SBF受信が正常に終了したかどうかの判断は，SBF受信モード選択ビット (UDnSRS) の値によって異なります。UDnSRSビット = 0の場合は，ノイズ等を含め一瞬でも受信入力データにハイ・レベルが入力されると，その時点でロウ・レベル期間が11ビット以上かどうかを判断します。UDnSRSビット = 1の場合は，設定されたボー・レートに合わせて受信入力データをサンプリングし，ロウ・レベル期間が11ビット以上のときは，SBF受信に成功したと判断します。

UDnSRT	SBF受信トリガ
0	-
1	SBF受信トリガ

・ LIN通信でのSBFの受信トリガ・ビットであり、読み出した場合、常に“0”が読み出されます。SBFを受信する場合、UDnSRTビットをセット(1)しSBF受信可能状態にしてください。

・ UDnCTL0レジスタのUDnPWRビット = UDnRXEビット = 1としてからUDnSRTビットを設定してください。

・ UDnSRTビットは受信動作中でもセットできますが、受信動作は中断されます。ステータス・フラグの更新、割り込み要求信号の発生、データの格納は行われないため、セット時の受信データは保証されません。

・ UDnSRTビットをセット後、SBF受信に成功してUDnSRFがクリアされ、それによる割り込み要求信号が立ち下がるまで、UDnSRTビットを再セットしても無効です。

・ SBF受信の検出は、次の受信入力データの立ち上がりエッジから開始されます。SBF受信中にUDnSRTをセットした場合、そのSBFは受信できないので、次のSBF受信成功までその他の受信動作を行いません。

注意

- SBFを受信せずにSBF受信許可状態を解除するには、UDnPWRビット = 0またはUDnRXEビット = 0にする必要があります。
- UDnSRTビットをセットした状態でのSBF受信完了の確認方法は、SBF受信モード選択ビット(UDnSRS)の値によって異なります。UDnSRSビットがクリア(0)されている場合は、SBF受信トリガ・ビット設定後の受信完了割り込み検出により確認可能です。UDnSRSビットがセット(1)されている場合は、SBF受信トリガ・ビット設定後のステータス割り込み検出の際、SBF受信成功フラグ(UDnSSF)が“1”かどうかで確認可能です。受信完了割り込み検出、またはステータス割り込み検出後に、UDnSRFビットが“0”であることでも確認できます。
いずれの場合もSBFの受信が成功したあと、次の受信からUARTの通常受信として動作します。
- UDnDCSビット = 1かつUDnSRFビット = 1の状態でのデータ送信を行うことは禁止です。ただし、SBF送信は可能です。

UDnSTT	SBF送信トリガ
0	-
1	SBF送信トリガ

・ LIN通信でのSBFの送信トリガ・ビットであり、読み出した場合、常に“0”が読み出されます。
 ・ UDnCTL0レジスタのUDnPWRビット = UDnTXEビット = 1としてからUDnSTTビットを設定してください。

注意 1. データ送信中に、次の送信データのライトとUDnSTTビットのセットの両方を行うことは禁止します。つまり送信割り込み処理においては、次の送信データのライトまたはUDnSTTビットのセットのどちらか一方しか実行できません。
 またSBF送信中にUDnSTTビットをセットしても無効です (SBF送信1回で終了)。

2. SBFの送信完了は、SBF送信トリガ・ビット設定後のUDnTSFビットが“0”になっている事により確認可能です。ただし、SBF送信中に次の送信データをUDnTXレジスタに書き込んだ場合は、UDnTSFビットはSBFの送信完了時にクリアされず、“1”を保持します。
 また、SBF受信モード選択ビット (UDnSRS) がセット (1) されている場合は、ステータス割り込み検出後にSBF受信成功フラグ (UDnSSF) が“1”になっている事でも確認可能です。

3. SBF受信モード選択ビット (UDnSRS) ビットがクリア (0) されているときにSBF送信を行うと、SBF受信トリガ・ビット (UDnSRT) をセットしたあと、SBF送信トリガ・ビットをセットする必要があります。UDnSRF = 0のときにSBF送信を行うと、10ビット目で必ずフレーミング・エラーが発生してしまうため、UDnSRSビット = 0かつUDnSRFビット = 0でSBF送信を実行する事は禁止します。

備考 UDnOPT0レジスタのUDnSTTビット = 1に設定してSBF転送を開始する前に、データ転送が処理中でない (UDnSTRレジスタのUDnTSFビット = 0) ことを確認してください。

UDnSLS2	UDnSLS1	UDnSLS0	SBF長選択
1	0	1	13ビット長で出力 (リセット値)
1	1	0	14ビット長で出力
1	1	1	15ビット長で出力
0	0	0	16ビット長で出力
0	0	1	17ビット長で出力
0	1	0	18ビット長で出力
0	1	1	19ビット長で出力
1	0	0	20ビット長で出力

UDnCTL0レジスタのUDnPWRビット = 0またはUDnCTL0レジスタのUDnTXEビット = 0のとき設定できます。

UDnTDL	送信データ・レベル・ビット
0	転送データ通常出力
1	転送データ反転出力

・ UDnTDLビットによりTXDDn出力の値を反転できます。
 ・ UDnCTL0レジスタのUDnPWRビット = 0またはUDnCTL0レジスタのUDnTXEビット = 0のとき設定できます。

注意 UDnTDLビットの制御により、UDnPWR, UDnTXEビットの値に関係なくTXDDn出力のレベルは反転します。そのため、動作禁止状態でUDnTDLビットに“1”をセットした場合には、TXDDn出力はロウ・レベルとなります。

UDnRDL	受信データ・レベル・ビット
0	転送データ通常入力
1	転送データ反転入力

・UDnRDLビットによりRXDDn入力の値を反転できます。
・UDnCTL0レジスタのUDnPWRビット = 0またはUDnCTL0レジスタのUDnRXEビット = 0のとき設定できます。

備考 パリティについての詳細は、14. 5. 12 **パリティの種類と動作**を参照してください。

(5) UARTDnオプション制御レジスタ1 (UDnOPT1)

UDnOPT1レジスタは、UARTDnのシリアル転送動作を制御する8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス： UD0OPT1： FFFFFFFA05H, UD1OPT1： FFFFFFFA15H,
UD2OPT1： FFFFFFFA25H

	7	6	5	4	3	2	1	0
UDnOPT1 (n = 0-2)	0	0	0	0	0	0	UDnSRS	UDnDCS

UDnSRS	SBF受信モード選択ビット
0	データの通信中は新しいSBFを検出しません(ストップ・ビットの位置でロウ・レベルが検出されると、フレーミング・エラーとして認識されます)。
1	データの通信中に新しいSBFを検出します(ストップ・ビットの位置でロウ・レベルが検出されると、次にハイ・レベルが検出されるまで待ち、ロウ・レベル期間が11ビット以上であれば、新しいSBFとして認識します)。
注意 1. LIN通信を使用する場合、UDnSRSビットをセットしてください。それ以外の場合は、必ず“0”を設定してください。 2. このビットをセット(1)する際は、UDnDCSビットも“1”に設定する必要があります。	

UDnDCS	データ一貫性チェック選択ビット
0	データの一貫性をチェックしません。
1	データの一貫性をチェックします。
UDnDCSビットはLIN通信においてデータを送信する場合、データの一貫性チェックの取り扱いを選択します。 UDnDCSビット = 1の場合、LIN通信においてデータを送信するときに送信データと受信データを比較します。不一致が検出されるとデータの一貫性エラー・フラグがセットされ、ステータス割り込み要求信号 (INTUDnS) が発生します。	
注意 1. LIN通信を使用する場合、UDnDCSビットをセットしてください。それ以外の場合は、必ず“0”を設定してください。 2. このビットをセット(1)する際は、データ・ビット長を8ビットに固定し、パリティ・ビットの付加は禁止です。	

(6) UARTDn状態レジスタ (UDnSTR)

UDnSTRレジスタは、UARTDnの通信状態と受信エラー内容を示す8ビットのレジスタです。

8/1ビット単位でリード/ライト可能ですが、UDnTSFビットはリードのみ可能で、UDnSSF、UDnDCE、UDnPE、UDnFE、UDnOVEビットについてはR/W可能ですが、“0”ライトによるクリアのみ可能で、“1”ライトによるセット動作はできません (“1”をライトした場合には、保持状態となります)。

次に初期化条件を示します。

レジスタ/ビット	初期化条件
UDnSTRレジスタ	<ul style="list-style-type: none"> ・リセット入力 ・UDnCTL0レジスタのUDnPWRビット = 0
UDnSSFビット	<ul style="list-style-type: none"> ・UDnCTL0レジスタのUDnRXEビット = 0 ・UDnOPT1レジスタのUDnSRSビット = 0
UDnDCEビット	<ul style="list-style-type: none"> ・UDnOPT1レジスタのUDnDCSビット = 0 ・UDnCTL0レジスタのUDnTXEビット = 0
UDnTSFビット	<ul style="list-style-type: none"> ・UDnCTL0レジスタのUDnTXEビット = 0
UDnPE, UDnFE, UDnOVEビット	<ul style="list-style-type: none"> ・0の書き込み ・UDnCTL0レジスタのUDnRXEビット = 0

注意 ステータス・フラグをクリアする場合は、1ビット操作命令で行うか、リードした値の反転値を8ビット操作命令でライトして、リード時にセットされていたビットをまとめてクリアしてください。

リセット時：00H R/W アドレス： UD0STR： FFFFFFFA04H, UD1STR： FFFFFFFA14H,
UD2STR： FFFFFFFA24H

	7	6	5	4	3	2	1	0
UDnSTR	UDnTSF	0	0	UDnSSF	UDnDCE	UDnPE	UDnFE	UDnOVE

(n = 0-2)

UDnTSF	送信状態フラグ
0	<ul style="list-style-type: none"> UDnPWRビット = 0, または UDnTXEビット = 0に設定したとき^注 転送完了後に, UDnTXに次の送信データがなかったとき SBF送信を終えたあと, UDnTXビットに次の送信データがなかったとき
1	<ul style="list-style-type: none"> UDnTXレジスタへの書き込み SBF送信トリガ・ビット (UDnSST) をセットしたとき
<ul style="list-style-type: none"> 連続送信を行っている場合にはUDnTSFビットは常に“1”になっています。 送信ユニットの初期化を行う場合には, UDnTSFビット = 0になっていることを確認してから初期化を行ってください。UDnTSFビット = 1の状態での初期化を行った場合, 送信が途中で中断されるため, 送信データは保証できません。 	
<p>注 通信動作中だと2クロック後にクリアされます。</p>	

UDnSSF	SBF受信成功フラグ
0	UDnPWR ビット = 1, UDnRXE ビット = 0, UDnSRS ビット = 0, または UDnSSF ビット = 0 に設定したとき
1	11 ビット以上の連続するロウ・レベル (SBF) を受信したとき
<ul style="list-style-type: none"> SBF受信モード選択ビットがLIN通信モードに設定されている場合 (UDnSRS = 1), ステータス割り込み処理でUDnSSFビットを読み出し, 新しいフレーム・スロットの開始を確認する必要があります。 このビットは, 0が書き込まれるまで現在の状態を保持します。UDnSRS = 0の場合は, このビットは常に0となります。 “1”をライトした場合, 状態保持となります。 	

UDnDCE	データ一貫性エラー・フラグ
0	UDnPWR ビット = 0, UDnTXE ビット = 0, UDnDCS ビット = 0, または UDnDCE ビット = 0 に設定したとき
1	LIN 通信モードにおいて送信データが受信データと一致しないとき
<ul style="list-style-type: none"> データの一貫性チェック選択ビットをセットしている場合 (UDnDCS = 1), データを送信するときに送信データと受信データを比較します。不一致を検出した場合, UDnDCEビットは“1”となります。 このビットは, 0が書き込まれるまで現在の状態を保持します。UDnDCS = 0の場合は, このビットは常に0となります。 “1”をライトした場合, 状態保持となります。 	

UDnPE	パリティ・エラー・フラグ
0	<ul style="list-style-type: none"> UDnPWRビット = 0, または UDnRXEビット = 0に設定したとき “0” をライトしたとき
1	受信時, データのパリティとパリティ・ビットが一致しないとき
<ul style="list-style-type: none"> UDnPEビットの動作は, UDnPS1, UDnPS0ビットの設定により左右されます。 UDnPEビットはリード・ライト可能となっていますが, “0” ライトによるクリアのみ可能で, “1” ライトによるセット動作はできません。“1” をライトした場合, 状態保持となります。 	

UDnFE	フレーミング・エラー・フラグ
0	<ul style="list-style-type: none"> UDnPWRビット = 0, または UDnRXEビット = 0に設定したとき “0” をライトしたとき
1	受信時, ストップ・ビットが検出されないとき
<ul style="list-style-type: none"> 受信データのストップ・ビットは, UDnSLビットの設定値に関わらず, 最初の1ビットのみチェックします。 UDnFEビットはリード・ライト可能となっていますが, “0” ライトによるクリアのみ可能で, “1” ライトによるセット動作はできません。“1” をライトした場合, 状態保持となります。 	

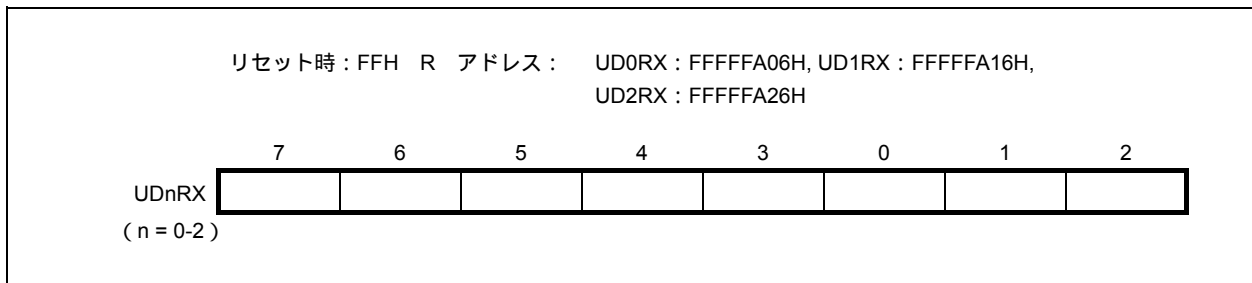
UDnOVE	オーバラン・エラー・フラグ
0	<ul style="list-style-type: none"> UDnPWRビット = 0, または UDnRXEビット = 0に設定したとき “0” をライトしたとき
1	UDnRXレジスタに受信データが格納され, それを読み出す前に次の受信動作が完了したとき
<ul style="list-style-type: none"> オーバラン・エラーが発生したとき, 次の受信データはUDnRXレジスタに書き込まれず, データは破棄されます。 UDnOVEビットはリード・ライト可能となっていますが, “0” ライトによるクリアのみ可能で, “1” ライトによるセット動作はできません。“1” をライトした場合, 状態保持となります。 	

(7) UARTDn受信データ・レジスタ (UDnRX)

UDnRXレジスタは、受信シフト・レジスタで変換したデータを格納するための8ビット・レジスタです。1バイト・データの受信完了により受信シフト・レジスタに格納したデータをUDnRXレジスタに転送します。

8ビット単位でリードのみ可能です。

リセット以外に、UDnCTL0レジスタのUDnPWRビット = 0によってもUDnRXレジスタはFFHになります。

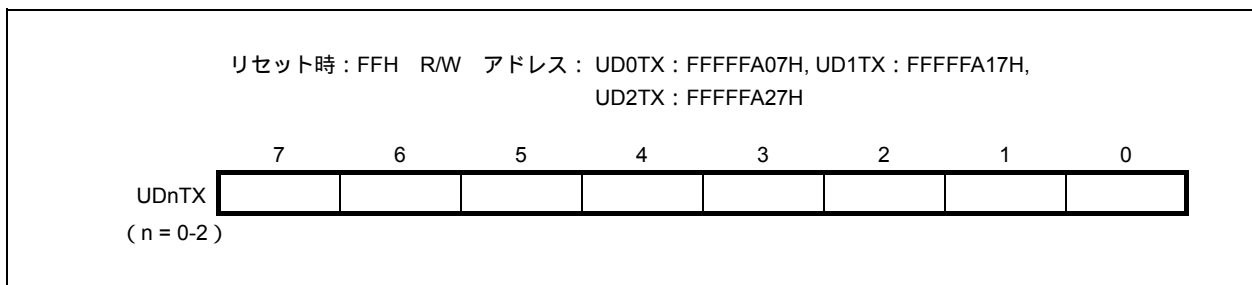


データ長を7ビットに指定した場合 (UDnCLビット = 0):

- ・ LSBファースト受信時、受信データはUDnRXレジスタのビット6-0に転送され、MSBは必ず “0” になります。
- ・ MSBファースト受信時、受信データはUDnRXレジスタのビット7-1に転送され、LSBは必ず “0” になります。
- ・ オーバラン・エラー (UDnOVE = 1) が発生した場合は、そのときの受信データはUDnRXレジスタに転送されません。

(8) UARTDn送信データ・レジスタ (UDnTX)

UDnTXレジスタは、送信データを設定するための8ビット・レジスタです。
8ビット単位でリード/ライト可能です。



データ長を7ビットに指定した場合 (UDnCLビット = 0) :

- ・ LSBファースト送信時、送信データはUDnTXレジスタのビット6-0に転送されます。
- ・ MSBファースト送信時、送信データはUDnTXレジスタのビット7-1に転送されます。

注意 送信動作許可状態 (UDnPWR = 1かつUDnTXE = 1) 時、UDnRXレジスタへの書き込みは送信開始トリガとして作用するため、直前の値と同一の値を書き込むと二度同じデータが送信されます。送信中の送信データ書き込みは、必ず送信割り込み要求 (INTUDnT) が発生したあとにしてください。

送信禁止状態において、UDnRXレジスタへ書き込んだ場合、送信開始トリガとして作用しません。そのため、送信禁止状態にてUDnRXレジスタに書き込み後、送信許可状態に設定しても送信は開始されません。

備考 送信割り込み要求信号 (INTUDnT) 発生後、送信が完了するまでに次の送信データを書き込むことで連続送信が可能です

14.4 割り込み要求信号

UARTDnからは次の3種類の割り込み要求信号を発生します。

- ・ステータス割り込み要求信号 (INTUDnS)
- ・受信完了割り込み要求信号 (INTUDnR)
- ・連続送信書き込み許可割り込み要求信号 (INTUDnT)

これら3種類の割り込み要求信号のデフォルト・プライオリティを、表14 - 3に示します。

表14 - 3 発生する割り込みとデフォルト・プライオリティ

割り込み	デフォルト・プライオリティ
ステータス	高
受信完了	
連続送信書き込み許可	低

(1) ステータス割り込み要求信号 (INTUDnS)

受信中にエラー条件を検出すると、ステータス割り込み要求信号が発生します。検出したエラーに対応するフラグ (UDnPE, UDnFE, UDnOVEビット) がUDnSTRレジスタにセットされます。

- ・SBF受信モード選択ビットがLIN通信モードに設定 (UDnSRSビット = 1) されている場合、11ビット以上の連続するロウ・レベル (SBF) を受信するとステータス割り込み要求信号を発生します。
- ・データの一貫性チェック選択ビットをセット (UDnDCSビット = 1) している場合、データを送信するときに送信データと受信データを比較します。不一致を検出した場合、ステータス割り込み要求が発生します。

(2) 受信完了割り込み要求信号 (INTUDnR)

受信許可状態で、受信シフト・レジスタにデータがシフト・インされUDnRXレジスタに転送されると受信完了割り込み要求信号が発生します。

受信エラーが起こった場合には、受信完了割り込み要求信号は発生せず、ステータス割り込み要求信号が発生します。

受信禁止状態中は、受信完了割り込み要求信号は発生しません。

(3) 連続送信書き込み許可割り込み要求信号 (INTUDnT)

送信許可状態で、UDnTXレジスタからUARTDn送信シフト・レジスタへ送信データが転送されると送信許可割り込み要求信号を発生します。

14.5 動作

14.5.1 データ・フォーマット

全二重シリアル・データの送受信を行います。

送受信データのフォーマットは、図14-2に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定、MSB/LSBファーストの転送指定は、UDnCTL0レジスタによって行います。

また、UDnOPT0レジスタのUDnTDLビットでTXDDn端子のUART出力 / 反転出力の制御を行います。

- ・スタート・ビット 1ビット
- ・キャラクタ・ビット ... 7ビット / 8ビット
- ・パリティ・ビット 偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ストップ・ビット 1ビット / 2ビット

図14-2 UARTDの送受信データのフォーマット (1/2)

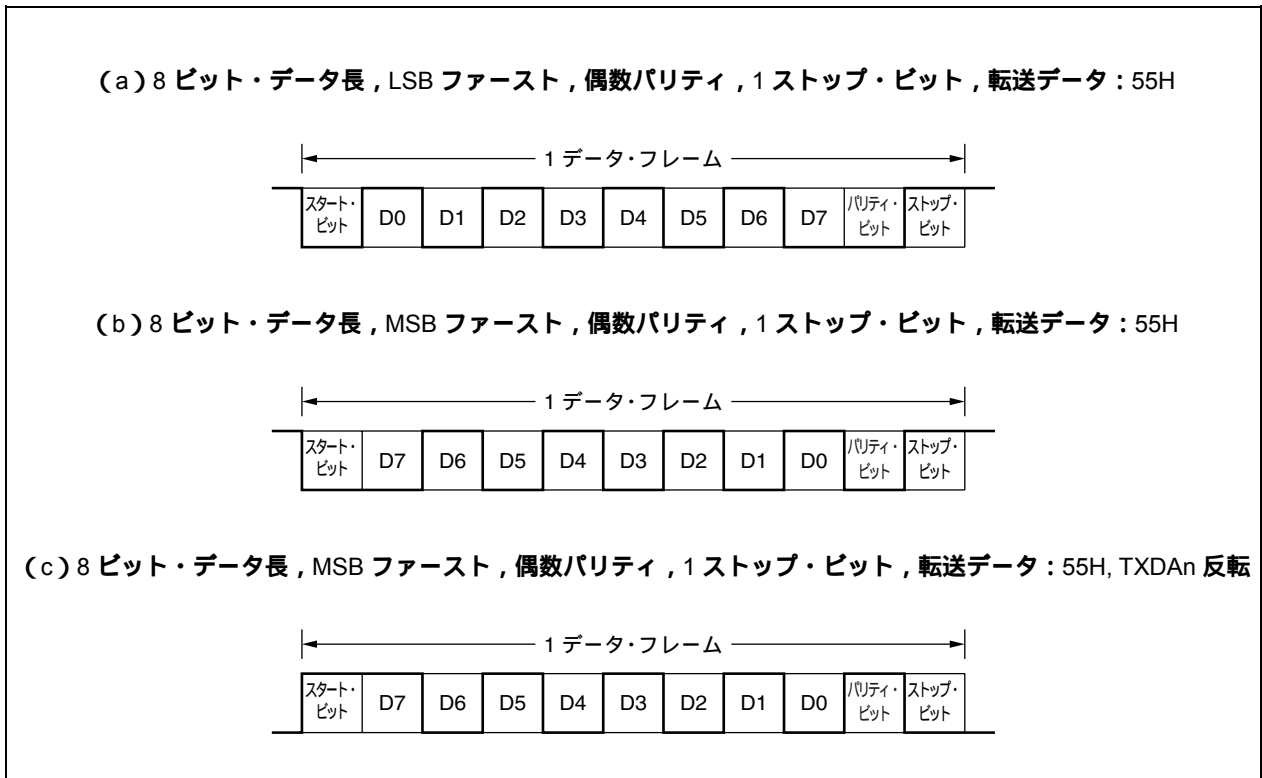
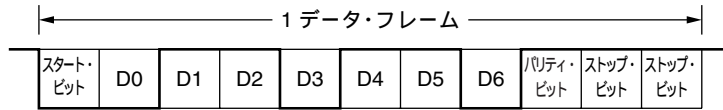
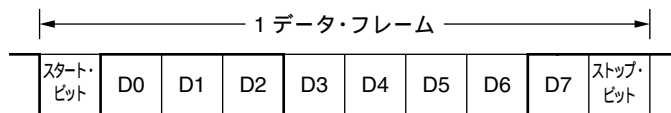


図14 - 2 UARTDの送受信データのフォーマット (2/2)

(d) 7 ビット・データ長, LSB ファースト, 奇数パリティ, 2 ストップ・ビット, 転送データ: 36H



(e) 8 ビット・データ長, LSB ファースト, パリティなし, 1 ストップ・ビット, 転送データ: 87H



14.5.2 SBF送信/受信フォーマット

本マイクロコントローラにはLIN(Local Interconnect Network)機能として使用するために、SBF(Synch Break Field)送信/受信制御機能があります。

備考 LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速(1~20 kbps)のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

LINのマスタは通常、CAN (Controller Area Network)などのネットワークに接続されます。

また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは、マスタはフレームにボー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため、スレーブのボー・レート誤差が±15%以下であれば、通信可能です。

図14-3 LINの送信操作概略

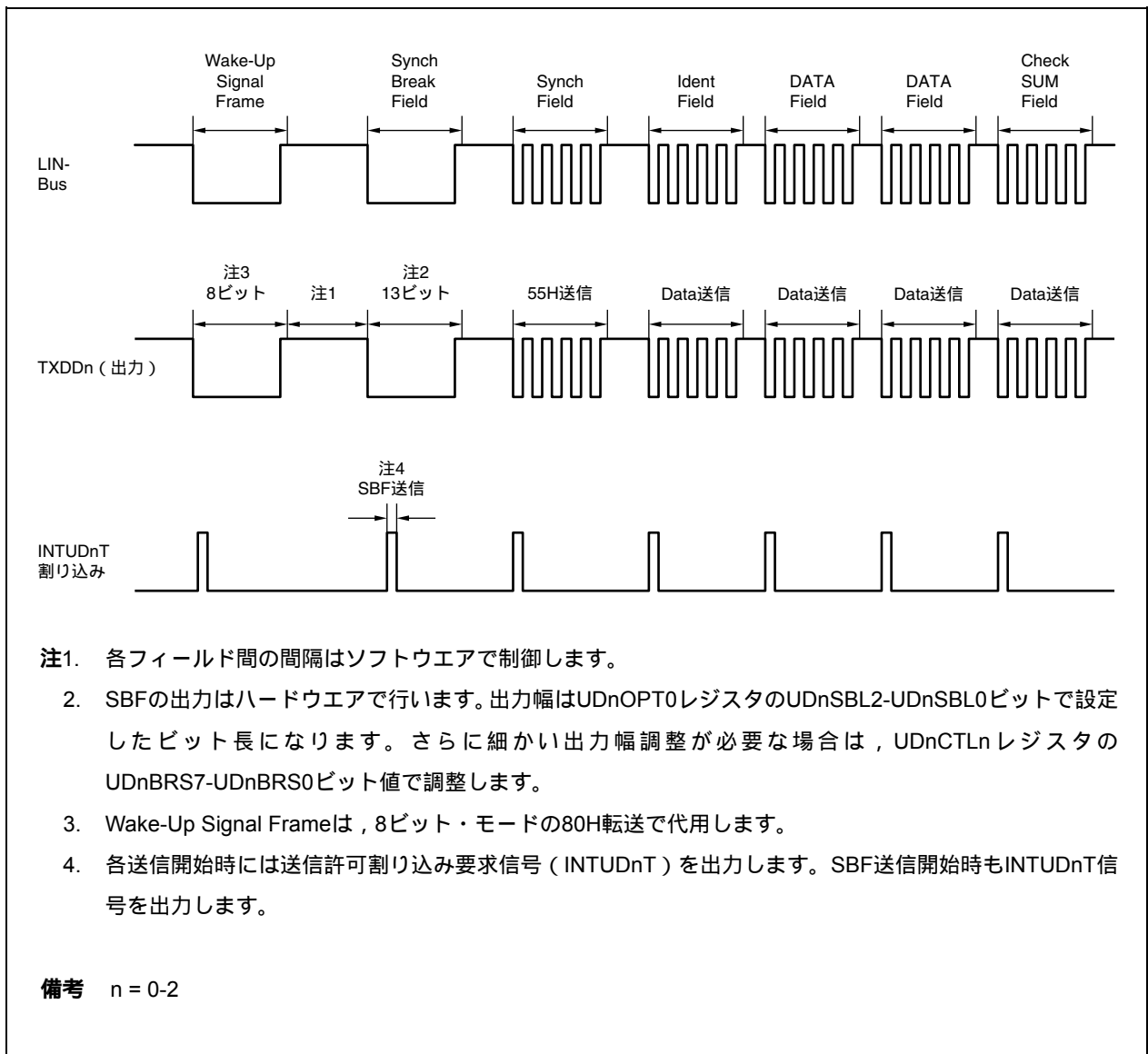
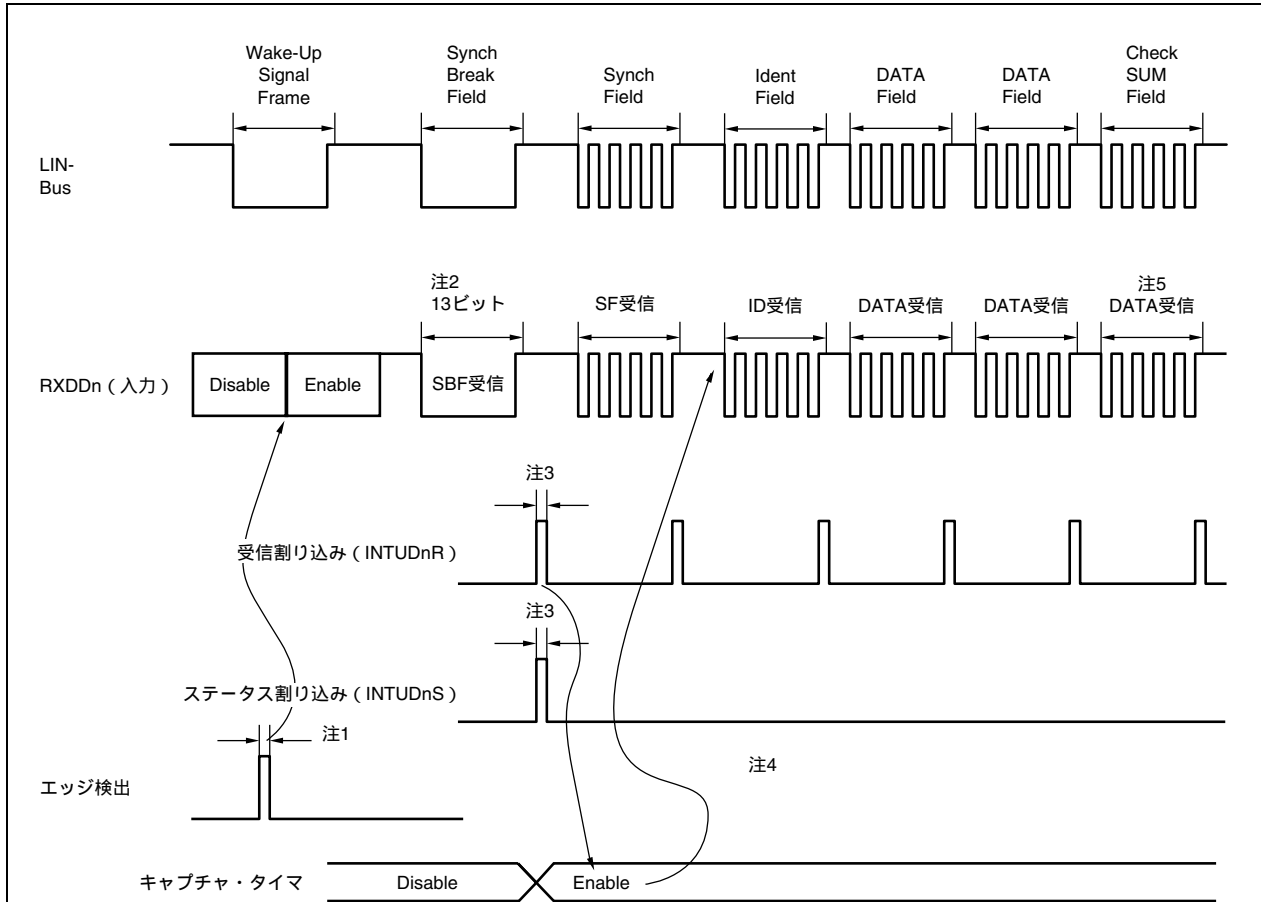


図14 - 4 LINの受信操作概略



- 注1. ウェイクアップ・シグナルは、端子のエッジ検出器で行い、UARTDnをイネーブルし、SBF受信モードに設定します。
2. 11ビット以上のSBF受信を検出するとSBF受信は正常終了と判断されます。SBF受信モード選択ビット (UDnSRS) が“0”のとき、受信完了割り込み要求信号 (INTUDnR) を発生し、UDnSRSが“1”のときは、ステータス割り込み要求信号 (INTUDnS) を発生します。受信したSBFが11ビット未満ならSBF受信エラーと判断し、割り込み信号を出力せずにSBF受信モードに戻ります。
3. 正常にSBF受信を終了した場合、SBF受信モード選択ビット (UDnSRS) が“0”のときは受信完了割り込み要求信号 (INTUDnR) が発生し、UDnSRSが“1”のときはステータス割り込み要求信号 (INTUDnS) が発生して、SBF受信成功フラグ (UDnSSF) をセットします。SBF受信トリガ・ビット (UDnSRT) が“1”の場合、SBF受信中はオーバーラン、パリティ、フレーミングの各エラー (UDnOVE, UDnPE, UDnFE) 検出は行いません。また、受信シフト・レジスタから受信データ・レジスタ (UDnRX) へのデータ転送も行われません。このとき、UDnRXは前の値を保持します。
4. RXDDn端子をタイマのTI (キャプチャ入力) に接続し転送レートを計算し、ポー・レート誤差を算出します。SBF受信後に、一度UARTDnの受信動作を停止させてからポー・レート誤差を補正したUDnCTL2レジスタの値を再セットし、受信状態にします。
5. チェック・サム・フィールドの区別はソフトウェアで行います。CSF受信後にUARTDnを初期化し、再びSBF受信モードに設定する処理もソフトウェアにて行います。ただし、UDnSRSビット = 1のときは、再びSBF受信モードに設定しなくても、その後自動的にSBFの受信を行うことができます。

備考 n = 0-2

14.5.3 SBF 送信

まず次の操作で送信許可状態にします。

- ・動作クロックをUARTD制御レジスタ1 (UDnCTL1) で指定。
- ・ボー・レート UARTD制御レジスタ2 (UDnCTL2) で指定。
- ・出力論理レベルとSBF長をUARTDオプション制御レジスタ0 (UDnPT0) で指定。
- ・データの一貫性チェック有無とSBF受信モードをUARTDオプション制御レジスタ1 (UDnPT1) で指定。
- ・通信方向, パリティ, データ・キャラクタ長, ストップ・ビット長をUARTD制御レジスタ0 (UDnCTL0) で指定。
- ・パワー・ビットと送信許可ビットをセット (UDnPWR = 1, UDnTXE = 1)。

次にSBF送信トリガ (UDnSTT) をセットし, SBF送信動作を起動します。TXDDn出力には, SBF長 (UDnSLS2-UDnSLS0) で指定された13ビットから20ビットまでのロウ・レベルが出力されます。SBF送信開始時には送信割り込み要求信号 (INTUDnT) を発生します。SBF送信を終了後, SBF送信状態 (SBTT) は自動的に解除され, 通常のUART送信モードに戻ります。

送信するデータをUDnTXレジスタに書き込むか, SBF送信トリガ (UDnSTT) をセットするまで, 送信動作は待機状態となります。SBF送信時の受信完了割り込み (INTUDnR) やステータス割り込み (INTUDnS) などによって, SBFの正常受信を確認してから, 次の送信動作を開始してください。

注意 設定する値が決まっているものを次に示します。

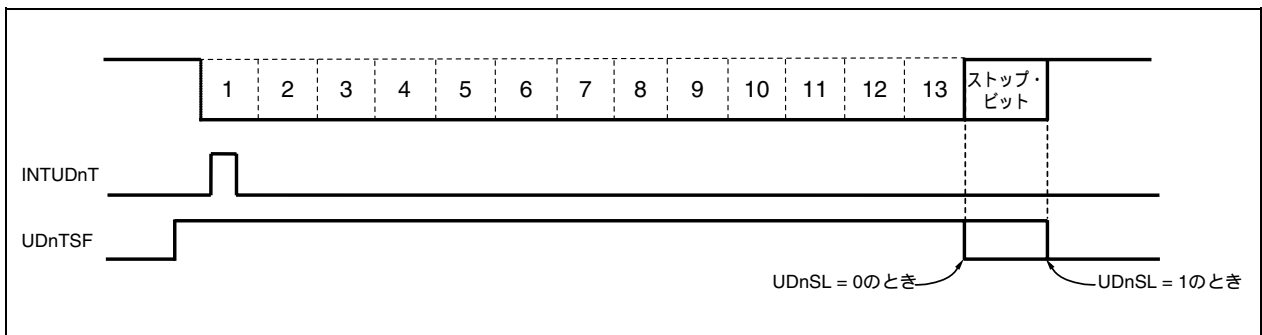
出力論理レベルは, 通常出力 (UDnTDL = 0) を設定。

通信方向制御は, LSBファースト (UDnDIR = 1) を設定。

パリティ選択ビットは, パリティ・ビット出力なし (UDnPS1 = 0, UDnPS0 = 0) を設定。

データ・キャラクタ長は, 8ビット (UDnCL = 1) を設定。

図14 - 5 SBF送信



14.5.4 SBF受信

まず次の操作で受信許可状態にし、RXDDn入力のモニタとスタート・ビットの検出を行います。

- ・動作クロックをUARTD制御レジスタ1 (UDnCTL1) で指定
- ・ボー・レートをUARTD制御レジスタ2 (UDnCTL2) で指定
- ・入力論理レベルをUARTDオプション制御レジスタ0 (UDnOPT0) で指定
- ・データの一貫性チェック有無とSBF受信モードをUARTDオプション制御レジスタ1 (UDnOPT1) で指定
- ・通信方向, パリティ, データ・キャラクタ長, ストップ・ビット長をUARTD制御レジスタ0 (UDnCTL0) で指定
- ・パワー・ビットと受信許可ビットをセット (UDnPWR = 1, UDnRXE = 1)

次にSBF受信トリガ・ビット (UDnSRT) をセットすると, SBFの受信待ち状態になり, RXDDn入力をモニタし, スタート・ビットの検出を行います。

RXDDn入力レベルの立ち下がりエッジが検出されると, RXDDn入力のデータ・サンプリングが始まります。ストップ・ビットを検出するまでの間, 設定されたボー・レートにあわせて内蔵カウンタをカウント・アップすることでSBFの長さを測定します。ストップ・ビットを受信した時点で, SBFの長さが11ビット長以上の場合は正常と判断され, SBF受信モード選択ビット (UDnSRS) が“0”のときは, 受信完了割り込み要求信号 (INTUDnR) を発生します。UDnSRSビットが“1”のときは, ステータス割り込み要求信号 (INTUDnS) を発生すると同時にSBF受信成功フラグ (UDnSSF) がセットされます。またSBF受信フラグ (UDnSRF) も自動的にクリアされ, SBF受信を終了します。

オーバラン, パリティ, フレーミング (UDnOVE, UDnPE, UDnFE) の各エラー検出は抑制されます。また, 受信シフト・レジスタから受信データ・レジスタ (UDnRX) へのデータ転送も行われません。SBFの幅が10ビット長以下の場合は異常と判断されます。その場合, 受信完了割り込み要求信号 (INTUDnR), またはステータス割り込み要求信号 (INTUDnS) が発生せずに受信を終了し, 再びSBF受信モードに戻ります。その際SBF受信フラグ (UDnSRF) はクリアされません。

もし, データの一貫性チェックあり (UDnDCS = 1) で送信をする場合は, SBF受信に成功しても失敗しても, 送信データと受信データに不一致が検出されるとデータの一貫性エラー・フラグ (UDnDCE) がセットされ, ステータス割り込み要求信号 (INTUDnS) を出力します。そのとき, INTUDnRは出力されません。

UARTDは, データ通信中でも新規のSBF受信を検出できます。

注意 1. 設定する値が決まっているものを次に示します。

入力論理レベルは, 通常入力 (UDnRDL = 0) を設定。

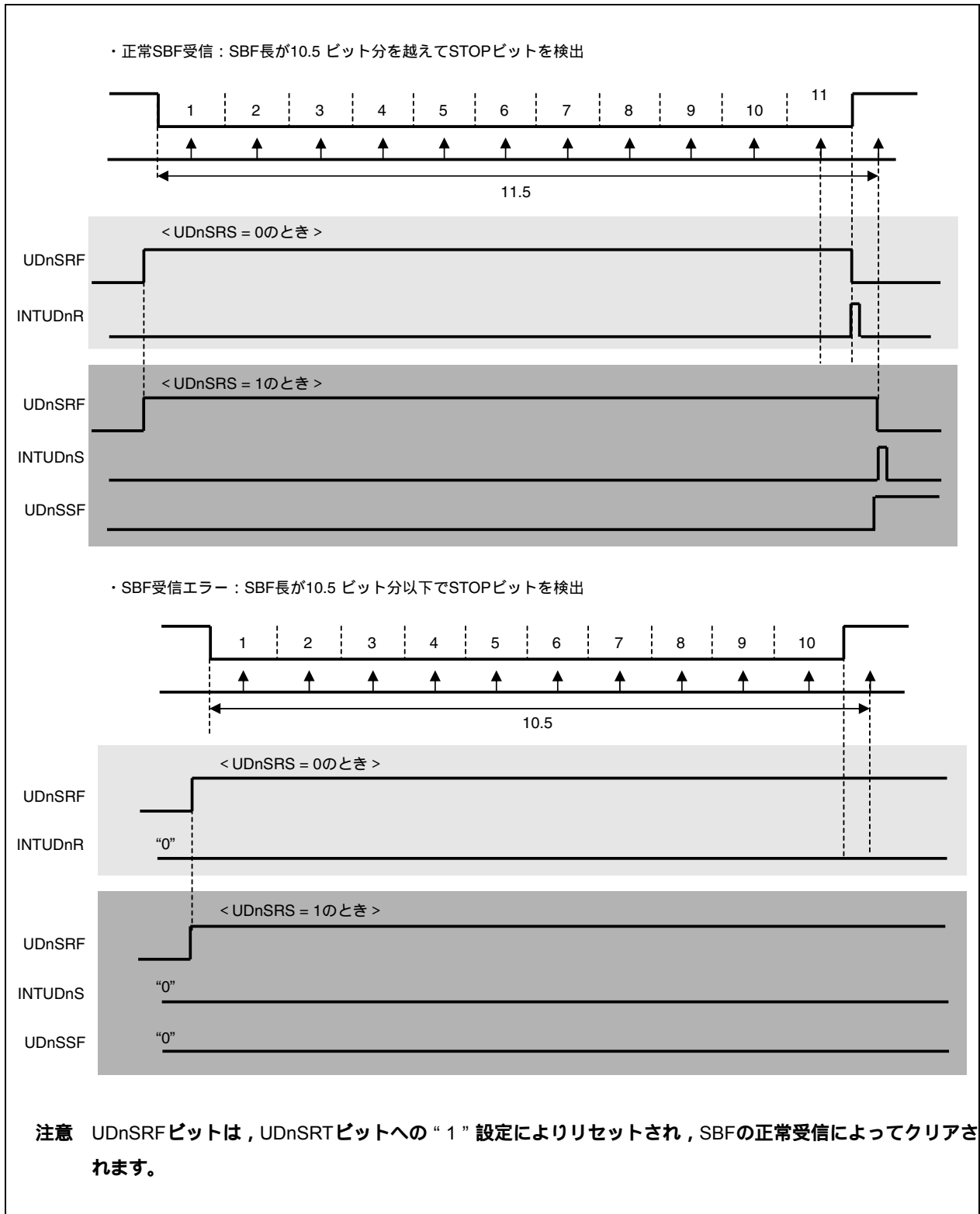
通信方向制御は, LSBファースト (UDnDIR = 1) を設定。

パリティ選択ビットは, パリティ・ビット出力なし (UDnPS1 = 0, UDnPS0 = 0) を設定。

データ・キャラクタ長は, 8ビット (UDnCL = 1) を設定。

2. データ受信中に, SBFが送信されてきた場合には, フレーミング・エラーとなります。
3. SBF受信トリガ・ビット (UDnSRT), SBF送信トリガ・ビット (UDnSTT) は, SBF受信中 (UDnSRF = 1) にセット (1) しないでください。

図14 - 6 SBF受信



14.5.5 データ一貫性チェック

データの一貫性チェック選択ビット(UDnDCS)を“1”にすると、Synch Break Field, Synch Field, Ident Field, Check SUM Fieldを含むデータの送信時、1ビットごとに送信データと受信データの比較を行います。不一致が検出された場合と、送信動作と受信動作のずれによる送信データと受信データの不一致に対応するために送信動作終了前に受信動作が終了した場合、そのフレームの終了時にステータス割り込み要求信号 (INTUDnS) を出力し、データの一貫性エラーフラグ (UDnDCE) をセットします。

また、次の送信データがすでに送信データ・レジスタ (UDnTX) にライト済みであった場合でも、次の送信を行いません (ライトされたUDnTX内のデータは無視)。SBF送信トリガ・ビット (UDnSTT) がセットされていた場合も、SBTTをクリアしてSBFの送信を行いません。送信を再開する場合は、データの一貫性エラー・フラグ (UDnDCE) をクリアしてから、送信データを送信データ・レジスタ (UDnTX) にライト、またはSBF送信トリガ・ビット (UDnSTT) をセットする必要があります。

データの一貫性チェックは、SBF送信においても送信のスタート・ビットから1ビット目のストップ・ビットまで行われます。ストップ・ビット長選択ビット (UDnSL) によってストップ・ビット長を2ビットに指定していても、2ビット目のストップ・ビットの一貫性チェックは行われません。

なお受信のみの場合 (送信していないとき) は、データの一貫性チェックは行われませんが、送信している場合は受信許可ビットを禁止 (UDnRXE = 0) にしていても、送信データと入力データ端子レベルとの一貫性チェックが行われます。UDnRXE = 0のときは受信動作自体が行われなため、受信データ格納とそれによる受信完了割り込み要求信号 (INTUDnR) の発生、またUDnSSF, UDnFE, UDnOVEのセットとそれによるステータス割り込み要求信号 (INTUDnS) が発生しないので、受信データを読み出す必要はありません。

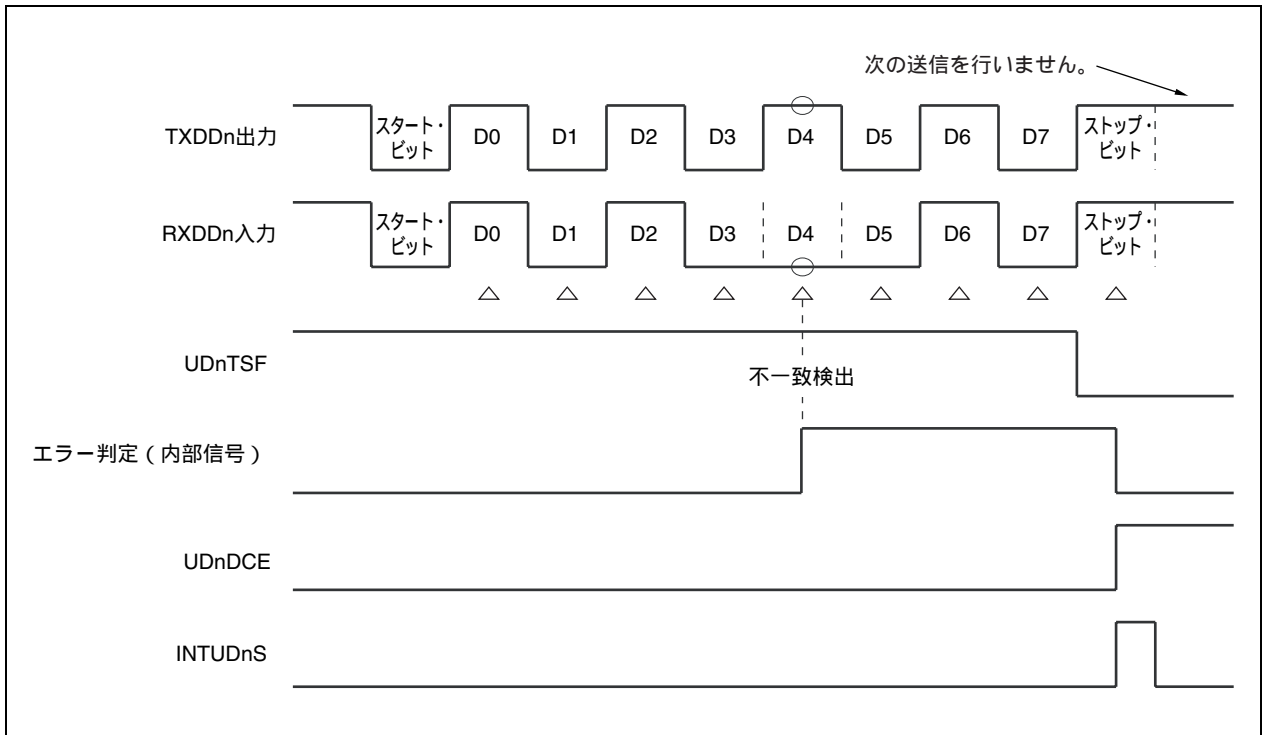
データの一貫性エラーは次の場合に検出されます。

- ・送信中 (スタート・ビットから1ビット目のストップ・ビットの間) に、送信データと受信データの不一致を検出。
- ・UDnSRF = 0のとき、送信動作終了前に受信動作が終了^注。
- ・UDnSRF = 1かつUDnSRS = 0のとき、SBF送信中に入力データの立ち上がりエッジを検出。
- ・UDnSRF = 1かつUDnSRS = 1のとき、SBF送信中に入力データの“1”を検出。
- ・1ビット目のストップ・ビット送信時に入力データの“0”を検出。

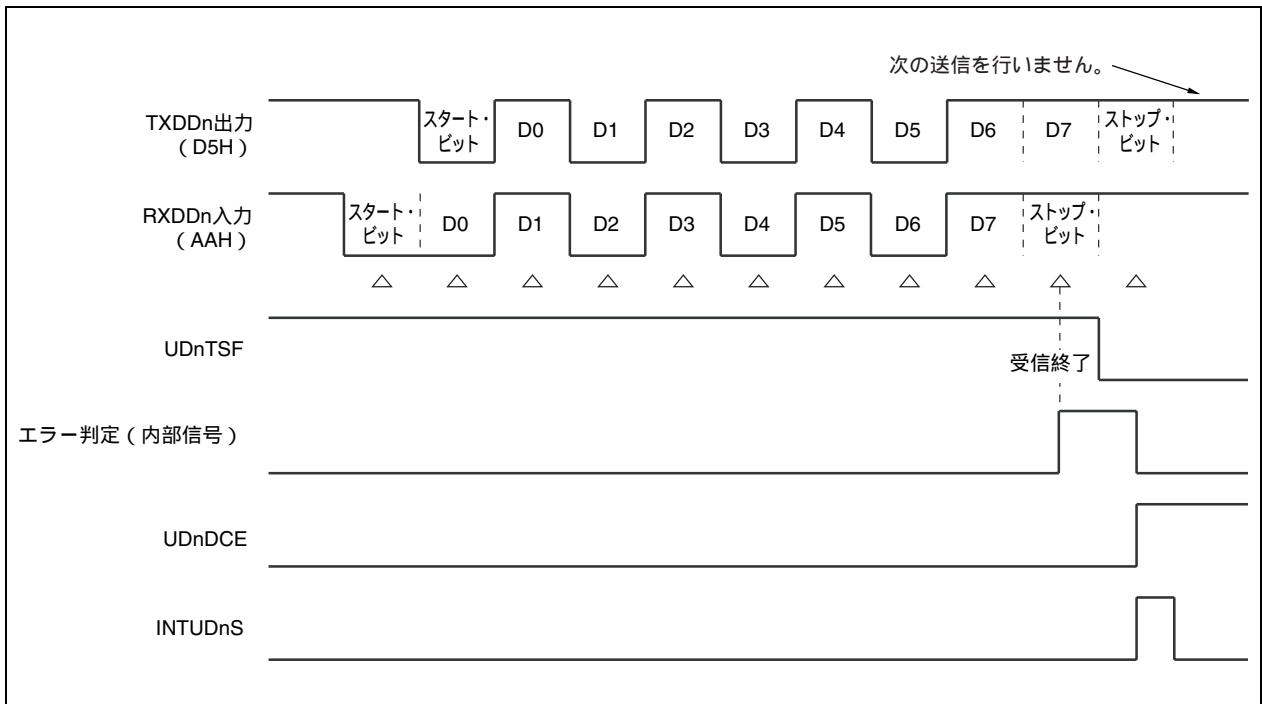
注 ただし、UDnRXE = 0のときは除く。

- 注意1.** データの一貫性チェック選択ビットUDnDCS = 0の場合、データの一貫性エラー・フラグ(UDnDCE) は“0”固定です。
2. データの一貫性エラーの有無は、受信データのUDnRXレジスタ格納動作に影響を与えません。ただし格納が行われる場合は、フレーミング・エラーが発生の可能性があるタイミングに格納されます。
 3. UDnSRS = 0, UDnDCS = 1かつUDnSRF = 0のときにSBFを送信すると、受信動作はデータのストップ・ビット位置 (10ビット目) に終了するので (送信動作終了前に受信動作が終了)、送信データと受信データに不一致がなくても一貫性エラーが発生します。

(a) データ一貫性エラーのタイミング例 (UDnSRF = 0)



(b) 送信と受信動作間に遅延がある場合のデータ一貫性エラーのタイミング例



14.5.6 SBF 受信モード選択

SBF (Synch Break Field) の受信のために、2種類のモードを備えており、SBF受信モード選択ビット (UDnSRS)によって選択します。UDnSRSビットのセットは、データの一貫性チェック選択ビット(UDnDCS)を“1”にしたときのみです。

(1) UDnSRS = 0 の場合

SBF受信モード選択ビット (UDnSRS) を“0”に設定すると、SBF受信成功待ち (UDnSRF = 1) のときのみ新規SBFを認識するモードとなります。

SBF受信成功待ち状態でない場合 (UDnSRF = 0), フレーミング・エラー / オーバラン・エラーの判定は、データのストップ・ビット位置 (10ビット目)で行われます (図14-7参照)。オーバラン状態でなければ、受信データはUDnRXレジスタに格納されます。SBF受信成功待ち (UDnSRF = 1) の場合、フレーミング・エラー / オーバラン・エラーの検出および受信データのUDnRXレジスタへ格納されません。

UDnSRF = 0のときはデータまたはSBFのストップ・ビット送信開始時に受信動作が停止している場合は、データの一貫性エラーの割り込みとフラグの変化は、ストップ・ビットの次のビット開始時に行われます (14.5.5 (b) 参照)。ストップ・ビット送信開始時に受信動作中の場合は、ストップ・ビット位置で行われます (14.5.5 (b) 参照)。一方、UDnSRF = 1のとき、ストップ・ビット送信開始時に受信動作が停止していると、ストップ・ビットの次のビット開始時に行われ、受信動作中の場合はストップ・ビット以降の入力データの立ち上がりエッジ検出時に行われます。

注意 SBF受信モード選択ビット (UDnSRS) = 0の場合、SBF受信成功フラグ (UDnSSF) は“0”固定です。

図14-7 UDnSRS = 0の場合のフレーミング・エラー / オーバラン・エラー判定タイミング

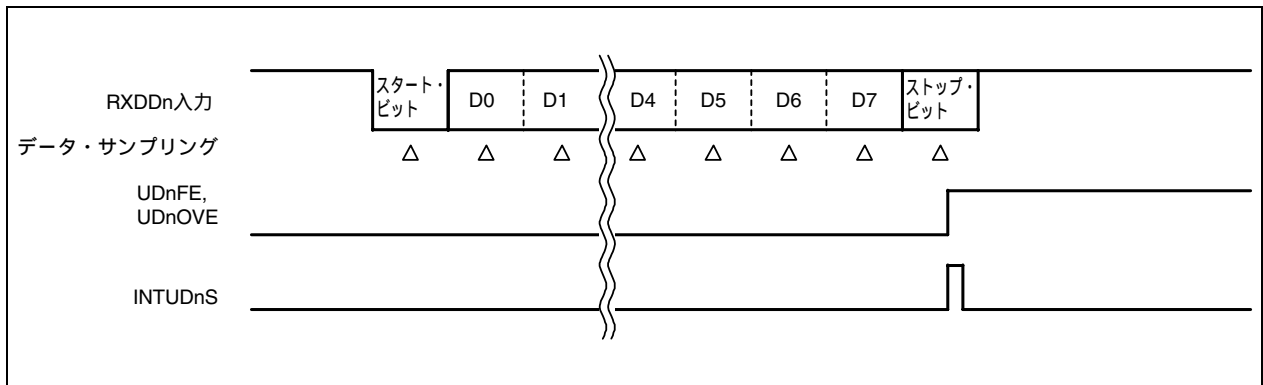


図14 - 8 UDnSRF = 1の場合のSBF送信時一貫性エラー発生タイミング例
 (ストップ・ビット送信開始時に受信動作が停止している場合 (直前の入力データが "1"))

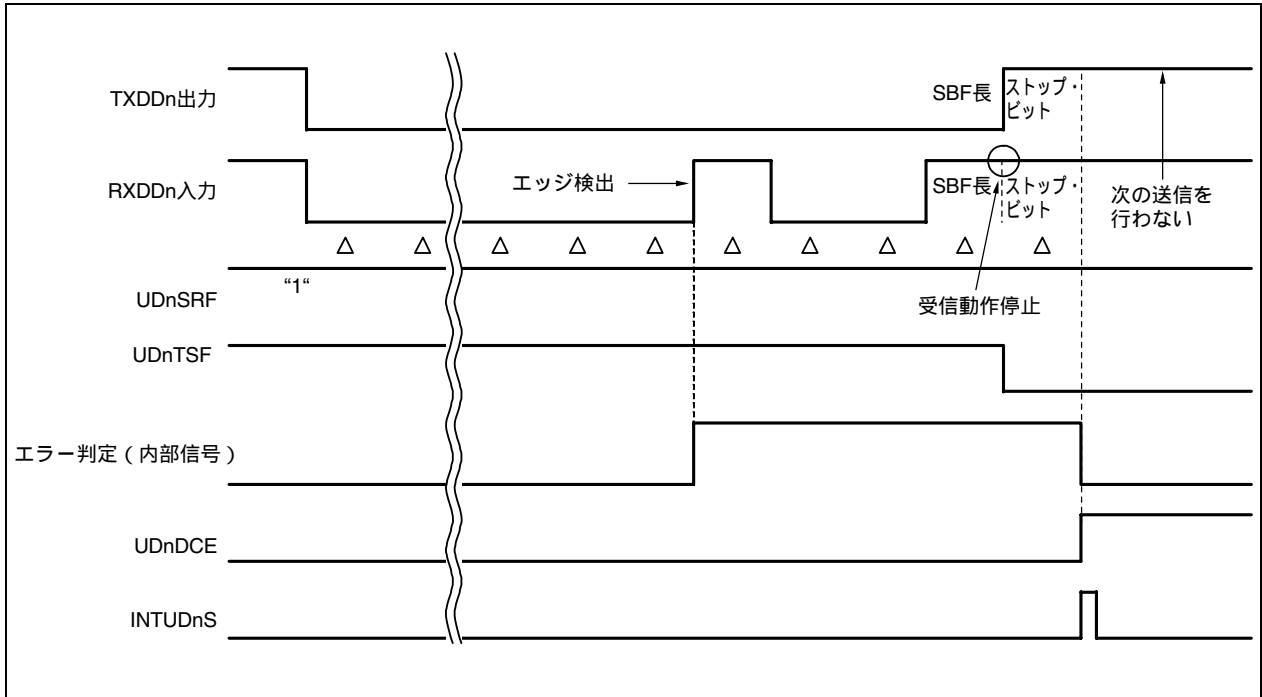
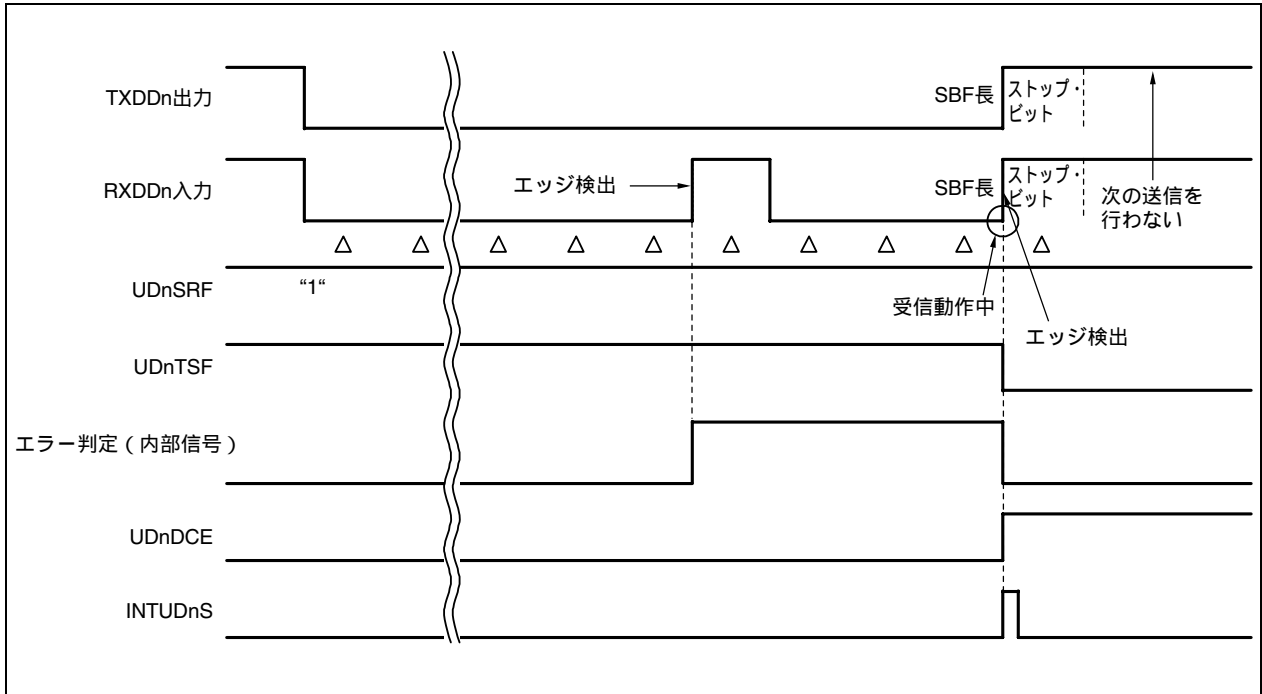


図14 - 9 UDnSRF = 1の場合のSBF送信時一貫性エラー発生タイミング例
 (ストップ・ビット送信開始時に受信動作中の場合 (直前の入力データが "0"))



(2) UDnSRS = 1 の場合

SBF受信モード選択ビット (UDnSRS) を “1” に設定すると、SBF受信成功待ち (UDnSRF = 1) のときに加えて、データ通信中のときにも新規SBFを認識するモードとなります。SBF受信成功待ち状態でない場合 (UDnSRF = 0)、データのストップ・ビット位置 (10ビット目) でロウ・レベルを検出した場合は、新規SBFを受信中の可能性があるため、入力データがハイ・レベルになるまでフレーミング・エラー / オーバラン・エラーの判定を待ちます。そして連続するロウ・レベル期間が11ビット未満だった場合はエラー検出と判定します (図14 - 10参照)。オーバーラン・エラーでなければ、受信データは始めの8ビットがUDnRXレジスタに格納されます。このとき、SBF受信成功フラグ (UDnSSF) はセットされません。SBF受信成功待ち (UDnSRF = 1) のとき、フレーミング・エラー / オーバラン・エラーの検出および受信データのUDnRXレジスタへの格納は行われません。

一方連続するロウ・レベル期間が11ビット以上だった場合は、新規SBF受信成功と判断し、SBF受信成功フラグ (UDnSSF) をセットします (図14 - 11参照)。フレーミング・エラー / オーバラン・エラーの検出は行われません。このとき、受信データはUDnRXレジスタに格納されません。

データの一貫性エラーの割り込みとフラグの変化は、UDnSRF = 0のとき、データまたはSBFのストップ・ビット送信開始時に受信動作が停止していると、ストップ・ビットの次のビット開始時に行われます (14.5.5 (b) 参照)。ストップ・ビット送信開始時に受信動作中の場合は、ストップ・ビット以降に入力データ “1” を検出したときに行われます (14.5.5 (a)、図14 - 12参照)。

一方、UDnSRF = 1でストップ・ビット送信以降に入力データ “1” を検出したとき、受信動作が停止していると次のビット開始時に行われます (図14 - 13参照)。受信動作中の場合は “1” を検出したビットに行われます (図14 - 14参照)。

図14 - 10 SBF受信失敗時のフレーミング・エラー / オーバラン・エラー判定タイミング (UDnSRF = 0のとき)

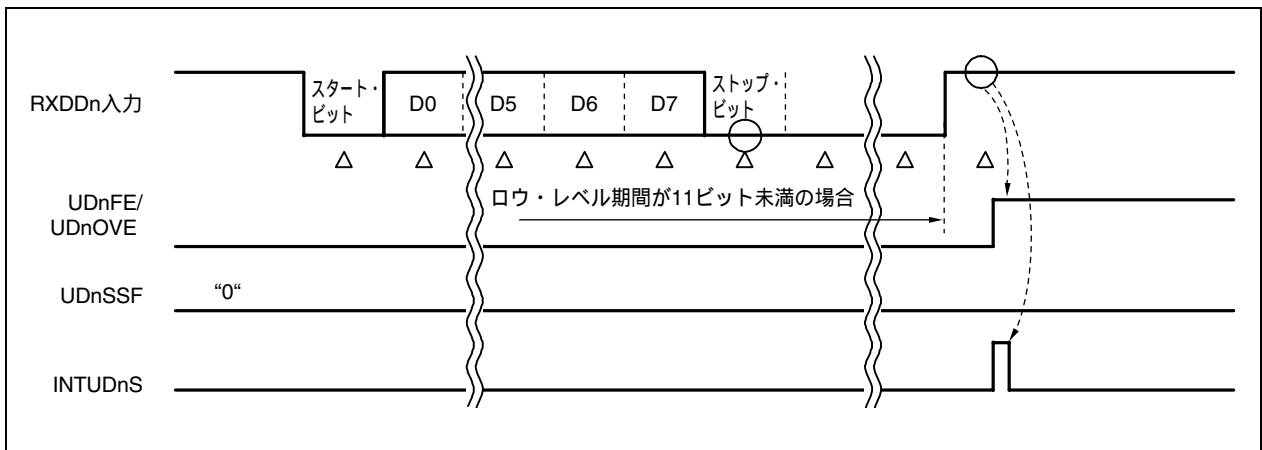


図14 - 11 SBF受信成功時のステータス割り込みの発生タイミング

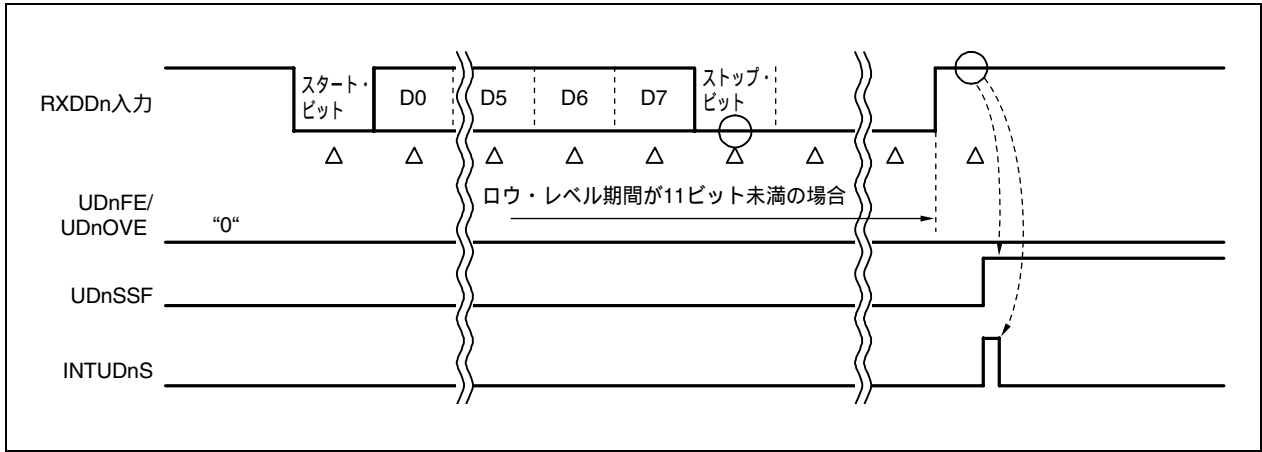


図14 - 12 UDnSRF = 0の場合のデータの一貫性エラー発生タイミング例

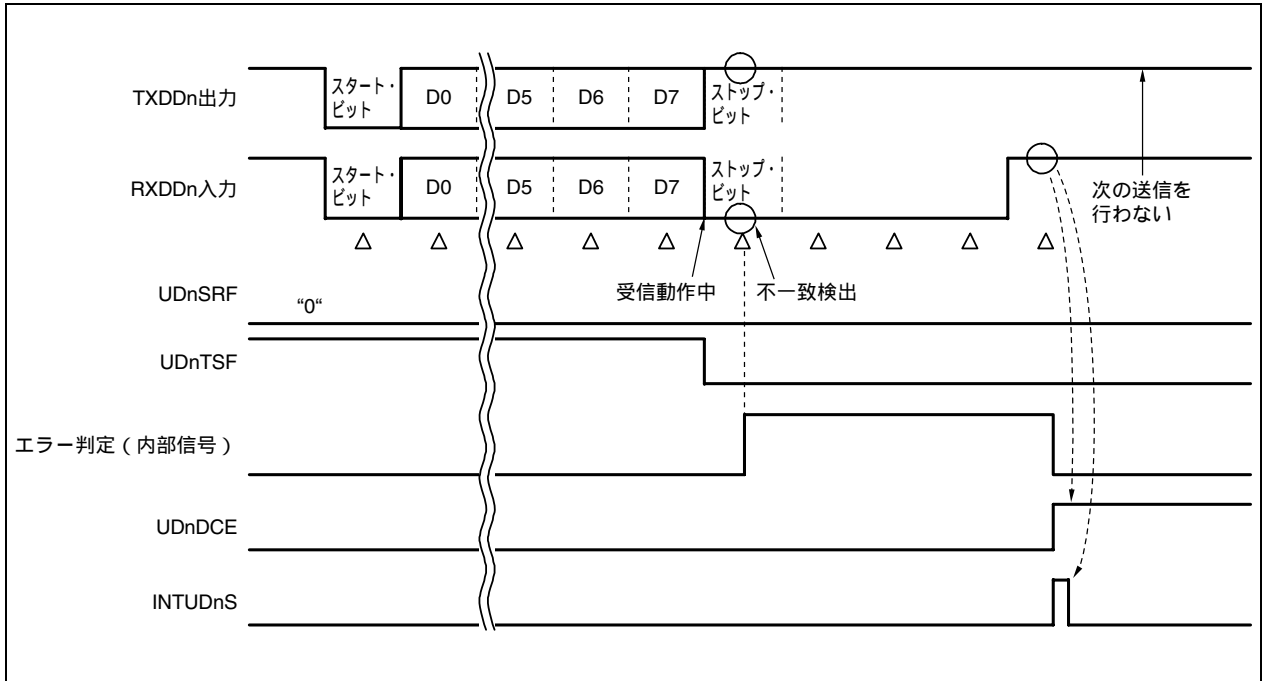


図14 - 13 UDnSRF = 1の場合のSBF送信時一貫性エラー発生タイミング例
 (ストップ・ビット以降に入力データ“1”を検出したとき、受信動作が停止している場合(前のビットが“1”))

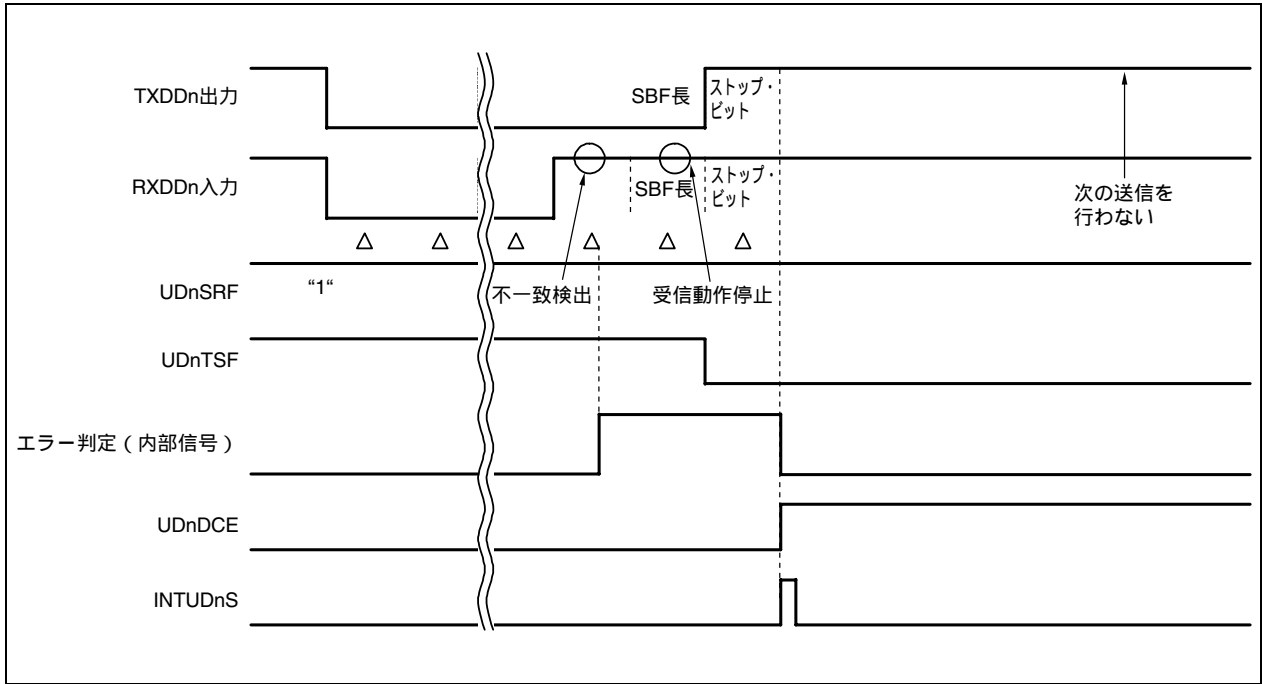
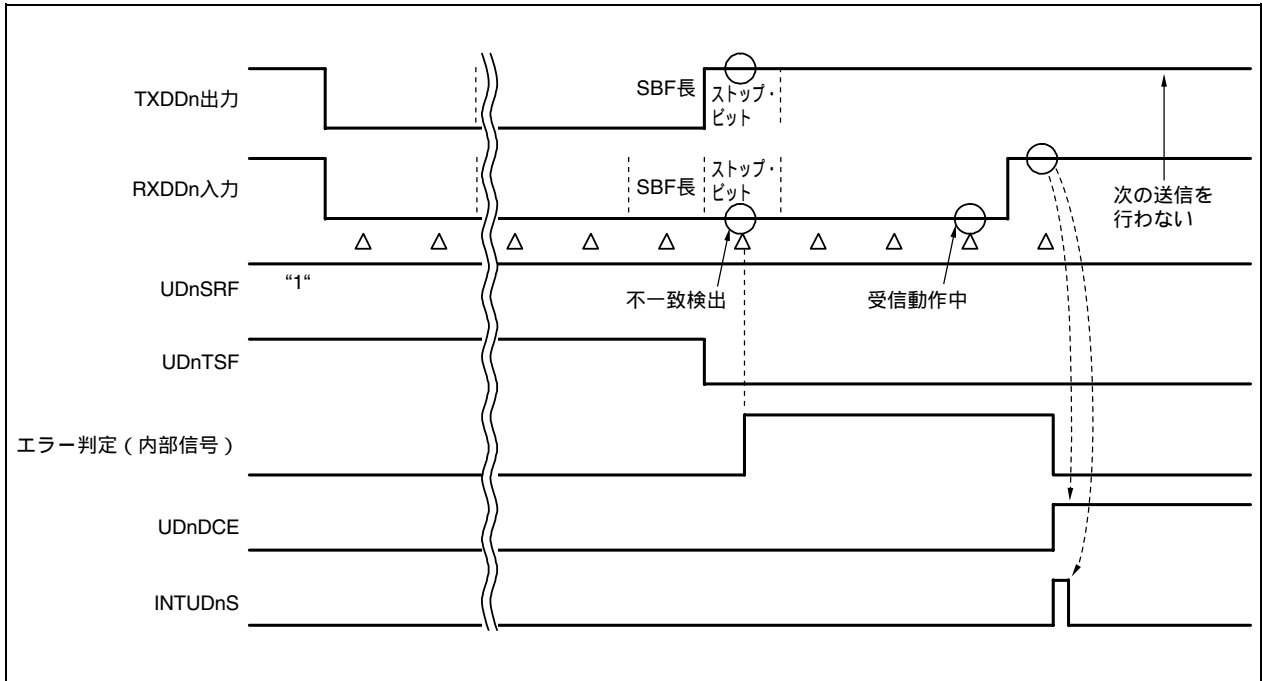


図14 - 14 UDnSRF = 1の場合のSBF送信時一貫性エラー発生タイミング例
 (ストップ・ビット以降に入力データ“1”を検出したとき、受信動作中の場合(前のビットが“0”))



(3) SBF の認識について

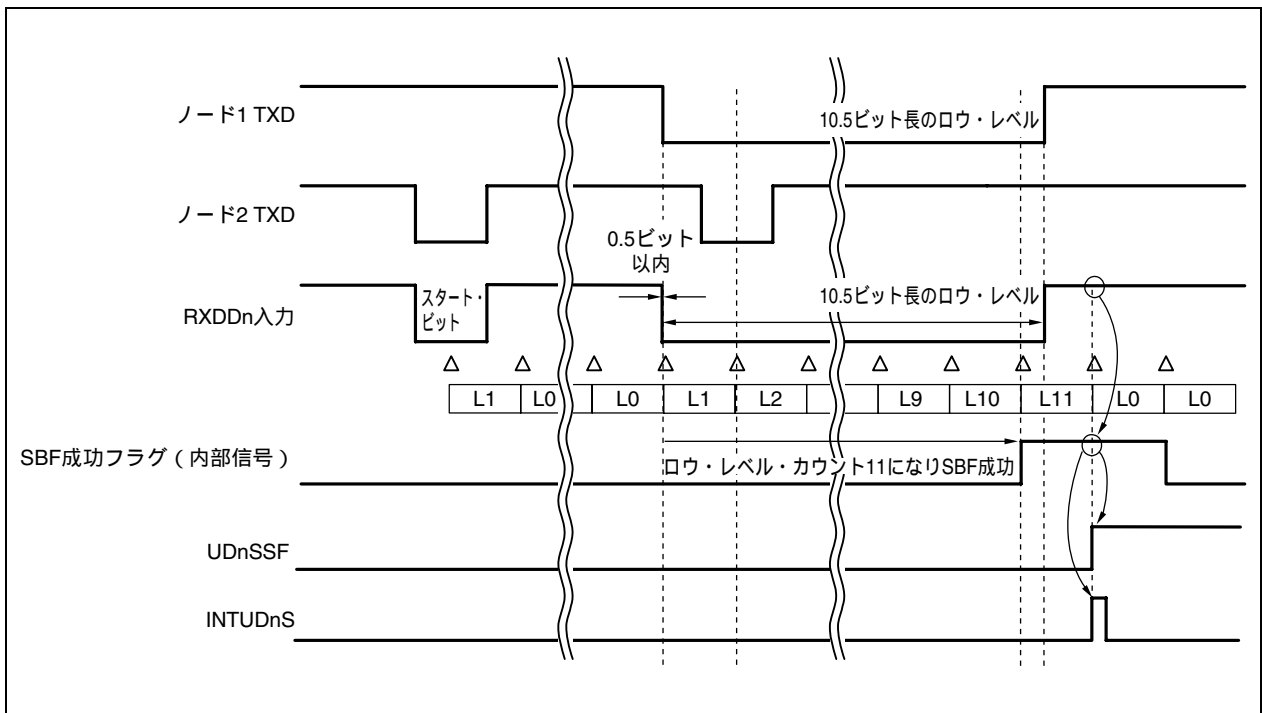
SBF受信, 2種類のモードによるSBF認識方法の違いを説明します。

UDnSRS = 1の場合, データの途中からでもSBFを認識するモードですが, SBFの認識はサンプル・ポイントで受信データをサンプリングしロウ・レベルと認識することでカウンタをアップさせ, ハイ・レベルと認識した場合はカウンタをクリア (0) する構造になっています。そして, カウンタ値が “ 11 ” になった時点で, SBF受信成立したと判定します。そのため, データ受信中に途中からSBFが送信された場合には, SBFをサンプリングする位置によって10ビット + 1クロックから11ビット未満のSBF長だと受信成功が不確実な期間となります。ただし, 11ビット長以上であればSBFは正常に受信されます。

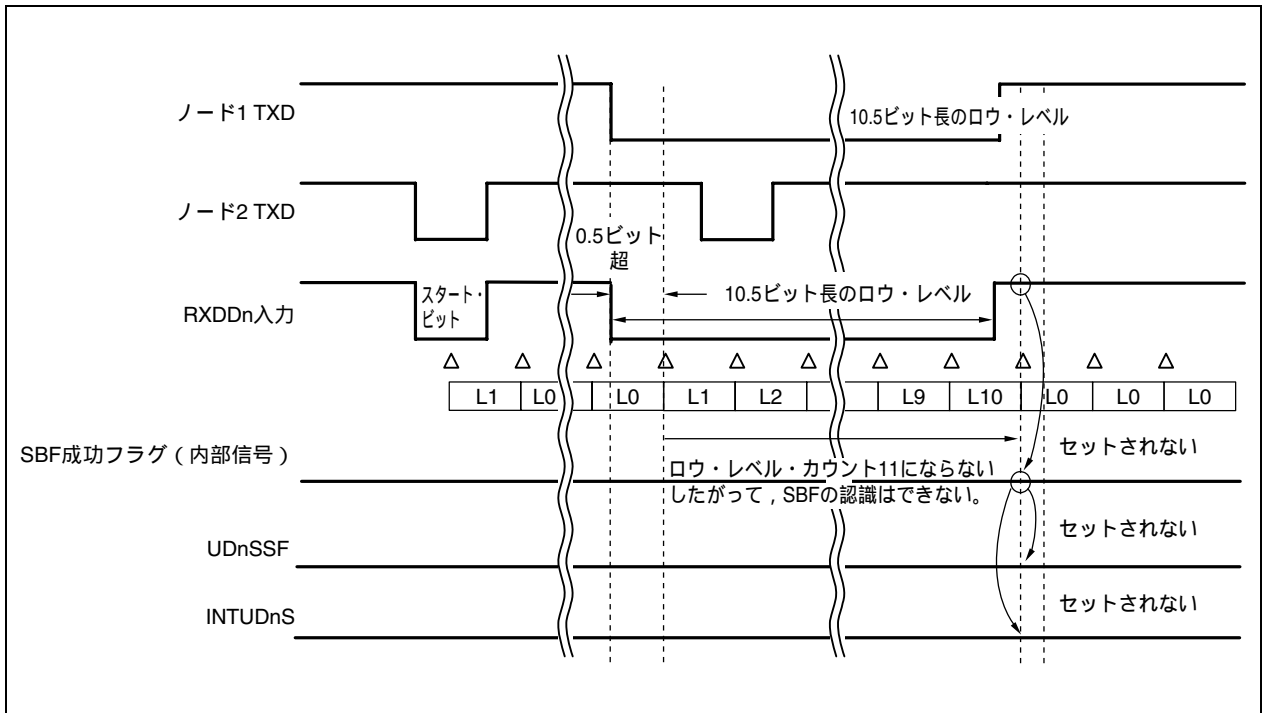
また, 受信スタート時からSBFデータであるならば10.5ビット長でもSBFとして認識します。

したがって, このモードを取り扱う場合, 他ノードとの送信データの衝突または “ 0x00H ” の送信データが存在すると, ノード間でのオシレータの変動誤差の違いによってSBF判定が行われる可能性がありますので注意してください。

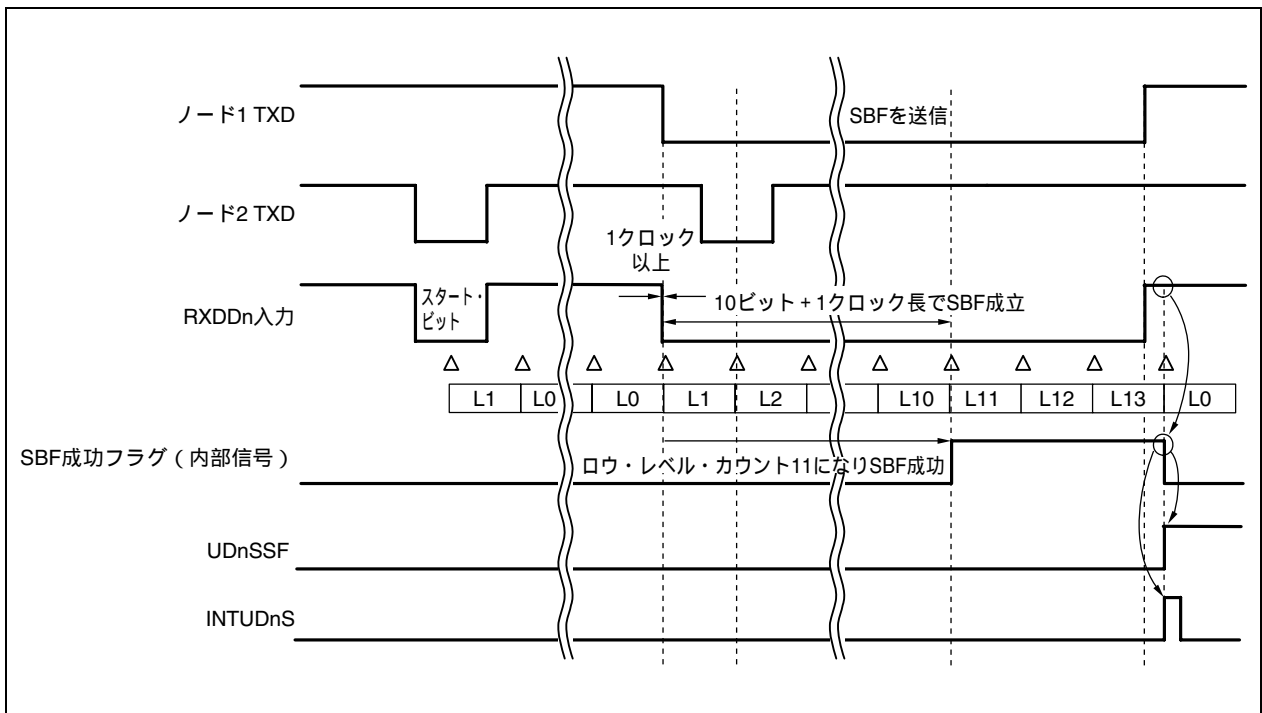
10.5ビット長のロウ・レベルでSBF受信成立 (成功) 例



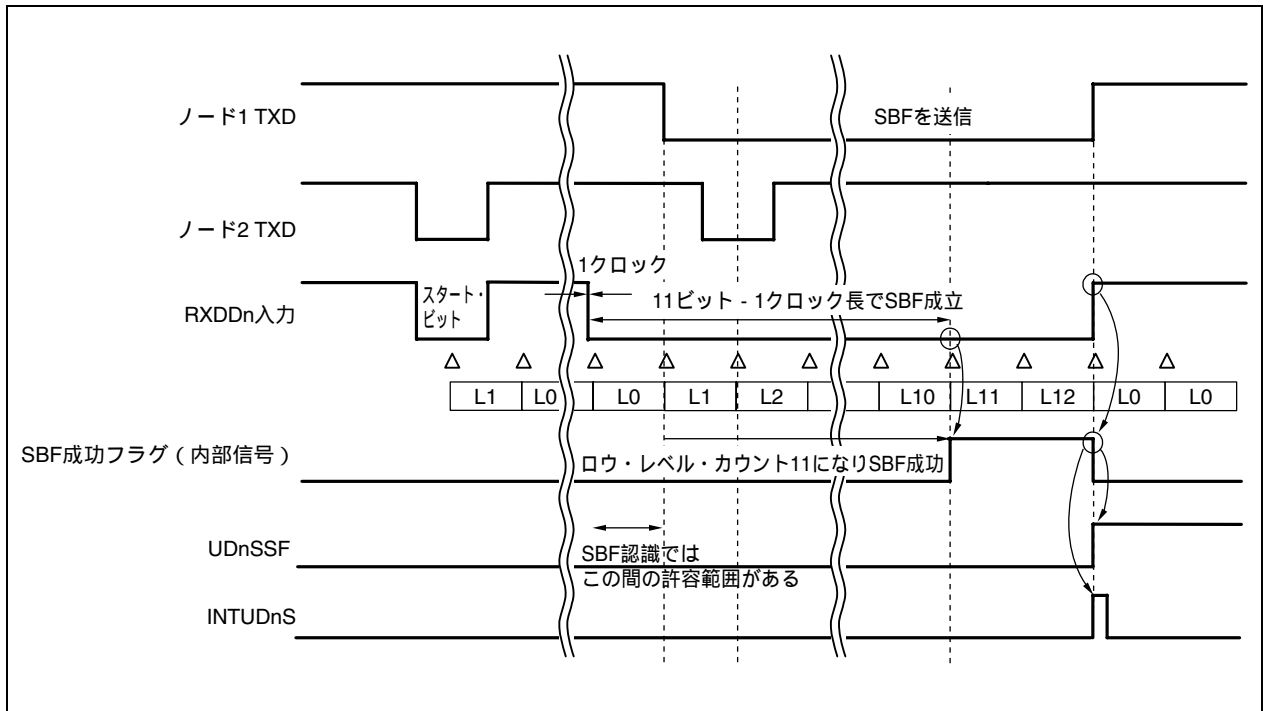
10.5ビット長のロウ・レベルでSBF受信不成立 (不成功) 例



もっとも短い幅によるSBF受信成立例



もっとも長い幅によるSBF受信成立例



14.5.7 UART 送信

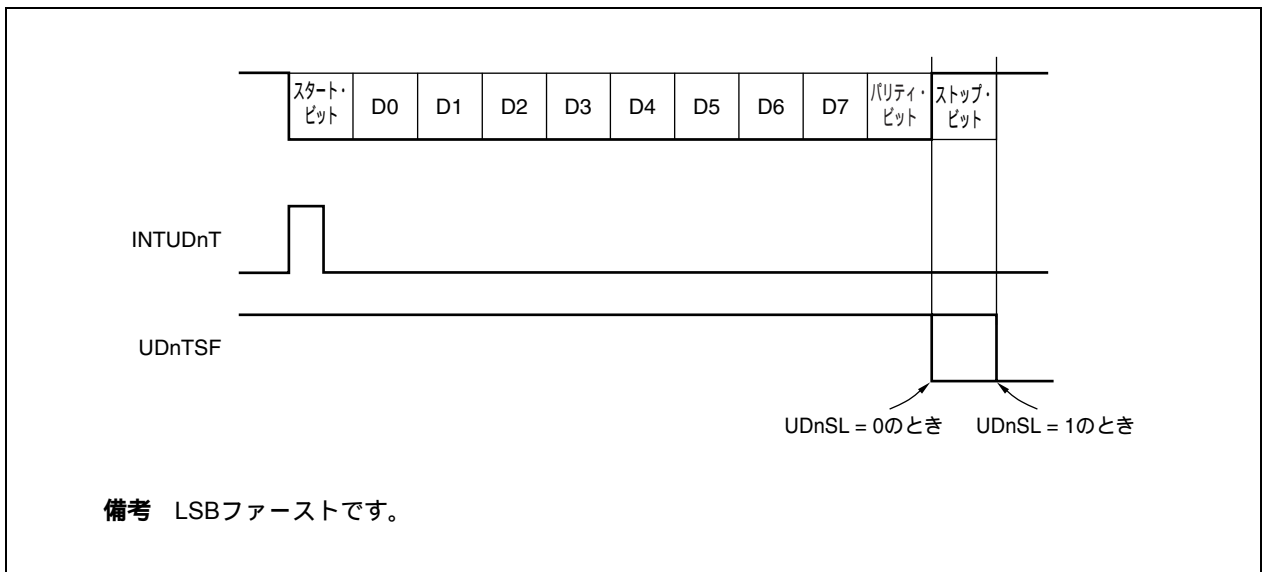
まず次の操作で送信許可状態にしてください。

- ・動作クロックをUARTD制御レジスタ1 (UDnCTL1) で指定
- ・ポー・レートUARTD制御レジスタ2 (UDnCTL2) で指定
- ・出力論理レベルをUARTDオプション制御レジスタ0 (UDnOPT0) で指定
- ・通信方向, パリティ, データ・キャラクタ長, ストップ・ビット長をUARTD制御レジスタ0 (UDnCTL0) で指定
- ・パワー・ビットと送信許可ビットをセット (UDnPWR = 1, UDnTXE = 1)

続いて送信バッファ・レジスタ (UDnTX) に送信データを書き込むことにより送信動作が起動します。通信方向, パリティ, データ・キャラクタ長, ストップ・ビット長の設定を変更する場合には, パワー・ビットをクリア (UDnPWR = 0) した状態, または送信許可ビットと受信許可ビットが共にクリア (UDnTXE = 0, UDnRXE = 0) の状態にしてから, 設定を変更してください。

UDnTXに格納されたデータは送信シフト・レジスタ (UDnTXS) へ転送され, スタート・ビット, パリティ・ビット, ストップ・ビットが付加されて, TXDDn出力から順次シリアル出力されます。またUDnTXに格納されたデータのUDnTXSへの転送が完了するタイミングで, 送信割り込み要求信号 (INTUDnT) を発生します。INTUDnTが発生すると, UDnTXには次の送信データを書き込みます。

図14 - 15 UART送信



14.5.8 連続送信の手順説明

送信要求割り込み (INTUDnT) が発生したあと、送信中に次の送信データをUDnTXに書き込む事により、連続送信が可能です。INTUDnTが発生するまでにUDnTXレジスタへ値を書き込むと、以前に設定した送信データが最新の送信データに上書きされてしまいます。

- 注意1. 送信ユニットを初期化する場合は、送信状態フラグがリセット (UDnTSF = 0) されていることを確認する必要があります。UDnTSF = 1の状態では初期化すると送信が途中で中断されます。
2. 連続送信の場合でもストップ・ビット送信後、次のスタート・ビットが送信されるまでに動作クロック2クロック分の間があります。ただし、受信側はスタート・ビットの検出によりタイミングを初期化するため、通信に支障はありません。

図14 - 16 連続転送の処理フロー

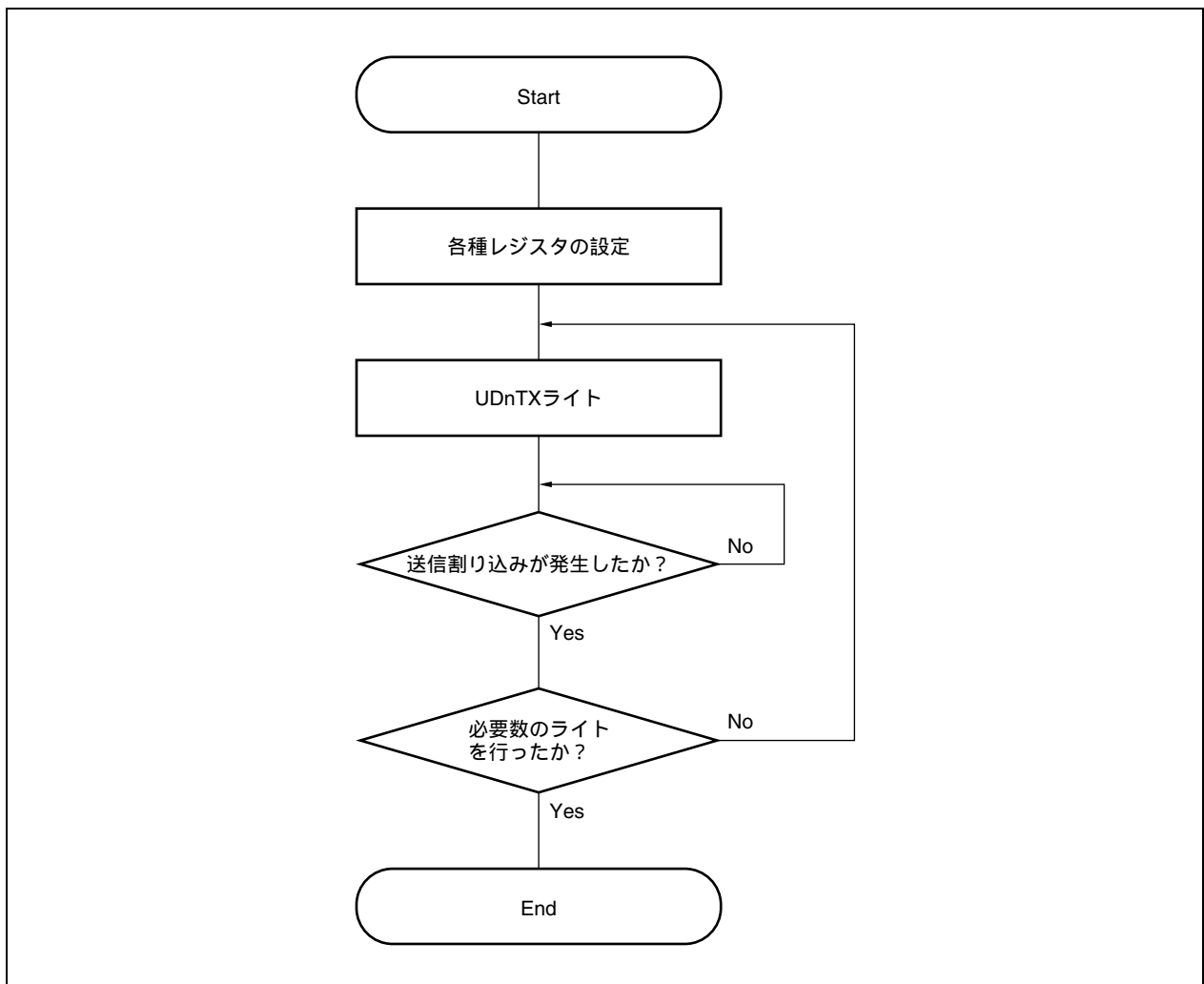
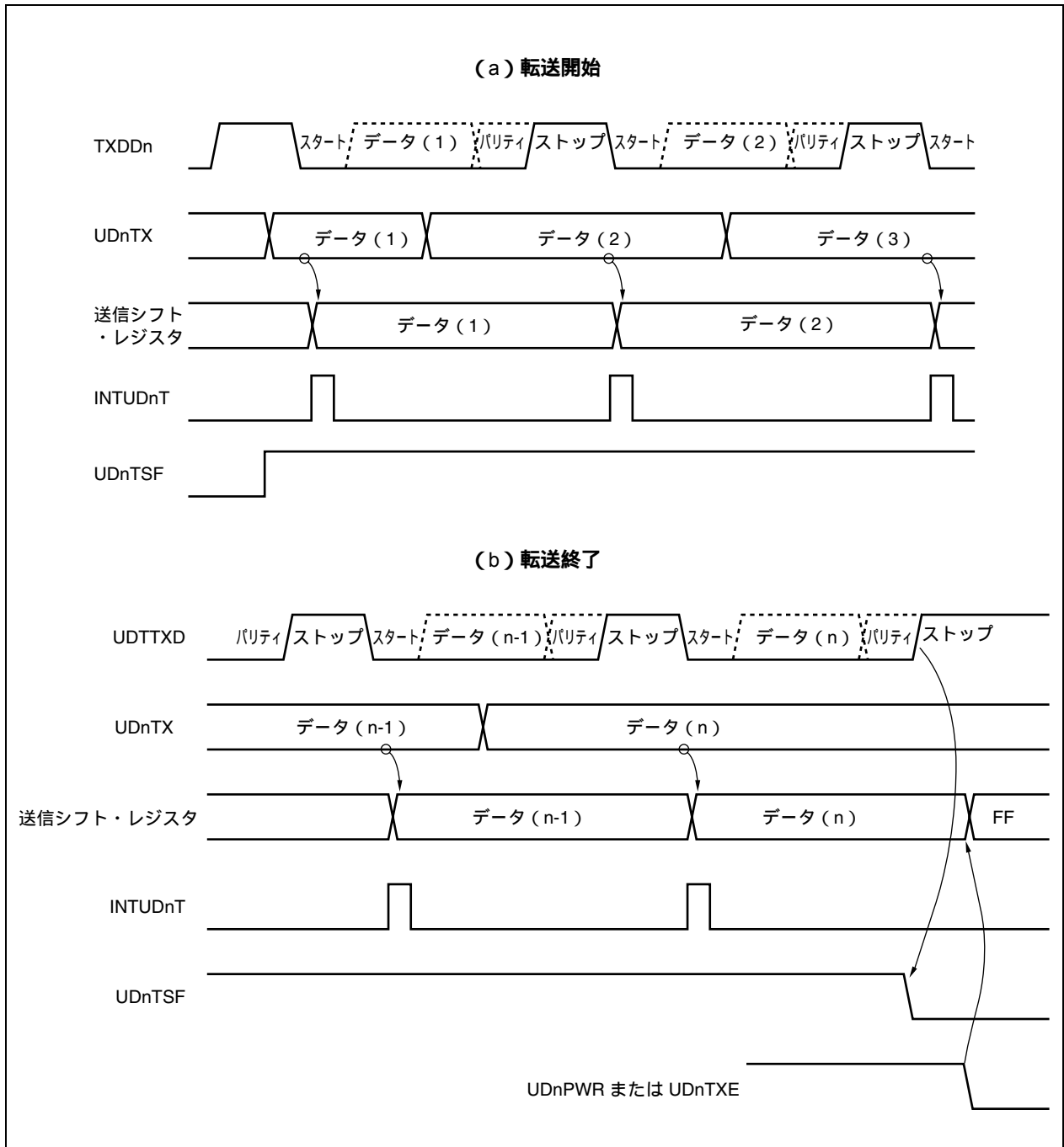


図14 - 17 連続転送動作のタイミング



14.5.9 UART 受信

まず次の操作で受信許可状態とし、RXDDn入力のモニタとスタート・ビットの検出を行います。

- ・動作クロックをUARTD制御レジスタ1 (UDnCTL1) で指定
- ・ボー・レートをUARTD制御レジスタ2 (UDnCTL2) で指定
- ・出力論理レベルをUARTDオプション制御レジスタ0 (UDnOPT0) で指定
- ・通信方向, パリティ, データ・キャラクタ長, ストップ・ビット長をUARTD制御レジスタ0 (UDnCTL0) で指定
- ・パワー・ビットと受信許可ビットをセット (UDnPWR = 1, UDnRXE = 1)

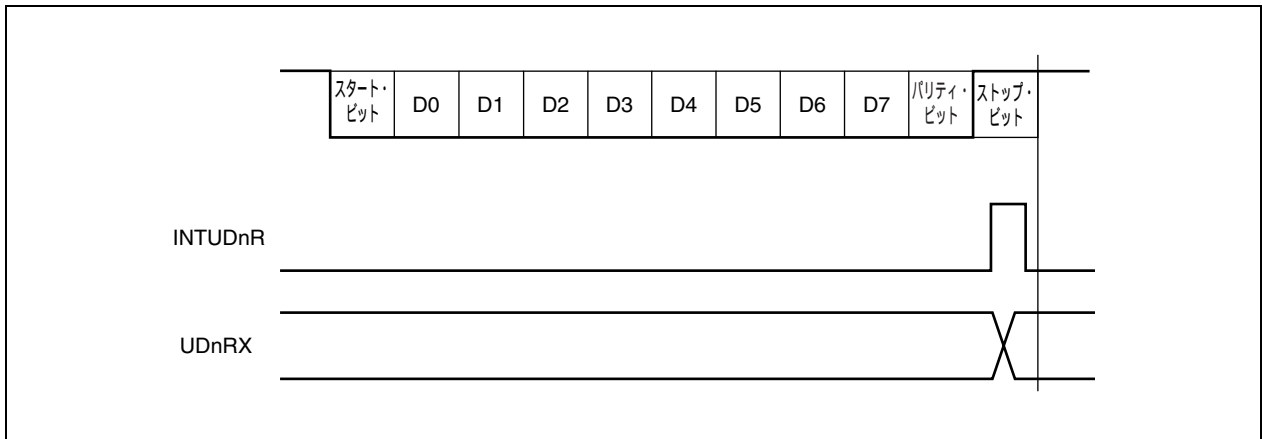
次に通信方向, パリティ, データ・キャラクタ長, ストップ・ビット長の設定を変更する場合には, パワー・ビットをクリア (UDnPWR = 0) した状態, または送信許可ビットと受信許可ビットが共にクリア (UDnTXE = 0, UDnRXE = 0) の状態にしてから, 設定を変更してください。

RXDDn入力のレベルを動作クロックでサンプリングし, 立ち下がりエッジを検出すると, RXDDn入力のデータ・サンプリングが始まり, 立ち下がりエッジ検出後の1/2ビット分の時間後 (下図の 印) にロウ・レベルであればスタート・ビットと認識します。スタート・ビットが認識されたら, 受信動作を開始し, 設定されたボー・レートに合わせてシリアル・データを順次, 受信シフト・レジスタに格納します。ストップ・ビットを受信したら, 受信完了割り込み要求信号 (INTUDnR) が発生すると同時に, 受信シフト・レジスタに格納されたデータを受信データ・レジスタ (UDnRX) レジスタに転送します。

ただし, オーバラン・エラーが発生 (UDnOVE = 1) した場合, そのときの受信データはUDnRXに転送されず, 破棄されます。一方, パリティ・エラー (UDnPE = 1), フレーミング・エラー (UDnFE = 1) が発生しても, ストップ・ビットの受信位置までは受信を継続し, 受信データはUDnRXに転送されます。どの受信エラーが発生した場合でも, 受信完了後にINTUDnSを発生し, INTUDnRは発生しません。

- 注意 1. 受信エラー発生時にも, 受信データ・レジスタ (UDnRX) は必ず読み出してください。**
UDnRXを読み出さないと, 次のデータ受信完了時にオーバラン・エラーが発生します。
2. 受信は, 常にストップ・ビット数 = 1として動作します。
そのとき, 2ビット目のストップ・ビットは無視されます。
 3. RXDDn入力に, 常時Lowレベルが入力されている状態だとスタート・ビットとは判断しません。
 4. 連続受信の場合, 最初の受信データのストップ・ビット検出直後 (受信完了割り込み発生時) から, 次のスタート・ビットの検出は可能です。
 5. UDnRDL = 1 (受信データ反転入力) を選択した場合には, 受信開始時にデータ受信端子をUART受信端子のモードに変更してから, 受信許可にしてください。受信許可後に端子のモードを変更すると, そのときの端子レベルがハイ・レベルの場合, スタート・ビットを誤検出します

図14 - 18 受信完了割り込み要求信号発生タイミング図

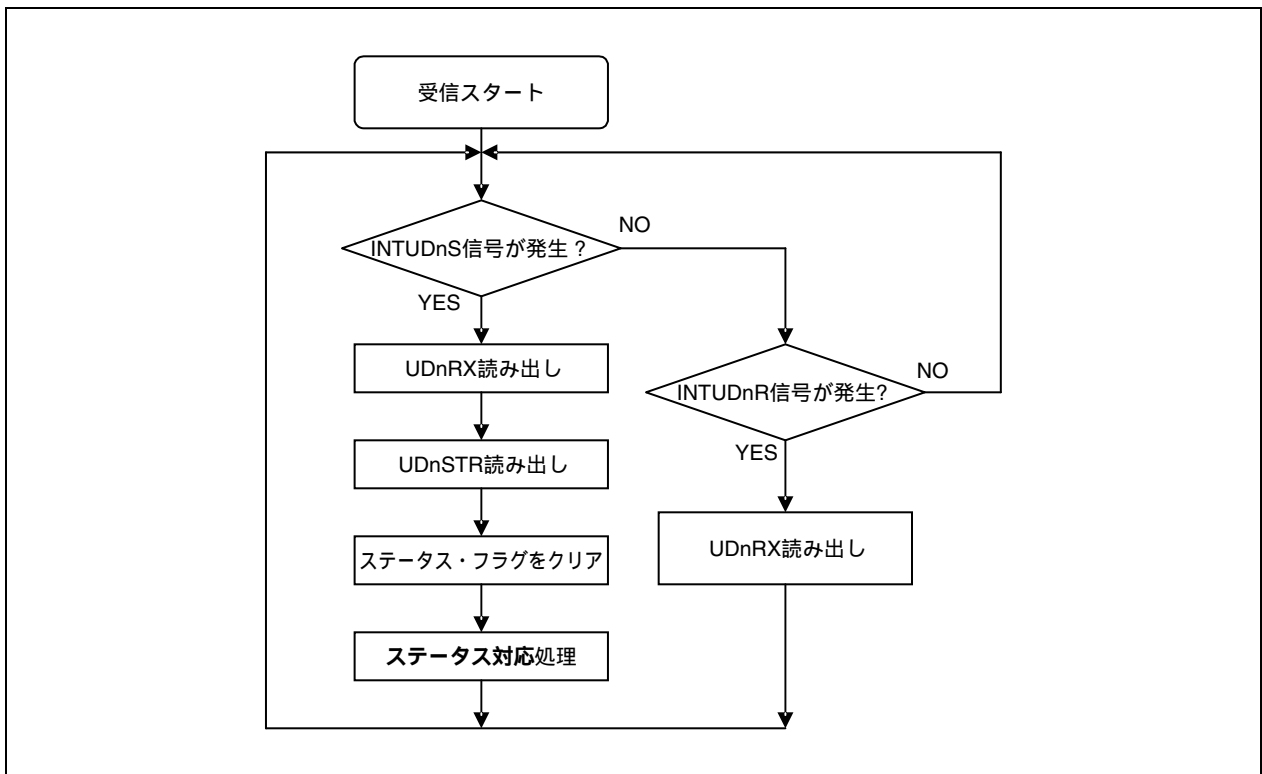


14. 5. 10 受信割り込み発生時の処理手順

受信割り込み発生時の処理手順は次のとおりです。

なお、次の処理手順におけるステータス・フラグは、UDnTSF以外のフラグとなります。

図14 - 19 受信データの読み出しフロー



LIN通信を行う場合の前記処理手順におけるステータス対応処理の例を次に示します。

表14 - 4 LIN通信時のステータス対応処理例 (UDnSRS = 1, UDnDCS = 1の場合)

UDnSSF	UDnDCE	UDnFE	UDnOVE	状態	処理例
1	1	x	x	マスタ時, SBF 送信中に送受信データの不一致を検出。ただし, 11 ビット以上の連続ロウ・レベルは受信しているため, 次のデータ送信準備済みであっても, その送信は行われない。	<ul style="list-style-type: none"> 通信相手が SBF を認識できていない可能性があるため, 次のデータ (Synch Field) 送信は行わず, 次のタイム・スケジュールを待つ 通信相手が SBF を認識できていない可能性はあるが, 次のデータ (Synch Field) 送信を行うため, すべてのステータス・フラグをクリアして, 次のデータを書き込む
1	0	x	x	マスタ時, SBF 送信, SBF 受信に成功。	次のデータ (Synch Field) の送信処理を行う
				スレーブ時, SBF 受信に成功。	次のデータ (Synch Field) の受信処理を行う
0	1	x	x	マスタ時, SBF 送信またはデータ送信に失敗。次のデータまたは SBF の送信準備済みであっても, その送信は行われない。	その後の送受信データは破棄し, 次のタイム・スケジュールを待つ
				スレーブ時, データ送信に失敗。次のデータ送信準備済みであっても, その送信は行われない。	その後の送受信データは破棄し, 次のタイム・スケジュールを待つ
0	0	1	x	データ受信時にフレーミング・エラーを検出。	フレーミング・エラー検出時の処理を行う
0	0	x	1	データ受信時にオーバーラン・エラーを検出。直前に受信した 1 データが破棄されている。	オーバーラン・エラー検出時の処理を行う

注意 1. いずれの処理においても, セットされているステータス・フラグはすべてクリアしてください。

2. LIN 通信においてエラーを検出, または UDnSRS = 1 を設定時, SBF 受信に成功したとき, 受信完了割り込み要求信号 (INTUDnR) ではなく, ステータス割り込み要求信号 (INTUDnS) を発生し, 通信状態にしたがってステータス・フラグがセットされます。

備考 x : Don't Care

14.5.11 ステータス割り込み発生要因

ステータス割り込み発生要因には、パリティ・エラー、フレーミング・エラー、オーバラン・エラーと、LIN通信時のみに発生する、データの一貫性エラー、SBF受信成功があります。これらを検出すると、ステータス割り込み要求信号 (INTUDnS) を発生します。発生要因は状態レジスタ (UDnSTR) で参照できます。ステータス割り込み処理ルーチンでUDnSTRを参照し、処理内容を決定してください。

UDnTSFを除くステータス・フラグは、ソフトウェアにて“0”書き込みでクリアする必要があります。

表14-5 ステータス割り込み発生要因

ステータス・フラグ	発生要因	内 容
UDnPE	パリティ・エラー	受信データのパリティ計算結果と受信したパリティ・ビットの値が一致しない
UDnFE	フレーミング・エラー	ストップ・ビットが検出されない (ストップ・ビット位置でロウ・レベルを検出)
UDnOVE	オーバラン・エラー	受信データ・レジスタに転送された受信データを読み出す前に次のデータ受信が完了した
UDnDCE	データの一貫性エラー	データの一貫性チェック選択ビット (UDnDCS) をセット、かつデータを送信しているとき、送信データと受信データの値が一致しない
UDnSSF	SBF 受信成功	SBF 受信モード選択ビット (UDnSRS) をセットしているとき、新規の SBF 受信に成功した (マスタが SBF を送信した場合においても発生)

ステータス割り込み発生時、発生要因により次の処理が必要です。

- ・パリティ・エラー、データの一貫性エラー

誤ったデータを受信しているため、受信データを破棄し、再度通信を行ってください。データの一貫性エラーの場合は、データの衝突も考えられます。

- ・フレーミング・エラー

正常にストップ・ビットを検出できなかったか、スタート・ビットの誤検出によるビットずれが発生していることが考えられます。また、特にLINによる通信では送信側とボー・レートがずれていることや不十分な長さのSBFを受信した可能性もあります。

- ・オーバラン・エラー

受信データを読み出す前に次の受信が完了しているため、直前に受信した1フレーム分のデータが破棄された状態となっています。

- ・SBF受信成功

新規のSBF受信に成功しています。

注意 ステータス・フラグは、最新の状態を反映しているのではなく、ステータス・フラグのクリア後に発生したすべての要因の累積です。そのため、次の受信完了までに対応処理を完了し、ステータス・フラグをクリアしてください。

表14 - 6 ステータス割り込みの発生タイミングおよびステータス・フラグの変化タイミング

ステータス・フラグ	モード設定			ステータス割り込みとフラグの変化 タイミング
	SBF 受信モード 選択 (UDnSRS)	データの一貫性 チェック(UDnDCS)	SBF 受信フラグ (UDnSRF)	
UDnPE	0	0	0	データのストップ・ビットの受信サンプル・ポイント(これ以外のモードでは、パリティなしを選択)
UDnFE, UDnOVE	0	×	0	データのストップ・ビットの受信サンプル・ポイント
	0	×	1	変化しない
	1	0	×	設定禁止
	1	1	0	データのストップ・ビット以降に、入力データ“1”を検出した受信サンプル・ポイント
	1	1	1	変化しない
UDnDCE	×	0	×	変化しない
	0	1	0	ストップ・ビット送信開始時に受信動作中の場合、ストップ・ビットの受信サンプル・ポイント
				ストップ・ビット送信開始時に受信動作が停止している場合、ストップ・ビットの次のビット開始時
	0	1	1	ストップ・ビット送信開始時に、直前の入力データが“0”の場合、ストップ・ビット以降の入力データの立ち上がりエッジ検出時
				ストップ・ビット送信開始時に、直前の入力データが“1”の場合、ストップ・ビットの次のビット開始時
	1	1	0	ストップ・ビット送信開始時に受信動作中の場合、ストップ・ビット以降に、入力データ“1”を検出した受信サンプル・ポイント
				ストップ・ビット送信開始時に受信動作が停止している場合、ストップ・ビットの次のビット開始時
	1	1	1	ストップ・ビット送信以降に入力データ“1”を検出したときに、前のビットが“0”の場合、“1”を検出したビットの受信サンプル・ポイント
ストップ・ビット送信以降に入力データ“1”を検出したときに、前のビットが“1”の場合、次のビット開始時				
UDnSSF	0	×	×	変化しない
	1	0	×	設定禁止
	1	1	×	11ビット以上の入力データ“0”を検出後に、“1”を検出した受信サンプル・ポイント

備考 × : Don't Care

14.5.12 パリティの種類と動作

注意 LIN機能を使用する場合、UDnCTL0レジスタのUDnPS1, UDnPS0ビットを“00”に固定してください。

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は送信側と受信側のパリティ・ビットは同一の種類のもを使用します。

偶数パリティと奇数パリティでは1ビット(奇数個)の誤りを検出することができます。0パリティとパリティなしでは誤りを検出することはできません。

(1) 偶数パリティ

(a) 送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に値が“1”のビット数が奇数個：1
- ・送信データ中に値が“1”のビット数が偶数個：0

(b) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(2) 奇数パリティ

(a) 送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に、値が“1”のビット数が奇数個：0
- ・送信データ中に、値が“1”のビット数が偶数個：1

(b) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(3) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(4) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

14.5.13 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロックでRXDDn端子をサンプリングします。

サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。したがって、2クロック幅を越えないデータはノイズと判定され、内部回路へは供給されません(図14-20参照)。基本クロックに関しては、14.6(1)(a) **基本クロック (Clock)** を参照してください。

また、回路は図14-20のようにになっているので、受信動作の内部での処理は、外部の信号状態より3クロック分遅れて動作することになります。

図14-20 ノイズ・フィルタ回路

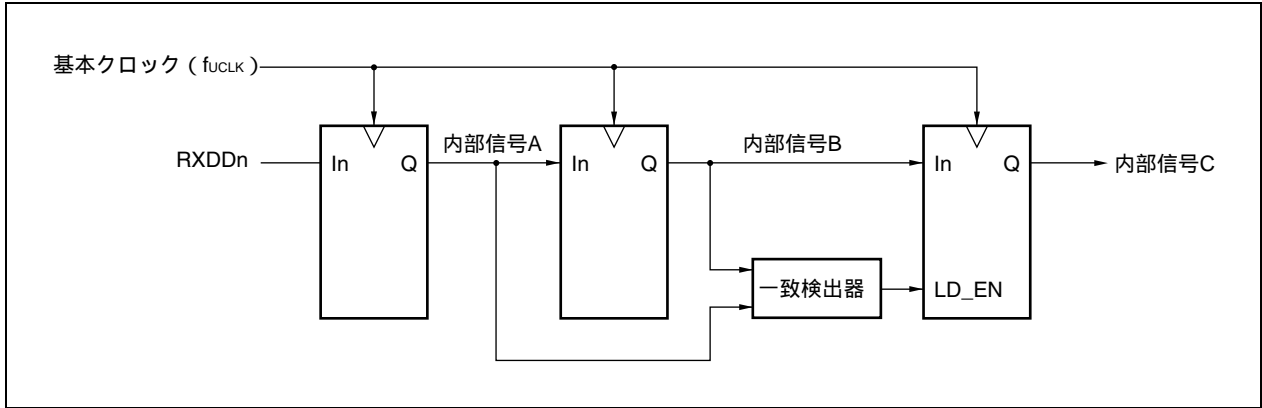
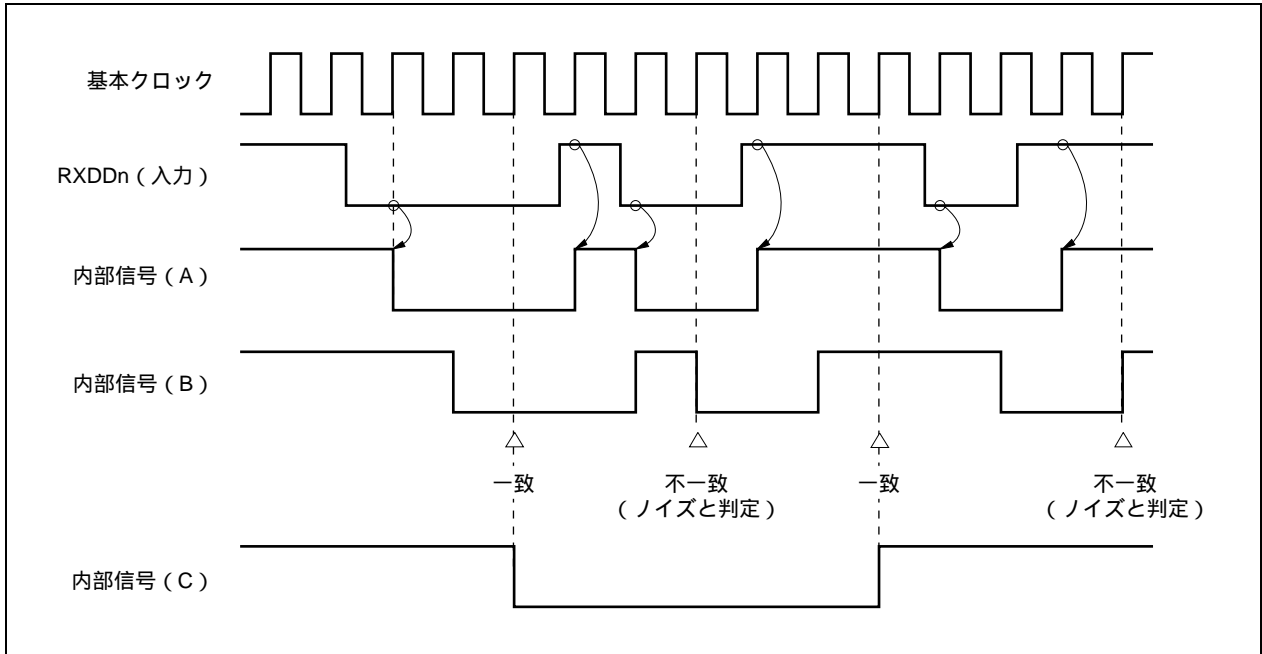


図14-21 ノイズと判定されるRXDDn信号のタイミング



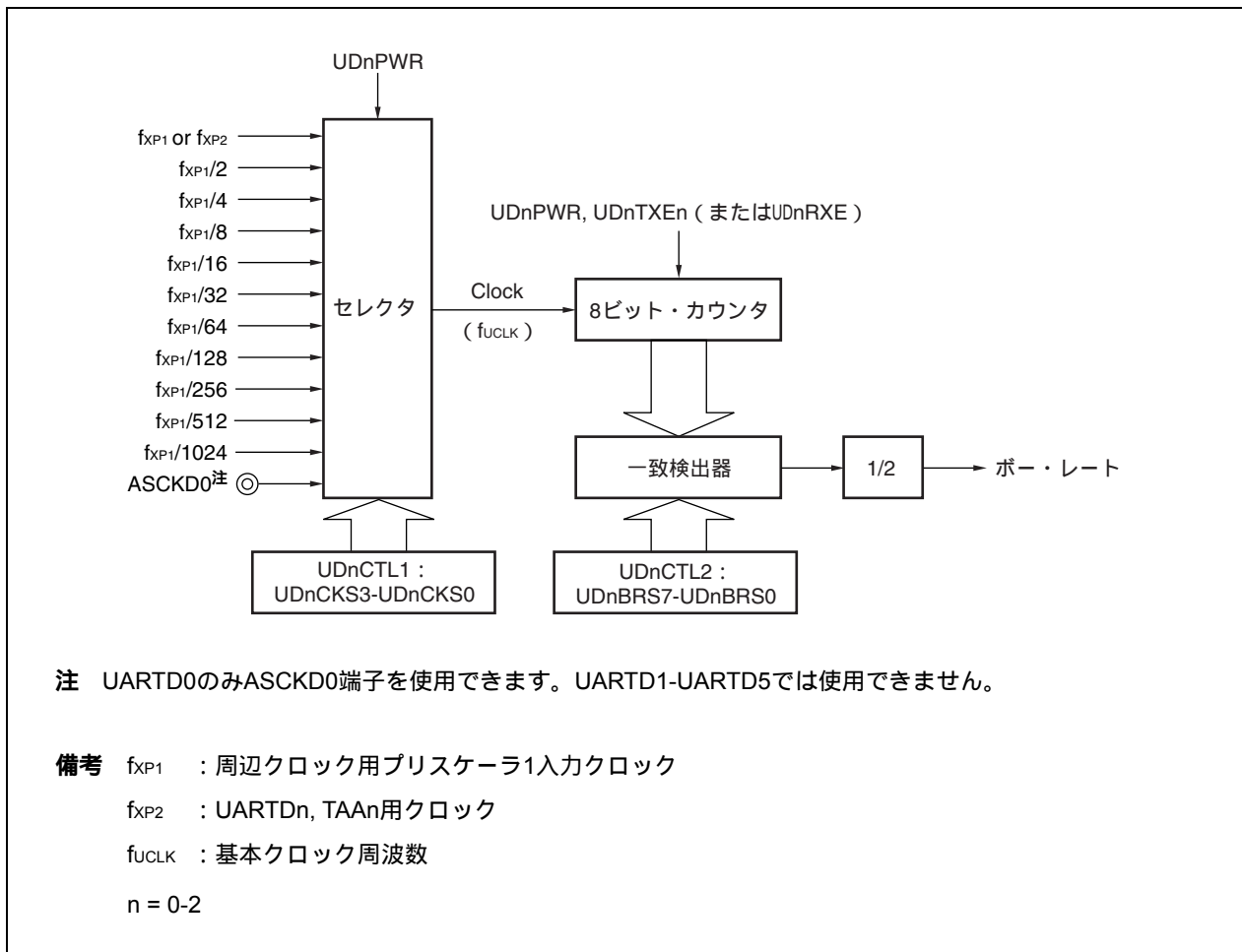
14.6 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UARTDnにおける送受信時のシリアル・クロックを生成します。シリアル・クロックは、チャンネルごとに専用ポー・レート・ジェネレータ出力を選択できます。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

(1) ポー・レート・ジェネレータの構成

図14 - 22 ポー・レート・ジェネレータの構成



(a) 基本クロック (Clock)

UDnCTL0レジスタのUDnPWRビット = 1のとき, UDnCTL1レジスタのUDnCKS3-UDnCKS0ビットで選択したクロックを8ビット・カウンタに供給します。このクロックを基本クロック (Clock) と呼び、その周波数をfUCLKと呼びます。

(b) シリアル・クロックの生成

UDnCTL1レジスタとUDnCTL2レジスタの設定により、シリアル・クロックを生成できます。

UDnCTL1レジスタのUDnCKS3-UDnCKS0ビット, SELCNT1レジスタのISEL15ビットにより、基本クロックを選択します。

UDnCTL2レジスタのUDnBRS7-UDnBRS0ビットにより、8ビット・カウンタの分周値を設定できます。

(2) UARTDn 制御レジスタ 1 (UDnCTL1)

UDnCTL1レジスタは、UARTDnのクロックを選択するための8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：UD0CTL1：FFFFFFA01H, UD1CTL1：FFFFFFA11H,
UD2CTL1：FFFFFFA21H

	7	6	5	4	3	2	1	0
UDnCTL1 (n = 0-2)	0	0	0	0	UDnCK3	UDnCK2	UDnCK1	UDnCK0

SELCNTm レジスタ ^{注1}	UDnCTL1レジスタ				入力クロック (f _{CLK})			
	ISELn	UDnCK3	UDnCK2	UDnCK1	UDnCK0	入力	PRSI = 0	PRSI = 1
0	0	0	0	0	0	f _{XP1}	f _{XX}	f _{XX} /2
1						f _{XP2} ^{注2}	f _{XX}	f _{XX} /2
×	0	0	0	1	1	f _{XP1} /2	f _{XX} /2	f _{XX} /4
×	0	0	1	0	0	f _{XP1} /4	f _{XX} /4	f _{XX} /8
×	0	0	1	1	1	f _{XP1} /8	f _{XX} /8	f _{XX} /16
×	0	1	0	0	0	f _{XP1} /16	f _{XX} /16	f _{XX} /32
×	0	1	0	1	1	f _{XP1} /32	f _{XX} /32	f _{XX} /64
×	0	1	1	0	0	f _{XP1} /64	f _{XX} /64	f _{XX} /128
×	0	1	1	1	1	f _{XP1} /128	f _{XX} /128	f _{XX} /256
×	1	0	0	0	0	f _{XP1} /256	f _{XX} /256	f _{XX} /512
×	1	0	0	1	1	f _{XP1} /512	f _{XX} /512	f _{XX} /1024
×	1	0	1	0	0	f _{XP1} /1024	f _{XX} /1024	f _{XX} /2048
×	1	0	1	1	1	-	ASCKD0 ^{注3}	
上記以外						-	設定禁止	

- 注1. SELCNTmレジスタの詳細については、第4章 クロック発生機能とスタンバイ制御を参照してください。
 2. f_{XP2}は、IDLE1モードでは停止しません。
 3. UARTD0の場合のみASCKD0端子を使用できます。UARTD1-UARTD5では設定禁止です。

注意 UDnCTL0レジスタのUDnPWRビット = 0の場合のみ書き換え可能です。

備考 PRSIはオプション・バイトで設定できます。

- ・ PRSI = 0
- ・ PRSI = 1

詳細は第8章 オプション・バイトを参照してください。

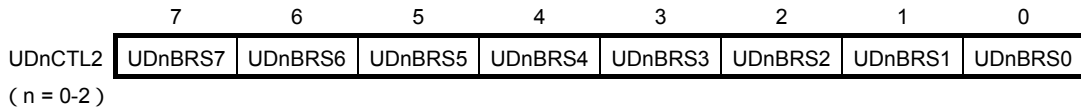
(3) UARTDn制御レジスタ2 (UDnCTL2)

UDnCTL2レジスタは, UARTDnのボー・レート(シリアル転送スピード)クロックを選択するための8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットによりFFHになります。

リセット時: FFH R/W アドレス: UD0CTL2: FFFFFFFA02H, UD1CTL2: FFFFFFFA12H,
UD2CTL2: FFFFFFFA22H



UDnBRS7	UDnBRS6	UDnBRS5	UDnBRS4	UDnBRS3	UDnBRS2	UDnBRS1	UDnBRS0	規定値 (k)	シリアル・クロック
0	0	0	0	0	0	×	×	×	設定禁止
0	0	0	0	0	1	0	0	4	f _{UCLK} /4
0	0	0	0	0	1	0	1	5	f _{UCLK} /5
0	0	0	0	0	1	1	0	6	f _{UCLK} /6
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	0	0	252	f _{UCLK} /252
1	1	1	1	1	1	0	1	253	f _{UCLK} /253
1	1	1	1	1	1	1	0	254	f _{UCLK} /254
1	1	1	1	1	1	1	1	255	f _{UCLK} /255

注意1. UDnCTL0レジスタのUDnPWRビット = 0, またはUDnTXEビット = UDnRXEビット = 0の場合のみ書き換え可能です。

2. シリアル・クロックをさらに1/2分周したものがボー・レートとなります。

備考1. f_{UCLK}は, UDnCTL1レジスタで選択した基本クロックの周波数です。

2. ×: 任意

(4) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{\text{UCLK}}}{2 \times k} \text{ [bps]}$$

f_{UCLK} = UDnCTL1レジスタのUDnCKS3-UDnCKS0ビットで選択した基本クロック (Clock) の周波数

k = UDnCTL2レジスタのUDnBRS7-UDnBRS0ビットで設定した値 (k = 4, 5, 6, ..., 255)

(5) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差 (\%)} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{目標とするボー・レート (正常なボー・レート)}} - 1 \right) \times 100 [\%]$$

- 注意 1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。
 2. 受信時のボー・レート誤差は、(7) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

- 例
- ・基本クロック (Clock) の周波数 = 20 MHz = 20,000,000 Hz
 - ・設定値
 - PRSI = 0 : $f_{XP1} = f_{XX} = 20 \text{ MHz}$
 - UDnCTL1レジスタのUDnCK3-UDnCK0ビットの設定値 = 0000B ($f_{CULK} = f_{XP1} = 20 \text{ MHz}$)
 - UDnCTL2レジスタのUDnBRS7-UDnBRS0ビットの設定値 = 01000001B ($k = 65$)
 - ・目標ボー・レート = 153600 bps
 - ・ボー・レート = $20000000 / (2 \times 65)$
= 153846 [bps]
 - ・誤差 = $(153846 / 153600 - 1) \times 100$
= 0.160 [%]

(6) ボー・レート設定例

表14 - 7 ボー・レート・ジェネレータ設定データ (通常動作, $f_{XP1} = 20 \text{ MHz}$, PRSI = 0)

目標ボー・レート (bps)	UDnCTL1		UDnCTL2		実効ボー・レート (bps)	ボー・レート誤差 (%)
	レジスタ値	分周比	規定値 (k)			
300	09H	512	41H	65	300.48	0.16
600	08H	256	41H	65	600.96	0.16
1200	07H	128	41H	65	1201.92	0.16
2400	06H	64	41H	65	2403.85	0.16
4800	05H	32	41H	65	4807.69	0.16
9600	04H	16	41H	65	9615.38	0.16
19200	03H	8	41H	65	19230.77	0.16
31250	01H	2	A0H	160	31250.00	0.00
38400	01H	2	82H	130	38461.54	0.16
76800	01H	2	41H	65	76923.08	0.16
153600	00H	1	41H	65	153846.15	0.16
312500	00H	1	20H	32	312500	0.00

表14 - 8 ボー・レート・ジェネレータ設定データ (通常動作, $f_{XP1} = 16 \text{ MHz}$, PRSI = 0)

目標ボー・ レート (bps)	UDnCTL1		UDnCTL2 規定値 (k)		UDnCTL1	ボー・レート誤差 (%)
	レジスタ値	分周比				
300	08H	256	68H	104	300.48	0.16
600	08H	256	34H	52	600.96	0.16
1200	07H	128	34H	52	1201.92	0.16
2400	06H	64	34H	52	2403.85	0.16
4800	05H	32	34H	52	4807.69	0.16
9600	04H	16	34H	52	9615.38	0.16
19200	03H	8	34H	52	19230.77	0.16
31250	03H	8	20H	32	31250.00	0.00
38400	02H	4	34H	52	38461.54	0.16
76800	01H	2	34H	52	76923.08	0.16
153600	00H	1	34H	52	153846.15	0.16
312500	00H	1	1AH	26	307692.31	- 1.54

表14 - 9 ボー・レート・ジェネレータ設定データ (通常動作, $f_{XP1} = 10 \text{ MHz}$, PRSI = 0)

目標ボー・ レート (bps)	UDnCTL1		UDnCTL2 規定値 (k)		UDnCTL1	ボー・レート誤差 (%)
	レジスタ値	分周比				
300	08H	256	41H	65	300.48	0.16
600	07H	128	41H	65	600.96	0.16
1200	06H	64	41H	65	1201.92	0.16
2400	05H	32	41H	65	2403.85	0.16
4800	04H	16	41H	65	4807.69	0.16
9600	03H	8	41H	65	9615.38	0.16
19200	02H	4	41H	65	19230.77	0.16
31250	00H	1	A0H	160	31250.00	0.00
38400	00H	1	82H	130	38461.54	0.16
76800	00H	1	41H	65	76923.08	0.16
153600	00H	1	21H	33	151515.15	- 1.36
312500	00H	1	10H	16	312500	0

(7) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のボー・レート誤差は、次に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図14 - 23 受信時の許容ボー・レート範囲

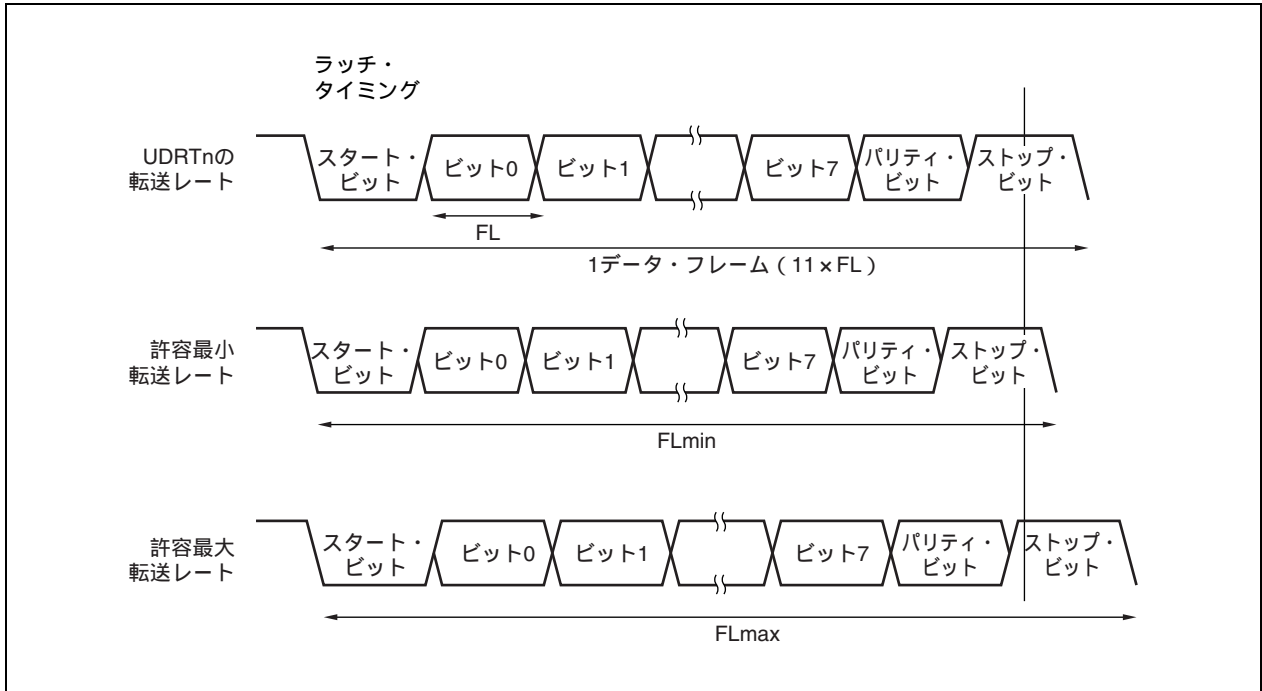


図14 - 23に示すように、スタート・ビット検出後はUDnCTL2レジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

- Brate : UARTDnのボー・レート
- k : UDnCTL2の設定値
- FL : 1ビット・データ長
- ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小転送レート} : FL_{\min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{max} = (FL_{min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同様に、許容最大転送レートを求めると、次のようになります。

$$\begin{aligned} \frac{10}{11} \times FL_{max} &= 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL \\ FL_{max} &= \frac{21k-2}{20k} FL \times 11 \end{aligned}$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{min} = (FL_{max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

前述の最小/最大ボー・レート値の算出式から、UARTnと送信先とのボー・レートの許容誤差を求めると表14 - 10のようになります。

表14 - 10 許容最大/最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	+ 2.32 %	- 2.43 %
8	+ 3.52 %	- 3.61 %
20	+ 4.26 %	- 4.30 %
50	+ 4.56 %	- 4.58 %
100	+ 4.66 %	- 4.67 %
255	+ 4.72 %	- 4.72 %

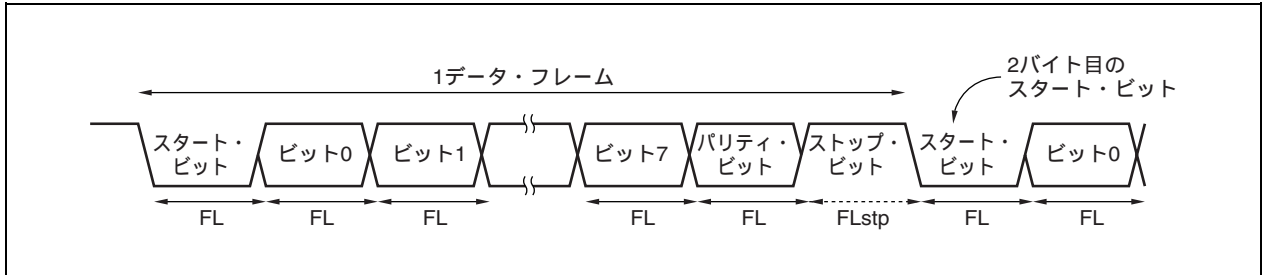
備考1. 受信の精度は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど精度は高くなります。

2. k : UDnCTL2.UDnBRS [7:0]の設定値

(8) 連続送信時の転送レート

連続送信する場合、ストップ・ビットから次のスタート・ビットまでの転送レートが通常より2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので転送結果には影響しません。

図14 - 24 連続送信時の転送レート



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数： f_{uCLK} とすると次の式が成り立ちます。

$$FLstp = FL + 2 / f_{uCLK}$$

したがって、連続送信での転送レートは次のようになります。

$$\text{転送レート} = 11 \times FL + 2 / f_{uCLK}$$

14.7 使用上の注意

- (1) オンチップ・デバッグ (OCD) モード下においてbreakコマンドが起動され、かつUARTDがデータ受信したとき、オーバラン・エラーが発生します。
- (2) UARTDnへの供給クロックが停止する場合 (例: IDLE1, IDLE2, STOPモード) は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDDn端子出力も停止直前の値を保持、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はUDnCTL0.UDnPWR, UDnRXEn, UDnTXEnビット = 000とし、回路を初期化してください。
- (3) RXDD1端子とKR7端子は同時に使用することはできません。RXDD1端子を使用する場合は、KR7端子を使用しないでください。また、KR7端子を使用する場合は、RXDD1端子を使用しないでください (PFC91ビット = 1, PFCE91ビット = 0に設定することを推奨します)。
- (4) UARTDnの起動は次の順序で行ってください。
 - UDnCTL0.UDnPWRビット = 1
 - ポートの設定
 - UDnCTL0.UDnTXEビット = 1, UDnCTL0.UDnRXEビット = 1
- (5) UARTDnの停止は次の順序で行ってください。
 - UDnCTL0.UDnTXEビット = 0, UDnCTL0.UDnRXEビット = 0
 - ポートの設定, UDnCTL0.UDnPWRビット = 0 (ポートの設定は変更しなくても問題ありません)
- (6) 送信モード中 (UDnCTL0.UDnPWRビット = 1, かつUDnCTL0.UDnTXEビット = 1) に、ソフトウェアでUDnTXレジスタの同値書き込みをしないでください。このレジスタへの書き込みにより送信が開始するためです。同値を連続送信する場合は問題ありません。
- (7) 連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信レートが、通常より基本クロックの2クロック分延びます。ただし、受信側はスタート・ビットの検出でタイミングの初期化を行うため、受信結果には影響しません。

第15章 3線式シリアル・インタフェース (CSIB)

本マイクロコントローラは、3線式シリアル・インタフェース (CSIB) を搭載しています。

表15 - 1 3線式シリアル・インタフェースのチャンネル数

製品	V850ES/FE3-L	V850ES/FF3-L	V850ES/FG3-L
CSIB			
チャンネル数	2		
名称	CSIB0, CSIB1		

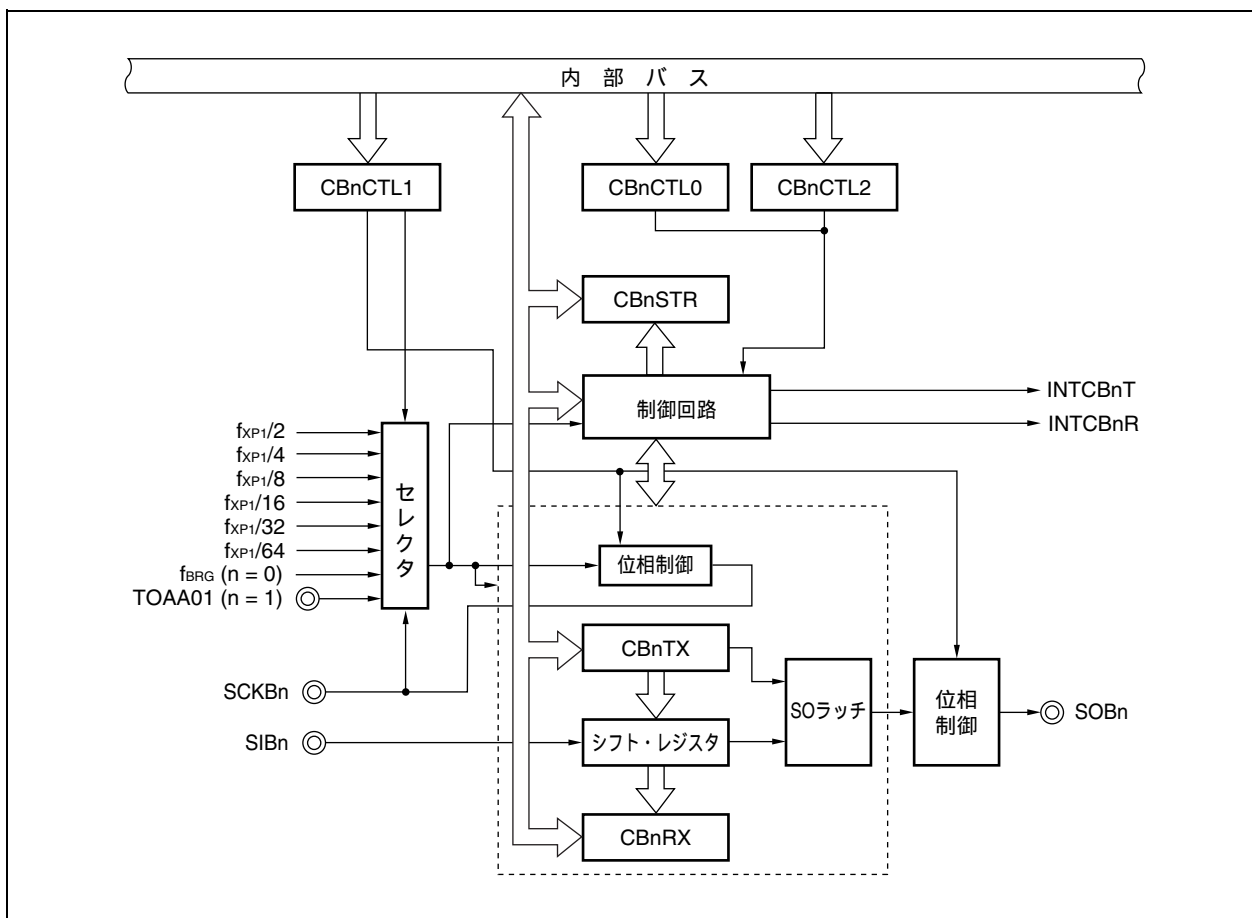
15.1 特徴

- 転送速度：最大8 Mbps (内部クロック使用時)
- マスタ・モードとスレーブ・モードを選択可能
- 8ビット~16ビット転送, 3線式シリアル・インタフェース
- 割り込み要求信号 (INTCBnT, INTCBnR)
- シリアル・クロックとデータのフェーズ切り替えが可能
- 転送データ長を8~16ビットに1ビット単位で選択可能
- 転送データのMSB先頭/LSB先頭を切り替え可能
- 3線式 SOBn : シリアル・データ出力
- SIBn : シリアル・データ入力
- SCKBn : シリアル・クロック入出力
- 送信モード, 受信モード, 送受信モードを指定可能

備考 n = 0, 1

15.2 構成

図15 - 1 3線式シリアル・インタフェースのブロック図



注意 f_{XP1} が高速内蔵発振クロック(f_{RH})をソース・クロックとするよう設定されている場合、CSIBnは、 $f_{XP1}/2$, $f_{XP1}/4$, $f_{XP1}/8$, $f_{XP1}/16$, $f_{XP1}/32$, $f_{XP1}/64$ のクロックで使用できません。

備考 $n = 0, 1$

CSIBnは、次のハードウェアで構成されています。

表15 - 2 CSIBnの構成

項目	構成
レジスタ	CSIBn受信データ・レジスタ (CBnRX) CSIBn送信データ・レジスタ (CBnTX)
制御レジスタ	CSIBn制御レジスタ0-2 (CBnCTL0-CBnCTL2) CSIBn状態レジスタ (CBnSTR)

備考 $n = 0, 1$

(1) CSIBn受信データ・レジスタ (CBnRX)

CBnRXレジスタは、受信データを保持する16ビットのバッファ・レジスタです。

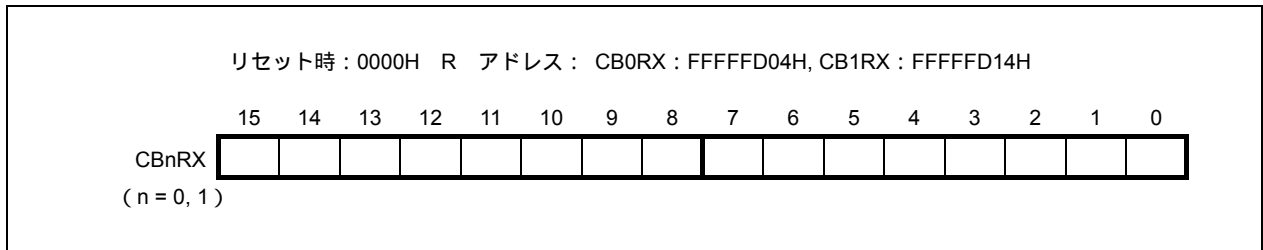
16ビット単位でリードのみ可能です。

受信許可状態中は、CBnRXレジスタをリードすることにより、受信動作を開始します。

転送データ長が8ビットの場合は、CBnRXレジスタの下位8ビットをCBnRXLレジスタとして、8ビット単位でリードのみ可能です。

リセットにより0000Hになります。

リセット以外に、CBnCTL0レジスタのCBnPWRビットをクリア (0) する場合も初期化されます。



(2) CSIBn送信データ・レジスタ (CBnTX)

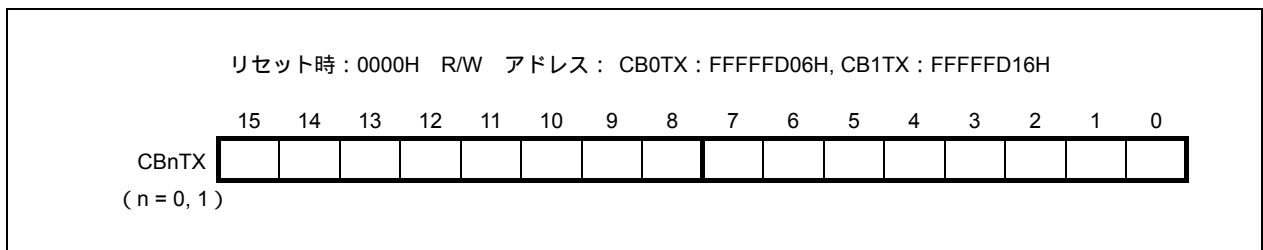
CBnTXレジスタは、CSIBの転送データを書き込む16ビットのバッファ・レジスタです。

16ビット単位でリード/ライト可能です。

送信許可状態中は、CBnTXレジスタにデータをライトすることにより、送信動作を開始します。

転送データ長が8ビットの場合は、CBnTXレジスタの下位8ビットをCBnTXLレジスタとして、8ビット単位でリード/ライト可能です。

リセットにより0000Hになります。



備考 通信開始条件は、次のとおりです。

- ・送信モード (CBnTXEビット = 1, CBnRXEビット = 0)
CBnTXレジスタへの書き込み
- ・送受信モード (CBnTXEビット = 1, CBnRXEビット = 1)
CBnTXレジスタへの書き込み
- ・受信モード (CBnTXEビット = 0, CBnRXEビット = 1)
CBnRXレジスタからの読み出し

15.3 制御レジスタ

(1) CSIBn制御レジスタ0 (CBnCTL0)

CSIBのシリアル転送動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

(1/3)

リセット時：01H R/W アドレス：CB0CTL0：FFFFFFD00H, CB1CTL0：FFFFFFD10H

	⑦	⑥	⑤	④	3	2	1	①
CBnCTL0	CBnPWR	CBnTXE ^注	CBnRXE ^注	CBnDIR ^注	0	0	CBnTMS ^注	CBnSCE

(n = 0, 1)

CBnPWR	CSIB動作禁止 / 許可の指定
0	CSIBn動作禁止 (CBnSTRレジスタをリセット)
1	CSIBn動作許可
CBnPWRビットは、CSIBの動作クロックの制御と内部回路のリセットを行います。	

CBnTXE ^注	送信動作禁止 / 許可の指定
0	送信動作禁止
1	送信動作許可
CBnTXEビット = 0にすることで、シリアル出力端子SOBn端子をロウ・レベルに固定し送信動作を禁止します。	

CBnRXE ^注	受信動作禁止 / 許可の指定
0	受信動作禁止
1	受信動作許可
CBnRXEビット = 0にすることで、受信動作を禁止するため、規定のデータを転送されても受信完了割り込みは出力されず、受信データCBnRXレジスタは更新されません。	

CBnDIR ^注	転送方向モード (MSB/LSB) の指定
0	MSBファースト
1	LSBファースト

注 CBnPWRビット = 0の場合のみ書き換えできます。ただし、同時にCBnPWRビット = 1とすることや動作中の同値書き込みが可能です。

注意 送受信を強制中断する場合は(CBnTXEビット, CBnRXEビットではなく)CBnPWRビットをクリア(0)してください。このときクロック出力も停止します。

CBnTMS ^注	転送モードの指定
0	シングル転送モード
1	連続転送モード
<p>【シングル転送モード】</p> <p>通信の完了で受信完了割り込み (INTCBnR) を発生します。</p> <p>送信許可 (CBnTXEビット = 1) の場合でも、送信許可割り込み (INTCBnT) は発生しません。</p> <p>通信中 (CBnSTR.CBnTSFビット = 1) に次の送信データをライトしても無視され、次の通信は起動しません。また、受信のみの通信に設定したとき (CBnTXEビット = 0, CBnRXEビット = 1) も、通信中 (CBnSTR.CBnTSFビット = 1) に受信データをリードしても次の通信は起動しません。</p> <p>【連続転送モード】</p> <p>通信中 (CBnSTR.CBnTSFビット = 1) に次の送信データをライトすることで連続送信が可能です。</p> <p>次の送信データがライト可能になるのは、送信許可割り込み (INTCBnT) 発生後です。</p> <p>また、連続転送モードで受信のみの通信に設定 (CBnTXEビット = 0, CBnRXEビット = 1) すると、CBnRXレジスタのリード操作に関係なく、受信完了割り込み (INTCBnR) 後、連続して次の受信を開始します。</p> <p>そのため、速やかにCBnRXレジスタから受信データを読み出してください。読み出しが遅れるとオーバーラン・エラー (CBnOVEビット = 1) が発生します。</p>	

注 CBnPWRビット = 0の場合のみ書き換えできます。ただし、同時にCBnPWRビット = 1とすることは可能です。

CBnSCE	通信起動禁止 / 許可の指定
0	通信起動トリガ無効
1	通信起動トリガ有効

・ マスタ・モード時
通信起動トリガの有効 / 無効を制御するビットです。

(a) シングル送信 / 送受信モード, 連続送信 / 送受信モード時
CBnSCEビットの設定は, 動作に影響ありません。

(b) シングル受信モード時
受信データ (CBnRXレジスタ) のリードで受信動作が起動されるため, 最終受信データのリードを行う前にCBnSCEビットを“0”に設定して次の受信動作の起動を無効にしてください^{注1}。

(c) 連続受信モード時
最終データの受信が完了する1通信クロック前までにCBnSCEビットを“0”に設定して最終データ受信後の受信動作の起動を無効にしてください^{注2}。

・ スレーブ・モード時
通信起動トリガの有効 / 無効を制御するビットです。
CBnSCEビットは“1”に設定してください。

【CBnSCEビットの使用方法】

・ シングル受信モード時
INTCBnR割り込み処理で最終データの受信が完了している場合には, CBnSCEビット = 0にしてからCBnRXレジスタを読み出す。
CBnSTR.CBnTSFビット = 0を確認後, 受信を禁止する場合, CBnRXEビット = 0とする。続けて受信をする場合には, CBnSCEビット = 1にしてCBnRXレジスタのダミー・リードにより次の受信動作を起動する。

・ 連続受信モード時
INTCBnR割り込み処理で最終データ受信中にCBnSCEビット = 0とする。
CBnRXレジスタを読み出す。
CBnTIR割り込みを受けて, CBnRXレジスタを読み出すことで, 最終受信データを読み出す。
CBnSTR.CBnTSFビット = 0を確認後, 受信を禁止する場合, CBnRXEビット = 0とする。
続けて受信をする場合には, CBnSCEビット = 1にしてCBnRXレジスタのダミー・リードにより次の受信動作まで待つ。

注1. CBnSCEビットが“1”のときに読み出されると, 次の通信動作が開始されます。

2. 最終データの受信を完了する1通信クロック前までにCBnSCEビットを“0”にしない場合, 自動的に次の通信動作が起動されます。

注意 ビット3, 2には必ず0を設定してください。

(2) CSIBn制御レジスタ1 (CBnCTL1)

CSIBnの送受信タイミングおよび入力クロックを選択する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 CBnCTL1レジスタは、CBnCTL0レジスタのCBnPWR ビット = 0の場合のみ書き換えが可能です。

(1/2)

リセット時：00H R/W アドレス：CB0CTL1：FFFFFFD01H, CB1CTL1：FFFFFFD11H

	7	6	5	4	3	2	1	0
CBnCTL1	0	0	0	CBnCKP	CBnDAP	CBnCKS2	CBnCKS1	CBnCKS0

(n = 0, 1)

	CBnCKP	CBnDAP	SCKBnに対するデータの送受信タイミングの指定
通信タイプ1	0	0	
通信タイプ2	0	1	
通信タイプ3	1	0	
通信タイプ4	1	1	

CBnCKS2	CBnCKS1	CBnCKS0	入力	入力クロック				モード ^{注1}
				n = 0		n = 1		
				PRSI = 0	PRSI = 1	PRSI = 0	PRSI = 1	
0	0	0	f _{XP1} /2	f _{xx} /2 ^{注2}	f _{xx} /4	f _{xx} /2 ^{注2}	f _{xx} /4	M
0	0	1	f _{XP1} /4	f _{xx} /4	f _{xx} /8	f _{xx} /4	f _{xx} /8	M
0	1	0	f _{XP1} /8	f _{xx} /8	f _{xx} /16	f _{xx} /8	f _{xx} /16	M
0	1	1	f _{XP1} /16	f _{xx} /16	f _{xx} /32	f _{xx} /16	f _{xx} /32	M
1	0	0	f _{XP1} /32	f _{xx} /32	f _{xx} /64	f _{xx} /32	f _{xx} /64	M
1	0	1	f _{XP1} /64	f _{xx} /64	f _{xx} /128	f _{xx} /64	f _{xx} /128	M
1	1	0	f _{BRG} ^{注3}	f _{BRG}		-		M
1	1	0	TOAA01 ^{注4}	-		TOAA01		M
1	1	1	外部クロック (SCKBn)					S

注1. M: マスタ・モード, S: スレーブ・モード

2. $f_{xx} > 16 \text{ MHz}$ の場合, 設定禁止。
3. ボー・レート・ジェネレータの出力は時計タイムにも使用されます。詳細は, 4. 2. 5 プリスケアラ・モード・レジスタ0を参照してください。
4. TAA0出力

注意 f_{XP1} が, 高速内蔵発振クロック (f_{RH})をソース・クロックとするよう設定されている場合, CSIBnは, $f_{XP1}/2$, $f_{XP1}/4$, $f_{XP1}/8$, $f_{XP1}/16$, $f_{XP1}/32$, $f_{XP1}/64$ のクロックで使用できません。

備考 PRSIはオプション・バイトで設定できます。
 詳細は第8章 オプション・バイトを参照してください。

(3) CSIBn制御レジスタ2 (CBnCTL2)

CSIBのシリアル転送ビット数を制御する8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 CBnCTL2レジスタは, CBnCTL0レジスタのCBnPWRビット = 0, またはCB0TXE, CB0RXEビット = 0の場合のみ書き換えが可能です。

リセット時: 00H R/W アドレス: CB0CTL2: FFFFFFFD02H, CB1CTL2: FFFFFFFD12H

	7	6	5	4	3	2	1	0
CBnCTL2	0	0	0	0	CBnCL3	CBnCL2	CBnCL1	CBnCL0

(n = 0, 1)

CBnCL3	CBnCL2	CBnCL1	CBnCL0	シリアル・レジスタのビット長
0	0	0	0	8ビット
0	0	0	1	9ビット
0	0	1	0	10ビット
0	0	1	1	11ビット
0	1	0	0	12ビット
0	1	0	1	13ビット
0	1	1	0	14ビット
0	1	1	1	15ビット
1	x	x	x	16ビット

注意 転送ビット数が8/16ビットではない場合には, CBnTX, CBnRXレジスタの最下位ビットから詰めてデータを準備して使用してください。

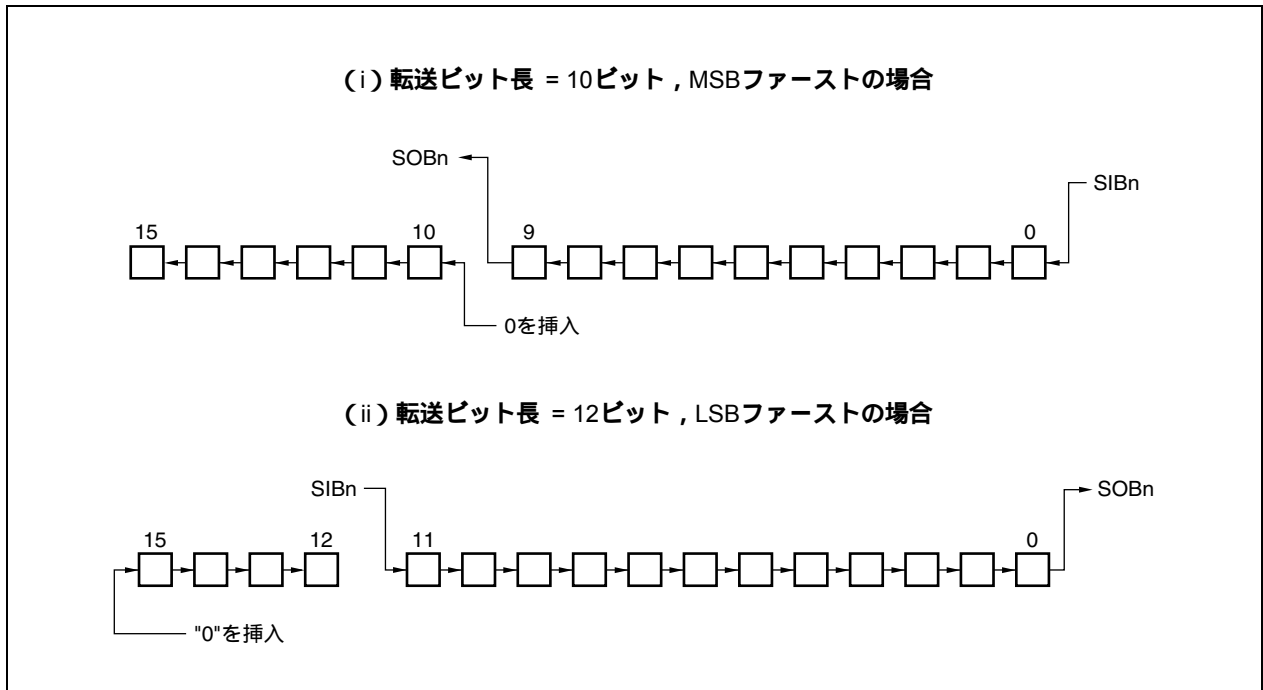
備考 x: 任意

(a) 転送データ長変更機能

CSIBの転送データ長はCBnCTL2レジスタのCBnCL3-CBnCL0ビットによって、8-16ビットに1ビット単位で設定可能です。

転送ビット長を16ビット以外に設定した場合、CBnTX, CBnRXレジスタへは、転送先頭ビットがMSBであってもLSBであっても最下位ビットから詰めてデータをセットしてください。使用しない上位ビットにセットするデータは任意ですが、シリアル転送後の受信データは“0”になります。

図15 - 2 転送データ長の変更



(4) CSIBn状態レジスタ (CBnSTR)

CSIBの状態を示す8ビットのレジスタです。

8/1ビット単位でリード/ライト可能ですが、CBnTSFフラグはリードのみ可能です。

リセットにより00Hになります。

リセット以外に、CBnCTL0レジスタのCBnPWRビットをクリア (0) する場合も初期化されます。

リセット時：00H R/W アドレス：CB0STR：FFFFFFD03H, CB1STR：FFFFFFD13H

	⑦	6	5	4	3	2	1	⑩
CBnSTR (n = 0, 1)	CBnTSF	0	0	0	0	0	0	CBnOVE

CBnTSF	転送動作状態フラグ
0	通信停止中
1	通信中
送信時にはCBnTXレジスタにデータを準備したタイミングでセットされ、受信時にはCBnRXレジスタをダミー・リードしたタイミングでセットされます。 転送終了時、クロックの最終エッジでクリアされます。	

CBnOVE	オーバラン・エラー・フラグ
0	オーバランなし
1	オーバランあり
<ul style="list-style-type: none"> ・受信時もしくは受信動作完了後に、受信バッファの値をCPUがリードせずに次の受信が開始した場合、オーバラン・エラーとなります。 CBnOVEフラグは、このような場合のオーバラン・エラーの発生状態を示します。 ・シングル転送モード時もCBnOVEビットは有効です。そのため、送信のみで使用する場合は、次のように対応してください。 <ul style="list-style-type: none"> ・CBnOVEフラグのチェックを行わない。 ・受信データを読み出す必要がない場合でも読み出す。 ・CBnOVEフラグは“0”ライトによりクリアされます。“1”ライトしてもセットされません。 	

備考 オーバラン・エラーの場合、受信割り込み (INTCBnR) は転送モードにより動作が異なります。

- ・連続転送モード
受信割り込み (INTCBnR) が発生します。
- ・シングル転送モード
割り込みは発生しません。

どちらの場合も、CBnSTRレジスタのCBnOVEビット (オーバフロー・フラグ) が“1”にセットされ、CBnRX内の前のデータは新しいデータで上書きされます。

15.4 割り込み要求信号

CSIBnからは次の2種類の割り込み要求信号を発生します。

- ・受信完了割り込み要求信号 (INTCBnR)
- ・連続送信書き込み許可割り込み要求信号 (INTCBnT)

これら2種類の割り込み要求信号のデフォルト・プライオリティは、受信完了割り込み要求信号の方が高く、連続送信書き込み許可割り込み要求信号の方が低くなっています。

表15 - 3 発生する割り込みとデフォルト・プライオリティ

割り込み	優先順位
受信完了	高
連続送信書き込み許可	低

(1) 受信完了割り込み要求信号 (INTCBnR)

受信許可状態中で、CBnRXレジスタに受信データが転送されると受信完了割り込み要求信号が発生します。

受信完了割り込み要求信号は、オーバーラン・エラーが起こった場合にも発生します (連続モードのみ)。

受信完了割り込み要求信号を受け付け、データを読み出すときに、CBnSTRレジスタを読み出して受信結果がエラーでないか確認してください。

また、シングル転送モード時は送信のみにおいても、送信完了のタイミングで、INTCBnR信号が発生します。

(2) 連続送信書き込み許可割り込み要求信号 (INTCBnT)

連続送信 / 連続送受信モードにおいて、CBnTXレジスタから送信データが転送され、CBnTXへの書き込みが可能となった時点で連続送信書き込み許可割り込み要求信号を発生します。

シングル送信 / シングル送受信モードにおいては、INTCBnT信号は発生しません。

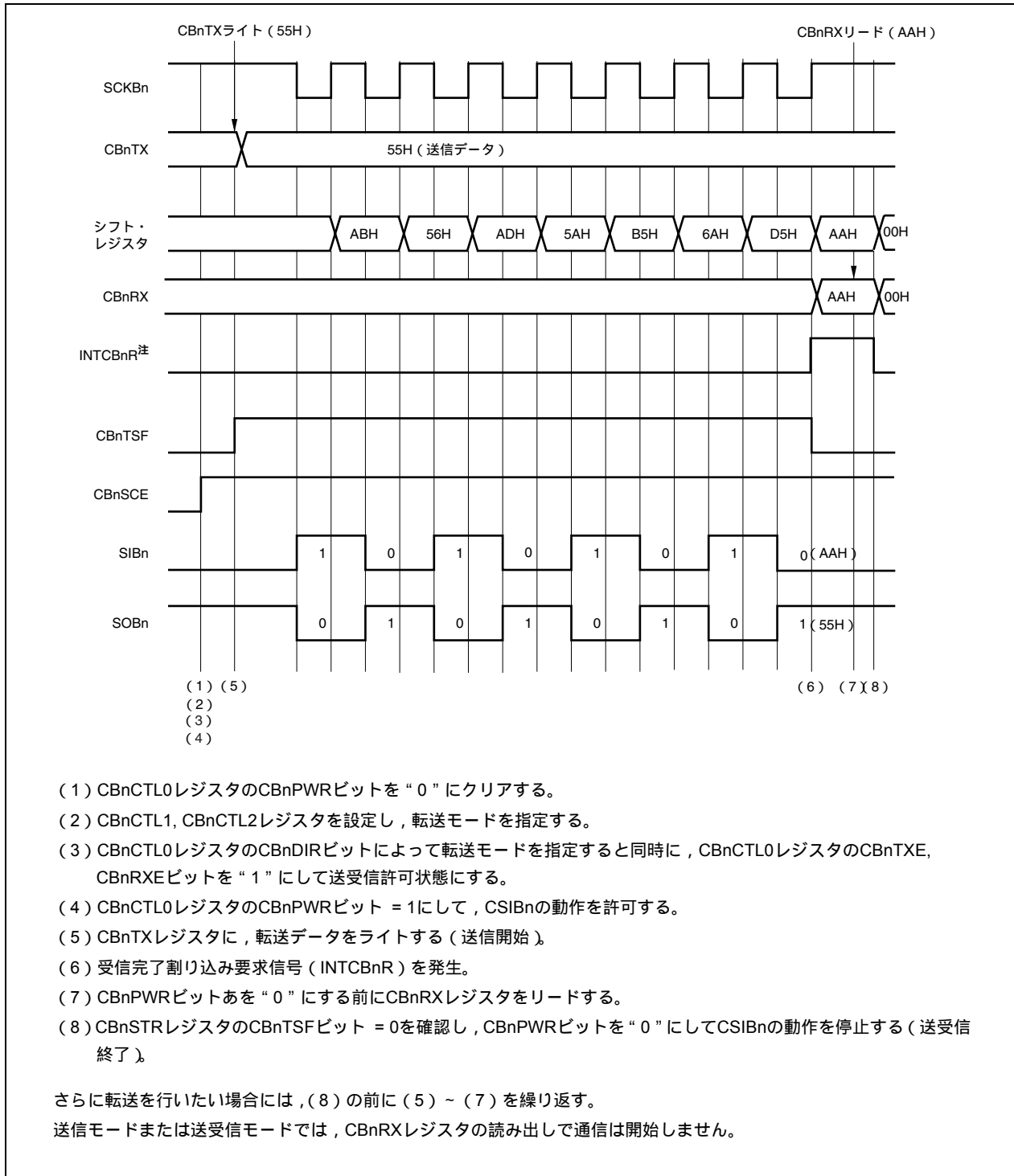
15.5 動作

15.5.1 シングル転送モード (マスタ・モード, 送受信モード)

MSBファースト (CBnCTL0レジスタのCBnDIRビット = 0), 通信タイプ1 (15.3 (2) CSIBn制御レジスタ1 (CBnCTL1) 参照), 転送データ長8ビット (CBnCTL2レジスタのCBnCL3-CBnCL0ビット = 0, 0, 0, 0) の場合の転送タイミングを図15-3に示します。

図15-3 シングル転送タイミング (マスタ・モード, 送受信モード)

(1/2)



- (1) CBnCTL0レジスタのCBnPWRビットを“0”にクリアする。
- (2) CBnCTL1, CBnCTL2レジスタを設定し, 転送モードを指定する。
- (3) CBnCTL0レジスタのCBnDIRビットによって転送モードを指定すると同時に, CBnCTL0レジスタのCBnTXE, CBnRXEビットを“1”にして送受信許可状態にする。
- (4) CBnCTL0レジスタのCBnPWRビット = 1にして, CSIBnの動作を許可する。
- (5) CBnTXレジスタに, 転送データをライトする (送信開始)。
- (6) 受信完了割り込み要求信号 (INTCBnR) を発生。
- (7) CBnPWRビットを“0”にする前にCBnRXレジスタをリードする。
- (8) CBnSTRレジスタのCBnTSFビット = 0を確認し, CBnPWRビットを“0”にしてCSIBnの動作を停止する (送受信終了)。

さらに転送を行いたい場合には, (8) の前に (5) ~ (7) を繰り返す。

送信モードまたは送受信モードでは, CBnRXレジスタの読み出しで通信は開始しません。

注 シングル転送モード時、INTCBnT信号は発生しません。
通信完了時にはINTCBnR信号が発生します。

注意 CSIBインタフェースが次の状態で動作する場合は、次の事柄に注意してください。

- ・シングル送受信モード (CBnCTL0レジスタのCBnTMSビット = 0)
- ・通信タイプ2とタイプ4 (CBnCTL1レジスタのCBnDAPビット = 1)

受信完了割り込み (INTCBnR) の発生直後に次の送信が開始される場合、CBnTXレジスタへの書き込みは、通信ステータス・フラグが通信中であることを示している (CBnTSF = 1) かぎり、無視されます。したがって、新しい送信は開始されません。

連続してデータを送信するには、次のいずれかの方法で行ってください。

- ・連続転送モードを使用する (CBnCTL0レジスタのCBnTMSビット = 1)。
- ・シングル転送モードを使用する (CBnCTL0レジスタのCBnTMSビット = 0) 場合、CBnTXレジスタにデータを書き込む前に、CBnSTRレジスタのCBnTSFビット = 0であることの確認が必要です。

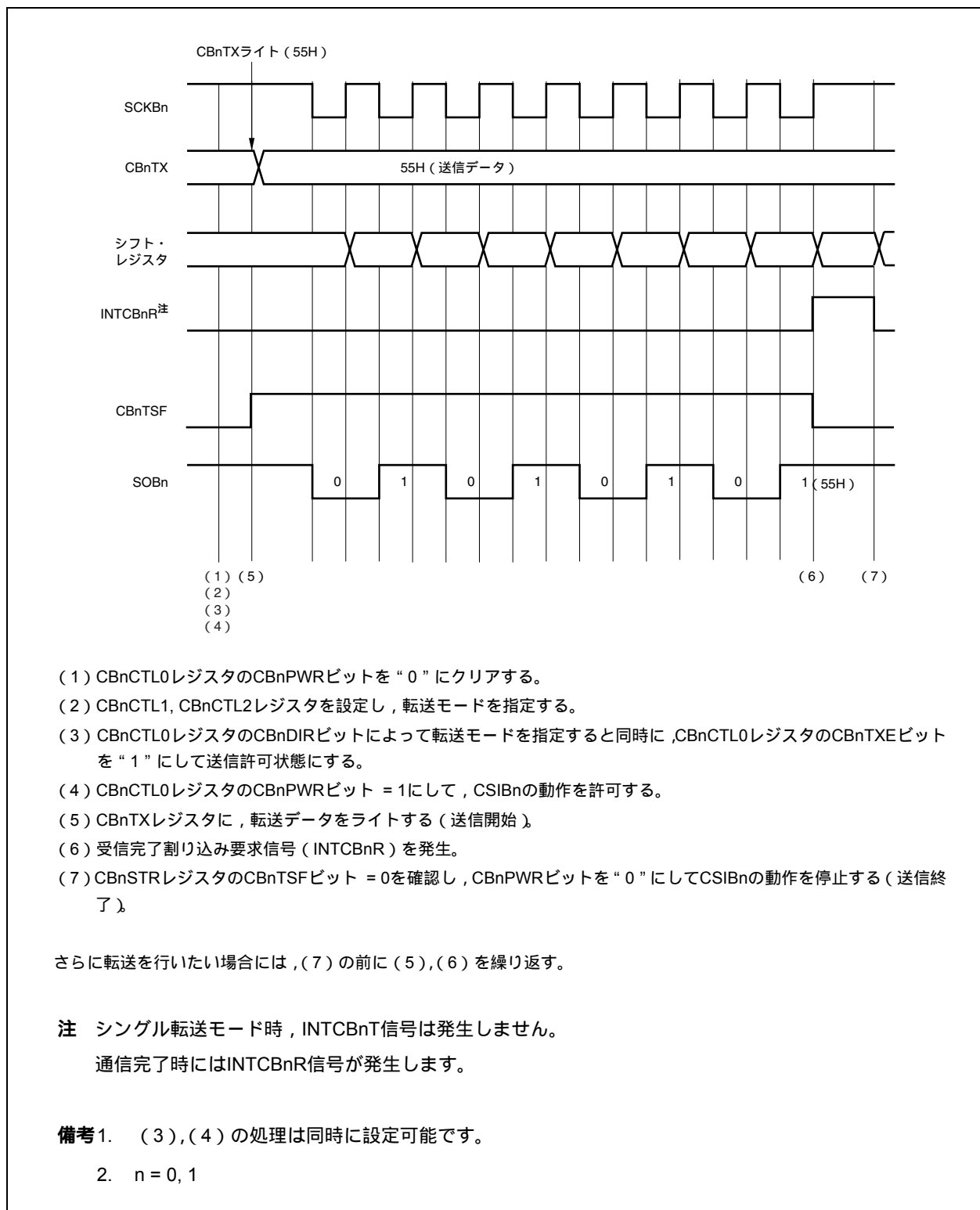
備考 1. (3), (4) の処理は同時に設定可能です。

2. n = 0, 1

15.5.2 シングル転送モード (マスタ・モード, 送信モード)

MSBファースト (CBnCTL0レジスタのCBnDIRビット = 0), 通信タイプ1 (15.3(2) CSIBn制御レジスタ1 (CBnCTL1) 参照), 転送データ長8ビット (CBnCTL2レジスタのCBnCL3-CBnCL0ビット = 0, 0, 0, 0) の場合の転送タイミングを図15-4に示します。

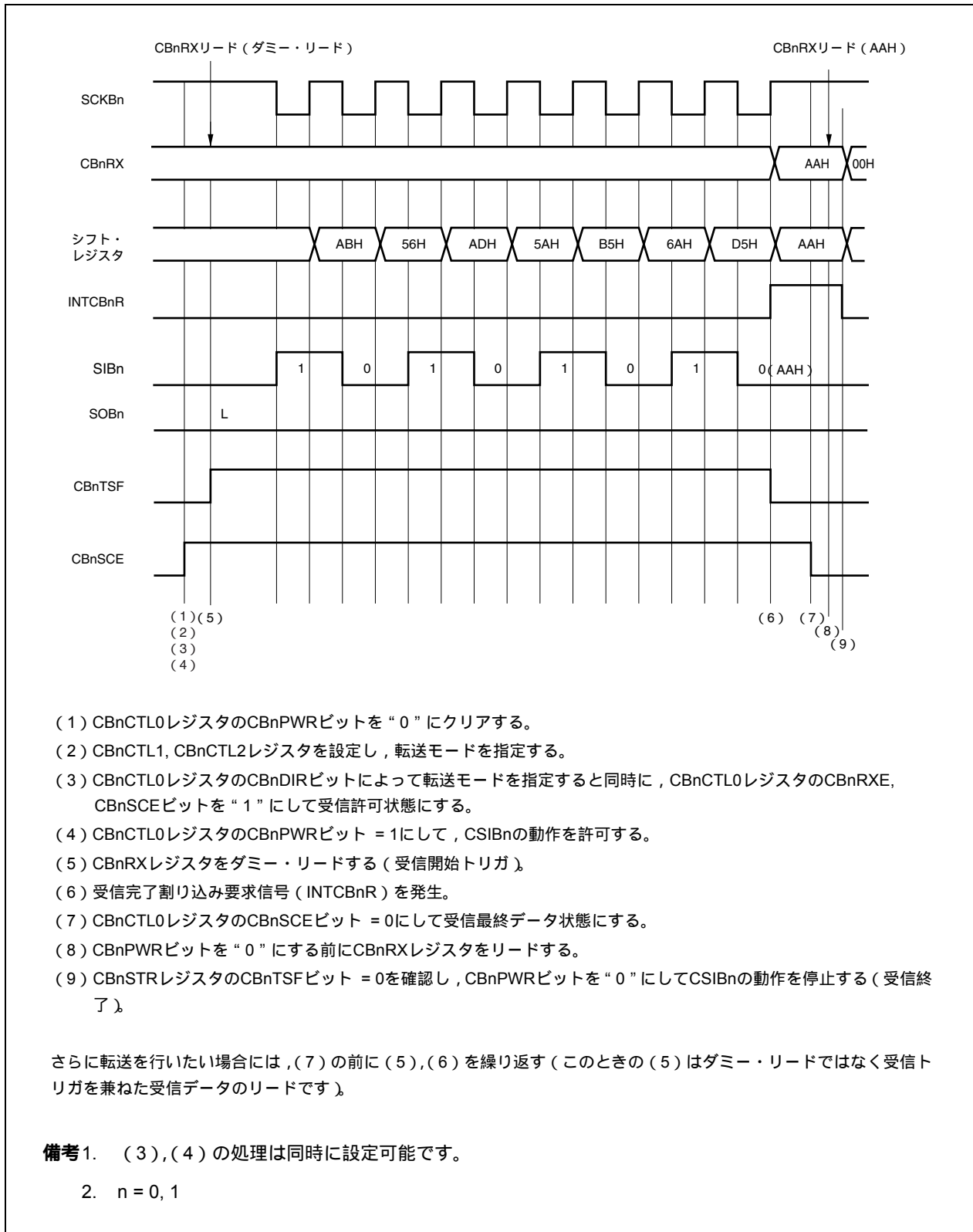
図15-4 シングル転送タイミング (マスタ・モード, 送信モード)



15.5.3 シングル転送モード (マスタ・モード, 受信モード)

MSBファースト (CBnCTL0レジスタのCBnDIRビット = 0), 通信タイプ1 (15.3(2) CSIBn制御レジスタ1 (CBnCTL1) 参照), 転送データ長8ビット (CBnCTL2レジスタのCBnCL3-CBnCL0ビット = 0, 0, 0, 0) の場合の転送タイミングを図15-5に示します。

図15-5 シングル転送タイミング (マスタ・モード, 受信モード)



- (1) CBnCTL0レジスタのCBnPWRビットを“0”にクリアする。
- (2) CBnCTL1, CBnCTL2レジスタを設定し, 転送モードを指定する。
- (3) CBnCTL0レジスタのCBnDIRビットによって転送モードを指定すると同時に, CBnCTL0レジスタのCBnRXE, CBnSCEビットを“1”にして受信許可状態にする。
- (4) CBnCTL0レジスタのCBnPWRビット = 1にして, CSIBnの動作を許可する。
- (5) CBnRXレジスタをダミー・リードする (受信開始トリガ)。
- (6) 受信完了割り込み要求信号 (INTCBnR) を発生。
- (7) CBnCTL0レジスタのCBnSCEビット = 0にして受信最終データ状態にする。
- (8) CBnPWRビットを“0”にする前にCBnRXレジスタをリードする。
- (9) CBnSTRレジスタのCBnTSFビット = 0を確認し, CBnPWRビットを“0”にしてCSIBnの動作を停止する (受信終了)。

さらに転送を行いたい場合には, (7) の前に (5), (6) を繰り返す (このときの (5) はダミー・リードではなく受信トリガを兼ねた受信データのリードです)。

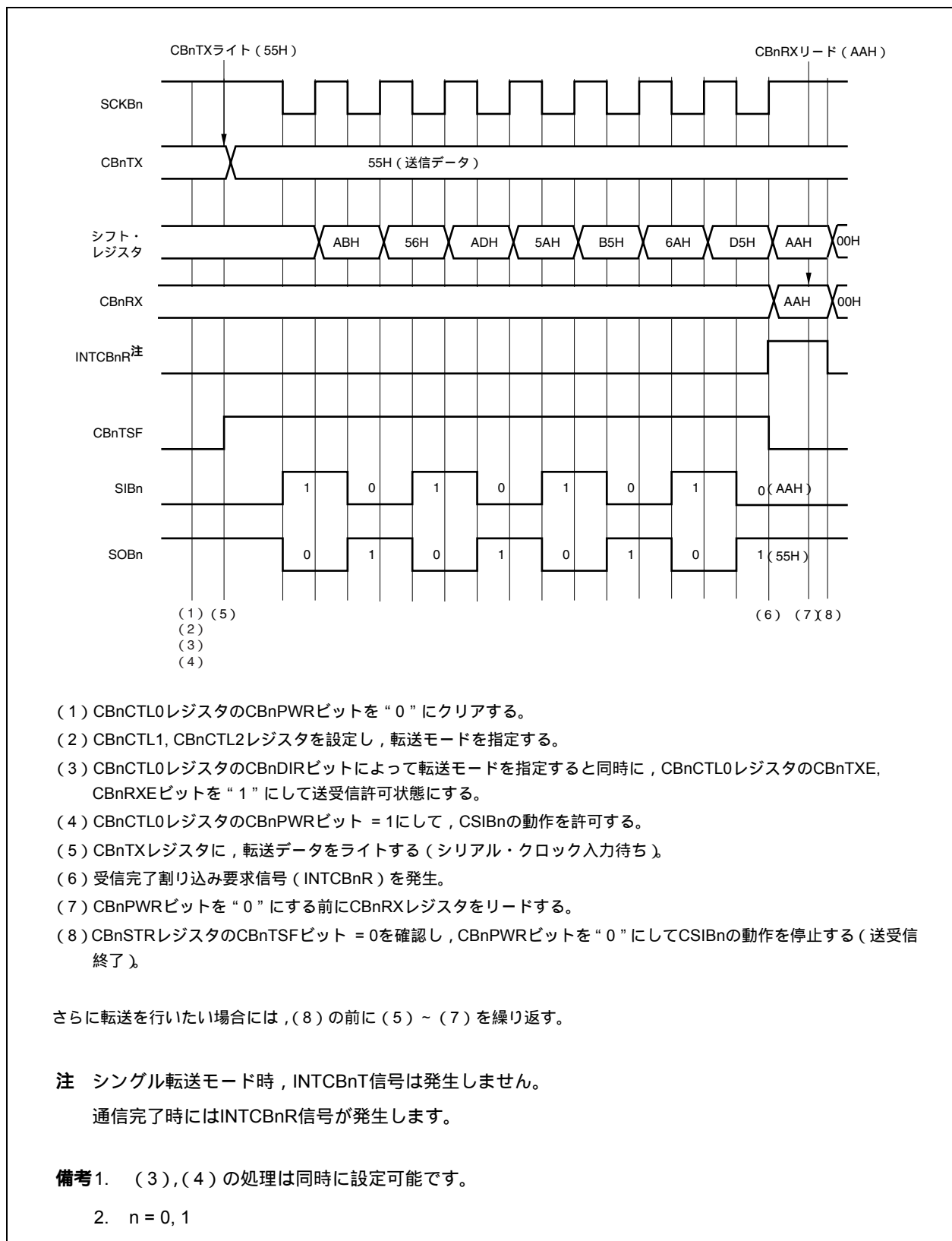
備考1. (3), (4) の処理は同時に設定可能です。

2. n = 0, 1

15.5.4 シングル転送モード (スレーブ・モード, 送受信モード)

MSBファースト (CBnCTL0レジスタのCBnDIRビット = 0), 通信タイプ1 (15.3(2) CSIBn制御レジスタ1 (CBnCTL1) 参照), CBnCKS2-CBnCKS0 = 1, 1, 1, 転送データ長8ビット (CBnCTL2レジスタのCBnCL3-CBnCL0ビット = 0, 0, 0, 0) の場合の転送タイミングを図15-6に示します。

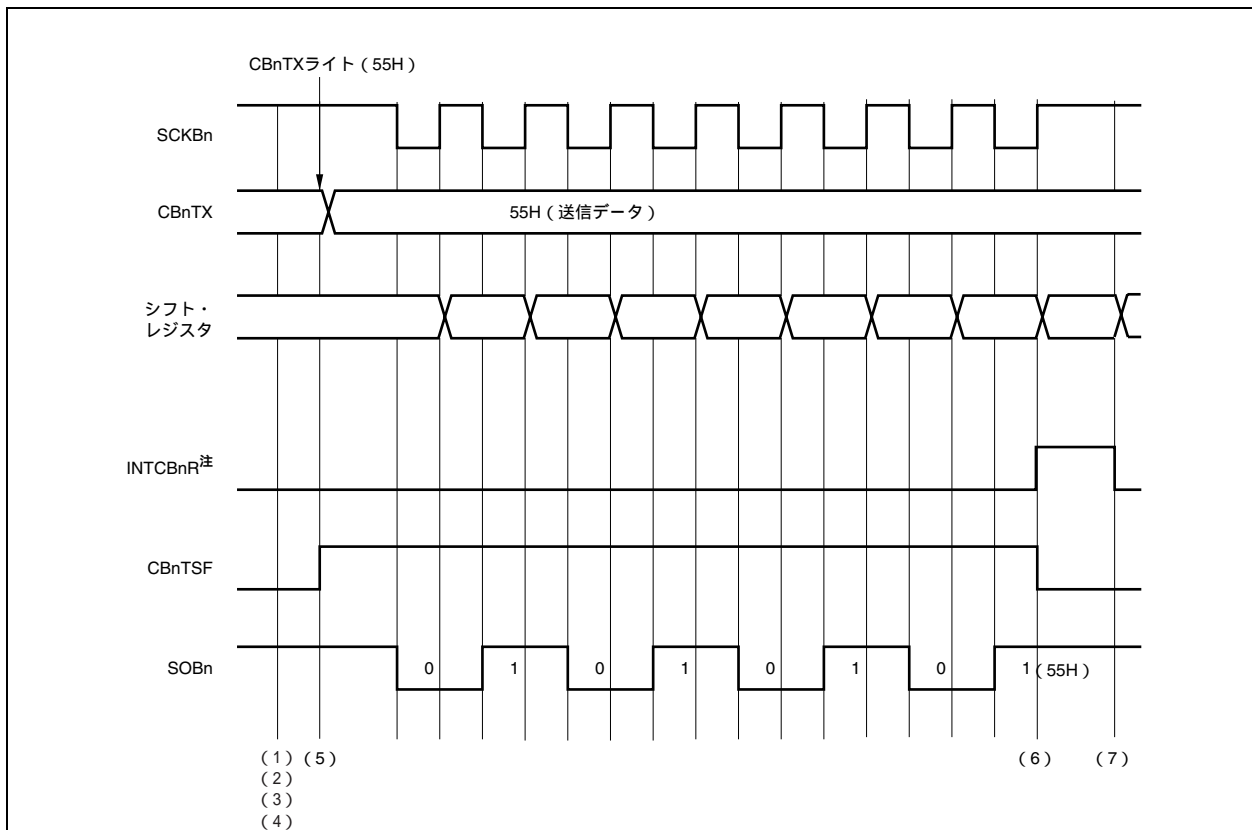
図15-6 シングル転送タイミング (スレーブ・モード, 送受信モード)



15.5.5 シングル転送モード (スレーブ・モード, 送信モード)

MSBファースト (CBnCTL0レジスタのCBnDIRビット = 0), 通信タイプ1 (15.3(2) CSIBn制御レジスタ1 (CBnCTL1) 参照), CBnCKS2-CBnCKS0 = 1, 1, 1, 転送データ長8ビット (CBnCTL2レジスタのCBnCL3-CBnCL0ビット = 0, 0, 0, 0) の場合の転送タイミングを図15-7に示します。

図15-7 シングル転送タイミング (スレーブ・モード, 送信モード)



- (1) CBnCTL0レジスタのCBnPWRビットを“0”にクリアする。
- (2) CBnCTL1, CBnCTL2レジスタを設定し, 転送モードを指定する。
- (3) CBnCTL0レジスタのCBnDIRビットによって転送モードを指定すると同時に, CBnCTL0レジスタのCBnTXEビットを“1”にして送信許可状態にする。
- (4) CBnCTL0レジスタのCBnPWRビット = 1にして, CSIBnの動作を許可する。
- (5) CBnTXレジスタに, 転送データをライトする (シリアル・クロック入力待ち)。
- (6) 受信完了割り込み要求信号 (INTCBnR) を発生。
- (7) CBnSTRレジスタのCBnTSFビット = 0を確認し, CBnPWRビットを“0”にしてCSIBnの動作を停止する (送信終了)。

さらに転送を行いたい場合には, (7) の前に (5), (6) を繰り返す。

注 シングル転送モード時, INTCBnT信号は発生しません。

通信完了時にはINTCBnR信号が発生します。

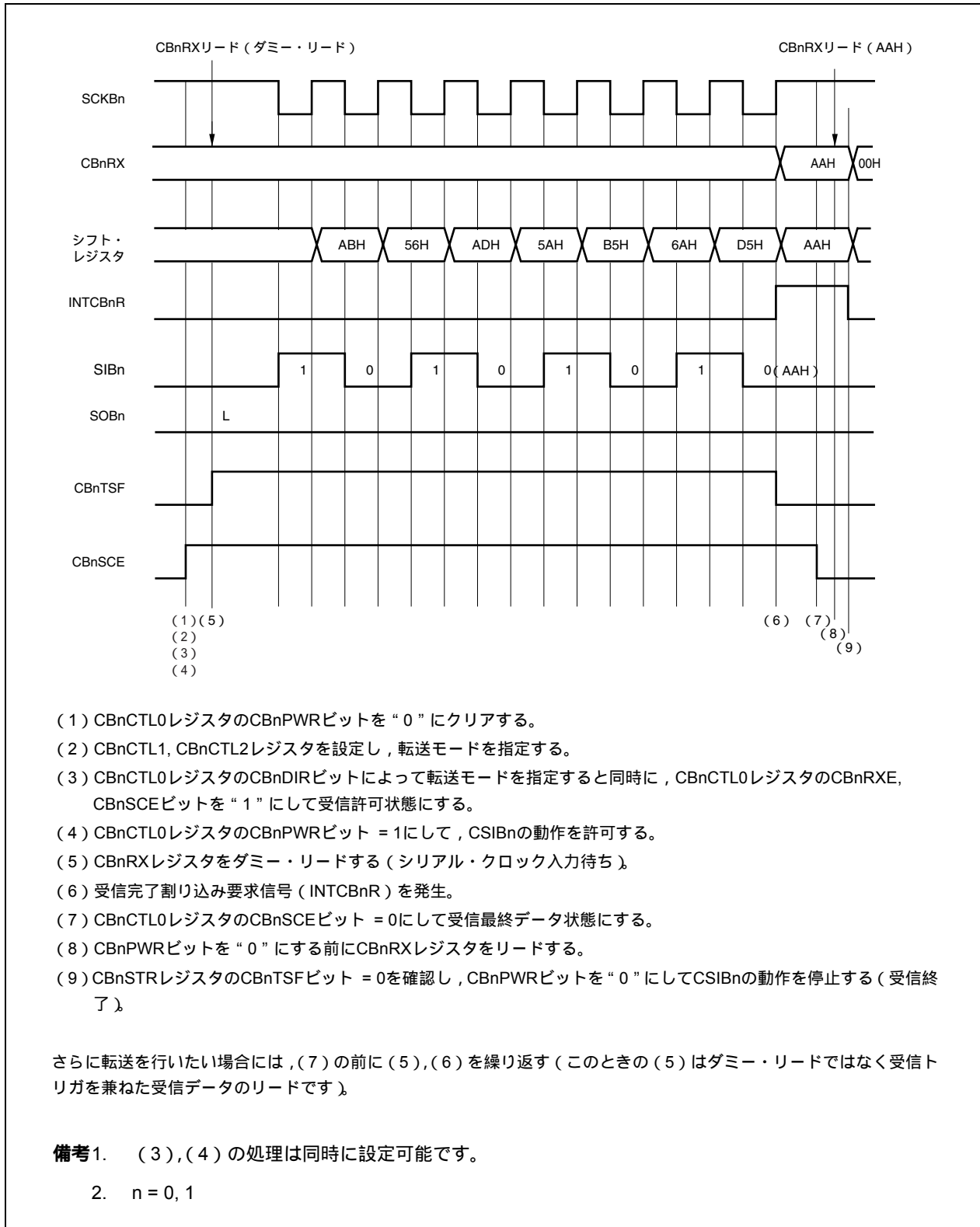
備考 1. (3), (4) の処理は同時に設定可能です。

2. n = 0, 1

15.5.6 シングル転送モード (スレーブ・モード, 受信モード)

MSBファースト (CBnCTL0レジスタのCBnDIRビット = 0), 通信タイプ1 (15.3(2) CSIBn制御レジスタ1 (CBnCTL1) 参照), CBnCKS2-CBnCKS0 = 1, 1, 1, 転送データ長8ビット (CBnCTL2レジスタのCBnCL3-CBnCL0ビット = 0, 0, 0, 0) の場合の転送タイミングを図15-8に示します。

図15-8 シングル転送タイミング (スレーブ・モード, 受信モード)

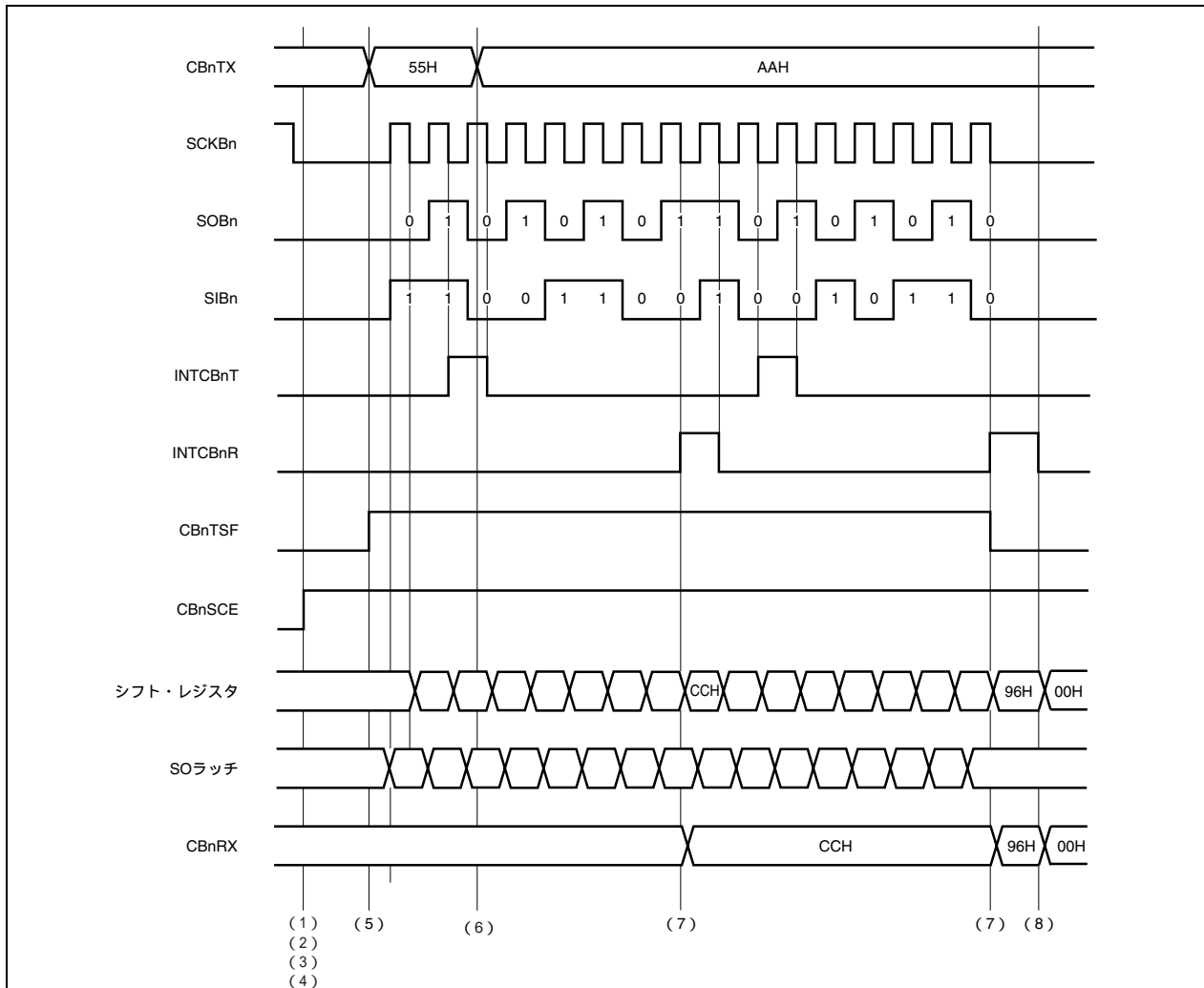


15.5.7 連続モード (マスタ・モード, 送受信モード)

MSBファースト (CBnCTL0レジスタのCBnDIRビット = 0), 通信タイプ3 (15.3(2) CSIBn制御レジスタ1 (CBnCTL1) 参照), 転送データ長8ビット (CBnCTL2レジスタのCBnCL3-CBnCL0ビット = 0, 0, 0, 0) の場合の転送タイミングを

図15-9に示します。

図15-9 連続転送タイミング (マスタ・モード, 送受信モード)



- (1) CBnCTL0レジスタのCBnPWRビットを“0”にクリアする。
- (2) CBnCTL1, CBnCTL2レジスタを設定し, 転送モードを指定する。
- (3) CBnCTL0レジスタのCBnDIRビットによって転送モードを指定すると同時に, CBnCTL0レジスタのCBnRXE, CBnTXE, CBnSCEビットを“1”にして送受信許可状態にする。
- (4) CBnCTL0レジスタのCBnPWRビット = 1にして, CSIBnの動作を許可する。
- (5) CBnTXレジスタに, 転送データをライトする (送信開始)。
- (6) 送信許可割り込み要求信号 (INTCBnT) を受けて, CBnTXレジスタに次の転送データをライトする。
- (7) 受信完了割り込み要求信号 (INTCBnR) を受けてCBnRXレジスタをリードする。
受信を停止する場合はCBnPWRビットを“0”にする前にCBnRXレジスタをリードする。
- (8) CBnSTRレジスタのCBnTSFビット = 0を確認し, CBnPWRビットを“0”にしてCSIBnの動作を停止する (送受信終了)。

さらに転送を行いたい場合には, (8) の前に (5) ~ (7) を繰り返す。

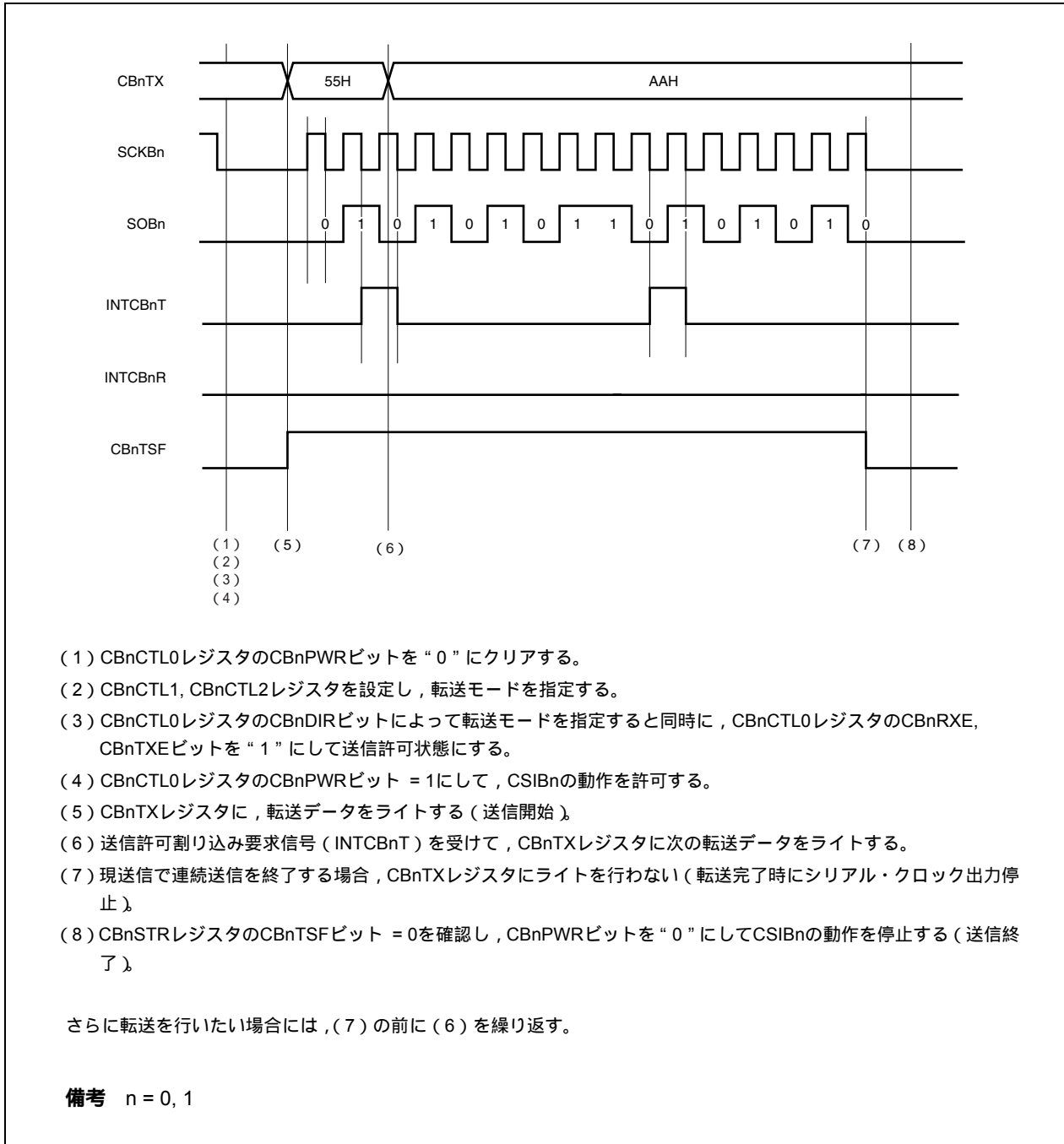
送信モードまたは送受信モードでは, CBnRXレジスタの読み出しで通信は開始しません。

備考 n = 0, 1

15.5.8 連続モード (マスタ・モード, 送信モード)

MSBファースト (CBnCTL0レジスタのCBnDIRビット = 0), 通信タイプ3 (15.3(2) CSIBn制御レジスタ1 (CBnCTL1) 参照), 転送データ長8ビット (CBnCTL2レジスタのCBnCL3-CBnCL0ビット = 0, 0, 0, 0) の場合の転送タイミングを図15-10に示します。

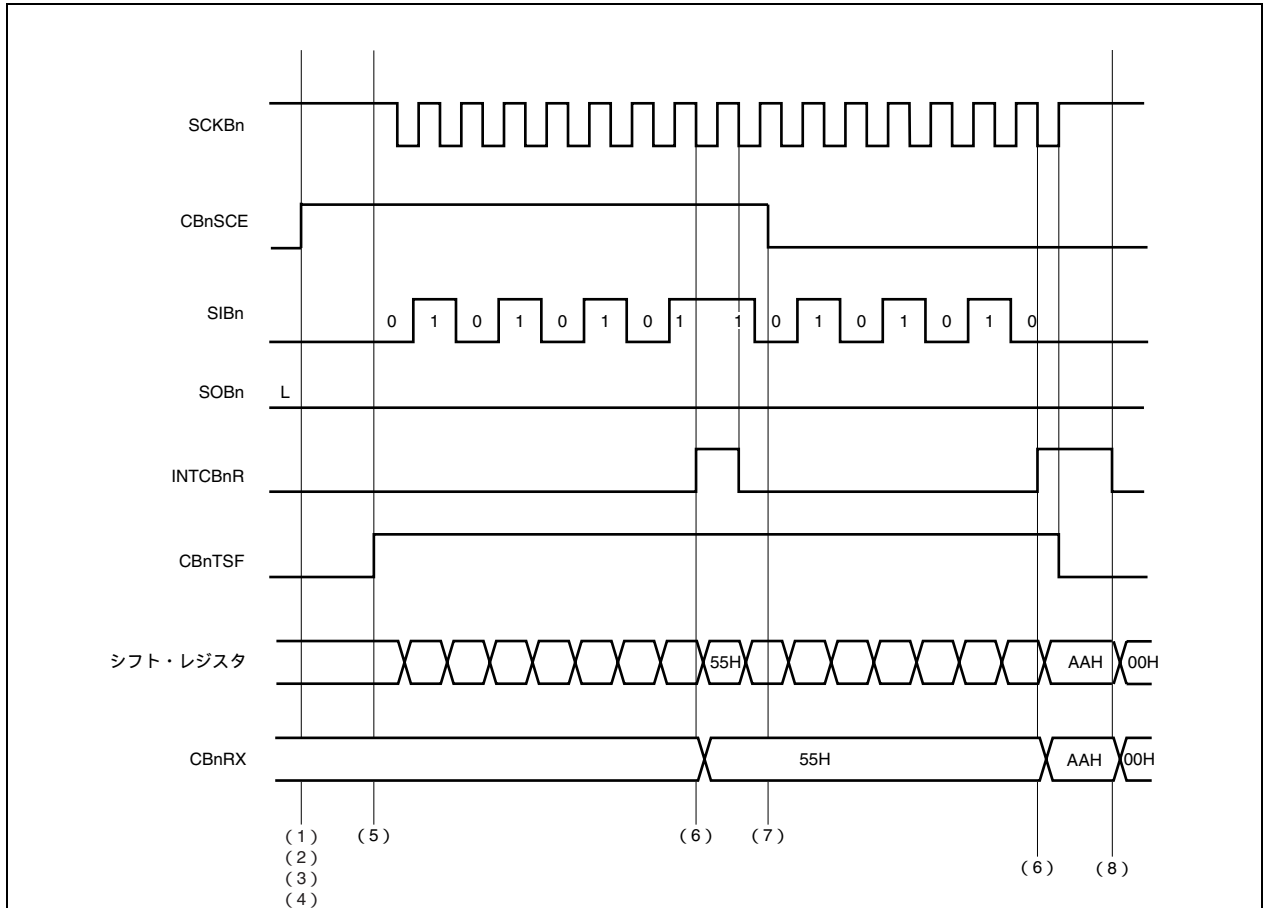
図15-10 連続転送タイミング (マスタ・モード, 送信モード)



15.5.9 連続モード (マスタ・モード, 受信モード)

MSBファースト (CBnCTL0レジスタのCBnDIRビット = 0), 通信タイプ2 (15.3(2) CSIBn制御レジスタ1 (CBnCTL1) 参照), 転送データ長8ビット (CBnCTL2レジスタのCBnCL3-CBnCL0ビット = 0, 0, 0, 0) の場合の転送タイミングを図15-11に示します。

図15-11 連続転送タイミング (マスタ・モード, 受信モード)



- (1) CBnCTL0レジスタのCBnPWRビットを“0”にクリアする。
- (2) CBnCTL1, CBnCTL2レジスタを設定し, 転送モードを指定する。
- (3) CBnCTL0レジスタのCBnDIRビットによって転送モードを指定すると同時に, CBnCTL0レジスタのCBnRXE, CBnSCEビットを“1”にして受信許可状態にする。
- (4) CBnCTL0レジスタのCBnPWRビット = 1にして, CSIBnの動作を許可する。
- (5) CBnRXレジスタをダミー・リードする (受信開始トリガ)。
- (6) 受信完了割り込み要求信号 (INTCBnR) を発生。
- (7) 最終データ受信中にCBnCTL0レジスタのCBnSCEビット= 0にして受信最終データ状態にする。
- (8) CBnSTRレジスタのCBnTSFビット = 0を確認し, CBnPWRビットを“0”にしてCSIBnの動作を停止する (受信終了)。

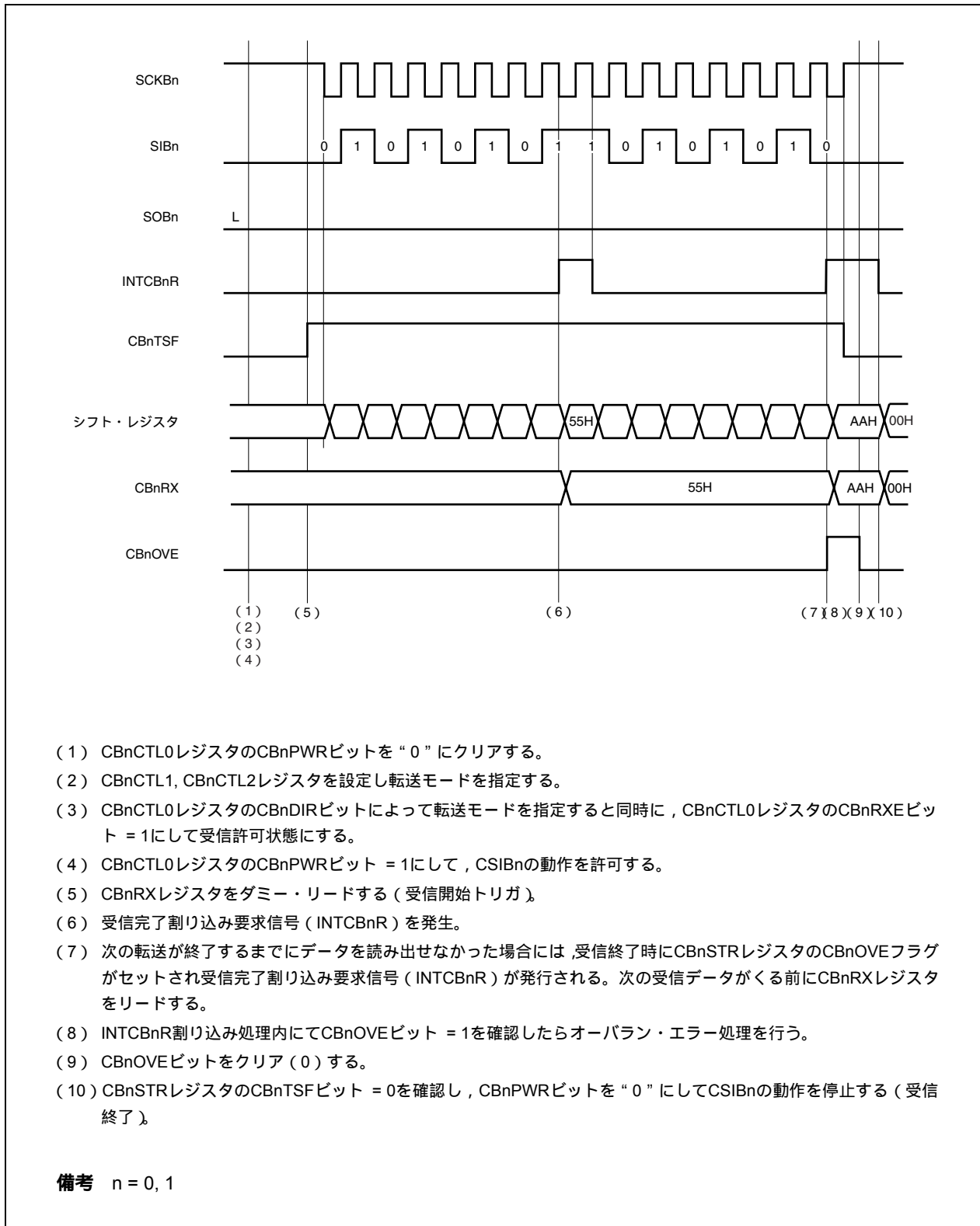
さらに転送を行いたい場合には, (7) の前に (5), (6) を繰り返す。(このときの (5) はダミー・リードではなく受信トリガを兼ねた受信データのリードです)。

備考 n = 0, 1

15.5.10 連続受信モード (エラー時)

MSBファースト (CBnCTL0レジスタのCBnDIRビット = 0), 通信タイプ2 (15.3(2) CSIBn制御レジスタ1 (CBnCTL1) 参照), 転送データ長8ビット (CBnCTL2レジスタのCBnCL3-CBnCL0ビット = 0, 0, 0, 0) の場合の転送タイミングを図15-12に示します。

図15-12 連続転送タイミング (エラー時)

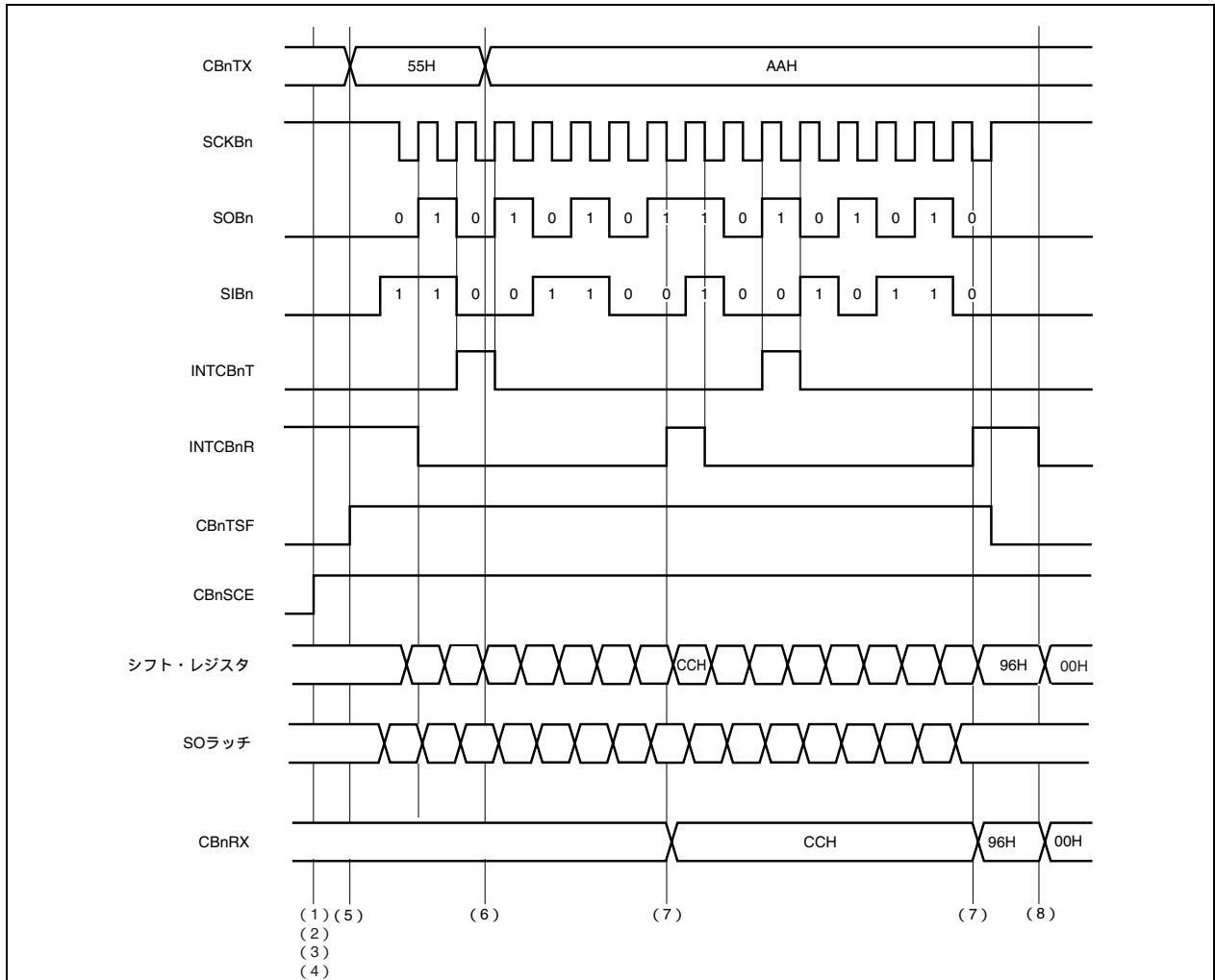


15.5.11 連続モード (スレーブ・モード, 送受信モード)

MSBファースト (CBnCTL0レジスタのCBnDIRビット = 0), 通信タイプ2 (15.3(2) CSIBn制御レジスタ1 (CBnCTL1) 参照), CBnCKS2-CBnCKS0 = 1, 1, 1, 転送データ長8ビット (CBnCTL2レジスタのCSnCL3-CBnCL0ビット = 0, 0, 0, 0) の場合の転送タイミングを図15 - 13に示します。

図15 - 13 連続転送タイミング (スレーブ・モード, 送受信モード)

(1/2)



- (1) CBnCTL0レジスタのCBnPWRビットを“0”にクリアする。
- (2) CBnCTL1, CBnCTL2レジスタを設定し, 転送モードを指定する。
- (3) CBnCTL0レジスタのCBnDIRビットによって転送モードを指定すると同時に, CBnCTL0レジスタのCBnTXE, CBnRXE, CBnSCEビットを“1”にして送受信許可状態にする。
- (4) CBnCTL0レジスタのCBnPWRビット = 1にして, CSIBnの動作を許可する。
- (5) CBnTXレジスタに, 転送データをライトする (シリアル・クロック入力待ち)。
- (6) 送信許可割り込み要求信号 (INTCBnT) を受けて, CBnTXレジスタに転送データをライトする。
- (7) 受信完了割り込み要求信号 (INTCBnR) を発生する。CBnRXレジスタをリードする。
- (8) CBnSTRレジスタのCBnTSFビット = 0を確認し, CBnPWRビットを“0”にしてCSIBnの動作を停止する (送受信終了)。

さらに転送を行いたい場合には, (8) の前に (5) ~ (7) を繰り返す。

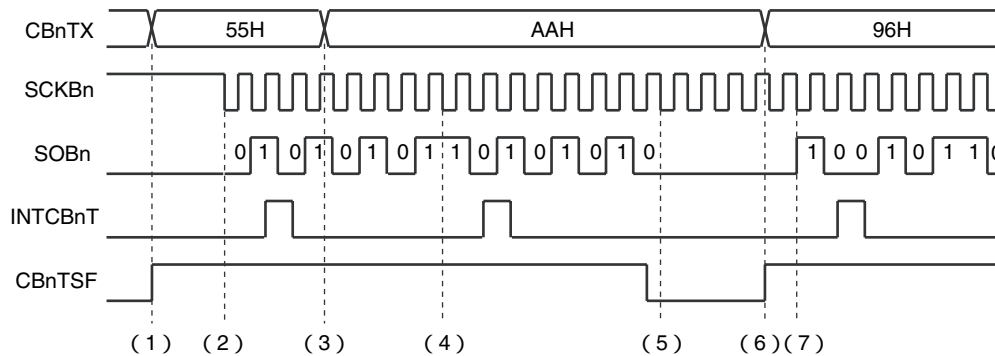
備考1. データ転送全体を開始するために, 上記手順 (6) で行ったように, まずCBnTXレジスタに書き込まなくてはなりません。この手順を省略すると, データも受信できません。

2. n = 0, 1

<非連続送信に対する注意>

CSIBが連続スレーブ送信モード (CBnCTL0レジスタのCBnTMSビット = 1, CBnCTL1レジスタのCBnCKS2-CBnCKS0ビット = 1, 1, 1) で動作し、かつ新しいデータがCBnTXレジスタに書き込まれない場合、SOBn端子は最終ビットのレベルを出力します。

下図に非連続スレーブ送信の動作概要を示します。



例では2つのデータ・バイト (55H, AAH) が正しく送信されていますが、3番目 (96H) は失敗しています。

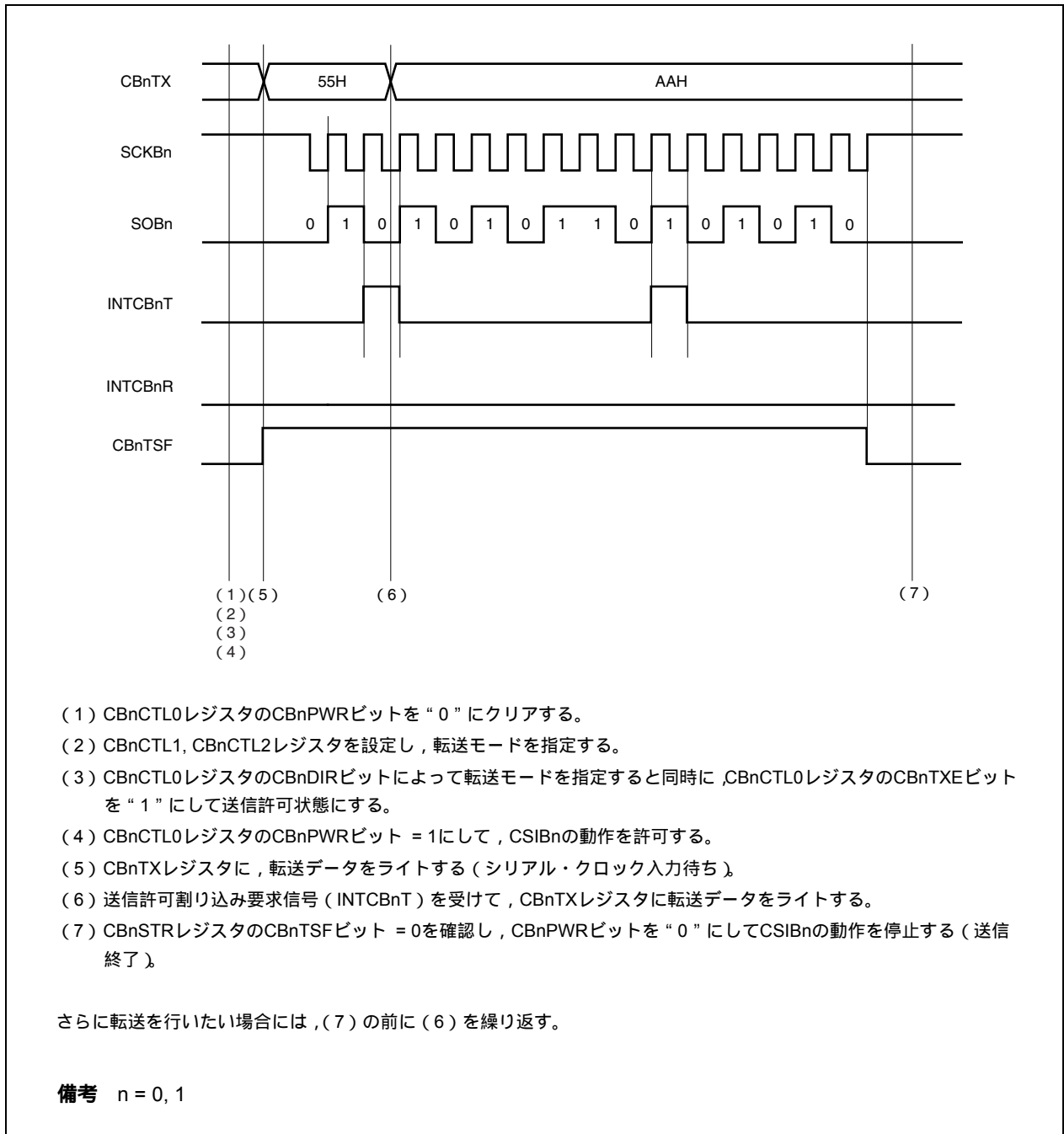
- (1) データ55HがCBnTXに (CPUにより) 書き込まれる。
- (2) マスタがクロックSCKBnを出力し、55Hの送信が開始する。
- (3) INTCBnTが発生し、次のデータAAHが間を空けずに、つまり最初のデータが完全に送信される前に、CBnTXに書き込まれる。
- (4) 2番目のデータAAHの送信が正しく継続し、INTCBnTが発生する。このとき、次のデータをタイミングどおりにCBnTXへ書き込まない。
- (5) 送信する新しいデータがCBnTX内がないがマスタはSCKBnクロックを供給し続けるため、SOBnは送信された最後のビットのレベルのままになっている。
- (6) 新しいデータ (96H) がCBnTXに書き込まれる。
- (7) 次のSCKBnサイクルで新しいデータ (96H) の送信が開始する。

結果としてマスタは、(5)以降破壊されたデータ・バイトを受信します。このデータは、前のデータの最終ビットの任意の数の繰り返しと、新しいデータの最初の数ビットでできています。

15. 5. 12 連続モード (スレーブ・モード, 送信モード)

MSBファースト (CBnCTL0レジスタのCBnDIRビット = 0), 通信タイプ2 (15. 3 (2) CSIBn制御レジスタ1 (CBnCTL1) 参照), CBnCKS2-CBnCKS0 = 1, 1, 1, 転送データ長8ビット (CBnCTL2レジスタのCSnCL3-CBnCL0ビット = 0, 0, 0, 0) の場合の転送タイミングを図15 - 14に示します。

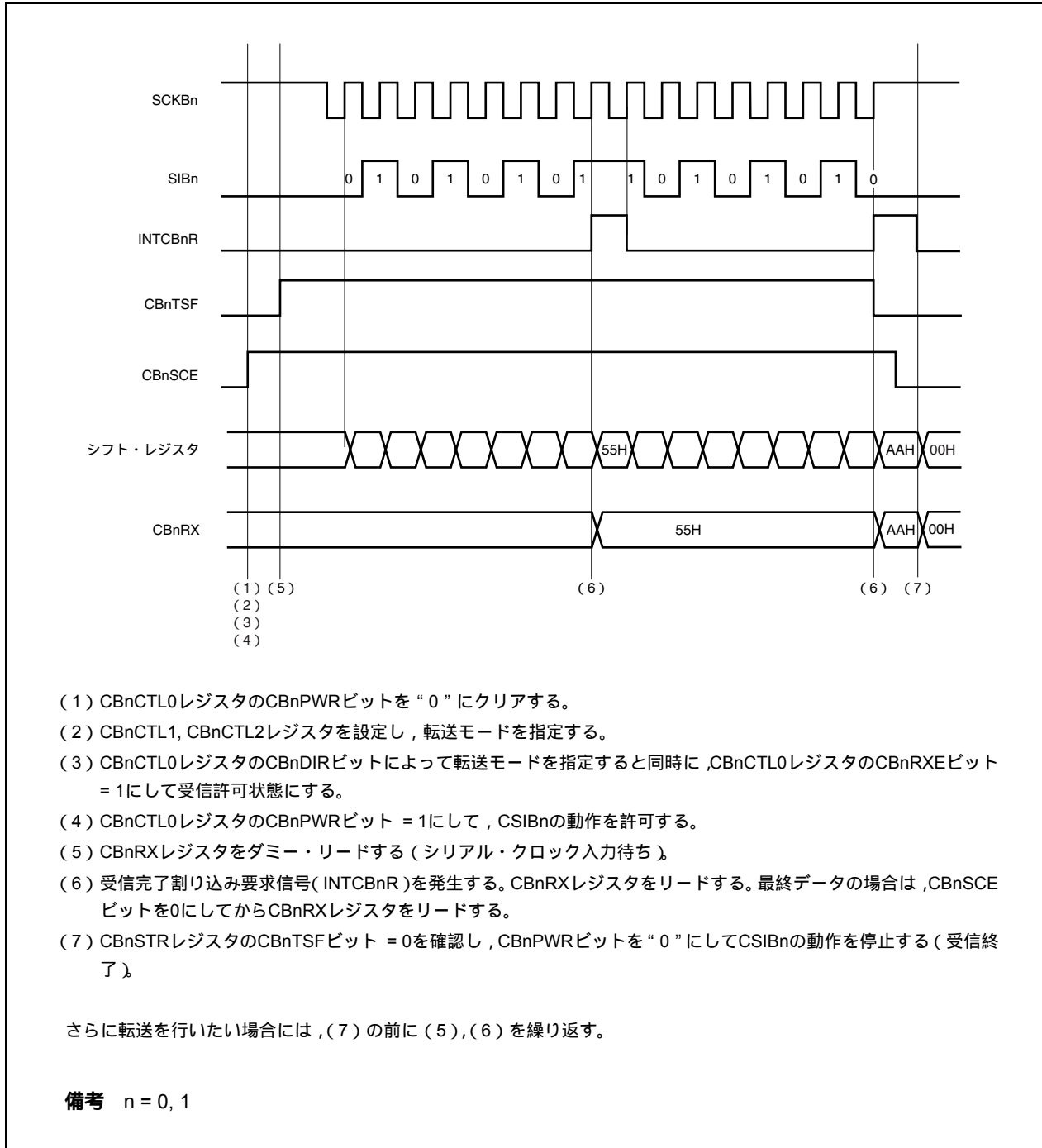
図15 - 14 連続転送タイミング (スレーブ・モード, 送信モード)



15.5.13 連続モード (スレーブ・モード, 受信モード)

MSBファースト (CBnCTL0レジスタのCBnDIRビット = 0), 通信タイプ1 (15.3(2) CSIBn制御レジスタ1 (CBnCTL1) 参照), CBnCKS2-CBnCKS0 = 1, 1, 1, 転送データ長8ビット (CBnCTL2レジスタのCSnCL3-CBnCL0ビット = 0, 0, 0, 0) の場合の転送タイミングを図15 - 15に示します。

図15 - 15 連続転送タイミング (スレーブ・モード, 受信モード)



15.5.14 クロック・タイミング

図15-16 クロック・タイミング (1/2)

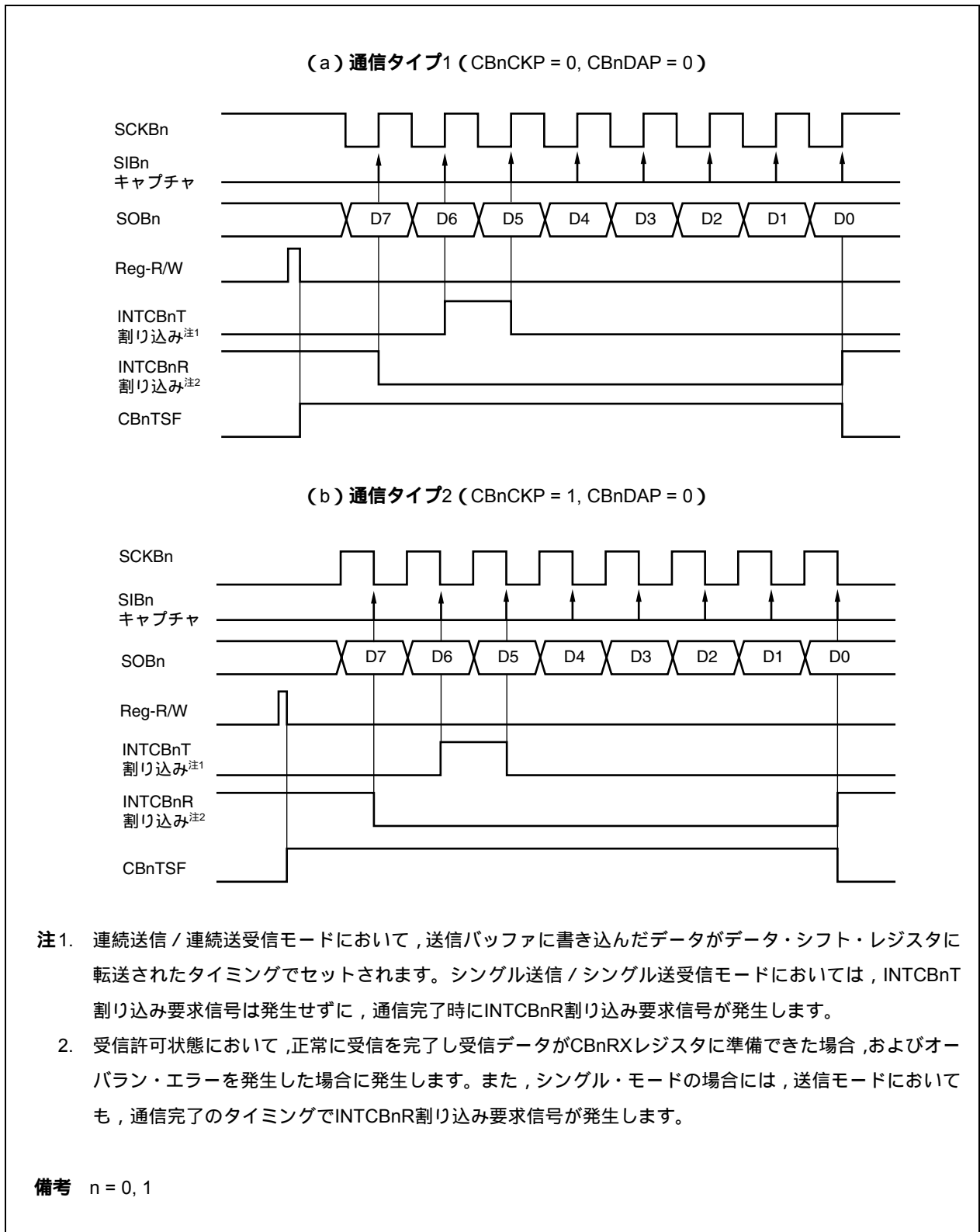
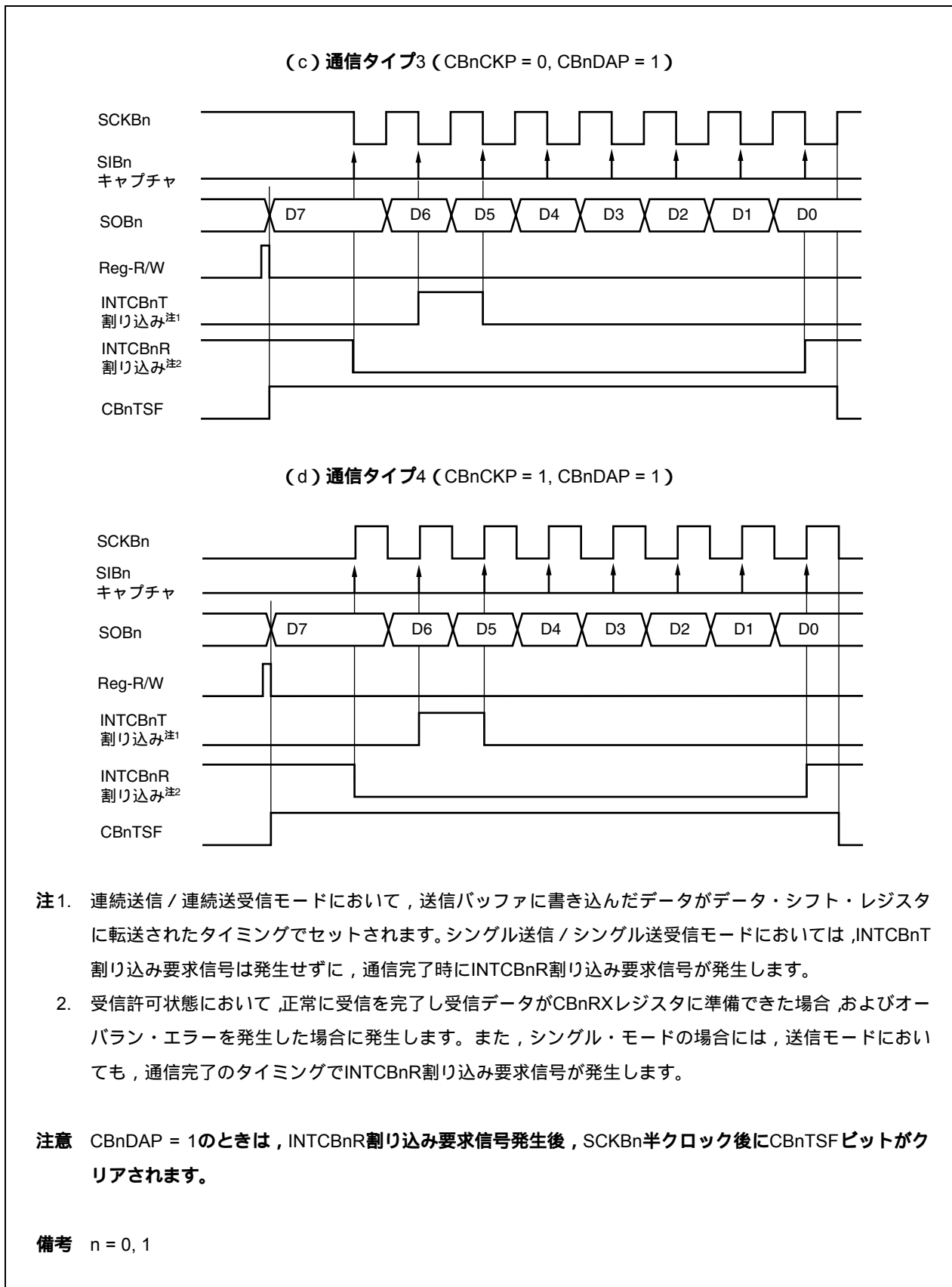


図15 - 16 クロック・タイミング (2/2)



15.5.15 動作禁止時の出力端子状態

(1) SCKBn端子

CSIBn動作禁止 (CBnCTL0レジスタのCBnPWRビット = 0) のとき, SCKBn端子出力状態は次のようになります。

CBnCKS2	CBnCKS1	CBnCKS0	CBnCKP	SCKBn端子出力
1	1	1	x	ハイ・インピーダンス
上記以外			0	ハイ・レベル固定
上記以外			1	ロウ・レベル固定

備考 1. CBnCTL1レジスタのCBnCKP, CBnCKS2-CBnCKS0ビットのいずれかを書き換えるとSCKBn端子の出力が変化します。

2. n = 0, 1
3. x : 任意

(2) SOBn端子

CSIBn動作禁止 (CBnPWRビット = 0) のとき, SOBn端子出力状態は次のようになります。

CBnTXE	CBnDAP	CBnDIR	SOBn端子出力
0	x	x	ロウ・レベル固定
1	0	x	SOBnラッチの値 (ロウ・レベル)
1	1	0	CBnTXの値 (MSB)
1	1	1	CBnTXの値 (LSB)

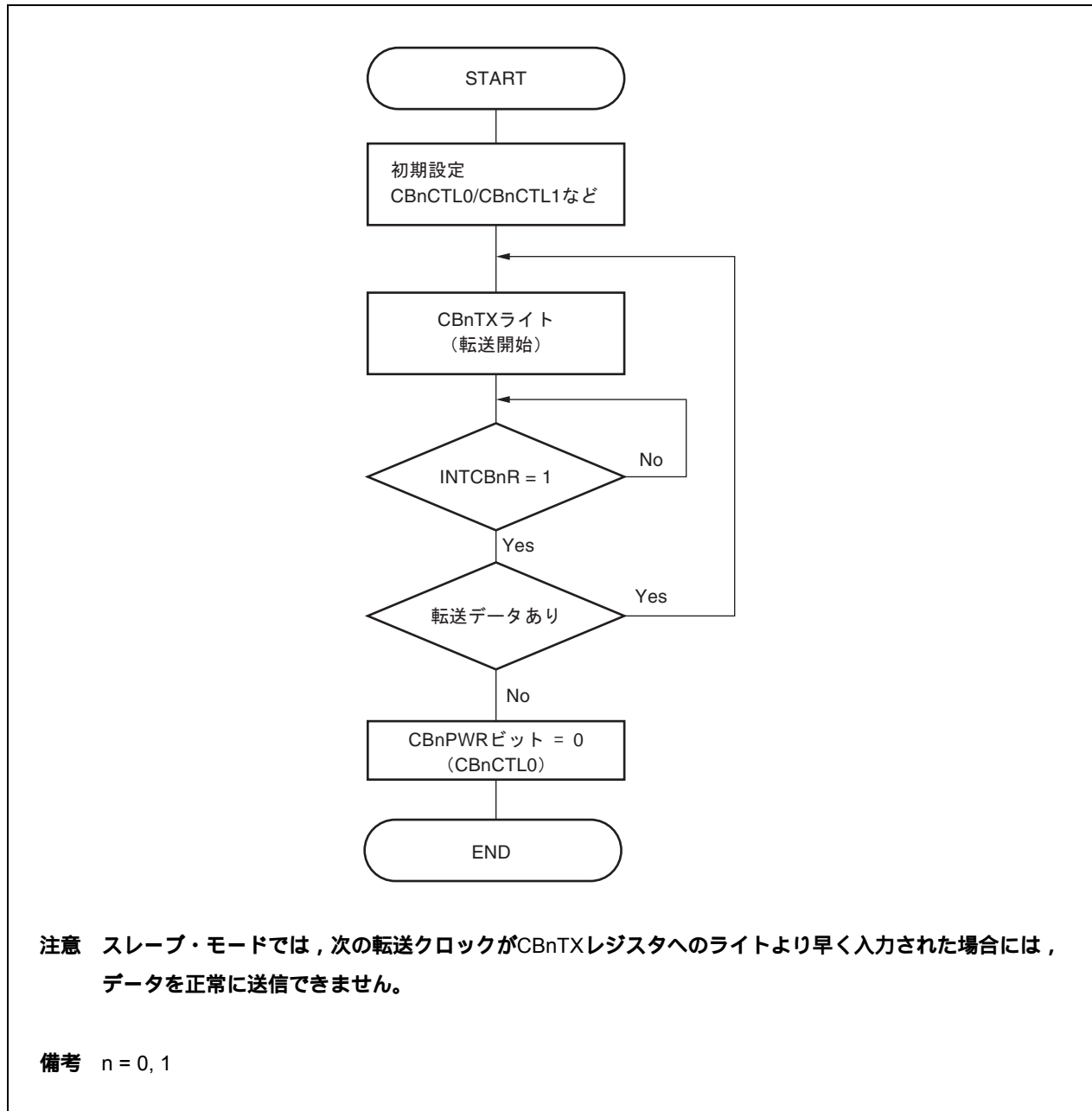
備考 1. CBnCTL0レジスタのCBnTXE, CBnDIRビット, CBnCTL1レジスタのCBnDAPビットのいずれかを書き換えるとSOBn端子の出力が変化します。

2. n = 0, 1
3. x : 任意

15.6 動作フロー

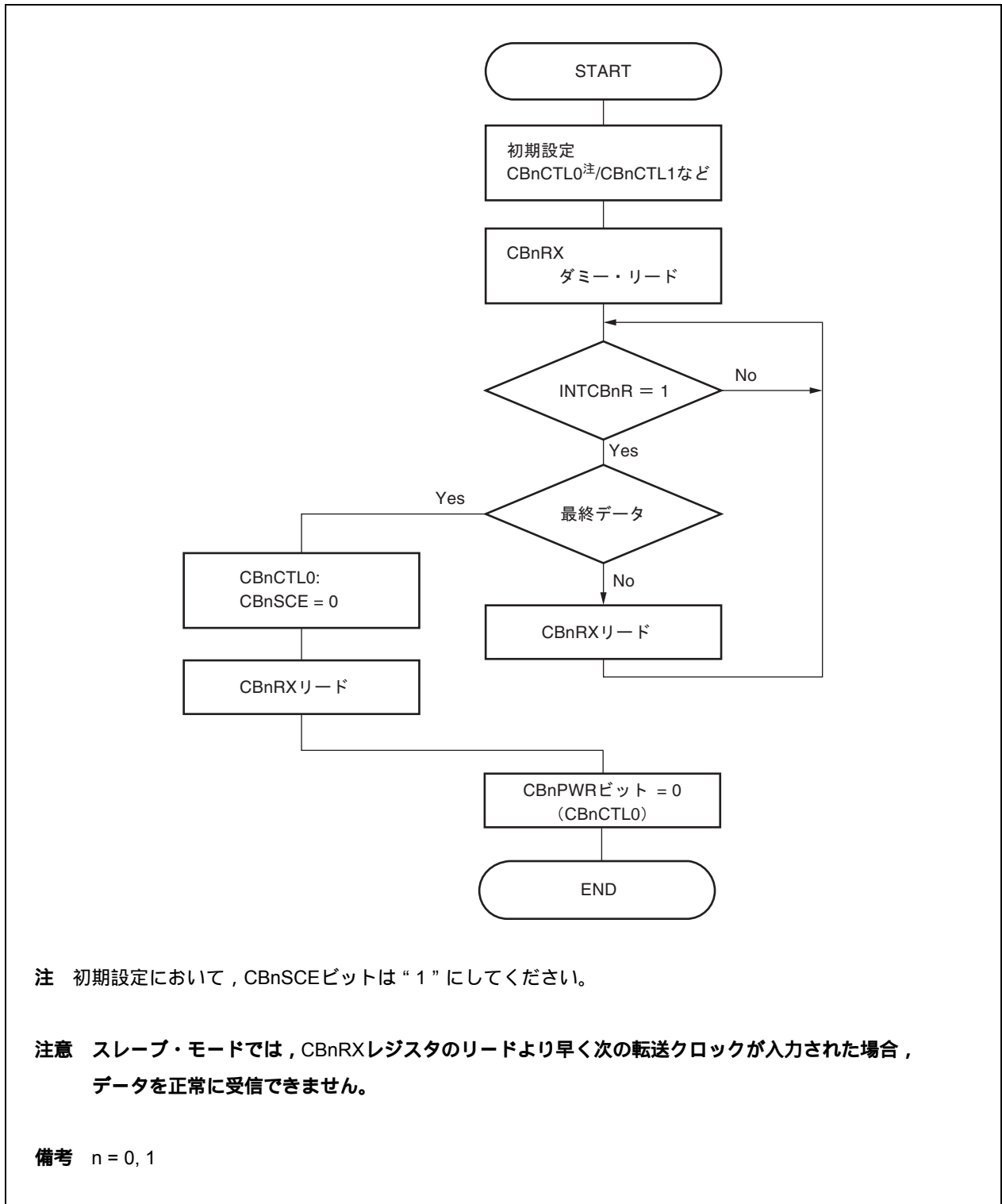
(1) シングル送信

図15 - 17 シングル送信フロー



(2) シングル受信

図15 - 18 シングル受信フロー



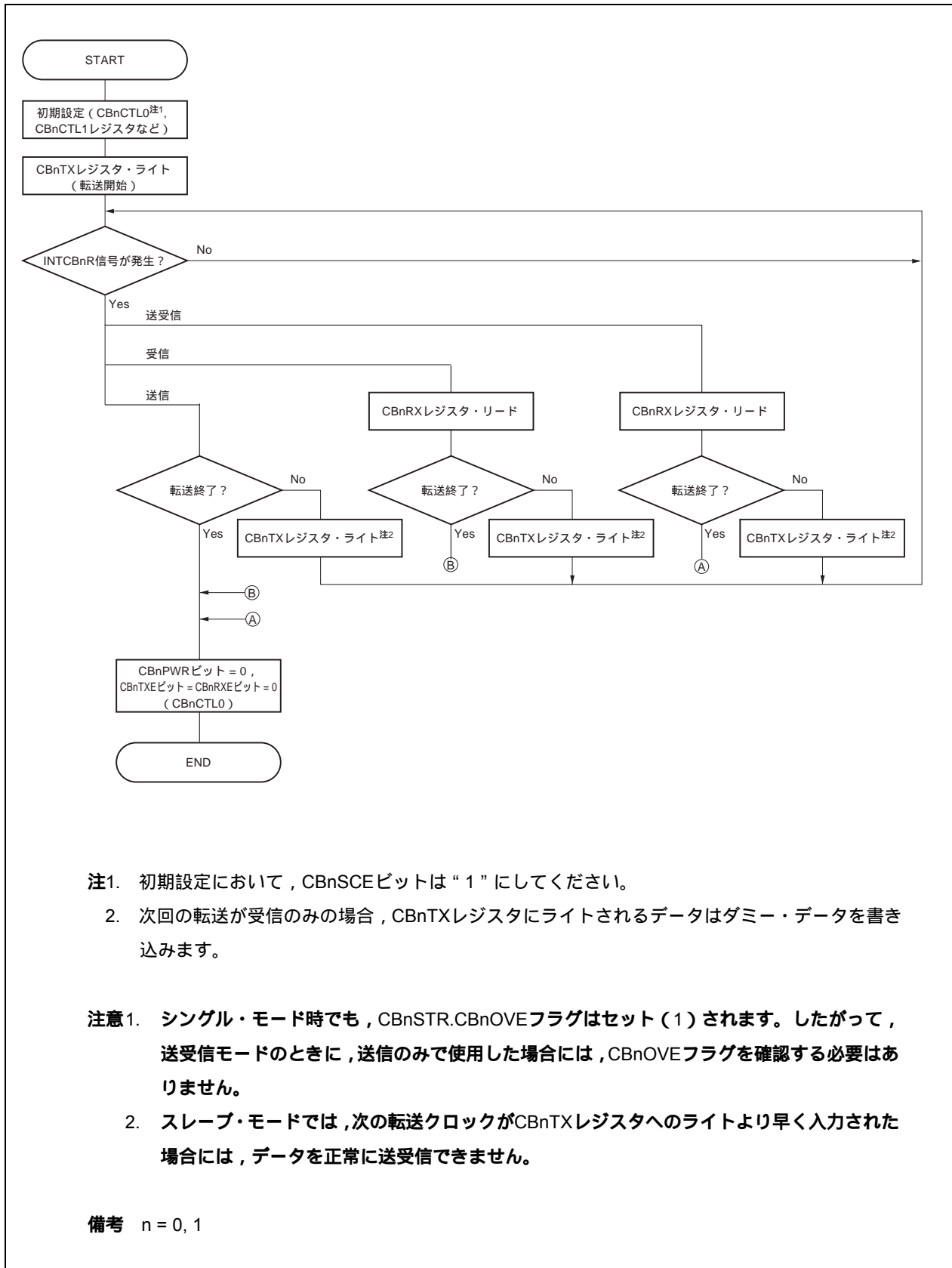
注 初期設定において、CBnSCEビットは“1”にしてください。

注意 スレーブ・モードでは、CBnRXレジスタのリードより早く次の転送クロックが入力された場合、データを正常に受信できません。

備考 n = 0, 1

(3) シングル送受信

図15 - 19 シングル送受信フロー



注1. 初期設定において、CBnSCEビットは“1”にしてください。

2. 次回の転送が受信のみの場合、CBnTXレジスタにライトされるデータはダミー・データを書き込みます。

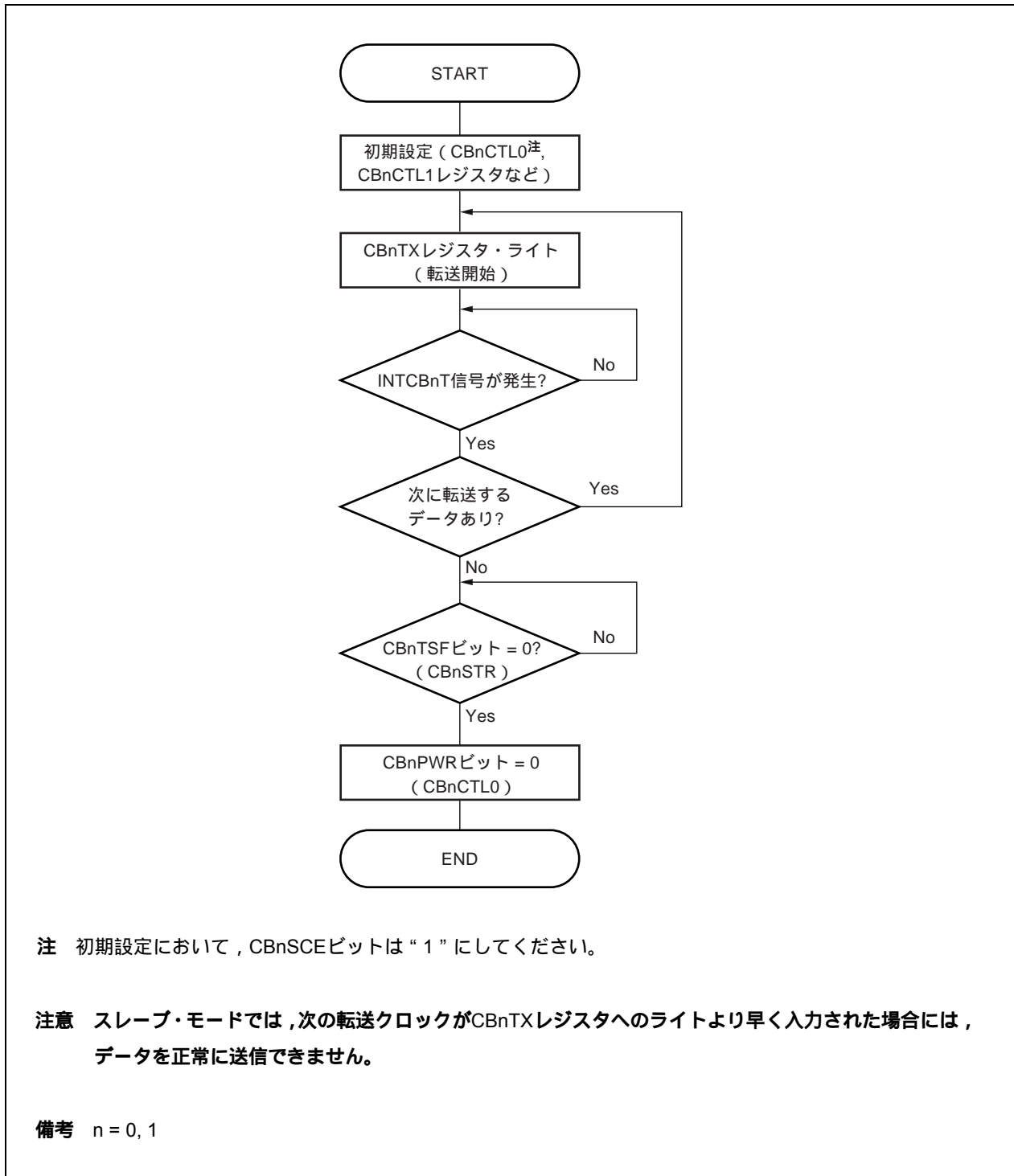
注意1. シングル・モード時でも、CBnSTR.CBnOVEフラグはセット(1)されます。したがって、送受信モードのときに、送信のみで使用した場合には、CBnOVEフラグを確認する必要はありません。

2. スレープ・モードでは、次の転送クロックがCBnTXレジスタへのライトより早く入力された場合には、データを正常に送受信できません。

備考 n = 0, 1

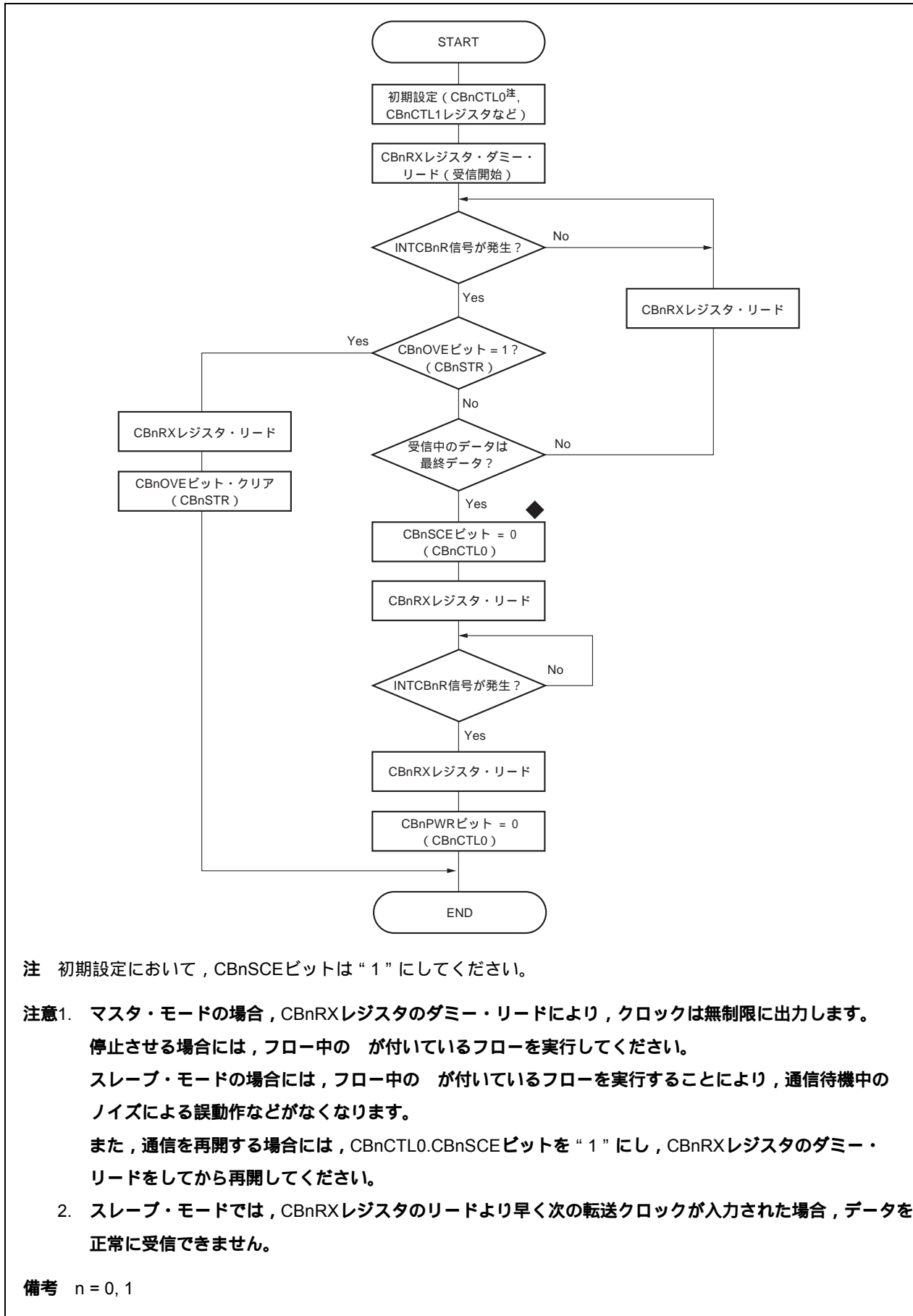
(4) 連続送信

図15 - 20 連続送信フロー



(5) 連続受信

図15 - 21 連続受信フロー



注 初期設定において，CBnSCEビットは“1”にしてください。

注意1. マスタ・モードの場合，CBnRXレジスタのダミー・リードにより，クロックは無制限に出力します。停止させる場合には，フロー中の が付いているフローを実行してください。

スレーブ・モードの場合には，フロー中の が付いているフローを実行することにより，通信待機中のノイズによる誤動作などがなくなります。

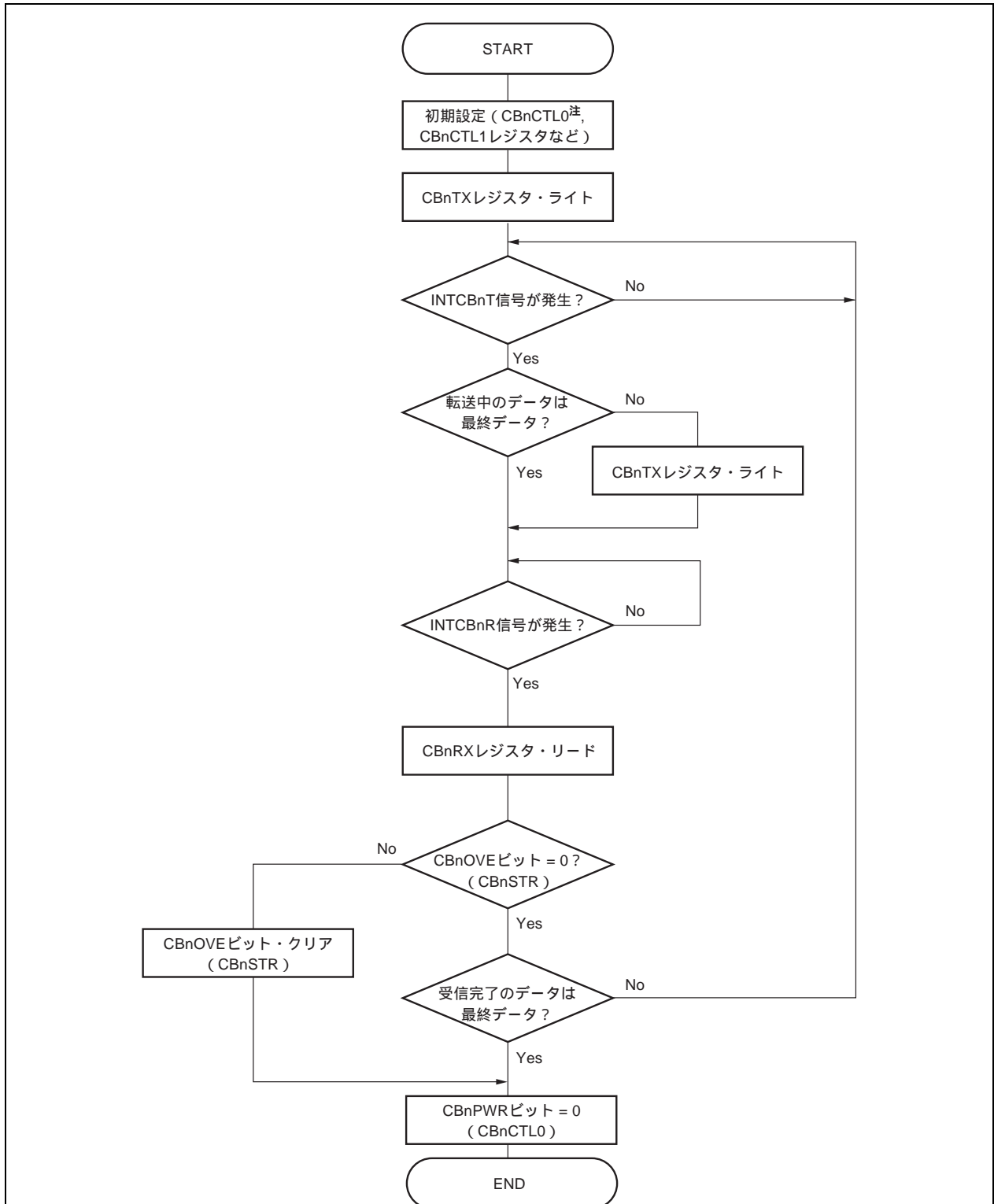
また，通信を再開する場合には，CBnCTL0.CBnSCEビットを“1”にし，CBnRXレジスタのダミー・リードをしてから再開してください。

2. スレーブ・モードでは，CBnRXレジスタのリードより早く次の転送クロックが入力された場合，データを正常に受信できません。

備考 n = 0, 1

(6) 連続送受信

図15 - 22 連続送受信フロー



注 初期設定において、CBnSCEビットは“1”にしてください。

注意 スレープ・モードでは、次の転送クロックがCBnTXレジスタへのライトより早く入力された場合には、データを正常に送受信できません。

備考 n = 0, 1

15.7 注意事項

(1) 動作中 (CBnCTL0レジスタのCBnPWRビット = 1) の書き換えを禁止しているレジスタに対して、動作中に誤って書き換えを行ってしまった場合は、一度CBnCTL0レジスタのCBnPWRビット = 0に設定してCSIBnを初期化してください。

動作中の書き換えが禁止されているレジスタを次に示します。

- CBnCTL0レジスタ : CBnTXE, CBnRXE, CBnDIR, CBnTMSビット
- CBnCTL1レジスタ : CBnCKP, CBnDAP, CBnCKS2-CBnCKS0ビット
- CBnCTL2レジスタ : CBnCL3-CBnCL0ビット

(2) シングル転送モード (CBnCTL0レジスタのCBnTMSビット = 0) で、CBnCTL1レジスタのCBnDAPビット = 1を設定し、受信完了割り込みINTCBnRを使用して次の送信、受信を起動する場合、受信完了割り込みINTCBnR発生後、SCKBnの0.5クロック分の間は、CBnTXレジスタにライトあるいは、CBnRXレジスタをリードしても2回目以降の送信動作および受信動作が行われません。連続して転送を行う場合は、連続転送モードを使用してください。

(3) スレーブ・モード (CBnCTL1.CBnCKS2-CBnCKS0ビット = 1, 1, 1) 時、転送 (通信) 動作中以外で、かつ外部クロック (SCKBn端子) が入力されているときに送信データ・レジスタへ書き込みを行った場合、CSIBn動作が停止する可能性があります。

そのため、CBnTXへの書き込み中に、外部クロック (SCKBn端子) を入力しないでください。

動作が停止した場合、外部リセット、もしくは制御レジスタ (CBnCTL0-CBnCTL2) を初期値に変更し、再度設定を行ったあと、CBnCTL0.CBnPWRビットをセットして動作を再開させてください。

備考 n = 0, 1

第16章 I²Cバス

この機能を使用する場合は、P914/SDA00, P915/SCL00端子を兼用端子として使用し、N-chオープン・ドレイン出力に設定してください。

本マイクロコントローラは、I²Cバス・インタフェース (IIC0) を搭載しています。

16.1 特 徴

I²Cは次のような特徴を持つ同期型シリアル・インタフェースです。

- ・ マスタ/スレーブ・モードのサポート
- ・ 8ビット・データ転送
- ・ 転送速度
 - ～ 100 kbit/s (標準モード)
 - ～ 400 kbit/s (高速モード)
- ・ 2線式インタフェース
 - SCL : シリアル・クロック
 - SDA : シリアル・データ
- ・ SCL, SDA入力ノイズ・フィルタ

I²C00には、次の2種類のモードがあります。

- ・ 動作停止モード
- ・ I²C (Inter IC) バス・モード (マルチマスタ対応)

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード (マルチマスタ対応)

シリアル・クロック端子 (SCL00) とシリアル・データ・バス端子 (SDA00) の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

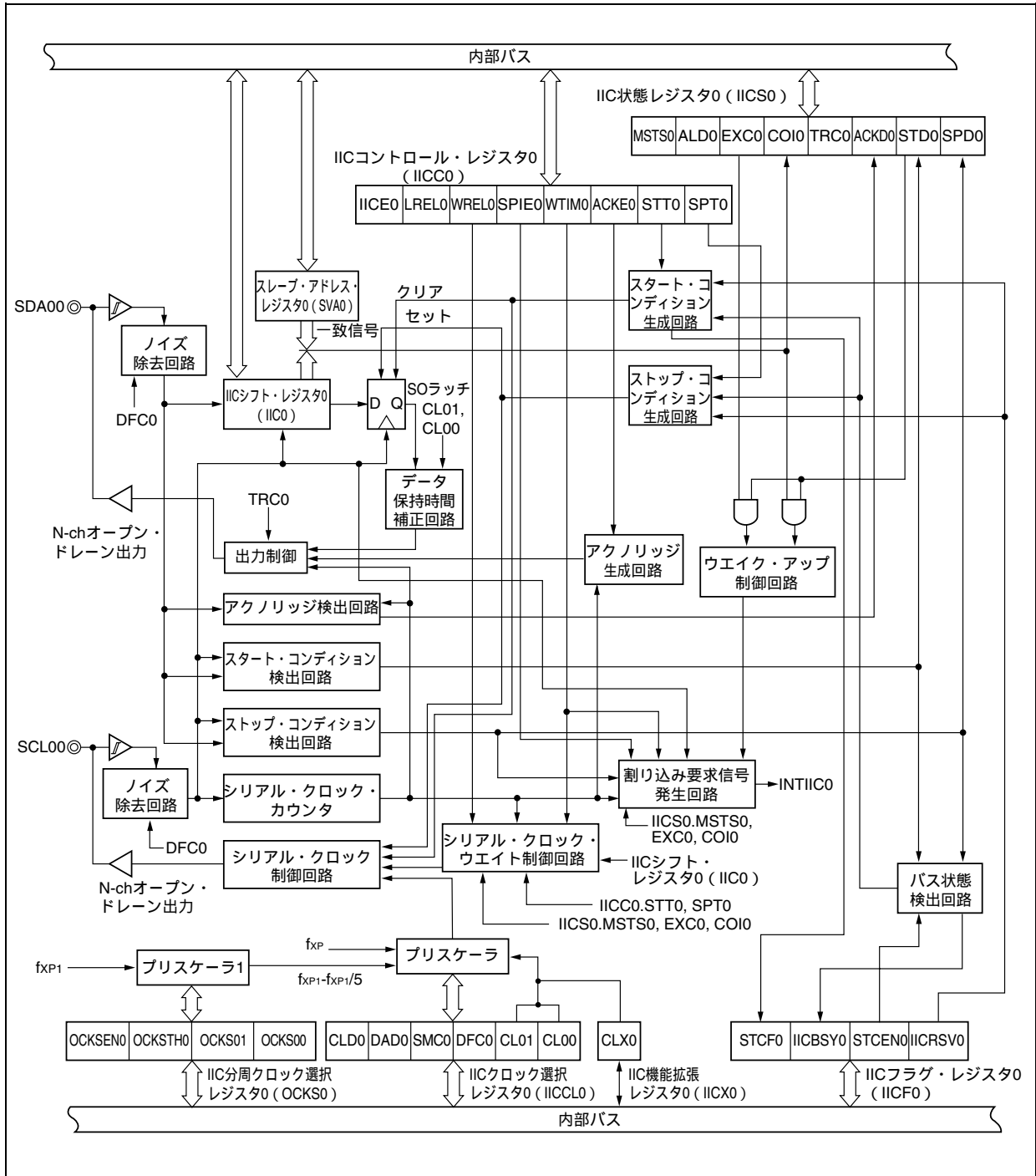
I²Cバス・フォーマットに準拠しており、マスタはスレーブに対してシリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

I²C00では、SCL00端子とSDA00端子はN-chオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

16.2 構成

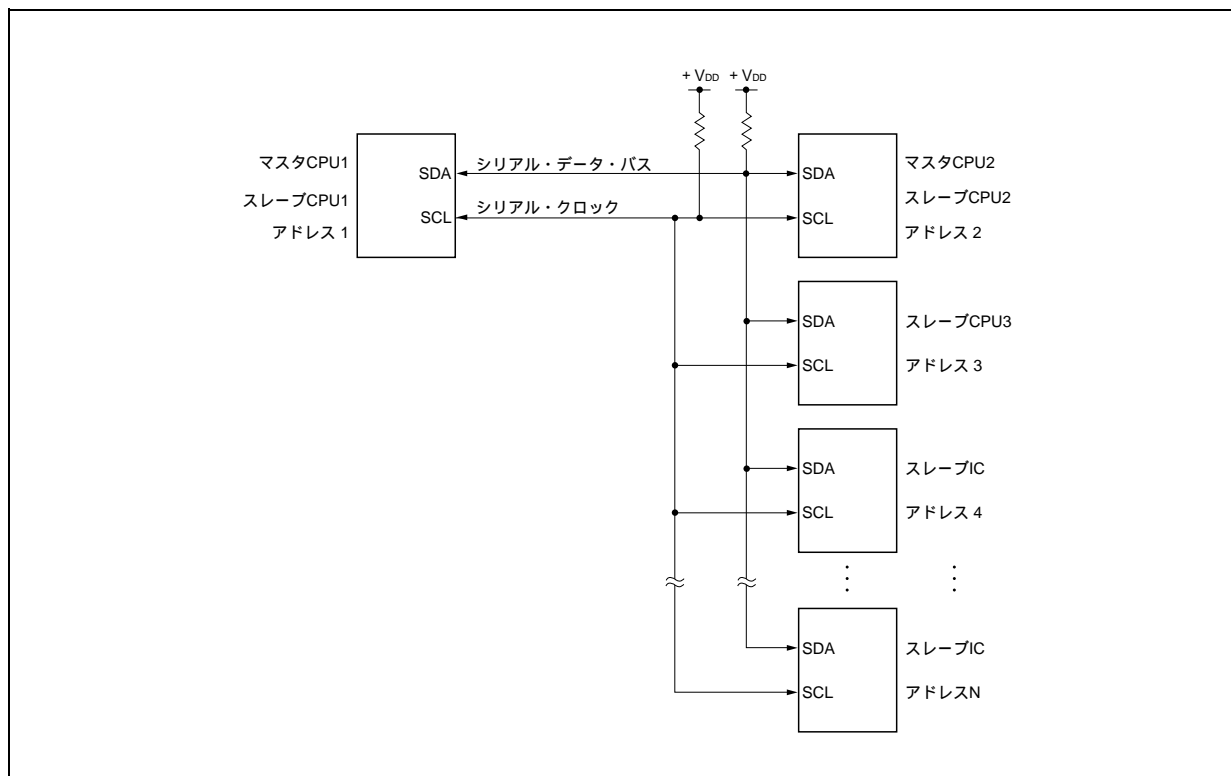
I²C00のブロック図を次に示します。

図16 - 1 I²C00のブロック図



次にシリアル・バス構成例を示します。

図16 - 2 I²Cバスによるシリアル・バス構成例



I²C00は、次のハードウェアで構成されています。

表16 - 1 I²C00の構成

項 目	構 成
レジスタ	IICシフト・レジスタ0 (IIC0) スレーブ・アドレス・レジスタ0 (SVA0)
制御レジスタ	IICコントロール・レジスタ0 (IICC0) IIC状態レジスタ0 (IICS0) IICフラグ・レジスタ0 (IICF0) IICクロック選択レジスタ0 (IICCL0) IIC機能拡張レジスタ0 (IICX0) IIC分周クロック選択レジスタ0 (OCKS0)

(1) IICシフト・レジスタ0 (IIC0)

IIC0レジスタは、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IIC0レジスタは送信および受信の両方に使用されます。

IIC0レジスタに対する書き込み / 読み出しにより、実際の送受信動作が制御されます。

8ビット単位でリード / ライト可能です。

リセットにより00Hになります。

(2) スレーブ・アドレス・レジスタ0 (SVA0)

スレーブとして使用する場合に、自局アドレスを設定するレジスタです。

8ビット単位でリード / ライト可能です。

リセットにより00Hになります。

(3) SOラッチ

SOラッチは、SDA00端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

SVA0レジスタに設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求信号 (INTIIC0) を発生させる回路です。

(5) プリスケーラ

使用するサンプリング・クロックを選択します。

(6) シリアル・クロック・カウンタ

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(7) 割り込み要求信号発生回路

割り込み要求信号 (INTIIC0) の発生を制御します。

I²C割り込みは、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目の立ち下がり (IICC0.WTIM0ビットで設定)
- ・ストップ・コンディション検出による割り込み発生 (IICC0.SPIE0ビットで設定)

(8) シリアル・クロック制御回路

マスタ・モード時に、SCL00端子に出力するクロックをサンプリング・クロックから生成します。

(9) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

(10) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路

各状態の生成および検出を行います。

(11) データ保持時間補正回路

SCL00端子の立ち下がりに対するデータの保持時間を生成するための回路です。

(12) スタート・コンディション生成回路

IICC0.STT0ビットがセットされるとスタート・コンディションを生成します。

ただし、通信予約禁止状態 (IICF0.IICRSV0ビット = 1) で、かつバスが解放されていない (IICF0.IICBSY0ビット = 1) 場合には、この要求は無視し、IICF0.STCF0ビットをセット (1) します。

(13) ストップ・コンディション生成回路

IICC0.SPT0ビットがセットされるとストップ・コンディションを生成します。

(14) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし、動作直後はバス状態を検出できないため、IICF0.STCEN0ビットにより、バス状態検出回路の初期状態を設定してください。

16.3 レジスタ

I²C00は、次のレジスタで制御します。

- ・ IICコントロール・レジスタ0 (IICC0)
- ・ IIC状態レジスタ0 (IICS0)
- ・ IICフラグ・レジスタ0 (IICF0)
- ・ IICクロック選択レジスタ0 (IICCL0)
- ・ IIC機能拡張レジスタ0 (IICX0)
- ・ IIC分周クロック選択レジスタ0 (OCKS0)

また、次のレジスタも使用します。

- ・ IICシフト・レジスタ0 (IIC0)
- ・ スレーブ・アドレス・レジスタ0 (SVA0)

備考 兼用端子の設定は第2章 端子機能を参照してください。

(1) IICコントロール・レジスタ0 (IICC0)

I²C00の動作許可/停止、ウェイト・タイミングの設定、その他I²C動作の設定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、SPIE0, WTIM0, ACKE0ビットは、IICE0ビット = 0 のとき、またはウェイト期間中に設定してください。IICE0ビットを“0”から“1”に設定するときに、同時にこれらのビットを設定できます。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFFD82H

	⑦	⑥	⑤	④	③	②	①	①
IICCO	IICE0	LRELO	WRELO	SPIE0	WTIM0	ACKE0	STT0	SPT0

IICE0	I ² C0動作許可 / 禁止の指定
0	動作停止。IICS0レジスタをリセット ^{注1} 。内部動作も停止。
1	動作許可。
このビットのセット（1）は、必ずSCL00, SDA00ラインがハイ・レベルの状態で行ってください。	
クリアされる条件（IICE0ビット = 0）	セットされる条件（IICE0ビット = 1）
・ 命令によるクリア ・ リセット時	・ 命令によるセット

LRELO ^{注2}	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的にクリアされる。 自局に関係ない拡張コードを受信したときなどに使用する。 SCL00, SDA00ラインはハイ・インピーダンス状態になる。 STT0, SPT0ビット, IICS0.MSTS0, EXC0, COI0, TRC0, ACKD0, STD0ビットがクリアされる。
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。 ストップ・コンディション検出後、マスタとしての起動 スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件（LRELOビット = 0）	セットされる条件（LRELOビット = 1）
・ 実行後、自動的にクリア ・ リセット時	・ 命令によるセット

WRELO ^{注2}	ウェイト解除の制御
0	ウェイトを解除しない。
1	ウェイト解除する。ウェイト解除後、自動的にクリアされる。
クリアされる条件（WRELOビット = 0）	セットされる条件（WRELOビット = 1）
・ 実行後、自動的にクリア ・ リセット時	・ 命令によるセット

注1. リセットされるのはIICS0レジスタ, IICF0.STCF0, IICBSY0ビット, IICCL0.CLD0, DAD0ビットです。

2. IICE0ビット = 0により、このフラグの信号を無効にします。

注意 SCL00ラインがハイ・レベル, SDA00ラインがロウ・レベルの状態、I²C0を動作許可(IICE0ビット = 1)した場合、直後にスタート・コンディションを検出してしまいます。I²C0を動作許可(IICE0ビット = 1)したあと、連続してビット操作命令によりLRELOビットをセット(1)してください。

備考 LRELO, WRELOビットは、データ設定後に読み出すと0になっています。

SPIE0 ^注	ストップ・コンディション検出による割り込み要求発生の許可 / 禁止	
0	禁止	
1	許可	
クリアされる条件 (SPIE0ビット = 0)		セットされる条件 (SPIE0ビット = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 		<ul style="list-style-type: none"> ・ 命令によるセット

WTIMO ^注	ウェイトおよび割り込み要求発生制御	
0	8クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 8クロック出力後, クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 8クロック入力後, クロックをロウ・レベルにしてマスタをウェイト	
1	9クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 9クロック出力後, クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 9クロック入力後, クロックをロウ・レベルにしてマスタをウェイト	
アドレス転送中はこのビットの設定にかかわらず, 9クロック目の立ち下がりでの割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時, アドレス転送中は9クロックの立ち下がりにウェイトが入ります。自局アドレスを受信したスレーブは, アクノリッジ (ACK) 発生後の9クロック目の立ち下がりでのウェイトに入ります。ただし拡張コードを受信したスレーブは, 8クロック目の立ち下がりでのウェイトに入ります。		
クリアされる条件 (WTIMOビット = 0)		セットされる条件 (WTIMOビット = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 		<ul style="list-style-type: none"> ・ 命令によるセット

ACKE0 ^注	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDA00ラインをロウ・レベルにする。	
アドレス受信のときは, ACKE0ビットの設定は無効です。この場合, アドレスが一致したときはアクノリッジを生成します。 ただし, 拡張コードを受信するときは, ACKE0ビットの設定は有効になります。		
クリアされる条件 (ACKE0ビット = 0)		セットされる条件 (ACKE0ビット = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 		<ul style="list-style-type: none"> ・ 命令によるセット

注 IIICE0ビット = 0により, このフラグの信号を無効にします。

STT0注	スタート・コンディション・トリガ	
0	スタート・コンディションを生成しない。	
1	<p>バスが解放されているとき（ストップ状態）：</p> <p>スタート・コンディションを生成する（マスタとしての起動）。SCL0ラインがハイ・レベルの状態ではSDA00ラインをハイ・レベルからロウ・レベルに変化させ、スタート・コンディションを生成する。そのあと、規格の時間を確保し、SCL00ラインをロウ・レベルにする。</p> <p>第三者が通信中のとき：</p> <p>通信予約機能許可の場合（IICF0.IICRSV0ビット = 0）</p> <ul style="list-style-type: none"> ・スタート・コンディション予約フラグとして機能。セット（1）されると、バスが解放されたあと自動的にスタート・コンディションを生成する。 <p>通信予約機能禁止の場合（IICRSV0ビット = 1）</p> <ul style="list-style-type: none"> ・IICF0.STCF0ビットをセット（1）し、STT0ビットにセット（1）した情報をクリアする。 <p>スタート・コンディションは生成しない。</p> <p>ウエイト状態（マスタ時）：</p> <p>ウエイトを解除してリスタート・コンディションを生成する。</p>	
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセット（1）は禁止です。ACKE0ビット = 0に設定し、受信の最後であることをスレーブに伝えたあとにだけセット（1）可能です。</p> <p>マスタ送信の場合：アクノリッジ期間中は、正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウエイト期間中にセット（1）してください。</p> <p>スレーブの場合：通信予約機能禁止（IICRSV0ビット = 1）の場合でも、通信予約状態になってしまいます。</p> <ul style="list-style-type: none"> ・SPT0ビットと同時にセット（1）することは禁止です。 ・STT0ビットをセット（1）後、クリア（0）される前に再度セット（1）することは禁止です。 		
クリアされる条件（STT0ビット = 0）		セットされる条件（STT0ビット = 1）
<ul style="list-style-type: none"> ・通信予約禁止状態でのSTT0ビットのセット（1） ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成後クリア ・LREL0ビット = 1（通信退避）によるクリア ・IICE0ビット = 0（動作停止）のとき ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

注 IICE0ビット = 0により、このフラグを無効にします。

備考 STT0ビットは、データ設定後に読み出すと0になっています。

SPT0 ^{注1}	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない。
1	ストップ・コンディションを生成する（マスタとしての転送終了）。 SDA00ラインをロウ・レベルにしたあと、SCL00ラインをハイ・レベルにするか、またはSCL00端子がハイ・レベルになるのを待つ。そのあと、規格の時間を確保し、SDA00ラインをロウ・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成する。
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセット（1）は禁止です。ACKE0ビット = 0に設定し、受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット（1）可能です。</p> <p>マスタ送信の場合：アクノリッジ受信期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック目出力後のウエイト期間中にセット（1）してください。</p> <ul style="list-style-type: none"> ・STT0ビットと同時にセット（1）することは禁止です。 ・SPT0ビットのセット（1）は、マスタのときのみ行ってください^{注2}。 ・WTIM0ビット = 0設定時に、8クロック出力後のウエイト期間中にSPT0ビットをセット（1）すると、ウエイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウエイト期間中にWTIM0ビット = 0 1にセットし、9クロック目出力後のウエイト期間中にSPT0ビットをセット（1）してください。 ・SPT0ビットをセット（1）後、クリア（0）される前に再度セット（1）することは禁止です。 	
クリアされる条件（SPT0ビット = 0）	セットされる条件（SPT0ビット = 1）
<ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LREL0ビット = 1（通信退避）によるクリア ・IICE0ビット = 0（動作停止）のとき ・リセット時 	<ul style="list-style-type: none"> ・命令によるセット

注1. IICE0ビット = 0により、このフラグを無効にします。

2. SPT0ビットのセット（1）は、マスタのときのみ行ってください。ただし、IICRSV0ビットが0の場合、動作許可後最初のストップ・コンディションを検出する前にマスタ動作を行うには、一度SPT0ビットをセット（1）してストップ・コンディションを生成する必要があります。詳細は、16.14 **注意事項**を参照してください。

注意 TRC0ビット = 1のとき、9クロック目にWREL0ビットをセット（1）してウエイト解除すると、TRC0ビットをクリア（0）してSDA00ラインをハイ・インピーダンスにします。

備考 SPT0ビットは、データ設定後に読み出すと0になっています。

(2) IIC状態レジスタ0 (IICS0)

I²C00のステータスを表すレジスタです。

8/1ビット単位でリードのみ可能です。ただし、IICS0レジスタは、IICC0.STT0ビット = 1のとき、またはウェイト期間中だけリード可能です。

リセットにより00Hになります。

注意 次に示す状態において、IICS0レジスタへのアクセスは禁止です。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが低速内蔵発振クロックで動作している場合

(1/3)

リセット時：00H R アドレス：FFFFFFD86H

⑦	⑥	⑤	④	③	②	①	①
MSTS0	ALD0	EXC0	COI0	TRC0	ACKD0	STD0	SPD0

MSTS0	マスタの状態
0	スレーブ状態または通信待機状態。
1	マスタ通信状態。
クリアされる条件 (MSTS0ビット = 0)	セットされる条件 (MSTS0ビット = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・ALD0ビット = 1 (アービトラージ負け) のとき ・IICC0.LREL0ビット = 1 (通信回避) によるクリア ・IICC0.IICE0ビット = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・スタート・コンディション生成時

ALD0	アービトラージ負け検出
0	アービトラージが起こっていない状態。またはアービトラージに勝った状態。
1	アービトラージに負けた状態。MSTS0ビットがクリア (0) される。
クリアされる条件 (ALD0ビット = 0)	セットされる条件 (ALD0ビット = 1)
<ul style="list-style-type: none"> ・IICS0レジスタ読み出し後、自動的にクリア^注 ・IICE0ビット = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・アービトラージに負けたとき

EXC0	拡張コード受信検出
0	拡張コードを受信していない。
1	拡張コードを受信。
クリアされる条件 (EXC0ビット = 0)	セットされる条件 (EXC0ビット = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0ビット = 1 (通信回避) によるクリア ・IICE0ビット = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> 受信したアドレス・データの上位4ビットが " 0000 " または " 1111 " のとき (8クロック目の立ち上がりでセット)

注 IICS0レジスタのほかのビットに対しビット操作命令を実行した場合もクリアされます。

COI0		アドレス一致検出	
0		アドレスが一致していない。	
1		アドレスが一致している。	
クリアされる条件 (COI0ビット = 0)		セットされる条件 (COI0ビット = 1)	
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0ビット = 1 (通信退避) によるクリア ・IICE0ビット = 1 0 (動作停止) のとき ・リセット時 		受信アドレスが自局アドレス (SVA0レジスタ) と一致したとき (8クロック目の立ち上がりでセット)	

TRC0		送信 / 受信状態検出	
0		受信状態 (送信状態以外)。SDA00ラインをハイ・インピーダンスにする。	
1		送信状態。SDA00ラインにSOラッチの値が出力できるようにする (1バイト目の9クロック目の立ち上がり以降有効)	
クリアされる条件 (TRC0ビット = 0)		セットされる条件 (TRC0ビット = 1)	
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・LREL0ビット = 1 (通信退避) によるクリア ・IICE0ビット = 1 0 (動作停止) のとき ・IICC0.WREL0ビット = 1によるクリア^注 ・ALD0ビット = 0 1 (アービトレーション負け) のとき ・リセット時 マスタの場合 <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に “1” を出力したとき スレーブの場合 <ul style="list-style-type: none"> ・スタート・コンディション検出時 通信不参加の場合		マスタの場合 <ul style="list-style-type: none"> ・スタート・コンディション生成時 ・1バイト目のLSB (転送方向指定ビット) に “0” を出力したとき スレーブの場合 <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に “1” を入力したとき 	

ACKD0		アクノリッジ (ACK) 検出	
0		アクノリッジを検出していない。	
1		アクノリッジを検出。	
クリアされる条件 (ACKD0ビット = 0)		セットされる条件 (ACKD0ビット = 1)	
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LREL0ビット = 1 (通信退避) によるクリア ・IICE0ビット = 1 0 (動作停止) のとき ・リセット時 		SCL00端子の9クロック目の立ち上がり時にSDA00端子がロウ・レベルであったとき	

注 TRC0ビット = 1のとき, 9クロック目にWREL0ビットをセット (1) してウエイトを解除すると, TRC0ビットをクリア (0) してSDA00ラインをハイ・インピーダンスにします。

STD0	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出。アドレス転送期間であることを示す。	
	クリアされる条件 (STD0ビット = 0)	セットされる条件 (STD0ビット = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LRELOビット = 1 (通信退避) によるクリア ・IICE0ビット = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・スタート・コンディション検出時
SPD0	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出。マスタでの通信が終了し、バスが解放される。	
	クリアされる条件 (SPD0ビット = 0)	セットされる条件 (SPD0ビット = 1)
	<ul style="list-style-type: none"> ・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・IICE0ビット = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・ストップ・コンディション検出時

(3) IICフラグ・レジスタ0 (IICF0)

I²C00の動作モードの設定と、I²Cバスの状態を表すレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、STCF0, IICBSY0ビットはリードのみ可能です。

IICRSV0ビットにより通信予約機能の禁止/許可を設定します(16.13 **通信予約**参照)。

また、STCEN0ビットにより、IICBSY0ビットの初期値を設定します(16.14 **注意事項**参照)。

IICRSV0, STCEN0ビットは、I²C00が動作禁止(IICC0.IICE0ビット = 0)のときのみ書き込み可能です。

動作許可後、IICF0レジスタは読み出し可能となります。

リセットにより00Hになります。

リセット時：00H R/W^注 アドレス：FFFFFD8AH

	⑦	⑥	5	4	3	2	①	①
IICF0	STCF0	IICBSY0	0	0	0	0	STCEN0	IICRSV0

STCF0	STT0ビット・クリア	
0	スタート・コンディション発行	
1	スタート・コンディション発行できずSTT0ビット・クリア	
クリアされる条件 (STCF0ビット = 0)		セットされる条件 (STCF0ビット = 1)
<ul style="list-style-type: none"> ・IIC0.STT0ビット = 1によるクリア ・IIC0.IICE0ビット = 0のとき ・リセット時 		<ul style="list-style-type: none"> ・通信予約禁止 (IICRSV0ビット = 1) 設定時にスタート・コンディション発行できず, STT0フラグ・クリア (0) されたとき

IICBSY0	I ² C00バス状態	
0	バス解放状態 (STCEN0ビット = 1時の通信初期状態)	
1	バス通信状態 (STCEN0ビット = 0時の通信初期状態)	
クリアされる条件 (IICBSY0ビット = 0)		セットされる条件 (IICBSY0ビット = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・IICE0ビット = 0のとき ・リセット時 		<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・STCEN0ビット = 0のときIICE0ビットのセット

STCEN0	初期スタート許可トリガ	
0	動作許可 (IICE0ビット = 1) 後, ストップ・コンディションを検出するまで, スタート・コンディションを生成できない。	
1	動作許可 (IICE0ビット = 1) 後, ストップ・コンディションを検出しなくても, スタート・コンディションを生成できる。	
クリアされる条件 (STCEN0ビット = 0)		セットされる条件 (STCEN0ビット = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

IICRSV0	通信予約機能禁止ビット	
0	通信予約許可	
1	通信予約禁止	
クリアされる条件 (IICRSV0ビット = 0)		セットされる条件 (IICRSV0ビット = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

注 ビット6, 7はリード・オンリーです。

- 注意1. STCEN0ビットへの書き込みは, 動作停止 (IICE0ビット = 0) 時のみ行ってください。
2. STCEN0ビット = 1とした場合, I²C動作許可直後は実際のバス状態にかかわらずバス解放状態 (IICBSY0ビット = 0) と認識しますので, 1回目のスタート・コンディションを発行 (STT0ビット = 1) する場合は他の通信を破壊しないようにバスが解放されていることを確認する必要があります。
3. IICRSV0ビットへの書き込みは, 動作停止 (IICE0ビット = 0) 時のみ行ってください。

(4) IICクロック選択レジスタ0 (IICCL0)

I²C00の転送クロックを設定するレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、CLD0, DAD0ビットはリードのみ可能です。

IICCL0レジスタは、IICC0.IICE0ビット = 0のときに設定してください。

SMC0, CL01, CL00ビットの設定は、IICX0.CLX0ビットと、OCKS0.OCKSTH0, OCKS01, OCKS00ビットと組み合わせて設定します (16.3 (7) 転送クロックの設定参照)。

リセットにより00Hになります。

リセット時：00H R/W^注 アドレス：FFFFFFD84H

	7	6	⑤	④	3	2	1	0
IICCL0	0	0	CLD0	DAD0	SMC0	DFC0	CL01	CL00

CLD0	SCL00端子のレベル検出 (IICC0.IICE0ビット = 1のときのみ有効)	
0	SCL00端子がロウ・レベルであることを検出	
1	SCL00端子がハイ・レベルであることを検出	
クリアされる条件 (CLD0ビット = 0)		セットされる条件 (CLD0ビット = 1)
<ul style="list-style-type: none"> ・ SCL00端子がロウ・レベルのとき ・ IICE0ビット = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ SCL00端子がハイ・レベルのとき

DAD0	SDA00端子のレベル検出 (IICE0ビット = 1のときのみ有効)	
0	SDA00端子がロウ・レベルであることを検出	
1	SDA00端子がハイ・レベルであることを検出	
クリアされる条件 (DAD0ビット = 0)		セットされる条件 (DAD0ビット = 1)
<ul style="list-style-type: none"> ・ SDA00端子がロウ・レベルのとき ・ IICE0ビット = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ SDA00端子がハイ・レベルのとき

SMC0	動作モードの切り替え	
0	標準モードで動作	
1	高速モードで動作	

DFC0	デジタル・フィルタの動作制御	
0	デジタル・フィルタ・オフ	
1	デジタル・フィルタ・オン	
デジタル・フィルタは、高速モード時にのみ使用できます。 高速モード時は、DFC0ビットの設定により転送クロックが変化することはありません。 デジタル・フィルタは、高速モード時にノイズ除去のために使用します。		

注 ビット4, 5はリード・オンリーです。

注意 ビット7, 6には必ず“0”を設定してください。

備考 IICC0.IICE0ビット = 0のとき、CLD0, DAD0ビットは0がリードされます。

(5) IIC機能拡張レジスタ0 (IICX0)

I²C00の機能拡張を設定するレジスタです(高速モード時のみ有効)。

8/1ビット単位でリード/ライト可能です。

CLX0ビットの設定は、IICCL0.SMC0, CL01, CL00ビットと、OCKS0.OCKSTH0, OCKS01, OCKS00ビットと組み合わせて設定します(16.3(7)転送クロックの設定参照)。

IICX0レジスタは、IICC0.IICE0ビット = 0のときに設定してください。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFFFFD85H

	7	6	5	4	3	2	1	①
IICX0	0	0	0	0	0	0	0	CLX0

(6) IIC分周クロック選択レジスタ0 (OCKS0)

プリスケアラ1が出力するクロックから、I²Cインタフェース機能にを入力するクロックを選択するレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFFFF340H

	7	6	5	4	3	2	1	0
OCKS0	0	0	0	OCKSEN0	OCKSTH0	0	OCKS01	OCKS00

OCKSEN0	I ² C分周クロック動作指定
0	I ² C分周クロック動作停止
1	I ² C分周クロック動作許可

OCKSTH0	OCKS01	OCKS00	I ² C分周クロック選択	
			PRSI = 0	PRSI = 1
0	0	0	f _{XP1} /2	f _{XP1} /4
0	0	1	f _{XP1} /3	f _{XP1} /6
0	1	0	f _{XP1} /4	f _{XP1} /8
0	1	1	f _{XP1} /5	f _{XP1} /10
1	x	x	f _{XP1}	f _{XP1} /2

備考 PRSIIはオプション・バイトで設定します。

- ・ PRSI = 0
- ・ PRSI = 1

詳細は第8章 オプション・バイトを参照してください。

(7) 転送クロックの設定

I²Cインタフェースの転送クロックは、ソース・クロックである周辺クロック用プリスケアラ1入力クロック (f_{XP1}) を元にします。 f_{XP1} の周波数は、オプション・バイト (007BH) のPRSIビットにより、 f_{XP1} または $f_{XP1}/2$ に設定できます。

- ・プリスケアラ1が生成するクロックから、I²Cインタフェースに入力するクロック ($f_{XP1}-f_{XP1}/5$) を選択します。分周クロックは、OCKS0.OCKSTH0およびOCKS0.OCKST01, OCKST00で設定します (16.3 (6) IIC分周クロック選択レジスタ0 (OCKS0) 参照)。選択したクロックをIICLKPSと表します。
- ・I²Cインタフェース機能には、IICLKPSおよび f_{XP1} が入力されています。それらクロックはさらに分周され、転送用クロック (IICLKTC) となります。IICL0.CL01, CL00ビット, IICX0.CLX0ビットで設定します。

注意 I²Cインタフェース入力クロック (IICLKPS) は1 MHz ~ 10 MHzの範囲にしてください。

次の表に転送レート設定の概要を示します。

OB7B.PRSI	IICCL0.SMC0	モード	表
0	0	標準	表16 - 2
0	1	高速	表16 - 3
1	0	標準	表16 - 4
1	1	高速	表16 - 5

備考 PRSIはオプション・バイトで設定します。

詳細は第8章 オプション・バイトを参照してください。

表16 - 2 PRSI = 0 : 標準モード時の転送レート設定 (IICCL0.SMC0 = 0)

IICX0. CLX0 ビット	IICCL0. CL01 ビット	IICCL0. CL00 ビット	選択クロック	OCKS0 レジスタ	転送クロック	設定可能なメイン・ クロック周波数 (f _{XP1}) 範囲		転送速度 (参考値)
						下限	上限	
0	0	0	f _{XP1} /2	10H	f _{XP1} /88	4 MHz	8.38 MHz	45.5 kHz ~ 95.2 kHz
			f _{XP1} /3	11H	f _{XP1} /132	6 MHz	12.57 MHz	45.5 kHz ~ 95.2 kHz
			f _{XP1} /4	12H	f _{XP1} /176	8 MHz	16.76 MHz	45.5 kHz ~ 95.2 kHz
			f _{XP1} /5	13H	f _{XP1} /220	10 MHz	20.00 MHz	45.5 kHz ~ 90.9 kHz
			f _{XP1}	18H	f _{XP1} /44	4 MHz	4.19 MHz	90.9 kHz ~ 95.2 kHz
0	0	1	f _{XP1} /2	10H	f _{XP1} /172	8.38 MHz	16.76 MHz	48.7 kHz ~ 97.4 kHz
			f _{XP1} /3	11H	f _{XP1} /258	12.57 MHz	20.00 MHz	48.7 kHz ~ 77.5 kHz
			f _{XP1} /4	12H	f _{XP1} /344	16.76 MHz	20.00 MHz	48.7 kHz ~ 58.1 kHz
0	1	0	f _{XP1} ^注	-	f _{XP1} /86	4.19 MHz	8.38 MHz	48.7 kHz ~ 97.4 kHz
0	1	1	f _{XP1} /2	10H	f _{XP1} /132	12.80 MHz		97.0 kHz
			f _{XP1} /3	11H	f _{XP1} /198	19.20 MHz		97.0 kHz
			f _{XP1}	18H	f _{XP1} /66	6.40 MHz		97.0 kHz
上記以外			設定禁止		-	-	-	-

注 OCKS0ビットの設定によらずf_{XP1}になるので、OCKS0 = 00Hに設定してください。

表16 - 3 PRSI = 0 : 高速モード時の転送レート設定 (IICCL0.SMC0 = 1)

IICX0. CLX0 ビット	IICCL0. CL01 ビット	IICCL0. CL00 ビット	選択クロック	OCKS0 レジスタ	転送クロック	設定可能なメイン・ クロック周波数 (f _{XP1}) 範囲		転送速度 (参考値)
						下限	上限	
0	0	×	f _{XP1} /2	10H	f _{XP1} /48	8 MHz	16.76 MHz	166.7 kHz ~ 349.2 kHz
			f _{XP1} /3	11H	f _{XP1} /72	12 MHz	20 MHz	166.7 kHz ~ 277.8 kHz
			f _{XP1} /4	12H	f _{XP1} /96	16 MHz	20 MHz	166.7 kHz ~ 208.3 kHz
			f _{XP1} /5	13H	f _{XP1} /120	20 MHz		166.7 kHz
0	1	0	f _{XP1} ^注	-	f _{XP1} /24	4 MHz	8.38 MHz	166.7 kHz ~ 349.2 kHz
0	1	1	f _{XP1} /2	10H	f _{XP1} /36	12.80 MHz		355.6 kHz
			f _{XP1} /3	11H	f _{XP1} /54	19.20 MHz		355.6 kHz
			f _{XP1}	18H	f _{XP1} /18	6.40 MHz		355.6 kHz
1	0	×	f _{XP1} /2	10H	f _{XP1} /24	8 MHz	8.38 MHz	333.3 kHz ~ 349.2 kHz
			f _{XP1} /3	11H	f _{XP1} /36	12 MHz	12.57 MHz	333.3 kHz ~ 349.2 kHz
			f _{XP1} /4	12H	f _{XP1} /48	16 MHz	16.76 MHz	333.3 kHz ~ 349.2 kHz
			f _{XP1} /5	13H	f _{XP1} /60	20 MHz		333.3 kHz
1	1	0	f _{XP1} ^注	-	f _{XP1} /12	4 MHz	4.19 MHz	333.3 kHz ~ 349.2 kHz
上記以外			設定禁止		-	-	-	-

注 OCKS0ビットの設定によらずf_{XP1}になるので、OCKS0 = 00Hに設定してください。

表16 - 4 PRSI = 1 : 標準モード時の転送レート設定 (IICCL0.SMC0 = 0)

IICX0. CLX0 ビット	IICCL0. CL01 ビット	IICCL0. CL00 ビット	選択クロック	OCKS0 レジスタ	転送クロック	設定可能なメイン・ クロック周波数 (f _{XP1}) 範囲		転送速度 (参考値)
						下限	上限	
0	0	0	f _{XP1} /4	10H	f _{XP1} /176	8 MHz	16.76 MHz	45.5 kHz ~ 95.2 kHz
			f _{XP1} /6	11H	f _{XP1} /264	12 MHz	20.00 MHz	45.5 kHz ~ 75.8 kHz
			f _{XP1} /8	12H	f _{XP1} /352	16 MHz	20.00 MHz	45.5 kHz ~ 56.8 kHz
			f _{XP1} /10	13H	f _{XP1} /440	20 MHz		45.5 kHz
			f _{XP1} /2	18H	f _{XP1} /88	4 MHz	8.38 MHz	90.9 kHz ~ 95.2 kHz
0	0	1	f _{XP1} /4	10H	f _{XP1} /344	16.76 MHz	20.00 MHz	48.7 kHz ~ 58.1 kHz
0	1	0	f _{XP1} /2 ^注	-	f _{XP1} /172	8.38 MHz	16.76 MHz	48.7 kHz ~ 97.4 kHz
0	1	1	f _{XP1} /2	18H	f _{XP1} /132	12.80 MHz		97.0 kHz
上記以外			設定禁止		-	-	-	-

注 OCKS0ビットの設定によらずf_{XP1}/2になるので、OCKS0 = 00Hに設定してください。

表16 - 5 PRSI = 1 : 高速モード時の転送レート設定 (IICCL0.SMC0 = 1)

IICX0. CLX0 ビット	IICCL0. CL01 ビット	IICCL0. CL00 ビット	選択クロック	OCKS0 レジスタ	転送クロック	設定可能なメイン・ クロック周波数 (f _{XP1}) 範囲		転送速度 (参考値)
						下限	上限	
0	0	x	f _{XP1} /4	10H	f _{XP1} /96	16 MHz	20.00 MHz	166.7 kHz ~ 208.3 kHz
0	1	0	f _{XP1} /2 ^注	-	f _{XP1} /48	8 MHz	8.38 MHz	166.7 kHz ~ 349.2 kHz
0	1	1	f _{XP1} /2	18H	f _{XP1} /36	12.80 MHz		355.6 kHz
1	0	x	f _{XP1} /4	10H	f _{XP1} /48	16 MHz	16.76 MHz	333.3 kHz ~ 349.2 kHz
1	1	0	f _{XP1} /2 ^注	-	f _{XP1} /24	8 MHz	8.38 MHz	333.3 kHz ~ 349.2 kHz
上記以外			設定禁止		-	-	-	-

注 OCKS0ビットの設定によらずf_{XP1}/2になるので、OCKS0 = 00Hに設定してください。

(8) I²C0の転送クロックの設定

I²C0の転送クロック周波数 (f_{SCL}) は、次の計算式により求められます。

$$f_{SCL} = 1 / (m \times T + t_R + t_F)$$

m = 12, 18, 24, 36, 44, 48, 54, 60, 66, 72, 86, 88, 96, 120, 132, 172, 176, 198, 220, 258, 264, 344, 352, 440 (表16 - 2 PRSI = 0 : 標準モード時の転送レート設定 (IICCL0.SMC0 = 0) ~ 表16 - 5 PRSI = 1 : 高速モード時の転送レート設定 (IICCL0.SMC0 = 1) 参照)

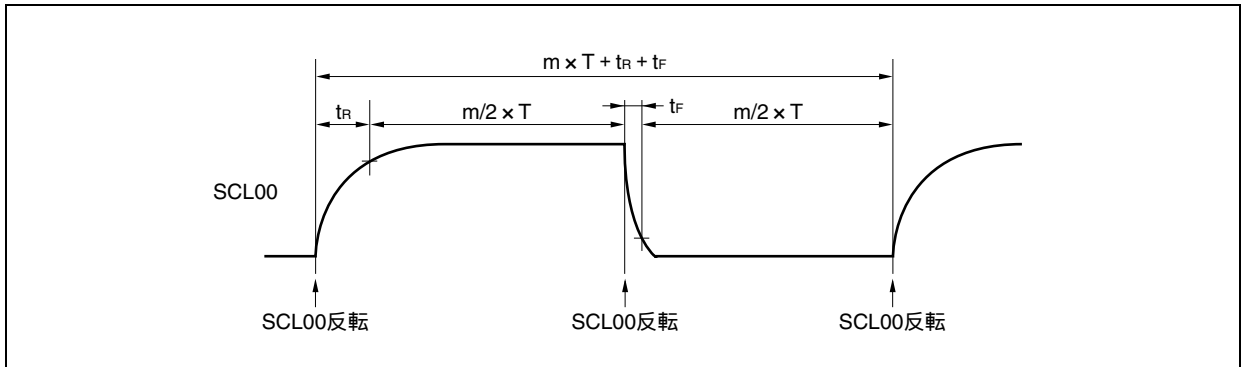
T : 1/f_{XP1}

t_R : SCL00端子立ち上がり時間

t_F : SCL00端子立ち下がり時間

たとえば、f_{XP1} = 19.2 MHz, m = 198, t_R = 200 ns, t_F = 50 nsの場合のI²C0の転送クロック周波数 (f_{SCL}) は、次の計算式により求められます。

$$f_{SCL} = 1 / (198 \times 52 \text{ ns} + 200 \text{ ns} + 50 \text{ ns}) \quad 94.7 \text{ kHz}$$



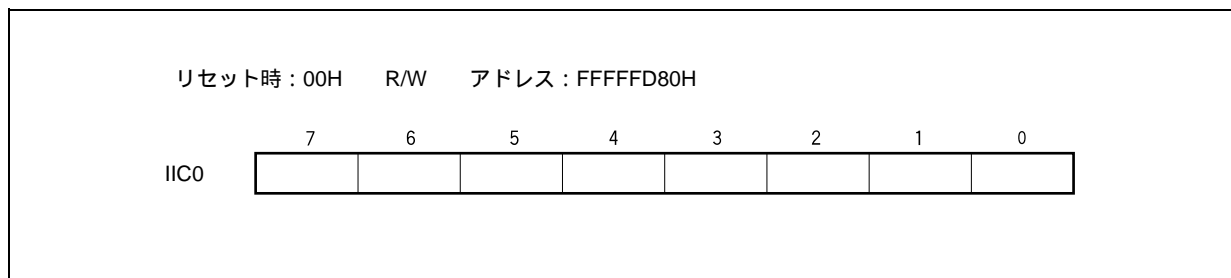
選択クロックは、IICCL0.SMC0, CL01, CL00ビット、IICX0.CLX0ビット、OCKS0.OCKSTH0, OCKS01, OCKS00ビットを組み合わせで設定します。

(9) IICシフト・レジスタ0 (IIC0)

このレジスタは、シリアル・クロックに同期してシリアル送受信(シフト動作)を行うためのものです。8ビット単位でリード/ライト可能ですが、データ転送中にIIC0レジスタへデータを書き込まないでください。

IIC0レジスタには、ウェイト期間中にだけアクセス(リード/ライト)してください。ウェイト期間中を除く通信状態でのIIC0レジスタのアクセスは禁止です。ただし、マスタになる場合は、送信トリガ・ビット(IIC0.STT0ビット)をセット(1)したあと、1回だけライトできます。

ウェイト期間中のIIC0レジスタへの書き込みにより、ウェイト解除しデータ転送を開始します。リセットにより00Hになります。

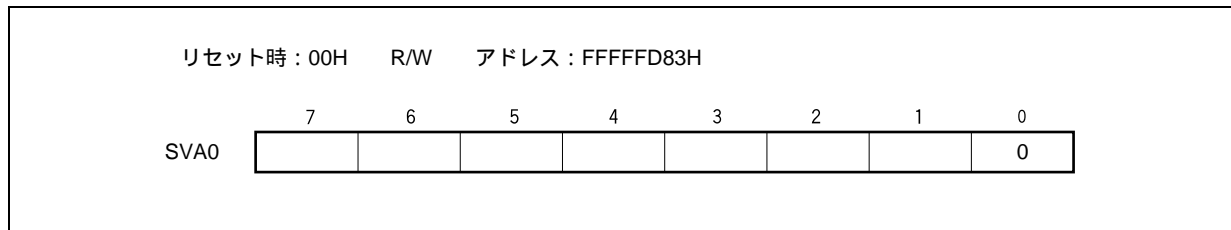


(10) スレーブ・アドレス・レジスタ0 (SVA0)

SVA0レジスタには、I²Cバスのスレーブ・アドレスを格納します。

8ビット単位でリ - ド / ライト可能ですが、ビット0は0に固定されています。ただし、IICS0.STD0ビット = 1 (スタート・コンディション検出) のときの書き換えは禁止です。

リセットにより00Hになります。



16.4 I²Cバス・モードの機能

16.4.1 端子構成

シリアル・クロック端子 (SCL00) と、シリアル・データ・バス端子 (SDA00) の構成は、次のようになっています。

SCL00 ... シリアル・クロックを入出力するための端子。

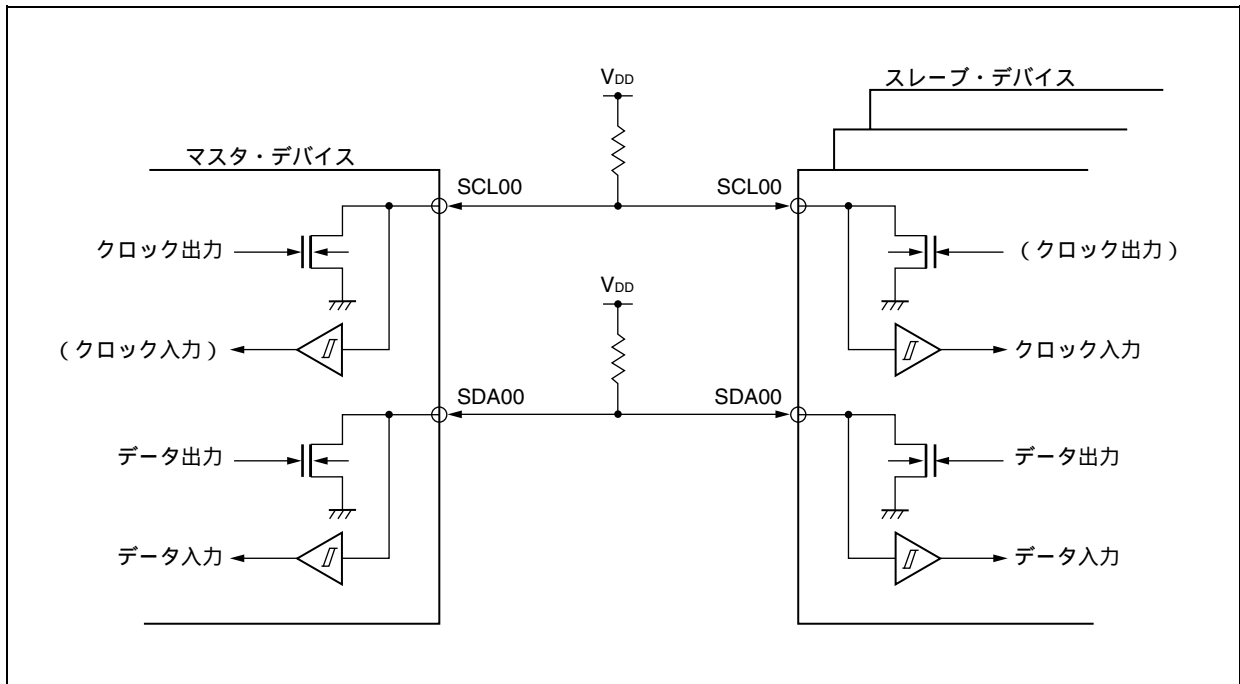
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

SDA00 ... シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図16-3 端子構成図

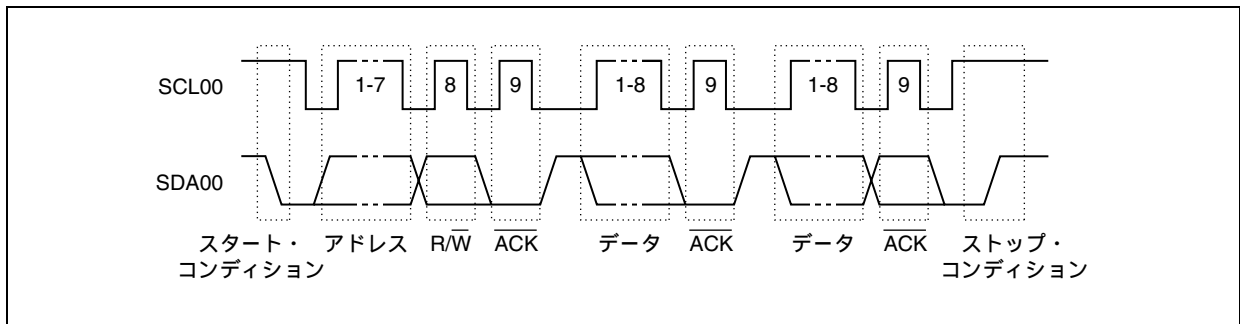


16.5 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”の各転送タイミングを次に示します。

図16-4 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

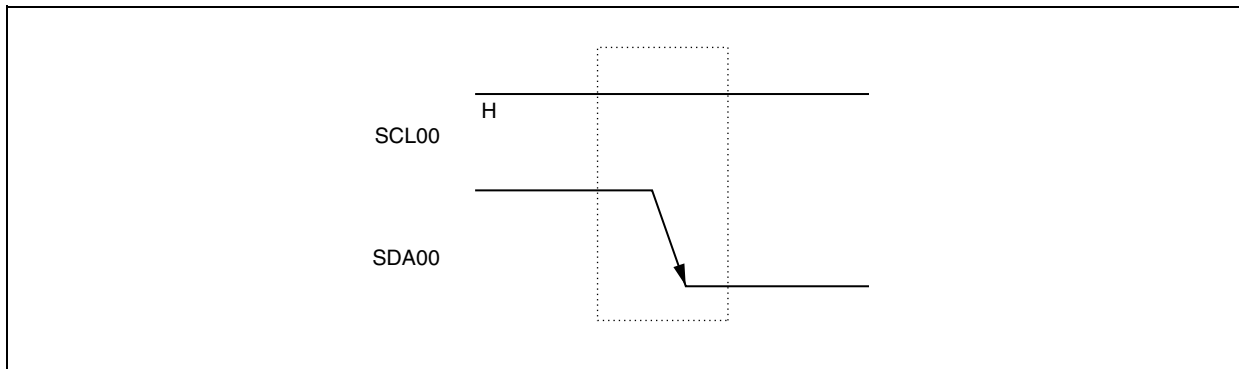
アクノリッジ ($\overline{\text{ACK}}$) は、マスタ、スレーブのどちらでも生成できます（通常、8ビット・データの受信側が生成します）。

シリアル・クロック (SCL00) は、マスタが出力し続けます。ただし、スレーブはSCL00端子のロウ・レベル期間を延長し、ウエイトを挿入できます。

16.5.1 スタート・コンディション

SCL00端子がハイ・レベルのときに、SDA00端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL00, SDA00端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに出力する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できません。

図16-5 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態（IICS0.SPDnビット = 1）のときにIICC0.STT0ビットをセット（1）すると出力されます。また、スタート・コンディションを検出すると、IICS0.STD0ビットがセット（1）されます。

注意 ほかのデバイス同士の通信中にマイクロコントローラのIICC0.IICE0ビットをセット（1）した場合、通信ラインの状態によってスタート・コンディションを検出することがあります。IICC0.IICE0ビットのセット（1）は、必ずSCL00, SDA00ラインがハイ・レベルの状態で行ってください。

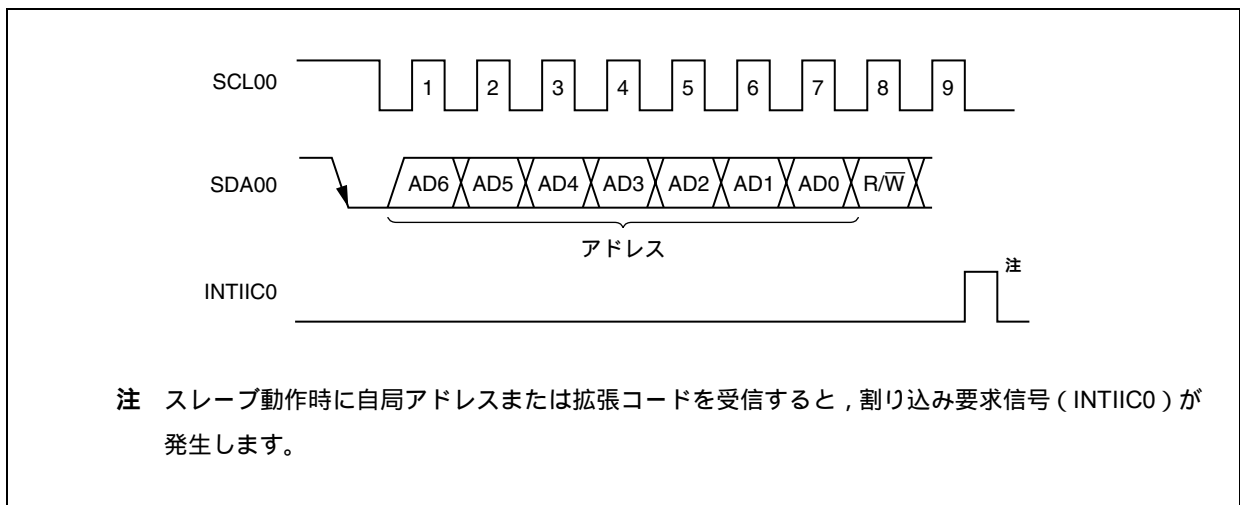
16.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがSVA0レジスタと一致しているかを調べます。このとき、7ビット・データとSVA0レジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図16-6 アドレス



アドレスは、スレーブのアドレスと16.4.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIIC0レジスタに書き込むと出力します。また、受信したアドレスはIIC0レジスタに書き込まれます。

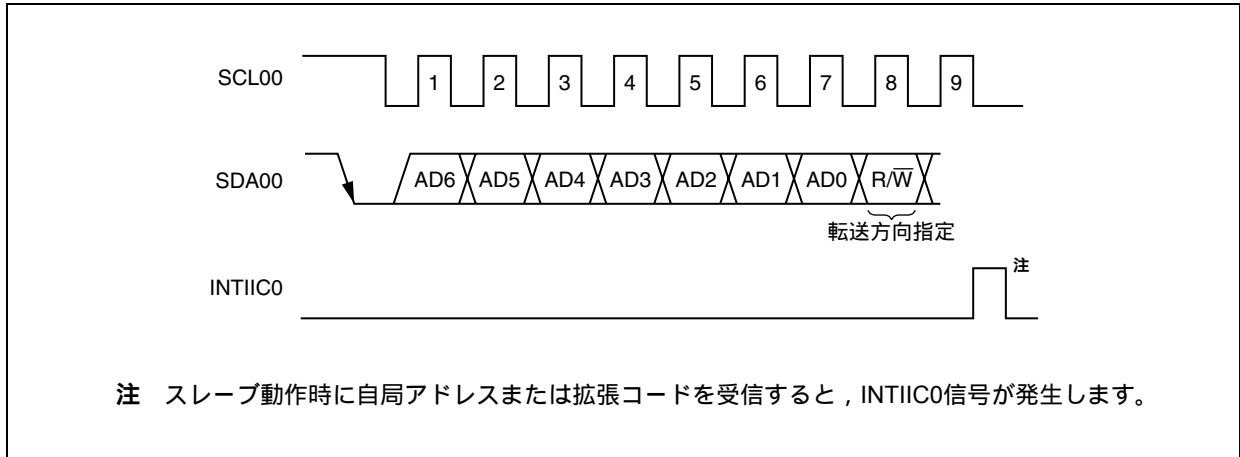
なお、スレーブのアドレスは、IIC0レジスタの上位7ビットに割り当てられます。

16.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図16 - 7 転送方向指定



16.5.4 アクノリッジ (ACK)

アクノリッジ (ACK) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICSO.ACKD0ビットで確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

- 受信が正しく行われていない。
- 最終データの受信が終わっている。
- アドレス指定した受信側が存在しない。

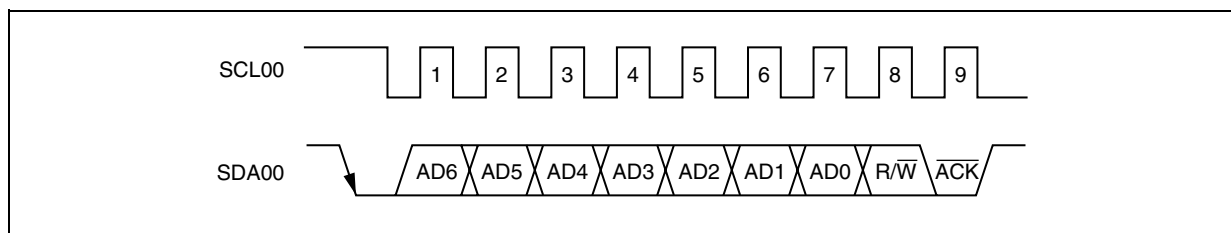
アクノリッジ生成は、受信側が9クロック目にSDA00ラインをロウ・レベルにすることによって行われます(正常受信)。

IICC0.ACKE0ビットをセット(1)することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICSO.TRC0ビットが設定されます。受信 (TRC0ビット = 0) の場合は、通常、ACKE0ビットをセット(1)してください。

スレーブ受信動作時 (TRC0ビット = 0) にデータを受信できなくなったときは、ACKE0ビットをクリア(0)し、マスタ側に受信ができないことを示してください。

マスタ受信動作時 (TRC0ビット = 0) に、次のデータを必要としない場合、アクノリッジを生成しないようにACKE0ビットをクリア(0)してください。これによって、スレーブ送信側にデータの終わりを知らせます(送信停止)。

図16-8 アクノリッジ



自局アドレス受信時は、ACKE0ビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません (NACK)。

拡張コード受信時は、あらかじめACKE0ビットをセット(1)しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、ウエイト・タイミングの設定により次のように異なります。

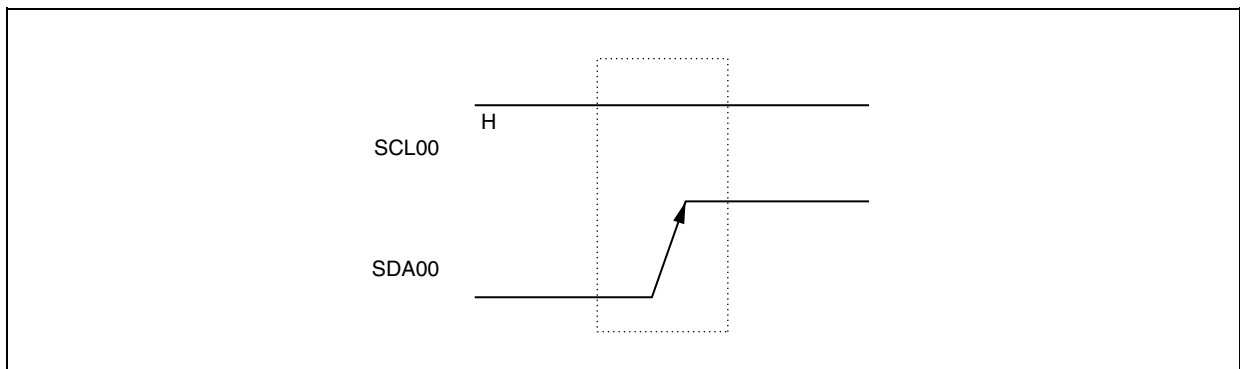
- ・8クロック・ウエイト選択時 (IICC0.WTIM0ビット = 0) :
ウエイト解除を行う前にACKE0ビットをセット (1) することによって、SCL00端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- ・9クロック・ウエイト選択時 (WTIM0ビット = 1) :
あらかじめACKE0ビットをセット (1) することによって、アクノリッジを生成します。

16.5.5 ストップ・コンディション

SCL00端子がハイ・レベルのときに、SDA00端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図16-9 ストップ・コンディション



ストップ・コンディションは、IICC0.SPT0ビットをセット (1) すると発生します。また、ストップ・コンディションを検出するとIICS0.SPD0ビットがセット (1) され、IICC0.SPIE0ビットがセット (1) されている場合には割り込み要求信号 (INTIIC0) が発生します。

16.5.6 ウェイト

ウェイトは、マスタまたはスレーブがデータの送受信が準備中（ウェイト状態）であることを相手に知らせます。

SCL00端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図16 - 10 ウェイト (1/2)

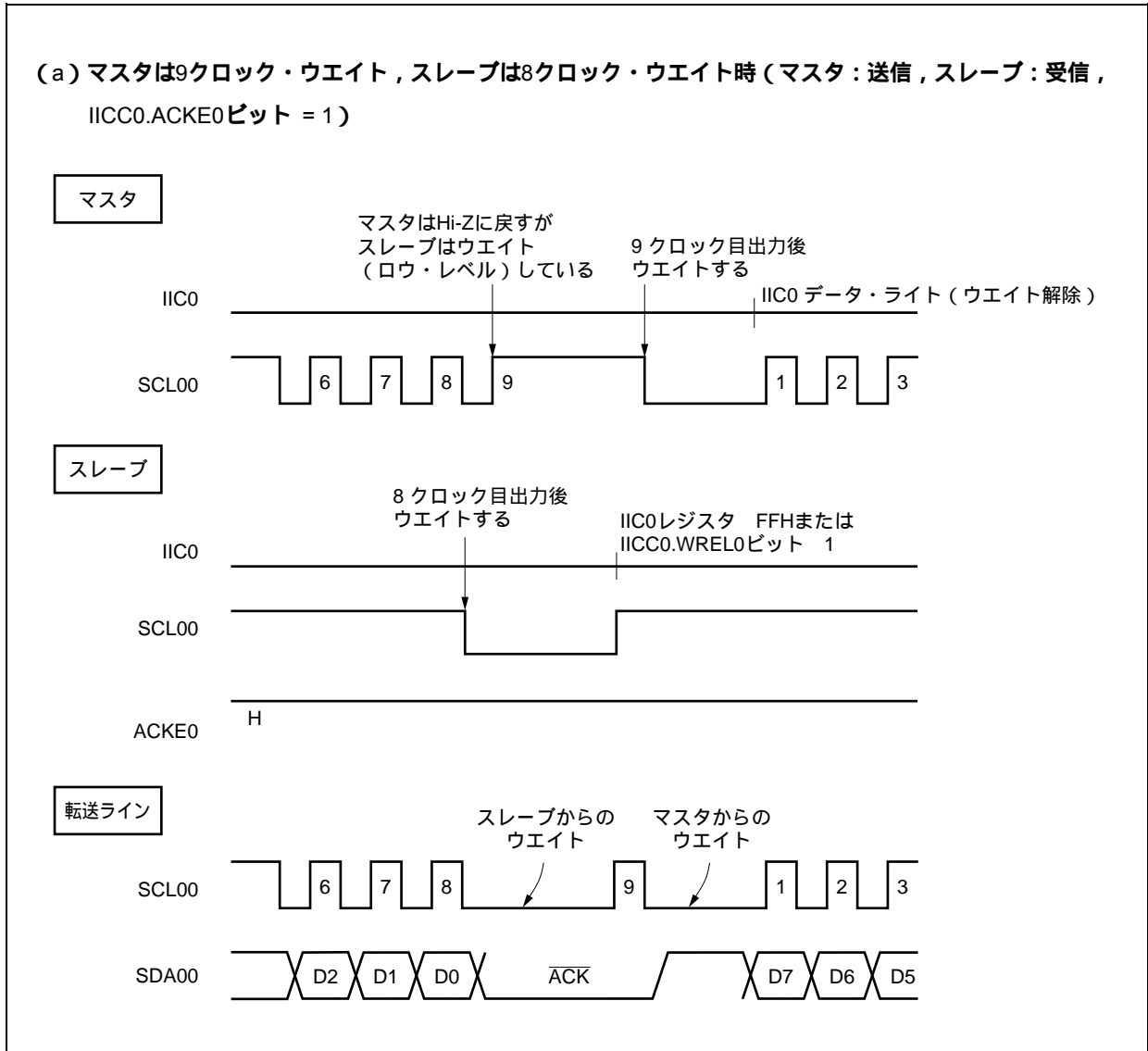
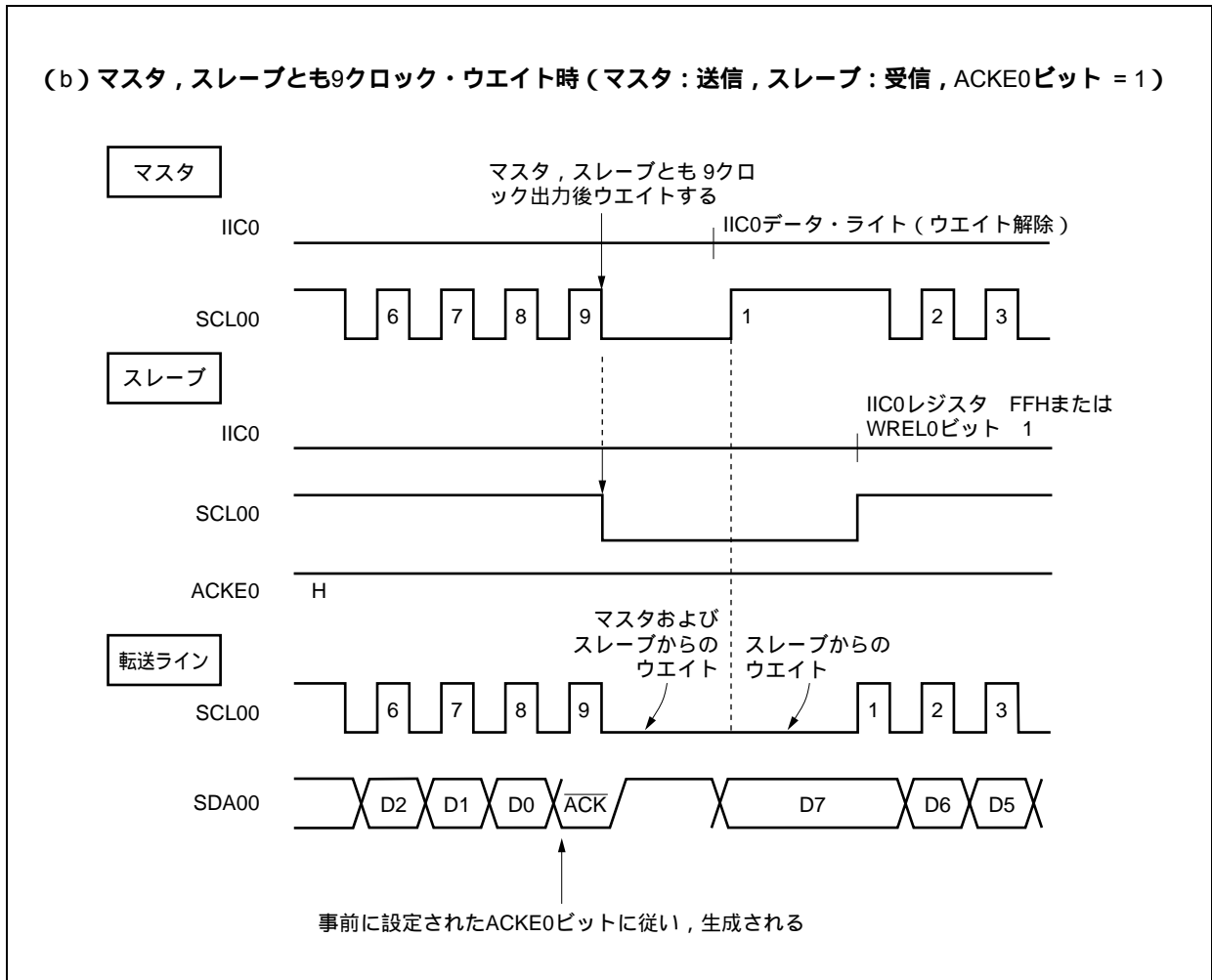


図16 - 10 ウェイト (2/2)



ウェイトは, IICC0.WTIM0ビットの設定により自動的に発生します。

通常, 受信側はWRELOビット = 1またはIIC0レジスタ FFHライトにするとウェイトを解除し, 送信側はIIC0レジスタにデータを書き込むとウェイトを解除します。

マスタの場合は, 次の方法でもウェイトを解除できます。

- ・ IICC0.STT0ビット = 1
- ・ IICC0.SPT0ビット = 1

16.5.7 ウェイト解除方法

I²C00では、通常、次のような処理でウェイトを解除できます。

- ・ IIC0レジスタへのデータの書き込み
- ・ IICC0.WREL0ビットのセット(1) (ウェイト解除)
- ・ IICC0.STT0ビットのセット(1) (スタート・コンディションの生成)
- ・ IICC0.SPT0ビットのセット(1) (ストップ・コンディションの生成)

これらのウェイト解除処理を実行した場合、I²C00はウェイトを解除し通信が再開されます。

ウェイトを解除してデータ(アドレスを含む)を送信する場合には、IIC0レジスタにデータを書き込んでください。

ウェイト解除後にデータを受信する場合、またはデータ送信を完了する場合には、WREL0ビットをセット(1)してください。

ウェイト解除後にリスタート・コンディションを生成する場合には、STT0ビットをセット(1)してください。

ウェイト解除後にストップ・コンディションを生成する場合には、SPT0ビットをセット(1)してください。

1回のウェイト状態に対して、1回だけ解除処理を実行してください。

たとえば、WREL0ビットのセット(1)によるウェイト解除後、IIC0レジスタへのデータ書き込みを実施した場合には、SDA0ラインの変化タイミングとIIC0レジスタへの書き込みタイミングの競合により、SDA0ラインへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICC0.IICE0ビットをクリア(0)すると通信を停止するので、ウェイトを解除できます。

I²Cバスがノイズなどによりデッド・ロックしてしまった場合には、IICC0.LREL0ビットをセット(1)すると通信から退避するので、ウェイトを解除できます。

16.6 I²C割り込み要求信号 (INTIIC0)

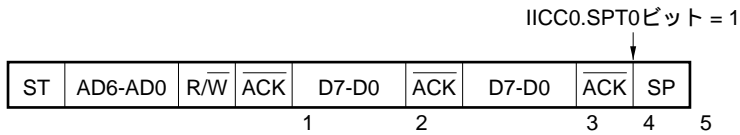
次に,INTIIC0割り込み要求信号発生タイミングと,INTIIC0信号タイミングでのIICS0レジスタの値を示します。

備考	ST	: スタート・コンディション
	AD6-AD0	: アドレス
	$\overline{R/W}$: 転送方向指定
	\overline{ACK}	: アクノリッジ
	D7-D0	: データ
	SP	: ストップ・コンディション

16.6.1 マスタ動作

(1) Start ~ Address ~ Data ~ Data ~ Stop (通常送受信)

IICC0.WTIM0ビット = 0のとき



1 : IICS0レジスタ = 1000X110B

2 : IICS0レジスタ = 1000X000B

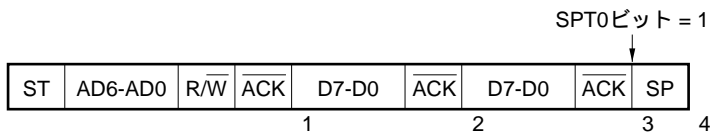
3 : IICS0レジスタ = 1000X000B (WTIM0ビット = 1)

4 : IICS0レジスタ = 1000XX00B

5 : IICS0レジスタ = 00000001B

備考 必ず発生
SPIE0ビット = 1のときだけ発生
X 任意

WTIM0ビット = 1のとき



1 : IICS0レジスタ = 1000X110B

2 : IICS0レジスタ = 1000X100B

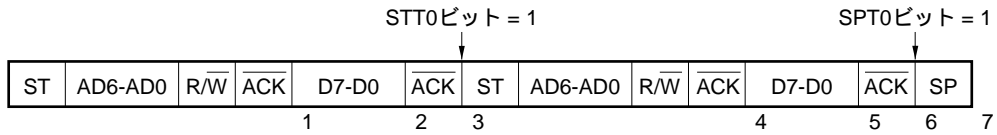
3 : IICS0レジスタ = 1000XX00B

4 : IICS0レジスタ = 00000001B

備考 必ず発生
SPIE0ビット = 1のときだけ発生
X 任意

(2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

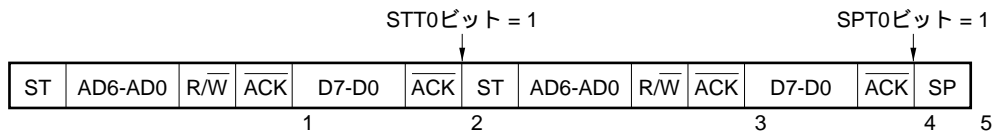
WTIM0ビット = 0のとき



- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000X000B (WTIM0ビット = 1)
- 3 : IICS0レジスタ = 1000XX00B (WTIM0ビット = 0)
- 4 : IICS0レジスタ = 1000X110B (WTIM0ビット = 0)
- 5 : IICS0レジスタ = 1000X000B (WTIM0ビット = 1)
- 6 : IICS0レジスタ = 1000XX00B
- 7 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

WTIM0ビット = 1のとき

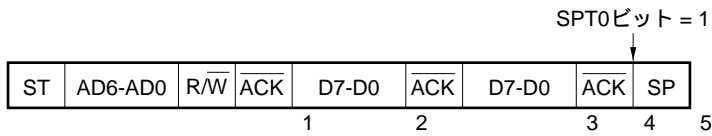


- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000XX00B
- 3 : IICS0レジスタ = 1000X110B
- 4 : IICS0レジスタ = 1000XX00B
- 5 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

(3) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

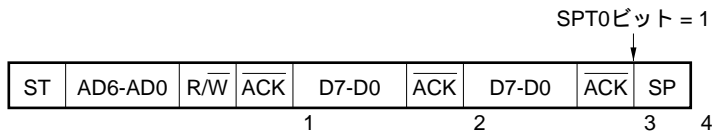
WTIM0ビット = 0のとき



- 1 : IICS0レジスタ = 1010X110B
- 2 : IICS0レジスタ = 1010X000B
- 3 : IICS0レジスタ = 1010X000B (WTIM0ビット = 1)
- 4 : IICS0レジスタ = 1010XX00B
- 5 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

WTIM0ビット = 1のとき



- 1 : IICS0レジスタ = 1010X110B
- 2 : IICS0レジスタ = 1010X100B
- 3 : IICS0レジスタ = 1010XX00B
- 4 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

16. 6. 2 スレーブ動作 (スレーブ・アドレス・データ受信時 (アドレス一致))

(1) Start ~ Address ~ Data ~ Data ~ Stop

IIC0.WTIM0ビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2	3		4

1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001X000B

3 : IICS0レジスタ = 0001X000B

4 : IICS0レジスタ = 00000001B

備考 必ず発生

IIC0.SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2	3		4

1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001X100B

3 : IICS0レジスタ = 0001XX00B

4 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

(2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3	4	5

1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001X000B

3 : IICS0レジスタ = 0001X110B

4 : IICS0レジスタ = 0001X000B

5 : IICS0レジスタ = 00000001B

- 備考** 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

WTIM0ビット = 1のとき (リスタート後, アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3	4	5

1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001XX00B

3 : IICS0レジスタ = 0001X110B

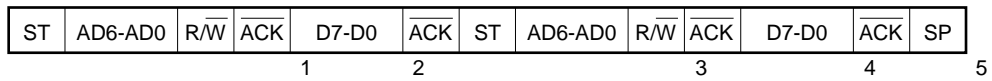
4 : IICS0レジスタ = 0001XX00B

5 : IICS0レジスタ = 00000001B

- 備考** 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

(3) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, 拡張コード受信)



1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001X000B

3 : IICS0レジスタ = 0010X010B

4 : IICS0レジスタ = 0010X000B

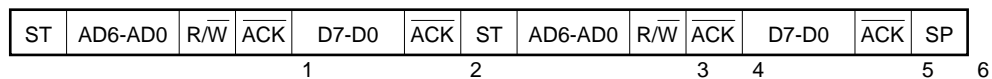
5 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき (リスタート後, 拡張コード受信)



1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001XX00B

3 : IICS0レジスタ = 0010X010B

4 : IICS0レジスタ = 0010X110B

5 : IICS0レジスタ = 0010XX00B

6 : IICS0レジスタ = 00000001B

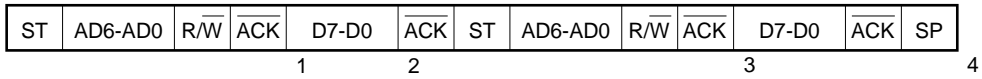
備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

(4) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))



1 : IICS0レジスタ = 0001X110B

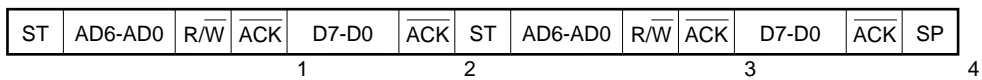
2 : IICS0レジスタ = 0001X000B

3 : IICS0レジスタ = 00000X10B

4 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

WTIM0ビット = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))



1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001XX00B

3 : IICS0レジスタ = 00000X10B

4 : IICS0レジスタ = 00000001B

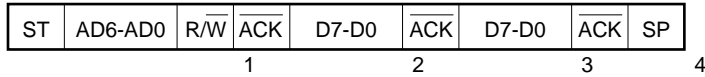
備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

16.6.3 スレーブ動作（拡張コード受信時）

拡張コード受信時は常に通信に参加しています。

(1) Start ~ Code ~ Data ~ Data ~ Stop

IICC0.WTIM0ビット = 0のとき



1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X000B

3 : IICS0レジスタ = 0010X000B

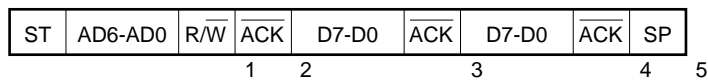
4 : IICS0レジスタ = 00000001B

備考 必ず発生

IICC0.SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき



1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X110B

3 : IICS0レジスタ = 0010X100B

4 : IICS0レジスタ = 0010XX00B

5 : IICS0レジスタ = 00000001B

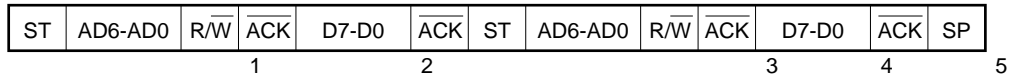
備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

(2) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, アドレス一致)



1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X000B

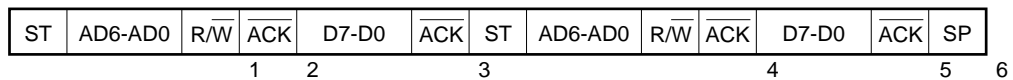
3 : IICS0レジスタ = 0001X110B

4 : IICS0レジスタ = 0001X000B

5 : IICS0レジスタ = 00000001B

- 備考** 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

WTIM0ビット = 1のとき (リスタート後, アドレス一致)



1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X110B

3 : IICS0レジスタ = 0010XX00B

4 : IICS0レジスタ = 0001X110B

5 : IICS0レジスタ = 0001XX00B

6 : IICS0レジスタ = 00000001B

- 備考** 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

(3) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2				3		4	5

1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X000B

3 : IICS0レジスタ = 0010X010B

4 : IICS0レジスタ = 0010X000B

5 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP	
			1	2		3			4	5		6	7

1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X110B

3 : IICS0レジスタ = 0010XX00B

4 : IICS0レジスタ = 0010X010B

5 : IICS0レジスタ = 0010X110B

6 : IICS0レジスタ = 0010XX00B

7 : IICS0レジスタ = 00000001B

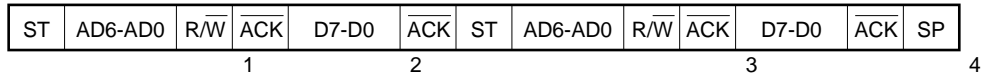
備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

(4) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))



1 : IICS0レジスタ = 0010X010B

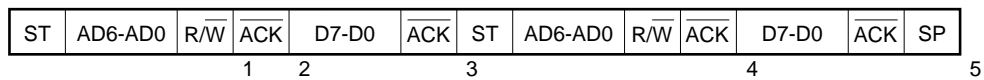
2 : IICS0レジスタ = 0010X000B

3 : IICS0レジスタ = 00000X10B

4 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

WTIM0ビット = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))



1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X110B

3 : IICS0レジスタ = 0010XX00B

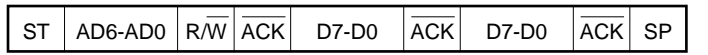
4 : IICS0レジスタ = 00000X10B

5 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

16.6.4 通信不参加の動作

(1) Start ~ Code ~ Data ~ Data ~ Stop



1

1 : IICS0レジスタ = 00000001B

備考 SPIE0ビット = 1のときだけ発生

16. 6. 5 アービトレーション負けの動作（アービトレーション負けのあと，スレーブとして動作）

（1）スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

IIC0.WTIM0ビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICS0レジスタ = 0101X110B（例 割り込み処理中にIICS0.ALD0ビットをリード）

2 : IICS0レジスタ = 0001X000B

3 : IICS0レジスタ = 0001X000B

4 : IICS0レジスタ = 00000001B

備考 必ず発生

IIC0.SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICS0レジスタ = 0101X110B（例 割り込み処理中にALD0ビットをリード）

2 : IICS0レジスタ = 0001X100B

3 : IICS0レジスタ = 0001XX00B

4 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

(2) 拡張コード送信中にアービトレーションに負けた場合

WTIM0ビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1		2		3	4

1 : IICS0レジスタ = 0110X010B (例 割り込み処理中にALD0ビットをリード)

2 : IICS0レジスタ = 0010X000B

3 : IICS0レジスタ = 0010X000B

4 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1	2		3		4
								5

1 : IICS0レジスタ = 0110X010B (例 割り込み処理中にALD0ビットをリード)

2 : IICS0レジスタ = 0010X110B

3 : IICS0レジスタ = 0010X100B

4 : IICS0レジスタ = 0010XX00B

5 : IICS0レジスタ = 00000001B

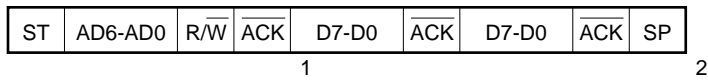
備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

16.6.6 アービトレーション負けの動作(アービトレーション負けのあと,不参加)

(1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

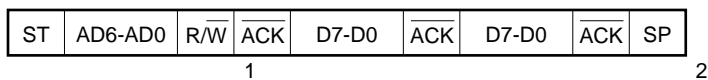


1 : IICS0レジスタ = 01000110B (例 割り込み処理中にIICS0.ALD0ビットをリード)

2 : IICS0レジスタ = 00000001B

備考 必ず発生
IICC0.SPIE0ビット = 1のときだけ発生

(2) 拡張コード送信中にアービトレーションに負けた場合



1 : IICS0レジスタ = 0110X010B (例 割り込み処理中にALD0ビットをリード)

ソフトウェアでIICC0.LREL0ビット = 1を設定

2 : IICS0レジスタ = 00000001B

備考 必ず発生
SPIE0ビット = 1のときだけ発生
X 任意

(3) データ転送時にアービトレーションに負けた場合

IIC0.WTIM0ビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2			3

1 : IICS0レジスタ = 10001110B

2 : IICS0レジスタ = 01000000B (例 割り込み処理中にALD0ビットをリード)

3 : IICS0レジスタ = 00000001B

備考 必ず発生
SPIE0ビット = 1のときだけ発生
X 任意

WTIM0ビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2			3

1 : IICS0レジスタ = 10001110B

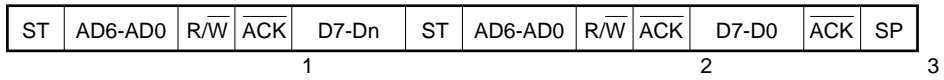
2 : IICS0レジスタ = 01000100B (例 割り込み処理中にALD0ビットをリード)

3 : IICS0レジスタ = 00000001B

備考 必ず発生
SPIE0ビット = 1のときだけ発生
X 任意

(4) データ転送時にリスタート・コンディションで負けた場合

拡張コード以外 (例 アドレス不一致)



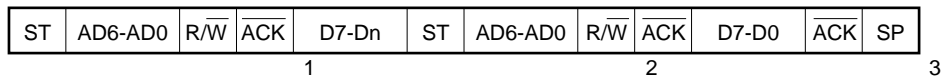
1 : IICS0レジスタ = 1000X110B

2 : IICS0レジスタ = 01000110B (例 割り込み処理中にALD0ビットをリード)

3 : IICS0レジスタ = 00000001B

- 備考** 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意
 Dn = D6-D0

拡張コード



1 : IICS0レジスタ = 1000X110B

2 : IICS0レジスタ = 0110X010B (例 割り込み処理中にALD0ビットをリード)

ソフトウェアでIICC0.LREL0ビット = 1を設定

3 : IICS0レジスタ = 00000001B

- 備考** 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意
 Dn = D6-D0

(5) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	R/W	ACK	D7-Dn	SP
			1		2

1 : IICS0レジスタ = 1000X110B

2 : IICS0レジスタ = 01000001B

備考 必ず発生

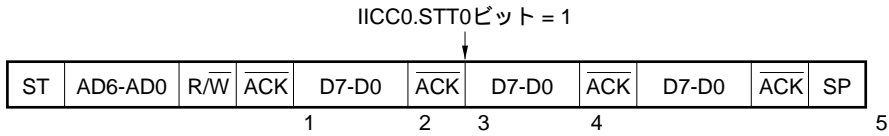
SPIE0ビット = 1のときだけ発生

X 任意

Dn = D6-D0

(6) リスタート・コンディションを発生しようとしたが、SDA00端子がロウ・レベルでアービトレーションに負けた場合

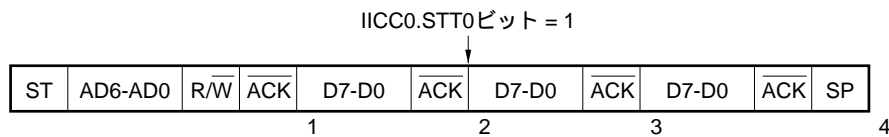
WTIM0ビット = 0のとき



- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000X000B (WTIM0ビット = 1)
- 3 : IICS0レジスタ = 1000XX00B (WTIM0ビット = 0)
- 4 : IICS0レジスタ = 01000000B (例 割り込み処理中にALD0ビットをリード)
- 5 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

WTIM0ビット = 1のとき

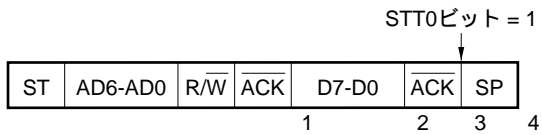


- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000XX00B
- 3 : IICS0レジスタ = 01000100B (例 割り込み処理中にALD0ビットをリード)
- 4 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

(7) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

WTIM0ビット = 0のとき



- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000X000B (WTIM0ビット = 1)
- 3 : IICS0レジスタ = 1000XX00B
- 4 : IICS0レジスタ = 01000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

WTIM0ビット = 1のとき

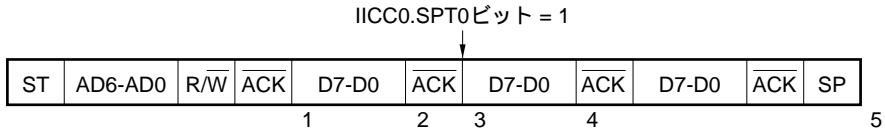


- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000XX00B
- 3 : IICS0レジスタ = 01000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

(8) ストップ・コンディションを発生しようとしたが、SDA00端子がロウ・レベルでアービトレーションに負けた場合

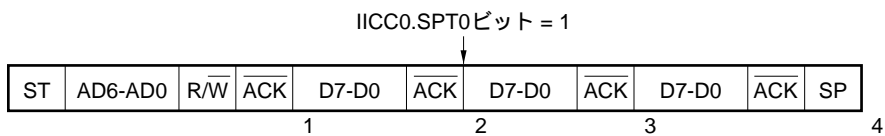
WTIM0ビット = 0のとき



- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000X000B (WTIM0ビット = 1)
- 3 : IICS0レジスタ = 1000XX00B (WTIM0ビット = 0)
- 4 : IICS0レジスタ = 01000000B (例 割り込み処理中にALD0ビットをリード)
- 5 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

WTIM0ビット = 1のとき



- 1 : IICS0レジスタ = 1000X110B
- 2 : IICS0レジスタ = 1000XX00B
- 3 : IICS0レジスタ = 01000000B (例 割り込み処理中にALD0ビットをリード)
- 4 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

16.7 割り込み要求信号 (INTIIC0) 発生タイミングおよびウェイト制御

IICC0.WTIM0ビットの設定で、次に示すタイミングでINTIIC0信号が発生して、ウェイト制御を行います。

表16 - 6 INTIIC0信号発生タイミングおよびウェイト制御

WTIM0ビット	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1, 2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1, 2}	9 ^{注2}	9 ^{注2}	9	9	9

注1. スレーブのINTIIC0信号およびウェイトは、SVA0レジスタに設定しているアドレスと一致したときのみ、9クロック目の立ち下がりで発生します。

また、このとき、IICC0.ACKE0ビットの設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIIC0信号を発生します。

ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりではINTIIC0信号を発生しますが、ウェイトは発生しません。

2. SVA0レジスタと受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIIC0信号もウェイトも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・スレーブ動作時：WTIM0ビットにかかわらず、上記の注1、注2の条件により、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIM0ビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がりで発生します。

(2) データ受信時

マスタ/スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

マスタ/スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・ IICC0.WREL0ビット = 1
- ・ IIC0レジスタのライト動作
- ・ スタート・コンディションのセット (IICC0.STT0ビット = 1)^注
- ・ ストップ・コンディションのセット (IICC0.SPT0ビット = 1)^注

注 マスタのみ

8クロック・ウェイト選択 (WTIM0ビット = 0) 時は、ウェイト解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

ストップ・コンディションを検出すると、INTIIC0信号を発生します。

16.8 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致の検出は、ハードウェアで自動的に行えます。SVA0レジスタに自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVA0レジスタに設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIIC0信号が発生します。

16.9 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス端子（SDA00）の状態が、送信しているデバイスのIIC0レジスタにも取り込まれるため、送信開始前と送信終了後のIIC0レジスタのデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

16.10 拡張コード

- (1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ（IICS0.EXC0ビット）をセットし、8クロック目の立ち下がりで割り込み要求信号（INTIIC0）を発生します。

SVA0レジスタに格納された自局アドレスは影響しません。

- (2) 10ビット・アドレス転送で、SVA0レジスタに“11110xx0”を設定し、マスタから“11110xx0”が転送されてきた場合は、次のようになります。ただしINTIIC0信号は、8クロック目の立ち下がりで発生します。

上位4ビット・データの一致 : EXC0ビット = 1
7ビット・データの一致 : IICS0.COI0ビット = 1

- (3) 割り込み要求信号発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアが行います。

たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICC0.LREL0ビット = 1に設定し、次の通信待機状態となります。

表16-7 拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
0000 000	1	スタート・バイト
0000 001	x	CBUSアドレス
0000 010	x	異なるバス・フォーマット用に予約されているアドレス
1111 0xx	x	10ビット・スレーブ・アドレス指定

16.11 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合（IICS0.STD0ビット = 1になる前に IICC0.STT0ビット = 1にしたとき）、データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、アービトレーション負けフラグ（IICS0.ALD0ビット）をセット（1）し、SCL00, SDA00ラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは、次の割り込み要求信号（INTIIC0）発生タイミング（8または9クロック目、ストップ・コンディション検出など）で、ソフトウェアでALD0ビット = 1になっていることで検出します。

割り込み発生タイミングについては、16.5 I²C割り込み要求信号（INTIIC0）を参照してください。

図16 - 11 アービトレーション・タイミング例

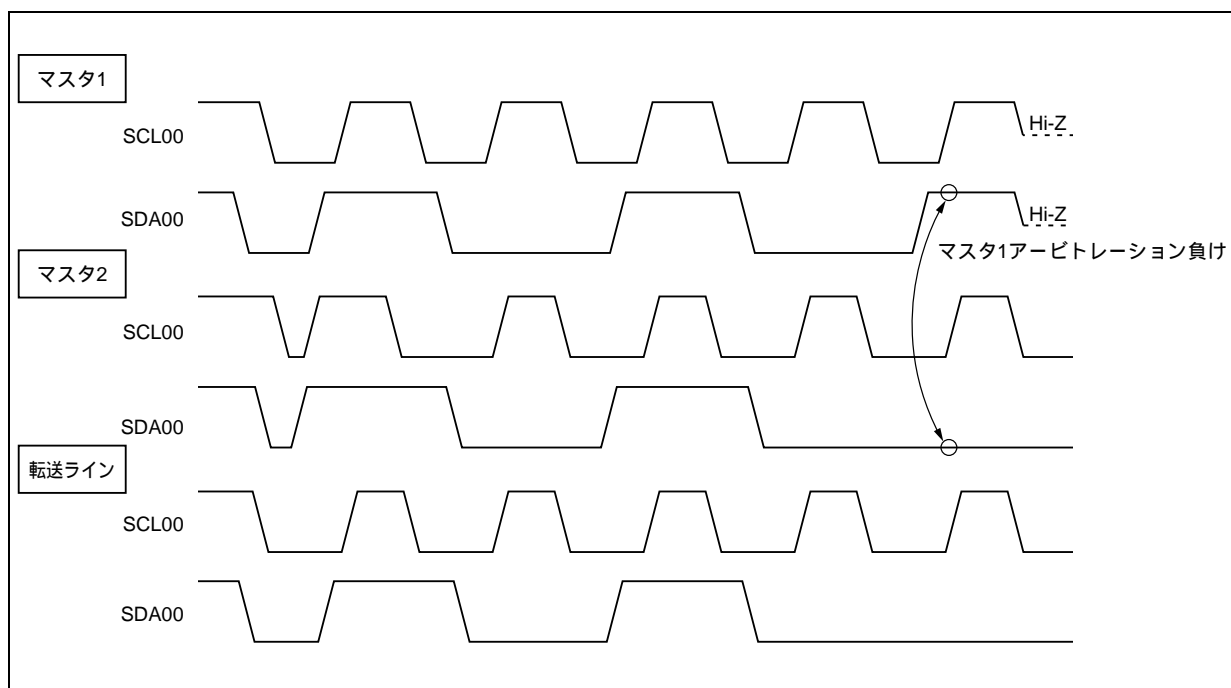


表16 - 8 アービトレーション発生時の状態と割り込み要求信号発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ受信後のアクノリッジ転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション生成時 (IICC0.SPIE0ビット = 1時) ^{注2}
リスタート・コンディションを生成しようとしたがSDA00端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIE0ビット = 1時) ^{注2}
ストップ・コンディションを生成しようとしたがSDA00端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがSCL00端子がロウ・レベル	

注1. IICC0.WTIM0ビット = 1の場合には, 9クロック目の立ち下がりタイミングでINTIIC0信号を発生します。
WTIM0ビット = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングでINTIIC0信号を発生します。

2. アービトレーションが起こる可能性がある場合, マスタ動作ではSPIE0ビット = 1にしてください。

16. 12 ウェイク・アップ機能

I²Cバスのスレーブ機能で, 自局アドレスまたは拡張コードを受信したときに割り込み要求信号 (INTIIC0) が発生する機能です。アドレスが一致しないときは不要なINTIIC0信号を発生せず, 効率よく処理できます。

スタート・コンディションを検出すると, ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを生成した場合) でも, アービトレーション負けでスレーブになる可能性があるため, アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると, ウェイク・アップ機能に関係なく, IICC0.SPIE0ビットの設定によって, INTIIC0信号の発生許可 / 禁止が決定します。

16. 13 通信予約

16. 13. 1 通信予約機能許可の場合 (IICF0.IICRSV0ビット = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず、IICC0.LREL0ビット = 1でバスを解放した)とき

バスに不参加の状態、IICC0.STT0ビットをセット(1)すると、バスが解放されたあと(ストップ・コンディション検出後)に、自動的にスタート・コンディションを生成し、ウエイト状態になります。

バスの解放を検出(ストップ・コンディション検出)すると、IIC0レジスタ・ライト操作により、マスタとしてのアドレス転送を開始します。このとき、IICC0.SPIE0ビットをセット(1)しておいてください。

STT0ビットをセット(1)したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

バスが解放されているとき スタート・コンディション生成
 バスが解放されていないとき(待機状態) .. 通信予約

通信予約として動作するのかどうかを確認するには、STT0ビットをセット(1)し、ウエイト時間をとったあと、IICS0.MSTS0ビットを確認することで行います。

ウエイト時間は、表16-9に示す時間をソフトウェアにより確保してください。なお、ウエイト時間はIICCL0.SMC0, CL01, CL00ビットと、IICX0.CLX0ビットにより設定できます。

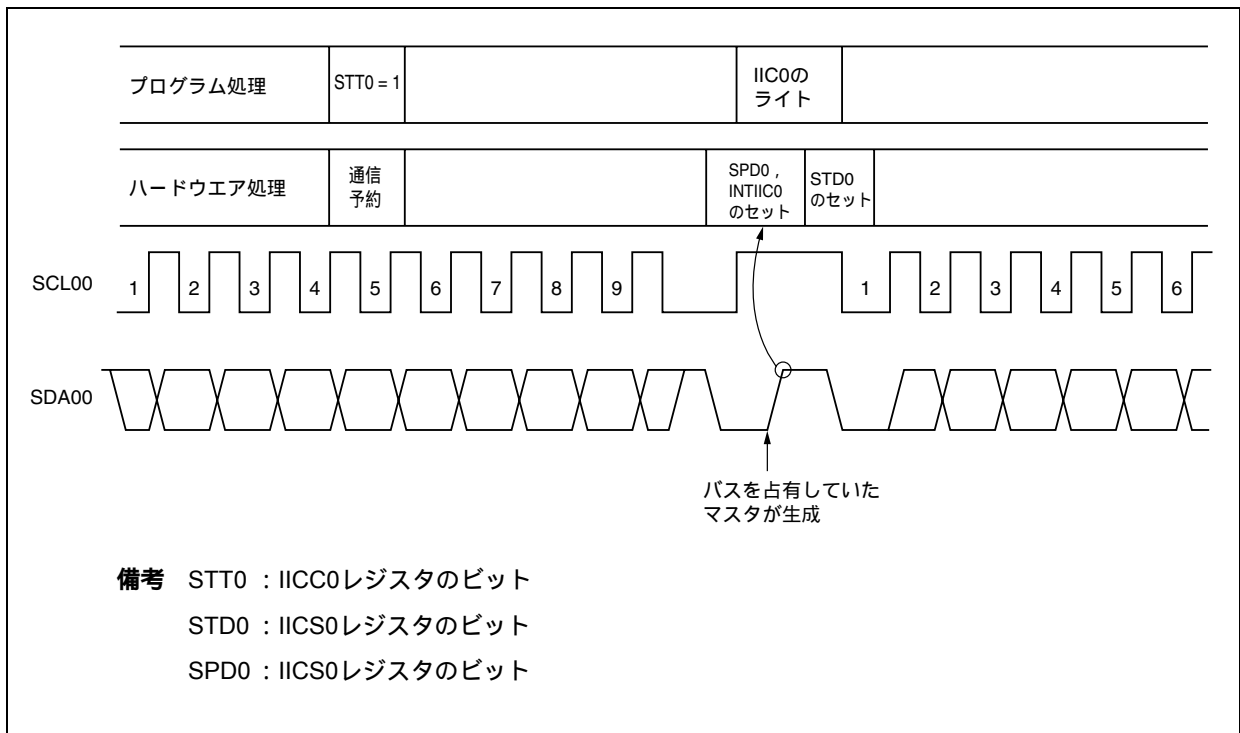
表16 - 9 ウェイト時間

選択クロック	CLX0	SMC0	CL01	CL00	ウェイト時間
f _{XP1} (OCKS0 = 18H設定時)	0	0	0	0	26クロック
f _{XP1/2} (OCKS0 = 10H設定時)	0	0	0	0	52クロック
f _{XP1/3} (OCKS0 = 11H設定時)	0	0	0	0	78クロック
f _{XP1/4} (OCKS0 = 12H設定時)	0	0	0	0	104クロック
f _{XP1/5} (OCKS0 = 13H設定時)	0	0	0	0	130クロック
f _{XP1/2} (OCKS0 = 10H設定時)	0	0	0	1	94クロック
f _{XP1/3} (OCKS0 = 11H設定時)	0	0	0	1	141クロック
f _{XP1/4} (OCKS0 = 12H設定時)	0	0	0	1	188クロック
f _{XP1}	0	0	1	0	47クロック
f _{XP1/2} (OCKS0 = 10H設定時)	0	1	0	×	32クロック
f _{XP1/3} (OCKS0 = 11H設定時)	0	1	0	×	48クロック
f _{XP1/4} (OCKS0 = 12H設定時)	0	1	0	×	64クロック
f _{XP1/5} (OCKS0 = 13H設定時)	0	1	0	×	80クロック
f _{XP1}	0	1	1	0	16クロック
f _{XP1/2} (OCKS0 = 10H設定時)	1	1	0	×	20クロック
f _{XP1/3} (OCKS0 = 11H設定時)	1	1	0	×	30クロック
f _{XP1/4} (OCKS0 = 12H設定時)	1	1	0	×	40クロック
f _{XP1/5} (OCKS0 = 13H設定時)	1	1	0	×	50クロック
f _{XP1}	1	1	1	0	10クロック

備考 × = Don't care

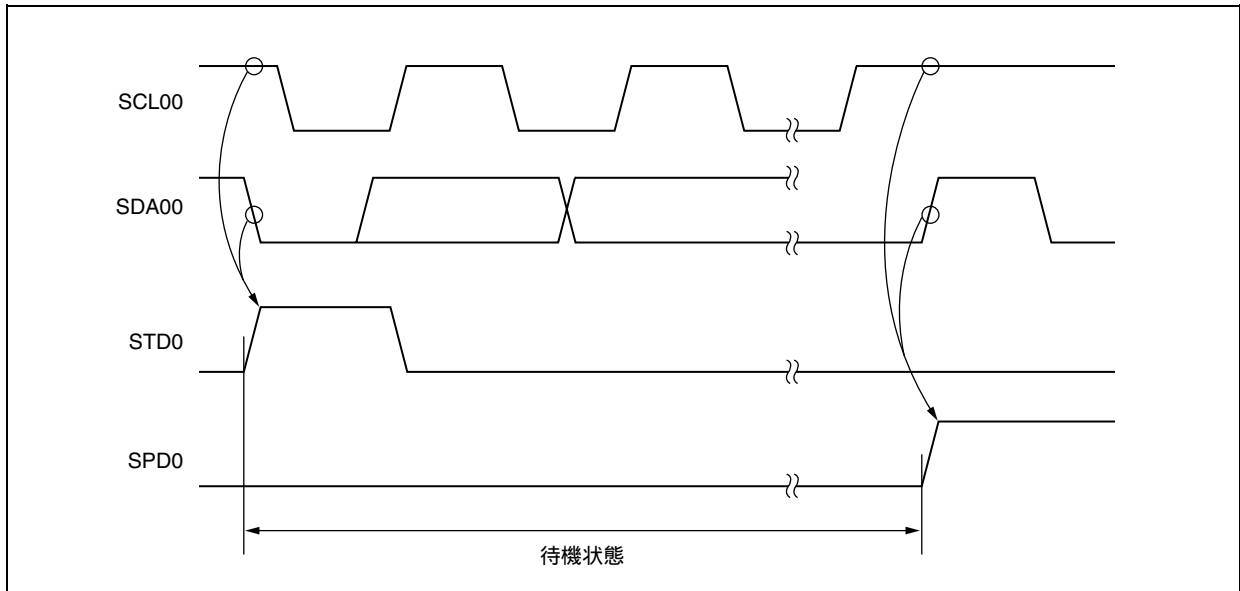
通信予約のタイミングを次に示します。

図16 - 12 通信予約のタイミング



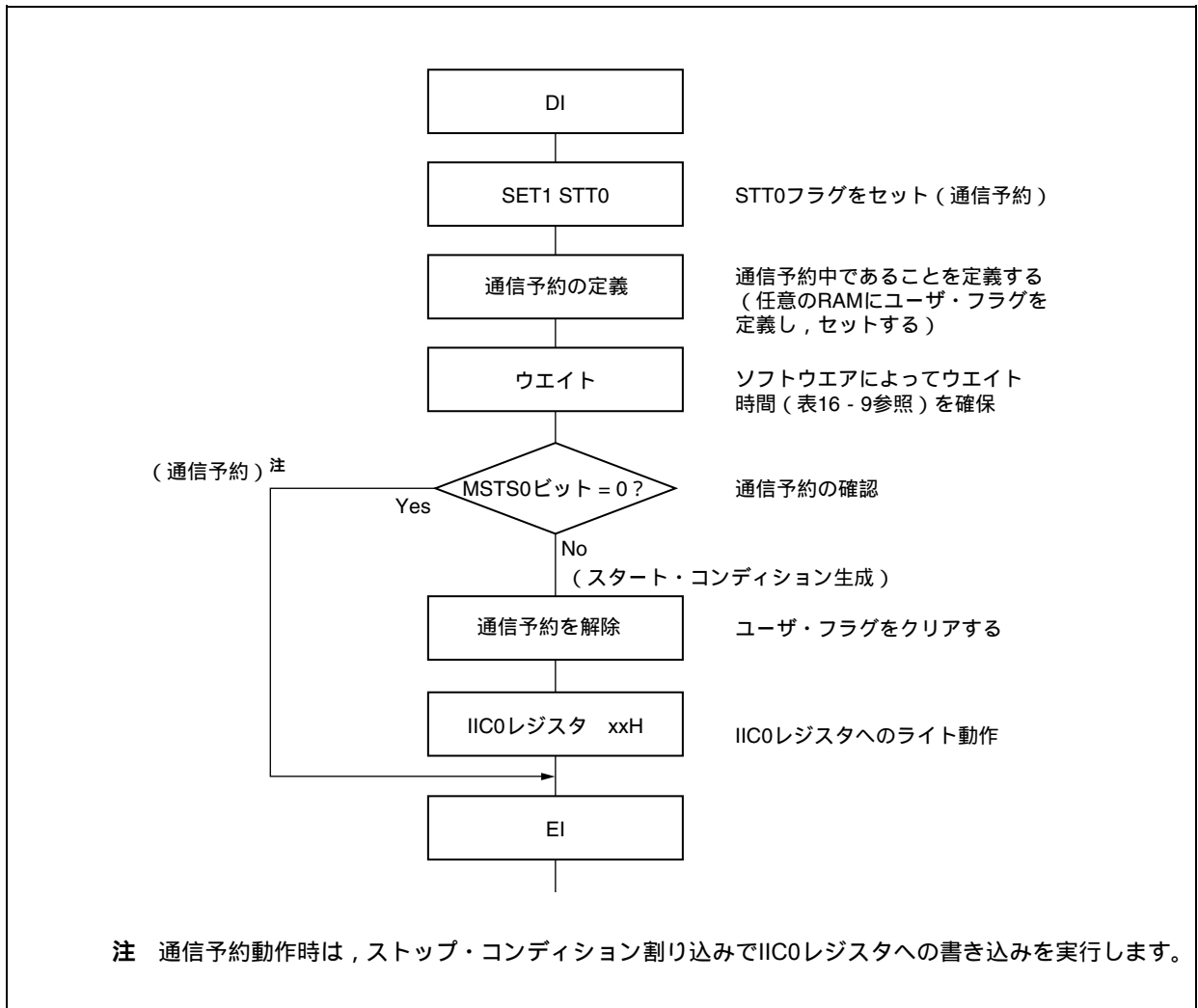
通信予約は次のタイミングで受け付けられます。IICS0.STD0ビット = 1になったあと、ストップ・コンディション検出までにIIC0.STT0ビット = 1で通信予約をします。

図16 - 13 通信予約受け付けタイミング



次に通信予約の手順を示します。

図16 - 14 通信予約の手順



16. 13. 2 通信予約機能禁止の場合 (IICF0.IICRSV0ビット = 1)

バスが通信中で、この通信に不参加の状態ではICC0.STT0ビットをセットすると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず、IICC0.LRELOビット = 1でバスを解放した) とき。

スタート・コンディションが生成されたか拒絶されたかを確認するには、IICF0.STCF0フラグを確認することにより行います。STT0ビット = 1としてからSTCF0フラグがセットされるまで表16 - 10に示す時間がかかりますので、ソフトウェアによりこの時間を確保してください。

表16 - 10 ウェイト時間

OCKSEN0	OCKS01	OCKS00	CL01	CL00	ウェイト時間
1	0	0	0	X	6クロック
1	0	1	0	X	9クロック
1	1	0	0	X	12クロック
1	1	1	0	X	15クロック
0	0	0	1	0	3クロック

備考 X : Don't care

16. 14 注意事項

(1) IICF0.STCEN0ビット = 0の場合

I²C00動作許可直後、実際のバス状態にかかわらず通信状態 (IICF0.IICBSY0ビット = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

ストップ・コンディションの生成は次の順番で行ってください。

IICCL0レジスタの設定

IICC0.IICE0ビットのセット

IICC0.SPT0ビットのセット

(2) IICF0.STCEN0ビット = 1の場合

I²C00動作許可直後、実際のバス状態にかかわらず解放状態 (IICBSY0ビット = 0) と認識しますので、1回目のスタート・コンディションを生成 (IICC0.STT0ビット = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) ほかのデバイス同士の通信中にマイクロ・コントローラのIICC0.IICE0ビットをセット (1) した場合、通信ラインの状態によってスタート・コンディションを検出することがあります。IICC0.IICE0ビットのセット (1) は、必ずSCL00, SDA00ラインがハイ・レベルの状態で行ってください。

(4) 動作許可 (IICC0.IICE0ビット = 1) する前にIICCL0, IICX0, OCKS0レジスタで動作クロック周波数を決定してください。動作クロック周波数を変更する場合は、一度IICC0.IICE0ビットをクリア (0) してください。

(5) IICC0.STT0, SPT0ビットをセット (1) したあと、クリア (0) される前の再セットは禁止します。

(6) 送信予約をした場合には、IICC0.SPIE0ビットをセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後にI²C0に通信データをライトすることによってウェイトが解除され転送が開始します。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでIICS0.MSTS0ビットを検出する場合には、SPIE0ビットをセット (1) する必要はありません。

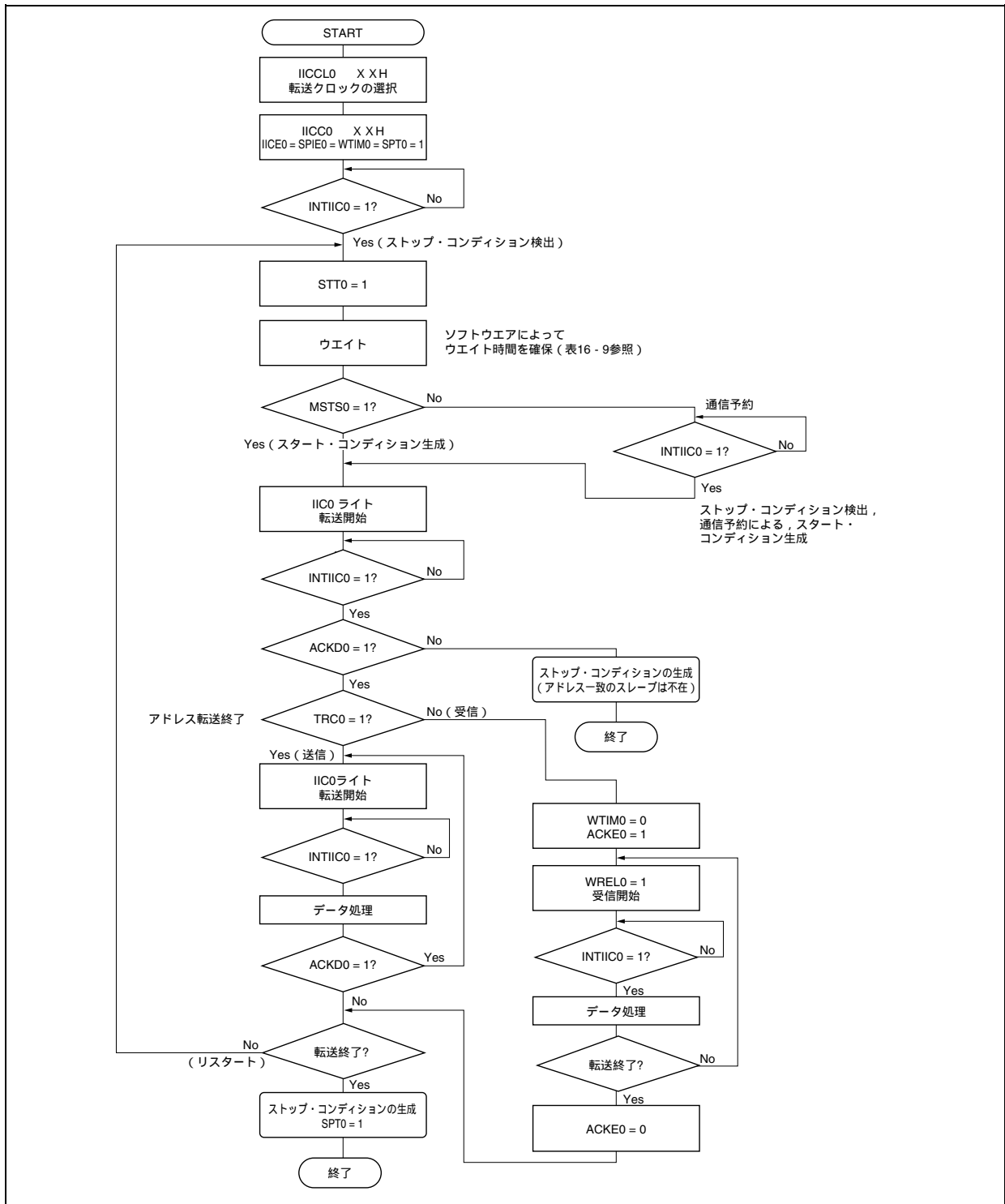
16.15 通信動作

備考 第2章 端子機能を参照して、通信動作を行う前にP914, P915端子をI²Cモード (SDA00, SCL00) に設定してください。

16.15.1 マスタ動作1

通信予約機能許可 (IICF0.IICRSV0ビット = 0) , およびストップ・コンディション検出後スタート時 (IICF0.STCEN0ビット = 0) におけるマスタ通信手順の例を次に示します。

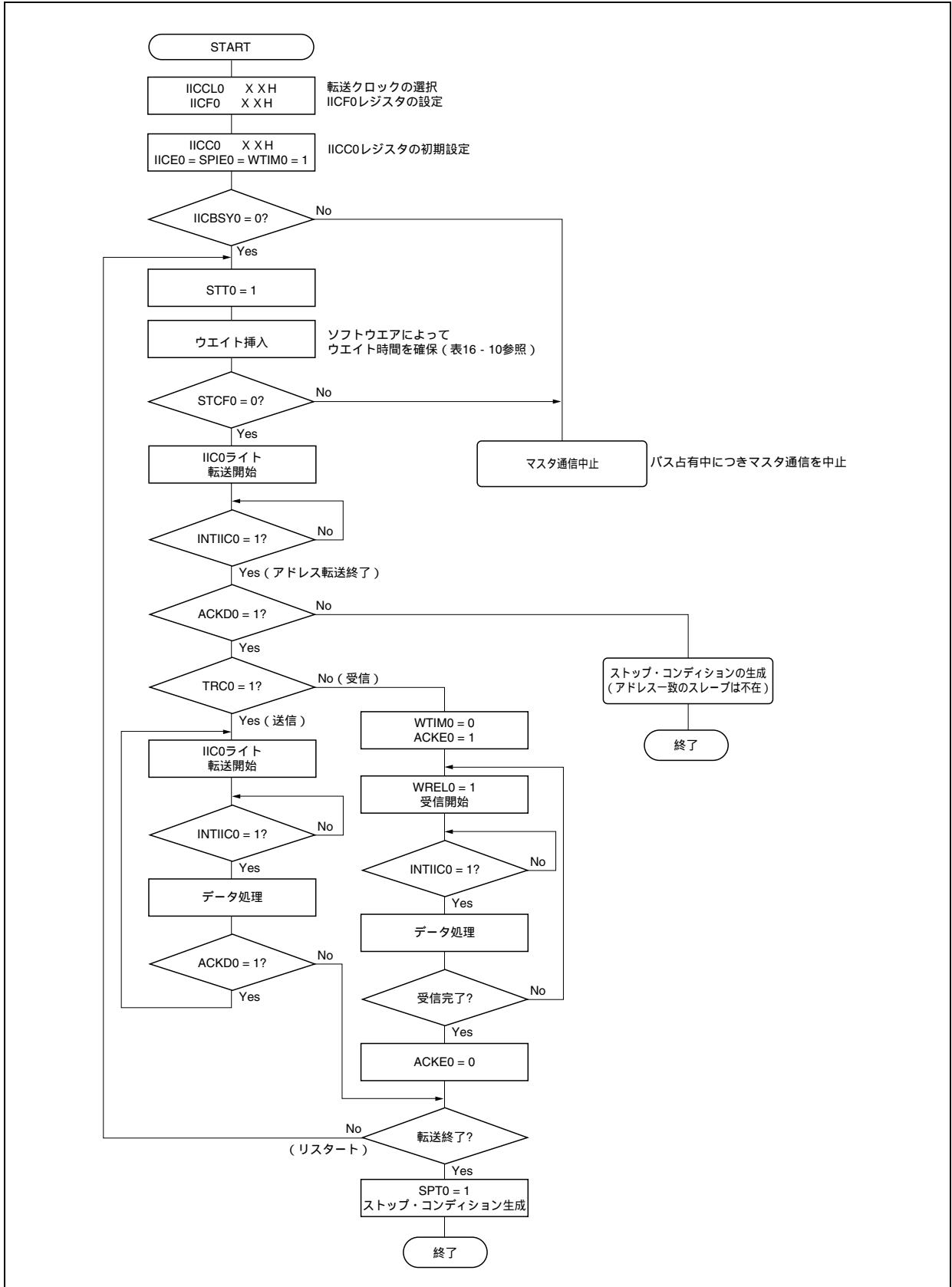
図16 - 15 マスタ動作手順 (1)



16.15.2 マスタ動作2

通信予約機能禁止 (IICRSV0ビット = 1) およびストップ・コンディション未検出によるスタート (STCEN0ビット = 1) 時における通信手順の例を次に示します。

図16 - 16 マスタ動作手順 (2)



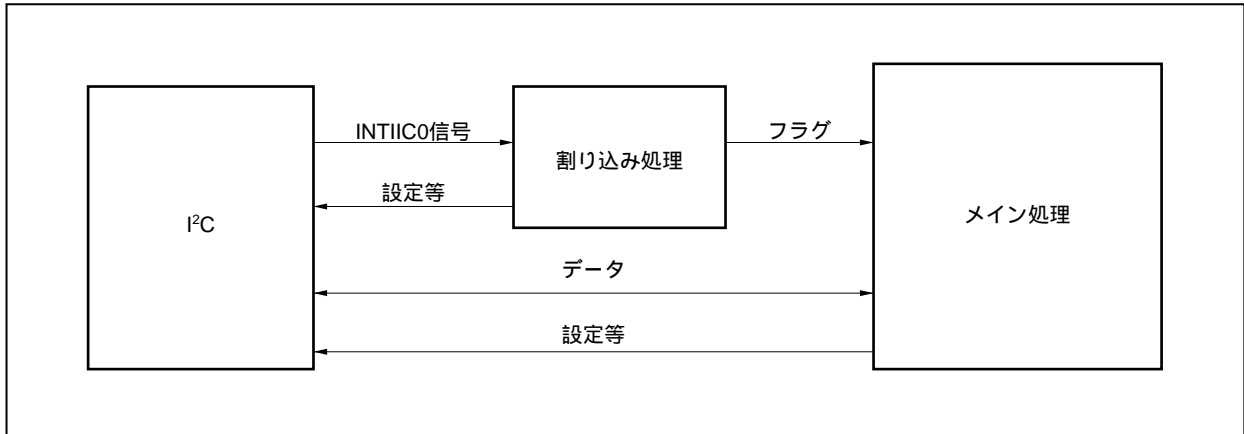
16.15.3 スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンの動作となります。このためINTIIC0割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIIC0割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。

図16 - 17 スレーブ動作時のソフトウェア概要



このため、3つのフラグを準備し、これをINTIIC0信号の代わりにメイン処理に渡すことでデータ転送処理を行います。

(1) 通信モード・フラグ

次の2つの通信状態を示します。

クリア・モード : データ通信を行っていない状態

通信モード : データの通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

(2) レディ・フラグ

データ通信が可能になったことを示します。通常のデータ転送ではINTIIC0割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータについては、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

(3) 通信方向フラグ

通信の方向を示すフラグで、IIC0.TR0ビットの値と同じです。

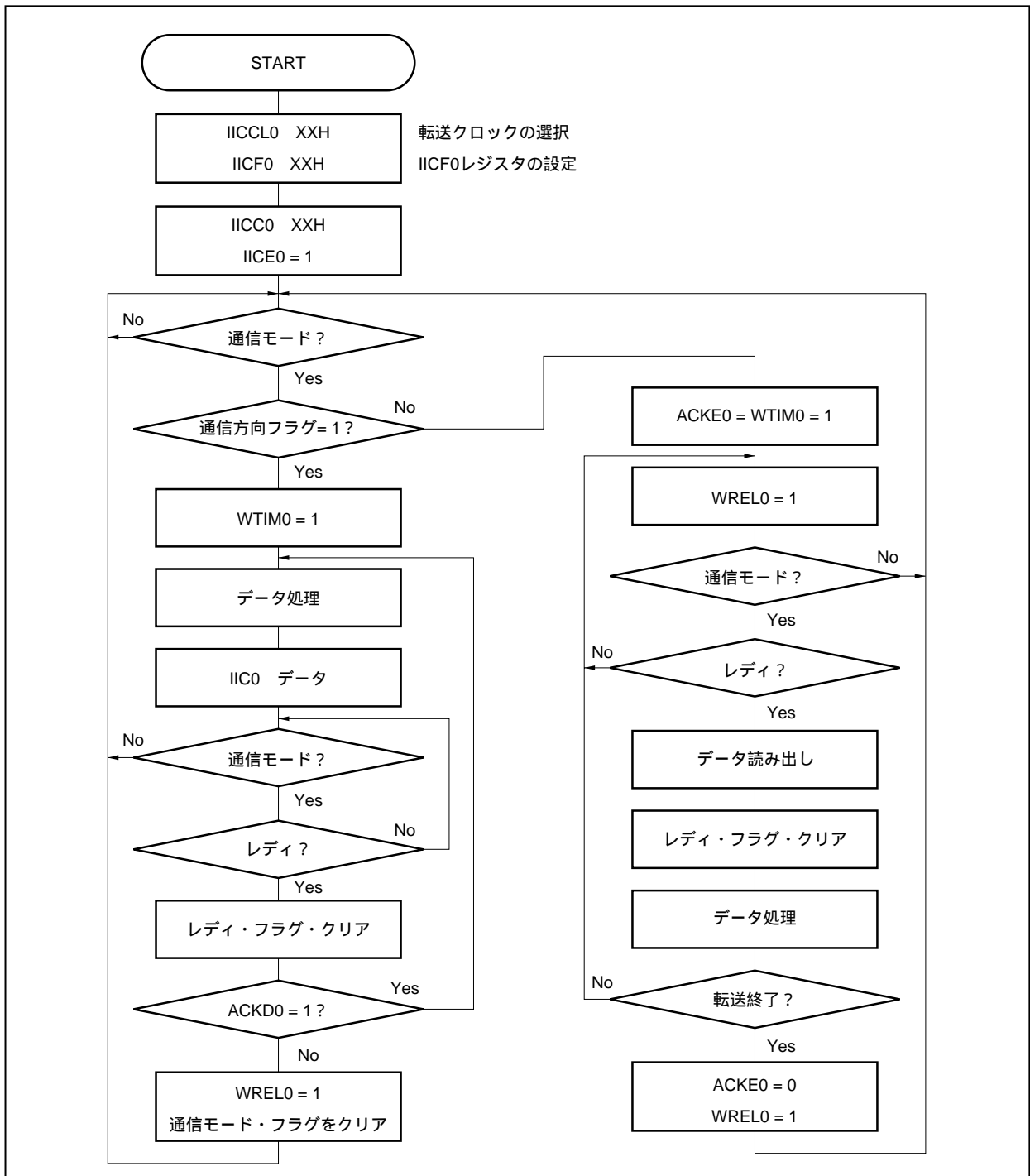
次にスレーブ動作でのメイン処理部の動作を示します。

I²C00を起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って転送を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで確認します）。

送信ではマスタからアクノリッジが来なくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら転送を完了します。

受信では必要な数のデータを受信し、転送完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを発行します。これにより、通信状態から抜け出します。

図16 - 18 スレーブ動作手順（1）



スレーブのINTIIC0割り込みでの処理手順例を示します(ここでは拡張コードはないものとして処理します)。INTIIC0割り込みではステータスを確認して、次のように行います。

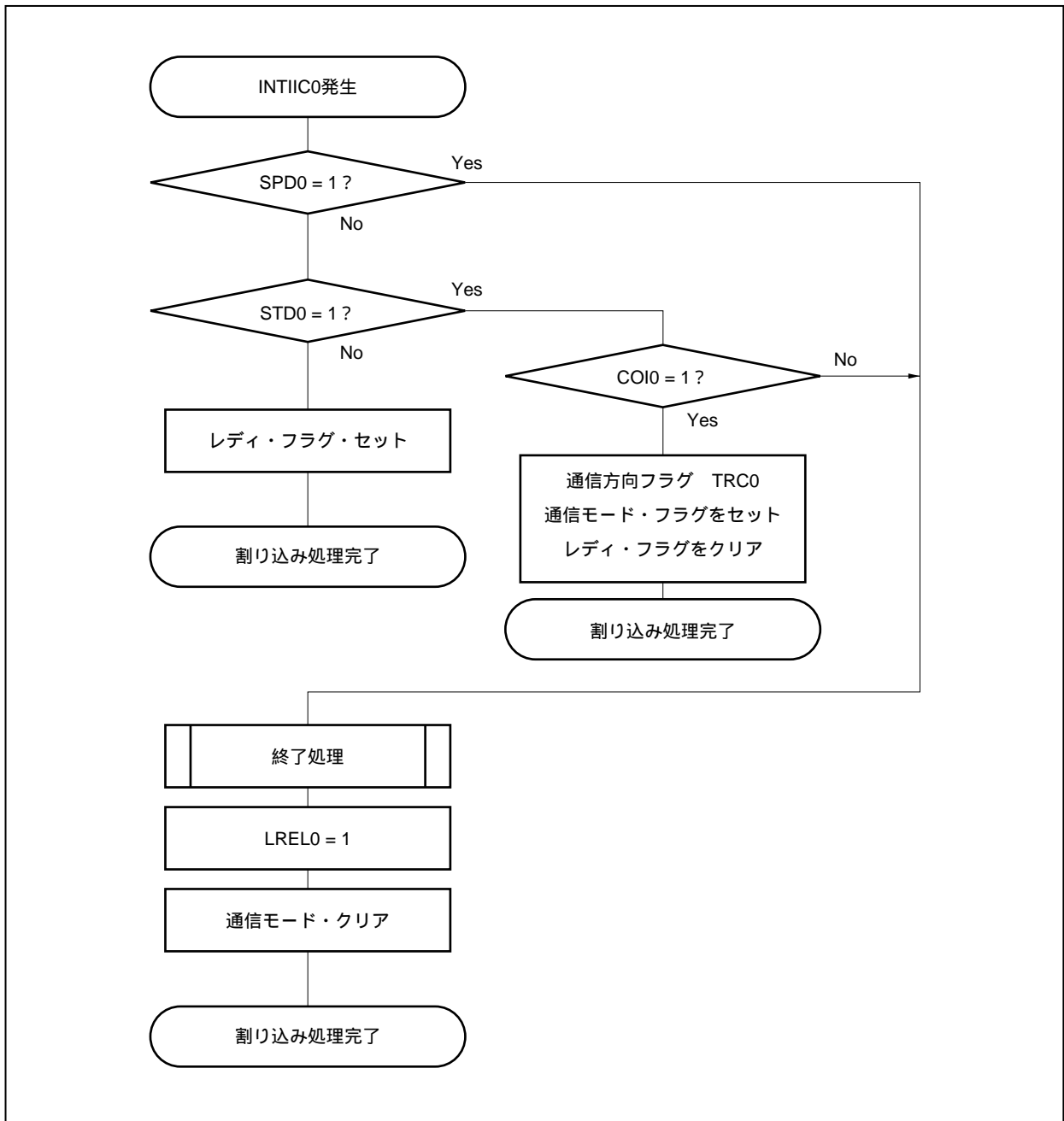
ストップ・コンディションの場合、通信を終了します。

スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。アドレスが一致していれば、モードを通信モードに設定し、ウエイトを解除して、割り込みから戻ります(レディ・フラグはクリアする)。

データ送受信の場合、レディ・フラグをセットするだけで、I²C00バスはウエイト状態のまま、割り込みから戻ります。

備考 上述の ~ は、図16-19 スレーブ動作手順(2)の ~ と対応しています。

図16-19 スレーブ動作手順(2)



16. 16 データ通信のタイミング

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すIICS0.TRC0ビットを送信し、スレーブとのシリアル通信を開始します。

シリアル・クロック端子 (SCL00) の立ち下がりに同期してIIC0レジスタのシフト動作が行われ、送信データがSOラッチに転送され、SDA00端子からMSBファーストで出力されます。

また、SCL00端子の立ち上がりでSDA00端子に入力されたデータがIIC0レジスタに取り込まれます。

データ通信のタイミングを次に示します。

図16 - 20 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

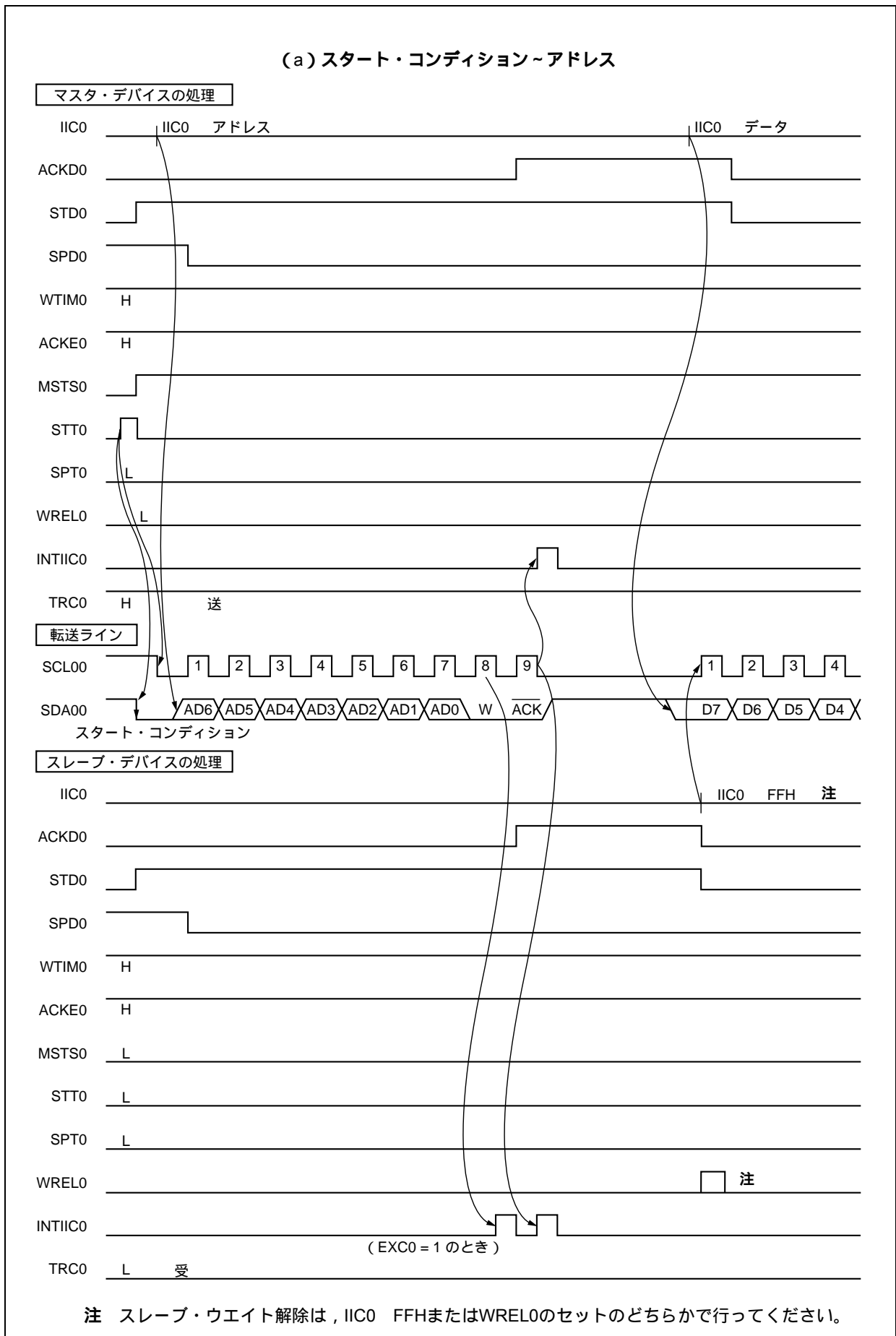


図16 - 20 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

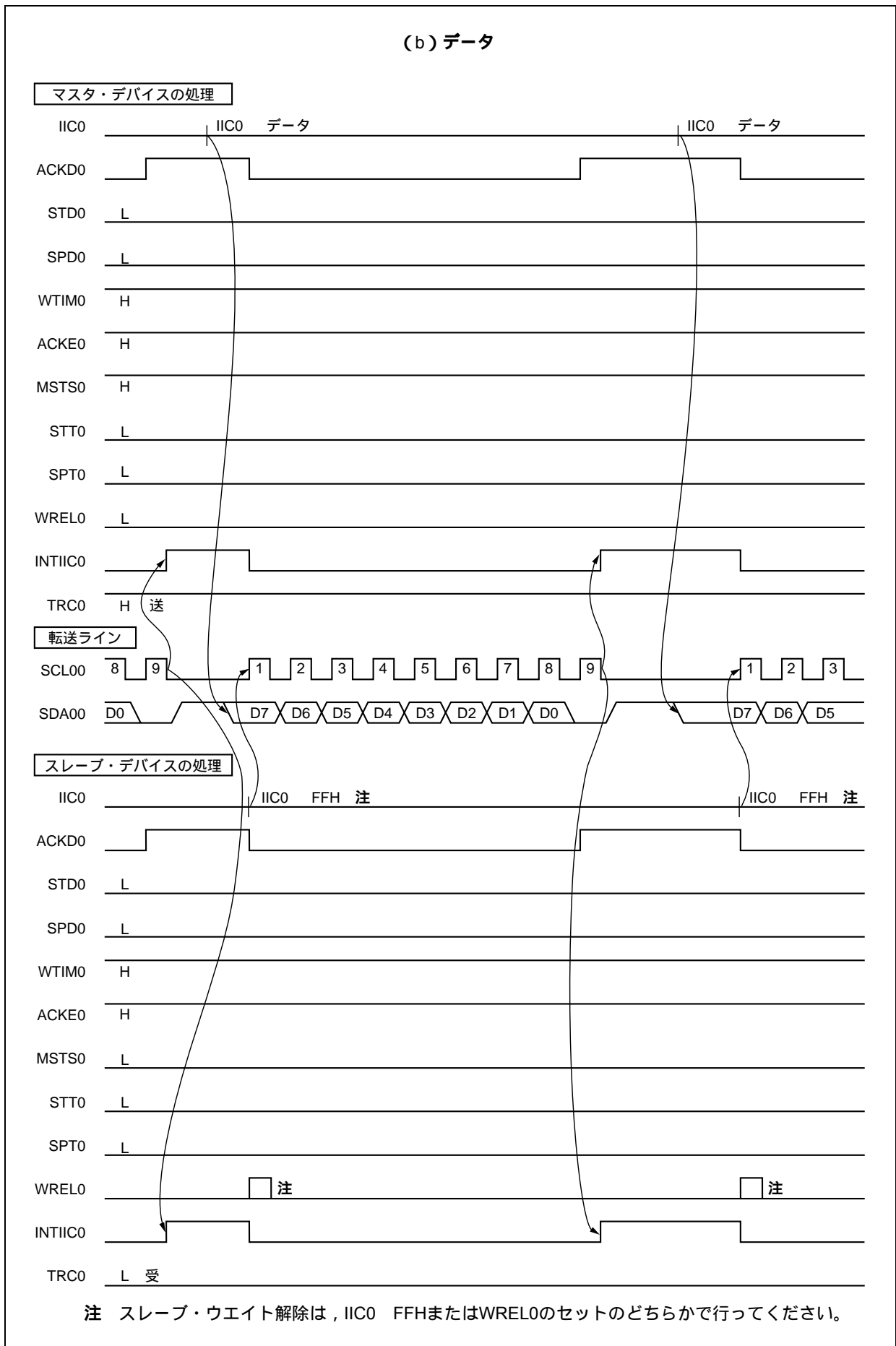


図16 - 20 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)

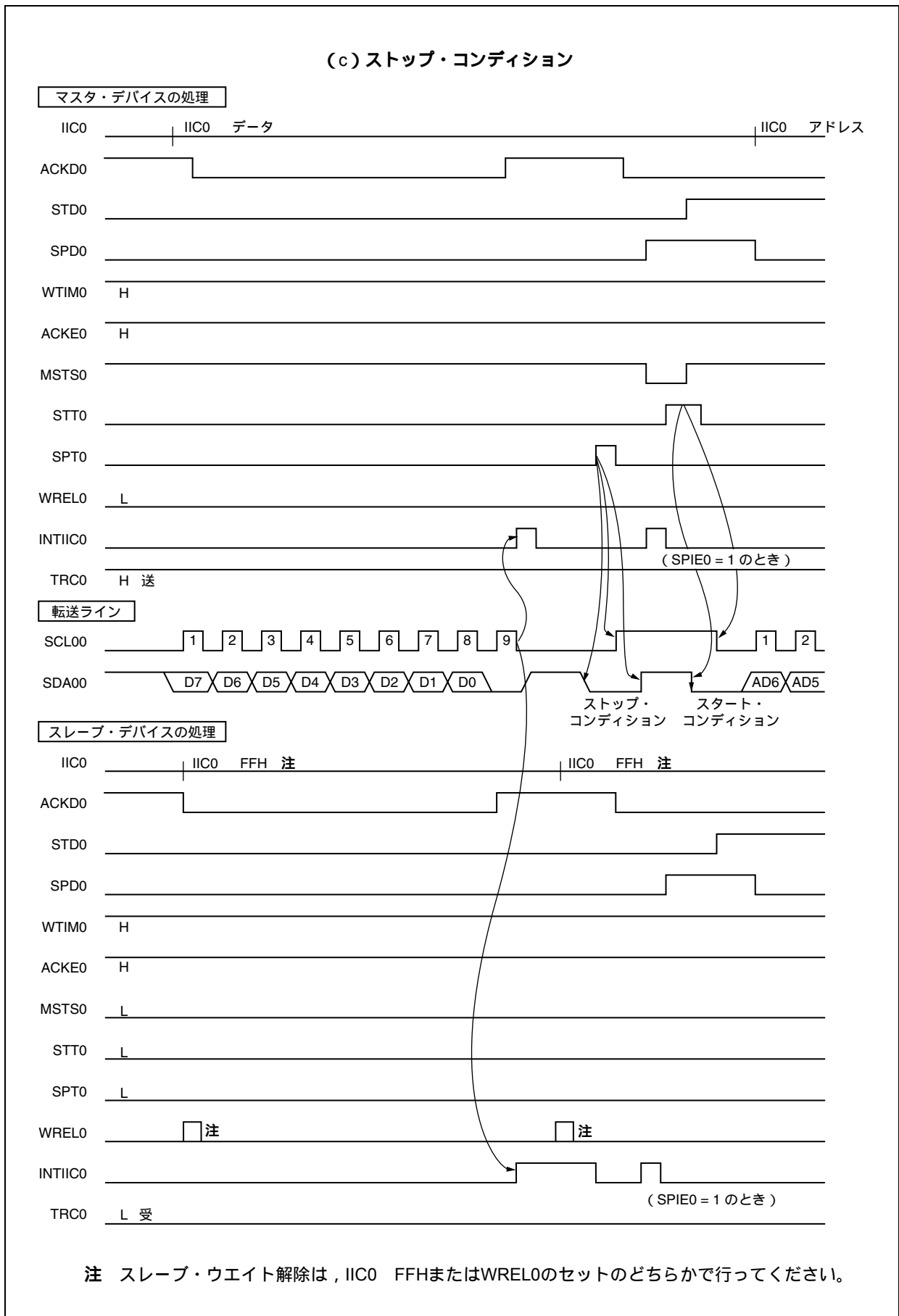


図16 - 21 スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

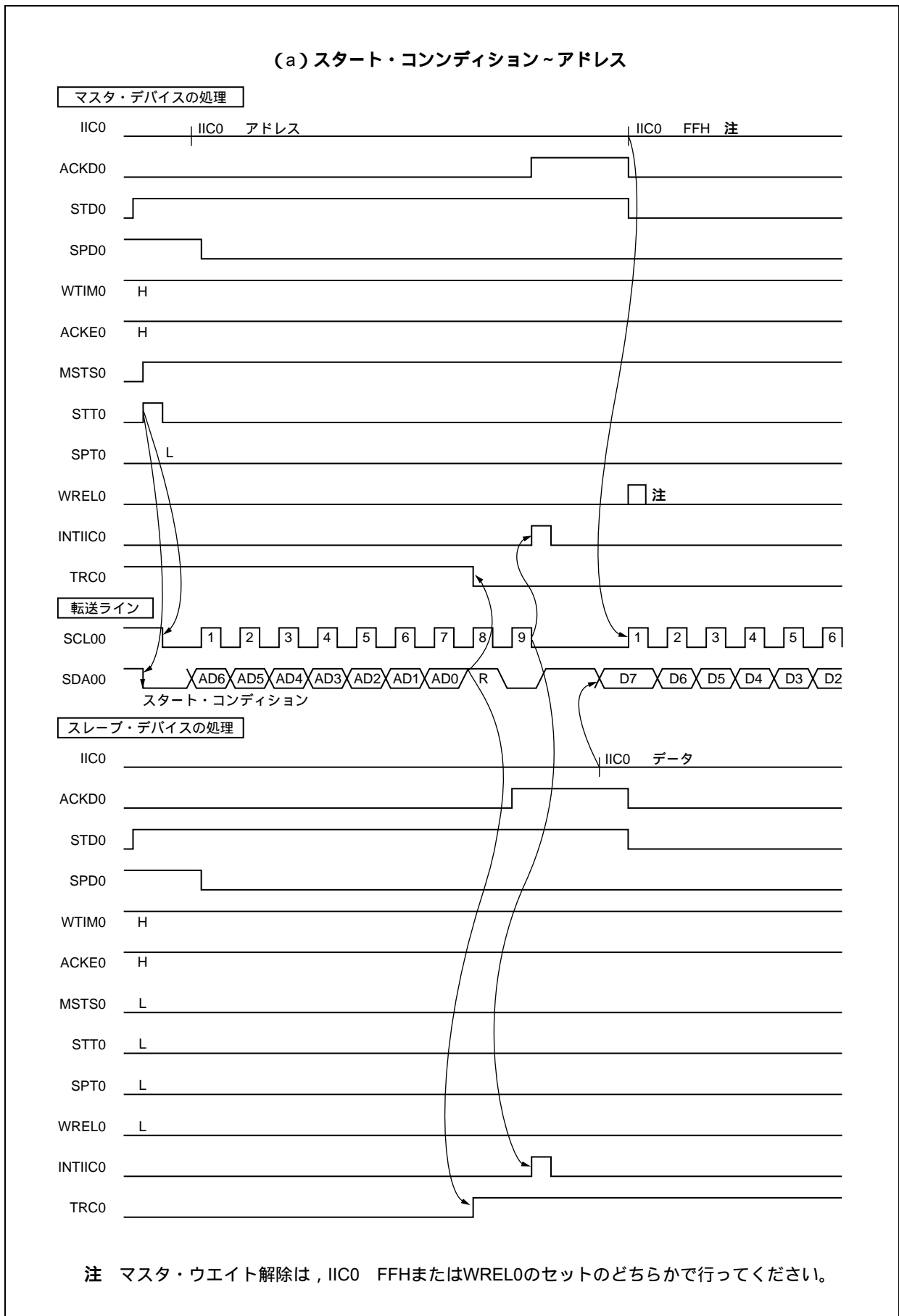


図16 - 21 スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

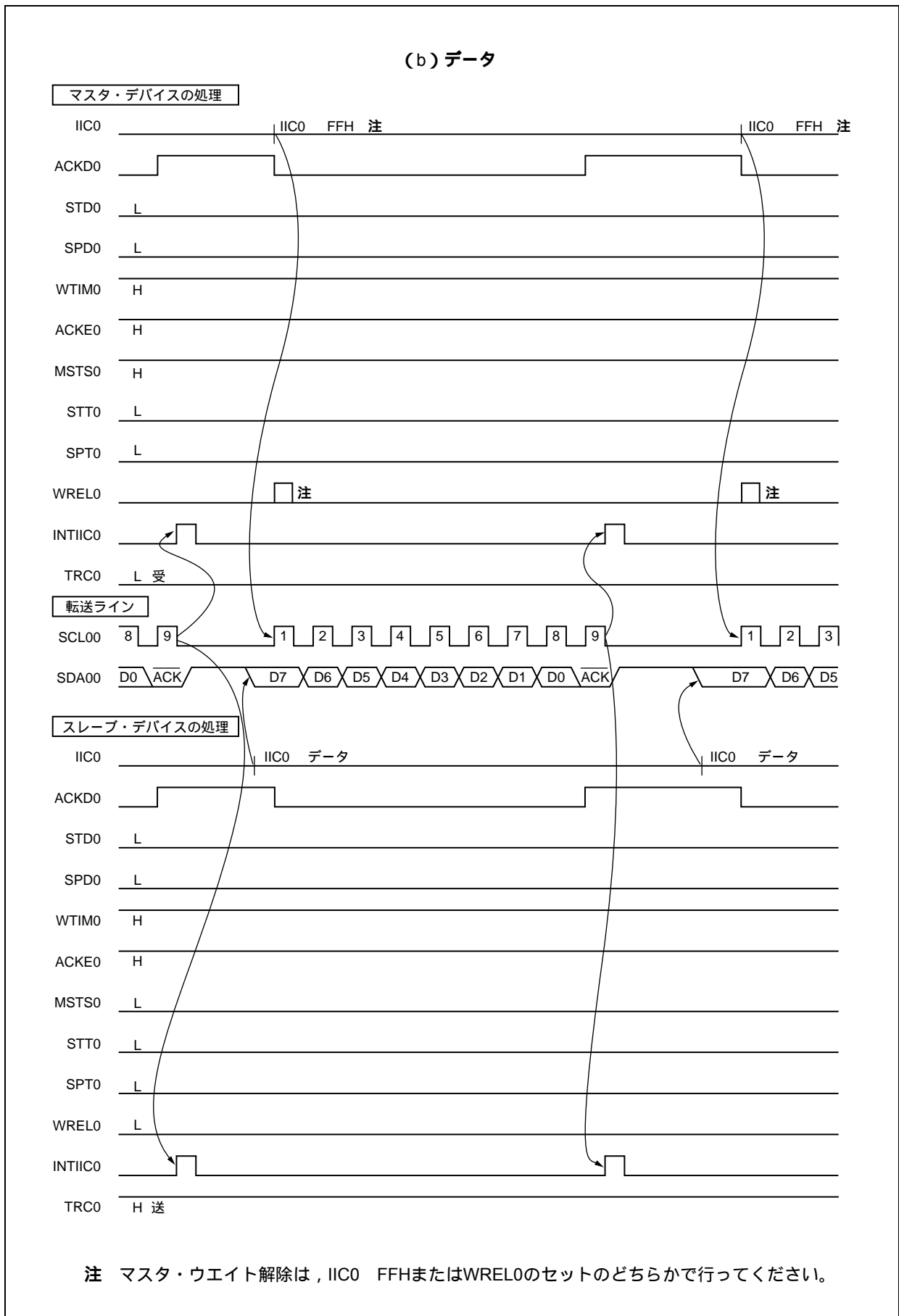
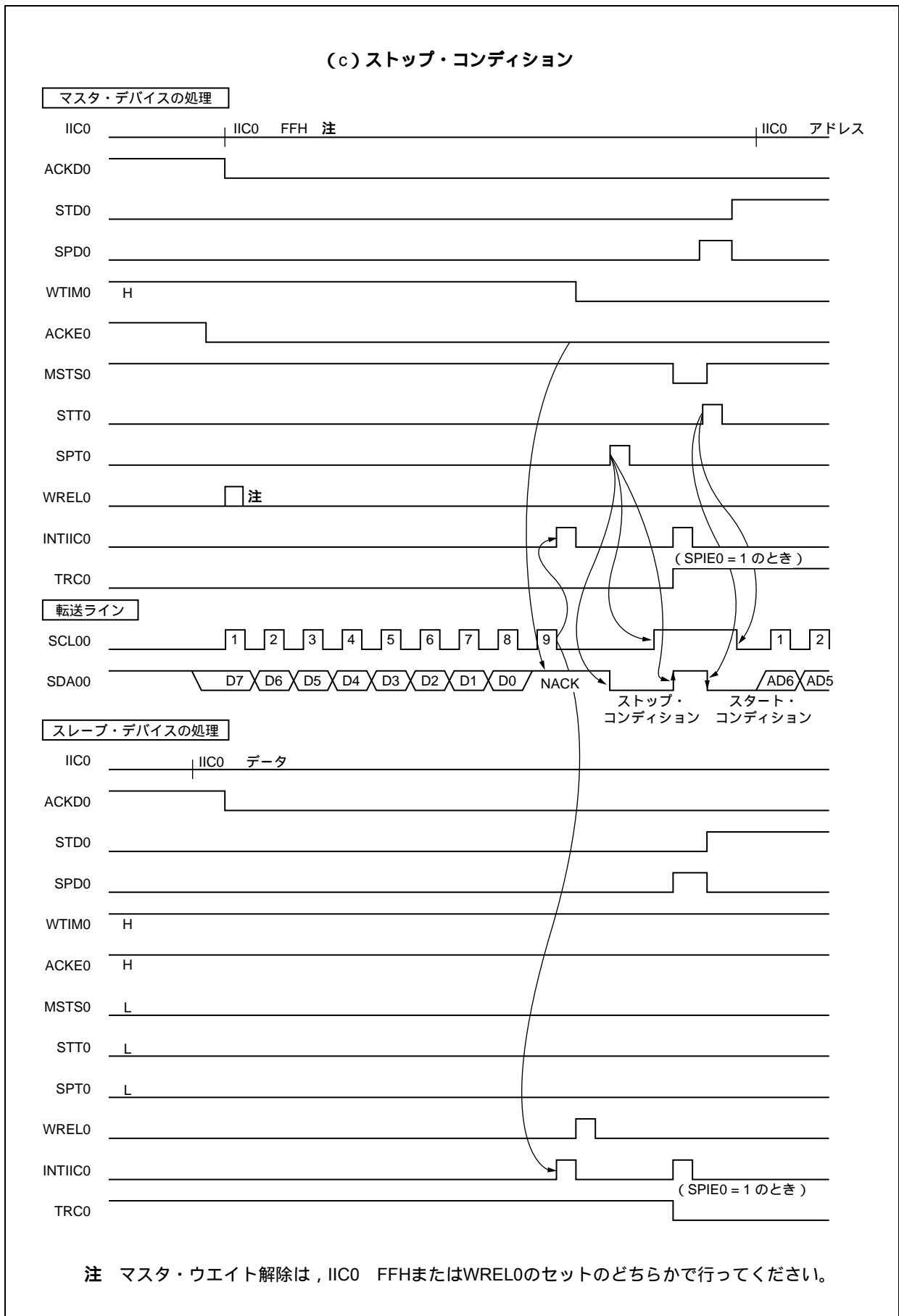


図16 - 21 スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)



第17章 CANコントローラ

17.1 概要

本製品は、CANプロトコルISO11898に準拠したCAN (Controller Area Network) コントローラを内蔵しています。次の表に各製品のチャンネル数を示します。

製品	V850ES/FE3-L	V850ES/FF3-L	V850ES/FG3-L
CAN			
チャンネル数	1		
名称	CAN0		

17.1.1 特徴

CANプロトコルISO11898準拠、ISO/DIS16845 (CANコンFORMANCE・テスト) 実施
標準フレーム、拡張フレームの送信 / 受信が可能

転送速度 最大1 Mbps (CANクロック入力 8 MHz時)

32メッセージ・バッファ / 1チャンネル

受信 / 送信履歴・リスト機能

自動ブロック送信機能

マルチ・バッファ受信ブロック機能

チャンネルごとに4パターンのマスクを設定可能

備考 n = 0-31

この章ではn = 0-31の場合について記述しています。

17.1.2 機能概要

表17 - 1に機能概要を示します。

表17 - 1 機能概要

機 能	詳 細
プロトコル	CANプロトコル ISO11898 (標準および拡張フレームの送受信)
ボー・レート	最大1 Mbps (CANクロック入力 8 MHz時)
データ・ストレージ	CAN専用RAMにメッセージを格納
メッセージ数	<ul style="list-style-type: none"> ・32メッセージ・バッファ / 1チャンネル ・各メッセージ・バッファは、送信メッセージ・バッファまたは受信メッセージ・バッファとして設定可能
メッセージ受信	<ul style="list-style-type: none"> ・各メッセージ・バッファに固有のIDを設定可能 ・チャンネルごとに4パターンのマスクを設定可能 ・メッセージ・バッファごとに受信完了割り込みの許可 / 禁止が設定可能 ・複数の受信用メッセージ・バッファをFIFO受信のバッファとして使用することが可能 (マルチ・バッファ受信ブロック機能) ・受信履歴・リスト機能
メッセージ送信	<ul style="list-style-type: none"> ・各メッセージ・バッファに固有のIDを設定可能 ・メッセージ・バッファごとに送信完了割り込みの許可 / 禁止が設定可能 ・送信メッセージ・バッファとして指定されたメッセージ・バッファ番号0-7は、自動ブロック転送に使用可能、またメッセージ送信間隔はプログラマブルに変更可能 (自動ブロック送信機能 (以下、ABTと記述)) ・送信履歴・リスト機能
リモート・フレーム処理	受信用メッセージ・バッファによるリモート・フレーム処理
タイム・スタンプ機能	<ul style="list-style-type: none"> ・16ビット・タイマとの併用でメッセージ受信に対してタイム・スタンプ機能を設定可能 ・タイム・スタンプ・キャプチャ・トリガの選択が可能 (CANメッセージ・フレーム内のSOFまたはEOF検出に切り替え可能) ・メッセージ送信に対してタイム・スタンプ機能を設定可能
診断機能	<ul style="list-style-type: none"> ・リード可能なエラー・カウンタ ・バス接続確認用 “有効プロトコル動作フラグ” ・受信オンリー・モード ・シングル・ショット・モード ・CANプロトコル・エラーの判別 ・セルフ・テスト・モード
バスオフ復帰機能	<ul style="list-style-type: none"> ・ソフトウェアにより強制的にバスオフから復帰させることが可能 (タイミングの制約を無視) ・バスオフからの自動復帰不可 (ソフトウェアによる復帰要求が必要)
パワー・セーブ・モード	<ul style="list-style-type: none"> ・CANスリープ・モード (CANバスによりウエイク・アップ可能) ・CANストップ・モード (CANバスによるウエイク・アップ不可)

17.1.3 構成

CANコントローラは、次の4つのブロックから構成されています。

(1) NPBインタフェース

NPB (NEC周辺I/Oバス)とのインタフェースと、CAN内部モジュールとCPUとのインタフェースを行うための機能ブロックです。

(2) MCM (Memory Control Module)

CANモジュール内のCANプロトコル・レイヤとCAN RAMへのアクセスを制御している機能ブロックです。

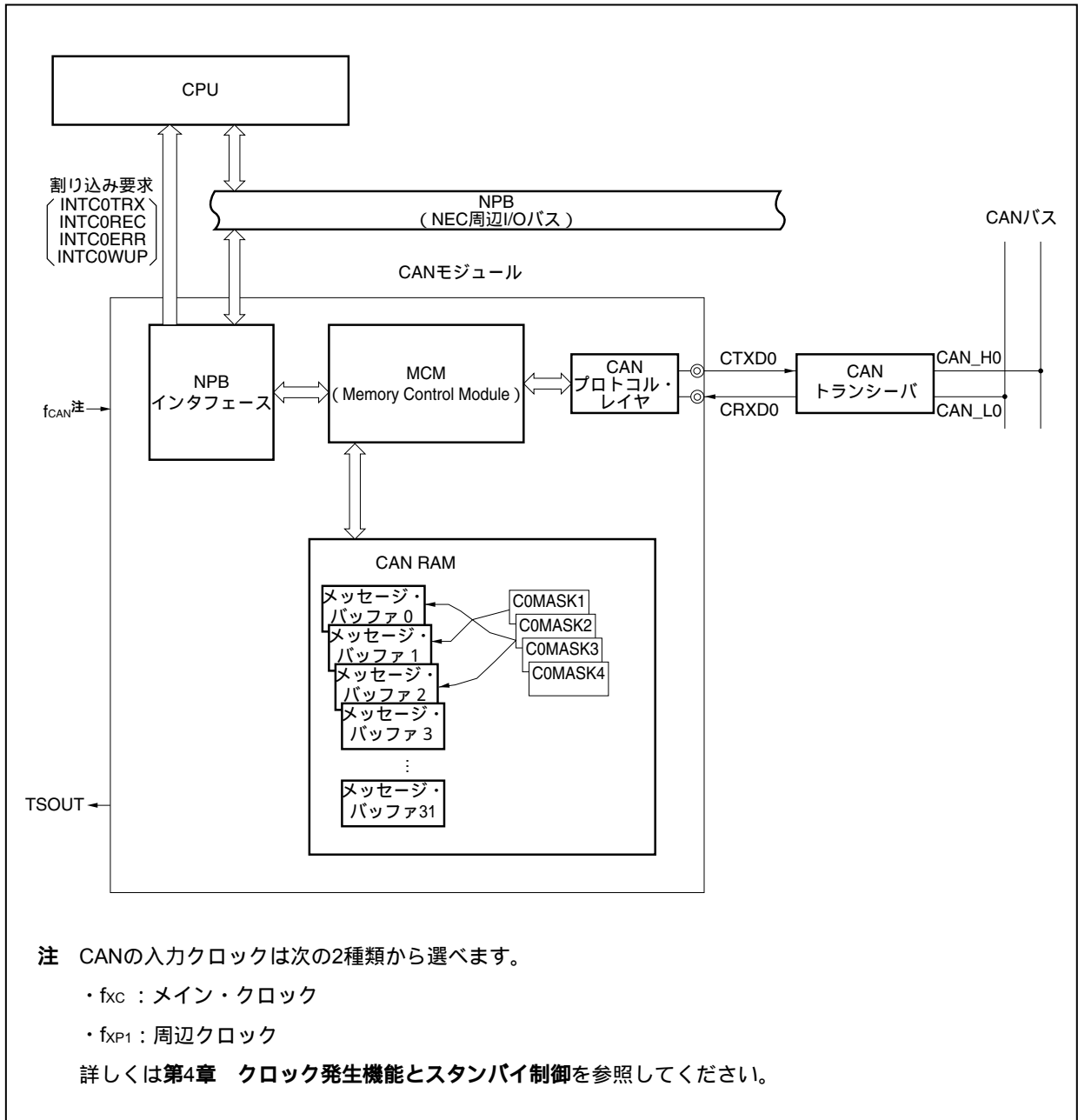
(3) CANプロトコル・レイヤ

CANのプロトコル・レイヤとその設定を行う機能ブロックです。

(4) CAN RAM

メッセージIDやメッセージ・データなどを格納するCAN専用のメモリ機能ブロックです。

図17-1 CANのブロック図

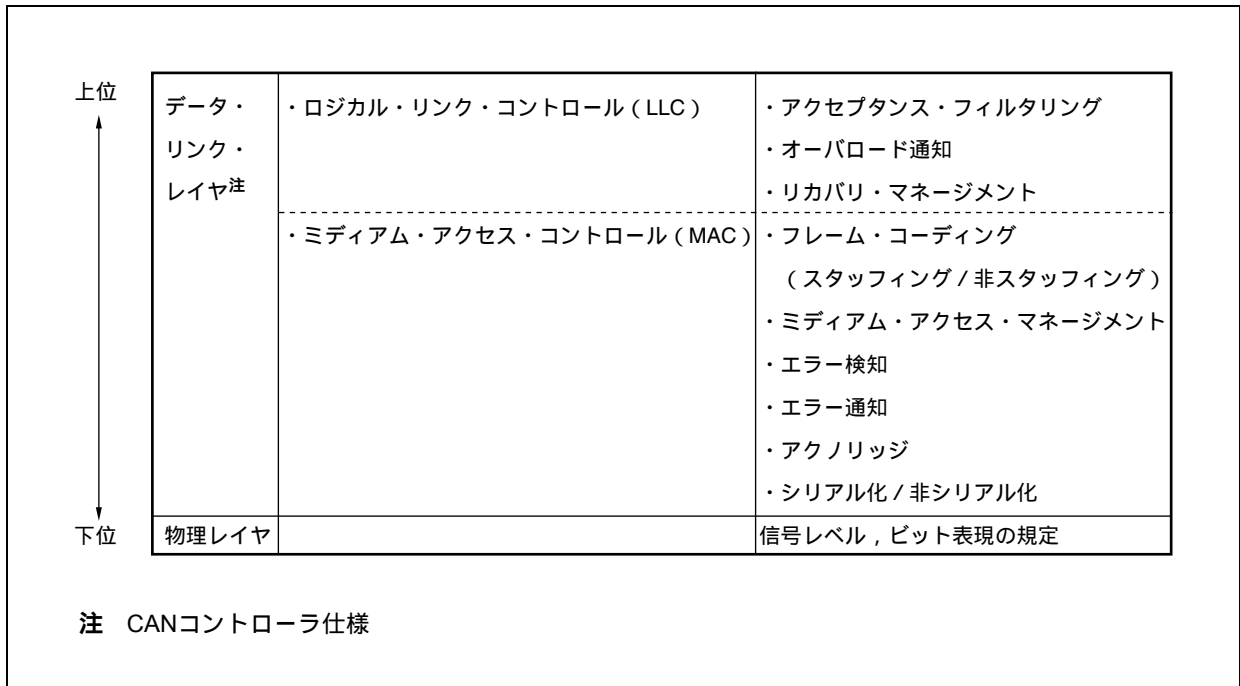


17.2 CANプロトコル

CAN(Controller Area Network)は、車体内リアルタイム通信用(クラスC)高速多重通信プロトコルです。CANはISO 11898で規定されています。詳細は、ISO 11898仕様を参照してください。

CANの仕様は、大きく分けて2つのレイヤ(物理レイヤとデータ・リンク・レイヤ)に分類されます。さらに、データ・リンク・レイヤは、ロジカル・リンク・コントロールとミディアム・アクセス・コントロールにより構成されています。各レイヤの構成は、次のようになります。

図17-2 各レイヤの構成



17.2.1 フレーム・フォーマット

(1) 標準フォーマット・フレーム

- ・標準フォーマット・フレームでは、アイデンティファイアが11ビットのため、2048種類のメッセージを扱うことができます。

(2) 拡張フォーマット・フレーム

- ・拡張フォーマット・フレームでは、アイデンティファイアが29ビット（11ビット+18ビット）に拡張され、扱えるメッセージ数が 2048×2^{18} 個になります。
- ・アービトラージ・フィールドのSRR/IDEビットがともに“レセシブ・レベル”（CMOSレベル = 1）の場合、拡張フォーマット・フレームになります。

17.2.2 フレーム・タイプ

CANプロトコルのフレームは、次の4種類に分けられます。

表17-2 フレームの種類

フレーム種類	説明
データ・フレーム	データを送信するためのフレーム
リモート・フレーム	データ・フレームを要求するためのフレーム
エラー・フレーム	エラー検知を通知するためのフレーム
オーバーロード・フレーム	次のデータ・フレームまたはリモート・フレームを遅らせるためのフレーム

(1) バスの値

バスの値には、ドミナントとレセシブの2通りがあります。

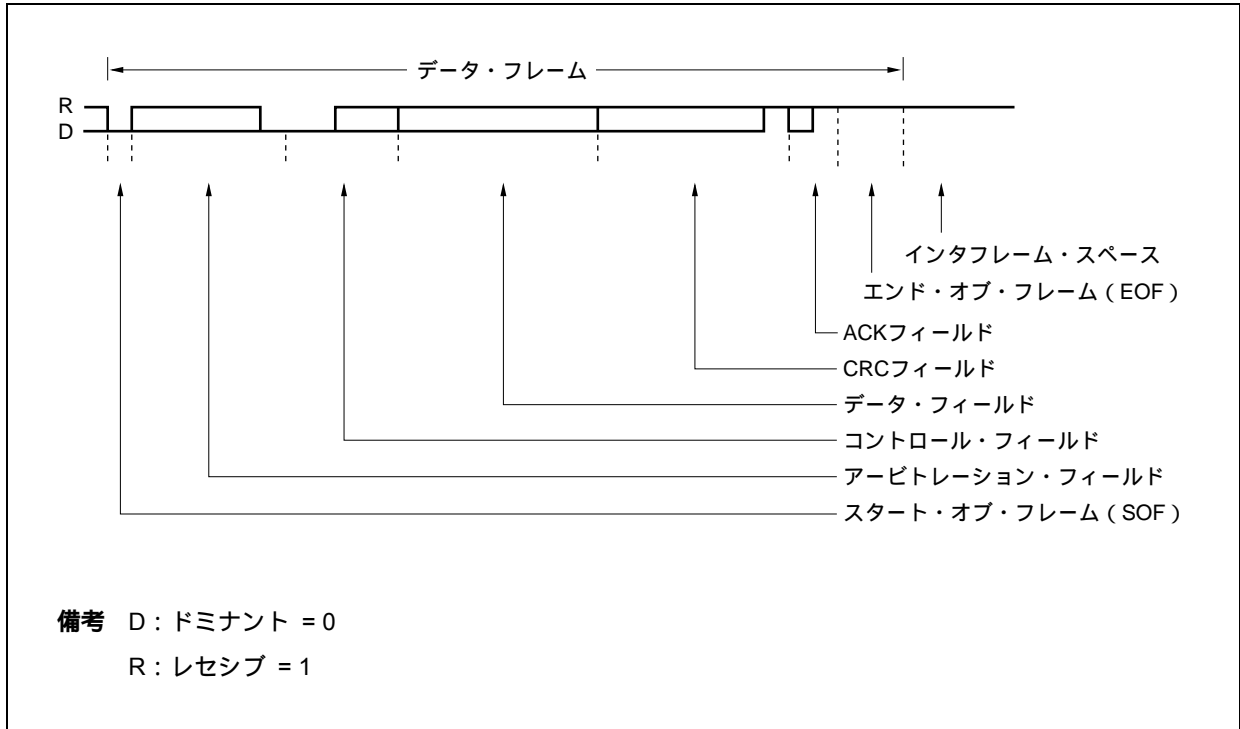
- ・ドミナント・レベルは論理0で表します。
- ・レセシブ・レベルは論理1で表します。
- ・ドミナント・レベルとレセシブ・レベルが同時送信された場合、バスの値はドミナント・レベルになります。

17.2.3 データ・フレーム/リモート・フレーム

(1) データ・フレーム

データ・フレームは、7つのフィールドにより構成されます。

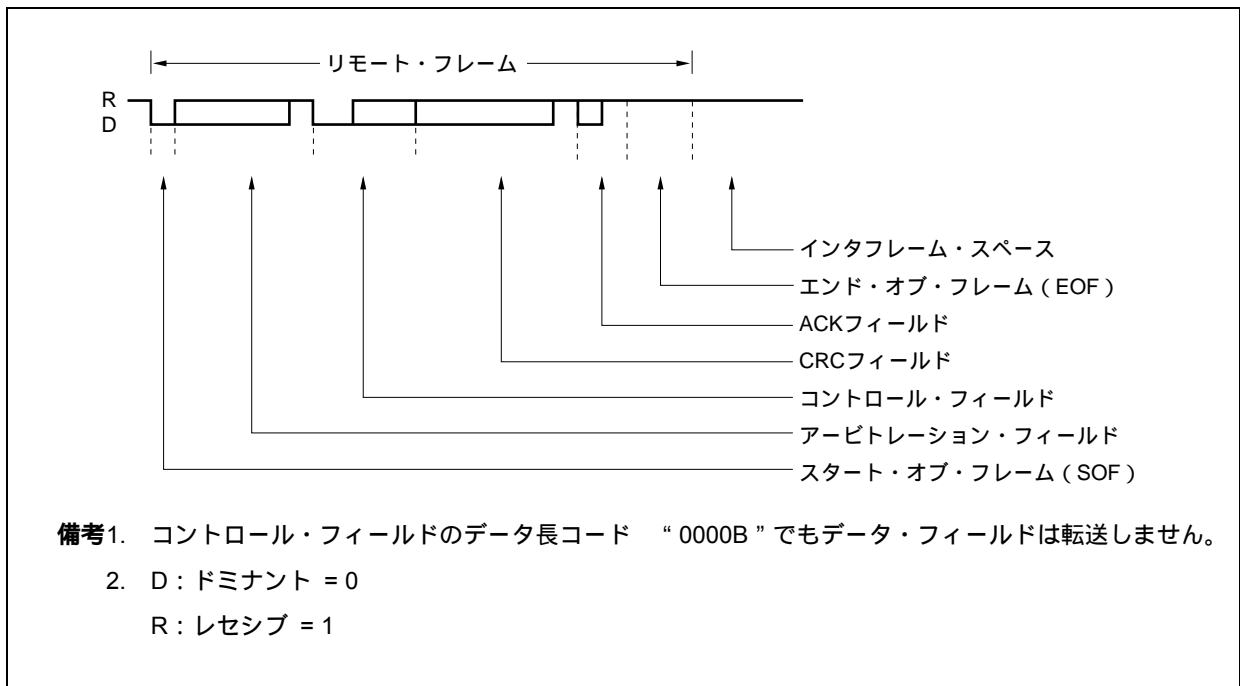
図17-3 データ・フレーム



(2) リモート・フレーム

リモート・フレームは、6つのフィールドにより構成されます。

図17-4 リモート・フレーム

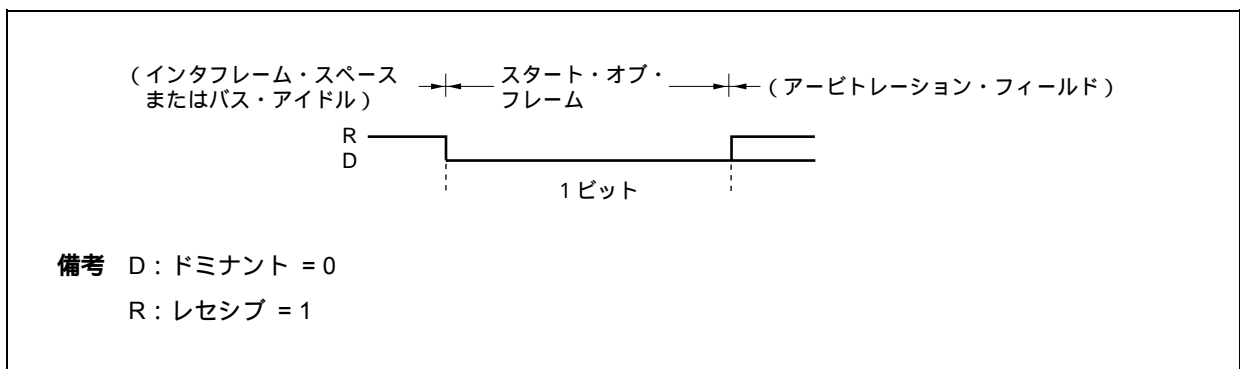


(3) 各フィールドの説明

スタート・オブ・フレーム (SOF)

スタート・オブ・フレームは、データ・フレーム，リモート・フレームの開始を示します。

図17-5 スタート・オブ・フレーム (SOF)



- ・バス・アイドル中にドミナント・レベルを検出すると、ハードウェア同期が実行されます(その際、該当するTQがシンク・セグメントになります)。
- ・ハードウェア同期に続くサンプル・ポイントで、ドミナント・レベルがサンプリングされると、そのビットはSOFになります。もし、レセシブ・レベルが検出されたときは、前述のドミナント・パルスはノイズと判断され、プロトコル・レイヤがバス・アイドル状態に戻ります。この場合はエラー・フレームを発生しません。

アービトレーション・フィールド

アービトレーション・フィールドは、プライオリティ、データ・フレーム/リモート・フレーム、フレーム・フォーマットの設定をします。

図17-6 アービトレーション・フィールド (標準フォーマット・モード時)

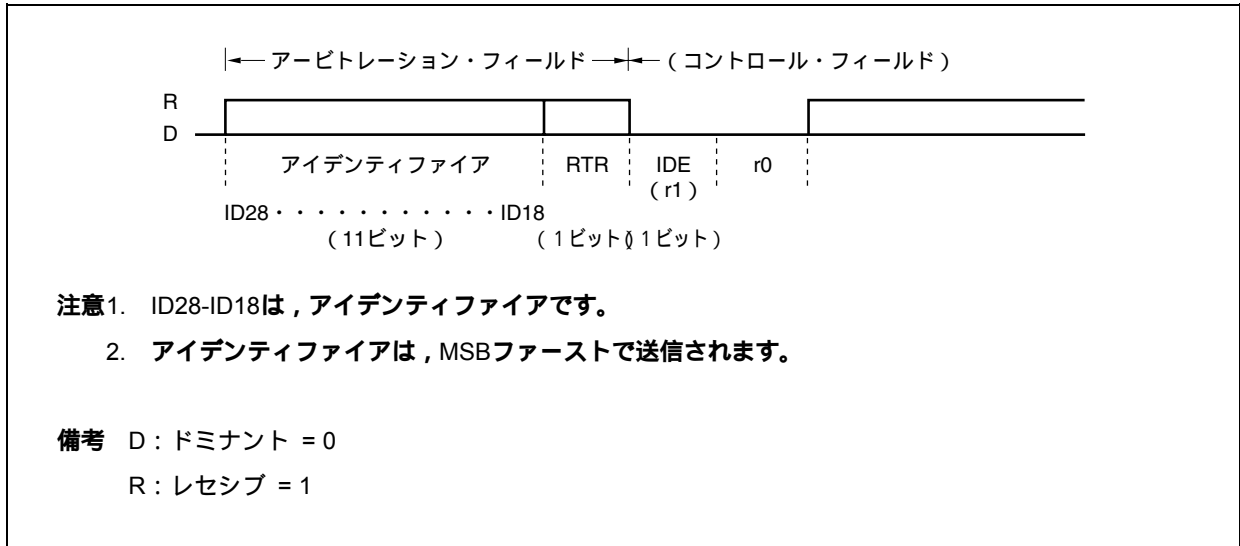


図17-7 アービトレーション・フィールド (拡張フォーマット・モード時)

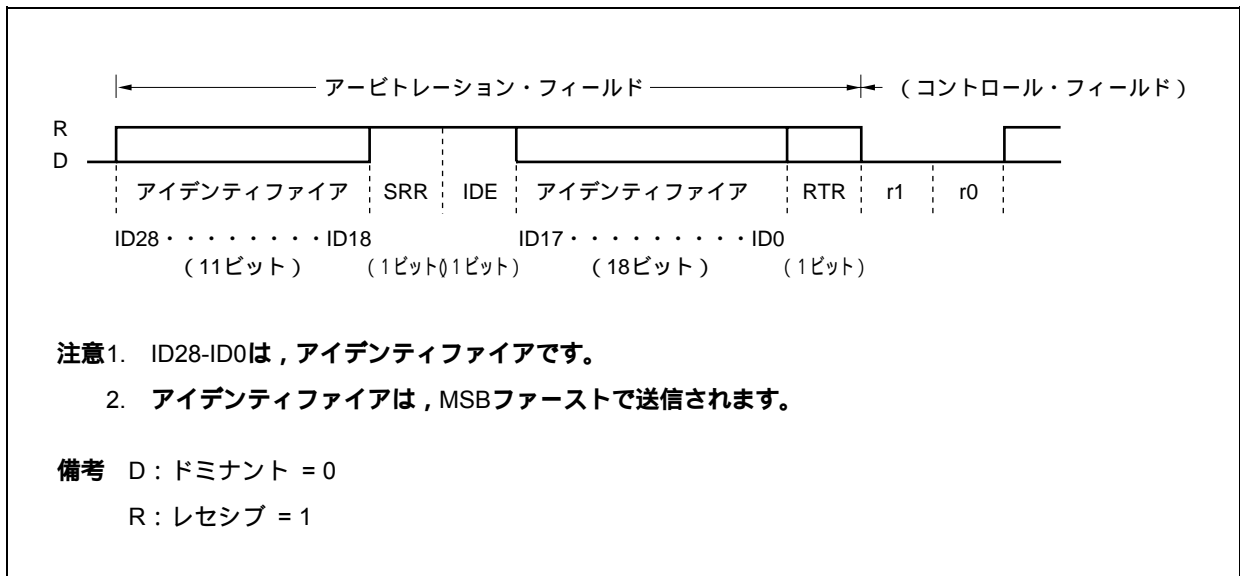


表17-3 RTRフレームの設定

フレームの種類	RTRビット
データ・フレーム	0 (D)
リモート・フレーム	1 (R)

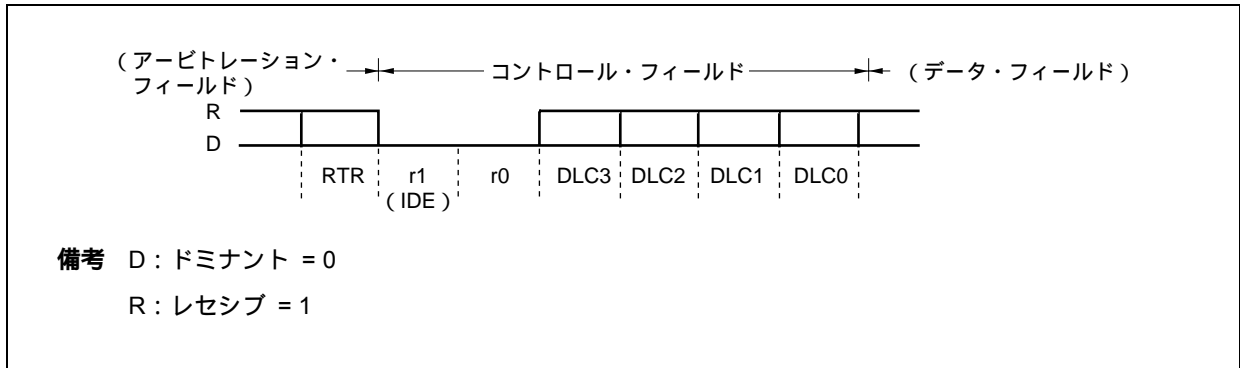
表17-4 フレーム・フォーマットの設定 (IDEビット) とアイデンティファイア (ID) のビット数

フレーム・フォーマット	SRRビット	IDEビット	ビット数
標準フォーマット・モード	なし	0 (D)	11ビット
拡張フォーマット・モード	1 (R)	1 (R)	29ビット

コントロール・フィールド

コントロール・フィールドは、データ・フィールドのデータ・バイト数DLCの設定をします(DLC = 0-8)。

図17-8 コントロール・フィールド



標準フォーマット・フレームでは、コントロール・フィールドのIDEビットとr1ビットは、同一となります。

表17-5 データ長の設定

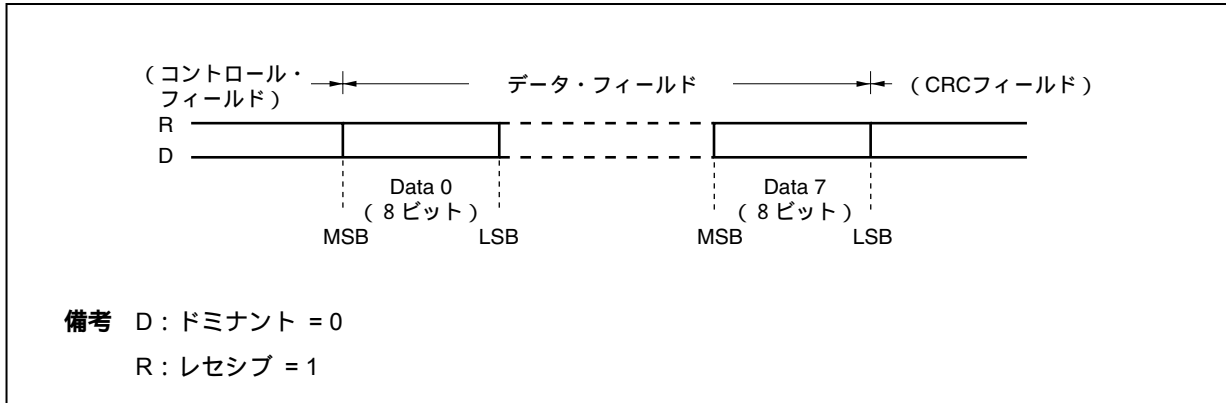
データ長コード				データのバイト数
DLC3	DLC2	DLC1	DLC0	
0	0	0	0	0バイト
0	0	0	1	1バイト
0	0	1	0	2バイト
0	0	1	1	3バイト
0	1	0	0	4バイト
0	1	0	1	5バイト
0	1	1	0	6バイト
0	1	1	1	7バイト
1	0	0	0	8バイト
上記以外				DLC3-DLC0の値にかかわらず8バイトになります。

注意 リモート・フレームの場合、データ長コード 0000Bであってもデータ・フィールドは発生しません。

データ・フィールド

データ・フィールドは、コントロール・フィールドで設定した個数のデータ群（バイト単位）で、最大8データ設定できます。

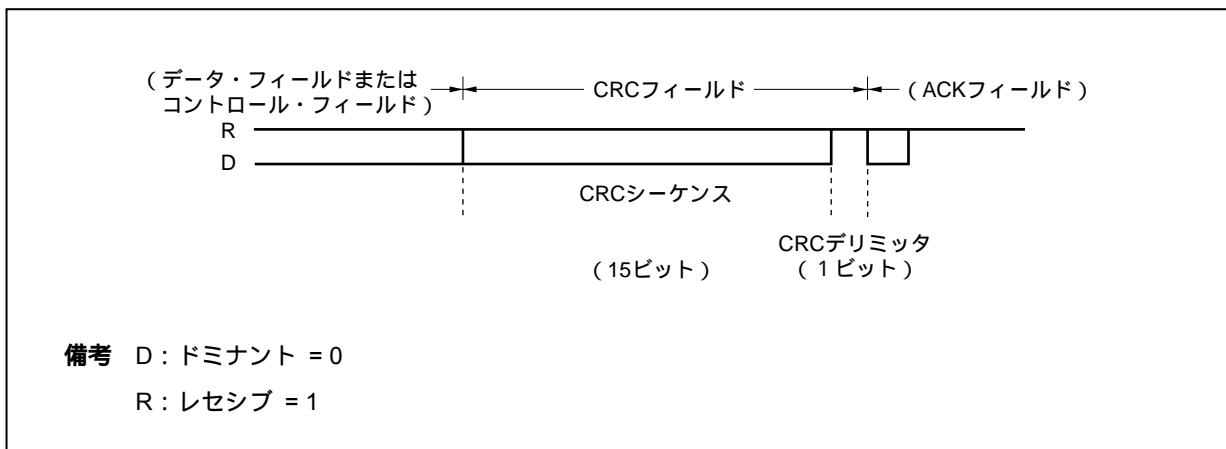
図17-9 データ・フィールド



CRCフィールド

CRCフィールドは、送信データの誤りをチェックするための16ビットのフィールドです。

図17-10 CRCフィールド



- ・ 15ビットのCRCシークエンスを生成する多項式 $P(X)$ は、次のようになります。

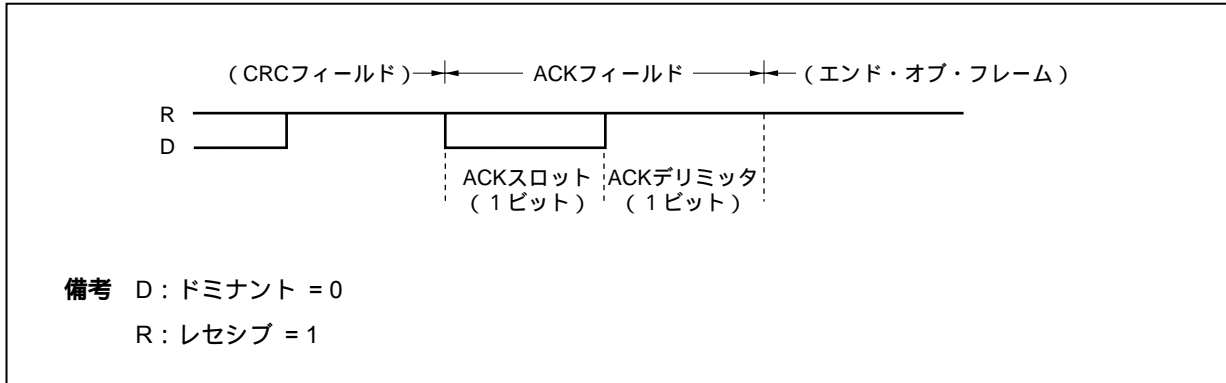
$$P(X) = X^{15} + X^{14} + X^{10} + X^8 + X^7 + X^4 + X^3 + 1$$

- ・ 送信ノード：スタート・オブ・フレーム、アービトレーション・フィールド、コントロール・フィールド、データ・フィールドのデータ（ビット・スタッフ処理前のデータ）より計算したCRCシークエンスを送信します。
- ・ 受信ノード：受信データのスタッフ・ビットを除いたデータ・ビットから計算したCRCシークエンスとCRCフィールドのCRCシークエンスを比較します。一致しない場合、ノードはエラー・フレームを送信します。

ACKフィールド

ACKフィールドは、正常受信確認のためのフィールドです。

図17 - 11 ACKフィールド

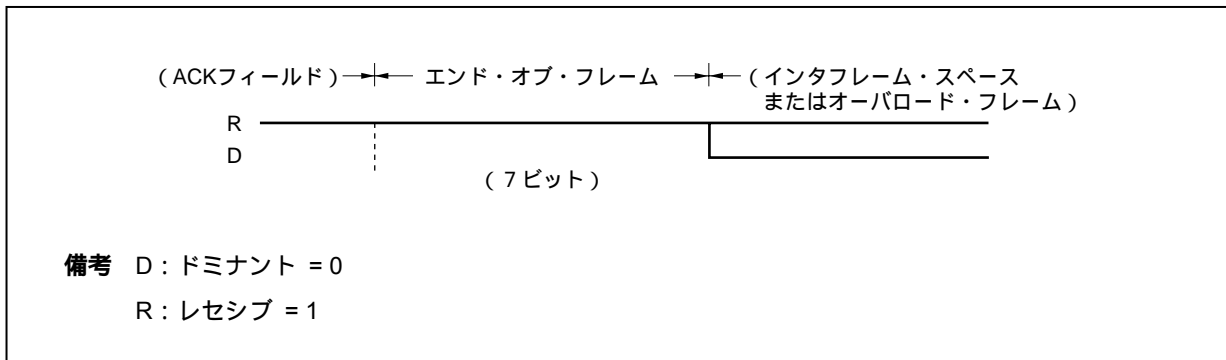


- ・CRCエラーが検出されない場合、受信ノードはACKスロットをドミナント・レベルにします。
- ・送信ノードは、2ビットのレセシブ・レベルを出力します。

エンド・オブ・フレーム (EOF)

エンド・オブ・フレームは、データ・フレーム/リモート・フレームの終了を示します。

図17 - 12 エンド・オブ・フレーム (EOF)



インタフレーム・スペース

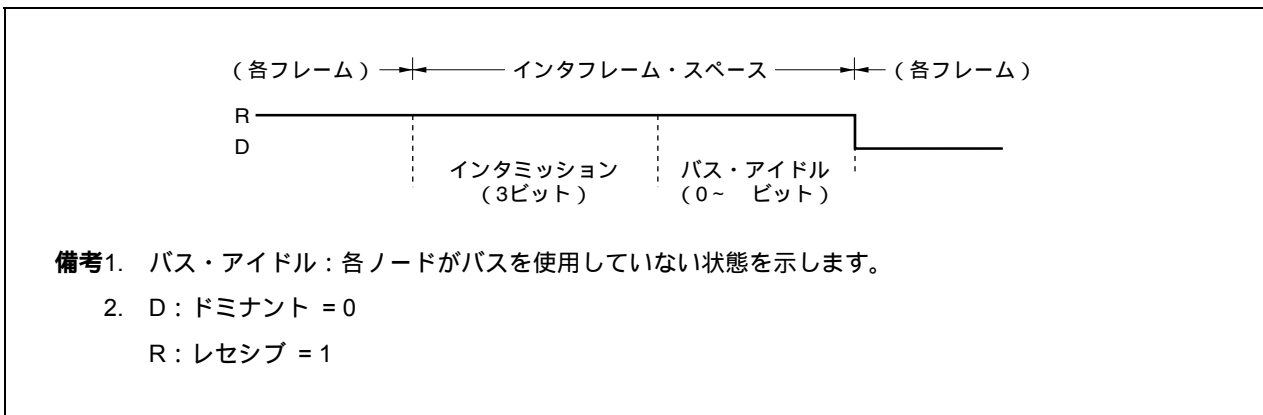
データ・フレーム，リモート・フレーム，エラー・フレーム，オーバロード・フレームから次のフレームの間に挿入されるフレームで，各フレーム間の区切りを示します。

・バスの状態は，エラー・ステータスにより異なります。

(a) エラー・アクティブ状態のノードの場合

3ビットのインタミッションとバス・アイドルより構成

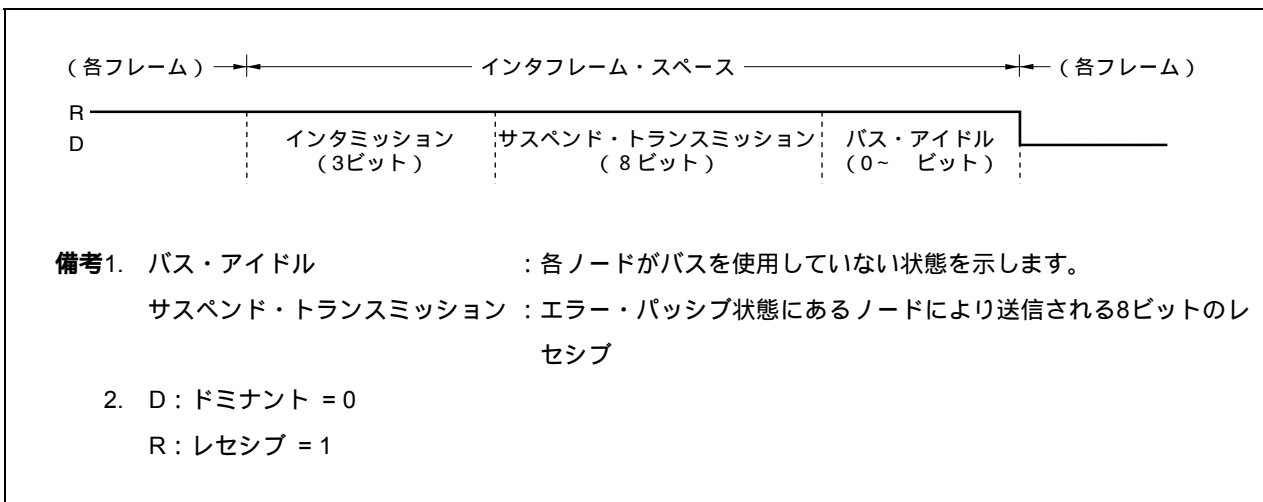
図17-13 インタフレーム・スペース(エラー・アクティブ状態のノードの場合)



(b) エラー・パッシブ状態のノードの場合

インタミッション，サスペンド・トランスミッション，バス・アイドルより構成

図17-14 インタフレーム・スペース(エラー・パッシブ状態のノードの場合)



通常，インタミッションは3ビットです。しかし，送信ノードがインタミッションの3ビット目でドミナント・レベルを検出した場合，送信を行います。

- ・エラー状態による動作

表17-6 エラー状態による動作

エラー状態	動作
エラー・アクティブ	3ビットのインタミッション後、ただちに送信可能状態になります。
エラー・パッシブ	インタミッションを終えてから、さらに8ビット待つて送信可能状態になります。

17.2.4 エラー・フレーム

エラー・フレームはエラーを検出したノードが出力します。

図17-15 エラー・フレーム

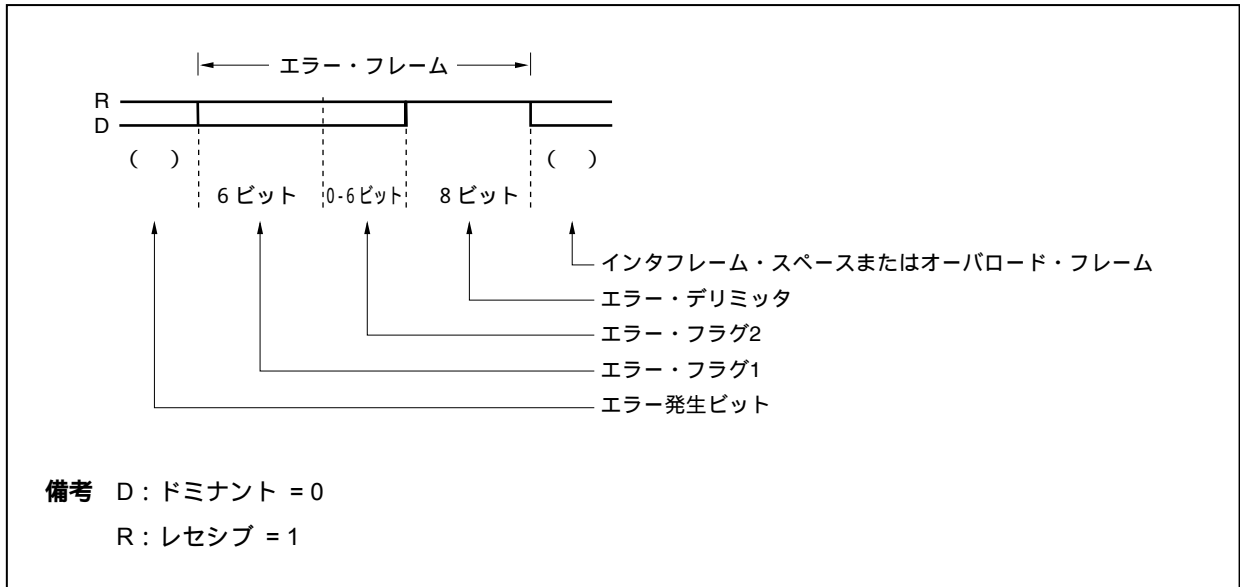


表17-7 エラー・フレームの各フィールドの定義

名称	ビット数	定義
エラー・フラグ1	6	エラー・アクティブ・ノード: 6ビットのドミナント・レベルを連続出力します。 エラー・パッシブ・ノード: 6ビットのレセシブ・レベルを連続出力します。 パッシブ・エラー・フラグを出力中、ほかのノードがドミナント・レベルを出力した場合、パッシブ・エラー・フラグは、同一レベルを6ビット連続して検出するまで終了しません。
エラー・フラグ2	0~6	エラー・フラグ1を受信したノードが、ビット・スタッフ・エラーを検出して再度出力するエラー・フラグです。
エラー・デリミッタ	8	8ビットのレセシブ・レベルを連続出力します。 8ビット目にドミナント・レベルを検出した場合、次のビットからオーバーロード・フレームを送信します。
エラー発生ビット	-	エラーが検出されたビットです。 エラー・フラグは、エラー発生ビットの次のビットから出力されます。 CRCエラーの場合は、ACKデリミッタに続いて出力されます。
インタフレーム・スペース/ オーバーロード・フレーム	-	インタフレーム・スペース、またはオーバーロード・フレームが続きます。

17.2.5 オーバロード・フレーム

オーバロード・フレームは、次の条件が発生した場合に送信されます。

- ・受信ノードが受信動作未了のとき^注
- ・インタミッション中の最初の2ビットにドミナント・レベルを検出したとき
- ・エンド・オブ・フレームの最終ビット（7ビット目）、またはエラー・デリミッタ/オーバロード・デリミッタの最終ビット（8ビット目）にドミナント・レベルを検出したとき

注 CANでは、内部処理が十分に早いいため、オーバロード・フレームを出力することなく、すべての受信フレームを取り込むことができます。

図17-16 オーバロード・フレーム

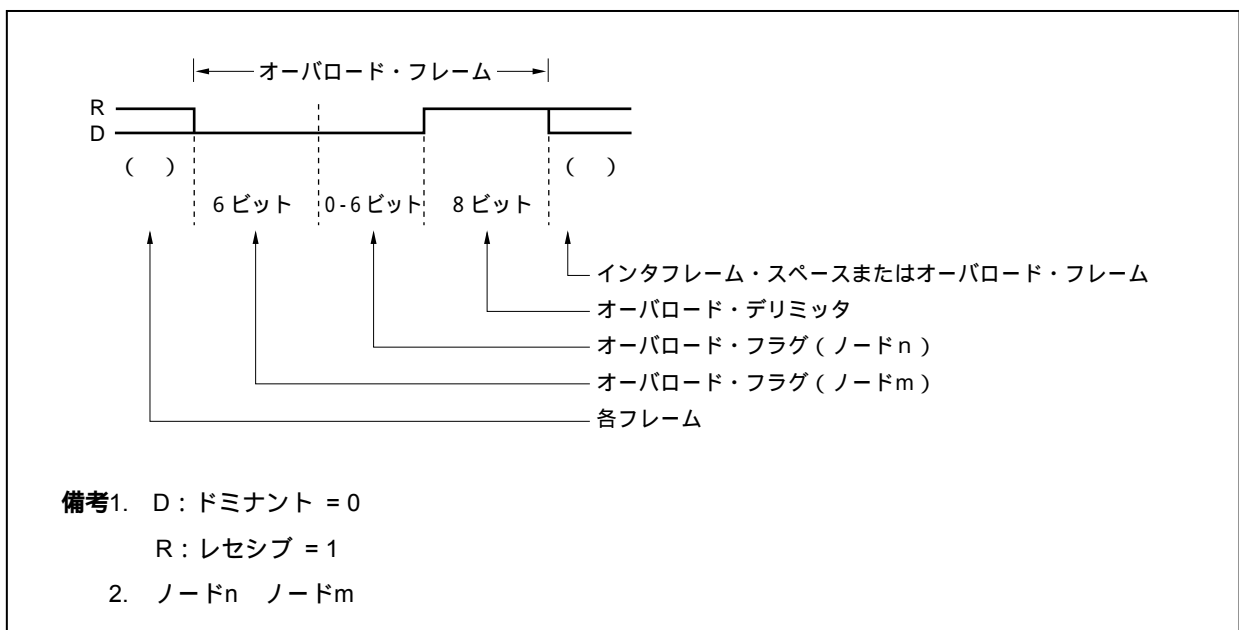


表17-8 オーバロード・フレームの各フィールドの定義

No	名称	ビット数	定義
	オーバロード・フラグ	6	6ビットのドミナント・レベルを連続出力します。
	他ノードからのオーバロード・フラグ	0~6	インタフレーム・スペース中にオーバロード・フラグを受信したノードは、オーバロード・フラグを出力します。
	オーバロード・デリミッタ	8	8ビットのレセシブ・レベルを連続出力します。 8ビット目にドミナント・レベルを検出した場合、次のビットからオーバロード・フレームを送信します。
	各フレーム	-	エンド・オブ・フレーム, エラー・デリミッタ, オーバロード・デリミッタに続いて出力します。
	インタフレーム・スペース/ オーバロード・フレーム	-	インタフレーム・スペース, またはオーバロード・フレームが続きます。

17.3 機能

17.3.1 バス・プライオリティの決定

(1) 1個のノードが送信を開始した場合

- ・バス・アイドル中に、先にデータを出力したノードが送信をします。

(2) 複数のノードが送信を開始した場合

- ・アービトレーション・フィールドの第1ビットから、ドミナント・レベルを最も長く連続出力したノードがバス・プライオリティを獲得します(ドミナント・レベルとレセシブ・レベルが同時送信された場合、バスの値はドミナント・レベルになります)。
- ・送信ノードは、自分の出力したアービトレーション・フィールドとバス上のデータ・レベルを比較します。

表17-9 バス・プライオリティの決定

レベルの一致	送信を継続します。
レベルの不一致	不一致を検出した次のビットからデータ出力を停止し、受信動作になります。

(3) データ・フレームとリモート・フレームのプライオリティ

- ・データ・フレームとリモート・フレームがバス上で競合した場合、アービトレーション・フィールドの最終ビットであるRTRがドミナント・レベルであるデータ・フレームが優先されます。

注意 拡張フォーマット・フレームのデータ・フレームと標準フォーマット・フレームのリモート・フレームがバス上で競合した場合(双方のID28-ID18が同じ場合)、標準フォーマット・フレームのリモート・フレームが優先されます。

17.3.2 ビット・スタッフ

ビット・スタッフは、パースト・エラーを防ぐために、同一レベルが5ビット連続した場合、1ビットの反転データを付加して、同期をとる仕組みです。

表17-10 ビット・スタッフ

送信	データ・フレーム、リモート・フレームを送信する際に、スタート・オブ・フレーム～CRCフィールド間のデータで同一レベルが5ビット連続した場合、次のビットの前に、前5ビットのレベルを反転した1ビットのレベル・データを挿入します。
受信	データ・フレーム、リモート・フレームの受信時、スタート・オブ・フレーム～CRCフィールド間のデータで同一レベルが5ビット連続した場合、次の1ビットを削除して受信します。

17.3.3 マルチマスタ

アイデンティファイアによりバス・プライオリティ(送信権利を獲得するノード)を決定するため、どのノードでもバス・マスタになることができます。

17.3.4 マルチキャスト

送信ノードは1つですが、同一のアイデンティファイアを複数のノードに設定できるため、複数のノードで同時に同一データの受信ができます。

17.3.5 CANスリープ・モード/CANストップ・モード機能

CANスリープ・モード/CANストップ・モード機能により、CANコントローラを待機状態にすることで消費電力を低減できます。

CANスリープ・モードはバスの動作でウエイク・アップしますが、CANストップ・モードはバスの動作でウエイク・アップしません（CPUアクセスにより制御されます）。

17.3.6 エラー制御機能

(1) エラーの種類

表17-11 エラーの種類

エラーの種類	エラーの説明		検出する状態	
	検出方法	検出条件	送信/受信ノード	フィールド/フレーム
ビット・エラー	出力レベルとバス上のレベルとの比較	両レベルの不一致	送信/受信ノード	スタート・オブ・フレーム～エンド・オブ・フレーム, エラー・フレーム, オーバロード・フレームでバス上にデータを出力しているビット。
スタッフ・エラー	スタッフ・ビットでの受信データのチェック	同一レベル・データの6ビット連続	受信ノード	スタート・オブ・フレーム～CRCシーケンス
CRCエラー	受信データから生成したCRCと受信したCRCシーケンスとの比較	CRCの不一致	受信ノード	CRCフィールド
フォーム・エラー	固定フォーマットのフィールド/フレームのチェック	固定フォーマット違反の検出	受信ノード	・CRCデリミッタ ・ACKフィールド ・エンド・オブ・フレーム ・エラー・フレーム ・オーバロード・フレーム
ACKエラー	送信ノードによるACKスロットのチェック	ACKスロットでレセシブ・レベルを検出	送信ノード	ACKスロット

(2) エラー・フレームの出力タイミング

表17-12 エラー・フレームの出力タイミング

エラーの種類	出力タイミング
ビット・エラー, スタッフ・エラー, フォーム・エラー, ACKエラー	エラーを検出した次のビット・タイミングからエラー・フレームを出力します。
CRCエラー	ACKデリミッタの次のビット・タイミングからエラー・フレームを出力します。

(3) エラー発生時の処置

送信ノードは、エラー・フレーム後にデータ・フレーム、またはリモート・フレームの再送を行います。
(ただし、シングル・ショット・モード時には再送は行いません)。

(4) エラー状態

(a) エラー状態の種類

CANスペックで規定されているエラーの状態には次の3種類があります。

- ・エラー・アクティブ
- ・エラー・パッシブ
- ・バスオフ

これらは、CANエラー・カウンタ・レジスタ (C0ERC) のTEC7-TEC0ビット (送信エラー・カウンタ・ビット) およびREC6-REC0ビット (受信エラー・カウンタ・ビット) の値によって表17 - 13のように分類されます。

現在のエラー状態はCANモジュール情報レジスタ (C0INFO) に表示されています。

各エラー・カウンタ値がエラー・ワーニング・レベル(96)以上になると、C0INFOレジスタのTECS0ビットあるいはRECS0ビットが1にセットされます。この場合、バスに重度の障害があると考えられるため、バス状態をテストする必要があります。各エラー・カウンタ値が128以上になると、エラー・パッシブ状態となり、C0INFOレジスタのTECS1ビットあるいはRECS1ビットがセット(1)されます。

- ・送信エラー・カウンタ値が256以上 (実際には送信エラー・カウンタ値は256以上の値は表示しません) になると、バスオフ状態となり、C0INFOレジスタのBOFFビットがセット(1)されます。
- ・スタート・アップ時、バス上に1個のノードしかアクティブでない場合 (= 自局のみバスに接続されている場合)、データを送信してもACKが返ってこないためエラー・フレームとデータの再送を繰り返しますが、エラー・パッシブ状態に移行したあとの送信エラー・カウンタはインクリメントされず、バスオフには移行しません。

表17 - 13 エラー状態の種類

エラー状態の種類	動作	エラー・カウンタの値	COINFOレジスタの表示	そのエラー状態特有の動作
エラー・アクティブ	送信	0-95	TECS1, TECS0が00	・エラー検知時にアクティブ・エラー・フラグ (6ビットのドミナント・レベルの連続) を出力
	受信	0-95	RECS1, RECS0が00	
	送信	96-127	TECS1, TECS0が01	
	受信	96-127	RECS1, RECS0が01	
エラー・パッシブ	送信	128-255	TECS1, TECS0が11	・エラー検知時にパッシブ・エラー・フラグ (6ビットのレセシブ・レベルの連続) を出力 ・送信と送信の間に、インタミッションに続いて8ビットのレセシブ・レベルを送信 (サスペンド・トランスミッション)
	受信	128以上	RECS1, RECS0が11	
バスオフ	送信	256以上 (表示はしない) ^注	BOFFが1, TECS1, TECS0が11	・通信できません。 ただし、フレーム受信時にメッセージは格納しませんが、以下の , , の動作を行います。 TSOUTがトグルします。 RECが+/- します。 VALIDビットがセットされます。 ・初期化モードに遷移し、のちに初期化モード以外のいずれかの動作モードに遷移要求を行ったあと、11ビット連続でレセシブ・レベルが128回発生すると、エラー・カウンタが0にリセットされ、エラー・アクティブ状態に戻ることができます。

注 送信エラー・カウンタ (TEC) の値は、BOFFビットがセットされたときには意味を持ちません。送信エラー・カウンタが248-255の範囲の値のとき、さらに+8のインクリメントを行うようなエラーを検知した際は、カウンタ値はインクリメントされずにバスオフ状態となります。

(b) エラー・カウンタ

エラー・カウンタは、エラーが発生した場合にカウント・アップし、送信、受信が正常に行われた場合にカウント・ダウンします。カウント・アップのタイミングは、エラーが検出された直後になります。

表17-14 エラー・カウンタ

状 態	送信エラー・カウンタ (TEC7-TEC0ビット)	受信エラー・カウンタ (REC6-REC0ビット)
受信ノードがエラーを検出 (アクティブ・エラー・フラグ, オーバロード・フラグ中のビット・エラーを除く)	変化なし	+1 (REPSビット = 0時)
受信ノードがエラー・フレームのエラー・フラグ出力の次にドミナント・レベルを検出	変化なし	+8 (REPSビット = 0時)
送信ノードがエラー・フラグを送信 [例外として, 次の場合のエラー・カウンタは変化しません] エラー・パッシブ状態で, ACKエラーを検出しパッシブ・エラー・フラグを出力中にドミナント・レベルを未検出 アービトラージョン・フィールド中にスタッフ・エラーを検出し, それがスタッフ・ビットとしてレセプティブ・レベルを送信したが, ドミナント・レベルを検出	+8	変化なし
アクティブ・エラー・フラグ, オーバロード・フラグ出力中のビット・エラー検出 (エラー・アクティブの送信ノード)	+8	変化なし
アクティブ・エラー・フラグ, オーバロード・フラグ出力中のビット・エラー検出 (エラー・アクティブの受信ノード)	変化なし	+8 (REPSビット = 0時)
各ノードがアクティブ・エラー・フラグ, オーバロード・フラグの最初から14個の連続したドミナント・レベルを検出, およびそれ以降の8個連続のドミナント・レベルを検出 各ノードがパッシブ・エラー・フラグのあと, 8個連続のドミナント・レベルを検出	+8 (送信時)	+8 (受信時, REPSビット = 0時)
送信ノードがエラーなしで, 送信を完了 (エラー・カウンタ = 0の場合は±0)	-1	変化なし
受信ノードがエラーなしで, 受信を完了	変化なし	・ -1 (1 REC6-REC0 127, REPSビット = 0時) ・ ±0 (REC6-REC0 = 0, REPSビット = 0時) ・ 119~127のいずれかの値をセットする。 (REPSビット = 1時)

(c) インタミッション中のビット・エラーの発生

オーバロード・フレームを発生します。

注意 エラー発生時のエラー制御は、そのエラーが発生する前の送信エラー・カウンタと受信エラー・カウンタの内容によって行います。エラー・カウンタの値はエラー・フラグを出力したあとに加算します。

(5) バスオフ状態からの復帰動作

CANモジュールが、バスオフ状態になった場合、CANバスから切り離された送信端子 (CTXD0) は、常にレセシブ・レベルの出力となります。

バスオフ状態からの復帰は、次に示すバスオフ復帰 (リカバリ) シーケンスにより行います。

CAN初期化モードへの移行要求

CAN動作モードへの移行要求

(a) 通常リカバリ・シーケンスによる復帰動作

(b) リカバリ・シーケンスをスキップする強制復帰動作

(a) 通常リカバリ・シーケンスによるバスオフからの復帰動作

まず、初期化モードへの移行要求を行います (図17 - 17中のタイミング 参照)。この移行要求は直ちに受け付けられ、C0CTRLレジスタのOPMODEビットは000Bとなります。アプリケーション・ソフトウェアにより、バスオフの原因となった故障の解析、CANモジュールおよびメッセージ・バッファの再定義、あるいはGOMビットをクリア (0) することで、CANモジュール自体の動作停止といった処置を行うことが可能です。

次に、初期化モードから任意の動作モードへの移行要求を行います (図17 - 17中のタイミング 参照)。この任意の動作モードへの移行要求を行うことで、バスオフからのリカバリ動作が開始されます。バスオフからのリカバリ条件は、CANプロトコルISO11898に規定されており、11ビットの連続したレセシブ・ビットを128回以上検出することが必要です。このとき、任意の動作モードへの移行要求はバスオフのリカバリ条件が満足するまでは保留され、バスオフのリカバリ条件が満足した時点 (図17 - 17中のタイミング 参照) でCANモジュールは要求された動作モードに移行します。この間、CANモジュールは初期化モードを維持し、任意の動作モードへの移行の完了は、C0CTRLレジスタのOPMODEをリードすることにより確認できます。なお、任意の動作モードへの移行が完了するまでは、OPMODE [2:0] = 000Bがリードされます。

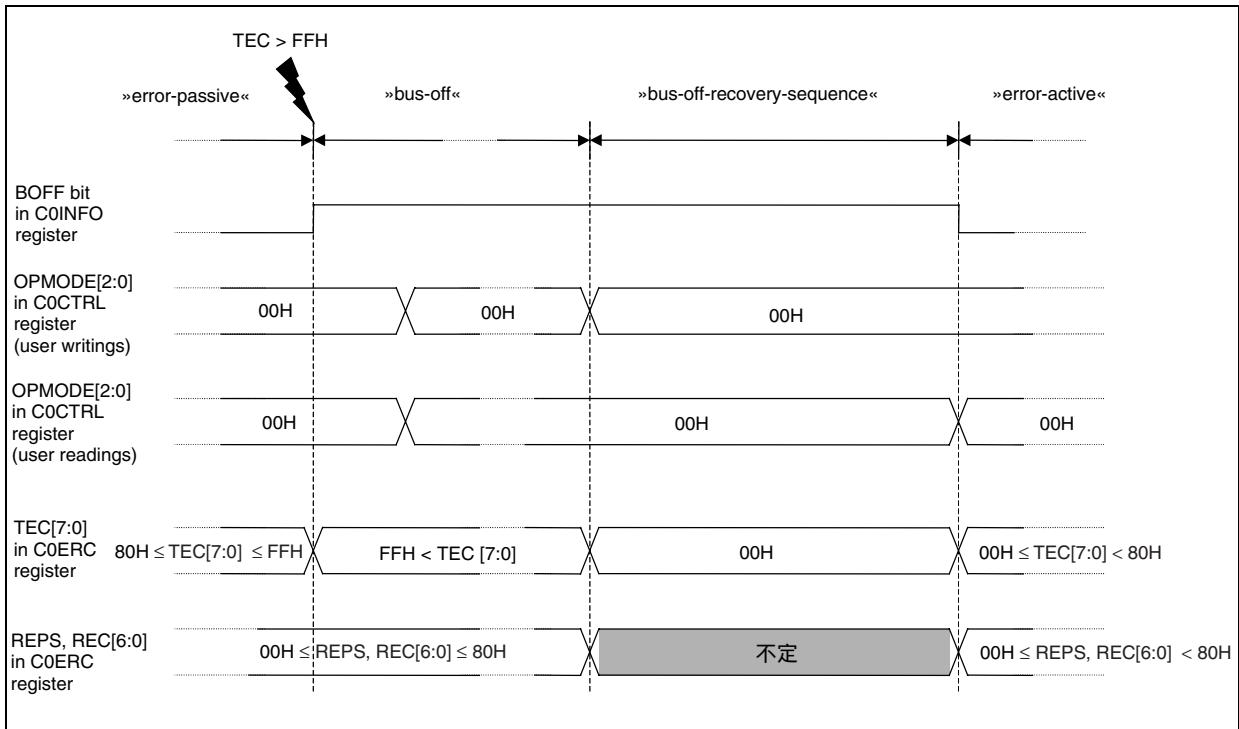
バスオフ期間中およびバスオフ・リカバリ・シーケンス中は、C0INFOレジスタのBOFFビットはセット (1) を継続します。バスオフ・リカバリ・シーケンスは、受信エラー・カウンタ (REC [6:0]) により、バス上で検出される11ビットの連続したレセシブ・ビットの回数をカウントしていますので、REC [6:0]をリードすることにより復帰状況を確認することができます。

注意1. バスオフ・リカバリ・シーケンス中にもう一度バスオフ・リカバリ・シーケンスを行うために、初期化モードから任意の動作モードへ移行要求を行った場合は、最初からバスオフ・リカバリ・シーケンスが開始され、もう一度バス上に11ビットの連続したレセシブ・ビットを128回カウントすることになります。

2. バスオフ・リカバリ・シーケンス中は、REC [6:0]は11ビットの連続したレセシブ・ビットを検出するたびにカウントアップ (+1) します。

バスオフ期間中でもCANモジュールはCANスリープ・モードやCANストップ・モードに移行することができます。バスオフを解除するためには、初期化モードにいったん移行する必要がありますが、CANモジュールがCANスリープ・モードやCANストップ・モードである場合は、直接初期化モードへは移行することができません。この場合は初期化モードへの移行を行わなくても、CANスリープ・モードが解除される際に同時にバスオフ・リカバリ・シーケンスが開始されます。ソフトウェアによるPSMODEのクリアのほかにも、CANバス上のドミナント・エッジ検知によるウエイク・アップによっても、バスオフ・リカバリ・シーケンスは開始されます (CANクロックが供給されている状態では、ドミナント・エッジ検知後にソフトウェアによるPSMODEのクリアが必要となります)。

図17 - 17 通常リカバリ・シーケンスによるバスオフからの復帰動作



(b) バスオフ・リカバリ・シーケンスをスキップする強制復帰動作

バスオフ・リカバリ・シーケンスをスキップすることで、バスの状態によらずCANモジュールを強制的にバスオフから復帰させることが可能です。手順を以下に示します。

まず、初期化モードへの移行要求を行います。このときの動作および注意事項は、17.3.6(5)(a) 通常リカバリ・シーケンスによるバスオフからの復帰動作を参照してください。

次に、任意の動作モードへの移行要求を行い、同時にC0CTRLレジスタのCCERCビットをセット(1)します。

これにより、CANプロトコルISO11898で規定されているバスオフのリカバリ・シーケンスがスキップされ、ただちに動作モードへの移行が行われます。この場合、CANバスへの再接続はCANモジュールが連続した11ビットのレセシブ・ビットのモニタ後に行われます。詳細は、図17-55 バスオフからのリカバリ処理 (ABT付き通常動作モード以外の場合) を参照してください。

注意 この機能は、CANプロトコルISO11898に規定されておりませんので、ご使用の際にはネットワーク・システムへの影響を十分にご確認ください。

(6) 初期化モード中のCANモジュール・エラー・カウンタ・レジスタ (C0ERC) の初期化

プログラム・デバッガや評価のために、CANモジュール・エラー・カウンタ・レジスタ (C0ERC) , およびCANモジュール情報レジスタ (C0INFO) の初期化が必要となる場合には、初期化モード中にC0CTRLレジスタのCCERCビットをセット(1)することで、C0ERC, C0INFOレジスタは初期値に初期化されます。初期化が完了すると、CCERCビットは自動的にクリア(0)されます。

- 注意1.** この機能は、初期化モード中でのみ有効です。任意のCAN動作モード中でCCERCビットをセット(1)したとしても、C0ERC, C0INFOレジスタは初期化されません。
- 2.** CCERCビットのセットは、任意のCAN動作モードへの移行要求と同時にすることも可能です。

17.3.7 ボー・レート制御機能

(1) プリスケーラ

CANコントローラは、CANへの供給クロック (f_{CAN}) を分周するプリスケーラを持っています。また、プリスケーラは、CANモジュール・システム・クロック (f_{CANMOD}) を1-256分周したCANプロトコル・レイヤ基本クロック (f_{TQ}) を発生します (17.6 (12) CANモジュール・ビット・レート・プリスケーラ・レジスタ (C0BRP) 参照)。

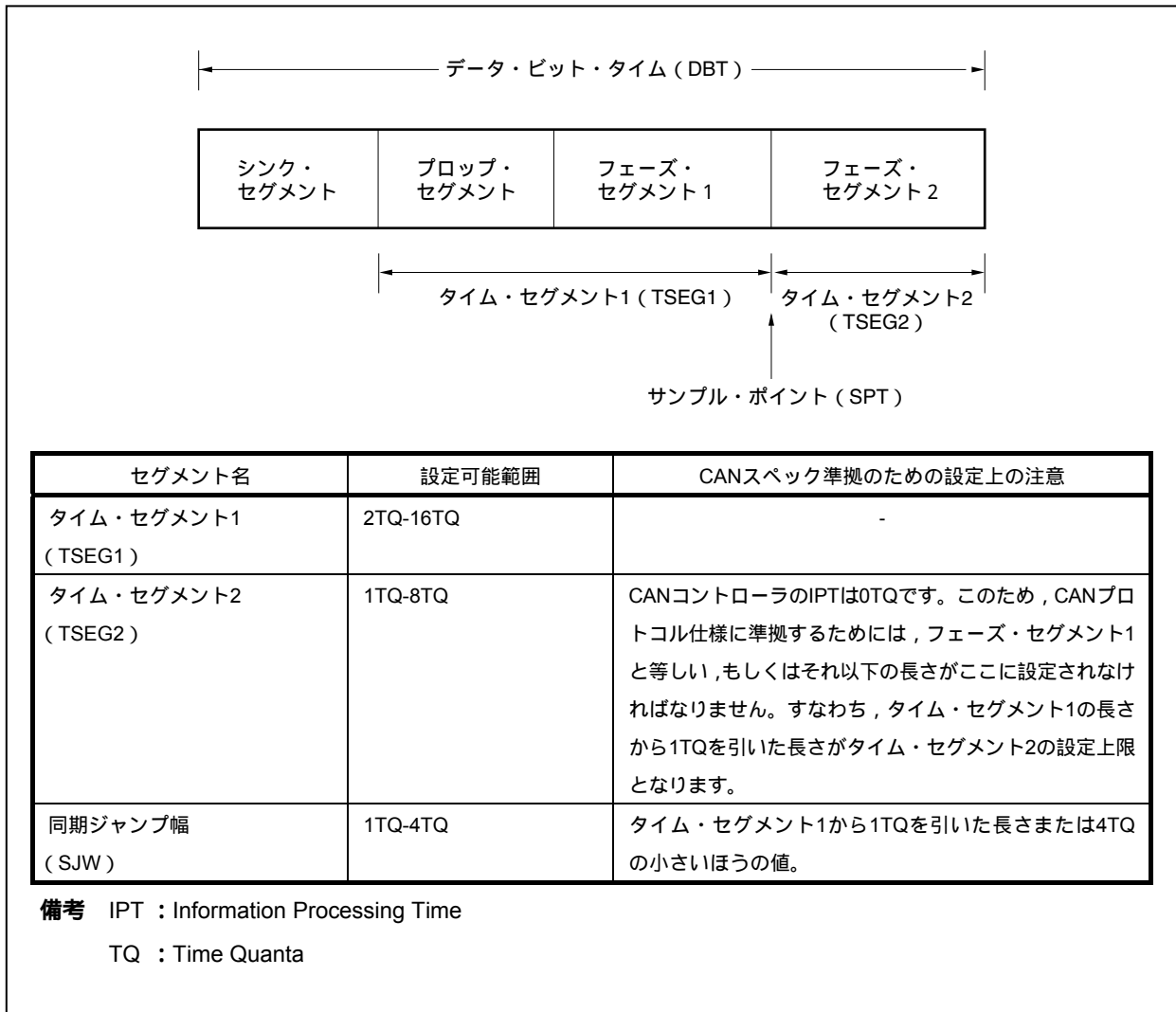
(2) データ・ビット・タイム (8-25 Time Quanta)

1データ・ビット・タイムは、図17-18のように定義されています。

$$1 \text{ Time Quanta} = 1/f_{TQ}$$

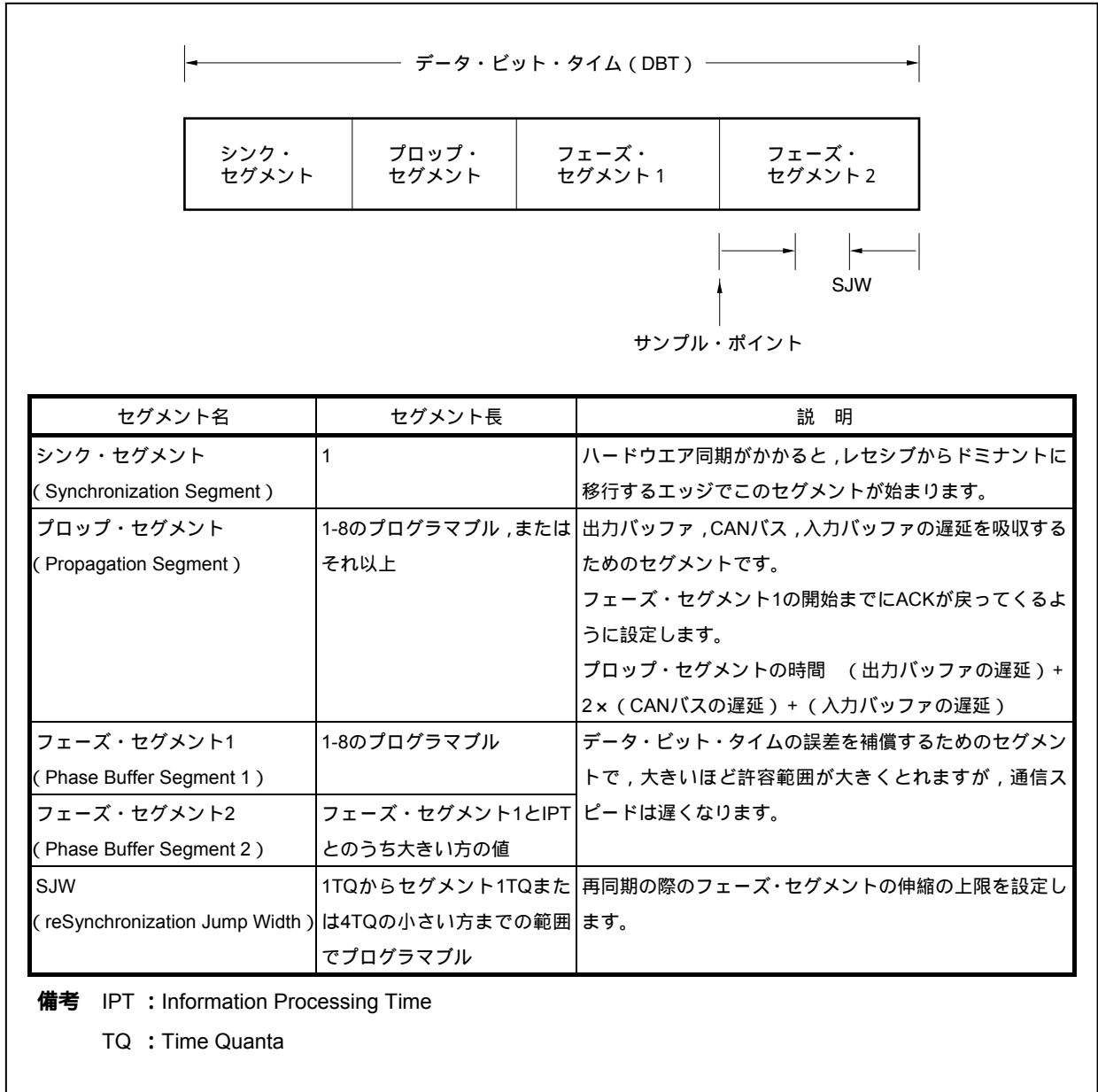
図17-18で示すようなタイム・セグメント1, タイム・セグメント2, 同期ジャンプ幅 (SJW) といったビット・タイミングのパラメータに置き換えて設定されます。タイム・セグメント1は、CANプロトコル仕様で規定されているプロップ・セグメントとフェーズ・セグメント1の合計に該当します。タイム・セグメント2は、フェーズ・セグメント2に該当します。

図17 - 18 セグメントの設定



参考：CANプロトコル仕様では、データ・ビット・タイムを構成する各セグメントは、図17 - 19のように規定されています。

図17 - 19 CANスペック上でのデータ・ビット・タイムの構成



(3) データ・ビットの同期

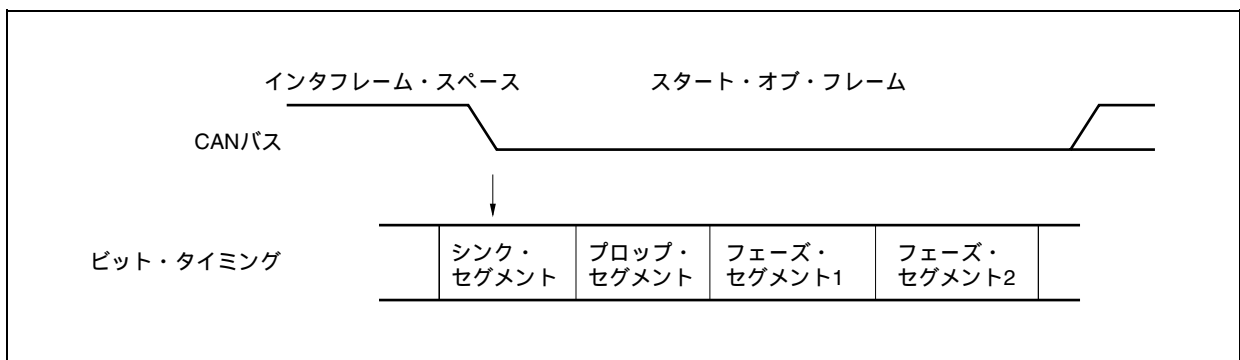
- ・受信ノードは、同期信号がないため、バス上のレベル変化で同期をとります。
- ・送信ノードは、送信ノードのビット・タイミングに同期してデータの送信を行います。

(a) ハードウェア同期

受信ノードが、インタフレーム・スペースでスタート・オブ・フレームを検出した場合に行うビット同期です。

- ・バス上の立ち下がりエッジを検出すると、そのTQがシンク・セグメントで、次がプロップ・セグメントとなります。この場合、SJWには無関係に同期をとります。

図17 - 20 バス・アイドル中のドミナント・レベル検出によるハードウェア同期

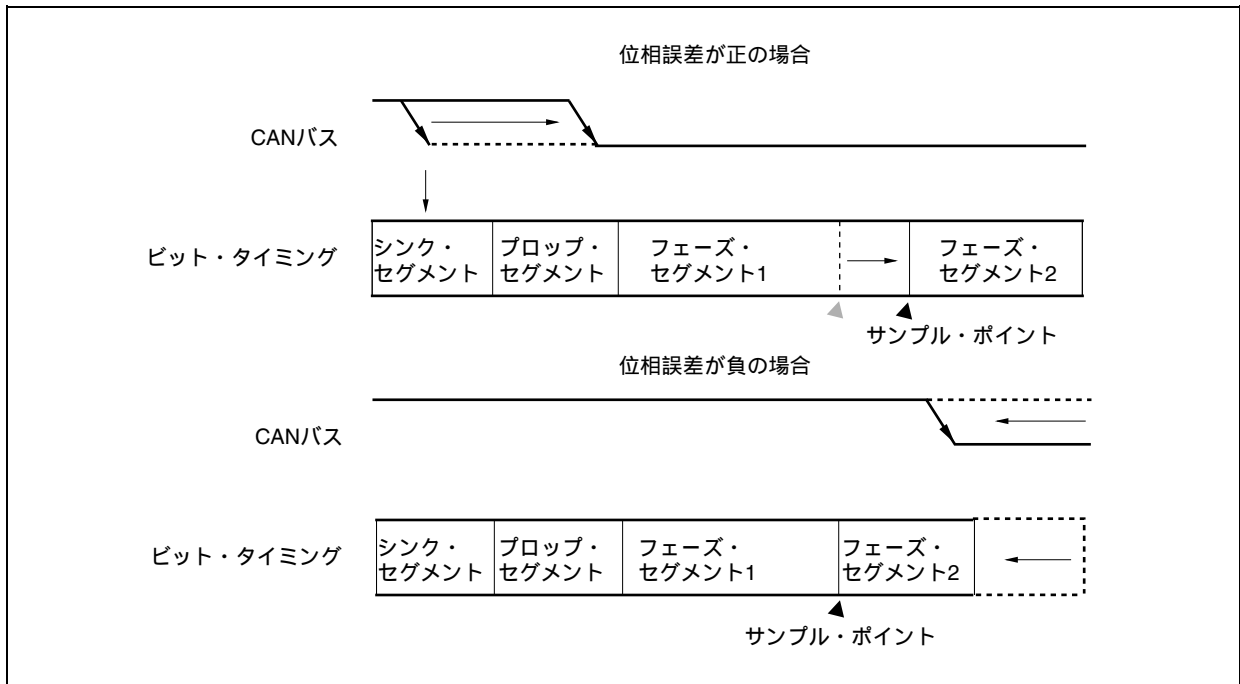


(b) 再同期

受信中に、バス上のレベル変化を検出した場合（前回のサンプリングがレセシブ・レベル時のみ）、再同期を行います。

- ・エッジの位相誤差は、検出されたエッジとシンク・セグメントの相対位置により与えられます。
 - < 位相誤差の符号 >
 - 0：エッジがシンク・セグメント内にある場合
 - 正：エッジがサンプル・ポイントより前にある場合（フェーズ・エラー）
 - 負：エッジがサンプル・ポイントより後ろにある場合（フェーズ・エラー）
 - 位相誤差が正の場合：フェーズ・セグメント1は指定したSJW分だけ長くなります。
 - 位相誤差が負の場合：フェーズ・セグメント2は指定したSJW分だけ短くなります。
- ・送信ノードと受信ノードのポー・レートの“ずれ”により、受信ノードでのデータのサンプル・ポイントが相対的に移動します。

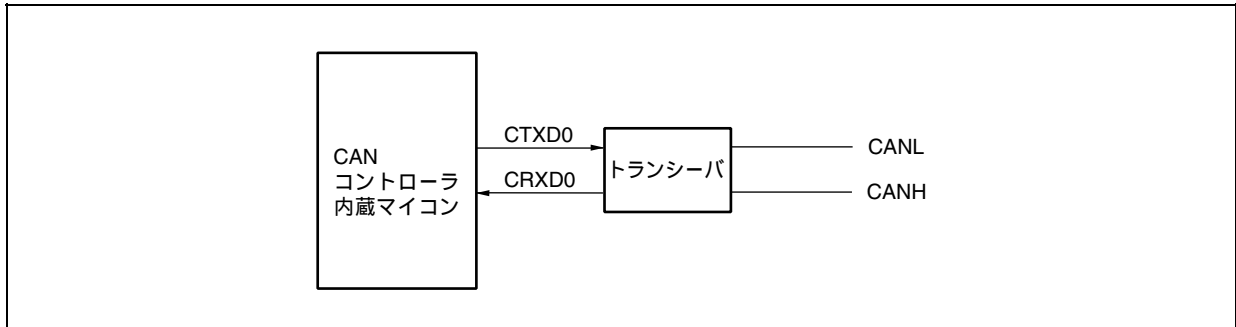
図17 - 21 再同期



17.4 ターゲット・システムとの接続

CANコントローラ内蔵マイコンは、外部トランシーバを使用してCANバスに接続しなければなりません。

図17 - 22 CANバスへの接続



17.5 CANコントローラの内部レジスタ

17.5.1 CANモジュール・レジスタとメッセージ・バッファ・アドレス

この章では、制御、設定レジスタ、およびメッセージ・バッファ・レジスタのアドレス表記は、ベース・アドレス（表17 - 15参照）に対するオフセット・アドレスとして表記します。CANコントローラ機能に関するレジスタは、プログラマブル周辺I/O領域に配置されています（3. 5. 1（4）プログラマブル周辺I/O領域を参照してください）。次の表では、この章内の説明で使用する複数のベース・アドレスを、プログラマブル周辺I/O領域の最下位アドレス（PBA）に対するオフセット・アドレスとして表記しています。

PBA = 03FEC000H

表17 - 15にこの章全体で使われるベース・アドレスを示します。

表17 - 15 CANモジュール・ベース・アドレス

ベース・アドレス名	対 象	アドレス	物理アドレス
C0RBaseAddr	CAN0レジスタ	PBA + 000H	03FEC000H
C0MBaseAddr	CAN0メッセージ・バッファ	PBA + 100H	03FEC100H

以降、C0RBaseAddrおよび対応するC0MBaseAddrは、CANチャンネル0のベース・アドレス名とします。

17.5.2 CANコントローラの構成

表17-16 CANコントローラのレジスタ一覧

項 目	レジスタ名
CANグローバル・レジスタ	CANグローバル制御レジスタ (COGMCTRL)
	CANグローバル・クロック選択レジスタ (COGMCS)
	CANグローバル自動ブロック送信制御レジスタ (COGMABT)
	CANグローバル自動ブロック送信遅延設定レジスタ (COGMABTD)
CANモジュール・レジスタ	CANモジュール・マスク1レジスタ (COMASK1L, COMASK1H)
	CANモジュール・マスク2レジスタ (COMASK2L, COMASK2H)
	CANモジュール・マスク3レジスタ (COMASK3L, COMASK3H)
	CANモジュール・マスク4レジスタ (COMASK4L, COMASK4H)
	CANモジュール制御レジスタ (COCTRL)
	CANモジュール最終エラー情報レジスタ (COLEC)
	CANモジュール情報レジスタ (COINFO)
	CANモジュール・エラー・カウンタ・レジスタ (COERC)
	CANモジュール割り込み許可レジスタ (COIE)
	CANモジュール割り込みステータス・レジスタ (COINTS)
	CANモジュール・ビットレート・プリスケラ・レジスタ (COBRP)
	CANモジュール・ビットレート・レジスタ (COBTR)
	CANモジュール最終受信ポインタ・レジスタ (COLIPT)
	CANモジュール受信履歴・リスト・レジスタ (CORGPT)
	CANモジュール最終送信ポインタ・レジスタ (COLOPT)
	CANモジュール送信履歴・リスト・レジスタ (COTGPT)
	CANモジュール・タイム・スタンプ・レジスタ (COTS)
メッセージ・バッファ・レジスタ	CANメッセージ・データ・バイト01レジスタn (COMDATA01n)
	CANメッセージ・データ・バイト0レジスタn (COMDATA0n)
	CANメッセージ・データ・バイト1レジスタn (COMDATA1n)
	CANメッセージ・データ・バイト23レジスタn (COMDATA23n)
	CANメッセージ・データ・バイト2レジスタn (COMDATA2n)
	CANメッセージ・データ・バイト3レジスタn (COMDATA3n)
	CANメッセージ・データ・バイト45レジスタn (COMDATA45n)
	CANメッセージ・データ・バイト4レジスタn (COMDATA4n)
	CANメッセージ・データ・バイト5レジスタn (COMDATA5n)
	CANメッセージ・データ・バイト67レジスタn (COMDATA67n)
	CANメッセージ・データ・バイト6レジスタn (COMDATA6n)
	CANメッセージ・データ・バイト7レジスタn (COMDATA7n)
	CANメッセージ・データ長レジスタn (COMDLCn)
	CANメッセージ・コンフィギュレーション・レジスタn (COMCONFn)
	CANメッセージIDレジスタn (COMIDLn, COMIDHn)
CANメッセージ制御レジスタn (COMCTRLn)	

備考 n = 0-31

17.5.3 CANレジスタ概要

(1) CAN0モジュール・レジスタ

CAN0レジスタ・ベース・アドレス (C0RBaseAddr) に対するアドレス・オフセットを次に示します。

C0RBaseAddr = PBA

表17-17 CAN0グローバル・レジスタ, モジュール・レジスタ

アドレス	レジスタ名	略号	R/W	操作可能ビット			初期値
				1	8	16	
000H	CAN0グローバル制御レジスタ	C0GMCTRL	R/W	-	-	○	0000H
002H	CAN0グローバル・クロック選択レジスタ	C0GMCS	R/W	-	○	-	0FH
006H	CAN0グローバル自動ブロック送信制御レジスタ	C0GMABT	R/W	-	-	○	0000H
008H	CAN0グローバル自動ブロック送信遅延設定レジスタ	C0GMABTD	R/W	-	○	-	00H
040H	CAN0モジュール・マスク1レジスタ	C0MASK1L	R/W	-	-	○	不定
042H		C0MASK1H					
044H	CAN0モジュール・マスク2レジスタ	C0MASK2L	R/W	-	-	○	不定
046H		C0MASK2H					
048H	CAN0モジュール・マスク3レジスタ	C0MASK3L	R/W	-	-	○	不定
04AH		C0MASK3H					
04CH	CAN0モジュール・マスク4レジスタ	C0MASK4L	R/W	-	-	○	不定
04EH		C0MASK4H					
050H	CAN0モジュール制御レジスタ	C0CTRL	R/W	-	-	○	0000H
052H	CAN0モジュール最終エラー情報レジスタ	C0LEC	R/W	-	○	-	00H
053H	CAN0モジュール情報レジスタ	C0INFO	R	-	○	-	00H
054H	CAN0モジュール・エラー・カウンタ・レジスタ	C0ERC	R	-	-	○	0000H
056H	CAN0モジュール割り込み許可レジスタ	C0IE	R/W	-	-	○	0000H
058H	CAN0モジュール割り込みステータス・レジスタ	C0INTS	R/W	-	-	○	0000H
05AH	CAN0モジュール・ビット・レート・プリスケアラ・レジスタ	C0BRP	R/W	-	○	-	FFH
05CH	CAN0モジュール・ビット・レート・レジスタ	C0BTR	R/W	-	-	○	370FH
05EH	CAN0モジュール最終受信ポインタ・レジスタ	C0LIPT	R	-	○	-	不定
060H	CAN0モジュール受信履歴・リスト・レジスタ	C0RGPT	R/W	-	-	○	xx02H
062H	CAN0モジュール最終送信ポインタ・レジスタ	C0LOPT	R	-	○	-	不定
064H	CAN0モジュール・送信履歴・リスト・レジスタ	C0TGPT	R/W	-	-	○	xx02H
066H	CAN0モジュール・タイム・スタンプ・レジスタ	C0TS	R/W	-	-	○	0000H

表17 - 18のアドレスは、CAN0メッセージ・バッファのベース・アドレス (COMBaseAddr) に対するオフセットを示します。

$$\text{COMBaseAddr} = \text{PBA} + 100\text{H}$$

例 CAN0, メッセージ・バッファ・レジスタn = 14 = EH, バイト6 (COMDATA614) のアドレスは次のとおりです。

$$\text{EH} \times 20\text{H} + 6\text{H} + \text{COMBaseAddr}$$

備考 略号のメッセージ・レジスタ番号nは2桁です。

COMDATA01nはn = 0のときCOMDATA0100になります。

表17 - 18 CAN0メッセージ・バッファ・レジスタ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
n × 20H + 0H	CAN0メッセージ・データ・バイト0レジスタn	COMDATA01n	R/W				不定
n × 20H + 0H	CAN0メッセージ・データ・バイト0レジスタn	COMDATA0n					不定
n × 20H + 1H	CAN0メッセージ・データ・バイト1レジスタn	COMDATA1n					不定
n × 20H + 2H	CAN0メッセージ・データ・バイト23レジスタn	COMDATA23n					不定
n × 20H + 2H	CAN0メッセージ・データ・バイト2レジスタn	COMDATA2n					不定
n × 20H + 3H	CAN0メッセージ・データ・バイト3レジスタn	COMDATA3n					不定
n × 20H + 4H	CAN0メッセージ・データ・バイト45レジスタn	COMDATA45n					不定
n × 20H + 4H	CAN0メッセージ・データ・バイト4レジスタn	COMDATA4n					不定
n × 20H + 5H	CAN0メッセージ・データ・バイト5レジスタn	COMDATA5n					不定
n × 20H + 6H	CAN0メッセージ・データ・バイト67レジスタn	COMDATA67n					不定
n × 20H + 6H	CAN0メッセージ・データ・バイト6レジスタn	COMDATA6n					不定
n × 20H + 7H	CAN0メッセージ・データ・バイト7レジスタn	COMDATA7n					不定
n × 20H + 8H	CAN0メッセージ・データ長コード・レジスタn	COMDLCn					0000xxxxB
n × 20H + 9H	CAN0メッセージ・コンフィギュレーション・レジスタn	COMCONFn					不定
n × 20H + AH	CAN0メッセージIDレジスタn	COMIDLn					不定
n × 20H + CH		COMIDHn					不定
n × 20H + EH	CAN0メッセージ制御レジスタn	COMCTRLn					00x00000 000xx000B

17.5.4 レジスタのビット構成

表17 - 19 CANグローバル・レジスタのビット構成

アドレス	略号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
03FExx00H	C0GMCTRL (W)	0	0	0	0	0	0	0	Clear GOM
03FExx01H		0	0	0	0	0	0	Set EFSD	Set GOM
03FExx00H	C0GMCTRL (R)	0	0	0	0	0	0	EFSD	GOM
03FExx01H		MBON	0	0	0	0	0	0	0
03FExx02H	C0GMCS	0	0	0	0	CCP3	CCP2	CCP1	CCP0
03FExx06H	C0GMABT (W)	0	0	0	0	0	0	0	Clear ABTTRG
03FExx07H		0	0	0	0	0	0	Set ABTCLR	Set ABTTRG
03FExx06H	C0GMABT (R)	0	0	0	0	0	0	ABTCLR	ABTTRG
03FExx07H		0	0	0	0	0	0	0	0
03FExx08H	C0GMABTD	0	0	0	0	ABTD3	ABTD2	ABTD1	ABTD0

表17 - 20 CANモジュール・レジスタのビット構成 (1/2)

アドレス	略号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
03FExx40H	COMASK1L	CM1ID [7:0]							
03FExx41H		CM1ID [15:8]							
03FExx42H	COMASK1H	CM1ID [23:16]							
03FExx43H		0	0	0	CM1ID [28:24]				
03FExx44H	COMASK2L	CM2ID [7:0]							
03FExx45H		CM2ID [15:8]							
03FExx46H	COMASK2H	CM2ID [23:16]							
03FExx47H		0	0	0	CM2ID [28:24]				
03FExx48H	COMASK3L	CM3ID [7:0]							
03FExx49H		CM3ID [15:8]							
03FExx4AH	COMASK3H	CM3ID [23:16]							
03FExx4BH		0	0	0	CM3ID [28:24]				
03FExx4CH	COMASK4L	CM4ID [7:0]							
03FExx4DH		CM4ID [15:8]							
03FExx4EH	COMASK4H	CM4ID [23:16]							
03FExx4FH		0	0	0	CM4ID [28:24]				
03FExx50H	COCTRL (W)	0	Clear AL	Clear VALID	Clear PSMODE1	Clear PSMODE0	Clear OPMODE2	Clear OPMODE1	Clear OPMODE0
03FExx51H		Set CCERC	Set AL	0	Set PSMODE1	Set PSMODE0	Set OPMODE2	Set OPMODE1	Set OPMODE0
03FExx50H	COCTRL (R)	CCERC	AL	VALID	PS MODE1	PS MODE0	OP MODE2	OP MODE1	OP MODE0
03FExx51H		0	0	0	0	0	0	RSTAT	TSTAT
03FExx52H	COLEC (W)	0	0	0	0	0	0	0	0
03FExx52H	COLEC (R)	0	0	0	0	0	LEC2	LEC1	LEC0
03FExx53H	COINFO	0	0	0	BOFF	TECS1	TECS0	RECS1	RECS0
03FExx54H	COERC	TEC [7:0]							
03FExx55H		REPS	REC [6:0]						
03FExx56H	COIE (W)	0	0	Clear CIE5	Clear CIE4	Clear CIE3	Clear CIE2	Clear CIE1	Clear CIE0
03FExx57H		0	0	Set CIE5	Set CIE4	Set CIE3	Set CIE2	Set CIE1	Set CIE0
03FExx56H	COIE (R)	0	0	CIE5	CIE4	CIE3	CIE2	CIE1	CIE0
03FExx57H		0	0	0	0	0	0	0	0
03FExx58H	COINTS (W)	0	0	Clear CINTS5	Clear CINTS4	Clear CINTS3	Clear CINTS2	Clear CINTS1	Clear CINTS0
03FExx59H		0	0	0	0	0	0	0	0
03FExx58H	COINTS (R)	0	0	CINTS5	CINTS4	CINTS3	CINTS2	CINTS1	CINTS0
03FExx59H		0	0	0	0	0	0	0	0

表17 - 20 CANモジュール・レジスタのビット構成 (2/2)

アドレス	略号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
03FExx5AH	C0BRP	TQPRS [7:0]							
03FExx5CH	C0BTR	0	0	0	0	TSEG1 [3:0]			
03FExx5DH		0	0	SJW [1:0]		0	TSEG2 [2:0]		
03FExx5EH	C0LIPT	LIPT [7:0]							
03FExx60H	C0RGPT (W)	0	0	0	0	0	0	0	Clear ROVF
03FExx61H		0	0	0	0	0	0	0	0
03FExx60H	C0RGPT (R)	0	0	0	0	0	0	RHPM	ROVF
03FExx61H		RGPT [7:0]							
03FExx62H	C0LOPT	LOPT [7:0]							
03FExx64H	C0TGPT (W)	0	0	0	0	0	0	0	Clear TOVF
03FExx65H		0	0	0	0	0	0	0	0
03FExx64H	C0TGPT (R)	0	0	0	0	0	0	THPM	TOVF
03FExx65H		TGPT [7:0]							
03FExx66H	C0TS (W)	0	0	0	0	0	Clear TSLOCK	Clear TSSEL	Clear TSEN
03FExx67H		0	0	0	0	0	Set TSLOCK	Set TSSEL	Set TSEN
03FExx66H	C0TS (R)	0	0	0	0	0	TSLOCK	TSSEL	TSEN
03FExx67H		0	0	0	0	0	0	0	0
03FExx68H- 03FExxFFH	-	アクセス禁止 (reserved for future use)							

表17-21 メッセージ・バッファ・レジスタのビット構成

アドレス	略号	ビット 7/15	ビット 6/14	ビット 5/13	ビット 4/12	ビット 3/11	ビット 2/10	ビット 1/9	ビット 0/8
03FExxx0H	COMDATA01n	メッセージ・データ (バイト0)							
03FExxx1H		メッセージ・データ (バイト1)							
03FExxx0H	COMDATA0n	メッセージ・データ (バイト0)							
03FExxx1H	COMDATA1n	メッセージ・データ (バイト1)							
03FExxx2H	COMDATA23n	メッセージ・データ (バイト2)							
03FExxx3H		メッセージ・データ (バイト3)							
03FExxx2H	COMDATA2n	メッセージ・データ (バイト2)							
03FExxx3H	COMDATA3n	メッセージ・データ (バイト3)							
03FExxx4H	COMDATA45n	メッセージ・データ (バイト4)							
03FExxx5H		メッセージ・データ (バイト5)							
03FExxx4H	COMDATA4n	メッセージ・データ (バイト4)							
03FExxx5H	COMDATA5n	メッセージ・データ (バイト5)							
03FExxx6H	COMDATA67n	メッセージ・データ (バイト6)							
03FExxx7H		メッセージ・データ (バイト7)							
03FExxx6H	COMDATA6n	メッセージ・データ (バイト6)							
03FExxx7H	COMDATA7n	メッセージ・データ (バイト7)							
03FExxx8H	COMDLCn	0				MDLC3	MDLC2	MDLC1	MDLC0
03FExxx9H	COMCONFn	OVS	RTR	MT2	MT1	MT0	0	0	MA0
03FExxxAH	COMIDLn	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
03FExxxBH		ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8
03FExxxCH	COMIDHn	ID23	ID22	ID21	ID20	ID19	ID18	ID17	ID16
03FExxxDH		IDE	0	0	ID28	ID27	ID26	ID25	ID24
03FExxxEH	COMCTRLn (W)	0	0	0	Clear MOW	Clear IE	Clear DN	Clear TRQ	Clear RDY
03FExxxFH		0	0	0	0	Set IE	0	Set TRQ	Set RDY
03FExxxEH	COMCTRLn (R)	0	0	0	MOW	IE	DN	TRQ	RDY
03FExxxFH		0	0	MUC	0	0	0	0	0
03FExxx0- 03FExxxFH	-	アクセス禁止 (reserved for future)							

備考 n = 0-31

17.6 ビットのセット/クリア機能

CANの制御レジスタには、ビットのセット/クリアがCPUとCANインタフェースの両方で行われるレジスタがあります。次に示すレジスタに直接値を書き込むと誤作動するため、値の直接書き込み（ビット操作、リード・モディファイ・ライト、目標値の直接書き込み）をしないでください。

- ・ CANグローバル制御レジスタ (COGMCTRL)
- ・ CANグローバル自動ブロック送信制御レジスタ (COGMABT)
- ・ CANモジュール制御レジスタ (COCTRL)
- ・ CANモジュール割り込み許可レジスタ (COIE)
- ・ CANモジュール割り込みステータス・レジスタ (COINTS)
- ・ CANモジュール受信履歴・リスト・レジスタ (CORGPT)
- ・ CANモジュール送信履歴・リスト・レジスタ (COTGPT)
- ・ CANモジュール・タイム・スタンプ・レジスタ (COTS)
- ・ CANメッセージ制御レジスタn (COMCTRLn)

備考 n = 0-31

上記レジスタの16ビットは、すべて通常の方法で読むことができます。下位8ビットのビット・セットやビット・クリアは図17 - 23の手順で行ってください。

上記レジスタの下位8ビットのセット/クリアは、上位8ビットと下位8ビットの組み合わせで行います（図17 - 24 **セット/クリア設定後のビット状態参照**）。図17 - 23のように、setビットとclearビットの値により、該当するレジスタのビットをセット/クリア/変化なしと操作できます。

図17 - 23 ビットのセット/クリアの操作例

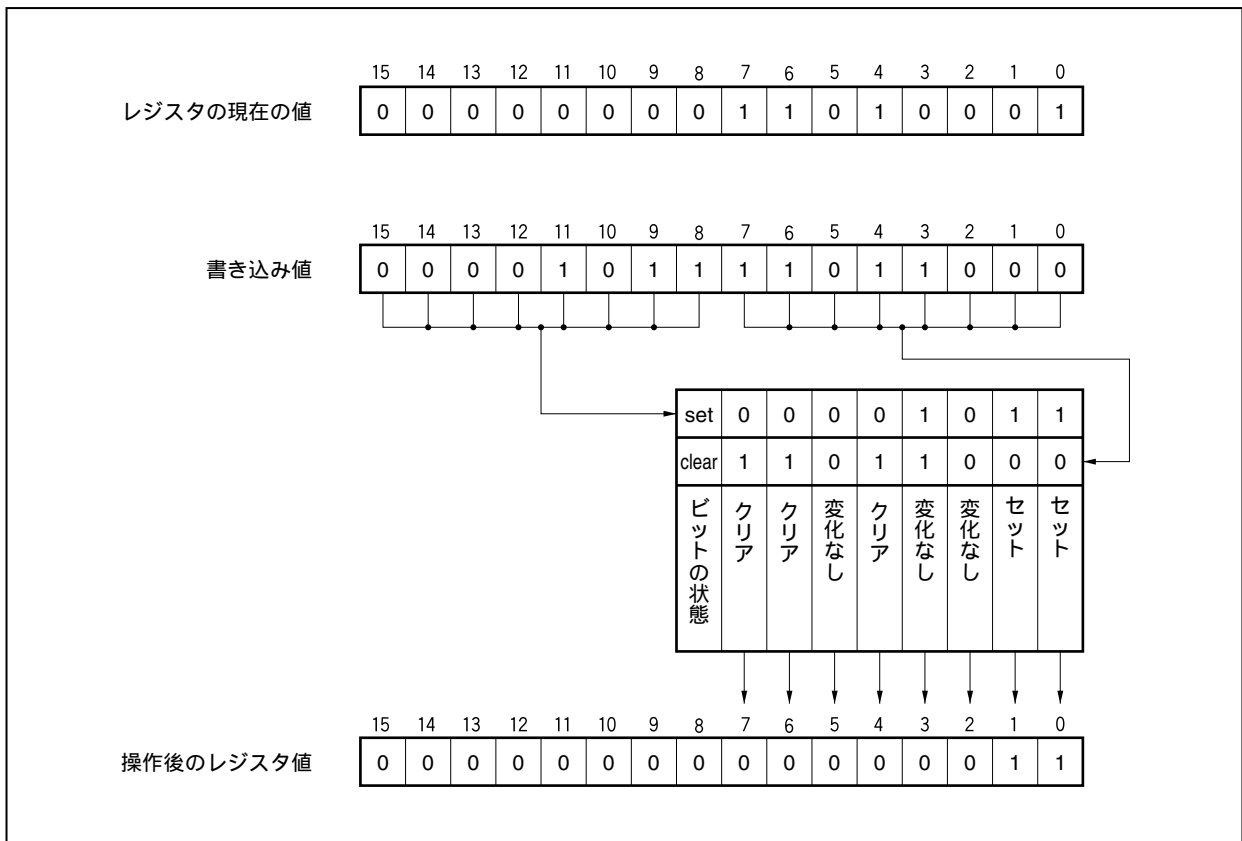
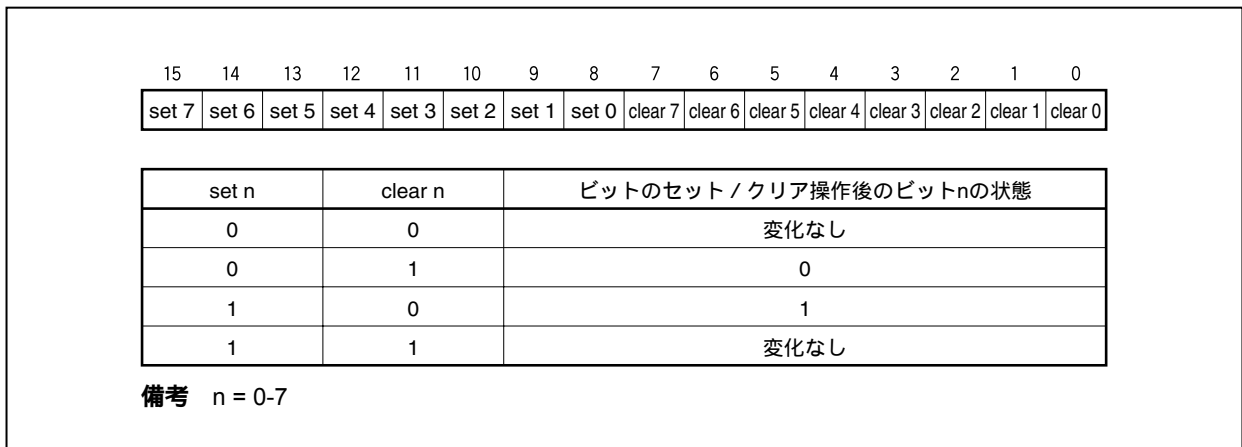


図17 - 24 セット/クリア設定後のビット状態



17.7 制御レジスタ

備考 n = 0-31

(1) CANグローバル制御レジスタ (COGMCTRL)

COGMCTRLレジスタは、CANモジュールの動作を制御します。

(1/2)

リセット時：0000H R/W アドレス：COGMCTRL 03FEC000H

(a) リード時

	15	14	13	12	11	10	9	8
COGMCTRL	MBON	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	EFSD	GOM

(b) ライト時

	15	14	13	12	11	10	9	8
COGMCTRL	0	0	0	0	0	0	Set EFSD	Set GOM
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear GOM

(a) リード時

MBON	メッセージ・バッファ・レジスタおよび送信・受信履歴・レジスタへのアクセス有効ビット
0	メッセージ・バッファ・レジスタおよび送信・受信履歴・レジスタへのライト・アクセスおよびリード・アクセスは無効
1	メッセージ・バッファ・レジスタおよび送信・受信履歴・レジスタへのライト・アクセスおよびリード・アクセスは有効

- 注意 1. MBONビットがクリア (0) されている間は、ソフトウェアによるメッセージ・バッファ (C0MDATA0n, C0MDATA1n, C0MDATA01n, C0MDATA2n, C0MDATA3n, C0MDATA23n, C0MDATA4n, C0MDATA5n, C0MDATA45n, C0MDATA6n, C0MDATA7n, C0MDATA67n, C0MDLCn, C0MCONFn, C0MIDLn, C0MIDHn, C0MCTRLn) および送信履歴、受信履歴に関連したレジスタ (C0LOPT, C0TGPT, C0LIPT, C0RGPT) へのアクセスは無効です。
2. このビットはリード・オンリーです。MBON = 0の状態でも1を書き込みしても、MBONは変化せず、メッセージ・バッファ・レジスタおよび送信履歴、受信履歴に関連したレジスタへのアクセスは無効のままです。

備考 CANスリープ・モード / CANストップ・モードに移行した場合、または、GOMビットをクリア (0) した場合に、MBONビットがクリア (0) されます。CANスリープ・モード / CANストップ・モードを解除した場合、またはGOMビットをセット (1) した場合に、MBONビットがセット (1) されます。

EFSD	強制シャット・ダウン有効ビット
0	GOM = 0による強制シャット・ダウンは無効
1	GOM = 0による強制シャット・ダウンは有効

注意 強制シャット・ダウンの要求を行う場合は、EFSDビットをセット(1)した直後に、GOMビットをクリア(0)してください。EFSDビットをセット(1)した直後にGOMビットをクリア(0)しないで、その他のレジスタ・アクセス(C0GMCTRLレジスタのリード含む)の実行をすると、EFSDビットは自動的にクリア(0)され、強制シャット・ダウンの要求は無効になります。

GOM	グローバル操作モード・ビット
0	CANモジュールは動作禁止状態
1	CANモジュールは動作許可状態

注意 GOMビットは、初期化モードのとき、またはEFSDビットをセット(1)した直後にのみクリア(0)可能です。

(b) ライト時

Set EFSD	EFSDビットの設定
0	EFSDビットの変更なし
1	EFSDビットをセット(1)する

Set GOM	Clear GOM	GOMビットの設定
0	1	GOMビットをクリア(0)する
1	0	GOMビットをセット(1)する
上記以外		GOMビットの変更なし

注意 GOMビットの設定とEFSDビットの設定は、常に別々に行ってください。

(2) CANグローバル・クロック選択レジスタ (COGMCS)

COGMCSレジスタは、CANモジュール・システム・クロックを選択します。

リセット時：0FH R/W アドレス：COGMCS 03FEC002H

	7	6	5	4	3	2	1	0
COGMCS	0	0	0	0	CCP3	CCP2	CCP1	CCP0

CCP3	CCP2	CCP1	CCP1	CANモジュール・システム・クロック (f _{CANMOD})
0	0	0	0	f _{CAN/1}
0	0	0	1	f _{CAN/2}
0	0	1	0	f _{CAN/3}
0	0	1	1	f _{CAN/4}
0	1	0	0	f _{CAN/5}
0	1	0	1	f _{CAN/6}
0	1	1	0	f _{CAN/7}
0	1	1	1	f _{CAN/8}
1	0	0	0	f _{CAN/9}
1	0	0	1	f _{CAN/10}
1	0	1	0	f _{CAN/11}
1	0	1	1	f _{CAN/12}
1	1	0	0	f _{CAN/13}
1	1	0	1	f _{CAN/14}
1	1	1	0	f _{CAN/15}
1	1	1	1	f _{CAN/16} (初期値)

備考 f_{CAN} = CANへの供給クロック = f_{XG}またはf_{XP1}

(3) CANグローバル自動ブロック送信制御レジスタ (COGMABT)

COGMABTレジスタは、自動ブロック送信 (ABT) 動作を制御します。

(1/2)

リセット時 : 0000H R/W アドレス : COGMABT 03FEC006H

(a) リード時

	15	14	13	12	11	10	9	8
COGMABT	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	ABTCLR	ABTTRG

(b) ライト時

	15	14	13	12	11	10	9	8
COGMABT	0	0	0	0	0	0	Set	Set
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear
								ABTTRG

注意 ABT付き通常動作モードから初期化モードに移行する前には、COGMABTレジスタには必ず初期値 (0000H) を設定し、設定後はCOGMABTレジスタが0000Hに初期化されたことを確実に確認してください。

(a) リード時

ABTCLR	自動ブロック送信エンジン・クリア・ステータス・ビット
0	自動ブロック送信エンジンのクリア処理を完了
1	自動ブロック送信エンジンのクリア処理中

備考1. ABTCLRビットはABTTRGビットがクリア (0) されている状態でセット (1) してください。ABTTRGビットがセット (1) されている状態で、ABTCLRビットをセット (1) した場合の動作保証はしません。

2. ABTCLRビットのセット (1) による自動ブロック送信エンジンのクリアは、クリア要求の処理が完了した時点でABTCLRビットが直ちに自動的にクリア (0) されます。

ABTTRG	自動ブロック送信ステータス・ビット
0	自動ブロック送信の停止中
1	自動ブロック送信の実行中

注意 初期化モード中にABTTRGビットを設定 (ABTTRG = 1) しないでください。

初期化モード中にABTTRGビットを設定した場合、ABT付き通常動作モード移行後の動作は保証しません。TSTATビットがセット (1) されている間は、ABTTRGビットをセット (1) しないでください。ABTTRGビットをセット (1) する前に、TSTAT = 0 であることを直接事前に確認してください。

(b) ライト時

Set ABTCLR	自動ブロック送信エンジンのクリア要求ビット
0	自動ブロック送信エンジンはアイドル状態または動作中
1	自動ブロック送信エンジンのクリア要求 自動ブロック送信エンジンのクリア後は、ABTTRGビットのセット(1)による自動ブロック送信はメッセージ・バッファ0から開始されます。

Set ABTTRG	Clear ABTTRG	自動ブロック送信開始ビット
0	1	自動ブロック送信の停止を要求
1	0	自動ブロック送信の開始を要求
上記以外		ABTTRGビットの変更なし

注意 ABTTRGビットをセット(1)しても、他ノードからメッセージを受信していた場合やABTメッセージ以外のメッセージ(メッセージ・バッファ8~メッセージ・バッファ31)を送信していた場合などの状況により、即時に送信を行わない可能性があります。

また、ABTTRGビットをクリア(0)しても、送信の途中で中断されることはありません。

送信中の場合には、送信が完了(成功/失敗問わず)するまで送信を継続します。

(4) CANグローバル自動ブロック送信遅延設定レジスタ (COGMABTD)

COGMABTDレジスタは、ABT付き通常動作モードにおいて、ABTに割り付けられたメッセージ・バッファの送信間隔を設定します。

リセット時：00H R/W アドレス：COGMABTD 03FEC008H

	7	6	5	4	3	2	1	0
COGMABTD	0	0	0	0	ABTD3	ABTD2	ABTD1	ABTD0

ABTD3	ABTD2	ABTD1	ABTD0	自動ブロック送信時のデータ・フレーム間隔 (単位はデータ・ビット・タイム; DBT)
0	0	0	0	0 DBT (初期値)
0	0	0	1	2 ⁵ DBT
0	0	1	0	2 ⁶ DBT
0	0	1	1	2 ⁷ DBT
0	1	0	0	2 ⁸ DBT
0	1	0	1	2 ⁹ DBT
0	1	1	0	2 ¹⁰ DBT
0	1	1	1	2 ¹¹ DBT
1	0	0	0	2 ¹² DBT
上記以外				設定禁止

- 注意1. ABTTRGビットがセット(1)されている場合は、COGMABTDレジスタの内容は変更しないでください。
2. 実際にCANバス上に送信されるABTメッセージのタイミングは、他局からの送信状況あるいはABTメッセージ以外のメッセージ(メッセージ・バッファ8~メッセージ・バッファ31)に対する送信要求の設定状況によって変化します。

(5) CANモジュール・マスク制御レジスタ (C0MASKaL, C0MASKaH) (a = 1, 2, 3, 4)

C0MASKaL/C0MASKaHレジスタは、メッセージのアイデンティファイア (ID) の一部をマスクすることで、マスクされた部分のID比較を無効にし、同一メッセージ・バッファ内の受信可能なメッセージ数を拡張します。

(1/2)

・CANモジュール・マスク1レジスタ (C0MASK1L, C0MASK1H)

リセット時：不定 R/W アドレス：C0MASK1L 03FEC040H, C0MASK1H 03FEC042H

	15	14	13	12	11	10	9	8
C0MASK1L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
C0MASK1H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

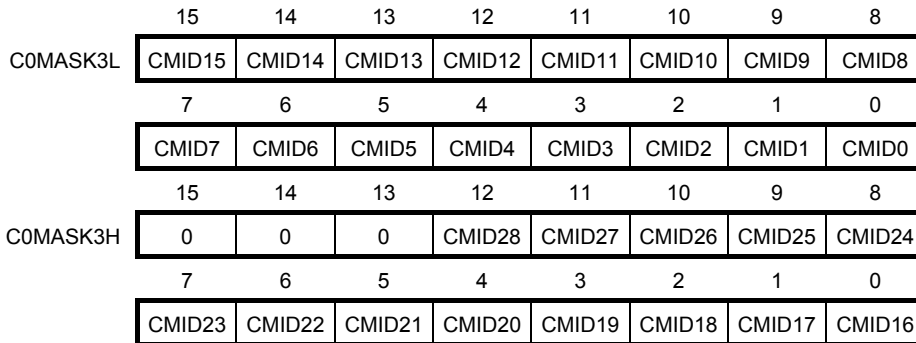
・CANモジュール・マスク2レジスタ (C0MASK2L, C0MASK2H)

リセット時：不定 R/W アドレス：C0MASK2L 03FEC044H, C0MASK2H 03FEC046H

	15	14	13	12	11	10	9	8
C0MASK2L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
C0MASK2H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

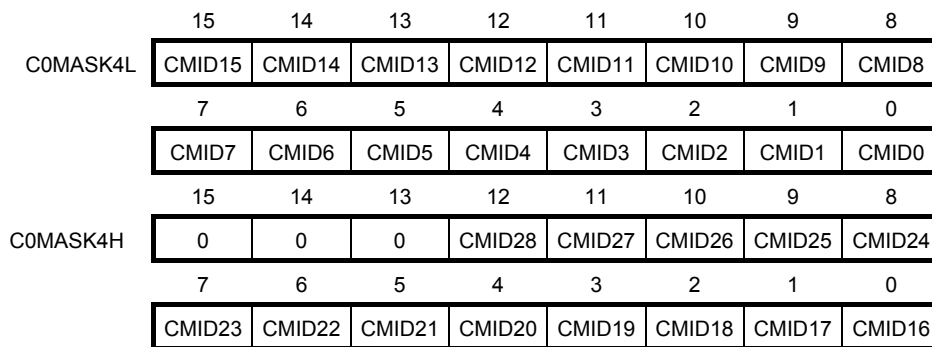
・CANモジュール・マスク3レジスタ (C0MASK3L, C0MASK3H)

リセット時：不定 R/W アドレス：C0MASK3L 03FEC048H, C0MASK3H 03FEC04AH



・CANモジュール・マスク4レジスタ (C0MASK4L, C0MASK4H)

リセット時：不定 R/W アドレス：C0MASK4L 03FEC04CH, C0MASK4H 03FEC04EH



CMID28-CMID0	IDビットのマスク・パターンを設定
0	CMID28-CMID0ビットに設定されたメッセージ・バッファのIDビットと受信メッセージ・フレームのIDビットを比較します。
1	CMID28-CMID0ビットに設定されたメッセージ・バッファのIDビットと受信メッセージ・フレームのIDビットを比較しません (マスクします)。

備考 マスクは常に29ビットのID長で定義されます。マスクが標準IDのメッセージに割り当てられた場合、CMID17-CMID0は無視されます。したがって、受信IDはCMID28-CMID18のみマスクされます。なお、標準および拡張IDはともに同一マスクを使用することができます。

(6) CANモジュール制御レジスタ (C0CTRL)

C0CTRLレジスタは、CANモジュールの動作モードを制御します。

(1/4)

リセット時：0000H R/W アドレス：C0CTRL 03FEC050H

(a) リード時

	15	14	13	12	11	10	9	8
C0CTRL	0	0	0	0	0	0	RSTAT	TSTAT
	7	6	5	4	3	2	1	0
	CCERC	AL	VALID	PSMODE1	PSMODE0	OPMODE2	OPMODE1	OPMODE0

(b) ライト時

	15	14	13	12	11	10	9	8
C0CTRL	Set	Set	0	Set	Set	Set	Set	Set
	7	6	5	4	3	2	1	0
	CCERC	AL		PSMODE1	PSMODE0	OPMODE2	OPMODE1	OPMODE0
	0	Clear	Clear	Clear	Clear	Clear	Clear	Clear
		AL	VALID	PSMODE1	PSMODE0	OPMODE2	OPMODE1	OPMODE0

(a) リード時

RSTAT	受信ステータス・ビット
0	受信停止状態
1	受信動作状態

備考 -RSTATビットは、次の条件（タイミング）でセット（1）されます。

- ・受信フレームのSOFビット
- ・送信フレーム中のアービトレーション・ロスト発生時

-RSTATビットは、次の条件（タイミング）でクリア（0）されます。

- ・インタフレーム・スペースの2ビット目にレセシブを検出時
- ・インタフレーム・スペースの先頭ビットで初期化モードに遷移したとき

TSTAT	送信ステータス・ビット
0	送信停止状態
1	送信動作状態

- 備考** -TSTATビットは、次の条件（タイミング）でセット（1）されます。
- ・送信フレームのSOFビット
- TSTATビットは、次の条件（タイミング）でクリア（0）されます。
- ・バスオフ移行時
 - ・送信フレーム中のアービトラーション・ロスト発生時
 - ・インタフレーム・スペースの2ビット目にレセシブを検出時
 - ・インタフレーム・スペースの先頭ビットで初期化モードに遷移したとき

CCERC	エラー・カウンタ・クリア・ビット
0	初期化モードにおいて、C0ERCレジスタとC0INFOレジスタのクリア中ではありません。
1	初期化モードにおいて、C0ERCレジスタとC0INFOレジスタがクリア中です。

- 備考** 1. CCERCビットは、再初期化やバスオフ強制復帰の際に、C0ERCレジスタとC0INFOレジスタをクリアするために使用します。初期化モードでのみ、セット（1）が可能です。
2. C0ERCおよびC0INFOレジスタがクリアされるとCCERCビットも自動的にクリア（0）されます。
3. 初期化モードから任意の動作モードへの遷移要求と同時にCCERCビットのセット（1）が可能です。
4. セルフ・テスト・モードでINITモード移行直後にCCERCビットをセット（1）した場合、受信データが破壊される可能性があります。

AL	アービトラーション・ロスト時の動作設定ビット
0	シングル・ショット・モードにおいて、アービトラーション・ロストが発生した場合、再送信されません。
1	シングル・ショット・モードにおいて、アービトラーション・ロストが発生した場合、再送信されます。

備考 ALビットは、シングル・ショット・モードにおいてのみ有効です。

VALID	有効な受信メッセージ・フレーム検出ビット
0	VALIDビットが最後にクリア（0）されてから、有効なメッセージ・フレーム受信がありません。
1	VALIDビットが最後にクリア（0）されてから、有効なメッセージ・フレーム受信があります。

- 備考** 1. 有効な受信メッセージ・フレームの検出には、受信メッセージ・バッファへの格納（データ・フレーム）または送信メッセージ・バッファへの格納（リモート・フレーム）の有無に依存しません。
2. 初期化モードから任意の動作モードに移行する前に、VALIDビットをクリア（0）してください。
3. CANバスにCANノードが2つのみ接続され、一方のCANノードが通常動作モードでメッセージ・フレームを送信し、もう一方のCANノードが受信オンリー・モードである場合は、受信オンリー・モードではACKが発生しないため、VALIDビットは送信ノードがエラー・バンプになる前にセット（1）されることはありません。
4. VALIDビットをクリアする際は、Clear VALIDビットをセット（1）したあと、VALIDビットがクリアされることを確認してください。クリアされていない場合は、再度クリア処理を行ってください。

PSMODE1	PSMODE0	パワー・セーブ・モード
0	0	パワー・セーブ・モードは選択されていません。
0	1	CANスリープ・モード
1	0	設定禁止
1	1	CANストップ・モード

- 注意1. CANストップ・モードへの遷移およびCANストップ・モードからの遷移は、必ずCANスリープ・モードを経由してください。直接の遷移要求は無視されます。
2. パワー・セーブ・モードを解除したあと、再度メッセージ・バッファへアクセスする前にC0GMCTRLレジスタのMBONフラグを確認する必要があります。
 3. CANスリープ・モードへの遷移要求は、ソフトウェアによりキャンセルされるかあるいはCANバスがバス・アイドル状態に遷移するまで保留されます。PSMODEビットを読み出すことでソフトウェアはCANスリープ・モードへの遷移状況を確認することができます。

OPMODE2	OPMODE1	OPMODE0	動作モード
0	0	0	動作モードは選択されていません (CANモジュールは初期化モード状態)。
0	0	1	通常動作モード
0	1	0	自動ブロック送信機能付き通常動作モード (ABT付き通常動作モード)
0	1	1	受信オンリー・モード
1	0	0	シングル・ショット・モード
1	0	1	セルフ・テスト・モード
上記以外			設定禁止

注意 初期化モードまたはパワー・セーブ・モードへの移行は、ある程度の時間がかかる可能性があるため、処理を実行する前にレジスタ値を読み込むことにより、モードの移行が成功したかどうかを必ず確認してください。

備考 CANスリープ・モードまたはCANストップ・モード中、OPMODE [2:0]ビットはリード・オンリーです。

(b) ライト時

Set CCERC	CCERCビットの設定
1	CCERCビットをセット (1) する
上記以外	CCERCビットの変更なし

Set AL	Clear AL	ALビットの設定
0	1	ALビットをクリア (0) する
1	0	ALビットをセット (1) する
上記以外		ALビットの変更なし

Clear VALID	VALIDビットの設定
0	VALIDビットの変更なし
1	VALIDビットをクリア (0) する

Set PSMODE0	Clear PSMODE0	PSMODE0ビットの設定
0	1	PSMODE0ビットをクリア(0)する
1	0	PSMODE0ビットをセット(1)する
上記以外		PSMODE0ビットの変更なし

Set PSMODE1	Clear PSMODE1	PSMODE1ビットの設定
0	1	PSMODE1ビットをクリア(0)する
1	0	PSMODE1ビットをセット(1)する
上記以外		PSMODE1ビットの変更なし

Set OPMODE0	Clear OPMODE0	OPMODE0ビットの設定
0	1	OPMODE0ビットをクリア(0)する
1	0	OPMODE0ビットをセット(1)する
上記以外		OPMODE0ビットの変更なし

Set OPMODE1	Clear OPMODE1	OPMODE1ビットの設定
0	1	OPMODE1ビットをクリア(0)する
1	0	OPMODE1ビットをセット(1)する
上記以外		OPMODE1ビットの変更なし

Set OPMODE2	Clear OPMODE2	OPMODE2ビットの設定
0	1	OPMODE2ビットをクリア(0)する
1	0	OPMODE2ビットをセット(1)する
上記以外		OPMODE2ビットの変更なし

(7) CANモジュール最終エラー情報レジスタ (C0LEC)

C0LECレジスタは、CANプロトコルのエラー情報を示します。

リセット時：00H R/W アドレス：C0LEC 03FEC052H

	7	6	5	4	3	2	1	0
C0LEC	0	0	0	0	0	LEC2	LEC1	LEC0

- 備考** 1. C0LECレジスタの内容は、任意の動作モードから初期化モードへの移行では、クリアされません。
2. C0LECレジスタに対してソフトウェアにより00H以外の値を書き込みしようとした場合、アクセスは無視されます。

LEC2	LEC1	LEC0	最終のCANプロトコル・エラー情報
0	0	0	エラーなし
0	0	1	スタッフ・エラー
0	1	0	フォーム・エラー
0	1	1	ACKエラー
1	0	0	ビット・エラー (CANモジュールは送信メッセージの一部として、レセシブ・ビットの送信をしようとしたが(アービトレーション・フィールドを除く)、CANバス上の値はドミナント・ビットであった場合)
1	0	1	ビット・エラー (CANモジュールは送信メッセージ、ACKビット、エラー・フレームまたはオーバーロード・フレームの一部として、ドミナント・ビットの送信をしようとしたが、CANバス上の値はレセシブ・ビットであった場合)
1	1	0	CRCエラー
1	1	1	未定義

(8) CANモジュール情報レジスタ (C0INFO)

C0INFOレジスタは、CANモジュールのステータスを示します。

リセット時：00H R アドレス：C0INFO 03FEC053H

	7	6	5	4	3	2	1	0
C0INFO	0	0	0	BOFF	TECS1	TECS0	RECS1	RECS0

BOFF	バスオフ状態ビット
0	バスオフ状態ではありません (送信エラー・カウンタ < 255) (送信エラー・カウントが256未満)
1	バスオフ状態 (送信エラー・カウンタ > 255) (送信エラーのカウンタが256以上)

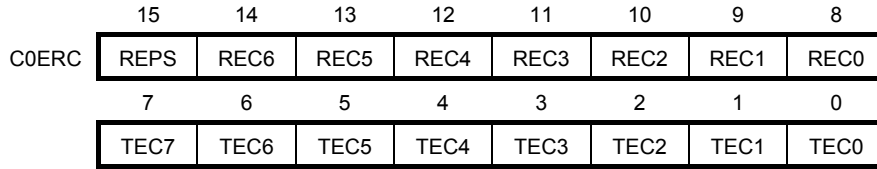
TECS1	TECS0	送信エラー・カウンタ状態ビット
0	0	送信エラー・カウンタはワーニング・レベル未満 (< 96)
0	1	送信エラー・カウンタはワーニング・レベル範囲 (96.....127)
1	0	未定義
1	1	送信エラー・カウンタはエラー・パッシブまたはバスオフ範囲 (> 128)

RECS1	RECS0	受信エラー・カウンタ状態ビット
0	0	受信エラー・カウンタはワーニング・レベル未満 (< 96)
0	1	受信エラー・カウンタはワーニング・レベル範囲 (96.....127)
1	0	未定義
1	1	受信エラー・カウンタはエラー・パッシブ範囲 (> 128)

(9) CANモジュール・エラー・カウンタ・レジスタ (C0ERC)

C0ERCレジスタは、送受信エラー・カウンタのカウンタ値を示します。

リセット時：0000H R アドレス：C0ERC FFFEC054H



REPS	受信エラー・パッシブ・ステータス・ビット
0	受信エラー・カウンタは、エラー・パッシブではない (<128)
1	受信エラー・カウンタは、エラー・パッシブ範囲 (128)

REC6-REC0	受信エラー・カウンタ・ビット
0-127	受信エラー・カウンタ数 受信エラー・カウンタの状態を反映します。カウンタ数はCANプロトコルにより定義されています。

備考 受信エラー・パッシブ状態 (C0INFO.RECS [1:0] = 11B) では、受信エラー・カウンタ REC6-REC0は無効です。

TEC7-TEC0	送信エラー・カウンタ・ビット
0-255	送信エラー・カウンタ数 送信エラー・カウンタの状態を反映します。カウンタ数はCANプロトコルにより定義されています。

備考 バスオフ中 (C0INFO.BOFF = 1) では、送信エラー・カウンタTEC7-TEC0は無効です。

(10) CANモジュール割り込み許可レジスタ (C0IE)

C0IEレジスタは、CANモジュールの割り込み許可/禁止を設定します。

(1/2)

リセット時：0000H R/W アドレス：C0IE 03FEC056H

(a) リード時

	15	14	13	12	11	10	9	8
C0IE	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	CIE5	CIE4	CIE3	CIE2	CIE1	CIE0

(b) ライト時

	15	14	13	12	11	10	9	8
C0IE	0	0	Set	Set	Set	Set	Set	Set
			CIE5	CIE4	CIE3	CIE2	CIE1	CIE0
	7	6	5	4	3	2	1	0
	0	0	Clear	Clear	Clear	Clear	Clear	Clear
			CIE5	CIE4	CIE3	CIE2	CIE1	CIE0

(a) リード時

CIE5-CIE0	CANモジュール割り込み許可ビット
0	割り込みステータス・レジスタCINTSxに対応する割り込み出力禁止
1	割り込みステータス・レジスタCINTSxに対応する割り込み出力許可

(b) ライト時

Set CIE5	Clear CIE5	CIE5ビットの設定
0	1	CIE5ビットをクリア (0) する
1	0	CIE5ビットをセット (1) する
上記以外		CIE5ビットの変更なし

Set CIE4	Clear CIE4	CIE4ビットの設定
0	1	CIE4ビットをクリア (0) する
1	0	CIE4ビットをセット (1) する
上記以外		CIE4ビットの変更なし

Set CIE3	Clear CIE3	CIE3ビットの設定
0	1	CIE3ビットをクリア (0) する
1	0	CIE3ビットをセット (1) する
上記以外		CIE3ビットの変更なし

Set CIE2	Clear CIE2	CIE2ビットの設定
0	1	CIE2ビットをクリア(0)する
1	0	CIE2ビットをセット(1)する
上記以外		CIE2ビットの変更なし

Set CIE1	Clear CIE1	CIE1ビットの設定
0	1	CIE1ビットをクリア(0)する
1	0	CIE1ビットをセット(1)する
上記以外		CIE1ビットの変更なし

Set CIE0	Clear CIE0	CIE0ビットの設定
0	1	CIE0ビットをクリア(0)する
1	0	CIE0ビットをセット(1)する
上記以外		CIE0ビットの変更なし

(11) CANモジュール割り込みステータス・レジスタ (C0INTS)

C0INTSレジスタは、CANモジュールの割り込みステータスを示します。

リセット時：0000H R/W アドレス：C0INTS 03FEC058H

(a) リード時

	15	14	13	12	11	10	9	8
C0INTS	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	CINTS5	CINTS4	CINTS3	CINTS2	CINTS1	CINTS0

(b) ライト時

	15	14	13	12	11	10	9	8
C0INTS	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	Clear	Clear	Clear	Clear	Clear	Clear
			CINTS5	CINTS4	CINTS3	CINTS2	CINTS1	CINTS0

(a) リード時

CINTS5-CINTS0	CAN割り込みステータス・ビット
0	関連する割り込みソース・イベント未発生
1	関連する割り込みソース・イベント発生

割り込みステータス・ビット	関連する割り込みソース・イベント
CINTS5	CANスリープ・モードからのウエイクアップ割り込み ^注
CINTS4	アービトラージ・ロスト割り込み
CINTS3	CANプロトコル・エラー割り込み
CINTS2	CANエラー・ステータス割り込み
CINTS1	メッセージ・バッファnへの有効なメッセージ・フレーム受信完了割り込み
CINTS0	メッセージ・バッファnからのメッセージ・フレームの正常な送信完了割り込み

注 CANバス動作によるCANスリープ・モードからのウエイクアップによってのみ、CINTS5がセット(1)されます。ソフトウェアによるCANスリープ・モードの解除ではCINTS5はセット(1)されません。

(b) ライト時

Clear CINTS5-CINTS0	CINTS5-CINTS0ビットの設定
0	CINTS5-CINTS0ビットの変更なし
1	CINTS5-CINTS0ビットをクリア(0)する

注意 このレジスタのステータス・ビットは自動的にクリアされることはありませんので、割り込み処理内で各ステータスの確認が必要な場合には、ソフトウェアにてクリア(0)を行ってください。

(12) CANモジュール・ビット・レート・プリスケアラ・レジスタ (C0BRP)

C0BRPレジスタは、CANプロトコル・レイヤ基本クロック (f_{rq}) を選択します。また、通信ポー・レートは、C0BTRレジスタに設定されます。

注意 C0BRPレジスタは、初期化モードのときのみライト・アクセス可能です。

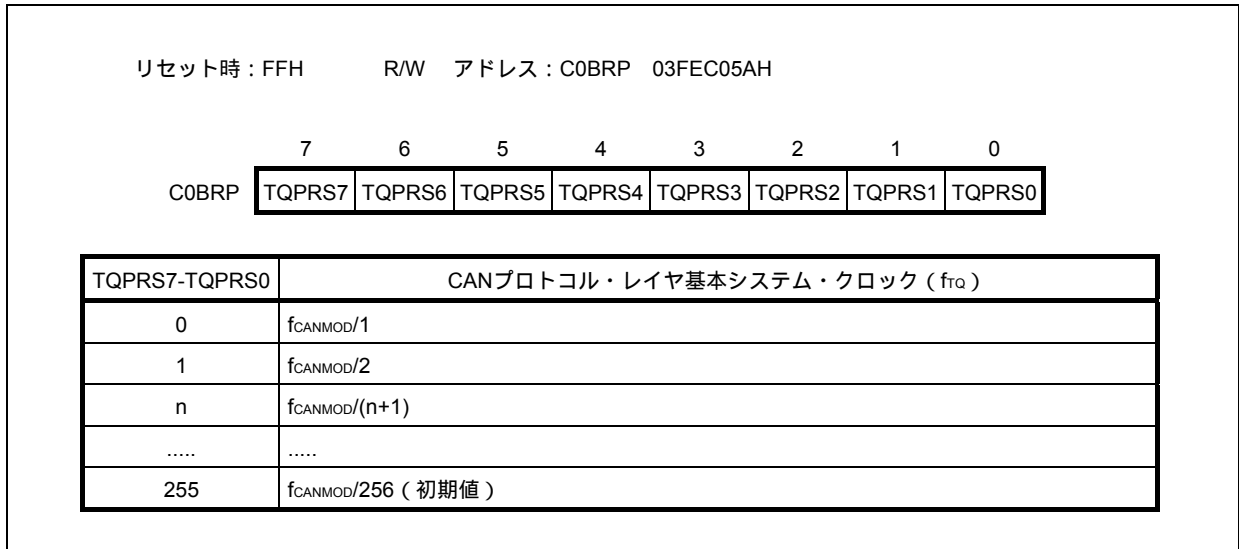
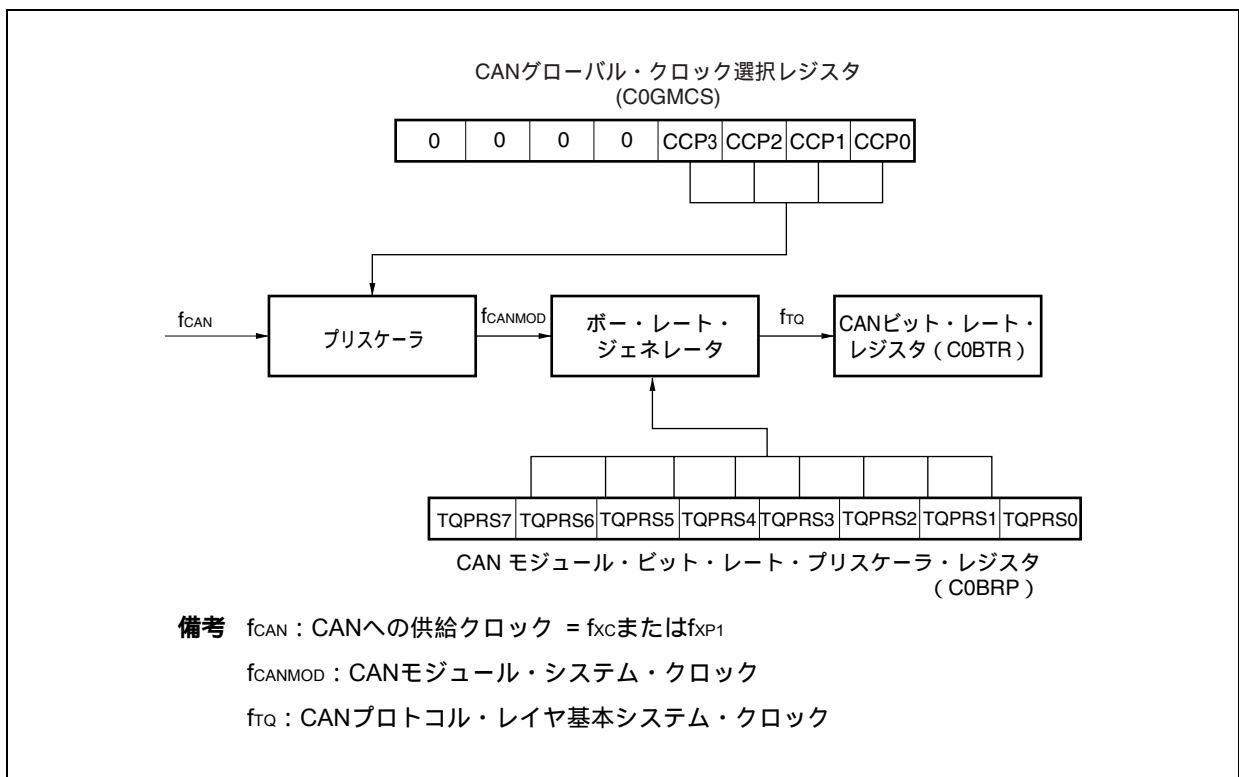


図17 - 25 CANモジュールのクロック



(13) CANモジュール・ビット・レート・レジスタ (C0BTR)

C0BTRレジスタは、通信ポー・レートのデータ・ビット・タイムを制御します。

(1/2)

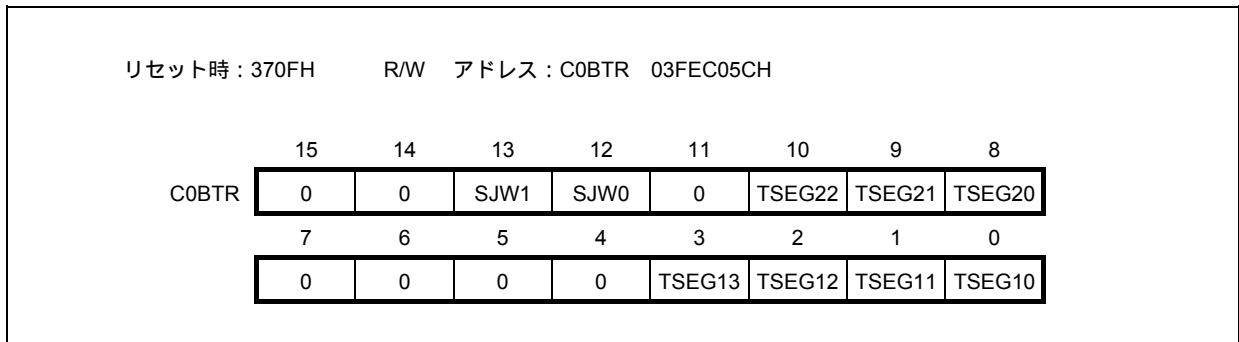
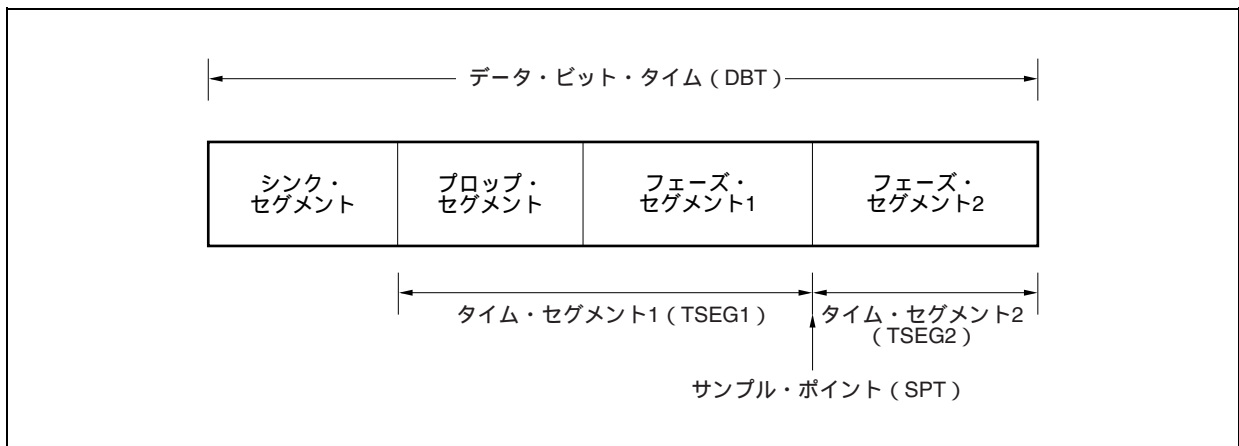


図17 - 26 データ・ビット・タイム



SJW1	SJW0	同期ジャンプ幅の長さ
0	0	1TQ
0	1	2TQ
1	0	3TQ
1	1	4TQ (初期値)

TSEG22	TSEG21	TSEG20	タイム・セグメント2の長さ
0	0	0	1TQ
0	0	1	2TQ
0	1	0	3TQ
0	1	1	4TQ
1	0	0	5TQ
1	0	1	6TQ
1	1	0	7TQ
1	1	1	8TQ (初期値)

TSEG13	TSEG12	TSEG11	TSEG10	タイム・セグメント1の長さ
0	0	0	0	設定禁止
0	0	0	1	2TQ ^注
0	0	1	0	3TQ ^注
0	0	1	1	4TQ
0	1	0	0	5TQ
0	1	0	1	6TQ
0	1	1	0	7TQ
0	1	1	1	8TQ
1	0	0	0	9TQ
1	0	0	1	10TQ
1	0	1	0	11TQ
1	0	1	1	12TQ
1	1	0	0	13TQ
1	1	0	1	14TQ
1	1	1	0	15TQ
1	1	1	1	16TQ (初期値)

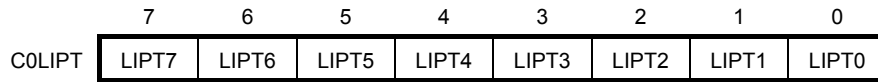
注 C0BRPレジスタ = 00Hの場合は、本設定は使用できません。

備考 TQ = 1/frq (frq : CANプロトコル・レイヤ基本システム・クロック)

(14) CANモジュール最終受信ポインタ・レジスタ (COLIPT)

COLIPTレジスタは、最後に受信格納したメッセージ・バッファ番号を示します。

リセット時：不定 R アドレス：COLIPT 03FEC05EH



LIPT7-LIPT0	最終受信ポインタ・レジスタ (COLIPT)
0.....31	COLIPTレジスタをリードすると、受信履歴・リストの最終受信ポインタ (LIPT) でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが最後に受信格納されたメッセージ・バッファ番号が得られます。

備考 メッセージ・バッファにデータ・フレームまたはリモート・フレームが一度も受信格納されていない場合は、COLIPTレジスタの読み出し値は不定です。したがって、初期化モードから任意の動作モードに移行後にCORGPTレジスタのRHPMビットがセット(1)されている場合には、COLIPTレジスタの読み出し値は不定となります。

(15) CANモジュール受信履歴・リスト・レジスタ (C0RGPT)

C0RGPTレジスタは、受信履歴・リストを読み出すためのレジスタです。

(1/2)

リセット時：xx02H R/W アドレス：C0RGPT 03FEC060H

(a) リード時

	15	14	13	12	11	10	9	8
C0RGPT	RGPT7	RGPT6	RGPT5	RGPT4	RGPT3	RGPT2	RGPT1	RGPT0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	RHPM	ROVF

(b) ライト時

	15	14	13	12	11	10	9	8
C0RGPT	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear ROVF

(a) リード時

RGPT7-RGPT0	受信履歴・リスト読み出しポインタ
0.....31	C0RGPTレジスタをリードすると、受信履歴・リストの読み出しポインタ (RGPT) でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが受信格納されたメッセージ・バッファ番号が得られます。

RHPM ^{注1}	受信履歴・リストのポインタ一致
0	受信履歴・リストには、少なくとも1つのリードされていないメッセージ・バッファ番号があります。
1	受信履歴・リストには、リードされていないメッセージ・バッファ番号がありません。

ROVF ^{注2}	受信履歴・リスト・オーバフロー・ビット
0	読み出されていないメッセージ・バッファ番号はすべて保存されます。新規にデータ・フレームまたはリモート・フレームを受信格納したメッセージ・バッファ番号はすべて受信履歴・リストに記録されます (受信履歴・リストに空きのエレメントが存在します)。
1	ホスト・プロセッサが受信履歴・リスト (RHL) を最後に使用 (たとえば、C0RGPTレジスタの読み込みなど) してから少なくとも23個のエントリが格納されています。ROVFビットがセットされていると、すべてのメッセージ・バッファ番号はLIPT - 1に格納されるため、最初の22個のエントリは順番に格納されていますが、最後のエントリは新たなメッセージを受信格納するたびに上書きされます。したがって、受信した順番を完全に回復することができません。

注 1. RHPM = 1のとき、RGPT0-RGPT7のリード値は無効です。

2. ROVFビットがセット (1) されている状態で、C0RGPTレジスタによりすべての受信履歴が読み出されている場合、RHPMビットは新たな受信格納があってもクリア (0) されずセット (1) されたままになります。

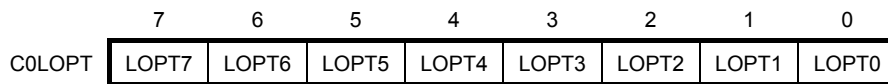
(b) ライト時

Clear ROVF	ROVFビットの設定
0	ROVFビットの変更なし
1	ROVFビットをクリア(0)する

(16) CANモジュール最終送信ポインタ・レジスタ(C0LOPT)

C0LOPTレジスタは、最後に送信したメッセージ・バッファ番号を示します。

リセット時：不定 R アドレス：C0LOPT 03FEC062H



LOPT7-LOPT0	送信履歴・リストの最終送信ポインタ(LOPT)
0.....31	C0LOPTレジスタをリードすると、送信履歴・リストの最終送信ポインタ(LOPT)でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが最後に送信されたメッセージ・バッファ番号が得られます。

備考 メッセージ・バッファからデータ・フレームまたはリモート・フレームが一度も送信されていない場合は、C0LOPTレジスタの読み出し値は不定です。したがって、初期化モードから任意の動作モードに移行後にTHPMビットがセット(1)されている場合には、C0LOPTレジスタの読み出し値は不定となります。

(17) CANモジュール送信履歴・リスト・レジスタ (C0TGPT)

C0TGPTレジスタは、送信履歴・リストを読み出すためのレジスタです。

(1/2)

リセット時：xx02H R/W アドレス：C0TGPT 03FEC064H

(a) リード時

	15	14	13	12	11	10	9	8
C0TGPT	TGPT7	TGPT6	TGPT5	TGPT4	TGPT3	TGPT2	TGPT1	TGPT0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	THPM	TOVF

(b) ライト時

	15	14	13	12	11	10	9	8
C0TGPT	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear TOVF

(a) リード時

TGPT7-TGPT0	送信履歴・リスト読み出しポインタ
0.....31	C0TGPTレジスタをリードすると、送信履歴・リストの読み出しポインタ (TGPT) でインデクスされるエレメントの内容が読み出されます。これにより、データ・フレームまたはリモート・フレームが送信されたメッセージ・バッファ番号が得られます。

THPM ^{注1}	送信履歴・リストのポインタ一致
0	送信履歴・リストには、少なくとも1つのリードされていないメッセージ・バッファ番号があります。
1	送信履歴・リストには、リードされていないメッセージ・バッファ番号がありません。

TOVF ^{注2}	送信履歴・リスト・オーバーフロー・ビット
0	読み出されていないメッセージ・バッファ番号はすべて保存されます。新規にデータ・フレームまたはリモート・フレームを送信完了したメッセージ・バッファ番号はすべて送信履歴・リストに記録されます (送信履歴・リストに空きのエレメントが存在します)。
1	ホスト・プロセッサが送信履歴・リスト (THL) を最後に使用 (たとえば、C0TGPTレジスタの読み込みなど) してから少なくとも7個のエントリが格納されています。TOVFビットがセットされていると、すべてのメッセージ・バッファ番号はLOPT - 1に格納されるため、最初の6個のエントリは順番に格納されていますが、最後のエントリは新たなメッセージの送信が完了するたびに上書きされます。したがって、送信した順番を完全に回復することができません。

- 注1. THPM = 1のとき、TGPT0-TGPT7のリード値は無効です。
 2. TOVFビットがセット (1) されている状態で、C0TGPTレジスタによりすべての送信履歴が読み出されている場合、THPMビットは新たな送信完了があってもクリア (0) されずセット (1) されたままになります。

備考 ABT付き通常動作モードでは、メッセージ・バッファ0-7からの送信は送信履歴・リストには記録されません。

(b) ライト時

Clear TOVF	ROVFビットの設定
0	TOVFビットの変更なし
1	TOVFビットをクリア(0)する

(18) CANモジュール・タイム・スタンプ・レジスタ (COTS)

COTSレジスタは、タイム・スタンプ機能を制御します。

リセット時：0000H R/W アドレス：COTS 03FEC066H

(a) リード時

	15	14	13	12	11	10	9	8
COTS	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	TSLOCK	TSEL	TSEN

(b) ライト時

	15	14	13	12	11	10	9	8
COTS	0	0	0	0	0	Set	Set	Set
	7	6	5	4	3	2	1	0
	0	0	0	0	0	Clear	Clear	Clear
						TSLOCK	TSEL	TSEN

備考 ABT付き通常動作モードの場合は、タイム・スタンプ機能のロック機能を使用することができません。

(a) リード時

TSLOCK	タイム・スタンプのロック機能許可ビット
0	タイム・スタンプのロック機能停止 選択されたタイム・スタンプ・キャプチャ・イベントごとにTSOUT信号がトグルします。
1	タイム・スタンプのロック機能許可 選択されたタイム・スタンプ・キャプチャ・イベントごとにTSOUT信号がトグルします。 ただし、メッセージ・バッファ0にデータ・フレームが正常に格納されたあとは、TSOUT信号の出力がロックされず ^注 。

注 TSENビットは自動的にクリア(0)されます。

TSEL	タイム・スタンプ・キャプチャ・イベント選択ビット
0	タイム・スタンプ・キャプチャ・イベントはSOFです。
1	タイム・スタンプ・キャプチャ・イベントはEOFの最終ビットです。

TSEN	TSOUT動作設定ビット
0	TSOUTトグル動作禁止
1	TSOUTトグル動作許可

備考 TSOUT信号はCANコントローラからタイマへ出力されます。詳細については第12章 16ビット・タイマ/イベント・カウンタAAを参照してください。

(b) ライト時

Set TSLOCK	Clear TSLOCK	TSLOCKビットの設定
0	1	TSLOCKビットをクリア(0)する
1	0	TSLOCKビットをセット(1)する
上記以外		TSLOCKビットの変更なし

Set TSSEL	Clear TSSEL	TSSELビットの設定
0	1	TSSELビットをクリア(0)する
1	0	TSSELビットをセット(1)する
上記以外		TSSELビットの変更なし

Set TSEN	Clear TSEN	TSENビットの設定
0	1	TSENビットをクリア(0)する
1	0	TSENビットをセット(1)する
上記以外		TSENビットの変更なし

(19) CANメッセージ・データ・バイト・レジスタ (C0MDATAxn) (x = 0-7), (C0MDATAzn) (z = 01, 23, 45, 67)

C0MDATAxnレジスタは、送受信メッセージのデータを格納し、8ビット単位でR/W可能なレジスタです。
C0MDATAznレジスタは、C0MDATAxnレジスタを16ビット単位でアクセス可能なレジスタです。

(1/2)

リセット時：不定 R/W アドレス：17. 5. 3 CANレジスタ概要を参照してください。

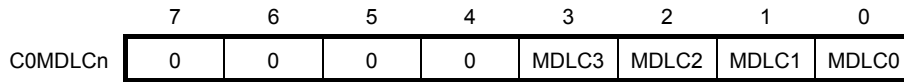
C0MDATA01n	15	14	13	12	11	10	9	8
	MDATA 0115	MDATA 0114	MDATA 0113	MDATA 0112	MDATA 0111	MDATA 0110	MDATA 0109	MDATA 0108
C0MDATA0n	7	6	5	4	3	2	1	0
	MDATA 0107	MDATA 0106	MDATA 0105	MDATA 0104	MDATA 0103	MDATA 0102	MDATA 0101	MDATA 0100
C0MDATA1n	7	6	5	4	3	2	1	0
	MDATA 1017	MDATA 1016	MDATA 1015	MDATA 1014	MDATA 1013	MDATA 1012	MDATA 1011	MDATA 1010
C0MDATA23n	15	14	13	12	11	10	9	8
	MDATA 2315	MDATA 2314	MDATA 2313	MDATA 2312	MDATA 2311	MDATA 2310	MDATA 2309	MDATA 2308
C0MDATA2n	7	6	5	4	3	2	1	0
	MDATA 2307	MDATA 2306	MDATA 2305	MDATA 2304	MDATA 2303	MDATA 2302	MDATA 2301	MDATA 2300
C0MDATA3n	7	6	5	4	3	2	1	0
	MDATA 3037	MDATA 3036	MDATA 3035	MDATA 3034	MDATA 3033	MDATA 3032	MDATA 3031	MDATA 3030
C0MDATA45n	15	14	13	12	11	10	9	8
	MDATA 4515	MDATA 4514	MDATA 4513	MDATA 4512	MDATA 4511	MDATA 4510	MDATA 4509	MDATA 4508
C0MDATA4n	7	6	5	4	3	2	1	0
	MDATA 4507	MDATA 4506	MDATA 4505	MDATA 4504	MDATA 4503	MDATA 4502	MDATA 4501	MDATA 4500
C0MDATA5n	7	6	5	4	3	2	1	0
	MDATA 5057	MDATA 5056	MDATA 5055	MDATA 5054	MDATA 5053	MDATA 5052	MDATA 5051	MDATA 5050

	15	14	13	12	11	10	9	8
COMDATA67n	MDATA 6715	MDATA 6714	MDATA 6713	MDATA 6712	MDATA 6711	MDATA 6710	MDATA 679	MDATA 678
	7	6	5	4	3	2	1	0
	MDATA 677	MDATA 676	MDATA 675	MDATA 674	MDATA 673	MDATA 672	MDATA 671	MDATA 670
	7	6	5	4	3	2	1	0
COMDATA6n	MDATA 67	MDATA 66	MDATA 65	MDATA 64	MDATA 63	MDATA 62	MDATA 61	MDATA 60
	7	6	5	4	3	2	1	0
COMDATA7n	MDATA 77	MDATA 76	MDATA 75	MDATA 74	MDATA 73	MDATA 72	MDATA 71	MDATA 70

(20) CANメッセージ・データ長レジスタn (COMDLCn)

COMDLCnレジスタは、メッセージ・バッファのデータ・フィールドのバイト数を設定します。

リセット時：0000xxxxB R/W アドレス：17.5.3 CANレジスタ概要を参照してください。



MDLC3	MDLC2	MDLC1	MDLC0	送受信メッセージのデータ長
0	0	0	0	0バイト
0	0	0	1	1バイト
0	0	1	0	2バイト
0	0	1	1	3バイト
0	1	0	0	4バイト
0	1	0	1	5バイト
0	1	1	0	6バイト
0	1	1	1	7バイト
1	0	0	0	8バイト
1	0	0	1	設定禁止
1	0	1	0	(送信時に設定した場合、データ・フレームの送信では設定したDLC値に関わらず8バイトのデータが送信されます。ただし、実際にCANバスに送信されるDLCはこのレジスタに設定したDLC値になります) ^注 。
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

注 CANバス上に実際に送信されるデータとDLC値は以下のとおりです。

送信フレーム種類	送信されるデータの長さ	送信されるDLC
データ・フレーム	DLCで指定されたバイト数 (ただしDLC 8の場合は8バイト)	MDLC[3:0]
リモート・フレーム	0バイト	

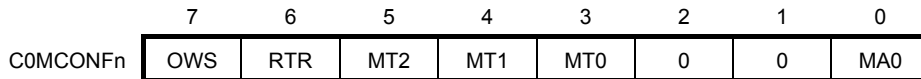
- 注意 1. ビット7-4には必ず0000Bを設定してください。
2. メッセージ受信時には、受信フレームのDLCに対応するバイト数(ただし、8が上限)分のCOMDATAxに受信データが格納されます。データが格納されなかったCOMDATAxは不定です。

(21) CANメッセージ・コンフィギュレーション・レジスタ_n (COMCONF_n)

COMCONF_nレジスタは、メッセージ・バッファのタイプとマスク設定の指定を行います。

(1/2)

リセット時：不定 R/W アドレス：17. 5. 3 CANレジスタ概要を参照してください。



OVS	オーバーライト制御ビット
0	すでに受信しているメッセージ・バッファ ^注 に対して、新しく受信したデータ・フレームは上書きしません。新しく受信したデータ・フレームは破棄されます。
1	すでに受信しているメッセージ・バッファに対して、新しく受信したデータ・フレームを上書きします。

注 “すでに受信しているメッセージ・バッファ”とは、DNビットがセット(1)されている受信メッセージ・バッファを意味します。

備考 リモート・フレームの受信格納に際しては、OVSおよびDNの設定には依存せず、その他の条件が合致(IDが一致、RTR = 0、TRQ = 0)したリモート・フレームは必ず該当するメッセージ・バッファに受信格納(割り込み生成、DNフラグのセット、MDLC [3:0]ビットの更新、および受信ヒストリ・リストへの記録)されます。

RTR	リモート・フレームの要求ビット ^注
0	データ・フレーム送信
1	リモート・フレーム送信

注 RTRビットは、送信メッセージ・バッファとして定義されたメッセージ・バッファから送信されるメッセージ・フレームの種類を指定します。

有効なリモート・フレームを受信しても、受信した送信メッセージ・バッファのRTRはクリア(0)されたままです。

リモート・フレーム送信のために送信メッセージ・バッファのRTRビットをセット(1)した状態で、CANバスからIDが合致するリモート・フレームを受信した場合でも、そのリモート・フレームの受信格納(割り込み生成、DNフラグのセット、MDLC [3:0]ビットの更新および受信ヒストリ・リストへの記録)は行われません。

MT2	MT1	MT0	メッセージ・バッファ・タイプ設定ビット
0	0	0	送信メッセージ・バッファ
0	0	1	受信メッセージ・バッファ(マスク設定なし)
0	1	0	受信メッセージ・バッファ(マスク1設定)
0	1	1	受信メッセージ・バッファ(マスク2設定)
1	0	0	受信メッセージ・バッファ(マスク3設定)
1	0	1	受信メッセージ・バッファ(マスク4設定)
上記以外			設定禁止

MA0	メッセージ・バッファの割り付けビット
0	メッセージ・バッファを使用しない
1	メッセージ・バッファを使用する

注意 ビット2, 1には、必ず0を書き込んでください。

(22) CANメッセージIDレジスタn (COMIDLn, COMIDHn)

COMIDLn, COMIDHnレジスタは、アイデンティファイア (ID) を設定します。

リセット時：不定 R/W アドレス：17. 5. 3 CANレジスタ概要を参照してください。

COMIDLn	15	14	13	12	11	10	9	8
	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8
	7	6	5	4	3	2	1	0
	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0

COMIDHn	15	14	13	12	11	10	9	8
	IDE	0	0	ID28	ID27	ID26	ID25	ID24
	7	6	5	4	3	2	1	0
	ID23	ID22	ID21	ID20	ID19	ID18	ID17	ID16

IDE	フォーマット・モード指定ビット
0	標準フォーマット・モード (ID28-ID18 : 11ビット) ^注
1	拡張フォーマット・モード (ID28-ID0 : 29ビット)

注 ID17-ID0ビットは使用されません。

ID28-ID0	メッセージID
ID28-ID18	11ビットの標準ID値 (IDE = 0のとき)
ID28-ID0	29ビットの拡張ID値 (IDE = 1のとき)

- 注意** 1. COMIDHnレジスタのビット14, 13には、必ず0を書き込んでください。
 2. 必ず、このレジスタに与えられたビット位置に従って登録するID値を並べてください。
 標準IDに関してID値はID28からID18のビット位置をシフトしてください。

(23) CANメッセージ制御レジスタ_n (COMCTRL_n)

COMCTRL_nレジスタは、メッセージ・バッファの動作を制御します。

(1/3)

リセット時：00x00000 R/W アドレス：17.5.3 CANレジスタ概要を参照してください。
000xx000B

(a) リード時

	15	14	13	12	11	10	9	8
COMCTRL _n	0	0	MUC	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	MOW	IE	DN	TRQ	RDY

(b) ライト時

	15	14	13	12	11	10	9	8
COMCTRL _n	0	0	0	0	Set IE	0	Set TRQ	Set RDY
	7	6	5	4	3	2	1	0
	0	0	0	Clear MOW	Clear IE	Clear DN	Clear TRQ	Clear RDY

(a) リード時

MUC ^注	メッセージ・バッファへのデータ更新中ビット
0	CANモジュールによるメッセージ・バッファの更新(受信格納)中ではありません。
1	CANモジュールによるメッセージ・バッファの更新(受信格納)中です。

注 MUCビットは最初の受信格納が行われるまで不定です。

MOW	メッセージ・バッファ・オーバライト・ステータス・ビット
0	メッセージ・バッファは、新しく受信したデータ・フレームによって上書きされていません。
1	メッセージ・バッファは、新しく受信したデータ・フレームによって上書きされています。

備考 DN = 1の送信メッセージ・バッファに対してリモート・フレームを受信格納しても、MOWはセット(1)されません。

IE	メッセージ・バッファ割り込み要求許可ビット
0	受信用メッセージ・バッファのとき：有効なメッセージ受信完了割り込み禁止 送信用メッセージ・バッファのとき：正常なメッセージ送信完了割り込み禁止
1	受信用メッセージ・バッファのとき：有効なメッセージ受信完了割り込み許可 送信用メッセージ・バッファのとき：正常なメッセージ送信完了割り込み許可

DN	メッセージ・バッファ・データ更新ビット
0	メッセージ・バッファにデータ・フレームまたはリモート・フレームが格納されていません。
1	メッセージ・バッファにデータ・フレームまたはリモート・フレームが格納されています。

TRQ	メッセージ・バッファ送信要求ビット
0	メッセージ・バッファ内に保留中または送信中のメッセージ・フレーム送信要求はありません。
1	メッセージ・バッファは、メッセージ・フレームの送信保留中または送信中です。

注意 TRQビットとRDYビットを同時にセット(1)しないでください。TRQビットをセット(1)する場合は、事前にRDYビットを必ずセット(1)してください。

RDY	メッセージ・バッファ準備ビット
0	ソフトウェアによりメッセージ・バッファに書き込みできます。CANモジュールはメッセージ・バッファに書き込みができません。
1	ソフトウェアによるメッセージ・バッファへの書き込みは無視されます(RDYビット、TRQビット、DNビットおよびMOWビットへのライト・アクセスを除く)。CANモジュールはメッセージ・バッファに書き込みが可能です。

- 注意**
1. メッセージ送信中に、RDYビットをクリア(0)しないでください。再定義のためのRDYビットのクリアは、送信中断処理に従ってください。
 2. RDYビットのクリア処理を行ってもクリアされていない場合は、もう一度クリア処理を行ってください。
 3. 他のメッセージ・バッファ・レジスタに書き込む前に、RDYビットがクリア(0)されたことを確認してください。確認はRDYビットを読み返して行ってください。ただし、COMCTRLnレジスタのTRQビットまたはRDYビットのセット(1)、DNビットまたはMOWビットのクリア(0)については確認する必要はありません。

(b) ライト時

Clear MOW	MOWビットの設定
0	MOWビットの変更なし
1	MOWビットをクリア(0)する

Set IE	Clear IE	IEビットの設定
0	1	IEビットをクリア(0)する
1	0	IEビットをセット(1)する
上記以外		IEビットの変更なし

注意 IEビットの設定とRDYビットの設定は、常に別々に行ってください。

Clear DN	DNビットの設定
1	DNビットをクリア(0)する
0	DNビットの変更なし

注意 ソフトウェアにより、DNビットをセット(1)しないでください。ビット10には、必ず0を書き込んでください。

Set TRQ	Clear TRQ	TRQビットの設定
0	1	TRQビットをクリアする (0)
1	0	TRQビットをセット(1)する
上記以外		TRQビットの変更なし

注意 TRQビットをセット(1)しても、他ノードからメッセージを受信していた場合や他のメッセージ・バッファからメッセージを送信していた場合などの状況により、即時に送信を行わない可能性があります。

また、TRQビットをクリア(0)しても、送信の途中で中断されることはありません。送信中の場合には、送信が完了(成功/失敗問わず)するまで送信を継続します。

Set RDY	Clear RDY	RDYビットの設定
0	1	RDYビットをクリア(0)する
1	0	RDYビットをセット(1)する
上記以外		RDYビットの変更なし

注意 TRQビットの設定とRDYビットの設定は、常に別々に行ってください。

17.8 CANコントローラの初期化処理

17.8.1 CANモジュールの初期化

CANモジュールの動作を許可する前に、ソフトウェアによりC0GMCSレジスタのCCP [3:0] ビットを設定し、CANモジュール・システム・クロックを決める必要があります。CANモジュール・システム・クロックの設定は、CANモジュールの動作が許可されたあとは変更できません。

CANモジュールは、C0GMCTRLレジスタのGOMビットをセット (1) することで動作を許可します。初期化処理手順については、17.16 CANコントローラの動作を参照してください。

17.8.2 メッセージ・バッファの初期化

CANモジュールの動作を許可したあと、メッセージ・バッファの値が不定のものがあります。初期化モードから任意の動作モードに移行する前に、すべてのメッセージ・バッファに対して初期化をしてください。アプリケーションで使用しないメッセージ・バッファに対しても次の設定を行ってください。

- ・C0MCTRL_nレジスタのRDYビット、TRQビット、DNビットをクリア (0) する。
- ・C0MCONF_nレジスタのMA0ビットをクリア (0) する。

備考 n = 0-31

17.8.3 メッセージ・バッファの再定義

メッセージ・バッファの再定義とは、メッセージ受信時または送信中に他の送受信動作に影響を与えることなく、メッセージ・バッファのIDや制御情報を変更することをいいます。

(1) 初期化モード中にメッセージ・バッファの再定義を行う場合

一度、初期化モードに移行し、初期化モード中にメッセージ・バッファのIDや制御情報を変更してください。メッセージ・バッファの変更後、任意の動作モードに移行してください。

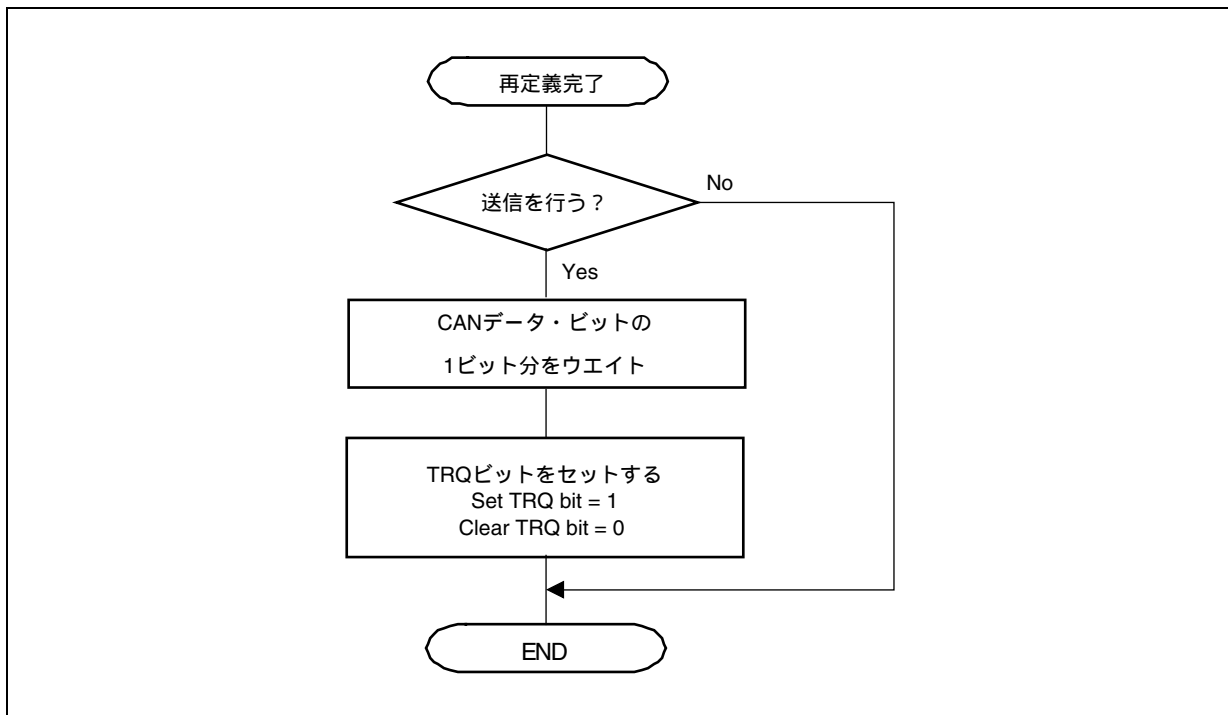
(2) 受信中にメッセージ・バッファの再定義を行う場合

図17-39にしたがって処理してください。

(3) 送信中にメッセージ・バッファの再定義を行う場合

送信要求がセットされている送信メッセージ・バッファの内容を書き換える場合には、送信中断処理(17.10.4(1)自動ブロック送信機能(ABT)付き通常動作モード以外での送信中断処理, 17.10.4(2)自動ブロック送信機能(ABT)付き通常動作モードでのABT送信以外の送信中断処理参照)を行い、送信が中断されたこと、あるいは送信が完了したことを確認したあとにメッセージ・バッファの再定義を行ってください。送信メッセージ・バッファの再定義後に送信要求をセットする場合は、次の処理手順にしたがって処理してください。ただし、送信中断処理を伴わない再定義を行った送信メッセージ・バッファに対して送信要求をセットする場合には、1ビット分のウェイトは必要ありません。

図17 - 27 送信メッセージ・バッファの再定義後の送信要求 (TRQ) の設定



注意1. メッセージ受信時には、各受信メッセージ・バッファに設定されたIDおよびマスク設定にもとづいて受信フィルタリングが行われます。図17 - 39 メッセージ・バッファの再定義の手順に従わなかった場合には、メッセージ・バッファの再定義後の内容と受信結果（受信フィルタリング結果）が矛盾する場合があります。

そのような場合は、メッセージ・バッファの再定義後に該当するメッセージ・バッファの最初の受信格納時に格納されているIDおよびIDEが再定義後の内容であることを確認してください。再定義後のIDおよびIDEが格納されていない場合は、再度メッセージ・バッファの再定義を行ってください。

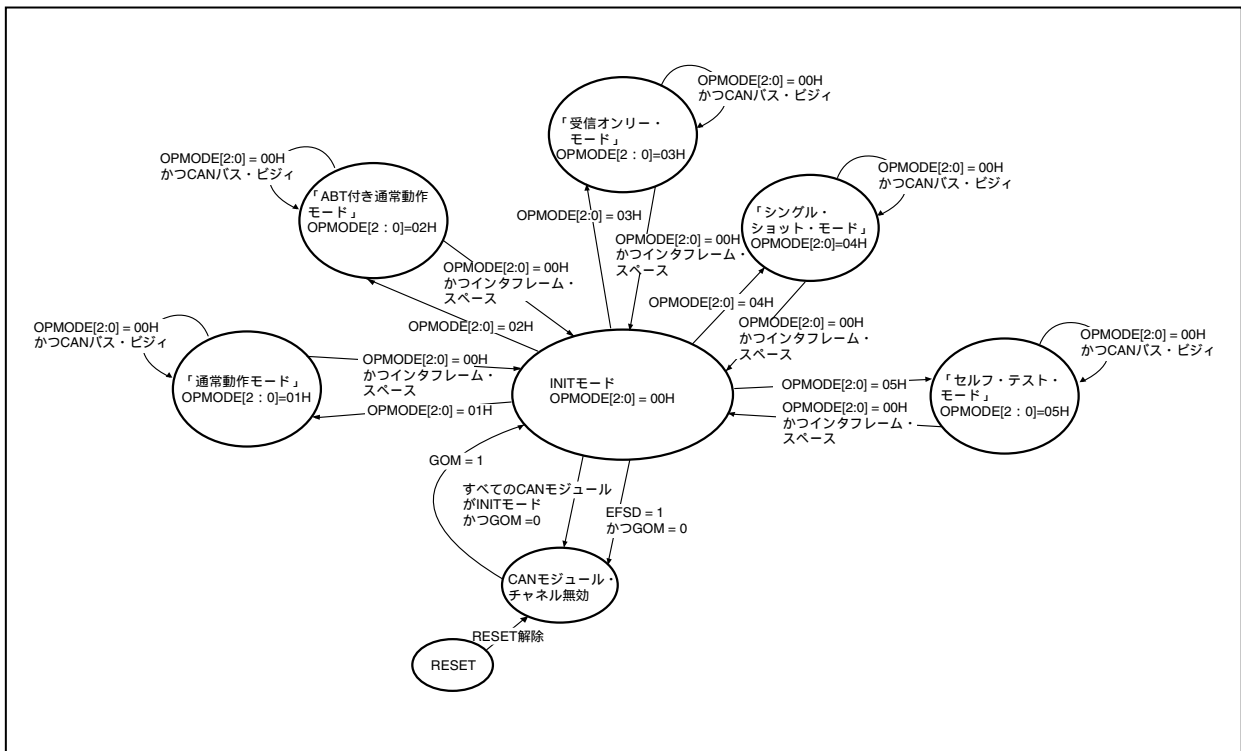
2. メッセージ送信時には、送信要求がセットされている各送信メッセージ・バッファに設定されたID、IDEおよびRTRビットにもとづいて送信優先順位判定を行い、最高位の優先順位をもつ送信メッセージ・バッファを選択して送信が行われます。図17 - 27の手順に従わなかった場合には、再定義後のIDが最高位のIDではないメッセージが送信される場合があります。

17.8.4 動作モードへの移行

CANモジュールは、次の動作モードに切り替えることができます。

- ・通常動作モード
- ・ABT付き通常動作モード
- ・受信オンリー・モード
- ・シングル・ショット・モード
- ・セルフ・テスト・モード

図17-28 動作モードへの移行



初期化モードから動作モードへの移行は、C0CTRLレジスタのOPMODE [2:0]ビットで設定します。

ある動作モードから別の動作モードに移行するには、一度初期化モードに移行する必要があります。直接、ある動作モードから別の動作モードに移行しないでください。直接、動作モードを移行した場合の動作保証はいたしません。

動作モードから初期化モードへの移行要求は、CANバスがインタフフレーム・スペースでないとき（フレーム受信または送信が実行中）は保留され、インタフフレーム・スペースの1ビット目に初期化モードへ移行します（OPMODE [2:0]ビットの値が000Bに変化します）。初期化モードへの移行要求のあとは、OPMODE [2:0]ビットが000Bになるまで、OPMODE [2:0]ビットをリードして、初期化モードへ移行したことを確認してください（図17-37 再初期化参照）。

17.8.5 CANモジュールのエラー・カウンタC0ERCのリセット

再初期化やバスオフ強制復帰の際に、CANモジュール・エラー・カウンタC0ERCと、CANモジュール情報レジスタC0INFOをリセットする必要がある場合には、初期化モード中にC0CTRLレジスタのCCERCビットをセット（1）してください。CCERCビットをセット（1）すると、CANモジュール・エラー・カウンタC0ERCとCANモジュール情報レジスタC0INFOは初期値にクリアされます。

17.9 メッセージ受信

17.9.1 メッセージ受信

すべての動作モードにおいて、新規受信メッセージを格納するため、一致するバッファを全メッセージ・バッファ領域に対し、検索します。次の条件を満たすすべてのメッセージ・バッファがその検索に含まれます。

- ・メッセージ・バッファとして使用している。
(COMCONFnレジスタのMA0ビットを1Bに設定)
- ・受信用メッセージ・バッファとして設定している。
(COMCONFnレジスタのMT [2:0]ビットを001B, 010B, 011B, 100B, 101Bに設定)
- ・受信準備ができています。
(COMCTRLnレジスタのRDYビットがセット(1)されている)

複数のメッセージ・バッファにメッセージを受信した場合、受信メッセージの格納優先順位は次のようになります。メッセージは、必ず優先順位の高い受信メッセージ・バッファに格納されます。優先順位の低い受信メッセージ・バッファには格納されません。たとえば、マスクされていない受信メッセージ・バッファとマスク1にリンクした受信メッセージ・バッファに同一IDが設定されていた場合、マスクされていない受信メッセージ・バッファがすでにメッセージを受信していたとしても、メッセージを受信していないマスク1にリンクした受信メッセージ・バッファには受信メッセージの格納はしません。つまり2つ以上の優先順位の異なるメッセージ・バッファで格納する条件が整った場合には、必ず優先順位の高いメッセージ・バッファが受信格納対象となり優先順位の低いメッセージ・バッファは受信格納対象とはなりません。これは優先順位の高いメッセージ・バッファが受信格納できない条件(たとえば、OWS = 0により上書き禁止ですすでに受信しているDN = 1の場合など)でも同様です。この場合、受信格納候補である優先順位の高いメッセージ・バッファには実際格納されませんが、それだからといって優先順位の低いメッセージ・バッファに格納されることはありません。

優先順位	同一IDを設定した場合の格納条件	
1 (高)	マスクされていないメッセージ・バッファ	DN = 0
		DN = 1かつOWS = 1
2	マスク1とリンクしたメッセージ・バッファ	DN = 0
		DN = 1かつOWS = 1
3	マスク2とリンクしたメッセージ・バッファ	DN = 0
		DN = 1かつOWS = 1
4	マスク3とリンクしたメッセージ・バッファ	DN = 0
		DN = 1かつOWS = 1
5 (低)	マスク4とリンクしたメッセージ・バッファ	DN = 0
		DN = 1かつOWS = 1

備考 n = 0-31

17.9.2 受信データの読み出し

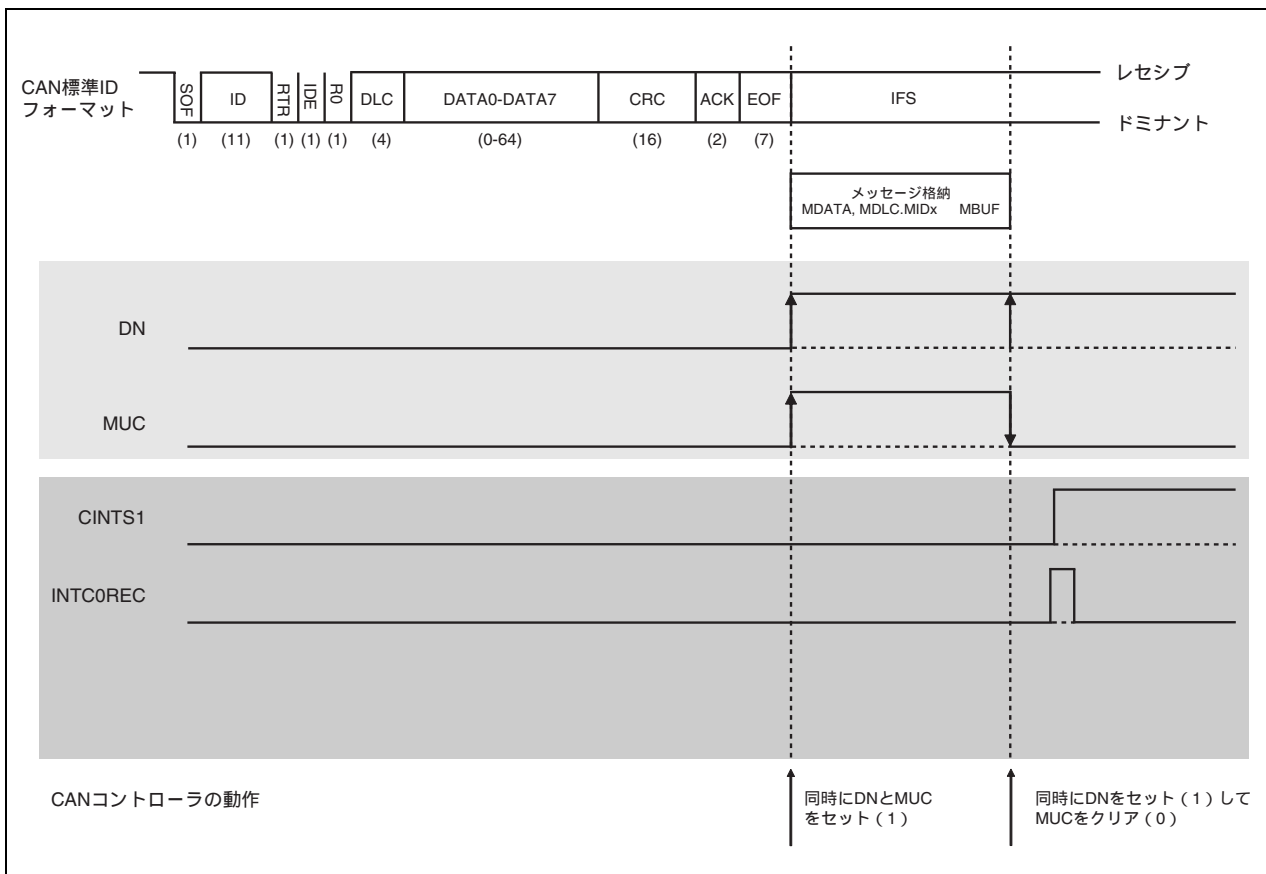
ソフトウェアによりCANメッセージ・バッファから一貫してデータを読み出す必要がある場合には、図17-49～17-51の推奨処理手順で行ってください。

メッセージ受信時、CANモジュールはC0MCTRLnレジスタのDNビットをメッセージ・バッファへのデータの格納処理の始まりと、この格納処理の終わりに2回セット(1)します。この格納処理の間、メッセージ・バッファのC0MCTRLnレジスタのMUCビットはセット(1)されています(図17-29参照)。

データ格納が完了する前には受信履歴・リストへの書き込みが行われず。またこのデータ格納期間(MUC = 1)は、格納対象となっているメッセージ・バッファのC0MCTRLnレジスタのRDYビットはCPUによる書き換えが禁止されています。このデータ格納処理はCPUによるいずれかのメッセージ・バッファへのアクセスにより処理完了が遅れることがあります。

備考 n = 0-31

図17-29 DN, MUCビットのセット期間(標準IDフォーマットの場合)



17.9.3 受信履歴・リスト機能

受信履歴・リスト機能は、データ・フレームまたはリモート・フレームを受信格納するごとに受信履歴・リスト (RHL) へ受信格納したメッセージ・バッファ番号の記録を行います。RHLは、最大23メッセージ分の格納エレメントと、受信履歴・リスト書き込みポインタ (LIPT) に対応するC0LIPTレジスタ、および受信履歴・リスト読み出しポインタ (RGPT) に対応するC0RGPTレジスタで構成されます。

初期化モードから任意の動作モードへの遷移直後、RHLは不定です。

C0LIPTレジスタは、LIPTポインタ - 1で示されるRHLエレメントの内容を保持しますので、C0LIPTレジスタを読み出すことで最後に受信格納したメッセージ・バッファ番号を知ることができます。LIPTポインタは、RHLにおけるメッセージ・バッファ番号の記録先を示す書き込みポインタとして機能します。データ・フレームあるいはリモート・フレームの受信格納が発生すると、対応するメッセージ・バッファ番号がLIPTポインタで示されるRHLエレメントに記録されます。RHLへの記録が完了するごとに、LIPTポインタは自動的にインクリメントされます。このように受信格納を行ったメッセージ・バッファの番号は時系列的に記録されていきます。

RGPTポインタは、記録されたメッセージ・バッファ番号をRHLから読み出す際の読み出しポインタとして機能します。RGPTポインタはCPUがまだ読み出しを行っていない最初のRHLエレメントを示しています。ソフトウェアにより、C0RGPTレジスタを読み出すことにより、受信格納したメッセージ・バッファの番号を読み出すことができます。C0RGPTレジスタからメッセージ・バッファ番号を読み出すごとに、RGPTポインタは自動的にインクリメントされます。

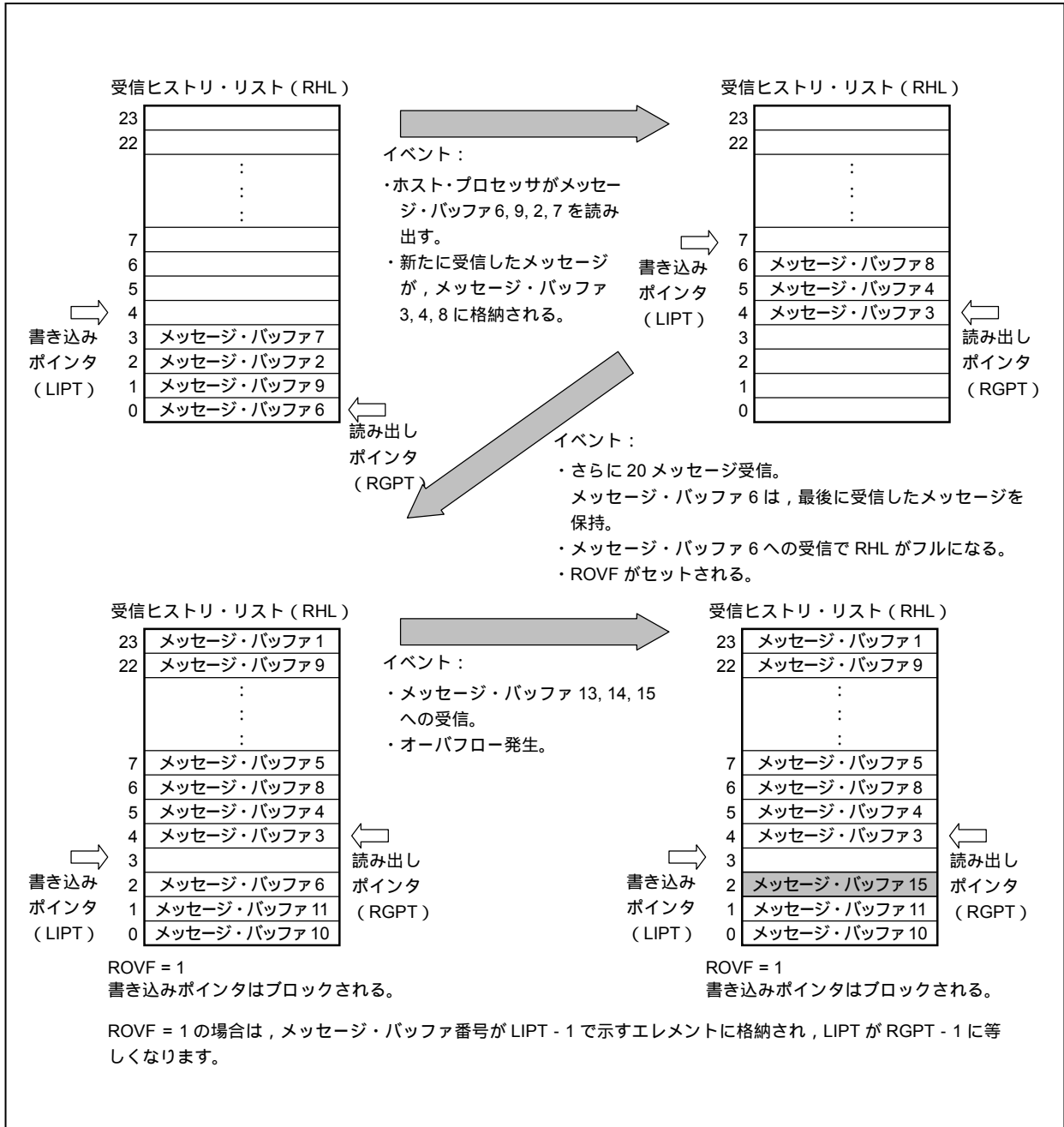
RGPTポインタとLIPTポインタが一致した場合には、C0RGPTレジスタのRHPMビット (受信履歴・リスト・ポインタ一致) がセット (1) されます。RHPMビットがセット (1) されていることで、RHLには読み出していないメッセージ・バッファ番号が残っていないことを知ることができます。また、受信格納に新しくメッセージ・バッファ番号の記録が行われると、LIPTポインタがインクリメントされポインタが一致なくなり、RHPMビットはクリア (0) されます。つまり、RHL内には未読のメッセージ・バッファ番号が存在することになります。

また、インクリメントされたLIPTポインタがRGPTポインタ-1と一致した場合には、C0RGPTレジスタのROVFビット (受信履歴・リスト・オーバーフロー) がセット (1) されます。この状態は、まだ読み出されていないメッセージ・バッファ番号でRHLがフルに記録されている状態を示します。さらに、メッセージの受信格納が新たに発生すると、最後に記録したメッセージ・バッファ番号を常に上書きすることで新しく受信格納したメッセージ・バッファ番号の記録を継続します。その場合、ROVFビットがセット (1) されたあと、RHLに保持しているメッセージ・バッファ番号は完全には時系列にはなりません。ただし、受信したメッセージ自体は正しく格納されます。CPU操作による各メッセージ・バッファのDNビットをサーチすることで、受信格納したメッセージ・バッファ番号を特定することができます。

注意 受信履歴・リストがオーバーフローした状態 (ROVF = 1) でも、未読の履歴がなくなりRHPMビットがセット (1) されるまで受信履歴を読み出すことが可能です。ただし、ROVFビットはソフトウェアによりクリア (0) されるまではセット (1) された状態 (=オーバーフローしている) を継続します。この状態では、ROVFビットがクリア (0) されないかぎり、新たに受信格納が発生して新しい受信履歴が書き込まれた場合でもRHPMビットはクリア (0) されません。したがって、ROVF = 1かつRHPM = 1で受信履歴・リストがオーバーフロー状態である場合には、新しい受信格納が発生してもRHPMビットは未読の受信履歴がない状態を示しますので注意してください。

受信履歴・リストは未読の状態では23個以下の受信履歴を保持している場合には受信格納順は保持されますが、ホスト・プロセッサが読み出しを行わない状態で受信格納された場合には、受信格納順は完全には読み出せないことがあります。

図17 - 30 受信履歴・リスト



17.9.4 マスク機能

受信に使用するいくつかのメッセージ・バッファのために、4つのグローバル受信マスクの1つを割り当てるか、またはマスクなしかを選択することができます。

メッセージIDの比較はマスクされたビットにより軽減されるため、1つのバッファの中にいくつかの異なるIDの受信を許容します。

マスク機能が働いているとき、マスクにて“1”と定義されたビットは受信したメッセージのアイデンティファイアとメッセージ・バッファのアイデンティファイアとの比較を行いません。

マスクにて“0”と定義されたビットについては比較を行います。

たとえば、ID27-ID25が“0”、ID24とID22が“1”と設定された標準フォーマットIDを持つすべてのメッセージをメッセージ・バッファ14に格納したい場合、次に示す手順で行ってください。

メッセージ・バッファに格納したいアイデンティファイア

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
x	0	0	0	1	x	1	x	x	x	x

x = don't care

メッセージ・バッファ14に設定したアイデンティファイア (例)

(CAN0メッセージIDレジスタL14, H14 (COMIDL14, COMIDH14) を使用)

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
x	0	0	0	1	x	1	x	x	x	x
ID17	ID16	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
x	x	x	x	x	x	x	x	x	x	x
ID6	ID5	ID4	ID3	ID2	ID1	ID0				
x	x	x	x	x	x	x				

ID27-ID25が“0”に設定され、ID24とID22が“1”に設定されているIDをメッセージ・バッファ14に登録 (初期化) します。

備考 メッセージ・バッファ14をマスク1にリンクする (COMCONF14レジスタのMT [2:0] = 010Bに設定) 標準フォーマット・アイデンティファイアとして設定します。

CANモジュール1 (マスク1) のマスク設定 (例)
 (CAN1モジュール・マスク1レジスタL, H (C1MASK1L, C1MASK1H) を使用)

CMID28	CMID27	CMID26	CMID25	CMID24	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18
1	0	0	0	0	1	0	1	1	1	1
CMID17	CMID16	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8	CMID7
1	1	1	1	1	1	1	1	1	1	1
CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0				
1	1	1	1	1	1	1				

1 : 比較しない (マスクする)

0 : 比較する

CMID27-CMID24およびCMID22のビットは“0”, CMID28, CMID23, CMID21-CMID0のビットは“1”に設定します。

17.9.5 マルチ・バッファ受信ブロック機能

マルチ・バッファ受信ブロック (MBRB) 機能 (以下, MBRBと記述) は, 同じメッセージ・バッファ・タイプを持つ複数のメッセージ・バッファに同じIDを設定することにより, CPUを介さずにデータ・ブロックとして複数のメッセージ・バッファに順に格納する機能です。これらのメッセージ・バッファはメッセージ・バッファ・メモリ内の任意の場所に配置できます。また, 互いに隣接して配置されていなくてもかまいません。

たとえば, メッセージ・バッファ10からメッセージ・バッファ19の10個のメッセージ・バッファが同じメッセージ・バッファ・タイプに設定されていて, さらにそれぞれのメッセージ・バッファに同じIDが設定されている場合には, 最初にIDが一致するメッセージを受信した場合, メッセージ・バッファ10に格納します。この時点でメッセージ・バッファ10はDNビットがセットされ, そのメッセージ・バッファに対して上書きが禁止されます。

次に, IDが一致するメッセージを受信した場合, メッセージ・バッファ11に受信格納されます。以降, IDが一致するメッセージを受信するたびにメッセージ・バッファ12, 13, …, 18, 19とメッセージ・バッファの番号順 (昇順) に格納されていきます。このように, 複数のメッセージからなるデータ・ブロックを受信する場合でも, IDが一致した古い受信データを上書きすることなく, 複数のメッセージを受信格納することができます。

また, 各メッセージ・バッファのCOMCTRLnレジスタのIEビットを設定することで, データ・ブロックの受信格納の完了を知ることができます。たとえば, データ・ブロックがk個のメッセージで構成されている場合は, データ・ブロック受信用にk個のメッセージ・バッファを初期化します。メッセージ・バッファ0から (k-2) までは, IEビットをクリア (0) しておき (割り込み無効), メッセージ・バッファk-1では, IEビットをセット (1) します (割り込み有効)。この場合, メッセージ・バッファk-1への受信格納が完了した時点で受信完了割り込みを発生させることで, MBRBがフルになったことを知ることができます。あるいは, メッセージ・バッファ0から (k-3) までは, IEビットをクリア (0) しておきメッセージ・バッファk-2のIEビットをセット (1) しておくことで, MBRBがオーバーフローしそうであることのワーニングとすることができます。

MBRBにおいても, 各メッセージ・バッファの受信データの基本的な格納条件は, 単一のメッセージ・バッファに対する格納条件と同じです。

- 注意1. MBRBは、同一のメッセージ・バッファ・タイプごとに構成することが可能です。したがって、メッセージ・バッファ・タイプが異なるが、IDが一致する他のMBRBのメッセージ・バッファに空きがあった場合でも、そのメッセージ・バッファには格納を行わず、受信メッセージは破棄されます。
2. MBRBは、リング構造をもっていません。したがって、MBRBを構成するメッセージ・バッファ番号が一番大きいメッセージ・バッファへ格納した以降のメッセージに対しては、再び一番小さいメッセージ・バッファから順に格納を行いません。
3. MBRBは、受信格納条件に基づく動作であり、機能有効ビット等のMBRB専用の設定はありません。複数のメッセージ・バッファに対し、同一のメッセージ・バッファ・タイプおよびIDを設定することで自動的にMBRBが構成されます。
4. MBRBにおける「IDが一致する」とは「マスク後のIDの一致する」という意味です。各メッセージ・バッファに設定したIDが必ずしも同一でなくても、マスク・レジスタによるマスク後のIDが一致するものは、IDが一致したものとみなされメッセージの格納対象先のバッファとして扱われます。
5. 各MBRB間の優先順位は、17.9.1 メッセージ受信で示す優先順位に従います。

備考 n = 0-31

17.9.6 リモート・フレーム受信

リモート・フレームの受信時には、すべての動作モードで、次の条件を満たすすべてのメッセージ・バッファに対し、格納すべきかどうかの検索を行います。

- ・メッセージ・バッファとして使用している。
(COMCONF_nレジスタのMA0ビットがセット(1)されている)
- ・送信用メッセージ・バッファとして設定している。
(COMCONF_nレジスタのMT[2:0]ビットを000Bに設定)
- ・受信準備ができています。
(COMCTRL_nレジスタのRDYビットがセット(1)されている)
- ・メッセージ送信に設定されている。
(COMCONF_nレジスタのRTRビットがクリア(0)されている)
- ・送信要求が設定されていない。
(COMCTRL_nレジスタのTRQビットがクリア(1)されている)

上記の条件を満足し、かつ受信したリモート・フレームとIDが合致するメッセージ・バッファに対しては、次の受信格納動作が行われます。

- ・COMDLC_nレジスタのDLC[3:0]は受信したDLC値を格納します。
- ・データ領域COMDATA0_n ~ COMDATA7_nは更新されません(受信前のデータが保存されます)。
- ・COMCTRL_nレジスタのDNビットがセット(1)されます。
- ・C0INTSレジスタのCINTS1ビットがセット(1)されます(受信格納するメッセージ・バッファのCOMCTRL_nレジスタのIEビットがセット(1)されている場合)。
- ・受信完了割り込み(INTC0REC)が出力されます(受信格納するメッセージ・バッファのCOMCTRL_nレジスタのIEビットがセット(1)されており、かつC0IEレジスタのCIE1ビットがセット(1)されている場合)。
- ・メッセージ・バッファ番号を受信履歴・リストに記録します。

注意 リモート・フレームの受信におけるメッセージ・バッファ検索および受信格納に際しては、メッセージ・バッファのCOMCONF_nレジスタのOWSビットによるオーバーライト制御の設定およびCOMCTRL_nレジスタのDNビットには影響を受けません。OWSビットの設定は無視され、どんな場合でもDNビットがセット(1)されます。

複数の送信メッセージ・バッファが同一IDを持ち、受信したリモート・フレームのIDが合致した場合には、最小のメッセージ・バッファ番号を持つ送信メッセージ・バッファに格納されます。

備考 n = 0-31

17.10 メッセージ送信

17.10.1 メッセージ送信

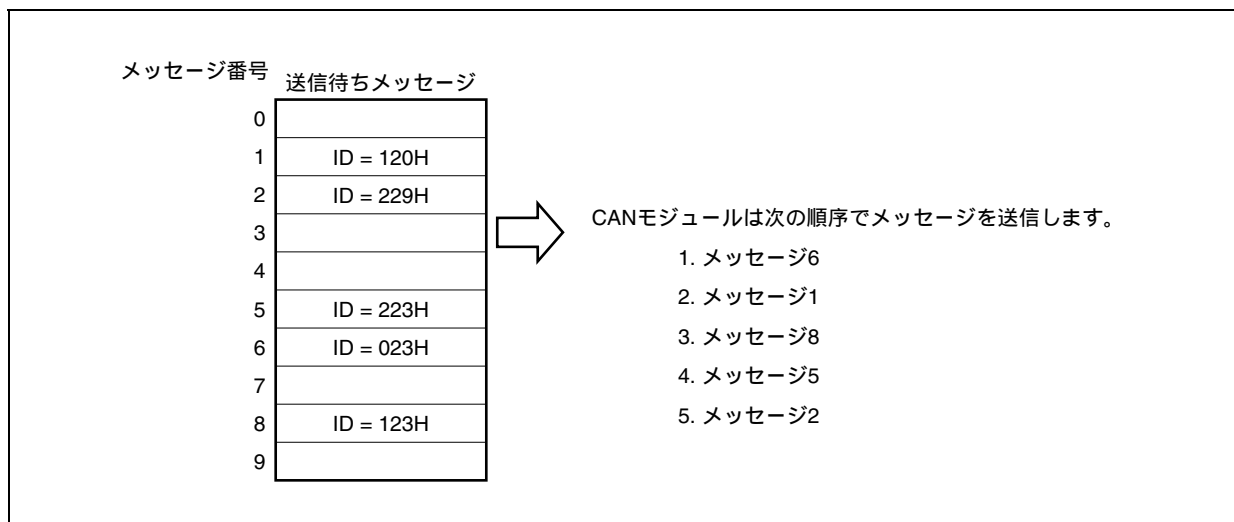
すべての動作モードで、次の条件を満たすメッセージ・バッファにTRQビットがセット(1)されているとき、送信するメッセージ・バッファの検索を行います。

- ・メッセージ・バッファとして使用している。
(COMCONFnレジスタのMA0ビットがセット(1)されている)
- ・送信用メッセージ・バッファとして設定している。
(COMCONFnレジスタのMT [2:0]ビットを000Bに設定)
- ・送信準備ができています。
(COMCTRLnレジスタのRDYビットがセット(1)されている)

CANはマルチ・マスタ方式の通信システムです。このようなシステムでは、メッセージの送信優先順位はメッセージのIDによって決定されます。ソフトウェアによる送信処理を容易にするため、CANモジュールは複数の送信待ちメッセージが存在する場合、有効なメッセージのどれが最高優先順位を持っているのかハードウェアによりIDを検索して自動的に判断します。したがって、ソフトウェアにより優先順位制御を行う必要がありません。

アイデンティファイア(ID)による送信プライオリティ制御を行います。

図17-31 メッセージ処理例



送信メッセージの検索は、保留されている送信要求を持つ送信メッセージ・バッファ (TRQビットがあらかじめセット(1)されたメッセージ・バッファ)のうち、最高位の優先度を持つ送信メッセージが送信されます。

また、新しく送信要求が設定された場合は、新しい送信要求を持つ送信メッセージ・バッファと保留されている送信要求を持つ送信メッセージ・バッファを比較します。新しい送信要求が最高位の優先度を持つ場合、低位の優先度を持つ送信メッセージの送信が開始されていなければ、最高位の優先度を持つ送信メッセージが送信されます。ただし、すでに低位の優先度を持つ送信メッセージの送信が開始されている場合には、新しい送信要求はあとで送信されます。この優先度の逆転を解決するために、ソフトウェアにより低優先度のメッセージに対し送信中断要求を実行できます。最高位の優先度は、次のように決定されます。

優先順位	条 件	説 明
1 (高)	IDの先頭11ビットの値 [ID28 : ID18]	IDの先頭11ビットで最小の値を持つメッセージ・フレームが最初に送信されます。11ビット標準IDの値が29ビット拡張IDの先頭11ビットと同一あるいは小さい場合は、11ビット標準IDが29ビット拡張IDを持つメッセージ・フレームよりも高い優先度を持ちます。
2	フレーム・タイプ	11ビット標準IDを持つデータ・フレーム (RTRビットがクリア (0)) は、標準IDを持つリモート・フレームや拡張IDを持つメッセージ・フレームよりも高い優先度を持ちます。
3	IDタイプ	標準IDを持つメッセージ・フレーム (IDEビットがクリア (0)) は、拡張IDを持つメッセージ・フレームよりも高い優先度を持ちます。
4	IDの下位18ビットの値 [ID17:ID0]	IDの先頭11ビットが同じ値を持ち、フレーム・タイプが同じ (RTRビット値が等しい)、拡張IDを持つ2つ以上のメッセージ・フレームが送信保留中の場合、拡張IDの下位18ビットが最小の値を表すメッセージ・フレームが最初に送信されます。
5 (低)	メッセージ・バッファ番号	2つ以上のメッセージ・バッファが同じIDを持つメッセージ・フレームの送信要求がある場合に、最小のメッセージ・バッファ番号を持つメッセージ・バッファからのメッセージが最初に送信されます。

備考 1. ABT付き通常動作モードで、自動ブロック送信要求ABTTRGビットをセット(1)した場合、ABTメッセージ・バッファ・グループの1つのメッセージ・バッファのみTRQビットがセット(1)されます。

ABT付き通常動作モードでは、ABTTRGビットにより開始されるとABT領域(バッファ0~7)に1つのTRQビットがセットされます。このTRQビット以外に、アプリケーションは、ABT領域以外の送信メッセージ・バッファに対し、送信要求ができます。その場合に内部送信検索処理 (TXサーチ) により、検索されたメッセージが次に送信されます。この検索処理は、TRQビットがセットされたすべての送信メッセージ・バッファを検索し、次の送信として最も高い優先順位のアイデンティファイアを含むメッセージ・バッファを選択します。高い優先順位を持つアイデンティファイアが2個またはそれ以上あった場合 (たとえば同一IDなど)、最も小さいメッセージ・バッファ番号に配置されたメッセージが先に送信されます。

メッセージ・フレームの送信が成功すると、次の動作を行います。

- ・ 対応する送信メッセージ・バッファのTRQビットが自動的にクリア (0) されます。
 - ・ C0INTSレジスタの送信完了ステータス・ビットCINTS0がセット (1) されます。
(対応する送信メッセージ・バッファの割り込み許可ビット (IE) がセット (1) されている場合)
 - ・ C0IEレジスタのCIE0ビットをセット (1)、かつ対応する送信メッセージ・バッファの割り込み許可ビット (IE) がセット (1) されている場合、INTC0TRXの割り込み要求信号が出力されます。
2. 送信メッセージ・バッファの内容を変更する際は、内容を更新する前にこのバッファのRDYフラグをクリアしなければなりません。内部処理の移行中、RDYフラグが一時的にロックされている可能性があるため、変更後はRDYフラグの状態をソフトウェアにより確認する必要があります。
 3. n = 0-31

17. 10. 2 送信履歴・リスト機能

送信履歴・リスト機能は、データ・フレームまたはリモート・フレームを送信するごとに送信履歴・リスト (THL) ヘメッセージ・バッファ番号の記録を行います。THLは、最大7メッセージ分の格納エレメントと、送信履歴・リスト書き込みポインタ (LOPT) に対応するC0LOPTレジスタおよび送信履歴・リスト読み出しポインタ (TGPT) に対応するC0TGPTレジスタで構成されます。

初期化モードから任意の動作モードへの遷移直後、THLは不定です。

C0LOPTポインタは、LOPTポインタ-1で示されるTHLエレメントの内容を保持しますので、C0LOPTレジスタを読み出すことで一番最後に送信したメッセージ・バッファ番号を知ることができます。LOPTポインタは、THLにおけるメッセージ・バッファ番号の記録先を示す書き込みポインタとして機能します。データ・フレームあるいはリモート・フレームの送信完了が発生すると、対応するメッセージ・バッファ番号がLOPTポインタで示されるTHLエレメントに記録されます。THLへの記録が完了するごとに、LOPTポインタは自動的にインクリメントされます。このように送信完了を行ったメッセージ・バッファの番号は時系列的に記録されていきます。

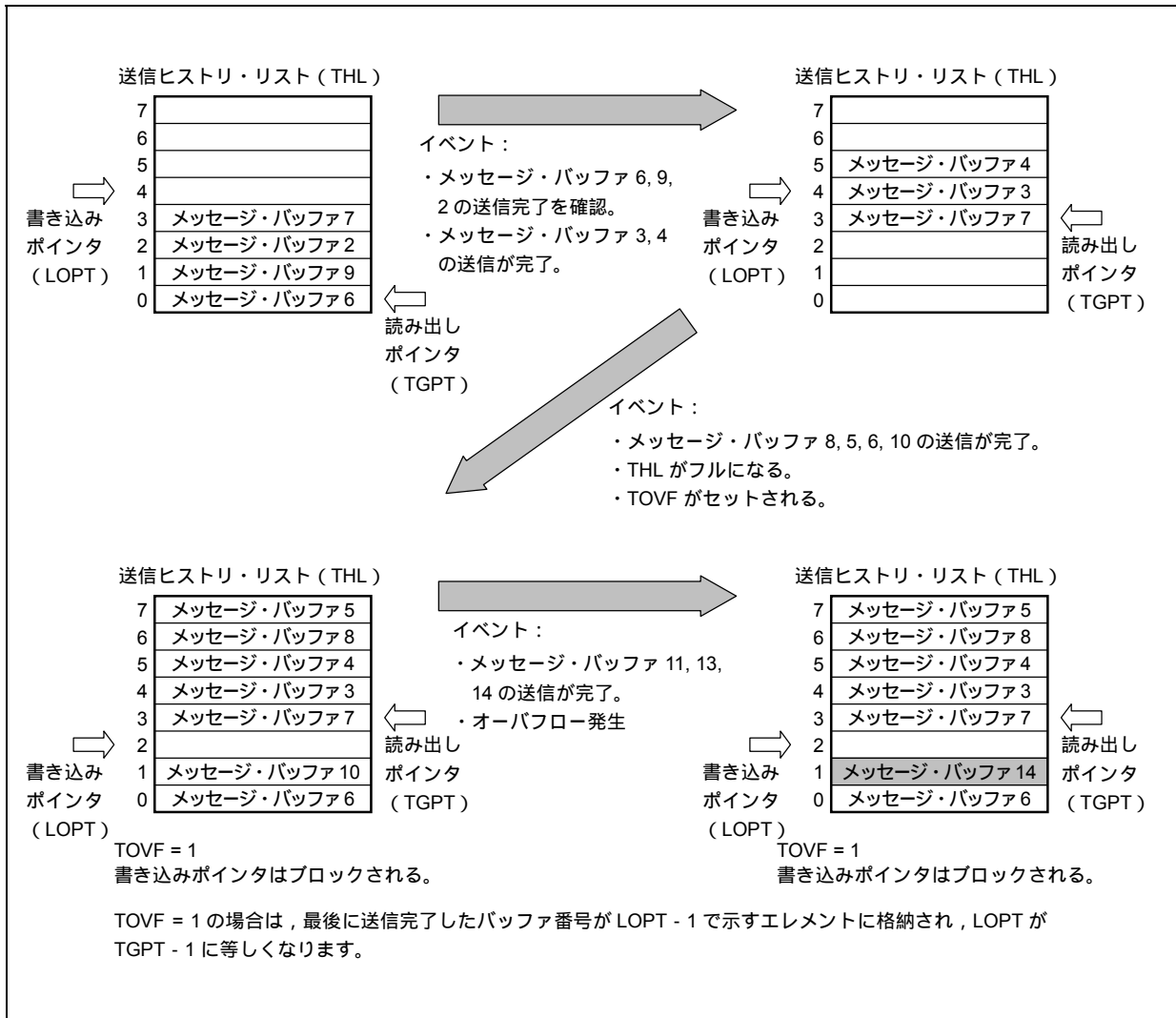
TGPTポインタは、記録されたメッセージ・バッファ番号をTHLから読み出す際の読み出しポインタとして機能します。TGPTポインタはCPUがまだ読み出しを行っていない最初のTHLエレメントを示しています。ソフトウェアにより、C0TGPTレジスタを読み出すことにより、送信完了したメッセージ・バッファの番号を読み出すことができます。C0TGPTレジスタからメッセージ・バッファ番号を読み出すごとに、TGPTポインタは自動的にインクリメントされます。

TGPTポインタとLOPTポインタが一致した場合には、C0TGPTレジスタのTHPMビット (送信履歴・リスト・ポインタ一致) がセット (1) されます。THPMビットがセット (1) されていることで、THLには読み出してないメッセージ・バッファ番号が残っていないことを知ることができます。また、送信完了により新しくメッセージ・バッファ番号の記録が行われると、LOPTポインタがインクリメントされポインタが一致なくなり、THPMビットはクリア (0) されます。つまり、THL内には未読のメッセージ・バッファ番号が存在することになります。

また、インクリメントされたLOPTポインタがTGPTポインタ - 1と一致した場合には、C0TGPTレジスタのTOVFビット (送信履歴・リスト・オーバーフロー) がセット (1) されます。この状態は、まだ読み出されていないメッセージ・バッファ番号でTHLがフルに記録されている状態を示します。さらに、メッセージの送信完了が新たに発生すると、最後に記録したメッセージ・バッファ番号を常に上書きすることで新しく送信完了したメッセージ・バッファ番号の記録を継続します。その場合、TOVFビットがセット (1) されたあと、THLに保持しているメッセージ・バッファ番号は完全に時系列にはなくなります。ただし、その場合でもCPUはすべての送信バッファをサーチすることで送信完了したメッセージ・バッファの番号を特定することができます (CPUが送信再設定を行う前に実行)。TOVFに関わらず6つの送信メッセージ・バッファ番号はTHLに保存されます。

注意 送信履歴・リストがオーバーフローした状態 (TOVF = 1) でも、未読の履歴がなくなりTHPMビットがセット (1) されるまで送信履歴を読み出すことが可能です。ただし、TOVFビットはソフトウェアによりクリア (0) されるまではセット (1) された状態 (= オーバーフローしている) を継続します。この状態では、TOVFビットがクリア (0) されないかぎりには新たに送信完了が発生し新しい送信履歴が書き込まれた場合でもTHPMビットはクリア (0) されません。したがって、TOVFビット = 1かつTHPMビット = 1で送信履歴・リストがオーバーフロー状態である場合には、新しい送信完了が発生してもTHPMビットは未読の送信履歴がない状態を示しますので注意してください。

図17 - 32 送信履歴・リスト



17. 10. 3 自動ブロック送信機能 (ABT : Automatic Block Transmission)

自動ブロック送信機能 (以下, ABTと記述) は, CPUを介さずに複数のデータ・フレームを連続的に送信することができる機能です。ABT用に割り付けられる送信メッセージ・バッファ数は, メッセージ・バッファ0からメッセージ・バッファ7までの8メッセージ固定です。

ABTは, C0CTRLレジスタのOPMODE [2:0]ビットを010Bに設定することで, “自動ブロック送信機能付き通常動作モード” (以下, ABT付き通常動作モードと記述) に選択できます。

ABTの送信要求を発行する前にソフトウェアにより, メッセージ・バッファを定義してください。ABT用のすべてのメッセージ・バッファに対して, MA0ビットをセット (1) し, さらにMT [2:0]ビットに000Bを設定し送信メッセージ・バッファとして定義してください。ABT用メッセージ・バッファで使用されるIDは, すべてのメッセージ・バッファのIDが同一として使用する場合でも, 必ず各メッセージ・バッファにIDを設定してください。また, 複数のIDを使用する場合は, C0MIDLn, C0MIDHnレジスタで各メッセージ・バッファのIDを設定して使用してください。C0MDLcNレジスタおよびC0MDATA0n-C0MDATA7nレジスタは, ABTモードでABTの送信要求の発行前に設定してください。

ABT用のメッセージ・バッファの初期化が終了したあとに, RDYビットをセット (1) してください。ABTでは, TRQビットをソフトウェアにより設定する必要はありません。

ABT用のメッセージ・バッファにデータを準備したあと, 自動ブロック送信は, ABTTRGビットをセット (1) することで開始されます。ABTが開始されると, 最初のメッセージ・バッファ (メッセージ・バッファ0) のTRQビットが自動的にセット (1) され送信が始まります。メッセージ・バッファ0の送信が終了したら, 次のメッセージ・バッファ1のTRQビットが自動的にセットされ, 以降順次送信を行います。

このとき, 連続送信中の送信要求 (TRQ) の自動セットをする間隔にプログラマブルで遅延の挿入ができます。挿入する遅延量はC0GMABTDレジスタで設定を行い, 単位はDBT (データ・ビット・タイム) です。DBTはC0BRPレジスタおよびC0BTRレジスタで設定される時間に依存します。

ABTは, ABT送信バッファ内での送信IDの優先順位の検索は行わず, メッセージ・バッファ0から最大メッセージ・バッファ7まで順に送信し, メッセージ・バッファ7からのデータ・フレームの送信が完了すると, ABTTRGビットは自動的にクリア (0) され, ABT送信が完了します。

ABT送信中に, ABT用メッセージ・バッファの中にRDYビットがクリア (0) されたメッセージ・バッファがあると, そのメッセージ・バッファからの送信を行わずにABT送信を停止しABTTRGビットがクリアされます。その後, ソフトウェアによりRDYビットをセット (1) し, ABTTRGビットをセット (1) することでABT送信を停止したメッセージ・バッファからの送信を再開させることができます。停止したメッセージ・バッファから送信を再開させたくない場合は, ABT送信が停止しABTTRGビットがクリア (0) された状態でABTCLRビットをセット (1) することで内部のABT送信エンジンをリセットすることができます。この場合, ABTCLRビットをクリア (0) 後, ABTTRGビットをセット (1) するとメッセージ・バッファ0から送信を開始します。

ABT用のすべてのメッセージ・バッファからデータ・フレームが送信されたことを確認するためには割り込みを使用できます。このとき, 最後のメッセージ・バッファ以外のC0MCTRLnレジスタのIEビットをクリア (0) しておく必要があります。

ABT用メッセージ・バッファ以外の送信メッセージ・バッファ (メッセージ・バッファ8~バッファ31) が送信メッセージ・バッファに割り付けられている場合は, 現在送信が保留されているABT用メッセージ・バッファの送信IDとそれらABT用メッセージ・バッファ以外の送信メッセージ・バッファの間の優先順位判定により, 最終的に送信されるメッセージの優先順位が決定されます。

ABT用メッセージ・バッファからのデータ・フレームの送信は, 送信ヒストリ・リスト (THL) に記録されません。

- 注意1. ABT付き通常動作モードをメッセージ・バッファ0から再開するためには、ABTCLRビットはABTTRGビットがクリア(0)されている状態でセット(1)してください。ABTTRGビットがセット(1)されている状態で、ABTCLRビットをセット(1)した場合には、以降の動作を保証いたしません。
2. ABTCLRビットのセット(1)による自動ブロック送信エンジンのクリアは、クリア要求の処理が完了した時点でABTCLRビットがただちに自動的にクリア(0)されることで確認できます。
 3. 初期化モード中にはABTTRGビットを設定しないでください。初期化モード中にABTTRGビットを設定した場合、初期化モードからABTモードへの移行後の正常動作は保証いたしません。
 4. ABT付き通常動作モードでは、ABT用メッセージ・バッファのTRQビットはソフトウェアでセット(1)しないでください。セットした場合には動作は保証いたしません。
 5. COGMABTDレジスタは、ABTモードにおいて順次送信するABT用の各メッセージに対しメッセージ番号順に送信要求をセットする際の、前ABTメッセージの送信完了から、次のABTメッセージのTRQビットのセットまでの期間に挿入される遅延量を設定するものです。実際にCANバス上に送信されるタイミングは、他局からの送信状況あるいはABTメッセージ以外のメッセージ(メッセージ・バッファ8~バッファ31)に対する送信要求の設定状況に依存して変化します。
 6. ABTメッセージ以外のメッセージに対して送信要求を設定した場合に、かつABT送信による送信要求の自動セットの間隔に遅延が挿入されない場合(COGMABTD = 00H)でも、ABTメッセージ以外のメッセージがABTメッセージとの優先順位の高低によらず送信されることがあります。
 7. ABTTRG = 1の状態では、RDYビットをクリア(0)しないでください。
 8. ABT付き通常動作モード時、他ノードからメッセージを受信した場合、COGMABTDレジスタ = 00Hの設定時でも1フレーム分待ってからABTメッセージを送信する場合があります。

17. 10. 4 送信中断処理

(1) 自動ブロック送信機能 (ABT) 付き通常動作モード以外での送信中断処理

送信要求を中断する必要がある場合には、COMCTRLnレジスタのTRQビットをクリア(0)します。TRQビットはすぐにクリア(0)されますが、送信中断が成功したかどうかは、CANバス上の送信状態を示すCOCTRLレジスタのTSTATビットとCOTGPTレジスタを確認してください(詳細は、[図17 - 46 送信中断処理 \(ABT付き通常動作モード以外\)](#)の処理を参照してください)。

(2) 自動ブロック送信機能 (ABT) 付き通常動作モードでのABT送信以外の送信中断処理

送信要求を中断する必要がある場合には、最初にCOGMABTレジスタのABTTRGビットをクリア(0)します。COGMABTレジスタのABTTRGビットがクリア(0)されたことを確認したあとで、COMCTRLnレジスタのTRQビットをクリアします。TRQビットはすぐにクリア(0)されますが、送信中断が成功したかどうかは、CANバス上の送信状態を示すCOCTRLレジスタのTSTATビットとCOTGPTレジスタを確認してください(詳細は、[図17 - 47 ABT送信以外の送信中断処理 \(ABT付き通常動作モード\)](#)を参照してください)。

(3) 自動ブロック送信機能 (ABT) 付き通常動作モードでの送信中断処理

すでに連続送信が開始されたABTを中断する必要がある場合は、COGMABTレジスタのABTTRGビットをクリア(0)します。この場合、現在ABTメッセージの送信であれば、送信が完了(成功、失敗問わず)するまでABTTRG = 1を保持し、送信が完了した時点でABTTRGはクリア(0)されます。これによりABT送信が中断されます。

送信中断前に最後に行った送信が成功した場合、ABT付き通常動作モードでは内部のABTポインタは次に送信されるメッセージ・バッファを指したままになっています。

送信中断の際に送信エラーがあった場合は、内部ABTポインタは最後に送信されたメッセージ・バッファのTRQビットの状態に依存します。ABTTRGビットのクリア(0)要求をする時点で、TRQビットがセット(1)されている場合には、内部ABTポインタは送信中断前に最後に送信されたメッセージ・バッファを指しています(詳細は、**図17-48 ABT送信中断処理 (ABT付き通常動作モード)**の処理を参照してください)。ABTTRGビットのクリアを要求する時点で、TRQビットがクリア(0)されている場合には、内部ABTポインタは+1インクリメントされ、ABT領域の次のメッセージ・バッファを指します(詳細は、**図17-49 ABT送信中断処理 (ABT付き通常動作モード)**の処理を参照してください)。

注意 ABT送信の中断は必ずABTTRGビット = 0によって行ってください。RDYクリアによる送信中断を要求した場合は、動作を保証いたしません。

ABT中断後にABTTRGをセット(1)することでABT付き通常動作モードが再開する場合、再開後に送信されるABTメッセージ・バッファは次のとおりです。

ABT用メッセージ・ バッファのTRQビットの状態	成功送信完了後に中断	送信エラー後に中断
セット(1)	ABT領域の次のメッセージ・バッファ ^注	ABT領域の同じメッセージ・バッファ
クリア(0)	ABT領域の次のメッセージ・バッファ ^注	ABT領域の次のメッセージ・バッファ ^注

注 ABT領域に、ABT送信が可能な状態のメッセージ・バッファが存在する場合のみ、上記中断後の再開動作が可能です。たとえば、メッセージ・バッファ7のABT送信中に発行された中断要求は、メッセージ・バッファ7の送信が成功完了した場合は、ABTTRGビットがクリア(0)されても、中断ではなくABT送信の完了とみなされます。

また、ABT領域の次のメッセージ・バッファのRDYビットがクリア(0)されている場合などは、内部ABTポインタは保持されますが、ABTTRGビットをセット(1)しても再開動作は行わずにただちにABT送信を終了します。

17.10.5 リモート・フレーム送信

リモート・フレームは、送信メッセージ・バッファからのみ送信することができます。COMCONFレジスタのRTRビットにより、データ・フレーム送信かリモート・フレーム送信かを設定します。RTRビットをセット(1)することにより、リモート・フレーム送信ができます。

17.11 パワー・セーブ・モード

17.11.1 CANスリープ・モード

CANスリープ・モードにより、CANコントローラを待機状態にすることで消費電力を低減することができます。CANスリープ・モードは、すべての動作モードから移行することができます。CANスリープ・モードが解除されても、CANスリープ・モードに移行前と同じ動作モードを保持します。

CANスリープ・モードでは、送信要求が発行または保留されていてもメッセージを送信しません。

(1) CANスリープ・モードへの移行

COCTRLレジスタのPSMODE [1:0]ビットを01Bに設定することで、CANスリープ・モードの要求を行います。この要求は次の場合に受け付けられます。

(i) CANモジュールがすでに次の動作モードにある場合

- ・ 通常動作モード
- ・ ABT付き通常動作モード
- ・ 受信オンリー・モード
- ・ シングル・ショット・モード
- ・ セルフ・テスト・モード
- ・ 上記のすべての動作モードにおいてCANストップ・モードである

(ii) CANバス状態がバス・アイドルの場合（インタフレーム・スペースの4ビット目がレセプティブである）^注

(iii) 送信要求が保留されていない

注 CANバスがドミナントに固着している場合には、CANスリープ・モードへの移行要求は保留されます。また、CANストップ・モードではCANスリープ・モードへの遷移はCANバスの状態には依存しません。

備考 CANスリープ・モード遷移要求が保留されている状態で受信が終了すると、CANスリープ・モード遷移要求はキャンセルされることなく、受信格納が処理されてから受け付けられCANスリープ・モードに移行します。このとき、CPUが受信割り込み処理を実行する際には、CANスリープ・モード状態になっていることとなります。したがって、CANスリープ・モードを使用する場合には、割り込み処理でMBONフラグをチェックすることにより、メッセージ・バッファおよび受信履歴・レジスタへのアクセス可否を確認する必要があります。

同様に、CANスリープ・モード遷移要求が保留されている状態で送信が終了すると、CANスリープ・モード遷移要求はキャンセルされることなく受け付けられ、CANスリープ・モードに移行します。このとき、CPUが送信割り込み処理を実行する際には、CANスリープ・モード状態になっていることとなります。したがって、CANスリープ・モードを使用する場合には、割り込み処理でMBONフラグをチェックすることにより、メッセージ・バッファおよび送信履歴・レジスタへのアクセス可否を確認する必要があります。

上記の条件の1つでも満たされない場合は、次のように動作します。

- ・初期化モードにおいてCANスリープ・モードの要求が行われた場合、その要求は無視され初期化モードのままになります。
- ・任意の動作モードにおいてCANバス状態がバス・アイドルではない（CANバス状態が送信中または受信時）ときにCANスリープ・モードの要求が行われた場合、CANスリープ・モードへただちに移行しません。その場合、CANスリープ・モードの要求はCANバス状態がバス・アイドル（インタフレーム・スペースの4ビット目がレセシブ）になるまで保留されます。CANスリープ・モードの要求を行ってから実際に移行が完了するまでは、PSMODE [1:0]ビットは00Bの設定のままになっていますが、移行が完了するとPSMODE [1:0] = 01Bになります。
- ・任意の動作モードにおいて、初期化モード遷移要求とCANスリープ・モード要求が同時に発行された場合には、初期化モード遷移要求のみが有効となり、CANモジュールは所定のタイミングで初期化モードに移行します。このときCANスリープ・モード要求は保留されず無視されます。
- ・また、初期化モード遷移要求とCANスリープ・モード要求が同時に発行されなかった場合（つまり最初に発行された一方の要求がまだ受け付けられていない状態で他方の要求が発行された場合）でも初期化モード遷移要求はCANスリープ・モード要求より優先されます。たとえば、CANスリープ・モード要求が保留され実行が保留されている状態で初期化モード遷移要求が発行された場合、初期化モード遷移要求の発行時点でCANスリープ・モード要求は直ちに無効となります。また初期化モード遷移要求が保留されている状態でCANスリープ・モード要求が発行された場合、CANスリープ・モード要求の発行時点で直ちにCANスリープ・モード要求が無効になります。

(2) CANスリープ・モードの状態

CANスリープ・モードへ移行後は、CANモジュールは次の状態となります。

- ・内部動作クロックが停止し、低消費電力状態となります。
- ・CANバスからのウエイク・アップのためにCAN受信端子（CRXD0）の立ち下がりエッジ検出は機能しています。
- ・CPUからのウエイク・アップのためにCANモジュール制御レジスタ（C0CTRL）のPSMODE [1:0]ビットは書き込みができますが、それ以外のCANモジュール・レジスタおよびビットには書き込みができません。
- ・CANモジュール・レジスタからの読み出しは、C0LIPT, C0RGPT, C0LOPT, C0TGPTを除いて可能です。
- ・CANメッセージ・バッファ・レジスタは書き込みと読み出しができません。
- ・CANグローバル制御レジスタ（C0GMCTRL）のMBONビットがクリアされます。
- ・初期化モードへの移行要求は受け付けられません。無視されます。

(3) CANスリープ・モードの解除

CANスリープ・モードは次の動作により解除されます。

- ・ C0CTRLレジスタのPSMODE [1:0]ビットに00Bを設定した場合
- ・ CAN受信端子 (CRXD0) の立ち下がりエッジの検出 (レセシブからドミナントへのCANバス変化)

注意 1. この立ち下がりエッジが受信メッセージのSOFであった場合、そのメッセージは受信および格納はされません。CANスリープ・モード中、CANへのクロックが停止されていると、CPUによりCANへのクロックを供給されない限り、CANスリープ・モードは解除されずPSMODE[1:0]ビットは01Bのままとなります。また、それ以降の受信メッセージについても受信されません。

- 2.** CANクロックが供給されている状態で、CAN受信端子 (CRXDn) に立ち下がりエッジを検出した場合には、ソフトウェアによるPSMODE0ビットのクリアが必要となります (詳細は、図17 - 54の処理を参照してください)。

CANスリープ・モードが解除されたあとは、CANスリープ・モードが要求される前の動作モードに戻り、C0CTRLレジスタのPSMODE [1:0]ビットは00Bにリセットされます。CANスリープ・モードが、CANバス変化によって解除された場合、C0IEレジスタのCIEビットに関わらずC0INTSレジスタのCINTS5がセット (1) されます。またCANスリープ・モード解除後は、CANモジュールは自動的にCANバス上に連続した11ビットのレセシブを検出することでCANバスへの再参加を行います。また、スリープ・モードを解除したあと、アプリケーションにより再度メッセージ・バッファにアクセスする前にMBON = 1を確認しなければなりません。

CANスリープ・モードのときに初期化モードの要求が行われると、その要求は無視されます。初期化モードに移行させるにはソフトウェアによりCANスリープ・モードをいったん解除してください。

注意 CANバスのイベントによるCANスリープ・モードの解除では、スリープ・モード移行直後にCANバスのイベントが発生した場合でもウエイク・アップ割り込みが発生しますので、いつでも発生する可能性があることを意識してください。

17.11.2 CANストップ・モード

CANストップ・モードにより、CANコントローラを待機状態にすることで消費電力を低減することができます。CANストップ・モードは、CANスリープ・モードからのみ移行することができます。CANストップ・モードを解除することによって、CANスリープ・モードに移行します。

CANストップ・モードは、C0CTRLレジスタのPSMODE [1:0]ビットを01Bに設定することでのみ解除 (CANスリープ・モードへの移行) が可能で、CANバスの変化によっては解除されません。送信要求が発行または保留されていてもメッセージを送信しません。

(1) CANストップ・モードへの移行

C0CTRLレジスタのPSMODE [1:0]ビットを11Bに設定することで、CANストップ・モードの要求を行います。CANストップ・モードの要求は、CANモジュールがCANスリープ・モードの場合のみ受け付けられます。CANスリープ・モードでない状態では、CANストップ・モードの移行要求は無視されます。

注意 CANストップ・モード移行のためには、CANモジュールがCANスリープ・モードであることが必要です。その確認のためにPSMODE [1:0] = 01Bであることを確認したあとに、CANストップ・モード要求を行ってください。ただし、これらの処理の間にCAN受信端子 (CRXD0) のバス変化が発生した場合、CANスリープ・モードが自動的に解除されますので、その場合にはCANストップ・モード要求は受け付けられなくなります (ただし、CANクロックが供給されている状態では、CAN受信端子 (CRXD0) のバス変化が発生したあとで、ソフトウェアによるPSMODE0ビットのクリアが必要となります)。

(2) CANストップ・モードの状態

CANストップ・モードへ移行後は、CANモジュールは下記の状態となります。

- ・内部動作クロックが停止し、低消費電力状態となります。
- ・CPUからのウエイク・アップのためにCANモジュール制御レジスタ (C0CTRL) のPSMODE [1:0]ビットは書き込みができますが、それ以外のCANモジュール・レジスタおよびビットには書き込みできません。
- ・CANモジュール・レジスタからの読み出しは、C0LIPT, C0RGPT, C0LOPT, C0TGPTを除いて可能です。
- ・CANメッセージ・バッファ・レジスタは書き込みと読み出しができません。
- ・CANグローバル制御レジスタ (C0GMCTRL) のMBONビットがクリアされます。
- ・初期化モードへの移行要求は受け付けられません。無視されます。

(3) CANストップ・モードの解除

CANストップ・モードは、C0CTRLレジスタのPSMODE [1:0]ビットを01Bに設定することによってのみ解除されます。解除後はCANスリープ・モードに移行します。

CANストップ・モードのときに初期化モードの要求が行われると、その要求は無視されます。初期化モードに移行させるにはソフトウェアによりCANストップ・モードを解除し、さらにCANスリープ・モードを解除してください。CANストップ・モードからCANスリープ・モードを経ずに直接任意の動作モードに移行することはできません。そのような移行要求は無視されます。

17.11.3 パワー・セーブ・モード使用例

アプリケーション・システムにおいて、消費電力を低減するためにCPUをパワー・セーブ・モードに設定することが必要となる場合があります。このとき、CANモジュール固有のパワー・セーブ・モードとCPU固有のパワー・セーブ・モードを連携させることで、パワー・セーブ状態のCPUをCANバスからウエイク・アップさせることが可能です。

次に使用例を説明します。

まず、CANモジュールをCANスリープ・モードに移行させます (PSMODE [1:0]ビット = 01B)。次に、CPUをパワー・セーブ・モードに移行させます。この状態で、CAN受信端子 (CRXD0) がレセシブからドミナントへのエッジ変化を検出した場合、CANモジュールのCINTS5ビットがセット (1) され、さらにC0CTRLレジスタのCIE5ビットがセット (1) されている場合には、ウエイク・アップ割り込み (INTC0WUP) が発生します。

CANモジュールは、CANスリープ・モードが自動的に解除 (PSMODE [1:0]ビット = 00B) され、通常動作モードに復帰します (ただし、CANクロックが供給されている状態では、CAN受信端子 (CRXD0) がバス変化を検出したあとで、ソフトウェアによるPSMODE0ビットのクリアが必要となります)。一方、CPUはINTC0WUPを受けて、CPU自身のパワー・セーブ・モードを解除し、通常動作モードに復帰することができます。

CPUのさらなる消費電力の低減を図るために、CANモジュールを含めた内部クロックを停止させることがあります。この場合、上述のように、CANモジュールをCANスリープ・モードに移行させたあとに、CANモジュールに供給されている動作クロックを停止します。その後、CPUはCPUへのクロック供給を停止するパワー・セーブ・モードに移行させます。この状態で、CAN受信端子 (CRXD0) がレセシブからドミナントへのエッジ変化を検出した場合、CANモジュールはクロック供給がない状態でもCINTS5ビットのセット (1) とウエイク・アップ割り込み (INTC0WUP) を発生することが可能です。ただし、それ以外の機能は、CANモジュールへのクロック供給が止まっているため動作せず、CANスリープ・モード状態を維持します。CPUは、INTC0WUPを受けて、CPUのパワー・セーブ・モードを解除し、たとえば発振安定時間経過後に、CANモジュールへのクロックを含めた内部クロックの供給を再開し、所定の命令実行動作を開始します。CANモジュールは、クロック供給が再開されると直ちにCANスリープ・モードを解除し、通常動作モード (PSMODE [1:0]ビット = 00B) に復帰します。

17.12 割り込み機能

CANモジュールには、6つの割り込み要因があります。

これらの割り込み要因の発生は、割り込みステータス・レジスタに格納されます。6つの割り込み要因から、4つの割り込み要求が発生します。複数の割り込み要因が集約されている割り込み要求信号の発生時には、割り込みステータス・レジスタを使用して、割り込み要因の特定ができます。割り込み要因の発生後、ソフトウェアにより対応する割り込みステータス・ビットをクリア（0）する必要があります。

表17-22 CANモジュール割り込み要因一覧

No.	割り込みステータス・ビット		割り込み許可ビット		割り込み要求信号	割り込み要因の説明
	ビット名	レジスタ	ビット名	レジスタ		
1	CINTS0 ^注	COINTS	CIE0 ^注	COIE	INTC0TRX	メッセージ・バッファ ⁿ からのメッセージ・フレームの正常な送信完了割り込み
2	CINTS1 ^注	COINTS	CIE1 ^注	COIE	INTC0REC	メッセージ・バッファ ⁿ への有効なメッセージ・フレーム受信完了割り込み
3	CINTS2	COINTS	CIE2	COIE	INTC0ERR	CANモジュール・エラー状態割り込み（補足1）
4	CINTS3	COINTS	CIE3	COIE		CANモジュール・プロトコル・エラー割り込み（補足2）
5	CINTS4	COINTS	CIE4	COIE		CANモジュール・アービトラーション・ロスト割り込み
6	CINTS5	COINTS	CIE5	COIE	INTC0WUP	CANスリープ・モードからのウエイク・アップ割り込み（補足3）

注 メッセージ・バッファでは、割り込みを発生させたいメッセージ・バッファのC0MCTRLレジスタのIEビット（メッセージ・バッファ割り込み許可ビット）をセット（1）する必要があります。

- 備考 1. 送受信エラー・カウンタがワーニング・レベル、エラー・パッシブおよびバスオフ状態になることが要因で発生する割り込みです。
2. スタッフ・エラー、フォーム・エラー、ACKエラー、ビット・エラー、CRCエラーが要因で発生する割り込みです。
3. CAN受信端子の立ち下がリエッジの検出（レセプブからドミナントへのCANバス変化）によるCANスリープ・モードからのウエイク・アップが要因で発生する割り込みです。
4. $n = 0-31$

17.13 診断機能と特殊動作モード

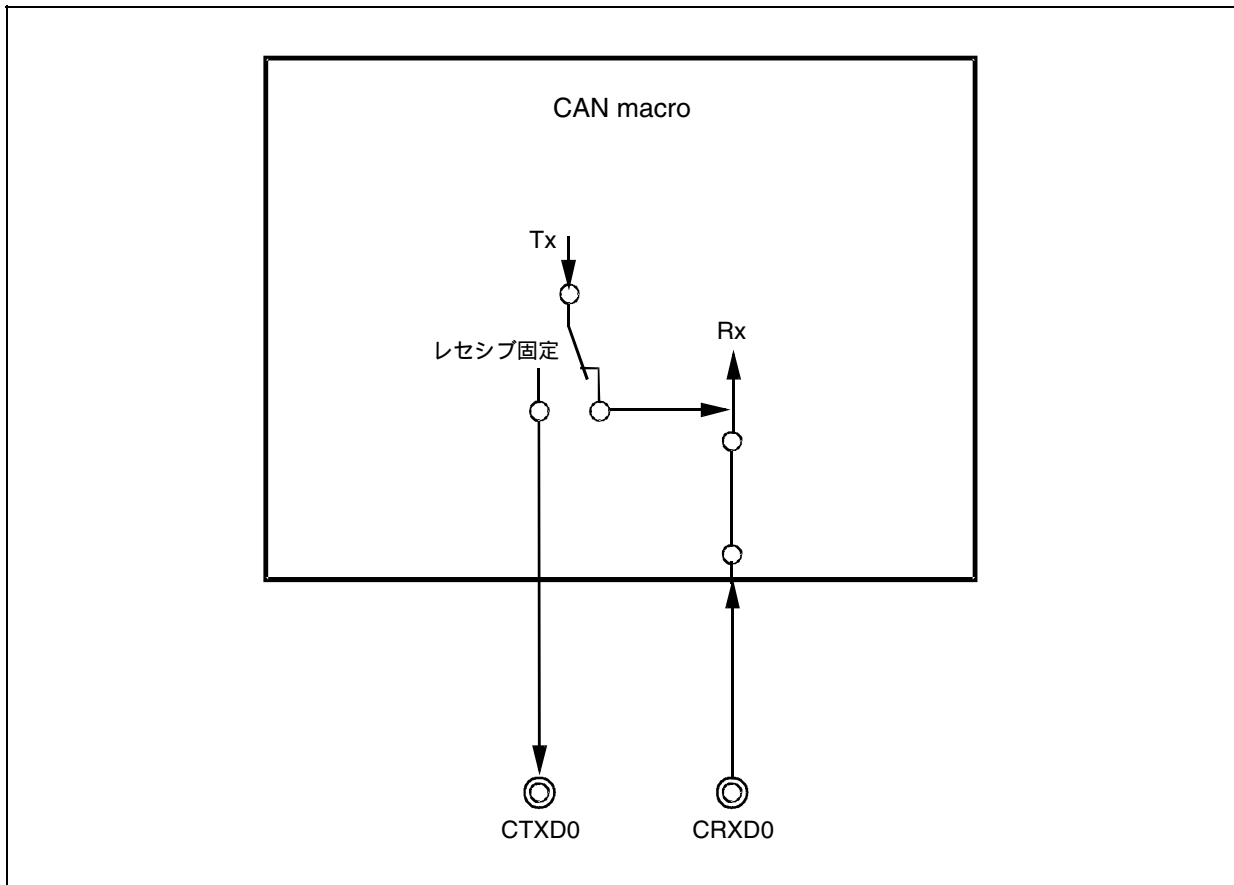
CANモジュールは、CANバス診断機能および特殊なCAN通信方法の動作をサポートするための受信オンリー・モード、シングル・ショット・モード、セルフ・テスト・モードを利用できます。

17.13.1 受信オンリー・モード

受信オンリー・モードは、CANバスに影響を与えずに受信メッセージをモニタするモードで、CANバス分析ノード用に使用できます。

たとえば、自動ポー・レート検出に利用できます。“有効な受信”が検出されるまでCANモジュールのポー・レートを変化させ、互いのポー・レートを合わせ込むことができます（“有効な受信”とは、エラーが発生せず、CANバスに接続されたノードによる適切なACK応答を伴って、CANプロトコル・レイヤ層で受信されたメッセージ・フレームを意味します）。有効な受信では、受信メッセージ・バッファ（データ・フレーム）または送信メッセージ・バッファ（リモート・フレーム）へのメッセージ・フレームの格納は必要ありません。有効な受信は、COCTRLレジスタのVALIDビットがセット（1）されることで確認できます。

図17 - 33 受信オンリー・モードにおけるCAN端子接続



受信オンリー・モードでは、CANモジュールからCANバスにメッセージ・フレームは送信しません。送信メッセージ・バッファとして定義されたメッセージ・バッファに発行された送信要求は保留されます。

受信オンリー・モードでは、CANモジュールのCAN送信端子 (CTXD0) は、レセシブ・レベルに固定されています。したがって、メッセージ・フレームの受信中にCANバス・エラーが検出された場合でも、CANモジュールからアクティブ・エラー・フラグをCANバスに送信しません。また、CANモジュールから送信を発行できないため、送信エラー・カウンタTECは更新されません。したがって、受信オンリー・モードのCANモジュールは、バスオフ状態になりません。

さらに、受信オンリー・モードでは、有効なメッセージ・フレームの受信時に、CANバスにACKを返却しません。内部的には自ノードはACKを送信したと認識します。オーバロード・フレームをCANバスに送信することができません。

注意 2つのCANノードのみがCANバスに接続されており、CANノードの1つが「受信オンリー・モード」で動作している場合は、CANバスでACK応答はありません。ACK応答がないため、送信ノードはアクティブ・エラー・フラグを送信し、メッセージ・フレームの送信を繰り返します。送信ノードは、メッセージ・フレームを16回送信したあとにエラー・バツシブになります (エラー・カウンタが最初に0であり、ほかのエラーが発生しなかった場合)。メッセージ・フレームの17回目を送信したあとに、送信ノードはバツシブ・エラー・フラグを送信します。したがって、受信オンリー・モードの受信ノードは、この時点で、初めて有効なメッセージ・フレームを検出することになり、VALIDビットが初めてセット (1) されます。

17.13.2 シングル・ショット・モード

シングル・ショット・モードでは、CANプロトコルで定義された自動再送信は行いません (CANプロトコルでは、アービトレーション・ロスト発生またはエラー発生によって中止されたメッセージ・フレーム送信は、ソフトウェアによる制御なしで再送信される必要があります)。シングル・ショット・モードのその他の動作は通常動作モードと同一です。シングル・ショット・モードの機能はABT付き通常動作モードでは使用できません。

シングル・ショット・モードでは、C0CTRLレジスタのALビットの設定に従って、中止されたメッセージ・フレーム送信の再送信を無効にします。ALビットがクリア (0) されている場合は、アービトレーション・ロスト発生時またはエラー発生時の再送信が無効になります。ALビットがセット (1) されている場合は、エラー発生時の再送信は無効になりますが、アービトレーション・ロスト発生時の再送信は有効になります。したがって、送信メッセージ・バッファとして定義されたメッセージ・バッファのTRQビットは、次のイベントでクリア (0) されます。

- ・メッセージ・フレームの正常送信完了
- ・メッセージ・フレームのアービトレーション・ロスト発生
- ・メッセージ・フレーム送信中のエラー発生

アービトレーション・ロスト発生とエラー発生は、それぞれC0INTSレジスタのCINTS4ビット、CINTS3ビットを確認し、エラーの種類はC0LECレジスタのLEC [2:0]ビットをリードすることで区別することができます。

メッセージ・フレームの送信完了時、C0INTSレジスタの送信完了割り込みCINTS0は、セット (1) されます。そのとき、C0IEレジスタのCIE0ビットがセット (1) されている場合には、割り込み要求信号が出力されます。

シングル・ショット・モードは、タイム・トリガの通信方法 (TTCANレベル1など) をエミュレートするために使用することができます。

注意 ALビットは、シングル・ショット・モードでのみ有効です。その他の動作モードでは、アービトレーション・ロスト時の再送動作に影響を与えません。

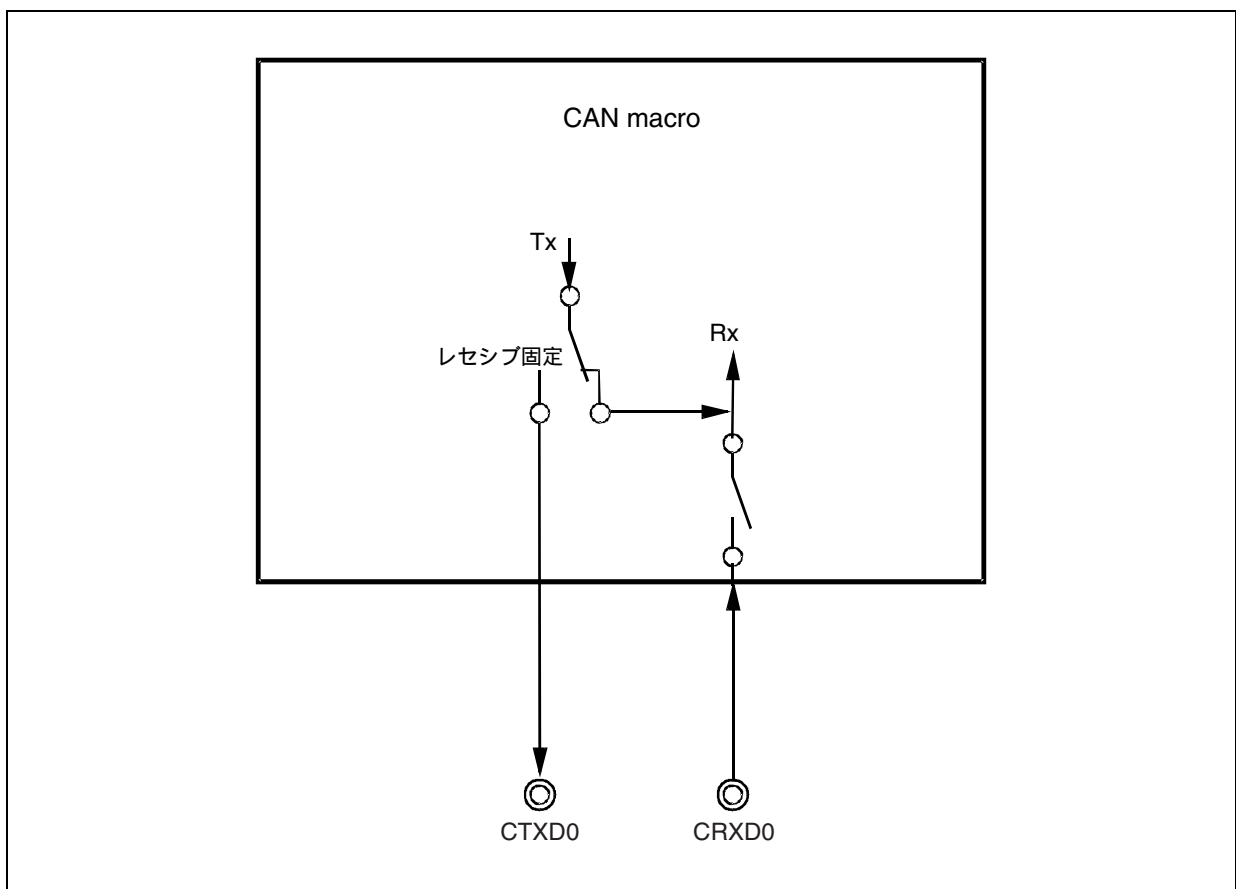
17.13.3 セルフ・テスト・モード

セルフ・テスト・モードでは、CANノードをCANバスに接続することなく、つまり、CANバスに影響を与えずにメッセージ・フレーム送信とメッセージ・フレーム受信をテストすることができます。

セルフ・テスト・モードでは、CANモジュールがCANバスから完全に切断されていますが、内部的に送信と受信はループ・バックされています。CAN送信端子 (CTXD0) は、レセシブ・レベルに固定されています。

ただし、セルフ・テスト・モードではCANスリープ・モードに移行したあと、CAN受信端子 (CRXD0) の立ち下がりエッジの検出をすると、他の動作モードと同様にCANスリープ・モードから解除されます (ただし、CANクロックが供給されている状態でスリープ・モードを解除したい場合は、CAN受信端子 (CRXD0) の立ち下がりエッジの検出後、ソフトウェアによるPSMODE0ビットのクリアが必要となります)。CANスリープ・モードから解除されないようにするには、CAN受信端子 (CRXD0) をポートに切り替えて使用してください。

図17-34 セルフ・テスト・モードにおけるCAN端子接続



17.13.4 各動作モードにおける送受信動作

各動作モードにおける送受信動作の概略を表17 - 23に示します。

表17 - 23 各動作モードにおける送受信動作の概要

動作モード	データ・フレーム /リモート・ フレーム送信	ACK送信	エラー・フレーム /オーバーロード・ フレーム送信	再送信	自動ブロック 送信 (ABT)	VALID ビットの セット	メッセージ・ バッファへの データ格納
初期化モード	-	-	-	-	-	-	-
通常動作モード					-		
ABT付き通常動作 モード							
受信オンリー・ モード	-	-	-	-	-		
シングル・ ショット・モード				注1	-		
セルフ・テスト・ モード	注2	注2	注2	注2	-	注2	注2

注1. アービトレーション・ロスト時、COCTRLレジスタのALビットにより、再送信の設定が可能です。

2. 各信号は外部に出力されませんが、CANモジュール内部で発生します。

17.14 タイム・スタンプ機能

CANは非同期のシリアル通信プロトコルです。したがって、CANバスに接続されているすべてのノードは、それぞれが独自のローカルなクロックを使っています。そのため、各ノードで使われているクロックの間には何の相互関係もありません（つまり各クロックは非同期であり、周波数が完全に合致していません）。

しかし、アプリケーションによっては、ネットワーク全体で使われる共通タイム・ベース（＝グローバル・タイム・ベース）が必要となるものがあります。グローバル・タイム・ベースを確立するためには、タイム・スタンプ機能が用いられます。タイム・スタンプ機能に必要なメカニズムは、CANバス上の信号をトリガとしてタイマ値をキャプチャすることです。

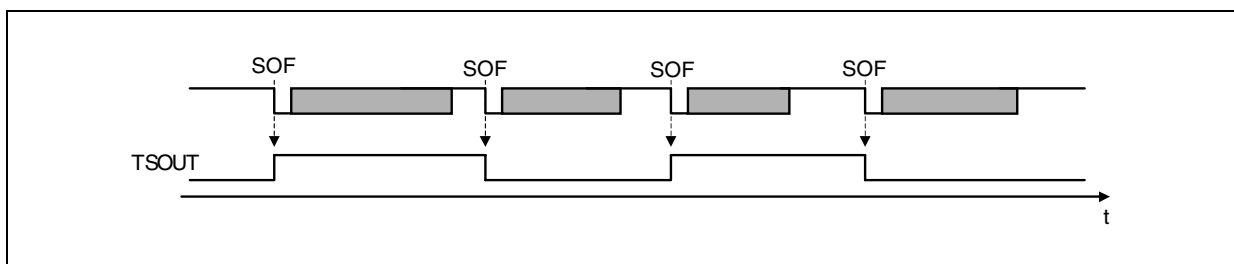
17.14.1 タイム・スタンプ機能

CANコントローラは、特定フレームをトリガとしてタイマ値をキャプチャする場合に必要な機能をサポートしています。そのために、CANコントローラに加え製品に内蔵されている16ビットのキャプチャ/タイマ・ユニットを使用します。この場合、16ビット・キャプチャ・タイマ・ユニットは、CANコントローラからデータ・フレームの受信時に出力されるキャプチャ用のトリガ信号(TSOUT)に応じて、タイマ値をキャプチャします。CPUはそのキャプチャ値を読み出すことにより、キャプチャ・イベントの発生時刻、すなわちCANバスから受信したメッセージのタイム・スタンプを得ることができます。TSOUTは、次の2つのイベント・ソースから選択することができ、C0TSレジスタのTSSELビットにより指定します。

- ・SOFイベント（スタート・オブ・フレーム）（TSSEL = 0）
- ・EOFイベント（エンド・オブ・フレームの最終ビット）（TSSEL = 1）

またTSOUT信号は、C0TSレジスタのTSENビットをセット（1）することで動作許可状態になります。

図17 - 35 キャプチャ用信号TSOUTのタイミング図



TSOUTは、データ・フレームの受信時に、選択されたイベントが発生するたびにそのレベルがトグルします（上図は、SOFをトリガのイベント・ソースとした場合のタイミング図です）。このTSOUTによるキャプチャを行うためには、キャプチャ/タイマ・ユニット側では、キャプチャ信号の検出は立ち上がり、および立ち下りの両エッジで行う必要があります。

これらのタイム・スタンプの機能は、C0TSレジスタのTSLOCKビットにより制御することができます。TSLOCKビットがクリア（0）されている場合には、選択したイベントが発生するたびにTSOUTがトグルします。TSLOCKビットがセット（1）されている場合には、選択したイベントが発生するたびにTSOUTがトグルしますが、データ・フレームがメッセージ・バッファ0への受信格納開始時にTSENビットが自動的にクリア（0）されることで、トグル動作を停止させることができます。これにより、以降のTSOUTのトグル発生を抑え、最後にトグルした（＝最後にキャプチャした）タイム・スタンプ値を、メッセージ・バッファ0にデータ・フレームを受信した時刻のタイム・スタンプ値として保存することができます。

注意 TSLOCKビットを使ったタイム・スタンプ機能は、メッセージ・バッファ0へのデータ・フレーム受信によりTSOUTのトグルを停止させるものです。そのためには、メッセージ・バッファ0は受信メッセージ・バッファとして設定されている必要があります。受信メッセージ・バッファにはリモート・フレームを受信できませんので、リモート・フレーム受信によりTSOUTのトグルを停止させることはできません。またメッセージ・バッファ0以外のメッセージ・バッファへのデータ・フレーム受信ではTSOUTのトグルは停止しません。

上記の理由で、CANモジュールがABT付き通常モードに設定されている場合には、メッセージ・バッファ0は送信メッセージ・バッファとして設定する必要があるため、メッセージ・バッファ0へのデータ・フレーム受信はできません。したがって、この動作モードではTSLOCKビットによるTSOUTのトグルの停止機能は使用できません。

17.15 ボー・レート設定について

17.15.1 ビット・レート設定条件

CANを正常に動作させるために、次の条件に設定してください。

- (a) 5TQ SPT (サンプル・ポイント) 17TQ
SPT = TSEG1 + 1TQ
- (b) 8TQ DBT (データ・ビット・タイム) 25TQ
DBT = TSEG1 + TSEG2 + 1TQ = TSEG2 + SPT
- (c) 1TQ SJW (同期ジャンプ幅) 4TQ
SJW DBT - SPT
- (d) 4TQ TSEG1 16TQ [3 TSEG1 [3:0]の設定値 15]
- (e) 1TQ TSEG2 8TQ [0 TSEG2 [2:0]の設定値 7]

備考 TQ = 1/frq (frq : CANプロトコル・レイヤ基本システム・クロック)
TSEG1 [3:0] (CAN0ビット・レート・レジスタ (C0BTR) のビット3-0)
TSEG2 [2:0] (CAN0ビット・レート・レジスタ (C0BTR) のビット10-8)

上記条件を満たすビット・レートの組み合わせを表17 - 24に示します。

表17-24 設定可能なビット・レート組み合わせ (1/3)

DBTの長さ	有効なビット・レート設定				COBTRレジスタ設定値		サンプル・ポイント (単位：%)
	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG1 [3:0]	TSEG2 [2:0]	
25	1	8	8	8	1111	111	68.0
24	1	7	8	8	1110	111	66.7
24	1	9	7	7	1111	110	70.8
23	1	6	8	8	1101	111	65.2
23	1	8	7	7	1110	110	69.6
23	1	10	6	6	1111	101	73.9
22	1	5	8	8	1100	111	63.6
22	1	7	7	7	1101	110	68.2
22	1	9	6	6	1110	101	72.7
22	1	11	5	5	1111	100	77.3
21	1	4	8	8	1011	111	61.9
21	1	6	7	7	1100	110	66.7
21	1	8	6	6	1101	101	71.4
21	1	10	5	5	1110	100	76.2
21	1	12	4	4	1111	011	81.0
20	1	3	8	8	1010	111	60.0
20	1	5	7	7	1011	110	65.0
20	1	7	6	6	1100	101	70.0
20	1	9	5	5	1101	100	75.0
20	1	11	4	4	1110	011	80.0
20	1	13	3	3	1111	010	85.0
19	1	2	8	8	1001	111	57.9
19	1	4	7	7	1010	110	63.2
19	1	6	6	6	1011	101	68.4
19	1	8	5	5	1100	100	73.7
19	1	10	4	4	1101	011	78.9
19	1	12	3	3	1110	010	84.2
19	1	14	2	2	1111	001	89.5
18	1	1	8	8	1000	111	55.6
18	1	3	7	7	1001	110	61.1
18	1	5	6	6	1010	101	66.7
18	1	7	5	5	1011	100	72.2
18	1	9	4	4	1100	011	77.8
18	1	11	3	3	1101	010	83.3
18	1	13	2	2	1110	001	88.9
18	1	15	1	1	1111	000	94.4

表17-24 設定可能なビット・レート組み合わせ (2/3)

DBTの長さ	有効なビット・レート設定				COBTRレジスタ設定値		サンプル・ポイント (単位：%)
	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG1 [3:0]	TSEG2 [2:0]	
17	1	2	7	7	1000	110	58.8
17	1	4	6	6	1001	101	64.7
17	1	6	5	5	1010	100	70.6
17	1	8	4	4	1011	011	76.5
17	1	10	3	3	1100	010	82.4
17	1	12	2	2	1101	001	88.2
17	1	14	1	1	1110	000	94.1
16	1	1	7	7	0111	110	56.3
16	1	3	6	6	1000	101	62.5
16	1	5	5	5	1001	100	68.8
16	1	7	4	4	1010	011	75.0
16	1	9	3	3	1011	010	81.3
16	1	11	2	2	1100	001	87.5
16	1	13	1	1	1101	000	93.8
15	1	2	6	6	0111	101	60.0
15	1	4	5	5	1000	100	66.7
15	1	6	4	4	1001	011	73.3
15	1	8	3	3	1010	010	80.0
15	1	10	2	2	1011	001	86.7
15	1	12	1	1	1100	000	93.3
14	1	1	6	6	0110	101	57.1
14	1	3	5	5	0111	100	64.3
14	1	5	4	4	1000	011	71.4
14	1	7	3	3	1001	010	78.6
14	1	9	2	2	1010	001	85.7
14	1	11	1	1	1011	000	92.9
13	1	2	5	5	0110	100	61.5
13	1	4	4	4	0111	011	69.2
13	1	6	3	3	1000	010	76.9
13	1	8	2	2	1001	001	84.6
13	1	10	1	1	1010	000	92.3
12	1	1	5	5	0101	100	58.3
12	1	3	4	4	0110	011	66.7
12	1	5	3	3	0111	010	75.0
12	1	7	2	2	1000	001	83.3
12	1	9	1	1	1001	000	91.7

表17 - 24 設定可能なビット・レート組み合わせ (3/3)

DBTの長さ	有効なビット・レート設定				C0BTRレジスタ設定値		サンプル・ポイント (単位：%)
	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG1 [3:0]	TSEG2 [2:0]	
11	1	2	4	4	0101	011	63.6
11	1	4	3	3	0110	010	72.7
11	1	6	2	2	0111	001	81.8
11	1	8	1	1	1000	000	90.9
10	1	1	4	4	0100	011	60.0
10	1	3	3	3	0101	010	70.0
10	1	5	2	2	0110	001	80.0
10	1	7	1	1	0111	000	90.0
9	1	2	3	3	0100	010	66.7
9	1	4	2	2	0101	001	77.8
9	1	6	1	1	0110	000	88.9
8	1	1	3	3	0011	010	62.5
8	1	3	2	2	0100	001	75.0
8	1	5	1	1	0101	000	87.5
7 ^注	1	2	2	2	0011	001	71.4
7 ^注	1	4	1	1	0100	000	85.7
6 ^注	1	1	2	2	0010	001	66.7
6 ^注	1	3	1	1	0011	000	83.3
5 ^注	1	2	1	1	0010	000	80.0
4 ^注	1	1	1	1	0001	000	75.0

注 DBT値が7以下の設定は、C0BRPレジスタ = 00H以外の場合のみ有効です。

注意 表17 - 24は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分にご確認ください。

17.15.2 代表的なボー・レート設定例

代表的なボー・レート設定例を表17-25および表17-26に示します。

表17-25 代表的なボー・レート設定例 (f_{CANMOD} = 8 MHz設定時) (1/2)

ボー・レート 設定値 (単位： kbps)	COBRP による 分周比	COBRP レジスタ 設定値 TQPRS [7:0]	有効なビット・レート設定 (単位：TQ)					COBTRレジスタ 設定値		サンプル・ ポイント (単位：%)
			DBTの 長さ	SYNC SEGM ENT	PROP SEGM ENT	PHASE SEGM ENT1	PHASE SEGM ENT2	TSEG1 [3:0]	TSEG2 [2:0]	
1000	1	00000000	8	1	1	3	3	0011	010	62.5
1000	1	00000000	8	1	3	2	2	0100	001	75.0
1000	1	00000000	8	1	5	1	1	0101	000	87.5
500	1	00000000	16	1	1	7	7	0111	110	56.3
500	1	00000000	16	1	3	6	6	1000	101	62.5
500	1	00000000	16	1	5	5	5	1001	100	68.8
500	1	00000000	16	1	7	4	4	1010	011	75.0
500	1	00000000	16	1	9	3	3	1011	010	81.3
500	1	00000000	16	1	11	2	2	1100	001	87.5
500	1	00000000	16	1	13	1	1	1101	000	93.8
500	2	00000001	8	1	1	3	3	0011	010	62.5
500	2	00000001	8	1	3	2	2	0100	001	75.0
500	2	00000001	8	1	5	1	1	0101	000	87.5
250	2	00000001	16	1	1	7	7	0111	110	56.3
250	2	00000001	16	1	3	6	6	1000	101	62.5
250	2	00000001	16	1	5	5	5	1001	100	68.8
250	2	00000001	16	1	7	4	4	1010	011	75.0
250	2	00000001	16	1	9	3	3	1011	010	81.3
250	2	00000001	16	1	11	2	2	1100	001	87.5
250	2	00000001	16	1	13	1	1	1101	000	93.8
250	4	00000011	8	1	3	2	2	0100	001	75.0
250	4	00000011	8	1	5	1	1	0101	000	87.5
125	4	00000011	16	1	1	7	7	0111	110	56.3
125	4	00000011	16	1	3	6	6	1000	101	62.5
125	4	00000011	16	1	5	5	5	1001	100	68.8
125	4	00000011	16	1	7	4	4	1010	011	75.0
125	4	00000011	16	1	9	3	3	1011	010	81.3
125	4	00000011	16	1	11	2	2	1100	001	87.5
125	4	00000011	16	1	13	1	1	1101	000	93.8
125	8	00000111	8	1	3	2	2	0100	001	75.0
125	8	00000111	8	1	5	1	1	0101	000	87.5

注意 表17-25は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分にご確認ください。

表17 - 25 代表的なボー・レート設定例 (f_{CANMOD} = 8 MHz設定時) (2/2)

ボー・レート 設定値 (単位： kbps)	COBRP による 分周比	COBRP レジスタ 設定値 TQPRS [7:0]	有効なビット・レート設定 (単位：TQ)					COBTRレジスタ 設定値		サンプル・ ポイント (単位：%)
			DBTの 長さ	SYNC SEGM ENT	PROP SEGM ENT	PHASE SEGM ENT1	PHASE SEGM ENT2	TSEG1 [3:0]	TSEG2 [2:0]	
100	4	00000011	20	1	7	6	6	1100	101	70.0
100	4	00000011	20	1	9	5	5	1101	100	75.0
100	5	00000100	16	1	7	4	4	1010	011	75.0
100	5	00000100	16	1	9	3	3	1011	010	81.3
100	8	00000111	10	1	3	3	3	0101	010	70.0
100	8	00000111	10	1	5	2	2	0110	001	80.0
100	10	00001001	8	1	3	2	2	0100	001	75.0
100	10	00001001	8	1	5	1	1	0101	000	87.5
83.3	4	00000011	24	1	7	8	8	1110	111	66.7
83.3	4	00000011	24	1	9	7	7	1111	110	70.8
83.3	6	00000101	16	1	5	5	5	1001	100	68.8
83.3	6	00000101	16	1	7	4	4	1010	011	75.0
83.3	6	00000101	16	1	9	3	3	1011	010	81.3
83.3	6	00000101	16	1	11	2	2	1100	001	87.5
83.3	8	00000111	12	1	5	3	3	0111	010	75.0
83.3	8	00000111	12	1	7	2	2	1000	001	83.3
83.3	12	00001011	8	1	3	2	2	0100	001	75.0
83.3	12	00001011	8	1	5	1	1	0101	000	87.5
33.3	10	00001001	24	1	7	8	8	1110	111	66.7
33.3	10	00001001	24	1	9	7	7	1111	110	70.8
33.3	12	00001011	20	1	7	6	6	1100	101	70.0
33.3	12	00001011	20	1	9	5	5	1101	100	75.0
33.3	15	00001110	16	1	7	4	4	1010	011	75.0
33.3	15	00001110	16	1	9	3	3	1011	010	81.3
33.3	16	00001111	15	1	6	4	4	1001	011	73.3
33.3	16	00001111	15	1	8	3	3	1010	010	80.0
33.3	20	00010011	12	1	5	3	3	0111	010	75.0
33.3	20	00010011	12	1	7	2	2	1000	001	83.3
33.3	24	00010111	10	1	3	3	3	0101	010	70.0
33.3	24	00010111	10	1	5	2	2	0110	001	80.0
33.3	30	00011101	8	1	3	2	2	0100	001	75.0
33.3	30	00011101	8	1	5	1	1	0101	000	87.5

注意 表17 - 25は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分にご確認ください。

表17 - 26 代表的なボー・レート設定例 (f_{CANMOD} = 16 MHz設定時) (1/2)

ボー・レート 設定値 (単位： kbps)	COBRP による 分周比	COBRP レジスタ 設定値 TQPRS [7:0]	有効なビット・レート設定 (単位：TQ)					COBTRレジスタ設 定値		サンプル・ ポイント (単位：%)
			DBTの 長さ	SYNC SEGM ENT	PROP SEGM ENT	PHASE SEGM ENT1	PHASE SEGM ENT2	TSEG1 [3:0]	TSEG2 [2:0]	
1000	1	00000000	16	1	1	7	7	0111	110	56.3
1000	1	00000000	16	1	3	6	6	1000	101	62.5
1000	1	00000000	16	1	5	5	5	1001	100	68.8
1000	1	00000000	16	1	7	4	4	1010	011	75.0
1000	1	00000000	16	1	9	3	3	1011	010	81.3
1000	1	00000000	16	1	11	2	2	1100	001	87.5
1000	1	00000000	16	1	13	1	1	1101	000	93.8
1000	2	00000001	8	1	3	2	2	0100	001	75.0
1000	2	00000001	8	1	5	1	1	0101	000	87.5
500	2	00000001	16	1	1	7	7	0111	110	56.3
500	2	00000001	16	1	3	6	6	1000	101	62.5
500	2	00000001	16	1	5	5	5	1001	100	68.8
500	2	00000001	16	1	7	4	4	1010	011	75.0
500	2	00000001	16	1	9	3	3	1011	010	81.3
500	2	00000001	16	1	11	2	2	1100	001	87.5
500	2	00000001	16	1	13	1	1	1101	000	93.8
500	4	00000011	8	1	3	2	2	0100	001	75.0
500	4	00000011	8	1	5	1	1	0101	000	87.5
250	4	00000011	16	1	3	6	6	1000	101	62.5
250	4	00000011	16	1	5	5	5	1001	100	68.8
250	4	00000011	16	1	7	4	4	1010	011	75.0
250	4	00000011	16	1	9	3	3	1011	010	81.3
250	4	00000011	16	1	11	2	2	1100	001	87.5
250	8	00000111	8	1	3	2	2	0100	001	75.0
250	8	00000111	8	1	5	1	1	0101	000	87.5
125	8	00000111	16	1	3	6	6	1000	101	62.5
125	8	00000111	16	1	7	4	4	1010	011	75.0
125	8	00000111	16	1	9	3	3	1011	010	81.3
125	8	00000111	16	1	11	2	2	1100	001	87.5
125	16	00001111	8	1	3	2	2	0100	001	75.0
125	16	00001111	8	1	5	1	1	0101	000	87.5

注意 表17 - 26は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分にご確認ください。

表17 - 26 代表的なボー・レート設定例 (f_{CANMOD} = 16 MHz設定時) (2/2)

ボー・レート 設定値 (単位： kbps)	COBRP による 分周比	COBRP レジスタ 設定値 TQPRS [7:0]	有効なビット・レート設定 (単位：TQ)					COBTRレジスタ設 定値		サンプル・ ポイント (単位：%)
			DBTの 長さ	SYNC SEGM ENT	PROP SEGM ENT	PHASE SEGM ENT1	PHASE SEGM ENT2	TSEG1 [3:0]	TSEG2 [2:0]	
100	8	00000111	20	1	9	5	5	1101	100	75.0
100	8	00000111	20	1	11	4	4	1110	011	80.0
100	10	00001001	16	1	7	4	4	1010	011	75.0
100	10	00001001	16	1	9	3	3	1011	010	81.3
100	16	00001111	10	1	3	3	3	0101	010	70.0
100	16	00001111	10	1	5	2	2	0110	001	80.0
100	20	00010011	8	1	3	2	2	0100	001	75.0
83.3	8	00000111	24	1	7	8	8	1110	111	66.7
83.3	8	00000111	24	1	9	7	7	1111	110	70.8
83.3	12	00001011	16	1	7	4	4	1010	011	75.0
83.3	12	00001011	16	1	9	3	3	1011	010	81.3
83.3	12	00001011	16	1	11	2	2	1100	001	87.5
83.3	16	00001111	12	1	5	3	3	0111	010	75.0
83.3	16	00001111	12	1	7	2	2	1000	001	83.3
83.3	24	00010111	8	1	3	2	2	0100	001	75.0
83.3	24	00010111	8	1	5	1	1	0101	000	87.5
33.3	30	00011101	24	1	7	8	8	1110	111	66.7
33.3	30	00011101	24	1	9	7	7	1111	110	70.8
33.3	24	00010111	20	1	9	5	5	1101	100	75.0
33.3	24	00010111	20	1	11	4	4	1110	011	80.0
33.3	30	00011101	16	1	7	4	4	1010	011	75.0
33.3	30	00011101	16	1	9	3	3	1011	010	81.3
33.3	32	00011111	15	1	8	3	3	1010	010	80.0
33.3	32	00011111	15	1	10	2	2	1011	001	86.7
33.3	37	00100100	13	1	6	3	3	1000	010	76.9
33.3	37	00100100	13	1	8	2	2	1001	001	84.6
33.3	40	00100111	12	1	5	3	3	0111	010	75.0
33.3	40	00100111	12	1	7	2	2	1000	001	83.3
33.3	48	00101111	10	1	3	3	3	0101	010	70.0
33.3	48	00101111	10	1	5	2	2	0110	001	80.0
33.3	60	00111011	8	1	3	2	2	0100	001	75.0
33.3	60	00111011	8	1	5	1	1	0101	000	87.5

注意 表17 - 26は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分にご確認ください。

17.16 CANコントローラの動作

ここで示す処理手順は、CANコントローラを動作させるための推奨処理手順となります。この推奨処理手順を参考にプログラム開発を行ってください。

備考 n = 0-31

図17 - 36 初期化

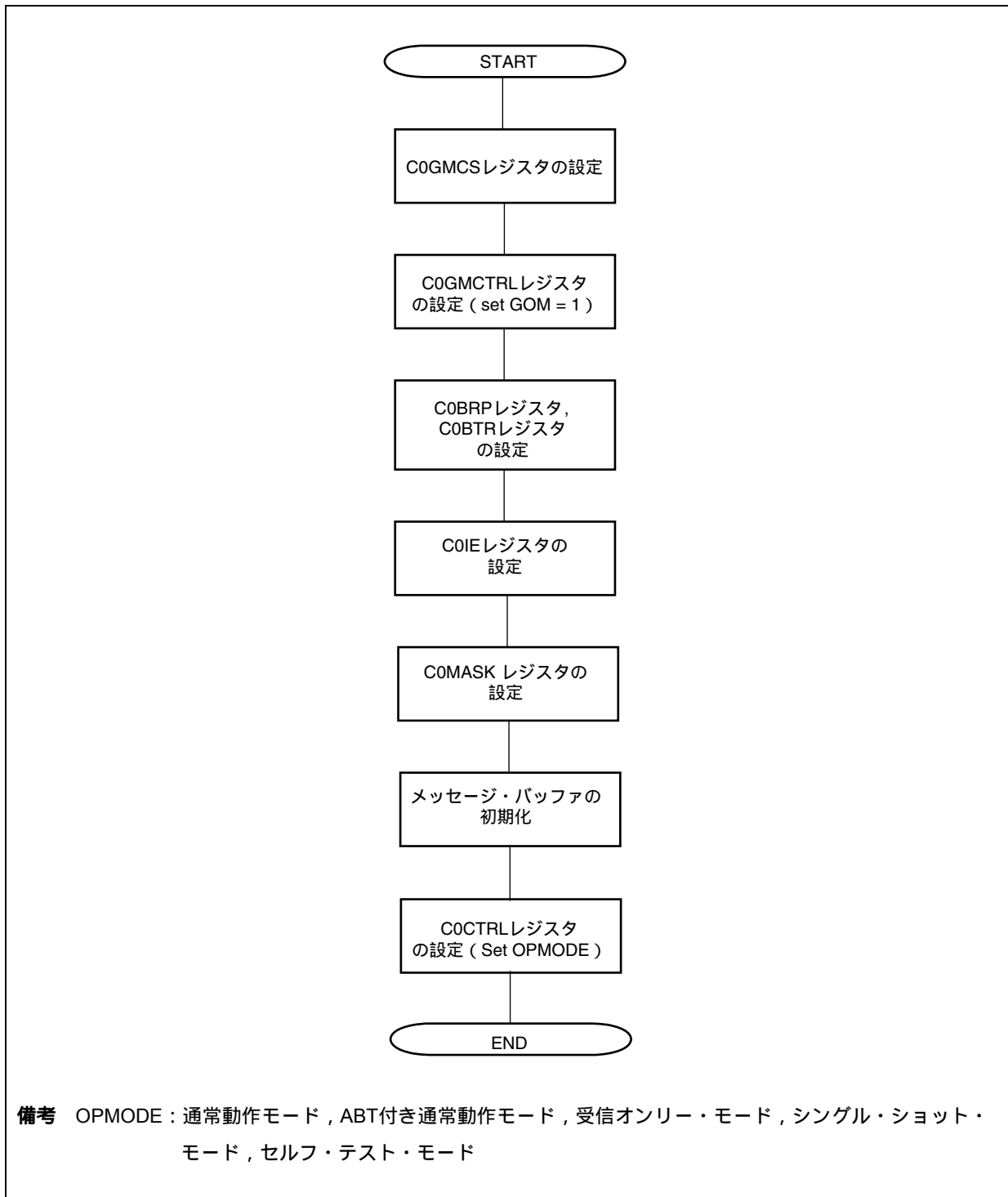


図17 - 37 再初期化

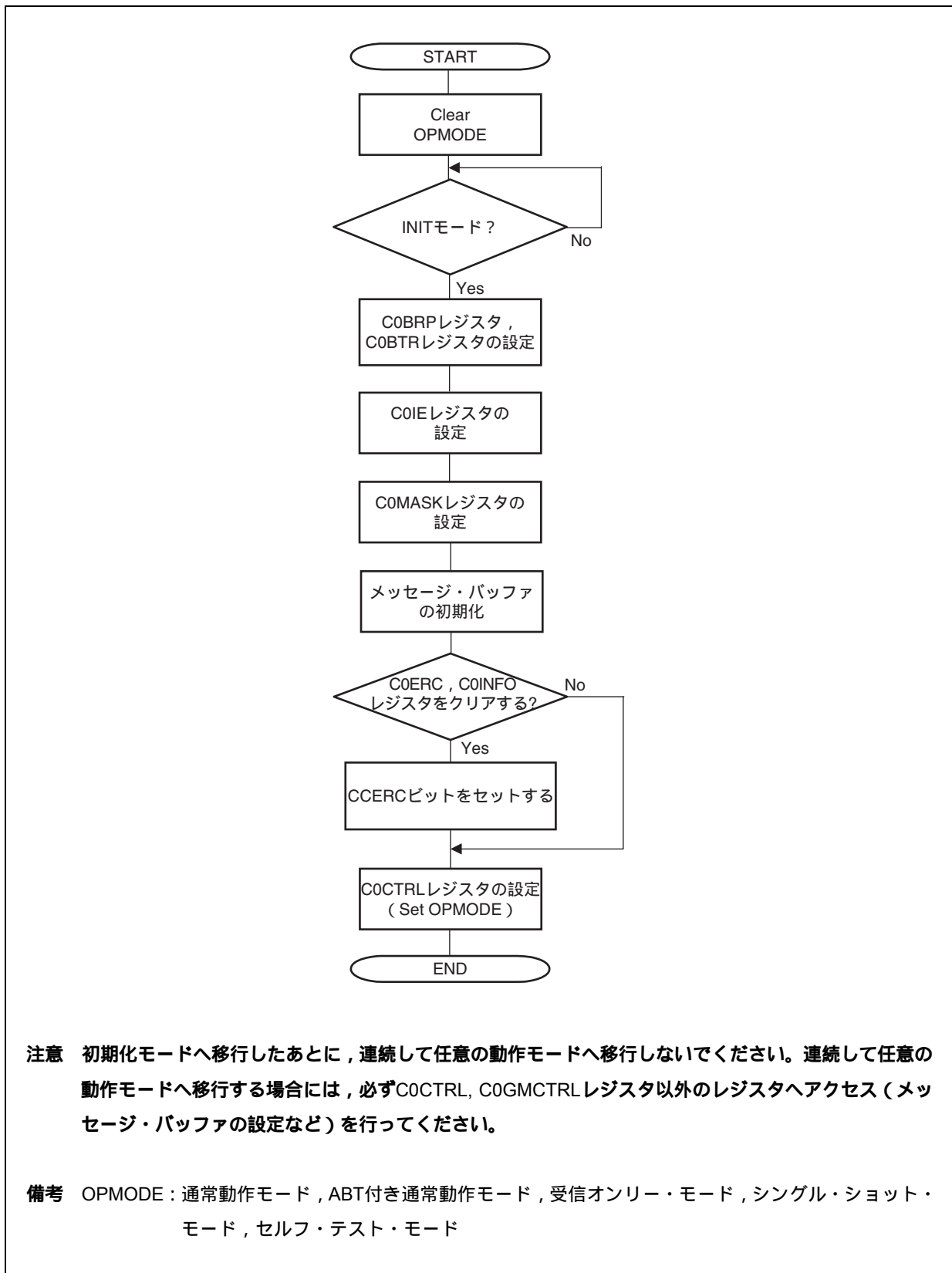
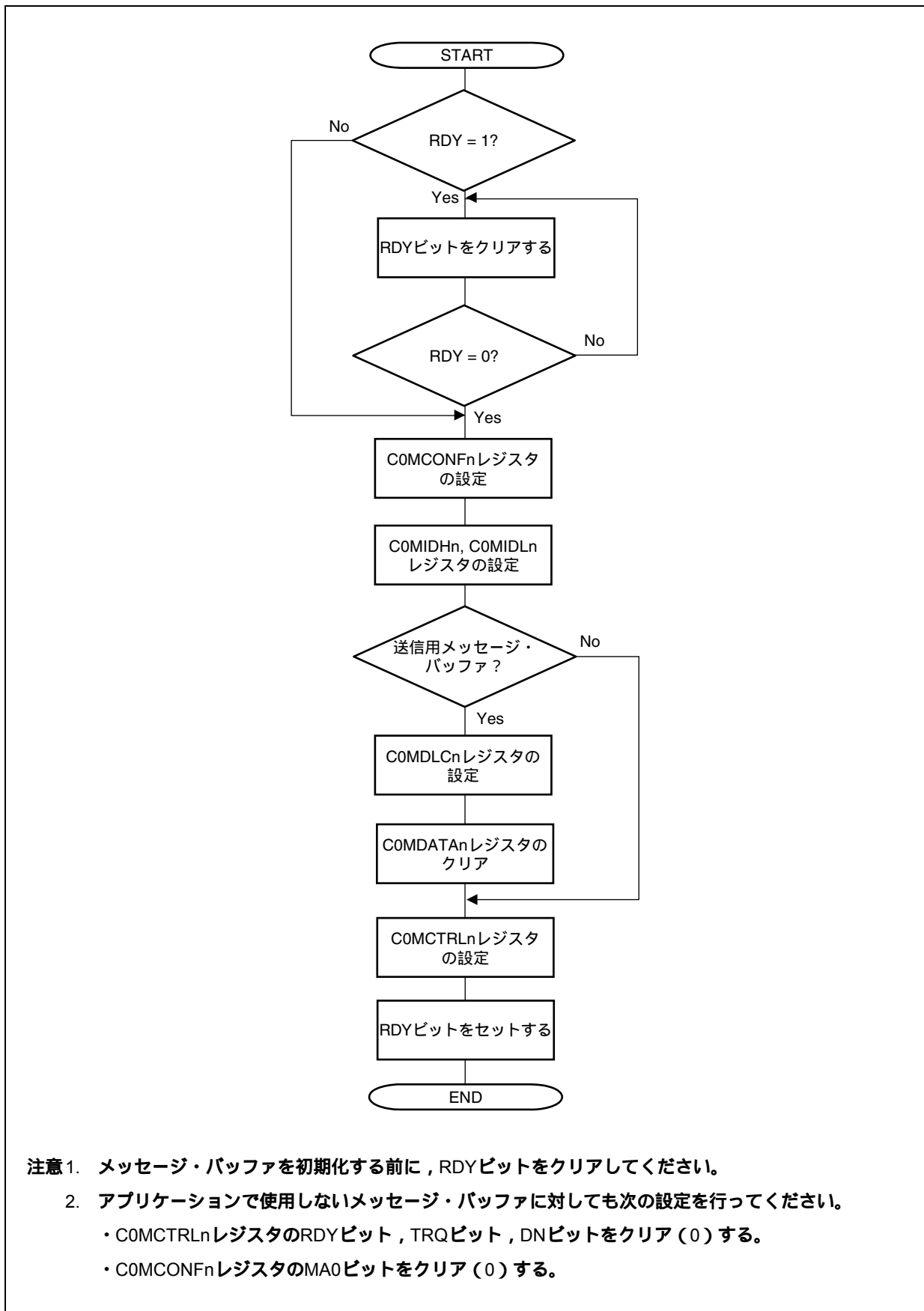


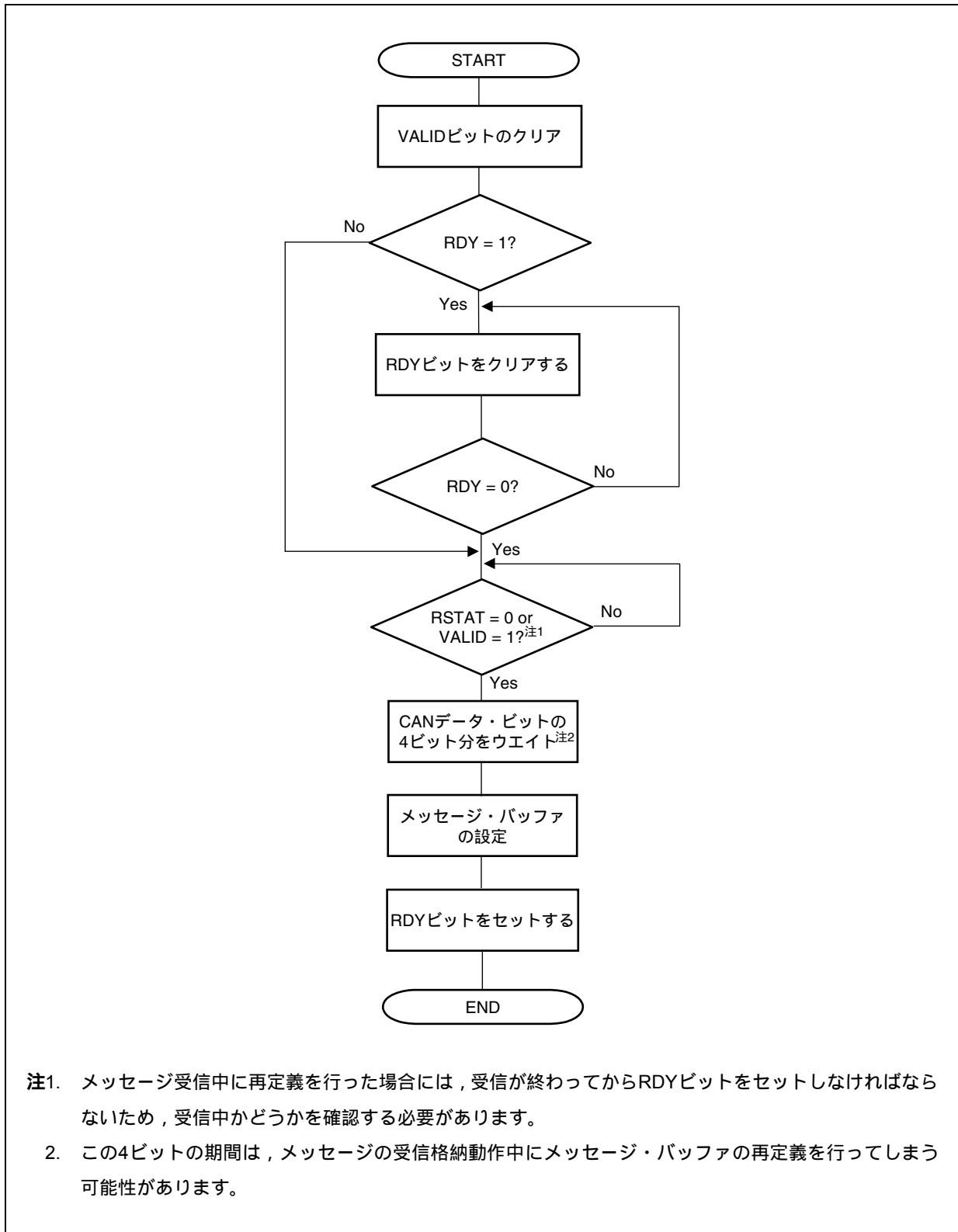
図17 - 38 メッセージ・バッファの初期化



- 注意1. メッセージ・バッファを初期化する前に、RDYビットをクリアしてください。
2. アプリケーションで使用しないメッセージ・バッファに対しても次の設定を行ってください。
- ・COMCTRLnレジスタのRDYビット、TRQビット、DNビットをクリア(0)する。
 - ・COMCONFnレジスタのMA0ビットをクリア(0)する。

図17 - 39は、受信メッセージ・バッファに対する処理です(C0MCONF_nレジスタのMT[2:0]ビット = 001B-101B)。

図17 - 39 メッセージ・バッファの再定義



注1. メッセージ受信中に再定義を行った場合には、受信が終わってからRDYビットをセットしなければならないため、受信中かどうかを確認する必要があります。

2. この4ビットの期間は、メッセージの受信格納動作中にメッセージ・バッファの再定義を行ってしまう可能性があります。

図17 - 40は、送信中の送信メッセージ・バッファに対する処理です（COMCONF_nレジスタのMT[2:0]ビット = 000B）。

図17 - 40 送信中のメッセージ・バッファの再定義

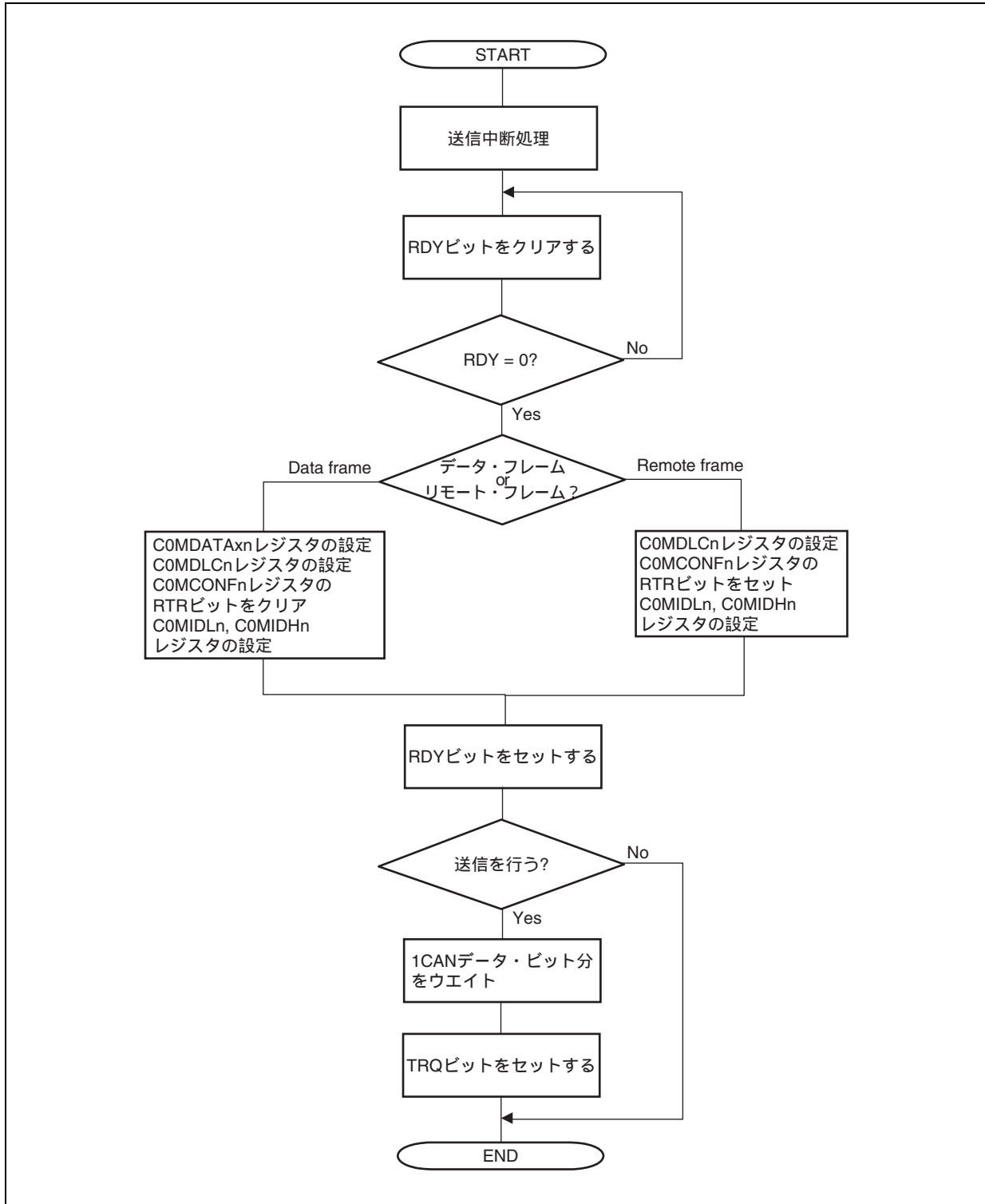


図17 - 41は、送信メッセージ・バッファに対する処理です (COMCONF_nレジスタのMT [2:0]ビット = 000B)。

図17 - 41 メッセージ送信処理

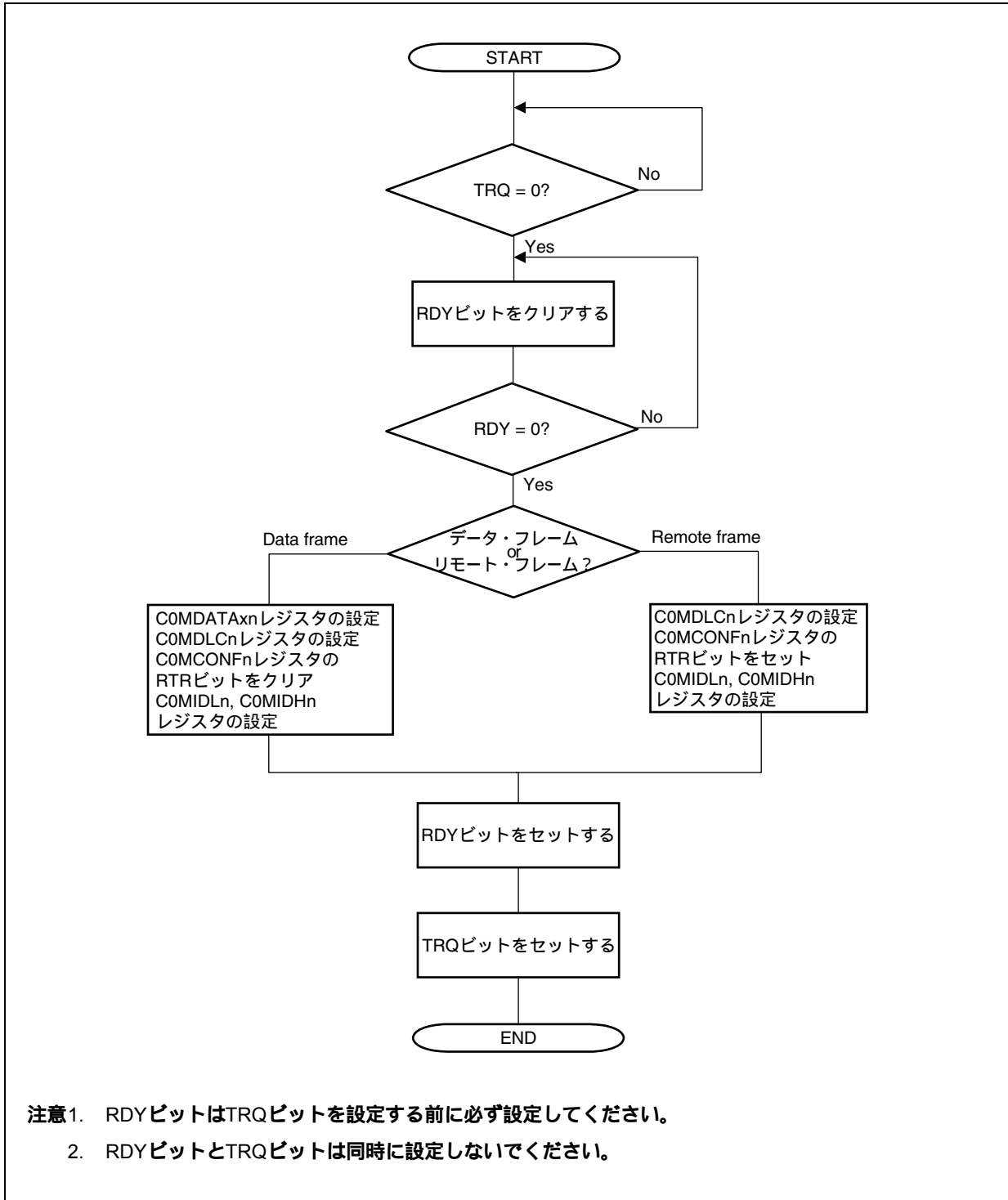
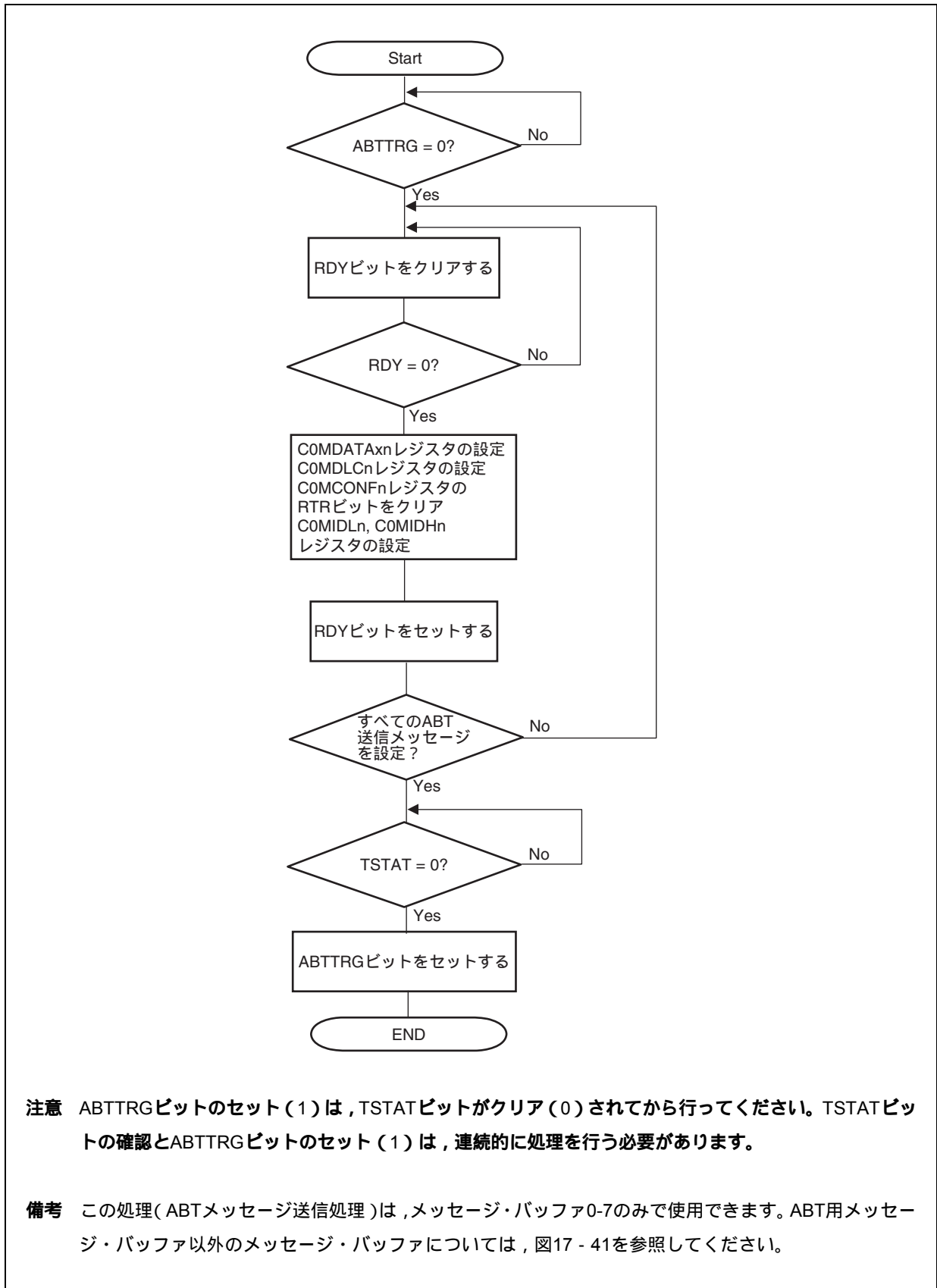


図17 - 42は、送信メッセージ・バッファに対する処理です（COMCONF_nレジスタのMT [2:0]ビット = 000B）。

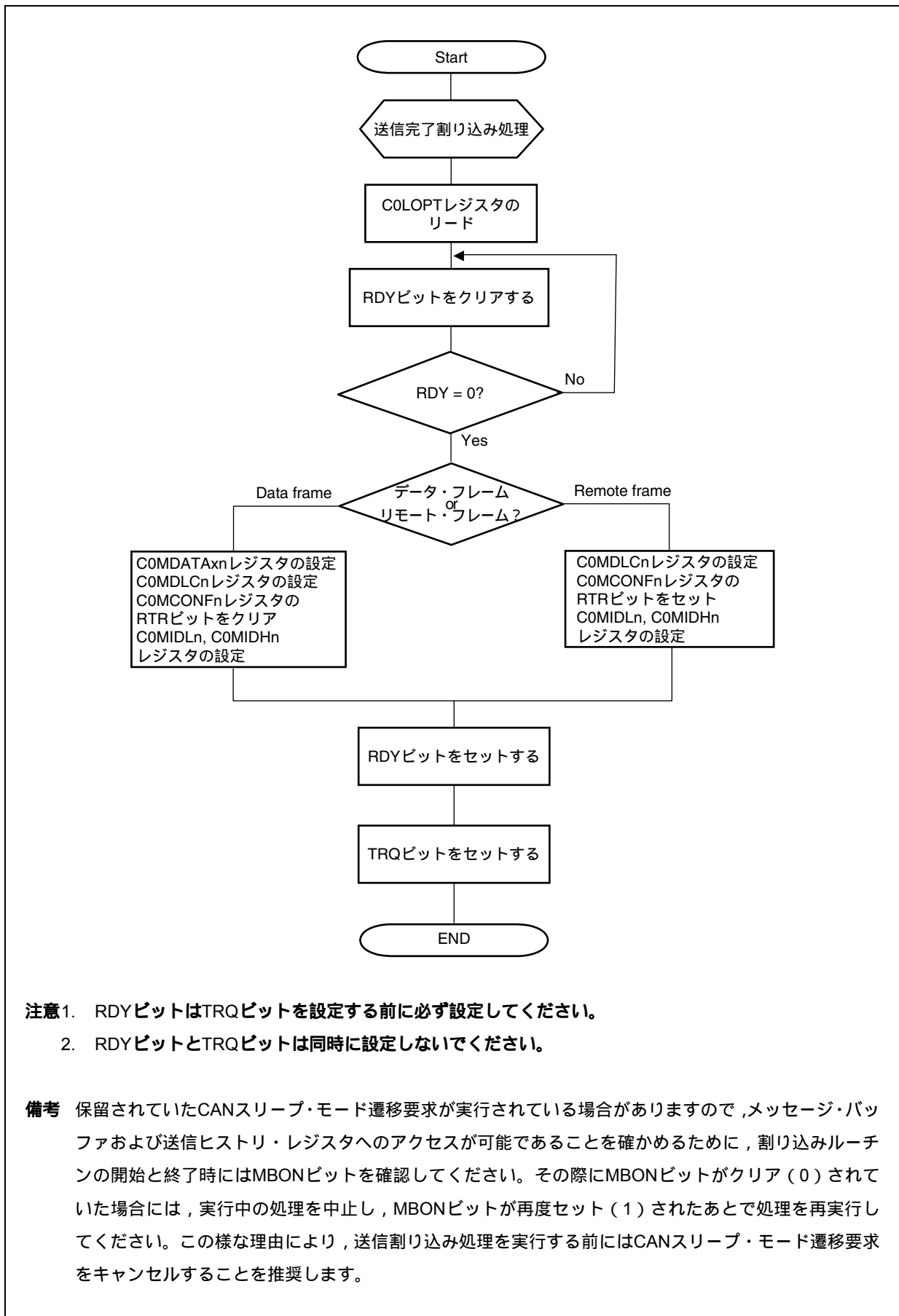
図17 - 42 ABTメッセージ送信処理



注意 ABTTRGビットのセット(1)は、TSTATビットがクリア(0)されてから行ってください。TSTATビットの確認とABTTRGビットのセット(1)は、連続的に処理を行う必要があります。

備考 この処理(ABTメッセージ送信処理)は、メッセージ・バッファ0-7のみで使用できます。ABT用メッセージ・バッファ以外のメッセージ・バッファについては、図17 - 41を参照してください。

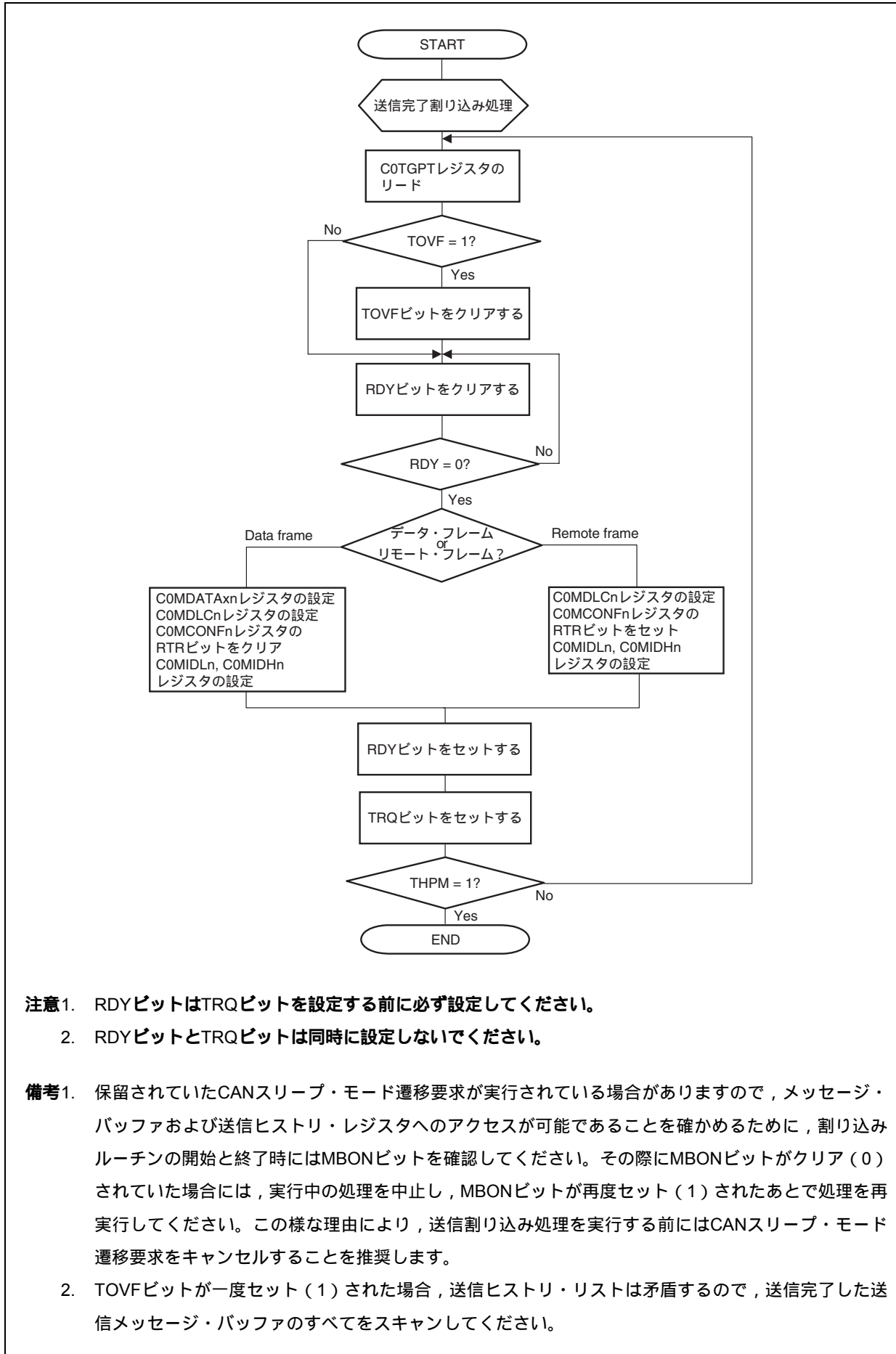
図17 - 43 割り込みによる送信処理 (C0LOPTレジスタを使用する場合)



- 注意1. RDYビットはTRQビットを設定する前に必ず設定してください。
 2. RDYビットとTRQビットは同時に設定しないでください。

備考 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび送信履歴・レジスタへのアクセスが可能であることを確かめるために、割り込みルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア(0)されていた場合には、実行中の処理を中止し、MBONビットが再度セット(1)されたあとで処理を再実行してください。このような理由により、送信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。

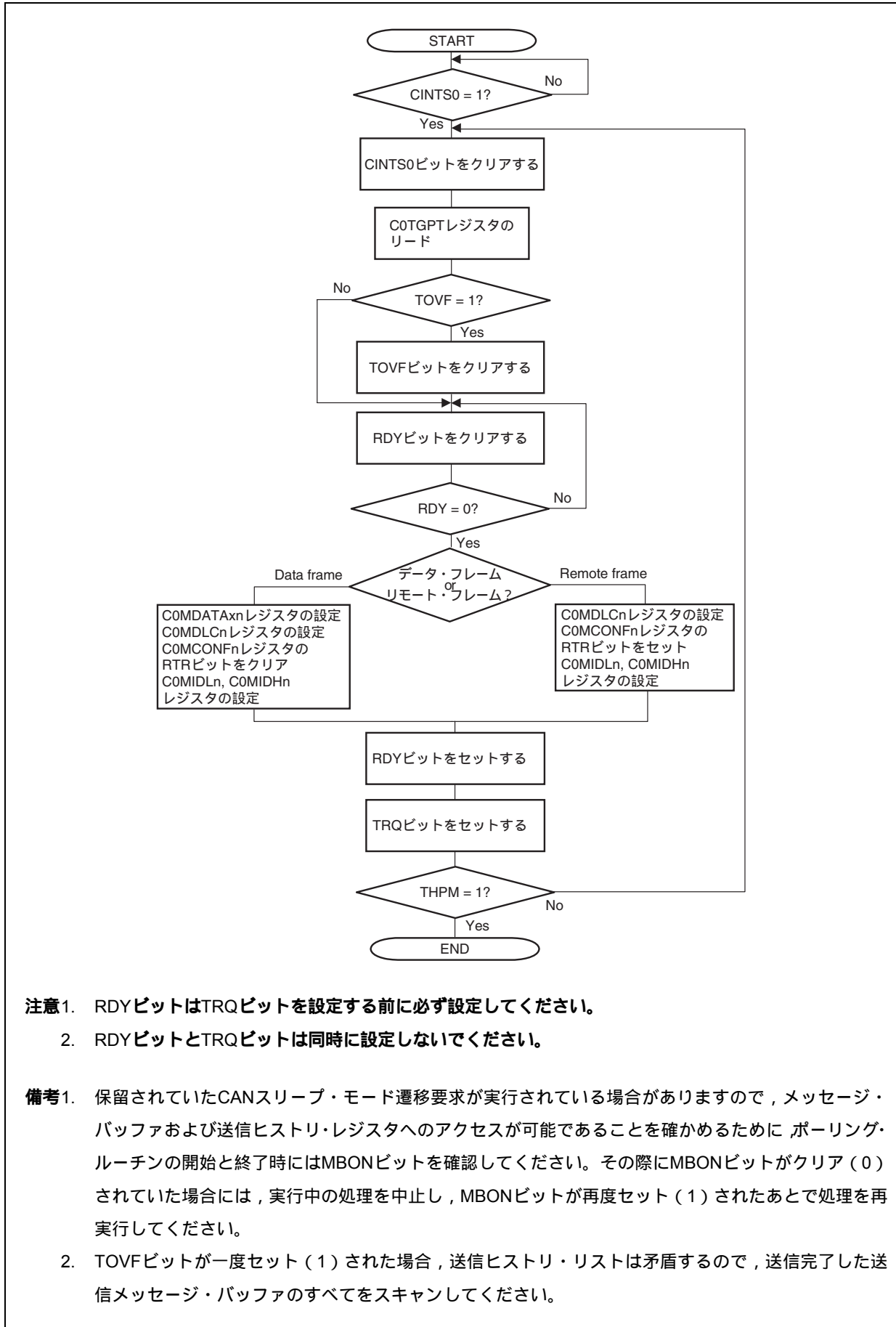
図17 - 44 割り込みによる送信処理 (C0TGPTレジスタを使用する場合)



- 注意1.** RDYビットはTRQビットを設定する前に必ず設定してください。
2. RDYビットとTRQビットは同時に設定しないでください。

- 備考1.** 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび送信履歴・レジスタへのアクセスが可能であることを確かめるために、割り込みルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア(0)されていた場合には、実行中の処理を中止し、MBONビットが再度セット(1)されたあとで処理を再実行してください。この様な理由により、送信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。
2. TOVFビットが一度セット(1)された場合、送信履歴・リストは矛盾するので、送信完了した送信メッセージ・バッファのすべてをスキャンしてください。

図17 - 45 ソフトウェア・ポーリングによる送信処理



注意1. RDYビットはTRQビットを設定する前に必ず設定してください。

2. RDYビットとTRQビットは同時に設定しないでください。

備考1. 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび送信履歴・レジスタへのアクセスが可能であることを確かめるために、ポーリングルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア(0)されていた場合には、実行中の処理を中止し、MBONビットが再度セット(1)されたあとで処理を再実行してください。

2. TOVFビットが一度セット(1)された場合、送信履歴・リストは矛盾するので、送信完了した送信メッセージ・バッファのすべてをスキャンしてください。

図17 - 46 送信中断処理 (ABT付き通常動作モード以外)

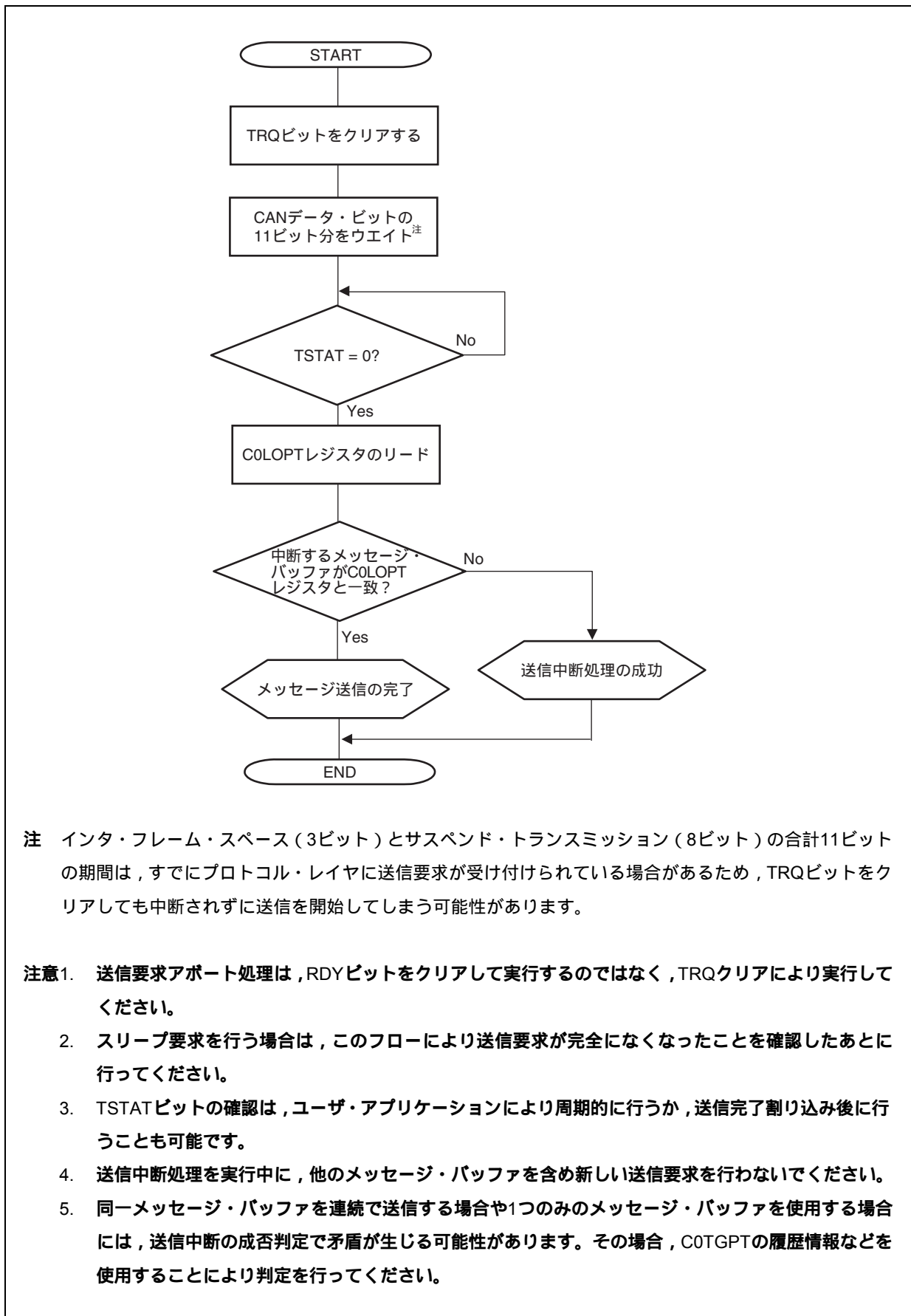
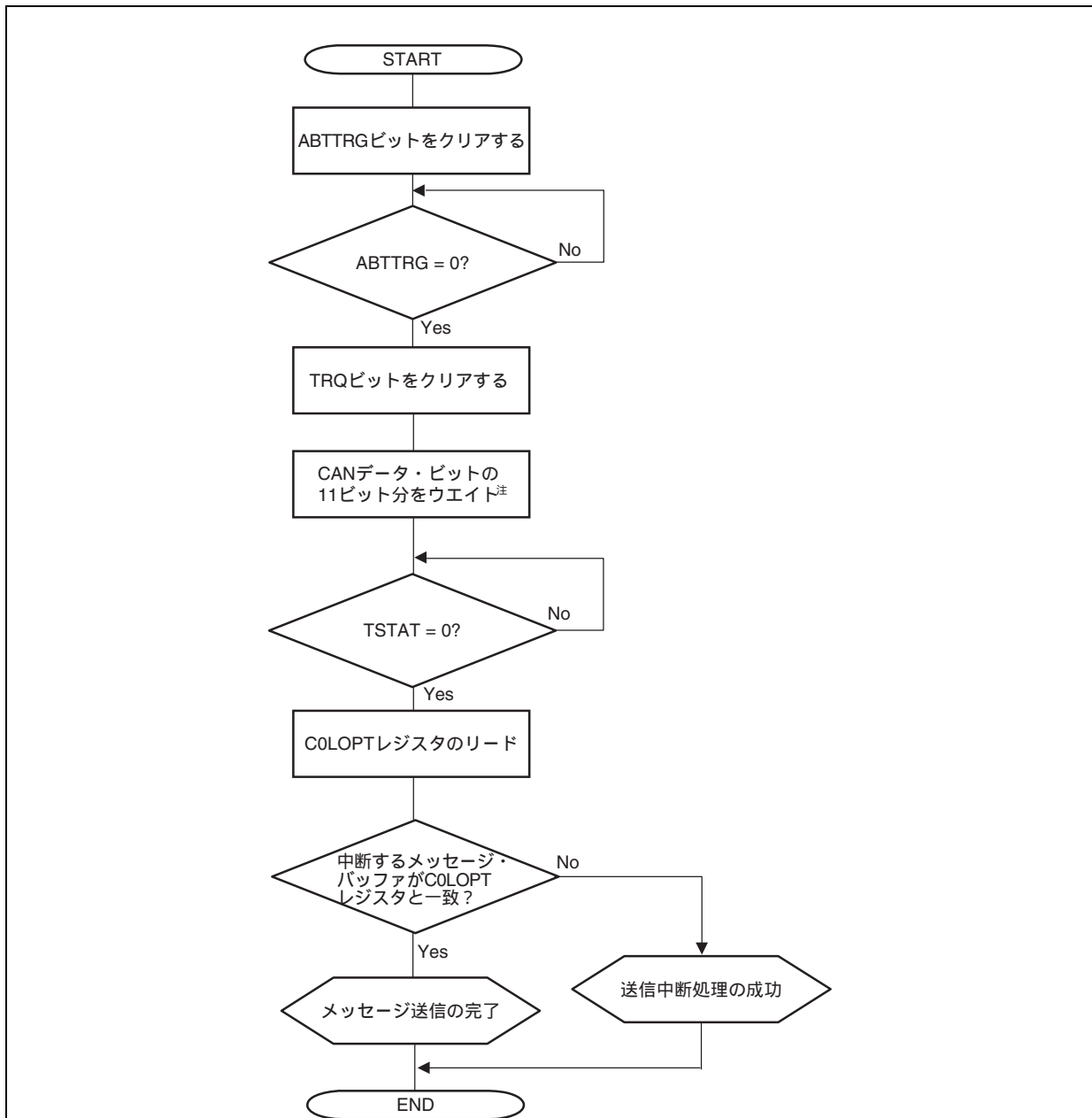


図17 - 47 ABT送信以外の送信中断処理 (ABT付き通常動作モード)

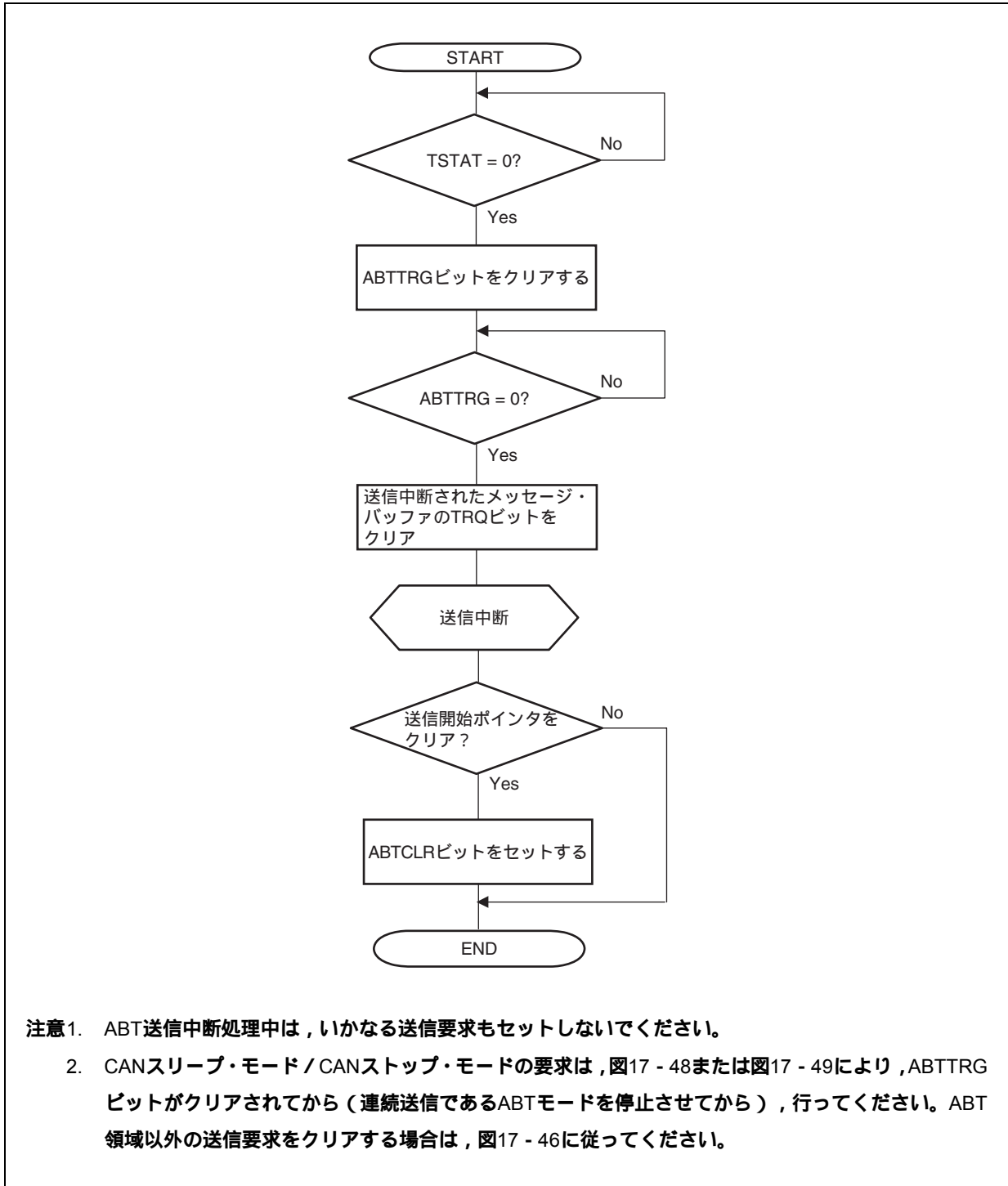


注 インタ・フレーム・スペース (3ビット) とサスペンド・トランスミッション (8ビット) の合計11ビットの期間は、すでにプロトコル・レイヤに送信要求が受け付けられている場合があるため、TRQビットをクリアしても中断されずに送信を開始してしまう可能性があります。

- 注意1. 送信中断処理は、RDYビットをクリアして実行するのではなく、TRQビットのクリアにより実行してください。
2. スリープ要求を行う場合は、このフローにより送信要求が完全になくなったことを確認したあとに行ってください。
 3. TSTATビットの確認は、ユーザ・アプリケーションにより周期的に行うか、送信完了割り込み後に行うことも可能です。
 4. 送信中断処理を実行中に、他のメッセージ・バッファを含め新しい送信要求を行わないでください。
 5. 同一メッセージ・バッファを連続で送信する場合や1つのみのメッセージ・バッファを使用する場合には、送信中断の成否判定で矛盾が生じる可能性があります。その場合、C0TGPTの履歴情報などを使用することにより判定を行ってください。

図17 - 48は、ABT用メッセージ・バッファの送信中断時に未送信のメッセージを送信再開したときにスキップしないための処理です。

図17 - 48 ABT送信中断処理 (ABT付き通常動作モード)



- 注意1. ABT送信中断処理中は、いかなる送信要求もセットしないでください。
2. CANスリープ・モード/CANストップ・モードの要求は、図17 - 48または図17 - 49により、ABTTRGビットがクリアされてから（連続送信であるABTモードを停止させてから）、行ってください。ABT領域以外の送信要求をクリアする場合は、図17 - 46に従ってください。

図17 - 49は、ABT用メッセージ・バッファの送信中断時に未送信のメッセージを送信再開したときにスキップするための処理です。

図17 - 49 ABT送信中断処理 (ABT付き通常動作モード)

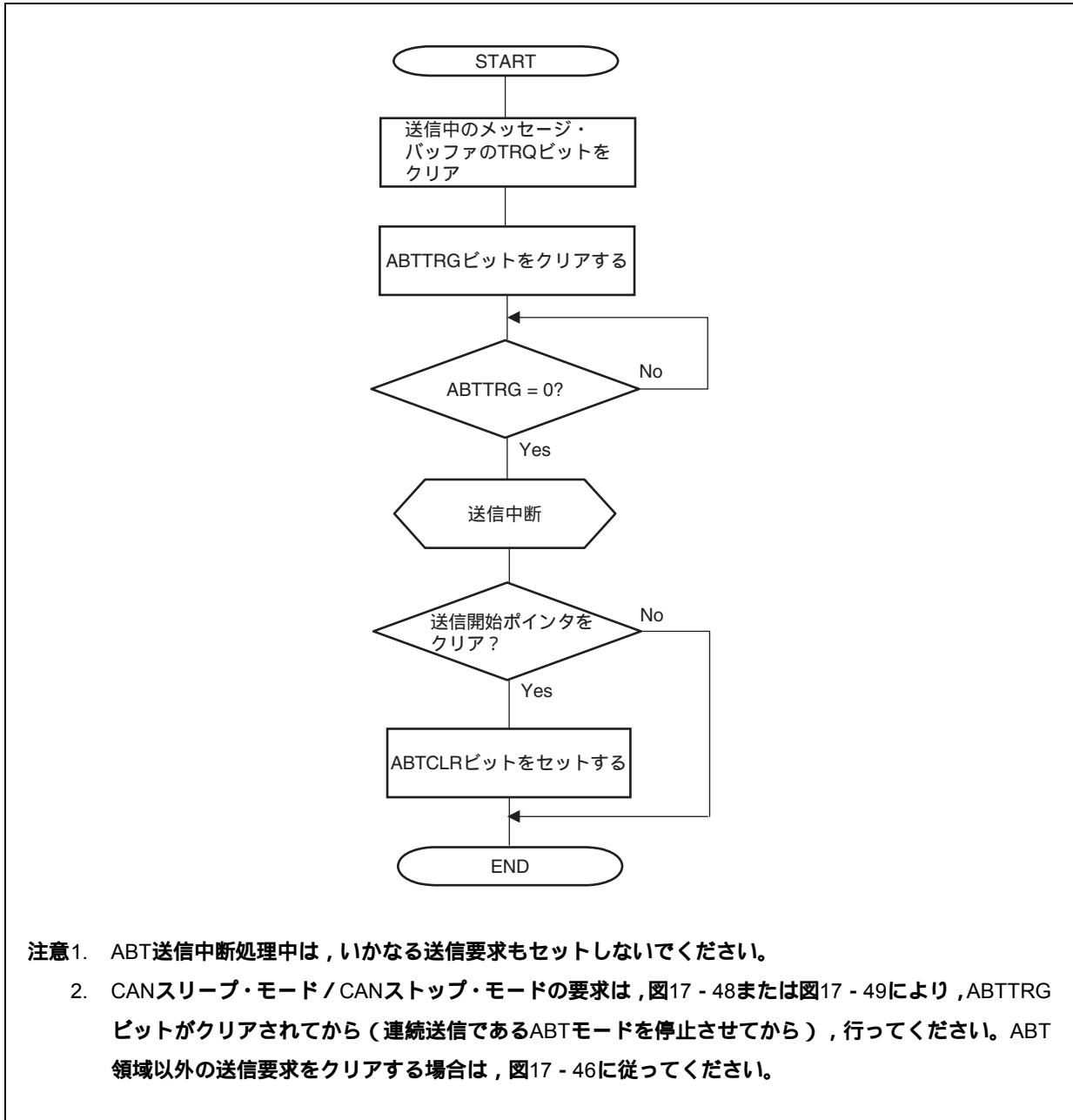


図17 - 50 割り込みによる受信処理 (COLIPTレジスタを使用する場合)

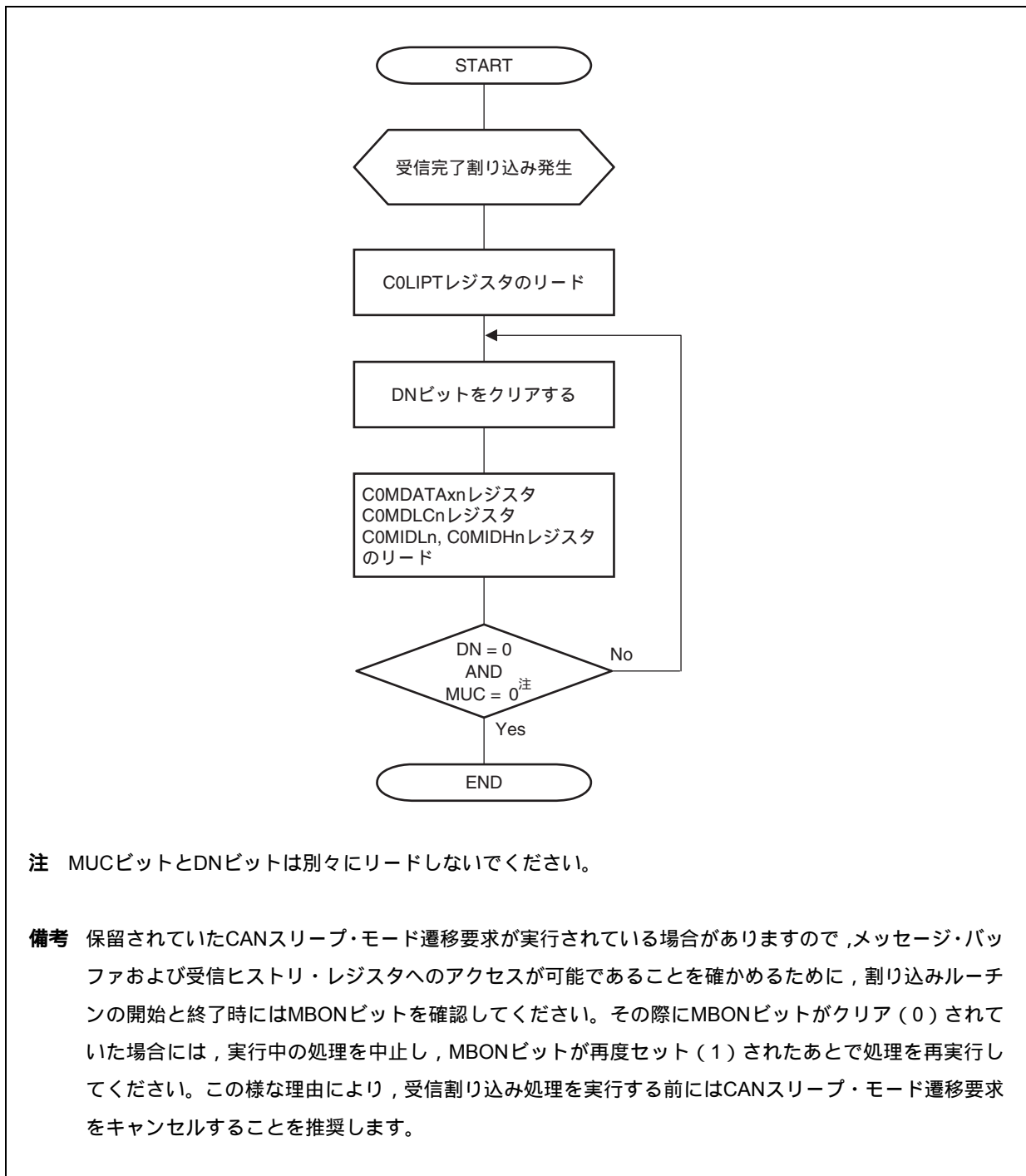
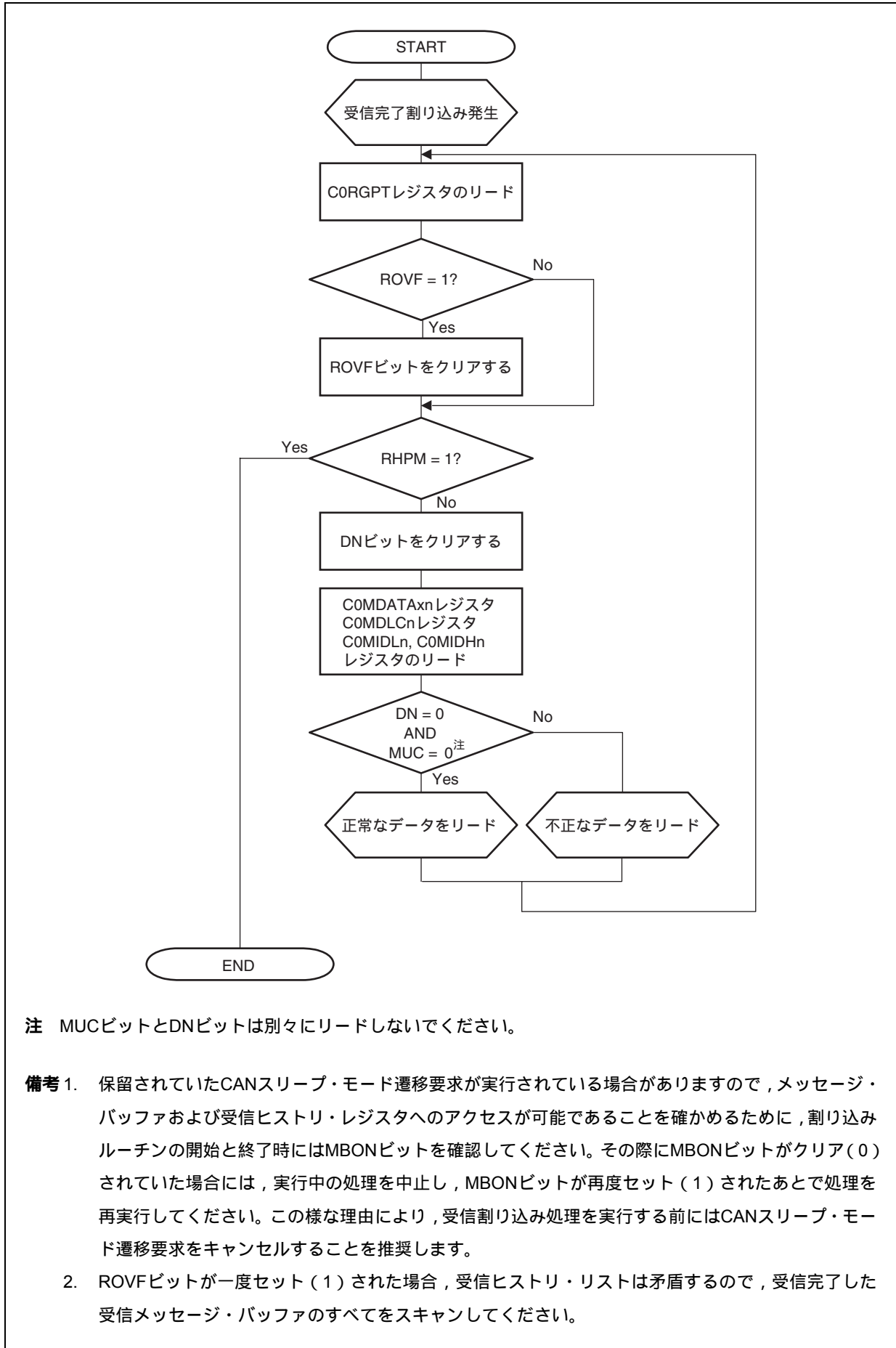


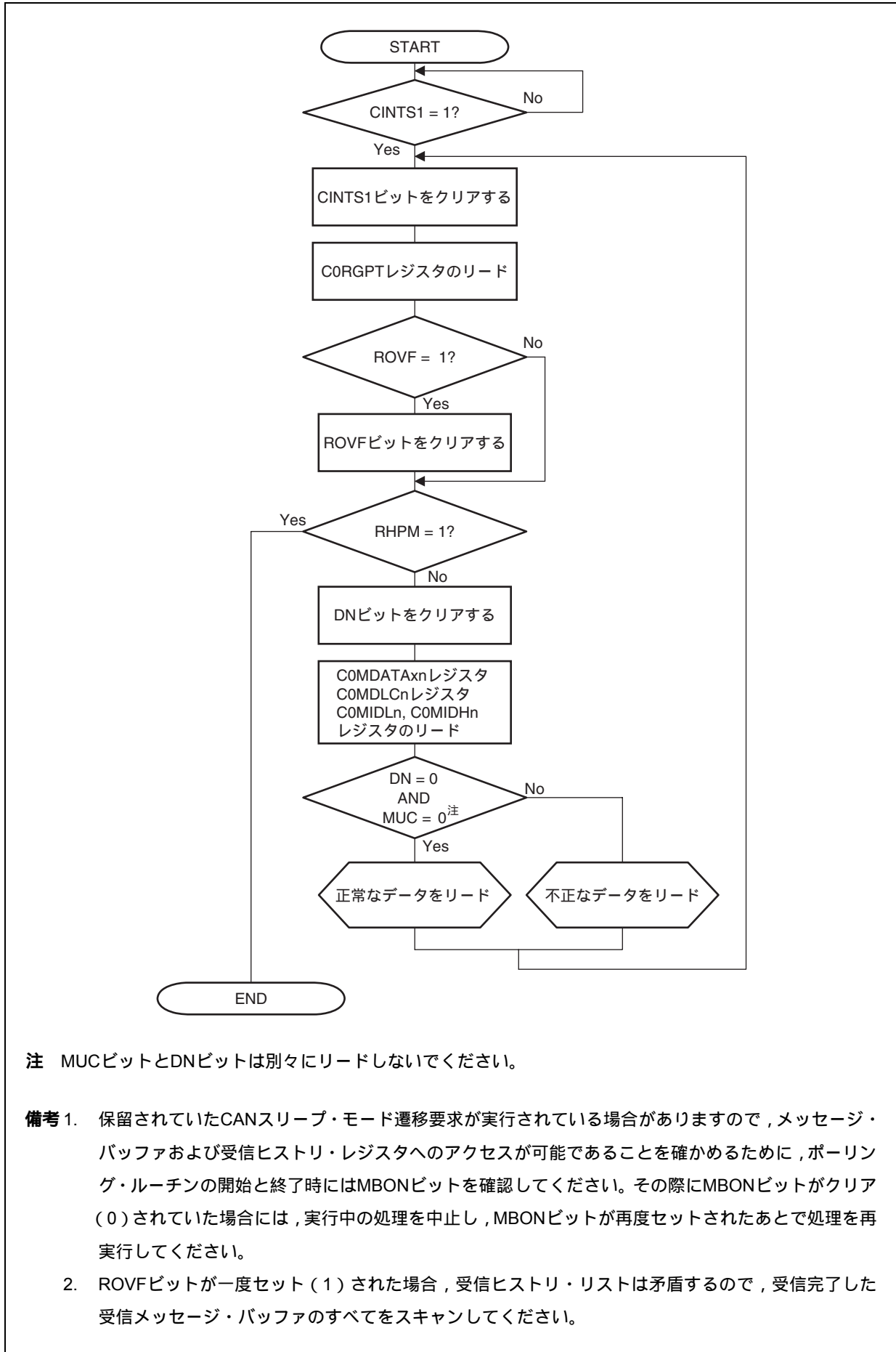
図17 - 51 割り込みによる受信処理 (C0RGPTレジスタを使用する場合)



注 MUCビットとDNビットは別々にリードしないでください。

- 備考 1. 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび受信履歴・レジスタへのアクセスが可能であることを確かめるために、割り込みルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア(0)されていた場合には、実行中の処理を中止し、MBONビットが再度セット(1)されたあとで処理を再実行してください。このような理由により、受信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。
2. ROVFビットが一度セット(1)された場合、受信履歴・リストは矛盾するので、受信完了した受信メッセージ・バッファのすべてをスキャンしてください。

図17 - 52 ソフトウェア・ポーリングによる受信処理



注 MUCビットとDNビットは別々にリードしないでください。

- 備考 1.** 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび受信履歴・レジスタへのアクセスが可能であることを確かめるために、ポーリング・ルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア(0)されていた場合には、実行中の処理を中止し、MBONビットが再度セットされたあとで処理を再実行してください。
- 2.** ROVFビットが一度セット(1)された場合、受信履歴・リストは矛盾するので、受信完了した受信メッセージ・バッファのすべてをスキャンしてください。

図17 - 53 CANスリープ・モード/CANストップ・モードの設定

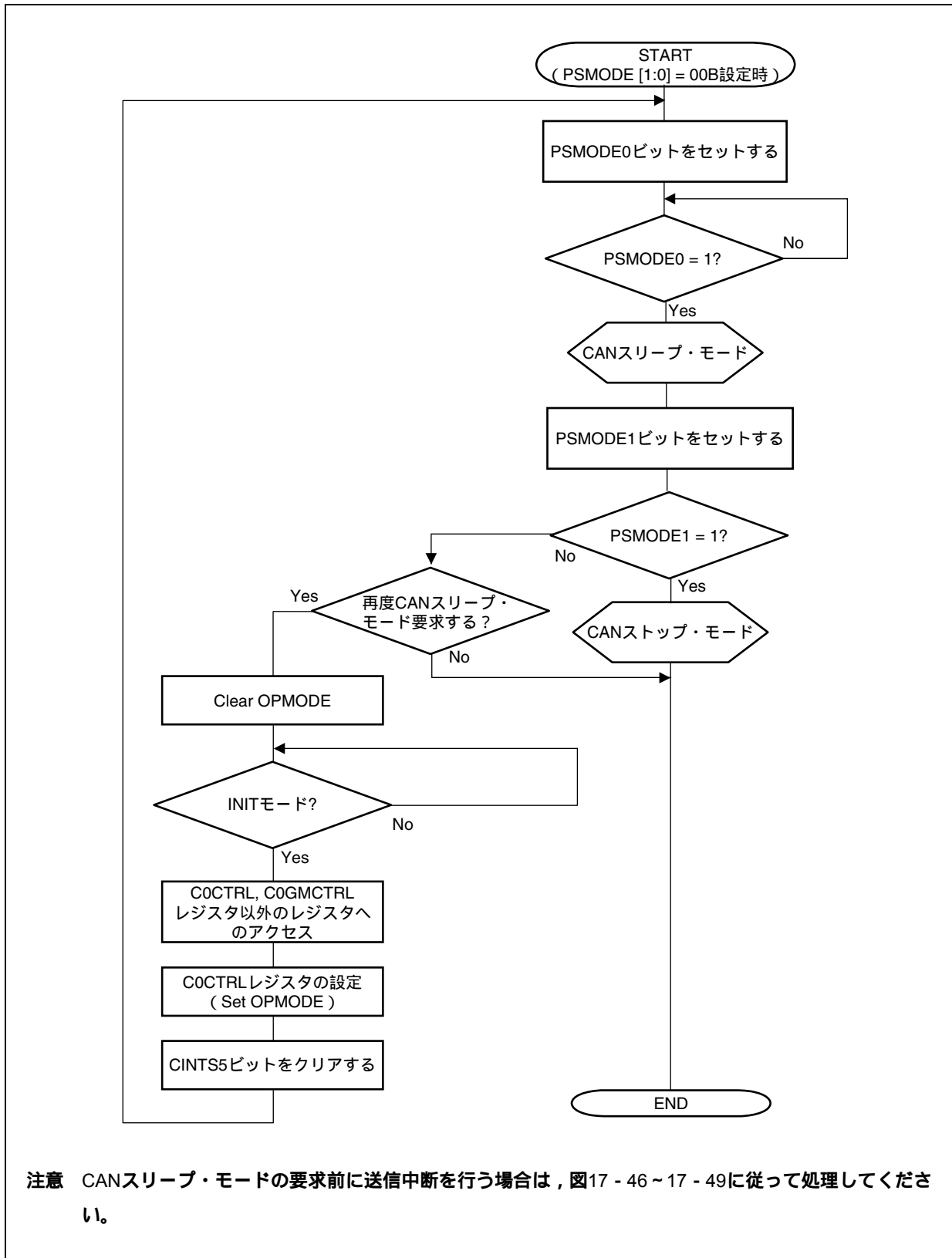


図17 - 54 CANスリープ・モード/CANストップ・モードの解除

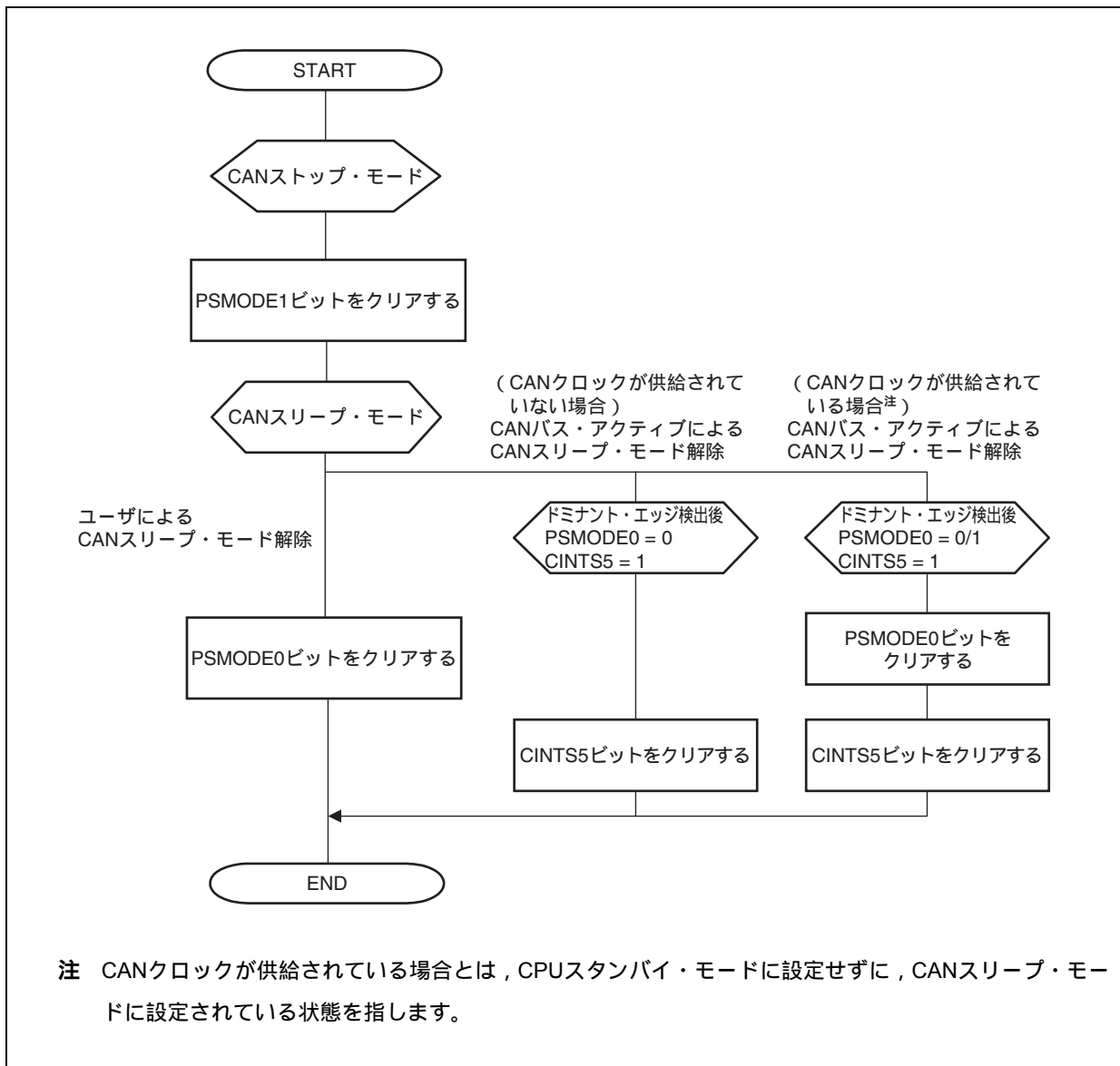
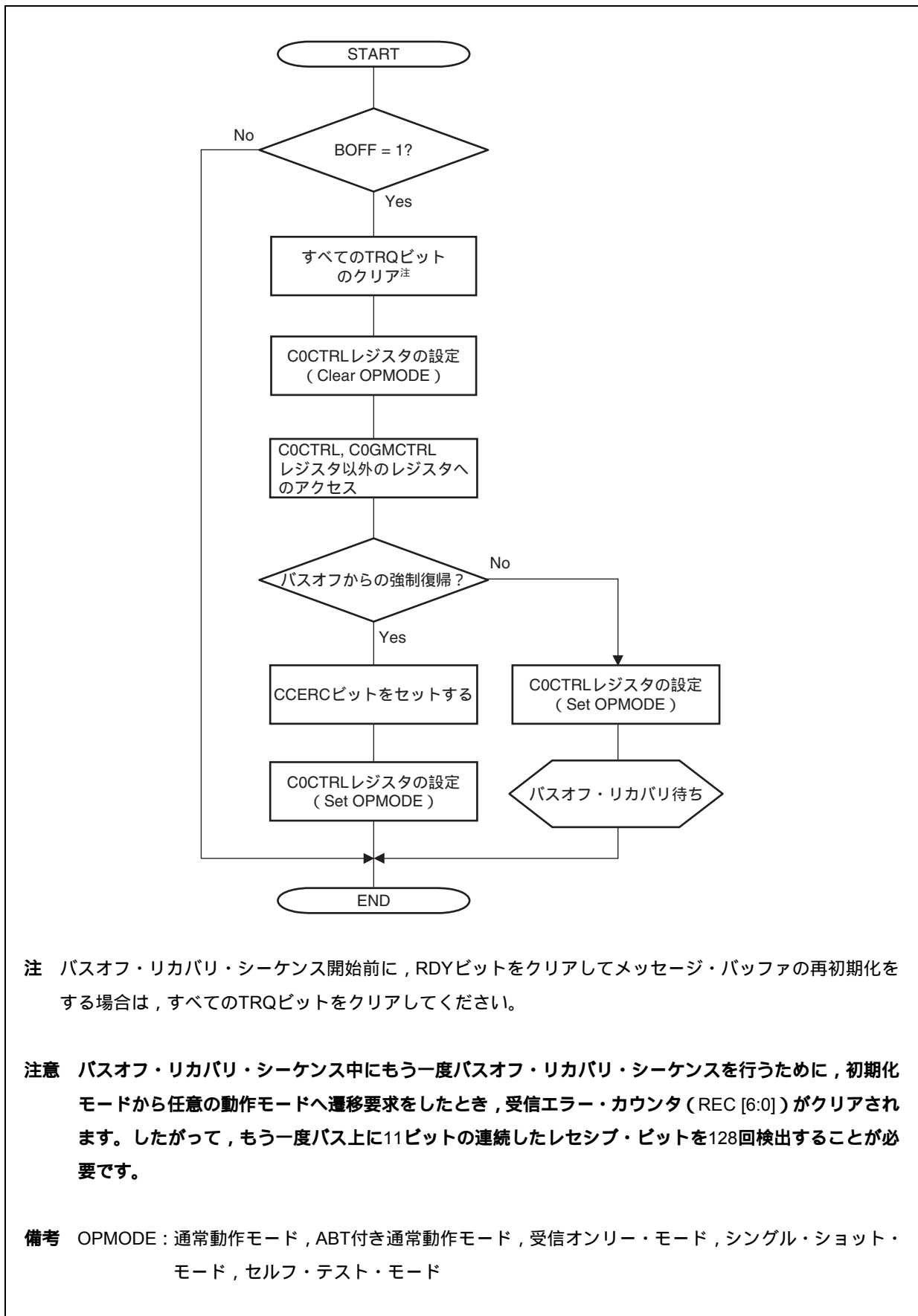


図17 - 55 バスオフからのリカバリ処理 (ABT付き通常動作モード以外の場合)



注 バスオフ・リカバリ・シーケンス開始前に、RDYビットをクリアしてメッセージ・バッファの再初期化をする場合は、すべてのTRQビットをクリアしてください。

注意 バスオフ・リカバリ・シーケンス中にもう一度バスオフ・リカバリ・シーケンスを行うために、初期化モードから任意の動作モードへ遷移要求をしたとき、受信エラー・カウンタ (REC [6:0]) がクリアされます。したがって、もう一度バス上に11ビットの連続したレセシブ・ビットを128回検出する必要があります。

備考 OPMODE : 通常動作モード, ABT付き通常動作モード, 受信オンリー・モード, シングル・ショット・モード, セルフ・テスト・モード

図17 - 56 バスオフからのリカバリ処理 (ABT付き通常動作モードの場合)

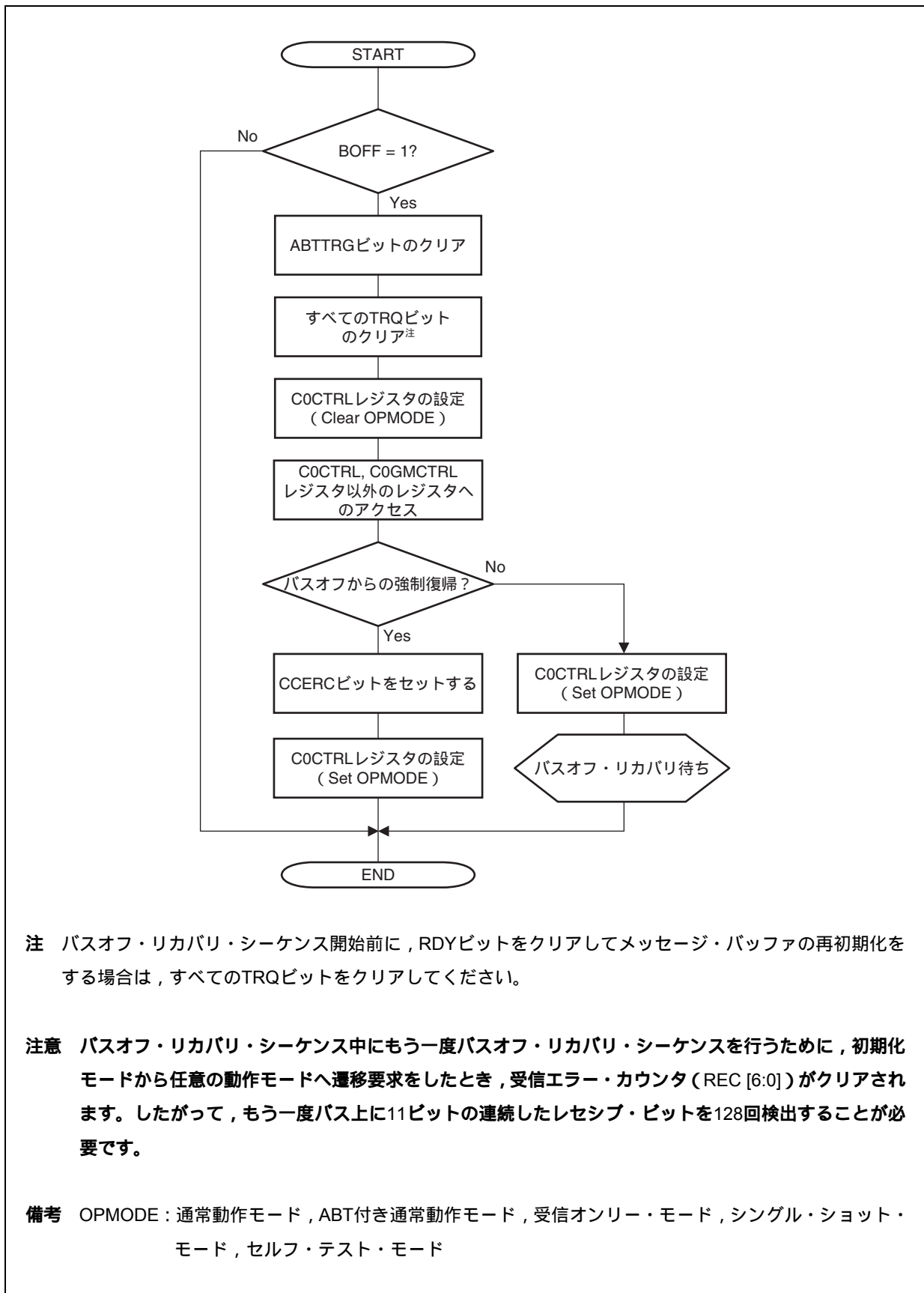


図17 - 57 通常シャット・ダウン処理

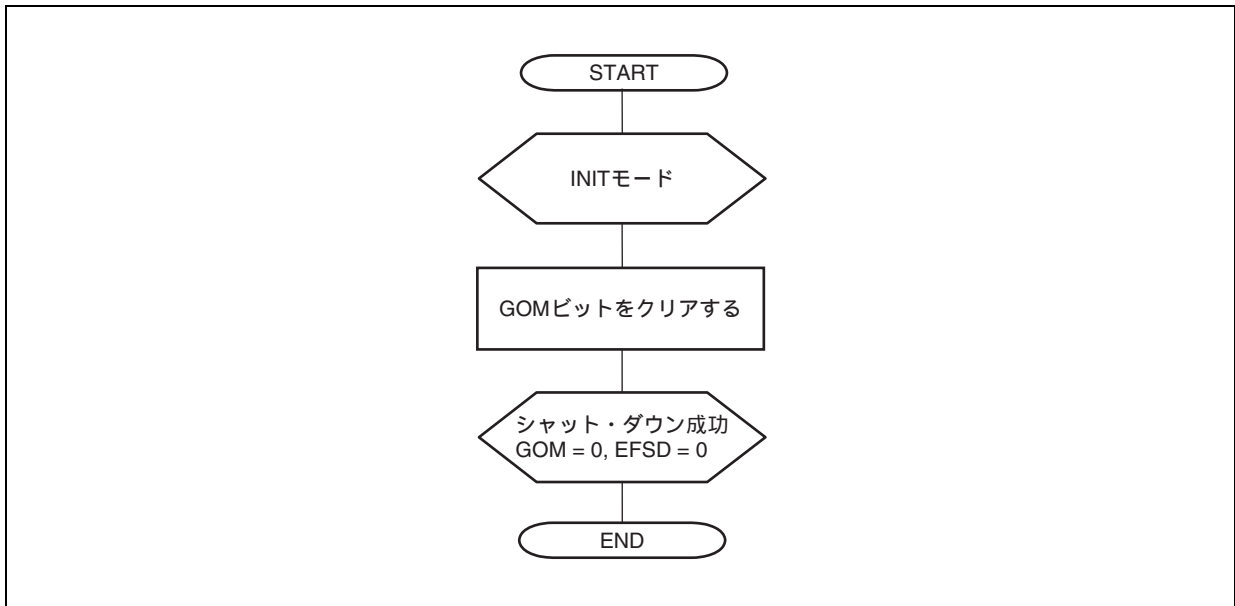


図17 - 58 強制シャット・ダウン処理

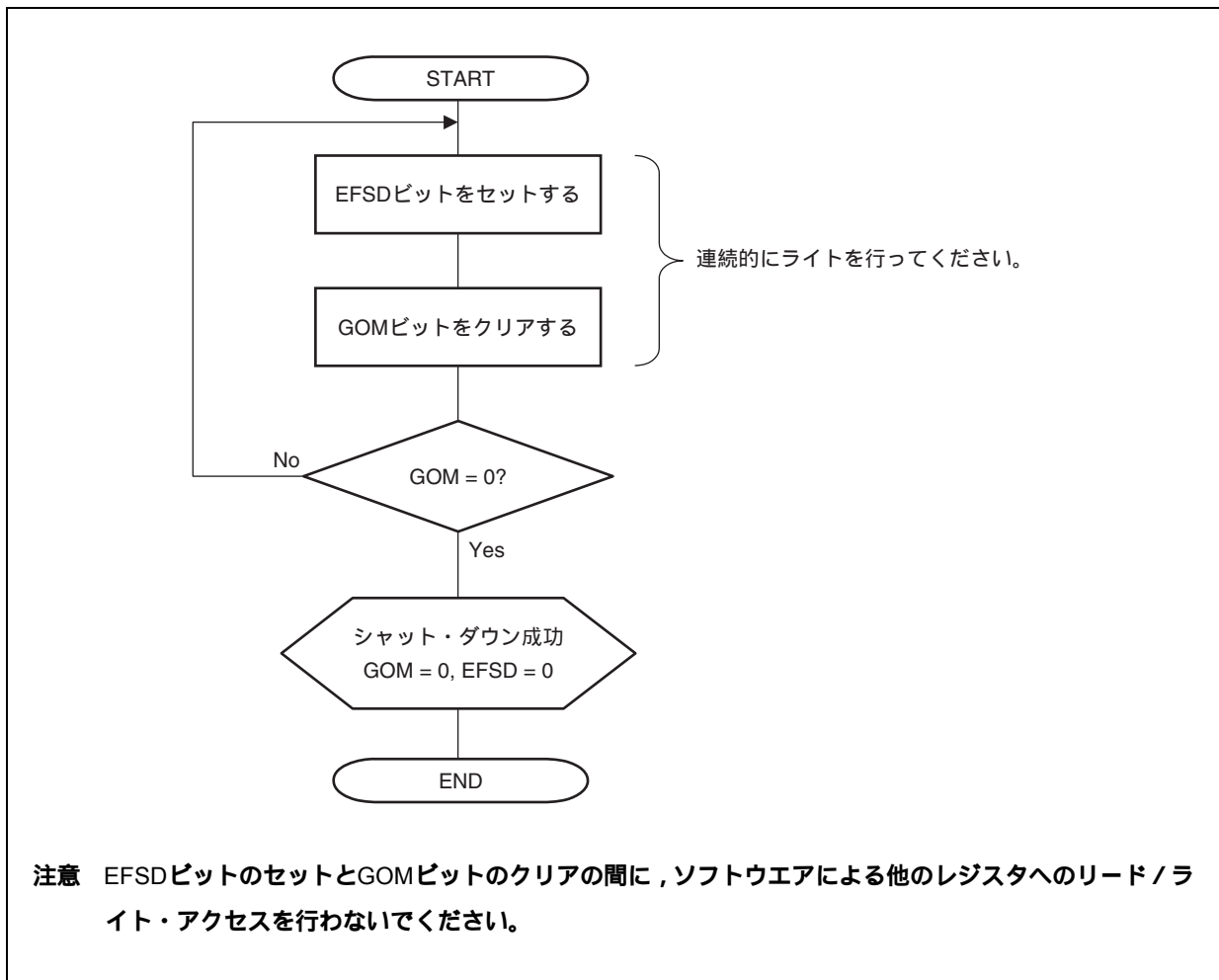


図17 - 59 エラー処理

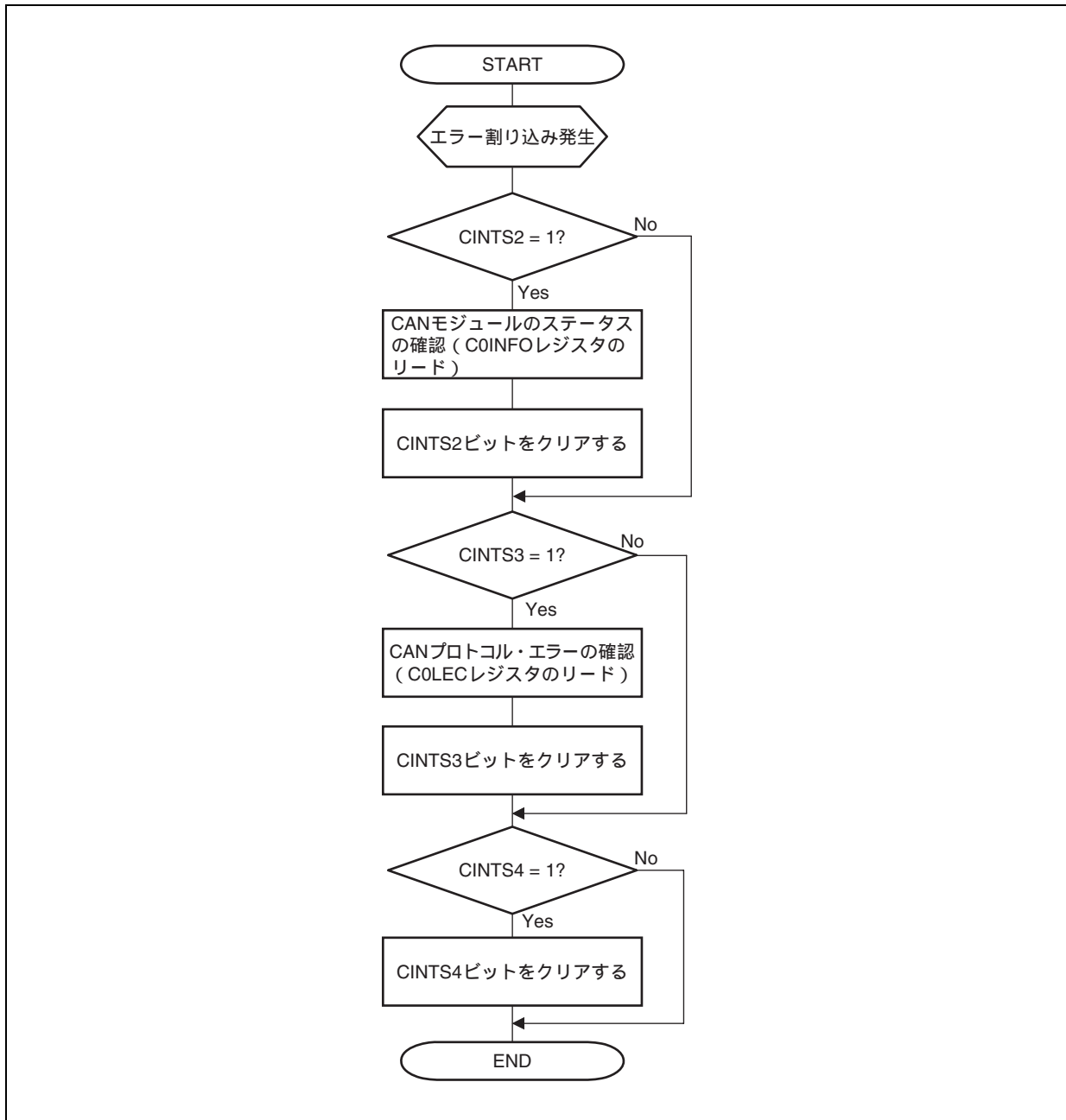
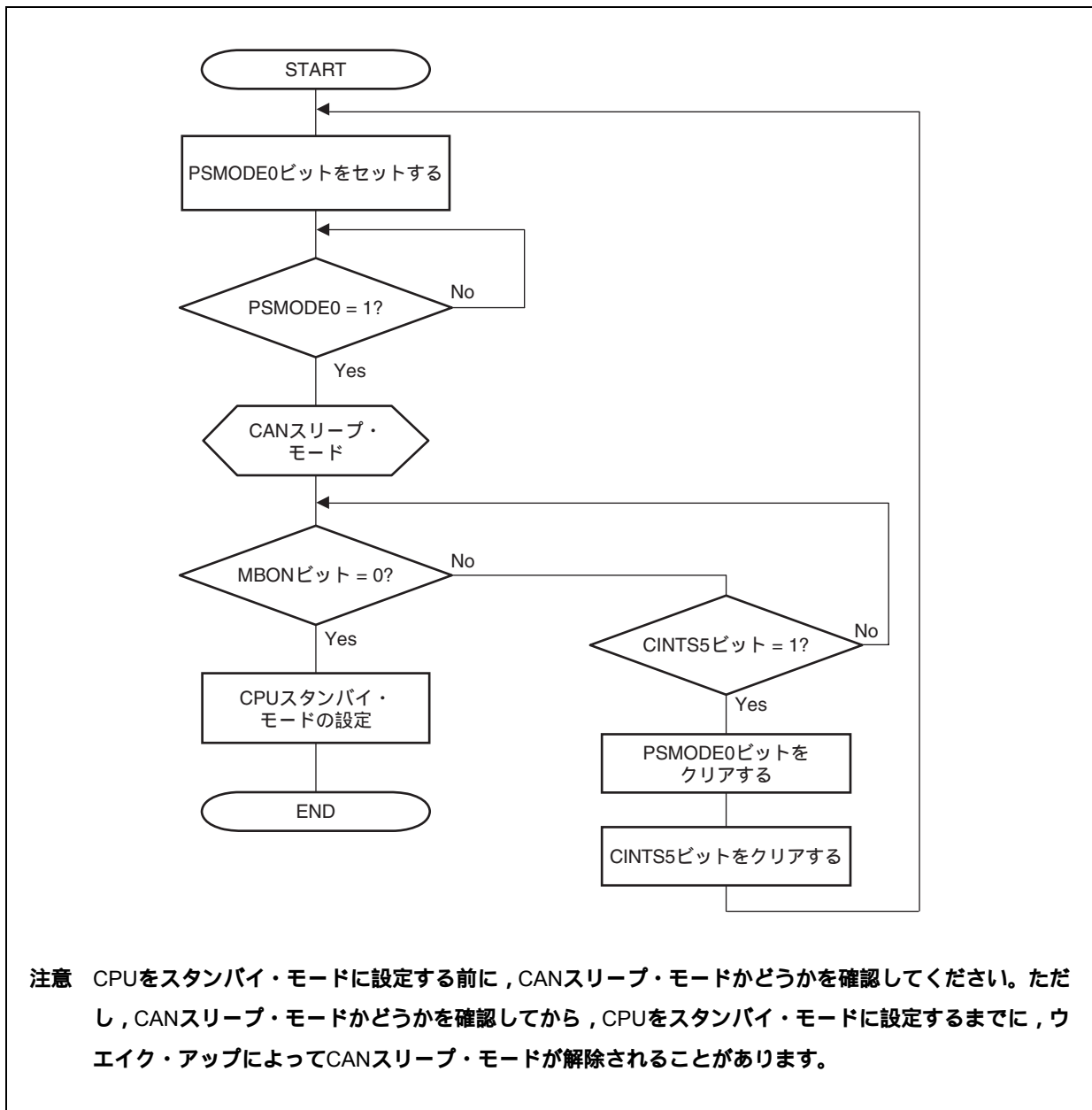
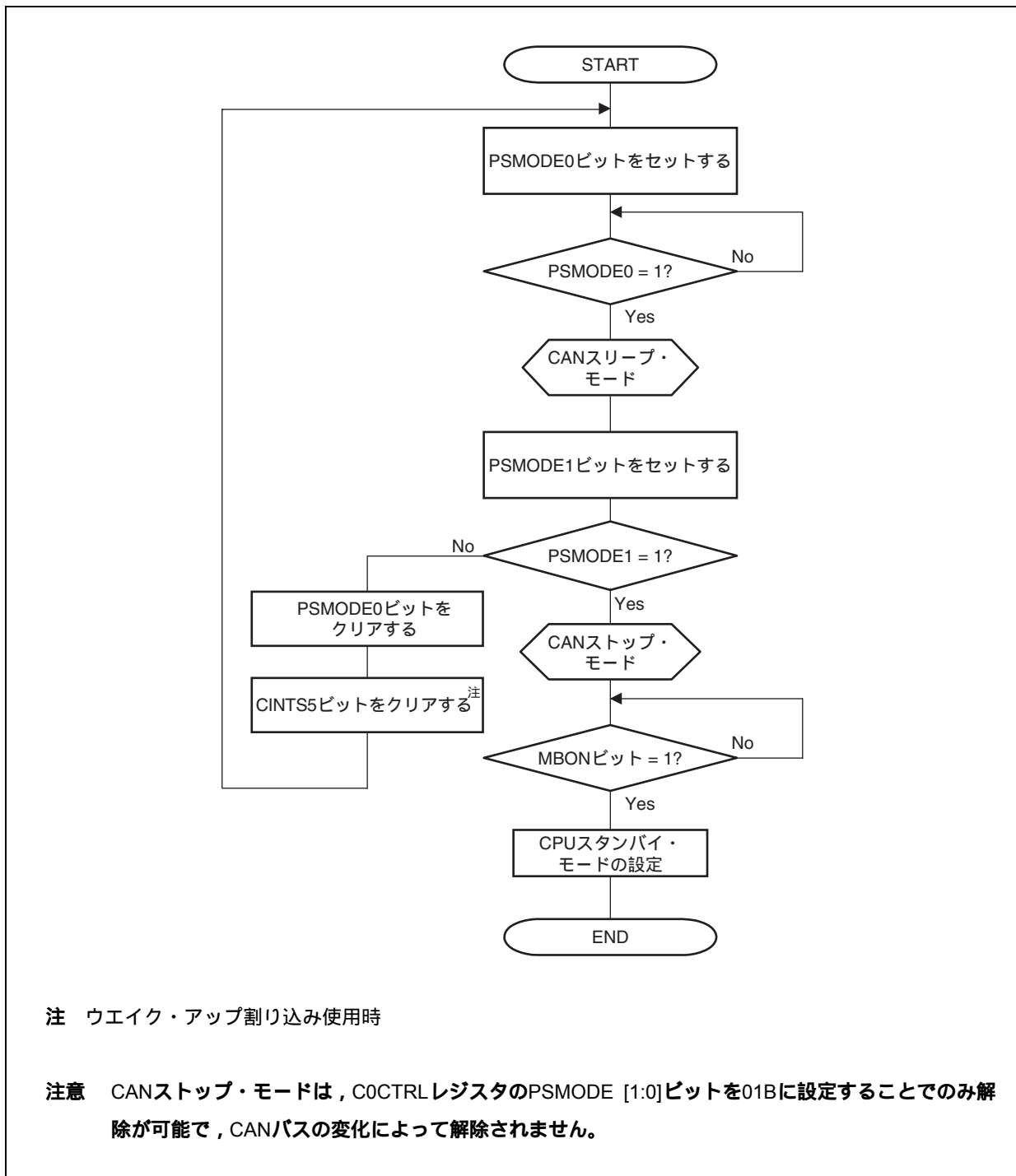


図17 - 60 CPUスタンバイ処理 (CANスリープ・モードからの移行)



注意 CPUをスタンバイ・モードに設定する前に、CANスリープ・モードかどうかを確認してください。ただし、CANスリープ・モードかどうかを確認してから、CPUをスタンバイ・モードに設定するまでに、ウェイク・アップによってCANスリープ・モードが解除されることがあります。

図17 - 61 CPUスタンバイ処理 (CANストップ・モードからの移行)



第18章 A/Dコンバータ

本マイクロコントローラは、A/Dコンバータ（ADC）を搭載しています。
各製品により、チャンネル数が異なります。次の表に各製品のチャンネル数を示します。

製品	V850ES/FE3-L	V850ES/FF3-L	V850ES/FG3-L
ADC			
数	1	1	1
名称	ADA0	ADA0	ADA0
チャンネル数	10	12	16

備考 n = 0-9 (V850ES/FE3-L)

n = 0-11 (V850ES/FF3-L)

n = 0-15 (V850ES/FG3-L)

この章ではV850ES/FG3-Lの場合について記述しています。

18.1 機能

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータです。
次にA/Dコンバータの特徴について示します。

10ビット分解能

最大16チャンネル

各製品によりチャンネル数は異なります。製品ごとのチャンネル数は以下のとおりです。

- ・V850ES/FE3-L：10チャンネル
- ・V850ES/FF3-L：12チャンネル
- ・V850ES/FG3-L：16チャンネル

逐次比較変換方式

動作電圧： $AV_{REF0} = 4.0 \sim 5.5 \text{ V}$

アナログ入力電圧： $0 \text{ V} \sim AV_{REF0}$

動作モードとして、次の機能があります。

- ・連続セレクト・モード
- ・連続スキャン・モード
- ・ワンショット・セレクト・モード
- ・ワンショット・スキャン・モード

トリガ・モードとして、次の機能があります。

- ・ソフトウェア・トリガ・モード
- ・外部トリガ・モード（外部1本）
- ・タイマ・トリガ・モード（3本）

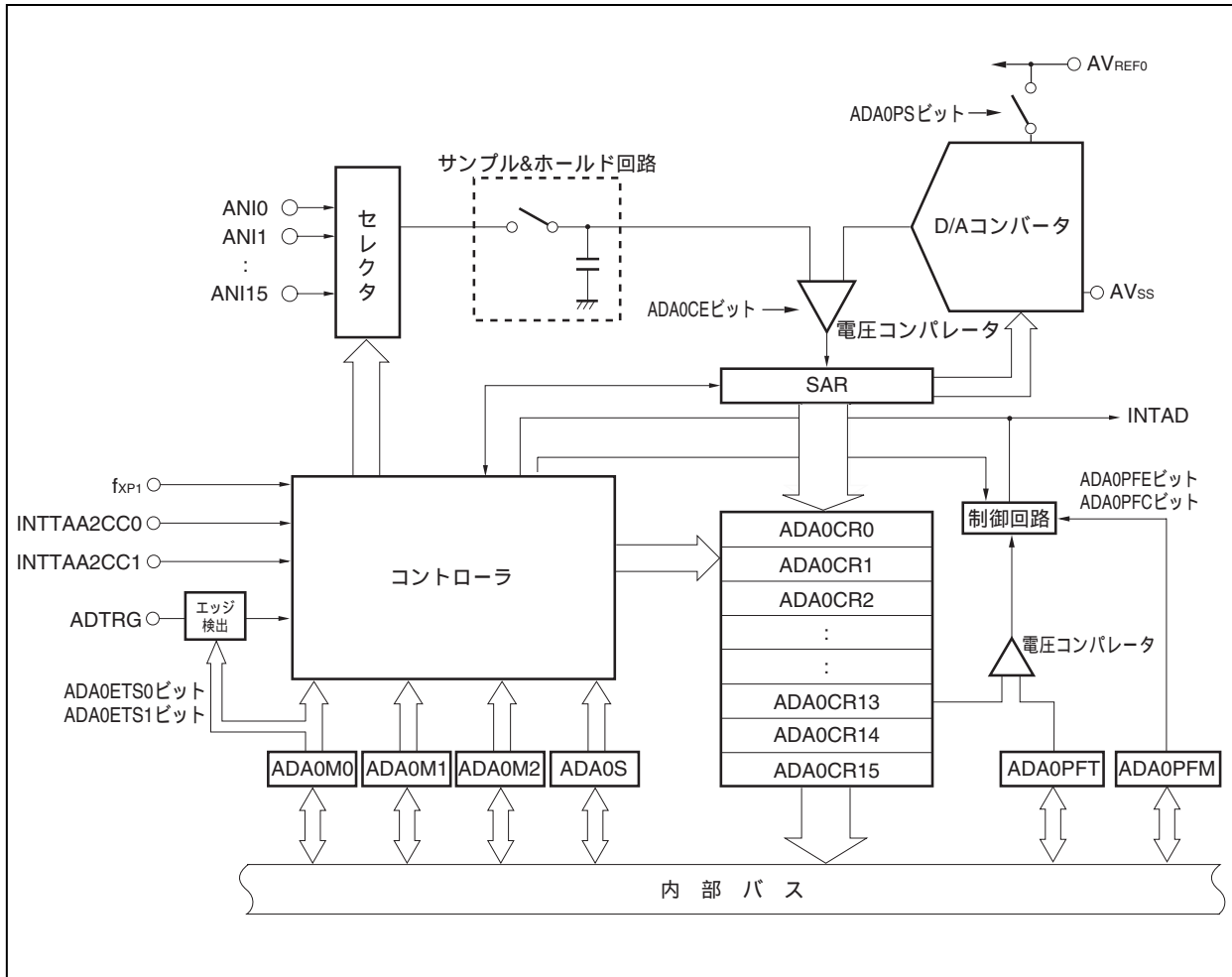
パワー・フェイル監視機能（変換結果比較機能）

自己診断機能

ディスチャージ機能

次にブロック図を示します。

図18 - 1 A/Dコンバータのブロック図



18.2 構 成

A/Dコンバータは、次のハードウェアで構成しています。

表18 - 1 A/Dコンバータの構成

項 目	構 成
アナログ入力	16チャンネル (ANI0-ANI15端子)
レジスタ	逐次変換レジスタ (SAR) A/D0変換結果レジスタ0-15 (ADA0CR0-ADA0CR15) A/D0変換結果レジスタ0H-15H (ADC0R0H-ADC0R15H) : 上位8ビットだけ読み出し可能 パワー・フェイル比較モード・レジスタ (ADA0PFM) パワー・フェイル比較しきい値レジスタ (ADA0PFT)
制御レジスタ	A/D0コンバータ・モード・レジスタ0-2 (ADA0M0-ADA0M2) A/D0コンバータ・チャンネル指定レジスタ (ADA0S)

(1) 逐次変換レジスタ (SAR)

アナログ入力の電圧値とD/Aコンバータの出力電圧の値を比較し、その結果を最上位ビット (MSB) から保持するレジスタです。

最下位ビット (LSB) まで保持すると (A/D変換終了) , SARレジスタの内容はADA0CRnレジスタに転送されます。

(2) A/D変換結果レジスタn (ADA0CRn) , A/D変換結果レジスタnH (ADA0CRnH)

ADA0CRnレジスタはA/D変換の結果を格納する16ビットのレジスタです。24本のレジスタで構成されており、A/D変換結果はアナログ入力に対応したADA0CRnレジスタの上位10ビットに格納します (下位6ビットは0に固定) 。

ADA0CRnレジスタは、16ビット単位でリードのみ可能です。

A/D変換結果の上位8ビットだけを使用する場合、ADA0CRnHレジスタは8ビット単位でリードのみ可能です。

注意 ADA0M0, ADA0Sレジスタに対する書き込み操作により、ADA0CRnレジスタの内容が不定になる場合があります。変換後、ADA0M0, ADA0Sレジスタに書き込む前に変換結果を読み出してください。これ以外の手順を取った場合、正しい変換結果が読み出せません。

(3) パワー・フェイル比較しきい値レジスタ (ADA0PFT)

A/D変換結果レジスタnH (ADA0CRnH) と大小比較する場合のしきい値を設定するレジスタです。

ADA0PFTレジスタに設定した8ビット・データとA/D変換結果レジスタの上位8ビット (ADA0CRnH) が比較されます。

備考 n = 0-15

(4) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路で選択されたアナログ入力信号をサンプリングし、電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(5) 電圧コンパレータ

電圧コンパレータは、サンプリングされ保持された電圧値とD/Aコンバータの出力電圧を比較します。

(6) D/Aコンバータ

D/Aコンバータは AV_{REF0} - AV_{SS} 間に接続されており、アナログ入力と比較する電圧を発生します。

(7) ANI0-ANI15端子

A/Dコンバータへの16チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。ADA0Sレジスタでアナログ入力として選択した端子以外は、入力ポートとして使用できます。

- 注意1.** ANI0-ANI15端子入力電圧は規格の範囲内で使用してください。特に AV_{REF0} 以上の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。
2. アナログ入力 (ANI0-ANI15) 端子は入力ポート (P70-P715) 端子と兼用になっています。ANI0-ANI15のいずれかを選択してA/D変換する場合、変換中にポート7に対する入力命令は実行しないでください。変換分解能が低下することがあります。

(8) AV_{REF0} 端子

A/Dコンバータの基準電圧を入力する端子です。 AV_{REF0} 、 AV_{SS} 間にかかる電圧に基づいて、ANI0-ANI15端子に入力される信号をデジタル信号に変換します。

(9) AV_{SS} 端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常に V_{SS} 端子と同電位で使用してください。

18.3 制御レジスタ

A/Dコンバータは、次に示すレジスタで制御します。

- ・ A/Dコンバータ・モード・レジスタ0-2 (ADA0M0-ADA0M2)
- ・ A/Dコンバータ・チャンネル指定レジスタ0 (ADA0S)
- ・ パワー・フェイル比較モード・レジスタ (ADA0PFM)

また、次のレジスタも使用します。

- ・ A/D変換結果レジスタn (ADA0CRn)
- ・ A/D変換結果レジスタnH (ADA0CRnH)
- ・ パワー・フェイル比較しきい値レジスタ (ADA0PFT)

備考 n = 0-15

(1) A/Dコンバータ・モード・レジスタ0 (ADA0M0)

動作モードの指定および変換動作の制御を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、ビット0はリードのみ可能です。

リセットにより、00Hになります。

(1/2)

リセット時：00H R/W アドレス：ADA0M0 FFFF200H								
	7	6	5	4	3	2	1	0
ADA0M0	ADA0CE	ADA0PS	ADA0MD1	ADA0MD0	ADA0ETS1	ADA0ETS0	ADA0TMD	ADA0EF
ADA0CE	A/D変換動作の制御							
0	変換動作停止							
1	変換動作許可							
ADA0PS	A/D変換制御							
0	A/D電源OFF							
1	A/D電源ON							
備考 A/Dコンバータは、A/D電源オン後、安定時間を必要とします。ADA0PS = 1 (電源オン) 後、安定時間が経過してから最初の変換結果が有効となります。								
ADA0MD1	ADA0MD0	A/Dコンバータ動作モードを指定						
0	0	連続セレクト・モード						
0	1	連続スキャン・モード						
1	0	ワンショット・セレクト・モード						
1	1	ワンショット・スキャン・モード						
ADA0ETS1	ADA0ETS0	外部トリガ (ADTRG端子) 入力の有効エッジを指定						
0	0	エッジ検出し						
0	1	立ち下がりエッジ検出						
1	0	立ち上がりエッジ検出						
1	1	立ち上がり/立ち下がり両エッジ検出						
ADA0TMD	トリガ・モードを指定							
0	ソフトウェア・トリガ・モード							
1	外部トリガ・モード/タイマ・トリガ・モード							
ADA0EF	A/Dコンバータの状態 (ステータス)							
0	A/D変換停止中							
1	A/D変換動作中							

- 注意1. ADA0EFビットに書き込みを行った場合、書き込みは無視されます。
2. 変換動作中 (ADA0CEビット = 1) は、ADA0M1レジスタのADA0FR3-ADA0FR0ビットの変更は禁止です。
 3. A/Dコンバータを使用しない場合は、消費電流を小さくするために、ADA0CEビット = 0として動作を停止してください。
 4. A/D変換開始直後の最初の入力端子の変換分解能が低下する可能性があります。詳細は18.5(7) AV_{REF0}端子についてを参照してください。
 5. サブクロック動作時、かつメイン・クロック停止時のADA0M0レジスタへのアクセスは禁止です。

(2) A/Dコンバータ・モード・レジスタ1 (ADA0M1)

変換時間の指定を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：ADA0M1 FFFFF201H

7	6	5	4	3	2	1	0
0	0	0	0	ADA0FR3	ADA0FR2	ADA0FR1	ADA0FR0

注意 1. ビット7-4には必ず“0”を設定してください。

2. 変換動作中 (ADA0CE0ビット = 1) は、ADA0M1レジスタのADA0FR3-ADA0FR0ビットの変更は禁止です。

備考 A/D変換時間の設定例は表18 - 2を参照してください。

表18 - 2 変換モード時の設定例

ADA0FR3-ADA0FR0				A/D変換時間		サンプリング・ タイム	A/D変換時間 (ADA0DISC = 0の場合)			
3	2	1	0	ADA0DISC = 0	ADA0DISC = 1 (含まれるディス チャージ時間)		f _{XP1} = 20 MHz	f _{XP1} = 16 MHz	f _{XP1} = 10 MHz	f _{XP1} = 4 MHz
0	0	0	0	32/f _{XP1}	34/f _{XP1} (4/f _{XP1})	17/f _{XP1}	設定禁止	設定禁止	3.20 μs	8.00 μs
0	0	0	1	64/f _{XP1}	68/f _{XP1} (8/f _{XP1})	34/f _{XP1}	3.20 μs	4.00 μs	6.40 μs	16.00 μs
0	0	1	0	96/f _{XP1}	102/f _{XP1} (12/f _{XP1})	51/f _{XP1}	4.80 μs	6.00 μs	9.60 μs	設定禁止
0	0	1	1	128/f _{XP1}	136/f _{XP1} (16/f _{XP1})	68/f _{XP1}	6.40 μs	8.00 μs	12.80 μs	設定禁止
0	1	0	0	160/f _{XP1}	170/f _{XP1} (20/f _{XP1})	85/f _{XP1}	8.00 μs	10.00 μs	16.00 μs	設定禁止
0	1	0	1	192/f _{XP1}	204/f _{XP1} (24/f _{XP1})	102/f _{XP1}	9.60 μs	12.00 μs	設定禁止	設定禁止
0	1	1	0	224/f _{XP1}	238/f _{XP1} (28/f _{XP1})	119/f _{XP1}	11.20 μs	14.00 μs	設定禁止	設定禁止
0	1	1	1	256/f _{XP1}	272/f _{XP1} (32/f _{XP1})	136/f _{XP1}	12.80 μs	16.00 μs	設定禁止	設定禁止
1	0	0	0	288/f _{XP1}	306/f _{XP1} (36/f _{XP1})	153/f _{XP1}	14.40 μs	設定禁止	設定禁止	設定禁止
1	0	0	1	320/f _{XP1}	340/f _{XP1} (40/f _{XP1})	170/f _{XP1}	16.00 μs	設定禁止	設定禁止	設定禁止
上記以外				設定禁止						

(3) A/Dコンバータ・モード・レジスタ2 (ADA0M2)

ハードウェア・トリガのモードを指定します。

8/1ビット単位でリード/ライト可能です。

リセットにより, 00Hになります。

リセット時: 00H R/W アドレス: ADA0M2 FFFFF203H

	7	6	5	4	3	2	1	0
ADA0M2	0	0	ADA0DIAG	ADA0DISC	0	0	ADA0TMD1	ADA0TMD0

ADA0DIAG	診断機能許可
0	診断機能禁止
1	診断機能許可

ADA0DISC	ディスチャージ機能許可
0	ディスチャージ機能禁止
1	ディスチャージ機能許可

注意 ディスチャージ機能は, A/D変換終了後に V_{SS} 電圧を一定期間サンプリングします(サンプリング動作のみ行い, 比較動作は行いません)。このため, ディスチャージ機能許可時のA/D変換時間は, 禁止時に比べ長くなります。

ADA0TMD1	ADA0TMD0	ハードウェア・トリガ・モードの指定
0	0	外部トリガ・モード (ADTRG端子の有効エッジ検出時)
0	1	タイマ・トリガ・モード0 (INTTAA2CC0割り込み要求発生時)
1	0	タイマ・トリガ・モード1 (INTTAA2CC1割り込み要求発生時)
1	1	設定禁止

注意 1. ビット7, 6, 3, 2には必ず“0”を設定してください。

2. ディスチャージ機能において、オープンの端子をディスチャージ AD変換と繰り返しても0 Vまで下がりません。

(4) A/Dコンバータ・チャンネル指定レジスタ0 (ADA0S)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：ADA0S FFFFF202H

	7	6	5	4	3	2	1	0
ADA0S	0	0	0	0	ADA0S3	ADA0S2	ADA0S1	ADA0S0

ADA0S4-ADA0S0					変換アナログ入力			
					ADA0DIAG = 0 (診断機能なし)		ADA0DIAG = 1 (診断機能あり)	
4	3	2	1	0	セレクト・モード	スキャン・モード	セレクト・モード	スキャン・モード
0	0	0	0	0	ANI0	ANI0	AV _{REF0}	ANI0-AV _{REF} -AV _{SS}
0	0	0	0	1	ANI1	ANI0-ANI1	AV _{SS}	ANI0-ANI1-AV _{REF} -AV _{SS}
0	0	0	1	0	ANI2	ANI0-ANI1-ANI2	設定禁止	ANI0-ANI1-ANI2-AV _{REF} -AV _{SS}
0	0	0	1	1	ANI3	ANI0-ANI1...-ANI3	設定禁止	ANI0-ANI1...-ANI3-AV _{REF} -AV _{SS}
0	0	1	0	0	ANI4	ANI0-ANI1...-ANI4	設定禁止	ANI0-ANI1...-ANI4-AV _{REF} -AV _{SS}
0	0	1	0	1	ANI5	ANI0-ANI1...-ANI5	設定禁止	ANI0-ANI1...-ANI5-AV _{REF} -AV _{SS}
0	0	1	1	0	ANI6	ANI0-ANI1...-ANI6	設定禁止	ANI0-ANI1...-ANI6-AV _{REF} -AV _{SS}
0	0	1	1	1	ANI7	ANI0-ANI1...-ANI7	設定禁止	ANI0-ANI1...-ANI7-AV _{REF} -AV _{SS}
0	1	0	0	0	ANI8	ANI0-ANI1...-ANI8	設定禁止	ANI0-ANI1...-ANI8-AV _{REF} -AV _{SS}
0	1	0	0	1	ANI9	ANI0-ANI1...-ANI9	設定禁止	ANI0-ANI1...-ANI9-AV _{REF} -AV _{SS}
0	1	0	1	0	ANI10	ANI0-ANI1...-ANI10	設定禁止	ANI0-ANI1...-ANI10-AV _{REF} -AV _{SS}
0	1	0	1	1	ANI11	ANI0-ANI1...-ANI11	設定禁止	ANI0-ANI1...-ANI11-AV _{REF} -AV _{SS}
0	1	1	0	0	ANI12	ANI0-ANI1...-ANI12	設定禁止	ANI0-ANI1...-ANI12-AV _{REF} -AV _{SS}
0	1	1	0	1	ANI13	ANI0-ANI1...-ANI13	設定禁止	ANI0-ANI1...-ANI13-AV _{REF} -AV _{SS}
0	1	1	1	0	ANI14	ANI0-ANI1...-ANI14	設定禁止	ANI0-ANI1...-ANI14-AV _{REF} -AV _{SS}
0	1	1	1	1	ANI15	ANI0-ANI1...-ANI15	設定禁止	ANI0-ANI1...-ANI15-AV _{REF} -AV _{SS}
上記以外					設定禁止 ^注			

注 アナログ入力が存在しないチャンネルを設定すると、変換結果が不定になります。

(5) A/D変換結果レジスタ n , nH (ADA0CR n , ADA0CR nH)

ADA0CR n レジスタはA/D変換の結果を格納する16ビットのレジスタです。A/D変換結果はアナログ入力に対応したADA0CR n レジスタの上位10ビットに格納します(下位6ビットは0に固定)。

ADA0CR n レジスタは、16ビット単位でリードのみ可能です。また、A/D変換結果の上位8ビットだけ使用する場合、ADA0CR nH レジスタは8ビット単位でリードのみ可能です。

注意1. ADA0M0-ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに対して書き込み動作を行ったとき、ADA0CR n レジスタの内容は不定になることがあります。変換結果は、変換動作終了後、ADA0M0-ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに対して書き込み動作を行う前に読み出してください。

また、外部/タイマ・トリガを受け付けたときも、ADA0CR n レジスタの内容は不定になることがあります。変換結果は、変換動作終了後、次の外部/タイマ・トリガを受け付ける前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

2. サブクロック動作時、かつメイン・クロック停止時のADA0CR n , ADA0CR nH レジスタへのアクセスは禁止です。

備考 $n = 0-15$

リセット時：00H R アドレス：ADA0CR0 FFFFF210H, ADA0CR1 FFFFF212H ,
 ADA0CR2 FFFFF214H, ADA0CR3 FFFFF216H
 ADA0CR4 FFFFF218H, ADA0CR5 FFFFF21AH
 ADA0CR6 FFFFF21CH, ADA0CR7 FFFFF21EH
 ADA0CR8 FFFFF220H, ADA0CR9 FFFFF222H
 ADA0CR10 FFFFF224H, ADA0CR11 FFFFF226H
 ADA0CR12 FFFFF228H, ADA0CR13 FFFFF22AH
 ADA0CR14 FFFFF22CH, ADA0CR15 FFFFF22EH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADA0CRn	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	0	0	0	0	0	0

リセット時：00H R アドレス：ADA0CR0H FFFFF211H, ADA0CR1H FFFFF213H ,
 ADA0CR2H FFFFF215H, ADA0CR3H FFFFF217H
 ADA0CR4H FFFFF219H, ADA0CR5H FFFFF21BH
 ADA0CR6H FFFFF21DH, ADA0CR7H FFFFF21FH
 ADA0CR8H FFFFF221H, ADA0CR9H FFFFF223H
 ADA0CR10H FFFFF225H, ADA0CR11H FFFFF227H
 ADA0CR12H FFFFF229H, ADA0CR13H FFFFF22BH
 ADA0CR14H FFFFF22DH, ADA0CR15H FFFFF22FH

	7	6	5	4	3	2	1	0
ADA0CRnH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2

備考 n = 0-15

アナログ入力端子 (ANI0-ANI15) に入力されたアナログ入力電圧とA/D変換結果 (A/D変換結果レジスタ n (ADA0CRn)) には次式に示す関係があります。

$$ADA0CR = \text{INT} \left(\frac{V_{IN}}{AV_{REF0}} \times 1024 + 0.5 \right)$$

または,

$$\left(ADA0CR - 0.5 \right) \times \frac{AV_{REF0}}{1024} < V_{IN} < \left(ADA0CR + 0.5 \right) \times \frac{AV_{REF0}}{1024}$$

INT () : () 内の値の整数部を返す関数

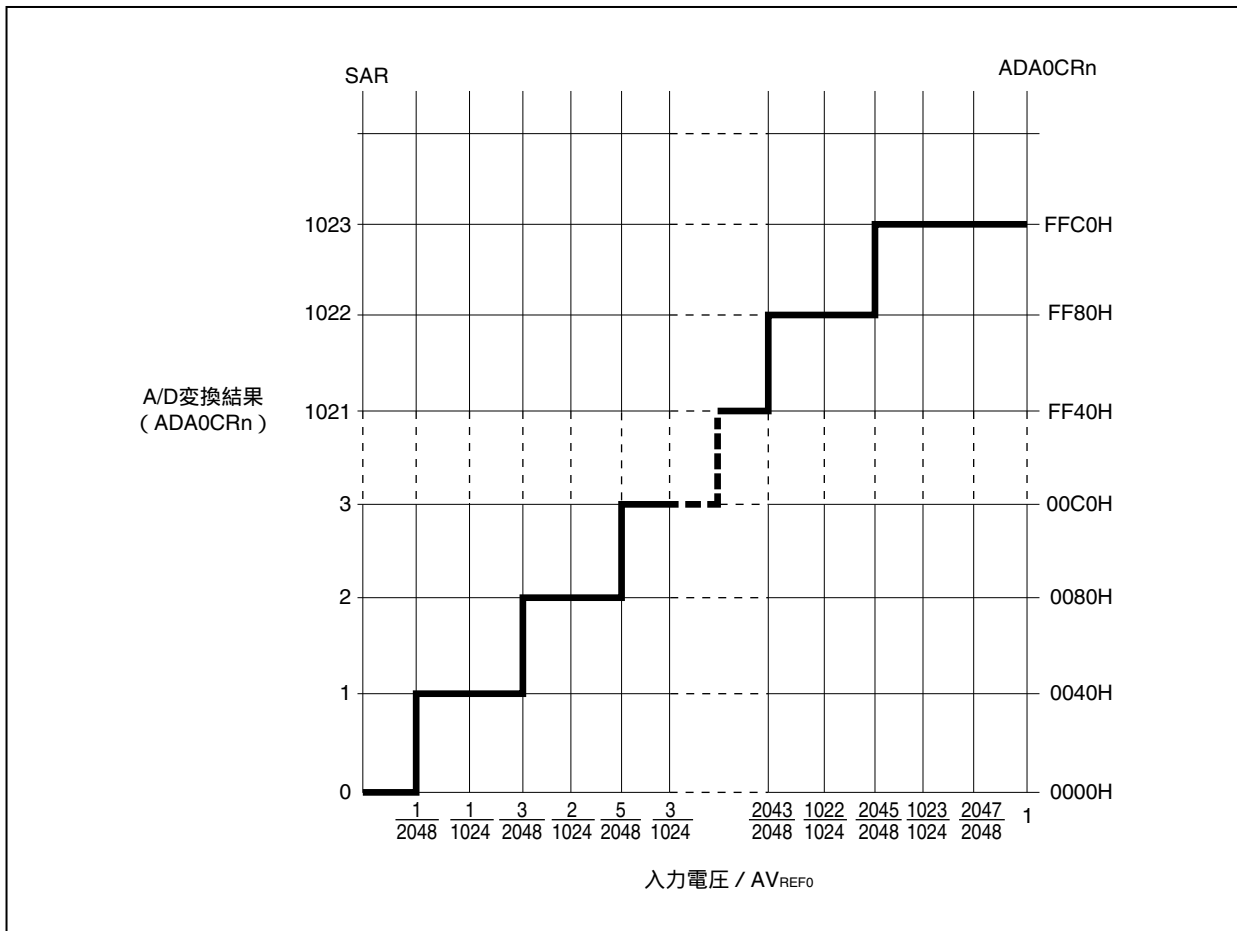
V_{IN} : アナログ入力電圧

AV_{REF0} : AV_{REF0} 端子電圧

ADA0CR : A/D変換結果レジスタn (ADA0CRn) の値

図18 - 2にアナログ入力電圧とA/D変換結果の関係を示します。

図18 - 2 アナログ入力電圧とA/D変換結果の関係



備考 n = 0-15

(6) AV_{REF} A/D変換診断レジスタ (ADA0CRDD, ADA0CRDDH)

ADA0CRDD, ADA0CRDDHレジスタは,ADC診断機能が許可されている場合(ADA0M2.ADA0DIAG = 1), AV_{REF}変換の結果を格納します。

これらのレジスタは, 16ビットまたは8ビット単位でリードのみ可能ですが, ADA0CRDDレジスタは16ビット単位でアクセス, ADA0CRDDHレジスタは8ビットでアクセスするように指定してください。変換結果の10ビットはADA0CRDDレジスタの上位10ビットから読み出され, 下位6ビットからは0が読み出されません。変換結果の上位8ビットは, ADA0CRDDHレジスタから読み出されます。

リセット時: 0000H	R	アドレス: ADA0CRDD	FFFFFF20CH													
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
ADA0CRDD	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	0	0	0	0	0	0

リセット時: 00H	R	アドレス: ADA0CRDDH	FFFFFF20DH					
7	6	5	4	3	2	1	0	
ADA0CRDDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2

注意 A/D変換の精度は使用条件により異なるため, AV_{REF}を変換した場合の結果は, 必ずしもオール1 (ADA0CRDD = FFC0H) になるわけではありません。

(7) AV_{SS} A/D変換診断レジスタ (ADA0CRSS, ADA0CRSSH)

ADA0CRSS, ADA0CRSSHレジスタは,ADC診断機能が許可されている場合(ADA0M2.ADA0DIAG = 1), AV_{SS}変換の結果を格納します。

これらのレジスタは, 16ビットまたは8ビット単位でリードのみ可能ですが, ADA0CRSSレジスタは16ビット単位でアクセス, ADA0CRSSHレジスタは8ビットでアクセスするように指定してください。変換結果の10ビットはADA0CRSSレジスタの上位10ビットから読み出され, 下位6ビットからは0が読み出されません。変換結果の上位8ビットは, ADA0CRSSHレジスタから読み出されます。

リセット時: FFFFH	R	アドレス: ADA0CRSS	FFFFFF20EH													
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
ADA0CRSS	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	0	0	0	0	0	0

リセット時: FFH	R	アドレス: ADA0CRSS	FFFFFF20FH					
7	6	5	4	3	2	1	0	
ADA0CRSSH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2

注意 A/D変換の精度は使用条件により異なるため, AV_{SS}を変換した場合の結果は, 必ずしもオール0 (ADA0CRSS = 003FH) になるわけではありません。

備考 n = 0-15

(8) パワー・フェイル比較モード・レジスタ (ADA0PFM)

ADA0PFMレジスタは、パワー・フェイル比較モードの設定を行う8ビットのレジスタです。
8/1ビット単位でリード/ライト可能です。
リセットにより、00Hになります。

リセット時：00H R/W アドレス：ADA0PFM FFFFF204H

	7	6	5	4	3	2	1	0
ADA0PFM	ADA0PFE	ADA0PFC	0	0	0	0	0	0

ADA0PFE	パワー・フェイル比較許可/禁止の選択
0	パワー・フェイル比較禁止
1	パワー・フェイル比較許可

ADA0PFC	パワー・フェイル比較モードの選択
0	ADA0CRn ADA0PFTで割り込み要求信号 (INTAD) を発生
1	ADA0CRn < ADA0PFTで割り込み要求信号 (INTAD) を発生

- 注意1. セレクト・モードではADA0PFTレジスタに設定した8ビット・データとADA0Sレジスタで指定したADA0CRnHレジスタの値を比較し、結果がADA0PFCビットで設定された条件に一致した場合はADA0CRnレジスタに変換結果を格納しINTAD信号が発生しますが、一致しない場合は割り込みを発生しません。
2. スキャン・モードではADA0PFTレジスタに設定した8ビット・データとADA0CR0Hレジスタを比較し、結果がADA0PFCビットで設定された条件に一致した場合はADA0CR0レジスタに変換結果を格納しINTAD信号を発生させますが、一致しない場合はINTAD信号を発生させません。また比較結果にかかわらず、比較後はスキャン動作を継続しスキャン終了までADA0CRnレジスタに変換結果は格納しますが、スキャン終了後のINTAD信号は発生しません。

(9) パワー・フェイル比較しきい値レジスタ (ADA0PFT)

A/D変換結果レジスタnH (ADA0CRnH) と大小比較する場合のしきい値を設定するレジスタです。
ADA0PFTレジスタに設定した8ビット・データとA/D変換結果レジスタの上位8ビット (ADA0CRnH) が比較されます。
ADA0PFTレジスタは8/1ビット単位でリード/ライト可能です。
リセットにより00Hになります。

リセット時：00H R/W アドレス：ADA0PFT FFFFF205H, ADA1PFT FFFFF245H

	7	6	5	4	3	2	1	0
ADA0PFT	ADA0PFT7	ADA0PFT6	ADA0PFT5	ADA0PFT4	ADA0PFT3	ADA0PFT2	ADA0PFT1	ADA0PFT0

備考 n = 0-15

18.4 動作

18.4.1 基本動作

A/D変換する動作モード、トリガ・モード、変換時間などをADA0M0, ADA0M1, ADA0M2, ADA0Sレジスタで設定します。ADA0M0レジスタのADA0CEビットをセットすると、ソフトウェア・トリガ・モード時は変換を開始し、外部/タイマ・トリガ・モード時はトリガ待機状態になります。

A/D変換が開始されると選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ(SAR)のビット9をセットし、D/Aコンバータの電圧を $(1/2)AV_{REF0}$ にします。

D/Aコンバータの電圧とアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力電圧が $(1/2)AV_{REF0}$ よりも大きければ、SARレジスタのMSBをセットしたままです。また、 $(1/2)AV_{REF0}$ よりも小さければMSBをリセットします。

次にSARレジスタのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、次に示すようにD/Aコンバータの電圧が選択されます。

・ビット9 = 1 : $(3/4)AV_{REF0}$

・ビット9 = 0 : $(1/4)AV_{REF0}$

このD/Aコンバータの電圧とアナログ入力電圧を比較し、その結果でSARレジスタのビット8を次のように操作します。

アナログ入力電圧 D/Aコンバータの電圧 : ビット8 = 1

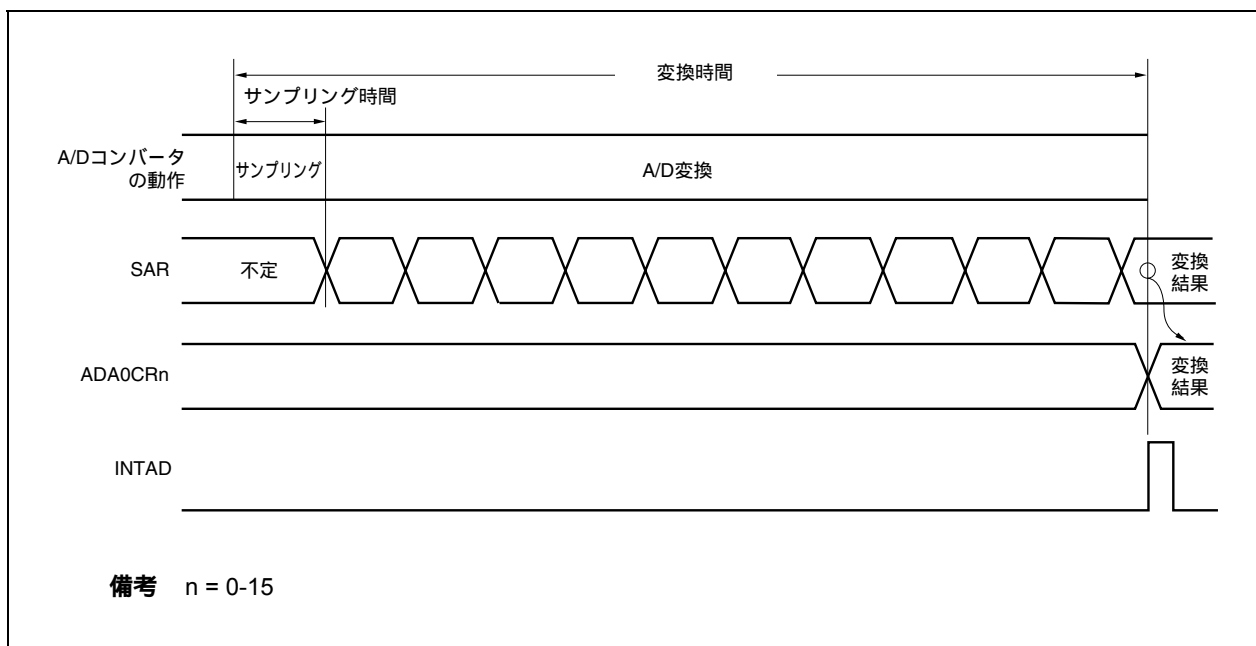
アナログ入力電圧 D/Aコンバータの電圧 : ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。

10ビットの比較が終了したとき、SARレジスタには有効なデジタルの結果が残り、その値がADA0CRnレジスタに転送され格納されます。同時に、A/D変換終了割り込み要求信号(INTAD, INTAD1)を発生します。

備考 n = 0-15

図18 - 3 A/Dコンバータの基本動作



18.4.2 トリガ・モード

トリガ・モードの設定により、変換動作の開始タイミングの指定を行います。トリガ・モードにはソフトウェア・トリガ・モード、ハードウェア・トリガ・モードがあり、ハードウェア・トリガ・モードでは、タイマ・トリガ・モード0, 1, 外部トリガ・モードの3つがあります。トリガ・モードの設定はADA0M0レジスタのADA0TMDビットで行い、ハードウェア・トリガ・モードの設定はADA0M2レジスタのADA0TMD1, ADA0TMD0ビットで行います。

(1) ソフトウェア・トリガ・モード

ADA0M0レジスタのADA0CEビットを“1”に設定すると、ADA0Sレジスタで指定したアナログ入力（ANI0-ANI15端子）に対し、変換動作を開始します。変換を終了すると、変換結果をADA0CRnレジスタに格納し、同時に、A/D変換終了割り込み要求信号（INTAD）を発生します。

ADA0M0レジスタのADA0MD1, ADA0MD0ビットで設定される動作モードが、連続セレクト/スキャンモードであれば、変換終了後はADA0CEビットを“0”にしないかぎり、次の変換を繰り返し行います。

変換が開始されると、ADA0EFビット = 1（動作中）となります。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合、変換は中断され、再度最初から変換を行います。

(2) 外部トリガ・モード

外部トリガ（ADTRG端子）の入力により、ADA0Sレジスタで指定したアナログ入力（ANI0-ANI15端子）に対し、変換動作を開始するモードです。ADA0M0レジスタのADA0ETS1, ADA0ETS0ビットの設定により、外部トリガのエッジ検出（立ち上がり、立ち下がり、立ち上がり/立ち下がりの両エッジ）の指定ができます。ADA0M0レジスタのADA0CEビットをセット（1）設定するとトリガ待機状態となり、外部トリガが入力された後に変換を開始します。

変換を終了すると、変換結果をADA0CRnレジスタに格納し、同時に、A/D変換終了割り込み要求信号（INTAD）を発生し、再びトリガ待機状態になります。

変換が開始されると、ADA0EFビット = 1（動作中）となります。ただし、トリガ待機状態の時はADA0EFビット = 0（停止中）となります。変換動作中に有効なトリガが入力されると、変換は中断され、再度最初から変換を行います。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合、変換は中断され、再度トリガ待機状態になります。

備考 n = 0-15

(3) タイマ・トリガ・モード

タイマに接続されたキャプチャ/コンペア・レジスタのコンペア一致割り込み要求信号 (INTTAA2CC0, INTTAA2CC1) により, ADA0Sレジスタで指定したアナログ入力 (ANI0-ANI15端子) に対し, 変換動作を開始するモードです。ADA0M2レジスタのADA0TMD1, ADA0TMD0ビットの設定により, タイマのコンペア一致割り込み要求信号 (INTTAA2CC0, INTTAA2CC1) のいずれかを指定し, 指定されたコンペア一致割り込み要求信号の立ち上がりエッジで変換を開始します。ADA0M0レジスタのADA0CEビットをセット (1) するとトリガ待機状態となり, タイマのコンペア一致割り込み信号が入力されたあとに変換を開始します。

変換を終了すると, 変換結果をADA0CRnレジスタに格納し, 同時に, A/D変換終了割り込み要求信号 (INTAD) を発生し, 再びトリガ待機状態になります。

変換が開始されると, ADA0EFビット = 1 (動作中) となります。ただし, トリガ待機状態の時はADA0EFビット = 0 (停止中) となります。変換動作中に有効なトリガが入力されると, 変換は中断され, 再度最初から変換を行います。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合, 変換は中断され, 再びトリガ待機状態になります。

備考 n = 0-15

18.4.3 動作モード

動作モードには, ANI0-ANI15端子を設定するモードとして, 連続セレクト・モード, 連続スキャン・モード, ワンショット・セレクト・モードおよびワンショット・スキャン・モードの4つがあります。

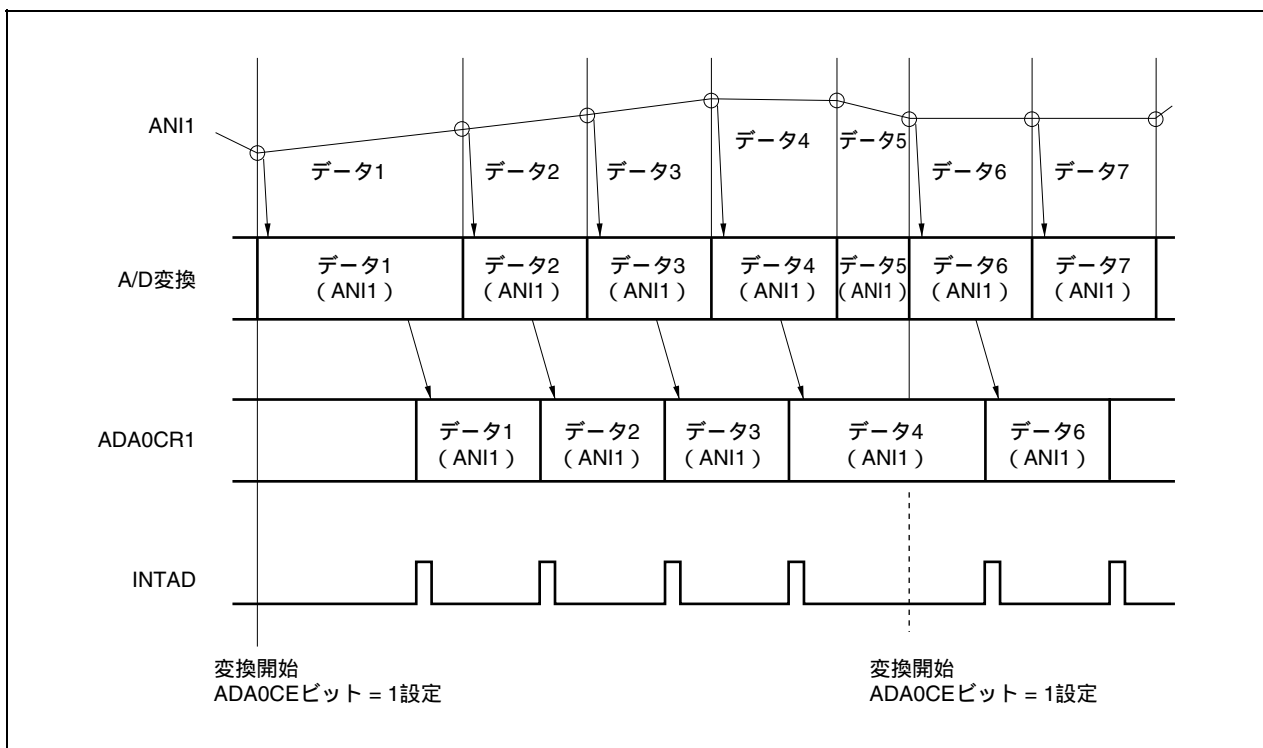
動作モードはADA0M0レジスタのADA0MD1, ADA0MD0ビットで設定します。

(1) 連続セレクト・モード

ADA0Sレジスタで指定される1つのアナログ入力端子の電圧を連続してA/D変換します。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。このモードではアナログ入力端子とADA0CRnレジスタは1対1に対応しており, 1回のA/D変換終了ごとにA/D変換終了割り込み要求信号 (INTAD) が発生します。変換終了後はADA0M0レジスタのADA0CEビットを“0”にしないかぎり, 次の変換を繰り返し行います。

図18-4 連続セレクト・モード動作タイミング例 (ADA0S = 01H)



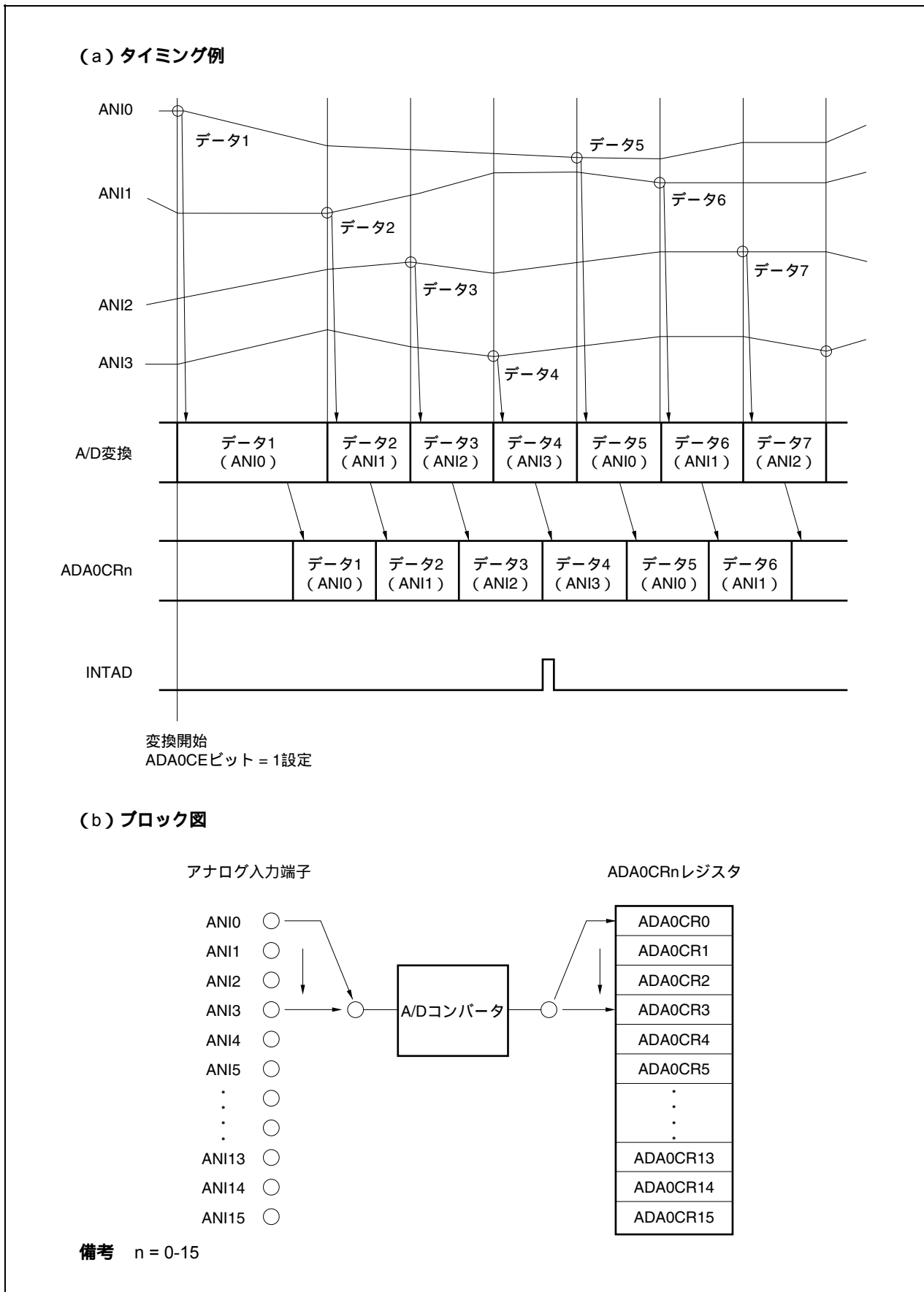
(2) 連続スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択し, A/D変換を連続で行います。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。ADA0Sレジスタで指定したアナログ入力端子の変換を終了すると, A/D変換終了割り込み要求信号 (INTAD) が発生し, ADA0M0レジスタのADA0CEビットを“0”にしないかぎり, 再びANI0端子からA/D変換を開始します。

備考 n = 0-15

図18 - 5 連続スキャン・モード動作タイミング例 (ADA0Sレジスタ = 03H)

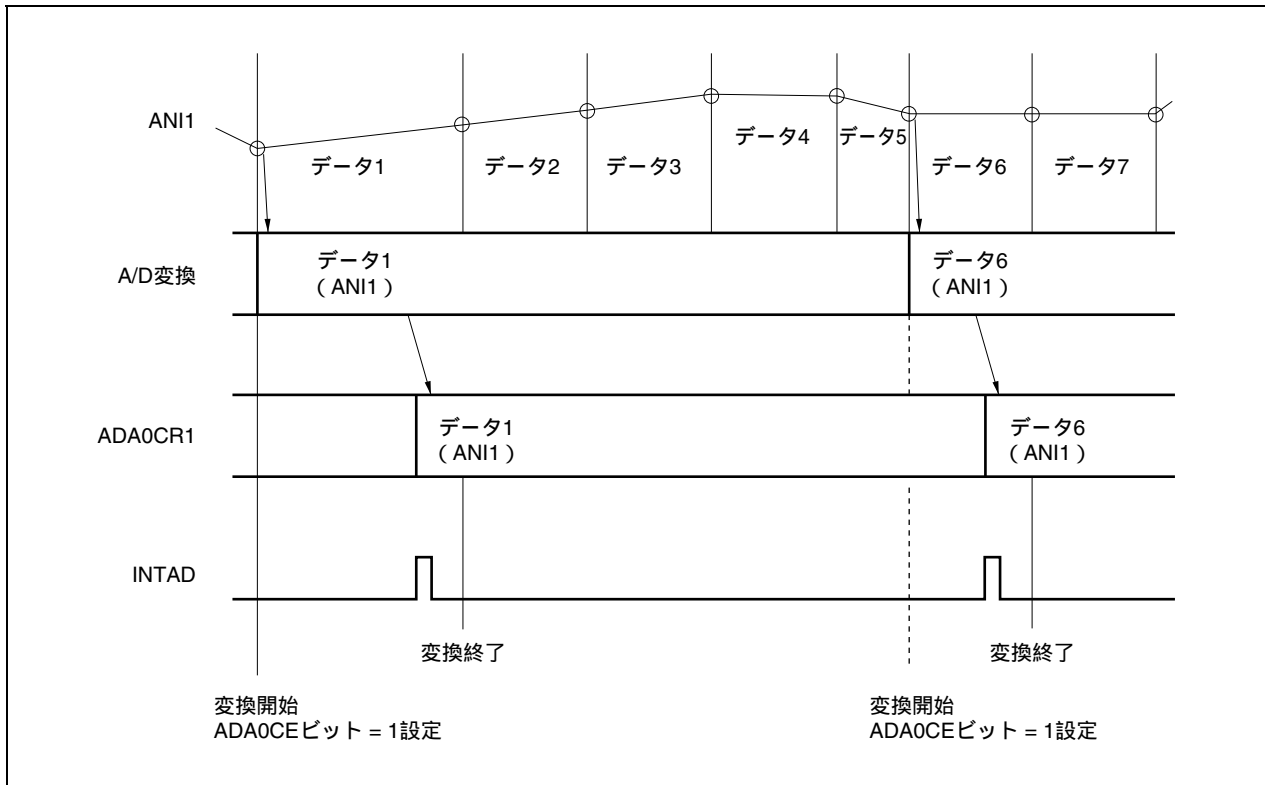


(3) ワンショット・セレクト・モード

ADA0Sレジスタで指定される1つのアナログ入力端子を1回のみA/D変換します。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。このモードではアナログ入力端子とADA0CRnレジスタは1対1に対応しており、1回のA/D変換終了後、INTAD信号が発生します。A/D変換終了後はA/D変換動作を停止します。

図18 - 6 ワンショット・セレクト・モード動作タイミング例 (ADA0Sレジスタ = 01H)



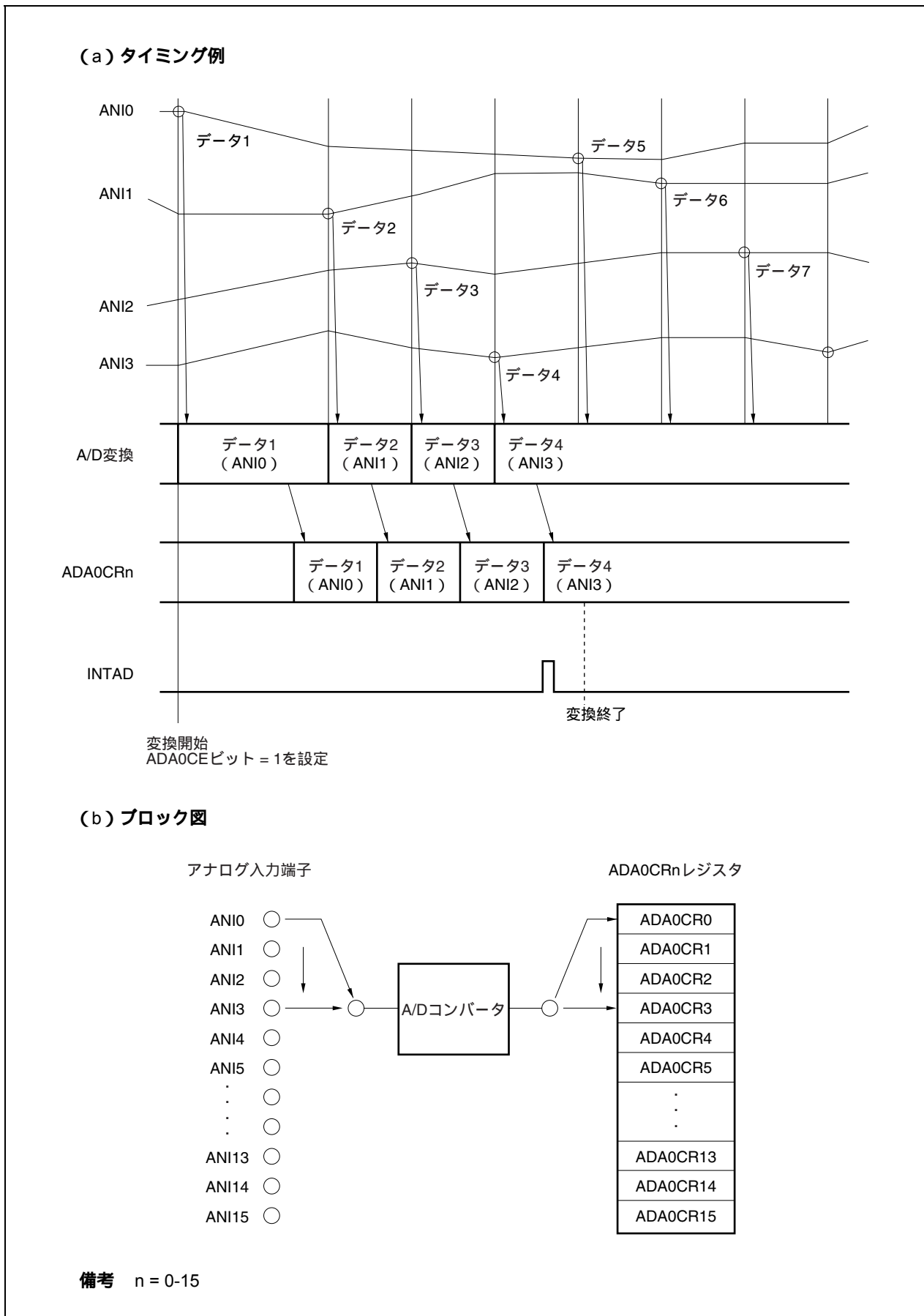
(4) ワンショット・スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択し、A/D変換します。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。ADA0Sレジスタで指定したアナログ入力端子の変換を終了すると、INTAD信号が発生し、A/D変換終了後はA/D変換動作を停止します。

備考 n = 0-15

図18-7 ワンショット・スキャン・モード動作タイミング例 (ADA0Sレジスタ = 03H)



(5) 自己診断モード

自己診断モードを起動 (ADA0M2レジスタのADADIAGビットをセット) すると, 指定されたANInの範囲の変換が終了したあとAV_{REF}端子とAV_{SS}端子の電圧がサンプリングされます。

結果の値はADA0CRDD, ADA0CRDDH, ADA0CRSSおよびADA0CRSSHレジスタで確認できます。

AD変換の精度は使用状況に影響されるため, AV_{REF}を変換するときも結果は必ずしも1になりません。

(6) ディスチャージ・モード

ディスチャージ・モードを起動 (ADA0M2レジスタのADADISCビットをセット) すると, すべての変換に先立ってサンプル・ホールド回路の内部容量が放電されます。

AD変換の精度は使用状況に影響されるため, AV_{SS}を変換するときも結果は必ずしも0になりません。

したがって, 追加の4クロックをすべての変換に対して付加してください。

備考 n =0-15

18.4.4 パワー・フェイル比較モード

ADA0PFM, ADA0PFTレジスタにより, A/D変換終了割り込み要求信号(INTAD)を次のように制御できます。

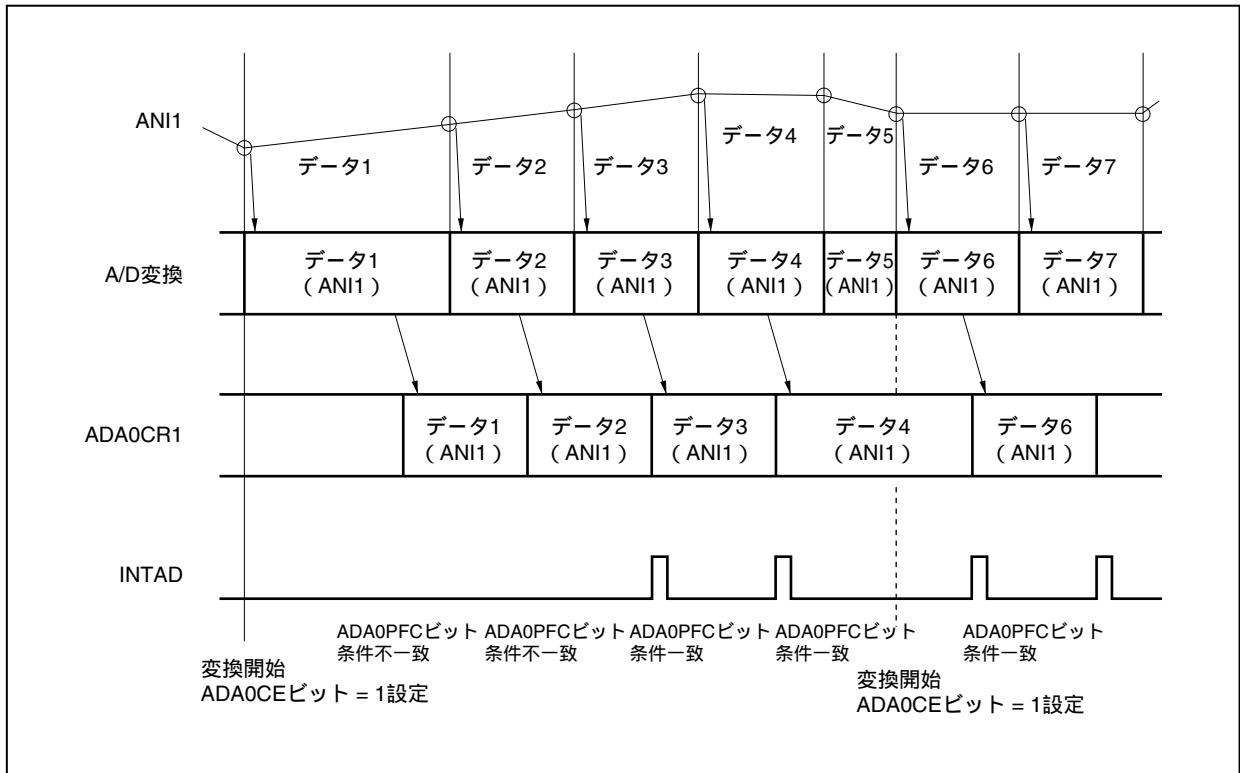
- ・ ADA0PFEビット = 0の場合, 変換終了ごとにINTAD信号が発生します (通常のA/Dコンバータとして使用)。
- ・ ADA0PFEビット = 1かつADA0PFCビット = 0の場合, 変換終了タイミングでADA0CRnHレジスタと ADA0PFTレジスタの値を比較し, ADA0CR0H = ADA0PFTの場合のみ, INTAD信号が発生します。
- ・ ADA0PFEビット = 1かつADA0PFCビット = 1の場合, 変換終了タイミングでADA0CRnHレジスタと ADA0PFTレジスタの値を比較し, ADA0CR0H < ADA0PFTの場合のみ, INTAD信号が発生します。

パワー・フェイル比較モードにもANI0-ANI15端子を設定するモードとして, 連続セレクト・モード, 連続スキャン・モードの2つがあります。

(1) 連続セレクト・モード

ADA0Sレジスタで指定された1つのアナログ入力端子電圧の変換結果とADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFMレジスタのADA0PFCビットで設定された条件に一致した場合, 変換結果をADA0CRnレジスタに格納し, INTAD信号が発生します。一致しない場合, 変換結果をADA0CRnレジスタに格納し, INTAD信号が発生しません。変換終了後はADA0M0レジスタのADA0CEビットを“0”にしないかぎり, 次の変換を繰り返し行います (n = 0-15)。

図18 - 8 連続セレクト・モード動作タイミング例 (パワー・フェイル比較時 : ADA0Sレジスタ = 01H)



備考 n = 0-15

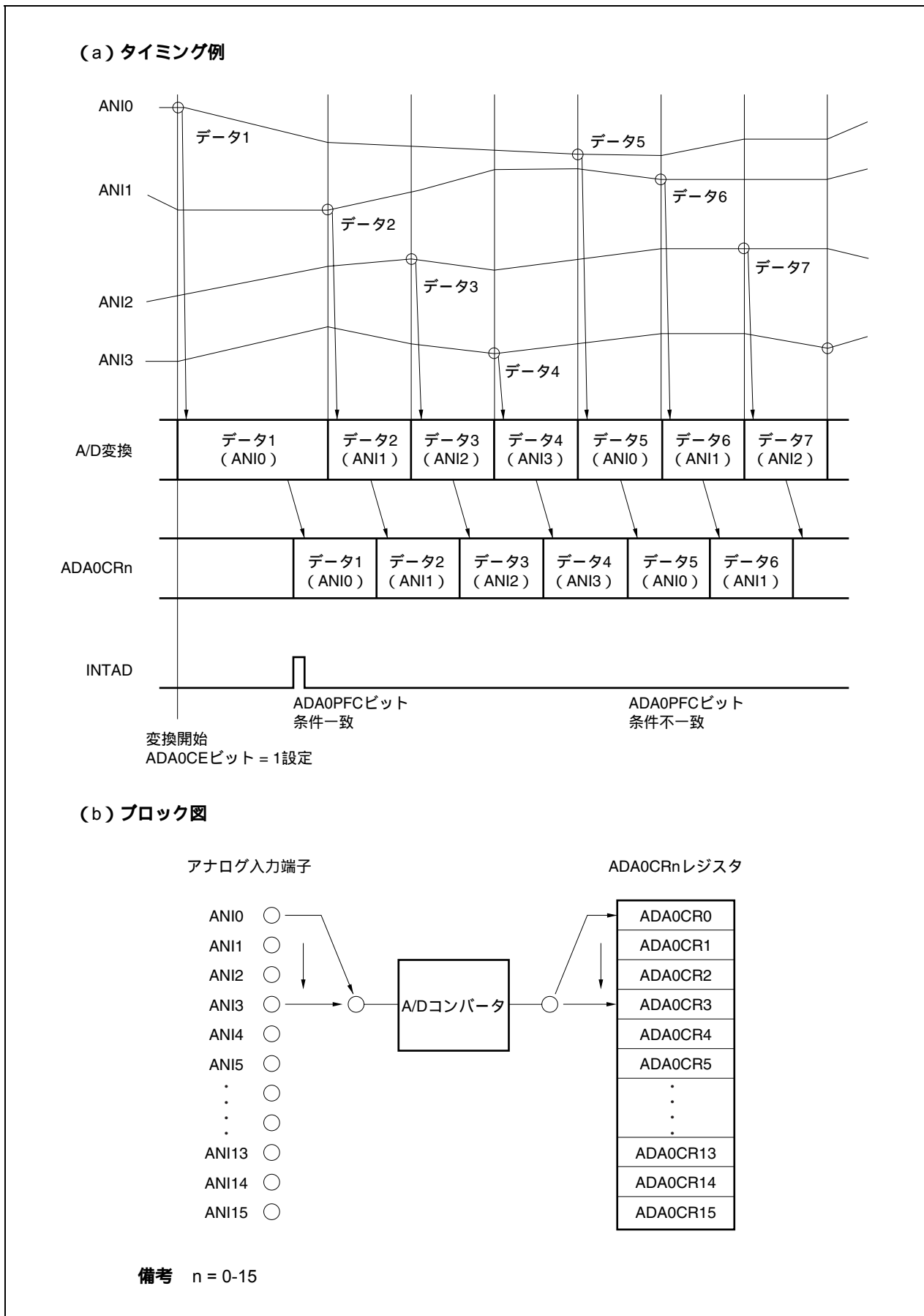
(2) 連続スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択した変換結果を格納し、チャンネル0のADA0CR0HレジスタとADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFMレジスタのADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生します。一致しない場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生しません。

ADA0CR0レジスタに格納後、ADA0Sレジスタで指定されたアナログ入力端子まで順に変換結果を格納します。変換終了後はADA0M0レジスタのADA0CEビットを“0”にしないかぎり、再びANI0端子から変換を開始します。

備考 n = 0-15

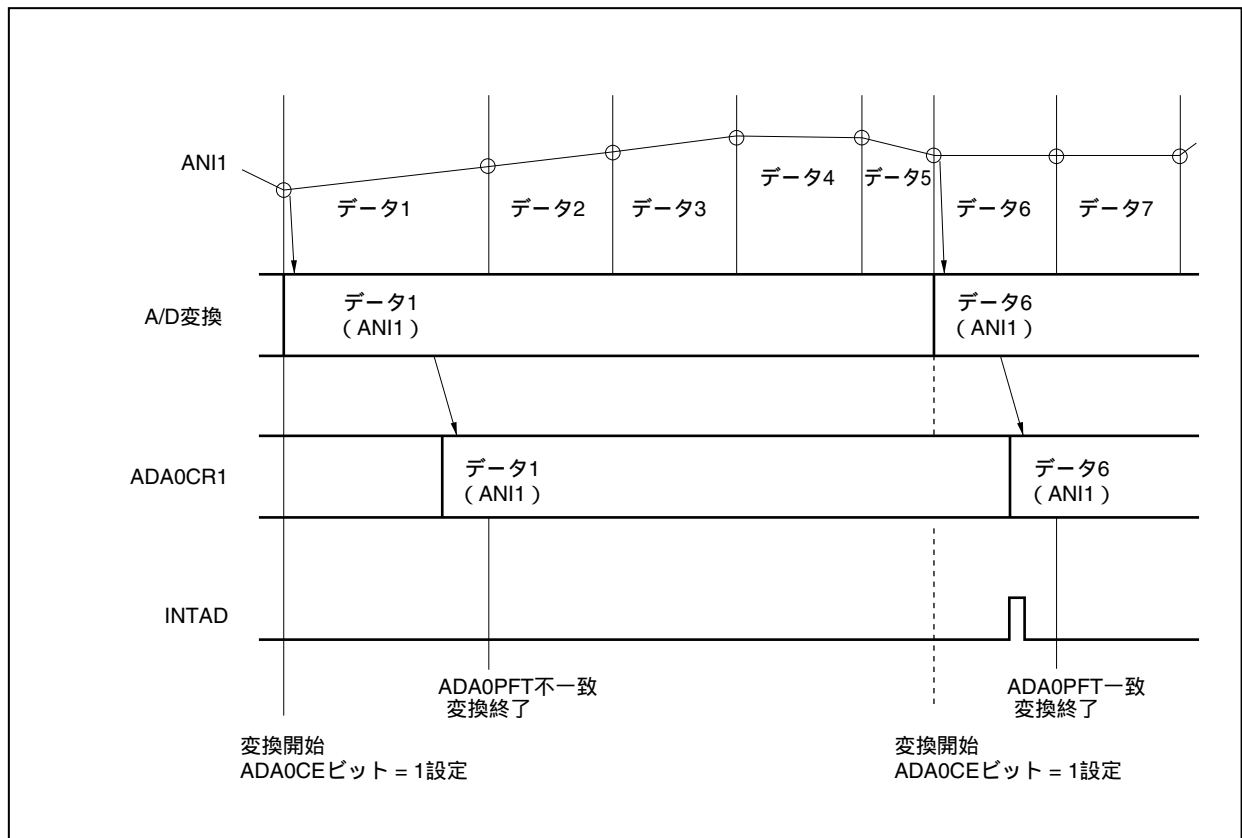
図18-9 連続スキャン・モード動作タイミング例 (パワー・フェイル比較時: ADA0Sレジスタ = 03H)



(3) ワンショット・セレクト・モード

ADA0Sレジスタで指定された1つのアナログ入力端子の変換結果とADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CRnレジスタに格納し、INTAD信号が発生します。一致しない場合、変換結果をADA0CRnレジスタに格納し、INTAD信号を発生しません。変換終了後は変換を停止します。

図18 - 10 ワンショット・セレクト・モード動作タイミング例(パワー・フェイル比較時: ADA0Sレジスタ = 01H)



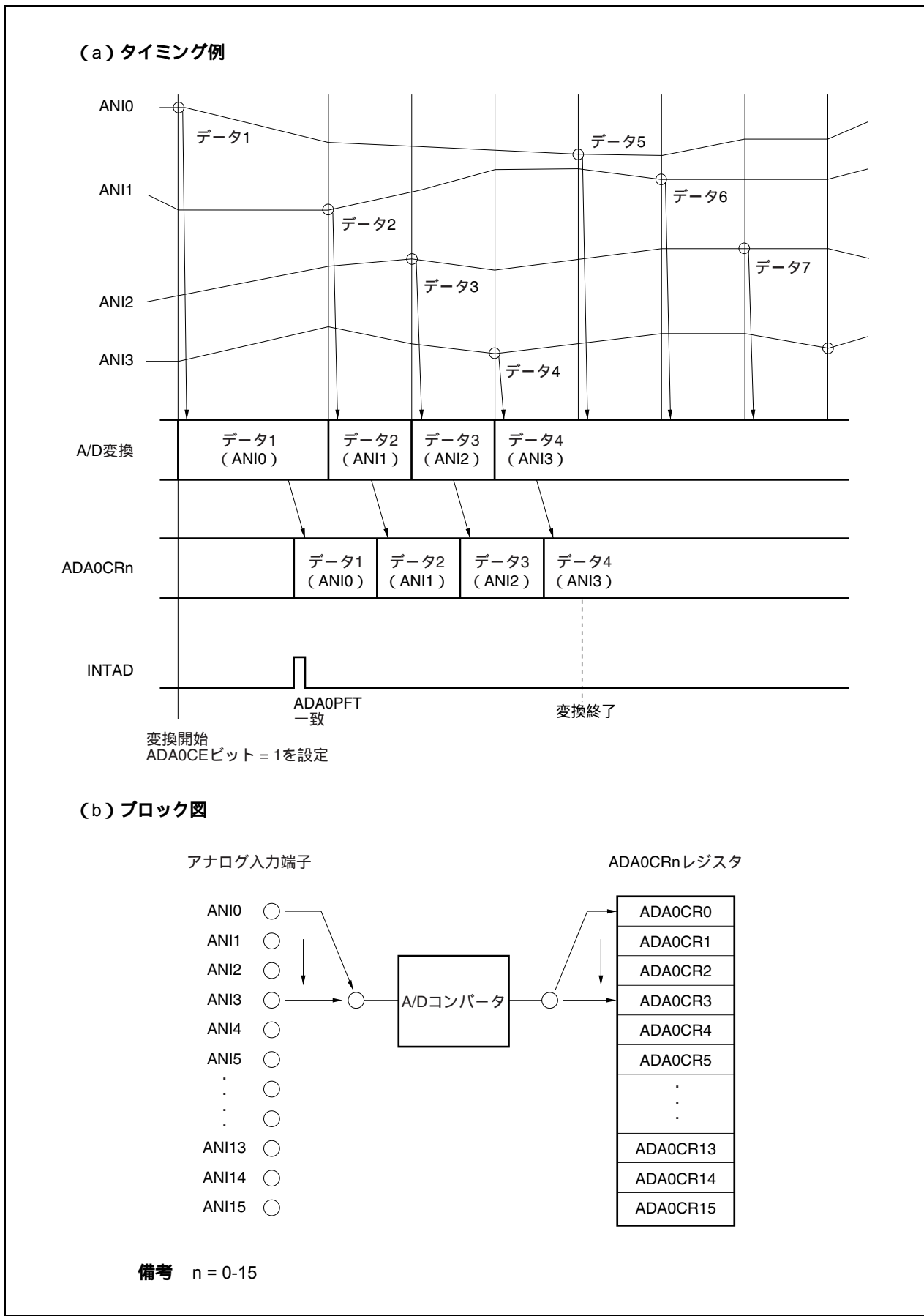
備考 n = 0-15

(4) ワンショット・スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択した変換結果を格納し、チャンネル0のADA0CR0HレジスタとADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生します。一致しない場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生しません。ADA0CR0レジスタに格納後、ADA0Sレジスタで指定されたアナログ入力端子まで順に変換結果を格納します。変換終了後は変換を停止します。ただし、A/D変換直後、一回目の変換精度が悪化する可能性があります。

詳細は18.5(6) AV_{REF0}端子についてをご覧ください。

図18 - 11 ワンショット・スキャン・モード動作タイミング例(パワー・フェイル比較時: ADA0Sレジスタ = 03H)



18.5 注意事項

(1) A/Dコンバータ未使用時について

未使用時は、ADA0M0レジスタのADA0CEビット = 0およびADA0PSビット = 0とすることにより消費電力を低減できます。

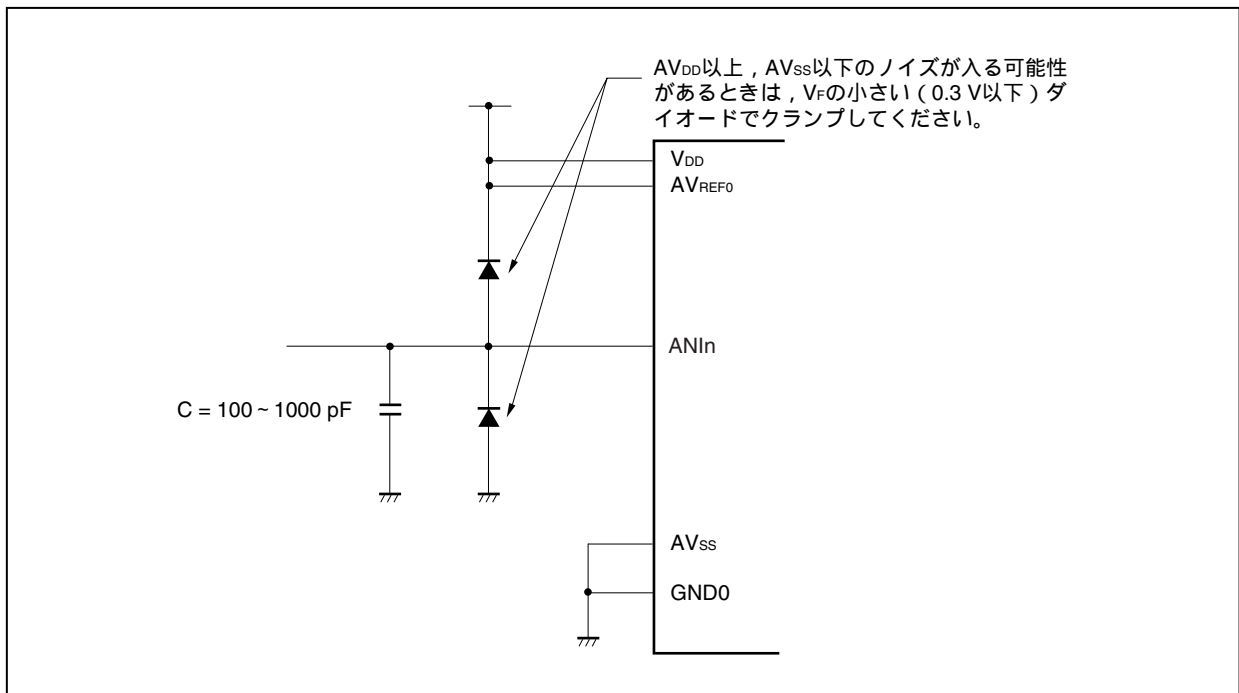
(2) ANI0-ANI15端子入力範囲について

ANI0-ANI15端子の入力電圧は規格の範囲内で使用してください。ただし、絶対最大定格の範囲内であっても AV_{REF0} 以上、 AV_{SS} 以下の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) ノイズ対策について

10ビット分解能を保つためには、ANI0-ANI15端子へのノイズに注意する必要があります。アナログ入力源の出カインピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図18-12のようにコンデンサを外付けすることを推奨します。

図18-12 アナログ入力端子の処理



備考 n = 0-15

(4) 兼用入出力について

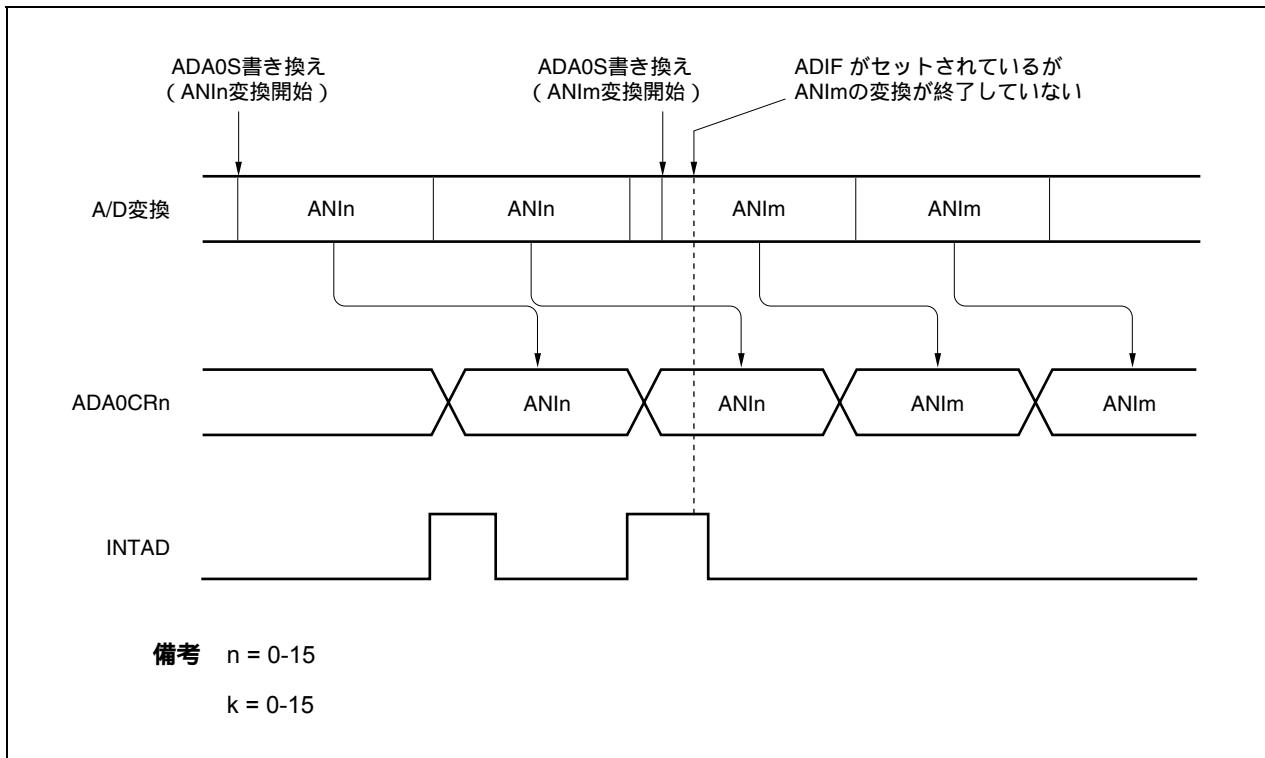
アナログ入力 (ANI0-ANI15) 端子はポート端子と兼用になっています。ANI0-ANI15端子のいずれかを選択してA/D変換をする場合、変換中に入力ポートへの読み出し命令、または出力ポートへの書き込み命令を実行しないでください。変換分解能が低下することがあります。

また、A/D変換中に出力ポートに設定している端子でポートに接続される外部回路の影響で出力電流が変動する場合も、変換分解能が低下することがあります。A/D変換中の端子に隣接する端子へデジタル・パルス印加したりデジタル・パルスを出力したりすると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加またはパルス出力はしないでください。

(5) 割り込み要求フラグ (ADIF) について

ADA0Sレジスタを変更しても、割り込み要求フラグ (ADIF) はクリアされません。したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADA0Sレジスタ書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があり、ADA0Sレジスタ書き換え直後にADIFフラグを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされている場合がありますので注意してください。また、A/D変換を一度停止させて再開する場合は、再開する前にADIFフラグをクリアしてください。

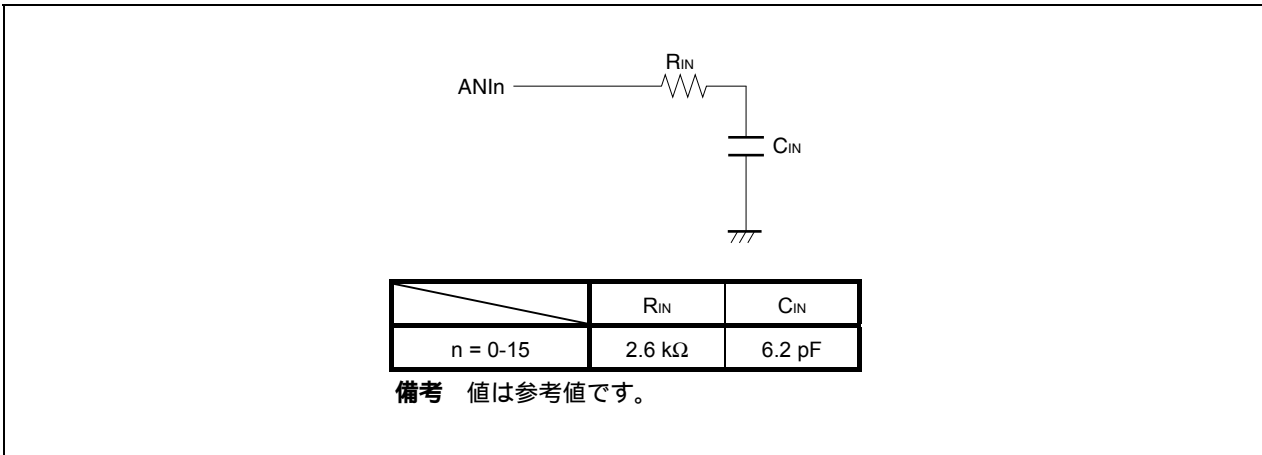
図18 - 13 A/D変換終了割り込み要求発生タイミング



(6) 内部等価回路

アナログ入力部の等価回路を次に示します。

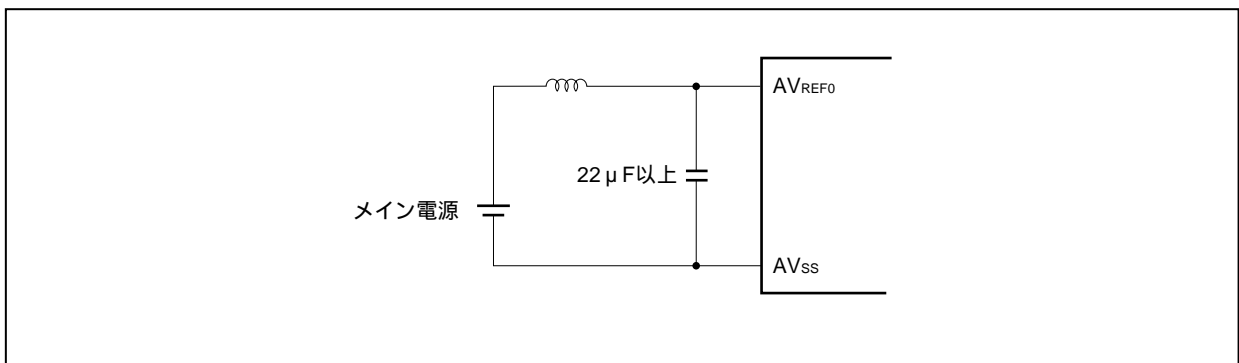
図18 - 14 ANIn端子内部等価回路



(7) AV_{REF0}端子について

- (a) AV_{REF0}端子はA/Dコンバータの電源端子を兼用しており、また兼用ポートにも電源を供給しています。したがって、バックアップ電源に切り替えるようなアプリケーションにおいても図18 - 12のように必ずV_{DD}と同じ電位を印加してください。
- (b) AV_{REF0}端子はA/Dコンバータ用の基準電圧端子を兼用しています。したがって、AV_{REF0}端子への供給部のインピーダンス値が高い場合や、電源の電流供給能力が低い場合、変換時に流れる電流（特に変換動作許可ADA0CEビット = 1とした直後）により基準電圧が変動し、変換精度が悪くなるおそれがあります。これを避けるため図18 - 15のようにAV_{REF0}端子とAV_{SS}端子間にコンデンサを接続し変動を抑えるようにすることを推奨します。
- (c) AV_{REF0}端子への供給部に直流抵抗値（ダイオード挿入など）が高いと、A/D変換電流による電圧降下により、変換動作停止時より動作許可時の電圧が低くなる可能性があります。

図18 - 15 AV_{REF0}端子の処理例



(8) ADA0CRnレジスタの読み出しについて

ADA0M0-ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに対して書き込み動作を行ったとき, ADA0CRnレジスタの内容は不定になることがあります。変換結果は,変換動作終了後,ADA0M0-ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに対して書き込み動作を行う前に読み出してください。

また,外部/タイマ・トリガを受け付けたときも,ADA0CRnレジスタの内容は不定になることがあります。変換結果は,変換動作終了後,次の外部/タイマ・トリガを受け付ける前に読み出してください。上記以外のタイミングでは,正しい変換結果が読み出されないことがあります。

(9) A/D変換結果について

アナログ入力端子および基準電圧入力端子にノイズがのる場合は,ノイズにより不正な変換結果が生じることがあります。この不正な変換結果により,システムに悪影響を与えることを避けるために,ソフトウェア処理が必要です。次にソフトウェア処理の例を示します。

- ・ 複数回のA/D変換結果の平均値をA/D変換結果として使用する。
- ・ 複数回のA/D変換を連続して行い,特異な変換結果が得られた場合,この値を除外した変換結果を使用する。
- ・ システムに異常が発生したと判断されるようなA/D変換結果が得られた場合,ただちに異常処理を行わず,再度異常発生を確認した上で異常処理を行う。

(10) スタンバイ・モードについて

A/Dコンバータは,STOPモード時に動作が停止するため,変換結果は無効になり消費電力を低減できます。STOPモード解除後,再び動作を開始しますが,STOPモード解除後のA/D変換結果は無効です。STOPモード解除後にA/Dコンバータを使用する場合は,STOPモード設定前または解除後にADA0CEビット = 0およびADA0PSビット = 0に設定してからSTOPモード解除後にADA0CEビット = 1およびADA0PSビット = 1に設定してください。

IDLE1, IDLE2モード,サブクロック動作モードでは動作が保持されるため,消費電力を低減する場合にはADA0CEビット = 0およびADA0PSビット = 0にしてください。ただし,IDLE1, IDLE2モード期間中は,アナログ入力電圧値が保持できなくなるため,IDLE1, IDLE2モード解除後のA/D変換結果は無効です。また, IDLE1, IDLE2モード設定前のA/D変換結果は有効です。

備考 n = 0-15

(11) A/D変換のヒステリシス特性について

逐次比較型A/Dコンバータは、内部のサンプル&ホールド用コンデンサにアナログ入力電圧を保持し、そのあとA/D変換を行います。A/D変換が終了したあとも、内部のサンプル&ホールド用コンデンサには、アナログ入力電圧が残っています。このため次のような現象が起きることがあります。

- ・同一チャンネルでA/D変換を実行する場合、以前のA/D変換時よりも高い電圧、または低い電圧に変化していると、変換結果が以前の値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる。
- ・アナログ入力チャンネルを切り換える場合、1つのA/Dコンバータを用いてA/D変換を行っているため、変換結果が以前のチャンネルの値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる。

このため、より正確な変換結果を得たい場合は、同一チャンネルで2回連続A/D変換を行い、1回目の変換結果を廃棄してください。

18.6 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1LSB (Least Significant Bit) といいます。1LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次のような式になります。

$$\begin{aligned} 1\%FSR &= (\text{変換可能なアナログ入力電圧の最大値} - \text{変換可能なアナログ入力電圧の最小値}) / 100 \\ &= (AV_{REF0} - 0) / 100 \\ &= AV_{REF0} / 100 \end{aligned}$$

分解能10ビットのとき、1LSBは次のようになります。

$$\begin{aligned} 1LSB &= 1/2^{10} = 1/1024 \\ &= 0.098\%FSR \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

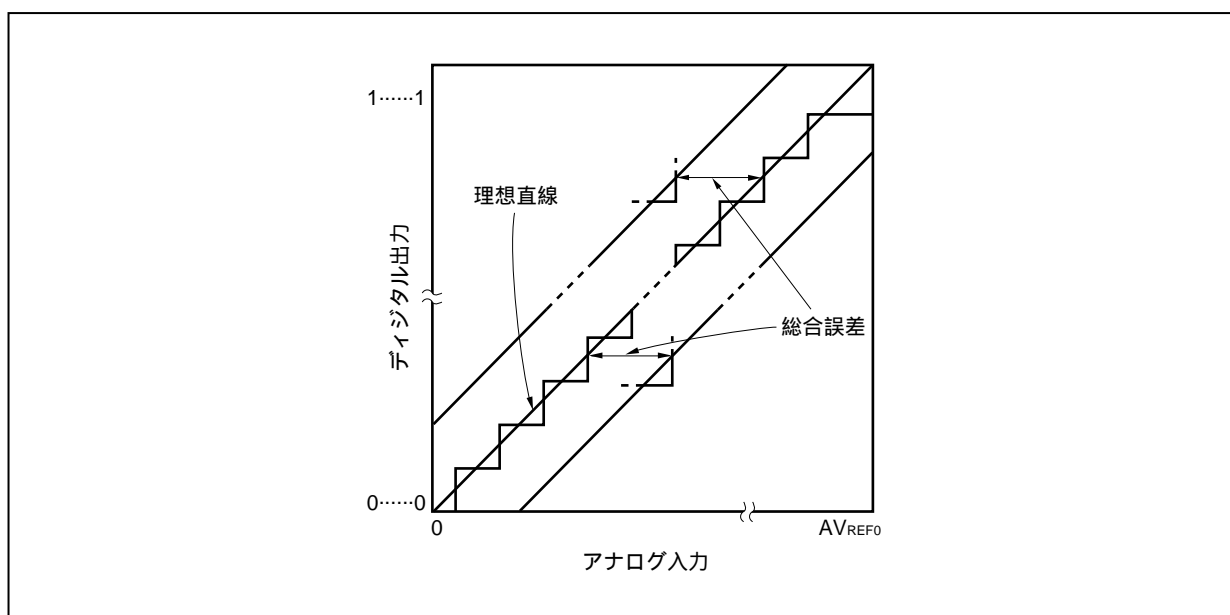
(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、直線性誤差、およびそれらの組み合わせから生じる誤差を総合したものです。

なお、特性表の総合誤差には量子化誤差は含まれていません。

図18 - 16 総合誤差

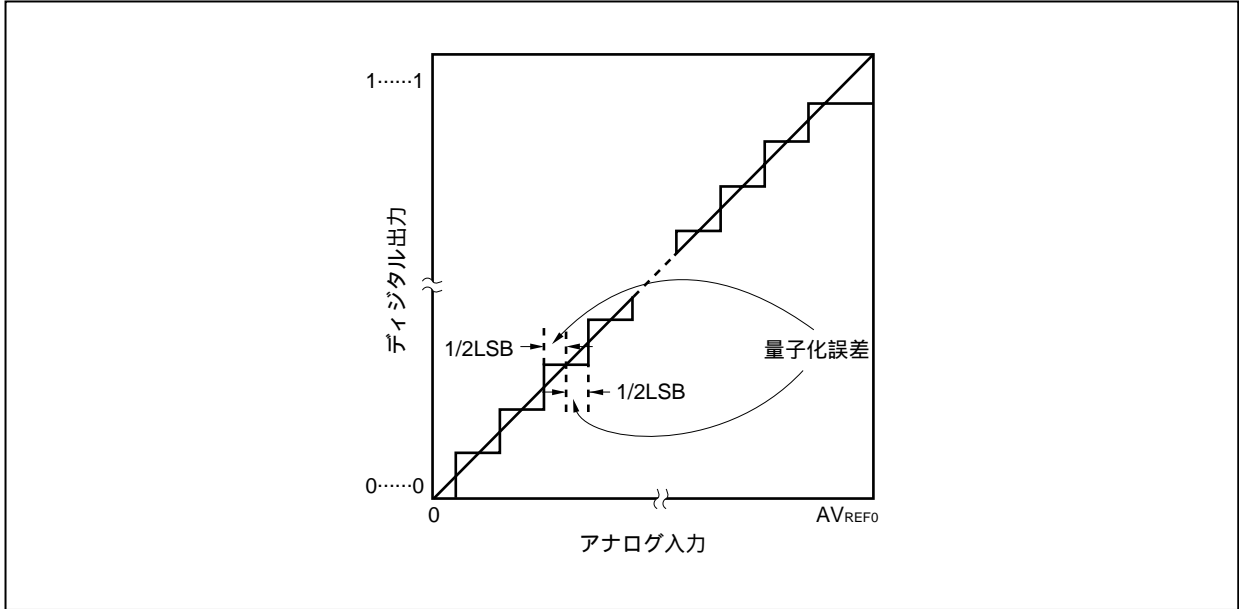


(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2\text{LSB}$ の誤差です。A/Dコンバータでは、 $\pm 1/2\text{LSB}$ の範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差には含まれていません。

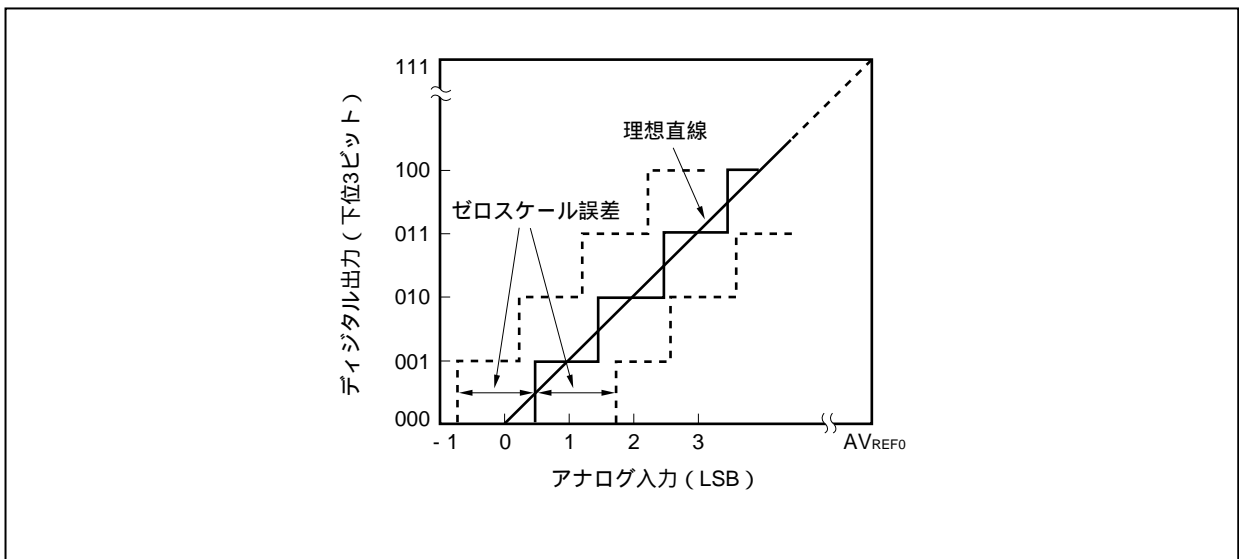
図18 - 17 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値 ($1/2\text{LSB}$) との差を表します。

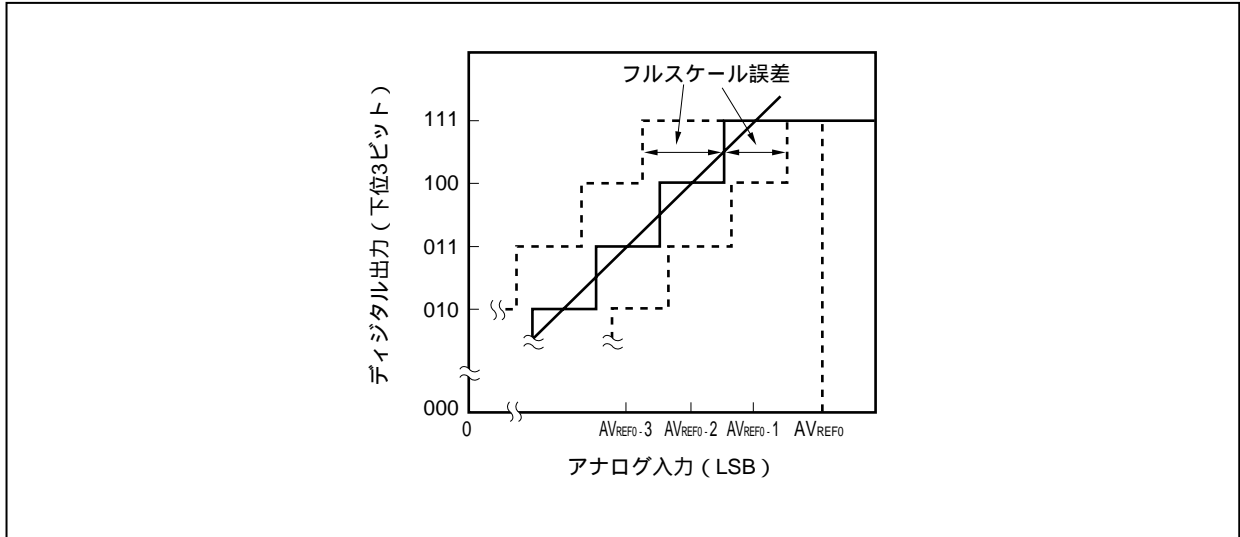
図18 - 18 ゼロスケール誤差



(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール - $3/2\text{LSB}$ ）との差を表します。

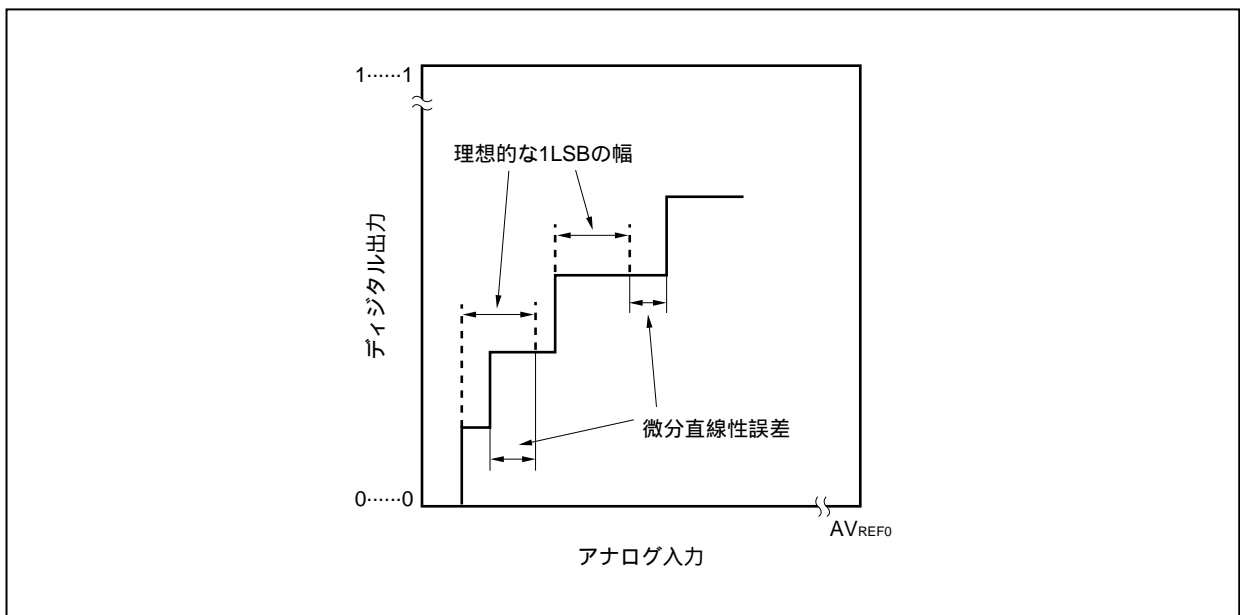
図18 - 19 フルスケール誤差



(6) 微分直線性誤差

理想的にはあるコードを出力する幅は1LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

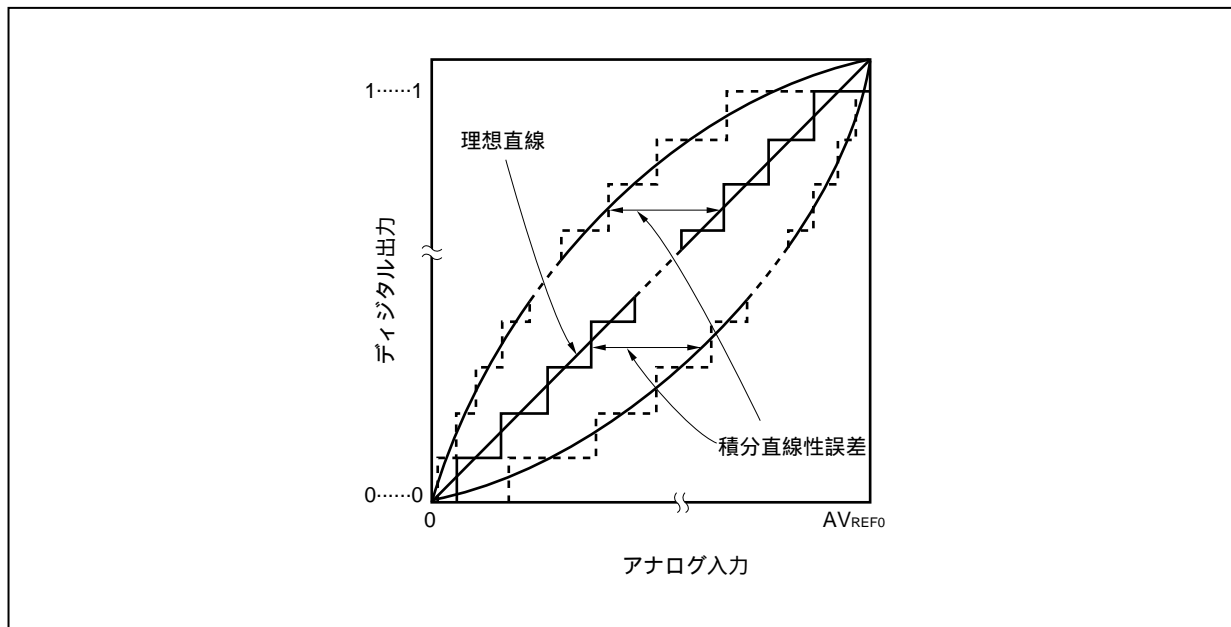
図18 - 20 微分直線性誤差



(7) 積分直線性誤差

変換特性が、理想的な直線関係からはずれている程度を指します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

図18 - 21 積分直線性誤差



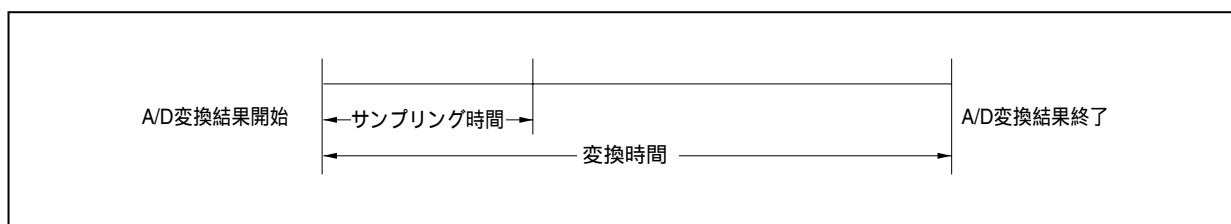
(8) 変換時間

各トリガが発生してから、デジタル出力が得られるまでの時間を表します。
特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。

図18 - 22 サンプリング時間



第19章 電 源

本製品は、発振器ブロック、内部ロジック回路、I/Oバッファに電圧を供給するため、複数の電圧端子を備えています。これらの電源端子は、内蔵レギュレータやI/Oバッファへ接続されています。

内蔵レギュレータは、発振器ブロックと内部ロジック回路（A/Dコンバータ、I/Oバッファを除く）に、V_{DD}電源電圧を降圧した電圧（2.5 V（TYP.））を供給します。

19.1 概 要

電源供給には次の端子を使用します。

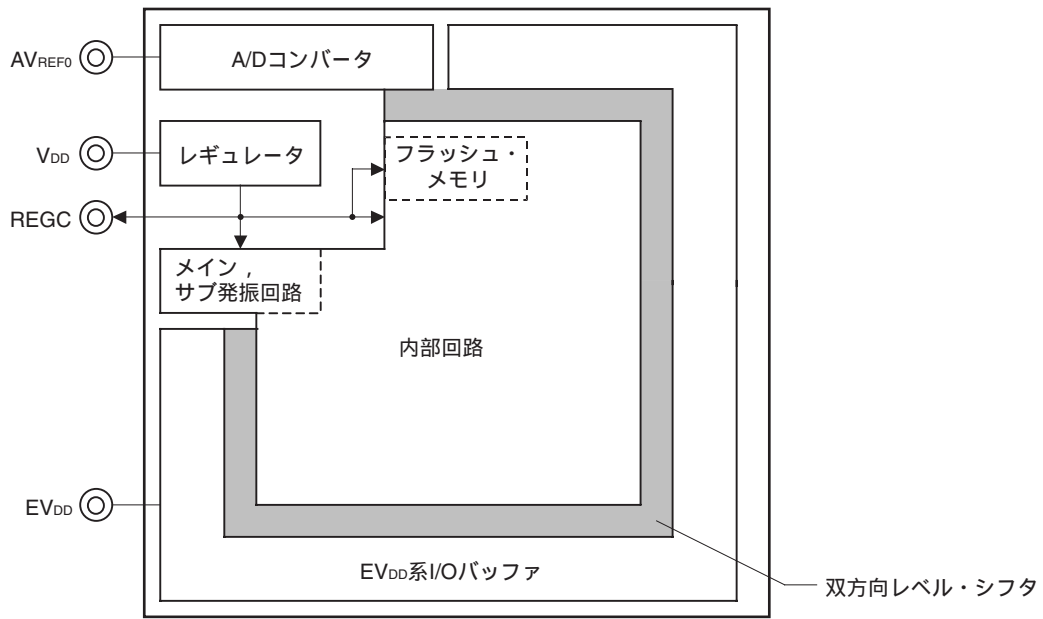
表19 - 1 電源端子と接続先

端 子	接 続 先		
	V850ES/FE3-L	V850ES/FF3-L	V850ES/FG3-L
AV _{REF0} /AV _{SS}	A/Dコンバータ, ポート7		
V _{DD} /V _{SS}	CPUコア, 内蔵メモリ, 内部ロジック回路（A/Dコンバータを除く）, 発振器ブロック		
EV _{DD} /EV _{SS}	数字I/Oポート, アルファベットI/Oポート		数字I/Oポート
BV _{DD} /BV _{SS}	-		アルファベットI/Oポート
REGC	内蔵レギュレータ用容量接続端子		

備考 1. 電気的特性については、 μ PD70F3610, 70F3611, 70F3612, 70F3613, 70F3614 データ・シート（U18666J）, μ PD70F3615, 70F3616, 70F3617, 70F3618, 70F3619 データ・シート（U18667J）, μ PD70F3620, 70F3621, 70F3622 データ・シート（U18668J）を参照してください。

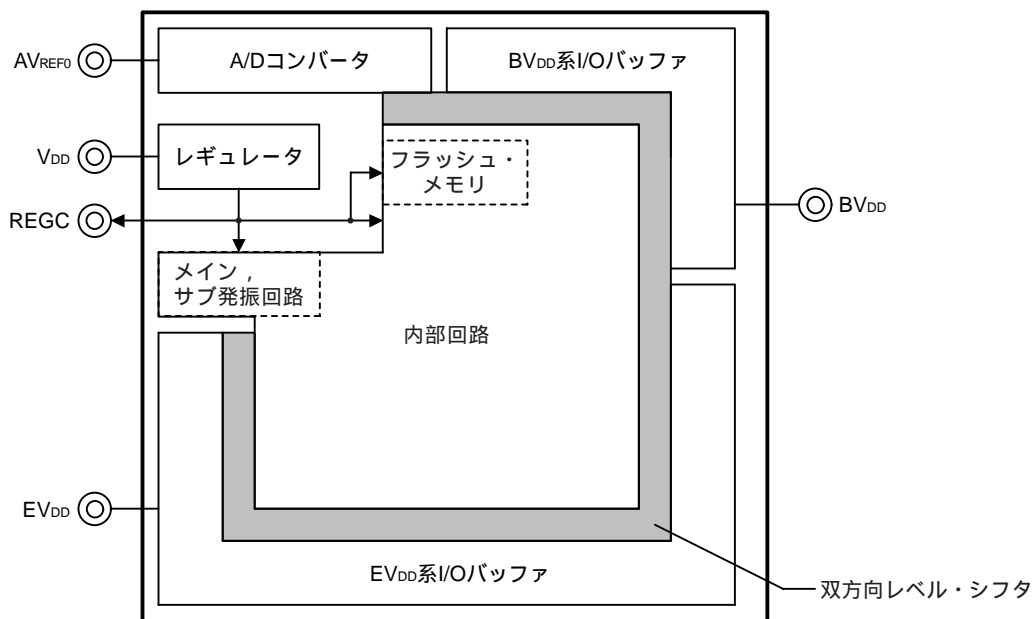
2. 数字I/Oポート： ポート0, 1, 3-5, 9
 アルファベットI/Oポート： ポートCM, CS, CT, DL

図19 - 1 電源端子 (V850ES/FE3-L, V850ES/FF3-L)



備考 図に正確な端子の位置は示していません。

図19 - 2 電源端子 (V850ES/FG3-L)

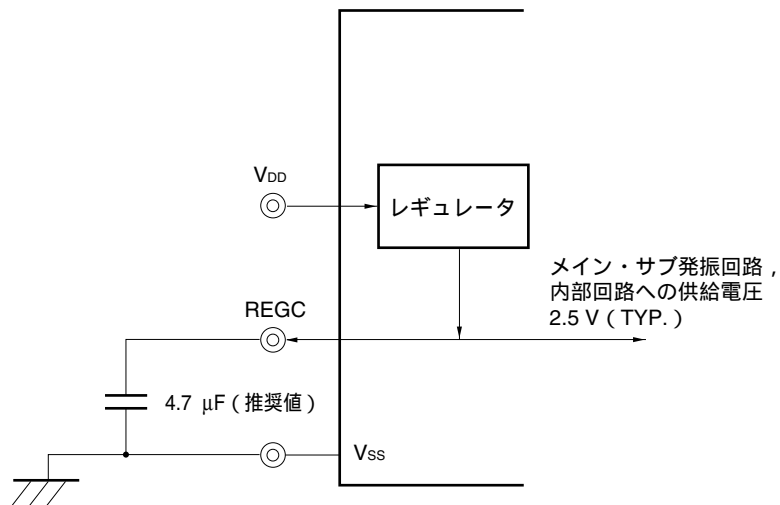


備考 図に正確な端子の位置は示していません。

19.2 内蔵レギュレータ

内蔵レギュレータは、すべての動作モード（通常動作，HALT，IDLE1，IDLE2，STOP，サブクロック，リセット中）で、常に動作します。

備考 レギュレータの出力電圧を安定させるためにREGC端子に容量（4.7 μ F（推奨値））を接続してください。配線は極力短くしてください。詳細は、 μ PD70F3610, 70F3611, 70F3612, 70F3613, 70F3614 **データ・シート**（U18666J）， μ PD70F3615, 70F3616, 70F3617, 70F3618, 70F3619 **データ・シート**（U18667J）， μ PD70F3620, 70F3621, 70F3622 **データ・シート**（U18668J）を参照してください。



第20章 リセット機能

20.1 概要

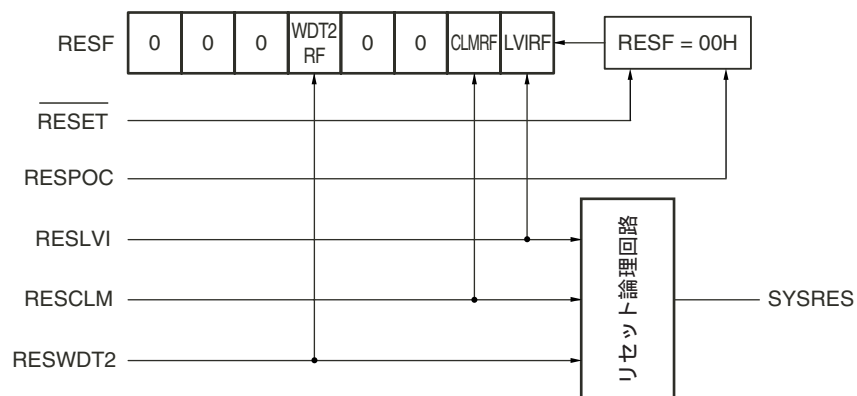
特徴：内部システム・リセット信号SYSRESは次の要因から発生します。

- ・外部リセット信号 $\overline{\text{RESET}}$
- ・パワーオン・クリア (RESPOC)
- ・ウォッチドッグ・タイマ2 (RESWDT2)
- ・クロック・モニタ (RESCLM)
- ・低電圧検出回路 (RESLVI)

20.1.1 リセット機能

リセット機能に関する信号を次に示します。

図20 - 1 リセット機能の信号図



すべてのリセットは非同期で行います。したがって、リセットはどの内部クロックにも同期していません。そのため、すべての内部クロックが動作しない場合でも、マイクロコントローラをリセット状態に移行できます。

(1) ハードウェアの状態

ハードウェアは、各リセット機能によって初期化されます。リセット状態を解除すると、プログラムの実行を開始します。

リセット中とリセット解除後のクロックと内蔵モジュールの状態を次に示します。

表20 - 1 リセット中とリセット後のハードウェア状態

項目	リセット中	リセット後
クロック供給	4. 1. 4 リセット期間中およびリセット解除時の発振動作を参照してください。	
内蔵周辺機能		
ウォッチ・タイマWT	fxTで動作	
ウォッチドッグ・タイマWDT2	停止	内蔵発振安定後、f _{RL} で動作開始
その他	停止	内蔵発振安定後、f _{RH} で動作可能
CPU	初期化	内蔵発振安定後、f _{RH} でプログラム実行開始
I/O端子（ポート / 兼用機能端子）	すべての端子は入力ポート・モード ^注 。第2章 端子機能を参照してください。	

注 リセット後のN-Wireデバッグ・インタフェース端子DRST (P05) , DDI (P52) , DDO (P53) , DCK (P54) , DMS (P55) の状態は , OCDMレジスタのリセット値と , リセット要因に応じて変化します。詳細は第2章 端子機能を参照してください。

(2) レジスタの状態

CPU , 内蔵RAM , 内蔵周辺I/Oのレジスタは , 各リセット機能によって初期化されます。リセット後 , 必ずレジスタをプログラムで必要な値に設定してください。

表20 - 2 リセット後のCPUと内蔵RAMの初期値

内蔵ハードウェア	レジスタ名	リセット後の初期値	
CPU	プログラム・レジスタ	汎用レジスタ (r0)	00000000H
		汎用レジスタ (r1-r31)	不定
		プログラム・カウンタ (PC)	プログラム・フラッシュ・メモリ領域にリセット・ベクタをプログラム ^注
	システム・レジスタ	割り込み時状態退避レジスタ (EIPC, EIPSW)	不定
		NMI時状態退避レジスタ (FEPC, FEPSW)	不定
		割り込み要因レジスタ (ECR)	00000000H
		プログラム・ステータス・ワード (PSW)	00000020H
		CALLT実行時状態退避レジスタ (CTPC, CTPSW)	不定
		例外 / デバッグ・トラップ時状態退避レジスタ (DBPC, DBPSW)	不定
	CALLTベース・ポインタ (CTBP)	不定	
内蔵RAM		不定	
周辺機能	各制御レジスタ	各レジスタのリセット値については , 周辺機能の章を参照してください。	

注 リセット後 , リセット・ベクタ・ハンドリング機能の設定に応じて , プログラムの分岐が行われます。

内蔵RAMは、パワーオン時のリセット、またはCPUによるRAMへのデータ・アクセスとリセット入力競合（データ破壊）した場合、不定になります。

本マイクロコントローラは、リセット・ベクタ・ハンドリング機能をサポートするために、内部リセット解除後、内蔵RAMの一部が使用されます。そのため、パワーオン状態でのリセットでも一部領域のRAM内容を保持しません（RAMの先頭アドレスから150バイト、および最終アドレスから100バイト）。

（ファームウェアが使用する内蔵RAMの領域）

RAMサイズ6 Kバイト製品 : 03FFD800H-03FFD895H, および03FFEF9CH-03FFEFFFH

RAMサイズ8 Kバイト製品 : 03FFD000H-03FFD095H, および03FFEF9CH-03FFEFFFH

RAMサイズ12 Kバイト製品 : 03FFC000H-03FFC095H, および03FFEF9CH-03FFEFFFH

RAMサイズ16 Kバイト製品 : 03FFB000H-03FFB095H, および03FFEF9CH-03FFEFFFH

20.1.2 パワーオン・リセット

パワーオン・クリア回路（POC）は常に電源電圧（ V_{DD} ）と内部基準電圧（ V_{IP} ）を比較し、電源電圧が規定電圧以上でマイクロコントローラが動作します。

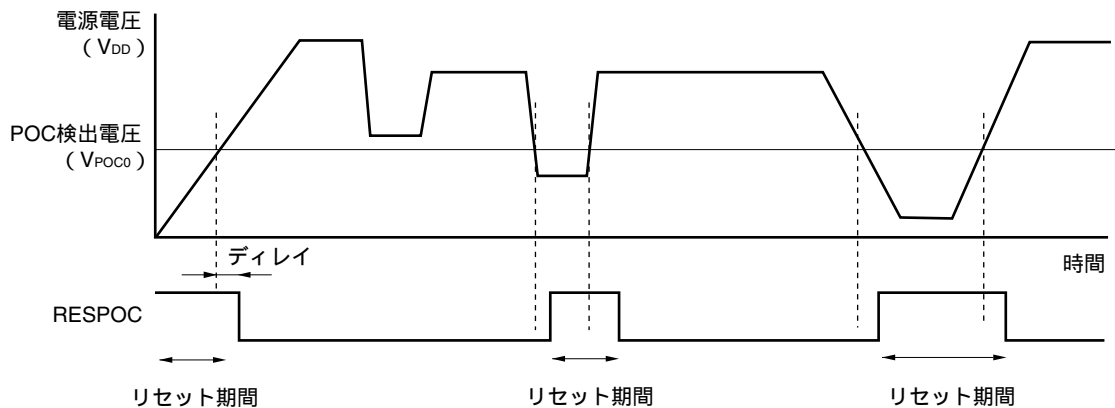
電源電圧が内部基準電圧以下に降下すると（ $V_{DD} < V_{IP}$ ）、内部リセット信号RESPOCを発生します。

パワーオン・クリア・リセット後、RESFレジスタはクリアされ、内部リセット信号SYSRESを発生します。

パワーオン・クリア回路がRESPOC信号を発生するタイミングを図20 - 2に示します。

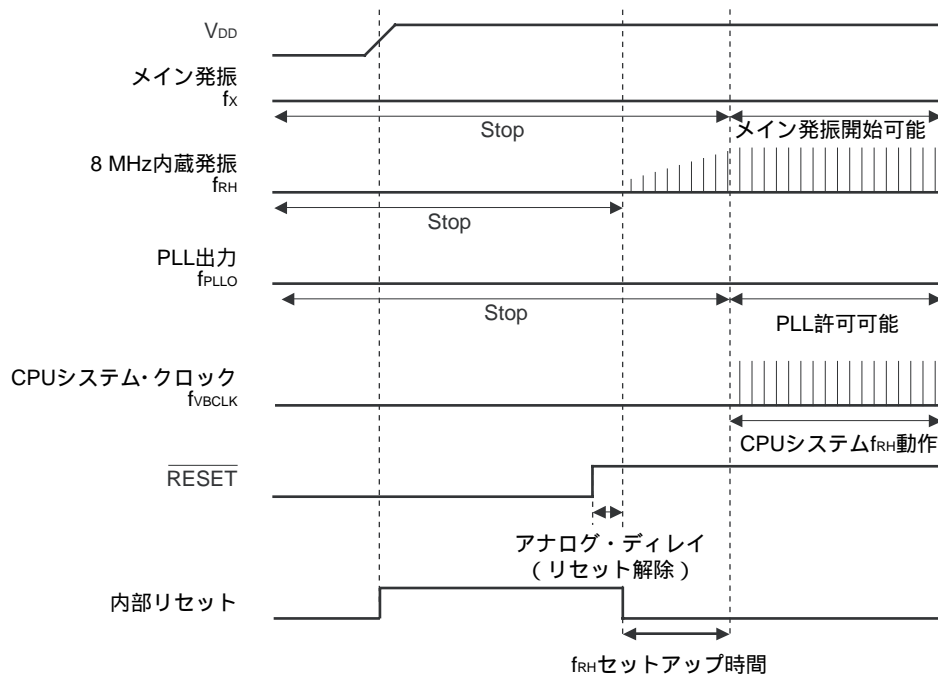
パワーオン・クリア機能は、電源電圧がスレッシュホールド・レベルの V_{POC0} を越えないかぎり、マイクロコントローラをリセット状態に保持します。

図20 - 2 パワーオン・クリア回路によるリセット発生



パワーオン・クリア後のCPUシステムの起動の概略を図20 - 3に示します。

図20 - 3 パワーオン・クリア後のCPUシステム起動



20.1.3 外部RESET

RESET端子にロウ・レベル信号を印加すると、リセットを実行します。

リセット状態は、RESET端子に印加した信号がロウ・レベルからハイ・レベルに変化すると、解除されます。

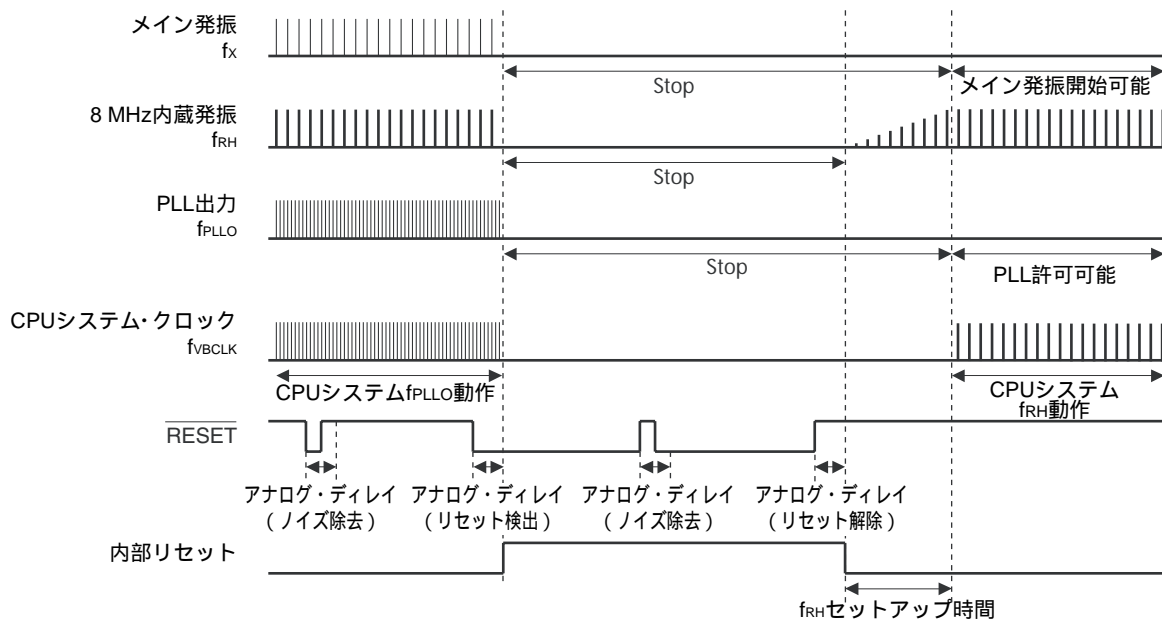
外部RESETの解除後、RESFレジスタはクリアされ、内部システム・リセット信号SYSRESを発生します。

RESET端子は、アナログ・フィルタを搭載しています。マイクロコントローラでクロックが動作していても、外部RESETはマイクロコントローラをリセット状態に移行できます。

外部RESET実行時のタイミングを次に示します。

アナログ・ディレイは、アナログ入力フィルタによるものです。最小RESETパルス幅については、 μ PD70F3610, 70F3611, 70F3612, 70F3613, 70F3614 データ・シート (U18666J), μ PD70F3615, 70F3616, 70F3617, 70F3618, 70F3619 データ・シート (U18667J), μ PD70F3620, 70F3621, 70F3622 データ・シート (U18668J) を参照してください。

図20 - 4 外部RESETのタイミング



20. 1. 4 ウォッチドッグ・タイマ2によるリセット

ウォッチドッグ・タイマは、オーバフローするとリセット信号を発生するように設定されています。ウォッチドッグ・リセット後、RESF.WDT2RFビットはセットされ、システム・リセット信号SYSRESを発生します。

ウォッチドッグ・タイマのオーバフロー後、所定の時間リセット状態となり、その後リセット状態を自動的に解除します。

20. 1. 5 クロック・モニタによるリセット

クロック・モニタは、メイン発振回路の停止を検出した場合、リセット信号を発生します。クロック・モニタ・リセット後、対応するRESF.CLMRFビットはセットされ、システム・リセット信号SYSRESを発生します。

クロック・モニタのリセット後、所定の時間リセット状態となり、その後リセット状態を自動的に解除します。

20. 1. 6 低電圧検出回路によるリセット

低電圧検出回路は、電源電圧 V_{DD} が基準電圧 V_{LVI} を下回った場合にリセット信号RESLVIを発生します。RESLVIはRESF.LVIRFビットをセットし、システム・リセット信号SYSRESを発生します。

20.2 リセット要因を確認するレジスタ

(1) リセット要因フラグ・レジスタ (RESF)

RESFレジスタは、最後にパワーオン・クリアまたは外部RESETが発生してから、発生したリセットの種類を示す8ビットのレジスタです。

各リセット条件によって、このレジスタの対応するフラグがセットされます。たとえば、パワーオン・クリア・リセット完了後にウォッチドッグ・タイマ・リセットが発生した場合、RESFの読み出し値は00010000Bとなります。

RESFレジスタは特定レジスタです。特定のシーケンスによってのみ、書き込みが可能です。

アクセス： 8/1ビット単位でリード/ライト可能です。

アドレス： FFFFFFF888H

初期値： パワーオン・クリア・リセットと外部RESETにより00Hになります。

7	6	5	4	3	2	1	0
0	0	0	WDT2RF	0	0	CLMRF	LVIRF
R	R	R	R/W	R	R	R/W	R/W

表20 - 3 RESFレジスタの内容

ビット位置	ビット名	機 能
4	WDT2RF	ウォッチドッグ・タイマによるリセット 0：発生なし 1：発生あり
1	CLMRF	クロック・モニタによるリセット 0：発生なし 1：発生あり
0	LVIRF	低電圧検出回路によるリセット 0：発生なし 1：発生あり

注意 ビット7-5, 3, 2には必ず"0"を設定してください。

備考 各ビットへの書き込みは"0"ライトのみ可能です。書き込みとフラグ・セット（リセットの発生）によるレジスタのクリアが競合した場合、フラグ・セットが優先されます。

第21章 低電圧検出回路

21.1 機能

低電圧検出回路 (LVI) は次のような機能を持ちます。

- ・電源電圧 (V_{DD}) と基準電圧 (V_{LVI}) を比較し、次の条件のとき、内部割り込み信号もしくは内部リセット信号を発生します。

内部割り込み信号 : $V_{DD} < V_{LVI}$, $V_{DD} > V_{LVI}$

内部リセット信号 : $V_{DD} < V_{LVI}$

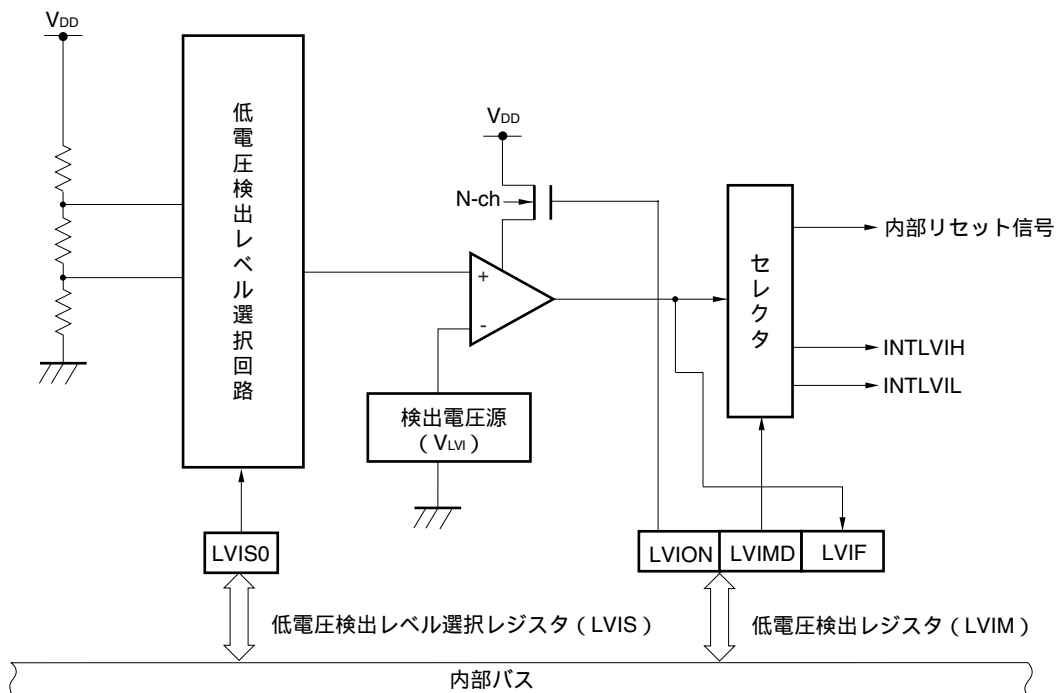
- ・電源電圧の検出レベル (2段階) をソフトウェアにて変更できます。
- ・割り込み / リセットをソフトウェアにて選択できます。
- ・STOPモードにおいても動作可能です。
- ・ソフトウェアにて動作停止可能です。

低電圧検出回路をリセットとして使用した場合に、リセット信号が発生するとリセット要因フラグ・レジスタ (RESF) のビット0 (LVIRF) がセット (1) されます。RESFについての詳細は、第20章 リセット機能を参照してください。

21.2 構成

低電圧検出回路のブロック図を図21 - 1に示します。

図21 - 1 低電圧検出回路のブロック図



21.3 レジスタ

低電圧検出回路は次のレジスタで制御します。

- ・低電圧検出レジスタ (LVIM)
- ・低電圧検出レベル選択レジスタ (LVIS)

(1) 低電圧検出レジスタ (LVIM)

LVIMレジスタは特定レジスタです。特定のシーケンスによってのみ書き込みが可能です (3.6 特定レジスタ参照)。

LVIMレジスタは、低電圧検出の許可/禁止、低電圧検出回路の動作モードを設定するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: FFFFF890H

	7	6	5	4	3	2	1	0
LVIM	LVION	0	0	0	0	0	LVIMD	LVIF

LVION	低電圧検出動作の許可/禁止
0	動作禁止
1	動作許可

LVIMD	低電圧検出の動作モード選択
0	電源電圧 (V_{DD}) < 基準電圧 (V_{LVI}) 時に割り込み要求信号INTLVILを発生 電源電圧 (V_{DD}) > 基準電圧 (V_{LVI}) 時に割り込み要求信号INTLVIHを発生
1	電源電圧 (V_{DD}) < 基準電圧 (V_{LVI}) 時に内部リセット信号LVIRESを発生

LVIF	低電圧検出フラグ
0	電源電圧 (V_{DD}) > 基準電圧 (V_{LVI}) , または動作禁止時 (LVIM.LVION = 0)
1	接続する電源電圧 (V_{DD}) < 基準電圧 (V_{LVI})

注意1. LVIONビット = 1設定後、指定した時間ウェイトしてから、LVIFビットで電圧を確認してください。

ウェイト時間については、 μ PD70F3610, 70F3611, 70F3612, 70F3613, 70F3614 データ・シート (U18666J) , μ PD70F3615, 70F3616, 70F3617, 70F3618, 70F3619 データ・シート (U18667J) , μ PD70F3620, 70F3621, 70F3622 データ・シート (U18668J) を参照してください。

2. LVIFフラグの値は、LVIONビット = 1かつLVIMDビット = 0の場合に、出力信号INTLVIとして出力されます。
3. LVIFビットは、リード・オンリーです。
4. ビット6-2には、必ず0を設定してください。
5. LVIを動作停止 (LVIM.LVIONを1から0へ変更) する場合、次の手順で行ってください。

INTLVIH割り込みをマスク (割り込み処理を禁止) する。

(LVIHIC.LVIHMK = 1 , またはIMR0.LVIHMK = 1)

LVIの動作を停止設定する。

(LVIM.LVIONを1から0へ変更)

INTLVIH割り込みの割り込み要求フラグをクリアする。

(LVIHIC.LVIHIF = 0)

(2) 低電圧検出レベル選択レジスタ (LVIS)

LVISレジスタは、低電圧検出レベルを選択するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF891H

	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	0	0	0	LVIS0

LVIS0	検出レベル
0	4.0 V ± 0.2 V ^注
1	3.7 V ± 0.2 V ^注

注 μ PD70F3610, 70F3611, 70F3612, 70F3613, 70F3614 データ・シート (U18666J), μ PD70F3615, 70F3616, 70F3617, 70F3618, 70F3619 データ・シート (U18667J), μ PD70F3620, 70F3621, 70F3622 データ・シート (U18668J) を参照してください。

注意1. LVIM.LVION = 1, LVIM.LVIMD = 1に設定した場合は、低電圧検出以外のリセットが発生するまでこのレジスタへの書き込みはできません。

2. ビット7-1には、必ず0を設定してください。

(3) 内蔵RAMデータ・ステータス・レジスタ (RAMS)

RAMSレジスタは、電源電圧が特定のデータ保持電圧より降下したことを示すフラグ・レジスタです。

8/1ビット単位でリード/ライト可能です。

このレジスタへの書き込みは、命令の特定のシーケンスによって保護されています。3.6 特定レジスタを参照してください。

備考 セット条件：検出レベル以下の電圧検出，命令によるセット
クリア条件：命令によるクリア

リセット時：01H R/W アドレス：FFFFFF892H

	7	6	5	4	3	2	1	0
RAMS	0	0	0	0	0	0	0	RAMF

RAMF	内蔵RAMデータ有効/無効
0	電源電圧 > データ保持電圧，RAM有効
1	電源電圧 < データ保持電圧，RAM無効

データ保持電圧の仕様については、 μ PD70F3610, 70F3611, 70F3612, 70F3613, 70F3614 データ・シート (U18666J), μ PD70F3615, 70F3616, 70F3617, 70F3618, 70F3619 データ・シート (U18667J), μ PD70F3620, 70F3621, 70F3622 データ・シート (U18668J) を参照してください。

備考 このレジスタは、リセットによる影響を受けません。RAMのデータ保持の詳細については、21.4.3 RAM保持電圧検出動作を参照してください。

(4) 周辺エミュレーション・レジスタ1 (PEMU1)

インサーキット・エミュレータ使用時、デバッガ上で、このレジスタを操作することにより、擬似的にRAM保持フラグ (RAMFビット; RAMSレジスタのビット0) 動作を制御し、エミュレーションを実現することが可能です。

8/1ビット単位でリード/ライト可能です。

なお、このレジスタは、エミュレーション・モード時のみ有効で、通常モードでは無効になります。

リセット時: 00H R/W アドレス: FFFFF9FEH

	7	6	5	4	3	2	1	0
PEMU1	0	0	0	0	0	EVARAMIN	0	0

EVARAMIN	RAM保持電圧検出信号擬似指定
0	RAM保持電圧以下を非検出
1	RAM保持電圧以下を検出 (RAMFフラグをセット)

注意 このビットは、自動的にクリアされません。

[使用方法]

インサーキット・エミュレータ使用時、デバッガ上でこのレジスタの書き換えを行うことにより、RAMFの擬似エミュレーションを実現します。

CPUブレーク (CPU動作停止)

レジスタ書き込みコマンドにより、EVARAMINビットを“1”にします。

EVARAMINビットを“1”にすることにより、ハード上でRAMFビットが“1” (内蔵RAMデータが無効) になります。

再度、レジスタ書き込みコマンドにより、EVARAMINビットを“0”にします。

この動作を行わない (EVARAMINビットを“1 0”) 場合は、CPU動作命令にてRAMFビットをクリア (“0”) にすることができなくなります。

CPUをRUNし、エミュレーションを再開します。

21.4 動作

LVIMDビットの設定により、割り込み信号 (INTLVIL, INTLVIH) もしくは内部リセット信号を発生します。下記に動作設定方法とタイミング図を示します。

21.4.1 LVI (LVIM.LVIMD = 1) からのリセット発生

<動作開始時>

LVIの割り込みをマスクします。

LVIS.LVIS0ビットにて検出電圧を設定します。

LVIM.LVIONビット = 1に設定 (動作許可) します。

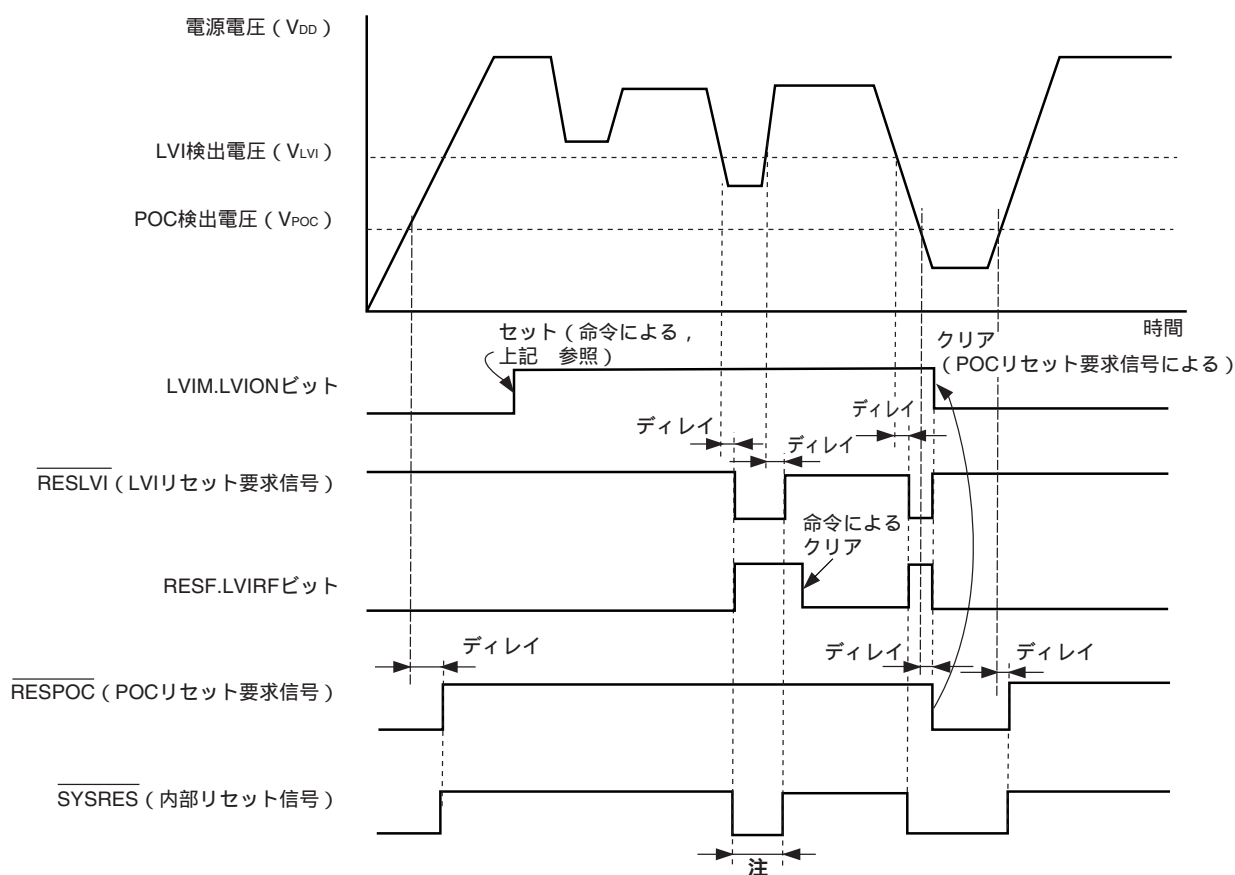
ソフトウェアにて十分なウエイト時間を挿入します (μ PD70F3610, 70F3611, 70F3612, 70F3613, 70F3614 データ・シート (U18666J), μ PD70F3615, 70F3616, 70F3617, 70F3618, 70F3619 データ・シート (U18667J), μ PD70F3620, 70F3621, 70F3622 データ・シート (U18668J) 参照)。

LVIM.LVIFビットで電源電圧 (V_{DD}) > 基準電圧 (V_{LVI}) であることを確認します。

LVIM.LVIMDビット = 1 (内部リセット信号発生) を設定します。

注意 LVIM.LVIMD = 1に設定した場合、LVI以外のリセット要求が発生するまで、LVIM, LVISレジスタの変更はできません。

図21-2 低電圧検出回路の動作タイミング (LVIM.LVIMD = 1)



注 供給電圧が設定している低電圧以下の期間中は、内部リセット信号が保持されます (内部リセット状態)。

21.4.2 LVI (LVIM.LVIMD = 0) からの割り込み発生

<動作開始時>

LVIの割り込みをマスクします。

LVIS.LVIS0ビットにて検出電圧を設定します。

LVIM.LVIONビット = 1に設定 (動作許可) します。

ソフトウェアにて十分なウエイト時間を挿入します (μ PD70F3610, 70F3611, 70F3612, 70F3613, 70F3614 **データ・シート** (U18666J), μ PD70F3615, 70F3616, 70F3617, 70F3618, 70F3619 **データ・シート** (U18667J), μ PD70F3620, 70F3621, 70F3622 **データ・シート** (U18668J) 参照)。

LVIMLVIFビットで電源電圧 (V_{DD}) > 基準電圧 (V_{LVI}) であることを確認します。

LVIの割り込み要求フラグをクリアします。

LVIの割り込みマスクを解除します。

<動作停止時>

LVIM.LVIONビット = 0に設定します。

LVIを動作停止 (LVIM.LVIONを1から0へ変更) する場合, 次の手順で行ってください。

INTLVIH割り込みをマスク (割り込み処理を禁止) する。

(LVIHIC.LVIHMK = 1, またはIMR0.LVIHMK = 1)

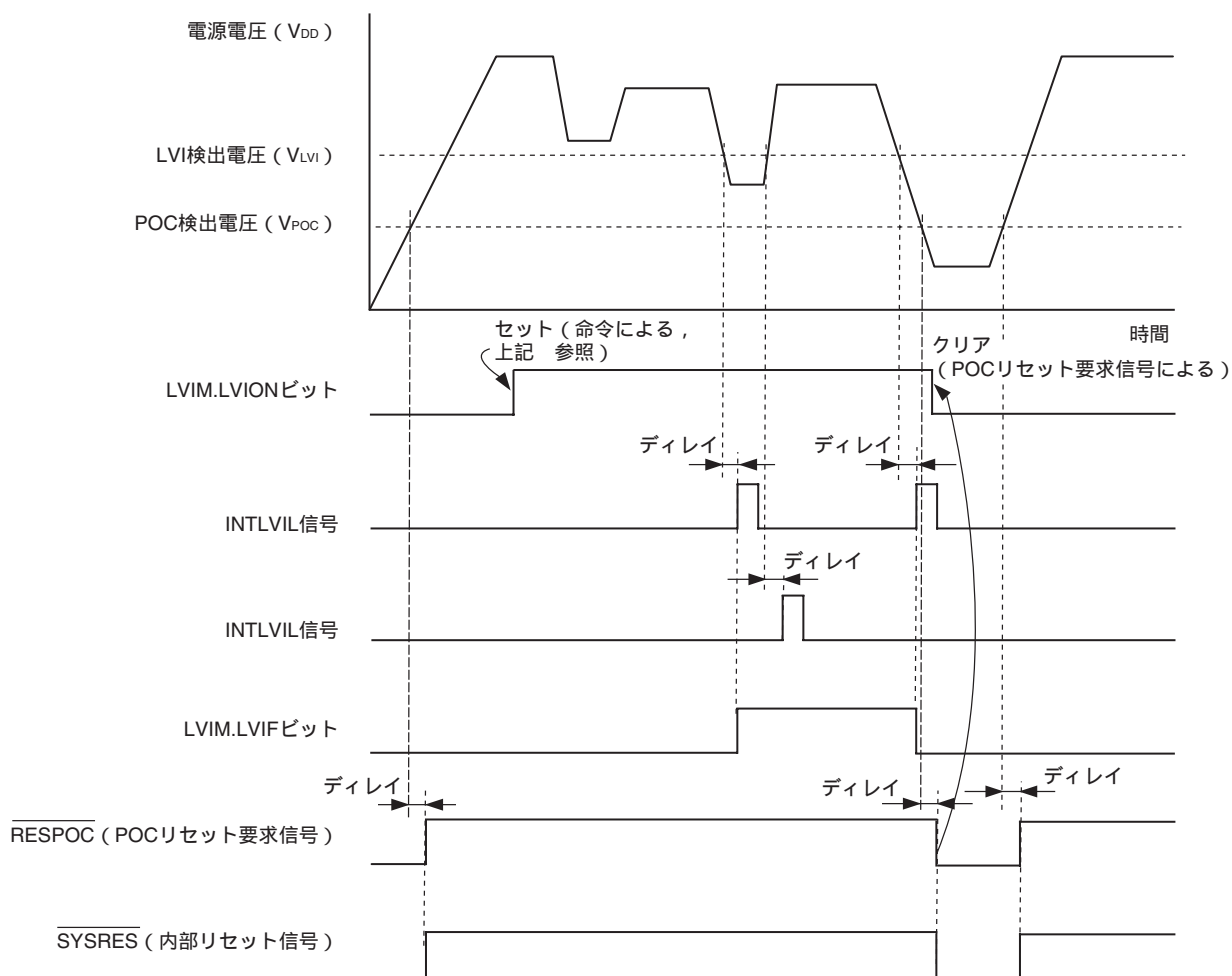
LVIの動作を停止設定する。

(LVIM.LVIONを1から0へ変更)

INTLVIH割り込みの割り込み要求フラグをクリアする。

(LVIHIC.LVIHIF = 0)

図21 - 3 低電圧検出回路の動作タイミング (LVIM.LVIMD = 0)



<使用上の注意>

V_{DD}がLVI検出レベル (V_{LVI}) 付近で揺れている場合、INTLVIHまたはINTLVIL割り込み処理の判断を誤る可能性があるので注意してください。

例えば、INTLVIL割り込み処理中に、V_{DD}が揺れることでINTLVIHとINTLVIL割り込みが複数回ずつ発生すると、最後に発生した割り込みがどちらかを検出できません。これにより、V_{DD} > V_{LVI}になっているにもかかわらず、最後にINTLVIL割り込み処理が行われると、ソフトウェアはV_{DD} < V_{LVI}と誤判断してしまいます。

したがって、LVI検出割り込み処理時は、次のLVI検出が発生する前に完了するようにソフトウェアを組み、かつV_{DD}を制御する、またはLVIFフラグをモニタするなどしてください。

21.4.3 RAM保持電圧検出動作

電源電圧とデータ保持電圧を比較し、電源電圧がデータ保持電圧を下回った場合（電源投入時も含みます）、RAMFビットをセットします。

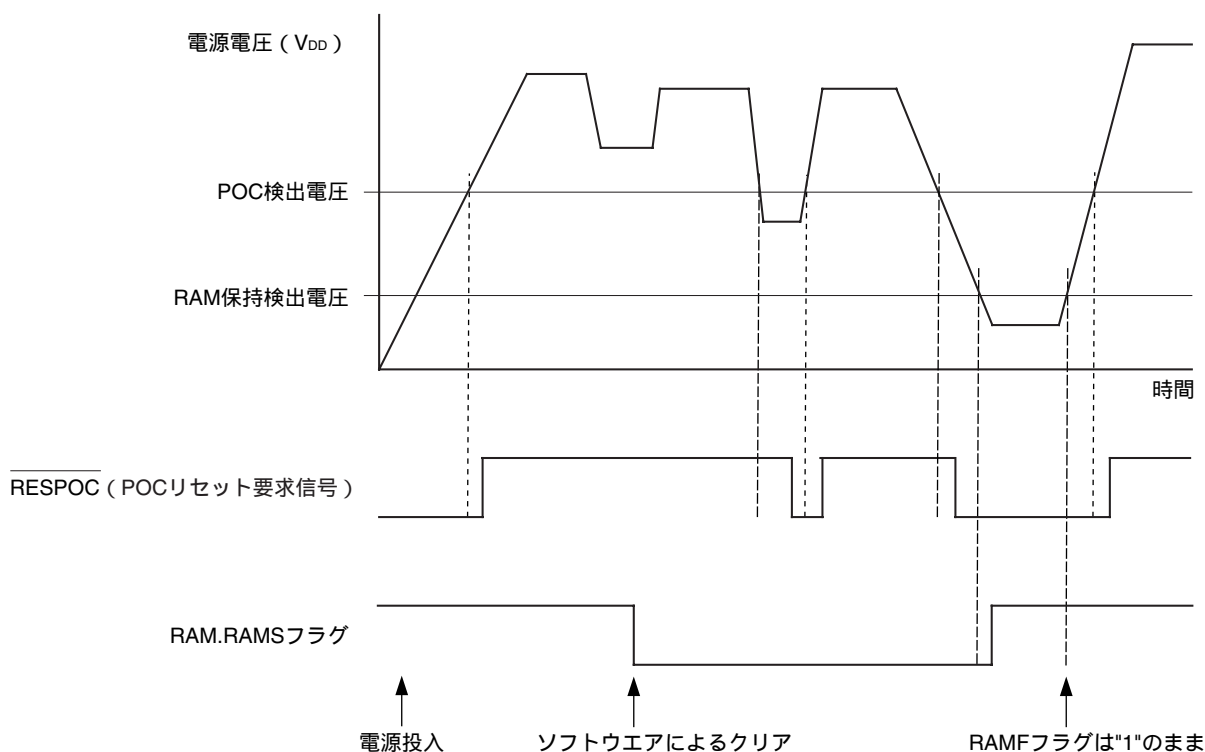
データ保持電圧の仕様については、 μ PD70F3610, 70F3611, 70F3612, 70F3613, 70F3614 **データ・シート** (U18666J)、 μ PD70F3615, 70F3616, 70F3617, 70F3618, 70F3619 **データ・シート** (U18667J)、 μ PD70F3620, 70F3621, 70F3622 **データ・シート** (U18668J)を参照してください。

RAMS.RAMFフラグは、次のように動作します。

- 電源投入後にRAMS.RAMFフラグをセットします。
- RAMS.RAMFフラグはソフトウェアによってのみリセット可能です。
- 供給電圧がデータ保持電圧を上回っている限り、RAMS.RAMFフラグは0のままです。
- RAMS.RAMFフラグはリセットによる影響を受けません。
- 供給電圧がパワー・オン・クリア基準電圧を下回っているが、データ保持電圧を上回っている場合は、POCリセットが適用されますがRAMS.RAMFフラグは0のままです。

注意 CPUのRAMアクセス時に外部RESETが適用されると、RAMの内容の一部が偶然変更される可能性があります。このような場合は、RAMS.RAMFフラグをセットしません。

図21-4 RAM保持電圧検出機能の動作タイミング



第22章 オンチップ・デバッグ・ユニット

本マイクロコントローラは、オンチップ・デバッグ・ユニットを搭載しています。オンチップ・デバッグ・エミュレータ（N-Wire型エミュレータ）と接続することにより、マイクロコントローラ単体でのオンチップ・デバッグを実現することができます。

注意 以下に示すデバッグ機能は、マイクロコントローラとしてサポートしている機能であり、使用可能かどうかはデバッガによって異なります。詳細なデバッグ機能は使用するデバッガのユーザース・マニュアルを参照してください。

22.1 機能概要

22.1.1 オンチップ・デバッグ・ユニットの種類

本マイクロコントローラに搭載しているオンチップ・デバッグ・ユニットはRCU1（Run Control Unit 1）です。

22.1.2 デバッグ機能

(1) デバッグ・インタフェース

$\overline{\text{DRST}}$, DCK, DMS, DDI, DDO信号によりオンチップ・デバッグ・エミュレータを介して、ホスト・マシンとの通信を行います。インタフェースにはN-Wireの通信仕様を利用しています。

(2) オンチップ・デバッグ

ターゲット・システム上にオンチップ・デバッグ用の配線やコネクタを用意することで、オンチップ・デバッグが可能です。エミュレータ接続用のコネクタには、オンチップ・デバッグ・エミュレータを接続します。

オンチップ・デバッグ・モードを使用しないときは、OCDM0ビットをクリア（0）してください。詳細につきましては、表2-16 **ポート・グループ0：端子機能とポート・タイプ**を参照してください。

(3) 強制リセット機能

マイクロコントローラ全体を強制的にリセットできます。

(4) ブレーク・リセット機能

CPUのリセット解除直後からCPUをデバッグ・モードで起動できます。

(5) 強制ブレーク機能

ユーザ・プログラムの実行を強制的に中断できます（ただし、不正命令コード例外のハンドラ（先頭アドレス：00000060H）は使用できません）。

(6) ハードウェア・ブレーク機能

命令系 / アクセス系兼用ブレーク・ポイントを2ポイント使用できます。命令系のブレーク・ポイントによって、プログラムの実行を任意のアドレスで中断できます。アクセス系のブレーク・ポイントによって、任意のアドレスへのデータ・アクセスでプログラムの実行を中断できます。

(7) ソフトウェア・ブレーク機能

内蔵ROM領域には、最大4ポイントのソフトウェア・ブレークを設定できます。RAM領域に設定できるソフトウェア・ブレーク・ポイント数は使用するデバッガによって異なります。

(8) ダイナミック・メモリ・モディフィケーション機能 (DMM機能)

プログラム実行中にRAMの内容の書き換えが可能です。

(9) デバッグ・モニタ機能

デバッグ中はユーザのメモリ空間とは異なるデバッグ用のメモリ空間を使用します (バググラウンド・モニタ形式)。ユーザ・プログラムを任意のアドレスから実行開始可能です。

また、ユーザ・プログラム中断中のユーザ・リソース (メモリ, I/Oなど) のリード/ライトやユーザ・プログラムのダウンロードが可能です。

(10) マスク機能

各種信号をマスクすることができます。

オンチップ・デバッグ・エミュレータのマスク機能との対応を以下に示します。

NMI0マスク機能	: NMI端子
NMI1マスク機能	: WDT2割り込み
NMI2マスク機能	: -
STOPマスク機能	: -
HOLDマスク機能	: $\overline{\text{HLDRQ}}$ 端子
RESETマスク機能	: $\overline{\text{RESET}}$ 端子, WDT2リセット, POCリセット ^注 , LVIリセット, クロック・モニタ・リセット
DBINTマスク機能	: -
WAITマスク機能	: $\overline{\text{WAIT}}$ 端子のマスク

注 パワーオン・クリア機能対応製品のみ該当します。

(11) タイマ機能

ユーザ・プログラムの実行時間を測定可能です。

(12) ブレーク中の周辺マクロ動作 / 停止選択機能

使用するデバッガにより、ブレーク中に周辺マクロを動作させるか、停止させるかを選択することができます。

ブレーク中は必ず停止する機能

- ・クロック・モニタ
- ・ウォッチドッグ・タイマ2

ブレーク中、動作 / 停止を選択できる機能（ただし個別の選択はできません。）

- ・タイマAA
- ・タイマM
- ・時計タイマ

ブレーク中に動作を継続する周辺機能（停止できない機能）

- ・上記以外の周辺機能

(13) パワー・セーブ・モード時の機能

パワー・セーブ・モードに設定したとき、デバッグ動作はできません。パワー・セーブ・モードを抜けると、オンチップ・デバッグ・ユニットは動作を継続します。

N-Wireインタフェースは、パワー・セーブ・モード時でもアクセスできます。

- ・オンチップ・デバッグ・エミュレータはステータス情報をオンチップ・デバッグ・ユニットから取得できます。
- ・オンチップ・デバッグ・エミュレータによってストップ・モードを解除できます。

(14) セキュリティ機能

本マイクロコントローラでは、デバッガの起動時にIDコードの入力をユーザに求めるN-Wireセキュリティ機能があります。

N-Wireセキュリティの詳細な情報については、**第9章 データ保護とセキュリティ**を参照してください。

22.1.3 インタフェース信号

インタフェース信号について説明します。

(1) $\overline{\text{DRST}}$

オンチップ・デバッグ・ユニット用のリセット入力信号です。デバッグ・コントロール・ユニットを非同期に初期化するための負論理の信号です。

オンチップ・デバッグ・エミュレータは、統合デバッガの起動後にターゲット・システムのV_{DD}を検出すると、 $\overline{\text{DRST}}$ 信号をロウ・レベルからハイ・レベルに立ち上げて、対象デバイス内のオンチップ・デバッグ・ユニットを起動させます。

また、 $\overline{\text{DRST}}$ 信号がロウ・レベルからハイ・レベルに立ち上がることにより、CPUにもリセットが発生します。

統合デバッガを起動してデバッグを開始する際には、必ずCPUリセットが発生します。

(2) DCK

クロック入力信号です。オンチップ・デバッグ・エミュレータから20 MHzのクロックを供給します。オンチップ・デバッグ・ユニット内で、DCK信号の立ち上がり同期してDMS、DDI信号をサンプリングし、DCK信号の立ち下がり同期してデータDDOを出力します。

(3) DMS

転送モード選択信号です。DMS信号のレベルによりデバッグ・ユニット内の転送状態が遷移します。

(4) DDI

データ入力信号です。オンチップ・デバッグ・ユニット内でDCKの立ち上がり同期してサンプリングします。

(5) DDO

データ出力信号です。オンチップ・デバッグ・ユニットからDCK信号の立ち下がり同期して出力されます。

(6) EV_{DD}

ターゲット・システムのV_{DD}検出用です。ターゲット・システムからのV_{DD}が未検出の場合は、オンチップ・デバッグ・エミュレータからの出力信号 ($\overline{\text{DRST}}$, DCK, DMS, DDI, FLMD0, $\overline{\text{RESET}}$ 端子) はハイ・インピーダンスになります。

(7) FLMD0

統合デバッガによるフラッシュ・メモリへのダウンロード機能は、フラッシュ・セルフ・プログラミング機能を利用しています。フラッシュ・セルフ・プログラミング中はFLMD0端子をハイ・レベルにする必要があります。また、FLMD0端子にはプルダウン抵抗を接続してください。

FLMD0端子の制御方法として、次の2種類のうち、どちらかの方法を選択してください。

オンチップ・デバッグ・エミュレータから制御する場合

オンチップ・デバッグ・エミュレータからのFLMD0信号をデバイスのFLMD0端子に接続します。

通常モード時はオンチップ・デバッグ・エミュレータからは何もドライブしません(ハイ・インピーダンス)。

ブレーク中、統合デバッガのダウンロード機能を実行した際にオンチップ・デバッグ・エミュレータはFLMD0端子をハイ・レベルに制御します。

ポートから制御する場合

デバイスの任意のポートをFLMD0端子に接続します。

ユーザ・プログラムにおいてフラッシュ・セルフ・プログラミング機能を実現する場合と同じポート端子で問題ありません。

統合デバッガのコンソールによって、ダウンロード機能実行前にポート端子をハイ・レベルにする、または、ダウンロード機能実行後にポート端子をロウ・レベルにする設定を行ってください。

詳細はID850QB Ver3.20 **統合デバッガ ユーザーズ・マニュアル 操作編** (U17964J)を参照してください。

(8) $\overline{\text{RESET}}$

システム・リセット入力信号です。ユーザ・プログラムにおいてOCDMレジスタのOCDM0ビットの値によって、 $\overline{\text{DRST}}$ 端子を無効としたあとは、オンチップ・デバッグは行えません。そのため、オンチップ・デバッグ・エミュレータから $\overline{\text{RESET}}$ 端子によるリセットを与えて、 $\overline{\text{DRST}}$ 端子を有効(初期化)にします。

22.1.4 セキュリティ機能

本マイクロコントローラでは、オンチップ・デバッグ・エミュレータを接続するときに、あらかじめ内蔵ROM領域に書き込んだIDコードと、デバッグ起動時に入力するIDコードを比較することで、オンチップ・デバッグ・エミュレータの起動を制限するセキュリティ機能があります。この機能により、第三者による内蔵ROM領域の読み出しを防止することができます。

(1) IDコード

内蔵ROMにプログラムを書き込む際には、必ずIDコードを書き込んでください。

IDコードの領域は、00000070H-00000079H番地の10バイトです。

メモリ消去状態のIDコードを次に示します。

アドレス	IDコード
00000079H	FFH
00000078H	FFH
00000077H	FFH
00000076H	FFH
00000075H	FFH
00000074H	FFH
00000073H	FFH
00000072H	FFH
00000071H	FFH
00000070H	FFH

(2) セキュリティ・ビット

00000079H番地のビット7は、オンチップ・デバッグ・エミュレータの使用許可ビットになります。

- ・ 00000079H番地のビット7

0 : 使用禁止

1 : 使用許可

- 注意**
1. 00000079H番地の値が00H-7FHの場合は、オンチップ・デバッグ・エミュレータの接続ができません。
 2. 00000079H番地の値が80H-FFHの場合は、オンチップ・デバッグ・エミュレータ接続時に入力する10バイトのIDコードが一致すれば、オンチップ・デバッグ・エミュレータが使用できます。

(3) 設定方法

例 0x70-0x79番地に次の値を設定する場合

番地	値
0x70	0x12
0x71	0x34
0x72	0x56
0x73	0x78
0x74	0x9A
0x75	0xBC
0x76	0xDE
0x77	0xF1
0x78	0x23
0x79	0xD4

次に、CA850をご使用の場合のプログラム例を示します。

[プログラム例]

```
#-----
# SECURITY_ID
#-----

.section "SECURITY_ID"
.word 0x78563412 --0-3 byte code,Address is 0x70-0x73
.word 0xF1DEBC9A --4-7 byte code,Address is 0x74-0x77
.hword 0xD423 --8-9 byte code,Address is 0x78-0x79
```

注意 CA850 Ver3.00より、リンカによるセキュリティID付加機能が追加されています。

上記プログラム例の他、リンカの-XsidオプションでもIDを設定することができます。

また、これによりCA850の旧バージョン使用時に、0x60番地のハンドラ (ILGOP) を利用して、セキュリティID(0x70~0x79番地)の設定をしていた場合には、リンクの際にエラーになります。

エラー・メッセージ:

```
F4264: start address(0x00000070) of section "SECURITY_ID" overlaps
previous section "ILGOP" ended before address (0XXXXXXXX).
```

リンカの+Xsidオプションを指定するか、ILGOPを使用せず、プログラム例のようにセキュリティIDのセクションを使用するようにプログラムを変更して、回避してください。

詳細はCA850のユーザーズ・マニュアルを参照してください。

22.2 制御レジスタ

N-Wireインタフェース端子 $\overline{\text{DRST}}$ 、DDI、DDO、DCK、DMSはポート機能と兼用になっています(表22-1参照)。デバッグ中は、各デバイス端子は強制的にN-Wireインタフェース・モードにされ、ポート機能は使用できません。通常、N-Wireデバッグはフラッシュ・メモリのIDコード領域(*0x00000079 [bit7] = 1)内セキュリティ・ビットで許可しなくてはならないので注意してください。

デバッガが接続されていない場合にN-Wireインタフェースをリセットしておくために、内蔵プルダウン抵抗(ソフトウェアにより切断可能)が $\overline{\text{DRST}}$ 端子に装備されています。

表22-1 N-Wireインタフェース端子

GPIO	N-Wire機能		
	端子	入出力	説明
P05	$\overline{\text{DRST}}$	入力	N-Wire RCUリセット
P52	DDI	入力	N-Wireデバッグ・データ・イン
P53	DDO	出力	N-Wireデバッグ・データ・アウト
P54	DCK	入力	N-Wireインタフェース・クロック
P55	DMS	入力	N-Wireモード

(1) オンチップ・デバッグ・モード・レジスタ (OCDM)

通常動作モードとオンチップ・デバッグ・モードを切り替えるレジスタです。OCDMレジスタは特定レジスタです。特定のシーケンスによってのみ書き込みができます(3.6 特定レジスタ参照)。

OCDM0ビットが“1”状態でかつ $\overline{\text{DRST}}$ 端子の入力がハイ・レベルの場合、オンチップ・デバッグ・モードとなります。

端子リセット後、OCDM0ビットの初期値は“1”なので、オンチップ・デバッグ機能を使用しない場合はOCDM0ビットを“0”にクリアする必要があり、それまでの間、 $\overline{\text{DRST}}$ 端子をロウ・レベルに保つ必要があります(図22-1参照)。なお、 $\overline{\text{DRST}}$ 端子は、OCDM0ビットが“1”の間、内部でプルダウンしていますので、端子処理はオープンでも可能です。

POCリセット後、OCDM0ビットの初期値は“0”で、通常動作モードになります。したがって、オンチップ・デバッグをする際には端子リセットによってOCDM0ビットの値を“1”にする必要があります。

また、オンチップ・デバッグ中にPOCリセットが発生した際には、エミュレータとの通信は中断してしまいます。したがって、POCによるリセットのエミュレーションは行うことができません(図22-2参照)。

8/1ビット単位でリード/ライト可能です。

リセット時：01H^{注1} R/W アドレス：FFFF9FCH

	7	6	5	4	3	2	1	0
OCDM	0	0	0	0	0	0	0	OCDM0

OCDM0	オンチップ・デバッグ機能の兼用端子指定 ^{注2}
0	ポート/周辺機能端子として使用
1	オンチップ・デバッグ用端子として使用

- 注 1. $\overline{\text{RESET}}$ 端子 (外部リセット) 入力時：OCDM0 = 1
 パワーオン・クリアによるリセット時：OCDM0 = 0
 内部要因リセット (パワーオン・クリア以外) 発生時：OCDMレジスタはリセット発生前の値を保持します。
2. P05/INTP2/ $\overline{\text{DRST}}$
 P52/KR2/DDI
 P53/KR3/DDO
 P54/KR4/DCK
 P55/KR5/DMS

図22 - 1 通常動作モードへの移行タイミング・チャート

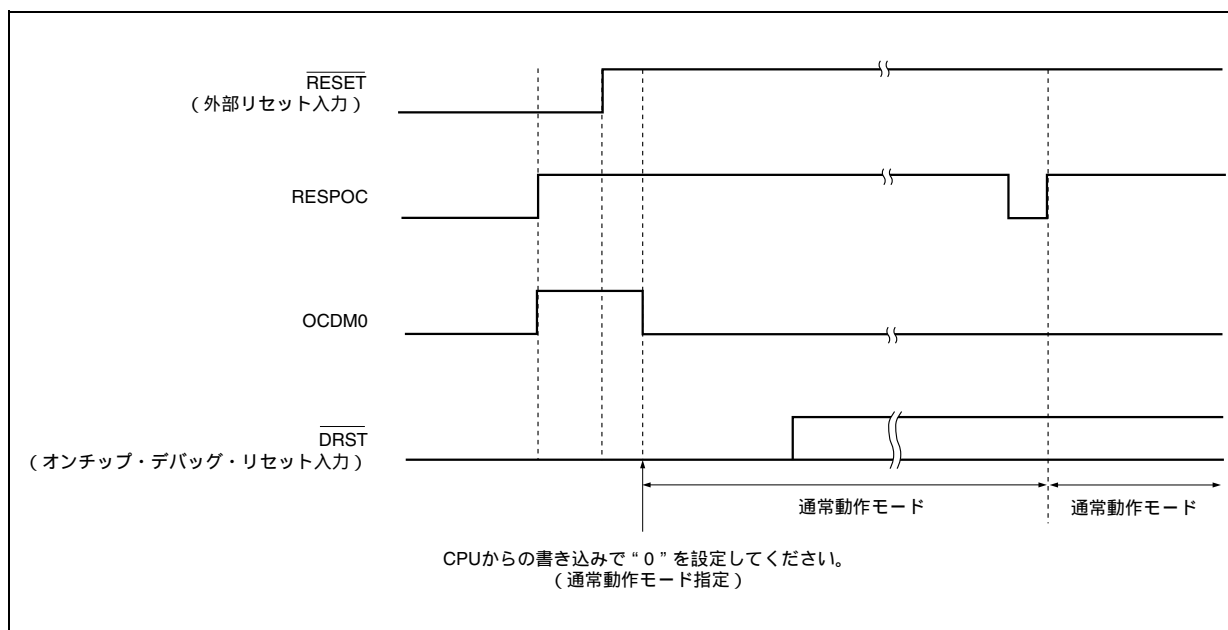
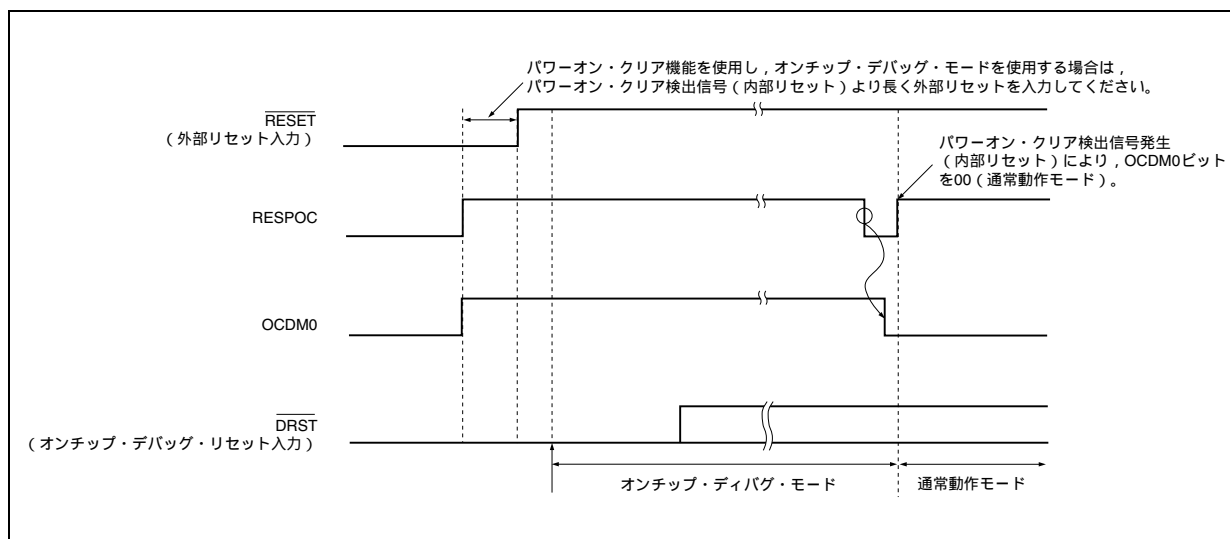


図22 - 2 オンチップ・デバッグ・モードへの移行タイミング・チャート



(2) パワーオン・クリア (RESPOC)

RESPOCリセットによりOCDM.OCDM0 = 0になり、端子はポート端子に設定されます。デバッガはコントローラと通信できず、N-Wireデバッグ回路は使用できません。RESPOC後の最初のCPU命令は、デバッガからは制御できません。アプリケーション・ソフトウェアでOCDM.OCDM0 = 1に設定し、N-Wireインタフェースを使用可能にし、デバッガがオンチップ・デバッグ・ユニットにアクセスできるようにしてください。

POCリセット (OCDM.OCDM0 = 0) 中およびその後は、P05, P52-P55端子は入力ポートに設定されません。

(3) 外部RESET

RESET端子による外部リセットにより、OCDM.OCDM0 = 1になり、端子はN-Wireインタフェース端子に設定されます。デバッガが接続されている場合は、オンチップ・デバッグ・ユニットと通信でき、CPUの制御を引き取ります。

RESET中およびその後は、P05, P52-P55端子は次のように設定されます。

- ・ $\overline{\text{DRST}}$, DDI, DCK, DMSは入力
- ・ DDOは出力、ただし $\overline{\text{DRST}} = 0$ の間はハイ・インピーダンス状態

(4) その他のリセット

その他のすべてのリセット要因からのリセットは、P05, P52-P55端子に影響を与えません。

内蔵プルダウン抵抗がP05/ $\overline{\text{DRST}}$ 端子に装備されています。どのリセット中およびその後も、P05/ $\overline{\text{DRST}}$ に抵抗が接続されており、デバuggが接続されていない場合にはN-Wireインタフェースは必ずリセット状態に保たれています。内蔵プルダウン抵抗はどの要因によるリセットでも接続され、ポート・コンフィグレーション・レジスタのビットPFC0.PDC05を介して切断できます。

$\overline{\text{DRST}}$ 信号はN-Wireインタフェースのリセット信号を表しています。 $\overline{\text{DRST}} = 0$ の場合、オンチップ・デバugg・ユニットはリセット状態に保たれ、通常のコントローラ動作に影響を与えません。 $\overline{\text{DRST}}$ はデバuggが接続されていれば、デバuggにより駆動されます。デバuggは $\overline{\text{DRST}} = 1$ に設定することでコントローラと通信を開始します。

(a) 端子構成

N-Wireデバugg・モードでは、N-Wireインタフェース端子の構成を端子のコンフィグレーション・レジスタで変更できません。レジスタの内容は変更されますが、端子構成には影響がありません。

22.3 N-Wire使用方法

本マイクロコントローラの動作モードは、OCDM.OCDM0および $\overline{\text{DRST}}$ によって決まります。

表22-2 通常動作とオンチップ・デバッグ制御

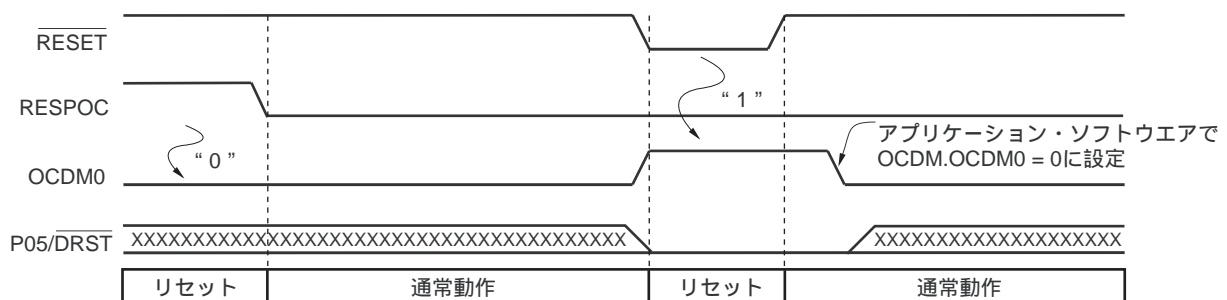
$\overline{\text{DRST}}$	OCDM.OCDM0	動作モード
0	x	通常動作
1	0	
	1	オンチップ・デバッグ

22.3.1 $\overline{\text{RESET}}$ およびRESPOC後の通常動作開始

“通常動作”のために、リセット・イベント後はP05, P52-P55端子がポート端子として使用できなくてはなりません。したがって、ソフトウェアでOCDM.OCDM0 = 0を実行し、 $\overline{\text{RESET}}$ 後に端子をポート端子として使用できるようにしてください。

$\overline{\text{RESET}}$ 端子を介したどのような外部リセット後も、OCDM.OCDM0は“1”にセットされ、ソフトウェアでOCDM.OCDM0 = 0に設定するまでP05, P52-P55端子はアプリケーション機能端子として使用できないので注意してください。

図22-3 N-Wire起動なしの開始



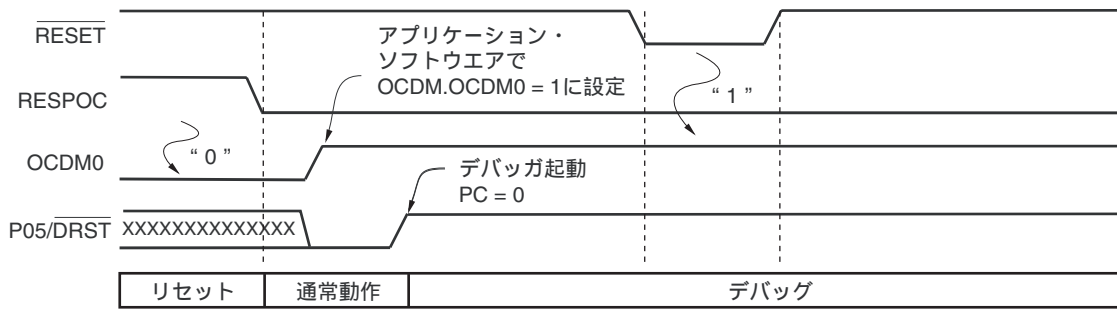
22.3.2 $\overline{\text{RESET}}$ およびRESPOC後のデバッグ起動

N-WireインタフェースがRESPOCイベントによっても使用許可されるよう、ソフトウェアでOCDM.OCDM0 = 1に設定してください。その後デバッグが起動し、 $\overline{\text{DRST}}$ 端子をハイ・レベルに設定してコントローラとの通信確立を開始し、CPUの制御を引き取ります。

デバッグの起動によりコントローラ全体がリセットされ、すなわち全レジスタがデフォルト状態に設定され、CPUのプログラム・カウンタはリセット・ベクタ00000000Hに設定されます。

備考 RESPOC後、コントローラはデバッグの制御なしで動作しています。したがって、ソフトウェアでOCDM.OCDM0 = 1に設定するまで、全CPU命令はデバッグできません。デバッグの制御下でユーザ・プログラムを最初から開始するには、図22-4に示すように、デバッグ起動後に外部 $\overline{\text{RESET}}$ を印加してください。これによりプログラムはリスタートします。ただし、コントローラの状態がRESPOCの直後と同じではないことがあります。これは外部 $\overline{\text{RESET}}$ を印加したときに内蔵RAMがすでに初期化されていることによるものです。

図22 - 4 N-Wire起動ありの開始

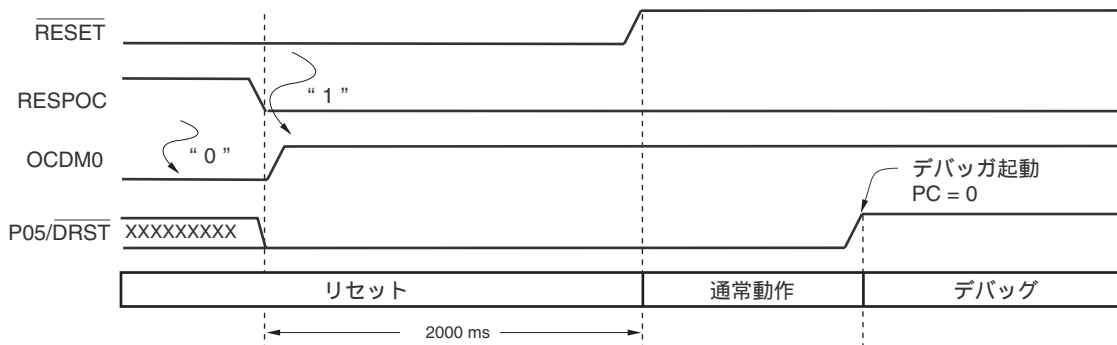


22.3.3 $\overline{\text{RESET}}$ 端子によるN-Wire起動

RESPOC解除後、 $\overline{\text{RESET}}$ をアクティブに保つことにより、N-Wireインタフェースは電源投入後に起動することもできます。これによりOCDM.OCDM0は“1”にセットされ、N-Wireインタフェースが使用できます。

この方法では、ユーザ・プログラムでOCDM.OCDM0 = 1を実行する必要がありません。

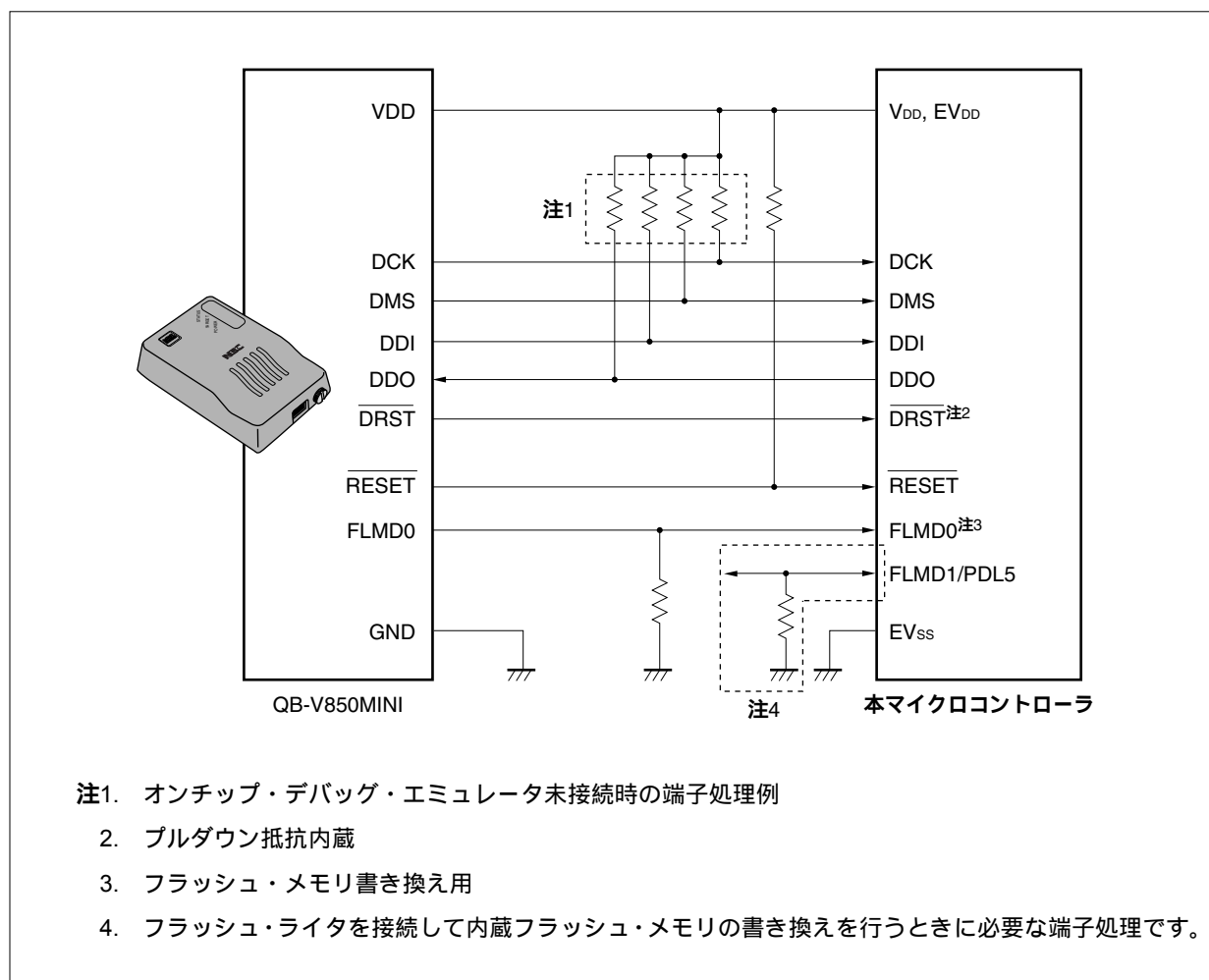
図22 - 5 $\overline{\text{RESET}}$ 端子によるN-Wire起動



22.4 オンチップ・デバッグ・エミュレータとの接続

オンチップ・デバッグ・エミュレータを接続するためには、ターゲット・システム上に接続用回路を実装する必要があります。

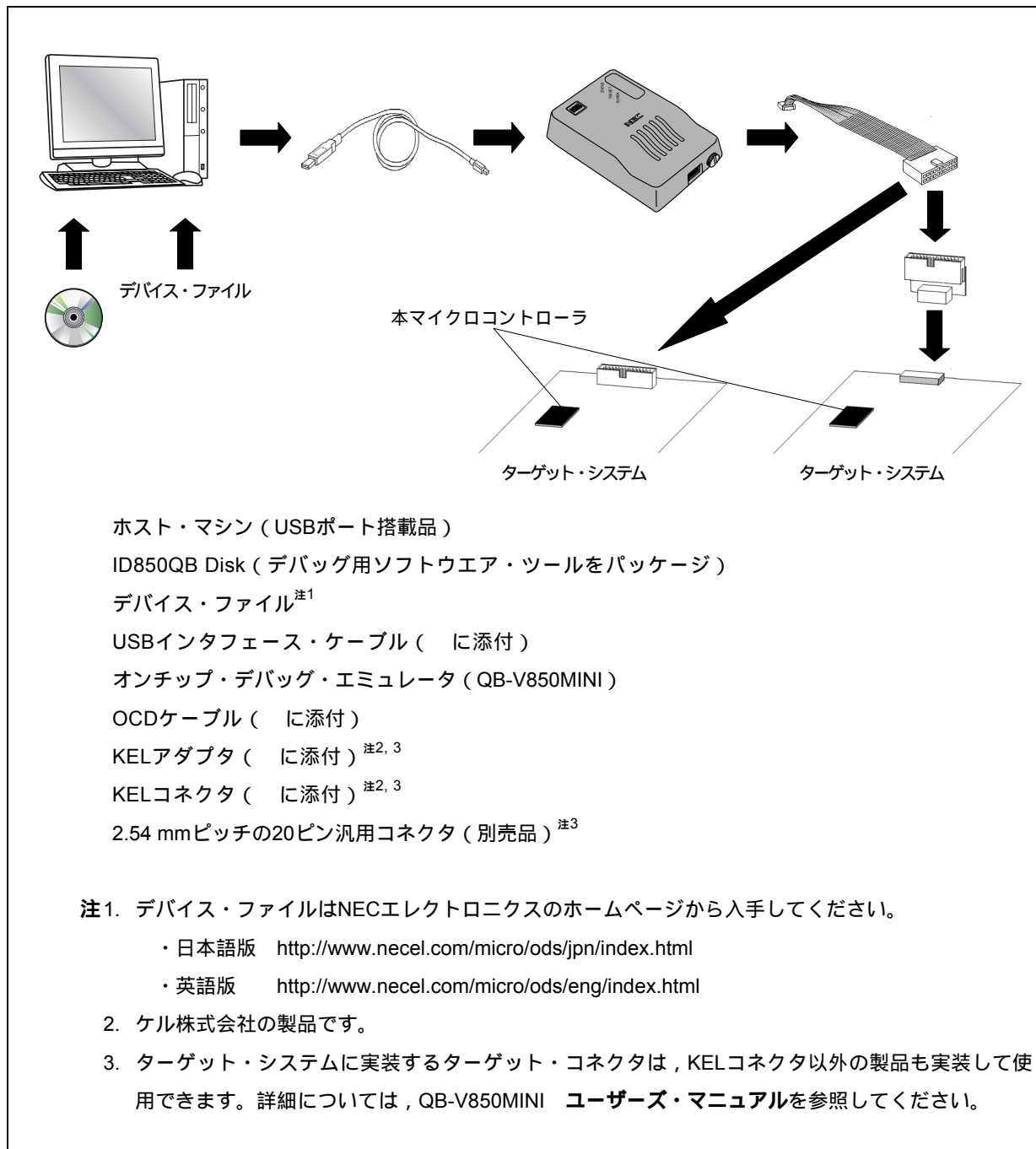
22.4.1 接続回路例



22.4.2 MINICUBE QB-V850MINIを使用する場合

QB-V850MINIとホスト・マシン（PC-9821シリーズ，PC/AT互換機）を接続して使用する場合のシステム構成を次に示します。

図22 - 6 システム構成例（QB-V850MINIを使用する場合）



22.5 オンチップ・デバッグ時の注意事項

- ・デバッグに使用したデバイスを、量産製品に搭載しないでください（デバッグ中にフラッシュ・メモリの書き換えをしており、フラッシュ・メモリの書き換え回数を保障することができないためです）。
- ・RUN中（プログラム実行中）にリセット入力（ターゲット・システムからのリセット入力や内部リセット要因によるリセット）があった場合、ブ레이크機能が誤動作することがあります。
- ・リセットをマスク機能でマスクしていても、端子リセットが入力された際に入出力バッファ（ポート端子等）がリセット状態になります。
- ・ブ레이크中の端子リセットはマスクされ、CPUや周辺I/Oはリセットされません。また、ユーザ・プログラム実行中に、DMMで書き換える瞬間やRAMモニタ機能で読み出す瞬間に、端子リセットや内部リセットが発生した場合、CPUや周辺I/Oが正しくリセットされない場合があります。
- ・POCリセット動作のエミュレーションはできません（POC搭載製品のみ）。
- ・オンチップ・デバッグ・ユニットは、ソフトウェア・ブ레이크・ポイント（DBTRAP, 第5章 割り込みコントローラ（INTC）を参照）に例外ベクタ・アドレス60Hを使用します。そのため、次の例外のいずれかが発生したときはデバッグが制御を引き取ります。

デバッグ・トラップ（DBTRAP）

不正オペコード検出（ILGOP）

デバッグは独自の例外ハンドラを実行します。したがって、アドレス60Hのユーザ例外ハンドラは実行されません。

- ・オンチップ・デバッグを行うときは、OCDMレジスタのOCDM0ビットを1にする必要がありますので、端子リセットを入力する必要があります。
詳細については、22.2（1）オンチップ・デバッグ・モード・レジスタ（OCDM）を参照してください。
- ・オンチップ・デバッグ（OCD）モード下においてbreakコマンドが起動され、さらにアプリケーション・ソフトウェアがUARTA/CSIB/CAN周辺I/Oレジスタにアクセス時、リセットせずに再開するとCSIB, UARTAおよびCANは正常に動作しない可能性があります。

注意 フラッシュ・メモリがデバッグ・セッション中にプログラミングされ、オプション・バイトが変更された場合、新しいオプション・バイトの設定を有効にするためターゲットのリセット・コマンドを発行する必要があります。

付録A 周辺I/Oレジスタとプログラマブル周辺I/Oレジスタ

A.1 プログラマブル周辺I/O領域に割り付けられているレジスタ

CANコントローラを制御するレジスタは、プログラマブル周辺領域に割り付けられています。

表A-1にCANコントローラを制御するレジスタを示します。

表A-1 CANコントローラ制御用レジスタ

アドレス	レジスタ名	略号	操作可能ビット			初期値
			1	8	16	
03FEC000H	CAN0グローバル制御レジスタ	C0GMCTRL	-	-	R/W	0000H
03FEC002H	CAN0グローバル・クロック選択レジスタ	C0GMCS	-	R/W	-	0FH
03FEC006H	CAN0グローバル自動ブロック送信制御レジスタ	C0GMABT	-	-	R/W	0000H
03FEC008H	CAN0グローバル自動ブロック送信遅延設定レジスタ	C0GMABTD	-	R/W	-	00H
03FEC040H	CAN0モジュール・マスク1レジスタ	C0MASK1L	-	-	R/W	不定
03FEC042H		C0MASK1H	-	-	R/W	不定
03FEC044H	CAN0モジュール・マスク2レジスタ	C0MASK2L	-	-	R/W	不定
03FEC046H		C0MASK2H	-	-	R/W	不定
03FEC048H	CAN0モジュール・マスク3レジスタ	C0MASK3L	-	-	R/W	不定
03FEC04AH		C0MASK3H	-	-	R/W	不定
03FEC04CH	CAN0モジュール・マスク4レジスタ	C0MASK4L	-	-	R/W	不定
03FEC04EH		C0MASK4H	-	-	R/W	不定
03FEC050H	CAN0モジュール制御レジスタ	C0CTRL	-	-	R/W	0000H
03FEC052H	CAN0モジュール最終エラー情報レジスタ	C0LEC	-	R/W	-	00H
03FEC053H	CAN0モジュール情報レジスタ	C0INFO	-	R	-	00H
03FEC054H	CAN0モジュール・エラー・カウンタ・レジスタ	C0ERC	-	-	R	0000H
03FEC056H	CAN0モジュール割り込み許可レジスタ	C0IE	-	-	R/W	0000H
03FEC058H	CAN0モジュール割り込みステータス・レジスタ	C0INTS	-	-	R/W	0000H
03FEC05AH	CAN0モジュール・ビット・レート・プリスケラ・レジスタ	C0BRP	-	R/W	-	FFH
03FEC05CH	CAN0モジュール・ビット・レート・レジスタ	C0BTR	-	-	R/W	370FH
03FEC05EH	CAN0モジュール最終受信ポインタ・レジスタ	C0LIPT	-	R	-	不定
03FEC060H	CAN0モジュール受信履歴・リスト・レジスタ	C0RGPT	-	-	R/W	xx02H
03FEC062H	CAN0モジュール最終送信ポインタ・レジスタ	C0LOPT	-	R	-	不定
03FEC064H	CAN0モジュール送信履歴・リスト・レジスタ	C0TGPT	-	-	R/W	xx02H
03FEC066H	CAN0モジュール・タイム・スタンプ・レジスタ	C0TS	-	-	R/W	0000H
03FEC100H- 03FEC4EEH	CAN0メッセージ・バッファ・レジスタ (表17-18参照)					

A.2 周辺I/O領域に割り付けられているレジスタ

表A-2 周辺I/Oレジスタ (1/8)

アドレス	レジスタ名	略号	操作可能ビット			初期値
			1	8	16	
0xFFFFF004	ポートDL	PDL	-	-	R/W	不定
0xFFFFF004	ポートDLL	PDLL	R/W	R/W	-	不定
0xFFFFF005	ポートDLH	PDLH	R/W	R/W	-	不定
0xFFFFF008	ポートCS	PCS	R/W	R/W	-	不定
0xFFFFF00A	ポートCT	PCT	R/W	R/W	-	不定
0xFFFFF00C	ポートCM	PCM	R/W	R/W	-	不定
0xFFFFF024	ポート・モード・レジスタDL	PMDL	-	-	R/W	FFFFH
0xFFFFF024	ポート・モード・レジスタDLL	PMDLL	R/W	R/W	-	FFH
0xFFFFF025	ポート・モード・レジスタDLH	PMDLH	R/W	R/W	-	FFH
0xFFFFF028	ポート・モード・レジスタCS	PMCS	R/W	R/W	-	FFH
0xFFFFF02A	ポート・モード・レジスタCT	PMCT	R/W	R/W	-	FFH
0xFFFFF02C	ポート・モード・レジスタCM	PMCM	R/W	R/W	-	FFH
0xFFFFF04C	ポート・モード・コントロール・レジスタCM	PMCCM	R/W	R/W	-	00H
0xFFFFF064	周辺I/O領域セレクト制御レジスタ	BPC	-	-	R/W	0000H
0xFFFFF06E	システム・ウエイト・コントロール・レジスタ	VSWC	-	R/W	-	77H
0xFFFFF100	割り込みマスク・レジスタ0	IMR0	-	-	R/W	FFFFH
0xFFFFF100	割り込みマスク・レジスタ0L	IMR0L	R/W	R/W	-	FFH
0xFFFFF101	割り込みマスク・レジスタ0H	IMR0H	R/W	R/W	-	FFH
0xFFFFF102	割り込みマスク・レジスタ1	IMR1	-	-	R/W	FFFFH
0xFFFFF102	割り込みマスク・レジスタ1L	IMR1L	R/W	R/W	-	FFH
0xFFFFF103	割り込みマスク・レジスタ1H	IMR1H	R/W	R/W	-	FFH
0xFFFFF104	割り込みマスク・レジスタ2	IMR2	-	-	R/W	FFFFH
0xFFFFF104	割り込みマスク・レジスタ2L	IMR2L	R/W	R/W	-	FFH
0xFFFFF105	割り込みマスク・レジスタ2H	IMR2H	R/W	R/W	-	FFH
0xFFFFF106	割り込みマスク・レジスタ3	IMR3	-	-	R/W	FFFFH
0xFFFFF106	割り込みマスク・レジスタ3L	IMR3L	R/W	R/W	-	FFH
0xFFFFF107	割り込みマスク・レジスタ3H	IMR3H	R/W	R/W	-	FFH
0xFFFFF108	割り込みマスク・レジスタ4	IMR4	-	-	R/W	FFFFH
0xFFFFF108	割り込みマスク・レジスタ4L	IMR4L	R/W	R/W	-	FFH
0xFFFFF110	割り込み制御レジスタ	LVILIC	R/W	R/W	-	47H
0xFFFFF112	割り込み制御レジスタ	LVIHIC	R/W	R/W	-	47H
0xFFFFF114	割り込み制御レジスタ	PIC0	R/W	R/W	-	47H
0xFFFFF116	割り込み制御レジスタ	PIC1	R/W	R/W	-	47H
0xFFFFF118	割り込み制御レジスタ	PIC2	R/W	R/W	-	47H
0xFFFFF11A	割り込み制御レジスタ	PIC3	R/W	R/W	-	47H
0xFFFFF11C	割り込み制御レジスタ	PIC4	R/W	R/W	-	47H
0xFFFFF11E	割り込み制御レジスタ	PIC5	R/W	R/W	-	47H
0xFFFFF120	割り込み制御レジスタ	PIC6	R/W	R/W	-	47H
0xFFFFF122	割り込み制御レジスタ	PIC7	R/W	R/W	-	47H
0xFFFFF12E	割り込み制御レジスタ	TAA0OVIC	R/W	R/W	-	47H

表A - 2 周辺I/Oレジスタ (2/8)

アドレス	レジスタ名	略号	操作可能ビット			初期値
			1	8	16	
0xFFFF130	割り込み制御レジスタ	TAA0CCIC0	R/W	R/W	-	47H
0xFFFF132	割り込み制御レジスタ	TAA0CCIC1	R/W	R/W	-	47H
0xFFFF134	割り込み制御レジスタ	TAA1OVIC	R/W	R/W	-	47H
0xFFFF136	割り込み制御レジスタ	TAA1CCIC0	R/W	R/W	-	47H
0xFFFF138	割り込み制御レジスタ	TAA1CCIC1	R/W	R/W	-	47H
0xFFFF13A	割り込み制御レジスタ	TAA2OVIC	R/W	R/W	-	47H
0xFFFF13C	割り込み制御レジスタ	TAA2CCIC0	R/W	R/W	-	47H
0xFFFF13E	割り込み制御レジスタ	TAA2CCIC1	R/W	R/W	-	47H
0xFFFF140	割り込み制御レジスタ	TAA3OVIC	R/W	R/W	-	47H
0xFFFF142	割り込み制御レジスタ	TAA3CCIC0	R/W	R/W	-	47H
0xFFFF144	割り込み制御レジスタ	TAA3CCIC1	R/W	R/W	-	47H
0xFFFF146	割り込み制御レジスタ	TAA4OVIC	R/W	R/W	-	47H
0xFFFF148	割り込み制御レジスタ	TAA4CCIC0	R/W	R/W	-	47H
0xFFFF14A	割り込み制御レジスタ	TAA4CCIC1	R/W	R/W	-	47H
0xFFFF14C	割り込み制御レジスタ	TM0EQIC0	R/W	R/W	-	47H
0xFFFF14E	割り込み制御レジスタ	CB0RIC	R/W	R/W	-	47H
0xFFFF150	割り込み制御レジスタ	CB0TIC	R/W	R/W	-	47H
0xFFFF152	割り込み制御レジスタ	CB1RIC	R/W	R/W	-	47H
0xFFFF154	割り込み制御レジスタ	CB1TIC	R/W	R/W	-	47H
0xFFFF156	割り込み制御レジスタ	UD0SIC	R/W	R/W	-	47H
0xFFFF158	割り込み制御レジスタ	UD0RIC	R/W	R/W	-	47H
0xFFFF15A	割り込み制御レジスタ	UD0TIC	R/W	R/W	-	47H
0xFFFF15C	割り込み制御レジスタ	UD1SIC	R/W	R/W	-	47H
0xFFFF15E	割り込み制御レジスタ	UD1RIC	R/W	R/W	-	47H
0xFFFF160	割り込み制御レジスタ	UD1TIC	R/W	R/W	-	47H
0xFFFF162	割り込み制御レジスタ	IIC0IC	R/W	R/W	-	47H
0xFFFF164	割り込み制御レジスタ	ADIC	R/W	R/W	-	47H
0xFFFF166	割り込み制御レジスタ	C0ERRIC	R/W	R/W	-	47H
0xFFFF168	割り込み制御レジスタ	C0WUPIC	R/W	R/W	-	47H
0xFFFF16A	割り込み制御レジスタ	C0RECIC	R/W	R/W	-	47H
0xFFFF16C	割り込み制御レジスタ	C0TRXIC	R/W	R/W	-	47H
0xFFFF176	割り込み制御レジスタ	KRIC	R/W	R/W	-	47H
0xFFFF178	割り込み制御レジスタ	WTIIC	R/W	R/W	-	47H
0xFFFF17A	割り込み制御レジスタ	WTIC	R/W	R/W	-	47H
0xFFFF180	割り込み制御レジスタ	PIC8	R/W	R/W	-	47H
0xFFFF182	割り込み制御レジスタ	PIC9	R/W	R/W	-	47H
0xFFFF184	割り込み制御レジスタ	PIC10	R/W	R/W	-	47H
0xFFFF190	割り込み制御レジスタ	UD2SIC	R/W	R/W	-	47H
0xFFFF192	割り込み制御レジスタ	UD2RIC	R/W	R/W	-	47H
0xFFFF194	割り込み制御レジスタ	UD2TIC	R/W	R/W	-	47H
0xFFFF1FA	インサース・プライオリティ・レジスタ	ISPR	R	R	-	00H
0xFFFF1FC	コマンド・レジスタ	PRCMD	-	W	-	不定
0xFFFF1FE	パワー・セーブ・コントロール・レジスタ	PSC	R/W	R/W	-	00H

表A-2 周辺I/Oレジスタ (3/8)

アドレス	レジスタ名	略号	操作可能ビット			初期値
			1	8	16	
0xFFFFF200	A/D0コンバータ・モード・レジスタ0	ADA0M0	R/W	R/W	-	00H
0xFFFFF201	A/D0コンバータ・モード・レジスタ1	ADA0M1	R/W	R/W	-	00H
0xFFFFF202	A/D0コンバータ・チャンネル指定レジスタ0	ADA0S	R/W	R/W	-	00H
0xFFFFF203	A/D0コンバータ・モード・レジスタ2	ADA0M2	R/W	R/W	-	00H
0xFFFFF204	AD0パワー・フェイル比較モード・レジスタ	ADA0PFM	R/W	R/W	-	00H
0xFFFFF205	AD0パワー・フェイル比較しきい値レジスタ	ADA0PFT	R/W	R/W	-	00H
0xFFFFF20C	AV _{REF} A/D0変換診断レジスタ	ADA0CRDD	-	-	R	0000H
0xFFFFF20D	AV _{REF} A/D0変換診断レジスタH	ADA0CRDDH	-	R	-	00H
0xFFFFF20E	AV _{SS} A/D0変換診断レジスタ	ADA0CRSS	-	-	R	FFFFH
0xFFFFF20F	AV _{SS} A/D0変換診断レジスタH	ADA0CRSSH	-	R	-	FFH
0xFFFFF210	A/D0変換結果レジスタ0	ADA0CR0	-	-	R	0000H
0xFFFFF211	A/D0変換結果レジスタ0H	ADA0CR0H	-	R	-	00H
0xFFFFF212	A/D0変換結果レジスタ1	ADA0CR1	-	-	R	0000H
0xFFFFF213	A/D0変換結果レジスタ1H	ADA0CR1H	-	R	-	00H
0xFFFFF214	A/D0変換結果レジスタ2	ADA0CR2	-	-	R	0000H
0xFFFFF215	A/D0変換結果レジスタ2H	ADA0CR2H	-	R	-	00H
0xFFFFF216	A/D0変換結果レジスタ3	ADA0CR3	-	-	R	0000H
0xFFFFF217	A/D0変換結果レジスタ3H	ADA0CR3H	-	R	-	00H
0xFFFFF218	A/D0変換結果レジスタ4	ADA0CR4	-	-	R	0000H
0xFFFFF219	A/D0変換結果レジスタ4H	ADA0CR4H	-	R	-	00H
0xFFFFF21A	A/D0変換結果レジスタ5	ADA0CR5	-	-	R	0000H
0xFFFFF21B	A/D0変換結果レジスタ5H	ADA0CR5H	-	R	-	00H
0xFFFFF21C	A/D0変換結果レジスタ6	ADA0CR6	-	-	R	0000H
0xFFFFF21D	A/D0変換結果レジスタ6H	ADA0CR6H	-	R	-	00H
0xFFFFF21E	A/D0変換結果レジスタ7	ADA0CR7	-	-	R	0000H
0xFFFFF21F	A/D0変換結果レジスタ7H	ADA0CR7H	-	R	-	00H
0xFFFFF220	A/D0変換結果レジスタ8	ADA0CR8	-	-	R	0000H
0xFFFFF221	A/D0変換結果レジスタ8H	ADA0CR8H	-	R	-	00H
0xFFFFF222	A/D0変換結果レジスタ9	ADA0CR9	-	-	R	0000H
0xFFFFF223	A/D0変換結果レジスタ9H	ADA0CR9H	-	R	-	00H
0xFFFFF224	A/D0変換結果レジスタ10	ADA0CR10	-	-	R	0000H
0xFFFFF225	A/D0変換結果レジスタ10H	ADA0CR10H	-	R	-	00H
0xFFFFF226	A/D0変換結果レジスタ11	ADA0CR11	-	-	R	0000H
0xFFFFF227	A/D0変換結果レジスタ11H	ADA0CR11H	-	R	-	00H
0xFFFFF228	A/D0変換結果レジスタ12	ADA0CR12	-	-	R	0000H
0xFFFFF229	A/D0変換結果レジスタ12H	ADA0CR12H	-	R	-	00H
0xFFFFF22A	A/D0変換結果レジスタ13	ADA0CR13	-	-	R	0000H
0xFFFFF22B	A/D0変換結果レジスタ13H	ADA0CR13H	-	R	-	00H
0xFFFFF22C	A/D0変換結果レジスタ14	ADA0CR14	-	-	R	0000H
0xFFFFF22D	A/D0変換結果レジスタ14H	ADA0CR14H	-	R	-	00H
0xFFFFF22E	A/D0変換結果レジスタ15	ADA0CR15	-	-	R	0000H
0xFFFFF22F	A/D0変換結果レジスタ15H	ADA0CR15H	-	R	-	00H
0xFFFFF300	キー・リターン・モード・レジスタ	KRM	R/W	R/W	-	00H

表A-2 周辺I/Oレジスタ(4/8)

アドレス	レジスタ名	略号	操作可能ビット			初期値
			1	8	16	
0xFFFFF308	セレクタ動作制御レジスタ0	SELCNT0	R/W	R/W	-	00H
0xFFFFF30C	セレクタ動作制御レジスタ2	SELCNT2	R/W	R/W	-	00H
0xFFFFF30E	セレクタ動作制御レジスタ3	SELCNT3	R/W	R/W	-	00H
0xFFFFF318	デジタル・ノイズ・フィルタ制御レジスタ	NFC	R/W	R/W	-	00H
0xFFFFF340	IIC分周クロック選択レジスタ0	OCKS0	-	R/W	-	00H
0xFFFFF400	ポート0	P0	R/W	R/W	-	不定
0xFFFFF402	ポート1	P1	R/W	R/W	-	不定
0xFFFFF406	ポート3	P3	-	-	R/W	不定
0xFFFFF406	ポート3L	P3L	R/W	R/W	-	不定
0xFFFFF407	ポート3H	P3H	R/W	R/W	-	不定
0xFFFFF408	ポート4	P4	R/W	R/W	-	不定
0xFFFFF40A	ポート5	P5	R/W	R/W	-	不定
0xFFFFF40E	ポート7L	P7L	R/W	R/W	-	不定
0xFFFFF40F	ポート7H	P7H	R/W	R/W	-	不定
0xFFFFF412	ポート9	P9	-	-	R/W	不定
0xFFFFF412	ポート9L	P9L	R/W	R/W	-	不定
0xFFFFF413	ポート9H	P9H	R/W	R/W	-	不定
0xFFFFF420	ポート・モード・レジスタ0	PM0	R/W	R/W	-	FFH
0xFFFFF422	ポート・モード・レジスタ1	PM1	R/W	R/W	-	FFH
0xFFFFF426	ポート・モード・レジスタ3	PM3	-	-	R/W	FFFFH
0xFFFFF426	ポート・モード・レジスタ3L	PM3L	R/W	R/W	-	FFH
0xFFFFF427	ポート・モード・レジスタ3H	PM3H	R/W	R/W	-	FFH
0xFFFFF428	ポート・モード・レジスタ4	PM4	R/W	R/W	-	FFH
0xFFFFF42A	ポート・モード・レジスタ5	PM5	R/W	R/W	-	FFH
0xFFFFF42E	ポート・モード・レジスタ7L	PM7L	R/W	R/W	-	FFH
0xFFFFF42F	ポート・モード・レジスタ7H	PM7H	R/W	R/W	-	FFH
0xFFFFF432	ポート・モード・レジスタ9	PM9	-	-	R/W	FFFFH
0xFFFFF432	ポート・モード・レジスタ9L	PM9L	R/W	R/W	-	FFH
0xFFFFF433	ポート・モード・レジスタ9H	PM9H	R/W	R/W	-	FFH
0xFFFFF440	ポート・モード・コントロール・レジスタ0	PMC0	R/W	R/W	-	00H
0xFFFFF442	ポート・モード・コントロール・レジスタ1	PMC1	R/W	R/W	-	00H
0xFFFFF446	ポート・モード・コントロール・レジスタ3	PMC3	-	-	R/W	0000H
0xFFFFF446	ポート・モード・コントロール・レジスタ3L	PMC3L	R/W	R/W	-	00H
0xFFFFF447	ポート・モード・コントロール・レジスタ3H	PMC3H	R/W	R/W	-	00H
0xFFFFF448	ポート・モード・コントロール・レジスタ4	PMC4	R/W	R/W	-	00H
0xFFFFF44A	ポート・モード・コントロール・レジスタ5	PMC5	R/W	R/W	-	00H
0xFFFFF44E	ポート・モード・コントロール・レジスタ7L	PMC7L	R/W	R/W	-	00H
0xFFFFF44F	ポート・モード・コントロール・レジスタ7H	PMC7H	R/W	R/W	-	00H
0xFFFFF452	ポート・モード・コントロール・レジスタ9	PMC9	-	-	R/W	0000H
0xFFFFF452	ポート・モード・コントロール・レジスタ9L	PMC9L	R/W	R/W	-	00H
0xFFFFF453	ポート・モード・コントロール・レジスタ9H	PMC9H	R/W	R/W	-	00H
0xFFFFF460	ポート・ファンクション・コントロール・レジスタ0	PFC0	R/W	R/W	-	00H
0xFFFFF466	ポート・ファンクション・コントロール・レジスタ3L	PFC3L	R/W	R/W	-	00H

表A - 2 周辺I/Oレジスタ (5/8)

アドレス	レジスタ名	略号	操作可能ビット			初期値
			1	8	16	
0xFFFFF468	ポート・ファンクション・コントロール・レジスタ4	PFC4	R/W	R/W	-	00H
0xFFFFF472	ポート・ファンクション・コントロール・レジスタ9	PFC9	-	-	R/W	0000H
0xFFFFF472	ポート・ファンクション・コントロール・レジスタ9L	PFC9L	R/W	R/W	-	00H
0xFFFFF473	ポート・ファンクション・コントロール・レジスタ9H	PFC9H	R/W	R/W	-	00H
0xFFFFF590	TAA0制御レジスタ0	TAA0CTL0	R/W	R/W	-	00H
0xFFFFF591	TAA0制御レジスタ1	TAA0CTL1	R/W	R/W	-	00H
0xFFFFF592	TAA0 I/O制御レジスタ0	TAA0IOC0	R/W	R/W	-	00H
0xFFFFF593	TAA0 I/O制御レジスタ1	TAA0IOC1	R/W	R/W	-	00H
0xFFFFF594	TAA0 I/O制御レジスタ2	TAA0IOC2	R/W	R/W	-	00H
0xFFFFF595	TAA0オプション・レジスタ0	TAA0OPT0	R/W	R/W	-	00H
0xFFFFF596	TAA0キャプチャ/コンペア・レジスタ0	TAA0CCR0	-	-	R/W	0000H
0xFFFFF598	TAA0キャプチャ/コンペア・レジスタ1	TAA0CCR1	-	-	R/W	0000H
0xFFFFF59A	TAA0カウンタ・リード・バッファ・レジスタ	TAA0CNT	-	-	R	0000H
0xFFFFF59C	TAA0 I/O制御レジスタ4	TAA0IOC4	R/W	R/W	-	00H
0xFFFFF5A0	TAA1制御レジスタ0	TAA1CTL0	R/W	R/W	-	00H
0xFFFFF5A1	TAA1制御レジスタ1	TAA1CTL1	R/W	R/W	-	00H
0xFFFFF5A2	TAA1 I/O制御レジスタ0	TAA1IOC0	R/W	R/W	-	00H
0xFFFFF5A3	TAA1 I/O制御レジスタ1	TAA1IOC1	R/W	R/W	-	00H
0xFFFFF5A4	TAA1 I/O制御レジスタ2	TAA1IOC2	R/W	R/W	-	00H
0xFFFFF5A5	TAA1オプション・レジスタ0	TAA1OPT0	R/W	R/W	-	00H
0xFFFFF5A6	TAA1キャプチャ/コンペア・レジスタ0	TAA1CCR0	-	-	R/W	0000H
0xFFFFF5A8	TAA1キャプチャ/コンペア・レジスタ1	TAA1CCR1	-	-	R/W	0000H
0xFFFFF5AA	TAA1カウンタ・リード・バッファ・レジスタ	TAA1CNT	-	-	R	0000H
0xFFFFF5AC	TAA1 I/O制御レジスタ4	TAA1IOC4	R/W	R/W	-	00H
0xFFFFF5AD	TAA1オプション・レジスタ1	TAA1OPT1	R/W	R/W	-	00H
0xFFFFF5B0	TAA2制御レジスタ0	TAA2CTL0	R/W	R/W	-	00H
0xFFFFF5B1	TAA2制御レジスタ1	TAA2CTL1	R/W	R/W	-	00H
0xFFFFF5B2	TAA2 I/O制御レジスタ0	TAA2IOC0	R/W	R/W	-	00H
0xFFFFF5B3	TAA2 I/O制御レジスタ1	TAA2IOC1	R/W	R/W	-	00H
0xFFFFF5B4	TAA2 I/O制御レジスタ2	TAA2IOC2	R/W	R/W	-	00H
0xFFFFF5B5	TAA2オプション・レジスタ0	TAA2OPT0	R/W	R/W	-	00H
0xFFFFF5B6	TAA2キャプチャ/コンペア・レジスタ0	TAA2CCR0	-	-	R/W	0000H
0xFFFFF5B8	TAA2キャプチャ/コンペア・レジスタ1	TAA2CCR1	-	-	R/W	0000H
0xFFFFF5BA	TAA2カウンタ・リード・バッファ・レジスタ	TAA2CNT	-	-	R	0000H
0xFFFFF5BC	TAA2 I/O制御レジスタ4	TAA2IOC4	R/W	R/W	-	00H
0xFFFFF5C0	TAA3制御レジスタ0	TAA3CTL0	R/W	R/W	-	00H
0xFFFFF5C1	TAA3制御レジスタ1	TAA3CTL1	R/W	R/W	-	00H
0xFFFFF5C2	TAA3 I/O制御レジスタ0	TAA3IOC0	R/W	R/W	-	00H
0xFFFFF5C3	TAA3 I/O制御レジスタ1	TAA3IOC1	R/W	R/W	-	00H
0xFFFFF5C4	TAA3 I/O制御レジスタ2	TAA3IOC2	R/W	R/W	-	00H
0xFFFFF5C5	TAA3オプション・レジスタ0	TAA3OPT0	R/W	R/W	-	00H
0xFFFFF5C6	TAA3キャプチャ/コンペア・レジスタ0	TAA3CCR0	-	-	R/W	0000H
0xFFFFF5C8	TAA3キャプチャ/コンペア・レジスタ1	TAA3CCR1	-	-	R/W	0000H

表A - 2 周辺I/Oレジスタ (6/8)

アドレス	レジスタ名	略号	操作可能ビット			初期値
			1	8	16	
0xFFFFF5CA	TAA3カウンタ・リード・バッファ・レジスタ	TAA3CNT	-	-	R	0000H
0xFFFFF5CC	TAA3 I/O制御レジスタ4	TAA3IOC4	R/W	R/W	-	00H
0xFFFFF5CD	TAA3オプション・レジスタ1	TAA3OPT1	R/W	R/W	-	00H
0xFFFFF5D0	TAA4制御レジスタ0	TAA4CTL0	R/W	R/W	-	00H
0xFFFFF5D1	TAA4制御レジスタ1	TAA4CTL1	R/W	R/W	-	00H
0xFFFFF5D2	TAA4 I/O制御レジスタ0	TAA4IOC0	R/W	R/W	-	00H
0xFFFFF5D3	TAA4 I/O制御レジスタ1	TAA4IOC1	R/W	R/W	-	00H
0xFFFFF5D4	TAA4 I/O制御レジスタ2	TAA4IOC2	R/W	R/W	-	00H
0xFFFFF5D5	TAA4オプション・レジスタ0	TAA4OPT0	R/W	R/W	-	00H
0xFFFFF5D6	TAA4キャプチャ/コンペア・レジスタ0	TAA4CCR0	-	-	R/W	0000H
0xFFFFF5D8	TAA4キャプチャ/コンペア・レジスタ1	TAA4CCR1	-	-	R/W	0000H
0xFFFFF5DA	TAA4カウンタ・リード・バッファ・レジスタ	TAA4CNT	-	-	R	0000H
0xFFFFF5DC	TAA4 I/O制御レジスタ4	TAA4IOC4	R/W	R/W	-	00H
0xFFFFF680	時計タイマ動作モード・レジスタ	WTM	R/W	R/W	-	00H
0xFFFFF690	TMM0制御レジスタ0	TM0CTL0	R/W	R/W	-	00H
0xFFFFF694	TMM0コンペア・レジスタ0	TM0CMP0	-	-	R/W	0000H
0xFFFFF6C0	発振安定時間選択レジスタ	OSTS	-	R/W	-	06H
0xFFFFF6C1	PLLロックアップ時間指定レジスタ	PLLS	-	R/W	-	03H
0xFFFFF6C2	発振安定時間カウント・ステータス・レジスタ	OSTC	R	R	-	00H
0xFFFFF6D0	ウォッチドッグ・タイマ・モード・レジスタ2	WDTM2	-	R/W	-	67H
0xFFFFF6D1	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	-	R/W	-	9AH
0xFFFFF700	ポート・ファンクション・コントロール拡張レジスタ0	PFCE0	R/W	R/W	-	00H
0xFFFFF706	ポート・ファンクション・コントロール拡張レジスタ3L	PFCE3L	R/W	R/W	-	00H
0xFFFFF712	ポート・ファンクション・コントロール拡張レジスタ9	PFCE9	-	-	R/W	0000H
0xFFFFF712	ポート・ファンクション・コントロール拡張レジスタ9L	PFCE9L	R/W	R/W	-	00H
0xFFFFF713	ポート・ファンクション・コントロール拡張レジスタ9H	PFCE9H	R/W	R/W	-	00H
0xFFFFF802	システム・レジスタ	SYS	R/W	R/W	-	00H
0xFFFFF80C	内蔵発振モード・レジスタ	RCM	R/W	R/W	-	80H
0xFFFFF820	パワー・セーブ・モード・コントロール・レジスタ	PSMR	R/W	R/W	-	00H
0xFFFFF824	ロック・レジスタ	LOCKR	R	R	-	01H
0xFFFFF828	プロセッサ・クロック・コントロール・レジスタ	PCC	R/W	R/W	-	40H
0xFFFFF82C	PLLコントロール・レジスタ	PLLCTL	R/W	R/W	-	00H
0xFFFFF82E	CPU動作クロック・ステータス・レジスタ	CCLS	R	R	-	00H
0xFFFFF82F	プログラマブル・クロック・モード・レジスタ	PCLM	R/W	R/W	-	00H
0xFFFFF860	メイン・システム・クロック・モード・レジスタ	MCM	R/W	R/W	-	00H
0xFFFFF870	メイン・クロック発振回路クロック・モニタ・モード・レジスタ	CLM	R/W	R/W	-	00H
0xFFFFF888	リセット要因フラグ・レジスタ	RESF	R/W	R/W	-	00H
0xFFFFF890	低電圧検出レジスタ	LVIM	R/W	R/W	-	00H
0xFFFFF891	低電圧検出レベル選択レジスタ	LVIS	-	R/W	-	00H
0xFFFFF892	内蔵RAMデータ・ステータス・レジスタ	RAMS	R/W	R/W	-	01H
0xFFFFF8B0	プリスケラ・モード・レジスタ	PRSM0	-	R/W	-	00H
0xFFFFF8B1	プリスケラ・コンペア・レジスタ	PRSCM0	-	R/W	-	00H

表A - 2 周辺I/Oレジスタ (7/8)

アドレス	レジスタ名	略号	操作可能ビット			初期値
			1	8	16	
0xFFFFF9FC	オンチップ・デバッグ・モード・レジスタ	OCDM	R/W	R/W	-	0xH
0xFFFFF9FE	周辺エミュレーション・レジスタ1	PEMU1	R/W	R/W	-	00H/0xH
0xFFFFFA00	UARTD0制御レジスタ0	UD0CTL0	R/W	R/W	-	10H
0xFFFFFA01	UARTD0制御レジスタ1	UD0CTL1	-	R/W	-	00H
0xFFFFFA02	UARTD0制御レジスタ2	UD0CTL2	-	R/W	-	FFH
0xFFFFFA03	UARTD0オプション制御レジスタ0	UD0OPT0	R/W	R/W	-	14H
0xFFFFFA04	UARTD0状態レジスタ	UD0STR	R/W	R/W	-	00H
0xFFFFFA05	UARTD0オプション制御レジスタ1	UD0OPT1	-	R/W	-	00H
0xFFFFFA06	UARTD0受信データ・レジスタ	UD0RX	-	R	-	FFH
0xFFFFFA07	UARTD0送信データ・レジスタ	UD0TX	-	R/W	-	FFH
0xFFFFFA10	UARTD1制御レジスタ0	UD1CTL0	R/W	R/W	-	10H
0xFFFFFA11	UARTD1制御レジスタ1	UD1CTL1	-	R/W	-	00H
0xFFFFFA12	UARTD1制御レジスタ2	UD1CTL2	-	R/W	-	FFH
0xFFFFFA13	UARTD1オプション制御レジスタ0	UD1OPT0	R/W	R/W	-	14H
0xFFFFFA14	UARTD1状態レジスタ	UD1STR	R/W	R/W	-	00H
0xFFFFFA15	UARTD1オプション制御レジスタ1	UD1OPT1	-	R/W	-	00H
0xFFFFFA16	UARTD1受信データ・レジスタ	UD1RX	-	R	-	FFH
0xFFFFFA17	UARTD1送信データ・レジスタ	UD1TX	-	R/W	-	FFH
0xFFFFFA20	UARTD2制御レジスタ0	UD2CTL0	R/W	R/W	-	10H
0xFFFFFA21	UARTD2制御レジスタ1	UD2CTL1	-	R/W	-	00H
0xFFFFFA22	UARTD2制御レジスタ2	UD2CTL2	-	R/W	-	FFH
0xFFFFFA23	UARTD2オプション制御レジスタ0	UD2OPT0	R/W	R/W	-	14H
0xFFFFFA24	UARTD2状態レジスタ	UD2STR	R/W	R/W	-	00H
0xFFFFFA25	UARTD2オプション制御レジスタ1	UD2OPT1	-	R/W	-	00H
0xFFFFFA26	UARTD2受信データ・レジスタ	UD2RX	-	R	-	FFH
0xFFFFFA27	UARTD2送信データ・レジスタ	UD2TX	-	R/W	-	FFH
0xFFFFFC00	外部割り込み立ち下がりエッジ指定レジスタ0	INTF0	R/W	R/W	-	00H
0xFFFFFC02	外部割り込み立ち下がりエッジ指定レジスタ1	INTF1	R/W	R/W	-	00H
0xFFFFFC06	外部割り込み立ち下がりエッジ指定レジスタ3	INTF3	-	-	R/W	0000H
0xFFFFFC06	外部割り込み立ち下がりエッジ指定レジスタ3L	INTF3L	R/W	R/W	-	00H
0xFFFFFC07	外部割り込み立ち下がりエッジ指定レジスタ3H	INTF3H	R/W	R/W	-	00H
0xFFFFFC13	外部割り込み立ち下がりエッジ指定レジスタ9H	INTF9H	R/W	R/W	-	00H
0xFFFFFC20	外部割り込み立ち上がりエッジ指定レジスタ0	INTR0	R/W	R/W	-	00H
0xFFFFFC22	外部割り込み立ち上がりエッジ指定レジスタ1	INTR1	R/W	R/W	-	00H
0xFFFFFC26	外部割り込み立ち上がりエッジ指定レジスタ3	INTR3	-	-	R/W	0000H
0xFFFFFC26	外部割り込み立ち上がりエッジ指定レジスタ3L	INTR3L	R/W	R/W	-	00H
0xFFFFFC27	外部割り込み立ち上がりエッジ指定レジスタ3H	INTR3H	R/W	R/W	-	00H
0xFFFFFC33	外部割り込み立ち上がりエッジ指定レジスタ9H	INTR9H	R/W	R/W	-	00H
0xFFFFFC40	プルアップ抵抗オプション・レジスタ0	PU0	R/W	R/W	-	00H
0xFFFFFC42	プルアップ抵抗オプション・レジスタ1	PU1	R/W	R/W	-	00H
0xFFFFFC46	プルアップ抵抗オプション・レジスタ3	PU3	-	-	R/W	0000H
0xFFFFFC46	プルアップ抵抗オプション・レジスタ3L	PU3L	-	R/W	-	00H
0xFFFFFC47	プルアップ抵抗オプション・レジスタ3H	PU3H	R/W	R/W	-	00H

表A - 2 周辺I/Oレジスタ (8/8)

アドレス	レジスタ名	略号	操作可能ビット			初期値
			1	8	16	
0xFFFFFC48	プルアップ抵抗オプション・レジスタ4	PU4	R/W	R/W	-	00H
0xFFFFFC4A	プルアップ抵抗オプション・レジスタ5	PU5	R/W	R/W	-	00H
0xFFFFC52	プルアップ抵抗オプション・レジスタ9	PU9	-	-	R/W	0000H
0xFFFFC52	プルアップ抵抗オプション・レジスタ9L	PU9L	R/W	R/W	-	00H
0xFFFFC53	プルアップ抵抗オプション・レジスタ9H	PU9H	R/W	R/W	-	00H
0xFFFFC73	ポート・ファンクション・レジスタ9H	PF9H	R/W	R/W	-	00H
0xFFFFD00	CSIB0制御レジスタ0	CB0CTL0	R/W	R/W	-	01H
0xFFFFD01	CSIB0制御レジスタ1	CB0CTL1	R/W	R/W	-	00H
0xFFFFD02	CSIB0制御レジスタ2	CB0CTL2	-	R/W	-	00H
0xFFFFD03	CSIB0状態レジスタ	CB0STR	R/W	R/W	-	00H
0xFFFFD04	CSIB0受信データ・レジスタ	CB0RX	-	-	R	0000H
0xFFFFD04	CSIB0受信データ・レジスタL	CB0RXL	-	R	-	00H
0xFFFFD06	CSIB0送信データ・レジスタ	CB0TX	-	-	R/W	0000H
0xFFFFD06	CSIB0送信データ・レジスタL	CB0TXL	-	R/W	-	00H
0xFFFFD10	CSIB1制御レジスタ0	CB1CTL0	R/W	R/W	-	01H
0xFFFFD11	CSIB1制御レジスタ1	CB1CTL1	R/W	R/W	-	00H
0xFFFFD12	CSIB1制御レジスタ2	CB1CTL2	-	R/W	-	00H
0xFFFFD13	CSIB1状態レジスタ	CB1STR	R/W	R/W	-	00H
0xFFFFD14	CSIB1受信データ・レジスタ	CB1RX	-	-	R	0000H
0xFFFFD14	CSIB1受信データ・レジスタL	CB1RXL	-	R	-	00H
0xFFFFD16	CSIB1送信データ・レジスタ	CB1TX	-	-	R/W	0000H
0xFFFFD16	CSIB1送信データ・レジスタL	CB1TXL	-	R/W	-	00H
0xFFFFD80	IICシフト・レジスタ0	IIC0	-	R/W	-	00H
0xFFFFD82	IICコントロール・レジスタ0	IICC0	R/W	R/W	-	00H
0xFFFFD83	スレーブ・アドレス・レジスタ0	SVA0	-	R/W	-	00H
0xFFFFD84	IICクロック選択レジスタ0	IICCL0	R/W	R/W	-	00H
0xFFFFD85	IIC機能拡張レジスタ0	IICX0	R/W	R/W	-	00H
0xFFFFD86	IIC状態レジスタ0	IICCS0	R	R	-	00H
0xFFFFD8A	IICフラグ・レジスタ0	IICF0	R/W	R/W	-	00H

付録B レジスタ索引

(1/9)

略号	レジスタ名	ユニット	ページ
ADA0CR0	A/D0変換結果レジスタ0	ADC	689
ADA0CR0H	A/D0変換結果レジスタ0H	ADC	689
ADA0CR1	A/D0変換結果レジスタ1	ADC	689
ADA0CR1H	A/D0変換結果レジスタ1H	ADC	689
ADA0CR2	A/D0変換結果レジスタ2	ADC	689
ADA0CR2H	A/D0変換結果レジスタ2H	ADC	689
ADA0CR3	A/D0変換結果レジスタ3	ADC	689
ADA0CR3H	A/D0変換結果レジスタ3H	ADC	689
ADA0CR4	A/D0変換結果レジスタ4	ADC	689
ADA0CR4H	A/D0変換結果レジスタ4H	ADC	689
ADA0CR5	A/D0変換結果レジスタ5	ADC	689
ADA0CR5H	A/D0変換結果レジスタ5H	ADC	689
ADA0CR6	A/D0変換結果レジスタ6	ADC	689
ADA0CR6H	A/D0変換結果レジスタ6H	ADC	689
ADA0CR7	A/D0変換結果レジスタ7	ADC	689
ADA0CR7H	A/D0変換結果レジスタ7H	ADC	689
ADA0CR8	A/D0変換結果レジスタ8	ADC	689
ADA0CR8H	A/D0変換結果レジスタ8H	ADC	689
ADA0CR9	A/D0変換結果レジスタ9	ADC	689
ADA0CR9H	A/D0変換結果レジスタ9H	ADC	689
ADA0CR10	A/D0変換結果レジスタ10	ADC	689
ADA0CR10H	A/D0変換結果レジスタ10H	ADC	689
ADA0CR11	A/D0変換結果レジスタ11	ADC	689
ADA0CR11H	A/D0変換結果レジスタ11H	ADC	689
ADA0CR12	A/D0変換結果レジスタ12	ADC	689
ADA0CR12H	A/D0変換結果レジスタ12H	ADC	689
ADA0CR13	A/D0変換結果レジスタ13	ADC	689
ADA0CR13H	A/D0変換結果レジスタ13H	ADC	689
ADA0CR14	A/D0変換結果レジスタ14	ADC	689
ADA0CR14H	A/D0変換結果レジスタ14H	ADC	689
ADA0CR15	A/D0変換結果レジスタ15	ADC	689
ADA0CR15H	A/D0変換結果レジスタ15H	ADC	689
ADA0CRDD	AV _{REF} A/D0変換診断レジスタ	ADC	692
ADA0CRDDH	AV _{REF} A/D0変換診断レジスタH	ADC	692
ADA0CRSS	AV _{SS} A/D0変換診断レジスタ	ADC	692
ADA0CRSSH	AV _{SS} A/D0変換診断レジスタH	ADC	692
ADA0M0	A/D0コンバータ・モード・レジスタ0	ADC	684
ADA0M1	A/D0コンバータ・モード・レジスタ1	ADC	686
ADA0M2	A/D0コンバータ・モード・レジスタ2	ADC	687

略号	レジスタ名	ユニット	ページ
ADA0PFM	AD0パワー・フェイル比較モード・レジスタ	ADC	693
ADA0PFT	AD0パワー・フェイル比較しきい値レジスタ	ADC	693
ADA0S	A/D0コンバータ・チャンネル指定レジスタ0	ADC	688
ADIC	割り込み制御レジスタ	INTC	219
BPC	周辺I/O領域セレクト制御レジスタ	CPU	133
C0BRP	CAN0モジュール・ビット・レート・プリスケラ・レジスタ	CAN	595
C0BTR	CAN0モジュール・ビット・レート・レジスタ	CAN	596
C0CTRL	CAN0モジュール制御レジスタ	CAN	585
C0ERC	CAN0モジュール・エラー・カウンタ・レジスタ	CAN	591
C0ERRIC	割り込み制御レジスタ	INTC	219
C0GMABT	CAN0グローバル自動ブロック送信制御レジスタ	CAN	580
C0GMABTD	CAN0グローバル自動ブロック送信遅延設定レジスタ	CAN	582
C0GMCS	CAN0グローバル・クロック選択レジスタ	CAN	579
C0GMCTRL	CAN0グローバル制御レジスタ	CAN	577
C0IE	CAN0モジュール割り込み許可レジスタ	CAN	592
C0INFO	CAN0モジュール情報レジスタ	CAN	590
C0INTS	CAN0モジュール割り込みステータス・レジスタ	CAN	594
C0LEC	CAN0モジュール最終エラー情報レジスタ	CAN	589
C0LIPT	CAN0モジュール最終受信ポインタ・レジスタ	CAN	598
C0LOPT	CAN0モジュール最終送信ポインタ・レジスタ	CAN	600
C0MASK1H	CAN0モジュール・マスク1レジスタH	CAN	583
C0MASK1L	CAN0モジュール・マスク1レジスタL	CAN	583
C0MASK2H	CAN0モジュール・マスク2レジスタH	CAN	583
C0MASK2L	CAN0モジュール・マスク2レジスタL	CAN	583
C0MASK3H	CAN0モジュール・マスク3レジスタH	CAN	583
C0MASK3L	CAN0モジュール・マスク3レジスタL	CAN	583
C0MASK4H	CAN0モジュール・マスク4レジスタH	CAN	583
C0MASK4L	CAN0モジュール・マスク4レジスタL	CAN	583
C0MCONF _n	CAN0メッセージ・コンフィギュレーション・レジスタ _n	CAN	607
C0MCTRL _n	CAN0メッセージ制御レジスタ _n	CAN	609
C0MDATA01 _n	CAN0メッセージ・データ・バイト01レジスタ _n	CAN	604
C0MDATA0 _n	CAN0メッセージ・データ・バイト0レジスタ _n	CAN	604
C0MDATA1 _n	CAN0メッセージ・データ・バイト1レジスタ _n	CAN	604
C0MDATA23 _n	CAN0メッセージ・データ・バイト23レジスタ _n	CAN	604
C0MDATA2 _n	CAN0メッセージ・データ・バイト2レジスタ _n	CAN	604
C0MDATA3 _n	CAN0メッセージ・データ・バイト3レジスタ _n	CAN	604
C0MDATA45 _n	CAN0メッセージ・データ・バイト45レジスタ _n	CAN	604
C0MDATA4 _n	CAN0メッセージ・データ・バイト4レジスタ _n	CAN	604
C0MDATA5 _n	CAN0メッセージ・データ・バイト5レジスタ _n	CAN	604
C0MDATA67 _n	CAN0メッセージ・データ・バイト67レジスタ _n	CAN	604
C0MDATA6 _n	CAN0メッセージ・データ・バイト6レジスタ _n	CAN	604
C0MDATA7 _n	CAN0メッセージ・データ・バイト7レジスタ _n	CAN	604
C0MDLC _n	CAN0メッセージ・データ長レジスタ _n	CAN	606
C0MIDH _n	CAN0メッセージIDレジスタ _n H	CAN	608

略号	レジスタ名	ユニット	ページ
C0MIDLn	CAN0メッセージIDレジスタnL	CAN	608
C0RECIC	割り込み制御レジスタ	INTC	219
C0RGPT	CAN0モジュール受信履歴・リスト・レジスタ	CAN	599
C0TGPT	CAN0モジュール送信履歴・リスト・レジスタ	CAN	601
C0TRXIC	割り込み制御レジスタ	INTC	219
C0TS	CAN0モジュール・タイム・スタンプ・レジスタ	CAN	602
C0WUPIC	割り込み制御レジスタ	INTC	219
CB0CTL0	CSIB0制御レジスタ0	CSI	427
CB0CTL1	CSIB0制御レジスタ1	CSI	430
CB0CTL2	CSIB0制御レジスタ2	CSI	431
CB0RIC	割り込み制御レジスタ	INTC	219
CB0RX	CSIB0受信データ・レジスタ	CSI	426
CB0RXL	CSIB0受信データ・レジスタL	CSI	426
CB0STR	CSIB0状態レジスタ	CSI	433
CB0TIC	割り込み制御レジスタ	INTC	219
CB0TX	CSIB0送信データ・レジスタ	CSI	426
CB0TXL	CSIB0送信データ・レジスタL	CSI	426
CB1CTL0	CSIB1制御レジスタ0	CSI	427
CB1CTL1	CSIB1制御レジスタ1	CSI	430
CB1CTL2	CSIB1制御レジスタ2	CSI	431
CB1RIC	割り込み制御レジスタ	INTC	219
CB1RX	CSIB1受信データ・レジスタ	CSI	426
CB1RXL	CSIB1受信データ・レジスタL	CSI	426
CB1STR	CSIB1状態レジスタ	CSI	433
CB1TIC	割り込み制御レジスタ	INTC	219
CB1TX	CSIB1送信データ・レジスタ	CSI	426
CB1TXL	CSIB1送信データ・レジスタL	CSI	426
CCLS	CPU動作クロック・ステータス・レジスタ	CG	154
CLM	メイン・クロック発振回路クロック・モニタ・モード・レジスタ	CLM	171
IIC0	IICシフト・レジスタ0	I ² C	481
IIC0IC	割り込み制御レジスタ	INTC	219
IICC0	IICコントロール・レジスタ0	I ² C	465
IICCL0	IICクロック選択レジスタ0	I ² C	475
IICCS0	IIC状態レジスタ0	I ² C	470
IICF0	IICフラグ・レジスタ0	I ² C	473
IICX0	IIC機能拡張レジスタ0	I ² C	476
IMR0	割り込みマスク・レジスタ0	INTC	224
IMR0H	割り込みマスク・レジスタ0H	INTC	224
IMR0L	割り込みマスク・レジスタ0L	INTC	224
IMR1	割り込みマスク・レジスタ1	INTC	224
IMR1H	割り込みマスク・レジスタ1H	INTC	224
IMR1L	割り込みマスク・レジスタ1L	INTC	224
IMR2	割り込みマスク・レジスタ2	INTC	224
IMR2H	割り込みマスク・レジスタ2H	INTC	224

略号	レジスタ名	ユニット	ページ
IMR2L	割り込みマスク・レジスタ2L	INTC	224
IMR3	割り込みマスク・レジスタ3	INTC	224
IMR3H	割り込みマスク・レジスタ3H	INTC	224
IMR3L	割り込みマスク・レジスタ3L	INTC	224
IMR4	割り込みマスク・レジスタ4	INTC	224
IMR4H	割り込みマスク・レジスタ4H	INTC	224
IMR4L	割り込みマスク・レジスタ4L	INTC	224
INTF0	外部割り込み立ち下がりエッジ指定レジスタ0	INTC	228
INTF1	外部割り込み立ち下がりエッジ指定レジスタ1	INTC	228
INTF3	外部割り込み立ち下がりエッジ指定レジスタ3	INTC	228
INTF3H	外部割り込み立ち下がりエッジ指定レジスタ3H	INTC	228
INTF3L	外部割り込み立ち下がりエッジ指定レジスタ3L	INTC	228
INTF9H	外部割り込み立ち下がりエッジ指定レジスタ9H	INTC	228
INTR0	外部割り込み立ち上がりエッジ指定レジスタ0	INTC	228
INTR1	外部割り込み立ち上がりエッジ指定レジスタ1	INTC	228
INTR3	外部割り込み立ち上がりエッジ指定レジスタ3	INTC	228
INTR3H	外部割り込み立ち上がりエッジ指定レジスタ3H	INTC	228
INTR3L	外部割り込み立ち上がりエッジ指定レジスタ3L	INTC	228
INTR9H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTC	228
ISPR	インサースビス・プライオリティ・レジスタ	INTC	226
KRIC	割り込み制御レジスタ	INTC	219
KRM	キー・リターン・モード・レジスタ	KR	242
LOCKR	ロック・レジスタ	CG	164
LVIHIC	割り込み制御レジスタ	INTC	219
LVILIC	割り込み制御レジスタ	INTC	219
LVIM	低電圧検出レジスタ	LVI	729
LVIS	低電圧検出レベル選択レジスタ	LVI	730
MCM	メイン・システム・クロック・モード・レジスタ	CG	155
NFC	デジタル・ノイズ・フィルタ制御レジスタ	INTC	105
OCDM	オンチップ・デバッグ・モード・レジスタ	デバッグ	39, 743
OCKS0	IIC分周クロック選択レジスタ0	I ² C	476
OSTC	発振安定時間カウンタ・ステータス・レジスタ	CG	156
OSTS	発振安定時間選択レジスタ	WDT	157
P0	ポート0	ポート	40
P1	ポート1	ポート	40
P3	ポート3	ポート	40
P3H	ポート3H	ポート	40
P3L	ポート3L	ポート	40
P4	ポート4	ポート	40
P5	ポート5	ポート	40
P7H	ポート7H	ポート	40
P7L	ポート7L	ポート	40
P9	ポート9	ポート	40
P9H	ポート9H	ポート	40

略号	レジスタ名	ユニット	ページ
P9L	ポート9L	ポート	40
PCC	プロセッサ・クロック・コントロール・レジスタ	CG	159
PCLM	プログラマブル・クロック・モード・レジスタ	CG	162
PCM	ポートCM	ポート	40
PCS	ポートCS	ポート	40
PCT	ポートCT	ポート	40
PDL	ポートDL	ポート	40
PDLH	ポートDLH	ポート	40
PDLL	ポートDLL	ポート	40
PEMU1	周辺エミュレーション・レジスタ1	CPU	731
PF9H	ポート・ファンクション・レジスタ9H	ポート	43
PFC0	ポート・ファンクション・コントロール・レジスタ0	ポート	37
PFC3L	ポート・ファンクション・コントロール・レジスタ3L	ポート	37
PFC4	ポート・ファンクション・コントロール・レジスタ4	ポート	37
PFC9	ポート・ファンクション・コントロール・レジスタ9	ポート	37
PFC9H	ポート・ファンクション・コントロール・レジスタ9H	ポート	37
PFC9L	ポート・ファンクション・コントロール・レジスタ9L	ポート	37
PFCE0	ポート・ファンクション・コントロール拡張レジスタ0	ポート	38
PFCE3L	ポート・ファンクション・コントロール拡張レジスタ3L	ポート	38
PFCE9	ポート・ファンクション・コントロール拡張レジスタ9	ポート	38
PFCE9H	ポート・ファンクション・コントロール拡張レジスタ9H	ポート	38
PFCE9L	ポート・ファンクション・コントロール拡張レジスタ9L	ポート	38
PIC0	割り込み制御レジスタ	INTC	219
PIC1	割り込み制御レジスタ	INTC	219
PIC2	割り込み制御レジスタ	INTC	219
PIC3	割り込み制御レジスタ	INTC	219
PIC4	割り込み制御レジスタ	INTC	219
PIC5	割り込み制御レジスタ	INTC	219
PIC6	割り込み制御レジスタ	INTC	219
PIC7	割り込み制御レジスタ	INTC	219
PIC8	割り込み制御レジスタ	INTC	219
PIC9	割り込み制御レジスタ	INTC	219
PIC10	割り込み制御レジスタ	INTC	219
PLLCTL	PLLコントロール・レジスタ	CG	165
PLLS	PLLロックアップ時間指定レジスタ	CG	166
PM0	ポート・モード・レジスタ0	ポート	36
PM1	ポート・モード・レジスタ1	ポート	36
PM3	ポート・モード・レジスタ3	ポート	36
PM3H	ポート・モード・レジスタ3H	ポート	36
PM3L	ポート・モード・レジスタ3L	ポート	36
PM4	ポート・モード・レジスタ4	ポート	36
PM5	ポート・モード・レジスタ5	ポート	36
PM7H	ポート・モード・レジスタ7H	ポート	36
PM7L	ポート・モード・レジスタ7L	ポート	36

略号	レジスタ名	ユニット	ページ
PM9	ポート・モード・レジスタ9	ポート	36
PM9H	ポート・モード・レジスタ9H	ポート	36
PM9L	ポート・モード・レジスタ9L	ポート	36
PMC0	ポート・モード・コントロール・レジスタ0	ポート	35
PMC1	ポート・モード・コントロール・レジスタ1	ポート	35
PMC3	ポート・モード・コントロール・レジスタ3	ポート	35
PMC3H	ポート・モード・コントロール・レジスタ3H	ポート	35
PMC3L	ポート・モード・コントロール・レジスタ3L	ポート	35
PMC4	ポート・モード・コントロール・レジスタ4	ポート	35
PMC5	ポート・モード・コントロール・レジスタ5	ポート	35
PMC6	ポート・モード・コントロール・レジスタ6	ポート	35
PMC6H	ポート・モード・コントロール・レジスタ6H	ポート	35
PMC6L	ポート・モード・コントロール・レジスタ6L	ポート	35
PMC7H	ポート・モード・コントロール・レジスタ7H	ポート	35
PMC7L	ポート・モード・コントロール・レジスタ7L	ポート	35
PMC9	ポート・モード・コントロール・レジスタ9	ポート	35
PMC9H	ポート・モード・コントロール・レジスタ9H	ポート	35
PMC9L	ポート・モード・コントロール・レジスタ9L	ポート	35
PMCCM	ポート・モード・コントロール・レジスタCM	ポート	35
PMCCS	ポート・モード・コントロール・レジスタCS	ポート	35
PMCCT	ポート・モード・コントロール・レジスタCT	ポート	35
PMCM	ポート・モード・レジスタCM	ポート	36
PMCS	ポート・モード・レジスタCS	ポート	36
PMCT	ポート・モード・レジスタCT	ポート	36
PMDL	ポート・モード・レジスタDL	ポート	36
PMDLH	ポート・モード・レジスタDLH	ポート	36
PMDLL	ポート・モード・レジスタDLL	ポート	36
PRCMD	コマンド・レジスタ	CPU	139
PRSCM0	プリスケアラ・コンペア・レジスタ	WT	170
PRSM0	プリスケアラ・モード・レジスタ	WT	169
PSC	パワー・セーブ・コントロール・レジスタ	CG	167
PSMR	パワー・セーブ・モード・コントロール・レジスタ	CG	168
PU0	ブルアップ抵抗オプション・レジスタ0	ポート	42
PU1	ブルアップ抵抗オプション・レジスタ1	ポート	42
PU3	ブルアップ抵抗オプション・レジスタ3	ポート	42
PU3H	ブルアップ抵抗オプション・レジスタ3H	ポート	42
PU3L	ブルアップ抵抗オプション・レジスタ3L	ポート	42
PU4	ブルアップ抵抗オプション・レジスタ4	ポート	42
PU5	ブルアップ抵抗オプション・レジスタ5	ポート	42
PU9	ブルアップ抵抗オプション・レジスタ9	ポート	42
PU9H	ブルアップ抵抗オプション・レジスタ9H	ポート	42
PU9L	ブルアップ抵抗オプション・レジスタ9L	ポート	42
RAMS	内蔵RAMデータ・ステータス・レジスタ	CG	730
RCM	内蔵発振モード・レジスタ	CG	163

略号	レジスタ名	ユニット	ページ
RESF	リセット要因フラグ・レジスタ	LVI	726
SELCNT0	セレクタ動作制御レジスタ0	タイマ	172, 285
SELCNT2	セレクタ動作制御レジスタ2	タイマ	173
SELCNT3	セレクタ動作制御レジスタ3	タイマ	174
SVA0	スレーブ・アドレス・レジスタ0	I ² C	482
SYS	システム・レジスタ	CPU	140
TAA0CCIC0	割り込み制御レジスタ	INTC	219
TAA0CCIC1	割り込み制御レジスタ	INTC	219
TAA0CCR0	TAA0キャプチャ/コンペア・レジスタ0	タイマ	282
TAA0CCR1	TAA0キャプチャ/コンペア・レジスタ1	タイマ	283
TAA0CNT	TAA0カウンタ・リード・バッファ・レジスタ	タイマ	284
TAA0CTL0	TAA0制御レジスタ0	タイマ	287
TAA0CTL1	TAA0制御レジスタ1	タイマ	289
TAA0IOC0	TAA0 I/O制御レジスタ0	タイマ	291
TAA0IOC1	TAA0 I/O制御レジスタ1	タイマ	292
TAA0IOC2	TAA0 I/O制御レジスタ2	タイマ	294
TAA0IOC4	TAA0 I/O制御レジスタ4	タイマ	296
TAA0OPT0	TAA0オプション・レジスタ0	タイマ	297
TAA0OVIC	割り込み制御レジスタ	INTC	219
TAA1CCIC0	割り込み制御レジスタ	INTC	219
TAA1CCIC1	割り込み制御レジスタ	INTC	219
TAA1CCR0	TAA1キャプチャ/コンペア・レジスタ0	タイマ	282
TAA1CCR1	TAA1キャプチャ/コンペア・レジスタ1	タイマ	283
TAA1CNT	TAA1カウンタ・リード・バッファ・レジスタ	タイマ	284
TAA1CTL0	TAA1制御レジスタ0	タイマ	287
TAA1CTL1	TAA1制御レジスタ1	タイマ	289
TAA1IOC0	TAA1 I/O制御レジスタ0	タイマ	291
TAA1IOC1	TAA1 I/O制御レジスタ1	タイマ	292
TAA1IOC2	TAA1 I/O制御レジスタ2	タイマ	294
TAA1IOC4	TAA1 I/O制御レジスタ4	タイマ	296
TAA1OPT0	TAA1オプション・レジスタ0	タイマ	297
TAA1OPT1	TAA1オプション・レジスタ1	タイマ	299
TAA1OVIC	割り込み制御レジスタ	INTC	219
TAA2CCIC0	割り込み制御レジスタ	INTC	219
TAA2CCIC1	割り込み制御レジスタ	INTC	219
TAA2CCR0	TAA2キャプチャ/コンペア・レジスタ0	タイマ	282
TAA2CCR1	TAA2キャプチャ/コンペア・レジスタ1	タイマ	283
TAA2CNT	TAA2カウンタ・リード・バッファ・レジスタ	タイマ	284
TAA2CTL0	TAA2制御レジスタ0	タイマ	287
TAA2CTL1	TAA2制御レジスタ1	タイマ	289
TAA2IOC0	TAA2 I/O制御レジスタ0	タイマ	291
TAA2IOC1	TAA2 I/O制御レジスタ1	タイマ	292
TAA2IOC2	TAA2 I/O制御レジスタ2	タイマ	294
TAA2IOC4	TAA2 I/O制御レジスタ4	タイマ	296

略号	レジスタ名	ユニット	ページ
TAA2OPT0	TAA2オプション・レジスタ0	タイマ	297
TAA2OVIC	割り込み制御レジスタ	INTC	219
TAA3CCIC0	割り込み制御レジスタ	INTC	219
TAA3CCIC1	割り込み制御レジスタ	INTC	219
TAA3CCR0	TAA3キャプチャ/コンペア・レジスタ0	タイマ	282
TAA3CCR1	TAA3キャプチャ/コンペア・レジスタ1	タイマ	283
TAA3CNT	TAA3カウンタ・リード・バッファ・レジスタ	タイマ	284
TAA3CTL0	TAA3制御レジスタ0	タイマ	287
TAA3CTL1	TAA3制御レジスタ1	タイマ	289
TAA3IOC0	TAA3 I/O制御レジスタ0	タイマ	291
TAA3IOC1	TAA3 I/O制御レジスタ1	タイマ	292
TAA3IOC2	TAA3 I/O制御レジスタ2	タイマ	294
TAA3IOC4	TAA3 I/O制御レジスタ4	タイマ	296
TAA3OPT0	TAA3オプション・レジスタ0	タイマ	297
TAA3OPT1	TAA3オプション・レジスタ1	タイマ	299
TAA3OVIC	割り込み制御レジスタ	INTC	219
TAA4CCIC0	割り込み制御レジスタ	INTC	219
TAA4CCIC1	割り込み制御レジスタ	INTC	219
TAA4CCR0	TAA4キャプチャ/コンペア・レジスタ0	タイマ	282
TAA4CCR1	TAA4キャプチャ/コンペア・レジスタ1	タイマ	283
TAA4CNT	TAA4カウンタ・リード・バッファ・レジスタ	タイマ	284
TAA4CTL0	TAA4制御レジスタ0	タイマ	287
TAA4CTL1	TAA4制御レジスタ1	タイマ	289
TAA4IOC0	TAA4 I/O制御レジスタ0	タイマ	291
TAA4IOC1	TAA4 I/O制御レジスタ1	タイマ	292
TAA4IOC2	TAA4 I/O制御レジスタ2	タイマ	294
TAA4IOC4	TAA4 I/O制御レジスタ4	タイマ	296
TAA4OPT0	TAA4オプション・レジスタ0	タイマ	297
TAA4OVIC	割り込み制御レジスタ	INTC	219
TM0CMP0	TMM0コンペア・レジスタ0	タイマ	356
TM0CTL0	TMM0制御レジスタ0	タイマ	356
TM0EQIC0	割り込み制御レジスタ	INTC	219
UD0CTL0	UARTD0制御レジスタ0	UART	375
UD0CTL1	UARTD0制御レジスタ1	UART	416
UD0CTL2	UARTD0制御レジスタ2	UART	417
UD0OPT0	UARTD0オプション制御レジスタ0	UART	377
UD0OPT1	UARTD0オプション制御レジスタ1	UART	381
UD0RIC	割り込み制御レジスタ	INTC	219
UD0RX	UARTD0受信データ・レジスタ	UART	385
UD0SIC	割り込み制御レジスタ	INTC	219
UD0STR	UARTD0状態レジスタ	UART	382
UD0TIC	割り込み制御レジスタ	INTC	219
UD0TX	UARTD0送信データ・レジスタ	UART	386
UD1CTL0	UARTD1制御レジスタ0	UART	375

略号	レジスタ名	ユニット	ページ
UD1CTL1	UARTD1制御レジスタ1	UART	416
UD1CTL2	UARTD1制御レジスタ2	UART	417
UD1OPT0	UARTD1オプション制御レジスタ0	UART	377
UD1OPT1	UARTD1オプション制御レジスタ1	UART	381
UD1RIC	割り込み制御レジスタ	INTC	219
UD1RX	UARTD1受信データ・レジスタ	UART	385
UD1SIC	割り込み制御レジスタ	INTC	219
UD1STR	UARTD1状態レジスタ	UART	382
UD1TIC	割り込み制御レジスタ	INTC	219
UD1TX	UARTD1送信データ・レジスタ	UART	386
UD2CTL0	UARTD2制御レジスタ0	UART	375
UD2CTL1	UARTD2制御レジスタ1	UART	416
UD2CTL2	UARTD2制御レジスタ2	UART	417
UD2OPT0	UARTD2オプション制御レジスタ0	UART	377
UD2OPT1	UARTD2オプション制御レジスタ1	UART	381
UD2RIC	割り込み制御レジスタ	INTC	219
UD2RX	UARTD2受信データ・レジスタ	UART	385
UD2SIC	割り込み制御レジスタ	INTC	219
UD2STR	UARTD2状態レジスタ	UART	382
UD2TIC	割り込み制御レジスタ	INTC	219
UD2TX	UARTD2送信データ・レジスタ	UART	386
VSWC	システム・ウェイト・コントロール・レジスタ	CPU	141
WDTE	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDT	369
WDTM2	ウォッチドッグ・タイマ・モード・レジスタ2	WDT	368
WTIC	割り込み制御レジスタ	INTC	219
WTIIC	割り込み制御レジスタ	INTC	219
WTM	時計タイマ動作モード・レジスタ	WT	362

付録C 改版履歴

C.1 本版で改訂された主な箇所

(1/2)

箇所	内容
U18743JJ1V0UM	U18743JJ1V1UM
全体	PG-FP5 フラッシュ・メモリ・プログラマを追加
p.42	表2 - 12 PUnレジスタの内容の注意を修正
p.131	3. 5. 1 (2) 内蔵RAM領域の説明を修正
p.148	4. 1. 1 (a) PLLを使用する場合のクロック設定例を修正
p.149	表4 - 1 内部システム・クロックとCPUクロックのクロック・ソースを修正
p.157	4. 2. 1 (4) 発振安定時間選択レジスタ (OSTS) の説明を修正
p.158	4. 2. 1 (4) 発振安定時間選択レジスタ (OSTS) の注意1, 3, 備考2を修正
p.159	表4 - 8 PCCレジスタの内容を修正
p.176	図4 - 3 動作状態遷移図の注2を修正
p.182	4. 3. 3 (1) (b) リセット信号による解除 (RESET端子入力によるリセットまたは内部リセット信号であるRESPOC信号(パワーオン・クリア回路), WDT2RES信号(ウォッチドッグ・タイマ2), RESLVI信号(低電圧検出回路), SYSRES信号(クロック・モニタ))のタイトルを修正
p.185	4. 3. 3 (2) (b) リセット信号による解除 (RESET端子入力によるリセットまたは内部リセット信号であるRESPOC信号(パワーオン・クリア回路), WDT2RES信号(ウォッチドッグ・タイマ2), RESLVI信号(低電圧検出回路), SYSRES信号(クロック・モニタ))のタイトルを修正
p.187	4. 3. 3 (3) (b) リセット信号による解除 (RESET端子入力によるリセットまたは内部リセット信号であるRESPOC信号(パワーオン・クリア回路), WDT2RES信号(ウォッチドッグ・タイマ2), RESLVI信号(低電圧検出回路), SYSRES信号(クロック・モニタ))による解除のタイトルを修正
p.188	4. 3. 3 (3) (c) IDLE2モードを解除時のセットアップ時間の確保の説明を修正
p.191	4. 3. 3 (4) (c) リセット信号による解除 (RESET端子入力によるリセットまたは内部リセット信号であるRESPOC信号(パワーオン・クリア回路), WDT2RES信号(ウォッチドッグ・タイマ2), RESLVI信号(低電圧検出回路), SYSRES信号(クロック・モニタ))のタイトルを修正
p.239	表5 - 4 割り込み応答時間1に説明を追加
p.247	7. 1. 3 コード・フラッシュ・メモリの機能概要の説明を修正
p.263	7. 3 コード・フラッシュ・セルフ・プログラミングの説明を修正
p.265	7. 3. 3 セルフ・プログラミング・ライブラリの機能の説明を修正
p.268	7. 3. 5 フラッシュ・セルフ・プログラミング時の割り込み処理の説明を修正
p.287	10. 5 (1) TAA制制御レジスタ0 (TAACTL0) の注意を修正
p.289	10. 5 (2) TAA制制御レジスタ1 (TAACTL1) のTAAAnSYEビットの説明を修正
p.308	図10 - 10 インターバル・タイマ・モード時の基本動作タイミングを修正, 備考3を追加
p.351	図10 - 37 同調PWM機能の基本動作タイミング (TAA0, TAA1) を修正
p.369	13. 3 (2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) の説明を削除
p.373	図14 - 1 アシンクロナス・シリアル・インタフェースのブロック図を修正
p.426	15. 2 (2) CSIBn送信データ・レジスタ (CBnTX) の説明を削除
p.538	17. 1. 1 特徴の説明を修正
p.559	17. 3. 6 (5) (a) 通常リカバリ・シーケンスによるパスオフからの復帰動作の注意1を修正

箇所	内容
p.581	17.7(3)(b) ライト時のSet ABTRRG, Clear ABBTRRGビットに注意を追加
p.586	17.7(6)(a) ライト時のCCERCビットの備考4を削除
p.604	17.7(19) CANメッセージ・データ・バイト・レジスタ(COMDATAxn) (x = 0-7), (COMDATAzn) (z = 01, 23, 45, 67) を修正
p.610	17.7(23)(a) リード時のRDYビットの注意3を修正
p.611	17.7(23)(b) ライト時のSet TRQ, Clear TRQビットに注意を追加
p.627	17.10.2 送信履歴・リスト機能の注意を修正
p.634	17.11.1(3) CANスリープ・モードの解除に注意2を追加, 本文の注意2-4を削除
p.644	17.15.1 ビット・レート設定条件の説明を修正
p.659	図17-43 割り込みによる送信処理(COLOPTレジスタを使用する場合)の備考を修正
p.660	図17-44 割り込みによる送信処理(COTGPTレジスタを使用する場合)の備考1, 2を修正
p.661	図17-45 ソフトウェア・ポーリングによる送信処理の備考1, 2を修正
p.662	図17-46 送信中断処理(ABT付き通常動作モード以外)に注意5を追加
p.663	図17-47 ABT送信以外の送信中断処理(ABT付き通常動作モード)に注意5を追加
p.666	図17-50 割り込みによる受信処理(COLIPTレジスタを使用する場合)の備考を修正
p.667	図17-51 割り込みによる受信処理(CORGPTレジスタを使用する場合)の備考1, 2を修正
p.668	図17-52 ソフトウェア・ポーリングによる受信処理の備考1, 2を修正
p.670	図17-54 CANスリープ・モード/CANストップ・モードの解除の図, 注を修正
p.673	図17-57 通常シャット・ダウン処理を修正
p.676	図17-60 CPUスタンバイ処理(CANスリープ・モードからの移行)を修正
p.677	図17-61 CPUスタンバイ処理(CANストップ・モードからの移行)を修正
p.718	表19-1 電源端子と接続先, 備考2を修正
p.723	20.1.1(2) レジスタの状態に説明を追加
p.731	21.3(4) 周辺エミュレーション・レジスタ1(PEMU1)に説明を追加
p.741	22.1.4 セキュリティ機能の説明を削除
p.753, p.754, p.756, p.758, p.760	表A-2 周辺I/Oレジスタを修正
p.770	付録C 改版履歴を追加

【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00, 午後 1:00～5:00)

電話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。
