

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# ユーザーズ・マニュアル

## V850E/MA1

32ビット・シングルチップ・マイクロコンピュータ

ハードウェア編

---

μPD703103A

μPD703105A

μPD703106A

μPD703107A

μPD70F3107A

μPD70F3107A(A)

〔メモ〕

## 目次要約

第1章	イントロダクション	...	17
第2章	端子機能	...	31
第3章	CPU機能	...	57
第4章	バス制御機能	...	91
第5章	メモリ・アクセス制御機能	...	135
第6章	DMA機能 (DMAコントローラ)	...	202
第7章	割り込み / 例外処理機能	...	270
第8章	プリスケラ・ユニット (PRS)	...	306
第9章	クロック発生機能	...	307
第10章	タイマ / カウンタ機能	...	328
第11章	シリアル・インタフェース機能	...	363
第12章	A/Dコンバータ	...	409
第13章	PWMユニット	...	450
第14章	ポート機能	...	457
第15章	リセット機能	...	527
第16章	フラッシュ・メモリ ( $\mu$ PD70F3107A)	...	532
第17章	電気的特性	...	566
第18章	外形図	...	625
第19章	半田付け推奨条件	...	627
付録A	ターゲット・システム設計上の注意	...	631
付録B	注意事項	...	634
付録C	レジスタ索引	...	636
付録D	命令セット一覧	...	643
付録E	改版履歴	...	652

### 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力が入力ノイズなどに起因して、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 :  $\mu$  PD703103A, 70F3107A, 70F3107A(A)

ユーザ判定品 :  $\mu$  PD703105A, 703106A, 703107A

- 本資料に記載されている内容は2005年10月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

# はじめに

**対象者** このマニュアルは、V850E/MA1の機能を理解し、それをを用いた応用システムを設計するユーザを対象とします。

対象製品は次のようになります。

- ・標準品： $\mu$  PD703103A, 703105A, 703106A, 703107A, 70F3107A
- ・特別品： $\mu$  PD70F3107A(A)

**目的** このマニュアルは、次の構成に示すV850E/MA1のハードウェア機能をユーザに理解していただくことを目的としています。

**構成** V850E/MA1のユーザズ・マニュアルは、ハードウェア編（このマニュアル）と、アーキテクチャ編（V850E1 ユーザズ・マニュアル アーキテクチャ編）の2冊に分かれています。

## ハードウェア編

- ・端子機能
- ・CPU機能
- ・内蔵周辺機能
- ・フラッシュ・メモリ・プログラミング
- ・電気的特性

## アーキテクチャ編

- ・データ・タイプ
- ・レジスタ・セット
- ・命令形式と命令セット
- ・割り込みと例外

**読み方** このマニュアルの読者には、電気、論理回路、およびマイクロコンピュータに関する一般知識を必要とします。

- 注意1.** このマニュアルの使用例は、一般電子機器用の『標準』品質水準品用に作成してあります。『特別』品質水準を要求する用途にこのマニュアル中の使用例を使用する場合は、実際に使用する各部品および回路について、その品質水準についてご検討のうえご使用ください。
- 2.** 特別品のマニュアルとして使用する場合には、次のように読み替えてください。

$\mu$  PD70F3107A       $\mu$  PD70F3107A(A)

レジスタ名が分かっている、レジスタの詳細を確認するとき

**付録C** レジスタ索引を利用してください。

命令機能の詳細を理解しようとするとき

別冊のV850E1 **ユーザズ・マニュアル** **アーキテクチャ編**を参照してください。



V850E/MA1の電気的特性を知りたいとき

**第17章 電気的特性を参照してください。**

一通りV850E/MA1の機能を理解しようとするとき

目次に従ってお読みください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるビットは、そのビット名称がデバイス・ファイルで予約語として定義されています。

本文欄外の 印は、本版で改訂された主な箇所を示しています。

この“ ”をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

- 凡 例**
- データ表記の重み：左が上位桁，右が下位桁
  - アクティブ・ロウの表記：xxx (端子，信号名称に上線)
  - メモリ・マップのアドレス：上部 - 上位，下部 - 下位
  - 注：本文中に付けた注の説明
  - 注意：気を付けて読んでいただきたい内容
  - 備考：本文の補足説明
  - 数の表記：2進数 ... xxxxまたはxxxxB
    - 10進数 ... xxxx
    - 16進数 ... xxxxH
  - 2のべき数を示す接頭語（アドレス空間，メモリ容量）：
    - K（キロ）...  $2^{10} = 1024$
    - M（メガ）...  $2^{20} = 1024^2$
    - G（ギガ）...  $2^{30} = 1024^3$
  - データ・タイプ：ワード ... 32ビット
    - ハーフワード ... 16ビット
    - バイト ... 8ビット

**関連資料** 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

**V850E/MA1に関する資料**

資料名	資料番号
V850E1 ユーザーズ・マニュアル アーキテクチャ編	U14559J
V850E/MA1 ユーザーズ・マニュアル ハードウェア編	このマニュアル
V850E/MA1 アプリケーション・ノート ハードウェア編	U15179J
V850E/MA1, V850E/MA2, V850E/MA3, V850E/ME2 アプリケーション・ノート PCIホスト・ブリッジ・マクロ編	U17121J
V850シリーズ ユーザーズ・マニュアル フラッシュ・メモリ・セルフ・プログラミング	U15673J

**開発ツールに関する資料（ユーザーズ・マニュアル）**

資料名	資料番号	
IE-V850E-MC, IE-V850E-MC-A (インサーキット・エミュレータ)	U14487J	
IE-703107-MC-EM1 (インサーキット・エミュレータ・オプション・ボード)	U14481J	
CA850 Ver.3.00 Cコンパイラ・パッケージ	操作編	U17293J
	C言語編	U17291J
	アセンブリ言語編	U17292J
	リンク・ディレクティブ編	U17294J
PM+ Ver.6.00 プロジェクト・マネージャ	U17178J	
ID850 Ver.3.00 統合デバッガ	操作編	U17358J
TW850 Ver.2.00 性能解析チューニング・ツール		U17241J
SM850 Ver.2.50 システム・シミュレータ	操作編	U16218J
SM850 Ver.2.00以上 システム・シミュレータ	外部部品ユーザ・オープン・インタフェース仕様編	U14873J
SM+ システム・シミュレータ	操作編	U17246J
	ユーザ・オープン・インタフェース編	U17247J
RX850 Ver.3.20 リアルタイムOS	基礎編	U13430J
	インストレーション編	U17419J
	テクニカル編	U13431J
	タスク・デバッガ編	U17420J
RX850 Pro Ver.3.20 リアルタイムOS	基礎編	U13773J
	インストレーション編	U17421J
	テクニカル編	U13772J
	タスク・デバッガ編	U17422J
RX-NET TCP/IPライブラリ		U15083J
AZ850 Ver.3.30 システム・パフォーマンス・アナライザ		U17423J
PG-FP4 フラッシュ・メモリ・プログラマ		U15260J

# 目 次

## 第1章 イン트로ダクション ... 17

- 1.1 概 説 ... 17
- 1.2 特 徴 ... 19
- 1.3 応用分野 ... 21
- 1.4 オーダ情報 ... 22
- 1.5 端子接続図 ... 23
- 1.6 機能ブロック構成 ... 27
  - 1.6.1 内部ブロック図 ... 27
  - 1.6.2 内部ユニット ... 28
- 1.7 各製品の相違点 ... 30

## 第2章 端子機能 ... 31

- 2.1 端子機能一覧 ... 31
- 2.2 端子状態 ... 37
- 2.3 端子機能の説明 ... 38
- 2.4 端子の入出力回路タイプと未使用時の処理 ... 54
- 2.5 端子の入出力回路 ... 56

## 第3章 CPU機能 ... 57

- 3.1 特 徴 ... 57
- 3.2 CPUレジスタ・セット ... 58
  - 3.2.1 プログラム・レジスタ・セット ... 59
  - 3.2.2 システム・レジスタ・セット ... 60
- 3.3 動作モード ... 66
  - 3.3.1 動作モード ... 66
  - 3.3.2 動作モード指定 ... 67
- 3.4 アドレス空間 ... 68
  - 3.4.1 CPUアドレス空間 ... 68
  - 3.4.2 イメージ ... 69
  - 3.4.3 CPUアドレス空間のラップ・アラウンド ... 70
  - 3.4.4 メモリ・マップ ... 71
  - 3.4.5 領 域 ... 73
  - 3.4.6 外部メモリ拡張 ... 78
  - 3.4.7 アドレス空間の推奨使用方法 ... 79
  - 3.4.8 周辺I/Oレジスタ ... 81
  - 3.4.9 特定レジスタ ... 88
  - 3.4.10 システム・ウエイト・コントロール・レジスタ (VSWC) ... 89
  - 3.4.11 注意事項 ... 89

## 第4章 バス制御機能 ... 91

- 4.1 特 徴 ... 91
- 4.2 バス制御端子 ... 92
  - 4.2.1 内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態 ... 92
- 4.3 メモリ・ブロック機能 ... 93
  - 4.3.1 チップ・セレクト制御機能 ... 94
- 4.4 バス・サイクル・タイプ制御機能 ... 97
- 4.5 バス・アクセス ... 99
  - 4.5.1 アクセス・クロック数 ... 99
  - 4.5.2 バス・サイジング機能 ... 99
  - 4.5.3 エンディアン制御機能 ... 100
  - 4.5.4 NECエレクトロニクス製開発ツールにおけるビッグ・エンディアン形式の使用制限 ... 101
  - 4.5.5 バス幅 ... 103
- 4.6 ウェイト機能 ... 114
  - 4.6.1 プログラマブル・ウェイト機能 ... 114
  - 4.6.2 外部ウェイト機能 ... 119
  - 4.6.3 プログラマブル・ウェイトと外部ウェイトの関係 ... 119
  - 4.6.4 ウェイト機能が有効なバス・サイクル ... 120
- 4.7 アイドル・ステート挿入機能 ... 121
- 4.8 バス・ホールド機能 ... 122
  - 4.8.1 機能概要 ... 122
  - 4.8.2 バス・ホールド手順 ... 123
  - 4.8.3 パワー・セーブ・モード時の動作 ... 123
  - 4.8.4 バス・ホールド・タイミング (SRAM) ... 124
  - 4.8.5 バス・ホールド・タイミング (EDO DRAM) ... 126
  - 4.8.6 バス・ホールド・タイミング (SDRAM) ... 130
- 4.9 バスの優先順位 ... 134
- 4.10 境界動作条件 ... 134
  - 4.10.1 プログラム空間 ... 134
  - 4.10.2 データ空間 ... 134

## 第5章 メモリ・アクセス制御機能 ... 135

- 5.1 SRAM, 外部ROM, 外部I/Oインタフェース ... 135
  - 5.1.1 特 徴 ... 135
  - 5.1.2 SRAMの接続 ... 135
  - 5.1.3 SRAM, 外部ROM, 外部I/Oアクセス ... 137
- 5.2 ページROMコントローラ (ROMC) ... 143
  - 5.2.1 特 徴 ... 143
  - 5.2.2 ページROMの接続 ... 144
  - 5.2.3 オンページ / オフページの判断 ... 145
  - 5.2.4 ページROMコンフィギュレーション・レジスタ (PRC) ... 147
  - 5.2.5 ページROMアクセス ... 148
- 5.3 DRAMコントローラ (EDO DRAM) ... 152
  - 5.3.1 特 徴 ... 152
  - 5.3.2 DRAMの接続 ... 153
  - 5.3.3 アドレス・マルチプレクス機能 ... 154

5.3.4	DRAMコンフィギュレーション・レジスタ1, 3, 4, 6 (SCR1, SCR3, SCR4, SCR6)	...	155
5.3.5	DRAMアクセス	...	158
5.3.6	リフレッシュ制御機能	...	163
5.3.7	セルフ・リフレッシュ制御機能	...	168
5.4	DRAMコントローラ (SDRAM)	...	170
5.4.1	特 徴	...	170
5.4.2	SDRAMの接続	...	170
5.4.3	アドレス・マルチプレクス機能	...	171
5.4.4	SDRAMコンフィギュレーション・レジスタ1, 3, 4, 6 (SCR1, SCR3, SCR4, SCR6)	...	176
5.4.5	SDRAMアクセス	...	178
5.4.6	リフレッシュ制御機能	...	192
5.4.7	セルフ・リフレッシュ制御機能	...	197
5.4.8	SDRAM初期化シーケンス	...	199

## 第6章 DMA機能 (DMAコントローラ) ... 202

6.1	特 徴	...	202
6.2	構 成	...	203
6.3	制御レジスタ	...	204
6.3.1	DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3)	...	204
6.3.2	DMAデスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3)	...	206
6.3.3	DMA転送カウント・レジスタ0-3 (DBC0-DBC3)	...	208
6.3.4	DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3)	...	209
6.3.5	DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3)	...	211
6.3.6	DMAディスエーブル・ステータス・レジスタ (DDIS)	...	213
6.3.7	DMAリスタート・レジスタ (DRST)	...	213
6.3.8	DMAターミナル・カウント出力コントロール・レジスタ (DIOC)	...	214
6.3.9	DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3)	...	215
6.4	DMAバス・ステート	...	219
6.4.1	バス・ステートの種類	...	219
6.4.2	DMACバス・サイクルの状態遷移	...	221
6.5	転送モード	...	222
6.5.1	シングル転送モード	...	222
6.5.2	シングルステップ転送モード	...	224
6.5.3	ブロック転送モード	...	225
6.6	転送タイプ	...	226
6.6.1	2サイクル転送	...	226
6.6.2	フライバイ転送	...	242
6.7	転送対象	...	253
6.7.1	転送の種類と転送対象	...	253
6.7.2	DMA転送時の外部バス・サイクル	...	254
6.8	DMAチャンネルの優先順位	...	254
6.9	ネクスト・アドレス設定機能	...	255
6.10	DMA転送起動要因	...	257
6.11	DMA転送完了時のターミナル・カウント出力	...	259
6.12	強制中断	...	260

- 6.13 強制終了 ... 261
  - 6.13.1 DMA転送強制終了に関する制限事項 ... 262
- 6.14 DMA転送に関する各種時間 ... 264
- 6.15 DMA要求に対する応答時間 ... 265
  - 6.15.1 DMA要求に対する応答時間の例 ... 265
  - 6.15.2 DMA要求に対する応答時間の最大値 ... 266
- 6.16 注意事項 ... 267
  - 6.16.1 中断要因 ... 268
- 6.17 DMA転送の終了 ... 269

## 第7章 割り込み / 例外処理機能 ... 270

- 7.1 特 徴 ... 270
- 7.2 ノンマスカブル割り込み ... 273
  - 7.2.1 動 作 ... 274
  - 7.2.2 復 帰 ... 276
  - 7.2.3 ノンマスカブル割り込みステータス・フラグ (NP) ... 277
  - 7.2.4 ノイズ除去 ... 277
  - 7.2.5 エッジ検出機能 ... 277
- 7.3 マスカブル割り込み ... 278
  - 7.3.1 動 作 ... 278
  - 7.3.2 復 帰 ... 280
  - 7.3.3 マスカブル割り込みの優先順位 ... 281
  - 7.3.4 割り込み制御レジスタ (xxICn) ... 285
  - 7.3.5 割り込みマスク・レジスタ0-3 (IMR0-IMR3) ... 288
  - 7.3.6 インサースビス・プライオリティ・レジスタ (ISPR) ... 289
  - 7.3.7 マスカブル割り込みステータス・フラグ (ID) ... 290
  - 7.3.8 ノイズ除去 ... 291
  - 7.3.9 割り込みトリガ・モードの選択 ... 291
- 7.4 ソフトウェア例外 ... 295
  - 7.4.1 動 作 ... 295
  - 7.4.2 復 帰 ... 296
  - 7.4.3 例外ステータス・フラグ (EP) ... 297
- 7.5 例外トラップ ... 298
  - 7.5.1 不正命令コード ... 298
  - 7.5.2 ディバグ・トラップ ... 300
- 7.6 多重割り込み処理制御 ... 302
- 7.7 割り込み応答時間 ... 304
- 7.8 CPUが割り込みを受け付けない期間 ... 305

## 第8章 プリスケラ・ユニット (PRS) ... 306

## 第9章 クロック発生機能 ... 307

- 9.1 特 徴 ... 307
- 9.2 構 成 ... 307
- 9.3 入力クロック選択 ... 308
  - 9.3.1 ダイレクト・モード ... 308
  - 9.3.2 PLLモード ... 308

9.3.3	ペリフェラル・コマンド・レジスタ (PHCMD)	...	309
9.3.4	クロック・コントロール・レジスタ (CKC)	...	310
9.3.5	ペリフェラル・ステータス・レジスタ (PHS)	...	312
9.4	PLLロックアップ	...	313
9.5	パワー・セーブ制御	...	314
9.5.1	概要	...	314
9.5.2	制御レジスタ	...	316
9.5.3	HALTモード	...	319
9.5.4	IDLEモード	...	321
9.5.5	ソフトウェアSTOPモード	...	323
9.6	発振安定時間の確保	...	326
9.6.1	発振安定時間の確保指定	...	326
9.6.2	タイム・ベース・カウンタ (TBC)	...	327

## 第10章 タイマ/カウンタ機能 ... 328

10.1	タイマC	...	328
10.1.1	特徴 (タイマC)	...	328
10.1.2	機能概要 (タイマC)	...	328
10.1.3	タイマCの基本構成	...	329
10.1.4	タイマC	...	330
10.1.5	タイマCの制御レジスタ	...	334
10.1.6	タイマCの動作	...	339
10.1.7	使用例 (タイマC)	...	346
10.1.8	注意事項 (タイマC)	...	353
10.2	タイマD	...	354
10.2.1	特徴 (タイマD)	...	354
10.2.2	機能概要 (タイマD)	...	354
10.2.3	タイマDの基本構成	...	354
10.2.4	タイマD	...	355
10.2.5	タイマDの制御レジスタ	...	358
10.2.6	タイマDの動作	...	360
10.2.7	使用例 (タイマD)	...	362
10.2.8	注意事項 (タイマD)	...	362

## 第11章 シリアル・インタフェース機能 ... 363

11.1	特徴	...	363
11.1.1	UARTとCSIのモード切り替え	...	363
11.2	アシンクロナス・シリアル・インタフェース0-2 (UART0-UART2)	...	364
11.2.1	特徴	...	364
11.2.2	構成	...	365
11.2.3	制御レジスタ	...	367
11.2.4	割り込み要求	...	376
11.2.5	動作	...	377
11.2.6	専用ポー・レート・ジェネレータ0-2 (BRG0-BRG2)	...	389
11.2.7	注意事項	...	396
11.3	クロック同期式シリアル・インタフェース0-2 (CSI0-CSI2)	...	397
11.3.1	特徴	...	397

- 11.3.2 構成 ... 397
- 11.3.3 制御レジスタ ... 399
- 11.3.4 動作 ... 405
- 11.3.5 出力端子 ... 408
- 11.3.6 システム構成例 ... 408

## 第12章 A/Dコンバータ ... 409

- 12.1 特徴 ... 409
- 12.2 構成 ... 409
- 12.3 制御レジスタ ... 412
- 12.4 A/Dコンバータ動作 ... 419
  - 12.4.1 A/Dコンバータ基本動作 ... 419
  - 12.4.2 動作モードとトリガ・モード ... 420
- 12.5 A/Dトリガ・モード時の動作 ... 425
  - 12.5.1 セレクト・モードの動作 ... 425
  - 12.5.2 スキャン・モードの動作 ... 427
- 12.6 タイマ・トリガ・モード時の動作 ... 428
  - 12.6.1 セレクト・モードの動作 ... 429
  - 12.6.2 スキャン・モードの動作 ... 433
- 12.7 外部トリガ・モード時の動作 ... 437
  - 12.7.1 セレクト・モードの動作（外部トリガ・セレクト） ... 437
  - 12.7.2 スキャン・モードの動作（外部トリガ・スキャン） ... 440
- 12.8 動作上の注意事項 ... 442
  - 12.8.1 変換動作の停止 ... 442
  - 12.8.2 タイマ・トリガまたは外部トリガの間隔 ... 442
  - 12.8.3 スタンバイ・モード時の動作 ... 442
  - 12.8.4 タイマ・トリガ・モード時のコンペアー一致割り込み ... 443
  - 12.8.5 タイマ1トリガ・モードおよび外部トリガ・モード時の再変換動作 ... 443
  - 12.8.6 A/D変換時間についての補足 ... 444
- 12.9 A/Dコンバータ特性表の読み方 ... 446

## 第13章 PWMユニット ... 450

- 13.1 特徴 ... 450
- 13.2 構成 ... 450
- 13.3 制御レジスタ ... 451
- 13.4 動作 ... 453
  - 13.4.1 基本動作 ... 453
  - 13.4.2 繰り返し周波数 ... 456
- 13.5 注意事項 ... 456

## 第14章 ポート機能 ... 457

- 14.1 特徴 ... 457
- 14.2 ポートの基本構成 ... 458
- 14.3 各ポートの端子機能 ... 475
  - 14.3.1 ポート0 ... 475
  - 14.3.2 ポート1 ... 479



- 14.3.3 ポート2 ... 481
- 14.3.4 ポート3 ... 485
- 14.3.5 ポート4 ... 488
- 14.3.6 ポート5 ... 491
- 14.3.7 ポート7 ... 493
- 14.3.8 ポートAL ... 494
- 14.3.9 ポートAH ... 496
- 14.3.10 ポートDL ... 498
- 14.3.11 ポートCS ... 500
- 14.3.12 ポートCT ... 504
- 14.3.13 ポートCM ... 507
- 14.3.14 ポートCD ... 511
- 14.3.15 ポートBD ... 515
- 14.4 **ポート端子を兼用端子として使用する場合の設定** ... 516
- 14.5 **ポート機能の動作** ... 525
  - 14.5.1 入出力ポートへの書き込み ... 525
  - 14.5.2 入出力ポートからの読み出し ... 525
  - 14.5.3 コントロール・モード時の兼用機能の出力状態 ... 525
- 14.6 **注意事項** ... 526

## 第15章 リセット機能 ... 527

- 15.1 **特 徴** ... 527
- 15.2 **端子機能** ... 527
- 15.3 **イニシャライズ** ... 529

## 第16章 フラッシュ・メモリ ( $\mu$ PD70F3107A) ... 532

- 16.1 **特 徴** ... 532
- 16.2 **フラッシュ・ライタによる書き込み方法** ... 532
- 16.3 **プログラミング環境** ... 537
- 16.4 **通信方式** ... 537
- 16.5 **端子処理** ... 538
  - 16.5.1 MODE2/VPP端子 ... 538
  - 16.5.2 シリアル・インタフェース端子 ... 538
  - 16.5.3 RESET端子 ... 540
  - 16.5.4 NMI端子 ... 540
  - 16.5.5 MODE0-MODE2端子 ... 540
  - 16.5.6 ポート端子 ... 540
  - 16.5.7 その他の信号端子 ... 540
  - 16.5.8 電 源 ... 540
- 16.6 **プログラミング方法** ... 541
  - 16.6.1 フラッシュ・メモリ制御 ... 541
  - 16.6.2 フラッシュ・メモリ・プログラミング・モード ... 541
  - 16.6.3 通信方式の選択 ... 542
  - 16.6.4 通信コマンド ... 543
- 16.7 **セルフ書き込みによるフラッシュ・メモリ・プログラミング** ... 544
  - 16.7.1 セルフ・プログラミングの概要 ... 544
  - 16.7.2 セルフ・プログラミング機能 ... 545

16.7.3	セルフ・プログラミング・インタフェースの概要	...	545
16.7.4	ハードウェア環境	...	546
16.7.5	ソフトウェア環境	...	548
16.7.6	セルフ・プログラミング機能番号	...	549
16.7.7	呼び出しパラメータ	...	550
16.7.8	RAMパラメータの内容	...	551
16.7.9	セルフ・プログラミング時のエラー	...	552
16.7.10	フラッシュ情報	...	552
16.7.11	エリア番号	...	553
16.7.12	フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)	...	554
16.7.13	デバイス内部処理の呼び出し	...	556
16.7.14	フラッシュ・メモリの消去フロー	...	559
16.7.15	連続書き込みフロー	...	560
16.7.16	内部ベリファイ・フロー	...	561
16.7.17	フラッシュ情報取得フロー	...	562
16.7.18	セルフ・プログラミング・ライブラリ	...	563
16.8	フラッシュ製品とマスクROM製品の判別方法	...	565

## 第17章 電気的特性 ... 566

17.1	通常動作モード	...	566
17.2	フラッシュ・メモリ・プログラミング・モード( $\mu$ PD70F3107A, 70F3107A(A)のみ)	...	622

## 第18章 外形図 ... 625

## 第19章 半田付け推奨条件 ... 627

## 付録A ターゲット・システム設計上の注意 ... 631

## 付録B 注意事項 ... 634

B.1	ページROMアクセスに関する制限事項	...	634
B.1.1	内容詳細	...	634
B.1.2	回避策	...	635

## 付録C レジスタ索引 ... 636

## 付録D 命令セット一覧 ... 643

D.1	凡例	...	643
D.2	インストラクション・セット (アルファベット順)	...	646

## 付録E 改版履歴 ... 652

E.1	本版で改訂された主な箇所	...	652
E.2	前版までの改版履歴	...	654

# 第1章 イントロダクション

V850E/MA1は、NECエレクトロニクスのシングルチップ・マイクロコンピュータ「V850シリーズ」の1製品です。この章では、V850E/MA1の概要を簡単に説明します。

## 1.1 概 説

V850E/MA1は、システム・オン・チップ時代のシステムLSIの核となるCPUコアとして新たに開発したASIC用32ビットRISC型CPUコア「V850E1 CPU」を搭載した32ビット・シングルチップ・マイクロコンピュータです。ROM、RAM、および、各種メモリ・コントローラ、DMAコントローラ、タイマ/カウンタ、シリアル・インタフェース、A/Dコンバータなどの周辺機能を内蔵し、大容量データ処理と高度なリアルタイム制御を実現します。

### (1) 「V850E1 CPU」搭載

「V850E1 CPU」は、V850シリーズ搭載のCPUコア「V850 CPU」に対し、外部バス・インタフェースの性能を強化し、C言語のswitch文処理、テーブル・ルックアップの分岐、スタック・フレームの生成/削除、データ変換など、主に高級言語に対応した命令などを追加することにより、制御系だけではなく、データ処理系にも対応したCPUコアです。

なお、命令コードは、V850 CPUに対して、オブジェクト・コード・レベルでの上位互換性を持たせているため、V850 CPU搭載システムのソフトウェア資産をそのまま使用できます。

### (2) 外部メモリ・インタフェース機能

外部メモリ・インタフェースとして、セパレート構成のアドレス・バス(26ビット)、データ・バス(16ビット)とSDRAM、ROM用インタフェースのほかEDO DRAM、ページROMなどに直結できる各種メモリ・コントローラを内蔵しているため、システム性能を上げるとともにアプリケーション・システムの部品点数を削減できます。

また、DMAコントローラにより、外部メモリ間の転送と並行してCPU内部の演算やデータ転送を行えるため、画像データや音声データなどの大容量データ処理が可能となるうえ、内蔵のROMとRAMを使用した高速な命令実行により、モータ制御、通信制御などのリアルタイム制御も同時に実現できます。

### (3) フラッシュ・メモリ内蔵 ( $\mu$ PD70F3107A)

フラッシュ・メモリ内蔵品 ( $\mu$ PD70F3107A) は、高速アクセス可能なフラッシュ・メモリを内蔵しており、アプリケーション・システム上にV850E/MA1を実装したままプログラムの書き換えが行えるため、システム開発期間の短縮が実現できます。また、システム出荷後のメンテナンス性を飛躍的に向上させることができます。

**(4) 充実したミドルウェア，開発環境製品群**

V850E/MA1はJPEG, JBIG, MH/MR/MMRなどのミドルウェアを高速実行できます。また，音声認識，音声合成などの処理を実現するミドルウェアも用意されているので，これらのミドルウェアと組み合わせることにより，マルチメディア・システムを容易に実現できます。

また，最適化Cコンパイラ，ディバッガ，インサーキット・エミュレータ，シミュレータ，システム・パフォーマンス・アナライザなどの統合された開発環境も用意しています。

## 1.2 特 徴

命令数	80
最小命令実行時間	20 ns (内部50 MHz動作時)
汎用レジスタ	32ビット×32本
命令セット	V850E1 CPU 符号付き乗算 (16ビット×16ビット 32ビット, または32ビット×32ビット 64ビット) : 1-2クロック 飽和演算命令 (オーバフロー/アンダフロー検出機能付き) 32ビット・シフト命令: 1クロック ビット操作命令 ロング/ショート形式を持つロード/ストア命令 符号付きロード命令
メモリ空間	256 Mバイト・リニア・アドレス空間 (プログラム/データ共有) チップ・セレクト出力機能: 8空間 メモリ・ブロック分割機能: 2 M, 4 M, 8 Mバイト/ブロック プログラマブル・ウエイト機能 アイドル・ステート挿入機能
外部バス・インタフェース	16ビット・データ・バス (アドレス/データ分離型バス) 16/8ビット・バス・サイジング機能 バス・ホールド機能 外部ウエイト機能 アドレス・セットアップ・ウエイト機能 エンディアン制御機能

### 内蔵メモリ

製品名	内蔵ROM	内蔵RAM
μPD703103A	なし	4 Kバイト
μPD703105A	128 Kバイト (マスクROM)	4 Kバイト
μPD703106A	128 Kバイト (マスクROM)	10 Kバイト
μPD703107A	256 Kバイト (マスクROM)	10 Kバイト
μPD70F3107A	256 Kバイト (フラッシュ・メモリ)	10 Kバイト

割り込み / 例外

- 外部割り込み : 25本 (NMI含む)
- 内部割り込み : 33要因
- ソフトウェア例外 : 32要因
- 例外トラップ : 2要因

8レベルの優先順位指定可能

メモリ・アクセス制御

- DRAMコントローラ (EDO DRAM, SDRAMに対応)
- ページROMコントローラ

DMAコントローラ

4チャンネル構成

- 転送単位 : 8ビット / 16ビット
- 最大転送回数 : 65536 ( $2^{16}$ ) 回
- 転送タイプ : フライバイ (1サイクル) 転送 / 2サイクル転送
- 転送モード : シングル転送 / シングルステップ転送 / ブロック転送
- 転送対象 : メモリ メモリ, メモリ I/O
- 転送要求 : 外部要求 / 内蔵周辺I/O / ソフトウェア

DMA転送終了 (ターミナル・カウント) 出力信号  
 ネクスト・アドレス設定機能

I/Oライン

- 入力ポート : 9
- 入出力ポート : 106

タイマ / カウンタ

- 16ビット・タイマ / イベント・カウンタ : 4ch
- 16ビット・タイマ : 4本
- 16ビット・キャプチャ / コンペア・レジスタ : 8本
- 16ビット・インターバル・タイマ : 4ch

シリアル・インタフェース (SIO)

- アシンクロナス・シリアル・インタフェース (UART)
- クロック同期式シリアル・インタフェース (CSI)
- CSI/UART : 2ch
- UART : 1ch
- CSI : 1ch

A/Dコンバータ

- 10ビット分解能A/Dコンバータ : 8ch

PWM (Pulse Width Modulation)

- 8/9/10/12ビット分解能PWM : 2ch

クロック・ジェネレータ

PLLクロック・シンセサイザによる10逓倍機能

外部クロック入力による2分周機能

パワー・セーブ機能

HALT / IDLE / ソフトウェアSTOPモード

パッケージ

144ピン・プラスチックLQFP (ファインピッチ) (20×20)

161ピン・プラスチックFBGA (13×13)

CMOS構造

完全スタティック回路

### 1.3 応用分野

インクジェット・プリンタ, ファクシミリ, デジタル・スチル・カメラ, DVDプレーヤ, ビデオ・プリンタ, PPC, 情報家電など

## 1.4 オーダ情報

品名	パッケージ	品質水準
$\mu$ PD703103AGJ-UEN	144ピン・プラスチックLQFP (ファインピッチ) (20×20)	標準 (一般電子機器用)
$\mu$ PD703103AGJ-UEN-A	"	"
$\mu$ PD703105AGJ-xxx-UEN	"	"
$\mu$ PD703105AGJ-xxx-UEN-A	"	"
$\mu$ PD703106AGJ-xxx-UEN	"	"
$\mu$ PD703106AGJ-xxx-UEN-A	"	"
$\mu$ PD703107AGJ-xxx-UEN	"	"
$\mu$ PD703107AGJ-xxx-UEN-A	"	"
$\mu$ PD70F3107AGJ-UEN	"	"
$\mu$ PD70F3107AGJ-UEN-A	"	"
$\mu$ PD703106AF1-xxx-EN4	161ピン・プラスチックFBGA (13×13)	"
$\mu$ PD703106AF1-xxx-EN4-A	"	"
$\mu$ PD703107AF1-xxx-EN4	"	"
$\mu$ PD703107AF1-xxx-EN4-A	"	"
$\mu$ PD70F3107AF1-EN4	"	"
$\mu$ PD70F3107AF1-EN4-A	"	"
$\mu$ PD70F3107AGJ(A)-UEN	144ピン・プラスチックLQFP (ファインピッチ) (20×20)	特別 (高信頼度電子機器用)

備考1. xxxはROMコード番号です。

2. オーダ名称末尾「-A」の製品は、鉛フリー製品です。

$\mu$ PD70F3107Aと $\mu$ PD70F3107A(A)では、品質水準以外の相違はありません。

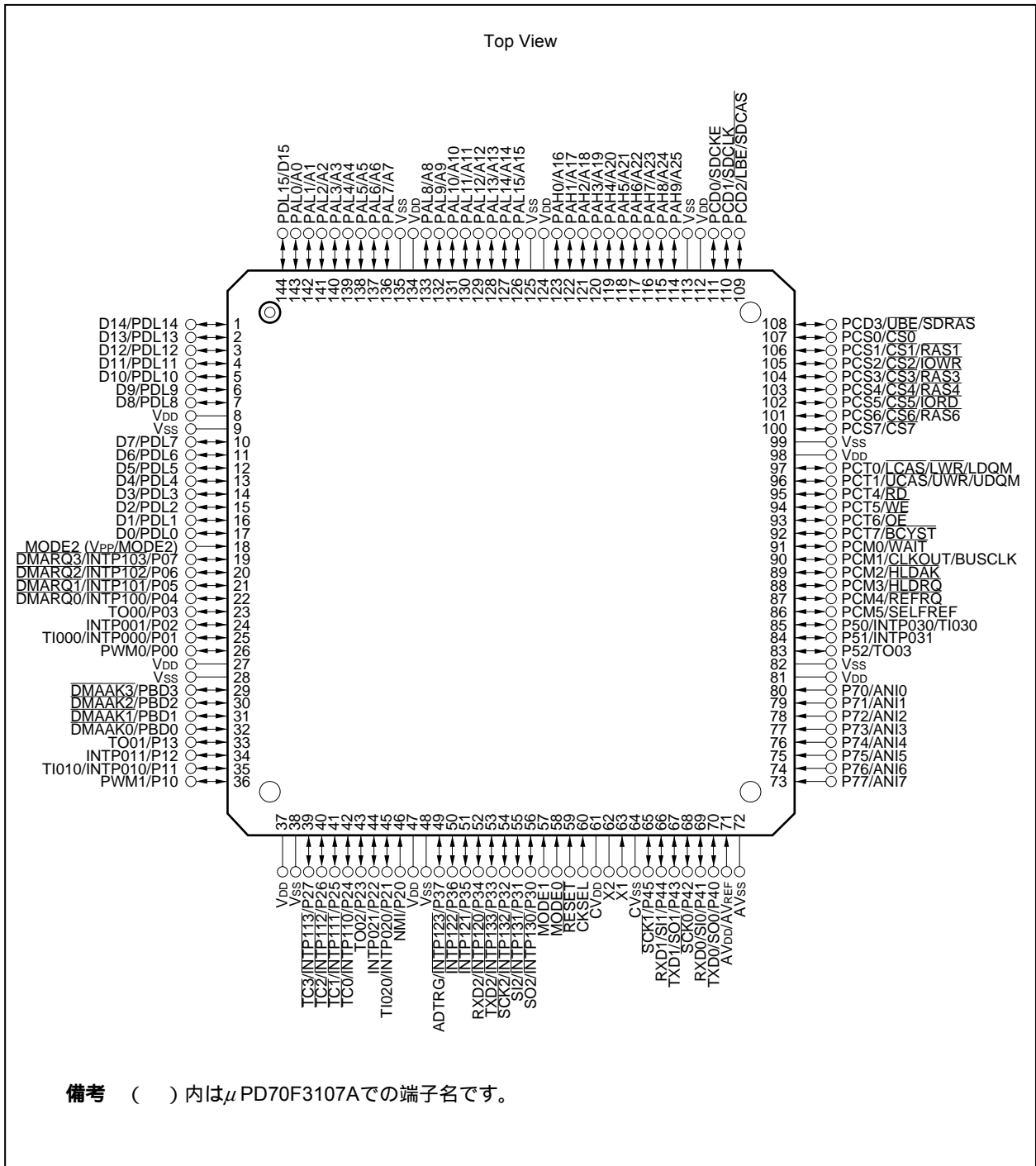
品質水準とその応用分野の詳細については当社発行の資料「NEC半導体デバイスの品質水準」  
(資料番号 C11531J)をご覧ください。



## 1.5 端子接続図

・ 144ピン・プラスチックLQFP（ファインピッチ）（20×20）

- $\mu$ PD703103AGJ-UEN                       $\mu$ PD703107AGJ-xxx-UEN
- $\mu$ PD703103AGJ-UEN-A                   $\mu$ PD703107AGJ-xxx-UEN-A
- $\mu$ PD703105AGJ-xxx-UEN                 $\mu$ PD70F3107AGJ-UEN
- $\mu$ PD703105AGJ-xxx-UEN-A               $\mu$ PD70F3107AGJ-UEN-A
- $\mu$ PD703106AGJ-xxx-UEN                 $\mu$ PD70F3107AGJ(A)-UEN
- $\mu$ PD703106AGJ-xxx-UEN-A



・161ピン・プラスチックFBGA (13×13)

μ PD703106AF1-xxx-EN4

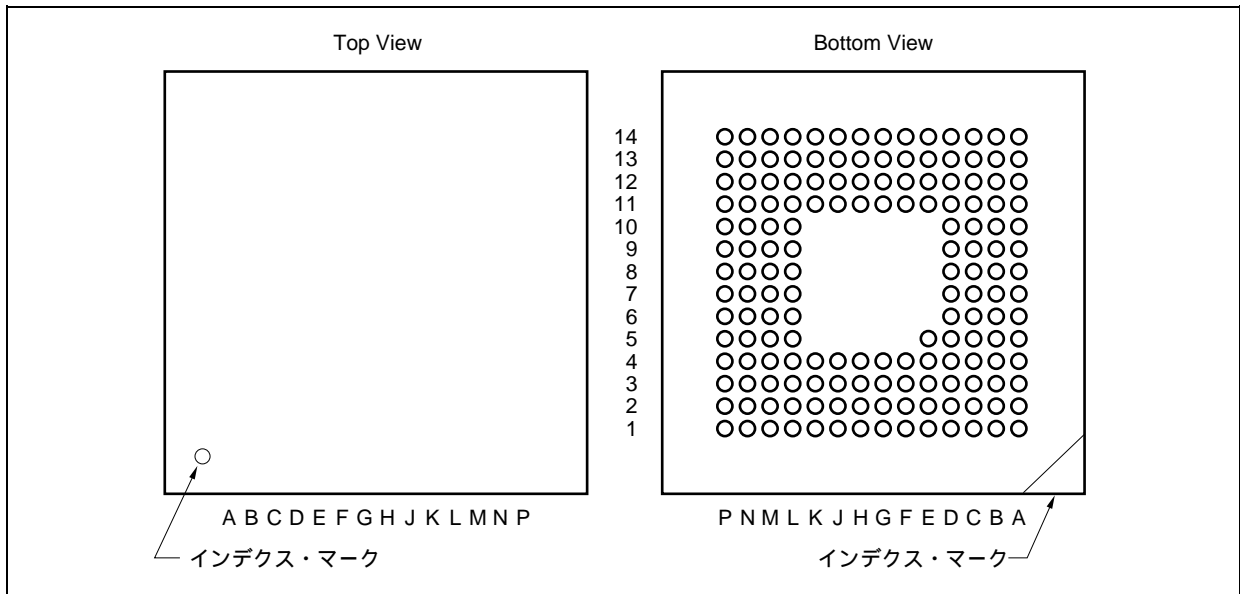
μ PD703107AF1-xxx-EN4

μ PD70F3107AF1-EN4

μ PD703106AF1-xxx-EN4-A

μ PD703107AF1-xxx-EN4-A

μ PD70F3107AF1-EN4-A



(1/2)

ピン番号	名称	ピン番号	名称	ピン番号	名称
A1	-	B10	A21/PAH5	D5	A6/PAL6
A2	D15/PDL15	B11	A25/PAH9	D6	A10/PAL10
A3	A2/PAL2	B12	SDCLK/PCD1	D7	A14/PAL14
A4	A5/PAL5	B13	CS1/RAS1/PCS1	D8	A16/PAH0
A5	-	B14	-	D9	A20/PAH4
A6	A9/PAL9	C1	-	D10	A23/PAH7
A7	A12/PAL12	C2	D9/PDL9	D11	SDCKE/PCD0
A8	A15/PAL15	C3	D13/PDL13	D12	CS0/PCS0
A9	A17/PAH1	C4	A1/PAL1	D13	CS5/IORD/PCS5
A10	-	C5	A7/PAL7	D14	-
A11	A24/PAH8	C6	V <sub>DD</sub>	E1	D5/PDL5
A12	V <sub>DD</sub>	C7	A11/PAL11	E2	D7/PDL7
A13	$\overline{\text{LB}}\overline{\text{E}}/\text{SDCA}\overline{\text{S}}/\text{PCD2}$	C8	V <sub>DD</sub>	E3	D8/PDL8
A14	$\overline{\text{UB}}\overline{\text{E}}/\text{SDRAS}/\text{PCD3}$	C9	A19/PAH3	E4	D11/PDL11
B1	-	C10	A22/PAH6	E5	-
B2	D12/PDL12	C11	V <sub>SS</sub>	E11	CS6/RAS6/PCS6
B3	A0/PAL0	C12	CS3/RAS3/PCS3	E12	CS4/RAS4/PCS4
B4	A4/PAL4	C13	CS2/IOWR/PCS2	E13	CS7/PCS7
B5	V <sub>SS</sub>	C14	-	E14	V <sub>SS</sub>
B6	A8/PAL8	D1	V <sub>SS</sub>	F1	D2/PDL2
B7	A13/PAL13	D2	D10/PDL10	F2	D3/PDL3
B8	V <sub>SS</sub>	D3	D14/PDL14	F3	D4/PDL4
B9	A18/PAH2	D4	A3/PAL3	F4	V <sub>DD</sub>

ピン番号	名称	ピン番号	名称	ピン番号	名称
F11	RD/PCT4	L6	V <sub>DD</sub>	P5	-
F12	V <sub>DD</sub>	L7	INTP122/P36	P6	INTP121/P35
F13	LCAS/LWR/LDQM/PCT0	L8	SI2/INTP131/P31	P7	SCK2/INTP132/P32
F14	UCAS/UWR/UDQM/PCT1	L9	RESET	P8	MODE1
G1	MODE2 ( MODE2/V <sub>PP</sub> )	L10	TXD1/SO1/P43	P9	CV <sub>DD</sub>
G2	DMARQ3/INTP103/P07	L11	ANI7/P77	P10	X1
G3	D0/PDL0	L12	ANI4/P74	P11	-
G4	D6/PDL6	L13	ANI3/P73	P12	RXD1/SI1/P44
G11	WAIT/PCM0	L14	ANI2/P72	P13	RXD0/SI0/P41
G12	WE/PCT5	M1	-	P14	-
G13	BCYST/PCT7	M2	INTP011/P12		
G14	OE/PCT6	M3	TO01/P13		
H1	DMARQ2/INTP102/P06	M4	TC2/INTP112/P26		
H2	DMARQ1/INTP101/P05	M5	TI020/INTP020/P21		
H3	DMARQ0/INTP100/P04	M6	V <sub>SS</sub>		
H4	D1/PDL1	M7	RXD2/INTP120/P34		
H11	REFRQ/PCM4	M8	MODE0		
H12	HLDRQ/PCM3	M9	CKSEL		
H13	HLDK/PCM2	M10	SCK1/P45		
H14	CLKOUT/BUSCLK/PCM1	M11	TXD0/SO0/P40		
J1	TO00/P03	M12	ANI6/P76		
J2	TI000/INTP000/P01	M13	ANI5/P75		
J3	V <sub>DD</sub>	M14	-		
J4	INTP001/P02	N1	-		
J11	TO03/P52	N2	PWM1/P10		
J12	TI030/INTP030/P50	N3	TC3/INTP113/P27		
J13	SELFREF/PCM5	N4	TC0/INTP110/P24		
J14	INTP031/P51	N5	NMI/P20		
K1	PWM0/P00	N6	ADTRG/INTP123/P37		
K2	V <sub>SS</sub>	N7	TXD2/INTP133/P33		
K3	DMAAK1/PBD1	N8	SO2/INTP130/P30		
K4	DMAAK3/PBD3	N9	X2		
K11	ANI1/P71	N10	CV <sub>SS</sub>		
K12	ANI0/P70	N11	SCK0/P42		
K13	V <sub>SS</sub>	N12	AV <sub>DD</sub> /AV <sub>REF</sub>		
K14	V <sub>DD</sub>	N13	AV <sub>SS</sub>		
L1	-	N14	-		
L2	DMAAK2/PBD2	P1	V <sub>DD</sub>		
L3	TI010/INTP010/P11	P2	V <sub>SS</sub>		
L4	DMAAK0/PBD0	P3	TC1/INTP111/P25		
L5	TO02/P23	P4	INTP021/P22		

備考1. A1, A5, A10, B1, B14, C1, C14, D14, E5, L1, M1, M14, N1, N14, P5, P11, P14の端子は、オープンにしてください。

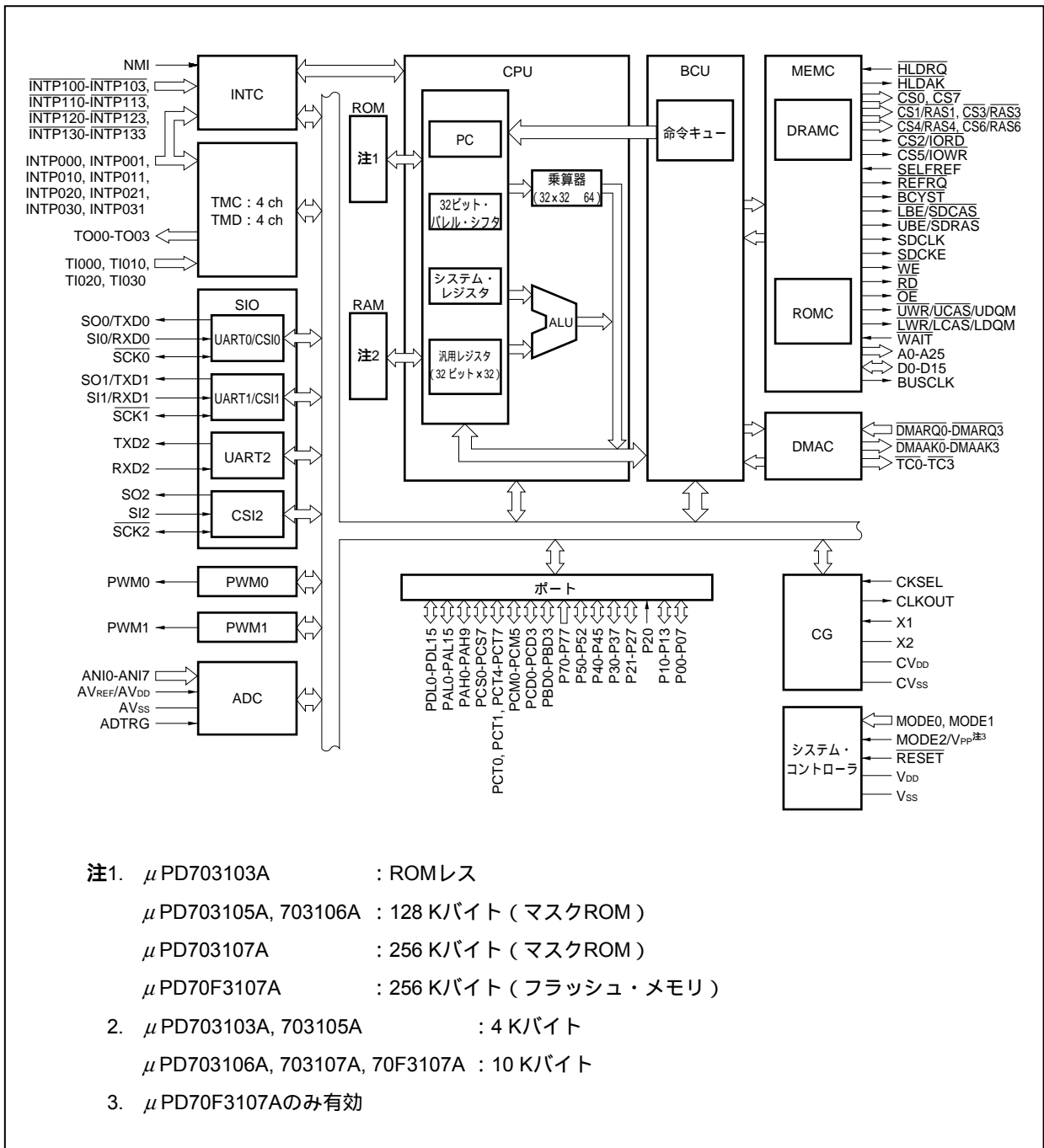
2. ( ) はμ PD70F3107Aでの端子名です。

端子名称

A0-A25	: Address Bus	P50-P52	: Port 5
ADTRG	: A/D Trigger Input	P70-P77	: Port 7
ANI0-ANI7	: Analog Input	PAH0-PAH9	: Port AH
AV <sub>DD</sub>	: Analog Power Supply	PAL0-PAL15	: Port AL
AV <sub>REF</sub>	: Analog Reference Voltage	PBD0-PBD3	: Port BD
AV <sub>SS</sub>	: Analog Ground	PCD0-PCD3	: Port CD
$\overline{\text{BCYST}}$	: Bus Cycle Start Timing	PCM0-PCM5	: Port CM
BUSCLK	: Bus Clock Output	PCS0-PCS7	: Port CS
CKSEL	: Clock Generator	PCT0, PCT1,	: Port CT
	Operating Mode Select	PCT4-PCT7	
CLKOUT	: Clock Output	PDL0-PDL15	: Port DL
$\overline{\text{CS0-CS7}}$	: Chip Select	PWM0, PWM1	: Pulse Width Modulation
CV <sub>DD</sub>	: Clock Generator Power Supply	$\overline{\text{RAS1}}$ , $\overline{\text{RAS3}}$ ,	: Row Address Strobe
CV <sub>SS</sub>	: Clock Generator Ground	$\overline{\text{RAS4}}$ , $\overline{\text{RAS6}}$	
D0-D15	: Data Bus	$\overline{\text{RD}}$	: Read Strobe
$\overline{\text{DMAAK0-DMAAK3}}$	: DMA Acknowledge	$\overline{\text{REFRQ}}$	: Refresh Request
$\overline{\text{DMARQ0-DMARQ3}}$	: DMA Request	$\overline{\text{RESET}}$	: Reset
$\overline{\text{HLDK}}$	: Hold Acknowledge	RXD0-RXD2	: Receive Data
$\overline{\text{HLDRQ}}$	: Hold Request	$\overline{\text{SCK0-SCK2}}$	: Serial Clock
INTP000, INTP001,	: External Interrupt Input	$\overline{\text{SDCAS}}$	: SDRAM Column Address Strobe
INTP010, INTP011,		SDCKE	: SDRAM Clock Enable
INTP020, INTP021,		SDCLK	: SDRAM Clock Output
INTP030, INTP031,		$\overline{\text{SDRAS}}$	: SDRAM Row Address Strobe
$\overline{\text{INTP100-INTP103}}$ ,		SELFREF	: Self-refresh Request
$\overline{\text{INTP110-INTP113}}$ ,		SI0-SI2	: Serial Input
$\overline{\text{INTP120-INTP123}}$ ,		SO0-SO2	: Serial Output
$\overline{\text{INTP130-INTP133}}$		$\overline{\text{TC0-TC3}}$	: Terminal Count Signal
$\overline{\text{IORD}}$	: I/O Read Strobe	TI000, TI010,	: Timer Input
$\overline{\text{IOWR}}$	: I/O Write Strobe	TI020, TI030	
$\overline{\text{LBE}}$	: Lower Byte Enable	TO00-TO03	: Timer Output
$\overline{\text{LCAS}}$	: Lower Column Address Strobe	TXD0-TXD2	: Transmit Data
$\overline{\text{LDQM}}$	: Lower DQ Mask Enable	$\overline{\text{UBE}}$	: Upper Byte Enable
$\overline{\text{LWR}}$	: Lower Write Strobe	$\overline{\text{UCAS}}$	: Upper Column Address Strobe
MODE0-MODE2	: Mode	UDQM	: Upper DQ Mask Enable
NMI	: Non-maskable Interrupt Request	$\overline{\text{UWR}}$	: Upper Write Strobe
$\overline{\text{OE}}$	: Output Enable	V <sub>DD</sub>	: Power Supply
P00-P07	: Port 0	V <sub>PP</sub>	: Programming Power Supply
P10-P13	: Port 1	V <sub>SS</sub>	: Ground
P20-P27	: Port 2	$\overline{\text{WAIT}}$	: Wait
P30-P37	: Port 3	$\overline{\text{WE}}$	: Write Enable
P40-P45	: Port 4	X1, X2	: Crystal

## 1.6 機能ブロック構成

### 1.6.1 内部ブロック図



## 1.6.2 内部ユニット

### (1) CPU

アドレス計算, 算術論理演算, データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行できます。

乗算器(16ビット×16ビット 32ビット, または32ビット×32ビット 64ビット), バレル・シフタ(32ビット)などの専用ハードウェアを内蔵し, 複雑な命令処理の高速化を図っています。

### (2) バス・コントロール・ユニット(BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は, プリフェッチ・アドレスを生成し, 命令コードのプリフェッチを行います。プリフェッチされた命令コードは, CPU内部の命令キューに取り込まれます。

BCUは, DRAMコントローラ(DRAMC), ページROMコントローラ(ROMC), DMAコントローラ(DMAC)を制御し, 外部メモリへのアクセスやDMA転送を行います。

#### (a) DRAMコントローラ(DRAMC)

##### (i) SDRAM

$\overline{\text{SDRAS}}$ ,  $\overline{\text{SDCAS}}$ ,  $\overline{\text{UDQM}}$ ,  $\overline{\text{LDQM}}$ 信号の生成とSDRAMへのアクセス制御を行います。

CASレーテンシ2, 3に対応しており, バースト長は1固定です。

また, CBR(オート)リフレッシュ・サイクルに対応したリフレッシュ機能および外部入力によるダイナミックなセルフ・リフレッシュ機能があります。

##### (ii) EDO DRAM

$\overline{\text{RAS}}$ ,  $\overline{\text{UCAS}}$ ,  $\overline{\text{LCAS}}$ 信号の生成(2CAS制御)とDRAMへのアクセス制御を行います。

EDO DRAMに対応しており, DRAMへのアクセスには, 通常アクセス(オフページ)とページ・アクセス(オンページ)の2種類のアクセスがあります。

また, CBRリフレッシュ・サイクルに対応したリフレッシュ機能および外部入力によるダイナミックなセルフ・リフレッシュ機能があります。

#### (b) ページROMコントローラ(ROMC)

ページ・アクセス機能付きROMへのアクセスに対応します。

直前のバス・サイクルとの比較を行い, 通常アクセス(オフページ)/ページ・アクセス(オンページ)のウエイト制御を行います。8-128バイトのページ幅に対応できます。

#### (c) DMAコントローラ(DMAC)

CPUの代わりにメモリ, I/O間でのデータの転送を行います。

アドレス・モードには, フライパイ(1サイクル転送), 2サイクル転送があります。バス・モードには, シングル転送, シングルステップ転送, ブロック転送の3種類があります。

### (3) ROM

$\mu$ PD703105A, 703106AではマスクROM(128 Kバイト),  $\mu$ PD703107AではマスクROM(256 Kバイ

ト) ,  $\mu$ PD70F3107Aではフラッシュ・メモリ (256 Kバイト) を内蔵しています。  $\mu$ PD703103Aでは内蔵していません。

命令フェッチ時にCPUから1クロックでアクセスできます。

シングルチップ・モード0, フラッシュ・メモリ・プログラミング・モードに設定した場合は, 00000000H番地からマッピングされます。

シングルチップ・モード1に設定した場合は00100000H番地からマッピングされます。

ROMレス・モードに設定した場合は, アクセスできません。

#### (4) RAM

FFFFC000H番地からマッピングされています。

命令フェッチ時, データ・アクセス時にCPUから1クロックでアクセスできます。

#### (5) 割り込みコントローラ (INTC)

内蔵周辺I/Oおよび, 外部からのハードウェア割り込み要求 (NMI, INTP0n0, INTP0n1,  $\overline{\text{INTP1nn}}$ ) を処理します ( $n=0-3$ )。これらの割り込み要求は, 8レベルの割り込み優先順位が指定でき, 割り込み要因に対して多重処理制御を行うこともできます。

#### (6) クロック・ジェネレータ (CG)

入力クロック ( $f_x$ ) の10倍 (内蔵PLL使用), または1/2倍 (内蔵PLL未使用) の周波数を内部システム・クロック ( $f_{xx}$ ) として供給します。入力クロックとして外部発振子をX1, X2端子に接続するか (内蔵PLLシンセサイザ使用時だけ), 外部クロックをX1端子から入力します。

#### (7) タイマ/カウンタ

16ビットのタイマ/イベント・カウンタを4チャンネルと, 16ビットのインターバル・タイマを4チャンネル内蔵しています。パルス間隔や周波数の計測, プログラマブルなパルスの出力ができます。

#### (8) シリアル・インタフェース (SIO)

シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェース (UART), クロック同期式シリアル・インタフェース (CSI) をあわせて4チャンネル備えています。このうち2チャンネルはUARTとCSIの切り替えが可能で, 1チャンネルはCSIに固定, 1チャンネルはUARTに固定です。

UARTは, TXDn, RXDn端子によりデータ転送を行います ( $n=0-2$ )。

CSIは, SON, SIn,  $\overline{\text{SCKn}}$ 端子によりデータ転送を行います ( $n=0-2$ )。

#### (9) A/Dコンバータ (ADC)

8本のアナログ入力端子を持つ高速, 高分解能の10ビットA/Dコンバータです。逐次変換方式で変換します。

#### (10) PWM

8/9/10/12ビット分解能のPWM信号出力を2チャンネル備えています。PWM出力は, 外部ロウ・パス・フィルタを接続することによって, デジタル-アナログ変換出力として使用することができます。モータなどのアクチュエータ制御信号に最適です。

(11) ポート

次に示すように、汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	制御機能
ポート0	8ビット入出力	タイマ/カウンタ入出力, 外部割り込み入力, PWM出力, DMAコントローラ入力
ポート1	4ビット入出力	タイマ/カウンタ入出力, 外部割り込み入力, PWM出力
ポート2	1ビット入力, 7ビット入出力	NMI入力, タイマ/カウンタ入出力, 外部割り込み入力, DMAコントローラ出力
ポート3	8ビット入出力	シリアル・インタフェース入出力, 外部割り込み入力, A/Dコンバータ外部トリガ入力
ポート4	6ビット入出力	シリアル・インタフェース入出力
ポート5	3ビット入出力	タイマ/カウンタ入出力, 外部割り込み入力
ポート7	8ビット入力	A/Dコンバータ入力
ポートAL	8/16ビット入出力	外部アドレス・バス
ポートAH	8/10ビット入出力	外部アドレス・バス
ポートDL	8/16ビット入出力	外部データ・バス
ポートCS	8ビット入出力	外部バス・インタフェース制御信号出力
ポートCT	6ビット入出力	外部バス・インタフェース制御信号出力
ポートCM	6ビット入出力	ウェイト挿入信号入力, 内部システム・クロック出力, 外部バス・インタフェース制御信号入出力, セルフ・リフレッシュ要求信号入力
ポートCD	4ビット入出力	外部バス・インタフェース制御信号出力
ポートBD	4ビット入出力	DMAコントローラ出力

1.7 各製品の相違点

項目	μ PD703103A	μ PD703105A	μ PD703106A	μ PD703107A	μ PD70F3107A	μ PD70F3107A(A)
内蔵ROM	マスクROM				フラッシュ・メモリ	
	なし	128 Kバイト		256 Kバイト		
内蔵RAM	4 Kバイト		10 Kバイト			
フラッシュ・メモリ・プログラミング・モード	なし				あり	
V <sub>PP</sub> 端子	なし				あり	
パッケージ	144LQFP		144LQFP 161FBGA		144LQFP	
品質水準	標準				特別	
電気的特性	消費電力などが異なります (第17章 電気的特性を参照してください)。					
その他	回路の規模やマスク・レイアウトが異なるため、ノイズ耐量、ノイズ輻射などが異なります。					

備考 144LQFP : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

161FBGA : 161ピン・プラスチックFBGA (13×13)



## 第2章 端子機能

V850E/MA1の端子の名称と機能を次に示します。これらの端子は、機能別にポート端子とそれ以外の端子に分けることができます。

### 2.1 端子機能一覧

#### (1) ポート端子

( 1/3 )

端子名称	入出力	機 能	兼用端子
P00	入出力	ポート0 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	PWM0
P01			TI000/INTP000
P02			INTP001
P03			TO00
P04			DMARQ0/INTP100
P05			DMARQ1/INTP101
P06			DMARQ2/INTP102
P07			DMARQ3/INTP103
P10	入出力	ポート1 4ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	PWM1
P11			INTP010/TI010
P12			INTP011
P13			TO01
P20	入力	ポート2 P20はNMIの入力状態確認専用の入力ポート 有効エッジが入力されると、NMI入力として動作します。 P21-P27は7ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	NMI
P21	入出力		INTP020/TI020
P22			INTP021
P23			TO02
P24			TC0/INTP110
P25			TC1/INTP111
P26			TC2/INTP112
P27			TC3/INTP113
P30	入出力	ポート3 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	SO2/INTP130
P31			SI2/INTP131
P32			SCK2/INTP132
P33			TXD2/INTP133
P34			RXD2/INTP120
P35			INTP121
P36			INTP122
P37			ADTRG/INTP123

端子名称	入出力	機 能	兼用端子
P40	入出力	ポート4 6ビット入出力ポート 1ビット単位で入力/出力の指定が可能	TXD0/SO0
P41			RXD0/SI0
P42			SCK0
P43			TXD1/SO1
P44			RXD1/SI1
P45			SCK1
P50	入出力	ポート5 3ビット入出力ポート 1ビット単位で入力/出力の指定が可能	INTP030/TI030
P51			INTP031
P52			TO03
P70-P77	入力	ポート7 8ビット入力専用ポート	ANI0-ANI7
PBD0-PBD3	入出力	ポートBD 4ビット入出力ポート 1ビット単位で入力/出力の指定が可能	DMAAK0-DMAAK3
PCM0	入出力	ポートCM 6ビット入出力ポート 1ビット単位で入力/出力の指定が可能	WAIT
PCM1			CLKOUT/BUSCLK
PCM2			HLDK
PCM3			HLDQ
PCM4			REFRQ
PCM5			SELRREF
PCT0	入出力	ポートCT 6ビット入出力ポート 1ビット単位で入力/出力の指定が可能	LCAS/LWR/LDQM
PCT1			UCAS/UWR/UDQM
PCT4			RD
PCT5			WE
PCT6			OE
PCT7			BCYST
PCS0			入出力
PCS1	CS1/RAS1		
PCS2	CS2/IOWR		
PCS3	CS3/RAS3		
PCS4	CS4/RAS4		
PCS5	CS5/IORD		
PCS6	CS6/RAS6		
PCS7	CS7		
PCD0	入出力	ポートCD 4ビット入出力ポート 1ビット単位で入力/出力の指定が可能	SDCKE
PCD1			SDCLK
PCD2			LBE/SDCAS
PCD3			UBE/SDRAS

端子名称	入出力	機 能	兼用端子
PAH0-PAH9	入出力	ポートAH 8/10ビット入出力ポート 1ビット単位で入力/出力の指定が可能	A16-A25
PAL0-PAL15	入出力	ポートAL 8/16ビット入出力ポート 1ビット単位で入力/出力の指定が可能	A0-A15
PDL0-PDL15	入出力	ポートDL 8/16ビット入出力ポート 1ビット単位で入力/出力の指定が可能	D0-D15

## (2) ポート以外の端子

( 1/3 )

端子名称	入出力	機 能	兼用端子
TO00	出力	タイマC0-C3のパルス信号出力	P03
TO01			P13
TO02			P23
TO03			P52
TI000	入力	タイマC0-C3の外部カウント・クロック入力	P01/INTP000
TI010			P11/INTP010
TI020			P21/INTP020
TI030			P50/INTP030
INTP000	入力	外部マスカブル割り込み要求入力 /	P01/TI000
INTP001		タイマC0の外部キャプチャ・トリガ入力	P02
INTP010		外部マスカブル割り込み要求入力 /	P11/TI010
INTP011		タイマC1の外部キャプチャ・トリガ入力	P12
INTP020		外部マスカブル割り込み要求入力 /	P21/TI020
INTP021		タイマC2の外部キャプチャ・トリガ入力	P22
INTP030		外部マスカブル割り込み要求入力 /	P50/TI030
INTP031		タイマC3の外部キャプチャ・トリガ入力	P51
$\overline{\text{INTP100}}$	入力	外部マスカブル割り込み要求入力	P04/ $\overline{\text{DMARQ0}}$
$\overline{\text{INTP101}}$			P05/ $\overline{\text{DMARQ1}}$
$\overline{\text{INTP102}}$			P06/ $\overline{\text{DMARQ2}}$
$\overline{\text{INTP103}}$			P07/ $\overline{\text{DMARQ3}}$
$\overline{\text{INTP110}}$			P24/ $\overline{\text{TC0}}$
$\overline{\text{INTP111}}$			P25/ $\overline{\text{TC1}}$
$\overline{\text{INTP112}}$			P26/ $\overline{\text{TC2}}$
$\overline{\text{INTP113}}$			P27/ $\overline{\text{TC3}}$
$\overline{\text{INTP120}}$			P34/ $\overline{\text{RXD2}}$
$\overline{\text{INTP121}}$			P35
$\overline{\text{INTP122}}$			P36
$\overline{\text{INTP123}}$			P37/ $\overline{\text{ADTRG}}$
$\overline{\text{INTP130}}$			P30/ $\overline{\text{SO2}}$
$\overline{\text{INTP131}}$			P31/ $\overline{\text{SI2}}$
$\overline{\text{INTP132}}$	P32/ $\overline{\text{SCK2}}$		
$\overline{\text{INTP133}}$	P33/ $\overline{\text{TXD2}}$		
SO0	出力	CSI0-CSI2のシリアル送信データ出力 (3線式)	P40/ $\overline{\text{TXD0}}$
SO1			P43/ $\overline{\text{TXD1}}$
SO2			P30/ $\overline{\text{INTP130}}$
SI0	入力	CSI0-CSI2のシリアル受信データ入力 (3線式)	P41/ $\overline{\text{RXD0}}$
SI1			P44/ $\overline{\text{RXD1}}$
SI2			P31/ $\overline{\text{INTP131}}$
$\overline{\text{SCK0}}$	入出力	CSI0-CSI2のシリアル・クロック入出力 (3線式)	P42
$\overline{\text{SCK1}}$			P45
$\overline{\text{SCK2}}$			P32/ $\overline{\text{INTP132}}$

端子名称	入出力	機 能	兼用端子
TXD0	出力	UART0-UART2のシリアル送信データ出力	P40/SO0
TXD1			P43/SO1
TXD2			P33/ $\overline{\text{INTP133}}$
RXD0	入力	UART0-UART2のシリアル受信データ入力	P41/SI0
RXD1			P44/SI1
RXD2			P34/ $\overline{\text{INTP120}}$
PWM0	出力	PWMのパルス信号出力	P00
PWM1			P10
ANI0-ANI7	入力	A/Dコンバータへのアナログ入力	P70-P77
ADTRG	入力	A/Dコンバータ外部トリガ入力	P37/ $\overline{\text{INTP123}}$
$\overline{\text{DMARQ0}}$	入力	DMA要求信号入力	P04/ $\overline{\text{INTP100}}$
$\overline{\text{DMARQ1}}$			P05/ $\overline{\text{INTP101}}$
$\overline{\text{DMARQ2}}$			P06/ $\overline{\text{INTP102}}$
$\overline{\text{DMARQ3}}$			P07/ $\overline{\text{INTP103}}$
$\overline{\text{DMAAK0}}$	出力	DMAアクノリッジ信号出力	PBD0
$\overline{\text{DMAAK1}}$			PBD1
$\overline{\text{DMAAK2}}$			PBD2
$\overline{\text{DMAAK3}}$			PBD3
$\overline{\text{TC0}}$	出力	DMA転送終了(ターミナル・カウント)信号出力	P24/ $\overline{\text{INTP110}}$
$\overline{\text{TC1}}$			P25/ $\overline{\text{INTP111}}$
$\overline{\text{TC2}}$			P26/ $\overline{\text{INTP112}}$
$\overline{\text{TC3}}$			P27/ $\overline{\text{INTP113}}$
NMI	入力	ノンマスカブル割り込み要求信号入力	P20
MODE0	入力	V850E/MA1の動作モードを指定	-
MODE1			-
MODE2			V <sub>PP</sub>
V <sub>PP</sub>	入力	フラッシュ書き込み電源印加端子(μPD70F3107Aのみ)	MODE2
$\overline{\text{WAIT}}$	入力	バス・サイクルにウエイトを挿入する制御信号入力	PCM0
$\overline{\text{HLDK}}$	出力	バス・ホールド・アクノリッジ出力	PCM2
$\overline{\text{HLDRQ}}$	入力	バス・ホールド要求入力	PCM3
$\overline{\text{REFRQ}}$	出力	DRAMに対するリフレッシュ要求信号出力	PCM4
SELFREF	入力	DRAMに対するセルフ・リフレッシュ要求入力	PCM5
$\overline{\text{LCAS}}$	出力	DRAMの下位データに対するカラム・アドレス・ストロープ信号出力	PCT0/ $\overline{\text{LWR/LDQM}}$
$\overline{\text{UCAS}}$	出力	DRAMの上位データに対するカラム・アドレス・ストロープ信号出力	PCT1/ $\overline{\text{UWR/UDQM}}$
$\overline{\text{LWR}}$	出力	外部データの下位バイト・ライト・ストロープ信号出力	PCT0/ $\overline{\text{LCAS/LDQM}}$
$\overline{\text{UWR}}$	出力	外部データの上位バイト・ライト・ストロープ信号出力	PCT1/ $\overline{\text{UCAS/UDQM}}$
LDQM	出力	SDRAMの下位データに対するアウトプット・ディスエーブル/ライト・マスク信号出力	PCT0/ $\overline{\text{LCAS/LWR}}$
UDQM	出力	SDRAMの上位データに対するアウトプット・ディスエーブル/ライト・マスク信号出力	PCT1/ $\overline{\text{UCAS/UWR}}$
$\overline{\text{RD}}$	出力	外部データ・バスのリード・ストロープ信号出力	PCT4
$\overline{\text{WE}}$	出力	DRAMに対するライト・イネーブル信号出力	PCT5
$\overline{\text{OE}}$	出力	DRAMに対するアウトプット・イネーブル信号出力	PCT6
$\overline{\text{BCYST}}$	出力	バス・サイクルの開始を示すストロープ信号出力	PCT7

端子名称	入出力	機能	兼用端子
$\overline{CS0}$	出力	チップ・セレクト信号出力	PCS0
$\overline{CS1}$			PCS1/ $\overline{RAS1}$
$\overline{CS2}$			PCS2/ $\overline{IOWR}$
$\overline{CS3}$			PCS3/ $\overline{RAS3}$
$\overline{CS4}$			PCS4/ $\overline{RAS4}$
$\overline{CS5}$			PCS5/ $\overline{IORD}$
$\overline{CS6}$			PCS6/ $\overline{RAS6}$
$\overline{CS7}$			PCS7
$\overline{RAS1}$	出力	DRAMに対するロウ・アドレス・ストロープ信号出力	PCS1/ $\overline{CS1}$
$\overline{RAS3}$			PCS3/ $\overline{CS3}$
$\overline{RAS4}$			PCS4/ $\overline{CS4}$
$\overline{RAS6}$			PCS6/ $\overline{CS6}$
$\overline{IOWR}$	出力	DMAライト・ストロープ信号出力	PCS2/ $\overline{CS2}$
$\overline{IORD}$	出力	DMAリード・ストロープ信号出力	PCS5/ $\overline{CS5}$
SDCKE	出力	SDRAMクロック・イネーブル信号出力	PCD0
SDCLK	出力	SDRAMクロック信号出力	PCD1
$\overline{SDCAS}$	出力	SDRAMに対するカラム・アドレス・ストロープ信号出力	PCD2/ $\overline{LBE}$
$\overline{SDRAS}$	出力	SDRAMに対するロウ・アドレス・ストロープ信号出力	PCD3/ $\overline{UBE}$
$\overline{LBE}$	出力	外部データ・バスの下位バイト・イネーブル信号出力	PCD2/ $\overline{SDCAS}$
$\overline{UBE}$	出力	外部データ・バスの上位バイト・イネーブル信号出力	PCD3/ $\overline{SDRAS}$
D0-D15	入出力	外部メモリに対する16ビット・データ・バス	PDL0-PDL15
A0-A15	出力	外部メモリに対する26ビット・アドレス・バス	PAL0-PAL15
A16-A25			PAH0-PAH9
RESET	入力	システム・リセット入力	-
X1	入力	システム・クロック発振用クリスタル接続端子。	-
X2	-	外部からクロックを供給する場合は、X1端子に入力します。	-
CLKOUT	出力	システム・クロック出力	PCM1/ $\overline{BUSCLK}$
$\overline{BUSCLK}$	出力	バス・クロック出力	PCM1/ $\overline{CLKOUT}$
CKSEL	入力	クロック・ジェネレータの動作モードを指定する入力	-
$\overline{AVREF}$	入力	A/Dコンバータ用基準電圧入力	$\overline{AVDD}$
$\overline{AVDD}$	-	A/Dコンバータ用正電源供給	$\overline{AVREF}$
$\overline{AVSS}$	-	A/Dコンバータ用グランド電位	-
$\overline{CVDD}$	-	専用クロック・ジェネレータ用正電源供給	-
$\overline{CVSS}$	-	専用クロック・ジェネレータ用グランド電位	-
$\overline{VDD}$	-	正電源供給端子	-
$\overline{VSS}$	-	グランド電位	-

## 2.2 端子状態

リセット時、パワー・セーブ・モード（ソフトウェアSTOPモード、IDLE、HALT）時、DMA転送時、リフレッシュ時、バス・ホールド（TH）時での各端子の状態を次に示します。

端子	動作状態	リセット (シングルチップ・モード0) <sup>注1</sup>	リセット (シングルチップ・モード1, ROMレス・モード0,1)	IDLEモード/ ソフトウェア STOPモード	HALTモード/ DMA転送中/ リフレッシュ	バス・ホールド (TH) <sup>注2</sup>
A0-A15 (PAL0-PAL15)		Hi-Z	Hi-Z	Hi-Z	動作	Hi-Z
A16-A25 (PAH0-PAH9)		Hi-Z	Hi-Z	Hi-Z	動作	Hi-Z
D0-D15 (PDL0-PDL15)		Hi-Z	Hi-Z	Hi-Z	動作	Hi-Z
CS0-CS7 (PCS0-PCS7)		Hi-Z	Hi-Z	SELF	動作	Hi-Z
RAS1, RAS3, RAS4, RAS6 (PCS1, PCS3, PCS4, PCS6)		x	x	CBR	動作	Hi-Z
IOWR (PCS2)		x	x	H	動作	Hi-Z
IORD (PCS5)		x	x	H	動作	Hi-Z
LWR, UWR (PCT0, PCT1)		Hi-Z	Hi-Z	H	動作	Hi-Z
LCAS, UCAS (PCT0, PCT1)		x	x	CBR	動作	Hi-Z
LDQM, UDQM (PCT0, PCT1)		x	x	H	動作	Hi-Z
RD (PCT4)		Hi-Z	Hi-Z	H	動作	Hi-Z
WE (PCT5)		Hi-Z	Hi-Z	H	動作	Hi-Z
OE (PCT6)		Hi-Z	Hi-Z	H	動作	Hi-Z
BCYST (PCT7)		Hi-Z	Hi-Z	H	動作	Hi-Z
WAIT (PCM0)		Hi-Z	Hi-Z	-	動作	-
CLKOUT (PCM1)		Hi-Z	動作	L	動作	動作
BUSCLK (PCM1)		x	x	L	動作	動作
HLDK (PCM2)		Hi-Z	Hi-Z	H	動作	L
HLDKQ (PCM3)		Hi-Z	Hi-Z	-	動作	動作
REFRQ (PCM4)		Hi-Z	Hi-Z	CBR	動作	動作
SELFREF (PCM5)		Hi-Z	Hi-Z	-	動作	-
SDCKE (PCD0)		Hi-Z	Hi-Z	L	動作	動作
SDCLK (PCD1)		Hi-Z	Hi-Z	L	動作	動作
SDCAS (PCD2)		x	x	SELF	動作	Hi-Z
LBE (PCD2)		Hi-Z	Hi-Z	H	動作	Hi-Z
SDRAS (PCD3)		x	x	SELF	動作	Hi-Z
UBE (PCD3)		Hi-Z	Hi-Z	H	動作	Hi-Z
DMAAK0-DMAAK3 (PBD0-PBD3)		Hi-Z	Hi-Z	H	動作	H

注1. 端子は入力ポート・モードになり、ハイ・インピーダンス状態になります。

2. ポート・モードに指定した端子は、直前の状態を保持します。

備考 Hi-Z : ハイ・インピーダンス

H : ハイ・レベル出力

L : ロウ・レベル出力

- : 入力非サンプリング

x : リセット時非選択機能

CBR : DRAMのリフレッシュ状態

SELF : SDRAMに接続している場合は、セルフ・リフレッシュ状態

## 2.3 端子機能の説明

### (1) P00-P07 (Port 0) ... 3ステート入出力

ポート0は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P00-P07は入出力ポートとして機能するほか、コントロール・モードではタイマ/カウンタの入出力、外部割り込み要求入力、PWMの出力、DMA要求入力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポート0モード・コントロール・レジスタ (PMC0) で指定します。

#### (a) ポート・モード

P00-P07はポート0モード・レジスタ (PM0) により、ビット単位に入力または出力を設定できます。

#### (b) コントロール・モード

P00-P07はPMC0レジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

#### (i) PWM0 (Pulse Width Modulation) ... 出力

PWMのパルス信号を出力します。

#### (ii) TI000 (Timer Input) ... 入力

タイマC0の外部カウント・クロック入力端子です。

#### (iii) TO00 (Timer Output) ... 出力

タイマC0のパルス信号を出力します。

#### (iv) INTP000, INTP001 (External Interrupt Input) ... 入力

外部割り込み要求入力端子およびタイマC0の外部キャプチャ・トリガ入力端子です。

#### (v) INTP100-INTP103 (External Interrupt Input) ... 入力

外部割り込み要求入力端子です。

#### (vi) DMARQ0-DMARQ3 (DMA Request) ... 入力

DMAサービスの要求信号です。それぞれDMAチャンネル0-3に対応し互いに独立して動作します。優先順位は固定でDMARQ0 > DMARQ1 > DMARQ2 > DMARQ3です。

この信号は、CLKOUTの立ち上がりでサンプリングされます。DMA要求が受け付けられるまでアクティブ・レベルを保持してください。



**(2) P10-P13 (Port 1) ... 3ステート入出力**

ポート1は、1ビット単位で入力または出力を設定できる4ビットの入出力ポートです。

P10-P13は入出力ポートとして機能するほか、コントロール・モードではタイマ/カウンタの入出力、外部割り込み要求入力、PWMの出力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポート1モード・コントロール・レジスタ (PMC1) で指定します。

**(a) ポート・モード**

P10-P13はポート1モード・レジスタ (PM1) により、ビット単位に入力または出力を設定できます。

**(b) コントロール・モード**

P10-P13はPMC1レジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

**(i) PWM1 (Pulse Width Modulation) ... 出力**

PWMのパルス信号を出力します。

**(ii) TI010 (Timer Input) ... 入力**

タイマC1の外部カウント・クロック入力端子です。

**(iii) TO01 (Timer Output) ... 出力**

タイマC1のパルス信号を出力します。

**(iv) INTP010, INTP011 (External Interrupt Input) ... 入力**

外部割り込み要求入力端子およびタイマC1の外部キャプチャ・トリガ入力端子です。

**(3) P20-P27 (Port 2) ... 3ステート入出力**

ポート2は、NMIの入力状態確認専用の入力端子であるP20を除き、1ビット単位で入力または出力を設定できる7ビットの入出力ポートです。

P21-P27は入出力ポートとして機能するほか、コントロール・モードではタイマ/カウンタの入出力、外部割り込み要求入力、DMA転送終了出力(ターミナル・カウント)として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポート2モード・コントロール・レジスタ(PMC2)で指定します。

**(a) ポート・モード**

P21-P27はポート2モード・レジスタ(PM2)により、ビット単位に入力または出力を設定できます。

P20はNMIの入力状態確認専用の入力ポートで、有効エッジが入力されるとNMI入力として動作します。

**(b) コントロール・モード**

P21-P27はPMC2レジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

**(i) NMI (Non-Maskable Interrupt Request) ... 入力**

ノンマスクابل割り込み要求入力です。

**(ii) TI020 (Timer Input) ... 入力**

タイマC2の外部カウント・クロック入力端子です。

**(iii) TO02 (Timer Output) ... 出力**

タイマC2のパルス信号を出力します。

**(iv) INTP020, INTP021 (External Interrupt Input) ... 入力**

外部割り込み要求入力端子およびタイマC2の外部キャプチャ・トリガ入力端子です。

**(v)  $\overline{\text{INTP110}}\text{-}\overline{\text{INTP113}}$  (External Interrupt Input) ... 入力**

外部割り込み要求入力端子です。

**(vi)  $\overline{\text{TC0}}\text{-}\overline{\text{TC3}}$  (Terminal Count) ... 出力**

DMAコントローラによるDMA転送が終了したことを示す信号です。この信号は、CLKOUT信号の立ち上がりで1クロック間アクティブになります。

**(4) P30-P37 (Port 3) ... 3ステート入出力**

ポート3は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P30-P37は入出力ポートとして機能するほか、コントロール・モードではシリアル・インタフェース(CSI2, UART2)の入出力、外部割り込み要求入力、A/Dコンバータの外部トリガ入力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポート3モード・コントロール・レジスタ(PMC3)で指定します。

**(a) ポート・モード**

P30-P37はポート3モード・レジスタ(PM3)により、ビット単位に入力または出力を設定できます。

**(b) コントロール・モード**

P30-P37はPMC3レジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

**(i) TXD2 (Transmit Data) ... 出力**

UART2のシリアル送信データを出力します。

**(ii) RXD2 (Receive Data) ... 入力**

UART2のシリアル受信データを入力します。

**(iii) SO2 (Serial Output) ... 出力**

CSI2のシリアル送信データを出力します。

**(iv) SI2 (Serial Input) ... 入力**

CSI2のシリアル受信データを入力します。

**(v)  $\overline{\text{SCK2}}$  (Serial Clock) ... 3ステート入出力**

CSI2のシリアル・クロック入出力端子です。

**(vi)  $\overline{\text{INTP120}}\text{-}\overline{\text{INTP123}}$ ,  $\overline{\text{INTP130}}\text{-}\overline{\text{INTP133}}$  (External Interrupt Input) ... 入力**

外部割り込み要求入力端子です。

**(vii) ADTRG (A/D Trigger Input) ... 入力**

A/Dコンバータの外部トリガ入力端子です。

**(5) P40-P45 (Port 4) ... 3ステート入出力**

ポート4は、1ビット単位で入力または出力を設定できる6ビットの入出力ポートです。

P40-P45は入出力ポートとして機能するほか、コントロール・モードではシリアル・インタフェース (UART0/CSI0, UART1/CSI1) の入出力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポート4モード・コントロール・レジスタ (PMC4) で指定します。

**(a) ポート・モード**

P40-P45はポート4モード・レジスタ (PM4) により、ビット単位に入力または出力を設定できます。

**(b) コントロール・モード**

P40-P45はPMC4レジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

**(i) TXD0, TXD1 (Transmit Data) ... 出力**

UART0, UART1のシリアル送信データを出力します。

**(ii) RXD0, RXD1 (Receive Data) ... 入力**

UART0, UART1のシリアル受信データを入力します。

**(iii) SO0, SO1 (Serial Output) ... 出力**

CSI0, CSI1のシリアル送信データを出力します。

**(iv) SI0, SI1 (Serial Input) ... 入力**

CSI0, CSI1のシリアル受信データを入力します。

**(v)  $\overline{\text{SCK0}}$ ,  $\overline{\text{SCK1}}$  (Serial Clock) ... 3ステート入出力**

CSI0, CSI1のシリアル・クロック入出力端子です。

**(6) P50-P52 (Port 5) ... 3ステート入出力**

ポート5は、1ビット単位で入力または出力を設定できる3ビットの入出力ポートです。

P50-P52は入出力ポートとして機能するほか、コントロール・モードではタイマ/カウンタの入出力、外部割り込み要求入力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポート5モード・コントロール・レジスタ (PMC5) で指定します。

**(a) ポート・モード**

P50-P52はポート5モード・レジスタ (PM5) により、ビット単位に入力または出力を設定できます。

**(b) コントロール・モード**

P50-P52はPMC5レジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

**(i) TI030 (Timer Input) ... 入力**

タイマC3の外部カウント・クロック入力端子です。

**(ii) TO03 (Timer Output) ... 出力**

タイマC3のパルス信号を出力します。

**(iii) INTP030, INTP031 (External Interrupt Input) ... 入力**

外部割り込み要求入力端子およびタイマC3の外部キャプチャ・トリガ入力端子です。

**(7) P70-P77 (Port 7) ... 3ステート入出力**

ポート7は、全端子が入力に固定の8ビット入力専用ポートです。

ポートとして機能するほか、コントロール・モードではA/Dコンバータのアナログ入力として動作します。ただし、入力ポートとアナログ入力端子は切り替えられません。

**(a) ポート・モード**

P70-P77は入力専用です。

**(b) コントロール・モード**

P70-P77はANI0-ANI7端子と兼用になっていますが、切り替えはできません。

**(i) ANI0-ANI7 (Analog Input) ... 入力**

A/Dコンバータへのアナログ入力端子です。

ノイズによる誤動作を防ぐため、AV<sub>SS</sub>との間にコンデンサを接続してください。また、A/Dコンバータへの入力に使用している端子には、AV<sub>SS</sub>-AV<sub>REF</sub>の範囲外の電圧が加わらないようにしてください。AV<sub>REF</sub>以上、AV<sub>SS</sub>以下のノイズが入る可能性がある場合は、V<sub>F</sub>の小さいダイオードでクランプしてください。

**(8) PBD0-PBD3 (Port BD) ... 3ステート入出力**

ポートBDは、1ビット単位で入力または出力を設定できる4ビットの入出力ポートです。

PBD0-PBD3は入出力ポートとして機能するほか、コントロール・モードではDMAアクノリッジ出力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポートBDモード・コントロール・レジスタ (PM CBD) で指定します。

**(a) ポート・モード**

PBD0-PBD3はポートBDモード・レジスタ (PMBD) により、ビット単位に入力または出力を設定できます。

**(b) コントロール・モード**

PBD0-PBD3はPM CBDレジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

**(i)  $\overline{\text{DMAAK0}}$ - $\overline{\text{DMAAK3}}$  (DMA Acknowledge) ... 出力**

DMAサービス要求が許可されたことを示す信号です。それぞれDMAチャンネル0-3に対応し互いに独立して動作します。

外部メモリをアクセスしているときだけアクティブになります。内蔵RAMと内蔵周辺I/O間でDMA転送が実行されているときには、アクティブになりません。

この信号は、DMAサイクルのT0, T1R, T1FHステートのCLKOUT信号の立ち上がりでアクティブになり、DMA転送中はアクティブ・レベルを保持します。

### (9) PCM0-PCM5 (Port CM) ... 3ステート入出力

ポートCMは、1ビット単位で入力または出力を設定できる6ビットの入出力ポートです。

ポートとして機能するほか、コントロール・モードではウエイト挿入信号入力、システム・クロック出力、バス・ホールド制御信号、DRAMに対するリフレッシュ要求信号出力、セルフ・リフレッシュ要求信号入力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポートCMモード・コントロール・レジスタ (PMCCM) で指定します。

#### (a) ポート・モード

PCM0-PCM5はポートCMモード・レジスタ (PMCM) により、ビット単位に入力または出力を設定できます。

#### (b) コントロール・モード

PCM0-PCM5はPMCCMレジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

#### (i) $\overline{\text{WAIT}}$ (Wait) ... 入力

バス・サイクルにデータ・ウエイトを挿入する制御信号入力端子で、CLKOUT信号に対する非同期入力が可能です。CLKOUT信号の立ち上がりでサンプリングします。サンプリング・タイミングにおける設定/保持時間を満たさないときはウエイト挿入が行われないことがあります。

**注意** ROMレス・モード0, 1およびシングルチップ・モード1の場合、リセット解除直後から $\overline{\text{WAIT}}$ 端子への入力は有効になります。このため、外付けプルダウン抵抗などにより $\overline{\text{WAIT}}$ 端子にロウ・レベルが入力されると、外部バスがウエイト状態になりますので、注意してください。

#### (ii) CLKOUT (Clock Output) ... 出力

内部システム・クロック出力端子です。シングルチップ・モード0のときは、リセット期間中はポート・モードになっているため、CLKOUT端子からの出力は行われません。CLKOUT出力を行うためにはポートCMモード・コントロール・レジスタ (PMCCM) とポートCMファンクション・コントロール・レジスタ (PFCCM) で設定してください。

#### (iii) BUSCLK (Bus Clock Output) ... 出力

外部バス・サイクル周期を2倍に設定したときに、バス・サイクル中にだけ出力されるバス・クロック出力端子です。バス・サイクル・ピリオド・コントロール・レジスタ (BCP) の設定により、内部システム・クロックの1/2の動作周波数で動作します。BUSCLK出力を行うためには、ポートCMモード・コントロール・レジスタ (PMCCM) とポートCMファンクション・コントロール・レジスタ (PFCCM) を設定してください。

**(iv)  $\overline{\text{HLD}}\text{AK}$  (Hold Acknowledge) ... 出力**

V850E/MA1がバス・ホールド要求を受けて、アドレス・バス、データ・バス、制御バスをハイ・インピーダンス状態にしたことを示すアクノリッジ信号出力端子です。

この信号がアクティブの間、アドレス・バス、データ・バス、制御バスはハイ・インピーダンス状態になり、外部バス・マスタにバスの使用权を渡します。

**(v)  $\overline{\text{HLDR}}\text{Q}$  (Hold Request) ... 入力**

外部デバイスがV850E/MA1に対し、アドレス・バス、データ・バス、制御バスの解放を要求する入力端子です。この端子は、CLKOUTに対して非同期入力が可能です。この端子がアクティブになると、V850E/MA1は実行中のバス・サイクルがあればその終了後に、なければすぐにアドレス・バス、データ・バス、制御バスをハイ・インピーダンス状態にし、 $\overline{\text{HLD}}\text{AK}$ 信号をアクティブにしてバスを解放します。

確実にバス・ホールド状態にするためには、 $\overline{\text{HLD}}\text{AK}$ 信号が出力されるまで、 $\overline{\text{HLDR}}\text{Q}$ 信号をアクティブに保ってください。

**注意** ROMレス・モード0, 1およびシングルチップ・モード1の場合、リセット解除直後から $\overline{\text{HLDR}}\text{Q}$ 端子への入力は有効になります。このため、外付けプルダウン抵抗などにより $\overline{\text{HLDR}}\text{Q}$ 端子にロウ・レベルが入力されると、外部バスがバス・ホールド状態になりますので、注意してください。

**(vi)  $\overline{\text{REFR}}\text{Q}$  (Refresh Request) ... 出力**

DRAMに対するリフレッシュ要求信号です。

この信号は、リフレッシュ・サイクル期間中、アクティブになります。また、バス・ホールド時は、リフレッシュ要求が発生するとアクティブになり、外部バス・マスタに対し、リフレッシュ要求が発生したことを通知します。

**(vii)  $\text{SELFREF}$  (Self Refresh Request) ... 入力**

DRAMに対するセルフ・リフレッシュ要求信号入力です。

セルフ・リフレッシュに移行した場合でも内蔵ROM、内蔵RAMにアクセスできます。ただし、周辺I/Oレジスタ、または外部デバイスへのアクセスはセルフ・リフレッシュを解除するまで保留されます。

**注意** ROMレス・モード0, 1およびシングルチップ・モード1の場合、リセット解除直後から $\text{SELFREF}$ 端子への入力は有効になります。このため、外付けプルアップ抵抗などにより $\text{SELFREF}$ 端子にハイ・レベルが入力されると、通常の命令フェッチ・サイクルは発生しませんので、注意してください。



**(10) PCT0, PCT1, PCT4-PCT7 (Port CT) ... 3ステート入出力**

ポートCTは、1ビット単位で入力または出力を設定できる6ビットの入出力ポートです。

ポートとして機能するほか、コントロール・モードではメモリを外部に拡張する場合の制御信号出力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポートCTモード・コントロール・レジスタ (PMCCT) で指定します。

**(a) ポート・モード**

PCT0, PCT1, PCT4-PCT7はポートCTモード・レジスタ (PMCT) により、ビット単位に入力または出力を設定できます。

**(b) コントロール・モード**

PCT0, PCT1, PCT4-PCT7はPMCCTレジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

**(i)  $\overline{\text{LCAS}}$  (Lower Column Address Strobe) ... 3ステート出力**

DRAMに対するカラム・アドレスのストロブ信号とCBRリフレッシュ・サイクルのストロブ信号です。

データ・バスは下位バイトが有効になります。

**(ii)  $\overline{\text{UCAS}}$  (Upper Column Address Strobe) ... 3ステート出力**

DRAMに対するカラム・アドレスのストロブ信号とCBRリフレッシュ・サイクルのストロブ信号です。

データ・バスは上位バイトが有効になります。

**(iii)  $\overline{\text{LWR}}$  (Lower Byte Write Strobe) ... 3ステート出力**

実行中のバス・サイクルが、SRAM、外部ROM、外部周辺I/O領域に対するライト・サイクルであることを示すストロブ信号です。

データ・バスは下位バイトが有効になります。バス・サイクルが下位のメモリ・ライトならば、T1ステートのCLKOUT信号の立ち下がりでアクティブになり、T2ステートのCLKOUT信号の立ち下がりでインアクティブになります。

**(iv)  $\overline{\text{UWR}}$  (Upper Byte Write Strobe) ... 3ステート出力**

実行中のバス・サイクルが、SRAM、外部ROM、外部周辺I/O領域に対するライト・サイクルであることを示すストロブ信号です。

データ・バスは上位バイトが有効になります。バス・サイクルが上位のメモリ・ライトならば、T1ステートのCLKOUT信号の立ち下がりでアクティブになり、T2ステートのCLKOUT信号の立ち下がりでインアクティブになります。

**(v) LDQM (Lower DQ Mask Enable) ... 3ステート出力**

SDRAMに対するデータ・バスの制御信号です。データ・バスは下位バイトが有効になります。リード時はSDRAMの出力ディスエーブル制御を行い、ライト時はSDRAMのバイト・マスク制御を行います。

## (vi) UDQM (Upper DQ Mask Enable) ... 3ステート出力

SDRAMに対するデータ・バスの制御信号です。データ・バスは上位バイトが有効になります。リード時はSDRAMの出力ディスエーブル制御を行い、ライト時はSDRAMのバイト・マスク制御を行います。

(vii)  $\overline{RD}$  (Read Strobe) ... 3ステート出力

実行中のバス・サイクルが、SRAM、外部ROM、外部周辺I/O、ページROM領域に対するリード・サイクルであることを示すストロブ信号です。アイドル・ステート (TI) では、インアクティブになります。

(viii)  $\overline{WE}$  (Write Enable) ... 3ステート出力

実行中のバス・サイクルが、DRAM領域に対するライト・サイクルであることを示す信号です。アイドル・ステート (TI) では、インアクティブになります。

(ix)  $\overline{OE}$  (Output Enable) ... 3ステート出力

実行中のバス・サイクルが、DRAM領域に対するリード・サイクルであることを示す信号です。アイドル・ステート (TI) では、インアクティブになります。

(x)  $\overline{BCYST}$  (Bus Cycle Start Timing) ... 3ステート出力

バス・サイクルの開始を示すステータス信号を出力します。各サイクルの開始から1クロック間、アクティブになります。アイドル・ステート (TI) では、インアクティブになります。

**(11) PCS0-PCS7 (Port CS) ... 3ステート入出力**

ポートCSは、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

ポートとして機能するほか、コントロール・モードではメモリ、周辺I/Oを外部に拡張する場合の制御信号出力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポートCSモード・コントロール・レジスタ (PMCCS) で指定します。

**(a) ポート・モード**

PCS0-PCS7はポートCSモード・レジスタ (PMCS) により、ビット単位に入力または出力を設定できます。

**(b) コントロール・モード**

PCS0-PCS7はPMCCSレジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

**(i)  $\overline{\text{CS0-CS7}}$  (Chip Select) ... 3ステート出力**

SRAM、外部ROM、外部周辺I/O、ページROM領域に対するチップ・セレクト信号です。

メモリ・ブロックnに対して $\overline{\text{CSn}}$ 信号が割り当てられています (n = 0-7)。

対応するメモリ・ブロックにアクセスするバス・サイクルを起動している期間アクティブになります。

**(ii)  $\overline{\text{RAS1, RAS3, RAS4, RAS6}}$  (Row Address Strobe) ... 3ステート出力**

DRAM領域に対するロウ・アドレスのストロブ信号とリフレッシュ・サイクルのストロブ信号です。

メモリ・ブロックnに対して $\overline{\text{RASn}}$ 信号が割り当てられています (n = 1, 3, 4, 6)。

オンページ・ディスエーブル時は、DRAMアクセスのバス・サイクル終了後にインアクティブになります。

オンページ・イネーブル時は、DRAMアクセスのバス・サイクル終了後もアクティブの状態に保ちます。

リセット期間中とバス・ホールド期間中は、ハイ・インピーダンス状態になるので、抵抗を介して $V_{DD}$ に接続してください。

**(iii)  $\overline{\text{IOWR}}$  (I/O Write) ... 3ステート出力**

DMAフライバイ転送時の外部I/O用ライト・ストロブ信号です。実行中のバス・サイクルが、DMAフライバイ転送時の外部I/Oに対するライト・サイクルか、SRAM領域に対するライト・サイクルであることを示します。

なお、この信号はBCPレジスタのIOENビットをセット (1) することにより、通常のSRAM、外部ROM、外部I/Oサイクルの場合でも出力することができます。

**(iv)  $\overline{\text{IORD}}$  (I/O Read) ... 3ステート出力**

DMAフライバイ転送時の外部I/O用リード・ストロブ信号です。実行中のバス・サイクルが、DMAフライバイ転送時の外部I/Oに対するリード・サイクルか、SRAM領域に対するリード・サイクルであることを示します。

なお、この信号はBCPレジスタのIOENビットをセット（1）することにより、通常のSRAM、外部ROM、外部I/Oサイクルの場合でも出力することができます。

#### (12) PCD0-PCD3 (Port CD) ... 3ステート入出力

ポートCDは、1ビット単位で入力または出力を設定できる4ビットの入出力ポートです。

ポートとして機能するほか、コントロール・モードではメモリ、周辺I/Oを外部に拡張する場合の制御信号出力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポートCDモード・コントロール・レジスタ（PMCCD）で指定します。

##### (a) ポート・モード

PCD0-PCD3はポートCDモード・レジスタ（PMCD）により、ビット単位に入力または出力を設定できます。

##### (b) コントロール・モード

PCD0-PCD3はPMCCDレジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

##### (i) SDCKE (SDRAM Clock Enable) ... 3ステート出力

SDRAMのクロック・イネーブル出力信号です。セルフ・リフレッシュ、スタンバイ・モード時は、インアクティブになります。

##### (ii) SDCLK (SDRAM Clock Output) ... 3ステート出力

SDRAM専用のクロック出力信号です。必ず内部システム・クロックと同じ周波数が出力されます。

##### (iii) $\overline{\text{SDCAS}}$ (SDRAM Column Address Strobe) ... 3ステート出力

SDRAMに対するコマンド出力信号です。

##### (iv) $\overline{\text{SDRAS}}$ (SDRAM Row Address Strobe) ... 3ステート出力

SDRAMに対するコマンド出力信号です。

##### (v) $\overline{\text{LBE}}$ (Lower Byte Enable) ... 3ステート出力

外部データ・バスの下位バイトのイネーブル信号です。

##### (vi) $\overline{\text{UBE}}$ (Upper Byte Enable) ... 3ステート出力

外部データ・バスの上位バイトのイネーブル信号です。

**(13) PAH0-PAH9 (Port AH) ... 3ステート入出力**

ポートAHは、1ビット単位で入力または出力を設定できる8/10ビットの入出力ポートです。

ポートとして機能するほか、コントロール・モード（外部拡張モード）では、メモリを外部に拡張する場合のアドレス・バス（A16-A25）として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポートAHモード・コントロール・レジスタ（PMCAH）で指定します。

**(a) ポート・モード**

PAH0-PAH9はポートAHモード・レジスタ（PMAH）により、ビット単位に入力または出力を設定できます。

**(b) コントロール・モード**

PAH0-PAH9はPMCAHレジスタにより、A16-A25として使用できます。

**(i) A16-A25 (Address) ... 3ステート出力**

外部アドレス時のアドレス・バスで、26ビット・アドレスの上位10ビット・アドレス出力端子です。

出力は、バス・サイクルのT1ステートのCLKOUT信号の立ち上がりに同期して変化します。アイドル・ステート（TI）では直前のバス・サイクルのアドレスを保持しています。

**(14) PAL0-PAL15 (Port AL) ... 3ステート入出力**

ポートALは、1ビット単位で入力または出力を設定できる8/16ビットの入出力ポートです。

ポートとして機能するほか、コントロール・モード（外部拡張モード）では、メモリを外部に拡張する場合のアドレス・バス（A0-A15）として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポートALモード・コントロール・レジスタ（PMCAL）で指定します。

**(a) ポート・モード**

PAL0-PAL15はポートALモード・レジスタ（PMAL）により、ビット単位に入力または出力を設定できます。

**(b) コントロール・モード**

PAL0-PAL15はPMCALレジスタにより、A0-A15として使用できます。

**(i) A0-A15 (Address) ... 3ステート出力**

外部アドレス時のアドレス・バスで、26ビット・アドレスの下位16ビット・アドレス出力端子です。

出力は、バス・サイクルのT1ステートのCLKOUT信号の立ち上がりに同期して変化します。アイドル・ステート（TI）では直前のバス・サイクルのアドレスを保持しています。

**(15) PDL0-PDL15 (Port DL) ... 3ステート入出力**

ポートDLは、1ビット単位で入力または出力を設定できる8/16ビットの入出力ポートです。

ポートとして機能するほか、コントロール・モード（外部拡張モード）では、メモリを外部に拡張する場合のデータ・バス（D0-D15）として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポートDLモード・コントロール・レジスタ（PMCDL）で指定します。

**(a) ポート・モード**

PDL0-PDL15はポートDLモード・レジスタ（PMDL）により、ビット単位に入力または出力を設定できます。

**(b) コントロール・モード**

PDL0-PDL15はPMCDLレジスタにより、D0-D15として使用できます。

**(i) D0-D15 (Data) ... 3ステート入出力**

外部アクセス時のデータ・バスです。16ビット・データの入出力バス端子となります。

出力は、バス・サイクルのT1ステートのCLKOUT信号に同期して変化します。アイドル・ステート（T1）ではハイ・インピーダンスになります。

- (16) CKSEL (Clock Generator Operating Mode Select) ... 入力  
クロック・ジェネレータの動作モードを指定する入力端子です。
- (17) MODE0-MODE2 (Mode) ... 入力  
動作モードを指定する入力端子です。抵抗を介し、動作モードを固定してください。
- (18)  $\overline{\text{RESET}}$  (Reset) ... 入力  
 $\overline{\text{RESET}}$ 入力は非同期入力であり、動作クロックと無関係に一定のロウ・レベル幅を持つ信号が入力されると、すべての動作に優先してシステム・リセットがかかります。  
通常のイニシャライズ/スタートのほかに、スタンバイ・モード (HALT, IDLE, ソフトウェアSTOP) の解除にも使用します。
- (19) X1, X2 (Crystal)  
システム・クロック発生用の発振子接続端子です。
- (20) CV<sub>DD</sub> (Power Supply for Clock Generator)  
クロック・ジェネレータ用の正電源供給端子です。
- (21) CV<sub>SS</sub> (Ground for Clock Generator)  
クロック・ジェネレータ用のグランド端子です。
- (22) V<sub>DD</sub> (Power Supply)  
各内部ユニット用の正電源供給端子です。すべてのV<sub>DD</sub>端子を正電源に接続してください。
- (23) V<sub>SS</sub> (Ground)  
グランド端子です。すべてのV<sub>SS</sub>端子をグランドに接続してください。
- (24) AV<sub>DD</sub> (Analog Power Supply)  
A/Dコンバータ用のアナログ正電源供給端子です。
- (25) AV<sub>SS</sub> (Analog Ground)  
A/Dコンバータ用のグランド端子です。
- (26) AV<sub>REF</sub> (Analog Reference Voltage) ... 入力  
A/Dコンバータ用の基準電圧供給端子です。
- (27) V<sub>PP</sub> (Programming Power Supply)  
フラッシュ・メモリ・プログラミング・モード用の正電源供給端子です。  
 $\mu$ PD70F3107A用の端子です。

## 2.4 端子の入出力回路タイプと未使用時の処理

抵抗を介してV<sub>DD</sub>またはV<sub>SS</sub>に接続する場合，1-10 kΩの抵抗を接続することをお勧めします。

( 1/2 )

端 子	入出力回路タイプ	推奨接続方法
P00/PWM0	5	入力状態：個別に抵抗を介してV <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力状態：オープンにしてください。
P01/INTP000/TI000	5-AC	
P02/INTP001		
P03/TO00	5	
P04/DMARQ0/INTP100 - P07/DMARQ3/INTP103	5-AC	
P10/PWM1	5	
P11/INTP010/TI010, P12/INTP011	5-AC	
P13/TO01	5	
P20/NMI	2	V <sub>SS</sub> に直接接続してください。
P21/INTP020/TI020, P22/INTP021	5-AC	入力状態：個別に抵抗を介してV <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力状態：オープンにしてください。
P23/TO02	5	
P24/TC0/INTP110 - P27/TC3/INTP113	5-AC	
P30/SO2/INTP130		
P31/SI2/INTP131		
P32/SCK2/INTP132		
P33/TXD2/INTP133		
P34/RXD2/INTP120		
P35/INTP121		
P36/INTP122		
P37/ADTRG/INTP123		
P40/TXD0/SO0		
P41/RXD0/SI0	5-AC	
P42/SCK0		
P43/TXD1/SO1	5	
P44/RXD1/SI1	5-AC	
P45/SCK1		
P50/INTP030/TI030, P51/INTP031	5	
P52/TO03		
P70/ANI0 - P77/ANI7	9	AV <sub>SS</sub> に直接接続してください。
PBD0/DMAAK0 - PBD3/DMAAK3	5	入力状態：個別に抵抗を介してV <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力状態：オープンにしてください。
PCM0/WAIT	5	
PCM1/CLKOUT/BUSCLK	5	入力状態：個別に抵抗を介してV <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力状態：オープンにしてください。

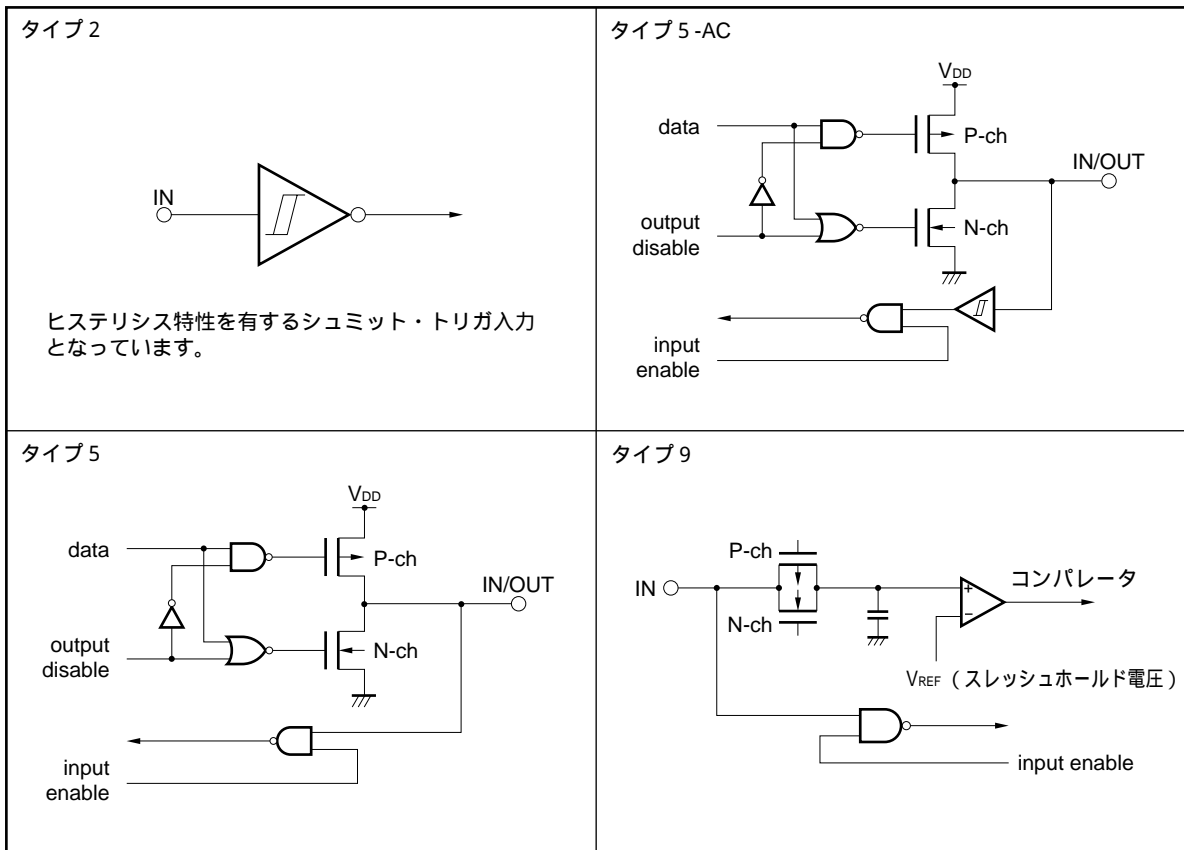


端子	入出力回路タイプ	推奨接続方法
PCM2/HLDAK	5	入力状態：個別に抵抗を介してV <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力状態：オープンにしてください。
PCM3/HLDRQ	5	入力状態：個別に抵抗を介してV <sub>DD</sub> に接続してください。
PCM4/REFRQ	5	入力状態：個別に抵抗を介してV <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力状態：オープンにしてください。
PCM5/SELFREF	5	入力状態：個別に抵抗を介してV <sub>SS</sub> に接続してください。
PCT0/LCAS/LWR/LDQM	5	入力状態：個別に抵抗を介してV <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力状態：オープンにしてください。
PCT1/UCAS/UWR/UDQM		
PCT4/RD		
PCT5/WE		
PCT6/OE		
PCT7/BCYST		
PCS0/CS0		
PCS1/CS1/RAS1		
PCS2/CS2/IOWR		
PCS3/CS3/RAS3		
PCS4/CS4/RAS4		
PCS5/CS5/IORD		
PCS6/CS6/RAS6		
PCS7/CS7		
PCD0/SDCKE		
PCD1/SDCLK		
PCD2/LBE/SDCAS		
PCD3/UBE/SDRAS		
PAH0/A16-PAH9/A25		
PAL0/A0-PAL15/A15		
PDL0/D0-PDL15/D15		
MODE0, MODE1	2	-
MODE2 <sup>注1</sup>		-
MODE2/V <sub>PP</sub> <sup>注2</sup>		-
RESET		-
CKSEL		-
AV <sub>SS</sub>	-	V <sub>SS</sub> に接続してください。
AV <sub>DD</sub> /AV <sub>REF</sub>	-	V <sub>DD</sub> に接続してください。

注1. μPD703103A, 703105A, 703106A, 703107Aのみ

2. μPD70F3107Aのみ

## 2.5 端子の入出力回路



**備考** タイプ2, タイプ5, タイプ5-ACは5 Vトレラント・バッファです。パターン設計時には, カップリング容量が小さくなるように配慮して設計してください。

## 第3章 CPU機能

V850E/MA1のCPUは、RISCアーキテクチャをベースとして、5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

### 3.1 特 徴

最小命令実行時間：20 ns（内部50 MHz動作時）

メモリ空間     プログラム空間：64 Mバイト・リニア  
                  データ空間     ：4 Gバイト・リニア

汎用レジスタ：32ビット×32本

内部32ビット・アーキテクチャ

5段パイプライン制御

乗除算命令

飽和演算命令

32ビット・シフト命令：1クロック

ロング/ショート形式を持つロード/ストア命令

ビット操作命令4種

- ・ SET1
- ・ CLR1
- ・ NOT1
- ・ TST1

## 3.2 CPUレジスタ・セット

V850E/MA1のレジスタは、汎用のプログラム・レジスタ・セットと、専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅となっています。

詳細はV850E1 ユーザーズ・マニュアル アーキテクチャ編を参照してください。

(1) プログラム・レジスタ・セット		(2) システム・レジスタ・セット	
31	0	31	0
r0	(ゼロ・レジスタ)	EIPC	(割り込み時状態回避レジスタ)
r1	(アセンブラ予約レジスタ)	EIPSW	(割り込み時状態回避レジスタ)
r2			
r3	(スタック・ポインタ (SP))	FEPC	(NMI時状態回避レジスタ)
r4	(グローバル・ポインタ (GP))	FEPSW	(NMI時状態回避レジスタ)
r5	(テキスト・ポインタ (TP))		
r6		ECR	(割り込み要因レジスタ)
r7			
r8		PSW	(プログラム・ステータス・ワード)
r9			
r10		CTPC	(CALLT実行時状態回避レジスタ)
r11		CTPSW	(CALLT実行時状態回避レジスタ)
r12			
r13		DBPC	(例外/ディバグ・トラップ時状態回避レジスタ)
r14		DBPSW	(例外/ディバグ・トラップ時状態回避レジスタ)
r15			
r16			
r17		CTBP	(CALLTベース・ポインタ)
r18			
r19			
r20			
r21			
r22			
r23			
r24			
r25			
r26			
r27			
r28			
r29			
r30	(エレメント・ポインタ (EP))		
r31	(リンク・ポインタ (LP))		
31	0		
PC	(プログラム・カウンタ)		

### 3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

#### (1) 汎用レジスタ

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれでもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。r0は常に0を保持しているレジスタで、0を使用する演算やオフセット0のアドレッシングで使用されます。r30はSLD命令とSST命令により、メモリをアクセスするときのベース・ポインタとして使用されます。また、r1、r3-r5、r31は、アセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。r2は、リアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は、変数用レジスタとしてr2を使用できます。

表3 - 1 プログラム・レジスタ一覧

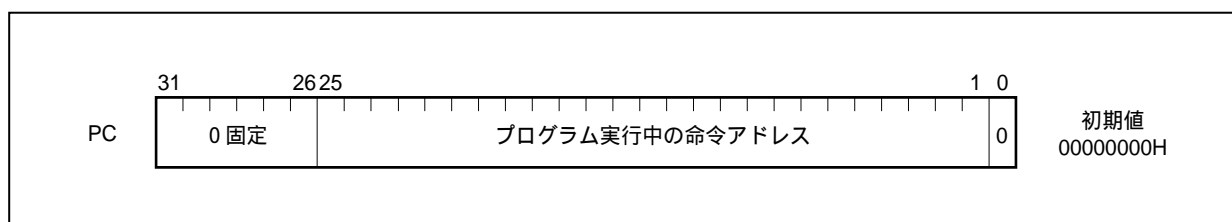
名称	用途	動作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミディエト作成用のワーキング・レジスタとして使用
r2	アドレス / データ変数用レジスタ (使用するリアルタイムOSがr2を使用していない場合)	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域 (プログラム・コードを配置する領域) の先頭を指すレジスタとして使用
r6-r29	アドレス / データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

**備考** アセンブラやCコンパイラで使用されるr1、r3-r5、r31の詳細な説明は、CA850 (Cコンパイラ・パッケージ) ユーザーズ・マニュアル アセンブリー言語編を参照してください。

#### (2) プログラム・カウンタ (PC)

プログラム実行中の命令アドレスを保持します。下位26ビットが有効で、ビット31-26は0に固定されます。ビット25からビット26へのキャリーがあっても無視します。

また、ビット0は0に固定されており、奇数番地への分岐はできません。



### 3.2.2 システム・レジスタ・セット

システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

システム・レジスタへのリード/ライトは、システム・レジスタ・ロード/ストア命令 (LDSR, STSR命令) により、次に示すシステム・レジスタ番号を設定することで行います。

表3-2 システム・レジスタ番号

レジスタ番号	システム・レジスタ名称	オペランド指定の可否	
		LDSR命令	STSR命令
0	割り込み時状態退避レジスタ (EIPC) <sup>注1</sup>		
1	割り込み時状態退避レジスタ (EIPSW) <sup>注1</sup>		
2	NMI時状態退避レジスタ (FEPC)		
3	NMI時状態退避レジスタ (FEPSW)		
4	割り込み要因レジスタ (ECR)	×	
5	プログラム・ステータス・ワード (PSW)		
6-15	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	×	×
16	CALLT実行時状態退避レジスタ (CTPC)		
17	CALLT実行時状態退避レジスタ (CTPSW)		
18	例外/ディバグ・トラップ時状態退避レジスタ (DBPC)	注2	注2
19	例外/ディバグ・トラップ時状態退避レジスタ (DBPSW)	注2	注2
20	CALLTベース・ポインタ (CTBP)		
21-31	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	×	×

注1. このレジスタは1組しかないので、多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。

2. DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

**注意** LDSR命令によりEIPCがFEPC、またはCTPCのビット0をセット(1)しても、割り込み処理後のRETI命令で復帰するときにビット0は無視されます(PCのビット0を0固定してあるため)。EIPC、FEPC、CTPCに値を設定する場合は、偶数値(ビット0=0)を設定してください。

**備考** : アクセス可能

× : アクセス禁止

(1) 割り込み時状態退避レジスタ (EIPC, EIPSW)

割り込み時状態退避レジスタには、EIPCとEIPSWがあります。

ソフトウェア例外やマスカブル割り込みが発生した場合、プログラム・カウンタ (PC) の内容がEIPCに、プログラム・ステータス・ワード (PSW) の内容がEIPSWに退避されます (ノンマスカブル割り込み (NMI) 発生時には、NMI時状態退避レジスタ (FEPC, FEPSW) に退避されます)。

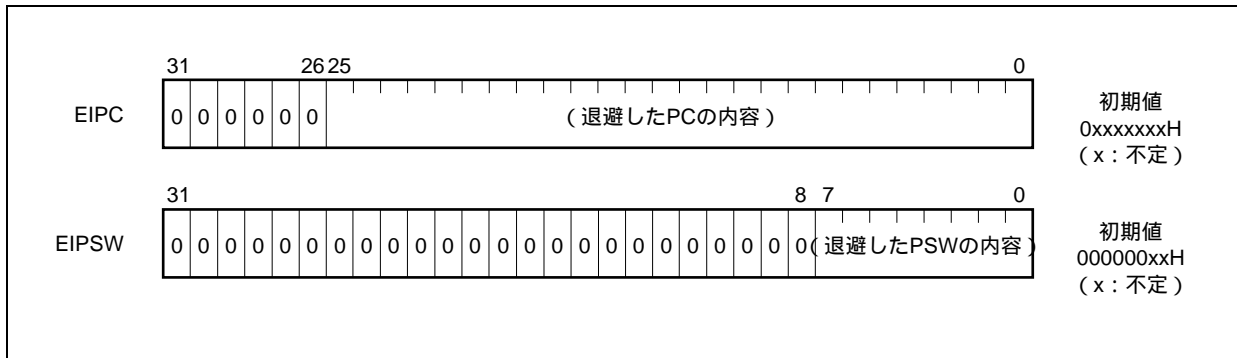
EIPCには、一部の命令 (7.8 CPUが割り込みを受け付けない期間参照) を除き、ソフトウェア例外やマスカブル割り込みが発生したときに実行していた命令の次の命令のアドレスが退避されます。

EIPSWには、現在のPSWの内容が退避されます。

割り込み時状態退避レジスタは1組しかないので、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお、EIPCのビット31-26とEIPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、EIPCの値はPCへ、EIPSWの値はPSWへ復帰します。



(2) NMI時状態退避レジスタ (FEPC, FEPSW)

NMI時状態退避レジスタには、FEPCとFEPSWがあります。

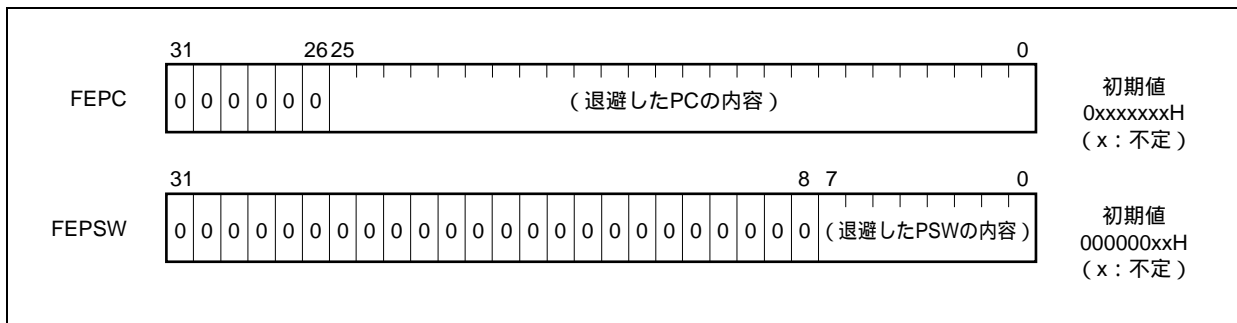
ノンマスカブル割り込み (NMI) が発生した場合、プログラム・カウンタ (PC) の内容がFEPCに、プログラム・ステータス・ワード (PSW) の内容がFEPSW に退避されます。

FEPCには、一部の命令を除き、NMIが発生したときに実行していた命令の次の命令のアドレスが退避されます。

FEPSWには、現在のPSWの内容が退避されます。

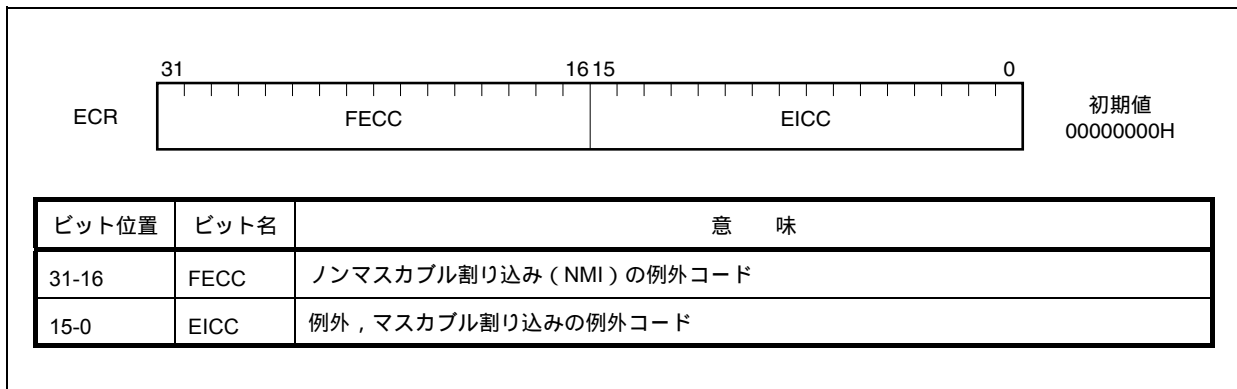
なお、FEPCのビット31-26とFEPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、FEPCの値はPCへ、FEPSWの値はPSWへ復帰します。



(3) 割り込み要因レジスタ (ECR)

割り込み要因レジスタ (ECR) は、例外や割り込みが発生した場合に、その要因を保持するレジスタです。ECRが保持する値は、割り込み要因ごとにコード化された例外コードです。なお、このレジスタは読み出し専用のため、LDSR命令を使ってこのレジスタにデータを書き込むことはできません。





(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワード (PSW) は、プログラムの状態 (命令実行の結果) やCPUの状態を示すフラグの集合です。

LDSR命令を使用してこのレジスタの各ビットの内容を変更した場合は、LDSR命令実行終了直後から変更内容が有効となります。

LDSR命令によるPSWのライト命令実行中は、割り込み要求の受け付けを保留します。

なお、ビット31-8は、将来の機能拡張のために予約されています (0に固定)。

( 1/2 )

PSW	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span>8 7 6 5 4 3 2 1 0</span> </div> <div style="border: 1px solid black; padding: 5px; display: flex; justify-content: space-between; align-items: center;"> <span style="flex-grow: 1;">RFU</span> <div style="display: flex; gap: 5px;"> <span style="border: 1px solid black; padding: 2px;">NP</span> <span style="border: 1px solid black; padding: 2px;">EP</span> <span style="border: 1px solid black; padding: 2px;">ID</span> <span style="border: 1px solid black; padding: 2px;">SAT</span> <span style="border: 1px solid black; padding: 2px;">CY</span> <span style="border: 1px solid black; padding: 2px;">OV</span> <span style="border: 1px solid black; padding: 2px;">S</span> <span style="border: 1px solid black; padding: 2px;">Z</span> </div> </div>	初期値 00000020H
ビット位置	フラグ名	意 味
31-8	RFU	予約フィールドです。“0”に固定されています。
7	NP	ノンマスカブル割り込み (NMI) 処理中であることを示します。NMI要求が受け付けられるとセット“1”され、多重割り込みを禁止します。 0: NMI処理中でない。 1: NMI処理中である。
6	EP	例外処理中であることを示します。例外の発生でセット“1”されます。なお、このビットがセットされても割り込み要求は受け付けます。 0: 例外処理中でない。 1: 例外処理中である。
5	ID	マスカブル割り込み要求を受け付ける状態かどうかを示します。 0: 割り込み許可 (EI) 1: 割り込み禁止 (DI)
4	SAT <sup>注</sup>	飽和演算命令の演算結果がオーバーフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット“1”され、以降の命令の演算結果が飽和しなくてもクリア“0”されません。クリア“0”する場合は、LDSR命令により行います。なお、算術演算命令の実行では、セット“1”もクリア“0”も行いません。 0: 飽和していない。 1: 飽和している。
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0: キャリー、またはボローは発生していない。 1: キャリー、またはボローが発生した。
2	OV <sup>注</sup>	演算中にオーバーフローが発生したかどうかを示します。 0: オーバーフローは発生していない。 1: オーバーフローが発生した。
1	S <sup>注</sup>	演算の結果が負かどうかを示します。 0: 演算の結果は、正または0であった。 1: 演算の結果は負であった。
0	Z	演算の結果が0かどうかを示します。 0: 演算の結果は0でなかった。 1: 演算の結果は0であった。

**備考** 注の説明は次ページに記載しています。

注 飽和演算時のOVフラグとSフラグの内容で飽和处理した演算結果が決まります。また、飽和演算時にOVフラグがセット（1）された場合だけ、SATフラグはセット（1）されます。

演算結果の状態	フラグの状態			飽和处理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正（最大値を越えない）	演算前の値を 保持	0	0	演算結果そのもの
負（最大値を越えない）			1	

(5) CALLT実行時状態退避レジスタ (CTPC, CTPSW)

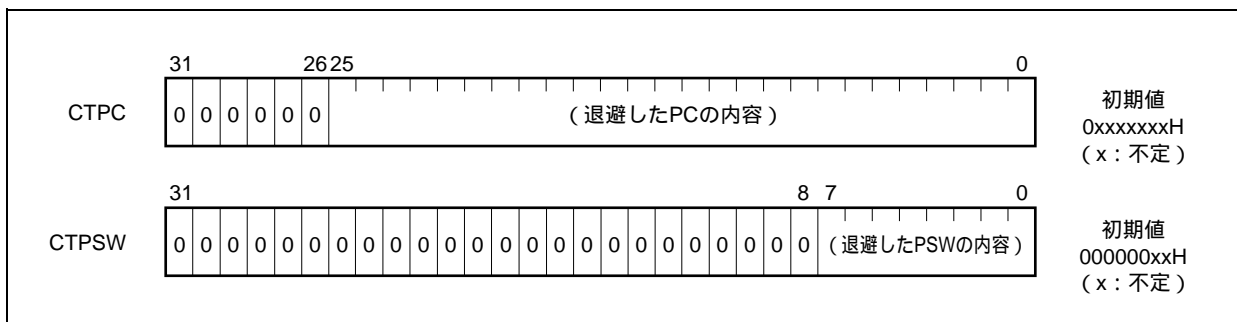
CALLT実行時状態退避レジスタには、CTPCとCTPSWがあります。

CALLT命令が実行されると、プログラム・カウンタ (PC) の内容がCTPCに、プログラム・ステータス・ワード (PSW) の内容がCTPSWに退避されます。

CTPCに退避される内容は、CALLT命令の次の命令のアドレスです。

CTPSWには、現在のPSWの内容が退避されます。

なお、CTPCのビット31-26とCTPSWのビット31-8は、将来の機能拡張のために予約されています（“0”に固定）。



(6) 例外/ディバグ・トラップ時状態退避レジスタ (DBPC, DBPSW)

例外/ディバグ・トラップ時状態退避レジスタとして、DBPCとDBPSWがあります。

例外トラップ,またはディバグ・トラップが発生すると、プログラム・カウンタ(PC)の内容がDBPC に、プログラム・ステータス・ワード (PSW) の内容がDBPSWに退避されます。

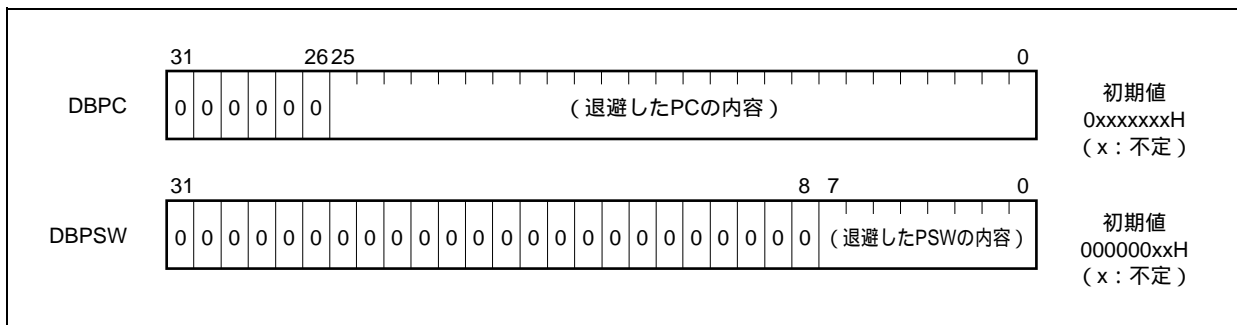
DBPCに退避される内容は、例外トラップ,またはディバグ・トラップが発生したときに実行していた命令の次の命令のアドレスです。

DBPSWには、現在のPSWの内容が退避されます。

このレジスタへのリード/ライトはDBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけ可能です。

なお、DBPCのビット31-26とDBPSWのビット31-8は、将来の機能拡張のために予約されています(“0”に固定)。

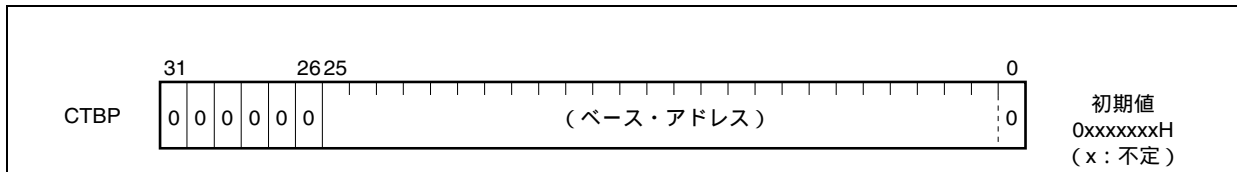
DBRET命令により、DBPCの値はPCへ、DBPSWの値はPSWへ復帰します。



(7) CALLTベース・ポインタ (CTBP)

CALLTベース・ポインタ (CTBP) は、テーブル・アドレスの指定、ターゲット・アドレスの生成に使用されます(ビット0は“0”に固定)。

なお、ビット31-26は、将来の機能拡張のために予約されています(“0”に固定)。



### 3.3 動作モード

#### 3.3.1 動作モード

V850E/MA1は次に示す動作モードを備えます。モードの指定はMODE0-MODE2端子により行います。

##### (1) 通常動作モード

###### (a) シングルチップ・モード0, 1

内蔵ROMへのアクセスが可能になります。

シングルチップ・モード0では、システム・リセット解除後、バス・インタフェース関連の各端子はポート・モードになり、内蔵ROMのリセット・エントリ・アドレスに分岐し、命令処理を開始します。命令によりPMCAL, PMCAH, PMCDL, PMCCS, PMCCT, PMCCM, PMCCDレジスタをコントロール・モードに設定することにより、外部メモリ領域に外部デバイスを接続できます。

シングルチップ・モード1では、システム・リセット解除後、バス・インタフェース関連の各端子はコントロール・モードになり、外部デバイス(メモリ)のリセット・エントリ・アドレスに分岐し、命令処理を開始します。内蔵ROM領域は100000H番地以降にマッピングされます。

###### (b) ROMレス・モード0, 1

システム・リセット解除後、バス・インタフェース関連の各端子はコントロール・モードになり、外部デバイス(メモリ)のリセット・エントリ・アドレスに分岐し、命令処理を開始します。内蔵ROMへの命令フェッチ、データ・アクセスは不可になります。

ROMレス・モード0では16ビット・データ・バスに、ROMレス・モード1では8ビット・データ・バスになります。

##### (2) フラッシュ・メモリ・プログラミング・モード ( $\mu$ PD70F3107Aだけ)

このモードを指定すると、フラッシュ・ライタによる内蔵フラッシュ・メモリへのプログラム動作が可能になります。

モードによって次に示すレジスタの初期値が異なります。

動作モード		PMCAL	PMCAH	PMCDL	PMCCS	PMCCT	PMCCM	PMCCD	BSC
通常動作モード	ROMレス・モード0	FFFFH	03FFH	FFFFH	FFH	F3H	3FH	0FH	5555H
	ROMレス・モード1	FFFFH	03FFH	FFFFH	FFH	F3H	3FH	0FH	0000H
	シングルチップ・モード0	0000H	0000H	0000H	00H	00H	00H	00H	5555H
	シングルチップ・モード1	FFFFH	03FFH	FFFFH	FFH	F3H	3FH	0FH	5555H

## 3.3.2 動作モード指定

MODE0-MODE2端子の状態により、動作モードを指定します。これらの端子の指定は応用システムにおいて固定とし、動作中に変更した場合の動作は保証しません。

(a)  $\mu$ PD703103A

MODE2	MODE1	MODE0	動作モード		備考
L	L	L	通常動作モード	ROMレス・モード0	16ビット・データ・バス
L	L	H		ROMレス・モード1	8ビット・データ・バス
上記以外			設定禁止		

(b)  $\mu$ PD703105A, 703106A, 703107A

MODE2	MODE1	MODE0	動作モード		備考
L	L	L	通常動作モード	ROMレス・モード0	16ビット・データ・バス
L	L	H		ROMレス・モード1	8ビット・データ・バス
L	H	L		シングルチップ・モード0	内蔵ROM領域を000000Hから配置
L	H	H		シングルチップ・モード1	内蔵ROM領域を100000Hから配置
上記以外			設定禁止		

(c)  $\mu$ PD70F3107A

MODE2 $V_{PP}$	MODE1	MODE0	動作モード		備考
0 V	L	L	通常動作モード	ROMレス・モード0	16ビット・データ・バス
0 V	L	H		ROMレス・モード1	8ビット・データ・バス
0 V	H	L		シングルチップ・モード0	内蔵ROM領域を000000Hから配置
0 V	H	H		シングルチップ・モード1	内蔵ROM領域を100000Hから配置
7.8 V	H	H/L	フラッシュ・メモリ・プログラミング・モード		-
上記以外			設定禁止		

備考 L : ロウ・レベル入力  
H : ハイ・レベル入力

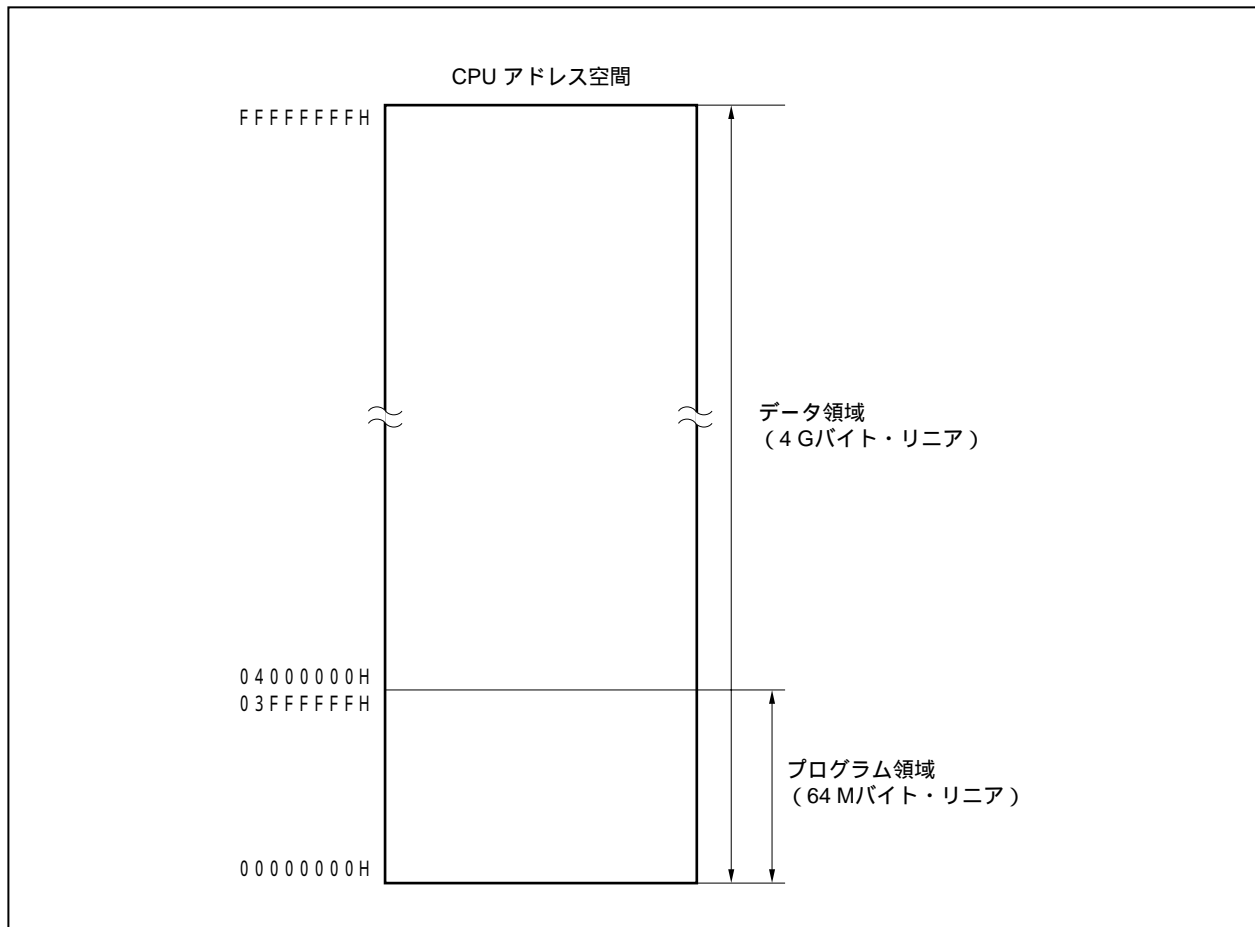
## 3.4 アドレス空間

### 3.4.1 CPUアドレス空間

V850E/MA1のCPUは、32ビット・アーキテクチャであり、オペランド・アドレッシング（データ・アクセス）においては、最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。また、命令アドレスのアドレッシングにおいては、最大64 Mバイトのリニア・アドレス空間（プログラム空間）をサポートしています。

次にCPUアドレス空間を示します。

図3 - 1 CPUアドレス空間

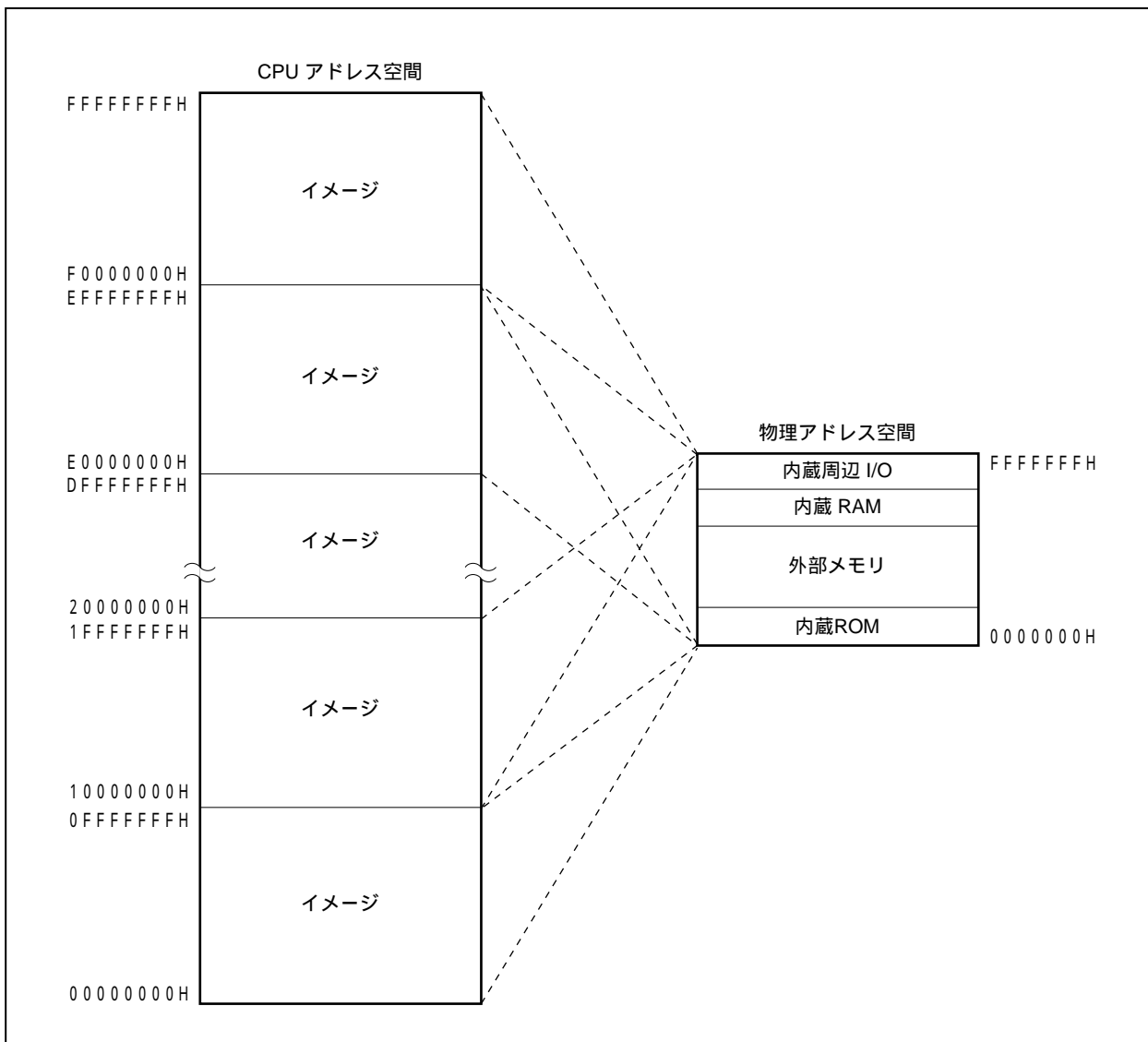


### 3.4.2 イメージ

4 GバイトのCPUアドレス空間には、256 Mバイトの物理アドレス空間が16個のイメージとして見えます。つまり、CPUアドレスのビット31-ビット28がどのような値でも、同じ256 Mバイトの物理アドレス空間をアクセスします。図3 - 2にアドレス空間上のイメージを示します。

物理アドレスのx0000000H番地が、CPUアドレスの00000000H番地のほかに、10000000H番地、20000000H番地、...、E0000000H番地、F0000000H番地に見えます。

図3 - 2 アドレス空間上のイメージ



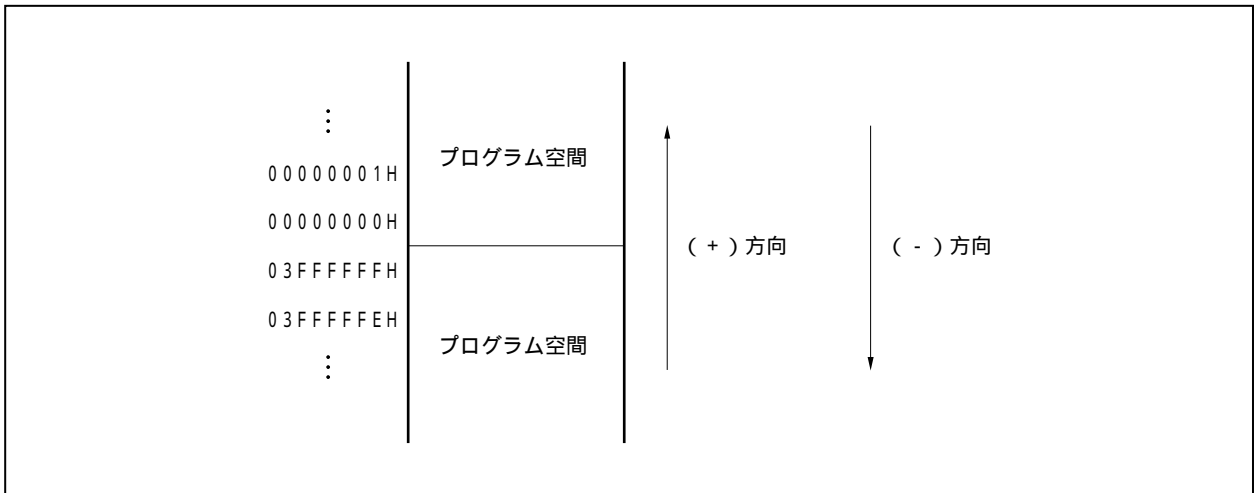
### 3.4.3 CPUアドレス空間のラップ・アラウンド

#### (1) プログラム空間

PC (プログラム・カウンタ) は32ビットのうち上位6ビットが0固定で、下位26ビットだけ有効です。分岐アドレス計算などでビット25からビット26に対するキャリーまたはボローがあっても上位6ビットはこれを無視します。

したがって、プログラム空間の下限である00000000H番地と、上限の03FFFFFFH番地は連続したアドレスとなります。このようにメモリ空間の下限と上限が連続したアドレスになることをラップ・アラウンドといいます。

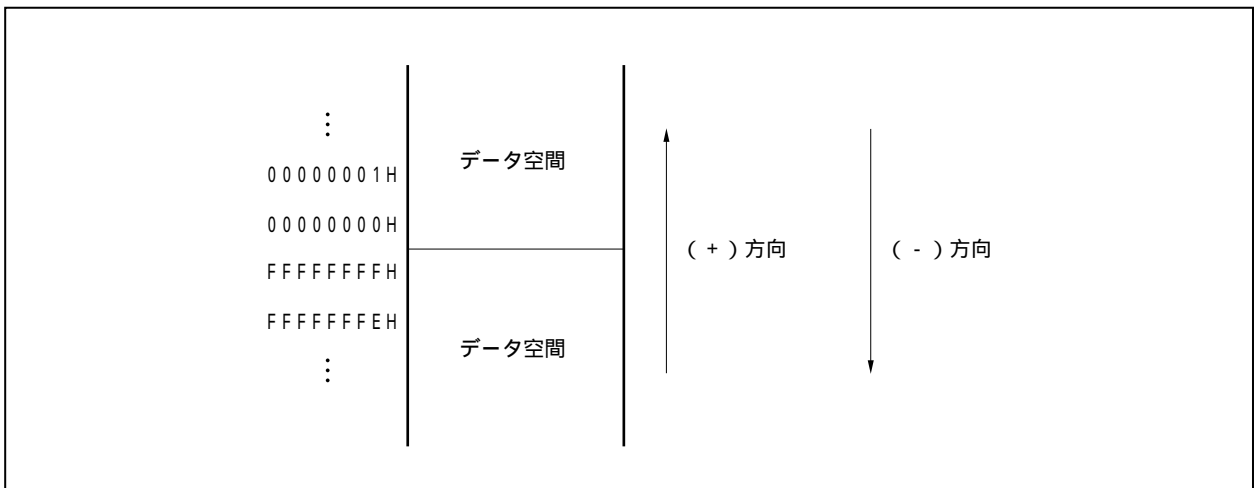
**注意** 03FFF000H-03FFFFFFHの4 Kバイトの領域は、0FFFFFF00H-0FFFFFFFHのイメージが見えません。この領域はアクセス禁止です。したがって、分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。



#### (2) データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。

したがって、データ空間の下限である00000000H番地と、上限のFFFFFFFFH番地は連続したアドレスになり、この境界でラップ・アラウンドします。





### 3.4.4 メモリ・マップ

V850E/MA1では、図3-3、3-4に示すように各領域を予約しています。各モードの指定はMODE0-MODE2端子で行います。

図3-3 メモリ・マップ (μPD703103A, 703105A)

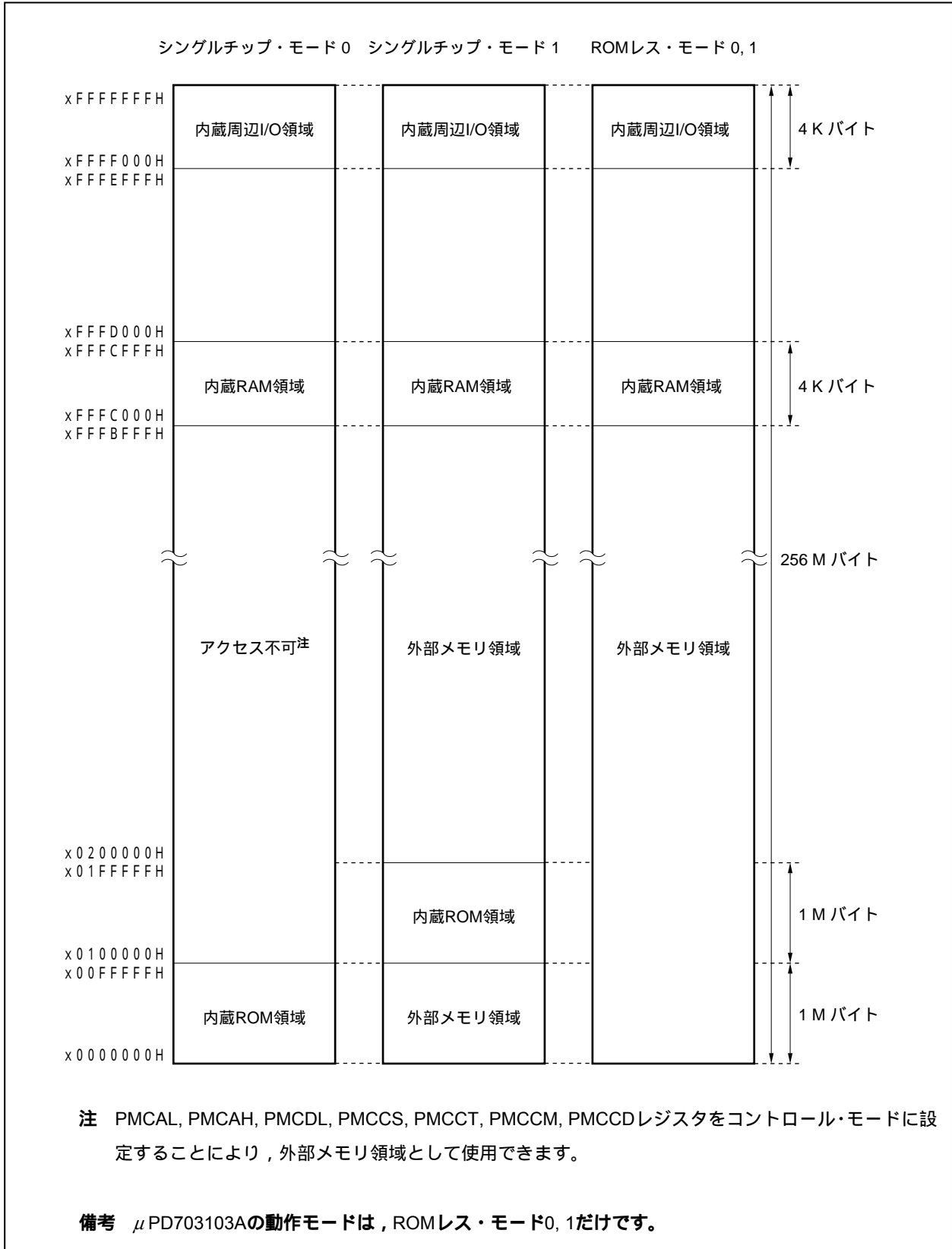
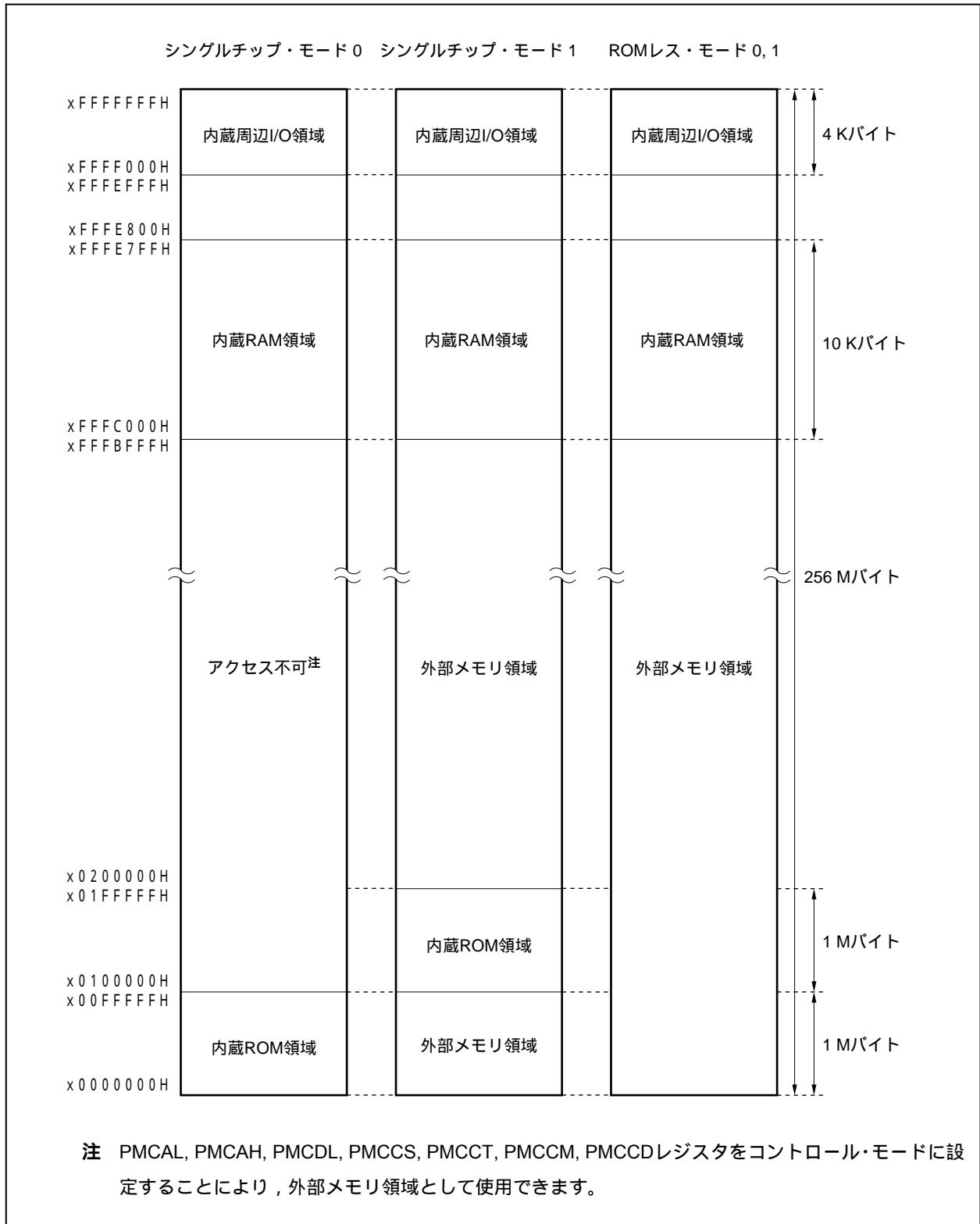


図3 - 4 メモリ・マップ (μPD703106A, 703107A, 70F3107A)



### 3.4.5 領域

#### (1) 内蔵ROM領域

##### (a) メモリ・マップ ( $\mu$ PD703105A, 703106A, 703107A, 70F3107A)

内蔵ROM領域は、00000H-FFFFFFH番地の1 Mバイトが予約されています。

$\mu$ PD703105A, 703106A

物理内蔵ROM (マスクROM) として次に示す番地に128 Kバイトを実装しています。

- ・シングルチップ・モード0時：000000H-01FFFFFFH番地
- ・シングルチップ・モード1時：100000H-11FFFFFFH番地

$\mu$ PD703107A

物理内蔵ROM (マスクROM) として次に示す番地に256 Kバイトを実装しています。

- ・シングルチップ・モード0時：000000H-03FFFFFFH番地
- ・シングルチップ・モード1時：100000H-13FFFFFFH番地

$\mu$ PD70F3107A

物理内蔵ROM (フラッシュ・メモリ) として次に示す番地に256 Kバイトを実装しています。

- ・シングルチップ・モード0時：000000H-03FFFFFFH番地
- ・シングルチップ・モード1時：100000H-13FFFFFFH番地

## (b) 割り込み / 例外テーブル

V850E/MA1は、割り込み / 例外に対応したハンドラ・アドレスを固定化することにより、割り込み応答性を高速化しています。

このハンドラ・アドレスの集合を割り込み / 例外テーブルと呼び、内蔵ROM領域に置かれています。割り込み / 例外要求が受け付けられると、ハンドラ・アドレスにジャンプし、そのメモリに置かれているプログラムを実行します。表3 - 3に割り込み / 例外要因と、対応するアドレスを示します。

**備考** ROMレス・モード0, 1時, シングルチップ・モード1時, または $\mu$ PD703103Aでは, リセット後に正しく動作させるために, リセット・ルーチンへのハンドラ・アドレスを外部メモリの0番地に用意してください。

表3 - 3 割り込み / 例外テーブル (1/2)

割り込み / 例外テーブルの先頭アドレス	割り込み / 例外要因
00000000H	RESET
00000010H	NMI
00000040H	TRAP0n (n = 0-F)
00000050H	TRAP1n (n = 0-F)
00000060H	ILGOP/DBG0
00000080H	INTOV00
00000090H	INTOV01
000000A0H	INTOV02
000000B0H	INTOV03
000000C0H	INTP000/INTM000
000000D0H	INTP001/INTM001
000000E0H	INTP010/INTM010
000000F0H	INTP011/INTM011
00000100H	INTP020/INTM020
00000110H	INTP021/INTM021
00000120H	INTP030/INTM030
00000130H	INTP031/INTM031
00000140H	INTP100
00000150H	INTP101
00000160H	INTP102
00000170H	INTP103
00000180H	INTP110
00000190H	INTP111

表3 - 3 割り込み / 例外テーブル (2/2)

割り込み / 例外テーブルの先頭アドレス	割り込み / 例外要因
000001A0H	INTP112
000001B0H	INTP113
000001C0H	INTP120
000001D0H	INTP121
000001E0H	INTP122
000001F0H	INTP123
00000200H	INTP130
00000210H	INTP131
00000220H	INTP132
00000230H	INTP133
00000240H	INTCMD0
00000250H	INTCMD1
00000260H	INTCMD2
00000270H	INTCMD3
00000280H	INTDMA0
00000290H	INTDMA1
000002A0H	INTDMA2
000002B0H	INTDMA3
000002C0H	INTCSI0
000002D0H	INTSER0
000002E0H	INTSR0
000002F0H	INTST0
00000300H	INTCSI1
00000310H	INTSER1
00000320H	INTSR1
00000330H	INTST1
00000340H	INTCSI2
00000350H	INTSER2
00000360H	INTSR2
00000370H	INTST2
00000380H	INTAD

(c) 内蔵ROMリロケーション機能

シングルチップ・モード1に設定した場合は、内蔵ROM領域は100000H番地以降に配置されるため、外部メモリからのブートが可能になります。

したがって、リセット後に正しく動作させるために、リセット・ルーチンへのハンドラ・アドレスを外部メモリの0番地に用意してください。

図3 - 5 シングルチップ・モード1での内蔵ROM領域



(2) 内蔵RAM領域

内蔵RAM領域は、FFFC000H-FFFEFFFH番地の12 Kバイトが予約されています。3FFC000H-3FFFEFFFH番地の12 Kバイトには、FFFC000H-FFFEFFFH番地のイメージが見えます。

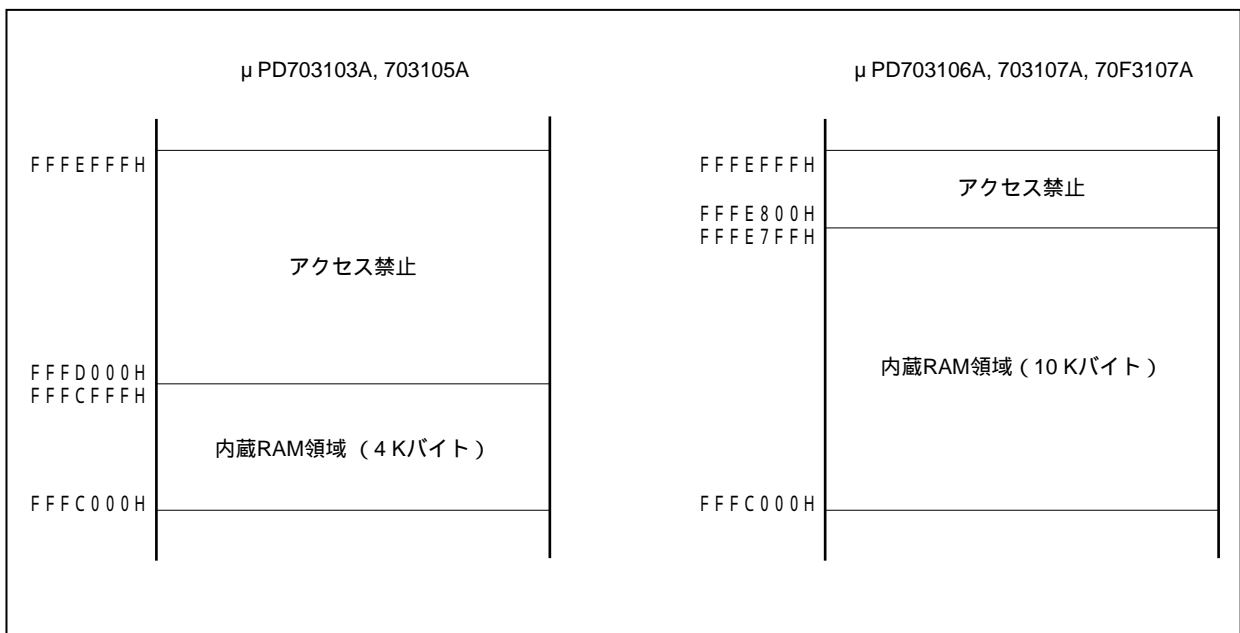
μ PD703103A, 703105Aは、物理内蔵RAMとしてFFFC000H-FFFCFFFH番地の4 Kバイトを実装しています。

μ PD703106A, 703107A, 70F3107Aは、物理内蔵RAMとしてFFFC000H-FFFE7FFFH番地の10 Kバイトを実装しています。

**注意** 次に示す領域はアクセス禁止です。

μ PD703103A, 703105A : FFFD000H-FFFEFFFH番地

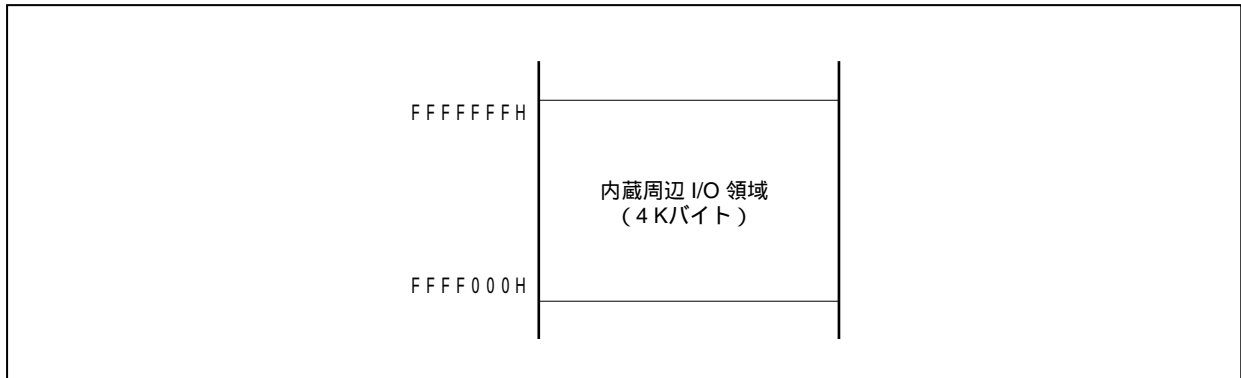
μ PD703106A, 703107A, 70F3107A : FFFE800H-FFFEFFFH番地



### (3) 内蔵周辺I/O領域

内蔵周辺I/O領域としてFFFFFF00H-FFFFFFFH番地の4 Kバイトを実装しています。  
3FFF000H-3FFFFFFFH番地<sup>※</sup>には、FFFFFF00H-FFFFFFFH番地のイメージが見えます。

注 3FFF000H-3FFFFFFFH番地はアクセス禁止です。内蔵周辺I/Oをアクセスするときには  
FFFFFF00H-FFFFFFFH番地を指定してください。



内蔵周辺I/O領域には、内蔵周辺I/Oの動作モード指定、状態モニタリングなどの機能を割り付けた内蔵周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

- 注意1. V850E/MA1ではワード・アクセス可能なレジスタは存在しませんが、レジスタにワード・アクセスを行うと、アドレスの下位2ビットを無視したワード領域に対し下位、上位の順番でハーフワード・アクセスを2回行います。
2. バイト・アクセス可能なレジスタにハーフワード・アクセスした場合、リード時は上位8ビットが不定になり、ライト時は下位8ビット・データがレジスタに書き込まれます。
  3. レジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。
- DMA転送の転送元、転送先のアドレスに3FFF000H-3FFFFFFFHを指定することができません。  
転送元、転送先のアドレスには、必ずFFFFFF00H-FFFFFFFHのアドレスを指定してください。

### (4) 外部メモリ領域

外部メモリ領域として256 Mバイトあります。下位64 Mバイトはプログラム/データ領域として使用できます。上位192 Mバイトはデータ領域として使用できます。

- ・ シングルチップ・モード0のとき : x0100000H-xFFFBFFFH
- ・ シングルチップ・モード1のとき : x0000000H-x00FFFFFFH, x0200000H-xFFFBFFFH
- ・ ROMレス・モード0, 1のとき : x0000000H-xFFFBFFFH

外部メモリ領域へのアクセスは、各メモリ・ブロックごとに割り当てられたチップ・セレクト信号を使用します(チップ・エリア選択コントロール・レジスタ0, 1 (CSC0, CSC1) で設定したCS単位で行います)。

なお、内蔵ROM、内蔵RAM、内蔵周辺I/Oの各領域に対しては、外部メモリ領域としてアクセスすることはできません。

### 3.4.6 外部メモリ拡張

ポートnモード・コントロール・レジスタ (PMCn) をコントロール・モードに設定することにより、ポートAL, AH, DL, CS, CT, CM, CDの各端子を用いて外部メモリ空間に外部デバイスを接続することができます。各レジスタの設定は、PMCnにより、ポートAL, AH, DL, CS, CT, CM, CDの各端子をコントロール・モードに選択することで行います (n = AL, AH, DL, CS, CT, CM, CD)。

なお、リセット時の状態は、MODE0-MODE2端子による動作モード指定により、次のように異なります (動作モードについては3.3 動作モードを参照してください)。

#### (a) ROMレス・モード0の場合

リセット時は、ポートAL, AH, DL, CS, CT, CM, CDの各端子がコントロール・モードになるため、ポートnモード・コントロール・レジスタ (PMCn) の変更なしで外部メモリが使用できます (外部データ・バス幅は16ビットになります)。

#### (b) ROMレス・モード1の場合

リセット時は、ポートAL, AH, DL, CS, CT, CM, CDの各端子がコントロール・モードになるため、ポートnモード・コントロール・レジスタ (PMCn) の変更なしで外部メモリが使用できます (外部データ・バス幅は8ビットになります)。

#### (c) シングルチップ・モード0の場合

リセット時は、内蔵ROM領域へのアクセスを行うため、ポートAL, AH, DL, CS, CT, CM, CDの各端子がポート・モードになり、外部デバイスは使用できません。

外部メモリを使用するためには、ポートnモード・コントロール・レジスタ (PMCn) の設定を行ってください。

#### (d) シングルチップ・モード1の場合

内蔵ROM領域が100000H番地から配置されます。そのため、リセット時は、ポートAL, AH, DL, CS, CT, CM, CDの各端子がコントロール・モードになるため、ポートnモード・コントロール・レジスタ (PMCn) の変更なしで外部メモリが使用できます (外部データ・バス幅は16ビットになります)。

**備考** n = AL, AH, DL, CS, CT, CM, CD



### 3.4.7 アドレス空間の推奨使用方法

V850E/MA1のアーキテクチャでは、データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの $\pm 32$  Kバイトには、命令から直接オペランド・データ・アクセスが行えます。しかし、ポインタ用レジスタとして使う汎用レジスタには限りがあるため、ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで、変数用の汎用レジスタを最大限に確保し、かつプログラム・サイズを抑えることができます。

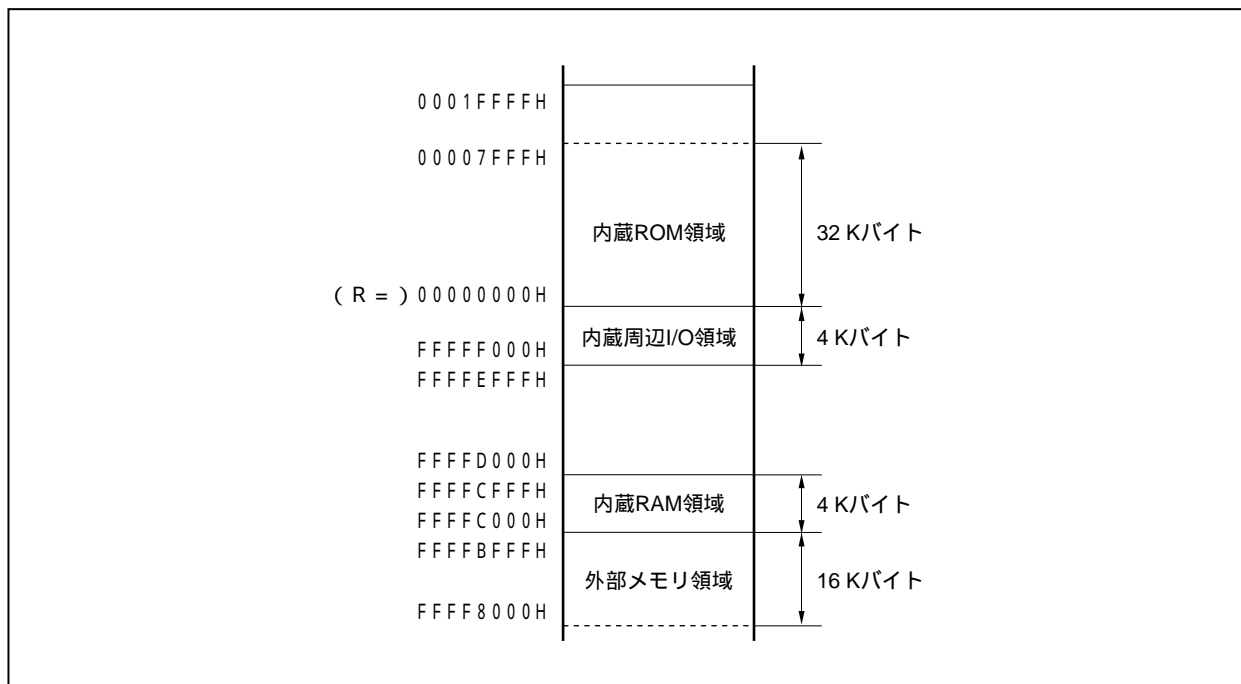
#### (1) プログラム空間

プログラム・カウンタ(PC)は、32ビットのうち上位6ビットは0に固定であり、下位26ビットだけ有効となります。そのうち、プログラム空間に関しては00000000H番地から連続した64 Mバイト空間がメモリ・マップに対応します。

#### (2) データ空間

V850E/MA1では、4 GバイトのCPUアドレス空間に256 Mバイトの物理アドレス空間が16個のイメージとして見えるため、この26ビット・アドレスの最上位ビット(ビット25)を32ビット長まで符号拡張したアドレスとして割り当てています。

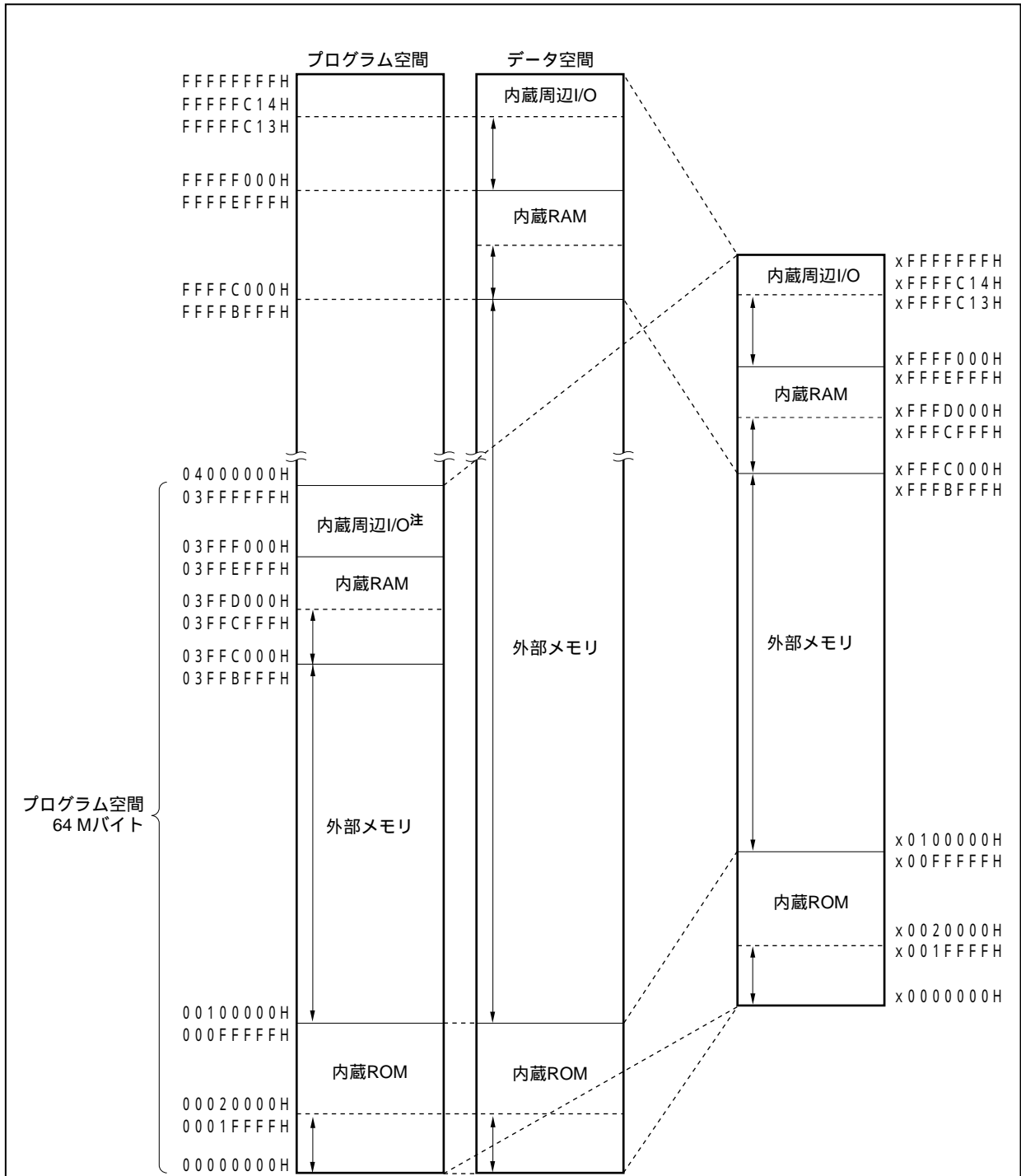
例 ラップ・アラウンドを利用した応用例は次のようになります( $\mu$ PD703105Aの場合)。



LD/ST disp16[R]命令でR = r0(ゼロ・レジスタ)とした場合、符号拡張したdisp16により、00000000H番地 $\pm 32$  Kバイトの範囲がアドレッシング可能です。外部メモリを上図の16 Kバイトの範囲にマッピングすれば、内蔵ハードウェアのすべてを含むすべてのリソースについて1つのポインタでアドレス指定可能です。

ゼロ・レジスタ(r0)はハードウェアでゼロ固定のレジスタであり、ポインタ専用に費やすレジスタは実質不要となります。

図3-6 推奨メモリ・マップ



注 この領域はアクセス禁止です。内蔵周辺I/OをアクセスするときにはFFFFFF000H-FFFFFFFH番地を指定してください。

- 備考1. ↓ は推奨使用領域です。
2. この図はμPD703105Aをシングルチップ・モード0に設定し、外部拡張モードを使用した場合の推奨メモリ・マップです。

## 3.4.8 周辺I/Oレジスタ

(1/8)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF00H	ポートAL	PAL	R/W				不定
FFFFFF00H	ポートALL	PALL	R/W				不定
FFFFFF01H	ポートALH	PALH	R/W				不定
FFFFFF02H	ポートAH	PAH	R/W				不定
FFFFFF02H	ポートAHL	PAHL	R/W				不定
FFFFFF03H	ポートAHH	PAHH	R/W				不定
FFFFFF04H	ポートDL	PDL	R/W				不定
FFFFFF04H	ポートDLL	PDLL	R/W				不定
FFFFFF05H	ポートDLH	PDLH	R/W				不定
FFFFFF08H	ポートCS	PCS	R/W				不定
FFFFFF0AH	ポートCT	PCT	R/W				不定
FFFFFF0CH	ポートCM	PCM	R/W				不定
FFFFFF0EH	ポートCD	PCD	R/W				不定
FFFFFF12H	ポートBD	PBD	R/W				不定
FFFFFF20H	ポートALモード・レジスタ	PMAL	R/W				FFFFH
FFFFFF20H	ポートALモード・レジスタL	PMALL	R/W				FFH
FFFFFF21H	ポートALモード・レジスタH	PMALH	R/W				FFH
FFFFFF22H	ポートAHモード・レジスタ	PMAH	R/W				FFFFH
FFFFFF22H	ポートAHモード・レジスタL	PMAHL	R/W				FFH
FFFFFF23H	ポートAHモード・レジスタH	PMAHH	R/W				FFH
FFFFFF24H	ポートDLモード・レジスタ	PMDL	R/W				FFFFH
FFFFFF24H	ポートDLモード・レジスタL	PMDLL	R/W				FFH
FFFFFF25H	ポートDLモード・レジスタH	PMDLH	R/W				FFH
FFFFFF28H	ポートCSモード・レジスタ	PMCS	R/W				FFH
FFFFFF2AH	ポートCTモード・レジスタ	PMCT	R/W				FFH
FFFFFF2CH	ポートCMモード・レジスタ	PMCM	R/W				FFH
FFFFFF2EH	ポートCDモード・レジスタ	PMCD	R/W				FFH
FFFFFF32H	ポートBDモード・レジスタ	PMBD	R/W				FFH
FFFFFF40H	ポートALモード・コントロール・レジスタ	PMCAL	R/W				0000H/FFFFH
FFFFFF40H	ポートALモード・コントロール・レジスタL	PMCALL	R/W				00H/FFH
FFFFFF41H	ポートALモード・コントロール・レジスタH	PMCALH	R/W				00H/FFH
FFFFFF42H	ポートAHモード・コントロール・レジスタ	PMCAH	R/W				0000H/03FFH
FFFFFF42H	ポートAHモード・コントロール・レジスタL	PMCAHL	R/W				00H/FFH
FFFFFF43H	ポートAHモード・コントロール・レジスタH	PMCAHH	R/W				00H/03H
FFFFFF44H	ポートDLモード・コントロール・レジスタ	PMCDL	R/W				0000H/FFFFH
FFFFFF44H	ポートDLモード・コントロール・レジスタL	PMCDLL	R/W				00H/FFH
FFFFFF45H	ポートDLモード・コントロール・レジスタH	PMCDLH	R/W				00H/FFH
FFFFFF48H	ポートCSモード・コントロール・レジスタ	PMCCS	R/W				00H/FFH
FFFFFF49H	ポートCSファンクション・コントロール・レジスタ	PFCCS	R/W				00H
FFFFFF4AH	ポートCTモード・コントロール・レジスタ	PMCCCT	R/W				00H/F3H
FFFFFF4CH	ポートCMモード・コントロール・レジスタ	PMCCM	R/W				00H/3FH
FFFFFF4DH	ポートCMファンクション・コントロール・レジスタ	PFCCM	R/W				00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF04EH	ポートCDモード・コントロール・レジスタ	PMCCD	R/W				00H/0FH
FFFFFF04FH	ポートCDファンクション・コントロール・レジスタ	PFCCD	R/W				00H
FFFFFF052H	ポートBDモード・コントロール・レジスタ	PMCBD	R/W				00H
FFFFFF060H	チップ・エリア選択コントロール・レジスタ0	CSC0	R/W				2C11H
FFFFFF062H	チップ・エリア選択コントロール・レジスタ1	CSC1	R/W				2C11H
FFFFFF066H	バス・サイズ・コンフィギュレーション・レジスタ	BSC	R/W				0000H/5555H
FFFFFF068H	エンディアン・コンフィギュレーション・レジスタ	BEC	R/W				0000H
FFFFFF06EH	システム・ウェイト・コントロール・レジスタ	VSWC	R/W				77H
FFFFFF080H	DMAソース・アドレス・レジスタ0L	DSA0L	R/W				不定
FFFFFF082H	DMAソース・アドレス・レジスタ0H	DSA0H	R/W				不定
FFFFFF084H	DMAデスティネーション・アドレス・レジスタ0L	DDA0L	R/W				不定
FFFFFF086H	DMAデスティネーション・アドレス・レジスタ0H	DDA0H	R/W				不定
FFFFFF088H	DMAソース・アドレス・レジスタ1L	DSA1L	R/W				不定
FFFFFF08AH	DMAソース・アドレス・レジスタ1H	DSA1H	R/W				不定
FFFFFF08CH	DMAデスティネーション・アドレス・レジスタ1L	DDA1L	R/W				不定
FFFFFF08EH	DMAデスティネーション・アドレス・レジスタ1H	DDA1H	R/W				不定
FFFFFF090H	DMAソース・アドレス・レジスタ2L	DSA2L	R/W				不定
FFFFFF092H	DMAソース・アドレス・レジスタ2H	DSA2H	R/W				不定
FFFFFF094H	DMAデスティネーション・アドレス・レジスタ2L	DDA2L	R/W				不定
FFFFFF096H	DMAデスティネーション・アドレス・レジスタ2H	DDA2H	R/W				不定
FFFFFF098H	DMAソース・アドレス・レジスタ3L	DSA3L	R/W				不定
FFFFFF09AH	DMAソース・アドレス・レジスタ3H	DSA3H	R/W				不定
FFFFFF09CH	DMAデスティネーション・アドレス・レジスタ3L	DDA3L	R/W				不定
FFFFFF09EH	DMAデスティネーション・アドレス・レジスタ3H	DDA3H	R/W				不定
FFFFFF0C0H	DMA転送カウント・レジスタ0	DBC0	R/W				不定
FFFFFF0C2H	DMA転送カウント・レジスタ1	DBC1	R/W				不定
FFFFFF0C4H	DMA転送カウント・レジスタ2	DBC2	R/W				不定
FFFFFF0C6H	DMA転送カウント・レジスタ3	DBC3	R/W				不定
FFFFFF0D0H	DMAアドレッシング・コントロール・レジスタ0	DADC0	R/W				0000H
FFFFFF0D2H	DMAアドレッシング・コントロール・レジスタ1	DADC1	R/W				0000H
FFFFFF0D4H	DMAアドレッシング・コントロール・レジスタ2	DADC2	R/W				0000H
FFFFFF0D6H	DMAアドレッシング・コントロール・レジスタ3	DADC3	R/W				0000H
FFFFFF0E0H	DMAチャンネル・コントロール・レジスタ0	DCHC0	R/W				00H
FFFFFF0E2H	DMAチャンネル・コントロール・レジスタ1	DCHC1	R/W				00H
FFFFFF0E4H	DMAチャンネル・コントロール・レジスタ2	DCHC2	R/W				00H
FFFFFF0E6H	DMAチャンネル・コントロール・レジスタ3	DCHC3	R/W				00H
FFFFFF0F0H	DMAディスエーブル・ステータス・レジスタ	DDIS	R				00H
FFFFFF0F2H	DMAリスタート・レジスタ	DRST	R/W				00H
FFFFFF100H	割り込みマスク・レジスタ0	IMR0	R/W				FFFFH
FFFFFF100H	割り込みマスク・レジスタ0L	IMR0L	R/W				FFH
FFFFFF101H	割り込みマスク・レジスタ0H	IMR0H	R/W				FFH

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF102H	割り込みマスク・レジスタ1	IMR1	R/W				FFFFH
FFFFFF102H	割り込みマスク・レジスタ1L	IMR1L	R/W				FFH
FFFFFF103H	割り込みマスク・レジスタ1H	IMR1H	R/W				FFH
FFFFFF104H	割り込みマスク・レジスタ2	IMR2	R/W				FFFFH
FFFFFF104H	割り込みマスク・レジスタ2L	IMR2L	R/W				FFH
FFFFFF105H	割り込みマスク・レジスタ2H	IMR2H	R/W				FFH
FFFFFF106H	割り込みマスク・レジスタ3	IMR3	R/W				FFFFH
FFFFFF106H	割り込みマスク・レジスタ3L	IMR3L	R/W				FFH
FFFFFF107H	割り込みマスク・レジスタ3H	IMR3H	R/W				FFH
FFFFFF110H	割り込み制御レジスタ	OVIC00	R/W				47H
FFFFFF112H	割り込み制御レジスタ	OVIC01	R/W				47H
FFFFFF114H	割り込み制御レジスタ	OVIC02	R/W				47H
FFFFFF116H	割り込み制御レジスタ	OVIC03	R/W				47H
FFFFFF118H	割り込み制御レジスタ	P00IC0	R/W				47H
FFFFFF11AH	割り込み制御レジスタ	P00IC1	R/W				47H
FFFFFF11CH	割り込み制御レジスタ	P01IC0	R/W				47H
FFFFFF11EH	割り込み制御レジスタ	P01IC1	R/W				47H
FFFFFF120H	割り込み制御レジスタ	P02IC0	R/W				47H
FFFFFF122H	割り込み制御レジスタ	P02IC1	R/W				47H
FFFFFF124H	割り込み制御レジスタ	P03IC0	R/W				47H
FFFFFF126H	割り込み制御レジスタ	P03IC1	R/W				47H
FFFFFF128H	割り込み制御レジスタ	P10IC0	R/W				47H
FFFFFF12AH	割り込み制御レジスタ	P10IC1	R/W				47H
FFFFFF12CH	割り込み制御レジスタ	P10IC2	R/W				47H
FFFFFF12EH	割り込み制御レジスタ	P10IC3	R/W				47H
FFFFFF130H	割り込み制御レジスタ	P11IC0	R/W				47H
FFFFFF132H	割り込み制御レジスタ	P11IC1	R/W				47H
FFFFFF134H	割り込み制御レジスタ	P11IC2	R/W				47H
FFFFFF136H	割り込み制御レジスタ	P11IC3	R/W				47H
FFFFFF138H	割り込み制御レジスタ	P12IC0	R/W				47H
FFFFFF13AH	割り込み制御レジスタ	P12IC1	R/W				47H
FFFFFF13CH	割り込み制御レジスタ	P12IC2	R/W				47H
FFFFFF13EH	割り込み制御レジスタ	P12IC3	R/W				47H
FFFFFF140H	割り込み制御レジスタ	P13IC0	R/W				47H
FFFFFF142H	割り込み制御レジスタ	P13IC1	R/W				47H
FFFFFF144H	割り込み制御レジスタ	P13IC2	R/W				47H
FFFFFF146H	割り込み制御レジスタ	P13IC3	R/W				47H
FFFFFF148H	割り込み制御レジスタ	CMICD0	R/W				47H
FFFFFF14AH	割り込み制御レジスタ	CMICD1	R/W				47H
FFFFFF14CH	割り込み制御レジスタ	CMICD2	R/W				47H
FFFFFF14EH	割り込み制御レジスタ	CMICD3	R/W				47H
FFFFFF150H	割り込み制御レジスタ	DMAIC0	R/W				47H
FFFFFF152H	割り込み制御レジスタ	DMAIC1	R/W				47H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF154H	割り込み制御レジスタ	DMAIC2	R/W				47H
FFFFFF156H	割り込み制御レジスタ	DMAIC3	R/W				47H
FFFFFF158H	割り込み制御レジスタ	CSIIC0	R/W				47H
FFFFFF15AH	割り込み制御レジスタ	SEIC0	R/W				47H
FFFFFF15CH	割り込み制御レジスタ	SRIC0	R/W				47H
FFFFFF15EH	割り込み制御レジスタ	STIC0	R/W				47H
FFFFFF160H	割り込み制御レジスタ	CSIIC1	R/W				47H
FFFFFF162H	割り込み制御レジスタ	SEIC1	R/W				47H
FFFFFF164H	割り込み制御レジスタ	SRIC1	R/W				47H
FFFFFF166H	割り込み制御レジスタ	STIC1	R/W				47H
FFFFFF168H	割り込み制御レジスタ	CSIIC2	R/W				47H
FFFFFF16AH	割り込み制御レジスタ	SEIC2	R/W				47H
FFFFFF16CH	割り込み制御レジスタ	SRIC2	R/W				47H
FFFFFF16EH	割り込み制御レジスタ	STIC2	R/W				47H
FFFFFF170H	割り込み制御レジスタ	ADIC	R/W				47H
FFFFFF1FAH	インサースビス・プライオリティ・レジスタ	ISPR	R				00H
FFFFFF1FCH	コマンド・レジスタ	PRCMD	W				不定
FFFFFF1FEH	パワー・セーブ・コントロール・レジスタ	PSC	R/W				00H
FFFFFF200H	A/Dコンバータ・モード・レジスタ0	ADM0	R/W				00H
FFFFFF201H	A/Dコンバータ・モード・レジスタ1	ADM1	R/W				07H
FFFFFF202H	A/Dコンバータ・モード・レジスタ2	ADM2	R/W				00H
FFFFFF210H	A/D変換結果レジスタ0 (10ビット)	ADCR0	R				0000H
FFFFFF212H	A/D変換結果レジスタ1 (10ビット)	ADCR1	R				0000H
FFFFFF214H	A/D変換結果レジスタ2 (10ビット)	ADCR2	R				0000H
FFFFFF216H	A/D変換結果レジスタ3 (10ビット)	ADCR3	R				0000H
FFFFFF218H	A/D変換結果レジスタ4 (10ビット)	ADCR4	R				0000H
FFFFFF21AH	A/D変換結果レジスタ5 (10ビット)	ADCR5	R				0000H
FFFFFF21CH	A/D変換結果レジスタ6 (10ビット)	ADCR6	R				0000H
FFFFFF21EH	A/D変換結果レジスタ7 (10ビット)	ADCR7	R				0000H
FFFFFF220H	A/D変換結果レジスタ0H (8ビット)	ADCR0H	R				00H
FFFFFF221H	A/D変換結果レジスタ1H (8ビット)	ADCR1H	R				00H
FFFFFF222H	A/D変換結果レジスタ2H (8ビット)	ADCR2H	R				00H
FFFFFF223H	A/D変換結果レジスタ3H (8ビット)	ADCR3H	R				00H
FFFFFF224H	A/D変換結果レジスタ4H (8ビット)	ADCR4H	R				00H
FFFFFF225H	A/D変換結果レジスタ5H (8ビット)	ADCR5H	R				00H
FFFFFF226H	A/D変換結果レジスタ6H (8ビット)	ADCR6H	R				00H
FFFFFF227H	A/D変換結果レジスタ7H (8ビット)	ADCR7H	R				00H
FFFFFF400H	ポート0	P0	R/W				不定
FFFFFF402H	ポート1	P1	R/W				不定
FFFFFF404H	ポート2	P2	R/W				不定
FFFFFF406H	ポート3	P3	R/W				不定
FFFFFF408H	ポート4	P4	R/W				不定
FFFFFF40AH	ポート5	P5	R/W				不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF40EH	ポート7	P7	R/W				不定
FFFFFF420H	ポート0モード・レジスタ	PM0	R/W				FFH
FFFFFF422H	ポート1モード・レジスタ	PM1	R/W				FFH
FFFFFF424H	ポート2モード・レジスタ	PM2	R/W				FFH
FFFFFF426H	ポート3モード・レジスタ	PM3	R/W				FFH
FFFFFF428H	ポート4モード・レジスタ	PM4	R/W				FFH
FFFFFF42AH	ポート5モード・レジスタ	PM5	R/W				FFH
FFFFFF440H	ポート0モード・コントロール・レジスタ	PMC0	R/W				00H
FFFFFF442H	ポート1モード・コントロール・レジスタ	PMC1	R/W				00H
FFFFFF444H	ポート2モード・コントロール・レジスタ	PMC2	R/W				01H
FFFFFF446H	ポート3モード・コントロール・レジスタ	PMC3	R/W				00H
FFFFFF448H	ポート4モード・コントロール・レジスタ	PMC4	R/W				00H
FFFFFF44AH	ポート5モード・コントロール・レジスタ	PMC5	R/W				00H
FFFFFF460H	ポート0ファンクション・コントロール・レジスタ	PFC0	R/W				00H
FFFFFF464H	ポート2ファンクション・コントロール・レジスタ	PFC2	R/W				00H
FFFFFF466H	ポート3ファンクション・コントロール・レジスタ	PFC3	R/W				00H
FFFFFF468H	ポート4ファンクション・コントロール・レジスタ	PFC4	R/W				00H
FFFFFF480H	バス・サイクル・タイプ・コンフィギュレーション・レジスタ0	BCT0	R/W				8888H
FFFFFF482H	バス・サイクル・タイプ・コンフィギュレーション・レジスタ1	BCT1	R/W				8888H
FFFFFF484H	データ・ウェイト・コントロール・レジスタ0	DWC0	R/W				7777H
FFFFFF486H	データ・ウェイト・コントロール・レジスタ1	DWC1	R/W				7777H
FFFFFF488H	バス・サイクル・コントロール・レジスタ	BCC	R/W				FFFFH
FFFFFF48AH	アドレス・セットアップ・ウェイト・コントロール・レジスタ	ASC	R/W				FFFFH
FFFFFF48CH	バス・サイクル・ピリオド・コントロール・レジスタ	BCP	R/W				00H
FFFFFF49AH	ページROMコンフィギュレーション・レジスタ	PRC	R/W				7000H
FFFFFF49EH	リフレッシュ・ウェイト・コントロール・レジスタ	RWC	R/W				00H
FFFFFF4A4H	DRAMコンフィギュレーション・レジスタ1	SCR1	R/W				3FC1H
	SDRAMコンフィギュレーション・レジスタ1		R/W				0000H
FFFFFF4A6H	リフレッシュ・コントロール・レジスタ1	RFS1	R/W				0000H
	SDRAM用リフレッシュ・コントロール・レジスタ1		R/W				0000H
FFFFFF4ACH	DRAMコンフィギュレーション・レジスタ3	SCR3	R/W				3FC1H
	SDRAMコンフィギュレーション・レジスタ3		R/W				0000H
FFFFFF4AEH	リフレッシュ・コントロール・レジスタ3	RFS3	R/W				0000H
	SDRAM用リフレッシュ・コントロール・レジスタ3		R/W				0000H
FFFFFF4B0H	DRAMコンフィギュレーション・レジスタ4	SCR4	R/W				3FC1H
	SDRAMコンフィギュレーション・レジスタ4		R/W				0000H
FFFFFF4B2H	リフレッシュ・コントロール・レジスタ4	RFS4	R/W				0000H
	SDRAM用リフレッシュ・コントロール・レジスタ4		R/W				0000H
FFFFFF4B8H	DRAMコンフィギュレーション・レジスタ6	SCR6	R/W				3FC1H
	SDRAMコンフィギュレーション・レジスタ6		R/W				0000H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF4BAH	リフレッシュ・コントロール・レジスタ6	RFS6	R/W				0000H
	SDRAM用リフレッシュ・コントロール・レジスタ6		R/W				0000H
FFFFF540H	タイマD0	TMD0	R				0000H
FFFFF542H	コンペア・レジスタD0	CMD0	R/W				0000H
FFFFF544H	タイマ・モード・コントロール・レジスタD0	TMCD0	R/W				00H
FFFFF550H	タイマD1	TMD1	R				0000H
FFFFF552H	コンペア・レジスタD1	CMD1	R/W				0000H
FFFFF554H	タイマ・モード・コントロール・レジスタD1	TMCD1	R/W				00H
FFFFF560H	タイマD2	TMD2	R				0000H
FFFFF562H	コンペア・レジスタD2	CMD2	R/W				0000H
FFFFF564H	タイマ・モード・コントロール・レジスタD2	TMCD2	R/W				00H
FFFFF570H	タイマD3	TMD3	R				0000H
FFFFF572H	コンペア・レジスタD3	CMD3	R/W				0000H
FFFFF574H	タイマ・モード・コントロール・レジスタD3	TMCD3	R/W				00H
FFFFF600H	タイマC0	TMC0	R				0000H
FFFFF602H	キャプチャ/コンペア・レジスタC00	CCC00	R/W				0000H
FFFFF604H	キャプチャ/コンペア・レジスタC01	CCC01	R/W				0000H
FFFFF606H	タイマ・モード・コントロール・レジスタC00	TMCC00	R/W				00H
FFFFF608H	タイマ・モード・コントロール・レジスタC01	TMCC01	R/W				20H
FFFFF609H	有効エッジ選択レジスタC0	SESC0	R/W				00H
FFFFF610H	タイマC1	TMC1	R				0000H
FFFFF612H	キャプチャ/コンペア・レジスタC10	CCC10	R/W				0000H
FFFFF614H	キャプチャ/コンペア・レジスタC11	CCC11	R/W				0000H
FFFFF616H	タイマ・モード・コントロール・レジスタC10	TMCC10	R/W				00H
FFFFF618H	タイマ・モード・コントロール・レジスタC11	TMCC11	R/W				20H
FFFFF619H	有効エッジ選択レジスタC1	SESC1	R/W				00H
FFFFF620H	タイマC2	TMC2	R				0000H
FFFFF622H	キャプチャ/コンペア・レジスタC20	CCC20	R/W				0000H
FFFFF624H	キャプチャ/コンペア・レジスタC21	CCC21	R/W				0000H
FFFFF626H	タイマ・モード・コントロール・レジスタC20	TMCC20	R/W				00H
FFFFF628H	タイマ・モード・コントロール・レジスタC21	TMCC21	R/W				20H
FFFFF629H	有効エッジ選択レジスタC2	SESC2	R/W				00H
FFFFF630H	タイマC3	TMC3	R				0000H
FFFFF632H	キャプチャ/コンペア・レジスタC30	CCC30	R/W				0000H
FFFFF634H	キャプチャ/コンペア・レジスタC31	CCC31	R/W				0000H
FFFFF636H	タイマ・モード・コントロール・レジスタC30	TMCC30	R/W				00H
FFFFF638H	タイマ・モード・コントロール・レジスタC31	TMCC31	R/W				20H
FFFFF639H	有効エッジ選択レジスタC3	SESC3	R/W				00H
FFFFF800H	ペリフェラル・コマンド・レジスタ	PHCMD	W				不定
FFFFF802H	ペリフェラル・ステータス・レジスタ	PHS	R/W				00H
FFFFF810H	DMAトリガ要因レジスタ0	DTFR0	R/W				00H
FFFFF812H	DMAトリガ要因レジスタ1	DTFR1	R/W				00H
FFFFF814H	DMAトリガ要因レジスタ2	DTFR2	R/W				00H



アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF816H	DMAトリガ要因レジスタ3	DTFR3	R/W				00H
FFFFF820H	パワー・セーブ・モード・レジスタ	PSMR	R/W				00H
FFFFF822H	クロック・コントロール・レジスタ	CKC	R/W				00H
FFFFF824H	ロック・レジスタ	LOCKR	R				0xH
FFFFF880H	外部割り込みモード・レジスタ0	INTM0	R/W				00H
FFFFF882H	外部割り込みモード・レジスタ1	INTM1	R/W				00H
FFFFF884H	外部割り込みモード・レジスタ2	INTM2	R/W				00H
FFFFF886H	外部割り込みモード・レジスタ3	INTM3	R/W				00H
FFFFF888H	外部割り込みモード・レジスタ4	INTM4	R/W				00H
FFFFF8A0H	DMAターミナル・カウント出力コントロール・レジスタ	DTOC	R/W				01H
FFFFF8D4H	フラッシュ・プログラミング・モード・コントロール・レジスタ	FLPMC	R/W				08H/0CH/00H
FFFFF900H	クロック同期式シリアル・インタフェース・モード・レジスタ0	CSIM0	R/W				00H
FFFFF901H	クロック同期式シリアル・インタフェース・クロック選択レジスタ0	CSIC0	R/W				00H
FFFFF902H	シリアルI/Oシフト・レジスタ0	SIO0	R				00H
FFFFF903H	受信専用シリアルI/Oシフト・レジスタ0	SIOE0	R				00H
FFFFF904H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ0	SOTB0	R/W				00H
FFFFF910H	クロック同期式シリアル・インタフェース・モード・レジスタ1	CSIM1	R/W				00H
FFFFF911H	クロック同期式シリアル・インタフェース・クロック選択レジスタ1	CSIC1	R/W				00H
FFFFF912H	シリアルI/Oシフト・レジスタ1	SIO1	R				00H
FFFFF913H	受信専用シリアルI/Oシフト・レジスタ1	SIOE1	R				00H
FFFFF914H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ1	SOTB1	R/W				00H
FFFFF920H	クロック同期式シリアル・インタフェース・モード・レジスタ2	CSIM2	R/W				00H
FFFFF921H	クロック同期式シリアル・インタフェース・クロック選択レジスタ2	CSIC2	R/W				00H
FFFFF922H	シリアルI/Oシフト・レジスタ2	SIO2	R				00H
FFFFF923H	受信専用シリアルI/Oシフト・レジスタ2	SIOE2	R				00H
FFFFF924H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ2	SOTB2	R/W				00H
FFFFFA00H	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	ASIM0	R/W				01H
FFFFFA02H	受信バッファ・レジスタ0	RXB0	R				FFH
FFFFFA03H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	ASIS0	R				00H
FFFFFA04H	送信バッファ・レジスタ0	TXB0	R/W				FFH

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFFA05H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ0	ASIF0	R				00H
FFFFFFA06H	クロック選択レジスタ0	CKSR0	R/W				00H
FFFFFFA07H	ポー・レート・ジェネレータ・コントロール・レジスタ0	BRGC0	R/W				FFH
FFFFFFA10H	アシンクロナス・シリアル・インタフェース・モード・レジスタ1	ASIM1	R/W				01H
FFFFFFA12H	受信バッファ・レジスタ1	RXB1	R				FFH
FFFFFFA13H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	ASIS1	R				00H
FFFFFFA14H	送信バッファ・レジスタ1	TXB1	R/W				FFH
FFFFFFA15H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ1	ASIF1	R				00H
FFFFFFA16H	クロック選択レジスタ1	CKSR1	R/W				00H
FFFFFFA17H	ポー・レート・ジェネレータ・コントロール・レジスタ1	BRGC1	R/W				FFH
FFFFFFA20H	アシンクロナス・シリアル・インタフェース・モード・レジスタ2	ASIM2	R/W				01H
FFFFFFA22H	受信バッファ・レジスタ2	RXB2	R				FFH
FFFFFFA23H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2	ASIS2	R				00H
FFFFFFA24H	送信バッファ・レジスタ2	TXB2	R/W				FFH
FFFFFFA25H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ2	ASIF2	R				00H
FFFFFFA26H	クロック選択レジスタ2	CKSR2	R/W				00H
FFFFFFA27H	ポー・レート・ジェネレータ・コントロール・レジスタ2	BRGC2	R/W				FFH
FFFFFFC00H	PWMコントロール・レジスタ0	PWMC0	R/W				40H
FFFFFFC02H	PWMバッファ・レジスタ0	PWMB0	R/W				0000H
FFFFFFC10H	PWMコントロール・レジスタ1	PWMC1	R/W				40H
FFFFFFC12H	PWMバッファ・レジスタ1	PWMB1	R/W				0000H

### 3.4.9 特定レジスタ

特定レジスタは、プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。V850E/MA1にはパワー・セーブ・コントロール・レジスタ (PSC) (9.5.2(3) **パワー・セーブ・コントロール・レジスタ (PSC)** 参照)、クロック・コントロール・レジスタ (CKC) (9.3.4 **クロック・コントロール・レジスタ (CKC)** 参照)、フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) (16.7.12 **フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)** 参照) の3つの特定レジスタがあります。特定レジスタへのライト時には、DMA転送は禁止してください。

また、プログラムの暴走により応用システムが不用意に停止しないように、特定レジスタへの書き込み動作に対するプロテクション・レジスタとして、コマンド・レジスタ (PRCMD) とペリフェラル・コマンド・レジスタ (PHCMD) があります (9.5.2(2) **コマンド・レジスタ (PRCMD)**、9.3.3 **ペリフェラル・コマンド・レジスタ (PHCMD)** 参照)。

### 3.4.10 システム・ウエイト・コントロール・レジスタ (VSWC)

システム・ウエイト・コントロール・レジスタ (VSWC) は、内蔵周辺I/Oレジスタに対するバス・アクセスのウエイトを制御するレジスタです。

内蔵周辺I/Oレジスタへのアクセスは3クロック (ノー・ウエイト時) ですが、V850E/MA1では動作周波数によりウエイトが必要です。使用する動作周波数に応じて、VSWCレジスタには次に示す値を設定してください。

8ビット単位でリード/ライト可能です (アドレス: FFFF06EH, 初期値: 77H)。

動作周波数 (f <sub>xx</sub> )	VSWCの設定値	内蔵周辺I/Oレジスタ・アクセスに対するウエイト数
4 MHz f <sub>xx</sub> < 33 MHz	11H	2
33 MHz f <sub>xx</sub> 50 MHz	12H (推奨), または13H	VSWC = 12 Hのとき: 3 (推奨), またはVSWC = 13 Hのとき: 4

**備考** 内蔵周辺機能の状態を示すステータス・フラグを含んだレジスタ (ASIFnなど) やタイマのカウント値を示すレジスタ (TMCnなど) などへのアクセスにおいて、フラグやカウント値の変化タイミングとレジスタ・アクセス・タイミングが重なった場合、レジスタ・アクセスへのリトライ動作が発生します。このため、通常より内蔵周辺I/Oレジスタへのアクセスに時間がかかる場合があります。

### 3.4.11 注意事項

#### (1) 最初に設定するレジスタ

V850E/MA1を使用する際には、必ず最初に次のレジスタを設定してください。

- ・システム・ウエイト・コントロール・レジスタ (VSWC)  
(3.4.10 システム・ウエイト・コントロール・レジスタ (VSWC) 参照)
- ・クロック・コントロール・レジスタ (CKC)  
(9.3.4 クロック・コントロール・レジスタ (CKC) 参照)

VSWCとCKCを設定したあとに、必要に応じてその他の各レジスタを設定してください。

なお、外部バスを使用する場合は上記レジスタを設定したあとに、次に示す順に各レジスタの初期設定を行ってください。

ポート関連のレジスタの設定により、各端子をコントロール・モードに設定してください。

チップ・エリア選択コントロール・レジスタn (CSCn) の設定により、チップ・セレクト空間を確定してください (n = 0, 1)。

バス・サイクル・タイプ・コンフィギュレーション・レジスタn (BCTn) の設定により、各チップ・セレクト空間のメモリの種類を確定してください。

## (2) sld命令と割り込み競合に関する制限事項

## (a) 内 容

次の命令<1>の事項が完了する前に、後続のsld命令の直前の命令<2>のデコード動作と割り込み要求が競合した場合、先の命令<1>の実行結果がレジスタに格納されないことがあります。

命令<1>

- ・ ld命令 : ld.b, ld.h, ld.w, ld.bu, ld.hu
- ・ sld命令 : sld.b, sld.h, sld.w, sld.bu, sld.hu
- ・ 乗算命令 : mul, mulh, mulhi, mulu

命令<2>

mov reg1, reg2	not reg1, reg2	satsubr reg1, reg2	satsub reg1, reg2
satadd reg1, reg2	satadd imm5, reg2	or reg1, reg2	xor reg1, reg2
and reg1, reg2	tst reg1, reg2	subr reg1, reg2	sub reg1, reg2
add reg1, reg2	add imm5, reg2	cmp reg1, reg2	cmp imm5, reg2
mulh reg1, reg2	shr imm5, reg2	sar imm5, reg2	shl imm5, reg2

<例>

```
< > ld.w [r11], r10
      .
      .
      .
< > mov r10, r28
< > sld.w 0x28, r10
```

< >のld命令の実行が完了する前に、< >のsld命令の直前のmov命令< >のデコード動作と割り込み要求が競合した場合、< >のld命令の実行結果がレジスタに格納されないことがあります。

## (b) 回 避 策

**コンパイラ (CA850) 使用時**

CA850はVer.2.61以降を使用してください。該当命令シーケンスの生成を自動的に抑止します。

**アセンブラでの対策**

命令< >の直後にsld命令を実行する場合は、次のいずれかの方法を用いて、上記動作を回避してください。

- ・ sld命令の直前にnop命令を入れる。
- ・ sld命令のディスティネーション・レジスタと同じレジスタを、sld命令の直前で実行する上記< >の命令で使用しない。

## 第4章 バス制御機能

V850E/MA1は、外部にROM，RAMなどのメモリやI/Oなどを接続できる外部バス・インタフェース機能を内蔵しています。

### 4.1 特 徴

16ビット/8ビット・データ・バス・サイジング機能

8空間のチップ・セレクト機能

ウエイト機能

- ・各メモリ・ブロックごとに最大7ステートのプログラマブル・ウエイト機能
- ・ $\overline{\text{WAIT}}$ 端子による外部ウエイト機能

アイドル・ステート挿入機能

バス使用権調停機能

バス・ホールド機能

ポートとの兼用端子で、外部デバイスに接続可能

## 4.2 バス制御端子

外部デバイスの接続には、次の端子を使用します。

バス制御端子 (コントロール・モード時の機能)	ポート・モード時の機能	ポート/コントロール・モードの切り替えを行うレジスタ
データ・バス (D0-D15)	PDL0-PDL15 (ポートDL)	PMCDL
アドレス・バス (A0-A15)	PAL0-PAL15 (ポートAL)	PMCAL
アドレス・バス (A16-A25)	PAH0-PAH9 (ポートAH)	PMCAH
チップ・セレクト ( $\overline{CS0}$ - $\overline{CS7}$ , $\overline{RAS1}$ , $\overline{RAS3}$ , $\overline{RAS4}$ , $\overline{RAS6}$ , $\overline{IOWR}$ , $\overline{IORD}$ )	PCS0-PCS7 (ポートCS)	PMCCS
SDRAM同期コントロール ( $\overline{SDCKE}$ , $\overline{SDCLK}$ )	PCD0, PCD1 (ポートCD)	PMCCD
バイト・アクセス制御/SDRAMコントロール ( $\overline{LBE/SDCAS}$ , $\overline{UBE/SDRAS}$ )	PCD2, PCD3 (ポートCD)	
リード/ライト制御 ( $\overline{LCAS/LWR/LDQM}$ , $\overline{UCAS/UWR/UDQM}$ , $\overline{RD}$ , $\overline{WE}$ , $\overline{OE}$ )	PCT0, PCT1, PCT4-PCT6 (ポートCT)	PMCCT
バス・サイクル・スタート ( $\overline{BCYST}$ )	PCT7 (ポートCT)	
外部ウェイト制御 ( $\overline{WAIT}$ )	PCM0 (ポートCM)	PMCCM
内部システム・クロック ( $\overline{CLKOUT}$ )	PCM1 (ポートCM)	
バス・ホールド制御 ( $\overline{HLDRQ}$ , $\overline{HLDAK}$ )	PCM2, PCM3 (ポートCM)	
DRAMリフレッシュ制御 ( $\overline{REFRQ}$ )	PCM4 (ポートCM)	
セルフ・リフレッシュ制御 ( $\overline{SELFREF}$ )	PCM5 (ポートCM)	

**備考** シングルチップ・モード1, ROMレス・モード0, 1の場合, システム・リセットにより各バス制御端子は無条件に有効になります (ただし, D8-D15はシングルチップ・モード1, ROMレス・モード0のときだけ有効)。

### 4.2.1 内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態

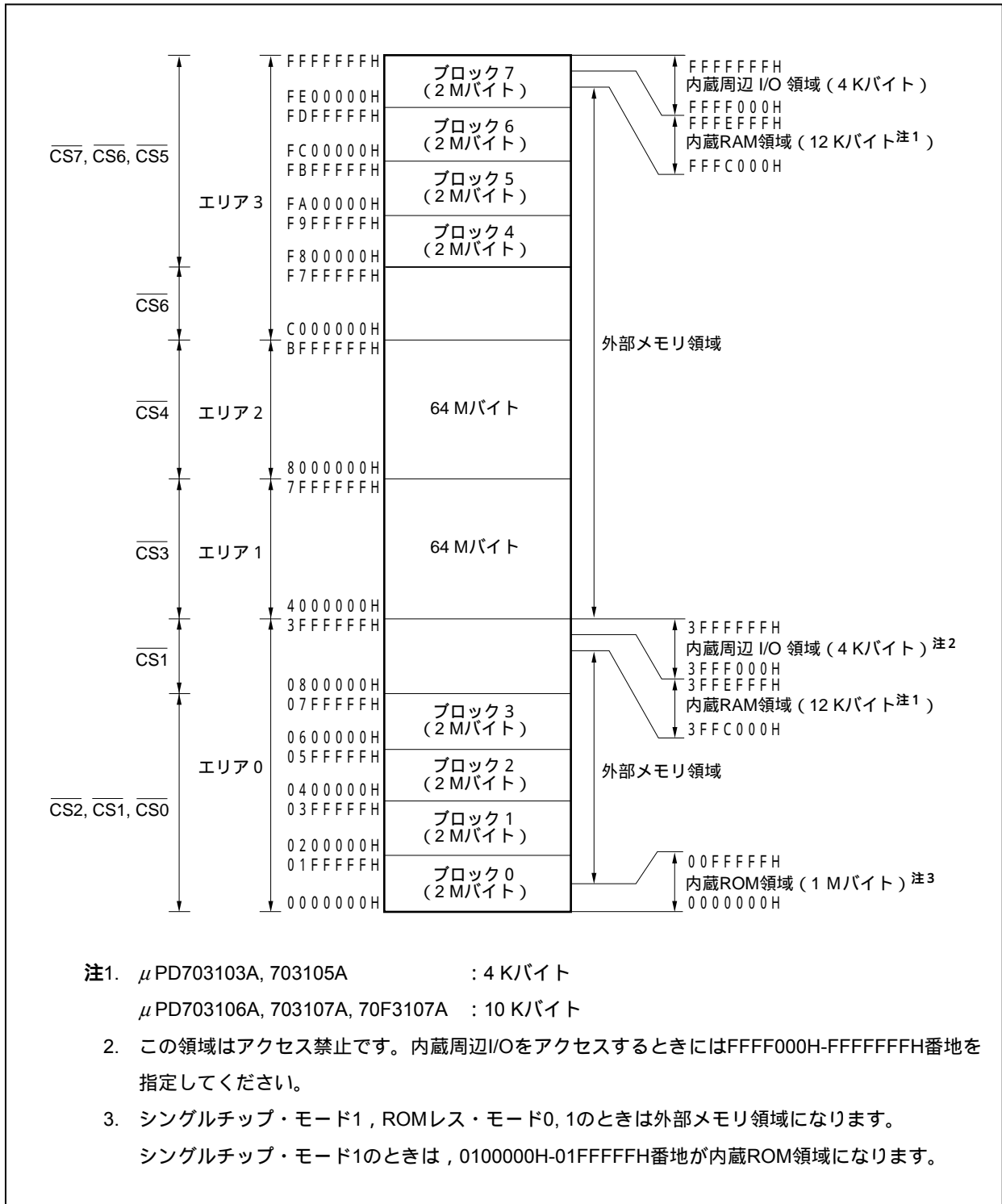
内蔵ROM, 内蔵RAMのアクセス時には, アドレス・バスは不定になります。データ・バスは, 出力されずハイ・インピーダンス状態になります。外部バス制御信号は, インアクティブ状態になります。

内蔵周辺I/Oアクセス時には, アドレス・バスはアクセスしている内蔵周辺I/Oのアドレスを出力します。データ・バスは, 内蔵周辺I/Oへのライト・アクセス時は出力状態に, 内蔵周辺I/Oへのリード・アクセス時はハイ・インピーダンス状態になります。外部バス制御信号は, インアクティブ状態になります。

### 4.3 メモリ・ブロック機能

256 Mバイトのメモリ空間は2 M, 64 Mバイト単位のメモリ・ブロックに分割され, 1ブロック単位にプログラマブル・ウエイト機能, バス・サイクル動作モードなどを独立に制御できます。

ただし, プログラム領域として使用できる領域は, 0000000H-3FFFFFFHの64 Mバイトの空間です。



### 4.3.1 チップ・セレクト制御機能

256 Mバイトのメモリ空間のうち，下位8 Mバイト（0000000H-07FFFFFFH）と上位8 Mバイト（F800000H-FFFFFFFH）は，チップ・エリア選択コントロール・レジスタ0, 1（CSC0, CSC1）により，2 Mバイト単位でメモリ・ブロックを分割し，チップ・セレクト信号を制御することができます。

チップ・セレクト制御機能により，メモリ・ブロックを分割することにより，メモリ空間を有効に利用できます。優先順位を次に示します。

#### (1) チップ・エリア選択コントロール・レジスタ0, 1（CSC0, CSC1）

16ビット単位でリード/ライトできます。各ビットをセット（1）すると有効になります。

同じブロックに別々のチップ・セレクト信号出力を設定した場合，次のように優先順位が制御されます。

CSC0 :  $\overline{CS0} > \overline{CS2} > \overline{CS1}$

CSC1 :  $\overline{CS7} > \overline{CS5} > \overline{CS6}$

CSC0レジスタのCS0m, CS2mビットをともに0に設定した場合，該当するブロックには $\overline{CS1}$ が出力されます（m = 0-3）。

同様にCSC1レジスタのCS5n, CS7nビットをともに0に設定した場合，該当するブロックには $\overline{CS6}$ が出力されます（n = 0-3）。

**注意** CSC0, CSC1レジスタへの書き込みはリセット後に行ってください。書き込み後は，値を変更しないでください。



	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CSC0	CS33	CS32	CS31	CS30	CS23	CS22	CS21	CS20	CS13	CS12	CS11	CS10	CS03	CS02	CS01	CS00	FFFFFF060H	2C11H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CSC1	CS43	CS42	CS41	CS40	CS53	CS52	CS51	CS50	CS63	CS62	CS61	CS60	CS73	CS72	CS71	CS70	FFFFFF062H	2C11H

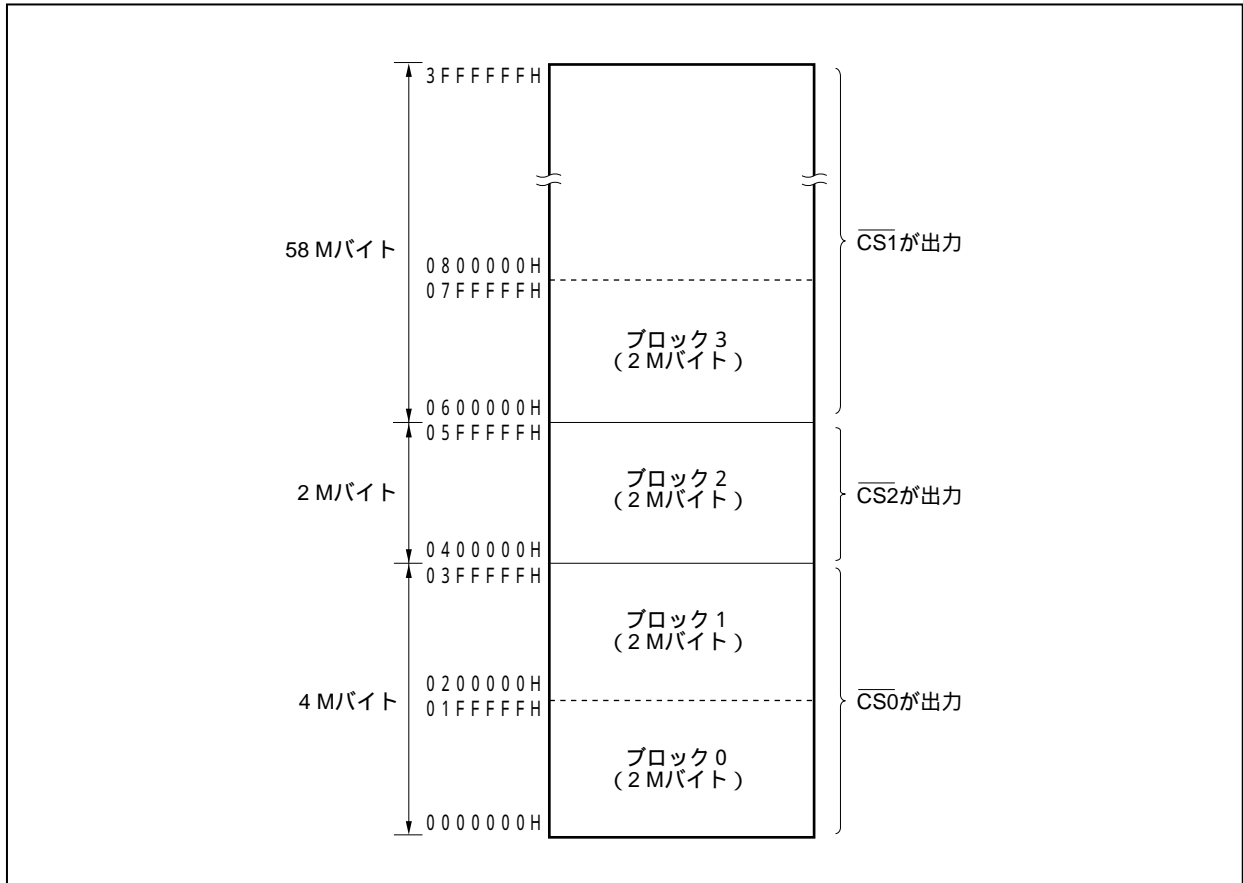
ビット位置	ビット名	意味																																										
15-0	CSnm (n = 0-7) (m = 0-3)	<p>Chip Select</p> <p>CSnmビットをセット(1)することにより、チップ・セレクトを有効にします。</p> <table border="1"> <thead> <tr> <th>CSnm</th> <th>CS動作</th> </tr> </thead> <tbody> <tr> <td>CS00</td> <td>ブロック0アクセス時、<math>\overline{CS0}</math>出力</td> </tr> <tr> <td>CS01</td> <td>ブロック1アクセス時、<math>\overline{CS0}</math>出力</td> </tr> <tr> <td>CS02</td> <td>ブロック2アクセス時、<math>\overline{CS0}</math>出力</td> </tr> <tr> <td>CS03</td> <td>ブロック3アクセス時、<math>\overline{CS0}</math>出力</td> </tr> <tr> <td>CS10-CS13</td> <td>設定は意味を持ちません。</td> </tr> <tr> <td>CS20</td> <td>ブロック0アクセス時、<math>\overline{CS2}</math>出力</td> </tr> <tr> <td>CS21</td> <td>ブロック1アクセス時、<math>\overline{CS2}</math>出力</td> </tr> <tr> <td>CS22</td> <td>ブロック2アクセス時、<math>\overline{CS2}</math>出力</td> </tr> <tr> <td>CS23</td> <td>ブロック3アクセス時、<math>\overline{CS2}</math>出力</td> </tr> <tr> <td>CS30-CS33</td> <td>設定は意味を持ちません。</td> </tr> <tr> <td>CS40-CS43</td> <td>設定は意味を持ちません。</td> </tr> <tr> <td>CS50</td> <td>ブロック7アクセス時、<math>\overline{CS5}</math>出力</td> </tr> <tr> <td>CS51</td> <td>ブロック6アクセス時、<math>\overline{CS5}</math>出力</td> </tr> <tr> <td>CS52</td> <td>ブロック5アクセス時、<math>\overline{CS5}</math>出力</td> </tr> <tr> <td>CS53</td> <td>ブロック4アクセス時、<math>\overline{CS5}</math>出力</td> </tr> <tr> <td>CS60-CS63</td> <td>設定は意味を持ちません。</td> </tr> <tr> <td>CS70</td> <td>ブロック7アクセス時、<math>\overline{CS7}</math>出力</td> </tr> <tr> <td>CS71</td> <td>ブロック6アクセス時、<math>\overline{CS7}</math>出力</td> </tr> <tr> <td>CS72</td> <td>ブロック5アクセス時、<math>\overline{CS7}</math>出力</td> </tr> <tr> <td>CS73</td> <td>ブロック4アクセス時、<math>\overline{CS7}</math>出力</td> </tr> </tbody> </table>	CSnm	CS動作	CS00	ブロック0アクセス時、 $\overline{CS0}$ 出力	CS01	ブロック1アクセス時、 $\overline{CS0}$ 出力	CS02	ブロック2アクセス時、 $\overline{CS0}$ 出力	CS03	ブロック3アクセス時、 $\overline{CS0}$ 出力	CS10-CS13	設定は意味を持ちません。	CS20	ブロック0アクセス時、 $\overline{CS2}$ 出力	CS21	ブロック1アクセス時、 $\overline{CS2}$ 出力	CS22	ブロック2アクセス時、 $\overline{CS2}$ 出力	CS23	ブロック3アクセス時、 $\overline{CS2}$ 出力	CS30-CS33	設定は意味を持ちません。	CS40-CS43	設定は意味を持ちません。	CS50	ブロック7アクセス時、 $\overline{CS5}$ 出力	CS51	ブロック6アクセス時、 $\overline{CS5}$ 出力	CS52	ブロック5アクセス時、 $\overline{CS5}$ 出力	CS53	ブロック4アクセス時、 $\overline{CS5}$ 出力	CS60-CS63	設定は意味を持ちません。	CS70	ブロック7アクセス時、 $\overline{CS7}$ 出力	CS71	ブロック6アクセス時、 $\overline{CS7}$ 出力	CS72	ブロック5アクセス時、 $\overline{CS7}$ 出力	CS73	ブロック4アクセス時、 $\overline{CS7}$ 出力
CSnm	CS動作																																											
CS00	ブロック0アクセス時、 $\overline{CS0}$ 出力																																											
CS01	ブロック1アクセス時、 $\overline{CS0}$ 出力																																											
CS02	ブロック2アクセス時、 $\overline{CS0}$ 出力																																											
CS03	ブロック3アクセス時、 $\overline{CS0}$ 出力																																											
CS10-CS13	設定は意味を持ちません。																																											
CS20	ブロック0アクセス時、 $\overline{CS2}$ 出力																																											
CS21	ブロック1アクセス時、 $\overline{CS2}$ 出力																																											
CS22	ブロック2アクセス時、 $\overline{CS2}$ 出力																																											
CS23	ブロック3アクセス時、 $\overline{CS2}$ 出力																																											
CS30-CS33	設定は意味を持ちません。																																											
CS40-CS43	設定は意味を持ちません。																																											
CS50	ブロック7アクセス時、 $\overline{CS5}$ 出力																																											
CS51	ブロック6アクセス時、 $\overline{CS5}$ 出力																																											
CS52	ブロック5アクセス時、 $\overline{CS5}$ 出力																																											
CS53	ブロック4アクセス時、 $\overline{CS5}$ 出力																																											
CS60-CS63	設定は意味を持ちません。																																											
CS70	ブロック7アクセス時、 $\overline{CS7}$ 出力																																											
CS71	ブロック6アクセス時、 $\overline{CS7}$ 出力																																											
CS72	ブロック5アクセス時、 $\overline{CS7}$ 出力																																											
CS73	ブロック4アクセス時、 $\overline{CS7}$ 出力																																											

次にCSC0レジスタに0703Hを設定した場合のエリア0に対して有効になる $\overline{CS}$ 信号を示します。

CSC0レジスタに0703Hを設定した場合、ブロック0、ブロック1ともに $\overline{CS0}$ 、 $\overline{CS2}$ 出力になっていますが、 $\overline{CS2}$ より $\overline{CS0}$ の方が優先順位が高いため、ブロック0、ブロック1のアドレスをアクセスした場合は $\overline{CS0}$ が出力されます。

ブロック3のアドレスをアクセスした場合は、CSC0レジスタのCS03、CS23ビットともに0であるため、 $\overline{CS1}$ が出力されます。

図4 - 1 CSC0レジスタに0703Hを設定した場合の例



## 4.4 バス・サイクル・タイプ制御機能

V850E/MA1は、次のような外部デバイスを各メモリ・ブロックごとに直結できます。

SRAM , 外部ROM , 外部I/O

ページROM

EDO DRAM

SDRAM

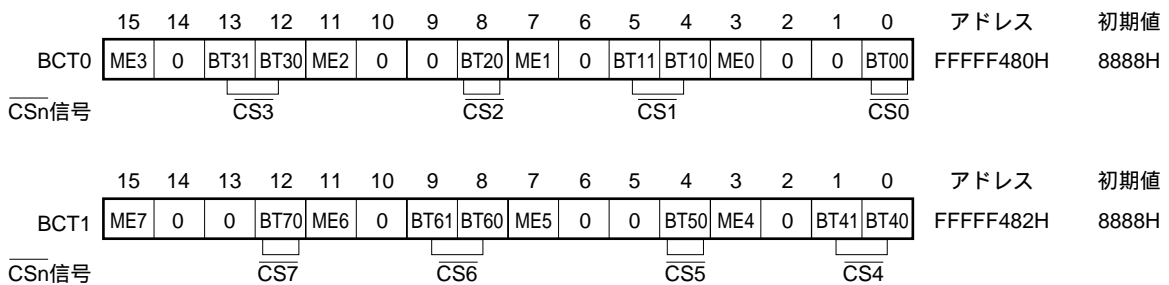
接続する外部デバイスは、バス・サイクル・タイプ・コンフィギュレーション・レジスタ0, 1 (BCT0, BCT1) で指定します。

(1) バス・サイクル・タイプ・コンフィギュレーション・レジスタ0, 1 (BCT0, BCT1)

16ビット単位でリード/ライト可能です。

BCT0レジスタのビット14, 10, 9, 6, 2, 1には必ず0を, BCT1レジスタのビット14, 13, 10, 6, 5, 2には必ず0を設定してください。1を設定した場合の動作は保証できません。

**注意** BCT0, BCT1レジスタへの書き込みはリセット後に行い, そのあとは値を変更しないでください。また, BCT0, BCT1レジスタの初期設定が終わるまでは, その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし, 初期設定が終了した外部メモリ領域のアクセスは可能です。



ビット位置	ビット名	意味															
15, 11, 7, 3 (BCT0), 15, 11, 7, 3 (BCT1)	ME <sub>n</sub> (n = 0-7)	Memory Controller Enable メモリ・コントローラの動作許可をチップ・セレクトごとに設定します。 <table border="1"> <tr> <td>ME<sub>n</sub></td> <td>メモリ・コントローラの動作許可</td> </tr> <tr> <td>0</td> <td>動作禁止</td> </tr> <tr> <td>1</td> <td>動作許可</td> </tr> </table>	ME <sub>n</sub>	メモリ・コントローラの動作許可	0	動作禁止	1	動作許可									
ME <sub>n</sub>	メモリ・コントローラの動作許可																
0	動作禁止																
1	動作許可																
8, 0 (BCT0), 12, 4 (BCT1)	BT <sub>n0</sub> (n = 0, 2, 5, 7)	Bus Cycle Type CS <sub>n</sub> 信号に接続するデバイスを指定します。 <table border="1"> <tr> <td>BT<sub>n0</sub></td> <td>CS<sub>n</sub>信号に直結する外部デバイス</td> </tr> <tr> <td>0</td> <td>SRAM, 外部I/O</td> </tr> <tr> <td>1</td> <td>ページROM</td> </tr> </table>	BT <sub>n0</sub>	CS <sub>n</sub> 信号に直結する外部デバイス	0	SRAM, 外部I/O	1	ページROM									
BT <sub>n0</sub>	CS <sub>n</sub> 信号に直結する外部デバイス																
0	SRAM, 外部I/O																
1	ページROM																
13, 12, 5, 4 (BCT0), 9, 8, 1, 0 (BCT1)	BT <sub>n1</sub> , BT <sub>n0</sub> (n = 1, 3, 4, 6)	Bus Cycle Type CS <sub>n</sub> 信号に接続するデバイスを指定します。 <table border="1"> <tr> <td>BT<sub>n1</sub></td> <td>BT<sub>n0</sub></td> <td>CS<sub>n</sub>信号に直結する外部デバイス</td> </tr> <tr> <td>0</td> <td>0</td> <td>SRAM, 外部I/O</td> </tr> <tr> <td>0</td> <td>1</td> <td>ページROM</td> </tr> <tr> <td>1</td> <td>0</td> <td>EDO DRAM</td> </tr> <tr> <td>1</td> <td>1</td> <td>SDRAM</td> </tr> </table>	BT <sub>n1</sub>	BT <sub>n0</sub>	CS <sub>n</sub> 信号に直結する外部デバイス	0	0	SRAM, 外部I/O	0	1	ページROM	1	0	EDO DRAM	1	1	SDRAM
BT <sub>n1</sub>	BT <sub>n0</sub>	CS <sub>n</sub> 信号に直結する外部デバイス															
0	0	SRAM, 外部I/O															
0	1	ページROM															
1	0	EDO DRAM															
1	1	SDRAM															

## 4.5 バス・アクセス

### 4.5.1 アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数を次に示します。

リソース (バス幅)	バス・サイクル形態	命令フェッチ	オペランド・データ・アクセス
内蔵ROM (32ビット)		1 <sup>注1</sup>	5
内蔵RAM (32ビット)		1 <sup>注2</sup>	1

注1. 分岐命令の場合は2

2. データ・アクセスと競合した場合は2

備考 単位はクロック/アクセスです。

### 4.5.2 バス・サイジング機能

バス・サイジング機能により、各CS空間ごとのデータ・バス幅を制御できます。データ・バス幅は、バス・サイズ・コンフィギュレーション・レジスタ (BSC) で設定します。

#### (1) バス・サイズ・コンフィギュレーション・レジスタ (BSC)

16ビット単位でリード/ライト可能です。

ビット15, 13, 11, 9, 7, 5, 3, 1には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意1. BSCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BSCレジスタの初期設定が終わるまでは、その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし、初期設定が終了した外部メモリ領域のアクセスは可能です。

2. 8ビット・バス幅の場合、次に示す信号のみアクティブになります。

LWR : SRAM, 外部ROM, 外部I/Oアクセス (ライト・サイクル) の場合

LCAS : EDO DRAMアクセスの場合

ビット位置	ビット名	意味						
15, 14, 13, 12, 11, 10, 9, 8, 7, 6, 5, 4, 3, 2, 1, 0	BSC	初期値						
	0 BS70 0 BS60 0 BS50 0 BS40 0 BS30 0 BS20 0 BS10 0 BS00	FFFFF066H						
CSn信号	CS7 CS6 CS5 CS4 CS3 CS2 CS1 CS0	5555H						
<p>注 シングルチップ・モード0, 1とROMレス・モード0のとき : 5555H ROMレス・モード1のとき : 0000H</p>								
14, 12, 10, 8, 6, 4, 2, 0	B <sub>Sn</sub> 0 (n = 0-7)	Data Bus Width CSn空間のデータ・バス幅を設定します。						
<table border="1"> <thead> <tr> <th>B<sub>Sn</sub>0</th> <th>CSn空間のデータ・バス幅</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>8ビット</td> </tr> <tr> <td>1</td> <td>16ビット</td> </tr> </tbody> </table>			B <sub>Sn</sub> 0	CSn空間のデータ・バス幅	0	8ビット	1	16ビット
B <sub>Sn</sub> 0	CSn空間のデータ・バス幅							
0	8ビット							
1	16ビット							

### 4.5.3 エンディアン制御機能

エンディアン制御機能により、チップ・セレクト信号（CS0-CS7）で選択されるCS空間ごとにメモリ内のワード・データをビッグ・エンディアン形式、リトル・エンディアン形式のどちらで処理するかを設定できます。エンディアン形式の切り替えは、エンディアン・コンフィギュレーション・レジスタ（BEC）で設定します。

**注意** 次に示す領域についてはリトル・エンディアン形式固定になるので、BECレジスタの設定は無効になります。

- ・内蔵周辺I/O領域
- ・内蔵ROM領域
- ・内蔵RAM領域
- ・外部メモリのプログラム・フェッチ領域

#### (1) エンディアン・コンフィギュレーション・レジスタ（BEC）

16ビット単位でリード/ライト可能です。

ビット15, 13, 11, 9, 7, 5, 3, 1には必ず0を設定してください。1を設定した場合の動作は保証できません。

**注意** BECレジスタへの書き込みはリセット後に行ってください。書き込み後は、値を変更しないでください。

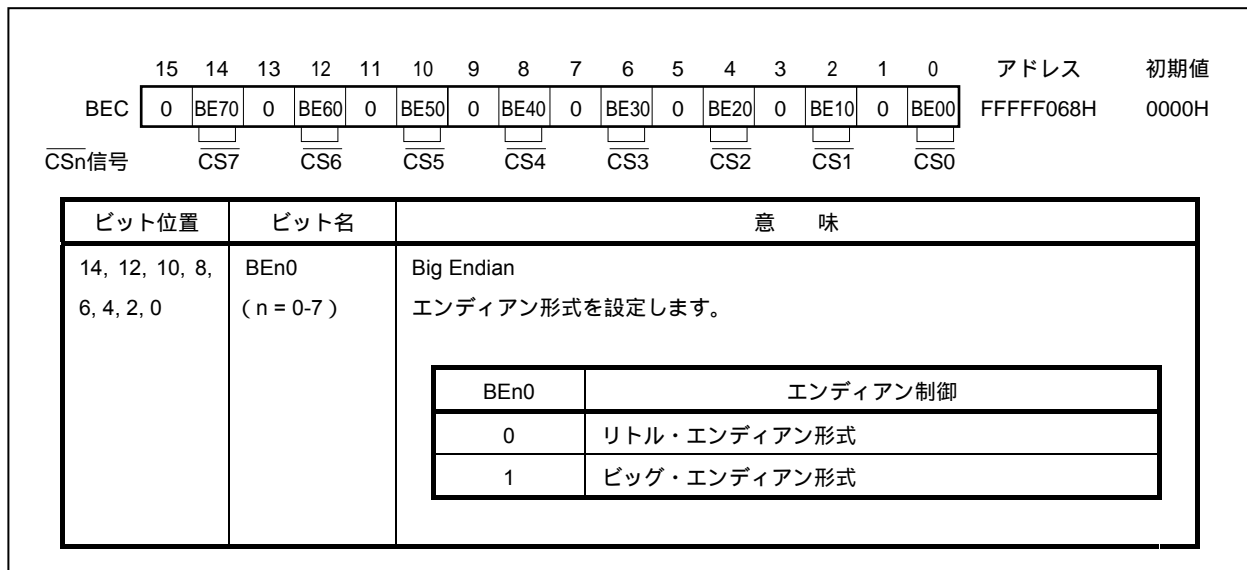


図4-2 ワード内のビッグ・エンディアン・アドレス

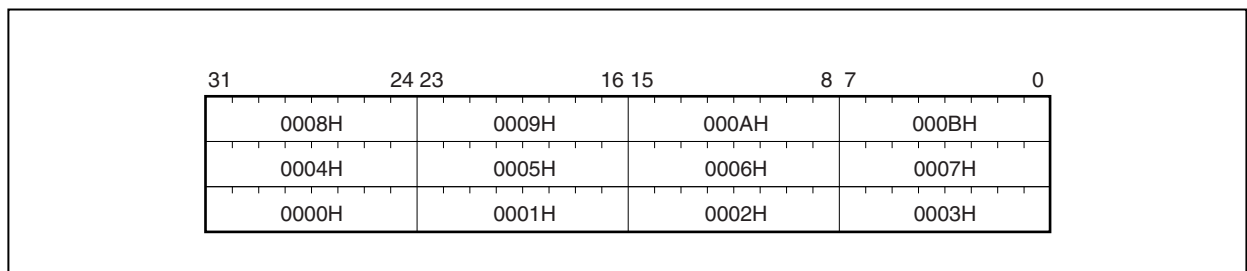


図4 - 3 ワード内のリトル・エンディアン・アドレス

31	24 23	16 15	8 7	0
000BH	000AH	0009H	0008H	
0007H	0006H	0005H	0004H	
0003H	0002H	0001H	0000H	

#### 4.5.4 NECエレクトロニクス製開発ツールにおけるビッグ・エンディアン形式の使用制限

##### (1) デバッガ (ID850) 使用時

メモリ・ウインドウの表示だけビッグ・エンディアン形式に対応します。

##### (2) コンパイラ (CA850) 使用時

###### (a) C言語上の制限

(i) ビッグ・エンディアン空間に配置する(される)変数には次に示す制限があります。

- ・ unionが使えない。
- ・ bitfieldが使えない。
- ・ キャストによる(アクセス・サイズを変更)アクセスが使えない。
- ・ 初期値あり変数が使えない。

(ii) 最適化によりアクセス・サイズの変更が起こる可能性があるため、次に示す最適化抑止オプションを指定する必要があります。

- ・ 広域最適化部 (opt850) 用 ..... -Wo, -XTb
- ・ 機種依存最適化部 (impr850) 用 ..... -Wi, +arg\_reg\_opt = OFF, +stld\_trans\_opt = OFF

ただし、キャストとしてアクセス、またはマスク/シフトしてアクセスという使い方をしていない場合は、上記の最適化抑止オプションの指定は不要になります。

**注** 次に示す最適化が起こるようなパターンの使い方がないことが条件となります。ただし、おのおの（特に機種依存最適化部）のパターンが組み合わさった状態など、ユーザ側での完璧なチェックは非常に困難になります。したがって、上記の最適化抑止オプションの指定を推奨します。

#### 【広域最適化部関連】

- ・ bit orを使用した1ビット・セット

```
int i;
i ^= 1;
```

- ・ bit andを使用した1ビット・クリア

```
i &= ~1;
```

- ・ bit xorを使用した1ビット・ノット

```
i ^= 1;
```

- ・ bit andを使用した1ビット・テスト

```
if(i & 1);
```

#### 【機種依存最適化部関連】

同一の変数を異なるサイズでアクセスするような使い方

- ・ キャスト
- ・ マスク
- ・ シフト

```
例 int i, *ip;
char c;
:
c = *((char*)ip);
:
c = 0xff & i;
:
i = (i<<24) >>24;
```

#### (b) アセンブリ言語上の制限

ビッグ・エンディアン空間に配置する変数にはバイト・サイズ以外の領域確保疑似命令（.hword, .word, .float, .shword）が使用できません。

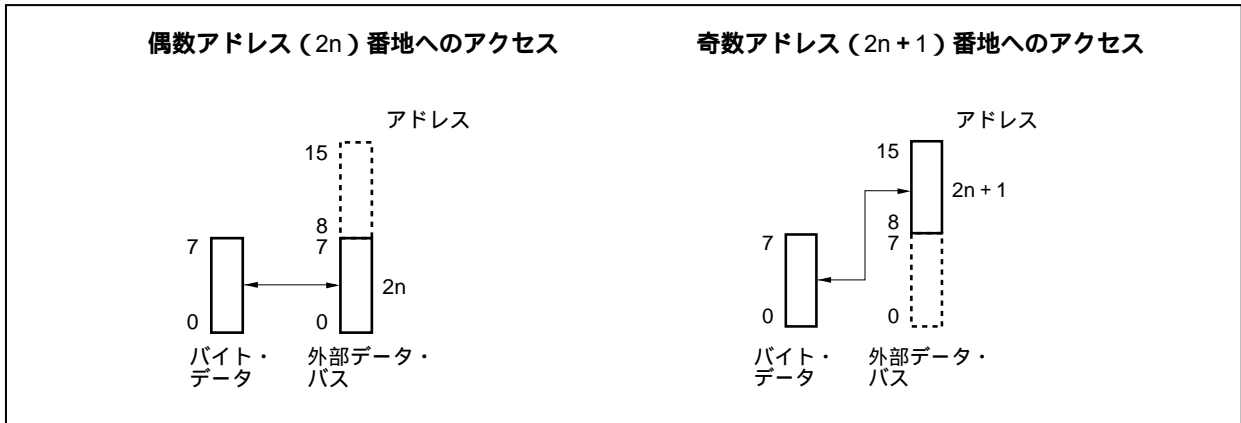


### 4.5.5 バス幅

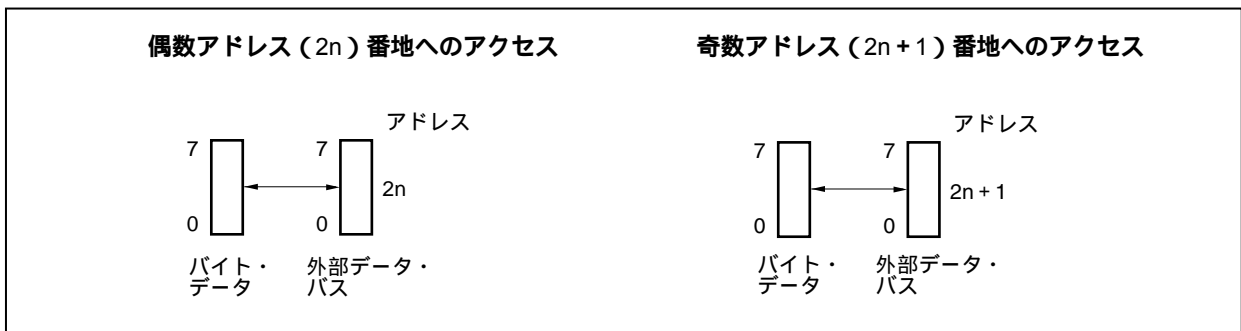
V850E/MA1が内蔵周辺I/Oアクセス、外部メモリ・アクセスを行う場合には、8, 16, 32ビット・アクセスがあります。次にそれぞれのアクセス時の動作を示します。すべてデータの低位側から順番にアクセスを行います。

#### (1) バイト・アクセス (8ビット)

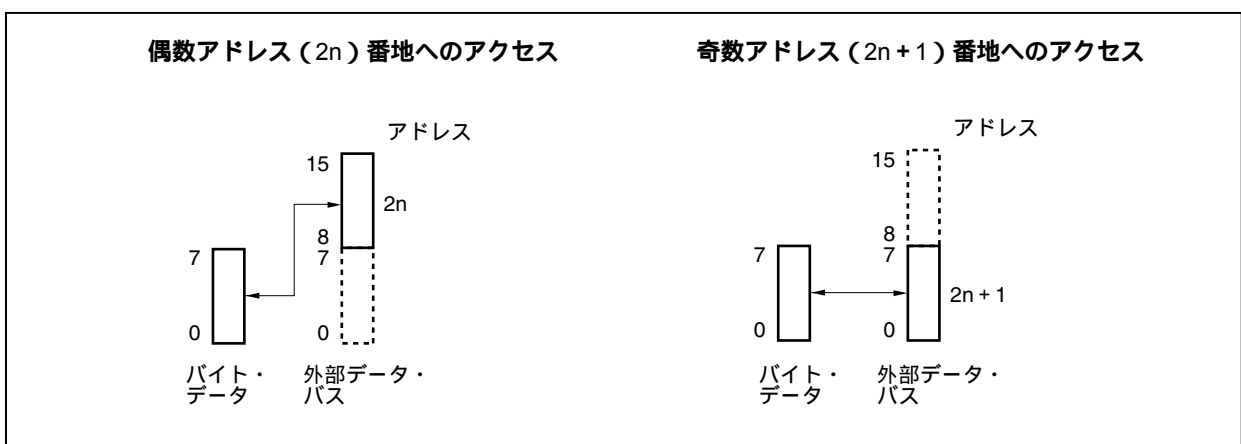
##### (a) 16ビット・データ・バス幅のとき (リトル・エンディアン)



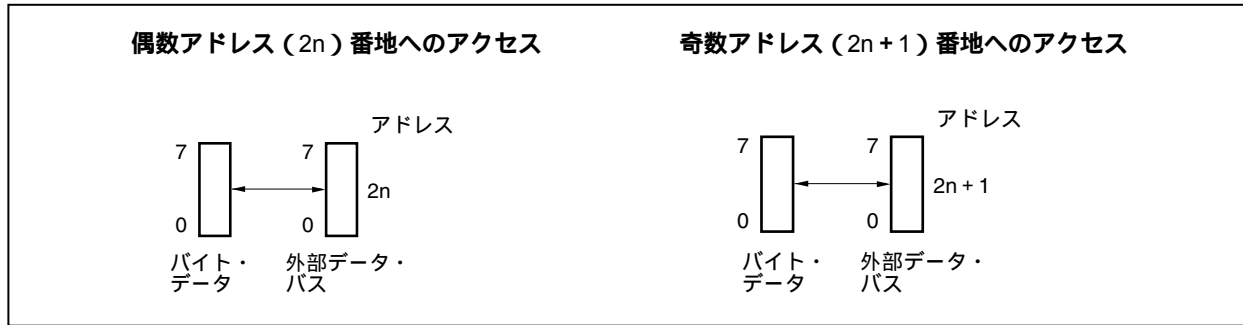
##### (b) 8ビット・データ・バス幅のとき (リトル・エンディアン)



##### (c) 16ビット・データ・バス幅のとき (ビッグ・エンディアン)

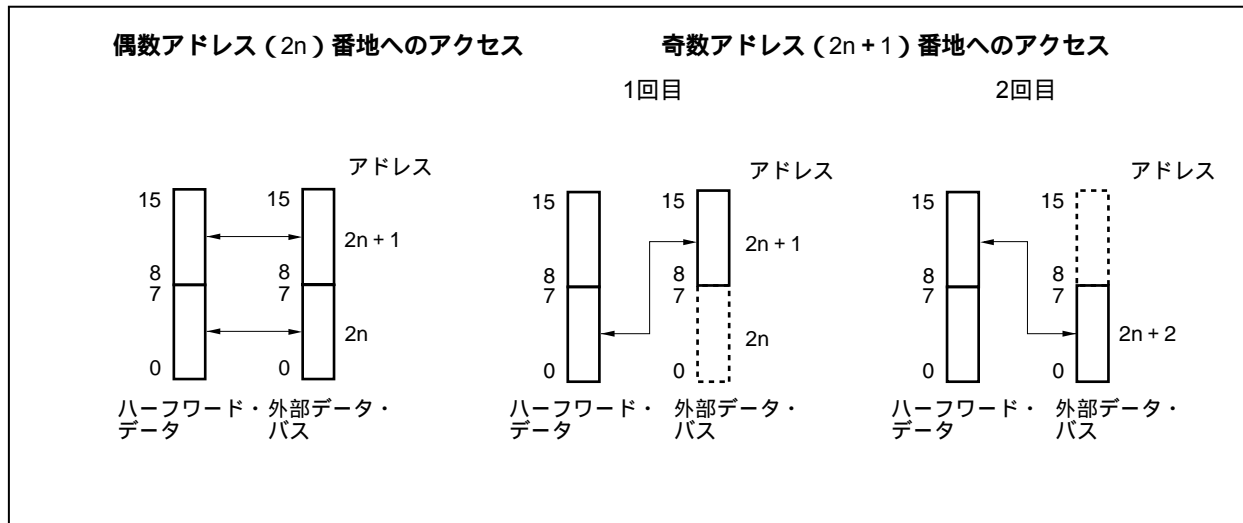


(d) 8ビット・データ・バス幅のとき (ビッグ・エンディアン)

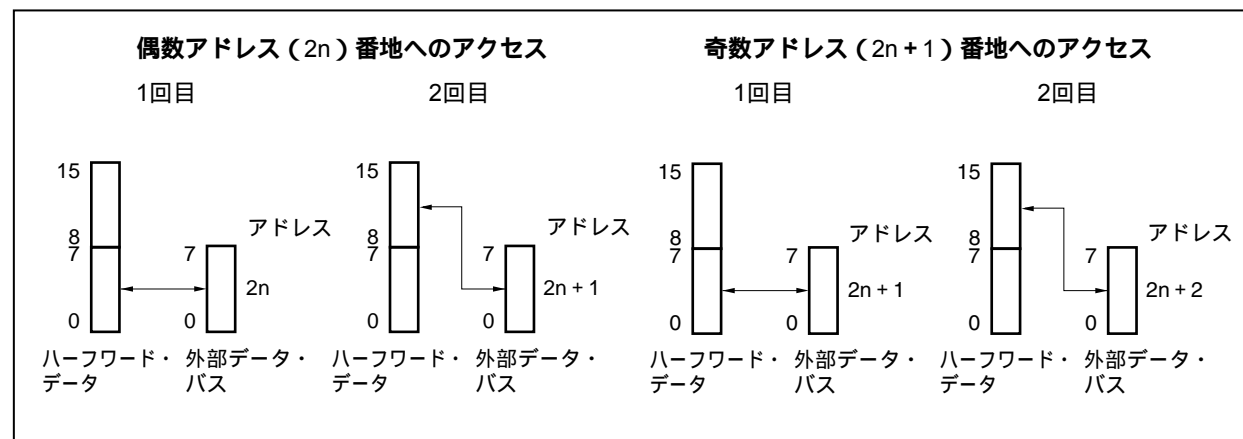


(2) ハーフワード・アクセス (16ビット)

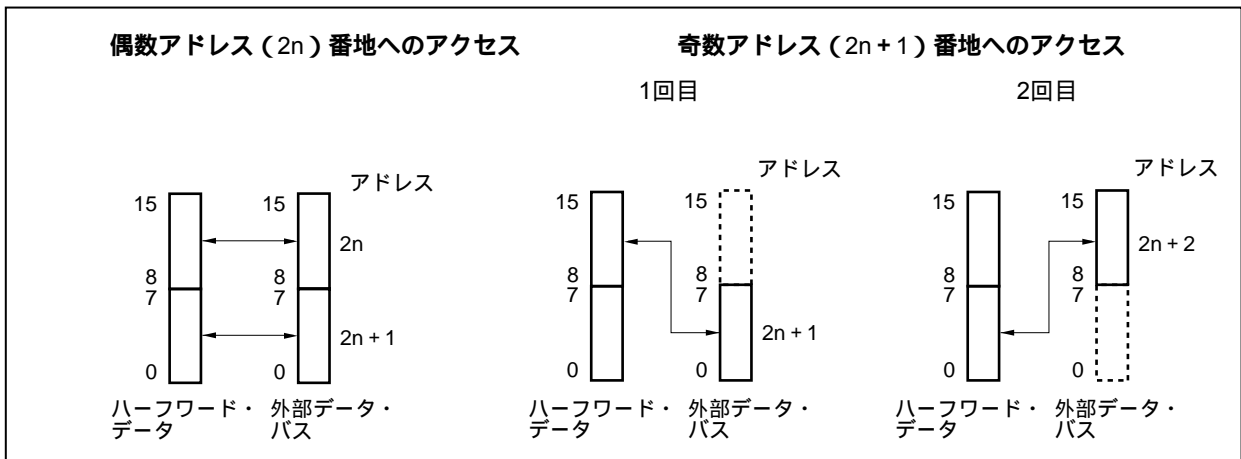
(a) 16ビット・データ・バス幅のとき (リトル・エンディアン)



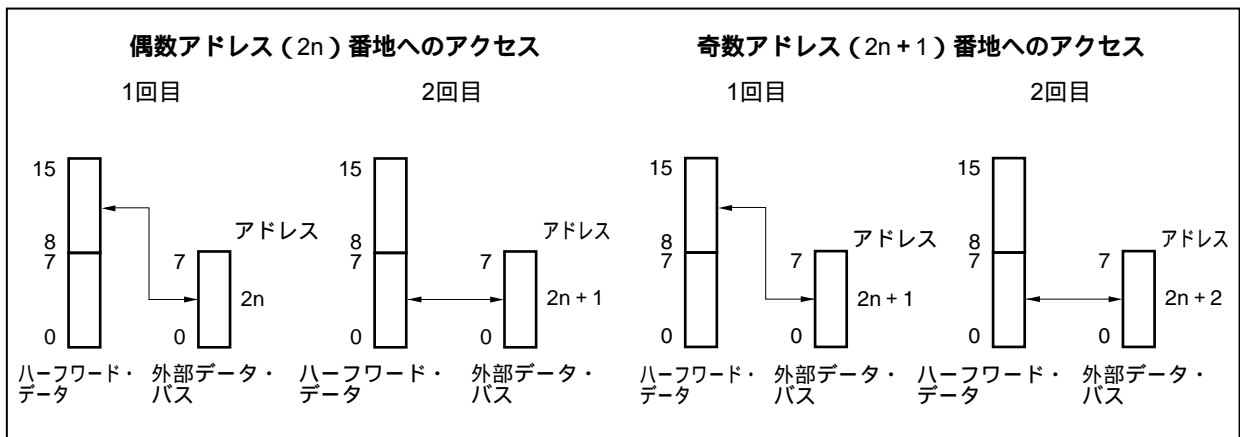
(b) 8ビット・データ・バス幅のとき (リトル・エンディアン)



(c) 16ビット・データ・バス幅のとき (ビッグ・エンディアン)

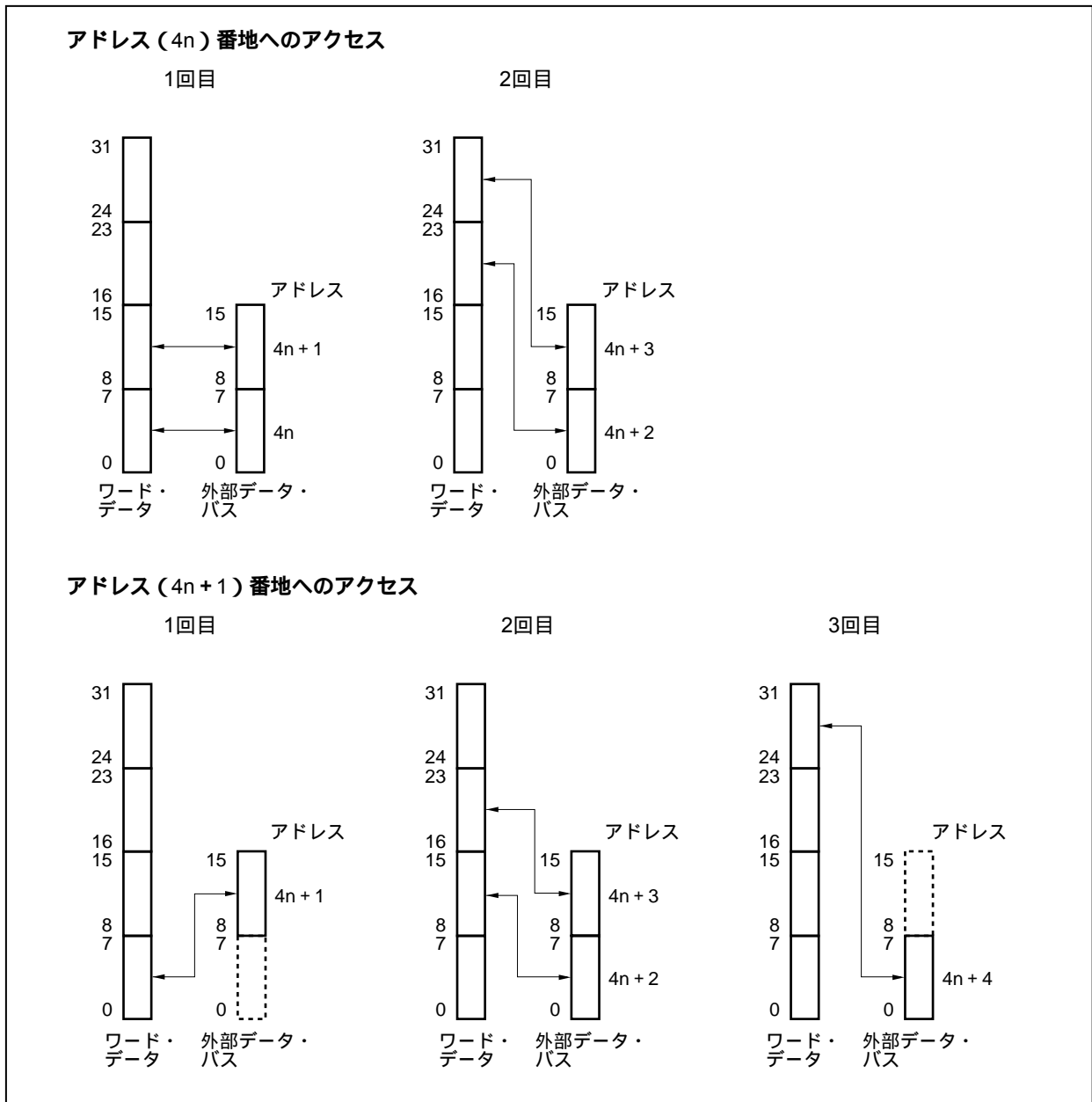


(d) 8ビット・データ・バス幅のとき (ビッグ・エンディアン)



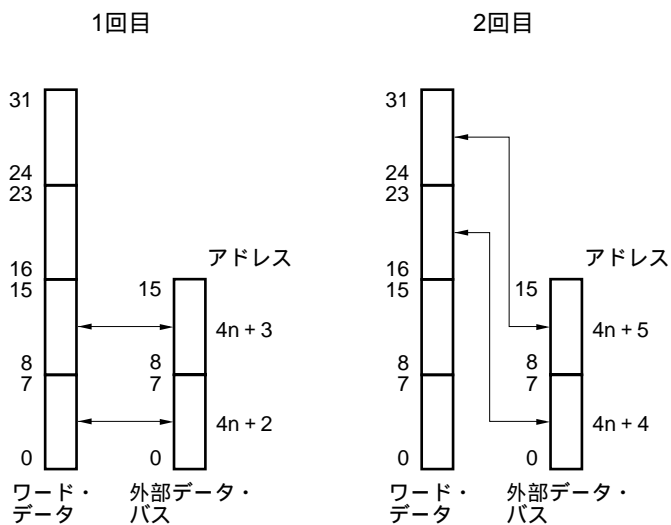
(3) ワード・アクセス (32ビット)

(a) 16ビット・データ・バス幅のとき (リトル・エンディアン) (1/2)

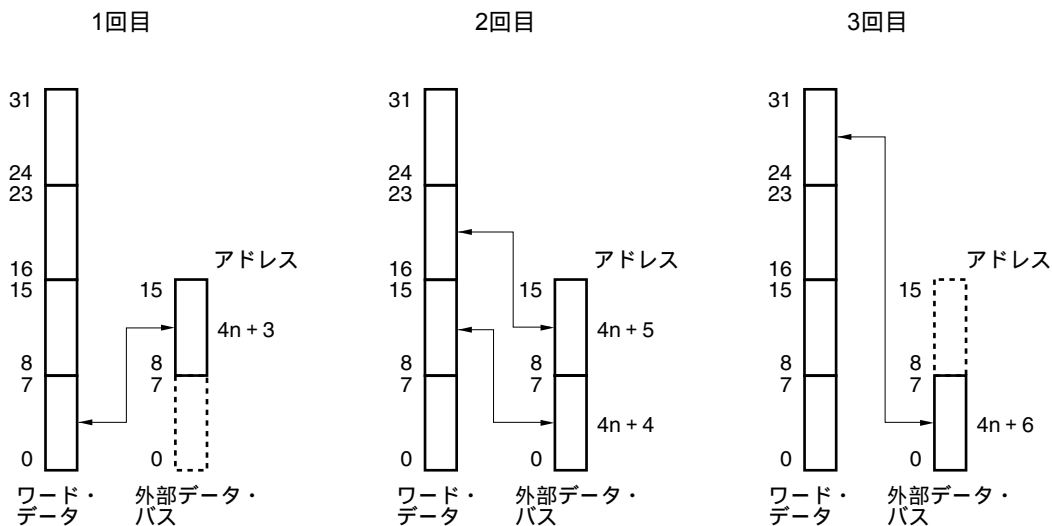


(a) 16ビット・データ・バス幅のとき (リトル・エンディアン) (2/2)

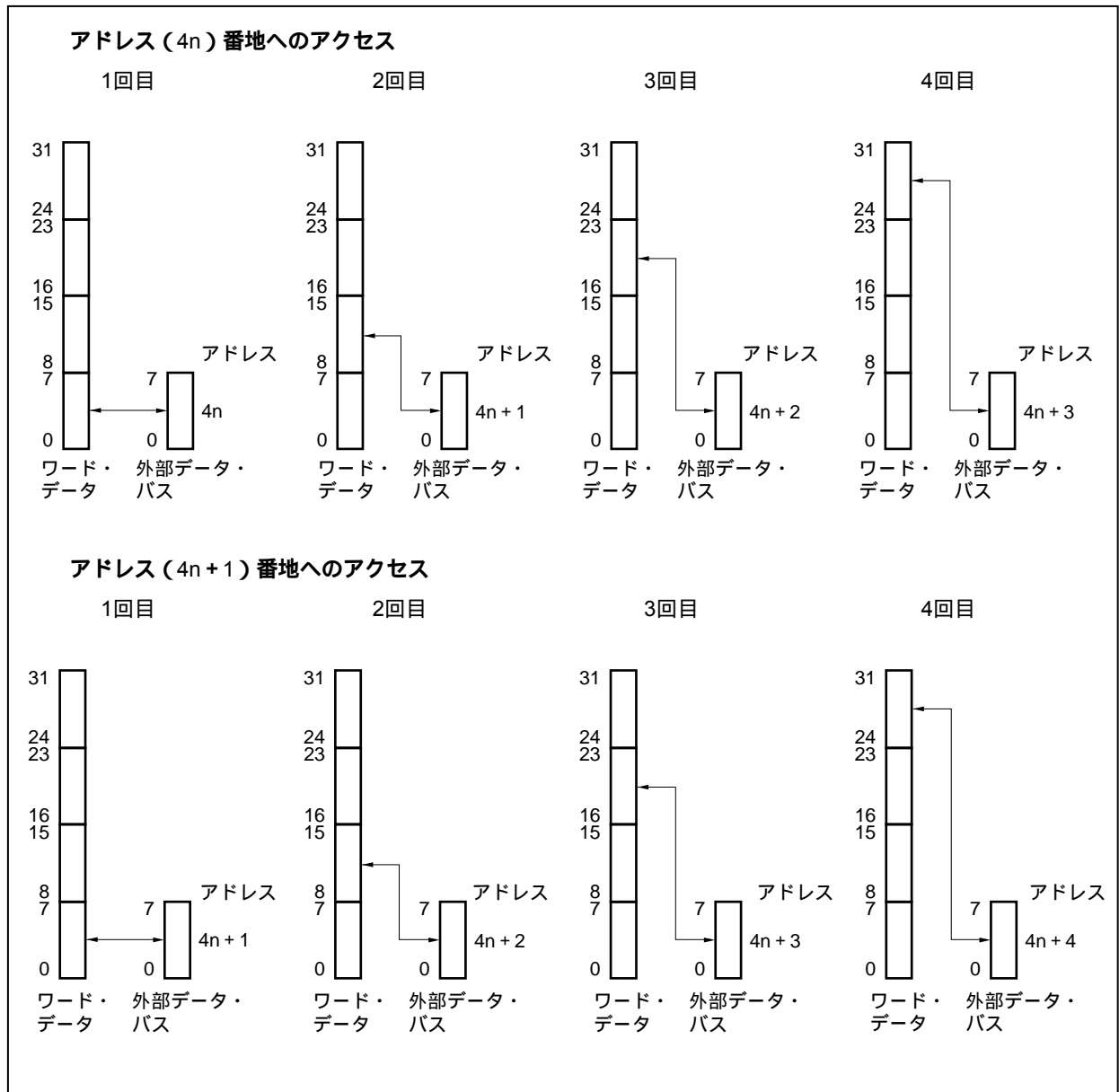
アドレス  $(4n+2)$  番地へのアクセス



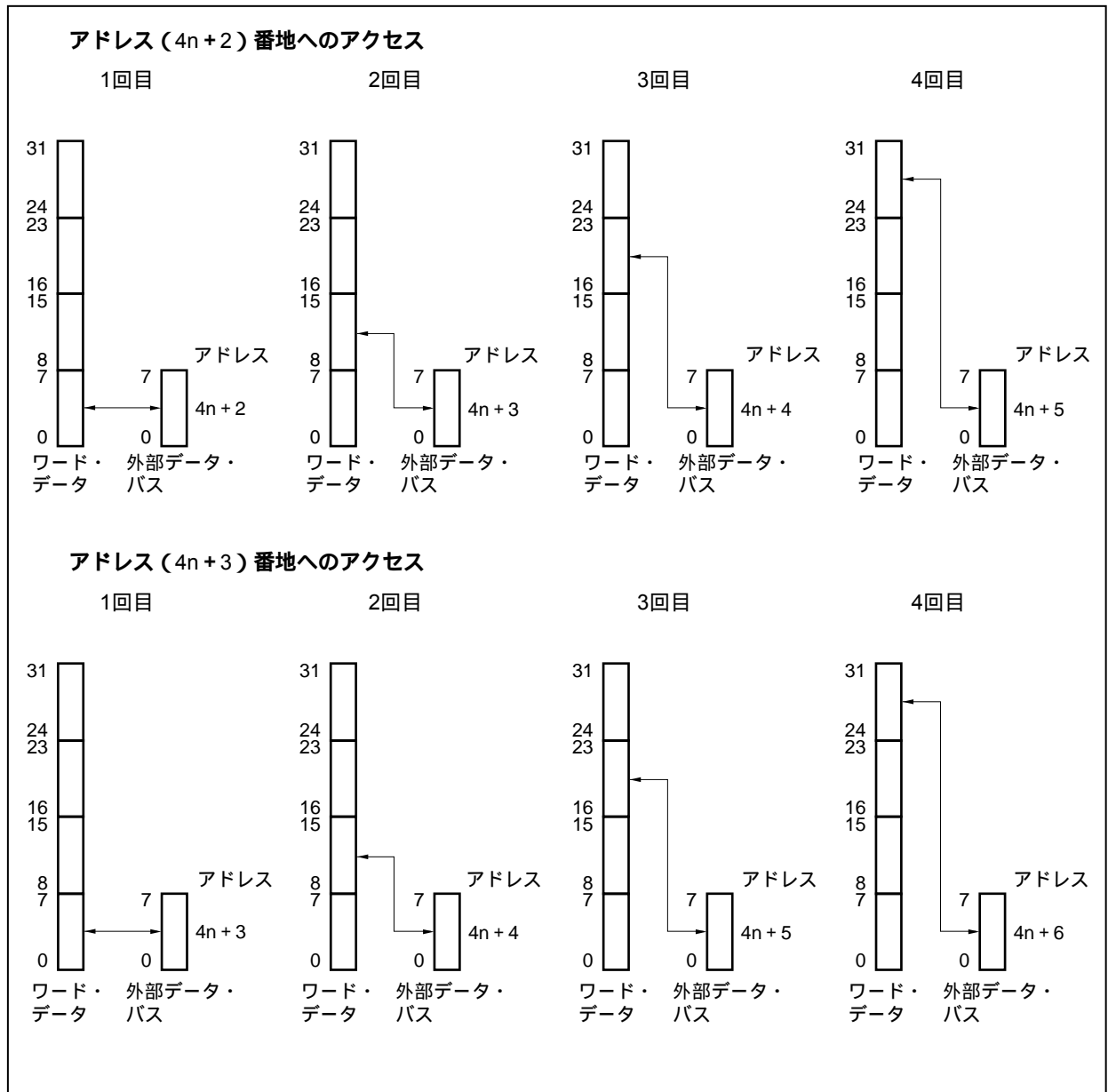
アドレス  $(4n+3)$  番地へのアクセス



(b) 8ビット・データ・バス幅のとき (リトル・エンディアン) (1/2)

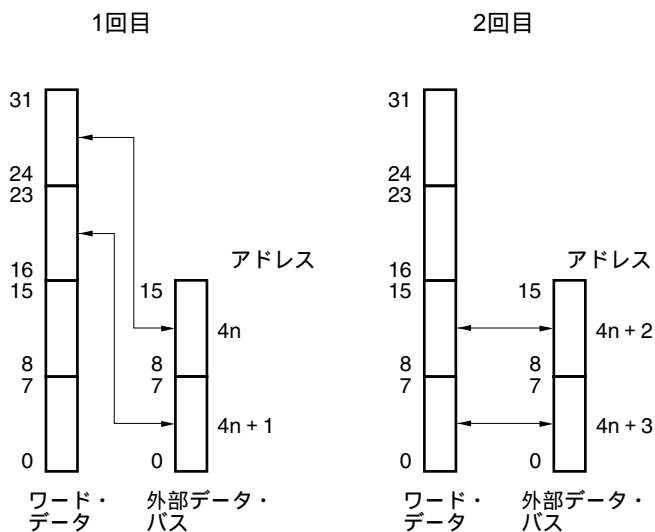


(b) 8ビット・データ・バス幅のとき (リトル・エンディアン) (2/2)

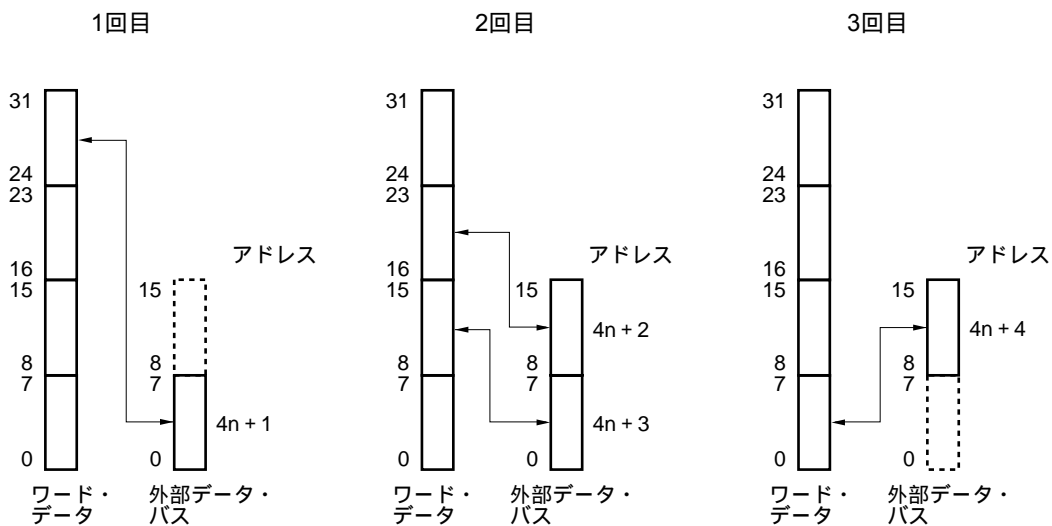


(c) 16ビット・データ・バス幅のとき (ビッグ・エンディアン) (1/2)

アドレス (4n) 番地へのアクセス



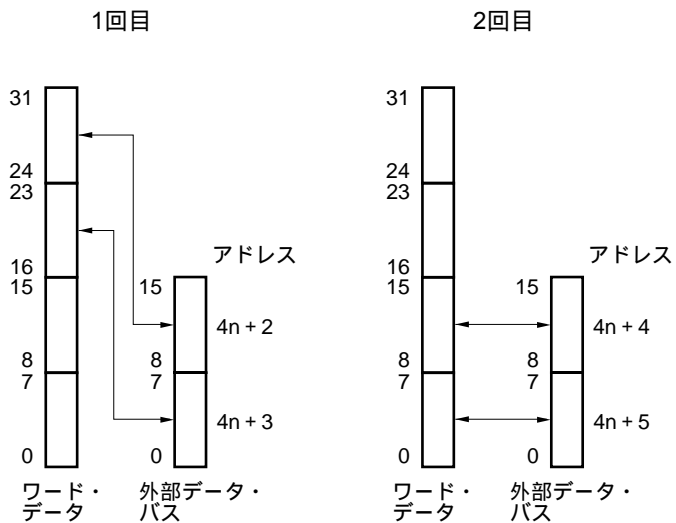
アドレス (4n + 1) 番地へのアクセス



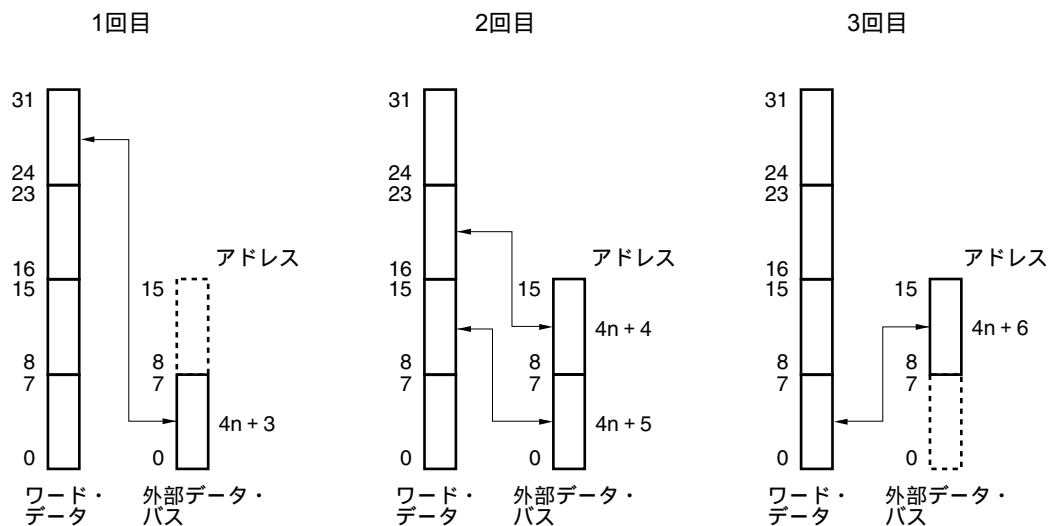


(c) 16ビット・データ・バス幅のとき (ビッグ・エンディアン) (2/2)

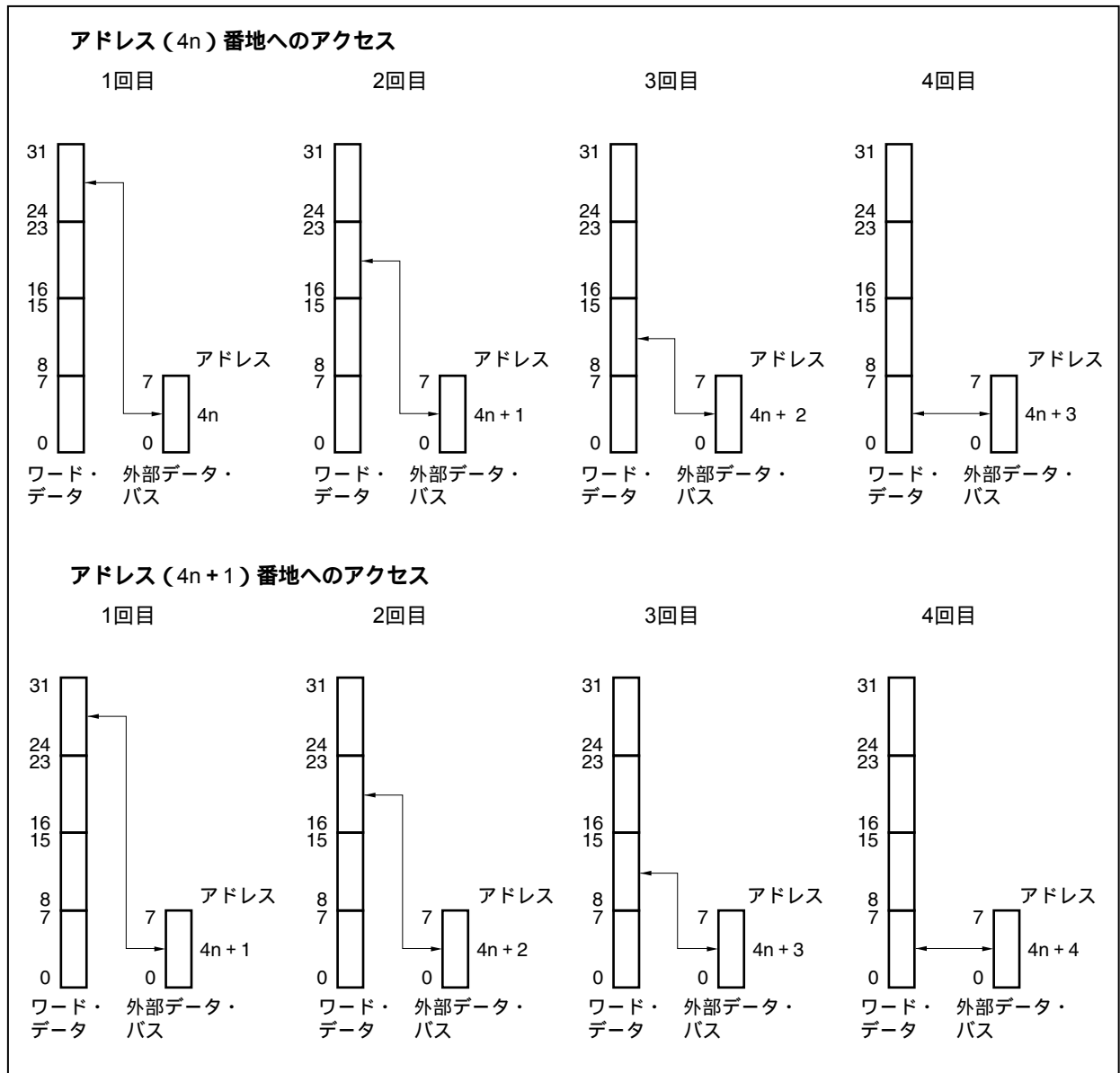
アドレス  $(4n+2)$  番地へのアクセス



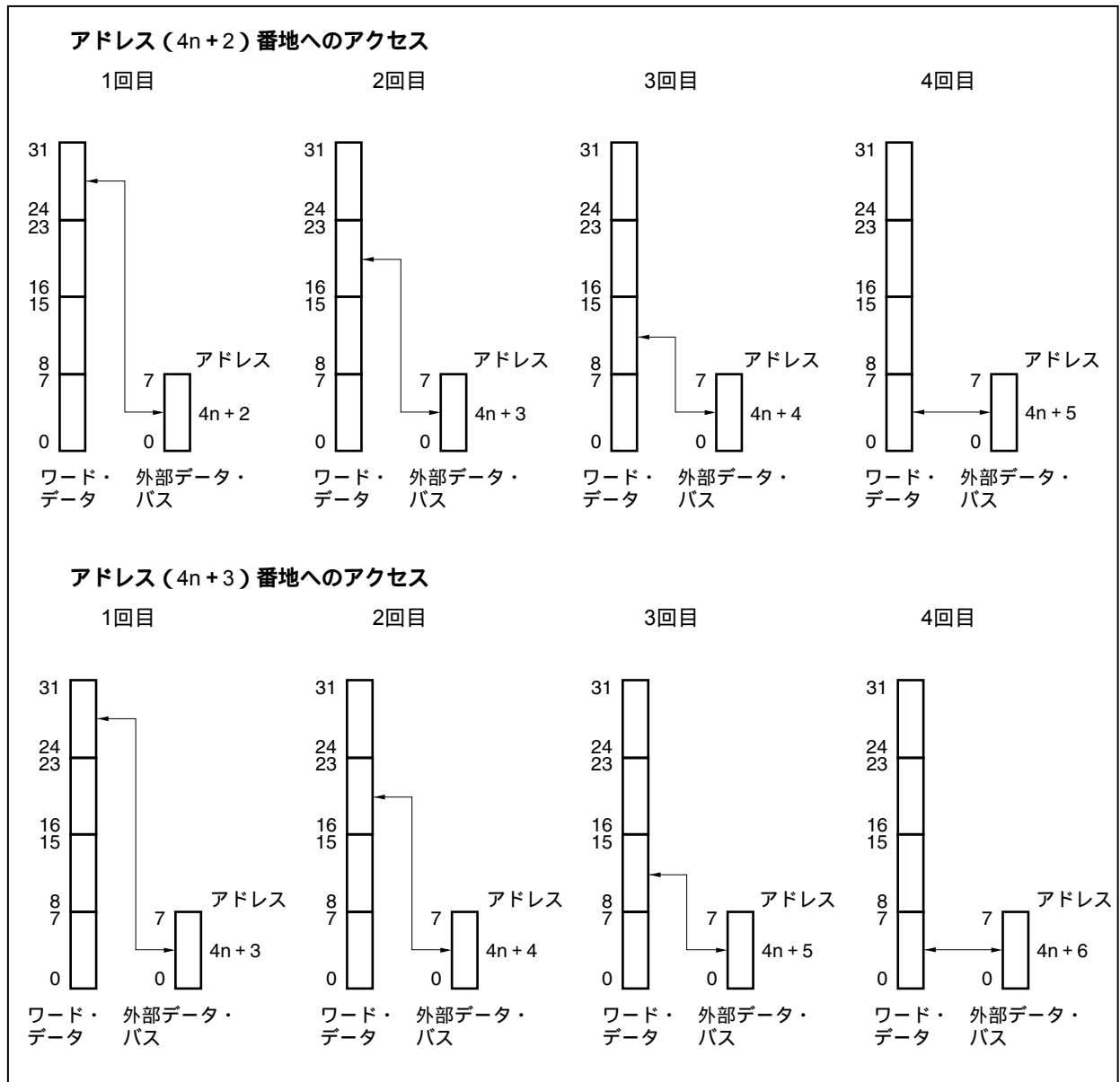
アドレス  $(4n+3)$  番地へのアクセス



(d) 8ビット・データ・バス幅のとき (ビッグ・エンディアン) (1/2)



(d) 8ビット・データ・バス幅のとき (ビッグ・エンディアン) (2/2)



## 4.6 ウェイト機能

### 4.6.1 プログラマブル・ウェイト機能

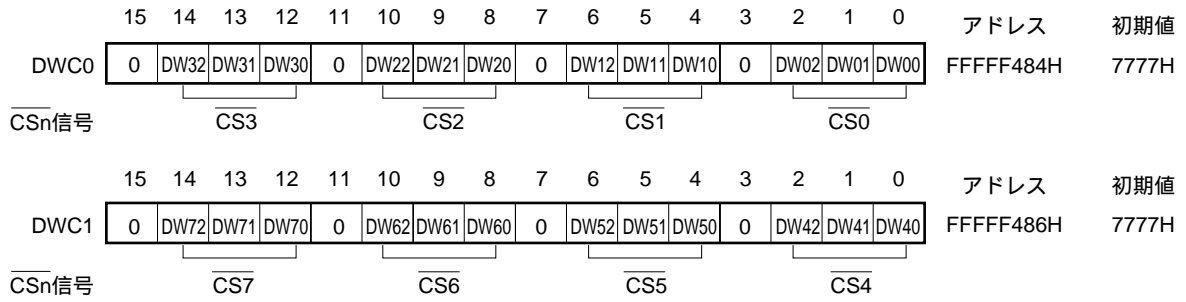
#### (1) データ・ウェイト・コントロール・レジスタ0, 1 (DWC0, DWC1)

低速メモリ, I/Oに対するインタフェースを容易に実現させることを目的とし, 各CS空間ごとに起動されるバス・サイクルに対し, 最大7ステートのデータ・ウェイトを挿入可能です。

ウェイト数は, データ・ウェイト・コントロール・レジスタ0, 1 (DWC0, DWC1) でプログラマブルに指定可能です。システム・リセット直後は, 全ブロックに対して7データ・ウェイトの挿入状態になります。

16ビット単位でリード/ライト可能です。

- 注意1.** 内蔵ROM領域, 内蔵RAM領域は, プログラマブル・ウェイトの対象外で, 常にノー・ウェイト・アクセスを行います。また, 内蔵周辺I/O領域も, プログラマブル・ウェイトの対象外で, 各周辺機能からのウェイト制御だけ行われます。
2. 次の場合, DWC0, DWC1レジスタの設定は無効となります (ウェイト制御は各メモリ・コントローラごとに行います)。
    - ・ページROMのオンページ・アクセス
    - ・EDO DRAMアクセス
    - ・SDRAMアクセス
  3. DWC0, DWC1レジスタへの書き込みはリセット後に行い, そのあとは値を変更しないでください。また, DWC0, DWC1レジスタの初期設定が終わるまでは, その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし, 初期設定が終了した外部メモリ領域のアクセスは可能です。



ビット位置	ビット名	意味																																				
14-12, 10-8, 6-4, 2-0	DWn2-DWn0 (n = 0-7)	Data Wait CSn空間に挿入するウェイトのステート数を指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>DWn2</th> <th>DWn1</th> <th>DWn0</th> <th>CSn空間の挿入ウェイト・ステート数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>挿入しない</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>3</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>4</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>5</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>6</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>7</td> </tr> </tbody> </table>	DWn2	DWn1	DWn0	CSn空間の挿入ウェイト・ステート数	0	0	0	挿入しない	0	0	1	1	0	1	0	2	0	1	1	3	1	0	0	4	1	0	1	5	1	1	0	6	1	1	1	7
DWn2	DWn1	DWn0	CSn空間の挿入ウェイト・ステート数																																			
0	0	0	挿入しない																																			
0	0	1	1																																			
0	1	0	2																																			
0	1	1	3																																			
1	0	0	4																																			
1	0	1	5																																			
1	1	0	6																																			
1	1	1	7																																			

(2) アドレス・セットアップ・ウエイト・コントロール・レジスタ (ASC)

V850E/MA1は、SRAM / ページROMサイクルの始めにアドレス・セットアップ・ウエイト・ステートを挿入できます (EDO DRAM / SDRAMサイクルではASCレジスタの設定は無効です)。

アドレス・セットアップ・ウエイト・ステート数は、ASCレジスタでCS空間ごとに設定できます。16ビット単位でリード/ライト可能です。

- 注意1. アドレス・セットアップ・ウエイトでは、 $\overline{\text{WAIT}}$ 端子による外部ウエイト機能は無効です。
- 2. ASCレジスタへの書き込みはリセット後に行ってください。書き込み後は、値を変更しないでください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ASC	AC71	AC70	AC61	AC60	AC51	AC50	AC41	AC40	AC31	AC30	AC21	AC20	AC11	AC10	AC01	AC00	FFFFF48AH	FFFFH
CSn信号	CS7		CS6		CS5		CS4		CS3		CS2		CS1		CS0			

ビット位置	ビット名	意味
15-0	ACn1, ACn0 (n = 0-7)	Address Cycle SRAM / ページROMサイクルの前に挿入するアドレス・セットアップ・ウエイト・ステート数をCSn空間ごとに設定します。

ACn1	ACn0	ウエイト・ステート数
0	0	挿入しない
0	1	1
1	0	2
1	1	3

(3) バス・サイクル・ピリオド・コントロール・レジスタ (BCP)

V850E/MA1は、SRAM、外部ROM、外部I/Oへのアクセス時にバス・サイクルの周期を2倍にできます。バス・サイクル周期の制御はBCPレジスタで行います。BCPレジスタのBCPビットをセット(1)すると、外部バスは内部システム・クロックの1/2周波数で動作します。

外部バス・サイクル周期を2倍に設定した場合、バス・サイクル中にだけBUSCLK端子からクロックを出力できます。この場合は、BCPレジスタのバス・サイクル周期を2倍に設定し、ポートCMモード・コントロール・レジスタ (PMCCM) とポートCMファンクション・コントロール・レジスタ (PFCCM) を設定してください。

8ビット単位でリード/ライト可能です。

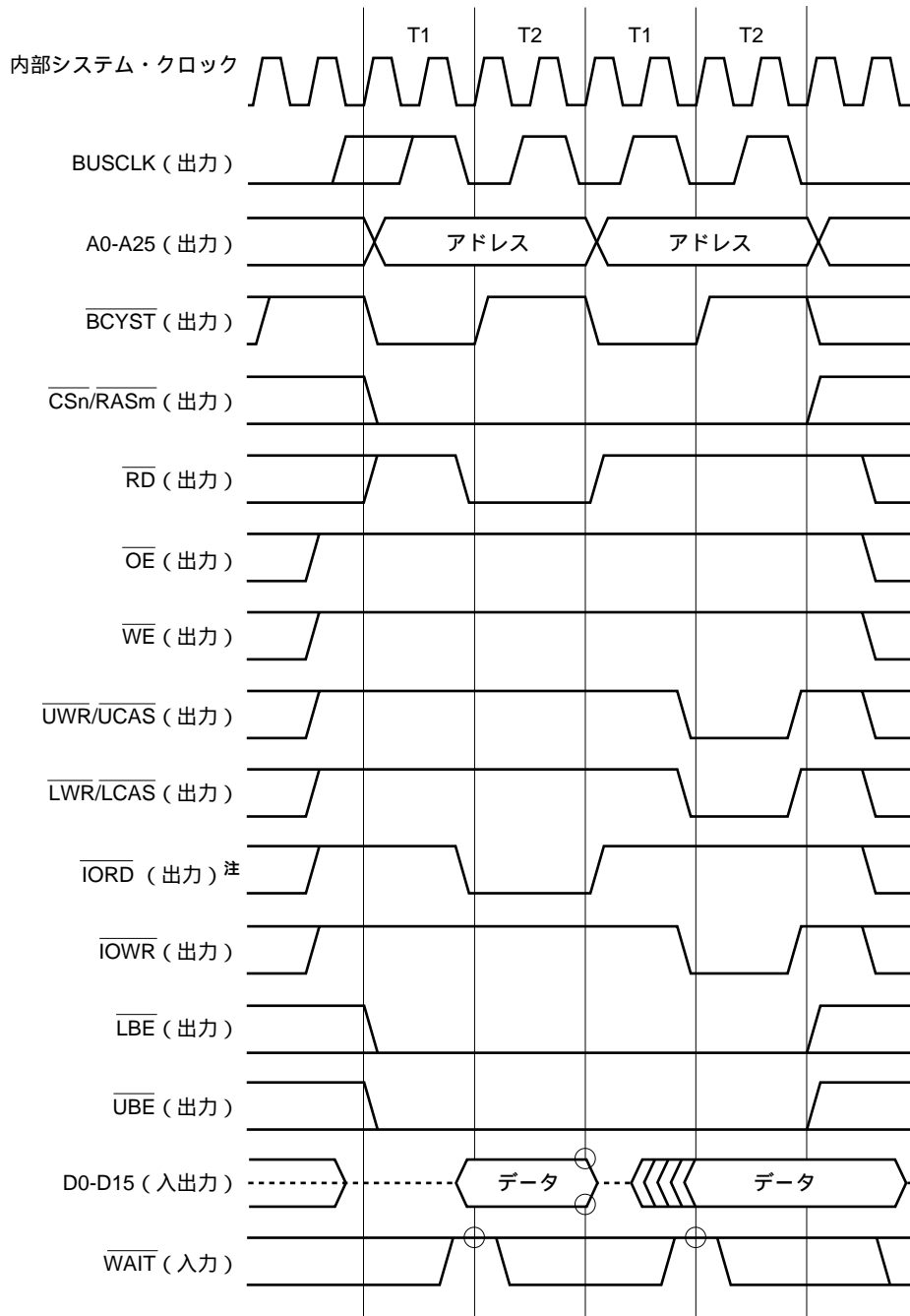
- 注意1. SRAM、外部ROM、外部I/Oを対象としたフライバイのDMA転送時には、IOENビットの設定にかかわらず $\overline{IORD}$ 、 $\overline{IOWR}$ 信号が出力されます。  
ページROM、EDO DRAMサイクルでは、IOENビットの設定は意味を持ちません。
2. BCPレジスタへの書き込みはリセット後に行ってください。書き込み後は、値を変更しないでください。
  3. バス・サイクル周期を2倍に設定 (BCP = 1) した際に、PMCCMレジスタによりPCM1端子の出力にCLKOUTを選択すると、バス・サイクルは内部システム・クロックの1/2周波数になりますが、PCM1端子からは内部システム・クロックと同じ周波数が出力されます。
  4. BUSCLK信号は、外部メモリに対してアクセスを行っているときのみアクティブになります。それ以外の場合は、ロウ・レベルを保持します。

	7	6	5	4	3	2	1	0	アドレス	初期値
BCP	BCP	0	0	0	IOEN	0	0	0	FFFFF48CH	00H

ビット位置	ビット名	意味						
7	BCP	Bus Cycle Period バス・サイクル周期の長さを設定します。 <table border="1" style="margin: 10px auto; width: 80%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">BCP</th> <th style="width: 90%;">バス・サイクル周期</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td>通常</td> </tr> <tr> <td style="text-align: center;">1</td> <td>2倍</td> </tr> </tbody> </table>	BCP	バス・サイクル周期	0	通常	1	2倍
BCP	バス・サイクル周期							
0	通常							
1	2倍							
3	IOEN	IORD, IOWR Enable SRAM、外部ROM、外部I/Oサイクルにおける $\overline{IORD}$ 、 $\overline{IOWR}$ の動作の許可/禁止を設定します。 <table border="1" style="margin: 10px auto; width: 80%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">IOEN</th> <th style="width: 90%;"><math>\overline{IORD}</math>、<math>\overline{IOWR}</math>の動作の許可/禁止</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td>SRAM、外部ROM、外部I/Oサイクル時の<math>\overline{IORD}</math>、<math>\overline{IOWR}</math>の動作の禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>SRAM、外部ROM、外部I/Oサイクル時の<math>\overline{IORD}</math>、<math>\overline{IOWR}</math>の動作の許可</td> </tr> </tbody> </table>	IOEN	$\overline{IORD}$ 、 $\overline{IOWR}$ の動作の許可/禁止	0	SRAM、外部ROM、外部I/Oサイクル時の $\overline{IORD}$ 、 $\overline{IOWR}$ の動作の禁止	1	SRAM、外部ROM、外部I/Oサイクル時の $\overline{IORD}$ 、 $\overline{IOWR}$ の動作の許可
IOEN	$\overline{IORD}$ 、 $\overline{IOWR}$ の動作の許可/禁止							
0	SRAM、外部ROM、外部I/Oサイクル時の $\overline{IORD}$ 、 $\overline{IOWR}$ の動作の禁止							
1	SRAM、外部ROM、外部I/Oサイクル時の $\overline{IORD}$ 、 $\overline{IOWR}$ の動作の許可							

図4-4 SRAM, 外部ROM, 外部I/Oアクセス・タイミング例 (リード ライト時)



注 BCPレジスタのIOENビットをセット (1) した場合

- 備考1. 印はサンプリング・タイミングです。
2. 破線はハイ・インピーダンスを示します。
3. n = 0-7, m = 1, 3, 4, 6



### 4.6.2 外部ウエイト機能

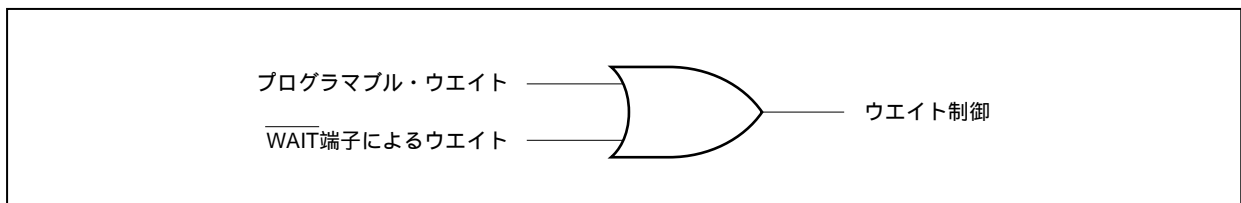
極端に遅いデバイスや、I/O、非同期システムに接続する場合など、外部デバイスに同期をとる目的で、外部ウエイト端子 ( $\overline{\text{WAIT}}$ ) によりバス・サイクルに任意のウエイト・ステートを挿入することができます。

内蔵ROM、内蔵RAM、内蔵周辺I/Oの各領域へのアクセスに対しては、プログラマブル・ウエイトと同様に、外部ウエイトによる制御はできません。

$\overline{\text{WAIT}}$ 入力は、CLKOUTに対する非同期入力が可能で、バス・サイクルのT1、TWステート直後のCLKOUT信号の立ち上がりでサンプリングします。サンプル・タイミングにおける設定/保持時間を満たさないときは、次のステートでウエイトを挿入するか、挿入しないかのどちらかになります。

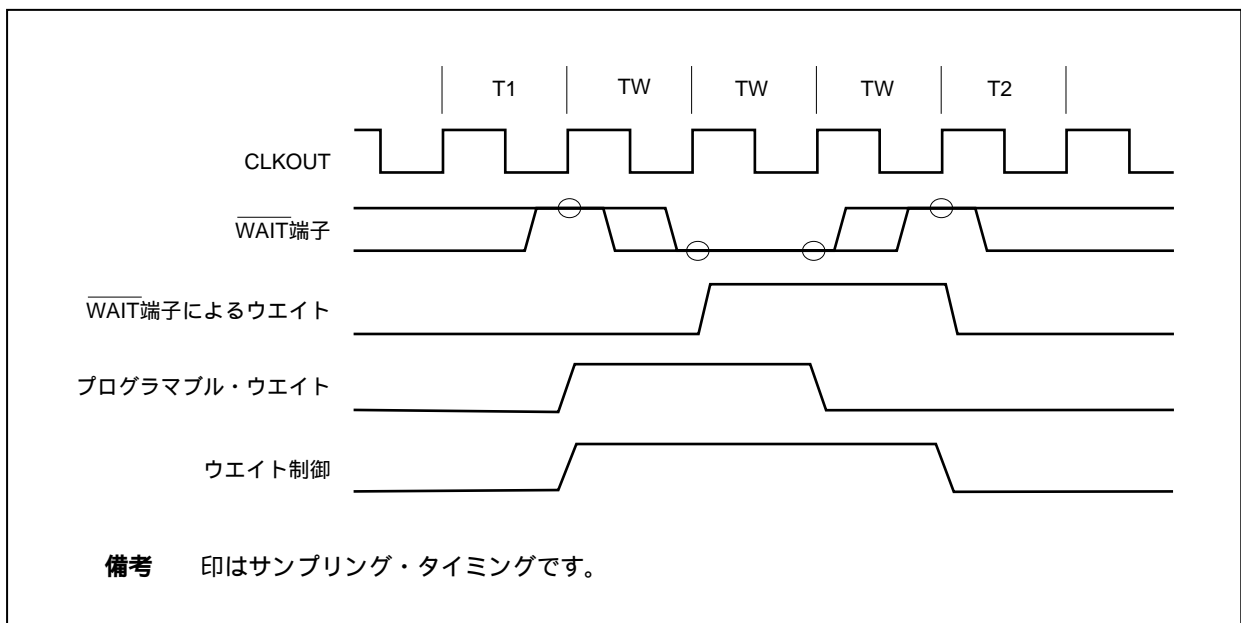
### 4.6.3 プログラマブル・ウエイトと外部ウエイトの関係

ウエイト・サイクルは、プログラマブル・ウエイトの設定値によるウエイト・サイクルと、 $\overline{\text{WAIT}}$ 端子制御によるウエイト・サイクルの論理和 (OR) として挿入されます。



たとえば、プログラマブル・ウエイト、 $\overline{\text{WAIT}}$ 端子が次のようなタイミングのとき、バス・サイクルは、3ウエイトになります。

図4-5 ウエイト挿入例



### 4.6.4 ウェイト機能が有効なバス・サイクル

V850E/MA1は、各メモリ・ブロックごとに指定した各種のメモリのタイプに応じて、ウェイト数を指定できます。ウェイト機能が有効なバス・サイクルとウェイト設定を行うレジスタを次に示します。

表4-1 ウェイト機能が有効なバス・サイクル

バス・サイクル			ウェイトの種類	プログラマブル・ウェイトの設定			WAIT端子 によるウ ェイト	
				レジスタ	ビット	ウエイ ト数		
SRAM, 外部ROM, 外部I/Oサイク ル			アドレス・セットアップ・ウエイ ト	ASC	ACn1, ACn0	0-3	× (無効)	
			データ・アクセス・ウエイ ト	DWC0, DWC1	DWn2-DWn0	0-7	(有効)	
ページROMサイクル			アドレス・セットアップ・ウエイ ト	ASC	ACn1, ACn0	0-3	× (無効)	
			オフページ	データ・アクセス・ウエイ ト	DWC0, DWC1	DWn2-DWn0	0-7	(有効)
			オンページ	データ・アクセス・ウエイ ト	PRC	PRW2-PRW0	0-7	(有効)
EDO DRAM サイクル	リード・ア クセス	オフページ	RASプリチャージ	SCRm	RPC1m, RPC0m	1-3	× (無効)	
			ロウ・アドレス・ホールド	SCRm	RHC1m, RHC0m	0-3	× (無効)	
			データ・アクセス・ウエイ ト	SCRm	DAC1m, DAC0m	0-3	× (無効)	
		オンページ	CASプリチャージ	SCRm	CPC1m, CPC0m	0-3	× (無効)	
			データ・アクセス・ウエイ ト	SCRm	DAC1m, DAC0m	0-3	× (無効)	
			データ・アクセス・ウエイ ト	SCRm	DAC1m, DAC0m	0-3	× (無効)	
	ライト・ア クセス	オフページ	RASプリチャージ	SCRm	RPC1m, RPC0m	1-3	× (無効)	
			ロウ・アドレス・ホールド	SCRm	RHC1m, RHC0m	0-3	× (無効)	
			データ・アクセス・ウエイ ト	SCRm	DAC1m, DAC0m	0-3	× (無効)	
		オンページ	CASプリチャージ	SCRm	CPC1m, CPC0m	1-3	× (無効)	
			データ・アクセス・ウエイ ト	SCRm	DAC1m, DAC0m	0-3	× (無効)	
			データ・アクセス・ウエイ ト	SCRm	DAC1m, DAC0m	0-3	× (無効)	
	CBRリフレッシュ・サイ クル		RASプリチャージ	RWC	RRW1, RRW0	0-3	× (無効)	
			RASアクティブ幅	RWC	RCW2-RCW0	1-7	× (無効)	
CBRセルフ・リフレッシ ュ・サイクル		RASプリチャージ	RWC	RRW1, RRW0	0-3	× (無効)		
		RASアクティブ幅	RWC	RCW2-RCW0	1-7	× (無効)		
		セルフ・リフレッシュ・リリース 幅	RWC	SRW2-SRW0	0-7	× (無効)		
SDRAMサイクル			ロウ・アドレス・プリチャージ	SCRm	BCW1m, BCW0m	1-3	× (無効)	
DMAフラ イバイ転 送サイク ル	外部I/O SRAM		データ・アクセス・ウエイ ト	DWC0, DWC1	DWn2-DWn0	0-7	(有効)	
	DRAM 外部I/O	オフページ	RASプリチャージ	SCRm	RPC1m, RPC0m	1-3	× (無効)	
			ロウ・アドレス・ホールド	SCRm	RHC1m, RHC0m	0-3	× (無効)	
			データ・アクセス・ウエイ ト	SCRm	DAC1m, DAC0m	0-3	(有効)	
		オンページ	CASプリチャージ	SCRm	CPC1m, CPC0m	0-3	× (無効)	
			データ・アクセス・ウエイ ト	SCRm	DAC1m, DAC0m	0-3	(有効)	
			データ・アクセス・ウエイ ト	SCRm	DAC1m, DAC0m	0-3	(有効)	
	外部I/O DRAM	オフページ	RASプリチャージ	SCRm	RPC1m, RPC0m	1-3	× (無効)	
			ロウ・アドレス・ホールド	SCRm	RHC1m, RHC0m	0-3	(有効)	
			データ・アクセス・ウエイ ト	SCRm	DAC1m, DAC0m	0-3	× (無効)	
オンページ		CASプリチャージ	SCRm	CPC1m, CPC0m	1-3	(有効)		
		データ・アクセス・ウエイ ト	SCRm	DAC1m, DAC0m	0-3	× (無効)		

備考 n = 0-7, m = 1, 3, 4, 6

## 4.7 アイドル・ステート挿入機能

低速メモリに対するインタフェースを容易に実現させることを目的とし、各CS空間ごとにリード・アクセス時のメモリのデータ出力フロート遅延時間 (tdF) を確保するために、起動されるバス・サイクルに対し、T2ステート後に設定された数のアイドル・ステート (TI) を挿入可能です。T2ステートの次のバス・サイクルは、挿入されたアイドル・ステートのあとから開始します。

アイドル・ステートは次に示すタイミングで挿入されます。

- ・SRAM, 外部I/O, 外部ROMに対するリード・サイクル後, ライト・サイクル後
- ・ページROMに対するリード・サイクル後
- ・EDO DRAMに対するリード・サイクル後(ただし, 同じCS空間に対するアクセスの場合は挿入されません)
- ・SDRAMに対するリード・サイクル後

アイドル・ステートの挿入指定は、バス・サイクル・コントロール・レジスタ (BCC) でプログラマブルに指定可能です。システム・リセット直後は、全ブロックに対してアイドル・ステートの挿入状態になります。アイドル・ステート挿入時のタイミングは第5章の各メモリのアクセス・タイミングを参照してください。

### (1) バス・サイクル・コントロール・レジスタ (BCC)

16ビット単位でリード/ライト可能です。

- 注意1.** 内蔵ROM領域, 内蔵RAM領域, 内蔵周辺I/O領域は、アイドル・ステート挿入の対象外になります。
- 2.** BCCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BCCレジスタの初期設定が終わるまでは、その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし、初期設定が終了した外部メモリ領域のアクセスは可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
BCC	BC71	BC70	BC61	BC60	BC51	BC50	BC41	BC40	BC31	BC30	BC21	BC20	BC11	BC10	BC01	BC00	FFFFFF488H	FFFFH
CSn信号	CS7		CS6		CS5		CS4		CS3		CS2		CS1		CS0			

ビット位置	ビット名	意味															
15-0	BCn1, BCn0 (n = 0-7)	Data Cycle CSn空間に対するアイドル・ステートの挿入を指定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse; text-align: center;"> <thead> <tr> <th>BCn1</th> <th>BCn0</th> <th>CSn空間に対するアイドル・ステート</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>挿入しない</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>1</td> <td>1</td> <td>3</td> </tr> </tbody> </table>	BCn1	BCn0	CSn空間に対するアイドル・ステート	0	0	挿入しない	0	1	1	1	0	2	1	1	3
BCn1	BCn0	CSn空間に対するアイドル・ステート															
0	0	挿入しない															
0	1	1															
1	0	2															
1	1	3															

## 4.8 バス・ホールド機能

### 4.8.1 機能概要

PCM2, PCM3端子がコントロール・モードに設定されていれば,  $\overline{\text{HLDAK}}$ ,  $\overline{\text{HLDRQ}}$ 機能が有効になります。

ほかのバス・マスタからのバス獲得要求として $\overline{\text{HLDRQ}}$ 端子がアクティブ(ロウ・レベル)になったことを受け付けると, 外部アドレス/データ・バス, 各種ストロブ端子をハイ・インピーダンス状態にし, 解放します(バス・ホールド状態)。 $\overline{\text{HLDRQ}}$ 端子がインアクティブ(ハイ・レベル)になりバス獲得要求が解除されれば, 再びこれらの端子の駆動を開始します。

バス・ホールド期間中は, 外部メモリ・アクセスまたは内蔵周辺I/Oレジスタへのアクセスがあるまで, V850E/MA1の内部動作を継続します。

バス・ホールド状態は,  $\overline{\text{HLDAK}}$ 端子がアクティブ(ロウ・レベル)になったことにより知ることができます。 $\overline{\text{HLDRQ}}$ 端子がアクティブ(ロウ・レベル)になってから,  $\overline{\text{HLDAK}}$ 端子がアクティブ(ロウ・レベル)になるまでの時間は最短で2クロックです。

マルチプロセッサ構成など, バス・マスタが複数存在するようなシステムを構成できます。

状態	データ・バス幅	アクセス形態	バス・ホールド要求を受け付けないタイミング
CPUバス・ロック	16ビット	偶数番地へのワード・アクセス	1回目と2回目の間
		奇数番地へのワード・アクセス	1回目と2回目の間 2回目と3回目の間
		奇数番地へのハーフワード・アクセス	1回目と2回目の間
	8ビット	ワード・アクセス	1回目と2回目の間 2回目と3回目の間 3回目と4回目の間
		ハーフワード・アクセス	1回目と2回目の間
ビット操作命令のリード・モディファイ・ライト・アクセス	-	-	リード・アクセスとライト・アクセスの間

#### 注意1. バス・ホールド中に外部のバス・マスタがEDO DRAMをアクセスする場合

必ず外部のバス・マスタがRASプリチャージ時間を確保してください。

#### 2. バス・ホールド中に外部のバス・マスタがSDRAMをアクセスする場合

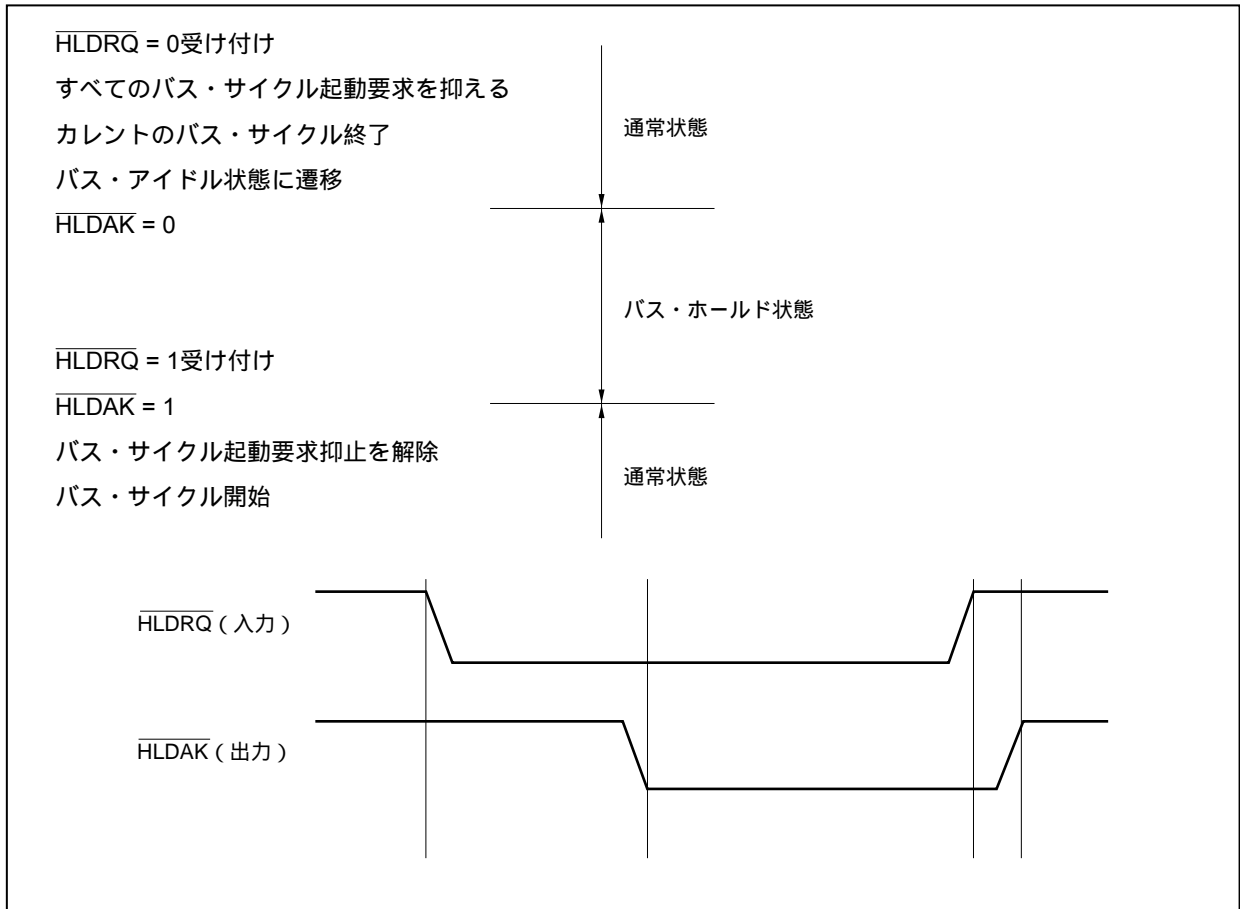
必ず外部のバス・マスタがオール・バンク・プリチャージ・コマンドを実行するようにしてください。

バス・ホールド状態を解除する場合は, CPUが必ずオール・バンク・プリチャージ・コマンドを実行します。また, バス・ホールド中に外部のバス・マスタはSDRAMのコマンド・レジスタの値を変更しないでください。

#### 3. リセット期間中の $\overline{\text{HLDRQ}}$ 機能は無効です。RESET端子と $\overline{\text{HLDRQ}}$ 端子を同時にアクティブにしたあとRESET端子をインアクティブにした直後に, $\overline{\text{HLDAK}}$ 端子がアクティブになるか, または1クロック・アドレス・サイクルが挿入されてから $\overline{\text{HLDAK}}$ 端子がアクティブになります。V850E/MA1以外のバス・マスタが外部接続されているときには, パワーオン時のアービトレーションをRESET信号にて行ってください。

### 4.8.2 バス・ホールド手順

バス・ホールド状態遷移の手順を次に示します。



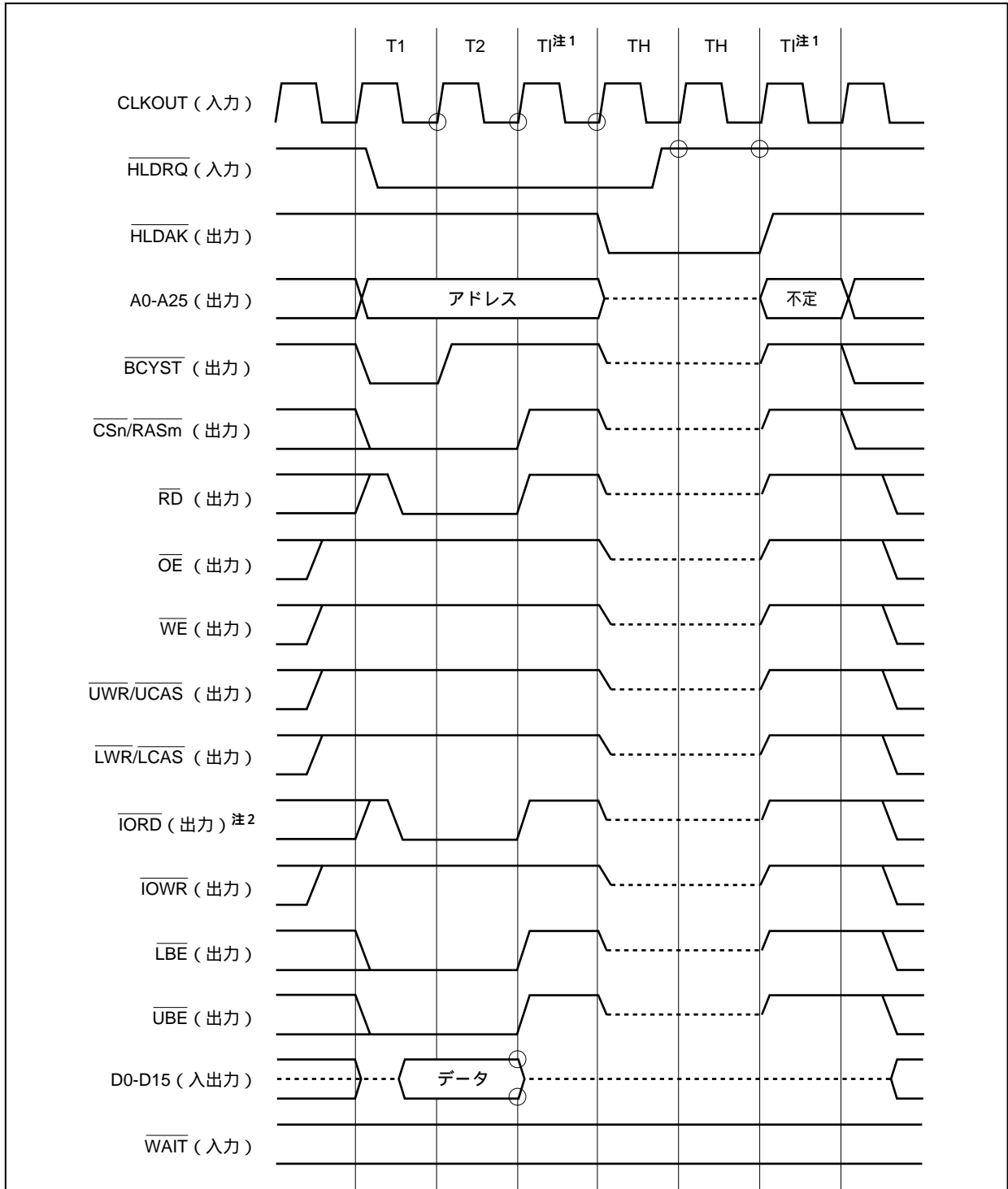
### 4.8.3 パワー・セーブ・モード時の動作

ソフトウェアSTOPモード期間中およびIDLEモード期間中は、内部システム・クロックが停止するため、 $\overline{\text{HLDARQ}}$ 端子がアクティブになっても受け付けられずバス・ホールド状態にはなりません。

HALTモードでは、 $\overline{\text{HLDARQ}}$ 端子がアクティブになると、ただちに $\overline{\text{HLDARQ}}$ 端子がアクティブになり、バス・ホールド状態になります。その後、 $\overline{\text{HLDARQ}}$ 端子がインアクティブになると、 $\overline{\text{HLDARQ}}$ 端子もインアクティブになり、バス・ホールド状態は解除され、再びHALTモードに戻ります。

### 4.8.4 バス・ホールド・タイミング (SRAM)

(1) SRAM (リード時, アイドル・ステート挿入なし)



注1. BCCレジスタの設定に依存しないアイドル・ステート (TI) です。

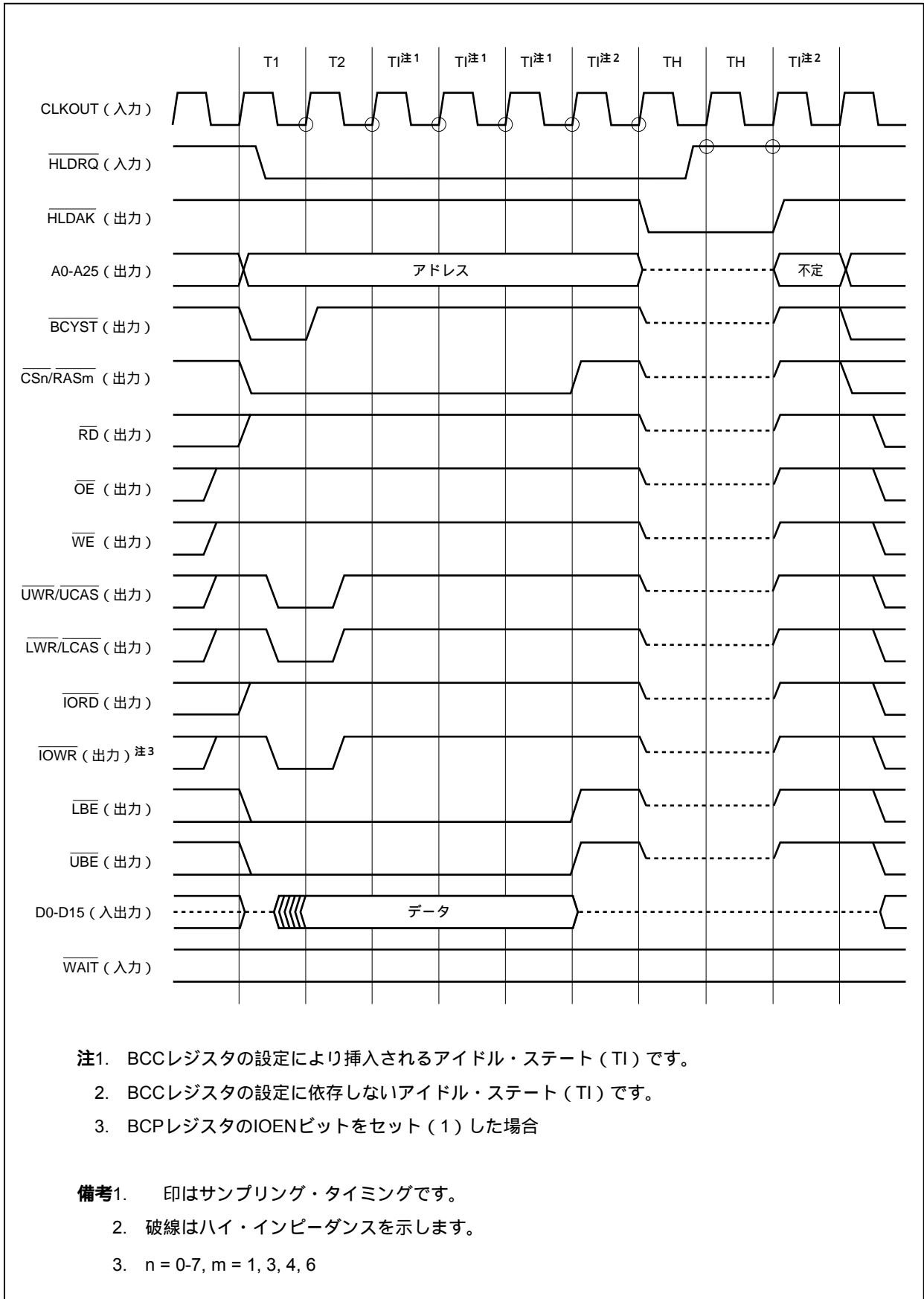
2. BCPレジスタのIOENビットをセット (1) した場合

備考1. 印はサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

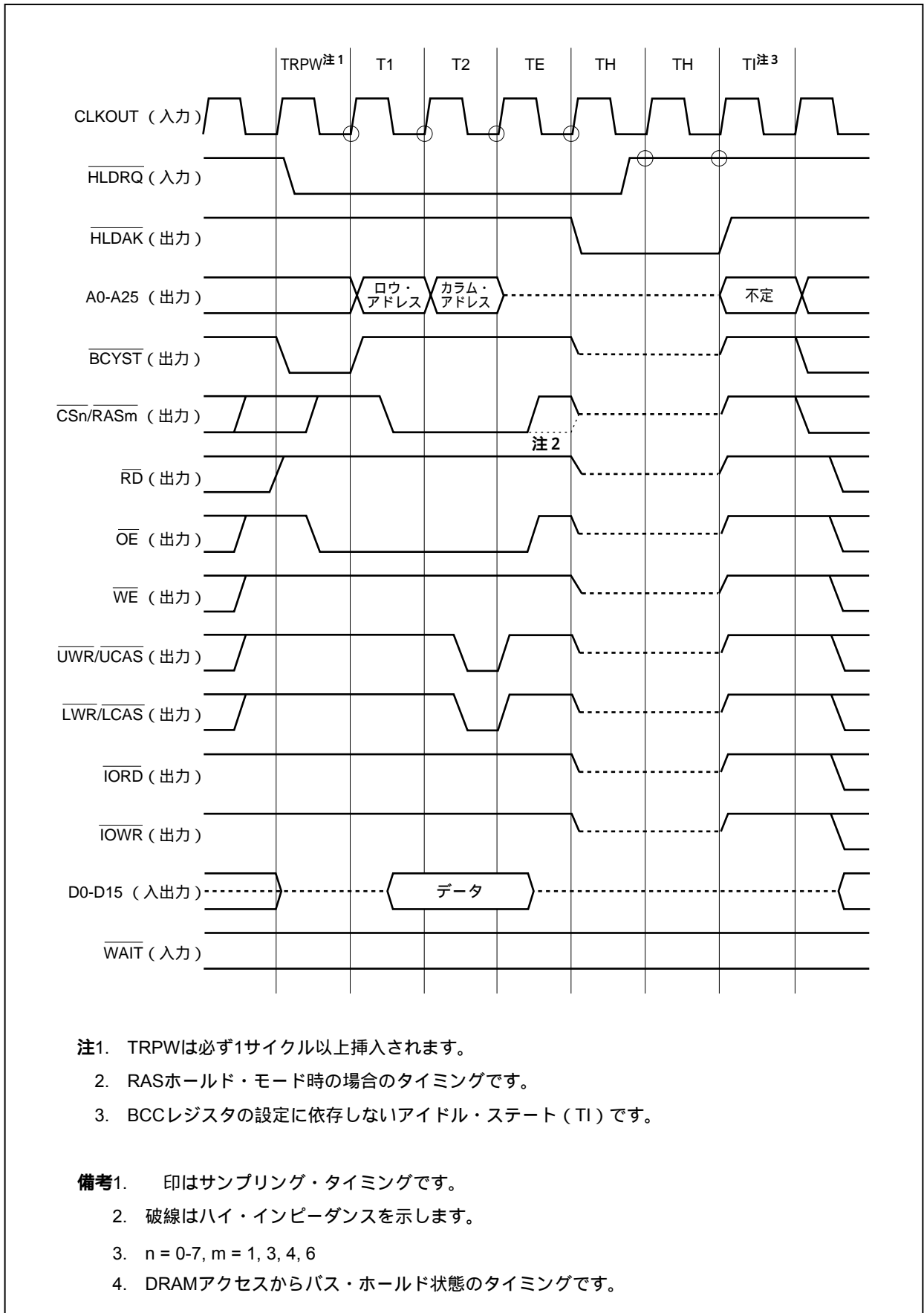
3. n = 0-7, m = 1, 3, 4, 6

(2) SRAM (ライト時, アイドル・ステートを3ステート挿入した場合)



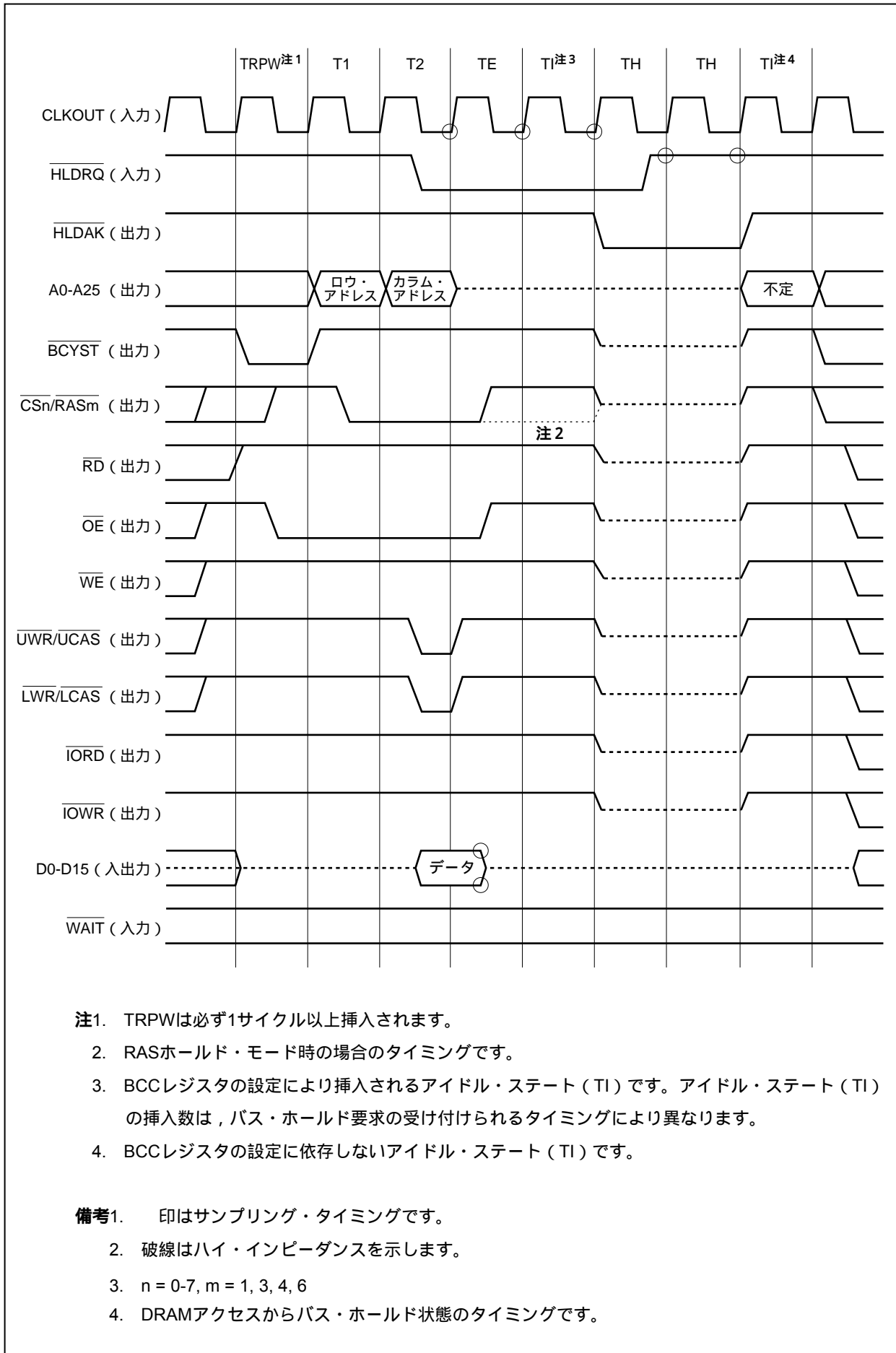
### 4.8.5 バス・ホールド・タイミング (EDO DRAM)

(1) EDO DRAM (リード時, アイドル・ステート挿入なし)

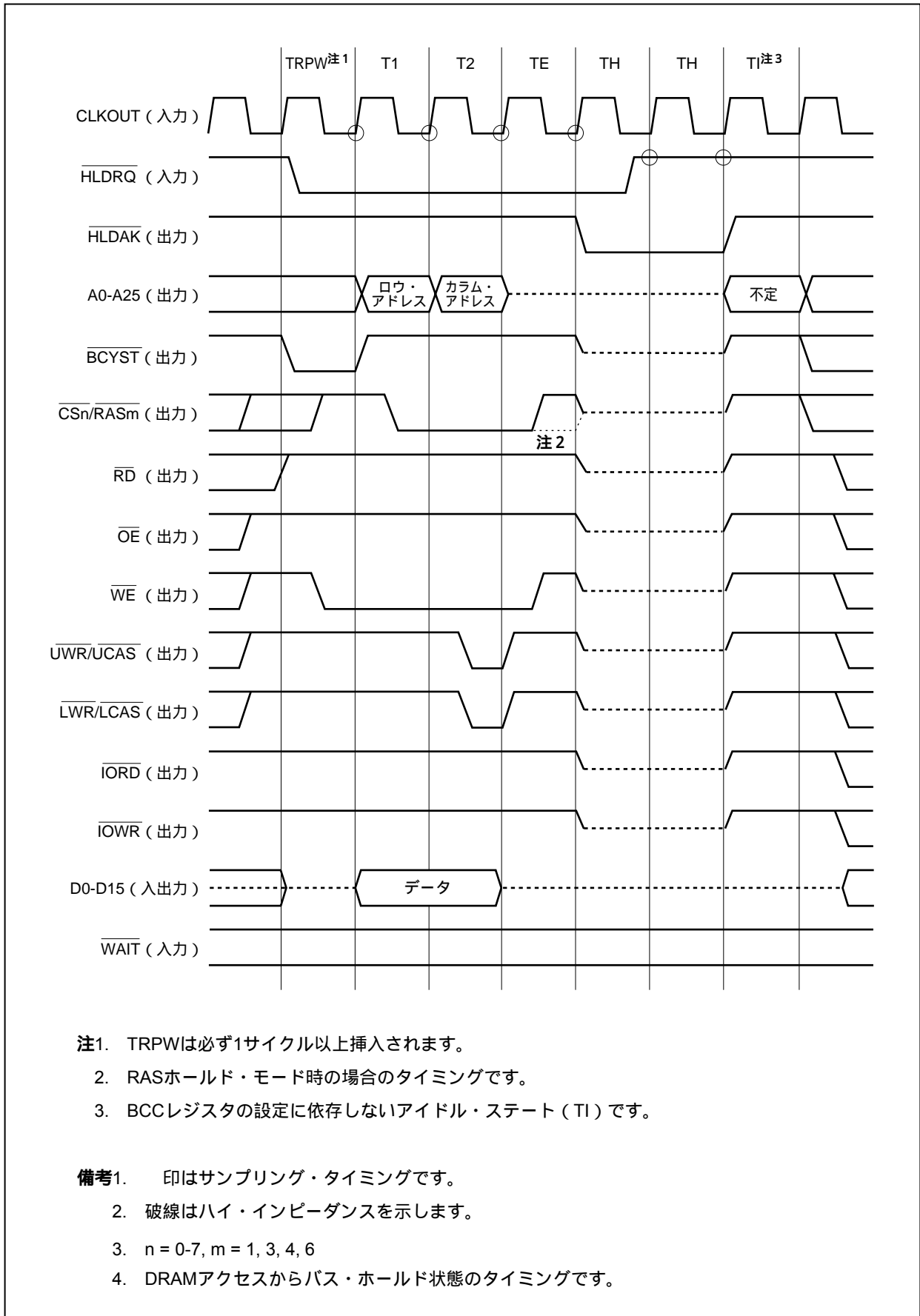




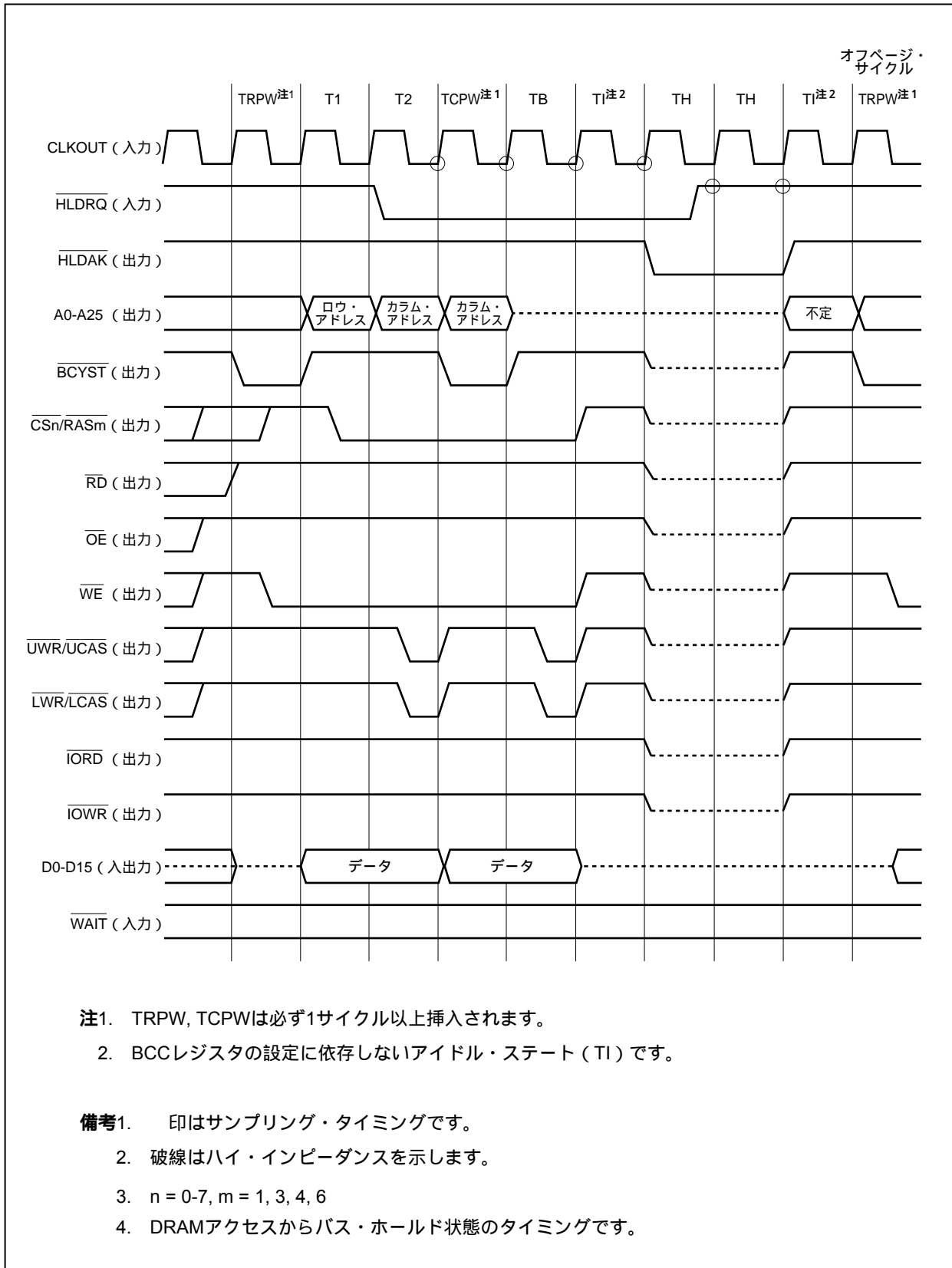
(2) EDO DRAM (リード時, アイドル・ステートを3ステート挿入した場合)



(3) EDO DRAM (ライト時)

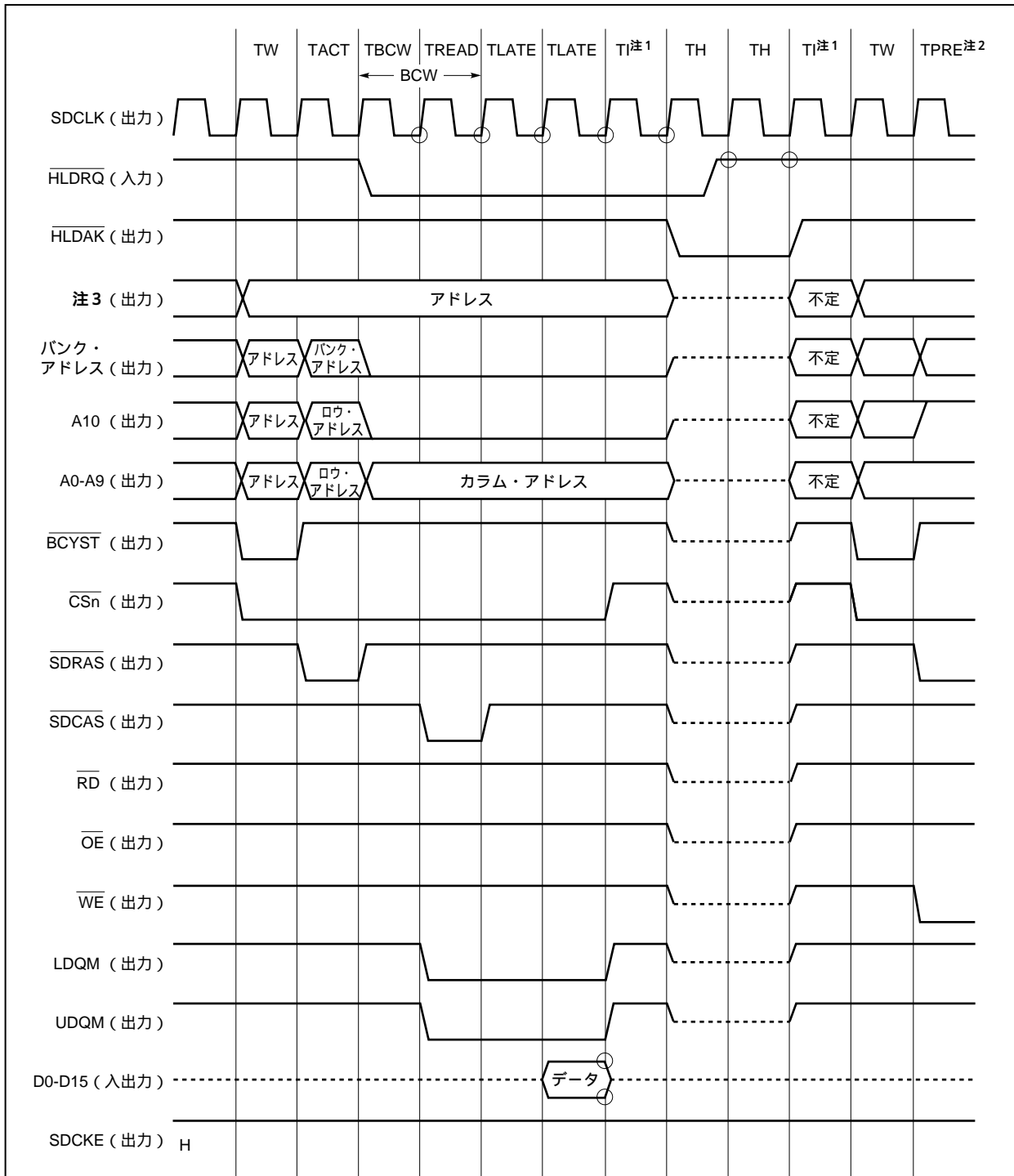


(4) EDO DRAM (ライト時, オンページ・アクセス中にバス・ホールド要求が受け付けられた場合)



### 4.8.6 バス・ホールド・タイミング (SDRAM)

(1) SDRAM (リード時, レーテンシ = 2の場合, アイドル・ステート挿入なし)



注1. BCCレジスタの設定に依存しないアイドル・ステート (TI) です。

2. 必ずオール・バンク・プリチャージ・コマンドが実行されます。

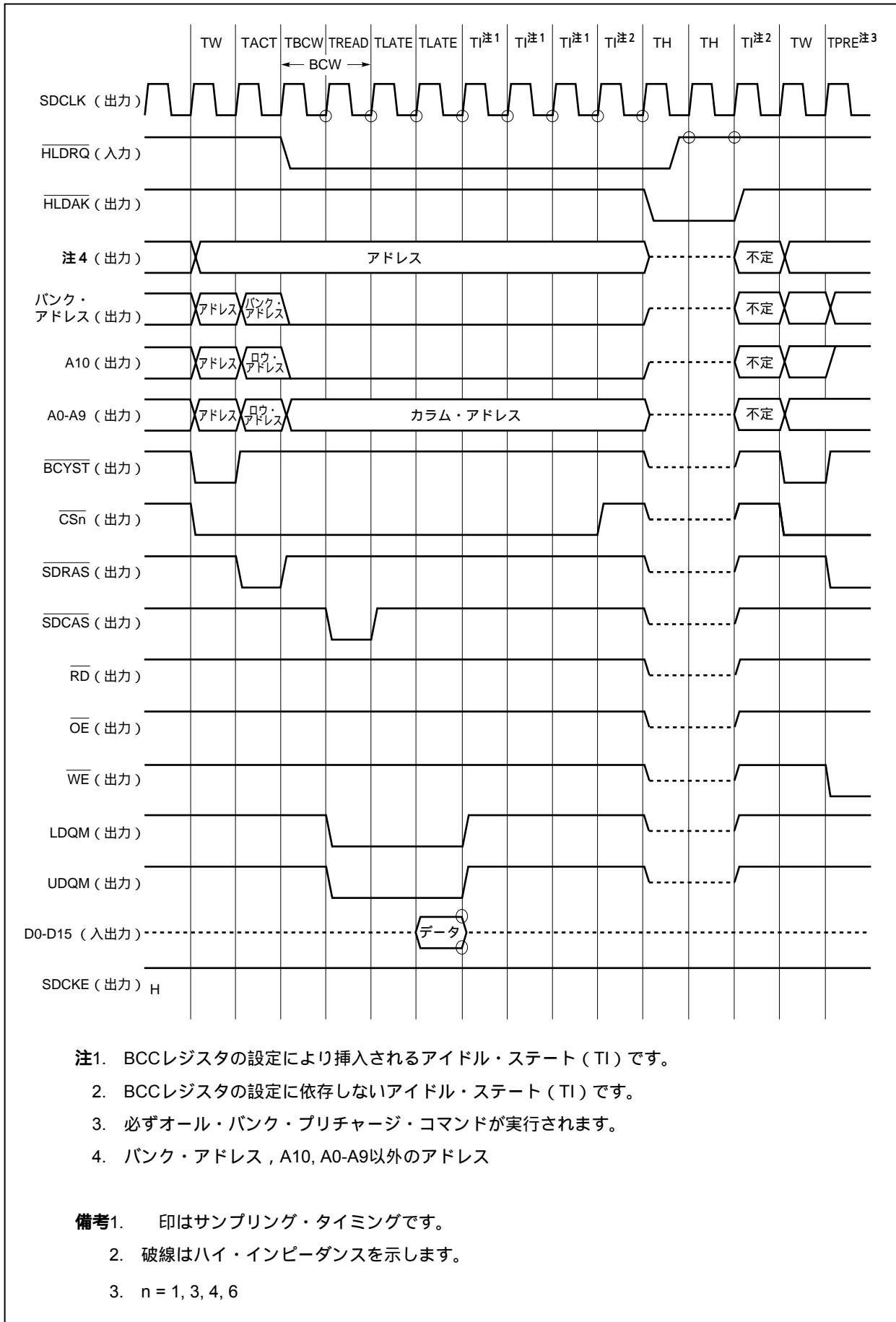
3. バンク・アドレス, A10, A0-A9以外のアドレス

備考1. 印はサンプリング・タイミングです。

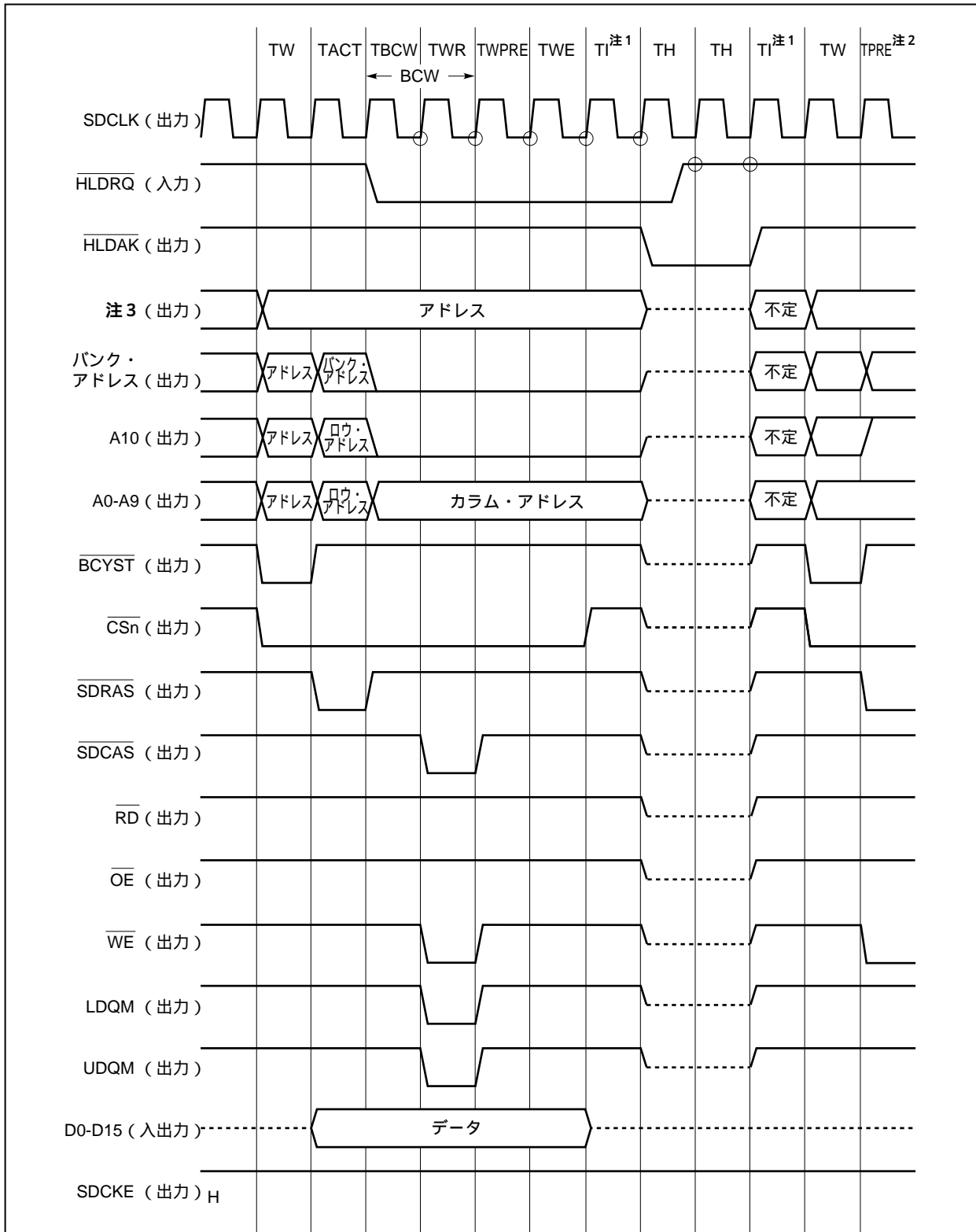
2. 破線はハイ・インピーダンスを示します。

3. n = 1, 3, 4, 6

(2) SDRAM (リード時, レーテンシ = 2の場合, アイドル・ステートを3ステート挿入した場合)



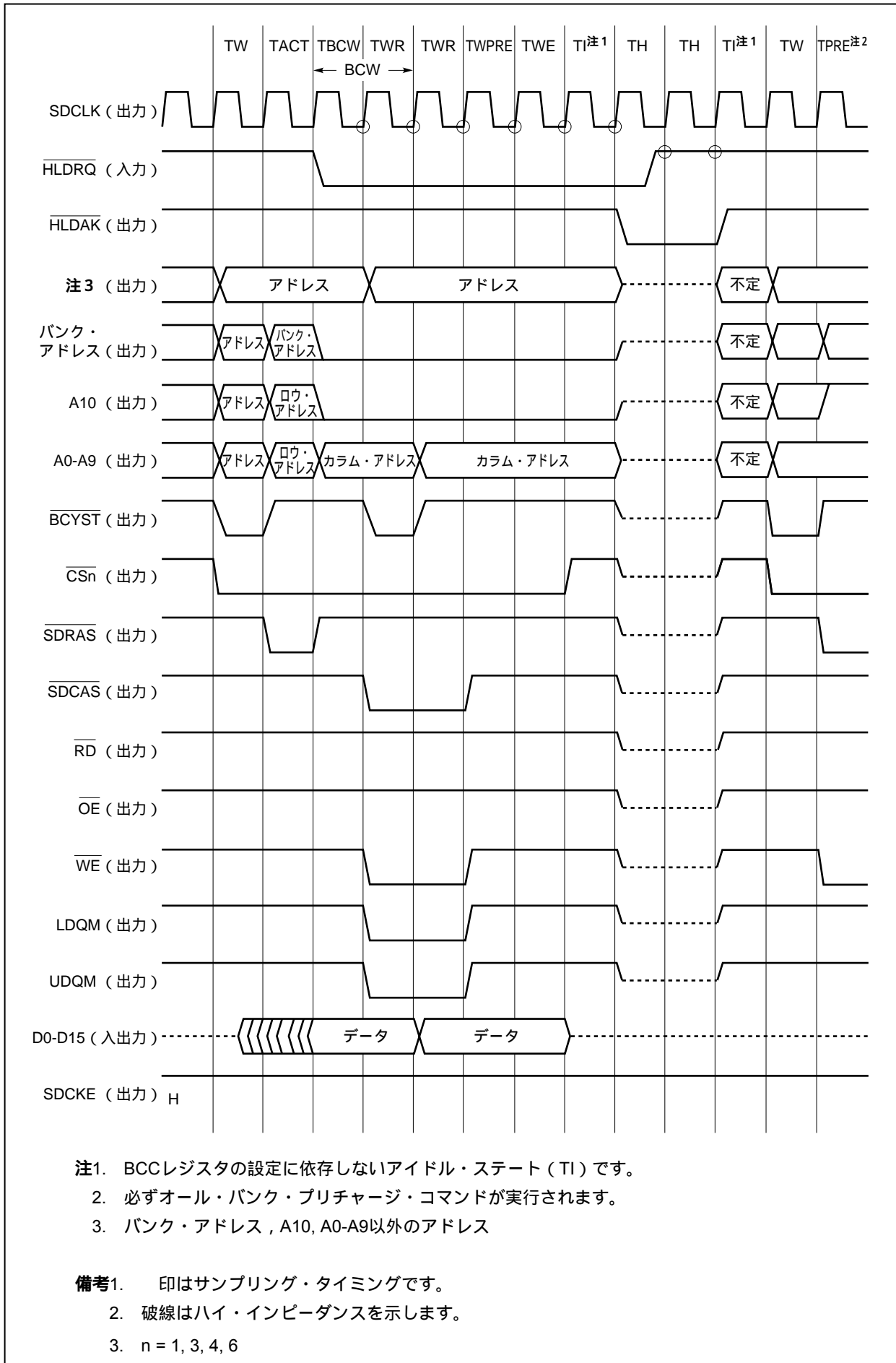
(3) SDRAM (ライト時)



- 注1. BCCレジスタの設定に依存しないアイドル・ステート (TI) です。  
 2. 必ずオール・バンク・プリチャージ・コマンドが実行されます。  
 3. バンク・アドレス, A10, A0-A9以外のアドレス

- 備考1. 印はサンプリング・タイミングです。  
 2. 破線はハイ・インピーダンスを示します。  
 3. n = 1, 3, 4, 6

(4) SDRAM (ライト時, オンページ・アクセス中にバス・ホールド要求が受け付けられた場合)



## 4.9 バスの優先順位

外部バス・サイクルには、バス・ホールド、命令フェッチ、オペランド・データ・アクセス、DMAサイクル、リフレッシュ・サイクルの5つがあります。

優先順位はバス・ホールドが最も高く、リフレッシュ・サイクル、DMAサイクル、オペランド・データ・アクセス、命令フェッチの順で低くなります。

リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には、命令フェッチが挿入されることがあります。また、CPUバス・ロック時のバス・アクセスとバス・アクセスの間にも、命令フェッチが挿入されることがあります。

表4-2 バスの優先順位

優先順位	外部バス・サイクル	バス・マスタ
高い ↑ ↓ 低い	バス・ホールド	外部デバイス
	リフレッシュ・サイクル	DRAMコントローラ
	DMAサイクル	DMAコントローラ
	オペランド・データ・アクセス	CPU
	命令フェッチ	CPU

## 4.10 境界動作条件

### 4.10.1 プログラム空間

- (1) 内蔵周辺I/O領域への分岐または内蔵RAM領域から内蔵周辺I/O領域への連続フェッチは行わないでください。分岐や連続フェッチを行った場合、不定データをフェッチし、外部メモリからのフェッチなどはいりません。
- (2) 内蔵RAM領域の上限に分岐命令がある場合、内蔵周辺I/O領域にまたがるプリフェッチ動作(無効フェッチ)は発生しません。

### 4.10.2 データ空間

V850E/MA1はアドレス・ミス・アライン機能を内蔵しています。

この機能により、データの形式(ワード・データ、ハーフワード・データ)にかかわらず、すべてのアドレスに対してデータを配置できます。ただし、ワード・データ、ハーフワード・データの場合、データが境界整列していないと、バス・サイクルが最低2回は発生し、バス効率が低下します。

#### (1) ハーフワード長のデータ・アクセスの場合

アドレスの最下位ビットが1のとき、バイト長のバス・サイクルを2回生成します。

#### (2) ワード長のデータ・アクセスの場合

- (a) アドレスの最下位ビットが1のとき、バイト長のバス・サイクル、ハーフワード長のバス・サイクル、バイト長のバス・サイクルの順でバス・サイクルを生成します。
- (b) アドレスの下位2ビットが10のとき、ハーフワード長のバス・サイクルを2回生成します。



## 第5章 メモリ・アクセス制御機能

### 5.1 SRAM , 外部ROM , 外部I/Oインタフェース

#### 5.1.1 特 徴

SRAMへのアクセスは最小2ステート

DWC0, DWC1レジスタの設定により, 最大7ステートのプログラマブルなデータ・ウエイトを挿入可能

$\overline{\text{WAIT}}$ 端子の入力により, データ・ウエイトを制御可能

BCCレジスタの設定により, リード/ライト・サイクルのあとに最大3ステートのアイドルを挿入可能

ASCレジスタの設定により, 最大3ステートのアドレス・セットアップ・ウエイトを挿入可能

DMAフライバイ転送を起動可能 (SRAM 外部I/O, 外部I/O SRAM)

#### 5.1.2 SRAMの接続

SRAMとの接続例は次のようになります。

図5 - 1 SRAMとの接続例 (1/2)

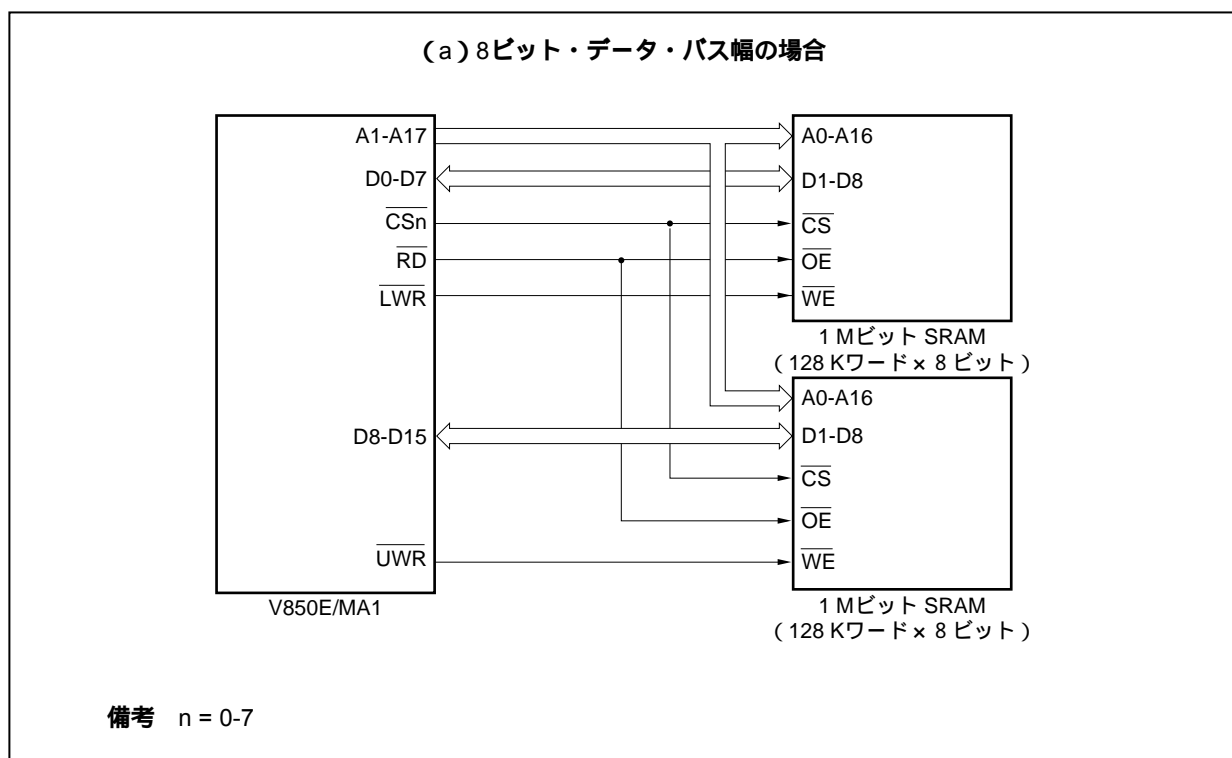
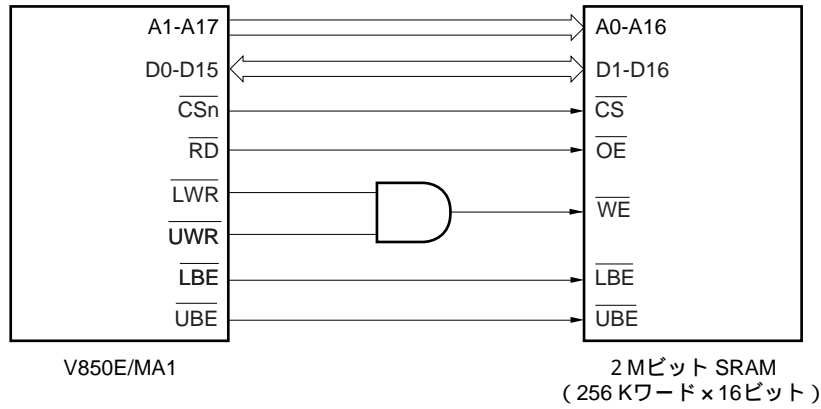
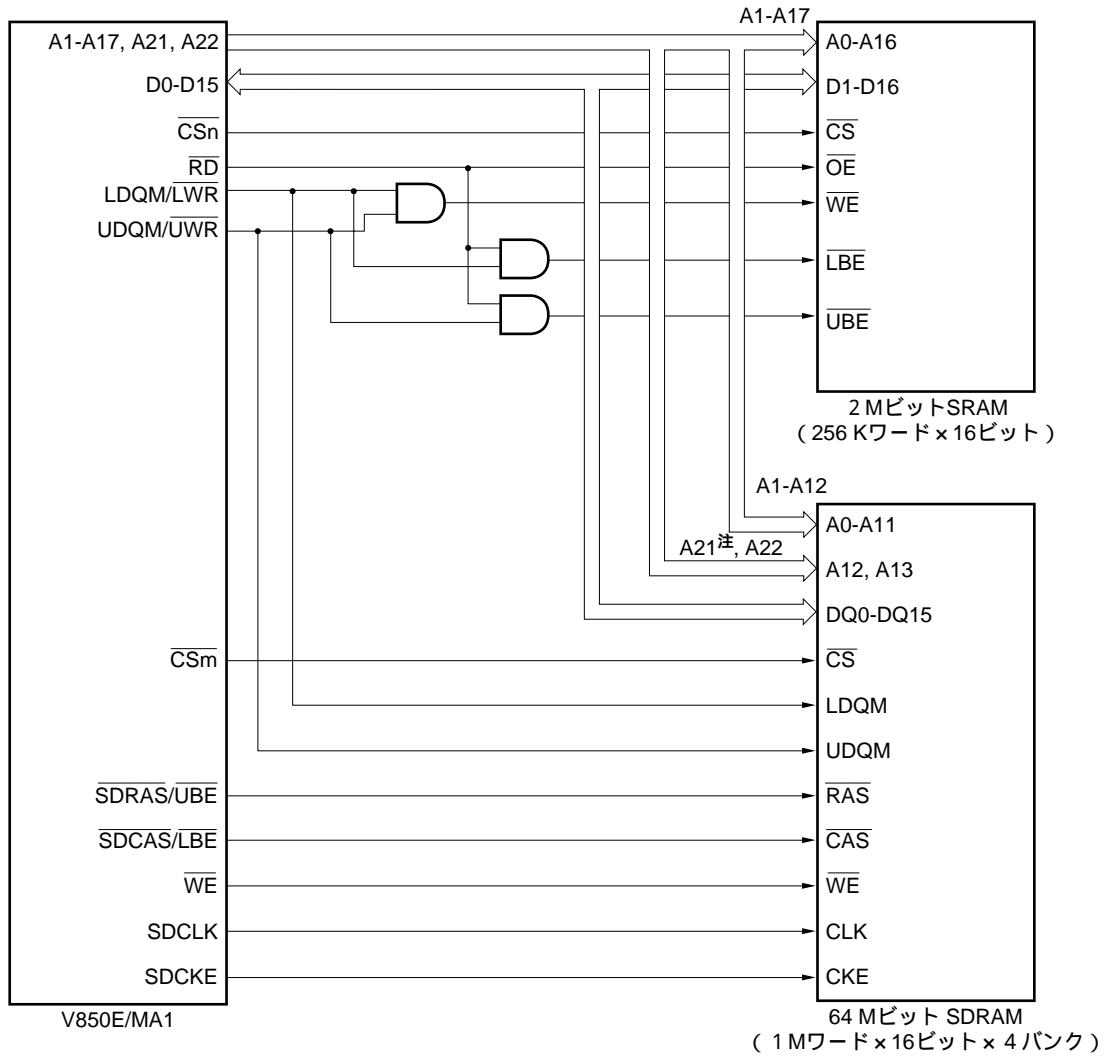


図5 - 1 SRAMとの接続例 (2/2)

(b) 16ビット・データ・バス幅の場合



(c) SRAM (256 Kワード×16ビット) とSDRAM (1 Mワード×16ビット) の混在



注 使用するアドレス信号は、SDRAMの製品により異なります。

備考  $n = 0-7, m = 1, 3, 4, 6 (n \neq m)$

### 5.1.3 SRAM, 外部ROM, 外部I/Oアクセス

図5-2 SRAM, 外部ROM, 外部I/Oアクセス・タイミング (1/6)

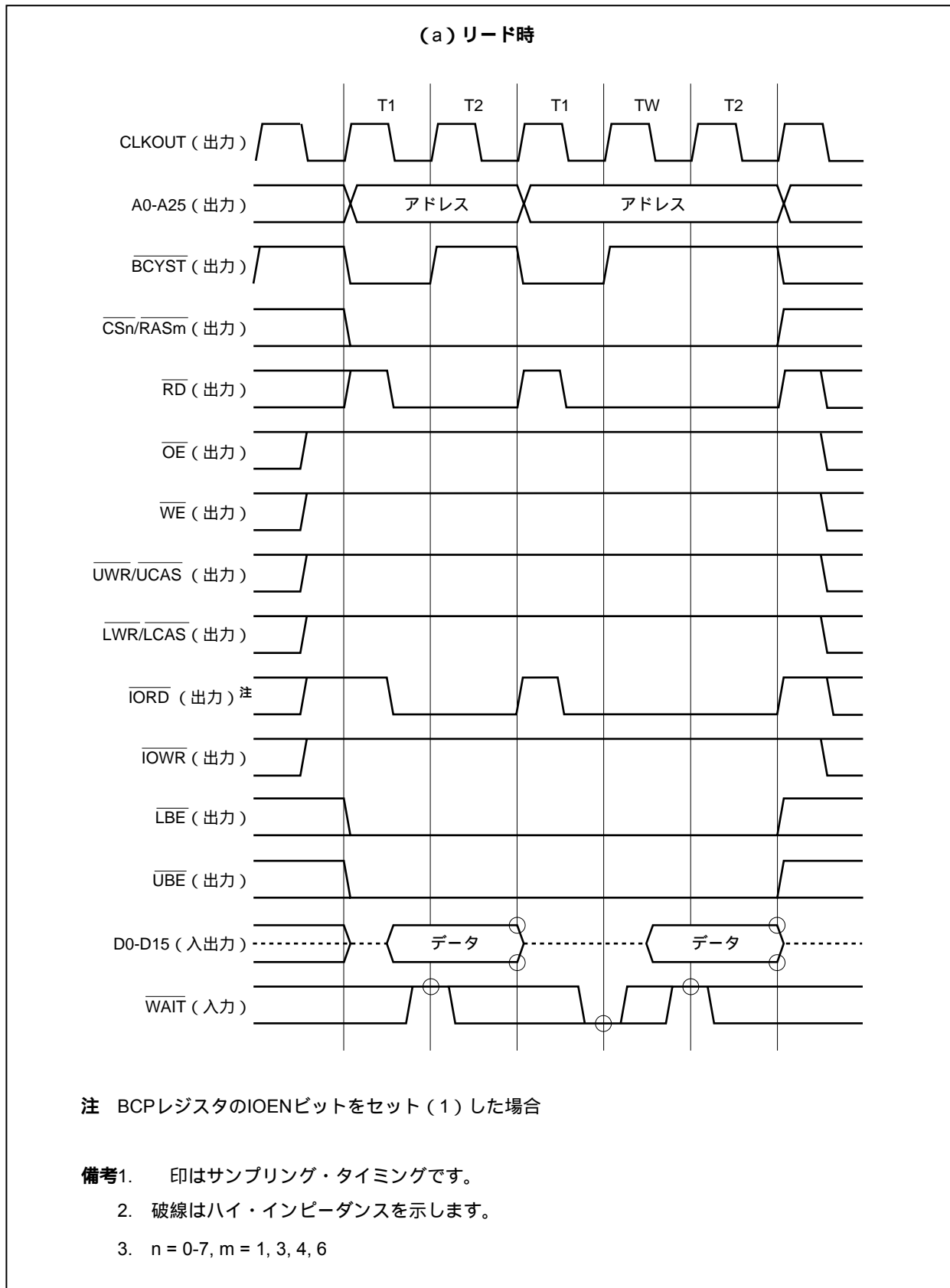
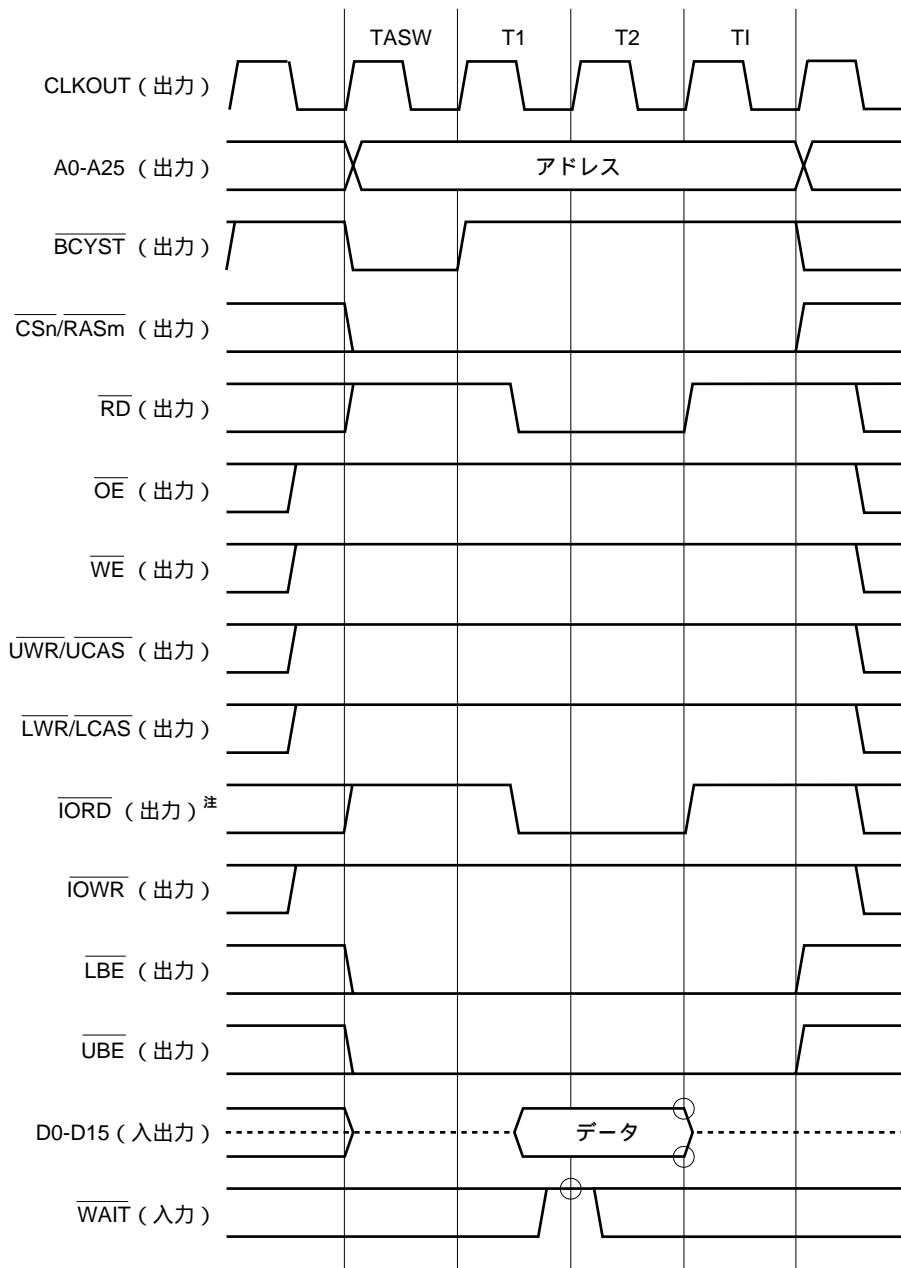


図5 - 2 SRAM, 外部ROM, 外部I/Oアクセス・タイミング (2/6)

(b) リード時 (アドレス・セットアップ・ウエイト, アイドル・ステート挿入)



注 BCPレジスタのIOENビットをセット(1)した場合

- 備考1. 印はサンプリング・タイミングです。  
 2. 破線はハイ・インピーダンスを示します。  
 3. n = 0-7, m = 1, 3, 4, 6

図5 - 2 SRAM , 外部ROM , 外部I/Oアクセス・タイミング (3/6)

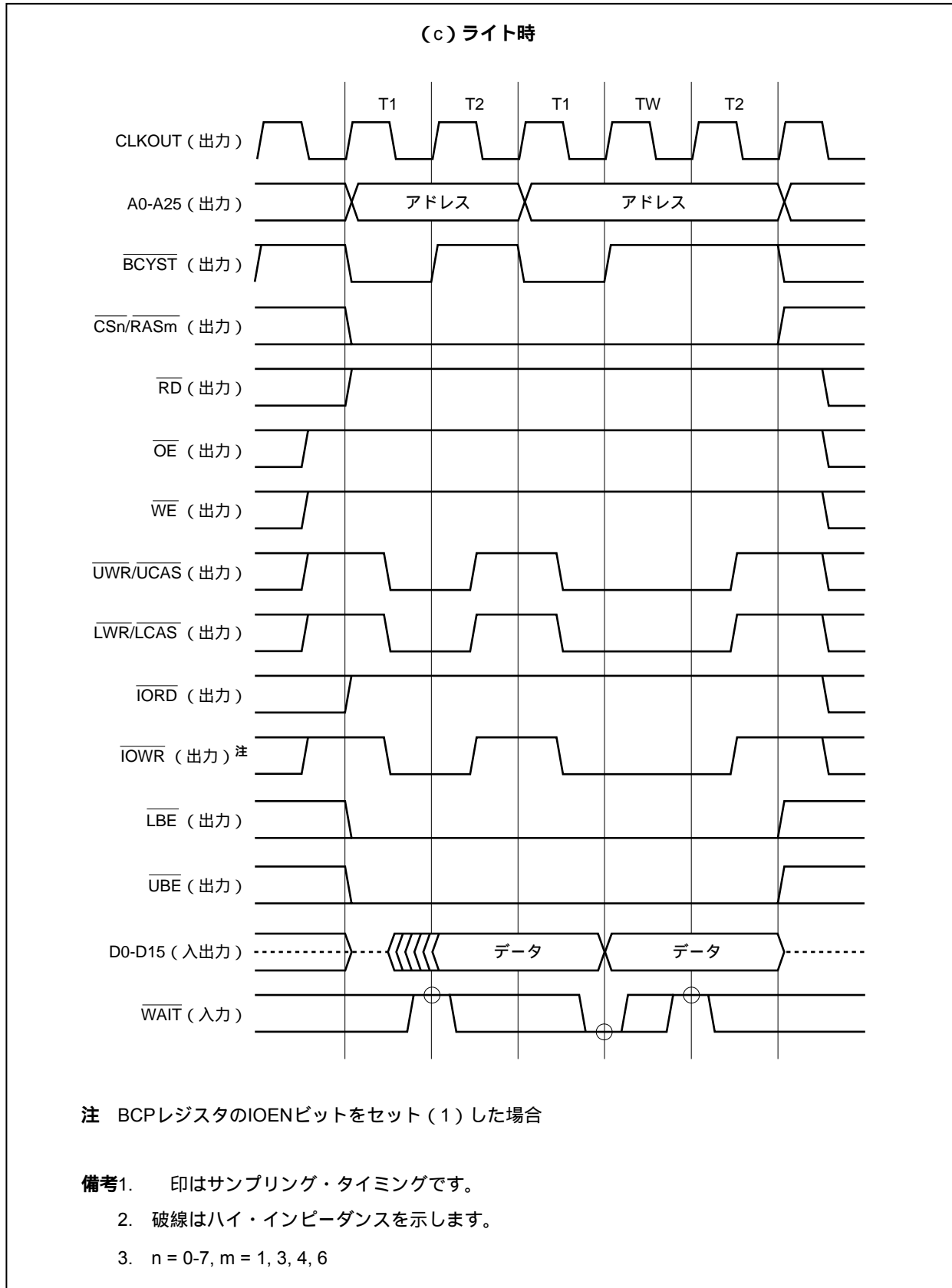
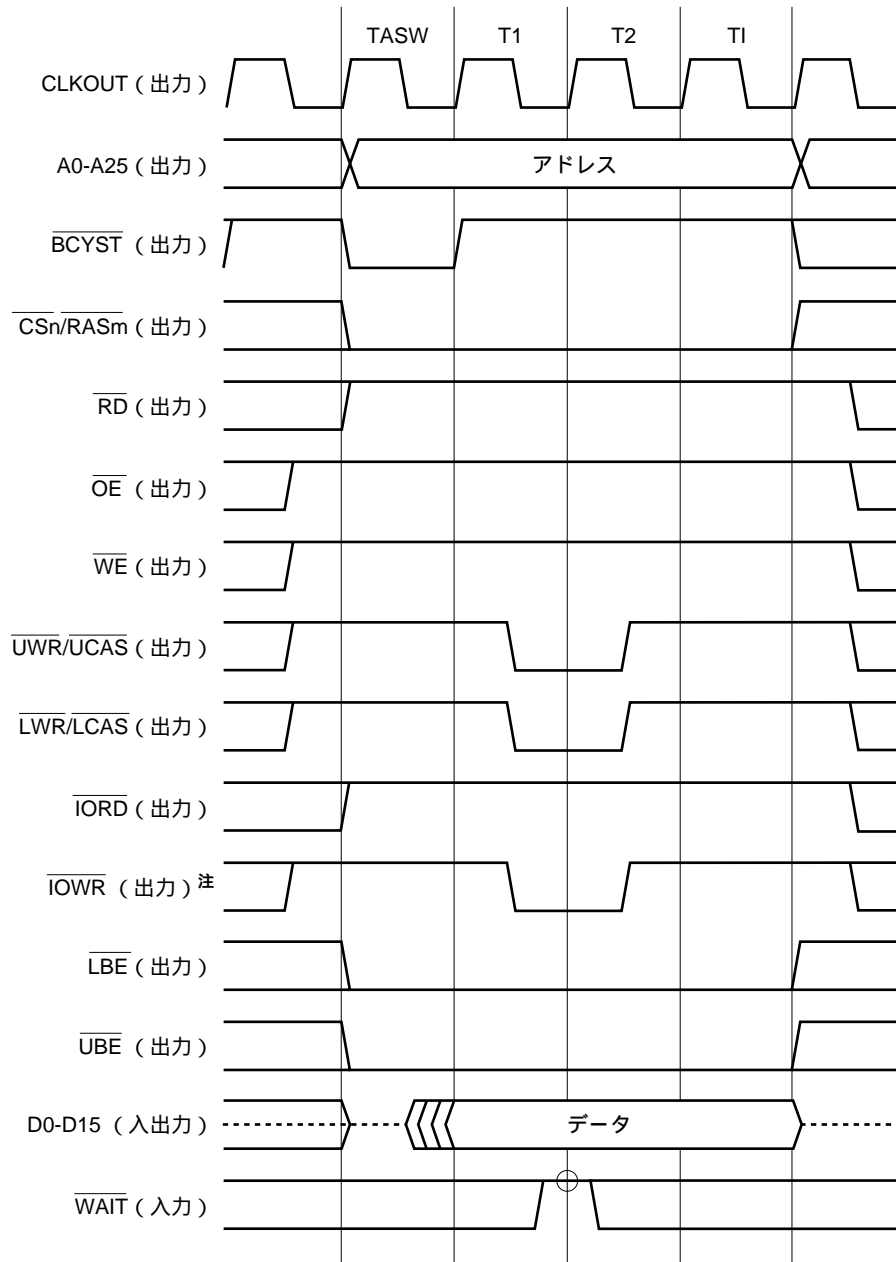


図5 - 2 SRAM, 外部ROM, 外部I/Oアクセス・タイミング (4/6)

(d) ライト時 (アドレス・セットアップ・ウエイト, アイドル・ステート挿入)



注 BCPレジスタのIOENビットをセット(1)した場合

- 備考1. 印はサンプリング・タイミングです。  
 2. 破線はハイ・インピーダンスを示します。  
 3.  $n = 0-7, m = 1, 3, 4, 6$

図5 - 2 SRAM , 外部ROM , 外部I/Oアクセス・タイミング (5/6)

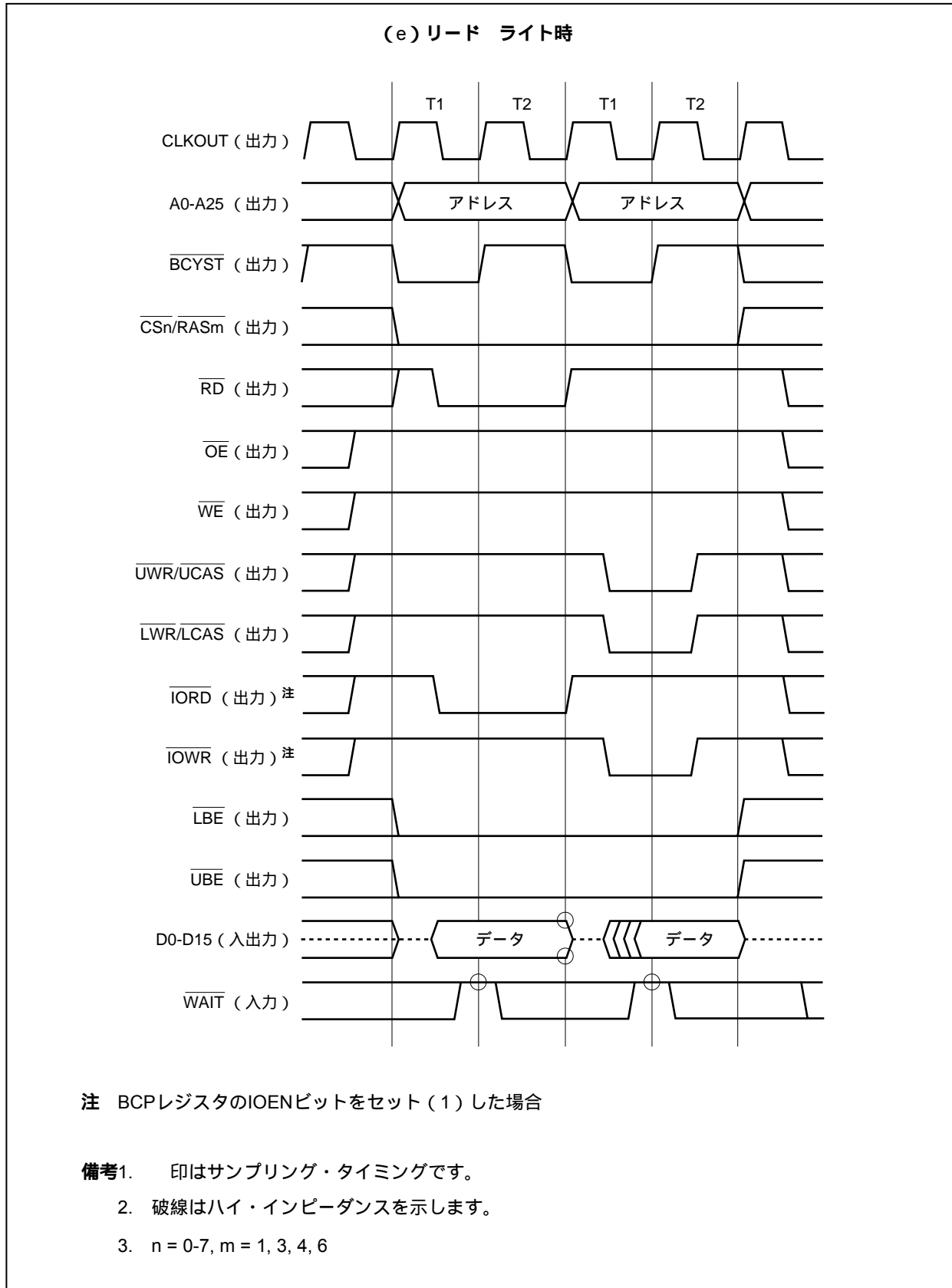
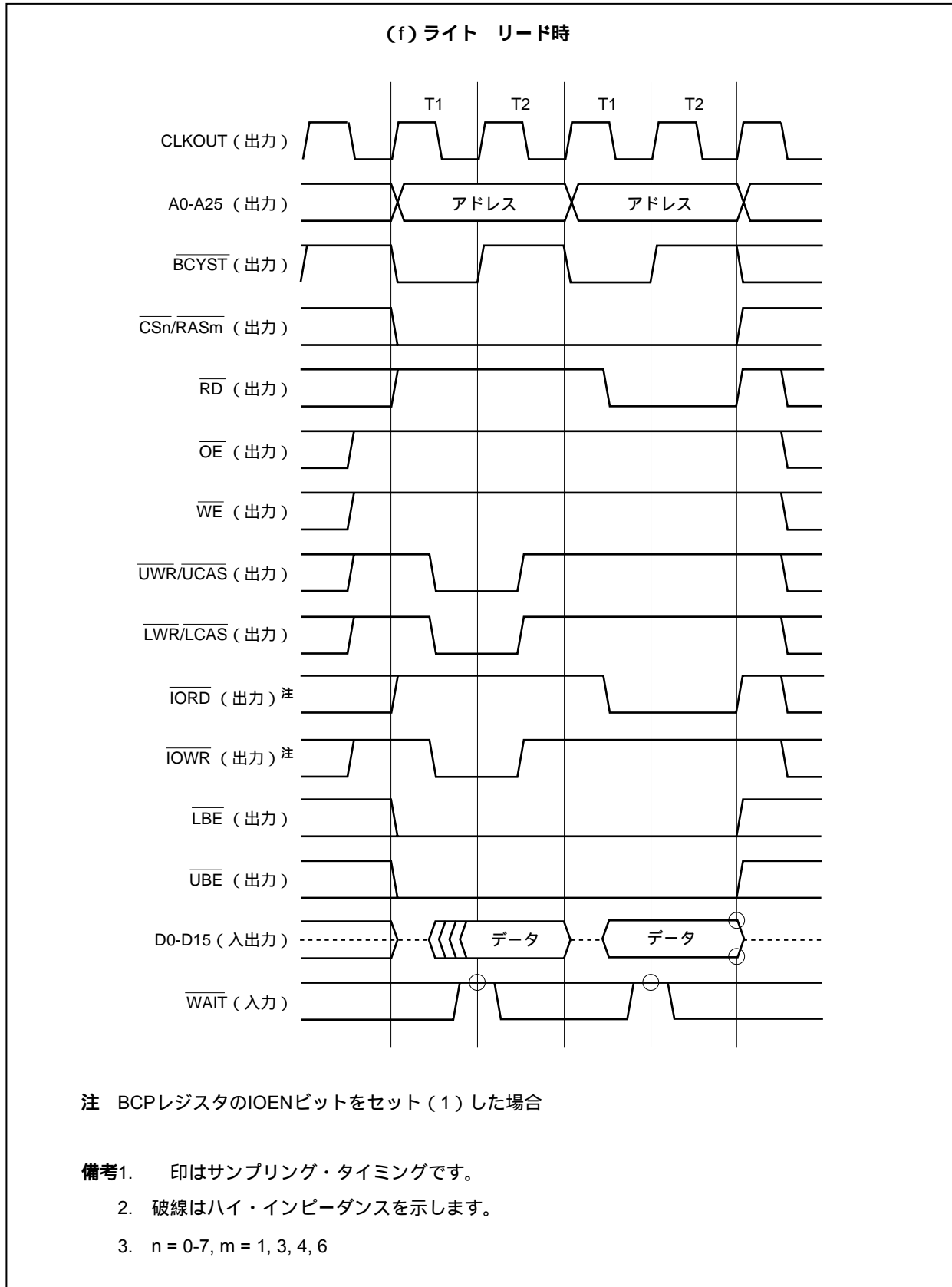


図5 - 2 SRAM , 外部ROM , 外部I/Oアクセス・タイミング (6/6)





## 5.2 ページROMコントローラ (ROMC)

ページROMコントローラ (ROMC) は、ページ・アクセス機能付きROM (ページROM) へのアクセスに対応しています。

直前のバス・サイクルとのアドレス比較を行い、通常アクセス (オフページ) とページ・アクセス (オンページ) のウエイト制御を行います。8-128バイトのページ幅に対応できます。

### 5.2.1 特 徴

8ビット / 16ビット・ページROMと直接接続可能

16ビット・バス幅時 : 4/8/16/32/64ワード・ページ・アクセスに対応

8ビット・バス幅時 : 8/16/32/64/128ワード・ページ・アクセスに対応

ページROMへのアクセスは最小2ステート

オンページ判断機能

PRCレジスタの設定により、比較するアドレスを変更可能

PRCレジスタの設定により、オンページ・サイクル時に最大7ステートのプログラマブルなデータ・ウエイトを挿入可能

DWC0, DWC1レジスタの設定により、オフページ・サイクル時に最大7ステートのプログラマブルなデータ・ウエイトを挿入可能

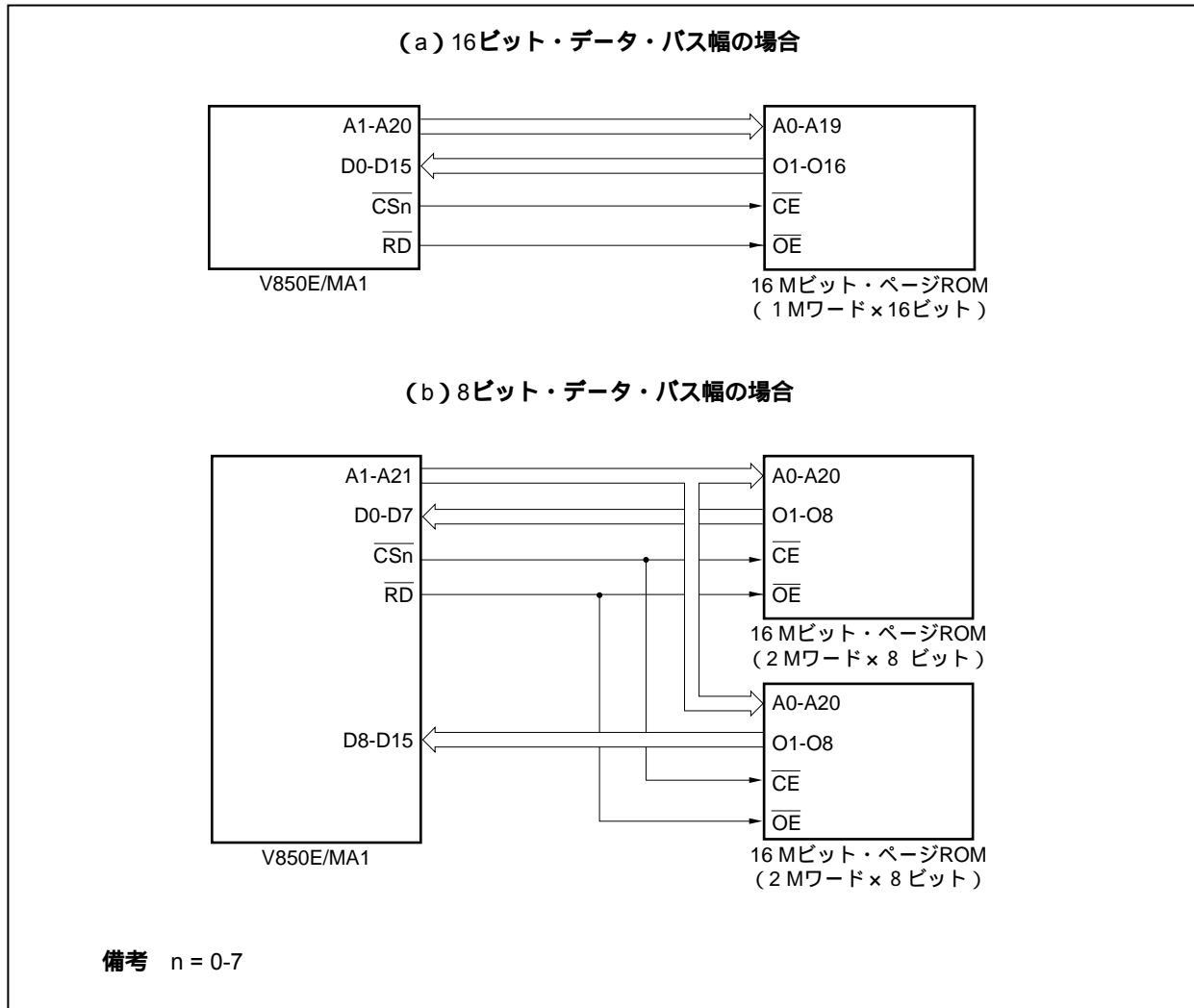
WAIT端子の入力により、ウエイトを制御可能

DMAフライバイ・サイクルを起動可能 (ページROM 外部I/O)

### 5.2.2 ページROMの接続

ページROMとの接続例は次のようになります。

図5 - 3 ページROMとの接続例



### 5.2.3 オンページ/オフページの判断

ページROMサイクルのオンページ/オフページは、前回のサイクルのアドレスをラッチして、現在のサイクルのアドレスと比較することにより判断します。

ページROMコンフィギュレーション・レジスタ (PRC) により接続するページROMの構成、連続する読み出し可能なビット数に応じて、アドレス (A3-A6) のうちマスクする (比較しない) アドレスを設定します。

図5-4 ページROM接続時のオンページ/オフページ判断 (1/2)

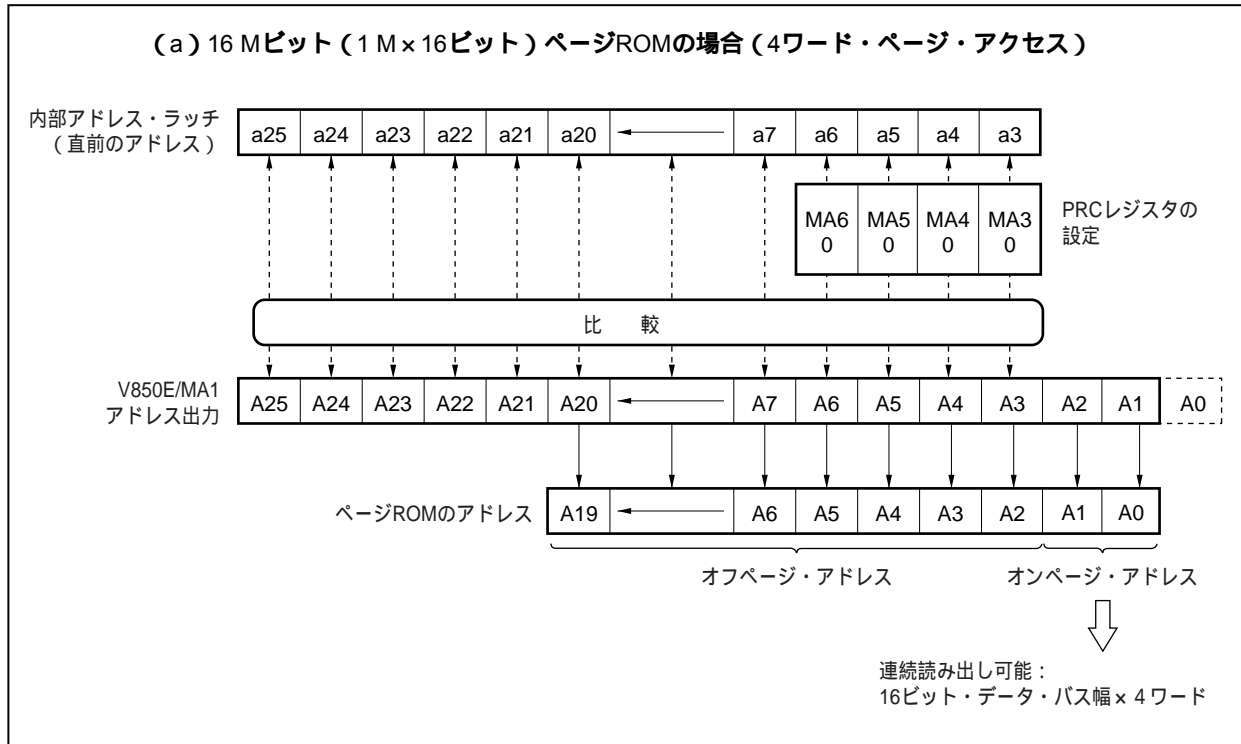
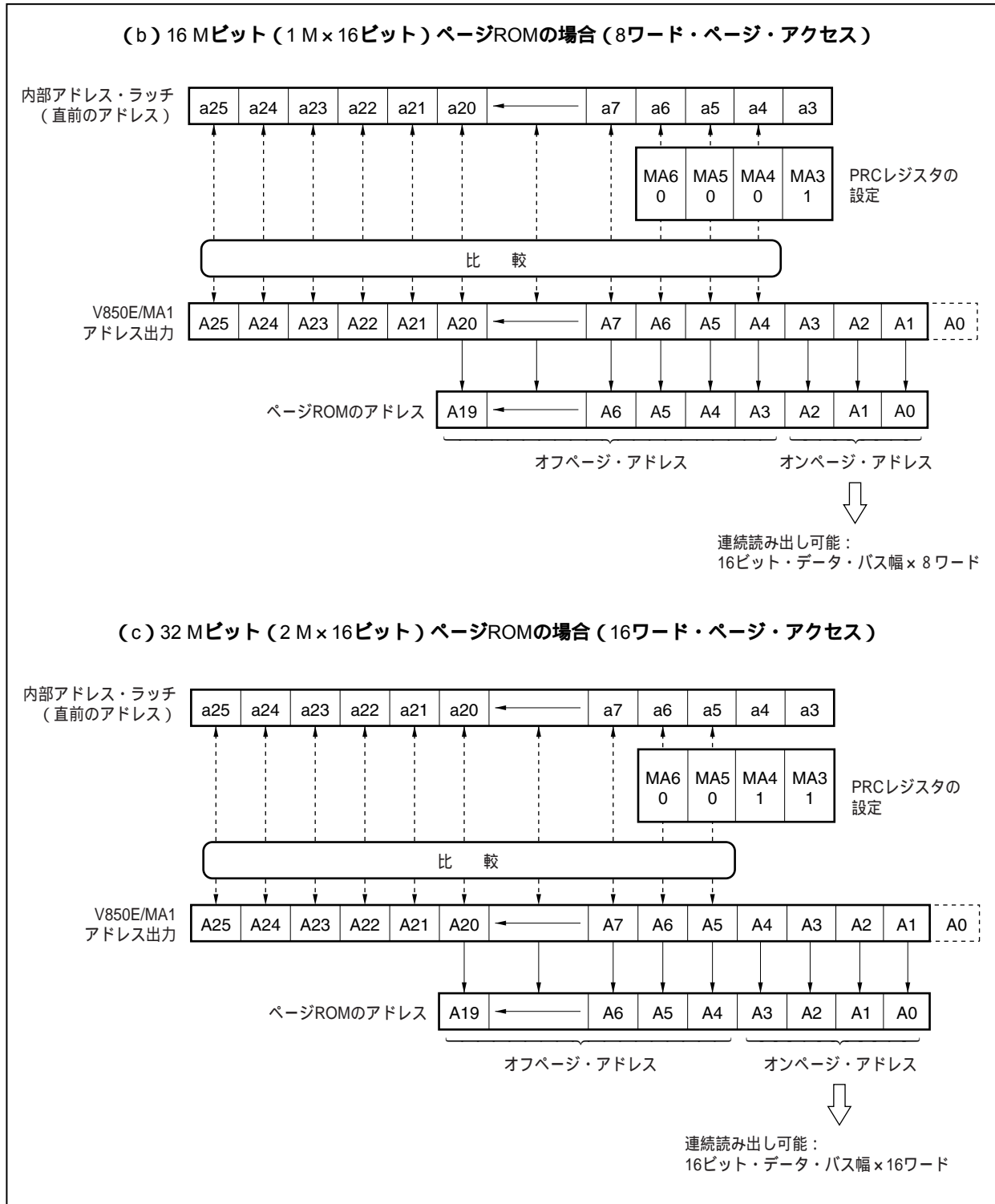


図5-4 ページROM接続時のオンページ/オフページ判断 (2/2)



### 5.2.4 ページROMコンフィギュレーション・レジスタ (PRC)

アドレスの比較幅とオンページ・サイクル時のウエイト・ステートを設定します。接続するページROMの構成、連続読み出し可能なビット数に応じて、アドレス (A3-A6) のうちマスクする (比較しない) アドレスや内部システム・クロックに応じたウエイト数を設定します。

16ビット単位でリード/ライト可能です。

**注意** PRCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、PRCレジスタの初期設定が終わるまでは、その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし、初期設定が終了した外部メモリ領域のアクセスは可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
PRC	0	PRW2	PRW1	PRW0	0	0	0	0	0	0	0	0	MA6	MA5	MA4	MA3	FFFFFF49AH	7000H

ビット位置	ビット名	意味																																				
14-12	PRW2-PRW0	<p>Page-ROM On-page Wait Control</p> <p>内部システム・クロックに応じたウエイトを設定します。</p> <p>オンページ時にだけ、このビットで設定するウエイトが挿入されます。オフページ時には、DWC0, DWC1レジスタで設定するウエイトが挿入されます。</p> <table border="1"> <thead> <tr> <th>PRW2</th> <th>PRW1</th> <th>PRW0</th> <th>挿入されるウエイト・サイクル数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>2</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>3</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>4</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>6</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>7</td></tr> </tbody> </table>	PRW2	PRW1	PRW0	挿入されるウエイト・サイクル数	0	0	0	0	0	0	1	1	0	1	0	2	0	1	1	3	1	0	0	4	1	0	1	5	1	1	0	6	1	1	1	7
PRW2	PRW1	PRW0	挿入されるウエイト・サイクル数																																			
0	0	0	0																																			
0	0	1	1																																			
0	1	0	2																																			
0	1	1	3																																			
1	0	0	4																																			
1	0	1	5																																			
1	1	0	6																																			
1	1	1	7																																			
3-0	MA6-MA3	<p>Mask Address</p> <p>MA6-MA3に対応してそれぞれアドレス (A6-A3) をマスクします (1でマスク)。マスクされたアドレスは、オン/オフページ判断の際の比較対象になりません。連続読み出し可能なビット数に応じて設定します。</p> <table border="1"> <thead> <tr> <th>MA6</th> <th>MA5</th> <th>MA4</th> <th>MA3</th> <th>連続読み出し可能なビット数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>4ワード×16ビット (8ワード×8ビット)</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>8ワード×16ビット (16ワード×8ビット)</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>16ワード×16ビット (32ワード×8ビット)</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>32ワード×16ビット (64ワード×8ビット)</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>64ワード×16ビット (128ワード×8ビット)</td></tr> <tr><td colspan="4">その他</td><td>設定禁止</td></tr> </tbody> </table>	MA6	MA5	MA4	MA3	連続読み出し可能なビット数	0	0	0	0	4ワード×16ビット (8ワード×8ビット)	0	0	0	1	8ワード×16ビット (16ワード×8ビット)	0	0	1	1	16ワード×16ビット (32ワード×8ビット)	0	1	1	1	32ワード×16ビット (64ワード×8ビット)	1	1	1	1	64ワード×16ビット (128ワード×8ビット)	その他				設定禁止	
MA6	MA5	MA4	MA3	連続読み出し可能なビット数																																		
0	0	0	0	4ワード×16ビット (8ワード×8ビット)																																		
0	0	0	1	8ワード×16ビット (16ワード×8ビット)																																		
0	0	1	1	16ワード×16ビット (32ワード×8ビット)																																		
0	1	1	1	32ワード×16ビット (64ワード×8ビット)																																		
1	1	1	1	64ワード×16ビット (128ワード×8ビット)																																		
その他				設定禁止																																		

### 5.2.5 ページROMアクセス

図5-5 ページROMアクセス・タイミング (1/4)

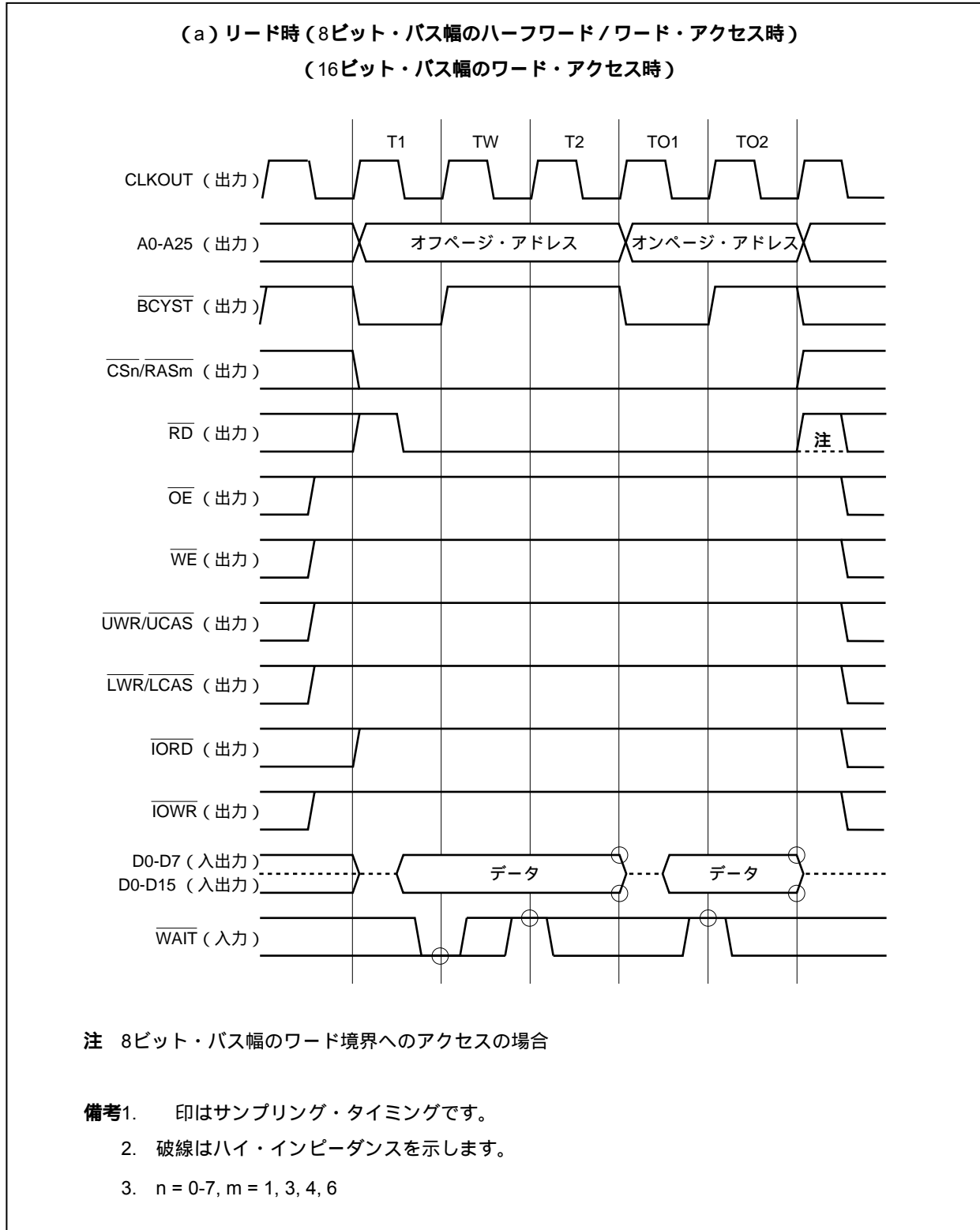


図5 - 5 ページROMアクセス・タイミング (2/4)

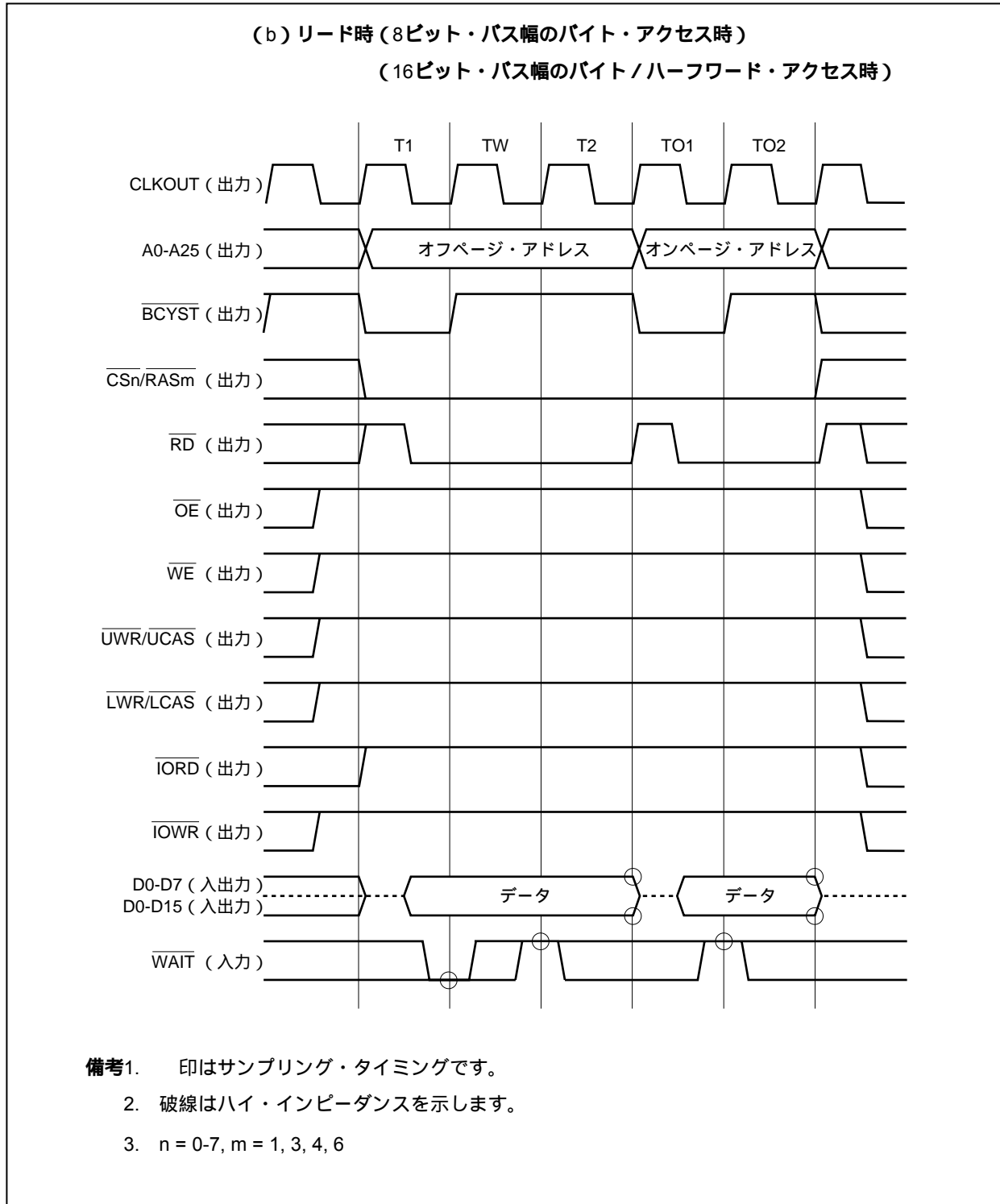


図5 - 5 ページROMアクセス・タイミング (3/4)

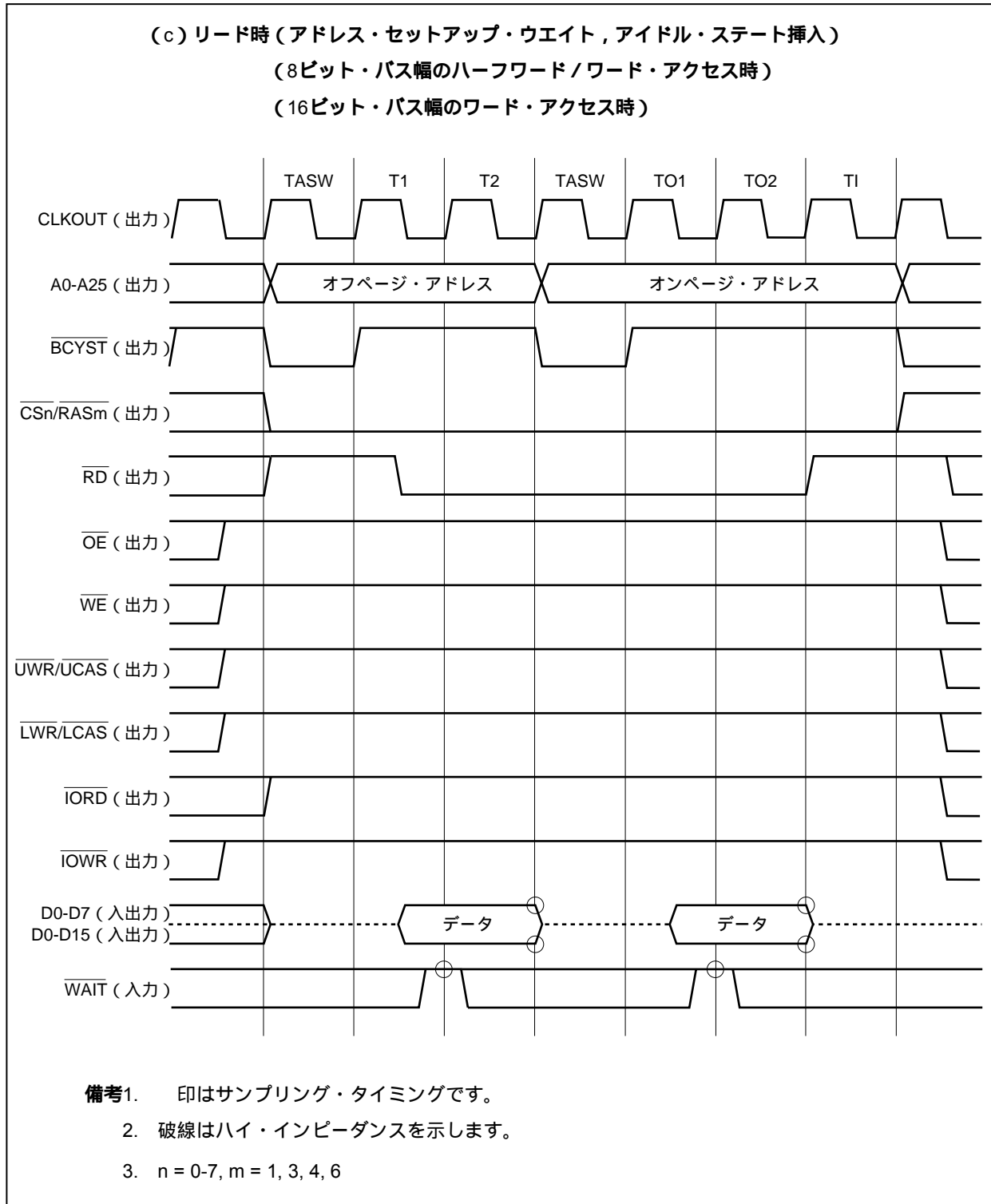
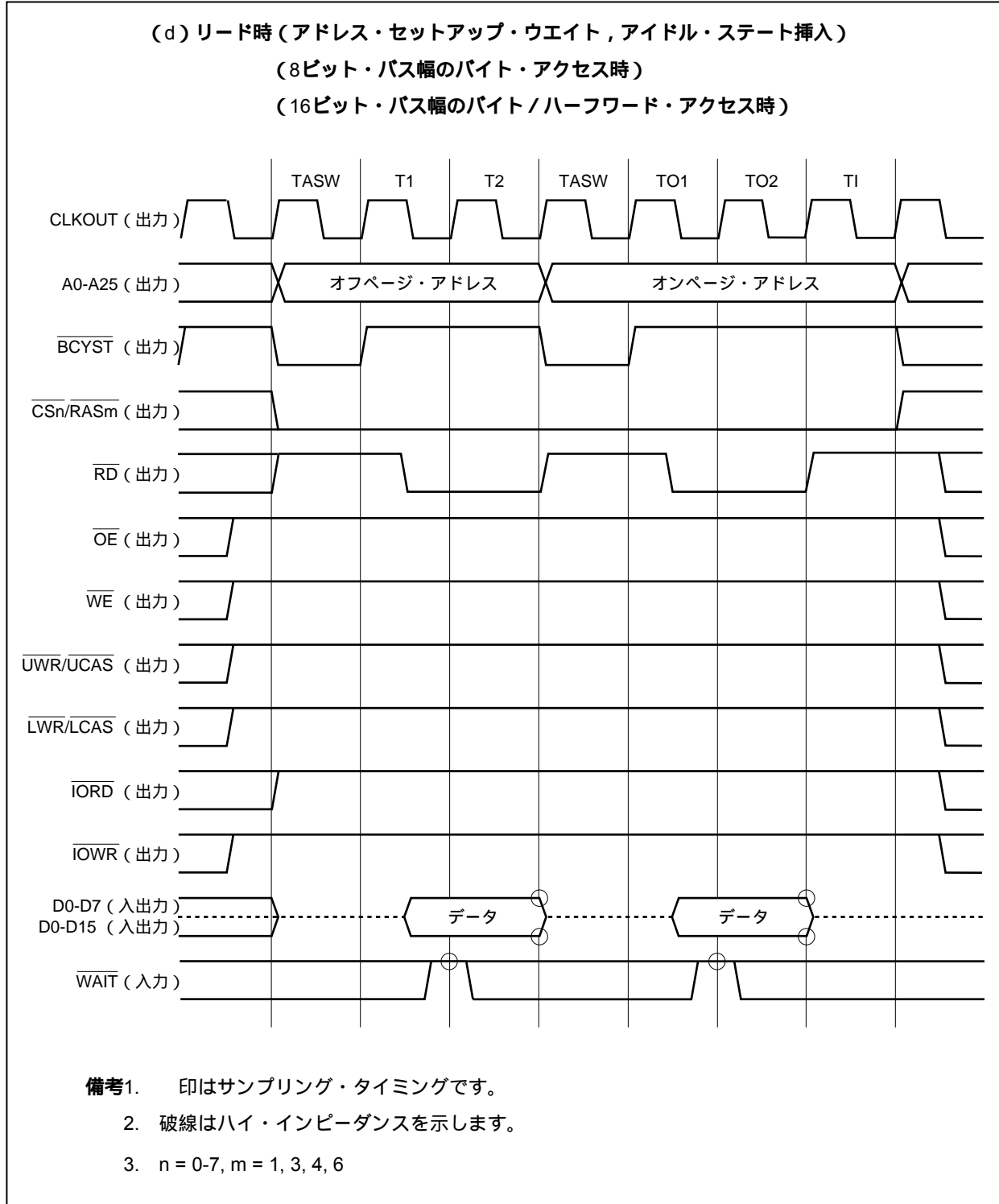




図5-5 ページROMアクセス・タイミング(4/4)



## 5.3 DRAMコントローラ (EDO DRAM)

### 5.3.1 特 徴

$\overline{\text{RAS}}$ ,  $\overline{\text{LCAS}}$ ,  $\overline{\text{UCAS}}$ 信号生成

EDO DRAMと直接接続可能

RASホールド・モードをサポート

4種類のDRAMを4つのメモリ・ブロック空間に割り当て可能

2CASタイプのDRAMに対応

ロウ/カラム・アドレスのマルチプレクス幅の切り替え可能

次の各タイミングでウエイト (0-3ウエイト) 挿入可能

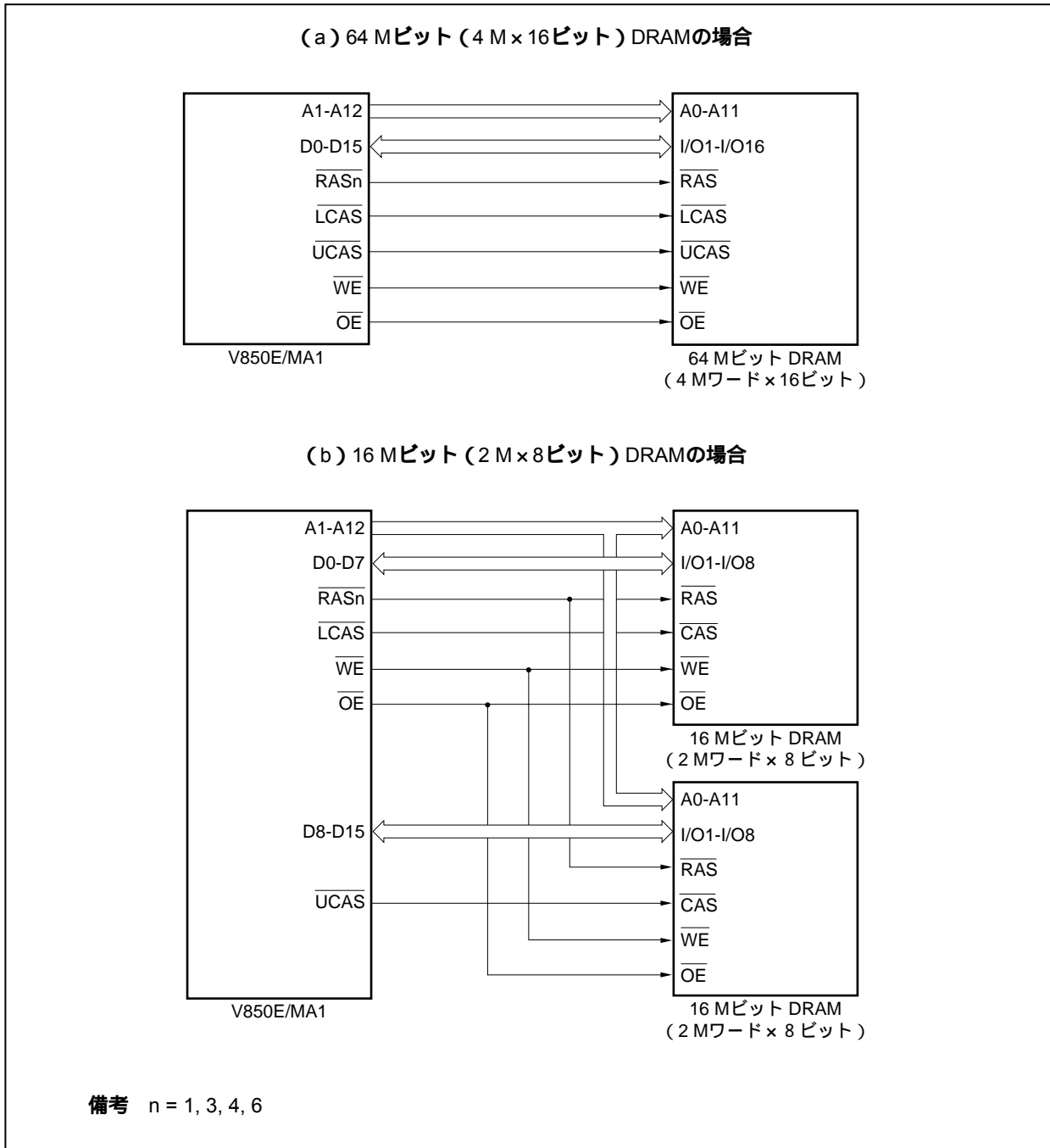
- ・ロウ・アドレス・プリチャージ・ウエイト
- ・ロウ・アドレス保持ウエイト
- ・データ・アクセス・ウエイト
- ・カラム・アドレス・プリチャージ・ウエイト

CBRリフレッシュ, CBRセルフ・リフレッシュをサポート

### 5.3.2 DRAMの接続

DRAMとの接続例を次に示します。

図5 - 6 DRAMとの接続例



### 5.3.3 アドレス・マルチプレクス機能

DRAMコンフィギュレーション・レジスタn (SCRn) のDAW0n, DAW1nビットの値により, DRAMサイクルでのロウ・アドレス, カラム・アドレス出力は, 図5-7のようにアドレスがマルチプレクスします (n = 1, 3, 4, 6)。図5-7で, a0-a25はCPUから出力されたアドレスを, A0-A25はV850E/MA1のアドレス端子を示しています。

たとえば, DAW1n, DAW0n = 11のときは, アドレス端子 (A1-A11) からロウ・アドレスとしてa12-a22が出力され, カラム・アドレスとしてa1-a11が出力されることを図5-7で示しています。

図5-7 ロウ・アドレス, カラム・アドレスの出力

アドレス端子	A25-A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
ロウ・アドレス (DAW1n, DAW0n = 11)	a25-a18	a17	a16	a15	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11
ロウ・アドレス (DAW1n, DAW0n = 10)	a25-a18	a17	a16	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10
ロウ・アドレス (DAW1n, DAW0n = 01)	a25-a18	a17	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10	a9
ロウ・アドレス (DAW1n, DAW0n = 00)	a25-a18	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10	a9	a8
カラム・アドレス	a25-a18	a17	a16	a15	a14	a13	a12	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0

**備考** n = 1, 3, 4, 6

表5-1に接続可能なDRAMとアドレス・マルチプレクス幅との関係を示します。接続するDRAMにより, DRAM空間は表5-1に示すように異なります。

表5-1 DRAMとアドレス・マルチプレクス幅の例

アドレス・マルチプレクス幅	DRAMの容量 (ビット) と構成					DRAM空間 <sup>注</sup> (バイト)
	256 K	1 M	4 M	16 M	64 M	
8ビット (DAW1n, DAW0n = 00)	64 K × 4	-	-	-	-	128 K
9ビット (DAW1n, DAW0n = 01)	-	256 K × 4	256 K × 16	-	-	512 K
	-	-	512 K × 8	-	-	1 M
	-	-	-	-	4 M × 16	8 M
10ビット (DAW1n, DAW0n = 10)	-	-	1 M × 4	1 M × 16	-	2 M
	-	-	-	2 M × 8	-	4 M
	-	-	-	-	4 M × 16	8 M
11ビット (DAW1n, DAW0n = 11)	-	-	-	4 M × 4	-	8 M

注 データ・バス幅が16ビットのとき

備考 n = 1, 3, 4, 6

### 5.3.4 DRAMコンフィギュレーション・レジスタ1, 3, 4, 6 (SCR1, SCR3, SCR4, SCR6)

接続するDRAMの種類を設定します。SCRnはCSnに対応しています(n = 1, 3, 4, 6)。たとえば、CS1にDRAMを接続する場合はSCR1を設定してください。16ビット単位でリード/ライト可能です。

ビット14, 5には必ず0を設定してください。1を設定した場合の動作は保証できません。

- 注意1.** アクセス対象がDRAM領域の場合、DWC0, DWC1レジスタに設定されたウエイトは無効になります。この場合、SCR1, SCR3, SCR4, SCR6レジスタによってウエイトが制御されます。
2. SCR1, SCR3, SCR4, SCR6レジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、SCR1, SCR3, SCR4, SCR6レジスタの初期設定が終わるまでは、その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし、初期設定が終了した外部メモリ領域のアクセスは可能です。

( 1/3 )

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SCR1	PAE11	0	RPC11	RPC01	RHC11	RHC01	DAC11	DAC01	CPC11	CPC01	0	RHD1	ASO11	ASO01	DAW11	DAW01	FFFFFF4A4H	3FC1H
SCR3	PAE13	0	RPC13	RPC03	RHC13	RHC03	DAC13	DAC03	CPC13	CPC03	0	RHD3	ASO13	ASO03	DAW13	DAW03	FFFFFF4ACH	3FC1H
SCR4	PAE14	0	RPC14	RPC04	RHC14	RHC04	DAC14	DAC04	CPC14	CPC04	0	RHD4	ASO14	ASO04	DAW14	DAW04	FFFFFF4B0H	3FC1H
SCR6	PAE16	0	RPC16	RPC06	RHC16	RHC06	DAC16	DAC06	CPC16	CPC06	0	RHD6	ASO16	ASO06	DAW16	DAW06	FFFFFF4B8H	3FC1H

ビット位置	ビット名	意味															
15	PAE1n (n = 1, 3, 4, 6)	DRAM On-page Access Mode Control オンページ・アクセスのサイクルを設定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>PAE1n</th> <th>アクセス・モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>オンページ・アクセス禁止</td> </tr> <tr> <td>1</td> <td>オンページ・アクセス許可</td> </tr> </tbody> </table>	PAE1n	アクセス・モード	0	オンページ・アクセス禁止	1	オンページ・アクセス許可									
PAE1n	アクセス・モード																
0	オンページ・アクセス禁止																
1	オンページ・アクセス許可																
13, 12	RPC1n, RPC0n (n = 1, 3, 4, 6)	Row Address Pre-charge Control ロウ・アドレスのプリチャージ時間として挿入するウエイト・ステート数を指定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>RPC1n</th> <th>RPC0n</th> <th>挿入ウエイト・ステート数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1 (必ず1ウエイト挿入されます)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>1</td> <td>1</td> <td>3</td> </tr> </tbody> </table>	RPC1n	RPC0n	挿入ウエイト・ステート数	0	0	1 (必ず1ウエイト挿入されます)	0	1	1	1	0	2	1	1	3
RPC1n	RPC0n	挿入ウエイト・ステート数															
0	0	1 (必ず1ウエイト挿入されます)															
0	1	1															
1	0	2															
1	1	3															

ビット位置	ビット名	意 味															
11, 10	RHC1n, RHC0n (n=1, 3, 4, 6)	<p>Row Address Hold Wait Control</p> <p>ロウ・アドレスの保持時間として挿入するウエイト・ステート数を指定します。</p> <table border="1"> <thead> <tr> <th>RHC1n</th> <th>RHC0n</th> <th>挿入ウエイト・ステート数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>1</td> <td>1</td> <td>3</td> </tr> </tbody> </table>	RHC1n	RHC0n	挿入ウエイト・ステート数	0	0	0	0	1	1	1	0	2	1	1	3
RHC1n	RHC0n	挿入ウエイト・ステート数															
0	0	0															
0	1	1															
1	0	2															
1	1	3															
9, 8	DAC1n, DAC0n (n=1, 3, 4, 6)	<p>Data Access Programmable Wait Control</p> <p>DRAMアクセスにおけるデータ・アクセス時間として挿入するウエイト・ステート数を指定します。</p> <table border="1"> <thead> <tr> <th>DAC1n</th> <th>DAC0n</th> <th>挿入ウエイト・ステート数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>1</td> <td>1</td> <td>3</td> </tr> </tbody> </table>	DAC1n	DAC0n	挿入ウエイト・ステート数	0	0	0	0	1	1	1	0	2	1	1	3
DAC1n	DAC0n	挿入ウエイト・ステート数															
0	0	0															
0	1	1															
1	0	2															
1	1	3															
7, 6	CPC1n, CPC0n (n=1, 3, 4, 6)	<p>Column Address Pre-charge Control</p> <p>カラム・アドレスのプリチャージ時間として挿入するウエイト・ステート数を指定します。</p> <table border="1"> <thead> <tr> <th>CPC1n</th> <th>CPC0n</th> <th>挿入ウエイト・ステート数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0 (オンページ・ライト・アクセス時は必ず1ウエイト挿入されます)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>1</td> <td>1</td> <td>3</td> </tr> </tbody> </table>	CPC1n	CPC0n	挿入ウエイト・ステート数	0	0	0 (オンページ・ライト・アクセス時は必ず1ウエイト挿入されます)	0	1	1	1	0	2	1	1	3
CPC1n	CPC0n	挿入ウエイト・ステート数															
0	0	0 (オンページ・ライト・アクセス時は必ず1ウエイト挿入されます)															
0	1	1															
1	0	2															
1	1	3															
4	RHDn (n=1, 3, 4, 6)	<p>RAS Hold Disable</p> <p>RASホールド・モードを設定します。</p> <p>オンページ動作時にDRAMへのアクセスが連続せず、途中にほかの空間へのアクセスが入ってしまう場合、RASホールド・モードの状態では、ほかの空間にアクセスしている間もRASn信号をアクティブ(ロウ・レベル)に保持します。これにより、ほかの空間へのアクセスに続いてDRAMの同一ロウ・アドレスがアクセスされた場合、オンページ動作を続けることができます。</p> <p>0 : RASホールド・モード許可 1 : RASホールド・モード禁止</p>															

ビット位置	ビット名	意 味															
3, 2	ASO1n, ASO0n (n = 1, 3, 4, 6)	<p>Address Shift Width On-page Control</p> <p>オンページ判断時のアドレス・シフト幅を設定します。</p> <p>外部データ・バス幅を8ビット幅で使用する場合：ASO1n, ASO0n = 00Bに設定 外部データ・バス幅を16ビット幅で使用する場合：ASO1n, ASO0n = 01Bに設定</p> <table border="1"> <thead> <tr> <th>ASO1n</th> <th>ASO0n</th> <th>アドレス・シフト幅</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0 (データ・バス幅：8ビット)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1 (データ・バス幅：16ビット)</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	ASO1n	ASO0n	アドレス・シフト幅	0	0	0 (データ・バス幅：8ビット)	0	1	1 (データ・バス幅：16ビット)	1	0	設定禁止	1	1	設定禁止
ASO1n	ASO0n	アドレス・シフト幅															
0	0	0 (データ・バス幅：8ビット)															
0	1	1 (データ・バス幅：16ビット)															
1	0	設定禁止															
1	1	設定禁止															
1, 0	DAW1n, DAW0n (n = 1, 3, 4, 6)	<p>DRAM Address Multiplex Width Control</p> <p>アドレス・マルチプレクス幅を設定します (5. 3. 3 アドレス・マルチプレクス機能参照)。</p> <table border="1"> <thead> <tr> <th>DAW1n</th> <th>DAW0n</th> <th>アドレス・マルチプレクス幅</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>8ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>9ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>10ビット</td> </tr> <tr> <td>1</td> <td>1</td> <td>11ビット</td> </tr> </tbody> </table>	DAW1n	DAW0n	アドレス・マルチプレクス幅	0	0	8ビット	0	1	9ビット	1	0	10ビット	1	1	11ビット
DAW1n	DAW0n	アドレス・マルチプレクス幅															
0	0	8ビット															
0	1	9ビット															
1	0	10ビット															
1	1	11ビット															

### 5.3.5 DRAMアクセス

図5-8 EDO DRAMアクセス・タイミング (1/5)

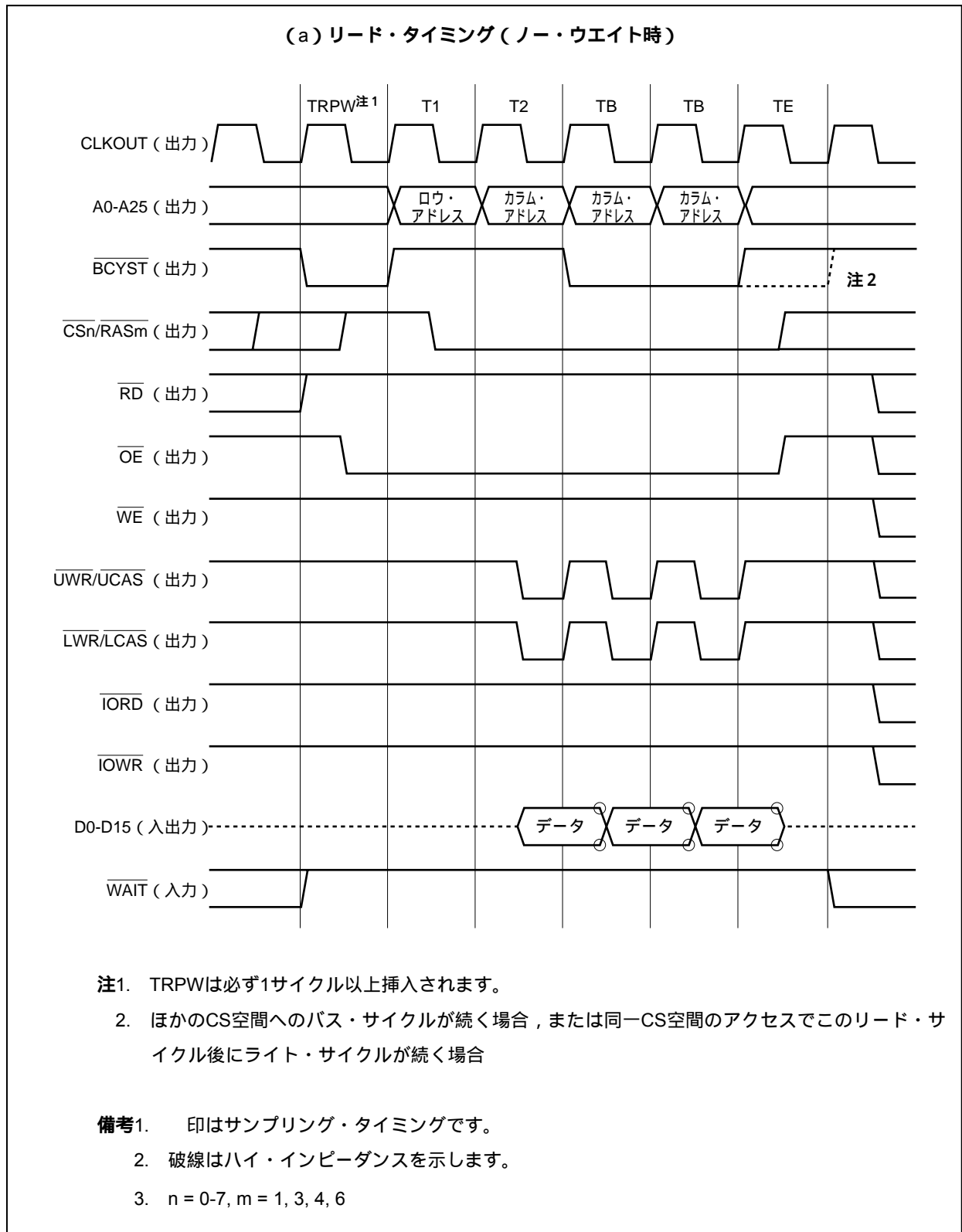




図5-8 EDO DRAMアクセス・タイミング (2/5)

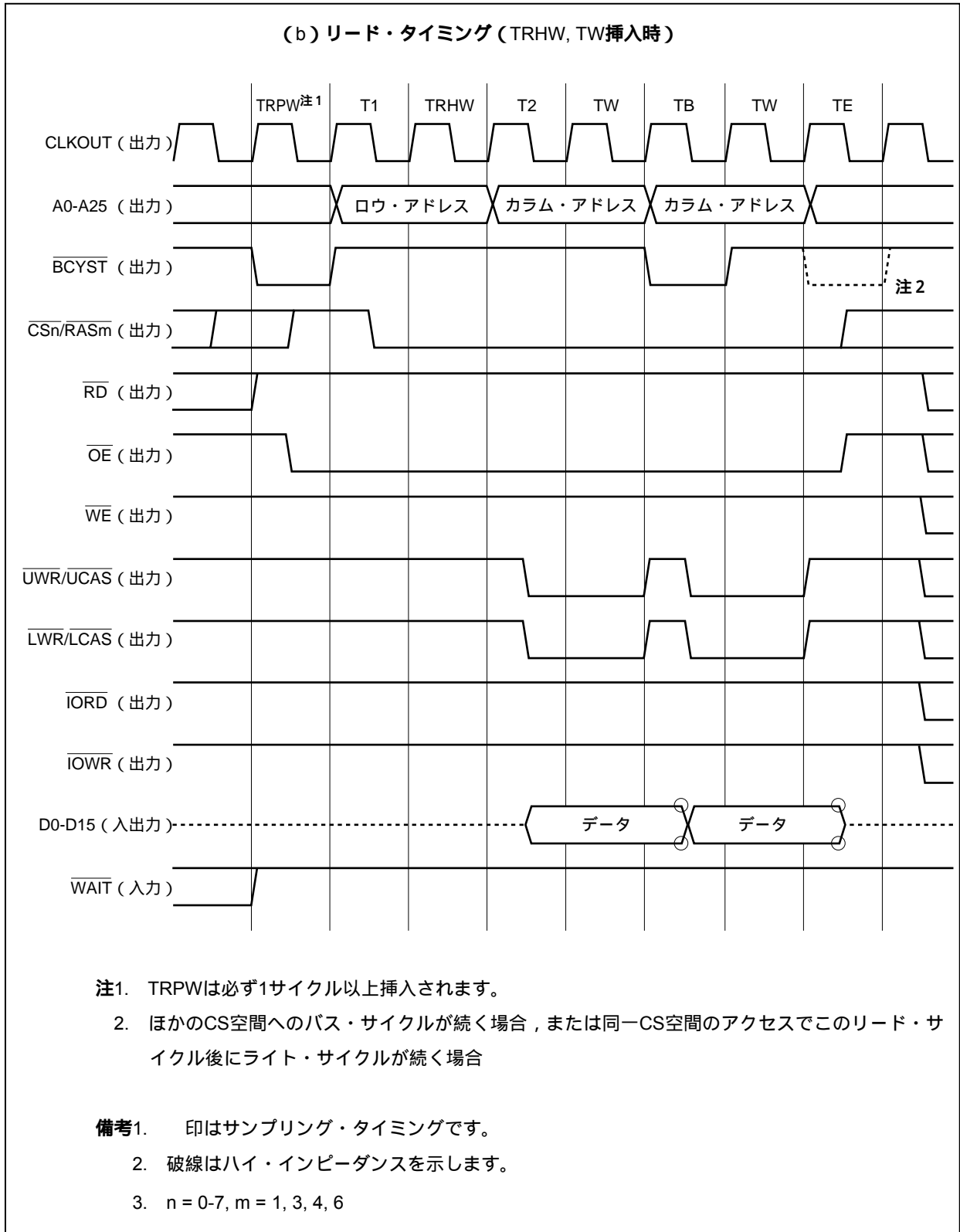


図5-8 EDO DRAMアクセス・タイミング (3/5)

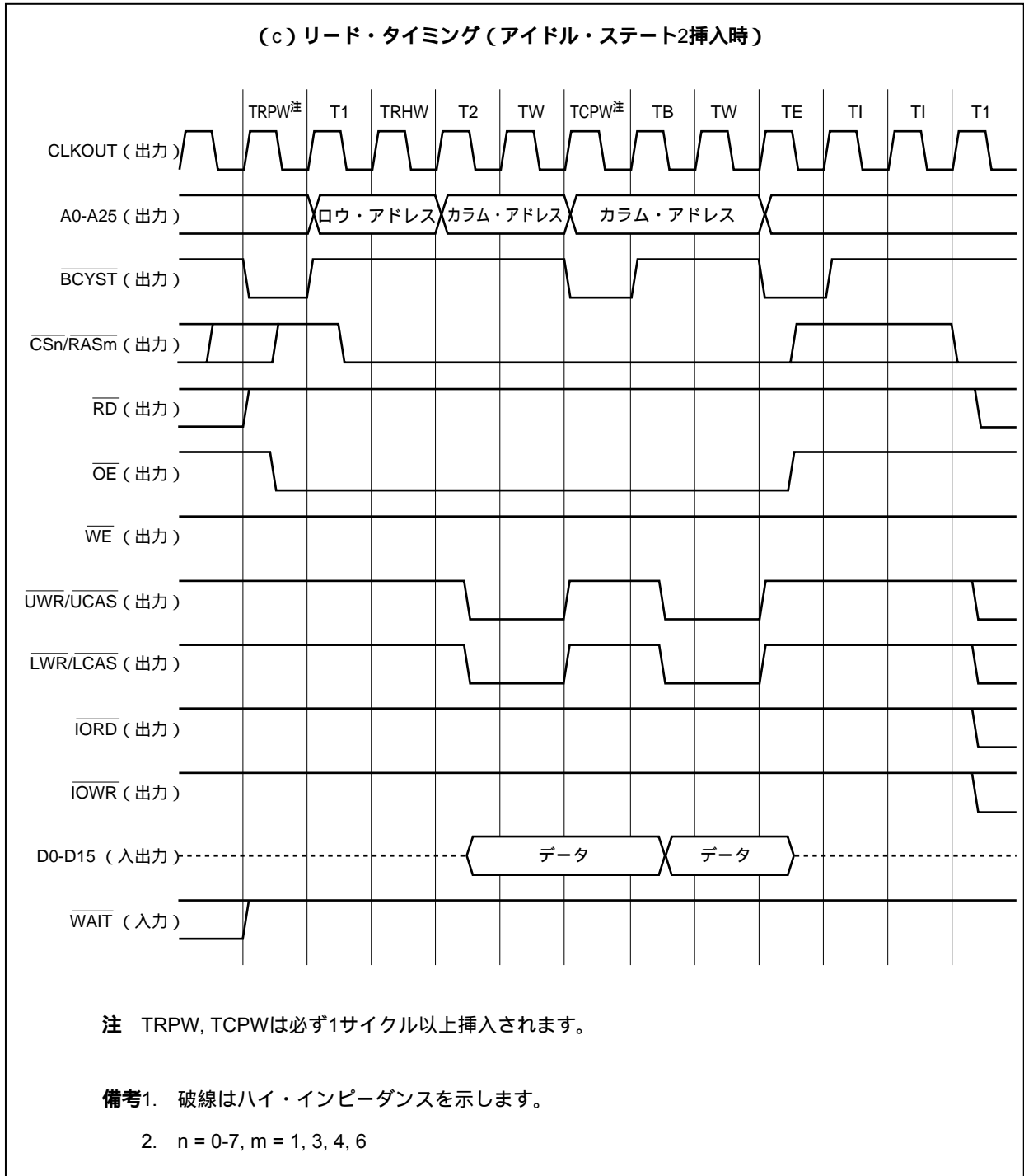


図5-8 EDO DRAMアクセス・タイミング (4/5)

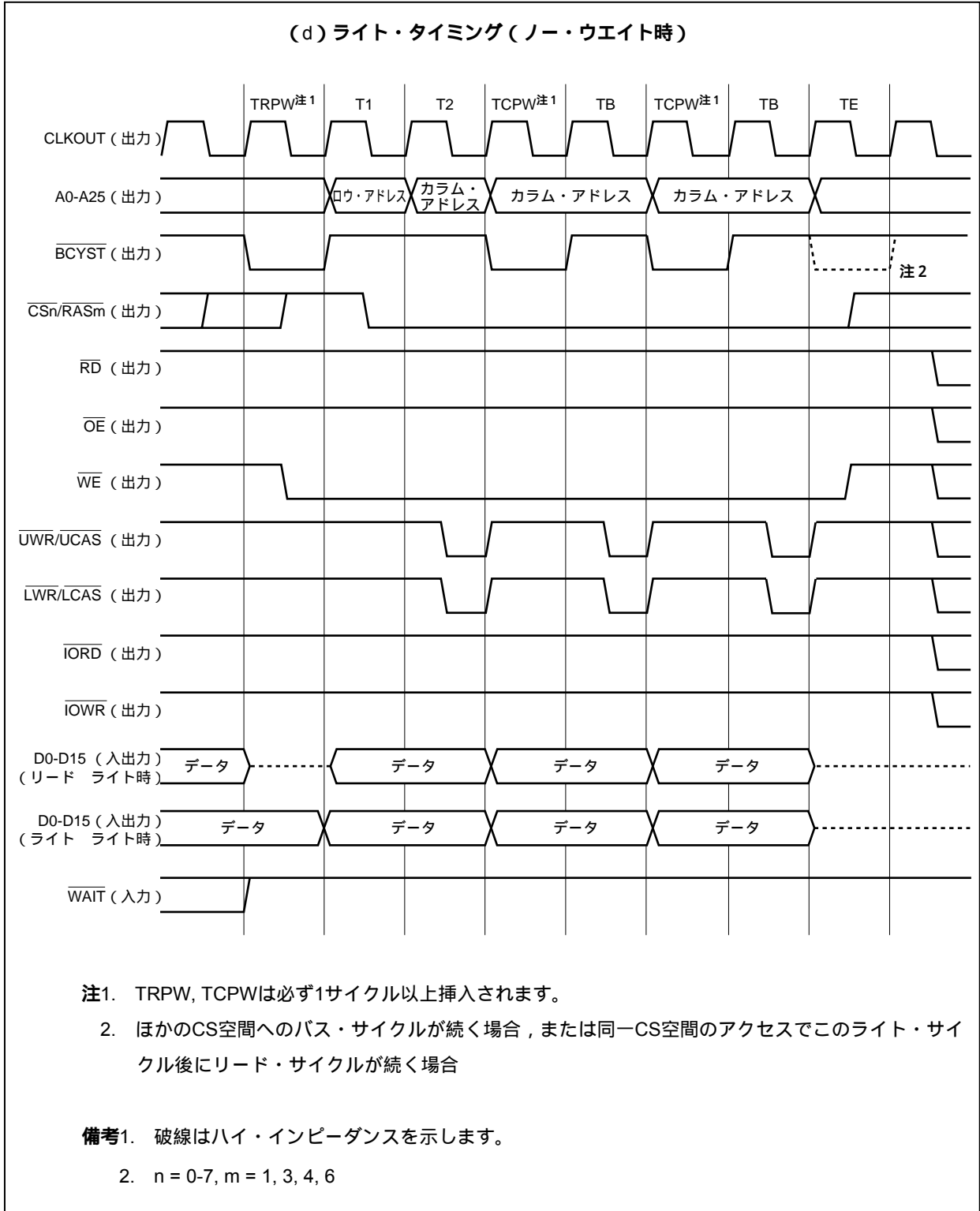
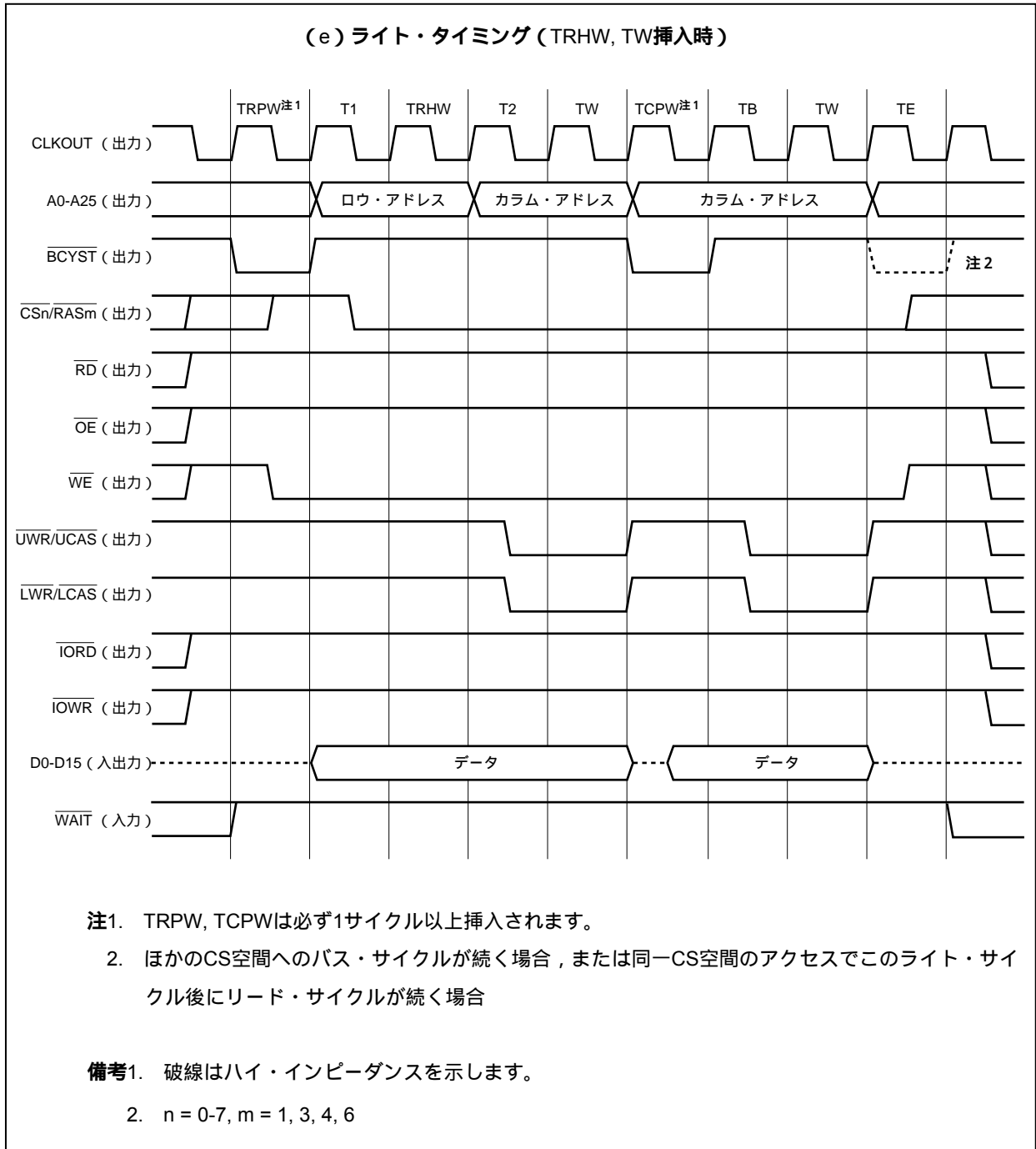


図5-8 EDO DRAMアクセス・タイミング (5/5)



### 5.3.6 リフレッシュ制御機能

V850E/MA1は、CBR (CASビフォーRAS) リフレッシュ・サイクルを生成できます。リフレッシュ・サイクルの設定は、リフレッシュ・コントロール・レジスタ1, 3, 4, 6 (RFS1, RFS3, RFS4, RFS6)で行います。RFSnレジスタは $\overline{CSn}$ に対応しています (n = 1, 3, 4, 6)。たとえば、 $\overline{CS1}$ にDRAMを接続する場合はRFS1を設定してください。

ほかのバス・マスタが外部バスを占有している場合は、DRAMコントローラは、外部バスを占有できません。その場合、DRAMコントローラは、 $\overline{REFRQ}$ 信号をアクティブ (ロウ・レベル) にして、バス・マスタにリフレッシュ要求を行います。

リフレッシュ期間中、アドレス・バスは、リフレッシュ・サイクルの直前の状態を保持します。

#### (1) リフレッシュ・コントロール・レジスタ1, 3, 4, 6 (RFS1, RFS3, RFS4, RFS6)

リフレッシュの許可/禁止、リフレッシュ間隔を設定します。リフレッシュ間隔は次の計算式により求められます。

$$\text{リフレッシュ間隔} (\mu\text{s}) = \text{リフレッシュ・カウント・クロック} (T_{RCY}) \times \text{インターバル・ファクタ}$$

リフレッシュ・カウント・クロック、インターバル・ファクタは、それぞれRFSnレジスタのRENnビット、RIN5n-RIN0nビットにより求めます。

なお、nはDRAMコンフィギュレーション・レジスタ1, 3, 4, 6 (SCR1, SCR3, SCR4, SCR6) のレジスタ番号 (1, 3, 4, 6) に対応します。

16ビット単位でリード/ライト可能です。

**注意** RFS1, RFS3, RFS4, RFS6レジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、RFS1, RFS3, RFS4, RFS6レジスタの初期設定が終わるまでは、その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし、初期設定が終了した外部メモリ領域のアクセスは可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
RFS1	REN1	0	0	0	0	0	RCC11	RCC01	0	0	RIN51	RIN41	RIN31	RIN21	RIN11	RIN01	FFFFFF4A6H	0000H
RFS3	REN3	0	0	0	0	0	RCC13	RCC03	0	0	RIN53	RIN43	RIN33	RIN23	RIN13	RIN03	FFFFFF4AEH	0000H
RFS4	REN4	0	0	0	0	0	RCC14	RCC04	0	0	RIN54	RIN44	RIN34	RIN24	RIN14	RIN04	FFFFFF4B2H	0000H
RFS6	REN6	0	0	0	0	0	RCC16	RCC06	0	0	RIN56	RIN46	RIN36	RIN26	RIN16	RIN06	FFFFFF4BAH	0000H

ビット位置	ビット名	意味																																																	
15	RENn (n = 1, 3, 4, 6)	Refresh Enable CBRリフレッシュの許可/禁止を指定します。 0 : リフレッシュ禁止 1 : リフレッシュ許可																																																	
9, 8	RCC1n, RCC0n (n = 1, 3, 4, 6)	Refresh Count Clock リフレッシュ・カウント・クロック (T <sub>RCY</sub> ) を指定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>RCC1n</th> <th>RCC0n</th> <th>リフレッシュ・カウント・クロック (T<sub>RCY</sub>)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>32/f<sub>xx</sub></td> </tr> <tr> <td>0</td> <td>1</td> <td>128/f<sub>xx</sub></td> </tr> <tr> <td>1</td> <td>0</td> <td>256/f<sub>xx</sub></td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	RCC1n	RCC0n	リフレッシュ・カウント・クロック (T <sub>RCY</sub> )	0	0	32/f <sub>xx</sub>	0	1	128/f <sub>xx</sub>	1	0	256/f <sub>xx</sub>	1	1	設定禁止																																		
RCC1n	RCC0n	リフレッシュ・カウント・クロック (T <sub>RCY</sub> )																																																	
0	0	32/f <sub>xx</sub>																																																	
0	1	128/f <sub>xx</sub>																																																	
1	0	256/f <sub>xx</sub>																																																	
1	1	設定禁止																																																	
5-0	RIN5n-RIN0n (n = 1, 3, 4, 6)	Refresh Interval リフレッシュ・タイミング生成用インターバル・タイマのインターバル・ファクタを設定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>RIN5n</th> <th>RIN4n</th> <th>RIN3n</th> <th>RIN2n</th> <th>RIN1n</th> <th>RIN0n</th> <th>インターバル・ファクタ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>2</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>3</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>4</td> </tr> <tr> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>64</td> </tr> </tbody> </table>	RIN5n	RIN4n	RIN3n	RIN2n	RIN1n	RIN0n	インターバル・ファクタ	0	0	0	0	0	0	1	0	0	0	0	0	1	2	0	0	0	0	1	0	3	0	0	0	0	1	1	4	⋮	⋮	⋮	⋮	⋮	⋮	⋮	1	1	1	1	1	1	64
RIN5n	RIN4n	RIN3n	RIN2n	RIN1n	RIN0n	インターバル・ファクタ																																													
0	0	0	0	0	0	1																																													
0	0	0	0	0	1	2																																													
0	0	0	0	1	0	3																																													
0	0	0	0	1	1	4																																													
⋮	⋮	⋮	⋮	⋮	⋮	⋮																																													
1	1	1	1	1	1	64																																													

備考 f<sub>xx</sub> : 内部システム・クロック

表5-2 インターバル・ファクタの設定例

リフレッシュ間隔の規定値 ( $\mu\text{s}$ )	リフレッシュ・カウント・クロック ( $T_{RCY}$ )	インターバル・ファクタの値 <sup>注1, 2</sup>		
		$f_{xx} = 20 \text{ MHz}$	$f_{xx} = 33 \text{ MHz}$	$f_{xx} = 50 \text{ MHz}$
7.8	32/ $f_{xx}$	4 (6.4)	8 (7.8)	12 (7.7)
	128/ $f_{xx}$	1 (6.4)	2 (7.8)	5 (7.7)
	256/ $f_{xx}$	-	1 (7.8)	1 (5.1)
15.6	32/ $f_{xx}$	9 (14.4)	16 (15.5)	24 (15.4)
	128/ $f_{xx}$	2 (12.8)	4 (15.5)	6 (15.4)
	256/ $f_{xx}$	1 (12.8)	2 (15.5)	3 (15.4)
31.2	32/ $f_{xx}$	19 (30.4)	32 (31.0)	48 (30.7)
	128/ $f_{xx}$	4 (25.6)	8 (31.0)	12 (30.7)
	256/ $f_{xx}$	2 (25.6)	4 (31.0)	6 (30.7)
62.5	32/ $f_{xx}$	39 (62.4)	64 (62.1)	-
	128/ $f_{xx}$	9 (57.6)	16 (62.1)	24 (61.4)
	256/ $f_{xx}$	4 (51.2)	8 (62.1)	12 (61.4)
125	128/ $f_{xx}$	19 (121.6)	32 (124.1)	48 (122.9)
	256/ $f_{xx}$	9 (115.2)	16 (124.1)	24 (122.9)
250	128/ $f_{xx}$	39 (249.6)	64 (248.2)	-
	256/ $f_{xx}$	19 (243.2)	32 (248.2)	48 (245.8)

注1. インターバル・ファクタは、RFSnレジスタのRIN0n-RIN5nビットで設定します ( $n = 1, 3, 4, 6$ )。

2. カッコ内はリフレッシュ間隔の計算値 ( $\mu\text{s}$ ) です。

$$\text{リフレッシュ間隔} (\mu\text{s}) = \text{リフレッシュ・カウント・クロック} (T_{RCY}) \times \text{インターバル・ファクタ}$$

備考  $f_{xx}$  : 内部システム・クロック

## (2) リフレッシュ・ウェイト・コントロール・レジスタ (RWC)

リフレッシュ・サイクル時のウェイト・ステートの挿入を指定します。

8ビット単位でリード/ライト可能です。

**注意** RWCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、RWCレジスタの初期設定が終わるまでは、その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし、初期設定が終了した外部メモリ領域のアクセスは可能です。

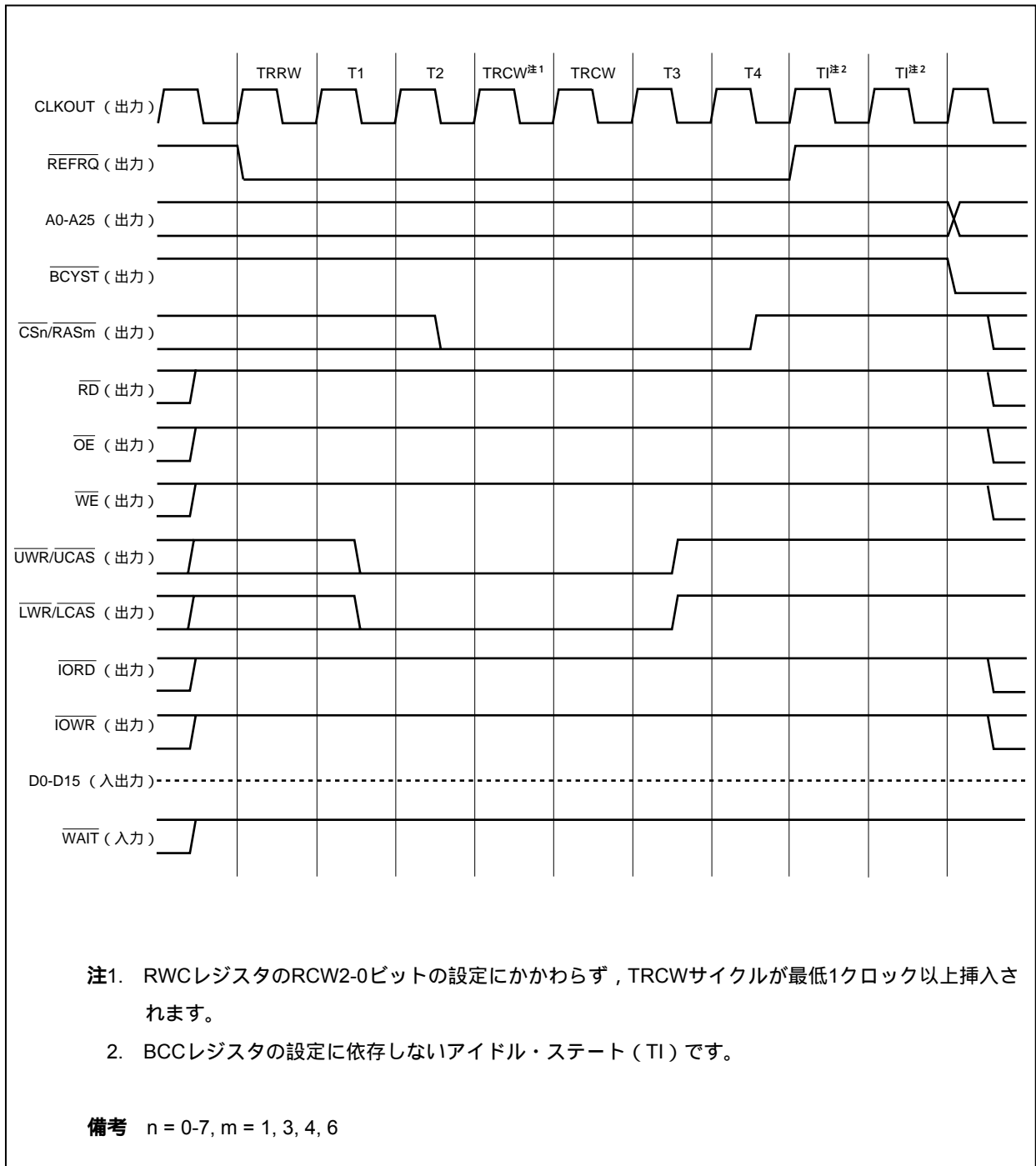
	7	6	5	4	3	2	1	0	アドレス	初期値
RWC	RRW1	RRW0	RCW2	RCW1	RCW0	SRW2	SRW1	SRW0	FFFFFF49EH	00H

ビット位置	ビット名	意味																																				
7, 6	RRW1, RRW0	<p>Refresh RAS Wait Control</p> <p>CBRリフレッシュ時のRASm信号のハイ・レベル幅を確保する時間として挿入するウエイト・ステート数を指定します (m = 1, 3, 4, 6)。</p> <table border="1"> <thead> <tr> <th>RRW1</th> <th>RRW0</th> <th>挿入ウエイト・ステート数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>2</td></tr> <tr><td>1</td><td>1</td><td>3</td></tr> </tbody> </table>	RRW1	RRW0	挿入ウエイト・ステート数	0	0	0	0	1	1	1	0	2	1	1	3																					
RRW1	RRW0	挿入ウエイト・ステート数																																				
0	0	0																																				
0	1	1																																				
1	0	2																																				
1	1	3																																				
5-3	RCW2-RCW0	<p>Refresh Cycle Wait Control</p> <p>CBRリフレッシュ時のRASm信号のロウ・レベル幅を確保する時間として挿入するウエイト・ステート数を指定します (m = 1, 3, 4, 6)。</p> <table border="1"> <thead> <tr> <th>RCW2</th> <th>RCW1</th> <th>RCW0</th> <th>挿入ウエイト・ステート数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>1 (必ず1ウエイト挿入されます)</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>2</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>3</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>4</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>6</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>7</td></tr> </tbody> </table>	RCW2	RCW1	RCW0	挿入ウエイト・ステート数	0	0	0	1 (必ず1ウエイト挿入されます)	0	0	1	1	0	1	0	2	0	1	1	3	1	0	0	4	1	0	1	5	1	1	0	6	1	1	1	7
RCW2	RCW1	RCW0	挿入ウエイト・ステート数																																			
0	0	0	1 (必ず1ウエイト挿入されます)																																			
0	0	1	1																																			
0	1	0	2																																			
0	1	1	3																																			
1	0	0	4																																			
1	0	1	5																																			
1	1	0	6																																			
1	1	1	7																																			
2-0	SRW2-SRW0	<p>Self-refresh Release Wait Control</p> <p>CBRセルフ・リフレッシュを解除する時間として挿入するウエイト・ステート数を指定します。</p> <table border="1"> <thead> <tr> <th>SRW2</th> <th>SRW1</th> <th>SRW0</th> <th>挿入ウエイト・ステート数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>2</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>3</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>4</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>6</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>7</td></tr> </tbody> </table>	SRW2	SRW1	SRW0	挿入ウエイト・ステート数	0	0	0	0	0	0	1	1	0	1	0	2	0	1	1	3	1	0	0	4	1	0	1	5	1	1	0	6	1	1	1	7
SRW2	SRW1	SRW0	挿入ウエイト・ステート数																																			
0	0	0	0																																			
0	0	1	1																																			
0	1	0	2																																			
0	1	1	3																																			
1	0	0	4																																			
1	0	1	5																																			
1	1	0	6																																			
1	1	1	7																																			



(3) リフレッシュ・タイミング

図5-9 CBRリフレッシュ・タイミング (DRAM)



### 5.3.7 セルフ・リフレッシュ制御機能

IDLEモード、ソフトウェアSTOPモードに移行した場合やSELFREF信号がアクティブになった場合、DRAMコントローラは、CBRセルフ・リフレッシュ・サイクルを生成します。

ただし、DRAMがセルフ・リフレッシュ動作に入るためには、DRAMの $\overline{\text{RASn}}$ パルス幅が仕様を満たしていなければなりません ( $n = 1, 3, 4, 6$ )。

- 注意1.** SELFREF信号入力により、セルフ・リフレッシュ・サイクルに移行した場合は、SELFREF端子にインアクティブ・レベルを入力することのみ、セルフ・リフレッシュ・サイクルを解除できます。
- 2.** セルフ・リフレッシュに移行した場合でも内蔵ROM、内蔵RAMにアクセスできます。ただし、内蔵周辺I/Oレジスタ、または外部デバイスへのアクセスはセルフ・リフレッシュが解除されるまで保留されます。

セルフ・リフレッシュ・サイクルの解除は、次のいずれかの方法で行います。

#### (1) NMI入力による解除

##### (a) IDLEモードでのセルフ・リフレッシュ・サイクルの場合

ただちに $\overline{\text{RASn}}$ 、 $\overline{\text{LCAS}}$ 、 $\overline{\text{UCAS}}$ 信号をインアクティブ(ハイ・レベル)にし、セルフ・リフレッシュ・サイクルを解除します。

##### (b) ソフトウェアSTOPモードでのセルフ・リフレッシュ・サイクルの場合

発振が安定してから $\overline{\text{RASn}}$ 、 $\overline{\text{LCAS}}$ 、 $\overline{\text{UCAS}}$ 信号をインアクティブ(ハイ・レベル)にし、セルフ・リフレッシュ・サイクルを解除します。

#### (2) INTP1nm入力による解除 ( $n = 0-3, m = 0-3$ )

##### (a) IDLEモードでのセルフ・リフレッシュ・サイクルの場合

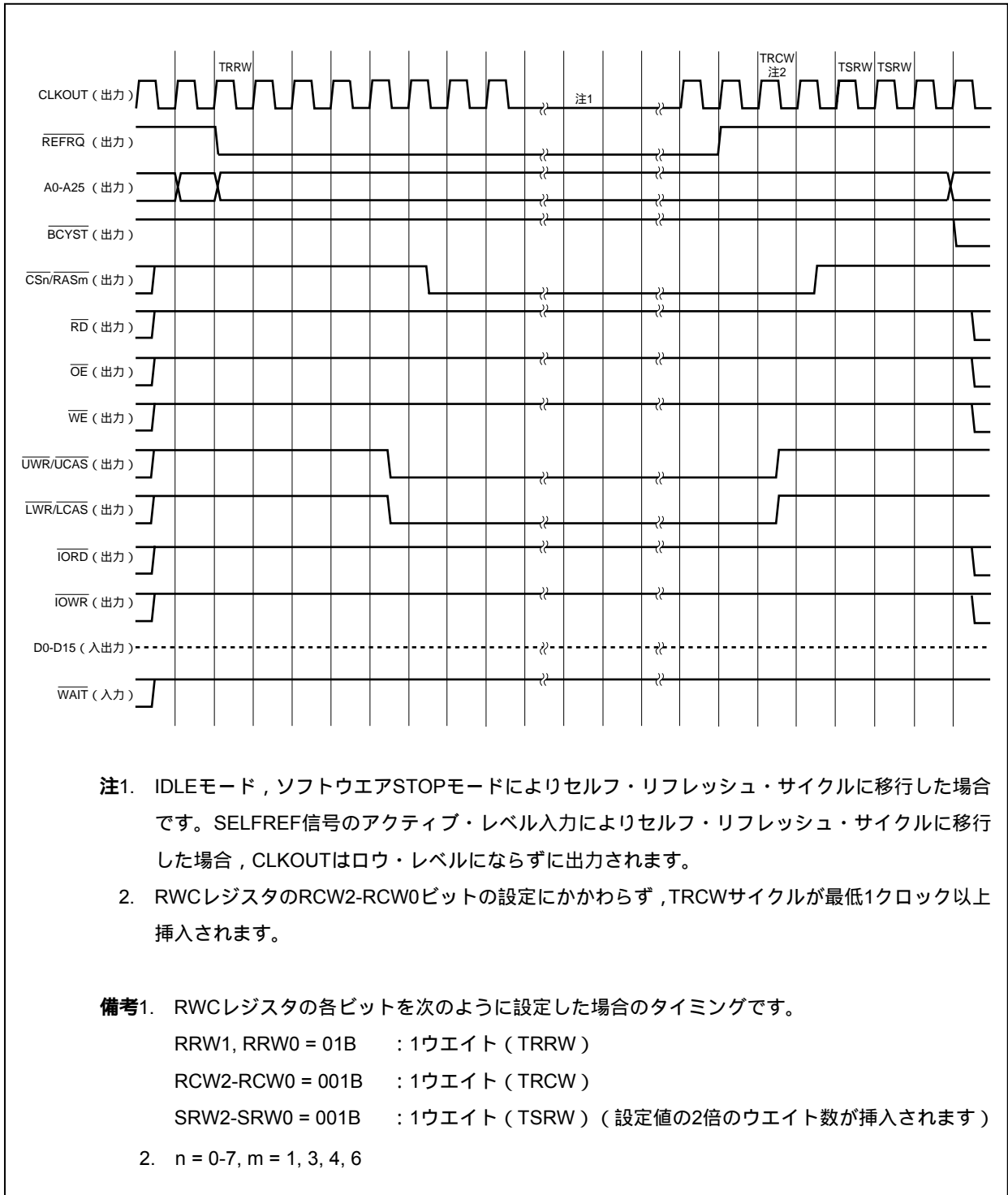
ただちに $\overline{\text{RASn}}$ 、 $\overline{\text{LCAS}}$ 、 $\overline{\text{UCAS}}$ 信号をインアクティブ(ハイ・レベル)にし、セルフ・リフレッシュ・サイクルを解除します。

##### (b) ソフトウェアSTOPモードでのセルフ・リフレッシュ・サイクルの場合

発振が安定してから $\overline{\text{RASn}}$ 、 $\overline{\text{LCAS}}$ 、 $\overline{\text{UCAS}}$ 信号をインアクティブ(ハイ・レベル)にし、セルフ・リフレッシュ・サイクルを解除します。

#### (3) $\overline{\text{RESET}}$ 入力による解除

図5 - 10 セルフ・リフレッシュ・タイミング (DRAM)



## 5.4 DRAMコントローラ (SDRAM)

### 5.4.1 特 徴

バースト長：1

ラップ・タイプ：シーケンシャル

CASレーテンシ：2, 3をサポート

4種類のSDRAMを4つのメモリ・ブロック空間に割り当て可能

ロウ/カラム・アドレスのマルチプレクス幅の切り替え可能

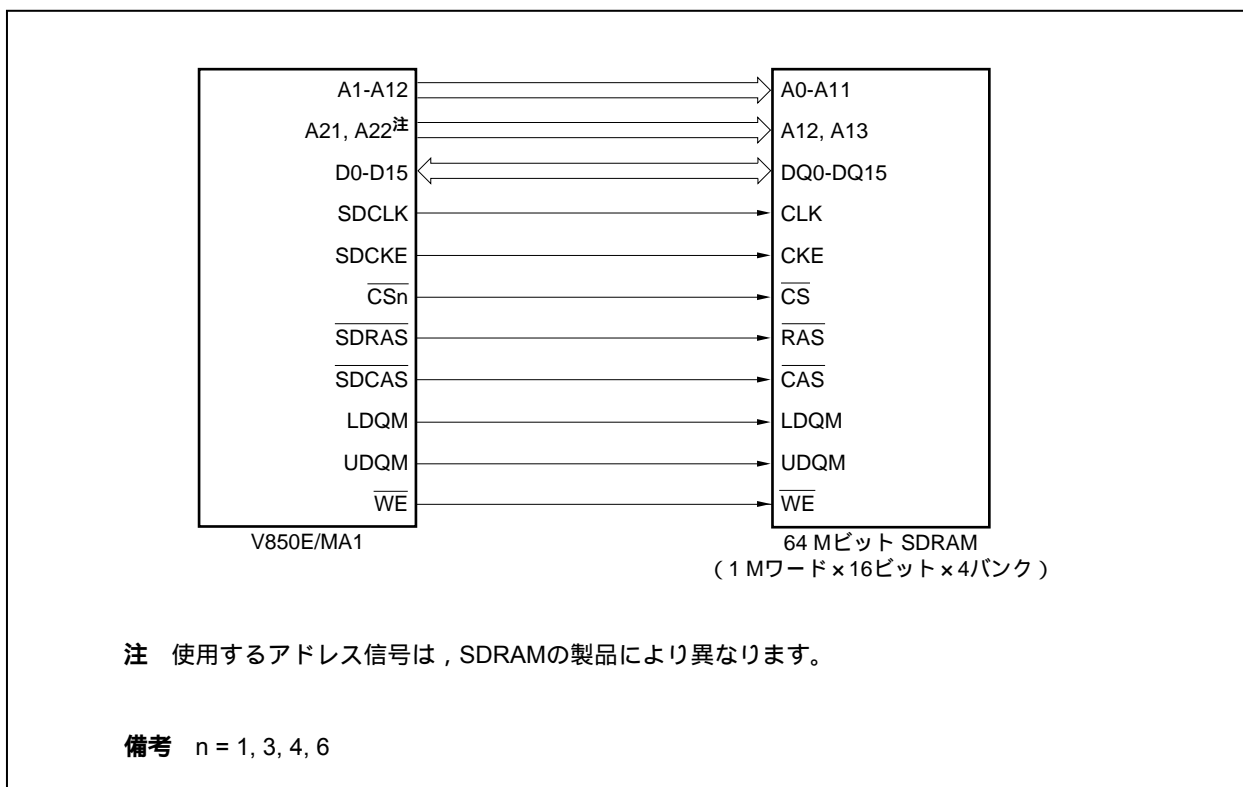
バンク・アクティブ・コマンドとリード/ライト・コマンド間でウエイト (0-3ウエイト) 挿入可能

CBR (オート) リフレッシュ, セルフ・リフレッシュをサポート

### 5.4.2 SDRAMの接続

SDRAMとの接続例を次に示します。

図5 - 11 SDRAMとの接続例



### 5.4.3 アドレス・マルチプレクス機能

SDRAMコンフィギュレーション・レジスタ $n$  (SCR $n$ )のSAW0 $n$ , SAW1 $n$ ビットの値によりSDRAMサイクルでのロウ・アドレスの出力は, 図5 - 12(a)のようにアドレスがマルチプレクスします( $n = 1, 3, 4, 6$ )。SSO0 $n$ , SSO1 $n$ ビットの値によりSDRAMサイクルでのカラム・アドレス出力は, 図5 - 12 (b) のようにアドレスがマルチプレクスします( $n = 1, 3, 4, 6$ )。図5 - 12 (a),(b)で, a0-a25はCPUから出力されたアドレスを, A0-A25はV850E/MA1のアドレス端子を示しています。

図5 - 12 ロウ・アドレス, カラム・アドレスの出力 (1/2)

(a) ロウ・アドレスの出力	
アドレス端子	A25-A18 A17 A16 A15 A14 A13 A12 A11 A10 A9 A8 A7 A6 A5 A4 A3 A2 A1 A0
ロウ・アドレス (SAW1 $n$ , SAW0 $n$ = 10)	a25-a18 a17 a16 a25 a24 a23 a22 a21 a20 a19 a18 a17 a16 a15 a14 a13 a12 a11 a10
ロウ・アドレス (SAW1 $n$ , SAW0 $n$ = 01)	a25-a18 a17 a25 a24 a23 a22 a21 a20 a19 a18 a17 a16 a15 a14 a13 a12 a11 a10 a9
ロウ・アドレス (SAW1 $n$ , SAW0 $n$ = 00)	a25-a18 a25 a24 a23 a22 a21 a20 a19 a18 a17 a16 a15 a14 a13 a12 a11 a10 a9 a8
<b>備考</b> $n = 1, 3, 4, 6$	
(b) カラム・アドレスの出力 (オール・バンク・プリチャージ・コマンド時)	
アドレス端子	A25-A18 A17 A16 A15 A14 A13 A12 A11 A10 A9 A8 A7 A6 A5 A4 A3 A2 A1 A0
カラム・アドレス (SSO1 $n$ , SSO0 $n$ = 00)	a25-a18 a17 a16 a15 a14 a13 a12 a11 1 a9 a8 a7 a6 a5 a4 a3 a2 a1 a0
カラム・アドレス (SSO1 $n$ , SSO0 $n$ = 01)	a25-a18 a17 a16 a15 a14 a13 a12 1 a10 a9 a8 a7 a6 a5 a4 a3 a2 a1 a0
<b>備考</b> $n = 1, 3, 4, 6$	
(c) カラム・アドレスの出力 (レジスタ・ライト・コマンド時)	
アドレス端子	A25-A18 A17 A16 A15 A14 A13 A12 A11 A10 A9 A8 A7 A6 A5 A4 A3 A2 A1 A0
カラム・アドレス (SSO1 $n$ , SSO0 $n$ = 00)	0 0 0 0 0 0 0 0 0 0 0 0 0 LTM2 LTM1 LTM0 0 0 0 0
カラム・アドレス (SSO1 $n$ , SSO0 $n$ = 01)	0 0 0 0 0 0 0 0 0 0 0 0 LTM2 LTM1 LTM0 0 0 0 0 0
<b>備考</b> $n = 1, 3, 4, 6$	

図5 - 12 ロウ・アドレス , カラム・アドレスの出力 (2/2)

**(d) カラム・アドレスの出力 (リード/ライト・コマンド時)**

アドレス端子	A25-A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
カラム・アドレス (SSO1n, SSO0n = 00)	a25-a18	a17	a16	a15	a14	a13	a12	a11	0	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0
カラム・アドレス (SSO1n, SSO0n = 01)	a25-a18	a17	a16	a15	a14	a13	a12	0	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0

**備考** n = 1, 3, 4, 6

(1) 各アドレスの出力, およびSDRAMの接続

データ・バス幅 (8ビット, 16ビット) ごとにSDRAMコンフィギュレーション・レジスタn (SCRn) の設定内容, 物理アドレス, V850E/MA1からのアドレス出力, V850E/MA1とSDRAMの接続について次に示します。

(a) 8ビット・データ・バス幅

8ビット・データ・バス幅のときに64 MビットSDRAM (2 Mワード×8ビット×4バンク) を接続する例を次に示します。

- ・SCRnレジスタ設定内容
  - SSO1n, SSO0nビット = 00 : データ・バス幅 = 8ビット
  - RAW1n, RAW0nビット = 01 : ロウ・アドレス幅 = 12ビット
  - SAW1n, SAW0nビット = 01 : カラム・アドレス幅 = 9ビット
- ・物理アドレス
  - A22, A21 : バンク・アドレス
  - A20-A9 : ロウ・アドレス
  - A8-A0 : カラム・アドレス
- ・V850E/MA1からのアドレス出力
  - A22, A21 : バンク・アドレス
  - A11-A0 : ロウ・アドレス (12ビット), カラム・アドレス (9ビット)

図5 - 13 アクティブ・コマンド時のロウ・アドレス, バンク・アドレス出力 (8ビット・データ・バス幅)

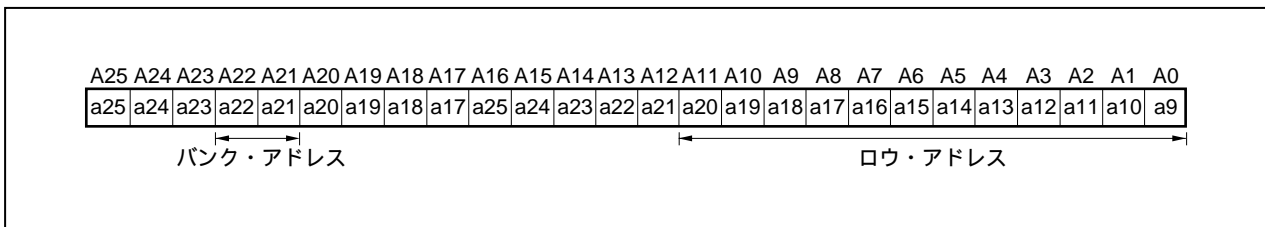
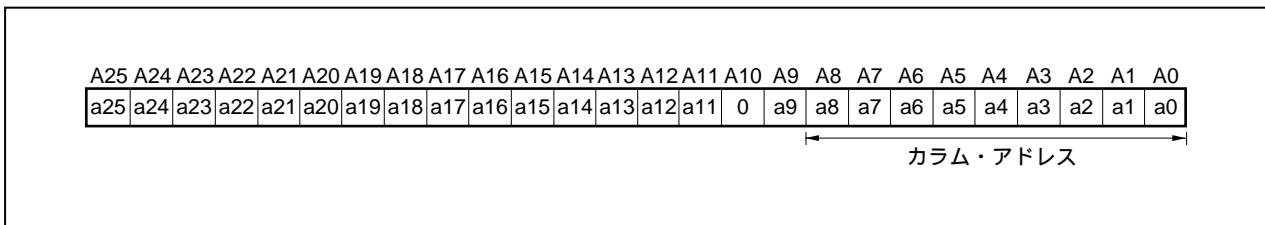


図5 - 14 リード/ライト・コマンド時のカラム・アドレス出力 (8ビット・データ・バス幅)



- ・V850E/MA1とSDRAMの接続
  - A22, A21 (V850E/MA1)      BA0 (A13), BA1 (A12) (SDRAM)
  - A11-A0 (V850E/MA1)      A11-A0 (SDRAM)

(b) 16ビット・データ・バス幅

16ビット・データ・バス幅のときに128 MビットSDRAM (2 Mワード×16ビット×4バンク)を接続する例を次に示します。

・SCRnレジスタ設定内容

- SSO1n, SSO0nビット = 01 : データ・バス幅 = 16ビット
- RAW1n, RAW0nビット = 01 : ロウ・アドレス幅 = 12ビット
- SAW1n, SAW0nビット = 01 : カラム・アドレス幅 = 9ビット

・物理アドレス

- A23, A22 : バンク・アドレス
- A21-A10 : ロウ・アドレス
- A9-A1 : カラム・アドレス

・V850E/MA1からのアドレス出力

- A23, A22 : バンク・アドレス
- A12-A1 : ロウ・アドレス (12ビット) , カラム・アドレス (9ビット)

図5 - 15 アクティブ・コマンド時のロウ・アドレス, バンク・アドレス出力 (16ビット・データ・バス幅)

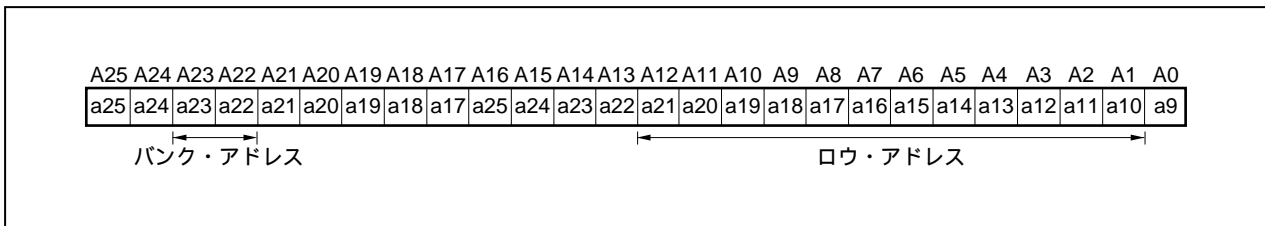
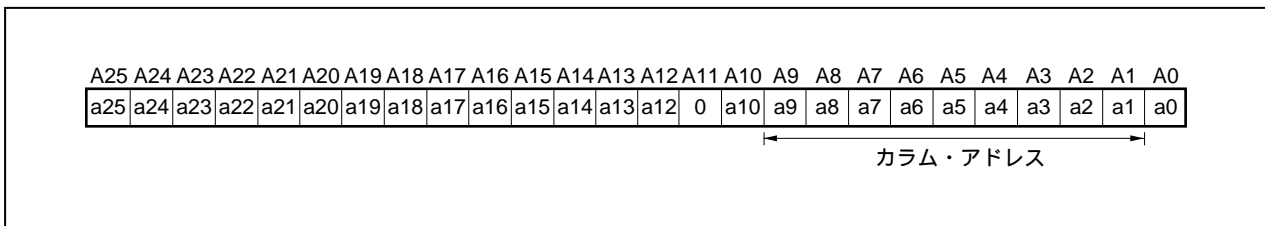


図5 - 16 リード/ライト・コマンド時のカラム・アドレス出力 (16ビット・データ・バス幅)



・V850E/MA1とSDRAMの接続

- A23, A22 (V850E/MA1)      BA0 (A13) , BA1 (A12) (SDRAM)
- A12-A1 (V850E/MA1)      A11-A0 (SDRAM)



(2) バンク・アドレス出力

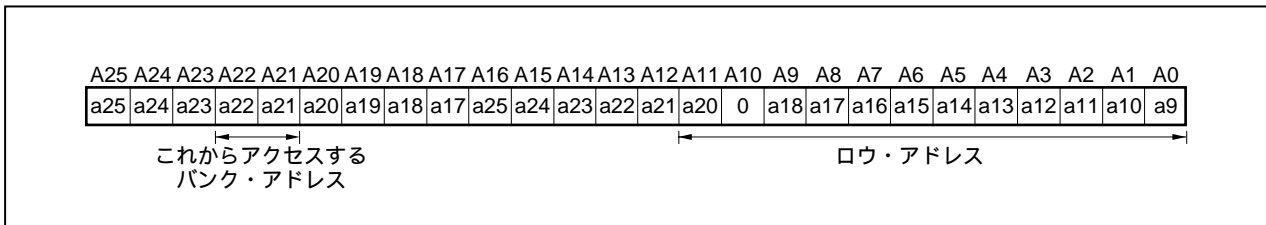
V850E/MA1は、バンク・プリチャージ・コマンドとして、ページ・チェンジ直後のロウ・アドレス出力時にこれからアクセスを行うバンクに対してプリチャージを行います。また、バンク・チェンジ後はカラム・アドレス出力時に前回アクセスしたバンクに対してプリチャージを行います。したがって、ロウ・アドレス出力時もカラム・アドレス出力時もバンク・プリチャージが行われるため、5.4.3(1)(a)8ビット・データ・バス幅で示す内容で接続を行う場合、常にV850E/MA1のバンク・アドレスを出力する端子(A22, A21)をSDRAMのバンク・アドレス端子(A13, A12)に接続してください。

5.4.3(1)(a)8ビット・データ・バス幅で示す内容で接続を行う場合のページ・チェンジ時とバンク・チェンジ時のバンク・プリチャージ・コマンドのアドレス出力例を次に示します。

(a) ページ・チェンジ時(8ビット・データ・バス幅時)

これからアクセスを行うバンクに対してプリチャージを行うため、V850E/MA1のA25-A0端子から、これからアクセスする物理アドレス(A25-A9)を出力します。

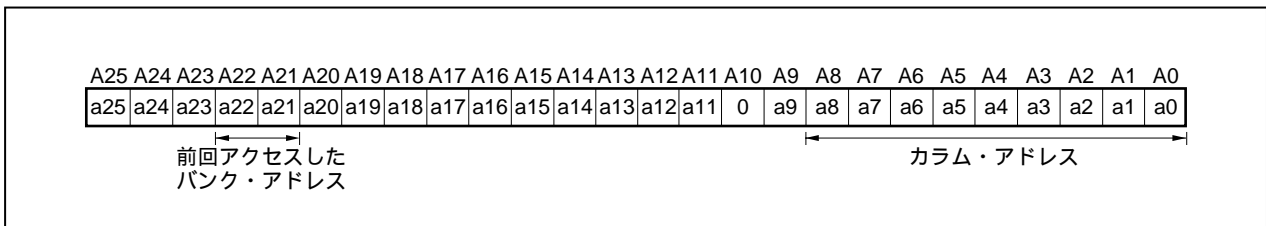
図5-17 ページ・チェンジ時のバンク・プリチャージ・コマンドのアドレス出力(8ビット・データ・バス幅)



(b) バンク・チェンジ時(8ビット・データ・バス幅時)

前回アクセスしたバンクに対してプリチャージを行うため、V850E/MA1のA25-A9端子から、前回アクセスした物理アドレス(A25-A9)を出力します。

図5-18 バンク・チェンジ時のバンク・プリチャージ・コマンドのアドレス出力(8ビット・データ・バス幅)



プリチャージ・モードを決定するビット(A10:8ビット・データ・バス幅, A11:16ビット・データ・バス幅)は、オール・バンク・プリチャージ・コマンド時はハイ・レベル、それ以外のプリチャージではロウ・レベルを出力します。

### 5.4.4 SDRAMコンフィギュレーション・レジスタ1, 3, 4, 6 (SCR1, SCR3, SCR4, SCR6)

ウェイト数やアドレス・マルチプレクス幅を設定します。SCRnはCSnに対応しています (n = 1, 3, 4, 6)。たとえば、CS1にSDRAMを接続する場合はSCR1を設定してください。16ビット単位でリード/ライト可能です。

- 注意1.** パワーオン・サイクルの実行前は、SDRAMリード/ライト・サイクルは発生しません。SCRレジスタに書き込むプログラムのあと、20クロック待ってからSDRAMにアクセスを行ってください。SDRAMにアクセスしたあとに再度SCRレジスタに書き込みを行う場合には、BCT0, BCT1レジスタのMEnビットを一度クリア(0)し、次に再びセット(1)したあとアクセスしてください(n = 0-7)。
- 2.** SCRレジスタに書き込む命令を連続して実行しないでください。SCRレジスタに書き込む命令と命令の間には、必ずほかの命令を入れて実行してください。

(1/2)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SCR1	0	LTM21	LTM11	LTM01	0	0	0	0	BCW11	BCW01	SSO11	SSO01	RAW11	RAW01	SAW11	SAW01	FFFFFF4A4H	0000H
SCR3	0	LTM23	LTM13	LTM03	0	0	0	0	BCW13	BCW03	SSO13	SSO03	RAW13	RAW03	SAW13	SAW03	FFFFFF4ACH	0000H
SCR4	0	LTM24	LTM14	LTM04	0	0	0	0	BCW14	BCW04	SSO14	SSO04	RAW14	RAW04	SAW14	SAW04	FFFFFF4B0H	0000H
SCR6	0	LTM26	LTM16	LTM06	0	0	0	0	BCW16	BCW06	SSO16	SSO06	RAW16	RAW06	SAW16	SAW06	FFFFFF4B8H	0000H

ビット位置	ビット名	意味																				
14-12	LTM2n-LTM0n (n = 1, 3, 4, 6)	Latency リード時のCASレーテンシの値を設定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>LTM2n</th> <th>LTM1n</th> <th>LTM0n</th> <th>レーテンシ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>x</td> <td>3</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>3</td> </tr> <tr> <td>1</td> <td>x</td> <td>x</td> <td>設定禁止</td> </tr> </tbody> </table>	LTM2n	LTM1n	LTM0n	レーテンシ	0	0	x	3	0	1	0	2	0	1	1	3	1	x	x	設定禁止
LTM2n	LTM1n	LTM0n	レーテンシ																			
0	0	x	3																			
0	1	0	2																			
0	1	1	3																			
1	x	x	設定禁止																			
7, 6	BCW1n, BCW0n (n = 1, 3, 4, 6)	Bank Active Command Wait Control バンク・アクティブ・コマンドからリード/ライト・コマンド、またはプリチャージ・コマンドからバンク・アクティブ・コマンドまでのウェイト・ステート数を指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>BCW1n</th> <th>BCW0n</th> <th>挿入ウェイト・ステート数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1 (必ず1ウェイト挿入されます)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>1</td> <td>1</td> <td>3</td> </tr> </tbody> </table>	BCW1n	BCW0n	挿入ウェイト・ステート数	0	0	1 (必ず1ウェイト挿入されます)	0	1	1	1	0	2	1	1	3					
BCW1n	BCW0n	挿入ウェイト・ステート数																				
0	0	1 (必ず1ウェイト挿入されます)																				
0	1	1																				
1	0	2																				
1	1	3																				

**備考** x: 任意

ビット位置	ビット名	意 味															
5, 4	SSO1n, SSO0n (n=1,3,4,6)	<p>SDRAM Shift Width On-page Control</p> <p>オンページ判断時のアドレスのシフト幅を指定します。</p> <p>外部データ・バス幅を8ビット幅で使用する場合：SSO1n, SSO0n = 00Bに設定 外部データ・バス幅を16ビット幅で使用する場合：SSO1n, SSO0n = 01Bに設定</p> <table border="1"> <thead> <tr> <th>SSO1n</th> <th>SSO0n</th> <th>アドレス・シフト幅</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>8ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>16ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	SSO1n	SSO0n	アドレス・シフト幅	0	0	8ビット	0	1	16ビット	1	0	設定禁止	1	1	設定禁止
SSO1n	SSO0n	アドレス・シフト幅															
0	0	8ビット															
0	1	16ビット															
1	0	設定禁止															
1	1	設定禁止															
3, 2	RAW1n, RAW0n (n=1,3,4,6)	<p>Row Address Width Control</p> <p>ロウ・アドレス幅を指定します。</p> <table border="1"> <thead> <tr> <th>RAW1n</th> <th>RAW0n</th> <th>ロウ・アドレス幅</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>11</td> </tr> <tr> <td>0</td> <td>1</td> <td>12</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table> <p><b>注意</b> ロウ・アドレス幅が13以上のメモリは制御できません。</p>	RAW1n	RAW0n	ロウ・アドレス幅	0	0	11	0	1	12	1	0	設定禁止	1	1	設定禁止
RAW1n	RAW0n	ロウ・アドレス幅															
0	0	11															
0	1	12															
1	0	設定禁止															
1	1	設定禁止															
1, 0	SAW1n, SAW0n (n=1,3,4,6)	<p>SDRAM Address Multiplex Width Control</p> <p>SDRAMアクセス時のアドレス・マルチプレクス幅を指定します。</p> <table border="1"> <thead> <tr> <th>SAW1n</th> <th>SAW0n</th> <th>アドレス・マルチプレクス幅</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>8</td> </tr> <tr> <td>0</td> <td>1</td> <td>9</td> </tr> <tr> <td>1</td> <td>0</td> <td>10</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	SAW1n	SAW0n	アドレス・マルチプレクス幅	0	0	8	0	1	9	1	0	10	1	1	設定禁止
SAW1n	SAW0n	アドレス・マルチプレクス幅															
0	0	8															
0	1	9															
1	0	10															
1	1	設定禁止															

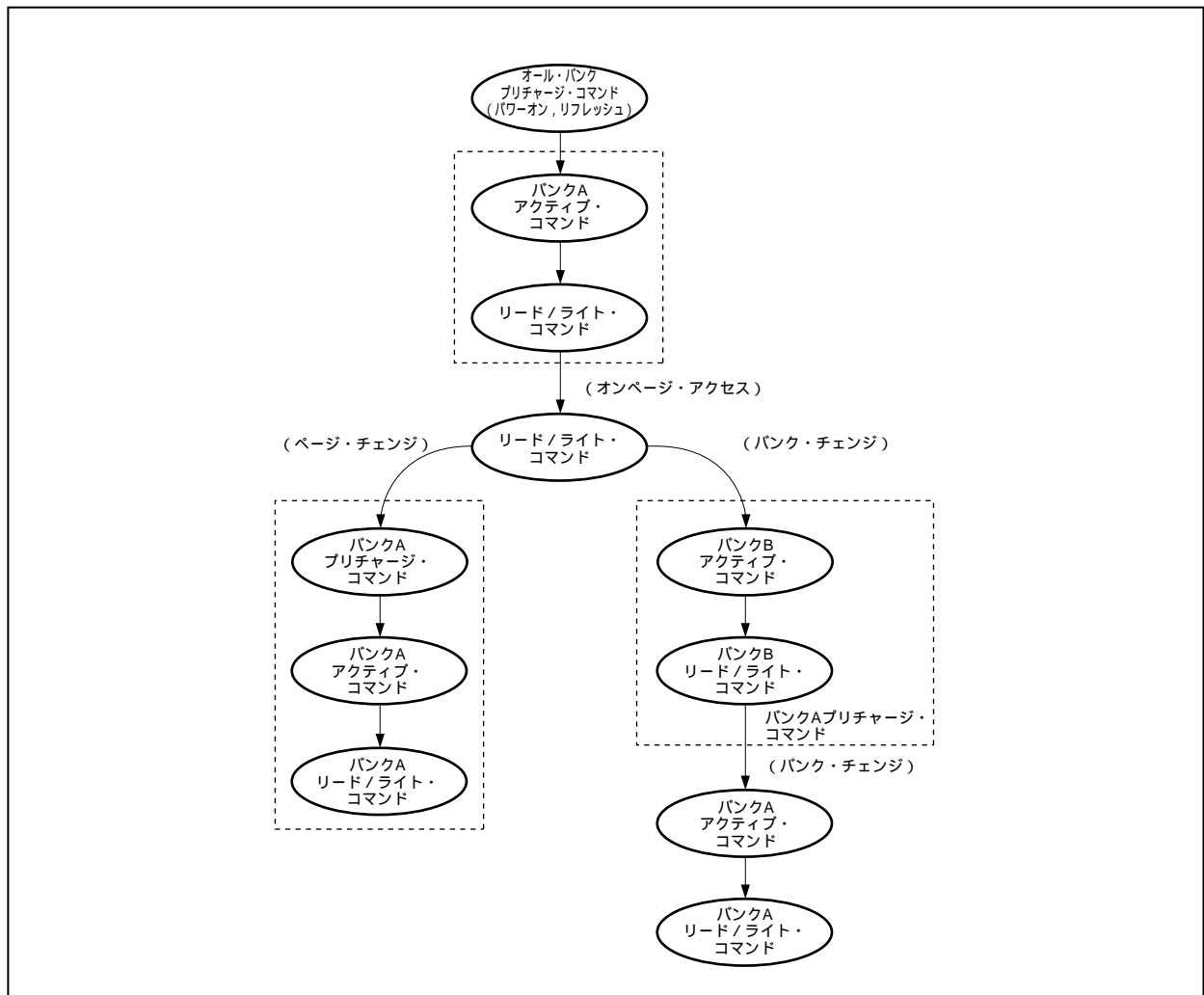
### 5.4.5 SDRAMアクセス

パワーオン時やリフレッシュ時は、SDRAMに対して必ずオール・バンク・プリチャージ・コマンドが発行されます。したがって、このあとにSDRAMをアクセスする場合は、アクティブ・コマンド、リード/ライト・コマンドが順に発行されます（図5-19の）。

次にページ・チェンジが発生した場合は、プリチャージ・コマンド、アクティブ・コマンド、リード/ライト・コマンドが順に発行されます（図5-19の）。

また、バンク・チェンジが発生した場合は、次にアクセスするバンクに対するアクティブ・コマンド、リード/ライト・コマンドが順に発行され、リード/ライト・コマンドの直後に現在アクセスしているバンクの直前にアクセスしていたバンクに対するプリチャージ・コマンドが発行されます（図5-19の）。

図5-19 SDRAMアクセスの状態遷移



### (1) SDRAMシングル・リード・サイクル

SDRAMシングル・リード・サイクルは、SDRAM領域へのロード命令(LD)実行または、命令フェッチ、2サイクルDMA転送でSDRAMをリードするサイクルです。

SDRAMシングル・リード・サイクルでは、SDRAMに対してアクティブ・コマンド(ACT)、リード・コマンド(RD)が順に発行されます。ただし、オンページ・アクセス時は、リード・コマンドのみが発行され、プリチャージ・コマンド、アクティブ・コマンドは発行されません。また、同一のバンクでページ・チェンジした場合は、アクティブ・コマンドの前にプリチャージ・コマンド(PRE)が発行されます。

データを取り込むタイミングは、UDQM, LDQM信号の立ち上がりに同期して行います。

CPUから起動されたすべてのリード・コマンドの直前には、必ず1ステートのTWサイクルが挿入されます。

リード・サイクルのあとには、バス・サイクル・コントロール・レジスタ(BCC)で設定されたアイドル・ステート数(TI)が挿入されます(BCn1, BCn0 = 00の場合は挿入されません)(n = 1, 3, 4, 6)。次にSDRAMシングル・リード・サイクルのタイミングを示します。

**注意** SDRAMに対するリード・アクセス後にSRAM、外部I/Oに対するライト・アクセスを行う場合、SDRAMのデータ出力フロート遅延時間によってはデータが衝突する可能性があります。このような場合には、BCCレジスタの設定によりSDRAM空間にアイドル・ステートを挿入してデータの衝突を回避してください。

図5 - 20 SDRAMシングル・リード・サイクル(1/3)

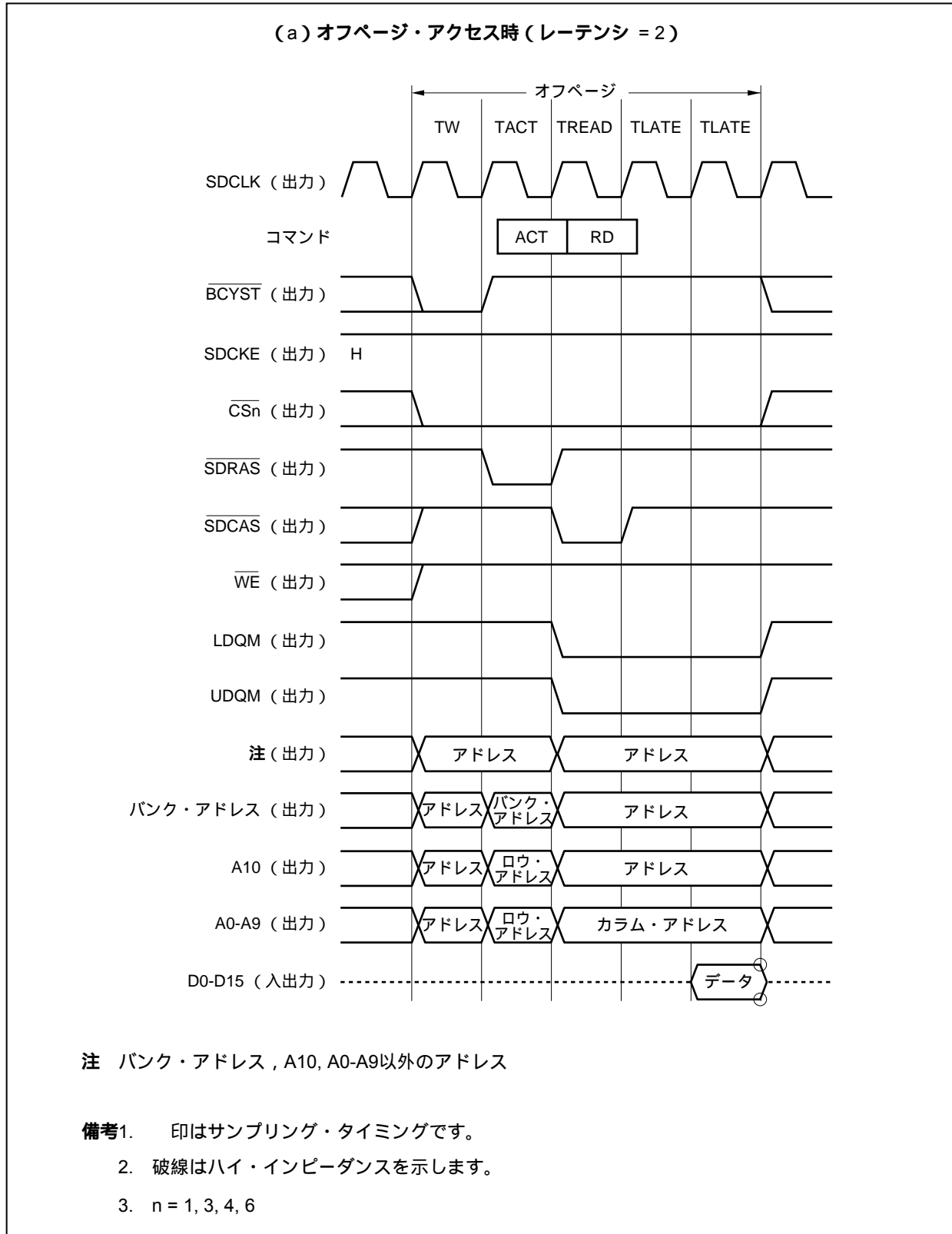
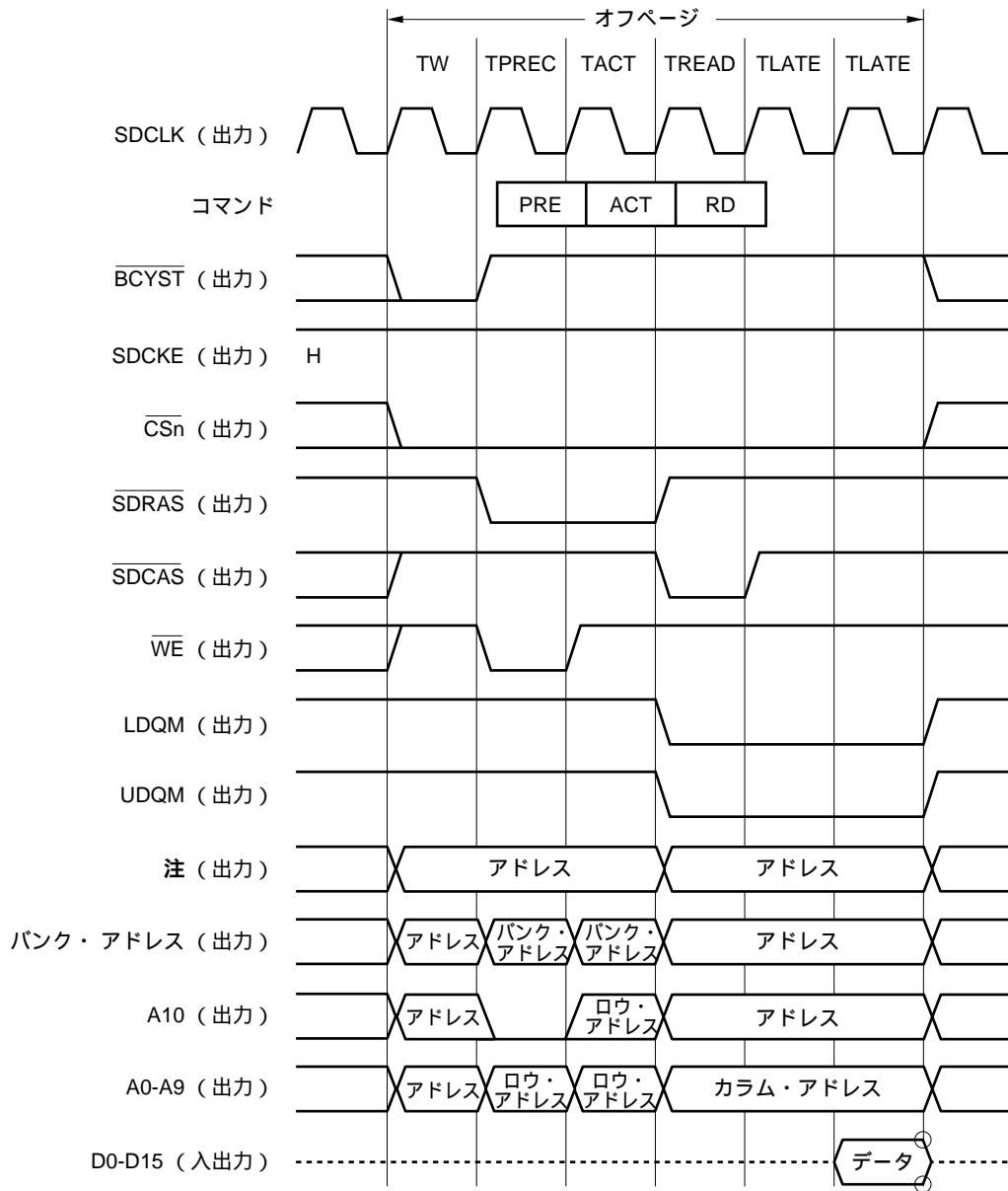


図5 - 20 SDRAMシングル・リード・サイクル (2/3)

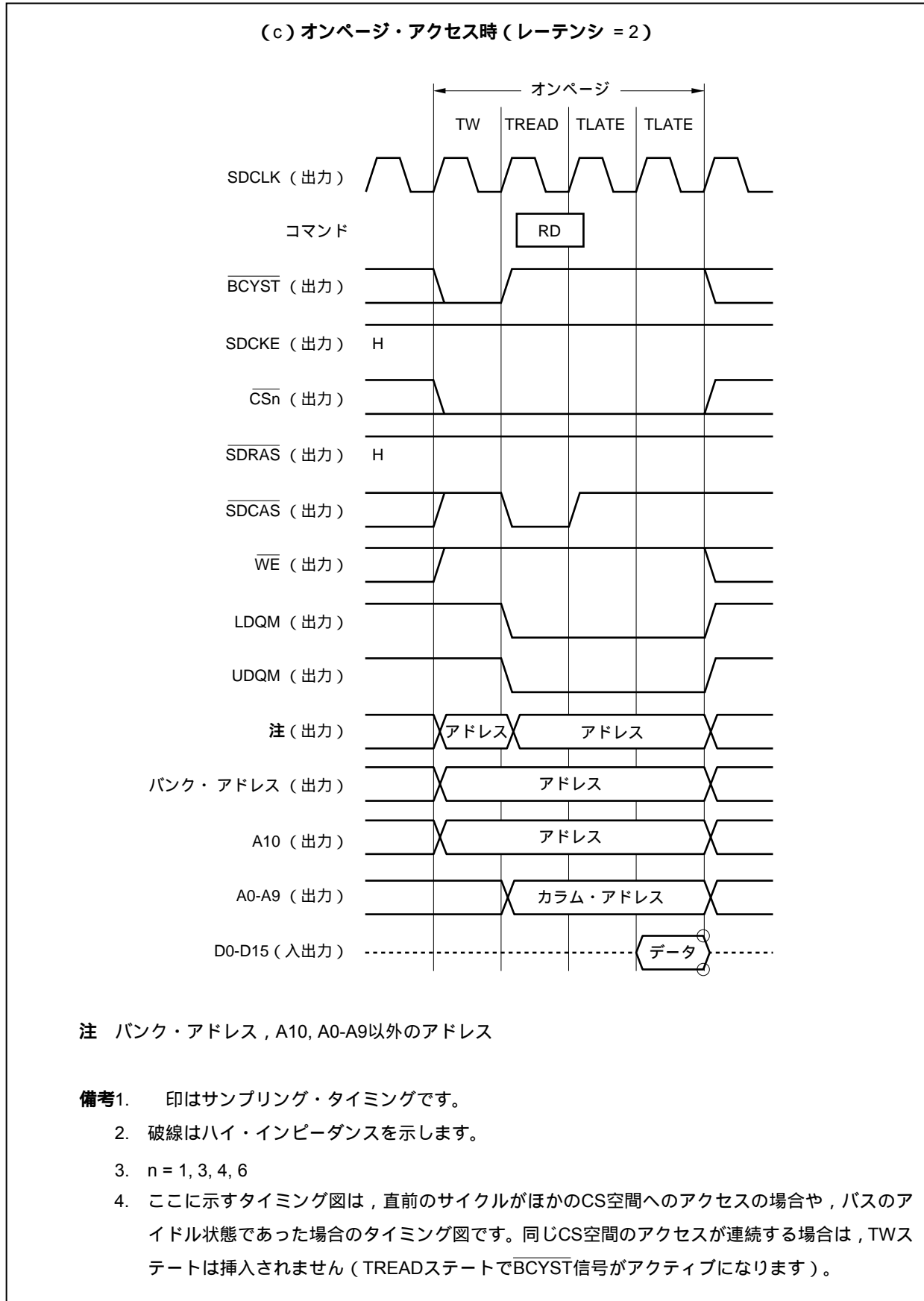
(b) オフページ・アクセス時 (レーテンシ = 2, ページ・チェンジの場合)



注 バンク・アドレス, A10, A0-A9以外のアドレス

- 備考1. 印はサンプリング・タイミングです。  
 2. 破線はハイ・インピーダンスを示します。  
 3. n = 1, 3, 4, 6

図5 - 20 SDRAMシングル・リード・サイクル (3/3)





**(2) SDRAMシングル・ライト・サイクル**

SDRAMシングル・ライト・サイクルは、SDRAM領域へのライト命令(ST)実行または、2サイクルDMA転送でSDRAMへライトするサイクルです。

SDRAMシングル・ライト・サイクルでは、SDRAMに対してアクティブ・コマンド(ACT)、ライト・コマンド(WR)が順に発行されます。ただし、オンページ・アクセス時は、ライト・コマンドのみが発行され、プリチャージ・コマンド、アクティブ・コマンドは発行されません。また、同一のバンクでページ・チェンジした場合は、アクティブ・コマンドの前にプリチャージ・コマンド(PRE)が発行されます。

CPUから起動されたすべてのライト・コマンドの直前には、必ず1ステートのTWサイクルが挿入されます。

次にSDRAMシングル・ライト・サイクルのタイミングを示します。

図5 - 21 SDRAMシングル・ライト・サイクル (1/3)

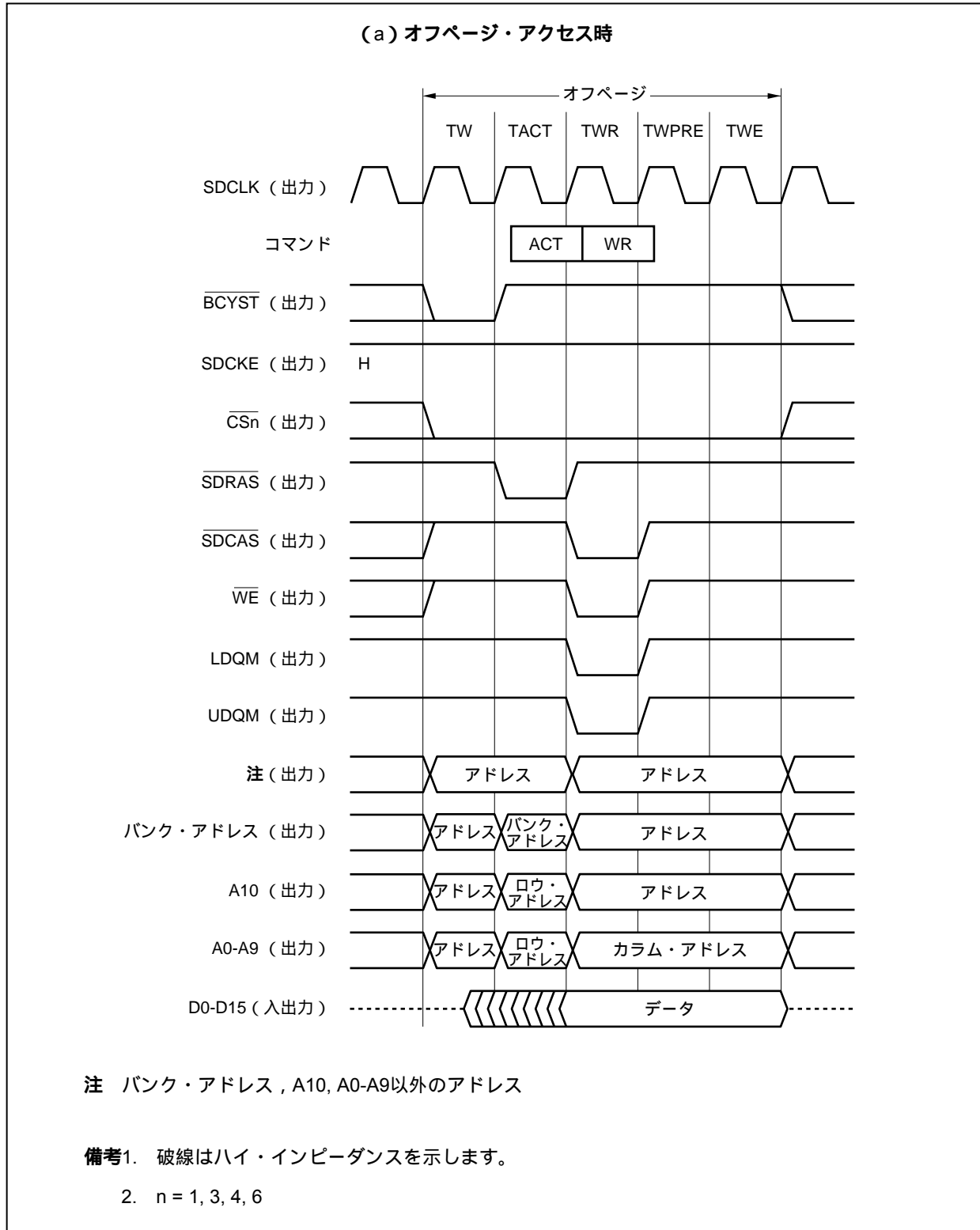
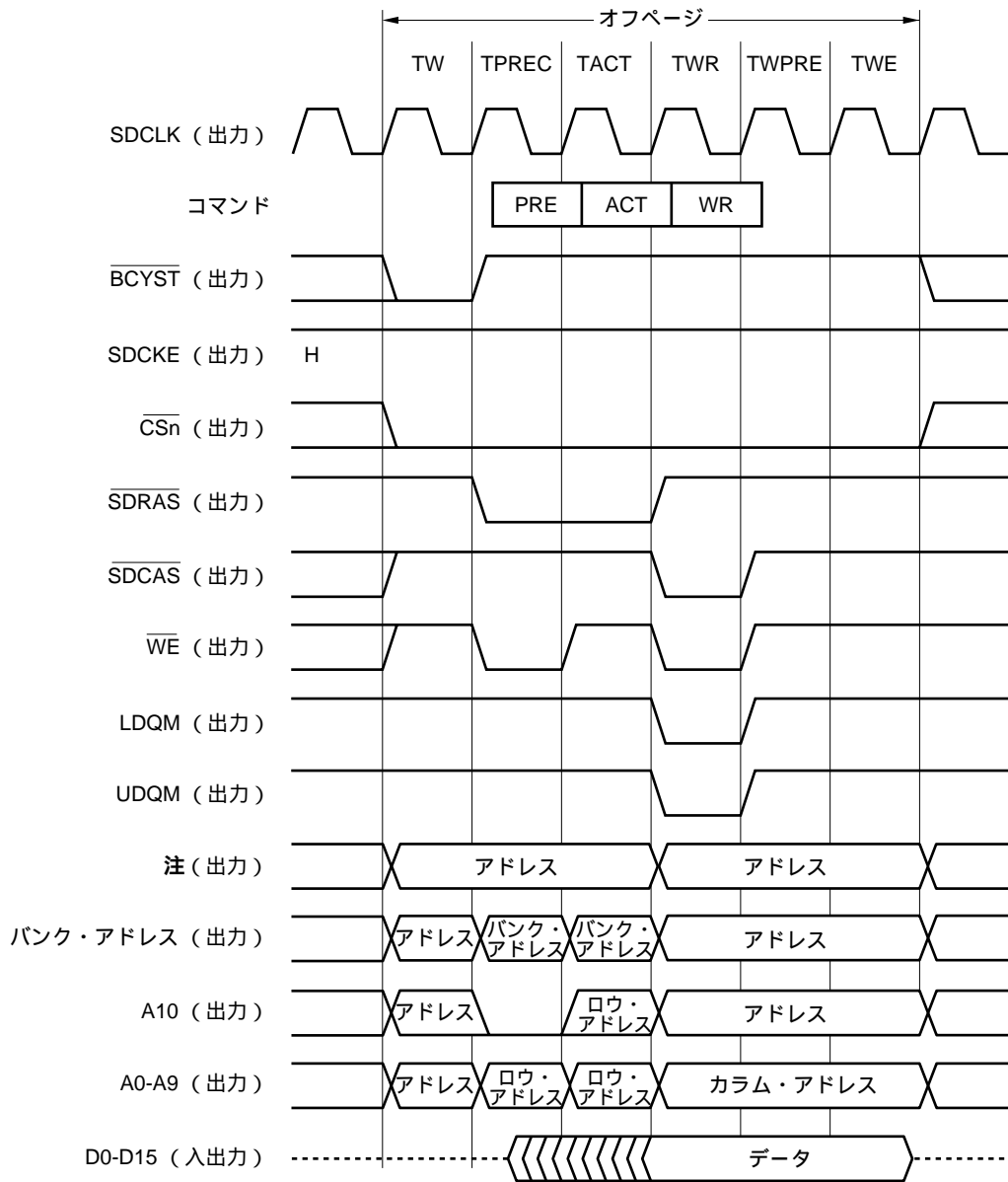


図5 - 21 SDRAMシングル・ライト・サイクル (2/3)

(b) オフページ・アクセス時 (ページ・チェンジの場合)

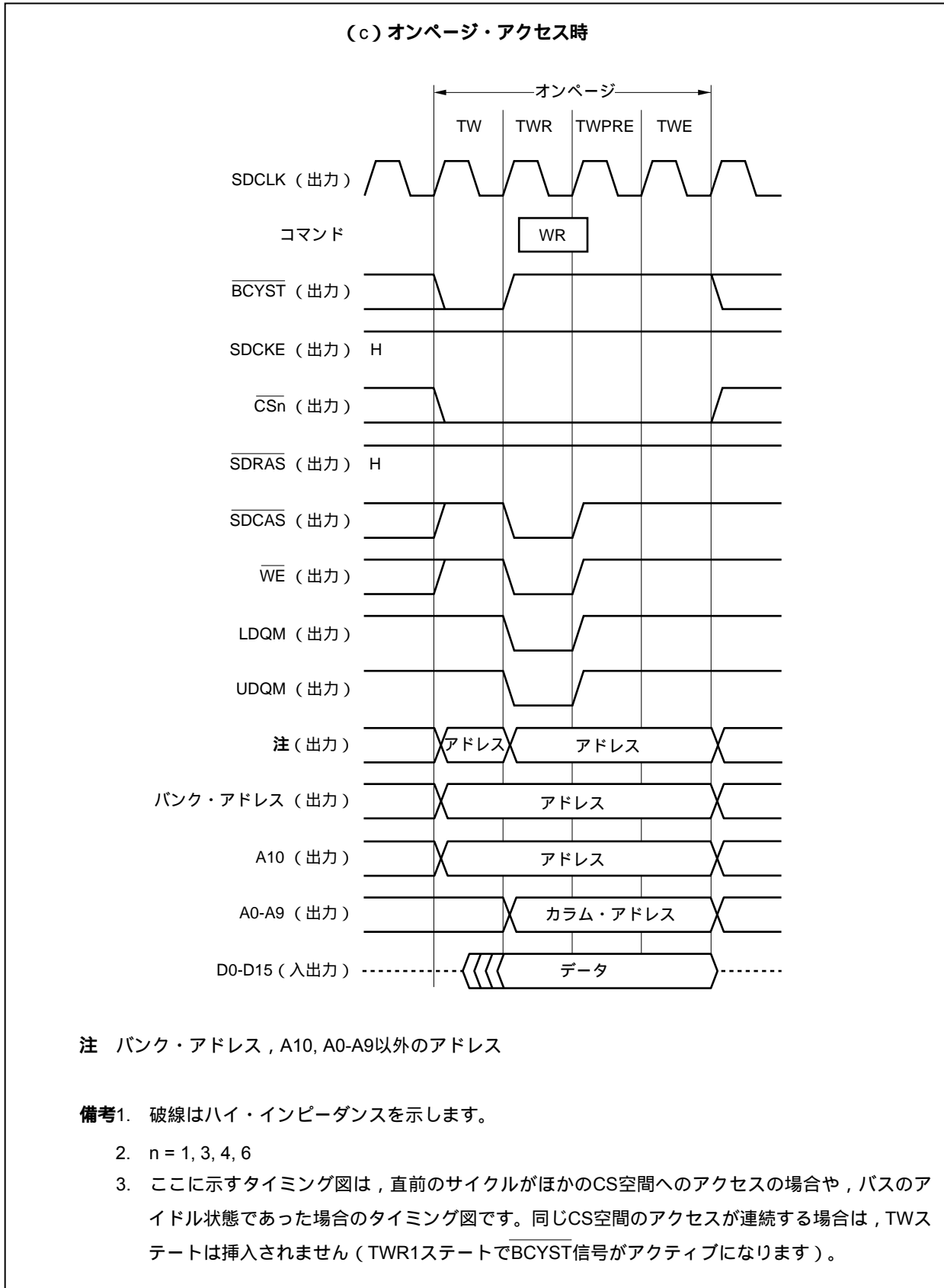


注 バンク・アドレス, A10, A0-A9以外のアドレス

備考1. 破線はハイ・インピーダンスを示します。

2.  $n = 1, 3, 4, 6$

図5 - 21 SDRAMシングル・ライト・サイクル (3/3)



**(3) SDRAMアクセス・タイミングの制御**

SDRAMアクセス・タイミングは、SDRAMコンフィギュレーション・レジスタ $n$  (SCR $n$ ) で制御することができます ( $n = 1, 3, 4, 6$ )。

詳細は5.4.4 SDRAMコンフィギュレーション・レジスタ1, 3, 4, 6 (SCR1, SCR3, SCR4, SCR6) を参照してください。

**注意** SDRAMアクセス時は、 $\overline{\text{WAIT}}$ 端子によるウェイト制御はできません。

**(a) バンク・アクティブ・コマンドからリード/ライト・コマンドのウェイト数**

SCR $n$ レジスタのBCW1 $n$ , BCW0 $n$ ビットで、バンク・アクティブ・コマンドを発行してから、リード/ライト・コマンドを発行するまでのウェイト・ステート数を設定できます。

BCW1 $n$ , BCW0 $n$  = 01B : 1ウェイト

BCW1 $n$ , BCW0 $n$  = 10B : 2ウェイト

BCW1 $n$ , BCW0 $n$  = 11B : 3ウェイト

**(b) プリチャージ・コマンドからバンク・アクティブ・コマンドのウェイト数**

SCR $n$ レジスタのBCW1 $n$ , BCW0 $n$ ビットで、プリチャージ・コマンドを発行してから、バンク・アクティブ・コマンドを発行するまでのウェイト・ステート数を設定できます。

BCW1 $n$ , BCW0 $n$  = 01B : 1ウェイト

BCW1 $n$ , BCW0 $n$  = 10B : 2ウェイト

BCW1 $n$ , BCW0 $n$  = 11B : 3ウェイト

**(c) リード時のCASレーテンシの設定**

SCR $n$ レジスタのLTM2 $n$ -LTM0 $n$ ビットで、リード時のCASレーテンシを設定できます。

LTM2 $n$ -LTM0 $n$  = 010B : レーテンシ = 2

LTM2 $n$ -LTM0 $n$  = 011B : レーテンシ = 3

**(d) リフレッシュ・コマンドから次のコマンドのウェイト数**

SCR $n$ レジスタのBCW1 $n$ , BCW0 $n$ ビットで、リフレッシュ・コマンドを発行してから、次のコマンドを発行するまでのウェイト・ステート数を設定できます。リフレッシュ・コマンドから次のコマンドを発行するまでのウェイト・ステート数は、BCW1 $n$ , BCW0 $n$ ビットの設定値の4倍になります。

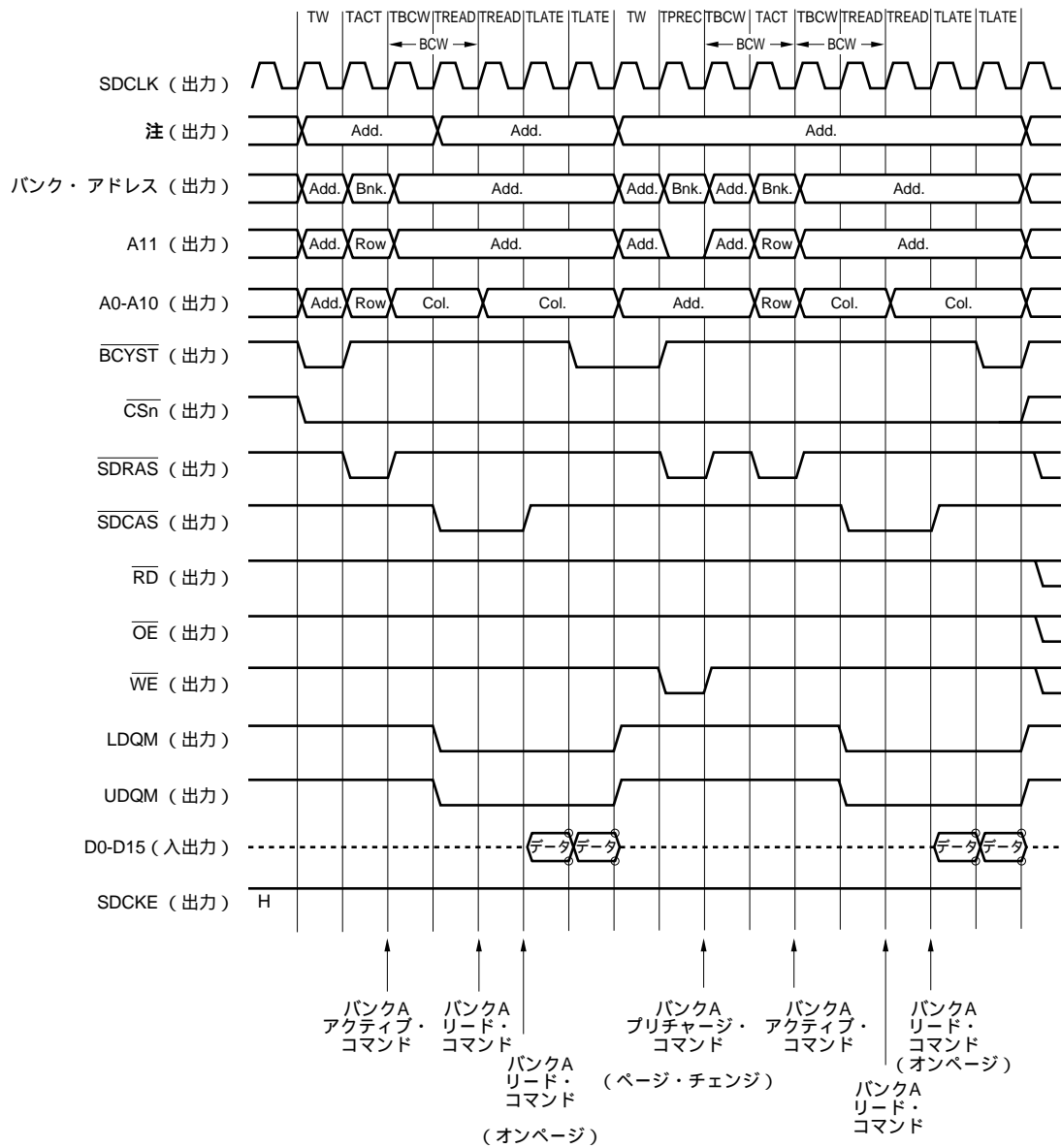
BCW1 $n$ , BCW0 $n$  = 01B : 4ウェイト

BCW1 $n$ , BCW0 $n$  = 10B : 8ウェイト

BCW1 $n$ , BCW0 $n$  = 11B : 12ウェイト

図5-22 SDRAMアクセス・タイミング (1/4)

(a) リード・タイミング (16ビット・バス幅ワード・アクセス時, ページ・チェンジ,  
BCW = 2, レーテンシ = 2)



注 バンク・アドレス, A11, A0-A10以外のアドレス

- 備考1. 印はサンプリング・タイミングです。
2. 破線はハイ・インピーダンスを示します。
  3. n = 1, 3, 4, 6
  4. Add. : アドレス  
Bnk. : バンク・アドレス  
Col. : カラム・アドレス  
Row : ロウ・アドレス

図5 - 22 SDRAMアクセス・タイミング (2/4)

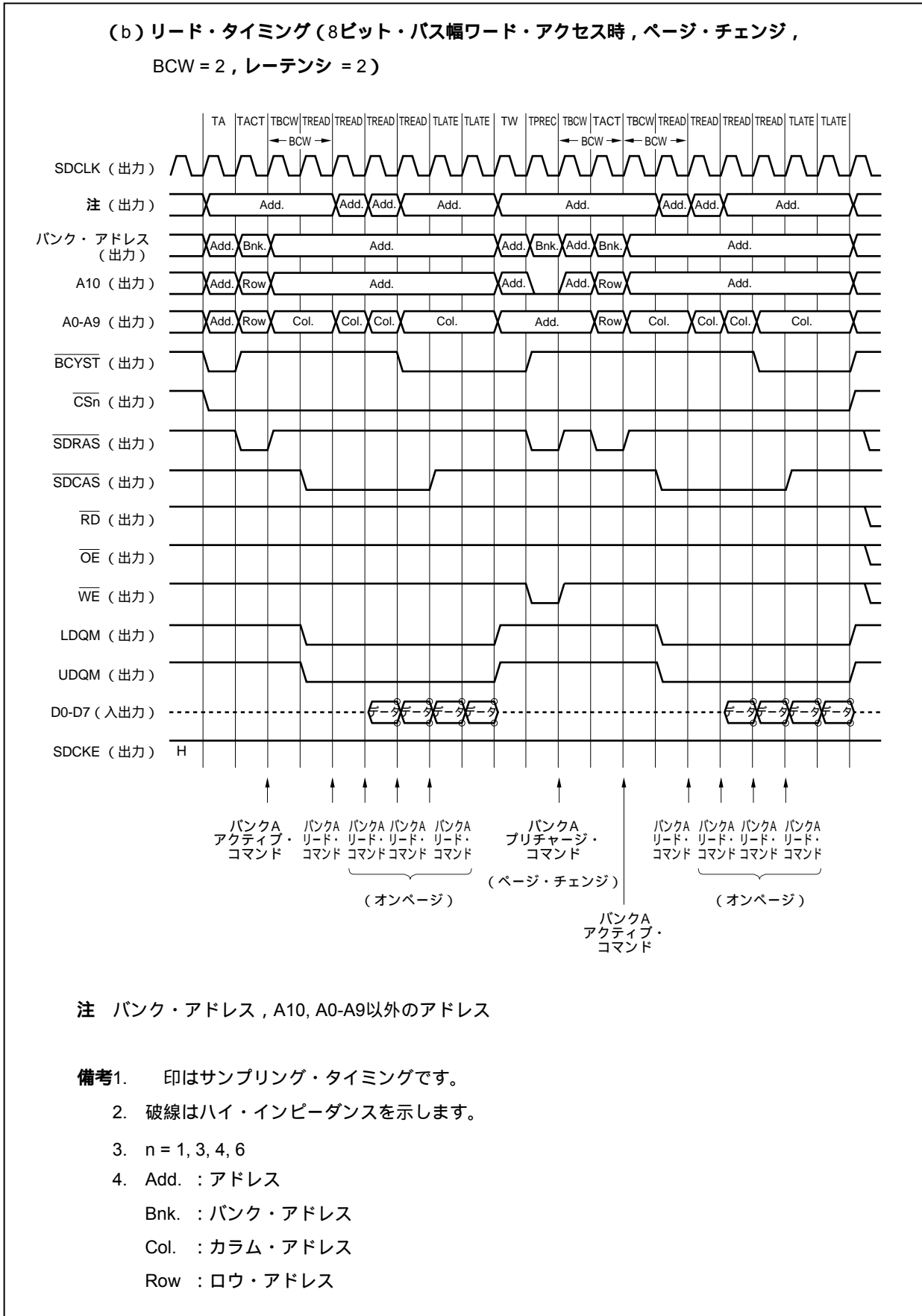
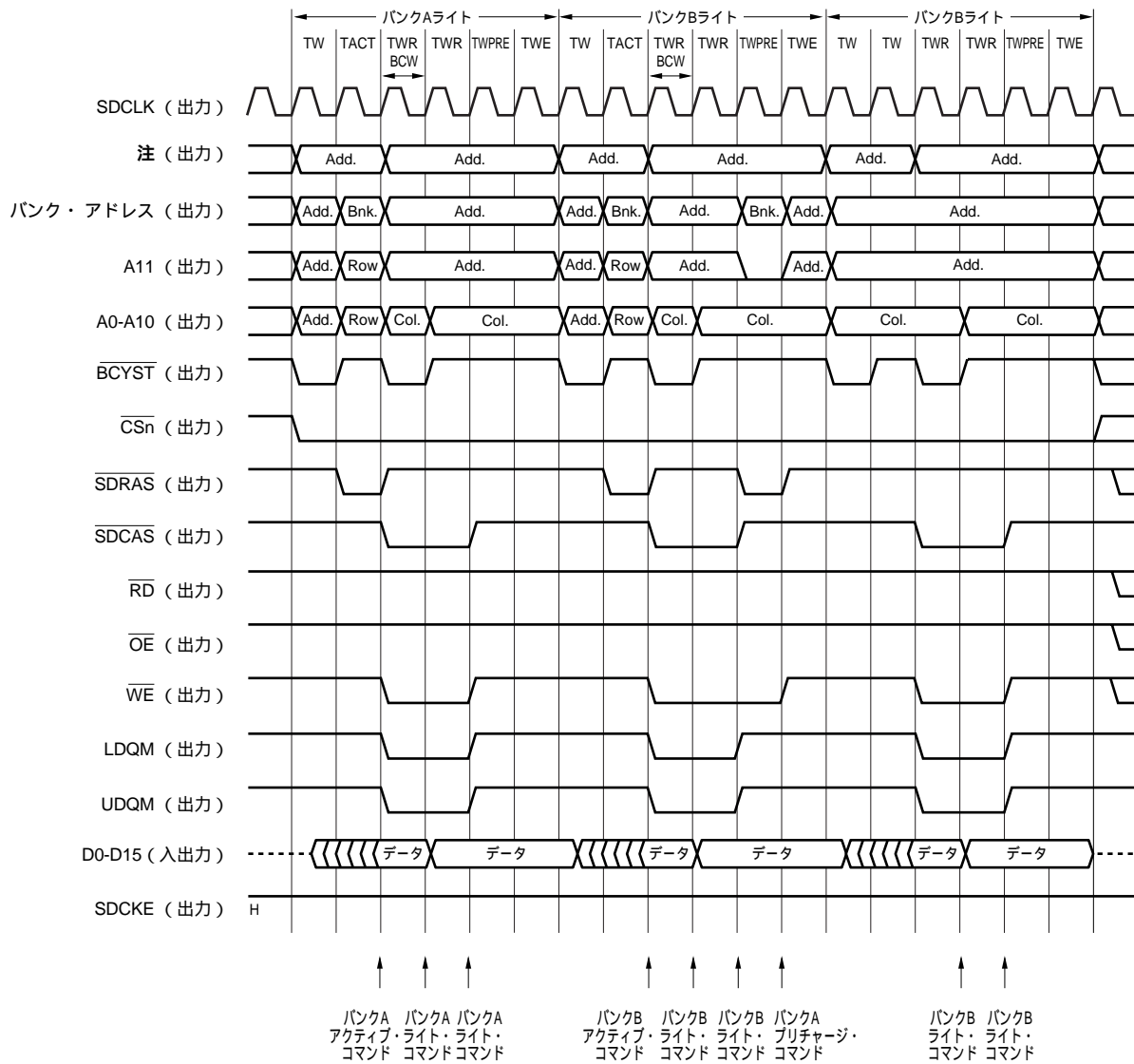


図5-22 SDRAMアクセス・タイミング (3/4)

(c) ライト・タイミング (16ビット・バス幅ワード・アクセス時, バンク・チェンジ, BCW = 1, レーテンシ = 2)



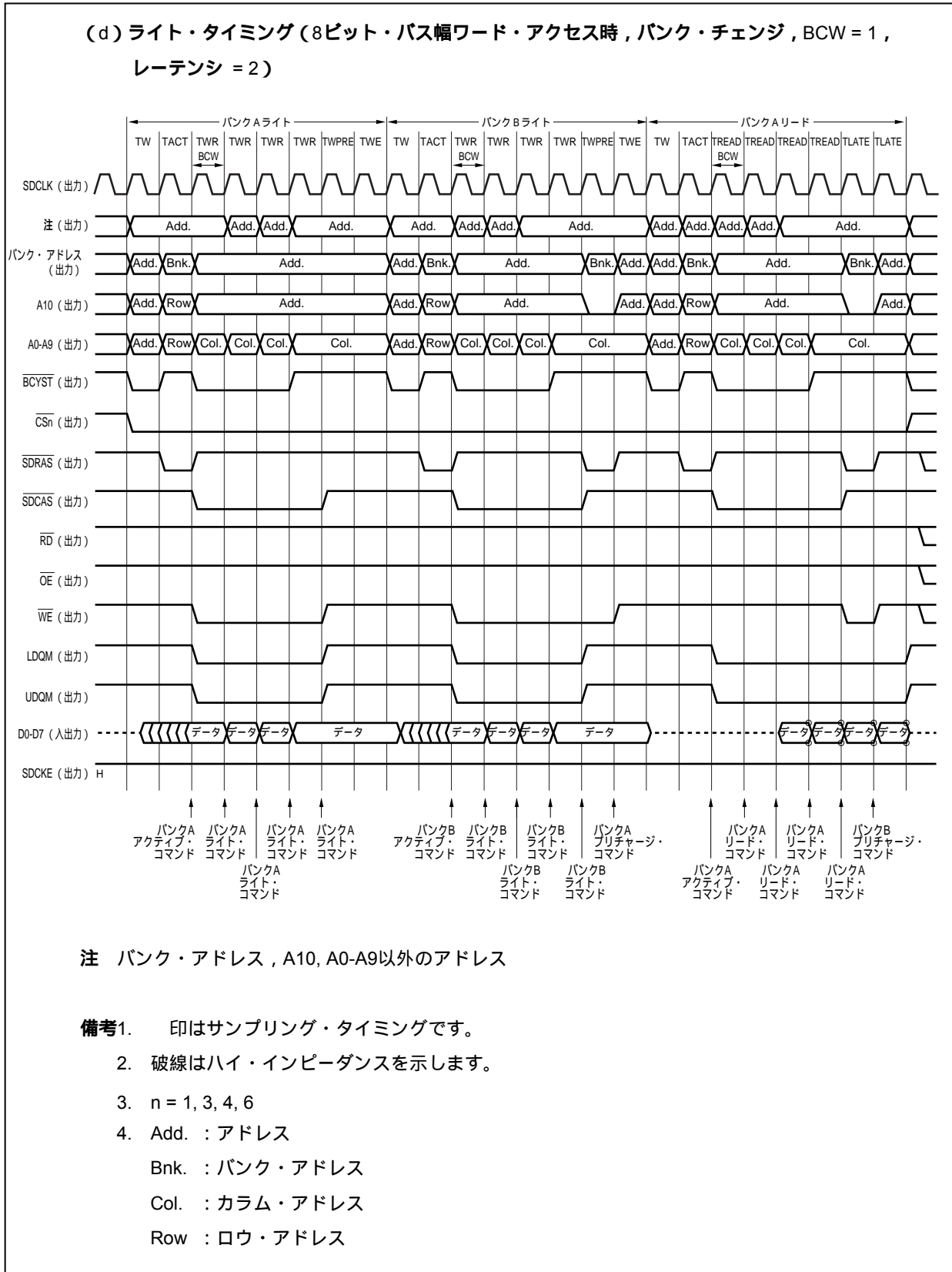
(直前に実行したバンクBに対するページと  
 同じページに対するライト・アクセスの場合)

注 バンク・アドレス, A11, A0-A10以外のアドレス

- 備考1. 印はサンプリング・タイミングです。
2. 破線はハイ・インピーダンスを示します。
  3. n = 1, 3, 4, 6
  4. Add. : アドレス  
 Bnk. : バンク・アドレス  
 Col. : カラム・アドレス  
 Row : ロウ・アドレス



図5-22 SDRAMアクセス・タイミング(4/4)



### 5.4.6 リフレッシュ制御機能

V850E/MA1は、リフレッシュ・サイクルを生成できます。リフレッシュ・サイクルの設定は、SDRAM用リフレッシュ・コントロール・レジスタ1, 3, 4, 6 (RFS1, RFS3, RFS4, RFS6)で行います。RFSnレジスタはCSnに対応しています (n = 1, 3, 4, 6)。たとえば、CS1にSDRAMを接続する場合はRFS1を設定してください。

ほかのバス・マスタが外部バスを占有している場合は、DRAMコントローラは、外部バスを占有できません。その場合、DRAMコントローラは、REFRQ信号をアクティブ (ロウ・レベル) にして、バス・マスタにリフレッシュ要求を行います。

リフレッシュ期間中、アドレス・バスは、リフレッシュ・サイクルの直前の状態を保持します。

#### (1) SDRAM用リフレッシュ・コントロール・レジスタ1, 3, 4, 6 (RFS1, RFS3, RFS4, RFS6)

リフレッシュの許可/禁止、リフレッシュ間隔を設定します。リフレッシュ間隔は次の計算式により求められます。

$$\text{リフレッシュ間隔} (\mu\text{s}) = \text{リフレッシュ・カウント} \cdot \text{クロック} (T_{\text{RCY}}) \times \text{インターバル・ファクタ}$$

リフレッシュ・カウント・クロック、インターバル・ファクタは、それぞれRFSnレジスタのRENnビット、RIN5n-RIN0nビットにより求めます。

なお、nはSDRAMコンフィギュレーション・レジスタ1, 3, 4, 6 (SCR1, SCR3, SCR4, SCR6) のレジスタ番号 (1, 3, 4, 6) に対応します。

16ビット単位でリード/ライト可能です。

- 注意1.** RFS1, RFS3, RFS4, RFS6レジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、RFS1, RFS3, RFS4, RFS6レジスタの初期設定が終わるまでは、その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし、初期設定が終了した外部メモリ領域のアクセスは可能です。
2. RFSnレジスタのRENnビットをセット (1) した直後に、SDRAMに対するリフレッシュ・サイクルが実行されることがあります (n = 1, 3, 4, 6)。そのときに発生したリフレッシュ・サイクル、およびリフレッシュ・サイクル実行後の動作に問題はありません。また、以降のリフレッシュ・サイクルは、設定された間隔に応じて正常に実行されます。ただし、このリフレッシュ・サイクルが問題となるアプリケーションでは、次に示す手順でRFSnレジスタを設定してください。

BCTmレジスタのMEaビットをセット (1) した状態で、BTa1, BTa0ビット = 01 (ページROM接続) に設定します (m = 0, 1, a : m = 0のとき, a = 1, 3, m = 1のとき, a = 4, 6)。

RFSnレジスタのRENnビットをセット (1) し、リフレッシュを許可します (n = 1, 3, 4, 6)。

BCTmレジスタのMEaビットをセット (1) した状態で、BTa1, BTa0ビット = 11 (SDRAM接続) に設定します (m = 0, 1, a : m = 0のとき, a = 1, 3, m = 1のとき, a = 4, 6)。

SCRnレジスタを設定し、SDRAMの初期化を行います (n = 1, 3, 4, 6)。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
RFS1	REN1	0	0	0	0	0	RCC11	RCC01	0	0	RIN51	RIN41	RIN31	RIN21	RIN11	RIN01	FFFFFF4A6H	0000H
RFS3	REN3	0	0	0	0	0	RCC13	RCC03	0	0	RIN53	RIN43	RIN33	RIN23	RIN13	RIN03	FFFFFF4AEH	0000H
RFS4	REN4	0	0	0	0	0	RCC14	RCC04	0	0	RIN54	RIN44	RIN34	RIN24	RIN14	RIN04	FFFFFF4B2H	0000H
RFS6	REN6	0	0	0	0	0	RCC16	RCC06	0	0	RIN56	RIN46	RIN36	RIN26	RIN16	RIN06	FFFFFF4BAH	0000H

ビット位置	ビット名	意味																																																	
15	RENn (n = 1, 3, 4, 6)	Refresh Enable CBR (オート) リフレッシュの許可 / 禁止を指定します。 0 : リフレッシュ禁止 1 : リフレッシュ許可																																																	
9, 8	RCC1n, RCC0n (n = 1, 3, 4, 6)	Refresh Count Clock リフレッシュ・カウント・クロック (T <sub>RCY</sub> ) を指定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>RCC1n</th> <th>RCC0n</th> <th>リフレッシュ・カウント・クロック (T<sub>RCY</sub>)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>32/f<sub>xx</sub></td> </tr> <tr> <td>0</td> <td>1</td> <td>128/f<sub>xx</sub></td> </tr> <tr> <td>1</td> <td>0</td> <td>256/f<sub>xx</sub></td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	RCC1n	RCC0n	リフレッシュ・カウント・クロック (T <sub>RCY</sub> )	0	0	32/f <sub>xx</sub>	0	1	128/f <sub>xx</sub>	1	0	256/f <sub>xx</sub>	1	1	設定禁止																																		
RCC1n	RCC0n	リフレッシュ・カウント・クロック (T <sub>RCY</sub> )																																																	
0	0	32/f <sub>xx</sub>																																																	
0	1	128/f <sub>xx</sub>																																																	
1	0	256/f <sub>xx</sub>																																																	
1	1	設定禁止																																																	
5-0	RIN5n-RIN0n (n = 1, 3, 4, 6)	Refresh Interval リフレッシュ・タイミング生成用インターバル・タイマのインターバル・ファクタを設定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>RIN5n</th> <th>RIN4n</th> <th>RIN3n</th> <th>RIN2n</th> <th>RIN1n</th> <th>RIN0n</th> <th>インターバル・ファクタ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>2</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>3</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>4</td> </tr> <tr> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>64</td> </tr> </tbody> </table>	RIN5n	RIN4n	RIN3n	RIN2n	RIN1n	RIN0n	インターバル・ファクタ	0	0	0	0	0	0	1	0	0	0	0	0	1	2	0	0	0	0	1	0	3	0	0	0	0	1	1	4	⋮	⋮	⋮	⋮	⋮	⋮	⋮	1	1	1	1	1	1	64
RIN5n	RIN4n	RIN3n	RIN2n	RIN1n	RIN0n	インターバル・ファクタ																																													
0	0	0	0	0	0	1																																													
0	0	0	0	0	1	2																																													
0	0	0	0	1	0	3																																													
0	0	0	0	1	1	4																																													
⋮	⋮	⋮	⋮	⋮	⋮	⋮																																													
1	1	1	1	1	1	64																																													

備考 f<sub>xx</sub> : 内部システム・クロック

表5 - 3 インターバル・ファクタの設定例

リフレッシュ間隔の規定値 ( $\mu\text{s}$ )	リフレッシュ・カウント・ク ロック ( $T_{\text{RCY}}$ )	インターバル・ファクタの値 <sup>注1, 2</sup>		
		$f_{\text{xx}} = 20 \text{ MHz}$	$f_{\text{xx}} = 33 \text{ MHz}$	$f_{\text{xx}} = 50 \text{ MHz}$
15.6	$32/f_{\text{xx}}$	9 (14.4)	16 (15.5)	24 (15.4)
	$128/f_{\text{xx}}$	2 (12.8)	4 (15.5)	6 (15.4)
	$256/f_{\text{xx}}$	1 (12.8)	2 (15.5)	3 (15.4)

注1. インターバル・ファクタは、RFSnレジスタのRIN0n-RIN5nビットで設定します ( $n = 1, 3, 4, 6$ )。

2. カッコ内はリフレッシュ間隔の計算値 ( $\mu\text{s}$ ) です。

$$\text{リフレッシュ間隔} (\mu\text{s}) = \text{リフレッシュ・カウント・クロック} (T_{\text{RCY}}) \times \text{インターバル・ファクタ}$$

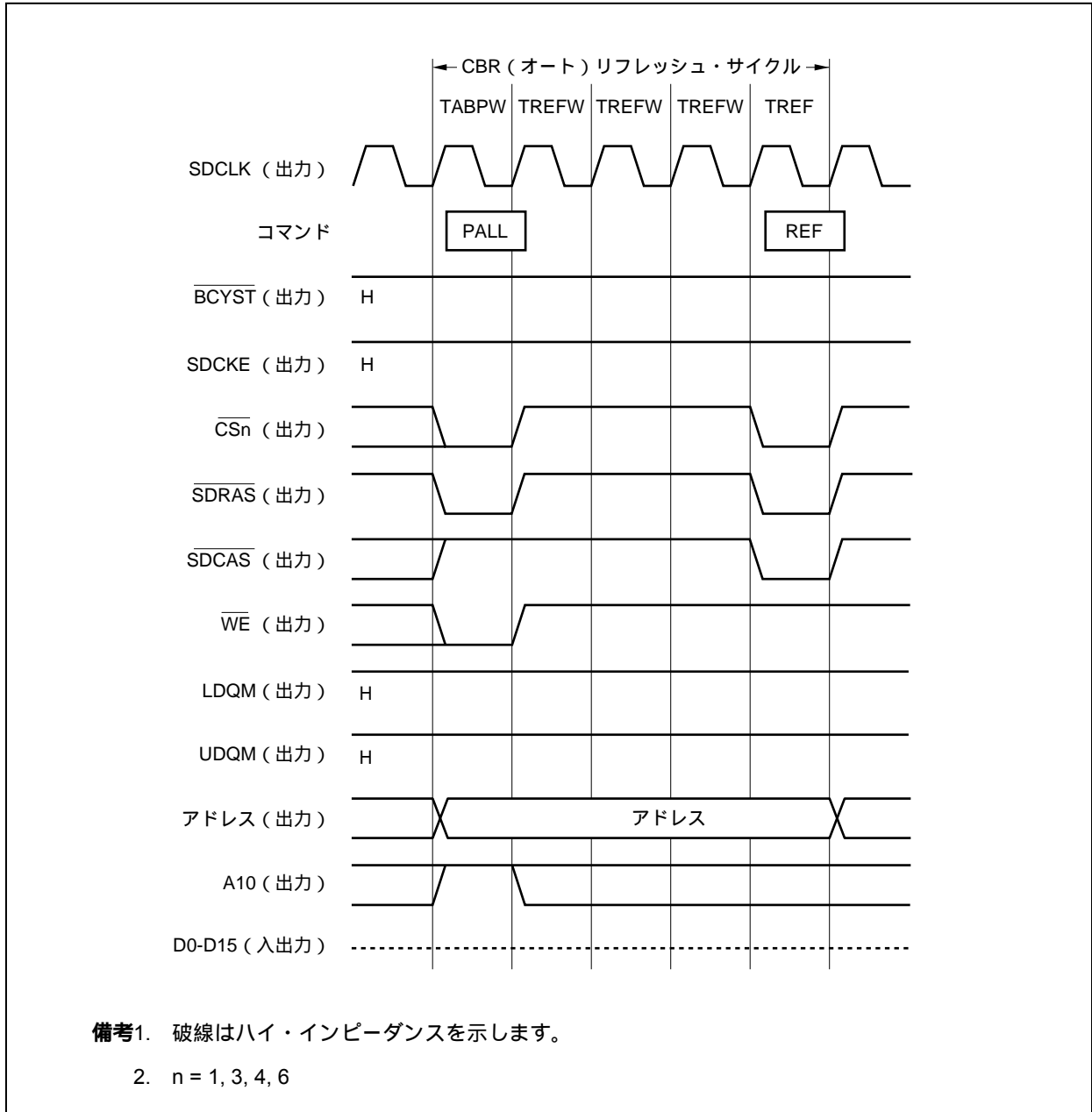
備考  $f_{\text{xx}}$  : 内部システム・クロック

V850E/MA1は、CBR (オート) リフレッシュ・サイクル, セルフ・リフレッシュ・サイクルを自動的に発生することができます。

(2) CBR (オート) リフレッシュ・サイクル

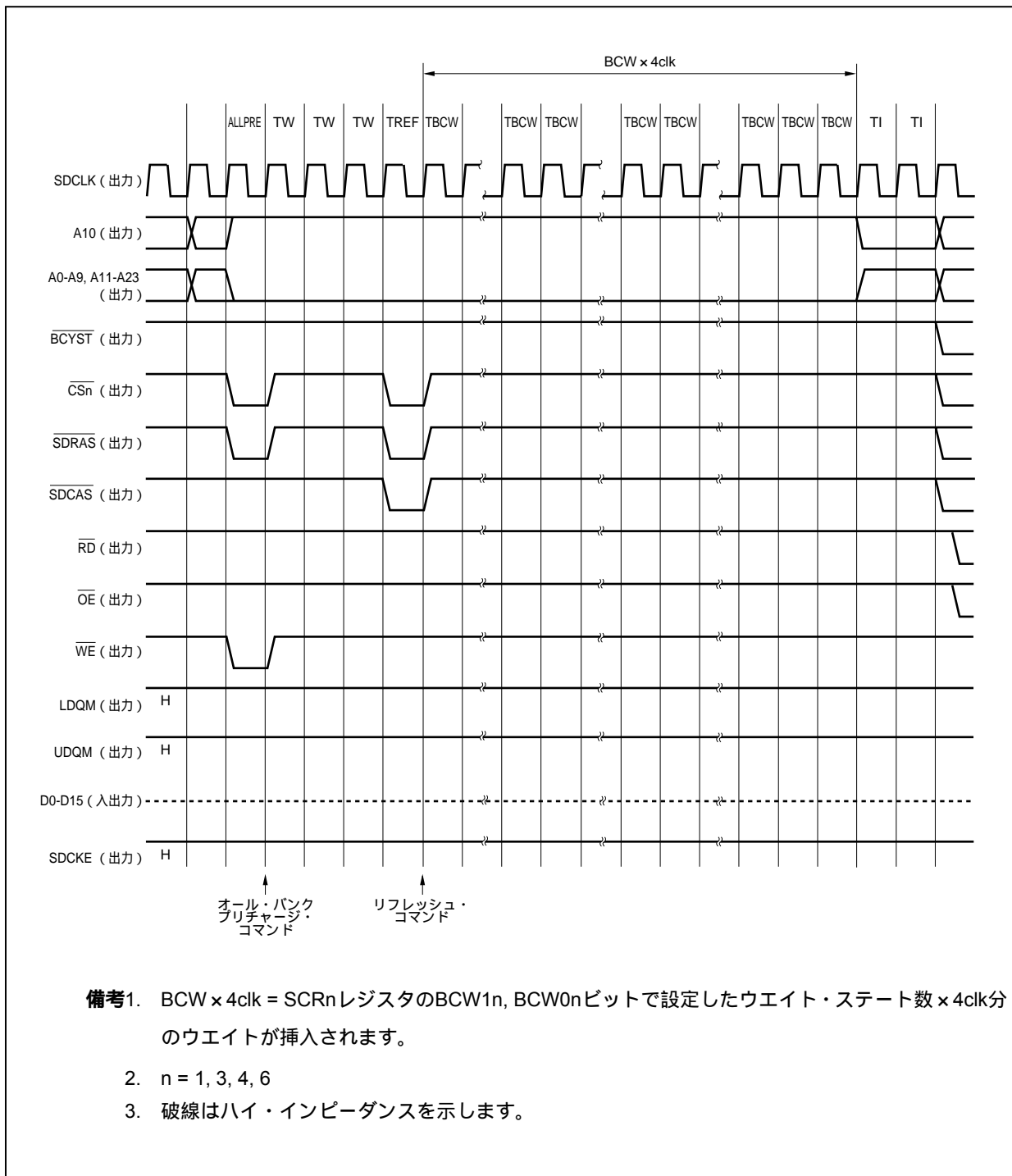
CBR (オート) リフレッシュ・サイクルは、全バンクのプリチャージ・コマンド (PALL) を発行したあと、4クロック後にCBR (オート) リフレッシュ・コマンド (REF) が発行されます。

図5-23 CBR (オート) リフレッシュ・サイクル



(3) リフレッシュ・タイミング

図5-24 CBR (オート) リフレッシュ・タイミング (SDRAM)



### 5.4.7 セルフ・リフレッシュ制御機能

IDLEモード、ソフトウェアSTOPモードに移行した場合やSELFREF信号がアクティブになった場合、DRAMコントローラは、セルフ・リフレッシュ・サイクルを生成します（SDRAMだけでなく、すべてのDRAMがセルフ・リフレッシュ状態に移行します）。

ただし、SDRAMがセルフ・リフレッシュ動作に入るためには、SDRAMの $\overline{\text{SDRAS}}$ パルス幅が仕様を満たしていなければなりません。

- 注意1. SELFREF信号入力により、セルフ・リフレッシュ・サイクルに移行した場合は、SELFREF端子にインアクティブ・レベルを入力することでのみ、セルフ・リフレッシュ・サイクルを解除できます。
2. セルフ・リフレッシュに移行した場合でも内蔵ROM、内蔵RAMにアクセスできます。ただし、内蔵周辺I/Oレジスタ、または外部デバイスへのアクセスはセルフ・リフレッシュが解除されるまで保留されます。

セルフ・リフレッシュ・サイクルの解除は、次の方法で行います。

#### (1) NMI入力による解除

##### (a) IDLEモードでのセルフ・リフレッシュ・サイクルの場合

ただちに $\overline{\text{SDRAS}}$ 、 $\overline{\text{SDCAS}}$ 、LDQM、UDQM信号をインアクティブにし、セルフ・リフレッシュ・サイクルを解除します。

##### (b) ソフトウェアSTOPモードでのセルフ・リフレッシュ・サイクルの場合

発振が安定してから $\overline{\text{SDRAS}}$ 、 $\overline{\text{SDCAS}}$ 、LDQM、UDQM信号をインアクティブにし、セルフ・リフレッシュ・サイクルを解除します。

#### (2) INTP0n0、INTP0n1入力による解除 (n = 0-3)

##### (a) IDLEモードでのセルフ・リフレッシュ・サイクルの場合

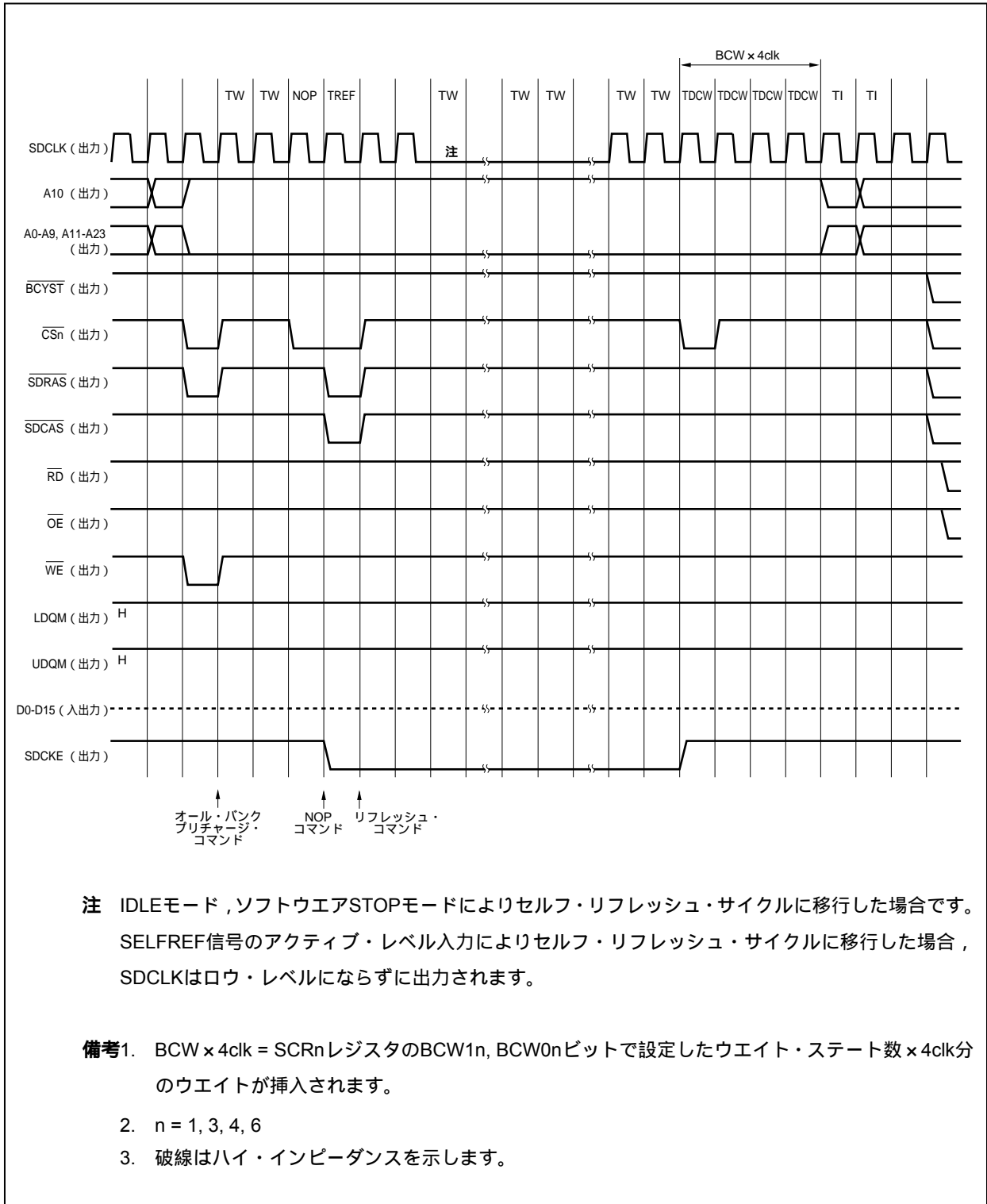
ただちに $\overline{\text{SDRAS}}$ 、 $\overline{\text{SDCAS}}$ 、LDQM、UDQM信号をインアクティブにし、セルフ・リフレッシュ・サイクルを解除します。

##### (b) ソフトウェアSTOPモードでのセルフ・リフレッシュ・サイクルの場合

発振が安定してから $\overline{\text{SDRAS}}$ 、 $\overline{\text{SDCAS}}$ 、LDQM、UDQM信号をインアクティブにし、セルフ・リフレッシュ・サイクルを解除します。

#### (3) $\overline{\text{RESET}}$ 入力による解除

図5 - 25 セルフ・リフレッシュ・タイミング (SDRAM)





### 5.4.8 SDRAM初期化シーケンス

電源投入時にはSDRAMを初期化してください。

(1) SDRAMのレジスタを設定してください (SDRAMコンフィギュレーション・レジスタn (SCRn) 以外)。

- ・バス・サイクル・タイプ・コンフィギュレーション・レジスタ0, 1 (BCT0, BCT1)
- ・バス・サイクル・コントロール・レジスタ (BCC)
- ・SDRAM用リフレッシュ・コントロール・レジスタ1, 3, 4, 6 (RFS1, RFS3, RFS4, RFS6)

(2) SDRAMコンフィギュレーション・レジスタ1, 3, 4, 6 (SCR1, SCR3, SCR4, SCR6) を設定してください。

SDRAMコンフィギュレーション・レジスタ1, 3, 4, 6 (SCR1, SCR3, SCR4, SCR6) に書き込みを行うと, SDRAMに対して次のコマンドが順に発行されます。

- ・全バンク・プリチャージ・コマンド
- ・リフレッシュ・コマンド×8回
- ・モード・レジスタを設定するコマンド

図5 - 26, 図5 - 27にSDRAMモード・レジスタ設定のタイミングの例を示します。

**注意** SDCLK信号, SDCKE信号を使用する場合は, とともにPMCCDレジスタにより, SDCLK出力モード, SDCKE出力モードに設定する必要がありますが, SDCLK出力モードとSDCKE出力モードの設定を同時に行わないでください。

必ずSDCLK出力モードの設定を行ったあとに, SDCKE出力モードを設定するようにしてください (14.3.14 (2) (b) ポートCDモード・コントロール・レジスタ (PMCCD) 参照)。

図5 - 26 SDRAMモード・レジスタ設定サイクル

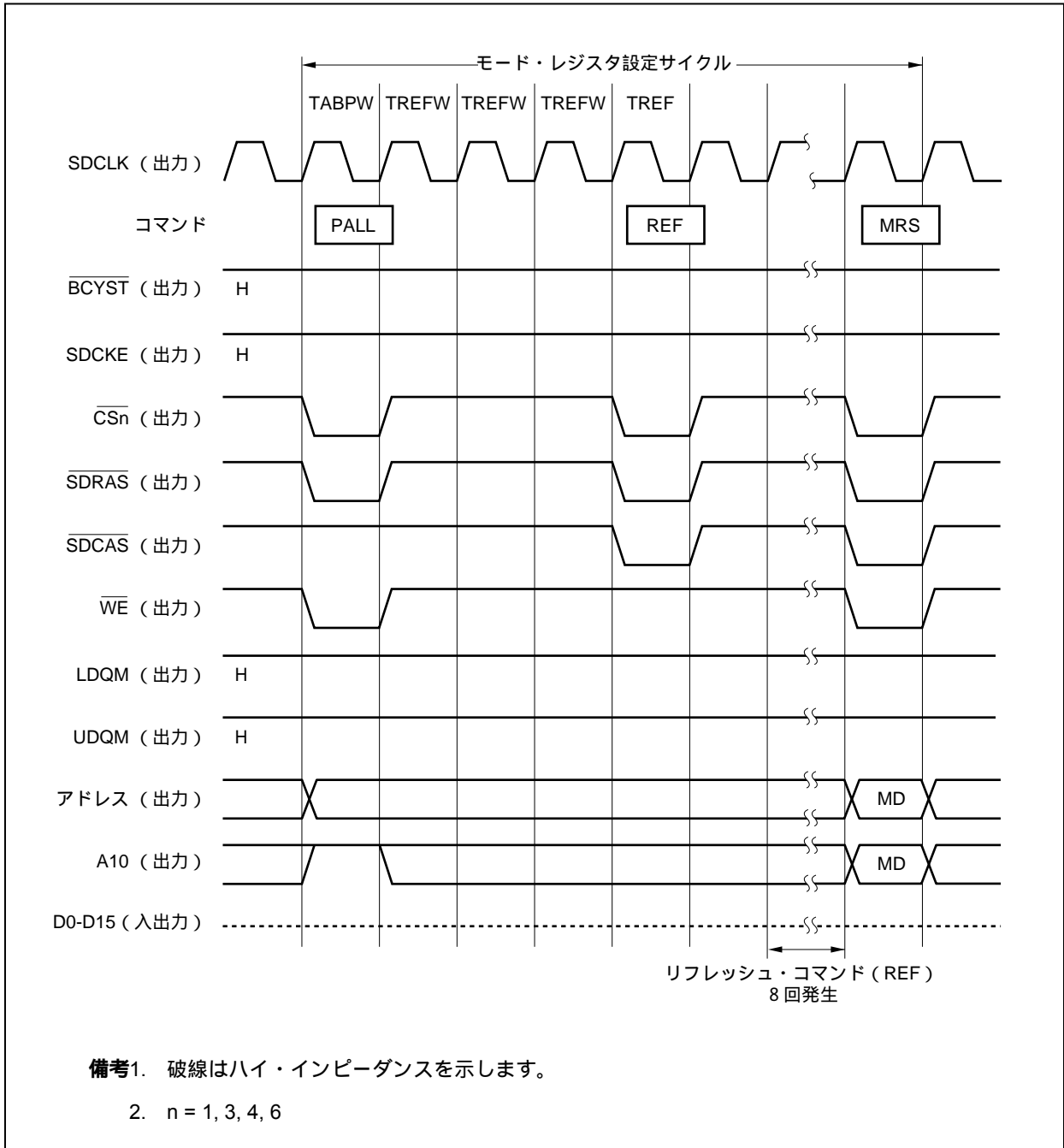
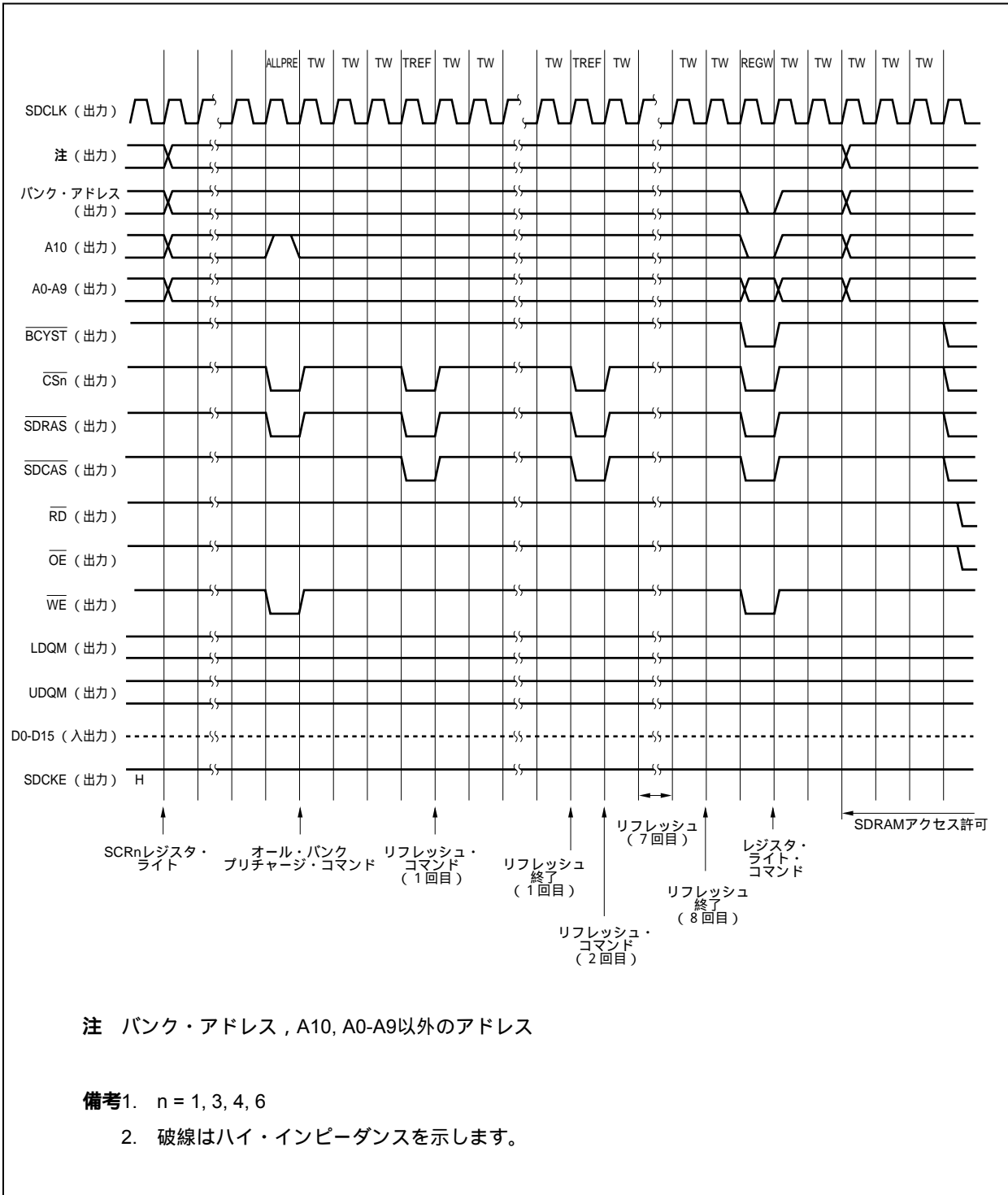


図5 - 27 SDRAMレジスタ・ライト動作タイミング



## 第6章 DMA機能 (DMAコントローラ)

V850E/MA1は、DMA転送を実行制御するDMA (Direct Memory Access) コントローラ (DMAC) を備えています。

DMACは、内蔵周辺I/O (シリアル・インタフェース, タイマ/カウンタ, A/Dコンバータなど) からの割り込みによる要求,  $\overline{\text{DMARQ0}}\text{-}\overline{\text{DMARQ3}}$ 端子, またはソフトウェア・トリガによるDMA要求に基づいて, メモリ I/O間 またはメモリ - メモリ間でのデータ転送を制御します (メモリは内蔵RAM, または外部メモリを意味します)。

### 6.1 特 徴

4つの独立なDMAチャンネル

転送単位: 8ビット / 16ビット

最大転送回数: 65536 ( $2^{16}$ ) 回

2種類の転送タイプ

- ・ フライバイ (1サイクル) 転送
- ・ 2サイクル転送

3種類の転送モード

- ・ シングル転送モード
- ・ シングルステップ転送モード
- ・ ブロック転送モード

転送要求

- ・ 内蔵周辺I/O (シリアル・インタフェース, タイマ/カウンタ, A/Dコンバータなど) からの割り込みによる要求
- ・  $\overline{\text{DMARQ0}}\text{-}\overline{\text{DMARQ3}}$ 端子入力による要求
- ・ ソフトウェア・トリガによる要求

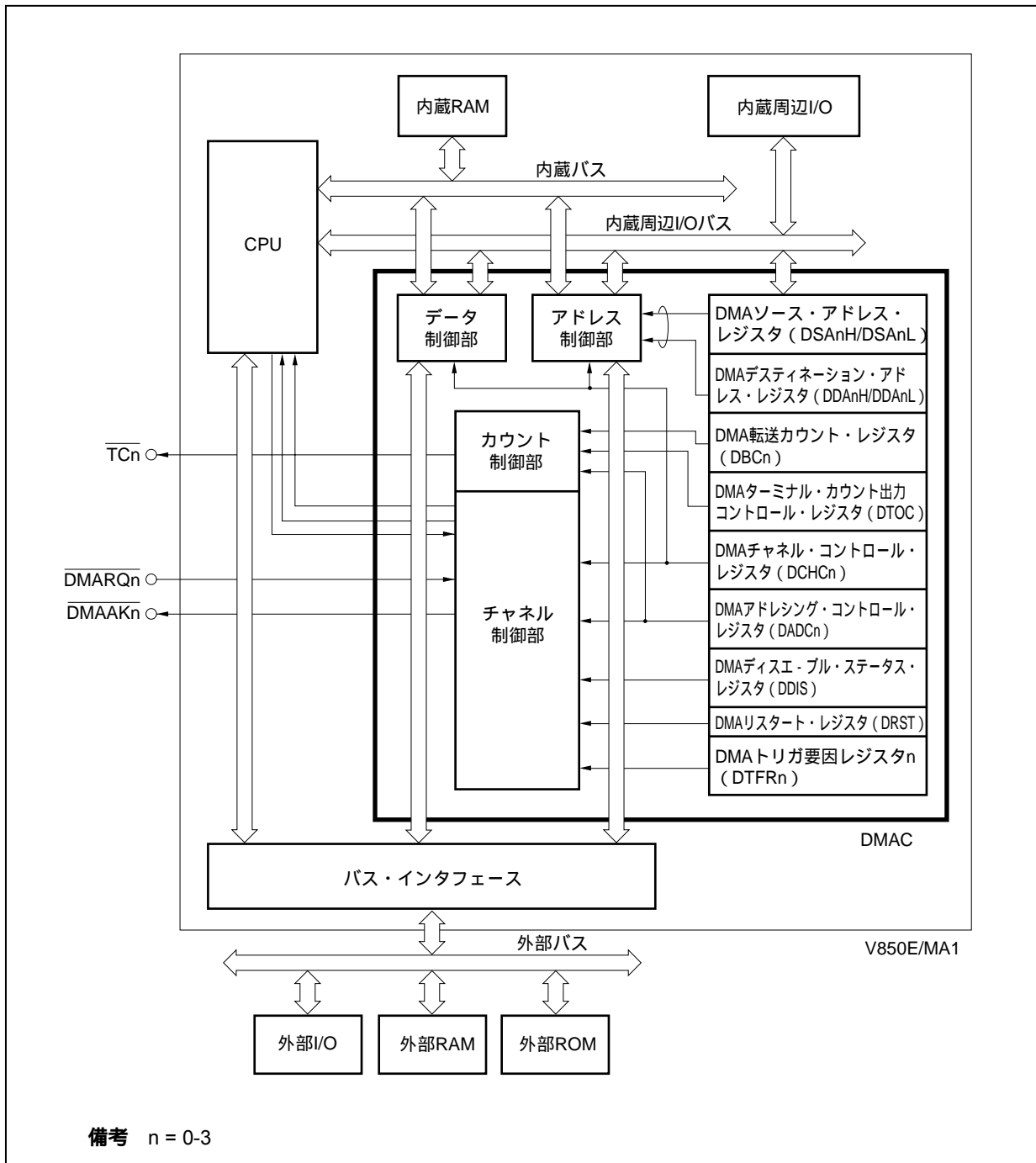
転送対象

- ・ メモリ I/O
- ・ メモリ - メモリ

DMA転送終了出力信号 ( $\overline{\text{TC0}}\text{-}\overline{\text{TC3}}$ )

ネクスト・アドレス設定機能

## 6.2 構成



## 6.3 制御レジスタ

### 6.3.1 DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3)

DMAチャンネルnのDMA転送元アドレス(28ビット)を設定します(n=0-3)。このレジスタは,DSAnH, DSAnLの2つの16ビット・レジスタに分かれます。

また,このレジスタは,マスタ・レジスタとスレーブ・レジスタで構成される2段FIFO形式のバッファ・レジスタなので,DMA転送中に新たなDMA転送の転送元アドレスが設定できます(6.9 **ネクスト・アドレス設定機能**参照)。この場合,新たなDSAnレジスタの設定は,DMA転送が正常に終了し,DCHCnレジスタのTCnビットがセット(1)されたとき,またはDCHCnレジスタのINITnビットをセット(1)したときのみ,その設定値はスレーブ・レジスタに転送され,有効となります(n=0-3)。

DMAアドレッシング・コントロール・レジスタn(DADCn)のTTYPビットで,フライバイ転送に設定した場合,転送方向にかかわらず外部メモリのアドレスはDSAnレジスタで設定します。このとき,DMAデスティネーション・アドレス・レジスタn(DDAn)の設定は無視されます(n=0-3)。

#### (1) DMAソース・アドレス・レジスタ0H-3H (DSA0H-DSA3H)

16ビット単位でリード/ライト可能です。

ビット14-12には必ず0を設定してください。1を設定した場合の動作は保証できません。

- 注意1.** ソース・アドレスに内蔵周辺I/Oレジスタのアドレスを設定する場合は,必ずFFFF000H-FFFFFFFFHのアドレスを指定してください。内蔵周辺I/Oレジスタのイメージ(3FFF000H-3FFFFFFH)のアドレスは指定できません。
2. DSAnHレジスタの設定は,DMA中断中には行わないでください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DSA0H	IR	0	0	0	SA27	SA26	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16	FFFFFF082H	不定
DSA1H	IR	0	0	0	SA27	SA26	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16	FFFFFF08AH	不定
DSA2H	IR	0	0	0	SA27	SA26	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16	FFFFFF092H	不定
DSA3H	IR	0	0	0	SA27	SA26	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16	FFFFFF09AH	不定

ビット位置	ビット名	意味
15	IR	Internal RAM Select DMA転送元を指定します。 0 : 外部メモリ, 内蔵周辺I/O 1 : 内蔵RAM
11-0	SA27-SA16	Source Address DMA転送元のアドレス(A27-A16)を設定します。DMA転送中は,次のDMA転送元アドレスを保持します。フライバイ転送時は,外部メモリのアドレスを保持します。

(2) DMAソース・アドレス・レジスタ0L-3L (DSA0L-DSA3L)

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DSA0L	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0	FFFFFF080H	不定
DSA1L	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0	FFFFFF088H	不定
DSA2L	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0	FFFFFF090H	不定
DSA3L	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0	FFFFFF098H	不定

ビット位置	ビット名	意味
15-0	SA15-SA0	Source Address DMA転送元のアドレス (A15-A0) を設定します。DMA転送中は、次のDMA転送元アドレスを保持します。フライバイ転送時は、外部メモリのアドレスを保持します。

### 6.3.2 DMAデスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3)

DMAチャネルnのDMA転送先アドレス(28ビット)を設定します(n=0-3)。このレジスタは、DDAnH、DDAnLの2つの16ビット・レジスタに分かれます。

また、このレジスタは、マスタ・レジスタとスレーブ・レジスタで構成される2段FIFO形式のバッファ・レジスタなので、DMA転送中に新たなDMA転送の転送先アドレスが設定できます(6.9 **ネクスト・アドレス設定機能**参照)。この場合、新たなDDAnレジスタの設定は、DMA転送が正常に終了し、DCHCnレジスタのTCnビットがセット(1)されたとき、またはDCHCnレジスタのINITnビットをセット(1)したときのみ、その設定値はスレーブ・レジスタに転送され、有効となります(n=0-3)。

DMAアドレッシング・コントロール・レジスタn(DADCn)のTTYPビットで、フライバイ転送に設定した場合、転送方向にかかわらずこのレジスタの設定は無視されます(n=0-3)。

#### (1) DMAデスティネーション・アドレス・レジスタ0H-3H (DDA0H-DDA3H)

16ビット単位でリード/ライト可能です。

ビット14-12には必ず0を設定してください。1を設定した場合の動作は保証できません。

- 注意1.** デスティネーション・アドレスに内蔵周辺I/Oレジスタのアドレスを設定する場合は、必ず FFFF000H-FFFFFFFHのアドレスを指定してください。内蔵周辺I/Oレジスタのイメージ(3FFF000H-3FFFFFFFH)のアドレスは指定できません。
- 2.** DDAnHレジスタの設定は、DMA中断中には行わないでください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DDA0H	IR	0	0	0	DA27	DA26	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16	FFFFFF086H	不定
DDA1H	IR	0	0	0	DA27	DA26	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16	FFFFFF08EH	不定
DDA2H	IR	0	0	0	DA27	DA26	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16	FFFFFF096H	不定
DDA3H	IR	0	0	0	DA27	DA26	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16	FFFFFF09EH	不定

ビット位置	ビット名	意味
15	IR	Internal RAM Select DMA転送先を指定します。 0: 外部メモリ, 内蔵周辺I/O 1: 内蔵RAM
11-0	DA27-DA16	Destination Address DMA転送先のアドレス(A27-A16)を設定します。DMA転送中は、次のDMA転送先アドレスを保持します。フライバイ転送時は無視されます。



(2) DMAデスティネーション・アドレス・レジスタ0L-3L (DDA0L-DDA3L)

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DDA0L	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0	FFFFFF084H	不定
DDA1L	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0	FFFFFF08CH	不定
DDA2L	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0	FFFFFF094H	不定
DDA3L	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0	FFFFFF09CH	不定

ビット位置	ビット名	意味
15-0	DA15-DA0	Destination Address DMA転送先のアドレス (A15-A0) を設定します。DMA転送中は、次のDMA転送先アドレスを保持します。フライバイ転送時は無視されます。

### 6.3.3 DMA転送カウント・レジスタ0-3 (DBC0-DBC3)

DMAチャネルnの転送数を設定する16ビット・レジスタです (n = 0-3)。DMA転送中は、残りの転送数を保持します。

また、このレジスタは、マスタ・レジスタとスレーブ・レジスタで構成される2段FIFO形式のバッファ・レジスタなので、DMA転送中に新たなDMA転送の転送回数が設定できます(6.9 **ネクスト・アドレス設定機能**参照)。この場合、新たなDBCnレジスタの設定は、DMA転送が正常に終了し、DCHCnレジスタのTCnビットがセット(1)されたとき、またはDCHCnレジスタのINITnビットをセット(1)したときのみ、その設定値はスレーブ・レジスタに転送され、有効となります (n = 0-3)。

1回の転送につき1ずつデクリメントされ、ポローが発生すると転送を終了します。

16ビット単位でリード/ライト可能です。

**注意1.** 転送タイプがフライバイ転送、または転送元が内蔵RAMの2サイクル転送の場合は、転送回数を2回 (DBCnレジスタの設定値 = 0001H) に設定しないでください。2回のDMA転送が必要な場合には、必ず転送回数を1回 (DBCnレジスタの設定値 = 0000H) に設定したDMA転送を2回実行してください。

2. DBCnレジスタの設定は、DMA中断中には行わないでください。

**備考** DMA転送中にDBCnレジスタを書き換えることなくターミナル・カウントが発生したあと、DBCnレジスタを読み出した場合は、DMA転送の直前に設定された値が読み出されます (転送終了後でも0000Hは読み出されません)。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DBC0	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	FFFFFF0C0H	不定
DBC1	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	FFFFFF0C2H	不定
DBC2	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	FFFFFF0C4H	不定
DBC3	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	FFFFFF0C6H	不定

ビット位置	ビット名	意味										
15-0	BC15-BC0	Byte Count 転送数を設定します。DMA転送中は残りの転送数を保持します。										
		<table border="1"> <thead> <tr> <th>DBCn (n = 0-3)</th> <th>状態</th> </tr> </thead> <tbody> <tr> <td>0000H</td> <td>1回の転送, または残り転送数</td> </tr> <tr> <td>0001H</td> <td>2回の転送, または残り転送数</td> </tr> <tr> <td>⋮</td> <td>⋮</td> </tr> <tr> <td>FFFFH</td> <td>65536 (2<sup>16</sup>) 回の転送, または残り転送数</td> </tr> </tbody> </table>	DBCn (n = 0-3)	状態	0000H	1回の転送, または残り転送数	0001H	2回の転送, または残り転送数	⋮	⋮	FFFFH	65536 (2 <sup>16</sup> ) 回の転送, または残り転送数
DBCn (n = 0-3)	状態											
0000H	1回の転送, または残り転送数											
0001H	2回の転送, または残り転送数											
⋮	⋮											
FFFFH	65536 (2 <sup>16</sup> ) 回の転送, または残り転送数											

### 6.3.4 DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3)

DMAチャネルnのDMA転送モードを制御する16ビット・レジスタです (n = 0-3)。DMA動作中はアクセスできません。DADCnレジスタのTTYPビットで、フライバイ転送に設定した場合、外部メモリのアドレスのカウント方向は転送方向にかかわらず、SAD1, SAD0ビットで設定します。このとき、DAD1, DAD0ビットの設定は無視されます。

16ビット単位でリード/ライト可能です。

ビット13-8には必ず0を設定してください。1を設定した場合の動作は保証できません。

**注意1.** DS1, DS0ビットは何ビットのデータを転送するかを設定するビットです。

8ビット・データ (DS1, DS0ビット = 00) を設定した場合でも、必ずしも下位データ・バス (D0-D7) を使用するわけではありません。

また、転送データ・サイズを16ビットに設定した場合は下位アドレスの1ビットを“0”にアラインしたアドレスから必ず転送を開始します。この場合は奇数アドレスから始まる転送はできません。

2. DADCnレジスタの設定は、対象となるチャネルが次のいずれかのタイミングのときに行ってください (これらのタイミング以外で設定を行った場合の動作は保証しません)。

- ・システム・リセットから最初のDMA転送要求発生までの期間
- ・DMA転送の完了後 (ターミナル・カウント後) から次のDMA転送要求発生までの期間
- ・DMA転送の強制終了後 (DCHCnレジスタのINITnビットがセット (1) 後) から次のDMA転送要求発生までの期間

( 1/2 )

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DADC0	DS1	DS0	0	0	0	0	0	0	SAD1	SAD0	DAD1	DAD0	TM1	TM0	TTYP	TDIR	FFFFFF0D0H	0000H
DADC1	DS1	DS0	0	0	0	0	0	0	SAD1	SAD0	DAD1	DAD0	TM1	TM0	TTYP	TDIR	FFFFFF0D2H	0000H
DADC2	DS1	DS0	0	0	0	0	0	0	SAD1	SAD0	DAD1	DAD0	TM1	TM0	TTYP	TDIR	FFFFFF0D4H	0000H
DADC3	DS1	DS0	0	0	0	0	0	0	SAD1	SAD0	DAD1	DAD0	TM1	TM0	TTYP	TDIR	FFFFFF0D6H	0000H

ビット位置	ビット名	意味															
15, 14	DS1, DS0	Data Size DMA転送での転送データ・サイズを設定します。															
<table border="1"> <thead> <tr> <th>DS1</th> <th>DS0</th> <th>転送データ・サイズ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>8ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>16ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>			DS1	DS0	転送データ・サイズ	0	0	8ビット	0	1	16ビット	1	0	設定禁止	1	1	設定禁止
DS1	DS0	転送データ・サイズ															
0	0	8ビット															
0	1	16ビット															
1	0	設定禁止															
1	1	設定禁止															

ビット位置	ビット名	意味															
7, 6	SAD1, SADO	<p>Source Address count Direction DMAチャンネルnの転送元アドレスのカウンタ方向を設定します (n = 0-3)。</p> <table border="1"> <thead> <tr> <th>SAD1</th> <th>SADO</th> <th>カウンタ方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	SAD1	SADO	カウンタ方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止
SAD1	SADO	カウンタ方向															
0	0	インクリメント															
0	1	デクリメント															
1	0	固定															
1	1	設定禁止															
5, 4	DAD1, DADO	<p>Destination Address count Direction DMAチャンネルnの転送先アドレスのカウンタ方向を設定します (n = 0-3)。</p> <table border="1"> <thead> <tr> <th>DAD1</th> <th>DADO</th> <th>カウンタ方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	DAD1	DADO	カウンタ方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止
DAD1	DADO	カウンタ方向															
0	0	インクリメント															
0	1	デクリメント															
1	0	固定															
1	1	設定禁止															
3, 2	TM1, TM0	<p>Transfer Mode DMA転送時の転送モードを設定します。</p> <table border="1"> <thead> <tr> <th>TM1</th> <th>TM0</th> <th>転送モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>シングル転送モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>シングルステップ転送モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>ブロック転送モード</td> </tr> </tbody> </table>	TM1	TM0	転送モード	0	0	シングル転送モード	0	1	シングルステップ転送モード	1	0	設定禁止	1	1	ブロック転送モード
TM1	TM0	転送モード															
0	0	シングル転送モード															
0	1	シングルステップ転送モード															
1	0	設定禁止															
1	1	ブロック転送モード															
1	TTYP	<p>Transfer Type DMA転送タイプを設定します。 0 : 2サイクル転送 1 : フライバイ転送</p>															
0	TDIR	<p>Transfer Direction I/O メモリ転送時の転送方向を設定します。設定はフライバイ転送時だけで、2サイクル転送時は無視されます。 0 : メモリ I/O (リード) 1 : I/O メモリ (ライト)</p>															

### 6.3.5 DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3)

DMAチャンネルnのDMA転送動作モードを制御する8ビット・レジスタです (n = 0-3)。

8/1ビット単位でリード/ライト可能です (ただし, ビット7はリードだけ, ビット2, ビット1はライトだけ可能です。ビット2, ビット1をリードした場合は0が読み出されます。 )。

ビット6-4には必ず0を設定してください。1を設定した場合の動作は保証できません。

- 注意1. MLEnビットがセット (1) された状態で転送を完了し, 次の転送要求を,  $\overline{\text{DMARQn}}$  端子入力, または内蔵周辺I/Oからの割り込みで起動するDMA転送 (ハードウェアDMA) で行った場合, 次の転送はTCnビットがセット (1) された状態で実行されます (自動的にクリア (0) されません)。
2. MLEnビットの設定は, 対象となるチャンネルが次のいずれかのタイミングのときに行ってください (これらのタイミング以外で設定を行った場合の動作は保証しません)。

- ・システム・リセットから最初のDMA転送要求発生までの期間
- ・DMA転送の完了後 (ターミナル・カウント後) から次のDMA転送要求発生までの期間
- ・DMA転送の強制終了後 (INITnビットのセット (1) 後) から次のDMA転送要求発生までの期間

3. MLEnビットをセット (1) した状態で, DMA転送の最後の転送サイクル時に強制終了を行ったときは, 転送完了時と同様の動作 (TCnビットのセット (1),  $\overline{\text{TCn}}$  信号の出力) を行います (Ennビットは, MLEnビットの値にかかわらず, 強制終了時にクリア (0) されます)。  
この場合, 次のDMA転送要求時は, Ennビットのセット (1) に加え, TCnビットの読み出し (クリア (0) ) も必要です。
4. DMA転送完了時 (ターミナル・カウント時) は, Ennビットのクリア (0) TCnビットのセット (1) の順で各ビットの更新が行われます。そのため, TCnビットとEnnビットの状態をポーリングしているような場合, DCHCnレジスタの読み出しタイミングが上記の各ビットの更新途中であると, 「転送未完了, かつ転送禁止」の状態を示す値 (TCnビット = 0, かつEnnビット = 0) が読み出されることがあります (異常動作ではありません)。
5. Enn, STGnビットの設定は, DMA中断中には行わないでください。  
DMA中断中に設定した場合の動作は保証できません。

	⑦	6	5	4	③	②	①	①	アドレス	初期値
DCHC0	TC0	0	0	0	MLE0	INIT0	STG0	E00	FFFFFF0E0H	00H
DCHC1	TC1	0	0	0	MLE1	INIT1	STG1	E11	FFFFFF0E2H	00H
DCHC2	TC2	0	0	0	MLE2	INIT2	STG2	E22	FFFFFF0E4H	00H
DCHC3	TC3	0	0	0	MLE3	INIT3	STG3	E33	FFFFFF0E6H	00H

ビット位置	ビット名	意味
7	TCn (n = 0-3)	Terminal Count DMAチャンネルnのDMA転送の完了 / 未完了を示すステータス・ビットです。 読み出しだけです。DMA転送の最後の転送時にセット (1) され、読み出しによりクリア (0) されます。 0 : DMA転送未完了 1 : DMA転送完了
3	MLEn (n = 0-3)	Multi Link Enable Bit DMA転送完了時 (ターミナル・カウント出力時) に、このビットがセット (1) されていると、Ennビットはクリア (0) されず、DMA転送許可状態のままになります。 次のDMA転送起動要因がDMARQn端子入力、または内蔵周辺I/Oからの割り込みの場合 (ハードウェアDMA) は、TCnビットを読み出さなくてもDMA転送要求が受け付けられます。 次のDMA転送起動要因がSTGnビットのセット (1) の場合 (ソフトウェアDMA) は、TCnビットを読み出してクリア (0) すれば、DMA転送要求が受け付けられます。 DMA転送完了時 (ターミナル・カウント出力時) に、このビットがクリア (0) されていると、Ennビットはクリア (0) され、DMA転送禁止状態になります。 次のDMA要求時は、TCnビットの読み出しとEnnビットのセット (1) が必要です。
2	INITn (n = 0-3)	Initialize DMA転送中、またはDMA中断中にこのビットをセット (1) すると、DMA転送を強制終了します (6. 13. 1 DMA転送強制終了に関する制限事項参照)。
1	STGn (n = 0-3)	Software Trigger DMA転送が許可の状態 (TCnビット = 0, Ennビット = 1) で、このビットをセット (1) するとDMA転送を開始します。
0	Enn (n = 0-3)	Enable DMAチャンネルnのDMA転送の許可 / 禁止を設定します。DMA転送が完了するとクリア (0) されます。また、NMI入力や、INITnビットのセット (1) による強制中断、強制終了時にもクリア (0) されます。 0 : DMA転送の禁止 1 : DMA転送の許可  <b>注意</b> Ennビットをセット (1) した場合、DBCnレジスタで設定した転送回数分のDMA転送が完了するか、またはINITnビットでDMA転送を強制終了させるまでは、Ennビットの設定は行わないでください。

### 6.3.6 DMAディスエーブル・ステータス・レジスタ (DDIS)

強制中断時 (NMI入力時) にDCHCnレジスタのEnnビットの内容を保持するレジスタです (n = 0-3)。

8ビット単位でリードだけ可能です。

ビット7-4には必ず0を設定してください。1を設定した場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
DDIS	0	0	0	0	CH3	CH2	CH1	CH0	FFFFFF0F0H	00H

ビット位置	ビット名	意味
3-0	CH3-CH0	NMI Interruption Status 強制中断時 (NMI入力時) にDCHCnレジスタのEnnビットの内容が反映されます。このレジスタの内容は、次の強制中断時 (NMI入力時)、またはシステム・リセット時まで保持されます。

### 6.3.7 DMAリスタート・レジスタ (DRST)

DRSTレジスタのENnビットは、DCHCnレジスタのEnnビットとそれぞれ連結しています (n = 0-3)。

8ビット単位でリード/ライト可能です。

ビット7-4には必ず0を設定してください。1を設定した場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
DRST	0	0	0	0	EN3	EN2	EN1	EN0	FFFFFF0F2H	00H

ビット位置	ビット名	意味
3-0	EN3-EN0	Restart Enable DMAチャンネルnのDMA転送の許可/禁止を設定します。ターミナル・カウント出力によりDMA転送が終了するとクリア (0) されます (n = 0-3)。 また、NMI入力や、DCHCnレジスタのINITnビットのセット (1) によるDMA強制終了時にもクリア (0) されます。 0 : DMA転送の禁止 1 : DMA転送の許可

### 6.3.8 DMAターミナル・カウント出力コントロール・レジスタ (DTCO)

DMAターミナル・カウント出力コントロール・レジスタ (DTCO) は、各DMAチャンネルのターミナル・カウント出力を制御する8ビットのレジスタです。各DMAチャンネルのターミナル・カウント信号を共通化し、 $\overline{TC0}$ 端子から出力することができます。

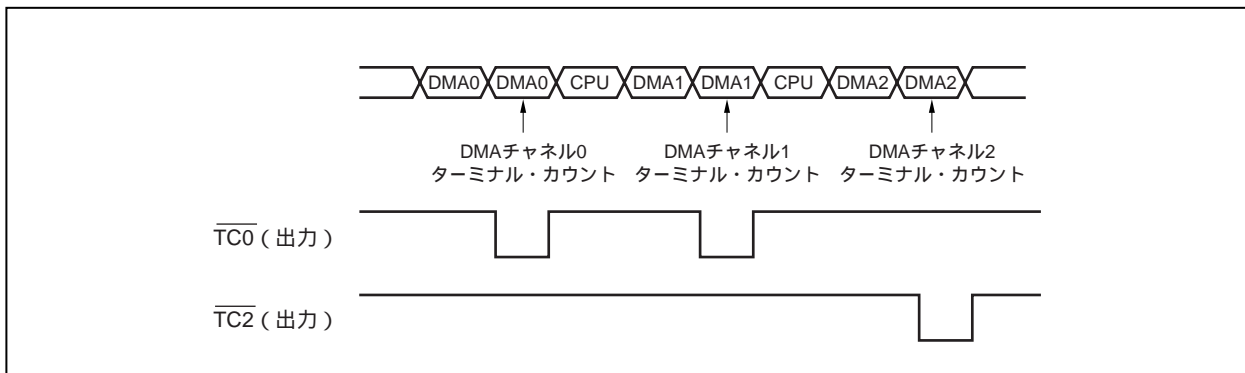
8/1ビット単位でリード/ライト可能です。

	7	6	5	4	③	②	①	①	アドレス	初期値
DTCO	0	0	0	0	TCO3	TCO2	TCO1	TCO0	FFFFF8A0H	01H

ビット位置	ビット名	意味
3-0	TCO3-TCO0	Terminal Count Output $\overline{TC0}$ 端子の状態を示します。 0: $\overline{TC0}$ 端子からチャンネルnのターミナル・カウント信号を出力しない (n = 0-3)。 1: $\overline{TC0}$ 端子からチャンネルnのターミナル・カウント信号を出力する (n = 0-3)。

DTCOレジスタを03Hに設定した場合の例を次に示します。





### 6.3.9 DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3)

内蔵周辺I/Oから割り込み要求によるDMA転送開始トリガを制御する8ビット・レジスタです。

このレジスタで設定した割り込み要求が、DMA転送の起動要因になります。

8ビット単位でリード/ライト可能です。ただし、ビット7(DFn)のみ1ビット単位、ビット5-0(IFCn5-IFCn0)は8ビット単位でリード/ライト可能です。

ビット6には必ず0を設定してください。1を設定した場合の動作は保証できません。

- 注意1.** DTFRnレジスタの設定を変更する場合は、必ずDMA動作を停止してから行ってください。
- 2.** スタンバイ・モード (IDLE, ソフトウェアSTOPモード) 中に入力された割り込み要求は、DMA転送の起動要因にはなりません。

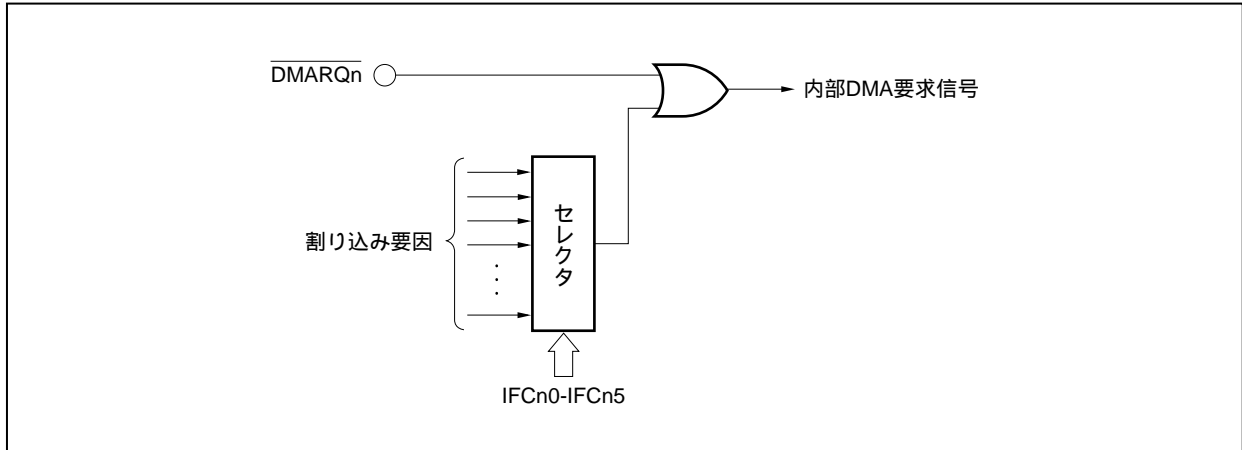
	⑦	6	5	4	3	2	1	0	アドレス	初期値
DTFR0	DF0	0	IFC05	IFC04	IFC03	IFC02	IFC01	IFC00	FFFFFF810H	00H
DTFR1	DF1	0	IFC15	IFC14	IFC13	IFC12	IFC11	IFC10	FFFFFF812H	00H
DTFR2	DF2	0	IFC25	IFC24	IFC23	IFC22	IFC21	IFC20	FFFFFF814H	00H
DTFR3	DF3	0	IFC35	IFC34	IFC33	IFC32	IFC31	IFC30	FFFFFF816H	00H

ビット位置	ビット名	意味																																																	
7	DFn	<p>DMA Request Flag</p> <p>DMA転送要求フラグです。</p> <p>ライトする場合は0のみ書き込み可能です。</p> <p>0 : DMA転送要求なし</p> <p>1 : DMA転送要求あり</p> <p>DMA転送を禁止 (NMIによる中断、ソフトウェアによる強制終了を含む) している間に、DMA転送の起動要因に設定している割り込みが発生し、DMA転送要求をクリアする必要がある場合には、割り込み発生要因の動作を停止したあとに、DFnビットをクリアしてください (例 シリアル受信の場合、受信を禁止)。なお、次にDMA転送を再開するまでに再度割り込みが発生しないことがアプリケーション上で明確な場合は、割り込み発生要因の動作を停止する必要はありません。</p>																																																	
5-0	IFCn5-IFCn0	<p>Interrupt Factor Code</p> <p>DMA転送の起動要因になる割り込み要因を設定します。</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>IFCn5</th> <th>IFCn4</th> <th>IFCn3</th> <th>IFCn2</th> <th>IFCn1</th> <th>IFCn0</th> <th>割り込み要因</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>内蔵周辺I/OからのDMA要求禁止</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>INTP000/INTM000</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>INTP001/INTM001</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>INTP010/INTM010</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>INTP011/INTM011</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>INTP020/INTM020</td> </tr> </tbody> </table>	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因	0	0	0	0	0	0	内蔵周辺I/OからのDMA要求禁止	0	0	0	0	0	1	INTP000/INTM000	0	0	0	0	1	0	INTP001/INTM001	0	0	0	0	1	1	INTP010/INTM010	0	0	0	1	0	0	INTP011/INTM011	0	0	0	1	0	1	INTP020/INTM020
IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因																																													
0	0	0	0	0	0	内蔵周辺I/OからのDMA要求禁止																																													
0	0	0	0	0	1	INTP000/INTM000																																													
0	0	0	0	1	0	INTP001/INTM001																																													
0	0	0	0	1	1	INTP010/INTM010																																													
0	0	0	1	0	0	INTP011/INTM011																																													
0	0	0	1	0	1	INTP020/INTM020																																													

ビット位置	ビット名	意味						
5-0	IFCn5-IFCn0	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
		0	0	0	1	1	0	INTP021/INTM021
		0	0	0	1	1	1	INTP030/INTM030
		0	0	1	0	0	0	INTP031/INTM031
		0	0	1	0	0	1	INTP100
		0	0	1	0	1	0	INTP101
		0	0	1	0	1	1	INTP102
		0	0	1	1	0	0	INTP103
		0	0	1	1	0	1	INTP110
		0	0	1	1	1	0	INTP111
		0	0	1	1	1	1	INTP112
		0	1	0	0	0	0	INTP113
		0	1	0	0	0	1	INTP120
		0	1	0	0	1	0	INTP121
		0	1	0	0	1	1	INTP122
		0	1	0	1	0	0	INTP123
		0	1	0	1	0	1	INTP130
		0	1	0	1	1	0	INTP131
		0	1	0	1	1	1	INTP132
		0	1	1	0	0	0	INTP133
		0	1	1	0	0	1	INTCMD0
		0	1	1	0	1	0	INTCMD1
		0	1	1	0	1	1	INTCMD2
		0	1	1	1	0	0	INTCMD3
		0	1	1	1	0	1	INTCSI0
		0	1	1	1	1	0	INTSR0
		0	1	1	1	1	1	INTST0
		1	0	0	0	0	0	INTCSI1
		1	0	0	0	0	1	INTSR1
		1	0	0	0	1	0	INTST1
		1	0	0	0	1	1	INTCSI2
		1	0	0	1	0	0	INTSR2
		1	0	0	1	0	1	INTST2
1	0	0	1	1	0	INTAD		
その他							設定禁止	

備考 n = 0-3

$\overline{\text{DMARQn}}$ 信号とDMA転送トリガとなる割り込み要因の関係を次に示します ( $n = 0-3$ )。



**注意**  $\overline{\text{DMARQn}}$ 端子をDMA転送の起動要因にする場合、 $\text{DTFRn}$ レジスタ = 00Hに設定してください。

割り込み要求をDMA転送の起動要因にする場合、ポート側 (PMC0レジスタなど) で $\overline{\text{DMARQn}}$ 信号の入力をマスクしてください。この場合には、DMAの起動とともに割り込み要求も発生します。割り込み要求を発生させたくない場合は、割り込み要求制御レジスタで割り込みをマスクしてください。割り込みをマスクしてもDMAは起動されます。

## 6.4 DMAバス・ステート

### 6.4.1 バス・ステートの種類

DMACのバス・ステートは次に示す13種類のステートで構成されています。

#### (1) T1ステート

アクセス要求がないアイドル状態のステートです。

CLKOUT信号の立ち上がりでDMARQ0-DMARQ3信号をサンプリングします。

#### (2) T0ステート

DMA転送準備状態 (DMA転送要求があり、最初のDMA転送のためにバス使用权を獲得している状態) のステートです。

#### (3) T1Rステート

2サイクル転送のリードの最初に移行するステートです。

アドレスの駆動を開始します。T1RステートのあとはT2Rステートに必ず遷移します。

#### (4) T1RIステート

外部メモリのリード・リクエストに対するアクノリッジ信号を待っているステートです。

最後のT1RIステートのあとはT2Rステートに必ず遷移します。

#### (5) T2Rステート

2サイクル転送のリードの最後またはウエイト状態のステートです。

最後のT2Rステートでリード・データをサンプリングします。そのあとは必ずT1Wステートに遷移します。

#### (6) T2RIステート

内蔵周辺I/Oまたは内蔵RAMへのDMA転送準備状態 (内蔵周辺I/Oまたは内蔵RAMへのDMA転送のために、バスの使用权を獲得している状態) のステートです。

最後のT2RIステートのあとはT1Wステートに必ず遷移します。

#### (7) T1Wステート

2サイクル転送のライトの最初に移行するステートです。

アドレスの駆動を開始します。T1WステートのあとはT2Wステートに必ず遷移します。

#### (8) T1WIステート

外部メモリのライト・リクエストに対するアクノリッジ信号を待っているステートです。

最後のT1WIステートのあとはT2Wステートに必ず遷移します。

#### (9) T2Wステート

2サイクル転送のライトの最後またはウエイト状態のステートです。

最後のT2Wステートでライト・ストロブ信号をインアクティブにします。

(10) T1FHステート

フライバイ転送の基本のステートで、その転送の実行サイクルです。  
T1FHステートのあとはT2FHステートに遷移します。

(11) T1FHIステート

フライバイ転送の最後の状態で、転送の終了を待ちます。  
T1FHIステートのあとはバスを解放し、TEステートに遷移します。

(12) T2FHステート

フライバイ転送が続くかどうかを判断するステートです。  
次の転送をブロック転送で行う場合、T2FHステートのあと、T1FHステートに移行します。  
その他の状態で、かつウエイトが発行されている場合はT1FHIステートに遷移します。ウエイトが発行されていなければバスを解放し、TEステートに遷移します。

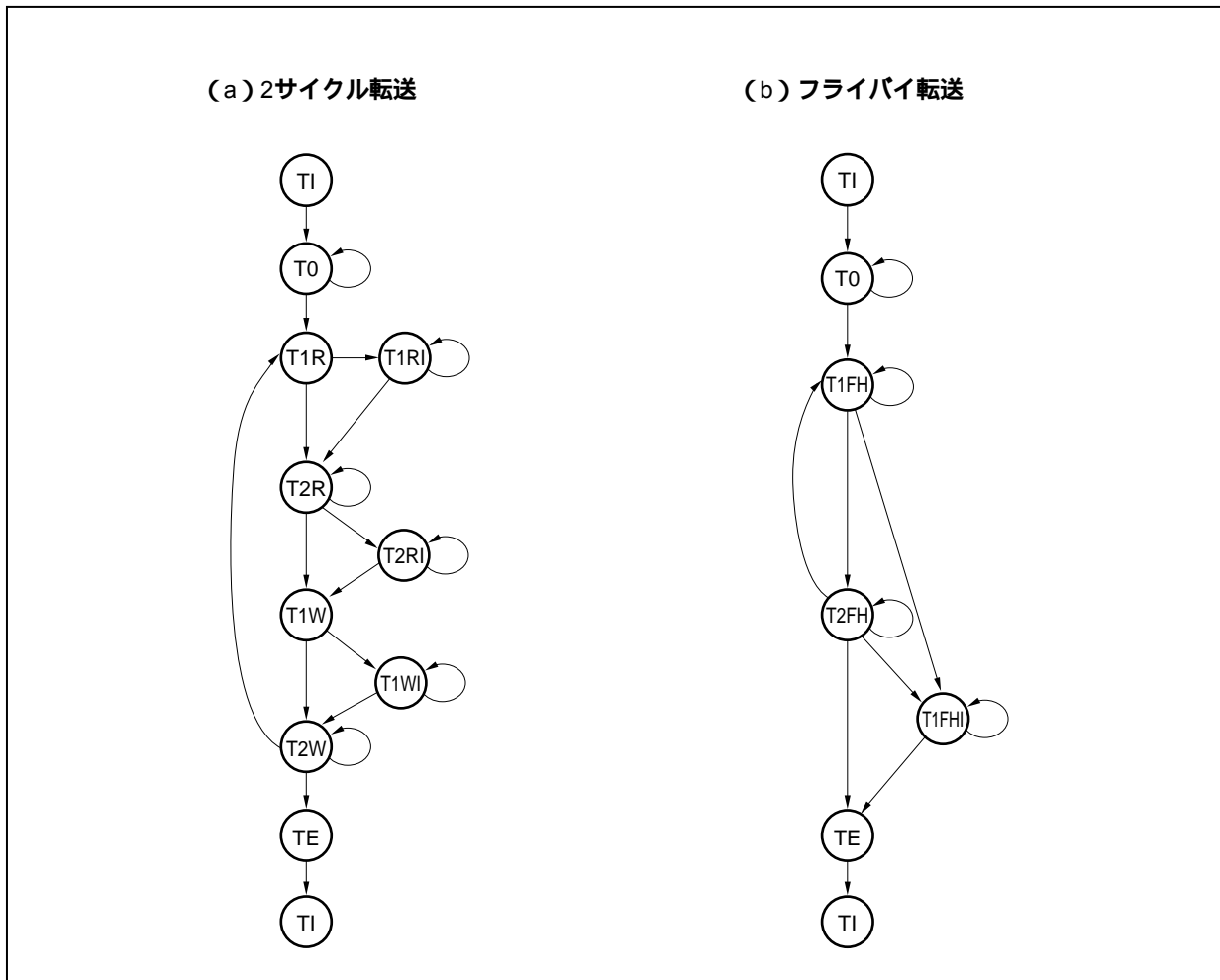
(13) TEステート

DMA転送完了のステートです。各種内部信号を初期化します。TEステートのあとはTIステートに必ず遷移します。

### 6.4.2 DMACバス・サイクルの状態遷移

ブロック転送モードを除き，1回のDMA転送終了ごとにバス使用权を解放します。

図6 - 1 DMACバス・サイクルの状態遷移図



## 6.5 転送モード

### 6.5.1 シングル転送モード

シングル転送では、DMACは1回のバイト/ハーフワード転送ごとにバスを解放します。その後、DMA転送要求があると再度1回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA要求を優先します。ただし、シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求が発生した場合は、前回の優先順位が高いDMA転送要求信号がアクティブのままでもこの要求は優先されず、CPUにバスを解放した次の転送は新たに要求のあった優先順位の低い方のDMA転送となります。

図6 - 2から図6 - 5にシングル転送の例を示します。

図6 - 2 シングル転送例1

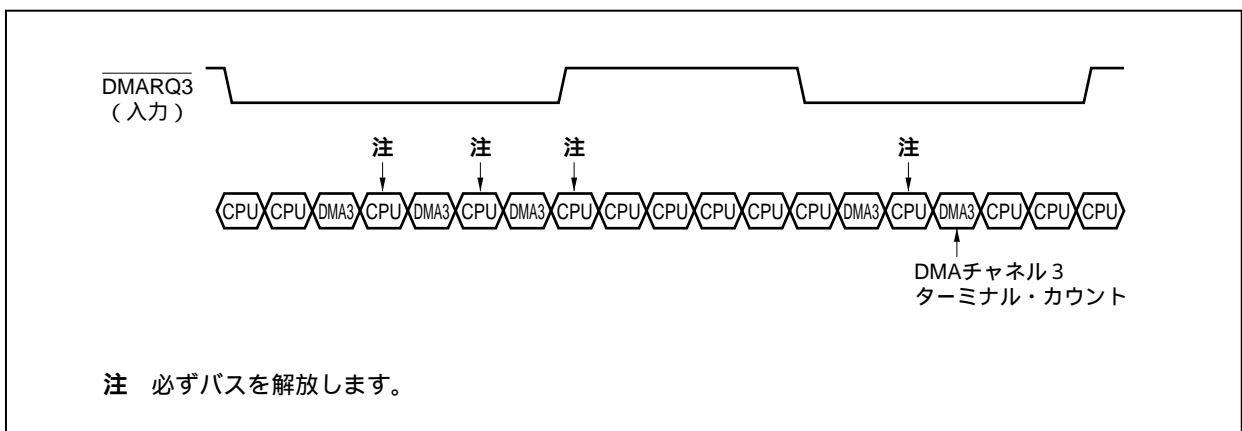


図6 - 3は、優先順位の高いDMA要求が発生した場合のシングル転送の例で、DMAチャンネル0-2はブロック転送、チャンネル3はシングル転送です。

図6 - 3 シングル転送例2

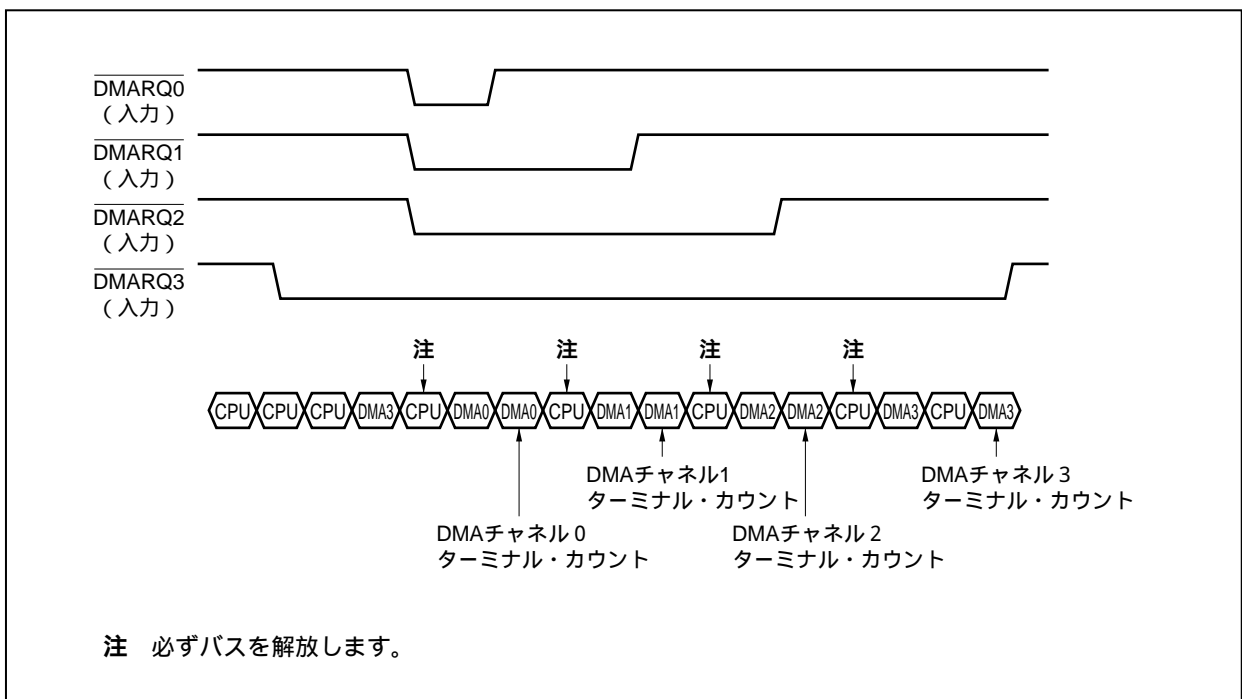




図6 - 4は、シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求が発生した場合のシングル転送の例で、DMAチャンネル0, 3はシングル転送です。2つのDMA転送要求信号が同時にアクティブになっているときは、2つのDMA転送を交互に行います。

図6 - 4 シングル転送例3

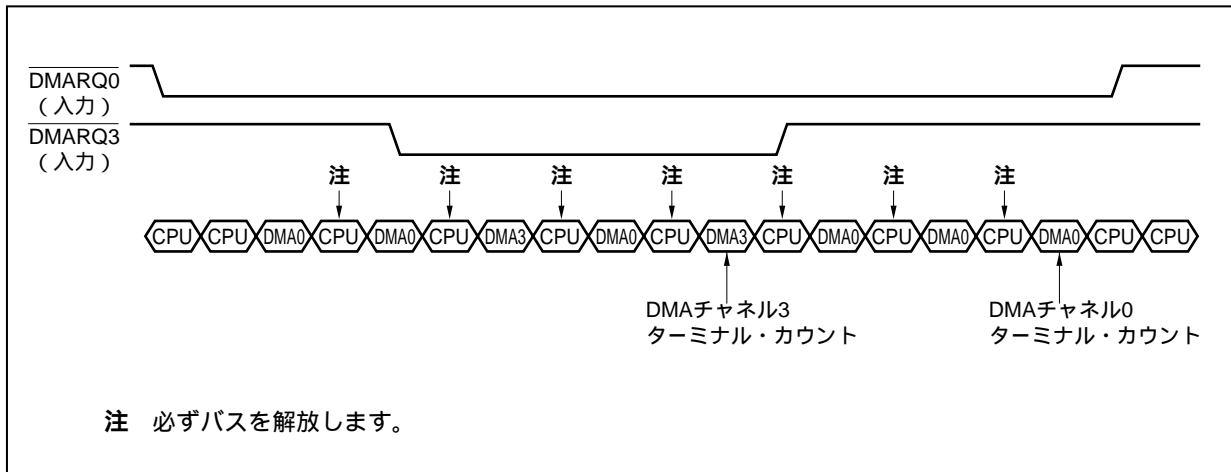
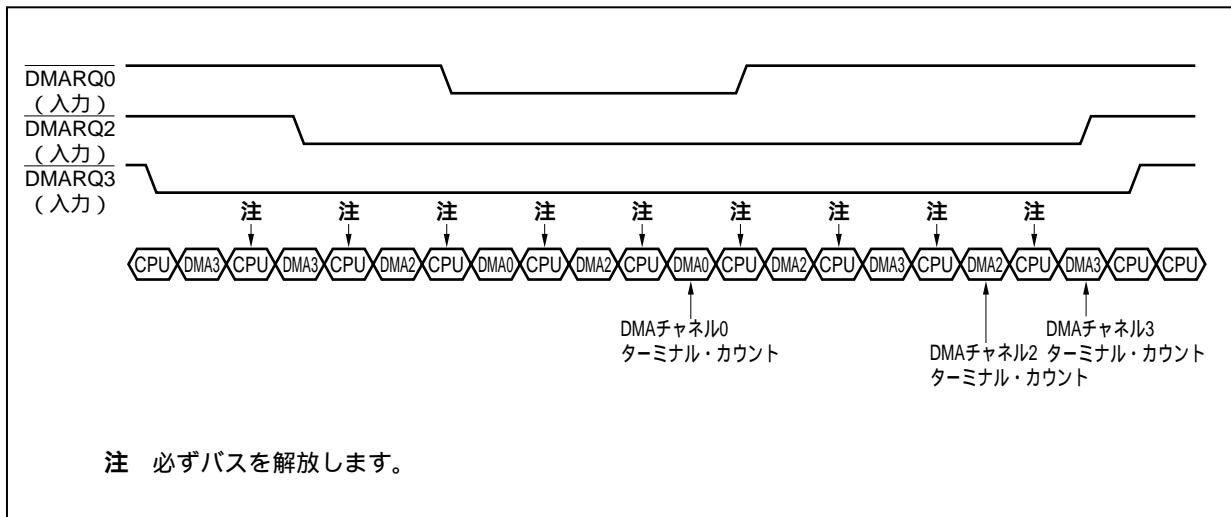


図6 - 5は、シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求の発生が複数あった場合のシングル転送の例で、DMAチャンネル0, 2, 3はシングル転送です。3つ以上のDMA転送要求信号が同時にアクティブになっているときは、常に優先順位が高い順から2つのDMA転送を交互に行います。

図6 - 5 シングル転送例4



### 6.5.2 シングルステップ転送モード

シングルステップ転送では、DMACは1回のバイト/ハーフワード転送ごとにバスを解放します。一度、DMA転送要求信号 (DMARQ0-DMARQ3) を受けると、ターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA要求を優先させます。

次にシングルステップ転送の例を示します。図6-7は、優先順位が高いDMA転送要求が発生した場合のシングルステップ転送モードの例で、DMAチャンネル0, 1ともにシングルステップ転送です。

図6-6 シングルステップ転送例1

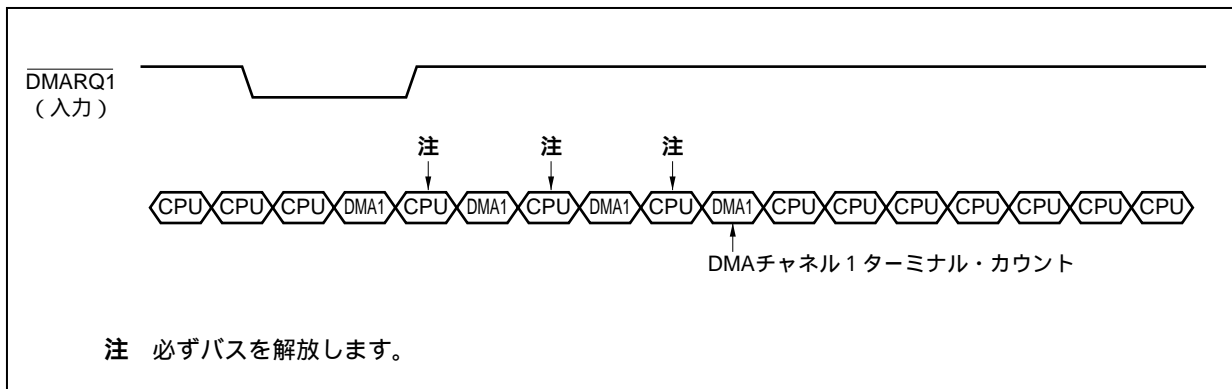
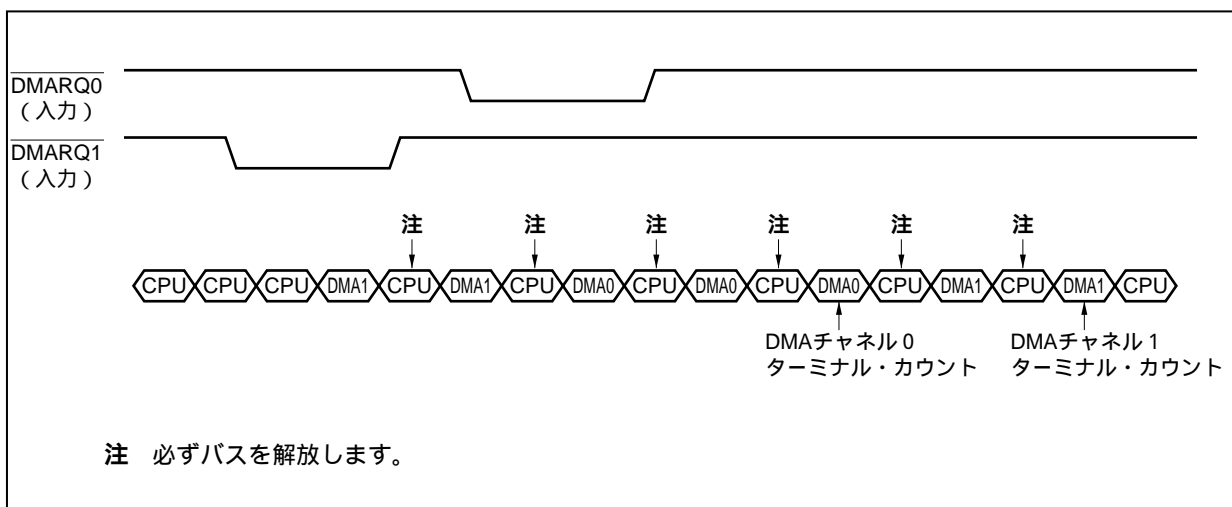


図6-7 シングルステップ転送例2



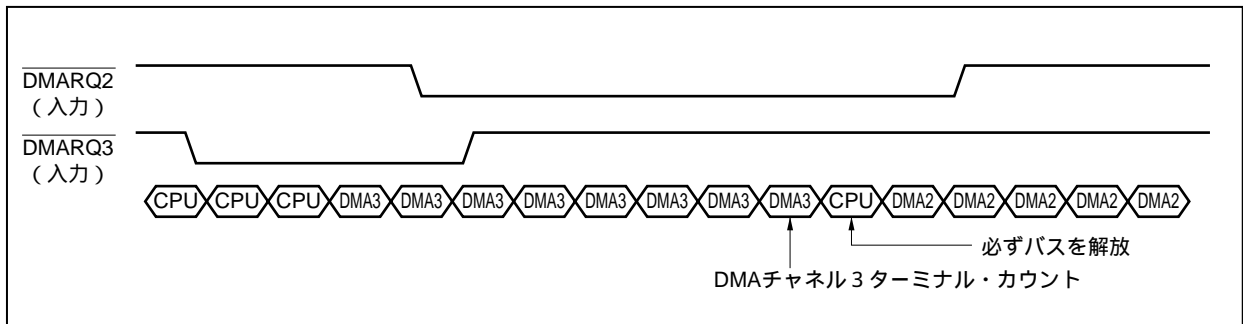
### 6.5.3 ブロック転送モード

ブロック転送では、転送が開始されると、ターミナル・カウントが発生するまでバスを解放せず転送を続けます。ブロック転送中は、ほかのDMA要求は受け付けません。

ブロック転送が終了しDMACがバスを解放したあとに、ほかのDMA転送を受け付けます。なお、ブロック転送中はCPUのバス・サイクルが挿入されることはありませんが、バス・ホールドおよびリフレッシュ・サイクルは、ブロック転送中でもDMA転送間に挿入されます。

次にブロック転送の例を示します。優先順位の高いDMA要求が発生した場合のブロック転送の例で、DMAチャンネル2, 3はブロック転送です。

図6 - 8 ブロック転送例



## 6.6 転送タイプ

### 6.6.1 2サイクル転送

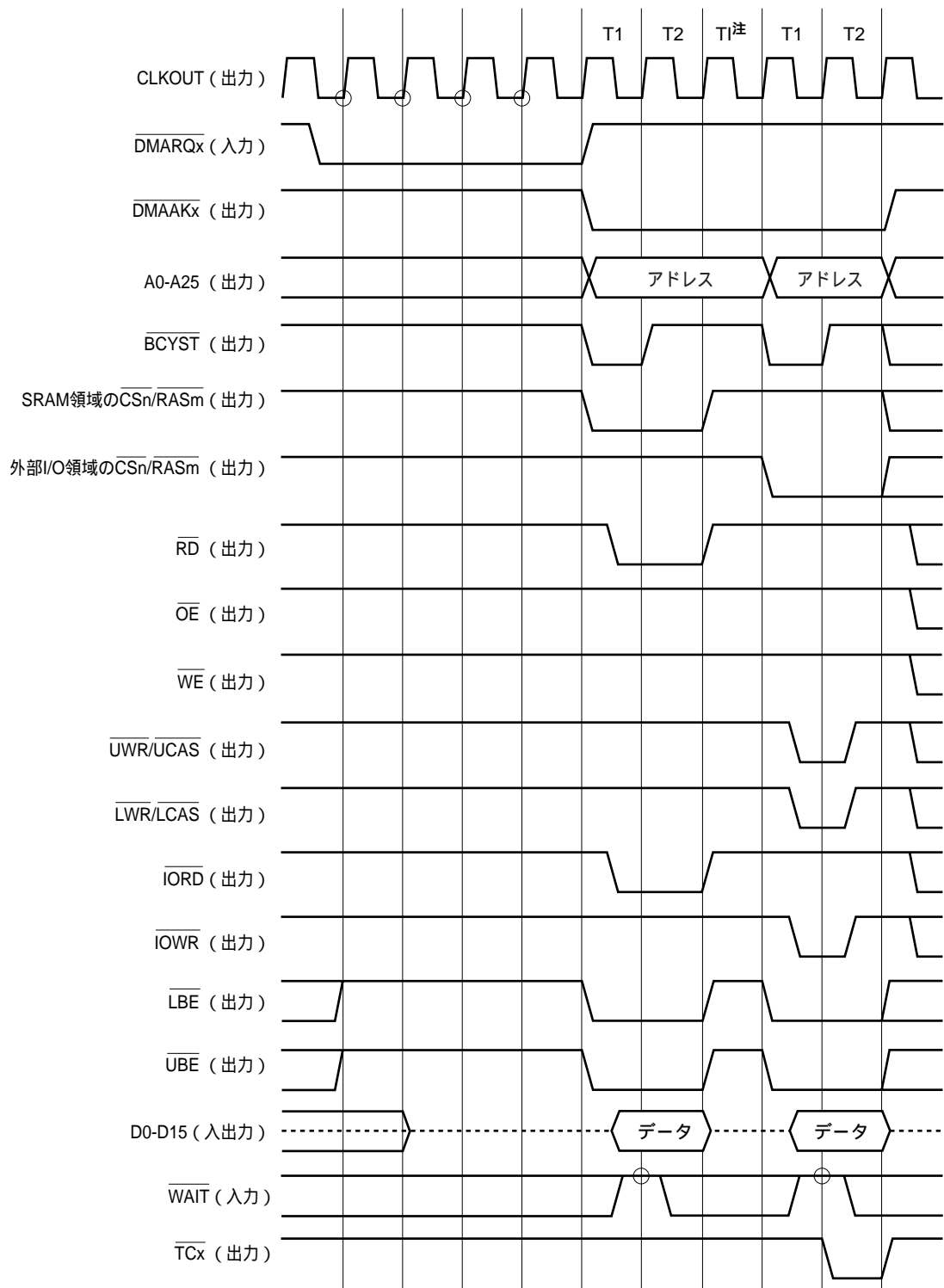
2サイクル転送は、リード・サイクル (転送元 DMAC)、ライト・サイクル (DMAC 転送先) と2回のサイクルでデータを転送します。

1回目のサイクルでは、転送元のアドレスを出力し転送元からDMACへのリードを行い、2回目のサイクルでは、転送先のアドレスを出力しDMACから転送先への書き込みを行います。

**注意** リード・サイクルとライト・サイクルの間に、必ず1クロック分のアイドル・サイクルが挿入されます。

図6 - 9 2サイクルDMA転送時のSRAM, 外部ROM, 外部I/Oアクセス・タイミング (1/2)

(a) SRAM 外部I/Oの場合 (SRAMに対するBCCレジスタの設定: BCn1, BCn0 = 00B)  
 (外部I/Oに対するBCCレジスタの設定: BCn1, BCn0 = 00B)



注 BCCレジスタの設定に依存しないアイドル・ステート (TI) です。

備考1. 印はサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

3. n = 0-7, m = 1, 3, 4, 6, x = 0-3

図6-9 2サイクルDMA転送時のSRAM, 外部ROM, 外部I/Oアクセス・タイミング (2/2)

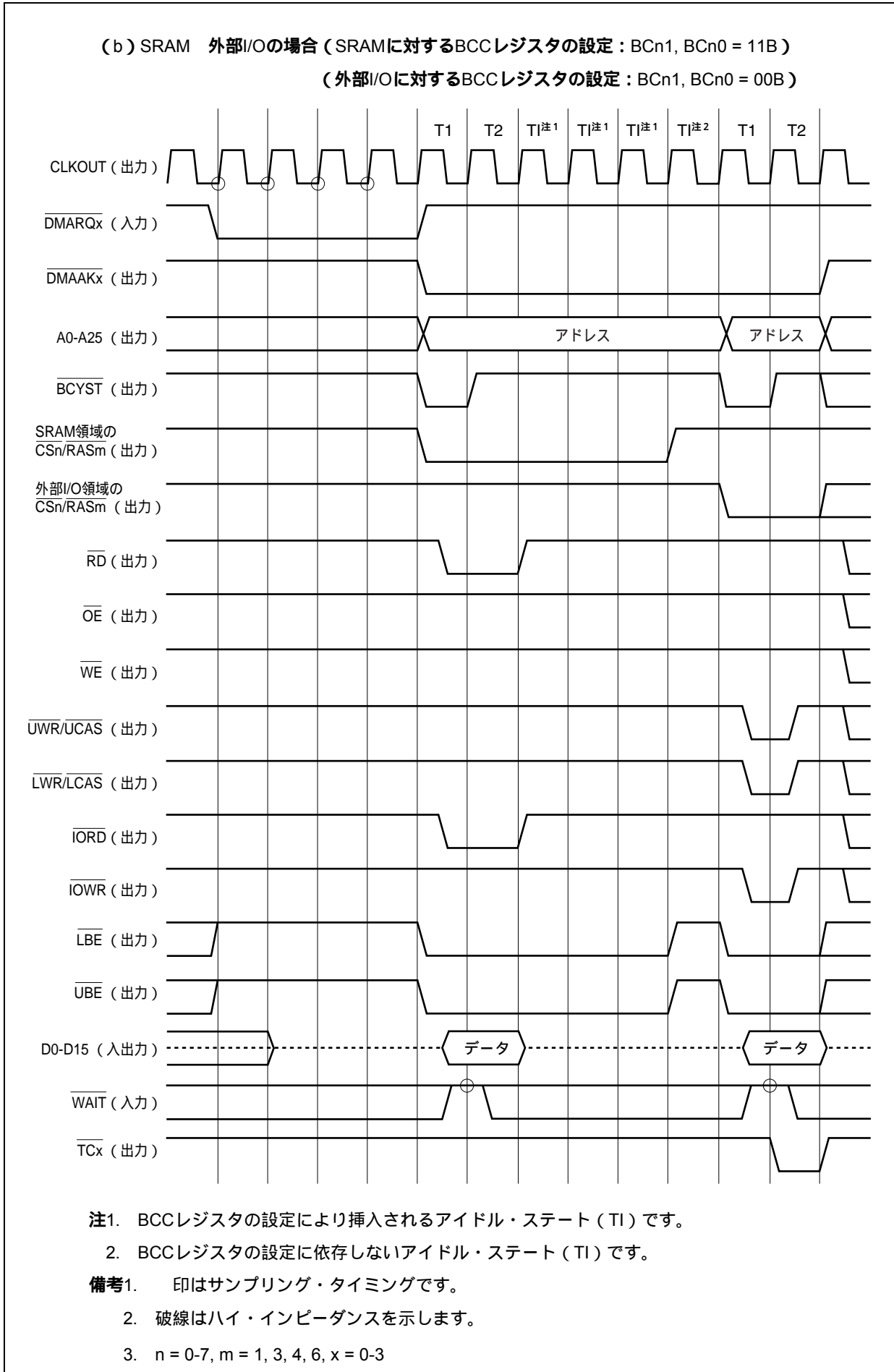


図6 - 10 2サイクルDMA転送時のタイミング (外部I/O SRAM)

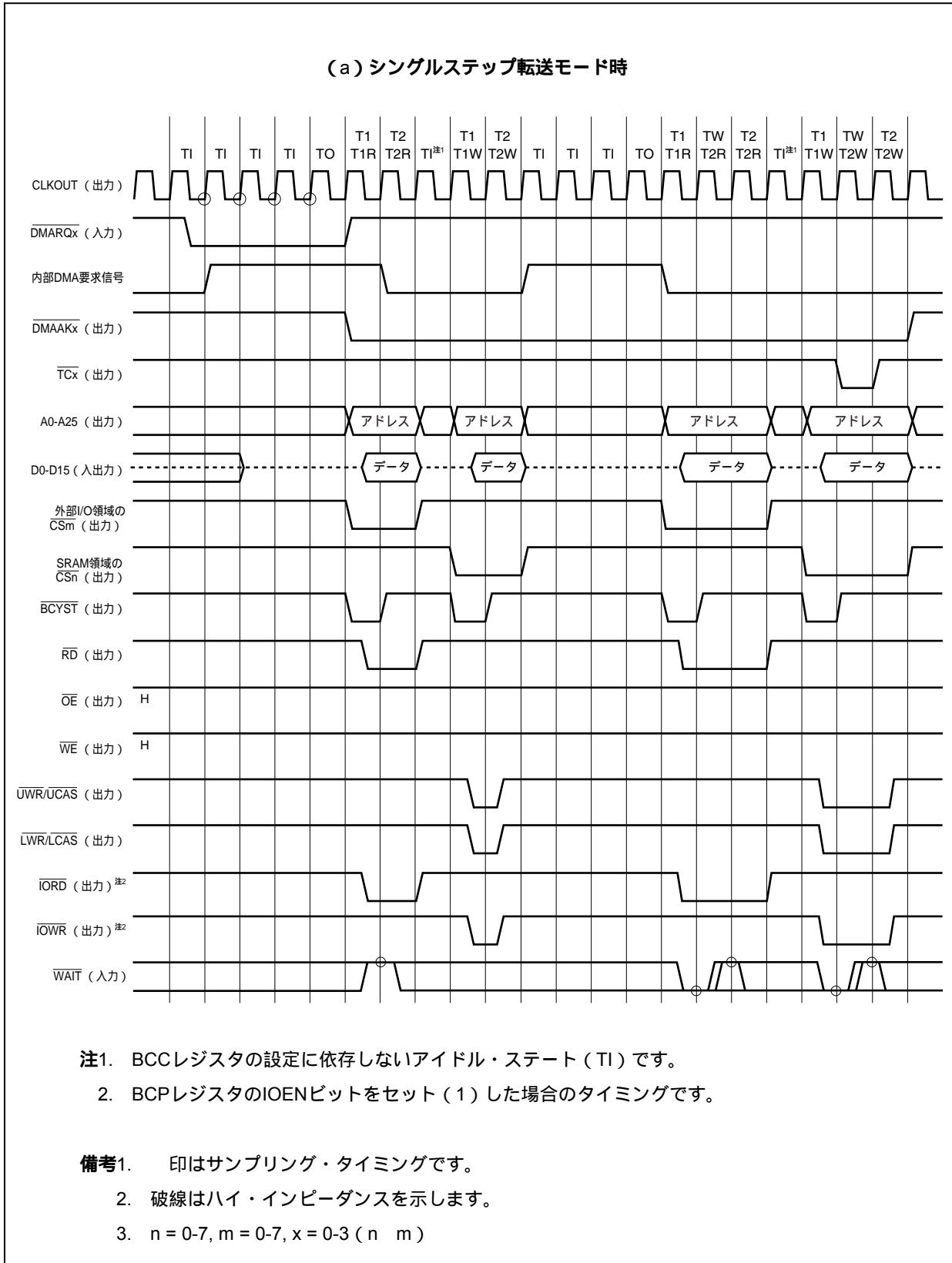


図6 - 11 2サイクルDMA転送時のタイミング (SRAM EDO DRAM) (1/3)

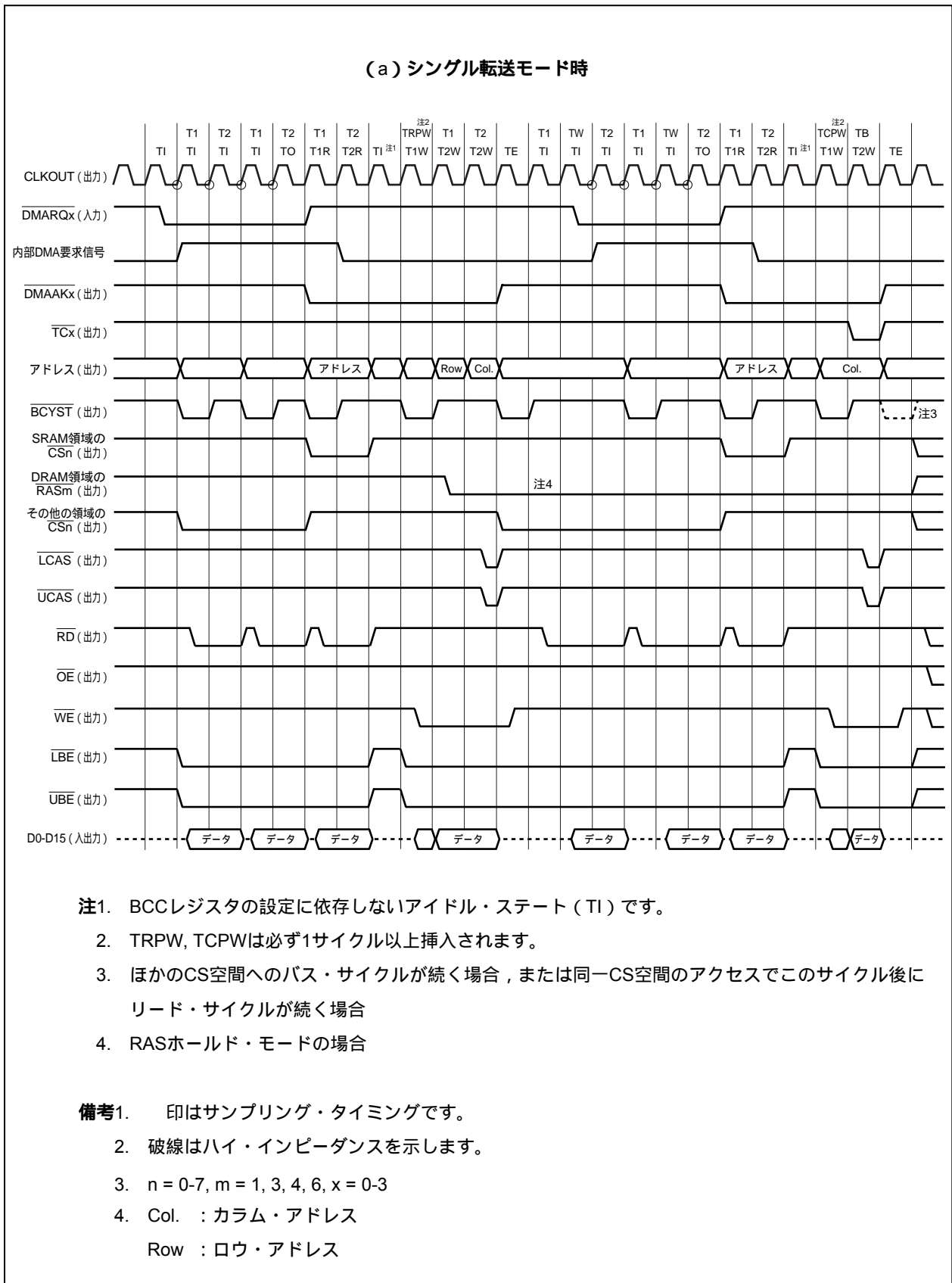




図6 - 11 2サイクルDMA転送時のタイミング (SRAM EDO DRAM) (2/3)

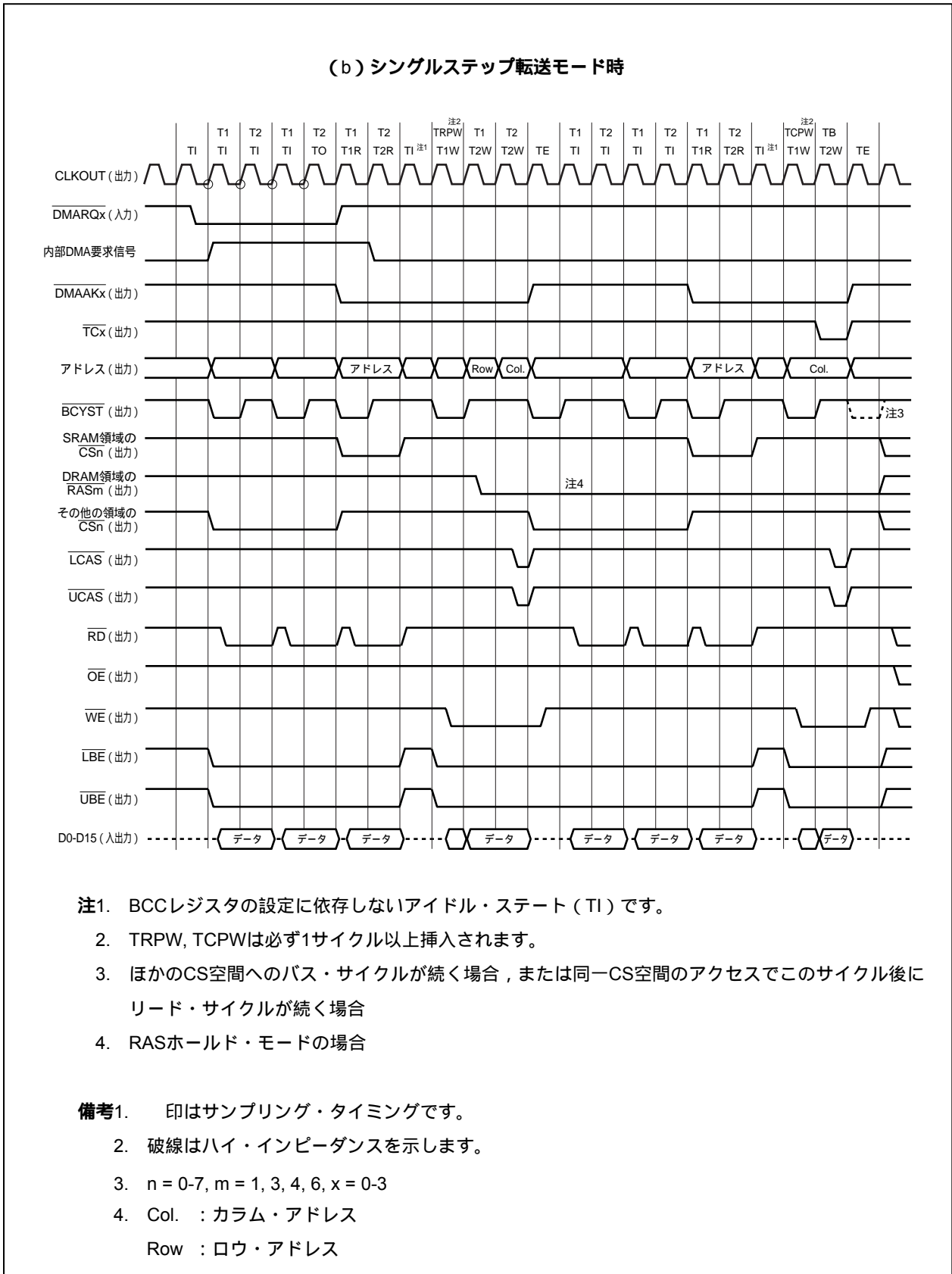


図6 - 11 2サイクルDMA転送時のタイミング (SRAM EDO DRAM) (3/3)

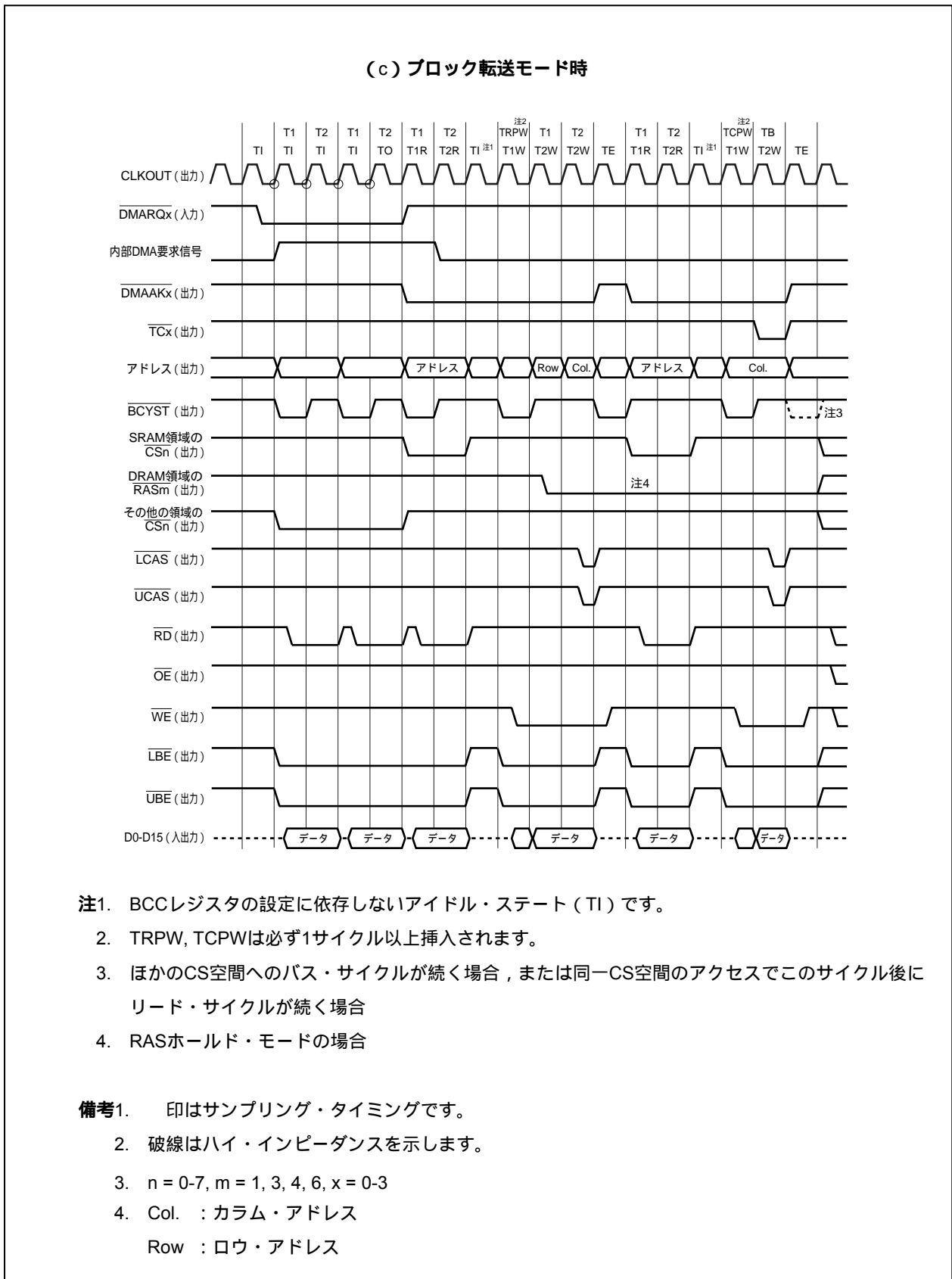


図6 - 12 2サイクルDMA転送時のタイミング (EDO DRAM SRAM) (1/3)

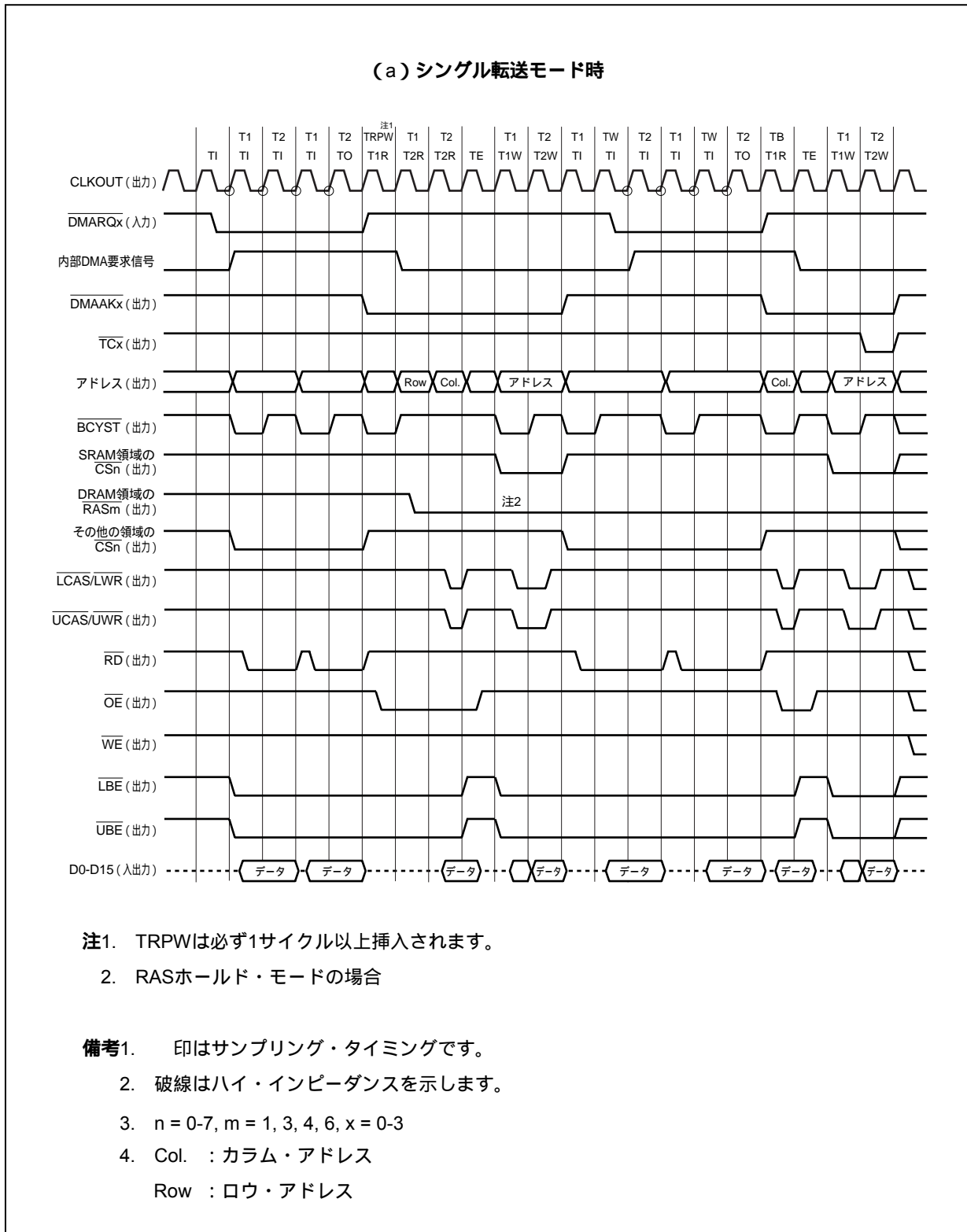


図6 - 12 2サイクルDMA転送時のタイミング (EDO DRAM SRAM) (2/3)

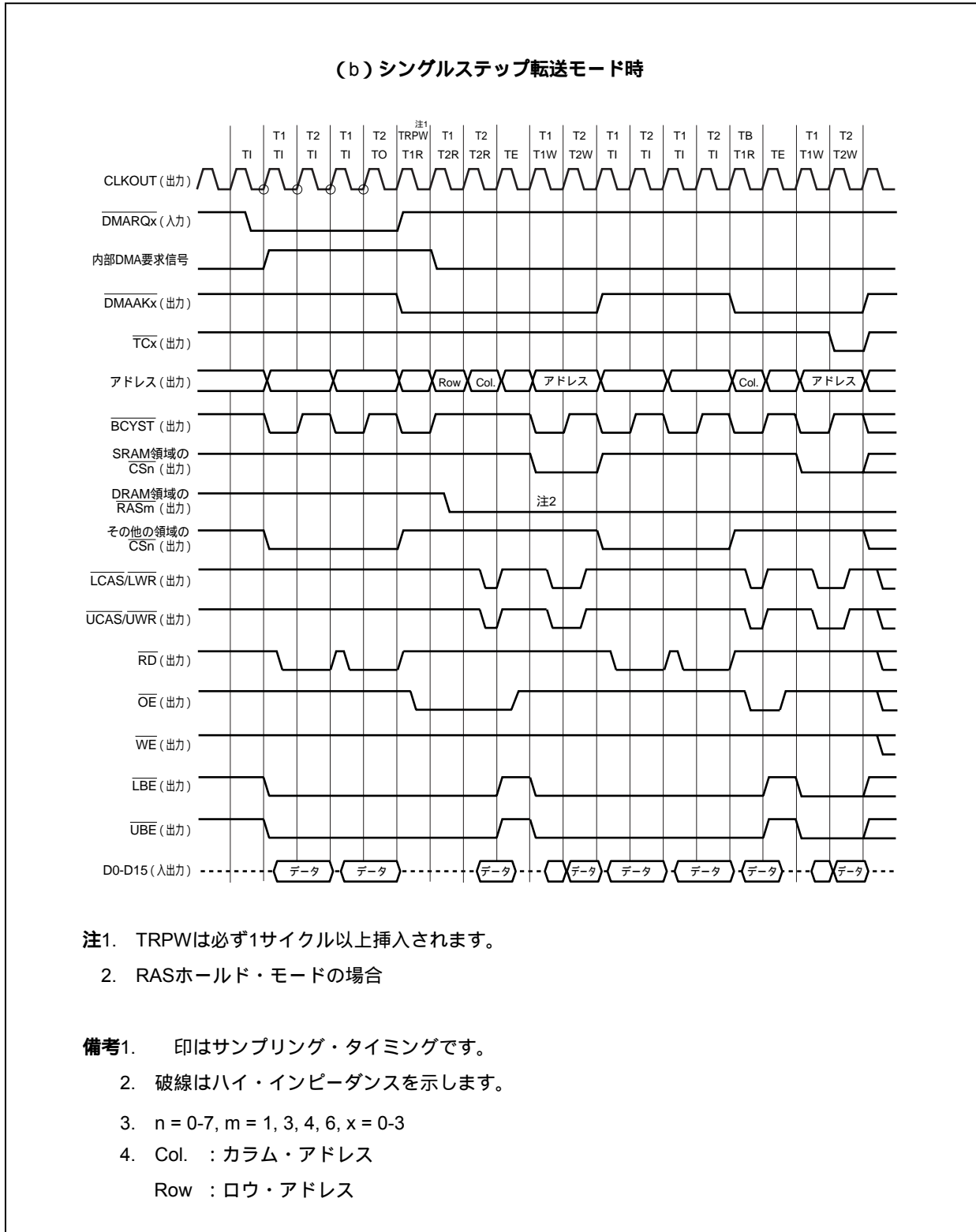


図6 - 12 2サイクルDMA転送時のタイミング (EDO DRAM SRAM) (3/3)

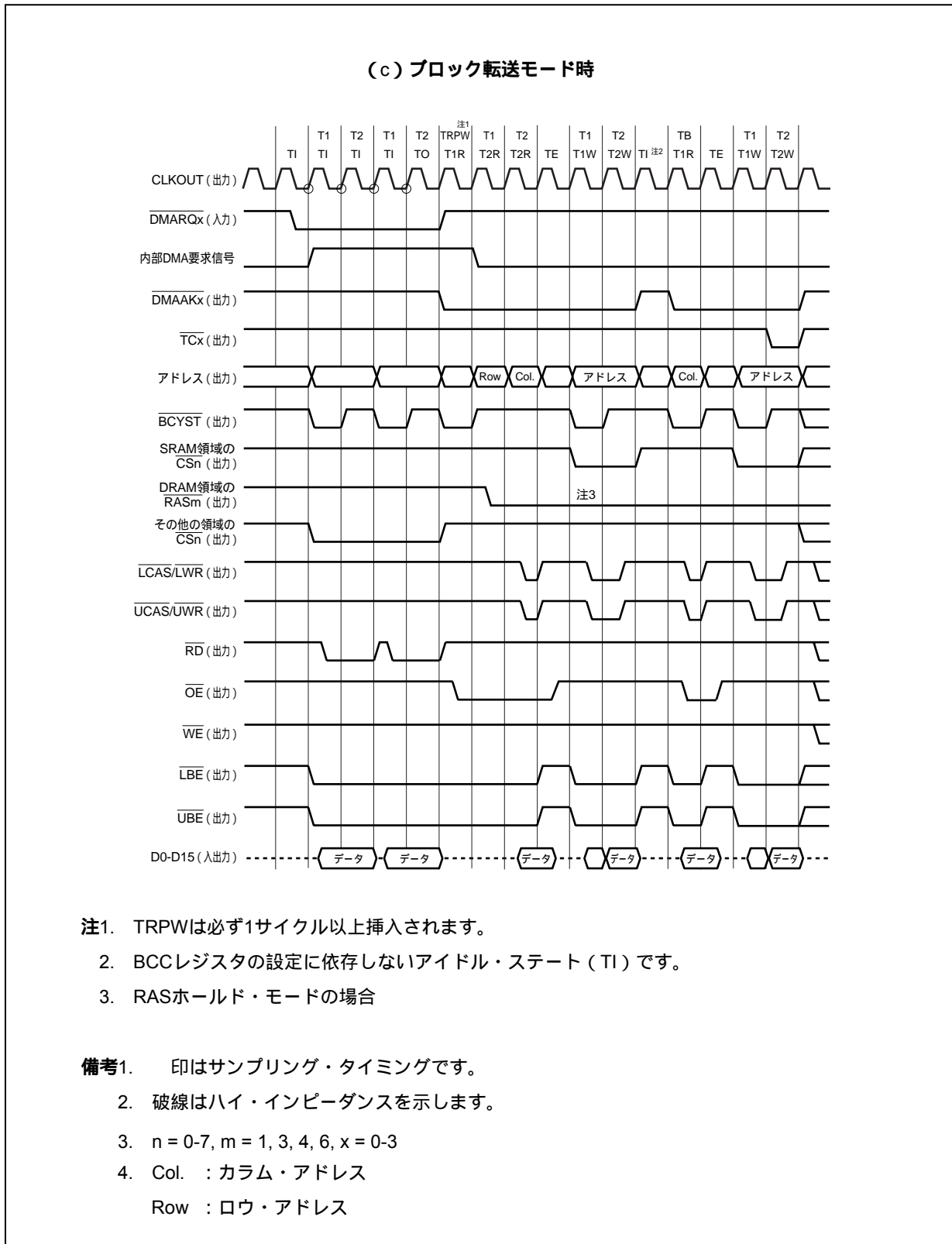


図6-13 2サイクルDMA転送時のタイミング (SRAM SDRAM) (1/3)

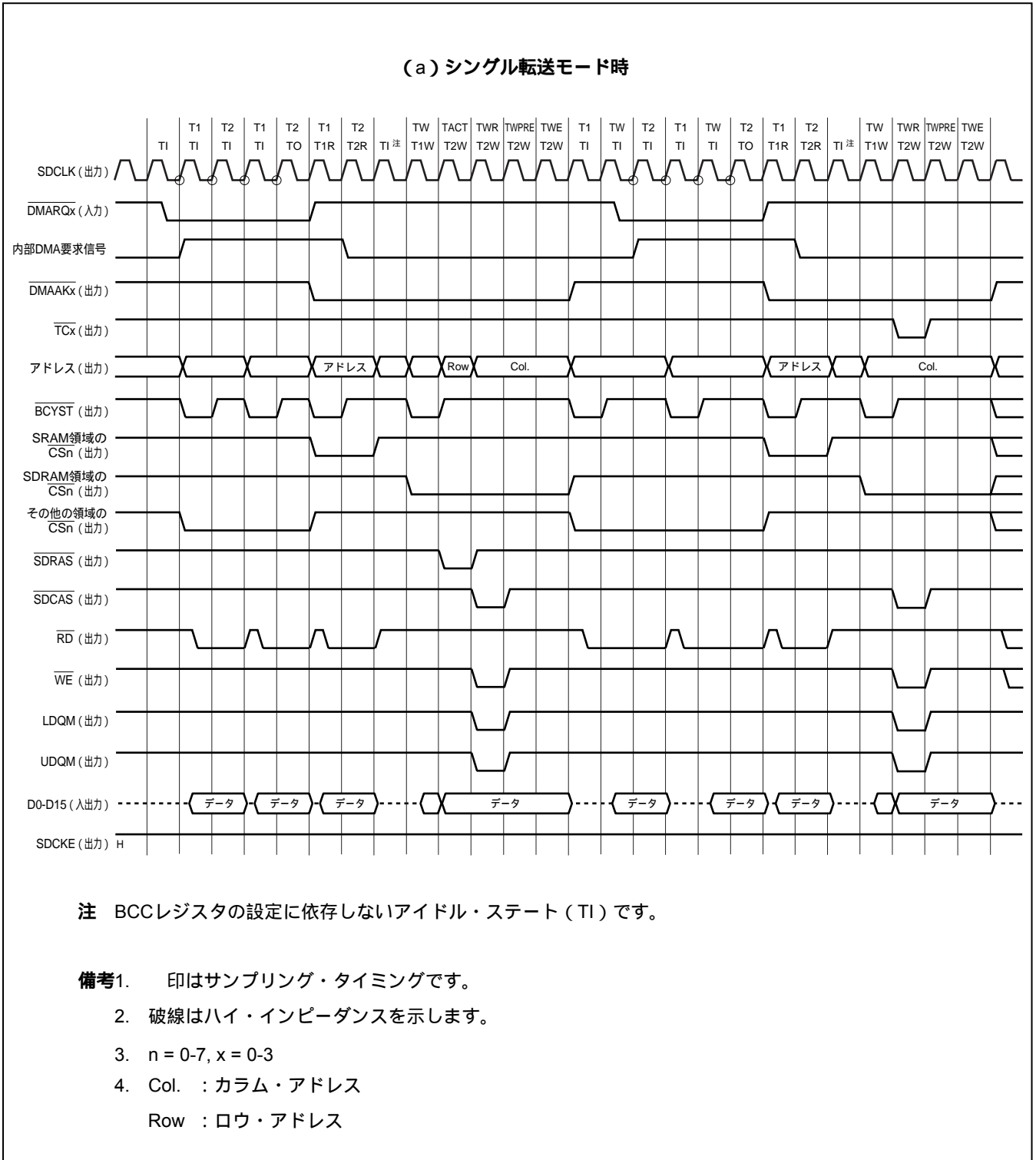


図6 - 13 2サイクルDMA転送時のタイミング (SRAM SDRAM) (2/3)

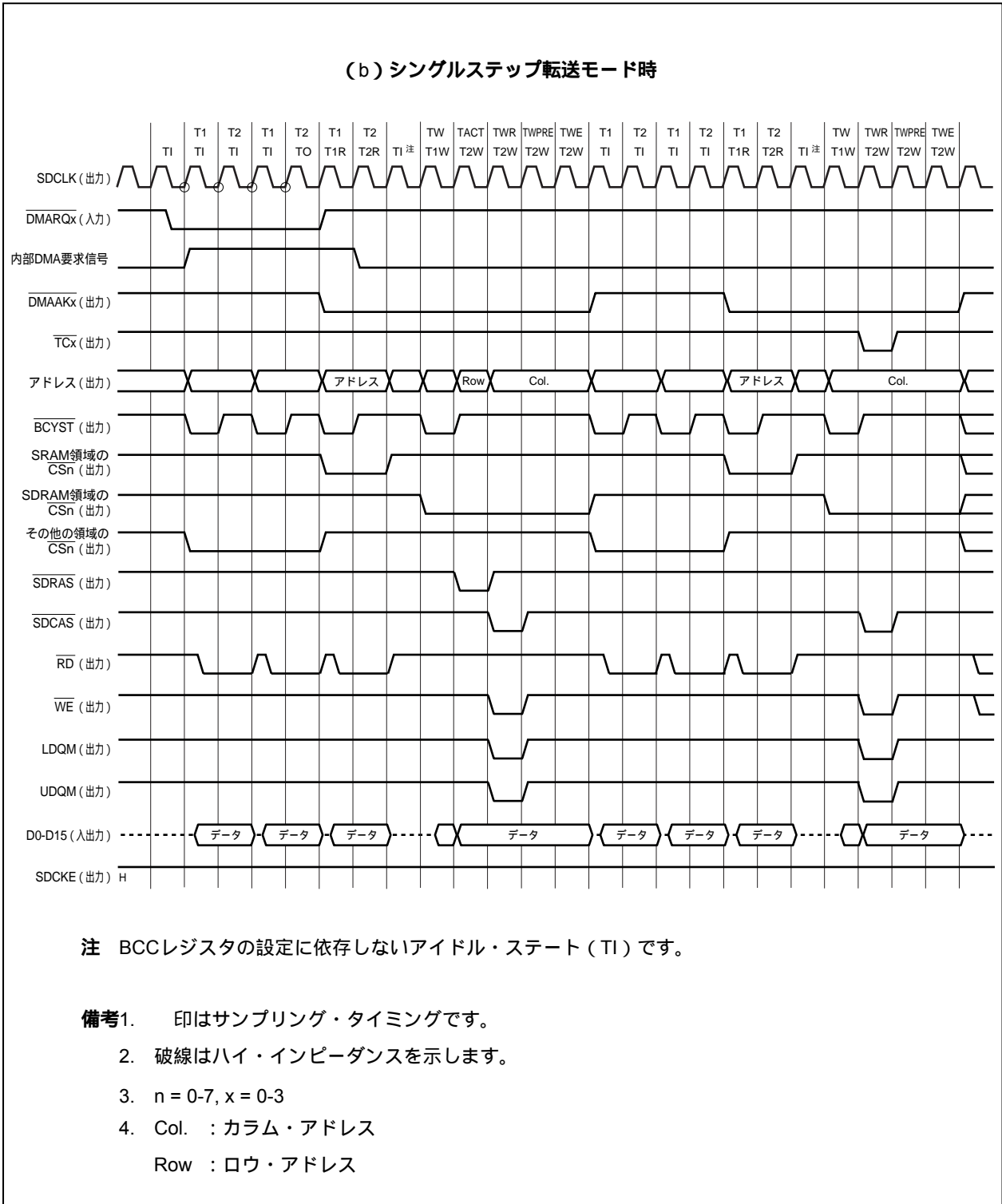


図6 - 13 2サイクルDMA転送時のタイミング (SRAM SDRAM) (3/3)

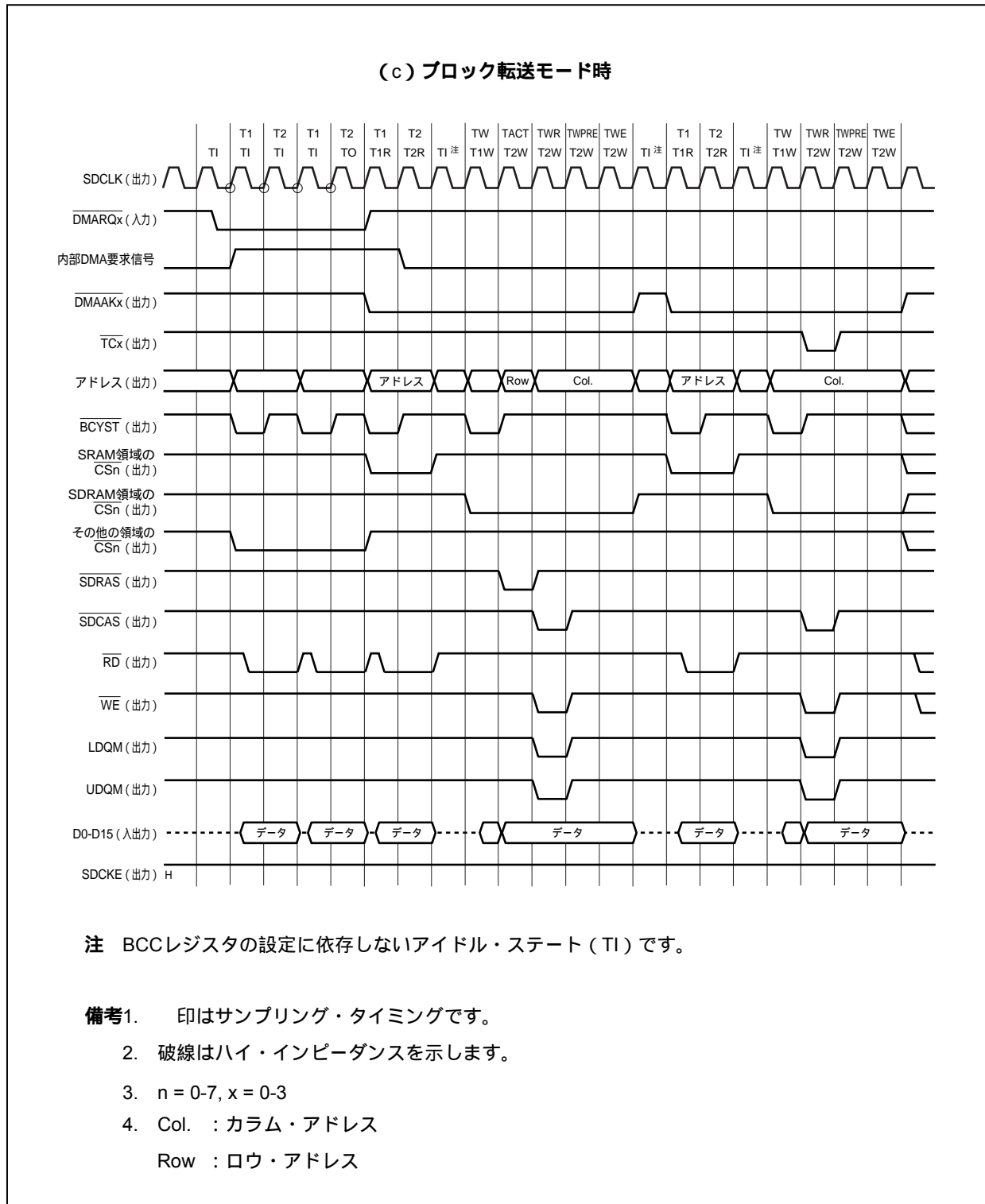




図6-14 2サイクルDMA転送時のタイミング (SDRAM SRAM) (1/3)

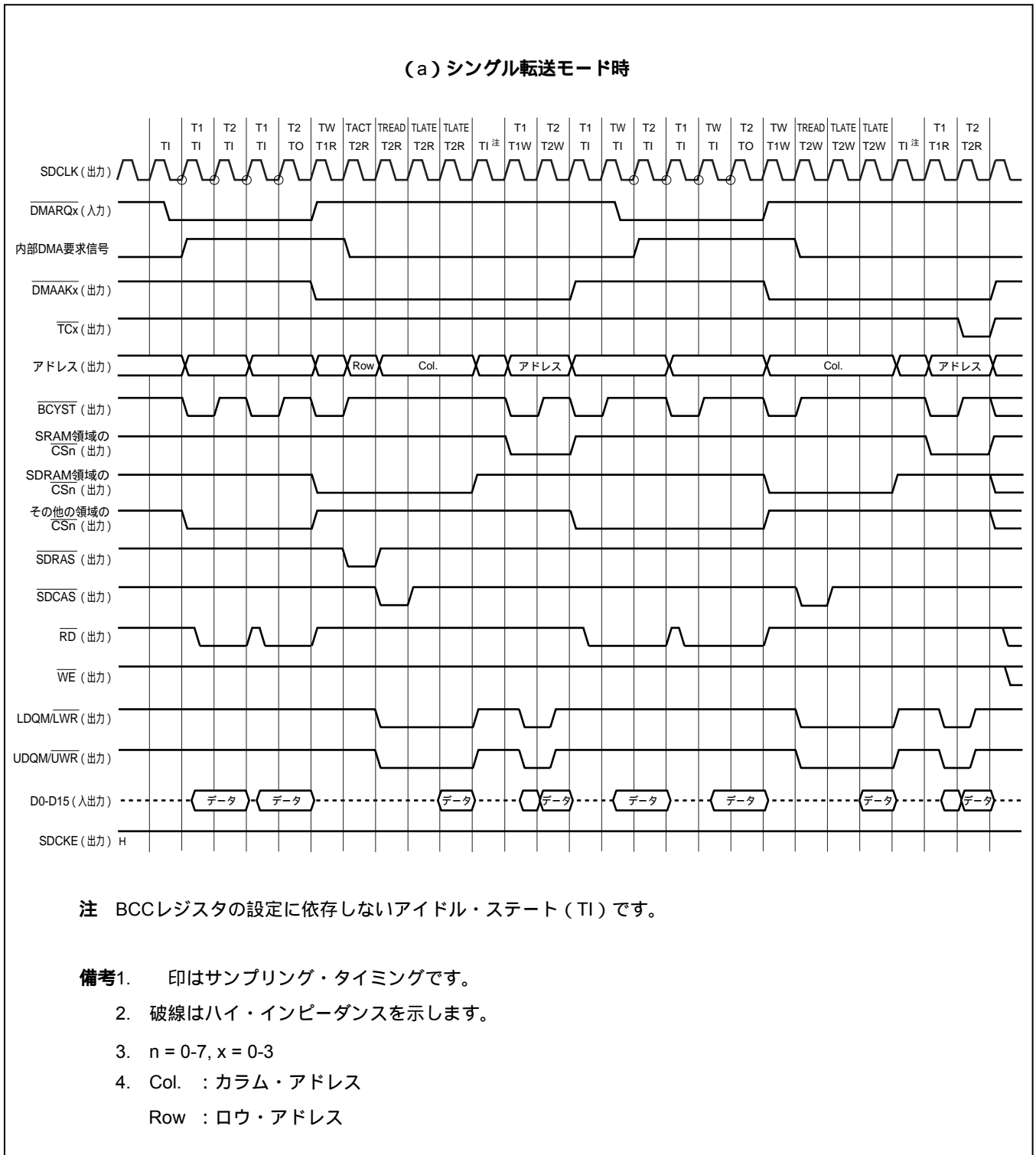


図6 - 14 2サイクルDMA転送時のタイミング (SDRAM SRAM) (2/3)

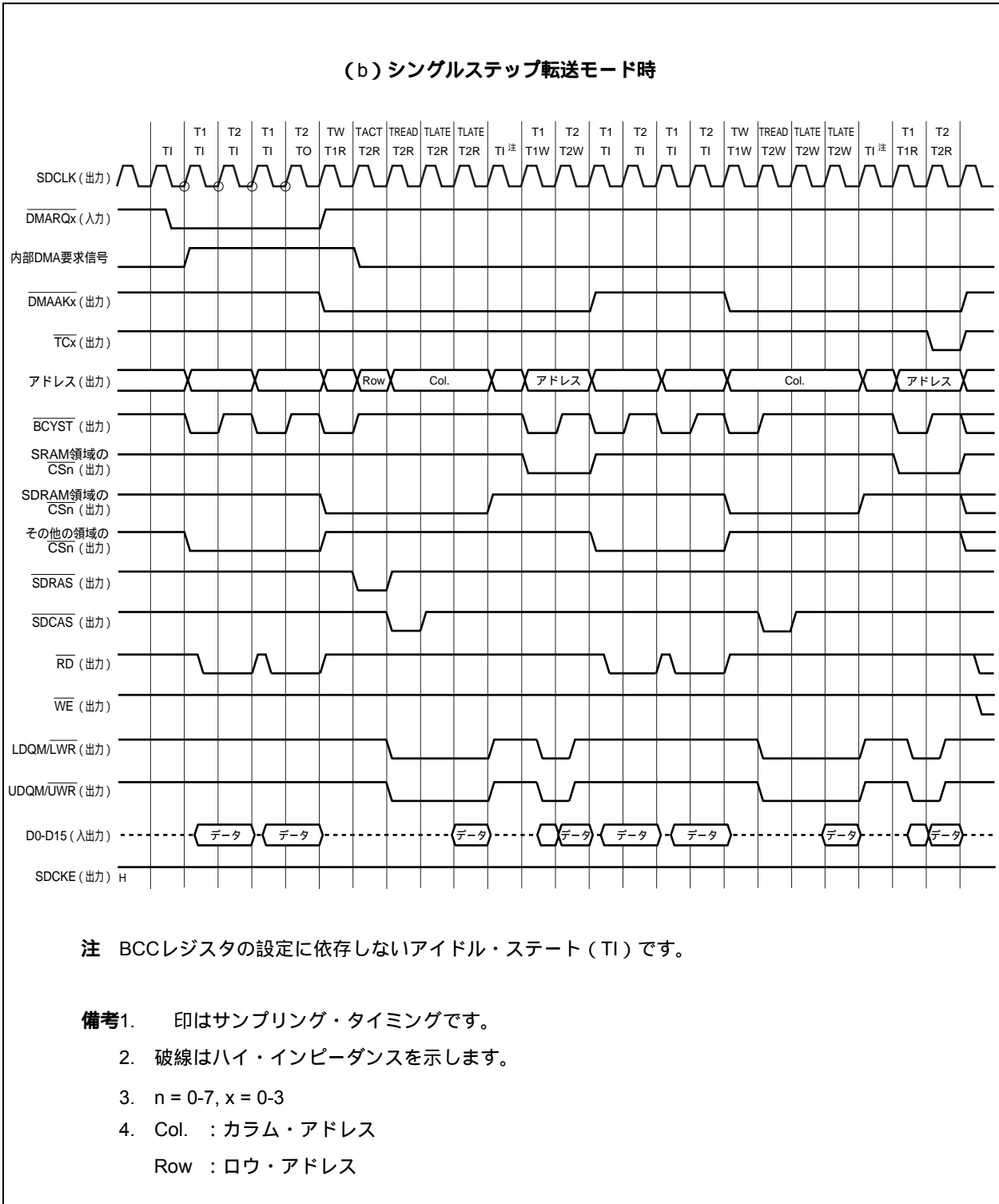
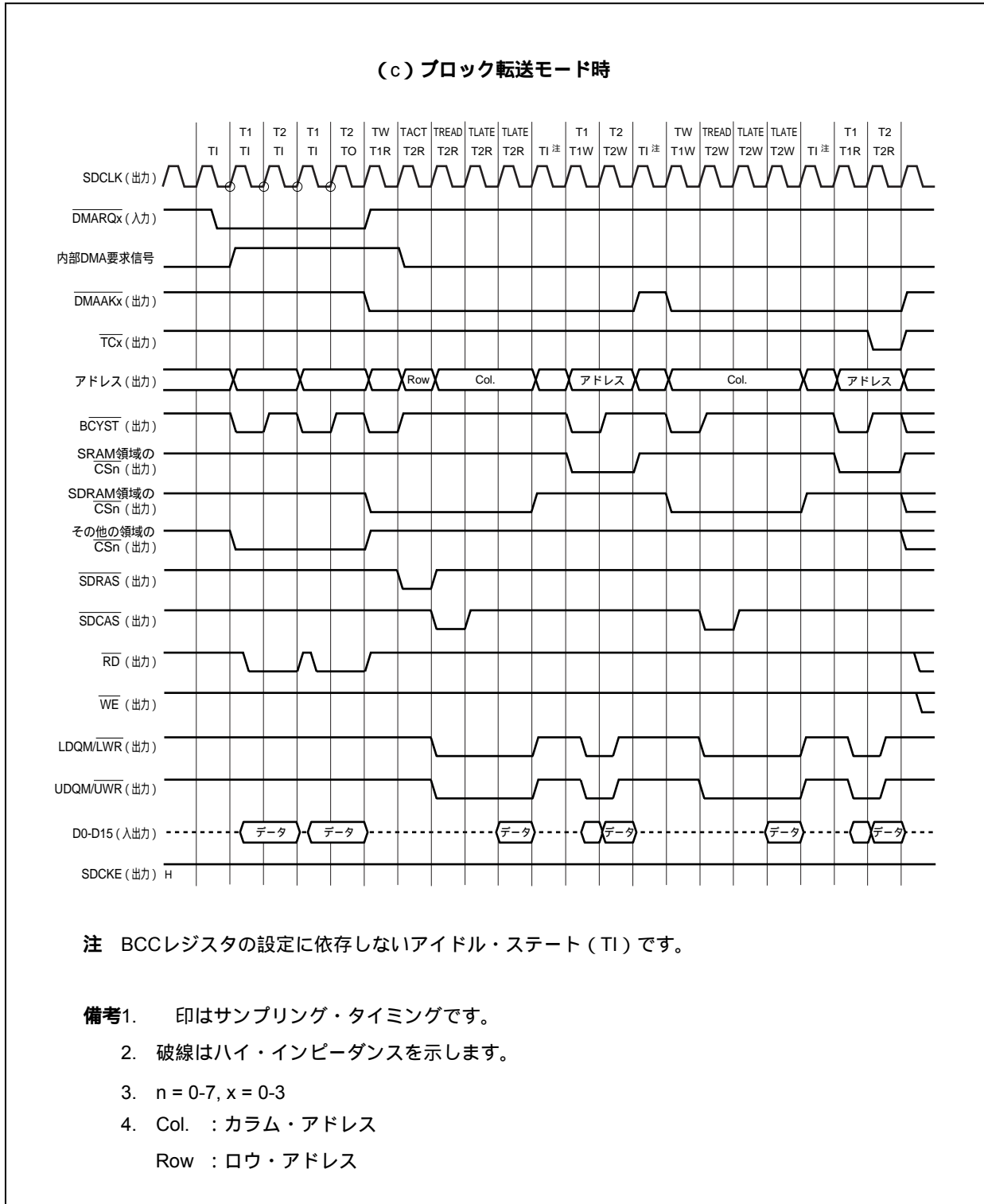


図6-14 2サイクルDMA転送時のタイミング (SDRAM SRAM) (3/3)



### 6.6.2 フライバイ転送

フライバイ転送は、1サイクルで転送を行うため、転送先、転送元にかかわらず、常にメモリのアドレスを出し、メモリ、周辺I/Oのリード/ライト信号を同時にアクティブにします。このため、外部I/Oは、 $\overline{\text{DMAAK0}}\text{-}\overline{\text{DMAAK3}}$ 信号で選択します。

外部I/Oに対してDMA転送以外に通常アクセスを行う場合は、 $\overline{\text{CSm}}$ 信号と $\overline{\text{DMAAKx}}$ 信号を外外部で論理積し、外部I/Oのチップ・セレクト信号に接続してください ( $m = 0\text{-}7, x = 0\text{-}3$ )。外部I/Oに対してDMA転送以外に通常アクセスを行う場合の回路例を次に示します。

図6 - 15 外部I/O-SRAM間のフライバイ転送を行う場合の回路例

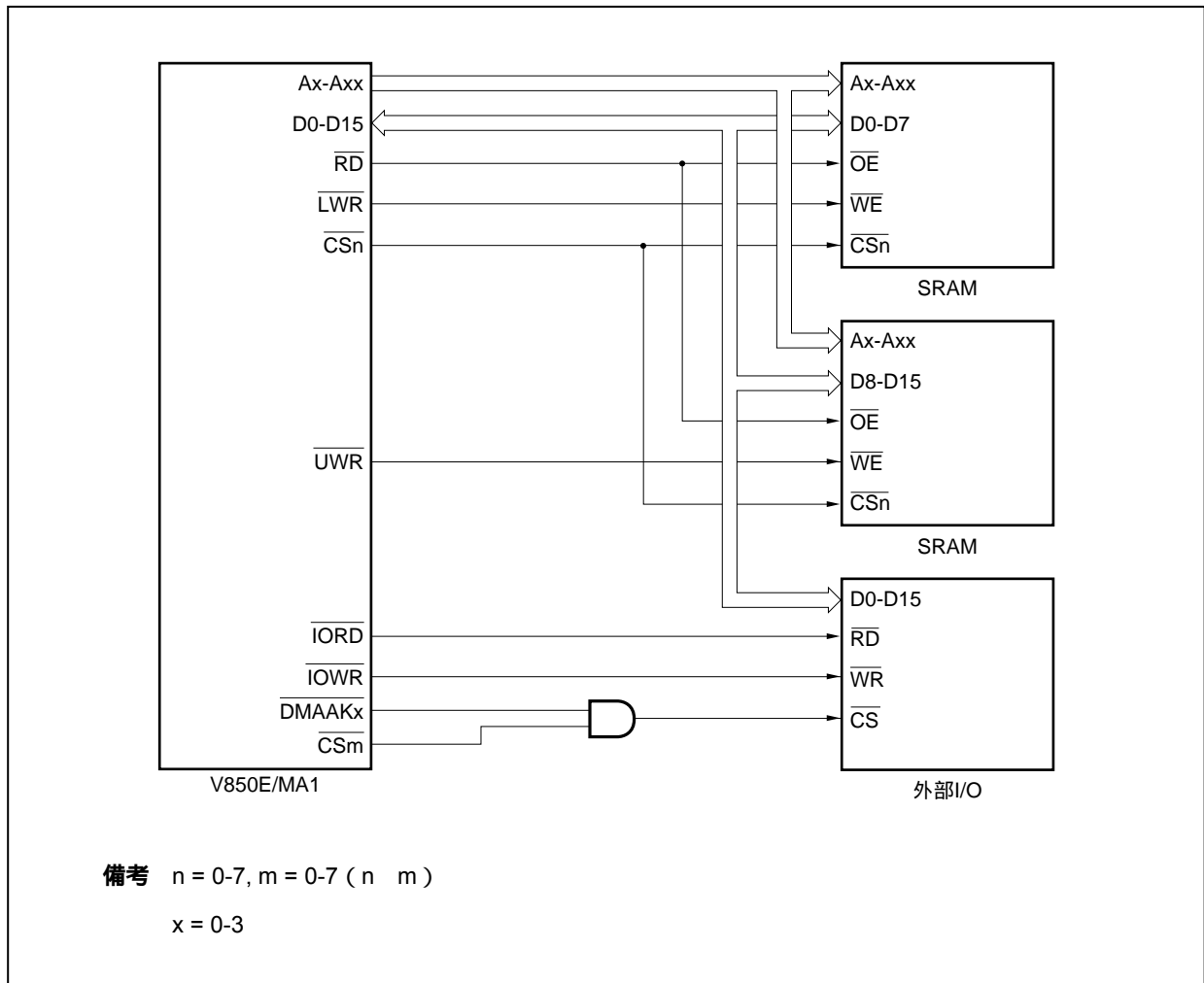


図6 - 16 DMAフライバイ転送時のタイミング (DRAM 外部I/O) (1/3)

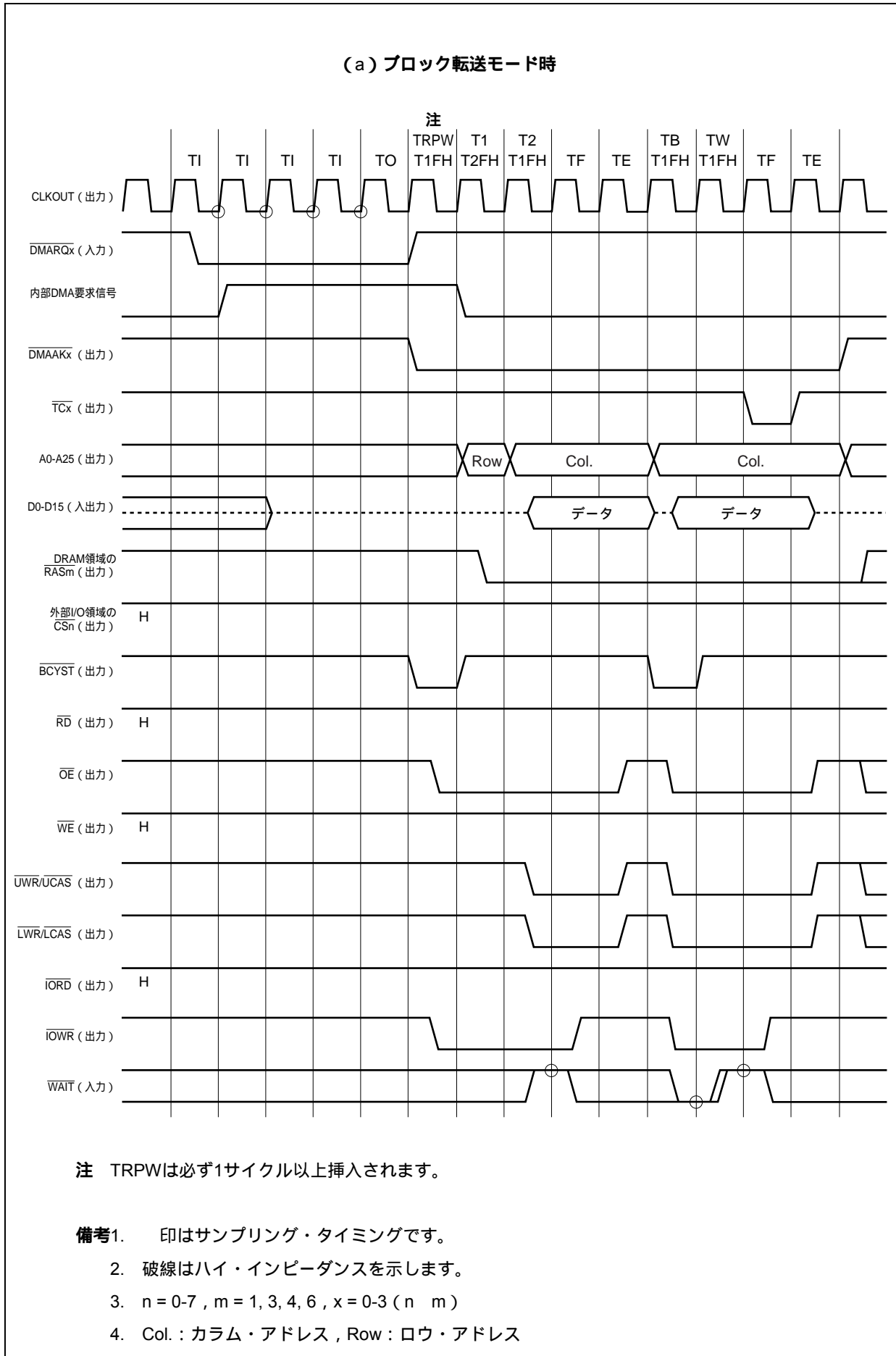


図6 - 16 DMAフライバイ転送時のタイミング (DRAM 外部I/O) (2/3)

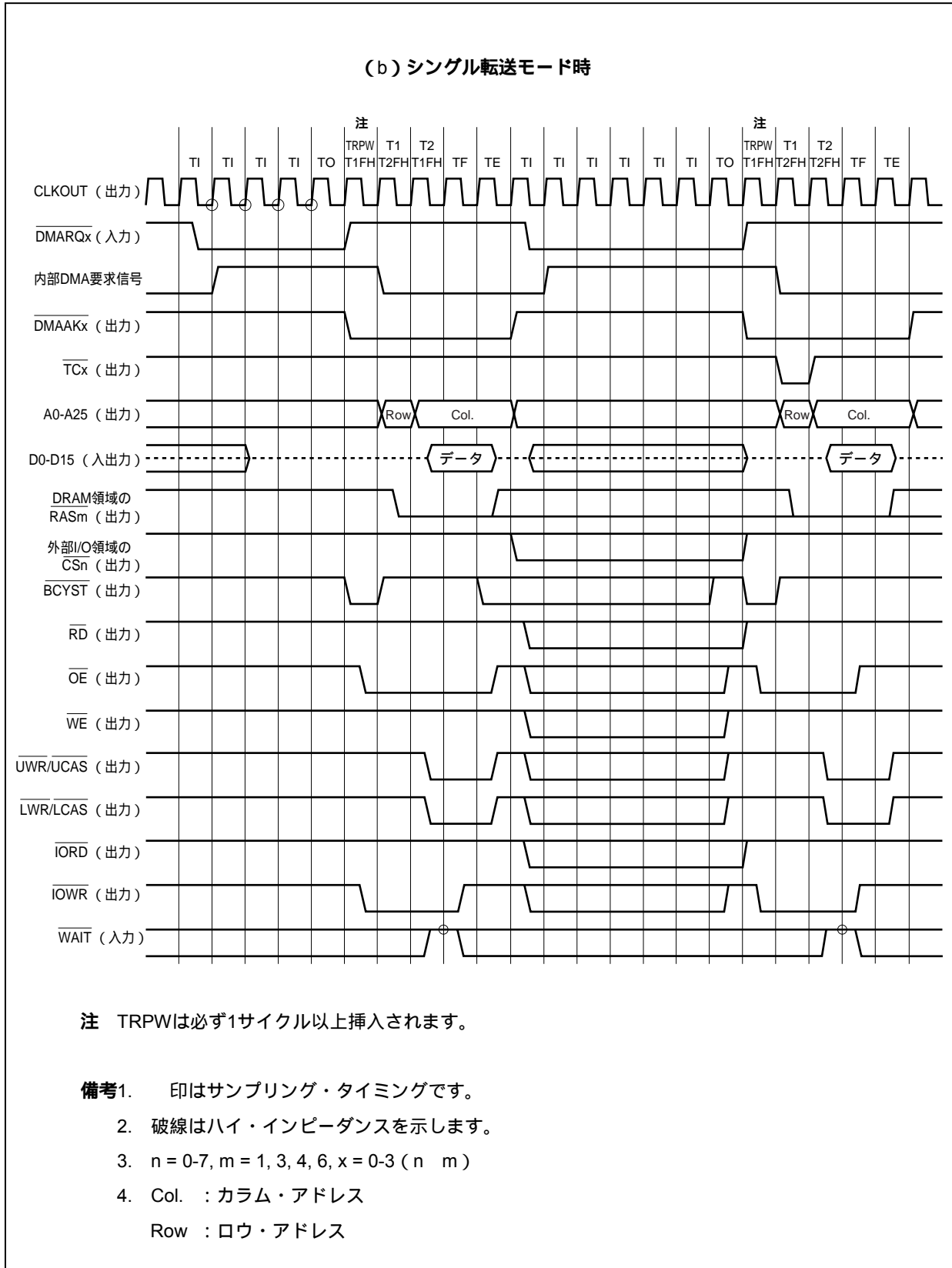


図6 - 16 DMAフライバイ転送時のタイミング (DRAM 外部I/O) (3/3)

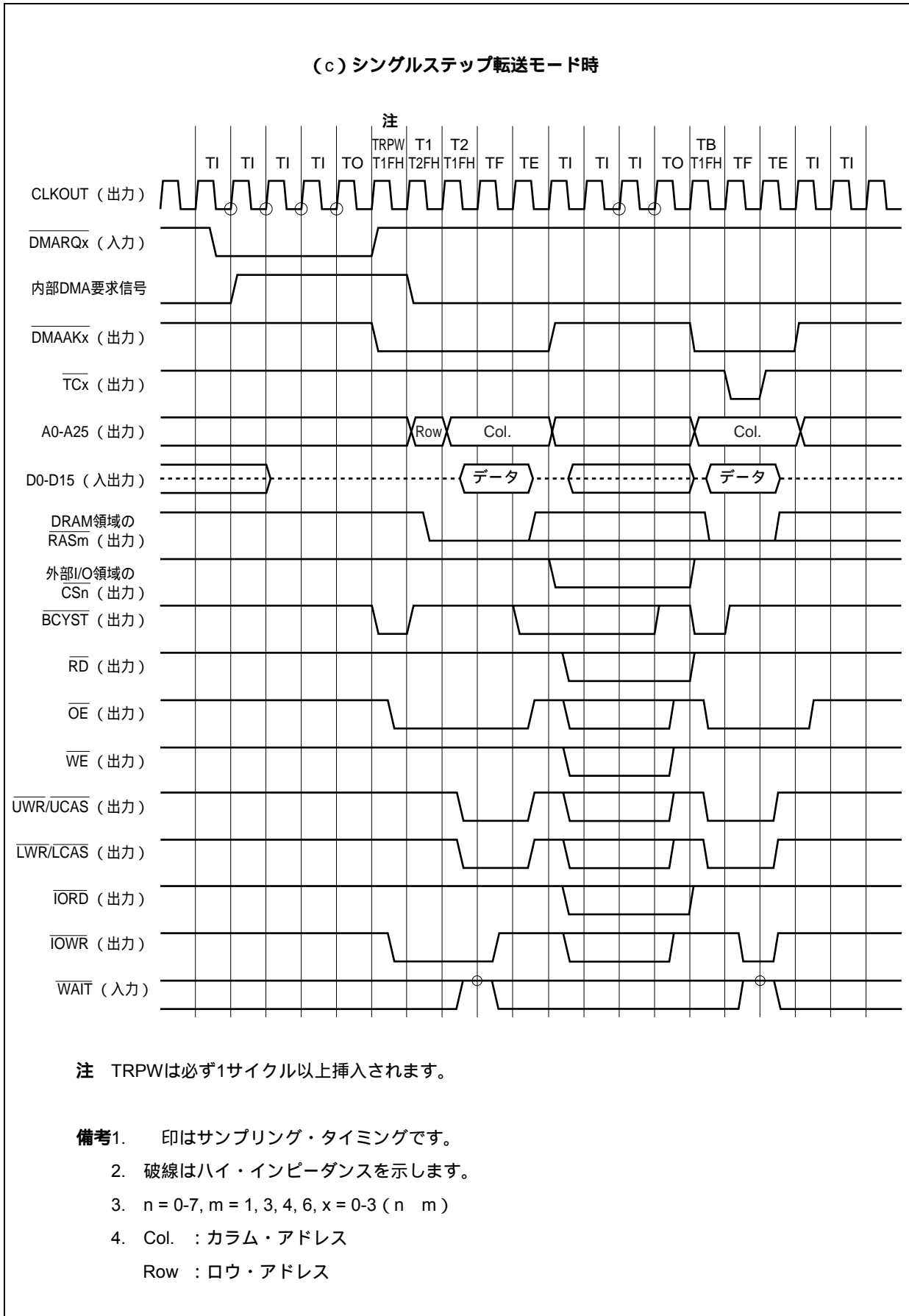


図6 - 17 DMAフライバイ転送時のSRAM, 外部ROM, 外部I/Oアクセス・タイミング (1/2)

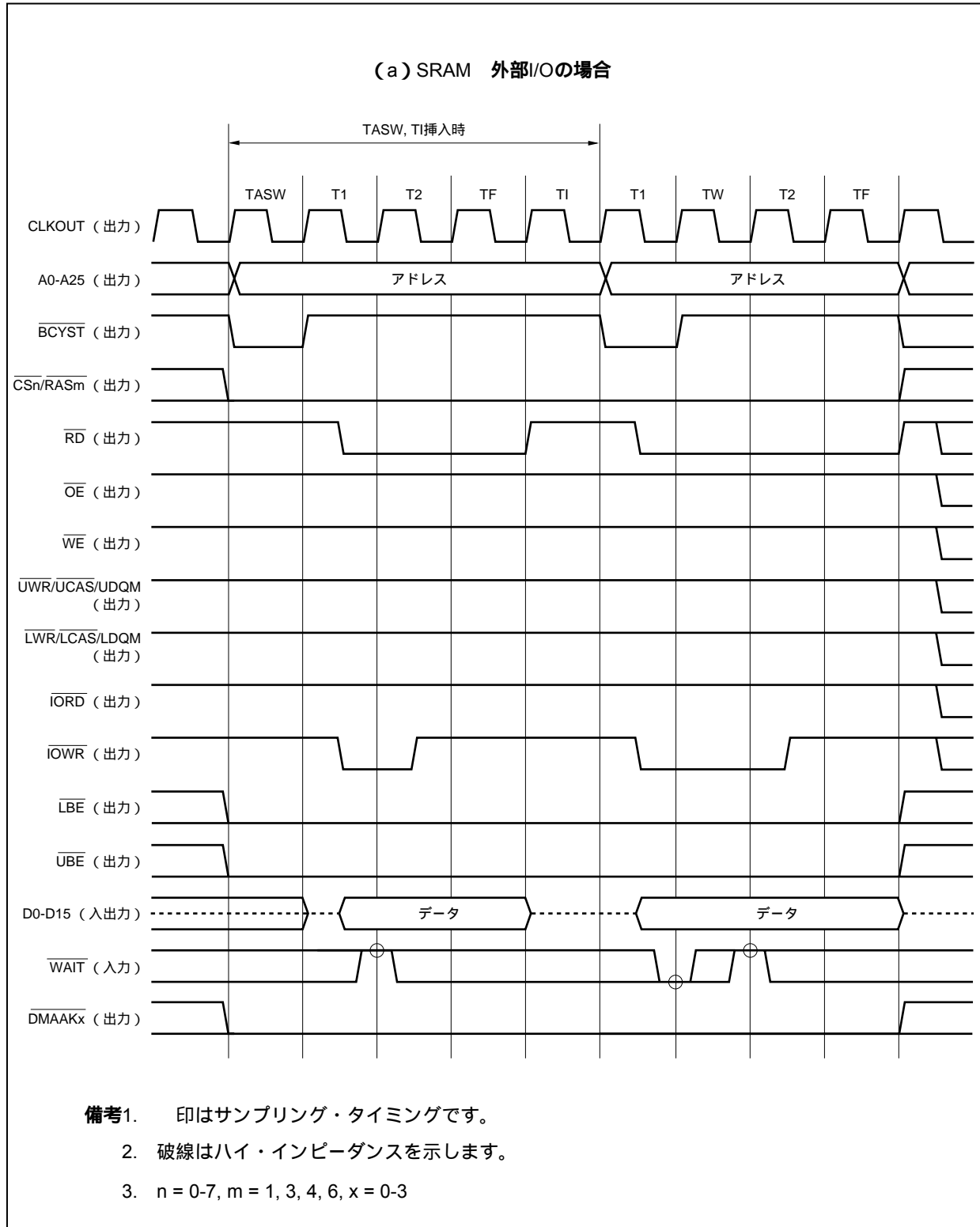




図6-17 DMAフライバイ転送時のSRAM, 外部ROM, 外部I/Oアクセス・タイミング (2/2)

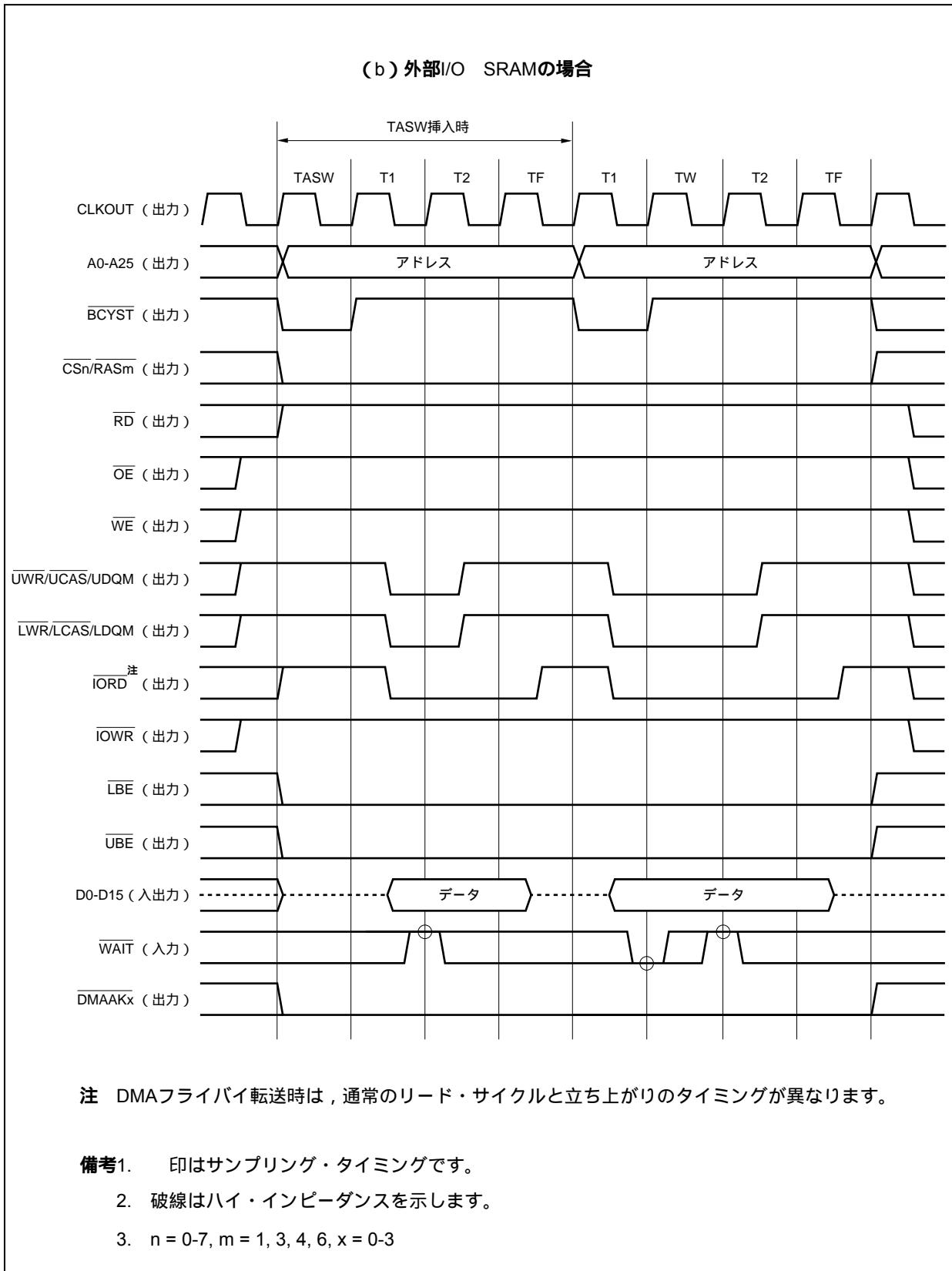


図6 - 18 DMAフライバイ転送時のページROMアクセス・タイミング

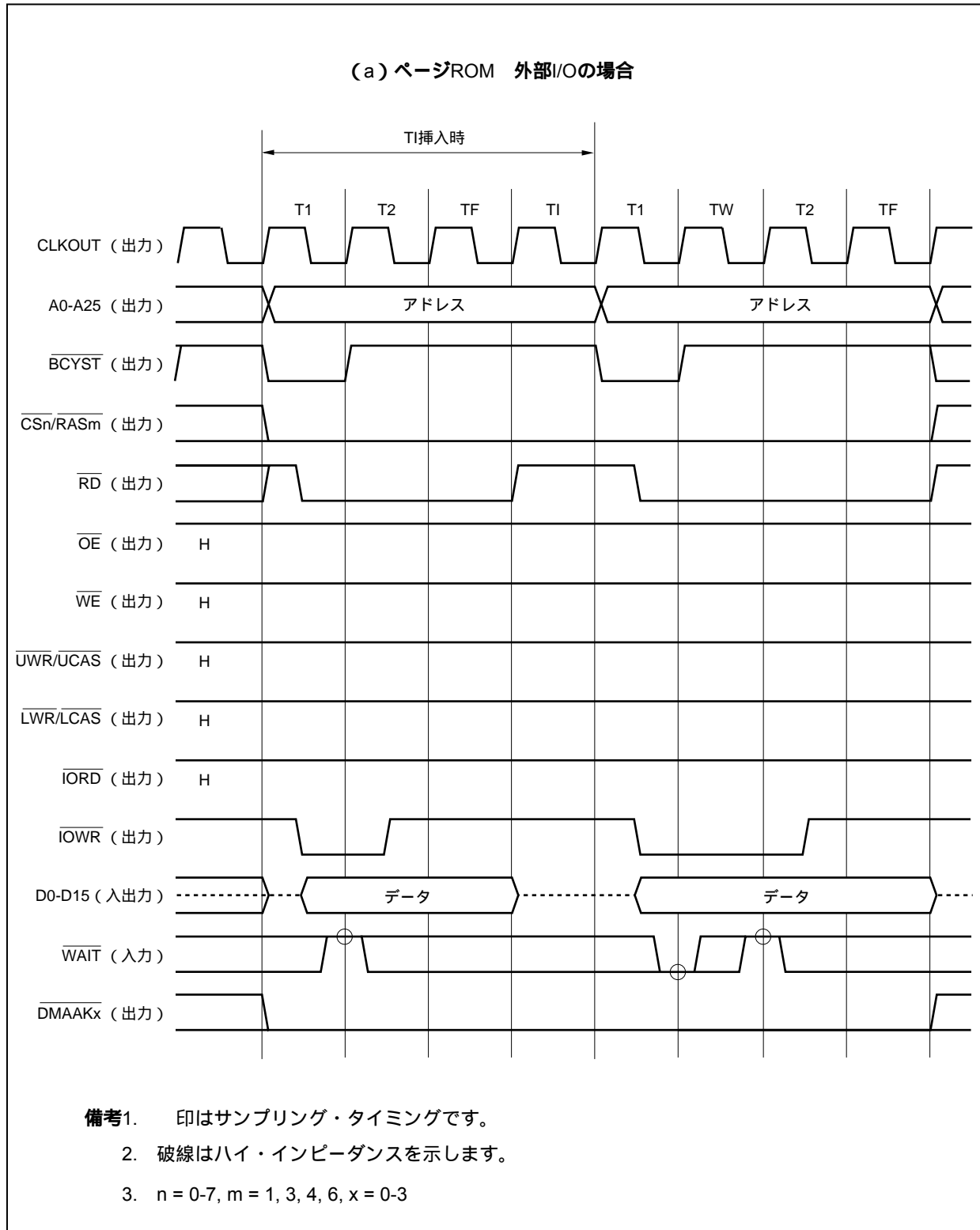
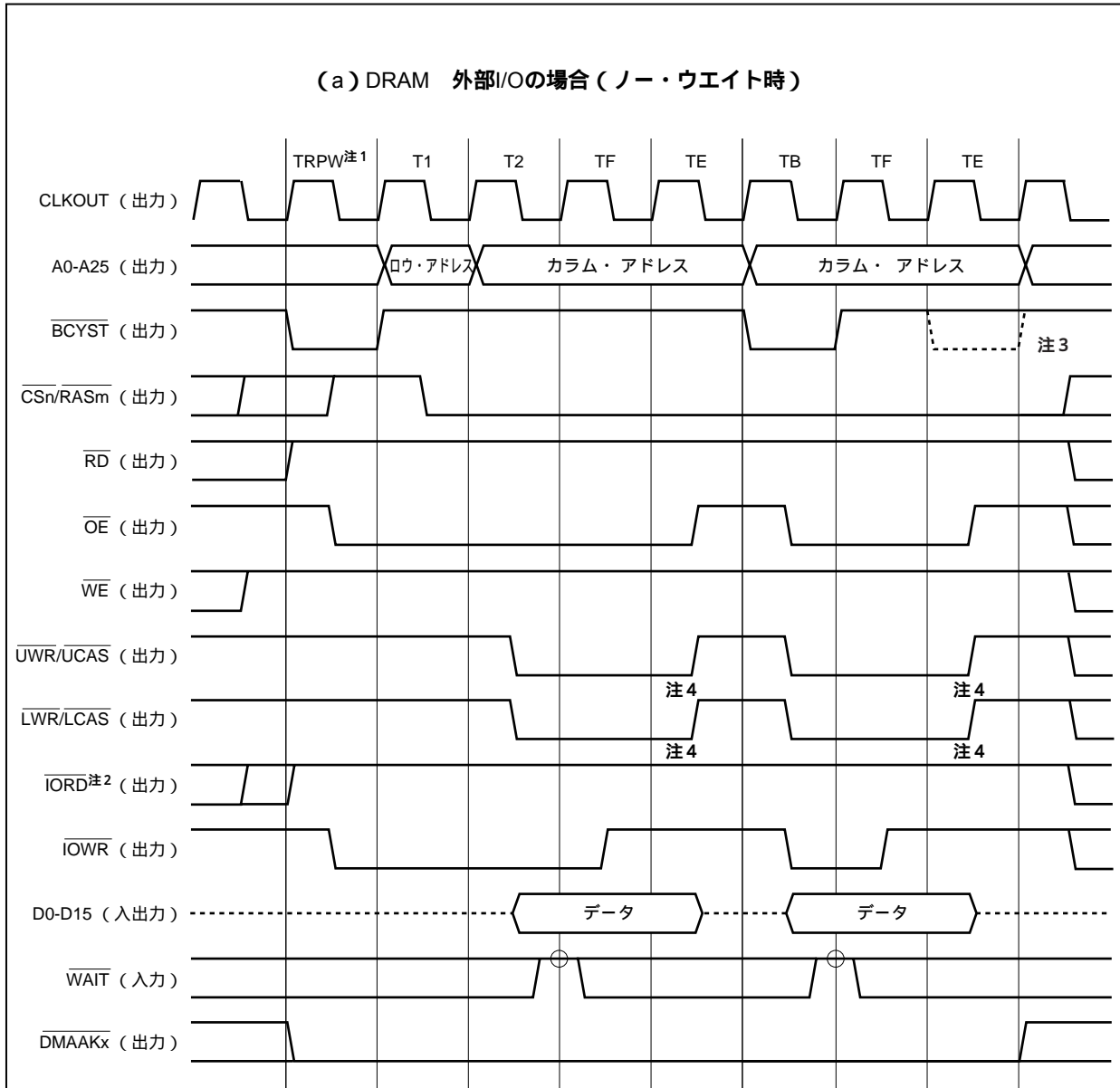


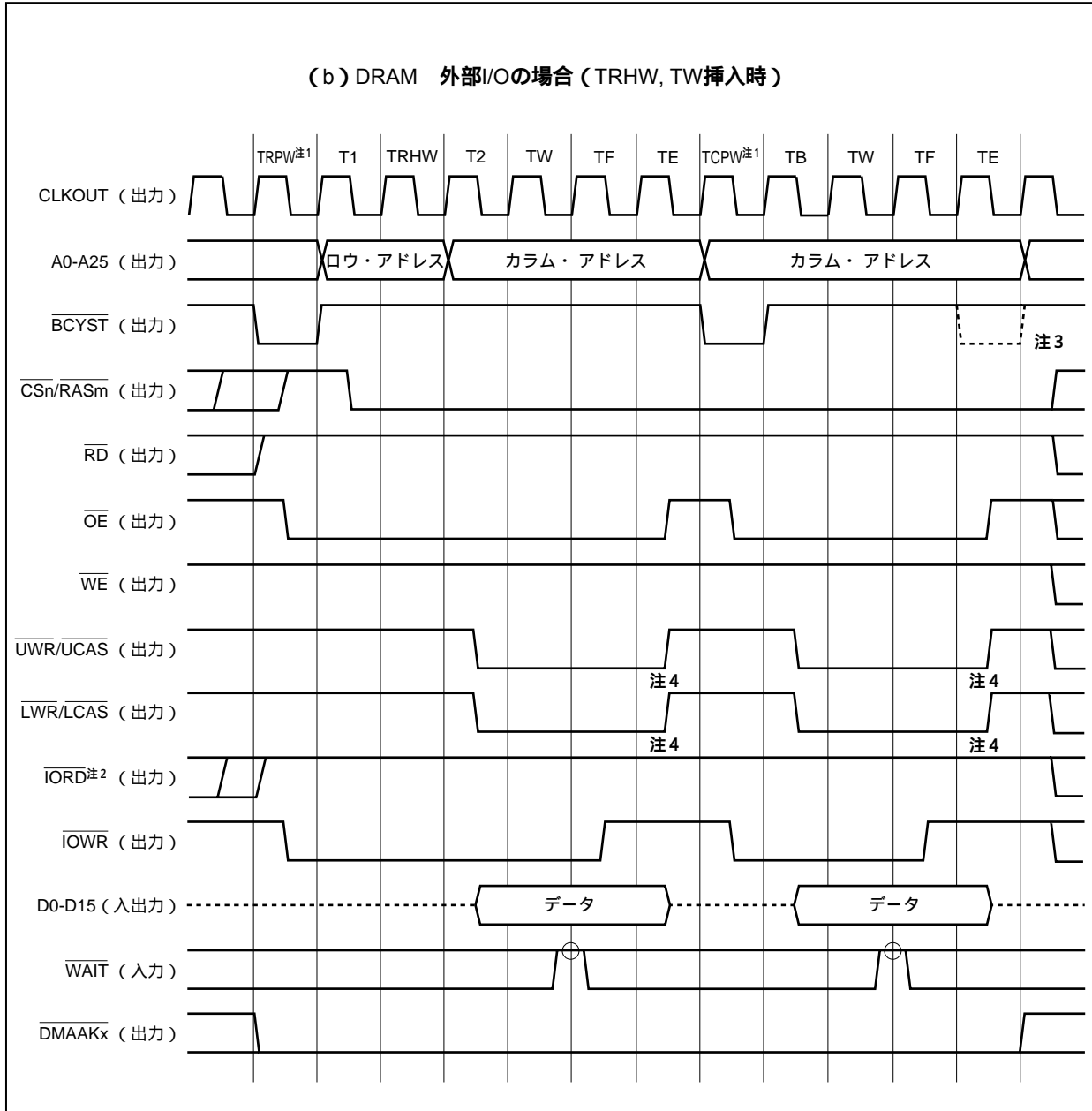
図6 - 19 DMAフライバイ転送時のDRAMアクセス・タイミング (1/4)



- 注1. TRPWは必ず1サイクル以上挿入されます。
2. DMAフライバイ転送時は、通常のリード・サイクルと立ち上がりのタイミングが異なります。
3. ほかのCS空間へのバス・サイクルが続く場合、または同一CS空間のアクセスでこのサイクル後にライト・サイクルが続く場合
4. 通常のEDO DRAMのライト・サイクルと立ち上がりのタイミングが異なります。

- 備考1. 印はサンプリング・タイミングです。
2. 破線はハイ・インピーダンスを示します。
3.  $n = 0-7, m = 1, 3, 4, 6, x = 0-3$

図6 - 19 DMAフライバイ転送時のDRAMアクセス・タイミング (2/4)



- 注1. TRPW, TCPWは必ず1サイクル以上挿入されます。
2. DMAフライバイ転送時は、通常のリード・サイクルと立ち上がりのタイミングが異なります。
3. ほかのCS空間へのバス・サイクルが続く場合、または同一CS空間のアクセスでこのサイクル後にライト・サイクルが続く場合
4. 通常のEDO DRAMのライト・サイクルと立ち上がりのタイミングが異なります。

- 備考1. 印はサンプリング・タイミングです。
2. 破線はハイ・インピーダンスを示します。
3.  $n = 0-7, m = 1, 3, 4, 6, x = 0-3$

図6 - 19 DMAフライバイ転送時のDRAMアクセス・タイミング (3/4)

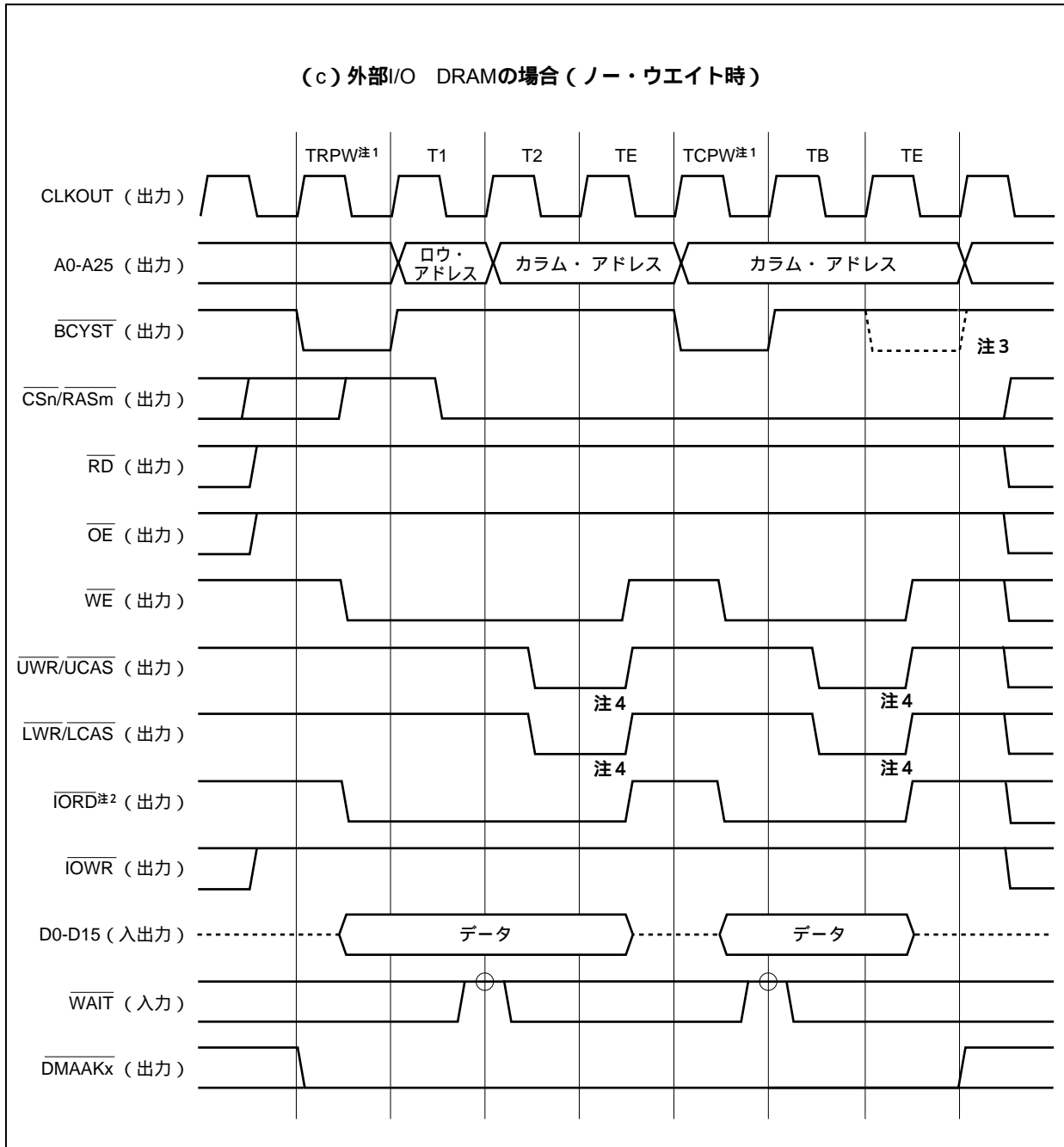
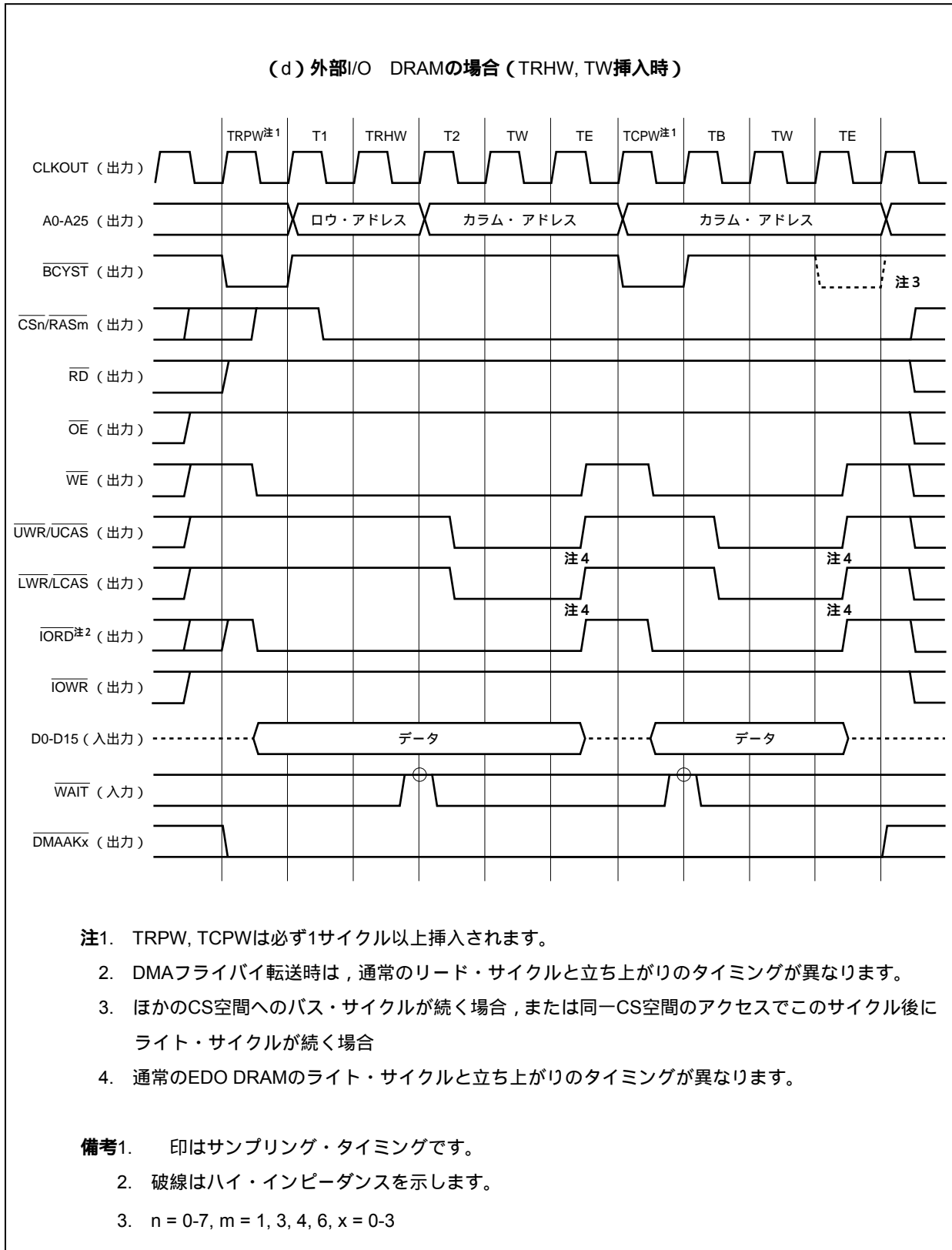


図6 - 19 DMAフライバイ転送時のDRAMアクセス・タイミング (4/4)



## 6.7 転送対象

### 6.7.1 転送の種類と転送対象

転送の種類と転送対象の関係を次に示します ( : 転送可, x : 転送不可)。

表6 - 1 転送の種類と転送対象の関係

		転送先									
		2サイクル転送の場合					フライバイ転送の場合				
		内蔵ROM	内蔵周辺I/O	外部I/O	内蔵RAM	外部メモリ	内蔵ROM	内蔵周辺I/O	外部I/O	内蔵RAM	外部メモリ
転送元	内蔵周辺I/O	x					x	x	x	x	x
	外部I/O	x					x	x	x	x	注
	内蔵RAM	x			x		x	x	x	x	x
	外部メモリ	x					x	x	注	x	x
	内蔵ROM	x	x	x	x	x	x	x	x	x	x

注 SDRAMを対象とするフライバイ転送はできません。

注意1. 表6 - 1に示す転送先と転送元で、「x」が表記されている組み合わせで転送を行った場合の動作は保証しません。

2. フライバイ転送の場合は、転送元と転送先のデータ・バス幅は同じにしてください。
3. DMA転送の転送元、転送先のアドレスに3FFF000H-3FFFFFFFHを指定することができません。  
転送元、転送先のアドレスには、必ずFFFF000H-FFFFFFFHのアドレスを指定してください。

備考1. 2サイクルのDMA転送で転送元と転送先のデータ・バス幅が異なる場合、次のような動作になります。  
なお、内蔵周辺I/Oレジスタを対象 (転送元 / 転送先) とするDMA転送の場合、必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば、8ビットのレジスタに対するDMA転送の場合は、必ずバイト (8ビット) 転送を指定してください。

16ビット転送の場合

- ・16ビット・バス 8ビット・バスへの転送  
リード・サイクル (16ビット) が発生し、そのあとライト・サイクル (8ビット) が連続して2回発生します。
- ・8ビット・バス 16ビット・バスへの転送  
リード・サイクル (8ビット) が連続して2回発生し、そのあとライト・サイクル (16ビット) が発生します。転送先に対しては、リトル・エンディアン時は下位、上位の順で、ビッグ・エンディアン時は上位、下位の順で書き込まれます。

8ビット転送の場合

- ・16ビット・バス 8ビット・バスへの転送  
リード・サイクル (上位8ビットはハイ・インピーダンス) が発生し、そのあとライト・サイクル (8ビット) が発生します。
- ・8ビット・バス 16ビット・バスへの転送  
リード・サイクル (8ビット) が発生し、そのあとライト・サイクル (上位8ビットはハイ・インピーダンス) が発生します。転送先に対しては、リトル・エンディアン時は下位、上位の順で、ビッグ・エンディアン時は上位、下位の順で書き込まれます。

2. リトル・エンディアン領域 ビッグ・エンディアン領域の転送もできます。

## 6.7.2 DMA転送時の外部バス・サイクル

DMA転送時の外部バス・サイクルを次に示します。

表6 - 2 DMA転送時の外部バス・サイクル

転送の種類	転送対象	外部バス・サイクル	
2サイクル転送	内蔵周辺I/O, 内蔵RAM	なし	-
	外部I/O	あり	SRAMサイクル
	外部メモリ	あり	BCTレジスタで設定したメモリ・アクセス・サイクル
フライバイ転送	外部メモリ-外部I/O	あり	外部メモリとしてBCTレジスタで設定したメモリ・アクセスのDMAフライバイ転送サイクル

## 6.8 DMAチャネルの優先順位

DMAチャネルの優先順位は固定で、次のようになります。

DMAチャネル0 > DMAチャネル1 > DMAチャネル2 > DMAチャネル3

この優先順位が有効になるのは、TIステートのときだけです。ブロック転送中は転送するチャネルが入れ替わることはありません。

シングルステップ転送中でバスを解放している期間 (TI) 中に、ほかの優先順位が高いDMA転送要求が発生した場合は、優先順位が高いDMA転送を行います。

**注意** 同じ起動要因で複数のDMAチャネルを起動しないでください。起動した場合、優先順位の低いDMAチャネルが優先順位の高いDMAチャネルより先に受け付けられる場合があります。



## 6.9 ネクスト・アドレス設定機能

DMAソース・アドレス・レジスタ (DSAnH, DSAnL), DMAデスティネーション・アドレス・レジスタ (DDAnH, DDAnL), DMA転送カウント・レジスタ (DBCn) は, マスタ・レジスタとスレーブ・レジスタで構成される2段FIFO形式のバッファ・レジスタです ( $n = 0-3$ )。

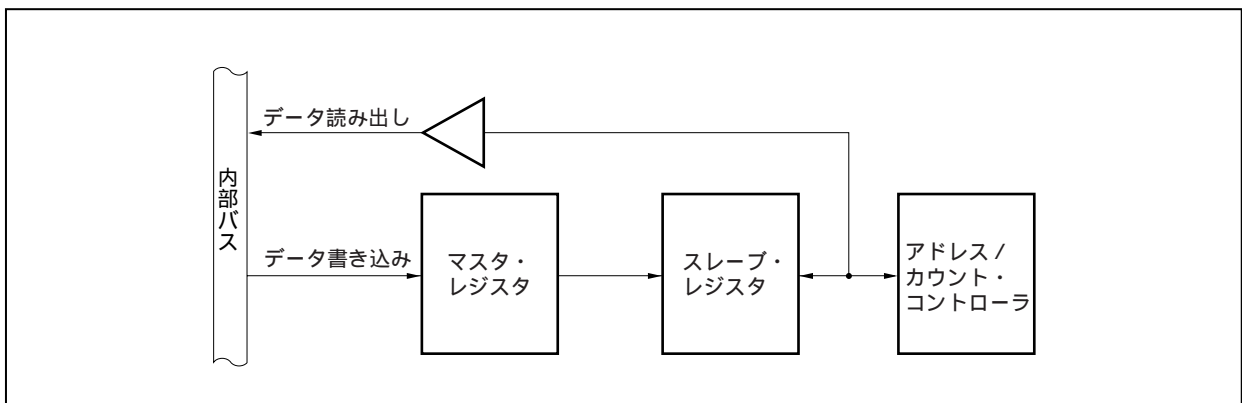
ターミナル・カウントが発生すると, これらのレジスタは直前に設定された値に自動的に書き換えられます。

したがって, DMA転送中に, これらのレジスタに対して新たなDMA転送の設定を行えば, 転送終了後に, 自動的に新たな設定値に更新されます<sup>※</sup>。

**注** さらに新たなDMA転送の設定を行う場合は, DMA転送が開始されたことを確認してから行ってください。DMA転送の開始前に新たな設定を行うと, マスタ・レジスタ, スレーブ・レジスタの両方に設定値が上書きされてしまい, 結果として直前の設定値に基づいたDMA転送は行われません。

次にバッファ・レジスタの構成を示します。

図6-20 バッファ・レジスタの構成



実際のDMA転送は, スレーブ・レジスタの内容に基づいて行われます。

マスタ・レジスタ, スレーブ・レジスタに反映される設定値は, 設定を行うタイミング (期間) により, 次のように異なります。

### (1) システム・リセットから最初のDMA転送要求発生までの期間

設定値は, マスタ・レジスタ, スレーブ・レジスタの両方に反映されます。

### (2) DMA転送中 (DMA転送要求発生からDMA転送終了までの期間)

設定値は, マスタ・レジスタだけに反映されます。スレーブ・レジスタへは反映されません (スレーブ・レジスタは, 次のDMA転送の設定値を保持します)。

ただし, DMA転送終了後, マスタ・レジスタの内容がスレーブ・レジスタに自動的に上書きされます。

なお, この期間に各レジスタの値を読み出すと, スレーブ・レジスタの値が読み出されます。

また, DMA転送が開始されたことを判別するには, DBCnレジスタを読み出して1回目の転送が行われたことを確認してください ( $n = 0-3$ )。

(3) DMA転送終了から次のDMA転送開始までの期間

設定値は、マスタ・レジスタ、スレーブ・レジスタの両方に反映されます。

**備考** 「DMA転送終了」とは、次のどちらかの場合を示します。

- ・DMA転送の完了 (ターミナル・カウント)
- ・DMA転送の強制終了 (DCHCnレジスタのINITnビットのセット (1))

## 6. 10 DMA転送起動要因

DMA転送の起動要因には、次の3種類があります。

注意1. 同一のチャンネルに対して、各起動要因 ( (1) - (3) ) を併用しないでください (各起動要因が同時に発生した場合、どちらか一方だけが有効となりますが、有効となった起動要因の特定はできません)、併用した場合の動作は保証しません。

2. ソフトウェアによる要求でDMA転送を起動する場合、DCHCnレジスタのSTGnビット操作 (STGnビットのセット (1) ) によって、期待しているDMA転送動作が完了したかどうかをソフトウェア上で適切に検出しない場合、次に (2回目に) 行われるSTGnビット操作が「ソフトウェアの期待する次のDMA転送」の起動に対応しているかどうかは、保証できません (n = 0-3)。

たとえば、STGnビット操作によってシングル転送を起動した場合、そのシングル転送が実際に実行されたかどうかをソフトウェア上で確認しないで、次の (2回目の) STGnビット操作を行っても、次の (2回目の) DMA転送が実行されるとはかぎりません。これは、1回目のSTGnビット操作を行ったときに、優先順位がさらに高いDMA転送が起動していた場合など、1回目の起動対象のDMA転送が起動または完了しないまま、次の (2回目の) STGnビット操作が行われてしまう可能性があるためです。

したがって、STGnビット操作による対象のDMA転送が完了したかどうかを確認してから、次の (2回目の) STGnビット操作を行う必要があります。

DMA転送完了の確認例として、次のような方法があります。

- ・アクノリッジ信号 ( $\overline{\text{DMAAKn}}$ ) やターミナル・カウント信号 ( $\overline{\text{TCn}}$ ) を周辺ポートや割り込みを利用して、ソフトウェアで検出する。
- ・DBCnレジスタの内容を確認する。

**(1) 外部端子 ( $\overline{\text{DMARQn}}$ ) による要求**

$\overline{\text{DMARQn}}$ 端子からの要求は, CLKOUT信号の立ち上がりごとにサンプリングされます ( $n = 0-3$ )。

$\overline{\text{DMARQn}}$ 端子からの要求は, 対応するDMAAKn信号がアクティブになるまで保持してください。

DCHCnレジスタのEnnビット = 1, TCnビット = 0の状態に設定すると, TI状態で $\overline{\text{DMARQn}}$ 信号が有効となります。TI状態でDTFRnレジスタに設定している $\overline{\text{DMARQn}}$ 信号がアクティブになると, T0ステートに移行してDMA転送を開始します。

**(2) ソフトウェアによる要求**

DCHCnレジスタのSTGn, Enn, TCnビットが次のように設定されると, DMA転送を開始します ( $n = 0-3$ )。

- ・ STGnビット = 1
- ・ Ennビット = 1
- ・ TCnビット = 0

**(3) 内蔵周辺I/Oによる要求**

DCHCnレジスタのEnn, TCnビットが次のように設定されている状態で, DTFRnレジスタに設定している内蔵周辺I/Oからの割り込み要求が発生すると, DMA転送要求を開始します ( $n = 0-3$ )。

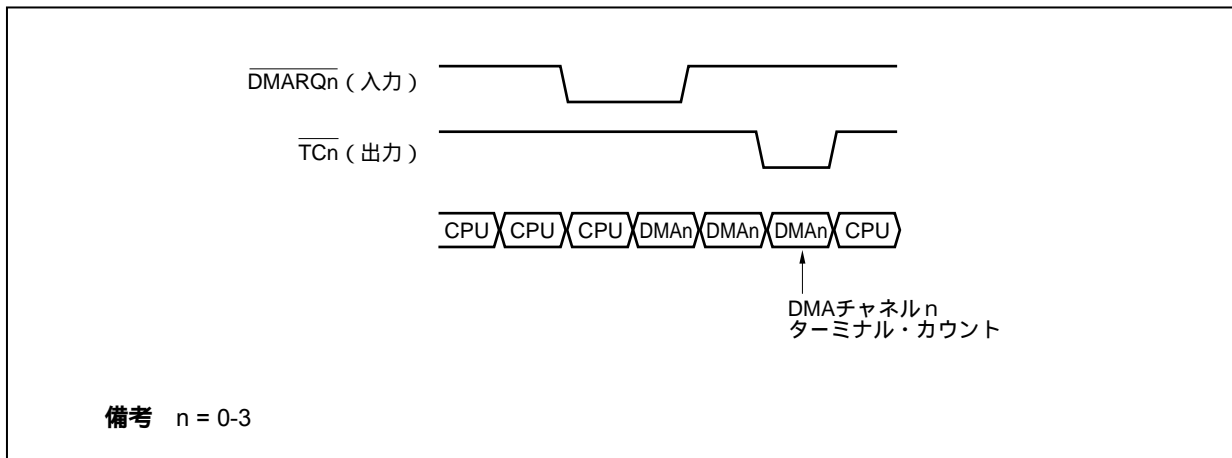
- ・ Ennビット = 1
- ・ TCnビット = 0

**備考**  $\overline{\text{DMARQn}}$ 信号はレベルでサンプリングされますが,  $\overline{\text{DMARQn}}$ 信号を使用せずに外部割り込み要求をDMAの起動トリガに設定することにより, DMA要求をエッジ検出として動作させることができます ( $n = 0-3$ )。

## 6.11 DMA転送完了時のターミナル・カウント出力

最終DMA転送サイクル中,ターミナル・カウント信号( $\overline{TCn}$ )が1クロックの間アクティブになります( $n = 3-0$ )。  
 $\overline{TCn}$ 信号は,最終DMA転送サイクル中に $\overline{BCYST}$ 信号がアクティブになった次のクロックでアクティブになります。

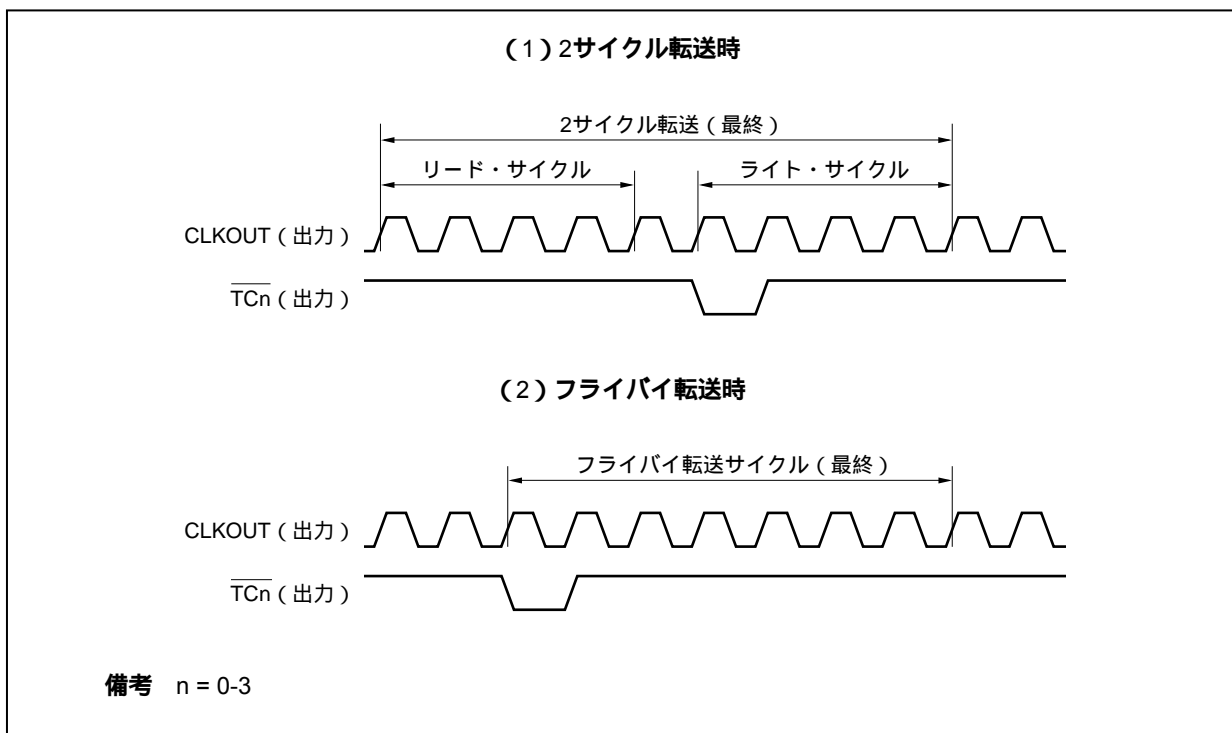
図6-21 ターミナル・カウント信号 ( $\overline{TCn}$ ) タイミング例 (1)



2サイクル転送の場合の $\overline{TCn}$ 信号は,最終DMA転送のライト・サイクルの先頭で1クロック分アクティブになります。

フライバイ転送の場合の $\overline{TCn}$ 信号は,最終DMA転送サイクルの先頭で1クロック分アクティブになります。

図6-22 ターミナル・カウント信号 ( $\overline{TCn}$ ) タイミング例 (2)



## 6.12 強制中断

DMA転送中のNMI入力により、DMA転送を強制的に中断できます。

このときDMACは、すべてのチャンネルのDCHCnレジスタのEnnビットをクリア(0)して、DMA転送禁止状態にし、NMI入力時に実行していたDMA転送を完了してから、NMI要求を受け付けます(n = 0-3)。

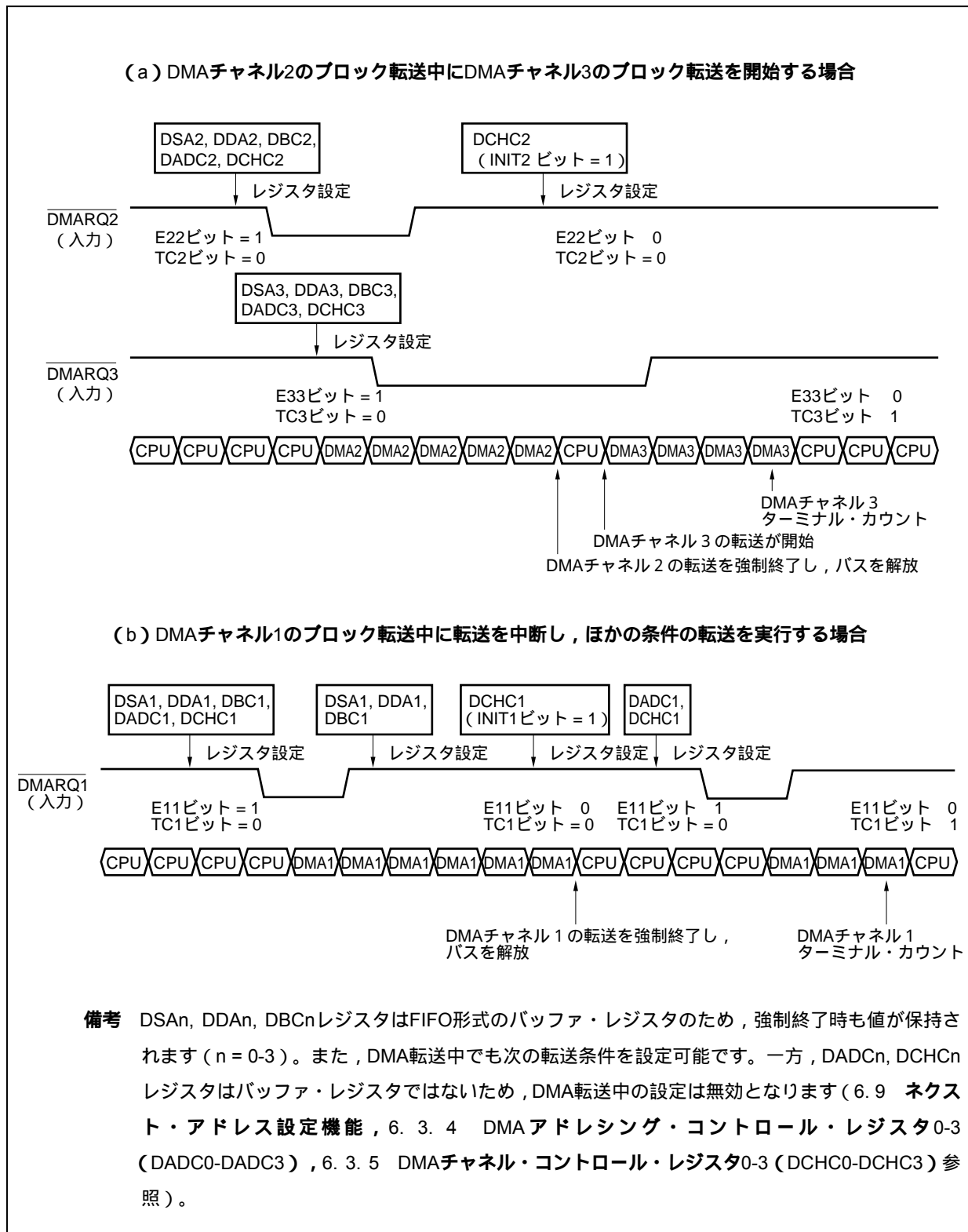
強制中断したDMA転送は、DCHCnレジスタのINITnビットでDMAを強制終了させて、初期化してください。

## 6.13 強制終了

DMA転送は、NMI入力による強制中断のほかに、DCHCnレジスタのINITnビットによって強制終了することができます (n = 0-3)。

DCHCnレジスタのINITnビットによる強制終了動作の例を次に示します (n = 0-3)

図6 - 23 DMA転送の強制終了例



### 6.13.1 DMA転送強制終了に関する制限事項

DCHCnレジスタのINITnビットにより、DMA転送を強制終了する場合、INITnビットをセット(1)したにもかかわらず、強制終了されずに中断状態になることがあります。このため、強制終了させたいはずのチャンネルのDMA転送を再開させた場合に、想定外の転送回数完了後にDMA転送が終了し、DMA転送終了割り込み(INTDMA<sub>n</sub>)が発生することがあります (n = 0-3)。

#### 【回避方法】

次のいずれかの方法によりソフトウェアで回避できます。

#### (1) 一時的にすべてのDMAチャンネルの転送を停止させる方法

次に示す回避処理手順以外で、DCHCnレジスタのTCnビット = 1となっていることを期待したプログラム構成になっていない (DCHCnレジスタのTCnビットは読み出しによりクリア(0)されるため、回避処理手順 (ii) の回避処理ルーチン実行により、クリア(0)されてしまう) 場合のみ、制限事項を回避できます。

割り込み禁止 (DI) 状態にする。

DMAリスタート・レジスタ (DRST) を読み出し、各チャンネルのENnビットを汎用レジスタに転送する (値A)。

DRSTレジスタに00Hを書き込む (2回実行<sup>※</sup>)。2回実行することで の処理以前に必ずDMA転送が停止する。

強制終了するチャンネルのDCHCnレジスタのINITnビットをセット(1)する。

で読み出した値Aに対して次の操作を行う (値B)。

(i) 強制終了するチャンネルのビットをクリア(0)する。

(ii) 強制終了しない各チャンネルのDCHCnレジスタのTCnビットとDRSTレジスタのENnビットがともに1 (ANDが1) の場合は、そのチャンネルのビットをクリア(0)する。

で操作した値BをDRSTレジスタに書き込む。

割り込み許可 (EI) 状態にする。

**注** 転送対象 (転送元または転送先) が内蔵RAMの場合は、3回実行してください。

**注意** は、 の間に正常終了したチャンネルに対して、再度DRSTレジスタのENnビットを不正にセット(1)するのを防ぐため、必ず行ってください。

**備考** n = 0-3



**(2) 正常に強制終了するまでDCHCnレジスタのINITnビットのセットを繰り返し実行する方法**

次に回避処理手順を示します。

強制終了したいチャンネルの初期転送回数を汎用レジスタにコピーする。

強制終了するチャンネルのDCHCnレジスタのINITnビットをセット(1)する。

強制終了するチャンネルのDMA転送カウント・レジスタn (DBCn) の値を読み込み、 でコピーした値と比較する。一致しない場合は、 を繰り返す。

**注意1.** でDBCnレジスタを読み込んだ場合、この制限事項によりDMAが停止したときは残りの転送回数がリードされ、正常に強制終了したときは初期転送回数がリードされます。

2. この回避方法は、強制終了の対象となっているDMAチャンネル以外のDMA転送が、頻繁に行われるようなアプリケーションでは強制終了されるまでに時間を要する可能性があるため、注意してください。

**備考** n = 0-3

## 6.14 DMA転送に関する各種時間

DMA転送前後のオーバーヘッド部分，DMA転送にかかる最小実行クロック数を次に示します。外部メモリ・アクセスの場合は，接続する外部メモリに依存します。

表6 - 3 DMAサイクル中の最小実行クロック数

DMAサイクル		最小実行クロック数
DMA要求に対する応答時間		4クロック <sup>注1</sup>
メモリ・アクセス	外部メモリ・アクセス	接続するメモリにより異なります。
	内蔵RAMアクセス	2クロック <sup>注2</sup>
	周辺I/Oレジスタ・アクセス	4クロック + VSWCレジスタによるウェイト数

注1. 外部割り込み (INTPn) をDMA転送の起動要因に指定した場合，ノイズ除去時間が加算されます (n = 000, 001, 010, 011, 020, 021, 030, 031, 100-103, 110-113, 120-123, 130-133)。

2. DMAサイクルの場合は，2クロックかかります。

また，各転送モードにおけるDMAサイクル中の最小実行クロックを次に示します。

シングル転送 : DMA応答時間 ( ) + 転送元メモリ・アクセス ( ) + 1<sup>注</sup> + 転送先メモリ・アクセス ( )

ブロック転送 : DMA応答時間 ( ) + ( 転送元メモリ・アクセス ( ) + 1<sup>注</sup> + 転送先メモリ・アクセス ( ) ) × 転送回数

注 DMA転送のリード・サイクルとライト・サイクルの間には，必ず1クロック挿入されます。

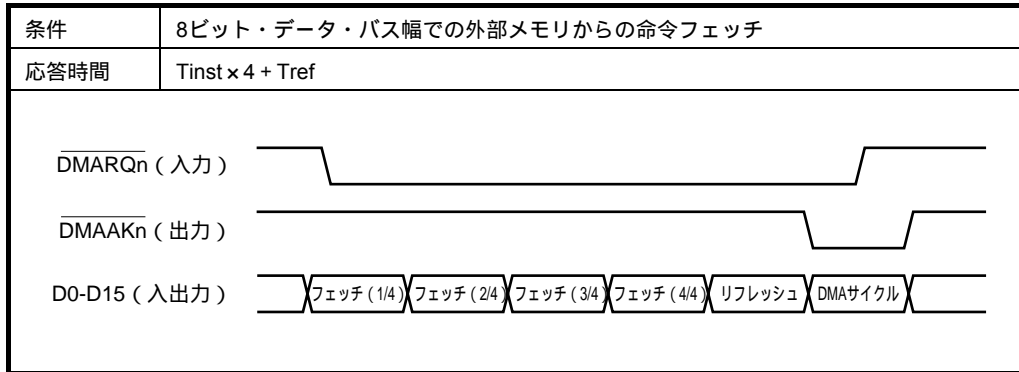
## 6.15 DMA要求に対する応答時間

### 6.15.1 DMA要求に対する応答時間の例

注意 次に示す条件での待ち時間は除きます。

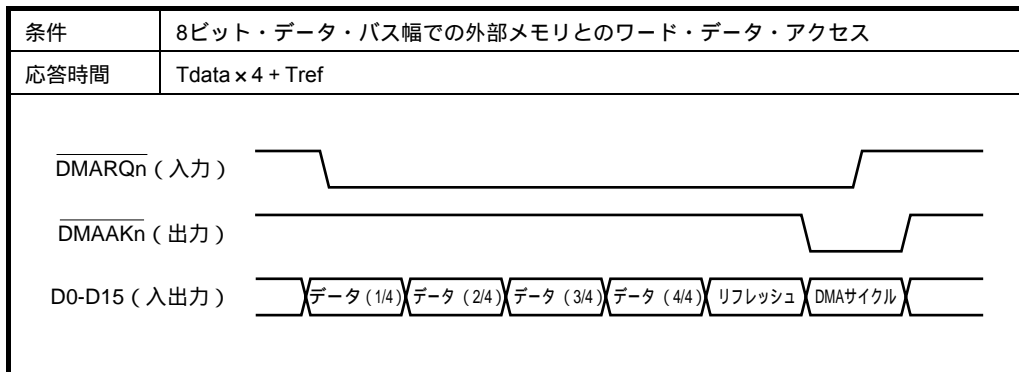
- ・ほかのより優先順位の高いDMA転送発生
- ・外部バス・ホールド

#### (1) 例1



備考 n = 0-3

#### (2) 例2



備考 n = 0-3

(3) 例3

条件	8ビット・データ・バス幅での外部メモリからの命令フェッチ ビット操作命令 (SET1, CLR1, NOT1) の実行
応答時間	$T_{inst} \times 8 + T_{data} \times 2 + T_{ref}$
<p>注 実際には次に示すサイクルとなります。</p> <p>フェッチ (1/4) フェッチ (2/4) フェッチ (3/4) フェッチ (4/4)</p>	

備考1.  $T_{inst}$  : 命令フェッチ時の1バス・サイクル当たりのクロック数

$T_{data}$  : データ・アクセス時の1バス・サイクル当たりのクロック数

$T_{ref}$  : 1リフレッシュ・サイクル当たりのクロック数

2.  $n = 0-3$

### 6. 15. 2 DMA要求に対する応答時間の最大値

DMA要求に対する応答時間は、次に示す条件のとき最も長くなります。

**注意** 次に示す条件での待ち時間は除きます。

- ・ほかのより優先順位の高いDMA転送発生
- ・外部バス・ホールド

条件	8ビット・データ・バス幅での外部メモリからの命令フェッチ ビット操作命令 (SET1, CLR1, NOT1) の実行 ビット操作命令の次命令が分岐命令 (JR, JARL, Bcond, JMP) DMAの転送元または転送先のどちらかが内蔵RAM
応答時間	$T_{inst} \times 16 + T_{data} \times 2 + T_{ref} \times 4$
<p>注1. 実際には次に示すサイクルとなります。</p> <p>フェッチ (1/4) フェッチ (2/4) フェッチ (3/4) フェッチ (4/4)</p> <p>2. 8ビット・バス時 : バス・サイクル4回 16ビット・バス時 : バス・サイクル2回</p> <p>3. リフレッシュは接続されているDRAMの数だけ発生します (最大4)。</p>	

備考1.  $T_{inst}$  : 命令フェッチ時の1バス・サイクル当たりのクロック数

$T_{data}$  : データ・アクセス時の1バス・サイクル当たりのクロック数

$T_{ref}$  : 1リフレッシュ・サイクル当たりのクロック数

2.  $n = 0-3$

## 6. 16 注意事項

### (1) メモリ境界

DMA転送中に、転送元、または転送先のアドレスがDMA対象 (外部メモリ、内蔵RAM、内蔵周辺I/O) の領域を越えた場合の動作は保証しません。

### (2) ミス・アライン・データの転送

16ビット・バス幅のミス・アライン・データのDMA転送はサポートしていません。

奇数アドレスを転送元、または転送先に指定した場合、アドレスの最下位ビットは強制的に0として扱われます。

### (3) CPUへのバス・アービトレーション

外部デバイスを対象とするDMA転送の場合、CPUは内蔵ROM、内蔵RAM (DMAの転送対象でない場合) にアクセスできます。

内蔵周辺I/O-内蔵RAM間のDMA転送の場合、CPUは内蔵ROMにアクセスできます。

### (4) $\overline{\text{DMARQn}}$ 信号の保持

$\overline{\text{DMARQn}}$ 信号は、 $\overline{\text{DMAAKn}}$ 信号がアクティブになるまで必ずアクティブ・レベルを保持してください ( $n = 0-3$ )。

### (5) $\overline{\text{DMAAKn}}$ 信号出力

転送対象が内蔵RAMの場合、内蔵RAMに対するDMAサイクル中は $\overline{\text{DMAAKn}}$ 信号が出力されません (たとえば、内蔵RAMから外部メモリへの2サイクル転送を行った場合、 $\overline{\text{DMAAKn}}$ 信号は外部メモリに対するDMAのライト・サイクル時のみ出力されます)。

また、転送対象が内蔵周辺I/Oの場合は、内蔵周辺I/Oに対するDMAサイクル中でも $\overline{\text{DMAAKn}}$ 信号は出力されます。

### (6) DMAの起動要因

同じ起動要因で複数のDMAチャンネルを起動しないでください。起動した場合、すでに設定済みのチャンネルのDMAが起動されたり、優先順位の低いDMAチャンネルが優先順位の高いDMAチャンネルより先に受け付けられる場合があり、動作は保証できません。

### (7) 内蔵RAMでのプログラム実行とDMA転送

内蔵RAMを対象としたDMA転送と内蔵RAMでの命令実行は同時に行わないでください。

**(8) DCHCnレジスタのTCnビットの自動クリアに関する制限事項**

DCHCnレジスタのTCnビットは、読み出しにより自動的にクリア(0)されますが、2チャンネル以上のDMA転送を同時に使用するとき、内蔵RAMを対象(転送元または転送先)とするDMA転送を行う場合には、DMA転送終了後にTCnビットを読み出しても、クリア(0)されないことがあります(n=0-3)。

**注意** 次に示す条件が1つでも当てはまる場合には、この制限事項は該当しません。

- ・DMA転送を1チャンネルのみ使用している。
- ・内蔵RAMを対象(転送元または転送先)とするDMA転送を行っていない。

**【回避方法】**

内蔵RAMを対象とするDMAチャンネルのDCHCnレジスタのTCnビットを読み出す場合には、必ず3回連続でTCnビットを読み出してください。これにより、確実にTCnビットをクリア(0)できます。

**(9) DSA<sub>n</sub>, DDA<sub>n</sub>レジスタの読み出し値**

DMA転送中に、DSA<sub>n</sub>, DDA<sub>n</sub>レジスタの値を読み出した場合、更新途中の値が読み出されることがあります(n=0-3)。

たとえば、DMA転送元アドレス(DSA<sub>n</sub>レジスタ)が「0000FFFFH」、カウント方向がインクリメント(DADC<sub>n</sub>レジスタのSAD<sub>n1</sub>, SAD<sub>n0</sub>ビット = 00)の場合、DSA<sub>nH</sub>レジスタ DSA<sub>nL</sub>レジスタの順に読み出しを行うと、DSA<sub>nH</sub>レジスタ読み出し直後のDMA転送の有無によって、DSA<sub>nL</sub>レジスタの値が次のように異なります。

**(a) DSA<sub>n</sub>レジスタの読み出し中にDMA転送が発生しない場合**

- <1>DSA<sub>nH</sub>レジスタの読み出し : DSA<sub>nH</sub> = 0000H
- <2>DSA<sub>nL</sub>レジスタの読み出し : DSA<sub>nL</sub> = FFFFH

**(b) DSA<sub>n</sub>レジスタの読み出し中にDMA転送が発生する場合**

- <1>DSA<sub>nH</sub>レジスタの読み出し : DSA<sub>nH</sub> = 0000H
- <2>DMA転送の発生
- <3>DSA<sub>n</sub>レジスタのインクリメント : DSA<sub>n</sub> = 00010000H
- <4>DSA<sub>nL</sub>レジスタの読み出し : DSA<sub>nL</sub> = 0000H

**6.16.1 中断要因**

DMA転送は、次の要因が発生すると中断されます。

- バス・ホールド
- リフレッシュ・サイクル

DMA転送を中断する要因がなくなると、引き続きDMA転送を再開します。

## 6.17 DMA転送の終了

DMA転送が終了し、DCHCnレジスタのTCnビットがセット (1) されると、割り込みコントローラ (INTC) に対して、DMA転送終了割り込み (INTDMA<sub>n</sub>) を発生します (n = 0-3)。

## 第7章 割り込み / 例外処理機能

V850E/MA1は、合計50要因の割り込み要求を処理できる割り込みコントローラ（INTC）を内蔵しています。

なお、割り込みをプログラムの実行とは別に独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。

V850E/MA1では、内蔵している周辺ハードウェアおよび外部からの各種割り込み要求を処理できます。さらに、TRAP命令による例外処理の起動（ソフトウェア例外）や、例外事象の発生（不正命令コードのフェッチ）による例外処理の起動（例外トラップ）が可能です。

### 7.1 特 徴

#### 割り込み

- ・ノンマスクابل割り込み：1要因

**注意** P20はNMI入力に固定です。PM2, PMC2レジスタの値にかかわらず、P2レジスタのP20ビットをリードすると、NMI端子のレベルを読み出します。

また、NMI端子の有効エッジの設定は、外部割り込みモード・レジスタ0（INTM0）で行ってください（初期値：立ち下がりエッジ検出）。

- ・マスクابل割り込み：49要因
- ・8レベルのプログラマブル優先順位制御（マスクابل割り込み）
- ・優先順位に従った割り込み多重処理制御
- ・個々のマスクابل割り込み要求に対するマスク指定
- ・外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

#### 例外

- ・ソフトウェア例外：32要因
- ・例外トラップ：2要因（不正命令コード例外、ディバグ・トラップ）

これらの割り込み / 例外要因を表7 - 1に示します。



表7 - 1 割り込み / 例外要因一覧 (1/2)

種類	分類	割り込み / 例外要因				デフォルト・プライオリティ	例外コード	ハンドラ・アドレス	復帰PC
		名称	制御レジスタ	発生要因	発生ユニット				
リセット	割り込み	RESET	-	リセット入力	-	-	0000H	00000000H	不定
ノンマスクابل	割り込み	NMI0	-	NMI入力	-	-	0010H	00000010H	nextPC
ソフトウェア例外	例外	TRAP0 <sup>n</sup>	-	TRAP命令	-	-	004 <sup>n</sup> H	00000040H	nextPC
	例外	TRAP1 <sup>n</sup>	-	TRAP命令	-	-	005 <sup>n</sup> H	00000050H	nextPC
例外トラップ	例外	ILGOP/ DBG0	-	不正命令コード/ DBTRAP命令	-	-	0060H	00000060H	nextPC
マスクابل	割り込み	INTOV00	OVIC00	タイマ00オーバーフロー	TMC0	0	0080H	00000080H	nextPC
	割り込み	INTOV01	OVIC01	タイマ01オーバーフロー	TMC1	1	0090H	00000090H	nextPC
	割り込み	INTOV02	OVIC02	タイマ02オーバーフロー	TMC2	2	00A0H	000000A0H	nextPC
	割り込み	INTOV03	OVIC03	タイマ03オーバーフロー	TMC3	3	00B0H	000000B0H	nextPC
	割り込み	INTP000/ INTM000	P00IC0	INTP000端子/ CCC00一致	端子/ TMC0	4	00C0H	000000C0H	nextPC
	割り込み	INTP001/ INTM001	P00IC1	INTP001端子/ CCC01一致	端子/ TMC0	5	00D0H	000000D0H	nextPC
	割り込み	INTP010/ INTM010	P01IC0	INTP010端子/ CCC10一致	端子/ TMC1	6	00E0H	000000E0H	nextPC
	割り込み	INTP011/ INTM011	P01IC1	INTP011端子/ CCC11一致	端子/ TMC1	7	00F0H	000000F0H	nextPC
	割り込み	INTP020/ INTM020	P02IC0	INTP020端子/ CCC20一致	端子/ TMC2	8	0100H	00000100H	nextPC
	割り込み	INTP021/ INTM021	P02IC1	INTP021端子/ CCC21一致	端子/ TMC2	9	0110H	00000110H	nextPC
	割り込み	INTP030/ INTM030	P03IC0	INTP030端子/ CCC30一致	端子/ TMC3	10	0120H	00000120H	nextPC
	割り込み	INTP031/ INTM031	P03IC1	INTP031端子/ CCC31一致	端子/ TMC3	11	0130H	00000130H	nextPC
	割り込み	INTP100	P10IC0	INTP100端子	端子	12	0140H	00000140H	nextPC
	割り込み	INTP101	P10IC1	INTP101端子	端子	13	0150H	00000150H	nextPC
	割り込み	INTP102	P10IC2	INTP102端子	端子	14	0160H	00000160H	nextPC
	割り込み	INTP103	P10IC3	INTP103端子	端子	15	0170H	00000170H	nextPC
	割り込み	INTP110	P11IC0	INTP110端子	端子	16	0180H	00000180H	nextPC
	割り込み	INTP111	P11IC1	INTP111端子	端子	17	0190H	00000190H	nextPC
	割り込み	INTP112	P11IC2	INTP112端子	端子	18	01A0H	000001A0H	nextPC
	割り込み	INTP113	P11IC3	INTP113端子	端子	19	01B0H	000001B0H	nextPC
	割り込み	INTP120	P12IC0	INTP120端子	端子	20	01C0H	000001C0H	nextPC
	割り込み	INTP121	P12IC1	INTP121端子	端子	21	01D0H	000001D0H	nextPC
	割り込み	INTP122	P12IC2	INTP122端子	端子	22	01E0H	000001E0H	nextPC
	割り込み	INTP123	P12IC3	INTP123端子	端子	23	01F0H	000001F0H	nextPC
割り込み	INTP130	P13IC0	INTP130端子	端子	24	0200H	00000200H	nextPC	

注 nは0-FHの値

表7 - 1 割り込み / 例外要因一覧 (2/2)

種類	分類	割り込み / 例外要因				デフォルト・プライオリティ	例外コード	ハンドラ・アドレス	復帰PC
		名称	制御レジスタ	発生要因	発生ユニット				
マスカブル	割り込み	INTP131	P13IC1	INTP131端子	端子	25	0210H	00000210H	nextPC
	割り込み	INTP132	P13IC2	INTP132端子	端子	26	0220H	00000220H	nextPC
	割り込み	INTP133	P13IC3	INTP133端子	端子	27	0230H	00000230H	nextPC
	割り込み	INTCMD0	CMICD0	CMD0一致信号	TMD0	28	0240H	00000240H	nextPC
	割り込み	INTCMD1	CMICD1	CMD1一致信号	TMD1	29	0250H	00000250H	nextPC
	割り込み	INTCMD2	CMICD2	CMD2一致信号	TMD2	30	0260H	00000260H	nextPC
	割り込み	INTCMD3	CMICD3	CMD3一致信号	TMD3	31	0270H	00000270H	nextPC
	割り込み	INTDMA0	DMAIC0	DMA0転送終了	DMA	32	0280H	00000280H	nextPC
	割り込み	INTDMA1	DMAIC1	DMA1転送終了	DMA	33	0290H	00000290H	nextPC
	割り込み	INTDMA2	DMAIC2	DMA2転送終了	DMA	34	02A0H	000002A0H	nextPC
	割り込み	INTDMA3	DMAIC3	DMA3転送終了	DMA	35	02B0H	000002B0H	nextPC
	割り込み	INTCSIO	CSIIC0	CSIO送受信完了	SIO	36	02C0H	000002C0H	nextPC
	割り込み	INTSER0	SEIC0	UART0受信エラー	SIO	37	02D0H	000002D0H	nextPC
	割り込み	INTSR0	SRIC0	UART0受信完了	SIO	38	02E0H	000002E0H	nextPC
	割り込み	INTST0	STIC0	UART0送信完了	SIO	39	02F0H	000002F0H	nextPC
	割り込み	INTCSI1	CSIIC1	CSI1送受信完了	SIO	40	0300H	00000300H	nextPC
	割り込み	INTSER1	SEIC1	UART1受信エラー	SIO	41	0310H	00000310H	nextPC
	割り込み	INTSR1	SRIC1	UART1受信完了	SIO	42	0320H	00000320H	nextPC
	割り込み	INTST1	STIC1	UART1送信完了	SIO	43	0330H	00000330H	nextPC
	割り込み	INTCSI2	CSIIC2	CSI2送受信完了	SIO	44	0340H	00000340H	nextPC
割り込み	INTSER2	SEIC2	UART2受信エラー	SIO	45	0350H	00000350H	nextPC	
割り込み	INTSR2	SRIC2	UART2受信完了	SIO	46	0360H	00000360H	nextPC	
割り込み	INTST2	STIC2	UART2送信完了	SIO	47	0370H	00000370H	nextPC	
割り込み	INTAD	ADIC	A/D変換終了	ADC	48	0380H	00000380H	nextPC	

備考1. デフォルト・プライオリティ：複数の同一優先順位レベルのマスカブル割り込み要求信号が同時に発生している場合に優先される順位です。0が最高優先順位です。

復帰PC：割り込み処理起動時に、CPUのEIPC、FEPCまたはDBPCにセーブされるプログラム・カウンタ(PC)のことです。なお、次の命令実行中にノンマスカブル / マスカブル割り込みを受け付けた場合の復帰PCはnext PCとはなりません（命令実行中に割り込みを受け付けると実行を中止し、割り込み処理完了後に再実行されます。この場合、中断された命令のアドレスが復帰PCとなります）。

- ・ロード命令 (SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W)
- ・除算命令 (DIV, DIVH, DIVU, DIVHU)
- ・PREPARE, DISPOSE命令 (スタック・ポインタの更新前に割り込みが発生した場合のみ)

nextPC：割り込み / 例外処理後に処理を開始するPC値です。

2. 不正命令コード例外時の不正命令の実行アドレスは、(復帰PC - 4) で求められます。

## 7.2 ノンマスカブル割り込み

ノンマスカブル割り込み要求は、割り込み禁止 (DI) 状態であっても無条件に受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込み要求に対して最優先の割り込み要求です。

ノンマスカブル割り込み要求は、NMI端子によって行います。NMI端子入力に外部割り込みモード・レジスタ0 (INTM0) のビット0 (ESN0) で指定した有効エッジが検出されたとき、割り込みは発生します。

ノンマスカブル割り込みのサービス・プログラムを実行している場合は、ノンマスカブル割り込み要求は、保留されます。保留されたノンマスカブル割り込みは、現在実行中のノンマスカブル割り込みサービス・プログラムの終了後 (RETI命令実行後)、受け付けられます。ただし、ノンマスカブル割り込みサービス・プログラム実行中に、ノンマスカブル割り込み要求が2回以上発生しても、RETI命令実行後に受け付けられるノンマスカブル割り込みは1回だけになります。

### 7.2.1 動作

NMI入力によりノンマスクブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをFEPCに退避します。

現在のPSWをFEPSWに退避します。

ECRの上位ハーフワード (FECC) に例外コード (0010H) を書き込みます。

PSWのNP, IDビットをセットし, EPビットをクリアします。

PCにノンマスクブル割り込みに対するハンドラ・アドレス (00000010H) をセットし, 制御を移します。

ノンマスクブル割り込みの処理形態を図7-1に示します。

図7-1 ノンマスクブル割り込みの処理形態

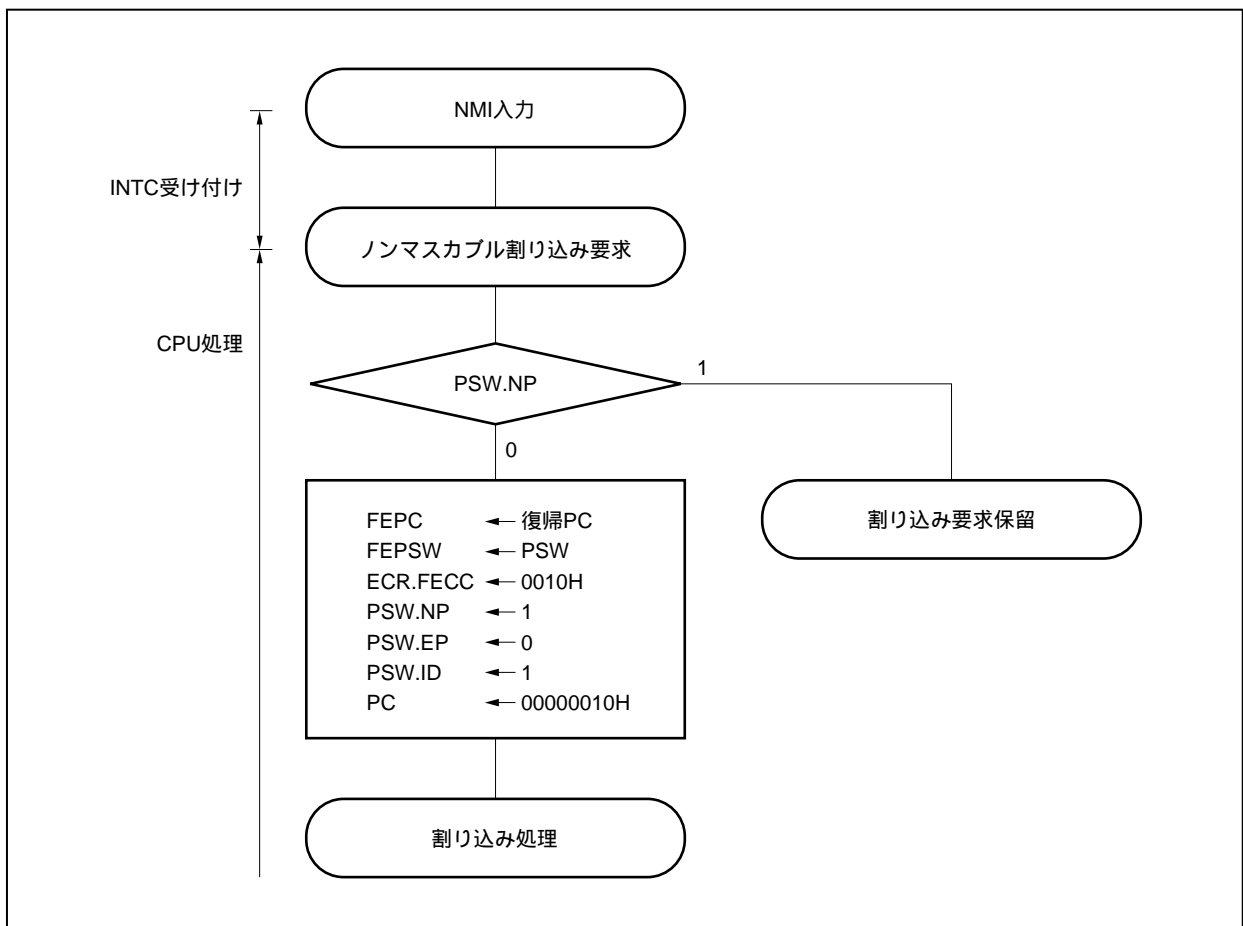
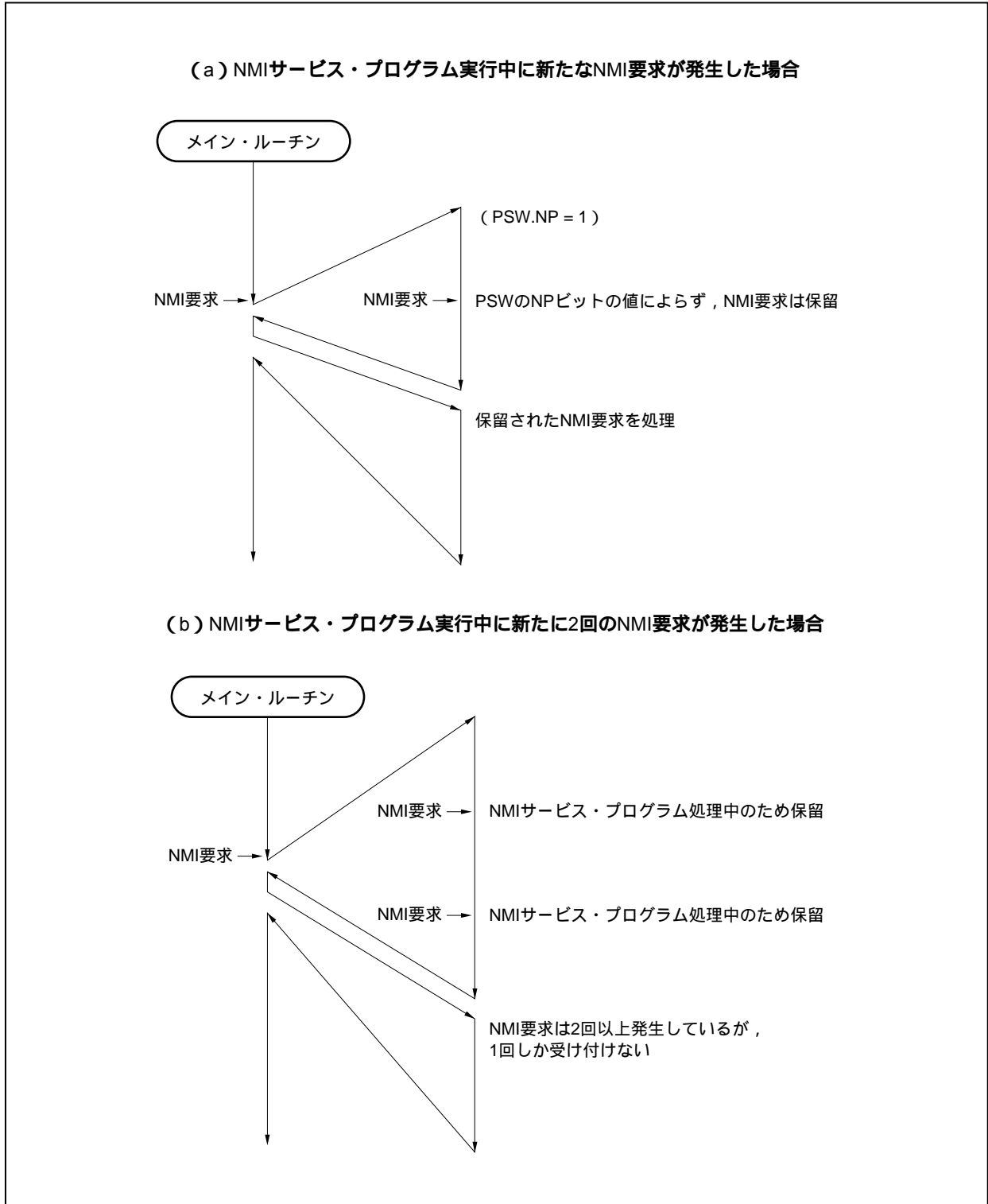


図7-2 ノンマスカブル割り込み要求の受け付け動作



## 7.2.2 復 帰

ノンマスクابل割り込み処理からの復帰は、RETI命令により行います。

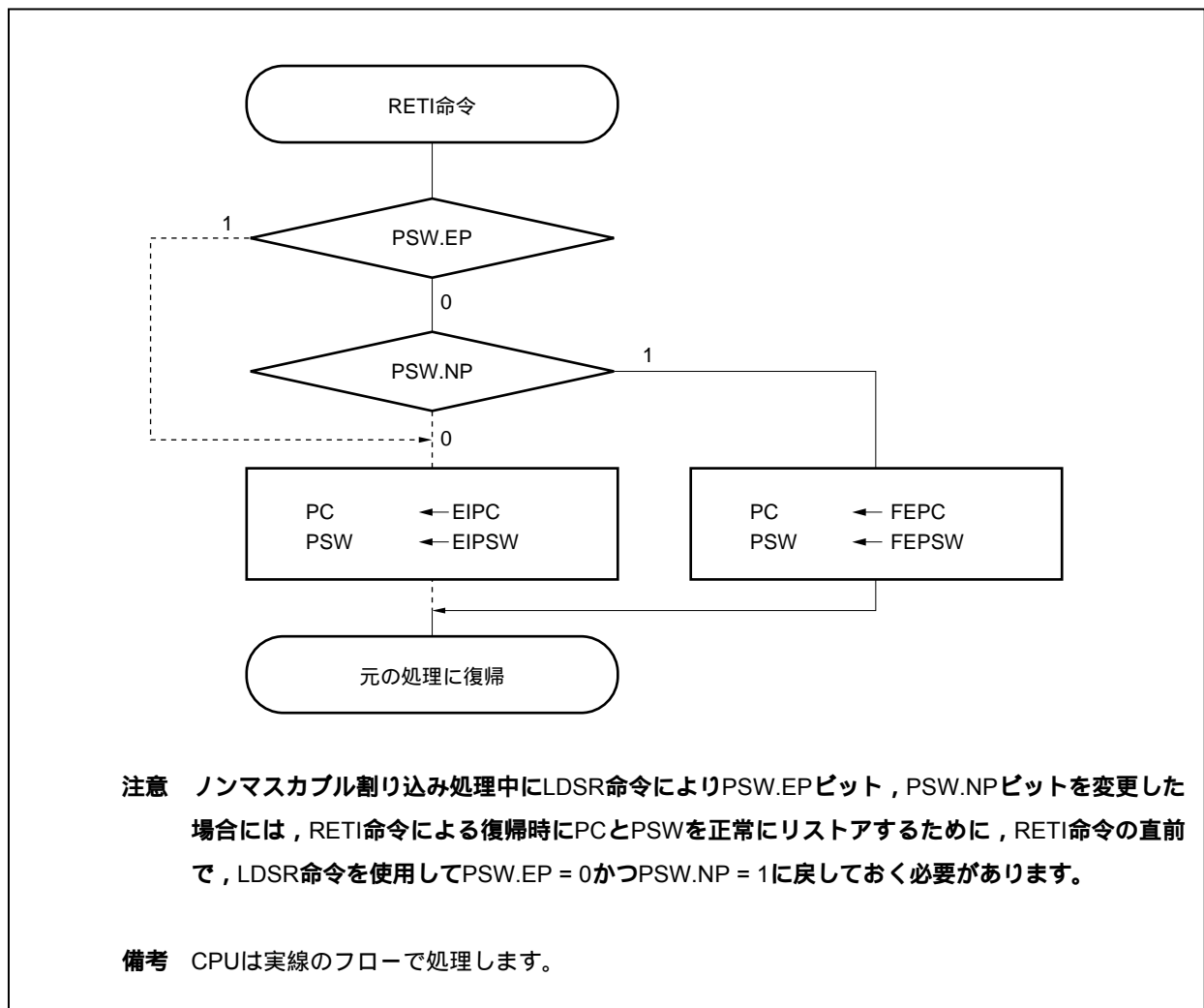
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへの制御を移します。

PSWのEPビットが0かつPSWのNPビットが1なので、FEPC, FEPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を図7 - 3に示します。

図7 - 3 RETI命令の処理形態





## 7.3 マスカブル割り込み

マスカブル割り込み要求は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求で、49種類の割り込み要因があります。

複数のマスカブル割り込み要求が同時に発生した場合は、デフォルト優先順位により、その優先順位が決定します。また、デフォルト優先順位とは別に、割り込み制御レジスタによって、8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求が受け付けられると割り込み禁止（DI）状態になり、以後のマスカブル割り込み要求の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり、受け付け中の割り込み要求の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし、多重割り込みを行う場合、次の処理が必要です。

EI命令を実行する前にEIPC, EIPSWをメモリか汎用レジスタに退避

RETI命令を実行する前にDI命令を実行し、続いて退避させた値をEIPC, EIPSWに復帰

### 7.3.1 動作

INT入力によりマスカブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

ECRの下位ハーフワード（EICC）に例外コードを書き込みます。

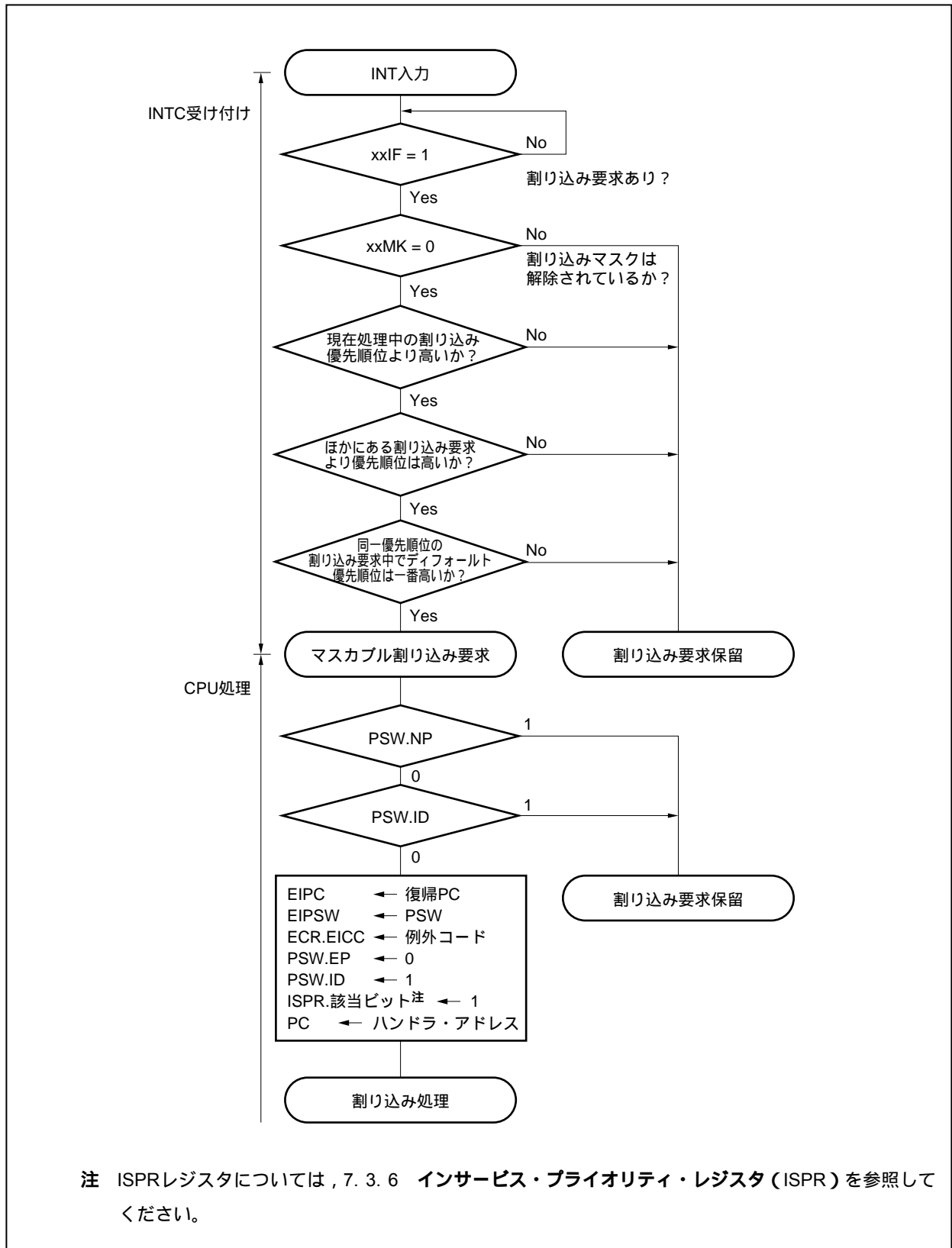
PSWのIDビットをセットし、EPビットをクリアします。

PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

マスカブル割り込みの処理形態を図7 - 4に示します。



図7-4 マスカブル割り込みの処理形態



割り込みコントローラでマスクされているINT入力と、ほかの割り込み処理中 (PSW.NP = 1またはPSW.ID = 1) に発生したINT入力は、割り込みコントローラの内部で保留されます。この場合マスクを解除するか、またはRETI命令、LDSR命令を使用して、PSW.NP = 0かつPSW.ID = 0にすると、保留していたINT入力により新たなマスカブル割り込み処理が開始されます。

### 7.3.2 復 帰

マスクابل割り込み処理からの復帰は、RETI命令により行います。

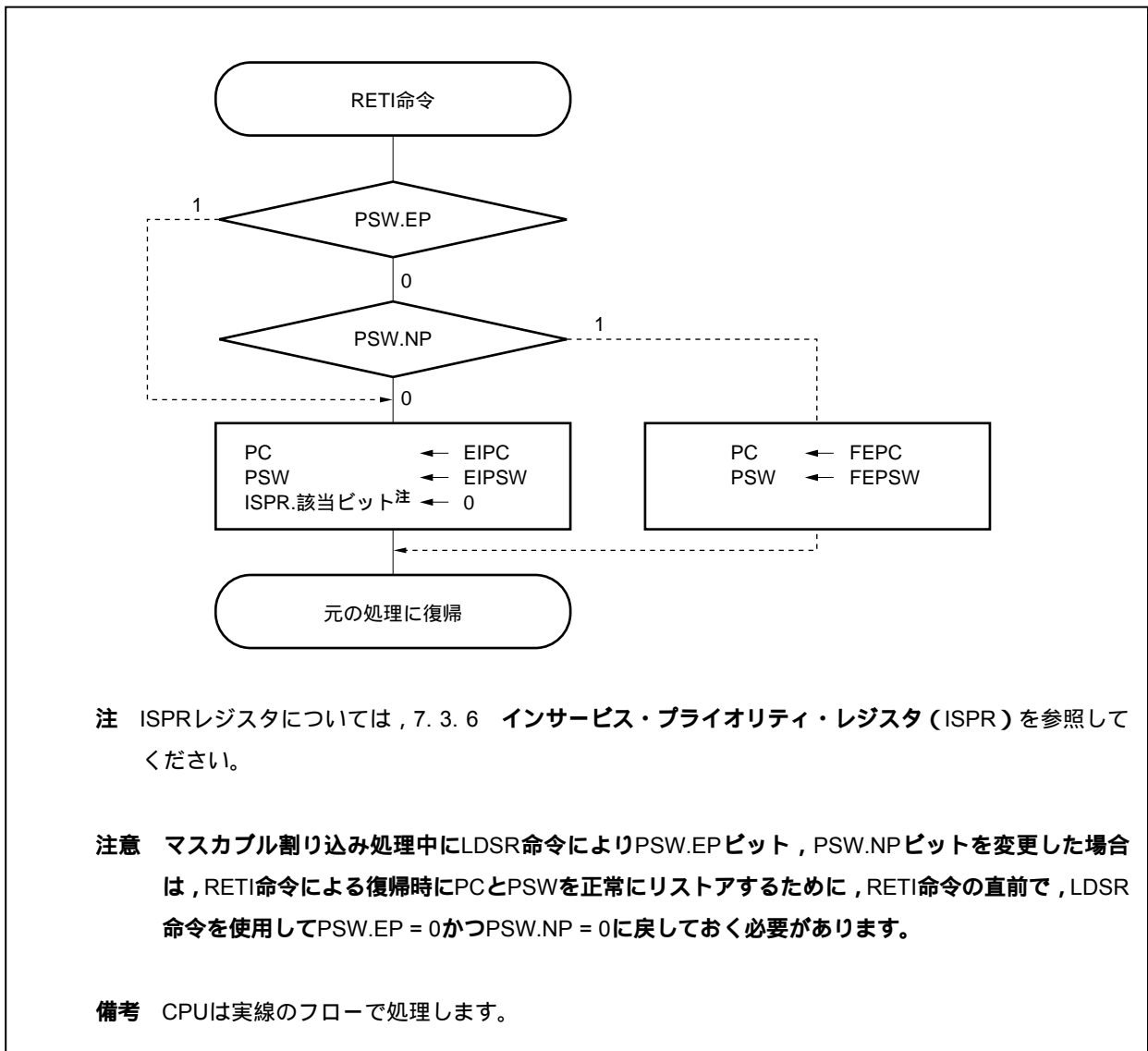
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSWのEPビットが0かつPSWのNPビットが0なので、EIPC、EIPSWから復帰PC、PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を図7 - 5に示します。

図7 - 5 RETI命令の処理形態



### 7.3.3 マスカブル割り込みの優先順位

INTCは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込み制御レジスタ (xxICn) の割り込み優先順位指定ビット (xxPRn) によるプログラマブル優先順位制御があります。デフォルト優先順位制御は、xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込みを処理します (表7-1 **割り込み / 例外要因一覧**参照)。プログラマブル優先順位制御は、各割り込み要求を優先順位指定フラグの設定によって8レベルに分けます。

なお、割り込み要求を受け付けるとPSWのIDフラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア (0) し、割り込み許可状態にしてください。

**備考** xx : 各周辺ユニット識別名称 (表7-2参照)

n : 周辺ユニット番号 (表7-2参照)

図7-6 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (1/2)

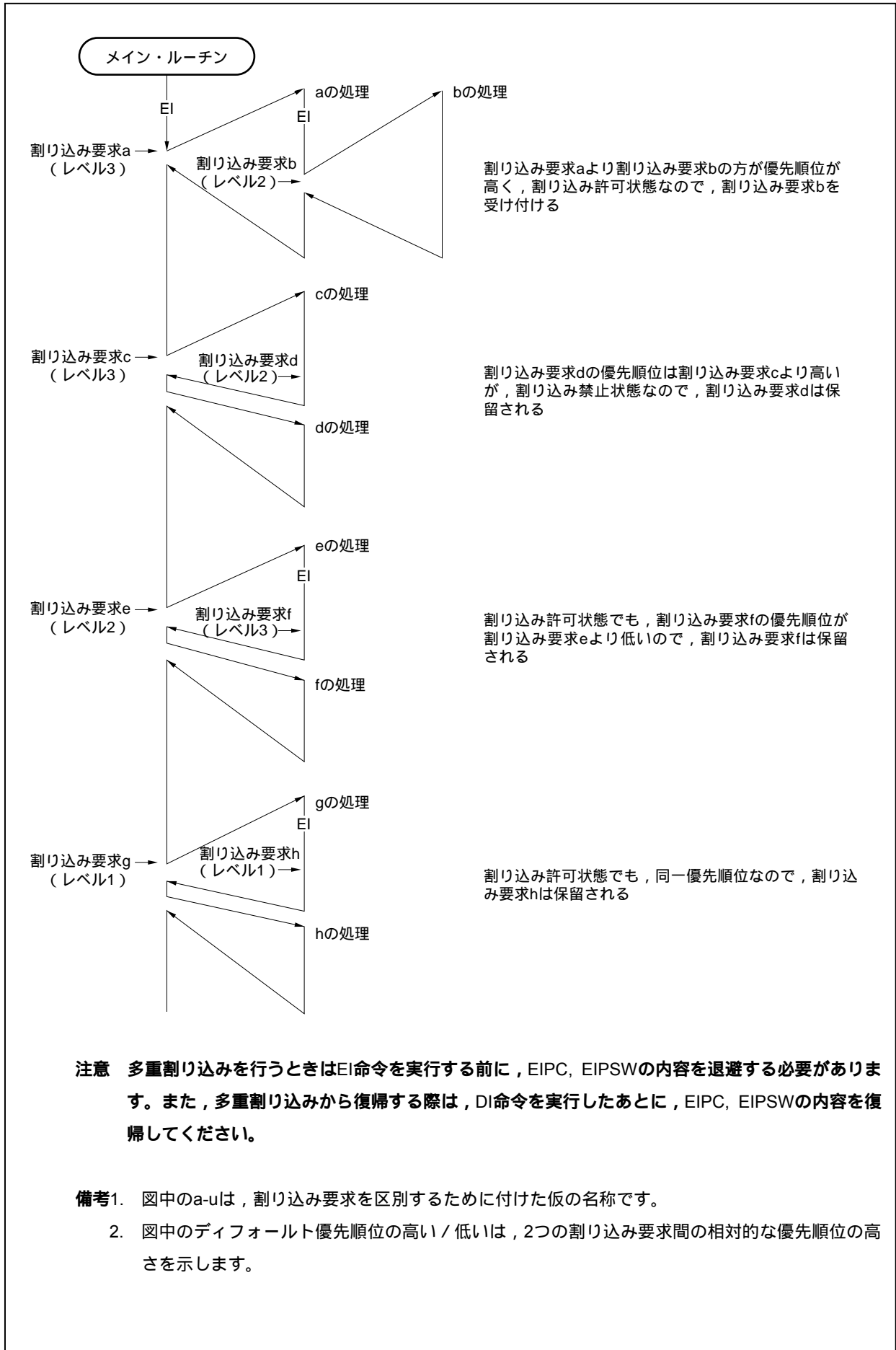


図7-6 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (2/2)

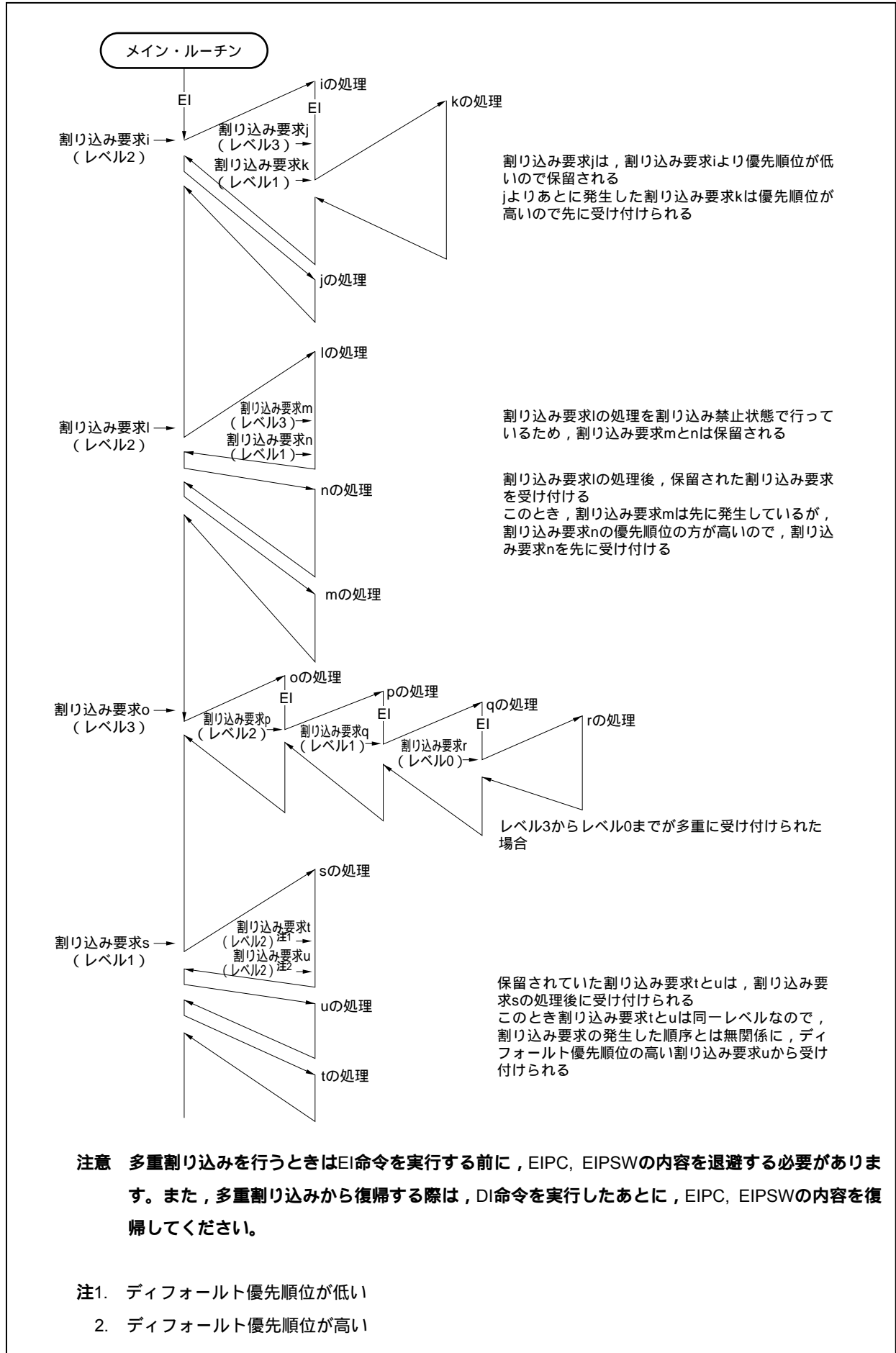
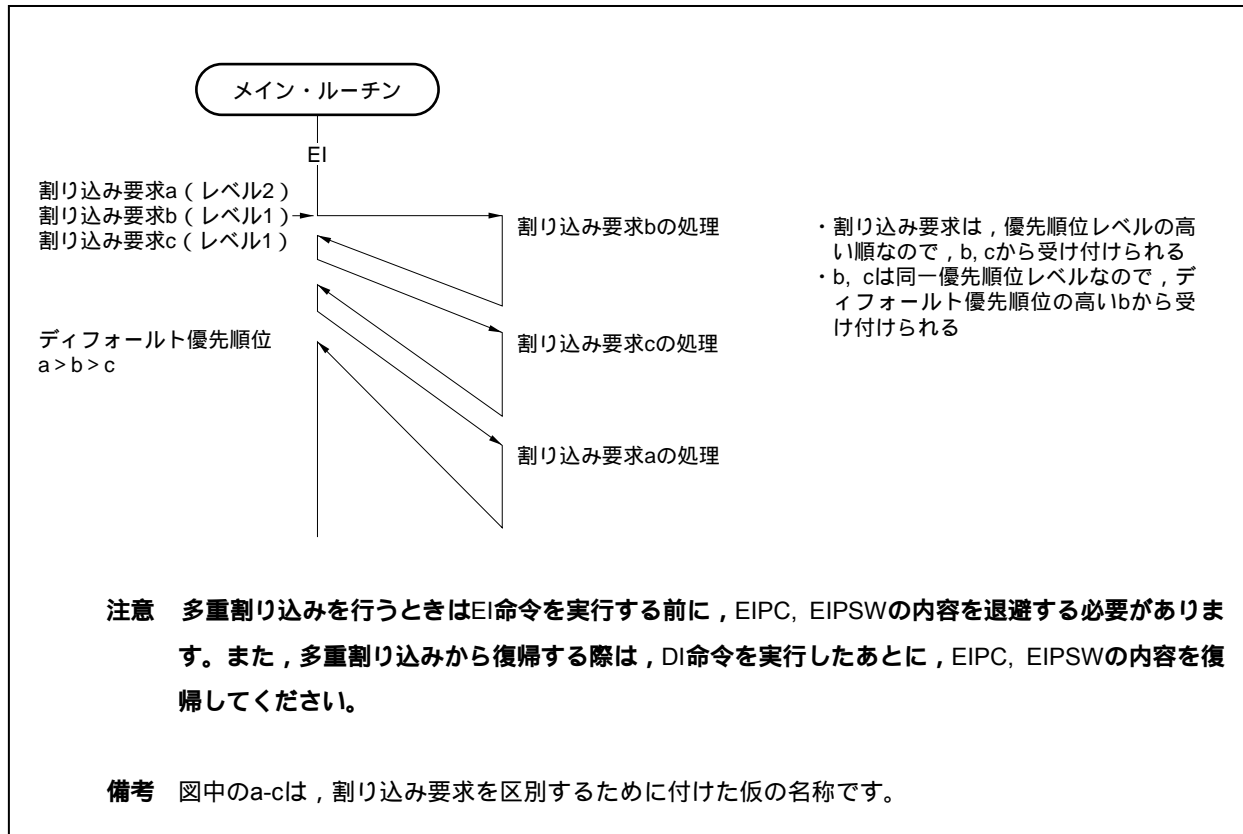


図7 - 7 同時発生した割り込み要求の処理例



### 7.3.4 割り込み制御レジスタ (xxICn)

割り込み要求 (マスカブル割り込み) ごとに割り当てられ, 各割り込みに対する制御条件を設定します。  
8/1ビット単位でリード/ライト可能です。

**注意** xxICnレジスタのxxIFnビットを読み出す場合は, 割り込み禁止 (DI) 状態で行ってください。割り込み許可 (EI) 状態でxxIFnビットを読み出すと, 割り込みの受け付けとビットの読み出しのタイミングが競合した場合に, 正常な値が読み出せないことがあります。

	⑦	⑥	5	4	3	2	1	0	アドレス	初期値
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0	FFFFF110H- FFFFF170H	47H

ビット位置	ビット名	意味
7	xxIFn	Interrupt Request Flag 割り込み要求フラグです。 0 : 割り込み要求なし 1 : 割り込み要求あり xxIFnフラグは, 割り込み要求が受け付けられるとハードウェアにより自動的にリセットされます。
6	xxMKn	Mask Flag 割り込みマスク・フラグです。 0 : 割り込み処理を許可 1 : 割り込み処理を禁止 (保留)
2-0	xxPRn2- xxPRn0	Priority 各割り込みごとに8レベルの優先順位を指定します。

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル0 (最高位) を指定
0	0	1	レベル1を指定
0	1	0	レベル2を指定
0	1	1	レベル3を指定
1	0	0	レベル4を指定
1	0	1	レベル5を指定
1	1	0	レベル6を指定
1	1	1	レベル7 (最低位) を指定

**備考** xx : 各周辺ユニット識別名称 (表7 - 2参照)  
n : 周辺ユニット番号 (表7 - 2参照)

各割り込み制御レジスタのアドレスとビットを次に示します。

表7-2 割り込み制御レジスタのアドレスとビット (1/2)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFF110H	OVIC00	OVIF00	OVMK00	0	0	0	OVPR002	OVPR001	OVPR000
FFFFF112H	OVIC01	OVIF01	OVMK01	0	0	0	OVPR012	OVPR011	OVPR010
FFFFF114H	OVIC02	OVIF02	OVMK02	0	0	0	OVPR022	OVPR021	OVPR020
FFFFF116H	OVIC03	OVIF03	OVMK03	0	0	0	OVPR032	OVPR031	OVPR030
FFFFF118H	P00IC0	P00IF0	P00MK0	0	0	0	P00PR02	P00PR01	P00PR00
FFFFF11AH	P00IC1	P00IF1	P00MK1	0	0	0	P00PR12	P00PR11	P00PR10
FFFFF11CH	P01IC0	P01IF0	P01MK0	0	0	0	P01PR02	P01PR01	P01PR00
FFFFF11EH	P01IC1	P01IF1	P01MK1	0	0	0	P01PR12	P01PR11	P01PR10
FFFFF120H	P02IC0	P02IF0	P02MK0	0	0	0	P02PR02	P02PR01	P02PR00
FFFFF122H	P02IC1	P02IF1	P02MK1	0	0	0	P02PR12	P02PR11	P02PR10
FFFFF124H	P03IC0	P03IF0	P03MK0	0	0	0	P03PR02	P03PR01	P03PR00
FFFFF126H	P03IC1	P03IF1	P03MK1	0	0	0	P03PR12	P03PR11	P03PR10
FFFFF128H	P10IC0	P10IF0	P10MK0	0	0	0	P10PR02	P10PR01	P10PR00
FFFFF12AH	P10IC1	P10IF1	P10MK1	0	0	0	P10PR12	P10PR11	P10PR10
FFFFF12CH	P10IC2	P10IF2	P10MK2	0	0	0	P10PR22	P10PR21	P10PR20
FFFFF12EH	P10IC3	P10IF3	P10MK3	0	0	0	P10PR32	P10PR31	P10PR30
FFFFF130H	P11IC0	P11IF0	P11MK0	0	0	0	P11PR02	P11PR01	P11PR00
FFFFF132H	P11IC1	P11IF1	P11MK1	0	0	0	P11PR12	P11PR11	P11PR10
FFFFF134H	P11IC2	P11IF2	P11MK2	0	0	0	P11PR22	P11PR21	P11PR20
FFFFF136H	P11IC3	P11IF3	P11MK3	0	0	0	P11PR32	P11PR31	P11PR30
FFFFF138H	P12IC0	P12IF0	P12MK0	0	0	0	P12PR02	P12PR01	P12PR00
FFFFF13AH	P12IC1	P12IF1	P12MK1	0	0	0	P12PR12	P12PR11	P12PR10
FFFFF13CH	P12IC2	P12IF2	P12MK2	0	0	0	P12PR22	P12PR21	P12PR20
FFFFF13EH	P12IC3	P12IF3	P12MK3	0	0	0	P12PR32	P12PR31	P12PR30
FFFFF140H	P13IC0	P13IF0	P13MK0	0	0	0	P13PR02	P13PR01	P13PR00
FFFFF142H	P13IC1	P13IF1	P13MK1	0	0	0	P13PR12	P13PR11	P13PR10
FFFFF144H	P13IC2	P13IF2	P13MK2	0	0	0	P13PR22	P13PR21	P13PR20
FFFFF146H	P13IC3	P13IF3	P13MK3	0	0	0	P13PR32	P13PR31	P13PR30
FFFFF148H	CMICD0	CMIF0	CMMK0	0	0	0	CMPR02	CMPR01	CMPR00
FFFFF14AH	CMICD1	CMIF1	CMMK1	0	0	0	CMPR12	CMPR11	CMPR10
FFFFF14CH	CMICD2	CMIF2	CMMK2	0	0	0	CMPR22	CMPR21	CMPR20
FFFFF14EH	CMICD3	CMIF3	CMMK3	0	0	0	CMPR32	CMPR31	CMPR30
FFFFF150H	DMAIC0	DMAIF0	DMAMK0	0	0	0	DMAPR02	DMAPR01	DMAPR00
FFFFF152H	DMAIC1	DMAIF1	DMAMK1	0	0	0	DMAPR12	DMAPR11	DMAPR10
FFFFF154H	DMAIC2	DMAIF2	DMAMK2	0	0	0	DMAPR22	DMAPR21	DMAPR20
FFFFF156H	DMAIC3	DMAIF3	DMAMK3	0	0	0	DMAPR32	DMAPR31	DMAPR30
FFFFF158H	CSIC0	CSIF0	CSIMK0	0	0	0	CSIPR02	CSIPR01	CSIPR00
FFFFF15AH	SEIC0	SEIF0	SEMK0	0	0	0	SEPR02	SEPR01	SEPR00
FFFFF15CH	SRIC0	SRIF0	SRMK0	0	0	0	SRPR02	SRPR01	SRPR00
FFFFF15EH	STIC0	STIF0	STMK0	0	0	0	STPR02	STPR01	STPR00
FFFFF160H	CSIC1	CSIF1	CSIMK1	0	0	0	CSIPR12	CSIPR11	CSIPR10
FFFFF162H	SEIC1	SEIF1	SEMK1	0	0	0	SEPR12	SEPR11	SEPR10



表7 - 2 割り込み制御レジスタのアドレスとビット (2/2)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFF164H	SRIC1	SRIF1	SRMK1	0	0	0	SRPR12	SRPR11	SRPR10
FFFFF166H	STIC1	STIF1	STMK1	0	0	0	STPR12	STPR11	STPR10
FFFFF168H	CSIC2	CSIF2	CSIMK2	0	0	0	CSIPR22	CSIPR21	CSIPR20
FFFFF16AH	SEIC2	SEIF2	SEMK2	0	0	0	SEPR22	SEPR21	SEPR20
FFFFF16CH	SRIC2	SRIF2	SRMK2	0	0	0	SRPR22	SRPR21	SRPR20
FFFFF16EH	STIC2	STIF2	STMK2	0	0	0	STPR22	STPR21	STPR20
FFFFF170H	ADIC	ADIF	ADMK	0	0	0	ADPR2	ADPR1	ADPR0

### 7.3.5 割り込みマスク・レジスタ0-3 (IMR0-IMR3)

マスカブル割り込みに対する割り込みマスク状態を設定します。IMR0-IMR3レジスタのxxMKnビットとxxICnレジスタのxxMKnビットは、それぞれ連結しています。

IMRmレジスタは、16ビット単位でリード/ライト可能です (m = 0-3)。

IMRmレジスタの上位8ビットをIMRmHレジスタ、下位8ビットをIMRmLレジスタとした場合は、8/1ビット単位でリード/ライト可能です。

IMR3レジスタのビット15-1 (IMR3Hレジスタのビット7-0, IMR3Lレジスタのビット7-1) は1に固定です。変更した場合の動作は保証できません。

**注意** デバイス・ファイルでは、xxICnレジスタのxxMKnビットを予約語として定義しています。したがって、xxMKnビットの名称でビット操作を行うと、IMRmレジスタではなくxxICnレジスタを書き換えます (結果としてIMRmレジスタも書き換わります)。

IMR0	15	14	13	12	11	10	9	8	アドレス	初期値
	P10MK3	P10MK2	P10MK1	P10MK0	P03MK1	P03MK0	P02MK1	P02MK0		
	7	6	5	4	3	2	1	0		
	P01MK1	P01MK0	P00MK1	P00MK0	OVMK3	OVMK2	OVMK1	OVMK0		
IMR1	15	14	13	12	11	10	9	8	アドレス	初期値
	CMMK3	CMMK2	CMMK1	CMMK0	P13MK3	P13MK2	P13MK1	P13MK0		
	7	6	5	4	3	2	1	0		
	P12MK3	P12MK2	P12MK1	P12MK0	P11MK3	P11MK2	P11MK1	P11MK0		
IMR2	15	14	13	12	11	10	9	8	アドレス	初期値
	STMK2	SRMK2	SEMK2	CSIMK2	STMK1	SRMK1	SEMK1	CSIMK1		
	7	6	5	4	3	2	1	0		
	STMK0	SRMK0	SEMK0	CSIMK0	DMAMK3	DMAMK2	DMAMK1	DMAMK0		
IMR3	15	14	13	12	11	10	9	8	アドレス	初期値
	1	1	1	1	1	1	1	1		
	7	6	5	4	3	2	1	0		
	1	1	1	1	1	1	1	ADMK		
ビット位置	ビット名	意味								
15-0 (IMR0-2), 0 (IMR3)	xxMKn	Mask Flag	割り込みマスク・フラグです。 0 : 割り込み処理を許可 1 : 割り込み処理を禁止 (保留)							
<b>備考</b> xx : 各周辺ユニット識別名称 (表7 - 2参照)										
n : 周辺ユニット番号 (表7 - 2参照)										

### 7.3.6 インサーブ・プライオリティ・レジスタ (ISPR)

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求が受け付けられると、その割り込み要求の優先順位レベルに対応するビットがセット (1) され、サービス中保持されます。

RETI命令の実行時、ISPRレジスタ内でセット (1) されているビットのうち、最も優先順位の高い割り込み要求に対応するビットがハードウェアにより自動的にリセット (0) されます。ただし、ノンマスカブルの割り込み処理や例外処理からの復帰の場合はクリア (0) されません。

8/1ビット単位でリードのみ可能です。

**注意** 割り込み許可 (EI) 状態において、ISPRレジスタをリード中に割り込みを受け付けた場合、その割り込み受け付けによるビットがセット (1) されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は、割り込み禁止 (DI) 状態でリードしてください。

	⑦	⑥	⑤	④	③	②	①	①	アドレス	初期値
ISPR	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0	FFFFFF1FAH	00H

ビット位置	ビット名	意味
7-0	ISPR7-ISPR0	In-Service Priority Flag 受け付け中の割り込みの優先順位を示します。 0 : 優先順位nの割り込み要求を受け付けていない 1 : 優先順位nの割り込み要求を受け付け中

**備考** n = 0-7 (優先順位のレベル)

### 7.3.7 マスカブル割り込みステータス・フラグ (ID)

IDフラグは、PSWのビット5です。マスカブル割り込みの動作状態を制御し、割り込み要求受け付けの許可 / 禁止制御情報を記憶します。

PSW	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	NP	EP	ID	SAT	CY	OV	S	Z

初期値  
00000020H

ビット位置	ビット名	意味
5	ID	<p>Interrupt Disable</p> <p>マスカブル割り込み処理の許可 / 禁止を示します。</p> <p>0 : マスカブル割り込み要求の受け付け許可</p> <p>1 : マスカブル割り込み要求の受け付け禁止 (保留)</p> <p>DI命令でセット (1) , EI命令でリセット (0) されます。また、RETI命令およびPSWへのLDSR命令により値が書き換えられます。</p> <p>ノンマスカブル割り込み要求および例外は、このフラグの状態に関係なく受け付けられます。また、マスカブル割り込み要求を受け付けると、IDフラグはハードウェアで自動的にセット (1) されます。</p> <p>受け付け禁止期間中 (ID = 1) に発生した割り込み要求は、xxlCnのxxlFnビットがセット (1) され、IDフラグがリセット (0) されると受け付けられます。</p>

### 7.3.8 ノイズ除去

INTP<sub>n</sub>, INTP<sub>m</sub>, TI000-TI030端子のノイズは、アナログ・ディレイによって除去されます。ディレイ時間は約60-220nsです (n = 000, 001, 010, 011, 020, 021, 030, 031, m = 103-100, 113-110, 123-120, 133-130)。この時間未満で変化する信号入力は、内部で受け付けられません。

### 7.3.9 割り込みトリガ・モードの選択

INTP0n0端子, INTP0n1端子, INTP1nm端子, ADTRG端子, TI0n0端子は、有効エッジをプログラマブルに選択できます。また、INTP1nm端子は、レベル・トリガも選択できます (n = 0-3, m = 0-3)。選択できる有効エッジについて次に示します。

- ・立ち上がりエッジ
- ・立ち下がりエッジ
- ・立ち上がり / 立ち下がり両エッジ

エッジ検出されたINTP0n0, INTP0n1, INTP1nm, ADTRG, TI0n0信号は、割り込み要因やキャプチャ・トリガ入力, A/Dトリガ入力, タイマの外部カウント入力になります (n = 0-3, m = 0-3)。

有効エッジは、外部割り込みモード・レジスタ1-4 (INTM1-INTM4)、有効エッジ選択レジスタ (SESC0-SESC3) で指定します。また、レベル・トリガは、外部割り込みモード・レジスタ1-4 (INTM1-INTM4) で指定します。

#### (1) 外部割り込みモード・レジスタ1-4 (INTM1-INTM4)

外部端子による外部割り込み要求 (INTP100-INTP103, INTP110-INTP113, INTP120-INTP122, INTP123/ADTRG, INTP130-INTP133) のトリガ・モードを指定するレジスタです。各レジスタと、そのレジスタが制御する外部割り込み要求との対応を次に示します。

- ・ INTM1 : INTP100-INTP103
- ・ INTM2 : INTP110-INTP113
- ・ INTM3 : INTP120-INTP122, INTP123/ADTRG
- ・ INTM4 : INTP130-INTP133

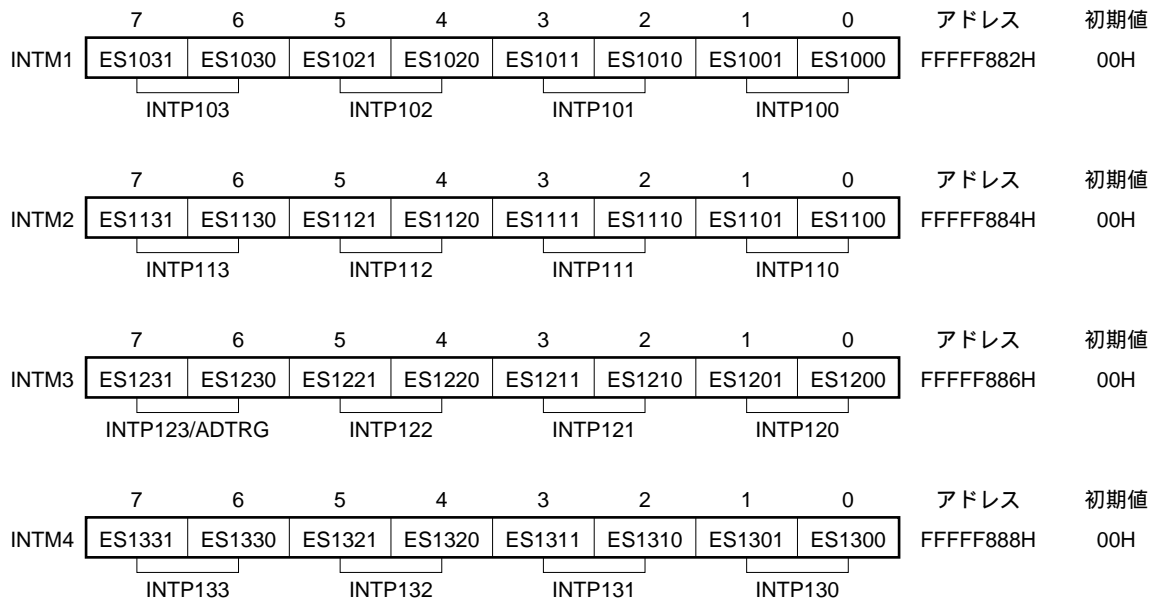
INTP123はA/Dコンバータの外部トリガ入力 (ADTRG) と端子が兼用になっています。したがって、A/Dコンバータ・モード・レジスタ (ADM) のTRG0-TRG2ビットにより外部トリガ・モードに設定されている場合、INTM3のES1231, ES1230ビットは外部トリガ入力 (ADTRG) の有効エッジ指定となります。

有効エッジは、立ち上がりエッジ, 立ち下がりエッジ, または立ち上がり / 立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8ビット単位でリード / ライト可能です。

**注意** INTP1nm端子, ADTRG端子のトリガ・モードを設定する場合は、PMC<sub>n</sub>レジスタを設定したあとで行ってください。

INTM1-INTM4レジスタを設定したあとでPMC<sub>x</sub>レジスタの設定を行うと、PMC<sub>n</sub>レジスタの設定タイミングで不正な割り込みが発生することがあります (n = 0-3, m = 0-3, x = 0, 2, 3)



ビット位置	ビット名	意味															
7-0	ES1nm1, ES1nm0 (n = 0-3, m = 0-3)	Edge Select INTP1nm端子, ADTRG端子のトリガ・モードを指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ES1nm1</th> <th>ES1nm0</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>レベル検出(ロウ・レベル検出)<sup>注1, 2, 3</sup></td> </tr> <tr> <td>1</td> <td>1</td> <td>立ち上がり/立ち下がり両エッジ</td> </tr> </tbody> </table>	ES1nm1	ES1nm0	動作	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	レベル検出(ロウ・レベル検出) <sup>注1, 2, 3</sup>	1	1	立ち上がり/立ち下がり両エッジ
ES1nm1	ES1nm0	動作															
0	0	立ち下がりエッジ															
0	1	立ち上がりエッジ															
1	0	レベル検出(ロウ・レベル検出) <sup>注1, 2, 3</sup>															
1	1	立ち上がり/立ち下がり両エッジ															

- 注1. INTP1nm端子のレベルは、システム・クロックを2分周したタイミングごとにサンプリングされ、ロウ・レベルを検出するとP1nIFmビットとして割り込み要求がラッチされます。このため、CPUが割り込みを受け付けて、割り込み制御レジスタ(P1nICm)のP1nIFmビットが自動的にクリア(0)されても、すぐにP1nIFmビットがセット(1)され、連続的に割り込みが発生します。この状態を回避するためには、割り込み処理ルーチン内で、外部デバイスに対してINTP1nm端子をインアクティブにする処理を行ったあと、P1nIFmビットを強制的にクリア(0)してください(n = 0-3, m = 0-3)。
- ある割り込み処理中に、より優先順位の低いレベル検出割り込み要求(INTP1nm)が発生し、現在の割り込み処理が終了する前に、新たに発生したレベル検出割り込み(INTP1nm)がインアクティブになった場合、新たに発生した割り込み(INTP1nm)の割り込み要求は保留されます。このINTP1nmの割り込み要求を受け付けたくない場合は、割り込み制御レジスタのP1nIFmビットをクリアしてください(n = 0-3, m = 0-3)。
  - ADTRG端子として使用する場合、レベル検出は選択しないでください。

**(2) 有効エッジ選択レジスタC0-C3 (SESC0-SESC3)**

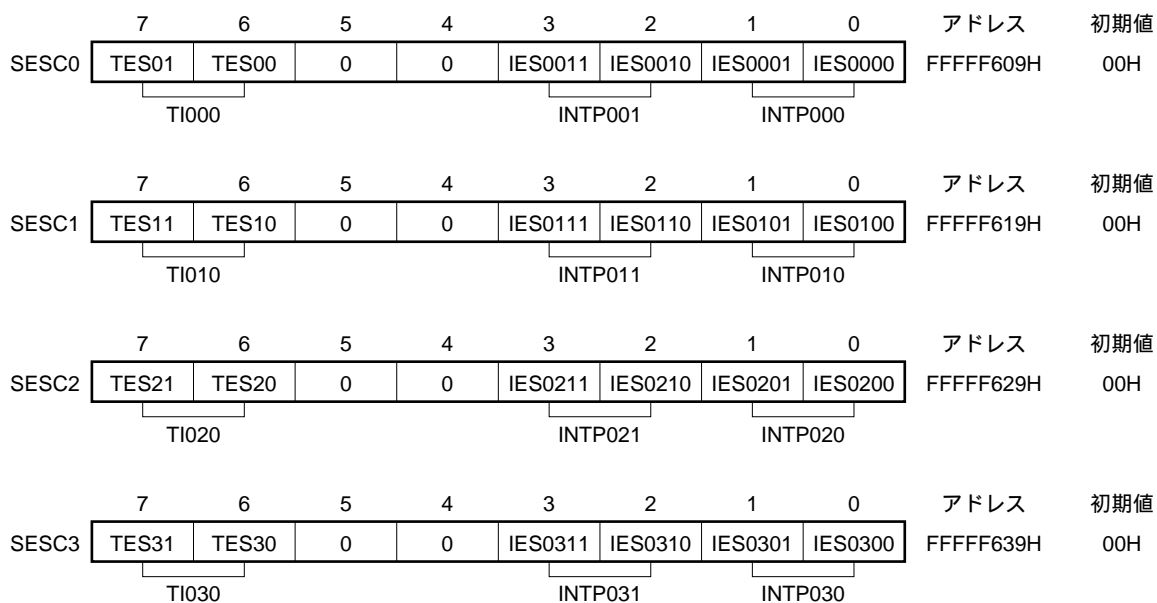
外部端子による外部割り込み要求 ( INTP000, INTP001, INTP010, INTP011, INTP020, INTP021, INTP030, INTP031, TI000-TI030 ) の有効エッジを指定するレジスタです。各レジスタと、そのレジスタが制御する外部割り込み要求との対応を次に示します。

- SESC0 : TI000, INTP000, INTP001
- SESC1 : TI010, INTP010, INTP011
- SESC2 : TI020, INTP020, INTP021
- SESC3 : TI030, INTP030, INTP031

有効エッジは、立ち上がりエッジ、立ち下がりエッジ、または立ち上がり / 立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8ビット単位でリード / ライト可能です。

- 注意1.** INTP0n0/TI0n0端子またはINTP0n1端子をINTP0n0, INTP0n1として使用する場合は、タイマ・モード・コントロール・レジスタCn0 ( TMCCn0 ) のTMCCAEnビットを必ずセット ( 1 ) してから使用してください ( n = 0-3 ) 。
- 2.** TI0n0, INTP0n1, INTP0n0端子のトリガ・モードを設定する場合は、PMCxレジスタを設定したあとで行ってください。
- SESC0-SESC3レジスタを設定したあとでPMCxレジスタの設定を行うと、PMCxレジスタの設定タイミングで不正な割り込みが発生することがあります ( n = 0-3, x = 0, 1, 2, 5 ) 。



ビット位置	ビット名	意 味															
7, 6	TESn1, TESn0 ( n = 0-3 )	Edge Select INTPn端子, TI000-TI030端子の有効エッジを指定します。															
3, 2	IESn1, IESn0 ( n = 001, 011, 021, 031 )	<table border="1"> <thead> <tr> <th>xESn1</th> <th>xESn0</th> <th>動 作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>RFU ( 予約 )</td> </tr> <tr> <td>1</td> <td>1</td> <td>立ち上がり / 立ち下がり両エッジ</td> </tr> </tbody> </table>	xESn1	xESn0	動 作	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	RFU ( 予約 )	1	1	立ち上がり / 立ち下がり両エッジ
xESn1	xESn0	動 作															
0	0	立ち下がりエッジ															
0	1	立ち上がりエッジ															
1	0	RFU ( 予約 )															
1	1	立ち上がり / 立ち下がり両エッジ															
1, 0	IESn1, IESn0 ( n = 000, 010, 020, 030 )																



## 7.4 ソフトウェア例外

ソフトウェア例外は、CPUのTRAP命令の実行により発生する例外で、常に受け付け可能です。

### 7.4.1 動作

ソフトウェア例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

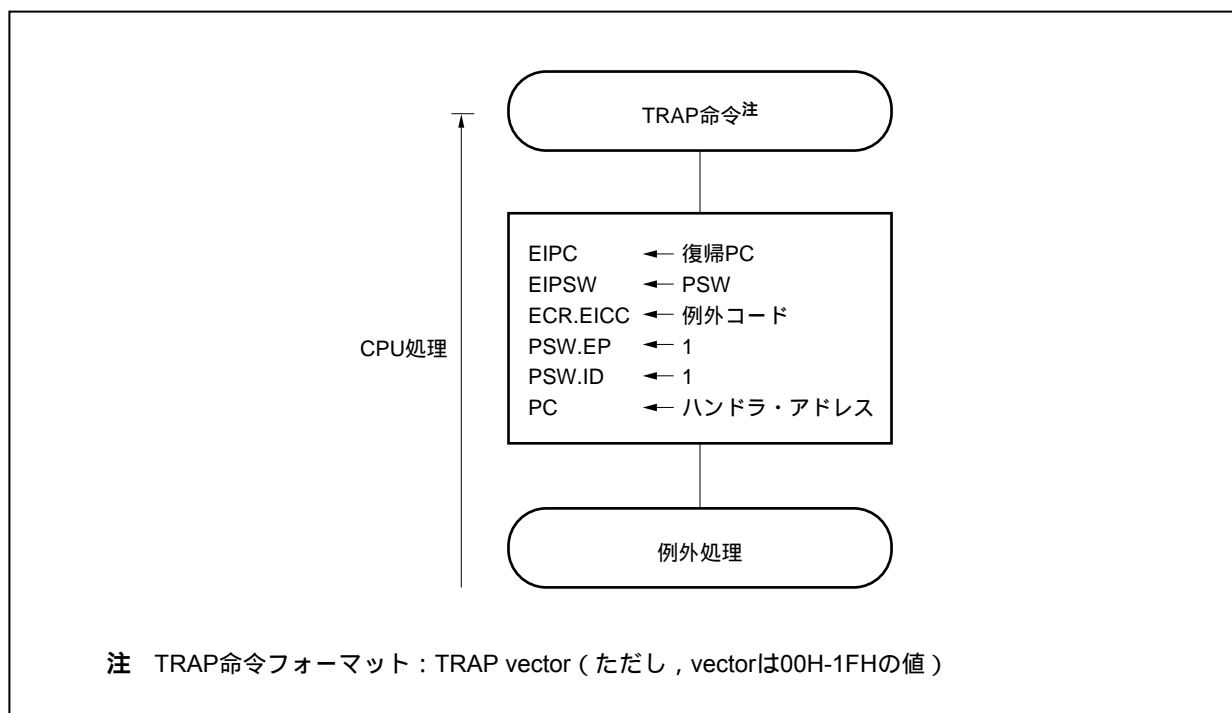
ECR (割り込み要因) の下位16ビット (EICC) に例外コードを書き込みます。

PSWのEP, IDビットをセットします。

PCにソフトウェア例外に対するハンドラ・アドレス (00000040Hまたは00000050H) をセットし、制御を移します。

ソフトウェア例外の処理形態を、図7 - 8に示します。

図7 - 8 ソフトウェア例外の処理形態



ハンドラ・アドレスは、TRAP命令のオペランド (vector) によって決まります。vectorが00H-0FHの場合は00000040Hとなり、10H-1FHの場合は00000050Hとなります。

## 7.4.2 復 帰

ソフトウェア例外処理からの復帰は、RETI命令により行います。

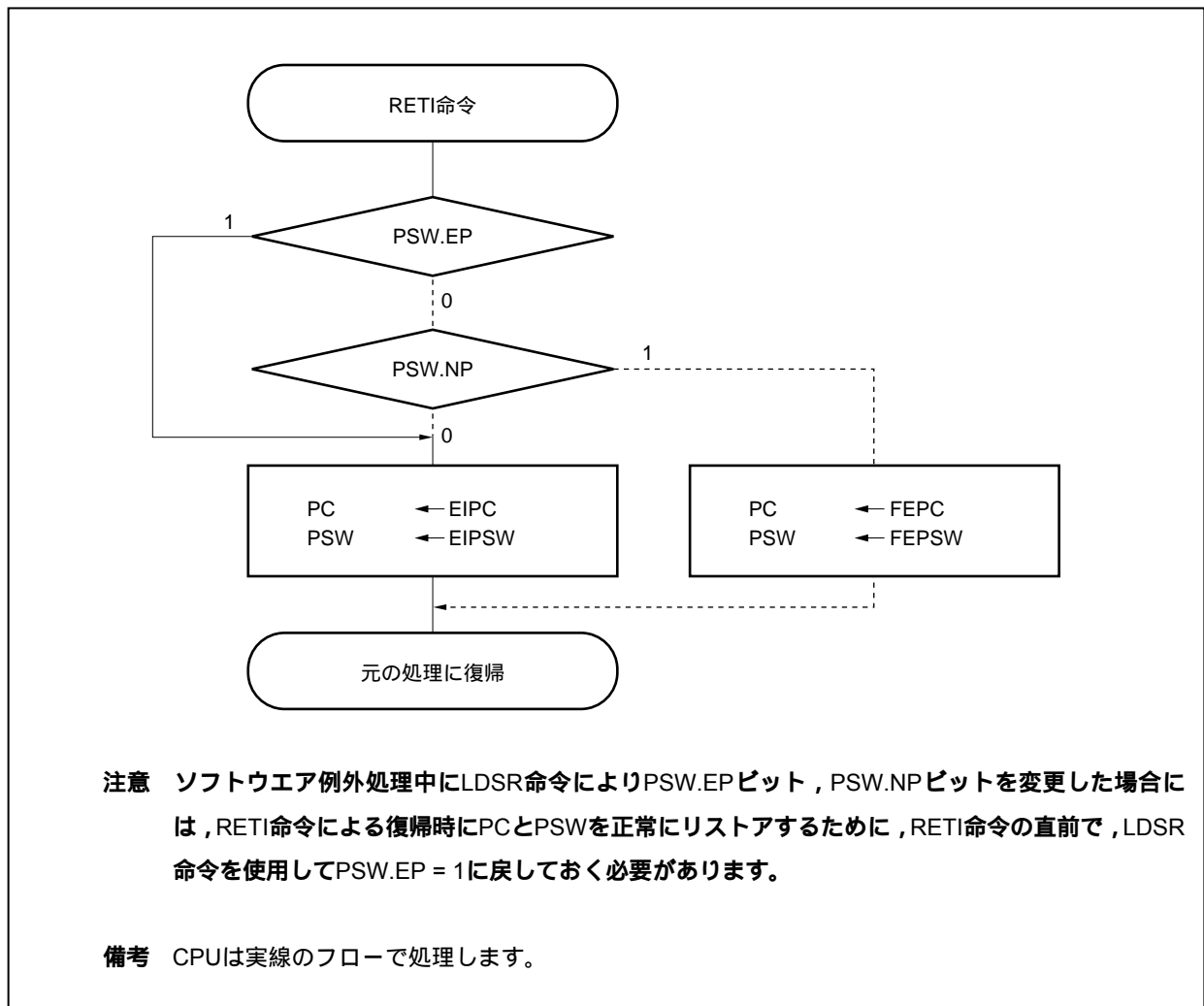
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSWのEPビットは1なので、EIPC, EIPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

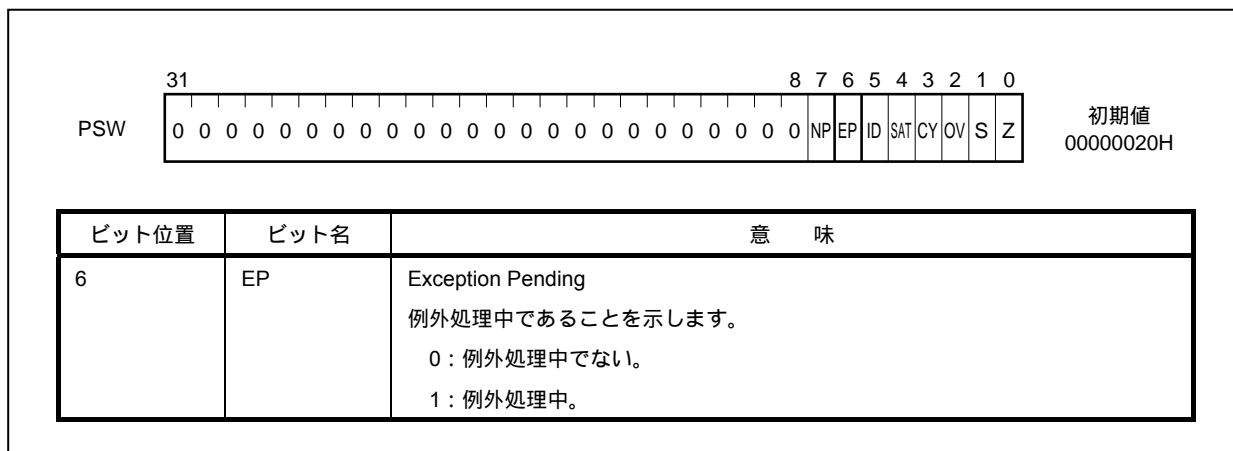
RETI命令の処理形態を図7 - 9に示します。

図7 - 9 RETI命令の処理形態



### 7.4.3 例外ステータス・フラグ (EP)

EPフラグは、PSWのビット6です。EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。

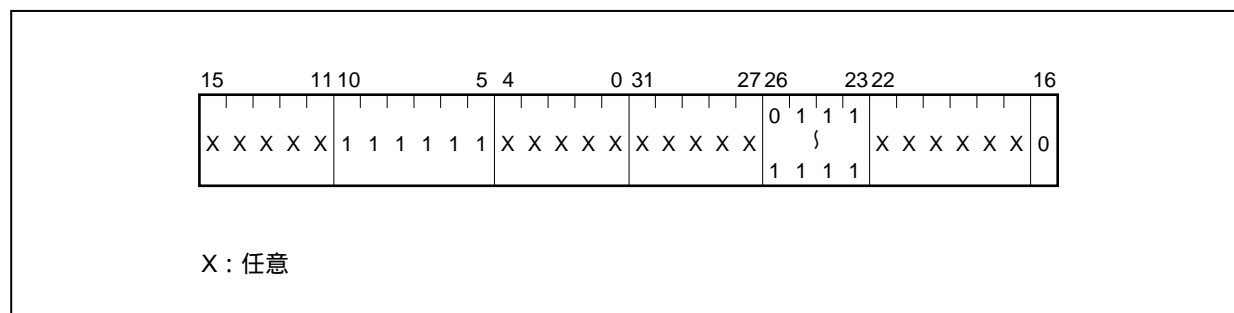


## 7.5 例外トラップ

例外トラップは、命令の不正実行が発生した場合に要求される割り込みです。V850E/MA1では、不正命令コード・トラップ (ILGOP : Illegal Opcode Trap) が例外トラップに当たります。

### 7.5.1 不正命令コード

不正命令は、命令のオペコード(ビット10-5)が11111Bで、サブオペコード(ビット26-23)が0111B-1111B、サブオペコード(ビット16)が0Bであるものです。この不正命令に当てはまる命令を実行したときに、例外トラップが発生します。



**注意** 不正命令コードには、将来、新規に命令を割り当てる可能性があるため、使用しないことを推奨します。

#### (1) 動作

例外トラップが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをDBPCに退避します。

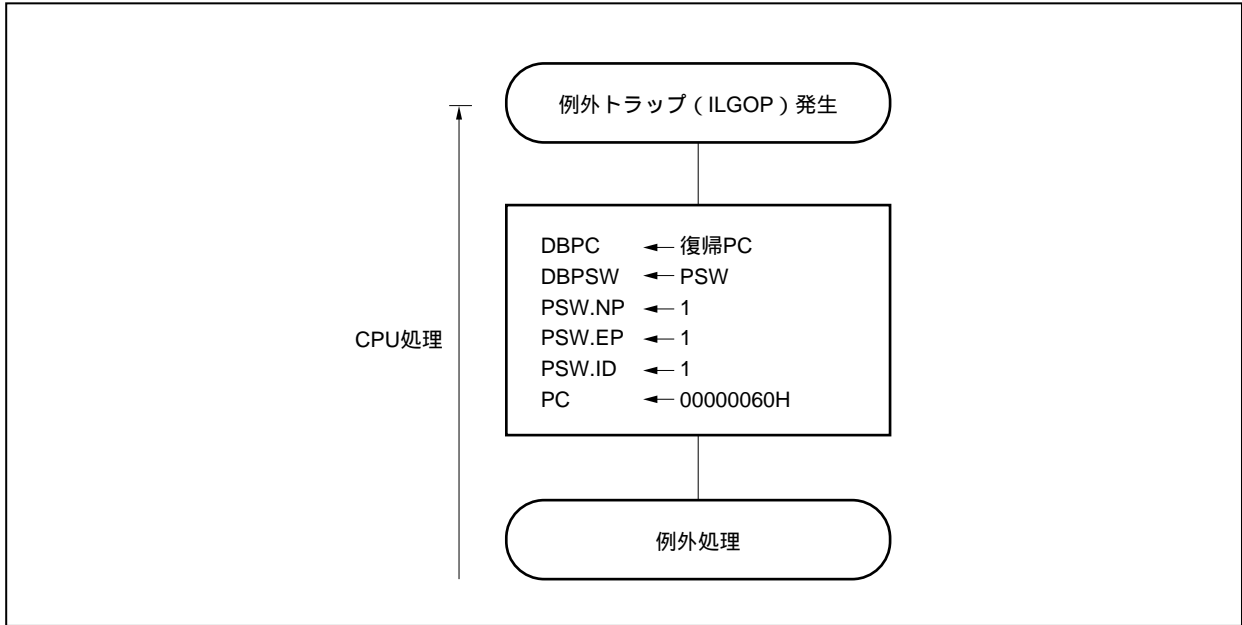
現在のPSWをDBPSWに退避します。

PSWのNP, EP, IDビットをセットします。

PCに例外トラップに対するハンドラ・アドレス (00000060H) をセットし、制御を移します。

例外トラップの処理形態を図7 - 10に示します。

図7 - 10 例外トラップの処理形態



(2) 復 帰

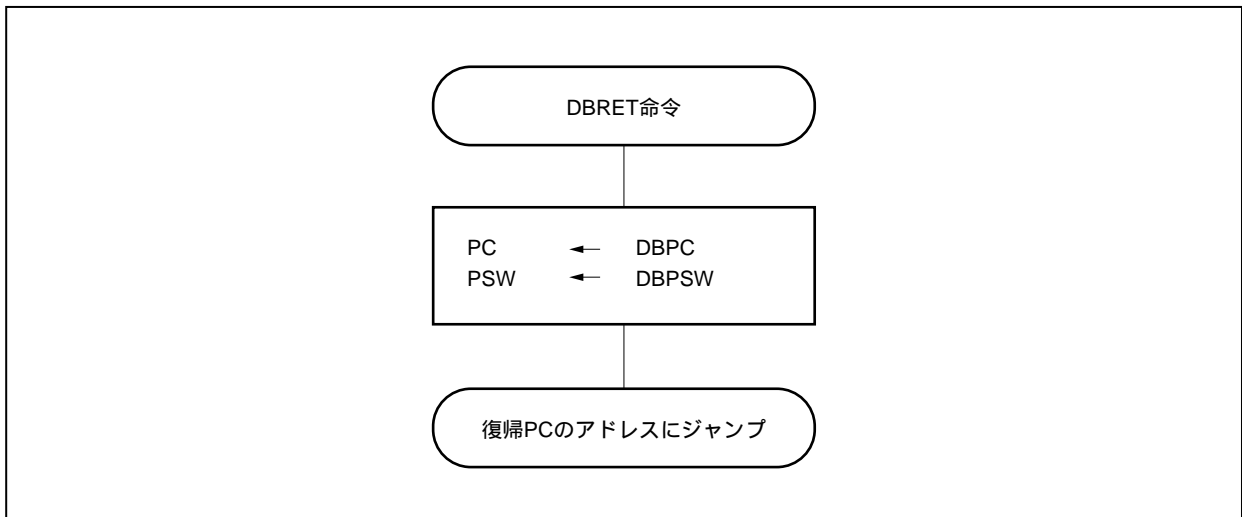
例外トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

DBPC, DBPSWから復帰PC, PSWを取り出します。  
 取り出した復帰PC, PSWのアドレスに制御を移します。

**注意** DBPCとDBPSWには、不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

例外トラップからの復帰の処理形態を図7 - 11に示します。

図7 - 11 例外トラップからの復帰の処理形態



### 7.5.2 デバッグ・トラップ

デバッグ・トラップは、DBTRAP命令の実行により発生する常時受け付けが可能な例外です。

デバッグ・トラップが発生した場合、CPUは次の処理を行います。

#### (1) 動作

復帰PCをDBPCに退避します。

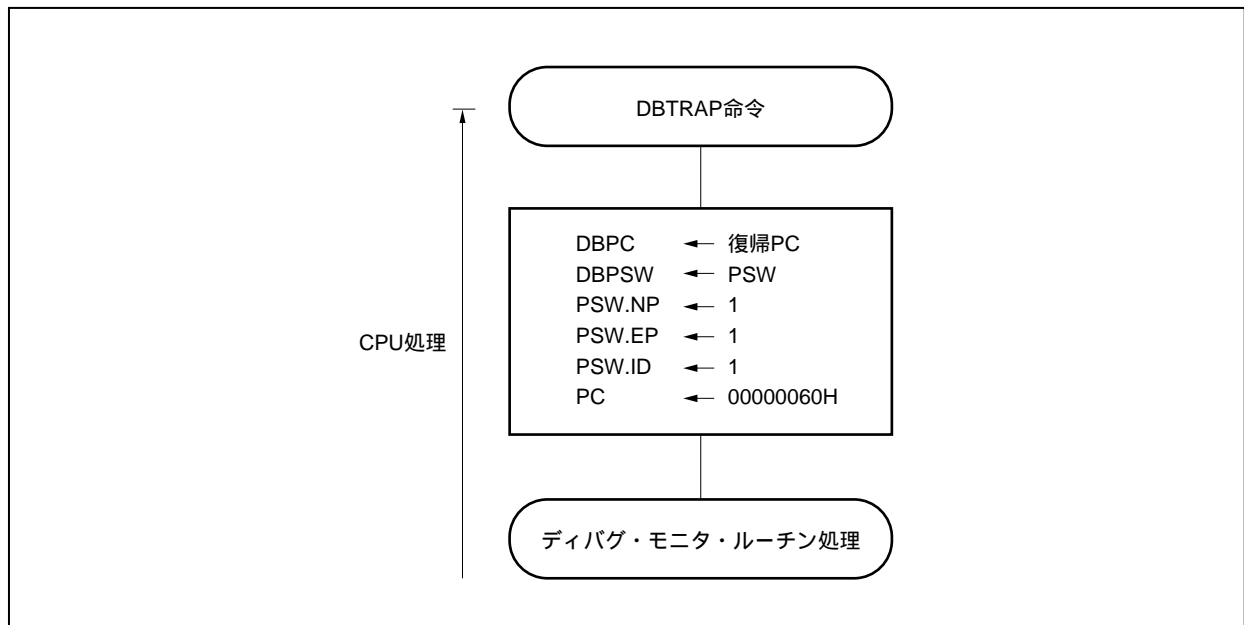
現在のPSWをDBPSWに退避します。

PSWのNP, EP, IDビットをセットします。

PCにデバッグ・トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

デバッグ・トラップの処理形態を図7 - 12に示します。

図7 - 12 デバッグ・トラップの処理形態



## (2) 復 帰

ディバグ・トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

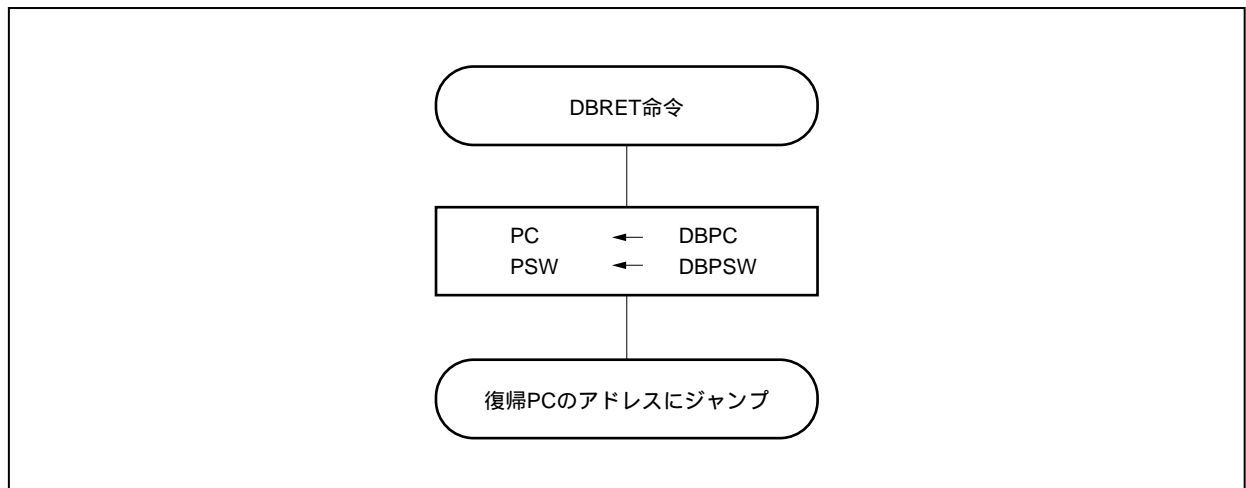
DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

**注意** DBPCとDBPSWには、DBTRAP命令を実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

ディバグ・トラップからの復帰の処理形態を図7 - 13に示します。

図7 - 13 ディバグ・トラップからの復帰の処理形態



## 7.6 多重割り込み処理制御

多重割り込み処理制御は、現在処理中の割り込みより優先順位レベルの高い割り込み要求があった場合、現在処理中の割り込みを中断して、優先順位の高い割り込み要求を受け付け処理を行う機能です。

現在処理中の割り込みの優先順位レベル以下の割り込み要求だった場合は、その割り込み要求は保留されます。

マスクブル割り込みの多重処理制御は、割り込み許可状態 (ID = 0) のときに行われます。したがって、多重割り込みを行う場合は割り込み処理ルーチンでも割り込み許可状態 (ID = 0) にする必要があります。

マスクブル割り込みまたはソフトウェア例外のサービス・プログラム中に、マスクブル割り込みの許可またはソフトウェア例外を発生させる場合は、EIPC, EIPSWを退避する必要があります。

次のような手順で行います。

### (1) サービス・プログラム中にマスクブル割り込み要求を受け付ける場合

マスクブル割り込みまたは例外のサービス・プログラム

```

...
...
・ EIPCをメモリまたはレジスタへ退避
・ EIPSWをメモリまたはレジスタへ退避
・ EI命令 (割り込み受け付け許可)
...
...
...
...
・ DI命令 (割り込み受け付け禁止)
・ 退避していた値をEIPSWに復帰
・ 退避していた値をEIPCに復帰
・ RETI命令

```

マスクブル割り込み受け付け



## (2) サービス・プログラム中に例外を発生させる場合

マスクブル割り込みまたは例外のサービス・プログラム

```

...
...
・ EIPCをメモリまたはレジスタへ退避
・ EIPSWをメモリまたはレジスタへ退避
...
・ TRAP命令
...
・ 退避していた値をEIPSWに復帰
・ 退避していた値をEIPCに復帰
・ RETI命令

```

TRAP命令などの例外受け付け

多重割り込み処理制御のための優先順位は、各マスクブル割り込み要求ごとに0-7までの8レベル（0が最優先）が、ソフトウェアにより任意に設定可能です。優先順位レベルの設定は、マスクブル割り込み要求ごとに用意されている割り込み要求制御レジスタ（xxICn）のxxPRn0-xxPRn2ビットで行います。システム・リセット時には、xxMKnビットにより割り込み要求はマスクされ、xxPRn0-xxPRn2ビットにより優先順位はレベル7に設定されます。

マスクブル割り込みの優先順位は次のようになります。

（高） レベル0 > レベル1 > レベル2 > レベル3 > レベル4 > レベル5 > レベル6 > レベル7 （低）

多重処理制御により中断された割り込み処理は、優先順位レベルの高い割り込み処理が終了し、RETI命令が実行されたあと、再開します。

保留された割り込み要求は、実行中の割り込み処理が終了したあと、RETI命令の実行後に受け付けられます。

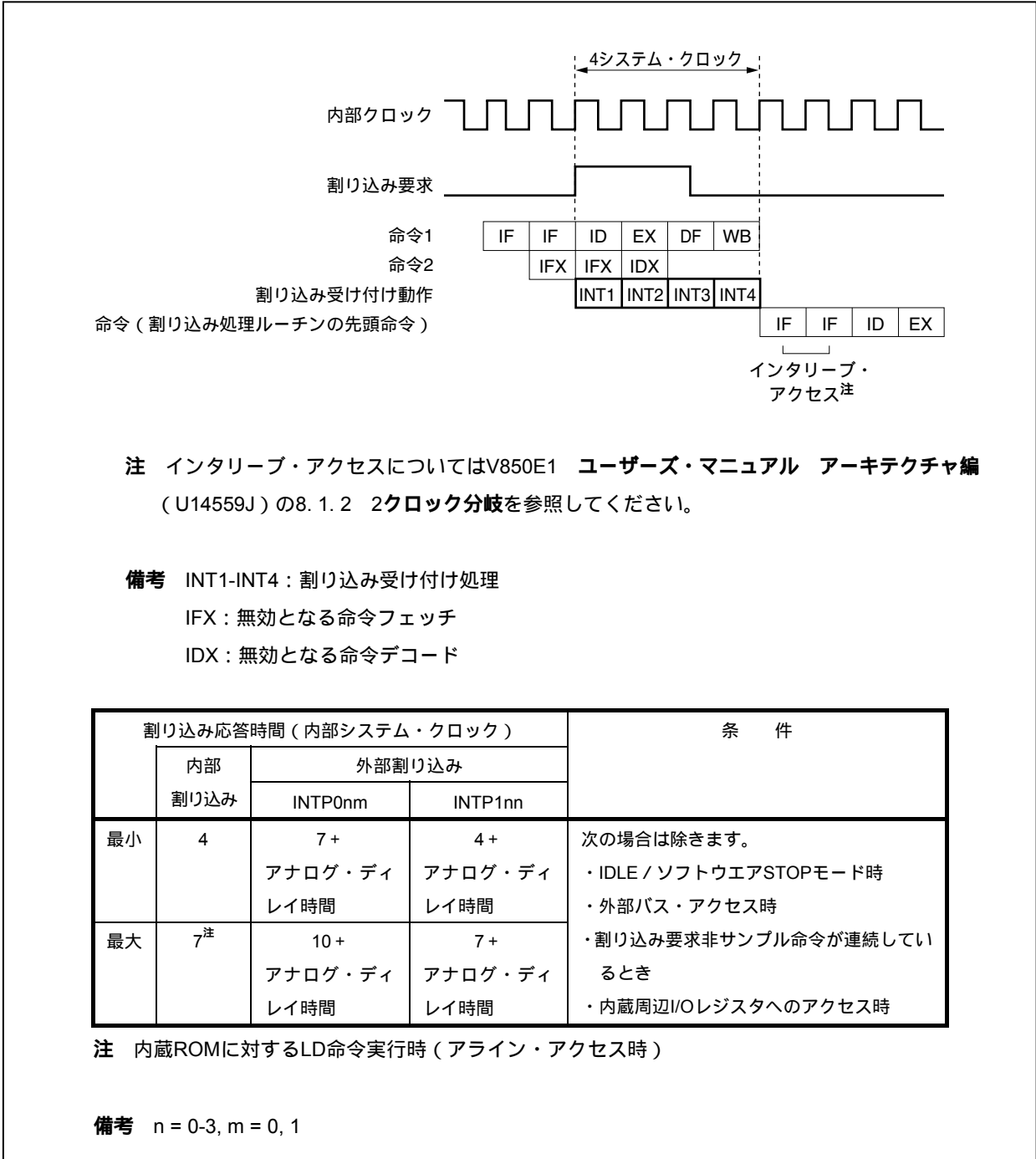
**注意** ノンマスクブル割り込み処理ルーチン内（RETI命令を実行するまでの期間）では、マスクブル割り込みを受け付けず、保留します。

**備考** xx : 各周辺ユニット識別名称（表7 - 2参照）  
n : 周辺ユニット番号（表7 - 2参照）

## 7.7 割り込み応答時間

割り込み要求発生から割り込み処理が起動されるまでの割り込み応答時間を次に示します。

図7 - 14 割り込み要求受け付け時のパイプライン動作 (概略)



## 7.8 CPUが割り込みを受け付けない期間

CPUの割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません（割り込みは保留されます）。

割り込み要求非サンプル命令は次のとおりです。

- ・ EI命令
- ・ DI命令
- ・ LDSR reg2, 0x5命令（対PSW）
- ・ コマンド・レジスタ（PRCMD）に対するストア命令
- ・ 次のレジスタに対するストア命令およびSET1, CLR1, NOT1命令のビット操作命令
  - ・ 割り込み関連のレジスタ：
    - 割り込み制御レジスタ（xxICn），割り込みマスク・レジスタ0-3（IMR0-IMR3），
    - パワー・セーブ・コントロール・レジスタ（PSC）
  - ・ CSI関連のレジスタ：
    - クロック同期式シリアル・インタフェース・クロック選択レジスタ0-2（CSIC0-CSIC2），
    - クロック同期式シリアル・インタフェース・モード・レジスタ0-2（CSIM0-CSIM2），
    - シリアルI/Oシフト・レジスタ0-2（SIO0-SIO2），
    - 受信専用シリアルI/Oシフト・レジスタ0-2（SIOE0-SIOE2），
    - クロック同期式シリアル・インタフェース送信バッファ・レジスタ0-2（SOTB0-SOTB2）

**備考** xx : 各周辺ユニット識別名称（表7 - 2参照）

n : 周辺ユニット番号（表7 - 2参照）

## 第8章 プリスケラ・ユニット (PRS)

プリスケラは、内部システム・クロックを分周し、そのクロックを内蔵する各周辺ユニットへ供給します。分周クロックは、各周辺ユニットで異なります。

タイマ・ユニット、A/Dコンバータでは、2分周されたクロックが入力されます。

その他のユニットでは、各ユニットごとの制御レジスタで入力クロックを選択します。

CPUは、内部システム・クロックで動作します。

## 第9章 クロック発生機能

クロック・ジェネレータ (CG) は、CPUをはじめとする内蔵の各ユニットに供給される内部システム・クロック (fx) を発生、制御します。

### 9.1 特 徴

PLL (Phase locked loop) シンセサイザによる逡倍機能

クロック・ソース

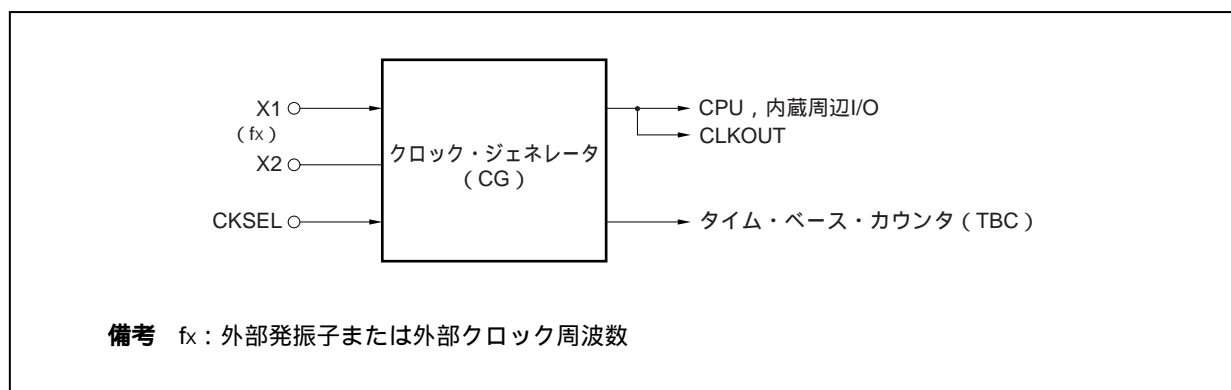
- ・発振子接続による発振
- ・外部クロック

パワー・セーブ制御

- ・HALTモード
- ・IDLEモード
- ・ソフトウェアSTOPモード

内部システム・クロック出力機能

### 9.2 構 成



## 9.3 入力クロック選択

クロック・ジェネレータは、発振回路とPLLシンセサイザから構成されています。たとえば、5.0 MHzの水晶発振子またはセラミック発振子をX1, X2端子に接続することにより、10逓倍時は50 MHzの内部システム・クロック ( $f_{xx}$ ) を生成できます。

発振回路には外部クロックを直接入力することもできます。この場合、X1端子だけにクロック信号を入力してください (X2端子はオープンにしてください)。

クロック・ジェネレータは基本動作として、PLLモードとダイレクト・モードの2種類を備えます。動作モードの選択は、CKSEL端子で行います。この端子の入力は、リセット時にラッチします。

CKSEL	動作モード
0	PLLモード
1	ダイレクト・モード

**注意** CKSEL端子は入力レベルを固定して使用してください。動作中に切り替えると誤動作する可能性があります。

### 9.3.1 ダイレクト・モード

ダイレクト・モードでは内部システム・クロックの2倍の周波数の外部クロックを入力します。ダイレクト・モード時に入力できる周波数は最大50 MHzです。おもに、V850E/MA1を比較的低周波数で動作させる応用システムに使用します。

**注意** ダイレクト・モードでは必ず外部クロックを入力してください (外部発振子は接続しないでください)。

### 9.3.2 PLLモード

PLLモードでは、外部発振子を接続または外部クロックを入力することにより、これをPLLシンセサイザにより逓倍します。逓倍されたPLL出力はクロック・コントロール・レジスタ (CKC) によって指定された分周比に分周され、外部発振子または外部クロックの周波数 ( $f_x$ ) に対して、10倍、5倍、2.5倍、1倍のシステム・クロックが生成されます。

リセット時には入力クロック周波数 ( $f_x$ ) に対して、1倍の周波数 ( $1 \times f_x$ ) の内部システム・クロック ( $f_{xx}$ ) が生成されます。

入力クロック周波数 ( $f_x$ ) に対して、10倍の周波数 ( $10 \times f_x$ ) を生成した場合、5 MHz程度の外部発振子、外部クロックに基づき、最大50 MHzまでの周波数を得られるため、低ノイズ、低消費電力のシステムが実現できます。

PLLモードでは、外部発振子や外部クロック・ソースからのクロック供給が停止した場合に、クロック・ジェネレータ内部の電圧制御発振回路 (VCO) の自走周波数に基づく内部システム・クロック ( $f_{xx}$ ) で動作を継続します。なお、この自走周波数になることを期待した使い方は行わないでください。

例 PLLモード ( $f_{xx} = 10 \times f_x$ ) 時の使用クロック

内部システム・クロック周波数 ( $f_{xx}$ )	外部発振子 / 外部クロック周波数 ( $f_x$ )
50.000 MHz	5.0000 MHz
40.000 MHz	4.0000 MHz

**注意** PLLモードを使用する場合、発振周波数あるいは外部クロック周波数は、 $10 \times f_x$ がシステム・クロックの最大周波数 (50 MHz) 以下になる $f_x$  (4 ~ 5 MHz) 値だけを使用することができます。  
ただし、 $5 \times f_x$ ,  $2.5 \times f_x$ ,  $1 \times f_x$ のいずれかで使用する場合は、4 ~ 6.6 MHzの周波数を使用することができます。

**備考** PLLモードを選択時に、V850E/MA1を高周波数で動作させる必要がない場合にはソフトウェアによりシステム・クロックの周波数を下げることにより ( $f_{xx} = 5 \times f_x$ ,  $f_{xx} = 2.5 \times f_x$ ,  $f_{xx} = 1 \times f_x$ )、消費電力を低減することができます。

### 9.3.3 ペリフェラル・コマンド・レジスタ (PHCMD)

ペリフェラル・コマンド・レジスタ (PHCMD) は、プログラムの暴走などにより応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。8ビット単位でライトのみ可能です (リードした場合は不定データを読み出します)。

あらかじめPHCMDレジスタに対して書き込み動作を行ったあとの最初の特定レジスタ (CKCレジスタまたはFLPMCレジスタ) への書き込みのみ有効となります。これにより、定められたシーケンスによってだけレジスタの値が書き換えられ、不正な書き込み動作ができなくなります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PHCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0	FFFFFF800H	不定

ビット位置	ビット名	意味
7-0	REG7-REG0	Registration Code レジストレーション・コード (任意の8ビット・データ) 対象となる特定レジスタは次のレジスタです。 ・クロック・コントロール・レジスタ (CKC) ・フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)

不正なストア動作の発生は、ペリフェラル・ステータス・レジスタ (PHS) のPRERRビットにより確認することができます。

### 9.3.4 クロック・コントロール・レジスタ (CKC)

PLLモード時に、内部システム・クロック (f<sub>xx</sub>) を制御する8ビットのレジスタで、プログラムの暴走などによって誤って容易に書き換えられないように、特定のシーケンスの組み合わせによってだけ書き込みができます。8ビット単位でリード/ライト可能です。

**注意** ダイレクト・モード時は、CKDIV2-CKDIV0ビットを変更しないでください。

	7	6	5	4	3	2	1	0	アドレス	初期値
CKC	0	0	TBCS	CESEL	0	CKDIV2	CKDIV1	CKDIV0	FFFFF822H	00H

ビット位置	ビット名	意味																								
5	TBCS	Time Base Count Select タイム・ベース・カウンタのクロックを選択します。 0 : f <sub>x</sub> /2 <sup>8</sup> 1 : f <sub>x</sub> /2 <sup>9</sup> 詳細は9.6.2 タイム・ベース・カウンタ (TBC) を参照してください。																								
4	CESEL	Crystal/External Select X1, X2端子の機能を指定します。 0 : X1, X2端子発振子を接続 1 : X1端子に外部クロックを接続 CESEL = 1の場合、発振回路のフィードバック・ループを切断し、ソフトウェアSTOPモード時の電流リークを防ぎます。																								
2-0	CKDIV2-CKDIV0	Clock Divide PLLモード時の内部システム・クロック (f <sub>xx</sub> ) を設定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse; text-align: center;"> <thead> <tr> <th>CKDIV2</th> <th>CKDIV1</th> <th>CKDIV0</th> <th>内部システム・クロック (f<sub>xx</sub>)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>f<sub>x</sub></td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>2.5 × f<sub>x</sub></td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>5 × f<sub>x</sub></td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>10 × f<sub>x</sub></td> </tr> <tr> <td colspan="3">その他</td> <td>設定禁止</td> </tr> </tbody> </table> 動作途中で内部システム・クロックを変更する場合は、必ずf <sub>x</sub> の設定にしたあと変更する内部システム・クロックに設定してください。	CKDIV2	CKDIV1	CKDIV0	内部システム・クロック (f <sub>xx</sub> )	0	0	0	f <sub>x</sub>	0	0	1	2.5 × f <sub>x</sub>	0	1	1	5 × f <sub>x</sub>	1	1	1	10 × f <sub>x</sub>	その他			設定禁止
CKDIV2	CKDIV1	CKDIV0	内部システム・クロック (f <sub>xx</sub> )																							
0	0	0	f <sub>x</sub>																							
0	0	1	2.5 × f <sub>x</sub>																							
0	1	1	5 × f <sub>x</sub>																							
1	1	1	10 × f <sub>x</sub>																							
その他			設定禁止																							

**例** クロック・ジェネレータの設定

動作モード	CKSEL端子	CKCレジスタ			入力クロック (f <sub>x</sub> )	内部システム・クロック (f <sub>xx</sub> )
		CKDIV2	CKDIV1	CKDIV0		
ダイレクト・モード	ハイ・レベル入力	0	0	0	16 MHz	8 MHz
PLLモード	ロウ・レベル入力	0	0	0	5 MHz	5 MHz
		0	0	1	5 MHz	12.5 MHz
		0	1	1	5 MHz	25 MHz
		1	1	1	5 MHz	50 MHz
上記以外		設定禁止			設定禁止	設定禁止



クロック・コントロール・レジスタ（CKC）へのデータ設定は、次のシーケンスで行います。

- 割り込みを禁止します（PSWのNPビットを1に設定）。
- 任意の汎用レジスタに特定レジスタへ設定するためのデータを用意します。
- ペリフェラル・コマンド・レジスタ（PHCMD）にデータを書き込みます。
- クロック・コントロール・レジスタ（CKC）を設定します（次の命令で行います）。
  - ・ストア命令（ST/SST命令）
  - NOP命令を挿入する（5命令（ - ））
- 割り込み禁止を解除します（PSWのNPビットを0に戻します）。

```
[ 記述例 ]      LDSR   rX, 5
                  MOV    0x07, r10
                  ST.B   r10, PHCMD[r0]
                  ST.B   r10, CKC[r0]
                  NOP
                  NOP
                  NOP
                  NOP
                  NOP
                  LDSR   rY, 5
```

**備考** rX：PSWに書き込む値  
rY：PSWに書き戻す値

なお、特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

- 注意1.** PHCMD発行（ ）とその直後の特定レジスタ書き込み（ ）の間で割り込みを受け付けた場合、特定レジスタへの書き込みは行われず、プロテクション・エラー（PHSレジスタのPRERRビット = 1）が発生することがあります。このため、PSWのNPビットを1に設定（ ）して、割り込みの受け付けを禁止してください。特定レジスタの設定にビット操作命令を使用した場合も同様に割り込みの受け付けを禁止してください。
2. PHCMDレジスタへ書き込むデータはダミーですが、特定レジスタへの設定（上記例 ）で使用する汎用レジスタと同じレジスタをPHCMDレジスタ書き込み（上記例 ）でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。
3. この処理を行う前にすべてのDMA転送を終了させてください。

### 9.3.5 ペリフェラル・ステータス・レジスタ (PHS)

プロテクション対象の内部レジスタに対して、コマンド・レジスタへのアクセスを含む正しいシーケンスで書き込み動作をしなかった場合、レジスタへの書き込みは行われず、プロテクション・エラーが発生し、ステータス・フラグ (PRERR) がセット (1) されます。このフラグは累積フラグです。PRERRフラグをチェックしたあと、命令により0を書き込むことによってクリアされます。

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	①	アドレス	初期値
PHS	0	0	0	0	0	0	0	PRERR	FFFFF802H	00H

ビット位置	ビット名	意 味
0	PRERR	Protection Error プロテクション・エラー 0: プロテクション・エラー発生していない 1: プロテクション・エラー発生

PRERRフラグの動作条件を次に示します。

- セット条件 : 最近の内蔵周辺I/Oに対するストア命令動作がPHCMDレジスタへの書き込み動作ではない状態で、周辺特定レジスタへの書き込みを行ったとき  
PHCMDレジスタへの書き込み動作後の最初のストア命令動作が定められた特定レジスタ以外のメモリ、内蔵周辺I/Oなどに対するとき
- リセット条件 : PHSレジスタのPRERRフラグに0を書き込んだとき  
システム・リセットしたとき

## 9.4 PLLロックアップ

電源投入後、またはソフトウェアSTOPモード解除直後から所定の周波数でフェーズ・ロックし、安定するまでの時間がロックアップ時間（周波数安定時間）です。この安定するまでの時間をロックアップ状態と呼び、安定した状態をロック状態と呼びます。

### (1) ロック・レジスタ (LOCKR)

ロック・レジスタ (LOCKR) には、PLL周波数の安定状態を反映するLOCKフラグがあります。

8/1ビット単位でリードのみ可能です。

**注意** ロックするとLOCKフラグは0になります。そのあとにスタンバイ状態が原因でアンロック状態になった場合、LOCKフラグは1になります。しかし、スタンバイ状態以外の原因でアンロック状態になった場合は、LOCKフラグは変化しません (LOCK = 0の状態)。

	7	6	5	4	3	2	1	①	アドレス	初期値
LOCKR	0	0	0	0	0	0	0	LOCK	FFFFF824H	0000000xB

ビット位置	ビット名	意味
0	LOCK	Lock Status Flag 読み出し専用フラグで、PLLのロック状態を示します。 ロックアップ状態を維持しているかぎり0を保持し、システム・リセットによっても初期化されません。 0：ロック中であることを示します。 1：ロックしていない（アンロック）状態を示します。

クロック停止、電源カットなど、いったんアンロック状態を発生させる要因が働いた場合に、リアルタイム処理などのソフトウェアの実行速度に依存する制御の処理においては、動作開始直後にソフトウェアで必ずLOCKフラグを判定し、クロックが安定するまで待ってから処理を開始してください。

一方、内蔵の各ハードウェアの設定やレジスタ・データ、メモリ・データの初期化等の静的処理はLOCKフラグがリセットされるのを待たずに実行可能です。

発振子を使用した場合の発振安定時間（発振子が発振して入力波形が安定するまでの時間）とPLLロックアップ時間（周波数が安定するまでの時間）の関係は次のようになります。

発振安定時間 < PLLロックアップ時間

## 9.5 パワー・セーブ制御

### 9.5.1 概要

パワー・セーブ機能には、次のものがあります。

#### (1) HALTモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続しますが、CPUの動作クロックが停止するモードです。その他の内蔵周辺機能へのクロック供給は継続され、動作を継続します。通常動作モードとの組み合わせによる間欠動作により、システムのトータルの消費電力を低減させることができます。

専用命令（HALT命令）によりHALTモードに移行します。

#### (2) IDLEモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続したままで、内部システム・クロックの供給を停止させることにより、システム全体を停止させるモードです。

IDLEモードからの解除時に、発振回路の発振安定時間などを確保する必要がないため、高速に通常動作に移行することができます。

PSMRレジスタの設定によりIDLEモードに移行します。

IDLEモードは、クロックの安定時間と消費電力に関して、ソフトウェアSTOPとHALTモードの中間に位置するモードで、低消費電力モードを利用し、かつ解除時のクロックの安定時間を削除したい用途に利用します。

#### (3) ソフトウェアSTOPモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）を停止させ、システム全体が停止するモードです。リーク電流だけの超低消費電力状態になります。

PSMRレジスタの設定により、ソフトウェアSTOPモードに移行します。

##### (a) PLLモード

ソフトウェアによるレジスタ設定により、ソフトウェアSTOPモードに移行します。発振回路が停止すると同時にPLLシンセサイザのクロック出力が停止します。ソフトウェアSTOPモードの解除後は、システム・クロックが安定するまでの間、発振回路の発振安定時間を確保する必要があります。また、プログラムによってはPLLのロックアップ時間が必要な場合があります。発振子接続、外部クロック接続の場合、ソフトウェアSTOPモード解除後に、タイム・ベース・カウンタのカウント時間が終了したあとにプログラムの実行が開始されます。

##### (b) ダイレクト・モード

クロックを停止させる場合は、X1端子をロウ・レベルにしてください。なお、ソフトウェアSTOPモード解除後は、タイム・ベース・カウンタのカウント時間が終了したあとにプログラムの実行が開始されます。

通常動作，HALT，IDLE，ソフトウェアSTOPの各モードにおけるクロック・ジェネレータの動作を表9-1に示します。

各モードを組み合わせることで，用途により切り替えて使用することにより，効果的な低消費電力システムを実現することができます。

図9-1 パワー・セーブ・モード状態遷移図

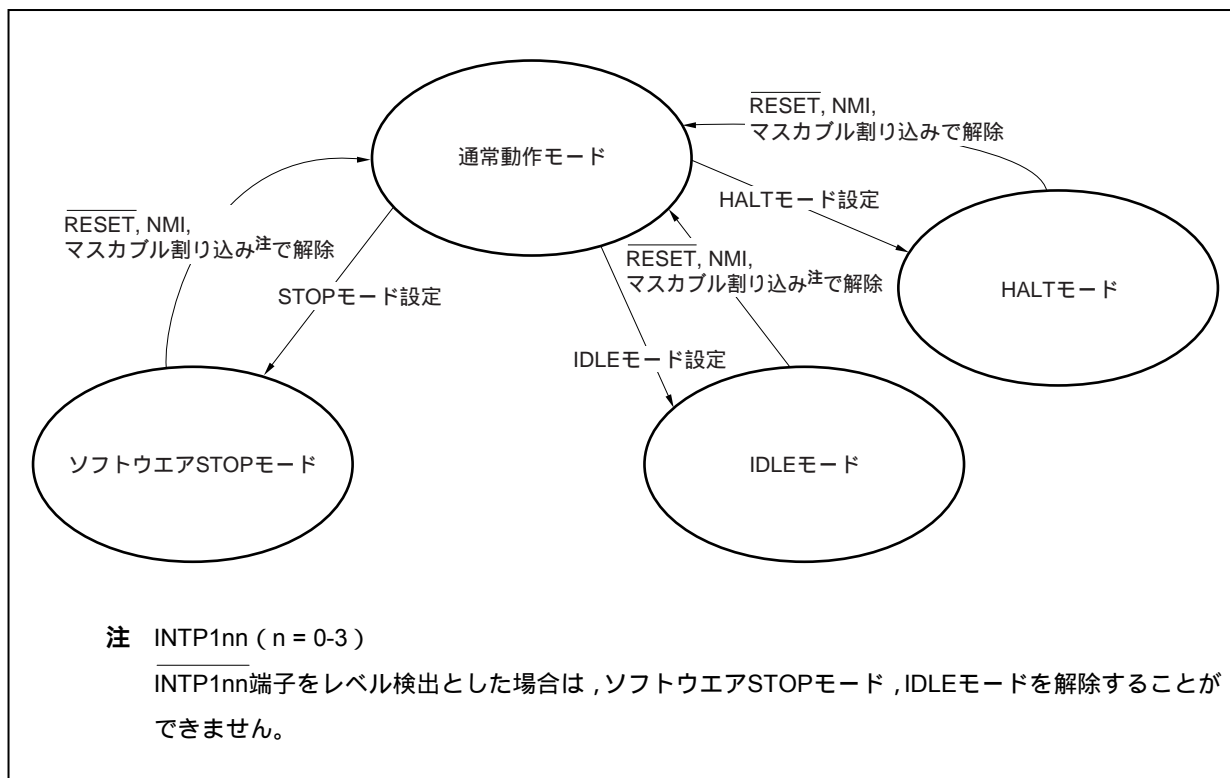


表9-1 パワー・セーブ制御によるクロック・ジェネレータの動作

クロック・ソース		パワー・セーブ・モード	発振回路	PLL シンセサイザ	内蔵周辺I/Oへ のクロック供給	CPUへの クロック供給
PLLモード	発振子による 発振	通常動作時				
		HALTモード				×
		IDLEモード			×	×
		ソフトウェアSTOPモード	×	×	×	×
	外部クロック	通常動作時		×		
		HALTモード		×		×
		IDLEモード		×	×	×
		ソフトウェアSTOPモード		×	×	×
ダイレクト・ モード	外部クロック	通常動作時	×	×		
		HALTモード	×	×		×
		IDLEモード	×	×	×	×
		ソフトウェアSTOPモード	×	×	×	×

備考 : 動作

× : 停止

## 9.5.2 制御レジスタ

### (1) パワー・セーブ・モード・レジスタ (PSMR)

パワー・セーブ・モードを制御する8ビット・レジスタです。PSCレジスタのSTBビットをセット(1)することにより有効となります。

PSMRレジスタへの書き込みは、ストア命令(ST/SST命令)およびビット操作命令(SET1/CLR1/NOT1命令)により行います。

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	①	アドレス	初期値
PSMR	0	0	0	0	0	0	0	PSM	FFFFF820H	00H

ビット位置	ビット名	意味
0	PSM	Power Save Mode IDLEモード/ソフトウェアSTOPモードを指定します。 0: IDLEモード 1: ソフトウェアSTOPモード

### (2) コマンド・レジスタ (PRCMD)

コマンド・レジスタ (PRCMD) は、プログラムの暴走などにより、応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。あらかじめ、PRCMDレジスタに対して書き込み動作を行ったあとの最初の特定レジスタ(パワー・セーブ・コントロール・レジスタ(PSC))への書き込みのみ有効となります。これにより定められたシーケンスによってだけ、レジスタの値が書き換えられ、不正な書き込み動作ができなくなります。

8ビット単位でライトのみ可能です(リードした場合、不定データを読み出します)。

	7	6	5	4	3	2	1	0	アドレス	初期値
PRCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0	FFFFF1FCH	不定

ビット位置	ビット名	意味
7-0	REG7-REG0	Registration Code レジストレーション・コード(任意の8ビット・データ) 対象となる特定レジスタは、パワー・セーブ・コントロール・レジスタ(PSC)です。

(3) パワー・セーブ・コントロール・レジスタ (PSC)

パワー・セーブを制御する8ビット・レジスタです。

NMIM, INTMビットの設定により割り込み解除許可状態になっていれば,割り込み要求によるソフトウェアSTOPモードの解除が行えます(割り込みマスク・レジスタ(IMR0-IMR3)により,割り込み処理を禁止している場合を除く)。

また,STBビットの設定によりソフトウェアSTOPモードを指定します。

このレジスタは特定レジスタの1つで,ライト動作時は特定シーケンスによるアクセスだけが有効です。

8/1ビット単位でリード/ライト可能です。

ビット7,6には必ず0を設定してください。1を設定した場合の動作は保証できません。

**注意** STBビットと,NMIMビットまたはINTMビットは同時にセットできません。必ずNMIMビットまたはINTMビットをセットしたあとに,STBビットを設定してください。

	7	6	⑤	④	3	2	①	0	アドレス	初期値
PSC	0	0	NMIM	INTM	0	0	STB	0	FFFFFF1FEH	00H

ビット位置	ビット名	意 味
5	NMIM	NMI Mode NMIの有効エッジ入力によるスタンバイ・モード解除の許可/禁止を設定するビットです <sup>注</sup> 。 0: NMI解除許可 1: NMI解除禁止
4	INTM	INT Mode マスクされていないマスカブル割り込み (INTP1nn) の有効エッジ入力によるスタンバイ・モード解除の許可/禁止を設定するビットです (n=0-3) <sup>注</sup> 。 0: マスカブル割り込み解除許可 1: マスカブル割り込み解除禁止
1	STB	Stand-by Mode スタンバイ・モードの状態を示します。 1を書き込むとIDLEモード,またはソフトウェアSTOPモード(PSMRレジスタのPSMビットで設定)に入ります。スタンバイ・モードが解除されると,自動的に0にリセットされます。 0: スタンバイ・モード解除状態 1: スタンバイ・モード中

**注** 設定はIDLEモード/ソフトウェアSTOPモード時だけ有効です。

パワー・セーブ・コントロール・レジスタ (PSC) へのデータ設定は、次のシーケンスで行います。

パワー・セーブ・モード・レジスタ (PSMR) を設定します (次の命令で行います)。

- ・ストア命令 (ST/SST命令)
- ・ビット操作命令 (SET1/CLR1/NOT1命令)

任意の汎用レジスタに特定レジスタへ設定するためのデータを用意します。

コマンド・レジスタ (PRCMD) にデータを書き込みます。

パワー・セーブ・コントロール・レジスタ (PSC) を設定します (次の命令で行います)。

- ・ストア命令 (ST/SST命令)
- ・ビット操作命令 (SET1/CLR1/NOT1命令)

NOP命令を挿入する (5命令 ( - ))

#### [ 記述例 ]

```

ST.B  r11, PSMR[r0] ;PSMRレジスタ設定
MOV   0x02, r10
ST.B  r10, PRCMD[r0] ;PRCMDレジスタ書き込み
ST.B  r10, PSC[r0]   ;PSCレジスタ設定
NOP                                     ;ダミー命令
NOP                                     ;ダミー命令
NOP                                     ;ダミー命令
NOP                                     ;ダミー命令
NOP                                     ;ダミー命令
(next instruction) ;ソフトウェアSTOPモード, IDLEモード解除後の実行ルーチン

```

なお、特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

- 注意1.** コマンド・レジスタに対するストア命令では、割り込み受け付けを行いません。これは、プログラムで上記 `MOV` を連続したストア命令で行うことを前提としています。 `MOV` 間にほかの命令が置かれていると、その命令で割り込みを受け付けた際、上記シーケンスが成立しなくなる場合があります、誤動作の要因となるので注意が必要です。
2. PRCMDレジスタへ書き込むデータはダミーですが、特定レジスタへの設定 (上記例) で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み (上記例) でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。
  3. ソフトウェアSTOPモード, IDLEモードに設定するためのPSCレジスタに対するストア命令では、直後にNOP命令を5命令以上挿入する必要があります。
  4. この処理を行う前にすべてのDMA転送を終了させてください。



### 9.5.3 HALTモード

#### (1) 設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続しますが、CPUの動作クロックが停止するモードです。その他の内蔵周辺I/Oへのクロック供給は継続され、動作を継続します。CPUの空き時間にHALTモードに設定することにより、システム全体の消費電力を低減できます。

HALT命令によりHALTモードに移行します。

HALTモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタ、内蔵RAM、ポートの内容は保持されます。また、CPUの命令処理に依存しない内蔵周辺I/O（ポート以外）は動作を継続します。HALTモード時の各ハードウェアの状態は表9-2のようになります。

**注意** 割り込み要求が保留されている状態でHALT命令を実行した場合、HALTモードになりますが、保留されている割り込み要求によりHALTモードはすぐに解除されます。

表9-2 HALTモード時の動作状態

機 能	動作状態	
クロック・ジェネレータ	動 作	
内部システム・クロック	動 作	
CPU	停 止	
ポート	保 持	
内蔵周辺I/O（ポート以外）	動 作	
内部データ	CPUのレジスタ、ステータス、データ、内蔵RAMの内容など、内部のデータはすべてHALTモード設定前の状態を保持	
D0-D15	動 作	
A0-A25		
$\overline{RD}$ , $\overline{WE}$ , $\overline{OE}$ , $\overline{BCYST}$		
$\overline{UWR}$ , $\overline{LWR}$ , $\overline{IORD}$ , $\overline{IOWR}$		
$\overline{LDQM}$ , $\overline{UDQM}$		
$\overline{CS0}$ - $\overline{CS7}$		
$\overline{LCAS}$ , $\overline{UCAS}$		
$\overline{RAS1}$ , $\overline{RAS3}$ , $\overline{RAS4}$ , $\overline{RAS6}$		
$\overline{SDRAS}$		
$\overline{SDCAS}$		
$\overline{REFRQ}$		
$\overline{HLDK}$		
$\overline{HLDRQ}$		
$\overline{WAIT}$		
$\overline{SELFREF}$		
$\overline{SDCKE}$		
$\overline{SDCLK}$		クロック出力
$\overline{CLKOUT}$		

**(2) HALTモードの解除**

HALTモードは、ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求、および $\overline{\text{RESET}}$ 端子入力により解除されます。

**(a) ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求による解除**

ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のように動作が異なります。

- (i) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求が発生するとHALTモードの解除だけを行い、この割り込み要求は受け付けません。割り込み要求そのものは保持します。
- (ii) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求（ノンマスクابل割り込み要求を含む）が発生すると、HALTモードの解除とともにこの割り込み要求を受け付けます。

表9 - 3 割り込み要求によるHALTモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求	ハンドラ・アドレスに分岐	
マスクابل割り込み要求	ハンドラ・アドレスに分岐または次の命令を実行	次の命令を実行

**(b)  $\overline{\text{RESET}}$ 端子入力による解除**

通常のリセット動作と同じです。

### 9.5.4 IDLEモード

#### (1) 設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続したままで、内部システム・クロックの供給が停止し、システム全体が停止するモードです。

このモードの解除時は、発振回路の発振安定時間やPLLのロックアップ時間を確保する必要がないため、高速に通常動作に移行できます。

ストア命令（ST/SST命令）またはビット操作命令（SET1/CLR1/NOT1命令）によるPSC, PSMRレジスタの設定でIDLEモードに移行します（9.5.2 制御レジスタ参照）。

IDLEモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタ、内蔵RAM、ポートの内容は保持されます。内蔵周辺I/O（ポート以外）も動作を停止します。

IDLEモード時の各ハードウェアの状態は表9-4のようになります。

表9-4 IDLEモード時の動作状態

機 能	動作状態
クロック・ジェネレータ	動 作
内部システム・クロック	停 止
CPU	停 止
ポート	保 持
内蔵周辺I/O（ポート以外）	停 止
内部データ	CPUのレジスタ、ステータス、データ、内蔵RAMの内容など、内部のデータはすべてIDLEモード設定前の状態を保持
D0-D15	ハイ・インピーダンス
A0-A25	
RD, WE, OE, BCYST	
UWR, LWR, IORD, IOWR	
LDQM, UDQM	
CS0-CS7	
LCAS, UCAS	動 作
RAS1, RAS3, RAS4, RAS6	
SDRAS	
SDCAS	
REFRQ	
HLDK	
HLDK	ハイ・レベル出力
HLDK	
WAIT	
SELFREF	
SDCKE	ロウ・レベル出力
SDCLK	
CLKOUT	

(2) IDLEモードの解除

IDLEモードは、ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求 (INTP1nm)、およびRESET端子入力により解除されます (n = 0-3, m = 0-3)。

(a) ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求による解除

PSCレジスタのINTM, NMIMビットに0が設定された状態でIDLEモードに移行した場合のみ割り込み要求による解除ができます。INTP1nm端子をレベル検出に設定した場合は解除できません。

ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求 (INTP1nm) により、優先順位とは無関係に解除されます (n = 0-3, m = 0-3)。解除後の動作は次のようになります。

**注意** PSCレジスタのNMIM, INTMビットに1を設定した場合は、ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号 (INTP1nm) によるIDLEモードの解除はできません (n = 0-3, m = 0-3)。

表9 - 5 割り込み要求によるIDLEモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求	ハンドラ・アドレスに分岐	
マスクابل割り込み要求	ハンドラ・アドレスに分岐または次の命令を実行	次の命令を実行

なお、マスクابل割り込み処理ルーチン内でIDLEモードに設定した場合は次のように動作が異なります。

- (i) 現在処理中のマスクابل割り込み要求よりも優先順位の低い割り込み要求が発生するとIDLEモードの解除だけを行い、この割り込み要求は受け付けません。割り込み要求そのものは保持します。
- (ii) 現在処理中のマスクابل割り込み要求よりも優先順位が高い割り込み要求 (ノンマスクابل割り込み要求を含む) が発生すると、IDLEモードの解除とともにこの割り込み要求を受け付けます。

NMI処理ルーチン内でIDLEモードに設定した場合は、IDLEモードの解除だけを行い、この割り込みは受け付けません (割り込みは保持されます)。

NMI端子入力によるIDLEモード解除時に起動される割り込み処理は、緊急時などの通常のNMI割り込み処理と同等に扱われます (NMI割り込みのハンドラ・アドレスが一意のため)。したがって、プログラムで両者を区別する必要がある場合は、ソフトウェア・ステータスをあらかじめ用意しておき、ストア命令またはビット操作命令によるPSMRレジスタ設定の前に、ステータスを設定しておく必要があります。NMIの割り込み処理でこのステータスをチェックすることで、通常のNMIとの区別が可能です。

(b) RESET端子入力による解除

通常のリセット動作と同じです。

## 9.5.5 ソフトウェアSTOPモード

## (1) 設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）を停止させるモードです。システム全体を停止させ、デバイスのリーク電流だけの超低消費電力を実現します。

ストア命令（ST/SST命令）またはビット操作命令（SET1/CLR1/NOT1命令）によるPSC、PSMRレジスタの設定でソフトウェアSTOPモードに移行します（9.5.2 制御レジスタ参照）。

PLLモードかつ発振子接続モード（CKCレジスタのCESELビット = 0）の場合、ソフトウェアSTOPモード解除後に、発振回路の発振安定時間を確保する必要があります。

また、PLLモード、ダイレクト・モードともソフトウェアSTOPモード解除後は、タイム・ベース・カウンタのカウンタ時間が終了したあとにプログラムの実行が開始されます。

ソフトウェアSTOPモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタ、内蔵RAM、ポートの内容は保持されます。内蔵周辺I/O（ポート以外）も動作を停止します。

ソフトウェアSTOPモード時の各ハードウェアの状態は表9-6のようになります。

表9-6 ソフトウェアSTOPモード時の動作状態

機 能	動作状態
クロック・ジェネレータ	停 止
内部システム・クロック	停 止
CPU	停 止
ポート	保 持 <sup>注</sup>
内蔵周辺I/O（ポート以外）	停 止
内部データ	CPUのレジスタ、ステータス、データ、内蔵RAMの内容など、内部のデータはすべてソフトウェアSTOPモード設定前の状態を保持 <sup>注</sup>
D0-D15	ハイ・インピーダンス
A0-A25	
RD, WE, OE, BCYST	ハイ・レベル出力
UWR, LWR, IORD, IOWR	
LDQM, UDQM	
CS0-CS7	
LCAS, UCAS	
RAS1, RAS3, RAS4, RAS6	動 作
SDRAS	
SDCAS	
REFRQ	
HLDK	
HLDK	ハイ・レベル出力
HLDK	
HLDK	
WAIT	入力（サンプリングなし）
SELFREF	
SELFREF	
SDCKE	ロウ・レベル出力
SDCLK	
CLKOUT	

注 V<sub>DD</sub>の値が動作可能範囲内にある場合（ただし、動作可能最低電圧より下がった場合でも、データ保持電圧V<sub>DDDR</sub>を維持すれば内蔵RAMの内容だけは保持されます）。

(2) ソフトウェアSTOPモードの解除

ソフトウェアSTOPモードは、ノンマスクابل割り込み入力、マスクされていないマスクابل割り込み要求 (INTP1nm), RESET端子入力により解除されます。また、PLLモード (CKSEL端子 = ロウ・レベル) かつ発振子接続モード (CKCレジスタのCESELビット = 0) におけるソフトウェアSTOPモード解除時には、発振回路の発振安定時間を確保する必要があります (n = 0-3, m = 0-3)。

プログラムによってはPLLのロックアップ時間が必要になります。詳細は9.4 PLLロックアップを参照してください。

(a) ノンマスクابل割り込み要求, マスクされていないマスクابل割り込み要求による解除

PSCレジスタのINTM, NMIMビットに0が設定された状態でソフトウェアSTOPモードに移行した場合のみ割り込み要求による解除ができます。INTP1nm端子をレベル検出に設定した場合は解除できません。

ノンマスクابل割り込み要求, マスクされていないマスクابل割り込み要求 (INTP1nm) により, 優先順位とは無関係に解除されます (n = 0-3, m = 0-3)。解除後の動作は次のようになります。

**注意** PSCレジスタのNMIM, INTMビットに1を設定した場合は、ノンマスクابل割り込み要求信号, マスクされていないマスクابل割り込み要求信号 (INTP1nm) によるソフトウェアSTOPモードの解除はできません (n = 0-3, m = 0-3)。

表9-7 割り込み要求によるソフトウェアSTOPモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求	ハンドラ・アドレスに分岐	
マスクابل割り込み要求	ハンドラ・アドレスに分岐または次の命令を実行	次の命令を実行

なお, マスクابل割り込み処理ルーチン内でソフトウェアSTOPモードに設定した場合は次のように動作が異なります。

- (i) 現在処理中のマスクابل割り込み要求よりも優先順位の低い割り込み要求が発生するとソフトウェアSTOPモードの解除だけを行い, この割り込み要求は受け付けません。割り込み要求そのものは保持します。
- (ii) 現在処理中のマスクابل割り込み要求よりも優先順位が高い割り込み要求 (ノンマスクابل割り込み要求を含む) が発生すると, ソフトウェアSTOPモードの解除とともにこの割り込み要求を受け付けます。

NMI処理ルーチン内でソフトウェアSTOPモードに設定した場合は、ソフトウェアSTOPモードの解除だけを行い、この割り込みは受け付けません（割り込みは保持されます）。

NMI端子入力によるソフトウェアSTOPモード解除時に起動される割り込み処理は、緊急時などの通常のNMI割り込み処理と同等に扱われます（NMI割り込みのハンドラ・アドレスが一意のため）。したがって、プログラムで両者を区別する必要がある場合は、ソフトウェア・ステータスをあらかじめ用意しておき、ストア命令またはビット操作命令によるPSMRレジスタ設定の前に、ステータス設定しておく必要があります。

NMIの割り込み処理でこのステータスをチェックすることで、通常のNMIとの区別が可能です。

**(b)  $\overline{\text{RESET}}$ 端子入力による解除**

通常のリセット動作と同じです。

## 9.6 発振安定時間の確保

### 9.6.1 発振安定時間の確保指定

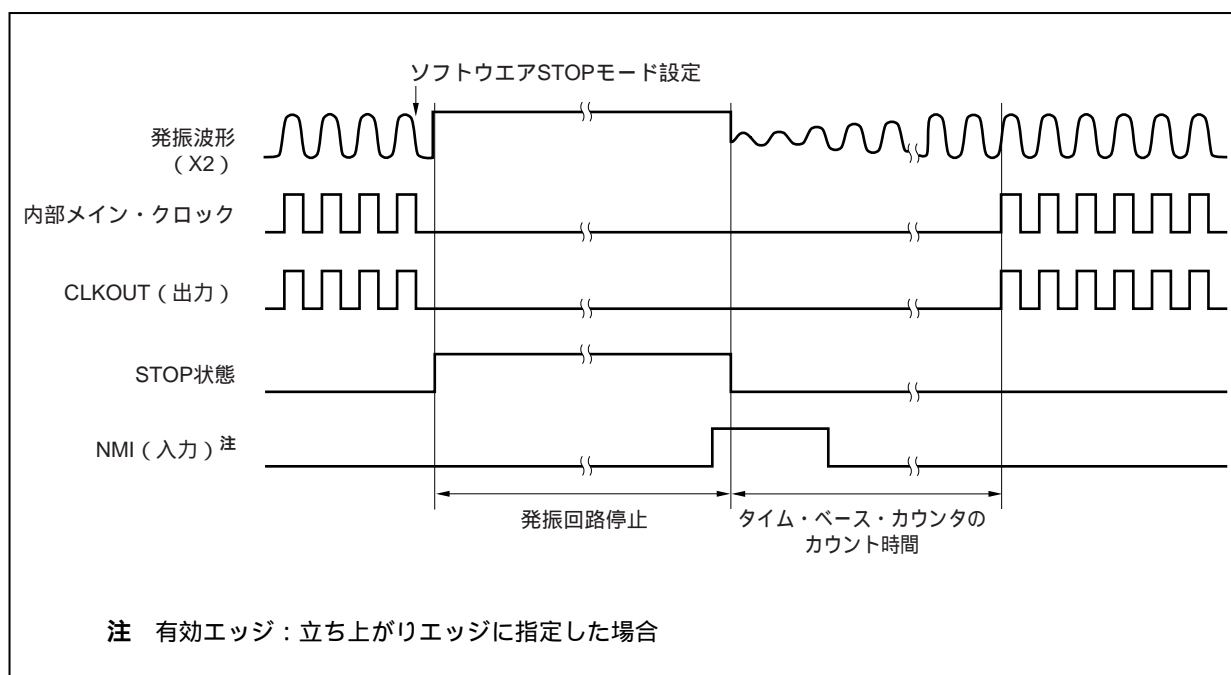
ソフトウェアSTOPモード解除後の停止状態の発振回路が安定するまでの時間確保指定には2通りの方法があります。

#### (1) 内蔵タイム・ベース・カウンタで時間を確保する場合

NMI端子に有効エッジが入力、またはマスカブル割り込み要求入力 (INTP1nm) されると、ソフトウェアSTOPモードが解除されます。端子へのアクティブ・エッジ入力で発振が開始されると、タイム・ベース・カウンタ (TBC) がカウントを開始し、そのカウント時間で、発振回路からのクロック出力が安定するまでの時間を確保します ( $n = 0-3, m = 0-3$ )。

発振安定時間 = TBCのカウント時間

所定時間後、内部システム・クロック出力を開始し、NMI割り込み、またはマスカブル割り込み (INTP1nn) のハンドラ・アドレスに分岐します。



NMI端子は、通常はインアクティブ・レベル (たとえば有効エッジを立ち下がりに指定したときはハイ・レベル) にしておいてください。

なお、NMIの有効エッジ入力、またはマスカブル割り込み要求入力 (INTP1nm) により、CPUが割り込みを受け付けるまでの期間にソフトウェアSTOPモードに設定する動作を行った場合、ソフトウェアSTOPモードはすぐに解除されます。

ダイレクト・モード、または外部クロック接続モード (CKCレジスタのCESELビット = 1) の場合、タイム・ベース・カウンタでのカウント時間終了後にプログラム実行を開始します。

PLLモードかつ発振子接続モード (CKCレジスタのCESELビット = 0) の場合も、タイム・ベース・カウンタによる発振安定時間確保後にプログラム実行を開始します。

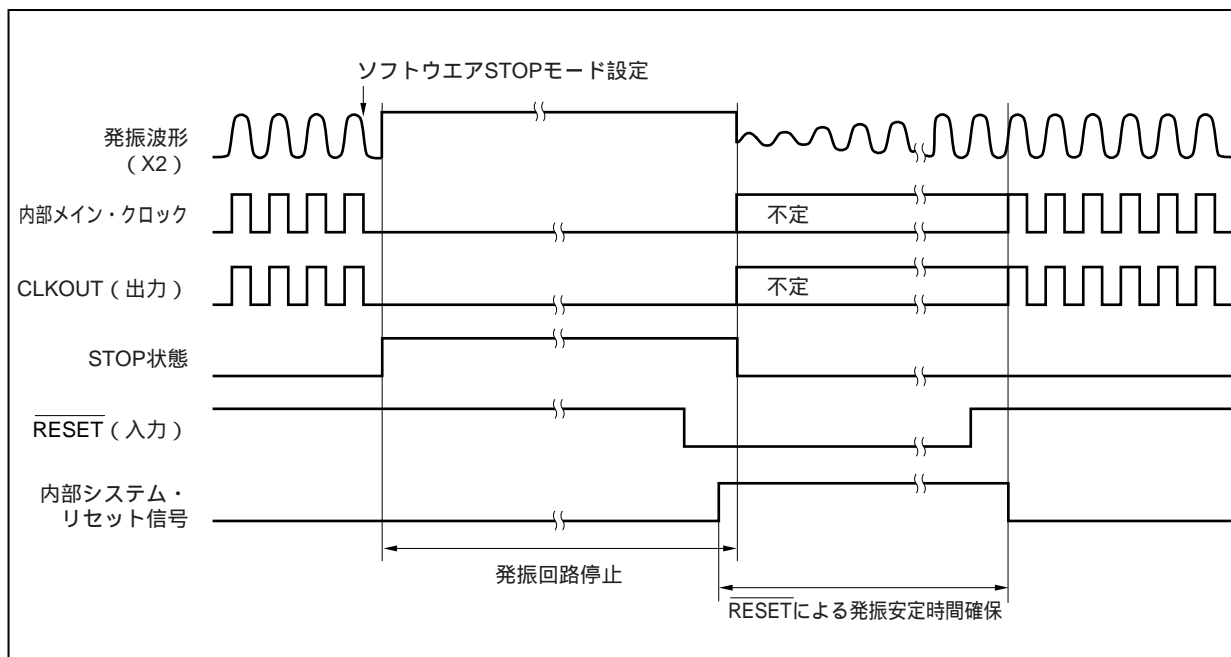


(2) 信号レベル幅で時間を確保する場合 (RESET端子入力)

RESET端子への立ち下がりエッジ入力により、ソフトウェアSTOPモードが解除されます。

端子へ入力される信号のロウ・レベル幅で、発振回路からのクロック出力が安定するまでの時間を確保します。

RESET端子への立ち上がりエッジ入力後、内部システム・クロックの供給が開始し、システム・リセット時のハンドラ・アドレスに分岐します。



9.6.2 タイム・ベース・カウンタ (TBC)

タイム・ベース・カウンタ (TBC) は、ソフトウェアSTOPモード解除時の発振回路の発振安定時間の確保に使用します。

外部クロック接続時 (CKCレジスタのCESELビット = 1)、または発振子接続時 (PLLモードかつCKCレジスタのCESELビット = 0) は、ソフトウェアSTOPモード解除後、TBCで発振安定時間をカウントし、カウント終了後にプログラム実行を開始します。

CKCレジスタのTBCSビットによりTBCのカウント・クロックを選択し、次のカウント時間が設定できます。

表9-8 カウント時間例 (f<sub>xx</sub> = 10 × f<sub>x</sub>)

TBCSビット	カウント・クロック	カウント時間	
		f <sub>x</sub> = 4.0000 MHz	f <sub>x</sub> = 5.0000 MHz
		f <sub>xx</sub> = 40.000 MHz	f <sub>xx</sub> = 50.000 MHz
0	f <sub>x</sub> /2 <sup>8</sup>	16.3 ms	13.1 ms
1	f <sub>x</sub> /2 <sup>9</sup>	32.6 ms	26.2 ms

f<sub>x</sub> : 外部発振周波数

f<sub>xx</sub> : 内部システム・クロック

## 第10章 タイマ/カウンタ機能

### 10.1 タイマC

#### 10.1.1 特徴(タイマC)

タイマCは、16ビットのタイマ/カウンタで次の動作を行うことができます。

- ・ インターバル・タイマ機能
- ・ PWM出力
- ・ 外部信号の周期測定

#### 10.1.2 機能概要(タイマC)

16ビット・タイマ/カウンタ

キャプチャ/コンペア共用レジスタ：8本

割り込み要求ソース

- ・ キャプチャ/一致割り込み要求：8要因
- ・ オーバフロー割り込み要求：4要因

タイマ/カウンタのカウント・クロック・ソース：2種

(外部パルス入力, 内部システム・クロックの分周を選択)

タイマ/カウンタがオーバフローしたときの動作モードを, フリー・ランニング・モード/オーバフロー・ストップ・モードの2種類から選択可能

タイマ/カウンタとコンペア・レジスタの一致でタイマ/カウンタをクリア可能

外部パルス出力：4本

### 10.1.3 タイマCの基本構成

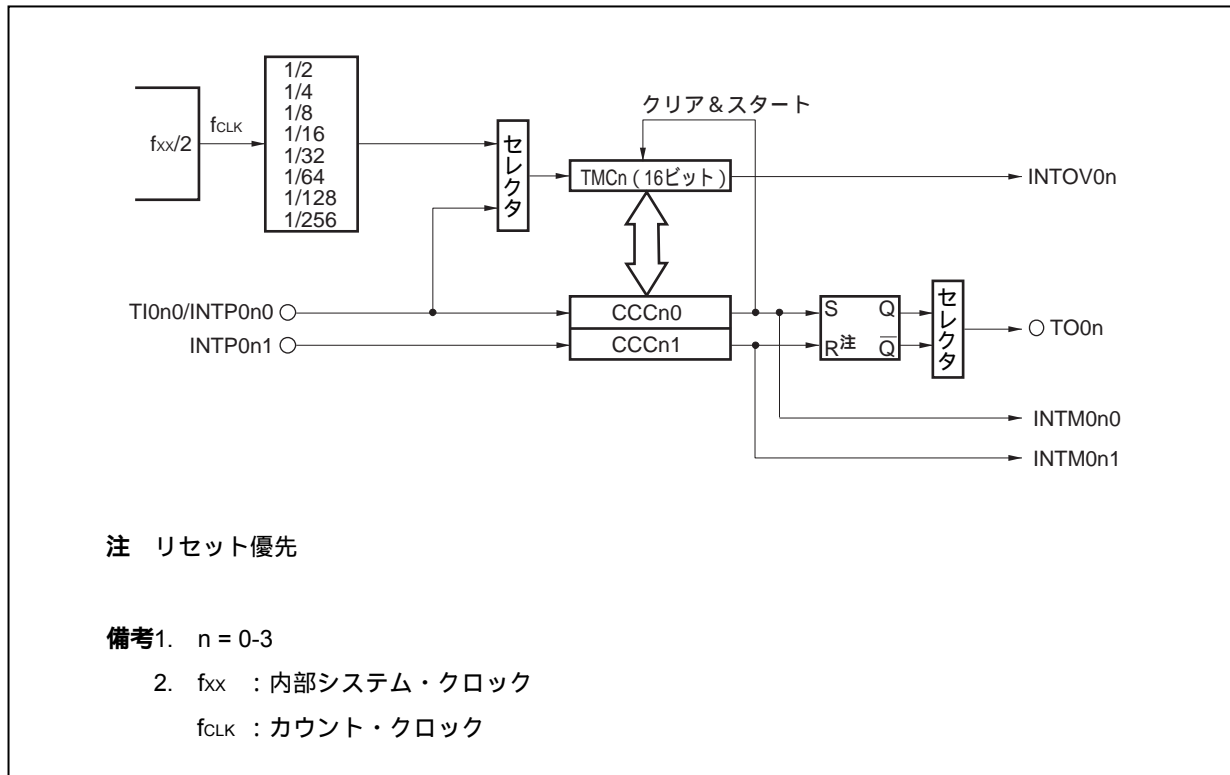
表10-1 タイマCの構成一覧

タイマ	カウント・クロック (f <sub>CLK</sub> )	レジスタ	リード/ライト	発生する割り込み信号	キャプチャ・トリガ	タイマ出力 S/R	その他の機能
タイマC	f <sub>xx</sub> /4, f <sub>xx</sub> /8, f <sub>xx</sub> /16, f <sub>xx</sub> /32, f <sub>xx</sub> /64, f <sub>xx</sub> /128, f <sub>xx</sub> /256, f <sub>xx</sub> /512	TMC0	リード	INTOV00	-	-	-
		CCC00	リード/ライト	INTM000	INTP000	TO00 (S)	A/D変換開始トリガ
		CCC01	リード/ライト	INTM001	INTP001	TO00 (R)	A/D変換開始トリガ
		TMC1	リード	INTOV01	-	-	-
		CCC10	リード/ライト	INTM010	INTP010	TO01 (S)	A/D変換開始トリガ
		CCC11	リード/ライト	INTM011	INTP011	TO01 (R)	A/D変換開始トリガ
		TMC2	リード	INTOV02	-	-	-
		CCC20	リード/ライト	INTM020	INTP020	TO02 (S)	-
		CCC21	リード/ライト	INTM021	INTP021	TO02 (R)	-
		TMC3	リード	INTOV03	-	-	-
		CCC30	リード/ライト	INTM030	INTP030	TO03 (S)	-
		CCC31	リード/ライト	INTM031	INTP031	TO03 (R)	-

備考 f<sub>xx</sub> : 内部システム・クロック

S/R : セット/リセット

#### (1) タイマC (16ビット・タイマ/カウンタ)



注 リセット優先

備考1. n = 0-3

2. f<sub>xx</sub> : 内部システム・クロック

f<sub>CLK</sub> : カウント・クロック

### 10.1.4 タイマC

#### (1) タイマC0-C3 (TMC0-TMC3)

TMCnは、16ビットのフリー・ランニング・タイマまたは外部信号のイベント・カウンタとして機能します。おもに、周期計測のほか、パルス出力としても利用できます (n = 0-3)。

TMCnは16ビット単位でリードだけ可能です。

**注意1.** TMCnレジスタはリードだけ可能です。TMCnレジスタに書き込みを行うと、その後の動作は不定となります。

2. TMCCn0レジスタのTMCCAEnビットをクリア (0) すると、非同期でリセットされます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TMC0																	FFFFFF600H	0000H
TMC1																	FFFFFF610H	0000H
TMC2																	FFFFFF620H	0000H
TMC3																	FFFFFF630H	0000H

TMCnは、内部カウント・クロックまたは外部カウント・クロックのカウント・アップ動作を行います。タイマのスタートおよびストップは、タイマ・モード・コントロール・レジスタCn0 (TMCCn0) のTMCCEnビットで制御します (n = 0-3)。

カウント・クロックの内部/外部の選択はタイマ・モード・コントロール・レジスタCn1 (TMCCn1) のETInビットによって行います (n = 0-3)。

#### (a) 外部カウント・クロックを選択

TMCnは、イベント・カウンタとして動作します。

タイマ・モード・コントロール・レジスタCn1 (TMCCn1) のETInビットをセット (1) した場合、内部カウント・クロックに同期してTMCnは外部クロック入力 (TI0n0) の有効エッジ・カウント動作を行います。有効エッジの指定は、有効エッジ選択レジスタCn (SESCn) によって行います (n = 0-3)。

**注意** INTP0n0/TI0n0端子をTI0n0 (外部クロック入力端子) として使用する場合は、INTP0n0の割り込みを禁止するか、CCCN0をコンペア・モードにしてください (n = 0-3)。

**(b) 内部カウント・クロックを選択**

TMCnは、フリー・ランニング・タイマとして動作します。

タイマ・モード・コントロール・レジスタCn1 (TMCCn1) でカウント・クロックを内部クロックに指定した場合、TMCCn0レジスタのCSn0-CSn2ビットで指定した入力クロックの周期ごとにTMCnはカウント・アップします (n = 0-3)。

カウント・クロックは、プリスケアラによる分周を、TMCCn0レジスタにより $f_{xx}/4$ ,  $f_{xx}/8$ ,  $f_{xx}/16$ ,  $f_{xx}/32$ ,  $f_{xx}/64$ ,  $f_{xx}/128$ ,  $f_{xx}/256$ ,  $f_{xx}/512$ から選択できます (f<sub>xx</sub> : 内部システム・クロック)。

タイマがオーバフローすると、オーバフロー割り込みを発生させることができます。また、TMCCn1レジスタのOSTnビットをセット (1) することにより、オーバフロー後にタイマを停止させることができます。

**注意** タイマ動作中はカウント・クロックを変更できません。

TMCnレジスタが0000Hになる条件を次に示します。

**(a) 非同期リセット**

- ・ TMCCn0レジスタのTMCCAEnビット = 0
- ・ リセット入力

**(b) 同期リセット**

- ・ TMCCn0レジスタのTMCCEnビット = 0
- ・ CCCn0レジスタをコンペア・レジスタとして使用し、かつTMCnレジスタのクリアを許可 (TMCCn1レジスタのCCLRnビット= 1) しているときのTMCnレジスタとCCCN0レジスタとの一致

(2) キャプチャ/コンペア・レジスタCn0, Cn1 (CCCn0, CCCn1) (n = 0-3)

キャプチャ/コンペア・レジスタCn0, Cn1は、16ビットのキャプチャ/コンペア・レジスタです。

タイマ・モード・コントロール・レジスタCn1 (TMCCn1) のCMSn0, CMSn1ビットの指定により、キャプチャ・レジスタまたはコンペア・レジスタとして使用できます (n = 0-3)。

16ビット単位でリード/ライト可能です (ただし、ライト動作はコンペア・モード時のみ可能です)。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CCC0n																	FFFFF602H, FFFFF604H	0000H
CCC1n																	FFFFF612H, FFFFF614H	0000H
CCC2n																	FFFFF622H, FFFFF624H	0000H
CCC3n																	FFFFF632H, FFFFF634H	0000H

備考 n = 0, 1

(a) キャプチャ・レジスタに設定 (TMCCn1のCMSn0, CMSn1 = 0)

キャプチャ・レジスタに設定した場合は、対応する外部割り込みINTP0n0, INTP0n1信号の有効エッジをキャプチャ・トリガとして検出します。TMCnはキャプチャ・トリガに同期して、TMCnの値をCCCn0, CCCn1レジスタにラッチします (キャプチャ動作)。

INTP0n0端子の有効エッジはSESCnレジスタのIES0n01, IES0n00ビットで、INTP0n1端子の有効エッジはSESCnレジスタのIES0n11, IES0n10ビットで指定 (立ち上がり, 立ち下がり, 両エッジ) します (n = 0-3)。

キャプチャ動作は、カウント・クロックとは非同期に行われます。ラッチした値は、次にキャプチャ動作が行われるまでキャプチャ・レジスタに保持されます。

タイマ・モード・コントロール・レジスタCn0 (TMCCn0) のTMCCAEnビットが0の場合、0000Hがリードされます (n = 0-3)。

キャプチャ・レジスタに指定したときは、INTP0n0, INTP0n1信号の有効エッジ検出で割り込みを発生します (n = 0-3)。

**注意** キャプチャ動作とTMCnレジスタのカウント禁止の設定 (TMCCn0レジスタのTMCCEnビット = 0) のタイミングが競合した場合には、キャプチャされたデータは不定になります。また、INTM0n0, INTM0n1割り込みは発生しません (n = 0-3)。

**(b) コンペア・レジスタに設定 (TMCCn1のCMSn0, CMSn1 = 1)**

コンペア・レジスタに設定した場合は、カウント・クロックごとにTMCnとレジスタ値の比較動作を行い、一致による割り込みを発生します。タイマ・モード・コントロール・レジスタCn1 (TMCCn1) のCCLRnビットがセット (1) されている場合、CCCN0レジスタの一致と同時に、TMCnの値をクリア (0) します (CCCN1レジスタの一致ではTMCnレジスタはクリア (0) されません) (n = 0-3)。

コンペア・レジスタはセット/リセット出力機能を備えています。一致信号の発生に同期して、対応するタイマ出力 (TO0n) をセットまたはリセットします (n = 0-3)。

割り込み選択ソースは選択したレジスタの機能で異なります。

- 注意1. キャプチャ/コンペア・レジスタCn0, Cn1にライトする場合は、必ずTMCCAEnビットを1に設定してから行ってください。TMCCAEnビットが0の場合、ライトしたデータは無効になります。
2. キャプチャ/コンペア・レジスタCn0, Cn1へのライト動作は、TMCCn0, TMCCn1レジスタ設定によりコンペア・レジスタに設定したあとに行ってください。キャプチャ・レジスタに設定されているとき (TMCCn1レジスタのCMSn0, CMSn1ビット = 0) に、CCCN0, CCCn1にライトしても、そのデータは書き込まれません。
3. コンペア・レジスタに設定した場合は、INTP0n0, INTP0n1は外部割り込み入力端子として使用できません (n = 0-3)。

### 10.1.5 タイマCの制御レジスタ

(1) タイマ・モード・コントロール・レジスタC00-C30 (TMCC00-TMCC30)

TMCCn0レジスタは、TMCnの動作を制御するレジスタです (n = 0-3)。

8/1ビット単位でリード/ライト可能です。

ビット3, 2には必ず0を設定してください。1を設定した場合の動作は保証できません。

- 注意1.** TMCCAEnビットとその他のビットは同時にはセットできません。必ずTMCCAEnビットをセットしたあとにその他のビットおよびその他のTMCnユニットのレジスタを設定してください。また、タイマCを使用する際にタイマ機能に関連する外部端子を使用する場合には、必ず外部端子をコントロール・モードに設定したあとTMCCAEnビットをセット(1)してください。
- 2.** オーバフロー発生とTMCCn0レジスタのライトが競合した場合、OVFnビット値はTMCCn0レジスタのライト時に書き込んだ値となります (n = 0-3)。

(1/2)

	⑦	6	5	4	3	2	①	①	アドレス	初期値
TMCC00	OVF0	CS02	CS01	CS00	0	0	TMCCE0	TMCCAEO	FFFFFF606H	00H
TMCC10	OVF1	CS12	CS11	CS10	0	0	TMCCE1	TMCCAE1	FFFFFF616H	00H
TMCC20	OVF2	CS22	CS21	CS20	0	0	TMCCE2	TMCCAEO2	FFFFFF626H	00H
TMCC30	OVF3	CS32	CS31	CS30	0	0	TMCCE3	TMCCAEO3	FFFFFF636H	00H

ビット位置	ビット名	意味
7	OVFn (n = 0-3)	<p>Overflow</p> <p>TMCnのオーバーフローを示すフラグです (n = 0-3)。</p> <p>0 : オーバフロー発生なし</p> <p>1 : オーバフロー発生</p> <p>TMCnがFFFFFFHから0000Hにカウント・アップしたタイミングで、OVFnビットは1になります。同時にオーバーフロー割り込み要求 (INTOV0n) を発生します。ただし、CCn0をコンペア・モード (TMCCn1レジスタのCMSn0ビット = 1) かつ、TMCnとCCn0とのコンペア時の一致クリアを許可 (TMCCn1レジスタのCCLRnビット = 1) に設定し、FFFFFFHでの一致後にTMCnを0000Hにクリアする場合は、TMCnのクリアとみなし、OVFnビットは1になりません。また、INTOV0n割り込みも発生しません。</p> <p>OVFnビットは、0をライトまたはTMCCAEnビット = 0で非同期リセットをかけるまで1を保持します。また、オーバーフローによる割り込み動作とOVFnビットは独立しており、OVFnビットを操作してもINTOV0nに対する割り込み要求フラグ (OVFn) には影響を与えません。OVFnビットを読み出し中にオーバーフローが発生した場合は、フラグの値は変化して次の読み出し時に反映されます。</p>



ビット位置	ビット名	意 味																																				
6-4	CSn2-CSn0 (n = 0-3)	<p>Count Enable Select TMCnの内部カウント・クロックを選択します (n = 0-3)。</p> <table border="1"> <thead> <tr> <th>CSn2</th> <th>CSn1</th> <th>CSn0</th> <th>カウント・クロック (f<sub>CLK</sub>)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>f<sub>xx</sub>/4</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>f<sub>xx</sub>/8</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>f<sub>xx</sub>/16</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>f<sub>xx</sub>/32</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>f<sub>xx</sub>/64</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>f<sub>xx</sub>/128</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>f<sub>xx</sub>/256</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>f<sub>xx</sub>/512</td> </tr> </tbody> </table> <p><b>注意</b> タイマ動作中にCSn2-CSn0ビットを変更しないでください。変更する場合にはTMCCEnビット = 0にしてから行ってください。動作中に書き換えた場合、その動作は保証できません。</p> <p><b>備考</b> f<sub>xx</sub> : 内部システム・クロック</p>	CSn2	CSn1	CSn0	カウント・クロック (f <sub>CLK</sub> )	0	0	0	f <sub>xx</sub> /4	0	0	1	f <sub>xx</sub> /8	0	1	0	f <sub>xx</sub> /16	0	1	1	f <sub>xx</sub> /32	1	0	0	f <sub>xx</sub> /64	1	0	1	f <sub>xx</sub> /128	1	1	0	f <sub>xx</sub> /256	1	1	1	f <sub>xx</sub> /512
CSn2	CSn1	CSn0	カウント・クロック (f <sub>CLK</sub> )																																			
0	0	0	f <sub>xx</sub> /4																																			
0	0	1	f <sub>xx</sub> /8																																			
0	1	0	f <sub>xx</sub> /16																																			
0	1	1	f <sub>xx</sub> /32																																			
1	0	0	f <sub>xx</sub> /64																																			
1	0	1	f <sub>xx</sub> /128																																			
1	1	0	f <sub>xx</sub> /256																																			
1	1	1	f <sub>xx</sub> /512																																			
1	TMCCEn (n = 0-3)	<p>Count Enable TMCnの動作を制御します (n = 0-3)。 0 : カウント禁止 (0000Hで停止し、動作しません) 1 : カウント動作を行います。</p> <p><b>注意</b> TMCCEn = 0の場合は、外部パルス出力 (TO0n) はインアクティブ・レベルになります (TO0n出力のアクティブ・レベルはTMCn1レジスタのACTLVnビットで設定します)。</p>																																				
0	TMCCAEn (n = 0-3)	<p>Clock Action Enable 内部カウント・クロックを制御します (n = 0-3)。 0 : TMCnユニット全体を非同期リセット。TMCnユニットへのクロック供給を停止。 1 : クロックをTMCnユニットへ供給</p> <p><b>注意1.</b> TMCCAEn = 0にすると、TMCnユニットを非同期にリセットすることができます。</p> <p><b>2.</b> TMCCAEn = 0の場合、TMCnユニットはリセット状態なので、TMCnを動作させる場合には、まずTMCCAEn = 1にしてください。</p> <p><b>3.</b> TMCCAEnビットを1から0にした場合は、TMCnユニットのすべてのレジスタが初期化されます。再度TMCCAEn = 1にした場合には、必ずTMCnユニットのすべてのレジスタを再設定してください。</p>																																				

(2) タイマ・モード・コントロール・レジスタC01-C31 (TMCC01-TMCC31)

TMCCn1レジスタは、TMCnの動作を制御するレジスタです (n = 0-3)。

8ビット単位でリード/ライト可能です。

ビット2には必ず0を設定してください。1を設定した場合の動作は保証できません。

- 注意1. タイマ動作中に、TMCCn1レジスタの各ビットを変更しないでください。変更する場合は、TMCCn0レジスタのTMCCEnビットを0にしてから行ってください。タイマ動作中にTMCCn1レジスタを書き換えた場合の動作は保証できません (n = 0-3)。
2. ENTn1ビットとACTLVnビットを同時に変更した場合、TO0n端子出力にグリッチ (ヒゲ状のノイズ) が発生する可能性があります。グリッチが発生しても誤動作しない回路構成にするか、ENTn1ビットとACTLVnビットを同時に変更しないようにしてください (n = 0-3)。
3. TO0n出力は外部割り込み信号 (INTP0n0, INTP0n1) では変化しません。TO0n信号を使用するときは、キャプチャ/コンペア・レジスタをコンペア・レジスタに指定 (TMCCn1レジスタのCMSn0, CMSn1ビット = 1) してください (n = 0-3)。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
TMCC01	OST0	ENT01	ACTLV0	ETI0	CCLR0	0	CMS01	CMS00	FFFFFF608H	20H
TMCC11	OST1	ENT11	ACTLV1	ETI1	CCLR1	0	CMS11	CMS10	FFFFFF618H	20H
TMCC21	OST2	ENT21	ACTLV2	ETI2	CCLR2	0	CMS21	CMS20	FFFFFF628H	20H
TMCC31	OST3	ENT31	ACTLV3	ETI3	CCLR3	0	CMS31	CMS30	FFFFFF638H	20H

ビット位置	ビット名	意味
7	OSTn (n = 0-3)	Overflow Stop TMCnがオーバフローしたときの動作を設定します (n = 0-3)。 0: オーバフロー後、カウント継続 (フリー・ランニング・モード) 1: オーバフロー後、タイマは0000Hを保持しカウント停止 (オーバフロー・ストップ・モード)。このときTMCCn0のTMCCEnビットは1のままです。TMCCEnビットに再度1を書き込むことによりカウントを開始します。
6	ENTn1 (n = 0-3)	Enable To Pin 外部パルス出力 (TO0n) の出力を許可/禁止します (n = 0-3)。 0: 外部パルス出力禁止。TO0n端子にはACTLVnビットのインアクティブ・レベルを固定出力します。対応するコンペア・レジスタから一致信号が発生してもTO0n端子のレベルは変化しません。 1: 外部パルス出力許可。コンペア・レジスタの一致により、TO0n出力が変化します。ただし、キャプチャ・モードのときには、TO0n出力は変化しません。タイマ出力を許可してから最初に一致信号が発生するまでは、ACTLVnビットのインアクティブ・レベルが出力されます。  <b>注意</b> CCCn0, CCCn1のどちらかをキャプチャ・レジスタに指定した場合は、ENTn1 = 0に設定してください。

ビット位置	ビット名	意味
5	ACTLVn (n = 0-3)	Active Level 外部パルス出力 (TO0n) のアクティブ・レベルを指定します (n = 0-3)。 0 : アクティブ・レベルはロウ・レベル 1 : アクティブ・レベルはハイ・レベル  <b>注意</b> ACTLVnビットの初期値は“1”です。
4	ETIn (n = 0-3)	External Input カウント・クロックの外部と内部の切り替えを指定します。 0 : 入力クロック (内部) を指定します。TMCCn0のCSn2-CSn0ビットによりカウント・クロックを選択できます (n = 0-3)。 1 : 外部クロック (TI0n0) を指定します。SESCnのTESn1, TESn0ビットの指定により有効エッジを選択できます (n = 0-3)。
3	CCLRn (n = 0-3)	Compare Clear Enable コンペア動作時のTMCnのクリアの許可 / 禁止を設定します (n = 0-3)。 0 : クリア禁止 1 : クリア許可 (コンペア動作時にCCCn0とTMCnが一致するとTMCnをクリア)
1	CMSn1 (n = 0-3)	Capture/Compare Mode Select キャプチャ / コンペア・レジスタ (CCCn1) の動作モードを選択します (n = 0-3)。 0 : キャプチャ・レジスタとして動作 1 : コンペア・レジスタとして動作
0	CMSn0 (n = 0-3)	Capture/Compare Mode Select キャプチャ / コンペア・レジスタ (CCCn0) の動作モードを選択します (n = 0-3)。 0 : キャプチャ・レジスタとして動作 1 : コンペア・レジスタとして動作

備考1. TO0n出力のフリップフロップは、リセットが優先されます (n = 0-3)。

2. A/Dコンバータをタイマ・トリガ・モードに設定した場合、コンペア・レジスタの一致割り込みがA/D変換開始トリガになり、変換動作を開始します。このとき、コンペア・レジスタの一致割り込みは、CPUに対するコンペア・レジスタの一致割り込みとしても機能します。CPUに対するコンペア・レジスタの一致割り込みを発生させないためには、割り込み制御レジスタ (P00IC0, P00IC1, P01IC0, P01IC1) の割り込みマスク・ビット (P00MK0, P00MK1, P01MK0, P01MK1) で割り込みを禁止してください。

(3) 有効エッジ選択レジスタC0-C3 (SESC0-SESC3)

外部端子による外部割り込み要求 ( INTP000, INTP001, INTP010, INTP011, INTP020, INTP021, INTP030, INTP031, TI000-TI030 ) の有効エッジを指定するレジスタです。

有効エッジは、立ち上がりエッジ、立ち下がりエッジ、または立ち上がり / 立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8ビット単位でリード/ライト可能です。

ビット5, 4には必ず0を設定してください。1を設定した場合の動作は保証できません。

**注意** タイマ動作中に、SESCnレジスタの各ビットを変更しないでください。変更する場合は、TMCCn0レジスタのTMCCEnビットを0にしてから行ってください。タイマ動作中にSESCnレジスタを書き換えた場合の動作は保証できません。

SESC0	7    6    5    4    3    2    1    0	<table style="width: 100%; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; width: 12.5%;">TES01</td> <td style="border: 1px solid black; width: 12.5%;">TES00</td> <td style="border: 1px solid black; width: 12.5%;">0</td> <td style="border: 1px solid black; width: 12.5%;">0</td> <td style="border: 1px solid black; width: 12.5%;">IES0011</td> <td style="border: 1px solid black; width: 12.5%;">IES0010</td> <td style="border: 1px solid black; width: 12.5%;">IES0001</td> <td style="border: 1px solid black; width: 12.5%;">IES0000</td> </tr> <tr> <td colspan="2" style="border: none;">TI000</td> <td colspan="2" style="border: none;"></td> <td colspan="2" style="border: none;">INTP001</td> <td colspan="2" style="border: none;">INTP000</td> </tr> </table>	TES01	TES00	0	0	IES0011	IES0010	IES0001	IES0000	TI000				INTP001		INTP000		アドレス	初期値
TES01	TES00	0	0	IES0011	IES0010	IES0001	IES0000													
TI000				INTP001		INTP000														
								FFFFFF609H	00H											
SESC1	7    6    5    4    3    2    1    0	<table style="width: 100%; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; width: 12.5%;">TES11</td> <td style="border: 1px solid black; width: 12.5%;">TES10</td> <td style="border: 1px solid black; width: 12.5%;">0</td> <td style="border: 1px solid black; width: 12.5%;">0</td> <td style="border: 1px solid black; width: 12.5%;">IES0111</td> <td style="border: 1px solid black; width: 12.5%;">IES0110</td> <td style="border: 1px solid black; width: 12.5%;">IES0101</td> <td style="border: 1px solid black; width: 12.5%;">IES0100</td> </tr> <tr> <td colspan="2" style="border: none;">TI010</td> <td colspan="2" style="border: none;"></td> <td colspan="2" style="border: none;">INTP011</td> <td colspan="2" style="border: none;">INTP010</td> </tr> </table>	TES11	TES10	0	0	IES0111	IES0110	IES0101	IES0100	TI010				INTP011		INTP010		アドレス	初期値
TES11	TES10	0	0	IES0111	IES0110	IES0101	IES0100													
TI010				INTP011		INTP010														
								FFFFFF619H	00H											
SESC2	7    6    5    4    3    2    1    0	<table style="width: 100%; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; width: 12.5%;">TES21</td> <td style="border: 1px solid black; width: 12.5%;">TES20</td> <td style="border: 1px solid black; width: 12.5%;">0</td> <td style="border: 1px solid black; width: 12.5%;">0</td> <td style="border: 1px solid black; width: 12.5%;">IES0211</td> <td style="border: 1px solid black; width: 12.5%;">IES0210</td> <td style="border: 1px solid black; width: 12.5%;">IES0201</td> <td style="border: 1px solid black; width: 12.5%;">IES0200</td> </tr> <tr> <td colspan="2" style="border: none;">TI020</td> <td colspan="2" style="border: none;"></td> <td colspan="2" style="border: none;">INTP021</td> <td colspan="2" style="border: none;">INTP020</td> </tr> </table>	TES21	TES20	0	0	IES0211	IES0210	IES0201	IES0200	TI020				INTP021		INTP020		アドレス	初期値
TES21	TES20	0	0	IES0211	IES0210	IES0201	IES0200													
TI020				INTP021		INTP020														
								FFFFFF629H	00H											
SESC3	7    6    5    4    3    2    1    0	<table style="width: 100%; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; width: 12.5%;">TES31</td> <td style="border: 1px solid black; width: 12.5%;">TES30</td> <td style="border: 1px solid black; width: 12.5%;">0</td> <td style="border: 1px solid black; width: 12.5%;">0</td> <td style="border: 1px solid black; width: 12.5%;">IES0311</td> <td style="border: 1px solid black; width: 12.5%;">IES0310</td> <td style="border: 1px solid black; width: 12.5%;">IES0301</td> <td style="border: 1px solid black; width: 12.5%;">IES0300</td> </tr> <tr> <td colspan="2" style="border: none;">TI030</td> <td colspan="2" style="border: none;"></td> <td colspan="2" style="border: none;">INTP031</td> <td colspan="2" style="border: none;">INTP030</td> </tr> </table>	TES31	TES30	0	0	IES0311	IES0310	IES0301	IES0300	TI030				INTP031		INTP030		アドレス	初期値
TES31	TES30	0	0	IES0311	IES0310	IES0301	IES0300													
TI030				INTP031		INTP030														
								FFFFFF639H	00H											

ビット位置	ビット名	意味															
7, 6	TESn1, TESn0 (n = 0-3)	Edge Select INTPn端子, TI000-TI030端子の有効エッジを指定します。															
3, 2	IESn1, IESn0 (n = 001, 011, 021, 031)	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">xESn1</th> <th style="width: 10%;">xESn0</th> <th style="width: 80%;">動作</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>RFU (予約)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>立ち上がり / 立ち下がり両エッジ</td> </tr> </tbody> </table>	xESn1	xESn0	動作	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	RFU (予約)	1	1	立ち上がり / 立ち下がり両エッジ
xESn1	xESn0		動作														
0	0		立ち下がりエッジ														
0	1	立ち上がりエッジ															
1	0	RFU (予約)															
1	1	立ち上がり / 立ち下がり両エッジ															
1, 0	IESn1, IESn0 (n = 000, 010, 020, 030)																

### 10.1.6 タイマCの動作

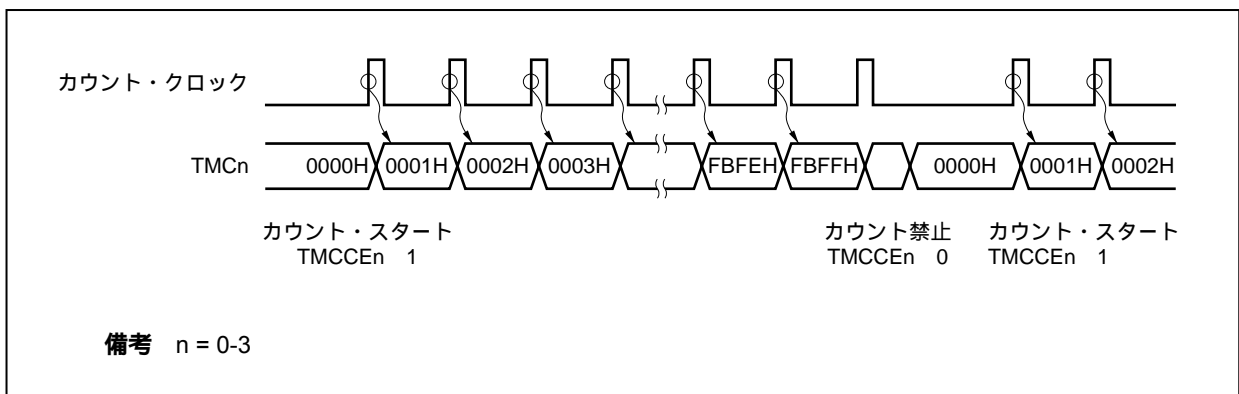
#### (1) カウント動作

タイマCは、16ビットのフリー・ランニング・タイマまたは、外部信号のイベント・カウンタとして機能します。動作の設定は、タイマ・モード・コントロール・レジスタCn0, Cn1 (TMCCn0, TMCCn1) で指定します (n = 0-3)。

フリー・ランニング・タイマとして動作する場合、CCn0, CCn1レジスタとTMCnのカウント値が一致すると、割り込み信号を発生させるとともに、タイマ出力信号 (TO0n) をセット/リセットすることができます。また、外部トリガとしての外部割り込み要求入力端子から検出された有効エッジに同期して、TMCnのカウント値をCCn0, CCn1レジスタに保持するキャプチャ動作を行うこともできます。キャプチャの値は、次のキャプチャ・トリガが発生するまで保持されます。

**注意** INTP0n0/TI0n0端子をTI0n0 (外部クロック入力端子) として使用する場合は、INTP0n0の割り込みを禁止するか、CCn0レジスタをコンペア・モードにしてください (n = 0-3)。

図10 - 1 タイマCの基本動作



(2) オーバフロー

TMCnレジスタがカウント・クロックをFFFFHから0000Hまでカウントした場合に、TMCCn0レジスタのOVFnビットをセット(1)します。同時にオーバーフロー割り込み(INTOV0n)を発生します(n = 0-3)。ただし、CCCN0レジスタをコンペア・モード(CMSn0ビット = 1)かつ、FFFFHに設定し、一致クリアが有効(CCLRnビット = 1)な場合に、TMCnレジスタがFFFFHから0000Hに変化した場合は、TMCnレジスタのクリアとみなし、OVFnビットをセット(1)しません。また、INTOV0nも発生しません。

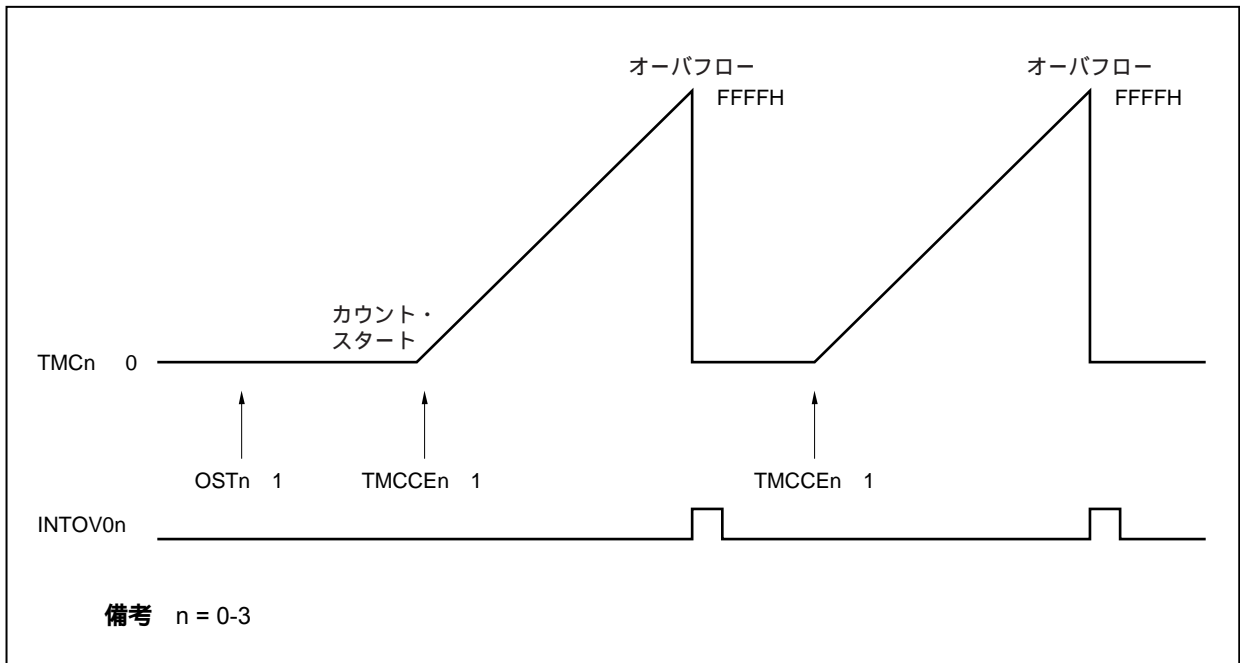
TMCCEnビットを1 0に変更することにより、TMCnレジスタがFFFFHから0000Hに変化した場合も、TMCnレジスタのクリアとみなし、OVFnビットをセット(1)せず、INTOV0n割り込みも発生しません。

また、TMCCn1レジスタのOSTnビットをセット(1)することで、オーバーフロー後、タイマを停止させることができます。オーバーフローによりタイマが停止した場合、TMCCn0レジスタのTMCCEnビットを再度セット(1)するまでカウント動作を再開しません。

なお、カウント動作中にTMCCEnビットをセット(1)しても動作に影響はありません。

備考 n = 0-3

図10 - 2 オーバフロー後の動作 (OSTn = 1の場合)



(3) キャプチャ動作

TMCnレジスタは、CCn0レジスタとCCn1レジスタの2つのキャプチャ/コンペア・レジスタがあります。どちらもTMCCn1レジスタのCMSn1, CMSn0ビットにより、キャプチャ動作またはコンペア動作に設定します。TMCCn1レジスタのCMSn1, CMSn0ビットに0を設定すると、キャプチャ・レジスタとして動作します。

外部トリガに同期して、TMCnのカウンタ値をカウント・クロックとは非同期にキャプチャ・レジスタに取り込み保持するキャプチャ動作を行います。外部トリガとして、外部割り込み要求入力端子 (INTP0n0, INTP0n1) から検出された有効エッジを使用します (キャプチャ・トリガ)。そのキャプチャ・トリガ信号に同期して、カウント中のTMCnのカウンタ値をキャプチャ・レジスタに取り込み保持します。キャプチャ・レジスタの値は、次のキャプチャ・トリガが発生するまで保持されます。

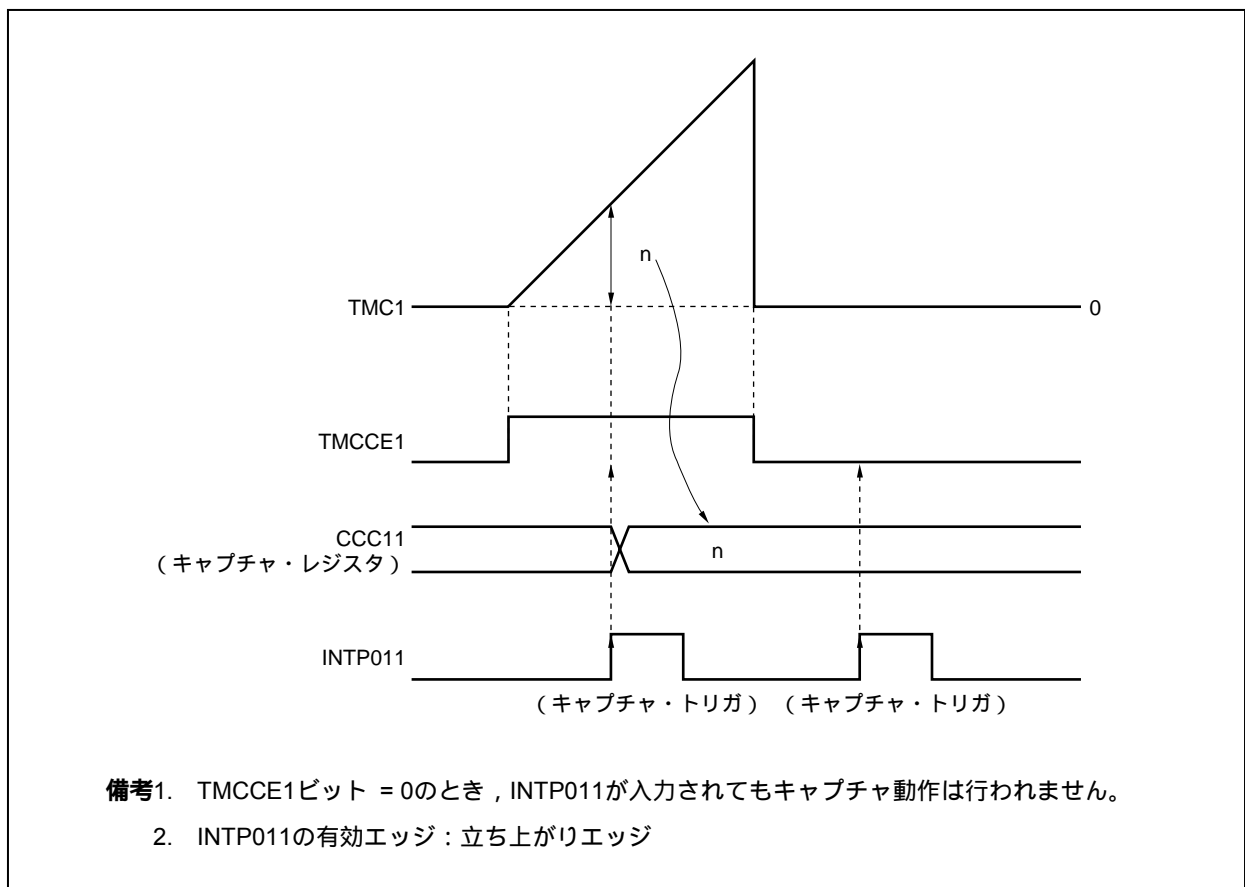
また、INTP0n0, INTP0n1信号入力により割り込み要求 (INTM0n0, INTM0n1) を発生します。

キャプチャ・トリガの有効エッジは、有効エッジ選択レジスタCn (SESCn) により設定します。

立ち上がり/立ち下りの両エッジをキャプチャ・トリガとした場合は、外部からの入力パルス幅を測定できます。また、片側エッジをキャプチャ・トリガとした場合は、入力パルスの周期を測定できます。

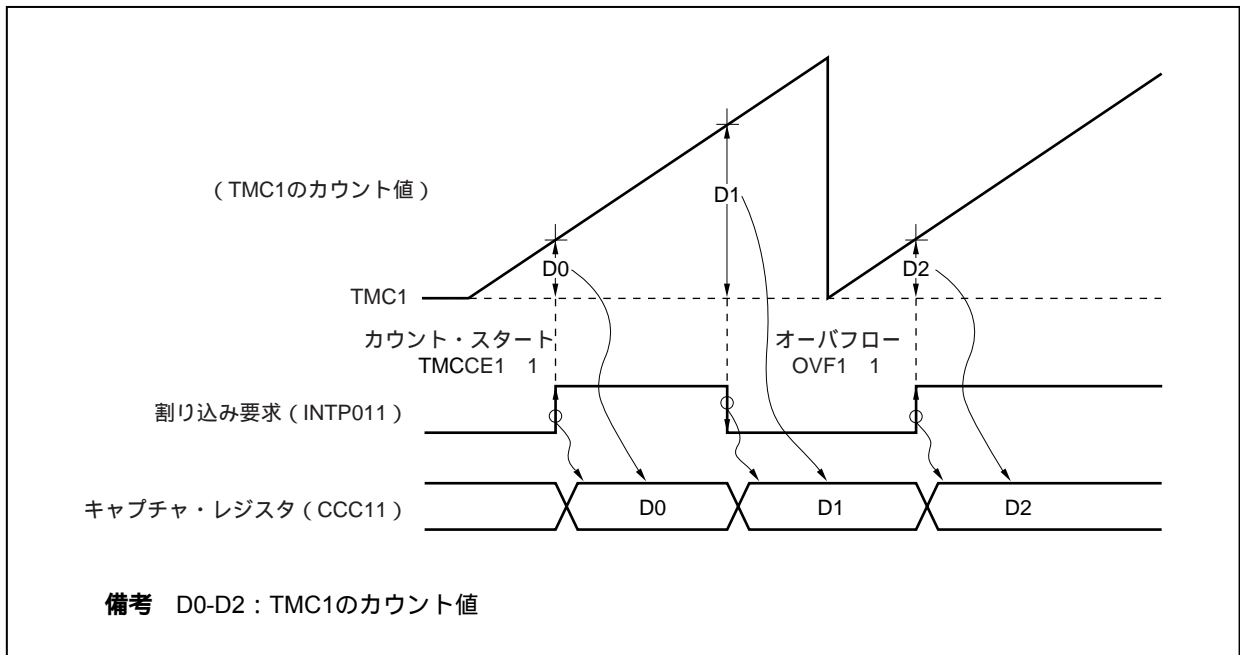
備考 n = 0-3

図10 - 3 キャプチャ動作例



- 備考1. TMCCE1ビット = 0のとき、INTP011が入力されてもキャプチャ動作は行われません。  
 2. INTP011の有効エッジ：立ち上がりエッジ

図10 - 4 TMC1キャプチャ動作例 (両エッジ指定時)





(4) コンペア動作

TMCnレジスタは、CCCN0レジスタとCCCN1レジスタの2つのキャプチャ/コンペア・レジスタがあります。どちらもTMCCn1レジスタのCMSn1, CMSn0ビットにより、キャプチャ動作またはコンペア動作の設定をします。TMCCn1レジスタのCMSn1, CMSn0ビットに1を設定すると、コンペア・レジスタとして動作します。

コンペア・レジスタに設定した値とTMCnのカウンタ値を比較するコンペア動作を行います。

あらかじめ設定したコンペア・レジスタの値に、TMCnのカウンタ値が一致すると、出力制御回路に一致信号を送ります。一致信号によりタイマ出力端子 (TO0n) を変化させ、同時に割り込み要求信号 (INTM0n, INTM0n1) を発生します。

CCCN0, CCCn1レジスタに0000Hを設定した場合は、TMCnレジスタがFFFFHから0000Hにカウント・アップ後の0000Hを一致と判定します。この場合次のカウント・タイミングでTMCnレジスタの値をクリア (0) しますが、このときの0000Hとは一致の判定を行いません。また、TMCnレジスタがカウントを開始するときの0000Hとも一致の判定を行いません。

CCCN0レジスタは一致クリア許可 (CCLRnビット = 1) にすると、コンペア動作中にTMCnレジスタとの一致が発生した場合にTMCnレジスタをクリアします。

備考 n = 0-3

図10 - 5 コンペア動作例 (1/2)

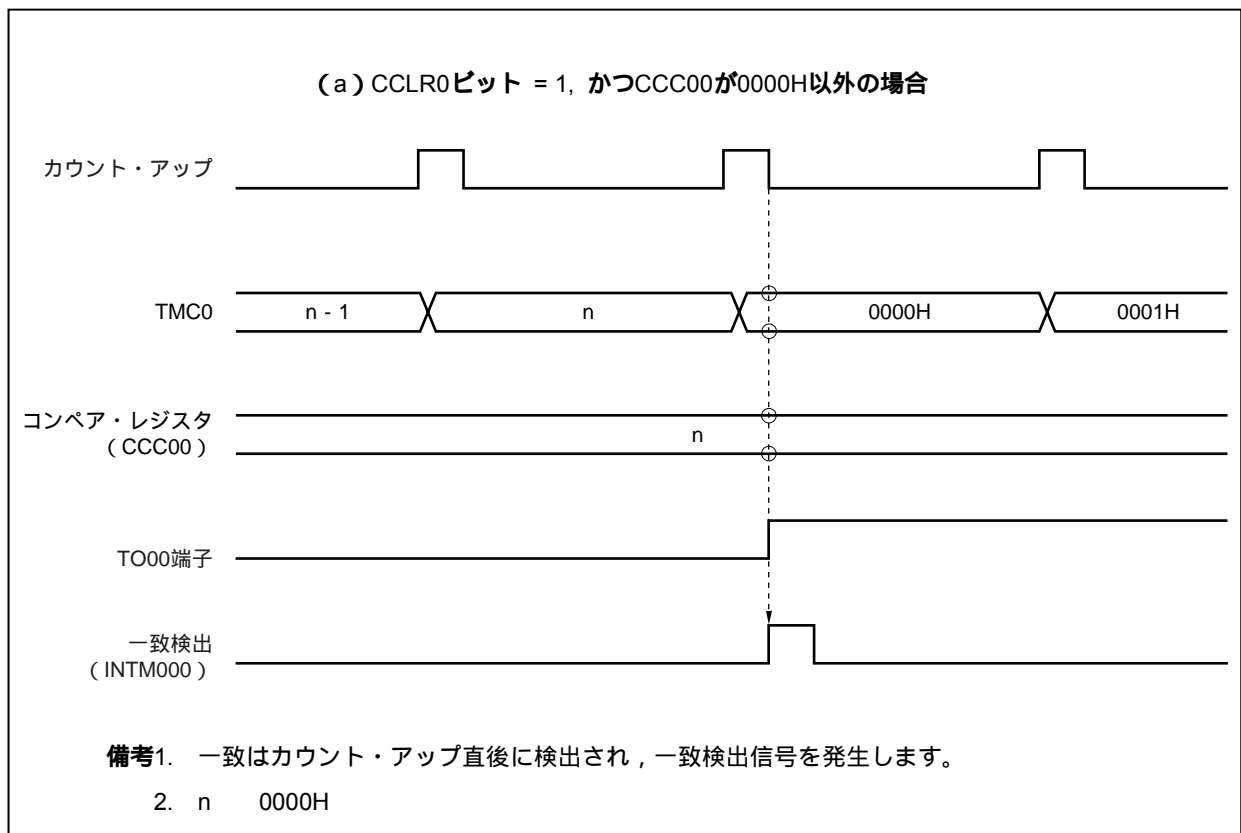
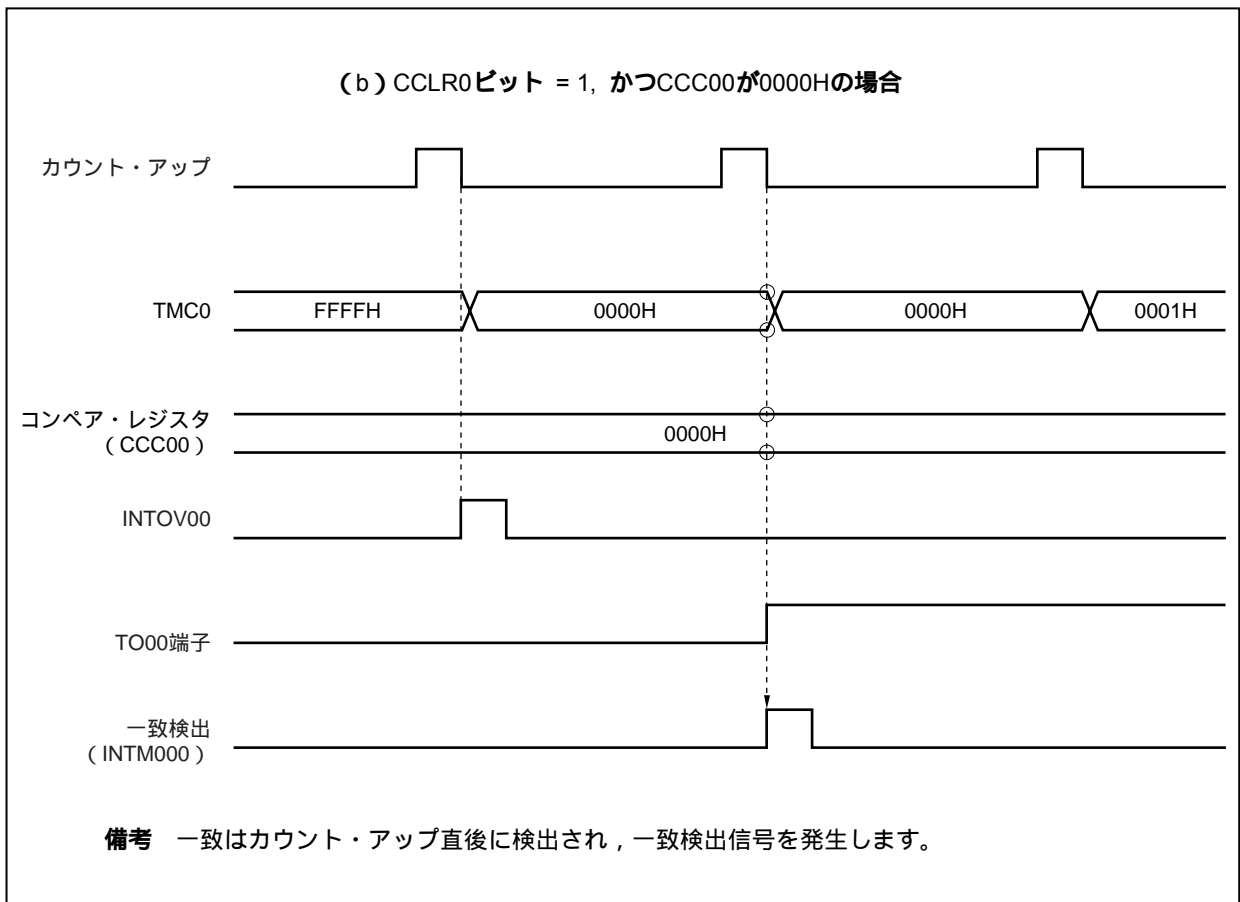


図10 - 5 コンペア動作例 (2/2)



(5) 外部パルス出力

タイマCは4本のタイマ出力端子 (TO0n) を持っています。

外部パルス出力 (TO0n) は、2つのコンペア・レジスタ (CCCN0, CCCn1) とTMCnレジスタとの一致を検出して生成します。

TMCnのカウント値とCCCN0の値を比較し、一致するとTO0n端子の出力レベルをセットします。また、TMCnのカウント値とCCCN1の値を比較し、一致するとTO0n端子の出力レベルをリセットします。

TO0n端子の出力レベルは、TMCCn1レジスタによって指定できます。

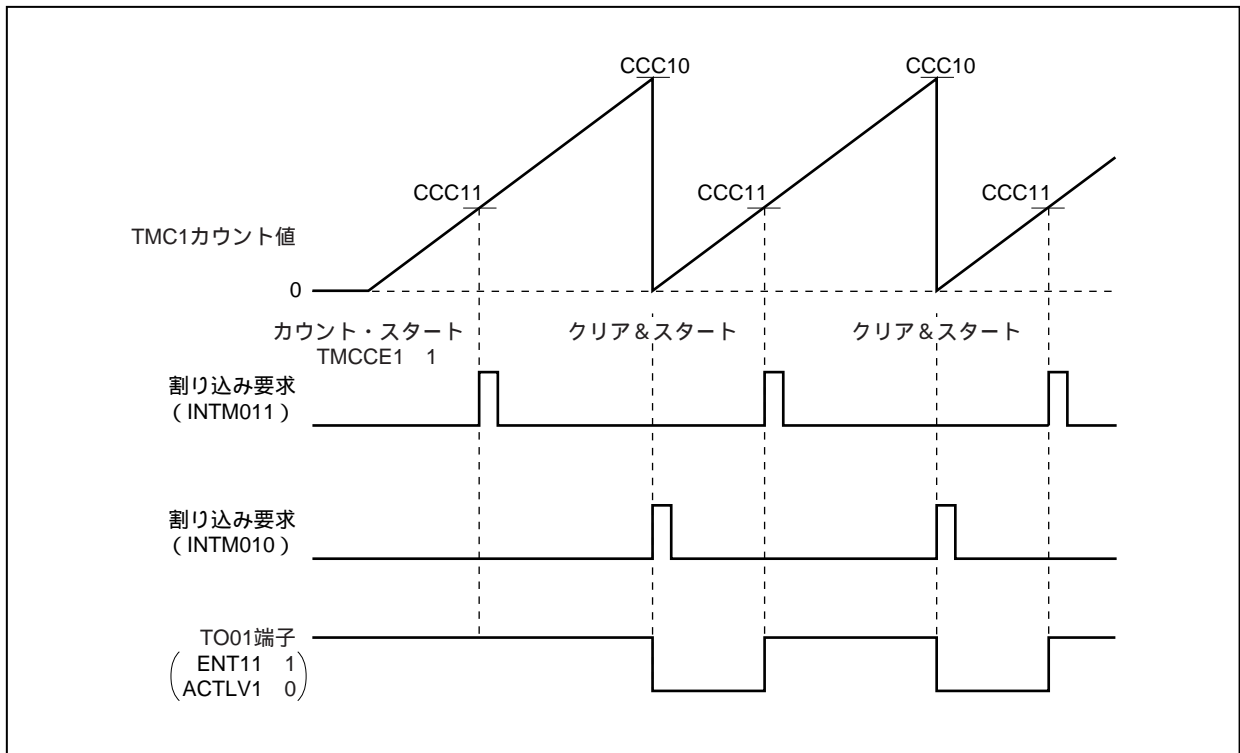
備考 n = 0-3

表10 - 2 TO0n出力制御

ENTn1	ACTLVn	TO0n出力	
		外部パルス出力	出力レベル
0	0	禁止	ハイ・レベル
0	1	禁止	ロウ・レベル
1	0	許可	CCCN0レジスタとの一致：ロウ・レベル CCCN1レジスタとの一致：ハイ・レベル
1	1	許可	CCCN0レジスタとの一致：ハイ・レベル CCCN1レジスタとの一致：ロウ・レベル

備考 n = 0-3

図10 - 6 TMC1コンペア動作例 (セット/リセット出力モード)



### 10.1.7 使用例 (タイマC)

#### (1) インターバル・タイマ

TMCCn0, TMCCn1レジスタを図10 - 7のように設定することにより, CCCn0レジスタにあらかじめ設定した値をインターバルとして, 繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

TMCnレジスタのカウンタ値がCCCn0レジスタの設定値と一致すると, TMCnレジスタをクリア (0000H) してカウント動作を継続すると同時に, 割り込み要求信号 (INTM0n0) を発生します。

備考 n = 0-3

図10 - 7 インターバル・タイマとして使用時のレジスタ設定内容

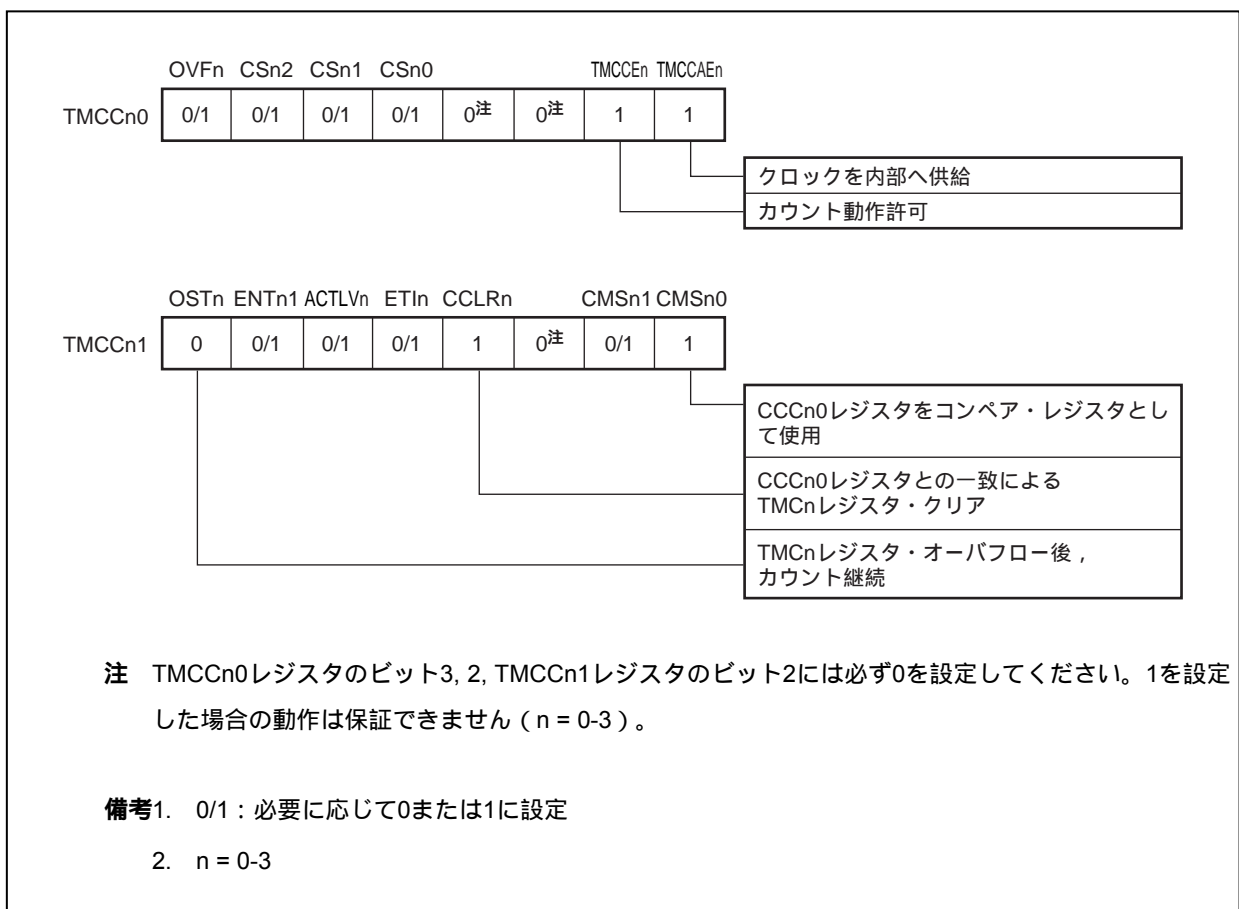
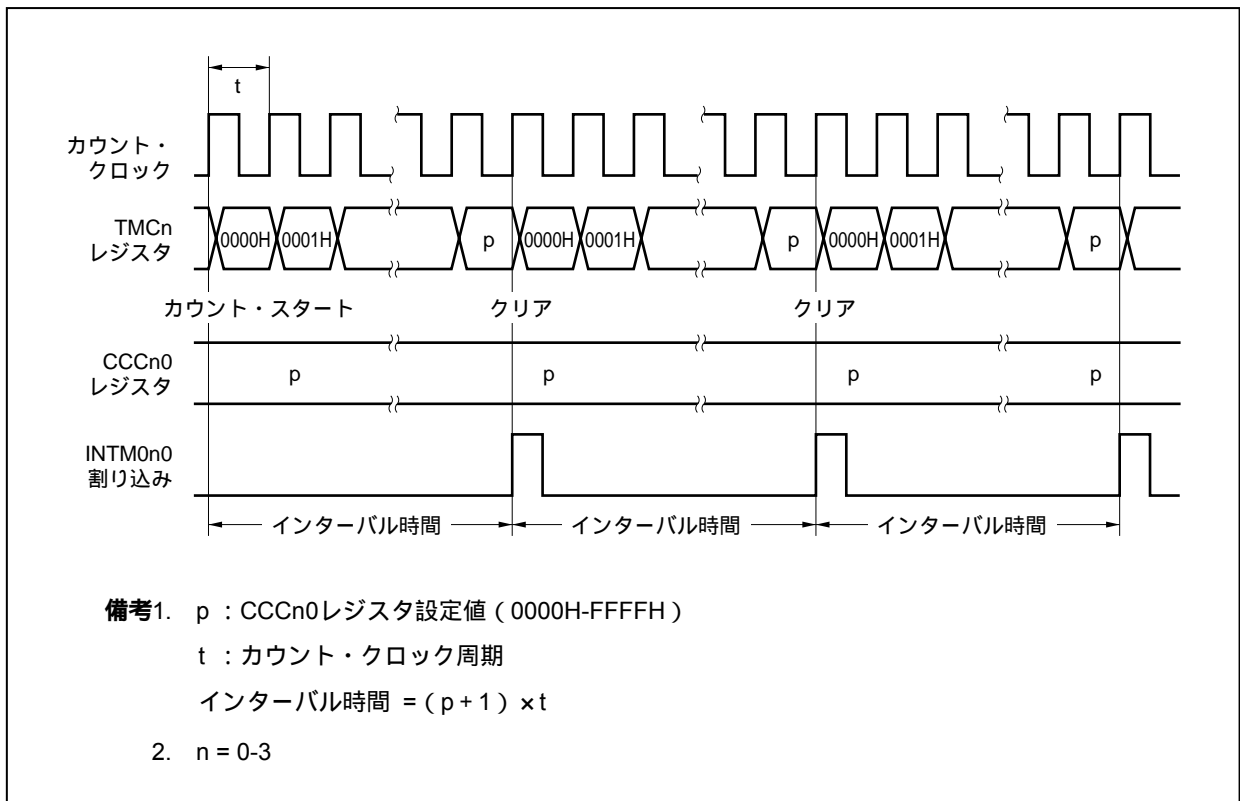


図10 - 8 インターバル・タイマ動作タイミング例



(2) PWM出力

TMCCn0, TMCCn1レジスタを図10 - 9のように設定することにより, CCCn0, CCCn1レジスタにあらかじめ設定した値をインターバルとするTMCCn0レジスタのCSn2-CSn0ビットの設定で決まる周波数のPWM出力が行えます。

TMCnレジスタのカウンタ値がCCCn0レジスタの設定値と一致すると, TO0n出力がアクティブになります。続いて, TMCnレジスタのカウンタ値がCCCn1レジスタの設定値と一致すると, TO0n出力がインアクティブになります。TMCnレジスタはカウントを続け, オーバフローするとカウンタ値を0000Hにしてクリアし, カウントを継続します。これによって, TMCCn0レジスタのCSn2-CSn0ビットの設定で決まる周波数のPWM出力が可能になります。CCCn0レジスタの設定値とCCCn1レジスタの設定値が同一の場合は, TO0n出力はインアクティブのまま変化しません。

なお, TO0n出力のアクティブ・レベルはTMCCn1レジスタのACTLVnビットで設定できます。

備考 n = 0-3

図10 - 9 PWM出力として使用時のレジスタ設定内容

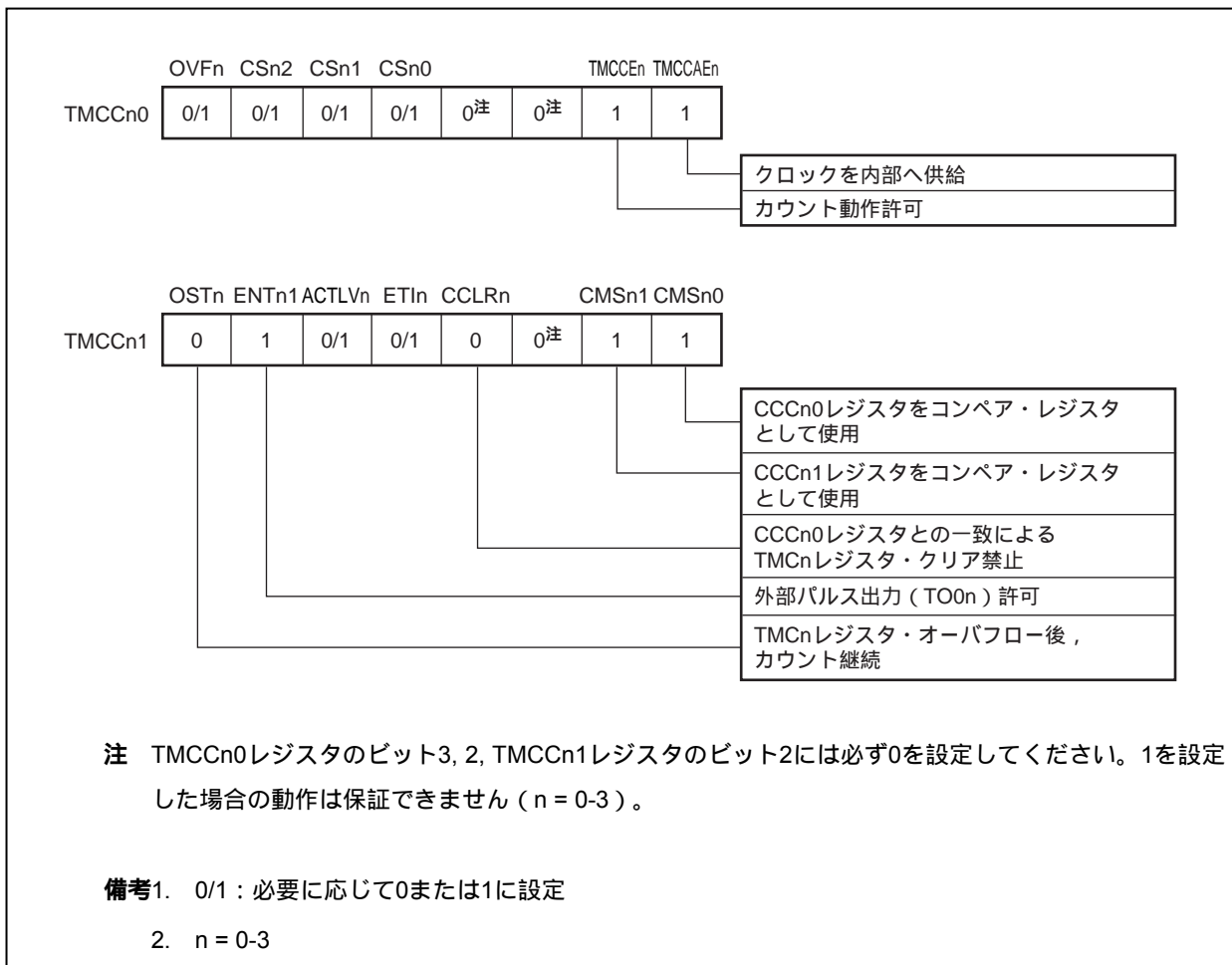
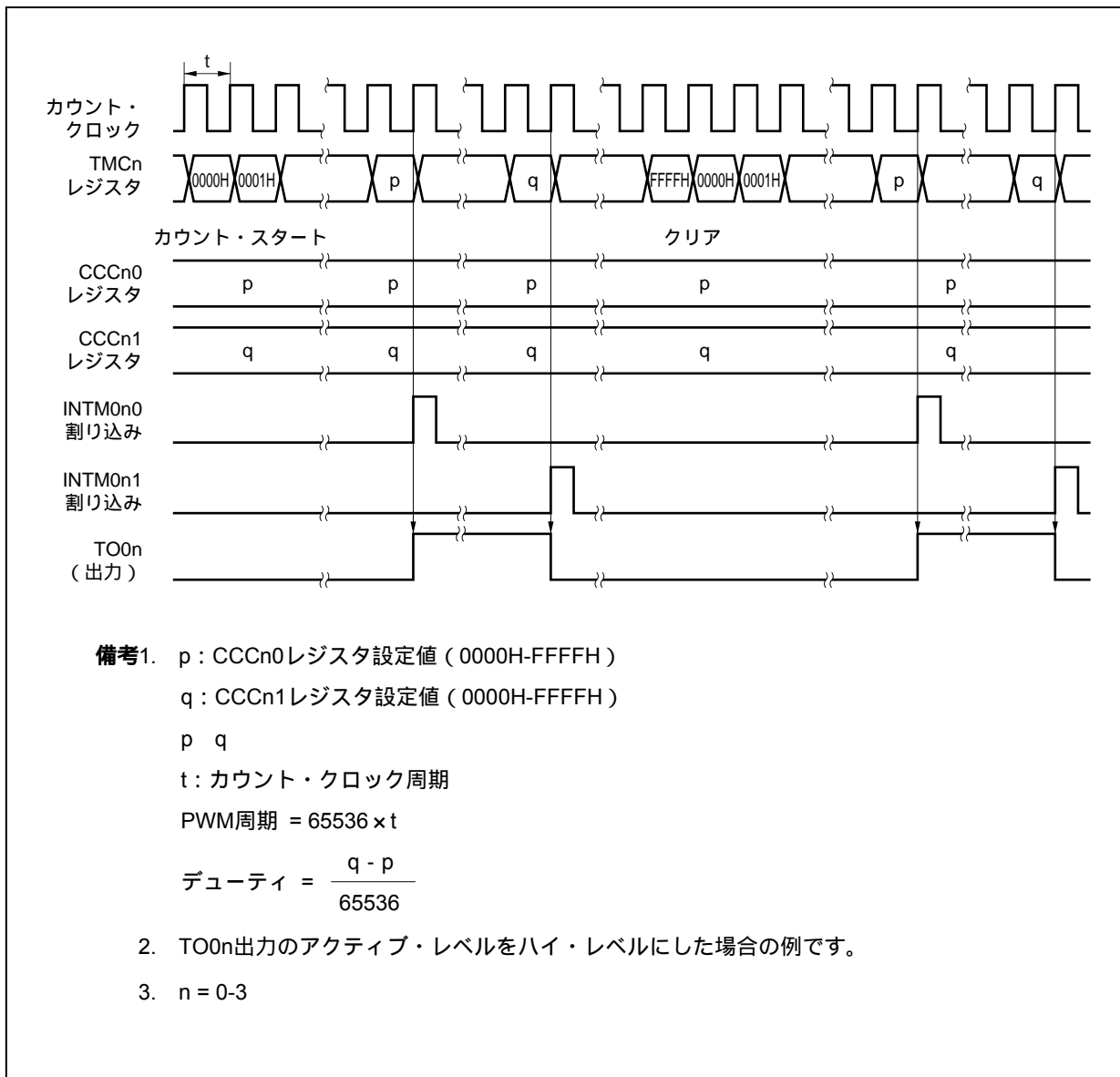


図10 - 10 PWM出力動作タイミング例



### (3) 周期測定

TMCCn0, TMCCn1レジスタを図10 - 11のように設定することにより, INTP0n0端子, またはINTP0n1端子に入力する信号の周期を測定することができます。

INTP0n0端子の有効エッジは, SESCnレジスタのIES0n01, IES0n00ビットで行い, INTP0n1端子の有効エッジは, SESCnレジスタのIES0n11, IES0n10ビットで行います。どちらの端子も有効エッジとして立ち上がり, 立ち下がり, 立ち上がり/立ち下がり両エッジの3種類から選択できます。

CCCN0レジスタをキャプチャ・レジスタに設定すると, INTP0n0端子の有効エッジ入力をトリガとして, TMCnレジスタの値をCCCN0レジスタに取り込みます。取り込みが行われると, INTM0n0割り込みを発生します。

同様にCCCN1レジスタをキャプチャ・レジスタに設定すると, INTP0n1端子の有効エッジ入力をトリガとして, TMCnレジスタの値をCCCN1レジスタに取り込みます。取り込みが行われると, INTM0n1割り込みを発生します。

INTP0n0端子に入力する信号の周期は, x回目のINTP0n0端子の有効エッジにより, CCCn0レジスタに取り込んだTMCnレジスタのカウンタ値 ( $D_x$ ) と, (x+1) 回目のINTP0n0端子の有効エッジによりCCCN0レジスタに取り込んだTMCnレジスタのカウンタ値 ( $D(x+1)$ ) との差を求め, この差の値とクロック制御信号の周期の積から計算します。

同様にINTP0n1端子に入力する信号の周期は, x回目のINTP0n1端子の有効エッジにより, CCCn1レジスタに取り込んだTMCnレジスタのカウンタ値 ( $D_x$ ) と, (x+1) 回目のINTP0n1端子の有効エッジによりCCCN1レジスタに取り込んだTMCnレジスタのカウンタ値 ( $D(x+1)$ ) との差を求め, この差の値とクロック制御信号の周期の積から計算します。

**備考** n = 0-3



図10 - 11 周期測定として使用時のレジスタ設定内容

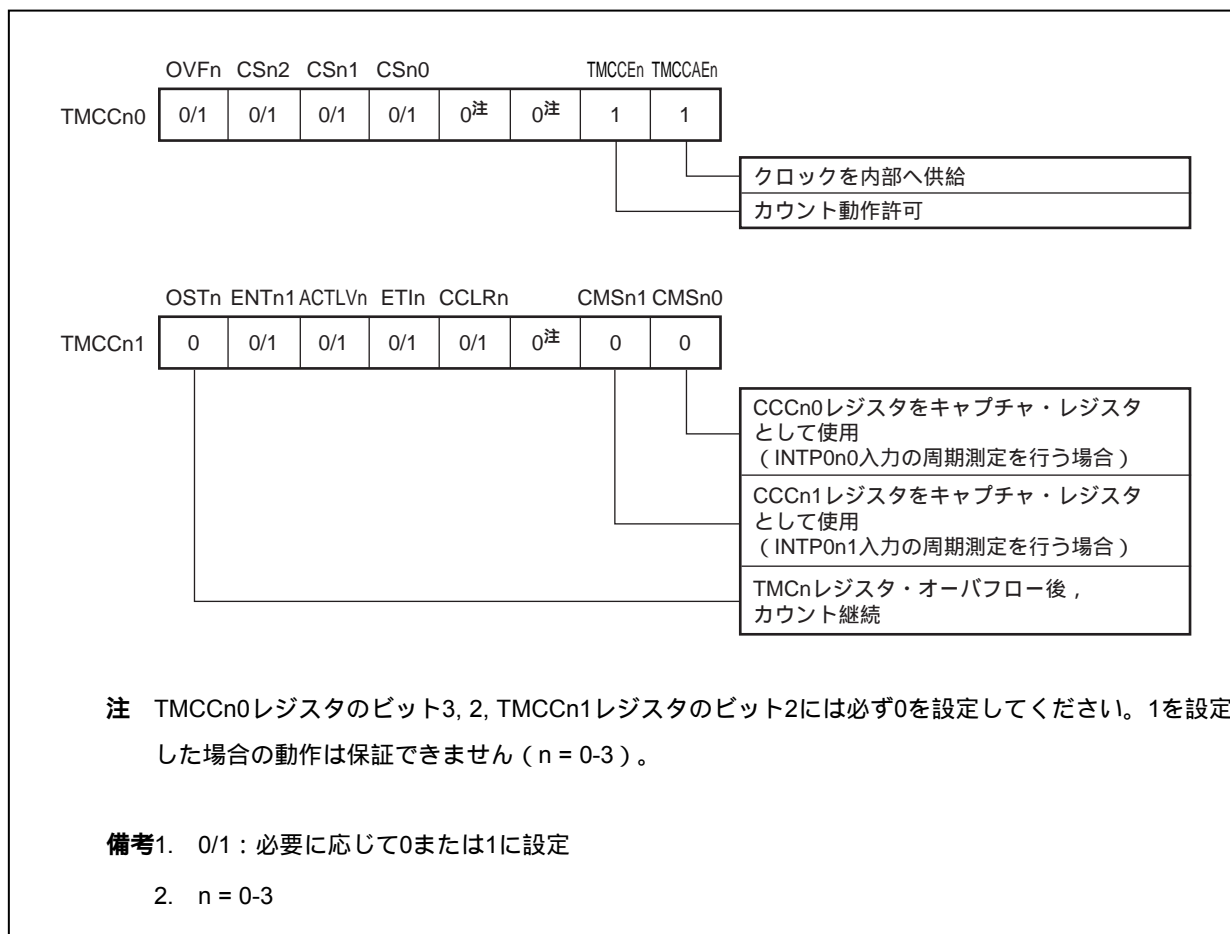
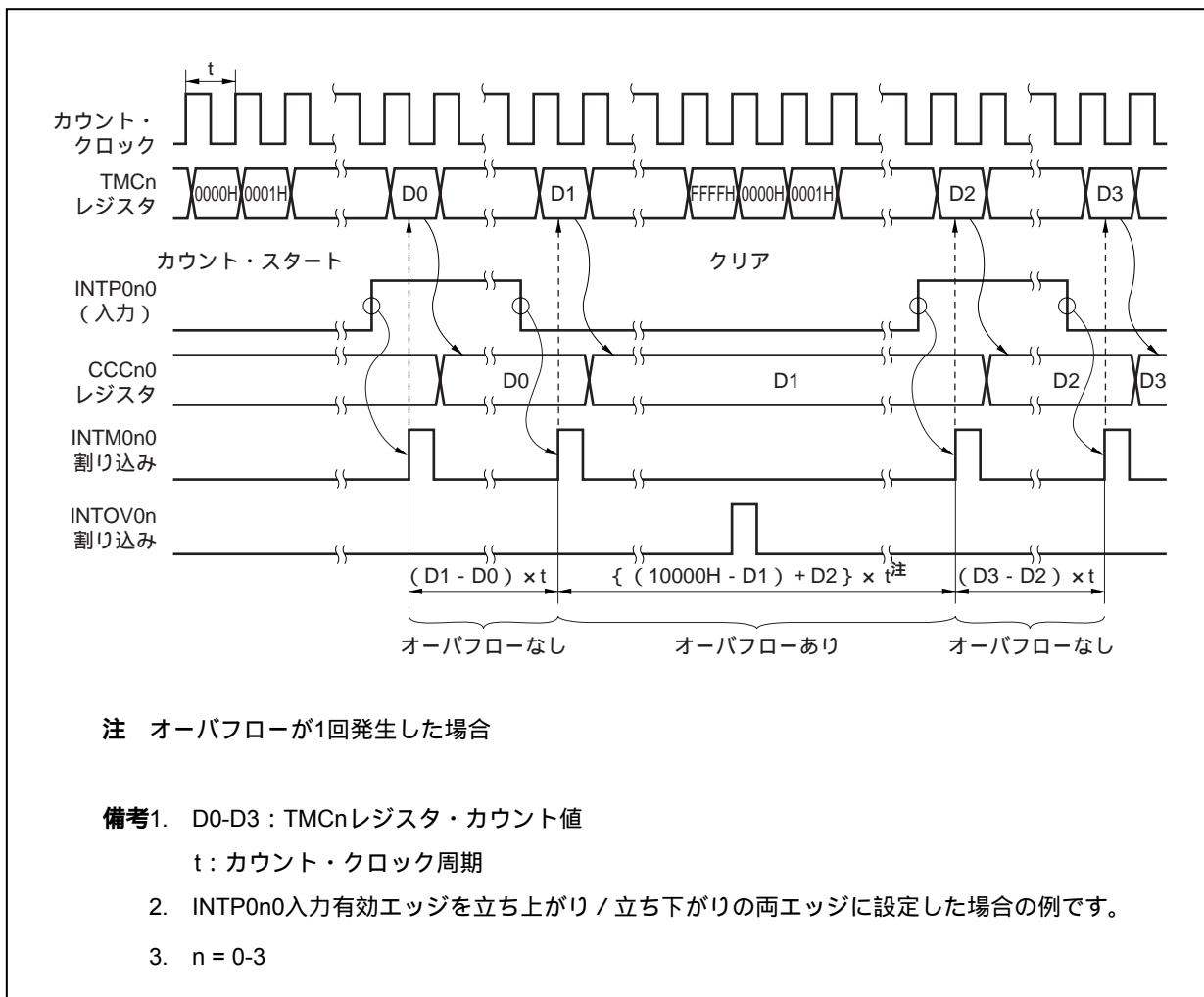


図10 - 12 周期測定動作タイミング例



### 10.1.8 注意事項 (タイマC)

タイマCについての注意事項を次に示します。

- (1) CCCn0レジスタをキャプチャ・モードで使用しているときに、命令によるCCCn0レジスタのリードとキャプチャ動作が競合した場合、外部トリガ (INTP0n0) の有効エッジ検出および、外部割り込み要求 (INTM0n0) は発生しますが、CCCn0レジスタへのタイマ値の格納は行われません。
- (2) CCCn1レジスタをキャプチャ・モードで使用しているときに、命令によるCCCn1レジスタのリードとキャプチャ動作が競合した場合、外部トリガ (INTP0n1) の有効エッジ検出および、外部割り込み要求 (INTM0n1) は発生しますが、CCCn1レジスタへのタイマ値の格納は行われません。
- (3) 動作中 (TMCCEn = 1) に、次のビット、レジスタを書き換えないでください。
  - ・ TMCCn0レジスタのCSn2-CSn0ビット
  - ・ TMCCn1レジスタ
  - ・ SESCnレジスタ
- (4) TMCCn0レジスタのTMCCAEnビットは、TMCnのリセット信号です。TMCnを使用する際には、まずTMCCAEnビットをセット (1) してください。
- (5) 外部割り込み要求信号 (INTP0n0, INTP0n1), 外部クロック入力 (TI0n0) の有効エッジ検出には、アナログ・ノイズ除去時間 + 2カウント・クロックが必要です。したがって、アナログ・ノイズ除去時間 + 2カウント・クロック未満の変化に対してはエッジ検出が正常に行われない可能性があります。アナログ・ノイズ除去については、7.3.8 **ノイズ除去**を参照してください。
- (6) 外部割り込み要求信号 (INTM0n0, INTM0n1) の動作は、キャプチャ/コンペア・レジスタの動作状態によって自動的に決定します。キャプチャ動作時は、外部割り込み要求信号の有効エッジ検出として動作し、コンペア動作時は、TMCnレジスタとの一致割り込みとして動作します。
- (7) ENTn1ビットとACTLVnビットを同時に変更した場合、TO0n端子出力にグリッチ (ヒゲ状のノイズ) が発生する可能性があります。グリッチが発生しても誤動作しない回路構成にするか、ENTn1ビットとACTLVnビットを同時に変更しないようにするかしてください。

**備考** n = 0-3

## 10.2 タイマD

### 10.2.1 特徴 (タイマD)

タイマDは、16ビットのインターバル・タイマとして機能します。

### 10.2.2 機能概要 (タイマD)

16ビット・インターバル・タイマ

コンペア・レジスタ：4本

割り込み要求ソース：4要因

カウント・クロックは内部システム・クロックの分周から選択

### 10.2.3 タイマDの基本構成

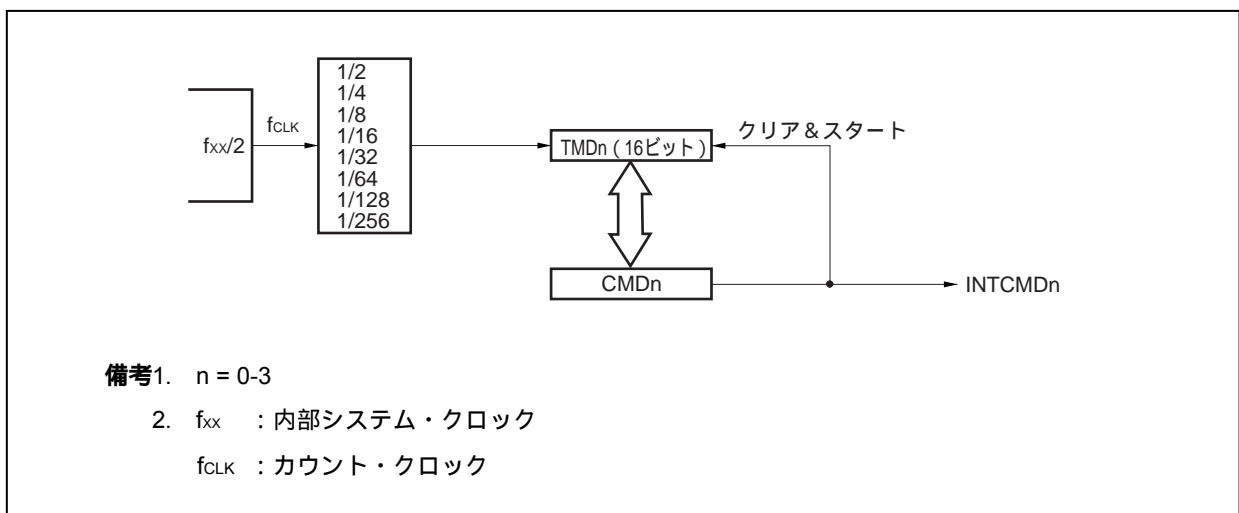
表10-3 タイマDの構成一覧

タイマ	カウント・クロック (f <sub>CLK</sub> )	レジスタ	リード/ライト	発生する割り込み信号	キャプチャ・トリガ	タイマ出力 S/R	その他の機能
タイマD	f <sub>xx</sub> /4, f <sub>xx</sub> /8, f <sub>xx</sub> /16, f <sub>xx</sub> /32, f <sub>xx</sub> /64, f <sub>xx</sub> /128, f <sub>xx</sub> /256, f <sub>xx</sub> /512	TMD0	リード	-	-	-	-
		CMD0	リード/ライト	INTCMD0	-	-	-
		TMD1	リード	-	-	-	-
		CMD1	リード/ライト	INTCMD1	-	-	-
		TMD2	リード	-	-	-	-
		CMD2	リード/ライト	INTCMD2	-	-	-
		TMD3	リード	-	-	-	-
		CMD3	リード/ライト	INTCMD3	-	-	-

備考 f<sub>xx</sub> : 内部システム・クロック

S/R : セット/リセット

#### (1) タイマD (16ビット・タイマ/カウンタ)



備考1. n = 0-3

2. f<sub>xx</sub> : 内部システム・クロック

f<sub>CLK</sub> : カウント・クロック

## 10.2.4 タイマD

### (1) タイマD0-D3 (TMD0-TMD3)

TMDnは、16ビット・タイマです。おもに、ソフトウェアのためのインターバル・タイマとして利用できます (n = 0-3)。

TMDnのスタートおよびストップは、タイマ・モード・コントロール・レジスタDn (TMCDn)のTMDCEnビットによって制御します (n = 0-3)。

カウント・クロックは、プリスケアラによる分周を、TMCDnレジスタのCSn0-CSn2ビットにより $f_{xx}/4$ ,  $f_{xx}/8$ ,  $f_{xx}/16$ ,  $f_{xx}/32$ ,  $f_{xx}/64$ ,  $f_{xx}/128$ ,  $f_{xx}/256$ ,  $f_{xx}/512$ から選択できます (f<sub>xx</sub>: 内部システム・クロック)。

TMDnは16ビット単位でリードだけ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TMD0																	FFFFFF540H	0000H
TMD1																	FFFFFF550H	0000H
TMD2																	FFFFFF560H	0000H
TMD3																	FFFFFF570H	0000H

TMDnレジスタが0000Hになる条件を次に示します (n = 0-3)。

- リセット入力
- TMDCAEnビット = 0
- TMDCEnビット = 0
- TMDnレジスタとCMDnレジスタの一致
- オーバフロー

- 注意1.** TMCDnレジスタのTMDCAEnビットをクリア (0) すると、非同期でリセットされます。
2. TMCDnレジスタのTMDCEnビットをクリア (0) すると、内部クロックに同期してリセットされます。CMDnレジスタとの一致後、オーバフロー後も同様です。
  3. タイマ動作中はカウント・クロックを変更しないでください。書き換えるときは、TMDCEnビットをクリア (0) したあとに書き換えてください。
  4. TMDCEnビットに設定後、設定値が内部に伝わるまで最大4内部システム・クロックかかります。したがって、カウント動作開始時、0000Hから0001Hのカウント周期は、その後のカウント周期と異なります。
  5. コンペア一致が発生したあと、タイマは次のカウント・クロックでクリアされるため、分周比が大きいたまは、一致割り込み発生直後にタイマの値を読み出しても、タイマの値が0でない場合があります。

(2) コンペア・レジスタD0-D3 (CMD0-CMD3)

CMDnは、TMDnレジスタ・カウント値との比較を行い、一致すると割り込み要求信号 (INTCMDn) を発生します。この一致に同期してTMDnをクリアします。TMCDnレジスタのTMDCAEnビットを0にすると、非同期にリセットがかかり初期化されます (n = 0-3)。

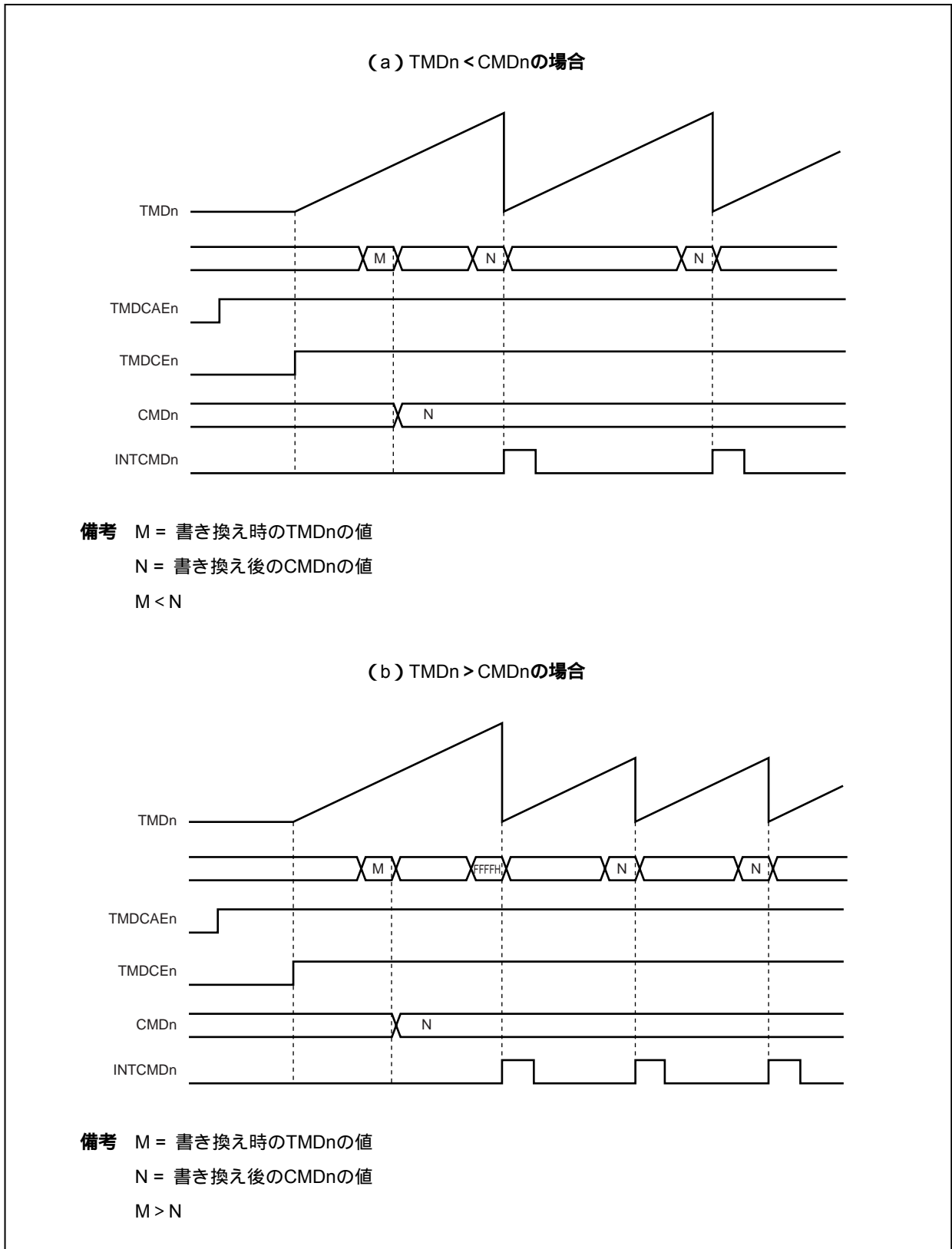
CMDnレジスタはマスタ/スレーブ構成になっています。CMDnレジスタにライトすると、まず、マスタ・レジスタにライトされ、続いてマスタ・レジスタのデータがスレーブ・レジスタに転送されます。コンペア動作においては、スレーブ・レジスタの値とTMDnレジスタのカウント値を比較します。CMDnをリードした場合は、マスタ側の値が読み出されます。

CMDnは16ビット単位でリード/ライト可能です。

- 注意1. CMDnレジスタへのライト動作は、CMDnレジスタに設定した値が内部に伝わるまで4内部システム・クロックかかります。CMDnレジスタに連続して書き込みを行う場合、4内部システム・クロック以上の時間間隔を確保してください。
- 2. CMDnレジスタの書き換えは、TMDnレジスタの1周期 (0000HからTMDnレジスタとCMDnレジスタが一致してINTCMDn割り込みが発生するまで)に1回のみ可能です。それをアプリケーションで確保できない場合は、動作中にCMDnレジスタを書き換えしないでください。
- 3. TMDnレジスタ動作中、そのカウンタ値以下の値をCMDnレジスタに書き込むと、オーバーフローしたあとINTCMDn割り込みが発生するため注意してください (図10 - 13)。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CMD0																	FFFFFF542H	0000H
CMD1																	FFFFFF552H	0000H
CMD2																	FFFFFF562H	0000H
CMD3																	FFFFFF572H	0000H

図10 - 13 TMDn動作中のタイミング例



### 10.2.5 タイマDの制御レジスタ

#### (1) タイマ・モード・コントロール・レジスタD0-D3 (TMCD0-TMCD3)

TMCDnレジスタは、タイマDnの動作を制御するレジスタです (n = 0-3)。

8/1ビット単位でリード/ライト可能です。

**注意** TMDCAEnビットとその他のビットは同時にはセットできません。必ずTMDCAEnビットをセットしたあとにその他のビットおよびその他のTMDnユニットのレジスタを設定してください。

(1/2)

	7	6	5	4	3	2	①	②	アドレス	初期値
TMCD0	0	CS02	CS01	CS00	0	0	TMDCE0	TMDCAE0	FFFFFF544H	00H
TMCD1	0	CS12	CS11	CS10	0	0	TMDCE1	TMDCAE1	FFFFFF554H	00H
TMCD2	0	CS22	CS21	CS20	0	0	TMDCE2	TMDCAE2	FFFFFF564H	00H
TMCD3	0	CS32	CS31	CS30	0	0	TMDCE3	TMDCAE3	FFFFFF574H	00H

ビット位置	ビット名	意味																																				
6-4	CSn2-CSn0 (n = 0-3)	<p>Count Enable Select TMDnの内部カウント・クロックを選択します (n = 0-3)。</p> <table border="1"> <thead> <tr> <th>CSn2</th> <th>CSn1</th> <th>CSn0</th> <th>カウント・クロック (f<sub>CLK</sub>)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>f<sub>xx</sub>/4</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>f<sub>xx</sub>/8</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>f<sub>xx</sub>/16</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>f<sub>xx</sub>/32</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>f<sub>xx</sub>/64</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>f<sub>xx</sub>/128</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>f<sub>xx</sub>/256</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>f<sub>xx</sub>/512</td> </tr> </tbody> </table> <p><b>注意</b> タイマ動作中にCSn2-CSn0ビットを変更しないでください。変更する場合にはTMDCEnビット = 0にしてから行ってください。動作中に書き換えた場合、その動作は保証できません。</p> <p><b>備考</b> f<sub>xx</sub>: 内部システム・クロック</p>	CSn2	CSn1	CSn0	カウント・クロック (f <sub>CLK</sub> )	0	0	0	f <sub>xx</sub> /4	0	0	1	f <sub>xx</sub> /8	0	1	0	f <sub>xx</sub> /16	0	1	1	f <sub>xx</sub> /32	1	0	0	f <sub>xx</sub> /64	1	0	1	f <sub>xx</sub> /128	1	1	0	f <sub>xx</sub> /256	1	1	1	f <sub>xx</sub> /512
CSn2	CSn1	CSn0	カウント・クロック (f <sub>CLK</sub> )																																			
0	0	0	f <sub>xx</sub> /4																																			
0	0	1	f <sub>xx</sub> /8																																			
0	1	0	f <sub>xx</sub> /16																																			
0	1	1	f <sub>xx</sub> /32																																			
1	0	0	f <sub>xx</sub> /64																																			
1	0	1	f <sub>xx</sub> /128																																			
1	1	0	f <sub>xx</sub> /256																																			
1	1	1	f <sub>xx</sub> /512																																			
1	TMDCEn (n = 0-3)	<p>Count Enable TMDnの動作を制御します (n = 0-3)。 0: カウント禁止 (0000Hで停止し、動作しません) 1: カウント動作を行います。</p> <p><b>注意</b> TMDCEnビットはコンペア動作で一致を検出してもクリアされません。カウント動作を停止する場合は、TMDCEnビットをクリアしてください。</p>																																				



ビット位置	ビット名	意味
0	TMDCAEn (n = 0-3)	<p>Clock Action Enable</p> <p>内部カウント・クロックを制御します (n = 0-3)。</p> <p>0 : TMDnユニット全体を非同期リセット。TMDnユニットへのクロック供給を停止。</p> <p>1 : クロックをTMDnユニットへ供給。</p> <p><b>注意1.</b> TMDCAEn = 0にすると、TMDnユニットを非同期にリセットすることができます。</p> <p>2. TMDCAEn = 0の場合は、TMDnユニットはリセット状態なので、TMDnを動作させる場合には、まずTMDCAEn = 1にしてください。</p> <p>3. TMDCAEnビットを1から0にした場合は、TMDnユニットのすべてのレジスタが初期化されます。再度TMDCAEn = 1にする場合には、TMDCAEn = 1設定後、必ずTMDnユニットのすべてのレジスタを再設定してください。</p>

## 10.2.6 タイマDの動作

### (1) コンペア動作

TMDnでは、コンペア・レジスタ (CMDn) に設定した値とTMDnのカウント値を比較するコンペア動作を行います (n = 0-3)。

コンペア動作で一致を検出すると割り込み (INTCMDn) を発生します。割り込み発生により、次のカウント・タイミングでTMDnはクリア (0) されます。この機能により、タイマDをインターバル・タイマとして使用します。

CMDnには0を設定することもできます。この場合はオーバフローしてTMDnが0になるとともに一致を検出しINTCMDnが発生します。次のカウント・タイミングでTMDnの値をクリア (0) しますが、この一致では、INTCMDnは発生しません。

図10 - 14 TMD0コンペア動作例 (1/2)

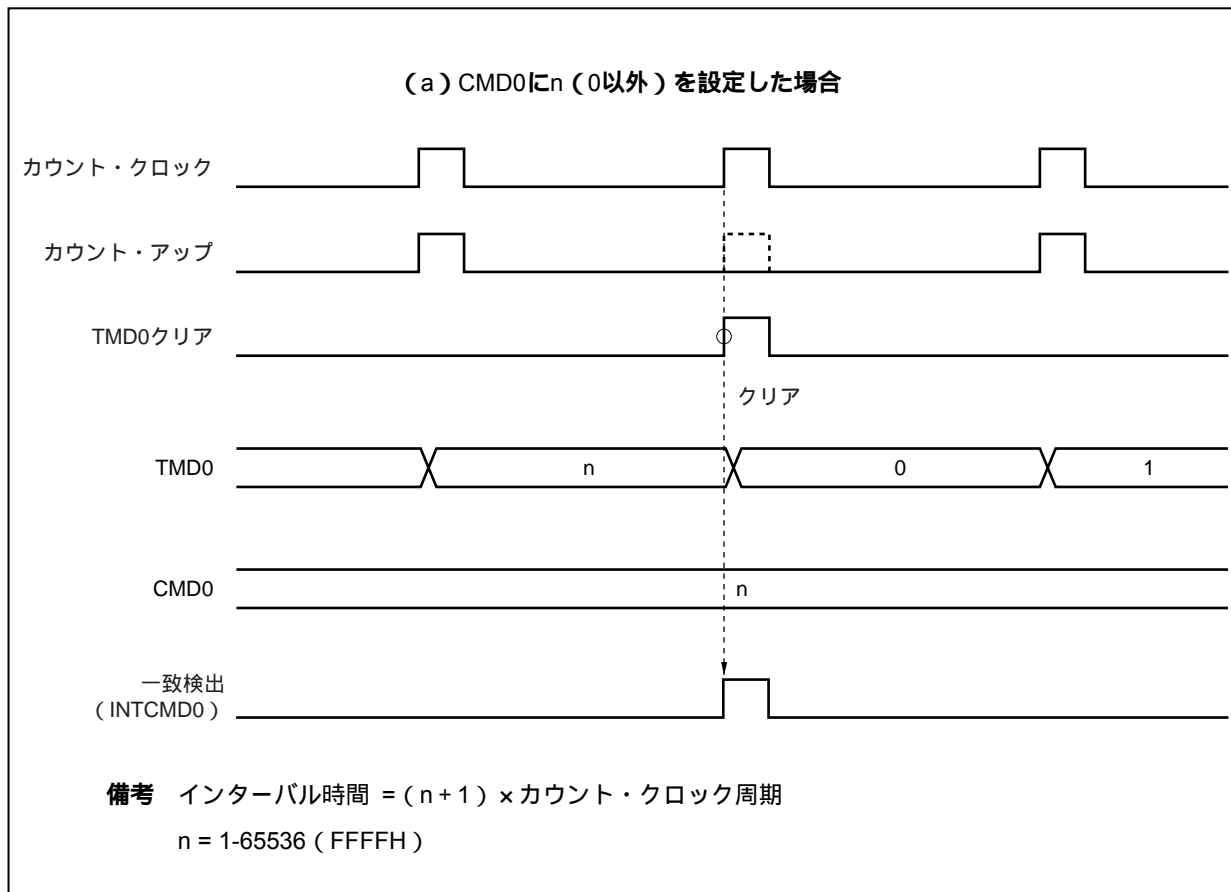
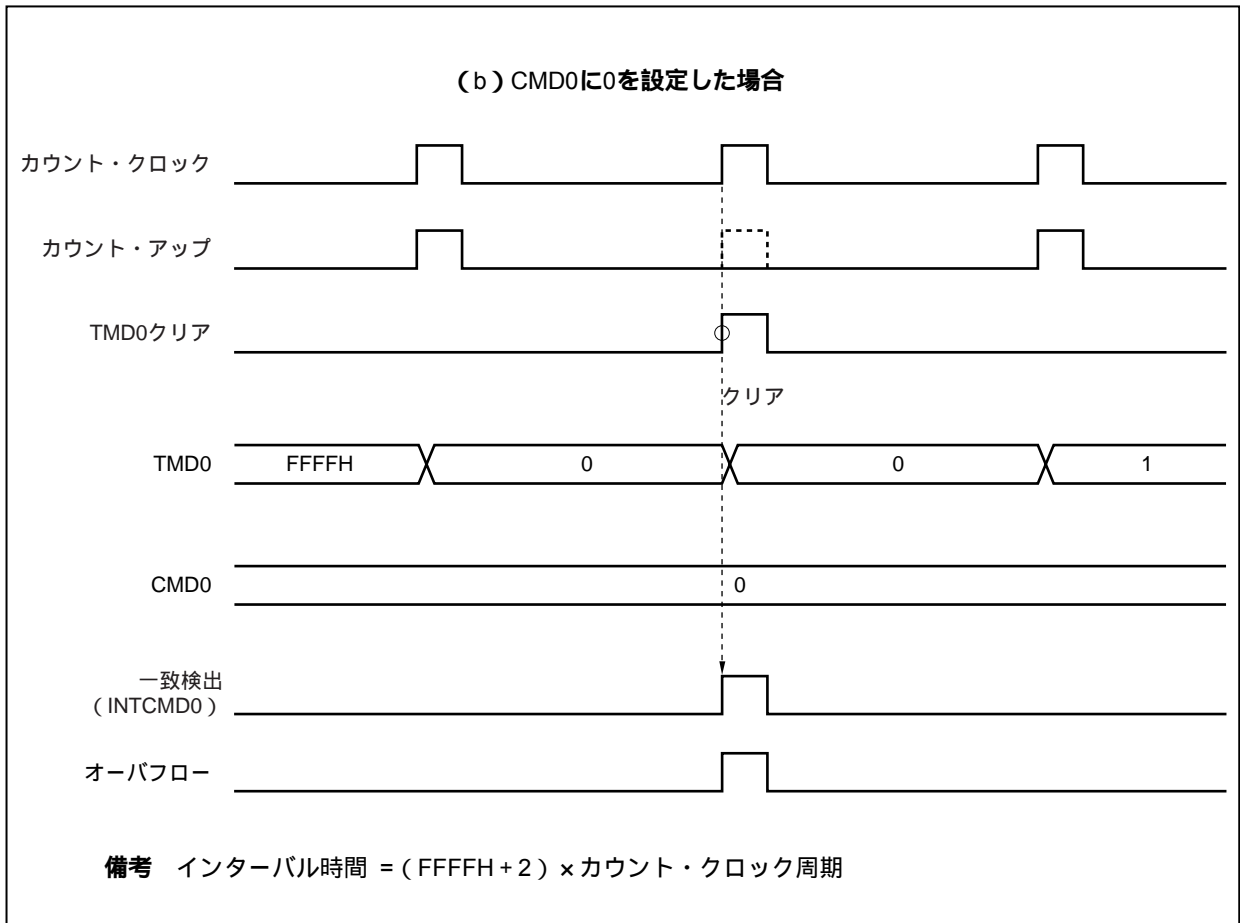


図10 - 14 TMD0コンペア動作例 (2/2)



## 10.2.7 使用例 (タイマD)

### (1) インターバル・タイマ

16ビット精度でインターバル・タイマとして使用する例について説明します。

同一間隔で割り込み要求 (INTCMDn) を出力します (図10 - 14 TMD0コンペア動作例参照)。設定方法を次に示します (n = 0-3)。

TMDCAEnビットをセット (1) します。

各レジスタの設定を行います。

- ・ TMCDnレジスタのCSn0-CSn2ビットでカウント・クロックを選択します。
- ・ CMDnレジスタにコンペア値を設定します。

TMDCEnビットをセット (1) し、カウントをスタートさせます。

TMDnレジスタとCMDnレジスタの値が一致すると、INTCMDn割り込みが発生します。

以後、同一間隔でINTCMDn割り込みが発生します。

**備考** n = 0-3

## 10.2.8 注意事項 (タイマD)

タイマDについての注意事項を次に示します。

(1) TMDnを動作させる場合には、最初にTMDCAEnビットをセット (1) してください。

(2) TMDCEnビットに設定後、設定した値が内部に伝わるまでに最大4内部システム・クロックかかります。カウント動作開始時、0000Hから0001Hのカウント周期は、その後のカウント周期と異なります。

(3) TMDnレジスタの状態を初期化し再度カウントを開始する場合、TMDCEnビットをクリア (0) し、4内部システム・クロックを経過したら、TMDCEnビットをセット (1) してください。

(4) CMDnレジスタに設定した値が内部に伝わるまでに最大4内部システム・クロックかかります。CMDnレジスタに連続して書き込みを行う場合、4内部システム・クロック以上の時間を確保してください。

(5) タイマ/カウンタ動作中のCMDnレジスタの書き換えは、タイマ/カウンタの1周期 (0000HからTMDnレジスタとCMDnレジスタが一致してINTCMDn割り込みが発生するまで) に1回のみ可能です。それをアプリケーションで確保できない場合は、動作中にCMDnレジスタを書き換えしないでください。

(6) タイマ動作中はカウント・クロックを変更できません。書き換えは、TMDCEnビットをクリア (0) したあとに行ってください。動作中に書き換えた場合の動作は保証できません。

(7) TMDnレジスタが動作中、そのカウンタ値以下の値をCMDnレジスタに書き込むと、オーバフローしたあとINTCMDn割り込みが発生します。

**備考** n = 0-3

# 第11章 シリアル・インタフェース機能

## 11.1 特 徴

シリアル・インタフェース機能として、2種類6チャンネルの送受信チャンネルを備え、同時に4チャンネルまで使用できます。

インタフェース形態として次の2種類があります。

- (1) アシクロナス・シリアル・インタフェース (UART0-UART2) : 3チャンネル
- (2) クロック同期式シリアル・インタフェース (CSI0-CSI2) : 3チャンネル

UART0-UART2は、スタート・ビットに続く1バイトのシリアル・データを送受信する方式をとり、全二重通信ができます。

CSI0-CSI2は、シリアル・クロック ( $\overline{SCK0}$ - $\overline{SCK2}$ ) とシリアル入力 (SI0-SI2) , シリアル出力 (SO0-SO2) の3種類の信号によるデータ転送を行います (3線式シリアルI/O)。

### 11.1.1 UARTとCSIのモード切り替え

V850E/MA1では、UART0とCSI0, UART1とCSI1は端子が兼用になっており、同時に使用することはできません。あらかじめPMC4, PFC4レジスタを設定する必要があります (14.3.5 **ポート4**参照)。

また, UART2とCSI2は外部割り込み要求入力端子 ( $\overline{INTP120}$ ,  $\overline{INTP130}$ - $\overline{INTP133}$ ) と兼用になっているため、あらかじめ, PMC3, PFC3レジスタを設定する必要があります (14.3.4 **ポート3**参照)。

UARTnまたはCSIinにおいて、送信あるいは受信動作中にモードの切り替えを行った場合の動作は保証できません。

## 11.2 アシクロナス・シリアル・インタフェース0-2 (UART0-UART2)

### 11.2.1 特 徴

転送速度 300 bps ~ 1562.5 kbps (内部システム・クロック50 MHz, 専用ポー・レート・ジェネレータ使用)

全二重通信 受信バッファ (RXBn) 内蔵

送信バッファ (TXBn) 内蔵

2端子構成 TXDn : 送信データの出力端子

RXDn : 受信データの入力端子

受信エラー検出機能

- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー

割り込みソース : 3種類

- ・受信エラー割り込み (INTSERn) : 3種類の受信エラーの論理和で割り込みを発生
- ・受信完了割り込み (INTSRn) : 受信許可状態において, シリアル転送完了後シフト・レジスタから受信バッファへ受信データを転送すると発生
- ・送信完了割り込み (INTSTn) : シリアル送信を行ってシフト・レジスタから送信データ (8/7ビット) をシリアル送信を終了すると発生

送受信データのキャラクタ長はASIM0-ASIM2レジスタで指定

キャラクタ長 : 7, 8ビット

パリティ機能 : 奇数, 偶数, 0, なし

送信ストップ・ビット : 1, 2ビット

専用ポー・レート・ジェネレータ内蔵

**備考** n = 0-2

## 11.2.2 構成

アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIMn) , アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASISn) , アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ (ASIFn) によって, UARTnを制御します (n = 0-2)。受信データは受信バッファ (RXBn) に保持され, 送信データは送信バッファ (TXBn) に書き込みます。

アシンクロナス・シリアル・インタフェースは, 図11 - 1のように構成されています。

### (1) アシンクロナス・シリアル・インタフェース・モード・レジスタ0-2 (ASIM0-ASIM2)

ASIMnレジスタは, アシンクロナス・シリアル・インタフェースの動作を指定する8ビット・レジスタです。

### (2) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0-2 (ASIS0-ASIS2)

ASISnレジスタは, 受信エラー発生時のエラー内容を示すフラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット (1) され, ASISnレジスタの読み出しによってリセット (0) されません。

### (3) アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ0-2 (ASIF0-ASIF2)

ASIFnレジスタは, 送信時のステータスを示す8ビット・レジスタです。

TXBnのデータ保持状態を示す送信バッファ・データ・フラグと送信中であることを示す送信シフト・レジスタ・データ・フラグから構成されます。

### (4) 受信制御パリティ・チェック

ASIMnレジスタに設定された内容に従って, 受信動作を制御します。また, 受信動作時にパリティ・エラーなどのチェックも行い, エラーが検出された場合は, エラー内容に応じた値をASISnレジスタにセットします。

### (5) 受信シフト・レジスタ

RXDn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分データを受信し, ストップ・ビットを検出すると, 受信データを受信バッファへ転送します。

このレジスタは直接操作することはできません。

### (6) 受信バッファ (RXBn)

RXBnは, 受信データを保持する8ビットのバッファ・レジスタです。7キャラクタの受信では上位ビットには0が格納されます。

受信許可状態中は, 受信データは1フレーム分のシフト・イン処理終了に同期して受信シフト・レジスタから受信バッファに転送されます。

また, 受信バッファへの転送により, 受信完了割り込み要求 (INTSRn) が発生します。

(7) 送信シフト・レジスタ

送信シフト・レジスタは、送信バッファから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

送信バッファから1バイト分のデータが転送されると、シフト・レジスタのデータをTXDn端子から出力します。

1フレームの送出終了時に同期して送信完了割り込み要求 (INTSTn) を発生します。

このレジスタは直接操作することはできません。

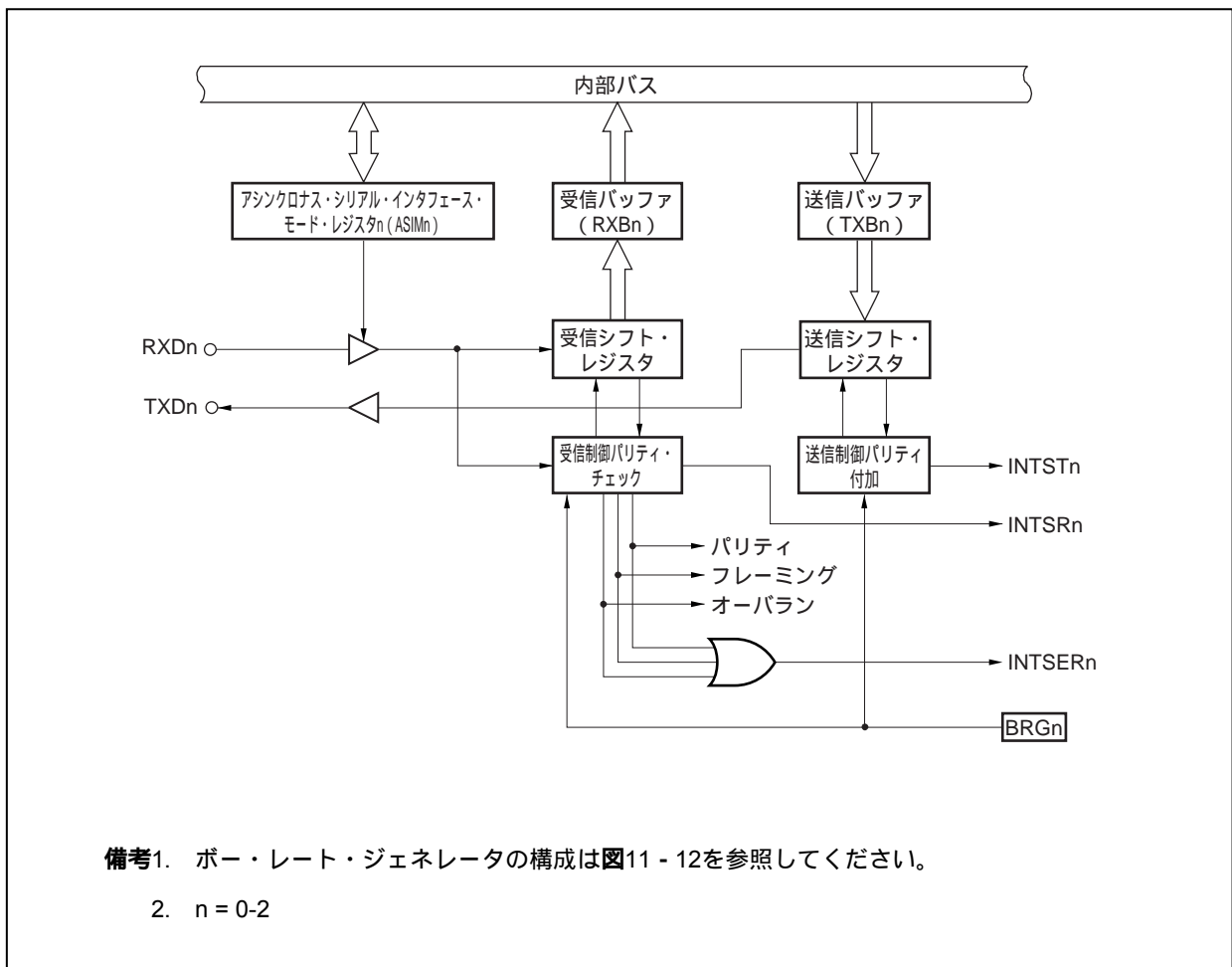
(8) 送信バッファ (TXBn)

TXBnは、8ビットの送信データ用バッファです。TXBnへ送信データを書き込むことにより、送信動作が開始されます。

(9) 送信制御パリティ付加

ASIMnレジスタに設定された内容に従って、TXBnレジスタに書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットを付加するなどして、送信動作の制御を行います。

図11-1 アシクロナス・シリアル・インタフェースのブロック図





### 11.2.3 制御レジスタ

#### (1) アシクロナス・シリアル・インタフェース・モード・レジスタ0-2 (ASIM0-ASIM2)

UART0-UART2の転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

- 注意1. UART<sub>n</sub>を使用する場合には、必ずUART<sub>n</sub>機能に関連する外部端子をコントロール・モードに設定したあと、クロック選択レジスタ<sub>n</sub> (CKSR<sub>n</sub>) とポー・レート・ジェネレータ・コントロール・レジスタ<sub>n</sub> (BRGC<sub>n</sub>) の設定を行ってからUARTCAEnビットをセット(1)してください。そのあとに、ほかのビットの設定を行ってください。
2. RXD<sub>n</sub>端子にハイ・レベルが入力された状態でUARTCAEnビット = 1, RXEnビット = 1と設定してください。ロウ・レベルのときにUARTCAEnビット = 1, RXEnビット = 1と設定すると受信を開始してしまいます。

	⑦	⑥	⑤	4	3	2	1	0	アドレス	初期値
ASIM0	UARTCAE0	TXE0	RXE0	PS01	PS00	CL0	SL0	ISRM0	FFFFFFA00H	01H
ASIM1	UARTCAE1	TXE1	RXE1	PS11	PS10	CL1	SL1	ISRM1	FFFFFFA10H	01H
ASIM2	UARTCAE2	TXE2	RXE2	PS21	PS20	CL2	SL2	ISRM2	FFFFFFA20H	01H

ビット位置	ビット名	意味
7	UARTCAEn (n = 0-2)	<p>Clock Enable</p> <p>動作クロックを制御します (n = 0-2)。</p> <p>0 : UARTnユニットへのクロック供給を停止</p> <p>1 : UARTnユニットへクロックを供給</p> <p><b>注意1.</b> UARTCAEn = 0にすると、UARTnユニットを非同期にリセット<sup>注1</sup>します。</p> <p>2. UARTCAEn = 0の場合は、UARTnユニットはリセット状態なので、UARTnを動作させる場合には、まずUARTCAEn = 1にしてください。</p> <p>3. UARTCAEnビットを1から0にした場合は、UARTnユニットのすべてのレジスタが初期化されます。再度UARTCAEn = 1にする場合には、必ずUARTnユニットのレジスタを再設定してください。</p> <p>TXDn端子の出力は、送信禁止状態の場合、UARTCAEnビットの設定にかかわらずハイ・レベルになります。</p>
6	TXEn (n = 0-2)	<p>Transmit Enable</p> <p>送信許可 / 禁止を指定します。</p> <p>0 : 送信禁止</p> <p>1 : 送信許可</p> <p><b>注意1.</b> 起動時はUARTCAEn = 1にしてから、TXEn = 1としてください。また、逆に停止時はTXEn = 0にしてから、UARTCAEn = 0としてください。</p> <p>2. 送信ユニットの状態を初期化する場合は、TXEnビットをクリア (0) して、基本クロックの2周期分の時間を経過してから、再びTXEnビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては11.2.6 (1) (a) 基本クロック参照)。</p>
5	RXEn (n = 0-2)	<p>Receive Enable</p> <p>受信許可 / 禁止を指定します。</p> <p>0 : 受信禁止<sup>注2</sup></p> <p>1 : 受信許可</p> <p><b>注意1.</b> 起動時はUARTCAEn = 1にしてから、RXEn = 1としてください。また、逆に停止時はRXEn = 0にしてから、UARTCAEn = 0としてください。</p> <p>2. 受信ユニットの状態を初期化する場合は、RXEnビットをクリア (0) して、基本クロックの2周期分の時間を経過してから、再びRXEnビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては11.2.6 (1) (a) 基本クロック参照)。</p>

注1. リセットされるのはASISn, ASIFn, RXBnレジスタです。

2. 受信禁止時は、受信シフト・レジスタはスタート・ビットの検出を行いません。シフト・イン処理、受信バッファへの転送処理は行わず、受信バッファの内容は保持されます。  
受信許可状態中は、スタート・ビットの検出に同期して受信シフト動作を開始し、1フレーム分の受信を終了すると受信シフト・レジスタの内容を受信バッファに転送します。  
また、受信バッファへの転送に同期して、受信完了割り込み (INTSRn) を発生します。

ビット位置	ビット名	意味																				
4, 3	PSn1, PSn0 (n = 0-2)	<p>Parity Select パリティ・ビットを制御します。</p> <table border="1"> <thead> <tr> <th>PSn1</th> <th>PSn0</th> <th>送信動作</th> <th>受信動作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>パリティ・ビットを出 力しない</td> <td>パリティなしで受信</td> </tr> <tr> <td>0</td> <td>1</td> <td>0パリティを出力</td> <td>0パリティとして受信</td> </tr> <tr> <td>1</td> <td>0</td> <td>奇数パリティを出力</td> <td>奇数パリティとして判 定を行う</td> </tr> <tr> <td>1</td> <td>1</td> <td>偶数パリティを出力</td> <td>偶数パリティとして判 定を行う</td> </tr> </tbody> </table> <p>注意1. PSn1, PSn0ビットを書き換えるときは, TXEn, RXEnビットをクリア (0) してから行ってください。</p> <p>2. 受信時に「0パリティ」を選択した場合, パリティ判定を行いません。したがって, ASISnレジスタのPEnビットはセットされないため, エラー割り込みも発生しません。</p> <ul style="list-style-type: none"> <li>・偶数パリティ 送信データ中の“1”の値のビット数が奇数個の場合にパリティ・ビットをセット (1) します。“1”の値のビット数が偶数個の場合はパリティ・ビットをクリア (0) します。これにより, 送信データとパリティ・ビットの中に含まれる“1”の値のビットが偶数個になるように制御します。 受信時には, 受信データとパリティ・ビットに含まれる“1”の値のビット数をカウントし, 奇数個であった場合にパリティ・エラーを発生します。</li> <li>・奇数パリティ 偶数パリティとは逆に, 送信データとパリティ・ビットの中に含まれる“1”の値のビット数が奇数個になるように制御します。 受信時には, 受信データとパリティ・ビットに含まれる“1”の値のビット数をカウントし, 偶数個であった場合にパリティ・エラーを発生します。</li> <li>・0パリティ 送信時には, 送信データによらずパリティ・ビットをクリア (0) します。 受信時には, パリティ・ビットの検査を行わないため, パリティ・エラーを発生しません。</li> <li>・パリティなし 送信データにパリティ・ビットを付加しません。 受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため, パリティ・エラーを発生しません。</li> </ul>	PSn1	PSn0	送信動作	受信動作	0	0	パリティ・ビットを出 力しない	パリティなしで受信	0	1	0パリティを出力	0パリティとして受信	1	0	奇数パリティを出力	奇数パリティとして判 定を行う	1	1	偶数パリティを出力	偶数パリティとして判 定を行う
PSn1	PSn0	送信動作	受信動作																			
0	0	パリティ・ビットを出 力しない	パリティなしで受信																			
0	1	0パリティを出力	0パリティとして受信																			
1	0	奇数パリティを出力	奇数パリティとして判 定を行う																			
1	1	偶数パリティを出力	偶数パリティとして判 定を行う																			

ビット位置	ビット名	意 味
2	CLn (n = 0-2)	<p>Character Length</p> <p>送受信データ1フレームのキャラクタ長を指定します。</p> <p>0 : 7ビット 1 : 8ビット</p> <p><b>注意</b> CLnビットを書き換えるときは、TXEn, RXEnビットをクリア(0)してから行ってください。</p>
1	SLn (n = 0-2)	<p>Stop Bit Length</p> <p>送信データのストップ・ビット長を指定します。</p> <p>0 : 1ビット 1 : 2ビット</p> <p><b>注意1.</b> SLnビットを書き換えるときは、TXEnビットをクリア(0)してから行ってください。</p> <p><b>2.</b> 受信は常に「ストップ・ビット長 = 1」として動作するため、SLnビットの設定は受信動作に影響を与えません。</p>
0	ISRMn (n = 0-2)	<p>Interrupt Serial Receive Mode</p> <p>エラー発生時の受信完了割り込み要求発生許可 / 禁止を指定します。</p> <p>0 : エラー発生時の割り込みとして、受信エラー割り込み要求 (INTSERn) を発生する。 この場合、受信完了割り込み要求 (INTSRn) は発生しません。</p> <p>1 : エラー発生時の割り込みとして、受信完了割り込み要求 (INTSRn) を発生する。 この場合、受信エラー割り込み要求 (INTSERn) は発生しません。</p> <p><b>注意</b> ISRMnビットを書き換えるときは、RXEnビットをクリア(0)してから行ってください。</p>

**(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0-2 (ASIS0-ASIS2)**

UARTnの受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ (PE<sub>n</sub>, FE<sub>n</sub>, OVE<sub>n</sub>) で構成されています (n = 0-2)。

ASIS<sub>n</sub>レジスタは、読み出しにより00Hにクリアされます。受信エラーが発生した場合は、ASIS<sub>n</sub>レジスタを読み出したあと、受信バッファ (RXB<sub>n</sub>) を読み出し、エラー・フラグをクリアしてください。

8ビット単位でリードだけ可能です。

- 注意1.** ASIM<sub>n</sub>レジスタのUARTCA<sub>n</sub>ビット, RXE<sub>n</sub>ビットを0に設定したとき, またはASIS<sub>n</sub>レジスタを読み出したとき, ASIS<sub>n</sub>レジスタのPE<sub>n</sub>ビット, FE<sub>n</sub>ビット, OVE<sub>n</sub>ビットはクリア (0) されます。
- 2.** ビット操作命令による操作は禁止です。

	7	6	5	4	3	2	1	0	アドレス	初期値
ASIS0	0	0	0	0	0	PE0	FE0	OVE0	FFFFFFA03H	00H
ASIS1	0	0	0	0	0	PE1	FE1	OVE1	FFFFFFA13H	00H
ASIS2	0	0	0	0	0	PE2	FE2	OVE2	FFFFFFA23H	00H

ビット位置	ビット名	意味
2	PEn (n = 0-2)	<p>Parity Error パリティ・エラーを示すステータス・フラグです。</p> <p>0: ASIMnレジスタのUARTCAEnビット = 0およびRXEnビット = 0に設定したとき、または、ASISnレジスタをリードしたあと</p> <p>1: 受信完了時、受信データのパリティとパリティ・ビットが一致しないとき</p> <p><b>注意</b> PEnビットの動作は、ASIMnレジスタのPSn1、PSn0ビットの設定値により異なります。</p>
1	FEn (n = 0-2)	<p>Framing Error フレーミング・エラーを示すステータス・フラグです。</p> <p>0: ASIMnレジスタのUARTCAEnビット = 0およびRXEnビット = 0に設定したとき、または、ASISnレジスタをリードしたあと</p> <p>1: 受信完了時、ストップ・ビットが検出されないとき</p> <p><b>注意</b> 受信データのストップ・ビットは、ストップ・ビット長に関係なく最初の1ビットだけをチェックします。</p>
0	OVEn (n = 0-2)	<p>Overrun Error オーバラン・エラーを示すステータス・フラグです。</p> <p>0: ASIMnレジスタのUARTCAEnビット = 0およびRXEnビット = 0に設定したとき、または、ASISnレジスタをリードしたあと</p> <p>1: RXBnの受信データを読み出す前にUARTnが次の受信動作を完了したとき</p> <p><b>注意</b> オーバラン・エラーが発生した場合、次の受信データはRXBnレジスタに書き込まれず、データは破棄されます。</p>

(3) アシクロナス・シリアル・インタフェース送信ステータス・レジスタ0-2 (ASIF0-ASIF2)

送信時のステータスを示すレジスタです。2ビットのステータス・フラグで構成されています。

TXBnレジスタから送信シフト・レジスタヘータが転送されたあとに、次のデータをTXBnレジスタに書き込むことで、割り込み期間中も途切れることなく送信を続けることができます。連続して送信を行う場合には、TXBnレジスタへの誤った書き込みを防止するために、ASIFnレジスタのTXBFnビットを参照してから書き込みを行ってください。

8/1ビット単位でリードだけ可能です。

備考 n = 0-2

	7	6	5	4	3	2	①	②	アドレス	初期値
ASIF0	0	0	0	0	0	0	TXBF0	TXSF0	FFFFFA05H	00H
ASIF1	0	0	0	0	0	0	TXBF1	TXSF1	FFFFFA15H	00H
ASIF2	0	0	0	0	0	0	TXBF2	TXSF2	FFFFFA25H	00H

ビット位置	ビット名	意味
1	TXBFn (n = 0-2)	Transmit Buffer Flag 送信バッファ・データ・フラグです。 0: TXBnレジスタに次に転送すべきデータが存在しない (ASIMnレジスタのUARTCAEnビット = 0またはTXEnビット = 0に設定したとき、または送信シフト・レジスタにデータを転送したとき) 1: TXBnレジスタに次に転送すべきデータが存在する (TXBnレジスタにデータを書き込んだとき)  <b>注意</b> 連続送信を行う場合は、必ずこのフラグが“0”であることを確認してからTXBnレジスタに書き込んでください。このフラグが“1”のときにTXBnレジスタにデータを書き込んだ場合の送信データは保証できません。
0	TXSFn (n = 0-2)	Transmit Sift Flag 送信シフト・レジスタ・データ・フラグです。UARTnの送信状態を示します。 0: 初期状態または送信待ち (ASIMnレジスタのUARTCAEnビット = 0またはTXEnビット = 0に設定したとき、または転送完了後にTXBnレジスタから次のデータ転送がなかったとき) 1: 送信中 (TXBnレジスタからデータ転送されたとき)  <b>注意</b> 送信ユニットを初期化する場合は、送信完了割り込み(INTSTn)発生後に、必ずこのフラグが“0”であることを確認してから初期化を実行してください。このフラグが“1”のときに初期化を実行した場合の送信データは保証できません。

(4) 受信バッファ・レジスタ0-2 (RXB0-RXB2)

受信シフト・レジスタで変換したパラレル・データを格納するための8ビット・バッファ・レジスタです。

受信許可状態のとき (ASIMnレジスタのRXEn = 1) , 受信データは1フレーム分のシフト・イン処理終了時に同期して, 受信シフト・レジスタから受信バッファに転送されます。また, 受信バッファへの転送により, 受信完了割り込み要求 (INTSRn) が発生します。発生するタイミングについては11. 2. 5 (4) **受信動作**を参照してください。

受信禁止状態のとき (ASIMnレジスタのRXEn = 0) , 1フレーム分のシフト・イン処理が終了しても受信バッファへの転送は処理されず, 受信バッファの内容は保持されます。また, INTSRn信号も発生しません。

データ長を7ビットに指定した場合, 受信データはRXBnレジスタのビット6-0に転送され, MSB (ビット7) は必ず0になります。また, オーバラン・エラー (ASISnレジスタのOVEnビット= 1) が発生した場合, そのときの受信データはRXBnレジスタに転送されません。

リセット入力以外に, ASIMnレジスタのUARTCAEn = 0によってもRXBnレジスタはFFHになります。8ビット単位でリードだけ可能です。

**備考** n = 0-2

	7	6	5	4	3	2	1	0	アドレス	初期値
RXB0	RXB07	RXB06	RXB05	RXB04	RXB03	RXB02	RXB01	RXB00	FFFFFFA02H	FFH
RXB1	RXB17	RXB16	RXB15	RXB14	RXB13	RXB12	RXB11	RXB10	FFFFFFA12H	FFH
RXB2	RXB27	RXB26	RXB25	RXB24	RXB23	RXB22	RXB21	RXB20	FFFFFFA22H	FFH

ビット位置	ビット名	意味
7-0	RXBn7- RXBn0 (n = 0-2)	Receive Buffer 受信データを格納しています。 RXBn7は7ビット/キャラクタの受信で0が読めます。



(5) 送信バッファ・レジスタ0-2 (TXB0-TXB2)

送信データを設定するための8ビット・バッファ・レジスタです。

送信許可状態のとき (ASIMnレジスタのTXEn = 1) , TXBnにデータを書き込むことで送信動作が開始されます。

送信禁止状態のとき (ASIMnレジスタのTXEn = 0) , TXBnにデータを書き込んでも値は無視されます。

TXBnのデータが送信シフト・レジスタに転送され、送信シフト・レジスタから1フレーム分の送出終了に同期して送信完了割り込み要求 (INTSTn) を発生します。発生するタイミングについては11.2.5 (2) 送信動作を参照してください。

ASIFnレジスタのTXBFn = 1のときは、TXBnへの書き込みは行わないでください。

8ビット単位でリード/ライト可能です。

備考 n = 0-2

	7	6	5	4	3	2	1	0	アドレス	初期値
TXB0	TXB07	TXB06	TXB05	TXB04	TXB03	TXB02	TXB01	TXB00	FFFFFFA04H	FFH
TXB1	TXB17	TXB16	TXB15	TXB14	TXB13	TXB12	TXB11	TXB10	FFFFFFA14H	FFH
TXB2	TXB27	TXB26	TXB25	TXB24	TXB23	TXB22	TXB21	TXB20	FFFFFFA24H	FFH

ビット位置	ビット名	意味
7-0	TXBn7- TXBn0 (n = 0-2)	Transmit Buffer 送信データを書き込みます。

## 11.2.4 割り込み要求

UARTnからは次の3種類の割り込み要求を発生します (n = 0-2)。

- ・受信エラー割り込み (INTSERn)
- ・受信完了割り込み (INTSRn)
- ・送信完了割り込み (INTSTn)

これら3種類の割り込み要求のデフォルト優先順位は受信エラー割り込みが最も高く、受信完了割り込み、送信完了割り込みの順に低くなります。

表11-1 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信エラー	1
受信完了	2
送信完了	3

### (1) 受信エラー割り込み (INTSERn)

受信許可状態中で、ASISnレジスタで説明した3種類の受信エラーの論理和 (OR) で受信エラー割り込みを発生します。ASIMnレジスタのISRMnビットにより、エラー発生時にINTSERn信号を発生させるか、INTSRn信号を発生させるかを指定できます。

受信禁止状態中は、INTSERn信号は発生しません。

### (2) 受信完了割り込み (INTSRn)

受信許可状態中で、受信シフト・レジスタにデータがシフト・インされ受信バッファに転送されるとINTSRn信号が発生します。

INTSRn信号は、ASIMnレジスタのISRMnビットにより、受信エラーが起こった場合にも、受信エラー割り込み (INTSERn) の代わりとして発生することができます。

受信禁止状態中は、INTSRn信号は発生しません。

### (3) 送信完了割り込み (INTSTn)

送信シフト・レジスタから7ビット/8ビットのキャラクタを含む1フレーム分の送信データがシフト・アウトされるとINTSTn信号を発生します。

## 11.2.5 動作

### (1) データ・フォーマット

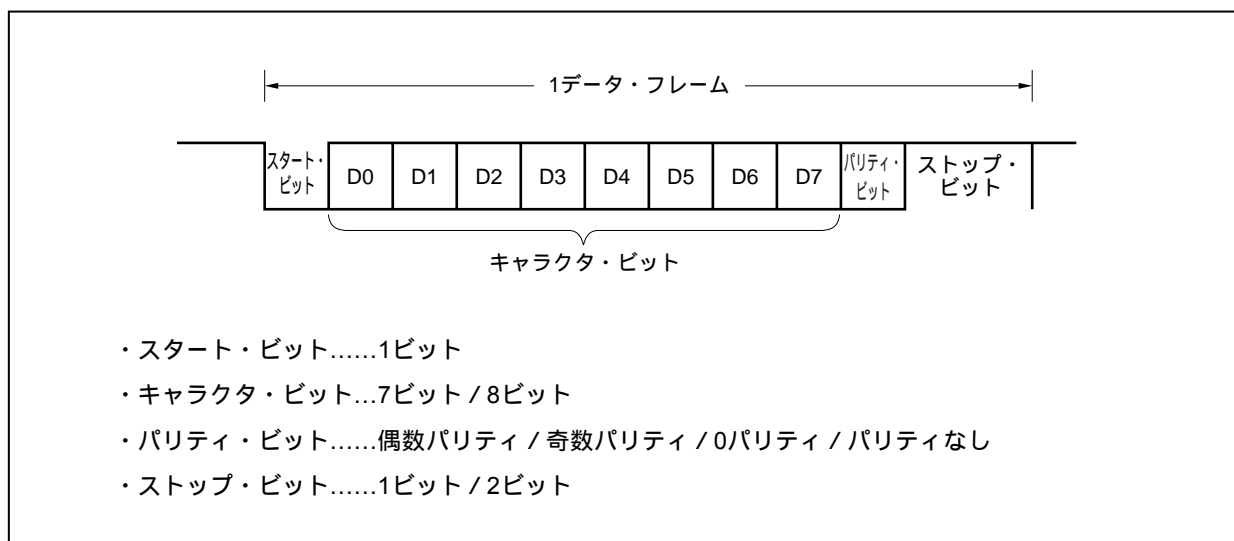
全二重シリアル・データの送受信を行います。

送受信データのフォーマットは図11-2に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシンクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn) によって行います (n = 0-2)。

また、データはLSBファーストで転送します。

図11-2 アシンクロナス・シリアル・インタフェースの送受信データのフォーマット



## (2) 送信動作

ASIMnレジスタのUARTCAEn = 1にすることにより、TXDn端子はハイ・レベルを出力します。

次にASIMnレジスタのTXEn = 1にすると送信許可状態になり、送信バッファ・レジスタn (TXBn) に送信データを書き込むと送信動作が起動します (n = 0-2)。

### (a) 送信許可状態

ASIMnレジスタのTXEnビットで設定します (n = 0-2)。

- ・ TXEn = 1 : 送信許可状態
- ・ TXEn = 0 : 送信禁止状態

ただし、クロック同期式シリアル・インタフェース0, 1 (CSI0, CSI1) と兼用となっているUART0, UART1を使用するときは、クロック同期式シリアル・インタフェース・モード・レジスタ0, 1 (CSIM0, CSIM1) のCSICAEnビットを0に設定したあと、送信許可状態にしてください。

なお、UARTnにはCTS (送信許可信号) 入力端子がないので、相手側が受信許可状態かを確認するときはポートを使用してください。

### (b) 送信動作の起動

送信許可状態では、送信バッファ・レジスタn (TXBn) に送信データを書き込むと送信動作が起動します。送信動作の開始により、TXBn内のデータが送信シフト・レジスタnに転送されます。そのあと、送信シフト・レジスタはTXDn端子にデータを出力します (スタート・ビットから順に送信されます)。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます (n = 0-2)。

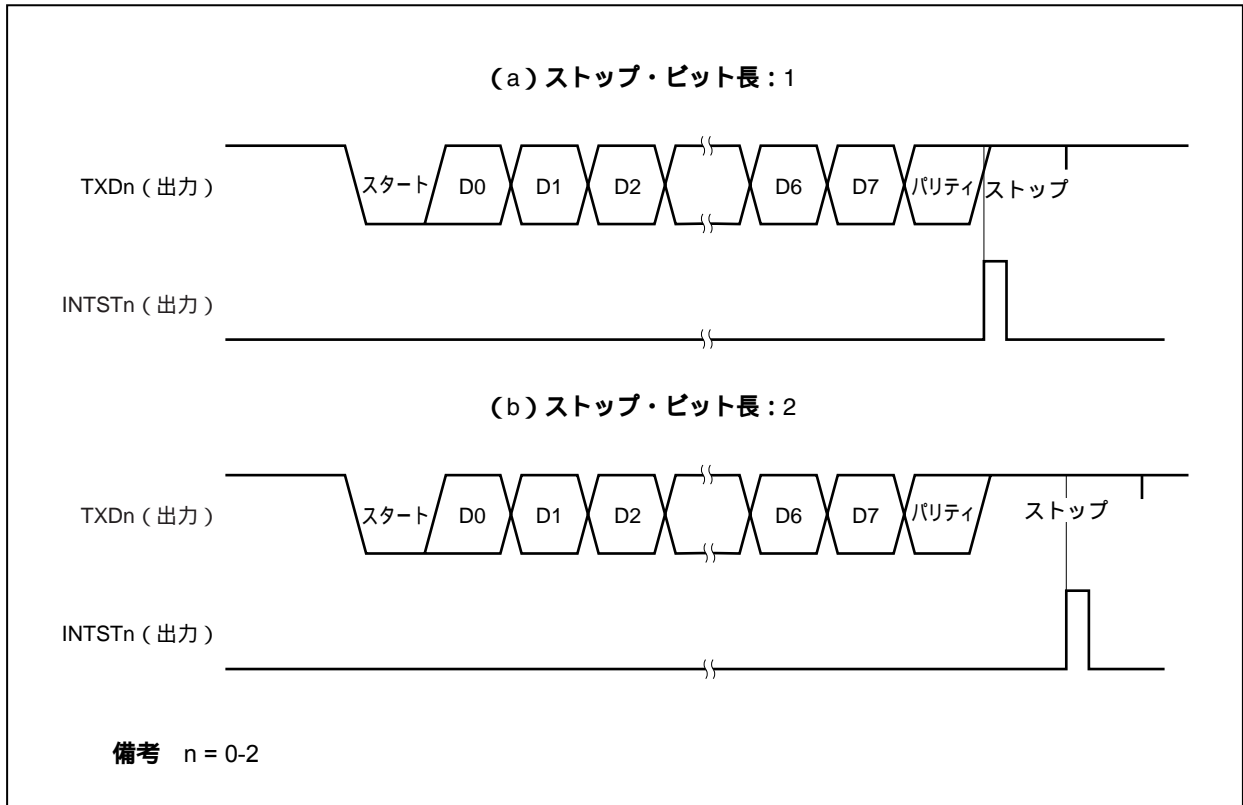
### (c) 送信割り込み要求

送信シフト・レジスタが空になると送信完了割り込み要求 (INTSTn) が発生します。ストップ・ビット長の指定により、INTSTn信号の発生タイミングが異なります。INTSTn信号は、最後のストップ・ビット出力と同時に発生します (n = 0-2)。

次に送信するデータをTXBnレジスタに書き込まなければ、送信動作は中断されます。

**注意** 通常、送信シフト・レジスタnが空になったときに送信完了割り込み (INTSTn) が発生します。しかし、 $\overline{\text{RESET}}$ 入力により送信シフト・レジスタnが空になった場合、送信完了割り込み (INTSTn) は発生しません。

図11-3 アシクロナス・シリアル・インタフェース送信完了割り込みタイミング



(3) 連続送信動作

送信シフト・レジスタがシフト動作を開始した時点で、次の送信データをTXBnレジスタへ書き込むことができます。これにより、1データ・フレーム送信後の送信完了割り込み（INTSTn）処理時でも連続送信することができ、効率的な通信レートを実現できます（n = 0-2）。また、INTSTn信号発生後にASIFnレジスタのTXSFnビットを読み出すことにより、1データ・フレームの送信時間を待つことなく効率的に2回（2バイト）のTXBnレジスタへの書き込みができます。

連続送信する場合は、必ずASIFnレジスタを参照し、送信状態とTXBnレジスタへの書き込み可否を確認してから、データの書き込みを行ってください（n = 0-2）。

**注意** 連続送信でASIFnレジスタのTXBFn, TXSFnビットは、「10」「11」「01」と変化します。そのため、ステータスを確認する場合は、TXBFn, TXSFnビットの組み合わせで判断しないでください。  
連続送信を行う場合はTXBFnビットのみで判断してください。

TXBFn	TXBnレジスタへの書き込み可否
0	書き込み可
1	書き込み不可

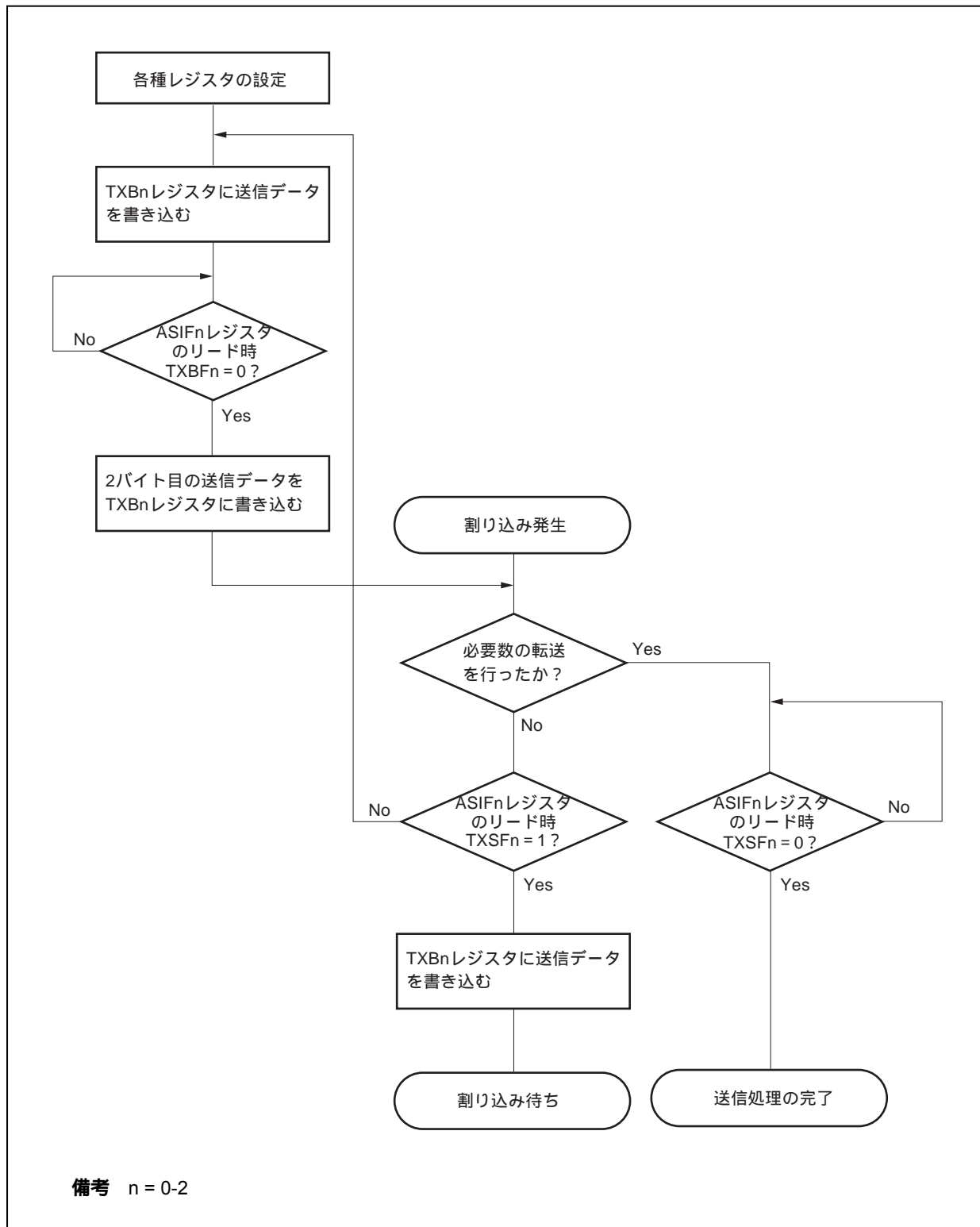
**注意** 連続送信を行う場合は、最初の送信データ（1バイト目）をTXBnレジスタに書き込んだあと、必ずTXBFnビットが“0”であることを確認してから次の送信データ（2バイト目）をTXBnレジスタに書き込んでください。TXBFnビットが“1”のときにTXBnレジスタにデータを書き込んだ場合の送信データは保証できません。

TXSFnビットで、通信状態を確認することができます。

TXSFn	送信状態
0	送信が終了しています。
1	送信中です。

- 注意** 1. 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSFnビットが“0”であることを確認してから初期化を実行してください。TXSFnビットが“1”のときに初期化を実行した場合の送信データは保証できません。
2. 連続送信時には、1データ・フレーム送信後のINTSTn割り込み処理を実行する前に次の送信が完了してしまうオーバーラン・エラーが発生する可能性があります。オーバーラン・エラーは送信データ数をカウントできるプログラムを組み込むこととTXSFnビットを参照することで検出できます。

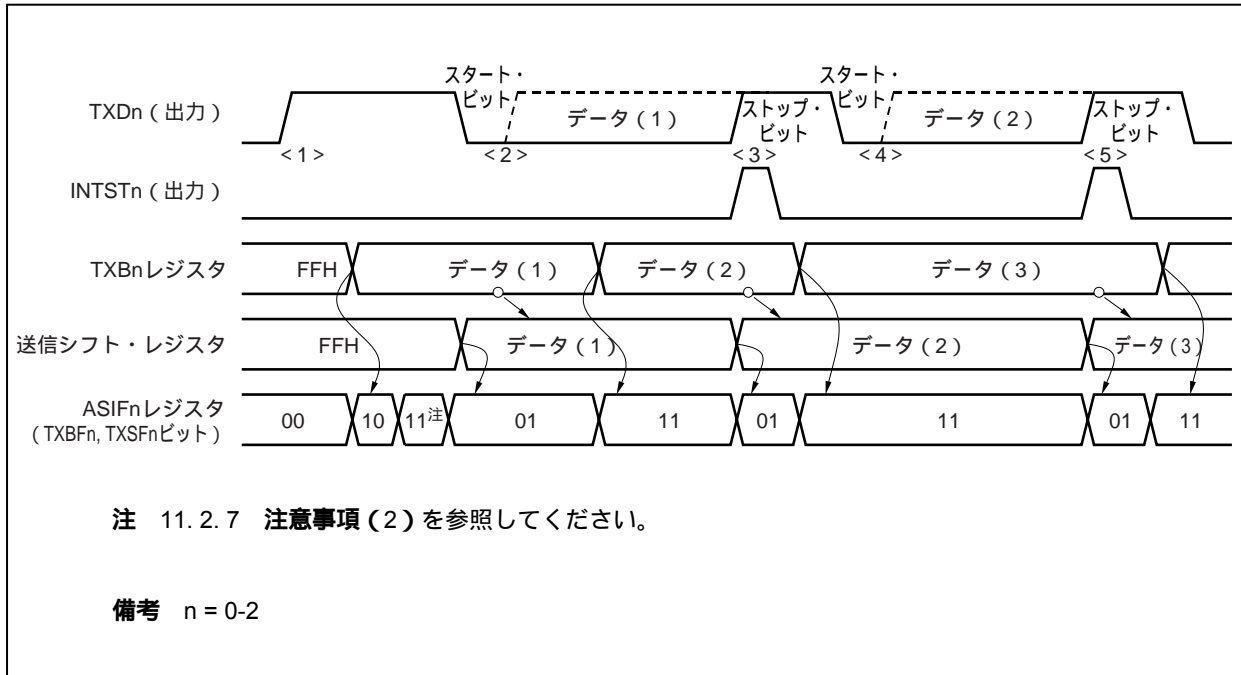
図11-4 連続送信の処理フロー



(a) 開始手順

連続送信を開始する手順を次に示します。

図11-5 連続送信の開始手順



送信開始手順	内部動作	ASIFnレジスタ	
		TXBFn	TXSFn
送信モード設定	<1> 送信ユニットの起動	0	0
データ(1)の書き込み	<2> スタート・ビットの生成	1	1注
	データ(1)送信スタート	0	1
ASIFnレジスタのリード (TXBFnビット = 0を確認する)		0	1
データ(2)の書き込み	<<送信中>>	1	1
	<3> INTSTn割り込み発生	0	1
ASIFnレジスタのリード (TXBFnビット = 0を確認する)		0	1
データ(3)の書き込み	<4> スタート・ビットの生成 データ(2)送信スタート <<送信中>>	1	1
	<5> INTSTn割り込み発生	0	1
ASIFnレジスタのリード (TXBFnビット = 0を確認する)		0	1
データ(4)の書き込み		1	1

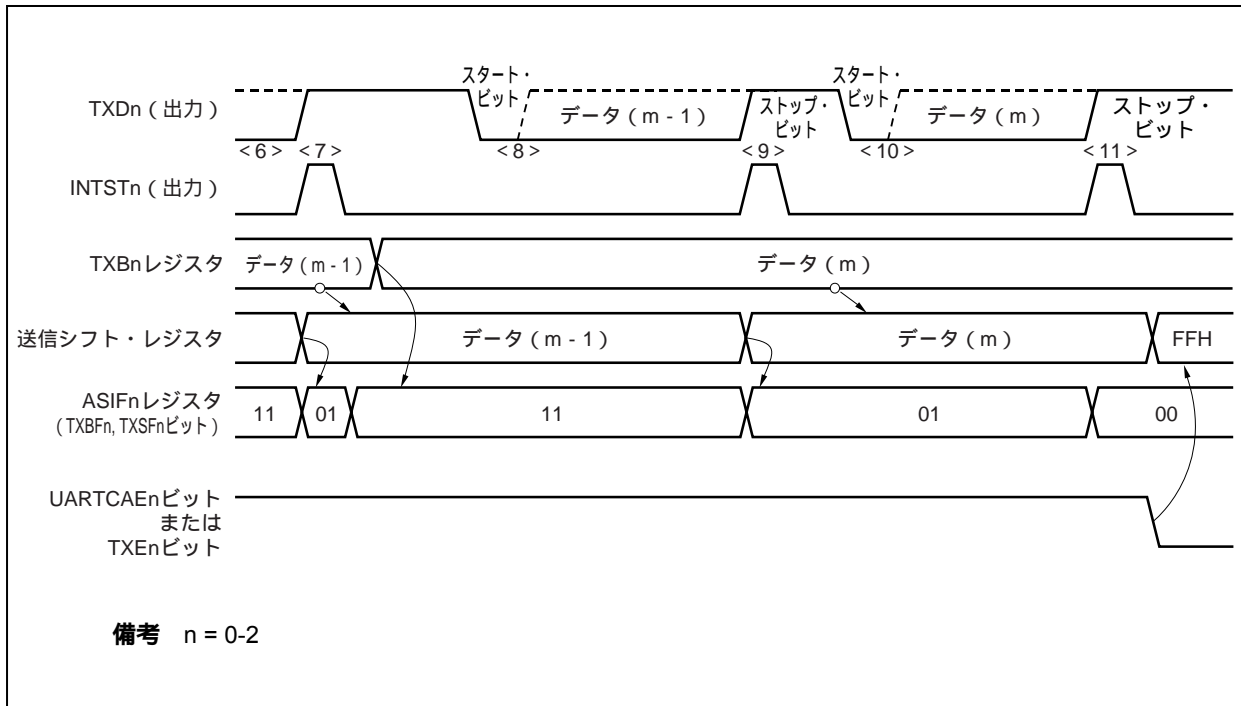
注 11.2.7 注意事項(2)を参照してください。



(b) 終了手順

連続送信を終了する手順を次に示します。

図11-6 連続送信の終了手順



送信終了手順	内部動作	ASIFnレジスタ	
		TXBFn	TXSFn
ASIFnレジスタのリード (TXBFnビット = 0を確認する) ←	<6> データ (m - 2) の送信中	1	1
	<7> INTST割り込み発生 →	0	1
データ (n) の書き込み →		<u>0</u>	1
ASIFnレジスタのリード (TXSFnビット = 1を確認する) ←	<8> スタート・ビットの生成 データ (m - 1) 送信スタート <<送信中>>	1	1
	<9> INTSTn割り込み発生 →	0	1
書き込みデータはなし		0	<u>1</u>
ASIFnレジスタのリード (TXSFnビット = 0を確認する) ←	<10> スタート・ビットの生成 データ (m) 送信スタート <<送信中>>		
	<11> INTSTn割り込み発生 →	0	0
UARTCAEnビットまたはTXEnビットをクリア (0)	内部回路の初期化	0	<u>0</u>

**(4) 受信動作**

ASIMnレジスタのUARTCAEn = 1にし、次にASIMnレジスタのRXEn = 1にすることにより、受信待ち状態になります。受信動作を開始するには、まず、RXDn端子の立ち下がりを検出すると立ち下がりエッジでサンプリングを開始します。スタート・ビットのサンプリング・ポイントでRXDn端子がロウ・レベルであれば、スタート・ビットと認識します。受信動作を開始すると、設定されたボー・レートにあわせて、シリアル・データを順に受信シフト・レジスタに格納していきます。1フレームのデータ受信が終了するごとに受信完了割り込み (INTSRn) が発生します。通常、この割り込み処理で受信バッファ (RXBn) からメモリに受信データを転送します (n = 0-2)。

**(a) 受信許可状態**

受信動作はASIMnレジスタのRXEnビットをセット (1) することにより、受信許可状態となります (n = 0-2)。

- ・ RXEn = 1 : 受信許可状態
- ・ RXEn = 0 : 受信禁止状態

ただし、クロック同期式シリアル・インタフェース0, 1 (CSI0, CSI1) と兼用となっているUART0, UART1を使用するときは、クロック同期式シリアル・インタフェース・モード・レジスタ0, 1 (CSIM0, CSIM1) のCSICAEnビットを0に設定し、CSInの動作を禁止したあと、受信許可状態にしてください (n = 0-2)。

なお、受信禁止状態では受信ハードウェアは初期状態で待機します。このとき、受信完了割り込み / 受信エラー割り込みは発生せず、受信バッファの内容は保持されます。

**(b) 受信動作の起動**

受信動作はスタート・ビットの検出により起動されます。

ボー・レート・ジェネレータn (BRGn) からのシリアル・クロックでRXDn端子をサンプリングします (n = 0-2)。

**(c) 受信完了割り込み要求**

ASIMnレジスタのRXEn = 1のとき、1フレーム分のデータの受信が完了 (ストップ・ビットの検出) すると、受信完了割り込み要求 (INTSRn) が発生すると同時に、受信シフト・レジスタ内の受信データをRXBnに転送します (n = 0-2)。

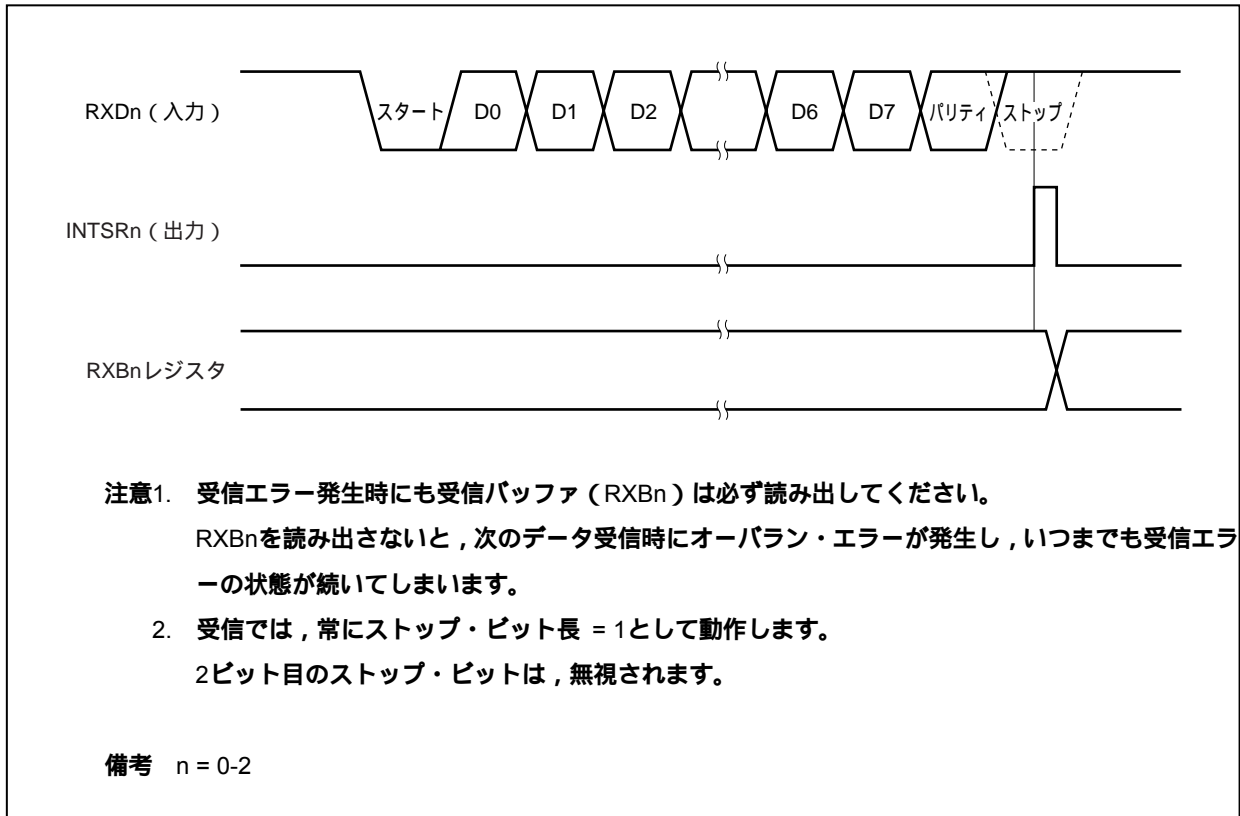
また、オーバラン・エラー (ASISnレジスタのOVEnビット = 1) が発生した場合、そのときの受信データは、受信バッファ (RXBn) に転送されず、ASIMnレジスタのISRMnビットの設定に従って、INTSRn信号、または受信エラー割り込み (INTSERn) が発生します。

なお、受信動作中にパリティ・エラー (ASISnレジスタのPEnビット = 1)、またはフレーミング・エラー (ASISnレジスタのFEnビット = 1) が発生した場合は、ストップ・ビットの受信位置までは受信動作を継続し、受信完了後にASIMnレジスタのISRMnビットの設定に従って、INTSRn信号、またはINTSERn信号が発生します (受信シフト・レジスタ内の受信データはRXBnに転送されます)。

また、受信動作中にRXEnビットをクリア (0) すると、すぐに受信動作を停止します。このとき受信バッファ (RXBn) とアシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASISn) の内容は変化せず、INTSRn信号、またはINTSERn信号は発生しません。

RXEn = 0 (受信禁止) では、INTSRn信号またはINTSERn信号は発生しません。

図11 - 7 アシクロナス・シリアル・インタフェース受信完了割り込みタイミング



(5) 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果、ASISnレジスタの各フラグがセット (1) されると同時に、受信エラー割り込み要求 (INTSERn)、または受信完了割り込み要求 (INTSRn) が発生します。INTSERn信号またはINTSRn信号のどちらかを発生させるかは、ASIMnレジスタのISRMnビットで指定します。

INTSERn/INTSRn割り込み処理内で、ASISnレジスタの内容を読み出すことによって、受信時に発生したエラーの内容を検出することができます。

ASISnレジスタの内容は、ASISnレジスタの読み出しによってクリア (0) されます。

表11 - 2 受信エラーの要因

エラー・フラグ	受信エラー	要 因
PEn	パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
FEn	フレーミング・エラー	ストップ・ビットが検出されない
OVEN	オーバラン・エラー	受信バッファからデータを読み出す前に次のデータ受信が完了

**備考** n = 0-2

(a) 受信エラー割り込みの分離

ASIMnレジスタのISRMnビットをクリア(0)することにより、受信エラー割り込みをINTSRn割り込みと分離し、INTSERn割り込みとして発生させることができます(n = 0-2)。

図11 - 8 受信エラー割り込みを受信完了割り込みから分離する場合 (ISRMnビット = 0)

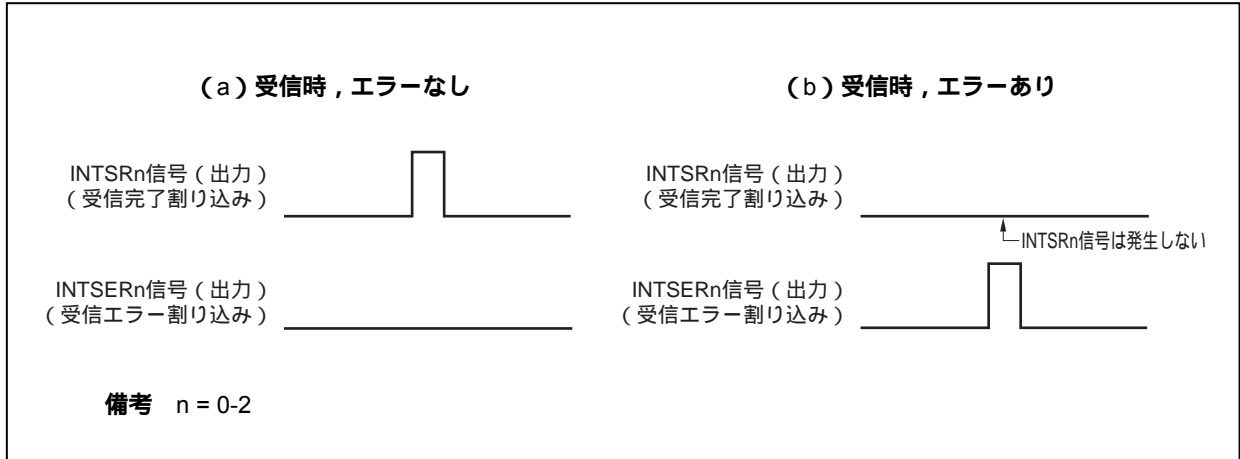
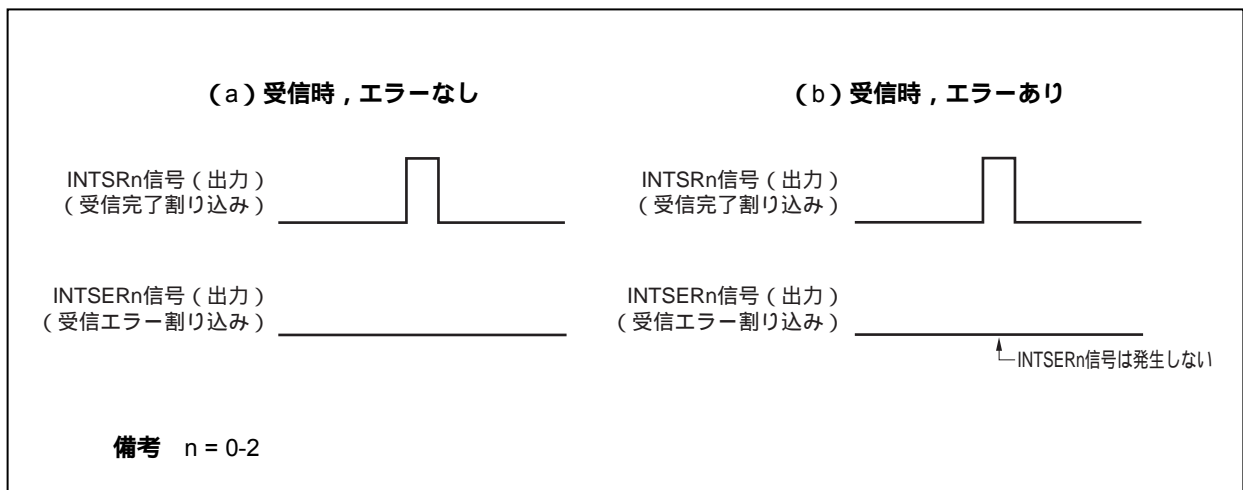


図11 - 9 受信エラー割り込みも受信完了割り込みに含める場合 (ISRMnビット = 1)



## (6) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。

### (a) 偶数パリティ

#### (i) 送信時

パリティ・ビットを含めた送信データ中の“1”の値のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に“1”の値のビット数が奇数個：1
- ・送信データ中に“1”の値のビット数が偶数個：0

#### (ii) 受信時

パリティ・ビットを含めた受信データ中の“1”の値のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

### (b) 奇数パリティ

#### (i) 送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の“1”の値のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に“1”の値のビット数が奇数個：0
- ・送信データ中に“1”の値のビット数が偶数個：1

#### (ii) 受信時

パリティ・ビットを含めた受信データ中の“1”の値のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

### (c) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

### (d) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(7) 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロック ( $f_{UCLK}$ ) の立ち上がりでRXDn信号をサンプリングします。サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。したがって、1クロック幅以下のデータはノイズとして判断され、内部回路には伝わりません(図11-11参照)。基本クロックについては11.2.6(1)(a)基本クロックを参照してください。

また、回路は図11-10のようになっているため、受信動作の内部での処理は、外部の信号状態により最大2クロック分遅れて動作することになります。

図11-10 ノイズ・フィルタ回路

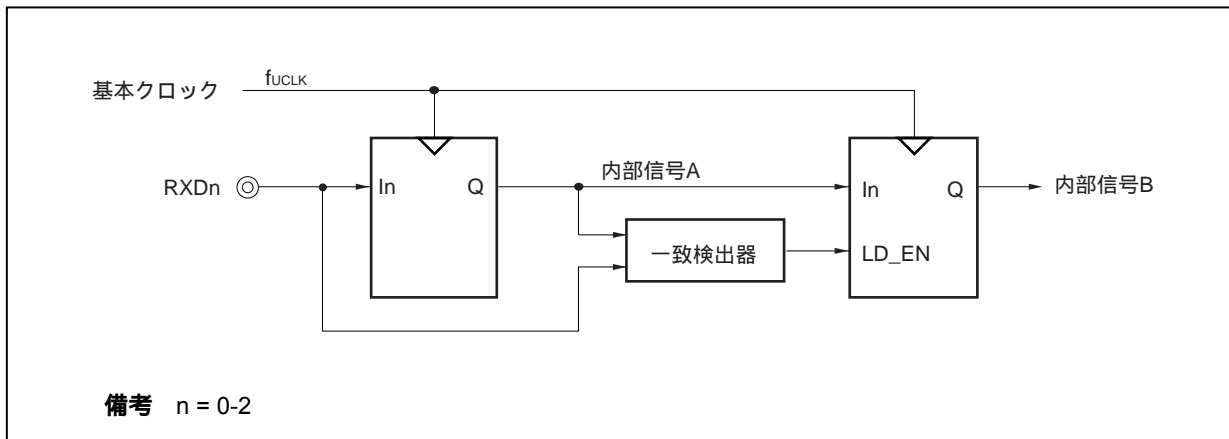
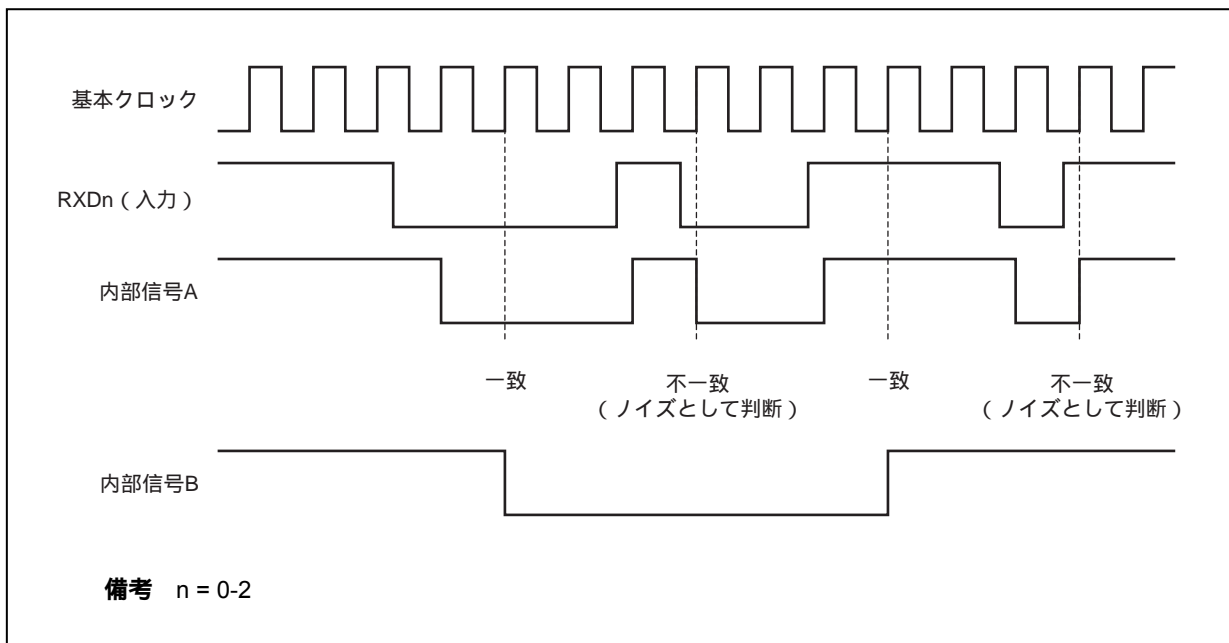


図11-11 ノイズとして判断されるRXDn信号のタイミング



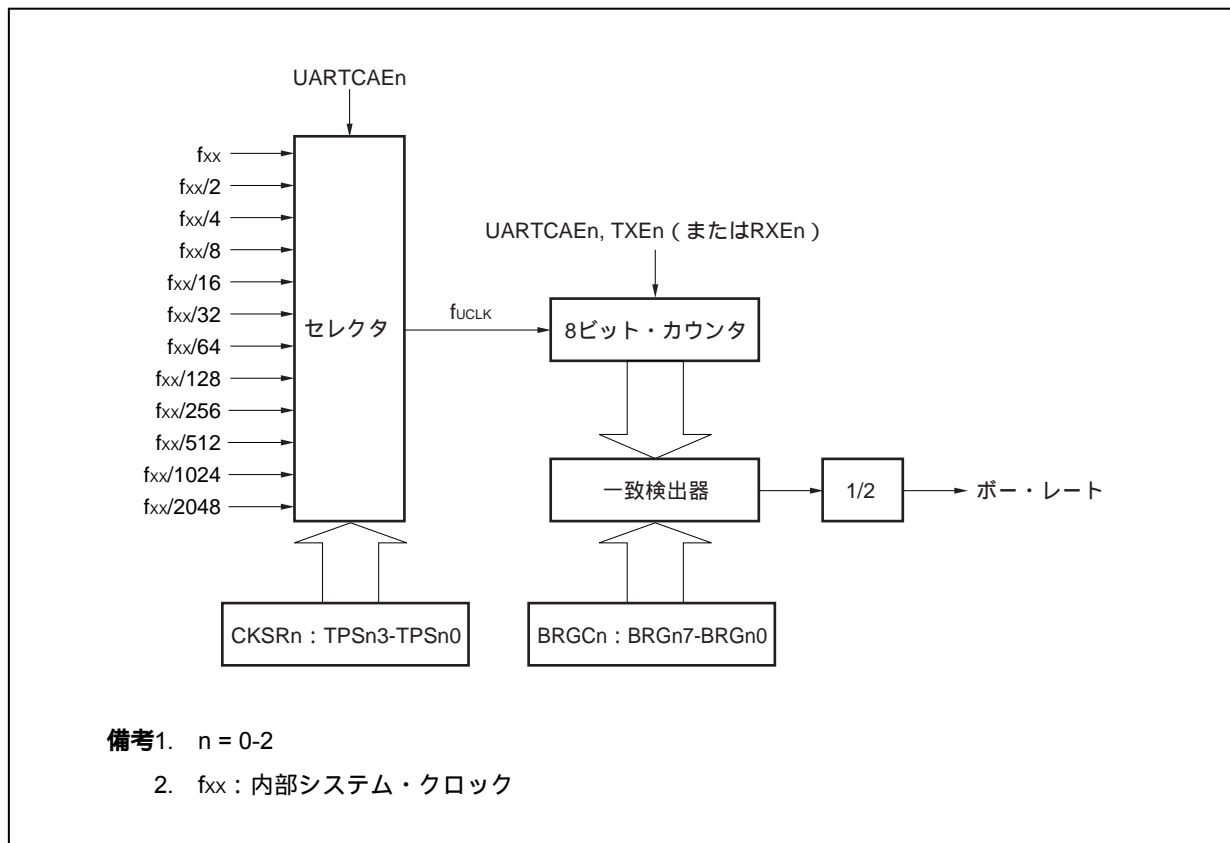
### 11.2.6 専用ボー・レート・ジェネレータ0-2 (BRG0-BRG2)

専用ボー・レート・ジェネレータは、ソース・クロック・セレクタ部と8ビットのプログラマブル・カウンタにより構成され、UARTnにおける送受信時のシリアル・クロックを生成します。シリアル・クロックは、チャンネルごとに専用ボー・レート・ジェネレータ出力を選択できます。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

#### (1) ボー・レート・ジェネレータの構成

図11-12 ボー・レート・ジェネレータの構成



#### (a) 基本クロック

ASIMnレジスタのUARTCAEn = 1のとき、CKSRnレジスタのTPSn3-TPSn0ビットで選択したクロックを送信 / 受信ユニットに供給します。このクロックを基本クロック ( $f_{uCLK}$ ) と呼びます。UARTCAEn = 0のときは、 $f_{uCLK}$ はロウ・レベルに固定となります。

#### (2) シリアル・クロックの生成

CKSRnレジスタとBRGCnレジスタの設定により、シリアル・クロックを生成できます ( $n = 0-2$ )。CKSRnレジスタのTPSn3-TPSn0ビットにより、8ビット・カウンタへの基本クロックを選択します。BRGCnレジスタのBRGn7-BRGn0ビットにより、8ビット・カウンタの分周値を設定できます。

(a) クロック選択レジスタ0-2 (CKSR0-CKSR2)

TPSn3-TPSn0ビットにより、基本クロック ( $f_{CLK}$ ) を選択するための8ビット・レジスタです。  
 TPSn3-TPSn0ビットで選択されたクロックが、送受信モジュールの $f_{CLK}$ になります。  
 8ビット単位でリード/ライト可能です。

- 注意1.** 基本クロック ( $f_{CLK}$ ) の許容周波数は最大25 MHzです。したがって、システム・クロックが50 MHzの場合、TPSn3-TPSn0ビットを0000Bに設定することはできません( $n = 0-2$ )。50 MHzで動作させる場合、TPSn3-TPSn0ビットを0000B以外の値に設定し、ASIMnレジスタのUARTCAEnビットをセット (1) してください。
2. TPSn3-TPSn0ビットを書き換える場合は、ASIMnレジスタのUARTCAEnビット = 0にしてから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
CKSR0	0	0	0	0	TPSn3	TPSn2	TPSn1	TPSn0	FFFFFFA06H	00H
CKSR1	0	0	0	0	TPSn13	TPSn12	TPSn11	TPSn10	FFFFFFA16H	00H
CKSR2	0	0	0	0	TPSn23	TPSn22	TPSn21	TPSn20	FFFFFFA26H	00H

ビット位置	ビット名	意味																																																																						
3-0	TPSn3-TPSn0 ( $n = 0-2$ )	基本クロック ( $f_{CLK}$ ) を指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TPSn3</th> <th>TPSn2</th> <th>TPSn1</th> <th>TPSn0</th> <th>基本クロック (<math>f_{CLK}</math>)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td><math>f_{xx}</math></td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td><math>f_{xx}/2</math></td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td><math>f_{xx}/4</math></td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td><math>f_{xx}/8</math></td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td><math>f_{xx}/16</math></td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td><math>f_{xx}/32</math></td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td><math>f_{xx}/64</math></td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td><math>f_{xx}/128</math></td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td><math>f_{xx}/256</math></td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td><math>f_{xx}/512</math></td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td><math>f_{xx}/1024</math></td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td><math>f_{xx}/2048</math></td></tr> <tr><td>1</td><td>1</td><td>任意</td><td>任意</td><td>設定禁止</td></tr> </tbody> </table>	TPSn3	TPSn2	TPSn1	TPSn0	基本クロック ( $f_{CLK}$ )	0	0	0	0	$f_{xx}$	0	0	0	1	$f_{xx}/2$	0	0	1	0	$f_{xx}/4$	0	0	1	1	$f_{xx}/8$	0	1	0	0	$f_{xx}/16$	0	1	0	1	$f_{xx}/32$	0	1	1	0	$f_{xx}/64$	0	1	1	1	$f_{xx}/128$	1	0	0	0	$f_{xx}/256$	1	0	0	1	$f_{xx}/512$	1	0	1	0	$f_{xx}/1024$	1	0	1	1	$f_{xx}/2048$	1	1	任意	任意	設定禁止
TPSn3	TPSn2	TPSn1	TPSn0	基本クロック ( $f_{CLK}$ )																																																																				
0	0	0	0	$f_{xx}$																																																																				
0	0	0	1	$f_{xx}/2$																																																																				
0	0	1	0	$f_{xx}/4$																																																																				
0	0	1	1	$f_{xx}/8$																																																																				
0	1	0	0	$f_{xx}/16$																																																																				
0	1	0	1	$f_{xx}/32$																																																																				
0	1	1	0	$f_{xx}/64$																																																																				
0	1	1	1	$f_{xx}/128$																																																																				
1	0	0	0	$f_{xx}/256$																																																																				
1	0	0	1	$f_{xx}/512$																																																																				
1	0	1	0	$f_{xx}/1024$																																																																				
1	0	1	1	$f_{xx}/2048$																																																																				
1	1	任意	任意	設定禁止																																																																				

**備考**  $f_{xx}$  : 内部システム・クロック



(b) ボー・レート・ジェネレータ・コントロール・レジスタ0-2 (BRGC0-BRGC2)

BRGCnレジスタは、UARTnのボー・レート（シリアル転送スピード）を制御する8ビット・レジスタです。

8ビット単位でリード/ライト可能です。

**注意** BRGn7-BRGn0ビットを書き換える場合は、ASIMnレジスタのTXEn = 0, RXEn = 0にしてから行ってください (n = 0-2)。

	7	6	5	4	3	2	1	0	アドレス	初期値
BRGC0	BRG07	BRG06	BRG05	BRG04	BRG03	BRG02	BRG01	BRG00	FFFFFFA07H	FFH
BRGC1	BRG17	BRG16	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	FFFFFFA17H	FFH
BRGC2	BRG27	BRG26	BRG25	BRG24	BRG23	BRG22	BRG21	BRG20	FFFFFFA27H	FFH

ビット位置	ビット名	意味																																																																																																																								
7-0	BRGn7- BRGn0 (n = 0-2)	8ビット・カウンタの分周値を指定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>BR Gn7</th> <th>BR Gn6</th> <th>BR Gn5</th> <th>BR Gn4</th> <th>BR Gn3</th> <th>BR Gn2</th> <th>BR Gn1</th> <th>BR Gn0</th> <th>設定値 (k)</th> <th>シリアル・ クロック</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>x</td> <td>x</td> <td>x</td> <td>-</td> <td>設定禁止</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>8</td> <td>fuCLK/8</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>9</td> <td>fuCLK/9</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>10</td> <td>fuCLK/10</td> </tr> <tr> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>250</td> <td>fuCLK/250</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>251</td> <td>fuCLK/251</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>252</td> <td>fuCLK/252</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>253</td> <td>fuCLK/253</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>254</td> <td>fuCLK/254</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>255</td> <td>fuCLK/255</td> </tr> </tbody> </table>	BR Gn7	BR Gn6	BR Gn5	BR Gn4	BR Gn3	BR Gn2	BR Gn1	BR Gn0	設定値 (k)	シリアル・ クロック	0	0	0	0	0	x	x	x	-	設定禁止	0	0	0	0	1	0	0	0	8	fuCLK/8	0	0	0	0	1	0	0	1	9	fuCLK/9	0	0	0	0	1	0	1	0	10	fuCLK/10	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	1	1	1	1	1	0	1	0	250	fuCLK/250	1	1	1	1	1	0	1	1	251	fuCLK/251	1	1	1	1	1	1	0	0	252	fuCLK/252	1	1	1	1	1	1	0	1	253	fuCLK/253	1	1	1	1	1	1	1	0	254	fuCLK/254	1	1	1	1	1	1	1	1	255	fuCLK/255
BR Gn7	BR Gn6	BR Gn5	BR Gn4	BR Gn3	BR Gn2	BR Gn1	BR Gn0	設定値 (k)	シリアル・ クロック																																																																																																																	
0	0	0	0	0	x	x	x	-	設定禁止																																																																																																																	
0	0	0	0	1	0	0	0	8	fuCLK/8																																																																																																																	
0	0	0	0	1	0	0	1	9	fuCLK/9																																																																																																																	
0	0	0	0	1	0	1	0	10	fuCLK/10																																																																																																																	
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮																																																																																																																	
1	1	1	1	1	0	1	0	250	fuCLK/250																																																																																																																	
1	1	1	1	1	0	1	1	251	fuCLK/251																																																																																																																	
1	1	1	1	1	1	0	0	252	fuCLK/252																																																																																																																	
1	1	1	1	1	1	0	1	253	fuCLK/253																																																																																																																	
1	1	1	1	1	1	1	0	254	fuCLK/254																																																																																																																	
1	1	1	1	1	1	1	1	255	fuCLK/255																																																																																																																	

- 備考1.** fuCLK : CKSRnレジスタのTPSn3-TPSn0ビットで選択した基本クロックの周波数 [ Hz ]
2. k : BRGn7-BRGn0ビットで設定した値 ( k = 8, 9, 10, ... , 255 )
3. 8ビット・カウンタの出力クロックを2分周したものがボー・レートとなります。
4. x : 任意

## (c) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{\text{CLK}}}{2 \times k} \text{ [ bps ]}$$

$f_{\text{CLK}}$  = CKSRnレジスタのTPSn3-TPSn0ビットで選択した基本クロックの周波数

$k$  = BRGCnレジスタのBRGn7-BRGn0ビットで設定した値 ( $k = 8, 9, 10, \dots, 255$ )

## (d) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差 (\%)} = \left( \frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right) \times 100 \text{ [\%]}$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 基本クロックの周波数 ( $f_{\text{CLK}}$ ) = 20 MHz = 20,000,000 Hz

BRGCnレジスタのBRGn7-BRGn0ビットの設定値 = 01000001B ( $k = 65$ )

目標ボー・レート = 153600 bps

$$\begin{aligned} \text{ボー・レート} &= 20 \text{ M} / (2 \times 65) \\ &= 20000000 / (2 \times 65) = 153846 \text{ [ bps ]} \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (153846/153600 - 1) \times 100 \\ &= 0.160 \text{ [\%]} \end{aligned}$$

(3) ボー・レート設定例

表11-3 ボー・レート・ジェネレータ設定データ

ボー・レート (bps)	f <sub>xx</sub> = 50 MHz			f <sub>xx</sub> = 40 MHz			f <sub>xx</sub> = 33 MHz			f <sub>xx</sub> = 10 MHz		
	f <sub>uCLK</sub>	k	ERR	f <sub>uCLK</sub>	k	ERR	f <sub>uCLK</sub>	k	ERR	f <sub>uCLK</sub>	k	ERR
300	f <sub>xx</sub> /2 <sup>9</sup>	163	-0.15	f <sub>xx</sub> /2 <sup>10</sup>	65	0.16	f <sub>xx</sub> /2 <sup>8</sup>	215	-0.07	f <sub>xx</sub> /2 <sup>7</sup>	130	0.16
600	f <sub>xx</sub> /2 <sup>8</sup>	163	-0.15	f <sub>xx</sub> /2 <sup>9</sup>	65	0.16	f <sub>xx</sub> /2 <sup>7</sup>	215	-0.07	f <sub>xx</sub> /2 <sup>6</sup>	130	0.16
1200	f <sub>xx</sub> /2 <sup>7</sup>	163	-0.15	f <sub>xx</sub> /2 <sup>8</sup>	65	0.16	f <sub>xx</sub> /2 <sup>6</sup>	215	-0.07	f <sub>xx</sub> /2 <sup>5</sup>	130	0.16
2400	f <sub>xx</sub> /2 <sup>6</sup>	163	-0.15	f <sub>xx</sub> /2 <sup>7</sup>	65	0.16	f <sub>xx</sub> /2 <sup>5</sup>	215	-0.07	f <sub>xx</sub> /2 <sup>4</sup>	130	0.16
4800	f <sub>xx</sub> /2 <sup>5</sup>	163	-0.15	f <sub>xx</sub> /2 <sup>6</sup>	65	0.16	f <sub>xx</sub> /2 <sup>4</sup>	215	-0.07	f <sub>xx</sub> /2 <sup>3</sup>	130	0.16
9600	f <sub>xx</sub> /2 <sup>4</sup>	163	-0.15	f <sub>xx</sub> /2 <sup>5</sup>	65	0.16	f <sub>xx</sub> /2 <sup>3</sup>	215	-0.07	f <sub>xx</sub> /2 <sup>2</sup>	130	0.16
19200	f <sub>xx</sub> /2 <sup>3</sup>	163	-0.15	f <sub>xx</sub> /2 <sup>4</sup>	65	0.16	f <sub>xx</sub> /2 <sup>2</sup>	215	-0.07	f <sub>xx</sub> /2 <sup>1</sup>	130	0.16
31250	f <sub>xx</sub> /2 <sup>3</sup>	100	0	f <sub>xx</sub> /2 <sup>3</sup>	80	0	f <sub>xx</sub> /2 <sup>2</sup>	132	0	f <sub>xx</sub> /2 <sup>1</sup>	80	0
38400	f <sub>xx</sub> /2 <sup>2</sup>	163	-0.15	f <sub>xx</sub> /2 <sup>3</sup>	65	0.16	f <sub>xx</sub> /2 <sup>1</sup>	215	-0.07	f <sub>xx</sub> /2 <sup>0</sup>	130	0.16
76800	f <sub>xx</sub> /2 <sup>2</sup>	81	0.47	f <sub>xx</sub> /2 <sup>2</sup>	65	0.16	f <sub>xx</sub> /2 <sup>1</sup>	107	0.39	f <sub>xx</sub> /2 <sup>0</sup>	65	0.16
153600	f <sub>xx</sub> /2 <sup>1</sup>	81	0.47	f <sub>xx</sub> /2 <sup>1</sup>	65	0.16	f <sub>xx</sub> /2 <sup>1</sup>	54	-0.54	f <sub>xx</sub> /2 <sup>0</sup>	33	-1.36
312500	f <sub>xx</sub> /2 <sup>1</sup>	40	0	f <sub>xx</sub> /2 <sup>1</sup>	32	0	f <sub>xx</sub> /2 <sup>1</sup>	26	1.54	f <sub>xx</sub> /2 <sup>0</sup>	16	0

注意 基本クロック (f<sub>uCLK</sub>) の許容周波数は最大25 MHzです。

備考 f<sub>xx</sub> : 内部システム・クロック

f<sub>uCLK</sub> : 基本クロック

k : BRG<sub>Cn</sub>レジスタのBRG<sub>n7</sub>-BRG<sub>n0</sub>ビットの設定値 (n = 0-2)

ERR : ボー・レート誤差 [%]

(4) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

**注意** 受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図11 - 13 受信時の許容ボー・レート範囲

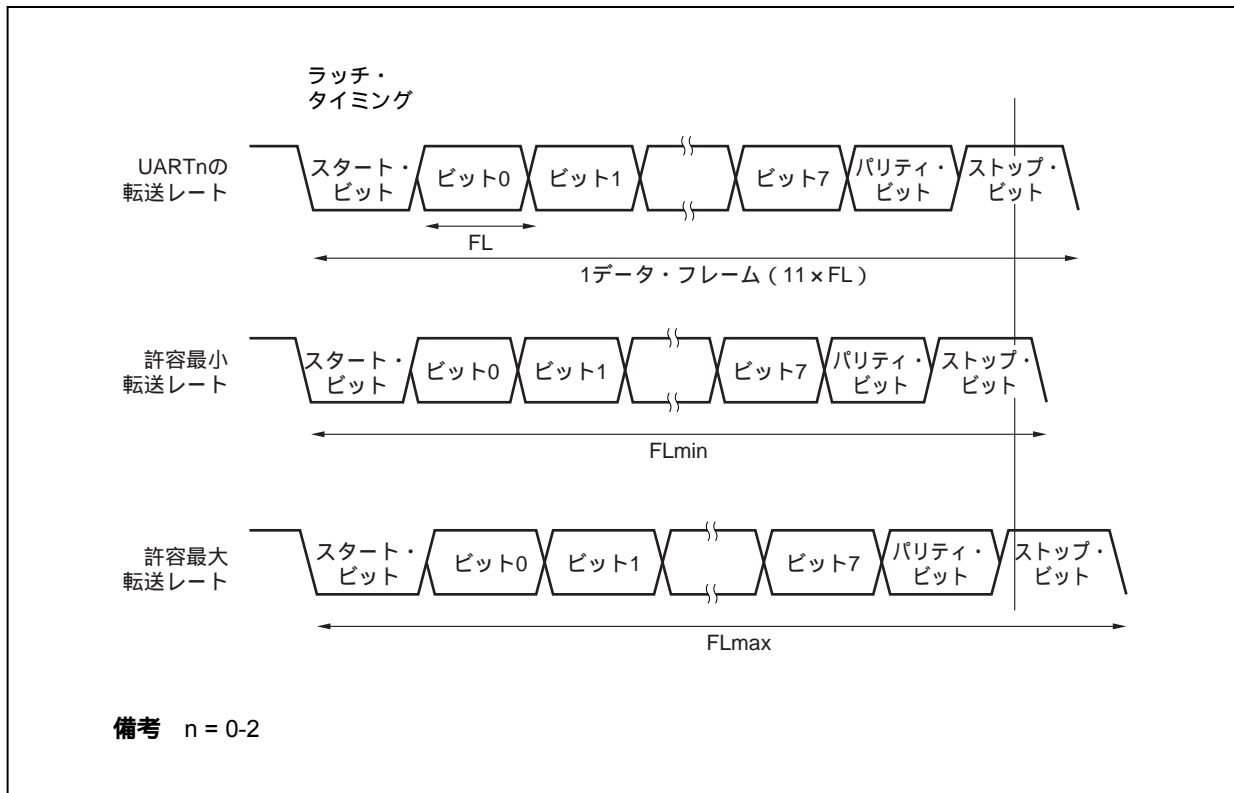


図11 - 13に示すように、スタート・ビット検出後はBRGCnレジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UARTnのボー・レート (n = 0-2)

k : BRGCnの設定値 (n = 0-2)

FL : 1ビット・データ長

ラッチ・タイミングのマージンを基本クロックの2クロック分とすると、許容最小転送レート (FLmin) は次のようになります。

$$FLmin = 11 \times FL - \frac{k - 2}{2k} \times FL = \frac{21k + 2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レート (BRmax) は次のようになります。

$$BR_{max} = (FL_{min}/11)^{-1} = \frac{22k}{21k + 2} \text{ Brate}$$

同様に、許容最大転送レート (FLmax) を求めると、次のようになります。

$$\frac{10}{11} \times FL_{max} = 11 \times FL - \frac{k + 2}{2 \times k} \times FL = \frac{21k - 2}{2 \times k} FL$$

$$FL_{max} = \frac{21k - 2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レート (BRmin) は次のようになります。

$$BR_{min} = (FL_{max}/11)^{-1} = \frac{20k}{21k - 2} \text{ Brate}$$

前述の最小 / 最大ボー・レート値の算出式から、UARTnと送信先とのボー・レートの許容誤差を求めると次のようになります。

表11 - 4 許容最大 / 最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
8	+ 3.53 %	- 3.61 %
20	+ 4.26 %	- 4.31 %
50	+ 4.56 %	- 4.58 %
100	+ 4.66 %	- 4.67 %
255	+ 4.72 %	- 4.73 %

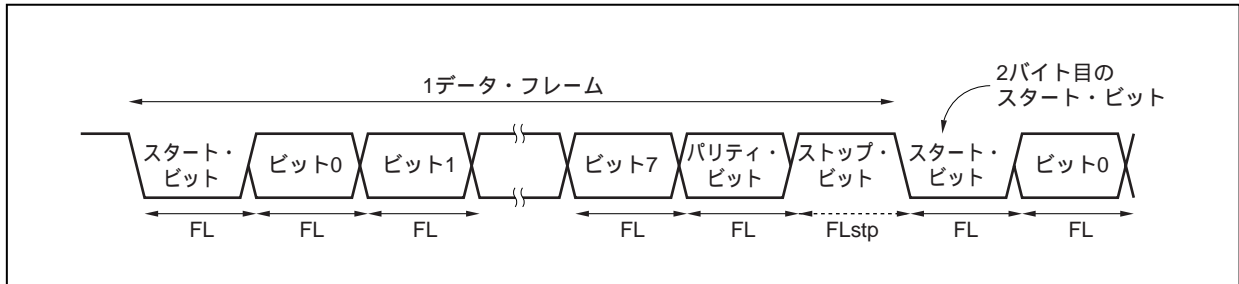
**備考1.** 受信の精度は、1フレーム・ビット数、基本クロック周波数、分周比 (k) に依存します。基本クロック周波数が高く、分周比 (k) が大きくなるほど精度は高くなります。

2. k : BRGCnの設定値 (n = 0-2)

(5) 連続送信時の転送レート

連続送信する場合、ストップ・ビットから次のスタート・ビットまでの転送レートが通常より基本クロックの2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので転送結果には影響しません。

図11 - 14 連続送信時の転送レート



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数：fuCLKとすると次の式が成り立ちます。

$$FLstp = FL + 2 / fuCLK$$

したがって、連続送信での転送レートは次のようになります（ストップ・ビット長 = 1の場合）。

$$\text{転送レート} = 11 \times FL + 2 / fuCLK$$

11.2.7 注意事項

UARTnについての注意事項を次に示します（n = 0-2）。

- (1) UARTnへの供給クロックが停止する場合（例：IDLE，ソフトウェアSTOPモード）は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDn端子出力も停止直前の値を保持、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はUARTCAEn = 0, RXEn = 0, TXEn = 0とし、回路を初期化してください。
- (2) UARTnは、送信バッファ（TXBn），送信シフト・レジスタの2段バッファ構成になっており、それぞれのバッファの状態を示すステータス・フラグ（ASIFnレジスタのTXBFn, TXSFnビット）があります。連続送信でTXBFn, TXSFnビットを同時に読み出した場合、「10」「11」「01」と変化します。連続送信を行う場合は、次のデータをTXBnレジスタへ書き込むタイミングについて、TXBFnビットだけを読み出して判断してください。

## 11.3 クロック同期式シリアル・インタフェース0-2 (CSI0-CSI2)

### 11.3.1 特 徴

高速転送 マスタ・モード時 : 最大3.125 Mbps (内部システム・クロック : 50 MHz動作時)

スレーブ・モード時 : 最大5 Mbps

半二重通信

マスタ・モードとスレーブ・モードを選択可能

送信データ長 : 8ビット

転送データのMSB先頭 / LSB先頭を切り替え可能

8本のクロック信号を選択可能 (7本のマスタ・クロックと1本のスレーブ・クロック)

3線式 SOn : シリアル・データ出力

SIn : シリアル・データ入力

$\overline{\text{SCKn}}$  : シリアル・クロック入出力

割り込みソース1種

・送受信完了割り込み (INTCSIn)

送受信モードと受信専用モードを指定可能

送信バッファ (SOTBn) を内蔵

**備考** n = 0-2

### 11.3.2 構 成

クロック同期式シリアル・インタフェース・モード・レジスタ (CSIMn) によって, CSInを制御します (n = 0-2)。送受信データはSIO<sub>n</sub>レジスタに書き込み / 読み出しができます。

#### (1) クロック同期式シリアル・インタフェース・モード・レジスタ0-2 (CSIM0-CSIM2)

CSIMnレジスタは, CSInの動作を指定する8ビット・レジスタです。

#### (2) クロック同期式シリアル・インタフェース・クロック選択レジスタ0-2 (CSIC0-CSIC2)

CSICnレジスタは, CSInの送信動作を制御する8ビット・レジスタです。

#### (3) シリアルI/Oシフト・レジスタ0-2 (SIO0-SIO2)

SIO<sub>n</sub>レジスタは, シリアル・データ / パラレル・データの変換を行う8ビット・レジスタです。SIO<sub>n</sub>は送信および受信の両方に使用されます。

データは, MSB側またはLSB側からシフト・イン (受信) またはシフト・アウト (送信) されます。

SIO<sub>n</sub>に対する読み出し / 書き込みにより, 実際の送受信動作が制御されます。

#### (4) クロック同期式シリアル・インタフェース送信バッファ・レジスタ0-2 (SOTB0-SOTB2)

SOTBnレジスタは, 送信データを格納する8ビット・バッファ・レジスタです。

#### (5) セレクタ

使用するシリアル・クロックを選択します。

(6) シリアル・クロック制御回路

シリアル・クロックのシフト・レジスタへの供給の制御を行います。また、内部クロック使用時には $\overline{\text{SCKn}}$ 端子へ出力するクロックの制御も行います。

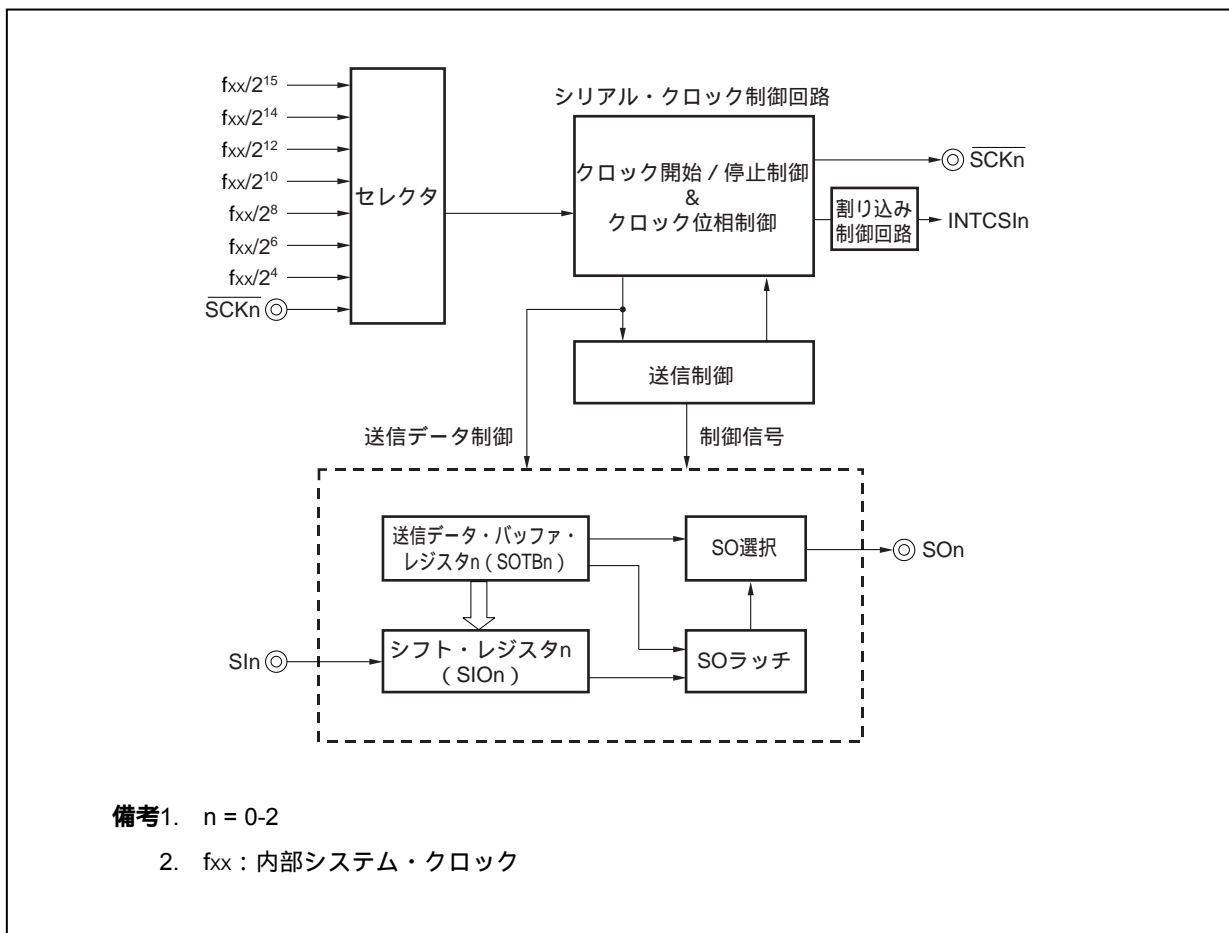
(7) シリアル・クロック・カウンタ

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(8) 割り込み制御回路

シリアル・クロック・カウンタでシリアル・クロックを8発カウントしたときに、割り込み要求を発生するかしないかを制御します。

図11 - 15 クロック同期式シリアル・インタフェースのブロック図



備考1.  $n = 0-2$

2.  $f_{xx}$  : 内部システム・クロック



### 11.3.3 制御レジスタ

#### (1) クロック同期式シリアル・インタフェース・モード・レジスタ0-2 (CSIM0-CSIM2)

CSInの動作を制御するレジスタです (n = 0-2)。

8/1ビット単位でリード/ライト可能です。

ビット5, 3-1には必ず0を設定してください。1を設定した場合の動作は保証できません。

**注意** CSInを使用する場合には、必ずCSIn機能に関連する外部端子をコントロール・モードに設定し、CSICnレジスタを設定したあとCSICAEnビットをセット(1)してください。そのあとに、ほかのビットの設定を行ってください。

	⑦	⑥	5	④	3	2	1	①	アドレス	初期値
CSIM0	CSICAE0	TRMD0	0	DIR0	0	0	0	CSOT0	FFFFFF900H	00H
CSIM1	CSICAE1	TRMD1	0	DIR1	0	0	0	CSOT1	FFFFFF910H	00H
CSIM2	CSICAE2	TRMD2	0	DIR2	0	0	0	CSOT2	FFFFFF920H	00H

ビット位置	ビット名	意味
7	CSICAE <sub>n</sub> (n = 0-2)	<p>CSI Operation Permission/Prohibition</p> <p>CSIn動作許可 / 禁止を指定します (n = 0-2)。</p> <p>0 : CSIn動作禁止 (SOn = ロウ・レベル, <math>\overline{SCKn}</math> = ハイ・レベル)</p> <p>1 : CSIn動作許可</p> <p><b>注意1.</b> CSICAE<sub>n</sub> = 0にすると, CSInユニットを非同期にリセットします。</p> <p>2. CSICAE<sub>n</sub> = 0の場合は, CSInユニットはリセット状態なので, CSInを動作させる場合には, まずCSICAE<sub>n</sub> = 1にしてください。</p> <p>3. CSICAE<sub>n</sub>ビットを1から0にした場合は, CSInユニットのすべてのレジスタが初期化されます。再度CSICAE<sub>n</sub> = 1にする場合には, 必ずCSInユニットのレジスタを再設定してください。</p>
6	TRMD <sub>n</sub> (n = 0-2)	<p>Transmission/Reception Mode Control</p> <p>送受信モードを指定します。</p> <p>0 : 受信専用モード</p> <p>1 : 送受信モード</p> <p>TRMD<sub>n</sub> = 0なら, 受信だけの転送になります。そして, SOn端子出力はロウ・レベルに固定されます。SIO<sub>n</sub>レジスタの読み出しにより, データ受信を開始します。TRMD<sub>n</sub> = 1なら, 送受信はSOTB<sub>n</sub>レジスタへのデータ書き込みにより開始されます。</p> <p><b>注意</b> TRMD<sub>n</sub>ビットの書き換えは, CSOT<sub>n</sub> = 0のときだけ可能です。</p>
4	DIR <sub>n</sub> (n = 0-2)	<p>Transmit Direction Mode Control</p> <p>転送方向モード (MSB/LSB) を指定します。</p> <p>0 : 転送データ先頭ビットはMSB</p> <p>1 : 転送データ先頭ビットはLSB</p> <p><b>注意</b> DIR<sub>n</sub>ビットの書き換えは, CSOT<sub>n</sub> = 0のときだけ可能です。</p>
0	CSOT <sub>n</sub> (n = 0-2)	<p>CSI Status Of Transmission</p> <p>転送状態表示フラグです。</p> <p>0 : アイドル状態</p> <p>1 : 転送実行状態</p> <p>送受信モード (TRMD<sub>n</sub> = 1) にして, シリアル・データ転送を開始しようとする際にシフト・レジスタ (SIO<sub>n</sub>) への書き込みが可能かどうかを判別するための手段として使用します。</p> <p><b>注意</b> CSOT<sub>n</sub>ビットは, CSICAE<sub>n</sub>ビットをクリア (0) するとリセットされます。</p>

(2) クロック同期式シリアル・インタフェース・クロック選択レジスタ0-2 (CSIC0-CSIC2)

CSICnレジスタは、CSInの送信動作を制御する8ビット・レジスタです。

8ビット単位でリード/ライト可能です。

**注意** CSIC2-CSIC0レジスタを変更する場合は、CSIMnレジスタのCSICAE<sub>n</sub> = 0にしてから変更してください。

( 1/2 )

	7	6	5	4	3	2	1	0	アドレス	初期値
CSIC0	0	0	0	CKP0	DAP0	CKS02	CKS01	CKS00	FFFFFF901H	00H
CSIC1	0	0	0	CKP1	DAP1	CKS12	CKS11	CKS10	FFFFFF911H	00H
CSIC2	0	0	0	CKP2	DAP2	CKS22	CKS21	CKS20	FFFFFF921H	00H

ビット位置	ビット名	意味															
4, 3	CKPn, DAPn (n = 0-2)	<p>Clock Phase Selection Bit, Data Phase Selection Bit</p> <p>SCKnに対するデータの送信, 受信タイミングを指定します。</p> <table border="1"> <thead> <tr> <th>CKPn</th> <th>DAPn</th> <th>動作モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td> </td> </tr> <tr> <td>0</td> <td>1</td> <td> </td> </tr> <tr> <td>1</td> <td>0</td> <td> </td> </tr> <tr> <td>1</td> <td>1</td> <td> </td> </tr> </tbody> </table>	CKPn	DAPn	動作モード	0	0		0	1		1	0		1	1	
CKPn	DAPn	動作モード															
0	0																
0	1																
1	0																
1	1																

ビット位置	ビット名	意味																																													
2-0	CKSn2- CKSn0 (n = 0-2)	Input Clock Selection 入力クロックを指定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>CKSn2</th> <th>CKSn1</th> <th>CKSn0</th> <th>入力クロック</th> <th>モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td><math>f_{xx}/2^{15}</math></td> <td>マスタ・モード</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td><math>f_{xx}/2^{14}</math></td> <td>マスタ・モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td><math>f_{xx}/2^{12}</math></td> <td>マスタ・モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td><math>f_{xx}/2^{10}</math></td> <td>マスタ・モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td><math>f_{xx}/2^8</math></td> <td>マスタ・モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td><math>f_{xx}/2^6</math></td> <td>マスタ・モード</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td><math>f_{xx}/2^4</math></td> <td>マスタ・モード</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>外部クロック (SCKn)</td> <td>スレーブ・モード</td> </tr> </tbody> </table> 備考 fxx : 内部システム・クロック	CKSn2	CKSn1	CKSn0	入力クロック	モード	0	0	0	$f_{xx}/2^{15}$	マスタ・モード	0	0	1	$f_{xx}/2^{14}$	マスタ・モード	0	1	0	$f_{xx}/2^{12}$	マスタ・モード	0	1	1	$f_{xx}/2^{10}$	マスタ・モード	1	0	0	$f_{xx}/2^8$	マスタ・モード	1	0	1	$f_{xx}/2^6$	マスタ・モード	1	1	0	$f_{xx}/2^4$	マスタ・モード	1	1	1	外部クロック (SCKn)	スレーブ・モード
CKSn2	CKSn1	CKSn0	入力クロック	モード																																											
0	0	0	$f_{xx}/2^{15}$	マスタ・モード																																											
0	0	1	$f_{xx}/2^{14}$	マスタ・モード																																											
0	1	0	$f_{xx}/2^{12}$	マスタ・モード																																											
0	1	1	$f_{xx}/2^{10}$	マスタ・モード																																											
1	0	0	$f_{xx}/2^8$	マスタ・モード																																											
1	0	1	$f_{xx}/2^6$	マスタ・モード																																											
1	1	0	$f_{xx}/2^4$	マスタ・モード																																											
1	1	1	外部クロック (SCKn)	スレーブ・モード																																											

(a) ボー・レート

CKSn2	CKSn1	CKSn0	ボー・レート (bps)				
			50 MHz動作時	40 MHz動作時	33 MHz動作時	25 MHz動作時	20 MHz動作時
0	0	0	1526	1221	1007	763	610
0	0	1	3052	2441	2014	1526	1221
0	1	0	12207	9766	8057	6104	4883
0	1	1	48828	39063	32227	24414	19531
1	0	0	195313	156250	128906	97656	78125
1	0	1	781250	625000	515625	390625	312500
1	1	0	3125000	2500000	2062500	1562500	1250000

(3) シリアルI/Oシフト・レジスタ0-2 (SIO0-SIO2)

SIO<sub>n</sub>レジスタは、パラレル・データをシリアル・データに変換する8ビット・シフト・レジスタです。CSIM<sub>n</sub>レジスタのTRMD<sub>n</sub> = 0のとき、SIO<sub>n</sub>を読み出すことにより受信動作が起動します。

リセット入力以外に、CSIM<sub>n</sub>レジスタのCSICAE<sub>n</sub>ビットをクリア(0)しても、SIO<sub>n</sub>レジスタは00Hとなります。

8ビット単位でリードだけ可能です。

**注意** アイドル状態中 (CSIM<sub>n</sub>レジスタのCSOT<sub>n</sub> = 0) のときだけ、SIO<sub>n</sub>にアクセスできます。

	7	6	5	4	3	2	1	0	アドレス	初期値
SIO0	SIO07	SIO06	SIO05	SIO04	SIO03	SIO02	SIO01	SIO00	FFFFF902H	00H
SIO1	SIO17	SIO16	SIO15	SIO14	SIO13	SIO12	SIO11	SIO10	FFFFF912H	00H
SIO2	SIO27	SIO26	SIO25	SIO24	SIO23	SIO22	SIO21	SIO20	FFFFF922H	00H

ビット位置	ビット名	意味
7-0	SIO <sub>n</sub> 7-SIO <sub>n</sub> 0 (n = 0-2)	Serial I/O データは、MSBまたはLSB側からシフト・イン(受信)またはシフト・アウト(送信)します。

(4) 受信専用シリアルI/Oシフト・レジスタ0-2 (SIOE0-SIOE2)

SIOE<sub>n</sub>レジスタは、パラレル・データをシリアル・データに変換する8ビット・シフト・レジスタです。CSIM<sub>n</sub>レジスタのTRMD<sub>n</sub> = 0のとき、SIOE<sub>n</sub>を読み出しても受信動作が起動しないため、受信動作を起動させずにSIO<sub>n</sub>レジスタの値(受信データ)を読み出すときに使用します。

リセット入力以外に、CSIM<sub>n</sub>レジスタのCSICAE<sub>n</sub>ビットをクリア(0)しても、SIOE<sub>n</sub>レジスタは00Hとなります。

8ビット単位でリードだけ可能です。

**注意** アイドル状態中 (CSIM<sub>n</sub>レジスタのCSOT<sub>n</sub> = 0) のときだけ、SIOE<sub>n</sub>にアクセスできます。

	7	6	5	4	3	2	1	0	アドレス	初期値
SIOE0	SIOE07	SIOE06	SIOE05	SIOE04	SIOE03	SIOE02	SIOE01	SIOE00	FFFFF903H	00H
SIOE1	SIOE17	SIOE16	SIOE15	SIOE14	SIOE13	SIOE12	SIOE11	SIOE10	FFFFF913H	00H
SIOE2	SIOE27	SIOE26	SIOE25	SIOE24	SIOE23	SIOE22	SIOE21	SIOE20	FFFFF923H	00H

ビット位置	ビット名	意味
7-0	SIOE <sub>n</sub> 7-SIOE <sub>n</sub> 0 (n = 0-2)	Serial I/O データは、MSBまたはLSB側からシフト・イン(受信)します。

(5) クロック同期式シリアル・インタフェース送信バッファ・レジスタ0-2 (SOTB0-SOTB2)

SOTBnレジスタは、送信データを格納する8ビット・バッファ・レジスタです。

送受信モード (CSIMnレジスタのTRMDn = 1) に設定したとき、SOTBnレジスタへのデータ書き込みにより送信動作が起動します。

リセット入力により、SOTBnレジスタは00Hとなります。

8ビット単位でリード/ライト可能です。

**注意** アイドル状態中 (CSIMnレジスタのCSOTn = 0) のときだけ、SOTBnにアクセスできます。

	7	6	5	4	3	2	1	0	アドレス	初期値
SOTB0	SOTB07	SOTB06	SOTB05	SOTB04	SOTB03	SOTB02	SOTB01	SOTB00	FFFFFF904H	00H
SOTB1	SOTB17	SOTB16	SOTB15	SOTB14	SOTB13	SOTB12	SOTB11	SOTB10	FFFFFF914H	00H
SOTB2	SOTB27	SOTB26	SOTB25	SOTB24	SOTB23	SOTB22	SOTB21	SOTB20	FFFFFF924H	00H

ビット位置	ビット名	意味
7-0	SOTBn7- SOTBn0 (n = 0-2)	Serial I/O 送信データを書き込みます。

## 11.3.4 動作

### (1) 転送モード

CSInは、それぞれ1本のクロック・ラインと2本のデータ・ラインの3線でデータの送受信を行います。

受信専用モード (CSIMnレジスタのTRMDn = 0) の場合、SIO<sub>n</sub>レジスタをリードすると転送を開始します (n = 0-2)。受信を開始せずにSIO<sub>n</sub>レジスタ値を読み出す場合は、SIOEnレジスタを読み出してください。

送受信モード (CSIMnレジスタのTRMDn = 1) の場合、SOTBnレジスタへの書き込みで転送を開始します。

CSInの8ビット転送が終了すると、CSIMnレジスタのCSOTnビットが0になり、自動的に停止します。また、転送が終了すると送受信完了割り込み (INTCSIn) を発生します。

- 注意1.** CSIMnレジスタのCSOTn = 1のときに、コントロール・レジスタ、データ・レジスタにアクセスしないでください。
2. SOTBnレジスタに送信データをライトしておいて、CSIMnレジスタのTRMDnビットを0から1に設定しても、シリアル転送は行いません。

### (2) シリアル・クロック

#### (a) シリアル・クロックとして内部クロックを選択した場合

受信または送信が起動されると、シリアル・クロックを $\overline{\text{SCKn}}$ 端子から出力し、CSICnレジスタのCKPn、DAPnビットの設定に従ってシリアル・クロックに同期したタイミングでSIn端子のデータをSIO<sub>n</sub>レジスタへ順次取り込み、またはSIO<sub>n</sub>レジスタからデータをSON端子へ順次出力します (n = 0-2)。

#### (b) シリアル・クロックとして外部クロックを選択した場合

受信または送信が起動されると、CSICnレジスタのCKPn、DAPnビットの設定に従って受信または送受信起動後に $\overline{\text{SCKn}}$ 端子へ入力されたシリアル・クロックに同期して、SIn端子のデータをSIO<sub>n</sub>レジスタへ順次取り込み、またはSIO<sub>n</sub>レジスタからデータをSON端子へ順次出力します (n = 0-2)。

受信または送信が起動されていないときに、シリアル・クロックを $\overline{\text{SCKn}}$ 端子へ入力してもシフト動作は行いません。

図11 - 16 転送タイミング

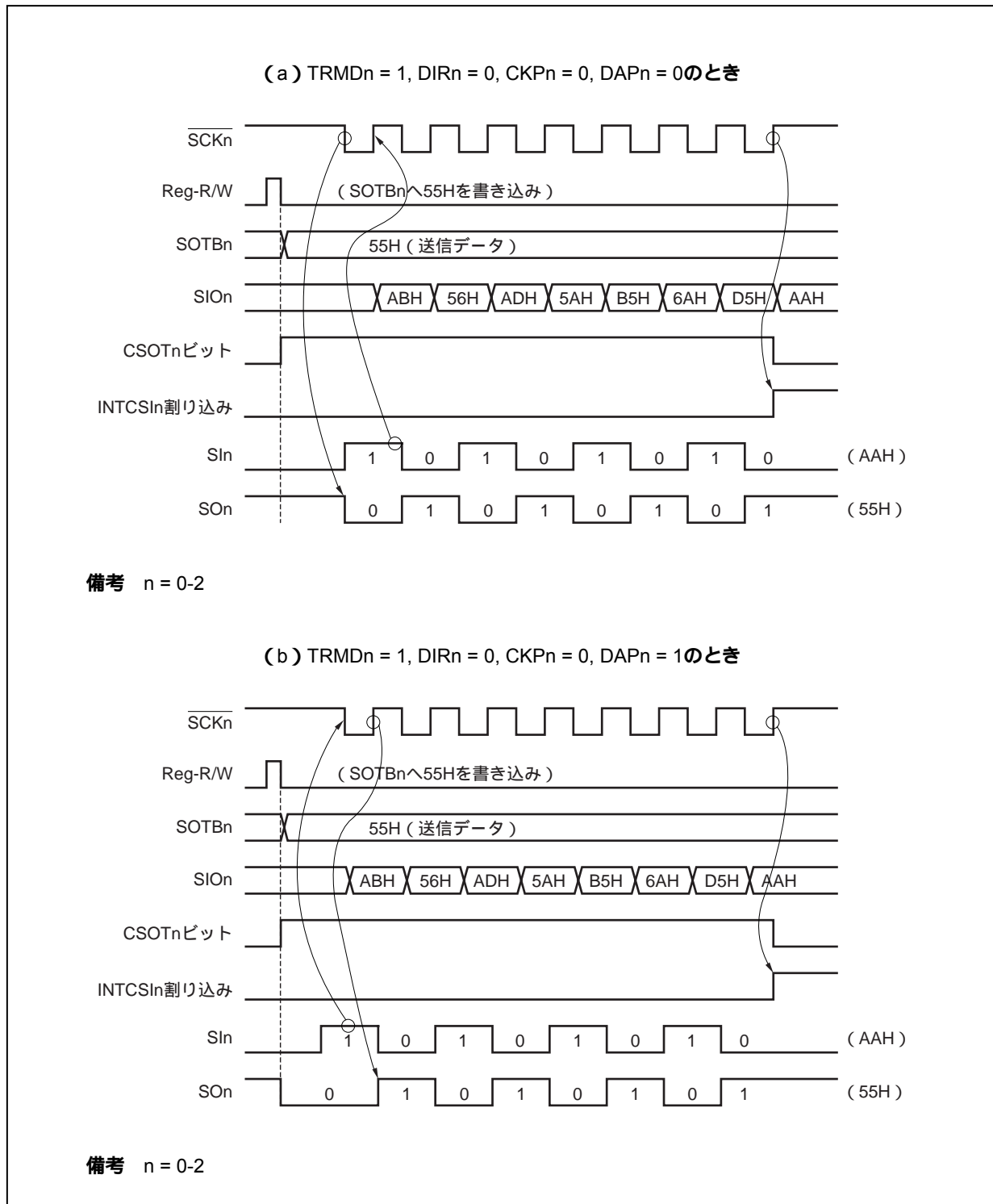
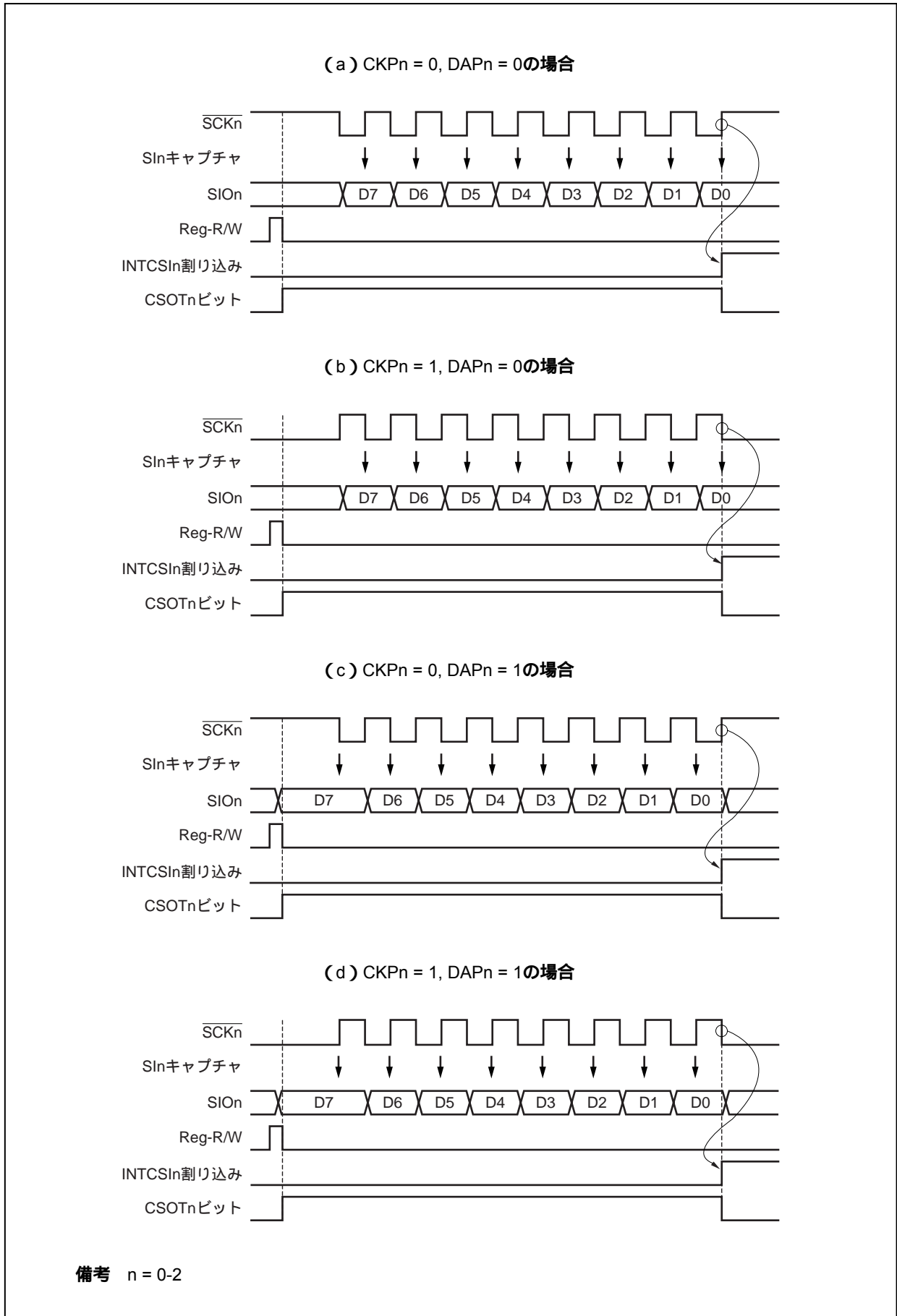




図11 - 17 クロック・タイミング



### 11.3.5 出力端子

#### (1) SCKn端子

CSIn動作禁止 (CSICAE<sub>n</sub> = 0) のとき、SCKn端子出力状態は次のようになります。

CKP <sub>n</sub>	SCKn端子出力
0	ハイ・レベル固定
1	ロウ・レベル固定

備考1. CKP<sub>n</sub>ビットを書き換えるとSCKn端子の出力が変化します。

2. n = 0-2

#### (2) SOn端子

CSIn動作禁止 (CSICAE<sub>n</sub> = 0) のとき、SOn端子出力状態は次のようになります。

TRMD <sub>n</sub>	DAP <sub>n</sub>	DIR <sub>n</sub>	SOn端子出力
0	x	x	ロウ・レベル固定
1	1	x	SOnラッチの値 (ロウ・レベル)
		0	SOTBn7の値
		1	SOTBn0の値

備考1. TRMD<sub>n</sub>, DAP<sub>n</sub>, DIR<sub>n</sub>ビットのいずれかを書き換えるとSOn端子の出力が変化します。

2. n = 0-2

3. x : 任意

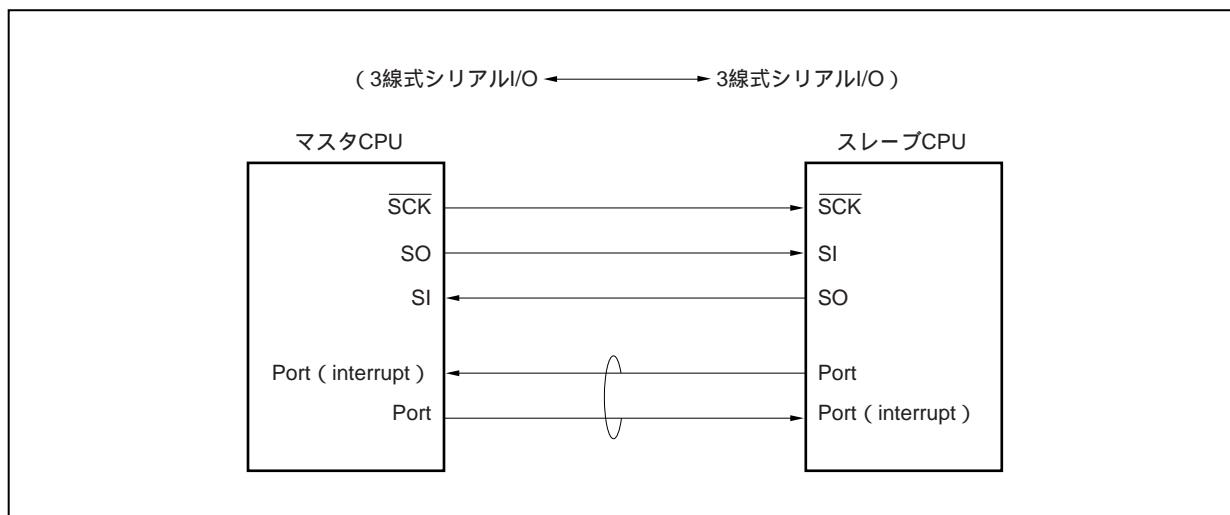
### 11.3.6 システム構成例

シリアル・クロック (SCKn), シリアル入力 (SI<sub>n</sub>), シリアル出力 (SO<sub>n</sub>) の3種類の信号線によって, 8ビット長のデータ転送を行います。従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続する場合に有効です (n = 0-2)。

複数のデバイスと接続する場合は, ハンドシェイク用のラインが必要です。

通信先頭ビットがMSBまたはLSBに選択できるので, さまざまなデバイスと通信することができます。

図11-18 CSIのシステム構成例



## 第12章 A/Dコンバータ

### 12.1 特 徴

アナログ入力：8チャンネル  
10ビットA/Dコンバータ内蔵  
A/D変換結果レジスタ（ADCR0-ADCR7）内蔵  
10ビット×8本  
A/D変換トリガ・モード  
A/Dトリガ・モード  
タイマ・トリガ・モード  
外部トリガ・モード  
逐次変換方式

### 12.2 構 成

A/Dコンバータは、逐次変換方式を採用しており、A/Dコンバータ・モード・レジスタ0, 1, 2（ADM0, ADM1, ADM2）、A/D変換結果レジスタ（ADCR0-ADCR7）を使用してA/D変換動作を行います。

#### （1）入力回路

ADM0, ADM1レジスタに設定したモードに従ってアナログ入力（ANI0-ANI7）を選択し、サンプル&ホールド回路に送ります。

#### （2）サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力を1つ1つサンプリングし、コンパレータに送ります。なお、A/D変換動作中は、サンプリングしたアナログ入力を保持します。

#### （3）電圧コンパレータ

入力されたアナログ入力と直列抵抗ストリングの電圧タップの出力電圧を比較します。

#### （4）直列抵抗ストリング

直列抵抗ストリングは、アナログ入力と一致する電圧を発生させるためのものです。

直列抵抗ストリングは、A/Dコンバータ用の基準電圧端子（AVREF）とA/Dコンバータ用のGND端子（AVSS）間に接続されています。2端子間を1024の等価な電圧ステップにするため、等価な抵抗1023個とその1/2の抵抗値の抵抗2個で構成されています。

直列抵抗ストリングの電圧タップは、逐次変換レジスタ（SAR）で制御されるタップ・セレクタによって選択します。

**(5) 逐次変換レジスタ (SAR : Successive Approximation Register)**

SARは、直列抵抗ストリングからの電圧タップの値がアナログ入力の電圧値と一致するデータを、最上位ビット (MSB) から1ビットずつ設定する10ビット・レジスタです。

SARの最下位ビット (LSB) まで設定すると (A/D変換終了)、そのSARの内容 (変換結果) は、A/D変換結果レジスタ (ADCRn) に保持されます。また、指定されたすべてのA/D変換が終了すると、A/D変換終了割り込み (INTAD) が発生します。

**(6) A/D変換結果レジスタ (ADCRn : A/D Conversion Result Register n)**

ADCRは、A/D変換結果を保持する10ビット・レジスタです。A/D変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされます。

$\overline{\text{RESET}}$ 入力により、0000Hになります。

**(7) コントローラ**

ADM0, ADM1レジスタに設定したモードに従って、アナログ入力の選択、サンプル&ホールド回路の動作タイミングの生成、変換トリガの制御を行います。

**(8) ANI0-ANI7端子**

A/Dコンバータへの8チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。

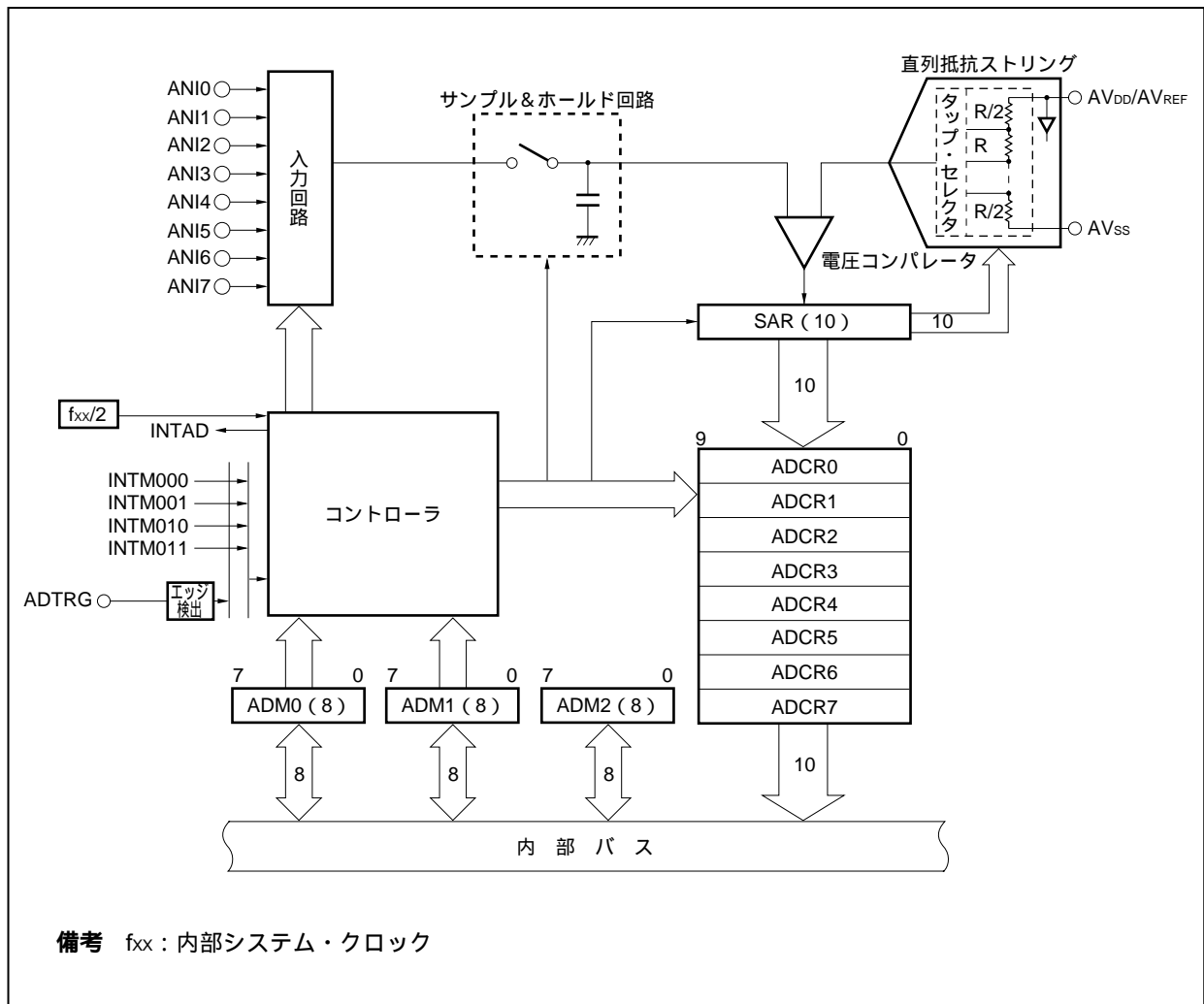
**注意** ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特に $AV_{DD}$ 以上、 $AV_{SS}$ 以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

**(9)  $AV_{REF}$ 端子**

A/Dコンバータの基準電圧を入力するための端子です。 $AV_{REF}$ - $AV_{SS}$ 間に加えられる電圧に基づいてANIn端子に入力される信号をデジタル信号に変換します。

V850E/MA1では、 $AV_{DD}$ 端子と $AV_{REF}$ 端子が兼用となっています。したがって、 $AV_{DD}$ 端子と $AV_{REF}$ 端子に別々の電圧を設定することはできません。

図12 - 1 A/Dコンバータのブロック図



注意1. アナログ入力端子 (ANI0-ANI7) および基準電圧入力端子 (AV<sub>REF</sub>) にノイズがのる場合は、ノイズにより不正な変換結果が生じることがあります。

この不正な変換結果により、システムに悪影響を与えることを避けるために、ソフトウェア処理が必要です。

次にソフトウェア処理の例を示します。

- ・ 複数回のA/D変換結果の平均値を、A/D変換結果として使用する。
- ・ 複数回のA/D変換を連続して行い、特異な変換結果が得られた場合、この値を除外した変換結果を使用する。
- ・ システムに異常が発生したと判断されるようなA/D変換結果が得られた場合、ただちに異常処理を行わず、再度異常発生を確認した上で異常処理を行う。

2. A/Dコンバータの入力端子として使用している端子には、AV<sub>SS</sub>-AV<sub>REF</sub>の範囲外の電圧が加わらないようにしてください。

## 12.3 制御レジスタ

### (1) A/Dコンバータ・モード・レジスタ0 (ADM0)

ADM0レジスタは、アナログ入力端子の選択、動作モードの指定および変換動作の制御を行う8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。ただし、A/D変換動作中にADM0レジスタに書き込みを行った場合、変換動作は初期化され、最初から変換動作をやり直します。また、ビット6には書き込みできません。書き込みは無視されます。

- 注意1.** タイマ・トリガ・モード、外部トリガ・モード時でADCEビットが1のときは、トリガ信号待機状態になります。ADCEビットをクリアするには、0を書き込むか、リセットしてください。A/Dトリガ・モードでは、ADCEビットに1を書き込むことが変換のトリガになります。動作後、ADCEビットをクリアせずにタイマ・トリガ・モード、外部トリガ・モードに変更した場合、レジスタ変更直後からトリガ入力の待機状態になります。
2. A/Dトリガ・モード時にADCEビット = 1にしてから、ADCSビット = 1になるまで7-9クロックかかります。

	⑦	⑥	5	4	3	2	1	0	アドレス	初期値
ADM0	ADCE	ADCS	BS	MS	0	ANIS2	ANIS1	ANIS0	FFFFFF200H	00H

ビット位置	ビット名	意味																																																																			
7	ADCE	Convert Enable A/D変換動作の許可 / 禁止を指定します。 0 : A/D変換動作禁止 1 : A/D変換動作許可																																																																			
6	ADCS	Converter Status A/Dコンバータの状態を示します。このビットは読み出し専用です。 0 : A/Dコンバータ停止中 1 : A/Dコンバータ動作中																																																																			
5	BS	Buffer Select セレクト・モード時のバッファ・モードを指定します。 0 : 1バッファ・モード 1 : 4バッファ・モード																																																																			
4	MS	Mode Select A/Dコンバータの動作モードを指定します。 0 : スキャン・モード 1 : セレクト・モード																																																																			
2-0	ANIS2-ANIS0	Analog Input Select A/D変換するアナログ入力端子を指定します。 <table border="1" data-bbox="593 1128 1327 1675"> <thead> <tr> <th rowspan="2">ANIS2</th> <th rowspan="2">ANIS1</th> <th rowspan="2">ANIS0</th> <th colspan="2">セレクト・モード</th> <th colspan="2">スキャン・モード</th> </tr> <tr> <th>A/Dトリガ・モード</th> <th>タイマ・トリガ・モード, 外部トリガ・モード</th> <th>A/Dトリガ・モード</th> <th>タイマ・トリガ・モード<sup>注1, 2</sup>, 外部トリガ・モード<sup>注2</sup></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>ANI0</td> <td>ANI0</td> <td>ANI0</td> <td>1回</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>ANI1</td> <td>ANI1</td> <td>ANI0, ANI1</td> <td>2回</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>ANI2</td> <td>ANI2</td> <td>ANI0-ANI2</td> <td>3回</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>ANI3</td> <td>ANI3</td> <td>ANI0-ANI3</td> <td>4回</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>ANI4</td> <td>設定禁止</td> <td>ANI0-ANI4</td> <td>4回 + ANI4</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>ANI5</td> <td>設定禁止</td> <td>ANI0-ANI5</td> <td>4回 + ANI4, ANI5</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>ANI6</td> <td>設定禁止</td> <td>ANI0-ANI6</td> <td>4回 + ANI4-ANI6</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>ANI7</td> <td>設定禁止</td> <td>ANI0-ANI7</td> <td>4回 + ANI4-ANI7</td> </tr> </tbody> </table>	ANIS2	ANIS1	ANIS0	セレクト・モード		スキャン・モード		A/Dトリガ・モード	タイマ・トリガ・モード, 外部トリガ・モード	A/Dトリガ・モード	タイマ・トリガ・モード <sup>注1, 2</sup> , 外部トリガ・モード <sup>注2</sup>	0	0	0	ANI0	ANI0	ANI0	1回	0	0	1	ANI1	ANI1	ANI0, ANI1	2回	0	1	0	ANI2	ANI2	ANI0-ANI2	3回	0	1	1	ANI3	ANI3	ANI0-ANI3	4回	1	0	0	ANI4	設定禁止	ANI0-ANI4	4回 + ANI4	1	0	1	ANI5	設定禁止	ANI0-ANI5	4回 + ANI4, ANI5	1	1	0	ANI6	設定禁止	ANI0-ANI6	4回 + ANI4-ANI6	1	1	1	ANI7	設定禁止	ANI0-ANI7	4回 + ANI4-ANI7
ANIS2	ANIS1	ANIS0				セレクト・モード		スキャン・モード																																																													
			A/Dトリガ・モード	タイマ・トリガ・モード, 外部トリガ・モード	A/Dトリガ・モード	タイマ・トリガ・モード <sup>注1, 2</sup> , 外部トリガ・モード <sup>注2</sup>																																																															
0	0	0	ANI0	ANI0	ANI0	1回																																																															
0	0	1	ANI1	ANI1	ANI0, ANI1	2回																																																															
0	1	0	ANI2	ANI2	ANI0-ANI2	3回																																																															
0	1	1	ANI3	ANI3	ANI0-ANI3	4回																																																															
1	0	0	ANI4	設定禁止	ANI0-ANI4	4回 + ANI4																																																															
1	0	1	ANI5	設定禁止	ANI0-ANI5	4回 + ANI4, ANI5																																																															
1	1	0	ANI6	設定禁止	ANI0-ANI6	4回 + ANI4-ANI6																																																															
1	1	1	ANI7	設定禁止	ANI0-ANI7	4回 + ANI4-ANI7																																																															

- 注1. スキャン・モード時のタイマ・トリガ・モード（4トリガ・モード）では、ANI0-ANI3端子のスキャン順序はコンペア・レジスタの一致信号の発生順序により指定されるため、特定のアナログ入力端子を指定するのではなく、トリガ入力回数を指定します。
2. ANIS2 = 1に設定した場合、トリガを4回カウントしたあとに、ANI3の変換に連続してANInまで変換を行います（n = 4-7）。

**(2) A/Dコンバータ・モード・レジスタ1 (ADM1)**

ADM1レジスタは、変換動作時間の指定、トリガ・モードの指定を行う8ビット・レジスタです。

8ビット単位でリード/ライト可能です。ただし、A/D変換動作中にADM1レジスタに書き込みを行った場合、変換動作は初期化され、最初から変換動作をやり直します。

- 注意1.** トリガ入力からA/D変換終了までは、FR2-FR0ビットで指定したクロック数に加えて、次に示すクロック数がかかります (12. 8. 6 A/D変換時間についての補足参照)。

A/Dトリガ・モード時 : 11-13クロック (9-11クロック + 2クロック)

タイマ・トリガ・モードまたは外部トリガ・モード時 : 7-9クロック (5-7クロック + 2クロック)

2. タイマ・トリガ・モードまたは外部トリガ・モード時には、必ずトリガ入力はFR2-FR0ビットで指定したクロック数以上の間隔で入力してください (12. 8. 2 タイマ・トリガまたは外部トリガの間隔参照)



	7	6	5	4	3	2	1	0	アドレス	初期値
ADM1	0	TRG2	TRG1	TRG0	0	FR2	FR1	FR0	FFFFFF201H	07H

ビット位置	ビット名	意味																																																																		
6-4	TRG2-TRG0	<p>Trigger Mode</p> <p>トリガ・モードを指定します。</p> <table border="1"> <thead> <tr> <th>TRG2</th> <th>TRG1</th> <th>TRG0</th> <th>トリガ・モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0/1</td> <td>A/Dトリガ・モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>タイマ・トリガ・モード(1トリガ・モード)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>タイマ・トリガ・モード(4トリガ・モード)</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>外部トリガ・モード</td> </tr> <tr> <td colspan="3">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table> <p><b>備考</b> 外部トリガ・モード時の外部入力信号の有効エッジの指定は、外部割り込みモード・レジスタ (INTM3) のビット7, 6 (ES1231, ES1230) で指定します。詳細は7.3.9(1)外部割り込みモード・レジスタ1-4 (INTM1-INTM4) を参照してください。</p>	TRG2	TRG1	TRG0	トリガ・モード	0	0	0/1	A/Dトリガ・モード	0	1	0	タイマ・トリガ・モード(1トリガ・モード)	0	1	1	タイマ・トリガ・モード(4トリガ・モード)	1	1	0	外部トリガ・モード	上記以外			設定禁止																																										
TRG2	TRG1	TRG0	トリガ・モード																																																																	
0	0	0/1	A/Dトリガ・モード																																																																	
0	1	0	タイマ・トリガ・モード(1トリガ・モード)																																																																	
0	1	1	タイマ・トリガ・モード(4トリガ・モード)																																																																	
1	1	0	外部トリガ・モード																																																																	
上記以外			設定禁止																																																																	
2-0	FR2-FR0	<p>Frequency</p> <p>変換動作時間を指定します。発振周波数を変化させた場合でも、A/D変換時間を大きく変化させないようにするための制御ビットです。</p> <table border="1"> <thead> <tr> <th rowspan="2">FR2</th> <th rowspan="2">FR1</th> <th rowspan="2">FR0</th> <th rowspan="2">変換 クロック数</th> <th colspan="3">変換動作時間<sup>注</sup></th> </tr> <tr> <th>f<sub>xx</sub> = 50 MHz</th> <th>f<sub>xx</sub> = 40 MHz</th> <th>f<sub>xx</sub> = 33 MHz</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>96</td> <td>設定禁止</td> <td>設定禁止</td> <td>設定禁止</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>144</td> <td>設定禁止</td> <td>設定禁止</td> <td>設定禁止</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>192</td> <td>設定禁止</td> <td>設定禁止</td> <td>5.82 μs</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>240</td> <td>4.80 μs</td> <td>6.00 μs</td> <td>7.27 μs</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>336</td> <td>6.72 μs</td> <td>8.40 μs</td> <td>10.18 μs</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>384</td> <td>7.68 μs</td> <td>9.60 μs</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>480</td> <td>9.60 μs</td> <td>設定禁止</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>672</td> <td>設定禁止</td> <td>設定禁止</td> <td>設定禁止</td> </tr> </tbody> </table> <p><b>注</b> 変換動作時間が5 ~ 10 μsになるように設定してください。</p> <p><b>備考</b> f<sub>xx</sub> = 内部システム・クロック</p>	FR2	FR1	FR0	変換 クロック数	変換動作時間 <sup>注</sup>			f <sub>xx</sub> = 50 MHz	f <sub>xx</sub> = 40 MHz	f <sub>xx</sub> = 33 MHz	0	0	0	96	設定禁止	設定禁止	設定禁止	0	0	1	144	設定禁止	設定禁止	設定禁止	0	1	0	192	設定禁止	設定禁止	5.82 μs	0	1	1	240	4.80 μs	6.00 μs	7.27 μs	1	0	0	336	6.72 μs	8.40 μs	10.18 μs	1	0	1	384	7.68 μs	9.60 μs	設定禁止	1	1	0	480	9.60 μs	設定禁止	設定禁止	1	1	1	672	設定禁止	設定禁止	設定禁止
FR2	FR1	FR0					変換 クロック数	変換動作時間 <sup>注</sup>																																																												
			f <sub>xx</sub> = 50 MHz	f <sub>xx</sub> = 40 MHz	f <sub>xx</sub> = 33 MHz																																																															
0	0	0	96	設定禁止	設定禁止	設定禁止																																																														
0	0	1	144	設定禁止	設定禁止	設定禁止																																																														
0	1	0	192	設定禁止	設定禁止	5.82 μs																																																														
0	1	1	240	4.80 μs	6.00 μs	7.27 μs																																																														
1	0	0	336	6.72 μs	8.40 μs	10.18 μs																																																														
1	0	1	384	7.68 μs	9.60 μs	設定禁止																																																														
1	1	0	480	9.60 μs	設定禁止	設定禁止																																																														
1	1	1	672	設定禁止	設定禁止	設定禁止																																																														

(3) A/Dコンバータ・モード・レジスタ2 (ADM2)

ADM2レジスタは、A/Dコンバータのリセット、クロックの制御を行う8ビット・レジスタです。8/1ビット単位でリード/ライト可能です。

**注意** リセット解除後はADCAE = 0となるため、A/Dコンバータはリセット状態になります。A/Dコンバータを動作させる場合は、必ずADM2レジスタのADCAEビットを1に設定したあとに、ADM0、ADM1レジスタの書き込みを行ってください (ADCAE = 0の場合はADM0、ADM1レジスタの書き込みができません)。また、ADCAEビットを 0に設定するとA/Dコンバータに関するすべてのレジスタが初期化されます。

	7	6	5	4	3	2	1	①	アドレス	初期値
ADM2	0	0	0	0	0	0	0	ADCAE	FFFFFF202H	00H

ビット位置	ビット名	意 味
0	ADCAE	Clock Action Enable A/Dコンバータの動作を制御します。 0 : A/Dコンバータへのクロック供給停止, A/Dコンバータ・リセット状態 1 : A/Dコンバータへのクロック供給, A/Dコンバータ動作許可状態

(4) A/D変換結果レジスタ (ADCR0-ADCR7, ADCR0H-ADCR7H)

ADCRnレジスタは、A/D変換の結果を保持する10ビット・レジスタです。8本の10ビット・レジスタを備えています。

16/8ビット単位でリードだけ可能です。このレジスタへの16ビット・アクセス時はADCRnレジスタを、上位8ビット・アクセス時はADCRnHレジスタを指定します (n = 0-7)。

ADCRnレジスタからA/D変換結果の10ビット・データを読み出す場合には、下位の10ビットだけが有効となり、上位6ビットは常に0が読み出されます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ADCRn																FFFFFF210H- FFFFFF21EH	0000H
0	0	0	0	0	0	AD n9	AD n8	AD n7	AD n6	AD n5	AD n4	AD n3	AD n2	AD n1	AD n0		
							7	6	5	4	3	2	1	0	アドレス	初期値	
							ADCRnH								FFFFFF220H- FFFFFF227H	00H	
							AD n9	AD n8	AD n7	AD n6	AD n5	AD n4	AD n3	AD n2			
<b>備考</b> n = 0-7																	

各アナログ入力端子とADCRnレジスタの対応 (4バッファ・モードを除く) を次に示します。

アナログ入力端子	ADCRnレジスタ
ANI0	ADCR0, ADCR0H
ANI1	ADCR1, ADCR1H
ANI2	ADCR2, ADCR2H
ANI3	ADCR3, ADCR3H
ANI4	ADCR4, ADCR4H
ANI5	ADCR5, ADCR5H
ANI6	ADCR6, ADCR6H
ANI7	ADCR7, ADCR7H

アナログ入力端子 (ANI0-ANI7) に入力されたアナログ入力電圧とA/D変換結果 (A/D変換結果レジスタn (ADCRn)) には次式に示す関係があります。

$$ADCR = \text{INT} \left( \frac{V_{IN}}{AV_{REF}} \times 1024 + 0.5 \right)$$

または,

$$\left( ADCR - 0.5 \right) \times \frac{AV_{REF}}{1024} < V_{IN} < \left( ADCR + 0.5 \right) \times \frac{AV_{REF}}{1024}$$

INT ( ) : ( ) 内の値の整数部を返す関数

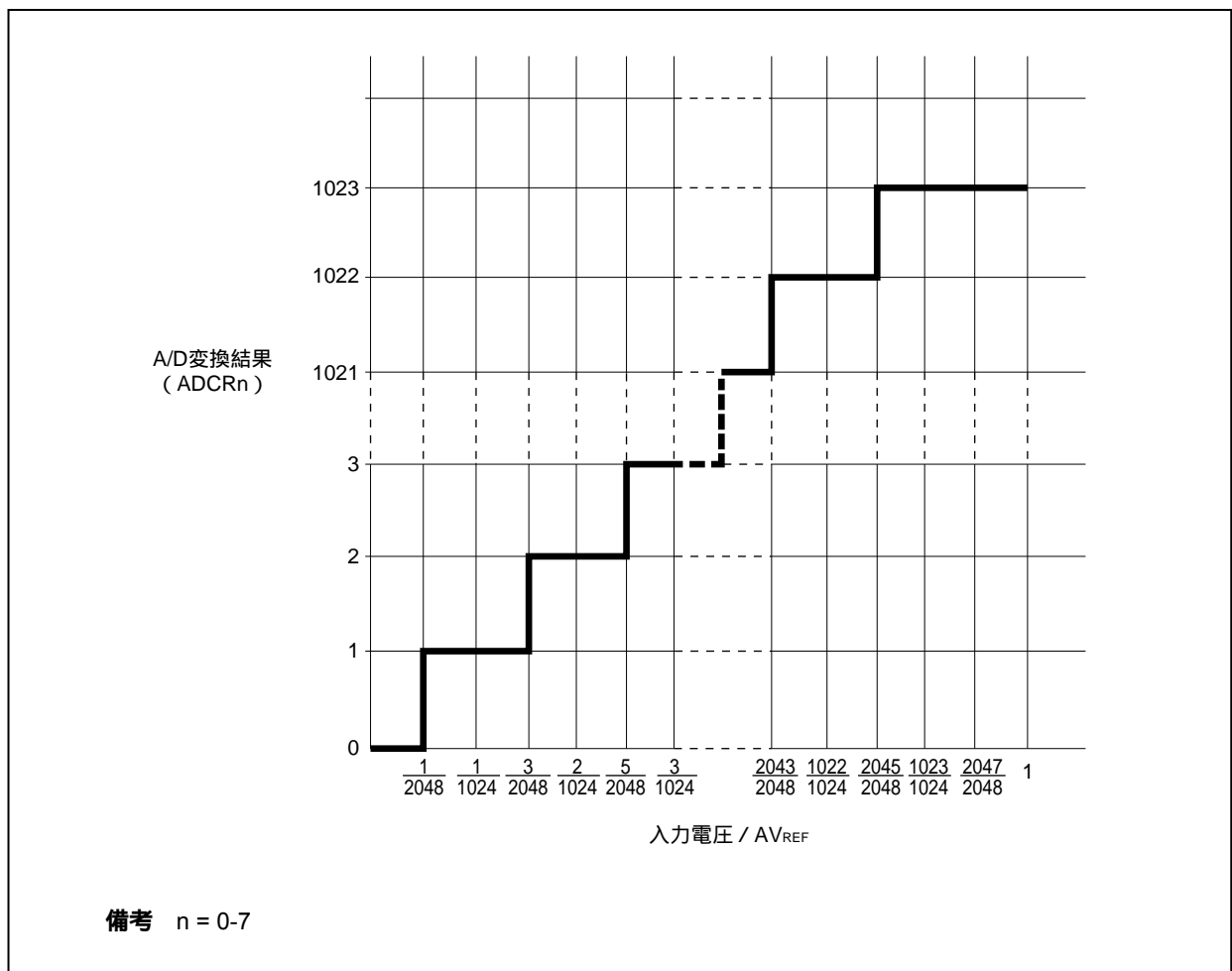
$V_{IN}$  : アナログ入力電圧

$AV_{REF}$  :  $AV_{REF}$ 端子電圧

ADCR : A/D変換結果レジスタn (ADCRn) の値

図12 - 2にアナログ入力電圧とA/D変換結果の関係を示します。

図12 - 2 アナログ入力電圧とA/D変換結果の関係



## 12.4 A/Dコンバータ動作

### 12.4.1 A/Dコンバータ基本動作

A/D変換は次の手順で行います。

- (1) ADM2レジスタのADCAEビットをセット(1)します。
- (2) アナログ入力の選択,動作モード,トリガ・モードなどを,ADM0,ADM1レジスタで指定します<sup>注1</sup>。ADM0レジスタのADCEビットをセット(1)すると,A/Dトリガ・モード時はA/D変換を開始します。タイマ・トリガ・モード,外部トリガ・モード時は,トリガ待機状態になります<sup>注2</sup>。
- (3) 直列抵抗ストリングの電圧タップから発生した電圧とアナログ入力をコンパレータで比較します。
- (4) 10ビットの比較が終了したとき,ADCRnレジスタに変換結果を格納します。指定した回数のA/D変換が終了したとき,A/D変換終了割り込み(INTAD)を発生します(n=0-7)。

- 注1.** A/D変換動作中にADM0-ADM2レジスタの内容を変更した場合,ADCRnレジスタに変換結果は格納されません。変更前のA/D変換動作は初期化され,最初から変換動作をやり直します。
- 2.** タイマ・トリガ・モード,外部トリガ・モードの場合,ADM0レジスタのADCEビットを1にすると,トリガ待機状態に遷移します。また,A/D変換動作は,トリガ信号によって起動され,A/D変換動作が終了するとトリガ待機状態に戻ります。

## 12.4.2 動作モードとトリガ・モード

A/Dコンバータは、動作モード、トリガ・モードの指定により多彩な変換動作を指定できます。動作モード、トリガ・モードは、ADM0, ADM1レジスタで設定します。

動作モード、トリガ・モードの関係を次に示します。

トリガ・モード	動作モード		設定値		アナログ入力	
			ADM0	ADM1		
ADトリガ	セレクト	1バッファ	XX010XXXB	000X0XXXB	ANI0-ANI7	
		4バッファ	XX110XXXB	000X0XXXB		
	スキャン		XXX00XXXB	000X0XXXB		
タイマ・トリガ	1トリガ	セレクト	1バッファ	XX010XXXB	00100XXXB	ANI0-ANI3
			4バッファ	XX110XXXB	00100XXXB	
		スキャン		XXX00XXXB	00100XXXB	ANI0-ANI7 <sup>注</sup>
	4トリガ	セレクト	1バッファ	XX010XXXB	00110XXXB	ANI0-ANI3
			4バッファ	XX110XXXB	00110XXXB	
		スキャン		XXX00XXXB	00110XXXB	ANI0-ANI7 <sup>注</sup>
外部トリガ	セレクト	1バッファ	XX010XXXB	01100XXXB	ANI0-ANI3	
		4バッファ	XX110XXXB	01100XXXB		
	スキャン		XXX00XXXB	01100XXXB	ANI0-ANI7 <sup>注</sup>	

注 ANI4-ANI7は連続して変換されます。

### (1) トリガ・モード

A/D変換処理の開始タイミングとなるトリガ・モードには、A/Dトリガ・モード、タイマ・トリガ・モード、外部トリガ・モードの3通りがあります。ANI0-ANI3端子はすべてのモードを指定できますが、ANI4-ANI7端子はA/Dトリガ・モードだけ指定できます。また、タイマ・トリガ・モードにはサブトリガ・モードとして、1トリガ・モードと4トリガ・モードがあります。これらのトリガ・モードは、ADM1レジスタで設定します。

#### (a) A/Dトリガ・モード

ANI0-ANI7端子に設定されたアナログ入力の変換タイミングを、ADM0レジスタのADCEビットを1に設定することによりA/D変換を開始するモードです。ANI4-ANI7端子には常にこのモードになります。

**(b) タイマ・トリガ・モード**

ANI0-ANI3端子に設定されたアナログ入力の変換タイミングを、タイマCのコンペア・レジスタに設定した値で規定するモードです。このモードはANI0-ANI3端子だけで指定できます(セレクト・モード時)。

16ビットのタイマC(TMC0, TMC1)に接続された4本のキャプチャ/コンペア・レジスタ(CCC00, CCC01, CCC10, CCC11)の一致割り込み(INTM000, INTM001, INTM010, INTM011)発生により、アナログ入力変換タイミングを生成します。また、一致割り込み(INTM000, INTM001, INTM010, INTM011)はそれぞれ外部端子割り込み(INTP000, INTP001, INTP010, INTP011)と兼用しているため、兼用している外部端子割り込みが入力された場合でもアナログ入力変換タイミングを生成します。

タイマ・トリガ・モードには、1トリガ・モードと4トリガ・モードの2通りのサブトリガ・モードがあります。

**・1トリガ・モード**

タイマCからの1つの一致割り込みをA/D変換開始タイミングとして使用するモードです。

**・4トリガ・モード**

タイマCからの4つの一致割り込みをA/D変換開始タイミングとして使用するモードです。

**(c) 外部トリガ・モード**

ANI0-ANI3端子に設定されたアナログ入力の変換タイミングを、ADTRG端子で指定するモードです。このモードはANI0-ANI3端子だけで指定できます。

**(2) 動作モード**

動作モードには、ANI0-ANI7端子を設定するモードとして、セレクト・モード、スキャン・モードの2通りがあります。セレクト・モードには、サブモードとして、1バッファ・モードと4バッファ・モードがあります。これらのモードは、ADM0レジスタで設定します。

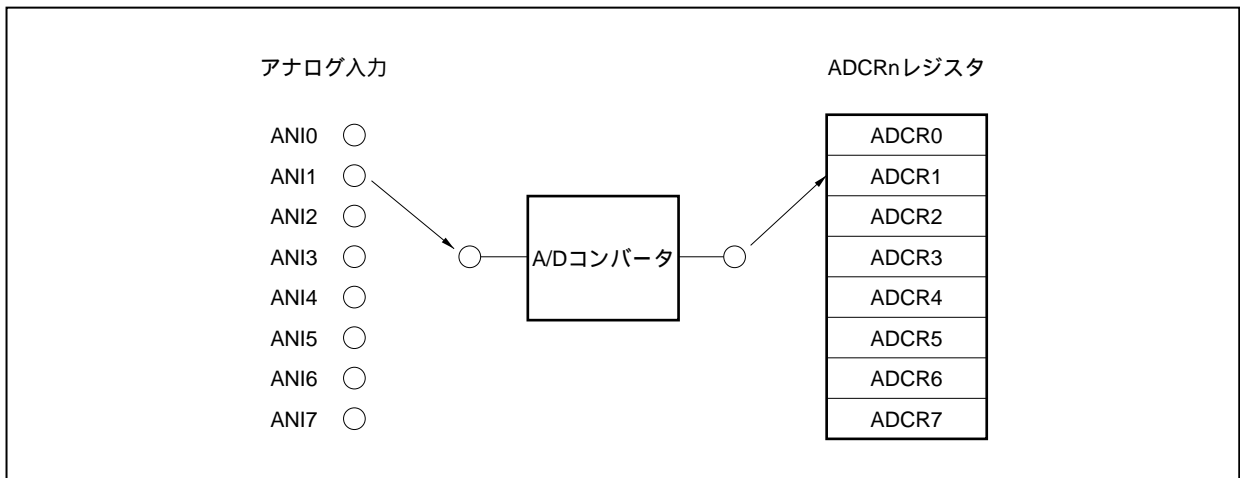
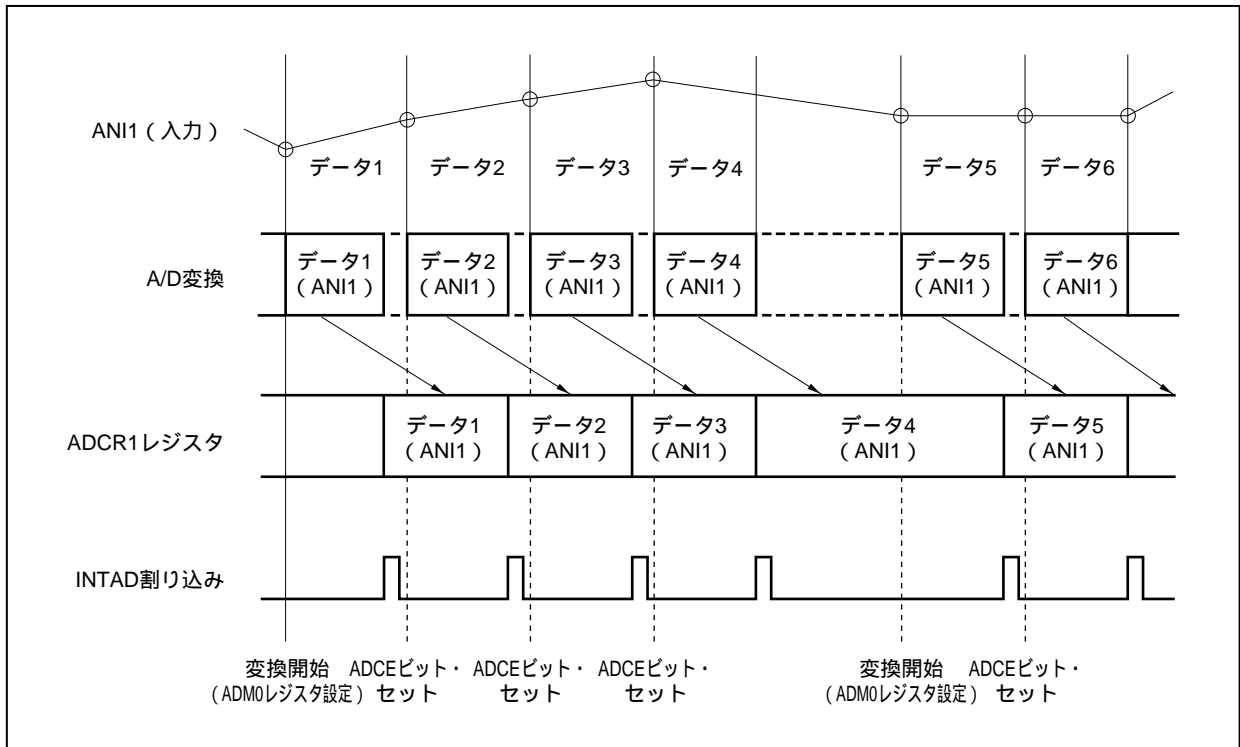
**(a) セレクト・モード**

ADM0レジスタで指定される1つのアナログ入力をA/D変換します。変換結果は、アナログ入力(ANIn)に対応したADCRnレジスタに格納します。このモードでは、A/D変換結果の格納方法として、1バッファ・モードと4バッファ・モードを備えています(n=0-7)。

**・1バッファ・モード**

ADM0レジスタで指定される1つのアナログ入力をA/D変換します。変換結果は、アナログ入力(ANIn)に対応したADCRnレジスタに格納します。ANInとADCRnレジスタは1対1に対応しており、1回のA/D変換終了ごとにA/D変換終了割り込み(INTAD)が発生します。

図12-3 セレクト・モードの動作タイミング例：1バッファ・モード (ANI1)

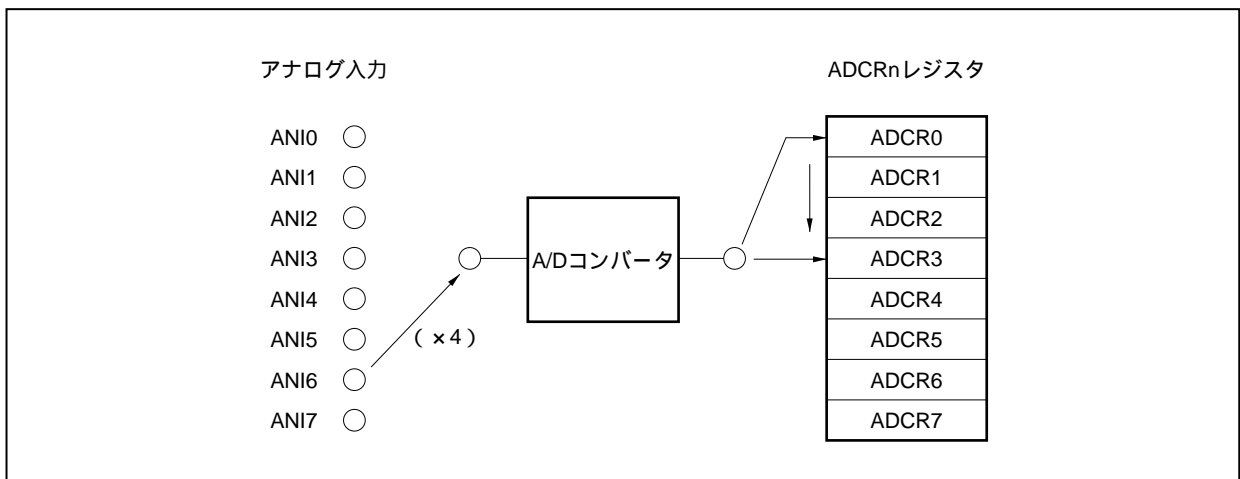
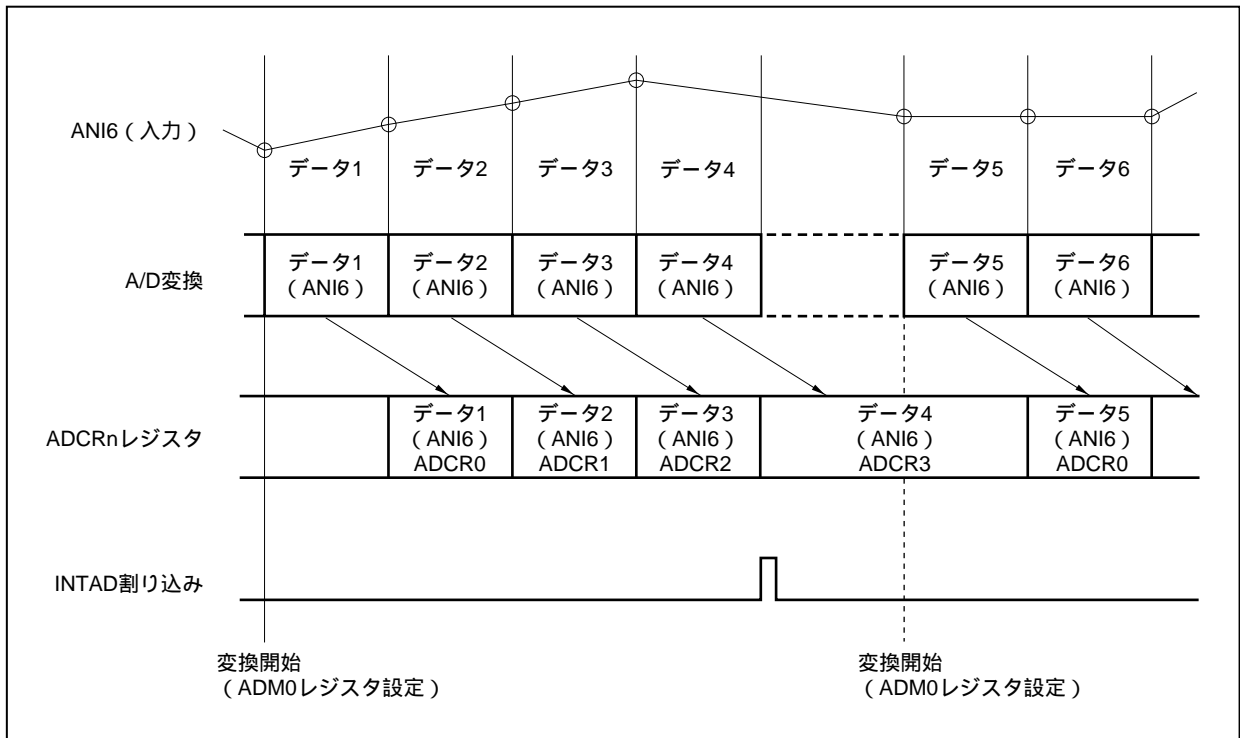




・4バッファ・モード

1つのアナログ入力を4回A/D変換し、その結果をADCR0-ADCR3レジスタに格納します。A/D変換終了割り込み (INTAD) は、4回のA/D変換が終了したときに発生します。

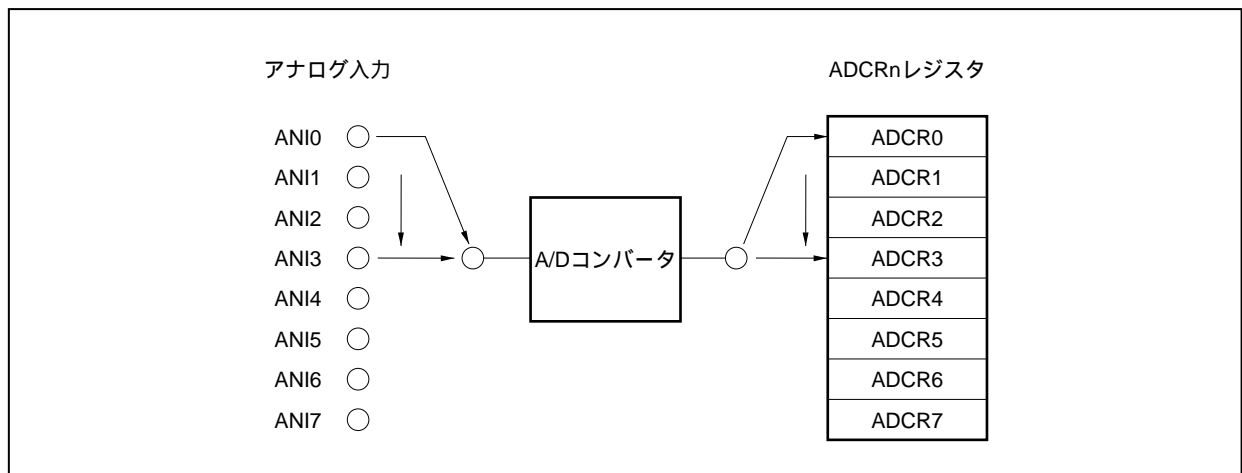
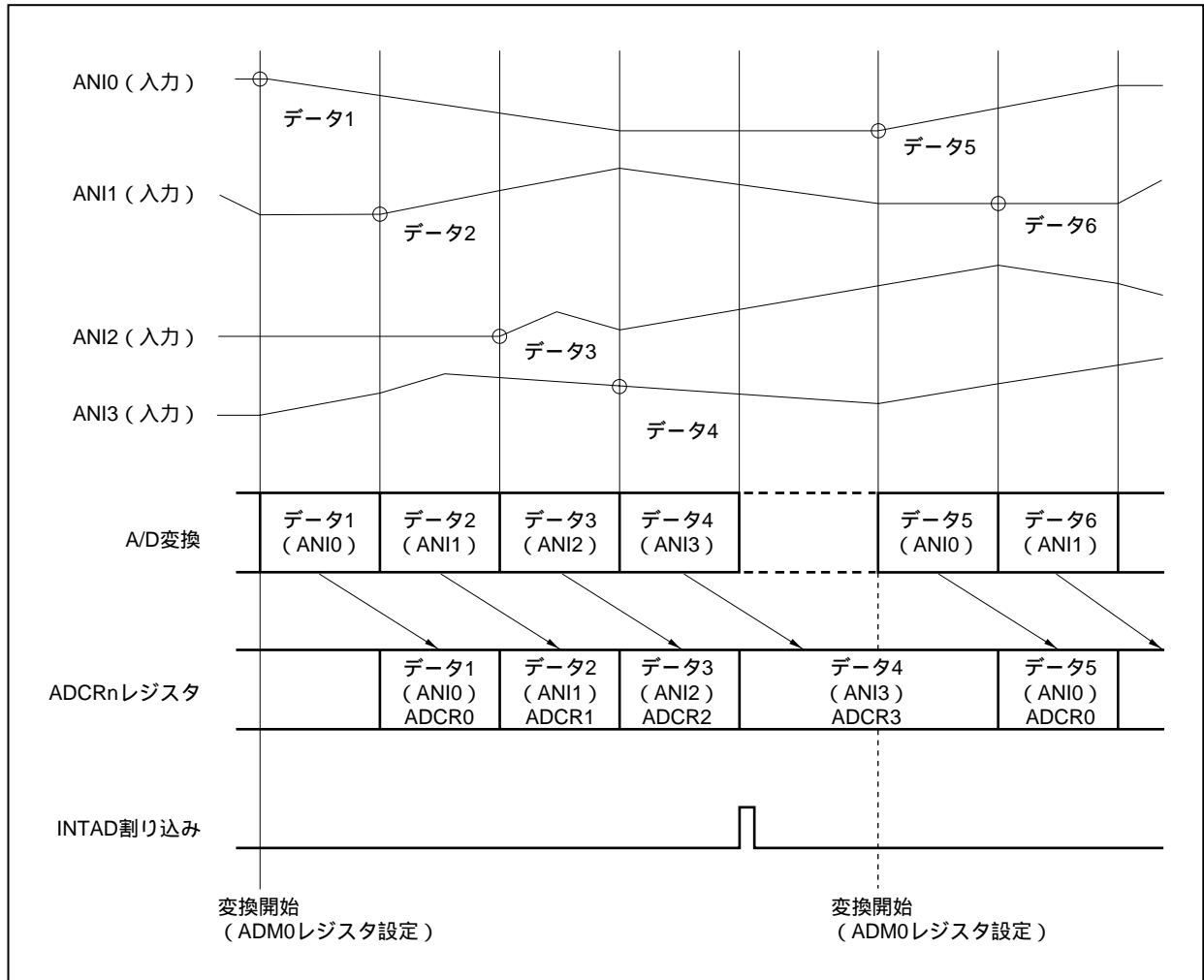
図12 - 4 セレクト・モードの動作タイミング例：4バッファ・モード (ANI6)



(b) スキャン・モード

ANI0端子から，ADM0レジスタで指定したアナログ入力までを順に選択し，A/D変換します。A/D変換結果は，アナログ入力に対応したADCRnレジスタに格納します（n = 0-7）。指定したアナログ入力の変換が終了するとA/D変換終了割り込み（INTAD）が発生します。

図12 - 5 スキャン・モードの動作タイミング例：4チャンネル・スキャン（ANI0-ANI3）



## 12.5 A/Dトリガ・モード時の動作

ADM0レジスタのADCEビットを1に設定すると、A/D変換を開始します。

### 12.5.1 セレクト・モードの動作

ADM0レジスタで指定されるアナログ入力をA/D変換します。変換結果は、ADCRnレジスタに格納します。セレクト・モードでは、A/D変換結果の格納方法により、1バッファ・モードと4バッファ・モードをサポートしています ( $n=0-7$ )。

#### (1) 1バッファ・モード (A/Dトリガ・セレクト1バッファ)

1つのアナログ入力を1回A/D変換し、その結果を1つのADCRnレジスタに格納します。アナログ入力とADCRnレジスタは1対1に対応しています。

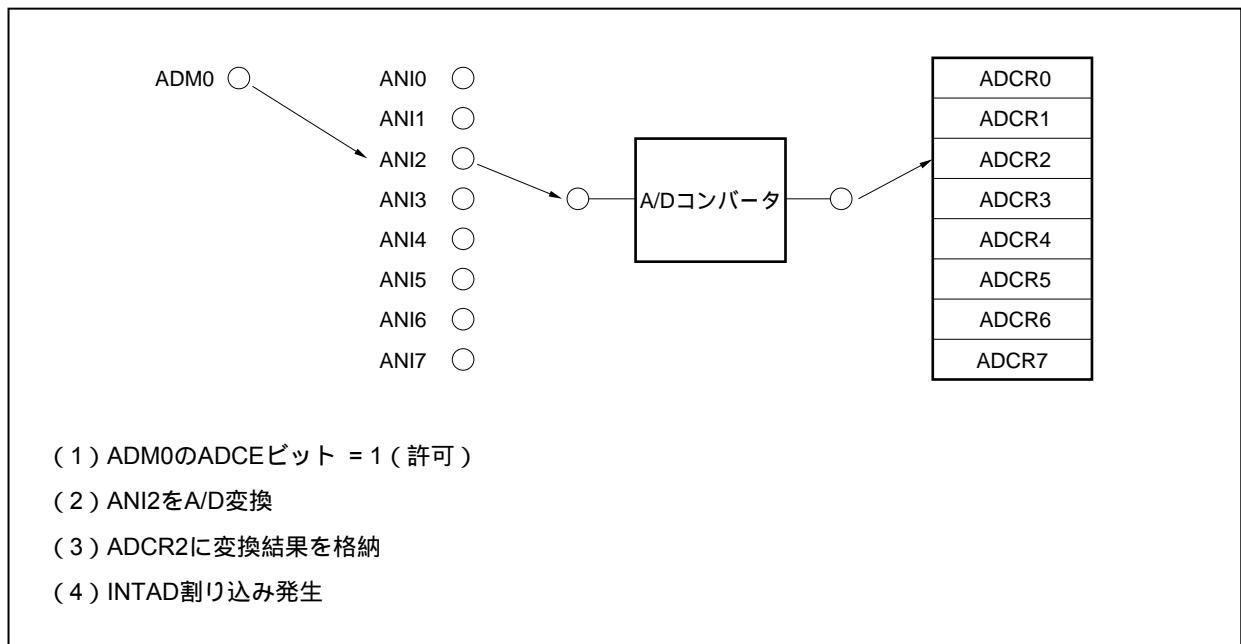
1回のA/D変換終了ごとにA/D変換終了割り込み (INTAD) を発生し、A/D変換を終了します (ADM0レジスタのADCSビット = 0)。

アナログ入力	A/D変換結果レジスタ
ANIn	ADCRn

ADM0レジスタのADCEビットに1を書き込むと、A/D変換を再起動できます。

1回目のA/D変換ごとに結果を読み出すような応用に最適です。

図12-6 1バッファ・モード (A/Dトリガ・セレクト1バッファ) の動作例



(2) 4バッファ・モード (A/Dトリガ・セレクト4バッファ)

1つのアナログ入力を4回A/D変換し、その結果をADCR0-ADCR3レジスタに格納します。

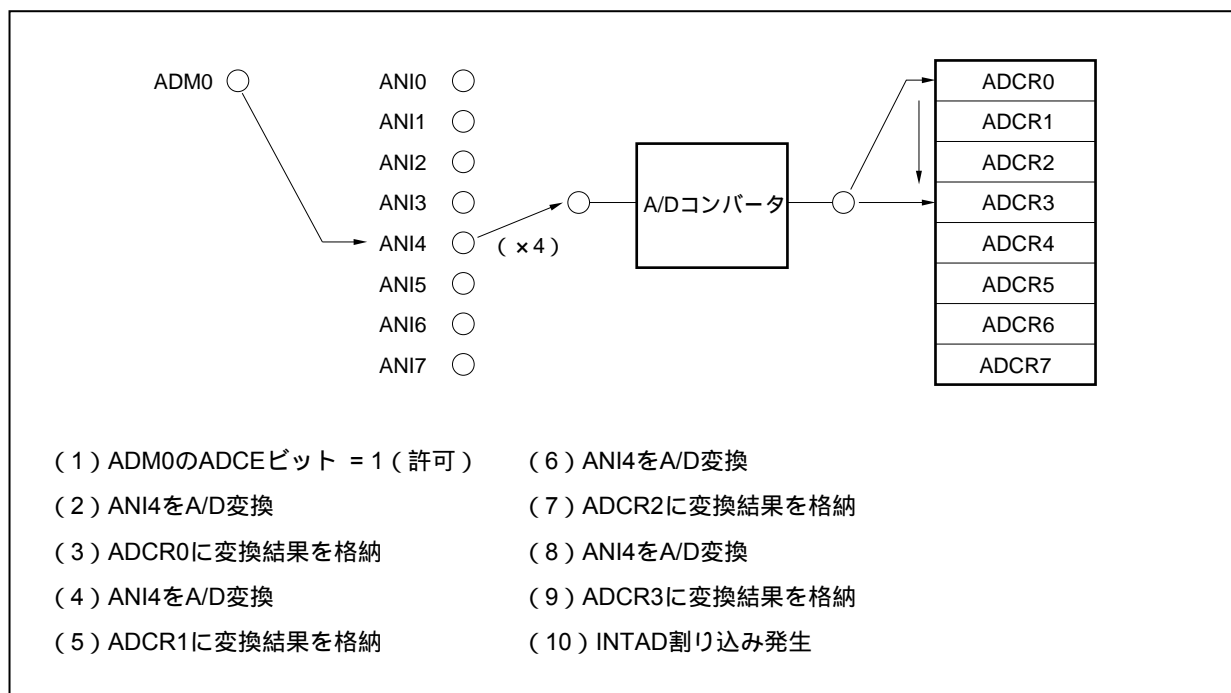
4回のA/D変換が終了すると、A/D変換終了割り込み (INTAD) を発生し、A/D変換を終了します (ADM0レジスタのADCSビット = 0)。

アナログ入力	A/D変換結果レジスタ
ANIn	ADCR0
ANIn	ADCR1
ANIn	ADCR2
ANIn	ADCR3

ADM0レジスタのADCEビットに1を書き込むと、A/D変換を再起動できます。

A/D変換結果の平均を求めるような応用に最適です。

図12 - 7 4バッファ・モード (A/Dトリガ・セレクト4バッファ) の動作例



### 12.5.2 スキャン・モードの動作

ANI0端子からADM0レジスタで指定されるアナログ入力までを順に選択し、A/D変換します。A/D変換結果をアナログ入力に対応したADCRnレジスタに格納します (n = 0-7)。

指定したアナログ入力の変換をすべて終了すると、A/D変換終了割り込み (INTAD) を発生し、A/D変換を終了します (ADM0レジスタのADCSビット = 0)。

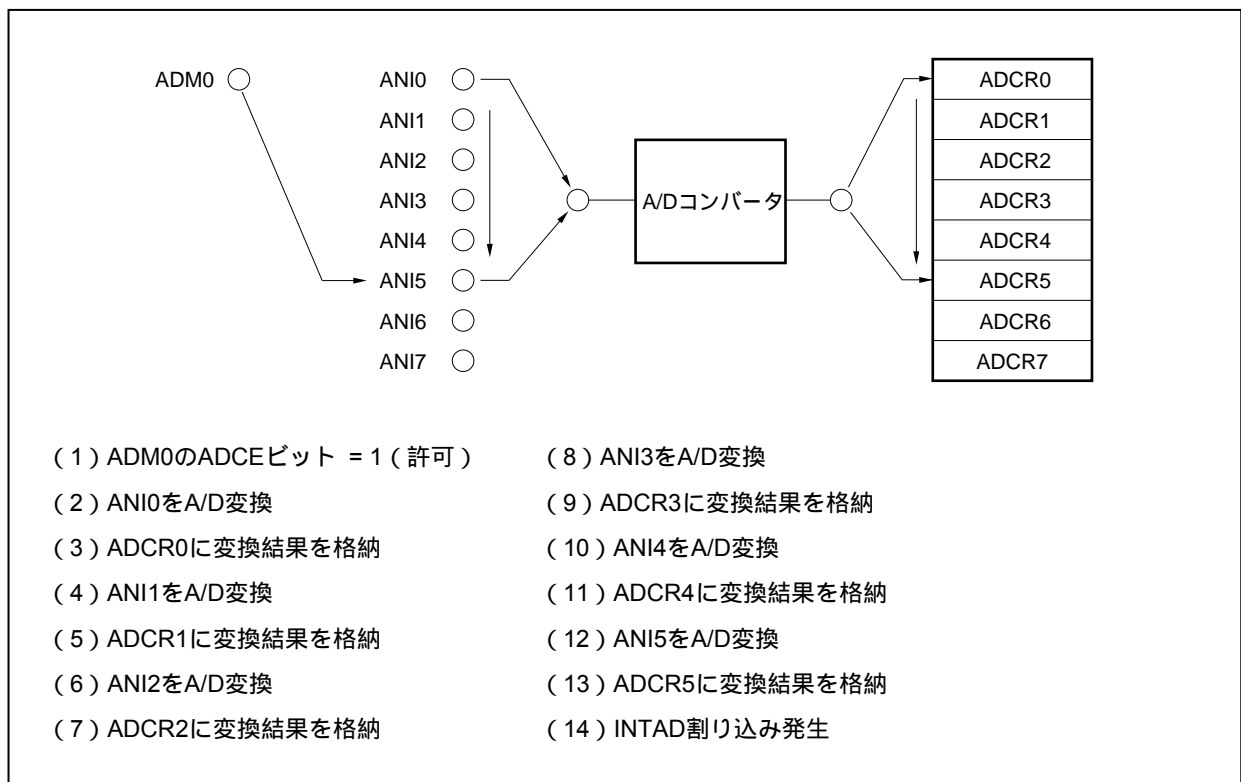
アナログ入力	A/D変換結果レジスタ
ANI0	ADCR0
⋮	⋮
ANIn <sup>注</sup>	ADCRn

注 ADM0レジスタのANIS0-ANIS2ビットで設定

ADM0レジスタのADCEビットに1を書き込むと、A/D変換を再起動できます。

複数のアナログ入力を常時監視するような応用に最適です。

図12 - 8 スキャン・モード (A/Dトリガ・スキャン) の動作例



## 12.6 タイマ・トリガ・モード時の動作

A/Dコンバータは、TMCのコンペア・レジスタの一致割り込み信号で、最大4チャンネルのアナログ入力 (ANI0-ANI3) に対して変換タイミングを設定できます。

アナログ変換のトリガ指定用タイマには、2つの16ビット・タイマ (TMC0, TMC1) と4本のキャプチャ/コンペア・レジスタ (CCC00, CCC01, CCC10, CCC11) を使用します。

TMCC01, TMCC11レジスタの指定に応じて、次の2つのモードがあります。

### (1) ワンショット・モード

ワンショット・モードを使用するには、TMCCn1レジスタのOSTnビットに1 (オーバフロー・ストップ・モード) を設定します ( $n = 0, 1$ )。

TMCnはオーバフローすると、0000Hを保持して停止します。以降、TMCnはコンペア・レジスタの一致割り込み信号 (A/D変換トリガ) を出力せず、A/DコンバータもA/D変換待機状態となります。TMCnのカウント動作は、TMCCn0レジスタのTMCCEnビットに1を書き込むと再開します。ワンショット・モードはA/D変換の周期がTMCnの周期より長い場合に使用します ( $n = 0, 1$ )。

### (2) ループ・モード

ループ・モードを使用するには、TMCCn1レジスタのOSTに0 (フリー・ランニング・モード) を設定します ( $n = 0, 1$ )。

TMCnはオーバフローすると、再び0000Hからカウントを始めるため、コンペア・レジスタの一致割り込み信号 (A/D変換トリガ) が繰り返し出力され、A/D変換も繰り返し行われます。

### 12.6.1 セレクト・モードの動作

ADM0レジスタで指定されるアナログ入力 ( ANI0-ANI3 ) をA/D変換します。変換結果は、ADCRnレジスタに格納します。セレクト・モードでは、A/D変換結果の格納方法により、1バッファ・モードと4バッファ・モードの2通りがあります ( n = 0-3 )。

#### (1) 1バッファ・モードの動作 ( タイマ・トリガ・セレクト1バッファ )

1つのアナログ入力を1回A/D変換し、その結果を1つのADCRnレジスタに格納します。

1バッファ・モードでは、トリガの回数により、1トリガ・モードと4トリガ・モードの2つのモードがあります。

#### (a) 1トリガ・モード ( タイマ・トリガ・セレクト1バッファ1トリガ )

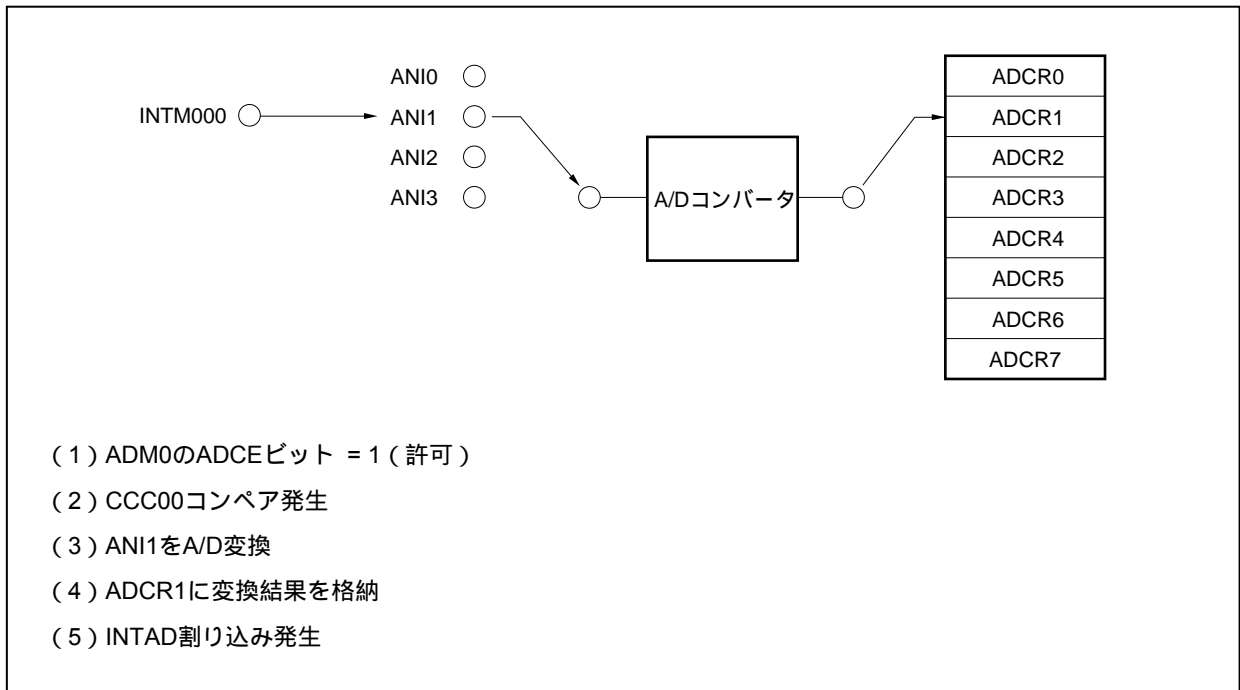
一致割り込み信号 ( INTM000 ) をトリガとして、1つのアナログ入力を1回A/D変換し、その結果を1つのADCRnレジスタに格納します。1回のA/D変換ごとにA/D変換終了割り込み ( INTAD ) を発生し、A/D変換を終了します ( ADM0レジスタのADCSビット = 0 ) ( n = 0-3 )。

トリガ	アナログ入力	A/D変換結果レジスタ
INTM000割り込み	ANIn	ADCRn

ワンショット・モードの場合は、1回の変換でA/D変換を終了します。A/D変換を再起動するには、TMCC00レジスタのTMCCE0ビットに1を書き込むことで、TMC0を再起動してください。

ループ・モードの場合は、ADM0レジスタのADCEビットを0に設定しないかぎり、一致割り込みが発生するごとにA/D変換を繰り返します。

図12-9 1トリガ・モード ( タイマ・トリガ・セレクト1バッファ1トリガ ) の動作例



(b) 4トリガ・モード (タイマ・トリガ・セレクト1バッファ4トリガ)

4つの一致割り込み信号 (INTM000, INTM001, INTM010, INTM011) をトリガとして, 1つのアナログ入力をA/D変換し, その結果を1つのADCRnレジスタに格納します。1回のA/D変換ごとにA/D変換終了割り込み (INTAD) を発生し, ADM0レジスタのADCSビットがリセット (0) されます。1回のA/D変換結果は, 次のA/D変換が終了するまでADCRnレジスタに保持されます。各A/D変換終了後のINTAD割り込みで, 変換結果をメモリへ転送するなどの処理をしてください (n = 0-3)。

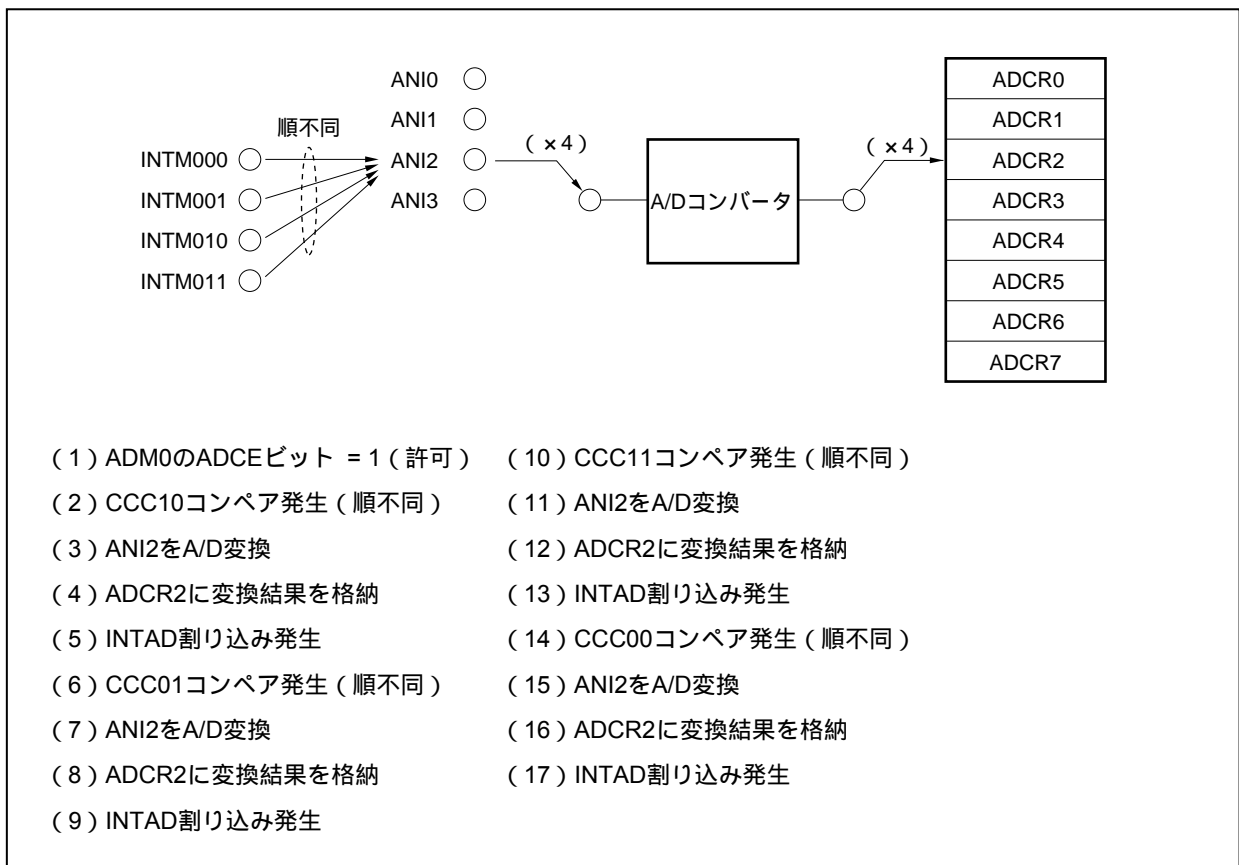
トリガ	アナログ入力	A/D変換結果レジスタ
INTM000割り込み	ANIn	ADCRn
INTM001割り込み	ANIn	ADCRn
INTM010割り込み	ANIn	ADCRn
INTM011割り込み	ANIn	ADCRn

ワンショット・モードの場合は, A/D変換を4回で終了します。A/D変換を再起動するには, TMCCn0レジスタのTMCCEnビットに1を書き込むことで, TMCnを再起動してください。TMCn再起動後の最初の一致割り込みが発生すると, ADCSビットがセット (1) されA/D変換を開始します (n = 0, 1)。

ループ・モードの場合は, ADM0レジスタのADCEビットを0に設定しないかぎり, 一致割り込みが発生するごとにA/D変換を繰り返します。

一致割り込み (INTM000, INTM001, INTM010, INTM011) はどのような順番で発生しても問題ありません。また, 同一トリガが連続して入った場合もトリガとして受け付けます。

図12 - 10 4トリガ・モード (タイマ・トリガ・セレクト1バッファ4トリガ) の動作例





(2) 4バッファ・モードの動作 (タイマ・トリガ・セレクト4バッファ)

1つのアナログ入力を4回A/D変換し、その結果をADCR0-ADCR3レジスタに格納します。

4バッファ・モードには、トリガの回数により、1トリガ・モードと4トリガ・モードの2つのモードがあります。

A/D変換結果の平均を求めるような応用に最適です。

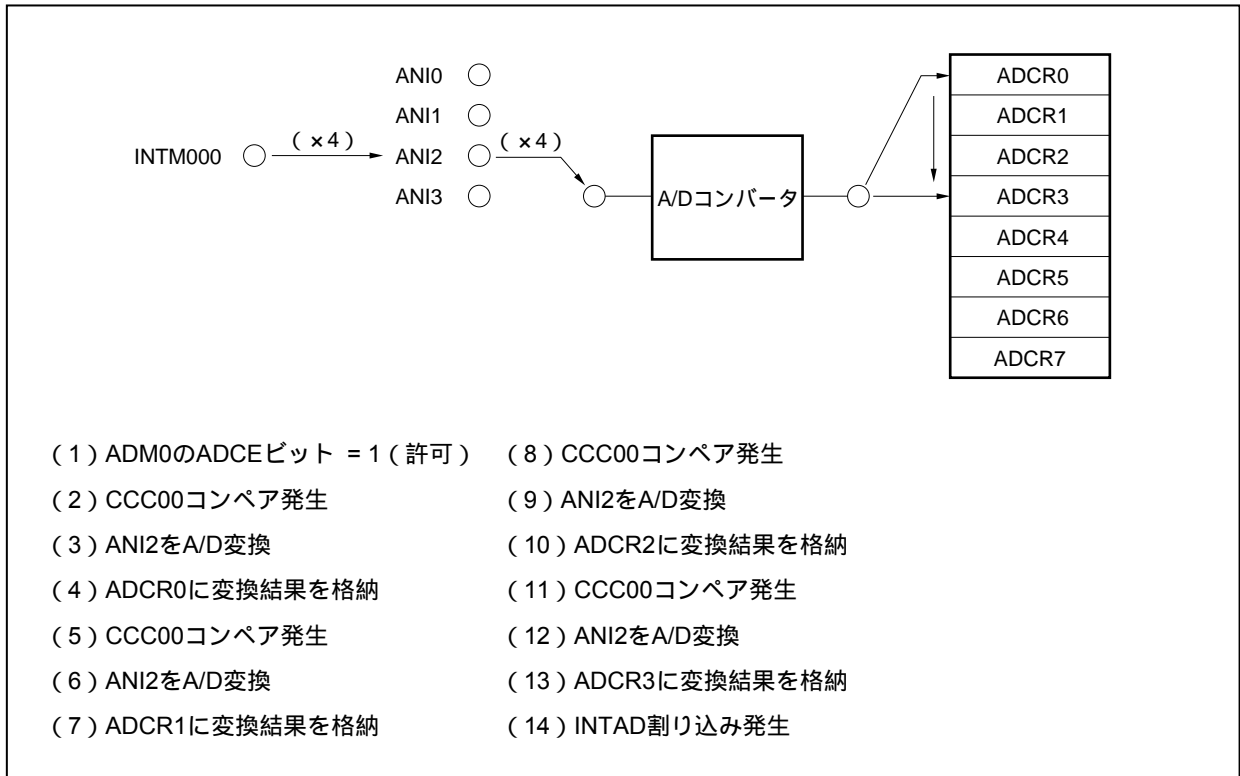
(a) 1トリガ・モード

一致割り込み信号 (INTM000) をトリガとして、1つのアナログ入力を4回A/D変換し、その結果をADCR0-ADCR3レジスタに格納します。A/D変換が4回終了するとA/D変換終了割り込み (INTAD) を発生し、A/D変換を終了します (ADM0レジスタのADCSビット = 0)。

トリガ	アナログ入力	A/D変換結果レジスタ
INTM000割り込み	ANIn	ADCR0
INTM000割り込み	ANIn	ADCR1
INTM000割り込み	ANIn	ADCR2
INTM000割り込み	ANIn	ADCR3

ワンショット・モードに設定しており、TMCC00レジスタのTMCCE0ビットがセット (1) されている場合、一致割り込みの発生が4回未満のときは、INTAD割り込みは発生せず待機状態となります。

図12 - 11 1トリガ・モード (タイマ・トリガ・セレクト4バッファ1トリガ) の動作例



(b) 4トリガ・モード

4つの一致割り込み信号 (INTM000, INTM001, INTM010, INTM011) をトリガとして, 1つのアナログ入力をA/D変換し, その結果を入力されたトリガに対応したADCRnレジスタに格納します。A/D変換が終了するとA/D変換終了割り込み (INTAD) を発生し, ADCSビットがリセット (0) され, A/D変換を終了します。

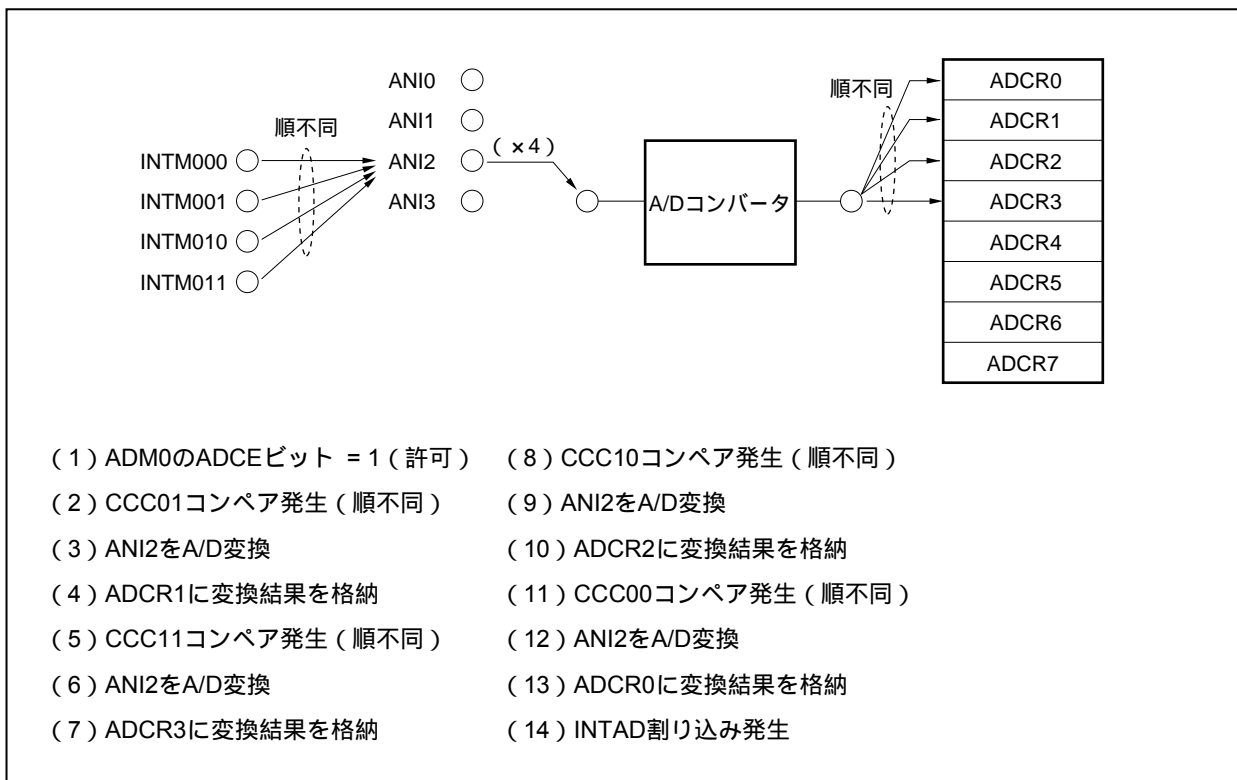
トリガ	アナログ入力	A/D変換結果レジスタ
INTM000割り込み	ANIn	ADCR0
INTM001割り込み	ANIn	ADCR1
INTM010割り込み	ANIn	ADCR2
INTM011割り込み	ANIn	ADCR3

ワンショット・モードの場合は, A/D変換を4回で終了します。A/D変換を再起動するには, TMCCn0レジスタのTMCCEnビットに1を書き込むことで, TMCnを再起動してください。TMCn再起動後の最初の一致割り込みが発生するとADCSビットがセット (1) され, A/D変換を行います (n = 0, 1)。

ループ・モードの場合は, ADM0レジスタのADCEビットを0に設定しないかぎり, 一致割り込みが発生するごとにA/D変換を繰り返します。

一致割り込み (INTM000, INTM001, INTM010, INTM011) はどのような順番で発生しても問題ありません。変換結果は入力されたトリガに対応したADCRnレジスタに格納されます。また, 同一トリガが連続して入った場合もトリガとして受け付けます。

図12 - 12 4トリガ・モード (タイマ・トリガ・セレクト4バッファ4トリガ) の動作例



## 12.6.2 スキャン・モードの動作

ANI0端子からADM0レジスタで指定されるアナログ入力までを順に選択し、一致割り込みトリガとして指定された回数のA/D変換を行います。

変換動作は、まずアナログ入力下位チャンネル ( ANI0-ANI3 ) を指定された回数分A/D変換します。ADM0レジスタで、アナログ入力の下位チャンネル ( ANI0-ANI3 ) までをスキャンするように設定した場合は、設定した回数のA/D変換が終了するとA/D変換終了割り込み ( INTAD ) を発生し、A/D変換を終了します。

ADM0レジスタで、アナログ入力の上位チャンネル ( ANI4-ANI7 ) までをスキャンするように設定した場合は、下位4チャンネルの変換が終了したあと、A/Dトリガ・モードに移行して残りのA/D変換を行います。変換結果はアナログ入力に対応したADCRnレジスタに格納します。設定したアナログ入力の変換がすべて終了するとA/D変換終了割り込み ( INTAD ) を発生し、A/D変換を終了します ( n = 0-7 )。

スキャン・モードにはトリガの回数により、1トリガ・モードと4トリガ・モードの2通りがあります。

複数のアナログ入力を常時監視するような応用に最適です。

### (1) 1トリガ・モード ( タイマ・トリガ・スキャン1トリガ )

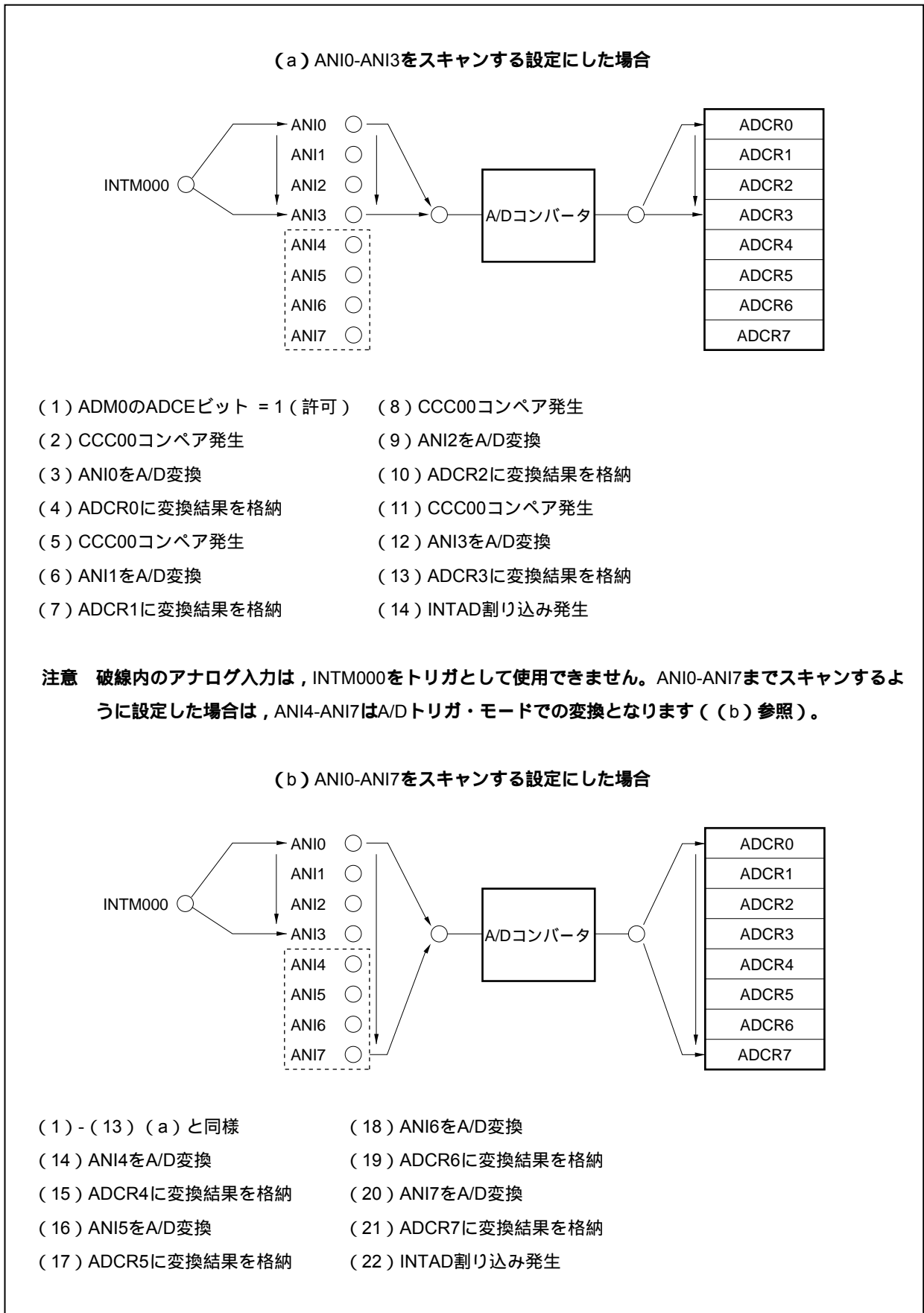
一致割り込み信号 ( INTM000 ) をトリガとして、指定された回数のアナログ入力をANI0端子から順にA/D変換します。アナログ入力とADCRnレジスタは1対1に対応します。指定されたすべてのA/D変換が終了するとA/D変換終了割り込み ( INTAD ) を発生し、A/D変換を終了します ( ADM0レジスタのADCSビット = 0 )。

トリガ	アナログ入力	A/D変換結果レジスタ
INTM000割り込み	ANI0	ADCR0
INTM000割り込み	ANI1	ADCR1
INTM000割り込み	ANI2	ADCR2
INTM000割り込み	ANI3	ADCR3
(A/Dトリガ・モード)	ANI4	ADCR4
	ANI5	ADCR5
	ANI6	ADCR6
	ANI7	ADCR7

指定されたすべてのA/D変換終了後に一致割り込みが発生すると、A/D変換が再起動します。

ワンショット・モードに設定されており、一致割り込みの発生が指定された変換数未満のとき、INTAD割り込みは発生せず待機状態となります。

図12 - 13 1トリガ・モード (タイマ・トリガ・スキャン1トリガ) の動作例



## (2) 4トリガ・モード

一致割り込み信号 (INTM000, INTM001, INTM010, INTM011) をトリガとして、指定された回数のアナログ入力をA/D変換します。アナログ入力とADCRnレジスタは1対1に対応します。指定されたすべてのA/D変換が終了するとA/D変換終了割り込み (INTAD) を発生し、A/D変換を終了します (ADM0レジスタのADCSビット = 0)。

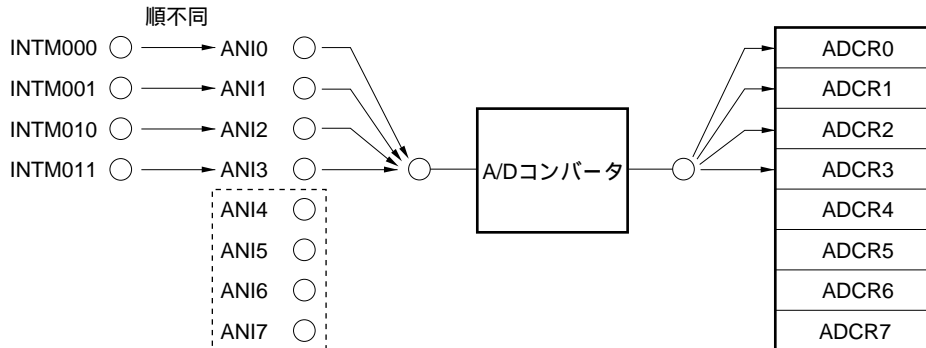
トリガ	アナログ入力	A/D変換結果レジスタ
INTM000割り込み	ANI0	ADCR0
INTM001割り込み	ANI1	ADCR1
INTM010割り込み	ANI2	ADCR2
INTM011割り込み	ANI3	ADCR3
(A/Dトリガ・モード)	ANI4	ADCR4
	ANI5	ADCR5
	ANI6	ADCR6
	ANI7	ADCR7

ワンショット・モードの場合にA/D変換を再起動するには、TMCnを再起動してください。ループ・モードに設定していてADM0レジスタのADCEビットが1の場合は、変換終了後に再び一致割り込みが発生するとA/D変換を再起動します。

一致割り込みはどのような順番で発生しても問題ありません。ただし、トリガ信号とアナログ入力が1対1に対応しているため、コンペア・レジスタの一致信号の発生順でスキャンの順番が決定します。

図12-14 4トリガ・モード(タイマ・トリガ・スキャン4トリガ)の動作例

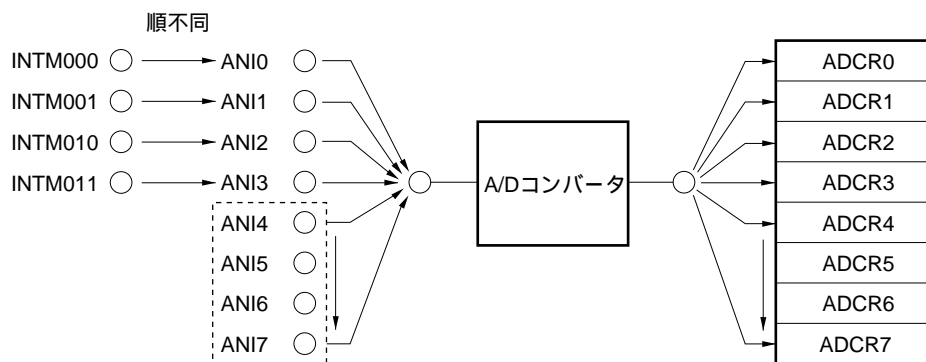
(a) ANI0-ANI3をスキャンする設定にした場合



- |                           |                        |
|---------------------------|------------------------|
| (1) ADM0のADCEビット = 1 (許可) | (8) CCC00コンペア発生 (順不同)  |
| (2) CCC01コンペア発生 (順不同)     | (9) ANI0をA/D変換         |
| (3) ANI1をA/D変換            | (10) ADCR0に変換結果を格納     |
| (4) ADCR1に変換結果を格納         | (11) CCC10コンペア発生 (順不同) |
| (5) CCC11コンペア発生 (順不同)     | (12) ANI2をA/D変換        |
| (6) ANI3をA/D変換            | (13) ADCR2に変換結果を格納     |
| (7) ADCR3に変換結果を格納         | (14) INTAD割り込み発生       |

**注意** 破線内のアナログ入力は, INTM0nnをトリガとして使用できません (n = 0, 1)。ANI0-ANI7までスキャンするように設定した場合は, ANI4-ANI7はA/Dトリガ・モードでの変換となります ( (b) 参照)。

(b) ANI0-ANI7をスキャンする設定にした場合



- |                    |                    |
|--------------------|--------------------|
| (1) - (13) (a) と同様 | (18) ANI6をA/D変換    |
| (14) ANI4をA/D変換    | (19) ADCR6に変換結果を格納 |
| (15) ADCR4に変換結果を格納 | (20) ANI7をA/D変換    |
| (16) ANI5をA/D変換    | (21) ADCR7に変換結果を格納 |
| (17) ADCR5に変換結果を格納 | (22) INTAD割り込み発生   |

## 12.7 外部トリガ・モード時の動作

外部トリガ・モードでは、アナログ入力 (ANI0-ANI3) をADTRG端子の入力タイミングでA/D変換します。

ADTRG端子はP37/INTP123端子と兼用になっています。外部トリガ・モードにするにはPMC3レジスタのPMC37ビットを1に、ADM1レジスタのTRG2-TRG0ビットを110にしてください。

外部トリガ・モード時の外部入力信号の有効エッジは、INTM3レジスタのES1231, ES1230ビットで、立ち上がりエッジ、立ち下がりエッジ、立ち上がり/立ち下がり両エッジのどれかに指定できます。詳細は7.3.9(1)外部割り込みモード・レジスタ1-4 (INTM1-INTM4) を参照してください。

### 12.7.1 セレクト・モードの動作 (外部トリガ・セレクト)

ADM0レジスタで指定する1つのアナログ入力 (ANI0-ANI3) をA/D変換します。変換結果は、ADCRnレジスタに格納します。セレクト・モードでは、A/D変換結果の格納方法により、1バッファ・モードと4バッファ・モードの2通りがあります (n = 0-3)。

(1) 1バッファ・モード (外部トリガ・セレクト1バッファ)

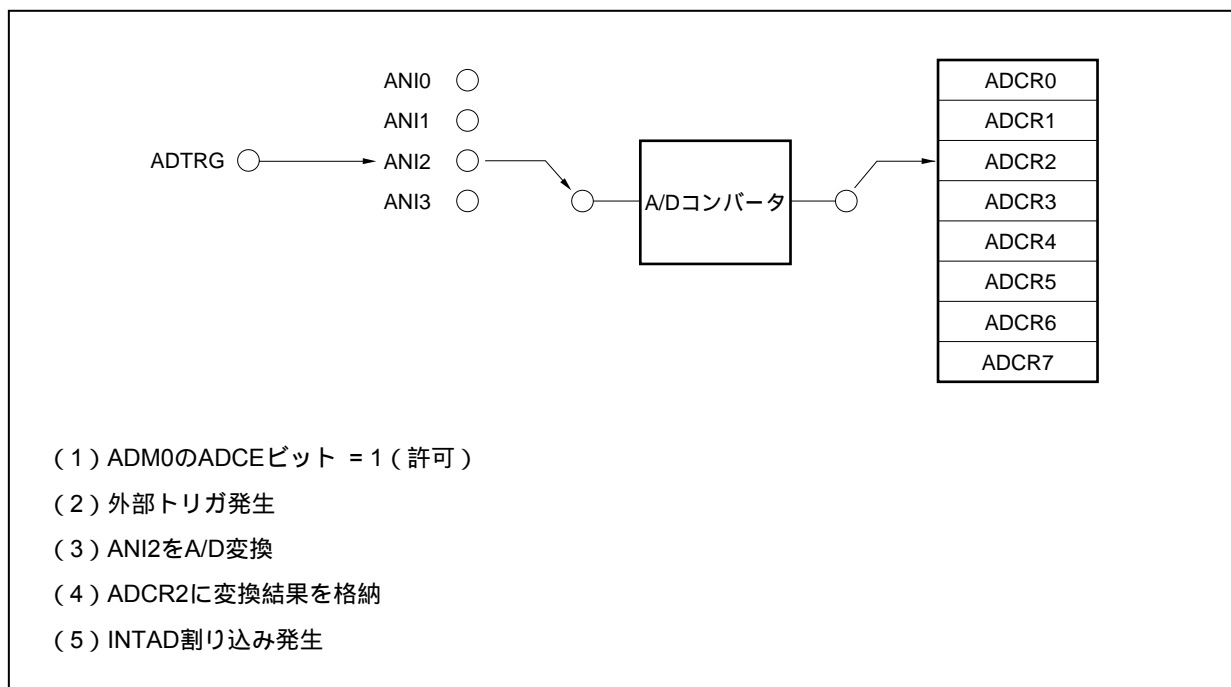
ADTRG信号をトリガとして1つのアナログ入力を1回A/D変換し、その結果を1つのADCRnレジスタに格納します。アナログ入力とA/D変換結果レジスタは1対1に対応しています。1回のA/D変換ごとにA/D変換終了割り込み (INTAD) を発生し、A/D変換を終了します (ADM0レジスタのADCSビット = 0)。

トリガ	アナログ入力	A/D変換結果レジスタ
ADTRG信号	ANIn	ADCRn

ADM0レジスタのADCEビットが1の間は、ADTRG端子からトリガが入力されるごとにA/D変換を繰り返します。

1回のA/D変換ごとに結果を読み出すような応用に最適です。

図12 - 15 1バッファ・モード (外部トリガ・セレクト1バッファ) の動作例





(2) 4バッファ・モード (外部トリガ・セレクト4バッファ)

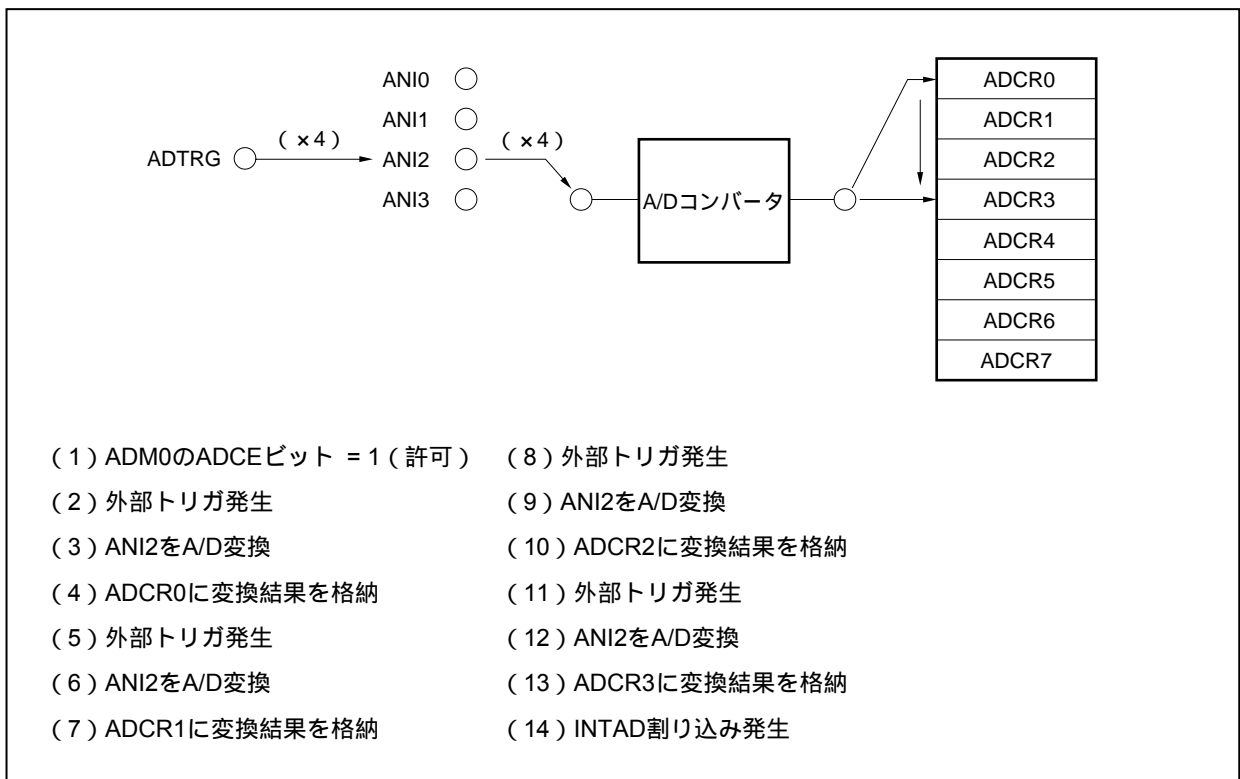
ADTRG信号をトリガとして1つのアナログ入力を4回A/D変換し、その結果をADCR0-ADCR3レジスタに格納します。4回のA/D変換が終了すると、A/D変換終了割り込み (INTAD) を発生し、A/D変換を終了します (ADM0レジスタのADCSビット = 0)。

トリガ	アナログ入力	A/D変換結果レジスタ
ADTRG信号	ANIn	ADCR0
ADTRG信号	ANIn	ADCR1
ADTRG信号	ANIn	ADCR2
ADTRG信号	ANIn	ADCR3

ADM0レジスタのADCEビットが1の間は、ADTRG端子からトリガが入力されるごとにA/D変換を繰り返します。

A/D変換結果の平均を求めるような応用に最適です。

図12 - 16 4バッファ・モード (外部トリガ・セレクト4バッファ) の動作例



### 12.7.2 スキャン・モードの動作（外部トリガ・スキャン）

ADTRG信号をトリガとして、ANI0端子からADM0レジスタで指定されるアナログ入力までを順に選択し、A/D変換します。A/D変換結果はアナログ入力に対応したADCRnレジスタに格納します（ $n = 0-7$ ）。

ADM0レジスタで、アナログ入力の下位4チャンネル（ANI0-ANI3）までをスキャンするように設定した場合は、設定した回数のA/D変換が終了するとA/D変換終了割り込み（INTAD）を発生し、A/D変換を終了します。

ADM0レジスタで、アナログ入力の上位4チャンネル（ANI4-ANI7）までをスキャンするように設定した場合は、下位4チャンネルの変換が終了したあと、A/Dトリガ・モードに移行して残りのA/D変換を行います。変換結果はアナログ入力に対応したADCRnレジスタに格納します（ $n = 0-7$ ）。

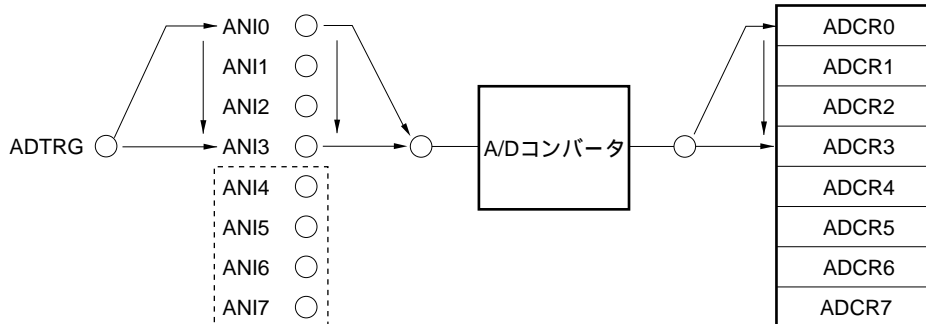
トリガ	アナログ入力	A/D変換結果レジスタ
ADTRG信号	ANI0	ADCR0
ADTRG信号	ANI1	ADCR1
ADTRG信号	ANI2	ADCR2
ADTRG信号	ANI3	ADCR3
(A/Dトリガ・モード)	ANI4	ADCR4
	ANI5	ADCR5
	ANI6	ADCR6
	ANI7	ADCR7

指定したアナログ入力の変換をすべて終了すると、INTAD割り込みを発生し、A/D変換を終了します（ADM0レジスタのADCSビット = 0）。

ADM0レジスタのADCEビットが1の間にADTRG端子にトリガを入力すると、再度A/D変換を起動できます。複数のアナログ入力を常時監視するような応用に最適です。

図12-17 スキャン・モード（外部トリガ・スキャン）の動作例

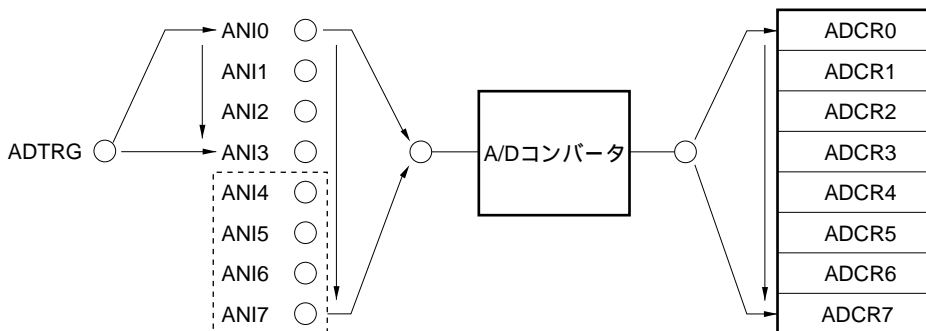
(a) ANI0-ANI3をスキャンする設定にした場合



- (1) ADM0のADCEビット = 1 (許可)
- (2) 外部トリガ発生
- (3) ANI0をA/D変換
- (4) ADCR0に変換結果を格納
- (5) 外部トリガ発生
- (6) ANI1をA/D変換
- (7) ADCR1に変換結果を格納
- (8) 外部トリガ発生
- (9) ANI2をA/D変換
- (10) ADCR2に変換結果を格納
- (11) 外部トリガ発生
- (12) ANI3をA/D変換
- (13) ADCR3に変換結果を格納
- (14) INTAD割り込み発生

**注意** 破線内のアナログ入力は、ADTRGをトリガとして使用できません。ANI0-ANI7までスキャンするように設定した場合は、ANI4-ANI7はA/Dトリガ・モードでの変換となります（(b) 参照）。

(b) ANI0-ANI7をスキャンする設定にした場合



- (1) - (13) (a) と同様
- (14) ANI4をA/D変換
- (15) ADCR4に変換結果を格納
- (16) ANI5をA/D変換
- (17) ADCR5に変換結果を格納
- (18) ANI6をA/D変換
- (19) ADCR6に変換結果を格納
- (20) ANI7をA/D変換
- (21) ADCR7に変換結果を格納
- (22) INTAD割り込み発生

## 12.8 動作上の注意事項

### 12.8.1 変換動作の停止

変換動作中にADM0レジスタのADCEビットに0を書き込むと変換動作を停止し、ADCRnレジスタへの変換結果を格納しません ( $n = 0-7$ )。

### 12.8.2 タイマ・トリガまたは外部トリガの間隔

外部またはタイマ・トリガ・モード時のトリガの間隔（入力時間の間隔）は、ADM1レジスタのFR2-FR0ビットで指定する変換動作時間より長くしてください。

#### (1) インターバル = 0の場合

複数のトリガが同時に入力された場合、ANIn端子番号が小さいアナログ入力を変換します。同時入力されたほかのトリガ信号は無視され、トリガ入力回数もカウントしません。したがって、割り込みの発生、ADCRnレジスタへの結果の格納は異常となりますので注意してください ( $n = 0-7$ )。

#### (2) $0 < \text{インターバル} < \text{変換動作時間}$ の場合

変換動作中にタイマ・トリガが入力された場合、変換動作を中断し、最後に入力されたタイマ・トリガに従って変換を開始します。

変換動作を中断した場合、ADCRnレジスタに変換結果は格納されず、トリガ入力回数のカウントも行われません。したがって、割り込みの発生、ADCRnレジスタへの結果の格納は異常となりますので注意してください ( $n = 0-7$ )。

#### (3) インターバル = 変換動作時間の場合

変換終了と同時にタイマ・トリガが入力された場合（コンパレート終了信号とトリガの競合）は、トリガ入力回数のカウントは行われ、割り込みの発生、変換が終了した値のADCRnレジスタの格納は正しく行われますが、インターバル > 変換時間となるように設計してください。

### 12.8.3 スタンバイ・モード時の動作

#### (1) HALTモード

A/D変換動作を継続します。NMI入力で解除した場合、ADM0、ADM1レジスタとADCRnレジスタは値を保持します ( $n = 0-7$ )。

#### (2) IDLEモード、ソフトウェアSTOPモード

A/Dコンバータへのクロック供給が止まるため、変換動作は行われません。

NMI入力やマスクブル割り込み入力（INTP1xx）で解除した場合、ADM0、ADM1レジスタとADCRnレジスタは値を保持します。ただし、変換動作中にIDLEモード、ソフトウェアSTOPモードに設定した場合、変換動作は停止します。NMI入力やマスクブル割り込み入力（INTP1xx）で解除した場合、変換を再開しますが、ADCRnレジスタに書き込まれる変換結果は不定となります ( $x = 0-3, n = 0-7$ )。

#### 12.8.4 タイマ・トリガ・モード時のコンペアー一致割り込み

コンペアー・レジスタの一致割り込みがA/D変換開始のトリガとなり、変換動作を開始します。このとき、コンペアー・レジスタの一致割り込みは、CPUに対するコンペアー・レジスタの一致割り込みとしても機能します。CPUに対するコンペアー・レジスタの一致割り込みを発生させないためには、割り込み制御レジスタ(P00IC0, P00IC1, P01IC0, P01IC1)のマスク・ビット(P00MK0, P00MK1, P01MK0, P01MK1)で割り込みを禁止してください。

#### 12.8.5 タイマ1トリガ・モードおよび外部トリガ・モード時の再変換動作

タイマ1トリガ・モード時は一致割り込み信号(INTM000)を、外部トリガ・モード時はADTRG端子の入力タイミングをトリガとしてA/D変換が開始されますが、A/D変換中に起動要因でない割り込み要因(INTM001, INTM010, INTM011, INTP001<sup>注</sup>, INTP010<sup>注</sup>, INTP011<sup>注</sup>)が発生すると変換中のA/D変換が正常に終了したあと、再度同じA/D変換を開始すること(再変換動作)があります。ただし、この条件下で起動要因でない割り込み要因が発生しなければ再変換動作は行いません。

**注** タイマC(TMC0, TMC1)の外部キャプチャ・トリガ入力と兼用になっている外部割り込み信号も再変換動作の要因となります。

##### (1) タイマ・トリガ・セレクト1バッファ1トリガ・モードおよび外部トリガ・セレクト1バッファ・モード時の再変換動作

起動要因でない割り込み要因がA/D変換中に発生すると、最初のA/D変換は正常に終了し、A/D変換終了割り込み(INTAD)を発生します。A/D変換結果はADCRnレジスタに格納されます。再起動したA/D変換は正常に変換動作を行い、A/D変換結果はADCRnレジスタに上書きされます。また、再変換動作中はADCRnレジスタの読み出しは可能です。A/D変換終了後、INTAD割り込みを発生し終了します。

##### (2) タイマ・トリガ・セレクト4バッファ1トリガ・モード、タイマ・トリガ・スキャン1トリガ・モード、外部トリガ・セレクト4バッファ・モード、外部トリガ・スキャン・モード時の再変換動作

起動要因でない割り込み要因がA/D変換中に発生するまでA/D変換は順調に行われます。起動要因でない割り込み要因がA/D変換中に発生すると、変換中のA/D変換は正常に終了し、A/D変換結果はADCRnレジスタに格納されます。そのあと再度同じA/D変換を行い、A/D変換結果はADCRnレジスタに上書きされます。また、再変換動作中はADCRnレジスタの読み出しは可能です。そのあと、残りのA/D変換動作を正常に行い、A/D変換終了割り込み(INTAD)を発生し終了します。

**注意** 最後のA/D変換中に起動要因でない割り込み要因が発生した場合は、最後のA/D変換は正常に終了し、A/D変換終了割り込み(INTAD)を発生します。そのあと再度最後のA/D変換と同じ変換を行い、INTAD割り込みを発生し終了します。

再変換動作が発生した場合、変換結果は正常な値を示すので、最新の変換値を取得するような使用方法では、影響は最小限に抑えられます。しかし、再変換動作が不都合となる場合には、必ずA/Dトリガ・モードを使用し、タイマのコンペアー一致割り込みまたは外部端子割り込みの割り込み処理ルーチン内でADM0レジスタのADCEビット = 1に設定することによりA/D変換を開始してください。

### 12.8.6 A/D変換時間についての補足

トリガ入力からA/D変換終了までにかかる時間 (t) としては次のようになります。

A/Dトリガ・モード時 (図12-18と図12-21参照) :

$$t = 9\text{-}11\text{クロック} + \text{ADM1のFR2-FR0ビットで指定したクロック数} + 2\text{クロック}$$

タイマ・トリガ・モード時 (図12-19と図12-21参照) :

$$t = 5\text{-}7\text{クロック} + \text{ADM1のFR2-FR0ビットで指定したクロック数} + 2\text{クロック}$$

外部トリガ・モード時 (図12-20と図12-21参照) :

$$t = 5\text{-}7\text{クロック} + \text{ADM1のFR2-FR0ビットで指定したクロック数} + 2\text{クロック}$$

図12-18 A/Dトリガ・モードのA/D変換時間 (ADM1 = 00H設定時)

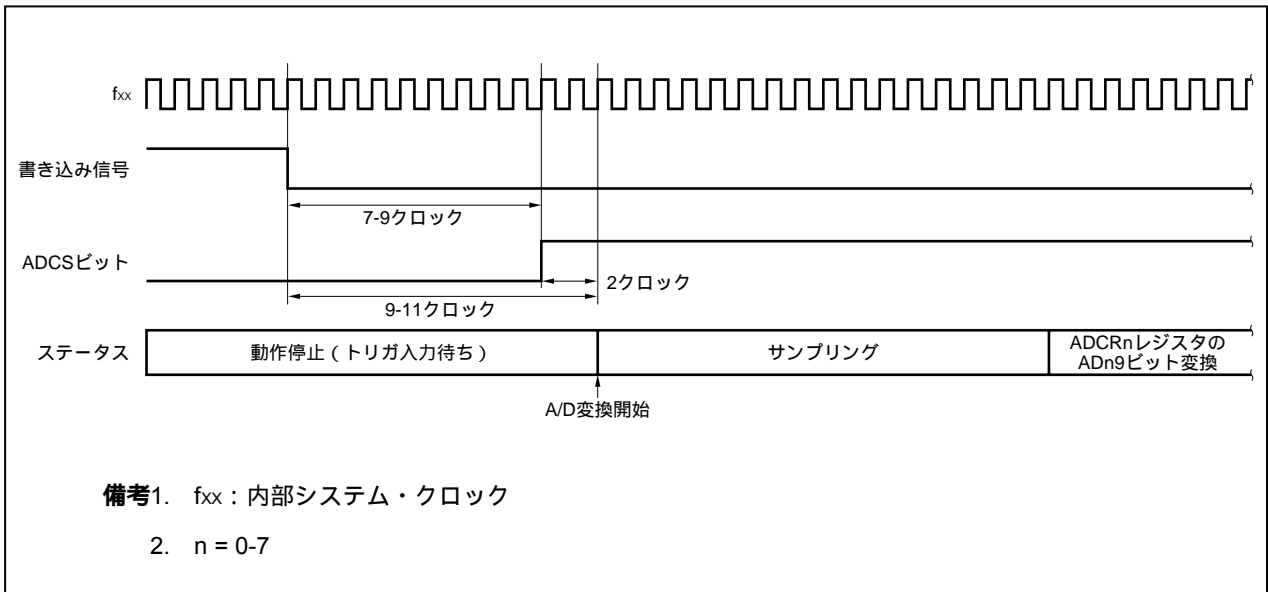


図12-19 タイマ・トリガ・モードのA/D変換時間 (ADM1 = 20Hまたは30H設定時)

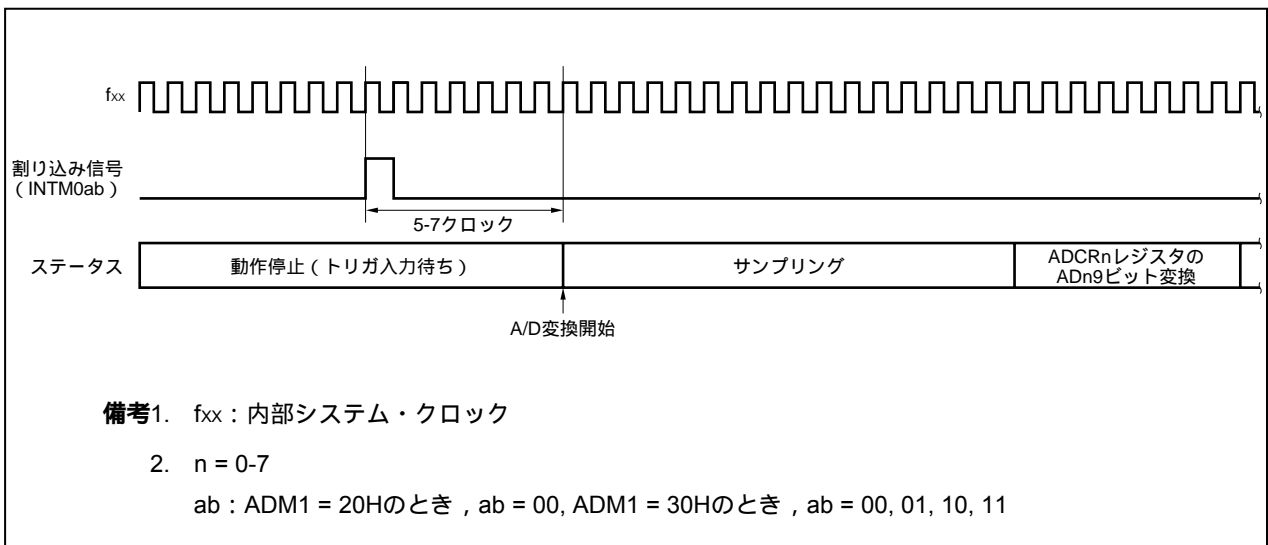


図12 - 20 外部トリガ・モードのA/D変換時間 (ADM1 = 60H設定時)

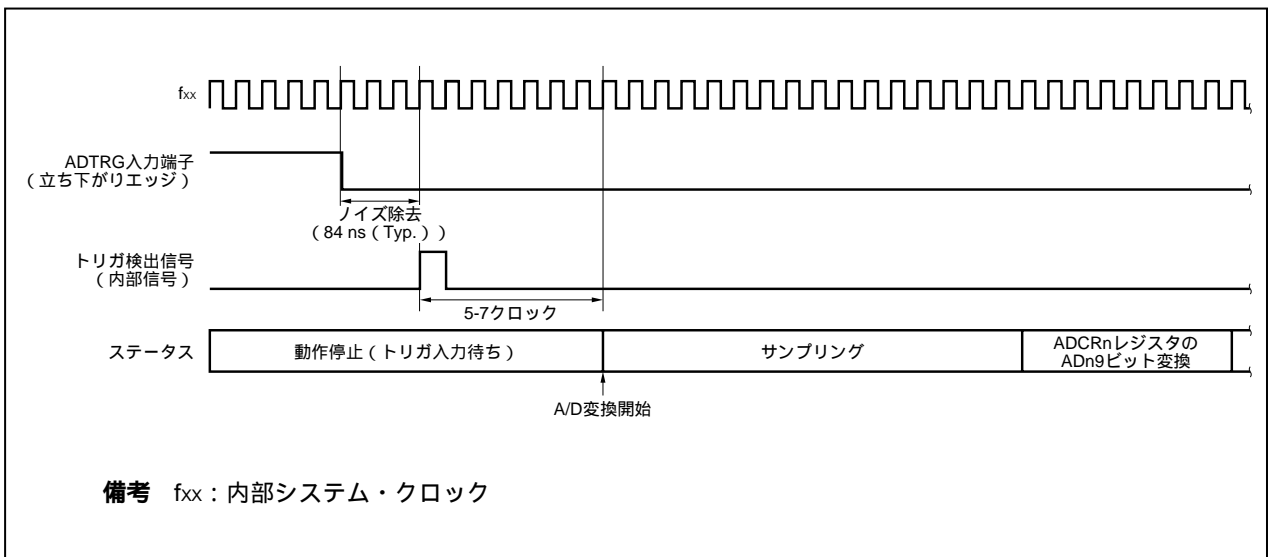
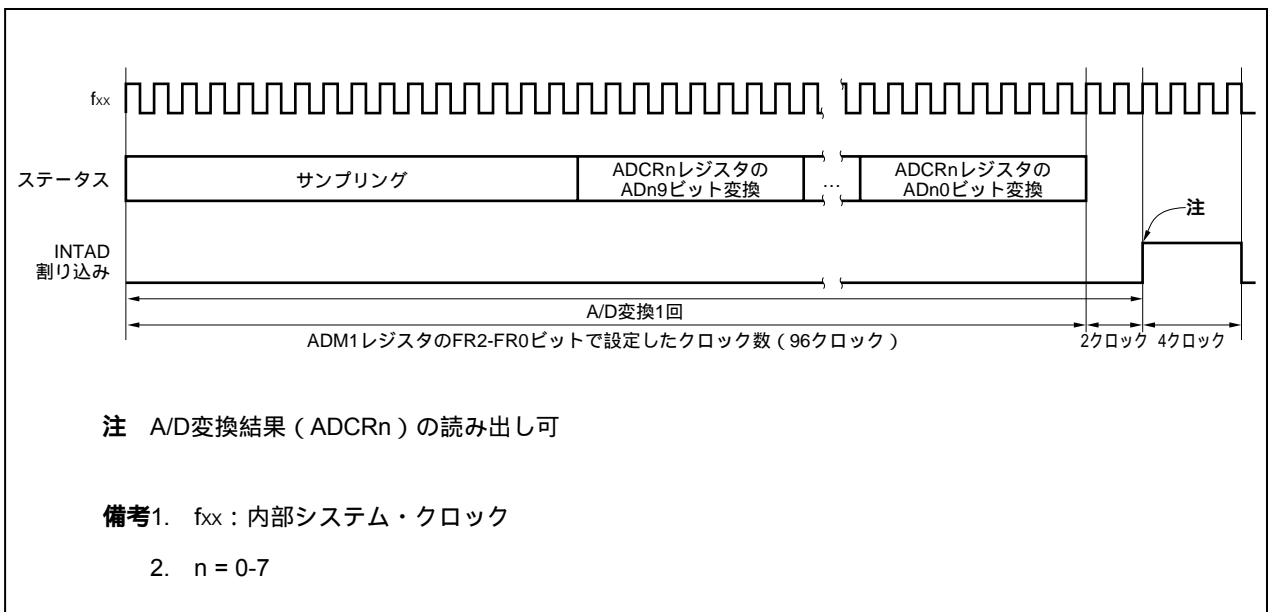


図12 - 21 A/D変換概要 (A/D変換1回, ADM1レジスタのFR0-FR2ビット = 000設定 (96クロック) 時)



備考1.  $f_{xx}$ : 内部システム・クロック

2.  $n = 0-7$

## 12.9 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

### (1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次のような式になります。

$$\begin{aligned} 1 \text{ \%FSR} &= (\text{変換可能なアナログ入力電圧の最大値} - \text{変換可能なアナログ入力電圧の最小値}) / 100 \\ &= (AV_{REF} - 0) / 100 \\ &= AV_{REF} / 100 \end{aligned}$$

分解能10ビットのとき、1 LSBは次のようになります。

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \text{ \%FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

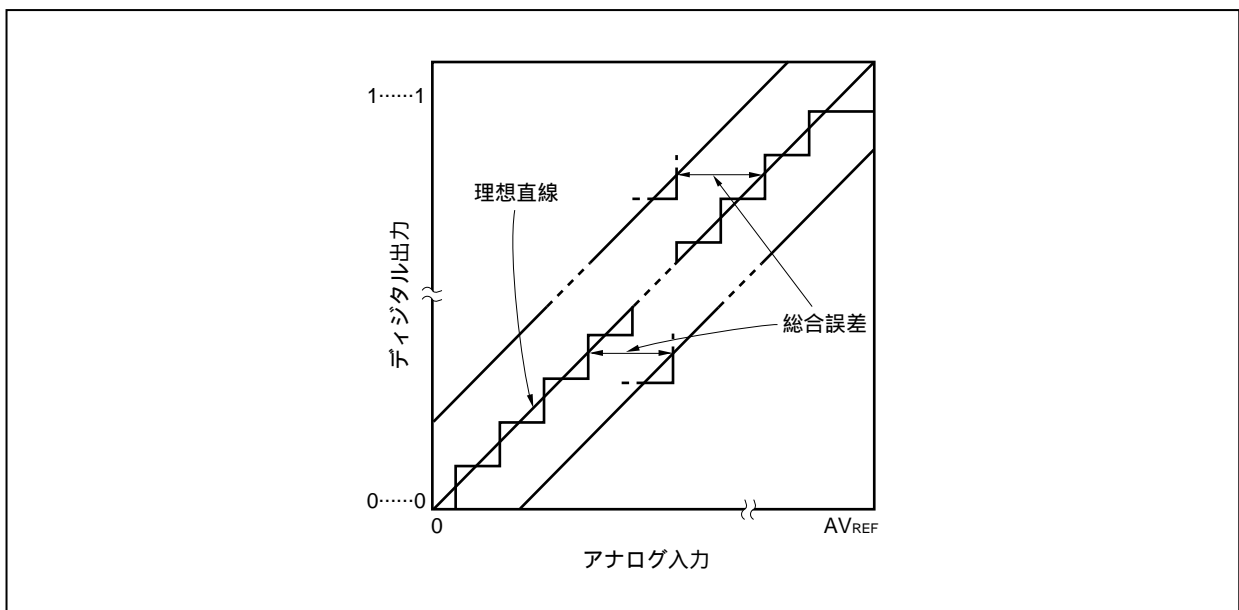
### (2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、直線性誤差、およびそれらの組み合わせから生じる誤差を総合したものです。

なお、特性表の総合誤差には量子化誤差は含まれていません。

図12 - 22 総合誤差



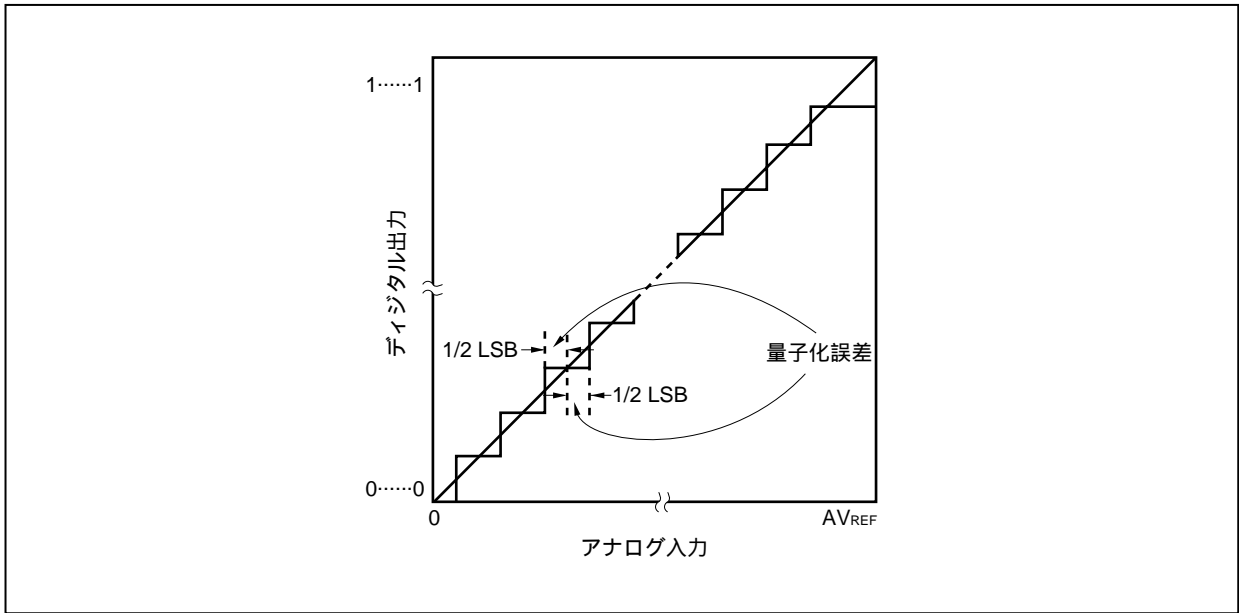


(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる  $\pm 1/2$  LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$  LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

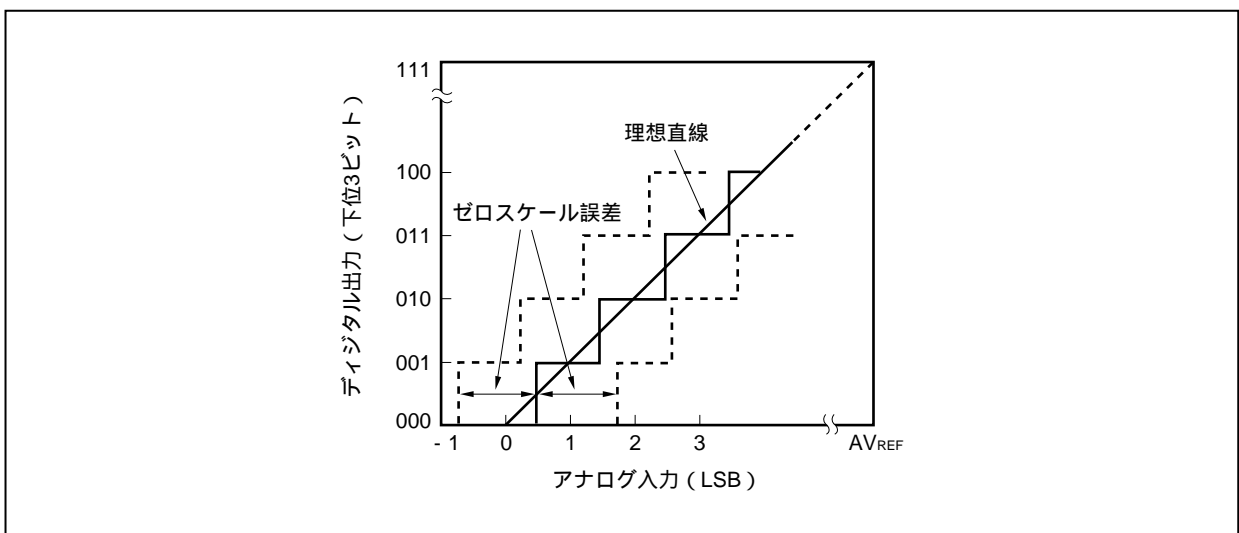
図12 - 23 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値 ( $1/2$  LSB) との差を表します。

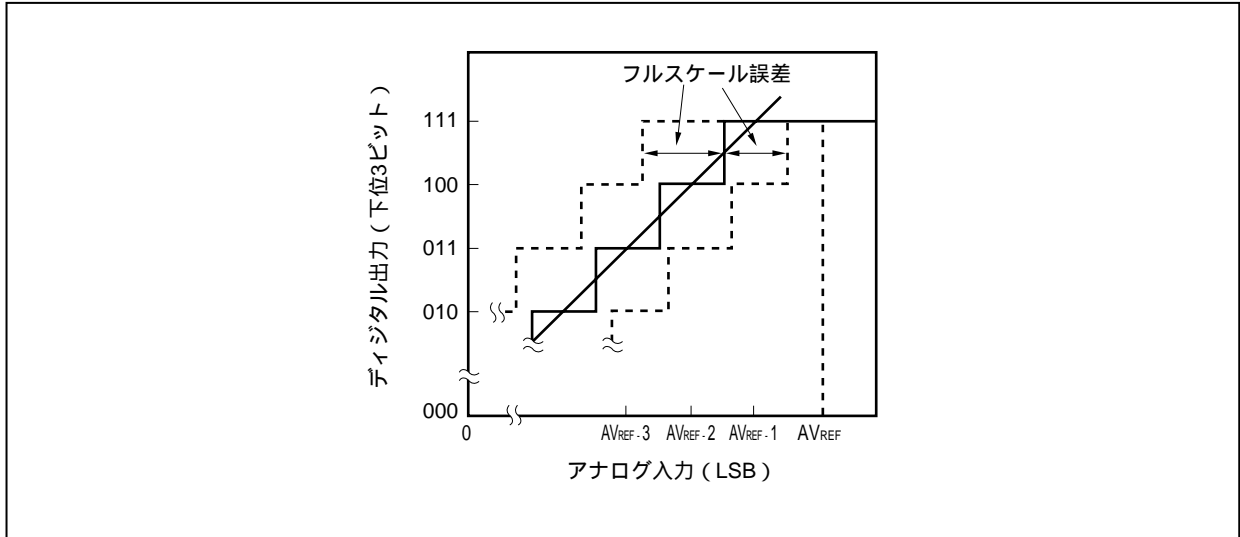
図12 - 24 ゼロスケール誤差



(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール - 3/2 LSB）との差を表します。

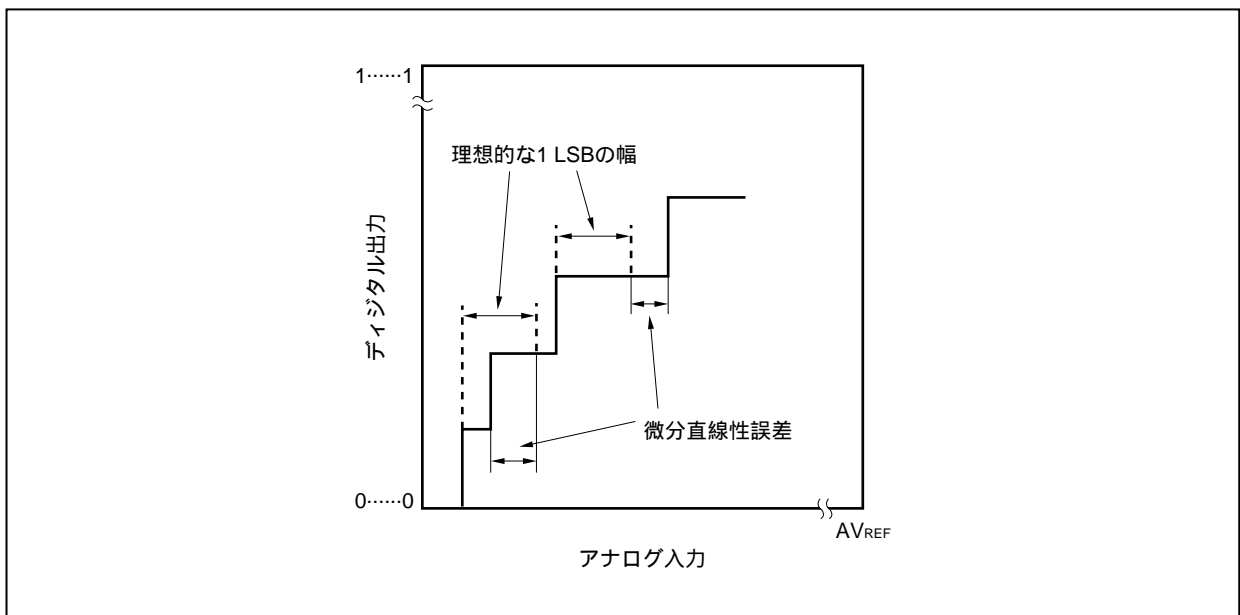
図12 - 25 フルスケール誤差



(6) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

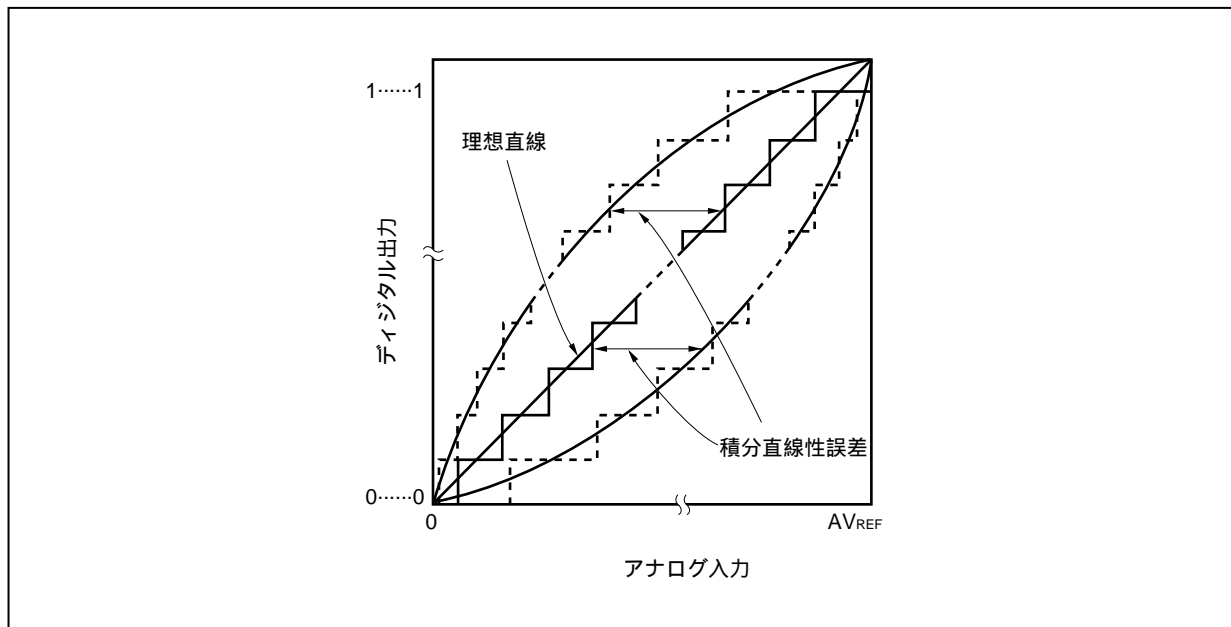
図12 - 26 微分直線性誤差



(7) 積分直線性誤差

変換特性が、理想的な直線関係からはずれている程度を指します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

図12 - 27 積分直線性誤差

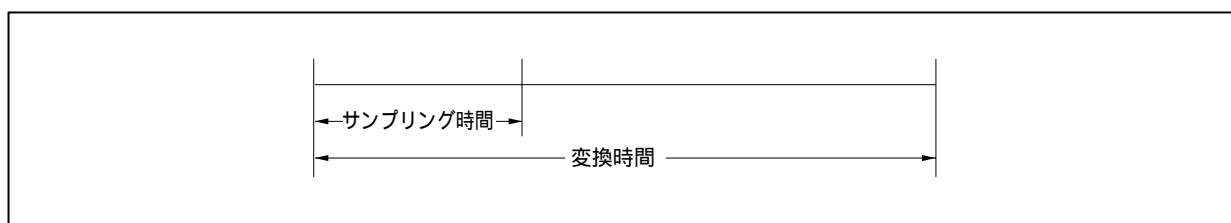


(8) 変換時間

各トリガが発生してから、デジタル出力が得られるまでの時間を表します。  
特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



# 第13章 PWMユニット

## 13.1 特徴

PWMn : 2チャンネル

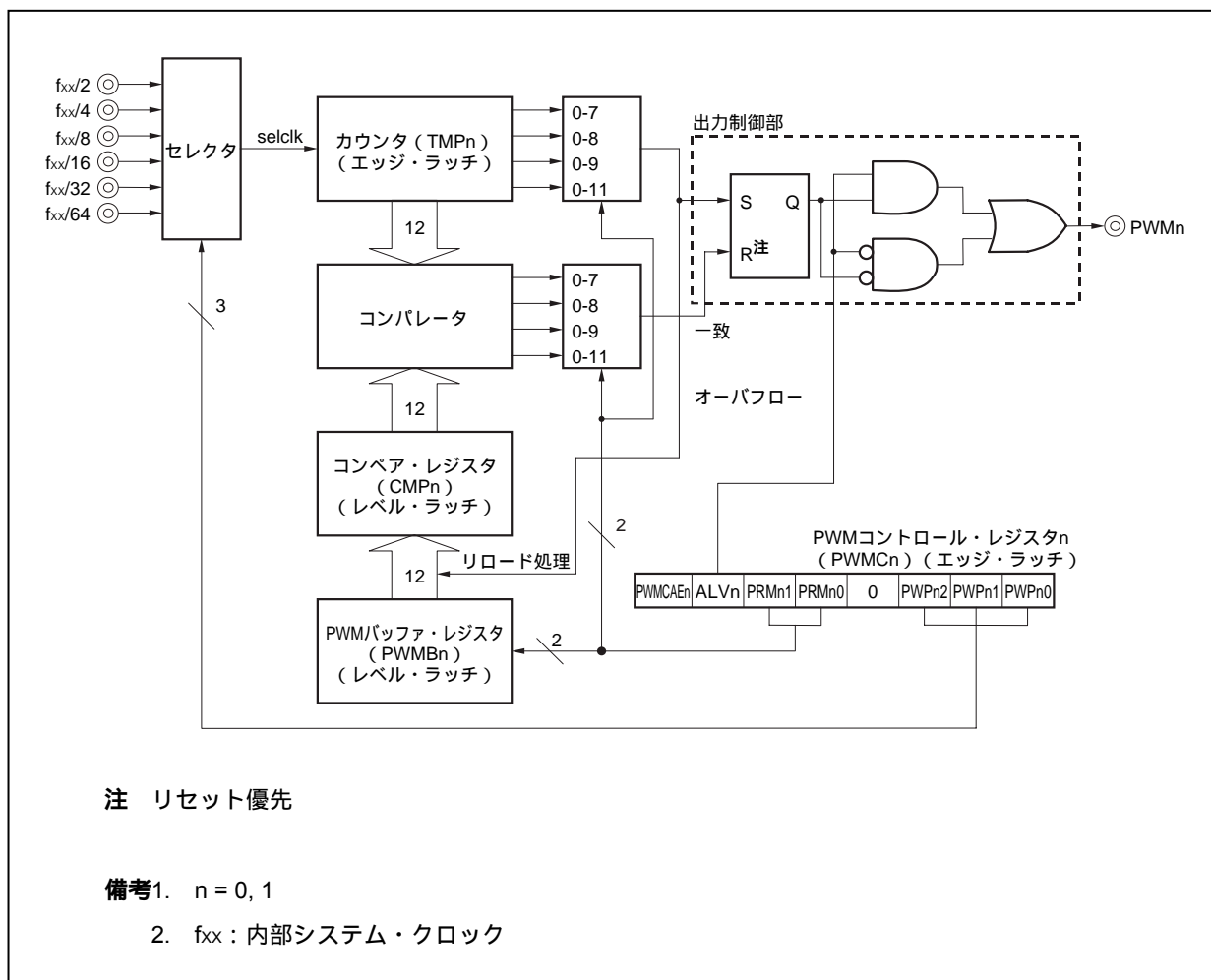
PWMn出力パルスのアクティブ・レベル選択可能

動作クロック :  $f_{xx}/2$ ,  $f_{xx}/4$ ,  $f_{xx}/8$ ,  $f_{xx}/16$ ,  $f_{xx}/32$ ,  $f_{xx}/64$ から選択可能 ( $f_{xx}$ は内部システム・クロック)

PWMn出力分解能 : 8, 9, 10, 12ビットから選択可能

備考 n = 0, 1

## 13.2 構成



### 13.3 制御レジスタ

#### (1) PWMコントロール・レジスタ0, 1 (PWMC0, PWMC1)

PWMCnレジスタは、PWMnの動作を制御するレジスタです (n = 0, 1)。

8/1ビット単位でリード/ライト可能です。

**注意** PWMnを使用する場合は、必ずPWMnに関連する外部端子をコントロール・モードに設定してください。そのあとPWMCnレジスタで動作クロック等の設定を行い、PWMBnレジスタの設定を行ったあと、PWME<sub>n</sub>ビットをセット(1)してください。

(1/2)

⑦	⑥	5	4	3	2	1	0	アドレス	初期値	
PWMCn	PWME <sub>n</sub>	ALV <sub>n</sub>	PRM <sub>n1</sub>	PRM <sub>n0</sub>	0	PWP <sub>n2</sub>	PWP <sub>n1</sub>	PWP <sub>n0</sub>	FFFFFFC00H, FFFFFFC10H	40H

ビット位置	ビット名	意味																																
7	PWME <sub>n</sub> <sup>注</sup> (n = 0, 1)	PWM Enable PWMnの動作を許可/禁止を指定します。 0 : PWM動作停止 1 : PWM動作許可																																
6	ALV <sub>n</sub> (n = 0, 1)	Active Level PWMnのアクティブ・レベルを指定します。 0 : アクティブ・ロウ 1 : アクティブ・ハイ リセット時にPWMn出力は、ALV <sub>n</sub> ビットのインアクティブ・レベル(ロウ・レベル)を出力します。																																
5, 4	PRM <sub>n1</sub> , PRM <sub>n0</sub> (n = 0, 1)	Prescaler Mode カウンタ (TMP <sub>n</sub> ) , コンペア・レジスタ (CMP <sub>n</sub> ) のビット長を指定します。 <table border="1"> <thead> <tr> <th>PRM<sub>n1</sub></th> <th>PRM<sub>n0</sub></th> <th>TMP<sub>n</sub>, CMP<sub>n</sub>のビット長</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>8ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>9ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>10ビット</td> </tr> <tr> <td>1</td> <td>1</td> <td>12ビット</td> </tr> </tbody> </table>	PRM <sub>n1</sub>	PRM <sub>n0</sub>	TMP <sub>n</sub> , CMP <sub>n</sub> のビット長	0	0	8ビット	0	1	9ビット	1	0	10ビット	1	1	12ビット																	
PRM <sub>n1</sub>	PRM <sub>n0</sub>	TMP <sub>n</sub> , CMP <sub>n</sub> のビット長																																
0	0	8ビット																																
0	1	9ビット																																
1	0	10ビット																																
1	1	12ビット																																
2-0	PWP <sub>n2</sub> - PWP <sub>n0</sub> (n = 0, 1)	PWM Prescaler Clock Mode PWMnの動作クロックを指定します。 <table border="1"> <thead> <tr> <th>PWP<sub>n2</sub></th> <th>PWP<sub>n1</sub></th> <th>PWP<sub>n0</sub></th> <th>動作クロック</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>f<sub>xx</sub>/2</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>f<sub>xx</sub>/4</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>f<sub>xx</sub>/8</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>f<sub>xx</sub>/16</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>f<sub>xx</sub>/32</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>f<sub>xx</sub>/64</td> </tr> <tr> <td colspan="3">その他</td> <td>設定禁止</td> </tr> </tbody> </table>	PWP <sub>n2</sub>	PWP <sub>n1</sub>	PWP <sub>n0</sub>	動作クロック	0	0	0	f <sub>xx</sub> /2	0	0	1	f <sub>xx</sub> /4	0	1	0	f <sub>xx</sub> /8	0	1	1	f <sub>xx</sub> /16	1	0	0	f <sub>xx</sub> /32	1	0	1	f <sub>xx</sub> /64	その他			設定禁止
PWP <sub>n2</sub>	PWP <sub>n1</sub>	PWP <sub>n0</sub>	動作クロック																															
0	0	0	f <sub>xx</sub> /2																															
0	0	1	f <sub>xx</sub> /4																															
0	1	0	f <sub>xx</sub> /8																															
0	1	1	f <sub>xx</sub> /16																															
1	0	0	f <sub>xx</sub> /32																															
1	0	1	f <sub>xx</sub> /64																															
その他			設定禁止																															

**注** PWME<sub>n</sub>を“0”から“1”に設定すると、カウンタ(TMP<sub>n</sub>)はリセットされ、000H(12ビットの場合)からカウントを開始します。最初のオーバーフローでPWM<sub>n</sub>信号はアクティブになります。PWM0とPWM1のビット長と動作クロックを同じにすれば、2つのPWM<sub>n</sub>信号がアクティブになるタイミングを合わせることができます。なお、PWME<sub>n</sub>が“1”のとき、さらに“1”を書き込んでもカウンタはリセットできません。一度“0”にしてから再度“1”を書き込んでください。

- 備考1.** n = 0, 1  
 2. f<sub>xx</sub> : 内部システム・クロック

**(2) PWMバッファ・レジスタ0, 1 (PWMB0, PWMB1)**

PWM<sub>n</sub>出力のアクティブ信号幅の制御データをセットする12ビットのバッファ・レジスタです。ビット15-12はハードウェアで0に固定されており、1を書き込んでも無視されます。ビット11-8はPWMC<sub>n</sub>レジスタによるビット長の影響を受けず、書き込んだ値がそのまま読み出されます。

PWM<sub>n</sub>出力制御用のカウンタ(TMP<sub>n</sub>)からオーバーフローが発生するタイミングでPWMB<sub>n</sub>レジスタの内容をコンペア・レジスタ(CMP<sub>n</sub>)に転送します。

16ビット単位でリード/ライト可能です。

**備考** n = 0, 1

PWMB0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	0	0	0	0	PWM B11	PWM B10	PWM B9	PWM B8	PWM B7	PWM B6	PWM B5	PWM B4	PWM B3	PWM B2	PWM B1	PWM B0	FFFFFC02H	0000H
PWMB1	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	0	0	0	0	PWM B11	PWM B10	PWM B9	PWM B8	PWM B7	PWM B6	PWM B5	PWM B4	PWM B3	PWM B2	PWM B1	PWM B0	FFFFFC12H	0000H

## 13.4 動作

### 13.4.1 基本動作

PWMnパルスを出力するときは、PWMCn, PWMBnレジスタに必要なデータを設定したあと、PWMCnレジスタ (PWMCn) のPWME<sub>n</sub>ビットをセット (1) します。これによりカウンタ (TMPn) がクリア (0) され、最初のオーバーフローでPWMn出力のアクティブ・レベルのセットとPWMBnからコンペア・レジスタ (CMPn) へのデータ転送が行われます。そのあと、TMPnとCMPnの一致によってPWMn出力はインアクティブになります。この繰り返しでPWMn端子からPWMCnレジスタのALV<sub>n</sub>ビットで指定したアクティブ・レベルのPWMn信号が出力されます。

PWMCnレジスタのPWME<sub>n</sub>ビットをクリア (0) すると、すぐにPWMn出力を停止し、PWMn出力はPWMCnレジスタで設定したALV<sub>n</sub>のインアクティブ・レベルとなります。

PWMn信号の出力中にPWMCnレジスタのPWPn0-PWPn2ビット、PRMn0、PRMn1ビット、ALV<sub>n</sub>ビットを変更した場合、変更した周期内のPWMn信号の周期幅、パルス幅は保証できません。

備考 n = 0, 1

図13-1 PWM基本動作タイミング

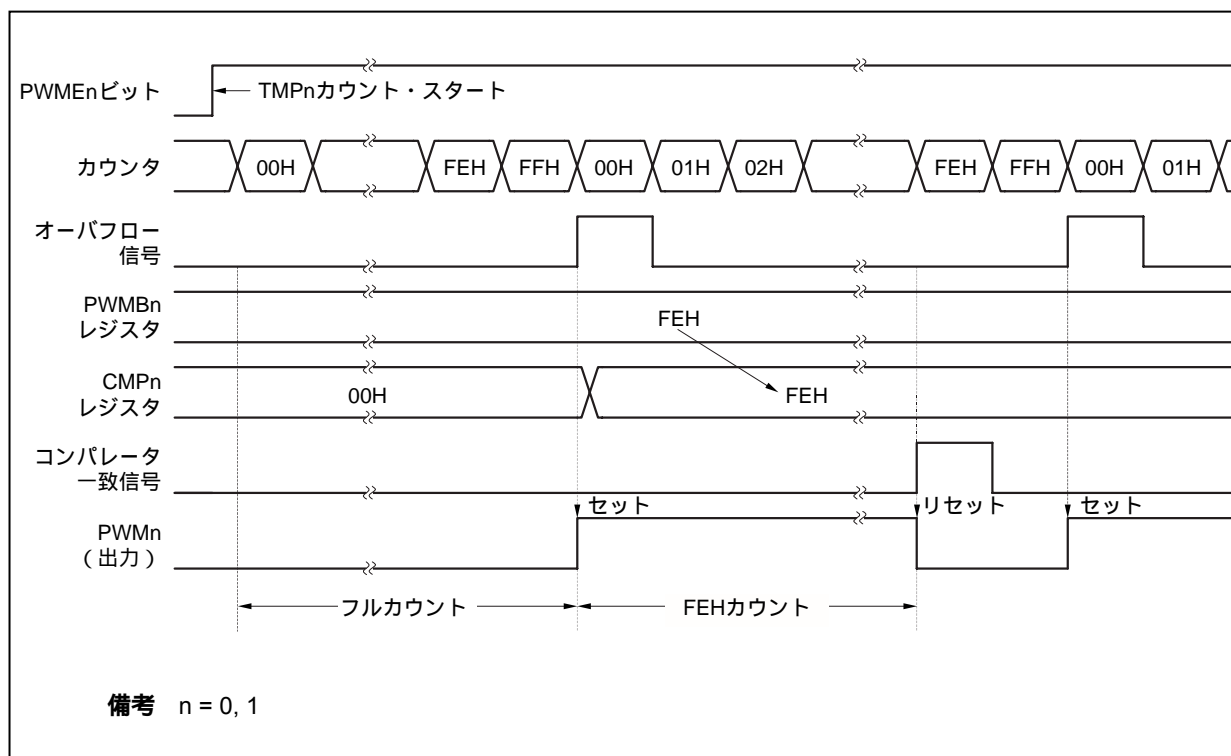


図13 - 2 PWMBnレジスタへの書き込み動作を含めたタイミング

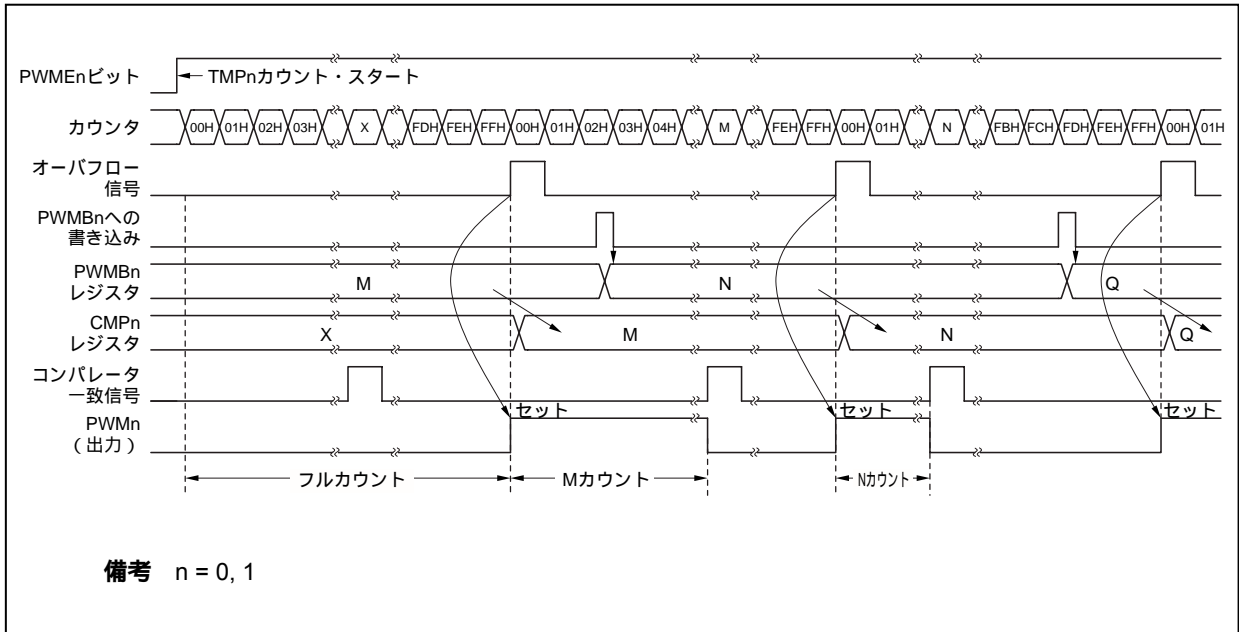


図13 - 3 PWMBnレジスタに00Hを設定した場合の動作タイミング

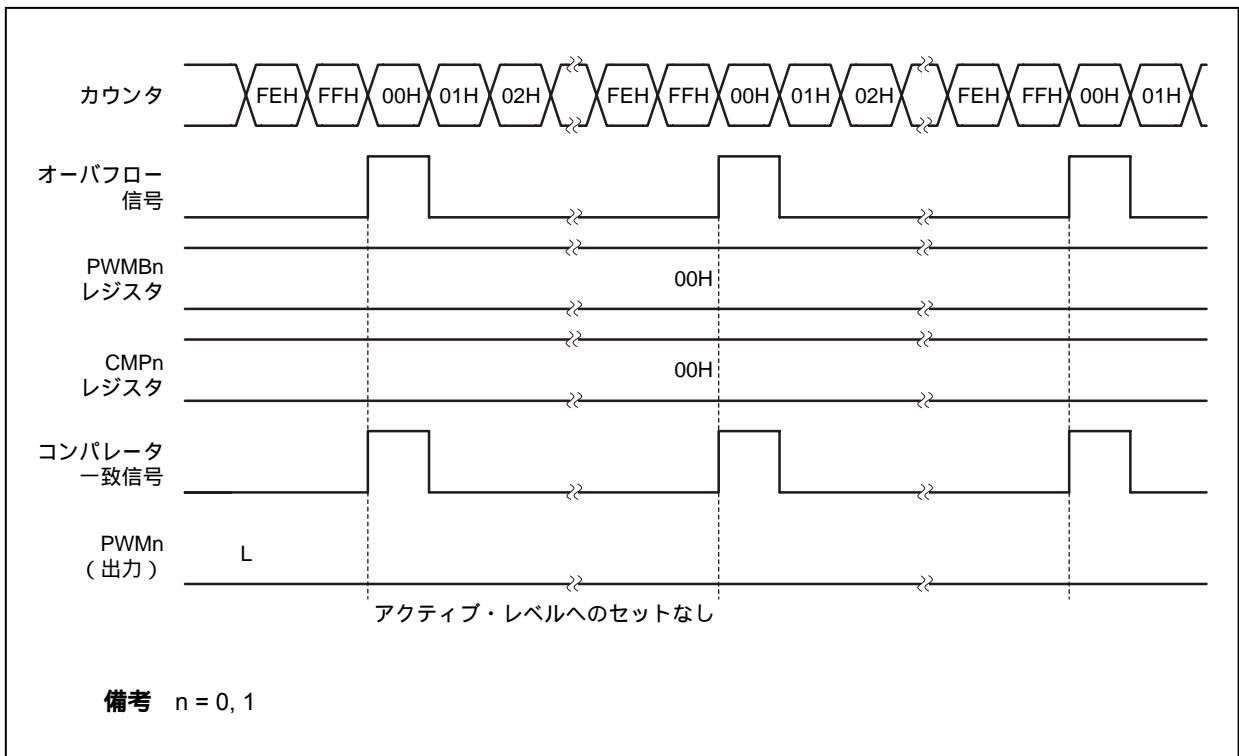
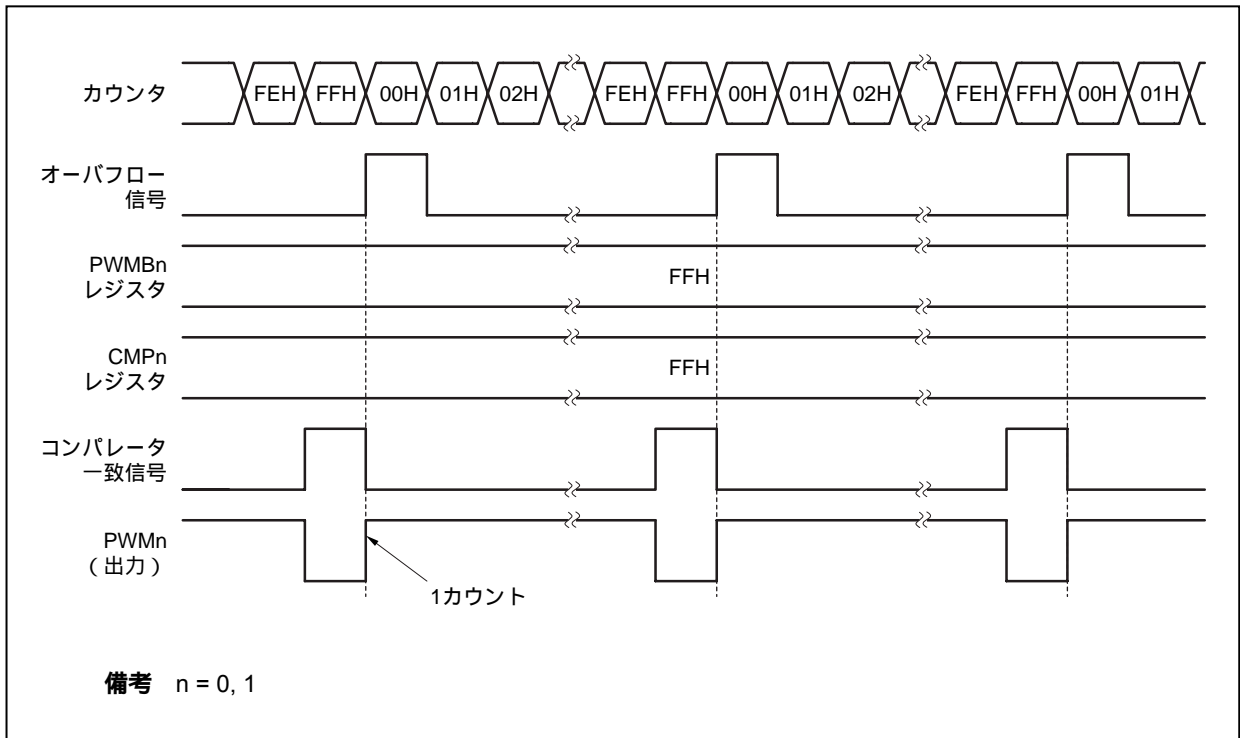




図13 - 4 PWMBnレジスタにFFHを設定した場合の動作タイミング



### 13.4.2 繰り返し周波数

PWMnの繰り返し周波数を次に示します（ $n = 0, 1$ ）。

PWMn動作周波数	分解能	繰り返し周波数
fxx/2	8ビット	fxx/2 <sup>9</sup>
	9ビット	fxx/2 <sup>10</sup>
	10ビット	fxx/2 <sup>11</sup>
	12ビット	fxx/2 <sup>13</sup>
fxx/4	8ビット	fxx/2 <sup>10</sup>
	9ビット	fxx/2 <sup>11</sup>
	10ビット	fxx/2 <sup>12</sup>
	12ビット	fxx/2 <sup>14</sup>
fxx/8	8ビット	fxx/2 <sup>11</sup>
	9ビット	fxx/2 <sup>12</sup>
	10ビット	fxx/2 <sup>13</sup>
	12ビット	fxx/2 <sup>15</sup>
fxx/16	8ビット	fxx/2 <sup>12</sup>
	9ビット	fxx/2 <sup>13</sup>
	10ビット	fxx/2 <sup>14</sup>
	12ビット	fxx/2 <sup>16</sup>
fxx/32	8ビット	fxx/2 <sup>13</sup>
	9ビット	fxx/2 <sup>14</sup>
	10ビット	fxx/2 <sup>15</sup>
	12ビット	fxx/2 <sup>17</sup>
fxx/64	8ビット	fxx/2 <sup>14</sup>
	9ビット	fxx/2 <sup>15</sup>
	10ビット	fxx/2 <sup>16</sup>
	12ビット	fxx/2 <sup>18</sup>

**備考** fxx : 内部システム・クロック

### 13.5 注意事項

PWM0端子はポート0のP00端子と、PWM1端子はポート1のP10端子と兼用になっています。PWMn出力として使用する場合、PMC0, PMC1レジスタの対応するビットをセット（1）してください。

PWMnパルス出力中にPMC0, PMC1レジスタの該当ビットの設定を変更した場合のPWMnパルス出力は保証できません。

## 第14章 ポート機能

### 14.1 特 徴

入力専用ポート : 9本

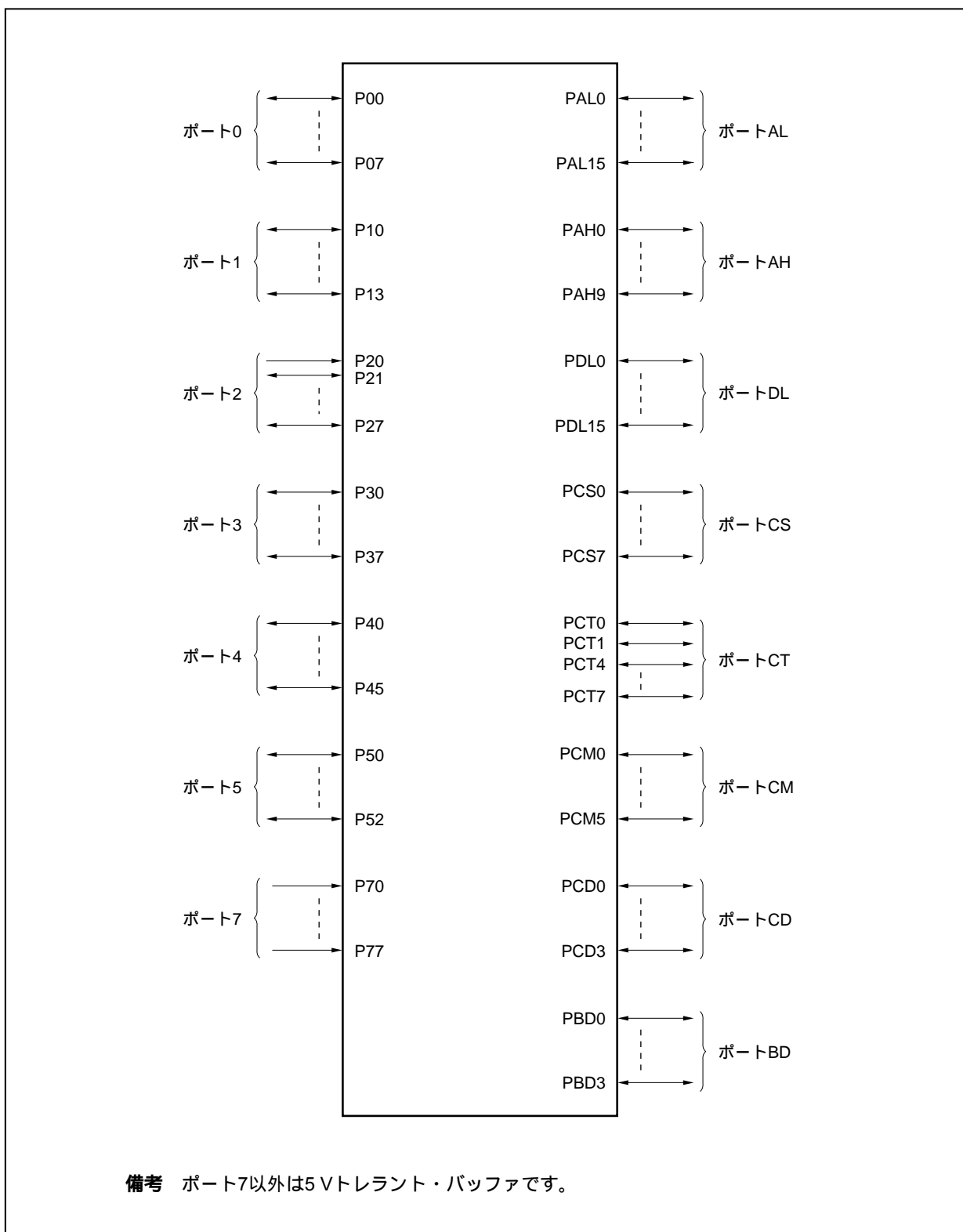
入出力ポート : 106本

ほかの周辺機能の入出力端子と兼用

ビット単位で入力 / 出力指定可能

## 14.2 ポートの基本構成

V850E/MA1は、ポート0-5, 7, AL, AH, DL, CS, CT, CM, CD, BDの合計115本の入力/出力ポート(うち9本は入力専用ポート)を内蔵しています。ポートの構成を次に示します。



(1) 各ポートの機能

V850E/MA1のポートには、次に示すような種類があります。どのポートも8/1ビット単位の操作が可能で、多様な制御を行うことができます。また、ポートとしての機能のほかにコントロール・モードとして内蔵周辺I/Oの入出力端子としての機能を持っています。

各ポートのブロック・タイプについては、(3) **ポートのブロック図**を参照してください。

ポート名	端子名	ポート機能	コントロール・モード時の機能	ブロック・タイプ
ポート0	P00-P07	8ビット入出力	タイマ/カウンタ入出力 外部割り込み入力 PWM出力 DMAコントローラ入力	A, B, H
ポート1	P10-P13	4ビット入出力	タイマ/カウンタ入出力 外部割り込み入力 PWM出力	A, B
ポート2	P20-P27	1ビット入力, 7ビット入出力	NMI入力 タイマ/カウンタ入出力 外部割り込み入力 DMAコントローラ出力	A, B, F, N
ポート3	P30-P37	8ビット入出力	シリアル・インタフェース入出力 (CSI2, UART2) 外部割り込み入力 A/Dコンバータ外部トリガ入力	B, H, I, L
ポート4	P40-P45	6ビット入出力	シリアル・インタフェース入出力 (UART0/CSI0, UART1/CSI1)	H, G, M
ポート5	P50-P52	3ビット入出力	タイマ/カウンタ入出力 外部割り込み入力	A, B
ポート7	P70-P77	8ビット入力	A/Dコンバータ入力	C
ポートAL	PAL0-PAL15	8/16ビット入出力	外部アドレス・バス (A0-A15)	J
ポートAH	PAH0-PAH9	8/10ビット入出力	外部アドレス・バス (A16-A25)	J
ポートDL	PDL0-PDL15	8/16ビット入出力	外部データ・バス (D0-D15)	O
ポートCS	PCS0-PCS7	8ビット入出力	外部バス・インタフェース制御信号出力	J, K
ポートCT	PCT0, PCT1, PCT4-PCT7	6ビット入出力	外部バス・インタフェース制御信号出力	J
ポートCM	PCM0-PCM5	6ビット入出力	ウェイト挿入信号入力 内部システム・クロック出力/バス・クロック出力 外部バス・インタフェース制御信号入出力 セルフ・リフレッシュ要求信号入力	D, E, J, K
ポートCD	PCD0-PCD3	4ビット入出力	外部バス・インタフェース制御信号出力	J, K
ポートBD	PBD0-PBD3	4ビット入出力	DMAコントローラ出力	J

(2) 各ポート端子のリセット時の機能とポート/コントロール・モードを設定するレジスタ

(1/2)

ポート名	端子名	リセット時の端子機能				モードを設定するレジスタ
		シングルチップ・モード0	シングルチップ・モード1	ROMレス・モード0	ROMレス・モード1	
ポート0	P00/PWM0	P00 (入力モード)				PMC0
	P01/INTP000/TI000	P01 ( " )				
	P02/INTP001	P02 ( " )				
	P03/TO00	P03 ( " )				
	P04/DMARQ0/INTP100	P04 ( " )				PMC0, PFC0
	P05/DMARQ1/INTP101	P05 ( " )				
	P06/DMARQ2/INTP102	P06 ( " )				
	P07/DMARQ3/INTP103	P07 ( " )				
ポート1	P10/PWM1	P10 (入力モード)				PMC1
	P11/INTP010/TI010	P11 ( " )				
	P12/INTP011	P12 ( " )				
	P13/TO01	P13 ( " )				
ポート2	P20/NMI	NMI				-
	P21/INTP020/TI020	P21 (入力モード)				PMC2
	P22/INTP021	P22 ( " )				
	P23/TO02	P23 ( " )				
	P24/TC0/INTP110	P24 ( " )				
	P25/TC1/INTP111	P25 ( " )				
	P26/TC2/INTP112	P26 ( " )				
	P27/TC3/INTP113	P27 ( " )				
ポート3	P30/SO2/INTP130	P30 (入力モード)				PMC3, PFC3
	P31/SI2/INTP131	P31 ( " )				
	P32/SCK2/INTP132	P32 ( " )				
	P33/TXD2/INTP133	P33 ( " )				
	P34/RXD2/INTP120	P34 ( " )				PMC3
	P35/INTP121	P35 ( " )				
	P36/INTP122	P36 ( " )				
	P37/ADTRG/INTP123	P37 ( " )				
ポート4	P40/TXD0/SO0	P40 (入力モード)				PMC4, PFC4
	P41/RXD0/SI0	P41 ( " )				
	P42/SCK0	P42 ( " )				PMC4
	P43/TXD1/SO1	P43 ( " )				PMC4, PFC4
	P44/RXD1/SI1	P44 ( " )				
	P45/SCK1	P45 ( " )				PMC4
ポート5	P50/INTP030/TI030	P50 (入力モード)				PMC5
	P51/INTP031	P51 ( " )				
	P52/TO03	P52 ( " )				
ポート7	P70/ANI0-P77/ANI7	P70-P77 (入力モード)				-

ポート名	端子名	リセット時の端子機能				モードを設定するレジスタ
		シングルチップ・モード0	シングルチップ・モード1	ROMレス・モード0	ROMレス・モード1	
ポートBD	PBD0/DMAAK0-PBD3/DMAAK3	PBD0-PBD3 (入力モード)				PMCBD
ポートCM	PCM0/WAIT	PCM0 (入力モード)	WAIT		PMCCM	
	PCM1/CLKOUT/BUSCLK	PCM1 ( " )	CLKOUT		PMCCM, PFCCM	
	PCM2/HLDAK	PCM2 ( " )	HLDAK		PMCCM	
	PCM3/HLDRQ	PCM3 ( " )	HLDRQ			
	PCM4/REFRQ	PCM4 ( " )	REFRQ			
	PCM5/SELFREF	PCM5 ( " )	SELFREF			
ポートCT	PCT0/LCAS/LWR/LDQM	PCT0 (入力モード)	LWR		PMCCM	
	PCT1/UCAS/UWR/UDQM	PCT1 ( " )	UWR			
	PCT4/RD	PCT4 ( " )	R $\bar{D}$			
	PCT5/WE	PCT5 ( " )	WE			
	PCT6/OE	PCT6 ( " )	O $\bar{E}$			
	PCT7/BCYST	PCT7 ( " )	BCYST			
ポートCS	PCS0/CS0	PCS0 (入力モード)	CS0		PMCCS	
	PCS1/CS1/RAS1	PCS1 ( " )	CS1		PMCCS, PFCCS	
	PCS2/CS2/IOWR	PCS2 ( " )	CS2			
	PCS3/CS3/RAS3	PCS3 ( " )	CS3		PMCCS	
	PCS4/CS4/RAS4	PCS4 ( " )	CS4		PMCCS, PFCCS	
	PCS5/CS5/IORD	PCS5 ( " )	CS5			
	PCS6/CS6/RAS6	PCS6 ( " )	CS6		PMCCS	
	PCS7/CS7	PCS7 ( " )	CS7			
ポートCD	PCD0/SDCKE	PCD0 (入力モード)	SDCKE		PMCCD	
	PCD1/SDCLK	PCD1 ( " )	SDCLK			
	PCD2/LBE/SDCAS	PCD2 ( " )	LBE		PMCCD, PFCCD	
	PCD3/UB $\bar{E}$ /SDRAS	PCD3 ( " )	UB $\bar{E}$			
ポートAH	PAH0/A16-PAH9/A25	PAH0-PAH9 (入力モード)	A16-A25		PMCAH	
ポートAL	PAL0/A0-PAL15/A15	PAL0-PAL15 (入力モード)	A0-A15		PMCAL	
ポートDL	PDL0/D0-PDL15/D15	PDL0-PDL15 (入力モード)	D0-D15		PMCDL	

(3) ポートのブロック図

図14 - 1 タイプAのブロック図

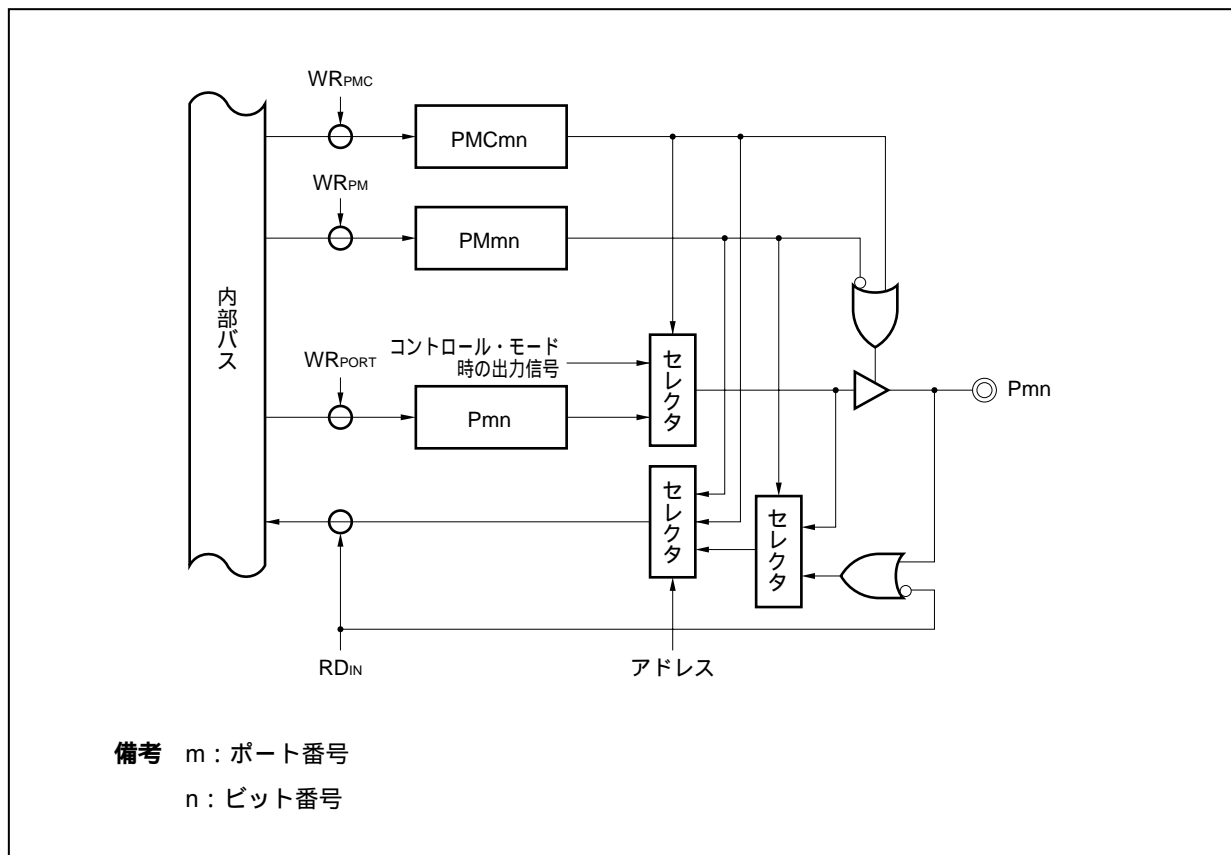




図14 - 2 タイプBのブロック図

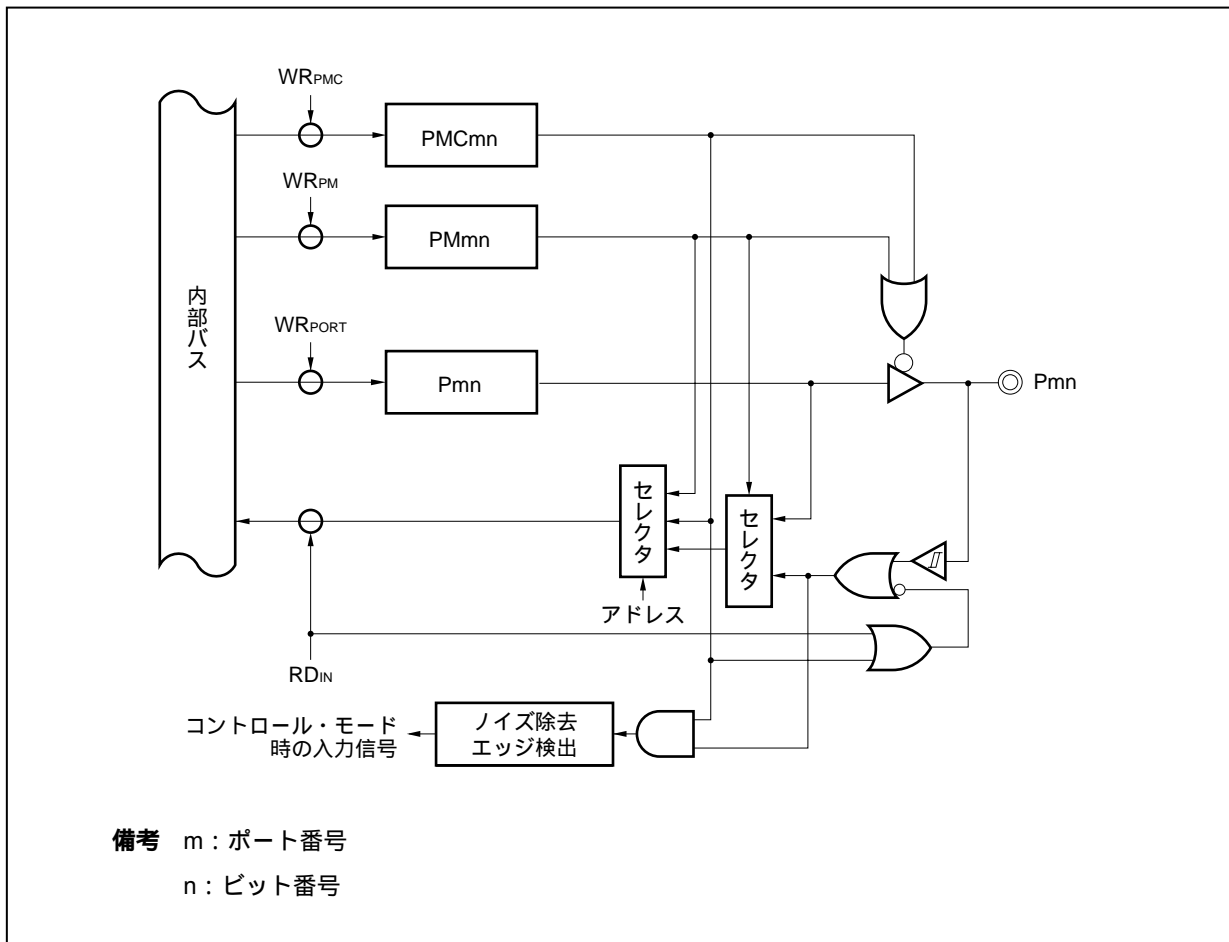


図14 - 3 タイプCのブロック図

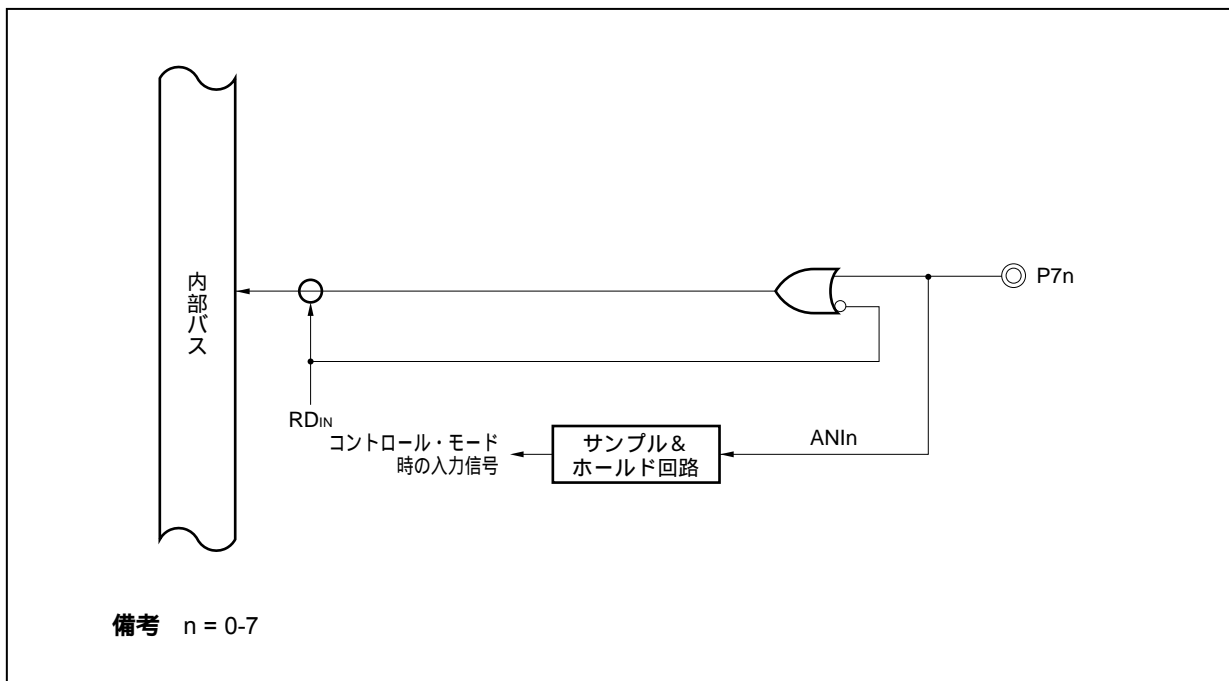


図14 - 4 タイプDのブロック図

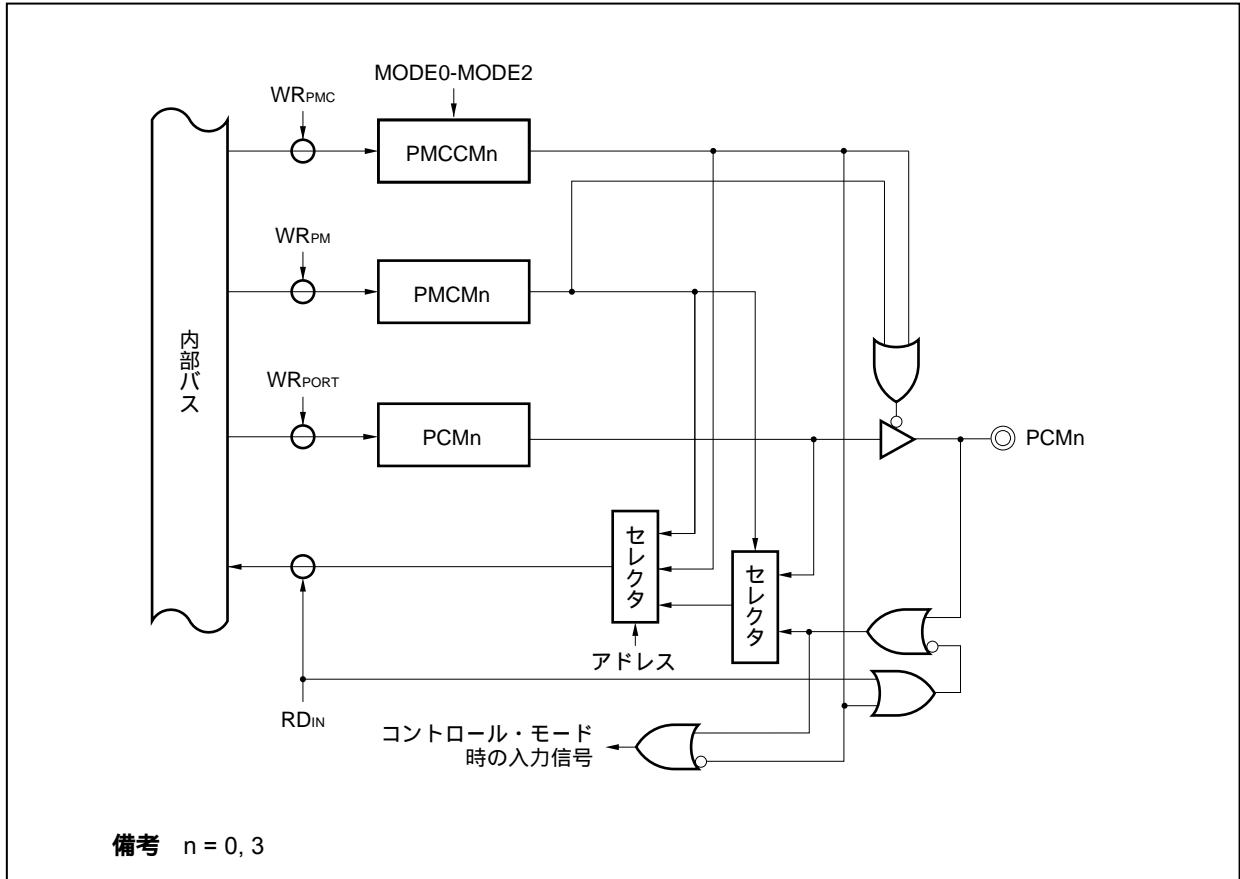


図14 - 5 タイプEのブロック図

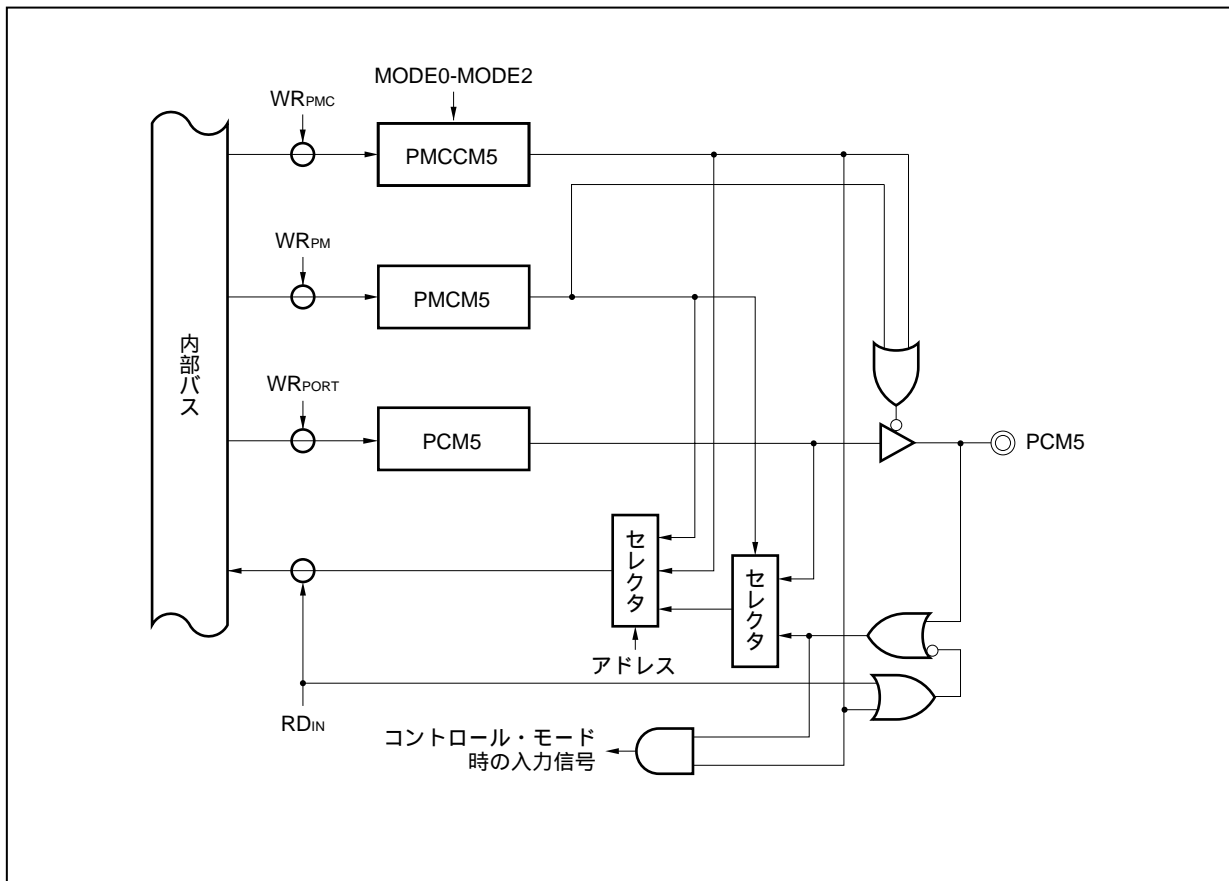


図14 - 6 タイプFのブロック図

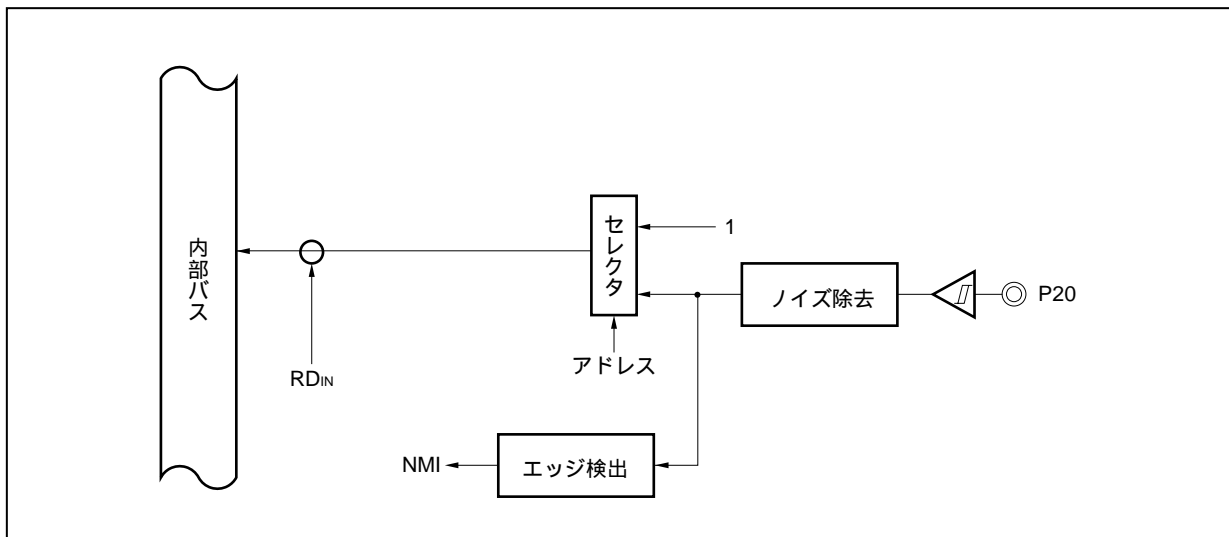


図14 - 7 タイプGのブロック図

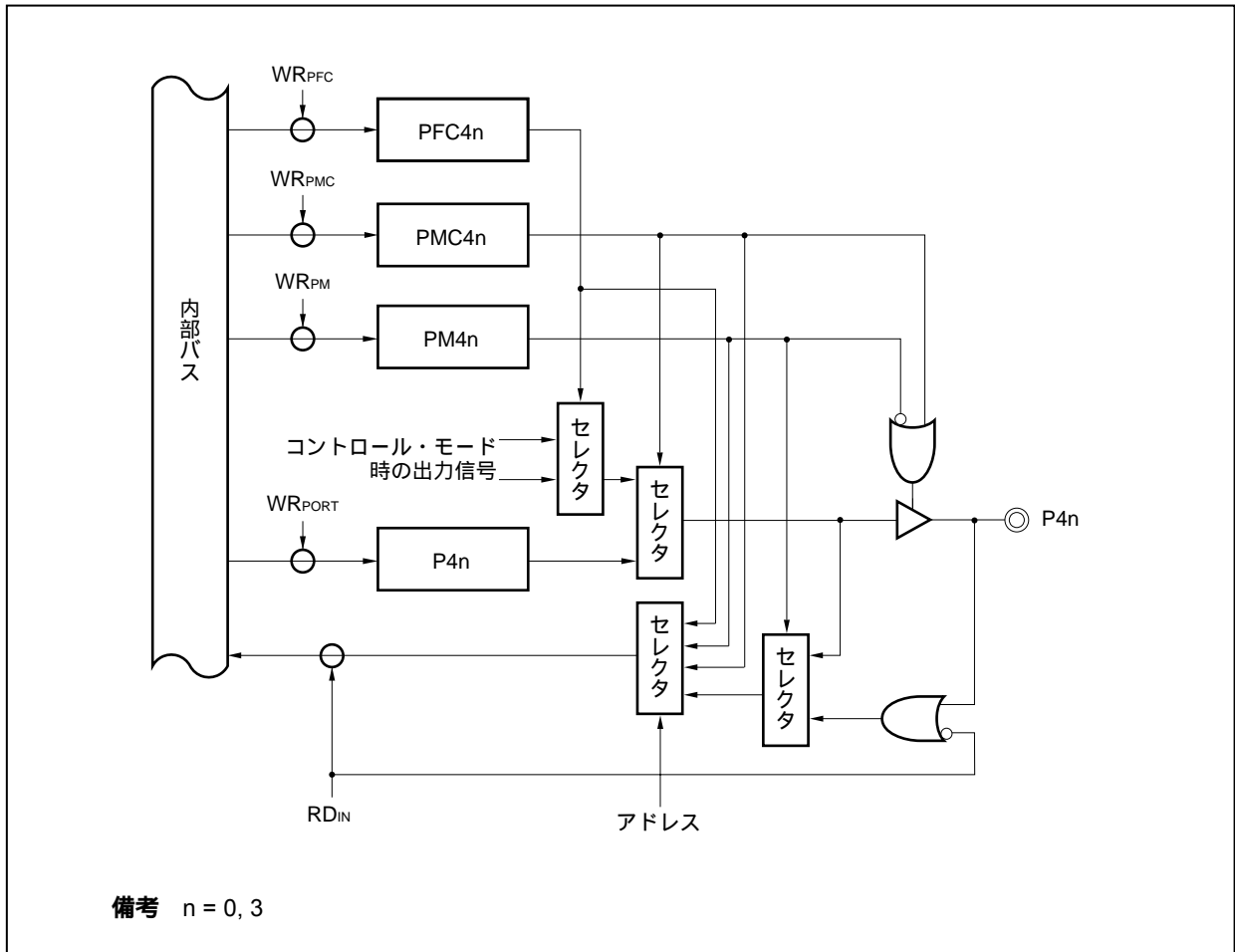
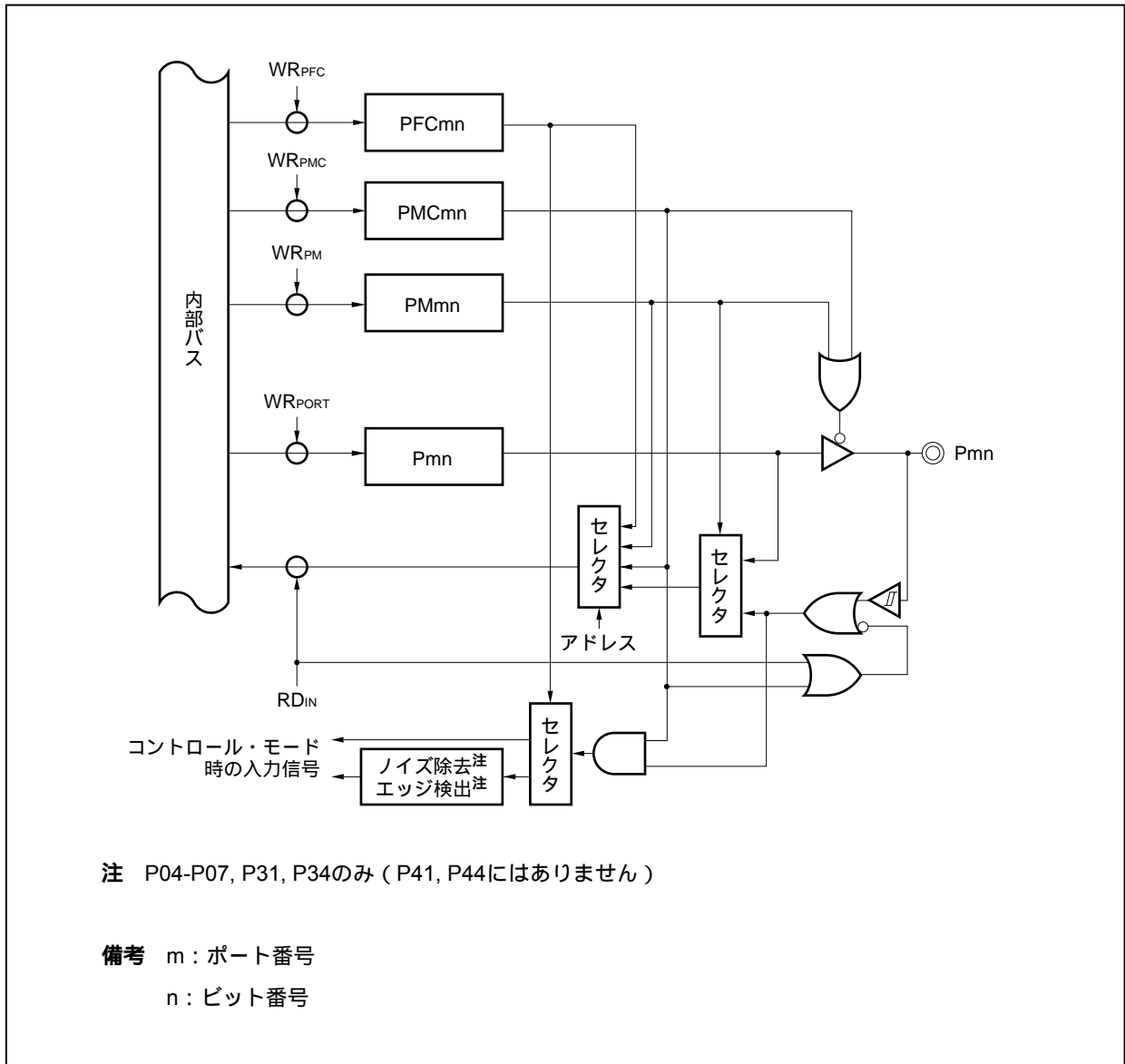


図14 - 8 タイプHのブロック図



注 P04-P07, P31, P34のみ (P41, P44にはありません)

備考 m: ポート番号  
n: ビット番号

図14-9 タイプIのブロック図

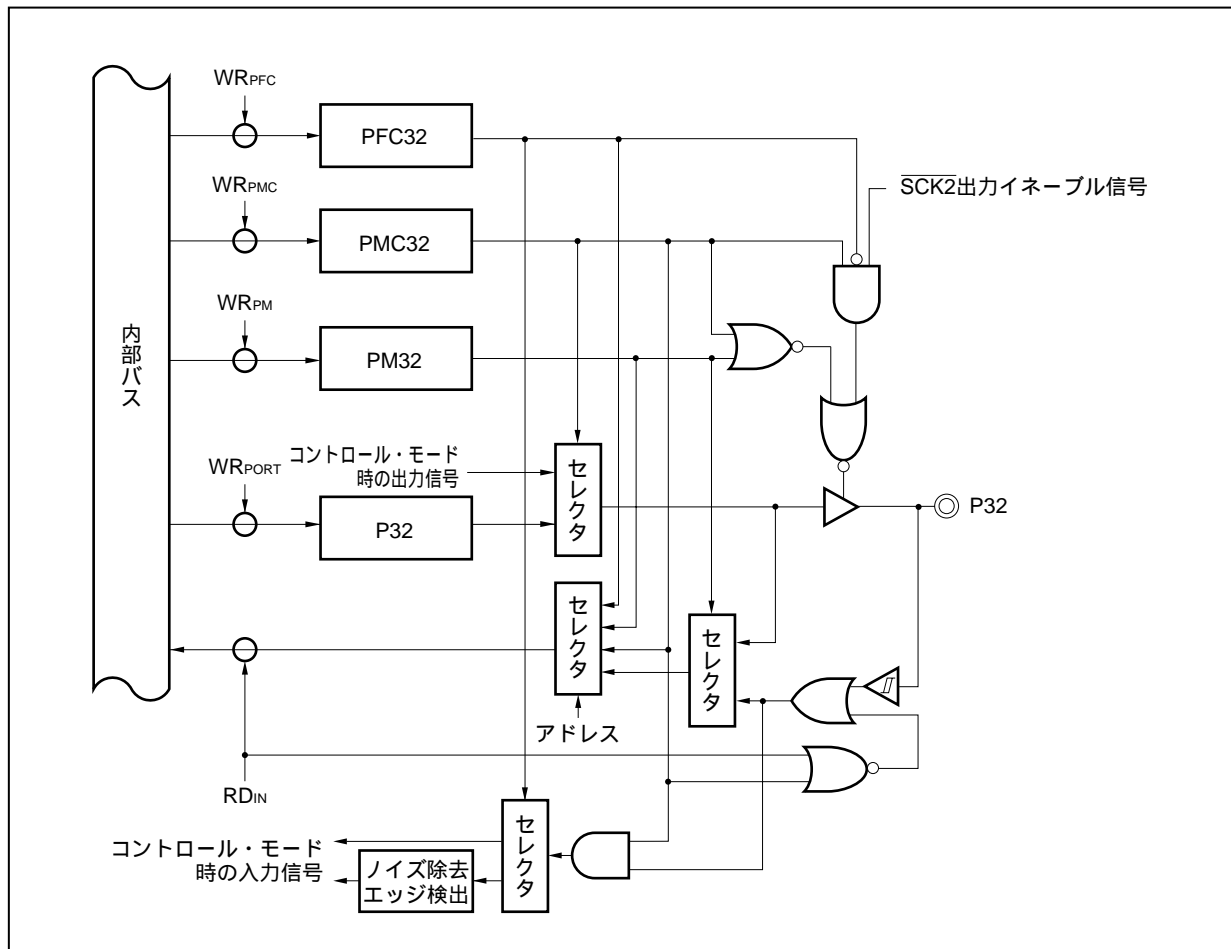


図14 - 10 タイプJのブロック図

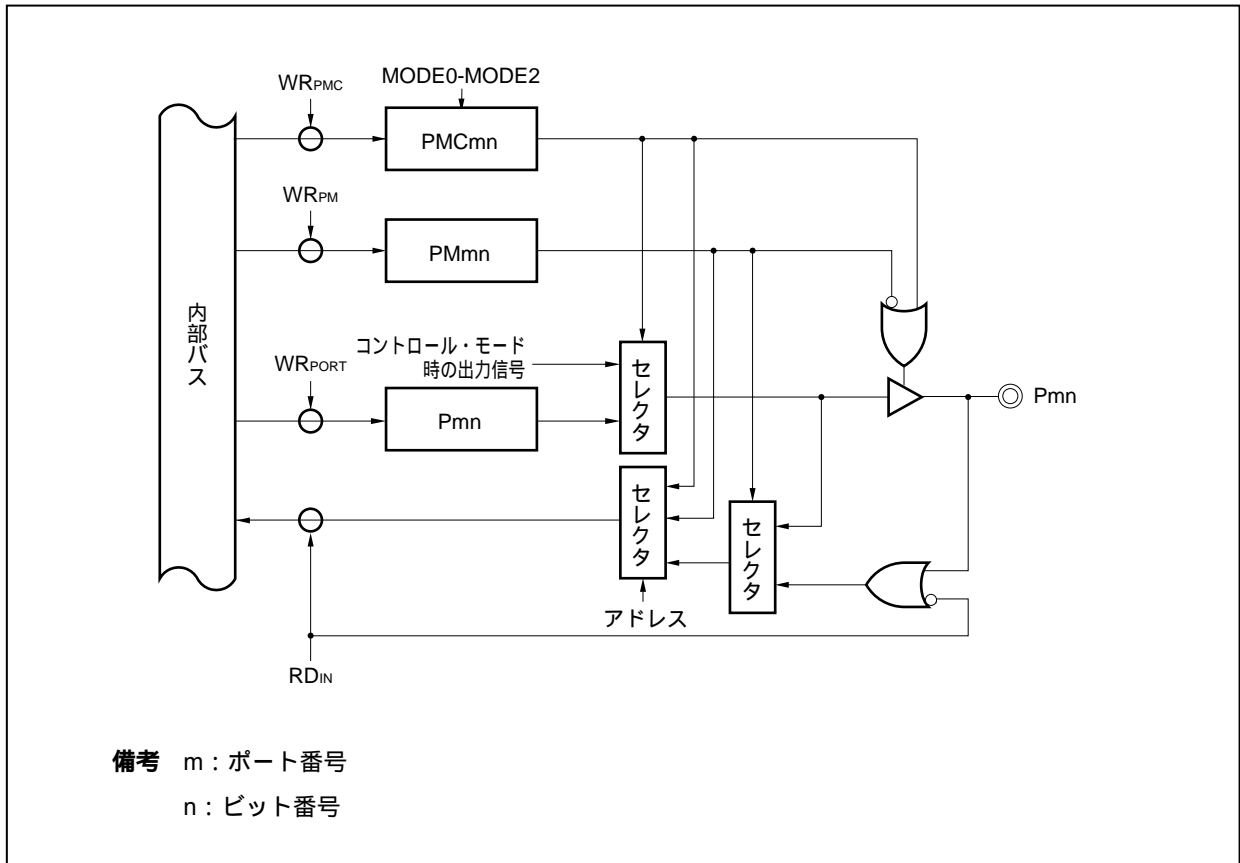


図14 - 11 タイプKのブロック図

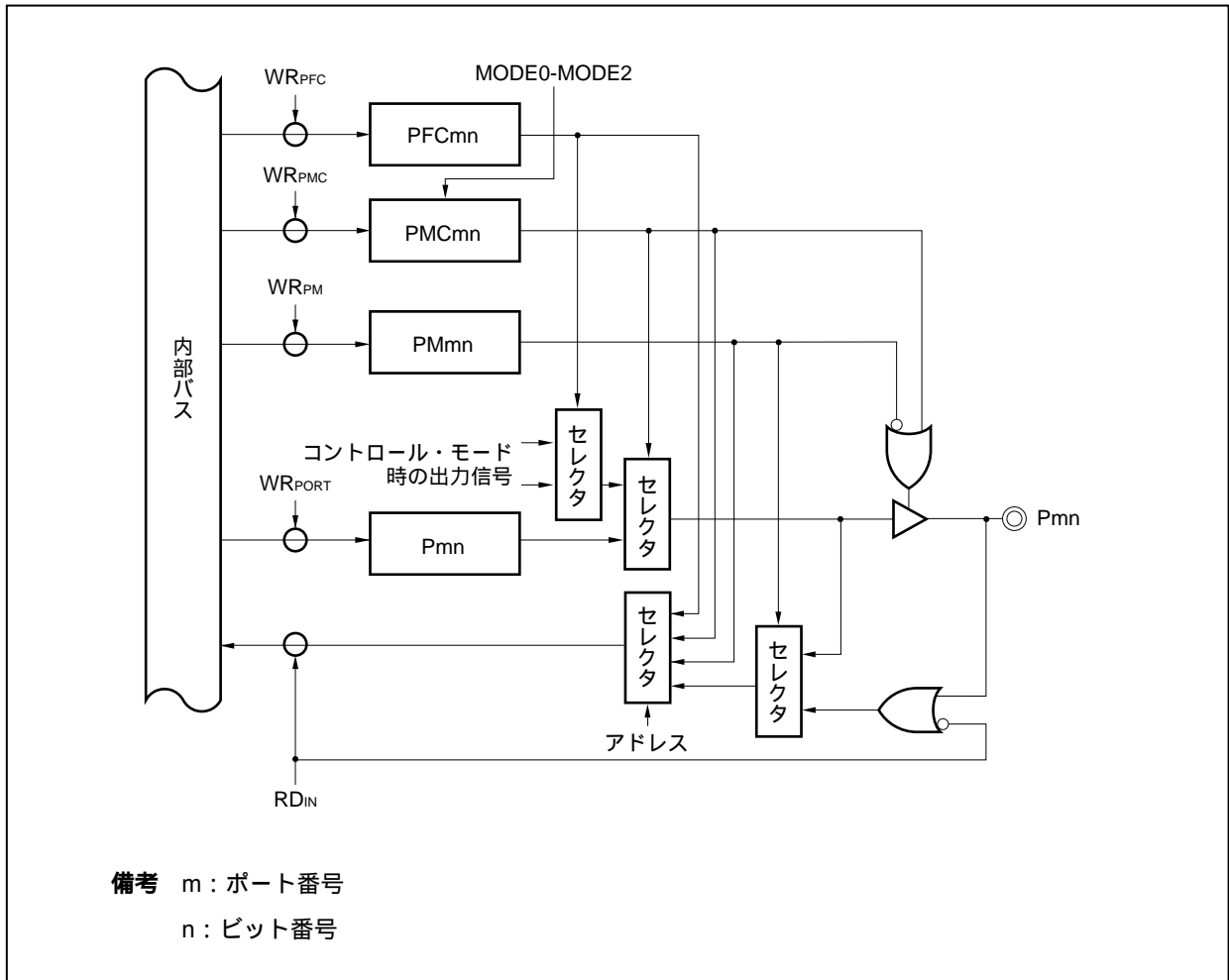




図14 - 12 タイプLのブロック図

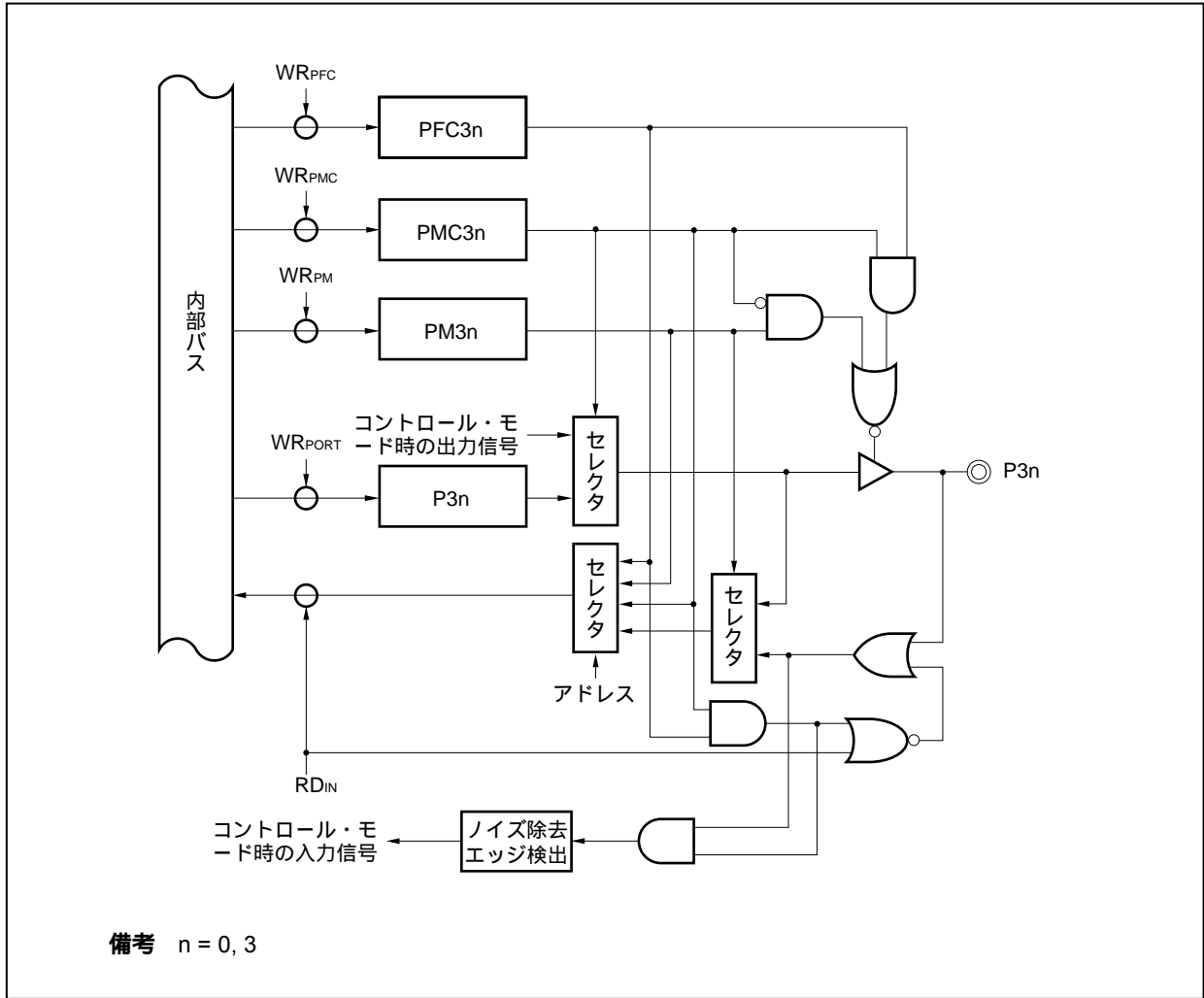


図14 - 13 タイプMのブロック図

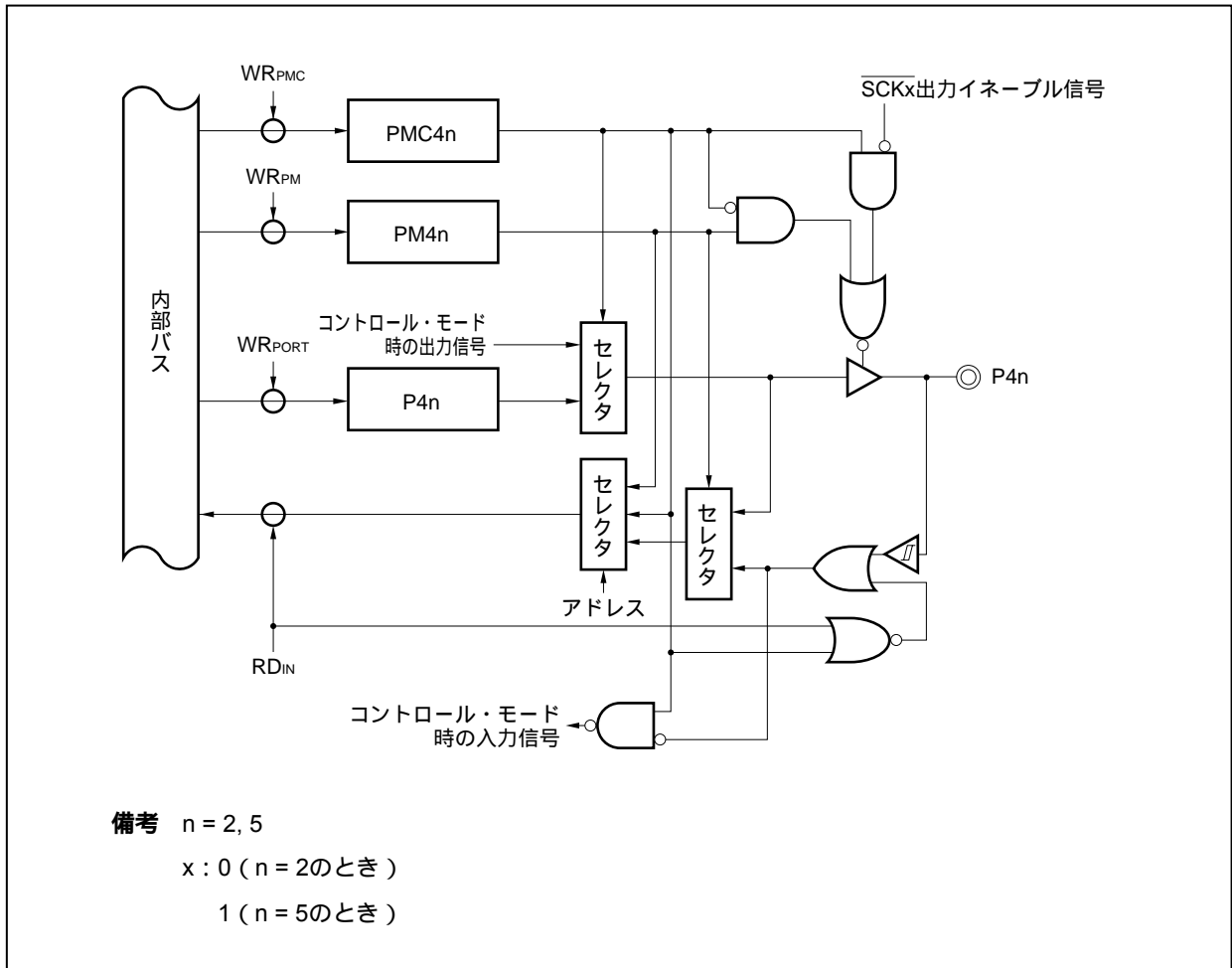


図14 - 14 タイプNのブロック図

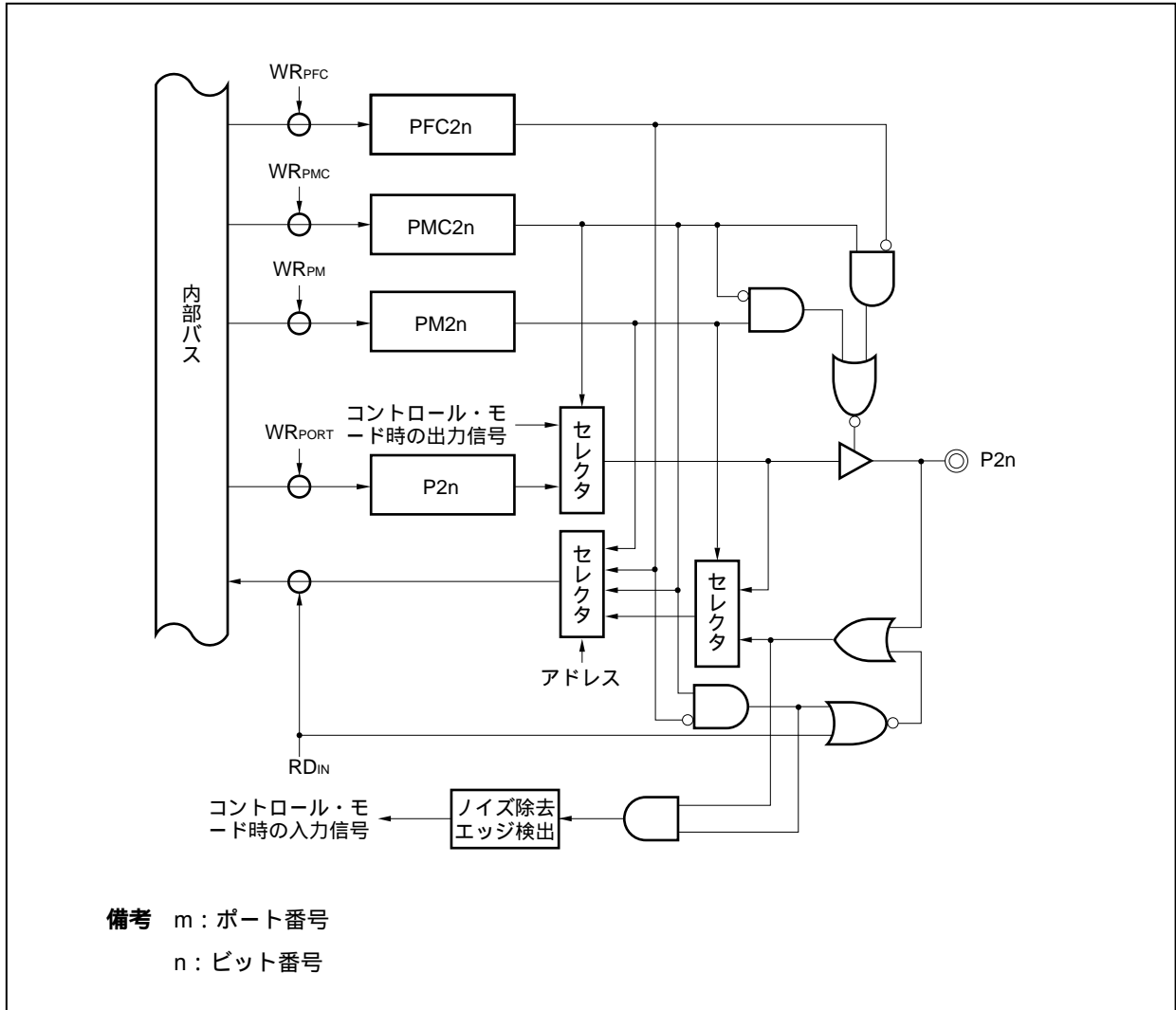
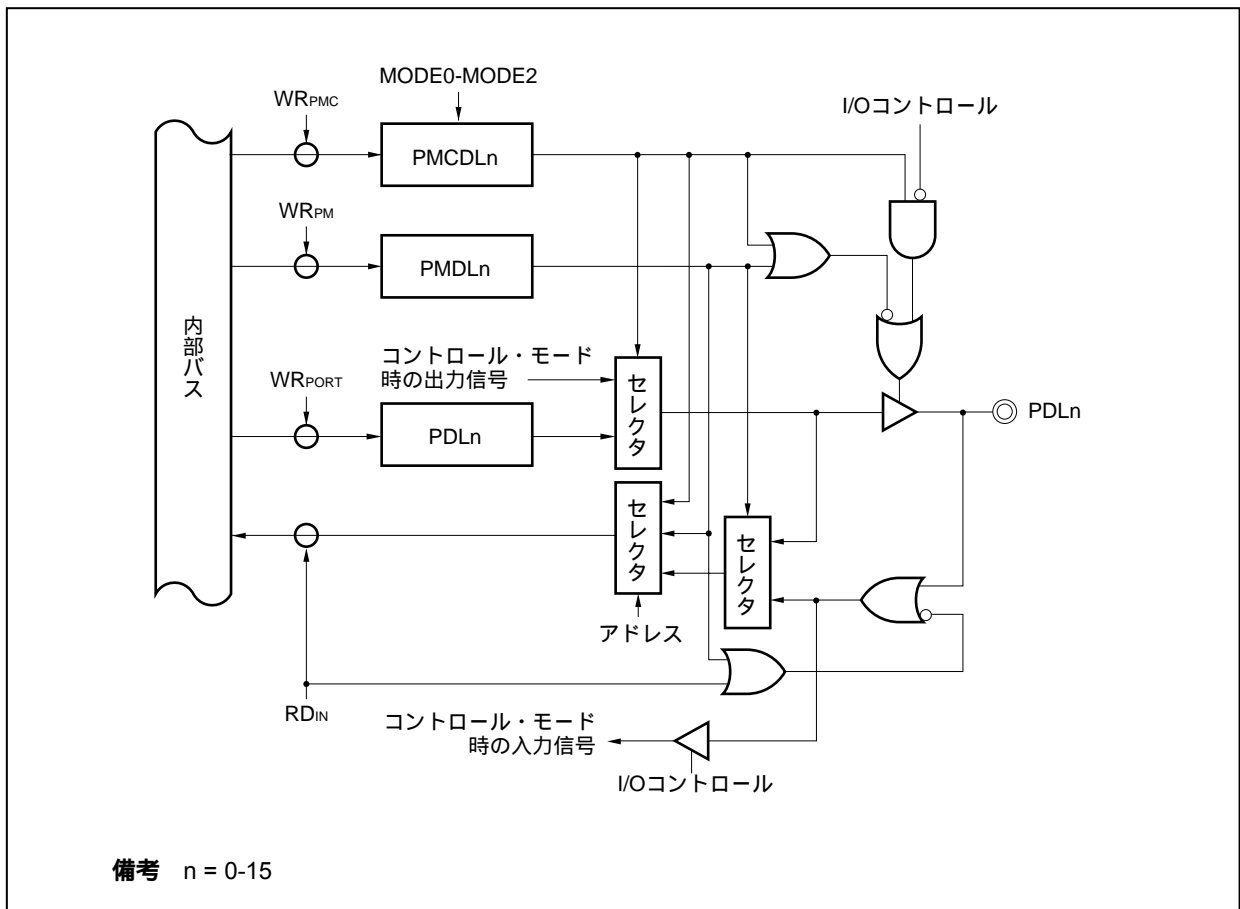


図14 - 15 タイプOのブロック図



## 14.3 各ポートの端子機能

### 14.3.1 ポート0

ポート0は、1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
P0	P07	P06	P05	P04	P03	P02	P01	P00	FFFFFF400H	不定

ビット位置	ビット名	意味
7-0	P0n (n = 7-0)	Port 0 入出力ポート

ポートとしての機能のほかに、コントロール・モードではタイマ/カウンタの入出力、外部割り込み要求入力、PWMの出力、DMA要求入力として動作可能です。

#### (1) コントロール・モード時の動作

ポート	兼用端子名	備考	ブロック・タイプ	
ポート0	P00	PWM0	PWM出力	A
	P01	INTP000/TI000	外部割り込み要求入力 / タイマ/カウンタ入力	B
	P02	INTP001	外部割り込み要求入力	
	P03	TO00	タイマ/カウンタ出力	A
	P04- P07	DMARQ0/INTP100- DMARQ3/INTP103	DMA要求入力 / 外部割り込み要求入力	H

(2) 入出力モード/コントロール・モードの設定

ポート0の入出力モードの設定は、ポート0モード・レジスタ (PM0) で行います。また、コントロール・モードの設定は、ポート0モード・コントロール・レジスタ (PMC0) とポート0ファンクション・コントロール・レジスタ (PFC0) で行います。

(a) ポート0モード・レジスタ (PM0)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FFFFFF420H	FFH

ビット位置	ビット名	意 味
7-0	PM0n (n = 7-0)	Port Mode P0n端子の入力/出力のモードを指定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ)

(b) ポート0モード・コントロール・レジスタ (PMC0)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC0	PMC07	PMC06	PMC05	PMC04	PMC03	PMC02	PMC01	PMC00	FFFFFF440H	00H

ビット位置	ビット名	意味
7-4	PMC0n (n = 7-4)	Port Mode Control P0n端子の動作モードを指定します。PFC0レジスタと組み合わせて設定します。 0 : 入出力ポート・モード 1 : 外部割り込み要求 (INTP103-INTP100) 入力モード / DMA (DMARQ3-DMARQ0) 要求入力モード
3	PMC03	Port Mode Control P03端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : TO00出力モード
2	PMC02	Port Mode Control P02端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : 外部割り込み要求 (INTP001) 入力モード
1	PMC01	Port Mode Control P01端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : 外部割り込み要求 (INTP000) 入力モード / TI000入力モード 外部割り込み要求 (INTP000) 入力モードとTI000入力モードを切り替えるレジスタはありません。  ・ TI000入力モードとして使用する場合 : 外部割り込み要求 (INTP000) をマスクするか、CCC00レジスタをコンペアレジスタに設定してください。 ・ 外部割り込み要求 (INTP000) (タイマ・キャプチャ入力を含む) として使用する場合 : TMCC01レジスタのETI0ビットを0に設定してください。
0	PMC00	Port Mode Control P00端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : PWM0出力モード

(c) ポート0ファンクション・コントロール・レジスタ (PFC0)

8/1ビット単位でリード/ライト可能です。ただし、ビット3-0は0に固定されており、1を書き込んでも無視されます。

**注意** ポート0モード・コントロール・レジスタ (PMC0) でポート・モードを指定した場合は、このレジスタの設定は無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFC0	PFC07	PFC06	PFC05	PFC04	0	0	0	0	FFFFF460H	00H

ビット位置	ビット名	意 味
7-4	PMC0n (n = 7-4)	Port Function Control P0n端子のコントロール・モード時の動作モードを指定します。 0 : 外部割り込み要求 (INTP103-INTP100) 入力モード 1 : DMA (DMARQ3-DMARQ0) 要求入力モード



### 14.3.2 ポート1

ポート1は、1ビット単位で入出力を指定できる4ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
P1	-	-	-	-	P13	P12	P11	P10	FFFFFF402H	不定

ビット位置	ビット名	意味
3-0	P1n (n = 3-0)	Port 1 入出力ポート

ポートとしての機能のほかに、コントロール・モードではタイマ/カウンタの入出力、外部割り込み要求入力、PWMの出力として動作可能です。

#### (1) コントロール・モード時の動作

ポート	兼用端子名	備考	ブロック・タイプ
ポート1	P10	PWM1	PWM出力 A
	P11	TI010/INTP010	外部割り込み要求入力/ タイマ/カウンタ入力 B
	P12	INTP011	外部割り込み要求入力
	P13	TO01	タイマ/カウンタ出力 A

#### (2) 入出力モード/コントロール・モードの設定

ポート1の入出力モードの設定は、ポート1モード・レジスタ (PM1) で行います。また、コントロール・モードの設定は、ポート1モード・コントロール・レジスタ (PMC1) で行います。

##### (a) ポート1モード・レジスタ (PM1)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PM1	1	1	1	1	PM13	PM12	PM11	PM10	FFFFFF422H	FFH

ビット位置	ビット名	意味
3-0	PM1n (n = 3-0)	Port Mode P1n端子の入力/出力のモードを指定します。 0: 出力モード (出力バッファ・オン) 1: 入力モード (出力バッファ・オフ)

(b) ポート1モード・コントロール・レジスタ (PMC1)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC1	0	0	0	0	PMC13	PMC12	PMC11	PMC10	FFFF442H	00H

ビット位置	ビット名	意味
3	PMC13	Port Mode Control P13端子の動作モードを指定します。 0：入出力ポート・モード 1：TO01出力モード
2	PMC12	Port Mode Control P12端子の動作モードを指定します。 0：入出力ポート・モード 1：外部割り込み要求 (INTP011) 入力モード
1	PMC11	Port Mode Control P11端子の動作モードを指定します。 0：入出力ポート・モード 1：外部割り込み要求 (INTP010) 入力モード / TI010入力モード 外部割り込み要求 (INTP010) 入力モードとTI010入力モードを切り替えるレジスタはありません。  ・TI010入力モードとして使用する場合： 外部割り込み要求 (INTP010) をマスクするか、CCC10レジスタをコンペアレジスタに設定してください。 ・外部割り込み要求 (INTP010) (タイマ・キャプチャ入力を含む) として使用する場合： TMCC11レジスタのETI1ビットを0に設定してください。
0	PMC10	Port Mode Control P10端子の動作モードを指定します。 0：入出力ポート・モード 1：PWM1出力モード

### 14.3.3 ポート2

ポート2は、入力専用端子であるP20を除き、1ビット単位で入出力を指定できる入出力ポートです。

**注意** P20はNMI入力に固定です。PM2, PMC2レジスタの値にかかわらずNMI端子のレベルが読み出せます。

	7	6	5	4	3	2	1	0	アドレス	初期値
P2	P27	P26	P25	P24	P23	P22	P21	P20	FFFFFF404H	不定

ビット位置	ビット名	意 味
7-0	P2n (n = 7-0)	Port 2 入出力ポート

ポートとしての機能のほかに、コントロール・モードではタイマ/カウンタの入出力、外部割り込み要求入力、DMA終了(ターミナル・カウント)信号出力として動作可能です。

#### (1) コントロール・モード時の動作

ポート	兼用端子名	備 考	ブロック・タイプ	
ポート2	P20	NMI	ノンマスクブル割り込み要求入力	F
	P21	INTP020/TI020	外部割り込み要求入力/ タイマ/カウンタ入力	B
	P22	INTP021	外部割り込み要求入力	
	P23	TO02	タイマ/カウンタ出力	A
	P24- P27	TC0/INTP110- TC3/INTP113	DMA終了信号出力/外部割り込み要求入力	N

(2) 入出力モード/コントロール・モードの設定

ポート2の入出力モードの設定は、ポート2モード・レジスタ (PM2) で行います。また、コントロール・モードの設定は、ポート2モード・コントロール・レジスタ (PMC2) とポート2ファンクション・コントロール・レジスタ (PFC2) で行います。

(a) ポート2モード・レジスタ (PM2)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	1	FFFFFF424H	FFH

ビット位置	ビット名	意 味
7-1	PM2n (n = 7-1)	Port Mode P2n端子の入力/出力のモードを指定します。 0: 出力モード (出力バッファ・オン) 1: 入力モード (出力バッファ・オフ)

(b) ポート2モード・コントロール・レジスタ (PMC2)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC2	PMC27	PMC26	PMC25	PMC24	PMC23	PMC22	PMC21	1	FFFFFF444H	01H

ビット位置	ビット名	意味
7-4	PMC2n (n = 7-4)	Port Mode Control P2n端子の動作モードを指定します。PFC2レジスタと組み合わせて設定します。 0 : 入出力ポート・モード 1 : 外部割り込み要求 (INTP113-INTP110) 入力モード / DMA終了信号 (TC3-TC0) 出力モード
3	PMC23	Port Mode Control P23端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : TO02出力モード
2	PMC22	Port Mode Control P22端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : 外部割り込み要求 (INTP021) 入力モード
1	PMC21	Port Mode Control P21端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : 外部割り込み要求 (INTP020) 入力モード / TI020入力モード 外部割り込み要求 (INTP020) 入力モードとTI020入力モードを切り替えるレジスタはありません。  ・TI020入力モードとして使用する場合： 外部割り込み要求 (INTP020) をマスクするか、CCC20レジスタをコンペアレジスタに設定してください。 ・外部割り込み要求 (INTP020) (タイマ・キャプチャ入力を含む) として使用する場合： TMCC21レジスタのETI2ビットを0に設定してください。

(c) ポート2ファンクション・コントロール・レジスタ (PFC2)

8/1ビット単位でリード/ライト可能です。ただし、ビット3-0は0に固定されており、1を書き込んでも無視されます。

**注意** ポート2モード・コントロール・レジスタ (PMC2) でポート・モードを指定した場合は、このレジスタの設定は無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFC2	PFC27	PFC26	PFC25	PFC24	0	0	0	0	FFFFFF464H	00H

ビット位置	ビット名	意 味
7-4	PFC2n (n = 7-4)	Port Function Control P2n端子のコントロール・モード時の動作モードを指定します。 0 : 外部割り込み要求 ( $\overline{\text{INTP113}}\text{-}\overline{\text{INTP110}}$ ) 入力モード 1 : DMA終了信号 ( $\overline{\text{TC3}}\text{-}\overline{\text{TC0}}$ ) 出力モード

### 14.3.4 ポート3

ポート3は、1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
P3	P37	P36	P35	P34	P33	P32	P31	P30	FFFFFF406H	不定

ビット位置	ビット名	意味
7-0	P3n (n = 7-0)	Port 3 入出力ポート

ポートとしての機能のほかに、コントロール・モードではシリアル・インタフェース (CSI2, UART2) の入出力、外部割り込み要求入力、A/Dコンバータの外部トリガ入力として動作可能です。

#### (1) コントロール・モード時の動作

ポート	兼用端子名	備考	ブロック・タイプ	
ポート3	P30	SO2/ $\overline{\text{INTP130}}$	シリアル・インタフェース (CSI2) 用入出力 / 外部割り込み要求入力	L
	P31	SI2/ $\overline{\text{INTP131}}$		H
	P32	SCK2/ $\overline{\text{INTP132}}$		I
	P33	TXD2/ $\overline{\text{INTP133}}$	シリアル・インタフェース (UART2) 用入出力 / 外部割り込み要求入力	L
	P34	RXD2/ $\overline{\text{INTP120}}$		H
	P35	$\overline{\text{INTP121}}$	外部割り込み要求入力	B
	P36	$\overline{\text{INTP122}}$		
P37	ADTRG/ $\overline{\text{INTP123}}$	A/Dコンバータ外部トリガ入力 / 外部割り込み要求入力		

#### (2) 入出力モード/コントロール・モードの設定

ポート3の入出力モードの設定は、ポート3モード・レジスタ (PM3) で行います。また、コントロール・モードの設定は、ポート3モード・コントロール・レジスタ (PMC3) とポート3ファンクション・コントロール・レジスタ (PFC3) で行います。

##### (a) ポート3モード・レジスタ (PM3)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FFFFFF426H	FFH

ビット位置	ビット名	意味
7-0	PM3n (n = 7-0)	Port Mode P3n端子の入力 / 出力のモードを指定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ)

(b) ポート3モード・コントロール・レジスタ (PMC3)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30	FFFFF446H	00H

ビット位置	ビット名	意味
7	PMC37	Port Mode Control P37端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : A/Dコンバータ外部トリガ (ADTRG) 入力モード / 外部割り込み要求 (INTP123) 入力モード A/Dコンバータ外部トリガ (ADTRG) 入力モードと外部割り込み要求 (INTP123) 入力モードを切り替えるレジスタはありません。  ・ A/Dコンバータ外部トリガ (ADTRG) 入力モードとして使用する場合 : ADM1レジスタで外部トリガ・モードに設定してください。 ・ 外部割り込み要求 (INTP123) 入力モードとして使用する場合 : ADM1レジスタで外部トリガ・モード以外に設定してください。
6	PMC36	Port Mode Control P36端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : 外部割り込み要求 (INTP122) 入力モード
5	PMC35	Port Mode Control P35端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : 外部割り込み要求 (INTP121) 入力モード
4	PMC34	Port Mode Control P34端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : RXD2入力モード / 外部割り込み要求 (INTP120) 入力モード
3	PMC33	Port Mode Control P33端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : TXD2出力モード / 外部割り込み要求 (INTP133) 入力モード
2	PMC32	Port Mode Control P32端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : SCK2入出力モード / 外部割り込み要求 (INTP132) 入力モード
1	PMC31	Port Mode Control P31端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : SI2入力モード / 外部割り込み要求 (INTP131) 入力モード
0	PMC30	Port Mode Control P30端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : SO2出力モード / 外部割り込み要求 (INTP130) 入力モード



(c) ポート3ファンクション・コントロール・レジスタ (PFC3)

8/1ビット単位でリード/ライト可能です。ただし、ビット5-7は0に固定されており、1を書き込んでも無視されます。

**注意** ポート3モード・コントロール・レジスタ (PMC3) でポート・モードを指定した場合は、このレジスタの設定は無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFC3	0	0	0	PFC34	PFC33	PFC32	PFC31	PFC30	FFFFF466H	00H

ビット位置	ビット名	意 味
4	PFC34	Port Function Control P34端子のコントロール・モード時の動作モードを指定します。 0 : RXD2入力モード 1 : 外部割り込み要求 (INTP120) 入力モード
3	PFC33	Port Function Control P33端子のコントロール・モード時の動作モードを指定します。 0 : TXD2出力モード 1 : 外部割り込み要求 (INTP133) 入力モード
2	PFC32	Port Function Control P32端子のコントロール・モード時の動作モードを指定します。 0 : SCK2入出力モード 1 : 外部割り込み要求 (INTP132) 入力モード
1	PFC31	Port Function Control P31端子のコントロール・モード時の動作モードを指定します。 0 : SI2入力モード 1 : 外部割り込み要求 (INTP131) 入力モード
0	PFC30	Port Function Control P30端子のコントロール・モード時の動作モードを指定します。 0 : SO2出力モード 1 : 外部割り込み要求 (INTP130) 入力モード

### 14.3.5 ポート4

ポート4は、1ビット単位で入出力を指定できる6ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
P4	-	-	P45	P44	P43	P42	P41	P40	FFFFFF408H	不定

ビット位置	ビット名	意味
5-0	P4n (n = 5-0)	Port 4 入出力ポート

ポートとしての機能のほかに、コントロール・モードではシリアル・インタフェース (UART0/CSI0, UART1/CSI1) の入出力として動作可能です。

#### (1) コントロール・モード時の動作

ポート	兼用端子名	兼用端子名	備考	ブロック・タイプ
ポート4	P40	TXD0/SO0	シリアル・インタフェース (UART0/CSI0) 用入出力	G
	P41	RXD0/SI0		H
	P42	SCK0		M
	P43	TXD1/SO1	シリアル・インタフェース (UART1/CSI1) 用入出力	G
	P44	RXD1/SI1		H
	P45	SCK1		M

#### (2) 入出力モード/コントロール・モードの設定

ポート4の入出力モードの設定は、ポート4モード・レジスタ (PM4) で行います。また、コントロール・モードの設定は、ポート4モード・コントロール・レジスタ (PMC4) とポート4ファンクション・コントロール・レジスタ (PFC4) で行います。

##### (a) ポート4モード・レジスタ (PM4)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PM4	1	1	PM45	PM44	PM43	PM42	PM41	PM40	FFFFFF428H	FFH

ビット位置	ビット名	意味
5-0	PM4n (n = 5-0)	Port Mode P4n端子の入力/出力のモードを指定します。 0: 出力モード (出力バッファ・オン) 1: 入力モード (出力バッファ・オフ)

(b) ポート4モード・コントロール・レジスタ (PMC4)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC4	0	0	PMC45	PMC44	PMC43	PMC42	PMC41	PMC40	FFFFFF448H	00H

ビット位置	ビット名	意味
5	PMC45	Port Mode Control P45端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : SCK1入出力モード
4	PMC44	Port Mode Control P44端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : RXD1/SI1入力モード
3	PMC43	Port Mode Control P43端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : TXD1/SO1出力モード
2	PMC42	Port Mode Control P42端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : SCK0入出力モード
1	PMC41	Port Mode Control P41端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : RXD0/SI0入力モード
0	PMC40	Port Mode Control P40端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : TXD0/SO0出力モード

(c) ポート4ファンクション・コントロール・レジスタ (PFC4)

8/1ビット単位でリード/ライト可能です。ただし、ビット7-5, 2は0に固定されており、1を書き込んでも無視されます。

**注意** ポート4モード・コントロール・レジスタ (PMC4) でポート・モードを指定した場合は、このレジスタの設定は無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFC4	0	0	0	PFC44	PFC43	0	PFC41	PFC40	FFFFFF468H	00H

ビット位置	ビット名	意味
4	PFC44	Port Function Control P44端子のコントロール・モード時の動作モードを指定します。 0 : SI1入力モード 1 : RXD1入力モード
3	PFC43	Port Function Control P43端子のコントロール・モード時の動作モードを指定します。 0 : SO1出力モード 1 : TXD1出力モード
1	PFC41	Port Function Control P41端子のコントロール・モード時の動作モードを指定します。 0 : SI0入力モード 1 : RXD0入力モード
0	PFC40	Port Function Control P40端子のコントロール・モード時の動作モードを指定します。 0 : SO0出力モード 1 : TXD0出力モード

### 14.3.6 ポート5

ポート5は、1ビット単位で入出力を指定できる3ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
P5	-	-	-	-	-	P52	P51	P50	FFFFFF40AH	不定

ビット位置	ビット名	意 味
2-0	P5n (n = 2-0)	Port 5 入出力ポート

ポートとしての機能のほかに、コントロール・モードではタイマ/カウンタの入出力、外部割り込み要求入力として動作可能です。

#### (1) コントロール・モード時の動作

ポート	兼用端子名	備 考	ブロック・タイプ
ポート5	P50	INTP030/TI030 外部割り込み要求入力/ タイマ/カウンタ入力	B
	P51	INTP031 外部割り込み要求入力	
	P52	TO03 タイマ/カウンタ出力	A

#### (2) 入出力モード/コントロール・モードの設定

ポート5の入出力モードの設定は、ポート5モード・レジスタ (PM5) で行います。また、コントロール・モードの設定は、ポート5モード・コントロール・レジスタ (PMC5) で行います。

##### (a) ポート5モード・レジスタ (PM5)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PM5	1	1	1	1	1	PM52	PM51	PM50	FFFFFF42AH	FFH

ビット位置	ビット名	意 味
2-0	PM5n (n = 2-0)	Port Mode P5n端子の入力/出力のモードを指定します。 0: 出力モード (出力バッファ・オン) 1: 入力モード (出力バッファ・オフ)

(b) ポート5モード・コントロール・レジスタ (PMC5)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC5	0	0	0	0	0	PMC52	PMC51	PMC50	FFFFF44AH	00H

ビット位置	ビット名	意味
2	PMC52	Port Mode Control P52端子の動作モードを指定します。 0：入出力ポート・モード 1：TO03出力モード
1	PMC51	Port Mode Control P51端子の動作モードを指定します。 0：入出力ポート・モード 1：外部割り込み要求 (INTP031) 入力モード
0	PMC50	Port Mode Control P50端子の動作モードを指定します。 0：入出力ポート・モード 1：外部割り込み要求 (INTP030) 入力モード / TI030入力モード 外部割り込み要求 (INTP030) 入力モードとTI030入力モードを切り替えるレジスタはありません。  ・ TI030入力モードとして使用する場合： 外部割り込み要求 (INTP030) をマスクするか、CCC30レジスタをコンペアレジスタに設定してください。 ・ 外部割り込み要求 (INTP030) (タイマ・キャプチャ入力を含む) として使用する場合： TMCC31レジスタのETI3ビットを0に設定してください。

### 14.3.7 ポート7

ポート7は、全端子が入力に固定の8ビット入力専用ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
P7	P77	P76	P75	P74	P73	P72	P71	P70	FFFFFF40EH	不定

ビット位置	ビット名	意味
7-0	P7n (n = 7-0)	Port 7 入力ポート

ポートとしての機能のほかに、コントロール・モードではA/Dコンバータへのアナログ入力として動作可能です。

#### (1) コントロール・モード時の動作

ポート	兼用端子名	備考	ブロック・タイプ
ポート7	P77- P70	ANI7-ANI0	A/Dコンバータへのアナログ入力 C

**注意** ANI0-ANI7のいずれかの端子を選択してA/D変換する場合、A/D変換中 (ADM0レジスタのADCSビット = 1) にポート7 (P7) の読み出しを行ったときには、A/D変換の分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによって、A/D変換値が期待どおりに得られないことがあります。したがって、A/D変換中の端子に隣接する端子へのデジタル・パルス印加はしないでください。

### 14.3.8 ポートAL

ポートAL (PAL) は、1ビット単位で入出力を指定できる16ビット入出力ポートです。

ポートALの上位8ビットをポートALH (PALH) , 下位8ビットをポートALL (PALL) とした場合は、1ビット単位で入出力を指定できる8ビット入出力ポートになります。

	15	14	13	12	11	10	9	8	アドレス	初期値
PAL	PAL15	PAL14	PAL13	PAL12	PAL11	PAL10	PAL9	PAL8	FFFFFF01H	不定
	7	6	5	4	3	2	1	0	アドレス	
	PAL7	PAL6	PAL5	PAL4	PAL3	PAL2	PAL1	PAL0	FFFFFF00H	

ビット位置	ビット名	意味
15-0	PALn (n = 15-0)	Port AL 入出力ポート

ポートとしての機能のほかに、コントロール・モードではメモリを外部に拡張する場合のアドレス・バスとして動作可能です。

#### (1) コントロール・モード時の動作

ポート	兼用端子名	備考	ブロック・タイプ
ポート AL	PAL15- PAL0	A15-A0 メモリ拡張時のアドレス・バス	J

#### (2) 入出力モード/コントロール・モードの設定

ポートALの入出力モードの設定は、ポートALモード・レジスタ (PMAL) で行います。また、コントロール・モードの設定は、ポートALモード・コントロール・レジスタ (PMCAL) で行います。

##### (a) ポートALモード・レジスタ (PMAL)

ポートALモード・レジスタ (PMAL) は、16ビット単位でリード/ライト可能です。

PMALの上位8ビットをポートALモード・レジスタH (PMALH) , 下位8ビットをポートALモード・レジスタL (PMALL) とした場合は、8/1ビット単位でリード/ライト可能になります。

	15	14	13	12	11	10	9	8	アドレス	初期値
PMAL	PMAL15	PMAL14	PMAL13	PMAL12	PMAL11	PMAL10	PMAL9	PMAL8	FFFFFF021H	FFFFH
	7	6	5	4	3	2	1	0	アドレス	
	PMAL7	PMAL6	PMAL5	PMAL4	PMAL3	PMAL2	PMAL1	PMAL0	FFFFFF020H	

ビット位置	ビット名	意味
15-0	PMALn (n = 15-0)	Port Mode PALn端子の入力/出力のモードを指定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ)



(b) ポートALモード・コントロール・レジスタ (PMCAL)

ポートALモード・コントロール・レジスタ (PMCAL) は、16ビット単位でリード/ライト可能です。

PMCALの上位8ビットをポートALモード・コントロール・レジスタH (PMCALH)、下位8ビットをポートALモード・コントロール・レジスタL (PMCALL) とした場合は、8/1ビット単位でリード/ライト可能になります。

	15	14	13	12	11	10	9	8	アドレス	初期値 <sup>注</sup>
PMCAL	PMCAL15	PMCAL14	PMCAL13	PMCAL12	PMCAL11	PMCAL10	PMCAL9	PMCAL8	FFFFFF041H	FFFFH/0000H
	7	6	5	4	3	2	1	0	アドレス	
	PMCAL7	PMCAL6	PMCAL5	PMCAL4	PMCAL3	PMCAL2	PMCAL1	PMCAL0	FFFFFF040H	

注 ROMレス・モード0, 1とシングルチップ・モード1のとき : FFFFH  
 シングルチップ・モード0のとき : 0000H

ビット位置	ビット名	意味
15-0	PMCALn (n = 15-0)	Port Mode Control PALn端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : A15-A0出力モード

### 14.3.9 ポートAH

ポートAH (PAH) は、1ビット単位で入出力を指定できる10ビット入出力ポートです。

ポートAHの上位8ビットをポートAHH (PAHH)、下位8ビットをポートAHL (PAHL) とした場合は、1ビット単位で入出力を指定できる8ビット入出力ポートになります。

ポートAHのビット15-10 (ポートAHHのビット7-2) は不定です。

	15	14	13	12	11	10	9	8	アドレス	初期値
PAH	-	-	-	-	-	-	PAH9	PAH8	FFFFFF03H	不定
	7	6	5	4	3	2	1	0	アドレス	
	PAH7	PAH6	PAH5	PAH4	PAH3	PAH2	PAH1	PAH0	FFFFFF02H	

ビット位置	ビット名	意味
9-0	PAHn (n = 9-0)	Port AH 入出力ポート

ポートとしての機能のほかに、コントロール・モードではメモリを外部に拡張する場合のアドレス・バスとして動作可能です。

#### (1) コントロール・モード時の動作

ポート		兼用端子名	備考	ブロック・タイプ
ポート AH	PAH9- PAH0	A25-A16	メモリ拡張時のアドレス・バス	J

#### (2) 入出力モード/コントロール・モードの設定

ポートAHの入出力モードの設定は、ポートAHモード・レジスタ (PMAH) で行います。また、コントロール・モードの設定は、ポートAHモード・コントロール・レジスタ (PMCAH) で行います。

(a) ポートAHモード・レジスタ (PMAH)

ポートAHモード・レジスタ (PMAH) は、16ビット単位でリード/ライト可能です。

PMAHの上位8ビットをポートAHモード・レジスタH (PMAHH)、下位8ビットをポートAHモード・レジスタL (PMAHL) とした場合は、8/1ビット単位でリード/ライト可能になります。

PMAHのビット15-10 (PMAHHのビット7-2) は1に固定です。

	15	14	13	12	11	10	9	8	アドレス	初期値
PMAH	1	1	1	1	1	1	PMAH9	PMAH8	FFFFFF023H	FFFFH
	7	6	5	4	3	2	1	0	アドレス	
	PMAH7	PMAH6	PMAH5	PMAH4	PMAH3	PMAH2	PMAH1	PMAH0	FFFFFF022H	

ビット位置	ビット名	意味
9-0	PMAHn (n = 9-0)	Port Mode PAHn端子の入力/出力のモードを指定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ)

(b) ポートAHモード・コントロール・レジスタ (PMCAH)

ポートAHモード・コントロール・レジスタ (PMCAH) は、16ビット単位でリード/ライト可能です。

PMCAHの上位8ビットをポートAHモード・コントロール・レジスタH (PMCAHH)、下位8ビットをポートAHモード・コントロール・レジスタL (PMCAHL) とした場合は、8/1ビット単位でリード/ライト可能になります。

PMCAHのビット15-10 (PMCAHHのビット7-2) は0に固定です。

	15	14	13	12	11	10	9	8	アドレス	初期値 <sup>注</sup>
PMCAH	0	0	0	0	0	0	PMCAH9	PMCAH8	FFFFFF043H	0000H/03FFH
	7	6	5	4	3	2	1	0	アドレス	
	PMCAH7	PMCAH6	PMCAH5	PMCAH4	PMCAH3	PMCAH2	PMCAH1	PMCAH0	FFFFFF042H	

注 ROMレス・モード0, 1とシングルチップ・モード1のとき : 03FFH  
 シングルチップ・モード0のとき : 0000H

ビット位置	ビット名	意味
9-0	PMCAHn (n = 9-0)	Port Mode Control PAHn端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : A25-A16出力モード

### 14.3.10 ポートDL

ポートDL (PDL) は、1ビット単位で入出力を指定できる16ビット入出力ポートです。

ポートDLの上位8ビットをポートDLH (PDLH) , 下位8ビットをポートDLL (PDLL) とした場合は、1ビット単位で入出力を指定できる8ビット入出力ポートになります。

	15	14	13	12	11	10	9	8	アドレス	初期値
PDL	PDL15	PDL14	PDL13	PDL12	PDL11	PDL10	PDL9	PDL8	FFFFFF05H	不定
	7	6	5	4	3	2	1	0	アドレス	
	PDL7	PDL6	PDL5	PDL4	PDL3	PDL2	PDL1	PDL0	FFFFFF04H	

ビット位置	ビット名	意味
15-0	PDLn (n = 15-0)	Port DL 入出力ポート

ポートとしての機能のほかに、コントロール・モードではメモリを外部に拡張する場合のデータ・バスとして動作可能です。

#### (1) コントロール・モード時の動作

ポート	兼用端子名	備考	ブロック・タイプ
ポート DL	PDL15- PDL0	D15-D0 メモリ拡張時のデータ・バス	0

#### (2) 入出力モード/コントロール・モードの設定

ポートDLの入出力モードの設定は、ポートDLモード・レジスタ (PMDL) で行います。また、コントロール・モードの設定は、ポートDLモード・コントロール・レジスタ (PMCDL) で行います。

##### (a) ポートDLモード・レジスタ (PMDL)

ポートDLモード・レジスタ (PMDL) は、16ビット単位でリード/ライト可能です。

PMDLの上位8ビットをポートDLモード・レジスタH (PMDLH) , 下位8ビットをポートDLモード・レジスタL (PMDLL) とした場合は、8/1ビット単位でリード/ライト可能になります。

	15	14	13	12	11	10	9	8	アドレス	初期値
PMDL	PMDL15	PMDL14	PMDL13	PMDL12	PMDL11	PMDL10	PMDL9	PMDL8	FFFFFF025H	FFFFH
	7	6	5	4	3	2	1	0	アドレス	
	PMDL7	PMDL6	PMDL5	PMDL4	PMDL3	PMDL2	PMDL1	PMDL0	FFFFFF024H	

ビット位置	ビット名	意味
15-0	PMDLn (n = 15-0)	Port Mode PDLn端子の入力/出力のモードを指定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ)

(b) ポートDLモード・コントロール・レジスタ (PMCDL)

ポートDLモード・コントロール・レジスタ (PMCDL) は、16ビット単位でリード/ライト可能です。

PMCDLの上位8ビットをポートDLモード・コントロール・レジスタH (PMCDLH)、下位8ビットをポートDLモード・コントロール・レジスタL (PMCDLL) とした場合は、8/1ビット単位でリード/ライト可能になります。

	15	14	13	12	11	10	9	8	アドレス	初期値 <sup>注</sup>
PMCDL	PMCDL15	PMCDL14	PMCDL13	PMCDL12	PMCDL11	PMCDL10	PMCDL9	PMCDL8	FFFFFF045H	FFFFH/0000H
	7	6	5	4	3	2	1	0	アドレス	
	PMCDL7	PMCDL6	PMCDL5	PMCDL4	PMCDL3	PMCDL2	PMCDL1	PMCDL0	FFFFFF044H	

注 ROMレス・モード0, 1とシングルチップ・モード1のとき : FFFFH  
 シングルチップ・モード0のとき : 0000H

ビット位置	ビット名	意味
15-0	PMCDLn (n = 15-0)	Port Mode Control PDLn端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : D15-D0出力モード

注意 ROMレス・モード1の場合、D8-D15端子は入力状態になります。

### 14.3.11 ポートCS

ポートCSは、1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
PCS	PCS7	PCS6	PCS5	PCS4	PCS3	PCS2	PCS1	PCS0	FFFFFF08H	不定

ビット位置	ビット名	意味
7-0	PCS <sub>n</sub> (n = 7-0)	Port CS 入出力ポート

ポートとしての機能のほかに、コントロール・モードではメモリを外部に拡張する場合のチップ・セレクト信号出力、DRAMに対するロウ・アドレス・ストロープ信号出力、外部I/Oに対するリード/ライト・ストロープ信号出力として動作可能です。

#### (1) コントロール・モード時の動作

ポート	兼用端子名	備 考	ブロック・タイプ	
ポート CS	PCS0	$\overline{CS0}$	チップ・セレクト信号出力	J
	PCS1	$\overline{CS1/RAS1}$	チップ・セレクト信号出力 / ロウ・アドレス信号出力	K
	PCS2	$\overline{CS2/IOWR}$	チップ・セレクト信号出力 / ライト・ストロープ信号出力	
	PCS3	$\overline{CS3/RAS3}$	チップ・セレクト信号出力 / ロウ・アドレス信号出力	J
	PCS4	$\overline{CS4/RAS4}$		
	PCS5	$\overline{CS5/IORD}$	チップ・セレクト信号出力 / リード・ストロープ信号出力	K
	PCS6	$\overline{CS6/RAS6}$	チップ・セレクト信号出力 / ロウ・アドレス信号出力	J
	PCS7	$\overline{CS7}$	チップ・セレクト信号出力	

(2) 入出力モード/コントロール・モードの設定

ポートCSの入出力モードの設定は、ポートCSモード・レジスタ (PMCS) で行います。また、コントロール・モードの設定は、ポートCSモード・コントロール・レジスタ (PMCCS) とポートCSファンクション・コントロール・レジスタ (PFCCS) で行います。

(a) ポートCSモード・レジスタ (PMCS)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCS	PMCS7	PMCS6	PMCS5	PMCS4	PMCS3	PMCS2	PMCS1	PMCS0	FFFFFF028H	FFH

ビット位置	ビット名	意 味
7-0	PMCSn (n = 7-0)	Port Mode PCSn端子の入力 / 出力のモードを指定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ)

(b) ポートCSモード・コントロール・レジスタ (PMCCS)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値 <sup>注</sup>
PMCCS	PMCCS7	PMCCS6	PMCCS5	PMCCS4	PMCCS3	PMCCS2	PMCCS1	PMCCS0	FFFFFF048H	00H/FFH

注 ROMレス・モード0, 1とシングルチップ・モード1のとき : FFH

シングルチップ・モード0のとき : 00H

ビット位置	ビット名	意味
7	PMCCS7	Port Mode Control PCS7端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : CS7出力モード
6	PMCCS6	Port Mode Control PCS6端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : CS6/RAS6出力モード (CS6/RAS6信号は、各信号の対象となるメモリにアクセスすることにより自動的に切り替わります。)
5	PMCCS5	Port Mode Control PCS5端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : CS5出力モード / IORD出力モード
4	PMCCS4	Port Mode Control PCS4端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : CS4/RAS4出力モード (CS4/RAS4信号は、各信号の対象となるメモリにアクセスすることにより自動的に切り替わります。)
3	PMCCS3	Port Mode Control PCS3端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : CS3/RAS3出力モード (CS3/RAS3信号は、各信号の対象となるメモリにアクセスすることにより自動的に切り替わります。)
2	PMCCS2	Port Mode Control PCS2端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : CS2出力モード / IOWR出力モード
1	PMCCS1	Port Mode Control PCS1端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : CS1/RAS1出力モード (CS1/RAS1信号は、各信号の対象となるメモリにアクセスすることにより自動的に切り替わります。)
0	PMCCS0	Port Mode Control PCS0端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : CS0出力モード



(c) ポートCSファンクション・コントロール・レジスタ (PFCCS)

8/1ビット単位でリード/ライト可能です。ただし、ビット7, 6, 4, 3, 1, 0は0に固定されており、1を書き込んでも無視されます。

**注意** ポートCSモード・コントロール・レジスタ (PMCCS) でポート・モードを指定した場合は、このレジスタの設定は無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFCCS	0	0	PFCCS5	0	0	PFCCS2	0	0	FFFFFF049H	00H

ビット位置	ビット名	意 味
5	PFCCS5	Port Function Control PCS5端子のコントロール・モード時の動作モードを指定します。 0 : $\overline{CS5}$ 出力モード 1 : $\overline{IORD}$ 出力モード <sup>注</sup>
2	PFCCS2	Port Function Control PCS2端子のコントロール・モード時の動作モードを指定します。 0 : $\overline{CS2}$ 出力モード 1 : $\overline{IOWR}$ 出力モード <sup>注</sup>

**注**  $\overline{IORD}$ ,  $\overline{IOWR}$ 信号をDMAのフライバイ転送以外の外部I/Oアクセス時に出力するためには、BCPレジスタのIOENビットの設定が必要となります。

### 14.3.12 ポートCT

ポートCTは、1ビット単位で入出力を指定できる6ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
PCT	PCT7	PCT6	PCT5	PCT4	-	-	PCT1	PCT0	FFFFFF00AH	不定

ビット位置	ビット名	意味
7-4, 1, 0	PCTn (n = 7-4,1,0)	Port CT 入出力ポート

ポートとしての機能のほかに、コントロール・モードではメモリを外部に拡張する場合の制御信号出力として動作可能です。

#### (1) コントロール・モード時の動作

ポート	兼用端子名	備 考	ブロック・タイプ
ポート CT	PCT0	$\overline{\text{LCAS}}/\overline{\text{LWR}}/\overline{\text{LDQM}}$ カラム・アドレス信号出力/ ライト・ストロブ信号出力/ アウトプット・ディスエーブル/ライト・マスク信号	J
	PCT1	$\overline{\text{UCAS}}/\overline{\text{UWR}}/\overline{\text{UDQM}}$ カラム・アドレス信号出力/ ライト・ストロブ信号出力/ アウトプット・ディスエーブル/ライト・マスク信号	
	PCT4	$\overline{\text{RD}}$ リード・ストロブ信号出力	
	PCT5	$\overline{\text{WE}}$ ライト・イネーブル信号出力	
	PCT6	$\overline{\text{OE}}$ アウトプット・イネーブル信号出力	
	PCT7	$\overline{\text{BCYST}}$ バス・サイクル・ステータス信号出力	

(2) 入出力モード/コントロール・モードの設定

ポートCTの入出力モードの設定は、ポートCTモード・レジスタ (PMCT) で行います。また、コントロール・モードの設定は、ポートCTモード・コントロール・レジスタ (PMCCT) で行います。

(a) ポートCTモード・レジスタ (PMCT)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCT	PMCT7	PMCT6	PMCT5	PMCT4	1	1	PMCT1	PMCT0	FFFFF02AH	FFH

ビット位置	ビット名	意 味
7-4, 1, 0	PMCTn (n=7-4, 1, 0)	Port Mode PCTn端子の入力/出力のモードを指定します。 0: 出力モード (出力バッファ・オン) 1: 入力モード (出力バッファ・オフ)

(b) ポートCTモード・コントロール・レジスタ (PMCCT)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値注
PMCCT	PMCCT7	PMCCT6	PMCCT5	PMCCT4	0	0	PMCCT1	PMCCT0	FFFFF04AH	00H/F3H

注 ROMレス・モード0,1とシングルチップ・モード1のとき : F3H  
 シングルチップ・モード0のとき : 00H

ビット位置	ビット名	意味
7	PMCCT7	Port Mode Control PCT7端子の動作モードを指定します。 0: 入出力ポート・モード 1: $\overline{\text{BCYST}}$ 出力モード
6	PMCCT6	Port Mode Control PCT6端子の動作モードを指定します。 0: 入出力ポート・モード 1: $\overline{\text{OE}}$ 出力モード
5	PMCCT5	Port Mode Control PCT5端子の動作モードを指定します。 0: 入出力ポート・モード 1: $\overline{\text{WE}}$ 出力モード
4	PMCCT4	Port Mode Control PCT4端子の動作モードを指定します。 0: 入出力ポート・モード 1: $\overline{\text{RD}}$ 出力モード
1	PMCCT1	Port Mode Control PCT1端子の動作モードを指定します。 0: 入出力ポート・モード 1: $\overline{\text{UCAS}}/\overline{\text{UWR}}/\overline{\text{UDQM}}$ 出力モード ( $\overline{\text{UCAS}}/\overline{\text{UWR}}/\overline{\text{UDQM}}$ 信号は、各信号の対象となるメモリにアクセスすることにより自動的に切り替わります。)
0	PMCCT0	Port Mode Control PCT0端子の動作モードを指定します。 0: 入出力ポート・モード 1: $\overline{\text{LCAS}}/\overline{\text{LWR}}/\overline{\text{LDQM}}$ 出力モード ( $\overline{\text{LCAS}}/\overline{\text{LWR}}/\overline{\text{LDQM}}$ 信号は、各信号の対象となるメモリにアクセスすることにより自動的に切り替わります。)

### 14.3.13 ポートCM

ポートCMは、1ビット単位で入出力を指定できる6ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
PCM	-	-	PCM5	PCM4	PCM3	PCM2	PCM1	PCM0	FFFFF00CH	不定

ビット位置	ビット名	意 味
5-0	PCMn (n = 5-0)	Port CM 入出力ポート

ポートとしての機能のほかに、コントロール・モードではウエイト挿入信号入力、内部システム・クロック出力/バス・クロック出力、バス・ホールド制御信号出力、DRAMに対するリフレッシュ要求信号出力として動作可能です。

#### (1) コントロール・モード時の動作

ポート	兼用端子名	備 考	ブロック・タイプ	
ポート CM	PCM0	WAIT <sup>注</sup>	ウエイト挿入信号入力	D
	PCM1	CLKOUT/BUSCLK	内部システム・クロック出力/バス・クロック出力	K
	PCM2	HLD $\overline{\text{AK}}$	バス・ホールド・アクノリッジ信号出力	J
	PCM3	HLD $\overline{\text{RQ}}$ <sup>注</sup>	バス・ホールド要求信号入力	D
	PCM4	REFRQ	リフレッシュ要求信号出力	J
	PCM5	SELFREF <sup>注</sup>	セルフ・リフレッシュ要求信号入力	E

**注**  $\overline{\text{WAIT}}$ ,  $\overline{\text{HLDRQ}}$ ,  $\overline{\text{SELFREF}}$ 信号は、ROMレス・モード0, 1およびシングルチップ・モード1のとき、初期値はコントロール・モードになります。未使用時には必ず非アクティブ・レベルに固定してください。また、ポートとして使用する場合もポートCMモード・コントロール・レジスタ (PMCCM) でポート・モードに設定するまでの期間は、コントロール・モードとして機能しているので、その期間は必ず非アクティブ・レベルにしてください。

(2) 入出力モード/コントロール・モードの設定

ポートCMの入出力モードの設定は、ポートCMモード・レジスタ (PMCM) で行います。また、コントロール・モードの設定は、ポートCMモード・コントロール・レジスタ (PMCCM) とポートCMファンクション・コントロール・レジスタ (PFCCM) で行います。

(a) ポートCMモード・レジスタ (PMCM)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCM	1	1	PMCM5	PMCM4	PMCM3	PMCM2	PMCM1	PMCM0	FFFFFF02CH	FFH

ビット位置	ビット名	意 味
5-0	PMCMn (n = 5-0)	Port Mode PCMn端子の入力 / 出力のモードを指定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ)

(b) ポートCMモード・コントロール・レジスタ (PMCCM)

8/1ビット単位でリード/ライト可能です。

**注意** PCM1/CLKOUT/BUSCLK端子を入出力ポート・モードからCLKOUT/BUSCLKモードに切り替える場合、切り替えた直後にCLKOUT/BUSCLK出力にグリッチが発生する可能性があります。したがって、CLKOUT/BUSCLK端子を使用する場合は、CLKOUT/BUSCLK端子をプルアップしてください。さらにPLLモードの場合 (CKSEL = 0) は、1逓倍 (CKCレジスタのCKDIV2-CKDIV0ビット = 000B) で、CLKOUT/BUSCLK出力モードに切り替えてください。

	7	6	5	4	3	2	1	0	アドレス	初期値 <sup>注</sup>
PMCCM	0	0	PMCCM5	PMCCM4	PMCCM3	PMCCM2	PMCCM1	PMCCM0	FFFFF04CH	00H/3FH

**注** ROMレス・モード0, 1とシングルチップ・モード1のとき : 3FH  
 シングルチップ・モード0のとき : 00H

ビット位置	ビット名	意味
5	PMCCM5	Port Mode Control PCM5端子の動作モードを指定します。 0: 入出力ポート・モード 1: SELFREF入力モード
4	PMCCM4	Port Mode Control PCM4端子の動作モードを指定します。 0: 入出力ポート・モード 1: $\overline{\text{REFRQ}}$ 出力モード
3	PMCCM3	Port Mode Control PCM3端子の動作モードを指定します。 0: 入出力ポート・モード 1: $\overline{\text{HLDRQ}}$ 入力モード
2	PMCCM2	Port Mode Control PCM2端子の動作モードを指定します。 0: 入出力ポート・モード 1: $\overline{\text{HLDAK}}$ 出力モード
1	PMCCM1	Port Mode Control PCM1端子の動作モードを指定します。 0: 入出力ポート・モード 1: CLKOUT出力モード / BUSCLK出力モード
0	PMCCM0	Port Mode Control PCM0端子の動作モードを指定します。 0: 入出力ポート・モード 1: $\overline{\text{WAIT}}$ 入力モード

(c) ポートCMファンクション・コントロール・レジスタ (PFCCM)

8/1ビット単位でリード/ライト可能です。ただし、ビット7-2, 0は0に固定されており、1を書き込んでも無視されます。BUSCLK端子から内部システム・クロックの1/2のクロックを出力させる場合は、BCPレジスタのBCPビットもセット(1)する必要があります。

また、CLKOUT出力モードを選択した状態でBCPレジスタのBCPビットをセット(1)した場合、外部バスは内部システム・クロックの1/2の周波数で動作しますが、CLKOUT端子からは内部動作周波数を出力します。

**注意** ポートCMモード・コントロール・レジスタ (PMCCM) でポート・モードを指定した場合は、このレジスタの設定は無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFCCM	0	0	0	0	0	0	PFCCM1	0	FFFFFF04DH	00H

ビット位置	ビット名	意 味
1	PFCCM1	Port Function Control PCM1端子のコントロール・モード時の動作モードを指定します。 0 : CLKOUT出力モード 1 : BUSCLK出力モード



## 14.3.14 ポートCD

ポートCDは、1ビット単位で入出力を指定できる4ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
PCD	-	-	-	-	PCD3	PCD2	PCD1	PCD0	FFFFFF0EH	不定

ビット位置	ビット名	意味
3-0	PCDn (n = 3-0)	Port CD 入出力ポート

ポートとしての機能のほかに、コントロール・モードではSDRAMに対するクロック・イネーブル信号出力、同期クロック出力、カラム・アドレス・ストローブ信号出力、ロウ・アドレス・ストローブ信号出力、SDRAMに対するバイト・アクセス時のバイト・イネーブル信号出力として動作可能です。

## (1) コントロール・モード時の動作

ポート	兼用端子名	備考	ブロック・タイプ	
ポート CD	PCD0	SDCKE	クロック・イネーブル信号出力	J
	PCD1	SDCLK	同期クロック出力	
	PCD2	LBE/SDCAS	バイト・イネーブル信号出力 / カラム・アドレス・ストローブ信号出力	K
	PCD3	UBĒ/SDRAS	バイト・イネーブル信号出力 / ロウ・アドレス・ストローブ信号出力	

(2) 入出力モード/コントロール・モードの設定

ポートCDの入出力モードの設定は、ポートCDモード・レジスタ (PMCD) で行います。また、コントロール・モードの設定は、ポートCDモード・コントロール・レジスタ (PMCCD) とポートCDファンクション・コントロール・レジスタ (PFCCD) で行います。

(a) ポートCDモード・レジスタ (PMCD)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCD	1	1	1	1	PMCD3	PMCD2	PMCD1	PMCD0	FFFFF02EH	FFH

ビット位置	ビット名	意味
3-0	PMCDn (n = 3-0)	Port Mode PCDn端子の入力/出力のモードを指定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ)

(b) ポートCDモード・コントロール・レジスタ (PMCCD)

8/1ビット単位でリード/ライト可能です。

- 注意1. SDCLK出力モードとSDCKE出力モードの設定を同時に行わないでください。必ずSDCLK出力モードの設定を行ったあとに、SDCKE出力モードを設定するようにしてください。
2. シングルチップ・モード1, ROMレス・モード0, 1の場合, リセットを解除したあとPMCCDレジスタのビット1, 0はSDCLK出力モード, SDCKE出力モードになりますが, ビット3, 2は $\overline{UBE}$ 出力モード,  $\overline{LBE}$ 出力モードになります。SDRAMを使用する場合は, 必ずPFCCDレジスタによりSDRAS出力モード, SDCAS出力モードに設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値 <sup>注</sup>
PMCCD	0	0	0	0	PMCCD3	PMCCD2	PMCCD1	PMCCD0	FFFFFF04EH	00H/0FH

注 ROMレス・モード0, 1とシングルチップ・モード1のとき : 0FH  
 シングルチップ・モード0のとき : 00H

ビット位置	ビット名	意味
3	PMCCD3	Port Mode Control PCD3端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : $\overline{UBE}$ /SDRAS出力モード
2	PMCCD2	Port Mode Control PCD2端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : $\overline{LBE}$ /SDCAS出力モード
1	PMCCD1	Port Mode Control PCD1端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : SDCLK出力モード
0	PMCCD0	Port Mode Control PCD0端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : SDCKE出力モード

(c) ポートCDファンクション・コントロール・レジスタ (PFCCD)

8/1ビット単位でリード/ライト可能です。ただし、ビット7-4, 1, 0は0に固定されており、1を書き込んでも無視されます。

**注意** ポートCDモード・コントロール・レジスタ (PMCCD) でポート・モードを指定した場合は、このレジスタの設定は無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFCCD	0	0	0	0	PFCCD3	PFCCD2	0	0	FFFFF04FH	00H

ビット位置	ビット名	意 味
3	PFCCD3	Port Function Control PCD3端子のコントロール・モード時の動作モードを指定します。 0 : $\overline{\text{UBE}}$ 出力モード 1 : $\overline{\text{SDRAS}}$ 出力モード
2	PFCCD2	Port Function Control PCD2端子のコントロール・モード時の動作モードを指定します。 0 : $\overline{\text{LBE}}$ 出力モード 1 : $\overline{\text{SDCAS}}$ 出力モード

### 14.3.15 ポートBD

ポートBDは、1ビット単位で入出力を指定できる4ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
PBD	-	-	-	-	PBD3	PBD2	PBD1	PBD0	FFFFFF012H	不定

ビット位置	ビット名	意 味
3-0	PBDn (n = 3-0)	Port BD 入出力ポート

ポートとしての機能のほかに、コントロール・モードではDMAアクリッジ信号出力として動作可能です。

#### (1) コントロール・モード時の動作

ポート	兼用端子名	備 考	ブロック・タイプ
ポート BD	PBD0- PBD3	DMAAK0-DMAAK3 DMAアクリッジ信号出力	J

#### (2) 入出力モード/コントロール・モードの設定

ポートBDの入出力モードの設定は、ポートBDモード・レジスタ (PMBD) で行います。また、コントロール・モードの設定は、ポートBDモード・コントロール・レジスタ (PM CBD) で行います。

##### (a) ポートBDモード・レジスタ (PMBD)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMBD	1	1	1	1	PMBD3	PMBD2	PMBD1	PMBD0	FFFFFF032H	FFH

ビット位置	ビット名	意 味
3-0	PMBDn (n = 3-0)	Port Mode PBDn端子の入力/出力のモードを指定します。 0: 出力モード (出力バッファ・オン) 1: 入力モード (出力バッファ・オフ)

(b) ポートBDモード・コントロール・レジスタ (PMCBD)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCBD	0	0	0	0	PMCBD3	PMCBD2	PMCBD1	PMCBD0	FFFFFF052H	00H

ビット位置	ビット名	意 味
3-0	PMCBDn (n = 3-0)	Port Mode Control PBDn端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : $\overline{\text{DMAAKn}}$ 出力モード

### 14.4 ポート端子を兼用端子として使用する場合の設定

ポート端子を兼用端子として使用する場合，表14 - 1のように設定してください。

表14 - 1 ポート端子を兼用端子として使用する場合 (1/8)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力					
P00	PWM0	出力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	-	
P01	INTP000 <sup>注1</sup>	入力	P01 = 設定不要	PM01 = 設定不要	PMC01 = 1	-	IES0001 ( SESC0 ) , IES0000 ( SESC0 )
	TI000 <sup>注1</sup>	入力	P01 = 設定不要	PM01 = 設定不要	PMC01 = 1	-	TES01 ( SESC0 ) , TES00 ( SESC0 )
P02	INTP001	入力	P02 = 設定不要	PM02 = 設定不要	PMC02 = 1	-	IES0011 ( SESC0 ) , IES0010 ( SESC0 )
P03	TO00	出力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	-	
P04	$\overline{\text{INTP100}}$	入力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	PFC04 = 0	ES1001 ( INTM1 ) , ES1000 ( INTM1 )
	$\overline{\text{DMARQ0}}$	入力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	PFC04 = 1	
P05	$\overline{\text{INTP101}}$	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	PFC05 = 0	ES1011 ( INTM1 ) , ES1010 ( INTM1 )
	$\overline{\text{DMARQ1}}$	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	PFC05 = 1	
P06	$\overline{\text{INTP102}}$	入力	P06 = 設定不要	PM06 = 設定不要	PMC06 = 1	PFC06 = 0	ES1021 ( INTM1 ) , ES1020 ( INTM1 )
	$\overline{\text{DMARQ2}}$	入力	P06 = 設定不要	PM06 = 設定不要	PMC06 = 1	PFC06 = 1	
P07	$\overline{\text{INTP103}}$	入力	P07 = 設定不要	PM07 = 設定不要	PMC07 = 1	PFC07 = 0	ES1031 ( INTM1 ) , ES1030 ( INTM1 )
	$\overline{\text{DMARQ3}}$	入力	P07 = 設定不要	PM07 = 設定不要	PMC07 = 1	PFC07 = 1	
P10	PWM1	出力	P10 = 設定不要	PM10 = 設定不要	PMC10 = 1	-	
P11	INTP010 <sup>注2</sup>	入力	P11 = 設定不要	PM11 = 設定不要	PMC11 = 1	-	IES0101 ( SESC1 ) , IES0100 ( SESC1 )
	TI010 <sup>注2</sup>	入力	P11 = 設定不要	PM11 = 設定不要	PMC11 = 1	-	TES11 ( SESC1 ) , TES10 ( SESC1 )
P12	INTP011	入力	P12 = 設定不要	PM12 = 設定不要	PMC12 = 1	-	IES0111 ( SESC1 ) , IES0110 ( SESC1 )
P13	TO01	出力	P13 = 設定不要	PM13 = 設定不要	PMC13 = 1	-	

注1. INTP000端子とTI000端子を切り替えるレジスタはありません。INTP000端子, TI000端子として使用する場合は次のように設定してください。

- ・INTP000端子として使用する場合：TMCC01レジスタのETI0ビットを0に設定してください。
- ・TI000端子として使用する場合：INTP000割り込み要求をマスクするか、CCC00レジスタをコンペア・レジスタに設定してください。

2. INTP010端子とTI010端子を切り替えるレジスタはありません。INTP010端子, TI010端子として使用する場合は次のように設定してください。

- ・INTP010端子として使用する場合：TMCC11レジスタのETI1ビットを0に設定してください。
- ・TI010端子として使用する場合：INTP010割り込み要求をマスクするか、CCC10レジスタをコンペア・レジスタに設定してください。

表14 - 1 ポート端子を兼用端子として使用する場合 (2/8)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力					
P20	NMI	入力	P20 = 設定不要	PM20 = 設定不要	PMC20 = 1	-	
P21	INTP020 <sup>注</sup>	入力	P21 = 設定不要	PM21 = 設定不要	PMC21 = 1	-	IES0201 ( SESC2 ) , IES0200 ( SESC2 )
	TI020 <sup>注</sup>	入力	P21 = 設定不要	PM21 = 設定不要	PMC21 = 1	-	TES21 ( SESC2 ) , TES20 ( SESC2 )
P22	INTP021	入力	P22 = 設定不要	PM22 = 設定不要	PMC22 = 1	-	IES0211 ( SESC2 ) , IES0210 ( SESC2 )
P23	TO02	出力	P23 = 設定不要	PM23 = 設定不要	PMC23 = 1	-	
P24	$\overline{\text{INTP110}}$	入力	P24 = 設定不要	PM24 = 設定不要	PMC24 = 1	PFC24 = 0	ES1101 ( INTM2 ) , ES1100 ( INTM2 )
	$\overline{\text{TC0}}$	出力	P24 = 設定不要	PM24 = 設定不要	PMC24 = 1	PFC24 = 1	
P25	$\overline{\text{INTP111}}$	入力	P25 = 設定不要	PM25 = 設定不要	PMC25 = 1	PFC25 = 0	ES1111 ( INTM2 ) , ES1110 ( INTM2 )
	$\overline{\text{TC1}}$	出力	P25 = 設定不要	PM25 = 設定不要	PMC25 = 1	PFC25 = 1	
P26	$\overline{\text{INTP112}}$	入力	P26 = 設定不要	PM26 = 設定不要	PMC26 = 1	PFC26 = 0	ES1121 ( INTM2 ) , ES1120 ( INTM2 )
	$\overline{\text{TC2}}$	出力	P26 = 設定不要	PM26 = 設定不要	PMC26 = 1	PFC26 = 1	
P27	$\overline{\text{INTP113}}$	入力	P27 = 設定不要	PM27 = 設定不要	PMC27 = 1	PFC27 = 0	ES1131 ( INTM2 ) , ES1130 ( INTM2 )
	$\overline{\text{TC3}}$	出力	P27 = 設定不要	PM27 = 設定不要	PMC27 = 1	PFC27 = 1	
P30	SO2	出力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	PFC30 = 0	
	$\overline{\text{INTP130}}$	入力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	PFC30 = 1	ES1301 ( INTM4 ) , ES1300 ( INTM4 )
P31	SI2	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	PFC31 = 0	
	$\overline{\text{INTP131}}$	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	PFC31 = 1	ES1311 ( INTM4 ) , ES1310 ( INTM4 )
P32	SCK2	入出力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFC32 = 0	
	$\overline{\text{INTP132}}$	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFC32 = 1	ES1321 ( INTM4 ) , ES1320 ( INTM4 )

注 INTP020端子とTI020端子を切り替えるレジスタはありません。INTP020端子, TI020端子として使用する場合は次のように設定してください。

- ・INTP020端子として使用する場合：TMCC21レジスタのETI2ビットを0に設定してください。
- ・TI020端子として使用する場合：INTP020割り込み要求をマスクするか、CCC20レジスタをコンペア・レジスタに設定してください。



表14 - 1 ポート端子を兼用端子として使用する場合 (3/8)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力					
P33	TXD2	出力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	PFC33 = 0	
	$\overline{\text{INTP133}}$	入力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	PFC33 = 1	ES1331 (INTM4), ES1330 (INTM4)
P34	RXD2	入力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFC34 = 0	
	$\overline{\text{INTP120}}$	入力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFC34 = 1	ES1201 (INTM3), ES1200 (INTM3)
P35	$\overline{\text{INTP121}}$	入力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	-	ES1211 (INTM3), ES1210 (INTM3)
P36	$\overline{\text{INTP122}}$	入力	P36 = 設定不要	PM36 = 設定不要	PMC36 = 1	-	ES1221 (INTM3), ES1220 (INTM3)
P37	$\overline{\text{INTP123}}$ <sup>注</sup>	入力	P37 = 設定不要	PM37 = 設定不要	PMC37 = 1	-	ES1231 (INTM3), ES1230 (INTM3)
	ADTRG <sup>注</sup>	入力	P37 = 設定不要	PM37 = 設定不要	PMC37 = 1	-	ES1231 (INTM3), ES1230 (INTM3)
P40	SO0	出力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	PFC40 = 0	
	TXD0	出力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	PFC40 = 1	
P41	SI0	入力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	PFC41 = 0	
	RXD0	入力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	PFC41 = 1	
P42	$\overline{\text{SCK0}}$	入出力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 1	-	
P43	SO1	出力	P43 = 設定不要	PM43 = 設定不要	PMC43 = 1	PFC43 = 0	
	TXD1	出力	P43 = 設定不要	PM43 = 設定不要	PMC43 = 1	PFC43 = 1	
P44	SI1	入力	P44 = 設定不要	PM44 = 設定不要	PMC44 = 1	PFC44 = 0	
	RXD1	入力	P44 = 設定不要	PM44 = 設定不要	PMC44 = 1	PFC44 = 1	
P45	$\overline{\text{SCK1}}$	入出力	P45 = 設定不要	PM45 = 設定不要	PMC45 = 1	-	

注  $\overline{\text{INTP123}}$ 端子とADTRG端子を切り替えるレジスタはありません。 $\overline{\text{INTP123}}$ 端子, ADTRG端子として使用する場合は次のように設定してください。

- ・  $\overline{\text{INTP123}}$ 端子として使用する場合：ADM1レジスタで外部トリガ・モード以外に設定してください。
- ・ ADTRG端子として使用する場合：ADM1レジスタで外部トリガ・モードに設定してください。

表14 - 1 ポート端子を兼用端子として使用する場合 (4/8)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力					
P50	INTP030 <sup>注</sup>	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	-	IES0301 ( SESC3 ) , IES0300 ( SESC3 )
	TI030 <sup>注</sup>	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	-	TES31 ( SESC3 ) , TES30 ( SESC3 )
P51	INTP031	入力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	-	IES0311 ( SESC3 ) , IES0310 ( SESC3 )
P52	TO03	出力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	-	
P70	ANI0	入力	P70 = 設定不要	-	-	-	
P71	ANI1	入力	P71 = 設定不要	-	-	-	
P72	ANI2	入力	P72 = 設定不要	-	-	-	
P73	ANI3	入力	P73 = 設定不要	-	-	-	
P74	ANI4	入力	P74 = 設定不要	-	-	-	
P75	ANI5	入力	P75 = 設定不要	-	-	-	
P76	ANI6	入力	P76 = 設定不要	-	-	-	
P77	ANI7	入力	P77 = 設定不要	-	-	-	
PAL0	A0	出力	PAL0 = 設定不要	PMAL0 = 設定不要	PMCAL0 = 1	-	
PAL1	A1	出力	PAL1 = 設定不要	PMAL1 = 設定不要	PMCAL1 = 1	-	
PAL2	A2	出力	PAL2 = 設定不要	PMAL2 = 設定不要	PMCAL2 = 1	-	
PAL3	A3	出力	PAL3 = 設定不要	PMAL3 = 設定不要	PMCAL3 = 1	-	
PAL4	A4	出力	PAL4 = 設定不要	PMAL4 = 設定不要	PMCAL4 = 1	-	
PAL5	A5	出力	PAL5 = 設定不要	PMAL5 = 設定不要	PMCAL5 = 1	-	

注 INTP030端子とTI030端子を切り替えるレジスタはありません。INTP030端子, TI030端子として使用する場合は次のように設定してください。

- ・INTP030端子として使用する場合：TMCC31レジスタのETI3ビットを0に設定してください。
- ・TI030端子として使用する場合：INTP030割り込み要求をマスクするか、CCC30レジスタをコンペア・レジスタに設定してください。

表14 - 1 ポート端子を兼用端子として使用する場合 (5/8)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力					
PAL6	A6	出力	PAL6 = 設定不要	PMAL6 = 設定不要	PMCAL6 = 1	-	
PAL7	A7	出力	PAL7 = 設定不要	PMAL7 = 設定不要	PMCAL7 = 1	-	
PAL8	A8	出力	PAL8 = 設定不要	PMAL8 = 設定不要	PMCAL8 = 1	-	
PAL9	A9	出力	PAL9 = 設定不要	PMAL9 = 設定不要	PMCAL9 = 1	-	
PAL10	A10	出力	PAL10 = 設定不要	PMAL10 = 設定不要	PMCAL10 = 1	-	
PAL11	A11	出力	PAL11 = 設定不要	PMAL11 = 設定不要	PMCAL11 = 1	-	
PAL12	A12	出力	PAL12 = 設定不要	PMAL12 = 設定不要	PMCAL12 = 1	-	
PAL13	A13	出力	PAL13 = 設定不要	PMAL13 = 設定不要	PMCAL13 = 1	-	
PAL14	A14	出力	PAL14 = 設定不要	PMAL14 = 設定不要	PMCAL14 = 1	-	
PAL15	A15	出力	PAL15 = 設定不要	PMAL15 = 設定不要	PMCAL5 = 1	-	
PAH0	A16	出力	PAH0 = 設定不要	PMAH0 = 設定不要	PMCAH0 = 1	-	
PAH1	A17	出力	PAH1 = 設定不要	PMAH1 = 設定不要	PMCAH1 = 1	-	
PAH2	A18	出力	PAH2 = 設定不要	PMAH2 = 設定不要	PMCAH2 = 1	-	
PAH3	A19	出力	PAH3 = 設定不要	PMAH3 = 設定不要	PMCAH3 = 1	-	
PAH4	A20	出力	PAH4 = 設定不要	PMAH4 = 設定不要	PMCAH4 = 1	-	
PAH5	A21	出力	PAH5 = 設定不要	PMAH5 = 設定不要	PMCAH5 = 1	-	
PAH6	A22	出力	PAH6 = 設定不要	PMAH6 = 設定不要	PMCAH6 = 1	-	

表14 - 1 ポート端子を兼用端子として使用する場合 (6/8)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力					
PAH7	A23	出力	PAH7 = 設定不要	PMAH7 = 設定不要	PMCAH7 = 1	-	
PAH8	A24	出力	PAH8 = 設定不要	PMAH8 = 設定不要	PMCAH8 = 1	-	
PAH9	A25	出力	PAH9 = 設定不要	PMAH9 = 設定不要	PMCAH9 = 1	-	
PDL0	D0	入出力	PDL0 = 設定不要	PMDL0 = 設定不要	PMCDL0 = 1	-	
PDL1	D1	入出力	PDL1 = 設定不要	PMDL1 = 設定不要	PMCDL1 = 1	-	
PDL2	D2	入出力	PDL2 = 設定不要	PMDL2 = 設定不要	PMCDL2 = 1	-	
PDL3	D3	入出力	PDL3 = 設定不要	PMDL3 = 設定不要	PMCDL3 = 1	-	
PDL4	D4	入出力	PDL4 = 設定不要	PMDL4 = 設定不要	PMCDL4 = 1	-	
PDL5	D5	入出力	PDL5 = 設定不要	PMDL5 = 設定不要	PMCDL5 = 1	-	
PDL6	D6	入出力	PDL6 = 設定不要	PMDL6 = 設定不要	PMCDL6 = 1	-	
PDL7	D7	入出力	PDL7 = 設定不要	PMDL7 = 設定不要	PMCDL7 = 1	-	
PDL8	D8	入出力	PDL8 = 設定不要	PMDL8 = 設定不要	PMCDL8 = 1	-	
PDL9	D9	入出力	PDL9 = 設定不要	PMDL9 = 設定不要	PMCDL9 = 1	-	
PDL10	D10	入出力	PDL10 = 設定不要	PMDL10 = 設定不要	PMCDL10 = 1	-	
PDL11	D11	入出力	PDL11 = 設定不要	PMDL11 = 設定不要	PMCDL11 = 1	-	
PDL12	D12	入出力	PDL12 = 設定不要	PMDL12 = 設定不要	PMCDL12 = 1	-	
PDL13	D13	入出力	PDL13 = 設定不要	PMDL13 = 設定不要	PMCDL13 = 1	-	
PDL14	D14	入出力	PDL14 = 設定不要	PMDL14 = 設定不要	PMCDL14 = 1	-	
PDL15	D15	入出力	PDL15 = 設定不要	PMDL15 = 設定不要	PMCDL15 = 1	-	

表14 - 1 ポート端子を兼用端子として使用する場合 (7/8)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力					
PCS0	$\overline{CS0}$	出力	PCS0 = 設定不要	PMCS0 = 設定不要	PMCCS0 = 1	-	
PCS1	$\overline{CS1}$ <sup>注1</sup>	出力	PCS1 = 設定不要	PMCS1 = 設定不要	PMCCS1 = 1	-	
	$\overline{RAS1}$ <sup>注1</sup>	出力	PCS1 = 設定不要	PMCS1 = 設定不要	PMCCS1 = 1	-	
PCS2	$\overline{CS2}$	出力	PCS2 = 設定不要	PMCS2 = 設定不要	PMCCS2 = 1	PFCCS2 = 0	
	$\overline{IOWR}$	出力	PCS2 = 設定不要	PMCS2 = 設定不要	PMCCS2 = 1	PFCCS2 = 1	
PCS3	$\overline{CS3}$ <sup>注1</sup>	出力	PCS3 = 設定不要	PMCS3 = 設定不要	PMCCS3 = 1	-	
	$\overline{RAS3}$ <sup>注1</sup>	出力	PCS3 = 設定不要	PMCS3 = 設定不要	PMCCS3 = 1	-	
PCS4	$\overline{CS4}$ <sup>注1</sup>	出力	PCS4 = 設定不要	PMCS4 = 設定不要	PMCCS4 = 1	-	
	$\overline{RAS4}$ <sup>注1</sup>	出力	PCS4 = 設定不要	PMCS4 = 設定不要	PMCCS4 = 1	-	
PCS5	$\overline{CS5}$	出力	PCS5 = 設定不要	PMCS5 = 設定不要	PMCCS5 = 1	PFCCS5 = 0	
	$\overline{IORD}$	出力	PCS5 = 設定不要	PMCS5 = 設定不要	PMCCS5 = 1	PFCCS5 = 1	
PCS6	$\overline{CS6}$ <sup>注1</sup>	出力	PCS6 = 設定不要	PMCS6 = 設定不要	PMCCS6 = 1	-	
	$\overline{RAS6}$ <sup>注1</sup>	出力	PCS6 = 設定不要	PMCS6 = 設定不要	PMCCS6 = 1	-	
PCS7	$\overline{CS7}$	出力	PCS7 = 設定不要	PMCS7 = 設定不要	PMCCS7 = 1	-	
PCT0	$\overline{LCAS}$ <sup>注2</sup>	出力	PCT0 = 設定不要	PMCT0 = 設定不要	PMCT0 = 1	-	
	$\overline{LWR}$ <sup>注2</sup>	出力	PCT0 = 設定不要	PMCT0 = 設定不要	PMCT0 = 1	-	
	$\overline{LDQM}$ <sup>注2</sup>	出力	PCT0 = 設定不要	PMCT0 = 設定不要	PMCT0 = 1	-	
PCT1	$\overline{UCAS}$ <sup>注2</sup>	出力	PCT1 = 設定不要	PMCT1 = 設定不要	PMCT1 = 1	-	
	$\overline{UWR}$ <sup>注2</sup>	出力	PCT1 = 設定不要	PMCT1 = 設定不要	PMCT1 = 1	-	
	$\overline{UDQM}$ <sup>注2</sup>	出力	PCT1 = 設定不要	PMCT1 = 設定不要	PMCT1 = 1	-	

注1.  $\overline{CSm}/\overline{RASm}$ 信号は、各信号の対象となるメモリにアクセスすることにより自動的に切り替わります (m = 1, 3, 4, 6)。

2.  $\overline{kCAS}/\overline{kWR}/\overline{kDQM}$ 信号は、各信号の対象となるメモリにアクセスすることにより自動的に切り替わります (k = L, U)。

表14 - 1 ポート端子を兼用端子として使用する場合 (8/8)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力					
PCT4	$\overline{RD}$	出力	PCT4 = 設定不要	PMCT4 = 設定不要	PMCC4 = 1	-	
PCT5	$\overline{WE}$	出力	PCT5 = 設定不要	PMCT5 = 設定不要	PMCC5 = 1	-	
PCT6	$\overline{OE}$	出力	PCT6 = 設定不要	PMCT6 = 設定不要	PMCC6 = 1	-	
PCT7	$\overline{BCYST}$	出力	PCT7 = 設定不要	PMCT7 = 設定不要	PMCC7 = 1	-	
PCM0	$\overline{WAIT}$	入力	PCM0 = 設定不要	PMCM0 = 設定不要	PMCCM0 = 1	-	
PCM1	CLKOUT	出力	PCM1 = 設定不要	PMCM1 = 設定不要	PMCCM1 = 1	PFCCM1 = 0	
	BUSCLK	出力	PCM1 = 設定不要	PMCM1 = 設定不要	PMCCM1 = 1	PFCCM1 = 1	
PCM2	$\overline{HLDAK}$	出力	PCM2 = 設定不要	PMCM2 = 設定不要	PMCCM2 = 1	-	
PCM3	$\overline{HLDRQ}$	入力	PCM3 = 設定不要	PMCM3 = 設定不要	PMCCM3 = 1	-	
PCM4	$\overline{REFRQ}$	出力	PCM4 = 設定不要	PMCM4 = 設定不要	PMCCM4 = 1	-	
PCM5	SELFREF	入力	PCM5 = 設定不要	PMCM5 = 設定不要	PMCCM5 = 1	-	
PCD0	SDCKE	出力	PCD0 = 設定不要	PMCD0 = 設定不要	PMCCD0 = 1	-	
PCD1	SDCLK	出力	PCD1 = 設定不要	PMCD1 = 設定不要	PMCCD1 = 1		
PCD2	$\overline{LB\overline{E}}$	出力	PCD2 = 設定不要	PMCD2 = 設定不要	PMCCD2 = 1	PFCCD2 = 0	
	$\overline{SDCAS}$	出力	PCD2 = 設定不要	PMCD2 = 設定不要	PMCCD2 = 1	PFCCD2 = 1	
PCD3	$\overline{UB\overline{E}}$	出力	PCD3 = 設定不要	PMCD3 = 設定不要	PMCCD3 = 1	PFCCD3 = 0	
	$\overline{SDRAS}$	出力	PCD3 = 設定不要	PMCD3 = 設定不要	PMCCD3 = 1	PFCCD3 = 1	
PBD0	$\overline{DMAAK0}$	出力	PBD0 = 設定不要	PMBD0 = 設定不要	PMCBD0 = 1	-	
PBD1	$\overline{DMAAK1}$	出力	PBD1 = 設定不要	PMBD1 = 設定不要	PMCBD1 = 1	-	
PBD2	$\overline{DMAAK2}$	出力	PBD2 = 設定不要	PMBD2 = 設定不要	PMCBD2 = 1	-	
PBD3	$\overline{DMAAK3}$	出力	PBD3 = 設定不要	PMBD3 = 設定不要	PMCBD3 = 1	-	

## 14.5 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

### 14.5.1 入出力ポートへの書き込み

#### (1) 出力モードの場合

ポートnレジスタ (Pn) に書き込むことにより、出力ラッチ (Pn) に値を書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

#### (2) 入力モードの場合

ポートnレジスタ (Pn) に書き込むことにより、出力ラッチ (Pn) に値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

**注意** ビット操作命令 (CLR1, SET1, NOT1) の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容がそのときの入力端子の状態に上書きされ、不定になります。

### 14.5.2 入出力ポートからの読み出し

#### (1) 出力モードの場合

ポートnレジスタ (Pn) を読み出すことにより、出力ラッチ (Pn) の内容が読み出せます。出力ラッチの内容は変化しません。

#### (2) 入力モードの場合

ポートnレジスタ (Pn) を読み出すことにより、端子の状態が読み出せます。出力ラッチ (Pn) の内容は変化しません。

### 14.5.3 コントロール・モード時の兼用機能の出力状態

ポート端子の状態は、PMcnレジスタの設定に依存せず、ポートnモード・レジスタ (PMn) を入力モードに設定することにより、リードできます。なお、PMnレジスタを出力モードに設定したときは、ポート・モード時はポートnレジスタ (Pn) の値、コントロール・モード時は兼用機能の出力状態がリードできます。

## 14.6 注意事項

### (1) ポート・モードからコントロール・モードに切り替える場合の手順

コントロール・モード時に、出力または入出力端子として動作するポートをコントロール・モードに切り替える場合は、必ず次に示す手順で設定を行ってください（ポート7は除く）。

コントロール・モードで出力する信号のインアクティブ・レベルをポートnの該当するビットに設定します（ $n = 0-5, AL, AH, DL, CS, CT, CM, CD, BD$ ）。

ポートnモード・コントロール・レジスタ（PMcn）により、コントロール・モードに切り替えます。

上記のを行わない場合は、ポート・モードからコントロール・モードに切り替える際にポートnの内容が一瞬出力されることがあります。

### (2) ビット操作命令（SET1, CLR1, NOT1）でのポート操作

ビット操作命令（SET1, CLR1, NOT1）でポート操作を行う場合、ポートに対してバイト・データ・リードを行い、操作対象のビットのみデータの加工を行い、変換後のバイト・データをポートに書き戻します。

たとえば、入力/出力が混在しているポートでは、操作対象ビット以外のビットにも出力ラッチの内容が上書きされるため、入力端子の出力ラッチは不定になります（ただし、入力モードの場合、出力バッファがオフしているため、端子状態は変化しません）。

したがって、ポートを入力から出力に切り替える場合は、該当するビットに出力期待値を設定してから、出力ポートに切り替えてください。また、コントロール・モードと出力ポートが混在する場合も同様です。



## 第15章 リセット機能

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるとシステム・リセットがかかり、オンチップの各ハードウェアは初期状態にイニシャライズされます。

$\overline{\text{RESET}}$ 端子がロウ・レベルからハイ・レベルになると、リセット状態が解除され、CPUはプログラムの実行を開始します。各種レジスタの内容は、プログラムの中で必要に応じてイニシャライズしてください。

### 15.1 特 徴

リセット端子 ( $\overline{\text{RESET}}$ ) にアナログ・ディレイ ( 60 ns ) によるノイズ除去

### 15.2 端子機能

システム・リセット期間中は、ほとんどの端子出力( CLKOUT<sup>注</sup>,  $\overline{\text{RESET}}$ , X2, V<sub>DD</sub>, V<sub>SS</sub>, CV<sub>DD</sub>, CV<sub>SS</sub>, AV<sub>DD</sub>/AV<sub>REF</sub>, AV<sub>SS</sub>端子を除く全端子) がハイ・インピーダンスになります。

たとえば外部にメモリを接続している場合、ポートAL, AH, DL, CS, CT, CM, CD, BDの各端子にプルアップ(またはプルダウン)抵抗を付ける必要があります。抵抗がない場合、これらの端子がハイ・インピーダンスになると接続している外部メモリを破壊する可能性があります。

同様に、内蔵の周辺I/O機能の信号出力、出力ポートにおいても、影響がないよう端子の処理を行ってください。

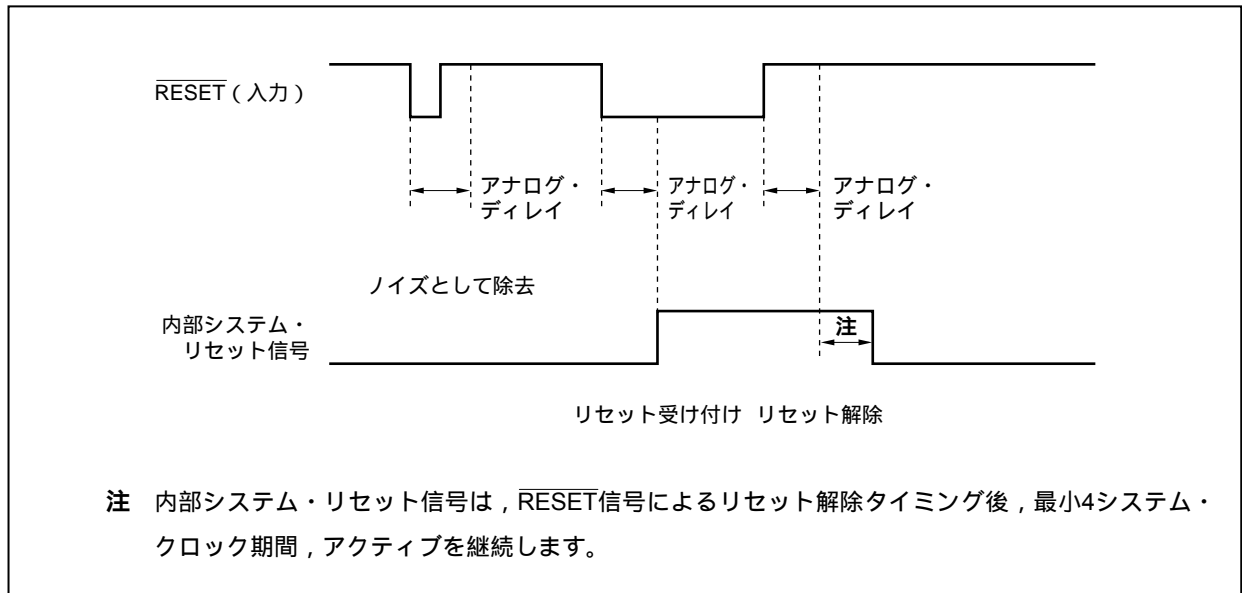
注 ROMレス・モード0, 1, シングルチップ・モード1では、リセット期間中でもCLKOUT信号を出力します。  
シングルチップ・モード0では、PMCCMレジスタを設定するまでCLKOUT信号を出力しません。

リセット期間中の各端子の動作状態を表15 - 1に示します。

表15 - 1 リセット期間中の各端子の動作状態

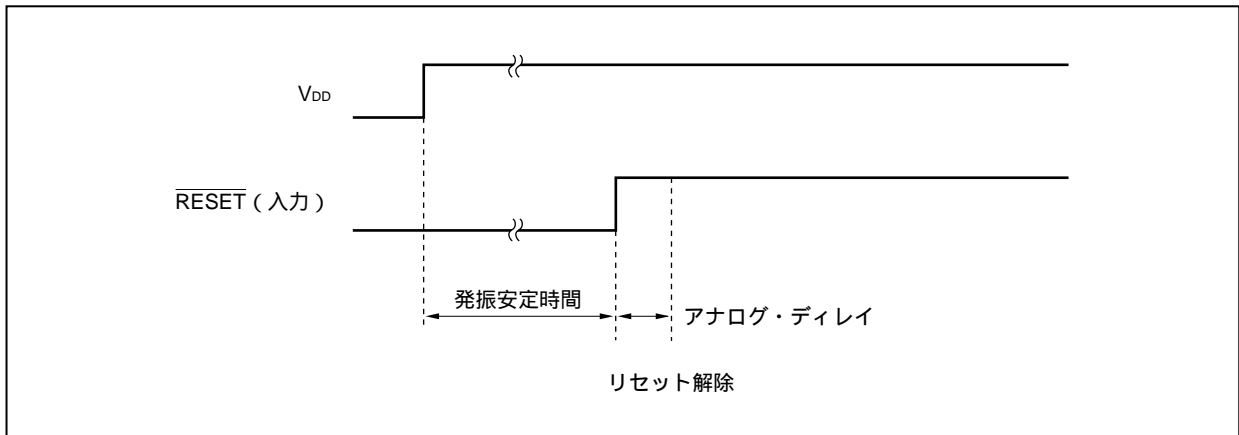
端子名		端子状態			
		シングルチップ・ モード0のとき	シングルチップ・ モード1のとき	ROMレス・ モード0のとき	ROMレス・ モード1のとき
A0-A15, A16-A25, D0-D15, $\overline{CS0}$ - $\overline{CS7}$ , $\overline{RAS1}$ , $\overline{RAS3}$ , $\overline{RAS4}$ , $\overline{RAS6}$ , $\overline{LWR}$ , $\overline{UWR}$ , $\overline{LCAS}$ , $\overline{UCAS}$ , $\overline{LDQM}$ , $\overline{UDQM}$ , $\overline{RD}$ , $\overline{WE}$ , $\overline{OE}$ , $\overline{BCYST}$ , $\overline{WAIT}$ , $\overline{HLDAK}$ , $\overline{HLDRQ}$ , $\overline{REFRQ}$ , $\overline{SELFREF}$ , $\overline{SDCKE}$ , $\overline{SDCLK}$ , $\overline{LBE}$ , $\overline{UBE}$ , $\overline{SDCAS}$ , $\overline{SDRAS}$		(ポート・モード)	ハイ・インピーダンス		
CLKOUT		(ポート・モード)	動作		
ポート端子	ポート0-5, 7, BD	(入力)			
	ポートAL, AH, DL, CM, CT, CS, CD	(入力)	(コントロール・モード)		

(1) リセット信号の受け付け



(2) パワーオン時のリセット

パワーオン（電源投入）時のリセット動作では、 $\overline{\text{RESET}}$ 信号のロウ・レベル幅により、電源の立ち上がりからリセット受け付けまで発振安定時間を確保する必要があります。



15.3 イニシャライズ

各レジスタの内容はプログラム中で必要に応じてイニシャライズしてください。

CPU, 内蔵RAM, 内蔵周辺I/Oのリセット後の初期値を表15 - 2に示します。

表15 - 2 CPU, 内蔵RAM, 内蔵周辺I/Oのリセット後の初期値 (1/3)

内蔵ハードウェア		レジスタ名	リセット後の初期値
CPU	プログラム・レジスタ	汎用レジスタ (r0)	00000000H
		汎用レジスタ (r1-r31)	不定
		プログラム・カウンタ (PC)	00000000H
	システム・レジスタ	割り込み時状態回避レジスタ (EIPC, EIPSW)	不定
		NMI時状態回避レジスタ (FEPC, FEPSW)	不定
		割り込み要因レジスタ (ECR)	00000000H
		プログラム・ステータス・ワード (PSW)	00000020H
		CALLT実行時状態回避レジスタ (CTPC, CTPSW)	不定
		例外 / デバッグ・トラップ時状態回避レジスタ (DBPC, DBPSW)	不定
CALLTベース・ポインタ (CTBP)		不定	
内蔵RAM	-	不定	
内蔵周辺 I/O	ポート機能	ポート (P0-P5, P7, PAL, PAH, PDL, PCS, PCT, PCM, PCD, PBD)	不定
		モード・レジスタ (PM0-PM5, PMCS, PMCT, PMCM, PMCD, PMBD)	FFH
		モード・レジスタ (PMAL, PMAH, PMDL)	FFFFH
		モード・コントロール・レジスタ (PMC0, PMC1, PMC3-PMC5, PMCBD)	00H
		モード・コントロール・レジスタ (PMC2)	01H
		モード・コントロール・レジスタ (PMCAL, PMCDL)	0000H/FFFFH
		モード・コントロール・レジスタ (PMCAH)	0000H/03FFH
		モード・コントロール・レジスタ (PMCCS)	00H/FFH
		モード・コントロール・レジスタ (PMCCCT)	00H/F3H

表15 - 2 CPU , 内蔵RAM , 内蔵周辺I/Oのリセット後の初期値 (2/3)

内蔵ハードウェア		レジスタ名	リセット後の初期値
内蔵周辺 I/O	ポート機能	モード・コントロール・レジスタ (PMCCM)	00H/3FH
		モード・コントロール・レジスタ (PMCCD)	00H/0FH
		ファンクション・コントロール・レジスタ (PFC0, PFC2-PFC4, PFCCS, PFCCM, PFCCD)	00H
	タイマ/カウンタ機能	タイマCn (TMCn) (n = 0-3)	0000H
		キャプチャ/コンペア・レジスタCn0, Cn1 (CCCn0, CCCn1) (n = 0-3)	0000H
		タイマ・モード・コントロール・レジスタCn0 (TMCCn0) (n = 0-3)	00H
		タイマ・モード・コントロール・レジスタCn1 (TMCCn1) (n = 0-3)	20H
		タイマDn (TMDn) (n = 0-3)	0000H
		コンペア・レジスタ (CMDn) (n = 0-3)	0000H
		タイマ・モード・コントロール・レジスタDn (n = 0-3)	00H
	シリアル・インタフェース機能	クロック同期式シリアル・インタフェース・モード・レジスタn (CSIMn) (n = 0-2)	00H
		クロック同期式シリアル・インタフェース・クロック選択レジスタn (CSICn) (n = 0-2)	00H
		クロック同期式シリアル・インタフェース送信バッファ・レジスタn (SOTBn) (n = 0-2)	00H
		シリアルI/Oシフト・レジスタn (SIOIn) (n = 0-2)	00H
		受信専用シリアルI/Oシフト・レジスタn (SIOEn) (n = 0-2)	00H
		受信バッファ・レジスタn (RXBn) (n = 0-2)	FFH
		送信バッファ・レジスタn (TXBn) (n = 0-2)	FFH
		アシンクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn) (n = 0-2)	01H
		アシンクロナス・シリアル・インタフェース・ステータス・レジスタn (ASISn) (n = 0-2)	00H
		アシンクロナス・シリアル・インタフェース送信ステータス・レジスタn (ASIFn) (n = 0-2)	00H
		クロック選択レジスタn (CKSRn) (n = 0-2)	00H
		ポー・レート・ジェネレータ・コントロール・レジスタn (BRGCn) (n = 0-2)	FFH
	A/Dコンバータ	A/Dコンバータ・モード・レジスタ0, 2 (ADM0, ADM2)	00H
		A/Dコンバータ・モード・レジスタ1 (ADM1)	07H
		A/D変換結果レジスタn (10ビット) (n = 0-7)	0000H
		A/D変換結果レジスタnH (8ビット) (n = 0-7)	00H
	PWM	PWMコントロール・レジスタn (PWMCn) (n = 0, 1)	40H
		PWMバッファ・レジスタn (PWMBn) (n = 0, 1)	0000H
	割り込み/例外制御機能	インサース・プライオリティ・レジスタ (ISPR)	00H
		外部割り込みモード・レジスタn (INTMn) (n = 0-4)	00H
		割り込みマスク・レジスタn (IMRn) (n = 0-3)	FFFFH
		有効エッジ選択レジスタCn (SESCn) (n = 0-3)	00H
		割り込み制御レジスタ (OVIC0-OVIC03, P00IC0, P00IC1, P01IC0, P01IC1, P02IC0, P02IC1, P03IC0, P03IC1, P10IC0-P10IC3, P11IC0-P11IC3, P12IC0-P12IC3, P13IC0-P13IC3, CMICD0-CMICD3, DMAIC0-DMAIC3, CSIIC0-CSIIC2, SEIC0-SEIC2, SRIC0-SRIC2, STIC0-STIC2, ADIC)	47H
		メモリ制御機能	ページROMコンフィギュレーション・レジスタ (PRC)
	メモリ制御機能	DRAMコンフィギュレーション・レジスタn (SCRn) (n = 1, 3, 4, 6)	3FC1H
		SDRAMコンフィギュレーション・レジスタn (SCRn) (n = 1, 3, 4, 6)	0000H
		リフレッシュ・コントロール・レジスタn (RFSn) (n = 1, 3, 4, 6)	0000H
		SDRAM用リフレッシュ・コントロール・レジスタn (RFSn) (n = 1, 3, 4, 6)	0000H
		リフレッシュ・ウェイト・コントロール・レジスタ (RWC)	00H

表15 - 2 CPU , 内蔵RAM , 内蔵周辺I/Oのリセット後の初期値 (3/3)

内蔵ハードウェア		レジスタ名	リセット後の初期値
内蔵周辺 I/O	DMA機能	DMAアドレッシング・コントロール・レジスタn (DADCn) (n = 0-3)	0000H
		DMA転送カウント・レジスタn (DBCn) (n = 0-3)	不定
		DMAチャンネル・コントロール・レジスタn (DCHCn) (n = 0-3)	00H
		DMAデスティネーション・アドレス・レジスタnH (DDAnH) (n = 0-3)	不定
		DMAデスティネーション・アドレス・レジスタnL (DDAnL) (n = 0-3)	不定
		DMAディスエーブル・ステータス・レジスタ (DDIS)	00H
		DMAリスタート・レジスタ (DRST)	00H
		DMAソース・アドレス・レジスタnH (DSAnH) (n = 0-3)	不定
		DMAソース・アドレス・レジスタnL (DSAnL) (n = 0-3)	不定
		DMAターミナル・カウント出力コントロール・レジスタ (DTOC)	01H
		DMAトリガ要因レジスタn (DTFRn) (n = 0-3)	00H
		バス制御機能	アドレス・セットアップ・ウエイト・コントロール・レジスタ (ASC)
	バス・サイクル・コントロール・レジスタ (BCC)		FFFFH
	バス・サイクル・ピリオド・コントロール・レジスタ (BCP)		00H
	バス・サイクル・タイプ・コンフィギュレーション・レジスタn (BCTn) (n = 0, 1)		8888H
	エンディアン・コンフィギュレーション・レジスタ (BEC)		0000H
	バス・サイズ・コンフィギュレーション・レジスタ (BSC)		0000H/5555H
	チップ・エリア選択コントロール・レジスタn (CSCn) (n = 0, 1)		2C11H
	データ・ウエイト・コントロール・レジスタn (DWCn) (n = 0, 1)		7777H
	パワー・セーブ制御機能	コマンド・レジスタ (PRCMD)	不定
		パワー・セーブ・コントロール・レジスタ (PSC)	00H
		クロック・コントロール・レジスタ (CKC)	00H
		パワー・セーブ・モード・レジスタ (PSMR)	00H
	システム・コントロール	ペリフェラル・コマンド・レジスタ (PHCMD)	不定
		ペリフェラル・ステータス・レジスタ (PHS)	00H
		システム・ウエイト・コントロール・レジスタ (VSWC)	77H
		フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)	08H/0CH/00H
		ロック・レジスタ (LOCKR)	0xH

注意 上記の表における“不定”とは、パワーオン・リセット時の不定、またはRESET $\bar$  入力とデータ書き込みタイミングが同期したときのデータ破壊による不定を意味し、これ以外のRESET $\bar$  ではデータは直前の状態に保持されます。

## 第16章 フラッシュ・メモリ ( $\mu$ PD70F3107A)

$\mu$ PD70F3107AはV850E/MA1のフラッシュ・メモリ内蔵品で、128 Kバイトのエリア2つで構成される256 Kバイトのフラッシュ・メモリを内蔵しています。

**注意** フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品 (ES製品ではなく) で十分に評価してください。

フラッシュ・メモリへの書き込みは、ターゲット・システムに実装した状態 (オンボード) で行えます。専用フラッシュ・ライタをターゲット・システムに接続して書き込みます。

フラッシュ・メモリを使用した開発環境および用途として次のようなことが考えられます。

ターゲット・システムにV850E/MA1を半田実装後、ソフトウェアの変更可能  
ソフトウェアを区別することで少量多品種生産が容易  
量産立ち上げ時のデータ調整が容易

### 16.1 特 徴

全エリア一括消去、またはエリア (128 Kバイト) 単位消去  
専用フラッシュ・ライタからシリアル・インタフェースを介して通信  
消去 / 書き込み電圧:  $V_{PP} = 7.8 \text{ V}$   
オンボード・プログラミング  
エリア (128 Kバイト) 単位のセルフ書き込みによるフラッシュ・メモリ・プログラミングが可能

### 16.2 フラッシュ・ライタによる書き込み方法

専用フラッシュ・ライタにより、オンボードまたはオフボードでの書き込みができます。

#### (1) オンボード・プログラミング

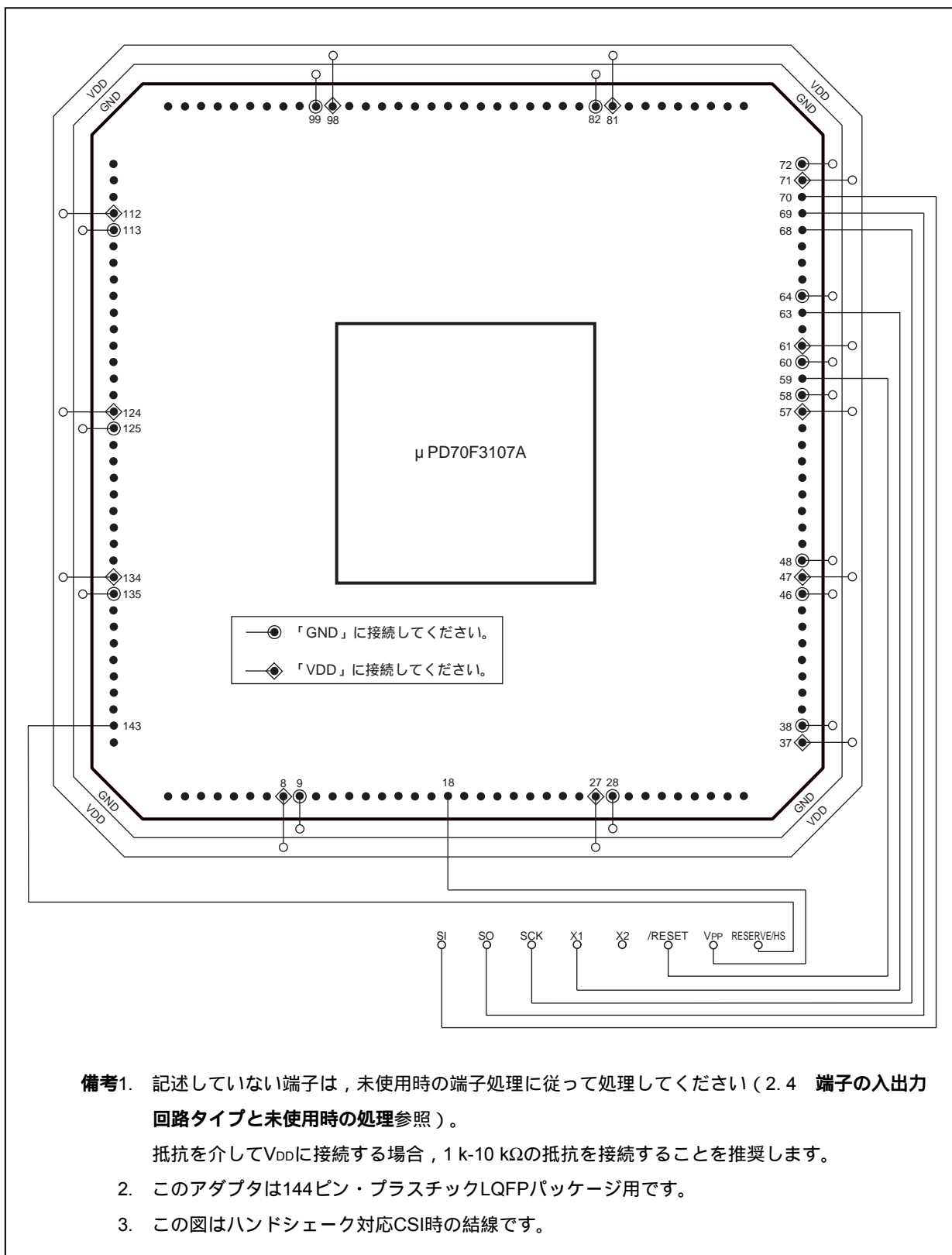
ターゲット・システム上にV850E/MA1を実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・ライタを接続するためのコネクタなどを実装しておいてください。

#### (2) オフボード・プログラミング

ターゲット・システム上にV850E/MA1を実装する前に専用プログラム・アダプタ (FAシリーズ) などでフラッシュ・メモリに書き込みます。

**備考** FAシリーズは、(株)内藤電誠町田製作所の製品です。

図16 - 1 V850E/MA1フラッシュ書き込み用アダプタ (FA-144GJ-UEN) の配線例



**注意** フラッシュ・ライターで書き込みを行う場合、PLLモードにおいては必ず10通倍された周波数で動作します。このため、X1端子に入力する周波数は必ず4-5 MHzにしてください。

表16 - 1 V850E/MA1フラッシュ書き込み用アダプタ (FA-144GJ-UEN) の配線表

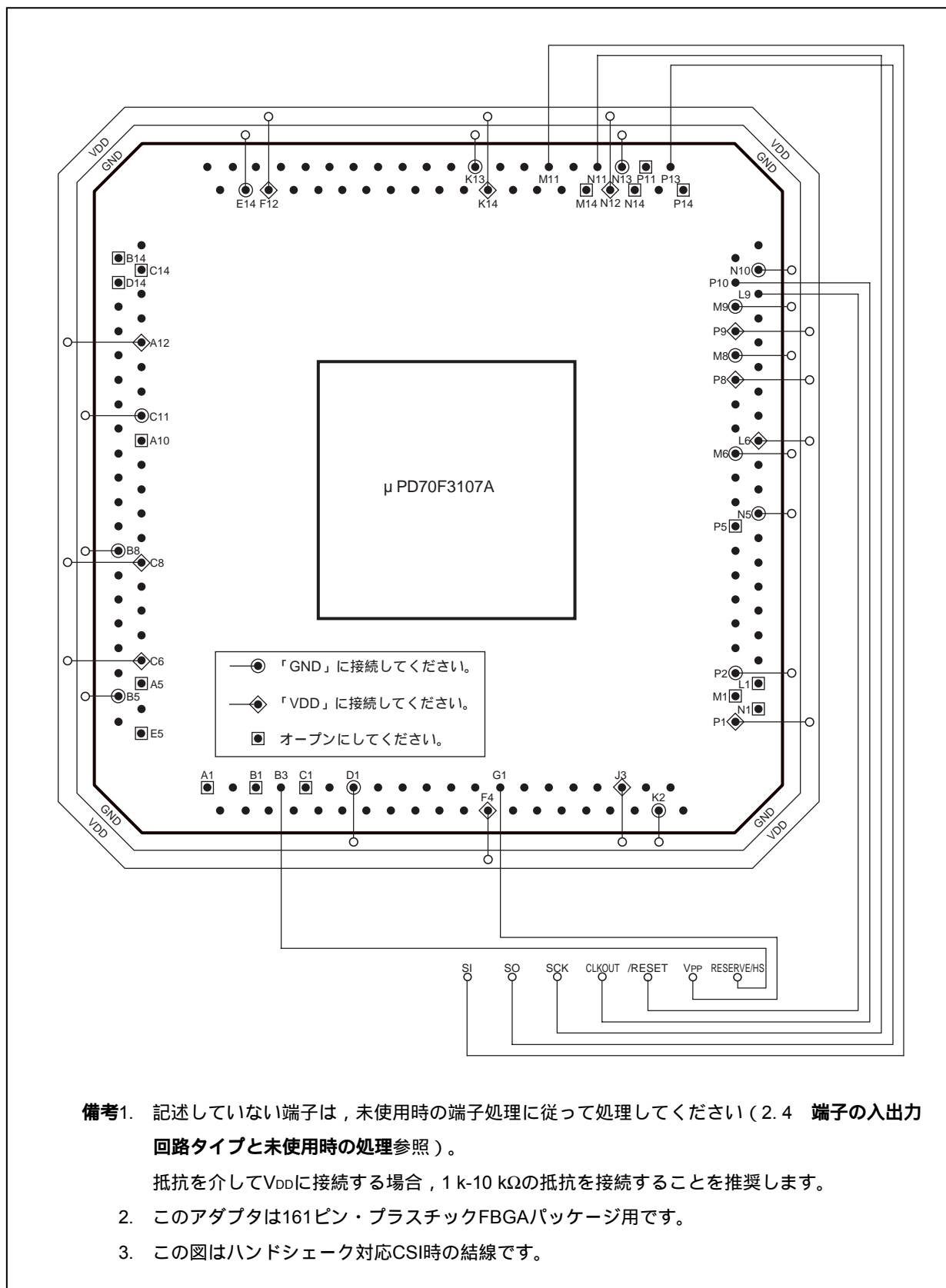
フラッシュ・ライター (PG-FP4) 接続端子図			CSI0 + HS使用時		CSI0使用時	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	P40/SO0	70	P40/SO0	70
SO/TxD	出力	送信信号	P41/SI0	69	P41/SI0	69
SCK	出力	転送クロック	P42/SCK0	68	P42/SCK0	68
CLK	出力	V850E/MA1へのクロック	X1	63	X1	63
CKSEL	入力	CGモード設定	CKSEL	60	CKSEL	60
/RESET	出力	リセット信号	RESET	59	RESET	59
VPP	出力	書き込み電圧	VPP/MODE2	18	VPP/MODE2	18
HS	入力	CSI0 + HS通信の ハンドシェーク信号	PAL0/A0	143	必要なし	必要なし
VDD	-	VDD電圧生成 / 電圧監視	VDD	注1	VDD	注1
			CVDD	61	CVDD	61
			AVDD/AVREF	71	AVDD/AVREF	71
GND	-	グランド	VSS	注2	VSS	注2
			CVSS	64	CVSS	64
			AVSS	72	AVSS	72
			P20/NMI	46	P20/NMI	46
MODE	-	フラッシュ書き込み モード設定	MODE0	58	MODE0	58
			MODE1	57	MODE1	57

注1. 8, 27, 37, 47, 81, 98, 112, 124, 134

2. 9, 28, 38, 48, 82, 99, 113, 125, 135



図16 - 2 V850E/MA1フラッシュ書き込み用アダプタ (FA-161F1-EN4) の配線例



**注意** フラッシュ・ライターで書き込みを行う場合、PLLモードにおいては必ず10通倍された周波数で動作します。このため、X1端子に入力する周波数は必ず4-5 MHzにしてください。

表16 - 2 V850E/MA1フラッシュ書き込み用アダプタ (FA-161F1-EN4) の配線表

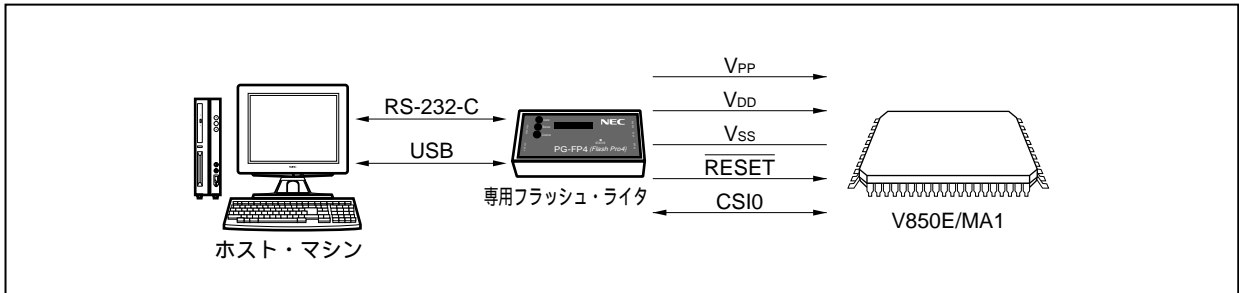
フラッシュ・ライター (PG-FP4) 接続端子図			CSI0 + HS使用時		CSI0使用時	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	P40/SO0	M11	P40/SO0	M11
SO/TxD	出力	送信信号	P41/SI0	P13	P41/SI0	P13
SCK	出力	転送クロック	P42/SCK0	N11	P42/SCK0	N11
CLK	出力	V850E/MA1へのクロック	X1	P10	X1	P10
CKSEL	入力	CGモード設定	CKSEL	M9	CKSEL	M9
/RESET	出力	リセット信号	RESET	L9	RESET	L9
VPP	出力	書き込み電圧	VPP/MODE2	G1	VPP/MODE2	G1
HS	入力	CSI0 + HS通信の ハンドシェーク信号	PAL0/A0	B3	必要なし	必要なし
VDD	-	VDD電圧生成 / 電圧監視	VDD	注1	VDD	注1
			CVDD	P9	CVDD	P9
			AVDD/AVREF	N12	AVDD/AVREF	N12
GND	-	グランド	VSS	注2	VSS	注2
			CVSS	N10	CVSS	N10
			AVSS	N13	AVSS	N13
			P20/NMI	N5	P20/NMI	N5
MODE	-	フラッシュ書き込み モード設定	MODE0	M8	MODE0	M8
			MODE1	P8	MODE1	P8

注1. A12, C6, C8, F4, F12, J3, K14, L6, P1

2. B5, B8, C11, D1, E14, K2, K13, M6, P2

## 16.3 プログラミング環境

V850E/MA1のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。



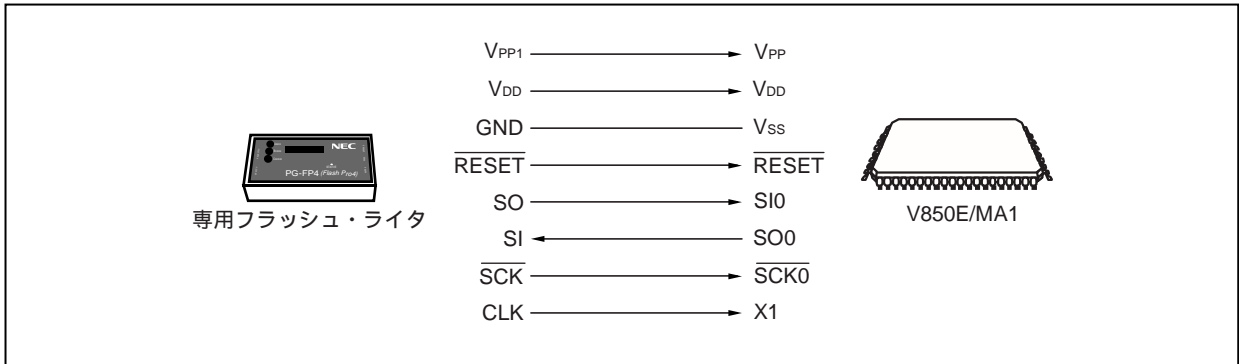
専用フラッシュ・ライターには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・ライターとV850E/MA1とのインタフェースはCSIOを使用して、書き込み、消去等の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ (FAシリーズ) が必要です。

## 16.4 通信方式

### (1) CSIO

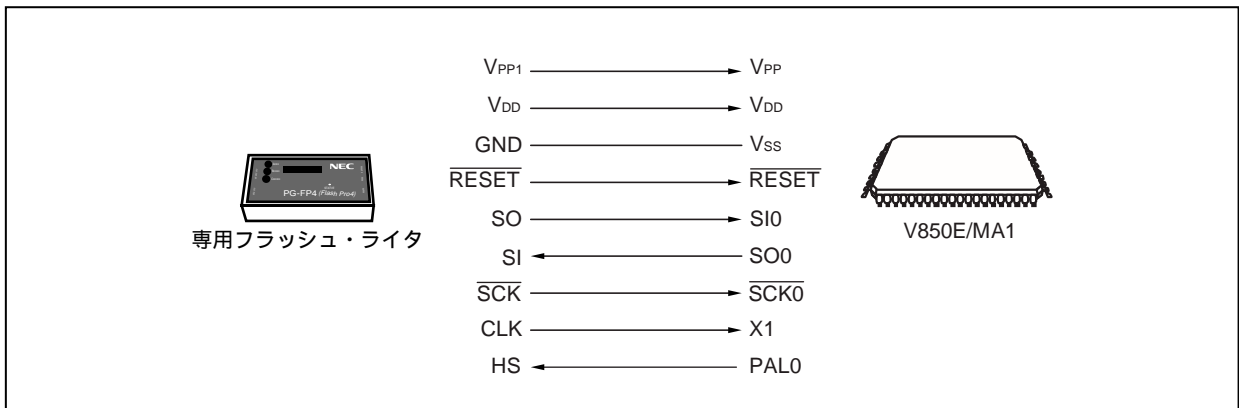
転送レート：～2 MHz (MSBファースト)



専用フラッシュ・ライターが転送クロックを出力し、V850E/MA1はスレーブとして動作します。

### (2) ハンドシェイク対応CSI通信方式

転送レート：～2 MHz (MSBファースト)



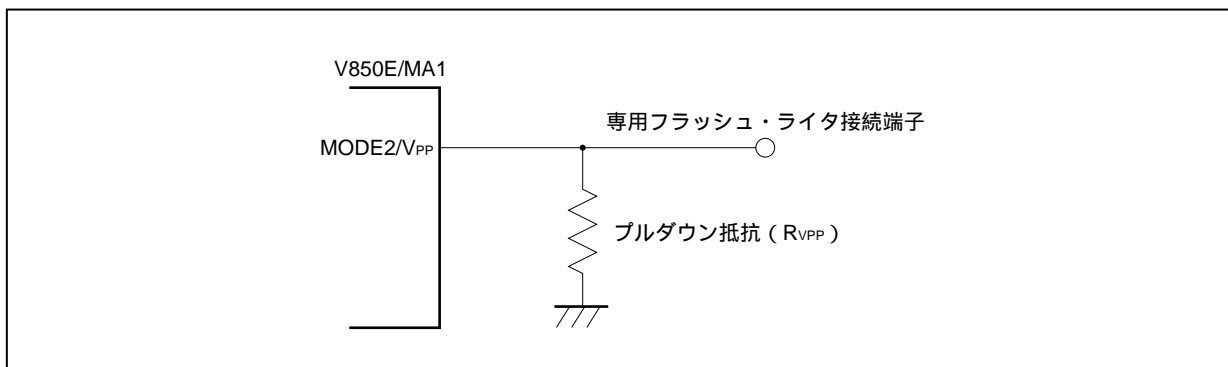
## 16.5 端子処理

オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・ライターと接続するためのコネクタを設けます。また、オンボード上に通常動作モード（シングルチップ・モード0, 1またはROMレス・モード0, 1）からフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてシングルチップ・モード0のリセット直後と同じ状態になります。したがって、ポートはすべてハイ・インピーダンス状態になるため、外部デバイスがハイ・インピーダンス状態を認めない場合は端子処理が必要です。

### 16.5.1 MODE2/V<sub>PP</sub>端子

通常動作モード時は、MODE2/V<sub>PP</sub>端子に0 Vを入力します。また、フラッシュ・メモリ・プログラミング・モード時は、MODE2/V<sub>PP</sub>端子に7.8 Vの書き込み電圧を供給します。MODE2/V<sub>PP</sub>端子の接続例を次に示します。



### 16.5.2 シリアル・インタフェース端子

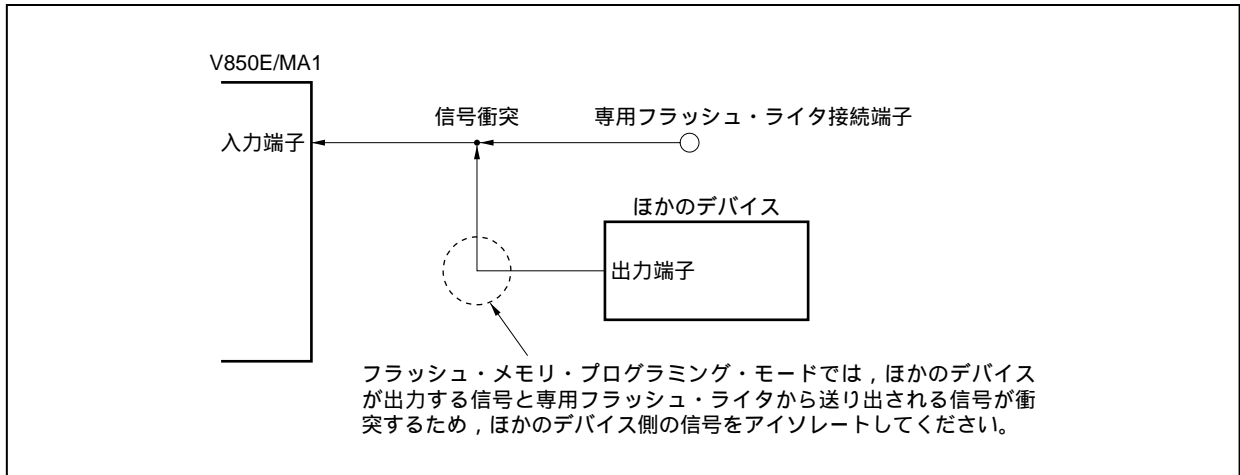
各シリアル・インタフェースが使用する端子を次に示します。

シリアル・インタフェース	使用端子
CSI0	SO0, SI0, SCK0

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライターを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

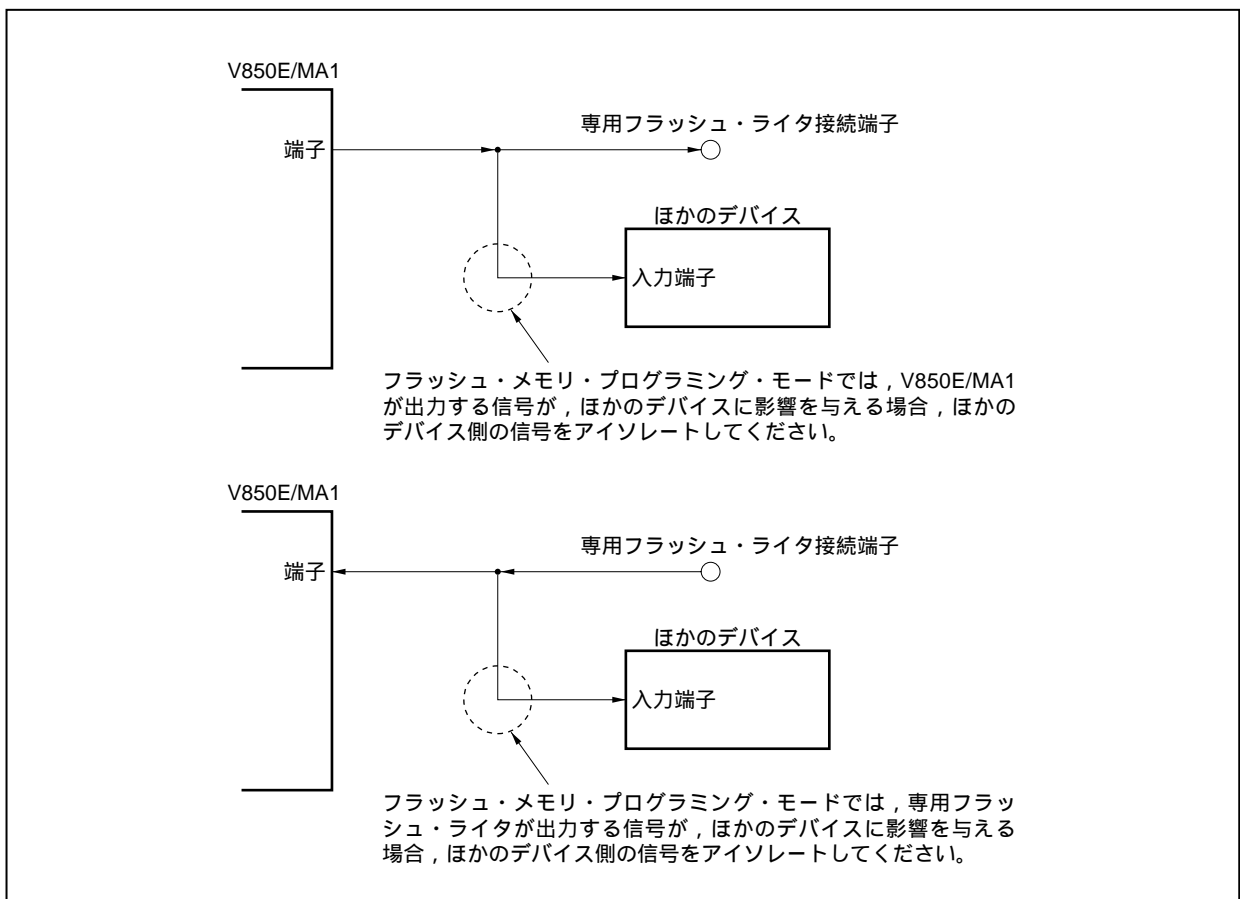
(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に，専用フラッシュ・ライタ（出力）を接続すると，信号の衝突が発生します。この信号の衝突を避けるため，ほかのデバイスとの接続をアイソレートするか，またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。



(2) ほかのデバイスの異常動作

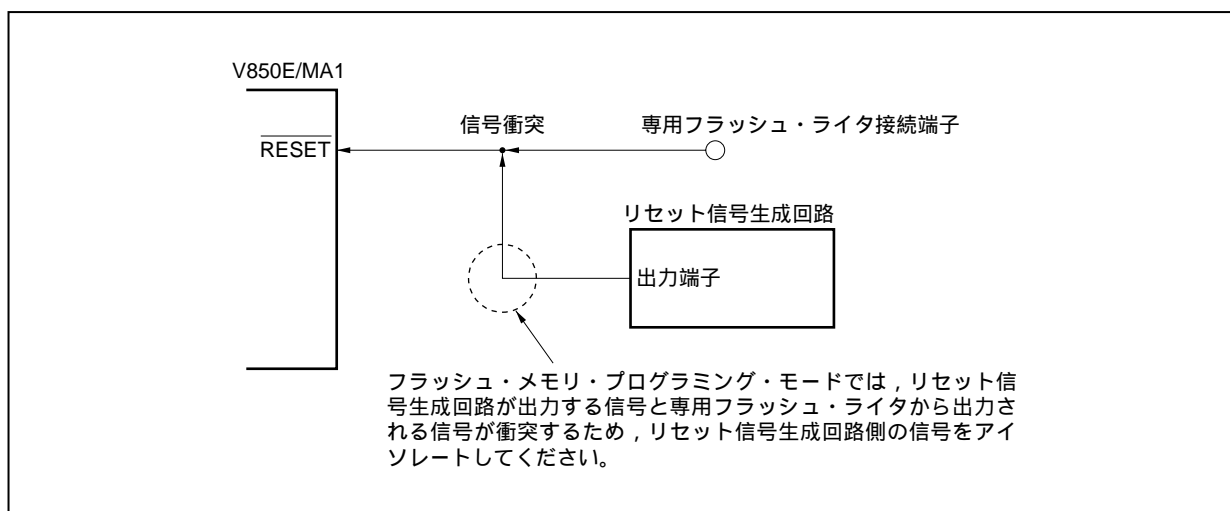
ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に，専用フラッシュ・ライタ（出力または入力）を接続する場合，ほかのデバイスに信号が出力され，異常動作を起こす可能性があります。この異常動作を避けるため，ほかのデバイスとの接続をアイソレートするか，またはほかのデバイスへの入力信号を無視するように設定してください。



### 16.5.3 RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。



### 16.5.4 NMI端子

フラッシュ・メモリ・プログラミング・モード期間中はNMI端子への入力信号を変化させないでください。変化させた場合、正常なプログラミングが行われなことがあります。

### 16.5.5 MODE0-MODE2端子

MODE0をハイ・レベルまたはロウ・レベル入力、MODE1をハイ・レベル入力に設定し、MODE2/V<sub>PP</sub>端子に書き込み電圧 (7.8 V) を加え、リセットを解除するとフラッシュ・メモリ・プログラミング・モードに遷移します。

### 16.5.6 ポート端子

フラッシュ・メモリ・プログラミング・モードに設定すると、専用フラッシュ・ライタと通信する端子を除くすべてのポート端子はハイ・インピーダンス状態になります。これらのポート端子は、未使用時の端子処理に従って処理してください (2.4 端子の入出力回路タイプと未使用時の処理参照)。

### 16.5.7 その他の信号端子

X1, X2は、通常動作モード時と同じ状態に接続してください。

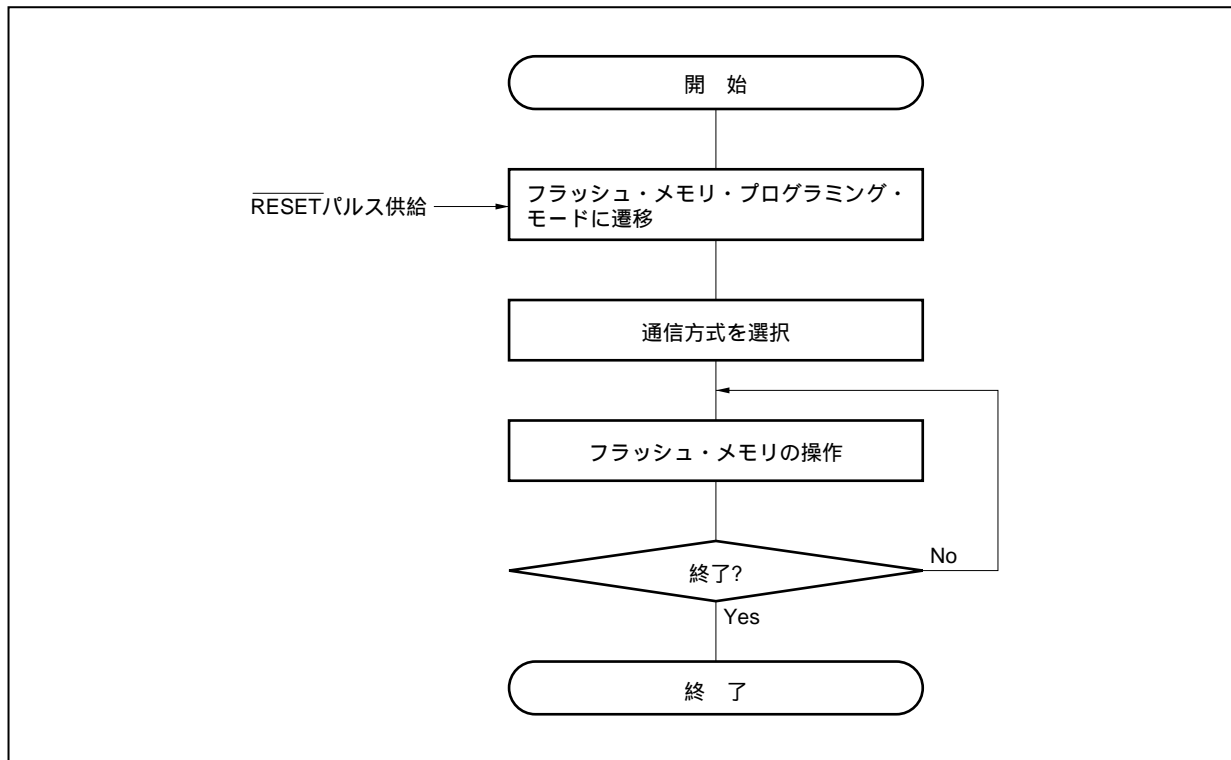
### 16.5.8 電 源

電源 (V<sub>DD</sub>, V<sub>SS</sub>, AV<sub>DD</sub>, AV<sub>REF</sub>, AV<sub>SS</sub>, CV<sub>DD</sub>, CV<sub>SS</sub>) は、通常動作モード時と同じ電源を供給してください。また、V<sub>DD</sub>, V<sub>SS</sub>には、専用フラッシュ・ライタのV<sub>DD</sub>, GNDを接続してください (専用フラッシュ・ライタのV<sub>DD</sub>は、電源監視機能がついています)。

## 16.6 プログラミング方法

### 16.6.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。



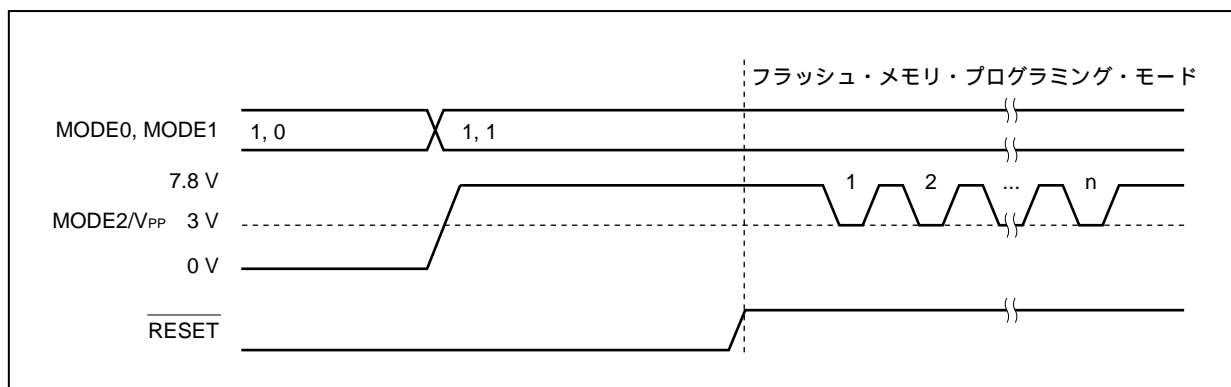
### 16.6.2 フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・ライタを使用してフラッシュ・メモリの内容を書き換えるときは、フラッシュ・メモリ・プログラミング・モードにしてください。

モードへ遷移するには、MODE0, MODE1, MODE2/V<sub>PP</sub>端子を設定後、リセットを解除します。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

- ・ MODE0 : ハイ・レベル入力またはロウ・レベル入力
- ・ MODE1 : ハイ・レベル入力
- ・ MODE2/V<sub>PP</sub> : 7.8 V



### 16.6.3 通信方式の選択

V850E/MA1では、フラッシュ・メモリ・プログラミング・モードに遷移後、V<sub>PP</sub>端子にパルス（最大16パルス）を入力することで通信方式を選択します。このV<sub>PP</sub>パルスは専用フラッシュ・ライターが生成します。

パルス数と通信方式の関係を次に示します。

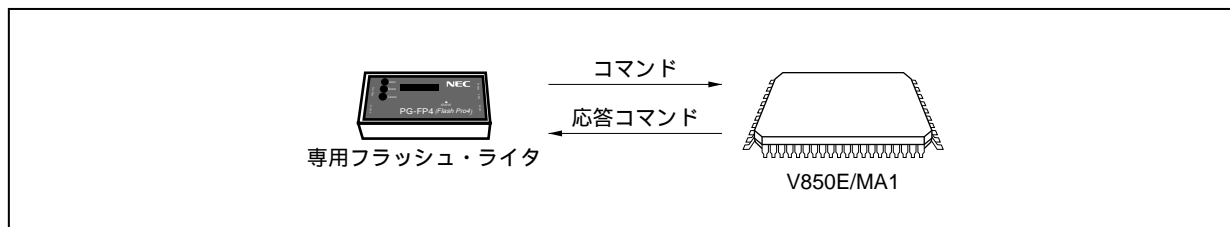
表16 - 3 通信方式一覧

V <sub>PP</sub> パルス	通信方式	備 考
0	CSI0	V850E/MA1はスレーブ動作，MSBファースト
3	ハンドシェーク対応CSI	
その他	RFU（予約）	設定禁止



## 16.6.4 通信コマンド

V850E/MA1と専用フラッシュ・ライタは、コマンドを介して通信します。専用フラッシュ・ライタからV850E/MA1へ送られるコマンドを「コマンド」と呼び、V850E/MA1から専用フラッシュ・ライタへ送られる応答信号を「応答コマンド」と呼びます。



V850E/MA1のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてライタから発行され、V850E/MA1がコマンドに対応した各処理を行います。

分類	コマンド名称	機能
ベリファイ	一括ベリファイ・コマンド	全メモリの内容と入力したデータを比較
	エリア・ベリファイ・コマンド	指定したエリアの内容と入力したデータを比較
消去	一括消去コマンド	全メモリの内容を消去
	エリア消去コマンド	指定したエリアの内容を消去
	ライトバック・コマンド	過消去時の書き戻し
ブランク・チェック	一括ブランク・チェック・コマンド	全メモリの消去状態を確認
	エリア・ブランク・チェック・コマンド	指定したエリアの消去状態を確認
データ・ライト	高速書き込みコマンド	書き込みアドレス、書き込みバイト数の指定によりデータを書き込み、ベリファイ・チェックを実行
	連続書き込みコマンド	直前に実行された高速書き込みコマンドに続くアドレスからデータを書き込み、ベリファイ・チェックを実行
システム設定、制御	ステータス読み出しコマンド	動作状況のステータスを得る
	発振周波数設定コマンド	発振周波数の設定
	消去時間設定コマンド	一括消去の消去時間設定
	書き込み時間設定コマンド	データ書き込み時の書き込み時間設定
	ライトバック時間設定コマンド	ライトバック時間の設定
	シリコン・シグネチャ・コマンド	シリコン・シグネチャ情報を読み出す
	リセット・コマンド	各状態からの脱出

また、専用フラッシュ・ライタから発行されたコマンドに対して、V850E/MA1は応答コマンドを返します。V850E/MA1が送出する応答コマンドを次に示します。

応答コマンド名称	機能
ACK (アクノリッジ)	コマンド/データなどのアクノリッジ
NAK (ノット・アクノリッジ)	不正なコマンド/データなどのアクノリッジ

## 16.7 セルフ書き込みによるフラッシュ・メモリ・プログラミング

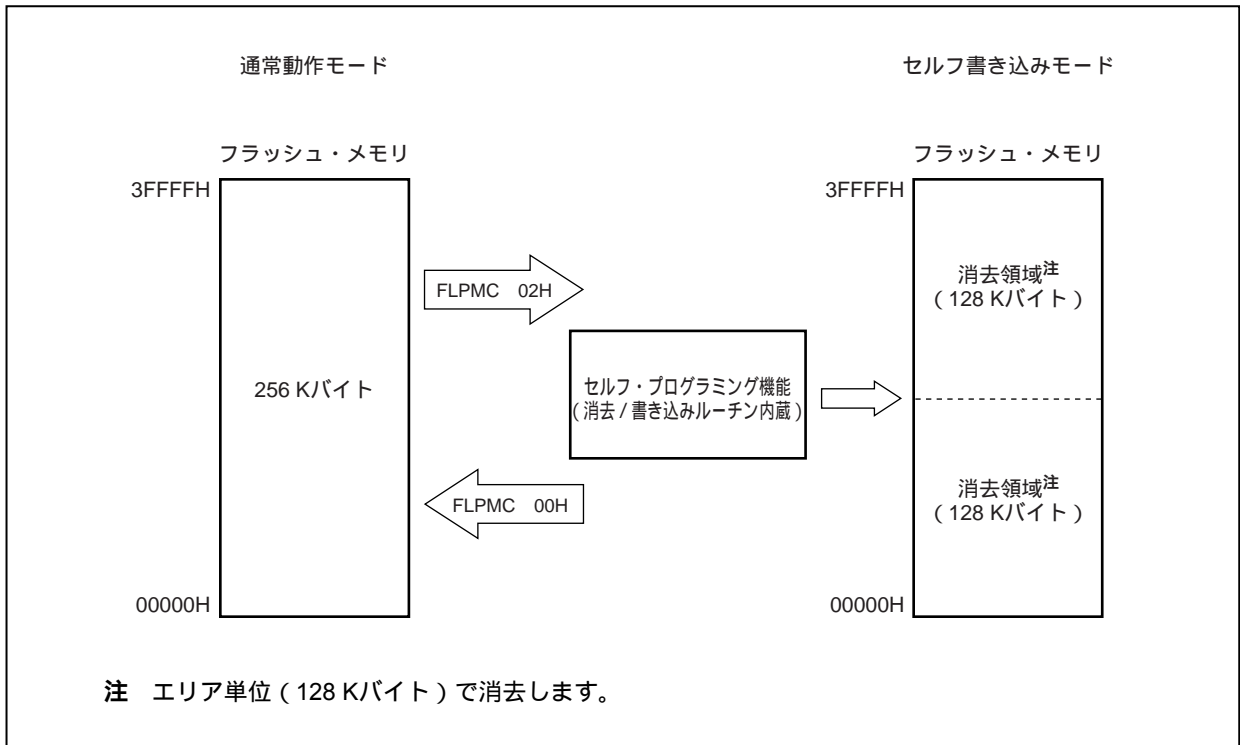
μ PD70F3107Aは、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能を利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えができます。このセルフ・プログラミングにより、フィールドでのプログラムのアップグレードなどの応用が可能です。

### 16.7.1 セルフ・プログラミングの概要

セルフ・プログラミングは、ブロック0空間 (000000H-1FFFFFFH) および内蔵ROM領域以外に配置されたプログラム上で、セルフ・プログラミング機能 (デバイス内部処理) を呼び出すことにより、フラッシュ・メモリの消去 / 書き込みを実現します。セルフ・プログラミングを実現するためのプログラムをブロック0空間および内蔵ROM領域に配置する場合は、000000H-1FFFFFFH領域以外 (たとえば内蔵RAM領域) にプログラムをコピーしたあと、コピー先でプログラムを実行して、セルフ・プログラミング機能呼び出してください。

セルフ・プログラミング機能の呼び出しは、フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) により、通常動作モードからセルフ・プログラミング・モードに切り替えて行います。

図16-3 セルフ・プログラミングの概要



## 16.7.2 セルフ・プログラミング機能

μPD70F3107Aは、表16-4に示すようなセルフ・プログラミング機能を提供しています。これらの機能の組み合わせでフラッシュ・メモリの消去と書き込みの機能を実現します。

表16-4 機能一覧

分類	機能名	機能
消去	エリア消去	指定したエリアを消去します。
書き込み	ワード単位連続書き込み	指定したフラッシュ・メモリのアドレスから4バイト単位で指定したワード数だけ、指定したメモリの内容を連続して書き込みます。
	プリライト	消去前にフラッシュ・メモリに0を書き込みます。
チェック	イレース・ベリファイ	消去後にオーバ・イレースが発生しているかどうかをチェックします。
	イレース・バイト・ベリファイ	消去が十分かどうかをチェックします。
	内部ベリファイ	書き込み終了後のフラッシュ・メモリ上のデータの信号レベルが適正かどうかをチェックします。
書き戻し	エリア・ライトバック	オーバ・イレースが発生したフラッシュ・エリアを書き戻します。
情報取得	フラッシュ情報読み出し	フラッシュ・メモリに関する情報を読み出します。

## 16.7.3 セルフ・プログラミング・インタフェースの概要

セルフ・プログラミング・インタフェースを使用したセルフ・プログラミングを行うためには、フラッシュ・メモリを操作するためのハードウェア環境、ソフトウェア環境を満たす必要があります。

セルフ・プログラミング・インタフェースは、アセンブリ言語による利用を前提としています。

### (1) エントリ・プログラム

デバイス内部処理を呼び出すためのプログラムです。

アプリケーション・プログラムの一部として位置付けられます。ブロック0空間、および内蔵ROM領域（フラッシュ・メモリ）以外のメモリで実行する必要があります。

### (2) デバイス内部処理

デバイス内部で行うフラッシュ・メモリの操作です。

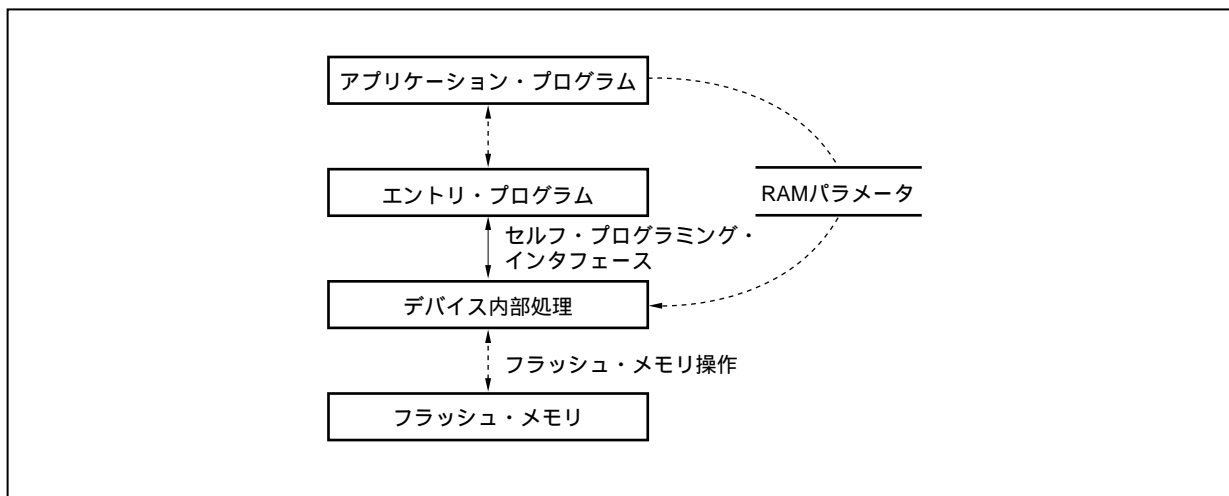
エントリ・プログラムで呼び出したあとは、デバイス内部処理がフラッシュ・メモリの操作を行います。

### (3) RAMパラメータ

書き込み時間や消去時間などのセルフ・プログラミングに必要なパラメータが書き込まれたRAM領域です。アプリケーション・プログラムで設定し、デバイス内部処理が参照します。

セルフ・プログラミング・インタフェースの概要を次に示します。

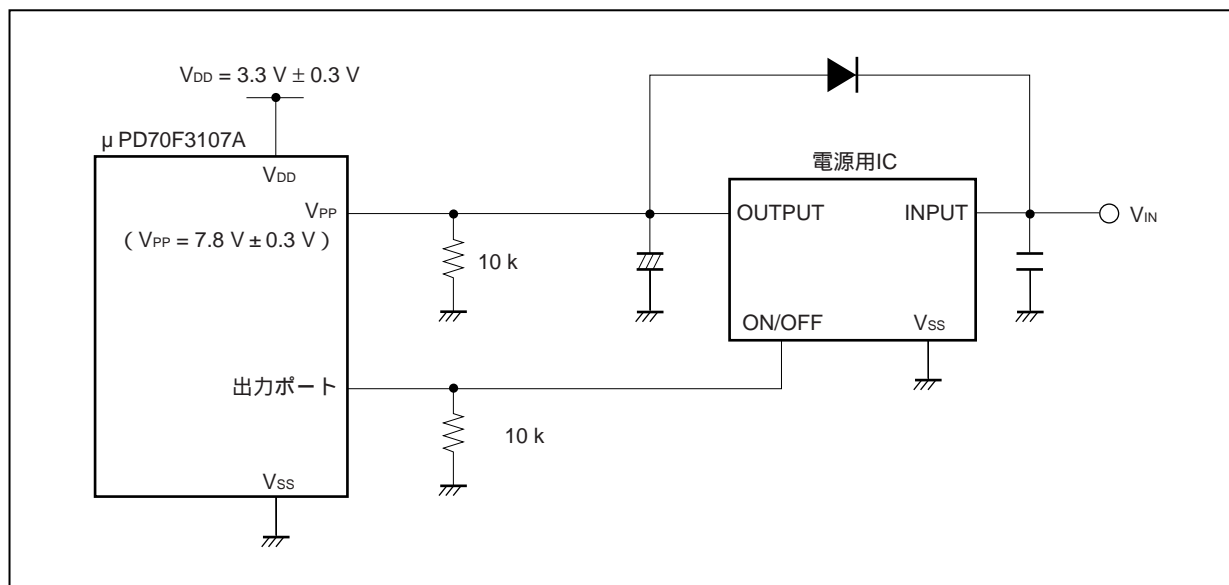
図16 - 4 セルフ・プログラミング・インタフェースの概要



### 16.7.4 ハードウェア環境

フラッシュ・メモリに書き込み / 消去を行うためには、 $V_{PP}$ 端子に高電圧を印加する必要があります。セルフ・プログラムを行うには、アプリケーション・システム上にソフトウェアで制御できる書き込み電圧 ( $V_{PP}$ ) の生成回路が必要です。ポートを操作することにより、 $V_{PP}$ 端子に印加する電圧を切り替える回路構成例を次に示します。

図16 - 5 セルフ書き込み回路構成例

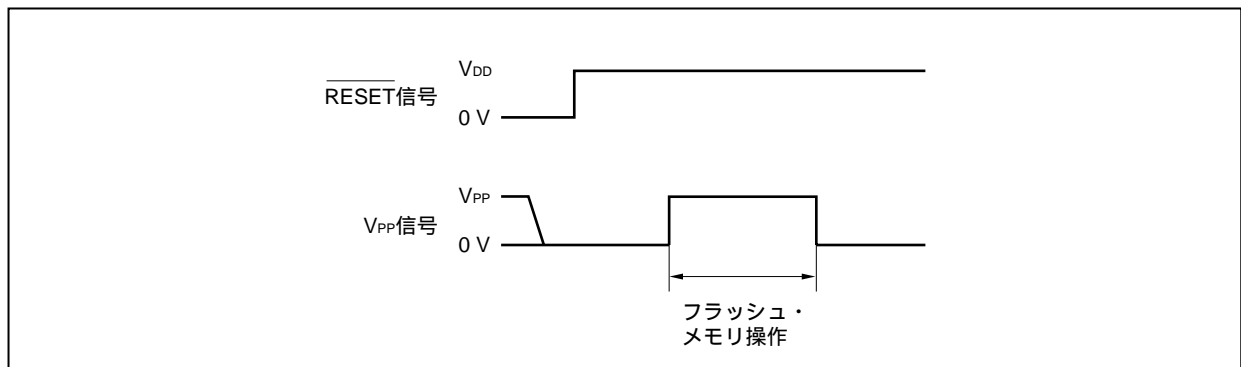


また、 $V_{PP}$ 端子への電圧印加は、次の条件を満たす必要があります。

- ・通常動作モード時は $V_{PP}$ 端子に印加する電圧を0 Vに保持し、フラッシュ・メモリを操作する期間だけ $V_{PP}$ 電圧を保持してください。
- ・フラッシュ・メモリ操作を開始する前から終了するまでの期間は、 $V_{PP}$ 電圧を安定させてください。

- 注意1.** リセット解除時には $V_{PP}$ 端子に印加する電圧を0 Vにしてください。
2. セルフ・プログラミングをする場合は、シングルチップ・モード0, 1で行ってください。
  3.  $V_{PP}$ 端子への電圧印加は、エントリ・プログラムの中で行ってください。
  4. ターゲット・ボード上でセルフ・プログラミングとライターでの書き込み/消去の両方を行う場合、ライターとの通信方式は、必ずCSI0で行ってください(ハンドシェイク対応CSIは使用しないでください)。

図16 - 6  $V_{PP}$ 端子に電圧を印加するタイミング



## 16.7.5 ソフトウェア環境

エントリ・プログラムでデバイス内部処理を呼び出す前に、次に示す条件をすべて満たす必要があります。

表16-5 ソフトウェア環境の条件

項目	内容
エントリ・プログラムの配置	ブロック0空間、およびフラッシュ・メモリ領域以外で実行してください。 フラッシュ・メモリ上で、実行中のプログラムから直接デバイス内部処理を呼び出すことはできません。
プログラムの実行状態	デバイス内部処理を呼び出すには、割り込み処理中でないこと (PSWのNPビット = 0, PSWのIDビット = 1) が条件です。
割り込みのマスキング	使用中のマスキング割り込みの設定をすべてマスキングしてください。割り込みのマスキングは、個々の割り込み制御レジスタで行ってください。 マスキング割り込みをマスキングする場合は、必ず割り込み制御レジスタに対してマスキングの設定を行ってください。PSWのIDビット = 1 (割り込み禁止) となっている場合でも、マスキング割り込みをマスキングしてください。
V <sub>PP</sub> 電圧の操作	フラッシュ・メモリの操作を開始する前に、V <sub>PP</sub> 端子への電圧をV <sub>PP</sub> 電圧で安定させてください。すべての操作が終了した時点でV <sub>PP</sub> 端子への電圧を0Vに戻してください。
内蔵タイマの初期化	フラッシュ・メモリの操作中に内蔵タイマは使用しないでください。 内蔵タイマはフラッシュ・メモリの使用後に初期化されるので、再度使用する場合にはアプリケーション・プログラムで初期化してください。
リセット信号入力の停止	フラッシュ・メモリの操作中にリセット信号を入力しないでください。 フラッシュ・メモリの操作中にリセット信号を入力した場合は、操作中のフラッシュ・メモリの内容は不定となります。
NMI信号入力の停止	フラッシュ・メモリの操作中にNMI信号を入力しないでください。 フラッシュ・メモリの操作中にNMI信号を入力した場合は、デバイス内部処理によるフラッシュ・メモリの操作が正しく行われない場合があります。 NMIがデバイス内部処理の処理中に発生した場合、RAMパラメータのNMIフラグにNMI発生の有無が反映されます。また、NMIの発生によりフラッシュ・メモリの操作に影響を受けた場合は、各セルフ・プログラミング機能の返却値に反映されます。
スタック領域の確保	デバイス内部処理では、ユーザ・プログラムが使用しているスタックを継承して使用します。呼び出す時点のユーザ・プログラムのスタック・サイズに対して、300バイトの領域が確保されていることが必要です。なお、スタック・ポインタはr3を使用します。
汎用レジスタの保存	デバイス内部処理では、r6-r14, r20, r31 (lp) の内容を書き換えます。 必要に応じて保存と復帰を行ってください。

### 16.7.6 セルフ・プログラミング機能番号

セルフ・プログラミング機能を識別するために、各機能に次に示す番号が割り当てられています。この機能番号はデバイス内部処理の呼び出しの際にパラメータとして使用します。

表16 - 6 セルフ・プログラミング機能番号

機能番号	機能名
0	フラッシュ情報取得
1	エリア消去
2-4	RFU
5	エリア・ライトバック
6-8	RFU
9	イレース・バイト・ベリファイ
10	イレース・ベリファイ
11-15	RFU
16	ワード単位連続書き込み
17-19	RFU
20	プリライト
21	内部ベリファイ
その他	禁止

備考 RFU : Reserved for future used (将来の使用のため予約)

## 16.7.7 呼び出しパラメータ

セルフ・プログラミング機能呼び出す場合の引き数を次に示します。このほかにep (r30) で示されるRAMパラメータに書き込みや消去時間などのパラメータを設定します。

表16 - 7 呼び出しパラメータ

機能名	第1引き数 (r6) 機能番号	第2引き数 (r7)	第3引き数 (r8)	第4引き数 (r9)	返却値 (r10)
フラッシュ情報取得	0	オプション番号 <sup>注1</sup>	-	-	注1
エリア消去	1	エリア消去開始 アドレス	-	-	0 : 正常終了 0以外 : エラー
エリア・ ライトバック	5	なし (直前の消去操作 領域に作用する)	-	-	なし
イレース・バイト・ ペリファイ	9	ペリファイ開始 アドレス	ペリファイ・パイ ト数	-	0 : 正常終了 0以外 : エラー
イレース・ ペリファイ	10	なし (直前の消去操作 領域に作用する)	-	-	0 : 正常終了 0以外 : エラー
ワード単位連続 書き込み <sup>注2</sup>	16	書き込み開始 アドレス <sup>注3</sup>	書き込み元データ の開始アドレス <sup>注3</sup>	書き込みワード数 (ワード単位)	0 : 正常終了 0以外 : エラー
プリライト	20	書き込み開始 アドレス	書き込みバイト数	-	0 : 正常終了 0以外 : エラー
内部ペリファイ	21	ペリファイ開始 アドレス	ペリファイ・パイ ト数	-	0 : 正常終了 0以外 : エラー

注1. 16.7.10 フラッシュ情報を参照してください。

- ワード単位連続書き込みでは、フラッシュ・メモリ以外に書き込み元データを確保してください。
- 4バイト境界にしてください。

注意 すべての機能でep (r30) はRAMパラメータの先頭アドレスを示す必要があります。



## 16.7.8 RAMパラメータの内容

RAMパラメータとして次に示す48バイトの領域を内部RAMまたは外部RAMに確保し、入力のパラメータを設定してください。このベース・アドレスをep (r30) に設定します。

表16 - 8 RAMパラメータの内容

アドレス	サイズ	入出力	内 容
ep + 0	4バイト	-	内部での作業用
ep + 4 : Bit5 <sup>注1</sup>	1ビット	入力	動作フラグ (デバイス内部処理を呼び出す前に必ず1を設定します。) 0 : 通常動作中 1 : セルフ・プログラミング中
ep + 4 : Bit7 <sup>注2, 3</sup>	1ビット	出力	NMIフラグ 0 : NMI未検出 1 : NMI検出
ep + 8	4バイト	入力	消去時間 (符号なし4バイト) 内部動作単位時間 (100 μs) を1単位として1カウント値で表します。 設定値 = 消去時間 (μs) / 内部動作単位時間 (μs) 例 消去時間が0.4 sの場合 $0.4 \times 1000000 / 100 = 4000$ (整数演算)
ep + 0xc	4バイト	入力	ライトバック時間 (符号なし4バイト) 内部動作単位時間 (100 μs) を1単位として1カウント値で表します。 設定値 = ライトバック時間 (μs) / 内部動作単位時間 (μs) 例 ライトバック時間が1 msの場合 $1 \times 1000 / 100 = 10$ (整数演算)
ep + 0x10	2バイト	入力	内部動作単位時間作成のためのタイマ設定値 (符号なし2バイト) タイマDで内部動作単位時間 (100 μs) となる設定値を書き込みます。 設定値 = 動作周波数 (Hz) / 1000000 × 内部動作単位時間 (μs) / タイマ分周比 (4) + 1 <sup>注4</sup> 例 動作周波数が50 MHzの場合 $50000000 / 1000000 \times 100 / 4 + 1 = 1251$ (整数演算)
ep + 0x12	2バイト	入力	書き込み時間作成のためのタイマ設定値 (符号なし2バイト) タイマDで書き込み時間となる設定値を書き込みます。 設定値 = 動作周波数 (Hz) / 書き込み時間 (μs) / タイマ分周比 (4) + 1 <sup>注4</sup> 例 動作周波数が50 MHz, 書き込み時間が20 μsの場合 $50000000 / 1000000 \times 20 / 4 + 1 = 251$ (整数演算)
ep + 0x14	28バイト	-	内部での作業用

- 注1. ep + 4のアドレスの5ビット目 (最下位ビットは0ビットとします)
2. ep + 4のアドレスの7ビット目 (最下位ビットは0ビットとします)
3. NMIフラグは、デバイス内部処理でクリアされないため、ユーザ・プログラムでクリアしてください。
4. デバイス内部処理でこの設定値から1を引いた値をタイマに設定します。また、端数が切り上げられるため、設定値の式のとおりに1を加算してください。

**注意** RAMパラメータ領域は、必ず4バイト境界になるように確保してください。

### 16.7.9 セルフ・プログラミング時のエラー

セルフ・プログラミングでは、次に示すフラッシュ・メモリの操作に関するエラーがあります。それぞれの機能からの返却値 (r10) が、0でない場合にエラーとなります。

表16-9 セルフ・プログラミング時のエラー

エラー	発生する機能	内容
オーバ・イレース・エラー (過消去エラー)	イレース・ベリファイ	過消去が発生しています。
アンダ・イレース・エラー (ブランク・チェック・エラー)	イレース・バイト・ベリファイ	消去が不十分です。消去操作を追加する必要があります。
ベリファイ・エラー	ワード単位連続書き込み	書き込んだデータが正しく読み出せません。消去していないフラッシュ・メモリへ書き込みを行ったか、書き込みが十分に行われていない状態です。
内部ベリファイ・エラー	内部ベリファイ	書き込みの結果、書き込んだデータが正しい信号のレベルではありません。

**注意** フラッシュ・メモリ全体では、オーバ・イレース・エラーとアンダ・イレース・エラーが同時に発生する場合があります。

### 16.7.10 フラッシュ情報

フラッシュ情報取得機能 (機能番号0) は、指定するオプション番号 (r7) と返却値 (r10) の内容が次に示すようになります。すべてのフラッシュ情報を取得する場合は、次に示す形に従って必要な回数だけフラッシュ情報取得機能を呼び出してください。

表16-10 フラッシュ情報

オプション番号 (r7)	返却値 (r10)
0	指定禁止
1	指定禁止
2	返却値のビット表現 (MSB : ビット31) FFFFFFFFAAAAAAAAAFFFFFFF (LSB : ビット0) ビット31-16 : FFFFFFFF (将来の使用のため予約) ビット31-16は、通常0 (ゼロ) ではないため、マスクして使用してください。 ビット15-8 : AAAAAA (エリアの数) (符号なし8ビット) ビット7-0 : FFFFFFFF (将来の使用のため予約) ビット7-0は、通常0 (ゼロ) ではないため、マスクして使用してください。
3+0	エリア0の最終アドレス
3+1	エリア1の最終アドレス

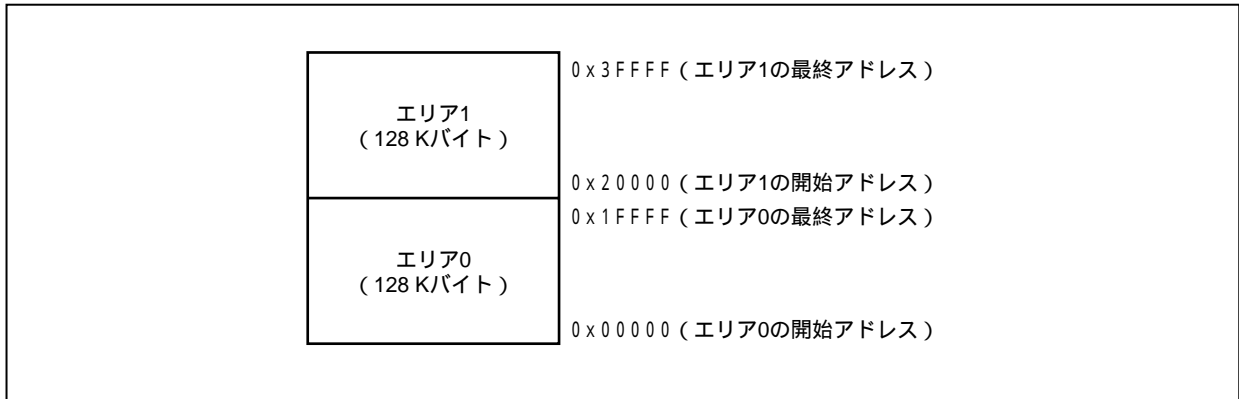
**注意1.** エリア0の開始アドレスは0です。また、前エリアの「最終アドレス+1」が、次のエリアの開始アドレスになります。

**2.** フラッシュ情報取得機能は、オプションの引き数で指定したエリアの最大数などの値をチェックしません。不正な値を指定した場合は、不定値が返ります。

## 16.7.11 エリア番号

$\mu$ PD70F3107Aのエリア番号とメモリ・マップを次に示します。

図16 - 7 エリア構成



### 16.7.12 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)

フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) は、フラッシュ・メモリのへの書き込み禁止 / 許可やセルフ・プログラミング・モードを指定するレジスタです。

8/1ビット単位でリード/ライト可能です (VPPビット (ビット2) はリードのみ可能です)。

**注意1.** FLSPMビットを操作する場合は、必ず一度内蔵RAMまたは外部メモリに制御を移して操作してください。ただし、フラッシュ・ライターによるオンボード書き込みモード時は、FLSPMビットの指定は無視されます。

2. ビット0, 4-7は初期値を変更しないでください。

	7	6	5	4	③	②	①	0	アドレス	初期値 <sup>注</sup>
FLPMC	0	0	0	0	VPPDIS	VPP	FLSPM	0	FFFFF8D4H	08H/0CH/00H

**注** 08H : VPP端子に書き込み電圧が印加されていない場合

0CH : VPP端子に書き込み電圧が印加されている場合

00H : フラッシュ・メモリを内蔵していない製品 (μPD703103A, 703105A, 703106A, 703107A)

ビット位置	ビット名	意味
3	VPPDIS	VPP Disable 内蔵フラッシュ・メモリに対する書き込み / 消去の許可 / 禁止を制御するビットです。VPPDIS = 1の場合、VPP端子に高電圧を印加しても、内蔵フラッシュ・メモリに対する書き込み / 消去は行われません。 0 : フラッシュ・メモリの書き込み / 消去の許可 1 : フラッシュ・メモリの書き込み / 消去の禁止
2	VPP	VPP VPP端子が書き込み可能な電圧に達したことを示すビットです (リードのみ可能)。VPPビットは、セルフ・プログラミング・モード時の書き込み可能であることを確認するために使用します。 0 : VPP端子に高電圧印加未検出の状態 (書き込み電圧に達していない) 1 : VPP端子に高電圧印加検出の状態 (書き込み電圧に達している)
1	FLSPM	Flash Self Programming Mode 内蔵ROMとセルフ・プログラミング・インタフェースの切り替えを制御するビットです。応用システム上でモード端子を通して設定されている動作モードとセルフ・プログラミング・モードとの切り替えが可能です。FLSPMビットは、VPP端子が書き込み電圧に達している期間だけ有効となります。 0 : 通常モード (すべてのアドレスにおいて内蔵フラッシュ・メモリより命令フェッチを行います。) 1 : セルフ・プログラミング・モード (デバイス内部処理へ移行します。)

フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) へのデータ設定は、次のシーケンスで行います。

割り込みを禁止します (PSWのNPビット, IDビットを1に設定)。

任意の汎用レジスタに特定レジスタへ設定するためのデータを用意します。

ペリフェラル・コマンド・レジスタ (PHCMD) にデータを書き込みます。

フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) を設定します (次の命令で行います)。

・ストア命令 (ST/SST命令)

・ビット操作命令 (SET1/CLR1/NOT1命令)

NOP命令を挿入する (5命令 ( - ))

割り込み禁止を解除します (PSWのNPビットを0に戻します)。

```
[ 記述例 ]
LDSR   rX, 5
MOV    0x02, r10
ST.B   r10, PHCMD[r0]
ST.B   r10, FLPMC[r0]
NOP
NOP
NOP
NOP
NOP
NOP
LDSR   rY, 5
```

**備考** rX : PSWに書き込む値

rY : PSWに書き戻す値

なお、特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

- 注意1.** PHCMD発行 ( ) とその直後の特定レジスタ書き込み ( ) の間で割り込みを受け付けた場合、特定レジスタへの書き込みは行われず、プロテクション・エラー (PHSレジスタのPRERRビット = 1) が発生することがあります。このため、PSWのNPビットを1に設定 ( ) して、割り込みの受け付けを禁止してください。特定レジスタの設定にビット操作命令を使用した場合も同様に割り込みの受け付けを禁止してください。
- 2.** PHCMDレジスタへ書き込むデータはダミーですが、特定レジスタへの設定 (上記例 ) で使用する汎用レジスタと同じレジスタをPHCMDレジスタ書き込み (上記例 ) でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。
- 3.** DMA転送によるPHCMDレジスタや特定レジスタへの書き込みはしないでください。

### 16.7.13 デバイス内部処理の呼び出し

エントリ・プログラムからデバイス内部処理を呼び出す手順について説明します。

デバイス内部処理は、「ハードウェア環境」と「ソフトウェア環境」の条件をすべて満たし、必要な引き数とRAMパラメータを設定してから呼び出してください。フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) のFLSPMビットをセット (1) したあと、trap 0x1f命令を実行することによりデバイス内部処理を呼び出します。すべての呼び出しは、同じ手順で行います。このインタフェースのプログラムは、すべてアセンブリ言語により記述することを前提としています。

FLPMCレジスタを設定手順に従って設定します。

- ・VPPDISビット = 0 (フラッシュ・メモリの書き込み / 消去の許可)
- ・FLSPMビット = 1 (セルフ・プログラミング・モード選択)

PSWのNPビットをクリア(0)します(NMIを許可(アプリケーション上でNMIを使用する場合のみ))。

trap 0x1fを実行して、デバイス内部処理へ制御を移行します。

PSWのNPビット, IDビットをセット (1) します (すべての割り込みを禁止します)。

ペリフェラル・コマンド・レジスタ (PHCMD) にFLPMCレジスタに設定する値を設定します。

FLPMCレジスタを設定手順に従って設定します。

- ・VPPDISビット = 1 (フラッシュ・メモリの書き込み / 消去の禁止)
- ・FLSPMビット = 0 (通常動作モード選択)

内部操作セットアップ時間以上待ちます (16.7.13 (5) 内部操作セットアップ・パラメータ参照)。

#### (1) パラメータ

- r6 : 第1引き数 (セルフ・プログラミング機能番号を設定)
- r7 : 第2引き数
- r8 : 第3引き数
- r9 : 第4引き数
- ep : RAMパラメータの先頭アドレス

#### (2) 返却値

- r10 : 返却値 (4バイトのデバイス内部処理からの返却値を返します)
- ep + 4 : Bit7 : NMIフラグ (デバイス内部処理を実行中にNMIが発生したかを示すフラグ)

0 : デバイス内部処理を実行中にNMIが発生していない。

1 : デバイス内部処理を実行中にNMIが発生した。

デバイス内部処理への遷移中にNMIが発生した場合、NMIの要求が一度も反映されないことがあります。NMIフラグは内部でリセットされないため、デバイス内部処理を呼び出す前にこのビットをクリアしておく必要があります。デバイス内部処理から戻ってきたあとで、このフラグをソフトウェアで判定し、NMIの処理を擬似的に実行することができます。

#### (3) 説明

機能番号で指定したデバイス内部処理へtrap命令により制御を移します。この手順を行う前にハードウェア環境、ソフトウェア環境の条件を満たす必要があります。なお、ユーザ・アプリケーション・プログラムでtrap 0x1fを使用しても、FLPMCレジスタを設定したあとのtrap 0x1fは別の動作として扱われるため、アプリケーション上でtrap命令の使用に関する制限はありません。

## (4) プログラム例

エントリ・プログラムをサブルーチンにした場合のプログラム例を次に示します。この例では戻り番地をスタックに保存してからデバイス内部処理を呼び出しています。このプログラムは、ブロック0空間、およびフラッシュ・メモリ領域以外のメモリに配置する必要があります。

```

ISETUP      130                                -- 内部操作セットアップ・パラメータ
EntryProgram:
    add      -4, sp                            -- Prepare
    st.w     lp, 0[sp]                         -- Save return address
    movea   lo(0x00a0), r0, r10               --
    ldsr    r10, 5                             -- PSW = NP, ID
    mov     lo(0x0002), r10                    --
    st.b    r10, PHCMD[r0]                    -- PHCMD = 2
    st.b    r10, FLPMC[r0]                   -- VPPDIS = 0, FLSPM = 1
    nop
    nop
    nop
    nop
    movea   lo(0x0020), r0, r10               --
    ldsr    r10, 5                             -- PSW = ID
    trap    0x1f                              -- Device Internal Process
    movea   lo(0x00a0), r0, r6               --
    ldsr    r6, 5                             -- PSW = NP, ID
    mov     lo(0x08), r6                      --
    st.b    r6, PHCMD[r0]                    -- PHCMD = 8
    st.b    r6, FLPMC[r0]                   -- VPPDIS = 1, FLSPM = 0
    nop
    nop
    nop
    nop
    mov     ISETUP, lp                        -- loop time = 130
loop:
    divh    r6, r6                            -- To kill time
    add     -1, lp                             -- Decrement counter
    jne     loop                              --
    ld.w   0[sp], lp                          -- Reload lp
    add     4, sp                              -- Dispose
    jmp    [lp]                               -- Return to caller

```

**(5) 内部操作セットアップ・パラメータ**

セルフ・プログラミング・モードから通常動作モードに切り替えた場合、μPD70F3107Aではフラッシュ・メモリにアクセスする前に100 μs間の待ち時間が必要です。(4)プログラム例ではISETUPに「130」(50 MHz動作時)を設定して待ち時間を確保しています。(4)プログラム例での待ち時間の合計実行クロック数は、39クロック (divh命令 (35クロック) + add命令 (1クロック) + jne命令 (3クロック)) になります。次の計算により、100 μs間の待ち時間を確保します。

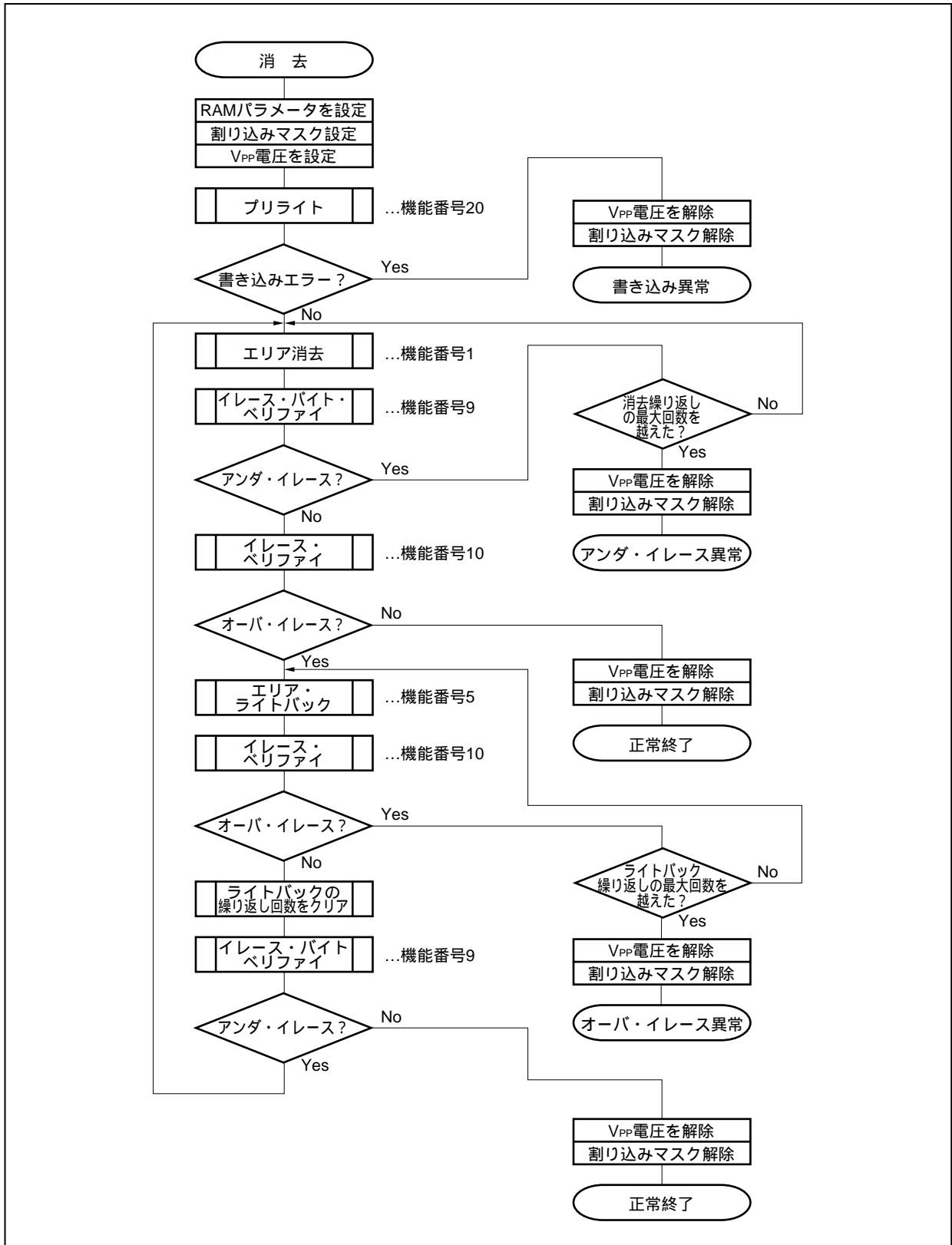
$$39 \text{クロック (合計実行クロック数)} \times 20 \text{ ns (50 MHz動作時)} \times 130 \text{ (ISETUP)} = 101.4 \mu\text{s (待ち時間)}$$



### 16.7.14 フラッシュ・メモリの消去フロー

フラッシュ・メモリを消去する手順を次に示します。それぞれの機能番号の処理は、呼び出し手順に従った処理を行ってください。

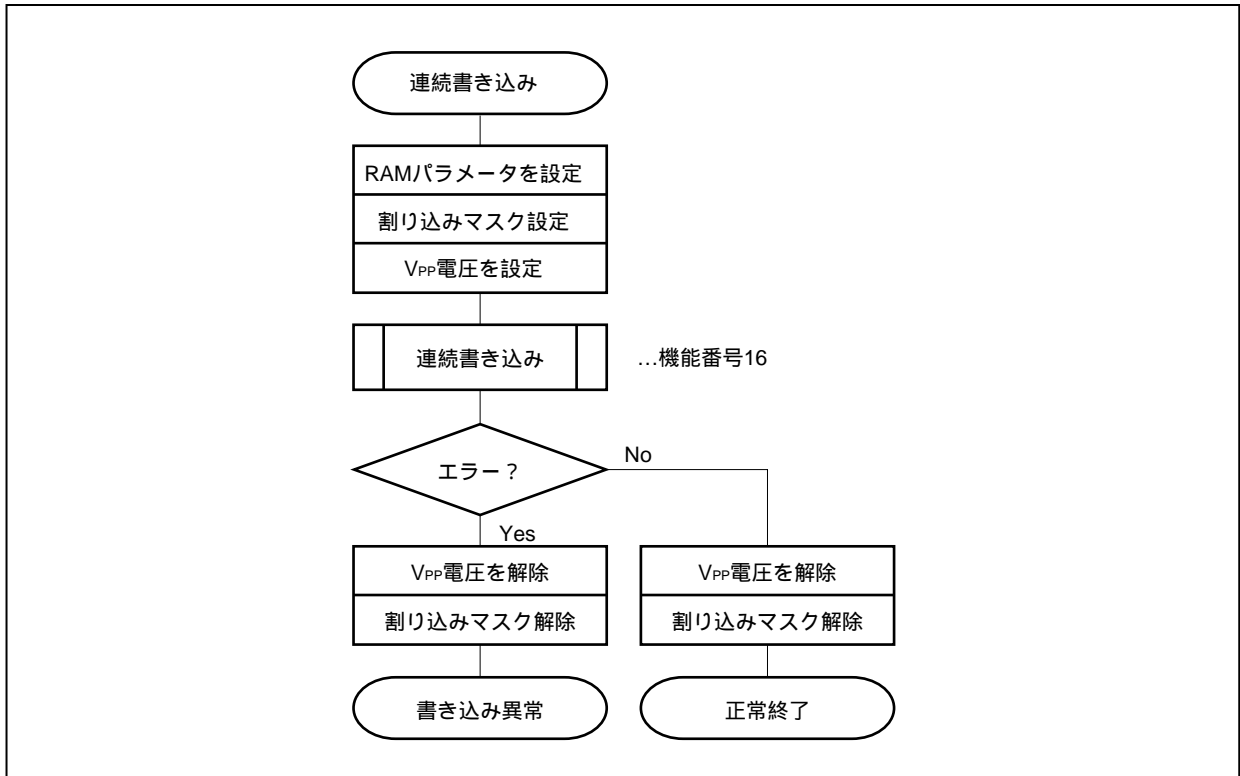
図16-8 フラッシュ・メモリの消去フロー



### 16.7.15 連続書き込みフロー

ワード単位の連続書き込み機能を使用して、一度に書き込む手順を次に示します。それぞれの機能番号の処理は、呼び出し手順に従った処理を行ってください。

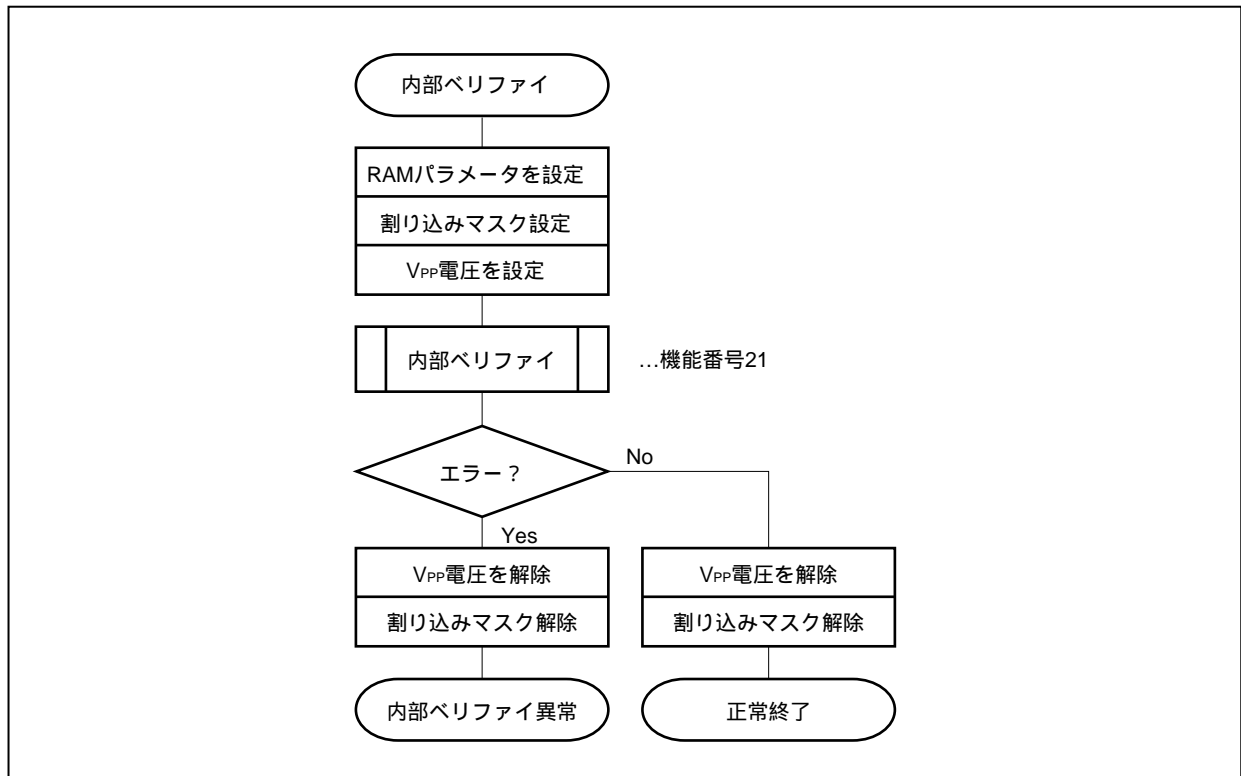
図16-9 連続書き込みフロー



## 16.7.16 内部ベリファイ・フロー

内部ベリファイの手順を次に示します。機能番号の処理は、呼び出し手順に従った処理を行ってください。

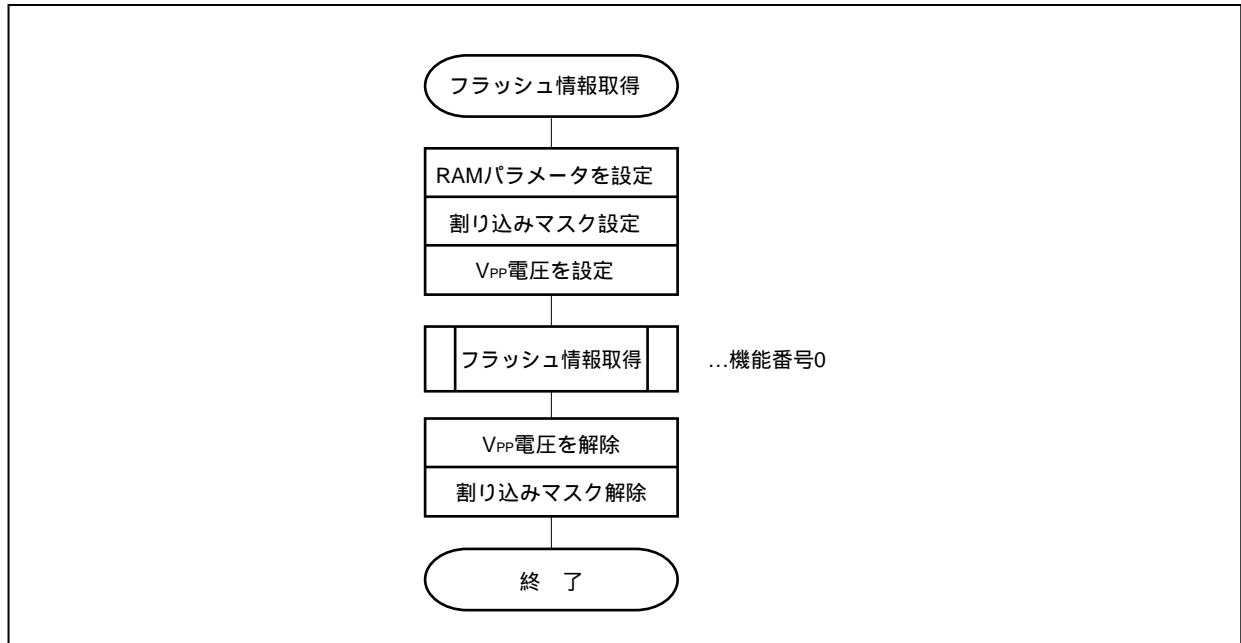
図16 - 10 内部ベリファイ・フロー



## 16.7.17 フラッシュ情報取得フロー

フラッシュ情報取得の手順を次に示します。機能番号の処理は、呼び出し手順に従った処理を行ってください。

図16 - 11 フラッシュ情報取得フロー



### 16.7.18 セルフ・プログラミング・ライブラリ

セルフ・プログラミングを行うための参考資料として、V850シリーズ ユーザーズ・マニュアル フラッシュ・メモリ・セルフ・プログラミング (U15673J) を用意しています。

この資料で記述したライブラリは、V850シリーズが提供するセルフ・プログラミング・インタフェースを利用し、C言語から利用できるユーティリティとしたライブラリで、アプリケーション・プログラムの一部として位置付けられています。ライブラリを使用する際は、アプリケーション・システム上で十分に評価を行ってください。

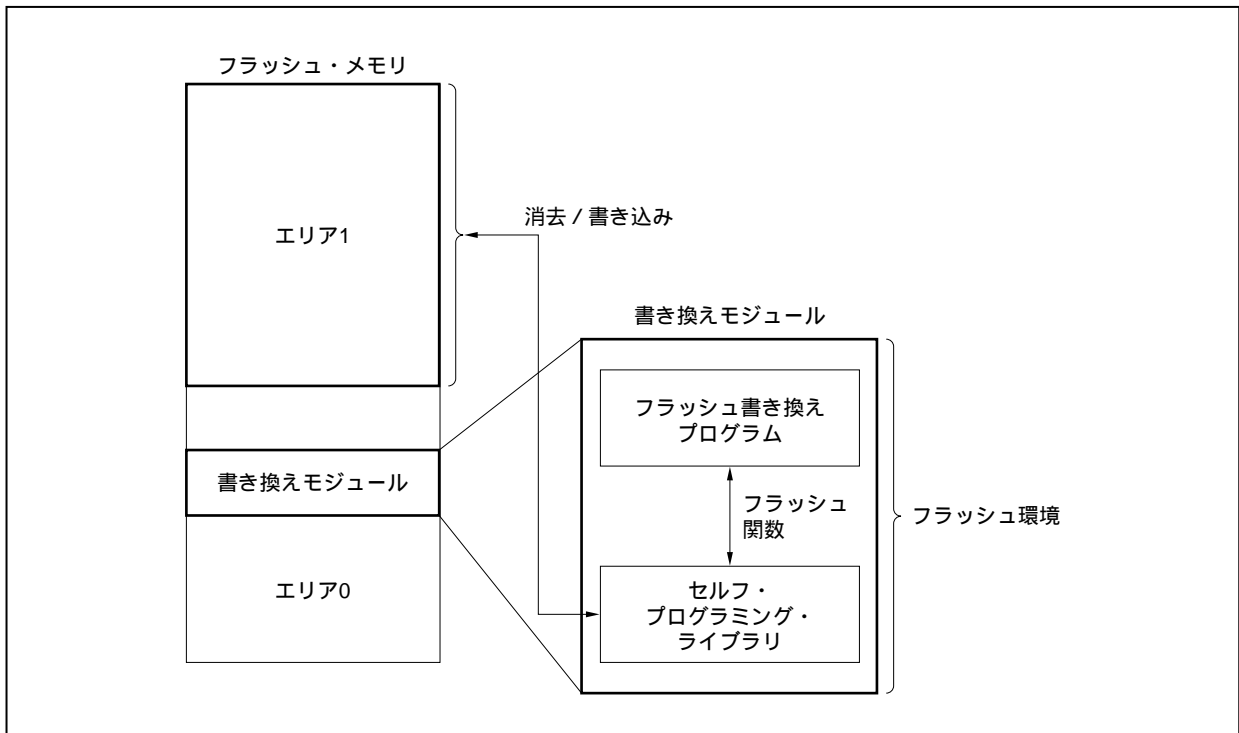
#### (1) 機能概要

セルフ・プログラミング・ライブラリの機能概要を図16 - 12に示します。図16 - 12ではエリア0の領域に書き換えモジュールを配置し、エリア1の領域に対して書き換え / 消去を行う場合を示しています。

書き換えモジュールは、フラッシュ・メモリを書き換えるためのユーザ・プログラムです。このセルフ・プログラミング・ライブラリに含まれるフラッシュ関数を利用して、ほかのエリアを書き換えることができます。また、フラッシュ関数は、外部または内蔵RAMにエントリ・プログラムを展開して、デバイス内部処理を呼び出します

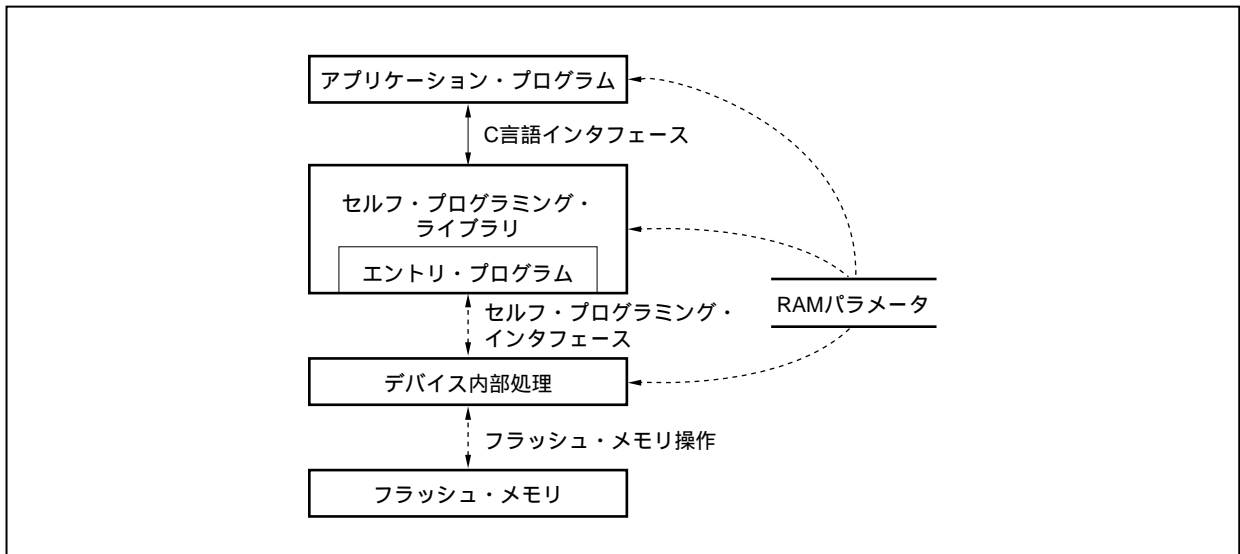
セルフ・プログラミング・ライブラリを使用する際は、書き込み電圧などのハードウェア的な条件と、割り込みなどのソフトウェア的な条件を満たしてください。

図16 - 12 セルフ・プログラミング・ライブラリの機能概要



セルフ・プログラミング・ライブラリの構成概要を次に示します。

図16 - 13 セルフ・プログラミング・ライブラリの構成概要



## 16.8 フラッシュ製品とマスクROM製品の判別方法

フラッシュ製品 (μPD70F3107A) とマスクROM製品 (μPD703105A, 703106A, 703107A) は、次に示す方法によりソフトウェアで判別することができます。

割り込みを禁止します (PSWのNPビットを1に設定)。

ペリフェラル・コマンド・レジスタ (PHCMD) にデータを書き込みます。

フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) のVPPDISビットをセット (1) します。

NOP命令を挿入します (5命令 ( - ) )。

割り込み禁止を解除します (PSWのNPビットを0に戻します)。

フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) のVPPDISビットを読み出します。

- ・読み出した値が0の場合：マスクROM製品 (μPD703105A, 703106A, 703107A)
- ・読み出した値が1の場合：フラッシュ製品 (μPD70F3107A)

```
[ 記述例 ]
LDSR    rX, 5
ST.B    r10, PHCMD[r0]
SET1    3, FLPMC[r0]
NOP
NOP
NOP
NOP
NOP
LDSR    rY, 5
TST1    3, FLPMC[r0]
BNZ                                セルフ・プログラミング・ルーチン先頭アドレス
BR                                書き換えを行わない場合のルーチン
```

**備考** rX：PSWに書き込む値

rY：PSWに書き戻す値

- 注意1.** PHCMD発行 ( ) とその直後の特定レジスタ書き込み ( ) の間で割り込みを受け付けた場合、特定レジスタへの書き込みは行われず、プロテクション・エラー (PHSレジスタのPRERRビット = 1) が発生することがあります。このため、PSWのNPビットを1に設定 ( ) して、割り込みの受け付けを禁止してください。特定レジスタの設定にビット操作命令を使用した場合も同様に割り込みの受け付けを禁止してください。
2. PHCMDレジスタへ書き込むデータはダミーですが、特定レジスタへの設定にストア命令を使用した場合は、特定レジスタの設定使用する汎用レジスタと同じレジスタをPHCMDレジスタ書き込みでも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。
3. DMA転送によるPHCMDレジスタや特定レジスタへの書き込みはしないでください。

## 第17章 電気的特性

### 17.1 通常動作モード

絶対最大定格 (TA = 25 °C)

項目	略号	条件	定格	単位
電源電圧	V <sub>DD</sub>	V <sub>DD</sub> 端子	- 0.5 ~ + 4.6	V
	CV <sub>DD</sub>	CV <sub>DD</sub> 端子	- 0.5 ~ + 4.6	V
	CV <sub>SS</sub>	CV <sub>SS</sub> 端子	- 0.5 ~ + 0.5	V
	AV <sub>DD</sub>	AV <sub>DD</sub> 端子, AV <sub>DD</sub> < V <sub>DD</sub> + 0.5 V	- 0.5 ~ + 4.6	V
	AV <sub>SS</sub>	AV <sub>SS</sub> 端子	- 0.5 ~ + 0.5	V
入力電圧	V <sub>I</sub>	X1端子, P70/ANI0-P77/ANI7端子, MODE2/V <sub>PP</sub> 端子 <sup>注1, 2</sup> を除く, V <sub>I</sub> < V <sub>DD</sub> + 3.0 V	- 0.5 ~ + 6.0	V
		MODE2/V <sub>PP</sub> 端子 <sup>注1, 2</sup>	- 0.5 ~ + 8.5 <sup>注1</sup>	V
クロック入力電圧	V <sub>K</sub>	X1, V <sub>DD</sub> = 3.3 V ± 0.3 V	- 0.5 ~ V <sub>DD</sub> + 1.0	V
ロウ・レベル出力電流	I <sub>OL</sub>	1端子	4.0	mA
		全端子合計	100	mA
ハイ・レベル出力電流	I <sub>OH</sub>	1端子	- 4.0	mA
		全端子合計	- 100	mA
出力電圧	V <sub>O</sub>	V <sub>DD</sub> = 3.3 V ± 0.3 V	- 0.5 ~ V <sub>DD</sub> + 0.5	V
アナログ入力電圧	V <sub>WASN</sub>	P70/ANI0-P77/ANI7端子, V <sub>DD</sub> = 3.3 V ± 0.3 V	- 0.3 ~ AV <sub>DD</sub> + 0.3	V
動作周囲温度	T <sub>A</sub>		- 40 ~ + 85	
保存温度	T <sub>stg</sub>	LQFPパッケージ	- 60 ~ + 150	
		FBGAパッケージ	- 40 ~ + 125	



注1.  $\mu$ PD70F3107A, 70F3107A(A)のみ

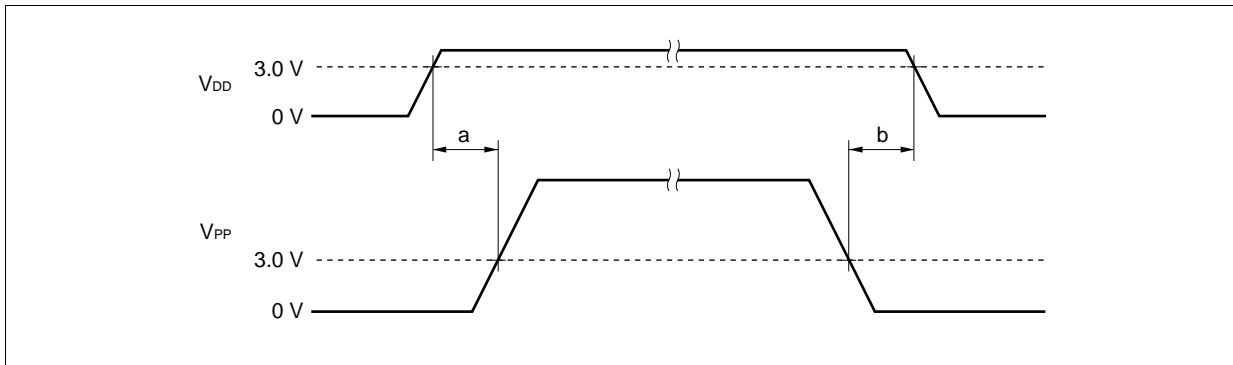
2. フラッシュ・メモリ書き込み時,  $V_{PP}$ の電圧印加タイミングについては, 必ず次の条件を満たしてください。

・電源電圧立ち上がり時

$V_{DD}$ が動作電圧範囲の下限電圧(3.0 V)に達してから10  $\mu$ s以上経過後,  $V_{PP}$ が $V_{DD}$ を越えること(下図のa)。

・電源電圧立ち下がり時

$V_{PP}$ が $V_{DD}$ の動作電圧範囲の下限電圧(3.0 V)を下回ってから10  $\mu$ s以上経過後,  $V_{DD}$ を立ち下げること(下図のb)。



注意1. IC製品の出力(または入出力)端子同士を直結したり,  $V_{DD}$ または $V_{CC}$ やGNDに直結したりしないでください。ただし, オープン・ドレーン端子やオープン・コレクタ端子同士は直結できます。また, ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で, 製品をご使用ください。

DC特性とAC特性に示す規格や条件が, 製品の正常動作, 品質保証の範囲です。

容量 ( $T_A = 25$  ,  $V_{DD} = CV_{DD} = AV_{DD} = V_{SS} = CV_{SS} = AV_{SS} = 0$  V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	$C_i$	$f_c = 1$ MHz			15	pF
入出力容量	$C_{io}$	被測定ピン以外は0 V			15	pF
出力容量	$C_o$				15	pF

動作条件

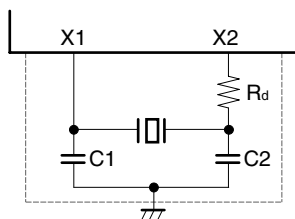
動作モード	内部動作クロック周波数 ( $f_{xx}$ )	動作周囲温度 ( $T_A$ )	電源電圧 ( $V_{DD}$ )
ダイレクト・モード	4 ~ 25 MHz	- 40 ~ + 85	$V_{DD} = 3.3$ V $\pm$ 0.3 V
PLLモード	4 ~ 50 MHz	- 40 ~ + 85	$V_{DD} = 3.3$ V $\pm$ 0.3 V

推奨発振回路

注意  $\mu$ PD70F3107A(A)の発振子選択および発振回路定数については、発振子メーカーに評価を依頼してください。

(a) セラミック発振子

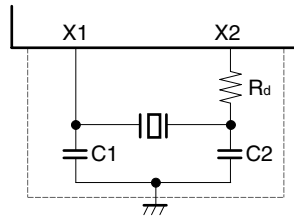
(i) 村田製作所 ( $T_A = -40 \sim +85$  )



タイプ	品名	発振周波数 $f_x$ (MHz)	推奨回路定数			発振電圧範囲		発振安定時間( MAX. ) $T_{OST}$ (ms)
			C1 (pF)	C2 (pF)	$R_d$ (k )	MIN. (V)	MAX. (V)	
表面実装	CSTCR4M00G55-R0	4.0	内蔵	内蔵	0	3.0	3.6	0.07
	CSTCR5M00G55-R0	5.0	内蔵	内蔵	0	3.0	3.6	0.07
	CSTCR6M60G55-R0	6.6	内蔵	内蔵	0	3.0	3.6	0.06

- 注意1. 発振回路はX1, X2端子にできるかぎり近づけてください。
2. 破線の範囲にほかの信号線を通さないでください。
3.  $\mu$ PD703103A, 703105A, 703106A, 703107A, 70F3107Aと発振子のマッチングについては、十分に評価してください。

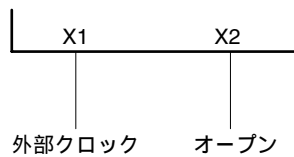
(ii) 京セラ (TA = -20 ~ +80 )



タイプ	品名	発振周波数 fx ( MHz )	推奨回路定数			発振電圧範囲		発振安定時間( MAX. ) ToST( ms )
			C1( pF )	C2( pF )	Rd( k )	MIN.( V )	MAX.( V )	
表面実装	PBRC4.00AR-A	4.0	33	33	0	3.0	3.6	0.11
	PBRC4.00BR-A	4.0	内蔵	内蔵	0	3.0	3.6	0.11
	PBRC5.00AR-A	5.0	33	33	0	3.0	3.6	0.08
	PBRC5.00BR-A	5.0	内蔵	内蔵	0	3.0	3.6	0.08
リード	KBR-4.0MSB	4.0	33	33	0	3.0	3.6	0.11
	KBR-4.0MKC	4.0	内蔵	内蔵	0	3.0	3.6	0.11
	KBR-5.0MSB	5.0	33	33	0	3.0	3.6	0.08
	KBR-5.0MKC	5.0	内蔵	内蔵	0	3.0	3.6	0.08

- 注意1. 発振回路はX1, X2端子にできるかぎり近づけてください。
2. 破線の範囲にほかの信号線を通さないでください。
3.  $\mu$ PD703103A, 703105A, 703106A, 703107A, 70F3107Aと発振子のマッチングについては, 十分に評価してください。

(b) 外部クロック入力 (TA = -40 ~ +85 )



DC特性 (TA = -40 ~ +85 , VDD = CVDD = AVDD = 3.3 V ± 0.3 V, VSS = CVSS = AVSS = 0 V) (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	VIH	注1,注2を除く	2.0		5.5	V
		注1	0.75 VDD		5.5	V
		注2	2.0		AVDD + 0.3	V
ロウ・レベル入力電圧	VIL	注1,注2を除く	-0.5		0.8	V
		注1	-0.5		0.2 VDD	V
		注2	-0.3		0.8	V
ハイ・レベル・クロック入力電圧	VXH	X1端子				
		ダイレクト・モード	0.8 VDD		VDD + 0.3	V
ロウ・レベル・クロック入力電圧	VXL	X1端子				
		ダイレクト・モード	-0.5		0.15 VDD	V
シュミット・トリガ入力スレッショ ールド電圧	VT+	注1, 立ち上がり		2.0		V
		注1, 立ち下がり		1.0		V
シュミット・トリガ入力 ヒステリシス幅	VT+ - VT-	注1	0.3			V
ハイ・レベル出力電圧	VOH	I <sub>OH</sub> = -2.5 mA	0.8 VDD			V
		I <sub>OH</sub> = -100 μA	VDD - 0.4			V
ロウ・レベル出力電圧	VOL	I <sub>OL</sub> = 2.5 mA			0.45	V
ハイ・レベル入力リーク電流	ILIH	Vi = VDD, 注2を除く			10	μA
ロウ・レベル入力リーク電流	ILIL	Vi = 0 V, 注2を除く			-10	μA
ハイ・レベル出力リーク電流	ILOH	Vo = VDD			10	μA
ロウ・レベル出力リーク電流	ILOL	Vo = 0 V			-10	μA
アナログ端子入力リーク電流	ILWASN	注2			±10	μA
VPP電源電圧 <sup>注3</sup>	VPP0	通常動作時	0		0.2 VDD	V

- 注1. P01/TI000/INTP000, P02/INTP001, P04/DMARQ0/INTP100-P07/DMARQ3/INTP103, P11/TI010/INTP010, P12/INTP011, P20/NMI, P21/TI020/INTP020, P22/INTP021, P24/TC0/INTP110-P27/TC3/INTP113, P30/SO2/INTP130, P31/SI2/INTP131, P32/SCK2/INTP132, P33/TXD2/INTP133, P34/RXD2/INTP120, P35/INTP121, P36/INTP122, P37/ADTRG/INTP123, P41/RXD0/SI0, P42/SCK0, P44/RXD1/SI1, P45/SCK1, P50/TI030/INTP030, P51/INTP031, MODE0, MODE1, MODE2/VPP (VPPはμPD70F3107A, 70F3107A(A)のみ), RESET, CKSEL
2. P70/ANI0-P77/ANI7
3. μPD70F3107A, 70F3107A(A)のみ

備考 TYP.値は, TA = 25 , VDD = 3.3 V時の参考値です。

DC特性 (TA = -40 ~ +85 , VDD = CVDD = AVDD = 3.3 V ± 0.3 V, VSS = CVSS = AVSS = 0 V) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電流 (VDD + CVDD)	通常時	ダイレクト・モード	注1		2.6 × fxx + 30	3.9 × fxx + 45	mA
			注2		3.2 × fxx + 30	4.8 × fxx + 45	mA
		PLLモード	注1		2.6 × fxx + 30	3.9 × fxx + 45	mA
			注2		3.2 × fxx + 30	4.8 × fxx + 45	mA
	HALT時	ダイレクト・モード			1.6 × fxx + 20	2.4 × fxx + 30	mA
					1.6 × fxx + 20	2.4 × fxx + 30	mA
	IDLE時	ダイレクト・モード			10	30	mA
					10	30	mA
	STOP時	ダイレクト・モード	-40 < TA < +40		10	60	μA
			40 < TA < 85	注1		250	μA
			注2		600	μA	

注1. μPD703103A, 703105A, 703106A, 703107A

2. μPD70F3107A, 70F3107A(A)

備考1. TYP.値は, TA = 25 , VDD = 3.3 V時の参考値です。電流にはプルアップ抵抗に流れる電流は含みません。

2. fxx : CPU動作周波数

データ保持特性 (TA = -40 ~ +85 )

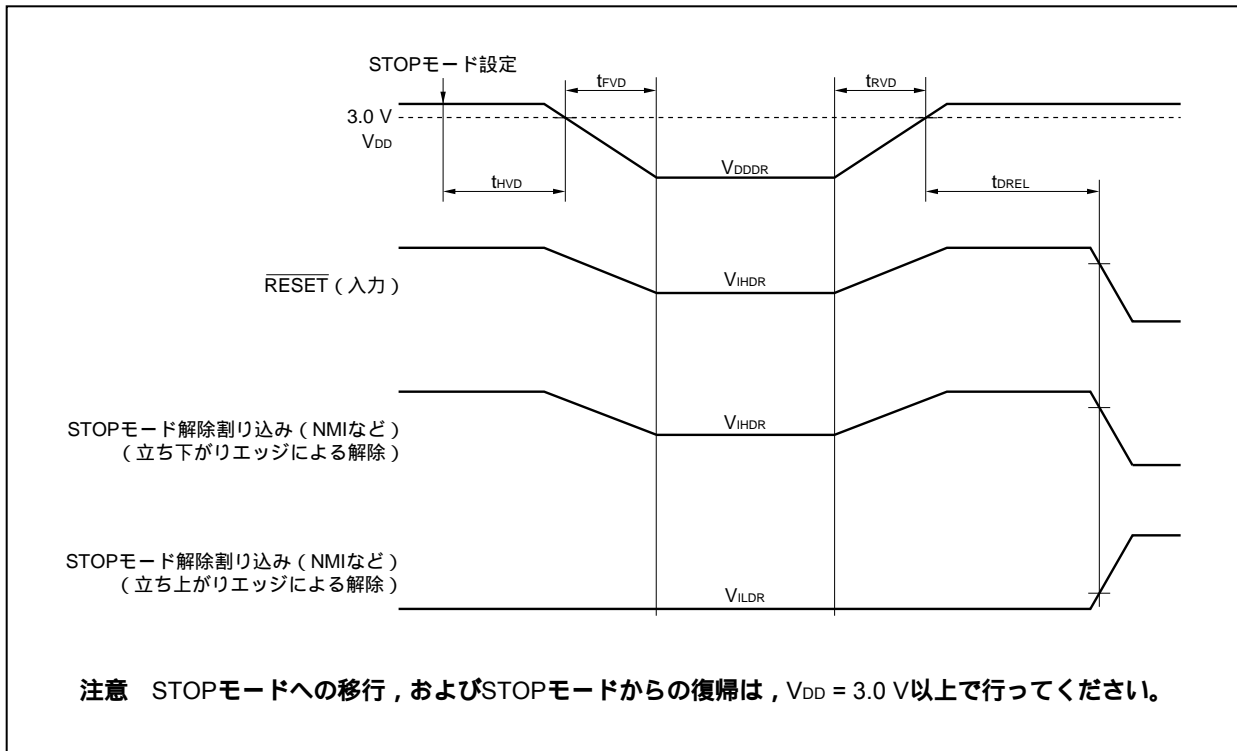
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V <sub>DDDR</sub>	STOPモード, V <sub>DD</sub> = V <sub>DDDR</sub>	1.5		3.6	V
データ保持電流	I <sub>DDDR</sub>	V <sub>DD</sub> = -40 TA +40		10	60	μA
		V <sub>DDDR</sub> 40 < TA 85	注1		250	μA
				注2	600	μA
電源電圧立ち上がり時間	t <sub>RV</sub>		200			μs
電源電圧立ち下がり時間	t <sub>FV</sub>		200			μs
電源電圧保持時間 (対STOPモード設定)	t <sub>HV</sub>		0			ms
STOP解除信号入力時間	t <sub>DREL</sub>		0			ns
データ保持ハイ・レベル入力電圧	V <sub>IHDR</sub>	注3	0.8 V <sub>DDDR</sub>		V <sub>DDDR</sub>	V
データ保持ロウ・レベル入力電圧	V <sub>ILDR</sub>	注3	-0.5		0.2 V <sub>DDDR</sub>	V

注1. μPD703103A, 703105A, 703106A, 703107A

2. μPD70F3107A, 70F3107A(A)

3. P01/TI000/INTP000, P02/INTP001, P04/DMARQ0/INTP100-P07/DMARQ3/INTP103, P11/TI010/INTP010, P12/INTP011, P20/NMI, P21/TI020/INTP020, P22/INTP021, P24/TC0/INTP110-P27/TC3/INTP113, P30/SO2/INTP130, P31/SI2/INTP131, P32/SCK2/INTP132, P33/TXD2/INTP133, P34/RXD2/INTP120, P35/INTP121, P36/INTP122, P37/ADTRG/INTP123, P41/RXD0/SI0, P42/SCK0, P44/RXD1/SI1, P45/SCK1, P50/TI030/INTP030, P51/INTP031, MODE0, MODE1, MODE2/V<sub>PP</sub> (V<sub>PP</sub>はμPD70F3107A, 70F3107A(A)のみ), RESET, CKSEL

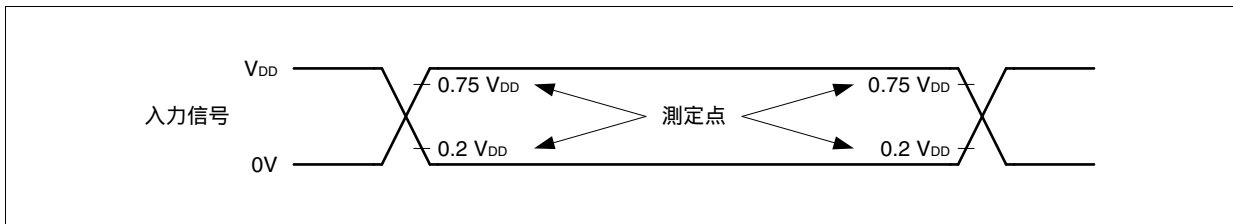
備考 TYP.値は, TA = 25 の参考値です。



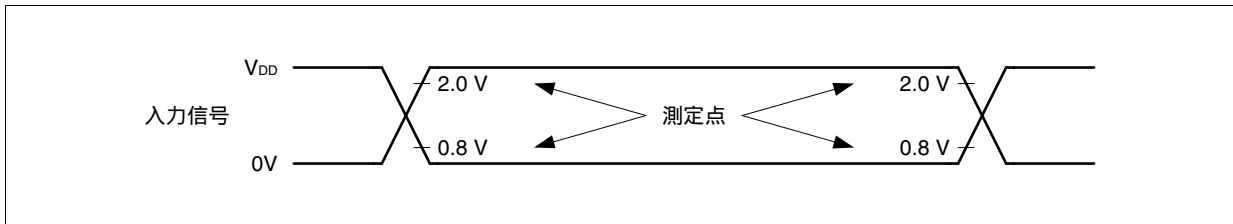
AC特性 ( $T_A = -40 \sim +85$  ,  $V_{DD} = CV_{DD} = AV_{DD} = 3.3 \text{ V} \pm 0.3 \text{ V}$  ,  $V_{SS} = CV_{SS} = AV_{SS} = 0 \text{ V}$  , 出力端子の負荷容量 :  $C_L = 50 \text{ pF}$  )

ACテスト入力測定点

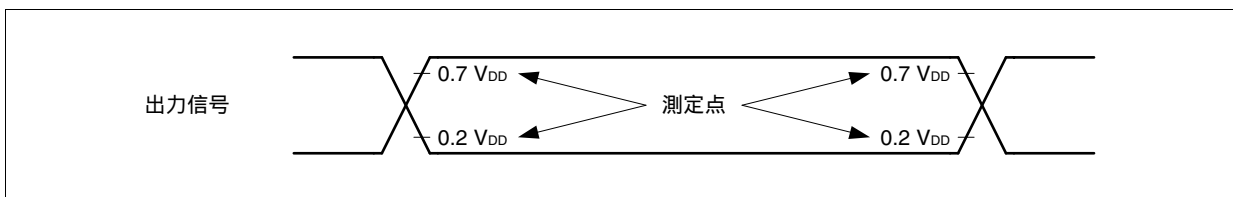
- ( a ) P01/TI000/INTP000, P02/INTP001, P04/ $\overline{\text{DMARQ0}}$ /INTP100-P07/ $\overline{\text{DMARQ3}}$ /INTP103, P11/TI010/INTP010, P12/INTP011, P20/NMI, P21/TI020/INTP020, P22/INTP021, P24/ $\overline{\text{TC0}}$ /INTP110-P27/ $\overline{\text{TC3}}$ /INTP113, P30/ $\overline{\text{SO2}}$ /INTP130, P31/ $\overline{\text{SI2}}$ /INTP131, P32/ $\overline{\text{SCK2}}$ /INTP132, P33/ $\overline{\text{TXD2}}$ /INTP133, P34/ $\overline{\text{RXD2}}$ /INTP120, P35/INTP121, P36/INTP122, P37/ $\overline{\text{ADTRG}}$ /INTP123, P41/ $\overline{\text{RXD0}}$ /SI0, P42/ $\overline{\text{SCK0}}$ , P44/ $\overline{\text{RXD1}}$ /SI1, P45/ $\overline{\text{SCK1}}$ , P50/TI030/INTP030, P51/INTP031, MODE0, MODE1, MODE2/ $V_{PP}$  ( $V_{PP}$ は $\mu\text{PD70F3107A}$ ,  $70\text{F3107A(A)}$ のみ) ,  $\overline{\text{RESET}}$ ,  $\overline{\text{CKSEL}}$



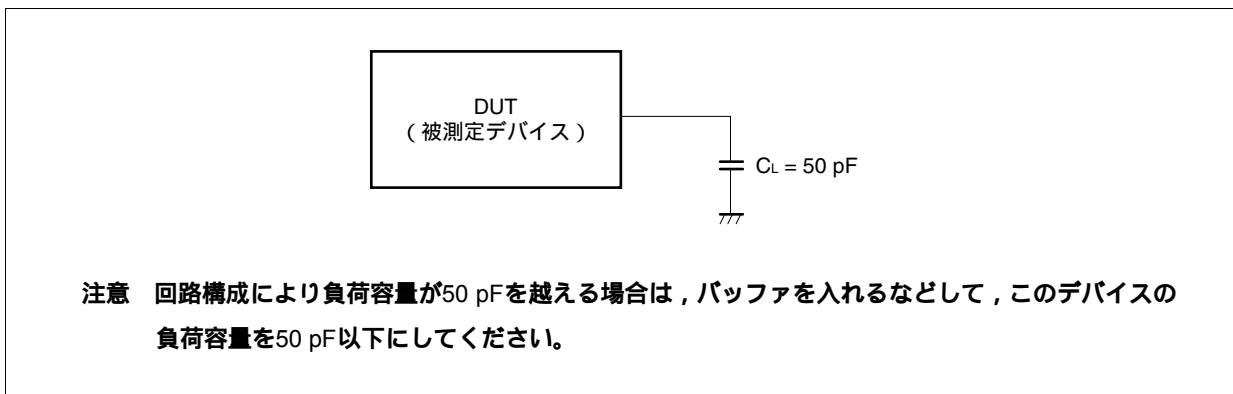
( b ) 上記 ( a ) 以外



ACテスト出力測定点



負荷条件



(1) クロック・タイミング (1/2)

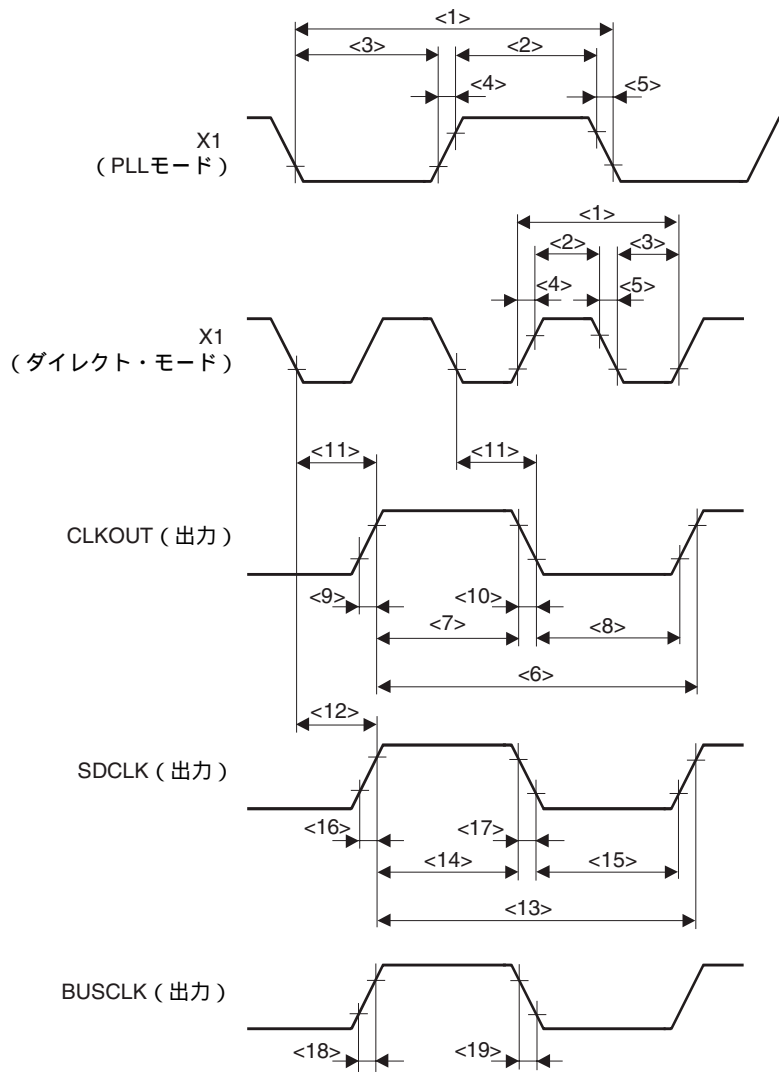
項目	略号	条件	MIN.	MAX.	単位		
X1入力周期	<1>	t <sub>CYX</sub>	ダイレクト・モード時	20	125	ns	
			PLLモード時	10逓倍時	200	250	ns
				10逓倍以外	150	250	ns
X1入力ハイ・レベル幅	<2>	t <sub>WXH</sub>	ダイレクト・モード時	5		ns	
			PLLモード時	50		ns	
X1入力ロウ・レベル幅	<3>	t <sub>WXL</sub>	ダイレクト・モード時	5		ns	
			PLLモード時	50		ns	
X1入力立ち上がり時間	<4>	t <sub>XR</sub>	ダイレクト・モード時		4	ns	
			PLLモード時		10	ns	
X1入力立ち下がり時間	<5>	t <sub>XF</sub>	ダイレクト・モード時		4	ns	
			PLLモード時		10	ns	
CLKOUT出力周期	<6>	t <sub>CYK1</sub>	20	250	ns		
CLKOUTハイ・レベル幅	<7>	t <sub>WKH1</sub>	0.5T - 5		ns		
CLKOUTロウ・レベル幅	<8>	t <sub>WKL1</sub>	0.5T - 6		ns		
CLKOUT立ち上がり時間	<9>	t <sub>KR1</sub>		5	ns		
CLKOUT立ち下がり時間	<10>	t <sub>KF1</sub>		4	ns		
X1 CLKOUT遅延時間	<11>	t <sub>DKX</sub>		40	ns		
X1 SDCLK遅延時間	<12>	t <sub>DSX</sub>		40	ns		
SDCLK出力周期	<13>	t <sub>CYK2</sub>	20	250	ns		
SDCLKハイ・レベル幅	<14>	t <sub>WKH2</sub>	0.5T - 5		ns		
SDCLKロウ・レベル幅	<15>	t <sub>WKL2</sub>	0.5T - 6		ns		
SDCLK立ち上がり時間	<16>	t <sub>KR2</sub>		5	ns		
SDCLK立ち下がり時間	<17>	t <sub>KF2</sub>		4	ns		
BUSCLK立ち上がり時間	<18>	t <sub>KR3</sub>		5	ns		
BUSCLK立ち下がり時間	<19>	t <sub>KF3</sub>		4	ns		

備考1. T = t<sub>CYX</sub>

2. CLKOUTとSDCLK, およびCLKOUTとBUSCLK間の位相差は規定できません。



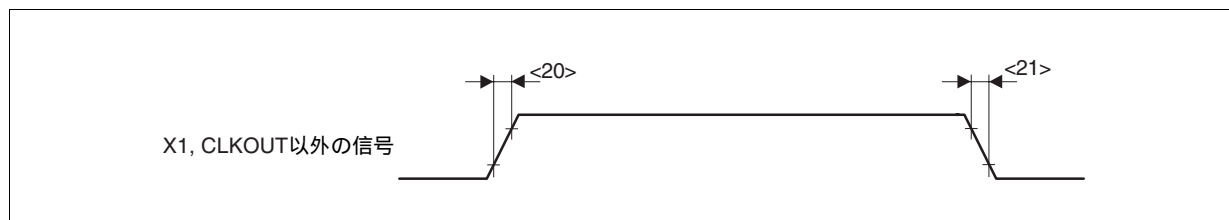
(1) クロック・タイミング (2/2)



**備考** BUSCLKの周期は、バス・サイクルによって異なります。

(2) 出力波形 (X1, CLKOUT以外)

項目	略号	条件	MIN.	MAX.	単位
出力立ち上がり時間	<20> t <sub>OR</sub>			5	ns
出力立ち下がり時間	<21> t <sub>OF</sub>			4	ns

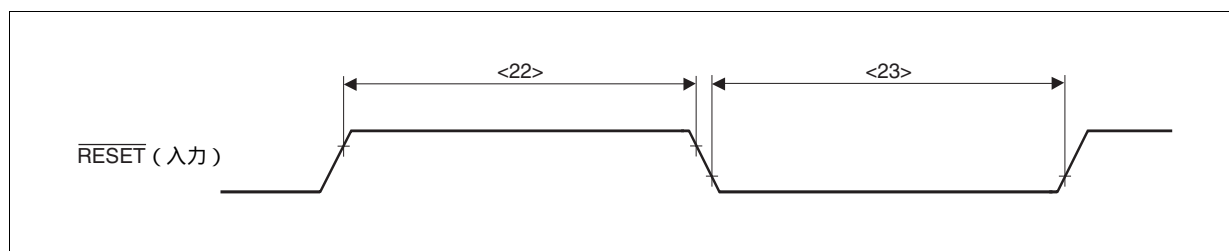


(3) リセット・タイミング

項目	略号	条件	MIN.	MAX.	単位
RESET端子ハイ・レベル幅	<22> t <sub>WRSH</sub>		500		ns
RESET端子ロウ・レベル幅	<23> t <sub>WRSL</sub>	電源オン時, STOPモード解除時	500 + T <sub>OST</sub>		ns
		電源オン時, STOPモード解除時を除く	500		ns

備考 T<sub>OST</sub> : 発振安定時間

注意 発振安定時間については, 十分に評価してください。



(4) SRAM, 外部ROM, 外部I/Oアクセス・タイミング [BCPレジスタのBCPビット = 0時]

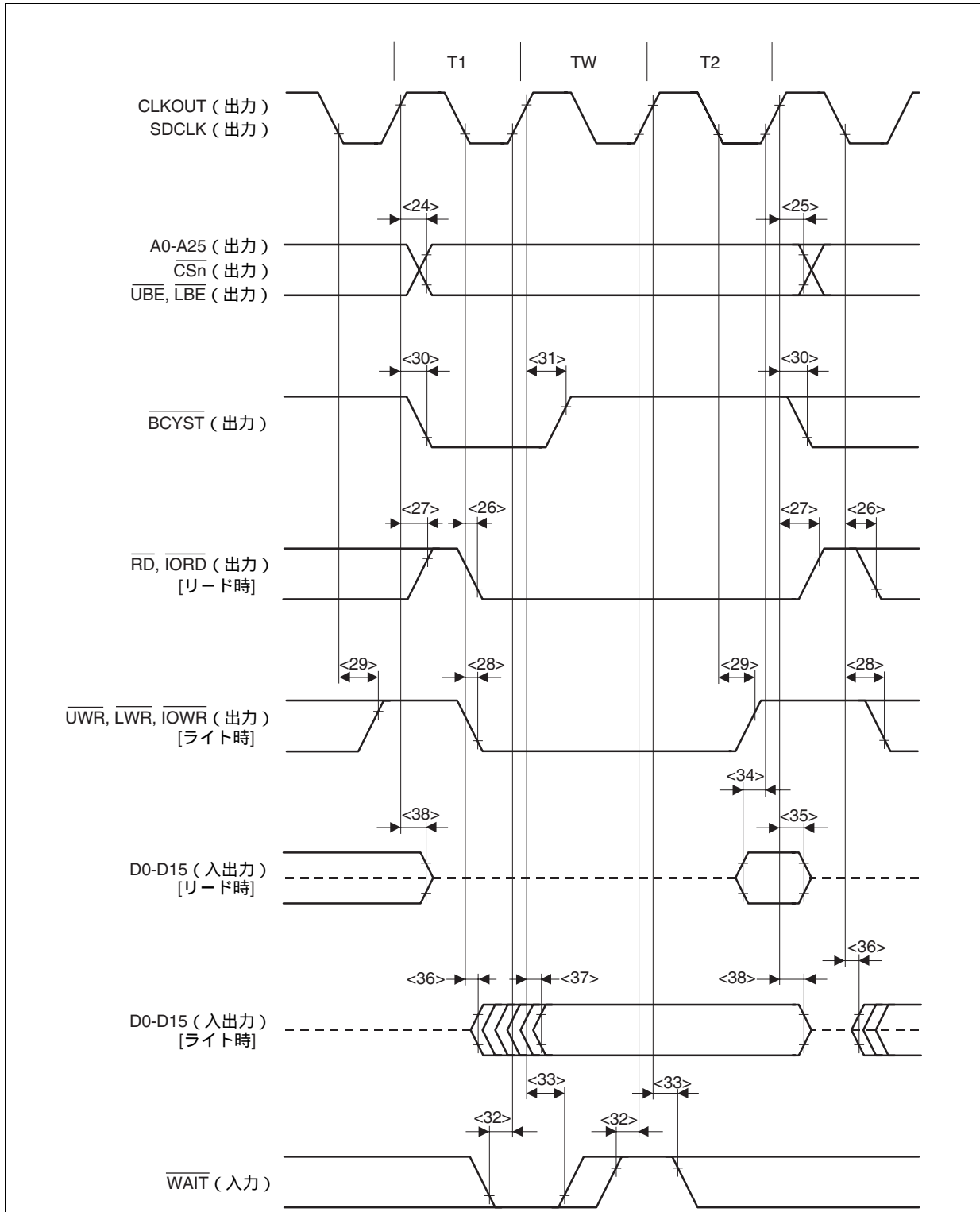
(a) アクセス・タイミング (SRAM, 外部ROM, 外部I/O) (1/2)

項目	略号	条件	MIN.	MAX.	単位
アドレス, $\overline{CSn}$ 出力遅延時間 (対CLKOUT )	<24>	$t_{DKA1}$	2	13	ns
アドレス, $\overline{CSn}$ 出力遅延時間 (対SDCLK )			0	13	ns
アドレス, $\overline{CSn}$ 出力保持時間 (対CLKOUT )	<25>	$t_{HKA}$	2	13	ns
アドレス, $\overline{CSn}$ 出力保持時間 (対SDCLK )			0	13	ns
RD, $\overline{IORD}$ 遅延時間 (対CLKOUT )	<26>	$t_{DKRDL}$	2	13	ns
RD, $\overline{IORD}$ 遅延時間 (対SDCLK )			0	13	ns
RD, $\overline{IORD}$ 遅延時間 (対CLKOUT )	<27>	$t_{HKRDH}$	2	13	ns
RD, $\overline{IORD}$ 遅延時間 (対SDCLK )			0	13	ns
UWR, $\overline{LWR}$ , $\overline{IOWR}$ 遅延時間 (対CLKOUT )	<28>	$t_{DKWRL}$	2	13	ns
UWR, $\overline{LWR}$ , $\overline{IOWR}$ 遅延時間 (対SDCLK )			0	13	ns
UWR, $\overline{LWR}$ , $\overline{IOWR}$ 遅延時間 (対CLKOUT )	<29>	$t_{HKWRH}$	2	13	ns
UWR, $\overline{LWR}$ , $\overline{IOWR}$ 遅延時間 (対SDCLK )			0	13	ns
BCYST 遅延時間 (対CLKOUT )	<30>	$t_{DKBSL}$	2	13	ns
BCYST 遅延時間 (対SDCLK )			0	13	ns
BCYST 遅延時間 (対CLKOUT )	<31>	$t_{HKBSH}$	2	13	ns
BCYST 遅延時間 (対SDCLK )			0	13	ns
WAIT設定時間 (対CLKOUT )	<32>	$t_{SWK}$	8		ns
WAIT設定時間 (対SDCLK )			10		ns
WAIT保持時間 (対CLKOUT )	<33>	$t_{HKW}$	2		ns
WAIT保持時間 (対SDCLK )			2		ns
データ入力設定時間 (対CLKOUT )	<34>	$t_{SKID}$	8		ns
データ入力設定時間 (対SDCLK )			10		ns
データ入力保持時間 (対CLKOUT )	<35>	$t_{HKID}$	2		ns
データ入力保持時間 (対SDCLK )			2		ns
データ出力遅延時間 (対CLKOUT )	<36>	$t_{DKOD1}$	2	13	ns
データ出力遅延時間 (対SDCLK )			0	13	ns
データ出力遅延時間 (対CLKOUT )	<37>	$t_{DKOD2}$	2	13	ns
データ出力遅延時間 (対SDCLK )			0	13	ns
データ・フロート遅延時間 (対CLKOUT )	<38>	$t_{HKOD}$	2	13	ns
データ・フロート遅延時間 (対SDCLK )			0	13	ns

備考1. データ入力保持時間 $t_{HRDID}$ ,  $t_{HKID}$ は, 少なくともどちらか1つを守ってください。

2. n = 0-7

(a) アクセス・タイミング (SRAM, 外部ROM, 外部I/O) (2/2)



- 備考1. DWC0, DWC1レジスタによるウェイト数が0の場合のタイミングです。  
 2. 破線はハイ・インピーダンスを示します。  
 3. n = 0-7

(b) リード・タイミング (SRAM, 外部ROM, 外部I/O) (1/2)

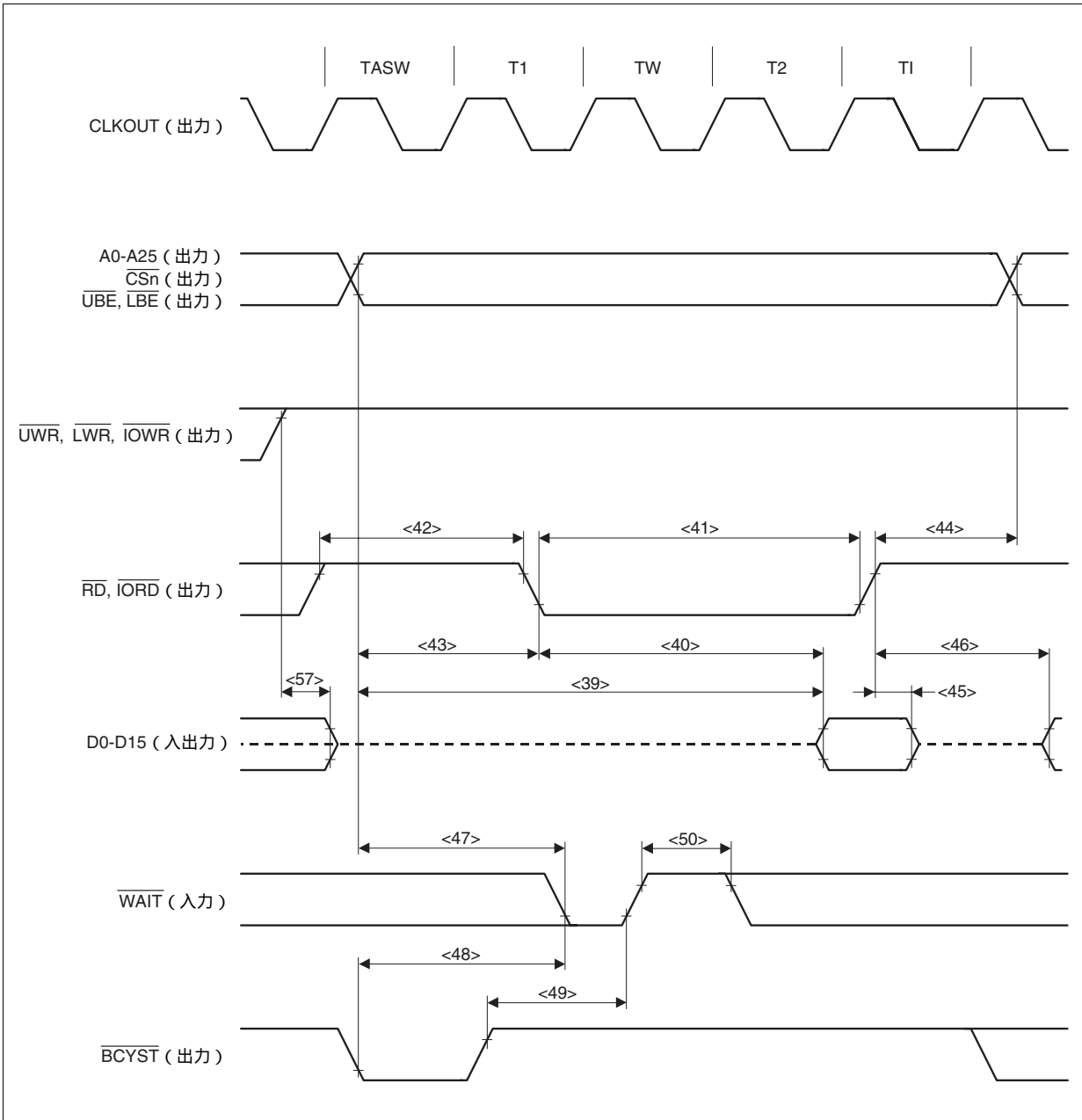
項目	略号	条件	MIN.	MAX.	単位
データ入力設定時間 (対アドレス)	<39>	tSAID		$(2 + w + w_D + w_{AS})T - 19$	ns
データ入力設定時間 (対RD)	<40>	tSRDID		$(1.5 + w + w_D)T - 19$	ns
RD, IORDロウ・レベル幅	<41>	tWRDL	$(1.5 + w + w_D)T - 10$		ns
RD, IORDハイ・レベル幅	<42>	tWRDH	$(0.5 + w_{AS} + i)T - 10$		ns
アドレス, CS <sub>n</sub> RD, IORD 遅延時間	<43>	tDARD	$(0.5 + w_{AS})T - 10$		ns
RD, IORD アドレス遅延時間	<44>	tDRDA	iT		ns
データ入力保持時間 (対RD, IORD)	<45>	tHRDID	0		ns
RD, IORD データ出力遅延時間	<46>	tDRDOD	$(0.5 + i)T - 10$		ns
WAIT設定時間 (対アドレス)	<47>	tSAW	注	$(1 + w_{AS})T - 21$	ns
WAIT設定時間 (対BCYST)	<48>	tSBSW	注	$(1 + w_{AS})T - 21$	ns
WAIT保持時間 (対BCYST)	<49>	tHBSW	注	T - 10	ns
WAITハイ・レベル幅	<50>	tWWH		T - 10	ns
データ出力保持時間 (対UWR, LWR, IOWR)	<57>	tHWROD		$(0.5 + i)T - 8$	ns

注 DWC0, DWC1レジスタによるウェイト数が0のときの, 最初のWAITサンプリング時。

備考1. T = t<sub>cyk</sub>

2. w : WAITによるウェイト数
3. w<sub>D</sub> : DWC0, DWC1レジスタによるウェイト数
4. データ入力保持時間t<sub>HRDID</sub>, t<sub>HKID</sub>は, 少なくともどちらか1つを守ってください。
5. n = 0-7
6. i : アイドル・ステート数
7. w<sub>AS</sub> : ASCレジスタによるアドレス・セットアップ・ウェイト数
8. wとw<sub>D</sub>の挿入数の考え方については, 4. 6. 3 プログラマブル・ウェイトと外部ウェイトの関係を参照してください。

(b) リード・タイミング (SRAM, 外部ROM, 外部I/O) (2/2)



- 備考1.** DWC0, DWC1レジスタによるウェイト数が0, BCCレジスタによるアイドル・ステート数が1, ASCレジスタによるウェイト数が1の場合のタイミングです。
2. 破線はハイ・インピーダンスを示します。
  3. n = 0-7

(c) ライト・タイミング (SRAM, 外部ROM, 外部I/O) (1/2)

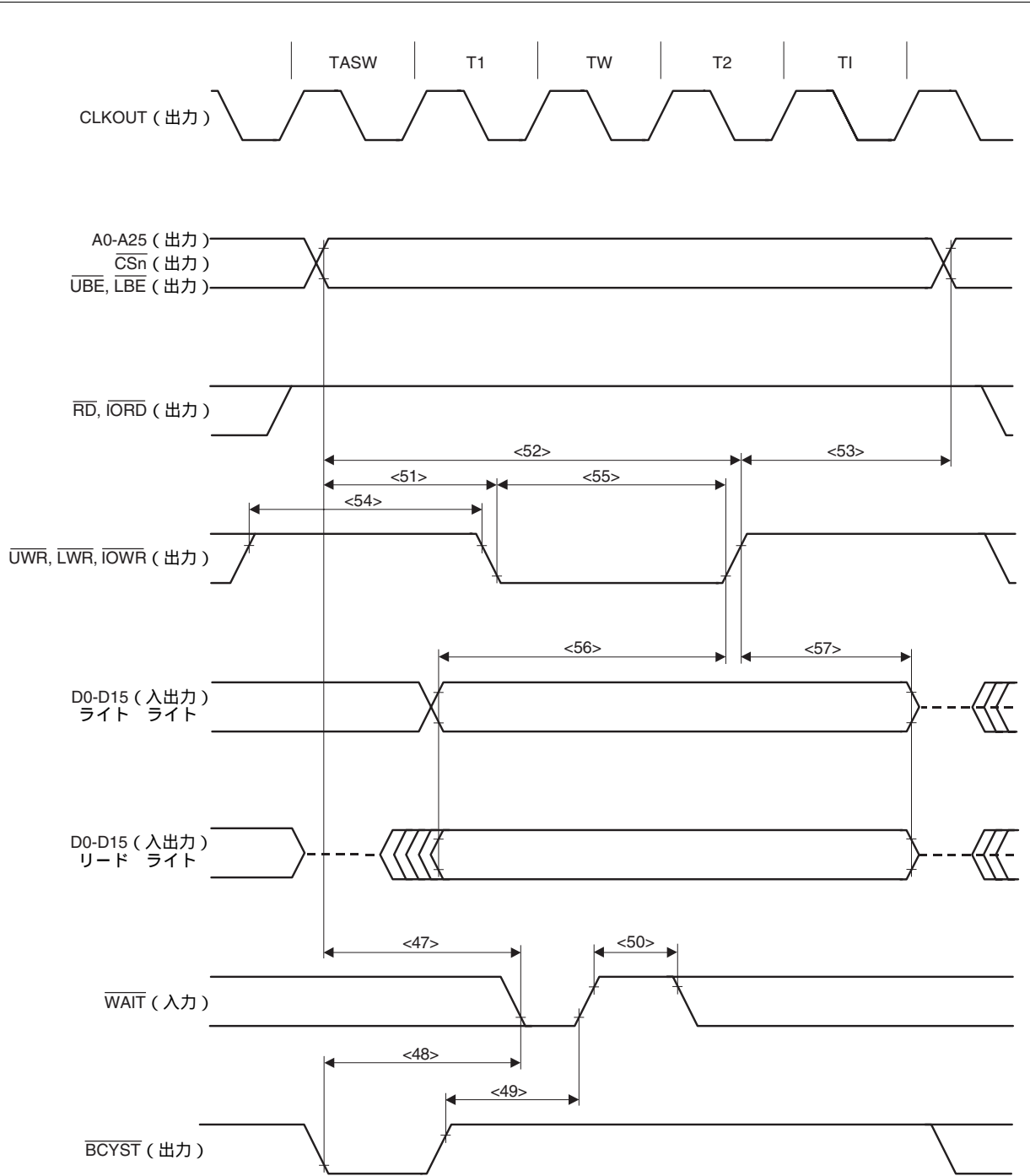
項目	略号	条件	MIN.	MAX.	単位
WAIT設定時間 (対アドレス)	<47> t <sub>SAW</sub>	注		(1 + W <sub>AS</sub> )T - 21	ns
WAIT設定時間 (対BCYST)	<48> t <sub>SBSW</sub>	注		(1 + W <sub>AS</sub> )T - 21	ns
WAIT保持時間 (対BCYST)	<49> t <sub>HBSW</sub>	注	T - 10		ns
WAITハイ・レベル幅	<50> t <sub>WWH</sub>		T - 10		ns
アドレス, CS <sub>n</sub> UWR, LWR, IOWR 遅延時間	<51> t <sub>DAWR</sub>		(0.5 + W <sub>AS</sub> )T - 10		ns
アドレス設定時間 (対UWR, LWR, IOWR)	<52> t <sub>SAWR</sub>		(1.5 + w + w <sub>D</sub> + W <sub>AS</sub> )T - 10		ns
UWR, LWR, IOWR アドレス 遅延時間	<53> t <sub>DWRA</sub>		(0.5 + i)T - 10		ns
UWR, LWR, IOWRハイ・レベル幅	<54> t <sub>WWRH</sub>		(0.5 + i + W <sub>AS</sub> )T - 10		ns
UWR, LWR, IOWRロウ・レベル幅	<55> t <sub>WWRL</sub>		(1 + w + w <sub>D</sub> )T - 10		ns
データ出力設定時間 (対UWR, LWR, IOWR)	<56> t <sub>SODWR</sub>		(0.5 + w + w <sub>D</sub> )T - 10		ns
データ出力保持時間 (対UWR, LWR, IOWR)	<57> t <sub>HWROD</sub>		(0.5 + i)T - 8		ns

注 DWC0, DWC1レジスタによるウェイト数が0のときの, 最初のWAITサンプリング時。

備考1. T = t<sub>cyk</sub>

2. w : WAITによるウェイト数
3. w<sub>D</sub> : DWC0, DWC1レジスタによるウェイト数
4. n = 0-7
5. i : アイドル・ステート数
6. W<sub>AS</sub> : ASCレジスタによるアドレス・セットアップ・ウェイト数
7. wとw<sub>D</sub>の挿入数の考え方については, 4. 6. 3 プログラマブル・ウェイトと外部ウェイトの関係を参照してください。

(c) ライト・タイミング (SRAM, 外部ROM, 外部I/O) (2/2)



備考1. DWC0, DWC1レジスタによるウェイト数が0, BCCレジスタによるアイドル・ステート数が1, ASCレジスタによるウェイト数が1の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。
3.  $n = 0-7$



## (d) DMAフライバイ転送タイミング (SRAM 外部I/O転送) (1/2)

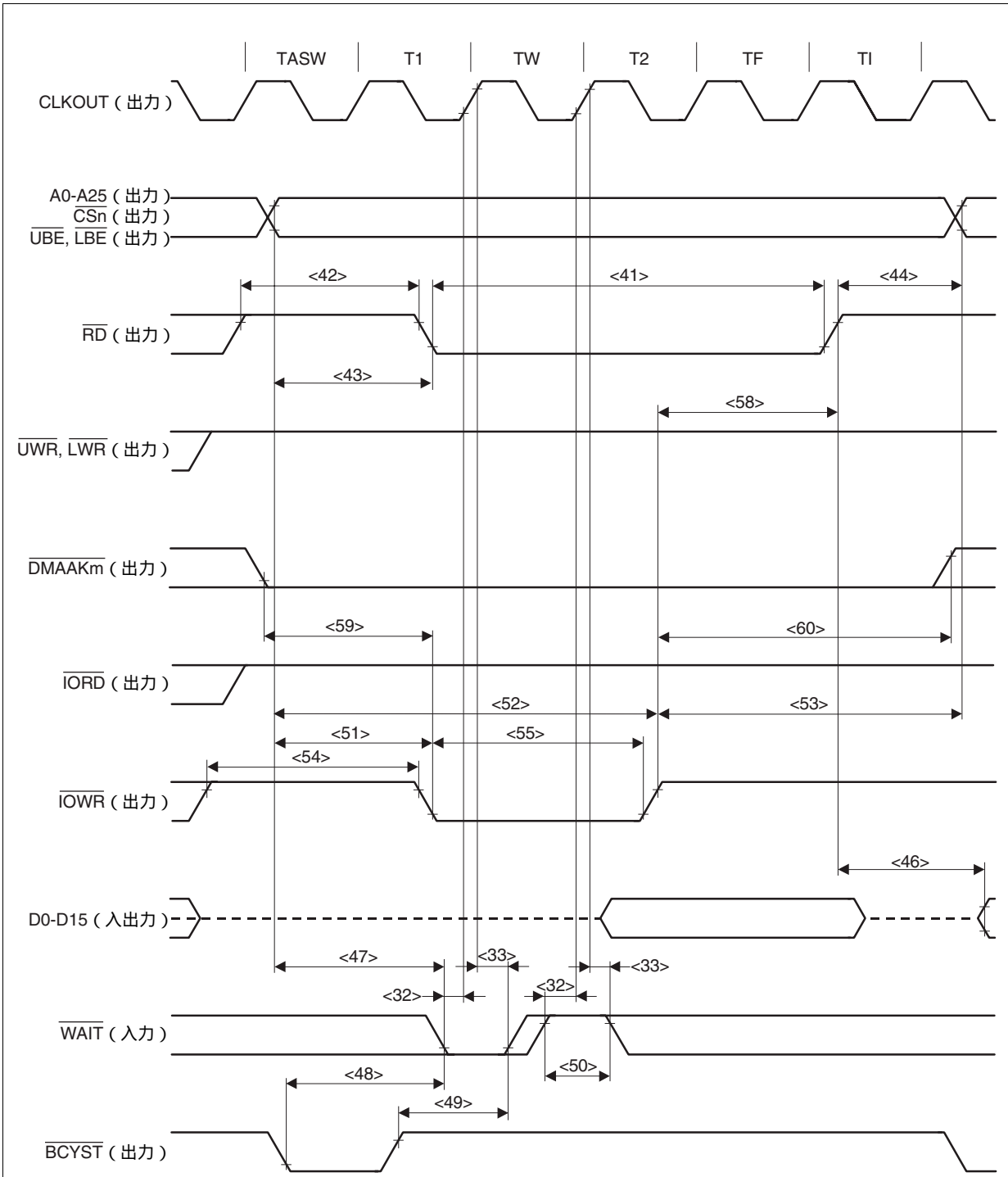
項目	略号	条件	MIN.	MAX.	単位
$\overline{\text{WAIT}}$ 設定時間 (対CLKOUT)	<32>	t <sub>SWK</sub>	8		ns
$\overline{\text{WAIT}}$ 保持時間 (対CLKOUT)	<33>	t <sub>HKW</sub>	0		ns
$\overline{\text{RD}}$ ロウ・レベル幅	<41>	t <sub>WRDL</sub>	$(1.5 + w + w_D)T - 10$		ns
$\overline{\text{RD}}$ ハイ・レベル幅	<42>	t <sub>WRDH</sub>	$(0.5 + w_{AS} + i)T - 10$		ns
アドレス, $\overline{\text{CSn}}$ $\overline{\text{RD}}$ 遅延時間	<43>	t <sub>DARD</sub>	$(0.5 + w_{AS})T - 10$		ns
$\overline{\text{RD}}$ アドレス遅延時間	<44>	t <sub>DRDA</sub>	iT		ns
$\overline{\text{RD}}$ データ出力遅延時間	<46>	t <sub>DRDOD</sub>	$(0.5 + i)T - 10$		ns
$\overline{\text{WAIT}}$ 設定時間 (対アドレス)	<47>	t <sub>SAW</sub>	注	$(1 + w_{AS})T - 21$	ns
$\overline{\text{WAIT}}$ 設定時間 (対BCYST)	<48>	t <sub>SBSW</sub>	注	$(1 + w_{AS})T - 21$	ns
$\overline{\text{WAIT}}$ 保持時間 (対BCYST)	<49>	t <sub>HBSW</sub>	注	T - 10	ns
$\overline{\text{WAIT}}$ ハイ・レベル幅	<50>	t <sub>WWH</sub>		T - 10	ns
アドレス $\overline{\text{IOWR}}$ 遅延時間	<51>	t <sub>DAWR</sub>	$(0.5 + w_{AS})T - 10$		ns
アドレス設定時間 (対 $\overline{\text{IOWR}}$ )	<52>	t <sub>SAWR</sub>	$(1.5 + w + w_D + w_{AS})T - 10$		ns
$\overline{\text{IOWR}}$ アドレス遅延時間	<53>	t <sub>DWRA</sub>	$(1.5 + i)T - 10$		ns
$\overline{\text{IOWR}}$ ハイ・レベル幅	<54>	t <sub>WWRH</sub>	$(0.5 + i + w_{AS})T - 10$		ns
$\overline{\text{IOWR}}$ ロウ・レベル幅	<55>	t <sub>WWRL</sub>	$(1 + w + w_D)T - 10$		ns
$\overline{\text{IOWR}}$ $\overline{\text{RD}}$ 遅延時間	<58>	t <sub>DIWRRD</sub>	1.5T - 10		ns
DMAAKm $\overline{\text{IOWR}}$ 遅延時間	<59>	t <sub>DDAWR</sub>	$(0.5 + w_{AS})T - 10$		ns
$\overline{\text{IOWR}}$ DMAAKm 遅延時間	<60>	t <sub>DWRDA</sub>	$(1.5 + i)T - 10$		ns

注 DWC0, DWC1レジスタによるウェイト数が0のときの, 最初のWAITサンプリング時。

備考1. T = t<sub>cyk</sub>

2. w :  $\overline{\text{WAIT}}$ によるウェイト数
3. w<sub>D</sub> : DWC0, DWC1レジスタによるウェイト数
4. n = 0-7, m = 0-3
5. i : アイドル・ステート数
6. w<sub>AS</sub> : ASCレジスタによるアドレス・セットアップ・ウェイト数
7. wとw<sub>D</sub>の挿入数の考え方については, 4. 6. 3 プログラマブル・ウェイトと外部ウェイトの関係を参照してください。

(d) DMAフライバイ転送タイミング (SRAM 外部I/O転送) (2/2)



備考1. DWC0, DWC1レジスタによるウェイト数が0, BCCレジスタによるアイドル・ステート数が1, ASCレジスタによるウェイト数が1の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

3. n = 0-7, m = 0-3

## (e) DMAフライバイ転送タイミング (外部I/O SRAM転送) (1/2)

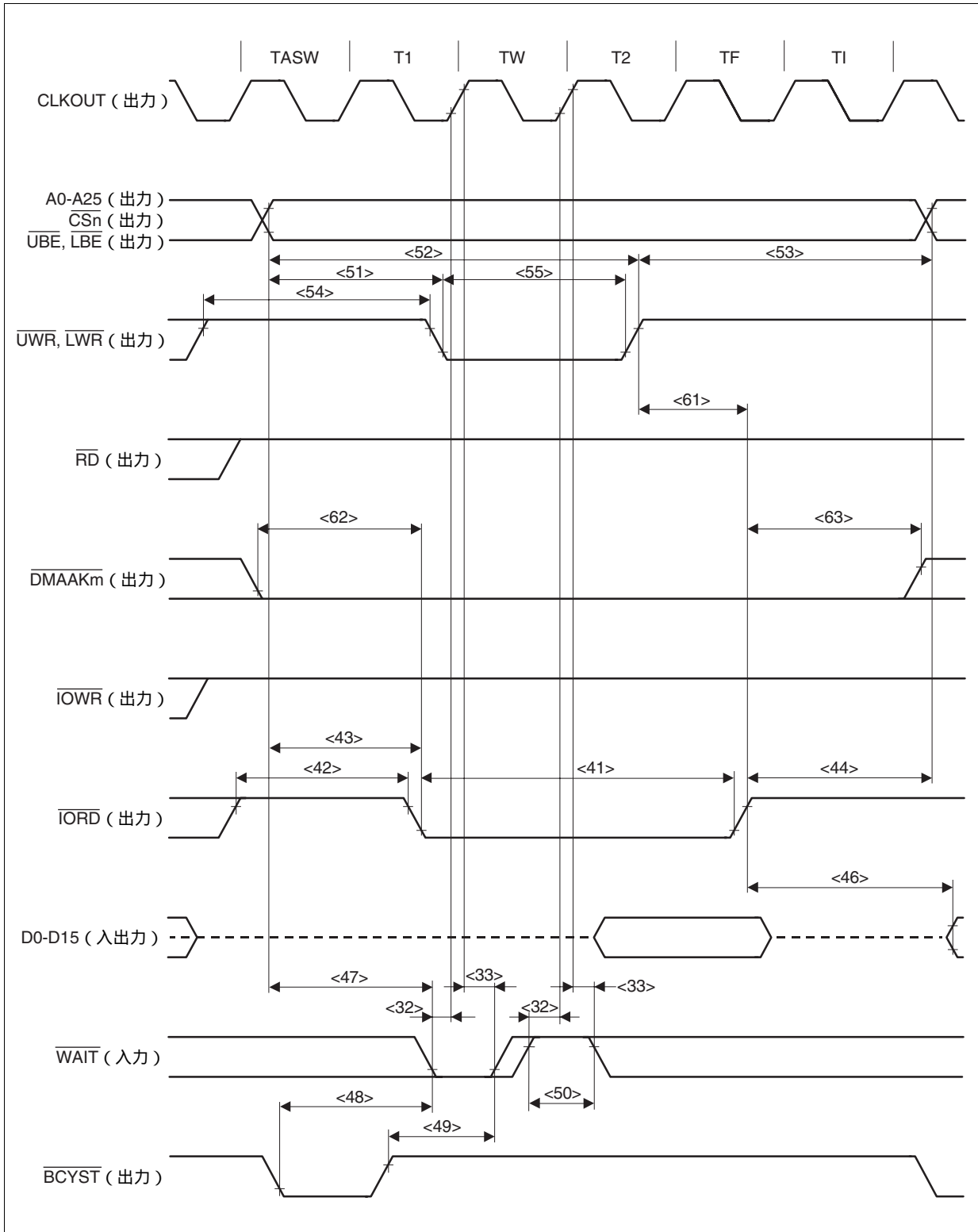
項目	略号	条件	MIN.	MAX.	単位
WAIT設定時間 (対CLKOUT)	<32>	t <sub>SWK</sub>	8		ns
WAIT保持時間 (対CLKOUT)	<33>	t <sub>HKW</sub>	0		ns
IORDロウ・レベル幅	<41>	t <sub>WRDL</sub>	$(2 + w + w_D)T - 10$		ns
IORDハイ・レベル幅	<42>	t <sub>WRDH</sub>	$(1 + i + w_{AS})T - 10$		ns
アドレス, $\overline{CSn}$ , $\overline{IORD}$ 遅延時間	<43>	t <sub>DARD</sub>	$(0.5 + w_{AS})T - 10$		ns
IORD アドレス遅延時間	<44>	t <sub>DRDA</sub>	$(0.5 + i)T - 10$		ns
IORD データ出力遅延時間	<46>	t <sub>DRDOD</sub>	$(1 + i)T - 10$		ns
WAIT設定時間 (対アドレス)	<47>	t <sub>SAW</sub>		$(1 + w_{AS})T - 21$	ns
WAIT設定時間 (対BCYST)	<48>	t <sub>SBSW</sub>		$(1 + w_{AS})T - 21$	ns
WAIT保持時間 (対BCYST)	<49>	t <sub>HBSW</sub>		T - 10	ns
WAITハイ・レベル幅	<50>	t <sub>WWH</sub>		T - 10	ns
アドレス $\overline{UWR}$ , $\overline{LWR}$ 遅延時間	<51>	t <sub>DAWR</sub>	$(0.5 + w_{AS})T - 10$		ns
アドレス設定時間 (対 $\overline{UWR}$ , $\overline{LWR}$ )	<52>	t <sub>SAWR</sub>	$(1.5 + w + w_D + w_{AS})T - 10$		ns
$\overline{UWR}$ , $\overline{LWR}$ アドレス遅延時間	<53>	t <sub>DWRA</sub>	$(0.5 + i)T - 10$		ns
$\overline{UWR}$ , $\overline{LWR}$ ハイ・レベル幅	<54>	t <sub>WWRH</sub>	$(0.5 + i + w_{AS})T - 10$		ns
$\overline{UWR}$ , $\overline{LWR}$ ロウ・レベル幅	<55>	t <sub>WWRL</sub>	$(1 + w + w_D)T - 10$		ns
$\overline{UWR}$ , $\overline{LWR}$ $\overline{IORD}$ 遅延時間	<61>	t <sub>DWIRD</sub>	T - 10		ns
DMAAKm $\overline{IORD}$ 遅延時間	<62>	t <sub>DDARD</sub>	$(0.5 + w_{AS})T - 10$		ns
$\overline{IORD}$ DMAAKm 遅延時間	<63>	t <sub>DRDDA</sub>	$(0.5 + i)T - 10$		ns

注 DWCO, DWC1レジスタによるウェイト数が0のときの, 最初のWAITサンプリング時。

備考1. T = t<sub>cyk</sub>

2. w :  $\overline{WAIT}$ によるウェイト数
3. w<sub>D</sub> : DWCO, DWC1レジスタによるウェイト数
4. n = 0-7, m = 0-3
5. i : リード・サイクル後にライト・サイクルが続くときに挿入されるアイドル・ステート数
6. w<sub>AS</sub> : ASCレジスタによるアドレス・セットアップ・ウェイト数
7. wとw<sub>D</sub>の挿入数の考え方については, 4. 6. 3 プログラマブル・ウェイトと外部ウェイトの関係を参照してください。

(e) DMAフライバイ転送タイミング (外部I/O SRAM転送) (2/2)



備考1. DWC0, DWC1レジスタによるウェイト数が0, BCCレジスタによるアイドル・ステート数が1, ASCレジスタによるウェイト数が1の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

3.  $n = 0-7, m = 0-3$

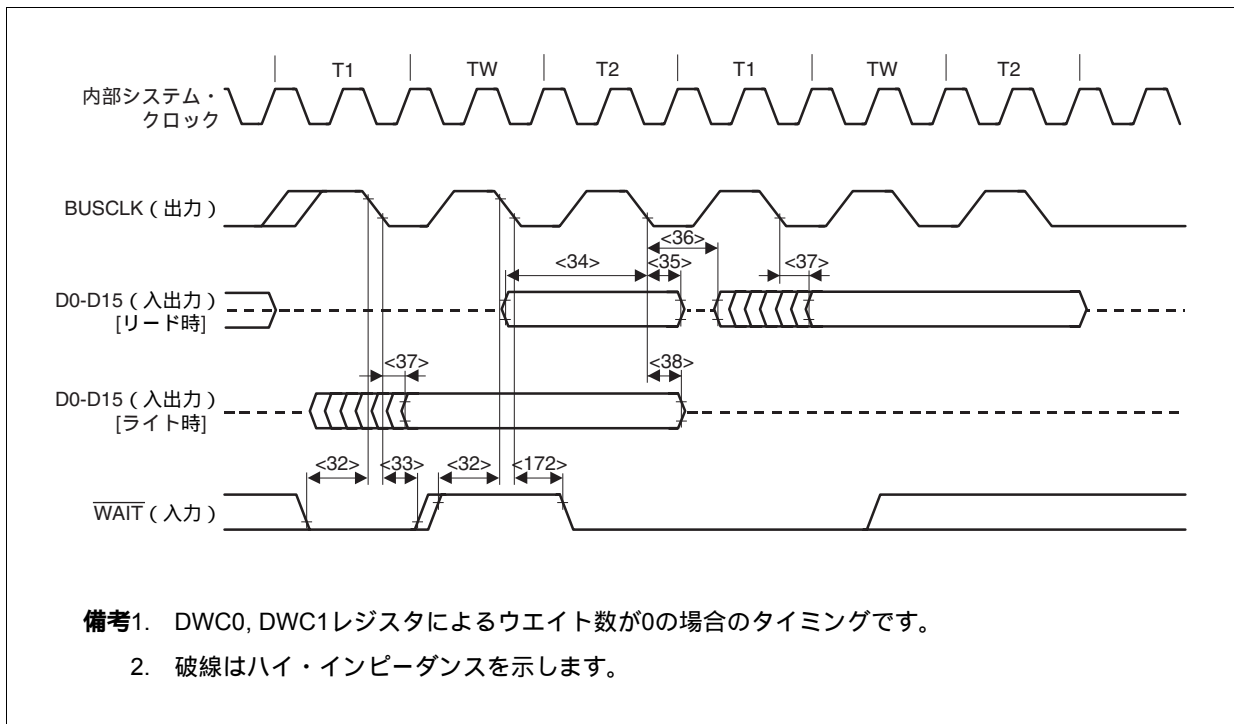
(5) SRAM, 外部ROM, 外部I/Oアクセス・タイミング (対BUSCLK信号) [BCPレジスタのBCPビット = 1時]

(a) アクセス・タイミング (SRAM, 外部ROM, 外部I/O)

項目	略号	条件	MIN.	MAX.	単位
WAIT設定時間 (対BUSCLK )	<32>	t <sub>SWK</sub>	8		ns
WAIT保持時間 (対BUSCLK )	<33>	t <sub>HKW</sub>	0.5T - 4		ns
WAIT保持時間 (対BUSCLK )	<172>	t <sub>HKW1</sub>	T + 2		ns
データ入力設定時間 (対BUSCLK )	<34>	t <sub>SKID</sub>	8		ns
データ入力保持時間 (対BUSCLK )	<35>	t <sub>HKID</sub>	0.5T - 4		ns
データ出力遅延時間 (対BUSCLK )	<36>	t <sub>DKOD1</sub>	T - 5	T + 8	ns
データ出力遅延時間 (対BUSCLK )	<37>	t <sub>DKOD2</sub>	- 5	+ 8	ns
データ・フロート遅延時間 (対BUSCLK )	<38>	t <sub>HKOD</sub>	0.5T - 4	0.5T + 8	ns

備考1. データ入力保持時間t<sub>HRDID</sub>, t<sub>HKID</sub>は, 少なくともどちらか1つを守ってください。

2. T = 内部システム・クロック周期 (2倍に設定したバス・サイクル周期ではありません)



備考1. DWC0, DWC1レジスタによるウェイト数が0の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。

(b) リード・タイミング (SRAM, 外部ROM, 外部I/O) (1/2)

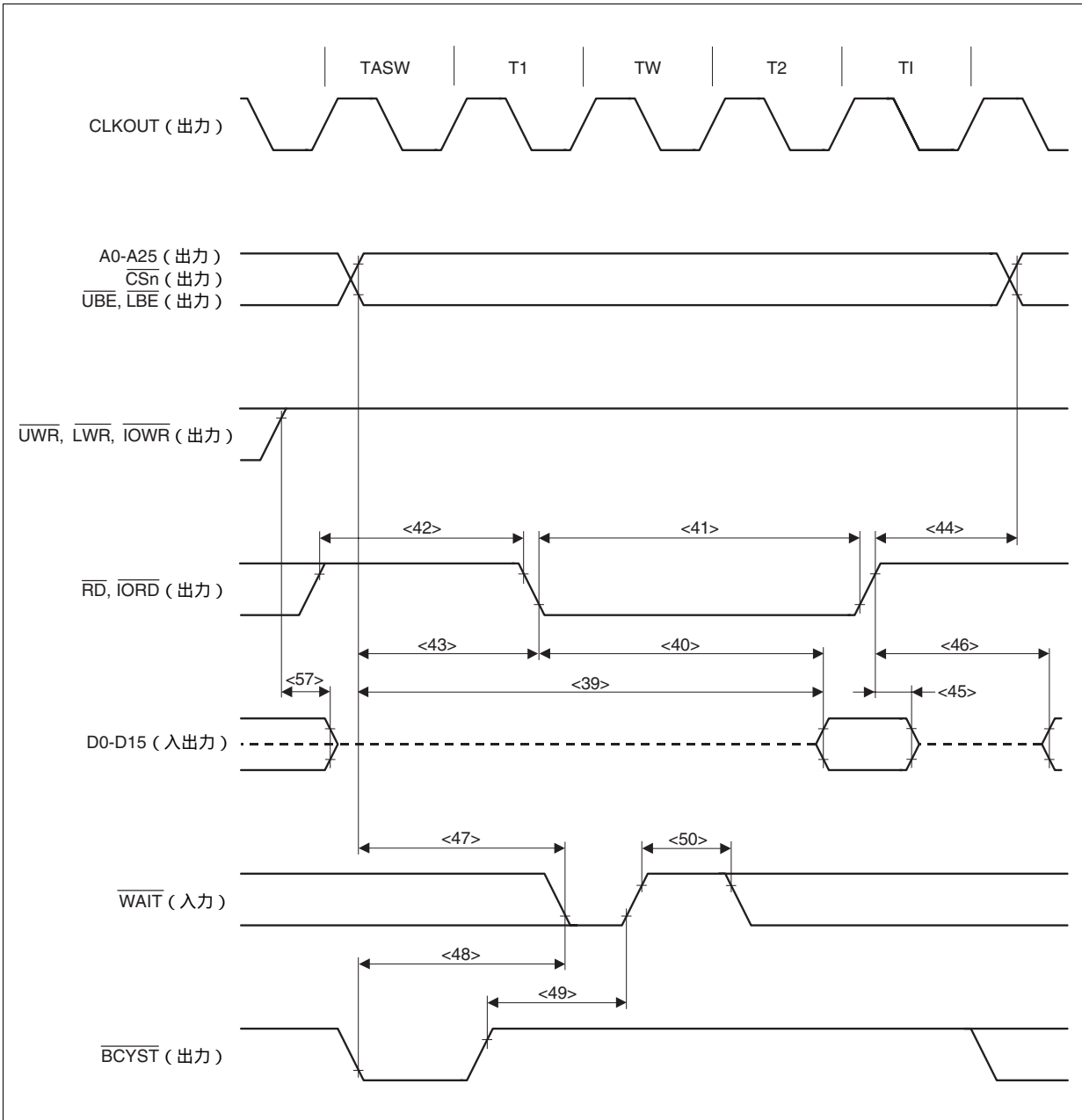
項目	略号	条件	MIN.	MAX.	単位
データ入力設定時間 (対アドレス)	<39>	t <sub>SAID</sub>		(2 + w + w <sub>D</sub> + w <sub>AS</sub> )T - 19	ns
データ入力設定時間 (対RD)	<40>	t <sub>SRDID</sub>		(1.5 + w + w <sub>D</sub> )T - 19	ns
RD, IORDロウ・レベル幅	<41>	t <sub>WRDL</sub>	(1.25 + w + w <sub>D</sub> )T - 10		ns
RD, IORDハイ・レベル幅	<42>	t <sub>WRDH</sub>	(0.75 + w <sub>AS</sub> + i)T - 10		ns
アドレス, CS <sub>n</sub> , RD, IORD 遅延時間	<43>	t <sub>DARD</sub>	(0.75 + w <sub>AS</sub> )T - 10		ns
RD, IORD アドレス遅延時間	<44>	t <sub>DRDA</sub>	iT		ns
データ入力保持時間 (対RD, IORD)	<45>	t <sub>HRDID</sub>	0		ns
RD, IORD データ出力遅延時間	<46>	t <sub>DRDOD</sub>	(0.25 + i)T - 10		ns
WAIT設定時間 (対アドレス)	<47>	t <sub>SAW</sub>	注	(1 + w <sub>AS</sub> )T - 21	ns
WAIT設定時間 (対BCYST)	<48>	t <sub>SBSW</sub>	注	(1 + w <sub>AS</sub> )T - 21	ns
WAIT保持時間 (対BCYST)	<49>	t <sub>HBSW</sub>	注	0.5T - 10	ns
WAITハイ・レベル幅	<50>	t <sub>WWH</sub>		T - 10	ns
データ出力保持時間 (対UWR, LWR, IOWR)	<57>	t <sub>HWROD</sub>		(0.25 + i)T - 8	ns

注 DWC0, DWC1レジスタによるウェイト数が0のときの、最初のWAITサンプリング時。

備考1. T = BUSCLKの周期 (内部システム・クロック/2)

2. w : WAITによるウェイト数
3. w<sub>D</sub> : DWC0, DWC1レジスタによるウェイト数
4. データ入力保持時間t<sub>HRDID</sub>, t<sub>HKID</sub>は、少なくともどちらか1つを守ってください。
5. n = 0-7
6. i : アイドル・ステート数
7. w<sub>AS</sub> : ASCレジスタによるアドレス・セットアップ・ウェイト数
8. wとw<sub>D</sub>の挿入数の考え方については、4. 6. 3 プログラマブル・ウェイトと外部ウェイトの関係を参照してください。

(b) リード・タイミング (SRAM, 外部ROM, 外部I/O) (2/2)



- 備考1.** DWC0, DWC1レジスタによるウェイト数が0, BCCレジスタによるアイドル・ステート数が1, ASCレジスタによるウェイト数が1の場合のタイミングです。
- 破線はハイ・インピーダンスを示します。
  - n = 0-7

## (c) ライト・タイミング (SRAM, 外部ROM, 外部I/O) (1/2)

項目	略号	条件	MIN.	MAX.	単位
WAIT設定時間 (対アドレス)	<47> t <sub>SAW</sub>	注		$(1 + W_{AS})T - 21$	ns
WAIT設定時間 (対BCYST)	<48> t <sub>SBSW</sub>	注		$(1 + W_{AS})T - 21$	ns
WAIT保持時間 (対BCYST)	<49> t <sub>HBSW</sub>	注	0.5T - 10		ns
WAITハイ・レベル幅	<50> t <sub>WWH</sub>		T - 10		ns
アドレス, CS <sub>n</sub> UWR, LWR, IOWR 遅延時間	<51> t <sub>DAWR</sub>		$(0.75 + W_{AS})T - 10$		ns
アドレス設定時間 (対UWR, LWR, IOWR)	<52> t <sub>SAWR</sub>		$(1.75 + w + w_D + W_{AS})T - 10$		ns
UWR, LWR, IOWR アドレス 遅延時間	<53> t <sub>DWRA</sub>		$(0.25 + i)T - 10$		ns
UWR, LWR, IOWRハイ・レベル幅	<54> t <sub>WWRH</sub>		$(1 + i + W_{AS})T - 10$		ns
UWR, LWR, IOWRロウ・レベル幅	<55> t <sub>WWRL</sub>		$(1 + w + w_D)T - 10$		ns
データ出力設定時間 (対UWR, LWR, IOWR)	<56> t <sub>SODWR</sub>		$(1.25 + w + w_D)T - 10$		ns
データ出力保持時間 (対UWR, LWR, IOWR)	<57> t <sub>HWROD</sub>		$(0.25 + i)T - 8$		ns

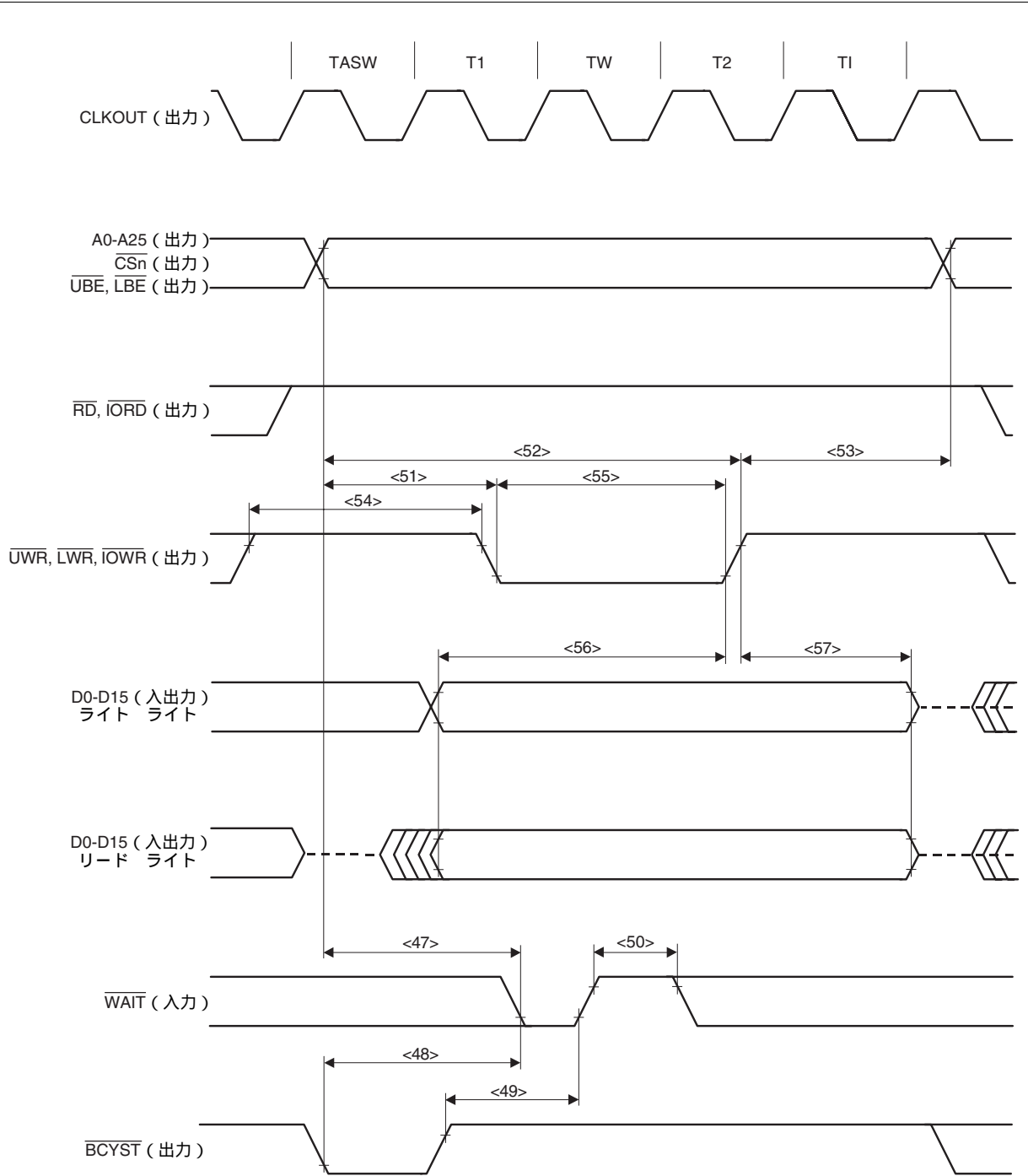
注 DWC0, DWC1レジスタによるウェイト数が0のときの, 最初のWAITサンプリング時。

備考1. T = BUSCLKの周期 (内部システム・クロック/2)

2. w : WAITによるウェイト数
3. w<sub>D</sub> : DWC0, DWC1レジスタによるウェイト数
4. n = 0-7
5. i : アイドル・ステート数
6. W<sub>AS</sub> : ASCレジスタによるアドレス・セットアップ・ウェイト数
7. wとw<sub>D</sub>の挿入数の考え方については, 4. 6. 3 プログラマブル・ウェイトと外部ウェイトの関係を参照してください。



(c) ライト・タイミング (SRAM, 外部ROM, 外部I/O) (2/2)



備考1. DWC0, DWC1レジスタによるウェイト数が0, BCCレジスタによるアイドル・ステート数が1, ASCレジスタによるウェイト数が1の場合のタイミングです。

2. 破線はハイ・インピーダンスを示します。
3.  $n = 0-7$

## (6) ページROMアクセス・タイミング

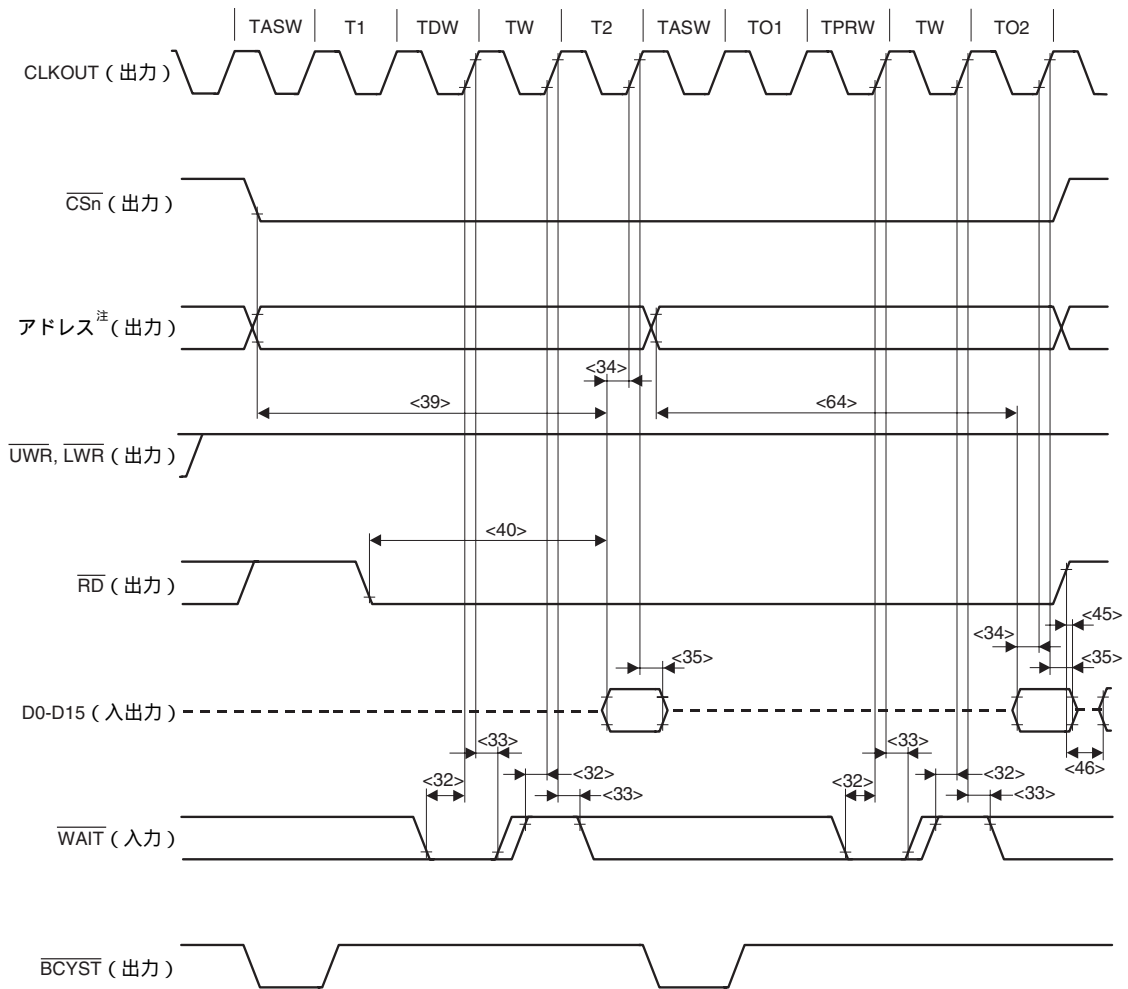
(a) 8ビット・バス幅(ハーフワード/ワード・アクセス時), 16ビット・バス幅(ワード・アクセス時) (1/2)

項目	略号	条件	MIN.	MAX.	単位
WAIT設定時間(対CLKOUT)	<32>	t <sub>SWK</sub>	8		ns
WAIT保持時間(対CLKOUT)	<33>	t <sub>HKW</sub>	0		ns
データ入力設定時間 (対CLKOUT)	<34>	t <sub>SKID</sub>	8		ns
データ入力保持時間 (対CLKOUT)	<35>	t <sub>HKID</sub>	0		ns
オフページ・データ入力設定時間 (対アドレス)	<39>	t <sub>SAID</sub>		$(2 + w + w_D + w_{AS})T - 21$	ns
オフページ・データ入力設定時間 (対RD)	<40>	t <sub>SRDID</sub>		$(1.5 + w + w_D)T - 21$	ns
データ入力保持時間(対RD)	<45>	t <sub>HRDID</sub>	0		ns
RD データ出力遅延時間	<46>	t <sub>DRDOD</sub>	$(0.5 + i)T - 10$		ns
オンページ・データ入力設定時間 (対アドレス)	<64>	t <sub>SOAID</sub>		$(2 + w + w_{PR} + w_{AS})T - 21$	ns

備考1.  $T = t_{CYK}$ 

2.  $w$ : WAITによるウェイト数
3.  $w_D$ : DWC0, DWC1レジスタによるウェイト数
4.  $w_{PR}$ : PRCレジスタによるウェイト数
5.  $i$ : リード・サイクル後にライト・サイクルが続くときに挿入されるアイドル・ステート数
6.  $w_{AS}$ : ASCレジスタによるアドレス・セットアップ・ウェイト数
7. データ入力保持時間 $t_{HKID}$ ,  $t_{HRDID}$ は, 少なくともどちらか1つを守ってください。
8.  $w$ と $w_D$ の挿入数の考え方については, 4. 6. 3 **プログラマブル・ウェイトと外部ウェイトの関係**を参照してください。

(a) 8ビット・バス幅(ハーフワード/ワード・アクセス時), 16ビット・バス幅(ワード・アクセス時) (2/2)



注 オンページ・アドレス, オフページ・アドレスを次に示します。

PRCレジスタ				オンページ・ アドレス	オフページ・ アドレス
MA6	MA5	MA4	MA3		
0	0	0	0	A0-A2	A3-A25
0	0	0	1	A0-A3	A4-A25
0	0	1	1	A0-A4	A5-A25
0	1	1	1	A0-A5	A6-A25
1	1	1	1	A0-A6	A7-A25

備考1. 次の場合のタイミングです。

DWC0, DWC1レジスタによるウェイト数 (TDW) : 1

PRCレジスタによるウェイト数 (TPRW) : 1

ASCレジスタによるウェイト数 (TASW) : 1

2. 破線はハイ・インピーダンスを示します。

3. n = 0-7

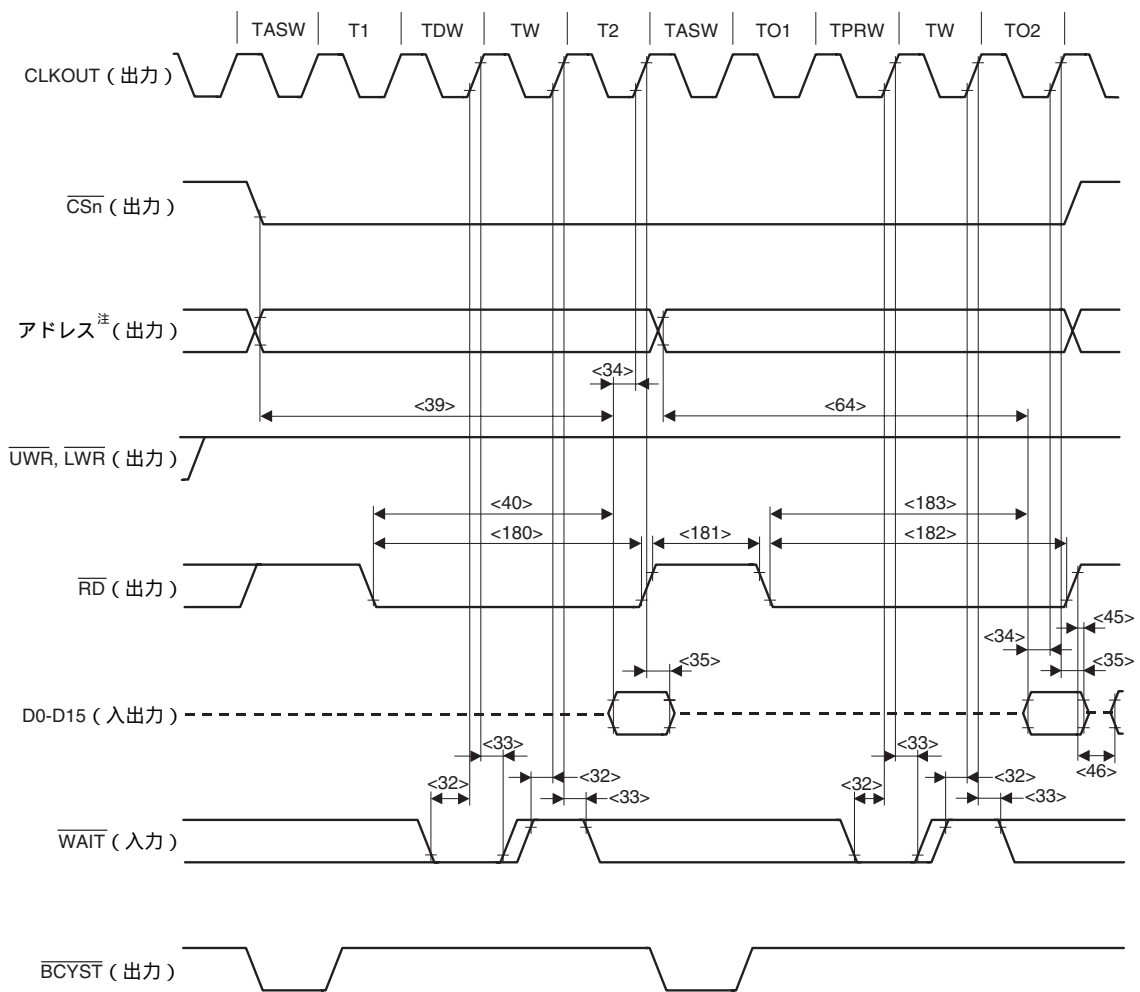
(b) 8ビット・バス幅(バイト・アクセス時), 16ビット・バス幅(バイト/ハーフワード・アクセス時)(1/2)

項目	略号	条件	MIN.	MAX.	単位
WAIT設定時間(対CLKOUT)	<32>	t <sub>SWK</sub>	8		ns
WAIT保持時間(対CLKOUT)	<33>	t <sub>HKW</sub>	0		ns
データ入力設定時間 (対CLKOUT)	<34>	t <sub>SKID</sub>	8		ns
データ入力保持時間 (対CLKOUT)	<35>	t <sub>HKID</sub>	0		ns
オフページ・データ入力設定時間 (対アドレス)	<39>	t <sub>SAID</sub>		(2 + w + w <sub>D</sub> + w <sub>AS</sub> )T - 21	ns
オフページ・データ入力設定時間 (対RD)	<40>	t <sub>SRDID</sub>		(1.5 + w + w <sub>D</sub> )T - 21	ns
オフページRDロウ・レベル幅	<180>	t <sub>WRDL</sub>	(1.5 + w + w <sub>D</sub> )T - 10		ns
RDハイ・レベル幅	<181>	t <sub>WRDH</sub>	(0.5 + w <sub>AS</sub> )T - 10		ns
データ入力保持時間(対RD)	<45>	t <sub>HRDID</sub>	0		ns
RD データ出力遅延時間	<46>	t <sub>DRDOD</sub>	(0.5 + i)T - 10		ns
オンページRDロウ・レベル幅	<182>	t <sub>WORDL</sub>	(1.5 + w + w <sub>PR</sub> )T - 10		ns
オンページ・データ入力設定時間 (対アドレス)	<64>	t <sub>SOAID</sub>		(2 + w + w <sub>PR</sub> + w <sub>AS</sub> )T - 21	ns
オンページ・データ入力設定時間 (対RD)	<183>	t <sub>SORDID</sub>		(1.5 + w + w <sub>PR</sub> )T - 21	ns

備考1. T = t<sub>cyk</sub>

2. w : WAITによるウェイト数
3. w<sub>D</sub> : DWC0, DWC1レジスタによるウェイト数
4. w<sub>PR</sub> : PRCレジスタによるウェイト数
5. i : リード・サイクル後にライト・サイクルが続くときに挿入されるアイドル・ステート数
6. w<sub>AS</sub> : ASCレジスタによるアドレス・セットアップ・ウェイト数
7. データ入力保持時間t<sub>HKID</sub>, t<sub>HRDID</sub>は, 少なくともどちらか1つを守ってください。
8. wとw<sub>D</sub>の挿入数の考え方については, 4. 6. 3 プログラマブル・ウェイトと外部ウェイトの関係を参照してください。

(b) 8ビット・バス幅 (バイト・アクセス時) , 16ビット・バス幅 (バイト/ハーフワード・アクセス時) (2/2)



注 オンページ・アドレス, オフページ・アドレスを次に示します。

PRCレジスタ				オンページ・ アドレス	オフページ・ アドレス
MA6	MA5	MA4	MA3		
0	0	0	0	A0-A2	A3-A25
0	0	0	1	A0-A3	A4-A25
0	0	1	1	A0-A4	A5-A25
0	1	1	1	A0-A5	A6-A25
1	1	1	1	A0-A6	A7-A25

備考1. 次の場合のタイミングです。

DWC0, DWC1レジスタによるウェイト数 (TDW) : 1

PRCレジスタによるウェイト数 (TPRW) : 1

ASCレジスタによるウェイト数 (TASW) : 1

2. 破線はハイ・インピーダンスを示します。

3. n = 0-7

(7) DRAMアクセス・タイミング

(a) リード・タイミング (EDO DRAM) (1/3)

項目	略号	条件	MIN.	MAX.	単位	
データ入力設定時間 (対CLKOUT)	<34>	t <sub>SKID</sub>	8		ns	
データ入力保持時間 (対CLKOUT)	<35>	t <sub>HKID</sub>	0		ns	
OE データ出力遅延時間	<46>	t <sub>DRDOD</sub>	(1 + i)T - 10		ns	
リード/ライト・サイクル時間	<65>	t <sub>HPC</sub>	(1 + WDA + WCP)T - 10		ns	
ロウ・アドレス設定時間	<66>	t <sub>ASR</sub>	0.5T - 10		ns	
ロウ・アドレス保持時間	<67>	t <sub>RAH</sub>	(0.5 + WRH)T - 10		ns	
カラム・アドレス設定時間	<68>	t <sub>ASC</sub>	0.5T - 10		ns	
カラム・アドレス保持時間	<69>	t <sub>CAH</sub>	(0.5 + WDA)T - 10		ns	
RASプリチャージ時間	<70>	t <sub>RP</sub>	WRP = 0	T - 10	ns	
			WRP = 1	WRP T - 10	ns	
カラム・アドレス・リード時間 (対RAS)	<71>	t <sub>RAL</sub>	(1.5 + WCP + WDA)T - 10		ns	
CAS保持時間	<72>	t <sub>CSH</sub>	(1.5 + WRH + WDA)T - 10		ns	
RAS カラム・アドレス遅延時間	<73>	t <sub>RAD</sub>	(0.5 + WRH)T - 10		ns	
RAS-CAS遅延時間	<74>	t <sub>RCD</sub>	(1 + WRH)T - 10		ns	
CAS-RASプリチャージ時間	<75>	t <sub>CRP</sub>	WRP = 0	1.5T - 10	ns	
			WRP = 1	(0.5 + WRP)T - 10	ns	
CASプリチャージに対するRAS保持時間	<76>	t <sub>RHCP</sub>	(1.5 + WCP + WDA)T - 10		ns	
WE設定時間 (対CAS)	<77>	t <sub>RCS</sub>	WRP = 0	(3 + WRH)T - 10	ns	
			WRP = 1	(2 + WRP + WRH)T - 10	ns	
WE保持時間 (対RAS)	<78>	t <sub>RRH</sub>	(1 + i)T - 10		ns	
WE保持時間 (対CAS)	<79>	t <sub>RCH</sub>	(1.5 + i)T - 10		ns	
RASパルス幅	オフページ	<80>	t <sub>RASP</sub>	(2 + WRH + WDA)T - 10	ns	
CASパルス幅		<81>	t <sub>HCAS</sub>	(0.5 + WDA)T - 10	ns	
CASプリチャージ時間		<82>	t <sub>CP</sub>	(0.5 + WCP)T - 10	ns	
OE CAS保持時間	オフページ	<83>	t <sub>och1</sub>	WRP = 0	(2.5 + WRH + WDA)T - 10	ns
				WRP = 1	(1.5 + WRP + WRH + WDA)T - 10	ns
	オンページ	<84>	t <sub>och2</sub>	(0.5 + WCP + WDA)T - 10		ns
CASプリチャージに対するアクセス時間		<85>	t <sub>ACP</sub>		(1.5 + WCP + WDA)T - 21	ns
データ入力保持時間 (対CAS)		<86>	t <sub>DHC</sub>	0		ns
CASアクセス時間		<87>	t <sub>CAC</sub>		(1 + WDA)T - 21	ns
カラム・アドレスからのアクセス時間		<88>	t <sub>AA</sub>		(1.5 + WDA)T - 21	ns

(a) リード・タイミング (EDO DRAM) (2/3)

項目		略号	条件	MIN.	MAX.	単位
出力イネーブル・アクセス時間	オフページ	<89>	t <sub>OE1</sub>	WRP = 0	( 3 + WRP + WRH + WDA )T - 21	ns
				WRP = 1	( 2 + WRP + WRH + WDA )T - 21	ns
	オンページ	<90>	t <sub>OE2</sub>		( 1 + WCP + WDA )T - 21	ns
RASアクセス時間		<91>	t <sub>RAC</sub>		( 2 + WRH + WDA )T - 21	ns
出力バッファ・ターン・オフ遅延時間 (対OE)		<92>	t <sub>OEZ</sub>	0		ns

注意1. WRPは、SCRnレジスタのRPC1n, RPC0nビットの設定にかかわらず、デフォルトで最低1クロック挿入されます (n = 1, 3, 4, 6)。

2. EDO DRAMを使用した場合は、BCYST信号によるWAIT信号の制御はできません。

備考1. T = t<sub>cyk</sub>

2. WDA : SCRnレジスタのDAC1n, DAC0nビットによるウェイト数 (n = 1, 3, 4, 6)

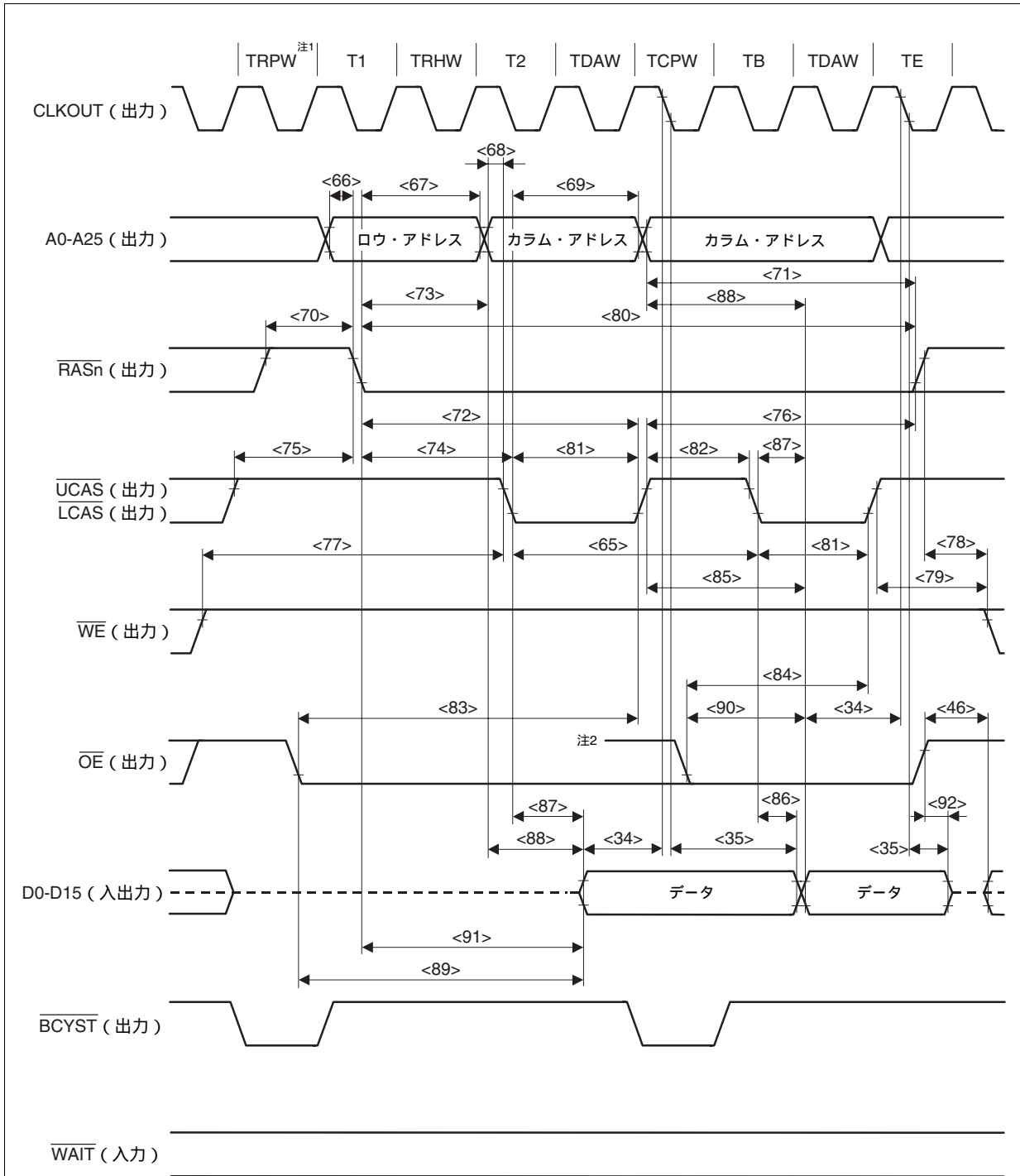
3. WCP : SCRnレジスタのCPC1n, CPC0nビットによるウェイト数 (n = 1, 3, 4, 6)

4. WRP : SCRnレジスタのRPC1n, RPC0nビットによるウェイト数 (n = 1, 3, 4, 6)

5. WRH : SCRnレジスタのRHC1n, RHC0nビットによるウェイト数 (n = 1, 3, 4, 6)

6. i : アイドル・ステート数

(a) リード・タイミング (EDO DRAM) (3/3)



注1. TRPWサイクルは、最低1クロック挿入されます。

2. RASnロウ・レベル時におけるほかのサイクルからのオンページ・アクセスの場合。

備考1. 次の場合のタイミングです。

SCRnレジスタのRPC1n, RPC0nビットによるウェイト数 (TRPW) : 1

SCRnレジスタのRHC1n, RHC0nビットによるウェイト数 (TRHW) : 1

SCRnレジスタのDAC1n, DAC0nビットによるウェイト数 (TDAW) : 1

SCRnレジスタのCPC1n, CPC0nビットによるウェイト数 (TCPW) : 1

2. 破線はハイ・インピーダンスを示します。

3. n = 1, 3, 4, 6



(b) ライト・タイミング (EDO DRAM) (1/3)

項目		略号	条件	MIN.	MAX.	単位
リード/ライト・サイクル時間		t <sub>HPC</sub>	WCP = 0	(2 + WDA)T - 10		ns
			WCP = 1	(1 + WDA + WCP)T - 10		ns
ロウ・アドレス設定時間		t <sub>ASR</sub>		0.5T - 10		ns
ロウ・アドレス保持時間		t <sub>RAH</sub>		(0.5 + WRH)T - 10		ns
カラム・アドレス設定時間		t <sub>ASC</sub>		0.5T - 10		ns
カラム・アドレス保持時間		t <sub>CAH</sub>		(0.5 + WDA)T - 10		ns
RASプリチャージ時間		t <sub>RP</sub>	WRP = 0	T - 10		ns
			WRP = 1	WRP T - 10		ns
カラム・アドレス・リード時間 (対RAS)		t <sub>RAL</sub>	WCP = 0	(2.5 + WDA)T - 10		ns
			WCP = 1	(1.5 + WCP + WDA)T - 10		ns
CAS保持時間		t <sub>CSH</sub>		(1.5 + WRH + WDA)T - 10		ns
RASカラム・アドレス遅延時間		t <sub>RAD</sub>		(0.5 + WRH)T - 10		ns
RAS-CAS遅延時間		t <sub>RCD</sub>		(1 + WRH)T - 10		ns
CAS-RASプリチャージ時間		t <sub>CRP</sub>	WRP = 0	1.5T - 10		ns
			WRP = 1	(0.5 + WRP)T - 10		ns
CASプリチャージに対するRAS保持時間		t <sub>RHCP</sub>	WCP = 0	(2.5 + WDA)T - 10		ns
			WCP = 1	(1.5 + WCP + WDA)T - 10		ns
RASパルス幅	オフページ	t <sub>RASP</sub>		(2 + WRH + WDA)T - 10		ns
CASパルス幅		t <sub>HCAS</sub>		(0.5 + WDA)T - 10		ns
CASプリチャージ時間		t <sub>CP</sub>	WCP = 0	1.5T - 10		ns
			WCP = 1	(0.5 + WCP)T - 10		ns
RAS保持時間		t <sub>RSH</sub>		(1 + WDA)T - 10		ns
WE設定時間 (対CAS)	オフページ	t <sub>WCS1</sub>	WRP = 0	(2 + WRH)T - 10		ns
			WRP = 1	(1 + WRP + WRH)T - 10		ns
	オンページ	t <sub>WCS2</sub>	WCP = 0	T - 10		ns
			WCP = 1	WCP T - 10		ns
WE保持時間 (対CAS)		t <sub>WCH</sub>		(1 + WDA)T - 10		ns
データ設定時間 (対CAS)	オフページ	t <sub>DS1</sub>		(1.5 + WRH)T - 10		ns
	オンページ	t <sub>DS2</sub>	WCP = 0	1.5T - 10		ns
			WCP = 1	(0.5 + WCP)T - 10		ns
データ保持時間 (対CAS)		t <sub>DH</sub>		(0.5 + WDA)T - 10		ns
WEパルス幅	オンページ	t <sub>WP</sub>	WCP = 0	(2 + WDA)T - 10		ns
			WCP = 1	(1 + WDA + WCP)T - 10		ns

(b) ライト・タイミング (EDO DRAM) (2/3)

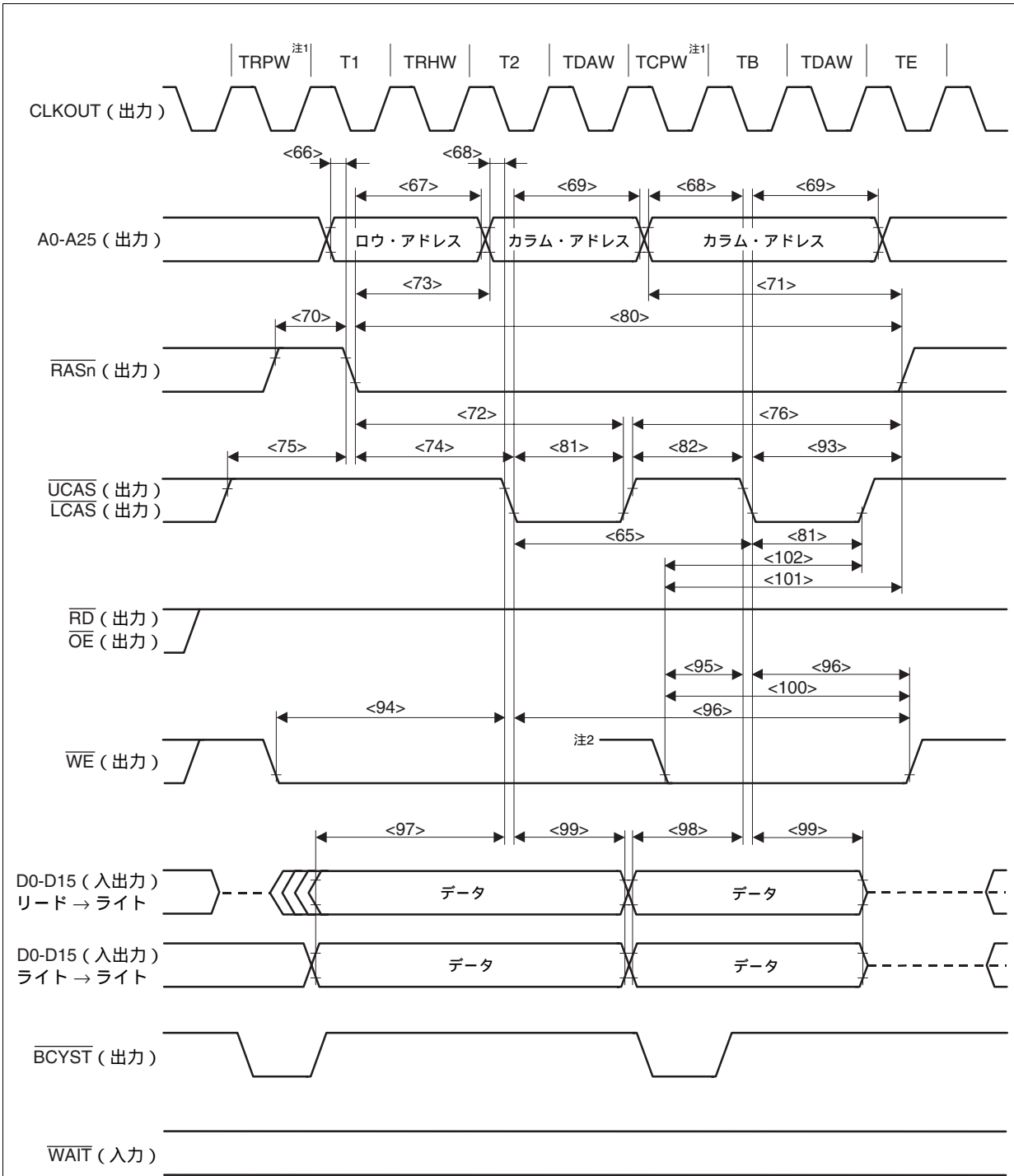
項目		略号		条件	MIN.	MAX.	単位
WEリード時間 (対RAS)	オンページ	<101>	t <sub>RWL</sub>	WCP = 0	(2 + WDA)T - 10		ns
				WCP = 1	(1 + WDA + WCP)T - 10		ns
WEリード時間 (対CAS)	オンページ	<102>	t <sub>CWL</sub>	WCP = 0	(1.5 + WDA)T - 10		ns
				WCP = 1	(0.5 + WDA + WCP)T - 10		ns

- 注意1. WRPは、SCRnレジスタのRPC1n, RPC0nビットの設定にかかわらず、デフォルトで最低1クロック挿入されます (n = 1, 3, 4, 6)。
2. WCPは、SCRnレジスタのCPC1n, CPC0nビットの設定にかかわらず、デフォルトで最低1クロック挿入されます (n = 1, 3, 4, 6)。
3. EDO DRAMを使用した場合は、BCYST信号によるWAIT信号の制御はできません。

備考1. T = t<sub>CYK</sub>

2. WDA : SCRnレジスタのDAC1n, DAC0nビットによるウエイト数 (n = 1, 3, 4, 6)
3. WCP : SCRnレジスタのCPC1n, CPC0nビットによるウエイト数 (n = 1, 3, 4, 6)
4. WRP : SCRnレジスタのRPC1n, RPC0nビットによるウエイト数 (n = 1, 3, 4, 6)
5. WRH : SCRnレジスタのRHC1n, RHC0nビットによるウエイト数 (n = 1, 3, 4, 6)

(b) ライト・タイミング (EDO DRAM) (3/3)



注1. TRPW, TCPWサイクルは、最低1クロック挿入されます。

2.  $\overline{\text{RAS}}$ ロウ・レベル時におけるほかのサイクルからのオンページ・アクセスの場合。

備考1. 次の場合のタイミングです。

SCRnレジスタのRPC1n, RPC0nビットによるウェイト数 (TRPW) : 1

SCRnレジスタのRHC1n, RHC0nビットによるウェイト数 (TRHW) : 1

SCRnレジスタのDAC1n, DAC0nビットによるウェイト数 (TDAW) : 1

SCRnレジスタのCPC1n, CPC0nビットによるウェイト数 (TCPW) : 1

2. 破線はハイ・インピーダンスを示します。

3.  $n = 1, 3, 4, 6$

## (c) DMAフライバイ転送タイミング (EDO DRAM 外部I/O転送) (1/3)

項目	略号	条件	MIN.	MAX.	単位	
WAIT設定時間 (対CLKOUT)	<32>	t <sub>SWK</sub>	8		ns	
WAIT保持時間 (対CLKOUT)	<33>	t <sub>HKW</sub>	0		ns	
$\overline{OE}$ データ出力遅延時間	<46>	t <sub>DRDOD</sub>	$(1+i)T - 10$		ns	
IOWR アドレス遅延時間	<53>	t <sub>DWRA</sub>	$1.5T - 10$		ns	
IOWRロウ・レベル幅	<55>	t <sub>WWRL</sub>	WRP = 0	$(3 + WRH + WDA + W)T - 10$	ns	
			WRP = 1	$(2 + WRP + WDA + WRH + W)T - 10$	ns	
IOWR $\overline{OE}$ 遅延時間	<58>	t <sub>DWRRD</sub>	$T - 10$		ns	
ロウ・アドレス設定時間	<66>	t <sub>ASR</sub>	$0.5T - 10$		ns	
ロウ・アドレス保持時間	<67>	t <sub>RAH</sub>	$(0.5 + WRH)T - 10$		ns	
カラム・アドレス設定時間	<68>	t <sub>ASC</sub>	$0.5T - 10$		ns	
カラム・アドレス保持時間	<69>	t <sub>CAH</sub>	$(2.5 + WDA + W)T - 10$		ns	
RASプリチャージ時間	<70>	t <sub>RP</sub>	WRP = 0	$T - 10$	ns	
			WRP = 1	$WRP T - 10$	ns	
カラム・アドレス・リード時間 (対RAS)	<71>	t <sub>RAL</sub>	$(3.5 + WCP + WDA + W)T - 10$		ns	
CAS保持時間	<72>	t <sub>CSH</sub>	$(3 + WRH + WDA + W)T - 10$		ns	
RAS カラム・アドレス遅延時間	<73>	t <sub>RAD</sub>	$(0.5 + WRH)T - 10$		ns	
RAS-CAS遅延時間	<74>	t <sub>RCD</sub>	$(1 + WRH)T - 10$		ns	
CAS-RASプリチャージ時間	<75>	t <sub>CRP</sub>	WRP = 0	$2T - 10$	ns	
			WRP = 1	$(1 + WRP)T - 10$	ns	
CASプリチャージに対するRAS保持時間	<76>	t <sub>RHCP</sub>	$(4 + WCP + WDA + W)T - 10$		ns	
WE設定時間 (対CAS)	<77>	t <sub>RCS</sub>	WRP = 0	$(3 + WRH)T - 10$	ns	
			WRP = 1	$(2 + WRP + WRH)T - 10$	ns	
WE保持時間 (対RAS)	<78>	t <sub>RRH</sub>	0		ns	
WE保持時間 (対CAS)	<79>	t <sub>RCH</sub>	$T - 10$		ns	
RASパルス幅	オフページ	<80>	t <sub>RASP</sub>	$(4 + WRH + WDA + W)T - 10$	ns	
CASプリチャージ時間		<82>	t <sub>CP</sub>	$(1 + WCP)T - 10$	ns	
$\overline{OE}$ CAS保持時間	オフページ	<83>	t <sub>och1</sub>	WRP = 0	$(4 + WRH + WDA + W)T - 10$	ns
				WRP = 1	$(3 + WRP + WRH + WDA + W)T - 10$	ns
	オンページ	<84>	t <sub>och2</sub>	$(2 + WCP + WDA + W)T - 10$	ns	
出力バッファ・ターン・オフ遅延時間 (対 $\overline{OE}$ )	<92>	t <sub>OEZ</sub>	0		ns	
RAS保持時間	<93>	t <sub>RSH</sub>	$(3 + WDA + W)T - 10$		ns	
リード/ライト・サイクル時間	<103>	t <sub>RC</sub>	WRP = 0	$(5.5 + WRH + WDA + W)T - 10$	ns	
			WRP = 1	$(4.5 + WRP + WRH + WDA + W)T - 10$	ns	
CASパルス幅	<104>	t <sub>CAS</sub>	$(2 + WDA + W)T - 10$		ns	
CASプリチャージ時間	<105>	t <sub>CPN</sub>	WRP = 0	$(3 + WRH)T - 10$	ns	
			WRP = 1	$(2 + WRP + WRH)T - 10$	ns	
高速ページ・モード・サイクル時間	<106>	t <sub>PC</sub>	$(3 + WCP + WDA + W)T - 10$		ns	

(c) DMAフライバイ転送タイミング (EDO DRAM 外部I/O転送) (2/3)

項目	略号	条件	MIN.	MAX.	単位	
DMAAKm CAS 遅延時間	<107>	tDDACS	WRP = 0	$(2.5 + WRH)T - 10$		ns
			WRP = 1	$(1.5 + WRP + WRH)T - 10$		ns
IOWR CAS 遅延時間	<108>	tDRDCS	WRP = 0	$(2 + WRH)T - 10$		ns
			WRP = 1	$(1 + WRP + WRH)T - 10$		ns
出力バッファ・ターン・オフ遅延時間 (対CAS)	<109>	tOFF	0		ns	

注意1. WRPは、SCRnレジスタのRPC1n, RPC0nビットの設定にかかわらず、デフォルトで最低1クロック挿入されます (n = 1, 3, 4, 6)。

2. EDO DRAMを使用した場合は、BCYST信号によるWAIT信号の制御はできません。

備考1. T = tcyk

2. w : WAITによるウェイト数

3. wDA : SCRnレジスタのDAC1n, DAC0nビットによるウェイト数 (n = 1, 3, 4, 6)

4. wCP : SCRnレジスタのCPC1n, CPC0nビットによるウェイト数 (n = 1, 3, 4, 6)

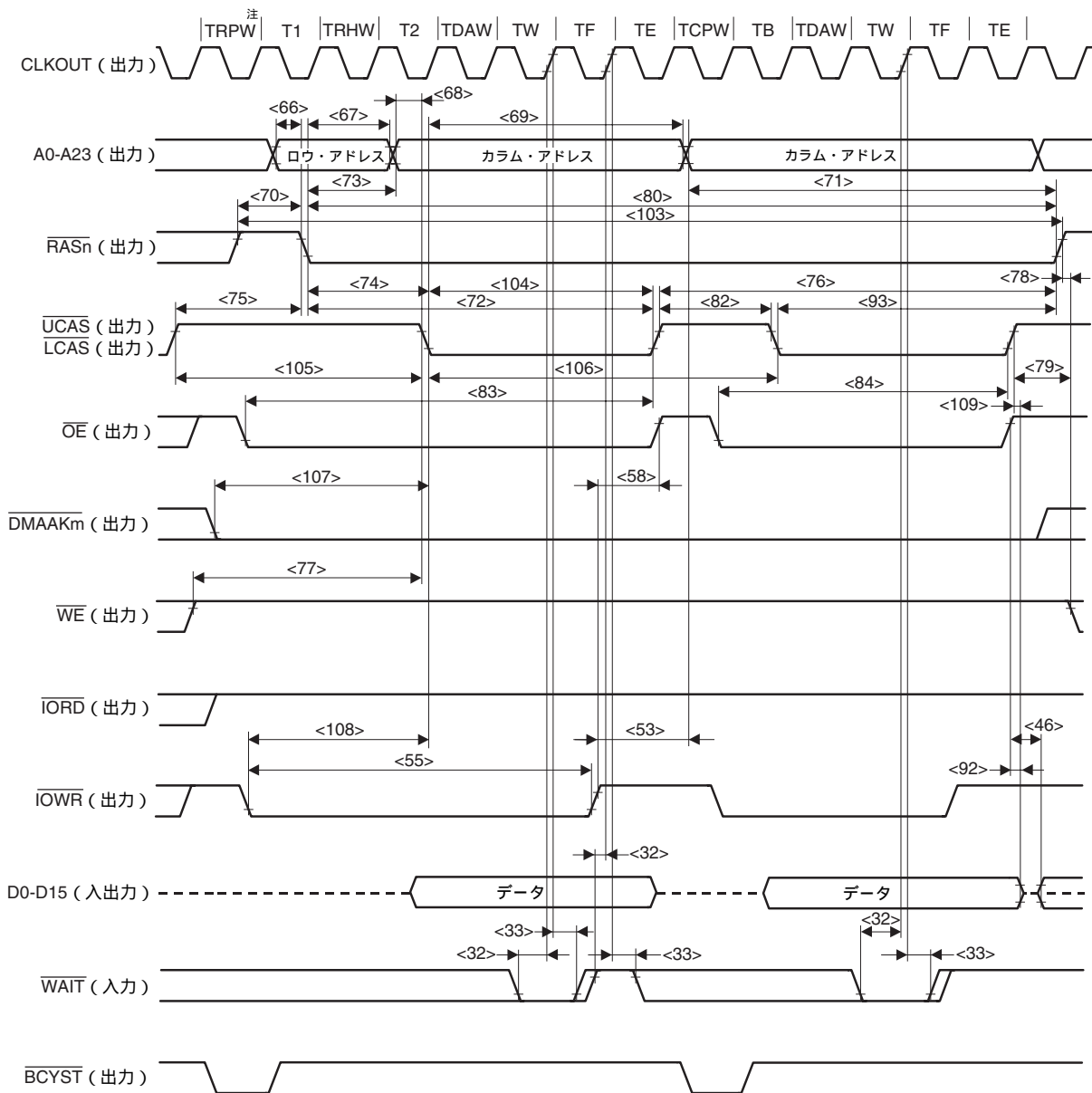
5. WRP : SCRnレジスタのRPC1n, RPC0nビットによるウェイト数 (n = 1, 3, 4, 6)

6. WRH : SCRnレジスタのRHC1n, RHC0nビットによるウェイト数 (n = 1, 3, 4, 6)

7. i : アイドル・ステート数

8. m = 0-3

(c) DMAフライバイ転送タイミング (EDO DRAM 外部I/O転送) (3/3)



注 TRPWサイクルは、最低1クロック挿入されます。

備考1. 次の場合のタイミングです。

- SCRnレジスタのRPC1n, RPC0nビットによるウェイト数 (TRPW) : 1
- SCRnレジスタのRHC1n, RHC0nビットによるウェイト数 (TRHW) : 1
- SCRnレジスタのDAC1n, DAC0nビットによるウェイト数 (TDAW) : 1
- SCRnレジスタのCPC1n, CPC0nビットによるウェイト数 (TCPW) : 1

2. 破線はハイ・インピーダンスを示します。

3.  $n = 1, 3, 4, 6, m = 0-3$

(d) DMAフライバイ転送タイミング (外部I/O EDO DRAM転送) (1/3)

項目	略号	条件	MIN.	MAX.	単位
WAIT設定時間 (対CLKOUT)	<32>	t <sub>SWK</sub>	8		ns
WAIT保持時間 (対CLKOUT)	<33>	t <sub>HKW</sub>	0		ns
IORDロウ・レベル幅	<41>	t <sub>WRDL</sub>	$(2 + W_{RH} + W_{DA} + W)T - 10$		ns
IORDハイ・レベル幅	<42>	t <sub>WRDH</sub>	$T - 10$		ns
IORD アドレス遅延時間	<44>	t <sub>DRDA</sub>	$(0.5 + i)T - 10$		ns
ロウ・アドレス設定時間	<66>	t <sub>ASR</sub>	$0.5T - 10$		ns
ロウ・アドレス保持時間	<67>	t <sub>RAH</sub>	$(0.5 + W_{RH})T - 10$		ns
カラム・アドレス設定時間	<68>	t <sub>ASC</sub>	$0.5T - 10$		ns
カラム・アドレス保持時間	<69>	t <sub>CAH</sub>	$(1.5 + W_{DA})T - 10$		ns
RASプリチャージ時間	<70>	t <sub>RP</sub>	WRP = 0	$T - 10$	ns
			WRP = 1	$WRP T - 10$	ns
カラム・アドレス・リード時間 (対RAS)	<71>	t <sub>RAL</sub>	$(2.5 + W_{CP} + W_{DA} + W)T - 10$		ns
CAS保持時間	<72>	t <sub>CSH</sub>	$(2 + W_{RH} + W_{DA} + W)T - 10$		ns
RAS カラム・アドレス遅延時間	<73>	t <sub>RAD</sub>	$(0.5 + W_{RH})T - 10$		ns
RAS-CAS遅延時間	<74>	t <sub>RCD</sub>	$(1 + W_{RH} + W)T - 10$		ns
CAS-RASプリチャージ時間	<75>	t <sub>CRP</sub>	WRP = 0	$2T - 10$	ns
			WRP = 1	$(1 + W_{RP})T - 10$	ns
CASプリチャージに対するRAS保持時間	<76>	t <sub>RHCP</sub>	$(4 + W_{CP} + W_{DA} + W)T - 10$		ns
RASパルス幅	オフページ	<80>	t <sub>RASP</sub>	$(3 + W_{RH} + W_{DA} + W)T - 10$	ns
CASプリチャージ時間	<82>	t <sub>CP</sub>	$(1 + W_{CP} + W)T - 10$		ns
RAS保持時間	<93>	t <sub>RSH</sub>	$(2 + W_{DA})T - 10$		ns
リード/ライト・サイクル時間	<103>	t <sub>RC</sub>	WRP = 0	$(4.5 + W_{RH} + W_{DA} + W)T - 10$	ns
			WRP = 1	$(3.5 + W_{RP} + W_{RH} + W_{DA} + W)T - 10$	ns
CASパルス幅	<104>	t <sub>CAS</sub>	$(1 + W_{DA})T - 10$		ns
CASプリチャージ時間	<105>	t <sub>CPN</sub>	WRP = 0	$(3 + W_{RH} + W)T - 10$	ns
			WRP = 1	$(2 + W_{RP} + W_{RH} + W)T - 10$	ns
高速ページ・モード・サイクル時間	<106>	t <sub>PC</sub>	$(2 + W_{CP} + W_{DA} + W)T - 10$		ns
DMAAKm CAS 遅延時間	<107>	t <sub>DDACS</sub>	WRP = 0	$(2.5 + W_{RH} + W)T - 10$	ns
			WRP = 1	$(1.5 + W_{RP} + W_{RH} + W)T - 10$	ns
IORD CAS 遅延時間	<108>	t <sub>DRDCS</sub>	WRP = 0	$(2 + W_{RH} + W)T - 10$	ns
			WRP = 1	$(1 + W_{RP} + W_{RH} + W)T - 10$	ns
WEリード時間 (対RAS)	<110>	t <sub>RWL</sub>	$(3 + W_{DA} + W)T - 10$		ns
WEリード時間 (対CAS)	<111>	t <sub>CWL</sub>	$(2 + W_{DA} + W)T - 10$		ns
WEパルス幅	<112>	t <sub>WP</sub>	$(2 + W_{DA} + W)T - 10$		ns
WE設定時間 (対CAS)	オフページ	<113>	t <sub>WCS1</sub>	$(2 + W_{RH} + W)T - 10$	ns
	オンページ	<114>	t <sub>WCS2</sub>	$T - 10$	ns

## (d) DMAフライバイ転送タイミング (外部I/O EDO DRAM転送) (2/3)

項目	略号	条件	MIN.	MAX.	単位
$\overline{WE}$ 保持時間 (対CAS )	<115> $t_{WCH}$		$(1 + WDA)T - 10$		ns
$\overline{WE}$ $\overline{IORD}$ 遅延時間	<116> $t_{DWERD}$		0		ns

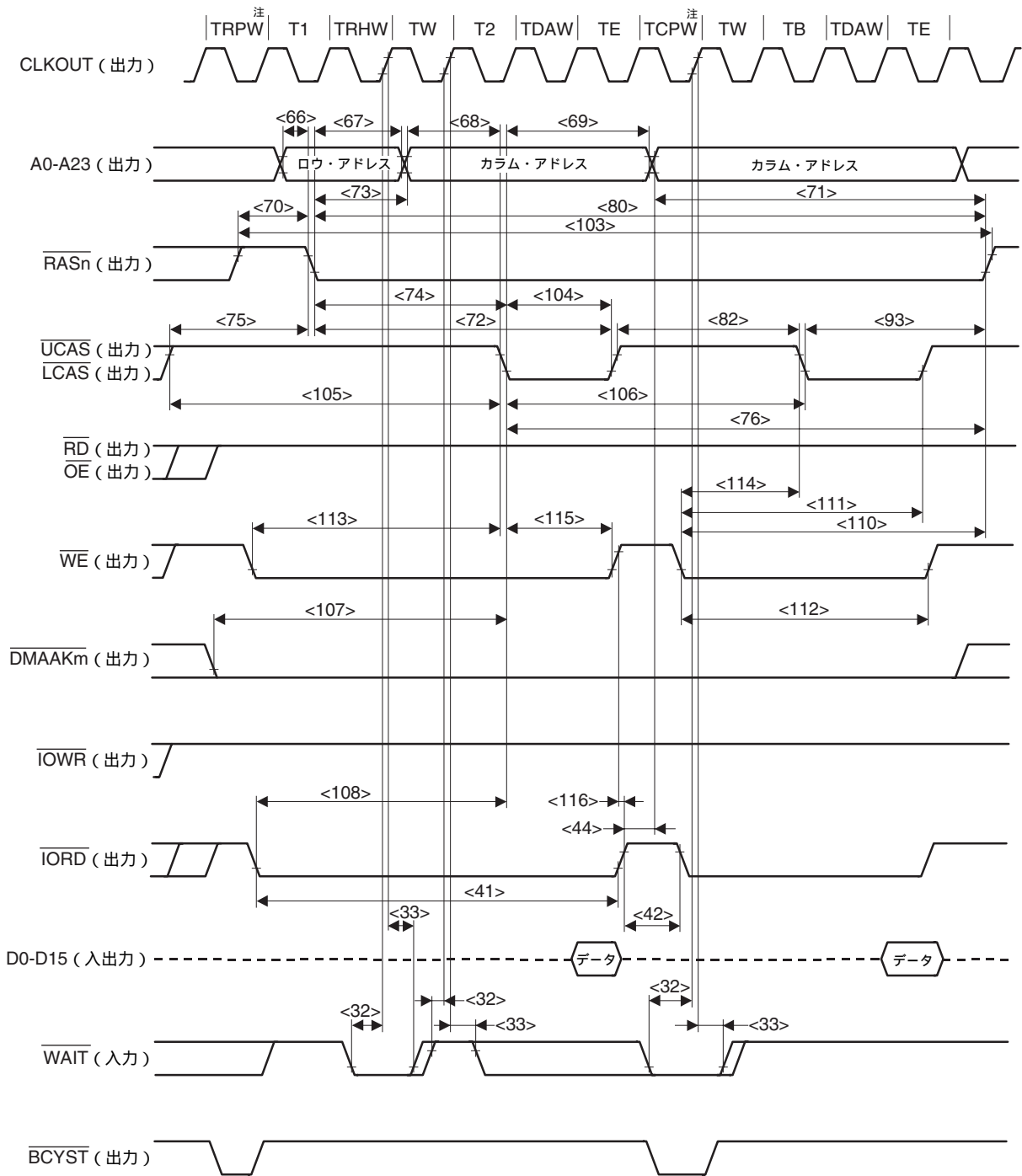
- 注意1.  $\overline{WRP}$ は、SCRnレジスタのRPC1n, RPC0nビットの設定にかかわらず、デフォルトで最低1クロック挿入されます (n = 1, 3, 4, 6)。
2.  $\overline{WCP}$ は、SCRnレジスタのCPC1n, CPC0nビットの設定にかかわらず、デフォルトで最低1クロック挿入されます (n = 1, 3, 4, 6)。
3. EDO DRAMを使用した場合は、 $\overline{BCYST}$ 信号による $\overline{WAIT}$ 信号の制御はできません。

備考1.  $T = t_{CYK}$

2. w :  $\overline{WAIT}$ によるウェイト数
3. WDA : SCRnレジスタのDAC1n, DAC0nビットによるウェイト数 (n = 1, 3, 4, 6)
4. WCP : SCRnレジスタのCPC1n, CPC0nビットによるウェイト数 (n = 1, 3, 4, 6)
5. WRP : SCRnレジスタのRPC1n, RPC0nビットによるウェイト数 (n = 1, 3, 4, 6)
6. WRH : SCRnレジスタのRHC1n, RHC0nビットによるウェイト数 (n = 1, 3, 4, 6)
7. i : アイドル・ステート数
8. m = 0-3



(d) DMAフライバイ転送タイミング (外部I/O EDO DRAM転送) (3/3)



注 TRPW, TCPWサイクルは, 最低1クロック挿入されます。

備考1. 次の場合のタイミングです。

SCRnレジスタのRPC1n, RPC0nビットによるウェイト数 (TRPW) : 1

SCRnレジスタのRHC1n, RHC0nビットによるウェイト数 (TRHW) : 1

SCRnレジスタのDAC1n, DAC0nビットによるウェイト数 (TDAW) : 1

SCRnレジスタのCPC1n, CPC0nビットによるウェイト数 (TCPW) : 1

2. 破線はハイ・インピーダンスを示します。

3. n = 1, 3, 4, 6, m = 0-3

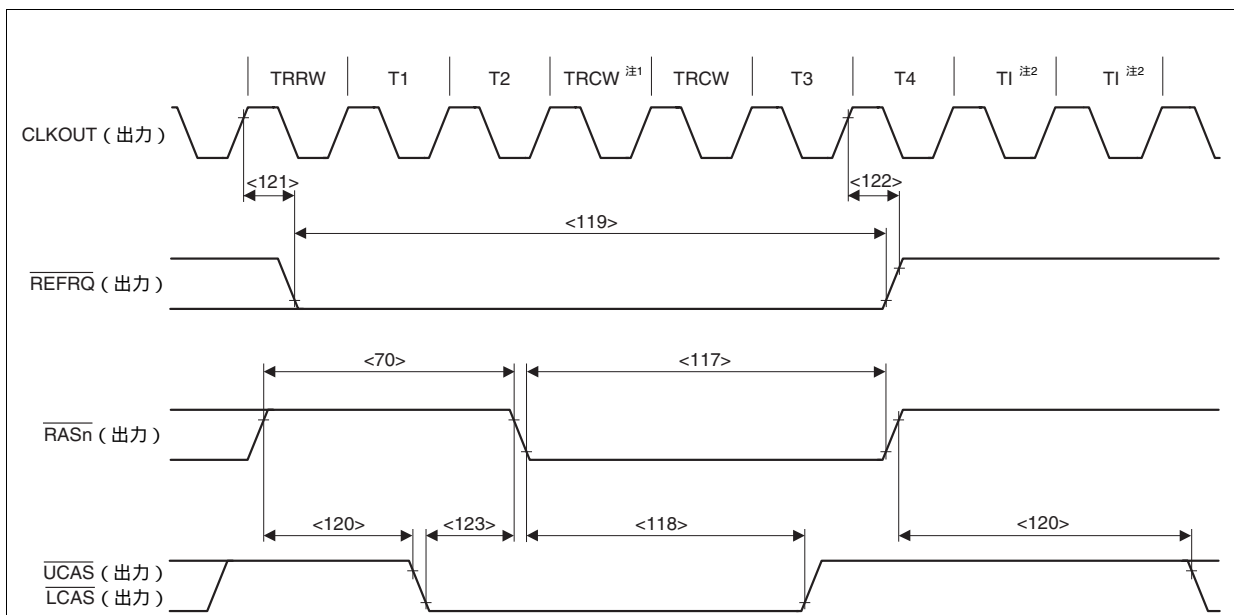
(e) CBRリフレッシュ・タイミング

項目	略号	条件	MIN.	MAX.	単位
RASプリチャージ時間	<70>	t <sub>RP</sub>	$(1.5 + W_{RRW})T - 10$		ns
RASパルス幅	<117>	t <sub>RAS</sub>	$(1.5 + W_{RCW}^{\text{注}})T - 10$		ns
CAS保持時間	<118>	t <sub>CHR</sub>	$(0.5 + W_{RCW}^{\text{注}})T - 10$		ns
REFRQパルス幅	<119>	t <sub>WRFL</sub>	$(3 + W_{RRW} + W_{RCW}^{\text{注}})T - 10$		ns
RASプリチャージCAS保持時間	<120>	t <sub>RPC</sub>	$(2.5 + W_{RRW})T - 10$		ns
REFRQアクティブ遅延時間 (対CLKOUT)	<121>	t <sub>DKRF</sub>	2	13	ns
REFRQインアクティブ遅延時間 (対CLKOUT)	<122>	t <sub>HKRF</sub>	2	13	ns
CAS設定時間	<123>	t <sub>CSR</sub>	T - 10		ns

注 W<sub>RCW</sub>は、RWCレジスタのRCW0-RCW2ビットの設定にかかわらず、デフォルトで最低1クロック挿入されます。

備考1. T = t<sub>cyk</sub>

2. W<sub>RRW</sub> : RWCレジスタのRRW0, RRW1ビットによるウェイト数
3. W<sub>RCW</sub> : RWCレジスタのRCW0-RCW2ビットによるウェイト数



- 注1. TRCW<sup>注1</sup>は、RWCレジスタのRCW0-RCW2ビットの設定値にかかわらず最低1クロック挿入されます。
2. BCCレジスタの設定に依存しないアイドル・ステート (TI) です。

備考1. 次の場合のタイミングです。

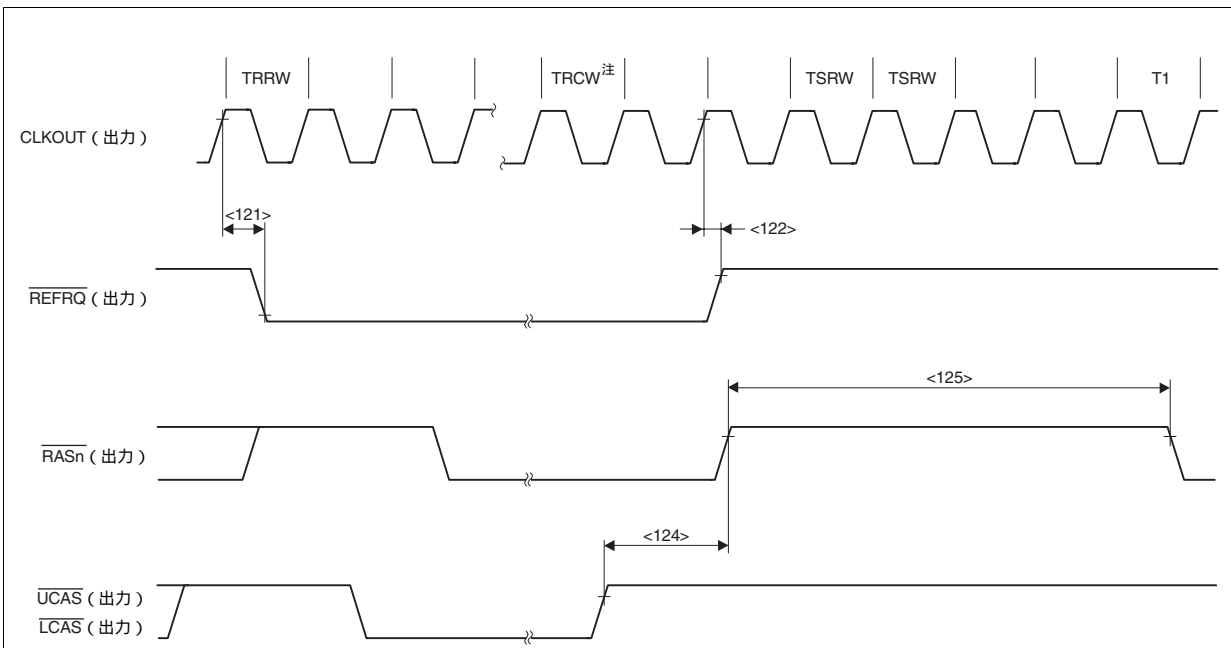
- RWCレジスタのRRW0, RRW1ビットによるウェイト数 (TRRW) : 1
- RWCレジスタのRCW0-RCW2ビットによるウェイト数 (TRCW) : 2
- 2. n = 0-7

(f) CBRセルフ・リフレッシュ・タイミング

項目	略号	条件	MIN.	MAX.	単位
REFRQアクティブ遅延時間 (対CLKOUT)	<121>	t <sub>DKRF</sub>	2	13	ns
REFRQインアクティブ遅延時間 (対CLKOUT)	<122>	t <sub>HKRF</sub>	2	13	ns
CAS保持時間	<124>	t <sub>CHS</sub>	-(WRCW T - 10)		ns
RASプリチャージ時間	<125>	WRP = 0	(3 + 2W <sub>SRW</sub> )T - 10		ns
		WRP = 1	(2 + 2W <sub>SRW</sub> + W <sub>RPW</sub> )T - 10		ns

備考1. T = t<sub>CYK</sub>

2. W<sub>SRW</sub> : RWCレジスタのSRW0-SRW2ビットによるウエイト数
3. WRCW : RWCレジスタのRCW0-RCW2ビットによるウエイト数
4. W<sub>RPW</sub> : RWCレジスタのRRW0, RRW1ビットによるウエイト数



注 TRCWは、RWCレジスタのRCW0-RCW2ビットの設定値にかかわらず最低1クロック挿入されます。

備考1. 次の場合のタイミングです。

- RWCレジスタのRRW0, RRW1ビットによるウエイト数 (TRRW) : 1
- RWCレジスタのRCW0-RCW2ビットによるウエイト数 (TRCW) : 1
- RWCレジスタのSRW0-SRW2ビットによるウエイト数 (TSRW) : 1 (設定値の2倍のウエイト数が挿入されます)

2. n = 1, 3, 4, 6

(8) SDRAMアクセス・タイミング

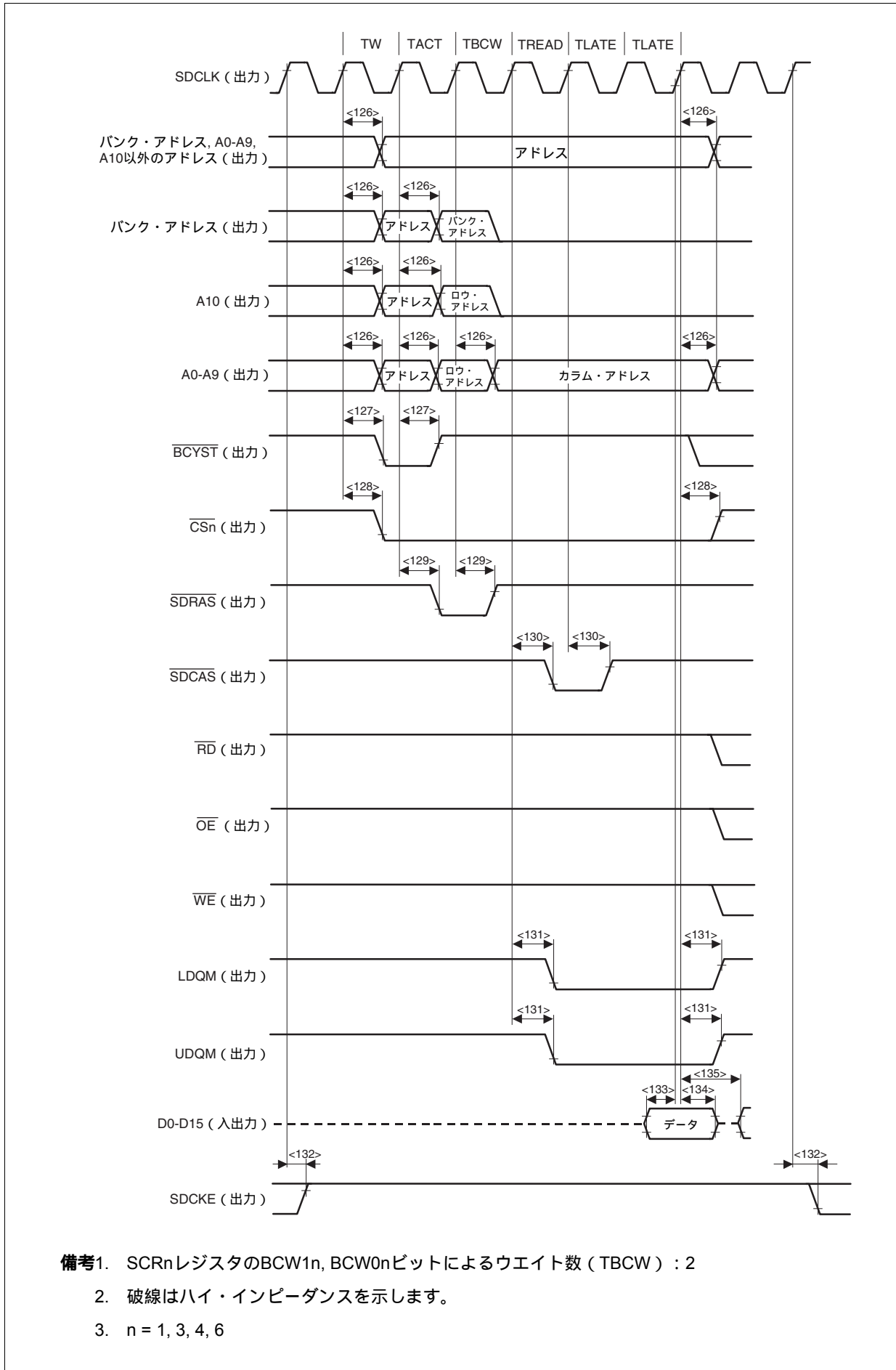
(a) リード・タイミング (SDRAMアクセス) (1/2)

項目	略号	条件	MIN.	MAX.	単位
アドレス遅延時間 (対SDCLK )	<126> tDKA2		2	13	ns
BCYST遅延時間 (対SDCLK )	<127> tDKBC		2	13	ns
C $\overline{S}_n$ 遅延時間 (対SDCLK )	<128> tDKCS		2	13	ns
SDRAS $\overline{S}_n$ 遅延時間 (対SDCLK )	<129> tDKRAS		2	13	ns
SDCAS $\overline{S}_n$ 遅延時間 (対SDCLK )	<130> tDKCAS		2	13	ns
UDQM, LDQM遅延時間 (対SDCLK )	<131> tDKDQM		2	13	ns
SDCKE遅延時間 (対SDCLK )	<132> tDKCKE		2	13	ns
データ入力設定時間 (SDRAMリード時, 対SDCLK )	<133> tSDRMK		8		ns
データ入力保持時間 (SDRAMリード時, 対SDCLK )	<134> tHKDRM		0		ns
SDCLK データ出力遅延時間	<135> tDSDOD		(1+i)T - 5		ns

備考1. T = tcyk2

2. i: アイドル・ステート数
3. n = 1, 3, 4, 6

(a) リード・タイミング (SDRAMアクセス) (2/2)



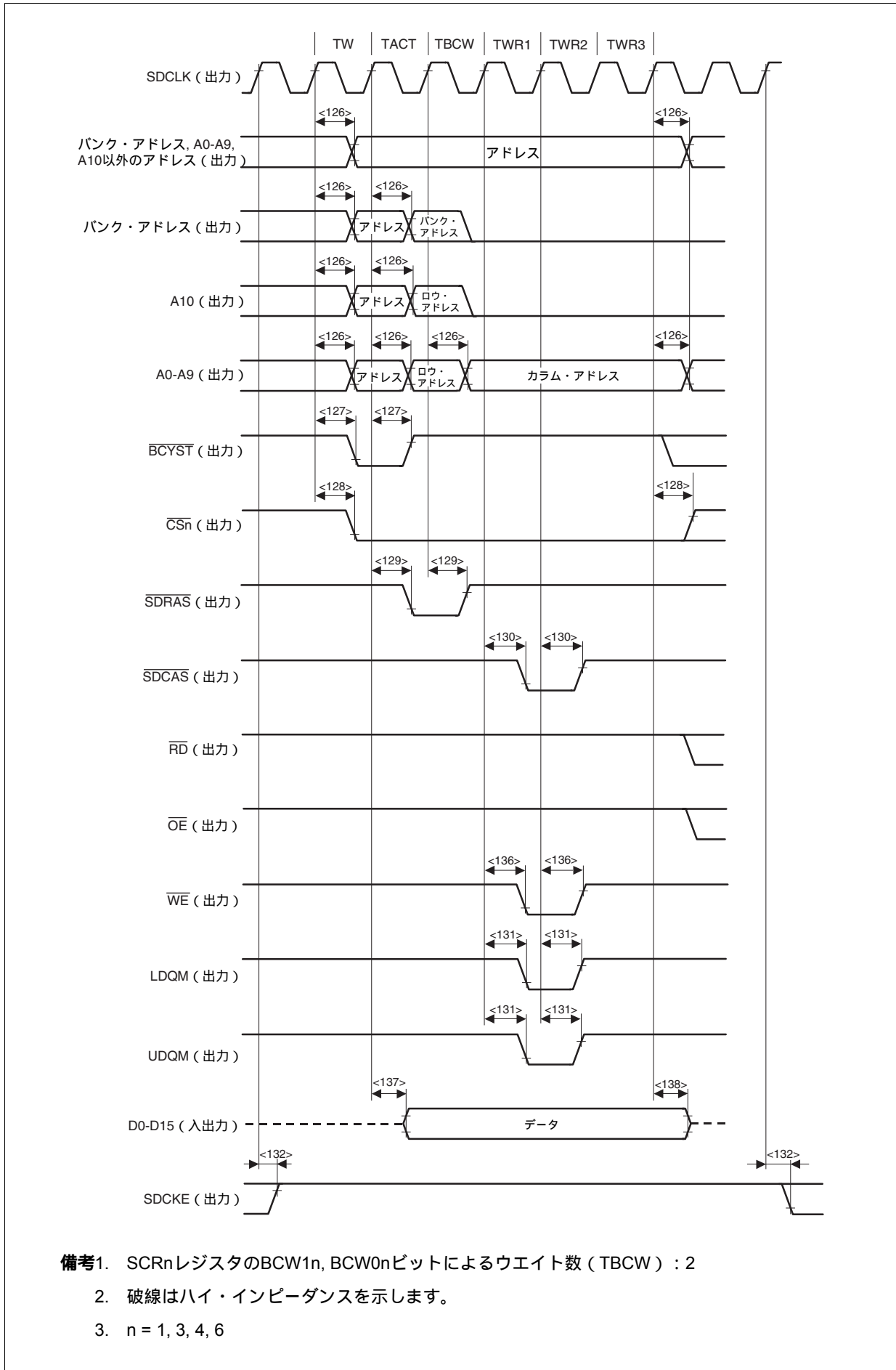
- 備考1. SCRNレジスタのBCW1n, BCW0nビットによるウエイト数 (TBCW) : 2  
 2. 破線はハイ・インピーダンスを示します。  
 3. n = 1, 3, 4, 6

## (b) ライト・タイミング (SDRAMアクセス) (1/2)

項目	略号	条件	MIN.	MAX.	単位
アドレス遅延時間 (対SDCLK )	<126> tDKA2		2	13	ns
BCYST遅延時間 (対SDCLK )	<127> tDKBC		2	13	ns
$\overline{CSn}$ 遅延時間 (対SDCLK )	<128> tDKCS		2	13	ns
SDRAS遅延時間 (対SDCLK )	<129> tDKRAS		2	13	ns
SDCAS遅延時間 (対SDCLK )	<130> tDKCAS		2	13	ns
UDQM, LDQM遅延時間 (対SDCLK )	<131> tDKDQM		2	13	ns
SDCKE遅延時間 (対SDCLK )	<132> tDKCKE		2	13	ns
WE遅延時間 (対SDCLK )	<136> tDKWE		2	13	ns
データ出力遅延時間 (対SDCLK )	<137> tDKDT		2	13	ns
データ・フロート遅延時間 (対SDCLK )	<138> tHZKDT		2	13	ns

備考 n = 1, 3, 4, 6

(b) ライト・タイミング (SDRAMアクセス) (2/2)



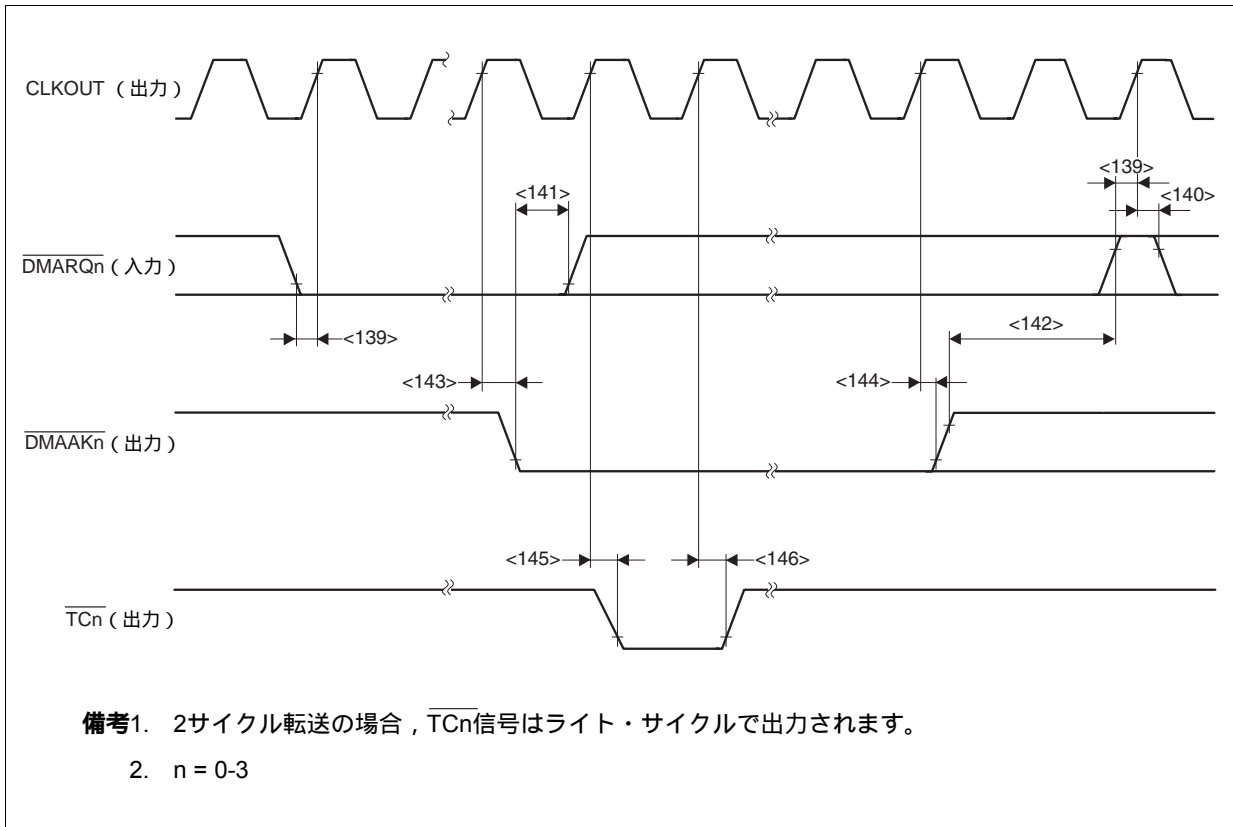
- 備考1. SCRNレジスタのBCW1n, BCW0nビットによるウエイト数 (TBCW) : 2  
 2. 破線はハイ・インピーダンスを示します。  
 3. n = 1, 3, 4, 6

(9) DMACタイミング

項目	略号	条件	MIN.	MAX.	単位
$\overline{\text{DMARQn}}$ 設定時間 (対CLKOUT )	<139>	$t_{\text{SDRK}}$	8		ns
$\overline{\text{DMARQn}}$ 保持時間	<140>	$t_{\text{HKDR1}}$	3		ns
	<141>	$t_{\text{HKDR2}}$		$\overline{\text{DMAAKn}}$ まで	ns
シングル転送における2回目のDMA要求禁止タイミング	<142>	$t_{\text{AKDR}}$		2T - 21	ns
$\overline{\text{DMAAKn}}$ 出力遅延時間 (対CLKOUT )	<143>	$t_{\text{DKDA}}$	2	13	ns
$\overline{\text{DMAAKn}}$ 出力保持時間 (対CLKOUT )	<144>	$t_{\text{HKDA}}$	2	13	ns
$\overline{\text{TCn}}$ 出力遅延時間 (対CLKOUT )	<145>	$t_{\text{HKTC}}$	2	13	ns
$\overline{\text{TCn}}$ 出力保持時間 (対CLKOUT )	<146>	$t_{\text{HKTC}}$	2	13	ns

備考1. T = tcyk

2. n = 0-3



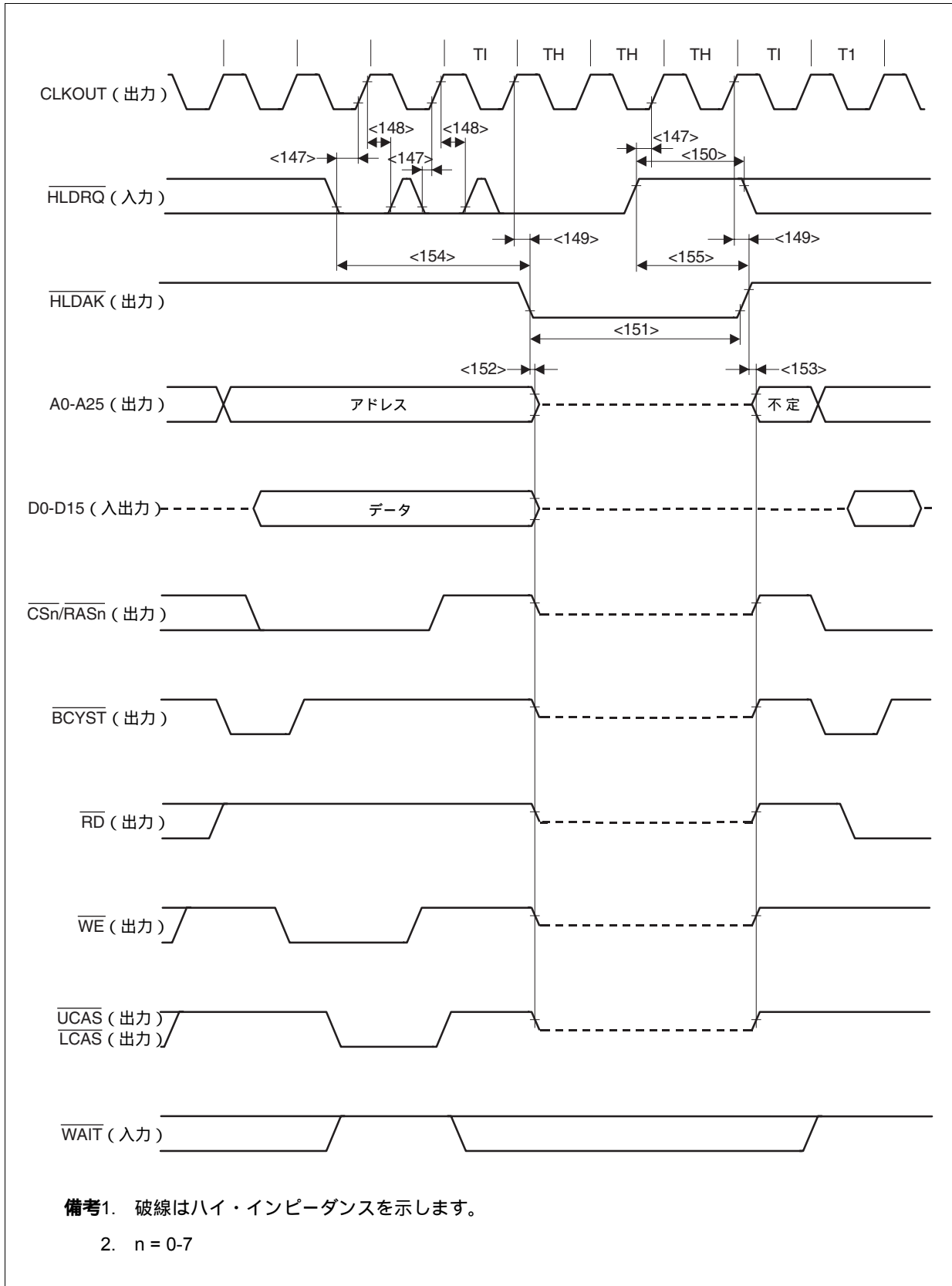


## (10) バス・ホールド・タイミング (1/2)

項目	略号	条件	MIN.	MAX.	単位
$\overline{\text{HLDRQ}}$ 設定時間 (対CLKOUT )	<147>	t <sub>SHRK</sub>	8		ns
$\overline{\text{HLDRQ}}$ 保持時間 (対CLKOUT )	<148>	t <sub>HKHR</sub>	3		ns
CLKOUT $\overline{\text{HLDAK}}$ 遅延時間	<149>	t <sub>DKHA</sub>	2	13	ns
$\overline{\text{HLDRQ}}$ ハイ・レベル幅	<150>	t <sub>WHQH</sub>	T + 3		ns
$\overline{\text{HLDAK}}$ ロウ・レベル幅	<151>	t <sub>WHAL</sub>	T - 11		ns
$\overline{\text{HLDAK}}$ バス・フロート遅延時間	<152>	t <sub>DKCF</sub>	0		ns
$\overline{\text{HLDAK}}$ バス出力遅延時間	<153>	t <sub>DHAC</sub>	2	13	ns
$\overline{\text{HLDRQ}}$ $\overline{\text{HLDAK}}$ 遅延時間	<154>	t <sub>DHQHA1</sub>	2T		ns
$\overline{\text{HLDRQ}}$ $\overline{\text{HLDAK}}$ 遅延時間	<155>	t <sub>DHQHA2</sub>	T	2T + 10	ns

備考 T = t<sub>CYK</sub>

(10) バス・ホールド・タイミング (2/2)



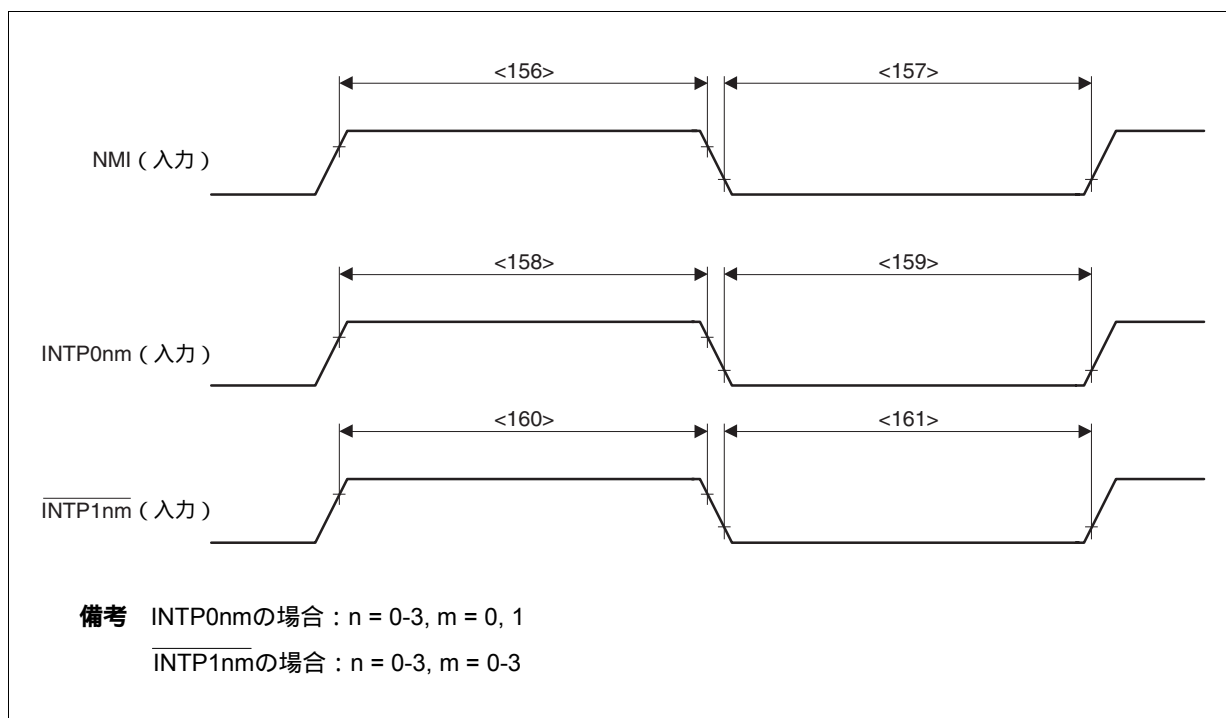
(11) 割り込みタイミング

項目	略号	条件	MIN.	MAX.	単位
NMIハイ・レベル幅	<156> $t_{WNIH}$		500		ns
NMIロウ・レベル幅	<157> $t_{WNIL}$		500		ns
INTP0nmハイ・レベル幅	<158> $t_{WIT0H}$		$3T + 500$		ns
INTP0nmロウ・レベル幅	<159> $t_{WIT0L}$		$3T + 500$		ns
INTP1nmハイ・レベル幅	<160> $t_{WIT1H}$		500		ns
INTP1nmロウ・レベル幅	<161> $t_{WIT1L}$		500		ns

備考1. INTP0nmの場合 :  $n = 0-3, m = 0, 1$

INTP1nmの場合 :  $n = 0-3, m = 0-3$

2.  $T = t_{cyk}$

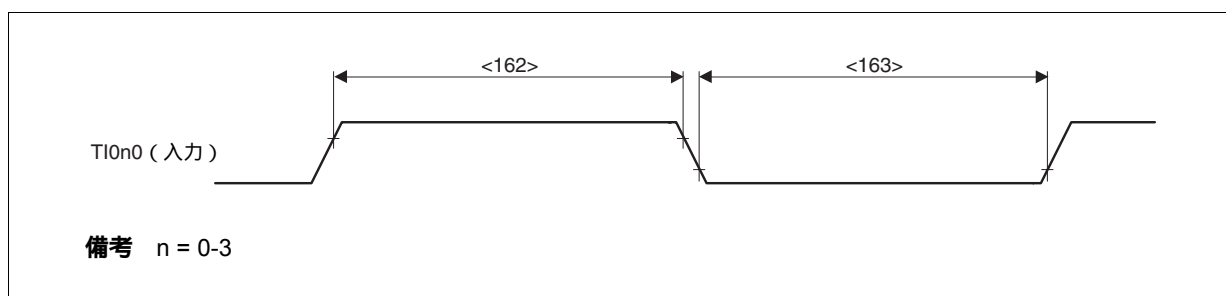


(12) タイマ入力タイミング

項目	略号	条件	MIN.	MAX.	単位
Tl0n0ハイ・レベル幅	<162> $t_{WTIH}$		$3T + 500$		ns
Tl0n0ロウ・レベル幅	<163> $t_{WTIL}$		$3T + 500$		ns

備考1.  $n = 0-3$

2.  $T = t_{cyk}$



(13) CSI0-CSI2タイミング (1/3)

(a) マスタ・モード

項目	略号	条件	MIN.	MAX.	単位
$\overline{SCKn}$ 周期	<164> $t_{CYSK1}$	出力	320		ns
$\overline{SCKn}$ ハイ・レベル幅	<165> $t_{WSK1H}$	出力	$0.5t_{CYSK1} - 20$		ns
$\overline{SCKn}$ ロウ・レベル幅	<166> $t_{WSK1L}$	出力	$0.5t_{CYSK1} - 20$		ns
SIn設定時間 (対 $\overline{SCKn}$ )	<167> $t_{SSISK}$		30		ns
SIn設定時間 (対 $\overline{SCKn}$ )			30		ns
SIn保持時間 (対 $\overline{SCKn}$ )	<168> $t_{HSKSI}$		30		ns
SIn保持時間 (対 $\overline{SCKn}$ )			30		ns
SOn出力遅延時間 (対 $\overline{SCKn}$ )	<169> $t_{DSKSO}$			30	ns
SOn出力遅延時間 (対 $\overline{SCKn}$ )				30	ns
SOn出力保持時間 (対 $\overline{SCKn}$ )	<170> $t_{HSKSO}$		$0.5t_{CYSK1} - 5$		ns
SOn出力保持時間 (対 $\overline{SCKn}$ )			$0.5t_{CYSK1} - 5$		ns

備考 n = 0-2

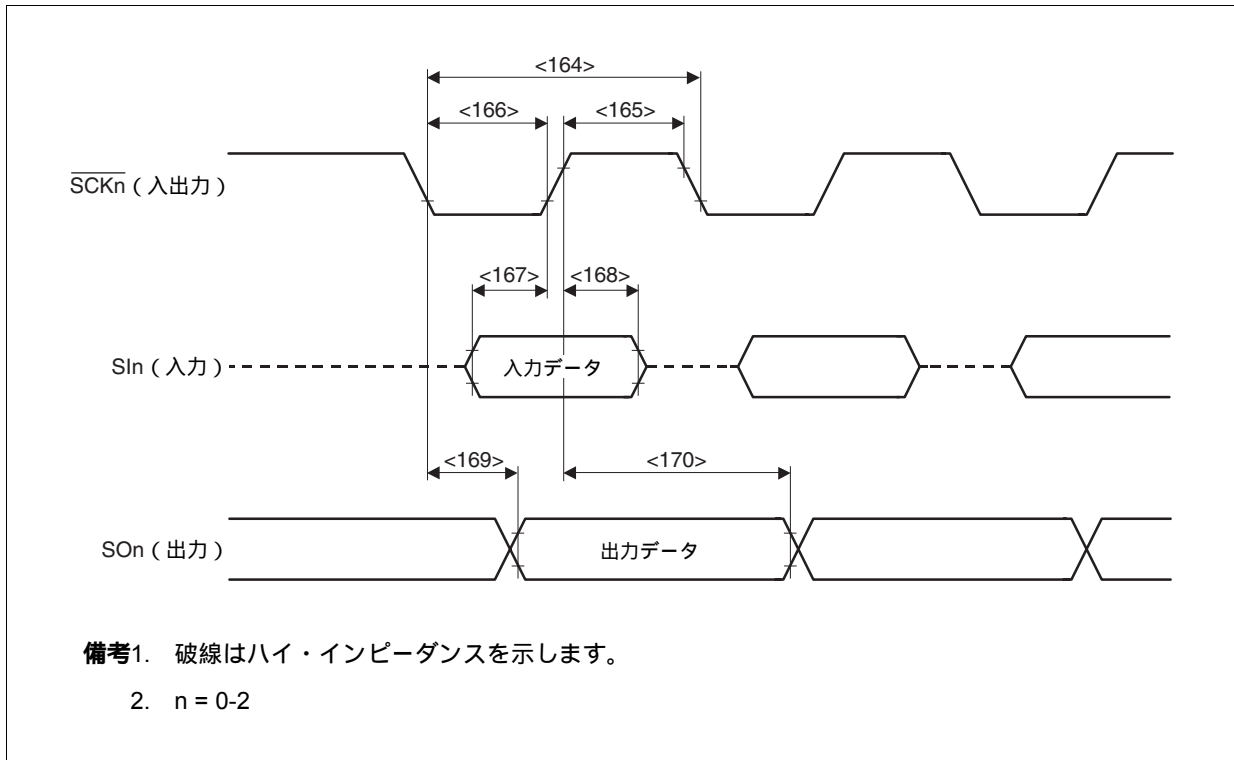
(b) スレーブ・モード

項目	略号	条件	MIN.	MAX.	単位
$\overline{SCKn}$ 周期	<164> $t_{CYSK1}$	入力	200		ns
$\overline{SCKn}$ ハイ・レベル幅	<165> $t_{WSK1H}$	入力	90		ns
$\overline{SCKn}$ ロウ・レベル幅	<166> $t_{WSK1L}$	入力	90		ns
SIn設定時間 (対 $\overline{SCKn}$ )	<167> $t_{SSISK}$		50		ns
SIn設定時間 (対 $\overline{SCKn}$ )			50		ns
SIn保持時間 (対 $\overline{SCKn}$ )	<168> $t_{HSKSI}$		50		ns
SIn保持時間 (対 $\overline{SCKn}$ )			50		ns
SOn出力遅延時間 (対 $\overline{SCKn}$ )	<169> $t_{DSKSO}$			50	ns
SOn出力遅延時間 (対 $\overline{SCKn}$ )				50	ns
SOn出力保持時間 (対 $\overline{SCKn}$ )	<170> $t_{HSKSO}$		$t_{WSK1H}$		ns
SOn出力保持時間 (対 $\overline{SCKn}$ )			$t_{WSK1H}$		ns

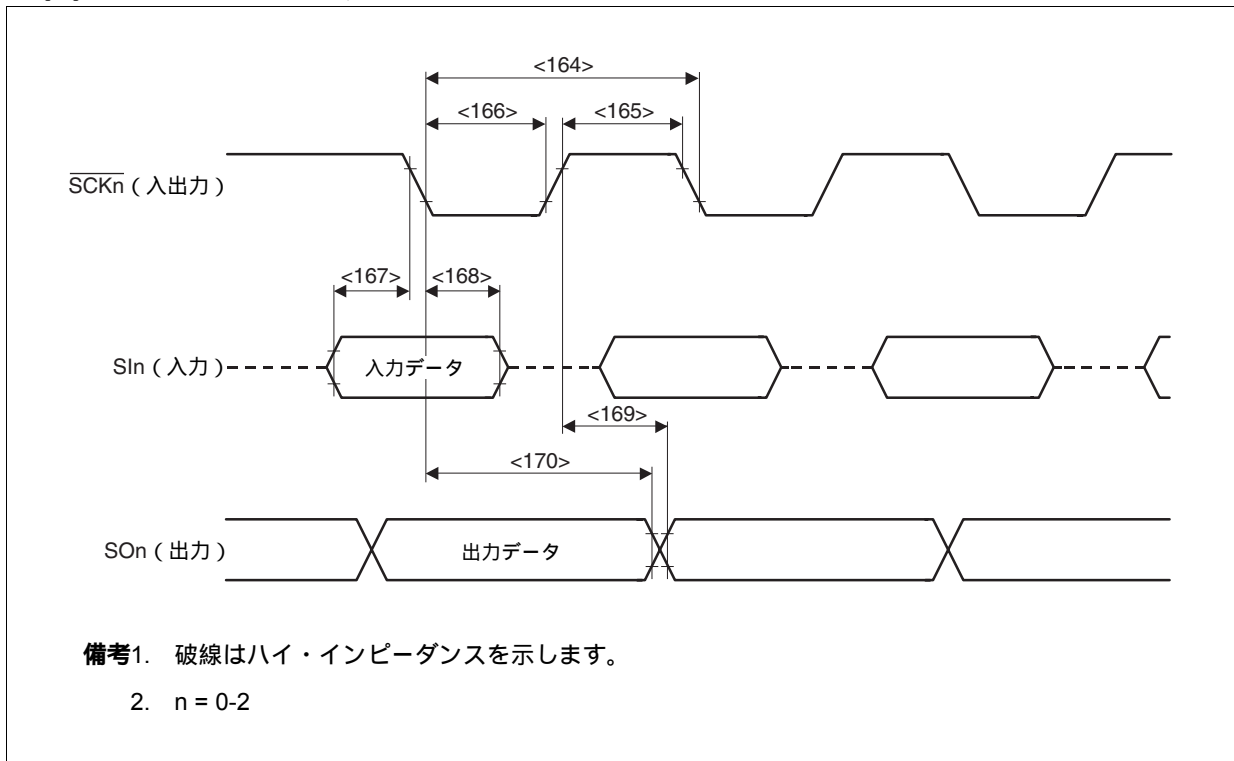
備考 n = 0-2

(13) CSI0-CSI2タイミング (2/3)

(c) CSICnレジスタのCKPn, DAPnビット = 00時のタイミング

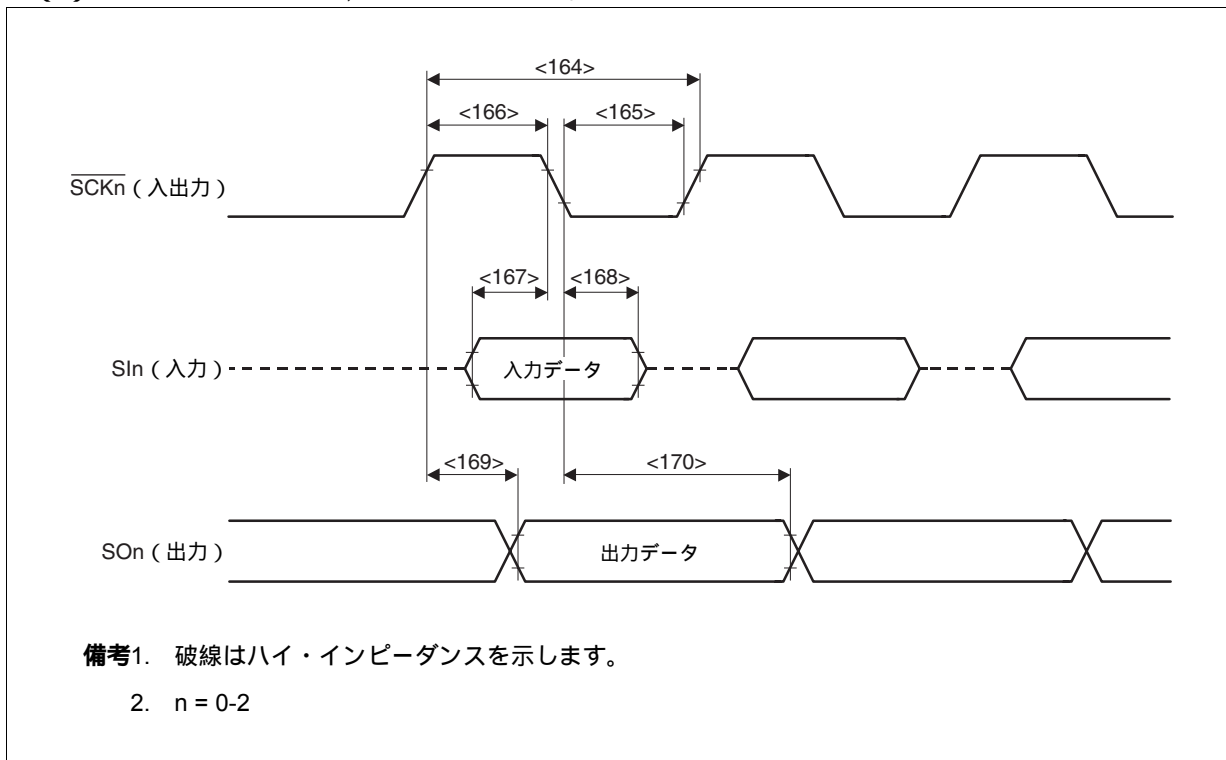


(d) CSICnレジスタのCKPn, DAPnビット = 01時のタイミング

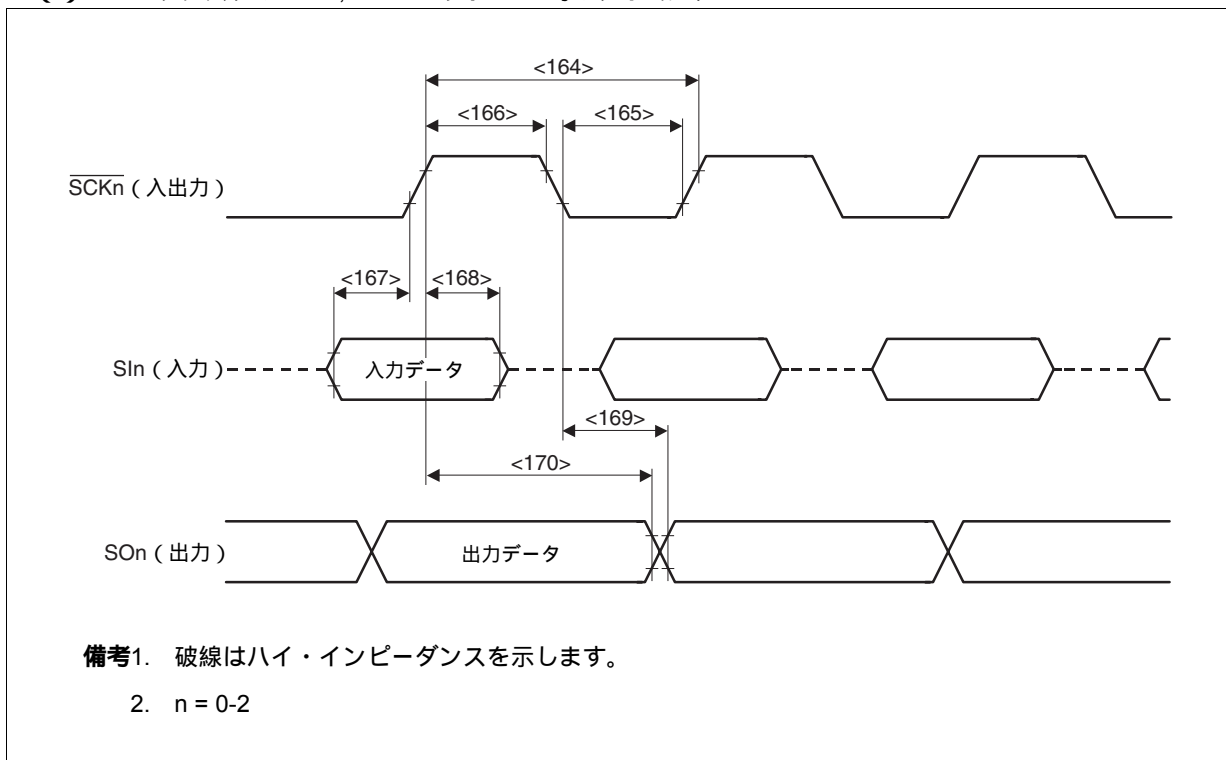


(13) CSI0-CSI2タイミング (3/3)

(e) CSICnレジスタのCKPn, DAPnビット = 10時のタイミング



(f) CSICnレジスタのCKPn, DAPnビット = 11時のタイミング



A/Dコンバータ特性 ( $T_A = -40 \sim +85$  ,  $V_{DD} = CV_{DD} = AV_{DD} = 3.0 \sim 3.6$  V,  $V_{SS} = CV_{SS} = AV_{SS} = 0$  V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	-		10			bit
総合誤差 <sup>注1</sup>	-				$\pm 0.49$	%FSR
量子化誤差	-				$\pm 1/2$	LSB
変換時間	$t_{CONV}$		5		10	$\mu$ S
サンプリング時間	$t_{SAMP}$		変換クロック <sup>注2</sup> /6			クロック
ゼロスケール誤差 <sup>注1</sup>	-				$\pm 0.49$	%FSR
フルスケール誤差 <sup>注1</sup>	-				$\pm 0.49$	%FSR
積分直線性誤差 <sup>注3</sup>	-				$\pm 4$	LSB
微分直線性誤差 <sup>注3</sup>	-				$\pm 4$	LSB
アナログ入力電圧	$V_{WASN}$		- 0.3		$AV_{REF} + 0.3$	V
$AV_{REF}$ 入力電圧	$AV_{REF}$	$AV_{REF} = AV_{DD}$	3.0		3.6	V
$AV_{DD}$ 電源電流	$AI_{DD}$				10	mA

注1. 量子化誤差 ( $\pm 0.05$  %FSR) は含みません。

2. 変換クロックは, ADM1レジスタで設定したクロック数です。

3. 量子化誤差 ( $\pm 0.5$  LSB) は含みません。

**備考** LSB : Least Significant Bit

FSR : Full Scale Range

%FSRはフルスケール値に対する比率です。

## 17.2 フラッシュ・メモリ・プログラミング・モード ( $\mu$ PD70F3107A, 70F3107A(A)のみ)

基本特性 ( $T_A = 10 \sim 40$  (書き換え時),  $T_A = -40 \sim +85$  (書き換え時以外),

$V_{DD} = CV_{DD} = AV_{DD} = 3.0 \sim 3.6$  V,  $V_{SS} = CV_{SS} = AV_{SS} = 0$  V) (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	$f_{XX}$		4		50	MHz
$V_{PP}$ 電源電圧	$V_{PP1}$	フラッシュ・メモリ・プログラミング時	7.5	7.8	8.1	V
	$V_{PPL}$	$V_{PP}$ ロウ・レベル検出	-0.5		$0.2 V_{DD}$	V
	$V_{PPM}$	$V_{PP}$ , $V_{DD}$ レベル検出	$0.65 V_{DD}$		$V_{DD} + 0.3$	V
	$V_{PPH}$	$V_{PP}$ 高電圧レベル検出	7.5	7.8	8.1	V
$V_{DD}$ 電源電流	$I_{DD}$	$V_{PP} = V_{PP1}$			$4.8 f_{XX} + 45$	mA
$V_{PP}$ 電源電流	$I_{PP}$	$V_{PP} = 7.8$ V			100	mA
ステップ消去時間	$t_{ER}$	注1	0.398	0.4	0.402	s
1エリアあたり総消去時間	$t_{ERA}$	ステップ消去時間 = 0.4 s時 注2			40	s/ エリア
ライトバック時間	$t_{WB}$	注3	0.99	1	1.01	ms
1ライトバック・コマンドあたり ライトバック回数	$C_{WB}$	ライトバック時間 = 1 ms時 注4			300	回/ライトバ ック・コマド
消去-ライトバック回数	$C_{ERWB}$				16	回
ステップ書き込み時間	$t_{WT}$	注5	18	20	22	$\mu$ s
1ワードあたり総書き込み時間	$t_{WTW}$	ステップ書き込み時間 = 20 $\mu$ s設定 (1ワード = 4バイト) 注6	20		200	$\mu$ s/ ワード

注1. ステップ消去時間の推奨設定値は0.4 sです。

2. 消去前のプリライトおよび消去ベリファイ時間 (ライトバック時間) は含まれません。

3. ライトバック時間の推奨設定値は1 msです。

4. ライトバック・コマンドの発行により, ライトバックは1回実行されます。よって, リトライ回数設定値はこの値からコマンド発行回数をマイナスした値にしてください。

5. ステップ書き込み時間の推奨設定値は20  $\mu$ sです。

6. 実際の1ワードあたりの書き込み時間は100  $\mu$ sが加算されます。書き込み中および書き込み後の内部ベリファイ時間は含まれません。

備考1. PG-FP4使用時は, パラメータ・ファイルのダウンロードによって書き込み/消去に必要な時間パラメータが自動設定されます。特に指示のない場合は設定値の変更は行わないでください。

2. エリア0 = 00000H-1FFFFH, エリア1 = 20000H-3FFFFH



基本特性 (TA = 10 ~ 40 (書き換え時), TA = -40 ~ +85 (書き換え時以外),

VDD = CVDD = AVDD = 3.0 ~ 3.6 V, VSS = CVSS = AVSS = 0 V) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
1エリアあたり書き換え回数	C <sub>ERWR</sub>	消去1回 + 消去後の書き込み1回 = 書き換え1回とする 注1	注2	20		回/ エリア
			注3	100		

注1. 出荷品に対する初回書き込み時, 「消去 書き込み」の場合も「書き込みのみ」の場合も, 書き換え1回となります。

例 (P:書き込み E:消去)

出荷品 ----- P E P E P : 書き換え回数3回

出荷品 E P E P E P : 書き換え回数3回

- LQFPパッケージ: ロット番号0124Pxxxx以前  
FBGAパッケージ: ロット番号0123Pxxxx以前
- LQFPパッケージ: ロット番号0125Pxxxx以降  
FBGAパッケージ: ロット番号0124Pxxxx以降

備考1. PG-FP4使用時は, パラメータ・ファイルのダウンロードによって書き込み/消去に必要な時間パラメータが自動設定されます。特に指示のない場合は設定値の変更は行わないでください。

2. エリア0 = 00000H-1FFFFH, エリア1 = 20000H-3FFFFH

3. ロット番号は左から01が製造年, 23, 24, 25が製造週を表しています。

また, 100回書き換え保証の製品は次のようになります。

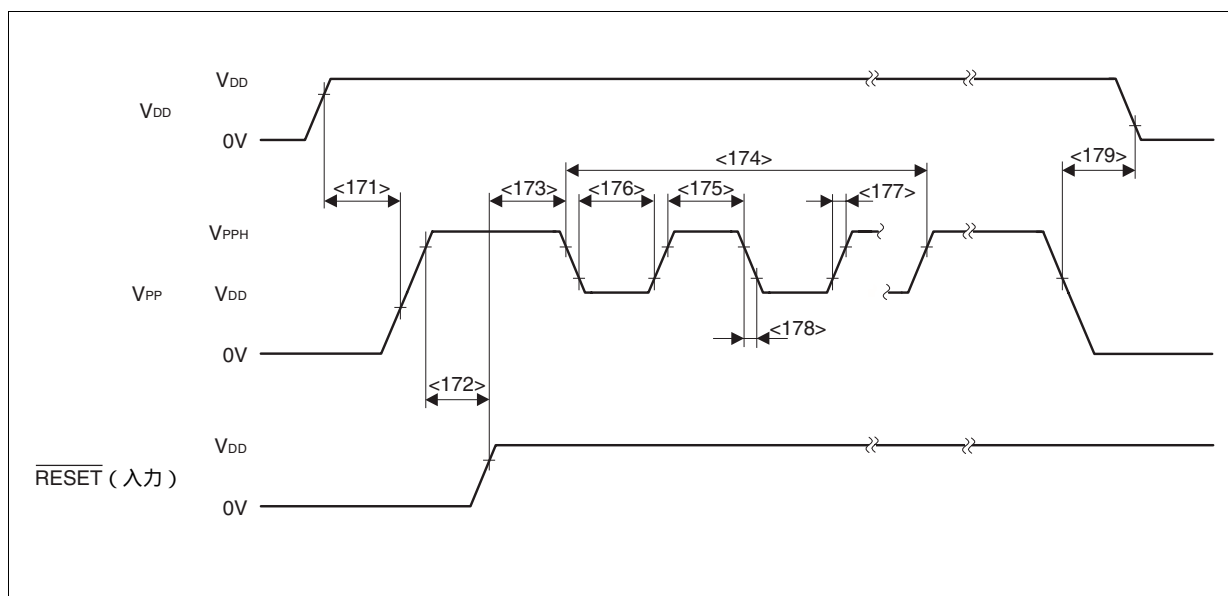
LQFPパッケージ : 25週目以降 (25, 26, 27...) に製造された製品

FBGAパッケージ : 24週目以降 (24, 25, 26...) に製造された製品

シリアル書き込みオペレーション特性

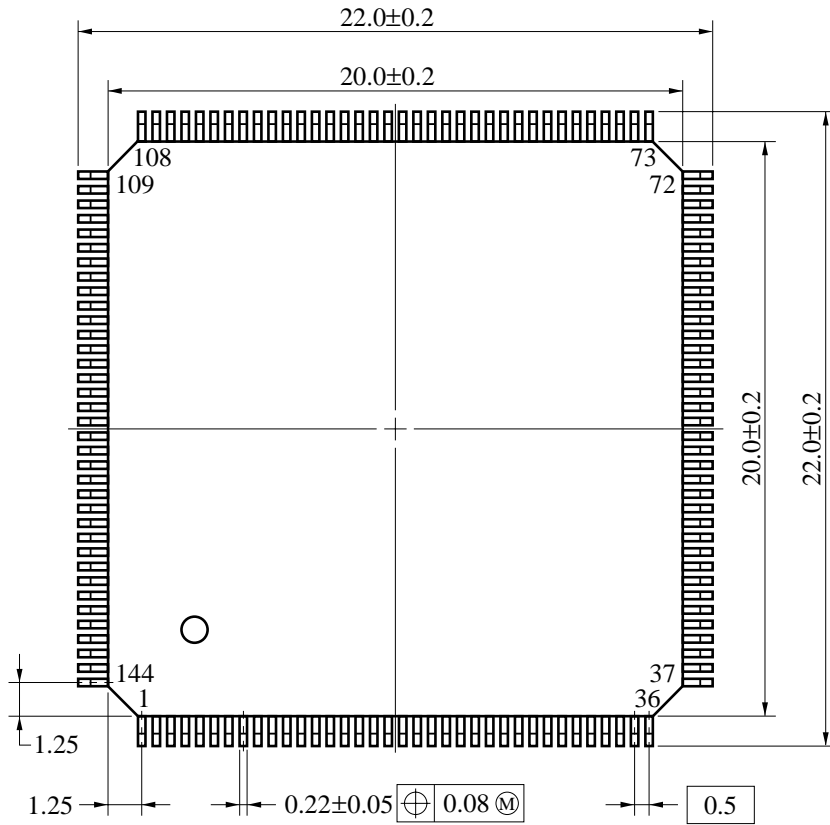
項目	略号	条件	MIN.	TYP.	MAX.	単位
V <sub>DD</sub> -V <sub>PP</sub> セット時間	<171>	t <sub>DRPSR</sub>	10			μs
V <sub>PP</sub> - $\overline{\text{RESET}}$ セット時間	<172>	t <sub>PSRRF</sub>	1			μs
$\overline{\text{RESET}}$ -V <sub>PP</sub> カウンタ開始時間	<173>	t <sub>RFOF</sub>	V <sub>PP</sub> = 7.8 V	10T + 1500		ns
カウンタ実行時間	<174>	t <sub>COUNT</sub>			15	ms
V <sub>PP</sub> カウンタ・ハイ・レベル幅	<175>	t <sub>CH</sub>	1			μs
V <sub>PP</sub> カウンタ・ロウ・レベル幅	<176>	t <sub>CL</sub>	1			μs
V <sub>PP</sub> カウンタ立ち上がり時間	<177>	t <sub>R</sub>			1	μs
V <sub>PP</sub> カウンタ立ち下がり時間	<178>	t <sub>F</sub>			1	μs
V <sub>PP</sub> - V <sub>DD</sub> リセット時間	<179>	t <sub>PFDR</sub>	10			μs

備考 T = t<sub>CYK</sub>

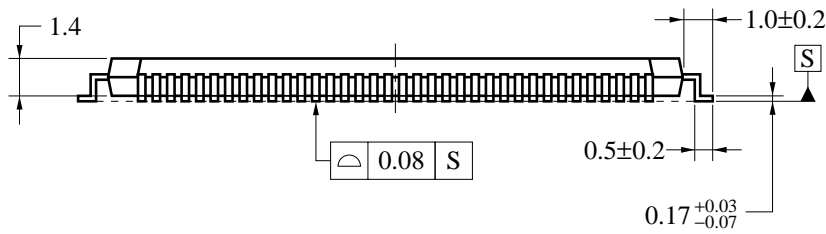
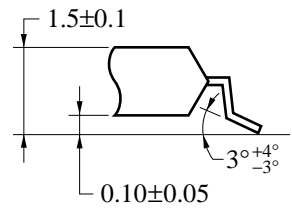


# 第18章 外形図

144ピン・プラスチック LQFP (ファインピッチ)(20x20) 外形図 (単位: mm)

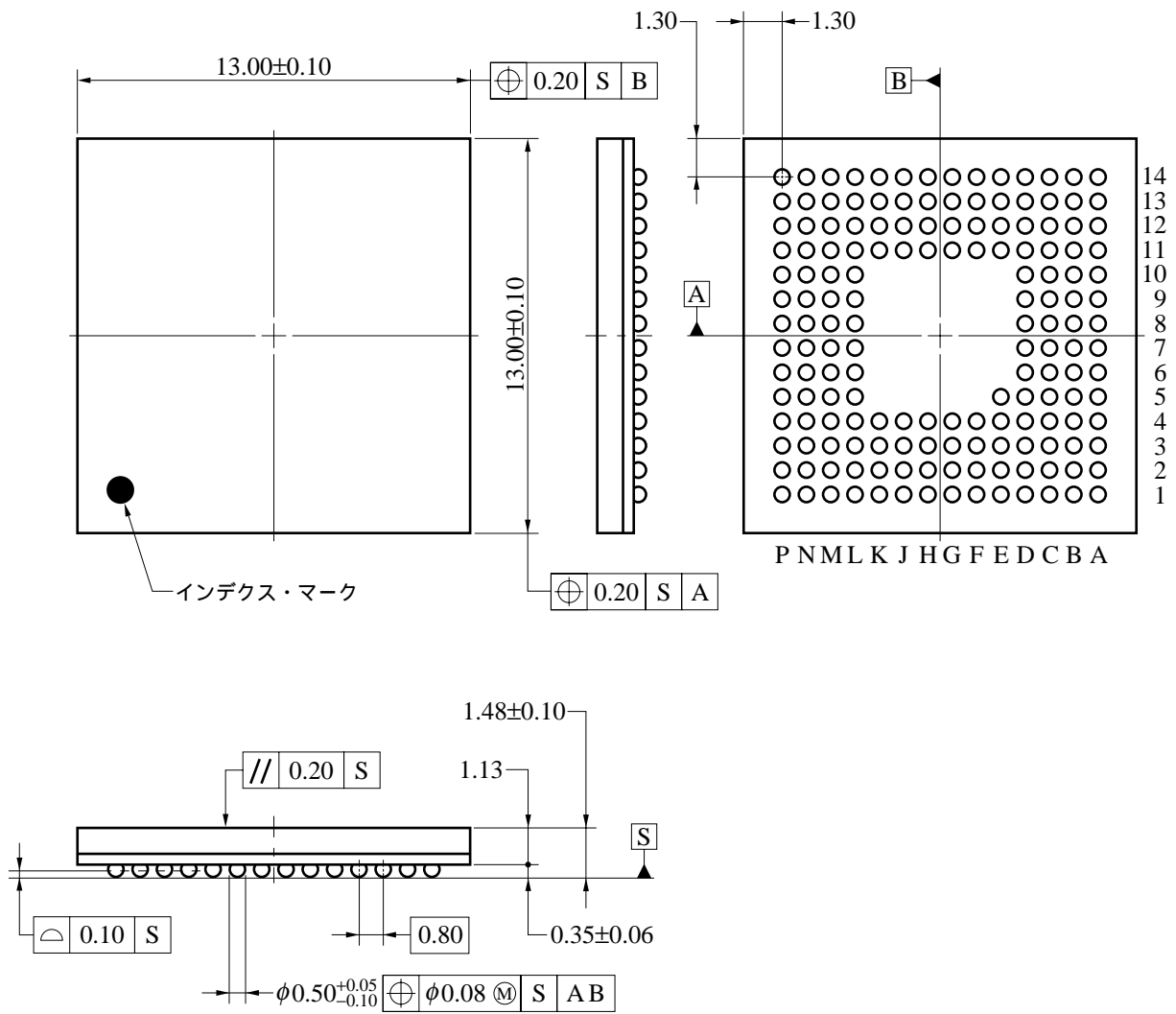


端子先端形状詳細図



S144GJ-50-UEN

161ピン・プラスチック FBGA (13x13) 外形図 (単位: mm)



P161F1-80-EN4-1

## 第19章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表19 - 1 表面実装タイプの半田付け条件 (1/3)

(1)  $\mu$  PD703106AGJ-xxx-UEN 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

$\mu$  PD703107AGJ-xxx-UEN "

$\mu$  PD70F3107AGJ-UEN "

$\mu$  PD70F3107AGJ(A)-UEN "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内 (210 以上)，回数：2回以内， 制限日数：3日間 <sup>注</sup> (以降は125 プリバーク10～72時間必要) <留意事項> 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキングが できません。	IR35-103-2
VPS	パッケージ・ピーク温度：215 ，時間：25～40秒 (200 以上)，回数：2回以内， 制限日数：3日間 <sup>注</sup> (以降は125 プリバーク10～72時間必要) <留意事項> 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキングが できません。	VP15-103-2
端子部分加熱	端子温度：350 以下，時間：3秒以内 (デバイスの一辺当たり)	-

注 ドライパック開封後の保管日数で，保管状態は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください (ただし，端子部分加熱は除く)。

備考 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

(2)  $\mu$  PD703106AF1-xxx-EN4 161ピン・プラスチックFBGA (13×13)

$\mu$  PD703107AF1-xxx-EN4 "

$\mu$  PD70F3107AF1-EN4 "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内 (210 以上)，回数：2回以内， 制限日数：7日間 <sup>注</sup> (以降は125 プリバーク10～72時間必要) <留意事項> 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキングが できません。	IR35-107-2
VPS	パッケージ・ピーク温度：215 ，時間：25～40秒 (200 以上)，回数：2回以内， 制限日数：7日間 <sup>注</sup> (以降は125 プリバーク10～72時間必要) <留意事項> 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキングが できません。	VP15-107-2

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください (ただし，端子部分加熱方式は除く)。

備考 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

表19 - 1 表面実装タイプの半田付け条件 (2/3)

(3)  $\mu$  PD703103AGJ-UEN-A 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

$\mu$  PD703105AGJ-xxx-UEN-A

"

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内 (220 以上)，回数：3回以内， 制限日数：3日間 <sup>注</sup> (以降は125 プリバーク20～72時間必要) <留意事項> 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキングが できません。	IR60-203-3
ウェーブ・ソルダ リング	詳細については，当社販売員にお問い合わせください。	—
端子部分加熱	端子温度：350 以下，時間：3秒以内 (デバイスの一辺当たり)	-

注 ドライパック開封後の保管日数で，保管状態は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください (ただし，端子部分加熱は除く)。

備考1. オータ名称末尾「-A」の製品は，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

(4)  $\mu$  PD703106AGJ-xxx-UEN-A 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

$\mu$  PD703107AGJ-xxx-UEN-A

"

$\mu$  PD70F3107AGJ-UEN-A

"

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内 (220 以上)，回数：3回以内 制限日数：7日間 <sup>注</sup> (以降は125 プリバーク20～72時間必要) <留意事項> 耐熱トレイ以外 (マガジン，テーピング，非耐熱トレイ) は，包装状態でのベーキングが できません。	IR60-207-3
ウェーブ・ソルダ リング	詳細については，当社販売員にお問い合わせください。	—
端子部分加熱	端子温度：350 以下，時間：3秒以内 (デバイスの一辺当たり)	-

注 ドライパック開封後の保管日数で，保管状態は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください (ただし，端子部分加熱は除く)。

備考1. オータ名称末尾「-A」の製品は，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

表19 - 1 表面実装タイプの半田付け条件 (3/3)

(5)  $\mu$  PD703106AF1-xxx-EN4-A 161ピン・プラスチックFBGA (13×13)

$\mu$  PD703107AF1-xxx-EN4-A "

$\mu$  PD70F3107AF1-EN4-A "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内（220 以上），回数：3回以内， 制限日数：3日間 <sup>注</sup> （以降は125 プリベーク20～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングが できません。	IR60-203-3

注 ドライパック開封後の保管日数で，保管状態は25 ，65 %RH以下。

備考1. オーダ名称末尾「-A」の製品は，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

(6)  $\mu$  PD703103AGJ-UEN 144ピン・プラスチックLQFP（ファインピッチ）（20×20）

$\mu$  PD703105AGJ-xxx-UEN "

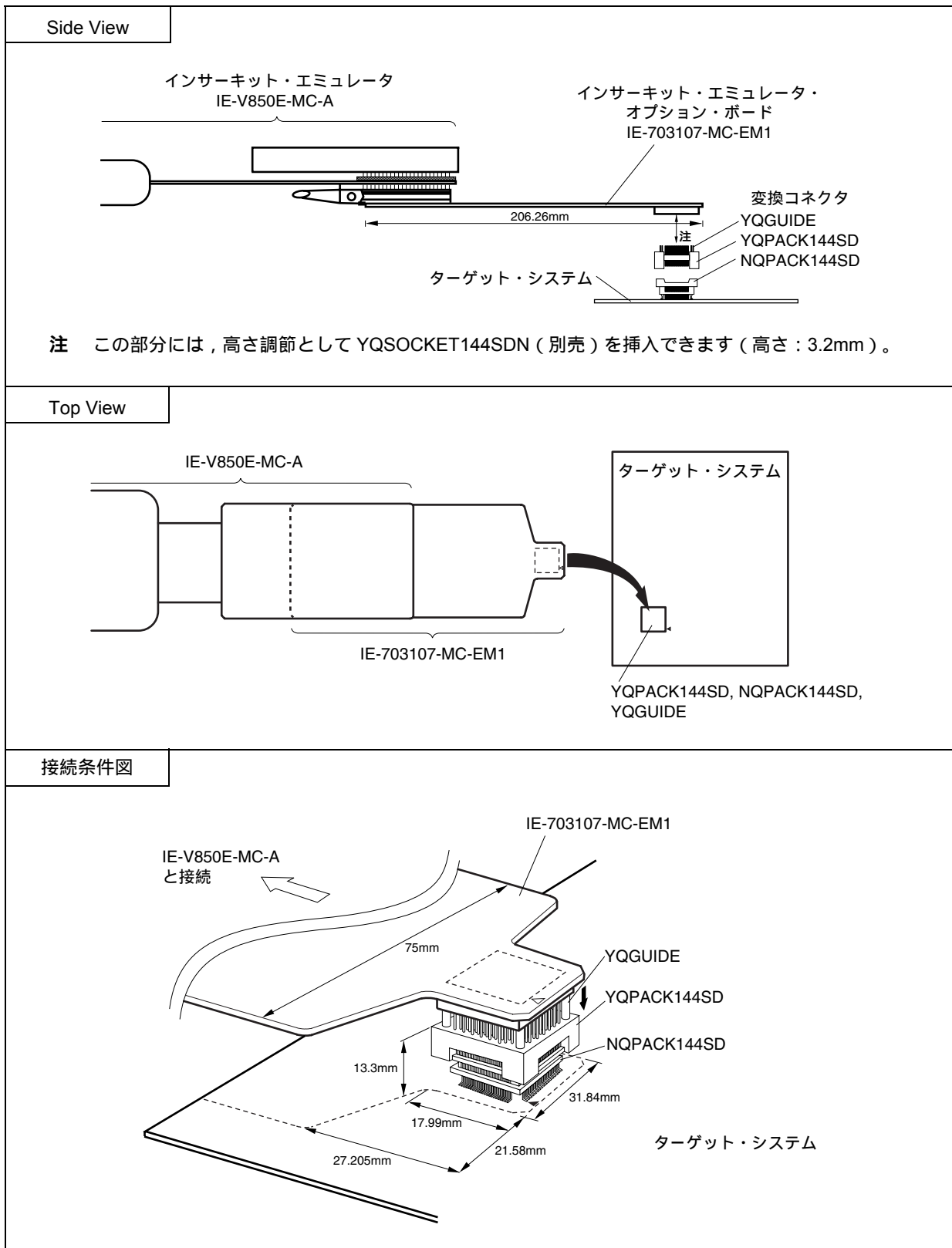
未定



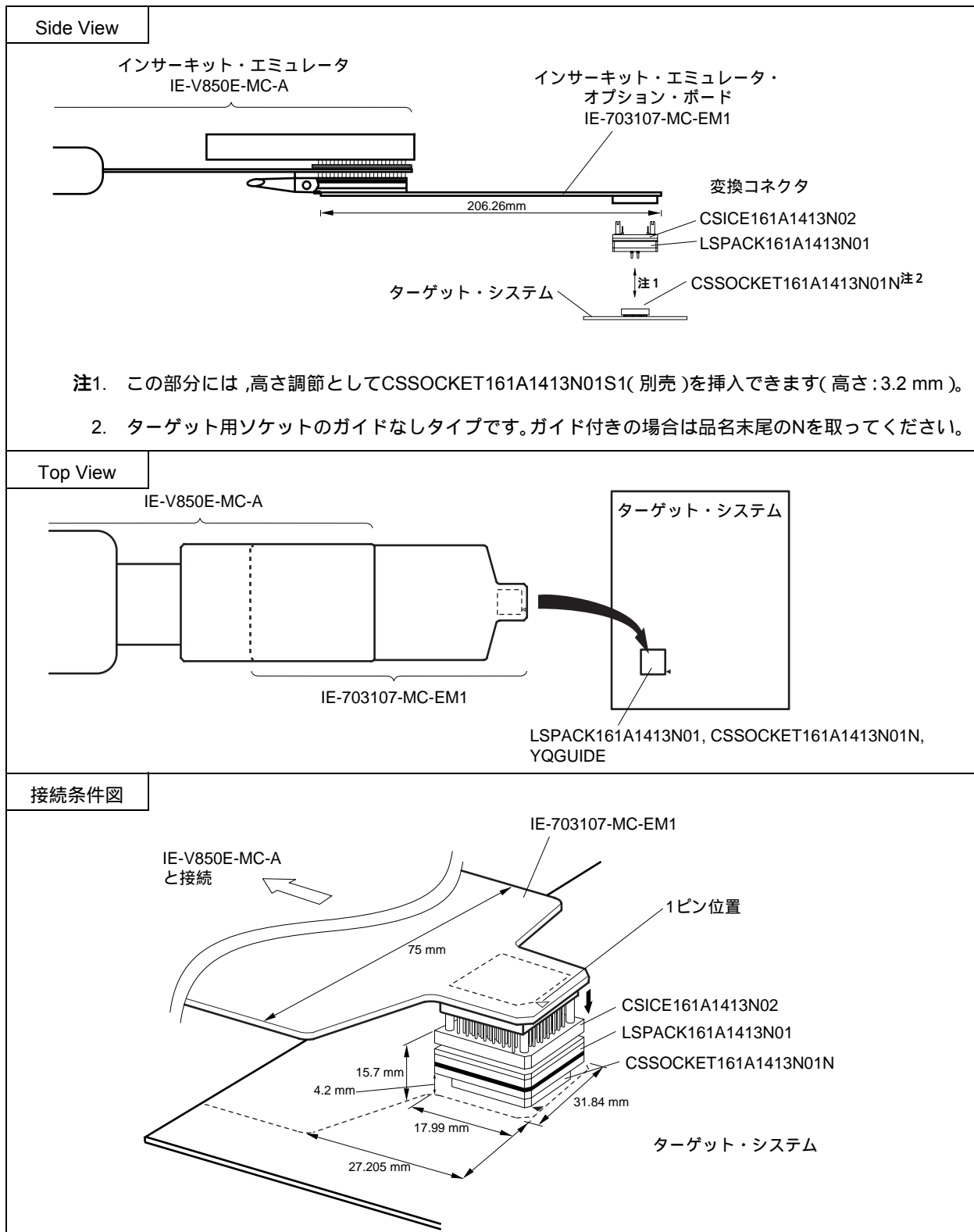
## 付録A ターゲット・システム設計上の注意

インサーキット・エミュレータ・オプション・ボードと変換コネクタの接続条件図を次に示します。この構成によってターゲット・システム上に実装する部品の形状などを考慮してシステム設計をしてください。

図A - 1 144ピン・プラスチックLQFP (ファインピッチ) (20×20) の場合



図A-2 161ピン・プラスチックFBGA (13×13) の場合



# 付録B 注意事項

## B. 1 ページROMアクセスに関する制限事項

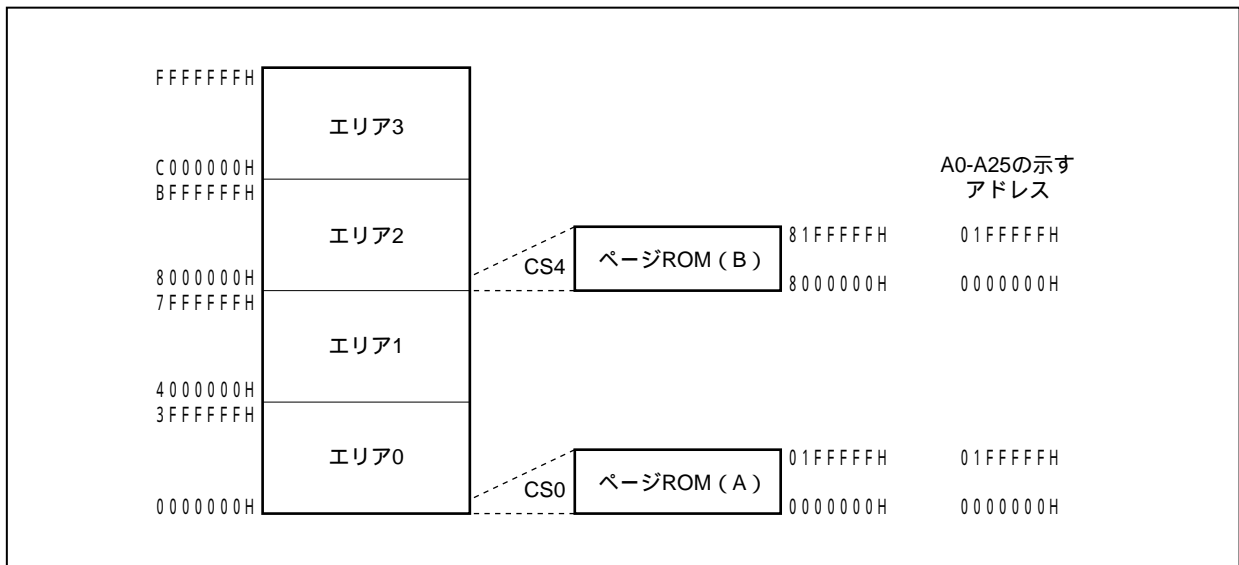
### B. 1. 1 内容詳細

複数のページROMをそれぞれ複数の異なるCSn空間に接続しているシステムにおいて、ページROMアクセス直後に連続して別のCSn空間のページROMへのアクセスが発生した場合、前者のアドレス値と後者のアドレス値がページROMの同一ページ内であったときには、両者のCSn空間が異なるにもかかわらず、同一ページROMへのページ・アクセスと誤認し、後者のアクセスに対してオンページ・サイクルを発行してしまいます(n = 0-7)。その結果、後者のアクセスに対するデータ・アクセス時間が不足し、正常な読み出しができなくなります。

**注意** ページROMは、ページ・アクセス機能を持ち、マスクROM、フラッシュ・メモリなどページ上の連続アクセスを高速に行えるメモリを含みます。

たとえば、CS0空間の0xxxxx0Hアドレスへのアクセス直後に、CS4空間の8xxxxx2Hアドレスにアクセスした場合、8xxxxx2Hに対してオンページ・サイクルが実行されます(図B-1参照)。

図B-1 不具合が発生するメモリ・マップ構成例



不具合発生条件に対する非該当例を次に示します。

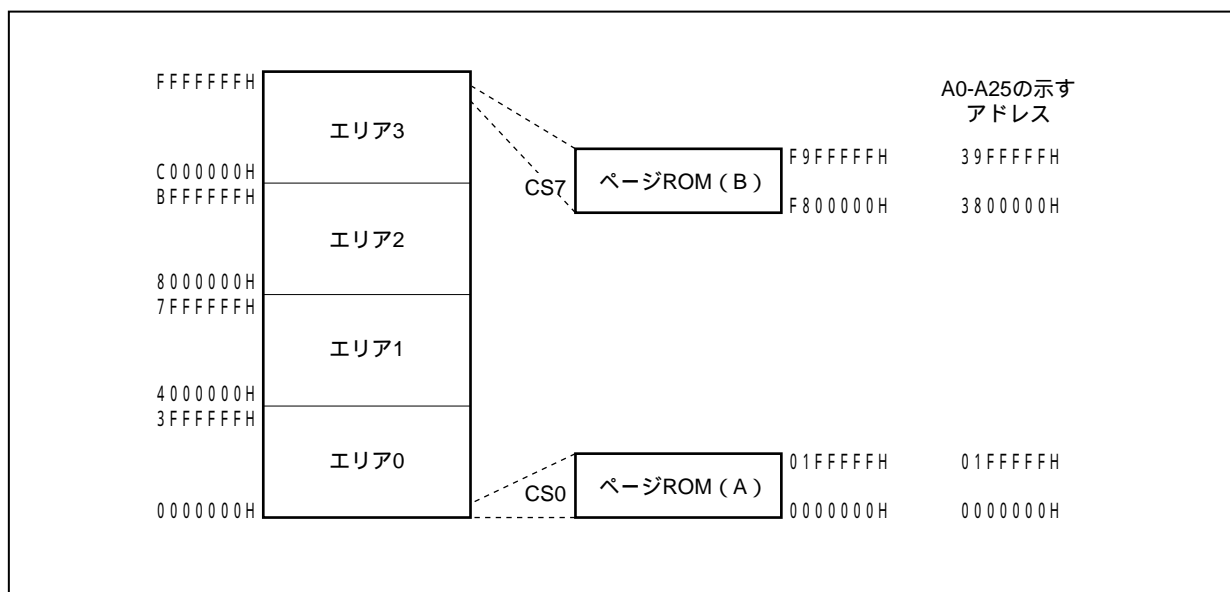
- ・ ページ・モード付きROMを使用していない。
- ・ ページ・モード付きROMを1個のみ使用している。
- ・ すべてのページ・モード付きROMにおいて、A0-A25で示されるアドレスが重ならない。

### B.1.2 回避策

複数のページROMを使用する場合、A0-A25で示されるアドレスが重ならないように、それぞれのページROMを配置してください。

たとえば、2 MバイトのページROMを2個、異なるCSn空間に配置する場合には、一方のページROMを0000000H-01FFFFFFHに配置し、他方のページROMをF800000H-F9FFFFFFHに配置するような構成にしてください(図B-2参照)。

図B-2 不具合回避メモリ・マップ構成例



## 付録C レジスタ索引

(1/7)

略号	名称	ユニット	ページ
ADCR0	A/D変換結果レジスタ0 (10ビット)	ADC	417
ADCR0H	A/D変換結果レジスタ0H (8ビット)	ADC	417
ADCR1	A/D変換結果レジスタ1 (10ビット)	ADC	417
ADCR1H	A/D変換結果レジスタ1H (8ビット)	ADC	417
ADCR2	A/D変換結果レジスタ2 (10ビット)	ADC	417
ADCR2H	A/D変換結果レジスタ2H (8ビット)	ADC	417
ADCR3	A/D変換結果レジスタ3 (10ビット)	ADC	417
ADCR3H	A/D変換結果レジスタ3H (8ビット)	ADC	417
ADCR4	A/D変換結果レジスタ4 (10ビット)	ADC	417
ADCR4H	A/D変換結果レジスタ4H (8ビット)	ADC	417
ADCR5	A/D変換結果レジスタ5 (10ビット)	ADC	417
ADCR5H	A/D変換結果レジスタ5H (8ビット)	ADC	417
ADCR6	A/D変換結果レジスタ6 (10ビット)	ADC	417
ADCR6H	A/D変換結果レジスタ6H (8ビット)	ADC	417
ADCR7	A/D変換結果レジスタ7 (10ビット)	ADC	417
ADCR7H	A/D変換結果レジスタ7H (8ビット)	ADC	417
ADIC	割り込み制御レジスタ	INTC	285
ADM0	A/Dコンバータ・モード・レジスタ0	ADC	412
ADM1	A/Dコンバータ・モード・レジスタ1	ADC	414
ADM2	A/Dコンバータ・モード・レジスタ2	ADC	416
ASC	アドレス・セットアップ・ウエイト・コントロール・レジスタ	BCU	116
ASIF0	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ0	UART0	373
ASIF1	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ1	UART1	373
ASIF2	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ2	UART2	373
ASIM0	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	UART0	367
ASIM1	アシンクロナス・シリアル・インタフェース・モード・レジスタ1	UART1	367
ASIM2	アシンクロナス・シリアル・インタフェース・モード・レジスタ2	UART2	367
ASIS0	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	UART0	371
ASIS1	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	UART1	371
ASIS2	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2	UART2	371
BCC	バス・サイクル・コントロール・レジスタ	BCU	121
BCP	バス・サイクル・ピリオド・コントロール・レジスタ	BCU	117
BCT0	バス・サイクル・タイプ・コンフィギュレーション・レジスタ0	BCU	98
BCT1	バス・サイクル・タイプ・コンフィギュレーション・レジスタ1	BCU	98
BEC	エンディアン・コンフィギュレーション・レジスタ	BCU	100
BRGC0	ポー・レート・ジェネレータ・コントロール・レジスタ0	BRG0	391
BRGC1	ポー・レート・ジェネレータ・コントロール・レジスタ1	BRG1	391
BRGC2	ポー・レート・ジェネレータ・コントロール・レジスタ2	BRG2	391
BSC	バス・サイズ・コンフィギュレーション・レジスタ	BCU	99

略号	名称	ユニット	ページ
CCC00	キャプチャ/コンペア・レジスタC00	タイマ	332
CCC01	キャプチャ/コンペア・レジスタC01	タイマ	332
CCC10	キャプチャ/コンペア・レジスタC10	タイマ	332
CCC11	キャプチャ/コンペア・レジスタC11	タイマ	332
CCC20	キャプチャ/コンペア・レジスタC20	タイマ	332
CCC21	キャプチャ/コンペア・レジスタC21	タイマ	332
CCC30	キャプチャ/コンペア・レジスタC30	タイマ	332
CCC31	キャプチャ/コンペア・レジスタC31	タイマ	332
CKC	クロック・コントロール・レジスタ	CG	310
CKSR0	クロック選択レジスタ0	UART0	390
CKSR1	クロック選択レジスタ1	UART1	390
CKSR2	クロック選択レジスタ2	UART2	390
CMD0	コンペア・レジスタD0	タイマ	356
CMD1	コンペア・レジスタD1	タイマ	356
CMD2	コンペア・レジスタD2	タイマ	356
CMD3	コンペア・レジスタD3	タイマ	356
CMICD0	割り込み制御レジスタ	INTC	285
CMICD1	割り込み制御レジスタ	INTC	285
CMICD2	割り込み制御レジスタ	INTC	285
CMICD3	割り込み制御レジスタ	INTC	285
CSC0	チップ・エリア選択コントロール・レジスタ0	BCU	94
CSC1	チップ・エリア選択コントロール・レジスタ1	BCU	94
CSIC0	クロック同期式シリアル・インタフェース・クロック選択レジスタ0	CSI0	401
CSIC1	クロック同期式シリアル・インタフェース・クロック選択レジスタ1	CSI1	401
CSIC2	クロック同期式シリアル・インタフェース・クロック選択レジスタ2	CSI2	401
CSIIC0	割り込み制御レジスタ	INTC	285
CSIIC1	割り込み制御レジスタ	INTC	285
CSIIC2	割り込み制御レジスタ	INTC	285
CSIM0	クロック同期式シリアル・インタフェース・モード・レジスタ0	CSI0	399
CSIM1	クロック同期式シリアル・インタフェース・モード・レジスタ1	CSI1	399
CSIM2	クロック同期式シリアル・インタフェース・モード・レジスタ2	CSI2	399
DADC0	DMAアドレッシング・コントロール・レジスタ0	DMAC	209
DADC1	DMAアドレッシング・コントロール・レジスタ1	DMAC	209
DADC2	DMAアドレッシング・コントロール・レジスタ2	DMAC	209
DADC3	DMAアドレッシング・コントロール・レジスタ3	DMAC	209
DBC0	DMA転送カウント・レジスタ0	DMAC	208
DBC1	DMA転送カウント・レジスタ1	DMAC	208
DBC2	DMA転送カウント・レジスタ2	DMAC	208
DBC3	DMA転送カウント・レジスタ3	DMAC	208
DCHC0	DMAチャンネル・コントロール・レジスタ0	DMAC	211
DCHC1	DMAチャンネル・コントロール・レジスタ1	DMAC	211
DCHC2	DMAチャンネル・コントロール・レジスタ2	DMAC	211
DCHC3	DMAチャンネル・コントロール・レジスタ3	DMAC	211
DDA0H	DMAデスティネーション・アドレス・レジスタ0H	DMAC	206

略号	名称	ユニット	ページ
DDA0L	DMAデスティネーション・アドレス・レジスタ0L	DMAC	207
DDA1H	DMAデスティネーション・アドレス・レジスタ1H	DMAC	206
DDA1L	DMAデスティネーション・アドレス・レジスタ1L	DMAC	207
DDA2H	DMAデスティネーション・アドレス・レジスタ2H	DMAC	206
DDA2L	DMAデスティネーション・アドレス・レジスタ2L	DMAC	207
DDA3H	DMAデスティネーション・アドレス・レジスタ3H	DMAC	206
DDA3L	DMAデスティネーション・アドレス・レジスタ3L	DMAC	207
DDIS	DMAディスエーブル・ステータス・レジスタ	DMAC	215
DMAIC0	割り込み制御レジスタ	INTC	285
DMAIC1	割り込み制御レジスタ	INTC	285
DMAIC2	割り込み制御レジスタ	INTC	285
DMAIC3	割り込み制御レジスタ	INTC	285
DRST	DMAリスタート・レジスタ	DMAC	213
DSA0H	DMAソース・アドレス・レジスタ0H	DMAC	204
DSA0L	DMAソース・アドレス・レジスタ0L	DMAC	205
DSA1H	DMAソース・アドレス・レジスタ1H	DMAC	204
DSA1L	DMAソース・アドレス・レジスタ1L	DMAC	205
DSA2H	DMAソース・アドレス・レジスタ2H	DMAC	204
DSA2L	DMAソース・アドレス・レジスタ2L	DMAC	205
DSA3H	DMAソース・アドレス・レジスタ3H	DMAC	204
DSA3L	DMAソース・アドレス・レジスタ3L	DMAC	205
DTFR0	DMAトリガ要因レジスタ0	DMAC	215
DTFR1	DMAトリガ要因レジスタ1	DMAC	215
DTFR2	DMAトリガ要因レジスタ2	DMAC	215
DTFR3	DMAトリガ要因レジスタ3	DMAC	215
DTOC	DMAターミナル・カウント出力コントロール・レジスタ	DMAC	214
DWC0	データ・ウェイト・コントロール・レジスタ0	BCU	114
DWC1	データ・ウェイト・コントロール・レジスタ1	BCU	114
FLPMC	フラッシュ・プログラミング・モード・コントロール・レジスタ	CPU	554
IMR0	割り込みマスク・レジスタ0	INTC	286
IMR1	割り込みマスク・レジスタ1	INTC	286
IMR2	割り込みマスク・レジスタ2	INTC	286
IMR3	割り込みマスク・レジスタ3	INTC	286
INTM0	外部割り込みモード・レジスタ0	INTC	277
INTM1	外部割り込みモード・レジスタ1	INTC	291
INTM2	外部割り込みモード・レジスタ2	INTC	291
INTM3	外部割り込みモード・レジスタ3	INTC	291
INTM4	外部割り込みモード・レジスタ4	INTC	291
ISPR	インサービス・プライオリティ・レジスタ	INTC	289
LOCKR	ロック・レジスタ	CPU	313
OVIC00	割り込み制御レジスタ	INTC	285
OVIC01	割り込み制御レジスタ	INTC	285
OVIC02	割り込み制御レジスタ	INTC	285
OVIC03	割り込み制御レジスタ	INTC	285



略号	名称	ユニット	ページ
P0	ポート0	ポート	475
P00IC0	割り込み制御レジスタ	INTC	285
P00IC1	割り込み制御レジスタ	INTC	285
P01IC0	割り込み制御レジスタ	INTC	285
P01IC1	割り込み制御レジスタ	INTC	285
P02IC0	割り込み制御レジスタ	INTC	285
P02IC1	割り込み制御レジスタ	INTC	285
P03IC0	割り込み制御レジスタ	INTC	285
P03IC1	割り込み制御レジスタ	INTC	285
P1	ポート1	ポート	479
P10IC0	割り込み制御レジスタ	INTC	285
P10IC1	割り込み制御レジスタ	INTC	285
P10IC2	割り込み制御レジスタ	INTC	285
P10IC3	割り込み制御レジスタ	INTC	285
P11IC0	割り込み制御レジスタ	INTC	285
P11IC1	割り込み制御レジスタ	INTC	285
P11IC2	割り込み制御レジスタ	INTC	285
P11IC3	割り込み制御レジスタ	INTC	285
P12IC0	割り込み制御レジスタ	INTC	285
P12IC1	割り込み制御レジスタ	INTC	285
P12IC2	割り込み制御レジスタ	INTC	285
P12IC3	割り込み制御レジスタ	INTC	285
P13IC0	割り込み制御レジスタ	INTC	285
P13IC1	割り込み制御レジスタ	INTC	285
P13IC2	割り込み制御レジスタ	INTC	285
P13IC3	割り込み制御レジスタ	INTC	285
P2	ポート2	ポート	481
P3	ポート3	ポート	485
P4	ポート4	ポート	488
P5	ポート5	ポート	491
P7	ポート7	ポート	493
PAH	ポートAH	ポート	496
PAL	ポートAL	ポート	494
PBD	ポートBD	ポート	515
PCD	ポートCD	ポート	511
PCM	ポートCM	ポート	507
PCS	ポートCS	ポート	500
PCT	ポートCT	ポート	504
PDL	ポートDL	ポート	496
PFC0	ポート0ファンクション・コントロール・レジスタ	ポート	478
PFC2	ポート2ファンクション・コントロール・レジスタ	ポート	484
PFC3	ポート3ファンクション・コントロール・レジスタ	ポート	487
PFC4	ポート4ファンクション・コントロール・レジスタ	ポート	490
PFCCD	ポートCDファンクション・コントロール・レジスタ	ポート	514

略号	名称	ユニット	ページ
PFCCM	ポートCMファンクション・コントロール・レジスタ	ポート	510
PFCCS	ポートCSファンクション・コントロール・レジスタ	ポート	503
PHCMD	ペリフェラル・コマンド・レジスタ	CPU	309
PHS	ペリフェラル・ステータス・レジスタ	CPU	312
PM0	ポート0モード・レジスタ	ポート	476
PM1	ポート1モード・レジスタ	ポート	479
PM2	ポート2モード・レジスタ	ポート	482
PM3	ポート3モード・レジスタ	ポート	485
PM4	ポート4モード・レジスタ	ポート	488
PM5	ポート5モード・レジスタ	ポート	491
PMAH	ポートAHモード・レジスタ	ポート	497
PMAL	ポートALモード・レジスタ	ポート	494
PMBD	ポートBDモード・レジスタ	ポート	515
PMC0	ポート0モード・コントロール・レジスタ	ポート	477
PMC1	ポート1モード・コントロール・レジスタ	ポート	480
PMC2	ポート2モード・コントロール・レジスタ	ポート	483
PMC3	ポート3モード・コントロール・レジスタ	ポート	486
PMC4	ポート4モード・コントロール・レジスタ	ポート	489
PMC5	ポート5モード・コントロール・レジスタ	ポート	492
PMCAH	ポートAHモード・コントロール・レジスタ	ポート	497
PMCAL	ポートALモード・コントロール・レジスタ	ポート	495
PMCBD	ポートBDモード・コントロール・レジスタ	ポート	516
PMCCD	ポートCDモード・コントロール・レジスタ	ポート	513
PMCCM	ポートCMモード・コントロール・レジスタ	ポート	509
PMCCS	ポートCSモード・コントロール・レジスタ	ポート	502
PMCCCT	ポートCTモード・コントロール・レジスタ	ポート	506
PMCD	ポートCDモード・レジスタ	ポート	512
PMCDL	ポートDLモード・コントロール・レジスタ	ポート	499
PMCM	ポートCMモード・レジスタ	ポート	508
PMCS	ポートCSモード・レジスタ	ポート	501
PMCT	ポートCTモード・レジスタ	ポート	505
PMDL	ポートDLモード・レジスタ	ポート	498
PRC	ページROMコンフィギュレーション・レジスタ	MEMC	147
PRCMD	コマンド・レジスタ	CPU	316
PSC	パワー・セーブ・コントロール・レジスタ	CPU	317
PSMR	パワー・セーブ・モード・レジスタ	CPU	316
PWMB0	PWMバッファ・レジスタ0	PWM	452
PWMB1	PWMバッファ・レジスタ1	PWM	452
PWMC0	PWMコントロール・レジスタ0	PWM	451
PWMC1	PWMコントロール・レジスタ1	PWM	451
RFS1	リフレッシュ・コントロール・レジスタ1	MEMC	163
	SDRAM用リフレッシュ・コントロール・レジスタ1	MEMC	192
RFS3	リフレッシュ・コントロール・レジスタ3	MEMC	163
	SDRAM用リフレッシュ・コントロール・レジスタ3	MEMC	192

略号	名称	ユニット	ページ
RFS4	リフレッシュ・コントロール・レジスタ4	MEMC	163
	SDRAM用リフレッシュ・コントロール・レジスタ4	MEMC	192
RFS6	リフレッシュ・コントロール・レジスタ6	MEMC	163
	SDRAM用リフレッシュ・コントロール・レジスタ6	MEMC	192
RWC	リフレッシュ・ウェイト・コントロール・レジスタ	MEMC	165
RXB0	受信バッファ・レジスタ0	UART0	374
RXB1	受信バッファ・レジスタ1	UART1	374
RXB2	受信バッファ・レジスタ2	UART2	374
SCR1	DRAMコンフィギュレーション・レジスタ1	MEMC	155
	SDRAMコンフィギュレーション・レジスタ1	MEMC	176
SCR3	DRAMコンフィギュレーション・レジスタ3	MEMC	155
	SDRAMコンフィギュレーション・レジスタ3	MEMC	176
SCR4	DRAMコンフィギュレーション・レジスタ4	MEMC	155
	SDRAMコンフィギュレーション・レジスタ4	MEMC	176
SCR6	DRAMコンフィギュレーション・レジスタ6	MEMC	155
	SDRAMコンフィギュレーション・レジスタ6	MEMC	176
SEIC0	割り込み制御レジスタ	INTC	285
SEIC1	割り込み制御レジスタ	INTC	285
SEIC2	割り込み制御レジスタ	INTC	285
SESC0	有効エッジ選択レジスタC0	INTC	293, 338
SESC1	有効エッジ選択レジスタC1	INTC	293, 338
SESC2	有効エッジ選択レジスタC2	INTC	293, 338
SESC3	有効エッジ選択レジスタC3	INTC	293, 338
SIO0	シリアルI/Oシフト・レジスタ0	CSI0	403
SIO1	シリアルI/Oシフト・レジスタ1	CSI1	403
SIO2	シリアルI/Oシフト・レジスタ2	CSI2	403
SIOE0	受信専用シリアルI/Oシフト・レジスタ0	CSI0	403
SIOE1	受信専用シリアルI/Oシフト・レジスタ1	CSI1	403
SIOE2	受信専用シリアルI/Oシフト・レジスタ2	CSI2	403
SOTB0	クロック同期式シリアル・インタフェース送信バッファ・レジスタ0	CSI0	404
SOTB1	クロック同期式シリアル・インタフェース送信バッファ・レジスタ1	CSI1	404
SOTB2	クロック同期式シリアル・インタフェース送信バッファ・レジスタ2	CSI2	404
SRIC0	割り込み制御レジスタ	INTC	285
SRIC1	割り込み制御レジスタ	INTC	285
SRIC2	割り込み制御レジスタ	INTC	285
STIC0	割り込み制御レジスタ	INTC	285
STIC1	割り込み制御レジスタ	INTC	285
STIC2	割り込み制御レジスタ	INTC	285
TMC0	タイマC0	タイマ	330
TMC1	タイマC1	タイマ	330
TMC2	タイマC2	タイマ	330
TMC3	タイマC3	タイマ	330
TMCC00	タイマ・モード・コントロール・レジスタC00	タイマ	334
TMCC01	タイマ・モード・コントロール・レジスタC01	タイマ	336

略号	名称	ユニット	ページ
TMCC10	タイマ・モード・コントロール・レジスタC10	タイマ	334
TMCC11	タイマ・モード・コントロール・レジスタC11	タイマ	336
TMCC20	タイマ・モード・コントロール・レジスタC20	タイマ	334
TMCC21	タイマ・モード・コントロール・レジスタC21	タイマ	336
TMCC30	タイマ・モード・コントロール・レジスタC30	タイマ	334
TMCC31	タイマ・モード・コントロール・レジスタC31	タイマ	336
TMCD0	タイマ・モード・コントロール・レジスタD0	タイマ	358
TMCD1	タイマ・モード・コントロール・レジスタD1	タイマ	358
TMCD2	タイマ・モード・コントロール・レジスタD2	タイマ	358
TMCD3	タイマ・モード・コントロール・レジスタD3	タイマ	358
TMD0	タイマD0	タイマ	355
TMD1	タイマD1	タイマ	355
TMD2	タイマD2	タイマ	355
TMD3	タイマD3	タイマ	355
TXB0	送信バッファ・レジスタ0	UART0	375
TXB1	送信バッファ・レジスタ1	UART1	375
TXB2	送信バッファ・レジスタ2	UART2	375
VSWC	システム・ウェイト・コントロール・レジスタ	BCU	89

## 付録D 命令セット一覧

### D.1 凡 例

#### (1) オペランド記述に使われる略号

略号	説明
reg1	汎用レジスタ (ソース・レジスタとして使用)
reg2	汎用レジスタ (おもにデスティネーション・レジスタとして使用。一部の命令で、ソース・レジスタとしても使用。)
reg3	汎用レジスタ (おもに除算結果の余り、乗算結果の上位32ビットを格納)
bit#3	ビット・ナンバ指定用3ビット・データ
imm x	xビット・イミューディエト・データ
disp x	xビット・ディスプレイースメント・データ
regID	システム・レジスタ番号
vector	トラップ・ベクタ (00H-1FH) を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ
sp	スタック・ポインタ (r3)
ep	エレメント・ポインタ (r30)
list x	x個のレジスタ・リスト

#### (2) オペランドに使われる略号

略号	説明
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
w	reg3を指定するコードの1ビット分データ
d	ディスプレイースメントの1ビット分データ
l	イミューディエトの1ビット分データ (イミューディエトの上位ビットを示す)
i	イミューディエトの1ビット分データ
cccc	条件コードを示す4ビット・データ
CCCC	Bcond命令の条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定用3ビット・データ
L	レジスタ・リスト中のプログラム・レジスタを指定する1ビット分データ
S	レジスタ・リスト中のシステム・レジスタを指定する1ビット分データ

## (3) オペレーションに使われる略号

略号	説明
	代入
GR[ ]	汎用レジスタ
SR[ ]	システム・レジスタ
zero-extend (n)	nをワード長までゼロ拡張する。
sign-extend (n)	nをワード長まで符号拡張する。
load-memory (a, b)	アドレス「a」からサイズ「b」のデータを読み出す。
store-memory (a, b, c)	アドレス「a」に、データ「b」をサイズ「c」で書き込む。
load-memory-bit (a, b)	アドレス「a」のビット「b」を読み出す。
store-memory-bit (a, b, c)	アドレス「a」のビット「b」に「c」を書き込む。
saturated (n)	nの飽和处理を行う (nは2の補数)。 nが計算の結果、n 7FFFFFFFHとなった場合、n = 7FFFFFFFHとする。 nが計算の結果、n 80000000Hとなった場合、n = 80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト (8ビット)
Half-word	ハーフワード (16ビット)
Word	ワード (32ビット)
+	加算
-	減算
	ビット連結
×	乗算
÷	除算
%	除算結果の余り
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

## (4) 実行クロックに使われる略号

略号	説明
i	命令実行直後にほかの命令を実行する場合 (issue)
r	命令実行直後に同一命令を繰り返す場合 (repeat)
l	命令実行結果を命令実行直後の命令で利用する場合 (latency)

## (5) フラグの動作に使われる略号

略号	説明
(ブランク)	変化なし
0	0にクリア
x	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

## (6) 条件コード

条件名 ( cond )	条件コード ( cccc )	条件式	説 明
V	0000	$OV = 1$	Overflow
NV	1000	$OV = 0$	No overflow
C/L	0001	$CY = 1$	Carry Lower ( Less than )
NC/NL	1001	$CY = 0$	No carry No lower ( Greater than or equal )
Z/E	0010	$Z = 1$	Zero Equal
NZ/NE	1010	$Z = 0$	Not zero Not equal
NH	0011	$( CY \text{ or } Z ) = 1$	Not higher ( Less than or equal )
H	1011	$( CY \text{ or } Z ) = 0$	Higher ( Greater than )
N	0100	$S = 1$	Negative
P	1100	$S = 0$	Positive
T	0101	-	Always ( 無条件 )
SA	1101	$SAT = 1$	Saturated
LT	0110	$( S \text{ xor } OV ) = 1$	Less than signed
GE	1110	$( S \text{ xor } OV ) = 0$	Greater than or equal signed
LE	0111	$( ( S \text{ xor } OV ) \text{ or } Z ) = 1$	Less than or equal signed
GT	1111	$( ( S \text{ xor } OV ) \text{ or } Z ) = 0$	Greater than signed

## D.2 インストラクション・セット (アルファベット順)

( 1/5 )

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2] GR[reg2] + GR[reg1]	1	1	1	x	x	x	x	
	imm5, reg2	rrrrr010010iiii	GR[reg2] GR[reg2] + sign-extend (imm5)	1	1	1	x	x	x	x	
ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1	x	x	x	x	
AND	reg1, reg2	rrrrr001010RRRRR	GR[reg2] GR[reg2] AND GR[reg1]	1	1	1		0	x	x	
ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] AND zero-extend (imm16)	1	1	1		0	0	x	
Bcond	disp9	dddd1011ddcccc 注1	if conditions are satisfied	条件成立時	3	3	3				
			then PC PC + sign-extend (disp9)	注2	注2	注2					
			条件不成立時	1	1	1					
BSH	reg2, reg3	rrrrr1111100000 wwwww01101000010	GR[reg3] GR[reg2] (23:16) GR[reg2] (31:24) GR [reg2] (7:0) GR[reg2] (15:8)	1	1	1	x	0	x	x	
BSW	reg2, reg3	rrrrr1111100000 wwwww01101000000	GR[reg3] GR[reg2] (7:0) GR[reg2] (15:8) GR[reg2] (23:16) GR[reg2] (31:24)	1	1	1	x	0	x	x	
CALLT	imm6	000001000iiii	CTPC PC + 2 (return PC) CTPSW PSW adr CTBP + zero-extend (imm6 logically shift left by 1) PC CTBP + zero-extend(Load-memory (adr,Half-word))	5	5	5					
CLR1	bit#3,disp16[reg1]	10bbb11110RRRRR dddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3) ) Store-memory-bit (adr, bit#3, 0)	3	3	3				x	
	reg2, [reg1]	10bbb11110RRRRR dddddddddddddd	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2) ) Store-memory-bit (adr, reg2, 0)	3	3	3				x	
CMOV	cccc, imm5, reg2, reg3	rrrrr11111iiii wwwww011000cccc0	if conditions are satisfied then GR[reg3] sign-extend (imm5) else GR[reg3] GR[reg2]	1	1	1					
	cccc, reg1, reg2, reg3	rrrrr11111RRRRR wwwww011001cccc0	if conditions are satisfied then GR[reg3] GR[reg1] else GR[reg3] GR[reg2]	1	1	1					
CMP	reg1, reg2	rrrrr001111RRRRR	result GR[reg2] - GR[reg1]	1	1	1	x	x	x	x	
	imm5, reg2	rrrrr010011iiii	result GR[reg2] - sign-extend (imm5)	1	1	1	x	x	x	x	
CTRET		000001111100000 0000000101000100	PC CTPC PSW CTPSW	4	4	4	R	R	R	R	R
DBRET		000001111100000 0000000101000110	PC DBPC PSW DBPSW	4	4	4	R	R	R	R	R
DBTRAP		1111100001000000	DBPC PC + 2 (復帰PC) DBPSW PSW PSW.NP 1 PSW.EP 1 PSW.ID 1 PC 00000060H	4	4	4					
DI		000001111100000 0000000101100000	PSW.ID 1	1	1	1					



二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
DISPOSE	imm5, list12	0000011001iiiiL LLLLLLLLLLLL00000	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until regs in list12 is loaded	n+1 注4	n+1 注4	n+1 注4						
	imm5, list12 [reg1]	0000011001iiiiL LLLLLLLLLLLLRRRRR 注5	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until regs in list12 is loaded PC GR[reg1]	n+3 注4	n+3 注4	n+3 注4						
DIV	reg1, reg2, reg3	rrrrr11111RRRRR wwwww01011000000	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x		
DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2] GR[reg2] ÷ GR[reg1] <sup>注6</sup>	35	35	35		x	x	x		
	reg1, reg2, reg3	rrrrr11111RRRRR wwwww01010000000	GR[reg2] GR[reg2] ÷ GR[reg1] <sup>注6</sup> GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x		
DIVHU	reg1, reg2, reg3	rrrrr11111RRRRR wwwww01010000010	GR[reg2] GR[reg2] ÷ GR[reg1] <sup>注6</sup> GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x		
DIVU	reg1, reg2, reg3	rrrrr11111RRRRR wwwww01011000010	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x		
EI		100001111100000 0000000101100000	PSW.ID 0	1	1	1						
HALT		000001111100000 0000000100100000	停止する	1	1	1						
HSW	reg2, reg3	rrrrr1111100000 wwwww01101000100	GR[reg3] GR[reg2] (15:0) GR[reg2] (31:16)	1	1	1	x	0	x	x		
JARL	disp22, reg2	rrrrr11110dddddd dddddddddddddd0 注7	GR[reg2] PC + 4 PC PC + sign-extend(disp22)	3	3	3						
JMP	[reg1]	0000000011RRRRR	PC GR[reg1]	4	4	4						
JR	disp22	0000011110dddddd dddddddddddddd0 注7	PC PC + sign-extend(disp22)	3	3	3						
LD.B	disp16[reg1], reg2	rrrrr111000RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Byte) )	1	1	注11						
LD.BU	disp16[reg1], reg2	rrrrr11110bRRRRR ddddddddddddddd1 注8, 10	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Byte) )	1	1	注11						
LD.H	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd0 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Halfword) )	1	1	注11						
LDSR	reg2, regID	rrrrr11111RRRRR 000000000100000 注12	SR[regID] GR[reg2]	regID = PSW以外	1	1	1					
				regID = PSW	1	1	1	x	x	x	x	x
LD.HU	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Halfword) )	1	1	注11						

モニタック	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
LD.W	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend (disp16) GR[reg2] Load-memory (adr, Word)	1	1	注11						
MOV	reg1, reg2	rrrrr000000RRRRR	GR[reg2] GR[reg1]	1	1	1						
	imm5, reg2	rrrrr010000iiii	GR[reg2] sign-extend (imm5)	1	1	1						
	imm32, reg1	00000110001RRRRR iiiiiiiiiiiiiiii IIIIIIIIIIIIIIII	GR[reg1] imm32	2	2	2						
MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1						
MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + (imm16 0 <sup>16</sup> )	1	1	1						
MUL 注22	reg1, reg2, reg3	rrrrr111111RRRRR wwwww01000100000	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	2	2						
	imm9, reg2, reg3	rrrrr111111iiii wwwww01001IIII00 注13	GR[reg3] GR[reg2] GR[reg2] × sign-extend (imm9)	1	2	2						
MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2] GR[reg2] <sup>2<sup>6</sup></sup> × GR[reg1] <sup>2<sup>6</sup></sup>	1	1	2						
	imm5, reg2	rrrrr010111iiii	GR[reg2] GR[reg2] <sup>2<sup>6</sup></sup> × sign-extend (imm5)	1	1	2						
MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] <sup>2<sup>6</sup></sup> × imm16	1	1	2						
MULU 注22	reg1, reg2, reg3	rrrrr111111RRRRR wwwww01000100010	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	2	2						
	imm9, reg2, reg3	rrrrr111111iiii wwwww01001IIII10 注13	GR[reg3] GR[reg2] GR[reg2] × zero-extend (imm9)	1	2	2						
NOP		0000000000000000	何もせず最低1クロック費やします	1	1	1						
NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2] NOT ( GR[reg1] )	1	1	1		0	x	x		
NOT1	bit#3, disp16[reg1]	01bbb11110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3) ) Store-memory-bit (adr, bit#3, Zフラグ)	3	3	3					x	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100010	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2) ) Store-memory-bit (adr, reg2, Zフラグ)	3	3	3					x	
				注3	注3	注3						
OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2] GR[reg2] OR GR[reg1]	1	1	1		0	x	x		
ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] OR zero-extend (imm16)	1	1	1		0	x	x		
PREPARE	list12, imm5	0000011110iiiiL LLLLLLLLLLLL00001	Store-memory (sp - 4, GR[reg in list12], Word) sp sp - 4 repeat 1 steps above until regs in list12 is stored sp sp-zero-extend (imm5)	n+1 注4	n+1 注4	n+1 注4						
	list12, imm5, sp/imm <sup>注15</sup>	0000011110iiiiL LLLLLLLLLLLLff011 imm16/imm32 注16	Store-memory (sp - 4, GR[reg in list12], Word) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until regs in list12 is loaded PC GR[reg1]	n+2 注4	n+2 注4	n+2 注4						
				注17	注17	注17						

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
RETI		0000011111100000 0000000101000000	if PSW.EP = 1 then PC EIPC PSW EIPSW else if PSW.NP = 1 then PC FEPC PSW FEPSW else PC EIPC PSW EIPSW	4	4	4	R	R	R	R	R
SAR	reg1, reg2	rrrrr11111RRRRR 0000000101000000	GR[reg2] GR[reg2] arithmetically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010101iiii	GR[reg2] GR[reg2] arithmetically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SASF	cccc, reg2	rrrrr111110cccc 0000001000000000	if conditions are satisfied then GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000001H else GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000000H	1	1	1					
SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2] saturated (GR[reg2] + GR[reg1] )	1	1	1	x	x	x	x	x
	imm5, reg2	rrrrr010001iiii	GR[reg2] saturated (GR[reg2] + sign-extend (imm5) )	1	1	1	x	x	x	x	x
SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2] saturated (GR[reg2] - GR[reg1])	1	1	1	x	x	x	x	x
SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2] saturated (GR[reg1] - sign-extend (imm16) )	1	1	1	x	x	x	x	x
SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2] saturated (GR[reg1] - GR[reg2])	1	1	1	x	x	x	x	x
SETF	cccc, reg2	rrrrr111110cccc 0000000000000000	if conditions are satisfied then GR[reg2] 0000001H else GR[reg2] 0000000H	1	1	1					
SET1	bit#3, disp16 [reg1]	00bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3) ) Store-memory-bit (adr, bit#3, 1)	3	3	3					x
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100000	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2) ) Store-memory-bit (adr, reg2, 1)	3	3	3					x
SHL	reg1, reg2	rrrrr11111RRRRR 0000000011000000	GR[reg2] GR[reg2] logically shift left by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010110iiii	GR[reg2] GR[reg2] logically shift left by zero-extend (imm5)	1	1	1	x	0	x	x	
SHR	reg1, reg2	rrrrr11111RRRRR 0000000010000000	GR[reg2] GR[reg2] logically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010100iiii	GR[reg2] GR[reg2] logically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SLD.B	disp7 [ep] , reg2	rrrrr0110ddddddd	adr ep + zero-extend (disp7) GR[reg2] sign-extend (Load-memory (adr, Byte) )	1	1	注9					
SLD.BU	disp4 [ep] , reg2	rrrrr0000110ddd 注18	adr ep + zero-extend (disp4) GR[reg2] zero-extend (Load-memory (adr, Byte) )	1	1	注9					
SLD.H	disp8 [ep] , reg2	rrrrr1000ddddddd 注19	adr ep + zero-extend (disp8) GR[reg2] sign-extend (Load-memory (adr, Halfword) )	1	1	注9					

モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SLD.HU	disp5 [ep] , reg2	rrrrr0000111ddd 注18, 20	adr ep + zero-extend (disp5) GR[reg2] zero-extend (Load-memory (adr, Halfword) )	1	1	注9					
SLD.W	disp8 [ep] , reg2	rrrrr1010dddddd0 注21	adr ep + zero-extend (disp8) GR[reg2] Load-memory (adr, Word)	1	1	注9					
SST.B	reg2, disp7 [ep]	rrrrr0111ddddddd	adr ep + zero-extend (disp7) Store-memory (adr, GR[reg2], Byte)	1	1	1					
SST.H	reg2, disp8 [ep]	rrrrr1001ddddddd 注19	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
SST.W	reg2, disp8 [ep]	rrrrr1010ddddddd1 注21	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Word)	1	1	1					
ST.B	reg2, disp16 [reg1]	rrrrr111010RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Byte)	1	1	1					
ST.H	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd0 注3	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
ST.W	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend(disp16) Store-memory (adr, GR[reg2], Word)	1	1	1					
STSR	regID, reg2	rrrrr111111RRRRR 000000001000000	GR[reg2] SR[regID]	1	1	1					
SUB	reg1, reg2	rrrrr001101RRRRR	GR[reg2] GR[reg2] - GR[reg1]	1	1	1	x	x	x	x	
SUBR	reg1, reg2	rrrrr001100RRRRR	GR[reg2] GR[reg1] - GR[reg2]	1	1	1	x	x	x	x	
SWITCH	reg1	0000000010RRRRR	adr (PC + 2) + (GR[reg1] logically shift left by 1) PC (PC + 2) + (sign-extend (Load-memory (adr, Halfword))) logically shift left by 1	5	5	5					
SXB	reg1	0000000101RRRRR	GR[reg1] sign-extend (GR[reg1] (7 : 0) )	1	1	1					
SXH	reg1	0000000111RRRRR	GR[reg1] sign-extend (GR[reg1] (15 : 0) )	1	1	1					
TRAP	vector	000001111111iiii 0000000100000000	EIPC PC + 4 (復帰PC) EIPSW PSW ECR.EICC 例外コード (40H-4FH, 50H-5FH) PSW.EP 1 PSW.ID 1 PC 0000040H (vectorが00H-0FH (例外コード : 40H-4FH) のとき) 0000050H (vectorが10H-1FH (例外コード : 50H-5FH) のとき)	4	4	4					
TST	reg1, reg2	rrrrr001011RRRRR	result GR[reg2] AND GR[reg1]	1	1	1		0	x	x	
TST1	bit#3, disp16 [reg1]	11bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3) )	3	3	3	注3	注3	注3		x
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100110	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2) )	3	3	3	注3	注3	注3		x
XOR	reg1, reg2	rrrrr001001RRRRR	GR[reg2] GR[reg2] XOR GR[reg1]	1	1	1		0	x	x	
XORI	imm16, reg1, reg2	rrrrr110101RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] XOR zero-extend (imm16)	1	1	1		0	x	x	
ZXB	reg1	00000000100RRRRR	GR[reg1] zero-extend (GR[reg1] (7 : 0) )	1	1	1					
ZXH	reg1	00000000110RRRRR	GR[reg1] zero-extend (GR[reg1] (15 : 0) )	1	1	1					

- 注1. ddddddddはdisp9の上位8ビットです。
2. 直前にPSWの内容を書き換える命令がある場合は4。
  3. ウェイト・ステートがない場合 (3+リード・アクセス・ウェイト・ステート数)
  4. nはlist12のロード・レジスタの合計数 (ウェイト・ステート数による。ウェイト・ステートがない場合, nはlist12のレジスタ合計数。n = 0の場合, n = 1と同じ動作)
  5. RRRRR : 00000以外
  6. 下位ハーフワード・データだけ有効
  7. ddddddddddddddddddddはdisp22の上位21ビットです。
  8. ddddddddddddddddはdisp16の上位15ビットです。
  9. ウェイト・ステート数による (ウェイト・ステートがない場合は1)
  10. b : disp16のビット0
  11. ウェイト・ステート数による (ウェイト・ステートがない場合は2)
  12. この命令ではニモニクの記述の都合上, ソース・レジスタをreg2としていますが, オペコード上はreg1のフィールドを使用しています。したがって, ニモニク記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。
    - rrrrr = regID指定
    - RRRRR = reg2指定
  13. iiii : imm9の下位5ビット  
IIII : imm9の上位4ビット
  14. reg2 = reg3 (結果の下位32ビットがレジスタに書き込まれない), またはreg3 = r0 (結果の上位32ビットはレジスタに書き込まれない) 場合は1クロック短縮されます。
  15. sp/imm : サブオペコードのビット19, 20で指定
  16. ff = 00 : spをepにロード
    - 01 : 符号拡張した16ビット・イミディエト・データ (ビット47-32) をepにロード
    - 10 : 16ビット論理左シフトした16ビット・イミディエト・データ (ビット47-32) をepにロード
    - 11 : 32ビット・イミディエト・データ (ビット63-32) をepにロード
  17. imm = imm32の場合はn + 3クロック
  18. rrrrr : 00000以外
  19. dddddddはdisp8の上位7ビットです。
  20. ddddはdisp5の上位4ビットです。
  21. dddddddはdisp8の上位6ビットです。
  22. 「MUL reg1, reg2, reg3」命令, 「MULU reg1, reg2, reg3」命令において, 次の条件をすべて満たすレジスタの組み合わせは行わないでください。この条件に当てはまる命令を実行した場合の動作は保証しません。
    - reg1 = reg3
    - reg1 reg2
    - reg1 r0
    - reg3 r0

## 付録E 改版履歴

### E.1 本版で改訂された主な箇所

( 1/2 )

箇 所	内 容
全般	<ul style="list-style-type: none"> <li>・ 次の鉛フリー製品追加  <math>\mu</math> PD703103AGJ-UEN-A, 703105AGJ-xxx-UEN-A, 703106AGJ-xxx-UEN-A,                      703107AGJ-xxx-UEN-A, 70F3107AGJ-UEN-A, 703106AF1-xxx-EN4-A,                      703107AF1-xxx-EN4-A, 70F3107AF1-EN4-A</li> <li>・ 次の製品を削除  <math>\mu</math> PD703106AGJ(A)-xxx-UEN, 703107AGJ(A)-xxx-UEN</li> </ul>
p.19, 20	1.2 特 徴 記述変更
p.37	2.2 端子状態 注追加
p.46	2.3 (9) (b) (vi) REFRQ (Refresh Request) 記述削除
p.54	2.4 端子の入出力回路タイプと未使用時の処理 記述変更
p.60	表3-2 システム・レジスタ番号 注追加および注記述変更
p.61	3.2.2 (1) 割り込み時状態退避レジスタ (EIPC, EIPSW) 追加
p.62	3.2.2 (2) NMI時状態退避レジスタ (FEPC, FEPSW) 追加
p.64	3.2.2 (5) CALLT実行時状態退避レジスタ (CTPC, CTPSW) 追加
p.65	3.2.2 (6) 例外 / デバッグ・トラップ時状態退避レジスタ (DBPC, DBPSW) 追加
p.65	3.2.2 (7) CALLTベース・ポインタ (CTBP) 追加
p.90	3.4.11 (2) sld命令と割り込み競合に関する制限事項 追加
p.139	図5-2 SRAM, 外部ROM, 外部I/Oアクセス・タイミング 図変更
p.215	6.3.9 DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3) 記述変更
p.229	図6-10 2サイクルDMA転送時のタイミング (外部I/O SRAM) 図変更
p.245	図6-16 DMAフライバイ転送時のタイミング (DRAM 外部I/O) 図変更
p.255	6.9 ネクスト・アドレス設定機能 記述変更
p.266	6.15.2 DMA要求に対する応答時間の最大値 注記述変更
p.267	6.16 (6) DMAの起動要因 記述変更
p.272	表7-1 割り込み / 例外要因一覧 記述変更
p.299	7.5.1 (2) 復 帰 注意追加
p.301	7.5.2 (2) 復 帰 注意追加
p.305	7.8 CPUが割り込みを受け付けない期間 記述変更
p.317	9.5.2 (3) パワー・セーブ・コントロール・レジスタ (PSC) 記述変更
p.322	9.5.4 (2) (a) ノンマスカブル割り込み要求, マスクされていないマスカブル割り込み要求による解除 注意追加
p.324	9.5.5 (2) (a) ノンマスカブル割り込み要求, マスクされていないマスカブル割り込み要求による解除 注意追加

箇所	内容
p.371	11. 2. 3(2)アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0-2(ASIS0-ASIS2) 記述変更
p.393	表11 - 3 ポー・レート・ジェネレータ設定データ 記述変更
p.396	11. 2. 6 (5) 連続送信時の転送レート 記述追加
p.396	11. 2. 7 注意事項 記述変更
p.461	14. 2 (2) 各ポート端子のリセット時の機能とポート/コントロール・モードを設定するレジスタ 記述変更
p.467	図14 - 8 タイプHのブロック図 注追加
p.468	図14 - 9 タイプIのブロック図 図変更
p.471	図14 - 12 タイプLのブロック図 図変更
p.473	図14 - 14 タイプNのブロック図 図変更
p.566	17. 1 通常動作モード 絶対最大定格 記述変更
p.570	17. 1 通常動作モード DC特性 記述変更
p.627	第19章 半田付け推奨条件 記述変更

## E.2 前版までの改版履歴

前版までの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

( 1/9 )

版数	前版までの改訂箇所	適用箇所
第2版	デバイス・ファイルで予約語に定義されたビットのビット番号を で囲んで表示	全般
	次に示すレジスタの操作可能ビットを8ビット単位のみに変更 VSWC, DDIS, DRST, ADM1, BCP, RWC, TMCCn1, SESCn, CKC, DTOC, INTMn, CSICn, SOTBn, RXBn, ASISn, TXBn, CKSRn, BRGCn ( n = 0-3, 1-4, 0-2 )	
	各ユニットのレジスタのCE, CAE, CSビットを各ユニットごとのビット名称に変更	
	2.3(9)(b)(vii) SELFREF 説明を追加	第2章 端子機能
	2.4 端子の入出力回路タイプと未使用時の処理 タイプ5-Kからタイプ5-ACに変更	
	2.5 端子の入出力回路 タイプ5-Kからタイプ5-ACに変更	
	3.2 CPUレジスタ・セット r2を修正	第3章 CPU機能
	3.2.1 プログラム・レジスタ・セット r2の説明を修正	
	3.4.5(3) 内蔵周辺I/O領域 注意1を削除	
	3.4.7 アドレス空間の推奨使用方法 説明を削除	
	3.4.8 周辺I/Oレジスタ PAL, PAH, PDL, PMAL, PMAH, PMDL, PMCAL, PMCAH, PMCDLレジスタを修正	
	3.4.8 周辺I/Oレジスタ IMR0-IMR3レジスタを修正	
	3.4.8 周辺I/Oレジスタ DRCnレジスタの略号をSCRnレジスタに変更 ( n = 1, 3, 4, 6 )	
	3.4.8 周辺I/Oレジスタ RFCnレジスタの略号をRFSnレジスタに変更( n = 1, 3, 4, 6 )	
	3.4.8 周辺I/Oレジスタ UNLOCKレジスタの略号をLOCKRに変更	
	3.4.8 周辺I/Oレジスタ DTOCレジスタのアドレスを修正	
	3.4.9 特定レジスタ 説明を追加	
	3.4.10 システム・ウェイト・コントロール・レジスタ (VSWC) 設定値を変更	
	3.4.11 注意事項 説明を追加	
	4.2.1 内蔵ROM, 内蔵RAM, 周辺I/Oアクセス時の端子状態 説明を修正	
	4.6.1(3) バス・サイクル・ピリオド・コントロール・レジスタ (BCP) 注意3 を追加	
	5.3.4 DRAMコンフィギュレーション・レジスタ1, 3, 4, 6 ( SCR1, SCR3, SCR4, SCR6 ) DRCnレジスタからSCRnレジスタに略号を変更 ( n = 1, 3, 4, 6 )	第5章 メモリ・アクセス制 御機能
	5.3.6(1) リフレッシュ・コントロール・レジスタ1, 3, 4, 6 ( RFS1, RFS3, RFS4, RFS6 ) RFCnレジスタからRFSnレジスタに略号を変更 ( n = 1, 3, 4, 6 )	
	5.3.7 セルフ・リフレッシュ制御機能 注意2を追加	
	図5-10 セルフ・リフレッシュ・タイミング (DRAM) 注1を追加	
	5.4.7 セルフ・リフレッシュ制御機能 注意2を追加	
	図5-19 セルフ・リフレッシュ・タイミング (SDRAM) 注1を追加	第6章 DMA機能 (DMAコン トローラ
6.3.8 DMAターミナル・カウント出力コントロール・レジスタ (DTOC) ビット 名を変更		
6.3.9 DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3) DFnビットを追加		



版数	前版までの改訂箇所	適用箇所
第2版	6. 5. 1 シングル転送モード 説明を変更, 追加	第6章 DMA機能 (DMAコントローラ)
	図6 - 8 2サイクルDMA転送時のタイミング (外部I/O SRAM) 注1を追加	
	図6 - 9 ~ 図6 - 12 2サイクルDMA転送時のタイミングを追加	
	6. 6. 2 フライバイ転送 説明を追加	
	6. 7. 1 転送の種類と転送対象 備考1を変更	
	6. 17 (3) CPUへのバス・アービトレーション 説明を変更	
	表7 - 1 割り込み / 例外要因一覧 割り込み要因の名称を修正	第7章 割り込み / 例外処理機能
	7. 3. 5 割り込みマスク・レジスタ0-3 (IMR0-IMR3) 説明を変更, 追加	
	7. 3. 9 (2) 有効エッジ選択レジスタC0-C3 (SESC0-SESC3) 注意を修正	
	9. 3. 4 クロック・コントロール・レジスタ (CKC) CKDIV0-CKDIV2ビットの説明を追加	第9章 クロック発生機能
	9. 4 PLLロックアップ UNLOCKレジスタの略号をLOCKRレジスタに変更, 注意を追加	
	9. 5. 3 (1) 設定および動作状態 注意を追加	
	9. 6. 1 (1) 内蔵タイム・ベース・カウンタで時間を確保する場合 CLKOUTのタイミングを追加	
	表10 - 1 タイマCの構成一覧 発生する割り込み信号名を修正	第10章 タイマ / カウンタ機能 (リアルタイム・パルス・ユニット)
	11. 2. 3 (1) アシクロナス・シリアル・インタフェース・モード・レジスタ0-2 (ASIM0-ASIM2) 注意の説明を追加	第11章 シリアル・インタフェース機能
	11. 2. 6 (2) (a) クロック選択レジスタ0-2 (CKSR0-CKSR2) 注意の説明を追加	
	11. 3. 1 特 徴 スレーブ・モード時の高速転送を追加	
	11. 3. 3 (1) クロック同期式シリアル・インタフェース・モード・レジスタ0-2 (CSIM0-CSIM2) 注意の説明, CSIn動作禁止状態の端子状態を追加	第12章 A/Dコンバータ
	12. 3 (4) A/D変換結果レジスタ (ADCR0-ADCR7, ADCR0H-ADCR7H) 説明を追加	
	12. 6. 1 (2) (a) 1トリガ・モード 説明を変更	第14章 ポート機能
	図14 - 2, 図14 - 4, 図14 - 5, 図14 - 7 ~ 図14 - 14 各タイプのブロック図を修正	
	14. 3. 8 ポートAL 説明, 注を追加	
	14. 3. 9 ポートAH 説明, 注を追加	
	14. 3. 10 ポートDL 説明, 注を追加	
	14. 3. 11 (2) (b) ポートCSモード・コントロール・レジスタ (PMCCS) 注を追加	
	14. 3. 12 (2) (b) ポートCTモード・コントロール・レジスタ (PMCCT) 注を追加	
	14. 3. 13 (2) (b) ポートCMモード・コントロール・レジスタ (PMCCM) 注意, 注を追加	
14. 3. 13 (2) (c) ポートCMファンクション・コントロール・レジスタ (PFCCM) 説明を追加		
14. 3. 14 (2) (b) ポートCDモード・コントロール・レジスタ (PMCCD) 注を追加		

版 数	前版までの改訂箇所	適用箇所
第2版	図16 - 1 V850E/MA1フラッシュ書き込み用アダプタ (FA-144GJ-UEN) の配線例 修正	第16章 フラッシュ・メモリ ( $\mu$ PD70F3107)
	16. 6. 3 通信方式の選択 通信方式にハンドシェイク対応CSIを追加	
	16. 7 セルフ書き込みによるフラッシュ・メモリ・プログラミング 記述を変更, 追加	
第3版	・次の製品が開発中 開発済み $\mu$ PD703106GJ-xxx-UEN, 703107GJ-xxx-UEN, 70F3107GJ-UEN ・161ピン・プラスチックFBGAパッケージ (開発中) 追加	全般
	端子名称 変更	第1章 インTRODクション
	1. 6. 2 (11) ポート 記述修正	第2章 端子機能
	2. 1 (2) ポート以外の端子 端子名称変更	
	2. 3 (12) (b) (ii) SDCLK (SDRAM Clock Output) 記述追加	
	2. 4 端子の入出力回路タイプと未使用時の処理 記述変更	第3章 CPU機能
	3. 4. 5 (3) 内蔵周辺I/O領域 注追加および注意1修正	
	図3 - 9 推奨メモリ・マップ 注修正	
	3. 4. 10 システム・ウェイト・コントロール・レジスタ (VSWC) 記述変更	第4章 バス制御機能
	4. 3 メモリ・ブロック機能 注追加	
	4. 5. 1 アクセス・クロック数 記述修正	
	表4 - 1 ウェイト機能が有効なバス・サイクル 記述修正	第5章 メモリ・アクセス制 御機能
	4. 9 バスの優先順位 記述修正	
	図5 - 5 ページROMアクセス・タイミング 注追加	
	図5 - 18 CBRリフレッシュ・タイミング (SDRAM) 修正	第6章 DMA機能 (DMAコン トローラ)
	図5 - 19 セルフ・リフレッシュ・タイミング (SDRAM) 修正	
	表6 - 1 転送の種類と転送対象の関係 備考1修正	
	図7 - 14 割り込み要求受け付け時のパイプライン動作 (概略) 修正	第7章 割り込み / 例外処理 機能
	7. 8 割り込みが受け付けられない期間 記述追加	
	9. 3. 1 ダイレクト・モード 記述修正	
	9. 3. 2 PLLモード 注意修正	第9章 クロック発生機能
	9. 3. 4 クロック・コントロール・レジスタ (CKC) 注意3変更	
	9. 5. 2 (3) パワー・セーブ・コントロール・レジスタ (PSC) 注意4変更	
	9. 6. 1 (1) 内蔵タイム・ベース・カウンタで時間を確保する場合 図修正	第10章 タイマ / カウンタ 機能 (リアルタイム・バル ス・ユニット)
	9. 6. 1 (2) 信号レベル幅で時間を確保する場合 (RESET端子入力) 図修正	
	10. 1. 5 (1) タイマ・モード・コントロール・レジスタC00-C30 (TMCC00-TMCC30) 注意追加	
	10. 1. 6 (4) コンペア動作 記述追加	第11章 シリアル・インタフ ェース機能
	図10 - 5 コンペア動作例 修正と追加	
	図10 - 8 インターバル・タイマ動作タイミング例 修正	
	図10 - 10 PWM出力動作タイミング例 修正	
図10 - 12 周期測定動作タイミング例 修正		
図10 - 14 TMD0コンペア動作例 修正	第11章 シリアル・インタフ ェース機能	
11. 2. 3 (1) アシクロナス・シリアル・インタフェース・モード・レジスタ0-2 (ASIM0-ASIM2) 注意修正		
11. 3. 4 (1) 転送モード 記述修正		

版数	前版までの改訂箇所	適用箇所
第3版	12.3(2) A/Dコンバータ・モード・レジスタ1 (ADM1) 記述追加	第12章 A/Dコンバータ
	12.3(3) A/Dコンバータ・モード・レジスタ2 (ADM2) 注意修正	
	図14-10 タイプKのブロック図 修正	第14章 ポート機能
	図16-1 V850E/MA1フラッシュ書き込み用アダプタ (FA-144GJ-UEN) の配線例備考修正	第16章 フラッシュ・メモリ ( $\mu$ PD70F3107)
	16.5.6 ポート端子 記述修正	
	16.7.1 セルフ・プログラミングの概要 記述追加	
	表16-8 フラッシュ情報 修正	
16.7.12 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) 注意1修正		
第4版	・次の製品名を削除 $\mu$ PD703103, 703105, 703106, 703107, 70F3107 ・次の製品名を追加 $\mu$ PD703103A, 703105A, 703106A, 703106A(A), 703107A, 703107A(A), 70F3107A, 70F3107A(A)	全般
	1.4 オーダ情報 記述変更	第1章 イントロダクション
	1.5 端子接続図 (Top View) 161ピン・プラスチックFBGA (13 $\times$ 13) のピン配置変更	第2章 端子機能
	1.7 各製品の相違点 追加	
	2.3(9)(b)(i) WAIT (Wait) 記述変更	第3章 CPU機能
	2.3(9)(b)(vii) SELFREF (Self Refresh Request) 注意追加	
	3.4.3(1) プログラム空間 注意の記述変更	
	3.4.5(2) 内蔵RAM領域 記述変更および注意追加	
	3.4.7(1) プログラム空間 記述削除	
	3.4.8 周辺I/Oレジスタ DMAターミナル・カウント出力コントロール・レジスタの操作可能ビット変更	第4章 バス制御機能
	3.4.10 システム・ウェイト・コントロール・レジスタ (VSWC) 表の記述変更および備考の追加	
	4.2.1 内蔵ROM, 内蔵RAM, 周辺I/Oアクセス時の端子状態 記述変更	
	4.3.1 チップ・セレクト制御機能 注意追加	
	4.4.1(1) バス・サイクル・タイプ・コンフィギュレーション・レジスタ0, 1 (BCT0, BCT1) 記述追加	
	4.5.1 アクセス・クロック数 記述変更	
	4.5.2(1) バス・サイズ・コンフィギュレーション・レジスタ (BSC) 記述追加	
	4.5.3(1) エンディアン・コンフィギュレーション・レジスタ (BEC) 注意追加	
	4.6.1(2) アドレス・セットアップ・ウェイト・コントロール・レジスタ (ASC) 注意追加	
	4.6.1(3) バス・サイクル・ピリオド・コントロール・レジスタ (BCP) 記述変更および注意追加	
	5.3.4 DRAMコンフィギュレーション・レジスタ1, 3, 4, 6 (SCR1, SCR3, SCR4, SCR6) 記述追加	第5章 メモリ・アクセス制御機能
	5.4.4 SDRAMコンフィギュレーション・レジスタ1, 3, 4, 6 (SCR1, SCR3, SCR4, SCR6) LTM2n-LTM0nビット = 00xの記述変更	
	図5-16 SDRAMアクセス・タイミング 記述変更	

版数	前版までの改訂箇所	適用箇所
第4版	6. 3. 5 DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3) 注意追加	第6章 DMA機能 (DMAコントローラ)
	6. 3. 8 DMAターミナル・カウント出力コントロール・レジスタ (DTC) 記述変更およびビット3-0にデバイス・ファイルの予約語の を追加	
	6. 3. 9 DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3) 注意追加	
	6. 5. 1 シングル転送モード 記述および図の追加	
	6. 5. 3 ブロック転送モード 記述追加	
	6. 8 DMAチャンネルの優先順位 注意追加	
	6. 16 DMARQ0-DMARQ3信号によるシングル転送時の1回転送 記述追加	
	6. 17 (5) DMAの起動要因 追加	
	第7章 割り込み / 例外処理機能 記述削除	第7章 割り込み / 例外処理機能
	図7 - 2 ノンマスカブル割り込み要求の受け付け動作 記述変更	
	7. 3. 5 割り込みマスク・レジスタ0-3 (IMR0-IMR3) 注意追加およびデバイス・ファイルの予約語の を削除	
	7. 3. 9 (1) 外部割り込みモード・レジスタ1-4 (INTM1-INTM4) 注意追加	
	7. 3. 9 (2) 有効エッジ選択レジスタC0-C3 (SESC0-SESC3) 注意追加	
	図7 - 14 割り込み要求受け付け時のパイプライン動作 (概略) 記述変更	
	7. 8 割り込みが受け付けられない期間 記述変更	
	9. 5. 4 (2) (a) ノンマスカブル割り込み要求, マスクされていないマスカブル割り込み要求による解除 記述追加	
	9. 5. 5 (2) (a) ノンマスカブル割り込み要求, マスクされていないマスカブル割り込み要求による解除 記述追加	
	9. 6. 1 (1) 内蔵タイム・ベース・カウンタで時間を確保する場合 図変更	
	9. 6. 1 (2) 信号レベル幅で時間を確保する場合 (RESET端子入力) 図変更	
	10. 1. 4 (2) (a) キャプチャ・レジスタに設定 (TMCCn1のCMSn0, CMSn1 = 0) 注意追加	第10章 タイマ / カウンタ機能 (リアルタイム・パルス・ユニット)
	10. 1. 5 (2) タイマ・モード・コントロール・レジスタC01-C31 (TMCC01-TMCC31) 記述追加およびビット5のビット名を変更	
	図10 - 12 周期測定動作タイミング例 注意追加および注意削除	
	図10 - 13 TMDn動作中のタイミング例 記述変更	
	10. 2. 5 (1) タイマ・モード・コントロール・レジスタD0-D3 (TMCD0-TMCD3) 注意追加	
	11. 2. 3 (1) アシクロナス・シリアル・インタフェース・モード・レジスタ0-2 (ASIM0-ASIM2) 注意の記述追加	
	11. 2. 3 (2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0-2 (ASIS0-ASIS2) PEnビット = 0, FEnビット = 0, OVEビット = 0の記述変更	
	11. 2. 3 (3) アシクロナス・シリアル・インタフェース送信ステータス・レジスタ0-2 (ASIF0-ASIF2) TXBFnビット, TXSFnビットの記述変更	
	11. 2. 5 (3) 連続送信動作 記述変更および図追加	
	図11 - 5 連続送信の開始手順 記述変更および注追加	
	図11 - 6 連続送信の終了手順 記述変更	
	図11 - 7 アシクロナス・シリアル・インタフェース受信完了割り込みタイミング図修正および注意追加	

版数	前版までの改訂箇所	適用箇所
第4版	11.2.6(2)(a) クロック選択レジスタ0-2 (CKSR0-CKSR2) 注意追加	第11章 シリアル・インタフェース機能
	11.2.7 注意事項 (2) 追加	
	11.3.3(1) クロック同期式シリアル・インタフェース・モード・レジスタ0-2 (CSIM0-CSIM2) 記述追加	
	12.2(5) 逐次変換レジスタ (SAR : Successive Approximation Register) 記述追加	第12章 A/Dコンバータ
	12.3(4) A/D変換結果レジスタ (ADCR0-ADCR7, ADCR0H-ADCR7H) ビット名変更	
	12.9 A/Dコンバータ特性表の読み方 追加	
	13.3(2) PWMパルファ・レジスタ0,1 (PWMB0, PWMB1) ビット名変更	第13章 PWMユニット
	14.2(1) 各ポートの機能 ポート3,4のブロック・タイプ変更	第14章 ポート機能
	図14-4 タイプDのブロック図 変更	
	図14-5 タイプEのブロック図 変更	
	図14-7 タイプGのブロック図 追加	
	図14-8 タイプHのブロック図 変更	
	図14-9 タイプIのブロック図 変更	
	図14-12 タイプLのブロック図 変更	
	図14-13 タイプMのブロック図 変更	
	図14-14 タイプNのブロック図 変更	
	14.3.1(2)(b) ポート0モード・コントロール・レジスタ (PMC0) PMC0nビット = 0の記述一部削除	
	14.3.3(2)(b) ポート2モード・コントロール・レジスタ (PMC2) PMC2nビット = 0の記述一部削除	
	14.3.4(1) コントロール・モード時の動作 P30, P33のブロック・タイプ変更	
	14.3.5(1) コントロール・モード時の動作 P40, P43のブロック・タイプ変更	
	14.3.7(1) コントロール・モード時の動作 注意追加	
	14.3.10(2)(b) ポートDLモード・コントロール・レジスタ (PMCDL) 注意追加	
	16.2 フラッシュ・ライタによる書き込み方法 注意追加	第16章 フラッシュ・メモリ ( $\mu$ PD70F3107A)
	表16-1 V850E/MA1フラッシュ書き込み用アダプタ (FA-144GJ-UEN) の配線表 追加	
	図16-2 V850E/MA1フラッシュ書き込み用アダプタ (FA-161F1-EN4) の配線例 追加	
	表16-2 V850E/MA1フラッシュ書き込み用アダプタ (FA-161F1-EN4) の配線表 追加	
	表16-5 ソフトウェア環境の条件 プログラム実行状態の内容変更	
B.2 インストラクション・セット (アルファベット順) 記述変更	付録B 命令セット一覧	
第5版	2.2 端子状態 記述変更	第2章 端子機能
	2.3(9)(b)(i) WAIT (Wait), (v) HLDRQ (Hold Request) 注意追加	
	2.3(13)(b)(i) A16-A25 (Address) 記述変更	
	2.3(14)(b)(i) A0-A15 (Address) 記述変更	
	2.3(15)(b)(i) D0-D15 (Data) 記述変更	
	2.4 端子の入出力回路タイプと未使用時の処理 CKSELの入出力回路タイプ変更	

版数	前版までの改訂箇所	適用箇所
第5版	2.5 端子の入出力回路 備考追加	第2章 端子機能
	4.2.1 内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態 記述変更	第4章 バス制御機能
	4.4(1)バス・サイクル・タイプ・コンフィギュレーション・レジスタ0, 1(BCT0, BCT1) 記述追加	
	4.8.1 機能概要 記述追加	
	4.10.1 プログラム空間 記述削除	
	5.4.3(1)各アドレスの出力, およびSDRAMの接続 記述追加	第5章 メモリ・アクセス制御機能
	5.4.3(2)バンク・アドレス出力 記述追加	
	5.4.4 SDRAMコンフィギュレーション・レジスタ1, 3, 4, 6(SCR1, SCR3, SCR4, SCR6) 注意追加	
	5.4.6(1)SDRAM用リフレッシュ・コントロール・レジスタ1, 3, 4, 6(RFS1, RFS3, RFS4, RFS6) 注意追加	
	6.3.1 DMAソース・アドレス・レジスタ0-3(DSA0-DSA3) 記述変更	第6章 DMA機能(DMAコントローラ)
	6.3.1(1)DMAソース・アドレス・レジスタ0H-3H(DSA0H-DSA3H) 記述追加 および注意追加	
	6.3.2 DMAデスティネーション・アドレス・レジスタ0-3(DDA0-DDA3) 記述変更	
	6.3.2(1)DMAデスティネーション・アドレス・レジスタ0H-3H(DDA0H-DDA3H) 記述追加および注意追加	
	6.3.3 DMA転送カウント・レジスタ0-3(DBC0-DBC3) 記述変更および注意追加	
	6.3.4 DMAアドレッシング・コントロール・レジスタ0-3(DADC0-DADC3) 記述 追加および注意追加	
	6.3.5 DMAチャンネル・コントロール・レジスタ0-3(DCHC0-DCHC3) 記述変更	
	6.3.6 DMAディスエーブル・ステータス・レジスタ(DDIS) 記述変更	
	6.3.7 DMAリスタート・レジスタ(DRST) 記述変更	
	6.3.9 DMAトリガ要因レジスタ0-3(DTFR0-DTFR3) 記述変更および注意追加	
	6.6.1 2サイクル転送 注意追加	
	表6-2 DMA転送時の外部バス・サイクル 注削除	
	6.9 ネクスト・アドレス設定機能 記述変更	
	6.10 DMA転送起動要因 注意追加	
	6.11 DMA転送完了時のターミナル・カウント出力 記述変更	
	図6-22 ターミナル・カウント信号( $\overline{\text{Tc}}$ ) タイミング例(2) 追加	
	6.12 強制中断 記述変更	
	図6-23 DMA転送の強制終了例 備考の記述変更	
	6.13.1 DMA転送強制終了に関する制限事項 追加	
	6.14 DMA転送に関する各種時間 記述変更	
	6.15.1 DMA要求に対する応答時間の例 記述変更および注意追加	
	6.15.2 DMA要求に対する応答時間の最大値 追加	
6.16(4)DMARQn信号の保持 追加		

版数	前版までの改訂箇所	適用箇所	
第5版	6. 16 (5) DMAAKn信号出力 記述追加	第6章 DMA機能 (DMAコントローラ)	
	6. 16 (7) 内蔵RAMでのプログラム実行とDMA転送 追加		
	6. 16 (8) DCHCnレジスタのTCnビットの自動クリアに関する制限事項 追加		
	6. 16 (9) DSA <sub>n</sub> , DDA <sub>n</sub> レジスタの読み出し値 追加		
	7. 2 ノンマスカブル割り込み 記述削除	第7章 割り込み / 例外処理機能	
	7. 3. 4 割り込み制御レジスタ (xxlCn) 注意追加		
	7. 3. 6 インサースビス・プライオリティ・レジスタ (ISPR) 注意追加		
	図7 - 14 割り込み要求受け付け時のパイプライン動作 (概略) 記述変更		
	7. 8 割り込みが受け付けられない期間 記述追加		
	9. 5. 4 (2) (a) ノンマスカブル割り込み要求, マスクされていないマスカブル割り込み要求による解除 記述追加	第9章 クロック発生機能	
	9. 5. 5 (2) (a) ノンマスカブル割り込み要求, マスクされていないマスカブル割り込み要求による解除 記述追加		
	図10 - 5 コンペア動作例 タイミング追加	第10章 タイマ / カウンタ機能 (リアルタイム・パルス・ユニット)	
	図10 - 6 TMC1コンペア動作例 (セット / リセット出力モード) タイミング変更		
	11. 2. 3 (1) アシクロナス・シリアル・インタフェース・モード・レジスタ0-2 (ASIM0-ASIM2) 注意および注追加	第11章 シリアル・インタフェース機能	
	11. 2. 5 (3) 連続送信動作 注意追加		
	12. 3 (1) A/Dコンバータ・モード・レジスタ0 (ADM0) 記述変更	第12章 A/Dコンバータ	
	12. 3 (2) A/Dコンバータ・モード・レジスタ1 (ADM1) 注意追加		
	12. 4. 2 (1) (b) タイマ・トリガ・モード 記述追加		
	図12 - 3 セレクト・モードの動作タイミング例: 1バッファ・モード (ANI1) 記述変更		
	図12 - 4 セレクト・モードの動作タイミング例: 4バッファ・モード (ANI6) 記述変更		
	図12 - 5 スキャン・モードの動作タイミング例: 4チャンネル・スキャン (ANI0-ANI3) 記述変更		
	12. 8. 5 タイマ1トリガ・モードおよび外部トリガ・モード時の再変換動作 追加		
	12. 8. 6 A/D変換時間についての補足 追加		
	14. 2 ポートの基本構成 備考追加		第14章 ポート機能
	14. 3. 7 (1) コントロール・モード時の動作 注意の記述変更		
	14. 3. 13 (1) コントロール・モード時の動作 注追加		
	14. 4 ポート端子を兼用端子として使用する場合の設定 追加		
	14. 5 ポート機能の動作 追加		
	14. 6 注意事項 追加		
	表15 - 1 リセット期間中の各端子の動作状態 記述追加	第15章 リセット機能	
	第17章 電気的特性 追加	第17章 電気的特性	
第18章 外形図 追加	第18章 外形図		
第19章 半田付け推奨条件 追加	第19章 半田付け推奨条件		

版 数	前版までの改訂箇所	適用箇所
第5版	付録A ターゲット・システム設計上の注意 追加	付録A ターゲット・システム設計上の注意
	付録B 注意事項 追加	付録B 注意事項
	D.2 インストラクション・セット(アルファベット順) 記述追加,注追加	付録D 命令セット一覧
	付録E 改版履歴 追加	付録E 改版履歴



〔メモ〕

## 【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

---

## 【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

---

## 【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00, 午後 1:00～5:00)

電話 : 044-435-9494

E-mail : [info@necel.com](mailto:info@necel.com)

---

## 【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。

---