お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

RENESAS

ユーザーズ・マニュアル

V850E/IA2

32ビット・シングルチップ・マイクロコントローラ

ハードウエア編

μPD703114
μPD703114(A)
μPD70F3114
μPD70F3114(A)

資料番号 U15195JJ6V1UD00（第6版）
発行年月 December 2007 N

© NEC Electronics Corporation 2001

〔メ　モ〕

目次要約

第1章　イントロダクション　…　17

第2章　端子機能　…　28

第3章　CPU**機能**　…　44

第4章　バス制御機能　…　77

第5章　メモリ・アクセス制御機能　…　96

第6章　DMA**機能（**DMA**コントローラ）**　…　101

第7章　割り込み／例外処理機能　…　131

第8章　クロック発生機能　…　170

第9章　タイマ／カウンタ機能　…　191

第10章　シリアル・インタフェース機能　…　405

第11章　A/D**コンバータ**　…　510

第12章　ポート機能　…　546

第13章　リセット機能　…　591

第14章　レギュレータ　…　601

第15章　フラッシュ・メモリ（μPD70F3114**）**　…　605

第16章　電気的特性　…　639

第17章　外 形 図　…　663

第18章　半田付け推奨条件　…　665

付録A　**ターゲット・システム設計上の注意**　…　668

付録B　**レジスタ索引**　…　670

付録C　**命令セット一覧**　…　679

付録D　**改版履歴**　…　688

CMOSデバイスの一般的注意事項

① 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して，V_{IL}（MAX.）からV_{IH}（MIN.）までの領域にとどまるような場合は，誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん，V_{IL}（MAX.）からV_{IH}（MIN.）までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

② 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については，CMOSデバイスの入力に何も接続しない状態で動作させるのではなく，プルアップかプルダウンによって入力レベルを固定してください。また，未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると，個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については，その内容を守ってください。

③ 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には，当社が出荷梱包に使用している導電性のトレーやマガジン・ケース，または導電性の緩衝材，金属ケースなどを利用し，組み立て工程にはアースを施してください。プラスチック板上に放置したり，端子を触ったりしないでください。

また，MOSデバイスを実装したボードについても同様の扱いをしてください。

④ 初期化以前の状態

電源投入時，MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定，レジスタ内容などは保証しておりません。ただし，リセット動作やモード設定で定義している項目については，これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は，まずリセット動作を実行してください。

⑤ 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合，原則として内部電源を投入した後に外部電源を投入してください。切断の際には，原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により，内部素子に過電圧が印加され，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については，その内容を守ってください。

⑥ 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に，入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については，その内容を守ってください。

本製品のうち，外国為替及び外国貿易法の規定により規制貨物等に該当するものについては，日本国外に輸出する際に，同法に基づき日本国政府の輸出許可が必要です。

- **本資料に記載されている内容は2007年12月現在のもので，今後，予告なく変更することがあります。**
  量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は，本資料の誤りに関し，一切その責を負いません。
- 当社は，本資料に記載された当社製品の使用に関連し発生した第三者の特許権，著作権その他の知的財産権の侵害等に関し，一切その責を負いません。当社は，本資料に基づき当社または第三者の特許権，著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路，ソフトウエアおよびこれらに関連する情報は，半導体製品の動作例，応用例を説明するものです。お客様の機器の設計において，回路，ソフトウエアおよびこれらに関連する情報を使用する場合には，お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し，当社は，一切その責を負いません。
- 当社は，当社製品の品質，信頼性の向上に努めておりますが，当社製品の不具合が完全に発生しないことを保証するものではありません。また，当社製品は耐放射線設計については行っておりません。当社製品をお客様の機器にご使用の際には，当社製品の不具合の結果として，生命，身体および財産に対する損害や社会的損害を生じさせないよう，お客様の責任において冗長設計，延焼対策設計，誤動作防止設計等の安全設計を行ってください。
- 当社は，当社製品の品質水準を「標準水準」，「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また，各品質水準は，以下に示す用途に製品が使われることを意図しておりますので，当社製品の品質水準をご確認ください。

  標準水準：コンピュータ，OA機器，通信機器，計測機器，AV機器，家電，工作機械，パーソナル機器，産業用ロボット

  特別水準：輸送機器（自動車，電車，船舶等），交通用信号機器，防災・防犯装置，各種安全装置，生命維持を目的として設計されていない医療機器

  特定水準：航空機器，航空宇宙機器，海底中継機器，原子力制御システム，生命維持のための医療機器，生命維持のための装置またはシステム等

当社製品のデータ・シート，データ・ブック等の資料で特に品質水準の表示がない場合は，標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には，事前に当社販売窓口までお問い合わせください。

（注）

（1）本事項において使用されている「当社」とは，NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

（2）本事項において使用されている「当社製品」とは，（1）において定義された当社の開発，製造製品をいう。

M8E0710J

はじめに

対 象 者　このマニュアルは，V850E/IA2の機能を理解し，それを用いた応用システムを設計するユーザを対象とします。
対象製品は次のようになります。

- 標準品：μPD703114, 70F3114
- 特別品：μPD703114(A), 70F3114(A)

目　　的　このマニュアルは，次の構成に示すV850E/IA2のハードウエア機能をユーザに理解していただくことを目的としています。

構　　成　V850E/IA2のユーザーズ・マニュアルは，ハードウエア編（このマニュアル）と，アーキテクチャ編（V850E1　ユーザーズ・マニュアル　アーキテクチャ編）の2冊に分かれています。

ハードウエア編	アーキテクチャ編
・端子機能	・データ・タイプ
・CPU機能	・レジスタ・セット
・内蔵周辺機能	・命令形式と命令セット
・フラッシュ・メモリ・プログラミング	・割り込みと例外
・電気的特性	・パイプラインの動作

読 み 方　このマニュアルの読者には，電気，論理回路，およびマイクロコントローラに関する一般知識を必要とします。

注意1. **このマニュアルの使用例は，一般電子機器用の『標準』品質水準品用に作成してあります。『特別』品質水準を要求する用途にこのマニュアル中の使用例を使用する場合は，実際に使用する各部品および回路について，その品質水準についてご検討のうえご使用ください。**

2. **特別品のマニュアルとして使用する場合には，次のように読み替えてください。**

μPD703114　→　703114(A)
μPD70F3114　→　70F3114(A)

一通りV850E/IA2**の機能を理解しようとするとき**
→目次に従ってお読みください。

レジスタ名が分かっていて，レジスタの詳細を確認するとき
→付録B　**レジスタ索引を利用してください。**

レジスタ・フォーマットの見方

→ビット番号を○で囲んでいるビットは，そのビット名称がデバイス・ファイルで予約語として定義されています。

各レジスタのレジスタ・フォーマットの図で0または1と記載されている場合には，それ以外の値を設定しないでください。

命令機能の詳細を理解しようとするとき

→別冊のV850E1　ユーザーズ・マニュアル　アーキテクチャ編を参照してください。

V850E/IA2の電気的特性を知りたいとき

→第16章　電気的特性を参照してください。

本文欄外の★印は，本版で改訂された主な箇所を示しています。

この“★”をPDF上でコピーして「検索する文字列」に指定することによって，改版箇所を容易に検索できます。

凡　例　**データ表記の重み：左が上位桁，右が下位桁**

アクティブ・ロウの表記：$\overline{xxx}$（端子，信号名称に上線）

メモリ・マップのアドレス：上部-上位，下部-下位

注　：本文中に付けた注の説明

注意：気を付けて読んでいただきたい内容

備考：本文の補足説明

数の表記：2進数　…　xxxxまたはxxxxB

10**進数**　…　xxxx

16**進数**　…　xxxxH

2のべき数を示す接頭語（アドレス空間，メモリ容量）：

K（**キロ**）　…　$2^{10} = 1024$

M（**メガ**）　…　$2^{20} = 1024^2$

G（**ギガ**）　…　$2^{30} = 1024^3$

データ・タイプ：ワード　…　32**ビット**

ハーフワード　…　16**ビット**

バイト　…　8**ビット**

開連資料　関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V850E/IA2**に関する資料**

資　料　名	資料番号
V850E1　**ユーザーズ・マニュアル　アーキテクチャ編**	U14559J
V850E/IA2　**ユーザーズ・マニュアル　ハードウエア編**	**このマニュアル**
V850E/IA1, V850E/IA2　**アプリケーション・ノート　ベクトル演算によるACモータ・インバータ制御編**	U14868J
V850シリーズによるインバータ制御　アプリケーション・ノート　ゼロクロス検出による120度通電方式制御編	U17209J
V850シリーズによるインバータ制御　アプリケーション・ノート　エンコーダによるベクトル制御編	U17324J
V850シリーズによるインバータ制御　アプリケーション・ノート　ホール・センサによるベクトル制御編	U17338J

開発ツールに関する資料（ユーザーズ・マニュアル）

資　料　名		資料番号
IE-V850E-MC, IE-V850E-MC-A（**インサーキット・エミュレータ**）		U14487J
IE-703114-MC-EM1（**インサーキット・エミュレータ・オプション・ボード**）		U16533J
CA850（Ver.3.00）（**Cコンパイラ・パッケージ**）	**操作編**	U17293J
	C**言語編**	U17291J
	アセンブリー言語編	U17292J
	リンク・ディレクティブ編	U17294J
PM+（Ver.6.30）（**プロジェクト・マネージャ**）		U18416J
ID850（Ver.3.00）（**統合デバッガ**）	**操作編**	U17358J
TW850（Ver.2.00）（**性能解析チューニング・ツール**）		U17241J
SM850（Ver.2.50）（**システム・シミュレータ**）	**操作編**	U16218J
SM850（Ver.2.00**以上**）（**システム・シミュレータ**）	**外部部品ユーザ・オープン・インタフェース仕様編**	U14873J
SM+（**システム・シミュレータ**）	**操作編**	U18601J
	ユーザ・オープン・インタフェース編	U18212J
RX850（Ver.3.20）（**リアルタイム**OS）	**基礎編**	U13430J
	インストレーション編	U17419J
	テクニカル編	U13431J
	タスク・デバッガ編	U17420J
RX850 Pro（Ver.3.21）（**リアルタイム**OS）	**基礎編**	U18165J
	インストレーション編	U17421J
	テクニカル編	U13772J
	タスク・デバッガ編	U17422J
RX-NET（Ver.1.30）（TCP/IP**ライブラリ**）		U15083J
AZ850（Ver.3.30）（**システム・パフォーマンス・アナライザ**）		U17423J
PG-FP4　**フラッシュ・メモリ・プログラマ**		U15260J
PG-FP5　**フラッシュ・メモリ・プログラマ**		U18865J

目　次

第1章　イントロダクション … 17

1.1 **概　　説** … 17
1.2 **特　　徴** … 19
1.3 **応用分野** … 21
1.4 **オーダ情報** … 21
1.5 **端子接続図（**Top View**）** … 22
1.6 **機能ブロック構成** … 25
1.6.1 **内部ブロック図** … 25
1.6.2 **内部ユニット** … 26

第2章　端子機能 … 28

2.1 **端子機能一覧** … 28
2.2 **端子状態** … 32
2.3 **端子機能の説明** … 33
2.4 **端子の入出力回路タイプと未使用時の処理** … 41
2.5 **端子の入出力回路** … 43

第3章 CPU**機能 …** 44

3.1 **特　　徴** … 44
3.2 CPU**レジスタ・セット** … 45
3.2.1 **プログラム・レジスタ・セット** … 46
3.2.2 **システム・レジスタ・セット** … 47
3.3 **動作モード** … 53
3.3.1 **動作モード** … 53
3.3.2 **動作モード指定** …54
3.4 **アドレス空間** … 55
3.4.1 CPU**アドレス空間** … 55
3.4.2 **イメージ** … 56
3.4.3 CPU**アドレス空間のラップ・アラウンド** … 57
3.4.4 **メモリ・マップ** … 58
3.4.5 **領　　域** … 59
3.4.6 **外部メモリ拡張** … 63
3.4.7 **アドレス空間の推奨使用方法** … 64
3.4.8 **内蔵周辺**I/O**レジスタ** … 67
3.4.9 **特定レジスタ** … 75
3.4.10 **システム・ウエイト・コントロール・レジスタ（**VSWC**）** … 75
3.4.11 **注意事項** … 75

第4章　バス制御機能 … 77

4.1 **特　　徴** … 77
4.2 **バス制御端子** … 77
4.2.1 **内蔵ROM，内蔵RAM，内蔵周辺I/Oアクセス時の端子状態** … 77
4.3 **メモリ・ブロック機能** … 78
4.3.1 **チップ・セレクト制御機能** … 79
4.4 **バス・サイクル・タイプ制御機能** … 82
4.5 **バス・アクセス** … 83
4.5.1 **アクセス・クロック数** … 83
4.5.2 **バス・サイジング機能** … 84
4.5.3 **バ ス 幅** … 85
4.6 **ウエイト機能** … 91
4.6.1 **プログラマブル・ウエイト機能** … 91
4.6.2 **外部ウエイト機能** … 92
4.6.3 **プログラマブル・ウエイトと外部ウエイトの関係** … 93
4.7 **アイドル・ステート挿入機能** … 94
4.8 **バスの優先順位** … 95
4.9 **境界動作条件** … 95
4.9.1 **プログラム空間** … 95
4.9.2 **データ空間** … 95

第5章　メモリ・アクセス制御機能 … 96

5.1 SRAM，**外部**ROM，**外部**I/O**インタフェース** … 96
5.1.1 **特　　徴** … 96
5.1.2 SRAM，**外部**ROM，**外部**I/O**アクセス** … 97

第6章 DMA**機能（**DMA**コントローラ）** … 101

6.1 **特　　徴** … 101
6.2 **構　　成** … 102
6.3 **制御レジスタ** … 103
6.3.1 DMA**ソース・アドレス・レジスタ**0-3（DSA0-DSA3） … 103
6.3.2 DMA**デスティネーション・アドレス・レジスタ**0-3（DDA0-DDA3） … 105
6.3.3 DMA**転送カウント・レジスタ**0-3（DBC0-DBC3） … 107
6.3.4 DMA**アドレシング・コントロール・レジスタ**0-3（DADC0-DADC3） … 108
6.3.5 DMA**チャネル・コントロール・レジスタ**0-3（DCHC0-DCHC3） … 110
6.3.6 DMA**ディスエーブル・ステータス・レジスタ**（DDIS） … 112
6.3.7 DMA**リスタート・レジスタ**（DRST） … 112
6.3.8 DMA**トリガ要因レジスタ**0-3（DTFR0-DTFR3） … 113
6.4 **転送モード** … 117
6.4.1 **シングル転送モード** … 117
6.4.2 **シングルステップ転送モード** … 119
6.4.3 **ブロック転送モード** … 120
6.5 **転送タイプ** … 120
6.5.1 2**サイクル転送** … 120
6.6 **転送対象** … 121
6.6.1 **転送の種類と転送対象** … 121

6. 6. 2　DMA転送（2サイクル転送）時の外部バス・サイクル　…　122
6. 7　DMAチャネルの優先順位　…　122
6. 8　ネクスト・アドレス設定機能　…　122
6. 9　DMA転送起動要因　…　124
6. 10　強制中断　…　125
6. 11　DMA転送の終了　…　125
6. 12　強制終了　…　126
6. 12. 1　DMA転送強制終了に関する制限事項　…　127
6. 13　DMA転送に関する各種時間　…　128
6. 14　注意事項　…　129

第7章　割り込み／例外処理機能　…　131

7. 1　特　　徴　…　131
7. 2　ノンマスカブル割り込み　…　134
7. 2. 1　動　　作　…　135
7. 2. 2　復　　帰　…　137
7. 2. 3　ノンマスカブル割り込みステータス・フラグ（NP）　…　138
7. 2. 4　エッジ検出機能　…　138
7. 3　マスカブル割り込み　…　139
7. 3. 1　動　　作　…　139
7. 3. 2　復　　帰　…　141
7. 3. 3　マスカブル割り込みの優先順位　…　142
7. 3. 4　割り込み制御レジスタ（xxICn）　…　146
7. 3. 5　割り込みマスク・レジスタ0-3（IMR0-IMR3）　…　149
7. 3. 6　インサービス・プライオリティ・レジスタ（ISPR）　…　150
7. 3. 7　マスカブル割り込みステータス・フラグ（ID）　…　151
7. 3. 8　割り込みトリガ・モードの選択　…　151
7. 4　ソフトウエア例外　…　159
7. 4. 1　動　　作　…　159
7. 4. 2　復　　帰　…　160
7. 4. 3　例外ステータス・フラグ（EP）　…　161
7. 5　例外トラップ　…　162
7. 5. 1　不正命令コード　…　162
7. 5. 2　デバッグ・トラップ　…　164
7. 6　多重割り込み処理制御　…　166
7. 7　割り込み応答時間　…　168
7. 8　CPUが割り込みを受け付けない期間　…　169

第8章　クロック発生機能　…　170

8. 1　特　　徴　…　170
8. 2　構　　成　…　170
8. 3　入力クロック選択　…　171
8. 3. 1　ダイレクト・モード　…　171
8. 3. 2　PLLモード　…　171
8. 3. 3　ペリフェラル・コマンド・レジスタ（PHCMD）　…　172
8. 3. 4　クロック・コントロール・レジスタ（CKC）　…　173
8. 3. 5　ペリフェラル・ステータス・レジスタ（PHS）　…　175

8.4 PLL**ロックアップ** … 176
8.5 **パワー・セーブ制御** … 177
8.5.1 **概　　要** … 177
8.5.2 **制御レジスタ** … 179
8.5.3 HALT**モード** … 182
8.5.4 IDLE**モード** … 184
8.5.5 **ソフトウエア**STOP**モード** … 186
8.6 **発振安定時間の確保** … 189
8.6.1 **発振安定時間の確保指定** … 189
8.6.2 **タイム・ベース・カウンタ（**TBC**）** … 190

第9**章　タイマ／カウンタ機能** … 191

9.1 **タイマ**0 … 191
9.1.1 **特徴（タイマ**0**）** … 191
9.1.2 **機能概要（タイマ**0**）** … 192
9.1.3 V850E/IA1**より追加された機能** … 193
9.1.4 **基本構成** … 194
9.1.5 **制御レジスタ** … 201
9.1.6 **動　　作** … 225
9.1.7 **動作タイミング** … 281
9.2 **タイマ**1 … 290
9.2.1 **特徴（タイマ**1**）** … 290
9.2.2 **機能概要（タイマ**1**）** … 290
9.2.3 **基本構成** … 292
9.2.4 **制御レジスタ** … 295
9.2.5 **動　　作** … 308
9.2.6 **内部動作補足説明** … 317
9.3 **タイマ**2 … 320
9.3.1 **特徴（タイマ**2**）** … 320
9.3.2 **機能概要（タイマ**2**）** … 320
9.3.3 **基本構成** … 322
9.3.4 **制御レジスタ** … 328
9.3.5 **動　　作** … 346
9.3.6 **タイマ**2**のコンペア・モード動作における**PWM**出力動作** … 364
9.4 **タイマ**3 … 367
9.4.1 **特徴（タイマ**3**）** … 367
9.4.2 **機能概要（タイマ**3**）** … 367
9.4.3 V850E/IA1**より追加された機能** … 368
9.4.4 **基本構成** … 368
9.4.5 **制御レジスタ** … 372
9.4.6 **動　　作** … 379
9.4.7 **使 用 例** … 387
9.4.8 **注意事項** … 393
9.5 **タイマ**4 … 394
9.5.1 **特徴（タイマ**4**）** … 394
9.5.2 **機能概要（タイマ**4**）** … 394
9.5.3 **基本構成** … 395
9.5.4 **制御レジスタ** … 399

9.5.5 動　　作 … 400
9.5.6 使 用 例 … 402
9.5.7 注意事項 … 402
9.6 タイマ接続機能 … 403
9.6.1 概　　要 … 403
9.6.2 制御レジスタ … 404

第10章 シリアル・インタフェース機能 … 405

10.1 特　　徴 … 405
10.1.1 UART1とCSI1のモード切り替え … 406
10.2 アシンクロナス・シリアル・インタフェース0（UART0） … 407
10.2.1 特　　徴 … 407
10.2.2 構　　成 … 408
10.2.3 制御レジスタ … 410
10.2.4 割り込み要求 … 417
10.2.5 動　　作 … 418
10.2.6 専用ボー・レート・ジェネレータ0（BRG0） … 430
10.2.7 注意事項 … 437
10.3 アシンクロナス・シリアル・インタフェース1（UART1） … 438
10.3.1 特　　徴 … 438
10.3.2 構　　成 … 439
10.3.3 制御レジスタ … 441
10.3.4 割り込み要求 … 450
10.3.5 動　　作 … 451
10.3.6 同期モード … 461
10.3.7 専用ボー・レート・ジェネレータ1（BRG1） … 466
10.4 クロック同期式シリアル・インタフェース0, 1（CSI0, CSI1） … 473
10.4.1 特　　徴 … 473
10.4.2 構　　成 … 474
10.4.3 制御レジスタ … 477
10.4.4 動　　作 … 490
10.4.5 出力端子 … 505
10.4.6 専用ボー･レート・ジェネレータ3（BRG3） … 506

第11章 A/Dコンバータ … 510

11.1 特　　徴 … 510
11.2 構　　成 … 510
11.3 V850E/IA1より追加された機能 … 514
11.4 制御レジスタ … 515
11.5 割り込み要求 … 525
11.6 A/Dコンバータ動作 … 526
11.6.1 A/Dコンバータ基本動作 … 526
11.6.2 動作モードとトリガ・モード … 527
11.7 A/Dトリガ・モード時の動作 … 530
11.7.1 セレクト・モードの動作 … 530
11.7.2 スキャン・モードの動作 … 531
11.8 A/Dトリガ・ポーリング・モード時の動作 … 532

11.8.1 セレクト・モードの動作 … 532
11.8.2 スキャン・モードの動作 … 533
11.9 タイマ・トリガ・モード時の動作 … 534
11.9.1 セレクト・モードの動作 … 534
11.9.2 スキャン・モードの動作 … 535
11.10 外部トリガ・モード時の動作 … 536
11.10.1 セレクト・モードの動作 … 536
11.10.2 スキャン・モードの動作 … 537
11.11 動作上の注意事項 … 538
11.11.1 A/D変換動作の停止 … 538
11.11.2 A/D変換動作中のトリガ入力 … 538
11.11.3 外部／タイマ・トリガの間隔 … 538
11.11.4 スタンバイ・モード時の動作 … 538
11.11.5 タイマ・トリガ・モード時のコンペア一致割り込み … 539
11.11.6 A/D変換結果が不定になるタイミング … 539
★ 11.11.7 スキャン・モード（A/Dトリガ・モード，A/Dトリガ・ポーリング・モード，タイマ・トリガ・モード，外部トリガ・モード），セレクト・モード（A/Dトリガ・ポーリング・モード）の強制中断時の終了方法について … 540
★ 11.11.8 A/D変換結果のばらつき … 540
★ 11.11.9 A/D変換のヒステリシス特性 … 540
11.12 A/Dコンバータ特性表の読み方 … 541

第12章 ポート機能 … 546

12.1 特 徴 … 546
12.2 ポートの基本構成 … 546
12.3 各ポートの端子機能 … 562
12.3.1 ポート0 … 562
12.3.2 ポート1 … 563
12.3.3 ポート2 … 565
12.3.4 ポート3 … 568
12.3.5 ポート4 … 571
12.3.6 ポートDH … 573
12.3.7 ポートDL … 575
12.3.8 ポートCT … 577
12.3.9 ポートCM … 579
12.4 ポート機能の動作 … 581
12.4.1 入出力ポートへの書き込み … 581
12.4.2 入出力ポートからの読み出し … 581
12.4.3 コントロール・モード時の兼用機能の出力状態 … 581
12.5 ノイズ除去回路 … 582
12.5.1 割り込み端子 … 582
12.5.2 タイマ10，タイマ3入力端子 … 583
12.5.3 タイマ2入力端子 … 587
12.6 注意事項 … 590
12.6.1 ヒステリシス特性について … 590

第13章　リセット機能 … 591

13.1 **特　　徴** … 591
13.2 **端子機能** … 591
13.3 **イニシャライズ** … 596

第14章　レギュレータ … 601

14.1 **特　　徴** … 601
14.2 **機能概要** … 601
14.3 **接 続 例** … 602
14.4 **制御レジスタ** … 604

第15章　フラッシュ・メモリ（μPD70F3114） … 605

15.1 **特　　徴** … 605
15.2 **フラッシュ・メモリ・プログラマによる書き込み方法** … 605
15.3 **プログラミング環境** … 608
15.4 **通信方式** … 608
15.5 **端子処理** … 610
15.5.1 MODE1/V_{PP}**端子** … 610
15.5.2 **シリアル・インタフェース端子** … 610
15.5.3 $\overline{\text{RESET}}$**端子** … 613
15.5.4 NMI**端子** … 613
15.5.5 MODE0, MODE1**端子** … 613
15.5.6 **ポート端子** … 613
15.5.7 **その他の信号端子** … 613
15.5.8 **電　　源** … 614
15.6 **プログラミング方法** … 614
15.6.1 **フラッシュ・メモリ制御** … 614
15.6.2 **フラッシュ・メモリ・プログラミング・モード** … 615
15.6.3 **通信方式の選択** … 615
15.6.4 **通信コマンド** … 616
15.7 **セルフ書き込みによるフラッシュ・メモリ・プログラミング** … 617
15.7.1 **セルフ・プログラミングの概要** … 617
15.7.2 **セルフ・プログラミング機能** … 618
15.7.3 **セルフ・プログラミング・インタフェースの概要** … 618
15.7.4 **ハードウエア環境** … 619
15.7.5 **ソフトウエア環境** … 621
15.7.6 **セルフ・プログラミング機能番号** … 622
15.7.7 **呼び出しパラメータ** … 623
15.7.8 RAM**パラメータの内容** … 624
15.7.9 **セルフ・プログラミング時のエラー** … 625
15.7.10 **フラッシュ情報** … 625
15.7.11 **エリア番号** … 626
15.7.12 **フラッシュ・プログラミング・モード・コントロール・レジスタ**（FLPMC） … 627
15.7.13 **デバイス内部処理の呼び出し** … 629
15.7.14 **フラッシュ・メモリの消去フロー** … 632

15. 7. 15　連続書き込みフロー　…　633
15. 7. 16　内部ベリファイ・フロー　…　634
15. 7. 17　フラッシュ情報取得フロー　…　635
15. 7. 18　セルフ・プログラミング・ライブラリ　…　636
15. 8　フラッシュ製品とマスクROM製品の判別方法　…　638

第16章　電気的特性　…　639

16. 1　通常動作モード　…　639
16. 2　フラッシュ・メモリ・プログラミング・モード　…　661

第17章　外 形 図　…　663

第18章　半田付け推奨条件　…　665

付録A　ターゲット・システム設計上の注意　…　668

付録B　レジスタ索引　…　670

付録C　命令セット一覧　…　679

C. 1　凡　　例　…　679
C. 2　インストラクション・セット（アルファベット順）　…　682

付録D　改版履歴　…　688

D. 1　本版で改訂された主な箇所　…　688
D. 2　前版までの改版履歴　…　689

第1章　イントロダクション

V850E/IA2は，NECエレクトロニクスのシングルチップ・マイクロコントローラ「V850マイコン」の1製品です。この章では，V850E/IA2の概要を説明します。

1.1 概　　説

V850E/IA2は，V850マイコンの「V850E1 CPU」を使用し，ROM, RAM, および，バス・インタフェース，DMAコントローラ，モータ用3相正弦波PWMタイマをはじめ各種タイマ，シリアル・インタフェース，A/Dコンバータなどの周辺機能を内蔵し，高速演算による高精度なモータのインバータ制御を実現した32ビット・シングルチップ・マイクロコントローラです。

(1)「V850E1 CPU」搭載

「V850E1 CPU」は，RISC型命令セットをサポートしており，1命令を1クロックで実行する基本命令と，最適化されたパイプラインにより，命令実行速度を飛躍的に向上させています。さらにディジタル・サーボ制御の応用に最適な命令として，32ビットのハードウエア乗算器による乗算命令，飽和積和演算命令，ビット操作命令などもサポートしています。

また，2バイト長の基本命令，高級言語対応命令などにより，Cコンパイラでのオブジェクト・コード効率を高めており，プログラム・サイズのコンパクト化を実現します。

さらに，内蔵割り込みコントローラでの処理を含む割り込み応答時間も高速なため，高度なリアルタイム制御分野に適しています。

(2) 外部バス・インタフェース機能

外部バス・インタフェースとして，マルチプレクス・バス構成のアドレス・バス（22ビット），データ・バス（8ビットまたは16ビットを選択）があり，コンパクトなシステム設計に適しています。接続できるメモリは，SRAMとROMです。

また，DMAコントローラは，ソフトウエアにより転送が起動され，CPU内部の演算やデータ転送と並行して外部メモリ間の転送ができます。高速で，高性能なCPUの命令実行により，モータ制御，通信制御などのリアルタイム制御も同時に実現できます。

(3) フラッシュ・メモリ内蔵（μPD70F3114）

フラッシュ・メモリ内蔵品（μPD70F3114）は，高速アクセス可能なフラッシュ・メモリを内蔵しており，アプリケーション・システム上にV850E/IA2を実装したままプログラムの書き換えが行えるため，システム開発期間の短縮が実現できます。また，システム出荷後のメンテナンス性を飛躍的に向上させることができます。

(4) 充実したミドルウエア，開発環境製品群

V850E/IA2はJPEG, JBIG, MH/MR/MMRなどのミドルウエアを高速実行できます。また，音声認識，音声合成などの処理を実現するミドルウエアも用意されているので，これらのミドルウエアと組み合わせることにより，マルチメディア・システムを容易に実現できます。

また，最適化Cコンパイラ，デバッガ，インサーキット・エミュレータ，シミュレータ，システム・パフォーマンス・アナライザなどの統合された開発環境も用意しています。

表1－1にV850E/IA1とV850E/IA2の製品間の違い，表1－2にV850E/IA1とV850E/IA2のレジスタ設定値の違いを示します。

表1－1　V850E/IA1とV850E/IA2の製品間の違い

項　　目		V850E/IA1	V850E/IA2
最大動作周波数		50 MHz[注]	40 MHz
内蔵ROM	マスクROM	μPD703116：256 Kバイト	μPD703114：128 Kバイト
	フラッシュ・メモリ	μPD70F3116：256 Kバイト	μPD70F3114：128 Kバイト
内蔵RAM		10 Kバイト	6 Kバイト
タイマ	タイマ00, 01	あり	バッファ・レジスタ，コンペア・レジスタ，コンペアー致割り込み追加
	タイマ10, 11	あり	タイマ10：あり，タイマ11：なし
	タイマ20, 21	あり	あり
	タイマ3	あり	INTP4入力によるTO3出力バッファ・オフ機能追加
	タイマ4	あり	あり
シリアル・インタフェース	UART0	あり	あり
	UART1	あり	あり（CSI1と端子兼用）
	UART2	あり	なし
	CSI0	あり	あり
	CSI1	あり	あり（UART1と端子兼用）
	FCAN	あり	なし
デバッグ支援機能	NBD	あり	なし
A/Dコンバータ	アナログ入力	2回路合計：16 ch A/Dコンバータ0：8 ch A/Dコンバータ1：8 ch	2回路合計：14 ch A/Dコンバータ0：6 ch A/Dコンバータ1：8 ch
	AV_{DD}, AV_{REF}端子	独立端子	兼用端子
電源電圧		V_{DD3} = 3.3 V±0.3 V V_{DD5} = 5.0 V±0.5 V	V_{DD} = RV_{DD} = 5.0 V±0.5 V レギュレータ内蔵
パッケージ		144ピン・プラスチックLQFP	100ピン・プラスチックLQFP 100ピン・プラスチックQFP

注　インサーキット・エミュレータの最大動作周波数は40 MHzです。バージョン・アップにより50 MHz対応できますので，当社販売員または特約店にお問い合わせください。

備考　詳細は，各製品のユーザーズ・マニュアルを参照してください。

表1－2　V850E/IA1とV850E/IA2のレジスタ設定値の違い

レジスタ名	V850E/IA1	V850E/IA2
システム・ウエイト・コントロール・レジスタ（VSWC）	12H	02H
タイマ1/タイマ2クロック選択レジスタ（PRM02）	00Hまたは01H	01H（初期値00H）

備考　詳細は，各製品のユーザーズ・マニュアルを参照してください。

1.2 特　　徴

○命令数　　80

○最小命令実行時間　25 ns（内部40 MHz動作時）

○汎用レジスタ　　32ビット×32本

○命令セット　　V850E1（NB85E）CPU
符号付き乗算（32ビット×32ビット→64ビット）
：1-2クロック
飽和演算命令（オーバフロー／アンダフロー検出機能付き）
32ビット・シフト命令：1クロック
ビット操作命令
ロング／ショート形式を持つロード／ストア命令
符号付きロード命令

○メモリ空間　　4 Mバイト・リニア・アドレス空間（プログラム／データ共有）
メモリ・ブロック分割機能：2 Mバイト／ブロック
プログラマブル・ウエイト機能
アイドル・ステート挿入機能

○外部バス・インタフェース
16ビット・データ・バス（アドレス／データ・マルチプレクス）
16/8ビット・バス・サイジング機能
外部ウエイト機能

○内蔵メモリ

製品名	内蔵ROM	内蔵RAM
μPD703114	128 Kバイト（マスクROM）	6 Kバイト
μPD70F3114	128 Kバイト（フラッシュ・メモリ）	6 Kバイト

○割り込み／例外　　外部割り込み　：16本（NMI含む）
内部割り込み　：42要因
例外　：1要因
8レベルの優先順位指定可能

○DMAコントローラ

4チャネル構成
転送単位　　：8ビット／16ビット
最大転送回数：65536（2^{16}）回
転送タイプ　：2サイクル転送
転送モード　：シングル転送／シングルステップ転送／ブロック転送
転送対象　　：メモリ←→メモリ，メモリ←→I/O，I/O←→I/O
転送要求　　：内蔵周辺I/O／ソフトウエア
ネクスト・アドレス設定機能

○I/Oライン　　入力ポート　：6
入出力ポート：47

○タイマ／カウンタ機能

3相正弦波PWMインバータ制御用16ビット・タイマ：2 ch
2相エンコーダ入力用16ビット・アップ/ダウン・カウンタ／タイマ：1 ch
汎用16ビット・タイマ／カウンタ：2 ch
汎用16ビット・タイマ／イベント・カウンタ：1 ch
16ビット・インターバル・タイマ：1 ch

○シリアル・インタフェース

アシンクロナス・シリアル・インタフェース（UART）：2 ch
クロック同期式シリアル・インタフェース（CSI）：2 ch
なお，4 chのうち2 chはCSIとUARTが端子を兼用しており，切り替えが必要

○A/Dコンバータ　10ビット分解能A/Dコンバータ：6 ch＋8 ch（2ユニット）

○レギュレータ　内部CPU用，周辺インタフェース用の2電源を用意する必要なし
N-chトランジスタ（2SD1950（VL規格品，面実装タイプ），または2SD1581（自立タイプ）を推奨）を接続することで5 V単一電源のシステム構成が可能
3.3 V電源を別に用意できる場合は，直接REGIN端子に接続が可能

○クロック・ジェネレータ

PLLクロック・シンセサイザによる逓倍機能（1, 2.5, 5, 10逓倍）
外部クロック入力による2分周機能

○パワー・セーブ機能

HALT／IDLE／ソフトウエアSTOPモード

○パッケージ　100ピン・プラスチックLQFP（ファインピッチ）（14×14）
100ピン・プラスチックQFP（14×20）

○CMOS構造　完全スタティック回路

1.3　応用分野

・μPD703114, 70F3114　　：民生機器（インバータ・エアコンなど）
　　産業機器（モータ制御，汎用インバータなど）
・μPD703114(A), 70F3114(A)　：電装分野（電動パワー・ステアリングなど）

1.4　オーダ情報

品　名	パッケージ	品質水準
μPD703114GC-xxx-8EU	100ピン・プラスチックLQFP（ファインピッチ）（14×14）	標準（一般電子機器用）
μPD703114GC-xxx-8EU-A	〃	〃
μPD703114GC(A)-xxx-8EU	〃	特別（高信頼度電子機器用）
μPD703114GC(A)-xxx-8EU-A	〃	〃
μPD703114GF-xxx-3BA	100ピン・プラスチックQFP（14×20）	標準（一般電子機器用）
μPD703114GF-xxx-3BA-A	〃	〃
μPD70F3114GC-8EU	100ピン・プラスチックLQFP（ファインピッチ）（14×14）	〃
μPD70F3114GC-8EU-A	〃	〃
μPD70F3114GC(A)-8EU	〃	特別（高信頼度電子機器用）
μPD70F3114GC(A)-8EU-A	〃	〃
μPD70F3114GF-3BA	100ピン・プラスチックQFP（14×20）	標準（一般電子機器用）
μPD70F3114GF-3BA-A	〃	〃

備考1.　xxxはROMコード番号です。

2.　オーダ名称末尾「-A」の製品は，鉛フリー製品です。

品質水準とその応用分野の詳細については当社発行の資料「NEC半導体デバイスの品質水準」（資料番号C11531J）をご覧ください。

1. 5　端子接続図（Top View）

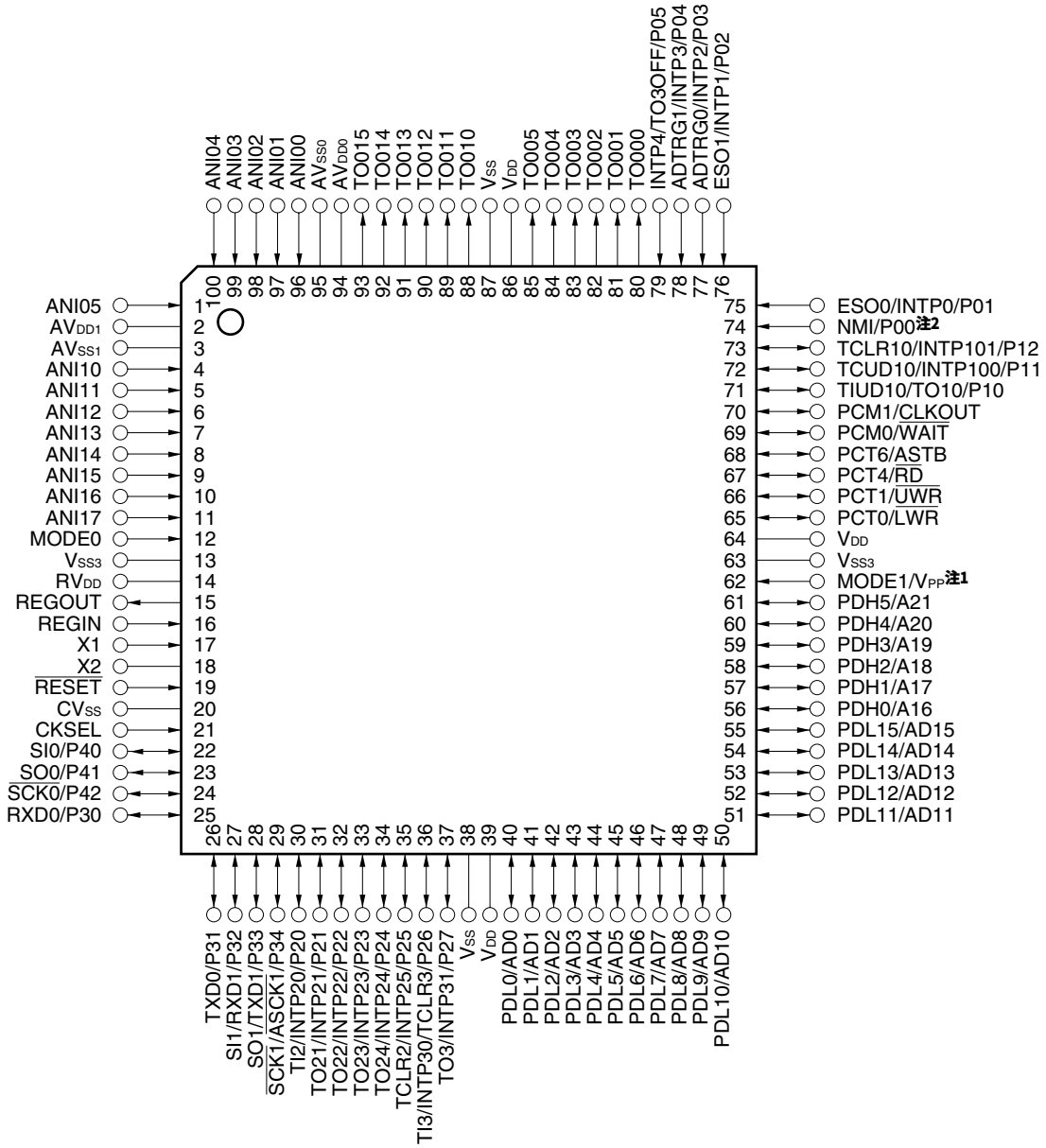
・100ピン・プラスチックLQFP（ファインピッチ）（14×14）

μPD703114GC-xxx-8EU　　μPD70F3114GC-8EU

μPD703114GC-xxx-8EU-A　　μPD70F3114GC-8EU-A

μPD703114GC(A)-xxx-8EU　　μPD70F3114GC(A)-8EU

μPD703114GC(A)-xxx-8EU-A　　μPD70F3114GC(A)-8EU-A



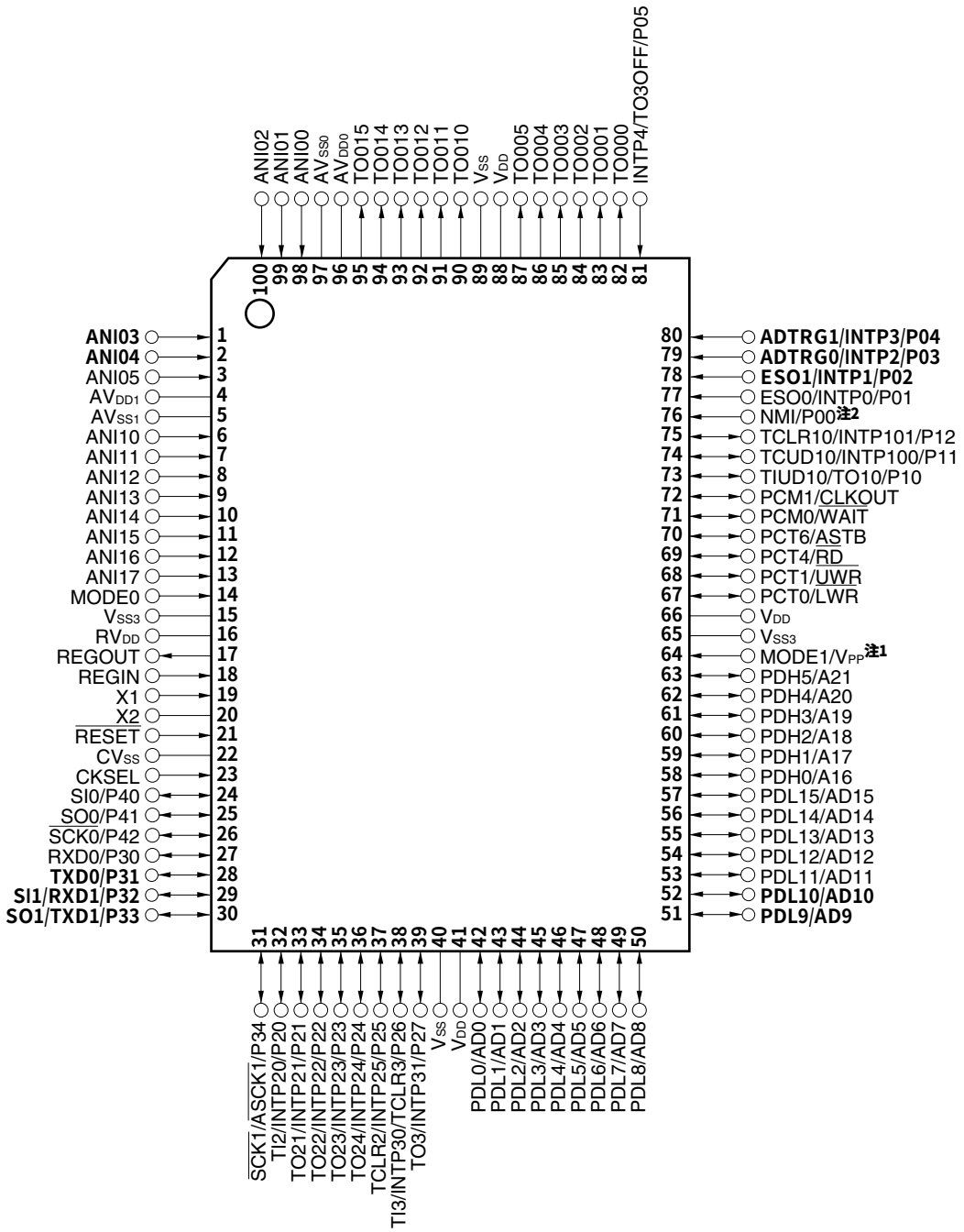
注1.　μPD70F3114**のみ**

2. NMI/P00**端子は，常時**NMI**端子として機能します。**P0.P00**ビットを読み出すことで，**NMI**端子のレベルを読み出すことができます。**

・100ピン・プラスチックQFP（14×20）

μPD703114GF-xxx-3BA　　μPD70F3114GF-3BA

μPD703114GF-xxx-3BA-A　　μPD70F3114GF-3BA-A



注1.　μPD70F3114**のみ**

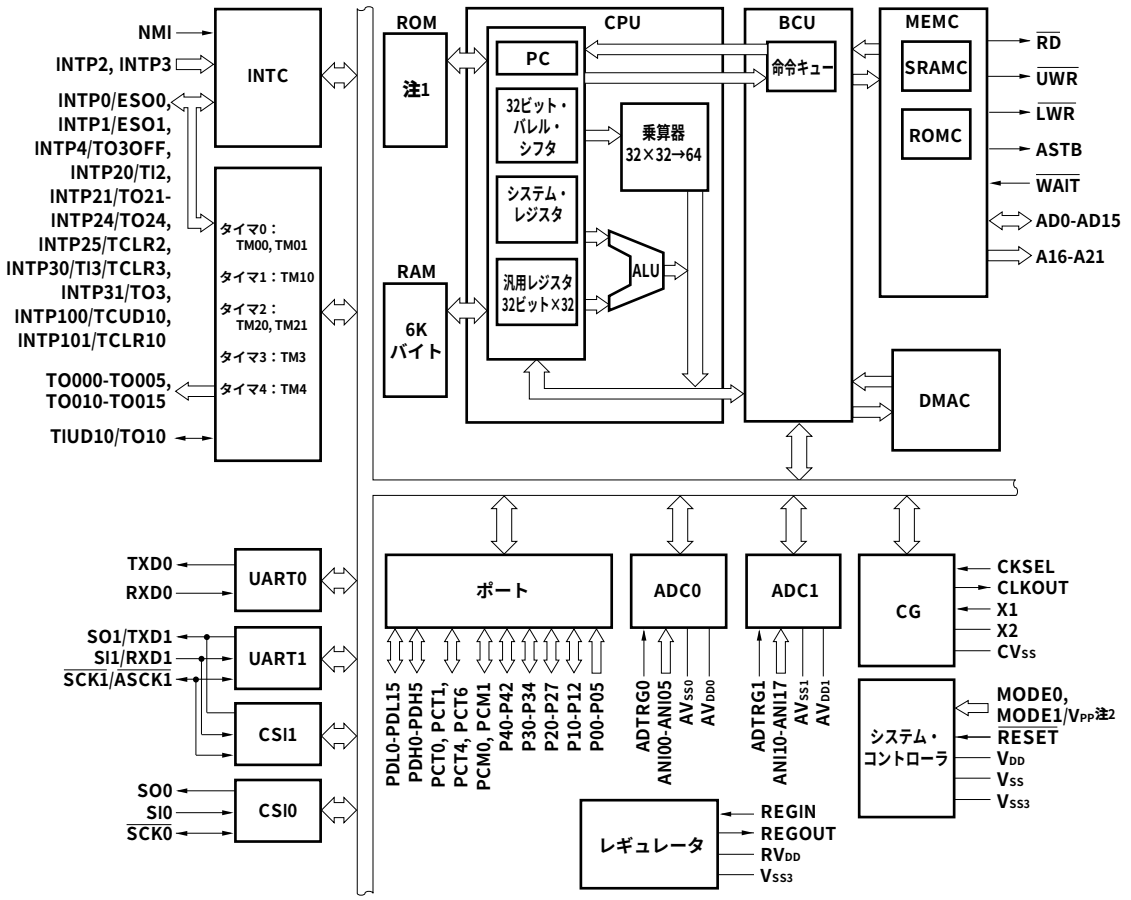
2. NMI/P00**端子は，常時**NMI**端子として機能します。**P0.P00**ビットを読み出すことで，**NMI**端子のレベルを読み出すことができます。**

端子名称

A16-A21	：Address Bus
AD0-AD15	：Address/Data Bus
ADTRG0, ADTRG1	：A/D Trigger Input
ANI00-ANI05, ANI10-ANI17	：Analog Input
$\overline{\text{ASCK1}}$	：Asynchronous Serial Clock
ASTB	：Address Strobe
AV_{DD0}, AV_{DD1}	：Analog Power Supply
AV_{SS0}, AV_{SS1}	：Analog Ground
CKSEL	：Clock Generator Operating Mode Select
CLKOUT	：Clock Output
CV_{SS}	：Clock Generator Ground
ESO0, ESO1	：Emergency Shut Off
INTP0-INTP4, INTP100, INTP101, INTP20-INTP25, INTP30, INTP31	：External Interrupt Input
$\overline{\text{LWR}}$	：Lower Write Strobe
MODE0, MODE1	：Mode
NMI	：Non-maskable Interrupt Request
P00-P05	：Port 0
P10-P12	：Port 1
P20-P27	：Port 2
P30-P34	：Port 3
P40-P42	：Port 4
PCM0, PCM1	：Port CM
PCT0, PCT1, PCT4, PCT6	：Port CT
PDH0-PDH5	：Port DH
PDL0-PLD15	：Port DL
$\overline{\text{RD}}$	：Read Strobe
$\overline{\text{RESET}}$	：Reset
REGIN	：Regulator Input
REGOUT	：Regulator Output
RV_{DD}	：Regulator Power Supply
RXD0, RXD1	：Receive Data
$\overline{\text{SCK0}}$, $\overline{\text{SCK1}}$	：Serial Clock
SI0, SI1	：Serial Input
SO0, SO1	：Serial Output
TCLR10, TCLR2, TCLR3	：Timer Clear
TCUD10	：Timer Control Pulse Input
TI2, TI3	：Timer Input
TIUD10	：Timer Count Pulse Input
TO000-TO005, TO010-TO015, TO10, TO21-TO24, TO3	：Timer Output
TO3OFF	：Timer Output 3 Off
TXD0, TXD1	：Transmit Data
$\overline{\text{UWR}}$	：Upper Write Strobe
V_{DD}	：Power Supply
V_{PP}	：Programming Power Supply
V_{SS}, V_{SS3}	：Ground
$\overline{\text{WAIT}}$	：Wait
X1, X2	：Crystal

1. 6　機能ブロック構成

1. 6. 1　内部ブロック図



注1.　μPD703114　**：**128 K**バイト（マスク**ROM）

μPD70F3114 **：**128 K**バイト（フラッシュ・メモリ）**

2.　μPD70F3114**のみ**

1.6.2　内部ユニット

(1) CPU

アドレス計算，算術論理演算，データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行できます。

乗算器（16ビット×16ビット→32ビット，または32ビット×32ビット→64ビット），バレル・シフタ（32ビット）などの専用ハードウエアを内蔵し，複雑な命令処理の高速化を図っています。

(2) バス・コントロール・ユニット（BCU）

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は，プリフェッチ・アドレスを生成し，命令コードのプリフェッチを行います。プリフェッチされた命令コードは，CPU内部の命令キューに取り込まれます。

(3) メモリ・コントローラ（MEMC）

外部拡張時にSRAM, ROM, 各種I/Oの制御を行います。

(4) DMAコントローラ（DMAC）

CPUの代わりにメモリ，I/O間でのデータの転送を行います。

アドレス・モードには，2サイクル転送があります。バス・モードには，シングル転送，シングルステップ転送，ブロック転送の3種類があります。

(5) ROM

μPD703114ではマスクROM（128 Kバイト），μPD70F3114ではフラッシュ・メモリ（128 Kバイト）を内蔵しています。

命令フェッチ時にCPUから1クロックでアクセスできます。

シングルチップ・モード，フラッシュ・メモリ・プログラミング・モードに設定した場合は，00000000H番地からマッピングされます。

ROMレス・モードに設定した場合は，アクセスできません。

(6) RAM

FFFFC000H番地からマッピングされています。

命令フェッチ時，データ・アクセス時にCPUから1クロックでアクセスできます。

(7) 割り込みコントローラ（INTC）

内蔵周辺I/Oおよび,外部からのハードウエア割り込み要求（NMI, INTP0-INTP4, INTP20-INTP25, INTP30, INTP31, INTP100, INTP101）を処理します。これらの割り込み要求は，8レベルの割り込み優先順位が指定でき，割り込み要因に対して多重処理制御を行うこともできます。

(8) クロック・ジェネレータ（CG）

入力クロック（fx）の1, 2.5, 5, 10倍（内蔵PLL使用），または1/2倍（内蔵PLL未使用）の周波数を内部システム・クロック（fxx）として供給します。入力クロックとして外部発振子をX1, X2端子に接続するか（内蔵PLLシンセサイザ使用時だけ），外部クロックをX1端子から入力します。

(9) タイマ／カウンタ機能

3相正弦波PWMインバータ制御用16ビット・タイマ（TM0）を2チャネルと，2相エンコーダ入力用／汎用タイマとして使用可能な16ビット・アップ／ダウン・カウンタ（TM1）を1チャネル，16ビット汎用タイマ・ユニット（TM2）を2チャネル，16ビット・タイマ／イベント・カウンタ（TM3）を1チャネル，16ビット・インターバル・タイマ（TM4）を1チャネル内蔵しています。パルス間隔や周波数の計測，プログラマブルなパルスの出力ができます。

(10) シリアル・インタフェース

シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェース（UART），クロック同期式シリアル・インタフェース（CSI）をあわせて4チャネル備えています。このうち2チャネルはUARTとCSIを兼用しており，切り替えて使用します。残りの1チャネルはUARTに固定，もう1チャネルはCSIに固定です。

UARTは，TXDn, RXDn端子によりデータ転送を行います（n = 0, 1）。

CSIは，SOn, SIn, $\overline{\text{SCKn}}$端子によりデータ転送を行います（n = 0, 1）。

(11) A/Dコンバータ（ADC）

2回路合計14本（A/Dコンバータ0：6本，A/Dコンバータ1：8本）のアナログ入力端子を持つ高速，高分解能の10ビットA/Dコンバータを搭載しています。逐次変換方式で変換します。

(12) ポート

次に示すように，汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	制御機能
ポート0	6ビット入力	NMI入力 タイマ／カウンタ出力停止信号入力 外部割り込み入力 A/Dコンバータ外部トリガ入力 タイマ3出力停止信号入力
ポート1	3ビット入出力	タイマ／カウンタ入出力 外部割り込み入力
ポート2	8ビット入出力	タイマ／カウンタ入出力 外部割り込み入力
ポート3	5ビット入出力	シリアル・インタフェース入出力（UART0, UART1/CSI1）
ポート4	3ビット入出力	シリアル・インタフェース入出力（CSI0）
ポートDH	6ビット入出力	外部アドレス・バス（A16-A21）
ポートDL	16ビット入出力	外部アドレス・データ・バス（AD0-AD15）
ポートCT	4ビット入出力	外部バス・インタフェース制御信号出力
ポートCM	2ビット入出力	ウエイト挿入信号入力 内部システム・クロック出力

第2章　端子機能

V850E/IA2の端子の名称と機能を次に示します。これらの端子は，機能別にポート端子とそれ以外の端子に分けることができます。

2. 1　端子機能一覧

(1) ポート端子

(1/2)

端子名称	入出力	機　　能	兼用端子
P00	入力	ポート0 6ビット入力専用ポート P00はNMI端子状態を示す入力ポートです。P0.00ビットを読み出すことで，NMI端子のレベルを読み出すことができます。有効エッジが入力されると，NMI入力として動作します。	NMI
P01			ESO0/INTP0
P02			ESO1/INTP1
P03			ADTRG0/INTP2
P04			ADTRG1/INTP3
P05			INTP4/TO3OFF
P10	入出力	ポート1 3ビット入出力ポート 1ビット単位で入力／出力の指定が可能	TIUD10/TO10
P11			TCUD10/INTP100
P12			TCLR10/INTP101
P20	入出力	ポート2 8ビット入出力ポート 1ビット単位で入力／出力の指定が可能	TI2/INTP20
P21			TO21/INTP21
P22			TO22/INTP22
P23			TO23/INTP23
P24			TO24/INTP24
P25			TCLR2/INTP25
P26			TI3/TCLR3/INTP30
P27			TO3/INTP31
P30	入出力	ポート3 5ビット入出力ポート 1ビット単位で入力／出力の指定が可能	RXD0
P31			TXD0
P32			RXD1/SI1
P33			TXD1/SO1
P34			$\overline{\text{ASCK1}}$/$\overline{\text{SCK1}}$
P40	入出力	ポート4 3ビット入出力ポート 1ビット単位で入力／出力の指定が可能	SI0
P41			SO0
P42			$\overline{\text{SCK0}}$
PCM0	入出力	ポートCM 2ビット入出力ポート 1ビット単位で入力／出力の指定が可能	$\overline{\text{WAIT}}$
PCM1			CLKOUT
PCT0	入出力	ポートCT 4ビット入出力ポート 1ビット単位で入力／出力の指定が可能	$\overline{\text{LWR}}$
PCT1			$\overline{\text{UWR}}$
PCT4			$\overline{\text{RD}}$
PCT6			ASTB

(2/2)

端子名称	入出力	機　　能	兼用端子
PDH0	入出力	ポートDH	A16
PDH1		6ビット入出力ポート	A17
PDH2		1ビット単位で入力／出力の指定が可能	A18
PDH3			A19
PDH4			A20
PDH5			A21
PDL0	入出力	ポートDL	AD0
PDL1		16ビット入出力ポート	AD1
PDL2		1ビット単位で入力／出力の指定が可能	AD2
PDL3			AD3
PDL4			AD4
PDL5			AD5
PDL6			AD6
PDL7			AD7
PDL8			AD8
PDL9			AD9
PDL10			AD10
PDL11			AD11
PDL12			AD12
PDL13			AD13
PDL14			AD14
PDL15			AD15

(2) ポート以外の端子

(1/2)

端子名称	入出力	機　　能	兼用端子
TO000	出力	タイマ00のパルス信号出力	−
TO001			−
TO002			−
TO003			−
TO004			−
TO005			−
TO010	出力	タイマ01のパルス信号出力	−
TO011			−
TO012			−
TO013			−
TO014			−
TO015			−
TO10	出力	タイマ10のパルス信号出力	P10/TIUD10
TO21	出力	タイマ2のパルス信号出力	P21/INTP21
TO22			P22/INTP22
TO23			P23/INTP23
TO24			P24/INTP24
TO3	出力	タイマ3のパルス信号出力	P27/INTP31
ESO0	入力	タイマ00, 01出力停止信号入力	P01/INTP0
ESO1			P02/INTP1
TIUD10	入力	アップ／ダウン・カウンタ（タイマ10）への外部カウント・クロック入力	P10/TO10
TCUD10	入力	アップ／ダウン・カウンタ（タイマ10）へのカウント動作切り替え信号	P11/INTP100
TCLR10	入力	アップ／ダウン・カウンタ（タイマ10）へのクリア信号入力	P12/INTP101
TI2	入力	タイマ2, 3の外部カウント・クロック入力	P20/INTP20
TI3			P26/INTP30/TCLR3
TCLR2	入力	タイマ2, 3のクリア信号入力	P25/INTP25
TCLR3			P26/INTP30/TI3
INTP0	入力	外部マスカブル割り込み要求入力	P01/ESO0
INTP1			P02/ESO1
INTP2			P03/ADTRG0
INTP3			P04/ADTRG1
INTP4			P05/TO3OFF
INTP100	入力	外部マスカブル割り込み要求入力兼	P11/TCUD10
INTP101		タイマ10の外部キャプチャ・トリガ入力	P12/TCLR10
INTP20	入力	外部マスカブル割り込み要求入力兼	P20/TI2
INTP21		タイマ2の外部キャプチャ・トリガ入力	P21/TO21
INTP22			P22/TO22
INTP23			P23/TO23
INTP24			P24/TO24
INTP25			P25/TCLR2
INTP30	入力	外部マスカブル割り込み要求入力兼	P26/TI3/TCLR3
INTP31		タイマ3の外部キャプチャ・トリガ入力	P27/TO3

(2/2)

端子名称	入出力	機　　能	兼用端子
TO3OFF	入力	タイマ3出力停止信号入力	P05/INTP4
SO0	出力	CSI0, CSI1のシリアル送信データ出力（3線式）	P41
SO1			P33/TXD1
SI0	入力	CSI0, CSI1のシリアル受信データ入力（3線式）	P40
SI1			P32/RXD1
$\overline{SCK0}$	入出力	CSI0, CSI1のシリアル・クロック入出力（3線式）	P42
$\overline{SCK1}$			P34/$\overline{ASCK1}$
TXD0	出力	UART0, UART1のシリアル送信データ出力	P31
TXD1			P33/SO1
RXD0	入力	UART0, UART1のシリアル受信データ入力	P30
RXD1			P32/SI1
$\overline{ASCK1}$	入出力	UART1のシリアル・クロック入出力	P34/$\overline{SCK1}$
ANI00-ANI05	入力	A/Dコンバータへのアナログ入力	−
ANI10-ANI17			−
ADTRG0	入力	A/Dコンバータ外部トリガ入力	P03/INTP2
ADTRG1			P04/INTP3
NMI	入力	ノンマスカブル割り込み要求入力	P00
MODE0	入力	V850E/IA2の動作モードを指定	−
MODE1			V_{PP}[注]
V_{PP}[注]	−	フラッシュ書き込み電源印加	MODE1
$\overline{WAIT}$	入力	バス・サイクルにウエイトを挿入する制御信号入力	PCM0
$\overline{LWR}$	出力	外部データの下位バイト・ライト・ストローブ信号出力	PCT0
$\overline{UWR}$	出力	外部データの上位バイト・ライト・ストローブ信号出力	PCT1
$\overline{RD}$	出力	外部データ・バスのリード・ストローブ信号出力	PCT4
ASTB	出力	外部データ・バスのアドレス・ストローブ信号出力	PCT6
AD0-AD15	入出力	外部メモリに対する16ビット・アドレス・データ・バス	PDL0-PDL15
A16-A21	出力	外部メモリに対する上位6ビット・アドレス・バス	PDH0-PDH5
$\overline{RESET}$	入力	システム・リセット入力	−
X1	入力	システム・クロック発振用クリスタル接続端子。	−
X2	−	外部からクロックを供給する場合はX1端子に入力します。	−
CLKOUT	出力	システム・クロック出力	PCM1
CKSEL	入力	クロック・ジェネレータの動作モードを指定する入力	−
AV_{DD0}, AV_{DD1}	−	A/Dコンバータ用正電源供給	−
AV_{SS0}, AV_{SS1}	−	A/Dコンバータ用グランド電位	−
CV_{SS}	−	発振器，PLLおよびレギュレータ用グランド電位	−
V_{DD}	−	周辺インタフェース用の5 V系正電源供給端子	−
V_{SS}	−	周辺インタフェース用の5 V系グランド端子	−
RV_{DD}	−	レギュレータ用正電源供給端子（5 V系電源供給端子）	−
V_{SS3}	−	内部3.3 V系グランド端子	−
REGOUT	出力	レギュレータ出力端子	−
REGIN	入力	レギュレータ入力端子（3.3 V系電源供給端子）	−

注　μPD70F3114のみ

2. 2　端子状態

リセット時，パワー・セーブ・モード（ソフトウエアSTOP**モード，**IDLE, HALT**）時，**DMA**転送時での各端子の状態を次に示します。**

動作状態 / 端　子	リセット（シングルチップ・モード）	リセット（ROMレス・モード）	IDLEモード／ソフトウエアSTOPモード	HALTモード／DMA転送中
A16-A21（PDH0-PDH5）	Hi-Z	Hi-Z	Hi-Z	動作
AD0-AD15（PDL0-PDL15）	Hi-Z	Hi-Z	Hi-Z	動作
$\overline{\text{LWR}}$, $\overline{\text{UWR}}$（PCT0, PCT1）	Hi-Z	Hi-Z	H	動作
$\overline{\text{RD}}$（PCT4）	Hi-Z	Hi-Z	H	動作
ASTB（PCT6）	Hi-Z	Hi-Z	H	動作
$\overline{\text{WAIT}}$（PCM0）	Hi-Z	Hi-Z	－	動作
CLKOUT（PCM1）	Hi-Z	動作	L	動作

注意　スタンバイ・モード時にASIC**などで外部バスをコントロールする場合は別途制御回路を用意してください。**

備考　Hi-Z　**：ハイ・インピーダンス**
H　　**：ハイ・レベル出力**
L　　**：ロウ・レベル出力**
－　　**：入力非サンプリング**

2. 3　端子機能の説明

(1) P00-P05（Port 0）…　**入力**

ポート0は，全端子が入力に固定の6ビット入力専用ポートです。

P00-P05**は入力ポートとして機能するほか，コントロール・モードではNMI入力，タイマ／カウンタの出力停止信号入力，外部割り込み要求入力，**A/D**コンバータ（**ADC**）の外部トリガ入力，タイマ3出力停止信号入力として動作します。通常，ポートと機能端子が兼用している場合，ポート・モード・コントロール・レジスタでどちらかを選択しますが，**P00-P05**に対しては，このレジスタがありません。したがって，入力ポートとNMI入力端子，タイマ／カウンタの出力停止信号入力端子，外部割り込み要求入力端子，**A/D**コンバータ（**ADC**）の外部トリガ入力端子，タイマ3出力停止信号入力端子は切り替えられません。ポートの読み出しにより，各端子の状態を読み込んでください。**

(a) ポート・モード

P00-P05**は入力専用です。**

(b) コントロール・モード

P00-P05**は**NMI, ESO0, ESO1, ADTRG0, ADTRG1, INTP0-INTP4, TO3OFF**端子と兼用になっていますが，切り替えはできません。**

(i) NMI（Non-Maskable Interrupt Request）…　**入力**

ノンマスカブル割り込み要求入力です。

(ii) ESO0, ESO1（Emergency Shut Off）…　**入力**

タイマ00, 01**の出力停止信号を入力します。**

(iii) INTP0-INTP4（External Interrupt Input）…　**入力**

外部割り込み要求入力端子です。

(iv) ADTRG0, ADTRG1（A/D Trigger Input）…　**入力**

A/D**コンバータの外部トリガ入力端子です。**

(v) TO3OFF（Timer Output 3 Off）…　**入力**

タイマ出力停止信号入力端子です。

(2) P10-P12（Port 1）…　**入出力**

ポート1は，1ビット単位で入力または出力を設定できる3ビットの入出力ポートです。

P10-P12**は入出力ポートとして機能するほか，コントロール・モードではタイマ／カウンタの入出力，外部割り込み要求入力として動作します。**

動作モードは，1ビットごとにポート／コントロール・モードの選択が可能で，ポート1モード・コントロール・レジスタ（PMC1）で指定します。

(a) ポート・モード

P10-P12はポート1モード・レジスタ (PM1) により，ビット単位に入力または出力を設定できます。

(b) コントロール・モード

P10-P12はPMC1レジスタにより，ビット単位でポート／コントロール・モードの設定ができます。

(i) TO10（Timer Output）…　**出力**

タイマ10のパルス信号を出力します。

(ii) TIUD10（Timer Count Pulse Input）…　**入力**

アップ／ダウン・カウンタ（タイマ10）への外部カウント・クロック入力端子です。

(iii) TCUD10（Timer Control Pulse Input）…　**入力**

アップ／ダウン・カウンタ（タイマ10）へのカウント動作切り替え信号を入力します。

(iv) TCLR10（Timer Clear）…　**入力**

アップ／ダウン・カウンタ（タイマ10）へのクリア信号入力端子です。

(v) INTP100, INTP101（External Interrupt Input）…　**入力**

外部割り込み要求入力端子およびタイマ10の外部キャプチャ・トリガ入力端子です。

(3) P20-P27（Port 2）…　**入出力**

ポート2は，1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P20-P27は入出力ポートとして機能するほか，コントロール・モードではタイマ／カウンタの入出力，外部割り込み要求入力として動作します。

動作モードは，1ビットごとにポート／コントロール・モードの選択が可能で，ポート2モード・コントロール・レジスタ（PMC2）で指定します。

(a) ポート・モード

P20-P27はポート2モード・レジスタ (PM2) により，ビット単位に入力または出力を設定できます。

(b) コントロール・モード

P20-P27はPMC2レジスタにより，ビット単位でポート／コントロール・モードの設定ができます。

(i) TO21-TO24（Timer Output）…　**出力**

タイマ2のパルス信号を出力します。

(ii) TO3（Timer Output）…　**出力**

タイマ3のパルス信号を出力します。

（iii）TI2, TI3（Timer Input）…　入力

タイマ2, 3の外部カウント・クロック入力端子です。

（iv）TCLR2, TCLR3（Timer Clear）…　入力

タイマ2, 3のクリア信号入力端子です。

（v）INTP20-INTP25（External Interrupt Input）…　入力

外部割り込み要求入力端子およびタイマ2の外部キャプチャ・トリガ入力端子です。

（vi）INTP30, INTP31（External Interrupt Input）…　入力

外部割り込み要求入力端子およびタイマ3の外部キャプチャ・トリガ入力端子です。

（4）P30-P34（Port 3）…　入出力

ポート3は，1ビット単位で入力または出力を設定できる5ビットの入出力ポートです。

P30-P34は入出力ポートとして機能するほか，コントロール・モードではシリアル・インタフェース（UART0, UART1/CSI1）の入出力として動作します。

動作モードは，1ビットごとにポート／コントロール・モードの選択が可能で，ポート3モード・コントロール・レジスタ（PMC3）で指定します。また，UART1/CSI1の選択は，ポート3ファンクション・コントロール・レジスタ（PFC3）で指定します。

（a）ポート・モード

P30-P34はポート3モード・レジスタ（PM3）により，ビット単位に入力または出力を設定できます。

（b）コントロール・モード

P30-P34はPMC3レジスタにより，ビット単位でポート／コントロール・モードの設定ができます。

（i）TXD0, TXD1（Transmit Data）…　出力

UART0, UART1のシリアル送信データを出力します。

（ii）RXD0, RXD1（Receive Data）…　入力

UART0, UART1のシリアル受信データを入力します。

（iii）$\overline{\text{ASCK}}$1（Asynchronous Serial Clock）…　入出力

UART1のシリアル・クロック入出力端子です。

（iv）SO1（Serial Output）…　出力

CSI1のシリアル送信データを出力します。

（v）SI1（Serial Input）…　入力

CSI1のシリアル受信データを入力します。

（vi）$\overline{\text{SCK1}}$（Serial Clock）…　入出力

CSI1のシリアル・クロック入出力端子です。

（5）P40-P42（Port 4）…　入出力

ポート4は，1ビット単位で入力または出力を設定できる3ビットの入出力ポートです。

P40-P42は入出力ポートとして機能するほか，コントロール・モードではシリアル・インタフェース（CSI0）の入出力として動作します。

動作モードは，1ビットごとにポート／コントロール・モードの選択が可能で，ポート4モード・コントロール・レジスタ（PMC4）で指定します。

（a）ポート・モード

P40-P42はポート4モード・レジスタ（PM4）により，ビット単位に入力または出力を設定できます。

（b）コントロール・モード

P40-P42はPMC4レジスタにより，ビット単位でポート／コントロール・モードの設定ができます。

（i）SO0（Serial Output）…　出力

CSI0のシリアル送信データを出力します。

（ii）SI0（Serial Input）…　入力

CSI0のシリアル受信データを入力します。

（iii）$\overline{\text{SCK0}}$（Serial Clock）…　入出力

CSI0のシリアル・クロック入出力端子です。

（6）PCM0, PCM1（Port CM）…　入出力

ポートCMは，1ビット単位で入力または出力を設定できる2ビットの入出力ポートです。

ポートとして機能するほか，コントロール・モードではウエイト挿入信号入力，内部システム・クロック出力として動作します。

動作モードは，1ビットごとにポート／コントロール・モードの選択が可能で，ポートCMモード・コントロール・レジスタ（PMCCM）で指定します。

（a）ポート・モード

PCM0, PCM1はポートCMモード・レジスタ（PMCM）により，ビット単位に入力または出力を設定できます。

（b）コントロール・モード

PCM0, PCM1はPMCCMレジスタにより，ビット単位でポート／コントロール・モードの設定ができます。

(i) $\overline{\text{WAIT}}$（Wait）…　入力

バス・サイクルにデータ・ウエイトを挿入する制御信号入力端子で，CLKOUT信号に対する非同期入力が可能です。バス・サイクルのT2, TWステートのCLKOUT信号の立ち下がりでサンプリングします。サンプリング・タイミングにおける設定／保持時間を満たさないときはウエイト挿入が行われないことがあります。

(ii) CLKOUT（Clock Output）…　出力

内部システム・クロック出力端子です。シングルチップ・モードのときはポート・モードになっているため，CLKOUT端子からの出力は行われません。CLKOUT出力を行うためにはポートCMモード・コントロール・レジスタ（PMCCM）でコントロール・モードに設定してください。ROMレス・モードのときにはリセット期間中も含めてCLKOUT出力を行います。

(7) PCT0, PCT1, PCT4, PCT6（Port CT）…　入出力

ポートCTは，1ビット単位で入力または出力を設定できる4ビットの入出力ポートです。

ポートとして機能するほか，コントロール・モードではメモリを外部に拡張する場合の制御信号出力として動作します。

動作モードは，1ビットごとにポート／コントロール・モードの選択が可能で，ポートCTモード・コントロール・レジスタ（PMCCT）で指定します。

(a) ポート・モード

PCT0, PCT1, PCT4, PCT6はポートCTモード・レジスタ（PMCT）により，ビット単位に入力または出力を設定できます。

(b) コントロール・モード

PCT0, PCT1, PCT4, PCT6はPMCCTレジスタにより，ビット単位でポート／コントロール・モードの設定ができます。

(i) $\overline{\text{LWR}}$（Lower Byte Write Strobe）…　出力

実行中のバス・サイクルが，SRAM，外部ROM，外部周辺I/O領域に対するライト・サイクルであることを示すストローブ信号です。

データ・バスは下位バイトが有効になります。バス・サイクルが下位のメモリ・ライトならば，T1ステートのCLKOUT信号の立ち下がりでアクティブになり，T2ステートのCLKOUT信号の立ち下がりでインアクティブになります。

(ii) $\overline{\text{UWR}}$（Upper Byte Write Strobe）…　出力

実行中のバス・サイクルが，SRAM，外部ROM，外部周辺I/O領域に対するライト・サイクルであることを示すストローブ信号です。

データ・バスは上位バイトが有効になります。バス・サイクルが上位のメモリ・ライトならば，T1ステートのCLKOUT信号の立ち下がりでアクティブになり，T2ステートのCLKOUT信号の立ち下がりでインアクティブになります。

(iii) $\overline{RD}$（Read Strobe）…　出力

実行中のバス・サイクルが，SRAM，外部ROM，外部周辺I/Oに対するリード・サイクルであることを示すストローブ信号です。アイドル・ステート（TI）では，インアクティブになります。

(iv) ASTB（Address Strobe）…　出力

外部アドレス・バスのラッチ・ストローブ信号出力端子です。

出力は，バス・サイクルのT1ステートのクロックの立ち下がりに同期してロウ・レベルになり，T3ステートのクロックの立ち下がりに同期してハイ・レベルになります。

(8) PDH0-PDH5（Port DH）…　入出力

ポートDHは，1ビット単位で入力または出力を設定できる6ビットの入出力ポートです。

ポートとして機能するほか，コントロール・モード（外部拡張モード）では，メモリを外部に拡張する場合のアドレス・バス（A16-A21）として動作します。

動作モードは，1ビットごとにポート／コントロール・モードの選択が可能で，ポートDHモード・コントロール・レジスタ（PMCDH）で指定します。

(a) ポート・モード

PDH0-PDH5はポートDHモード・レジスタ（PMDH）により，ビット単位に入力または出力を設定できます。

(b) コントロール・モード

PDH0-PDH5はPMCDHレジスタにより，A16-A21として使用できます。

(i) A16-A21（Address）…　出力

外部アクセス時のアドレス・バスで22ビット・アドレスの上位6ビット・アドレス出力端子です。

(9) PDL0-PDL15（Port DL）…　入出力

ポートDLは，1ビット単位で入力または出力を設定できる16ビットの入出力ポートです。

ポートとして機能するほか，コントロール・モード（外部拡張モード）では，メモリを外部に拡張する場合のアドレス・データ・バス（AD0-AD15）として動作します。

動作モードは，1ビットごとにポート／コントロール・モードの選択が可能で，ポートDLモード・コントロール・レジスタ（PMCDL）で指定します。

(a) ポート・モード

PDL0-PDLD15はポートDLモード・レジスタ（PMDL）により，ビット単位に入力または出力を設定できます。

(b) コントロール・モード

PDL0-PDL15はPMCDLレジスタにより，AD0-AD15として使用できます。

(i) AD0-AD15（Address/Data Bus）…　**入出力**

外部アクセス時のアドレス／データのマルチプレクスト・バスです。アドレス・タイミング（T1 **ステート）では，**22**ビット・アドレスの**A0-A15**出力端子となり，データ・タイミング**（T2, TW, T3）**では**16**ビット・データの入出力バス端子となります。**

(10) TO000-TO005（Timer Output）…　**出力**

タイマ00**のパルス信号を出力します。**

(11) TO010-TO015（Timer Output）…　**出力**

タイマ01**のパルス信号を出力します。**

(12) ANI00-ANI05, ANI10-ANI17（Analog Input）…　**入力**

A/D**コンバータへのアナログ入力端子です。**

(13) CKSEL（Clock Generator Operating Mode Select）…　**入力**

クロック・ジェネレータの動作モードを指定する入力端子です。入力レベルは動作中に変化しないよう固定してください。

(14) MODE0, MODE1（Mode）…　**入力**

動作モードを指定する入力端子です。動作モードには，大きく分けて通常動作モードとフラッシュ・メモリ・プログラミング・モードがあります。さらに通常動作モードには，シングルチップ・モードとROM**レス・モードがあります（詳細は**3. 3　**動作モードを参照してください）。動作モードは，リセット時に**MODE0, MODE1**の各端子の状態がサンプリングされ決定します。**

なお，入力レベルは動作中に変化しないよう固定してください。

(a) μPD703114

MODE1	MODE0	動作モード	
L	L	通常動作モード	ROMレス・モード
L	H		シングルチップ・モード
上記以外		設定禁止	

(b) μPD70F3114

MODE1/V_{PP}	MODE0	動作モード	
L	L	通常動作モード	ROMレス・モード
L	H		シングルチップ・モード
7.8 V	H	フラッシュ・メモリ・プログラミング・モード	
上記以外		設定禁止	

備考　L　：ロウ・レベル入力

H　：ハイ・レベル入力

（15）$\overline{\text{RESET}}$（Reset）…　入力

$\overline{\text{RESET}}$入力は非同期入力であり，動作クロックと無関係に一定のロウ・レベル幅を持つ信号が入力されると，すべての動作に優先してシステム・リセットがかかります。

通常のイニシャライズ／スタートのほかに，スタンバイ・モード（HALT，IDLE，ソフトウエアSTOP）の解除にも使用します。

（16）X1, X2（Crystal）

システム・クロック発生用の発振子接続端子です。

外部クロックを入力することも可能です。外部クロックを入力する場合はX1端子に接続し，X2端子はオープンにしてください。

（17）CV_{SS}（Ground for Clock Generator）

発振器，PLLおよびレギュレータ用のグランド端子です。

（18）V_{DD}（Power Supply）

周辺インタフェース用の5 V系正電源供給端子です。

（19）V_{SS}（Ground）

周辺インタフェース用の5 V系グランド端子です。

（20）RV_{DD}（Regulator Power Supply）

レギュレータ用正電源供給端子です。

5 V電源を供給してください。

（21）V_{SS3}（Ground）

内部3.3 V系グランド端子です。

（22）REGOUT（Regulator Output）…　出力

レギュレータ出力端子です。

（23）REGIN（Regulator Input）…　入力

3.3 V系電源を供給するレギュレータ入力端子です。

（24）AV_{DD0}, AV_{DD1}（Analog Power Supply）

A/Dコンバータ用のアナログ正電源供給端子です。

（25）AV_{SS0}, AV_{SS1}（Analog Ground）

A/Dコンバータ用のグランド端子です。

2. 4　端子の入出力回路タイプと未使用時の処理

抵抗を介してV_{DD}, V_{SS}, CV_{SS}に接続する場合，1-10 kΩの抵抗を接続することをお勧めします。

（1/2）

端　子	入出力回路タイプ	推奨接続方法
P00/NMI	2	V_{SS}に直接接続してください。
P01/ESO0/INTP0		
P02/ESO1/INTP1		
P03/ADTRG0/INTP2		
P04/ADTRG1/INTP3		
P05/INTP4/TO3OFF		
P10/TIUD10/TO10	5-AC	入力状態：個別に抵抗を介してV_{DD}またはV_{SS}に接続してください。 出力状態：オープンにしてください。
P11/TCUD10/INTP100		
P12/TCLR10/INTP101		
P20/TI2/INTP20		
P21/TO21/INTP21-P24/TO24/INTP24		
P25/TCLR2/INTP25		
P26/TI3/TCLR3/INTP30		
P27/TO3/INTP31		
P30/RXD0		
P31/TXD0	5	
P32/RXD1/SI1	5-AC	
P33/TXD1/SO1	5	
P34/$\overline{\text{ASCK1}}$/$\overline{\text{SCK1}}$	5-AC	
P40/SI0		
P41/SO0	5	
P42/$\overline{\text{SCK0}}$	5-AC	
PCM0/$\overline{\text{WAIT}}$	5	
PCM1/CLKOUT		
PCT0/$\overline{\text{LWR}}$		
PCT1/$\overline{\text{UWR}}$		
PCT4/$\overline{\text{RD}}$		
PCT6/ASTB		
PDH0/A16-PDH5/A21		
PDL0/AD0-PDL15/AD15		
ANI00-ANI05	7	AV_{SS0}に接続してください。
ANI10-ANI17		AV_{SS1}に接続してください。
TO000-TO005, TO010-TO015	4	オープンにしてください。
MODE0	2	−
V_{PP}[注]/MODE1		
$\overline{\text{RESET}}$		
CKSEL		

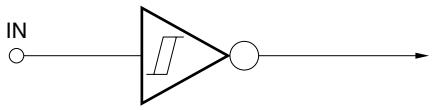
注　μPD70F3114**のみ**

(2/2)

端　子	入出力回路タイプ	推奨接続方法
X2	−	オープンにしてください。
AV_{SS0}, AV_{SS1}	−	V_{SS}に接続してください。
AV_{DD0}, AV_{DD1}	−	V_{DD}に接続してください。
REGOUT	−	オープンにしてください。

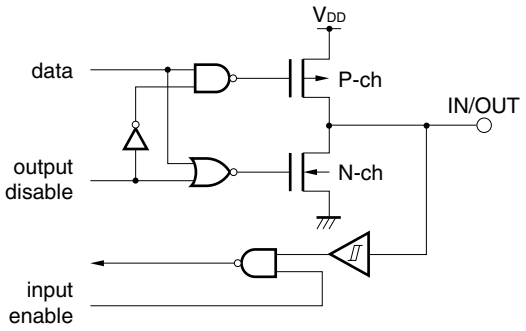
2. 5　端子の入出力回路

タイプ2

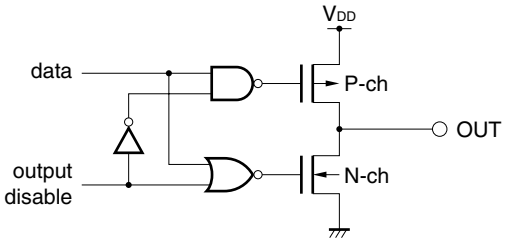


ヒステリシス特性を有するシュミット・トリガ入力となっています。

タイプ 5-AC

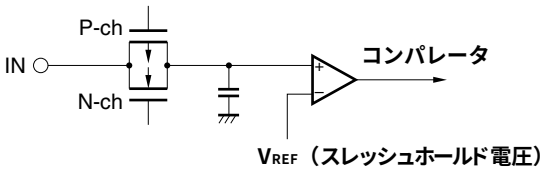


タイプ4

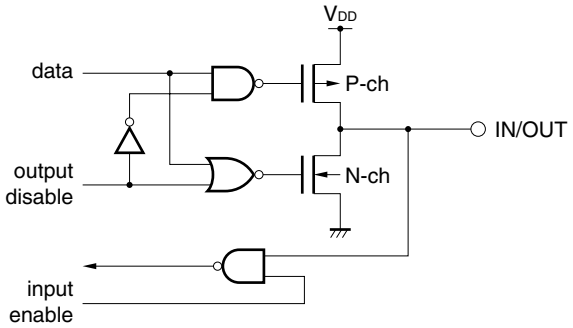


出力をハイ・インピーダンス（P-ch, N-chともにオフ）にできるプッシュプル出力です。

タイプ7



タイプ5



第3章　CPU機能

V850E/IA2のCPUは，RISCアーキテクチャをベースとして，5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

3. 1　特　　徴

○最小命令実行時間：25 ns（内部40 MHz動作時）

○メモリ空間　　プログラム空間：64 Mバイト・リニア

　　データ空間　　：4 Gバイト・リニア

○汎用レジスタ：32ビット×32本

○内部32ビット・アーキテクチャ

○5段パイプライン制御

○乗除算命令

○飽和演算命令

○32ビット・シフト命令：1クロック

○ロング／ショート形式を持つロード・ストア命令

○ビット操作命令4種

- SET1
- CLR1
- NOT1
- TST1

3. 2　CPUレジスタ・セット

V850E/IA2のレジスタは，汎用のプログラム・レジスタ・セットと，専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅となっています。

詳細はV850E1　**ユーザーズ・マニュアル　アーキテクチャ編**を参照してください。

（1）プログラム・レジスタ・セット

31	0
r0	（ゼロ・レジスタ）
r1	（アセンブラ予約レジスタ）
r2	
r3	（スタック・ポインタ（SP））
r4	（グローバル・ポインタ（GP））
r5	（テキスト・ポインタ（TP））
r6	
r7	
r8	
r9	
r10	
r11	
r12	
r13	
r14	
r15	
r16	
r17	
r18	
r19	
r20	
r21	
r22	
r23	
r24	
r25	
r26	
r27	
r28	
r29	
r30	（エレメント・ポインタ（EP））
r31	（リンク・ポインタ（LP））

31	0
PC	（プログラム・カウンタ）

（2）システム・レジスタ・セット

31	0
EIPC	（割り込み時状態退避レジスタ）
EIPSW	（割り込み時状態退避レジスタ）

FEPC	（NMI時状態退避レジスタ）
FEPSW	（NMI時状態退避レジスタ）

ECR	（割り込み要因レジスタ）

PSW	（プログラム・ステータス・ワード）

CTPC	（CALLT実行時状態退避レジスタ）
CTPSW	（CALLT実行時状態退避レジスタ）

DBPC	（例外／デバッグ・トラップ時状態退避レジスタ）
DBPSW	（例外／デバッグ・トラップ時状態退避レジスタ）

CTBP	（CALLTベース・ポインタ）

3. 2. 1　プログラム・レジスタ・セット

プログラム・レジスタには，汎用レジスタとプログラム・カウンタがあります。

(1) 汎用レジスタ

汎用レジスタとして，r0-r31の32本が用意されています。これらのレジスタは，どれでもデータ変数またはアドレス変数として利用できます。

ただし，r0とr30は命令により暗黙的に使用しますので，これらのレジスタを使用する際には注意が必要です。r0は常に0を保持しているレジスタで，0を使用する演算やオフセット0のアドレシングで使用されます。r30はSLD命令とSST命令により，メモリをアクセスするときのベース・ポインタとして使用されます。また，r1, r3-r5, r31は，アセンブラとCコンパイラが暗黙的に使用しますので，これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し，使用後に元に戻す必要があります。r2はリアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は，変数用レジスタとしてr2を使用できます。

表3－1　プログラム・レジスター覧

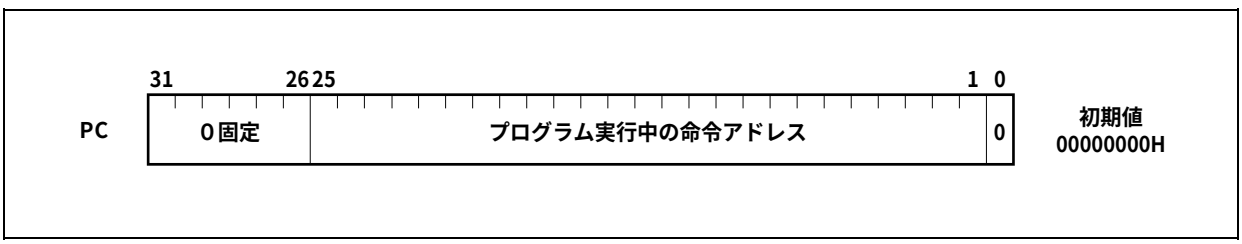
名　称	用　途	動　作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	アドレス生成用のワーキング・レジスタとして使用
r2	アドレス／データ変数用レジスタ（使用するリアルタイムOSがr2を使用していない場合）	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域（プログラム・コードを配置する領域）の先頭を指すレジスタとして使用
r6-r29	アドレス／データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのアドレス生成用ベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

備考　アセンブラやCコンパイラで使用されるr1, r3-r5, r31の詳細な説明は，CA850（**Cコンパイラ・パッケージ）　ユーザーズ・マニュアル　アセンブリ言語編**を参照してください。

(2) プログラム・カウンタ（PC）

プログラム実行中の命令アドレスを保持します。下位26ビットが有効で，ビット31-26は0に固定されます。ビット25からビット26へのキャリーがあっても無視します。

また，ビット0は0に固定されており，奇数番地への分岐はできません。



3.2.2　システム・レジスタ・セット

システム・レジスタは，CPUの状態制御，割り込み情報保持などを行います。

システム・レジスタへのリード／ライトは，システム・レジスタ・ロード／ストア命令（LDSR, STSR命令）により，次に示すシステム・レジスタ番号を設定することで行います。

表3－2　システム・レジスタ番号

レジスタ番号	システム・レジスタ名称	オペランド指定の可否	
		LDSR命令	STSR命令
0	割り込み時状態退避レジスタ（EIPC）注1	○	○
1	割り込み時状態退避レジスタ（EIPSW）注1	○	○
2	NMI時状態退避レジスタ（FEPC）	○	○
3	NMI時状態退避レジスタ（FEPSW）	○	○
4	割り込み要因レジスタ（ECR）	×	○
5	プログラム・ステータス・ワード（PSW）	○	○
6-15	将来の機能拡張のための予約番号（アクセスした場合の動作は保証しません）	×	×
16	CALLT実行時状態退避レジスタ（CTPC）	○	○
17	CALLT実行時状態退避レジスタ（CTPSW）	○	○
18	例外／デバッグ・トラップ時状態退避レジスタ（DBPC）	○注2	○注2
19	例外／デバッグ・トラップ時状態退避レジスタ（DBPSW）	○注2	○注2
20	CALLTベース・ポインタ（CTBP）	○	○
21-31	将来の機能拡張のための予約番号（アクセスした場合の動作は保証しません）	×	×

注1. このレジスタは1組しかないため，多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。

★　2. DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

注意　LDSR命令によりEIPCかFEPC，またはCTPCのビット0をセット（1）しても，割り込み処理後のRETI命令で復帰するときにビット0は無視されます（PCのビット0を0固定してあるため）。EIPC, FEPC, CTPCに値を設定する場合は，偶数値（ビット0 = 0）を設定してください。

備考　○：アクセス可能
×：アクセス禁止

(1) 割り込み時状態退避レジスタ（EIPC, EIPSW）

割り込み時状態退避レジスタには，EIPCとEIPSWがあります。

ソフトウエア例外やマスカブル割り込みが発生した場合，プログラム・カウンタ（PC）の内容がEIPCに，プログラム・ステータス・ワード（PSW）の内容がEIPSWに退避されます（ノンマスカブル割り込み（NMI）発生時には，NMI時状態退避レジスタ（FEPC, FEPSW）に退避されます）。

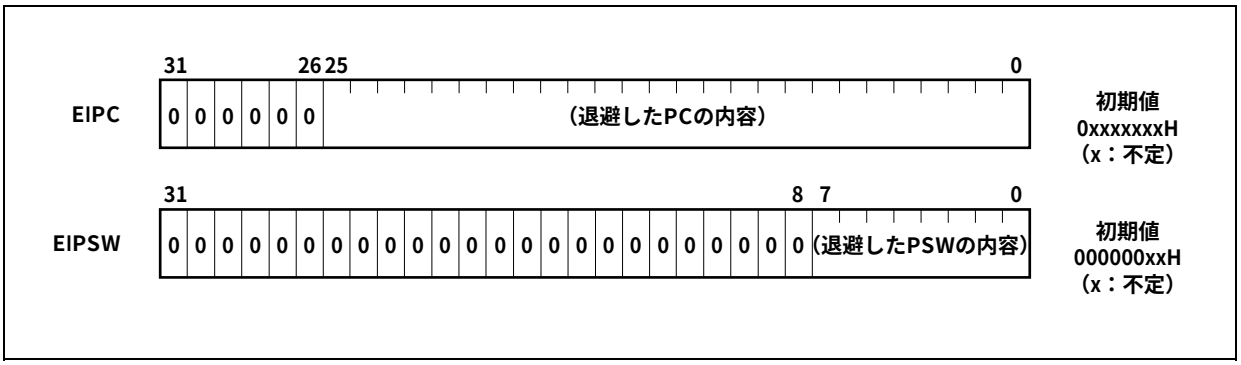
EIPCには，一部の命令（7. 8　CPUが割り込みを受け付けない期間参照）を除き，ソフトウエア例外やマスカブル割り込みが発生したときに実行していた命令の次の命令のアドレスが退避されます。

EIPSWには，現在のPSWの内容が退避されます。

割り込み時状態退避レジスタは1組しかないため，多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお，EIPCのビット31-26とEIPSWのビット31-8は，将来の機能拡張のために予約されています（0に固定）。

RETI命令により，EIPCの値はPCへ，EIPSWの値はPSWへ復帰します。



(2) NMI時状態退避レジスタ (FEPC, FEPSW)

NMI時状態退避レジスタには，FEPCとFEPSWがあります。

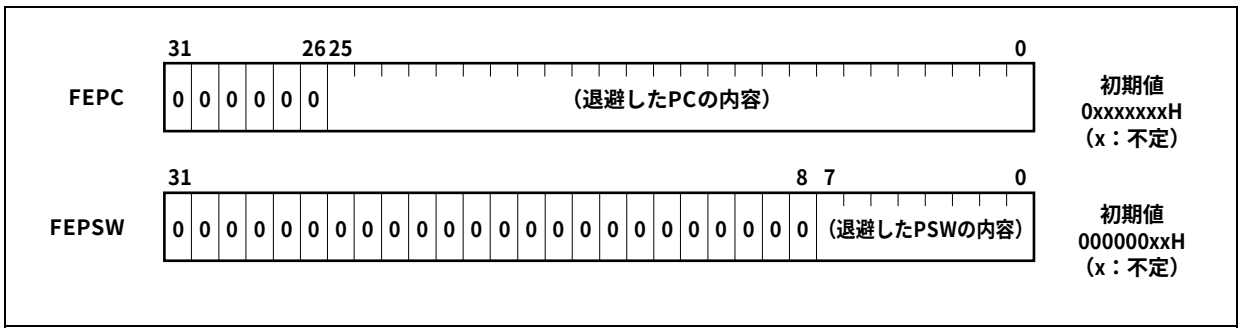
ノンマスカブル割り込み（NMI）が発生した場合，プログラム・カウンタ（PC）の内容がFEPCに，プログラム・ステータス・ワード（PSW）の内容がFEPSW に退避されます。

FEPCには，一部の命令を除き，NMIが発生したときに実行していた命令の次の命令のアドレスが退避されます。

FEPSWには，現在のPSWの内容が退避されます。

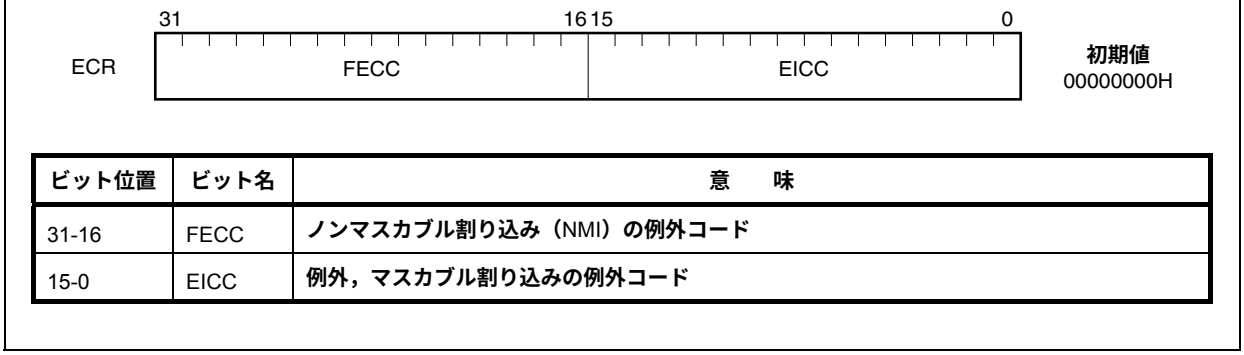
なお，FEPCのビット31-26とFEPSWのビット31-8は，将来の機能拡張のために予約されています（0に固定）。

RETI命令により，FEPCの値はPCへ，FEPSWの値はPSWへ復帰します。



(3) 割り込み要因レジスタ (ECR)

割り込み要因レジスタ（ECR）は，例外や割り込みが発生した場合に，その要因を保持するレジスタです。ECRが保持する値は，割り込み要因ごとにコード化された例外コードです。なお，このレジスタは読み出し専用のため，LDSR命令を使ってこのレジスタにデータを書き込むことはできません。



ビット位置	ビット名	意　味
31-16	FECC	ノンマスカブル割り込み（NMI）の例外コード
15-0	EICC	例外，マスカブル割り込みの例外コード

(4) プログラム・ステータス・ワード（PSW）

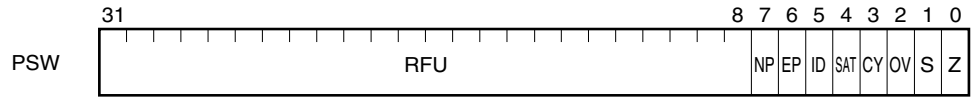
プログラム・ステータス・ワード（PSW）は，プログラムの状態（命令実行の結果）やCPUの状態を示すフラグの集合です。

LDSR命令を使用してこのレジスタの各ビットの内容を変更した場合は，LDSR命令実行終了直後から変更内容が有効となります。

LDSR命令によるPSWのライト命令実行中は，割り込み要求の受け付けを保留します。

なお，ビット31-8は，将来の機能拡張のために予約されています（0に固定）。

(1/2)



ビット位置	フラグ名	意　味
31-8	RFU	予約フィールドです。“0”に固定されています。
7	NP	ノンマスカブル割り込み（NMI）処理中であることを示します。NMI要求が受け付けられるとセット“1”され，多重割り込みを禁止します。 0：NMI処理中でない。 1：NMI処理中である。
6	EP	例外処理中であることを示します。例外の発生でセット“1”されます。なお，このビットがセットされても割り込み要求は受け付けます。 0：例外処理中でない。 1：例外処理中である。
5	ID	マスカブル割り込み要求を受け付ける状態かどうかを示します。 0：割り込み許可（EI） 1：割り込み禁止（DI）
4	SAT[注]	飽和演算命令の演算結果がオーバフローし，演算結果が飽和していることを示します。累積フラグのため，飽和演算命令で演算結果が飽和するとセット“1”され，以降の命令の演算結果が飽和しなくてもクリア“0”されません。クリア“0”する場合は，LDSR命令により行います。なお，算術演算命令の実行では，セット“1”もクリア“0”も行いません。 0：飽和していない。 1：飽和している。
3	CY	演算結果にキャリー，またはボローがあったかどうかを示します。 0：キャリー，またはボローは発生していない。 1：キャリー，またはボローが発生した。
2	OV[注]	演算中にオーバフローが発生したかどうかを示します。 0：オーバフローは発生していない。 1：オーバフローが発生した。
1	S[注]	演算の結果が負かどうかを示します。 0：演算の結果は，正または0であった。 1：演算の結果は負であった。
0	Z	演算の結果が0かどうかを示します。 0：演算の結果は0でなかった。 1：演算の結果は0であった。

備考　注の説明は次ページに記載しています。

（2/2）

注　飽和演算時の OV **フラグと** S **フラグの内容で飽和処理した演算結果が決まります。また，飽和演算時に** OV **フラグがセット（**1**）された場合だけ，**SAT **フラグはセット（**1**）されます。**

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正（最大値を越えない）	演算前の値を	0	0	演算結果そのもの
負（最大値を越えない）	保持		1	

（5**）**CALLT**実行時状態退避レジスタ（**CTPC, CTPSW**）**

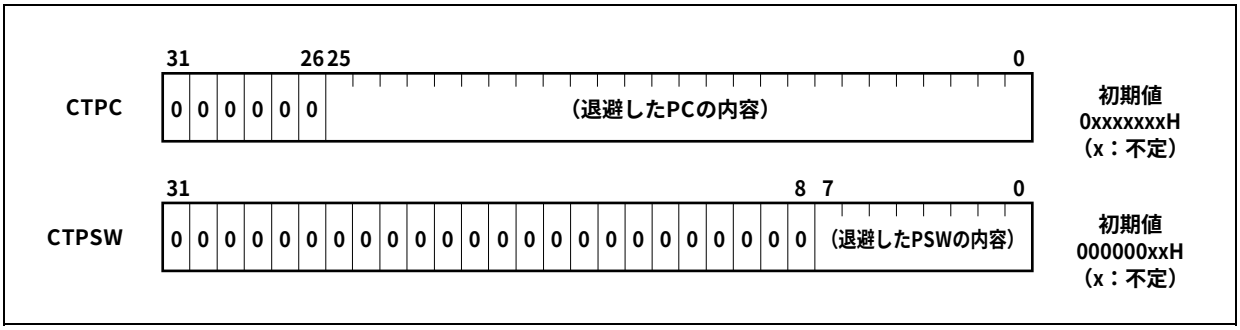
CALLT**実行時状態退避レジスタには，**CTPC**と**CTPSW**があります。**

CALLT**命令が実行されると，プログラム・カウンタ（**PC**）の内容が**CTPC**に，プログラム・ステータス・ワード（**PSW**）の内容が**CTPSW**に退避されます。**

CTPC**に退避される内容は，**CALLT**命令の次の命令のアドレスです。**

CTPSW**には，現在の**PSW**の内容が退避されます。**

なお，CTPC**のビット**31-26**と**CTPSW**のビット**31-8**は，将来の機能拡張のために予約されています（“**0**”に固定）。**



(6) 例外／デバッグ・トラップ時状態退避レジスタ（DBPC, DBPSW**）**

例外／デバッグ・トラップ時状態退避レジスタとして，DBPC**と**DBPSW**があります。**

例外トラップ，またはデバッグ・トラップが発生すると，プログラム・カウンタ（PC**）の内容が**DBPC **に，プログラム・ステータス・ワード（**PSW**）の内容が**DBPSW**に退避されます。**

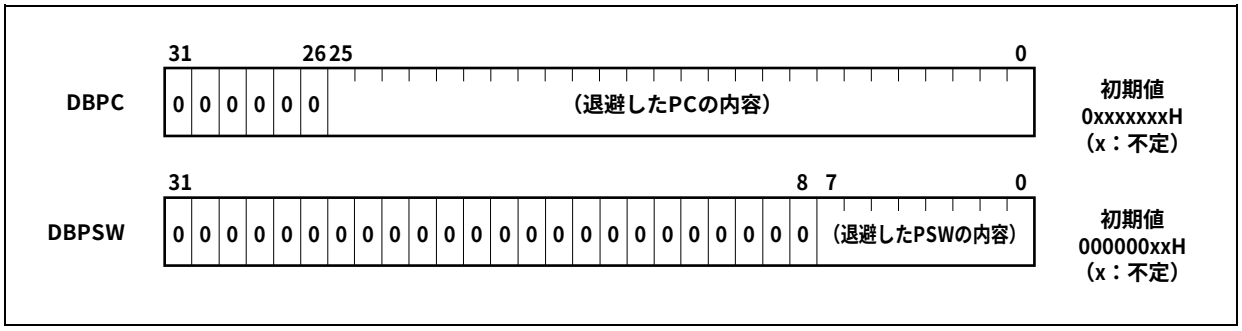
DBPC**に退避される内容は，例外トラップ，またはデバッグ・トラップが発生したときに実行していた命令の次の命令のアドレスです。**

DBPSW**には，現在の**PSW**の内容が退避されます。**

★ **このレジスタへのリード／ライトは**DBTRAP**命令または不正命令コードを実行してから**DBRET**命令を実行するまでの期間だけ可能です。**

なお，DBPC**のビット**31-26**と**DBPSW**のビット**31-8**は，将来の機能拡張のために予約されています（“**0**”に固定）。**

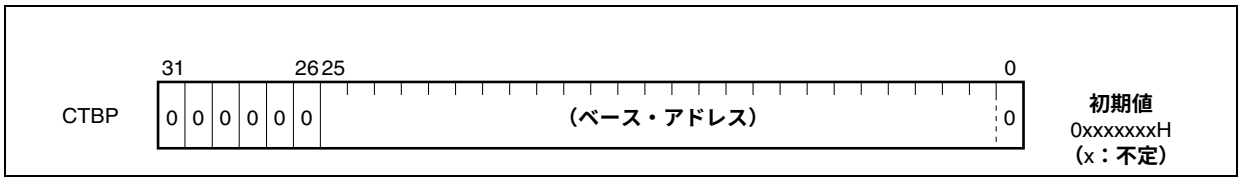
DBRET**命令により，**DBPC**の値は**PC**へ，**DBPSW**の値は**PSW**へ復帰します。**



(7) CALLT**ベース・ポインタ（**CTBP**）**

CALLT**ベース・ポインタ（**CTBP**）は，テーブル・アドレスの指定，ターゲット・アドレスの生成に使用されます（ビット**0**は“**0**”に固定）。**

なお，ビット31-26**は，将来の機能拡張のために予約されています（“**0**”に固定）。**



3. 3　動作モード

3. 3. 1　動作モード

V850E/IA2は次に示す動作モードを備えます。モードの指定はMODE0, MODE1端子により行います。

(1) 通常動作モード

(a) シングルチップ・モード

内蔵ROMへのアクセスが可能になります。

シングルチップ・モードでは，システム・リセット解除後，バス・インタフェース関連の各端子はポート・モードになり，内蔵ROMのリセット・エントリ・アドレスに分岐し，命令処理を開始します。命令によりPMCDH, PMCDL, PMCCT, PMCCMレジスタをコントロール・モードに設定することにより，外部メモリ領域に外部デバイスを接続できます。

(b) ROMレス・モード

システム・リセット解除後，バス・インタフェース関連の各端子はコントロール・モードになり，外部デバイス（メモリ）のリセット・エントリ・アドレスに分岐し，命令処理を開始します。内蔵ROMへの命令フェッチ，データ・アクセスは不可になります。

ROMレス・モードでは16ビット・データ・バスになります。

(2) フラッシュ・メモリ・プログラミング・モード（μPD70F3114のみ）

このモードを指定すると，フラッシュ・メモリ・プログラマによる内蔵フラッシュ・メモリへのプログラム動作が可能になります。

モードによって次に示すレジスタの初期値が異なります。

動作モード		PMCDH	PMCDL	PMCCT	PMCCM	BSC
通常動作モード	ROMレス・モード	FFH	FFFFH	53H	03H	5555H
	シングルチップ・モード	00H	0000H	00H	00H	5555H

3. 3. 2　動作モード指定

MODE0, MODE1端子の状態により，動作モードを指定します。これらの端子の指定は応用システムにおいて固定とし，動作中に変更した場合の動作は保証しません。

(a) μPD703114

MODE1	MODE0	動作モード		備　考
L	L	通常動作モード	ROMレス・モード	16ビット・データ・バス
L	H		シングルチップ・モード	内蔵ROM領域を000000Hから配置
上記以外		設定禁止		

(b) μPD70F3114

MODE1/V_{PP}	MODE0	動作モード		備　考
L	L	通常動作モード	ROMレス・モード	16ビット・データ・バス
L	H		シングルチップ・モード	内蔵ROM領域を000000Hから配置
7.8 V	H	フラッシュ・メモリ・プログラミング・モード		−
上記以外		設定禁止		

備考　L　：ロウ・レベル入力
　　H　：ハイ・レベル入力

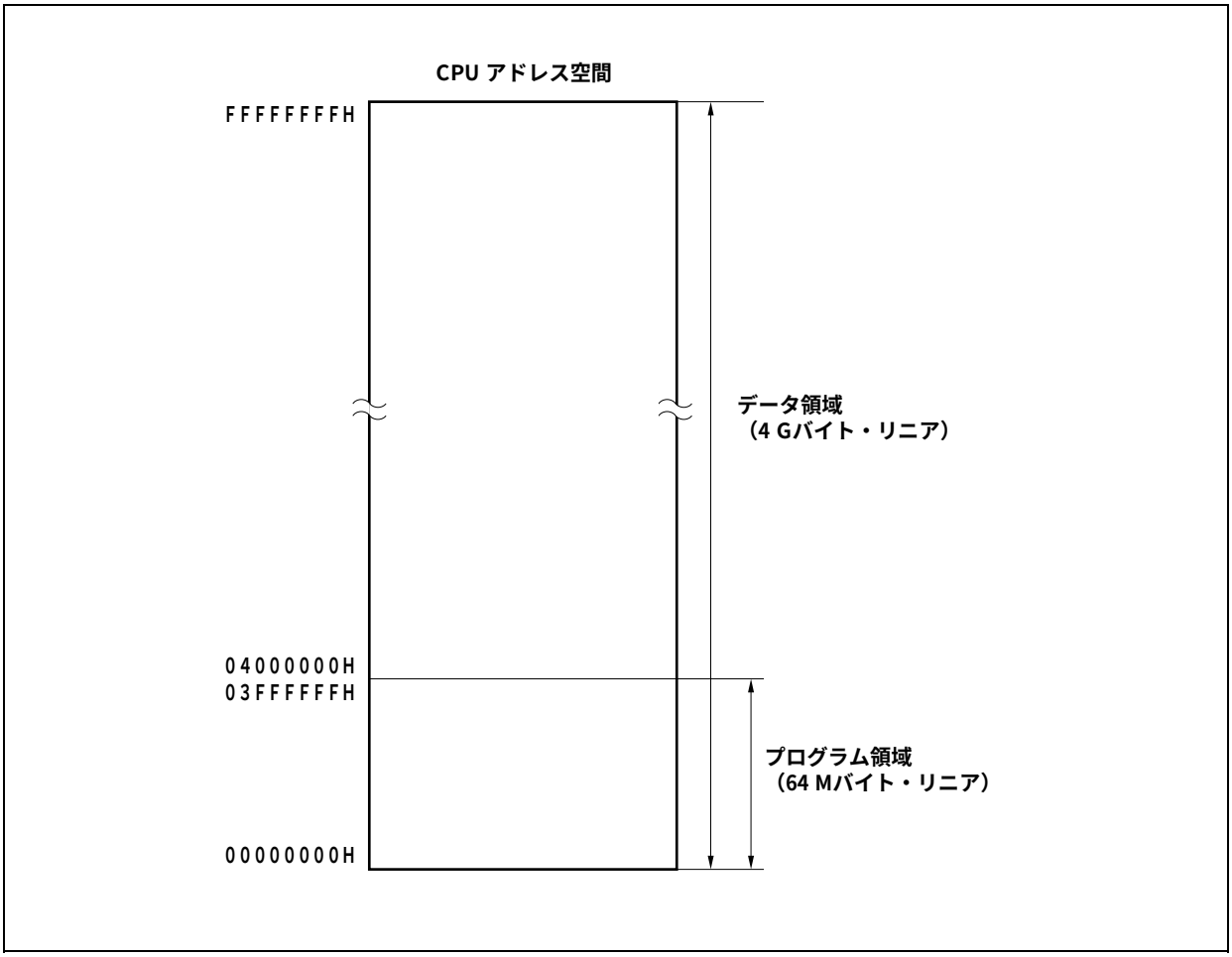
3. 4　アドレス空間

3. 4. 1　CPUアドレス空間

V850E/IA2のV850E1 CPUは，32ビット・アーキテクチャであり，オペランド・アドレシング（データ・アクセス）においては，最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。また，命令アドレスのアドレシングにおいては，最大64 Mバイトのリニア・アドレス空間（プログラム空間）をサポートしています。

図3－1にCPUアドレス空間を示します。

図3－1　CPUアドレス空間

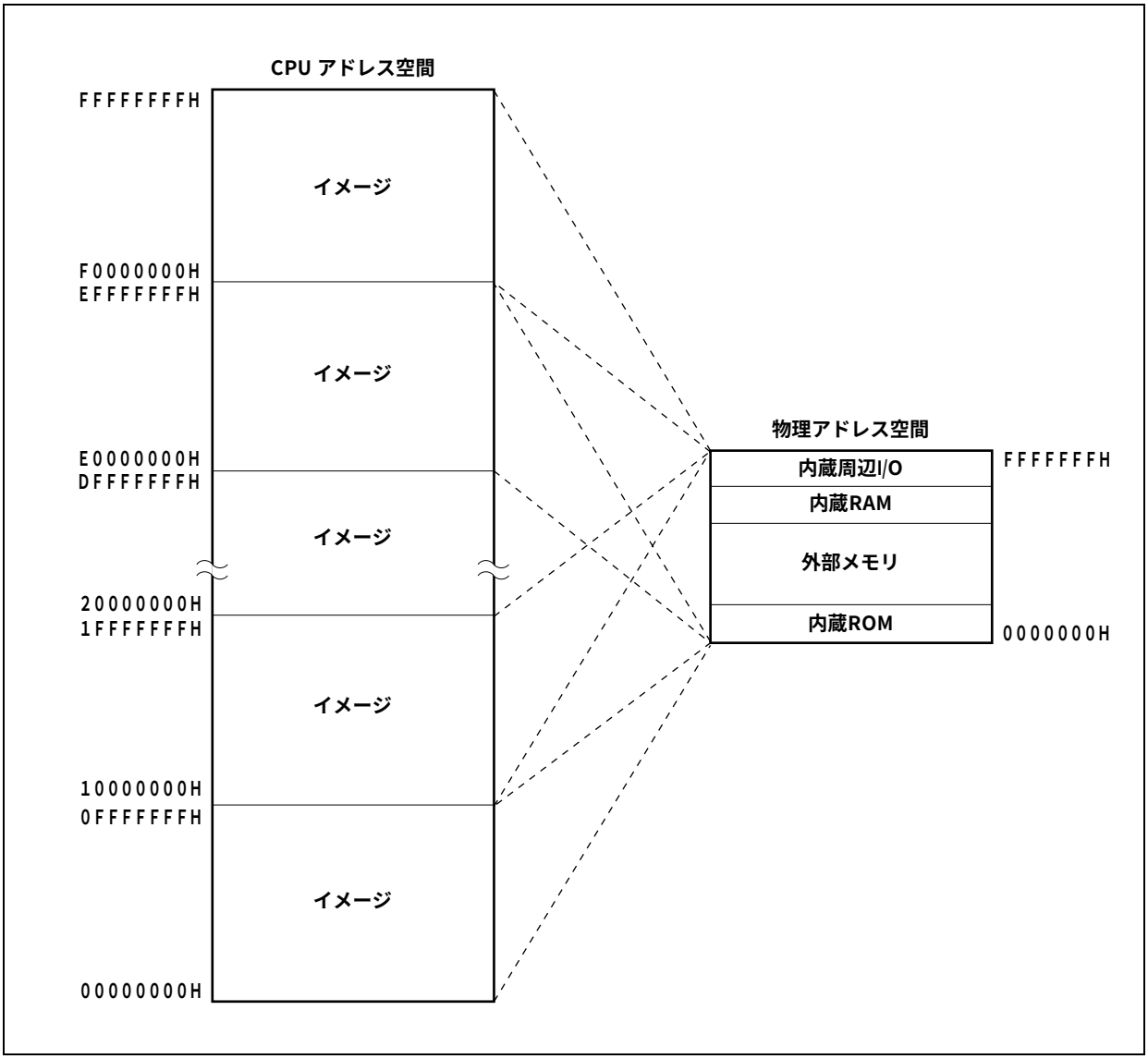


3.4.2　イメージ

4 Gバイトの CPU アドレス空間には，256 Mバイトの物理アドレス空間が16個のイメージとして見えます。つまり，CPU アドレスのビット31-ビット28がどのような値でも，同じ256 Mバイトの物理アドレス空間をアクセスします。図3－2にアドレス空間上のイメージを示します。

物理アドレスの x0000000H 番地が，CPU アドレスの00000000H番地のほかに，10000000H番地，20000000H番地，…，E0000000H番地，F0000000H番地に見えます。

図3－2　アドレス空間上のイメージ



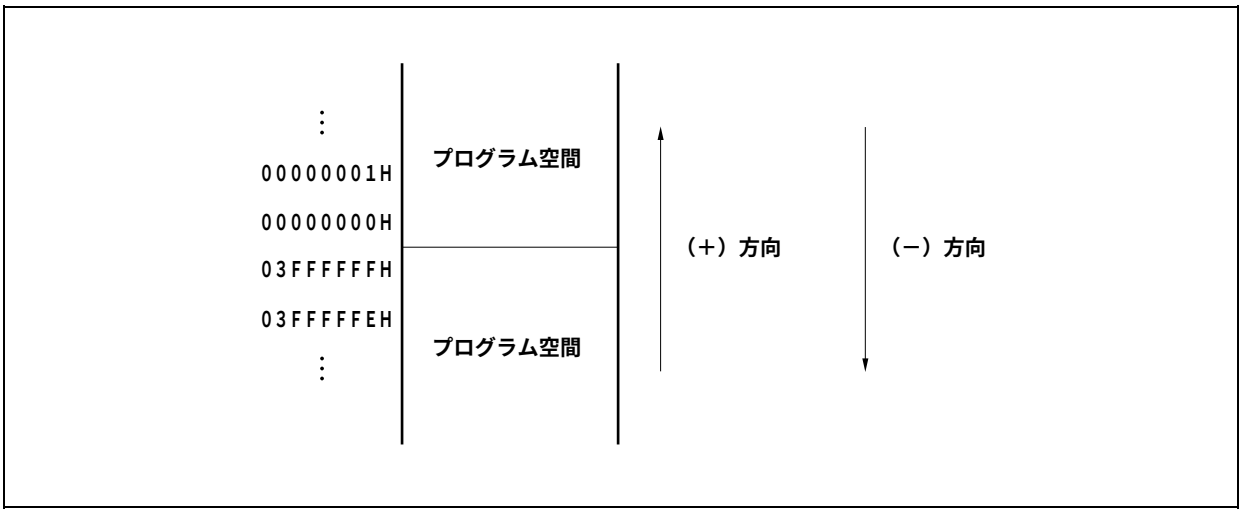
3. 4. 3　CPUアドレス空間のラップ・アラウンド

(1) プログラム空間

PC（プログラム・カウンタ）は32ビットのうち上位6ビットが0固定で，下位26ビットだけ有効です。分岐アドレス計算などでビット25からビット26に対するキャリーまたはボローがあっても上位6ビットはこれを無視します。

したがって，プログラム空間の上限である03FFFFFFH番地と，下限である00000000H番地は連続したアドレスとなります。このようにメモリ空間の下限と上限が連続したアドレスになることをラップ・アラウンドといいます。

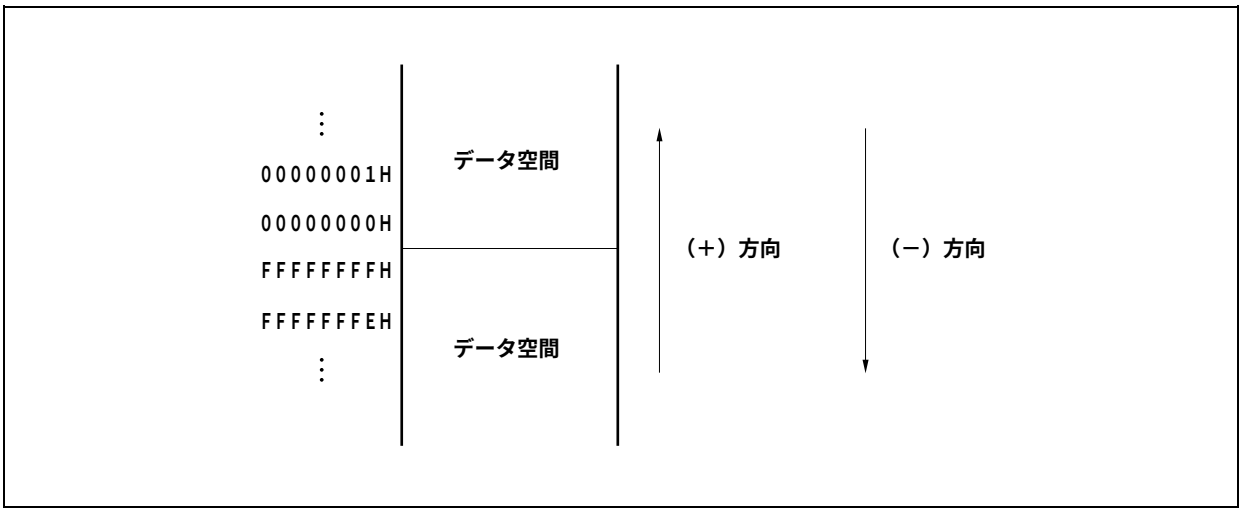
注意　03FFF000H-03FFFFFFHの4 Kバイトの領域は，0FFFF000H-0FFFFFFFHのイメージが見えます。この領域は内蔵周辺I/O領域のため，命令フェッチすることができません。したがって，分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。



(2) データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。

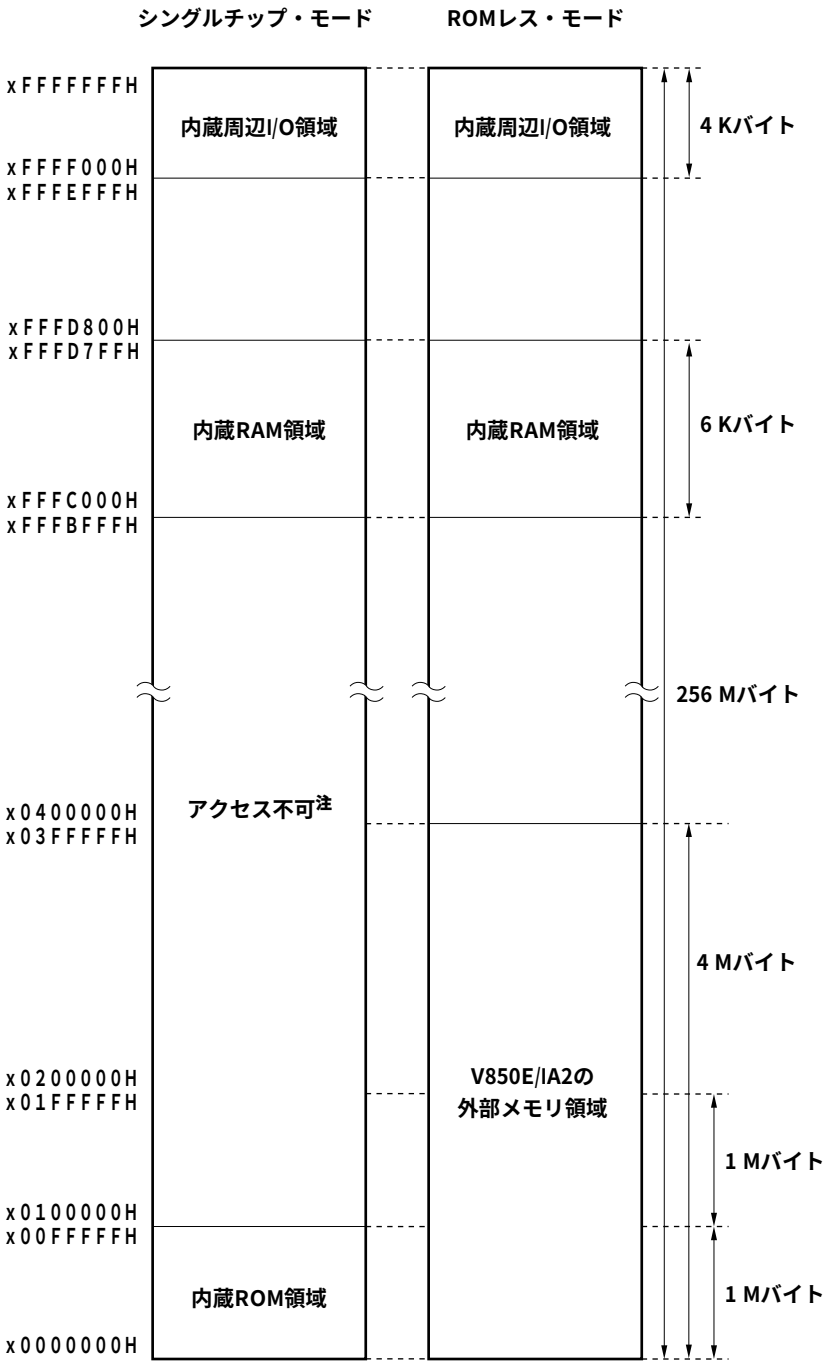
したがって，データ空間の上限であるFFFFFFFFH番地と，下限である00000000H番地は連続したアドレスになり，この境界でラップ・アラウンドします。



3. 4. 4　メモリ・マップ

V850E/IA2では，図3－3に示すように各領域を予約しています。各モードの指定はMODE0, MODE1端子で行います。

図3－3　メモリ・マップ



注　PMCDH, PMCDL, PMCCT, PMCCMレジスタをコントロール・モードに設定することにより，外部メモリ領域として使用できます。

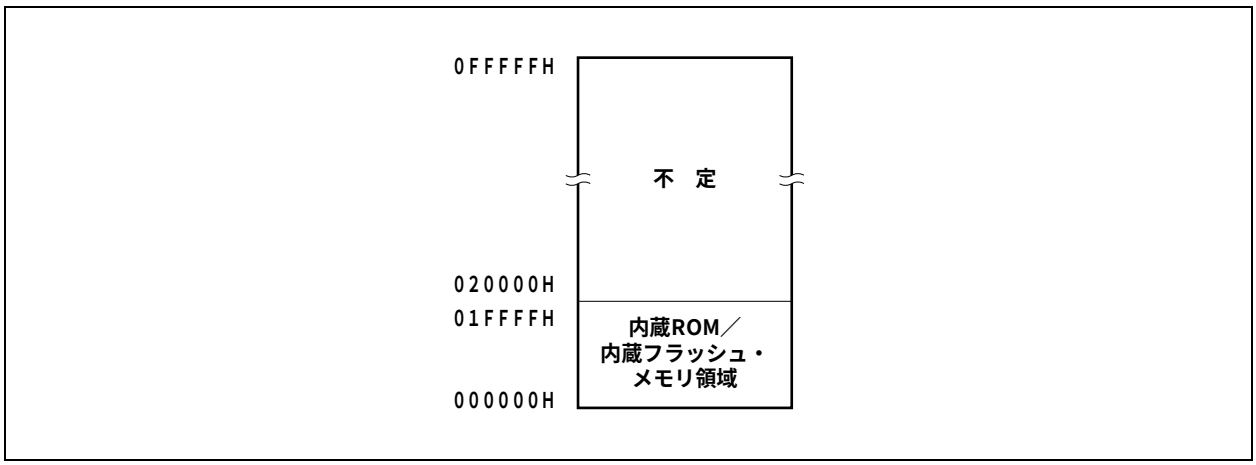
3.4.5 領　　域

(1) 内蔵ROM／内蔵フラッシュ・メモリ領域

(a) メモリ・マップ

内蔵ROM／内蔵フラッシュ・メモリ領域は，00000H-FFFFFH番地の1 Mバイトが予約されています。
実際には000000H-01FFFFH番地に128 Kバイト実装しています。
020000H-0FFFFFH番地は不定です。

図3－4　内蔵ROM／内蔵フラッシュ・メモリ領域



(b) 割り込み／例外テーブル

V850E/IA2は，割り込み／例外に対応したハンドラ・アドレスを固定化することにより，割り込み応答性を高速化しています。

このハンドラ･アドレスの集合を割り込み／例外テーブルと呼び,内蔵ROM領域に置かれています。割り込み／例外要求が受け付けられると，ハンドラ・アドレスにジャンプし，そのメモリに置かれているプログラムを実行します。表3－3に割り込み／例外要因と，対応するアドレスを示します。

備考　ROMレス・モード時では，内蔵ROM領域は外部メモリ領域になります。リセット後に正しく動作させるために，リセット・ルーチンへのハンドラ・アドレスを外部メモリの0番地に用意してください。

表3－3　割り込み／例外テーブル

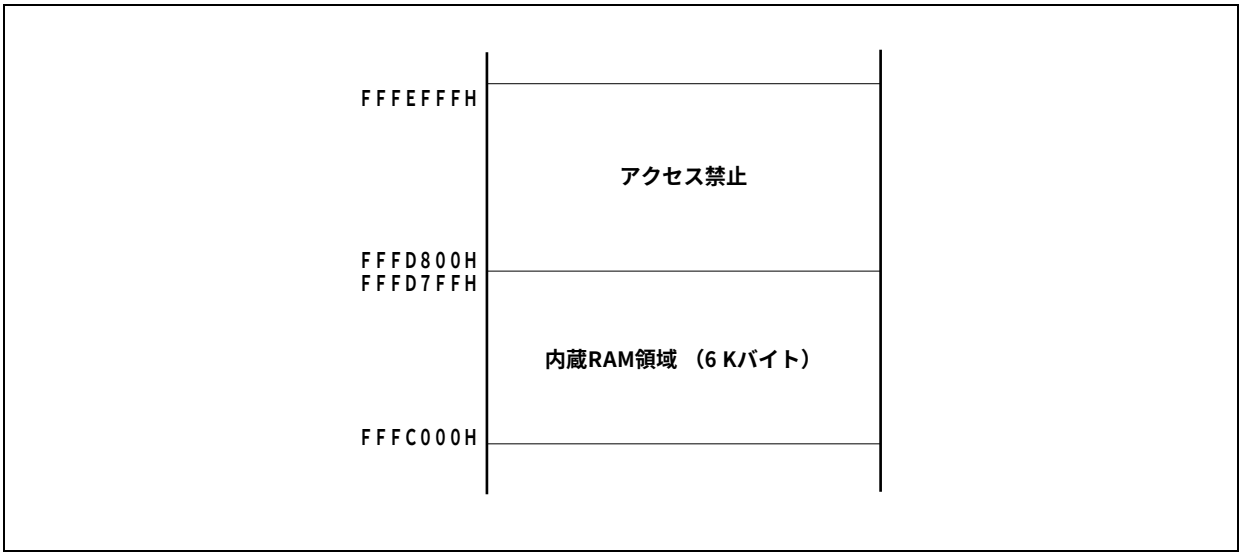
割り込み／例外テーブルの先頭アドレス	割り込み／例外要因	割り込み／例外テーブルの先頭アドレス	割り込み／例外要因
00000000H	RESET	00000230H	INTP24/INTCC24
00000010H	NMI0	00000240H	INTP25/INTCC25
00000040H	TRAP0n（n = 0-F）	00000250H	INTTM3
00000050H	TRAP1n（n = 0-F）	00000260H	INTP30/INTCC30
00000060H	ILGOP/DBG0	00000270H	INTP31/INTCC31
00000080H	INTP0	00000280H	INTCM4
00000090H	INTP1	00000290H	INTDMA0
000000A0H	INTP2	000002A0H	INTDMA1
000000B0H	INTP3	000002B0H	INTDMA2
000000C0H	INTP4	000002C0H	INTDMA3
000000F0H	INTDET0	00000310H	INTCSI0
00000100H	INTDET1	00000320H	INTCSI1
00000110H	INTTM00	00000330H	INTSR0
00000120H	INTCM003	00000340H	INTST0
00000130H	INTTM01	00000350H	INTSER0
00000140H	INTCM013	00000360H	INTSR1
00000150H	INTP100/INTCC100	00000370H	INTST1
00000160H	INTP101/INTCC101	000003A0H	INTAD0
00000170H	INTCM100	000003B0H	INTAD1
00000180H	INTCM101	000003F0H	INTCM010
000001D0H	INTTM20	00000400H	INTCM011
000001E0H	INTTM21	00000410H	INTCM012
000001F0H	INTP20/INTCC20	00000420H	INTCM014
00000200H	INTP21/INTCC21	00000430H	INTCM015
00000210H	INTP22/INTCC22	00000440H	INTCM004
00000220H	INTP23/INTCC23	00000450H	INTCM005

(2) 内蔵RAM領域

内蔵RAM領域は，FFFC000H-FFFEFFFH番地の12 Kバイトが予約されています。3FFC000H-3FFEFFFH番地の12 Kバイトには，FFFC000H-FFFEFFFH番地のイメージが見えます。

V850E/IA2は，物理内蔵RAMとしてFFFC000H-FFFD7FFH番地の6 Kバイトを実装しています。

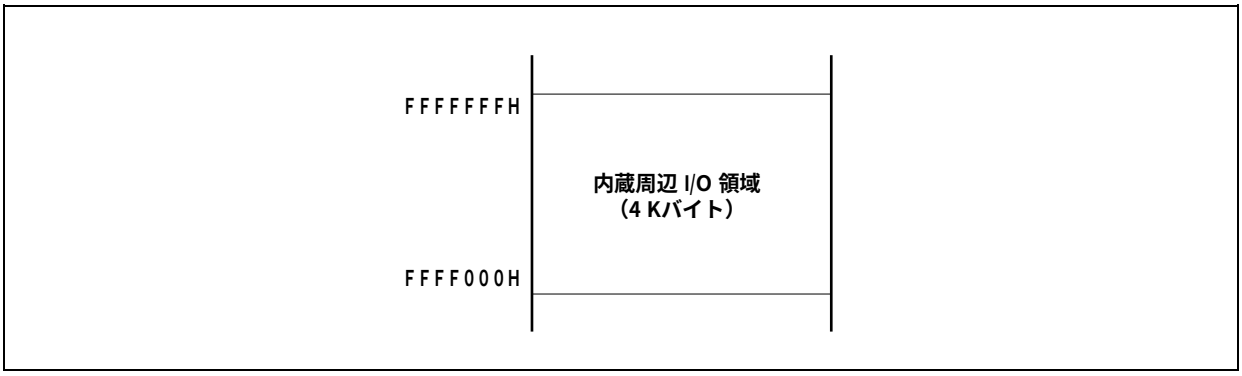
FFFD800H-FFFEFFFH番地はアクセス禁止です。



(3) 内蔵周辺I/O領域

内蔵周辺I/O領域としてFFFF000H-FFFFFFFH番地の4 Kバイトを実装しています。
3FFF000H-3FFFFFFH番地[注]には，FFFF000H-FFFFFFFH番地のイメージが見えます。

注　3FFF000H-3FFFFFFH番地はアクセス禁止です。内蔵周辺I/Oをアクセスするときには
FFFF000H-FFFFFFFH番地を指定してください。



内蔵周辺I/O領域には，内蔵周辺I/Oの動作モード指定，状態モニタリングなどの機能を割り付けた内蔵周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

注意1. アドレスの最下位ビットはデコードしていません。したがって，奇数アドレス（2n＋1番地）のレジスタにバイト・アクセスした場合は，ハードウエア上，偶数アドレス（2n）のレジスタへアクセスします。

2. V850E/IA2ではワード・アクセス可能なレジスタは存在しませんが，レジスタにワード・アクセスを行うと，アドレスの下位2ビットを無視したワード領域に対し下位，上位の順番でハーフワード・アクセスを2回行います。

3. バイト・アクセス可能なレジスタにハーフワード・アクセスした場合，リード時は上位8ビットが不定になり，ライト時は下位8ビット・データがレジスタに書き込まれます。

4. レジスタとして定義されていないアドレスは，将来の拡張用に予約されており，アクセスした場合の動作は不定であり，保証しません。

5. DMA転送の転送元，転送先のアドレスに3FFF000H-3FFFFFFHを指定することができません。転送元，転送先のアドレスには，必ずFFFF000H-FFFFFFFHのアドレスを指定してください。

(4) 外部メモリ領域

外部メモリ領域として4 Mバイトあります。

・シングルチップ・モードのとき　：x100000H-x3FFFFFH
・ROMレス・モードのとき　　：x000000H-x3FFFFFH

なお，内蔵ROM，内蔵RAM，内蔵周辺I/Oの各領域に対しては，外部メモリ領域としてアクセスすることはできません。

3.4.6　外部メモリ拡張

ポートnモード・コントロール・レジスタ（PMCn）をコントロール・モードに設定することにより，ポートDH, DL, CT, CMの各端子を用いて外部メモリ空間に外部デバイスを接続することができます。各レジスタの設定は，PMCnにより，ポートDH, DL, CT, CMの各端子をコントロール・モードに選択することで行います（n = DH, DL, CT, CM）。

なお，リセット時の状態は，MODE0, MODE1端子による動作モード指定により，次のように異なります（動作モードについては3.3　動作モードを参照してください）。

（a）ROMレス・モードの場合

リセット時は，ポートDH, DL, CT, CMの各端子がコントロール・モードになるため，ポートnモード・コントロール・レジスタ（PMCn）の変更なしで外部メモリが使用できます（外部データ・バス幅は16ビットになります）。

（b）シングルチップ・モードの場合

リセット時は，内蔵ROM領域へのアクセスを行うため，ポートDH, DL, CT, CMの各端子がポート・モードになり，外部デバイスは使用できません。

外部メモリを使用するためには，ポートnモード・コントロール・レジスタ（PMCn）の設定を行ってください。

備考　n = DH, DL, CT, CM

3.4.7　アドレス空間の推奨使用方法

V850E/IA2のアーキテクチャでは，データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトには，命令から直接オペランド・データ・アクセスが行えます。しかし，ポインタ用レジスタとして使う汎用レジスタには限りがあるため，ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで，変数用の汎用レジスタを最大限に確保し，かつプログラム・サイズを抑えることができます。

V850E/IA2のメモリ・マップに関連して，ポインタ運用の効率化を目的として，次の使用方法を推奨します。

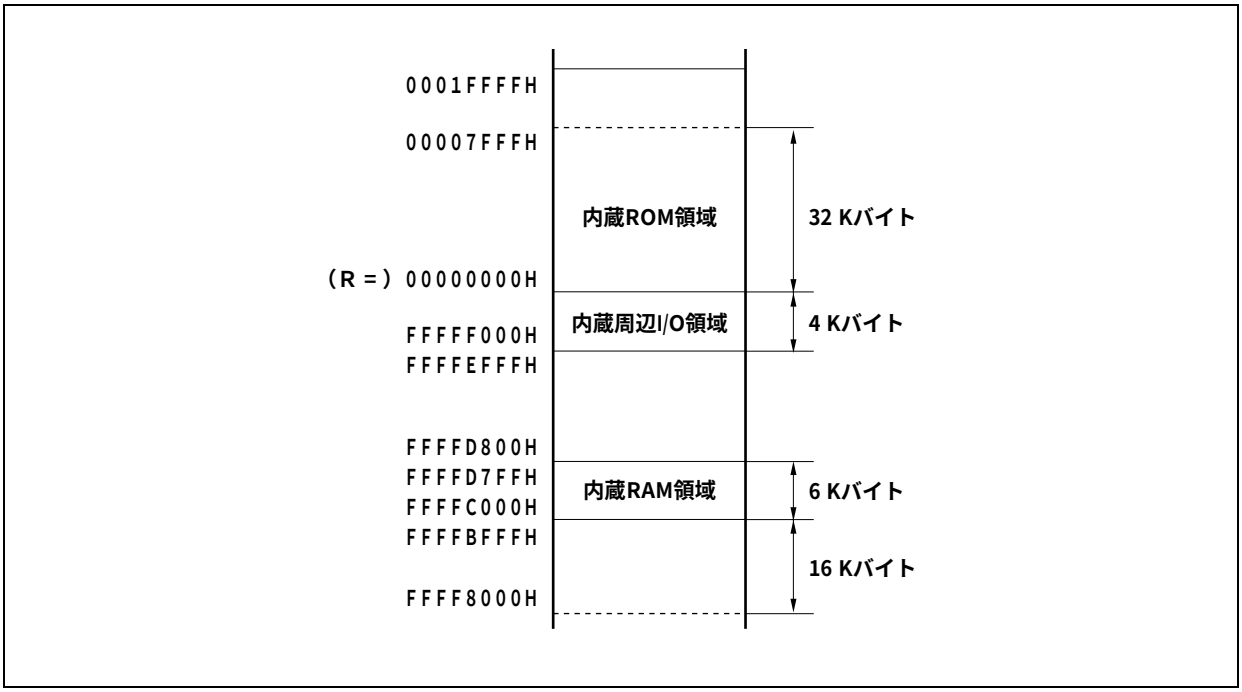
(1) プログラム空間

プログラム・カウンタ（PC）は，32ビットのうち上位6ビットは0に固定であり，下位26ビットだけ有効となります。そのうち，プログラム空間に関しては00000000H番地から連続した64 Mバイト空間がメモリ・マップに対応します。

(2) データ空間

データ空間のラップ・アラウンドを利用したリソースを効率的に運用するため，4 GバイトのCPUアドレス空間の00000000H - 00FFFFFFH番地およびFF000000H - FFFFFFFFH番地のそれぞれ連続した16 Mバイトをデータ空間として使用します。V850E/IA2では，4 GバイトのCPUアドレス空間に256 Mバイトの物理アドレス空間が16個のイメージとして見えるため，この26ビット・アドレスの最上位ビット（ビット25）を32ビット長まで符号拡張したアドレスとして割り当てています。

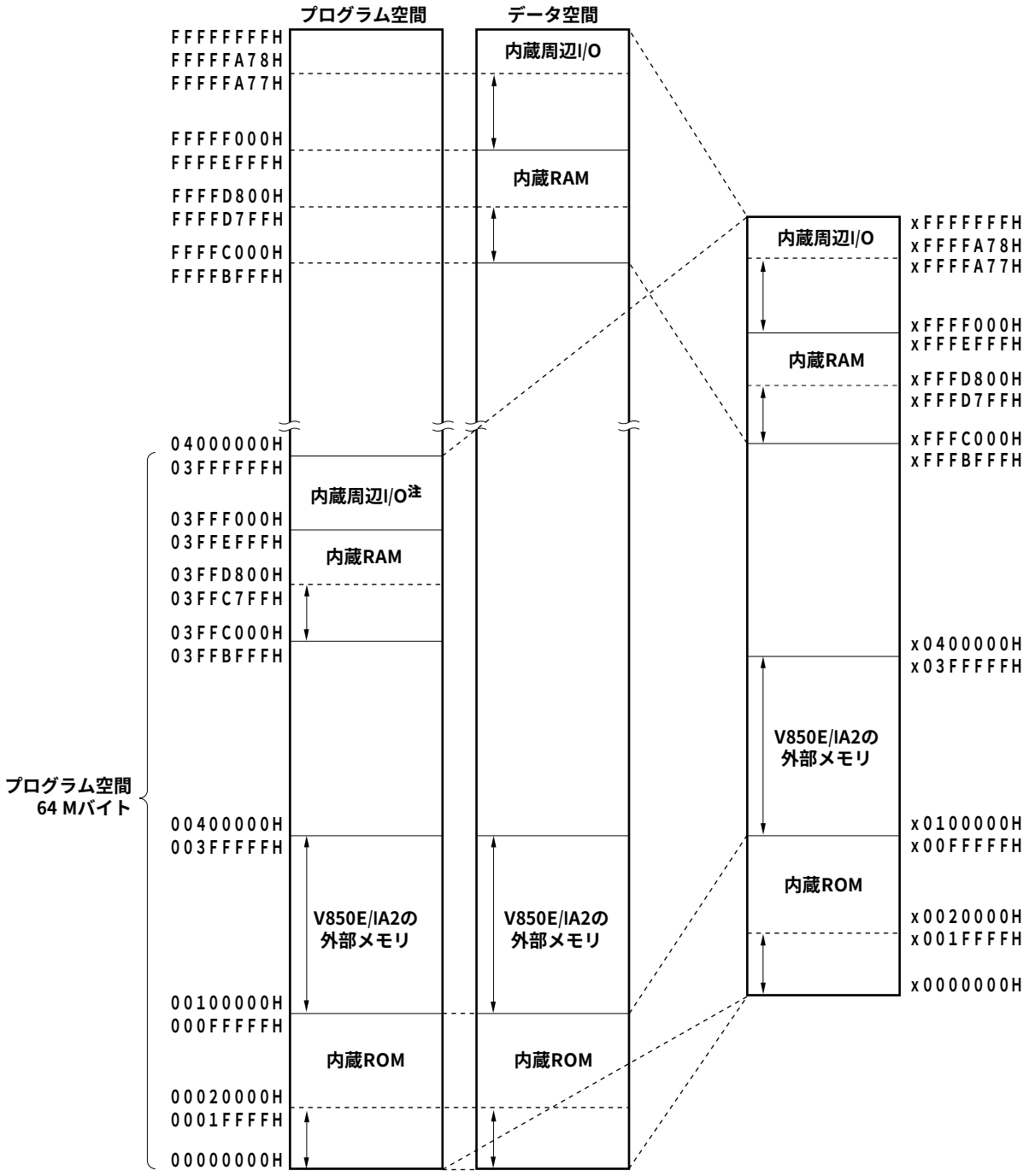
例　ラップ・アラウンドを利用した応用例は次のようになります。



LD/ST disp16［R］命令でR = r0（ゼロ・レジスタ）とした場合，符号拡張したdisp16により，00000000H番地±32 Kバイトの範囲がアドレシング可能です。外部メモリを上図の16 Kバイトの範囲にマッピングすれば，内蔵ハードウエアのすべてのリソースについて1つのポインタでアドレス指定可能です。

ゼロ・レジスタ（r0）はハードウエアでゼロ固定のレジスタであり，ポインタ専用に費やすレジスタは実質不要となります。

図3－5　推奨メモリ・マップ



注　この領域はアクセス禁止です。内蔵周辺I/OをアクセスするときにはFFFF000H-FFFFFFFH**番地を指定してください。**

備考1.　↕ **は推奨使用領域です。**

2. **この図は**V850E/IA2**をシングルチップ・モードに設定し，外部拡張モードを使用した場合の推奨メモリ・マップです。**

3.4.8　内蔵周辺I/Oレジスタ

（1/8）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF004H	ポートDL	PDL	R/W			○	不定
FFFFF004H	ポートDLL	PDLL	R/W	○	○		不定
FFFFF005H	ポートDLH	PDLH	R/W	○	○		不定
FFFFF006H	ポートDH	PDH	R/W	○	○		不定
FFFFF00AH	ポートCT	PCT	R/W	○	○		不定
FFFFF00CH	ポートCM	PCM	R/W	○	○		不定
FFFFF024H	ポートDLモード・レジスタ	PMDL	R/W			○	FFFFH
FFFFF024H	ポートDLモード・レジスタL	PMDLL	R/W	○	○		FFH
FFFFF025H	ポートDLモード・レジスタH	PMDLH	R/W	○	○		FFH
FFFFF026H	ポートDHモード・レジスタ	PMDH	R/W	○	○		FFH
FFFFF02AH	ポートCTモード・レジスタ	PMCT	R/W	○	○		FFH
FFFFF02CH	ポートCMモード・レジスタ	PMCM	R/W	○	○		FFH
FFFFF044H	ポートDLモード・コントロール・レジスタ	PMCDL	R/W			○	0000H/FFFFH
FFFFF044H	ポートDLモード・コントロール・レジスタL	PMCDLL	R/W	○	○		00H/FFH
FFFFF045H	ポートDLモード・コントロール・レジスタH	PMCDLH	R/W	○	○		00H/FFH
FFFFF046H	ポートDHモード・コントロール・レジスタ	PMCDH	R/W	○	○		00H/FFH
FFFFF04AH	ポートCTモード・コントロール・レジスタ	PMCCT	R/W	○	○		00H/53H
FFFFF04CH	ポートCMモード・コントロール・レジスタ	PMCCM	R/W	○	○		00H/03H
FFFFF060H	チップ・エリア選択コントロール・レジスタ0	CSC0	R/W			○	2C11H
FFFFF062H	チップ・エリア選択コントロール・レジスタ1	CSC1	R/W			○	2C11H
FFFFF066H	バス・サイズ・コンフィギュレーション・レジスタ	BSC	R/W			○	5555H
FFFFF06EH	システム・ウエイト・コントロール・レジスタ	VSWC	R/W		○		77H
FFFFF080H	DMAソース・アドレス・レジスタ0L	DSA0L	R/W			○	不定
FFFFF082H	DMAソース・アドレス・レジスタ0H	DSA0H	R/W			○	不定
FFFFF084H	DMAデスティネーション・アドレス・レジスタ0L	DDA0L	R/W			○	不定
FFFFF086H	DMAデスティネーション・アドレス・レジスタ0H	DDA0H	R/W			○	不定
FFFFF088H	DMAソース・アドレス・レジスタ1L	DSA1L	R/W			○	不定
FFFFF08AH	DMAソース・アドレス・レジスタ1H	DSA1H	R/W			○	不定
FFFFF08CH	DMAデスティネーション・アドレス・レジスタ1L	DDA1L	R/W			○	不定
FFFFF08EH	DMAデスティネーション・アドレス・レジスタ1H	DDA1H	R/W			○	不定
FFFFF090H	DMAソース・アドレス・レジスタ2L	DSA2L	R/W			○	不定
FFFFF092H	DMAソース・アドレス・レジスタ2H	DSA2H	R/W			○	不定
FFFFF094H	DMAデスティネーション・アドレス・レジスタ2L	DDA2L	R/W			○	不定
FFFFF096H	DMAデスティネーション・アドレス・レジスタ2H	DDA2H	R/W			○	不定
FFFFF098H	DMAソース・アドレス・レジスタ3L	DSA3L	R/W			○	不定
FFFFF09AH	DMAソース・アドレス・レジスタ3H	DSA3H	R/W			○	不定
FFFFF09CH	DMAデスティネーション・アドレス・レジスタ3L	DDA3L	R/W			○	不定
FFFFF09EH	DMAデスティネーション・アドレス・レジスタ3H	DDA3H	R/W			○	不定
FFFFF0C0H	DMA転送カウント・レジスタ0	DBC0	R/W			○	不定
FFFFF0C2H	DMA転送カウント・レジスタ1	DBC1	R/W			○	不定
FFFFF0C4H	DMA転送カウント・レジスタ2	DBC2	R/W			○	不定

(2/8)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF0C6H	DMA転送カウント・レジスタ3	DBC3	R/W			○	不定
FFFFF0D0H	DMAアドレシング・コントロール・レジスタ0	DADC0	R/W			○	0000H
FFFFF0D2H	DMAアドレシング・コントロール・レジスタ1	DADC1	R/W			○	0000H
FFFFF0D4H	DMAアドレシング・コントロール・レジスタ2	DADC2	R/W			○	0000H
FFFFF0D6H	DMAアドレシング・コントロール・レジスタ3	DADC3	R/W			○	0000H
FFFFF0E0H	DMAチャネル・コントロール・レジスタ0	DCHC0	R/W	○	○		00H
FFFFF0E2H	DMAチャネル・コントロール・レジスタ1	DCHC1	R/W	○	○		00H
FFFFF0E4H	DMAチャネル・コントロール・レジスタ2	DCHC2	R/W	○	○		00H
FFFFF0E6H	DMAチャネル・コントロール・レジスタ3	DCHC3	R/W	○	○		00H
FFFFF0F0H	DMAディスエーブル・ステータス・レジスタ	DDIS	R		○		00H
FFFFF0F2H	DMAリスタート・レジスタ	DRST	R/W		○		00H
FFFFF100H	割り込みマスク・レジスタ0	IMR0	R/W			○	FFFFH
FFFFF100H	割り込みマスク・レジスタ0L	IMR0L	R/W	○	○		FFH
FFFFF101H	割り込みマスク・レジスタ0H	IMR0H	R/W	○	○		FFH
FFFFF102H	割り込みマスク・レジスタ1	IMR1	R/W			○	FFFFH
FFFFF102H	割り込みマスク・レジスタ1L	IMR1L	R/W	○	○		FFH
FFFFF103H	割り込みマスク・レジスタ1H	IMR1H	R/W	○	○		FFH
FFFFF104H	割り込みマスク・レジスタ2	IMR2	R/W			○	FFFFH
FFFFF104H	割り込みマスク・レジスタ2L	IMR2L	R/W	○	○		FFH
FFFFF105H	割り込みマスク・レジスタ2H	IMR2H	R/W	○	○		FFH
FFFFF106H	割り込みマスク・レジスタ3	IMR3	R/W			○	FFFFH
FFFFF106H	割り込みマスク・レジスタ3L	IMR3L	R/W	○	○		FFH
FFFFF107H	割り込みマスク・レジスタ3H	IMR3H	R/W	○	○		FFH
FFFFF110H	割り込み制御レジスタ	P0IC0	R/W	○	○		47H
FFFFF112H	割り込み制御レジスタ	P0IC1	R/W	○	○		47H
FFFFF114H	割り込み制御レジスタ	P0IC2	R/W	○	○		47H
FFFFF116H	割り込み制御レジスタ	P0IC3	R/W	○	○		47H
FFFFF118H	割り込み制御レジスタ	P0IC4	R/W	○	○		47H
FFFFF11EH	割り込み制御レジスタ	DETIC0	R/W	○	○		47H
FFFFF120H	割り込み制御レジスタ	DETIC1	R/W	○	○		47H
FFFFF122H	割り込み制御レジスタ	TM0IC0	R/W	○	○		47H
FFFFF124H	割り込み制御レジスタ	CM03IC0	R/W	○	○		47H
FFFFF126H	割り込み制御レジスタ	TM0IC1	R/W	○	○		47H
FFFFF128H	割り込み制御レジスタ	CM03IC1	R/W	○	○		47H
FFFFF12AH	割り込み制御レジスタ	CC10IC0	R/W	○	○		47H
FFFFF12CH	割り込み制御レジスタ	CC10IC1	R/W	○	○		47H
FFFFF12EH	割り込み制御レジスタ	CM10IC0	R/W	○	○		47H
FFFFF130H	割り込み制御レジスタ	CM10IC1	R/W	○	○		47H
FFFFF13AH	割り込み制御レジスタ	TM2IC0	R/W	○	○		47H
FFFFF13CH	割り込み制御レジスタ	TM2IC1	R/W	○	○		47H
FFFFF13EH	割り込み制御レジスタ	CC2IC0	R/W	○	○		47H
FFFFF140H	割り込み制御レジスタ	CC2IC1	R/W	○	○		47H

(3/8)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF142H	割り込み制御レジスタ	CC2IC2	R/W	○	○		47H
FFFFF144H	割り込み制御レジスタ	CC2IC3	R/W	○	○		47H
FFFFF146H	割り込み制御レジスタ	CC2IC4	R/W	○	○		47H
FFFFF148H	割り込み制御レジスタ	CC2IC5	R/W	○	○		47H
FFFFF14AH	割り込み制御レジスタ	TM3IC0	R/W	○	○		47H
FFFFF14CH	割り込み制御レジスタ	CC3IC0	R/W	○	○		47H
FFFFF14EH	割り込み制御レジスタ	CC3IC1	R/W	○	○		47H
FFFFF150H	割り込み制御レジスタ	CM4IC0	R/W	○	○		47H
FFFFF152H	割り込み制御レジスタ	DMAIC0	R/W	○	○		47H
FFFFF154H	割り込み制御レジスタ	DMAIC1	R/W	○	○		47H
FFFFF156H	割り込み制御レジスタ	DMAIC2	R/W	○	○		47H
FFFFF158H	割り込み制御レジスタ	DMAIC3	R/W	○	○		47H
FFFFF162H	割り込み制御レジスタ	CSIIC0	R/W	○	○		47H
FFFFF164H	割り込み制御レジスタ	CSIIC1	R/W	○	○		47H
FFFFF166H	割り込み制御レジスタ	SRIC0	R/W	○	○		47H
FFFFF168H	割り込み制御レジスタ	STIC0	R/W	○	○		47H
FFFFF16AH	割り込み制御レジスタ	SEIC0	R/W	○	○		47H
FFFFF16CH	割り込み制御レジスタ	SRIC1	R/W	○	○		47H
FFFFF16EH	割り込み制御レジスタ	STIC1	R/W	○	○		47H
FFFFF174H	割り込み制御レジスタ	ADIC0	R/W	○	○		47H
FFFFF176H	割り込み制御レジスタ	ADIC1	R/W	○	○		47H
FFFFF17EH	割り込み制御レジスタ	CM00IC1	R/W	○	○		47H
FFFFF180H	割り込み制御レジスタ	CM01IC1	R/W	○	○		47H
FFFFF182H	割り込み制御レジスタ	CM02IC1	R/W	○	○		47H
FFFFF184H	割り込み制御レジスタ	CM04IC1	R/W	○	○		47H
FFFFF186H	割り込み制御レジスタ	CM05IC1	R/W	○	○		47H
FFFFF188H	割り込み制御レジスタ	CM04IC0	R/W	○	○		47H
FFFFF18AH	割り込み制御レジスタ	CM05IC0	R/W	○	○		47H
FFFFF1FAH	インサービス・プライオリティ・レジスタ	ISPR	R	○	○		00H
FFFFF1FCH	コマンド・レジスタ	PRCMD	W		○		不定
FFFFF1FEH	パワー・セーブ・コントロール・レジスタ	PSC	R/W	○	○		00H
FFFFF200H	A/Dスキャン・モード・レジスタ00	ADSCM00	R/W			○	0000H
FFFFF200H	A/Dスキャン・モード・レジスタ00L	ADSCM00L	R/W	○	○		00H
FFFFF201H	A/Dスキャン・モード・レジスタ00H	ADSCM00H	R/W	○	○		00H
FFFFF202H	A/Dスキャン・モード・レジスタ01	ADSCM01	R/W			○	0000H
FFFFF202H	A/Dスキャン・モード・レジスタ01L	ADSCM01L	R		○		00H
FFFFF203H	A/Dスキャン・モード・レジスタ01H	ADSCM01H	R/W	○	○		00H
FFFFF204H	A/D電圧検出モード・レジスタ0	ADETM0	R/W			○	0000H
FFFFF204H	A/D電圧検出モード・レジスタ0L	ADETM0L	R/W	○	○		00H
FFFFF205H	A/D電圧検出モード・レジスタ0H	ADETM0H	R/W	○	○		00H
FFFFF210H	A/D変換結果レジスタ00	ADCR00	R			○	0000H
FFFFF212H	A/D変換結果レジスタ01	ADCR01	R			○	0000H

(4/8)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF214H	A/D変換結果レジスタ02	ADCR02	R			○	0000H
FFFFF216H	A/D変換結果レジスタ03	ADCR03	R			○	0000H
FFFFF218H	A/D変換結果レジスタ04	ADCR04	R			○	0000H
FFFFF21AH	A/D変換結果レジスタ05	ADCR05	R			○	0000H
FFFFF240H	A/Dスキャン・モード・レジスタ10	ADSCM10	R/W			○	0000H
FFFFF240H	A/Dスキャン・モード・レジスタ10L	ADSCM10L	R/W	○	○		00H
FFFFF241H	A/Dスキャン・モード・レジスタ10H	ADSCM10H	R/W	○	○		00H
FFFFF242H	A/Dスキャン・モード・レジスタ11	ADSCM11	R/W			○	0000H
FFFFF242H	A/Dスキャン・モード・レジスタ11L	ADSCM11L	R		○		00H
FFFFF243H	A/Dスキャン・モード・レジスタ11H	ADSCM11H	R/W	○	○		00H
FFFFF244H	A/D電圧検出モード・レジスタ1	ADETM1	R/W			○	0000H
FFFFF244H	A/D電圧検出モード・レジスタ1L	ADETM1L	R/W	○	○		00H
FFFFF245H	A/D電圧検出モード・レジスタ1H	ADETM1H	R/W	○	○		00H
FFFFF250H	A/D変換結果レジスタ10	ADCR10	R			○	0000H
FFFFF252H	A/D変換結果レジスタ11	ADCR11	R			○	0000H
FFFFF254H	A/D変換結果レジスタ12	ADCR12	R			○	0000H
FFFFF256H	A/D変換結果レジスタ13	ADCR13	R			○	0000H
FFFFF258H	A/D変換結果レジスタ14	ADCR14	R			○	0000H
FFFFF25AH	A/D変換結果レジスタ15	ADCR15	R			○	0000H
FFFFF25CH	A/D変換結果レジスタ16	ADCR16	R			○	0000H
FFFFF25EH	A/D変換結果レジスタ17	ADCR17	R			○	0000H
FFFFF280H	A/D内部トリガ選択レジスタ0	ITRG0	R/W	○	○		00H
FFFFF288H	A/D内部トリガ選択レジスタ1	ITRG1	R/W	○	○		00H
FFFFF300H	レギュレータ・コントロール・レジスタ	REGC	R/W	○	○		00H
FFFFF400H	ポート0	P0	R	○	○		不定
FFFFF402H	ポート1	P1	R/W	○	○		不定
FFFFF404H	ポート2	P2	R/W	○	○		不定
FFFFF406H	ポート3	P3	R/W	○	○		不定
FFFFF408H	ポート4	P4	R/W	○	○		不定
FFFFF422H	ポート1モード・レジスタ	PM1	R/W	○	○		FFH
FFFFF424H	ポート2モード・レジスタ	PM2	R/W	○	○		FFH
FFFFF426H	ポート3モード・レジスタ	PM3	R/W	○	○		FFH
FFFFF428H	ポート4モード・レジスタ	PM4	R/W	○	○		FFH
FFFFF442H	ポート1モード・コントロール・レジスタ	PMC1	R/W	○	○		00H
FFFFF444H	ポート2モード・コントロール・レジスタ	PMC2	R/W	○	○		00H
FFFFF446H	ポート3モード・コントロール・レジスタ	PMC3	R/W	○	○		00H
FFFFF448H	ポート4モード・コントロール・レジスタ	PMC4	R/W	○	○		00H
FFFFF462H	ポート1ファンクション・コントロール・レジスタ	PFC1	R/W	○	○		00H
FFFFF464H	ポート2ファンクション・コントロール・レジスタ	PFC2	R/W	○	○		00H
FFFFF466H	ポート3ファンクション・コントロール・レジスタ	PFC3	R/W	○	○		00H
FFFFF480H	バス・サイクル・タイプ・コンフィギュレーション・レジスタ0	BCT0	R/W			○	CCCCH
FFFFF482H	バス・サイクル・タイプ・コンフィギュレーション・レジスタ1	BCT1	R/W			○	CCCCH

(5/8)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF484H	データ・ウエイト・コントロール・レジスタ0	DWC0	R/W			○	3333H
FFFFF486H	データ・ウエイト・コントロール・レジスタ1	DWC1	R/W			○	3333H
FFFFF488H	アドレス・ウエイト制御レジスタ	AWC	R/W			○	0000H
FFFFF48AH	バス・サイクル・コントロール・レジスタ	BCC	R/W			○	AAAAH
FFFFF540H	タイマ4	TM4	R			○	0000H
FFFFF542H	コンペア・レジスタ4	CM4	R/W			○	0000H
FFFFF544H	タイマ・コントロール・レジスタ4	TMC4	R/W	○	○		00H
FFFFF570H	デッド・タイム・タイマ・リロード・レジスタ0	DTRR0	R/W			○	0FFFH
FFFFF572H	バッファ・レジスタCM00	BFCM00	R/W			○	FFFFH
FFFFF574H	バッファ・レジスタCM01	BFCM01	R/W			○	FFFFH
FFFFF576H	バッファ・レジスタCM02	BFCM02	R/W			○	FFFFH
FFFFF578H	バッファ・レジスタCM03	BFCM03	R/W			○	FFFFH
FFFFF57AH	タイマ・コントロール・レジスタ00	TMC00	R/W			○	0508H
FFFFF57AH	タイマ・コントロール・レジスタ00L	TMC00L	R/W	○	○		08H
FFFFF57BH	タイマ・コントロール・レジスタ00H	TMC00H	R/W	○	○		05H
FFFFF57CH	タイマ・ユニット・コントロール・レジスタ00	TUC00	R/W	○	○		01H
FFFFF57DH	タイマ出力モード・レジスタ0	TOMR0	R/W		○		00H
FFFFF57EH	PWMソフトウエア・タイミング出力レジスタ0	PSTO0	R/W	○	○		00H
FFFFF57FH	PWM出力イネーブル・レジスタ0	POER0	R/W	○	○		00H
FFFFF580H	TOMR書き込み許可レジスタ0	SPEC0	R/W			○	0000H
FFFFF59CH	バッファ・レジスタCM04	BFCM04	R/W			○	FFFFH
FFFFF59EH	バッファ・レジスタCM05	BFCM05	R/W			○	FFFFH
FFFFF5B0H	デッド・タイム・タイマ・リロード・レジスタ1	DTRR1	R/W			○	0FFFH
FFFFF5B2H	バッファ・レジスタCM10	BFCM10	R/W			○	FFFFH
FFFFF5B4H	バッファ・レジスタCM11	BFCM11	R/W			○	FFFFH
FFFFF5B6H	バッファ・レジスタCM12	BFCM12	R/W			○	FFFFH
FFFFF5B8H	バッファ・レジスタCM13	BFCM13	R/W			○	FFFFH
FFFFF5BAH	タイマ・コントロール・レジスタ01	TMC01	R/W			○	0508H
FFFFF5BAH	タイマ・コントロール・レジスタ01L	TMC01L	R/W	○	○		08H
FFFFF5BBH	タイマ・コントロール・レジスタ01H	TMC01H	R/W	○	○		05H
FFFFF5BCH	タイマ・ユニット・コントロール・レジスタ01	TUC01	R/W	○	○		01H
FFFFF5BDH	タイマ出力モード・レジスタ1	TOMR1	R/W		○		00H
FFFFF5BEH	PWMソフトウエア・タイミング出力レジスタ1	PSTO1	R/W	○	○		00H
FFFFF5BFH	PWM出力イネーブル・レジスタ1	POER1	R/W	○	○		00H
FFFFF5C0H	TOMR書き込み許可レジスタ1	SPEC1	R/W			○	0000H
FFFFF5D0H	タイマ0クロック選択レジスタ	PRM01	R/W	○	○		00H
FFFFF5D8H	タイマ1/タイマ2クロック選択レジスタ	PRM02	R/W	○	○		00H
FFFFF5DCH	バッファ・レジスタCM14	BFCM14	R/W			○	FFFFH
FFFFF5DEH	バッファ・レジスタCM15	BFCM15	R/W			○	FFFFH
FFFFF5E0H	タイマ10	TM10	R/W			○	0000H
FFFFF5E2H	コンペア・レジスタ100	CM100	R/W			○	0000H
FFFFF5E4H	コンペア・レジスタ101	CM101	R/W			○	0000H

(6/8)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF5E6H	キャプチャ／コンペア・レジスタ100	CC100	R/W			○	0000H
FFFFF5E8H	キャプチャ／コンペア・レジスタ101	CC101	R/W			○	0000H
FFFFF5EAH	キャプチャ／コンペア・コントロール・レジスタ0	CCR0	R/W	○	○		00H
FFFFF5EBH	タイマ・ユニット・モード・レジスタ0	TUM0	R/W	○	○		00H
FFFFF5ECH	タイマ・コントロール・レジスタ10	TMC10	R/W	○	○		00H
FFFFF5EDH	シグナル・エッジ選択レジスタ10	SESA10	R/W	○	○		00H
FFFFF5EEH	プリスケーラ・モード・レジスタ10	PRM10	R/W	○	○		07H
FFFFF5EFH	ステータス・レジスタ0	STATUS0	R	○	○		00H
FFFFF5F6H	CC101キャプチャ入力選択レジスタ	CSL10	R/W	○	○		00H
FFFFF5F8H	タイマ10ノイズ除去時間選択レジスタ	NRC10	R/W	○	○		00H
FFFFF620H	タイマ接続選択レジスタ0	TMIC0	R/W	○	○		00H
FFFFF630H	タイマ2入力フィルタ・モード・レジスタ0	FEM0	R/W	○	○		00H
FFFFF631H	タイマ2入力フィルタ・モード・レジスタ1	FEM1	R/W	○	○		00H
FFFFF632H	タイマ2入力フィルタ・モード・レジスタ2	FEM2	R/W	○	○		00H
FFFFF633H	タイマ2入力フィルタ・モード・レジスタ3	FEM3	R/W	○	○		00H
FFFFF634H	タイマ2入力フィルタ・モード・レジスタ4	FEM4	R/W	○	○		00H
FFFFF635H	タイマ2入力フィルタ・モード・レジスタ5	FEM5	R/W	○	○		00H
FFFFF640H	タイマ2クロック停止レジスタ0	STOPTE0	R/W			○	0000H
FFFFF640H	タイマ2クロック停止レジスタ0L	STOPTE0L	R		○		00H
FFFFF641H	タイマ2クロック停止レジスタ0H	STOPTE0H	R/W	○	○		00H
FFFFF642H	タイマ2カウント・クロック／制御エッジ選択レジスタ0	CSE0	R/W			○	0000H
FFFFF642H	タイマ2カウント・クロック／制御エッジ選択レジスタ0L	CSE0L	R/W	○	○		00H
FFFFF643H	タイマ2カウント・クロック／制御エッジ選択レジスタ0H	CSE0H	R/W	○	○		00H
FFFFF644H	タイマ2サブチャネル入力イベント・エッジ選択レジスタ0	SESE0	R/W			○	0000H
FFFFF644H	タイマ2サブチャネル入力イベント・エッジ選択レジスタ0L	SESE0L	R/W	○	○		00H
FFFFF645H	タイマ2サブチャネル入力イベント・エッジ選択レジスタ0H	SESE0H	R/W	○	○		00H
FFFFF646H	タイマ2タイム・ベース制御レジスタ0	TCRE0	R/W			○	0000H
FFFFF646H	タイマ2タイム・ベース制御レジスタ0L	TCRE0L	R/W	○	○		00H
FFFFF647H	タイマ2タイム・ベース制御レジスタ0H	TCRE0H	R/W	○	○		00H
FFFFF648H	タイマ2出力制御レジスタ0	OCTLE0	R/W			○	0000H
FFFFF648H	タイマ2出力制御レジスタ0L	OCTLE0L	R/W	○	○		00H
FFFFF649H	タイマ2出力制御レジスタ0H	OCTLE0H	R/W	○	○		00H
FFFFF64AH	タイマ2サブチャネル0, 5 キャプチャ／コンペア制御レジスタ	CMSE050	R/W			○	0000H
FFFFF64CH	タイマ2サブチャネル1, 2 キャプチャ／コンペア制御レジスタ	CMSE120	R/W			○	0000H
FFFFF64EH	タイマ2サブチャネル3, 4 キャプチャ／コンペア制御レジスタ	CMSE340	R/W			○	0000H
FFFFF650H	タイマ2サブチャネル1副キャプチャ／コンペア・レジスタ	CVSE10	R/W			○	0000H
FFFFF652H	タイマ2サブチャネル1主キャプチャ／コンペア・レジスタ	CVPE10	R			○	0000H
FFFFF654H	タイマ2サブチャネル2副キャプチャ／コンペア・レジスタ	CVSE20	R/W			○	0000H
FFFFF656H	タイマ2サブチャネル2主キャプチャ／コンペア・レジスタ	CVPE20	R			○	0000H
FFFFF658H	タイマ2サブチャネル3 副キャプチャ／コンペア・レジスタ	CVSE30	R/W			○	0000H
FFFFF65AH	タイマ2サブチャネル3 主キャプチャ／コンペア・レジスタ	CVPE30	R			○	0000H
FFFFF65CH	タイマ2サブチャネル4 副キャプチャ／コンペア・レジスタ	CVSE40	R/W			○	0000H

（7/8）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF65EH	タイマ2サブチャネル4 主キャプチャ／コンペア・レジスタ	CVPE40	R			○	0000H
FFFFF660H	タイマ2サブチャネル0 キャプチャ／コンペア・レジスタ	CVSE00	R/W			○	0000H
FFFFF662H	タイマ2サブチャネル5 キャプチャ／コンペア・レジスタ	CVSE50	R/W			○	0000H
FFFFF664H	タイマ2タイム・ベース・ステータス・レジスタ0	TBSTATE0	R/W			○	0101H
FFFFF664H	タイマ2タイム・ベース・ステータス・レジスタ0L	TBSTATE0L	R/W	○	○		01H
FFFFF665H	タイマ2タイム・ベース・ステータス・レジスタ0H	TBSTATE0H	R/W	○	○		01H
FFFFF666H	タイマ2キャプチャ／コンペア1-4ステータス・レジスタ0	CCSTATE0	R/W			○	0000H
FFFFF666H	タイマ2キャプチャ／コンペア1-4ステータス・レジスタ0L	CCSTATE0L	R/W	○	○		00H
FFFFF667H	タイマ2キャプチャ／コンペア1-4ステータス・レジスタ0H	CCSTATE0H	R/W	○	○		00H
FFFFF668H	タイマ2出力遅延レジスタ0	ODELE0	R/W			○	0000H
FFFFF668H	タイマ2出力遅延レジスタ0L	ODELE0L	R/W	○	○		00H
FFFFF669H	タイマ2出力遅延レジスタ0H	ODELE0H	R/W	○	○		00H
FFFFF66AH	タイマ2ソフトウエア・イベント・キャプチャ・レジスタ	CSCE0	R/W			○	0000H
FFFFF680H	タイマ3	TM3	R			○	0000H
FFFFF682H	キャプチャ／コンペア・レジスタ30	CC30	R/W			○	0000H
FFFFF684H	キャプチャ／コンペア・レジスタ31	CC31	R/W			○	0000H
FFFFF686H	タイマ・コントロール・レジスタ30	TMC30	R/W	○	○		00H
FFFFF688H	タイマ・コントロール・レジスタ31	TMC31	R/W	○	○		20H
FFFFF689H	有効エッジ選択レジスタ	SESC	R/W	○	○		00H
FFFFF690H	タイマ3クロック選択レジスタ	PRM03	R/W	○	○		00H
FFFFF698H	タイマ3ノイズ除去時間選択レジスタ	NRC3	R/W	○	○		00H
FFFFF6A0H	タイマ3出力コントロール・レジスタ	TO3C	R/W	○	○		00H
FFFFF800H	ペリフェラル・コマンド・レジスタ	PHCMD	W		○		不定
FFFFF802H	ペリフェラル・ステータス・レジスタ	PHS	R/W	○	○		00H
FFFFF810H	DMAトリガ要因レジスタ0	DTFR0	R/W	○	○		00H
FFFFF812H	DMAトリガ要因レジスタ1	DTFR1	R/W	○	○		00H
FFFFF814H	DMAトリガ要因レジスタ2	DTFR2	R/W	○	○		00H
FFFFF816H	DMAトリガ要因レジスタ3	DTFR3	R/W	○	○		00H
FFFFF820H	パワー・セーブ・モード・レジスタ	PSMR	R/W	○	○		00H
FFFFF822H	クロック・コントロール・レジスタ	CKC	R/W		○		00H
FFFFF824H	ロック・レジスタ	LOCKR	R	○	○		0000000xB
FFFFF880H	外部割り込みモード・レジスタ0	INTM0	R/W	○	○		00H
FFFFF882H	外部割り込みモード・レジスタ1	INTM1	R/W	○	○		00H
FFFFF884H	外部割り込みモード・レジスタ2	INTM2	R/W	○	○		00H
FFFFF8D4H	フラッシュ・プログラミング・モード・コントロール・レジスタ	FLPMC	R/W	○	○		08H/0CH/00H[注]
FFFFF900H	クロック同期式シリアル・インタフェース・モード・レジスタ0	CSIM0	R/W	○	○		00H
FFFFF901H	クロック同期式シリアル・インタフェース・クロック選択レジスタ0	CSIC0	R/W	○	○		00H
FFFFF902H	クロック同期式シリアル・インタフェース受信バッファ・レジスタ0	SIRB0	R			○	0000H
FFFFF902H	クロック同期式シリアル・インタフェース受信バッファ・レジスタL0	SIRBL0	R	○	○		00H

注　μPD703114　：00H

μPD70F3114：08Hまたは0CH（詳細は，15. 7. 12　**フラッシュ・プログラミング・モード・コントロール・レジスタ**（FLPMC）を参照してください）

(8/8)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF904H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ0	SOTB0	R/W			○	0000H
FFFFF904H	クロック同期式シリアル・インタフェース送信バッファ・レジスタL0	SOTBL0	R/W	○	○		00H
FFFFF906H	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ0	SIRBE0	R			○	0000H
FFFFF906H	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタL0	SIRBEL0	R	○	○		00H
FFFFF908H	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ0	SOTBF0	R/W			○	0000H
FFFFF908H	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタL0	SOTBFL0	R/W	○	○		00H
FFFFF90AH	シリアルI/Oシフト・レジスタ0	SIO0	R			○	0000H
FFFFF90AH	シリアルI/OシフトL・レジスタL0	SIOL0	R	○	○		00H
FFFFF910H	クロック同期式シリアル・インタフェース・モード・レジスタ1	CSIM1	R/W	○	○		00H
FFFFF911H	クロック同期式シリアル・インタフェース・クロック選択レジスタ1	CSIC1	R/W	○	○		00H
FFFFF912H	クロック同期式シリアル・インタフェース受信バッファ・レジスタ1	SIRB1	R			○	0000H
FFFFF912H	クロック同期式シリアル・インタフェース受信バッファ・レジスタL1	SIRBL1	R	○	○		00H
FFFFF914H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ1	SOTB1	R/W			○	0000H
FFFFF914H	クロック同期式シリアル・インタフェース送信バッファ・レジスタL1	SOTBL1	R/W	○	○		00H
FFFFF916H	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ1	SIRBE1	R			○	0000H
FFFFF916H	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタL1	SIRBEL1	R	○	○		00H
FFFFF918H	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ1	SOTBF1	R/W			○	0000H
FFFFF918H	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタL1	SOTBFL1	R/W	○	○		00H
FFFFF91AH	シリアルI/Oシフト・レジスタ1	SIO1	R			○	0000H
FFFFF91AH	シリアルI/OシフトL・レジスタL1	SIOL1	R	○	○		00H
FFFFF920H	プリスケーラ・モード・レジスタ3	PRSM3	R/W	○	○		00H
FFFFF922H	プリスケーラ・コンペア・レジスタ3	PRSCM3	R/W		○		00H
FFFFFA00H	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	ASIM0	R/W	○	○		01H
FFFFFA02H	受信バッファ・レジスタ0	RXB0	R		○		FFH
FFFFFA03H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	ASIS0	R		○		00H
FFFFFA04H	送信バッファ・レジスタ0	TXB0	R/W		○		FFH
FFFFFA05H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ0	ASIF0	R	○	○		00H
FFFFFA06H	クロック選択レジスタ0	CKSR0	R/W		○		00H
FFFFFA07H	ボー・レート・ジェネレータ・コントロール・レジスタ0	BRGC0	R/W		○		FFH
FFFFFA20H	2フレーム連続受信用バッファ・レジスタ1	RXB1	R			○	不定
FFFFFA22H	受信バッファ・レジスタL1	RXBL1	R		○		不定
FFFFFA24H	2フレーム連続送信用シフト・レジスタ1	TXS1	W			○	不定
FFFFFA26H	送信シフト・レジスタL1	TXSL1	W		○		不定
FFFFFA28H	アシンクロナス・シリアル・インタフェース・モード・レジスタ10	ASIM10	R/W	○	○		81H
FFFFFA2AH	アシンクロナス・シリアル・インタフェース・モード・レジスタ11	ASIM11	R/W	○	○		00H
FFFFFA2CH	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	ASIS1	R	○	○		00H
FFFFFA2EH	プリスケーラ・モード・レジスタ1	PRSM1	R/W	○	○		00H
FFFFFA30H	プリスケーラ・コンペア・レジスタ1	PRSCM1	R/W		○		00H

3.4.9　特定レジスタ

特定レジスタは，プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。V850E/IA2にはパワー・セーブ・コントロール・レジスタ（PSC）（8.5.2（3）パワー・セーブ・コントロール・レジスタ（PSC）参照），クロック・コントロール・レジスタ（CKC）（8.3.4　クロック・コントロール・レジスタ（CKC）参照），フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）（15.7.2　フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）参照）の3つの特定レジスタがあります。

3.4.10　システム・ウエイト・コントロール・レジスタ（VSWC）

システム・ウエイト・コントロール・レジスタ（VSWC）は，内蔵周辺I/Oレジスタに対するバス・アクセスのウエイトを制御するレジスタです。

次に示す値を設定してください。

VSWCの設定値：02H（ウエイトを2クロック設定，動作周波数（f_{XX}）= 40 MHz時）

8ビット単位でリード／ライト可能です（アドレス：FFFFF06EH，初期値：77H）。

備考　内蔵周辺機能の状態を示すステータス・フラグを含んだレジスタ（ASIF0など）やタイマのカウント値を示すレジスタ（TM0nなど）などへのアクセスにおいて，フラグやカウント値の変化タイミングとレジスタ・アクセス・タイミングが重なった場合，レジスタ・アクセスへのリトライ動作が発生します。このため，通常より内蔵周辺I/Oレジスタへのアクセスに時間がかかる場合があります。

3.4.11　注意事項

（1）最初に設定するレジスタ

V850E/IA2を使用する際には，必ず最初に次のレジスタを設定してください。

- システム・ウエイト・コントロール・レジスタ（VSWC）
  （3.4.10　システム・ウエイト・コントロール・レジスタ（VSWC）参照）
- クロック・コントロール・レジスタ（CKC）
  （8.3.4　クロック・コントロール・レジスタ（CKC）参照）

VSWCとCKCを設定したあとに，必要に応じてその他の各レジスタを設定してください。

(2) sld命令と割り込み競合に関する制限事項

(a) 内　　容

次の命令<1>の事項が完了する前に，後続のsld命令の直前の命令<2>のデコード動作と割り込み要求が競合した場合，先の命令<1>の実行結果がレジスタに格納されないことがあります。

命令<1>

- ld命令　　：ld.b, ld.h, ld.w, ld.bu, ld.hu
- sld命令　　：sld.b, sld.h, sld.w, sld.bu, sld.hu
- 乗算命令　　：mul, mulh, mulhi, mulu

命令<2>

mov　reg1, reg2	not　reg1, reg2	satsubr　reg1, reg2	satsub　reg1, reg2
satadd　reg1, reg2	satadd　imm5, reg2	or　reg1, reg2	xor　reg1, reg2
and　reg1, reg2	tst　reg1, reg2	subr　reg1, reg2	sub　reg1, reg2
add　reg1, reg2	add　imm5, reg2	cmp　reg1, reg2	cmp　imm5, reg2
mulh　reg1, reg2	shr　imm5, reg2	sar　imm5, reg2	shl　imm5, reg2

<例>

```
< i >  ld.w   [r11], r10
                •
                •
                •
< ii >  mov   r10, r28
<iii>  sld.w  0x28, r10
```

< i >のld命令の実行が完了する前に，<iii>のsld命令の直前のmov命令< ii >のデコード動作と割り込み要求が競合した場合，< i >のld命令の実行結果がレジスタに格納されないことがあります。

(b) 回 避 策

① **コンパイラ（CA850）使用時**

CA850はVer.2.61以降を使用してください。該当命令シーケンスの生成を自動的に抑止します。

② **アセンブラでの対策**

命令< ii >の直後にsld命令を実行する場合は，次のいずれかの方法を用いて，上記動作を回避してください。

- sld命令の直前にnop命令を入れる。
- sld命令のディスティネーション・レジスタと同じレジスタを，sld命令の直前で実行する上記< ii >の命令で使用しない。

第4章　バス制御機能

V850E/IA2は，外部にROM, RAMなどのメモリやI/Oなどを接続できる外部バス・インタフェース機能を内蔵しています。

4.1 特　　徴

○16ビット／8ビット・データ・バス・サイジング機能
○ウエイト機能
　・最大7ステートのプログラマブル・ウエイト機能
　・$\overline{\text{WAIT}}$端子による外部ウエイト機能
○アイドル・ステート挿入機能
○ポートとの兼用端子で，外部デバイスに接続可能

4.2 バス制御端子

外部デバイスの接続には，次の端子を使用します。

バス制御端子（コントロール・モード時の機能）	ポート・モード時の機能	ポート／コントロール・モードの切り替えを行うレジスタ
アドレス／データ・バス（AD0-AD15）	PDL0-PDL15（ポートDL）	PMCDL
アドレス・バス（A16-A21）	PDH0-PDH5（ポートDH）	PMCDH
リード／ライト制御（$\overline{\text{LWR}}$, $\overline{\text{UWR}}$, $\overline{\text{RD}}$, ASTB）	PCT0, PCT1, PCT4, PCT6（ポートCT）	PMCCT
外部ウエイト制御（$\overline{\text{WAIT}}$）	PCM0（ポートCM）	PMCCM
内部システム・クロック（CLKOUT）	PCM1（ポートCM）	

備考　ROMレス・モードの場合，システム・リセットにより各バス制御端子は無条件に有効になります。

4.2.1 内蔵ROM，内蔵RAM，内蔵周辺I/Oアクセス時の端子状態

内蔵ROM，内蔵RAMのアクセス時には，アドレス・バス，アドレス／データ・バスともに不定になります。外部バス制御信号は，インアクティブ状態になります。

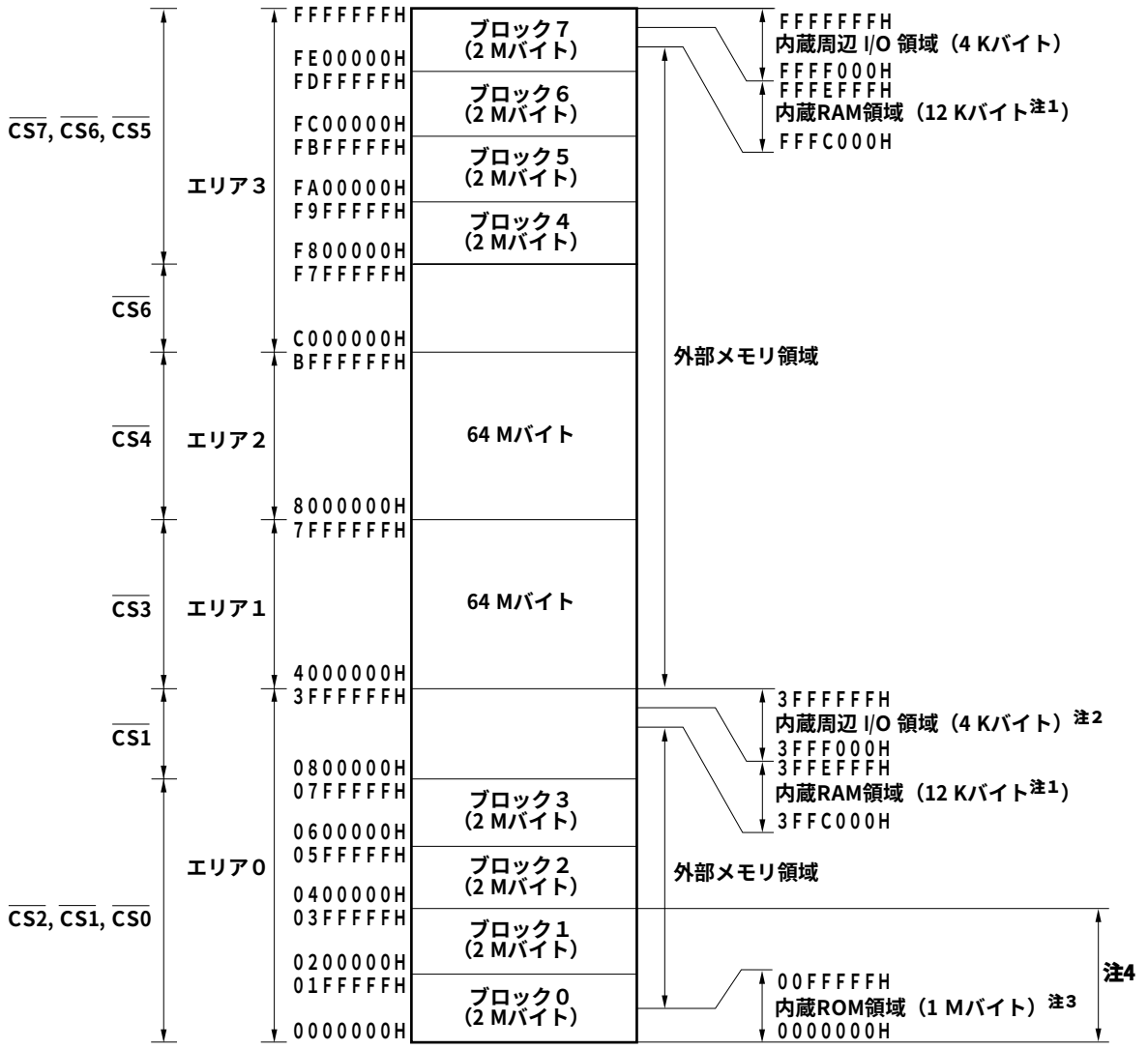
内蔵周辺I/Oアクセス時には，アドレス・バス，アドレス／データ・バスともにアクセスしている内蔵周辺I/Oのアドレスを出力します。データは出力されません。外部バス制御信号は，インアクティブ状態になります。

4. 3　メモリ・ブロック機能

V850E/IA1では，256 Mバイトのメモリ空間は2 M, 64 Mバイト単位のメモリ・ブロックに分割され，1ブロック単位にプログラマブル・ウエイト機能，バス・サイクル動作モードなどを独立に制御できます。

ただし，プログラム領域として使用できる領域は，0000000H-3FFFFFFHの64 Mバイトの空間です。

V850E/IA2では，CSn端子を削減，アドレス端子をA0-A21としたため，000000H-3FFFFFHの4 Mバイトがメモリ空間となります（n = 1-7）。



注1.　物理内蔵RAM：6 Kバイト

2.　この領域はアクセス禁止です。この領域の内蔵周辺I/Oをアクセスするときには FFFF000H-FFFFFFFH番地を指定してください。

3.　ROMレス・モードのときは外部メモリ領域になります。

4.　V850E/IA2のメモリ空間

4.3.1　チップ・セレクト制御機能

256 Mバイトのメモリ空間のうち，下位8 Mバイト（0000000H-07FFFFFH）と上位8 Mバイト（F800000H-FFFFFFFH）は，チップ・エリア選択コントロール・レジスタ0, 1（CSC0, CSC1）により，2 Mバイト単位でメモリ・ブロックを分割し，チップ・セレクト信号を制御することができます。

チップ・セレクト制御機能により，メモリ・ブロックを分割することにより，メモリ空間を有効に利用できます。優先順位を次に示します。

（1）チップ・エリア選択コントロール・レジスタ0, 1（CSC0, CSC1）

16ビット単位でリード／ライトできます。各ビットをセット（1）すると有効になります。

V850E/IA2ではCSC0レジスタのCS01, CS00ビットのみ有効です。なお，他のビット設定による影響はありません。V850E/IA2では，CS01, CS00ビット = 11Bを設定し，ブロック0, 1とも$\overline{CS0}$を出力するようにしてください。

同じブロックに別々のチップ・セレクト信号出力を設定した場合，次のように優先順位が制御されます。

CSC0：$\overline{CS0}$＞$\overline{CS2}$＞$\overline{CS1}$
CSC1：$\overline{CS7}$＞$\overline{CS5}$＞$\overline{CS6}$

CSC0レジスタのCS0m, CS2mビットをともに0に設定した場合，該当するブロックには$\overline{CS1}$が出力されます（m = 0-3）。

同様にCSC1レジスタのCS5m, CS7mビットをともに0に設定した場合，該当するブロックには$\overline{CS6}$が出力されます（m = 0-3）。

注意　CSC0, CSC1レジスタへの書き込みはリセット後に行ってください。書き込み後は，値を変更しないでください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CSC0	CS33	CS32	CS31	CS30	CS23	CS22	CS21	CS20	CS13	CS12	CS11	CS10	CS03	CS02	CS01	CS00	FFFFF060H	2C11H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CSC1	CS43	CS42	CS41	CS40	CS53	CS52	CS51	CS50	CS63	CS62	CS61	CS60	CS73	CS72	CS71	CS70	FFFFF062H	2C11H

ビット位置	ビット名	意　味
15-0	CSnm (n = 0-7) (m = 0-3)	CSnmビットをセット（1）することにより，チップ・セレクトを有効にします。

CSnm	CS動作
CS00	ブロック0アクセス時，$\overline{CS0}$出力
CS01	ブロック1アクセス時，$\overline{CS0}$出力
CS02	ブロック2アクセス時，$\overline{CS0}$出力
CS03	ブロック3アクセス時，$\overline{CS0}$出力
CS10-CS13	注1
CS20	ブロック0アクセス時，$\overline{CS2}$出力
CS21	ブロック1アクセス時，$\overline{CS2}$出力
CS22	ブロック2アクセス時，$\overline{CS2}$出力
CS23	ブロック3アクセス時，$\overline{CS2}$出力
CS30-CS33	注2
CS40-CS43	注3
CS50	ブロック7アクセス時，$\overline{CS5}$出力
CS51	ブロック6アクセス時，$\overline{CS5}$出力
CS52	ブロック5アクセス時，$\overline{CS5}$出力
CS53	ブロック4アクセス時，$\overline{CS5}$出力
CS60-CS63	注4
CS70	ブロック7アクセス時，$\overline{CS7}$出力
CS71	ブロック6アクセス時，$\overline{CS7}$出力
CS72	ブロック5アクセス時，$\overline{CS7}$出力
CS73	ブロック4アクセス時，$\overline{CS7}$出力

注1. CS0m, CS2mビットをともに0に設定した場合,エリア0へアクセスするとCS1mビットの設定に関係なく$\overline{CS1}$が出力されます。

2. エリア1へアクセスした場合，CS3mビットの設定に関係なく$\overline{CS3}$が出力されます。

3. エリア2へアクセスした場合，CS4mビットの設定に関係なく$\overline{CS4}$が出力されます。

4. CS5m, CS7mビットをともに0に設定した場合,エリア3へアクセスするとCS6mビットの設定に関係なく$\overline{CS6}$が出力されます。

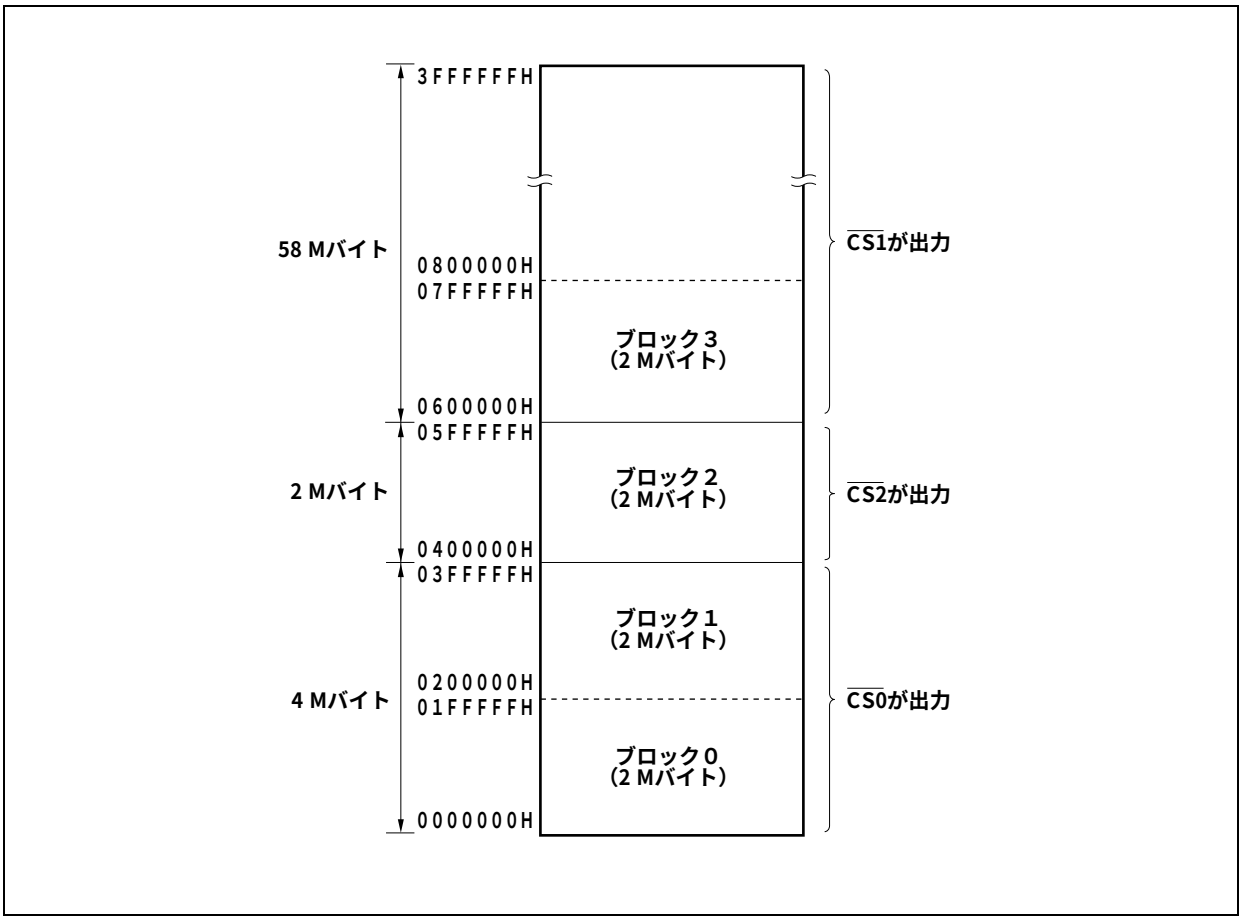
注意　V850E/IA2では，CS01, CS00ビット = 11Bを設定し，ブロック0, 1とも$\overline{CS0}$を出力するようにしてください。

次にCSC0レジスタに0703Hを設定した場合のエリア0に対して有効になる$\overline{CS}$信号を示します。

CSC0レジスタに0703Hを設定した場合，ブロック0，ブロック1ともに$\overline{CS0}$, $\overline{CS2}$出力になっていますが，$\overline{CS2}$より$\overline{CS0}$の方が優先順位が高いため，ブロック0，ブロック1のアドレスをアクセスした場合は$\overline{CS0}$が出力されます。

ブロック3のアドレスをアクセスした場合は，CSC0レジスタのCS03, CS23ビットともに0であるため，$\overline{CS1}$が出力されます。

図4－1　CSC0レジスタに0703Hを設定した場合の例



4.4　バス・サイクル・タイプ制御機能

V850E/IA2は，次のような外部デバイスを各メモリ・ブロックごとに直結できます。

○SRAM，外部ROM，外部I/O

接続する外部デバイスは，バス・サイクル・タイプ・コンフィギュレーション・レジスタ0, 1（BCT0, BCT1）で指定します。

（1）バス・サイクル・タイプ・コンフィギュレーション・レジスタ0, 1（BCT0, BCT1）

16ビット単位でリード／ライト可能です。

V850E/IA2では，ME0ビットのみ有効です。なお，他のビット設定による影響はありません。

注意　BCT0, BCT1レジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，BCT0, BCT1レジスタの初期設定が終わるまでは，その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし，初期設定が終了した外部メモリ領域のアクセスは可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
BCT0	ME3	1	0	0	ME2	1	0	0	ME1	1	0	0	ME0	1	0	0	FFFFF480H	CCCCH
$\overline{\text{CS}}$n信号	$\overline{\text{CS3}}$				$\overline{\text{CS2}}$				$\overline{\text{CS1}}$				$\overline{\text{CS0}}$					

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
BCT1	ME7	1	0	0	ME6	1	0	0	ME5	1	0	0	ME4	1	0	0	FFFFF482H	CCCCH
$\overline{\text{CS}}$n信号	$\overline{\text{CS7}}$				$\overline{\text{CS6}}$				$\overline{\text{CS5}}$				$\overline{\text{CS4}}$					

ビット位置	ビット名	意　味
15, 11, 7, 3（BCT0），15, 11, 7, 3（BCT1）	MEn（n = 0-7）	メモリ・コントローラの動作許可をチップ・セレクトごとに設定します。

MEn	メモリ・コントローラの動作許可
0	動作禁止
1	動作許可

4.5　バス・アクセス

4.5.1　アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数を次に示します。

バス・サイクル形態 / リソース（バス幅）	命令フェッチ	オペランド・データ・アクセス
内蔵ROM（32ビット）	1[注1]	5
内蔵RAM（32ビット）	1[注2]	1
内蔵周辺I/O（16ビット）	－	5[注3]
外部メモリ（16ビット）	3[注3]	3[注3]

注1.　命令分岐の場合は，2になります。

2.　データ・アクセスと競合した場合は，2になります。

3.　MIN.値

備考　単位はクロック／アクセスです。

4.5.2　バス・サイジング機能

バス・サイジング機能により，各CS空間ごとのデータ・バス幅を制御できます。データ・バス幅は，バス・サイズ・コンフィギュレーション・レジスタ（BSC）で設定します。

（1）バス・サイズ・コンフィギュレーション・レジスタ（BSC）

16ビット単位でリード／ライト可能です。

V850E/IA2では，BS00ビットのみ有効です。なお，他のビット設定による影響はありません。

注意1. BSCレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また， BSCレジスタの初期設定が終わるまでは，その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし，初期設定が終了した外部メモリ領域のアクセスは可能です。

2. 8ビット・バス幅の場合，次に示す信号のみアクティブになります。

$\overline{\text{LWR}}$：SRAM，外部ROM，外部I/Oアクセス（ライト・サイクル）の場合

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
BSC	0	BS70	0	BS60	0	BS50	0	BS40	0	BS30	0	BS20	0	BS10	0	BS00	FFFFF066H	5555H
$\overline{\text{CS}n}$信号		$\overline{\text{CS7}}$		$\overline{\text{CS6}}$		$\overline{\text{CS5}}$		$\overline{\text{CS4}}$		$\overline{\text{CS3}}$		$\overline{\text{CS2}}$		$\overline{\text{CS1}}$		$\overline{\text{CS0}}$		

ビット位置	ビット名	意　味
14, 12, 10, 8, 6, 4, 2, 0	BSn0 (n = 0-7)	CSn空間のデータ・バス幅を設定します。

BSn0	CSn空間のデータ・バス幅
0	8ビット
1	16ビット

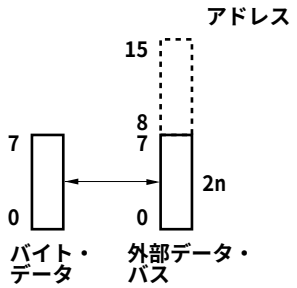
4.5.3　バ ス 幅

V850E/IA2が内蔵周辺I/Oアクセス，外部メモリ・アクセスを行う場合には，8, 16, 32ビット・アクセスがあります。次にそれぞれのアクセス時の動作を示します。すべてデータの下位側から順番にアクセスを行います。

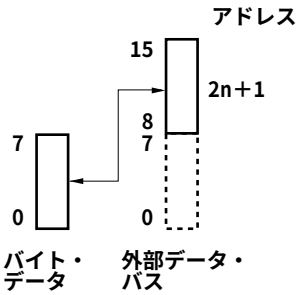
(1) バイト・アクセス（8ビット）

(a) 16ビット・データ・バス幅のとき（リトル・エンディアン）

① 偶数アドレス（2n）番地へのアクセス

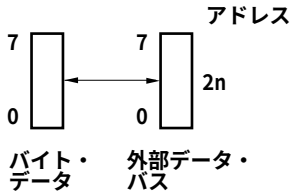


② 奇数アドレス（2n＋1）番地へのアクセス

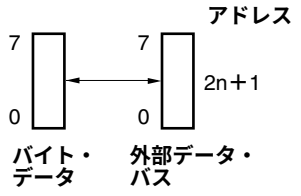


(b) 8ビット・データ・バス幅のとき（リトル・エンディアン）

① 偶数アドレス（2n）番地へのアクセス



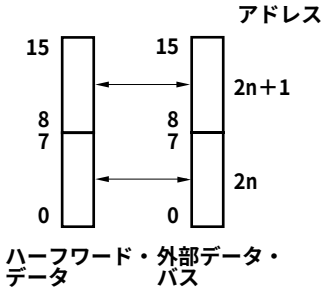
② 奇数アドレス（2n＋1）番地へのアクセス



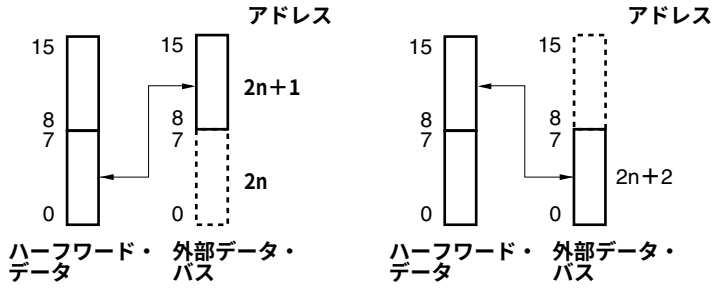
(2) ハーフワード・アクセス（16ビット）

(a) 16ビット・データ・バス幅のとき（リトル・エンディアン）

① 偶数アドレス（2n）番地へのアクセス

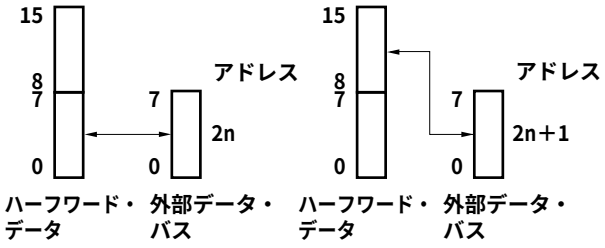


② 奇数アドレス（2n+1）番地へのアクセス

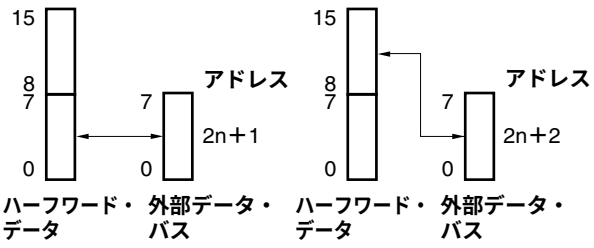


(b) 8ビット・データ・バス幅のとき（リトル・エンディアン）

① 偶数アドレス（2n）番地へのアクセス



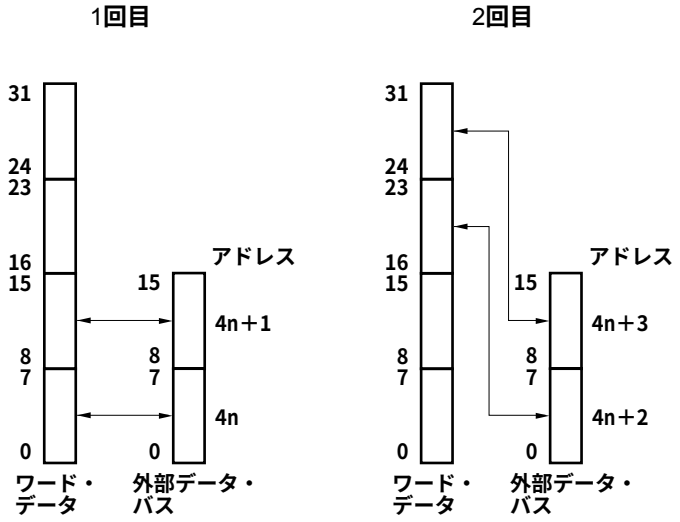
② 奇数アドレス（2n+1）番地へのアクセス



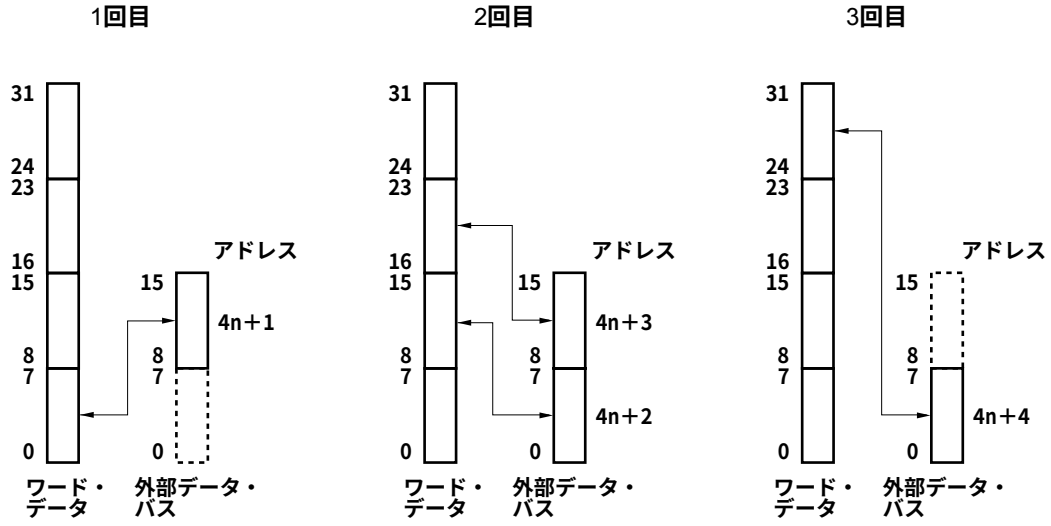
(3) ワード・アクセス（32ビット）

(a) 16ビット・データ・バス幅のとき（リトル・エンディアン）（1/2）

① アドレス（4n）番地へのアクセス

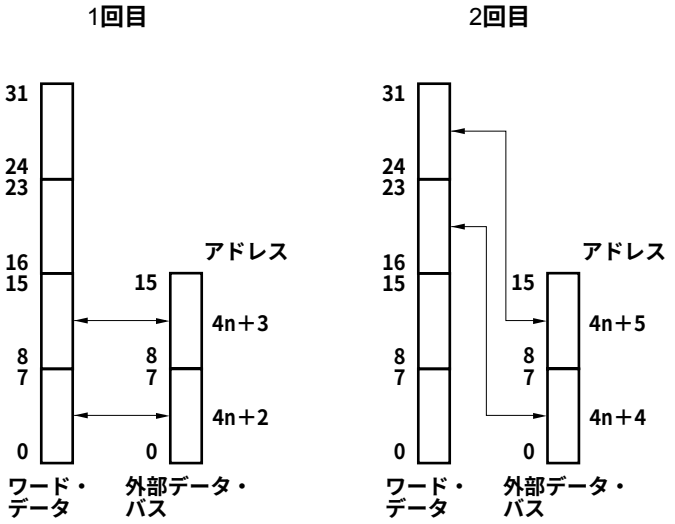


② アドレス（4n＋1）番地へのアクセス

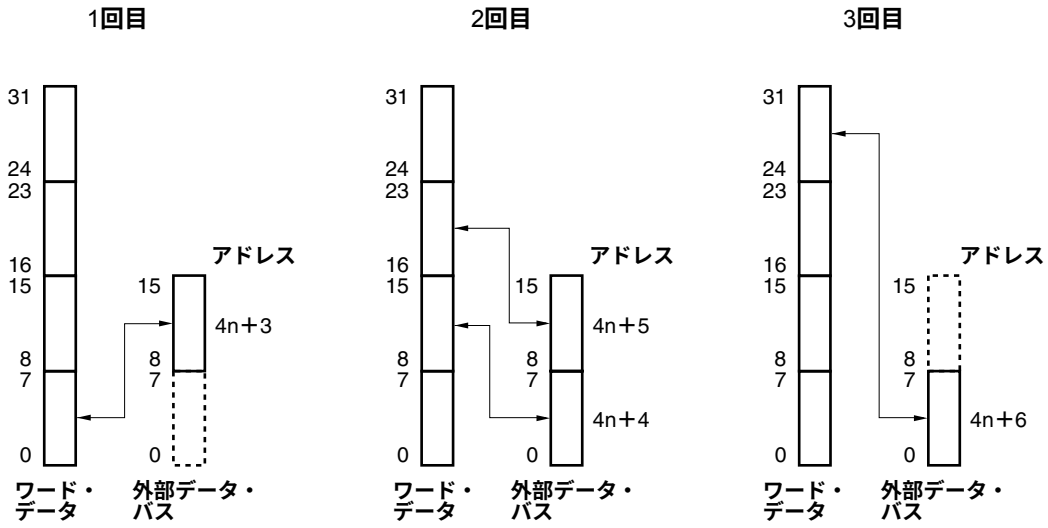


（a）16ビット・データ・バス幅のとき（リトル・エンディアン）（2/2）

③　アドレス（4n＋2）番地へのアクセス

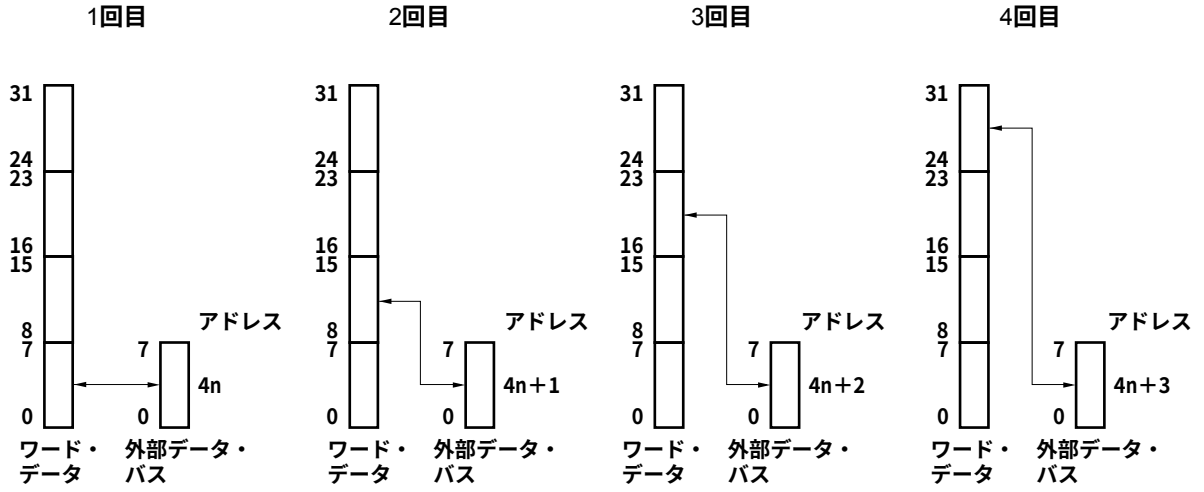


④　アドレス（4n＋3）番地へのアクセス

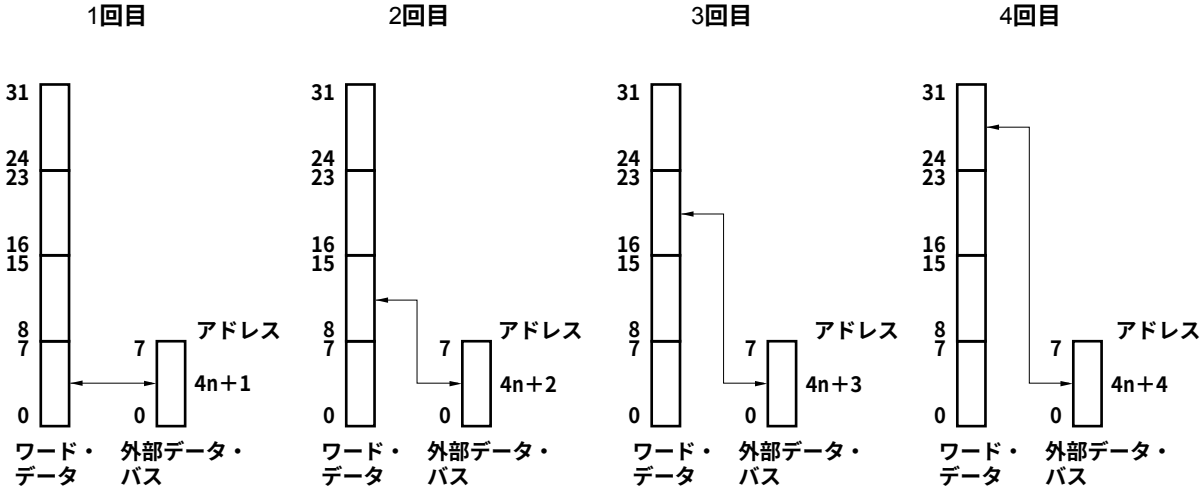


（b）8ビット・データ・バス幅のとき（リトル・エンディアン）（1/2）

① アドレス（4n）番地へのアクセス

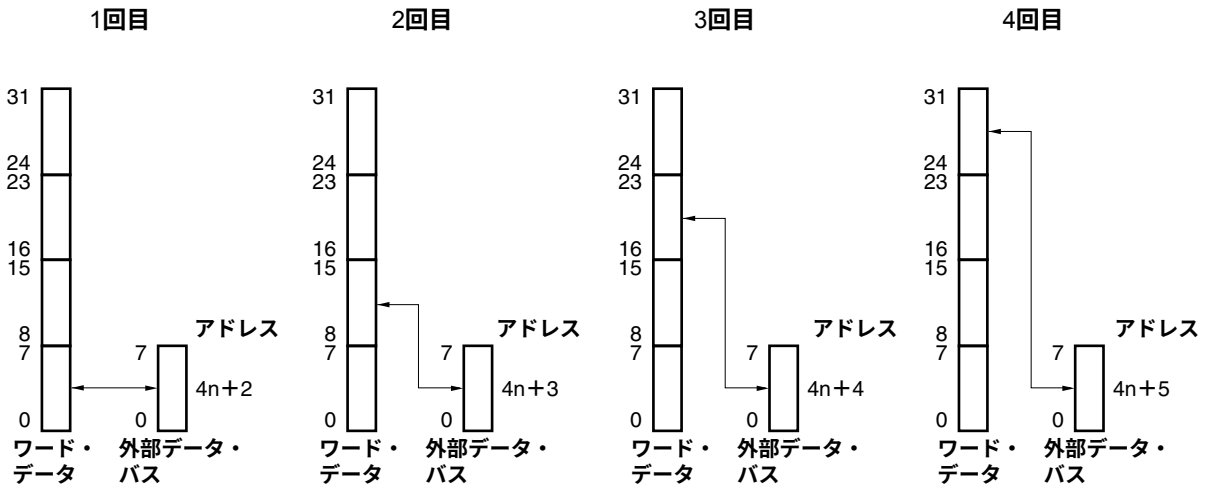


② アドレス（4n＋1）番地へのアクセス

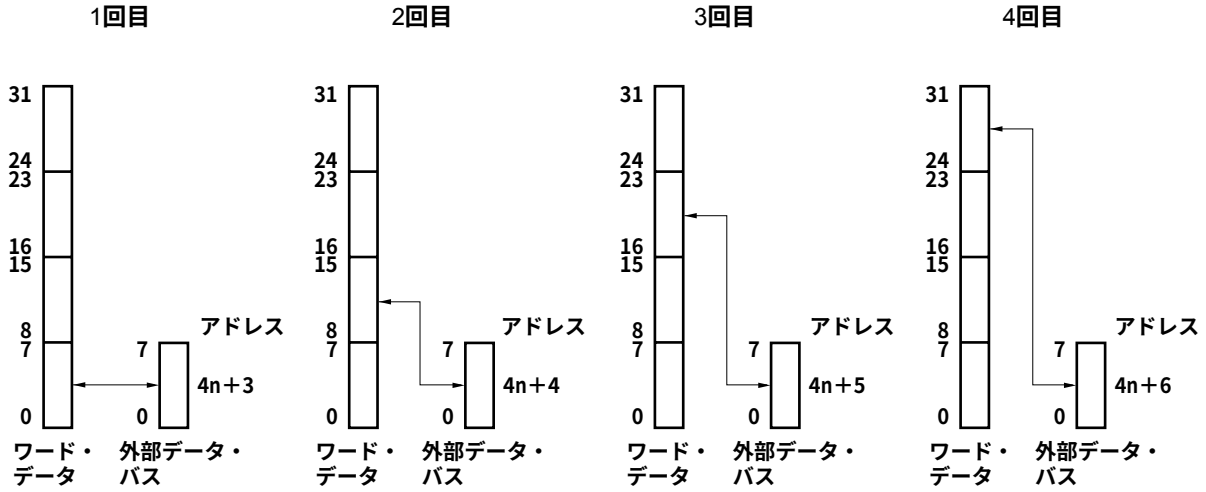


（b）8ビット・データ・バス幅のとき（リトル・エンディアン）（2/2）

③　アドレス（4n＋2）番地へのアクセス



④　アドレス（4n＋3）番地へのアクセス



4.6　ウエイト機能

4.6.1　プログラマブル・ウエイト機能

(1) データ・ウエイト・コントロール・レジスタ0, 1 (DWC0, DWC1)

低速メモリ，I/Oに対するインタフェースを容易に実現させることを目的とし，各CS空間ごとに起動されるバス・サイクルに対し，最大7ステートのデータ・ウエイトを挿入可能です。

ウエイト数は，データ・ウエイト・コントロール・レジスタ0, 1 (DWC0, DWC1) でプログラマブルに指定可能です。システム・リセット直後は，全ブロックに対して3データ・ウエイトの挿入状態になります。

16ビット単位でリード／ライト可能です。

V850E/IA2では，DW02, DW01, DW00ビットのみ有効です。なお，他のビット設定による影響はありません。

注意1. 内蔵ROM領域，内蔵RAM領域は，プログラマブル・ウエイトの対象外で，常にノー・ウエイト・アクセスを行います。また，内蔵周辺I/O領域も，プログラマブル・ウエイトの対象外で，各周辺機能からのウエイト制御だけ行われます。

2. DWC0, DWC1レジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，DWC0, DWC1レジスタの初期設定が終わるまでは，その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし，初期設定が終了した外部メモリ領域のアクセスは可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DWC0	0	DW32	DW31	DW30	0	DW22	DW21	DW20	0	DW12	DW11	DW10	0	DW02	DW01	DW00	FFFFF484H	3333H
$\overline{CS}$n信号		$\overline{CS3}$				$\overline{CS2}$				$\overline{CS1}$				$\overline{CS0}$				

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DWC1	0	DW72	DW71	DW70	0	DW62	DW61	DW60	0	DW52	DW51	DW50	0	DW42	DW41	DW40	FFFFF486H	3333H
$\overline{CS}$n信号		$\overline{CS7}$				$\overline{CS6}$				$\overline{CS5}$				$\overline{CS4}$				

ビット位置	ビット名	意　味
14-12, 10-8, 6-4, 2-0	DWn2-DWn0 (n = 0-7)	CSn空間に挿入するウエイトのステート数を指定します。

DWn2	DWn1	DWn0	CSn空間の挿入ウエイト・ステート数
0	0	0	挿入しない
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

(2) アドレス・ウエイト制御レジスタ（AWC）

V850E/IA2は，T1サイクルの前にアドレス・セットアップ・ウエイト・ステートを，T1サイクルの後にアドレス・ホールド・ウエイト・ステートを挿入できます。

アドレス・セットアップ・ウエイト・ステート，アドレス・ホールド・ウエイト・ステートはAWCレジスタでCS空間ごとに設定できます。

16ビット単位でリード／ライト可能です。

V850E/IA2では，AHW0, ASW0ビットのみ有効です。なお，他のビット設定による影響はありません。

注意　AWCレジスタへの書き込みは，リセット後に行ってください。書き込み後は，値を変更しないでください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
AWC	AHW7	ASW7	AHW6	ASW6	AHW5	ASW5	AHW4	ASW4	AHW3	ASW3	AHW2	ASW2	AHW1	ASW1	AHW0	ASW0	FFFFF488H	0000H
$\overline{\text{CS}}$n信号		$\overline{\text{CS7}}$		$\overline{\text{CS6}}$		$\overline{\text{CS5}}$		$\overline{\text{CS4}}$		$\overline{\text{CS3}}$		$\overline{\text{CS2}}$		$\overline{\text{CS1}}$		$\overline{\text{CS0}}$		

ビット位置	ビット名	意　味
15, 13, 11, 9, 7, 5, 3, 1	AHWn (n = 0-7)	T1サイクルの後にアドレス・ホールド・ウエイト・ステートの挿入をCSn空間ごとに設定します。 0：アドレス・ホールド・ウエイト・ステートを挿入しない 1：アドレス・ホールド・ウエイト・ステートを挿入する
14, 12, 10, 8, 6, 4, 2, 0	ASWn (n = 0-7)	T1サイクルの前にアドレス・セットアップ・ウエイト・ステートの挿入をCSn空間ごとに設定します。 0：アドレス・セットアップ・ウエイト・ステートを挿入しない 1：アドレス・セットアップ・ウエイト・ステートを挿入する

4.6.2　外部ウエイト機能

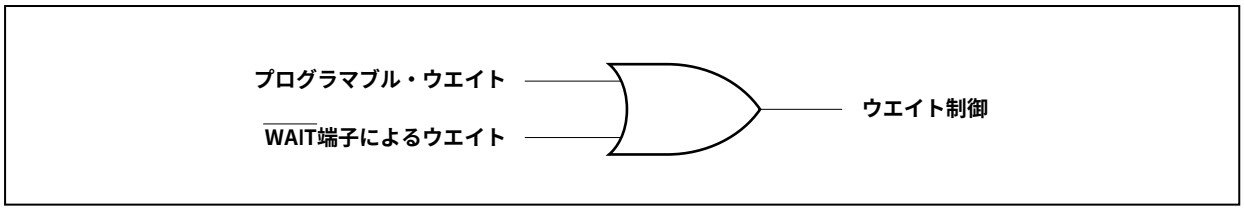
極端に遅いデバイスや，I/O，非同期システムに接続する場合など，外部デバイスに同期をとる目的で，外部ウエイト端子（$\overline{\text{WAIT}}$）によりバス・サイクルに任意のウエイト・ステートを挿入することができます。

内蔵ROM，内蔵RAM，内蔵周辺I/Oの各領域へのアクセスに対しては，プログラマブル・ウエイトと同様に，外部ウエイトによる制御はできません。

$\overline{\text{WAIT}}$入力は，CLKOUTに対する非同期入力が可能で，バス・サイクルのT2, TWステートのCLKOUT信号の立ち下がりでサンプリングします。サンプル・タイミングにおける設定／保持時間を満たさないときは，次のステートでウエイトを挿入するか，挿入しないかのどちらかになります。

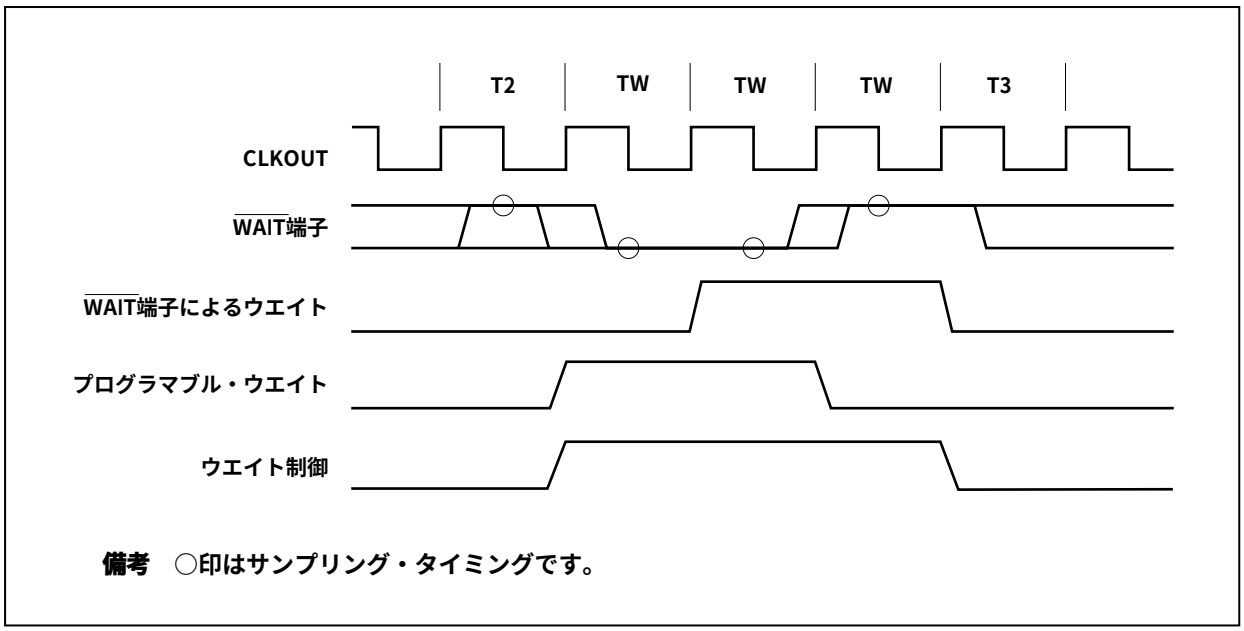
4.6.3　プログラマブル・ウエイトと外部ウエイトの関係

ウエイト・サイクルは，プログラマブル・ウエイトの設定値によるウエイト・サイクルと，$\overline{\text{WAIT}}$端子制御によるウエイト・サイクルの論理和（OR）として挿入されます。



たとえば，プログラマブル・ウエイト，$\overline{\text{WAIT}}$端子が次のようなタイミングのとき，バス・サイクルは，3ウエイトになります。

図4－2　ウエイト挿入例



備考　○印はサンプリング・タイミングです。

4.7　アイドル・ステート挿入機能

低速メモリに対するインタフェースを容易に実現させることを目的とし，各CS空間ごとにリード・アクセス時のメモリのデータ出力フロート遅延時間（t_{DF}）を確保するために，起動されるバス・サイクルに対し，T3ステート後に設定された数のアイドル・ステート（TI）を挿入可能です。T3ステートの次のバス・サイクルは，挿入されたアイドル・ステートのあとから開始します。

アイドル・ステートは次に示すタイミングで挿入されます。

・SRAM，外部I/O，外部ROMに対するリード・サイクル後

アイドル・ステートの挿入指定は，バス・サイクル・コントロール・レジスタ（BCC）で指定可能です。

システム・リセット直後は，全ブロックに対してアイドル・ステートの挿入状態になります。

（1）バス・サイクル・コントロール・レジスタ（BCC）

16ビット単位でリード／ライト可能です。

V850E/IA2では，BC01ビットのみ有効です。なお，他のビット設定による影響はありません。

注意1. 内蔵ROM領域，内蔵RAM領域，内蔵周辺I/O領域は，アイドル・ステート挿入の対象外になります。

2. BCCレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また， BCCレジスタの初期設定が終わるまでは，その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし，初期設定が終了した外部メモリ領域のアクセスは可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
BCC	BC71	0	BC61	0	BC51	0	BC41	0	BC31	0	BC21	0	BC11	0	BC01	0	FFFFF48AH	AAAAH
$\overline{CS}$n信号	$\overline{CS7}$		$\overline{CS6}$		$\overline{CS5}$		$\overline{CS4}$		$\overline{CS3}$		$\overline{CS2}$		$\overline{CS1}$		$\overline{CS0}$			

ビット位置	ビット名	意　味
15, 13, 11, 9, 7, 5, 3, 1	BCn1 (n = 0-7)	T3ステートの後にアイドル・ステートの挿入をCSn空間ごとに指定します。 0：アイドル・ステートを挿入しない。 1：アイドル・ステートを挿入する。

4.8　バスの優先順位

外部バス・サイクルには，DMAサイクル，オペランド・データ・アクセス，命令フェッチの3つがあります。

優先順位はDMAサイクルが最も高く，オペランド・データ・アクセス，命令フェッチの順で低くなります。

リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には，命令フェッチが挿入されることがあります。また，CPUバス・ロック時のバス・アクセスとバス・アクセスの間にも，命令フェッチが挿入されることがあります。

表4－1　バスの優先順位

優先順位	外部バス・サイクル	バス・マスタ
高い ↑ ↓ 低い	DMAサイクル	DMAコントローラ
	オペランド・データ・アクセス	CPU
	命令フェッチ	CPU

4.9　境界動作条件

4.9.1　プログラム空間

(1) 内蔵周辺I/O領域への分岐または内蔵RAM領域から内蔵周辺I/O領域への連続フェッチは行わないでください。分岐や連続フェッチを行った場合，フェッチするデータが不定となり，動作が保証できません。

(2) 内蔵RAM領域の上限に分岐命令がある場合，内蔵周辺I/O領域にまたがるプリフェッチ動作（無効フェッチ）は発生しません。

4.9.2　データ空間

V850E/IA2はアドレス・ミス・アライン機能を内蔵しています。

この機能により，データの形式（ワード・データ，ハーフワード・データ）にかかわらず，すべてのアドレスに対してデータを配置できます。ただし，ワード・データ，ハーフワード・データの場合，データが境界整列していないと，バス・サイクルが最低2回は発生し，バス効率が低下します。

(1) ハーフワード長のデータ・アクセスの場合

アドレスの最下位ビットが1のとき，バイト長のバス・サイクルを2回生成します。

(2) ワード長のデータ・アクセスの場合

(a) アドレスの最下位ビットが1のとき，バイト長のバス・サイクル，ハーフワード長のバス・サイクル，バイト長のバス・サイクルの順でバス・サイクルを生成します。

(b) アドレスの下位2ビットが10のとき，ハーフワード長のバス・サイクルを2回生成します。

第5章　メモリ・アクセス制御機能

5. 1　SRAM，外部ROM，外部I/Oインタフェース

5. 1. 1　特　　徴

○SRAMへのアクセスは最小3ステート

○DWC0, DWC1レジスタの設定により，最大7ステートのプログラマブルなデータ・ウエイトを挿入可能

○$\overline{\text{WAIT}}$端子の入力により，データ・ウエイトを制御可能

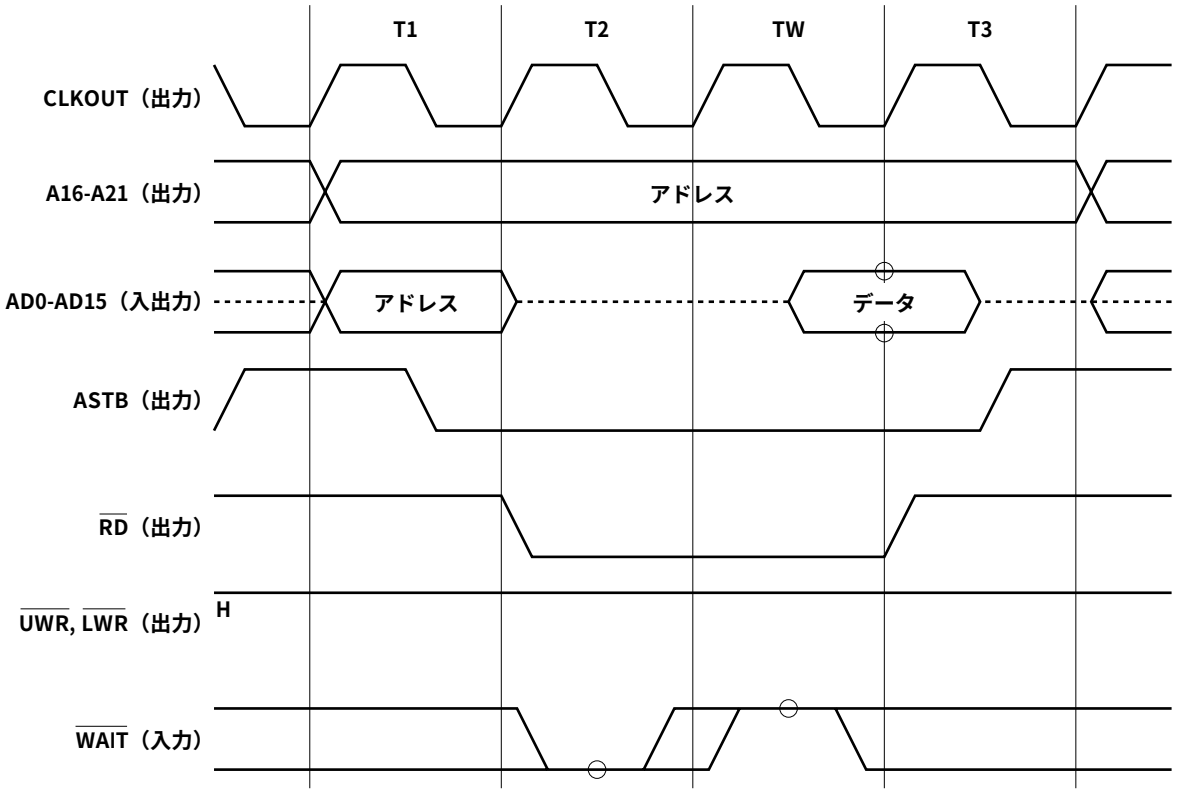
○BCCレジスタの設定により，リード／ライト・サイクルのあとにアイドル・ステート（1ステート）を挿入可能

○AWCレジスタの設定により，アドレス・ホールド・ウエイト・ステートとアドレス・セットアップ・ウエイト・ステートを挿入可能

5. 1. 2　SRAM，外部ROM，外部I/Oアクセス

図5－1　SRAM，外部ROM，外部I/Oアクセス・タイミング（1/4）

（a）リード時（1ウエイト挿入）



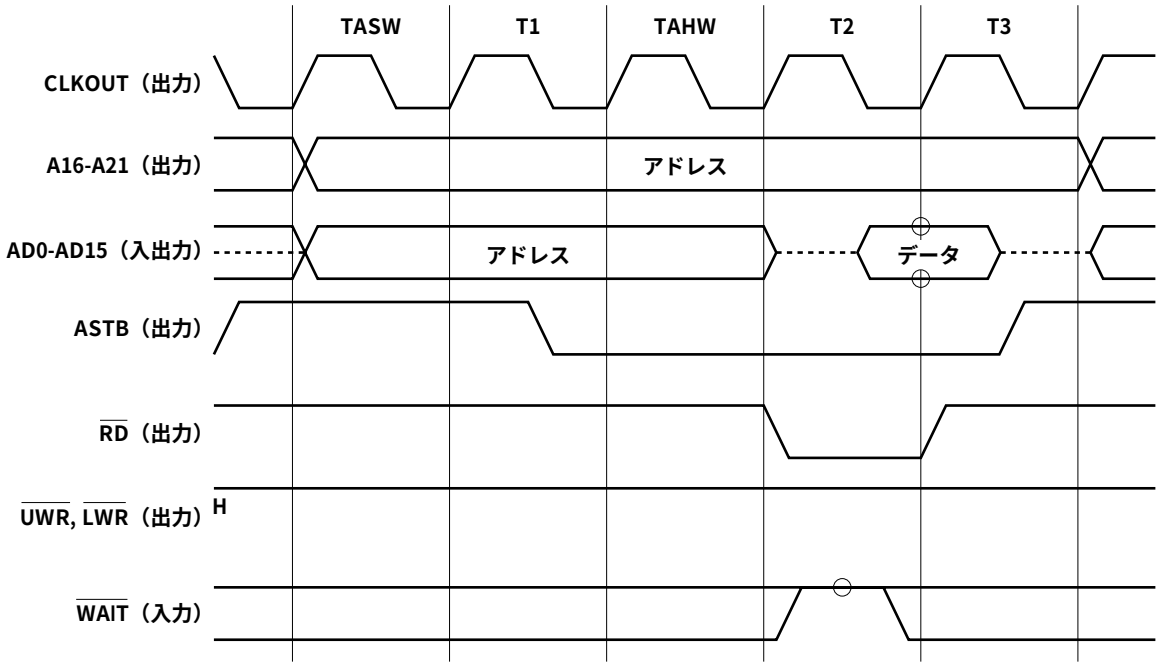
備考1.　○印はサンプリング・タイミングです。

2.　破線はハイ・インピーダンスを示します。

図5－1　SRAM，外部ROM，外部I/Oアクセス・タイミング（2/4）

（b）リード時

（0ウエイト，アドレス・セットアップ・ウエイト，アドレス・ホールド・ウエイト・ステート挿入）

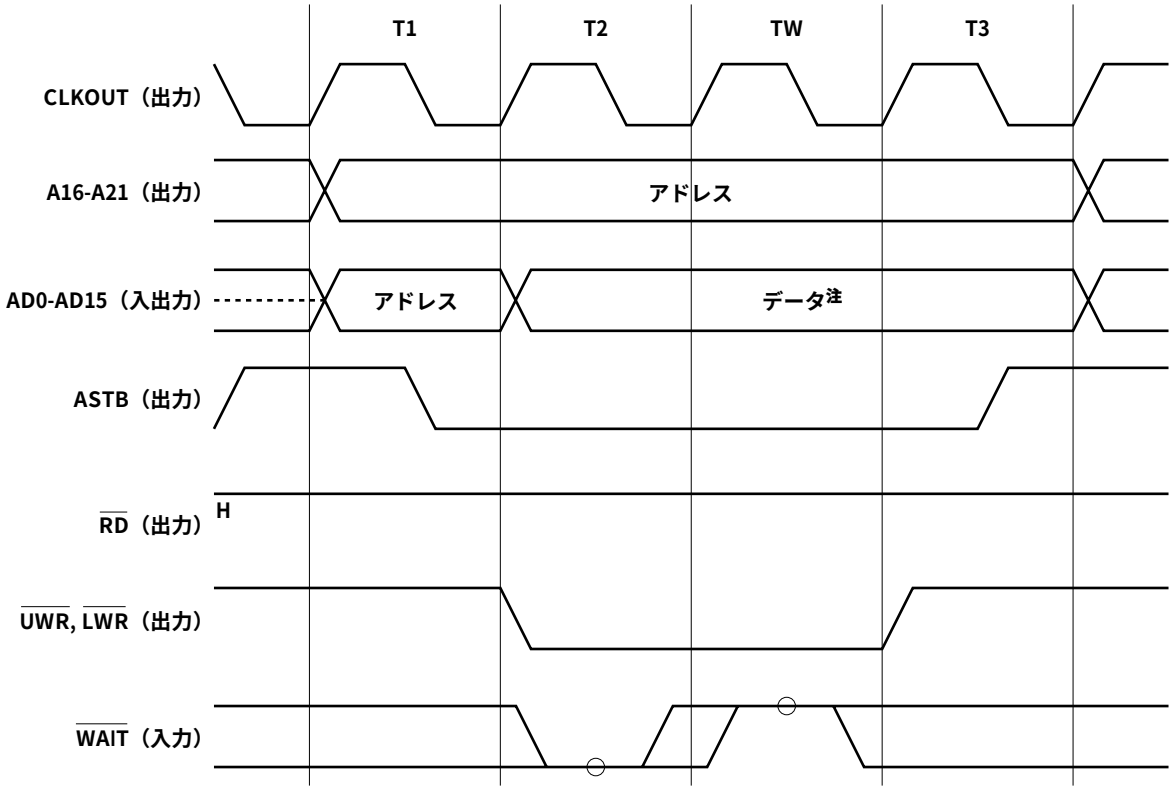


備考1.　○印はサンプリング・タイミングです。

2.　破線はハイ・インピーダンスを示します。

図5－1　SRAM，外部ROM，外部I/Oアクセス・タイミング（3/4）

（c）ライト時（1ウエイト挿入）

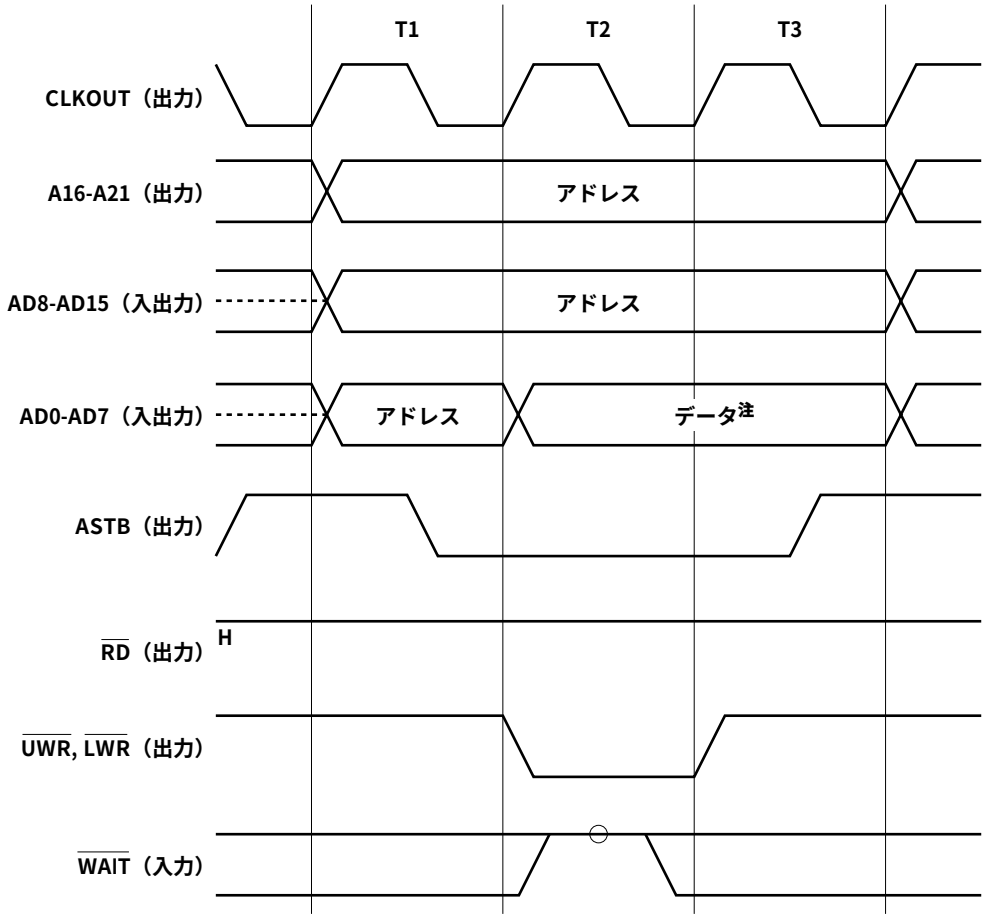


注　AD0-AD7は奇数アドレス・バイト・データにアクセスしたとき無効データを出力します。
AD8-AD15は偶数アドレス・バイト・データにアクセスしたとき無効データを出力します。

備考1.　○印はサンプリング・タイミングです。
2.　破線はハイ・インピーダンスを示します。

図5－1　SRAM，外部ROM，外部I/Oアクセス・タイミング（4/4）

（d）ライト時（0ウエイト挿入，8ビット・データ・バス時）



注　AD0-AD7は奇数アドレス・バイト・データにアクセスしたとき無効データを出力します。

備考1.　○印はサンプリング・タイミングです。

2.　破線はハイ・インピーダンスを示します。

第6章　DMA機能（DMAコントローラ）

V850E/IA2は，DMA転送を実行制御するDMA（Direct Memory Access）コントローラ（DMAC）を備えています。

DMACは，内蔵周辺I/O（シリアル・インタフェース，タイマ／カウンタ，A/Dコンバータ）からの割り込みによる要求，またはソフトウエア・トリガによるDMA要求に基づいて，メモリ←→周辺I/O間，メモリ←→メモリ間，周辺I/O←→周辺I/O間でのデータ転送を制御します（メモリは内蔵RAM，または外部メモリを意味します）。

6.1 特　　徴

○4つの独立なDMAチャネル

○転送単位：8ビット／16ビット

○最大転送回数：65536（2^{16}）回

○転送タイプ：2サイクル転送

○3種類の転送モード

- シングル転送モード
- シングルステップ転送モード
- ブロック転送モード

○転送要求

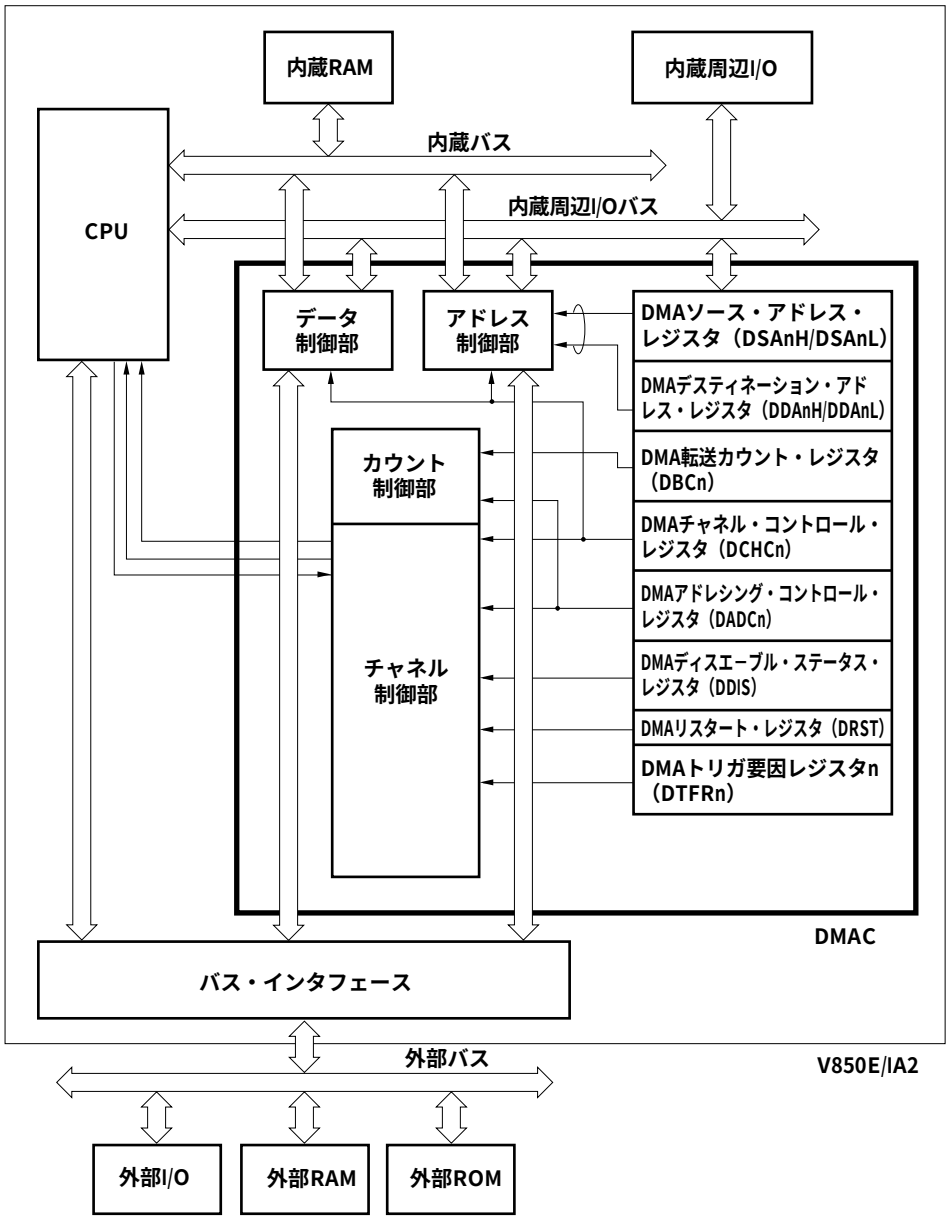
- 内蔵周辺I/O（シリアル・インタフェース，タイマ／カウンタ，A/Dコンバータ）からの割り込みによる要求
- ソフトウエア・トリガによる要求

○転送対象

- メモリ←→周辺I/O
- メモリ←→メモリ
- 周辺I/O←→周辺I/O

○ネクスト・アドレス設定機能

6.2 構　　成


内蔵RAM
内蔵周辺I/O
内蔵バス
CPU
内蔵周辺I/Oバス
データ
制御部
アドレス
制御部
DMAソース・アドレス・
レジスタ（DSAnH/DSAnL）
DMAデスティネーション・アド
レス・レジスタ（DDAnH/DDAnL）
DMA転送カウント・レジスタ
（DBCn）
DMAチャネル・コントロール・
レジスタ（DCHCn）
DMAアドレシング・コントロール・
レジスタ（DADCn）
DMAディスエーブル・ステータス・
レジスタ（DDIS）
DMAリスタート・レジスタ（DRST）
DMAトリガ要因レジスタn
（DTFRn）
カウント
制御部
チャネル
制御部
DMAC
バス・インタフェース
外部バス
V850E/IA2
外部I/O
外部RAM
外部ROM

備考　n = 0-3

6. 3　制御レジスタ

6. 3. 1　DMAソース・アドレス・レジスタ0-3（DSA0-DSA3）

DMAチャネルnのDMA転送元アドレス（28ビット）を設定します（n = 0-3）。このレジスタは，DSAnH, DSAnLの2つの16ビット・レジスタに分かれます。

2段FIFO構成バッファ・レジスタなので，DMA転送中に新たなDMA転送の転送元アドレスが設定できます（6. 8 ネクスト・アドレス設定機能参照）。ネクスト・アドレスを設定する場合，新たなDSAnレジスタの設定は，DMA転送が正常に終了し，DMAチャネル・コントロール・レジスタn（DCHCn）のTCnビットがセット（1）されたとき，またはDCHCnレジスタのINITnビットをセット（1）したときのみ，その設定値がスレーブ・レジスタに転送され，有効となります（n = 0-3）。

★

（1）DMAソース・アドレス・レジスタ0H-3H（DSA0H-DSA3H）

16ビット単位でリード／ライト可能です。

ビット14-12には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意1. ソース・アドレスに内蔵周辺I/Oレジスタのアドレスを設定する場合は，必ずFFFF000H-FFFFFFFHのアドレスを指定してください。内蔵周辺I/Oレジスタのイメージ（3FFF000H-3FFFFFFH）のアドレスは指定できません。

2. DSAnHレジスタの設定は，DMA中断中には行わないでください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DSA0H	IR	0	0	0	SA27	SA26	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16	FFFFF082H	不定
DSA1H	IR	0	0	0	SA27	SA26	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16	FFFFF08AH	不定
DSA2H	IR	0	0	0	SA27	SA26	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16	FFFFF092H	不定
DSA3H	IR	0	0	0	SA27	SA26	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16	FFFFF09AH	不定

ビット位置	ビット名	意　味
15	IR	DMA転送元を指定します。 0：外部メモリ，内蔵周辺I/O 1：内蔵RAM
11-0	SA27-SA16	DMA転送元のアドレス（A27-A16）を設定します。DMA転送中は，次のDMA転送元アドレスを保持します。

（2）DMAソース・アドレス・レジスタ0L-3L（DSA0L-DSA3L）

16ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DSA0L	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0	FFFFF080H	不定
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DSA1L	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0	FFFFF088H	不定
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DSA2L	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0	FFFFF090H	不定
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DSA3L	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0	FFFFF098H	不定

ビット位置	ビット名	意　味
15-0	SA15-SA0	DMA転送元のアドレス（A15-A0）を設定します。DMA転送中は，次のDMA転送元アドレスを保持します。

6. 3. 2　DMAデスティネーション・アドレス・レジスタ0-3（DDA0-DDA3）

DMAチャネルnのDMA転送先アドレス（28ビット）を設定します（n = 0-3）。このレジスタは，DDAnH, DDAnLの2つの16ビット・レジスタに分かれます。

2段FIFO構成バッファ・レジスタなので，DMA転送中に新たなDMA転送の転送先アドレスが設定できます（6. 8 ネクスト・アドレス設定機能参照）。ネクスト・アドレスを設定する場合，新たなDDAnレジスタの設定は，DMA転送が正常に終了し，DMAチャネル・コントロール・レジスタn（DCHCn）のTCnビットがセット（1）されたとき，またはDCHCnレジスタのINITnビットをセット（1）したときのみ，その設定値がスレーブ・レジスタに転送され，有効となります（n = 0-3）。

★

（1）DMAデスティネーション・アドレス・レジスタ0H-3H（DDA0H-DDA3H）

16ビット単位でリード／ライト可能です。

ビット14-12には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意1. デスティネーション・アドレスに内蔵周辺I/Oレジスタのアドレスを設定する場合は，必ずFFFF000H-FFFFFFFHのアドレスを指定してください。内蔵周辺I/Oレジスタのイメージ（3FFF000H-3FFFFFFH）のアドレスは指定できません。

2. DDAnHレジスタの設定は，DMA中断中には行わないでください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DDA0H	IR	0	0	0	DA27	DA26	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16	FFFFF086H	不定
DDA1H	IR	0	0	0	DA27	DA26	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16	FFFFF08EH	不定
DDA2H	IR	0	0	0	DA27	DA26	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16	FFFFF096H	不定
DDA3H	IR	0	0	0	DA27	DA26	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16	FFFFF09EH	不定

ビット位置	ビット名	意　味
15	IR	DMA転送先を指定します。 0：外部メモリ，内蔵周辺I/O 1：内蔵RAM
11-0	DA27-DA16	DMA転送先のアドレス（A27-A16）を設定します。DMA転送中は，次のDMA転送先アドレスを保持します。

（2）DMAデスティネーション・アドレス・レジスタ0L-3L（DDA0L-DDA3L）

16ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DDA0L	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0	FFFFF084H	不定
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DDA1L	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0	FFFFF08CH	不定
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DDA2L	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0	FFFFF094H	不定
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DDA3L	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0	FFFFF09CH	不定

ビット位置	ビット名	意　味
15-0	DA15-DA0	DMA転送先のアドレス（A15-A0）を設定します。DMA転送中は，次のDMA転送先アドレスを保持します。

6. 3. 3　DMA転送カウント・レジスタ0-3（DBC0-DBC3）

DMAチャネルnの転送数を設定する16ビット・レジスタです（n = 0-3）。DMA転送中は，残りの転送数を保持します。

★ 2段FIFO構成バッファ・レジスタなので，DMA転送中に新たなDMA転送の転送回数が設定できます（6. 8　ネクスト・アドレス設定機能参照）。ネクスト・アドレスを設定する場合，新たなDBCnレジスタの設定は，DMA転送が正常に終了し，DMAチャネル・コントロール・レジスタn（DCHCn）のTCnビットがセット（1）されたとき，またはDCHCnレジスタのINITnビットをセット（1）したときのみ，その設定値がスレーブ・レジスタに転送され，有効となります（n = 0-3）。

1回の転送につき1ずつデクリメントされ，ボローが発生すると転送を終了します。

16ビット単位でリード／ライト可能です。

注意1. 転送元が内蔵RAMの2サイクル転送の場合は，転送回数を2回（DBCnレジスタの設定値 = 0001H）に設定しないでください。

2回のDMA転送が必要な場合には，必ず転送回数を1回（DBCnレジスタの設定値 = 0000H）に設定したDMA転送を2回実行してください。

2. DBCnレジスタの設定は，DMA中断中には行わないでください。

備考　DMA転送中にDBCnレジスタを書き換えることなくターミナル・カウントが発生したあと，DBCnレジスタを読み出した場合は，DMA転送の直前に設定された値が読み出されます（転送終了後でも0000Hは読み出されません）。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DBC0	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	FFFFF0C0H	不定
DBC1	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	FFFFF0C2H	不定
DBC2	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	FFFFF0C4H	不定
DBC3	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	FFFFF0C6H	不定

ビット位置	ビット名	意　味
15-0	BC15-BC0	転送数を設定します。DMA転送中は残りの転送数を保持します。

DBCn（n = 0-3）	状　態
0000H	1回の転送，または残り転送数
0001H	2回の転送，または残り転送数
⋮	⋮
FFFFH	65536（2^{16}）回の転送，または残り転送数

6. 3. 4　DMAアドレシング・コントロール・レジスタ0-3（DADC0-DADC3）

DMAチャネルnのDMA転送モードを制御する16ビット・レジスタです（n = 0-3）。DMA動作中はアクセスできません。

16ビット単位でリード／ライト可能です。

ビット13-8, 1, 0には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意1. DS1, DS0ビットは何ビットのデータを転送するかを設定するビットです。
8ビット・データ（DS1, DS0ビット = 00）を設定した場合は，必ずしも下位データ・バス（AD0-AD7）を使用するわけではありません。
また，転送データ・サイズを16ビットに設定した場合は下位アドレスの1ビットを“0”にアラインしたアドレスから必ず転送を開始します。この場合は奇数アドレスから始まる転送はできません。

2. DADCnレジスタの設定は，対象となるチャネルが次のいずれかのタイミングのときに行ってください（これらのタイミング以外で設定を行った場合の動作は保証しません）。

- システム・リセットから最初のDMA転送要求発生までの期間
- DMA転送の完了後（ターミナル・カウント後）から次のDMA転送要求発生までの期間
- DMA転送の強制終了後（DMAチャネル・コントロール・レジスタn（DCHCn）のINITnビットがセット（1）後）から次のDMA転送要求発生までの期間

（1/2）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DADC0	DS1	DS0	0	0	0	0	0	0	SAD1	SAD0	DAD1	DAD0	TM1	TM0	0	0	FFFFF0D0H	0000H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DADC1	DS1	DS0	0	0	0	0	0	0	SAD1	SAD0	DAD1	DAD0	TM1	TM0	0	0	FFFFF0D2H	0000H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DADC2	DS1	DS0	0	0	0	0	0	0	SAD1	SAD0	DAD1	DAD0	TM1	TM0	0	0	FFFFF0D4H	0000H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DADC3	DS1	DS0	0	0	0	0	0	0	SAD1	SAD0	DAD1	DAD0	TM1	TM0	0	0	FFFFF0D6H	0000H

ビット位置	ビット名	意　味
15, 14	DS1, DS0	DMA転送での転送データ・サイズを設定します。 DS1 / DS0 / 転送データ・サイズ 0 / 0 / 8ビット 0 / 1 / 16ビット 1 / 0 / 設定禁止 1 / 1 / 設定禁止 内蔵周辺I/Oレジスタの場合は，アクセス・サイズに合わせた転送サイズで転送してください。

（2/2）

ビット位置	ビット名	意　味
7, 6	SAD1, SAD0	DMAチャネルnの転送元アドレスのカウント方向を設定します（n = 0-3）。 SAD1 / SAD0 / カウント方向 0 / 0 / インクリメント 0 / 1 / デクリメント 1 / 0 / 固定 1 / 1 / 設定禁止
5, 4	DAD1, DAD0	DMAチャネルnの転送先アドレスのカウント方向を設定します（n = 0-3）。 DAD1 / DAD0 / カウント方向 0 / 0 / インクリメント 0 / 1 / デクリメント 1 / 0 / 固定 1 / 1 / 設定禁止
3, 2	TM1, TM0	DMA転送時の転送モードを設定します。 TM1 / TM0 / 転送モード 0 / 0 / シングル転送モード 0 / 1 / シングルステップ転送モード 1 / 0 / 設定禁止 1 / 1 / ブロック転送モード

6.3.5　DMAチャネル・コントロール・レジスタ0-3（DCHC0-DCHC3）

DMAチャネルnのDMA転送動作モードを制御する8ビット・レジスタです（n = 0-3）。

8/1ビット単位でリード／ライト可能です（ただし，ビット7はリードだけ，ビット2，ビット1はライトだけ可能です。ビット2，ビット1をリードした場合は0が読み出されます。）。

ビット6-4には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意1. MLEnビットがセット（1）された状態で転送を完了し，次の転送要求を内蔵周辺I/Oからの割り込みで起動するDMA転送（ハードウエアDMA）で行った場合，次の転送はTCnビットがセット（1）された状態で実行されます（自動的にクリア（0）されません）。

2. MLEnビットの設定は，対象となるチャネルが次のいずれかのタイミングのときに行ってください（これらのタイミング以外で設定を行った場合の動作は保証しません）。
   - システム・リセットから最初のDMA転送要求発生までの期間
   - DMA転送の完了後（ターミナル・カウント後）から次のDMA転送要求発生までの期間
   - DMA転送の強制終了後（INITnビットのセット（1）後）から次のDMA転送要求発生までの期間

3. MLEnビットをセット（1）した状態で，DMA転送の最後の転送サイクル時に強制終了を行ったときは，転送完了時と同様の動作（TCnビットのセット（1））を行います（Ennビットは，MLEnビットの値にかかわらず，強制終了時にクリア（0）されます）。
   この場合，次のDMA転送要求時は，Ennビットのセット（1）に加え，TCnビットの読み出し（クリア（0））も必要です。

4. DMA転送完了時（ターミナル・カウント時）は，Ennビットのクリア（0）→TCnビットのセット（1）の順で各ビットの更新が行われます。そのため，TCnビットとEnnビットの状態をポーリングしているような場合，DCHCnレジスタの読み出しタイミングが上記の各ビットの更新途中であると，「転送未完了，かつ転送禁止」の状態を示す値（TCnビット = 0，かつEnnビット = 0）が読み出されることがあります（異常動作ではありません）。

★ 5. DMA転送完了後（ターミナル・カウント後）には必ずTCnビットの読み出し（クリア（0））を行ってください。TCnビットの読み出し（クリア（0））が必要ないのは，次の2つの条件を満たす場合だけです。
   - DMA転送完了時（ターミナル・カウント時）にMLEnビットがセット（1）されている
   - 次のDMA転送起動要因が内蔵周辺I/Oからの割り込みで起動するDMA転送（ハードウエアDMA）

   いずれか1つでも条件を満たしていない場合には，必ず次のDMA転送要求発生までにTCnビットの読み出し（クリア（0））を行ってください。
   TCnビットがセット（1）された状態で次のDMA転送要求を発生させた場合の動作は保証できません。

6. Enn, STGnビットの設定は，DMA中断中には行わないでください。DMA中断中に設定した場合の動作は保証できません。

★ 7. Ennビットのクリア（0）により，DMA転送を完了させないでください。

★ 8. DMA転送の状態とレジスタ値の関係は次のようになります。
   - DMA転送動作中　：TCnビット = 0, Ennビット = 1
   - DMA転送中断中　：TCnビット = 0, Ennビット = 0
   - DMA転送停止中（完了中）　：TCnビット = 1

	⑦	6	5	4	③	②	①	⓪	アドレス	初期値
DCHC0	TC0	0	0	0	MLE0	INIT0	STG0	E00	FFFFF0E0H	00H
	⑦	6	5	4	③	②	①	⓪	アドレス	初期値
DCHC1	TC1	0	0	0	MLE1	INIT1	STG1	E11	FFFFF0E2H	00H
	⑦	6	5	4	③	②	①	⓪	アドレス	初期値
DCHC2	TC2	0	0	0	MLE2	INIT2	STG2	E22	FFFFF0E4H	00H
	⑦	6	5	4	③	②	①	⓪	アドレス	初期値
DCHC3	TC3	0	0	0	MLE3	INIT3	STG3	E33	FFFFF0E6H	00H

ビット位置	ビット名	意　味
7	TCn	DMAチャネルnのDMA転送の完了／未完了を示すステータス・ビットです。 読み出しだけできます。DMA転送の最後の転送時にセット（1）され，読み出しによりクリア（0）されます。 0：DMA転送未完了 1：DMA転送完了
3	MLEn	DMA転送完了時（ターミナル・カウント出力時）に，このビットがセット（1）されていると，Ennビットはクリア（0）されず，DMA転送許可状態のままになります。 次のDMA転送起動要因が内蔵周辺I/Oからの割り込みの場合（ハードウエアDMA）は，TCnビットを読み出さなくても，DMA転送要求が受けられます。次のDMA転送起動要因がSTGnビットのセット（1）の場合（ソフトウエアDMA）は，TCnビットを読み出してクリア（0）すれば，DMA転送要求が受け付けられます。 DMA転送完了時（ターミナル・カウント出力時）に，このビットがクリア（0）されていると，Ennビットはクリア（0）され，DMA転送禁止状態になります。 次のDMA転送要求時は，TCnビットの読み出しとEnnビットのセット（1）が必要です。
2	INITn	DMA転送中，またはDMA中断中にこのビットをセット（1）すると，DMA転送を強制終了します（6. 12. 1　DMA**転送強制終了に関する制限事項**参照）。
1	STGn	DMA転送が許可の状態（TCnビット = 0，Ennビット = 1）で，このビットをセット（1）するとDMA転送を開始します。
0	Enn	DMAチャネルnのDMA転送の許可／禁止を設定します。DMA転送が完了するとクリア（0）されます。また，NMI入力や，INITnビットのセット（1）による強制中断，強制終了時にもクリア（0）されます。 0：DMA転送の禁止 1：DMA転送の許可 **注意**　Ennビットをセット（1）した場合，DBCnレジスタで設定した転送回数分のDMA転送が完了するか，またはINITnビットでDMA転送を強制終了させるまでは，Ennビットの設定は行わないでください。

備考　n = 0-3

6. 3. 6　DMAディスエーブル・ステータス・レジスタ（DDIS）

強制中断時（NMI入力時）にDCHCnレジスタのEnnビットの内容を保持するレジスタです（n = 0-3）。

8ビット単位でリードだけ可能です。

ビット7-4には必ず0を設定してください。1を設定した場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
DDIS	0	0	0	0	CH3	CH2	CH1	CH0	FFFFF0F0H	00H

ビット位置	ビット名	意　味
3-0	CH3-CH0	強制中断時（NMI入力時）にDCHCnレジスタのEnnビットの内容が反映されます。このレジスタの内容は，次の強制中断時（NMI入力時），またはシステム・リセット時まで保持されます。

6. 3. 7　DMAリスタート・レジスタ（DRST）

DRSTレジスタのENnビットは，DCHCnレジスタのEnnビットとそれぞれ連結しており，DMA転送の許可／禁止の設定を4チャネル別々に行う場合はEnnビットを，4チャネル同時に行う場合はDRSTレジスタを使用することも可能です（n = 0-3）。

8ビット単位でリード／ライト可能です。

ビット7-4には必ず0を設定してください。1を設定した場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
DRST	0	0	0	0	EN3	EN2	EN1	EN0	FFFFF0F2H	00H

ビット位置	ビット名	意　味
3-0	EN3-EN0	DMAチャネルnのDMA転送の許可／禁止を設定します。ターミナル・カウント出力によりDMA転送が終了するとクリア（0）されます（n = 0-3）。 また，NMI入力や，DCHCnレジスタのINITnビットのセット（1）によるDMA強制終了時にもクリア（0）されます。 0：DMA転送の禁止 1：DMA転送の許可

6. 3. 8　DMAトリガ要因レジスタ0-3（DTFR0-DTFR3）

内蔵周辺I/Oから割り込み要求によるDMA転送開始トリガを制御する8ビット・レジスタです。

このレジスタで設定した割り込み要求が，DMA転送の起動要因になります。

8ビット単位でリード／ライト可能です。ただし，ビット7（DFn）のみ1ビット単位，ビット5-0（IFCn5-IFCn0）は8ビット単位でリード／ライト可能です（n = 0-3）。

ビット6には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意1. DTFRnレジスタの設定を変更する場合は，必ずDMA動作を停止してから行ってください。

2. INTP0-INTP4およびINTP20-INTP25（アナログ・フィルタによるノイズ除去を選択した場合）を除き，スタンバイ・モード（IDLE，ソフトウエアSTOPモード）中に入力された割り込み要求は，DMA転送の起動要因にはなりません。

3. INTCM004, INTCM005はDMAトリガ要因として使用できません。

4. IFCn5-IFCn0ビットにより，DMA転送の起動要因を変更した場合は，必ず直後の命令でDFnビットのクリア（0）も行ってください。

★ 5. DTFRnレジスタの設定を変更する場合は必ず次の手順で行ってください。

- IFCn5-IFCn0ビットに設定する値が他チャネルのIFCm5-IFCm0ビットに設定されていない場合（n = 0-3，m = 0-3，n ≠ m）

①DCHCnレジスタのEnnビット = 0の場合は③-⑤，Ennビット = 1の場合は②-⑤の手順で行ってください。

②書き換え対象となるチャネルのDMAn動作を停止（DCHCnレジスタのINITnビット = 1）する。

③DTFRnレジスタの設定を変更する（必ずDFnビット = 0とし，かつ8ビット操作で行ってください）。

④DMA転送要求をクリアする必要がある場合には，DMA転送要求フラグをクリア（DTFRnレジスタのDFnビット = 0）する。

⑤DMAn動作を許可（Ennビット = 1）する。

- IFCn5-IFCn0ビットに設定する値がすでに他チャネルのIFCm5-IFCm0ビットに設定されている場合（n = 0-3，m = 0-3，n ≠ m）

①DCHCnレジスタのEnnビット = 0の場合は④-⑥，Ennビット = 1の場合は②-⑥の手順で行ってください。

②書き換え対象となるチャネルのDMAn動作を停止（DCHCnレジスタのINITnビット = 1）する。

③IFCn5-IFCn0ビットに書き換える値と同じ値がIFCm5-IFCm0ビットに設定されているチャネルのDMAm転送を停止（DCHCmレジスタのINITmビット = 1）する。

④DTFRnレジスタの設定を変更する（必ずDFnビット = 0とし，かつ8ビット操作で行ってください）。

⑤DMA転送要求をクリアする必要がある場合には，DMA転送要求フラグをクリア（DTFRnレジスタのDFnビット = 0）する。

⑥DMAn動作を許可（Ennビット = 1およびEmmビット = 1）する。

（1/3）

	⑦	6	5	4	3	2	1	0	アドレス	初期値
DTFR0	DF0	0	IFC05	IFC04	IFC03	IFC02	IFC01	IFC00	FFFFF810H	00H
	⑦	6	5	4	3	2	1	0	アドレス	初期値
DTFR1	DF1	0	IFC15	IFC14	IFC13	IFC12	IFC11	IFC10	FFFFF812H	00H
	⑦	6	5	4	3	2	1	0	アドレス	初期値
DTFR2	DF2	0	IFC25	IFC24	IFC23	IFC22	IFC21	IFC20	FFFFF814H	00H
	⑦	6	5	4	3	2	1	0	アドレス	初期値
DTFR3	DF3	0	IFC35	IFC34	IFC33	IFC32	IFC31	IFC30	FFFFF816H	00H

ビット位置	ビット名	意　味
7	DFn	DMA転送要求フラグです。 DFnビットはソフトウエアにより1を設定しないでください。 0：DMA転送要求なし 1：DMA転送要求あり DMA転送を禁止（NMIによる中断，ソフトウエアによる強制終了を含む）している間に，DMA転送の起動要因に設定している割り込みが発生し，DMA転送要求をクリアする必要がある場合には，割り込み発生要因の動作を停止（例　シリアル受信の場合，受信を禁止）したあとに，DFnビットに0をライトしてください。 なお,次にDMA転送を再開するまでに再度割り込みが発生しないことがアプリケーション上で明確な場合は，割り込み発生要因の動作を停止する必要はありません。

★

備考　n = 0-3

（2/3）

ビット位置	ビット名	意　味
5-0	IFCn5-IFCn0	DMA転送の起動要因になる割り込み要因を設定します。

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
0	0	0	0	0	0	内蔵周辺I/OからのDMA要求禁止
0	0	0	0	0	1	INTP0
0	0	0	0	1	0	INTP1
0	0	0	0	1	1	INTP2
0	0	0	1	0	0	INTP3
0	0	0	1	0	1	INTP4
0	0	1	0	0	0	INTDET0
0	0	1	0	0	1	INTDET1
0	0	1	0	1	0	INTTM00
0	0	1	0	1	1	INTCM003
0	0	1	1	0	0	INTTM01
0	0	1	1	0	1	INTCM013
0	0	1	1	1	0	INTP100/INTCC100
0	0	1	1	1	1	INTP101/INTCC101
0	1	0	0	0	0	INTCM100
0	1	0	0	0	1	INTCM101
0	1	0	1	1	0	INTTM20
0	1	0	1	1	1	INTTM21
0	1	1	0	0	0	INTP20/INTCC20
0	1	1	0	0	1	INTP21/INTCC21
0	1	1	0	1	0	INTP22/INTCC22
0	1	1	0	1	1	INTP23/INTCC23
0	1	1	1	0	0	INTP24/INTCC24
0	1	1	1	0	1	INTP25/INTCC25
0	1	1	1	1	0	INTTM3
0	1	1	1	1	1	INTP30/INTCC30
1	0	0	0	0	0	INTP31/INTCC31
1	0	0	0	0	1	INTCM4
1	0	0	0	1	0	INTDMA0
1	0	0	0	1	1	INTDMA1
1	0	0	1	0	0	INTDMA2
1	0	0	1	0	1	INTDMA3
1	0	1	0	1	0	INTCSI0
1	0	1	0	1	1	INTCSI1
1	0	1	1	0	0	INTSR0
1	0	1	1	0	1	INTST0

備考　n = 0-3

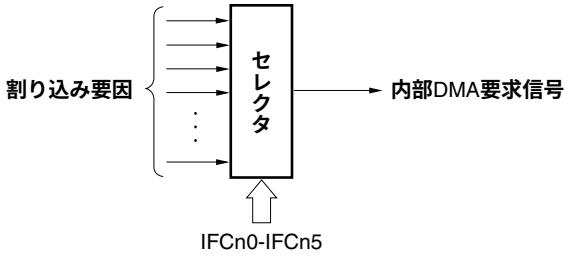
（3/3）

ビット位置	ビット名	意　味
5-0	IFCn5-IFCn0	

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
1	0	1	1	1	0	INTSER0
1	0	1	1	1	1	INTSR1
1	1	0	0	0	0	INTST1
1	1	0	0	1	1	INTAD0
1	1	0	1	0	0	INTAD1
1	1	1	0	1	0	INTCM010
1	1	1	0	1	1	INTCM011
1	1	1	1	0	0	INTCM012
1	1	1	1	0	1	INTCM014
1	1	1	1	1	0	INTCM015
その他						設定禁止

備考　n = 0-3

DMA転送トリガとなる割り込み要因の関係を次に示します（n = 0-3）。



★　**注意**　IFCn5-IFCn0ビットで設定した割り込み要因によりDMAが起動します。割り込み処理を実行したくない場合は，割り込み制御レジスタで割り込みをマスクしてください。割り込みをマスクしてもDMAは起動されます。

6.4　転送モード

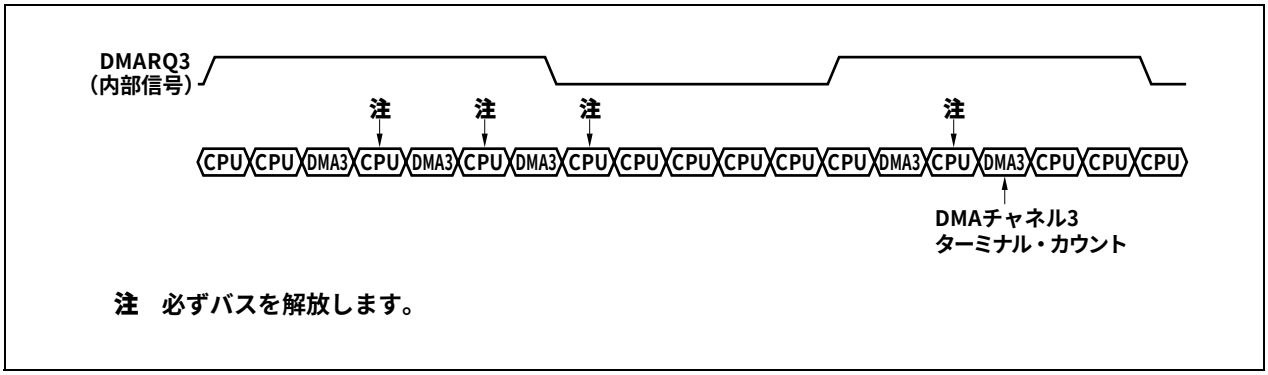
6.4.1　シングル転送モード

シングル転送では，DMACは1回のバイト／ハーフワード転送ごとにバスを解放します。その後，DMA転送要求があると再度1回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合，常に優先順位が高いDMA要求を優先させます。ただし，シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求が発生した場合は，前回の優先順位が高いDMA転送要求信号がアクティブのままでもこの要求は優先されず，CPUにバスを解放した次の転送は新たに要求のあった優先順位の低い方のDMA転送となります。

図6－1から図6－4にシングル転送の例を示します。

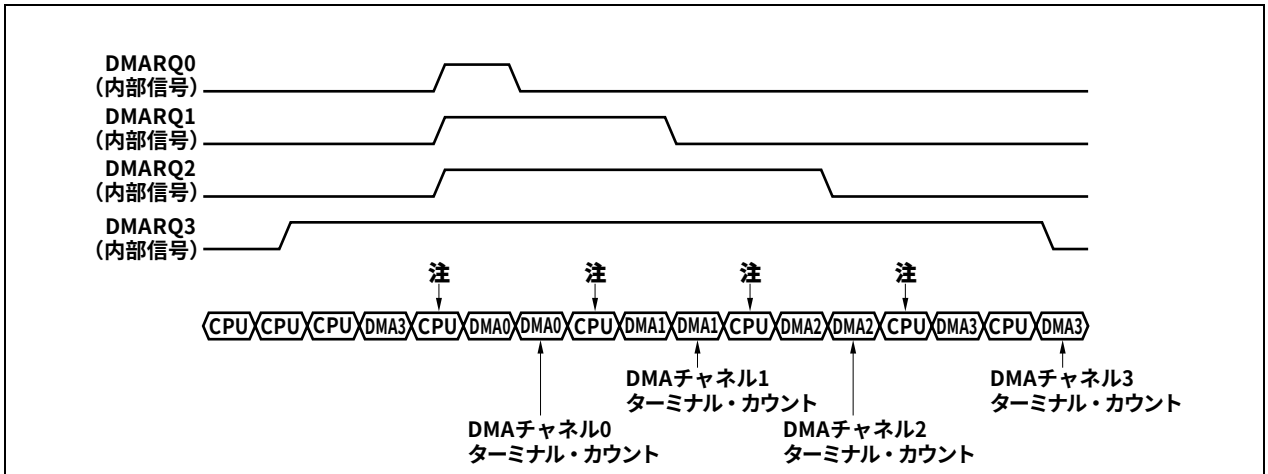
図6－1　シングル転送例1



注　必ずバスを解放します。

図6－2は，優先順位の高いDMA要求が発生した場合のシングル転送の例で，DMAチャネル0-2はブロック転送，チャネル3はシングル転送です。

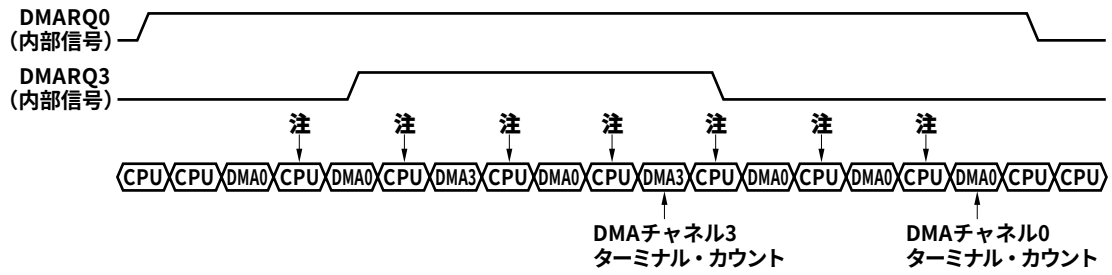
図6－2　シングル転送例2



注　必ずバスを解放します。

図6－3は，シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求が発生した場合のシングル転送の例で，DMAチャネル0, 3はシングル転送です。2つのDMA転送要求信号が同時にアクティブになっているときは，2つのDMA転送を交互に行います。

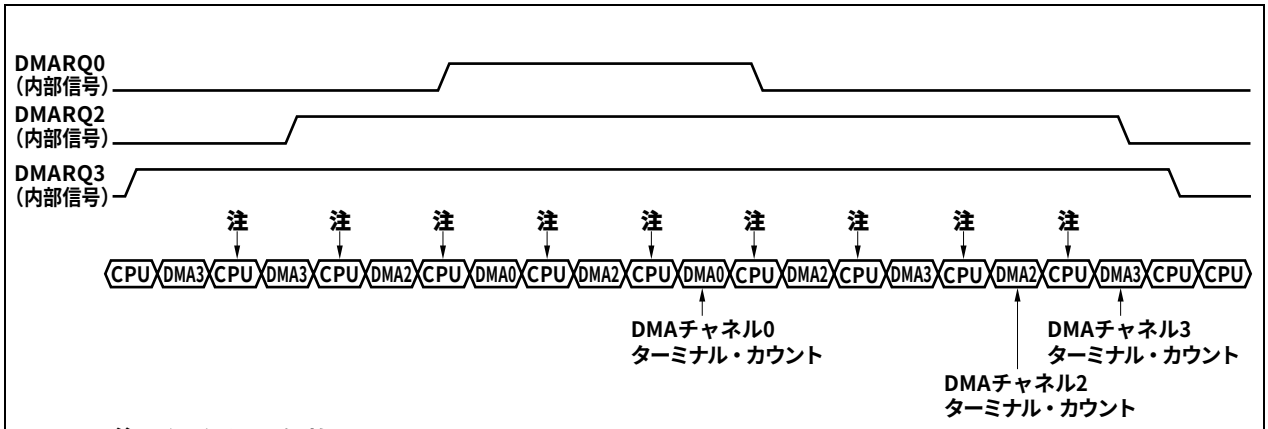
図6－3　シングル転送例3



注　必ずバスを解放します。

図6－4は，シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求の発生が複数あった場合のシングル転送の例で，DMAチャネル0, 2, 3はシングル転送です。3つ以上のDMA転送要求信号が同時にアクティブになっているときは，優先順位が高い順から2つのDMA転送を交互に行います。

図6－4　シングル転送例4



注　必ずバスを解放します。

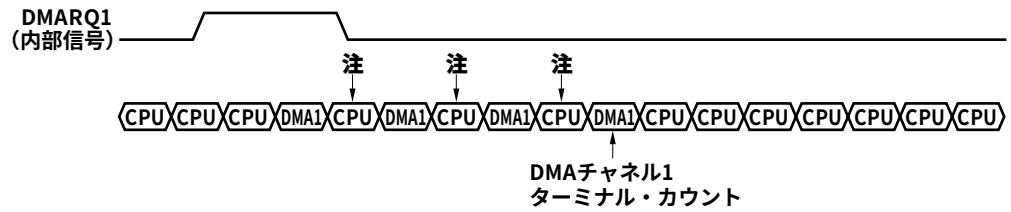
6.4.2　シングルステップ転送モード

シングルステップ転送では，DMACは1回のバイト／ハーフワード転送ごとにバスを解放します。一度，DMA転送要求信号を受けると，ターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合，常に優先順位が高いDMA要求を優先させます。

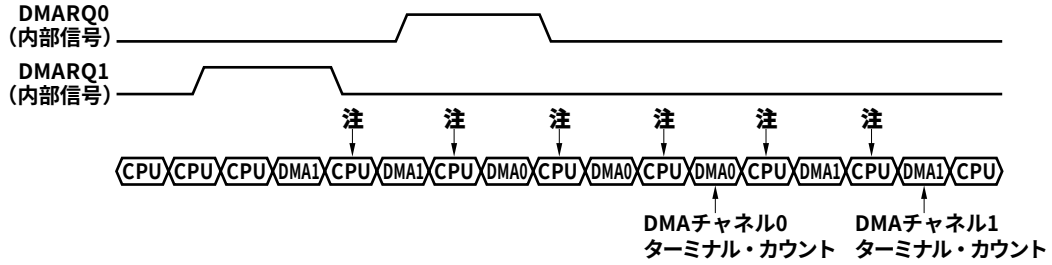
次にシングルステップ転送の例を示します。図6－6は，優先順位が高いDMA転送要求が発生した場合のシングルステップ転送モードの例で，DMAチャネル0, 1ともにシングルステップ転送です。

図6－5　シングルステップ転送例1



注　必ずバスを解放します。

図6－6　シングルステップ転送例2



注　必ずバスを解放します。

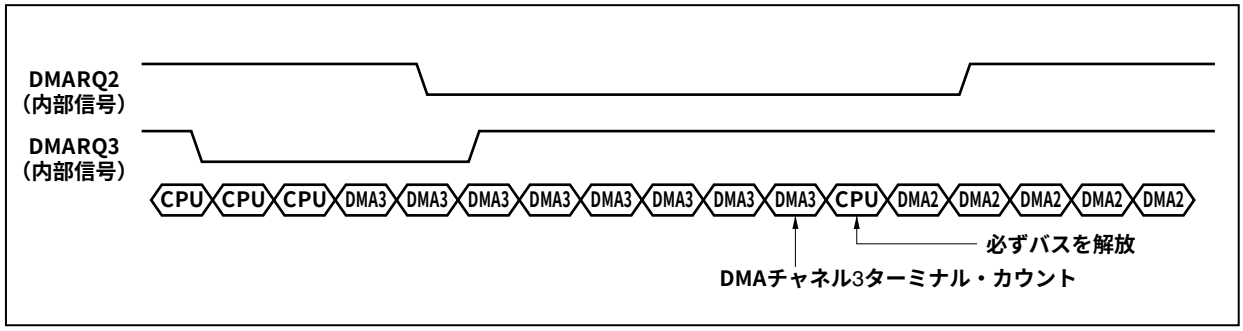
6.4.3　ブロック転送モード

ブロック転送では，転送が開始されると，ターミナル・カウントが発生するまでバスを解放せず転送を続けます。ブロック転送中は，ほかのDMA要求は受け付けません。

ブロック転送が終了しDMACがバスを解放したあとに，ほかのDMA転送を受け付けます。

次にブロック転送の例を示します。優先順位の高いDMA要求が発生した場合のブロック転送の例で，DMAチャネル2, 3はブロック転送です。

図6－7　ブロック転送例



6.5　転送タイプ

6.5.1　2サイクル転送

2サイクル転送は，リード・サイクル（転送元→DMAC），ライト・サイクル（DMAC→転送先）と2回のサイクルでデータを転送します。

1回目のサイクルでは，転送元のアドレスを出力し転送元からDMACへのリードを行い，2回目のサイクルでは，転送先のアドレスを出力しDMACから転送先への書き込みを行います。

注意　リード・サイクルとライト・サイクルの間に，必ず1～2クロック分のアイドル・サイクルが挿入されます。

6.6　転送対象

6.6.1　転送の種類と転送対象

転送の種類と転送対象の関係を次に示します（○：転送可，×：転送不可）。

表6－1　転送の種類と転送対象の関係

		転送先			
		内蔵ROM	内蔵周辺I/O[注]	内蔵RAM	外部メモリ，外部I/O
転送元	内蔵周辺I/O[注]	×	○	○	○
	外部I/O	×	○	○	○
	内蔵RAM	×	○	×	○
	外部メモリ	×	○	○	○
	内蔵ROM	×	×	×	×

注　転送対象が内蔵周辺I/Oの場合はシングル転送モードのみ使用可能です。

注意1.　表6－1に示す転送先と転送元で，「×」が表記されている組み合わせで転送を行った場合の動作は保証しません。

2.　DMA転送の転送元，転送先のアドレスに3FFF000H-3FFFFFFHを指定することができません。転送元，転送先のアドレスには，必ずFFFF000H-FFFFFFFHのアドレスを指定してください。

備考　内蔵周辺I/Oレジスタを対象（転送元／転送先）とするDMA転送の場合，必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば，8ビットのレジスタに対するDMA転送の場合は，必ずバイト（8ビット）転送を指定してください。

〈16ビット転送の場合〉

・16ビット・バス→8ビット・バスへの転送

リード・サイクル（16ビット）が発生し，そのあとライト・サイクル（8ビット）が連続して2回発生します。

・8ビット・バス→16ビット・バスへの転送

リード・サイクル（8ビット）が連続して2回発生し，そのあとライト・サイクル（16ビット）が発生します。転送先に対しては，リトル・エンディアン時は下位，上位の順で，ビッグ・エンディアン時は上位，下位の順で書き込まれます。

〈8ビット転送の場合〉

・16ビット・バス→8ビット・バスへの転送

リード・サイクル（上位8ビットはハイ・インピーダンス）が発生し，そのあとライト・サイクル（8ビット）が発生します。

・8ビット・バス→16ビット・バスへの転送

リード・サイクル（8ビット）が発生し，そのあとライト・サイクル（上位8ビットはハイ・インピーダンス）が発生します。転送先に対しては，リトル・エンディアン時は下位，上位の順で，ビッグ・エンディアン時は上位，下位の順で書き込まれます。

6. 6. 2　DMA転送（2サイクル転送）時の外部バス・サイクル

DMA転送（2サイクル転送）時の外部バス・サイクルを次に示します。

表6－2　DMA転送（2サイクル転送）時の外部バス・サイクル

転送対象	外部バス・サイクル	
内蔵周辺I/O，内蔵RAM	なし	－
外部メモリ，外部I/O	あり	SRAM， 外部ROM， 外部I/Oアクセス・サイクル

6. 7　DMAチャネルの優先順位

DMAチャネルの優先順位は次のように固定されています。

DMAチャネル0＞DMAチャネル1＞DMAチャネル2＞DMAチャネル3

ブロック転送中は転送するチャネルが入れ替わることはありません。

シングルステップ転送中でバスを解放している期間中に，ほかの優先順位が高いDMA転送要求が発生した場合は，優先順位が高いDMA転送を行います。

注意　同じ起動要因で複数のDMAチャネルを起動しないでください。起動した場合，優先順位の低いDMAチャネルが優先順位の高いDMAチャネルより先に受け付けられる場合があります。

6. 8　ネクスト・アドレス設定機能

DMAソース・アドレス・レジスタ（DSAnH, DSAnL），DMAデスティネーション・アドレス・レジスタ（DDAnH, DDAnL），DMA転送カウント・レジスタ（DBCn）は，マスタ・レジスタとスレーブ・レジスタで構成される2段FIFO形式のバッファ・レジスタです（n = 0-3）。

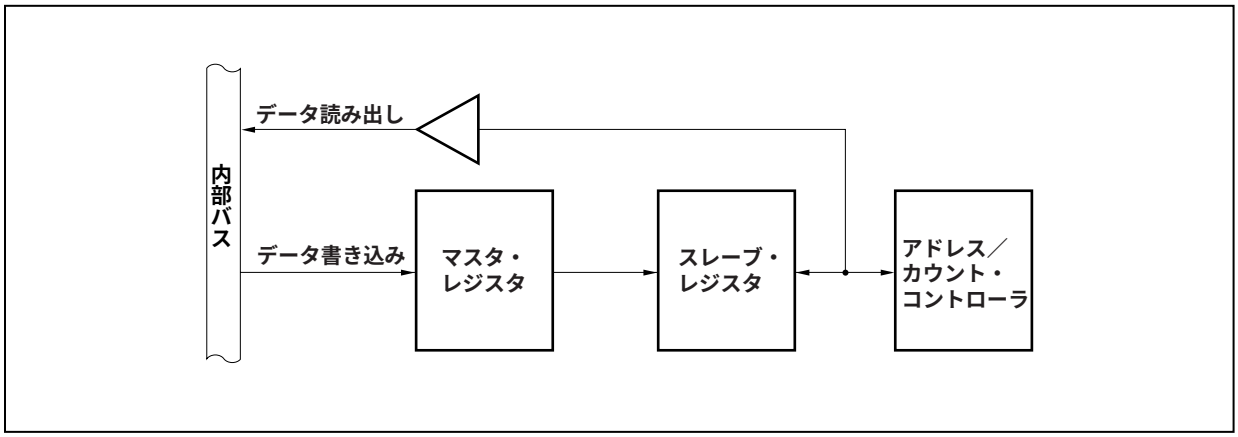
ターミナル・カウントが発生すると，これらのレジスタは直前に設定された値に自動的に書き換えられます。

したがって，DMA転送中に，これらのレジスタに対して新たなDMA転送の設定を行えば，転送終了後に自動的に新たな設定値に更新されます[注]。

注　さらに新たなDMA転送の設定を行う場合は，DMA転送が開始されたことを確認してから行ってください。DMA転送の開始前に新たな設定を行うと，マスタ・レジスタ，スレーブ・レジスタの両方に設定値が上書きされてしまい，結果として直前の設定値に基づいたDMA転送は行われません。

次にバッファ・レジスタの構成を示します。

図6－8　バッファ・レジスタの構成



実際のDMA転送はスレーブ・レジスタの内容に基づいて行われます。

マスタ・レジスタ，スレーブ・レジスタに反映される設定値は，設定を行うタイミング（期間）により，次のように異なります。

（1）システム・リセットから最初のDMA転送要求発生までの期間

設定値は，マスタ，スレーブの両レジスタに反映されます。

（2）DMA転送中（DMA転送要求発生からDMA転送終了までの期間）

設定値は，マスタ・レジスタだけに反映されます。スレーブ・レジスタへは反映されません（スレーブ・レジスタは，次のDMA転送の設定値を保持します）。

ただし，DMA転送終了後，マスタ・レジスタの内容がスレーブ・レジスタに自動的に上書きされます。

なお，この期間に各レジスタの値を読み出すと，スレーブ・レジスタの値が読み出されます。

また，DMA転送が開始されたことを判別するには，DBCnレジスタを読み出して1回目の転送が行われたことを確認してください（n = 0-3）。

（3）DMA転送終了から次のDMA転送開始までの期間

設定値は，マスタ，スレーブの両レジスタに反映されます。

備考　「DMA転送終了」とは，次のどちらかの場合を示します。

・DMA転送の完了（ターミナル・カウント）

・DMA転送の強制終了（DCHCnレジスタのINITnビットのセット（1））

6. 9　DMA転送起動要因

DMA転送の起動要因には，次の2種類があります。

注意1. **同一のチャネルに対して，各起動要因（（1），（2））を併用しないでください（各起動要因が同時に発生した場合，どちらか一方だけが有効となりますが，有効となった起動要因の特定はできません）。**
併用した場合の動作は保証しません。

2. **ソフトウエア**DMA**で転送を起動する場合，**DCHCn**レジスタの**STGn**ビット操作（**STGn**ビットのセット（1））によって，期待している**DMA**転送動作が完了したかどうかをソフトウエア上で適切に検出しない場合，次に（2回目に）行われる**STGn**ビット操作が「ソフトウエアの期待する次の**DMA**転送」の起動に対応しているかどうかは，保証できません（**n = 0-3**）。**
たとえば，STGn**ビット操作によってシングル転送を起動した場合，そのシングル転送が実際に実行されたかどうかをソフトウエア上で確認しないで，次の（2回目の）**STGn**ビット操作を行っても，次の（2回目の）**DMA**転送が実行されるとはかぎりません。これは，1回目の**STGn**ビット操作を行ったときに，優先順位がさらに高い**DMA**転送が起動していた場合など，1回目の起動対象の**DMA**転送が起動または完了しないまま，次の（2回目の）**STGn**ビット操作が行われてしまう可能性があるためです。**
したがって，STGn**ビット操作による対象の**DMA**転送が完了したかどうかを確認してから，次の（2回目の）**STGn**ビット操作を行う必要があります。**
DMA**転送完了の確認例として，**DBCn**レジスタの内容を確認する方法があります。**

（1）ソフトウエアによる要求

DCHCn**レジスタの**STGn, Enn, TCn**ビットが次のように設定されると，**DMA**転送を開始します（**n = 0-3）。

- STGn**ビット** = 1
- Enn**ビット** = 1
- TCn**ビット** = 0

（2）内蔵周辺I/O**による要求**

DCHCn**レジスタの**Enn, TCn**ビットが次のように設定されている状態で，**DTFRn**レジスタに設定している内蔵周辺**I/O**からの割り込み要求が発生すると，**DMA**転送要求を開始します（**n = 0-3）。

- Enn**ビット** = 1
- TCn**ビット** = 0

6. 10　強制中断

DMA転送中のNMI入力により，DMA転送を強制的に中断できます。

このときDMACは，すべてのチャネルのDCHCnレジスタのEnnビットをクリア（0）して，DMA転送禁止状態にし，NMI入力時に実行していたDMA転送を完了してから，NMI要求を受け付けます（n = 0-3）。

強制中断したDMA転送は，DCHCnレジスタのINITnビットでDMAを強制終了させて，初期化してください。

6. 11　DMA転送の終了

DMA転送が終了し，DCHCnレジスタのTCnビットがセット（1）されると，割り込みコントローラ（INTC）に対して，DMA転送終了割り込み（INTDMAn）を発生します（n = 0-3）。

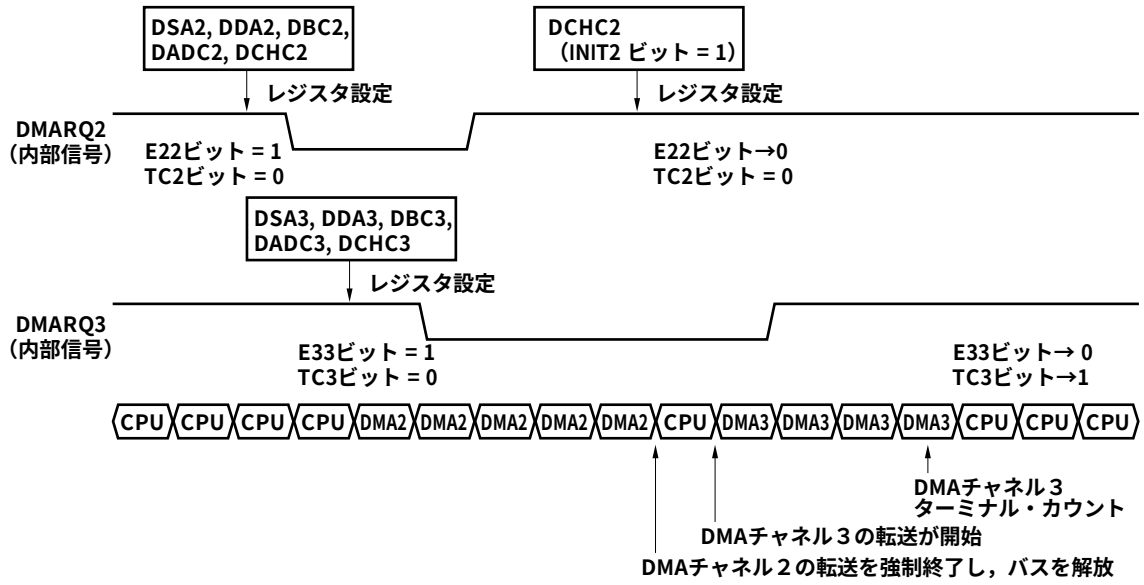
6. 12　強制終了

DMA転送は，NMI入力による強制中断のほかに，DCHCnレジスタのINITnビットによって強制終了することができます（n = 0-3）。

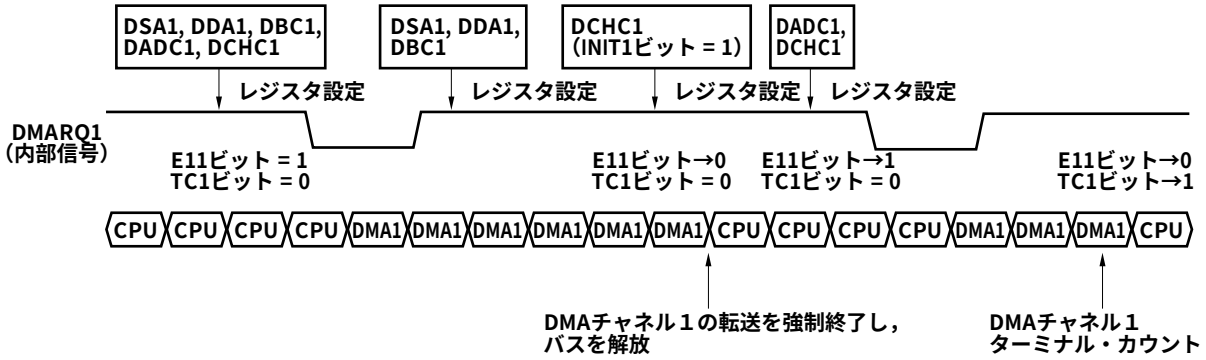
DCHCnレジスタのINITnビットによる強制終了動作の例を次に示します（n = 0-3）

図6－9　DMA転送の強制終了例

（a）DMAチャネル2のブロック転送中にDMAチャネル3のブロック転送を開始する場合



（b）DMAチャネル1のブロック転送中に転送を中断し，ほかの条件の転送を実行する場合



備考　DSAn, DDAn, DBCnレジスタはFIFO形式のバッファ・レジスタのため，強制終了時も値が保持されます（n = 0-3）。また，DMA転送中でも次の転送条件を設定可能です。一方，DADCn, DCHCnレジスタはバッファ・レジスタではないため，DMA転送中の設定は無効となります（6. 8　**ネクスト・アドレス設定機能**，6. 3. 4　DMA**アドレシング・コントロール・レジスタ**0-3（DADC0-DADC3），6. 3. 5　DMA**チャネル・コントロール・レジスタ**0-3（DCHC0-DCHC3）参照）。

6. 12. 1　DMA転送強制終了に関する制限事項

DCHCnレジスタのINITnビットにより，DMA転送を強制終了する場合，INITnビットをセット（1）したにもかかわらず，強制終了されずに中断状態になることがあります。このため，強制終了させたはずのチャネルのDMA転送を再開させた場合に，想定外の転送回数完了後にDMA転送が終了し，DMA転送終了割り込み（INTDMAn）が発生することがあります（n = 0-3）。

【回避方法】

次のいずれかの方法によりソフトウエアで回避できます。

（1）一時的にすべてのDMAチャネルの転送を停止させる方法

次に示す回避処理手順以外で，DCHCnレジスタのTCnビット = 1となっていることを期待したプログラム構成になっていない（DCHCnレジスタのTCnビットは読み出しによりクリア（0）されるため，回避処理手順⑤の（ii）の回避処理ルーチン実行により，クリア（0）されてしまう）場合のみ，制限事項を回避できます。

① 割り込み禁止（DI）状態にする。
② DMAリスタート・レジスタ（DRST）を読み出し，各チャネルのENnビットを汎用レジスタに転送する（値A）。
③ DRSTレジスタに00Hを書き込む（2回実行[注]）。2回実行することで④の処理以前に必ずDMA転送が停止する。
④ 強制終了するチャネルのDCHCnレジスタのINITnビットをセット（1）する。
⑤ ②で読み出した値Aに対して次の操作を行う（値B）。
　（i）強制終了するチャネルのビットをクリア（0）する。
　（ii）強制終了しない各チャネルのDCHCnレジスタのTCnビットとDRSTレジスタのENnビットがともに1（ANDが1）の場合は，そのチャネルのビットをクリア（0）する。
⑥ ⑤で操作した値BをDRSTレジスタに書き込む。
⑦ 割り込み許可（EI）状態にする。

注　転送対象（転送元または転送先）が内蔵RAMの場合は，3回実行してください。

注意　⑤は，②，③の間に正常終了したチャネルに対して，再度DRSTレジスタのENnビットを不正にセット（1）するのを防ぐため，必ず行ってください。

備考　n = 0-3

(2) 正常に強制終了するまでDCHCnレジスタのINITnビットのセットを繰り返し実行する方法

次に回避処理手順を示します。

① 強制終了したいチャネルの初期転送回数を汎用レジスタにコピーする。
② 強制終了するチャネルのDCHCnレジスタのINITnビットをセット（1）する。
③ 強制終了するチャネルのDMA転送カウント・レジスタn（DBCn）の値を読み込み，①でコピーした値と比較する。一致しない場合は②，③を繰り返す。

注意1. ③でDBCnレジスタを読み込んだ場合，この制限事項によりDMAが停止したときは残りの転送回数がリードされ，正常に強制終了したときは初期転送回数がリードされます。
2. この回避方法は，強制終了の対象となっているDMAチャネル以外のDMA転送が，頻繁に行われるようなアプリケーションでは強制終了されるまでに時間を要する可能性があるため，注意してください。

備考　n = 0-3

6. 13　DMA転送に関する各種時間

DMA転送前後のオーバヘッド部分，DMA転送にかかる最小クロック数を次に示します。

表6－3　DMAサイクル中の最小実行クロック数

DMAサイクル		最小実行クロック数
①DMA要求に対する応答時間		4クロック[注1]
②メモリ・アクセス	内蔵RAMアクセス	2クロック[注2]
	内蔵周辺I/Oレジスタ・アクセス	4クロック＋VSWCレジスタによるウエイト数

注1. 外部割り込み（INTPn）をDMA転送の起動要因に指定した場合，ノイズ除去時間が加算されます（n = 0-4, 100, 101, 20-25, 30, 31）。
2. DMAサイクルの場合は，2クロックかかります。

また，各転送モードにおけるDMAサイクル中の最小実行クロックを次に示します。

シングル転送：DMA応答時間（①）＋転送元メモリ・アクセス（②）＋1[注]＋転送先メモリ・アクセス（②）
ブロック転送：DMA応答時間（①）＋（転送元メモリ・アクセス（②）＋1[注]＋転送先メモリ・アクセス（②））×転送回数

注　DMA転送のリード・サイクルとライト・サイクルの間には，必ず1クロック挿入されます。

6. 14　注意事項

(1) メモリ境界

DMA転送中に，転送元，または転送先のアドレスがDMA対象（外部メモリ，内蔵RAM，内蔵周辺I/O）の領域を越えた場合の動作は保証しません。

(2) ミス・アライン・データの転送

16ビット・バス幅のミス・アライン・データのDMA転送はサポートしていません。

奇数アドレスを転送元，または転送先に指定した場合，アドレスの最下位ビットは強制的に0として扱われます。

★ **(3) CPUへのバス・アービトレーション**

バス使用権の優先順位はCPUよりDMAコントローラが高いため，DMA転送中に発生したCPUのアクセスは，DMA転送サイクルが完了しCPUにバスが解放されるまで待たされます。

ただし，CPUはDMA転送を行っていない内蔵ROM，内蔵RAMにアクセスが可能です。

- 外部メモリ⇔内蔵周辺I/Oとの間でDMA転送が行われているとき，CPUは内蔵ROM，内蔵RAMにアクセスできます。
- 内蔵周辺I/O⇔内蔵RAMでDMA転送が行われているときは，CPUは内蔵ROMにアクセスできます。

★ **(4) DMAの起動要因**

複数のDMAチャネルを同じ起動要因で設定する場合は注意してください。

起動した場合，優先順位の低いDMAチャネルが優先順位の高いDMAチャネルより先に受け付けられる場合があります。

(5) 内蔵RAMでのプログラム実行とDMA転送

内蔵RAMを対象としたDMA転送と内蔵RAMでの命令実行は同時に行わないでください。

(6) DCHCnレジスタのTCnビットの自動クリアに関する制限事項

DCHCnレジスタのTCnビットは，読み出しにより自動的にクリア（0）されますが，2チャネル以上のDMA転送を同時に使用するときに，内蔵RAMを対象（転送元または転送先）とするDMA転送を行う場合には，DMA転送終了後にTCnビットを読み出しても，クリア（0）されないことがあります（n = 0-3）。

注意　次に示す条件が1つでも当てはまる場合には，本制限事項は該当しません。

- DMA転送を1チャネルのみ使用している。
- 内蔵RAMを対象（転送元または転送先）とするDMA転送を行っていない。

【回避方法】

内蔵RAMを対象とするDMAチャネルのDCHCnレジスタのTCnビットを読み出す場合には，必ず3回連続でTCnビットを読み出してください。これにより，確実にTCnビットをクリア（0）できます。

（7）DSAn, DDAnレジスタの読み出し値

DMA転送中に，DSAn，DDAnレジスタの値を読み出した場合，更新途中の値が読み出されることがあります（n = 0-3）。

たとえば，DMA転送元アドレス（DSAnレジスタ）が「0000FFFFH」，カウント方向がインクリメント（DADCnレジスタのSADn1, SADn0ビット = 00）の場合，DSAnHレジスタ→DSAnLレジスタの順に読み出しを行うと，DSAnHレジスタ読み出し直後のDMA転送の有無によって，DSAnLレジスタの値が次のように異なります。

（a）DSAnレジスタの読み出し中にDMA転送が発生しない場合

<1>DSAnHレジスタの読み出し：DSAnH = 0000H
<2>DSAnLレジスタの読み出し：DSAnL = FFFFH

（b）DSAnレジスタの読み出し中にDMA転送が発生する場合

<1>DSAnHレジスタの読み出し：DSAnH = 0000H
<2>DMA転送の発生
<3>DSAnレジスタのインクリメント：DSAn = 00010000H
<4>DSAnLレジスタの読み出し：DSAnL = 0000H

第7章　割り込み／例外処理機能

V850E/IA2は，合計48要因の割り込み要求を処理できる割り込みコントローラ（INTC）を内蔵しています。

なお，割り込みをプログラムの実行とは別に独立して発生する事象とし，例外をプログラムの実行に依存して発生する事象とします。

V850E/IA2では，内蔵している周辺ハードウエアおよび外部からの各種割り込み要求を処理できます。さらに，TRAP命令による例外処理の起動（ソフトウエア例外）や，例外事象の発生（不正命令コードのフェッチ）による例外処理の起動（例外トラップ）が可能です。

各割り込み要求には，ソフトウエアにより8レベルの優先順位指定が可能です。

割り込み処理は，割り込み要求発生から最小4システム・クロック（100 ns（40 MHz時））後に起動されます。

7.1 特　　徴

○割り込み

・ノンマスカブル割り込み ：1要因

注意　P00はNMIと兼用し入力固定です。P00とNMIの切り替えはできません。P0レジスタのP00ビットをリードすると，P00/NMI端子のレベルを読み出します。
また，NMI端子の有効エッジの設定は，INTM0レジスタのESN0ビットで行ってください（初期値：立ち下がりエッジ検出）。

・マスカブル割り込み　　：47要因
・8レベルのプログラマブル優先順位制御（マスカブル割り込み）
・優先順位に従った割り込み多重処理制御
・個々のマスカブル割り込み要求に対するマスク指定
・外部割り込み要求のノイズ除去[注]とエッジ検出および有効エッジ指定

注　ノイズ除去回路については，12.5　**ノイズ除去回路**を参照してください。

○例外

・ソフトウエア例外 ：32要因
・例外トラップ　　：2要因（不正命令コード例外，デバッグ・トラップ）

これらの割り込み／例外要因を表7－1に示します。

表7－1　割り込み／例外要因一覧（1/2）

種　類	分類	割り込み／例外要因				ディフォールト・プライオリティ	例外コード	ハンドラ・アドレス	復帰PC
		名　称	制御レジスタ	発生要因	発生ユニット				
リセット	割り込み	RESET	－	$\overline{\text{RESET}}$入力	端子	－	0000H	00000000H	不定
ノンマスカブル	割り込み	NMI0	－	NMI入力	端子	－	0010H	00000010H	nextPC
ソフトウエア例外	例外	TRAP0n[注1]	－	TRAP命令	－	－	004nH[注1]	00000040H	nextPC
	例外	TRAP1n[注1]	－	TRAP命令	－	－	005nH[注1]	00000050H	nextPC
例外トラップ	例外	ILGOP/DBG0	－	不正命令コード／DBTRAP命令	－	－	0060H	00000060H	nextPC
マスカブル	割り込み	INTP0	P0IC0	INTP0端子	端子	0	0080H	00000080H	nextPC
	割り込み	INTP1	P0IC1	INTP1端子	端子	1	0090H	00000090H	nextPC
	割り込み	INTP2	P0IC2	INTP2端子	端子	2	00A0H	000000A0H	nextPC
	割り込み	INTP3	P0IC3	INTP3端子	端子	3	00B0H	000000B0H	nextPC
	割り込み	INTP4	P0IC4	INTP4端子	端子	4	00C0H	000000C0H	nextPC
	割り込み	－	－	未使用[注2]	－	－	－	000000D0H	－
	割り込み	－	－	未使用[注2]	－	－	－	000000E0H	－
	割り込み	INTDET0	DETIC0	AD0電圧検知	ADC0	5	00F0H	000000F0H	nextPC
	割り込み	INTDET1	DETIC1	AD1電圧検知	ADC1	6	0100H	00000100H	nextPC
	割り込み	INTTM00	TM0IC0	TM00アンダフロー	TM00	7	0110H	00000110H	nextPC
	割り込み	INTCM003	CM03IC0	CM003一致	TM00	8	0120H	00000120H	nextPC
	割り込み	INTTM01	TM0IC1	TM01アンダフロー	TM01	9	0130H	00000130H	nextPC
	割り込み	INTCM013	CM03IC1	CM013一致	TM01	10	0140H	00000140H	nextPC
	割り込み	INTP100/INTCC100	CC10IC0	INTP100端子／CC100一致	端子／TM10	11	0150H	00000150H	nextPC
	割り込み	INTP101/INTCC101	CC10IC1	INTP101/INTP100端子[注3]／CC101一致	端子／TM10	12	0160H	00000160H	nextPC
	割り込み	INTCM100	CM10IC0	CM100一致	TM10	13	0170H	00000170H	nextPC
	割り込み	INTCM101	CM10IC1	CM101一致	TM10	14	0180H	00000180H	nextPC
	割り込み	－	－	未使用[注2]	－	－	－	00000190H	－
	割り込み	－	－	未使用[注2]	－	－	－	000001A0H	－
	割り込み	－	－	未使用[注2]	－	－	－	000001B0H	－
	割り込み	－	－	未使用[注2]	－	－	－	000001C0H	－
	割り込み	INTTM20	TM2IC0	TM20オーバフロー	TM20	15	01D0H	000001D0H	nextPC
	割り込み	INTTM21	TM2IC1	TM21オーバフロー	TM21	16	01E0H	000001E0H	nextPC
	割り込み	INTP20/INTCC20	CC2IC0	INTP20端子／CC20一致	端子／TM20	17	01F0H	000001F0H	nextPC
	割り込み	INTP21/INTCC21	CC2IC1	INTP21端子／CC21一致	端子／TM20/TM21	18	0200H	00000200H	nextPC
	割り込み	INTP22/INTCC22	CC2IC2	INTP22端子／CC22一致	端子／TM20/TM21	19	0210H	00000210H	nextPC
	割り込み	INTP23/INTCC23	CC2IC3	INTP23端子／CC23一致	端子／TM20/TM21	20	0220H	00000220H	nextPC
	割り込み	INTP24/INTCC24	CC2IC4	INTP24端子／CC24一致	端子／TM20/TM21	21	0230H	00000230H	nextPC
	割り込み	INTP25/INTCC25	CC2IC5	INTP25端子／CC25一致	端子／TM21	22	0240H	00000240H	nextPC
	割り込み	INTTM3	TM3IC0	TM3オーバフロー	TM3	23	0250H	00000250H	nextPC

注1. n = 0-FHの値

2. V850E/IA1への拡張用に予約されています。

3. CSL10レジスタで選択します。

表7－1　割り込み／例外要因一覧（2/2）

種　類	分類	割り込み／例外要因				ディフォールト・プライオリティ	例外コード	ハンドラ・アドレス	復帰PC
		名　称	制御レジスタ	発生要因	発生ユニット				
マスカブル	割り込み	INTP30/INTCC30	CC3IC0	INTP30端子／CC30一致	端子／TM3	24	0260H	00000260H	nextPC
	割り込み	INTP31/INTCC31	CC3IC1	INTP31端子／CC31一致	端子／TM3	25	0270H	00000270H	nextPC
	割り込み	INTCM4	CM4IC0	CM4一致信号	TM4	26	0280H	00000280H	nextPC
	割り込み	INTDMA0	DMAIC0	DMA0転送終了	DMA	27	0290H	00000290H	nextPC
	割り込み	INTDMA1	DMAIC1	DMA1転送終了	DMA	28	02A0H	000002A0H	nextPC
	割り込み	INTDMA2	DMAIC2	DMA2転送終了	DMA	29	02B0H	000002B0H	nextPC
	割り込み	INTDMA3	DMAIC3	DMA3転送終了	DMA	30	02C0H	000002C0H	nextPC
	割り込み	－	－	未使用[注]	－	－	－	000002D0H	－
	割り込み	－	－	未使用[注]	－	－	－	000002E0H	－
	割り込み	－	－	未使用[注]	－	－	－	000002F0H	－
	割り込み	－	－	未使用[注]	－	－	－	00000300H	－
	割り込み	INTCSI0	CSIIC0	CSI0送受信完了	CSI0	31	0310H	00000310H	nextPC
	割り込み	INTCSI1	CSIIC1	CSI1送受信完了	CSI1	32	0320H	00000320H	nextPC
	割り込み	INTSR0	SRIC0	UART0受信完了	UART0	33	0330H	00000330H	nextPC
	割り込み	INTST0	STIC0	UART0送信完了	UART0	34	0340H	00000340H	nextPC
	割り込み	INTSER0	SEIC0	UART0受信エラー	UART0	35	0350H	00000350H	nextPC
	割り込み	INTSR1	SRIC1	UART1受信完了	UART1	36	0360H	00000360H	nextPC
	割り込み	INTST1	STIC1	UART1送信完了	UART1	37	0370H	00000370H	nextPC
	割り込み	－	－	未使用[注]	－	－	－	00000380H	－
	割り込み	－	－	未使用[注]	－	－	－	00000390H	－
	割り込み	INTAD0	ADIC0	AD0変換終了	ADC0	38	03A0H	000003A0H	nextPC
	割り込み	INTAD1	ADIC1	AD1変換終了	ADC1	39	03B0H	000003B0H	nextPC
	割り込み	－	－	未使用[注]	－	－	－	000003C0H	－
	割り込み	－	－	未使用[注]	－	－	－	000003D0H	－
	割り込み	－	－	未使用[注]	－	－	－	000003E0H	－
	割り込み	INTCM010	CM00IC1	CM010一致	TM01	40	03F0H	000003F0H	nextPC
	割り込み	INTCM011	CM01IC1	CM011一致	TM01	41	0400H	00000400H	nextPC
	割り込み	INTCM012	CM02IC1	CM012一致	TM01	42	0410H	00000410H	nextPC
	割り込み	INTCM014	CM04IC1	CM014一致	TM01	43	0420H	00000420H	nextPC
	割り込み	INTCM015	CM05IC1	CM015一致	TM01	44	0430H	00000430H	nextPC
	割り込み	INTCM004	CM04IC0	CM004一致	TM00	45	0440H	00000440H	nextPC
	割り込み	INTCM005	CM05IC0	CM005一致	TM00	46	0450H	00000450H	nextPC

注　V850E/IA1への拡張用に予約されています。

備考1.　ディフォールト・プライオリティ：複数の同一優先順位レベルのマスカブル割り込み要求信号が同時に発生している場合に優先される順位です。0が最高優先順位です。

復帰PC：割り込み処理起動時に，CPUのEIPC, FEPCまたはDBPCにセーブされるプログラム・カウンタ（PC）のことです。なお，次の命令実行中にノンマスカブル／マスカブル割り込みを受け付けた場合の復帰PCはnext PCとはなりません（命令実行中に割り込みを受け付けると実行を中止し，割り込み処理完了後に再実行されます。この場合，中断された命令のアドレスが復帰PCとなります）。

- ロード命令（SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W）
- 除算命令（DIV, DIVH, DIVU, DIVHU）
- PREPARE, DISPOSE命令（スタック・ポインタの更新前に割り込みが発生した場合のみ）

nextPC：割り込み／例外処理後に処理を開始するPC値です。

2.　不正命令コード例外時の不正命令の実行アドレスは，（復帰PC－4）で求められます。

7.2　ノンマスカブル割り込み

ノンマスカブル割り込み要求は，割り込み禁止（DI）状態であっても無条件に受け付けられます。また，割り込み優先順位の対象にならず，すべての割り込み要求に対して最優先の割り込み要求です。

ノンマスカブル割り込み要求は，NMI端子によって行います。NMI端子入力に外部割り込みモード・レジスタ0（INTM0）のビット0（ESN0）で指定した有効エッジが検出されたとき，割り込みは発生します。

ノンマスカブル割り込みのサービス・プログラムを実行している場合は，ノンマスカブル割り込み要求は，保留されます。保留されたノンマスカブル割り込みは，現在実行中のノンマスカブル割り込みサービス・プログラムの終了後（RETI命令実行後），受け付けられます。ただし，ノンマスカブル割り込みサービス・プログラム実行中に，ノンマスカブル割り込み要求が2回以上発生しても，RETI命令実行後に受け付けられるノンマスカブル割り込みは1回だけになります。

7.2.1 動　　作

NMI入力によりノンマスカブル割り込みが発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンへ制御を移します。

(1) 復帰PCをFEPCに退避します。
(2) 現在のPSWをFEPSWに退避します。
(3) ECRの上位ハーフワード（FECC）に例外コード（0010H）を書き込みます。
(4) PSWのNP, IDビットをセットし，EPビットをクリアします。
(5) PCにノンマスカブル割り込みに対するハンドラ・アドレス（00000010H）をセットし，制御を移します。

ノンマスカブル割り込みの処理形態を図7－1に示します。

図7－1　ノンマスカブル割り込みの処理形態

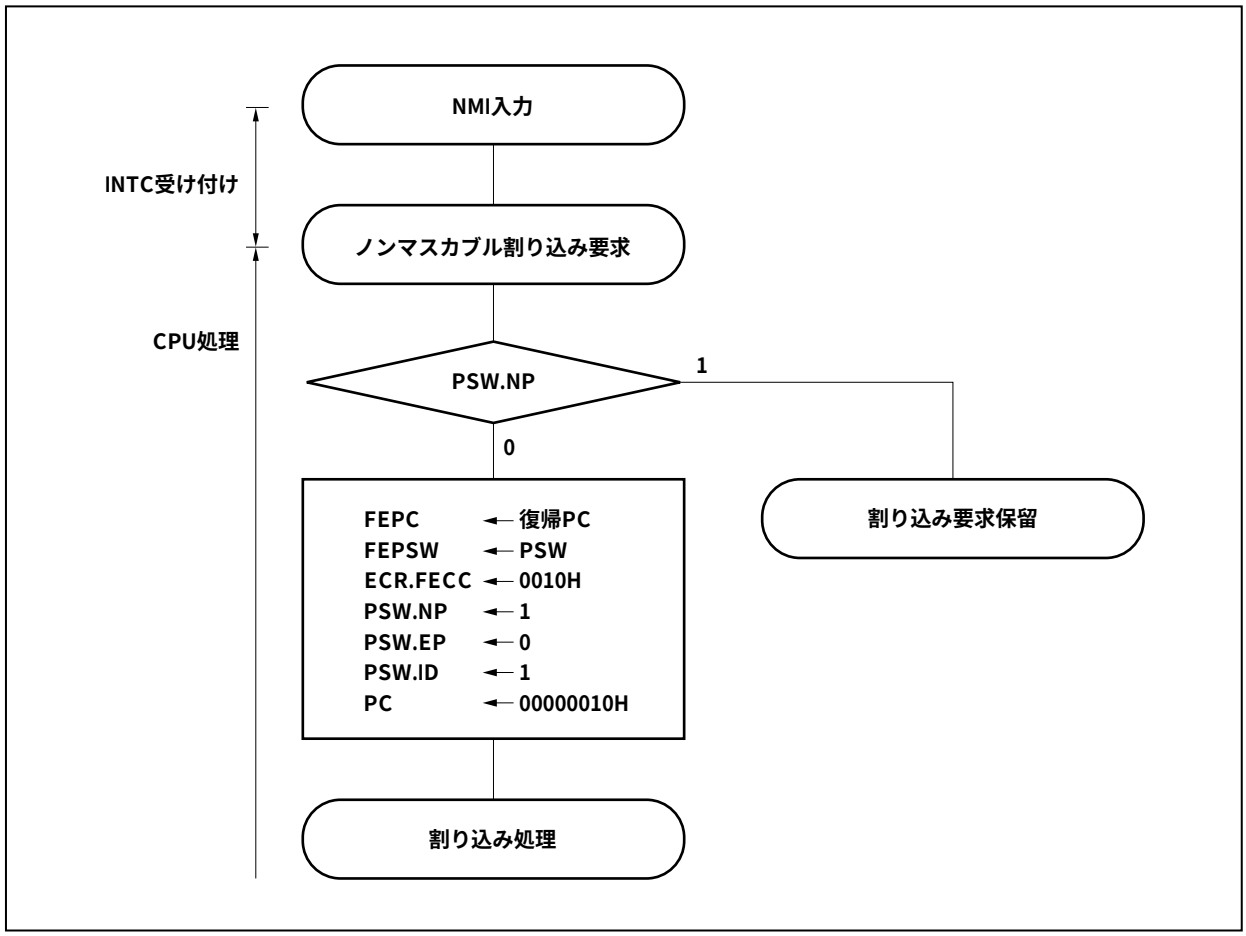
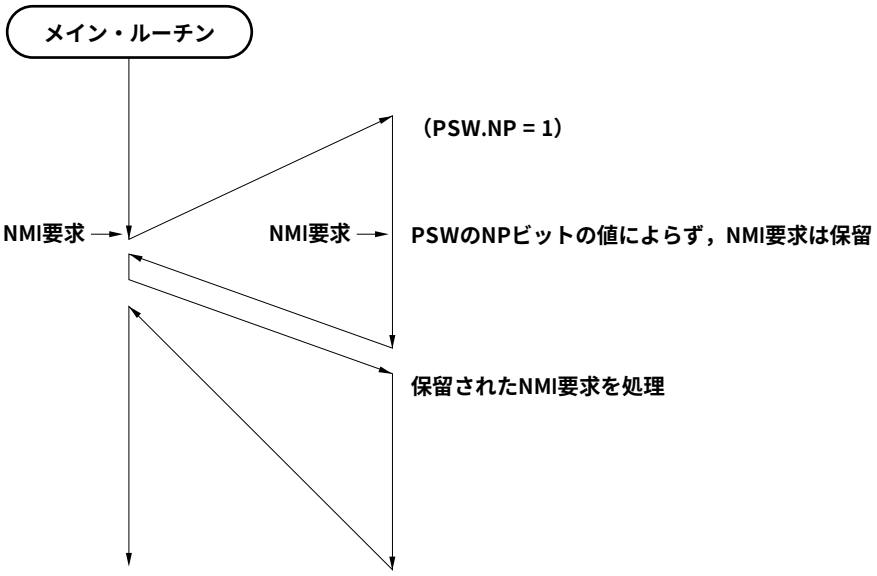
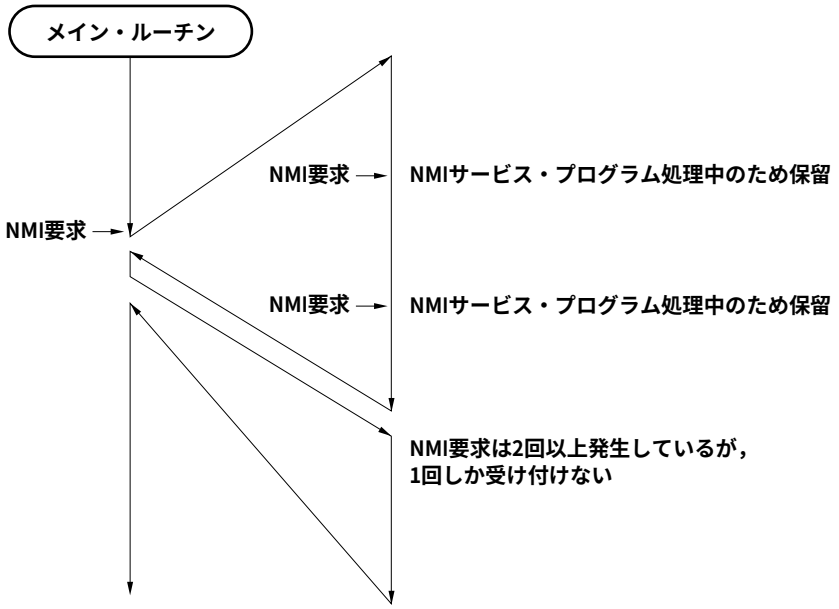


図7－2　ノンマスカブル割り込み要求の受け付け動作

（a）NMIサービス・プログラム実行中に新たなNMI要求が発生した場合



（b）NMIサービス・プログラム実行中に新たに2回のNMI要求が発生した場合



7.2.2 復　　帰

ノンマスカブル割り込み処理からの復帰は，RETI命令により行います。

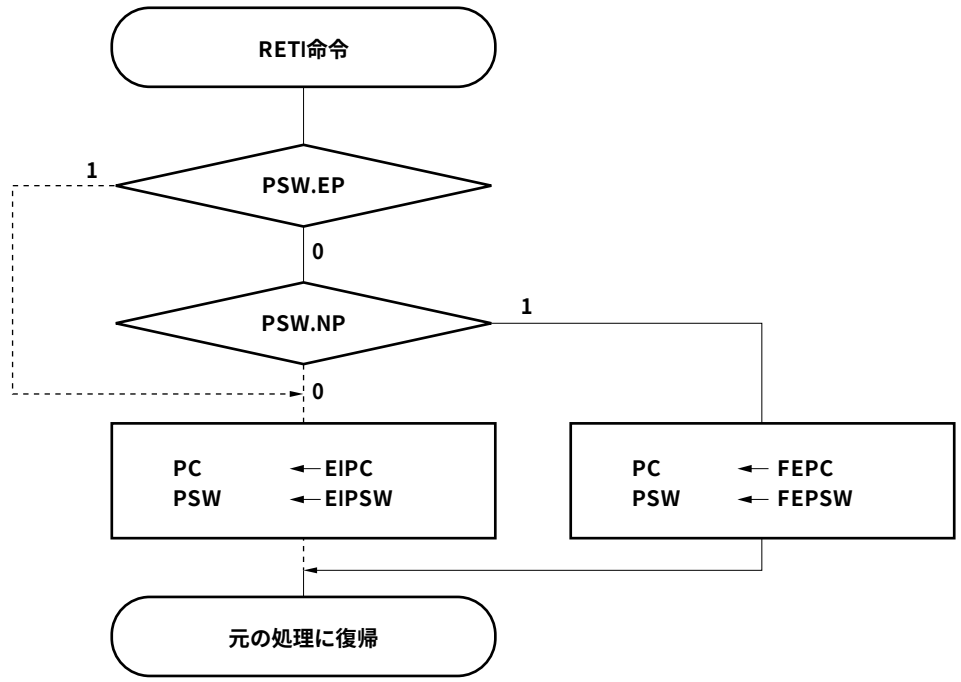
RETI命令の実行により，CPUは次の処理を行い復帰PCのアドレスへの制御を移します。

(1) PSWのEPビットが0かつPSWのNPビットが1なので，FEPC, FEPSWから復帰PC, PSWを取り出します。

(2) 取り出した復帰PCのアドレス，PSWの状態に制御を移します。

RETI命令の処理形態を図7－3に示します。

図7－3　RETI命令の処理形態



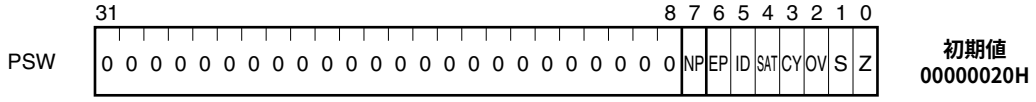
注意　ノンマスカブル割り込み処理中にLDSR命令によりPSW.EPビット，PSW.NPビットを変更した場合には，RETI命令による復帰時にPCとPSWを正常にリストアするために，RETI命令の直前で，LDSR命令を使用してPSW.EP = 0かつPSW.NP = 1に戻しておく必要があります。

備考　CPUは実線のフローで処理します。

7.2.3　ノンマスカブル割り込みステータス・フラグ（NP）

NPフラグは，PSWのビット7です。NPフラグは，ノンマスカブル割り込み（NMI）の処理中であることを示すステータス・フラグです。

NMI割り込み要求を受け付けるとセットされ,すべての割り込みと例外をマスクして多重割り込みを禁止します。



ビット位置	ビット名	意　味
7	NP	NMI処理中であることを示します。 0：NMI割り込み処理中でない。 1：NMI割り込み処理中。

7.2.4　エッジ検出機能

(1) 外部割り込みモード・レジスタ0（INTM0）

外部割り込みモード・レジスタ0（INTM0）は，ノンマスカブル割り込み（NMI）の有効エッジを指定するレジスタです。ESN0ビットによって，NMIの有効エッジを，立ち上がりエッジ，立ち下がりエッジのいずれかに指定できます。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	⓪	アドレス	初期値
INTM0	0	0	0	0	0	0	0	ESN0	FFFFF880H	00H

ビット位置	ビット名	意　味
0	ESN0	NMI端子の有効エッジを指定します。 0：立ち下がりエッジ 1：立ち上がりエッジ

7. 3　マスカブル割り込み

マスカブル割り込み要求は，割り込み制御レジスタにより，割り込み受け付けをマスクできる割り込み要求で，47種類の割り込み要因があります。

複数のマスカブル割り込み要求が同時に発生した場合は，ディフォールト優先順位により，その優先順位が決定します。また，ディフォールト優先順位とは別に，割り込み制御レジスタによって，8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求が受け付けられると割り込み禁止（DI）状態になり，以後のマスカブル割り込み要求の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり，受け付け中の割り込み要求の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし，多重割り込みを行う場合，次の処理が必要です。

① EI命令を実行する前にEIPC, EIPSWをメモリか汎用レジスタに退避
② RETI命令を実行する前にDI命令を実行し，続いて退避させた値をEIPC, EIPSWに復帰

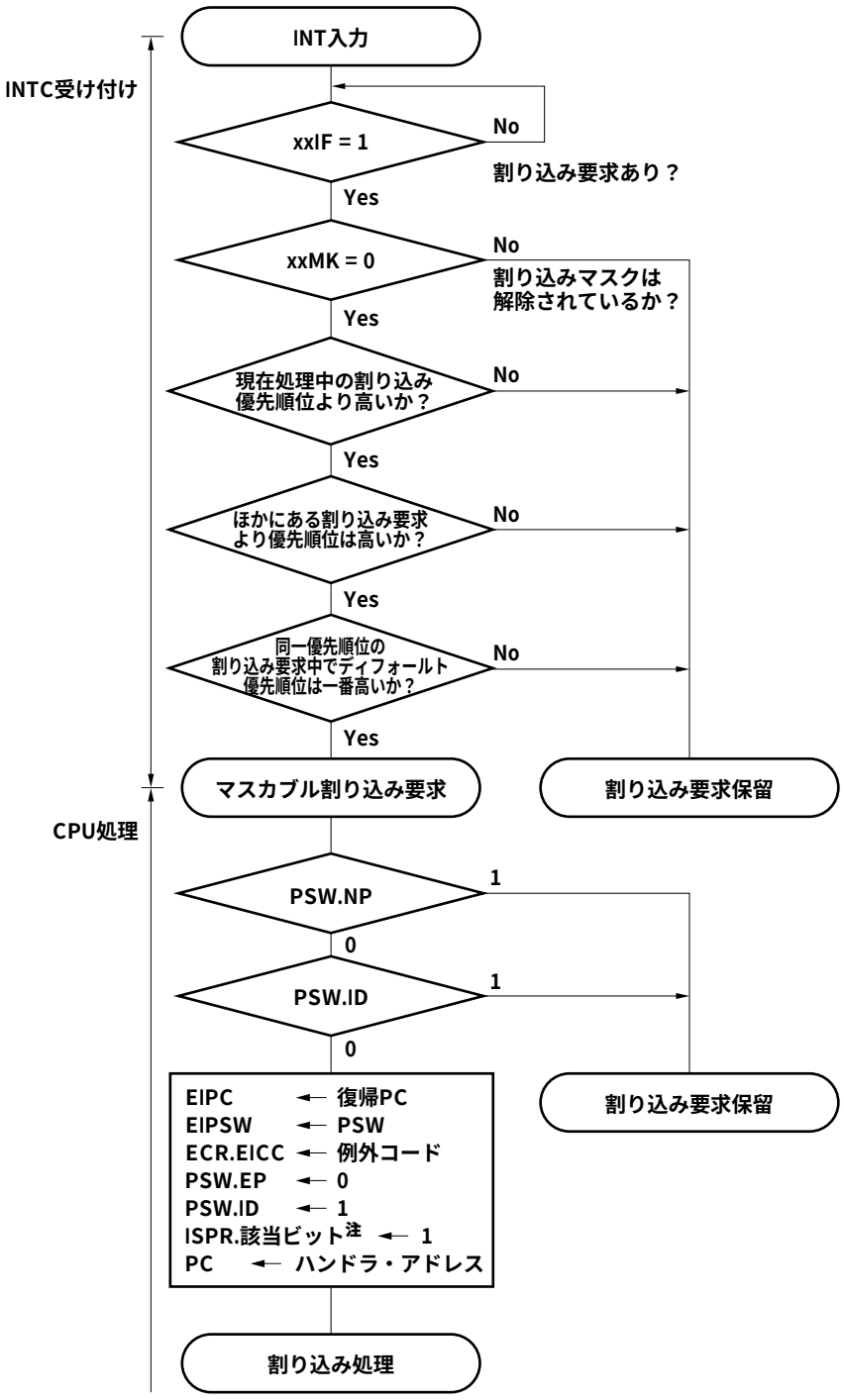
7. 3. 1　動　　作

INT入力によりマスカブル割り込みが発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンへ制御を移します。

(1) 復帰PCをEIPCに退避します。
(2) 現在のPSWをEIPSWに退避します。
(3) ECRの下位ハーフワード（EICC）に例外コードを書き込みます。
(4) PSWのIDビットをセットし，EPビットをクリアします。
(5) PCに各割り込みに対するハンドラ・アドレスをセットし，制御を移します。

マスカブル割り込みの処理形態を図7－4に示します。

図7－4　マスカブル割り込みの処理形態



注　ISPRレジスタについては，7. 3. 6　**インサービス・プライオリティ・レジスタ**（ISPR）を参照してください。

割り込みコントローラでマスクされているINT入力と，ほかの割り込み処理中（PSW.NP = 1またはPSW.ID = 1）に発生したINT入力は，割り込みコントローラの内部で保留されます。この場合マスクを解除するか，またはRETI命令，LDSR命令を使用して，PSW.NP = 0かつPSW.ID = 0にすると，保留していたINT入力により新たなマスカブル割り込み処理が開始されます。

7. 3. 2　復　　帰

マスカブル割り込み処理からの復帰は，RETI命令により行います。

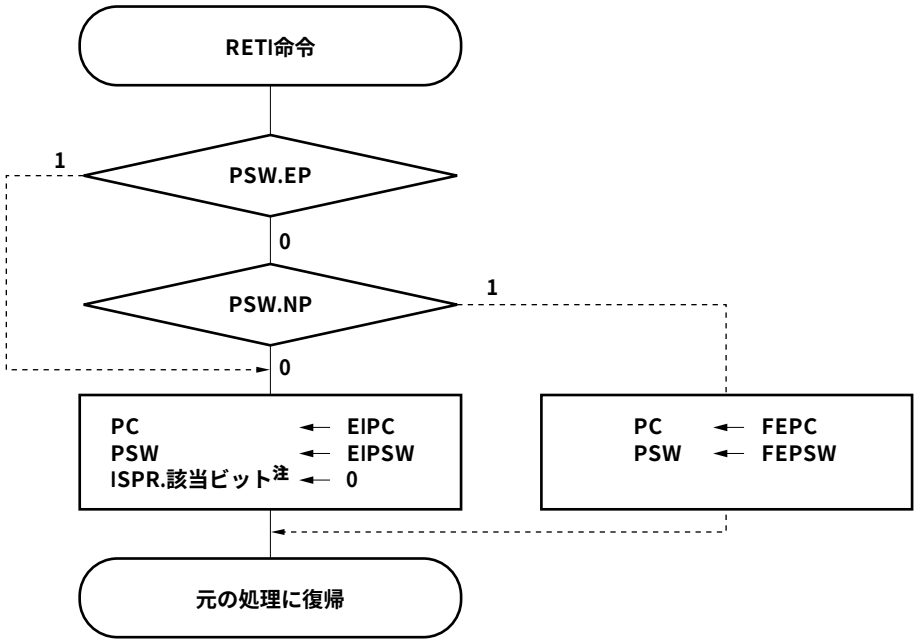
RETI命令の実行により，CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

(1) PSWのEPビットが0かつPSWのNPビットが0なので，EIPC, EIPSWから復帰PC, PSWを取り出します。

(2) 取り出した復帰PCのアドレス，PSWの状態に制御を移します。

RETI命令の処理形態を図7－5に示します。

図7－5　RETI命令の処理形態



注　ISPRレジスタについては，7. 3. 6　インサービス・プライオリティ・レジスタ（ISPR）を参照してください。

注意　マスカブル割り込み処理中にLDSR命令によりPSW.EPビット，PSW.NPビットを変更した場合は，RETI命令による復帰時にPCとPSWを正常にリストアするために，RETI命令の直前で，LDSR命令を使用してPSW.EP = 0かつPSW.NP = 0に戻しておく必要があります。

備考　CPUは実線のフローで処理します。

7.3.3　マスカブル割り込みの優先順位

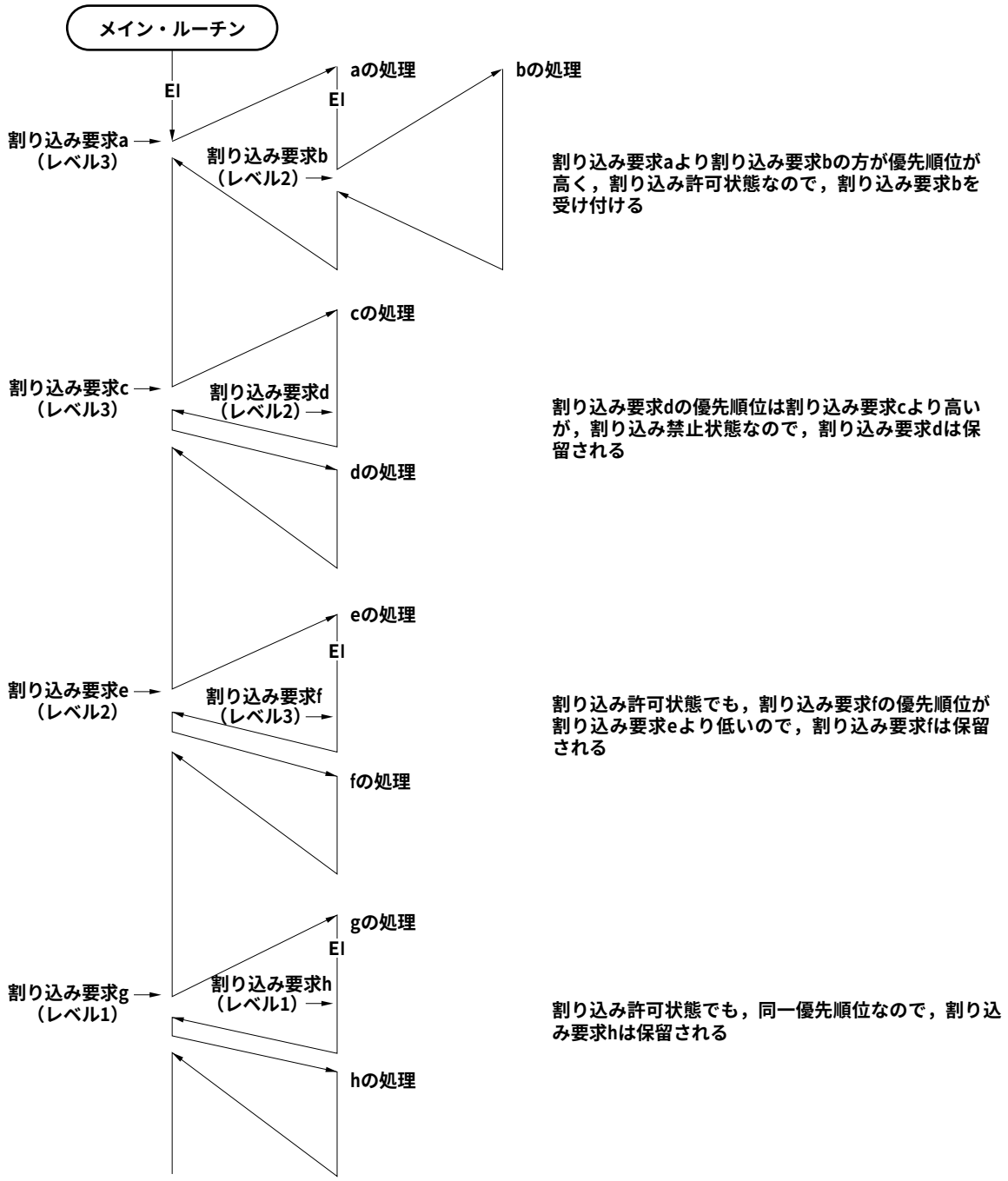
INTCは，割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは，優先順位によって制御できます。

優先順位制御には，ディフォールト優先順位による制御と，割り込み制御レジスタ（xxICn）の割り込み優先順位指定ビット（xxPRn）によるプログラマブル優先順位制御があります。ディフォールト優先順位制御は，xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合，各割り込み要求にあらかじめ割り付けてある優先順位（ディフォールト優先順位）に従って割り込みを処理します（**表7－1　割り込み／例外要因一覧**参照）。プログラマブル優先順位制御は，各割り込み要求を優先順位指定フラグの設定によって8レベルに分けます。

なお，割り込み要求を受け付けるとPSWのIDフラグが自動的にセット（1）されるので，多重割り込みを使用する場合は，割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア（0）し，割り込み許可状態にしてください。

備考　xx：各周辺ユニット識別名称（**表7－2参照**）
　　n　：周辺ユニット番号（**表7－2参照**）

図7－6　割り込み処理中にほかの割り込み要求が発生した場合の処理例（1/2）

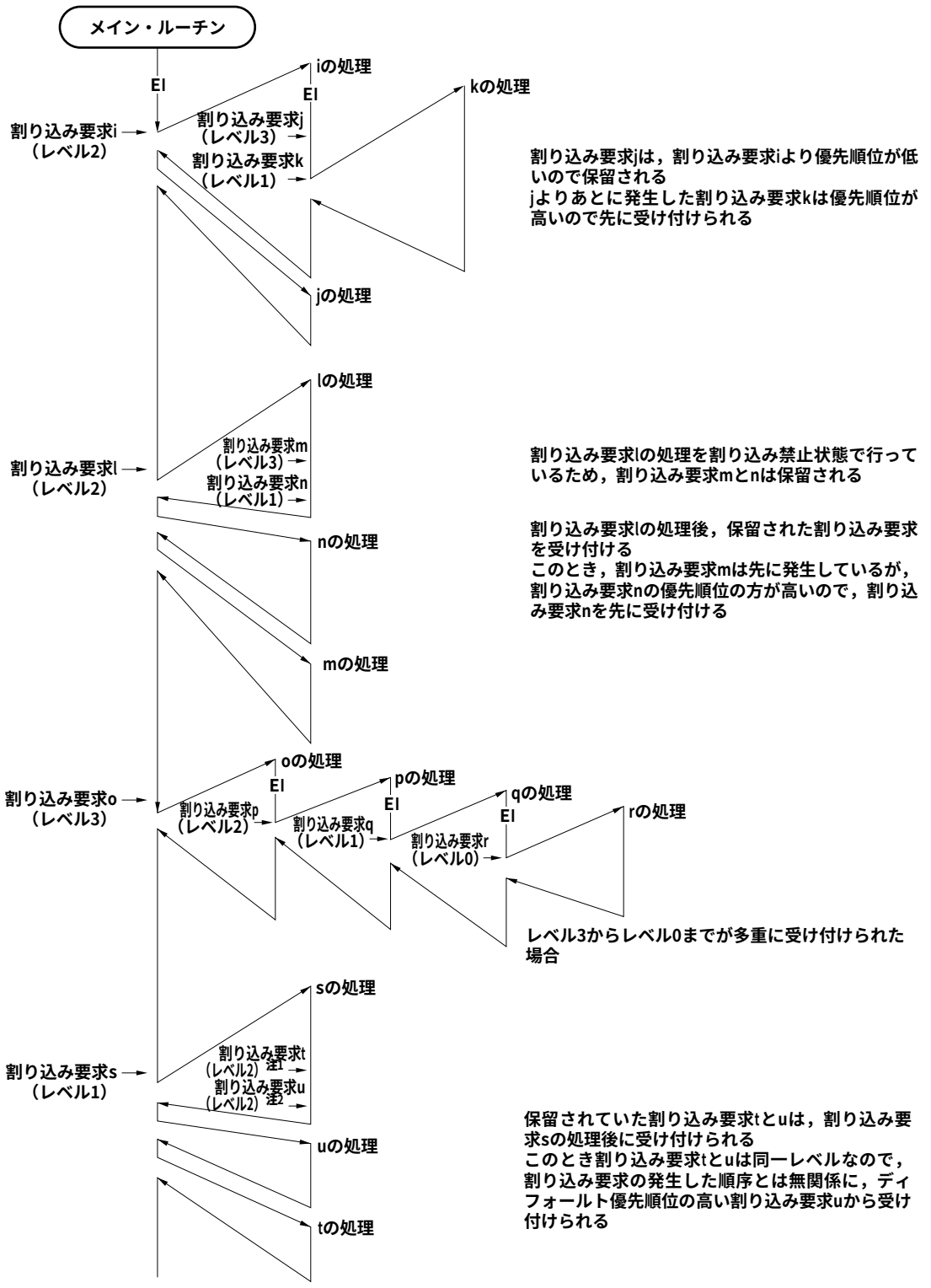


注意　多重割り込みを行うときはEI命令を実行する前に，EIPC，EIPSWの内容を退避する必要があります。また，多重割り込みから復帰する際は，DI命令を実行したあとに，EIPC，EIPSWの内容を復帰してください。

備考1.　図中のa-uは，割り込み要求を区別するために付けた仮の名称です。

2.　図中のディフォールト優先順位の高い／低いは，2つの割り込み要求間の相対的な優先順位の高さを示します。

図7－6　割り込み処理中にほかの割り込み要求が発生した場合の処理例（2/2）

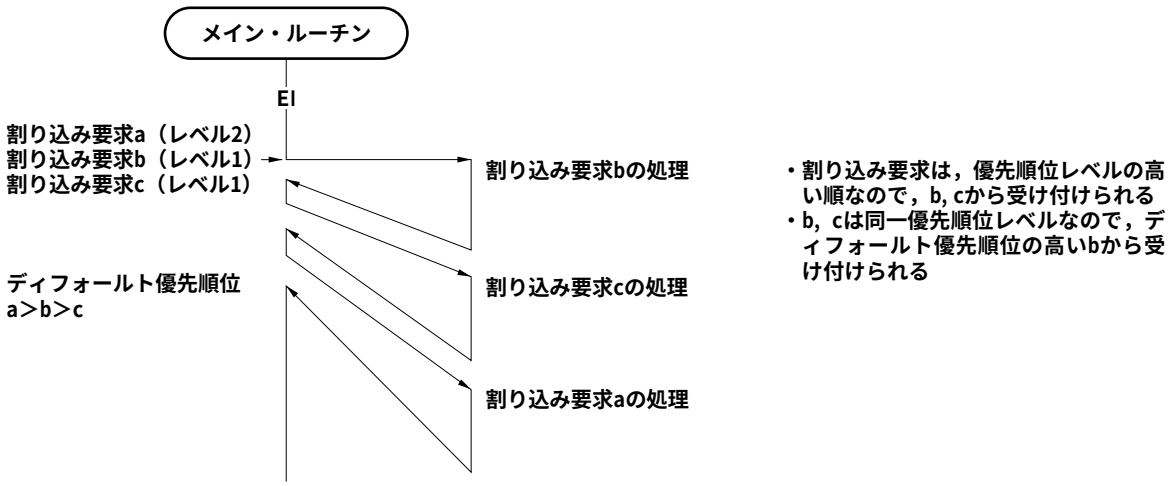


注意　多重割り込みを行うときはEI命令を実行する前に，EIPC，EIPSWの内容を退避する必要があります。また，多重割り込みから復帰する際は，DI命令を実行したあとに，EIPC，EIPSWの内容を復帰してください。

注1.　ディフォールト優先順位が低い

2.　ディフォールト優先順位が高い

図7－7　同時発生した割り込み要求の処理例



注意　多重割り込みを行うときはEI命令を実行する前に，EIPC，EIPSW命令の内容を退避する必要があります。また，多重割り込みから復帰する際は，DI命令を実行したあとに，EIPC，EIPSW命令の内容を復帰してください。

備考　図中のa-cは，割り込み要求を区別するために付けた仮の名称です。

7. 3. 4　割り込み制御レジスタ（xxICn）

割り込み要求（マスカブル割り込み）ごとに割り当てられ，各割り込みに対する制御条件を設定します。

8/1ビット単位でリード／ライト可能です。

注意1. xxICnレジスタのxxIFnビットを読み出す場合は，割り込み禁止（DI）状態で行ってください。割り込み許可（EI）状態でxxIFnビットを読み出すと，割り込みの受け付けとビットの読み出しのタイミングが競合した場合に，正常な値が読み出せないことがあります。

★ 2. 割り込み要求が発生する状態（割り込み禁止（DI）状態を含む）でxxICnレジスタのxxMKnビットを操作する場合は，必ずビット操作命令で操作するか，またはIMRmレジスタのxxMKnビットで操作してください（m = 0-3）。

	⑦	⑥	5	4	3	②	①	⓪	アドレス	初期値
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0	FFFFF110H-FFFFF18AH	47H

ビット位置	ビット名	意　味
7	xxIFn	割り込み要求フラグです。 0：割り込み要求なし 1：割り込み要求あり xxIFnフラグは，割り込み要求が受け付けられるとハードウエアにより自動的にリセットされます。
6	xxMKn	割り込みマスク・フラグです。 0：割り込み処理を許可 1：割り込み処理を禁止（保留）
2-0	xxPRn2-xxPRn0	各割り込みごとに8レベルの優先順位を指定します。

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル0（最高位）を指定
0	0	1	レベル1を指定
0	1	0	レベル2を指定
0	1	1	レベル3を指定
1	0	0	レベル4を指定
1	0	1	レベル5を指定
1	1	0	レベル6を指定
1	1	1	レベル7（最低位）を指定

備考　xx：各周辺ユニット識別名称（表7－2参照）

n：周辺ユニット番号（表7－2参照）

各割り込み制御レジスタのアドレスとビットを次に示します。

表7－2　割り込み制御レジスタのアドレスとビット（1/2）

アドレス	レジスタ	ビット							
		⑦	⑥	5	4	3	②	①	⓪
FFFFF110H	P0IC0	P0IF0	P0MK0	0	0	0	P0PR02	P0PR01	P0PR00
FFFFF112H	P0IC1	P0IF1	P0MK1	0	0	0	P0PR12	P0PR11	P0PR10
FFFFF114H	P0IC2	P0IF2	P0MK2	0	0	0	P0PR22	P0PR21	P0PR20
FFFFF116H	P0IC3	P0IF3	P0MK3	0	0	0	P0PR32	P0PR31	P0PR30
FFFFF118H	P0IC4	P0IF4	P0MK4	0	0	0	P0PR42	P0PR41	P0PR40
FFFFF11AH	**未使用**[注]	－	－	－	－	－	－	－	－
FFFFF11CH	**未使用**[注]	－	－	－	－	－	－	－	－
FFFFF11EH	DETIC0	DETIF0	DETMK0	0	0	0	DETPR02	DETPR01	DETPR00
FFFFF120H	DETIC1	DETIF1	DETMK1	0	0	0	DETPR12	DETPR11	DETPR10
FFFFF122H	TM0IC0	TM0IF0	TM0MK0	0	0	0	TM0PR02	TM0PR01	TM0PR00
FFFFF124H	CM03IC0	CM03IF0	CM03MK0	0	0	0	CM03PR02	CM03PR01	CM03PR00
FFFFF126H	TM0IC1	TM0IF1	TM0MK1	0	0	0	TM0PR12	TM0PR11	TM0PR10
FFFFF128H	CM03IC1	CM03IF1	CM03MK1	0	0	0	CM03PR12	CM03PR11	CM03PR10
FFFFF12AH	CC10IC0	CC10IF0	CC10MK0	0	0	0	CC10PR02	CC10PR01	CC10PR00
FFFFF12CH	CC10IC1	CC10IF1	CC10MK1	0	0	0	CC10PR12	CC10PR11	CC10PR10
FFFFF12EH	CM10IC0	CM10IF0	CM10MK0	0	0	0	CM10PR02	CM10PR01	CM10PR00
FFFFF130H	CM10IC1	CM10IF1	CM10MK1	0	0	0	CM10PR12	CM10PR11	CM10PR10
FFFFF132H	**未使用**[注]	－	－	－	－	－	－	－	－
FFFFF134H	**未使用**[注]	－	－	－	－	－	－	－	－
FFFFF136H	**未使用**[注]	－	－	－	－	－	－	－	－
FFFFF138H	**未使用**[注]	－	－	－	－	－	－	－	－
FFFFF13AH	TM2IC0	TM2IF0	TM2MK0	0	0	0	TM2PR02	TM2PR01	TM2PR00
FFFFF13CH	TM2IC1	TM2IF1	TM2MK1	0	0	0	TM2PR12	TM2PR11	TM2PR10
FFFFF13EH	CC2IC0	CC2IF0	CC2MK0	0	0	0	CC2PR02	CC2PR01	CC2PR00
FFFFF140H	CC2IC1	CC2IF1	CC2MK1	0	0	0	CC2PR12	CC2PR11	CC2PR10
FFFFF142H	CC2IC2	CC2IF2	CC2MK2	0	0	0	CC2PR22	CC2PR21	CC2PR20
FFFFF144H	CC2IC3	CC2IF3	CC2MK3	0	0	0	CC2PR32	CC2PR31	CC2PR30
FFFFF146H	CC2IC4	CC2IF4	CC2MK4	0	0	0	CC2PR42	CC2PR41	CC2PR40
FFFFF148H	CC2IC5	CC2IF5	CC2MK5	0	0	0	CC2PR52	CC2PR51	CC2PR50
FFFFF14AH	TM3IC0	TM3IF0	TM3MK0	0	0	0	TM3PR02	TM3PR01	TM3PR00
FFFFF14CH	CC3IC0	CC3IF0	CC3MK0	0	0	0	CC3PR02	CC3PR01	CC3PR00
FFFFF14EH	CC3IC1	CC3IF1	CC3MK1	0	0	0	CC3PR12	CC3PR11	CC3PR10
FFFFF150H	CM4IC0	CM4IF0	CM4MK0	0	0	0	CM4PR02	CM4PR01	CM4PR00
FFFFF152H	DMAIC0	DMAIF0	DMAMK0	0	0	0	DMAPR02	DMAPR01	DMAPR00
FFFFF154H	DMAIC1	DMAIF1	DMAMK1	0	0	0	DMAPR12	DMAPR11	DMAPR10
FFFFF156H	DMAIC2	DMAIF2	DMAMK2	0	0	0	DMAPR22	DMAPR21	DMAPR20
FFFFF158H	DMAIC3	DMAIF3	DMAMK3	0	0	0	DMAPR32	DMAPR31	DMAPR30
FFFFF15AH	**未使用**[注]	－	－	－	－	－	－	－	－
FFFFF15CH	**未使用**[注]	－	－	－	－	－	－	－	－
FFFFF15EH	**未使用**[注]	－	－	－	－	－	－	－	－
FFFFF160H	**未使用**[注]	－	－	－	－	－	－	－	－

注　V850E/IA1への拡張用に予約されています。

表7－2　割り込み制御レジスタのアドレスとビット（2/2）

アドレス	レジスタ	ビット							
		⑦	⑥	5	4	3	②	①	⓪
FFFFF162H	CSIIC0	CSIIF0	CSIMK0	0	0	0	CSIPR02	CSIPR01	CSIPR00
FFFFF164H	CSIIC1	CSIIF1	CSIMK1	0	0	0	CSIPR12	CSIPR11	CSIPR10
FFFFF166H	SRIC0	SRIF0	SRMK0	0	0	0	SRPR02	SRPR01	SRPR00
FFFFF168H	STIC0	STIF0	STMK0	0	0	0	STPR02	STPR01	STPR00
FFFFF16AH	SEIC0	SEIF0	SEMK0	0	0	0	SEPR02	SEPR01	SEPR00
FFFFF16CH	SRIC1	SRIF1	SRMK1	0	0	0	SRPR12	SRPR11	SRPR10
FFFFF16EH	STIC1	STIF1	STMK1	0	0	0	STPR12	STPR11	STPR10
FFFFF170H	**未使用**[注]	－	－	－	－	－	－	－	－
FFFFF172H	**未使用**[注]	－	－	－	－	－	－	－	－
FFFFF174H	ADIC0	ADIF0	ADMK0	0	0	0	ADPR02	ADPR01	ADPR00
FFFFF176H	ADIC1	ADIF1	ADMK1	0	0	0	ADPR12	ADPR11	ADPR10
FFFFF178H	**未使用**[注]	－	－	－	－	－	－	－	－
FFFFF17AH	**未使用**[注]	－	－	－	－	－	－	－	－
FFFFF17CH	**未使用**[注]	－	－	－	－	－	－	－	－
FFFFF17EH	CM00IC1	CM00IF1	CM00MK1	0	0	0	CM00PR12	CM00PR11	CM00PR10
FFFFF180H	CM01IC1	CM01IF1	CM01MK1	0	0	0	CM01PR12	CM01PR11	CM01PR10
FFFFF182H	CM02IC1	CM02IF1	CM02MK1	0	0	0	CM02PR12	CM02PR11	CM02PR10
FFFFF184H	CM04IC1	CM04IF1	CM04MK1	0	0	0	CM04PR12	CM04PR11	CM04PR10
FFFFF186H	CM05IC1	CM05IF1	CM05MK1	0	0	0	CM05PR12	CM05PR11	CM05PR10
FFFFF188H	CM04IC0	CM04IF0	CM04MK0	0	0	0	CM04PR02	CM04PR01	CM04PR00
FFFFF18AH	CM05IC0	CM05IF0	CM05MK0	0	0	0	CM05PR02	CM05PR01	CM05PR00

注　V850E/IA1への拡張用に予約されています。

7. 3. 5　割り込みマスク・レジスタ0-3（IMR0-IMR3）

マスカブル割り込みに対する割り込みマスク状態を設定します。IMR0-IMR3レジスタのxxMKnビットとxxICnレジスタのxxMKnビットは，それぞれ連結しています。

IMRmレジスタは，16ビット単位でリード／ライト可能です（m = 0-3）。

IMRmレジスタの上位8ビットをIMRmHレジスタ，下位8ビットをIMRmLレジスタとした場合は，8/1ビット単位でリード／ライト可能です。

注意　デバイス・ファイルでは，xxICnレジスタのxxMKnビットを予約語として定義しています。したがって，xxMKnビットの名称でビット操作を行うと，IMRmレジスタではなくxxICnレジスタを書き換えます（結果としてIMRmレジスタも書き換わります）。

	⑮	⑭	⑬	⑫	⑪	⑩	⑨	⑧	アドレス	初期値
IMR0	CM10MK0	CC10MK1	CC10MK0	CM03MK1	TM0MK1	CM03MK0	TM0MK0	DETMK1	FFFFF100H	FFFFH
	⑦	6	5	④	③	②	①	⓪		
	DETMK0	1	1	P0MK4	P0MK3	P0MK2	P0MK1	P0MK0		

	⑮	⑭	⑬	⑫	⑪	⑩	⑨	⑧	アドレス	初期値
IMR1	CC3MK1	CC3MK0	TM3MK0	CC2MK5	CC2MK4	CC2MK3	CC2MK2	CC2MK1	FFFFF102H	FFFFH
	⑦	⑥	⑤	4	3	2	1	⓪		
	CC2MK0	TM2MK1	TM2MK0	1	1	1	1	CM10MK1		

	⑮	⑭	⑬	⑫	⑪	⑩	⑨	8	アドレス	初期値
IMR2	STMK1	SRMK1	SEMK0	STMK0	SRMK0	CSIMK1	CSIMK0	1	FFFFF104H	FFFFH
	7	6	5	④	③	②	①	⓪		
	1	1	1	DMAMK3	DMAMK2	DMAMK1	DMAMK0	CM4MK0		

	15	14	⑬	⑫	⑪	⑩	⑨	⑧	アドレス	初期値
IMR3	1	1	CM05MK0	CM04MK0	CM05MK1	CM04MK1	CM02MK1	CM01MK1	FFFFF106H	FFFFH
	⑦	6	5	4	③	②	1	0		
	CM00MK1	1	1	1	ADMK1	ADMK0	1	1		

ビット位置	ビット名	意　味
15-7, 4-0（IMR0） 15-5, 0（IMR1） 15-9, 4-0（IMR2） 13-7, 3, 2（IMR3）	xxMKn	割り込みマスク・フラグです。 0：割り込み処理を許可 1：割り込み処理を禁止（保留）

備考　xx：各周辺ユニット識別名称（表7ー2参照）

n　：周辺ユニット番号（表7ー2参照）

7. 3. 6　インサービス・プライオリティ・レジスタ（ISPR）

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求が受け付けられると，その割り込み要求の優先順位レベルに対応するビットがセット（1）され，サービス中保持されます。

RETI命令の実行時，ISPRレジスタ内でセット（1）されているビットのうち，最も優先順位の高い割り込み要求に対応するビットがハードウエアにより自動的にクリア（0）されます。ただし，ノンマスカブルの割り込み処理や例外処理からの復帰の場合はクリア（0）されません。

8/1ビット単位でリードのみ可能です。

注意　割り込み許可（EI）状態において，ISPRレジスタをリード中に割り込みを受け付けた場合，その割り込み受け付けによるビットがセット（1）されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は，割り込み禁止（DI）状態でリードしてください。

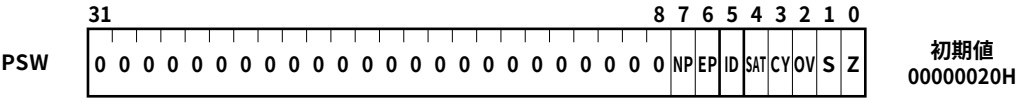
	⑦	⑥	⑤	④	③	②	①	⓪	アドレス	初期値
ISPR	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0	FFFFF1FAH	00H

ビット位置	ビット名	意　味
7-0	ISPR7-ISPR0	受け付け中の割り込みの優先順位を示します。 0：優先順位nの割り込み要求を受け付けていない 1：優先順位nの割り込み要求を受け付け中

備考　n = 0-7（優先順位のレベル）

7.3.7　マスカブル割り込みステータス・フラグ（ID）

IDフラグは，PSWのビット5です。マスカブル割り込みの動作状態を制御し，割り込み要求受け付けの許可／禁止制御情報を記憶します。



ビット位置	ビット名	意　味
5	ID	マスカブル割り込み処理の許可／禁止を示します。 0：マスカブル割り込み要求の受け付け許可 1：マスカブル割り込み要求の受け付け禁止（保留） DI命令でセット（1），EI命令でリセット（0）されます。また，RETI命令およびPSWへのLDSR命令により値が書き換えられます。 ノンマスカブル割り込み要求および例外は，このフラグの状態に関係なく受け付けられます。また，マスカブル割り込み要求を受け付けると，IDフラグはハードウエアで自動的にセット（1）されます。 受け付け禁止期間中（ID = 1）に発生した割り込み要求は，xxICnレジスタのxxIFnビットがセット（1）され，IDフラグがリセット（0）されると受け付けられます。

7.3.8　割り込みトリガ・モードの選択

INTPn端子，ADTRG0, ADTRG1端子，TIUD10端子，TCUD10端子，TCLR10, TCLR3端子，TI3端子は，有効エッジをプログラマブルに選択します。また，選択できる有効エッジについて次に示します（n = 0-4, 20-25, 30, 31, 100, 101）。

- 立ち上がりエッジ
- 立ち下がりエッジ
- 立ち上がり／立ち下がり両エッジ

エッジ検出されたINTPn, ADTRG0, ADTRG1, TIUD10, TCUD10, TCLR10, TCLR3, TI3信号は，割り込み要因やキャプチャ／トリガになります。

有効エッジは，外部割り込みモード・レジスタ1, 2（INTM1, INTM2），シグナル・エッジ選択レジスタ10（SESA10），有効エッジ選択レジスタ（SESC），TM2入力フィルタ・モード・レジスタ0-5（FEM0-FEM5）で指定します。

(1) 外部割り込みモード・レジスタ1, 2**（**INTM1, INTM2**）**

外部端子による外部割り込み要求（INTP0-INTP4**）の有効エッジを指定するレジスタです。各レジスタと，そのレジスタが制御する外部割り込み要求との対応を次に示します。**

- INTM1：INTP0, INTP1, INTP2/ADTRG0, INTP3/ADTRG1
- INTM2：INTP4

INTP2, INTP3**は**ADTRG0, ADTRG1**（**A/D**コンバータの外部トリガ入力）と端子が兼用になっています。したがって，**INTM1**の**ES20, ES21**ビットと**ES30, ES31**ビットの設定は，**A/D**コンバータ・モード・レジスタ**n0（ADSCMn0）**のTRG0-TRG2**ビットにより外部トリガ・モードに設定されている場合は，外部トリガ入力（**ADTRG0, ADTRG1**）の有効エッジ指定にもなります（**n = 0, 1**）。**

有効エッジは，立ち上がりエッジ，立ち下がりエッジ，または立ち上がり／立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8/1**ビット単位でリード／ライト可能です。**

	7	6	5	4	3	2	1	0	アドレス	初期値
INTM1	ES31	ES30	ES21	ES20	ES11	ES10	ES01	ES00	FFFFF882H	00H
	INTP3/ADTRG1		INTP2/ADTRG0		INTP1		INTP0			

	7	6	5	4	3	2	1	0	アドレス	初期値
INTM2	0	0	0	0	0	0	ES41	ES40	FFFFF884H	00H
							INTP4			

ビット位置	ビット名	意　味
7-0（INTM1）, 1, 0（INTM2）	ESn1, ESn0 （n = 0-4）	INTPn**端子，**ADTRG0, ADTRG1**端子の有効エッジを指定します。**

ESn1	ESn0	動　作
0	0	**立ち下がりエッジ**
0	1	**立ち上がりエッジ**
1	0	**設定禁止**
1	1	**立ち上がり／立ち下がり両エッジ**

(2) シグナル・エッジ選択レジスタ10（SESA10）

外部端子による外部割り込み要求（INTP100, INTP101, TIUD10, TCUD10, TCLR10**）の有効エッジを指定するレジスタです。**

有効エッジは，立ち上がりエッジ，立ち下がりエッジ，または立ち上がり／立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8/1**ビット単位でリード／ライト可能です。**

注意1. TM10**動作中（タイマ・コントロール・レジスタ**10（TMC10）**の**TM1CE0**ビット** = 1**）に**SESA10**レジスタの各ビットを変更することは禁止します。**

2. **タイマ**1**を使用しないで**TCUD10/INTP100, TCLR10/INTP101**端子を**INTP100, INTP101**として使用する場合でも，** TM1CE0**ビットを必ずセット（**1**）してから使用してください。**

3. INTP100, INTP101, TIUD10, TCUD10, TCLR10**端子のトリガ・モードを設定する場合は，**PMC1**レジスタを設定したあとで行ってください。**
SESA10**レジスタを設定したあとで**PMC1**レジスタの設定を行うと，**PMC1**レジスタの設定タイミングで不正な割り込みが発生することがあります。**

（1/2）

	7	6	5	4	3	2	1	0	アドレス	初期値
SESA10	TESUD01	TESUD00	CESUD01	CESUD00	IES1011	IES1010	IES1001	IES1000	FFFFF5EDH	00H
	TIUD10, TCUD10		TCLR10		INTP101		INTP100			

ビット位置	ビット名	意　味
7, 6	TESUD01, TESUD00	TIUD10, TCUD10**端子の有効エッジを指定します。**

TESUD01	TESUD00	有効エッジ
0	0	**立ち下がりエッジ**
0	1	**立ち上がりエッジ**
1	0	**設定禁止**
1	1	**立ち上がり／立ち下がり両エッジ**

注意1. TESUD01, TESUD00**ビットは，**UDC**モード**A[注1]**，**UDC**モード**B[注1]**時のみ設定値が有効です。**

2. TM10**の動作がモード**4[注2]**に指定されている場合には，**TIUD10, TCUD10**端子に対する有効エッジの指定（**TESUD01, TESUD00**ビット）は無効です。**

注1. 9. 2. 4 **(2) タイマ・ユニット・モード・レジスタ**0（TUM0）参照

2. 9. 2. 4 **(6) プリスケーラ・モード・レジスタ**10（PRM10）参照

（2/2）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>5, 4</td><td>CESUD01,
CESUD00</td><td>TCLR10端子の有効エッジを指定します。

<table><tr><th>CESUD01</th><th>CESUD00</th><th>有効エッジ</th></tr><tr><td>0</td><td>0</td><td>立ち下がりエッジ</td></tr><tr><td>0</td><td>1</td><td>立ち上がりエッジ</td></tr><tr><td>1</td><td>0</td><td>ロウ・レベル</td></tr><tr><td>1</td><td>1</td><td>ハイ・レベル</td></tr></table>
CESUD01, CESUD00ビット設定値とTM10の動作は次のようになります。
00：TCLR10の立ち上がりエッジ検出後，TM10をクリア
01：TCLR10の立ち下がりエッジ検出後，TM10をクリア
10：TCLR10入力がロウ・レベル期間中は，TM10はクリアを保持
11：TCLR10入力がハイ・レベル期間中は，TM10はクリアを保持

注意　CESUD01, CESUD00ビットは，UDCモードA[注]時のみ，設定値が有効です。</td></tr>
<tr><td>3, 2</td><td>IES1011,
IES1010</td><td>CSL10レジスタのCSL0ビットで選択された端子（INTP101/INTP100）の有効エッジを指定します。

<table><tr><th>IES1011</th><th>IES1010</th><th>有効エッジ</th></tr><tr><td>0</td><td>0</td><td>立ち下がりエッジ</td></tr><tr><td>0</td><td>1</td><td>立ち上がりエッジ</td></tr><tr><td>1</td><td>0</td><td>設定禁止</td></tr><tr><td>1</td><td>1</td><td>立ち上がり／立ち下がり両エッジ</td></tr></table></td></tr>
<tr><td>1, 0</td><td>IES1001,
IES1000</td><td>INTP100端子の有効エッジを指定します。

<table><tr><th>IES1001</th><th>IES1000</th><th>有効エッジ</th></tr><tr><td>0</td><td>0</td><td>立ち下がりエッジ</td></tr><tr><td>0</td><td>1</td><td>立ち上がりエッジ</td></tr><tr><td>1</td><td>0</td><td>設定禁止</td></tr><tr><td>1</td><td>1</td><td>立ち上がり／立ち下がり両エッジ</td></tr></table></td></tr>
</table>

注　9. 2. 4（2）**タイマ・ユニット・モード・レジスタ**0（TUM0）参照

(3) 有効エッジ選択レジスタ (SESC)

外部端子による外部割り込み要求 (INTP30, INTP31, TCLR3, TI3) の有効エッジを指定するレジスタです。

有効エッジは，立ち上がりエッジ，立ち下がりエッジ，または立ち上がり／立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

8/1ビット単位でリード／ライト可能です。

注意1. **タイマ**3**を使用しないで**TI3/TCLR3/INTP30, TO3/INTP31**端子をそれぞれ**INTP30, INTP31**として使用する場合でも，タイマ・コントロール・レジスタ**30**（**TMC30**）の**TM3CAE, TM3CE**ビットを必ずセット（**1**）してから使用してください。**

2. INTP30, INTP31, TCLR3, TI3**端子のトリガ・モードを設定する場合は，**PMC2**レジスタを設定したあとで行ってください。**

SESC**レジスタを設定したあとで**PMC2**レジスタの設定を行うと，**PMC2**レジスタの設定タイミングで不正な割り込みが発生することがあります。**

	7	6	5	4	3	2	1	0	アドレス	初期値
SESC	TES31	TES30	CES31	CES30	IES311	IES310	IES301	IES300	FFFFF689H	00H
	TI3		TCLR3		INTP31		INTP30			

ビット位置	ビット名	意　味
7, 6	TES31, TES30	INTP30, INTP31, TCLR3, TI3端子の有効エッジを指定します。
5, 4	CES31, CES30	
3, 2	IES311, IES310	
1, 0	TES301, TES300	**備考**　n = 3, 30, 31

xESn1	xESn0	動　作
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がり両エッジ

(4) タイマ2入力フィルタ・モード・レジスタ0-5（FEM0-FEM5）

タイマ2への外部割り込み要求（INTP20-INTP25）に対する有効エッジを指定するレジスタです。各レジスタと，そのレジスタが制御する外部割り込み要求との対応を次に示します。

- FEM0：INTP20
- FEM1：INTP21
- FEM2：INTP22
- FEM3：INTP23
- FEM4：INTP24
- FEM5：INTP25

有効エッジは，立ち上がりエッジ，立ち下がりエッジ，または立ち上がり／立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8/1ビット単位でリード／ライト可能です。

注意1. **タイマ**2**を使用しないで**TI2/INTP20, TO21/INTP21, TO22/INTP22, TO23/INTP23, TO24/INTP24, TCLR2/INTP25**端子をそれぞれ**INTP20, INTP21, INTP22, INTP23, INTP24, INTP25**として使用する場合でも，タイマ**2**クロック停止レジスタ**0（STOPTE0）**の**STFTE**ビットを必ずクリア（**0**）してから使用してください。**

2. INTP2n**端子のトリガ・モードを設定する場合は，**PMC2**レジスタを設定したあとで行ってください。**
   FEMn**レジスタを設定したあとで**PMC2**レジスタの設定を行うと，**PMC2**レジスタの設定タイミングで不正な割り込みが発生することがあります（**n = 0-5**）。**
3. TCRE0**レジスタの**CEEn**ビット** = 1**（カウント動作許可）でノイズ除去機能が動作を開始します。**

（1/2）

	7	6	5	4	3	2	1	0	アドレス	初期値
FEM0	DFEN00	0	0	0	EDGE010	EDGE000	TMS010	TMS000	FFFFF630H	00H

INTP20

	7	6	5	4	3	2	1	0	アドレス	初期値
FEM1	DFEN01	0	0	0	EDGE011	EDGE001	TMS011	TMS001	FFFFF631H	00H

INTP21

	7	6	5	4	3	2	1	0	アドレス	初期値
FEM2	DFEN02	0	0	0	EDGE012	EDGE002	TMS012	TMS002	FFFFF632H	00H

INTP22

	7	6	5	4	3	2	1	0	アドレス	初期値
FEM3	DFEN03	0	0	0	EDGE013	EDGE003	TMS013	TMS003	FFFFF633H	00H

INTP23

	7	6	5	4	3	2	1	0	アドレス	初期値
FEM4	DFEN04	0	0	0	EDGE014	EDGE004	TMS014	TMS004	FFFFF634H	00H

INTP24

	7	6	5	4	3	2	1	0	アドレス	初期値
FEM5	DFEN05	0	0	0	EDGE015	EDGE005	TMS015	TMS005	FFFFF635H	00H

INTP25

ビット位置	ビット名	意　味
7	DFEN0n	INTP2n端子のフィルタを指定します。 0：アナログ・フィルタ 1：ディジタル・フィルタ **注意**　DFEN0nビット = 1のとき，ディジタル・フィルタのサンプリング・クロックはf_{XTM2}（PRM02レジスタで選択したクロック）となります。
3, 2	EDGE01n, EDGE00n	INTP2n端子の有効エッジを指定します。

EDGE01n	EDGE00n	動　作
0	0	INTCC2nによる割り込み[注]
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	立ち上がり／立ち下がり両エッジ

注　TM20, TM21とサブチャネルのコンペア・レジスタ（TMS01n, TMS00nビットで指定）の一致によりINTCC2nを選択する場合に設定します（n = 0-5）。

備考　n = 0-5

(2/2)

ビット位置	ビット名	意　味
1, 0	TMS01n, TMS00n	キャプチャ入力を選択します注。

TMS01n	TMS00n	動　作
0	0	端子として使用
0	1	ディジタル・フィルタ（ノイズ除去回路の指定）
1	0	タイマによるサブチャネル1へのキャプチャ
1	1	タイマによるサブチャネル2へのキャプチャ

注　INTCM100, INTCM101によるキャプチャ入力の選択は，FEM1, FEM2レジスタのみです。FEMmレジスタのTMS01m, TMS00mビット値には，00Bまたは01Bを設定してください。これ以外の設定は禁止します（m = 1, 3-5）。

タイマ2のサブチャネル1，サブチャネル2は，INTP21, INTP22とINTCM100, INTCM101によるキャプチャが可能です。

次に例を示します。

(a) サブチャネル1をINTCM101でキャプチャする場合

FEM1レジスタ = xxxxxx10B

TMIC0レジスタ = 00000010B

(b) サブチャネル2をINTCM101でキャプチャする場合

FEM2レジスタ = xxxxxx11B

TMIC0レジスタ = 00001000B

備考　n = 0-5

7.4　ソフトウエア例外

ソフトウエア例外は，CPUのTRAP命令の実行により発生する例外で，常に受け付け可能です。

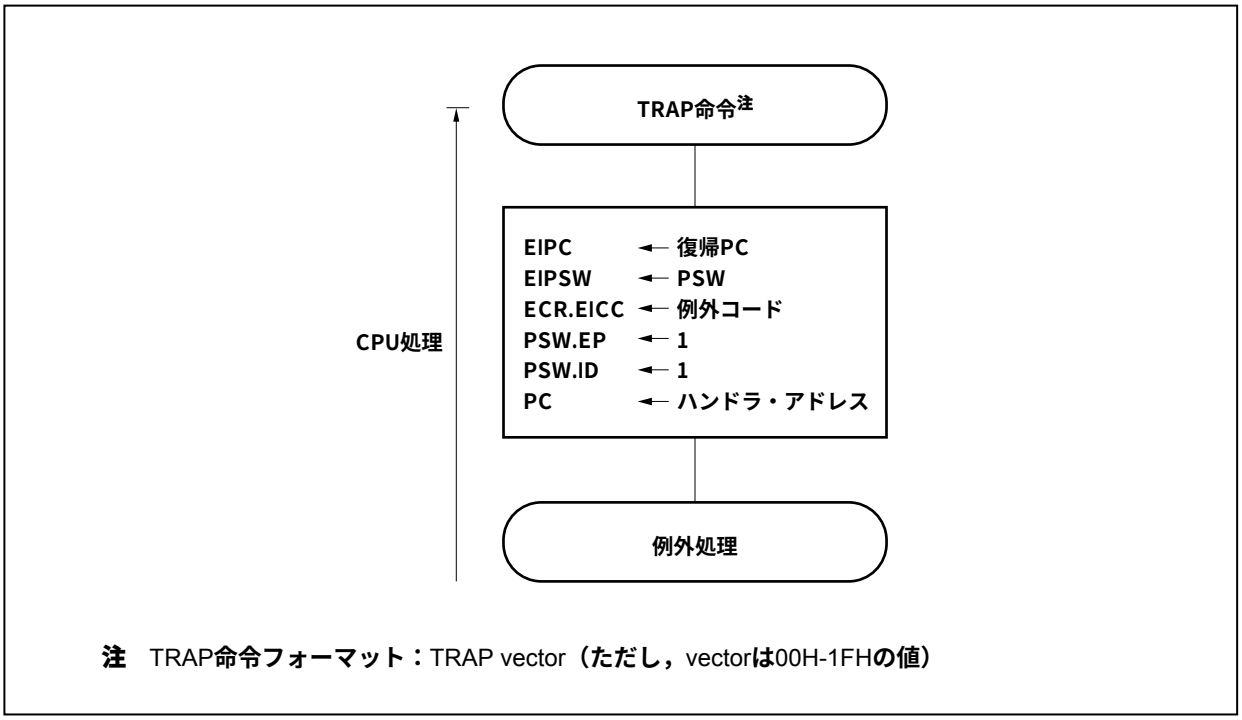
7.4.1　動　　作

ソフトウエア例外が発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンへ制御を移します。

(1) 復帰PCをEIPCに退避します。
(2) 現在のPSWをEIPSWに退避します。
(3) ECR（割り込み要因）の下位16ビット（EICC）に例外コードを書き込みます。
(4) PSWのEP, IDビットをセットします。
(5) PCにソフトウエア例外に対するハンドラ・アドレス（00000040Hまたは00000050H）をセットし，制御を移します。

ソフトウエア例外の処理形態を，図7－8に示します。

図7－8　ソフトウエア例外の処理形態



注　TRAP命令フォーマット：TRAP vector（ただし，vectorは00H-1FHの値）

ハンドラ・アドレスは，TRAP命令のオペランド（vector）によって決まります。vectorが00H-0FHの場合は00000040Hとなり，10H-1FHの場合は00000050Hとなります。

7.4.2 復　　帰

ソフトウエア例外処理からの復帰は，RETI命令により行います。

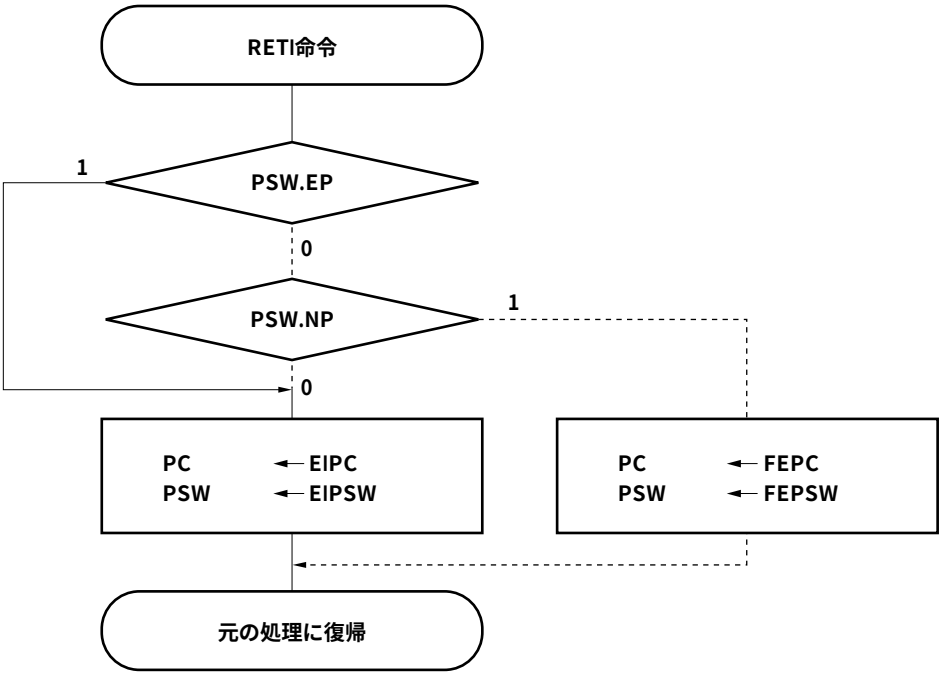
RETI命令の実行により，CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

(1) PSWのEPビットは1なので，EIPC, EIPSWから復帰PC, PSWを取り出します。

(2) 取り出した復帰PCのアドレス，PSWの状態に制御を移します。

RETI命令の処理形態を図7－9に示します。

図7－9　RETI命令の処理形態

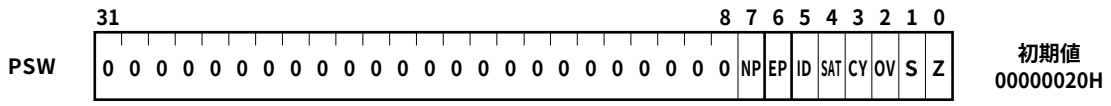


注意　ソフトウエア例外処理中にLDSR命令によりPSW.EPビット，PSW.NPビットを変更した場合には，RETI命令による復帰時にPCとPSWを正常にリストアするために，RETI命令の直前で，LDSR命令を使用してPSW.EP = 1に戻しておく必要があります。

備考　CPUは実線のフローで処理します。

7.4.3　例外ステータス・フラグ（EP）

EPフラグは，PSWのビット6です。EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。



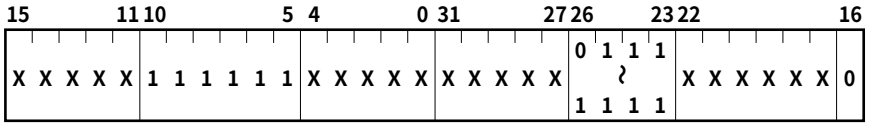
ビット位置	ビット名	意　味
6	EP	例外処理中であることを示します。 0：例外処理中でない。 1：例外処理中。

7.5　例外トラップ

例外トラップは，命令の不正実行が発生した場合に要求される割り込みです。V850E/IA2では，不正命令コード・トラップ（ILGOP：Illegal Opcode Trap）が例外トラップに当たります。

7.5.1　不正命令コード

不正命令は，命令のオペコード（ビット10-5）が111111Bで，サブオペコード（ビット26-23）が0111B-1111B，サブオペコード（ビット16）が0Bであるものです。この不正命令に当てはまる命令を実行したときに，例外トラップが発生します。



X：任意

注意　不正命令コードには，将来，新規に命令を割り当てる可能性があるため，使用しないことを推奨します。

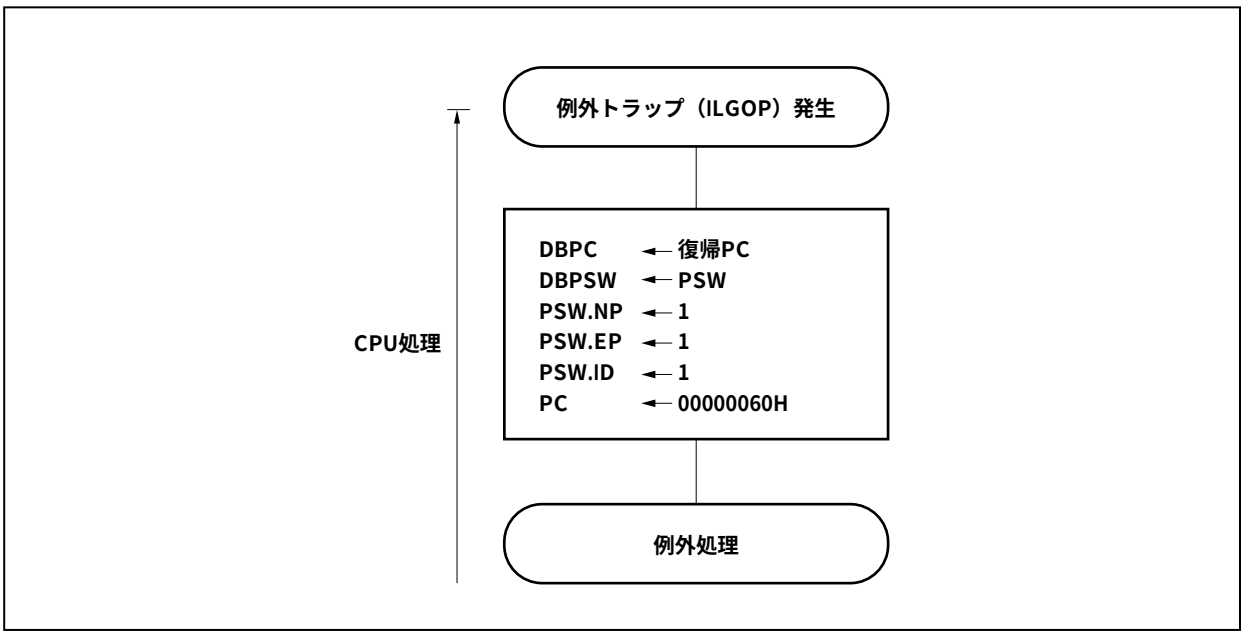
（1）動　　作

例外トラップが発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンへ制御を移します。

（1）復帰PCをDBPCに退避します。
（2）現在のPSWをDBPSWに退避します。
（3）PSWのNP, EP, IDビットをセットします。
（4）PCに例外トラップに対するハンドラ・アドレス（00000060H）をセットし，制御を移します。

例外トラップの処理形態を図7－10に示します。

図7－10　例外トラップの処理形態



(2) 復　帰

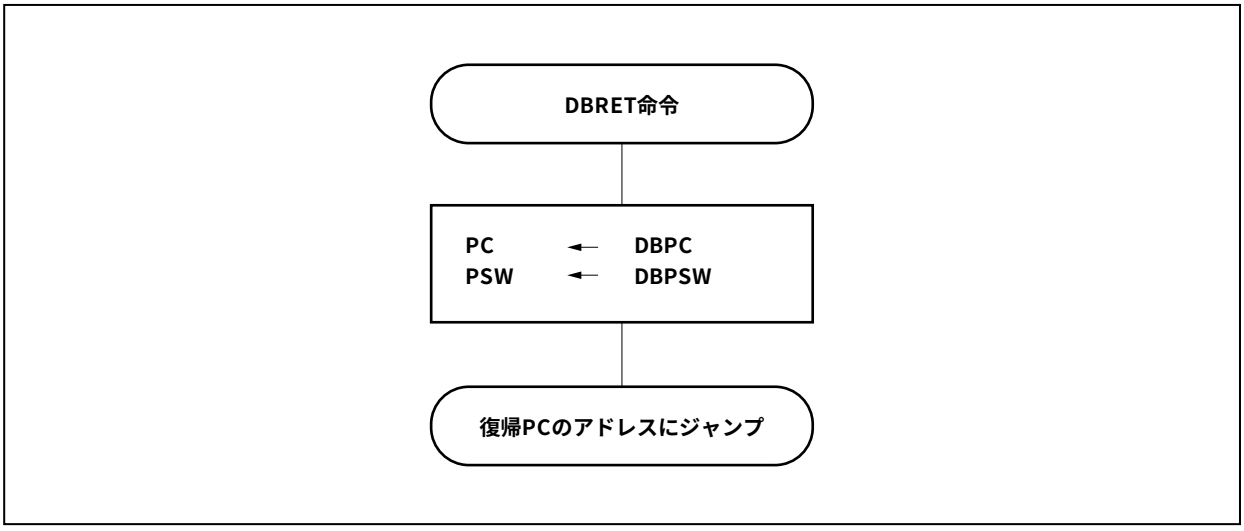
例外トラップからの復帰は，DBRET命令により行われます。DBRET命令の実行により，CPUは次の処理を行い復帰PCのアドレスを制御します。

(1) DBPC, DBPSWから復帰PC, PSWを取り出します。
(2) 取り出した復帰PC, PSWのアドレスに制御を移します。

★　注意　DBPCとDBPSWには，不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセスできます。

例外トラップからの復帰の処理形態を図7－11に示します。

図7－11　例外トラップからの復帰の処理形態



7. 5. 2　デバッグ・トラップ

デバッグ・トラップは，DBTRAP命令の実行により発生する常時受け付けが可能な例外です。

デバッグ・トラップが発生した場合，CPUは次の処理を行います。

(1) 動　　作

(1) 復帰PCをDBPCに退避します。

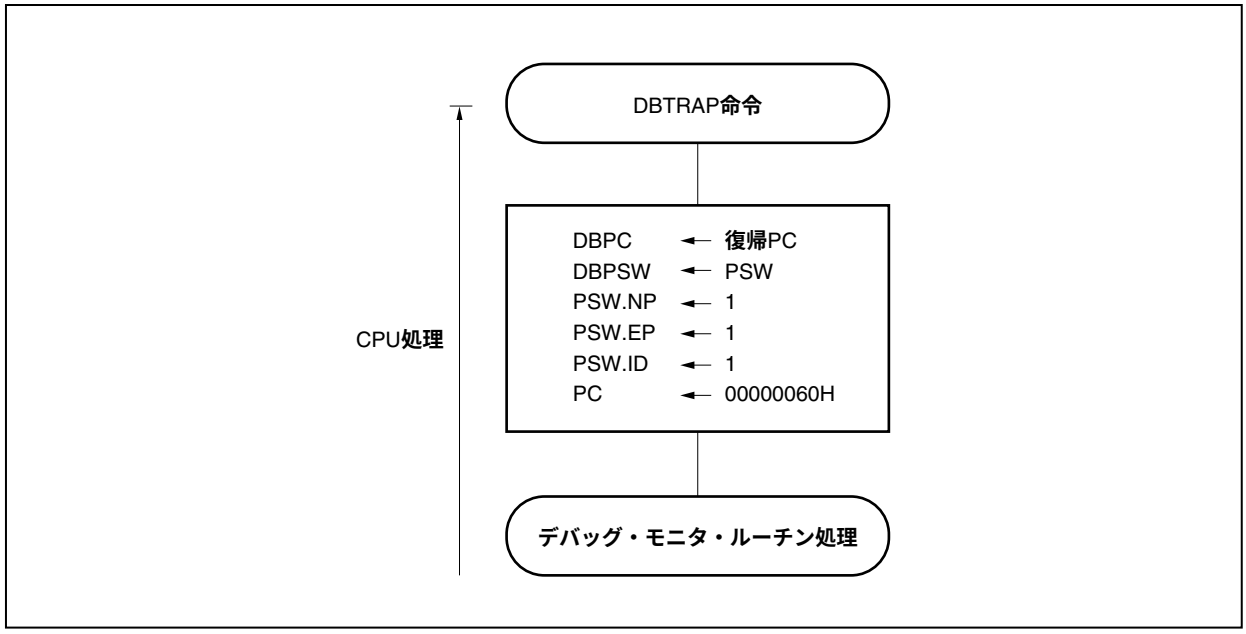
(2) 現在のPSWをDBPSWに退避します。

(3) PSWのNP, EP, IDビットをセットします。

(4) PCにデバッグ・トラップに対するハンドラ・アドレス（00000060H）をセットし，制御を移します。

デバッグ・トラップの処理形態を図7－12に示します。

図7－12　デバッグ・トラップの処理形態



(2) 復　　帰

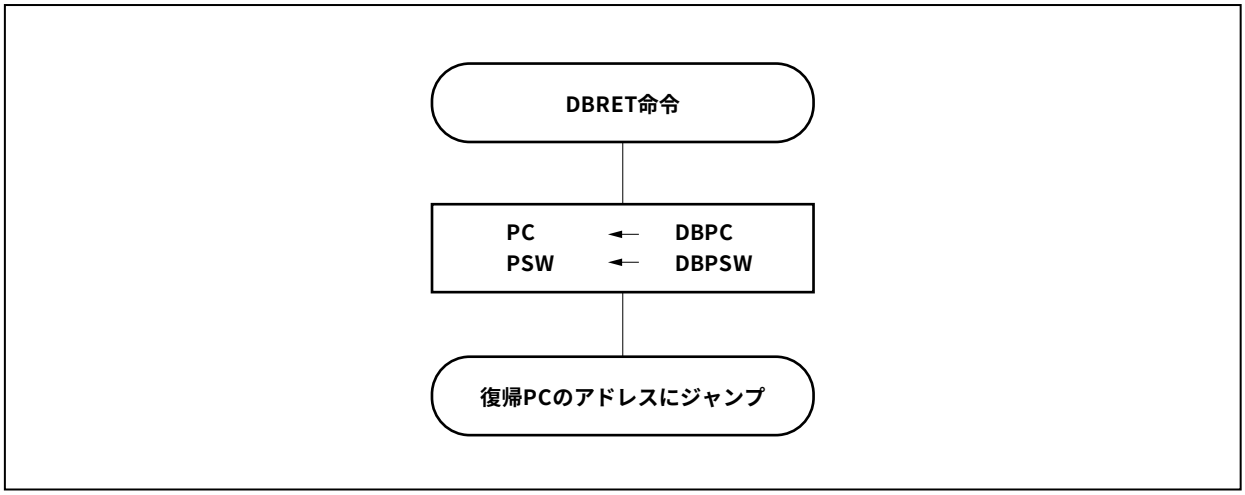
デバッグ・トラップからの復帰は，DBRET命令により行われます。DBRET命令の実行により，CPUは次の処理を行い復帰PCのアドレスを制御します。

(1) DBPC, DBPSWから復帰PC, PSWを取り出します。
(2) 取り出した復帰PC, PSWのアドレスに制御を移します。

注意　DBPCとDBPSWへは，DBTRAP命令を実行してからDBRET命令を実行するまでの期間だけアクセスできます。

デバッグ・トラップからの復帰の処理形態を図7－13に示します。

図7－13　デバッグ・トラップからの復帰の処理形態



7.6　多重割り込み処理制御

多重割り込み処理制御は，現在処理中の割り込みより優先順位レベルの高い割り込み要求があった場合，現在処理中の割り込みを中断して，優先順位の高い割り込み要求を受け付け処理を行う機能です。

現在処理中の割り込みの優先順位レベル以下の割り込み要求だった場合は，その割り込み要求は保留されます。

マスカブル割り込みの多重処理制御は，割り込み許可状態（ID = 0）のときに行われます。したがって，多重割り込みを行う場合は割り込み処理ルーチンでも割り込み許可状態（ID = 0）にする必要があります。

マスカブル割り込みまたはソフトウエア例外のサービス・プログラム中に，マスカブル割り込みの許可またはソフトウエア例外を発生させる場合は，EIPC, EIPSWを退避する必要があります。

次のような手順で行います。

（1）サービス・プログラム中にマスカブル割り込み要求を受け付ける場合

マスカブル割り込みまたは例外のサービス・プログラム

…
…
- EIPCをメモリまたはレジスタへ退避
- EIPSWをメモリまたはレジスタへ退避
- EI命令（割り込み受け付け許可）

…
…　←マスカブル割り込み受け付け
…
…
- DI命令（割り込み受け付け禁止）
- 退避していた値をEIPSWに復帰
- 退避していた値をEIPCに復帰
- RETI命令

(2) サービス・プログラム中に例外を発生させる場合

マスカブル割り込みまたは例外のサービス・プログラム

…	
…	
・EIPCをメモリまたはレジスタへ退避	
・EIPSWをメモリまたはレジスタへ退避	
…	
・TRAP命令	←TRAP命令などの例外受け付け
…	
・退避していた値をEIPSWに復帰	
・退避していた値をEIPCに復帰	
・RETI命令	

多重割り込み処理制御のための優先順位は，各マスカブル割り込み要求ごとに0-7までの8レベル（0が最優先）が，ソフトウエアにより任意に設定可能です。優先順位レベルの設定は，マスカブル割り込み要求ごとに用意されている割り込み要求制御レジスタ（xxICn）のxxPRn0-xxPRn2ビットで行います。システム・リセット時には，xxMKnビットにより割り込み要求はマスクされ，xxPRn0-xxPRn2ビットにより優先順位はレベル7に設定されます。

マスカブル割り込みの優先順位は次のようになります。

（高） レベル0＞レベル1＞レベル2＞レベル3＞レベル4＞レベル5＞レベル6＞レベル7 （低）

多重処理制御により中断された割り込み処理は，優先順位レベルの高い割り込み処理が終了し，RETI命令が実行されたあと，再開します。

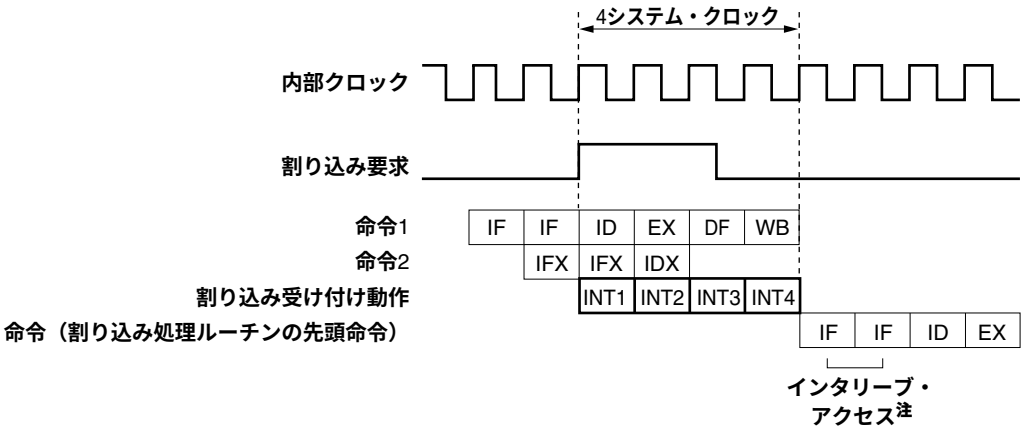
保留された割り込み要求は，実行中の割り込み処理が終了したあと，RETI命令の実行後に受け付けられます。

注意　ノンマスカブル割り込み処理ルーチン内（RETI命令を実行するまでの期間）では，マスカブル割り込みを受け付けず，保留します。

7. 7　割り込み応答時間

割り込み要求発生から割り込み処理が起動されるまでの割り込み応答時間を次に示します。

図7－14　割り込み要求受け付け時のパイプライン動作（概略）



注　インタリーブ・アクセスについてはV850E1　ユーザーズ・マニュアル　アーキテクチャ編（U14559J）の8. 1. 2　2クロック分岐を参照してください。

備考　INT1-INT4：割り込み受け付け処理
IFX：無効となる命令フェッチ
IDX：無効となる命令デコード

割り込み応答時間（内部システム・クロック（f_{XX}））					条　件
	内部割り込み	外部割り込み			
		INTP0-INTP4 INTP20-INTP25	INTP20-INTP25	INTP100, INTP101, INTP30, INTP31	
最小	4	4＋ アナログ・ディレイ時間	4＋ ディジタル・ノイズ・フィルタ	4＋注1＋ ディジタル・ノイズ・フィルタ	次の場合は除きます。 ・IDLE／ソフトウエアSTOPモード時 ・外部バス・アクセス時 ・割り込み要求非サンプル命令が連続しているとき ・内蔵周辺I/Oレジスタへのアクセス時
最大	7注2	7＋ アナログ・ディレイ時間	7＋ ディジタル・ノイズ・フィルタ	7＋注1＋ ディジタル・ノイズ・フィルタ	

注1.　内部システム・クロック数は次のようになります。

・INTP100, INTP101を外部割り込み入力とするタイマ10（TM10）の場合
（9. 2. 4（1）タイマ1/タイマ2クロック選択レジスタ（PRM02）参照）

$f_{CLK} = f_{XX}/2$（PRM2ビット = 1）のとき：2

$f_{CLK} = f_{XX}/4$（PRM2ビット = 0）のとき：4

・INTP30, INTP31を外部割り込み入力とするタイマ3（TM3）の場合
（9. 4. 5（1）タイマ3クロック選択レジスタ（PRM03）参照）

$f_{CLK} = f_{XX}$（PRM3ビット = 1）のとき：2

$f_{CLK} = f_{XX}/2$（PRM3ビット = 0）のとき：4

2.　内蔵ROMに対するLD命令実行時（アライン・アクセス時）

7. 8　CPUが割り込みを受け付けない期間

CPUの割り込み受け付けは，命令の実行中に行います。ただし，割り込み要求非サンプル命令とその次の命令の間では，割り込みを受け付けません（割り込みは保留されます）。

割り込み要求非サンプル命令は次のとおりです。

- EI命令
- DI命令
- LDSR　reg2, 0x5命令（対PSW）
- コマンド・レジスタ（PRCMD）に対するストア命令
- 次のレジスタに対するストア命令およびSET1, CLR1, NOT1命令のビット操作命令
  - 割り込み関連のレジスタ：

    割り込み制御レジスタ（xxICn），割り込みマスク・レジスタ0-3（IMR0-IMR3）
  - パワー・セーブ・コントロール・レジスタ（PSC）
  - CSI関連のレジスタ：

    クロック同期式シリアル・インタフェース・モード・レジスタ0, 1（CSIM0, CSIM1）

    クロック同期式シリアル・インタフェース・クロック選択レジスタ0, 1（CSIC0, CSIC1）

    クロック同期式シリアル・インタフェース受信バッファ・レジスタ0, 1（SIRB0, SIRB1）

    クロック同期式シリアル・インタフェース受信バッファ・レジスタL0, L1（SIRBL0, SIRBL1）

    クロック同期式シリアル・インタフェース送信バッファ・レジスタ0, 1（SOTB0, SOTB1）

    クロック同期式シリアル・インタフェース送信バッファ・レジスタL0, L1（SOTBL0, SOTBL1）

    クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ0, 1（SIRBE0, SIRBE1）

    クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタL0, L1（SIRBEL0, SIRBEL1）

    クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ0, 1（SOTBF0, SOTBF1）

    クロック同期式シリアル・インタフェース初段送信バッファ・レジスタL0, L1（SOTBFL0, SOTBFL1）

    シリアルI/Oシフト・レジスタ0, 1（SIO0, SIO1）

    シリアルI/Oシフト・レジスタL0, L1（SIOL0, SIOL1）

    プリスケーラ・モード・レジスタ（PRSM3）

    プリスケーラ・コンペア・レジスタ（PRSCM3）

備考　xx　：各周辺ユニット識別名称（表7－2参照）

n　：周辺ユニット番号（表7－2参照）

第8章　クロック発生機能

クロック・ジェネレータ（CG）は，CPUをはじめとする内蔵の各ユニットに供給される内部システム・クロック（fxx）を発生，制御します。

8. 1　特　　徴

○PLL（Phase locked loop）シンセサイザによる逓倍機能

○クロック・ソース

・発振子接続による発振

・外部クロック

○パワー・セーブ制御

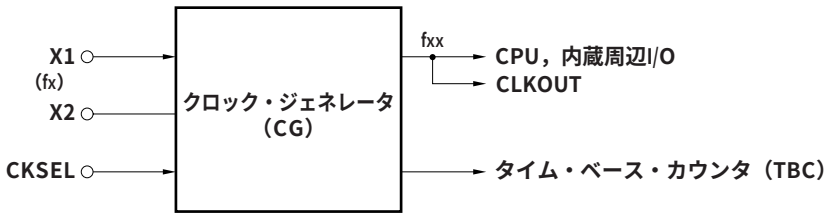
・HALTモード

・IDLEモード

・ソフトウエアSTOPモード

○内部システム・クロック出力機能

8. 2　構　　成



備考　fx　：外部発振子または外部クロック周波数

fxx　：内部システム・クロック

8.3　入力クロック選択

クロック・ジェネレータは，発振回路とPLLシンセサイザから構成されています。たとえば，4.0 MHzの水晶発振子またはセラミック発振子をX1, X2端子に接続することにより，10逓倍時は40 MHzの内部システム・クロック（fxx）を生成できます。

発振回路には外部クロックを直接入力することもできます。この場合，X1端子だけにクロック信号を入力してください（X2端子はオープンにしてください）。

クロック・ジェネレータは基本動作として，PLLモードとダイレクト・モードの2種類を備えます。動作モードの選択は，CKSEL端子で行います。この端子の入力は，リセット時にラッチします。

CKSEL	動作モード
0	PLLモード
1	ダイレクト・モード

注意　CKSEL端子は入力レベルを固定して使用してください。動作中に切り替えると誤動作する可能性があります。

8.3.1　ダイレクト・モード

ダイレクト・モードでは，外部クロックを2分周して内部システム・クロックとして供給します。ダイレクト・モード時に入力できる周波数は最大50 MHzです。おもに，V850E/IA2を比較的低周波数で動作させる応用システムに使用します。

注意　ダイレクト・モードでは必ず外部クロックを入力してください（外部発振子は接続しないでください）。

8.3.2　PLLモード

PLLモードでは，外部発振子を接続または外部クロックを入力することにより，これをPLLシンセサイザにより逓倍します。逓倍されたPLL出力はクロック・コントロール・レジスタ（CKC）によって指定された分周比に分周され，外部発振子または外部クロックの周波数（fx）に対して，10倍，5倍，2.5倍，1倍のシステム・クロックが生成されます。

リセット時には入力クロック周波数（fx）に対して，1倍の周波数（1×fx）の内部システム・クロック（fxx）が生成されます。

入力クロック周波数（fx）に対して，10倍の周波数（10×fx）を生成した場合，4 MHz程度の外部発振子，外部クロックに基づき，最大40 MHzまでの周波数を得られるため，低ノイズ，低消費電力のシステムが実現できます。

PLLモードでは，外部発振子や外部クロック・ソースからのクロック供給が停止した場合に，クロック・ジェネレータ内部の電圧制御発振回路（VCO）の自走周波数に基づく内部システム・クロック（fxx）で動作を継続します。この場合，fxxは不定になります。なお，この自走周波数になることを期待した使い方は行わないでください。

例　PLLモード（fxx = 10×fx）時の使用クロック

内部システム・クロック周波数（fxx）	外部発振子／外部クロック周波数（fx）
40.000 MHz	4.0000 MHz

注意　PLLモードを使用する場合，発振周波数あるいは外部クロック周波数は，10×fxがシステム・クロックの最大周波数（40 MHz）以下になるfx（4 MHz）値だけを使用することができます。
ただし，5×fx, 2.5×fx, 1×fxのいずれかで使用する場合は，4～6.4 MHzの周波数を使用することができます。

備考　PLLモードを選択時に，V850E/IA2を高周波数で動作させる必要がない場合にはソフトウエアによりシステム・クロックの周波数を下げることにより（fxx = 5×fx，fxx = 2.5×fx，fxx = 1×fx），消費電力を低減することができます。

8. 3. 3　ペリフェラル・コマンド・レジスタ（PHCMD）

ペリフェラル・コマンド・レジスタ（PHCMD）は，プログラムの暴走などにより応用システムが不用意に停止しないように，システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。8ビット単位でライトのみ可能です（リードした場合は不定データを読み出します）。

あらかじめPHCMDレジスタに対して書き込み動作を行ったあとの最初の特定レジスタ（CKCレジスタまたはFLPMCレジスタ）への書き込みのみ有効となります。これにより，定められたシーケンスによってだけレジスタの値が書き換えられ，不正な書き込み動作ができなくなります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PHCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0	FFFFF800H	不定

ビット位置	ビット名	意　味
7-0	REG7-REG0	レジストレーション・コード（任意の8ビット・データ） 対象となる特定レジスタは次のレジスタです。 ・クロック・コントロール・レジスタ（CKC） ・フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）

不正なストア動作の発生は，ペリフェラル・ステータス・レジスタ（PHS）のPRERRビットにより確認することができます。

8. 3. 4　クロック・コントロール・レジスタ（CKC）

PLLモード時に，内部システム・クロック（fxx）を制御する8ビットのレジスタで，プログラムの暴走などによって誤って容易に書き換えられないように，特定のシーケンスの組み合わせによってだけ書き込みができます。8ビット単位でリード／ライト可能です。

注意　ダイレクト・モード時は，CKDIV2-CKDIV0**ビットを変更しないでください。**

	7	6	5	4	3	2	1	0	アドレス	初期値
CKC	0	0	TBCS	CESEL	0	CKDIV2	CKDIV1	CKDIV0	FFFFF822H	00H

ビット位置	ビット名	意　味
5	TBCS	タイム・ベース・カウンタのクロックを選択します。 0：$f_X/2^8$ 1：$f_X/2^9$ 詳細は8. 6. 2　タイム・ベース・カウンタ（TBC）を参照してください。
4	CESEL	X1, X2端子の機能を指定します。 0：X1, X2端子発振子を接続 1：X1端子に外部クロックを接続 CESEL = 1の場合，発振回路のフィードバック・ループを切断し，ソフトウエアSTOPモード時の電流リークを防ぎます。
2-0	CKDIV2-CKDIV0	PLLモード時の内部システム・クロック周波数（fxx）を設定します。

CKDIV2	CKDIV1	CKDIV0	内部システム・クロック（fxx）
0	0	0	f_X
0	0	1	$2.5\times f_X$
0	1	1	$5\times f_X$
1	1	1	$10\times f_X$
その他			設定禁止

注意　動作途中で内部システム・クロックを変更する場合は，必ずCKDIV2-CKDIV0**ビット** = 000（f_X）**に一度設定したあとで，変更する内部システム・クロックに設定してください。**

例　クロック・ジェネレータの設定

動作モード	CKSEL端子	CKCレジスタ			入力クロック（f_X）	内部システム・クロック（fxx）
		CKDIV2	CKDIV1	CKDIV0		
ダイレクト・モード	ハイ・レベル入力	0	0	0	16 MHz	8 MHz
PLLモード	ロウ・レベル入力	0	0	0	4 MHz	4 MHz
		0	0	1	5 MHz	12.5 MHz
		0	1	1	6.4 MHz	32 MHz
		1	1	1	4 MHz	40 MHz
上記以外					設定禁止	設定禁止

クロック・コントロール・レジスタ（CKC）へのデータ設定は，次のシーケンスで行います。

① 割り込みを禁止します（PSWのNPビットを1に設定）。
② 任意の汎用レジスタに特定レジスタへ設定するためのデータを用意します。
③ ペリフェラル・コマンド・レジスタ（PHCMD）に任意のデータを書き込みます。
④ クロック・コントロール・レジスタ（CKC）を設定します（次の命令で行います）。
　・ストア命令（ST/SST命令）
⑤ NOP命令を5命令以上挿入する（5命令（⑤-⑨））
⑩ 割り込み禁止を解除します（PSWのNPビットを0に戻します）。

［記述例］
```
①  LDSR   rX, 5
②  MOV    0x04, r10
③  ST.B   r10, PHCMD [r0]
④  ST.B   r10, CKC [r0]
⑤  NOP
⑥  NOP
⑦  NOP
⑧  NOP
⑨  NOP
⑩  LDSR   rY, 5
```

備考　rX：PSWに書き込む値
　　rY：PSWに書き戻す値

なお，特定レジスタを読み出す場合は，特別なシーケンスは必要ありません。

注意1. PHCMD発行（③）とその直後の特定レジスタ書き込み（④）の間で割り込みを受け付けた場合，特定レジスタへの書き込みは行われず，プロテクション・エラー（PHSレジスタのPRERRビット = 1）が発生することがあります。このため，PSWのNPビットを1に設定（①）して，割り込みの受け付けを禁止してください。特定レジスタの設定にビット操作命令を使用した場合も同様に割り込みの受け付けを禁止してください。

2. PHCMDレジスタへ書き込むデータはダミーですが，特定レジスタへの設定（上記例④）で使用する汎用レジスタと同じレジスタをPHCMDレジスタ書き込み（上記例③）でも使用してください。アドレシングに汎用レジスタを使用する場合も同様です。

3. この処理を行う前にすべてのDMA転送を終了させてください。

8. 3. 5　ペリフェラル・ステータス・レジスタ（PHS）

プロテクション対象の内部レジスタに対して，コマンド・レジスタへのアクセスを含む正しいシーケンスで書き込み動作をしなかった場合，レジスタへの書き込みは行われず，プロテクション・エラーが発生し，ステータス・フラグ（PRERR）がセット（1）されます。このフラグは累積フラグです。PRERRフラグをチェックしたあと，命令により0を書き込むことによってクリアされます。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	⓪	アドレス	初期値
PHS	0	0	0	0	0	0	0	PRERR	FFFFF802H	00H

ビット位置	ビット名	意　味
0	PRERR	プロテクション・エラー 0：プロテクション・エラー発生していない 1：プロテクション・エラー発生

PRERRフラグの動作条件を次に示します。

セット条件　：①　最近の内蔵周辺I/Oに対するストア命令動作がPHCMDレジスタへの書き込み動作ではない状態で，周辺特定レジスタへの書き込みを行ったとき

②　PHCMDレジスタへの書き込み動作後の最初のストア命令動作が定められた特定レジスタ以外のメモリ，内蔵周辺I/Oなどに対するとき

リセット条件：①　PHSレジスタのPRERRフラグに0を書き込んだとき

②　システム・リセットしたとき

8. 4　PLLロックアップ

電源投入後，またはソフトウエアSTOPモード解除直後から所定の周波数でフェーズ・ロックし，安定するまでの時間がロックアップ時間（周波数安定時間）です。この安定するまでの時間をロックアップ状態と呼び，安定した状態をロック状態と呼びます。

ロック・レジスタ（LOCKR）には，PLL周波数の安定状態を反映するLOCKフラグがあります。

8/1ビット単位でリードのみ可能です。

注意　ロックすると，LOCKフラグは0になります。そのあと，スタンバイ状態が原因でアンロック状態になったときは，LOCKフラグは1になります。しかし，スタンバイ状態以外の原因でアンロック状態になった場合は，LOCKフラグは変化しません（LOCK = 0の状態）。

	7	6	5	4	3	2	1	⓪	アドレス	初期値
LOCKR	0	0	0	0	0	0	0	LOCK	FFFFF824H	0000000xB

ビット位置	ビット名	意　味
0	LOCK	読み出し専用フラグで，PLLの状態を示します。 ロックアップ状態を維持しているかぎり0を保持し，システム・リセットによっても初期化されません。 0：ロック中であることを示します。 1：ロックしていない（アンロック）状態を示します。

クロック停止，電源カットなど，いったんアンロック状態を発生させる要因が働いた場合に，リアルタイム処理などのソフトウエアの実行速度に依存する制御の処理においては，動作開始直後にソフトウエアで必ずLOCKフラグを判定し，クロックが安定するまで待ってから処理を開始してください。

一方，内蔵の各ハードウエアの設定やレジスタ・データ，メモリ・データの初期化等の静的処理はLOCKフラグがリセットされるのを待たずに実行可能です。

発振子を使用した場合の発振安定時間（発振子が発振して入力波形が安定するまでの時間）とPLLロックアップ時間（周波数が安定するまでの時間）の関係は次のようになります。

発振安定時間＜PLLロックアップ時間

8.5　パワー・セーブ制御

8.5.1　概　　要

パワー・セーブ機能には，次のものがあります。

(1) HALTモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続しますが，CPUの動作クロックが停止するモードです。その他の内蔵周辺機能へのクロック供給は継続され，動作を継続します。通常動作モードとの組み合わせによる間欠動作により，システムのトータルの消費電力を低減させることができます。

専用命令（HALT命令）によりHALTモードに移行します。

(2) IDLEモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続したままで，内部システム・クロックの供給を停止させることにより，システム全体を停止させるモードです。

IDLEモードからの解除時に，発振回路の発振安定時間などを確保する必要がないため，高速に通常動作に移行することができます。

PSMRレジスタの設定によりIDLEモードに移行します。

IDLEモードは，クロックの安定時間と消費電流に関して，ソフトウエアSTOPとHALTモードの中間に位置するモードで，低消費電流モードを利用し，かつ解除時のクロックの安定時間を削除したい用途に利用します。

(3) ソフトウエアSTOPモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）を停止させ，システム全体が停止するモードです。リーク電流だけの超低消費電力状態になります。

PSMRレジスタの設定により，ソフトウエアSTOPモードに移行します。

(a) PLLモード

ソフトウエアによるレジスタ設定により，ソフトウエアSTOPモードに移行します。発振回路が停止すると同時にPLLシンセサイザのクロック出力が停止します。ソフトウエアSTOPモードの解除後は，システム・クロックが安定するまでの間，発振回路の発振安定時間を確保する必要があります。また，プログラムによってはPLLのロックアップ時間が必要な場合があります。発振子接続，外部クロック接続の場合，ソフトウエアSTOPモード解除後に，タイム・ベース・カウンタのカウント時間が終了したあとにプログラムの実行が開始されます。

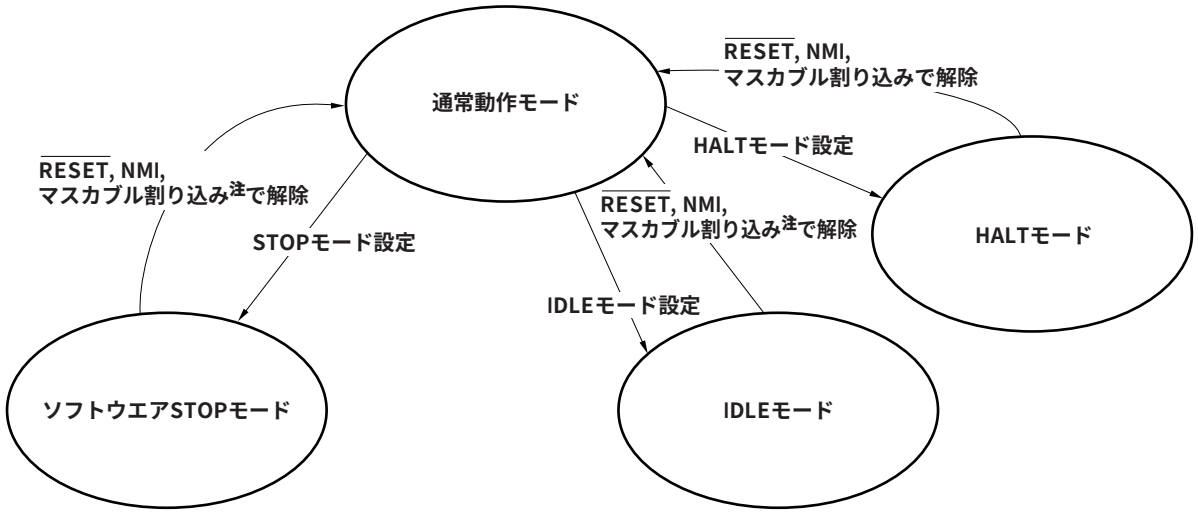
(b) ダイレクト・モード

クロックを停止させる場合は，X1端子をロウ・レベルにしてください。なお，ソフトウエアSTOPモード解除後は，タイム・ベース・カウンタのカウント時間が終了したあとにプログラムの実行が開始されます。

通常動作，HALT，IDLE，ソフトウエアSTOPの各モードにおけるクロック・ジェネレータの動作を表8－1に示します。

各モードを組み合わせて，用途により切り替えて使用することにより，効果的な低消費電力システムを実現することができます。

図8－1　パワー・セーブ・モード状態遷移図



注　INTPn（n = 0-4, 20-25）

ただし，INTP20-INTP25のノイズ除去回路としてクロック・サンプリングによるディジタル・フィルタを選択した場合は，ソフトウエアSTOPモード，IDLEモードを解除することができません。

表8－1　パワー・セーブ制御によるクロック・ジェネレータの動作

クロック・ソース		パワー・セーブ・モード	発振回路	PLL シンセサイザ	内蔵周辺I/Oへのクロック供給	CPUへのクロック供給
PLLモード	発振子による発振	通常動作時	○	○	○	○
		HALTモード	○	○	○	×
		IDLEモード	○	○	×	×
		ソフトウエアSTOPモード	×	×	×	×
	外部クロック	通常動作時	×	○	○	○
		HALTモード	×	○	○	×
		IDLEモード	×	○	×	×
		ソフトウエアSTOPモード	×	×	×	×
ダイレクト・モード	外部クロック	通常動作時	×	×	○	○
		HALTモード	×	×	○	×
		IDLEモード	×	×	×	×
		ソフトウエアSTOPモード	×	×	×	×

備考　○：動作

×：停止

8.5.2　制御レジスタ

(1) パワー・セーブ・モード・レジスタ (PSMR)

パワー・セーブ・モードを制御する8ビット・レジスタです。PSCレジスタのSTBビットをセット (1) することにより有効となります。

PSMRレジスタへの書き込みは，ストア命令 (ST/SST命令) およびビット操作命令 (SET1/CLR1/ NOT1命令) により行います。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	⓪	アドレス	初期値
PSMR	0	0	0	0	0	0	0	PSM	FFFFF820H	00H

ビット位置	ビット名	意　味
0	PSM	IDLEモード／ソフトウエアSTOPモードを指定します。 0：IDLEモード 1：ソフトウエアSTOPモード

(2) コマンド・レジスタ (PRCMD)

コマンド・レジスタ (PRCMD) は，プログラムの暴走などにより，応用システムが不用意に停止しないように，システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。あらかじめ，PRCMDレジスタに対して書き込み動作を行ったあとの最初の特定レジスタ (パワー･セーブ･コントロール・レジスタ (PSC)) への書き込みのみ有効となります。これにより定められたシーケンスによってだけ，レジスタの値が書き換えられ，不正な書き込み動作ができなくなります。

8ビット単位でライトのみ可能です (リードした場合，不定データを読み出します)。

	7	6	5	4	3	2	1	0	アドレス	初期値
PRCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0	FFFFF1FCH	不定

ビット位置	ビット名	意　味
7-0	REG7-REG0	レジストレーション・コード (任意の8ビット・データ) 対象となる特定レジスタは，パワー・セーブ・コントロール・レジスタ (PSC) です。

(3) パワー・セーブ・コントロール・レジスタ（PSC）

パワー・セーブを制御する8ビット・レジスタです。

NMIM, INTMビットの設定により割り込み解除許可状態になっていれば，割り込み要求によるソフトウエアSTOPモードの解除が行えます（割り込みマスク・レジスタ（IMR0-IMR3）により，割り込み処理を禁止している場合を除く）。

また，STBビットの設定によりIDLEモードまたはソフトウエアSTOPモードを指定します。

このレジスタは特定レジスタの1つで，ライト動作時は特定シーケンスによるアクセスだけが有効です。

8/1ビット単位でリード／ライト可能です。

ビット7, 6には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意　STBビットと，NMIMビットまたはINTMビットは同時にセットできません。必ずNMIMビットまたはINTMビットをセットしたあとに，STBビットを設定してください。

	7	6	⑤	④	3	2	①	0	アドレス	初期値
PSC	0	0	NMIM	INTM	0	0	STB	0	FFFFF1FEH	00H

ビット位置	ビット名	意　味
5	NMIM	NMIの有効エッジ入力によるスタンバイ・モード解除の許可／禁止を設定するビットです[注]。 0：NMI解除許可 1：NMI解除禁止
4	INTM	マスクされていないマスカブル割り込み（INTPn）の有効エッジ入力によるスタンバイ・モード解除の許可／禁止を設定するビットです（n = 0-4, 20-25, 30, 31, 100, 101）[注]。 0：マスカブル割り込み解除許可 1：マスカブル割り込み解除禁止
1	STB	スタンバイ・モードの状態を示します。 1を書き込むとIDLEモード，またはソフトウエアSTOPモード（PSMRレジスタのPSMビットで設定）に入ります。スタンバイ・モードが解除されると，自動的に0にリセットされます。 0：スタンバイ・モード解除状態 1：スタンバイ・モード中

注　設定はIDLEモード／ソフトウエアSTOPモード時だけ有効です。

パワー・セーブ・コントロール・レジスタ（PSC）へのデータ設定は，次のシーケンスで行います。

① パワー・セーブ・モード・レジスタ（PSMR）を設定します（次の命令で行います）。
　・ストア命令（ST/SST命令）
　・ビット操作命令（SET1/CLR1/NOT1命令）
② 任意の汎用レジスタに特定レジスタへ設定するためのデータを用意します。
③ コマンド・レジスタ（PRCMD）に任意のデータを書き込みます。
④ パワー・セーブ・コントロール・レジスタ（PSC）を設定します（次の命令で行います）。
　・ストア命令（ST/SST命令）
　・ビット操作命令（SET1/CLR1/NOT1命令）
⑤ NOP命令を挿入する（5命令（⑤-⑨））

[記述例]

```
①  ST.B   r11, PSMR［r0］  ;PSMRレジスタ設定
②  MOV    0x04, r10        ;任意の汎用レジスタに特定レジスタへの設定用データを用意
③  ST.B   r10, PRCMD［r0］ ;PRCMDレジスタ書き込み
④  ST.B   r10, PSC［r0］   ;PSCレジスタ設定
⑤  NOP                     ;ダミー命令
⑥  NOP                     ;ダミー命令
⑦  NOP                     ;ダミー命令
⑧  NOP                     ;ダミー命令
⑨  NOP                     ;ダミー命令
（next instruction）        ;ソフトウエアSTOPモード，IDLEモード解除後の実行ルーチン
```

なお，特定レジスタを読み出す場合は，特別なシーケンスは必要ありません。

注意1. コマンド・レジスタに対するストア命令では，割り込み受け付けを行いません。これは，プログラムで上記③，④を連続したストア命令で行うことを前提としています。③，④間にほかの命令が置かれていると，その命令で割り込みを受け付けた際，上記シーケンスが成立しなくなる場合があり，誤動作の要因となるので注意が必要です。

2. PRCMDレジスタへ書き込むデータはダミーですが，特定レジスタへの設定（上記例④）で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み（上記例③）でも使用してください。アドレシングに汎用レジスタを使用する場合も同様です。
3. ソフトウエアSTOPモード，IDLEモードに設定するためのPSCレジスタに対するストア命令では，直後にNOP命令を5命令以上挿入する必要があります。
4. この処理を行う前にすべてのDMA転送を終了させてください。

8. 5. 3　HALTモード

(1) 設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続しますが，CPUの動作クロックが停止するモードです。その他の内蔵周辺I/Oへのクロック供給は継続され，動作を継続します。CPUの空き時間にHALTモードに設定することにより，システム全体の消費電力を低減できます。

HALT命令によりHALTモードに移行します。

HALTモードでは，プログラムの実行は停止しますが，その直前のすべてのレジスタ，内蔵RAM，ポートの内容は保持されます。また，CPUの命令処理に依存しない内蔵周辺I/O（ポート以外）は動作を継続します。HALTモード時の各ハードウエアの状態は表8－2のようになります。

表8－2　HALTモード時の動作状態

機　　能	動作状態
クロック・ジェネレータ	動　作
内部システム・クロック	動　作
CPU	停　止
ポート	保　持
内蔵周辺I/O（ポート以外）	動　作
内部データ	CPUのレジスタ，ステータス，データ，内蔵RAMの内容など，内部のデータはすべてHALTモード設定前の状態を保持
AD0-AD15	動　作
A16-A21	
$\overline{RD}$, ASTB	
$\overline{UWR}$, $\overline{LWR}$	
$\overline{WAIT}$	
CLKOUT	クロック出力

(2) HALTモードの解除

HALTモードは，ノンマスカブル割り込み要求，マスクされていないマスカブル割り込み要求，および$\overline{\text{RESET}}$端子入力により解除されます。

(a) ノンマスカブル割り込み要求，マスクされていないマスカブル割り込み要求による解除

ノンマスカブル割り込み要求，マスクされていないマスカブル割り込み要求により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でHALTモードに設定した場合は次のように動作が異なります。

(i) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求が発生するとHALTモードの解除だけを行い，この割り込み要求は受け付けません。割り込み要求そのものは保持します。

(ii) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求（ノンマスカブル割り込み要求を含む）が発生すると，HALTモードの解除とともにこの割り込み要求を受け付けます。

表8－3　割り込み要求によるHALTモード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスカブル割り込み要求	ハンドラ・アドレスに分岐	
マスカブル割り込み要求	ハンドラ・アドレスに分岐または次の命令を実行	次の命令を実行

(b) $\overline{\text{RESET}}$端子入力による解除

通常のリセット動作と同じです。

8. 5. 4　IDLEモード

(1) 設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続したままで，内部システム・クロックの供給が停止し，システム全体が停止するモードです。

このモードの解除時は，発振回路の発振安定時間やPLLのロックアップ時間を確保する必要がないため，高速に通常動作に移行できます。

ストア命令（ST/SST命令）またはビット操作命令（SET1/CLR1/NOT1命令）によるPSC, PSMRレジスタの設定でIDLEモードに移行します（8. 5. 2　**制御レジスタ**参照）。

IDLEモードでは，プログラムの実行は停止しますが，その直前のすべてのレジスタ，内蔵RAM，ポートの内容は保持されます。内蔵周辺I/O（ポート以外）も動作を停止します。

IDLEモード時の各ハードウエアの状態は表8－4のようになります。

表8－4　IDLEモード時の動作状態

機　　能	動作状態
クロック・ジェネレータ	動　作
内部システム・クロック	停　止
CPU	停　止
ポート	保　持
内蔵周辺I/O（ポート以外）	停　止（スレーブ・モード時のCSI0, CSI1は動作可能）
内部データ	CPUのレジスタ，ステータス，データ，内蔵RAMの内容など，内部のデータはすべてIDLEモード設定前の状態を保持
AD0-AD15	ハイ・インピーダンス
A16-A21	
$\overline{RD}$	ハイ・レベル出力
$\overline{UWR}$, $\overline{LWR}$	
$\overline{WAIT}$	入力（サンプリングなし）
ASTB	ハイ・レベル出力
CLKOUT	ロウ・レベル出力

(2) IDLEモードの解除

IDLEモードは，ノンマスカブル割り込み要求，マスクされていないマスカブル割り込み要求（INTPn）[注]，およびRESET端子入力により解除されます（n = 0-4, 20-25）。

注　INTP20-INTP25のノイズ除去回路としてクロック・サンプリングによるディジタル・フィルタを選択した場合は，IDLEモードを解除することができません。

(a) ノンマスカブル割り込み要求，マスクされていないマスカブル割り込み要求による解除

PSCレジスタのINTM, NMIMビットに0が設定された状態でIDLEモードに移行した場合のみ割り込み要求による解除ができます。

ノンマスカブル割り込み要求，マスクされていないマスカブル割り込み要求（INTPn）により，優先順位とは無関係に解除されます（n = 0-4, 20-25）。解除後の動作は次のようになります。

注意　PSCレジスタのNMIM, INTMビットに1を設定した場合は，ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号によるIDLEモードの解除はできません。

表8－5　割り込み要求によるIDLEモード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスカブル割り込み要求	ハンドラ・アドレスに分岐	
マスカブル割り込み要求	ハンドラ・アドレスに分岐または次の命令を実行	次の命令を実行

なお，マスカブル割り込み処理ルーチン内でIDLEモードに設定した場合は次のように動作が異なります。

(i) 現在処理中のマスカブル割り込み要求よりも優先順位の低い割り込み要求が発生するとIDLEモードの解除だけを行い，この割り込み要求は受け付けません。割り込み要求そのものは保持します。

(ii) 現在処理中のマスカブル割り込み要求よりも優先順位が高い割り込み要求（ノンマスカブル割り込み要求を含む）が発生すると，IDLEモードの解除とともにこの割り込み要求を受け付けます。

NMI処理ルーチン内でIDLEモードに設定した場合は，IDLEモードの解除だけを行い，この割り込みは受け付けません（割り込みは保持されます）。

NMI端子入力によるIDLEモード解除時に起動される割り込み処理は，緊急時などの通常のNMI割り込み処理と同等に扱われます（NMI割り込みのハンドラ・アドレスが一意のため）。したがって，プログラムで両者を区別する必要がある場合は，ソフトウエア・ステータスをあらかじめ用意しておき，ストア命令またはビット操作命令によるPSMRレジスタ設定の前に，ステータスを設定しておく必要があります。NMIの割り込み処理でこのステータスをチェックすることで，通常のNMIとの区別が可能です。

(b) RESET端子入力による解除

通常のリセット動作と同じです。

8. 5. 5　ソフトウエアSTOPモード

(1) 設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）を停止させるモードです。システム全体を停止させ，デバイスのリーク電流だけの超低消費電力を実現します。

ストア命令（ST/SST命令）またはビット操作命令（SET1/CLR1/NOT1命令）によるPSC, PSMRレジスタの設定でソフトウエアSTOPモードに移行します（8. 5. 2　制御レジスタ参照）。

PLLモードかつ発振子接続モード（CKCレジスタのCESELビット = 1）の場合，ソフトウエアSTOPモード解除後に，発振回路の発振安定時間を確保する必要があります。

また，PLLモード，ダイレクト・モードともソフトウエアSTOPモード解除後は，タイム・ベース・カウンタのカウント時間が終了したあとにプログラムの実行が開始されます。

ソフトウエアSTOPモードでは，プログラムの実行は停止しますが，その直前のすべてのレジスタ，内蔵RAM，ポートの内容は保持されます。内蔵周辺I/O（ポート以外）も動作を停止します。

ソフトウエアSTOPモード時の各ハードウエアの状態は表8－6のようになります。

表8－6　ソフトウエアSTOPモード時の動作状態

機　　能	動作状態
クロック・ジェネレータ	停　止
内部システム・クロック	停　止
CPU	停　止
ポート	保　持[注]
内蔵周辺I/O（ポート以外）	停　止（スレーブ・モード時のCSI0, CSI1は動作可能）
内部データ	CPUのレジスタ，ステータス，データ，内蔵RAMの内容など，内部のデータはすべてソフトウエアSTOPモード設定前の状態を保持[注]
AD0-AD15	ハイ・インピーダンス
A16-A21	
$\overline{RD}$	ハイ・レベル出力
$\overline{UWR}$, $\overline{LWR}$	
$\overline{WAIT}$	入力（サンプリングなし）
ASTB	ハイ・レベル出力
CLKOUT	ロウ・レベル出力

注　V_{DD}の値が動作可能範囲内にある場合（ただし，動作可能最低電圧より下がった場合でも，データ保持電圧V_{DDDR}を維持すれば内蔵RAMの内容だけは保持されます）。

(2) ソフトウエアSTOPモードの解除

ソフトウエアSTOPモードは，ノンマスカブル割り込み入力，マスクされていないマスカブル割り込み要求（INTPn）[注]，$\overline{\text{RESET}}$端子入力により解除されます。また，PLLモード（CKSEL端子 = ロウ・レベル）かつ発振子接続モード（CKCレジスタのCESELビット = 0）におけるソフトウエアSTOPモード解除時には，発振回路の発振安定時間を確保する必要があります（n = 0-4, 20-25）。

プログラムによってはPLLのロックアップ時間が必要になります。詳細は8. 4　PLLロックアップを参照してください。

注　INTP20-INTP25のノイズ除去回路としてクロック・サンプリングによるディジタル・フィルタを選択した場合は，ソフトウエアSTOPモードを解除することができません。

(a) ノンマスカブル割り込み要求，マスクされていないマスカブル割り込み要求による解除

PSCレジスタのINTM, NMIMビットに0が設定された状態でソフトウエアSTOPモードに移行した場合のみ割り込み要求による解除ができます。

ノンマスカブル割り込み要求，マスクされていないマスカブル割り込み要求（INTPn）により，優先順位とは無関係に解除されます（n = 0-4, 20-25）。解除後の動作は次のようになります。

注意　PSCレジスタのNMIM, INTMビットに1を設定した場合は，ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号によるソフトウエアSTOPモードの解除はできません。

表8－7　割り込み要求によるソフトウエアSTOPモード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスカブル割り込み要求	ハンドラ・アドレスに分岐	
マスカブル割り込み要求	ハンドラ・アドレスに分岐または次の命令を実行	次の命令を実行

なお，マスカブル割り込み処理ルーチン内でソフトウエアSTOPモードに設定した場合は次のように動作が異なります。

(i) 現在処理中のマスカブル割り込み要求よりも優先順位の低い割り込み要求が発生するとソフトウエアSTOPモードの解除だけを行い，この割り込み要求は受け付けません。割り込み要求そのものは保持します。

(ii) 現在処理中のマスカブル割り込み要求よりも優先順位が高い割り込み要求（ノンマスカブル割り込み要求を含む）が発生すると，ソフトウエアSTOPモードの解除とともにこの割り込み要求を受け付けます。

NMI処理ルーチン内でソフトウエアSTOPモードに設定した場合は，ソフトウエアSTOPモードの解除だけを行い，この割り込みは受け付けません（割り込みは保持されます）。

NMI端子入力によるソフトウエアSTOPモード解除時に起動される割り込み処理は，緊急時などの通常のNMI割り込み処理と同等に扱われます（NMI割り込みのハンドラ・アドレスが一意のため）。したがって，プログラムで両者を区別する必要がある場合は，ソフトウエア・ステータスをあらかじめ用意しておき，ストア命令またはビット操作命令によるPSMRレジスタ設定の前に，ステータス設定しておく必要があります。

NMIの割り込み処理でこのステータスをチェックすることで，通常のNMIとの区別が可能です。

(b) $\overline{\text{RESET}}$端子入力による解除

通常のリセット動作と同じです。

8.6　発振安定時間の確保

8.6.1　発振安定時間の確保指定

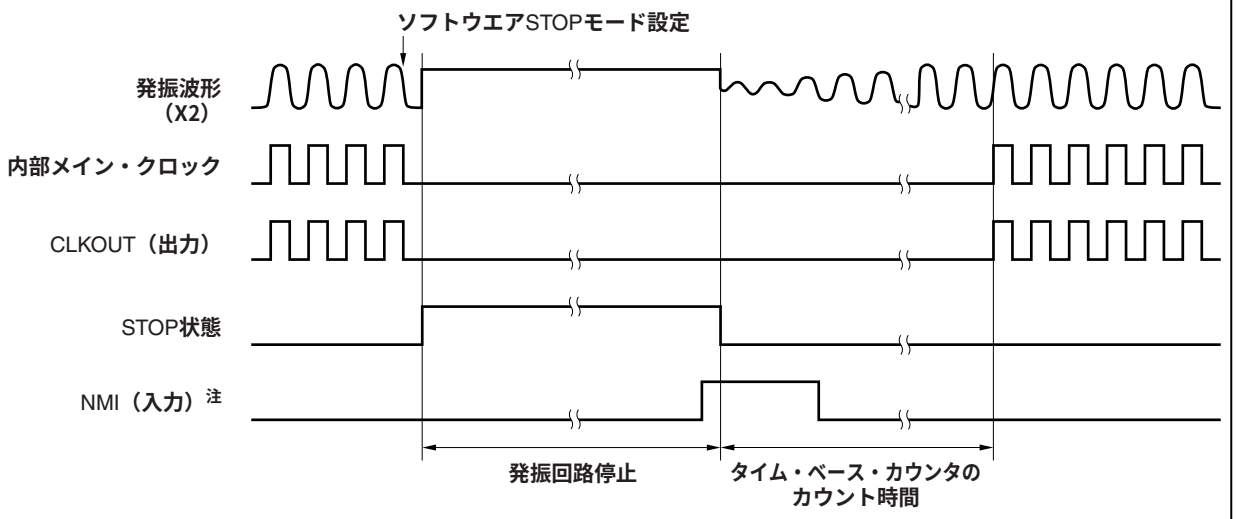
ソフトウエアSTOPモード解除後の停止状態の発振回路が安定するまでの時間確保指定には2通りの方法があります。

(1) 内蔵タイム・ベース・カウンタで時間を確保する場合

NMI端子に有効エッジが入力，またはマスカブル割り込み要求入力（INTPn）されると，ソフトウエアSTOPモードが解除されます。端子へのアクティブ・エッジ入力で発振が開始されると，タイム・ベース・カウンタ（TBC）がカウントを開始し，そのカウント時間で，発振回路からのクロック出力が安定するまでの時間を確保します（n = 0-4, 20-25）。

発振安定時間 = TBCのカウント時間

所定時間後，内部システム・クロック出力を開始し，NMI割り込み，またはマスカブル割り込み（INTPn）のハンドラ・アドレスに分岐します。



注　有効エッジ：立ち上がりエッジに指定した場合

NMI端子は，通常はインアクティブ・レベル（たとえば有効エッジを立ち下がりに指定したときはハイ・レベル）にしておいてください。

なお，NMIの有効エッジ入力，またはマスカブル割り込み要求入力（INTPn）により，CPUが割り込みを受け付けるまでの期間にソフトウエアSTOPモードに設定する動作を行った場合，ソフトウエアSTOPモードはすぐに解除されます。

ダイレクト・モード，または外部クロック接続モード（CKCレジスタのCESELビット = 1）の場合，タイム・ベース・カウンタでのカウント時間終了後にプログラム実行を開始します。

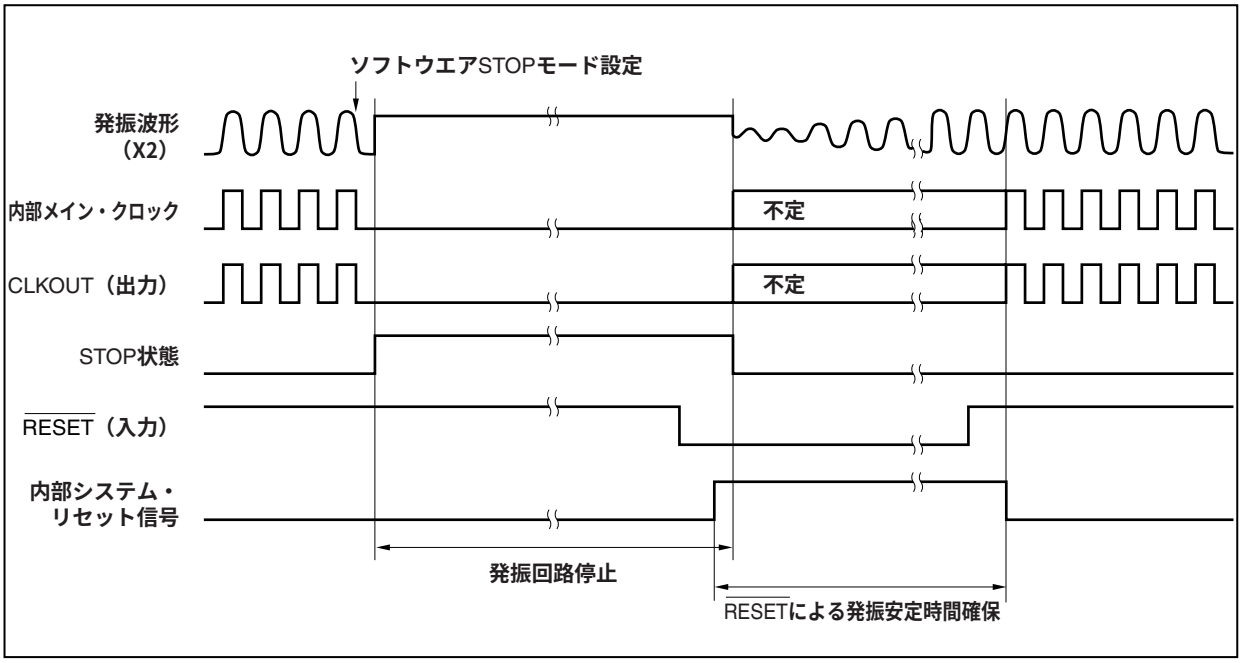
PLLモードかつ発振子接続モード（CKCレジスタのCESELビット = 0）の場合も，タイム・ベース・カウンタによる発振安定時間確保後にプログラム実行を開始します。

(2) 信号レベル幅で時間を確保する場合（$\overline{\text{RESET}}$端子入力）

$\overline{\text{RESET}}$端子への立ち下がりエッジ入力により，ソフトウエアSTOPモードが解除されます。

端子へ入力される信号のロウ・レベル幅で，発振回路からのクロック出力が安定するまでの時間を確保します。

$\overline{\text{RESET}}$端子への立ち上がりエッジ入力後，内部システム・クロックの供給が開始し，システム・リセット時のハンドラ・アドレスに分岐します。



8. 6. 2　タイム・ベース・カウンタ（TBC）

タイム・ベース・カウンタ（TBC）は，ソフトウエアSTOPモード解除時の発振回路の発振安定時間の確保に使用します。

外部クロック接続時（CKCレジスタのCESELビット = 1），または発振子接続時（PLLモードかつCKCレジスタのCESELビット = 0）は，ソフトウエアSTOPモード解除後，TBCで発振安定時間をカウントし，カウント終了後にプログラム実行を開始します。

CKCレジスタのTBCSビットによりTBCのカウント・クロックを選択し，次のカウント時間が設定できます。

表8－8　カウント時間例（f_{XX} = 10×f_X）

TBCSビット	カウント・クロック	カウント時間
		f_X = 4.0000 MHz
0	$f_X/2^8$	16.4 ms
1	$f_X/2^9$	32.8 ms

f_{XX} ：内部システム・クロック

f_X ：外部発振周波数

第9章　タイマ／カウンタ機能

9. 1　タイマ0

9. 1. 1　特徴（タイマ0）

タイマ00, 01（TM00, TM01）は，16ビット・タイマ／カウンタでモータなどの高速インバータ制御に適しています。

- 3相PWM出力機能
  PWMモード0（対称三角波）
  PWMモード1（非対称三角波）
  PWMモード2（のこぎり波）
- 割り込み間引き機能
  間引き率（1/1, 1/2, 1/4, 1/8, 1/16）
- 3相PWM出力の強制出力停止機能
  異常時に外部信号入力端子ESOnに信号を入力することにより，3相PWM出力の強制出力停止が可能
  この機能は，クロック停止状態でも動作可能
- リアルタイム出力機能
  3相PWM出力または矩形波出力を任意のタイミングで切り替え可能
- 3相PWM出力の正相と逆相または正相と同相を出力可能

9. 1. 2　機能概要（タイマ0）

○3相PWMインバータ制御用16ビット・タイマ（TM0n）：2チャネル

○コンペア・レジスタ：6本×2チャネル

○12ビット・デッド・タイム・タイマ（DTMn0-DTMn2）：3本×2チャネル

○カウント・クロックはプリスケーラによる分周から選択（カウント・クロックは40 MHz以下に設定してください。）

○基本クロック（f_{CLK}）：2種（f_{CLK}は40 MHz以下に設定してください。）

f_{XX}および$f_{XX}/2$を選択可能

○プリスケーラ分周比

基本クロック（f_{CLK}）により次のように選択可能

分周比	基本クロック（f_{CLK}）	
	f_{XX}選択時	$f_{XX}/2$選択時
1/1	f_{XX}	$f_{XX}/2$
1/2	$f_{XX}/2$	$f_{XX}/4$
1/4	$f_{XX}/4$	$f_{XX}/8$
1/8	$f_{XX}/8$	$f_{XX}/16$
1/16	$f_{XX}/16$	$f_{XX}/32$
1/32	$f_{XX}/32$	$f_{XX}/64$

○割り込み要求ソース

（a）コンペア一致割り込み要求：9種

・TM0nレジスタのカウント値とコンペア・レジスタCM0n3の一致で割り込み要求信号INTCM0n3を発生

・TM0nレジスタのカウント値とコンペア・レジスタCM010-CM012，CM0n4，CM0n5の一致で割り込み要求信号INTCM010-INTCM012, INTCM0n4, INTCM0n5を発生

設定条件	INTCM010-INTCM012, INTCM0n4, INTCM0n5 信号の発生状況
CM010-CM012, CM0n4, CM0n5≦CM0n3	発生する
CM010-CM012, CM0n4, CM0n5 = 0000H	発生する
CM010-CM012, CM0n4, CM0n5＞CM0n3	発生しない

（b）アンダフロー割り込み要求：2種

・TM0nレジスタのアンダフローにより割り込み要求信号INTTM0nを発生

○外部パルス出力（TO0n0-TO0n5）：6本×2チャネル

備考　f_{XX}：内部システム・クロック

n = 0, 1

9. 1. 3　V850E/IA1より追加された機能

（1）BFCMn4レジスタとCM0n4レジスタ，およびBFCMn5レジスタとCM0n5レジスタの追加

TMC0nレジスタのTM0CEnビット = 1（カウント許可）時に，BFCMn4, BFCMn5レジスタからCM0n4, CM0n5レジスタへのデータ転送の許可／禁止をTMC0nレジスタのBFTENビットで制御します（n = 0, 1）。

（2）CM010-CM012, CM0n4, CM0n5レジスタのコンペア一致割り込み出力機能（INTCM010-INTCM012, INTCM0n4, INTCM0n5）

次にCM010-CM012, CM0n4, CM0n5レジスタのコンペア一致割り込み出力機能（INTCM010-INTCM012, INTCM0n4, INTCM0n5）の特徴を示します（n = 0, 1）。

(a) この割り込み信号は，TM0nのタイマ・スタート時の割り込み発生を指定するTMC0nレジスタのSTINTnビットの影響は受けません。

(b) CM010-CM012, CM0n4, CM0n5レジスタのコンペア一致割り込み出力機能には，割り込み間引き機能はありません。したがって，TMC0nレジスタのCUL02-CUL00ビットでの影響は受けません。

また，この割り込み信号の使用要因を次に示します。

表9ー1　INTCM010-INTCM012, INTCM0n4, INTCM0n5の使用要因

ユニット	割り込み名	A/Dトリガ機能	割り込み機能	DMAトリガ要因
TM00	INTCM000-INTCM002注	×	×	×
	INTCM004, INTCM005	○	○	×
TM01	INTCM010-INTCM012	×	○	○
	INTCM014, INTCM015	○	○	○

注　V850E/IA2には，INTCM000-INTCM002はありません。

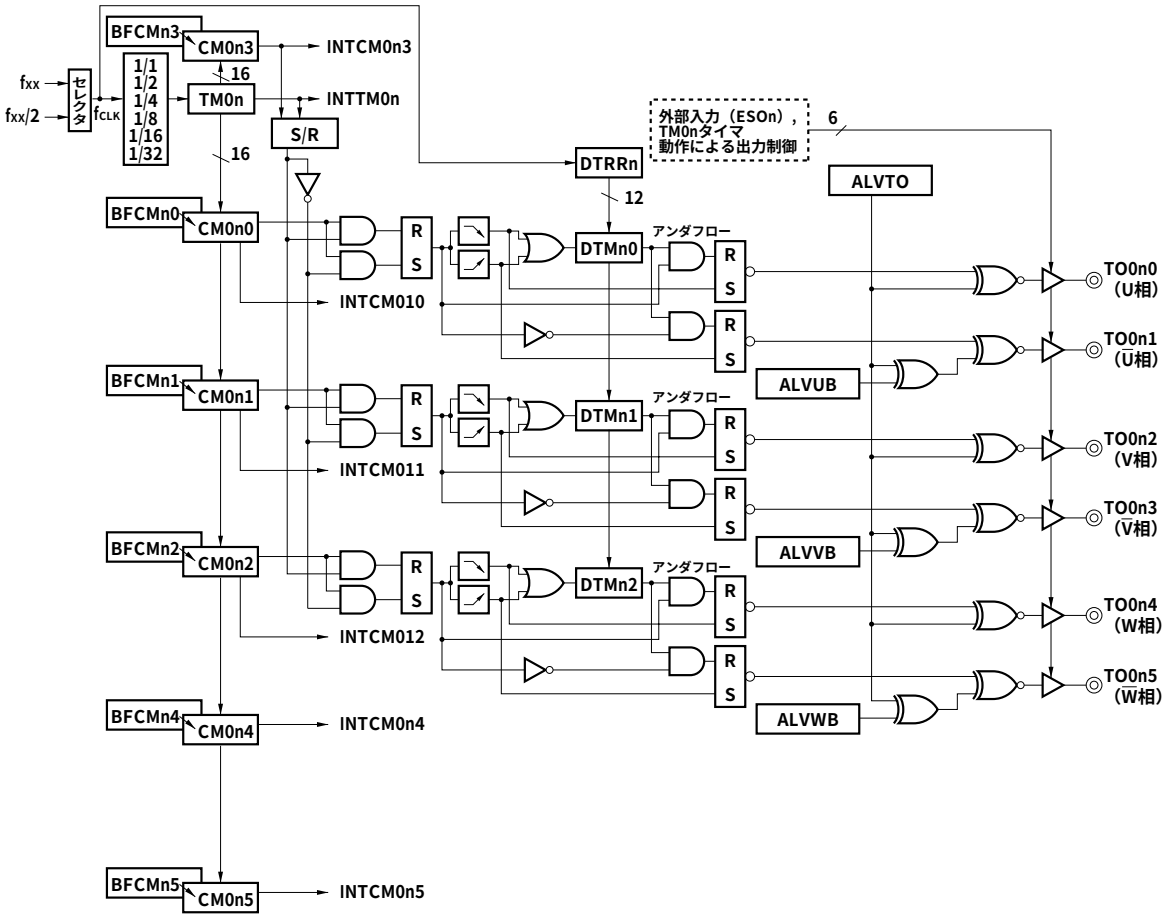
備考1.　○：機能あり
×：機能なし

2.　n = 0, 1

9. 1. 4　基本構成

次に基本構成を示します。

図9－1　タイマ0のブロック図（モード0：対称三角波，モード1：非対称三角波）



備考1.　TM0n　　**：タイマ・レジスタ**

CM0n0-CM0n5　　**：コンペア・レジスタ**

BFCMn0-BFCMn5　**：バッファ・レジスタ**

DTRRn　　**：デッド・タイム・タイマ・リロード・レジスタ**

DTMn0-DTMn2　**：デッド・タイム・タイマ**

ALVTO　　**：TOMRnレジスタのビット**7

ALVUB　　**：TOMRnレジスタのビット**6

ALVVB　　**：TOMRnレジスタのビット**5

ALVWB　　**：TOMRnレジスタのビット**4

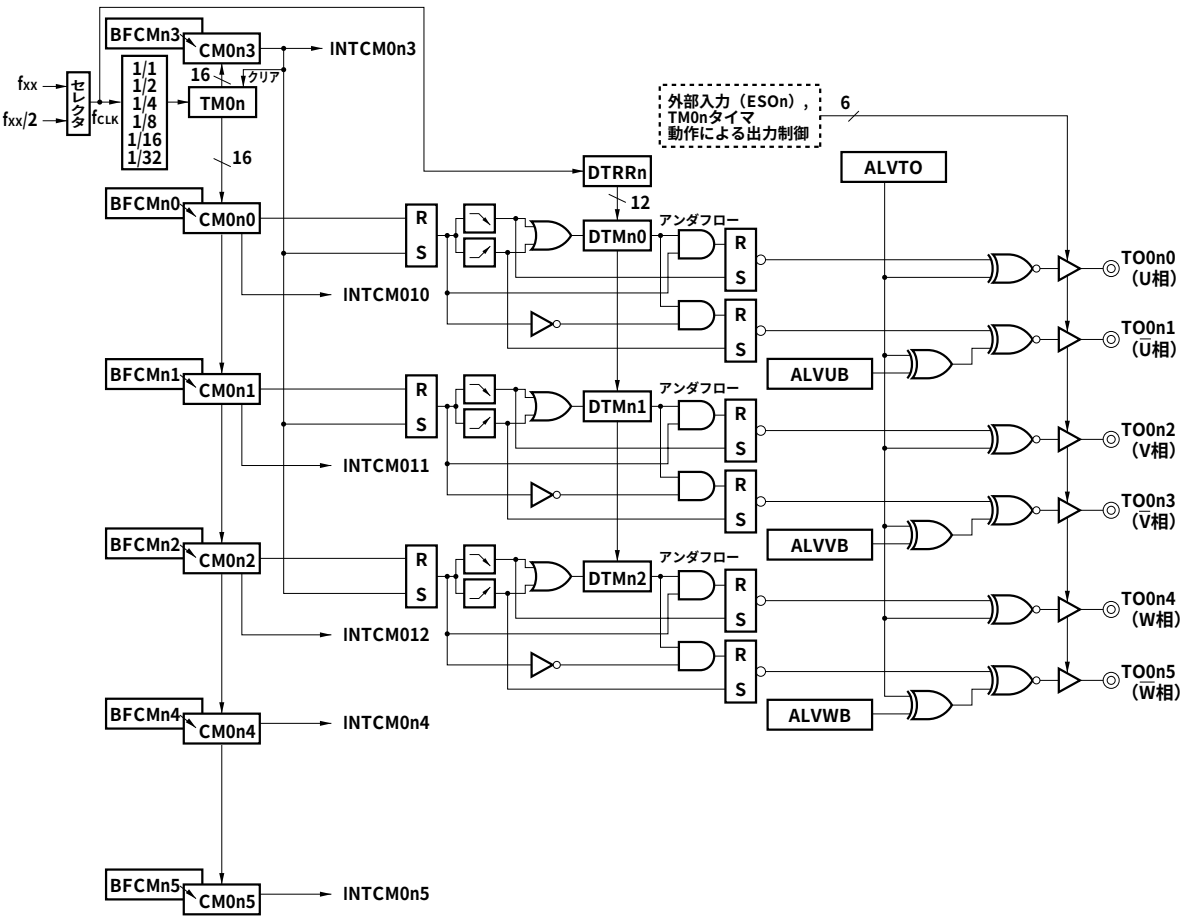
S/R　　**：セット／リセット**

2.　n = 0, 1

3.　f_{XX}**：内部システム・クロック**

4.　f_{CLK}**：基本クロック**（40 MHz（MAX.））

図9－2　タイマ0のブロック図（モード2：のこぎり波）



備考1.　TM0n　　**：タイマ・レジスタ**

CM0n0-CM0n5　　**：コンペア・レジスタ**

BFCMn0-BFCMn5　**：バッファ・レジスタ**

DTRRn　　**：デッド・タイム・タイマ・リロード・レジスタ**

DTMn0-DTMn2　**：デッド・タイム・タイマ**

ALVTO　　**：TOMRnレジスタのビット**7

ALVUB　　**：TOMRnレジスタのビット**6

ALVVB　　**：TOMRnレジスタのビット**5

ALVWB　　**：TOMRnレジスタのビット**4

2.　n = 0, 1

3.　fxx**：内部システム・クロック**

4.　fCLK**：基本クロック**（40 MHz（MAX.））

（1）タイマ00, 01**（**TM00, TM01**）**

TM0n**は**16**ビットのアップ／ダウン・タイマまたはアップ・タイマとして動作します。周期はコンペア・レジスタ**0n3（CM0n3）**によって制御されます（**n = 0, 1**）。**

TM0n**のスタートおよびストップは，タイマ・コントロール・レジスタ**0n（TMC0n）**の**TM0CEn**ビットによって制御します。**

カウント・クロックはプリスケーラによる分周をTMC0n**レジスタの**PRM02-PRM00**ビットにより**f_{CLK}, $f_{CLK}/2$, $f_{CLK}/4$, $f_{CLK}/8$, $f_{CLK}/16$, $f_{CLK}/32$**から選択できます（**f_{CLK}**：基本クロック，**9. 1. 5**（**1**）タイマ**0**クロック選択レジスタ（**PRM01**）参照）。**

TM0n**が**0000H**になる条件を次に示します。**

○リセット入力

○TM0CEn**ビット** = 0

○TM0n**レジスタとコンペア・レジスタ**0n3（CM0n3）**の一致（**PWM**モード**2**（のこぎり波）だけ）**

○オーバフロー，アンダフロー直後

TM0n**には表**9－2**に示す**3**つの動作モードがあります。それぞれの動作モードは，タイマ・コントロール・レジスタ**0n（TMC0n）**により選択できます。**

表9－2　**タイマ**0**の動作モード**

動作モード	カウント動作	タイマ・クリア要因	割り込み要因	BFCMn3→CM0n3転送タイミング	BFCMn0-BFCMn2, BFCMn4, BFCMn5→CM0n0-CM0n2, CM0n4, CM0n5転送タイミング
PWMモード0（対称三角波）	アップ／ダウン	－	INTTM0n, INTCM010-INTCM012, INTCM0n3-INTCM0n5	INTTM0n	INTTM0n
PWMモード1（非対称三角波）	アップ／ダウン	－	INTTM0n, INTCM010-INTCM012, INTCM0n3-INTCM0n5	INTTM0n	INTTM0n, INTCM0n3
PWMモード2（のこぎり波）	アップ	INTCM0n3	INTCM010-INTCM012, INTCM0n3-INTCM0n5	INTCM0n3	INTCM0n3

注意　INTTM0n, INTCM0n3**割り込み要因は，**TM0ICn, CM03ICn**，または**IMR0**レジスタの割り込みマスク・フラグ（**TM0MKn, CM03MKn**）をセット（割り込み禁止）しても，割り込みが発生しないだけでタイマ**0**の動作には影響しません。**

また，INTCM010-INTCM012, INTCM0n4, INTCM0n5**割り込み要因は，割り込みをマスクする／しないにかかわらず，タイマ**0**の動作には影響しません。**

備考　n = 0, 1

(2) デッド・タイム・タイマ00-02, 10-12**（**DTM00-DTM02, DTM10-DTM12**）**

DTMn0-DTMn2**は，インバータ制御に有効なデッド・タイム生成専用の**12**ビット・ダウン・タイマです。ワンショット・タイマとして動作します。**

デッド・タイム・タイマのカウント許可／禁止は，タイマ・コントロール・レジスタ0n**（**TMC0n**）の**TM0CEDn**ビットで制御します。ただし，ソフトウエアによる動作制御（開始／停止）はできません。ハードウエア的にカウントを開始／停止します。**

デッド・タイム・タイマは，CM0n0-CM0n2**のコンペア一致タイミングに同期してデッド・タイム・タイマ・リロード・レジスタ**n**（**DTRRn**）の値が転送され，ダウン・カウントを開始します。**

デッド・タイム・タイマ値が000H→FFFH**になるとアンダフロー信号を発生し，タイマは**FFFH**で停止します。**

また，デッド・タイム・タイマがアンダフローを発生する前に，再び対象となるコンペア・レジスタで一致が起こった場合，DTRRn**の値が再びデッド・タイム・タイマに転送され，ダウン・カウントを行います。**

デッド・タイム・タイマのカウント・クロックは基本クロック（f_{CLK}**）固定で，デッド・タイム幅は，次のようになります。**

（DTRRn**設定値＋**1**）／基本クロック（**f_{CLK}**）**

デッド・タイム・タイマがカウント禁止の状態で，TM0n**を**PWM**モード**0**，**PWM**モード**1**で動作させた場合，**TO0n0**と**TO0n1, TO0n2**と**TO0n3, TO0n4**と**TO0n5**には，デッド・タイムを持たない逆転の信号が出力されます。**

(3) デッド・タイム・タイマ・リロード・レジスタ0, 1**（**DTRR0, DTRR1**）**

DTRRn**レジスタは，**12**ビットのデッド・タイム設定用のレジスタで，**3**つのデッド・タイム・タイマ（**DTMn0-DTMn2**レジスタ）に対して共通です（**n = 0, 1**）。ただし，**DTRRn**レジスタから**DTMn0-DTMn2**レジスタへ値を転送するタイミングは，それぞれ独立して行われます。**

16**ビット単位でリード／ライト可能です。また，**DTRRn**レジスタを**16**ビット・リード・アクセスしたときには上位**4**ビットは**0**が読み出されます。**

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DTRR0	0	0	0	0													FFFFF570H	0FFFH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DTRR1	0	0	0	0													FFFFF5B0H	0FFFH

注意1. TM0n**動作中（**TMC0n**レジスタの**TM0CEn**ビット** = 1**）は**DTRRn**レジスタの値を変更することを禁止します。**

2. **上位**4**ビットには必ず**0**を書き込んでください。**

(4) コンペア・レジスタ000-002, 010-012**（**CM000-CM002, CM010-CM012**）**

CM0n0-CM0n2**は16ビットのレジスタで，**TM0n**と常に比較動作を行い，一致を検出するとトリガ信号を出力し，それぞれのコンペア・レジスタに接続されているフリップフロップ**（F/F）**の内容を変化させます。また，**CM0n0-CM0n2**は，それぞれバッファ・レジスタ**（BFCMn0-BFCMn2）**を備えており，次の転送タイミングでバッファの内容を**CM0n0-CM0n2**に転送します。転送の許可／禁止は，**TMC0n**レジスタの**BFTEN**ビットで制御します。**

タイマ01のCM010-CM012**が**TM01**と一致した場合，**INTCM010-INTCM012**割り込みを発生します。**

(5) コンペア・レジスタ004, 005, 014, 015**（**CM004, CM005, CM014, CM015**）**

CM0n4, CM0n5**は，16ビットのレジスタで，**TM0n**と常に比較動作を行い，一致を検出すると割り込み信号（**INTCM0n4, INTCM0n5**）を発生します。また，**CM0n4, CM0n5**は，それぞれバッファ・レジスタ（**BFCMn4, BFCMn5**）を備えており，次の転送タイミングでバッファの内容を**CM0n4, CM0n5**に転送します。転送の許可／禁止は，**TMC0n**レジスタの**BFTEN**ビットで制御します。**

(6) コンペア・レジスタ003, 013**（**CM003, CM013**）**

CM0n3**は16ビットのレジスタで，**TM0n**と常に比較動作を行い，一致を検出すると割り込み信号（**INTCM0n3**）を発生します。**CM0n3**は，**TM0n**のカウント上限値を制御しており，一致検出時には，その次のタイマのカウント・クロックで次に示す動作を行います。**

- **三角波設定モード時（**PWM**モード**0, 1**）　：**TM0n**の動作をアップ・カウントからダウン・カウントへ切り替え**
- **のこぎり波設定モード時（**PWM**モード**2**）：**TM0n**のカウント値クリア**

また，CM0n3**は，バッファ・レジスタ（**BFCMn3**）を備えており，次の転送タイミングでバッファの内容を**CM0n3**に転送します。転送の許可／禁止は，**TMC0n**レジスタの**BFTE3**ビットで制御されます。**

(7) バッファ・レジスタCM00-CM02, CM04, CM05, CM10-CM12, CM14, CM15**（**BFCM00-BFCM02, BFCM04, BFCM05, BFCM10-BFCM12, BFCM14, BFCM15**）**

BFCMn0-BFCMn2, BFCMn4, BFCMn5**は，16ビットのレジスタで，割り込み信号（**INTCM0n3/INTTM0n**）により，各バッファ・レジスタに対応したコンペア・レジスタ（**CM0n0-CM0n2, CM0n4, CM0n5**）にデータを転送します。**

16ビット単位でリード／ライト可能です。

注意　BFCMn0-BFCMn2, BFCMn4, BFCMn5**レジスタの設定値は次のタイミングで**CM0n0-CM0n2, CM0n4, CM0n5**レジスタへ転送されます（**n = 0, 1**）。**

- TMC0n**レジスタの**TM0CEn**ビット** = 0**時：**BFCMn0-BFCMn2, BFCMn4, BFCMn5**レジスタへライトされた次の動作タイミングで転送されます。**
- TMC0n**レジスタの**TM0CEn**ビット** = 1**時：**INTTM0n**発生時，または**INTCM0n3**発生時に**BFCMn0-BFCMn2, BFCMn4, BFCMn5**レジスタの値が**CM0n0-CM0n2, CM0n4, CM0n5**レジスタに転送されます。このときの転送の許可／禁止は，タイマ・コントロール・レジスタ（**TMC0n**）の**BFTEN**ビットで制御されます。**

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
BFCM00																	FFFFF572H	FFFFH
BFCM10																	FFFFF5B2H	FFFFH
BFCM01																	FFFFF574H	FFFFH
BFCM11																	FFFFF5B4H	FFFFH
BFCM02																	FFFFF576H	FFFFH
BFCM12																	FFFFF5B6H	FFFFH
BFCM04																	FFFFF59CH	FFFFH
BFCM14																	FFFFF5DCH	FFFFH
BFCM05																	FFFFF59EH	FFFFH
BFCM15																	FFFFF5DEH	FFFFH

（8）バッファ・レジスタCM03, CM13（BFCM03, BFCM13）

BFCMn3**は**16**ビットのレジスタで，任意のタイミングでコンペア・レジスタに転送します。転送の許可／禁止は，**TMC0n**レジスタの**BFTE3**ビットで制御されます。**

16**ビット単位でリード／ライト可能です。**

注意1. BFCMn3**レジスタの設定値は次のタイミングで**CM0n3**レジスタへ転送されます（**n = 0, 1**）。**

- TMC0n**レジスタの**TM0CEn**ビット** = 0**時：**BFCMn3**レジスタへライトされた次の動作タイミングで転送されます。**
- TMC0n**レジスタの**TM0CEn**ビット** = 1**時：**INTTM0n**発生時に**BFCMn3**レジスタの値が**CM0n3**レジスタに転送されます。このときの転送の許可・禁止は，タイマ・コントロール・レジスタ（**TMC0n**）の**BFTE3**ビットで制御されます。**

2. BFCMn3**レジスタを**0000H**に設定することは禁止します。**

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
BFCM03																	FFFFF578H	FFFFH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
BFCM13																	FFFFF5B8H	FFFFH

9.1.5　制御レジスタ

（1）タイマ0クロック選択レジスタ（PRM01）

PRM01レジスタは，タイマ0（TM0n）の基本クロック（f_{CLK}）を選択するレジスタです。

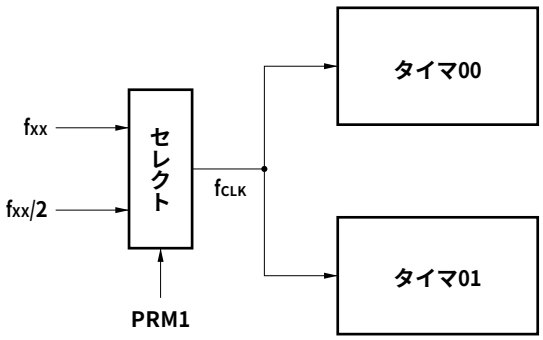
8/1ビット単位で，リード／ライト可能です。

注意　必ずタイマを使用する前に設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
PRM01	0	0	0	0	0	0	0	PRM1	FFFFF5D0H	00H

ビット位置	ビット名	意　味
0	PRM1	タイマ0（TM0n）の基本クロック（f_{CLK}）を指定します（図9－3参照）。 0：f_{XX}/2 1：f_{XX} **注意**　f_{CLK}は40 MHz以下に設定してください。 **備考**　f_{XX}：内部システム・クロック

図9－3　タイマ00とタイマ01のクロック



備考1.　f_{XX}：内部システム・クロック

2.　f_{CLK}：基本クロック

(2) タイマ・コントロール・レジスタ00, 01**（**TMC00, TMC01**）**

TMC0n**レジスタは，タイマ**0（TM0n）**の動作の設定を行う**16**ビットのレジスタです。**

TMC0n**レジスタは**16**ビット単位でリード／ライト可能です。**

TMC0n**レジスタの上位**8**ビットを**TMC0nH**レジスタ，下位**8**ビットを**TMC0nL**レジスタとして使用した場合は，**8/1**ビット単位でリード／ライト可能です。**

注意　タイマ0**を動作させるときは，まず，**TM0CEn = 0**に設定してから，**TM0CEn = 1**に設定してください。**

（1/4）

	⑮	⑭	13	12	11	10	9	8	7	6	⑤	4	3	2	1	0	アドレス	初期値
TMC00	TM0CE0	STINT0	CUL02	CUL01	CUL00	PRM02	PRM01	PRM00	0	0	TM0CED0	BFTE3	BFTEN	MBFTE	MOD01	MOD00	FFFFF57AH	0508H

	⑮	⑭	13	12	11	10	9	8	7	6	⑤	4	3	2	1	0	アドレス	初期値
TMC01	TM0CE1	STINT1	CUL02	CUL01	CUL00	PRM02	PRM01	PRM00	0	0	TM0CED1	BFTE3	BFTEN	MBFTE	MOD01	MOD00	FFFFF5BAH	0508H

ビット位置	ビット名	意　味
15	TM0CEn	TM0n**の動作を指定します。** 0**：カウント禁止（すべてのカウント値クリア後に停止）** 1**：カウント動作許可** **注意**　TM0CEn = 0**のときは，**TO0n0-TO0n5**出力はハイ・インピーダンスになります。**
14	STINTn	TM0n**のタイマ・スタート時の割り込みを指定します。** 0**：動作スタート時に割り込みを発生しない** 1**：動作スタート時に割り込みを発生する** STINTn**ビット** = 1**の場合，**TM0CEn**信号の立ち上がり直後に，割り込みを発生します。** MOD01**ビット** = 0**（三角波モード）のときは，**INTTM0n**割り込み（図**9－4**参照），** MOD01**ビット** = 1**（のこぎり波モード）のときは，**INTCM0n3**割り込みを発生します。** **注意**1.　TM0n**動作中（**TM0CEn**ビット** = 1**）に**STINTn**ビットを変更することは禁止します。** 2.　INTCM010-INTCM012, INTCM0n4, INTCM0n5**割り込みは，**STINTn**ビットの影響を受けません（**STINTn = 1**に設定した場合，スタート時に割り込みは発生しません）。**
13-11	CUL02-CUL00	**割り込みの間引き率を指定します。**

CUL02	CUL01	CUL00	割り込みの間引き率
0	0	0	1/1
0	0	1	1/2
0	1	0	1/4
0	1	1	1/8
1	0	0	1/16
上記以外			間引き処理は行われない

備考　n = 0, 1

（2/4）

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>13-11</td><td>CUL02-CUL00</td><td>注意1. INTTM0n割り込みとINTCM0n3割り込みの発生回数を同一の間引き率（1/1, 1/2, 1/4, 1/8, 1/16）で間引くことができます。
2. BFTE3ビット = 1, BFTENビット = 1（BFCMn0-BFCMn3レジスタからCM0n0-CM0n3レジスタへデータを転送する設定）の場合でも，MBFTEビット = 0であれば，間引かれたINTTM0n, INTCM0n3割り込みの発生タイミングでは，転送動作は行われません。
3. カウント動作中に間引き率を変更した場合は，変更前の間引き率で割り込みを発生したあとに，新しい間引き率になります（図9－5参照）。
4. INTCM010-INTCM012, INTCM0n4, INTCM0n5割り込みは，CUL02-CUL00ビットの影響は受けません（CUL02-CUL00 = 000と同じ間引き率（1/1）で割り込みが毎回発生します）。</td></tr>
<tr><td>10-8</td><td>PRM02-PRM00</td><td>TM0nへのカウント・クロックを指定します。
<table><tr><th>PRM02</th><th>PRM01</th><th>PRM00</th><th>カウント・クロック</th></tr><tr><td>0</td><td>0</td><td>0</td><td>f_{CLK}</td></tr><tr><td>0</td><td>0</td><td>1</td><td>f_{CLK}/2</td></tr><tr><td>0</td><td>1</td><td>0</td><td>f_{CLK}/4</td></tr><tr><td>0</td><td>1</td><td>1</td><td>f_{CLK}/8</td></tr><tr><td>1</td><td>0</td><td>0</td><td>f_{CLK}/16</td></tr><tr><td>1</td><td>0</td><td>1</td><td>f_{CLK}/32</td></tr><tr><td colspan="3">上記以外</td><td>設定禁止</td></tr></table>
注意　分周比の切り替わりのタイミングは，TM0nの値が0000Hとなり，INTTM0n割り込みが発生するタイミングからとなります。したがって，割り込み間引きに該当するタイミングでは，分周比は切り替りません。

備考　基本クロック（f_{CLK}）は，9. 1. 5（1）タイマ0クロック選択レジスタ（PRM01）を参照してください。</td></tr>
<tr><td>5</td><td>TM0CEDn</td><td>DTMn0-DTMn2タイマの動作を指定します。
0：DTMn0-DTMn2はカウント動作を行う
1：DTMn0-DTMn2は停止状態

注意1. TM0n動作中（TM0CEn = 1）にTM0CEDnビットを変更することは禁止します。
2. TM0CEDnビット = 1のときにTM0nを動作させる場合，TO0n0-TO0n5端子には，デッド・タイムを持たない信号が出力されます。</td></tr>
</table>

備考　n = 0, 1

(3/4)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>4</td><td>BFTE3</td><td>BFCMn3レジスタからCM0n3レジスタへのデータ転送を指定します。
0：転送禁止
1：転送許可

BFCMn3レジスタからCM0n3レジスタへの転送タイミングを次に示します。
<table>
<tr><th>BFTE3</th><th>TM0nの動作モード</th><th>BFCMn3→CM0n3転送タイミング</th></tr>
<tr><td>0</td><td>全モード</td><td>転送しない</td></tr>
<tr><td>1</td><td>PWMモード0（対称三角波）</td><td>INTTM0n</td></tr>
<tr><td>1</td><td>PWMモード1（非対称三角波）</td><td>INTTM0n</td></tr>
<tr><td>1</td><td>PWMモード2（のこぎり波）</td><td>INTCM0n3</td></tr>
</table>
BFTE3ビット = 1のときに，INTTM0nまたはINTCM0n3割り込みが発生すると，BFCMn3レジスタの値がCM0n3レジスタへ転送されます。</td></tr>
<tr><td>3</td><td>BFTEN</td><td>BFCMn0-BFCMn2，BFCMn4，BFCMn5レジスタからCM0n0-CM0n2，CM0n4，CM0n5レジスタへのデータ転送を指定します。
0：転送禁止
1：転送許可
<table>
<tr><th>BFTEN</th><th>TM0nの動作モード</th><th>BFCMn0-BFCMn2, BFCMn4, BFCMn5→
CM0n0-CM0n2, CM0n4, CM0n5
転送タイミング</th></tr>
<tr><td>0</td><td>全モード</td><td>転送しない</td></tr>
<tr><td>1</td><td>PWMモード0（対称三角波）</td><td>INTTM0n</td></tr>
<tr><td>1</td><td>PWMモード1（非対称三角波）</td><td>INTTM0n, INTCM0n3</td></tr>
<tr><td>1</td><td>PWMモード2（のこぎり波）</td><td>INTCM0n3</td></tr>
</table>
BFTENビット = 1のときに，INTTM0nまたはINTCM0n3割り込みが発生すると，BFCMn0-BFCMn2，BFCMn4，BFCMn5レジスタの値がCM0n0-CM0n2，CM0n4，CM0n5レジスタへ転送されます。</td></tr>
<tr><td>2</td><td>MBFTE</td><td>CUL02-CUL00ビットでINTTM0nとINTCM0n3割り込みを間引く設定にした場合，間引きに該当する割り込み発生時のBFTE3, BFTENビットの設定を有効にするか，無効にするかを指定します。
0：間引き割り込み発生時，BFTE3, BFTENビット設定値を無効とする
1：間引き割り込み発生時，BFTE3, BFTENビット設定値を有効とする
各組み合わせを次に示します。
<table>
<tr><th colspan="2" rowspan="2">MBFTE</th><th colspan="2">間引きに該当する割り込み時の動作</th></tr>
<tr><th>0</th><th>1</th></tr>
<tr><td rowspan="2">BFTEN</td><td>0</td><td>BFCMn0-BFCMn2→
CM0n0-CM0n2の転送禁止</td><td>BFCMn0-BFCMn2→
CM0n0-CM0n2の転送禁止</td></tr>
<tr><td>1</td><td>BFCMn0-BFCMn2→
CM0n0-CM0n2の転送禁止</td><td>BFCMn0-BFCMn2→
CM0n0-CM0n2の転送許可</td></tr>
<tr><td rowspan="2">BFTE3</td><td>0</td><td>BFCMn3→CM0n3の転送禁止</td><td>BFCMn3→CM0n3の転送禁止</td></tr>
<tr><td>1</td><td>BFCMn3→CM0n3の転送禁止</td><td>BFCMn3→CM0n3の転送許可</td></tr>
</table></td></tr>
</table>

備考　n = 0, 1

(4/4)

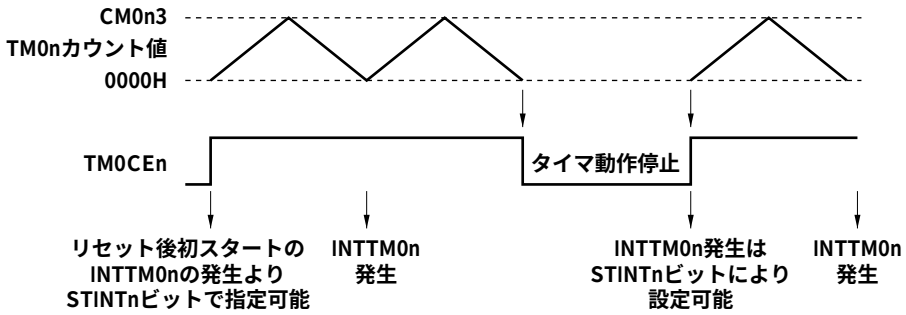
ビット位置	ビット名	意　味
1, 0	MOD01, MOD00	TM0nの動作モードを設定します。

MOD01	MOD00	動作モード	TM0n動作	タイマ・クリア要因	BFCMn3→CM0n3タイミング	BFCMn0-BFCMn2, BFCMn4, BFCMn5→CM0n0-CM0n2, CM0n4, CM0n5タイミング
0	0	PWMモード0（対称三角波）	アップ／ダウン	－	INTTM0n	INTTM0n
0	1	PWMモード1（非対称三角波）	アップ／ダウン	－	INTTM0n	INTTM0n, INTCM0n3
1	0	PWMモード2（のこぎり波）	アップ	INTCM0n3	INTCM0n3	INTCM0n3
1	1	設定禁止				

注意　TM0n動作中（TM0CEnビット = 1）にMOD01, MOD00ビットを変更することは禁止します。

備考　n = 0, 1

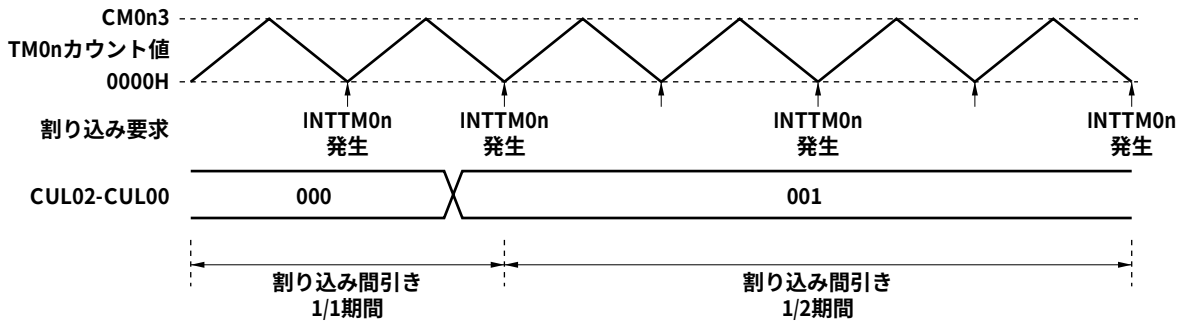
図9－4　PWMモード0（対称三角波），PWMモード1（非対称三角波）時（TMC0nレジスタのMOD01, MOD00ビット = 0n）のINTTM0n割り込み指定



備考　n = 0, 1

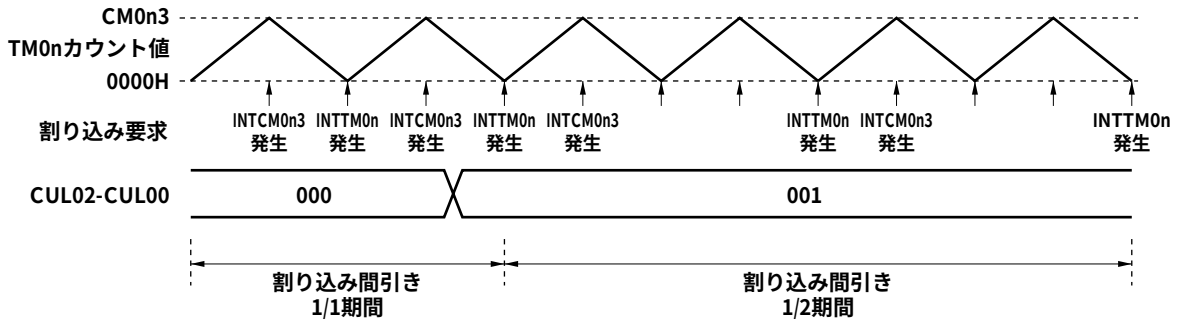
図9－5　割り込みの間引き処理

(a) PWMモード0（対称三角波）時



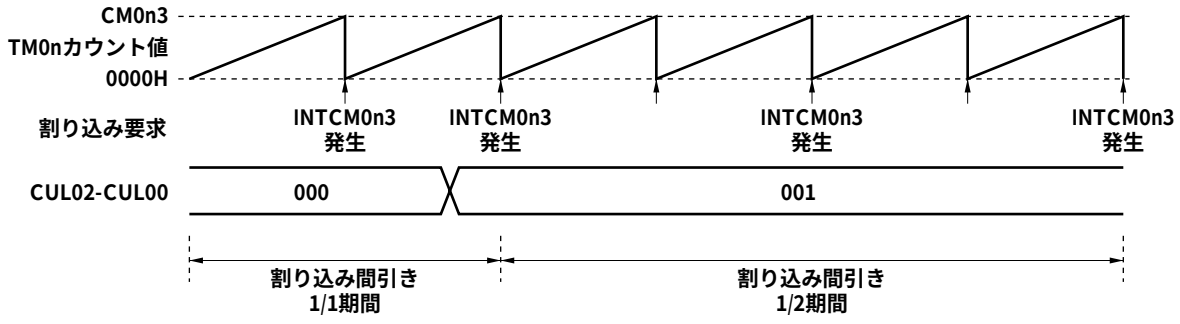
備考　n = 0, 1

(b) PWMモード1（非対称三角波）時



備考　n = 0, 1

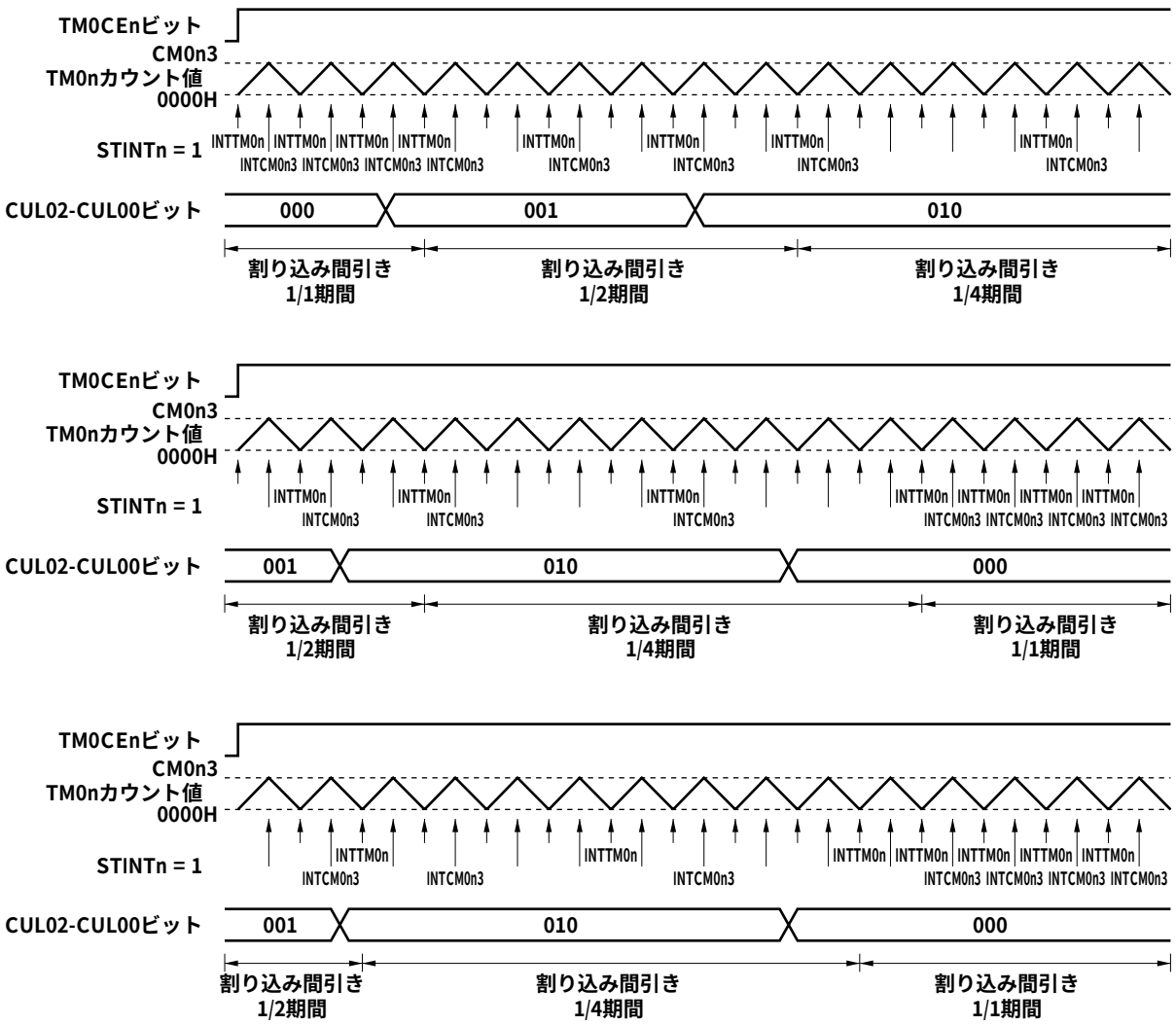
(c) PWMモード2（のこぎり波）時



備考　n = 0, 1

図9－6　割り込み間引き率変更タイミング

（STINTnビットの設定とCULビットの変更の関係）：PWMモード1（非対称三角波）



注意　TM0nでは，INTTM0nおよびINTCM0n3の間引き機能を実現するため，CUL02-CUL00ビットにて間引き率を1/1以外にして，カウント動作を開始した場合，カウント開始時のSTINTnビット設定値によって，以後の割り込み出力順序が異なります。

備考　n = 0, 1

(3) タイマ・ユニット・コントロール・レジスタ00, 01（TUC00, TUC01）

TUC0n**レジスタは，**TO0n0-TO0n5**出力を制御する**8**ビット・レジスタです。**

8/1**ビット単位でリード／ライト可能です。ただし，ビット**0**はリードだけ可能です。**

	7	6	5	4	3	2	①	⓪	アドレス	初期値
TUC00	0	0	0	0	0	0	TORS0	TOSTA0	FFFFF57CH	01H

	7	6	5	4	3	2	①	⓪	アドレス	初期値
TUC01	0	0	0	0	0	0	TORS1	TOSTA1	FFFFF5BCH	01H

ビット位置	ビット名	意　味
1	TORSn	ESOn**端子入力で強制的に出力停止にした**TO0n0-TO0n5**端子出力を再開させるフラグです。** TORSn**ビットに**1**を書き込むことにより，再度出力を開始させます。 **注意**1. ESOn**端子入力がレベル設定（**TOMR**レジスタの**TOEDG1**ビット** = 1, TOEDG0**ビット** = 0**または**1**）の場合，出力禁止状態（**TOSTAn**ビット** = 1**）時に，**TORSn**ビットに**1**を書き込んでも，出力禁止状態は解除されません（**TOSTAn**ビット** = 1**）。** **入力レベルがインアクティブ・レベルになった場合に出力禁止状態が解除されます（**TOSTAn**ビット** = 0**）。** 2. ESOn**端子入力がエッジ設定（**TOEDG1**ビット** = 0, TOEDG0**ビット** = 0**または**1**）の場合，出力禁止状態（**TOSTAn**ビット** = 1**）時に，**TORSn**ビットに**1**を書き込むことで出力禁止状態が解除されます（**TOSTAn**ビット** = 0**）。** 3. **リセット後，**TO0n0-TO0n5**出力を開始する前に必ず**TORSn**ビットに**1**を書き込んでください。なお，** TORSn**ビットをリードすると“**0**”が読み出されます。**
0	TOSTAn	ESOn**端子入力による**TO0n0-TO0n5**端子の出力状態フラグです。** 0**：出力有効状態** 1**：出力禁止状態**

備考　n = 0, 1

(4) タイマ出力モード・レジスタ0, 1**（**TOMR0, TOMR1**）**

TOMRn**レジスタは，** TO0n0-TO0n5**端子からのタイマ出力を制御します。**

不正アクセスによるTO0n0-TO0n5**端子の異常出力を防ぐため，**TOMRn**レジスタへのデータ・ライト方法は次の**2**つのシーケンスになります。**

(a) TOMR**書き込み許可レジスタ（**SPECn**）に対しライト・アクセスを行う。**

(b) **続けて**TOMRn**レジスタに対し，ライト・アクセスを行う。**

上記2**つのシーケンスを取らないと，ハード的にライトが許可されません。**

8**ビット単位でリード／ライト可能です。**

注意　TOMRn**レジスタへのライト・アクセス中（**SPECn**レジスタへのライト・アクセス後，**TOMRn**レジスタへのライト処理前）に各種割り込み要求が発生したとき，その割り込み処理において，内部バスを使用し，他のアドレスに対するアクセスが発生した場合，**TOMRn**レジスタへのライト処理が正常に行われない場合があります。**TOMRn**レジスタへのライト・ルーチン中に次のどちらかの処理を追加してください。**

- TOMRn**レジスタへのライト・アクセス前に，**CPU**のすべての割り込み受け付けを禁止する。**
- TOMRn**レジスタへのライト・アクセス後に，正常にライトされているかを確認する。**

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
TOMR0	ALVTO	ALVUB	ALVVB	ALVWB	TOSP	0	TOEDG1	TOEDG0	FFFFF57DH	00H

	7	6	5	4	3	2	1	0	アドレス	初期値
TOMR1	ALVTO	ALVUB	ALVVB	ALVWB	TOSP	0	TOEDG1	TOEDG0	FFFFF5BDH	00H

ビット位置	ビット名	意　味
7	ALVTO	TO0n0, TO0n2, TO0n4**端子のアクティブ・レベルを指定します。** 0**：アクティブ・レベルはロウ・レベル** 1**：アクティブ・レベルはハイ・レベル** **注意**　TM0n**動作中（**TM0CEn = 1**）に**ALVTO**ビットを変更することを禁止します。**
6	ALVUB	TO0n1**端子の出力レベルを指定します。** 0**：**ALVTO**ビットで設定したアクティブ・レベルの反転レベル** 1**：**ALVTO**ビットで設定したアクティブ・レベル** ALVUB**ビット** = 1**のとき，**TO0n1**出力の出力レベルは**TO0n0**と同レベルになります。** **注意**　TM0n**動作中（**TM0CEn = 1**）に**ALVUB**ビットを変更することは禁止します。**

備考　n = 0, 1

(2/2)

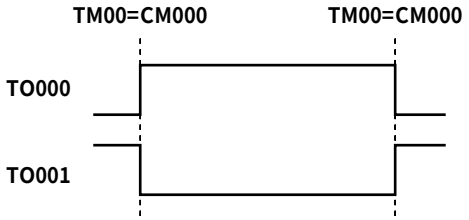
ビット位置	ビット名	意　味
5	ALVVB	TO0n3端子の出力レベルを指定します。 0：ALVTOビットで設定したアクティブ・レベルの反転レベル 1：ALVTOビットで設定したアクティブ・レベル ALVVBビット = 1のとき，TO0n3出力の出力レベルはTO0n2と同レベルになります。 **注意**　TM0n動作中（TM0CEn = 1）にALVVBビットを変更することは禁止します。
4	ALVWB	TO0n5端子の出力レベルを指定します。 0：ALVTOビットで設定したアクティブ・レベルの反転レベル 1：ALVTOビットで設定したアクティブ・レベル ALVWBビット = 1のとき，TO0n5出力の出力レベルはTO0n4と同レベルになります。 **注意**　TM0n動作中（TM0CEn = 1）にALVWBビットを変更することは禁止します。
3	TOSP	ESOn端子入力によるTO0n0-TO0n5端子の出力停止制御をします。 0：ESOn端子入力を有効にする 1：ESOn端子入力を無効にする **注意**1. 出力停止状態は，TUC0nレジスタのTORSnビットに1を書き込むと，禁止解除できます。なお，すべてのタイマおよびカウンタは出力禁止状態でも動作を継続します。 2. ESOn端子入力を無効状態から有効状態にする（TOSPビットを1→0）前に，TUCnレジスタのTORSnビットに1を書き込み，ESOn端子入力状態のリセットをしてください。
1, 0	TOEDG1, TOEDG0	TOSPビットでESOn端子入力によるTO0n0-TO0n5出力を強制的に停止させる設定を行っている際に，有効となるエッジまたはレベルの選択を行います。 TOEDG1 / TOEDG0 / 動　作 0 / 0 / 立ち上がりエッジ 0 / 1 / 立ち下がりエッジ 1 / 0 / ロウ・レベル 1 / 1 / ハイ・レベル **注意**1. TM0n動作中（TM0CEn = 1）にTOEDG1, TOEDG0ビットを変更することを禁止します。 2. TOEDG1, TOEDG0ビットの設定を変更する前にTUC0nレジスタのTORSnビットに1を書き込み，ESOn端子入力状態のリセットをしてください。

備考　n = 0, 1

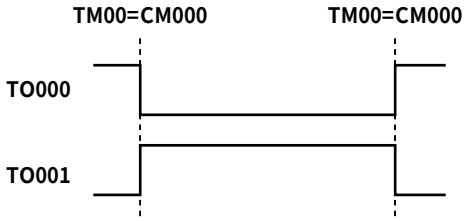
TOMRnレジスタの上位4ビット（ALVTO, ALVUB, ALVVB, ALVWB）の設定による出力波形をPWMモード0（対称三角波）時のTO000とTO001を例に次に示します。

図9－7　PWMモード0（対称三角波）時のTO000とTO001の出力波形
（デッド・タイムがない（TM0CED0ビット = 1）場合）

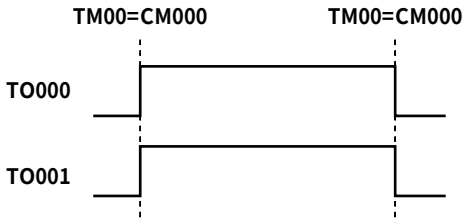
（a）TOMR0レジスタ値 = 80H時



（b）TOMR0レジスタ値 = 00H時



（c）TOMR0レジスタ値 = C0H時



（d）TOMR0レジスタ値 = 40H時

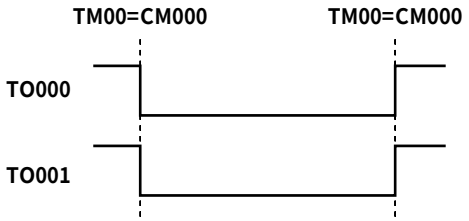
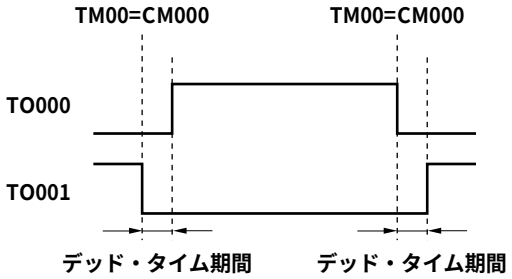
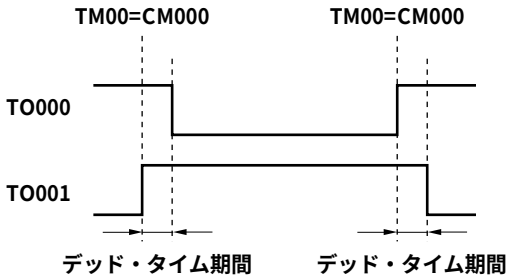


図9－8　PWMモード0（対称三角波）時のTO000とTO001の出力波形
（デッド・タイムがある（TM0CED0ビット = 0）場合）

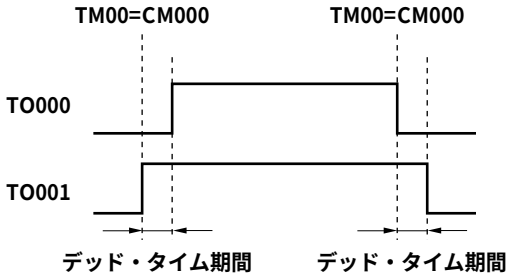
（a）TOMR0レジスタ値 = 80H時



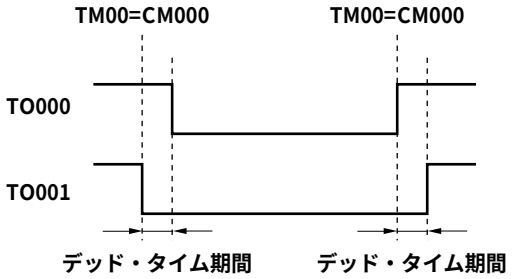
（b）TOMR0レジスタ値 = 00H時



（c）TOMR0レジスタ値 = C0H時



（d）TOMR0レジスタ値 = 40H時



タイマ出力モード・レジスタ0, 1（TOMR0, TOMR1）へのデータ設定は，次のシーケンスで行います。

① 任意の汎用レジスタにタイマ出力モード・レジスタ0, 1（TOMR0, TOMR1）へ設定するためのデータを用意します。
② TOMR書き込み許可レジスタ0, 1（SPEC0, SPEC1）に任意のデータを書き込みます。
③ タイマ出力モード・レジスタ0, 1（TOMR0, TOMR1）を設定します（次の命令で行います）。
・ストア命令（ST/SST命令）
・ビット操作命令（SET1/CLR1/NOT1命令）

[記述例] ①MOV　　0x04, r10
②ST.B　　r10, SPECn [r0]
③ST.B　　r10, TOMRn [r0]

備考　n = 0,1

なお，TOMRnレジスタを読み出す場合は，特別なシーケンスは必要ありません。

注意1. SPECn発行（②）とその直後のTOMRnレジスタ書き込み（③）の間では割り込みを禁止してください。
2. SPECnレジスタへ書き込むデータはダミーですが，TOMRnレジスタへの設定（上記例③）で使用する汎用レジスタと同じレジスタをSPECnレジスタ書き込み（上記例②）でも使用してください。アドレシングに汎用レジスタを使用する場合も同様です。
3. DMA転送によるSPECnレジスタやTOMRnレジスタへの書き込みはしないでください。

（5）PWM出力イネーブル・レジスタ0, 1（POER0, POER1）

POERnレジスタは，外部パルス出力（TO0n0-TO0n5）の状態をソフトウエアでインアクティブに設定するためのレジスタです。

8/1ビット単位でリード／ライト可能です。

	7	6	⑤	④	③	②	①	⓪	アドレス	初期値
POER0	0	0	OE210	OE200	OE110	OE100	OE010	OE000	FFFFF57FH	00H

	7	6	⑤	④	③	②	①	⓪	アドレス	初期値
POER1	0	0	OE211	OE201	OE111	OE101	OE011	OE001	FFFFF5BFH	00H

ビット位置	ビット名	意　味
5	OE21n	TO0n5端子の出力状態を指定します。 0 ：TO0n5の出力状態はハイ・インピーダンスになります。 1 ：TO0n5の出力状態はTMC0nレジスタのTM0CEnビット，PSTOnレジスタのTORTOnビット，ESOn端子で制御されます。
4	OE20n	TO0n4端子の出力状態を指定します。 0 ：TO0n4の出力状態はハイ・インピーダンスになります。 1 ：TO0n4の出力状態はTMC0nレジスタのTM0CEnビット，PSTOnレジスタのTORTOnビット，ESOn端子で制御されます。
3	OE11n	TO0n3端子の出力状態を指定します。 0 ：TO0n3の出力状態はハイ・インピーダンスになります。 1 ：TO0n3の出力状態はTMC0nレジスタのTM0CEnビット，PSTOnレジスタのTORTOnビット，ESOn端子で制御されます。
2	OE10n	TO0n2端子の出力状態を指定します。 0 ：TO0n2の出力状態はハイ・インピーダンスになります。 1 ：TO0n2の出力状態はTMC0nレジスタのTM0CEnビット，PSTOnレジスタのTORTOnビット，ESOn端子で制御されます。
1	OE01n	TO0n1端子の出力状態を指定します。 0 ：TO0n1の出力状態はハイ・インピーダンスになります。 1 ：TO0n1の出力状態はTMC0nレジスタのTM0CEnビット，PSTOnレジスタのTORTOnビット，ESOn端子で制御されます。
0	OE00n	TO0n0端子の出力状態を指定します。 0 ：TO0n0の出力状態はハイ・インピーダンスになります。 1 ：TO0n0の出力状態はTMC0nレジスタのTM0CEnビット，PSTOnレジスタのTORTOnビット，ESOn端子で制御されます。

備考　n = 0, 1

（6）PWMソフトウエア・タイミング出力レジスタ0, 1（PSTO0, PSTO1）

PSTOnレジスタは，外部パルス出力（TO0n0-TO0n5）にソフトウエアで任意の波形を出力する設定を行うレジスタです。

8/1ビット単位でリード／ライト可能です。

注意1. タイマ出力中にTORTOnビットを0→1に変更した場合（ソフトウエア出力に変更），UPORTn, VPORTn, WPORTnビットの設定により，出力レベルが出力中のタイマ出力信号と異なっていたときはデッド・タイム設定時間分だけ遅れて，UPORTn, VPORTn, WPORTnビットで設定した出力レベルが出力されます。

また，UPORTn, VPORTn, WPORTnビットの設定により，出力レベルが出力中のタイマ出力信号と同じときは，同じ出力レベルが継続して出力されます。

2. ソフトウエア出力許可（TORTOnビット = 1）で，TM0n動作中（TM0CEnビット = 1）の場合，INTTM0n, INTCM0n3割り込み，TO0n0-TO0n5出力の状態は次のようになります。

INTTM0n, INTCM0n3割り込み　：タイマおよびコンペア動作にしたがい，それぞれのタイミングで発生を継続する。

TO0n0-TO0n5出力　：ソフトウエア出力が優先される。

3. TM0n動作中（TM0CEnビット = 1）に，TORTOnビットを1→0に変更した場合，（a）に示すTO0n0-TO0n5出力用F/Fのセット／リセット条件が発生するまでTO0n0-TO0n5出力はソフトウエア出力の状態が保持されます。

（a）TO0n0-TO0n5出力用F/Fのセット／リセット条件

	出力状態	動作モード	条　　件
セット	タイマ出力	三角波モード（PWMモード0, 1）	TM0nのアップ・カウント中のコンペア一致
		のこぎり波モード（PWMモード2）	TM0nとCM0n3レジスタとの一致
	ソフトウエア出力	－	UPORTn, VPORTn, WPORTnビットをセット（1）
リセット	タイマ出力	三角波モード（PWMモード0, 1）	TM0nのダウン・カウント中のコンペア一致
		のこぎり波モード（PWMモード2）	TM0nとのコンペア一致
	ソフトウエア出力	－	UPORTn, VPORTn, WPORTnビットをクリア（0）

備考　n = 0, 1

4. TORTOnビット = 1中に，UPORTn（VPORTn, WPORTn）に同一値をライトした場合，TO0n0とTO0n1（TO0n2とTO0n3, TO0n4とTO0n5）出力は変化しません。

（1/2）

	⑦	6	5	4	3	②	①	⓪	アドレス	初期値
PSTO0	TORTO0	0	0	0	0	UPORT0	VPORT0	WPORT0	FFFFF57EH	00H

	⑦	6	5	4	3	②	①	⓪	アドレス	初期値
PSTO1	TORTO1	0	0	0	0	UPORT1	VPORT1	WPORT1	FFFFF5BEH	00H

ビット位置	ビット名	意　味
7	TORTOn	TO0n0-TO0n5出力制御を指定します。 0：タイマ出力 1：ソフトウエア出力 ソフトウエア出力時のTO0n0-TO0n5信号の変化はTORTOnビットをセット（1）したとき，およびUPORTn, VPORTn, WPORTnの各ビットに値が書き込まれたタイミングとなります。また，デッド・タイム・タイマは使用できます。
2	UPORTn	TO0n0（U相）/TO0n1（$\overline{U}$相）端子の出力値を指定します。
1	VPORTn	TO0n2（V相）/TO0n3（$\overline{V}$相）端子の出力値を指定します。

UPORTn = 2

UPORTn	動　作		
0	TO0n0	ALVTOビット設定の反転レベル	
	TO0n1	ALVUBビット = 0時	ALVTOビット設定のレベル
		ALVUBビット = 1時	ALVTOビット設定の反転レベル
1	TO0n0	ALVTOビット設定のレベル	
	TO0n1	ALVUBビット = 0時	ALVTOビット設定の反転レベル
		ALVUBビット = 1時	ALVTOビット設定のレベル

注意　TORTOnビット = 1時にUPORTnビットの設定値を変更した場合，TO0n0/TO0n1出力信号には，通常のタイマ動作時と同様にデッド・タイムの設定が有効となります。

VPORTn = 1

VPORTn	動　作		
0	TO0n2	ALVTOビット設定の反転レベル	
	TO0n3	ALVVBビット = 0時	ALVTOビット設定のレベル
		ALVVBビット = 1時	ALVTOビット設定の反転レベル
1	TO0n2	ALVTOビット設定のレベル	
	TO0n3	ALVVBビット = 0時	ALVTOビット設定の反転レベル
		ALVVBビット = 1時	ALVTOビット設定のレベル

注意　TORTOnビット = 1時にVPORTnビットの設定値を変更した場合，TO0n2/TO0n3出力信号には，通常のタイマ動作時と同様にデッド・タイムの設定が有効となります。

備考　n = 0, 1

ALVTOビット：TOMRnレジスタのビット7

ALVUBビット：TOMRnレジスタのビット6

ALVVBビット：TOMRnレジスタのビット5

（2/2）

ビット位置	ビット名	意　味
0	WPORTn	TO0n4（W相）/TO0n5（$\overline{W}$相）端子の出力値を指定します。

WPORTn	動　作		
0	TO0n4	ALVTOビット設定の反転レベル	
	TO0n5	ALVWBビット = 0時	ALVTOビット設定のレベル
		ALVWBビット = 1時	ALVTOビット設定の反転レベル
1	TO0n4	ALVTOビット設定のレベル	
	TO0n5	ALVWBビット = 0時	ALVTOビット設定の反転レベル
		ALVWBビット = 1時	ALVTOビット設定のレベル

注意　TORTOnビット = 1時にWPORTnビットの設定値を変更した場合，TO0n4/TO0n5出力信号には，通常のタイマ動作時と同様にデッド・タイムの設定が有効となります。

備考　n = 0, 1

ALVTOビット ：TOMRnレジスタのビット7

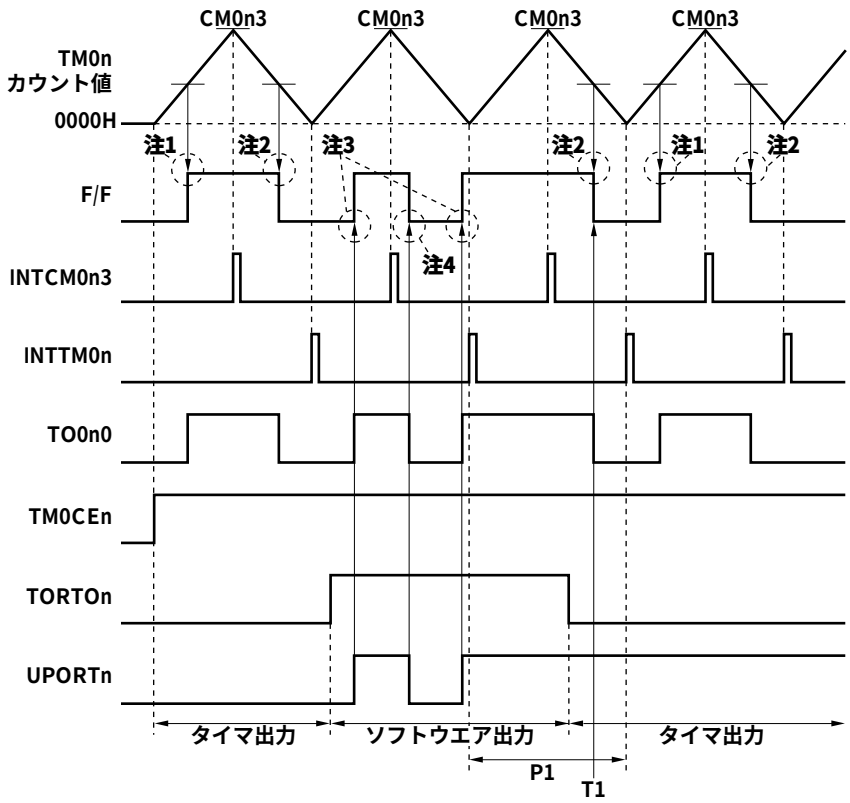
ALVWBビット ：TOMRnレジスタのビット4

TO0n0-TO0n5端子は，TM0nとコンペア・レジスタによるタイマ出力，またはPSTOnレジスタの設定によるソフトウエア出力（TORTOnビット = 1）が可能です。優先順位はソフトウエア出力＞タイマ出力となります。

このため，TM0CEnビット = 1（タイマ動作許可）でTORTOnビット = 1（ソフトウエア出力許可）の状態から，TM0CEnビット = 1（タイマ動作許可）でTORTOnビット = 0（ソフトウエア出力禁止）へ設定を変更した場合，TO0n0-TO0n5出力はTORTOnビット変更後の最初のTM0nとコンペア・レジスタによるF/Fのセット／リセット・タイミングが発生するまでソフトウエア出力状態のまま保持されます。

次にALVTOビット = 1時のTORTOn, TM0CEnビット設定とTO0n0（正相側）出力の関係を示します（逆相側出力（TO0n1, TO0n3, TO0n5）はALVUB, ALVVB, ALVWBビットに依存するため，それぞれのビット説明を参照してください）。

図9－9　TORTOnビット = 0設定直前時にUPORTnビット = 1の場合（アクティブ値で切り替え）



注1.　**アップ・カウント中のコンペア一致で**F/F**はセット**

2.　**ダウン・カウント中のコンペア一致で**F/F**はリセット**

3.　UPORTn**ビットの書き込みによって，**F/F**はセット**

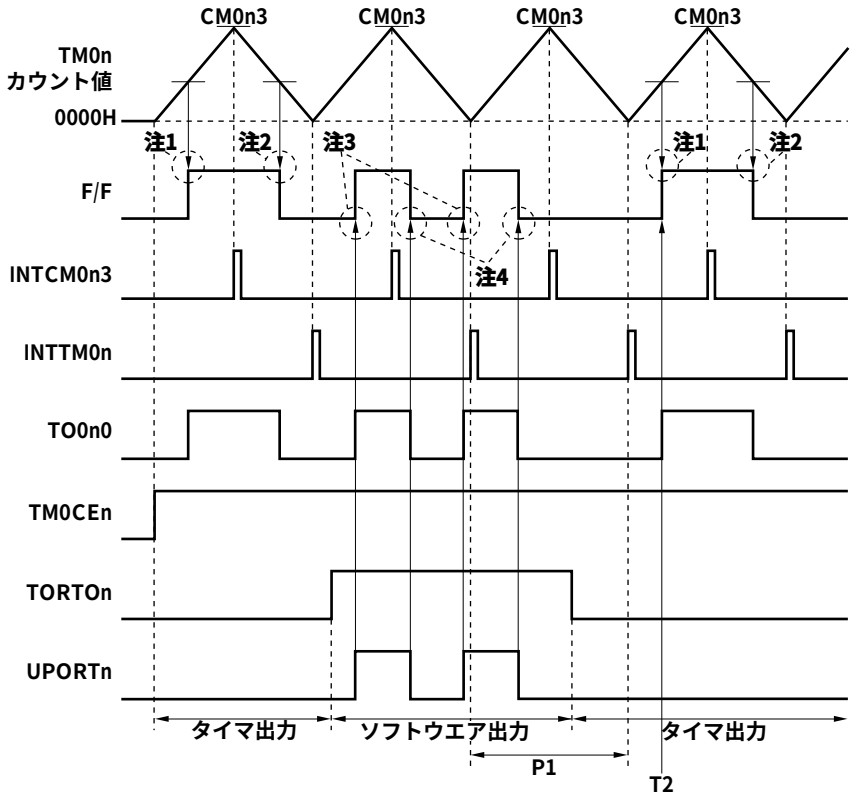
4.　UPORTn**ビットの書き込みによって，**F/F**はリセット**

備考　n = 0, 1

図9－9**のP1周期中に，**UPORTn**ビット = 1の状態で**TORTOn**ビットの設定を“ 1→0 ”へ変更した場合，**F/F**はT1タイミングまで**TORTOn**ビットを“ 1 ”の状態のまま保存します。

ただし，T1**タイミング（**TM0n**のダウン・カウント中のコンペア一致）で**F/F**がリセットされるため，**TO0n0**出力は“ 1→0 ”へ変化します。**

図9－10　TORTOnビット = 0設定直前時にUPORTnビット = 0の場合（インアクティブ値で切り替え）



注1.　**アップ・カウント中のコンペア一致で**F/F**はセット**

2.　**ダウン・カウント中のコンペア一致で**F/F**はリセット**

3.　UPORTn**ビットの書き込みによって，**F/F**はセット**

4.　UPORTn**ビットの書き込みによって，**F/F**はリセット**

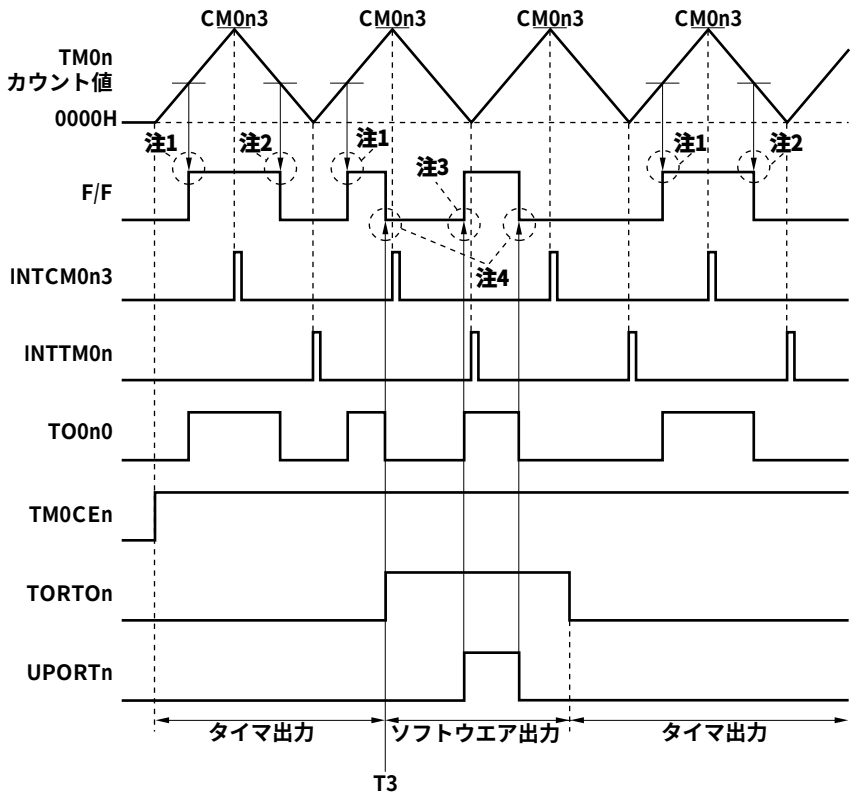
備考　n = 0, 1

図9－10**のP1周期中に，**UPORTn**ビット = 0の状態で**TORTOn**ビットの設定を“**1→0**”へ変更した場合，**F/F**はT2タイミングまで**TORTOn**ビットを“0”の状態のまま保存します。**

ただし，T2**タイミング（**TM0n**のアップ・カウント中のコンペア一致）で**F/F**がセットされるため，**TO0n0**出力は“**1→0**”へ変化します。**

なお，TM0CEn**ビット = 0の状態で，**TORTOn**ビットの設定を“**1→0**”へ変更した場合，**TO0n0-TO0n5**出力は停止状態となります。**

図9ー11　TORTOnビット = 1設定直前時にUPORTnビット = 0の場合



注1.　**アップ・カウント中のコンペア一致で**F/F**はセット**

2.　**ダウン・カウント中のコンペア一致で**F/F**はリセット**

3.　UPORTn**ビットの書き込みによって，**F/F**はセット**

4.　UPORTn**ビットの書き込みによって，**F/F**はリセット**

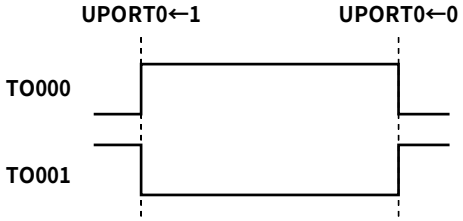
備考　n = 0, 1

TM0n**動作中（**TM0CEn**ビット** = 1**）に，**UPORTn**ビット** = 0**の状態で**TORTOn**ビットの設定を“** 0→1 **”へ変更した場合，**F/F**は**T3**タイミングでリセットされるため，**TO0n0**出力は“** 1→0 **”へ変化します。**

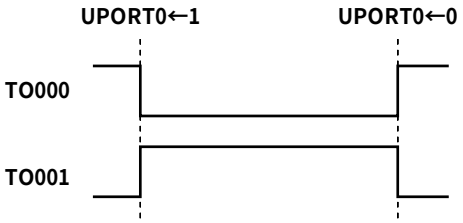
次に，TORTOn, UPORTn, VPORTn, WPORTn**ビットの設定によるソフトウエア出力波形を**TO000**と**TO001**を例として示します。**

図9－12　TO000とTO001のソフトウエア出力波形
（デッド・タイムがない（TM0CED0ビット = 1）場合）

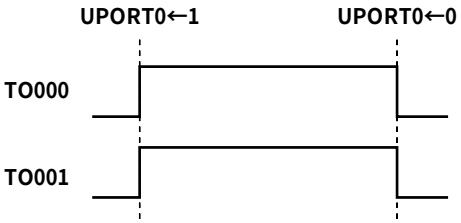
（a）TOMR0レジスタ値 = 80H時



（b）TOMR0レジスタ値 = 00H時



（c）TOMR0レジスタ値 = C0H時



（d）TOMR0レジスタ値 = 40H時

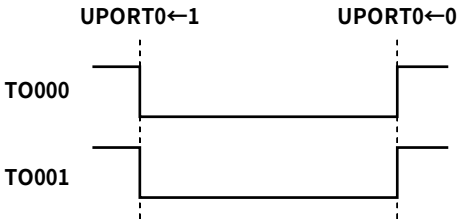
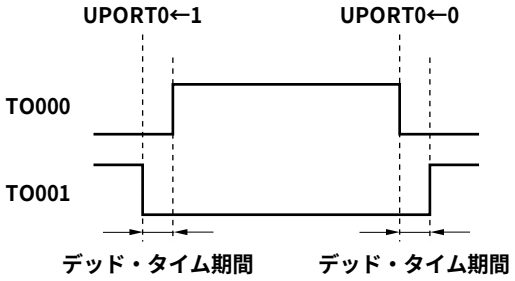
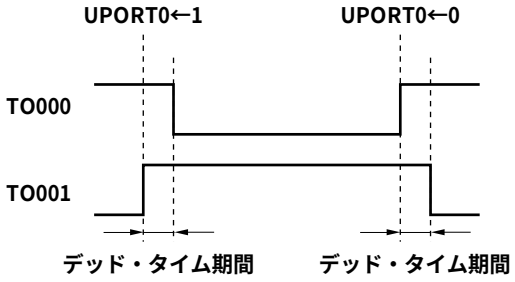


図9－13　TO000とTO001のソフトウエア出力波形
（デッド・タイムがある（TM0CED0ビット = 0）場合）

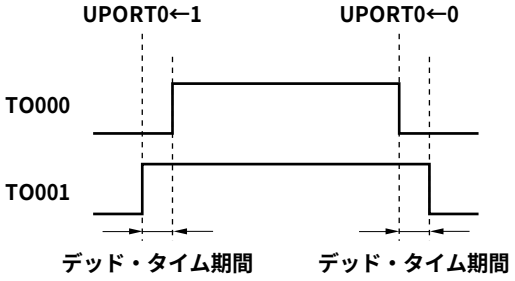
（a）TOMR0レジスタ値 = 80H時



（b）TOMR0レジスタ値 = 00H時



（c）TOMR0レジスタ値 = C0H時



（d）TOMR0レジスタ値 = 40H時

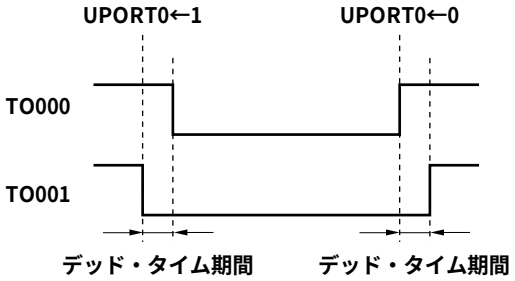
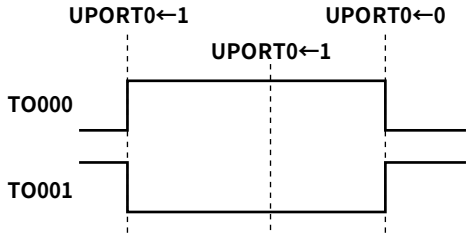
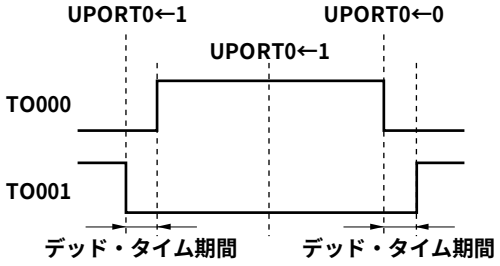


図9－14　TORTO0ビット = 1中にUPORT0ビットに1を書き込んだ場合の
TO000とTO001のソフトウエア出力波形（TOMR0レジスタ値 = 80Hの場合）

（a）デッド・タイムがない（TM0CED0ビット = 1）の場合



（b）デッド・タイムがある（TM0CED0ビット = 0）の場合



次に外部パルス出力（TO0n0の場合）の出力状態を示します。

表9－3　外部パルス出力（TO0n0の場合）の出力状態

OE00nビット	TORTOn，UPORTnビット	TM0CEnビット	TO0n0
0	0/1	0/1	ハイ・インピーダンス
1	0	0	ハイ・インピーダンス
		1	タイマ出力
	1	0/1	UPORTnビットにより出力

備考1.　OE00nビット：POERnレジスタのビット0
TORTOnビット：PSTOnレジスタのビット7
UPORTnビット：PSTOnレジスタのビット2
TM0CEnビット：TMC0nレジスタのビット15

2.　n = 0, 1

（7）TOMR書き込み許可レジスタ0, 1（SPEC0, SPEC1）

SPECnレジスタは，TOMRnレジスタへのライト処理を許可するレジスタです。SPECnレジスタへのライト処理後（ライトするデータは任意のデータで可），連続するライト処理でTOMRnレジスタへのライトを行わないと，TOMRnレジスタへのライト処理は正常に行われません。なお，常に0000Hをリードします。

16ビット単位でリード／ライト可能です。

備考　n = 0, 1

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SPEC0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	FFFFF580H	0000H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SPEC1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	FFFFF5C0H	0000H

9.1.6 動　　作

備考1. 9. 1. 6項の動作の説明は，TO0n0-TO0n5出力に影響する各ビットを次のように設定したものとして記述しています。

ALVTO = 1, ALVUB = 0, ALVVB = 0, ALVWB = 0, TORTOn = 0

2. 9. 1. 6項中のF/Fとは，TO0n0-TO0n5端子の出力制御を行うためのフリップフロップです。

（1）基本動作

タイマ0（TM0n）は，16ビットのインターバル・タイマで，アップ／ダウン・タイマまたはアップ・タイマとして動作します。周期はコンペア・レジスタ0n3（CM0n3）によって制御されます（n = 0, 1）。

$\overline{\text{RESET}}$入力により，TM0nの全ビットはクリア（0）され，カウント動作は停止します。

カウント動作の許可／禁止は，タイマ・コントロール・レジスタ0n（TMC0n）のTM0CEnビットで制御します。TM0CEnビットをソフトウエアによりセット（1）するとカウント動作を開始し，リセット（0）するとTM0nはクリアされカウント動作を停止します。

あらかじめ設定されたコンペア・レジスタ0n3（CM0n3）の値とTM0nのカウント値が一致すると，一致割り込み（INTCM0n3）を発生します。

TM0nへのカウント・クロックは，TMC0nレジスタにより，6種類の内部クロックから選択できます。TM0nをアップ／ダウン・タイマに設定した場合，ダウン動作でTM0n = 0000Hになったときにアンダフロー割り込み（INTTM0n）が発生します。

TM0nには次に示す3つの動作モードがあり，タイマ・コントロール・レジスタ0n（TMC0n）により設定します。

- PWMモード0：三角波変調（左右対称三角波制御）
- PWMモード1：三角波変調（左右非対称三角波制御）
- PWMモード2：のこぎり波変調制御

表9－4　タイマ0（TM0n）の動作モード

TMC0nレジスタ		動作モード	TM0n動作	タイマ・クリア要因	割り込み要因	BFCMn3→CM0n3タイミング	BFCMn0-BFCMn2, BFCMn4, BFCMn5→CM0n0-CM0n2, CM0n4, CM0n5タイミング
MOD01	MOD00						
0	0	PWMモード0（対称三角波）	アップ／ダウン	－	INTTM0n, INTCM010-INTCM012, INTCM0n3-INTCM0n5	INTTM0n	INTTM0n
0	1	PWMモード1（非対称三角波）	アップ／ダウン	－	INTTM0n, INTCM010-INTCM012, INTCM0n3-INTCM0n5	INTTM0n	INTTM0n, INTCM0n3
1	0	PWMモード2（のこぎり波）	アップ	INTCM0n3	INTCM010-INTCM012, INTCM0n3-INTCM0n5	INTCM0n3	INTCM0n3
1	1	設定禁止					

注意　TM0n動作中（TM0CEn = 1）にMOD01, MOD00ビットを変更することは禁止します。

備考　n = 0, 1

次に各動作モードについて説明します。

（2）PWMモード0：三角波変調（左右対称波形制御）

[設定手順]

（a）TMC0nレジスタのMOD01, MOD00ビットでPWMモード0（対称三角波）に設定します。また，TOMRnレジスタのALVTOビットでTO0n0-TO0n5端子のアクティブ・レベルを設定します（n = 0, 1）。

（b）TMC0nレジスタのPRM02-PRM00ビットでTM0nのカウント・クロックを設定します。BFTE3ビットでBFCMn3からCM0n3へ，BFTENビットでBFCMn0-BFCMn2, BFCMn4, BFCMn5からCM0n0-CM0n2, CM0n4, CM0n5への転送動作を設定します。

（c）初期値を設定します。

（i）TMC0nレジスタのCUL02-CUL00ビットで割り込みの間引き率を指定します。

（ii）BFCMn3にPWM周期の半周期幅を設定します。

・PWM周期 = BFCMn3値×2×TM0nのカウント・クロック

（TM0nのカウント・クロックはTMC0nレジスタで設定します）

（iii）DTRRnにデッド・タイム幅を設定します。

・デッド・タイム幅 =（DTRRn＋1）／f_{CLK}

f_{CLK}：基本クロック

（iv）BFCMn0-BFCMn2にPWM周期で使うF/Fのセット／リセット・タイミングを設定します。

（d）TMC0nレジスタのTM0CEDnビットをクリア（0）してデッド・タイム・タイマ動作を許可します。なお，デッド・タイムをとりたくない場合はTM0CEDn = 1にしてください。

（e）TMC0nレジスタのTM0CEnビットをセット（1）するとTM0nがカウント・スタートし，TO0n0-TO0n5端子から6チャネルPWM信号が出力します。

注意1. CM0n3 = 0000Hに設定は禁止します。

2. TMC0nレジスタのTM0CEnビット = 0のとき，BFCMnx＞BFCMn3の設定は，TO0n0-TO0n5端子の出力が設定の反転となるため禁止します（x = 0-2）。また，TMC0nレジスタのTM0CEnビット = 1のとき，CM0nxレジスタ = 0の場合にBFCMnx＞BFCMn3の設定も同様に禁止します。

備考　TMC0nレジスタのTM0CEnビットが次の条件のときの転送動作を示します。

・TMC0nレジスタのTM0CEnビット = 0のとき

BFCMn0-BFCMn2, BFCMn4, BFCMn5レジスタへライトされた次の基本クロック（f_{CLK}）でCM0n0-CM0n2, CM0n4, CM0n5レジスタへ転送されます。

・TMC0nレジスタのTM0CEnビット = 1のとき

INTTM0n発生時にBFCMn0-BFCMn2, BFCMn4, BFCMn5レジスタの値がCM0n0-CM0n2, CM0n4, CM0n5レジスタに転送されます。このときの転送許可／禁止は，TMC0nレジスタのBFTENビットで制御されます。

[動　　作]

PWMモード0では，TM0nはアップ／ダウン・カウント動作を行い，ダウン・カウント動作中にTM0n = 0000Hになるとアンダフロー割り込み（INTTM0n）を発生し，アップ・カウント動作中にTM0n = CM0n3になると一致割り込み（INTCM0n3）を発生します（n = 0, 1）。

アップ→ダウン切り替えはTM0nとCM0n3の一致（INTCM0n3）で，ダウン→アップ切り替えはTM0nが0000H後にTM0nのアンダフローで行われます。

このモードのPWM周期は，（BFCMn3値×2×TM0nのカウント・クロック）です。BFCMn3へのデータ設定は，次のPWM周期幅をBFCMn3に設定します。

INTTM0nにより，ハードウエアで自動的にBFCMn3のデータがCM0n3に転送されます。さらに，INTTM0nで起動するソフトウエア処理で演算を行い，次周期のデータをBFCMn3に設定します。

次にPWMのデューティを制御するCM0n0-CM0n2へのデータ設定について説明します。

CM0n0-CM0n2へのデータ設定は，BFCMn0-BFCMn2から出力するデューティを設定します。

INTTM0nにより，ハードウエアで自動的にBFCMn0-BFCMn2の値がCM0n0-CM0n2に転送されます。さらに，ソフトウエア処理を起動して演算を行い，次周期のF/Fのセット／リセット・タイミングをBFCMn0-BFCMn2に設定します。

以上のようにして，PWM周期，PWMのデューティを設定します。

CM0n0-CM0n2の一致で変化するF/Fのセット／リセット条件は，次のとおりです。

- セット　：TM0nがアップ・カウント時にCM0n0-CM0n2が一致検出
- リセット　：TM0nがダウン・カウント時にCM0n0-CM0n2が一致検出

このモードでは，F/Fのセット／リセット・タイミングが同一タイミング（左右対称制御）で行われます。F/Fのセット／リセット・タイミングに同期して，DTRRnの値が対応するデッド・タイム・タイマ（DTMn0-DTMn2）に転送され，ダウン・カウントを開始します。DTMn0-DTMn2は，000Hまでカウントして，000H→FFFHで停止します。

DTMn0-DTMn2は，正相（TO0n0, TO0n2, TO0n4）と逆相（TO0n1, TO0n3, TO0n5）のアクティブ・レベルが重ならない幅（デッド・タイム）を容易に自動生成できます。

このように，初期設定以降は，PWM周期（1周期）に1回発生する割り込み（INTTM0n）でソフトウエア処理を起動し，次周期で使用するPWM周期およびPWMのデューティを設定することによって，TO0n0-TO0n5端子に自動的にデッド・タイム幅を考慮したPWM波形を出力できます（割り込みの間引き率1/1の場合）。

[設定値に対する出力波形幅]

- PWM**周期** = BFCMn3×2×T_{TM0n}
- **デッド・タイム幅**　T_{Dnm} =（DTRRn＋1）/f_{CLK}
- **正相（**TO0n0, TO0n2, TO0n4**端子）のアクティブ幅**
  =｛（CM0n3－CM0nX_{up}）＋（CM0n3－CM0nX_{down}）｝×T_{TM0n}－T_{Dnm}
- **逆相（**TO0n1, TO0n3, TO0n5**端子）のアクティブ幅**
  =（CM0nX_{down}＋CM0nX_{up}）× T_{TM0n}－T_{Dnm}
- **このモードでは，**CM0nX_{up} = CM0nX_{down}**（ただし，同一**PWM**周期内）です。**
  逆相演算式のCM0nX_{up}**と**CM0nX_{down}**は別の**PWM**周期で作られていますので，**CM0nX_{up} ≠CM0nX_{down}
  です。

f_{CLK}　　**：基本クロック**
T_{TM0n}　　**：**TM0n**のカウント・クロック**
CM0nX_{up}　**：**TM0n**がアップ・カウント時の**CM0n0-CM0n2**の設定値**
CM0nX_{down} **：**TM0n**がダウン・カウント時の**CM0n0-CM0n2**の設定値**

TO0n0-TO0n5**端子のリセット時の端子レベルは，ハイ･インピーダンス状態です。**
その後コントロール・モードにすると，TM0n**をスタートさせるまで次のレベルを出力します。**

- TO0n0, TO0n2, TO0n4 … **ロウ・アクティブ時→ハイ・レベル**
  ハイ・アクティブ時→ロウ・レベル
- TO0n1, TO0n3, TO0n5 … **ロウ・アクティブ時→ロウ・レベル**
  ハイ・アクティブ時→ハイ・レベル

アクティブ・レベルはTOMRn**レジスタの**ALVTO**ビットで設定します。ディフォールトはロウ・アクティブです。**

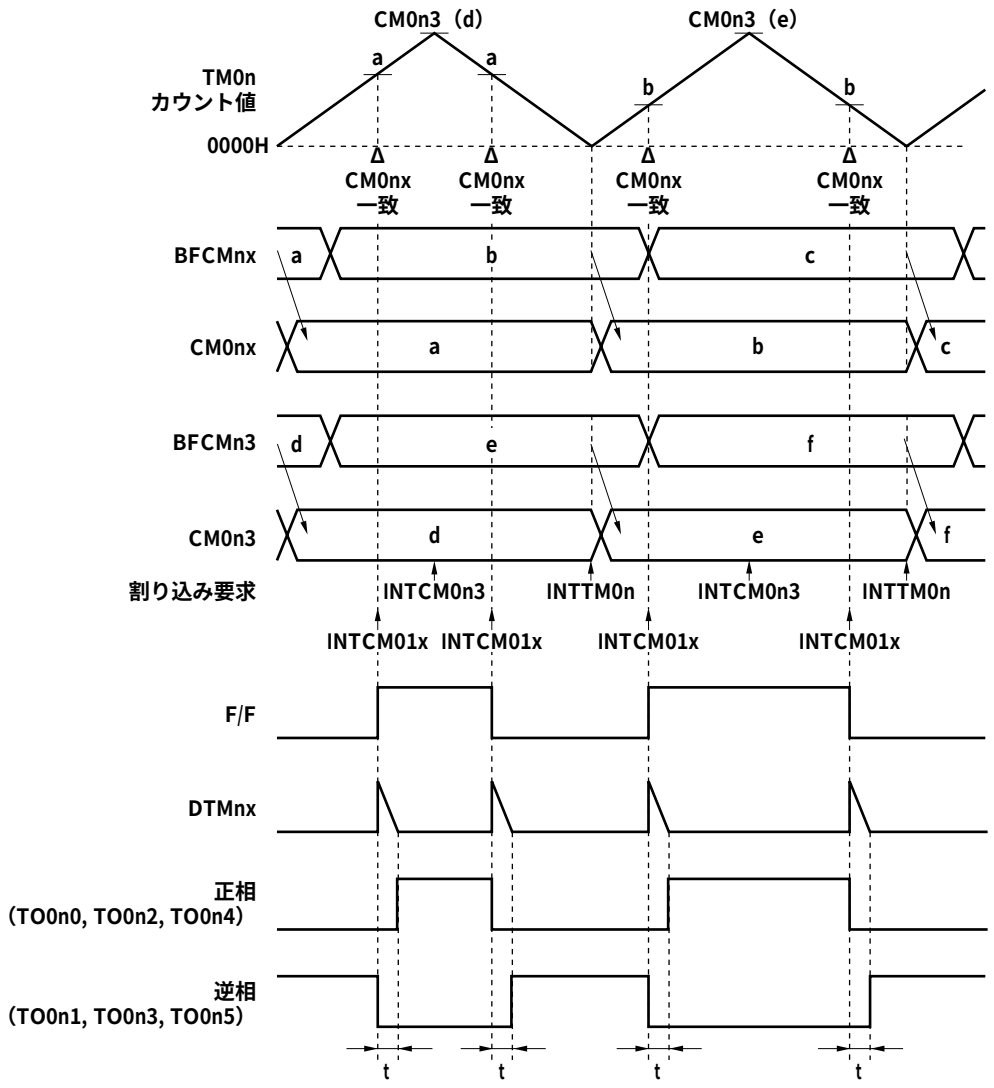
注意　正相または逆相のアクティブ幅が上記計算式で“0**”または“マイナス”になるような値を設定した場合，**TO0n0-TO0n5**端子は，アクティブ幅“**0**”でインアクティブ・レベル固定の波形を出力します。**

備考1.　m = 0-2
　　n = 0, 1
2.　INTCM010-INTCM012，INTCM0n4，INTCM0n5**割り込み要求信号の発生条件を次に示します。**

設定条件	INTCM010-INTCM012, INTCM0n4, INTCM0n5 **信号の発生状況**
CM010-CM012, CM0n4, CM0n5≦CM0n3	**発生する**
CM010-CM012, CM0n4, CM0n5 = 0000H	**発生する**
CM010-CM012, CM0n4, CM0n5＞CM0n3	**発生しない**

図9－15　PWMモード0（対称三角波）の動作タイミング（1/2）

（a）コンペア・レジスタ0n0-0n2（CM0n0-CM0n2）の動作タイミング

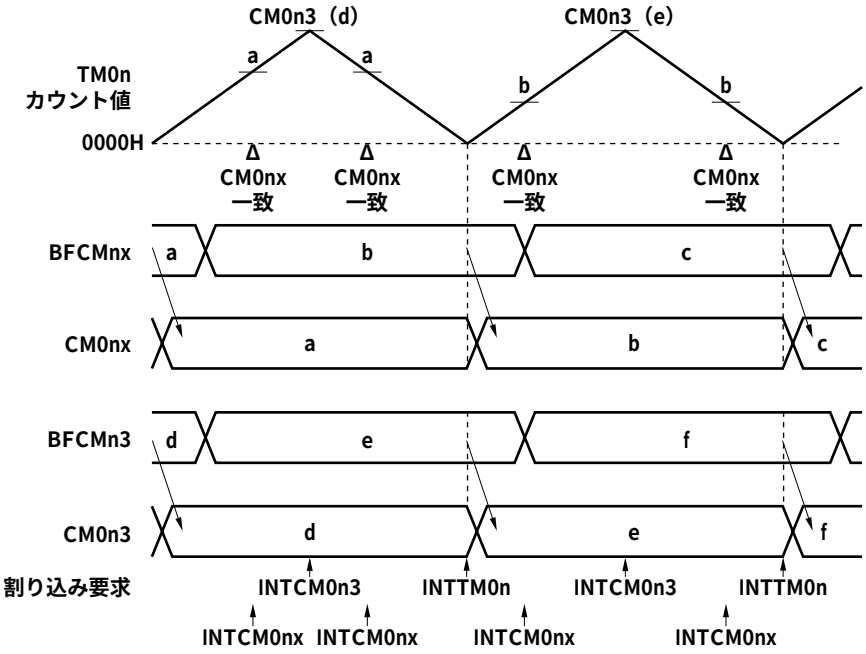


備考1. 上記は，TMC0nレジスタのBFTE3 = 1, BFTEN = 1で，BFCMn3からCM0n3へ，BFCMnxからCM0nxへの転送動作を許可した場合のタイミング図です。BFTE3 = 0, BFTEN = 0の場合は，転送は行われません。

2. n = 0, 1
3. x = 0-2
4. t：デッド・タイム = （DTRRn＋1）/f_{CLK}（f_{CLK}：基本クロック）
5. デッド・タイムを取りたくない場合は，TMC0nレジスタのTM0CEDnビットを1にしてください。
6. 上図はアクティブ・ハイです。
7. TM01とCM01xの一致（上記a, b）でINTCM01xを発生します。INTCM00xは発生しません。

図9－15　PWMモード0（対称三角波）の動作タイミング（2/2）

（b）コンペア・レジスタ0n4, 0n5（CM0n4, CM0n5）の動作タイミング

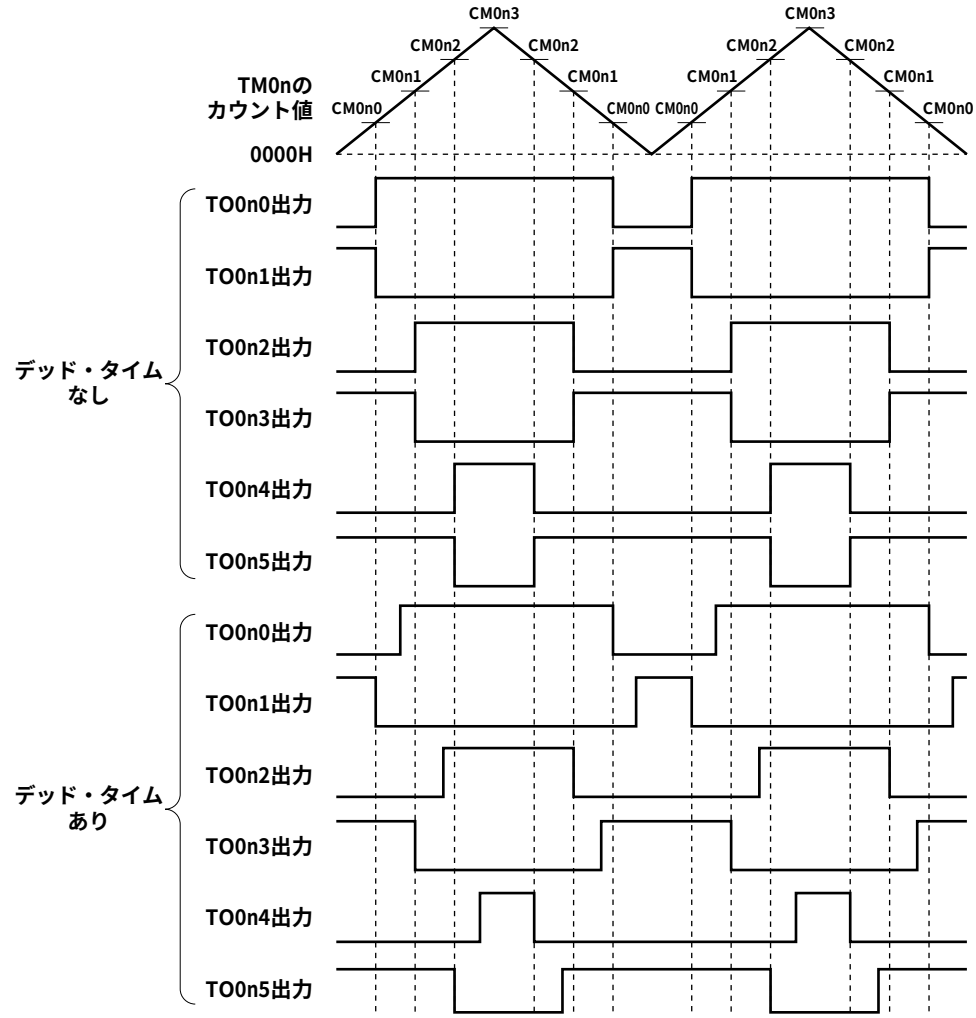


備考1. 上記は，TMC0nレジスタのBFTE3 = 1, BFTEN = 1で，BFCMn3からCM0n3へ，BFCMnxからCM0nxへの転送動作を許可した場合のタイミング図です。BFTE3 = 0, BFTEN = 0の場合は，転送は行われません。

2. n = 0, 1
3. x = 4, 5
4. TM0nとCM0nxの一致（上記a, b）でINTCM0nxを発生します。

全体的な動作イメージを図9－16に示します。

図9－16　PWMモード0（対称三角波）の全体的な動作イメージ



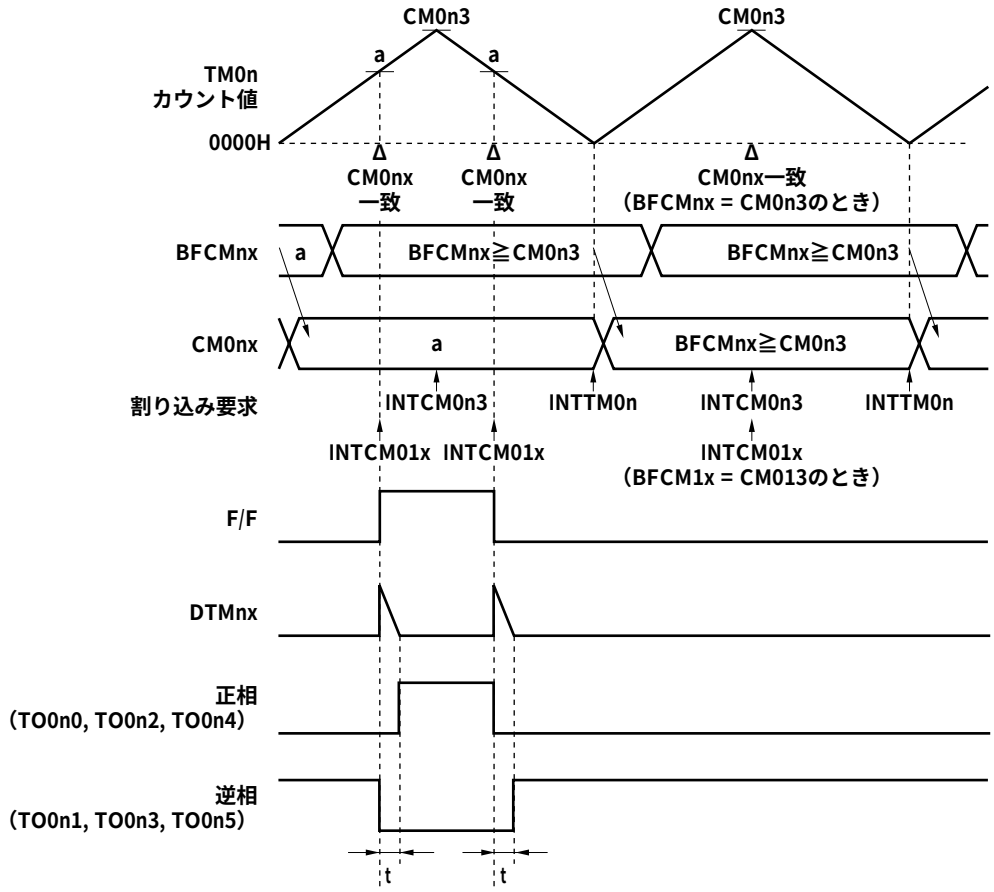
備考　n = 0, 1

次にCM0n0-CM0n2, CM0n4, CM0n5（BFCMn0-BFCMn2, BFCMn4, BFCMn5）の設定値にかかわる動作タイミング例を示します。

（a）CM0nx（BFCMnx）≧CM0n3を設定した場合

図9－17　PWMモード0（対称三角波，BFCMnx≧CM0n3）の動作タイミング（1/2）

（a）コンペア・レジスタ0n0-0n2（CM0n0-CM0n2）の動作タイミング



備考1.　n = 0, 1

2.　x = 0-2

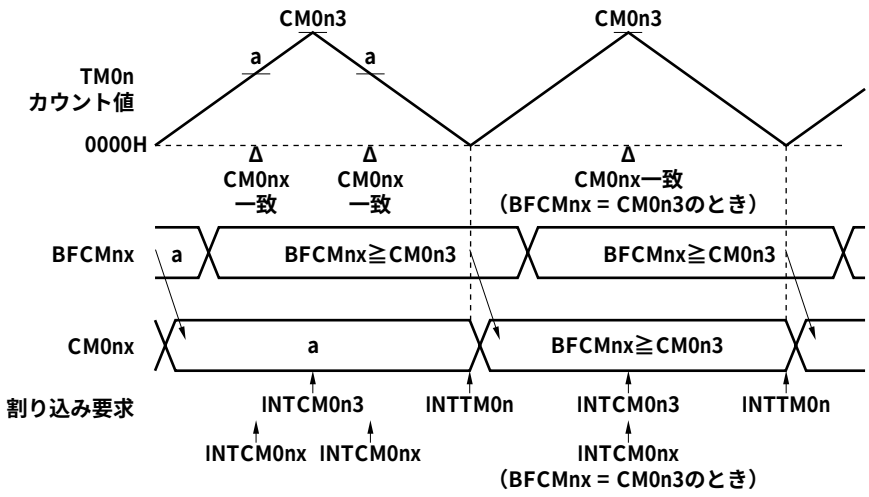
3.　t：デッド・タイム ＝ （DTRRn＋1）/f_{CLK}（f_{CLK}：基本クロック）

4.　上図はアクティブ・ハイです。

5.　TM01とCM01xの一致（上記a）でINTCM01xを発生します。INTCM00xは発生しません。

図9－17　PWM**モード**0**（対称三角波，**BFCMnx≧CM0n3**）の動作タイミング（**2/2**）**

（b**）コンペア・レジスタ**0n4, 0n5**（**CM0n4, CM0n5**）の動作タイミング**



備考1.　n = 0, 1

2.　x = 4, 5

3.　TM0n**と**CM0nx**の一致（上記**a**）で**INTCM0nx**を発生します。**

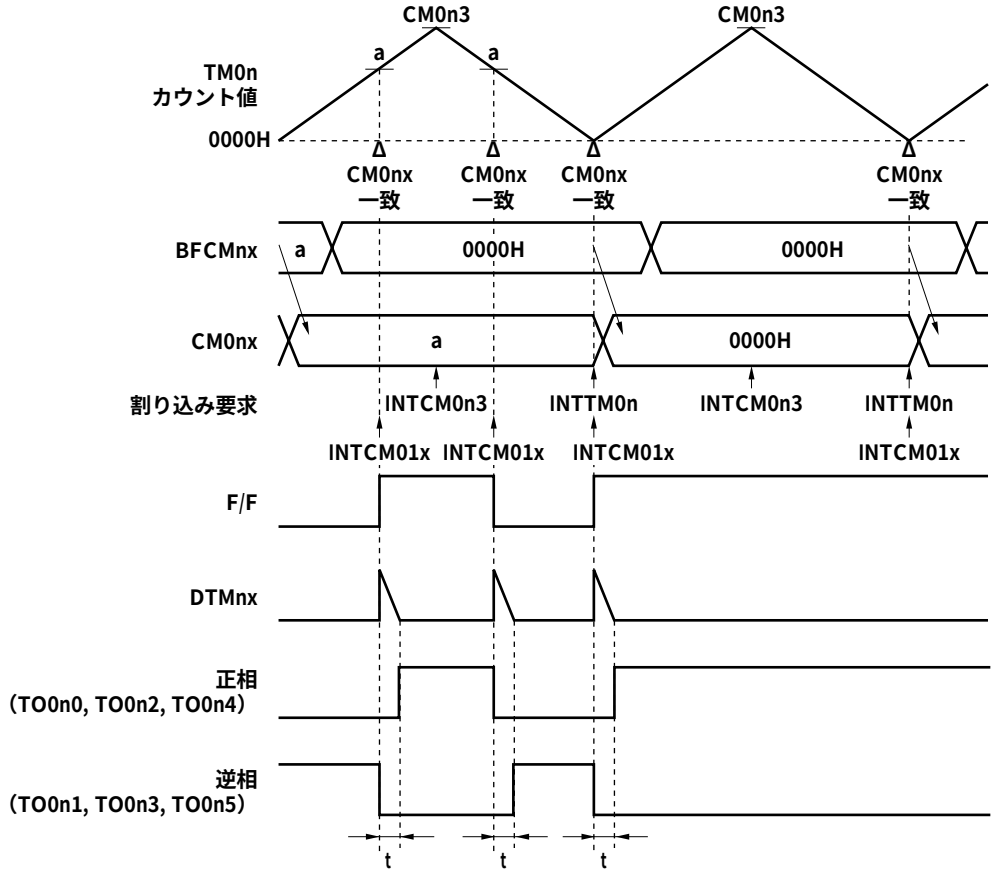
BFCMn0-BFCMn2**に**CM0n3**より大きい値を設定した場合，正相側（**TO0n0, TO0n2, TO0n4**端子）はロウ・レベルを出力し，逆相側（**TO0n1, TO0n3, TO0n5**端子）はハイ・レベルを出力し続けます。インバータ制御などにおいて，**PWM**周期を越えるロウ・レベル幅，ハイ・レベル幅を出力したい場合にこの設定は有効です。また，**CM0n0-CM0n2 = CM0n3**を設定した場合，**TM0n**と**CM0n0-CM0n2**の一致は，**TM0n**のダウン・カウント時に検出されますので，**F/F**はリセットされたままで，セットされることはありません。**

以上の説明はアクティブ・ハイの場合です。アクティブ・ロウの場合，正相，逆相のレベルが逆になるだけで，それ以外の動作は同じです。

（b）CM0nx（BFCMnx） = 0000Hを設定した場合

図9－18　PWMモード0（対称三角波，BFCMnx = 0000H）の動作タイミング（1/2）

（a）コンペア・レジスタ0n0-0n2（CM0n0-CM0n2）の動作タイミング



備考1.　n = 0, 1

2.　x = 0-2

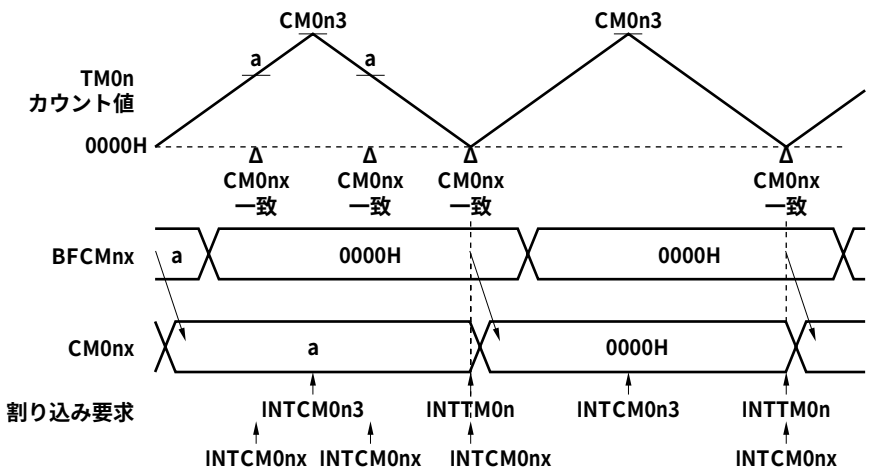
3.　t：デッド・タイム = （DTRRn＋1）/f_{CLK}（f_{CLK}：基本クロック）

4.　上図はアクティブ・ハイです。

5.　TM01とCM01xの一致（上記a）でINTCM01xを発生します。INTCM00xは発生しません。

図9－18　PWM**モード**0**（対称三角波，**BFCMnx = 0000H**）の動作タイミング（**2/2**）**

（b**）コンペア・レジスタ**0n4, 0n5**（**CM0n4, CM0n5**）の動作タイミング**



備考1.　n = 0, 1

2.　x = 4, 5

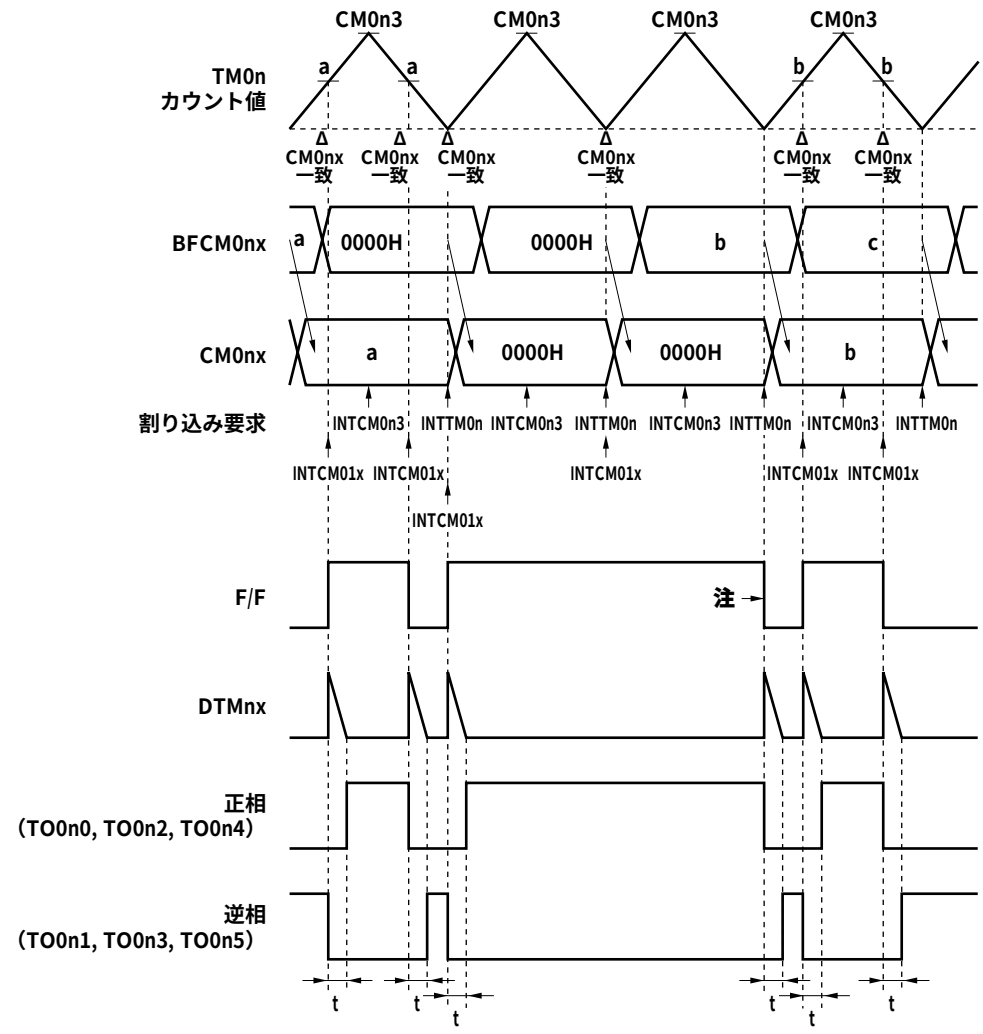
3.　TM0n**と**CM0nx**の一致（上記**a**）で**INTCM0nx**を発生します。**

TM0n = CM0n0-CM0n2 = 0000H**の一致検出は，**TM0n**のアップ・カウント時に検出されますので，**F/F**はセットされるだけで，リセットはされません。設定値が**0000H**の場合も**0000H**以外の値と同様に**BFCMn0-BFCMn2**から**CM0n0-CM0n2**へ転送された周期で**F/F**を変化させます。**

また，デューティ100 **%の状態から変化するタイミングを図**9－19**に示します。**

図9－19　デューティ100 %の状態から変化するタイミング（PWMモード0）（1/2）

（a）コンペア・レジスタ0n0-0n2**（**CM0n0-CM0n2**）の動作タイミング**



注　F/Fは**INTTM0n**発生のタイミングでリセットされます。

備考1.　n = 0, 1

2.　x = 0-2

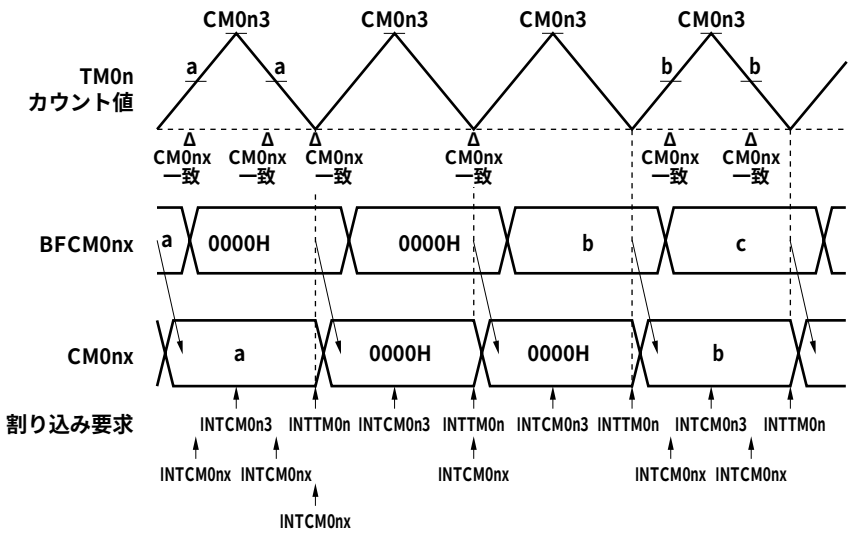
3.　t：**デッド・タイム** =　（DTRRn＋1）/f_{CLK}（f_{CLK}：**基本クロック**）

4.　**上図はアクティブ・ハイです。**

5.　TM01とCM01x**の一致（上記**a, b**）で**INTCM01x**を発生します。**INTCM00x**は発生しません。**

図9－19　デューティ100 %の状態から変化するタイミング（PWMモード0）（2/2）

（b）コンペア・レジスタ0n4, 0n5（CM0n4, CM0n5）**の動作タイミング**



備考1.　n = 0, 1

2.　x = 4, 5

3.　TM0n**と**CM0nx**の一致（上記**a, b**）で**INTCM0nx**を発生します。**

(3) PWMモード1：三角波変調（左右非対称波形制御）

[設定手順]

(a) TMC0nレジスタのMOD01, MOD00ビットでPWMモード1（非対称三角波）に設定します。また，TOMRnレジスタのALVTOビットでTO0n0-TO0n5端子のアクティブ・レベルを設定します（n = 0, 1）。

(b) TMC0nレジスタのPRM02-PRM00ビットでTM0nのカウント・クロックを設定します。BFTE3ビットでBFCMn3からCM0n3へ，BFTENビットでBFCMn0-BFCMn2, BFCMn4, BFCMn5からCM0n0-CM0n2, CM0n4, CM0n5への転送動作を設定します。

(c) 初期値を設定します。

(i) TMC0nレジスタのCUL02-CUL00ビットで割り込みの間引き率を指定します。

(ii) BFCMn3にPWM周期の半周期幅を設定します。

・PWM周期 = BFCMn3値×2×TM0nのカウント・クロック

（TM0nのカウント・クロックはTMC0nレジスタで設定します）

(iii) DTRRnにデッド・タイム幅を設定します。

・デッド・タイム幅 = （DTRRn＋1）/f_{CLK}

f_{CLK}：基本クロック

(vi) BFCMn0-BFCMn2にPWM周期で使うF/Fのセット・タイミングを設定します。

(d) TMC0nレジスタのTM0CEDnビットをクリア（0）してデッド・タイム・タイマ動作を許可します。なお，デッド・タイムをとりたくない場合はTM0CEDn = 1にしてください。

(e) TMC0nレジスタのTM0CEnビットをセット（1）するとTM0nがカウント・スタートし，TO0n0-TO0n5端子から6チャネルPWM信号が出力します。

注意　CM0n3 = 0000Hに設定は禁止します。

備考　TMC0nレジスタのTM0CEnビットが次の条件のときの転送動作を示します。

・TMC0nレジスタのTM0CEnビット = 0のとき

BFCMn0-BFCMn2, BFCMn4, BFCMn5レジスタへライトされた次の基本クロック（f_{CLK}）でCM0n0-CM0n2, CM0n4, CM0n5へ転送されます。

・TMC0nレジスタのTM0CEnビット = 1のとき

INTTM0nまたはINTCM0n3発生時にBFCMn0-BFCMn2, BFCMn4, BFCMn5レジスタの値がCM0n0-CM0n2, CM0n4, CM0n5レジスタに転送されます。このときの転送許可／禁止は，TMC0nレジスタのBFTENビットで制御されます。

[動　　作]

PWMモード1では，TM0nはアップ／ダウン・カウント動作を行い，ダウン・カウント動作中にTM0n = 0000Hになるとアンダフロー割り込み（INTTM0n）を発生し，アップ・カウント動作中にTM0n = CM0n3になると一致割り込み（INTCM0n3）を発生します（n = 0, 1）。

アップ→ダウン切り替えはTM0nとCM0n3の一致（INTCM0n3）で，ダウン→アップ切り替えはINTTM0nで行われます。

このモードのPWM周期は，（BFCMn3値×2×TM0nのカウント・クロック）です。BFCMn3へのデータ設定は，次のPWM周期幅をBFCMn3に設定します。

INTTM0nにより，ハードウエアで自動的にBFCMn3のデータがCM0n3に転送されます。さらに，INTTM0nで起動するソフトウエア処理で演算を行い，次周期のデータをBFCMn3に設定します。

次にPWMのデューティを制御するCM0n0-CM0n2へのデータ設定について説明します。

CM0n0-CM0n2へのデータ設定は，BFCMn0-BFCMn2から出力するデューティを設定します。

INTTM0nとINTCM0n3（TM0nとCM0n3の一致割り込み）により，ハードウエアで自動的にBFCMn0-BFCMn2の値がCM0n0-CM0n2に転送されます。さらに，ソフトウエア処理を起動して演算を行い，半周期後のF/Fのセット／リセット・タイミングをBFCMn0-BFCMn2に設定します。

以上のようにして，PWM周期，PWMのデューティを設定します。

CM0n0-CM0n2の一致で変化するF/Fのセット／リセット条件は，次のとおりです。

- セット　：TM0nがアップ・カウント時にCM0n0-CM0n2が一致検出
- リセット：TM0nがダウン・カウント時にCM0n0-CM0n2が一致検出

F/Fのセット／リセット・タイミングに同期して，DTRRnの値が対応するデッド・タイム・タイマ（DTMn0-DTMn2）に転送され，ダウン・カウントを開始します。DTMn0-DTMn2は，000Hまでカウントして，000H→FFFHで停止します。

DTMn0-DTMn2は，正相（TO0n0, TO0n2, TO0n4）と逆相（TO0n1, TO0n3, TO0n5）のアクティブ・レベルが重ならない幅（デッド・タイム）を容易に自動生成できます。

このように，初期設定以降は，PWM周期（1周期）に2回発生する割り込み（INTTM0nとINTCM0n3）でソフトウエア処理を起動し，半周期後に使用するPWM周期およびPWMのデューティを設定することによって，TO0n0-TO0n5端子に自動的にデッド・タイム幅を考慮したPWM波形を出力できます（割り込みの間引き率1/1の場合）。

左右対称波形制御とこのモードの制御（左右非対称波形制御）の相違点は，BFCMn0-BFCMn2をCM0n0-CM0n2へ転送し，さらにソフトウエアを起動するための割り込み信号が，左右対称波形制御の場合，INTTM0n（PWM周期に1回）であるのに対して，このモードの制御では，INTTM0nとINTCM0n3（PWM周期に2回 = 半周期に1回）である点です。

[設定値に対する出力波形幅]

- PWM**周期** = BFCMn3×2×T_{TM0n}
- **デッド・タイム幅**　T_{Dnm} = （DTRRn＋1）/f_{CLK}
- **正相（**TO0n0, TO0n2, TO0n4**端子）のアクティブ幅**
  = {（CM0n3－CM0nX_{UP}）＋（CM0n3－CM0nX_{down}）} ×T_{TM0n}－T_{Dnm}
- **逆相（**TO0n1, TO0n3, TO0n5**端子）のアクティブ幅**
  =（CM0nX_{down}＋CM0nX_{up}）×T_{TM0n}－T_{Dnm}

f_{CLK}　：**基本クロック**
T_{TM0n}　：TM0n**のカウント・クロック**
CM0nX_{up}　：TM0n**がアップ・カウント時の**CM0n0-CM0n2**の設定値**
CM0nX_{down} ：TM0n**がダウン・カウント時の**CM0n0-CM0n2**の設定値**

TO0n0-TO0n5**端子のリセット時の端子レベルは，ハイ･インピーダンス状態です。**
その後コントロール・モードにすると，TM0n**をスタートさせるまで次のレベルを出力します。**

- TO0n0, TO0n2, TO0n4 … **ロウ・アクティブ時→ハイ・レベル**
  ハイ・アクティブ時→ロウ・レベル
- TO0n1, TO0n3, TO0n5 … **ロウ・アクティブ時→ロウ・レベル**
  ハイ・アクティブ時→ハイ・レベル

アクティブ・レベルはTOMRn**レジスタの**ALVTO**ビットで設定します。ディフォールトはロウ・アクティブです。**

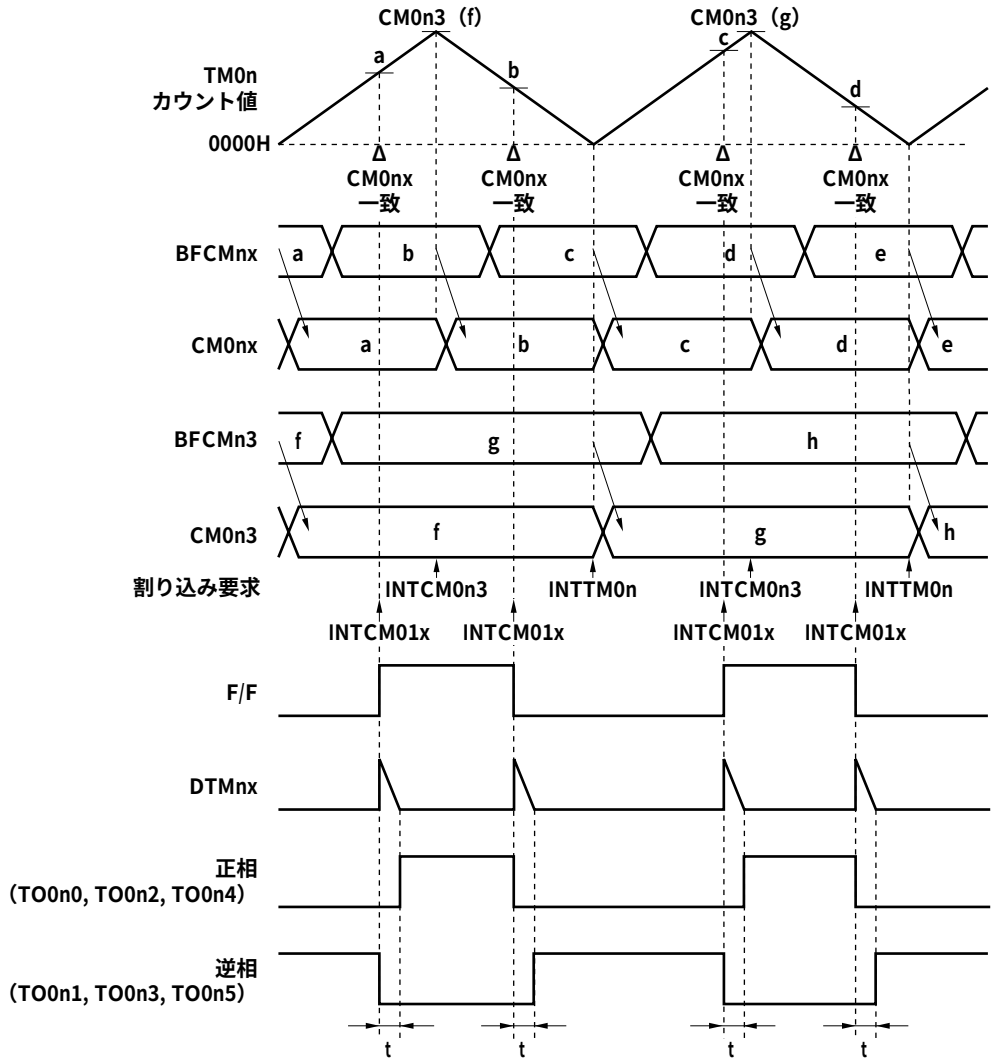
注意　正相または逆相のアクティブ幅が上記計算式で“0**”または“マイナス”になるような値を設定した場合，**TO0n0-TO0n5**端子は，アクティブ幅“**0**”でインアクティブ・レベル固定の波形を出力します。**

備考1.　m = 0-2
　　n = 0, 1
2.　INTCM010-INTCM012，INTCM0n4，INTCM0n5**割り込み要求信号の発生条件を次に示します。**

設定条件	INTCM010-INTCM012, INTCM0n4, INTCM0n5 **信号の発生状況**
CM010-CM012, CM0n4, CM0n5≦CM0n3	**発生する**
CM010-CM012, CM0n4, CM0n5 = 0000H	**発生する**
CM010-CM012, CM0n4, CM0n5＞CM0n3	**発生しない**

図9－20　PWMモード1（非対称三角波）の動作タイミング（1/2）

（a）コンペア・レジスタ0n0-0n2（CM0n0-CM0n2）の動作タイミング

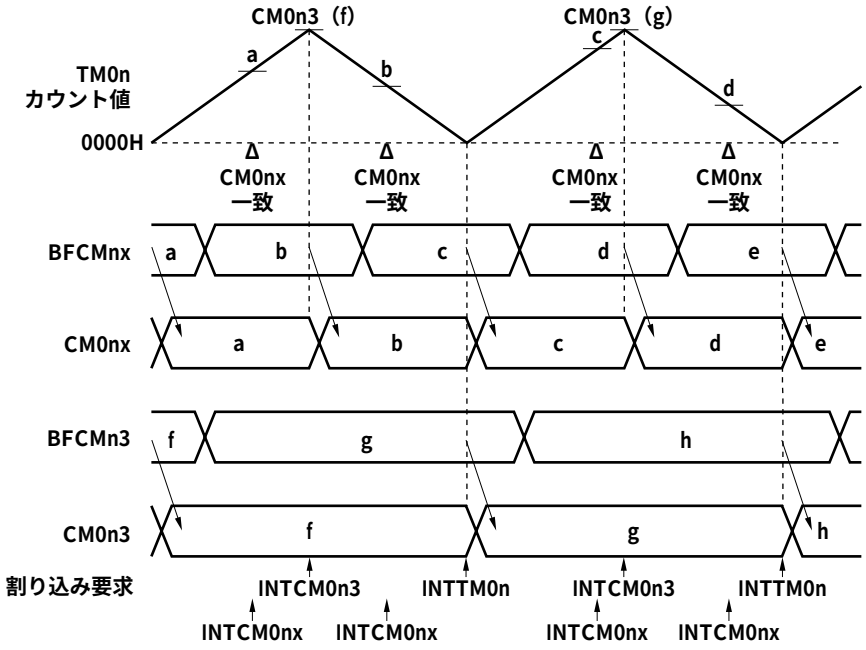


備考1. **上記は，**TMC0n**レジスタの**BFTE3 = 1, BFTEN = 1**で，**BFCMn3**から**CM0n3**へ，**BFCMnx**から**CM0nx**への転送動作を許可した場合のタイミング図です。**BFTE3 = 0, BFTEN = 0**の場合は，転送は行われません。**

2. n = 0, 1
3. x = 0-2
4. t**：デッド・タイム** =　（DTRRn＋1）/f_{CLK}（f_{CLK}**：基本クロック**）
5. **デッド・タイムを取りたくない場合は，**TMC0n**レジスタの**TM0CEDn**ビットを**1**にしてください。**
6. **上図はアクティブ・ハイです。**
7. TM01**と**CM01x**の一致（上記**a-d**）で**INTCM01x**を発生します。**INTCM00x**は発生しません。**

図9－20　PWMモード1（非対称三角波）の動作タイミング（2/2）

（b）コンペア・レジスタ0n4, 0n5（CM0n4, CM0n5）**の動作タイミング**

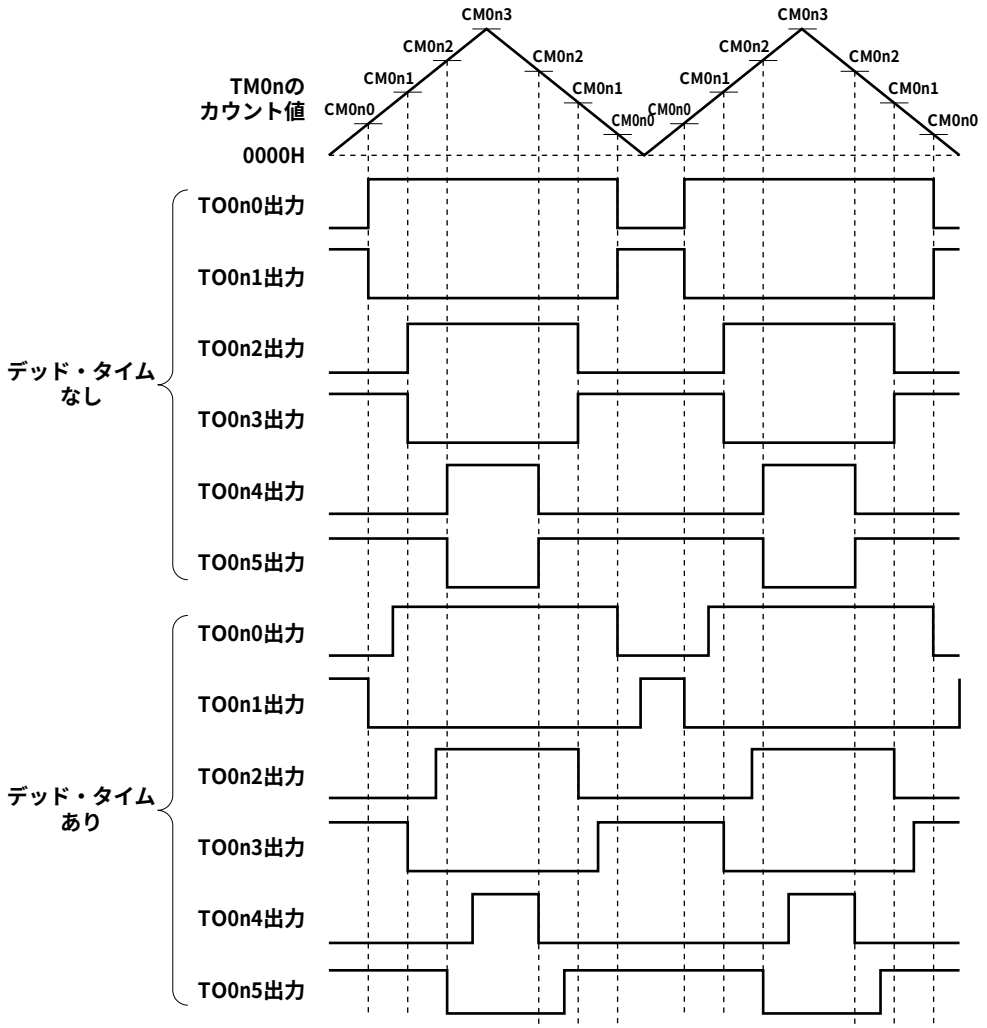


備考1. **上記は，**TMC0n**レジスタの**BFTE3 = 1, BFTEN = 1**で，**BFCMn3**から**CM0n3**へ，**BFCMnx**から**CM0nx**への転送動作を許可した場合のタイミング図です。**BFTE3 = 0, BFTEN = 0**の場合は，転送は行われません。**

2. n = 0, 1
3. x = 4, 5
4. TM0n**と**CM0nx**の一致（上記**a-d**）で**INTCM0nx**を発生します。**

全体的な動作イメージを図9－21**に示します。**

図9－21　PWMモード1（非対称三角波）の全体的な動作イメージ

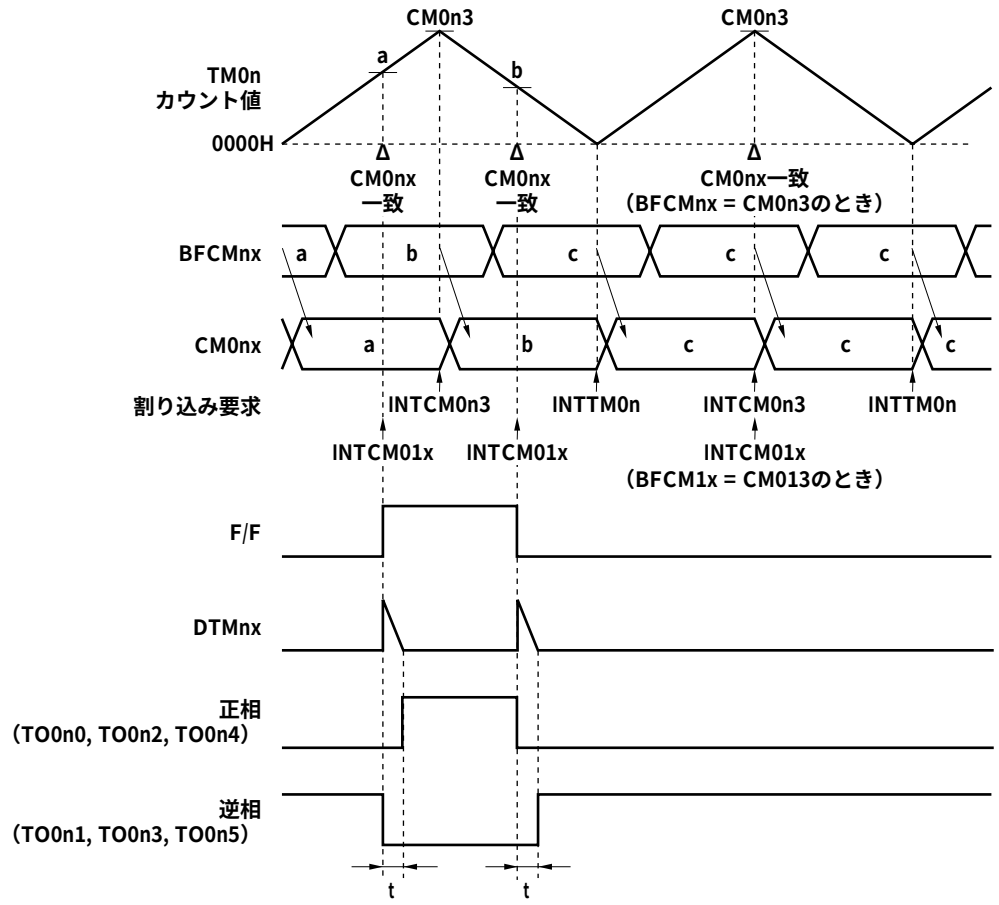


備考　n = 0, 1

（a）INTCM0n3で起動するソフトウエア処理で，BFCMnx≧CM0n3を設定した場合

図9－22　PWMモード1（非対称三角波，BFCMnx≧CM0n3）の動作タイミング（1/2）

（a）コンペア・レジスタ0n0-0n2（CM0n0-CM0n2）の動作タイミング



備考1.　n = 0, 1

2.　x = 0-2

3.　c≧CM0n3

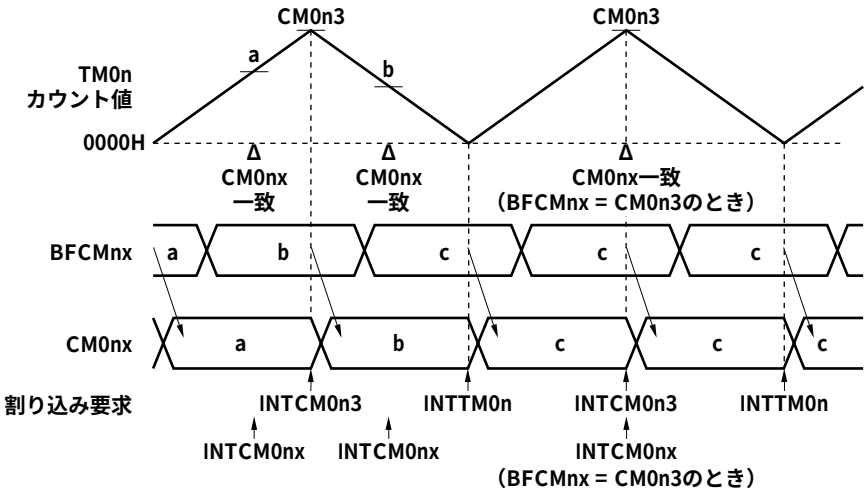
4.　t：デッド・タイム ＝ （DTRRn＋1）/f_{CLK}（f_{CLK}：基本クロック）

5.　**上図はアクティブ・ハイです。**

6.　TM01とCM01xの一致（上記a, b）でINTCM01xを発生します。INTCM00xは発生しません。

図9－22　PWM**モード**1**（非対称三角波，**BFCMnx≧CM0n3**）の動作タイミング（**2/2**）**

（b**）コンペア・レジスタ**0n4, 0n5**（**CM0n4, CM0n5**）の動作タイミング**



備考1.　n = 0, 1

2.　x = 4, 5

3.　c≧CM0n3

4.　TM0n**と**CM0nx**の一致（上記**a, b**）で**INTCM0nx**を発生します。**

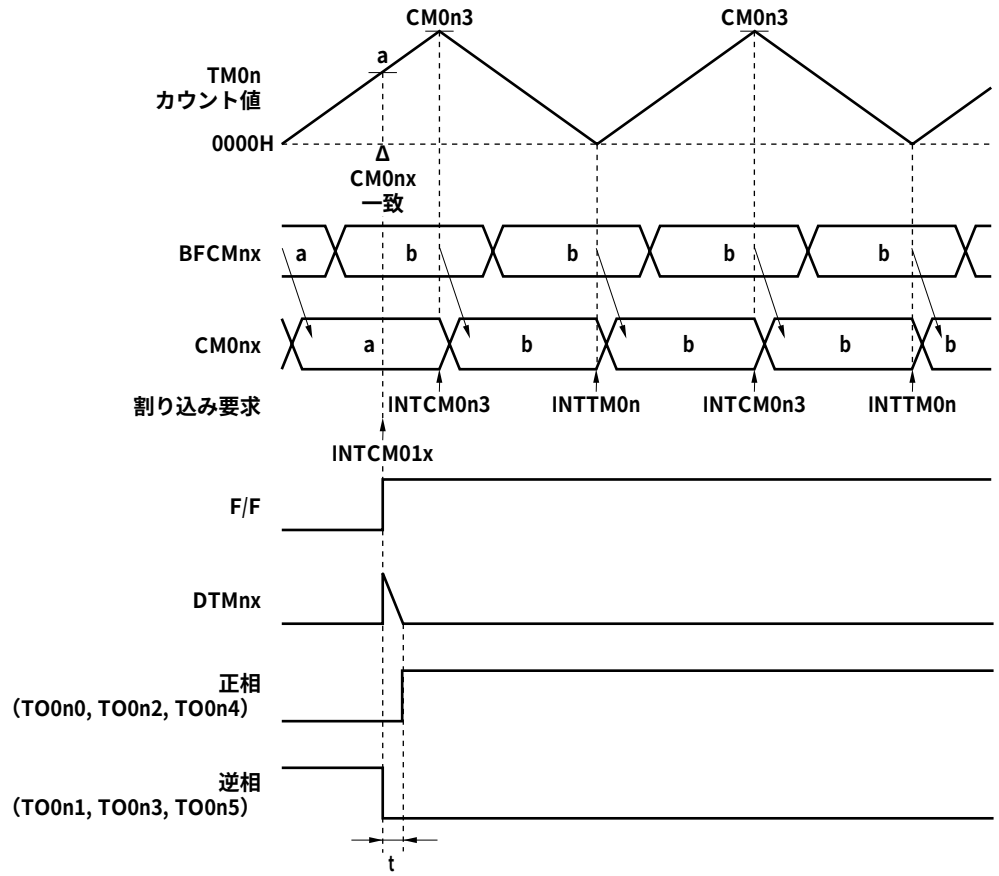
BFCMn0-BFCMn2**に**CM0n3**より大きい値を設定した場合，正相側（**TO0n0, TO0n2, TO0n4**端子）はロウ・レベルを出力し，逆相側（**TO0n1, TO0n3, TO0n5**端子）はハイ・レベルを出力し続けます。インバータ制御などにおいて，**PWM**周期を越えるロウ・レベル幅，ハイ・レベル幅を出力したい場合にこの設定は有効です。また，**CM0n0-CM0n2 = CM0n3**を設定した場合，**TM0n**と**CM0n0-CM0n2**の一致は，**TM0n**のダウン・カウント時に検出されますので，**F/F**はリセットされたままで，セットされることはありません。**

以上の説明はアクティブ・ハイの場合です。アクティブ・ロウの場合，正相，逆相のレベルが逆になるだけで，それ以外の動作は同じです。

（b）INTTM0nで起動するソフトウエア処理で，BFCMnx＞CM0n3を設定した場合

図9－23　PWMモード1（非対称三角波，BFCMnx＞CM0n3）の動作タイミング（1/2）

（a）コンペア・レジスタ0n0-0n2（CM0n0-CM0n2）の動作タイミング



備考1.　n = 0, 1

2.　x = 0-2

3.　b＞CM0n3

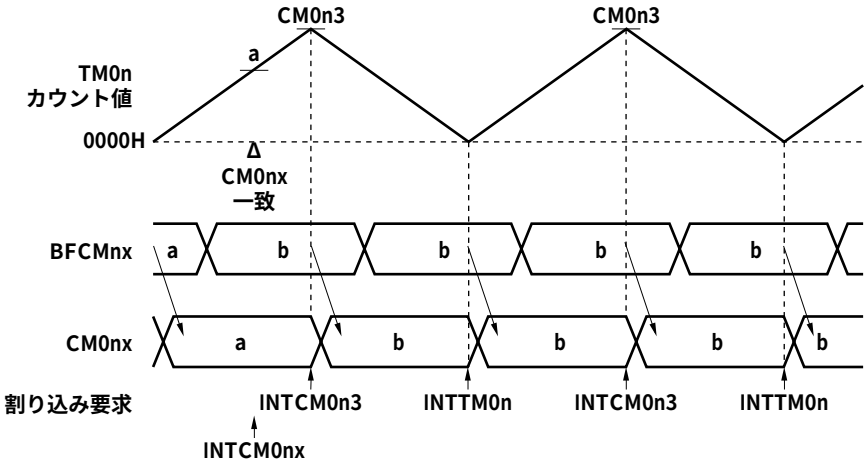
4.　t：**デッド・タイム** =　（DTRRn＋1）/f_{CLK}（f_{CLK}：**基本クロック**）

5.　**上図はアクティブ・ハイです。**

6.　TM01**と**CM01x**の一致（上記**a**）で**INTCM01x**を発生します。**INTCM00x**は発生しません。**

図9－23　PWM**モード**1**（非対称三角波，**BFCMnx＞CM0n3**）の動作タイミング（**2/2**）**

（b**）コンペア・レジスタ**0n4, 0n5**（**CM0n4, CM0n5**）の動作タイミング**



備考1.　n = 0, 1

2.　x = 4, 5

3.　b＞CM0n3

4.　TM0n**と**CM0nx**の一致（上記**a**）で**INTCM0nx**を発生します。**

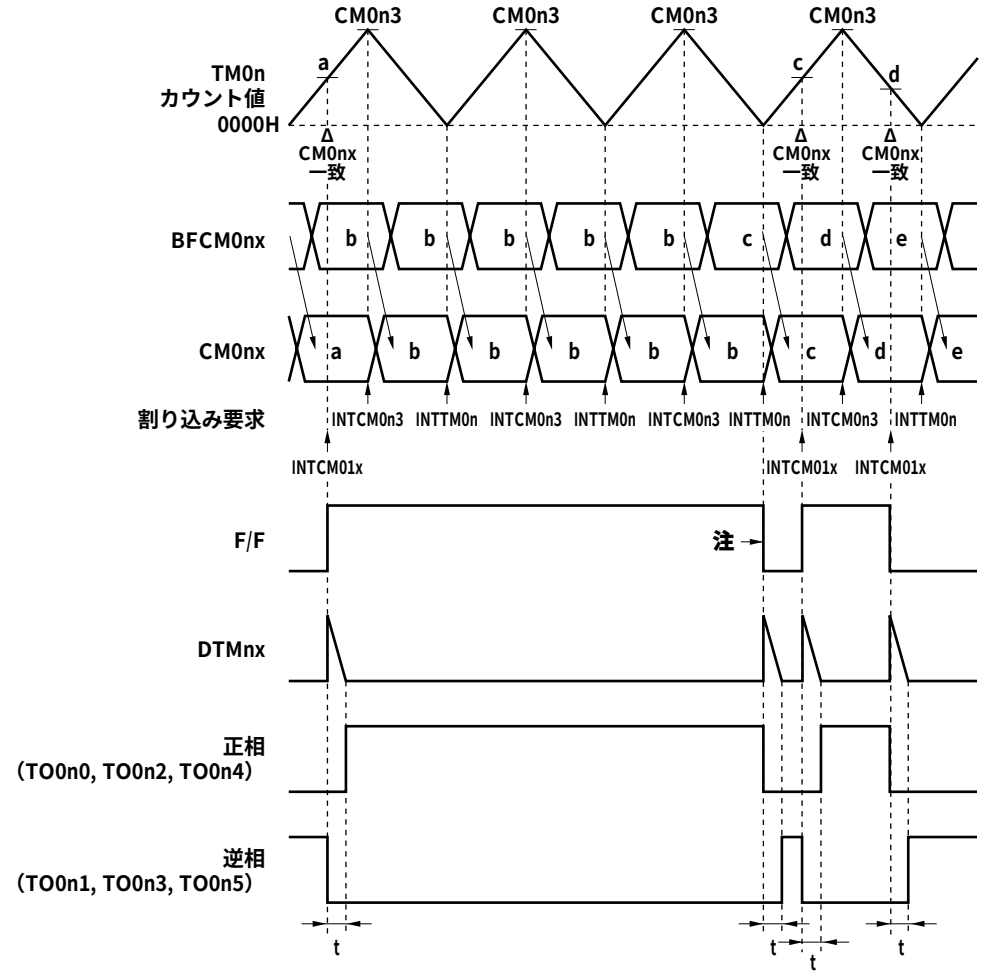
BFCMn0-BFCMn2**に**CM0n3**より大きい値を設定した場合，正相側（**TO0n0, TO0n2, TO0n4**端子）はハイ・レベルを出力し，逆相側（**TO0n1, TO0n3, TO0n5**端子）はロウ・レベルを出力し続けます。インバータ制御などにおいて，**PWM**周期を越えるロウ・レベル幅，ハイ・レベル幅を出力したい場合にこの設定は有効です。**

以上の説明はアクティブ・ハイの場合です。アクティブ・ロウの場合，正相，逆相のレベルが逆になるだけで，それ以外の動作は同じです。

また，デューティ100 %**の状態から変化するタイミングを図**9－24**に示します。**

図9－24　デューティ100 %の状態から変化するタイミング（PWMモード1）（1/2）

（a）コンペア・レジスタ0n0-0n2（CM0n0-CM0n2）の動作タイミング



注　F/Fは**INTTM0n発生のタイミングでリセットされます。**

備考1.　n = 0, 1

2.　x = 0-2

3.　b＞CM0n3

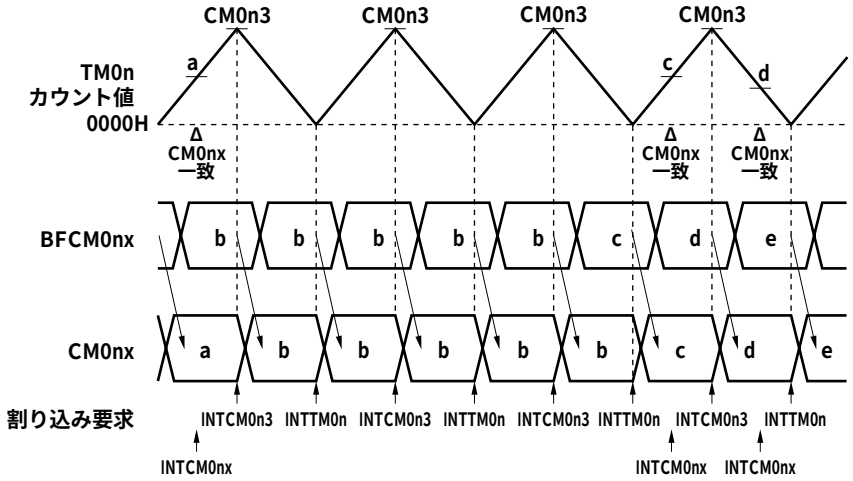
4.　t：**デッド・タイム** =（DTRRn＋1）/f_{CLK}（f_{CLK}：**基本クロック**）

5.　**上図はアクティブ・ハイです。**

6.　TM01とCM01x**の一致（上記**a-c**）で**INTCM01x**を発生します。**INTCM00x**は発生しません。**

図9－24　デューティ100 %の状態から変化するタイミング（PWMモード1）（2/2）

（b）コンペア・レジスタ0n4, 0n5（CM0n4, CM0n5）**の動作タイミング**



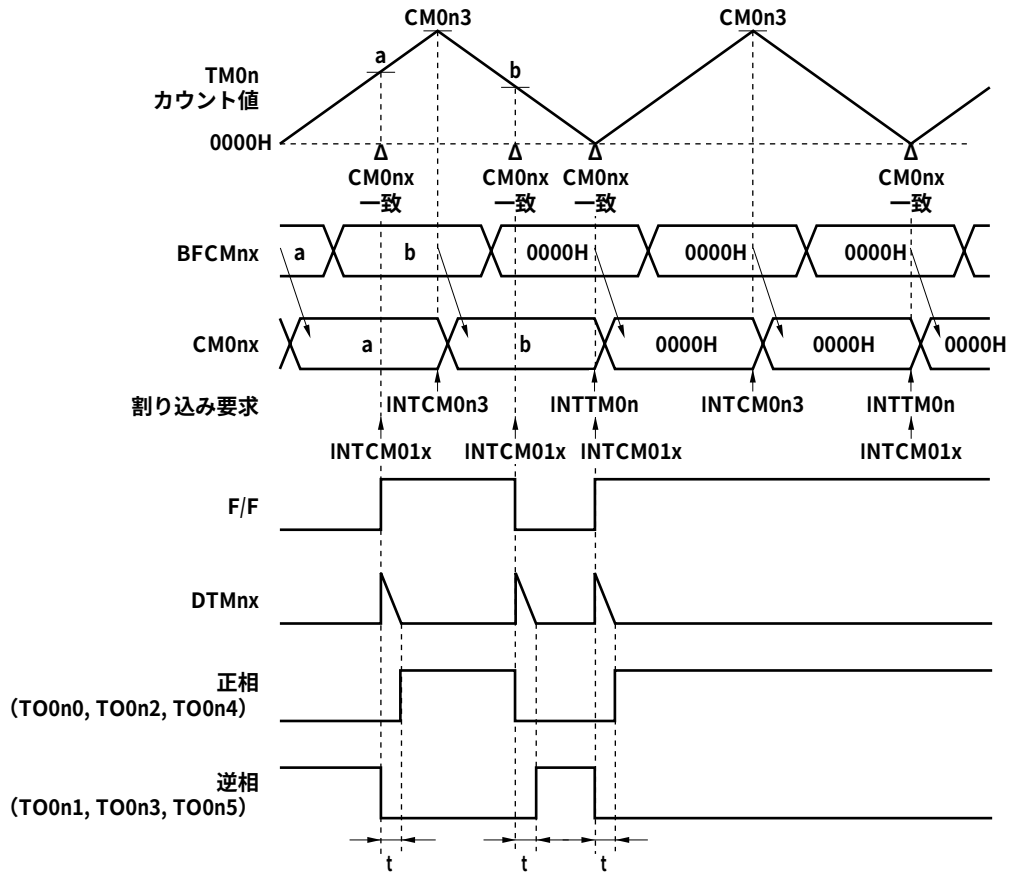
備考1. n = 0, 1

2. x = 4, 5
3. b＞CM0n3
4. TM0n**と**CM0nx**の一致（上記**a-c**）で**INTCM0nx**を発生します。**

（c）INTCM0n3で起動するソフトウエア処理で，BFCMnx = 0000Hを設定した場合

図9－25　PWMモード1（非対称三角波，BFCMnx = 0000H）の動作タイミング（1）（1/2）

（a）コンペア・レジスタ0n0-0n2（CM0n0-CM0n2）の動作タイミング



備考1.　n = 0, 1

2.　x = 0-2

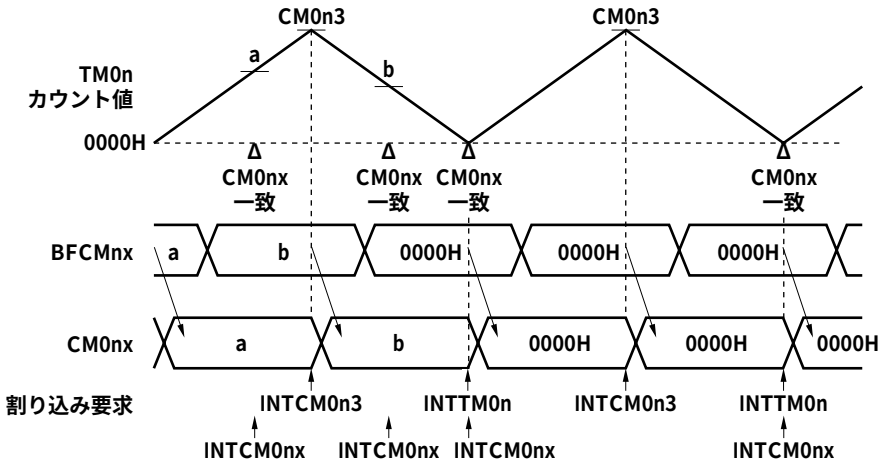
3.　t：**デッド・タイム** =　（DTRRn＋1）/f_{CLK}（f_{CLK}：**基本クロック**）

4.　**上図はアクティブ・ハイです。**

5.　TM01とCM01x**の一致（上記**a, b）**で**INTCM01x**を発生します。**INTCM00x**は発生しません。**

図9－25　PWMモード1（非対称三角波，BFCMnx = 0000H）の動作タイミング（1）（2/2）

（b）コンペア・レジスタ0n4, 0n5（CM0n4, CM0n5）の動作タイミング



備考1.　n = 0, 1

2.　x = 4, 5

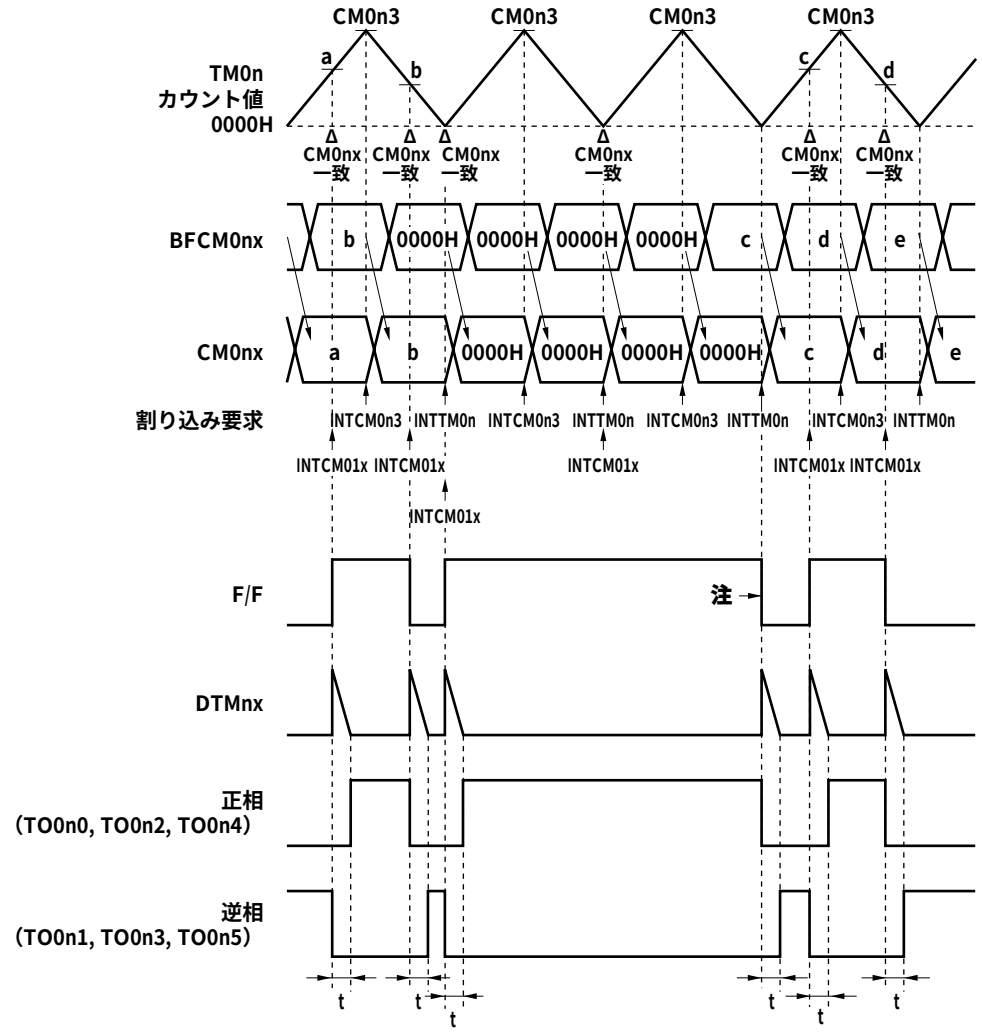
3.　TM0nとCM0nxの一致（上記a, b）でINTCM0nxを発生します。

TM0n = CM0n0-CM0n2 = 0000Hの一致検出はTM0nのアップ・カウント時に検出されますので，F/Fはセットされるだけで，リセットはされません。また，INTTM0nによりCM0n0-CM0n2に0000Hが転送された周期で一致が検出されF/Fをセットします。

また，デューティ100 %の状態から変化するタイミングを図9－26に示します。

図9－26　デューティ100 %の状態から変化するタイミング（1）（PWMモード1）（1/2）

（a）コンペア・レジスタ0n0-0n2（CM0n0-CM0n2）の動作タイミング



注　F/Fは**INTTM0n発生のタイミングでリセットされます。**

備考1.　n = 0, 1

2.　x = 0-2

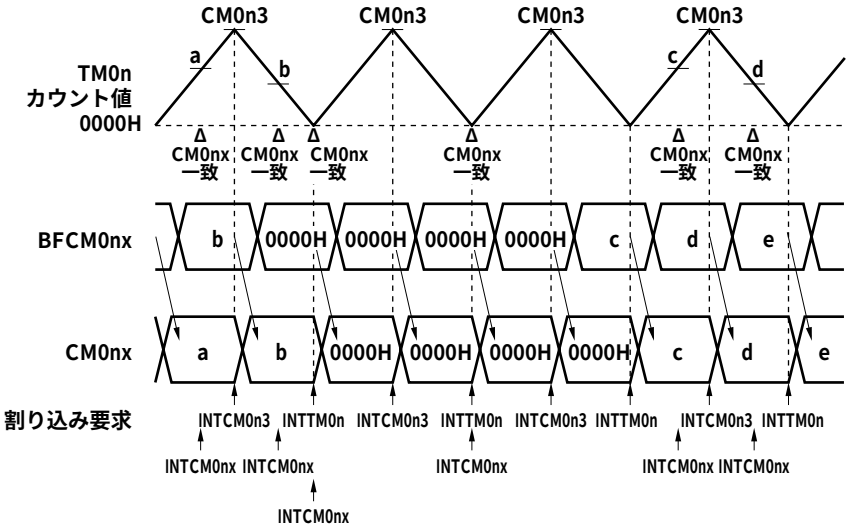
3.　t：**デッド・タイム** =（DTRRn＋1）/f_{CLK}（f_{CLK}：**基本クロック**）

4.　**上図はアクティブ・ハイです。**

5.　TM01とCM01x**の一致（上記**a-d）でINTCM01x**を発生します。**INTCM00x**は発生しません。**

図9－26　デューティ100 %の状態から変化するタイミング（1）（PWMモード1）（2/2）

（b）コンペア・レジスタ0n4, 0n5（CM0n4, CM0n5）**の動作タイミング**



備考1.　n = 0, 1

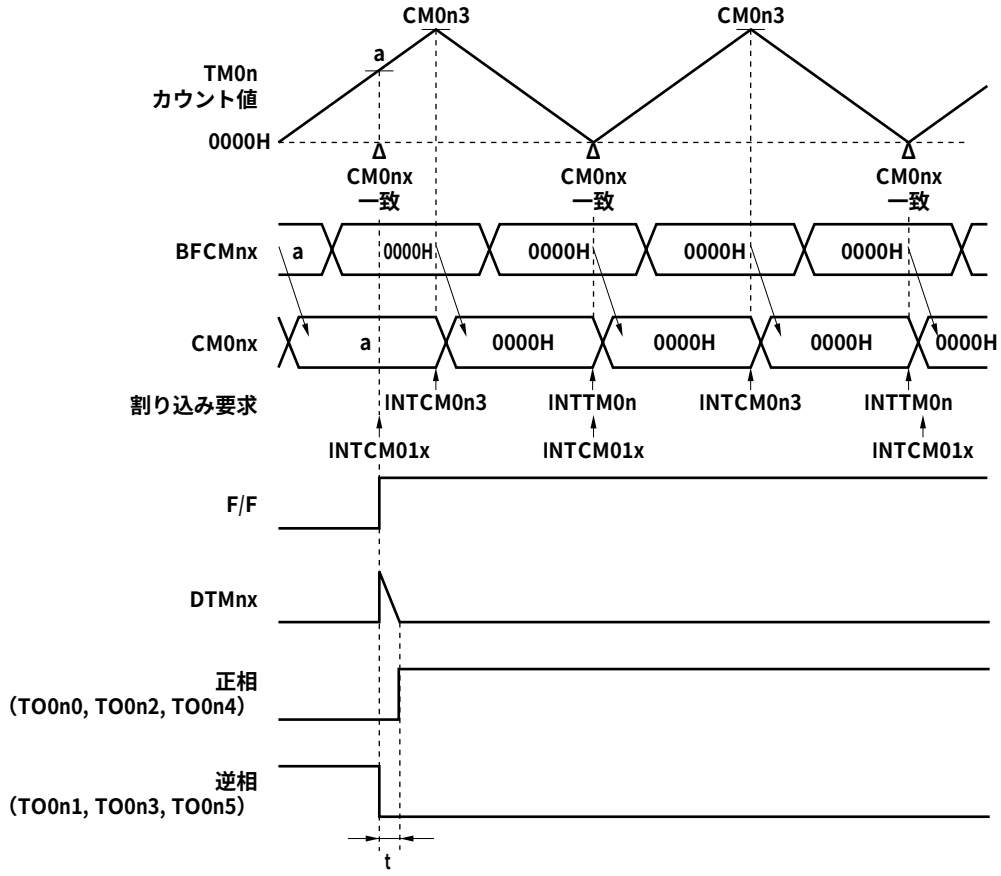
2.　x = 4, 5

3.　TM0n**と**CM0nx**の一致（上記**a-d**）で**INTCM0nx**を発生します。**

（d）INTTM0nで起動するソフトウエア処理で，BFCMnx = 0000H**を設定した場合**

図9－27　PWM**モード**1**（非対称三角波，**BFCMnx = 0000H**）の動作タイミング（**2**）（**1/2**）**

（a）コンペア・レジスタ0n0-0n2**（**CM0n0-CM0n2**）の動作タイミング**



備考1.　n = 0, 1

2.　x = 0-2

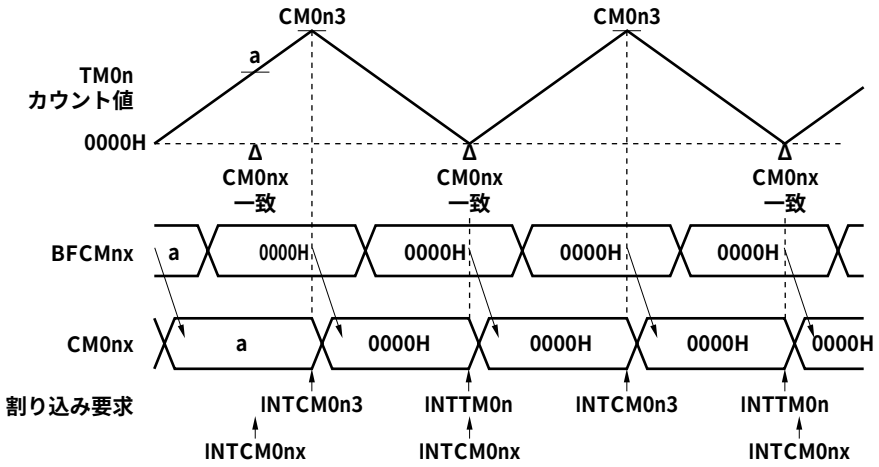
3.　t：**デッド・タイム** =　（DTRRn＋1）/f_{CLK}（f_{CLK}：**基本クロック**）

4.　**上図はアクティブ・ハイです。**

5.　TM01**と**CM01x**の一致（上記**a**）で**INTCM01x**を発生します。**INTCM00x**は発生しません。**

図9－27　PWMモード1（非対称三角波，BFCMnx = 0000H）の動作タイミング（2）（2/2）

（b）コンペア・レジスタ0n4, 0n5（CM0n4, CM0n5）**の動作タイミング**



備考1.　n = 0, 1

2.　x = 4, 5

3.　TM0n**と**CM0nx**の一致（上記**a**）で**INTCM0nx**を発生します。**

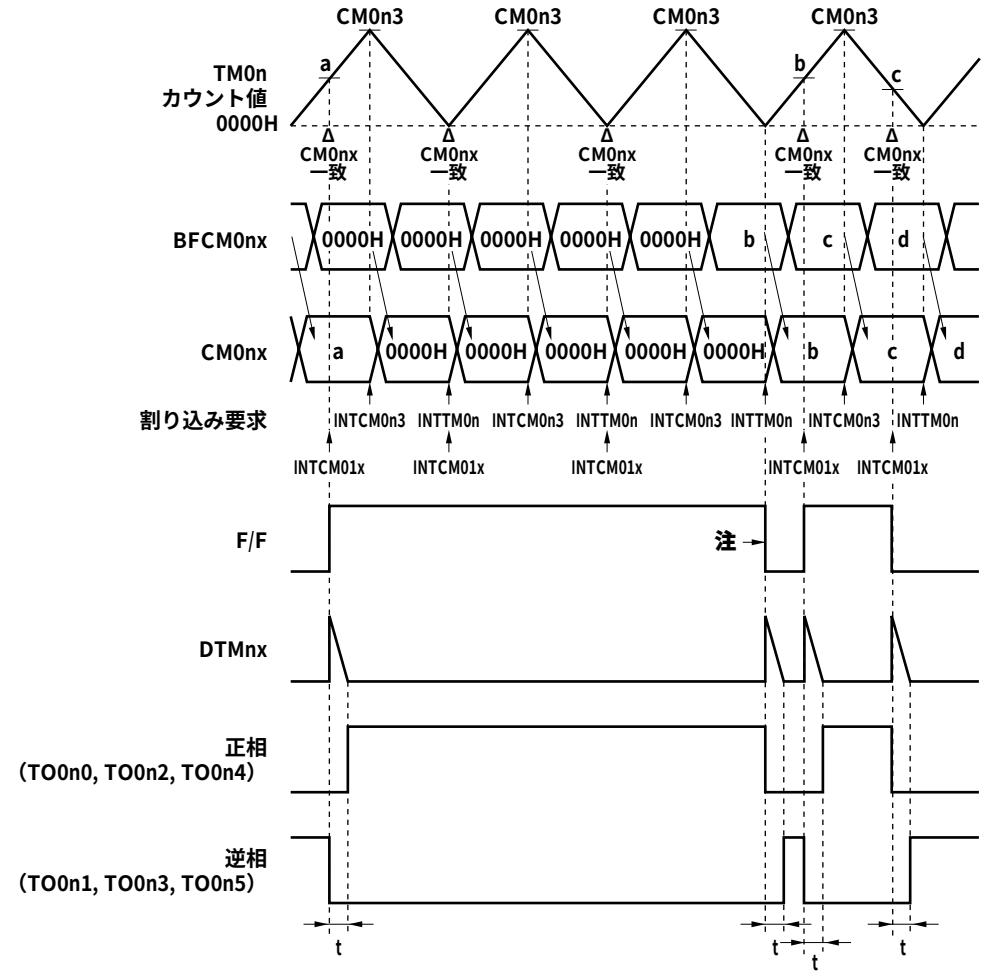
TM0n = CM0n0-CM0n2 = 0000H**の一致検出は**TM0n**のアップ・カウント時に検出されますので，**F/F**はセットされるだけで，リセットはされません。そのため，正相側（**TO0n0, TO0n2, TO0n4**端子）はハイ・レベルを出力し，逆相側は（**TO0n1, TO0n3, TO0n5**端子）はロウ・レベルを出力し続けます。**

以上の説明はアクティブ・ハイの場合です。アクティブ・ロウの場合，正相，逆相のレベルが逆になるだけで，それ以外の動作は同じです。

また，デューティ100 **%の状態から変化するタイミングを図**9－28**に示します。**

図9－28　デューティ100 %の状態から変化するタイミング（2）（PWMモード1）（1/2）

（a）コンペア・レジスタ0n0-0n2（CM0n0-CM0n2）の動作タイミング



注　F/FはINTTM0n発生のタイミングでリセットされます。

備考1.　n = 0, 1

2.　x = 0-2

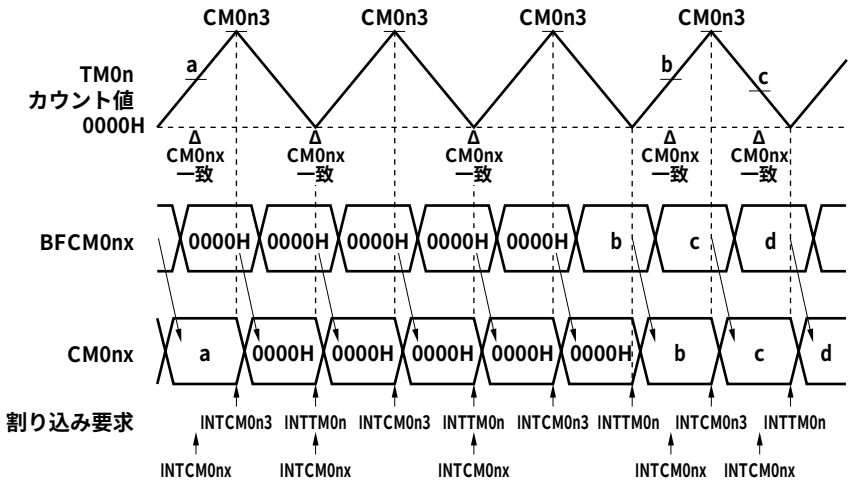
3.　t：デッド・タイム ＝ （DTRRn＋1）/f_{CLK}（f_{CLK}：基本クロック）

4.　上図はアクティブ・ハイです。

5.　TM01とCM01xの一致（上記a-c）でINTCM01xを発生します。INTCM00xは発生しません。

図9－28　デューティ100 %の状態から変化するタイミング（2）（PWMモード1）（2/2）

（b）コンペア・レジスタ0n4, 0n5（CM0n4, CM0n5）**の動作タイミング**



備考1.　n = 0, 1

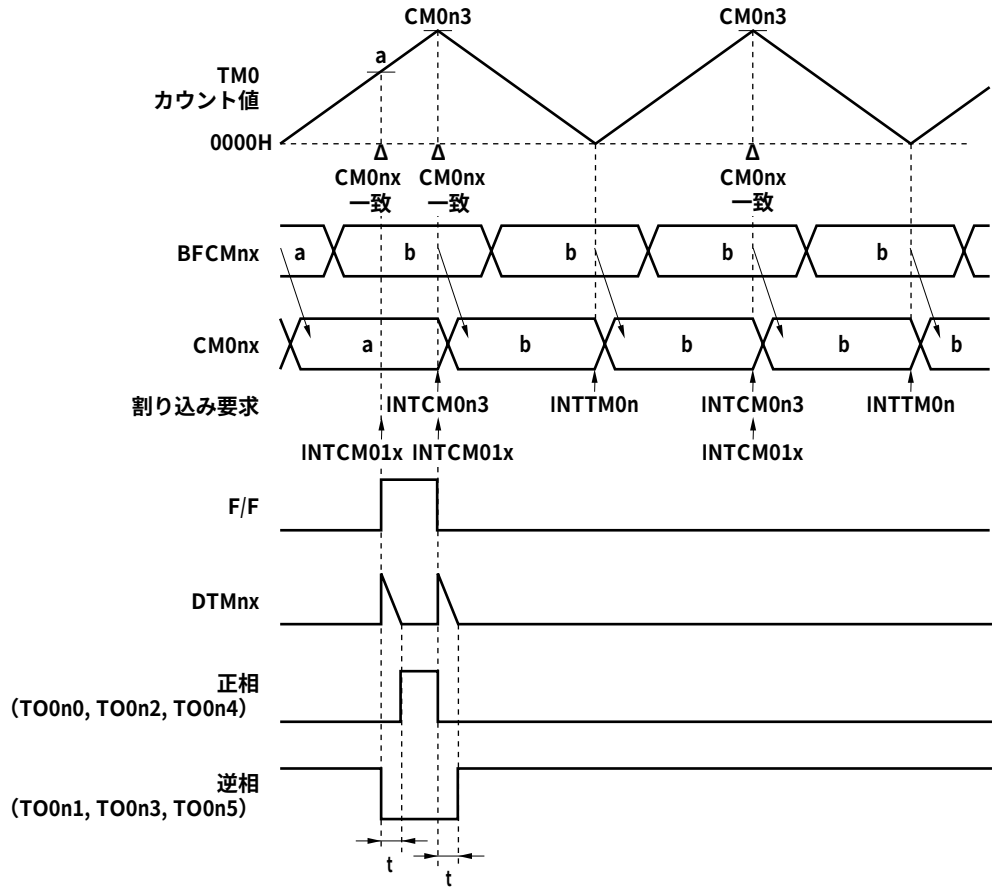
2.　x = 4, 5

3.　TM0nとCM0nxの一致（上記a-c）でINTCM0nxを発生します。

（e）INTTM0nで起動するソフトウエア処理で，BFCMnx = CM0n3**を設定した場合**

図9－29　PWM**モード**1**（非対称三角波，**BFCMnx = CM0n3**）の動作タイミング（**1/2**）**

（a）コンペア・レジスタ0n0-0n2**（**CM0n0-CM0n2**）の動作タイミング**



備考1.　n = 0, 1

2.　x = 0-2

3.　b = CM0n3

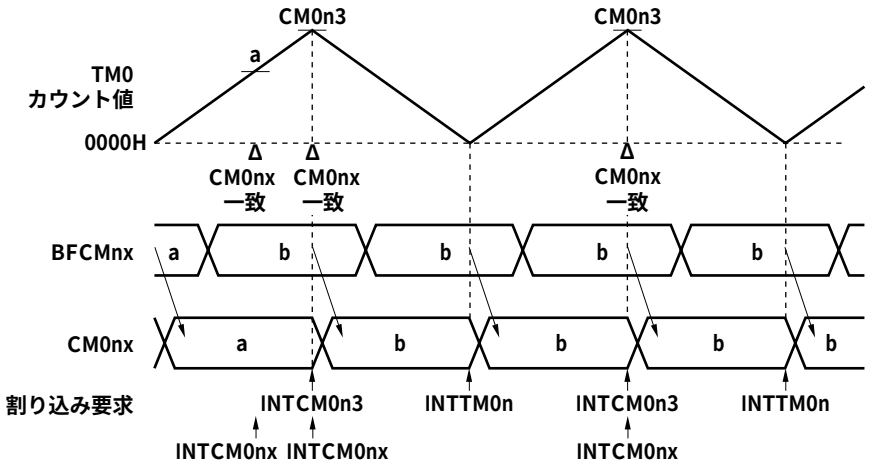
4.　t**：デッド・タイム** =　（DTRRn＋1）/f_{CLK}（f_{CLK}**：基本クロック）**

5.　**上図はアクティブ・ハイです。**

6.　TM01**と**CM01x**の一致（上記**a**）で**INTCM01x**を発生します。**INTCM00x**は発生しません。**

図9－29　PWMモード1（非対称三角波，BFCMnx = CM0n3）の動作タイミング（2/2）

（b）コンペア・レジスタ0n4, 0n5（CM0n4, CM0n5）**の動作タイミング**



備考1.　n = 0, 1

2.　x = 4, 5

3.　b = CM0n3

4.　TM0nとCM0nxの一致（上記a）でINTCM0nxを発生します。

BFCMn0-BFCMn2 = CM0n3を設定した場合，TM0nとCM0n0-CM0n2の一致は，TM0nのダウン・カウント時に検出されますので，F/Fはリセットされたままで，セットされることはありません。そのため，正相側（TO0n0, TO0n2, TO0n4端子）はロウ・レベルを出力し，逆相側（TO0n1, TO0n3, TO0n5端子）はハイ・レベルを出力し続けます。また，CM0n0-CM0n2 = CM0n3でTM0nと一致するタイミングは，INTCM0n3でBFCMn0-BFCMn2からCM0n0-CM0n2へ転送される周期で行われます。

以上の説明はアクティブ・ハイの場合です。アクティブ・ロウの場合，正相，逆相のレベルが逆になるだけで，それ以外の動作は同じです。

(4) PWMモード2：のこぎり波変調

[設定手順]

(a) TMC0nレジスタのMOD01, MOD00ビットでPWMモード2（のこぎり波）に設定します。また，TOMRnレジスタのALVTOビットでTO0n0-TO0n5端子のアクティブ・レベルを設定します。

(b) TMC0nレジスタのPRM02-PRM00ビットでTM0nのカウント・クロックを設定します。BFTE3ビットでBFCMn3からCM0n3へ，BFTENビットでBFCMn0-BFCMn2, BFCMn4, BFCMn5からCM0n0-CM0n2, CM0n4, CM0n5への転送動作を設定します。

(c) 初期値を設定します。

(i) TMC0nレジスタのCUL02-CUL00ビットで割り込みの間引き率を指定します。

(ii) BFCMn3にPWM周期の周期幅を設定します。

・PWM周期 =（BFCMn3値＋1）×TM0nのカウント・クロック

（TM0nのカウント・クロックはTMC0nレジスタで設定します）

(iii) DTRRnにデッド・タイム幅を設定します。

・デッド・タイム幅 =（DTRRn＋1）/f_{CLK}

f_{CLK}：基本クロック

(iv) BFCM0n0-BFCM0n2にPWM周期で使うF/Fのセット／リセット・タイミングを設定します。

(d) TMC0nレジスタのTM0CEDnビットをクリア（0）してデッド・タイム・タイマ動作を許可します。なお，デッド・タイムをとりたくない場合はTM0CEDn = 1にしてください。

(e) TMC0nレジスタのTM0CEnビットをセット（1）するとTM0nがカウント・スタートし，TO0n0-TO0n5端子から6チャネルPWM信号を出力します。

注意　CM0n3 = 0000Hに設定は禁止します。

[動　　作]

PWMモード2では，TM0nはアップ・カウント動作を行い，CM0n3と一致すると，一致割り込みINTCM0n3を発生するとともにTM0nをクリアします（n = 0, 1）。

このモードのPWM周期は，“（BFCMn3値＋1）×TM0nのカウント・クロック”です。CM0n3へのデータ設定は，次のPWM周期幅をBFCMn3に設定します。

INTCM0n3により，ハードウエアで自動的にBFCMn3のデータがCM0n3に転送されます。さらに，INTCM0n3で起動するソフトウエア処理で演算を行い，次周期のデータをBFCMn3に設定します。

次にPWMのデューティを制御するCM0n0-CM0n2へのデータ設定について説明します。

CM0n0-CM0n2へのデータ設定は，BFCMn0-BFCMn2から出力するデューティを設定します。

INTCM0n3により，ハードウエアで自動的にBFCMn0-BFCMn2の値がCM0n0-CM0n2に転送されます。さらに，ソフトウエア処理を起動して演算を行い，次周期のF/Fのリセット・タイミングをBFCMn0-BFCMn2に設定します。

以上のようにして，PWM周期，PWMのデューティを設定します。

CM0n0-CM0n2の一致で変化するF/Fのセット／リセット条件は，次のとおりです。

- セット　：TM0nとCM0n3の一致検出とTMC0nレジスタのTM0CEnビットの立ち上がり
- リセット：TM0nとCM0n0-CM0n2の一致検出

F/Fのセット／リセット・タイミングに同期して，DTRRnの値が対応するデッド・タイム・タイマ（DTMn0-DTMn2）に転送され，ダウン・カウントを開始します。DTMn0-DTMn2は，000Hまでカウントして，000H→FFFHで停止します。

DTMn0-DTMn2は，正相（TO0n0, TO0n2, TO0n4）と逆相（TO0n1, TO0n3, TO0n5）のアクティブ・レベルが重ならない幅（デッド・タイム）を容易に自動生成できます。

このように，初期設定以降は，PWM周期（1周期）に1回発生する割り込み（INTCM0n3）でソフトウエア処理を起動し，次周期で使用するPWM周期およびPWMのデューティを設定することによって，TO0n0-TO0n5端子に自動的にデッド・タイム幅を考慮したPWM波形を出力できます（割り込みの間引き率1/1の場合）。

[設定値に対する出力波形幅]

- PWM周期 = （BFCMn3＋1）×T_{TM0n}
- **デッド・タイム幅**　T_{Dnm} = （DTRRn＋1）/f_{CLK}
- **正相（TO0n0, TO0n2, TO0n4端子）のアクティブ幅**
  =（CM0nX＋1）×T_{TM0n}－T_{Dnm}
- **逆相（TO0n1, TO0n3, TO0n5端子）のアクティブ幅**
  =（CM0n3－CM0nX）×T_{TM0n}－T_{Dnm}

f_{CLK}　：基本クロック
T_{TM0n}　：TM0nのカウント・クロック
CM0nX：CM0n0-CM0n2の設定値

TO0n0-TO0n5端子のリセット時の端子レベルは，ハイ・インピーダンス状態です。
その後コントロール・モードにすると，TM0nをスタートさせるまで次のレベルを出力します。

- TO0n0, TO0n2, TO0n4 … ロウ・アクティブ時→ハイ・レベル
  ハイ・アクティブ時→ロウ・レベル
- TO0n1, TO0n3, TO0n5 … ロウ・アクティブ時→ロウ・レベル
  ハイ・アクティブ時→ハイ・レベル

アクティブ・レベルはTOMRnレジスタのALVTOビットで設定します。ディフォールトはロウ・アクティブです。

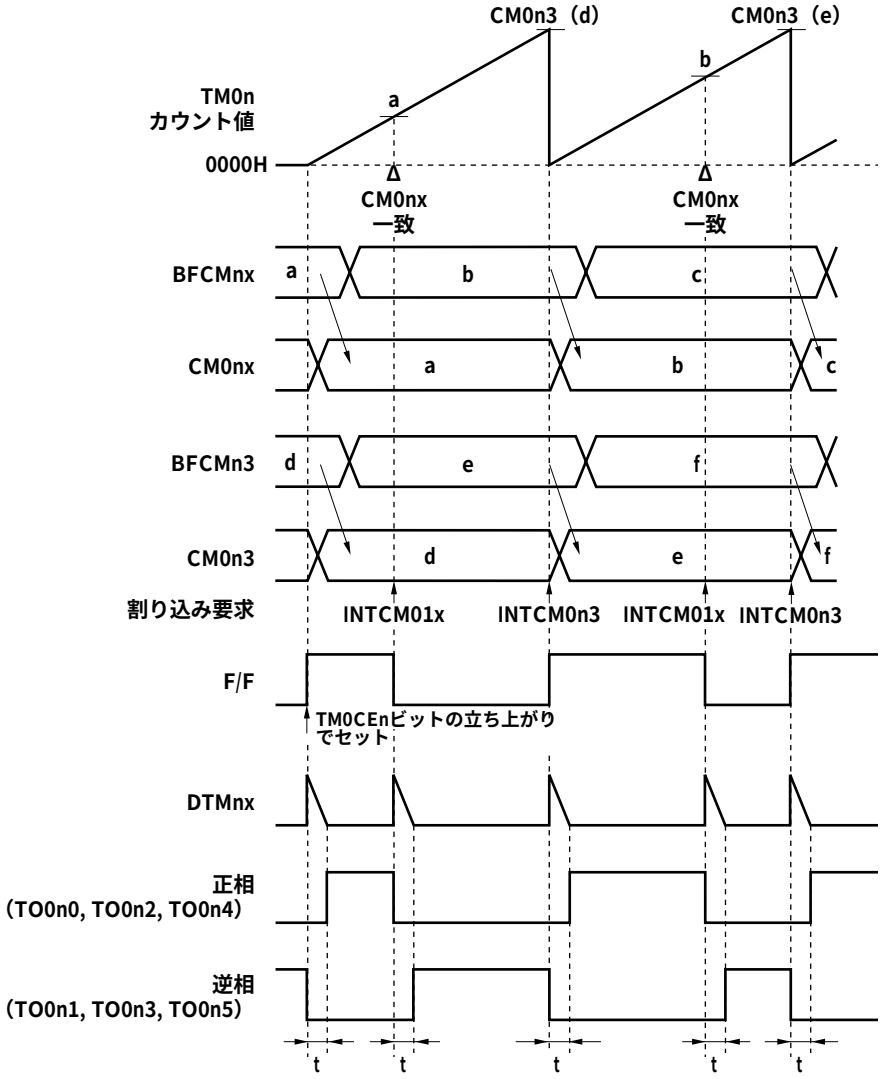
注意　正相または逆相のアクティブ幅が上記計算式で“0”または“マイナス”になるような値を設定した場合，TO0n0-TO0n5端子は，アクティブ幅“0”でインアクティブ・レベル固定の波形を出力します。

備考1. m = 0-2
n = 0, 1
2. INTCM010-INTCM012，INTCM0n4，INTCM0n5割り込み要求信号の発生条件を次に示します。

設定条件	INTCM010-INTCM012, INTCM0n4, INTCM0n5信号の発生状況
CM010-CM012, CM0n4, CM0n5≦CM0n3	発生する
CM010-CM012, CM0n4, CM0n5 = 0000H	発生する
CM010-CM012, CM0n4, CM0n5＞CM0n3	発生しない

図9－30　PWMモード2（のこぎり波）の動作タイミング（1/2）

（a）コンペア・レジスタ0n0-0n2（CM0n0-CM0n2）**の動作タイミング**

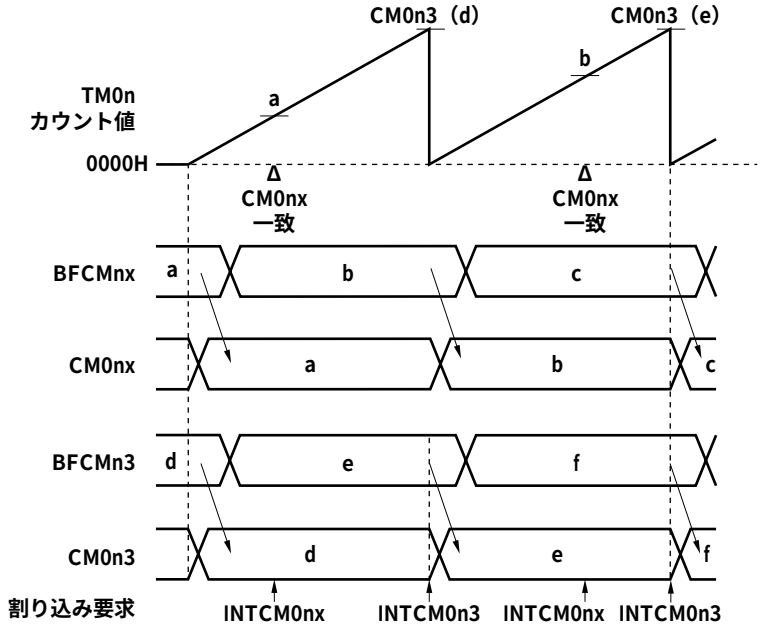


備考1.　**上記は，**TMC0n**レジスタの**BFTE3 = 1, BFTEN = 1**で，**BFCMn3**から**CM0n3**へ，**BFCMnx**から**CM0nx**への転送動作を許可した場合のタイミング図です。**BFTE3 = 0, BFTEN = 0**の場合は，転送は行われません。**

2. n = 0, 1
3. x = 0-2
4. t**：デッド・タイム** =　（DTRRn＋1）/f_{CLK}（f_{CLK}**：基本クロック**）
5. **上図はアクティブ・ハイです。**
6. TM01**と**CM01x**の一致（上記**a, b**）で**INTCM01x**を発生します。**INTCM00x**は発生しません。**

図9－30　PWMモード2（のこぎり波）の動作タイミング（2/2）

（b）コンペア・レジスタ0n4, 0n5（CM0n4, CM0n5）**の動作タイミング**

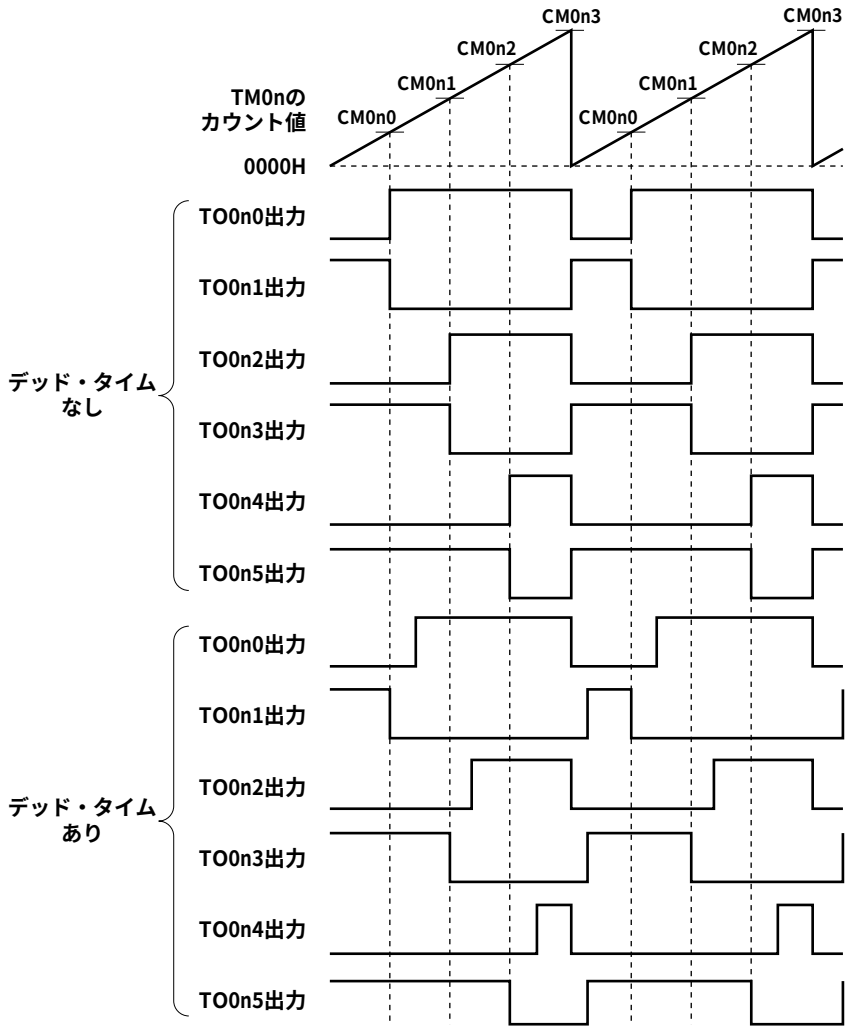


備考1. **上記は，**TMC0n**レジスタの**BFTE3 = 1, BFTEN = 1**で，**BFCMn3**から**CM0n3**へ，**BFCMnx**から**CM0nx**への転送動作を許可した場合のタイミング図です。**BFTE3 = 0, BFTEN = 0**の場合は，転送は行われません。**

2. n = 0, 1
3. x = 4, 5
4. TM0n**と**CM0nx**の一致（上記**a, b**）で**INTCM0nx**を発生します。**

全体的な動作イメージを図9－31**に示します。**

図9－31　PWMモード2（のこぎり波）の全体的な動作イメージ



備考1.　n = 0, 1

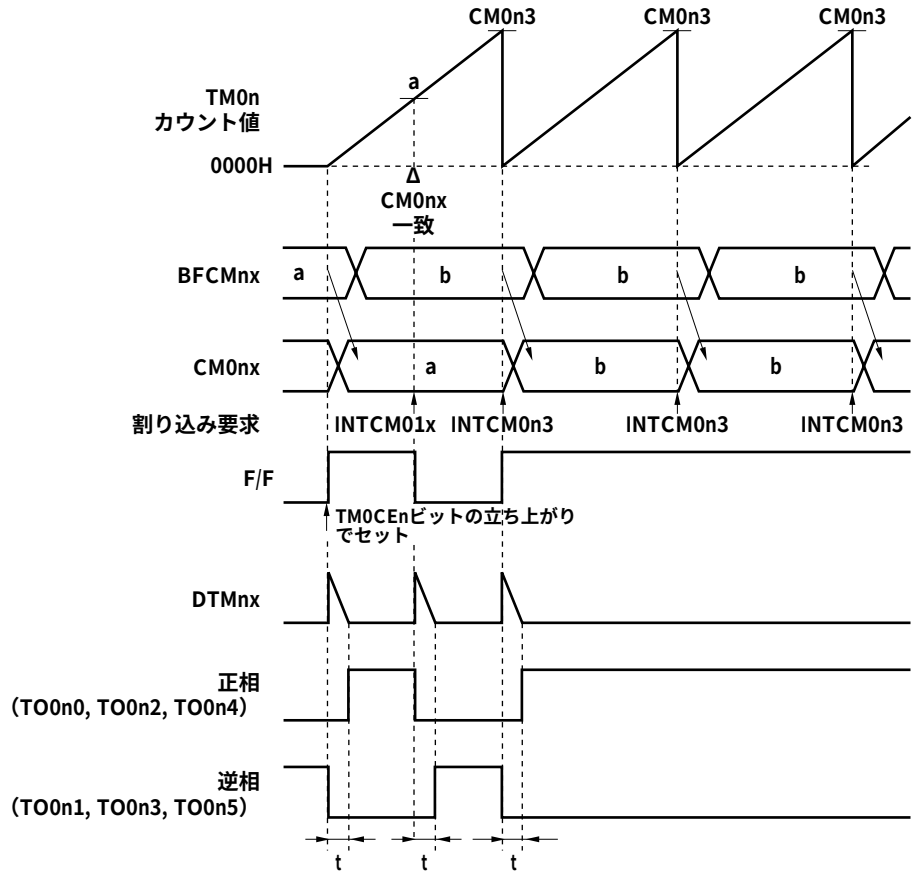
2.　**上図はアクティブ・ロウです。**

第1周期目は，TMC0n**レジスタの**TM0CEn**ビットの立ち上がりで**F/F**はセットされるので**PWM**信号は出力可能です。**

（a）BFCMnx＞CM0n3を設定した場合

図9－32　PWMモード2（のこぎり波，BFCMnx＞CM0n3）の動作タイミング（1/2）

（a）コンペア・レジスタ0n0-0n2（CM0n0-CM0n2）の動作タイミング



備考1.　n = 0, 1

2.　x = 0-2

3.　b＞CM0n3

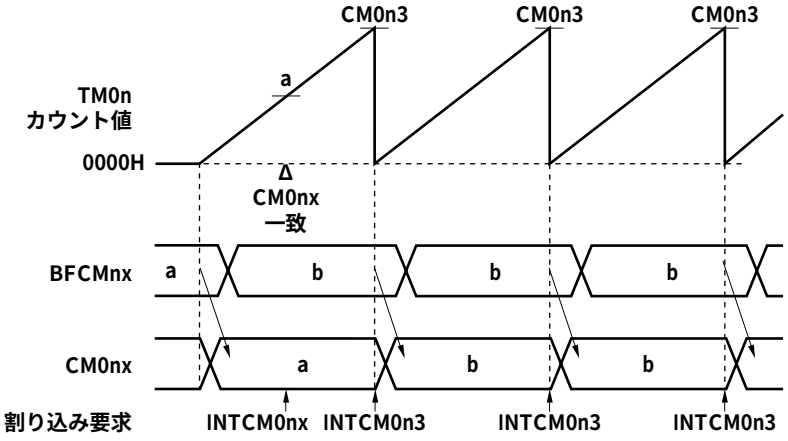
4.　t：**デッド・タイム** =　（DTRRn＋1）/f_{CLK}（f_{CLK}：**基本クロック**）

5.　**上図はアクティブ・ハイです。**

6.　TM01**と**CM01x**の一致（上記**a**）で**INTCM01x**を発生します。**INTCM00x**は発生しません。**

図9－32　PWM**モード**2**（のこぎり波，**BFCMnx＞CM0n3**）の動作タイミング（**2/2**）**

（b**）コンペア・レジスタ**0n4, 0n5**（**CM0n4, CM0n5**）の動作タイミング**



備考1.　n = 0, 1

2.　x = 4, 5

3.　b＞CM0n3

4.　TM0n**と**CM0nx**の一致（上記**a**）で**INTCM0nx**を発生します。**

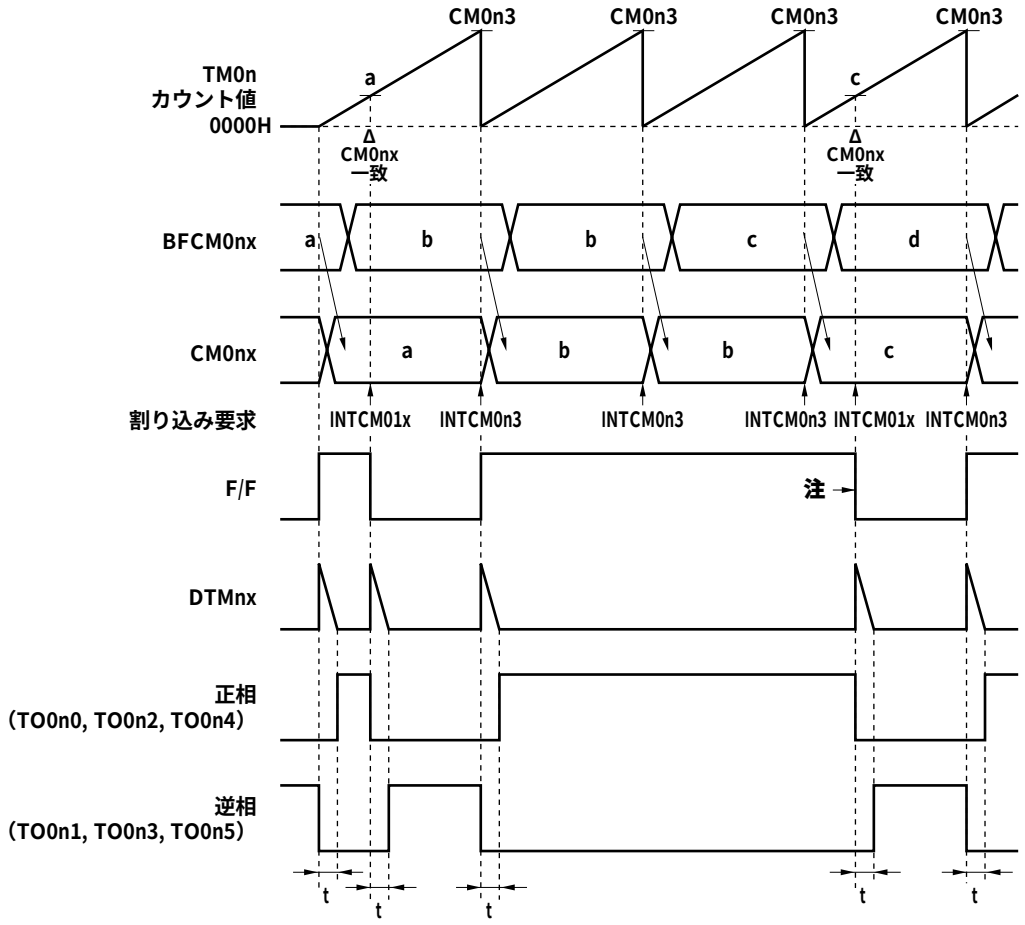
BFCMn0-BFCMn2**に**CM0n3**より大きい値を設定した場合，正相側（**TO0n0, TO0n2, TO0n4**端子）はハイ・レベルを出力し，逆相側（**TO0n1, TO0n3, TO0n5**端子）はロウ・レベルを出力し続けます。**TM0n**と**CM0n0-CM0n2**の一致が発生しないため，**F/F**はリセットされません。インバータ制御などにおいて，**PWM**周期を越えるロウ・レベル幅，ハイ・レベル幅を出力したい場合にこの設定は有効です。**

以上の説明はアクティブ・ハイの場合です。アクティブ・ロウの場合，正相，逆相のレベルが逆になるだけで，それ以外の動作は同じです。

また，デューティ100 **%の状態から変化するタイミングを図**9－33**に示します。**

図9－33　デューティ100 %の状態から変化するタイミング（PWMモード2）（1/2）

（a）コンペア・レジスタ0n0-0n2（CM0n0-CM0n2）の動作タイミング



注　F/FはCM0nxの一致タイミングでリセットされます。

備考1.　n = 0, 1

2.　x = 0-2

3.　b＞CM0n3

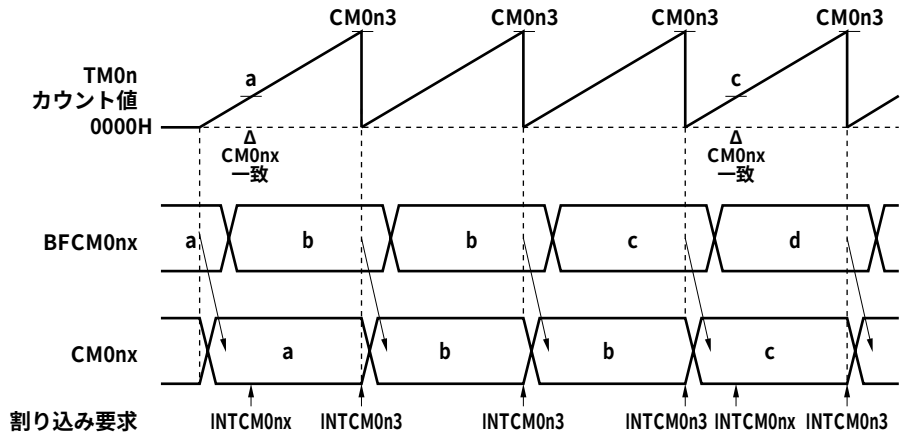
4.　t：デッド・タイム ＝ （DTRRn＋1）/f_{CLK}（f_{CLK}：基本クロック）

5.　上図はアクティブ・ハイです。

6.　TM01とCM01xの一致（上記a, c）でINTCM01xを発生します。INTCM00xは発生しません。

図9－33　デューティ100 %の状態から変化するタイミング（PWMモード2）（2/2）

（b）コンペア・レジスタ0n4, 0n5（CM0n4, CM0n5）**の動作タイミング**



備考1. n = 0, 1

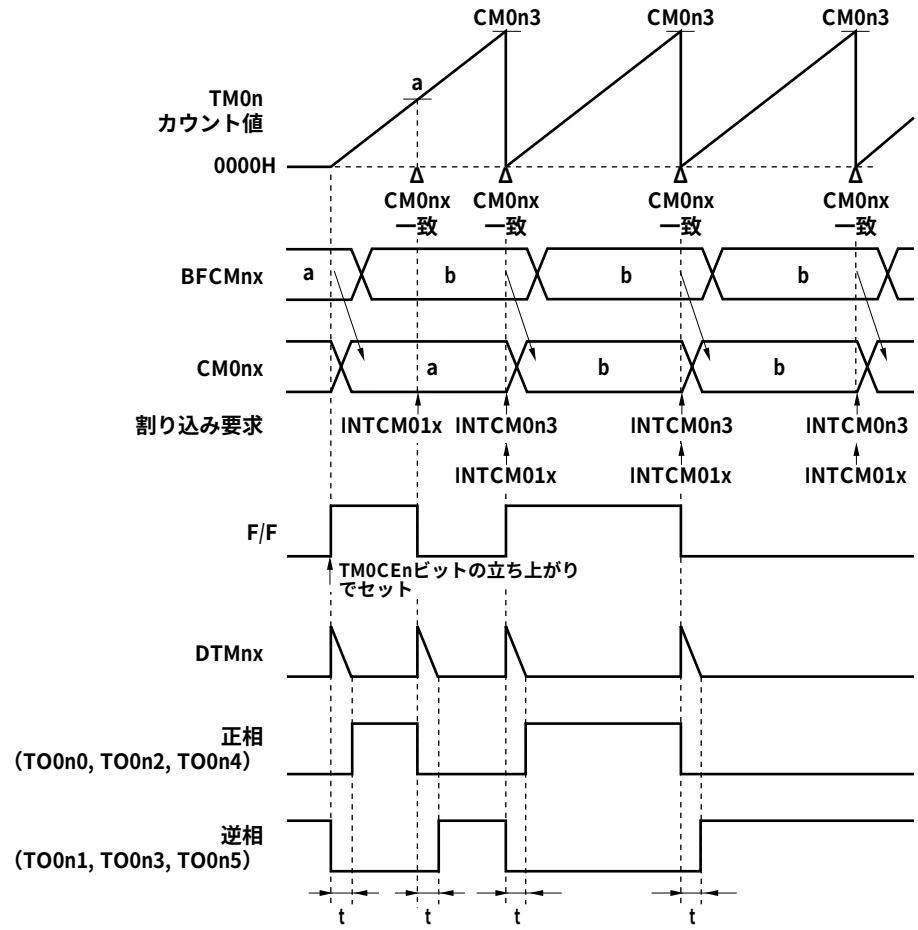
2. x = 4, 5
3. b＞CM0n3
4. TM0n**と**CM0nx**の一致（上記**a, c**）で**INTCM0nx**を発生します。**

F/F**がリセットされるタイミングは，通常どおり**CM0n0-CM0n2**の一致タイミングとなります。**

（b）BFCMnx = CM0n3**を設定した場合**

図9－34　PWM**モード**2**（のこぎり波，**BFCMnx = CM0n3**）の動作タイミング（**1/2**）**

（a）コンペア・レジスタ0n0-0n2**（**CM0n0-CM0n2**）の動作タイミング**



備考1.　n = 0, 1

2.　x = 0-2

3.　b = CM0n3

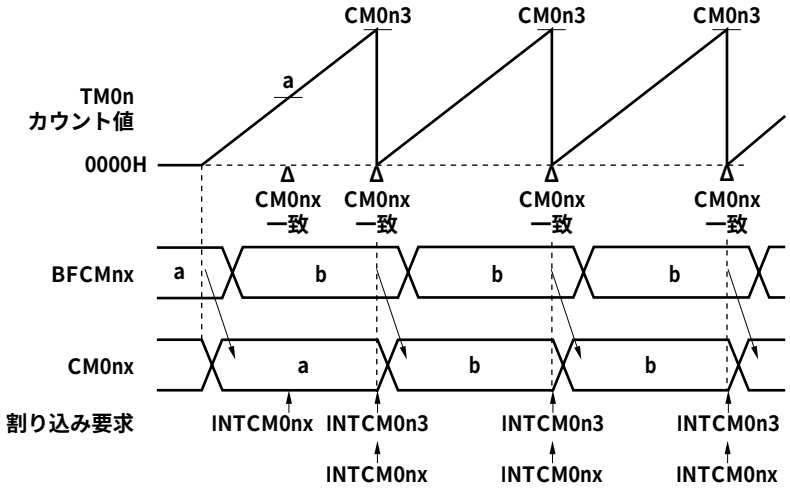
4.　t**：デッド・タイム** =　（DTRRn＋1）/f_{CLK}（f_{CLK}**：基本クロック）**

5.　**上図はアクティブ・ハイです。**

6.　TM01**と**CM01x**の一致（上記**a**）で**INTCM01x**を発生します。**INTCM00x**は発生しません。**

図9－34　PWM**モード**2**（のこぎり波，**BFCMnx = CM0n3**）の動作タイミング（**2/2**）**

（b**）コンペア・レジスタ**0n4, 0n5**（**CM0n4, CM0n5**）の動作タイミング**



備考1.　n = 0, 1

2.　x = 4, 5

3.　b = CM0n3

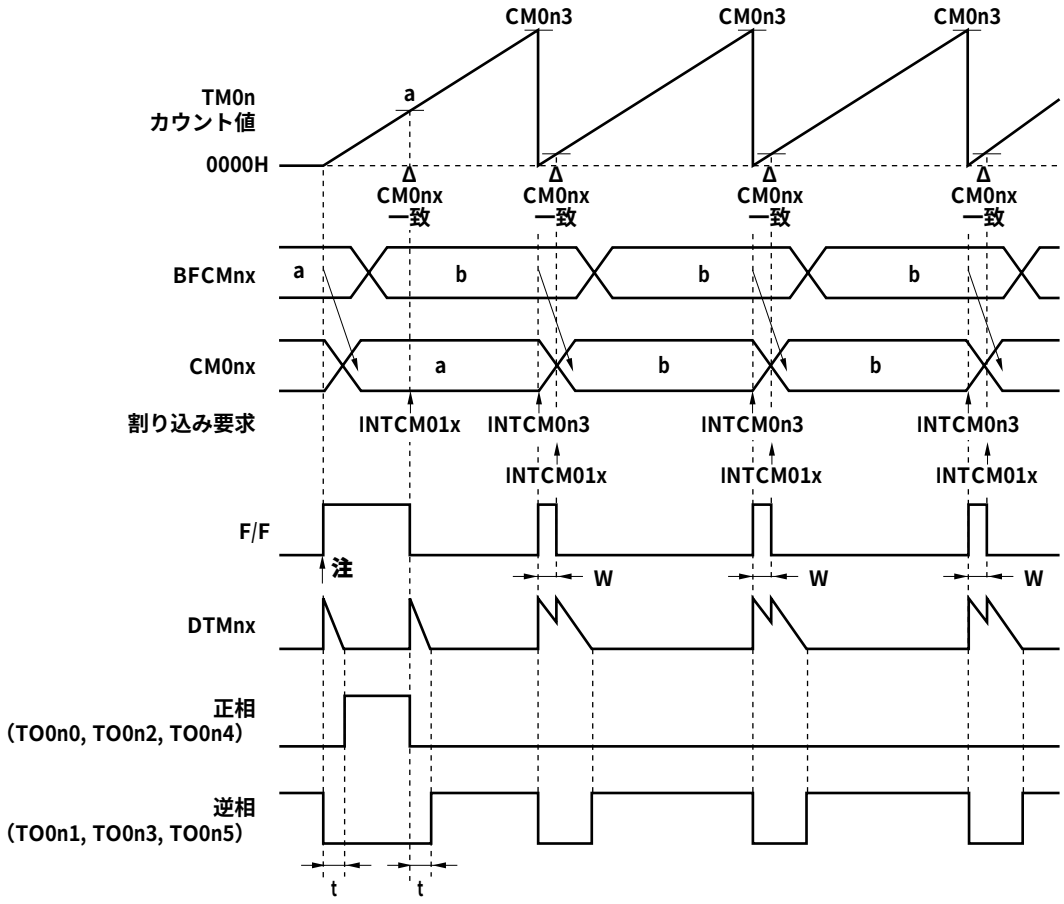
4.　TM0n**と**CM0nx**の一致（上記**a**）で**INTCM0nx**を発生します。**

TM0n**と**CM0n3**の一致信号**INTCM0n3**と，**TM0n**と**CM0n0-CM0n2**の一致信号が競合した場合，**F/F**は**リセットが優先されるため，**CM0n0-CM0n2（ = CM0n3）**と**TM0n**の一致以降はセットされません。**

（c）BFCMnx = 0000H**を設定した場合**

図9－35　PWM**モード**2**（のこぎり波，**BFCMnx = 0000H**）の動作タイミング（**1/2**）**

（a）コンペア・レジスタ0n0-0n2**（**CM0n0-CM0n2**）の動作タイミング**



注　TM0CEn**ビットの立ち上がりでセット**

備考1.　n = 0, 1

2.　x = 0-2

3.　t**：デッド・タイム** =　（DTRRn＋1）/f_{CLK}（f_{CLK}**：基本クロック）**

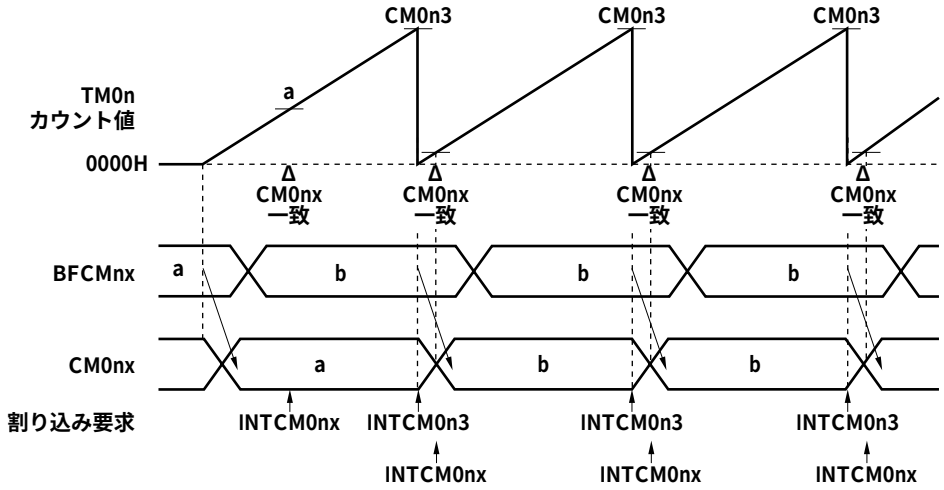
4.　**上図はアクティブ・ハイです。**

5.　W**：**CM0n3**一致から**CM0nx**一致までの幅（タイマのカウント・ロック）**

6.　TM01**と**CM01x**の一致（上記**a**）で**INTCM01x**を発生します。**INTCM00x**は発生しません。**

図9－35　PWM**モード**2**（のこぎり波，**BFCMnx = 0000H**）の動作タイミング（**2/2**）**

（b**）コンペア・レジスタ**0n4, 0n5**（**CM0n4, CM0n5**）の動作タイミング**



備考1.　n = 0, 1

2.　x = 4, 5

3.　TM0n**と**CM0nx**の一致（上記**a**）で**INTCM0nx**を発生します。**

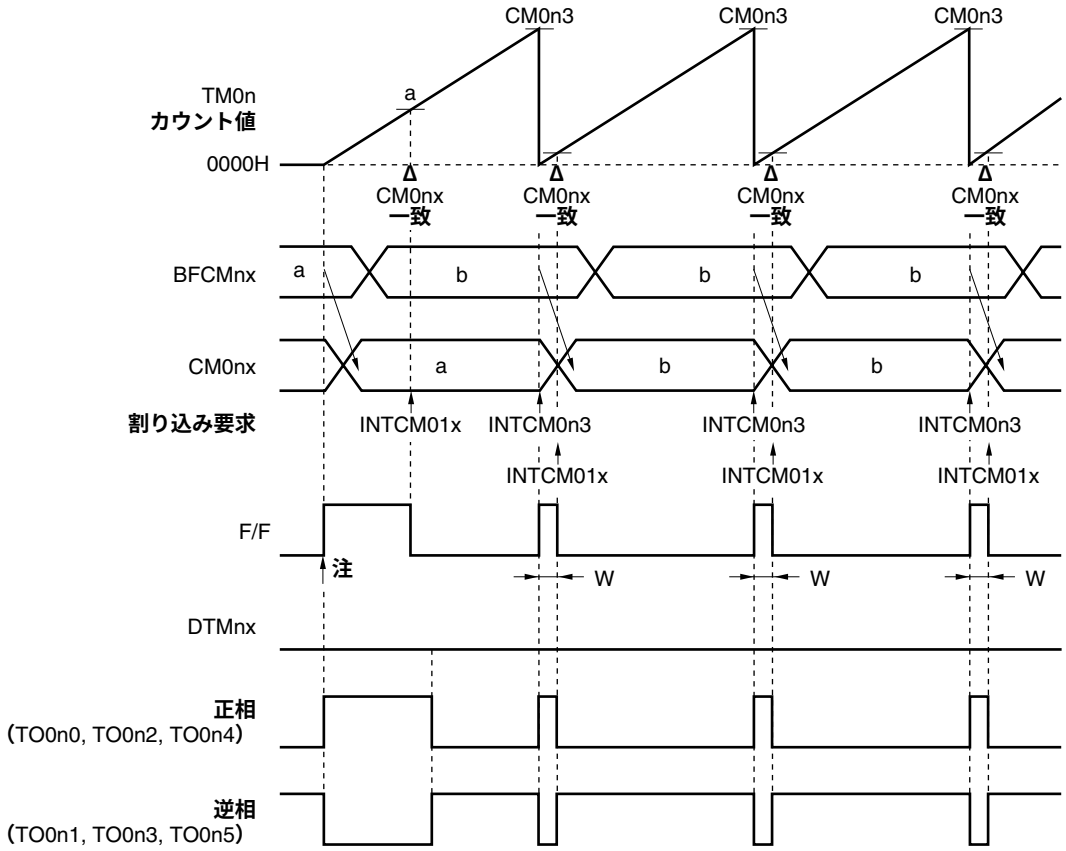
CM0n0-CM0n2 = 0000H**を設定した場合，**TM0n**のカウント・クロック・レートと**DTRRn**設定値によって出力波形が異なります。**

（d）DTMnx = 000Hまたは TM0CEDnビット = 1時にBFCMnx = 0000Hを設定した場合

タイマの1カウント・クロック分のパルスが出力されます。

図9－36　PWMモード2（のこぎり波，DTMnx = 000Hまたは TM0CEDnビット = 1時の BFCMnx = 0000H）の動作タイミング（1/2）

（a）コンペア・レジスタ0n0-0n2（CM0n0-CM0n2）の動作タイミング



注　TM0CEnビットの立ち上がりでセット

備考1.　n = 0, 1

2.　x = 0-2

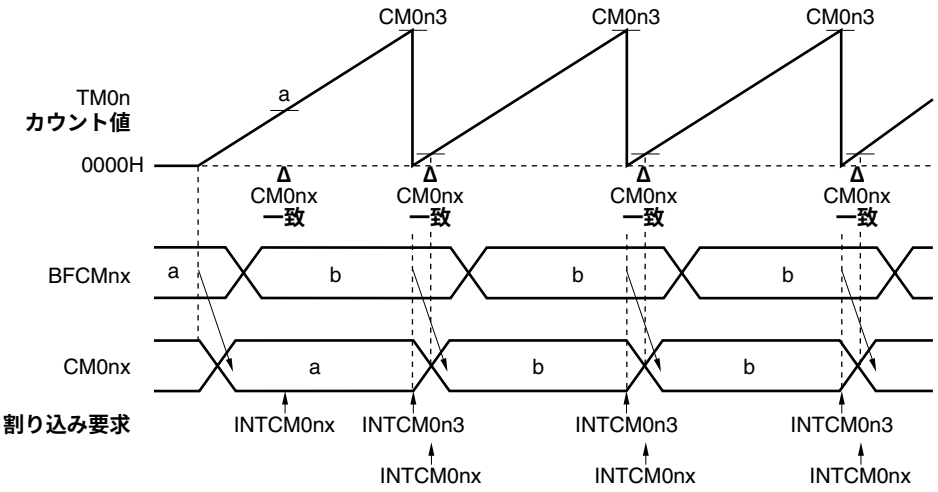
3.　上図はアクティブ・ハイです。

4.　W：CM0n3一致からタイマの1カウント・クロック分の幅

5.　TM01とCM01xの一致（上記a）でINTCM01xを発生します。INTCM00xは発生しません。

図9－36　PWMモード2（のこぎり波，DTMnx = 000H**または**TM0CEDn**ビット** = 1**時の**
BFCMnx = 0000H**）の動作タイミング（**2/2**）**

（b**）コンペア・レジスタ**0n4, 0n5**（**CM0n4, CM0n5**）の動作タイミング**



備考1.　n = 0, 1

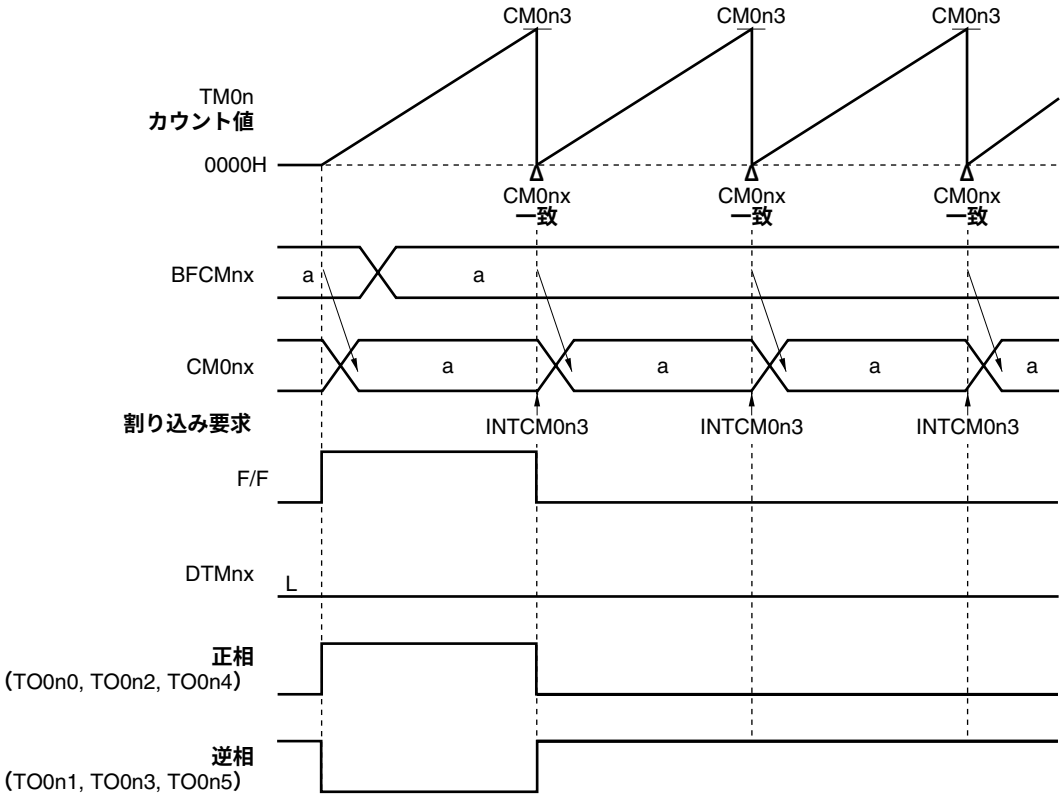
2.　x = 4, 5

3.　TM0n**と**CM0nx**の一致（上記**a**）で**INTCM0nx**を発生します。**

（e）BFCMnx = CM0n3 = a**を設定した場合**

図9－37　PWM**モード**2**（のこぎり波，**BFCMnx = CM0n3 = a**）の動作タイミング**
（DTRRn = 0000H, TMC0n**レジスタの**TM0CEDn**ビット** = 1,
TOMRn**レジスタの**ALVTO**ビット** = 1**（**PWM**駆動，アクティブ・レベル** = **ハイ・レベル）設定時）（**1/2**）**

（a）コンペア・レジスタ0n0-0n2**（**CM0n0-CM0n2**）の動作タイミング**



備考1.　n = 0, 1

2.　x = 0-2

3.　**上図はアクティブ・ハイです。**

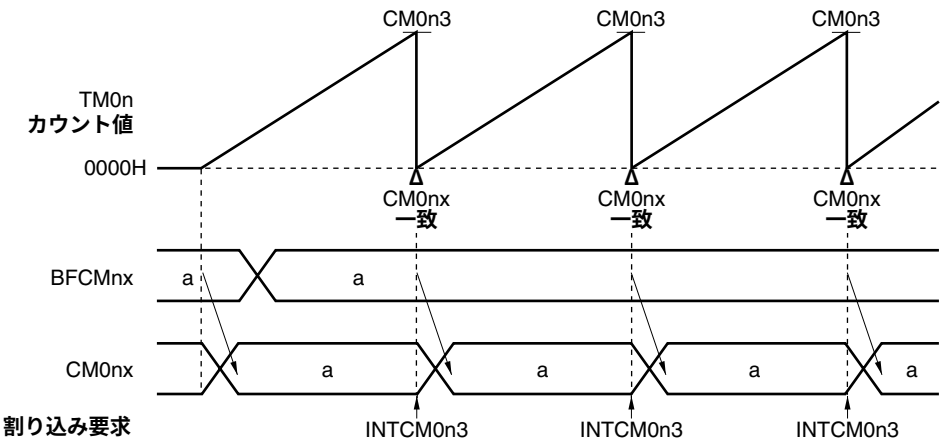
4.　**デッド・タイム付きのタイミングについては，図**9－35**を参照してください。**

図9－37　PWMモード2（のこぎり波，BFCMnx = CM0n3 = a）の動作タイミング

（DTRRn = 0000H, TMC0n**レジスタの**TM0CEDn**ビット** = 1,

TOMRn**レジスタの**ALVTO**ビット** = 1（PWM**駆動，アクティブ・レベル** = **ハイ・レベル）設定時）（**2/2**）**

（b**）コンペア・レジスタ**0n4, 0n5（CM0n4, CM0n5）**の動作タイミング**



備考1.　n = 0, 1

2.　x = 4, 5

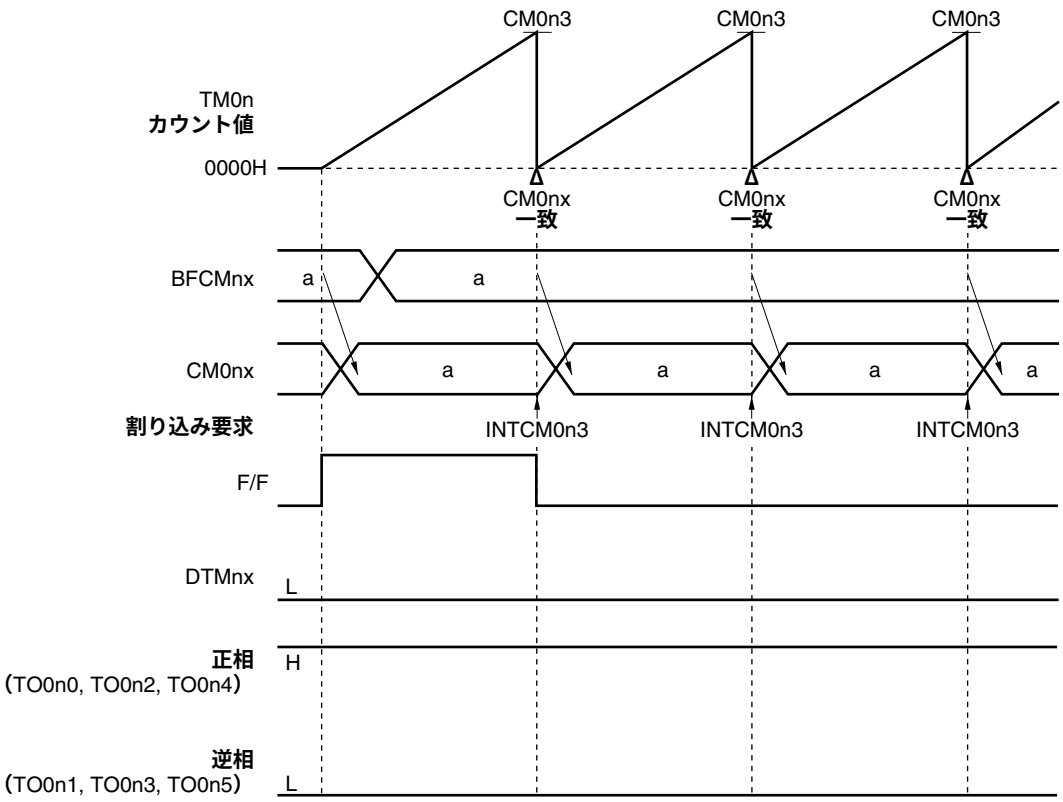
3.　**デッド・タイム付きのタイミングについては，図**9－35**を参照してください。**

図9－38　PWMモード2（のこぎり波，BFCMnx = CM0n3 = a）の動作タイミング

（DTRRn = 0000H, TMC0n**レジスタの**TM0CEDn**ビット** = 1,

TOMRn**レジスタの**ALVTO**ビット** = 0**（**PWM**駆動，アクティブ・レベル** = **ロウ・レベル）設定時）**（1/2）

（a）コンペア・レジスタ0n0-0n2**（**CM0n0-CM0n2**）の動作タイミング**



備考1.　n = 0, 1

2.　x = 0-2

3.　**上図はアクティブ・ロウです。**

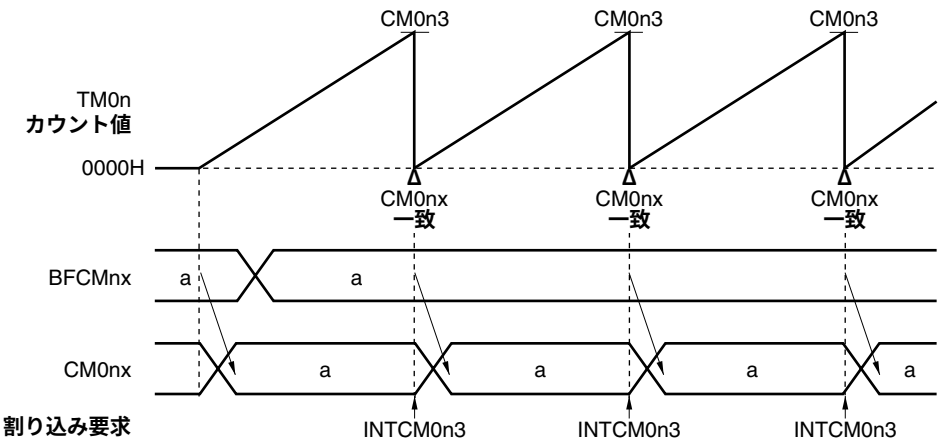
4.　**デッド・タイム付きのタイミングについては，図**9－35**を参照してください。**

図9－38　PWMモード2（のこぎり波，BFCMnx = CM0n3 = a）の動作タイミング

（DTRRn = 0000H, TMC0n**レジスタの**TM0CEDn**ビット** = 1,

TOMRn**レジスタの**ALVTO**ビット** = 0**（**PWM**駆動，アクティブ・レベル** = **ロウ・レベル）設定時）（**2/2**）**

（b**）コンペア・レジスタ**0n4, 0n5**（**CM0n4, CM0n5**）の動作タイミング**



備考1. n = 0, 1

2. x = 4, 5

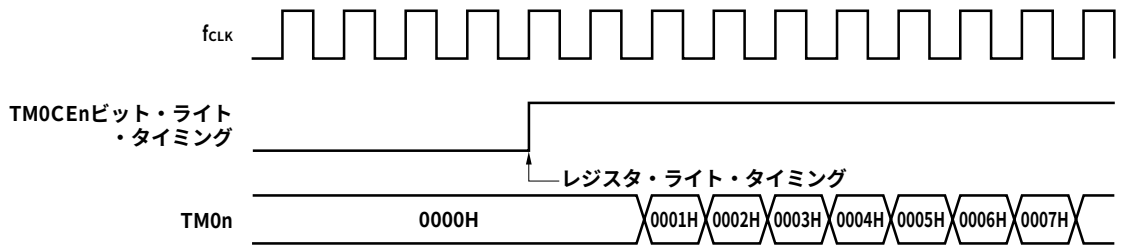
3. **デッド・タイム付きのタイミングについては，図**9－35**を参照してください。**

9. 1. 7　動作タイミング

(1) TM0CEnビットのライトとTM0nタイマ動作タイミング

TMC0nレジスタのTM0CEnビットの書き込みからTM0nタイマが動作するまでのタイミングを図9－39に示します。

図9－39　TM0CEnビットのライトとTM0nタイマ動作タイミング



注意　TM0nの動作はレジスタ・ライト・タイミングから，2f_{CLK}後に開始されます。

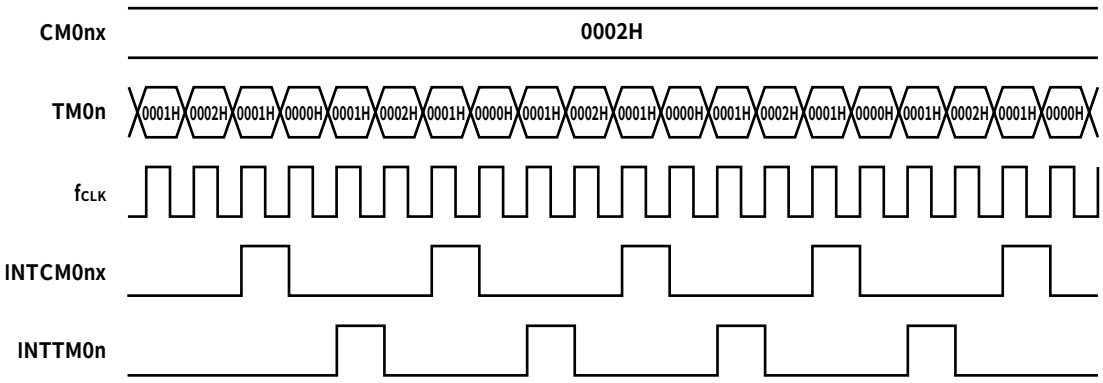
備考　f_{CLK}：基本クロック

(2) 割り込み発生タイミング

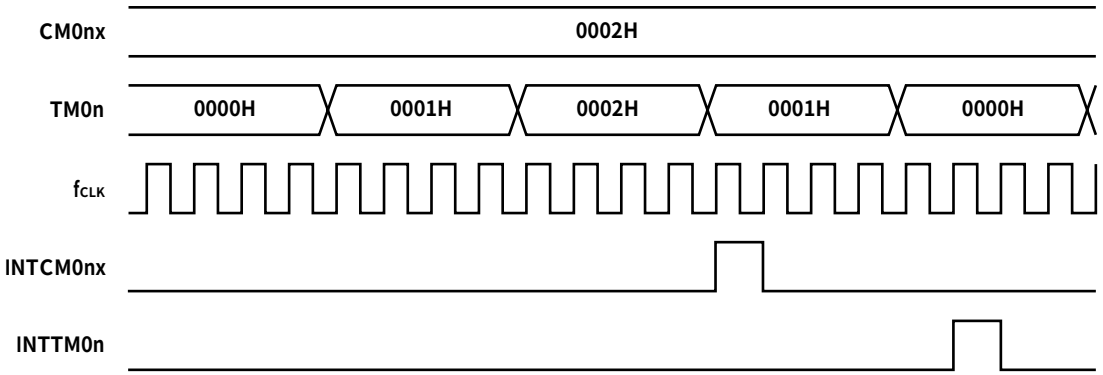
各モードにおけるTM0nへのカウント・クロックの設定（TMC0nレジスタのPRM02-PRM00ビット）での割り込み発生タイミングを次に示します。

図9－40　PWMモード0（対称三角波），PWMモード1（非対称三角波）での割り込み発生タイミング

（a）カウント・クロック = f_{CLK}の場合



（b）カウント・クロック = $f_{CLK}/4$の場合



注意1. INTCM0nxは，TM0nとCM0nxの一致検出後の次のf_{CLK}で発生します。

2. INTTM0nは，TM0nと0000Hの一致検出後の次のf_{CLK}で発生します。

3. INTTM0nは，カウント・クロックが1/2, 1/8, 1/16, 1/32の場合でも，TM0nと0000Hの一致検出後の次のf_{CLK}で発生します。

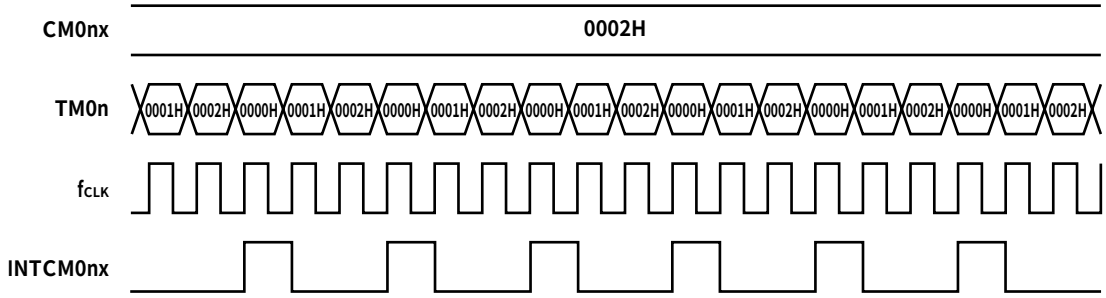
備考1. n = 0, 1

2. n = 0のとき：x = 3-5
   n = 1のとき：x = 0-5

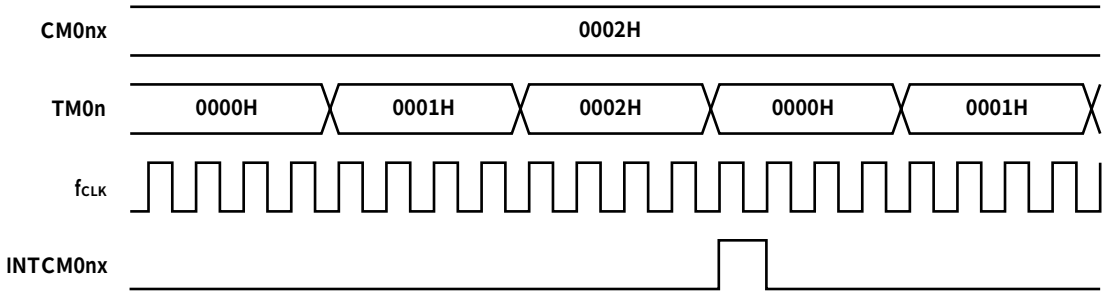
3. f_{CLK}：基本クロック

図9－41　PWMモード2（のこぎり波）での割り込み発生タイミング

（a）カウント・クロック = f_{CLK}の場合



（b）カウント・クロック = f_{CLK}/4の場合



注意1. INTCM0nxは，TM0nとCM0nxの一致検出後の次のTM0nのf_{CLK}で発生します。

2. INTCM0nxは，カウント・クロックが1/2, 1/8, 1/16, 1/32の場合でも，TM0nとCM0nxの一致検出後の次のf_{CLK}で発生します。

備考1. n = 0, 1

2. n = 0のとき：x = 3-5
   n = 1のとき：x = 0-5

3. f_{CLK}：基本クロック

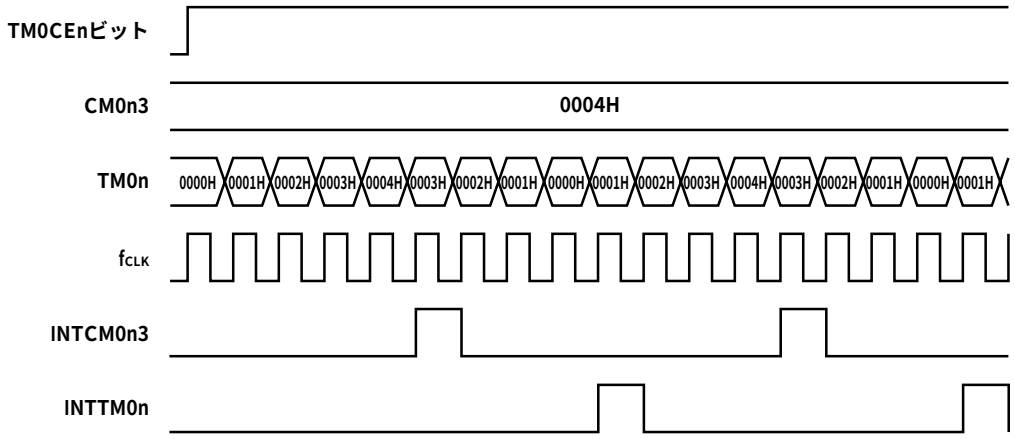
(3) 割り込み発生とTMC0nレジスタのSTINTnビットの関係

各モードにおけるTMC0nレジスタのSTINTnビットおよび割り込み間引き率の設定（CUL02-CUL00ビット）での割り込み発生タイミングを次に示します。

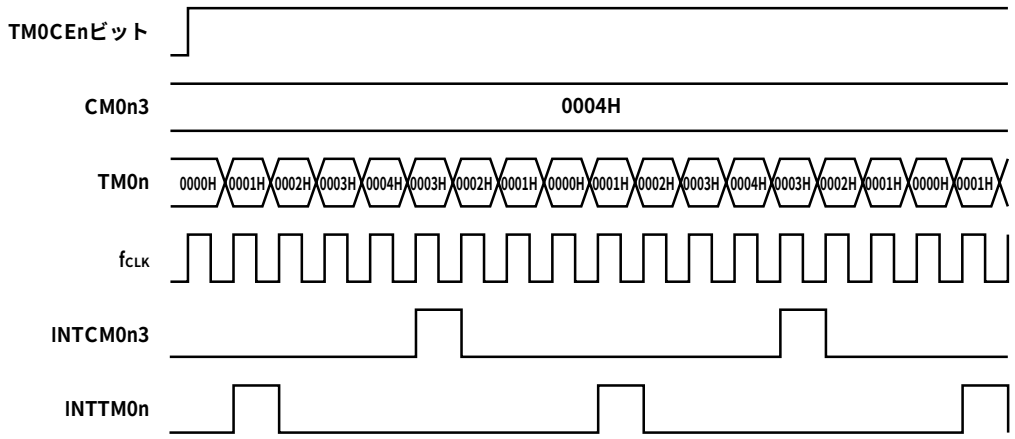
TM0nでは，INTTM0nおよびINTCM0n3割り込みの間引き機能を実現するため，TMC0nレジスタのCUL02-CUL00ビットで間引き率を1/1以外にして，カウント動作を開始した場合，カウント開始時のSTINTnビット設定値によって以後の割り込み出力順序が異なります。

図9－42　PWMモード0（対称三角波），PWMモード1（非対称三角波）での割り込み発生タイミング：割り込み間引き率1/1の場合

(a) STINTnビット = 0の場合



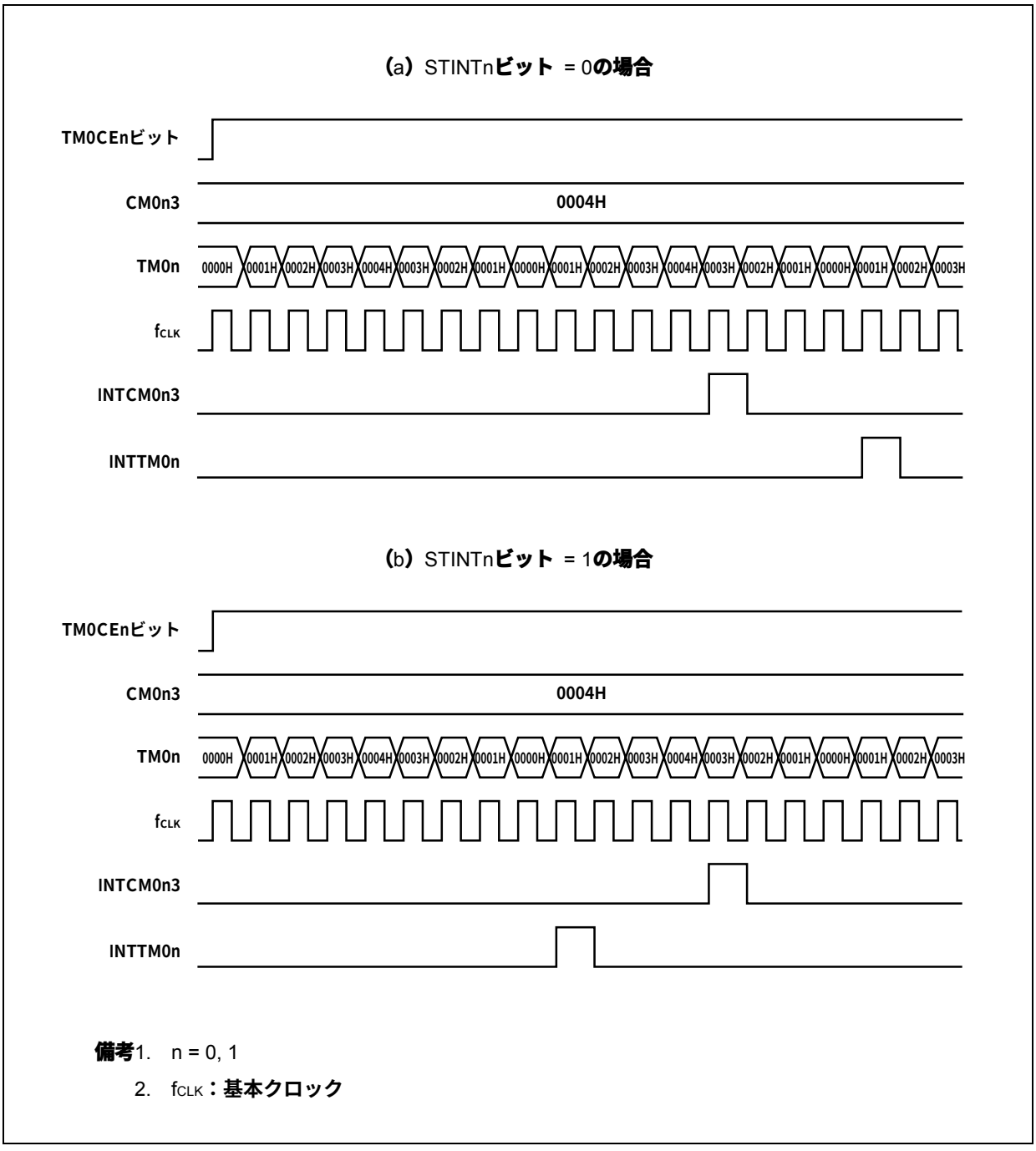
(b) STINTnビット = 1の場合



備考1.　n = 0, 1

2.　f_{CLK}：**基本クロック**

図9－43　PWM**モード**0**（対称三角波），**PWM**モード**1**（非対称三角波）での割り込み発生タイミング：**
割り込み間引き率1/2**の場合**

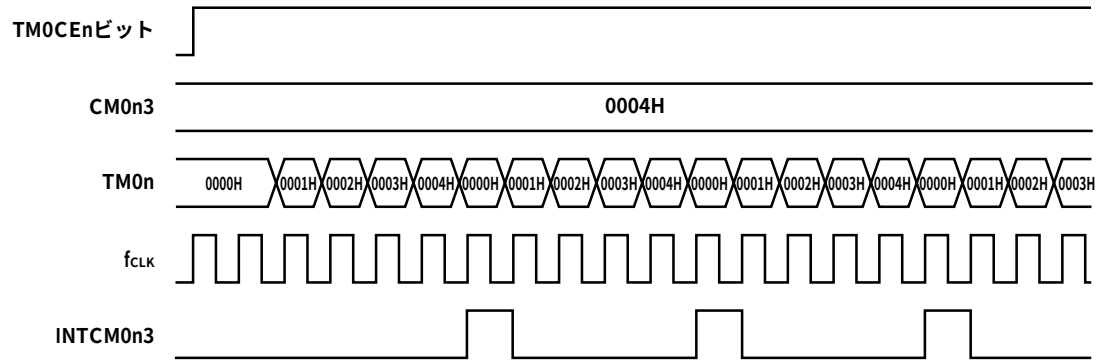


備考1.　n = 0, 1

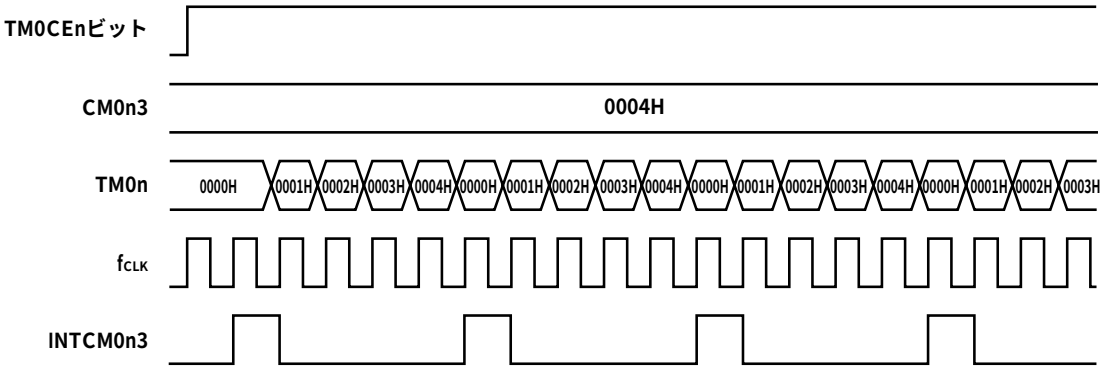
2.　f_{CLK}：**基本クロック**

図9－44　PWMモード2（のこぎり波）での割り込み発生タイミング：割り込み間引き率1/1の場合

（a）STINTnビット = 0の場合



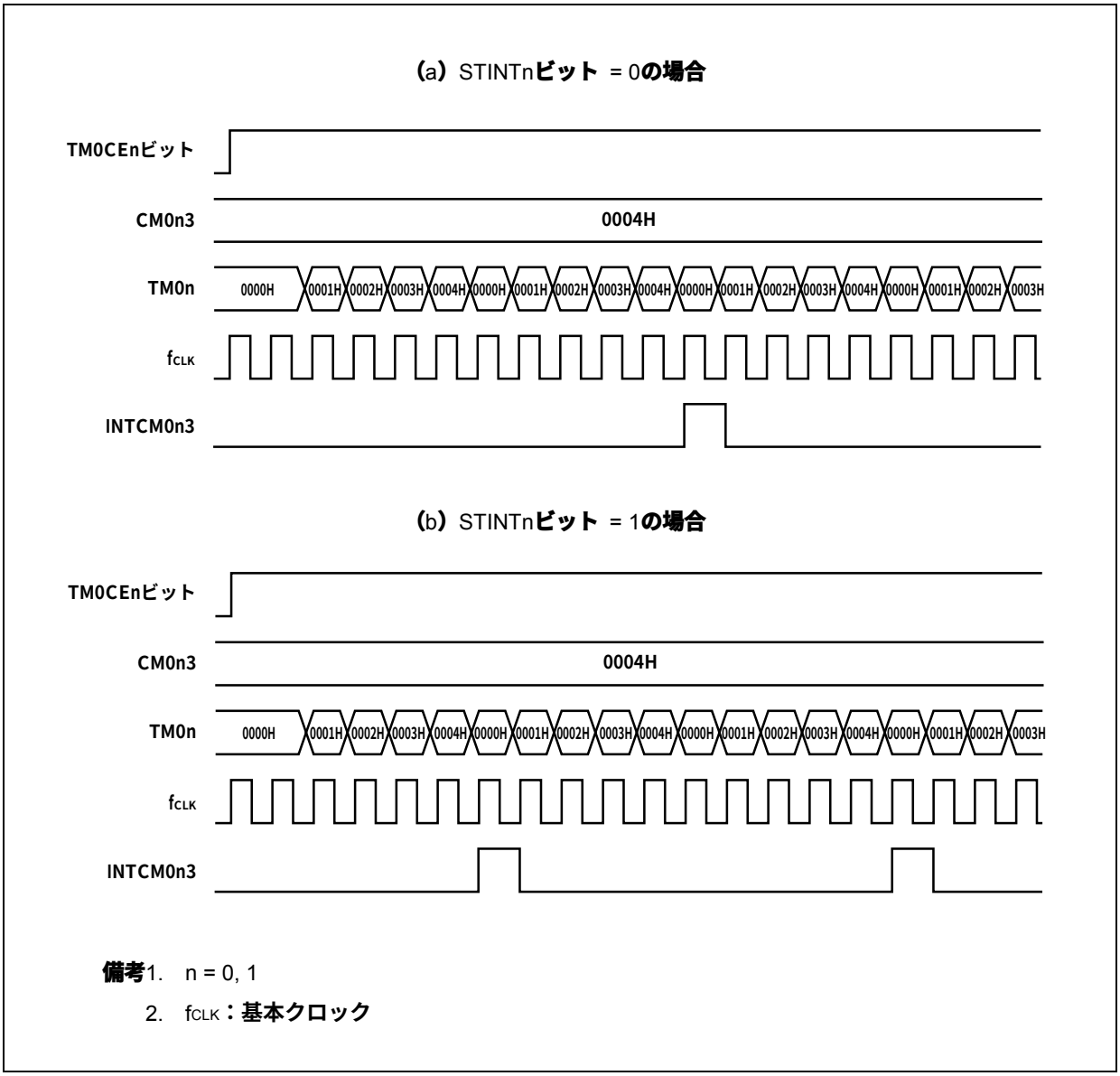
（b）STINTnビット = 1の場合



備考1.　n = 0, 1

2.　fCLK：基本クロック

図9－45　PWMモード2（のこぎり波）での割り込み発生タイミング：割り込み間引き率1/2の場合

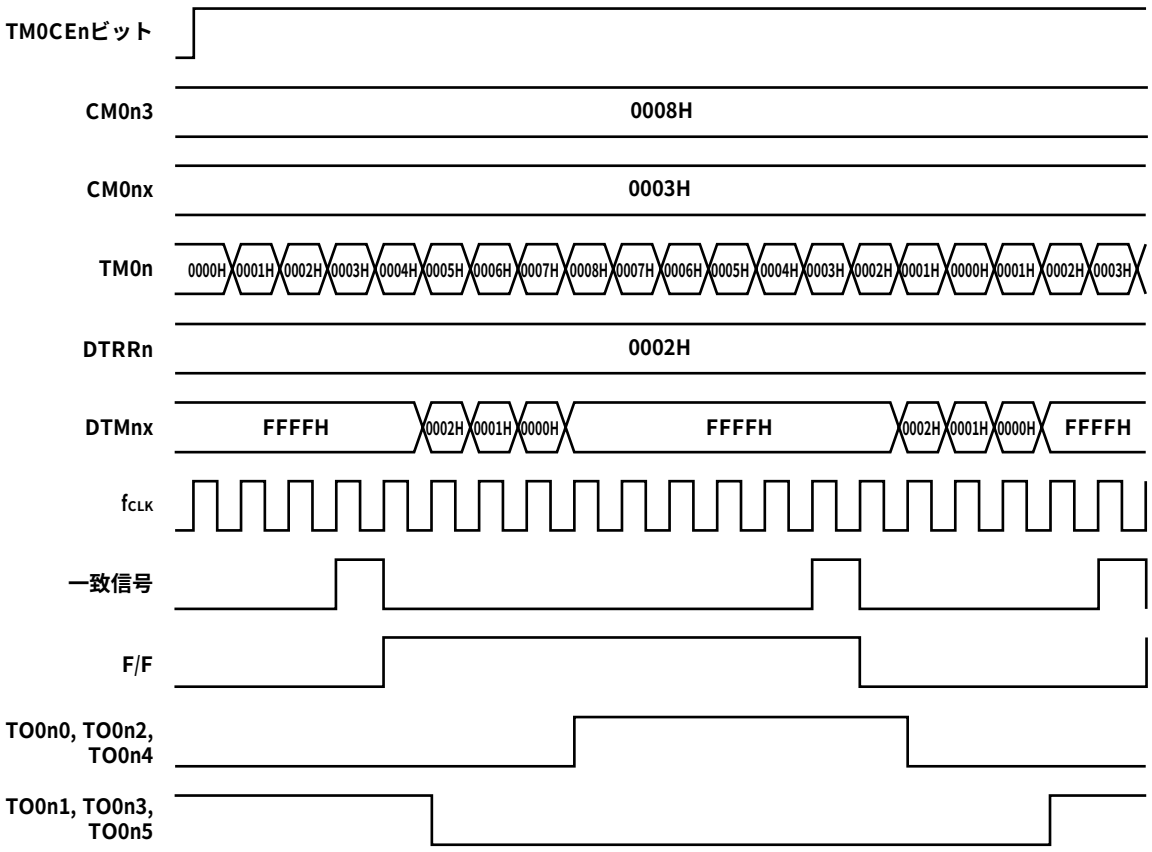


備考1.　n = 0, 1

2.　f_{CLK}：基本クロック

（4）TO0n0-TO0n5出力タイミング

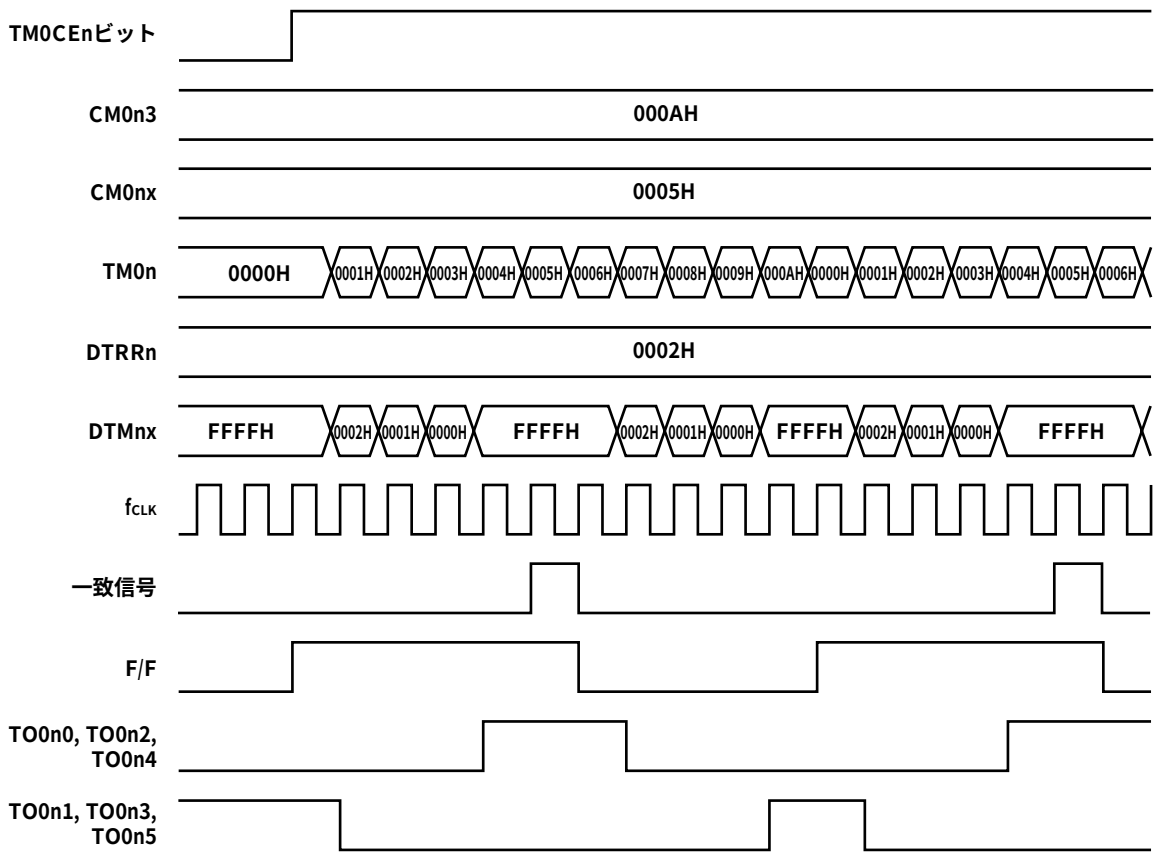
図9－46　PWMモード0（対称三角波），PWMモード1（非対称三角波）でのTO0n0-TO0n5出力タイミング



備考1. 上図はコンペア・レジスタとTM0nタイマが一致し，TO0n0-TO0n5出力が変化するまでを示します。

2. x = 0-2
3. n = 0, 1
4. fCLK：基本クロック

図9－47　PWMモード2（のこぎり波）でのTO0n0-TO0n5出力タイミング



備考1. **上図はコンペア・レジスタとTM0nタイマが一致し，TO0n0-TO0n5出力が変化するまでを示します。**

2. x = 0-2
3. n = 0, 1
4. f_{CLK}**：基本クロック**

9. 2　タイマ1

9. 2. 1　特徴（タイマ1）

タイマ10（TM10）は，16ビット・アップ／ダウン・カウンタで次の動作をします。

・汎用タイマ・モード（9. 2. 5（1）汎用タイマ・モードでの動作参照）
　フリー・ランニング・タイマ
　PWM出力
・アップ／ダウン・カウンタ・モード（9. 2. 5（2）UDCモードでの動作参照）
　UDCモードA（モード1，モード2，モード3，モード4）
　UDCモードB（モード1，モード2，モード3，モード4）

9. 2. 2　機能概要（タイマ1）

○16ビット・2相エンコーダ入力用アップ/ダウン・カウンタ／汎用タイマ（TM10）
○コンペア・レジスタ：2本
○キャプチャ／コンペア・レジスタ：2本
○割り込み要求ソース
　・キャプチャ／コンペア一致割り込み：2種
　・コンペア一致割り込み要求：2種
○キャプチャ要求信号：2種
　・キャプチャ／コンペア・レジスタに対応するINTP100, INTP101端子の有効エッジをキャプチャ・トリガとして，TM10の値をラッチすることが可能です。
○カウント・クロックはプリスケーラによる分周から選択（カウント・クロックは10 MHz以下に設定してください。）
○基本クロック（f_{CLK}）：1種（f_{CLK}は20 MHz以下に設定してください。）
　f_{XX}/2
○プリスケーラ分周比
　基本クロック（f_{CLK}）により次のように選択可能です。

分周比	基本クロック（f_{CLK}）
1/2	f_{XX}/4
1/4	f_{XX}/8
1/8	f_{XX}/16
1/16	f_{XX}/32
1/32	f_{XX}/64
1/64	f_{XX}/128
1/128	f_{XX}/256

○PWM出力機能

汎用タイマ・モード時に16ビット分解能のPWM出力をTO10端子より出力可能

○タイマ・クリア

使用するモードに応じて次のようにタイマ・クリア動作を行います。

(a) 汎用タイマ・モード時：CM100設定値との一致でタイマ・クリア動作が可能です。

(b) アップ／ダウン・カウント・モード：タイマ・クリア動作を次の4つの条件から選択可能です。

(i) TM10がアップ・カウント中にCM100設定値との一致でタイマ・クリア動作を行い，TM10がダウン・カウント中にCM101設定値との一致でタイマ・クリア動作を行います。

(ii) 外部入力のみでタイマ・クリア動作を行います。

(iii) TM10のカウント値とCM100設定値との一致でタイマ・クリア動作を行います。

(iv) 外部入力およびTM10のカウント値とCM100設定値との一致でタイマ・クリア動作を行います。

○外部パルス出力（TO10）：1本

備考　fxx：内部システム・クロック

9. 2. 3　基本構成

次に基本構成を示します。

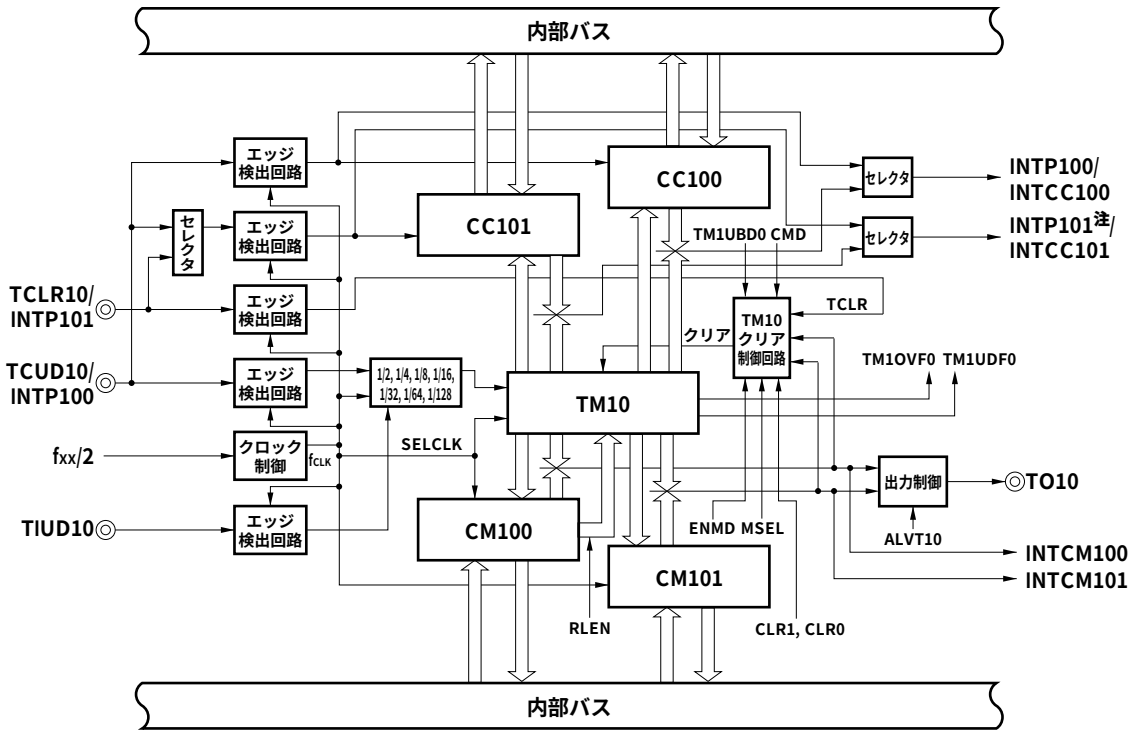
表9－5　タイマ1の構成一覧

タイマ	カウント・クロック	レジスタ	リード／ライト	発生する割り込み信号	キャプチャ・トリガ
タイマ1	fxx/4, fxx/8, fxx/16, fxx/32, fxx/64, fxx/128, fxx/256	TM10	リード／ライト	－	－
		CM100	リード／ライト	INTCM100	－
		CM101	リード／ライト	INTCM101	－
		CC100	リード／ライト	INTCC100	INTP100
		CC101	リード／ライト	INTCC101	INTP100または INTP101

備考　fxx：内部システム・クロック

図9－48にタイマ1のブロック図を示します。

図9－48　タイマ1のブロック図



注　INTP101割り込みはINTP101端子からのキャプチャ・トリガ信号と，INTP100端子からのキャプチャ・トリガ信号をCSL10レジスタのCSL0ビットで選択した信号です。

備考1.　fxx ：内部システム・クロック

2.　fCLK：基本クロック（20 MHz（MAX.））

(1) タイマ10（TM10）

TM10**は，汎用タイマ（汎用モード時）および**2**相エンコーダ入力用アップ／ダウン・カウンタ（**UDC**モード時）として機能します。**

動作モードが汎用モード時にはアップ・カウント，UDC**モード時にはアップ／ダウン・カウントを行います。**

16**ビット単位でリード／ライト可能です。**

注意1. TM10**へのライト動作は，**TMC10**レジスタの**TM1CE0**ビット** = 0**（カウント動作禁止）時のみ許可します。**

2. TM10**の連続読み出しは禁止します。**TM10**の連続読み出しを行った場合，**2**回目の読み出し値が実際の値と異なる可能性があります。**TM10**を**2**回読み出す必要がある場合は，必ず**1**回目と**2**回目の間にほかのレジスタを読み出してください。**

3. TM10, CC100, CC101**レジスタと**STATUS10**レジスタは同値書き込みを禁止します。**
CCR0, TUM0, TMC10, SESA10, PRM10**レジスタと**CM100, CM101**レジスタは同値書き込みを許可します（カウント動作中においても同値書き込みを保証します）。**

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TM10																	FFFFF5E0H	0000H

TM10**のスタートおよびストップは，タイマ・コントロール・レジスタ**10（TMC10）**の**TM1CE0**ビットによって制御します。**

TM10**の動作には次に示す**2**つのモードがあります。**

(a) 汎用タイマ・モード

汎用タイマ・モードでは，16**ビットのインターバル・タイマ，フリー・ランニング・タイマ，または**PWM**出力用として動作します。**

ソフトウエアで選択されたクロックをもとに，カウント動作を行います。

カウント・クロックはプリスケーラによる分周をプリスケーラ・モード・レジスタ10（PRM10）**の**PRM12-PRM10**ビットにより，**f_{CLK}/2, f_{CLK}/4, f_{CLK}/8, f_{CLK}/16, f_{CLK}/32, f_{CLK}/64, f_{CLK}/128**から選択できます（f_{CLK}：基本クロック，**9. 2. 4 **(1) タイマ**1/**タイマ**2**クロック選択レジスタ（**PRM02**）参照）。**

(b) アップ／ダウン・カウンタ・モード（UDCモード）

UDCモードでは，16ビットのアップ／ダウン・カウンタとして動作します。TCUD10, TIUD10の入力信号をもとにカウント動作を行います。

なお，このモードは，TM10のクリア条件により，UDCモードAとUDCモードBの2種類の動作モードがあります。

TM10が動作中にクリアされる条件は動作モードにより次のように分類できます。

表9－6　タイマ1（TM10）のクリア条件

動作モード	TUM0レジスタ		TMC10レジスタ			TM10のクリア
	CMD ビット	MSEL ビット	ENMD ビット	CLR1 ビット	CLR0 ビット	
汎用タイマ・モード	0	0	0	×	×	クリア動作を行わない（フリー・ランニング・タイマ）
			1	×	×	CM100設定値と一致でクリア
UDCモードA	1	0	×	0	0	TCLR10入力のみでクリア
			×	0	1	アップ・カウント中のCM100設定値との一致でクリア
			×	1	0	TCLR10入力もしくはアップ・カウント中のCM100設定値との一致でクリア
			×	1	1	クリア動作を行わない
UDCモードB	1	1	×	×	×	アップ・カウント中のCM100設定値との一致でクリアもしくはダウン・カウント中のCM101設定値との一致でクリア
上記設定以外						設定禁止

備考　×：該当ビットの設定値は無視されることを示します。

9. 2. 4　制御レジスタ

（1）タイマ1/タイマ2クロック選択レジスタ（PRM02）

PRM02レジスタは，タイマ1，タイマ2の基本クロック（f_{CLK}）を選択するレジスタです。

8/1ビット単位でリード／ライト可能です。

注意1.　必ずタイマ1，タイマ2を使用する前に01Hを設定してください。01H以外は設定禁止です。

2.　f_{CLK}は20 MHz以下に設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
PRM02	0	0	0	0	0	0	0	PRM2	FFFFF5D8H	00H

ビット位置	ビット名	意　味
0	PRM2	タイマ1，タイマ2の基本クロック（f_{CLK}）を指定します。 1：$f_{CLK} = f_{XX}/2$

備考　f_{XX}：内部システム・クロック

(2) タイマ・ユニット・モード・レジスタ0（TUM0）

TUM0レジスタは，TM10の動作モード指定，PWM出力端子の動作制御などを行う8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

注意1. TM10動作中（TMC10レジスタのTM1CE0ビット = 1）にTUM0レジスタの内容を変更することは禁止します。

2. CMDビット = 0（汎用タイマ・モード）時に，MSELビット = 1（UDCモードB）の設定は禁止します。

	7	6	5	4	3	2	1	0	アドレス	初期値
TUM0	CMD	0	0	0	TOE10	ALVT10	0	MSEL	FFFFF5EBH	00H

ビット位置	ビット名	意　味
7	CMD	TM10の動作モードを指定します。 0：汎用タイマ・モード（アップ・カウント） 1：UDCモード（アップ／ダウン・カウント）
3	TOE10	タイマ出力（TO10）の許可を指定します。 0：タイマ出力は禁止状態です 1：タイマ出力は許可状態です。 **注意**　CMDビット = 1（UDCモード）のときは，TOE10ビットの指定にかかわらず，タイマ出力は行いません。その際タイマ出力は，ALVT10ビットの設定レベルの逆相レベルを出力します。
2	ALVT10	タイマ出力（TO10）のアクティブ・レベルを指定します。 0：アクティブ・レベルはハイ・レベル 1：アクティブ・レベルはロウ・レベル **注意**　CMDビット = 1（UDCモード）のときは，TOE10ビットの指定にかかわらず，タイマ出力は行いません。その際タイマ出力は，ALVT10ビットの設定レベルの逆相レベルを出力します。
0	MSEL	UDCモード（アップ／ダウン・カウント）時の動作を指定します。 0：UDCモードA TM10は，TMC10レジスタのCLR1, CLR0ビットの設定によるクリアが可能です。 1：UDCモードB TM10は次の場合にクリア動作を行います。 ・TM10がアップ・カウント中のCM100との一致でクリア ・TM10がダウン・カウント中のCM101との一致でクリア なお，UDCモードB設定時は，TMC10レジスタのENMD, CLR1, CLR0ビットは無効になります。

(3) タイマ・コントロール・レジスタ10（TMC10）

TMC10レジスタは，TM10の動作許可／禁止，転送およびタイマ・クリア動作の設定を行うレジスタです。

8/1ビット単位でリード／ライト可能です。

注意　TM10動作中（TM1CE0ビット = 1）にTM1CE0ビット以外のTMC10レジスタの内容を変更することは禁止します。

（1/2）

	7	⑥	5	4	3	2	1	0	アドレス	初期値
TMC10	0	TM1CE0	0	0	RLEN	ENMD	CLR1	CLR0	FFFFF5ECH	00H

ビット位置	ビット名	意　味
6	TM1CE0	TM10の動作の制御を指定します。 0：TM10はカウント動作禁止 1：TM10はカウント動作許可
3	RLEN	CM100からTM10への転送動作を指定します。 0：転送動作禁止 1：転送動作許可 注意1. RLEN = 1のとき，TM10がアンダフローを発生させるとTM10にはCM100に設定されている値が転送されます。 2. RLENビットはUDCモードA時（TUM0レジスタのCMDビット = 1, MSELビット = 0）のみ有効です。汎用タイマ・モード時（CMDビット = 0）およびUDCモードB時（CMDビット = 1, MSELビット = 1）は，RLENビットをセット（1）しても転送動作は行いません。
2	ENMD	汎用タイマ・モード（TUM0レジスタのCMDビット = 0）時のTM10のクリア動作を制御します。 0：クリア禁止（フリー・ランニング・モード） TM10はCM100と一致してもクリア動作は行いません。 1：クリア許可 TM10はCM100との一致でクリア動作を行います。 注意　UDCモード（TUM0レジスタのCMDビット = 1）のとき，ENMDビットの設定は無効となります。

(2/2)

ビット位置	ビット名	意　味
1, 0	CLR1, CLR0	UDCモードA時のTM10のクリア動作を制御します。 CLR1 / CLR0 / TM10のクリア要因の指定 0 / 0 / 外部入力（TCLR10）のみでクリア 0 / 1 / TM10カウント値とCM100設定値との一致でクリア 1 / 0 / TCLR10入力もしくは，TM10カウント値とCM100設定値との一致でクリア 1 / 1 / クリアなし 注意1. TM10カウント値とCM100設定値との一致によるクリアは，TM10がアップ・カウント動作時のみ有効です（TM10がダウン・カウント中の場合は，TM10クリア動作は行いません）。 2. 汎用タイマ・モード（TUM0レジスタのCMDビット = 0）のとき，CLR1, CLR0ビットの設定は無効となります。 3. UDCモードB（TUM0レジスタのMSELビット = 1）のとき，CLR1, CLR0ビットの設定は無効となります。 4. CLR1, CLR0ビットでTCLR10でのクリアを有効にした場合，TM1CE0ビットが1, 0いずれの場合でもクリアされます。

(4) キャプチャ／コンペア・コントロール・レジスタ0（CCR0）

CCR0レジスタは，キャプチャ／コンペア・レジスタ（CC100, CC101）の動作モードを指定します。

8/1ビット単位でリード／ライト可能です。

注意　TM10動作中（TM1CE0ビット = 1）にCCR0レジスタを書き換えることは禁止します。

	7	6	5	4	3	2	1	0	アドレス	初期値
CCR0	0	0	0	0	0	0	CMS1	CMS0	FFFFF5EAH	00H

ビット位置	ビット名	意　味
1	CMS1	CC101の動作モードを指定します。 0：キャプチャ・レジスタとして動作します。 1：コンペア・レジスタとして動作します。
0	CMS0	CC100の動作モードを指定します。 0：キャプチャ・レジスタとして動作します。 1：コンペア・レジスタとして動作します。

(5) シグナル・エッジ選択レジスタ10（SESA10）

SESA10**レジスタは，外部端子による外部割り込み要求（**INTP100，INTP101，TIUD10，TCUD10，TCLR10**）の有効エッジを指定するレジスタです。**

有効エッジは，立ち上がりエッジ，立ち下がりエッジ，または立ち上がり／立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8/1**ビット単位でリード／ライト可能です。**

注意1.　TM10**動作中（**TM1CE0**ビット** = 1**）に**SESA10**レジスタの各ビットを変更することは禁止します。**

2.　**タイマ**1**を使用しないで**TCUD10/INTP100，TCLR10/INTP101**端子を**INTP100，INTP101**として使用する場合でも，タイマ・コントロール・レジスタ**10**（**TMC10**）の**TM1CE0**ビットを必ずセット（**1**）してから使用してください。**

（1/2）

	7	6	5	4	3	2	1	0	アドレス	初期値
SESA10	TESUD01	TESUD00	CESUD01	CESUD00	IES1011	IES1010	IES1001	IES1000	FFFFF5EDH	00H
	TIUD10, TCUD10		TCLR10		INTP101		INTP100			

ビット位置	ビット名	意　味
7, 6	TESUD01, TESUD00	TIUD10, TCUD10**端子の有効エッジを指定します。** TESUD01 / TESUD00 / **有効エッジ** 0 / 0 / **立ち下がりエッジ** 0 / 1 / **立ち上がりエッジ** 1 / 0 / **設定禁止** 1 / 1 / **立ち上がり／立ち下がり両エッジ** **注意**1.　TESUD01, TESUD00**ビットは，**UDC**モード**A, UDC**モード**B**時のみ設定値が有効です。** 2.　TM10**の動作がモード**4**に指定されている場合（**PRM10**レジスタの** PRM12-PRM10**ビットで指定）には，**TIUD10, TCUD10**端子に対する有効エッジの指定（**TESUD01, TESUD00**ビット）は無効です。**

(2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>5, 4</td><td>CESUD01,
CESUD00</td><td>TCLR10端子の有効エッジを指定します。

<table>
<tr><th>CESUD01</th><th>CESUD00</th><th>有効エッジ</th></tr>
<tr><td>0</td><td>0</td><td>立ち下がりエッジ</td></tr>
<tr><td>0</td><td>1</td><td>立ち上がりエッジ</td></tr>
<tr><td>1</td><td>0</td><td>ロウ・レベル</td></tr>
<tr><td>1</td><td>1</td><td>ハイ・レベル</td></tr>
</table>

CESUD01, CESUD00ビット設定値とTM10の動作は次のようになります。
00：TCLR10の立ち下がりエッジ検出後，TM10をクリア
01：TCLR10の立ち上がりエッジ検出後，TM10をクリア
10：TCLR10入力がロウ・レベル期間中は，TM10はクリアを保持
11：TCLR10入力がハイ・レベル期間中は，TM10はクリアを保持

注意　CESUD01, CESUD00ビットは，UDCモードA時のみ，設定値が有効です。</td></tr>
<tr><td>3, 2</td><td>IES1011,
IES1010</td><td>CSL10レジスタのCSL0ビットで選択された端子（INTP101/INTP100）の有効エッジを指定します。

<table>
<tr><th>IES1011</th><th>IES1010</th><th>有効エッジ</th></tr>
<tr><td>0</td><td>0</td><td>立ち下がりエッジ</td></tr>
<tr><td>0</td><td>1</td><td>立ち上がりエッジ</td></tr>
<tr><td>1</td><td>0</td><td>設定禁止</td></tr>
<tr><td>1</td><td>1</td><td>立ち上がり／立ち下がり両エッジ</td></tr>
</table></td></tr>
<tr><td>1, 0</td><td>IES1001,
IES1000</td><td>INTP100端子の有効エッジを指定します。

<table>
<tr><th>IES1001</th><th>IES1000</th><th>有効エッジ</th></tr>
<tr><td>0</td><td>0</td><td>立ち下がりエッジ</td></tr>
<tr><td>0</td><td>1</td><td>立ち上がりエッジ</td></tr>
<tr><td>1</td><td>0</td><td>設定禁止</td></tr>
<tr><td>1</td><td>1</td><td>立ち上がり／立ち下がり両エッジ</td></tr>
</table></td></tr>
</table>

(6) プリスケーラ・モード・レジスタ10（PRM10）

PRM10レジスタは，次の選択を行うレジスタです。

- 汎用タイマ・モード（TUM0レジスタのCMDビット = 0）時のカウント・クロックを選択します。
- UDCモード時（CMDビット = 1）時にカウント動作モードを選択します。

8/1ビット単位でリード／ライト可能です。

注意1. TM10動作中（TM1CE0ビット = 1）にPRM10レジスタを書き換えることは禁止します。

2. UDCモード（TUM0レジスタのCMDビット = 1）のとき，PRM12ビット値が0の設定は禁止します。

3. TM10動作がモード4に指定されている場合には，TIUD10, TCUD10端子に対する有効エッジの指定は無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PRM10	0	0	0	0	0	PRM12	PRM11	PRM10	FFFFF5EEH	07H

ビット位置	ビット名	意　味
2-0	PRM12- PRM10	TM10の内部クロック時のクロック・レートまたは外部クロック（TIUD10）入力時のアップ／ダウン・カウントの動作モードを指定します。

RRM12	PRM11	PRM10	CMD = 0	CMD = 1	
			カウント・クロック	カウント・クロック	UDCモード
0	0	0	設定禁止	設定禁止	
0	0	1	f_{CLK}/2		
0	1	0	f_{CLK}/4		
0	1	1	f_{CLK}/8		
1	0	0	f_{CLK}/16	TIUD10	モード1
1	0	1	f_{CLK}/32		モード2
1	1	0	f_{CLK}/64		モード3
1	1	1	f_{CLK}/128		モード4

備考　f_{CLK}：基本クロック

(a) 汎用タイマ・モード（TUM0レジスタのCMDビット = 0）時

カウント・クロックはPRM12-PRM10ビットで指定します。

(b) UDCモード（TUM0レジスタのCMDビット = 1）時

UDCモード時のTM10のカウント要因を次に示します。

動作モード	TM10の動作
モード1	TCUD10 = ハイ・レベルのとき，ダウン・カウント TCUD10 = ロウ・レベルのとき，アップ・カウント
モード2	TIUD10入力の有効エッジ検出でアップ・カウント TCUD10入力の有効エッジ検出でダウン・カウント
モード3	TCUD10 = ハイ・レベルのとき，TIUD10入力の有効エッジ検出でアップ・カウント TCUD10 = ロウ・レベルのとき，TIUD10入力の有効エッジ検出でダウン・カウント
モード4	TIUD10入力の両エッジおよびTCUD10入力の両エッジ検出で自動判別

（7）ステータス・レジスタ0（STATUS0）

STATUS0**レジスタは，**TM10**の動作状態を示すレジスタです。**

8/1**ビット単位でリードだけ可能です。**

	7	6	5	4	3	②	①	⓪	アドレス	初期値
STATUS0	0	0	0	0	0	TM1UDF0	TM1OVF0	TM1UBD0	FFFFF5EFH	00H

ビット位置	ビット名	意　味
2	TM1UDF0	TM10**のアンダフロー・フラグです。** 0：TM10**のカウント・アンダフロー発生なし** 1：TM10**のカウント・アンダフロー発生あり** **注意**　TM1UDF0**ビットは，**CPU**から**STATUS0**レジスタへのリード・アクセス終了後にクリア（**0**）されます。**
1	TM1OVF0	TM10**のオーバフロー・フラグです。** 0：TM10**のカウント・オーバフロー発生なし** 1：TM10**のカウント・オーバフロー発生あり** **注意**　TM1OVF0**ビットは，**CPU**から**STATUS0**レジスタへのリード・アクセス終了後にクリア（**0**）されます。**
0	TM1UBD0	TM10**のアップ／ダウン・カウント動作の状態を表示します。** 0：TM10**のアップ・カウント動作中** 1：TM10**のダウン・カウント動作中** **注意**　TM1UBD0**ビットはモードにより次のようになります。** **・汎用タイマ・モード（**TUM0**レジスタの**CMD**ビット** = 0**）時** TM1UBD0**ビットは “**0**” 固定です。** ・UDC**モード（**TUM0**レジスタの**CMD**ビット** = 1**）時** TM10**のアップ／ダウン状態を表示します。**

（8）CC101キャプチャ入力選択レジスタ（CSL10）

CSL10レジスタは，CC101レジスタをキャプチャ・レジスタとして使用したとき，キャプチャ入力信号としてINTP101端子とINTP100端子のどちらを使用するか選択するレジスタです。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
CSL10	0	0	0	0	0	0	0	CSL0	FFFFF5F6H	00H

ビット位置	ビット名	意　味
0	CSL0	CC101へのキャプチャ入力の指定をします。 0：INTP101 1：INTP100

(9) コンペア・レジスタ100（CM100）

CM100は，16ビットのレジスタで，TM10と常に比較動作を行い，一致を検出すると割り込みを発生します。次に各モードでの割り込み発生タイミングを示します。

- 汎用タイマ・モード（TUM0レジスタのCMDビット = 0），UDCモードA（TUM0レジスタのMSELビット = 0）時は，一致検出により割り込み信号（INTCM100）を発生します。
- UDCモードB（TUM0レジスタのMSELビット = 1）時は，アップ・カウント中の一致検出時のみ割り込み信号（INTCM100）を発生します。

CM100は，16ビット単位でリード／ライト可能です。

注意　TMC10レジスタのTM1CE0ビット = 1のときには，CM100レジスタの値を書き換えることは禁止します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CM100																	FFFFF5E2H	0000H

(10) コンペア・レジスタ101（CM101）

CM101は，16ビットのレジスタで，TM10と常に比較動作を行い，一致を検出すると割り込みを発生します。次に各モードでの割り込み発生タイミングを示します。

- 汎用タイマ・モード（TUM0レジスタのCMDビット = 0），UDCモードA（TUM0レジスタのMSELビット = 0）時は，一致検出により割り込み信号（INTCM101）を発生します。
- UDCモードB（TUM0レジスタのMSELビット = 1）時は，ダウン・カウント中の一致検出時のみ割り込み信号（INTCM101）を発生します。

CM101は，16ビット単位でリード／ライト可能です。

注意　TMC10レジスタのTM1CE0ビット = 1のときには，CM101レジスタの値を書き換えることは禁止します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CM101																	FFFFF5E4H	0000H

（11）キャプチャ／コンペア・レジスタ100（CC100）

CC100は，16ビットのレジスタです。キャプチャ／コンペア・コントロール・レジスタ0（CCR0）の指定により，キャプチャ・レジスタまたはコンペア・レジスタとして使用できます。16ビット単位でリード／ライト可能です。

注意1. **キャプチャ・レジスタ時（**CCR0**レジスタの**CMS0**ビット** = 0**）には，ライト・アクセスを禁止します。**

2. **コンペア・レジスタ時（**CCR0**レジスタの**CMS0**ビット** = 1**）で**TM10**動作中（**TMC10**レジスタの**TM1CE0**ビット** = 1**）には，**CC100**レジスタ値を書き換えることを禁止します。**

3. TM10**停止時（**TMC10**レジスタの**TM1CE0**ビット** = 0**）は，キャプチャ・トリガは無効になります。**

4. **動作モードをキャプチャ・レジスタからコンペア・レジスタに変更した場合は，再度新規のコンペア値を設定し直してください。**

5. CC100**の連続読み出しは禁止します。**CC100**の連続読み出しを行った場合，**2**回目の読み出し値が実際の値と異なる可能性があります。**CC100**を**2**回読み出す必要がある場合は，必ず**1**回目と**2**回目の間にほかのレジスタを読み出してください。**

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CC100																	FFFFF5E6H	0000H

（a）キャプチャ・レジスタに設定

キャプチャ・レジスタに設定した場合は，対応する外部割り込み信号（INTP100）の有効エッジをキャプチャ・トリガとして検出します。TM10はキャプチャ・トリガに同期して，カウント値をラッチします（キャプチャ動作）。ラッチした値は，次にキャプチャ動作が行われるまでキャプチャ・レジスタに保持されます。

また，外部割り込みの有効エッジ指定（立ち上がり，立ち下がり，立ち上がり／立ち下がり両エッジ）は，シグナル・エッジ選択レジスタ10（SESA10）により選択できます。

キャプチャ・レジスタに指定したときは，INTP100信号の有効エッジ検出で割り込みを発生します。

（b）コンペア・レジスタに設定

コンペア・レジスタに設定した場合，常にTM10とCC100の値の比較動作を行い，一致を検出すると割り込み信号（INTCC100）を発生します。

（12）キャプチャ／コンペア・レジスタ101（CC101）

CC101は，16ビットのレジスタです。キャプチャ／コンペア・コントロール・レジスタ0（CCR0）の指定により，キャプチャ・レジスタまたはコンペア・レジスタとして使用できます。16ビット単位でリード／ライト可能です。

注意1. **キャプチャ・レジスタ時（**CCR0**レジスタの**CMS1**ビット** = 0**）には，ライト・アクセスを禁止します。**

2. **コンペア・レジスタ時（**CCR0**レジスタの**CMS1**ビット** = 1**）で**TM10**動作中（**TMC10**レジスタの**TM1CE0**ビット** = 1**）には，**CC101**レジスタ値を書き換えることは禁止します。**

3. TM10**停止中（**TMC10**レジスタの**TM1CE0**ビット** = 0**）は，キャプチャ・トリガは無効になります。**

4. **動作モードをキャプチャ・レジスタからコンペア・レジスタに変更した場合は，再度新規のコンペア値を設定し直してください。**

5. CC101**の連続読み出しは禁止します。**CC101**の連続読み出しを行った場合，**2**回目の読み出し値が実際の値と異なる可能性があります。**CC101**を**2**回読み出す必要がある場合は，必ず**1**回目と**2**回目の間にほかのレジスタを読み出してください。**

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CC101																	FFFFF5E8H	0000H

（a）キャプチャ・レジスタに設定

キャプチャ・レジスタに設定した場合は，対応する外部割り込み信号（INTP100とINTP101）のどちらかをセレクタで選択し，選択された外部割り込みの有効エッジをキャプチャ・トリガとして検出します。TM10はキャプチャ・トリガに同期して，カウント値をラッチします（キャプチャ動作）。ラッチした値は，次にキャプチャ動作が行われるまでキャプチャ・レジスタに保持されます。

また，外部割り込みの有効エッジ指定（立ち上がり，立ち下がり，立ち上がり／立ち下がり両エッジ）は，シグナル・エッジ選択レジスタ10（SESA10）により選択できます。

キャプチャ・レジスタに指定したときは，INTP100とINTP101信号のどちらか一方の有効エッジ検出で割り込みを発生します。

（b）コンペア・レジスタに設定

コンペア・レジスタに設定した場合，常にTM10とCC101の値の比較動作を行い，一致を検出すると割り込み信号（INTCC101）を発生します。

9.2.5 動　　作

(1) 汎用タイマ・モードでの動作

TM10は，汎用タイマ・モードでは次に示す動作ができます。

(a) インターバル動作（TMC10レジスタのENMDビット = 1のとき）

TM10とCM100は常に比較動作を行い，一致を検出するとINTCM100割り込みを発生します。一致の次のカウント・クロックでTM10をクリア（0000H）します。さらに次のカウント・クロックが入ると，TM10は0001Hにカウント・アップされます。

インターバル周期は次に示す式で計算できます。

インターバル周期 =（CM100値＋1）×TM10のカウント・クロック・レート

(b) フリー・ランニング動作（TMC10レジスタのENMDビット = 0のとき）

TM10は，0000HからFFFFHまでフル・カウントし，STATUS0レジスタのTM1OVF0ビットがセット（1）後，次のカウント・クロックで0000Hになり，カウントを続行します。

フリー・ランニング周期は次に示す式で計算できます。

フリー・ランニング周期 = 65536×TM10のカウント・クロック・レート

(c) コンペア機能

TM10は，コンペア・レジスタ（CM100, CM101）を2チャネル，キャプチャ／コンペア・レジスタ（CC100, CC101）を2チャネル接続しています。

TM10カウント値と各コンペア・レジスタ設定値とが一致した場合には，一致割り込み（INTCM100, INTCM101, INTCC100[注], INTCC101[注]）が出力されます。特にインターバル動作時には，INTCM100発生タイミングで，TM10がクリアされます。

注　CC100, CC101がコンペア・レジスタ・モードに設定されているときに一致割り込みを発生します。

(d) キャプチャ機能

TM10は，キャプチャ／コンペア・レジスタ（CC100, CC101）を2チャネル接続しています。

CC100, CC101がキャプチャ・レジスタ・モードに設定されているときは，該当するキャプチャ・トリガ信号に同期してTM10の値をキャプチャします。

キャプチャ・トリガ信号に指定されたINTP100, INTP101入力信号の有効エッジにより割り込み要求（INTCC100, INTCC101）を発生します。

表9－7　16ビット・キャプチャ・レジスタへのキャプチャ・トリガ信号（TM10）

キャプチャ・レジスタ	キャプチャ・トリガ信号
CC100	INTP100
CC101	INTP100またはINTP101

備考　CC100, CC101はキャプチャ／コンペア・レジスタです。どちらのレジスタとして使用するかは，キャプチャ／コンペア・コントロール・レジスタ0（CCR0）で指定します。

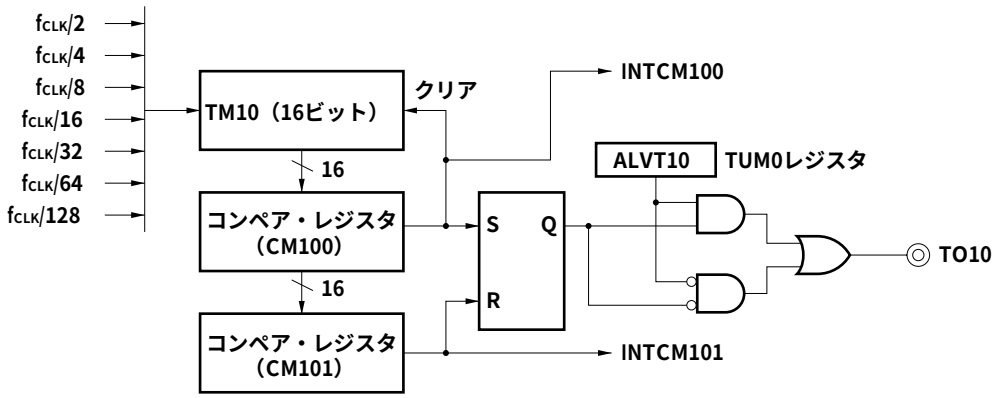
キャプチャ・トリガの有効エッジは，シグナル・エッジ選択レジスタ10（SESA10）により指定します。立ち上がり／立ち下がりの両エッジをキャプチャ・トリガとした場合は，外部からの入力パルス幅を測定できます。片側エッジをキャプチャ・トリガとした場合は，入力バルスの周期を測定できます。

（e）PWM出力動作

タイマ・ユニット・モード・レジスタ0（TUM0）によりTM10を汎用タイマ・モード（CMDビット = 0）に設定することで，TO10端子からPWM出力動作をします。

また，分解能は16ビットで，カウント・クロックは7種類の内部クロック（f_{CLK}/2, f_{CLK}/4, f_{CLK}/8, f_{CLK}/16, f_{CLK}/32, f_{CLK}/64, f_{CLK}/128）から選択できます。

図9－49　TM10のブロック図（PWM出力動作時）



注意　TM10のカウント・クロックは必ず10 MHz以下で設定してください。

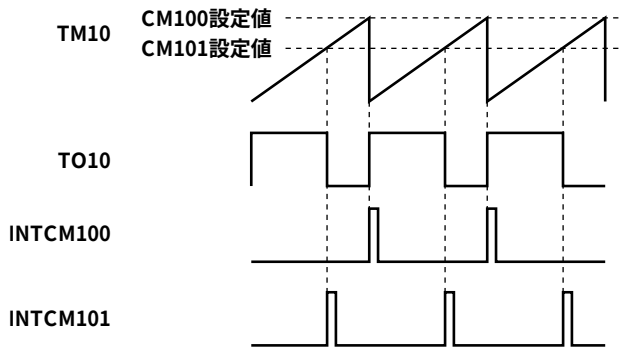
備考　f_{CLK}：基本クロック

(i) 動作説明

CM100レジスタは，PWM出力の周期を設定するコンペア・レジスタです。TM10と一致するとINTCM100割り込みを発生します。コンペア一致したことをハードウエアで保持し，一致の次のカウント・クロックでTM10をクリアします。

CM101レジスタは，PWM出力のデューティを設定するコンペア・レジスタです。PWM周期で必要なデューティを設定してください。

図9－50　PWM信号出力例（ALVT10ビット = 0設定時）



注意1. TM10動作時（TMC10レジスタのTM1CE0ビット = 1）にCM100, CM101レジスタの値を変更することを禁止します。

2. TM10動作時にTUM0レジスタのALVT10ビット設定値を変更することは禁止します。

3. PWM信号出力は，TM1CE0ビットをセット（1）後の第2PWM周期目から出力されます。

(2) UDCモードでの動作

(a) UDCモードでの動作概要

UDCモード（TUM0レジスタのCMDビット = 1）時のTM10へのカウント・クロックは，TIUD10, TCUD10端子からの外部入力のみとなります。UDCモード時のアップ／ダウン・カウント判定は，PRM10レジスタ設定に従ったTIUD10, TCUD10端子入力の位相差により決定します（選択肢は合計4種類存在します）。

表9－8　UDCモードのカウント動作一覧

PRM10レジスタ			動作モード	TM10の動作
PRM12	PRM11	PRM10		
1	0	0	モード1	TCUD10 = ハイ・レベルのとき，ダウン・カウント TCUD10 = ロウ・レベルのとき，アップ・カウント
1	0	1	モード2	TIUD10入力の有効エッジ検出でアップ・カウント TCUD10入力の有効エッジ検出でダウン・カウント
1	1	0	モード3	TCUD10 = ハイ・レベルのとき，TIUD10入力の有効エッジ検出でアップ・カウント TCUD10 = ロウ・レベルのとき，TIUD10入力の有効エッジ検出でダウン・カウント
1	1	1	モード4	TIUD10入力の両エッジおよびTCUD10入力の両エッジ検出で自動判別

さらにUDCモードでは，TM10のクリア条件により，2種類のモードに分かれます（両モードとも，TIUD10, TCUD10入力でのみカウント動作を行います）。

- UDCモードA（TUM0レジスタのCMDビット = 1, MSELビット = 0）

  TM10のクリア要因を外部クリア入力（TCLR10）のみか，アップ・カウント中のTM10のカウント値とCM100設定値との一致信号か，または，両信号の論理和（OR）かをTMC10レジスタのCLR1, CLR0ビットによって選択可能です。

  また，TM10は，自己のアンダフロー発生タイミングでCM100の値を転送できます。

- UDCモードB（TUM0レジスタのCMDビット = 1, MSELビット = 1）

  TM10のカウント値とCM100設定値が一致後のTM10の状態を次に示します。

  ① アップ・カウントの場合，TM10をクリア（0000H）し，INTCM100割り込みを発生します。

  ② ダウン・カウントの場合，TM10カウント値をデクリメント（－1）します。

  TM10のカウント値とCM101設定値が一致後のTM10の状態を次に示します。

  ① アップ・カウントの場合，TM10カウント値をインクリメント（＋1）します。

  ② ダウン・カウントの場合，TM10をクリア（0000H）し，INTCM101割り込みを発生します。

(b) UDCモードでのアップ／ダウン・カウント動作

UDCモード時のTM10のアップ／ダウン・カウント判定は，PRM10レジスタ設定に従ったTIUD10, TCUD10端子入力の位相差により決定します。次に具体的な動作を示します。

(i) モード1（PRM10レジスタのPRM12ビット = 1, PRM11ビット = 0, PRM10ビット = 0）

モード1では，TIUD10端子の有効エッジを検出したときに，TCUD10端子レベルの条件によりカウントは次のようになります。

- TCUD10端子 = ハイ・レベルの場合，TM10をダウン・カウントします。
- TCUD10端子 = ロウ・レベルの場合，TM10をアップ・カウントします。

図9－51　モード1（TIUD10端子の有効エッジが立ち上がりエッジ指定の場合）

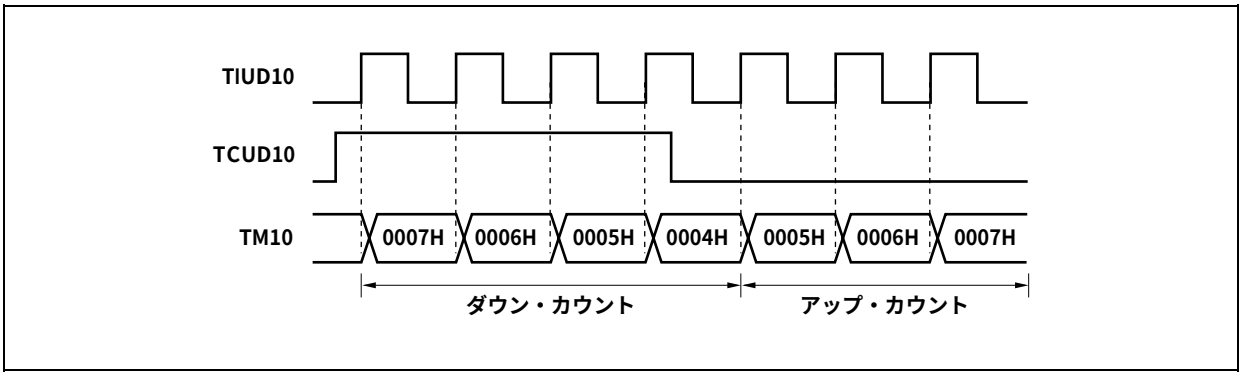
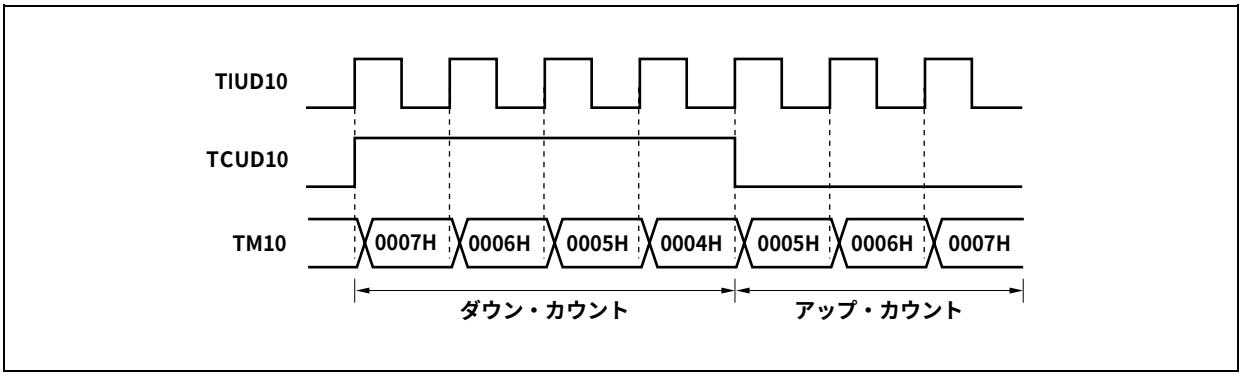


図9－52　モード1（TIUD10端子の有効エッジが立ち上がりエッジ指定の場合）：TIUD10, TCUD10端子のエッジが同時タイミングのとき



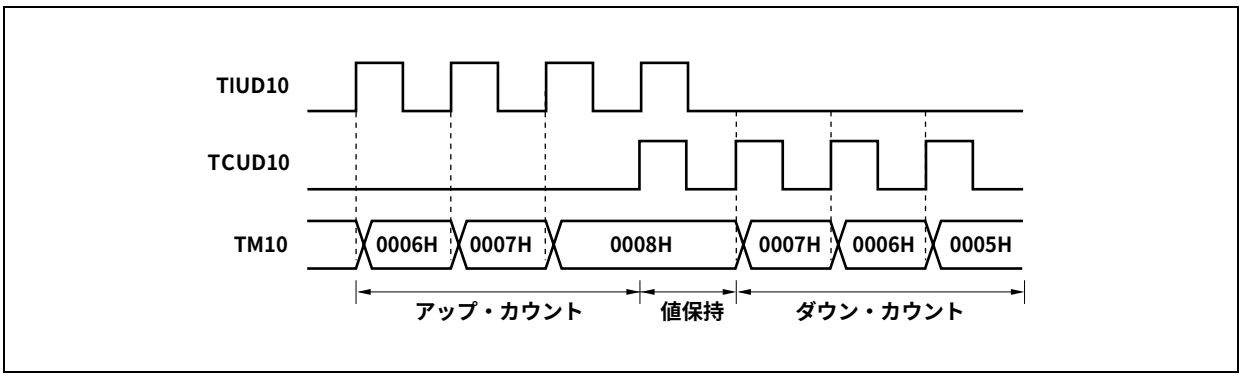
（ii）モード2（PRM10レジスタのPRM12ビット = 1, PRM11ビット = 0, PRM10ビット = 1）

モード2でのカウントの条件は次のようになります。

・TIUD10端子の有効エッジを検出した場合，TM10をアップ・カウントします。
・TCUD10端子の有効エッジを検出した場合，TM10をダウン・カウントします。

注意　TIUD10端子とTCUD10端子にカウント・クロックが同時に入力した場合には，カウント動作を行わず，直前の値は保持します。

図9－53　モード2（TIUD10, TCUD10端子の有効エッジが立ち上がりエッジ指定の場合）



（iii）モード3（PRM10レジスタのPRM12 = 1, PRM11 = 1, PRM10 = 0）

モード3は，TIUD10端子とTCUD10端子が90°の位相差を持つ2相信号を入力すると，TIUD10端子の有効エッジ入力でTCUD10端子のレベルをサンプリングします（図9－54参照）。

TIUD10端子の有効エッジ入力でサンプリングしたTCUD10端子レベルがロウ・レベルの場合，TM10はTIUD10端子の有効エッジ入力でダウン・カウントします。

TIUD10端子の有効エッジ入力でサンプリングしたTCUD10端子レベルがハイ・レベルの場合，TM10はTIUD10端子の有効エッジ入力でアップ・カウントします。

図9－54　モード3（TIUD10端子の有効エッジが立ち上がりエッジ指定の場合）

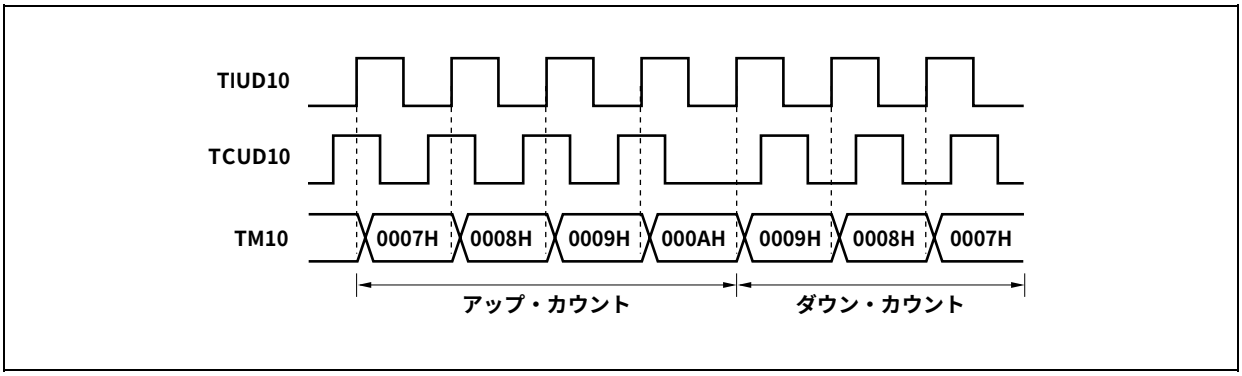
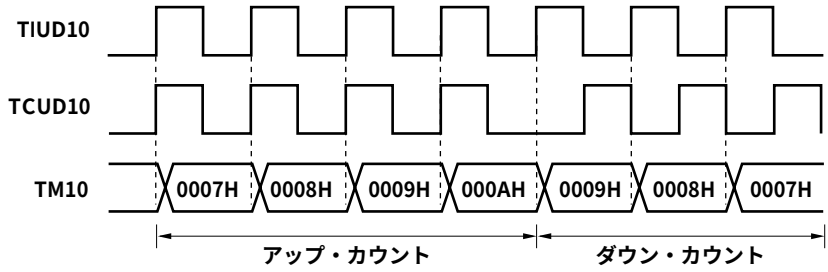


図9－55　モード3（TIUD10端子の有効エッジが立ち上がりエッジ指定の場合）
：TIUD10, TCUD10端子のエッジが同時タイミングのとき

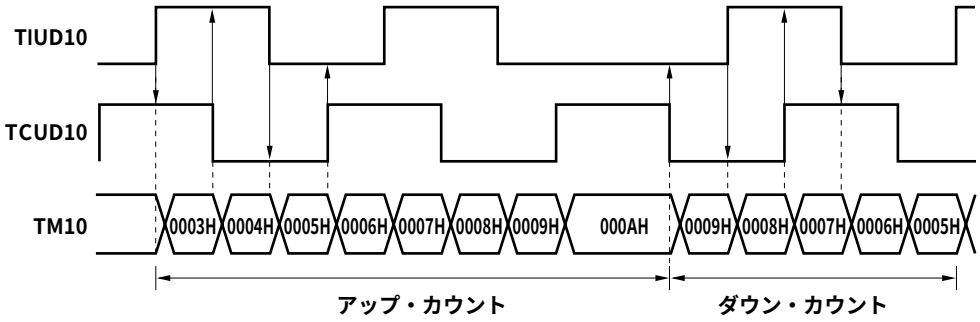


（iv）モード4（PRM10レジスタのPRM12 = 1, PRM11 = 1, PRM10 = 1）

モード4は，TIUD10端子とTCUD10端子に位相がシフトした2相信号を入力すると，図9－56に示すタイミングで自動的にアップ／ダウン動作を判別し，カウントを実行します。

モード4では，TIUD10端子とTCUD10端子に入力される2相信号をそれぞれの立ち上がり／立ち下がりの両エッジでカウントします。したがって，TM10は，入力信号の1サイクル当たり4回カウントします（4逓倍カウント）。

図9－56　モード4



注意1. TM10の動作がモード4に設定されている場合には，TIUD10端子とTCUD10端子に対する有効エッジの指定は無効となります。

2. モード4でTIUD10端子とTCUD10端子のエッジが同時に入力された場合は，TM10のアップ／ダウン動作は直前の動作のままカウントを続行します。

(c) UDCモードAの動作

(i) インターバル動作

TM10カウント値とCM100設定値が一致後の次のカウント・クロックでの動作を示します。

- アップ・カウントの場合，TM10をクリア（0000H）し，INTCM100割り込みを発生します。
- ダウン・カウントの場合，TM10カウント値をデクリメント（－1）し，INTCM100割り込みを発生します。

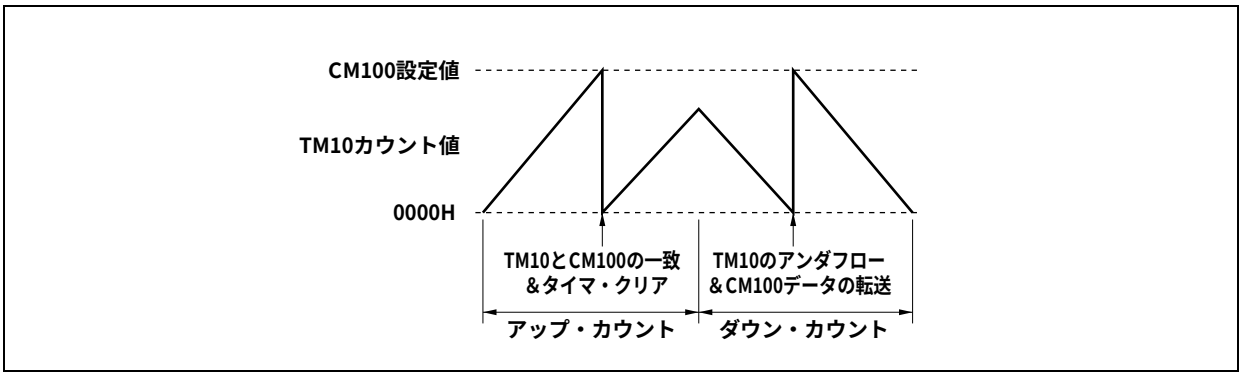
備考　インターバル動作は，転送動作と組み合わせることもできます。

(ii) 転送動作

TMC10レジスタのRLENビット = 1の場合，ダウン・カウント中にTM10 = 0000Hとなると，次のカウント・クロックでCM100設定値をTM10へ転送します。

備考1.　転送の許可／禁止は，TMC10レジスタのRLENビットで設定できます。
2.　転送動作は，インターバル動作と組み合わせることもできます。

図9－57　インターバル動作と転送動作を組み合わせたときのTM10動作例



(iii) コンペア機能

TM10は，コンペア・レジスタ（CM100, CM101）を2チャネル，キャプチャ／コンペア・レジスタ（CC100, CC101）を2チャネル接続しています。

TM10カウント値と各コンペア・レジスタ設定値とが一致した場合には，一致割り込み（INTCM100, INTCM101, INTCC100[注], INTCC101[注]）が出力されます。

注　CC100, CC101がコンペア・レジスタ・モードに設定されているときに一致割り込みを発生します。

（iv）キャプチャ機能

TM10は，キャプチャ／コンペア・レジスタ（CC100, CC101）を2チャネル接続しています。

CC100, CC101がキャプチャ・レジスタ・モードに設定されているときは，該当するキャプチャ・トリガ信号に同期してTM10の値をキャプチャします。また，有効エッジ検出により，キャプチャ割り込み（INTCC100, INTCC101）を発生します。

（d）UDCモードBの動作

（i）基本動作

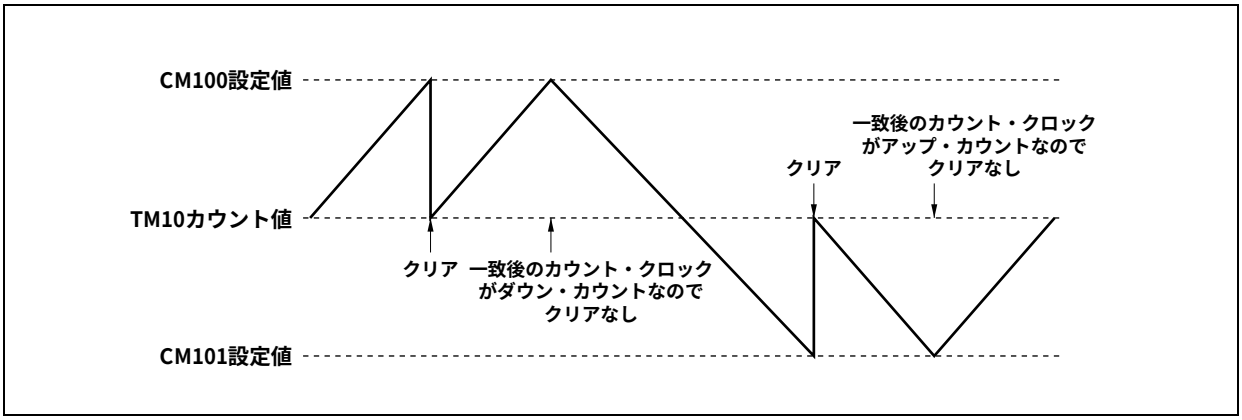
TM10がUDCモードBのとき，TM10カウント値とCM100設定値が一致後の次のカウント・クロックでの動作を示します。

- アップ・カウントの場合，TM10をクリア（0000H）し，INTCM100を発生します。
- ダウン・カウントの場合，TM10カウント値をデクリメント（－1）します。

TM10がUDCモードBのとき，TM10カウント値とCM101設定値が一致後の次のカウント・クロックでの動作を示します。

- アップ・カウントの場合，TM10カウント値をインクリメント（＋1）します。
- ダウン・カウントの場合，TM10をクリア（0000H）し，INTCM101を発生します。

図9－58　UDCモード時のTM10動作例



（ii）コンペア機能

TM10は，コンペア・レジスタ（CM100, CM101）を2チャネル，キャプチャ／コンペア・レジスタ（CC100, CC101）を2チャネル接続しています。

TM10カウント値と各コンペア・レジスタ設定値とが一致した場合には，一致割り込み（INTCM100（アップ・カウント中のみ）, INTCM101（ダウン・カウント中のみ）, INTCC100[注], INTCC101[注]）が出力されます。

注　CC100, CC101がコンペア・レジスタ・モードに設定されているときに一致割り込みを発生します。

（iii）キャプチャ機能

TM10は，キャプチャ／コンペア・レジスタ（CC100, CC101）を2チャネル接続しています。

CC100, CC101がキャプチャ・レジスタ・モードに設定されているときは，該当するキャプチャ・トリガ信号に同期してTM10の値をキャプチャします。また，有効エッジ検出により，キャプチャ割り込み（INTCC100, INTCC101）を発生します。

9. 2. 6　内部動作補足説明

（1）UDCモードBでのカウント値クリア動作について

TM10がUDCモードBのとき，カウント値がクリアされる条件を次に示します。

- TM10がアップ・カウント中にCM100との一致でカウント値がクリア
- TM10がダウン・カウント中にCM101との一致でカウント値がクリア

図9－59　TM10カウント値とCM100レジスタ設定値との一致後のクリア動作

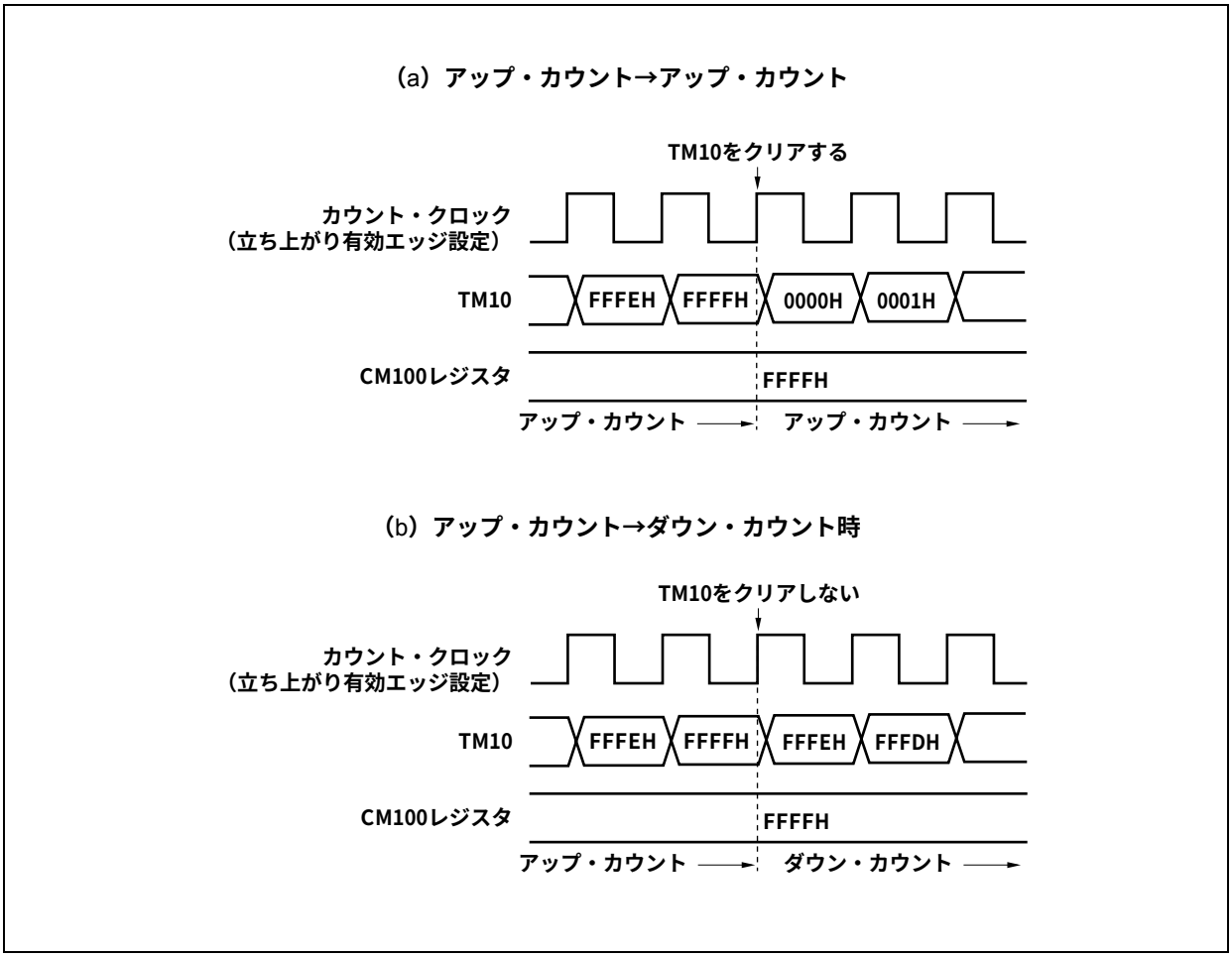
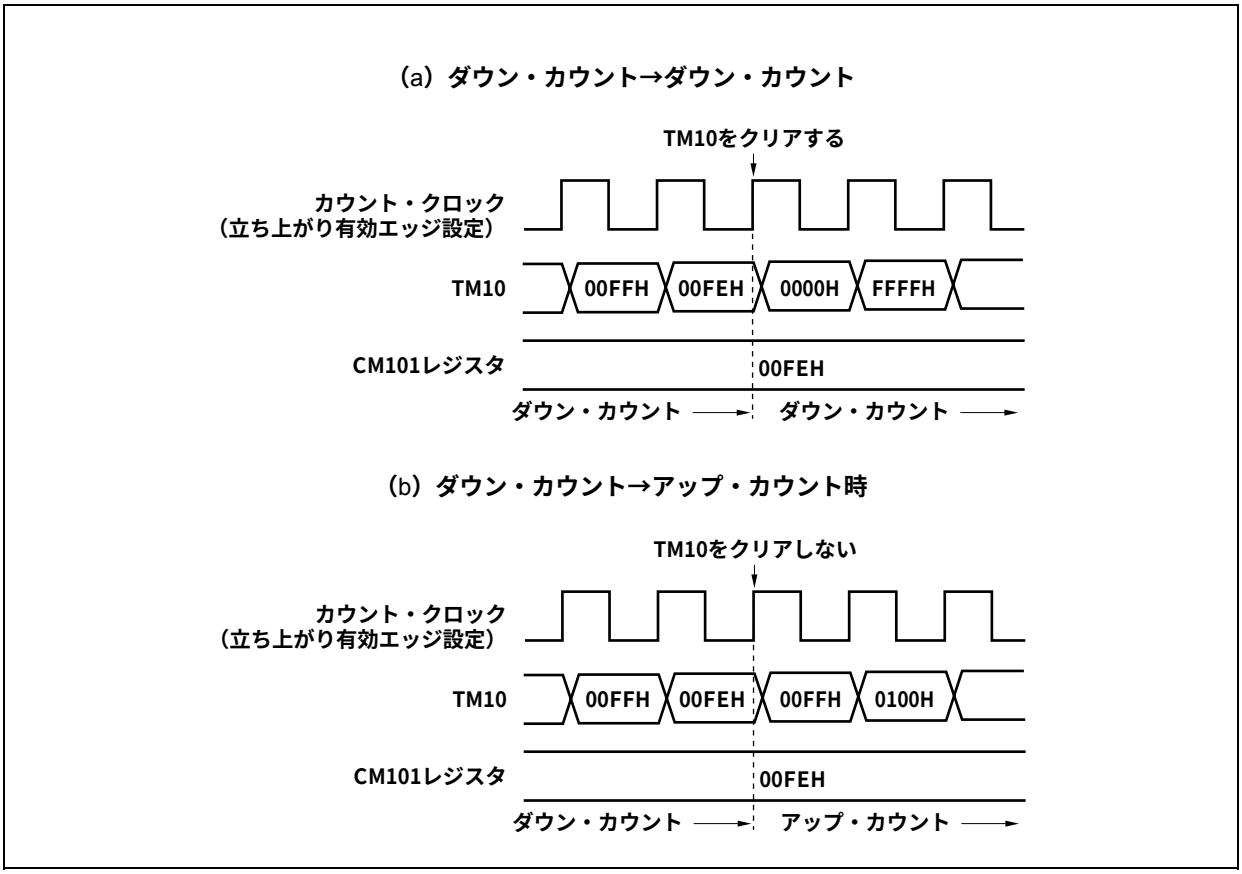


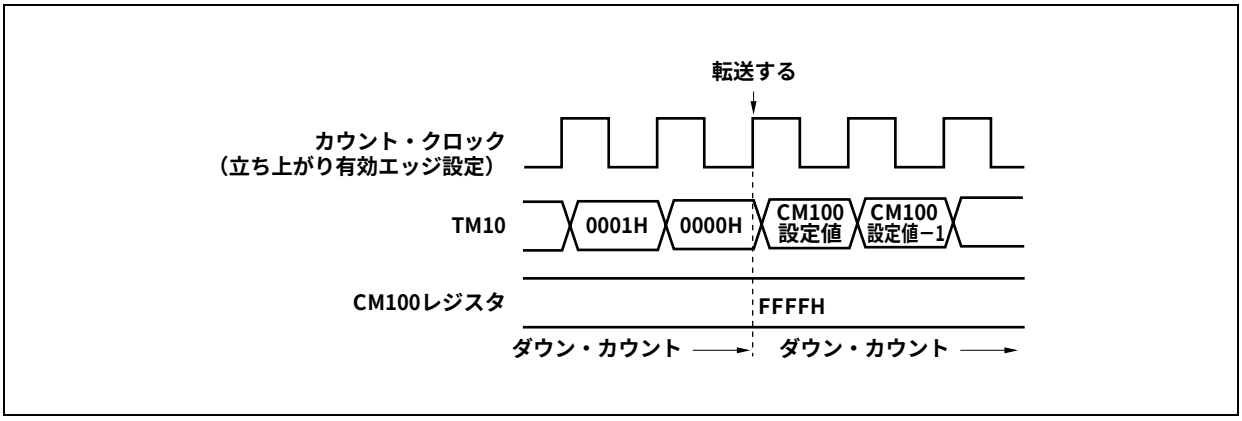
図9－60　TM10カウント値とCM101レジスタ設定値との一致後のクリア動作



(2) 転送動作について

UDCモードAでTMC10レジスタのRLENビット = 1の場合，ダウン・カウント中にTM10 = 0000Hとなると，次のカウント・クロックでCM100レジスタ設定値をTM10へ転送します。ただし，アップ・カウント中には転送動作は行われません。

図9－61　転送動作時の内部動作

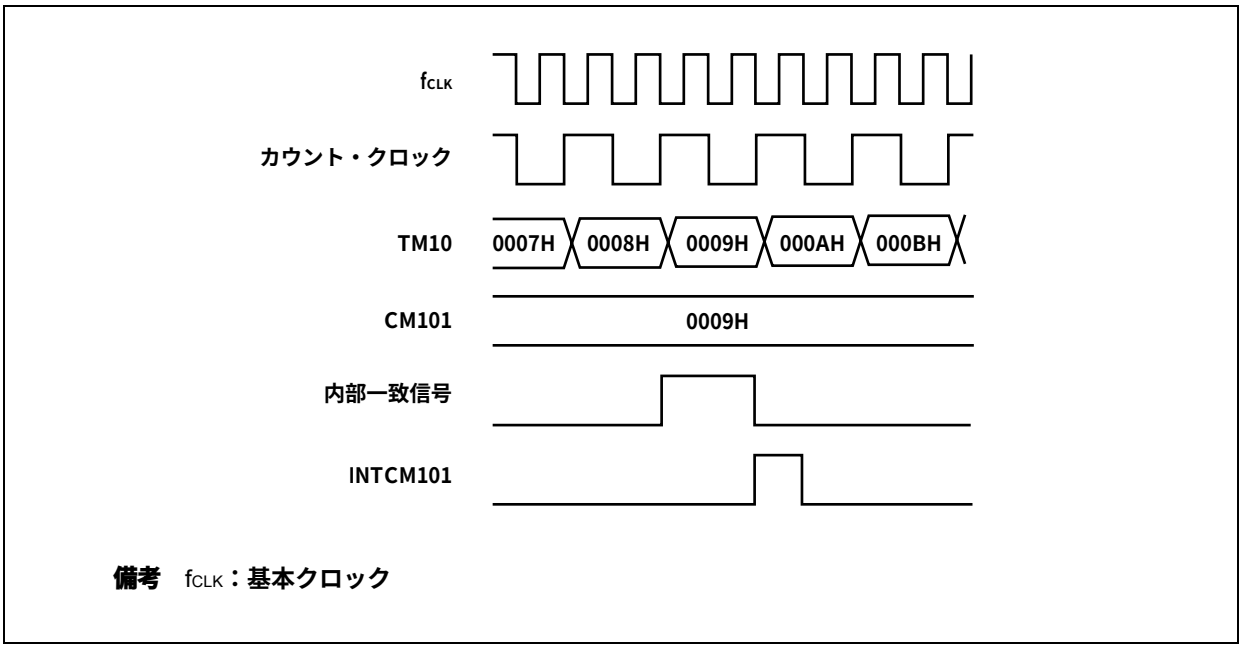


(3) コンペア一致による割り込み信号出力について

CM100, CM101, CC100[注], CC101[注]レジスタ設定値とTM10カウント値が一致した場合，割り込み信号を出力します。そのときのタイミングを次に示します。

注　CC100, CC101がコンペア・レジスタ・モードに設定されている場合

図9－62　コンペア一致による割り込み出力
（動作モード：汎用タイマ・モード，カウント・クロック：f_{CLK}/2設定時のCM101）



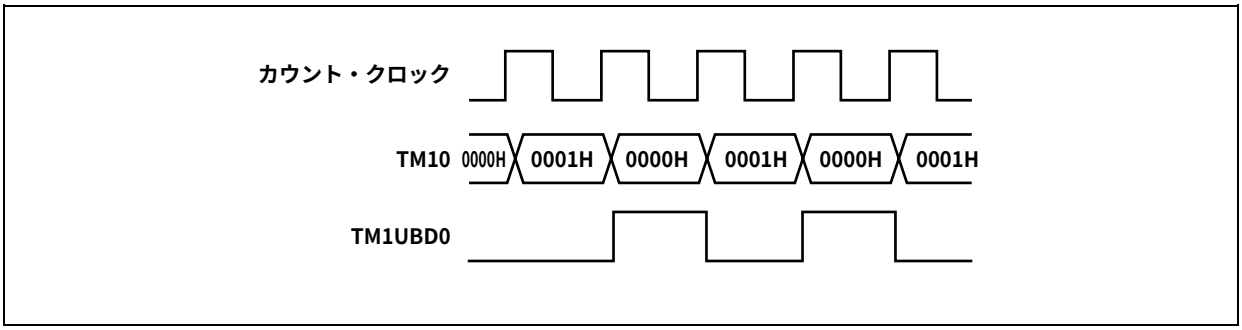
備考　f_{CLK}：基本クロック

図9－62のように割り込み信号は，TM10カウント値と該当するコンペア・レジスタ設定値とが一致後の次のカウント・クロック時に出力されます。

(4) TM1UBD0フラグ（STATUS0レジスタのビット0）の動作について

UDCモード（TUM0レジスタのCMDビット = 1のとき）において，1内部動作クロックごとにTM10がアップ／ダウンを繰り返すとき，TM1UBD0フラグは次のように変化します。

図9－63　TM1UBD0フラグの動作



9. 3　タイマ2

9. 3. 1　特徴（タイマ2）

タイマ20, 21（TM20, TM21）は，16ビット汎用タイマ・ユニットで次の動作をします。

- パルス間隔や周波数の計測およびプログラマブルなパルスの出力
- インターバル・タイマ
- PWM出力用タイマ
- 2チャネルのタイマ／カウンタをカスケード接続させた場合，32ビットのキャプチャ用タイマとして使用可能（この場合，32ビット・キャプチャ・レジスタを4チャネル使用可能）

9. 3. 2　機能概要（タイマ2）

○16ビット・タイマ／カウンタ（TM20, TM21）：2チャネル

○ビット長

タイマ2レジスタ（TM20, TM21）：16ビット

カスケード動作時：32ビット（上位16ビット：TM21，下位16ビット：TM20）

○キャプチャ／コンペア・レジスタ

16ビット・モード時：6本

32ビット・モード時：4本（キャプチャ・モードのみ）

○カウント・クロックはプリスケーラによる分周から選択（カウント・クロックは10 MHz以下に設定してください。）

○基本クロック（f_{CLK}）：1種（f_{CLK}は20 MHz以下に設定してください。）

$f_{XX}/2$

○プリスケーラ分周比

基本クロック（f_{CLK}）により次のように選択可能です。

分周比	基本クロック（f_{CLK}）
1/2	$f_{XX}/4$
1/4	$f_{XX}/8$
1/8	$f_{XX}/16$
1/16	$f_{XX}/32$
1/32	$f_{XX}/64$
1/64	$f_{XX}/128$
1/128	$f_{XX}/256$

○割り込み要求ソース

・コンペア一致割り込み要求：6種

サブチャネルnキャプチャ／コンペア・レジスタとコンペア動作させ，コンペア一致を検出するとINTCC2nを発生します。

・タイマ／カウンタ・オーバフロー割り込み要求：2種

TM20（TM21）のカウント値がFFFFHとなった場合にINTTM20（INTTM21）を発生します。

○キャプチャ要求

外部端子（INTP2n）[注1, 注2]，TM10の割り込み信号（INTCM100, INTCM101）およびソフトウエアによる割り込み要求をキャプチャ・トリガとして，TM20, TM21のカウンタ値をラッチできます。

○PWM出力機能

コンペア・モード時にサブチャネル1-4のコンペア一致のタイミングおよびタイマ／カウンタのゼロ・カウント信号で，TO21-TO24端子の出力を制御し，PWM出力を行うことができます。

○外部クロック入力[注2]によるタイマのカウント動作

TI2端子のクロック入力信号を用いてタイマのカウント動作ができます。

○外部端子入力[注2]によるタイマのカウント・イネーブル動作[注3]

TCLR2端子の入力信号を用いてタイマのカウント・イネーブル動作ができます。

○外部端子入力[注2]によるタイマ／カウンタのクリア動作[注3, 注4]

TCLR2端子の入力信号を用いてタイマ／カウンタのクリア動作ができます。

○外部端子入力[注2]によるアップ／ダウン・カウントの制御[注3, 注5]

TCLR2端子の入力信号を用いてコンペア・モード時のアップ／ダウン・カウントを制御できます。

○出力遅延動作

TO21-TO24端子の出力信号に，クロックに同期した出力遅延を持たせることができます。

EMI対策に有効です。

○入力フィルタ

外部端子（TI2, INTP20-INTP25, TCLR2）およびTM10の割り込み信号の入力段に入力フィルタを設けています（12. 5. 3（1）**タイマ2入力フィルタ・モード・レジスタ**0-5（FEM0-FEM5）参照）。

注1. タイマ2への外部割り込み要求（INTP20-INTP25）に対する有効エッジを指定するレジスタは7. 3. 8（4）**タイマ2入力フィルタ・モード・レジスタ**0-5（FEM0-FEM5）を参照してください。

2. TI2およびINTP20, TO21およびINTP21, TO22およびINTP22, TO23およびINTP23, TO24およびINTP24, TCLR2およびINTP25はそれぞれ兼用端子です。

3. 外部端子入力によるタイマ／カウンタのカウント・イネーブル動作，タイマ／カウンタのクリア動作およびアップ／ダウン・カウントの制御を同時に組み合わせた動作を行うことはできません。

4. 32ビット・カスケード接続のときは，外部端子入力（TCLR2）によるクリア動作はできません。

5. 32ビット・カスケード接続によるアップ／ダウン・カウント制御はできません。

備考　fxx：内部システム・クロック

n = 0-5

9. 3. 3　基本構成

次に基本構成を示します。

表9－9　タイマ2の構成一覧

タイマ	カウント・クロック	レジスタ	リード／ライト	発生する割り込み信号	キャプチャ・トリガ	その他の機能
タイマ2	fxx/4, fxx/8, fxx/16, fxx/32, fxx/64, fxx/128, fxx/256	TM20	－	INTTM20	－	注1
		TM21	－	INTTM21	－	注1
		CVSE00	リード／ライト	INTCC20	INTP20/INTP25	－
		CVSE10	リード／ライト	INTCC21	INTP21/INTP24	バッファ／注2
		CVSE20	リード／ライト	INTCC22	INTP22/INTP23	バッファ／注2
		CVSE30	リード／ライト	INTCC23	INTP23/INTP22	バッファ／注2
		CVSE40	リード／ライト	INTCC24	INTP24/INTP21	バッファ／注2
		CVSE50	リード／ライト	INTCC25	INTP25/INTP20	－
		CVPE40	リード	INTCC24	INTP24/INTP21	注2
		CVPE30	リード	INTCC23	INTP23/INTP22	注2
		CVPE20	リード	INTCC22	INTP22/INTP23	注2
		CVPE10	リード	INTCC21	INTP21/INTP24	注2

注1. TM20とTM21でカスケード動作可能です。

2. CVSEn0レジスタとCVPEn0レジスタでカスケード動作可能です（n = 1-4）。

備考　fxx：内部システム・クロック

次にキャプチャ／コンペア動作要因を示します。

表9－10　キャプチャ／コンペア動作要因

レジスタ	サブチャネル番号	キャプチャするタイマ	コンペアするタイマ	32ビット・カスケード接続時にキャプチャするタイマ
CVSE00	0	TM20	TM20	－
CVPEn0	n	CMSEm0レジスタのBFEEyビット = 0のとき，TM21	CMSEm0レジスタのTB1Ey, TB0Eyビット = 01のとき，TM20	TM21
CVSEn0	n	CMSEm0レジスタのBFEEyビット = 0のとき，TM20	バッファとして使用	TM20
CVSE50	5	TM21	TM21	－

備考　n = 1-4

m：n = 1, 2のとき，m = 12, n = 3, 4のとき，m = 34

y：m = 12のとき，y = 1, 2, m = 34のとき，y =3, 4

次にタイマ出力時の出力レベル要因を示します。

表9－11　タイマ出力時の出力レベル要因

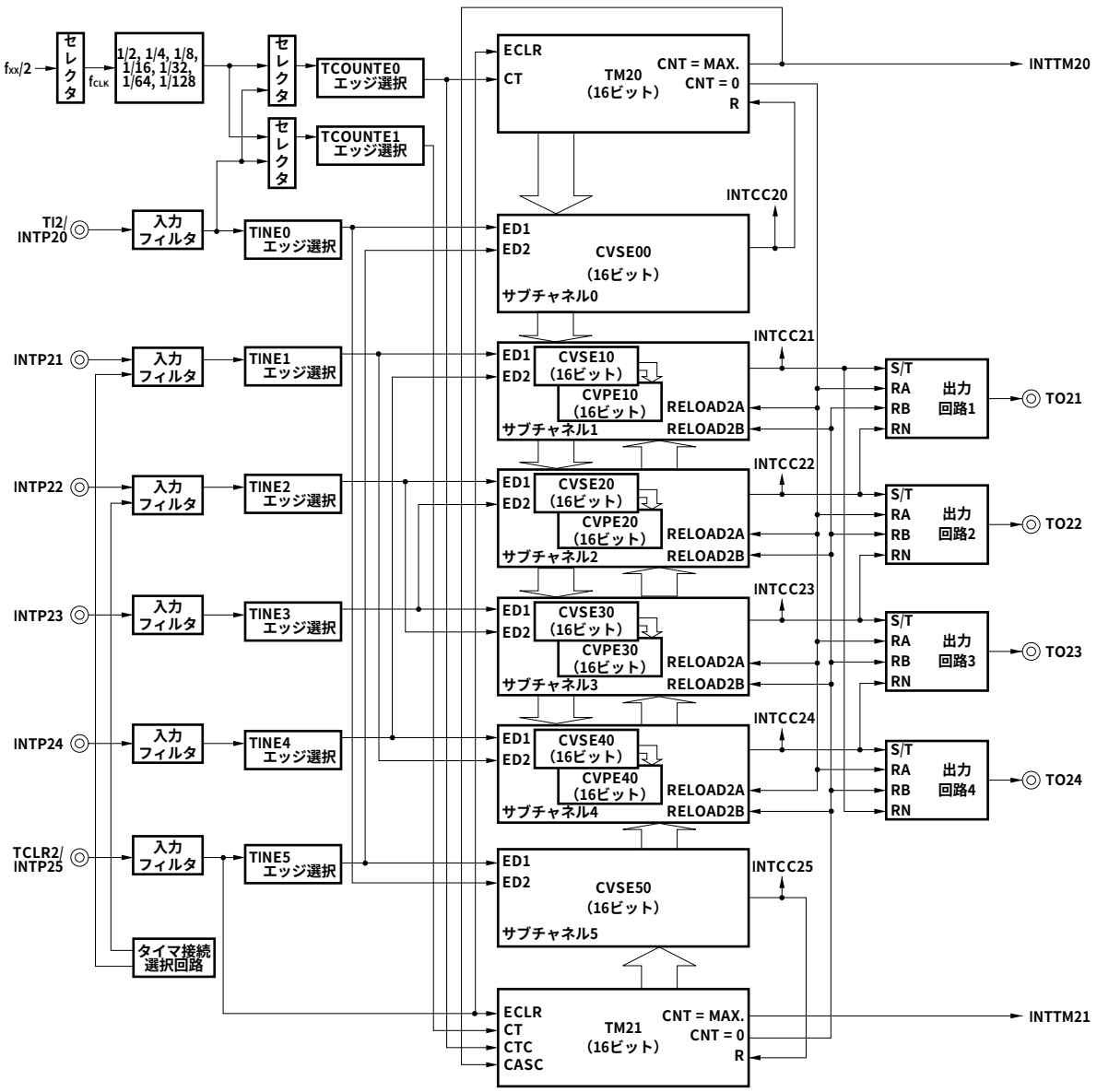
TO2n	トグル・モード0（OTMEn1, OTMEn0 = 00）		トグル・モード1（OTMEn1, OTMEn0 = 01）		トグル・モード2（OTMEn1, OTMEn0 = 10）		トグル・モード3（OTMEn1, OTMEn0 = 11）	
トリガ	サブチャネルnのコンペア一致		サブチャネルnのコンペア一致	TM20 = 0	サブチャネルnのコンペア一致	TM21 = 0	サブチャネルnのコンペア一致	サブチャネルn＋1のコンペア一致
出力レベル	アクティブ出力	インアクティブ出力	アクティブ出力	インアクティブ出力	アクティブ出力	インアクティブ出力	アクティブ出力	インアクティブ出力

備考1.　n = 1-4

2.　OTMEn1, OTMEn0：タイマ2出力制御レジスタ0（OCTLE0）のビット13, 12, 9, 8, 5, 4, 1, 0

図9－64にタイマ2のブロック図を示します。

図9－64　タイマ2のブロック図



備考　fXX　**：内部システム・クロック**

fCLK　**：基本クロック**（20 MHz（MAX.））

表9－12　ブロック図の信号の意味

信号名	意　味
CASC[注1]	32ビット・モード時のTM21のカウント信号入力
CNT	タイマ2のカウント値（CNT = MAX.：タイマ2の最大値カウント信号出力（TM2n = FFFFH時に発生），CNT = 0：タイマ2のゼロ・カウント信号出力（TM2n = 0000H時に発生））
CT	16ビット・モード時のTM2nのカウント信号入力
CTC	32ビット・モード時のTM21のカウント信号入力
ECLR	TCLR2入力からの外部コントロール信号入力
ED1,ED2	エッジ選択回路からのキャプチャ・イベント信号入力
R[注2]	コンペア一致信号入力（サブチャネル0/5）
RA	TM20のゼロ・カウント信号入力（出力回路のリセット信号）
RB	TM21のゼロ・カウント信号入力（出力回路のリセット信号）
RELOAD2A	TM20のゼロ・カウント信号入力（TM20 = 0000H時に発生）
RELOAD2B	TM21のゼロ・カウント信号入力（TM21 = 0000H時に発生）
RN	サブチャネルxの割り込み信号入力（出力回路のリセット信号）
S/T	サブチャネルxの割り込み信号入力（出力回路のセット信号）
TCOUNTE0, TCOUNTE1	タイマ2のカウント・イネーブル信号入力
TINEm	タイマ2サブチャネルmキャプチャ・イベント信号入力

注1. 32ビット・モード時にCASC（TM20がCNT = MAX.）が発生し，かつ，CTCの立ち上がりを検出した場合，TM21はカウント動作を行います。

2. サブチャネル0/5のコンペア一致でTM20/TM21のクリアもしくはカウント方向を制御できます。

備考　m = 0-5

n = 0, 1

x = 1-4

(1) タイマ20, 21（TM20, TM21）

次にTM2nの特徴を示します。

- サブチャネル0，サブチャネル5のコンペア一致でカウンタのクリアが可能なフリー・ランニング・カウンタです。
- TM20, TM21をカスケード接続させた場合，32ビットのキャプチャ用タイマとして使用できます。
- アップ／ダウン・コントロール，カウンタ・クリアおよびカウント動作の許可／不許可を外部端子（TCLR2）で制御できます。
- カウンタのアップ／ダウンおよびクリア動作の制御方法をソフトウエアで設定できます。
- カウント値0でストップまたはカウント動作の開始／停止をソフトウエアで制御できます。

(2) タイマ2サブチャネル0キャプチャ／コンペア・レジスタ（CVSE00）

CVSE00レジスタは，サブチャネル0の16ビット・キャプチャ／コンペア・レジスタです。

キャプチャ・レジスタ・モード時には，TM20のカウント値をキャプチャします。

コンペア・レジスタ・モード時には，TM20と一致検出を行います。

16ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CVSE00																	FFFFF660H	0000H

(3) タイマ2サブチャネルn主キャプチャ／コンペア・レジスタ（CVPEn0）（n = 1-4）

CVPEn0レジスタは，サブチャネルnの16ビット主キャプチャ／コンペア・レジスタです。

キャプチャ・レジスタ・モード時には，CMSEm0レジスタのBFEEnビット = 0の場合にはTM21の値をキャプチャします（m = 12, 34）。BFEEnビット = 1の場合にはTM20もしくはTM21の値を格納します。

コンペア・レジスタ・モード時には，TM2xと一致検出を行います（TM2x = TB1En, TB0Enビットで選択したタイマ・カウンタ）。

32ビット・モード（CMSEm0レジスタのTB1En, TB0Enビット値 = 11B）時にキャプチャ・レジスタ・モードを選択した場合には，TM21（上位16ビット）の内容をキャプチャします。

16ビット単位でリードだけ可能です。

注意　BFEEnビット = 1のとき，コンペア・レジスタ・モードでは，リセット後，TM2xとCVPEn0レジスタの値がともに“0”のため，起動時にコンペア一致が発生します（TM2x = TB1En, TB0Enビットで選択したタイマ・カウンタ，n = 1-4）。その後，副レジスタ（CVSEn0）の値が主レジスタ（CVPEn0）に書き込まれます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CVPE10																	FFFFF652H	0000H
CVPE20																	FFFFF656H	0000H
CVPE30																	FFFFF65AH	0000H
CVPE40																	FFFFF65EH	0000H

(4) タイマ2サブチャネルn副キャプチャ／コンペア・レジスタ（CVSEn0）（n = 1-4）

CVSEn0レジスタは，サブチャネルnの16ビット副キャプチャ／コンペア・レジスタです。

コンペア・レジスタ・モード時にはバッファとして使用できます。キャプチャ・レジスタ・モード時には，CMSEm0レジスタのBFEEnビット = 0の場合にはTM20の値をキャプチャします（m = 12, 34）。

32ビット・モード（CMSEm0レジスタのTB1En, TB0Enビット値 = 11B）時にキャプチャ・レジスタ・モードを選択した場合には，TM20（下位16ビット）の内容をキャプチャします。

CVSEn0レジスタはコンペア・レジスタ・モード時のみ書き込み可能です。キャプチャ・レジスタ・モード時に書き込みを行った場合，CVSEn0レジスタに書き込んだ内容は失われます。

16ビット単位でリード／ライト可能です。

注意　BFEEnビット = 1のとき，コンペア・レジスタ・モードでは，リセット後，TM2xとCVPEn0レジスタの値がともに"0"のため，起動時にコンペア一致が発生します（TM2x = TB1En, TB0Enビットで選択したタイマ・カウンタ，n = 1-4）。その後，副レジスタ（CVSEn0）の値が主レジスタ（CVPEn0）に書き込まれます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CVSE10																	FFFFF650H	0000H
CVSE20																	FFFFF654H	0000H
CVSE30																	FFFFF658H	0000H
CVSE40																	FFFFF65CH	0000H

(5) タイマ2サブチャネル5キャプチャ／コンペア・レジスタ（CVSE50）

CVSE50レジスタは，サブチャネル5の16ビット・キャプチャ／コンペア・レジスタです。

キャプチャ・レジスタ・モード時には，TM21のカウント値をキャプチャします。

コンペア・レジスタ・モード時には，TM21と一致検出を行います。

16ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CVSE50																	FFFFF662H	0000H

9.3.4　制御レジスタ

(1) タイマ1/タイマ2クロック選択レジスタ（PRM02）

PRM02レジスタは，タイマ1, タイマ2の基本クロック（f_{CLK}）を選択するレジスタです。

8/1ビット単位でリード／ライト可能です。

注意1.　必ずタイマ1，タイマ2を使用する前に01Hを設定してください。01H以外は設定禁止です。

2.　f_{CLK}は20 MHz以下に設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
PRM02	0	0	0	0	0	0	0	PRM2	FFFFF5D8H	00H

ビット位置	ビット名	意　味
0	PRM2	タイマ1，タイマ2の基本クロック（f_{CLK}）を指定します。 1：$f_{CLK} = f_{XX}/2$

備考　f_{XX}：内部システム・クロック

(2) タイマ2クロック停止レジスタ0（STOPTE0）

STOPTE0レジスタは，タイマ2への動作クロックの停止を行うレジスタです。

STOPTE0レジスタは16ビット単位でリード／ライト可能です。

STOPTE0レジスタの上位8ビットをSTOPTE0Hレジスタ，下位8ビットをSTOPTE0Lレジスタとして使用した場合は，STOPTE0Hレジスタは8/1ビット単位でリード／ライト可能，STOPTE0Lレジスタは8ビット単位でリードだけ可能です。

注意1.　タイマ2は，STFTEビット = 0のときにイニシャライズしてください。STFTEビット = 1のときはイニシャライズできません。

2.　イニシャライズ後，STFTEビット = 1にした場合，イニシャライズ状態は保持されます。

	⑮	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
STOPTE0	STFTE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	FFFFF640H	0000H

ビット位置	ビット名	意　味
15	STFTE	タイマ2への動作クロックの停止を行います。 0：通常動作 1：タイマ2動作クロックを停止

(3) タイマ2カウント・クロック／制御エッジ選択レジスタ0（CSE0）

CSE0レジスタは，TM2nのカウント・クロックと制御有効エッジを指定するレジスタです（n = 0, 1）。

CSE0レジスタは16ビット単位でリード／ライト可能です。

CSE0レジスタの上位8ビットをCSE0Hレジスタ，下位8ビットをCSE0Lレジスタとして使用した場合は，8/1ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CSE0	0	0	0	0	TES1E1	TES1E0	TES0E1	TES0E0	CESE1	CESE0	CSE12	CSE11	CSE10	CSE02	CSE01	CSE00	FFFFF642H	0000H

ビット位置	ビット名	意　味
11, 10, 9, 8	TESnE1, TESnE0	TM2nの内部カウント・クロック（TCOUNTEn）信号の有効エッジを指定します。

TESnE1	TESnE0	有効エッジ
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がり両エッジ[注]

ビット位置	ビット名	意　味
7, 6	CESE1, CESE0	TM2nの外部クリア入力（TCLR2）の有効エッジを指定します。

CESE1	CESE0	有効エッジ
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	スルー入力（クリア動作しない）
1	1	立ち上がり／立ち下がり両エッジ

ビット位置	ビット名	意　味
5-3, 2-0	CSEn2, CSEn1, CSEn0	TM2nの内部カウント・クロック（TCOUNTEn）を選択します。

CSEn2	CSEn1	CSEn0	カウント・クロック
0	0	0	$f_{CLK}/2$[注]
0	0	1	$f_{CLK}/4$
0	1	0	$f_{CLK}/8$
0	1	1	$f_{CLK}/16$
1	0	0	$f_{CLK}/32$
1	0	1	$f_{CLK}/64$
1	1	0	$f_{CLK}/128$
1	1	1	外部クロック入力端子（TI2）からの入力信号をクロックとして選択します。

注　TESnE1, TESnE0 = 11B，かつCSEn2-CSEn0 = 000Bは設定禁止。

備考　n = 0, 1

f_{CLK}：基本クロック

(4) タイマ2サブチャネル入力イベント・エッジ選択レジスタ0（SESE0）

SESE0レジスタは，キャプチャを行うサブチャネルnキャプチャ／コンペア・レジスタへの外部キャプチャ信号入力（TINEn）の有効エッジを指定します（n = 0-5）。

SESE0レジスタは16ビット単位でリード／ライト可能です。

SESE0レジスタの上位8ビットをSESE0Hレジスタ，下位8ビットをSESE0Lレジスタとして使用した場合は，8/1ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SESE0	0	0	0	0	IESE51	IESE50	IESE41	IESE40	IESE31	IESE30	IESE21	IESE20	IESE11	IESE10	IESE01	IESE00	FFFFF644H	0000H

ビット位置	ビット名	意　味
11-0	IESEn1, IESEn0	キャプチャを行うサブチャネルnキャプチャ／コンペア・レジスタへの外部キャプチャ信号入力（TINEn）の有効エッジを指定します。

IESEn1	IESEn0	有効エッジ
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がり両エッジ

備考　n = 0-5

(5) タイマ2タイム・ベース制御レジスタ0（TCRE0）

TCRE0レジスタは，TM2nの動作を制御します（n = 0, 1）。

TCRE0レジスタは16ビット単位でリード／ライト可能です。

TCRE0レジスタの上位8ビットをTCRE0Hレジスタ，下位8ビットをTCRE0Lレジスタとして使用した場合は，8/1ビット単位でリード／ライト可能です。

注意1. ECREnビット = 1, ECEEnビット = 1の設定を行った場合，TM2nの外部クリア（TCLR2）を入力することはできません。この場合，CLREnビット = 1に設定してからソフトウエアでTM2nをクリアしてください（n = 0, 1）。

2. ECLR信号によるクリア動作を行った場合，（CSE0レジスタのCSEn2-CSEn0ビットで設定した1内部カウント・クロック）＋2基本クロック分遅延して，TM2nカウンタはクリアされます。したがって，内部カウント・クロックとして外部クロック入力を選択している場合，外部クロック（TI2）が入力されるまでカウンタはクリアされません。

3. ECREnビット = 1およびECEEnビット = 1の設定はできません。

4. ECEEnビット = 1およびECREnビット = 0の場合，ダウン・カウントは行えません。

5. UDSEn1, UDSEn0 = 01およびOSTEn = 1の場合，カウンタの値が0のとき，カウンタはカウントアップしません。したがって，カウンタの値が0のとき，とりあえずOSTEn = 0と設定し，カウンタの値が0でなくなった後でOSTEn = 1と設定してください。また，アプリケーション上ではサブチャネル0，サブチャネル5の割り込み信号でOSTEn = 0からOSTEn = 1に変更してください。

6. CLREnビット = 1の設定によりTM2nカウント値をクリア（0）する場合，少なくともCSE0レジスタのCSEn2-CSEn0ビットで設定した1内部カウント・クロック分の間はCLREnビット = 1を保持する必要があります。

例　タイマ20のTM20をクリア（0）する場合

①TM20の内部カウント・クロックとしてfCLK/2を選択する。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSE0	0	0	0	0	×	×	×	×	×	×	×	×	×	0	0	0

②TM20のカウント値をクリア（0）にする。

	7	6	5	4	3	2	1	0
TCRE0L	0	1	0	0	0	×	×	×

③TM20のカウント・クロックの必要な条件を設定する。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSE0	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×

④TM20のカウント動作スタート。

	7	6	5	4	3	2	1	0
TCRE0L	0	0	1	0	0	×	×	×

（1/2）

	15	⑭	⑬	12	11	10	9	8	7	⑥	⑤	4	3	2	1	0	アドレス	初期値
TCRE0	CASE1	CLRE1	CEE1	ECRE1	ECEE1	OSTE1	UDSE11	UDSE10	0	CLRE0	CEE0	ECRE0	ECEE0	OSTE0	UDSE01	UDSE00	FFFFF646H	0000H

ビット位置	ビット名	意　味
15	CASE1	TM21の32ビット・カスケード動作モードを指定します（TM21はTM20のオーバフローでカウントします（キャリー・カウント））。 0：カスケード接続しない[注1] 1：32ビット・カスケード動作モード[注2, 3] **注**1. TM21はカウント・イネーブル状態でCT信号入力でカウントします。 2. TM21はカウント・イネーブル状態でCTCおよびCASC信号入力でカウントします。 3. キャプチャ／コンペア・レジスタはキャプチャ・レジスタ・モードのみ使用できます。 **注意**1. CASE1ビット = 1のときは，CMSEx0レジスタのTByE1, TByE0ビットの設定は11としてください（x = 12, 34, y：x = 12のときはy = 1, 2, x = 34のときはy = 3, 4）。 2. CASE1ビット = 0のときは，TM21のカウントにはTCOUNTE1が選択されます。 CASE1ビット = 1のときは，TM21のカウントにはTCOUNTE0およびTM20のオーバフロー信号が選択されます。
14, 6	CLREn	TM2nのソフトウエア・クリアを指定します。 0：TM2nの動作を継続する。 1：TM2nのカウント値をクリア（0）する。 **注意**　ソフトウエア・クリアとハードウエア・クリア動作は同時には行わないでください。
13, 5	CEEn	TM2nのカウント動作の許可／不許可を指定します。 0：カウント動作を中断する。 1：カウント動作を許可する。
12, 4	ECREn	ECLR信号入力によるTM2nの外部クリア（TCLR2）動作の許可／不許可を指定します。 0：TM2nの外部クリア（TCLR2）動作を許可しない。 1：TM2nの外部クリア（TCLR2）動作を許可する。 **注意**1. 32ビット・カスケード動作モード（CASE1ビット = 1）時には，TM2nの外部クリアは動作しません。 2. ECREn = 1のときのECLR信号によるカウント・クリアには，少なくともCSE0レジスタのCSEn2-CSEn0ビットで設定した1内部カウント・クロック分の間はECREnビット = 1を保持する必要があります。 3. 32ビット・カスケード動作モード（CASE1ビット = 1）時には，ECREnビットの設定はTM21のみ影響します。

備考　n = 0, 1

(2/2)

ビット位置	ビット名	意　味
11, 3	ECEEn	ECLR信号入力によるTM2nのカウント動作の許可／不許可を指定します。 0：TM2nのカウント動作を許可しない。 1：TM2nのカウント動作を許可する。 **注意**1. 32ビット・カスケード動作モード（CASE1ビット = 1）時には，ECLR信号入力を用いたTM2nのカウントは動作しません。 2. ECEEnビット = 1の場合は必ずCSE0レジスタのCESE1, CESE0ビット = 10（スルー入力）にしてください。 3. 32ビット・カスケード動作モード（CASE1ビット = 1）時には，ECEEnビットの設定はTM21のみ影響します。
10, 2	OSTEn	ストップ・モードを指定します。 0：カウント値が0のとき，TM2nのカウントをストップしない。 1：カウント値が0のとき，TM2nのカウントをストップする。 **注意**　OSTE1nビット = 1（カウント値が0でTM2nのカウントがストップ）の場合にストップの解除をしたときは，UDSEn1, UDSEn0ビット = 10の場合を除き，TM2nはアップ・カウントします。なお，UDSEn1, UDSEn0ビット = 10の場合のカウント方向は，ECLRの値で決定します。
9, 8, 1, 0	UDSEn1, UDSEn0	TM2nのアップ／ダウン・カウントを指定します。 UDSEn1 / UDSEn0 / カウント 0 / 0 / アップ・カウントのみ行います。 コンペア一致信号でTM2nのクリア動作を行います。 0 / 1 / TM2nが“0”になった後はアップ・カウント，サブチャネル0, 5のコンペア一致が生じた後は，ダウン・カウントを行います（三角波アップ／ダウン・カウント）。 1 / 0 / ECLR信号入力によりアップ／ダウン・カウントを選択します。 ECLR = 1のとき，アップ・カウント。 ECLR = 0のとき，ダウン・カウント。 1 / 1 / 設定禁止 **注意**1. 32ビット・カスケード動作モード（CASE1ビット = 1）時には，必ずUDSEn1, UDSEn0ビット = 00を設定してください。 2. UDSEn1, UDSEn0ビット = 10の場合は必ずCSE0レジスタのCESE1, CESE0ビット = 10（スルー入力）にしてください。 3. UDSEn1, UDSEn0ビット = 10の場合，TM2nとCVSEx0とのコンペア一致はTM2nのカウント動作に影響を与えません（x：n = 0のとき，x = 0, n = 1のとき，x = 5）。

備考　n = 0, 1

(6) タイマ2出力制御レジスタ0（OCTLE0）

OCTLE0レジスタは，TO2n端子からのタイマ出力を制御します（n = 1-4）。

OCTLE0レジスタは16ビット単位でリード／ライト可能です。

OCTLE0レジスタの上位8ビットをOCTLE0Hレジスタ，下位8ビットをOCTLE0Lレジスタとして使用した場合は，8/1ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
OCTLE0	SWFE4	ALVE4	OTME41	OTME40	SWFE3	ALVE3	OTME31	OTME30	SWFE2	ALVE2	OTME21	OTME20	SWFE1	ALVE1	OTME11	OTME10	FFFFF648H	0000H

ビット位置	ビット名	意　味
15, 11, 7, 3	SWFEn	TO2n端子の出力レベルをALVEnビットの設定により固定します。 0：出力レベルを固定せずにTO2n端子の出力を行う。 1：ALVEn = 0のとき，出力レベルをロウ・レベルに固定する。 ALVEn = 1のとき，出力レベルをハイ・レベルに固定する。
14, 10, 6, 2	ALVEn	TO2n端子出力のアクティブ・レベルを指定します。 0：アクティブ・レベルをハイ・レベルに設定する。 1：アクティブ・レベルをロウ・レベルに設定する。
13, 12, 9, 8, 5, 4, 1, 0	OTMEn1, OTMEn0	トグル・モードを指定します。

OTMEn1	OTMEn0	トグル・モード
0	0	トグル・モード0： サブチャネルnのコンペア一致が発生するごとにTO2nの出力レベルをトグル反転します。
0	1	トグル・モード1： サブチャネルnのコンペア一致の場合，TO2n出力をアクティブ・レベルに，TM20が“0”の場合，TO2n出力をインアクティブ・レベルにします。
1	0	トグル・モード2： サブチャネルnのコンペア一致の場合，TO2n出力をアクティブ・レベルに，TM21が“0”の場合，TO2n出力をインアクティブ・レベルにします。
1	1	トグル・モード3： サブチャネルnのコンペア一致の場合，TO2n出力をアクティブ・レベルに，サブチャネルn＋1のコンペア一致の場合，TO2n出力をインアクティブ・レベルにします（nが“4”の場合は，n＋1は“1”になります）。

注意1. OTMEn1, OTMEn0ビット = 11（トグル・モード3）で，ODELE0レジスタのODLEn2-ODLEn0ビットの設定で出力遅延動作の設定を同じにした場合，1回のサブチャネルnのコンペア一致で同時に2つの出力が変化します。

2. 同じ出力回路に同時に信号が入力された場合，S/T信号入力はRA, RBおよびRN信号入力より高い優先順位を持ちます。

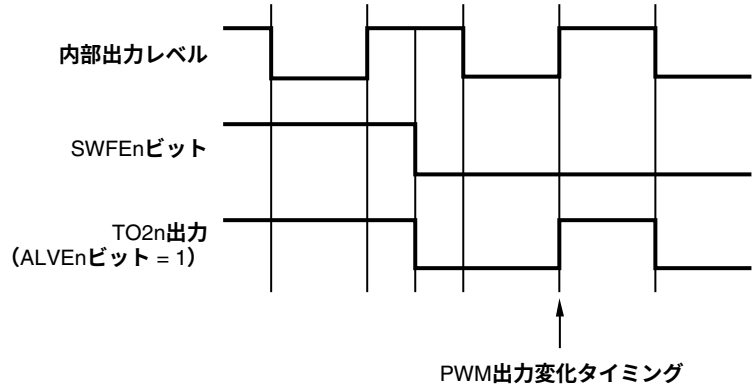
備考　n = 1-4

(a) PWM出力変化タイミングについての注意事項

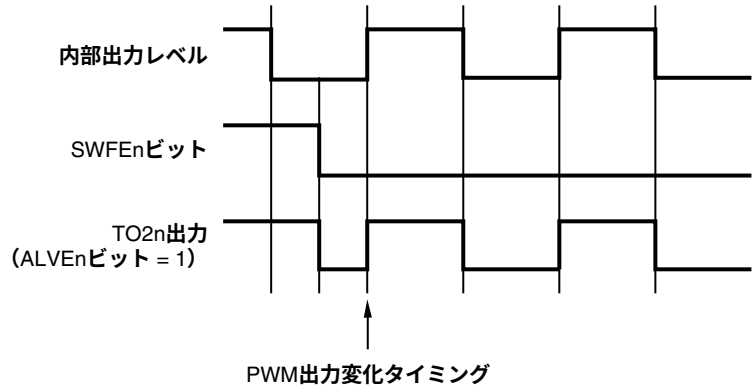
タイマを動作させながら内部でPWM出力動作しているとき，SWFEnビットを1→0にすると出力レベルはアクティブになります。その後，サブチャネルnのコンペア一致の発生によりTO2n端子からPWM出力します。ただし，内部出力レベルとSWFEnビットのクリア・タイミングによって，次のように最初のPWM出力変化タイミングは異なります。

図9－65　PWM出力変化タイミング

(i) 例1



(ii) 例2



備考　n = 1-4

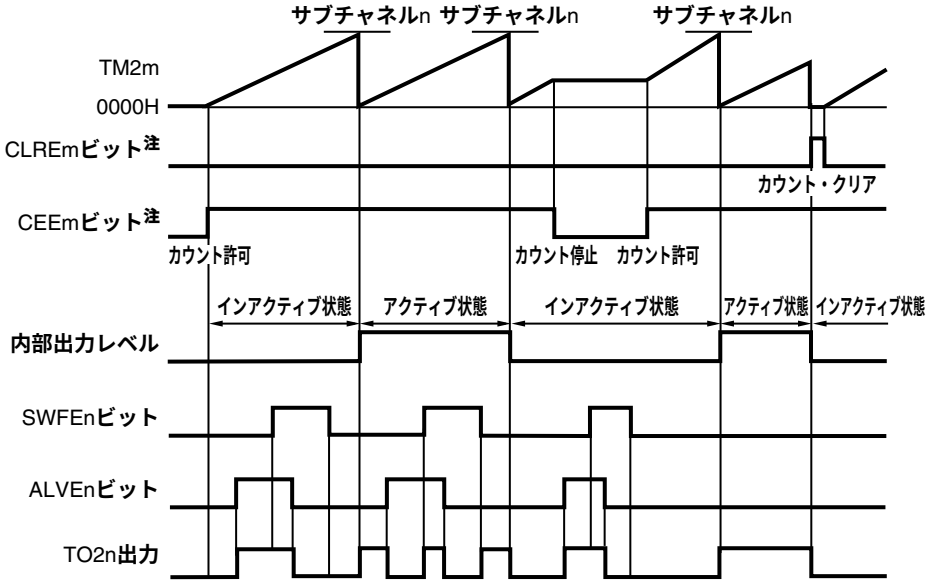
★ **(b) トグル・モード0時のタイマ出力について**

トグル・モード0時のTO2nからのPWM出力は，TM2mが0000Hからカウントアップを行い，サブチャネルnとTM2mのコンペア一致により出力レベルを反転し，TM2mのカウント値をクリアし，その後再度TM2mは0000Hからカウントアップを行います。

タイマ2の出力レベルには，アクティブ・レベルとインアクティブ・レベルがあります。たとえば，トグル・モード1の場合，サブチャネルnとTM20のコンペア一致によりTO2n出力はアクティブ・レベルに，サブチャネル0とTM20のコンペア一致によりTO2n出力はインアクティブ・レベルになるため，ALVEnビットの設定値とPWMの出力レベルからアクティブ・レベル／インアクティブ・レベルを判断できます。

しかし，トグル・モード0の場合，サブチャネルnとTM2mのコンペア一致によりトグル反転出力するため，アクティブ・レベル／インアクティブ・レベルの判断はできません。そのため，TO2nの出力レベルは，ALVEnビットの設定値と内部出力レベルの状態により図9－66のようになります。

図9－66　トグル・モード0時のタイマ出力タイミング例



注　TCRE0レジスタのCLREm, CEEmビット

備考　n = 1-4

m = 0, 1

（7）タイマ2サブチャネル0, 5キャプチャ／コンペア制御レジスタ（CMSE050）

CMSE050レジスタは，タイマ2サブチャネル0キャプチャ／コンペア・レジスタ（CVSE00）とタイマ2サブチャネル5キャプチャ／コンペア・レジスタ（CVSE50）を制御するレジスタです。

16ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CMSE050	0	0	EEVE5	0	LNKE5	CCSE5	0	0	0	0	EEVE0	0	LNKE0	CCSE0	0	0	FFFFF64AH	0000H

ビット位置	ビット名	意　味
13, 5	EEVEn	サブチャネルnキャプチャ／コンペア・レジスタのイベント検出の許可／不許可を指定します。 0：ED1, ED2信号入力を無視（入力があっても何もしない） 1：ED1, ED2信号入力による動作を許可
11, 3	LNKEn	エッジ選択からのキャプチャ・イベント信号入力をED1またはED2に指定します。 0：キャプチャ・レジスタ・モード時には，ED1信号入力を選択します。 コンペア・レジスタ・モード時には，LNKEnビットの影響を受けません。 1：キャプチャ・レジスタ・モード時には，ED2信号入力を選択します。 コンペア・レジスタ・モード時には，LNKEnビットの影響を受けません。
10, 2	CCSEn	キャプチャ／コンペア・レジスタの動作モードを選択します。 0：キャプチャ・レジスタ・モードで動作します。TM20のカウント状態はサブチャネル0で，TM21のカウント状態はサブチャネル5でリード可能です。 1：コンペア・レジスタ・モードとして動作します。サブチャネルnとTM2mの一致検出でTM2mをクリアします。

備考　m = 0, 1

n = 0, 5

（8）タイマ2サブチャネル1, 2キャプチャ／コンペア制御レジスタ（CMSE120）

CMSE120レジスタは，タイマ2サブチャネルn副キャプチャ／コンペア・レジスタ（CVSEn0）とタイマ2サブチャネルn主キャプチャ／コンペア・レジスタ（CVPEn0）を制御するレジスタです（n = 1, 2）。

16ビット単位でリード／ライト可能です。

（1/2）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CMSE120	0	0	EEVE2	BFEE2	LNKE2	CCSE2	TB1E2	TB0E2	0	0	EEVE1	BFEE1	LNKE1	CCSE1	TB1E1	TB0E1	FFFFF64CH	0000H

ビット位置	ビット名	意　味
13, 5	EEVEn	CMSE120レジスタへのイベント検出の許可／不許可を指定します。 0：ED1, ED2信号入力を無視（入力があっても何もしない） 1：ED1, ED2信号入力による動作を許可
12, 4	BFEEn	サブチャネルn副キャプチャ／コンペア・レジスタ（CVSEn0）のバッファ動作を指定します。 0：サブチャネルn副キャプチャ／コンペア・レジスタ（CVSEn0）をバッファとして使用しない。 1：サブチャネルn副キャプチャ／コンペア・レジスタ（CVSEn0）をバッファとして使用する。 **注意**　BFEEnビット = 1のとき，コンペア・レジスタ・モードでは，リセット後，TM2xとCVPEn0レジスタの値がともに“0”のため，起動時にコンペア一致が発生します（TM2x = TB1En, TB0Enビットで選択したタイマ・カウンタ，n = 1-4）。その後，副レジスタ（CVSEn0）の値が主レジスタ（CVPEn0）に書き込まれます。 **備考**1.　サブチャネルn副キャプチャ／コンペア・レジスタ（CVSEn0）をバッファとして使用しない場合のキャプチャ・レジスタ・モード時とコンペア・レジスタ・モード時の動作を示します。 ・キャプチャ・レジスタ・モード時：CPUは主レジスタ（CVPEn0）もしくは副レジスタ（CVSEn0）の双方をリード可能です。CPUが主レジスタのリードを終えるまで次のイベントは無視されます。TM20のキャプチャは副レジスタが行い，TM21のキャプチャは主レジスタが行います。 ・コンペア・レジスタ・モード時：CPUは副レジスタ（CVSEn0）に書き込みを行い，その直後に副レジスタと同じ内容が主レジスタ（CVPEn0）に書き込まれます。

備考　n = 1, 2

（2/2）

ビット位置	ビット名	意　味
12, 4	BFEEn	備考2.　サブチャネルn副キャプチャ／コンペア・レジスタ（CVSEn0）をバッファとして使用する場合のキャプチャ・レジスタ・モード時とコンペア・レジスタ・モード時の動作を示します。 ・キャプチャ・レジスタ・モード時：CPUが主レジスタ（CVPEn0）のリードを行うと，主レジスタはCPUがリード動作を行う直前の副レジスタ（CVSEn0）の値に更新されます。キャプチャ・イベントが発生すると，そのときのタイマ／カウンタの値が常に副レジスタに保存されます。 ・コンペア・レジスタ・モード時：CPUは副レジスタ（CVSEn0）に書き込みを行い，その内容をLNKEnビットで設定した主レジスタ（CVPEn0）に転送します。
11, 3	LNKEn	エッジ選択からのキャプチャ・イベント信号入力の選択およびコンペア・レジスタ・モード時の転送動作の指定を行います。 0：キャプチャ・レジスタ・モード時には，ED1信号入力を選択します。 コンペア・レジスタ・モード時には，TM2xとのコンペア一致で，CVSEn0レジスタのデータをCVPEn0レジスタへ転送します（TM2x = TB1En, TB0Enビットで選択したタイマ／カウンタ）。 1：キャプチャ・レジスタ・モード時には，ED2信号入力を選択します。 コンペア・レジスタ・モード時には，TM2xのカウント値が“0”になった時点で，CVSEn0レジスタのデータをCVPEn0レジスタへ転送します（TM2x = TB1En, TB0Enビットで選択したタイマ／カウンタ）。
10, 2	CCSEn	キャプチャ／コンペア・レジスタの動作モードを選択します。 0：キャプチャ・レジスタ・モードで動作します。 1：コンペア・レジスタ・モードで動作します。
9, 8, 1, 0	TB1En, TB0En	サブチャネルnのタイマ／カウンタの設定をします。 TB1En / TB0En / サブチャネルnのタイマ／カウンタ 0 / 0 / サブチャネルnを使用しません。 0 / 1 / サブチャネルnにTM20を設定します。 1 / 0 / サブチャネルnにTM21を設定します。 1 / 1 / 32ビット・モード注で動作させます（TM20とTM21の両方を選択）。 注　32ビット・モードではBFEEnビットの影響は無視されます。また，32ビット・モードでは，常にCVSEn0レジスタをバッファとして使用できません。 注意　TB1En, TB0Enビット = 11の場合は，TCRE0レジスタのCASE1ビット = 1と設定してください。

備考　n = 1, 2

（9）タイマ2サブチャネル3, 4キャプチャ／コンペア制御レジスタ（CMSE340）

CMSE340レジスタは，タイマ2サブチャネルn副キャプチャ／コンペア・レジスタ（CVSEn0）とタイマ2サブチャネルn主キャプチャ／コンペア・レジスタ（CVPEn0）を制御するレジスタです（n = 3, 4）。

16ビット単位でリード／ライト可能です。

（1/2）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CMSE340	0	0	EEVE4	BFEE4	LNKE4	CCSE4	TB1E4	TB0E4	0	0	EEVE3	BFEE3	LNKE3	CCSE3	TB1E3	TB0E3	FFFFF64EH	0000H

ビット位置	ビット名	意　味
13, 5	EEVEn	CMSE340レジスタへのイベント検出の許可／不許可を指定します。 0：ED1, ED2信号入力を無視（入力があっても何もしない） 1：ED1, ED2信号入力による動作を許可
12, 4	BFEEn	サブチャネルn副キャプチャ／コンペア・レジスタ（CVSEn0）のバッファ動作を指定します。 0：サブチャネルn副キャプチャ／コンペア・レジスタ（CVSEn0）をバッファとして使用しない。 1：サブチャネルn副キャプチャ／コンペア・レジスタ（CVSEn0）をバッファとして使用する。 **注意**　BFEEnビット = 1のとき，コンペア・レジスタ・モードでは，リセット後，TM2xとCVPEn0レジスタの値がともに“0”のため，起動時にコンペア一致が発生します（TM2x = TB1En, TB0Enビットで選択したタイマ・カウンタ，n = 1-4）。その後，副レジスタ（CVSEn0）の値が主レジスタ（CVPEn0）に書き込まれます。 **備考**1.　サブチャネルn副キャプチャ／コンペア・レジスタ（CVSEn0）をバッファとして使用しない場合のキャプチャ・レジスタ・モード時とコンペア・レジスタ・モード時の動作を示します。 ・キャプチャ・レジスタ・モード時：CPUは主レジスタ（CVPEn0）もしくは副レジスタ（CVSEn0）の双方をリード可能です。CPUが主レジスタのリードを終えるまで次のイベントは無視されます。TM20のキャプチャは副レジスタが行い，TM21のキャプチャは主レジスタが行います。 ・コンペア・レジスタ・モード時：CPUは副レジスタ（CVSEn0）に書き込みを行い，その直後に副レジスタと同じ内容が主レジスタ（CVPEn0）に書き込まれます。

備考　n = 3, 4

(2/2)

ビット位置	ビット名	意　味
12, 4	BFEEn	備考2.　サブチャネルn副キャプチャ／コンペア・レジスタ（CVSEn0）をバッファとして使用する場合のキャプチャ・レジスタ・モード時とコンペア・レジスタ・モード時の動作を示します。 ・キャプチャ・レジスタ・モード時：CPUが主レジスタ（CVPEn0）のリードを行うと，主レジスタはCPUがリード動作を行う直前の副レジスタ（CVSEn0）の値に更新されます。キャプチャ・イベントが発生すると，そのときのタイマ／カウンタの値が常に副レジスタに保存されます。 ・コンペア・レジスタ・モード時：CPUは副レジスタ（CVSEn0）に書き込みを行い，その内容をLNKEnビットで設定した主レジスタ（CVPEn0）に転送します。
11, 3	LNKEn	エッジ選択からのキャプチャ・イベント信号入力の選択およびコンペア・レジスタ・モード時の転送動作の指定を行います。 0：キャプチャ・レジスタ・モード時には，ED1信号入力を選択します。 コンペア・レジスタ・モード時には，TM2xとのコンペア一致で，CVSEn0レジスタのデータをCVPEn0レジスタへ転送します（TM2x = TB1En, TB0Enビットで選択したタイマ／カウンタ）。 1：キャプチャ・レジスタ・モード時には，ED2信号入力を選択します。 コンペア・レジスタ・モード時には，TM2xのカウント値が“0”になった時点で，CVSEn0レジスタのデータをCVPEn0レジスタへ転送します（TM2x = TB1En, TB0Enビットで選択したタイマ／カウンタ）。
10, 2	CCSEn	キャプチャ／コンペア・レジスタの動作モードを選択します。 0：キャプチャ・レジスタ・モードで動作します。 1：コンペア・レジスタ・モードで動作します。
9, 8, 1, 0	TB1En, TB0En	サブチャネルnのタイマ／カウンタの設定をします。 TB1En / TB0En / サブチャネルnのタイマ／カウンタ 0 / 0 / サブチャネルnを使用しません。 0 / 1 / サブチャネルnにTM20を設定します。 1 / 0 / サブチャネルnにTM21を設定します。 1 / 1 / 32ビット・モード[注]で動作させます（TM20とTM21の両方を選択）。 注　32ビット・モードではBFEEnビットの影響は無視されます。また，32ビット・モードでは常にCVSEnレジスタをバッファとして使用できません。 注意　TB1En, TB0Enビット = 11の場合は，TCRE0レジスタのCASE1ビット = 1と設定してください。

備考　n = 3, 4

（10）タイマ2タイム・ベース・ステータス・レジスタ0（TBSTATE0）

TBSTATE0**レジスタは，**TM2n**の状態を示すレジスタです**（n = 0, 1）。

TBSTATE0**レジスタは**16**ビット単位でリード／ライト可能です。**

TBSTATE0**レジスタの上位**8**ビットを**TBSTATE0H**レジスタ，下位**8**ビットを**TBSTATE0L**レジスタとして使用した場合は，**8/1**ビット単位でリード／ライト可能です。**

注意　ECFEn, RSFEn, UDFEn**ビットはリードだけ可能です。**

	15	14	13	12	⑪	⑩	⑨	⑧	7	6	5	4	③	②	①	⓪	アドレス	初期値
TBSTATE0	0	0	0	0	OVFE1	ECFE1	RSFE1	UDFE1	0	0	0	0	OVFE0	ECFE0	RSFE0	UDFE0	FFFFF664H	0101H

ビット位置	ビット名	意　味
11, 3	OVFEn	TM2n**のオーバフローの状態を示します。** 0：**オーバフロー発生しない** 1：**オーバフロー発生** **注意**　OVFEn**ビットはオーバフローが検知されていない状態で，**TBSTATE0**レジスタへのライト・アクセスを行うとクリア（**0**）されます。**
10, 2	ECFEn	ECLR**信号入力の状態を示します。** 0：**ロウ・レベル** 1：**ハイ・レベル**
9, 1	RSFEn	TM2n**のカウントの状態を示します。** 0：TM2n**はカウントしていない** 1：TM2n**はカウント中（アップ・カウントもしくはダウン・カウント中）**
8, 0	UDFEn	TM2n**のアップ／ダウン・カウントの状態を示します。** 0：TM2n**はダウン・カウント・モード** 1：TM2n**はアップ・カウント・モード**

備考　n = 0, 1

（11）タイマ2キャプチャ／コンペア1-4ステータス・レジスタ0（CCSTATE0）

CCSTATE0**レジスタは，タイマ2サブチャネル副キャプチャ／コンペア・レジスタ（**CVSEn0**）とタイマ2サブチャネル主キャプチャ／コンペア・レジスタ（**CVPEn0**）の状態を示すレジスタです（**n = 1-4**）。**

CCSTATE0**レジスタは16ビット単位でリード／ライト可能です。**

CCSTATE0**レジスタの上位8ビットを**CCSTATE0H**レジスタ，下位8ビットを**CCSTATE0L**レジスタとして使用した場合は，8/1ビット単位でリード／ライト可能です。**

注意　BFFEn1, BFFEn0**ビットはリードだけ可能です。**

	15	⑭	13	12	11	⑩	9	8	7	⑥	5	4	3	②	1	0	アドレス	初期値
CCSTATE0	0	CEFE4	BFFE41	BFFE40	0	CEFE3	BFFE31	BFFE30	0	CEFE2	BFFE21	BFFE20	0	CEFE1	BFFE11	BFFE10	FFFFF666H	0000H

ビット位置	ビット名	意　味
14, 10, 6, 2	CEFEn	キャプチャ／コンペア・イベントの発生状態を示します。 0：キャプチャ・レジスタ・モード時：キャプチャ動作の発生はありません。 コンペア・レジスタ・モード時：コンペア一致の発生はありません。 1：キャプチャ・レジスタ・モード時：少なくとも1回のキャプチャ動作が起こったことを示しています。 コンペア・レジスタ・モード時：少なくとも1回のコンペア一致が起こったことを示します。 **注意**　CEFEn**ビットはキャプチャ動作およびコンペア一致が生じていない時点で，**CCSTATE0**レジスタへのライト・アクセスを行うとクリア（**0**）できます。なお，**CEFE1**（**CEFE3**）ビットおよび**CEFE2**（**CEFE4**）ビットへのビット操作を行った場合は両ビットともクリアされます。**
13, 12, 9, 8, 5, 4, 1, 0	BFFEn1, BFFEn0	キャプチャ・バッファの状態を示します。 BFFEn1 / BFFEn0 / キャプチャ・バッファの状態 0 / 0 / バッファには値がありません。 0 / 1 / サブチャネルnの主レジスタ（CVPEn0）にはキャプチャ値があります。副レジスタ（CVSEn0）には値がありません。 1 / 0 / サブチャネルnの主レジスタ（CVPEn0）および副レジスタ（CVSEn0）ともキャプチャ値があります。 1 / 1 / 未使用 **注意**　BFFEn1, BFFEn0**ビットは，サブチャネル**n**副キャプチャ／コンペア・レジスタ（**CVSEn0**）のバッファ動作の選択を行った場合（**CMSEm0**レジスタの**BFEEn**ビット** = 1**）とキャプチャ・レジスタ・モード（**CMSEm0**レジスタの**CCSEn**ビット** = 0**）の場合にのみ値を返します。コンペア・レジスタ・モード（**CCSEn**ビット** = 1**）時には“**0**”が読み出されます。**

備考　m = 12, 34

n = 1-4

（12）タイマ2出力遅延レジスタ0（ODELE0）

ODELE0**レジスタは，**TO2n**端子の出力遅延回路にクロックに同期した出力遅延動作を設定します**（n = 1-4）。

ODELE0**レジスタは**16**ビット単位でリード／ライト可能です。**

ODELE0**レジスタの上位**8**ビットを**ODELE0H**レジスタ，下位**8**ビットを**ODELE0L**レジスタとして使用した場合は，**8/1**ビット単位でリード／ライト可能です。**

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ODELE0	0	ODLE42	ODLE41	ODLE40	0	ODLE32	ODLE31	ODLE30	0	ODLE22	ODLE21	ODLE20	0	ODLE12	ODLE11	ODLE10	FFFFF668H	0000H

ビット位置	ビット名	意　味
14-12, 10-8, 6-4, 2-0	ODLEn2, ODLEn1, ODLEn0	**出力遅延動作を指定します。**

ODLEn2	ODLEn1	ODLEn0	出力遅延動作の設定
0	0	0	出力遅延動作をしない。
0	0	1	1システム・クロック分の出力遅延を設定する。
0	1	0	2システム・クロック分の出力遅延を設定する。
0	1	1	3システム・クロック分の出力遅延を設定する。
1	0	0	4システム・クロック分の出力遅延を設定する。
1	0	1	5システム・クロック分の出力遅延を設定する。
1	1	0	6システム・クロック分の出力遅延を設定する。
1	1	1	7システム・クロック分の出力遅延を設定する。

備考　ODLEn2, ODLEn1, ODLEn0**ビットは**EMI**対策用です。**

備考　n = 1-4

（13）タイマ2ソフトウエア・イベント・キャプチャ・レジスタ（CSCE0）

CSCE0レジスタは，キャプチャ・レジスタ・モード時のソフトウエアによるキャプチャ動作を指定します。

16ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CSCE0	0	0	0	0	0	0	0	0	0	0	SEVE5	SEVE4	SEVE3	SEVE2	SEVE1	SEVE0	FFFFF66AH	0000H

ビット位置	ビット名	意　味
5-0	SEVEn	キャプチャ・レジスタ・モード時にソフトウエアによるキャプチャ動作を指定します。 0：通常動作を継続します。 1：キャプチャ動作を行います。 **注意**1. SEVEnビットはCMSEm0レジスタのEEVEnおよびLNKEnビットの設定を無視します。 2. SEVEnビットはイベント終了後に自動的にクリア（0）されます。 3. SEVEnビットはタイマ2ユニットのすべての内部制約状態を無視します。

備考　m = 12, 34, 05

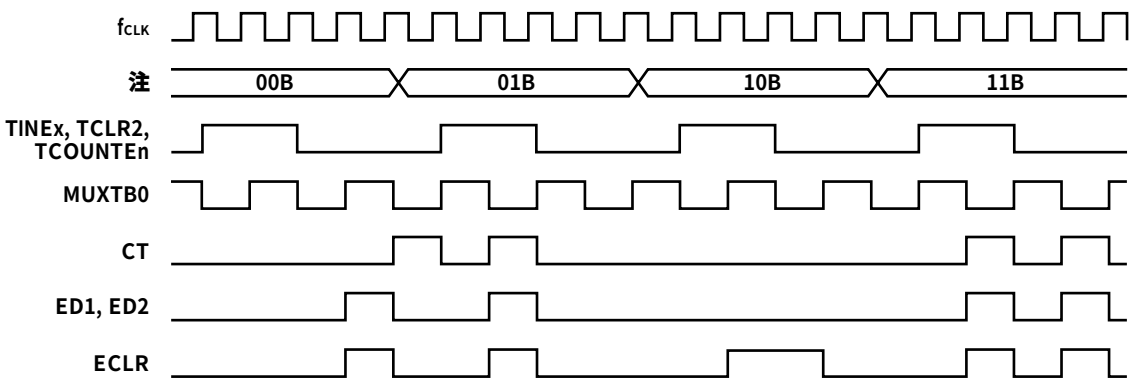
n = 0-5

9.3.5 動　　作

(1) エッジ検出

次にエッジ検出のタイミングを示します。

図9－67　エッジ検出のタイミング



注　CSE0**レジスタの**TESnE1，TESnE0**ビット，**CESE1，CESE0**ビット，**SESE0**レジスタの**IESEx1，IESEx0**ビットの設定値を示します。**

備考1.　f_{CLK}**：基本クロック**

2.　CT：16**ビット・モード時の**TM2n**のカウント信号入力**

ECLR：TCLR2**入力からの外部コントロール信号入力**

ED1, ED2：**エッジ選択回路からのキャプチャ・イベント信号入力**

MUXTB0：TM20**のマルチプレクス信号**

TCOUNTEn：**タイマ**2**のカウント・イネーブル信号入力**

TINEx：**タイマ**2**サブチャネル**x**キャプチャ・イベント信号入力**（x = 0-5）

3.　n = 0, 1

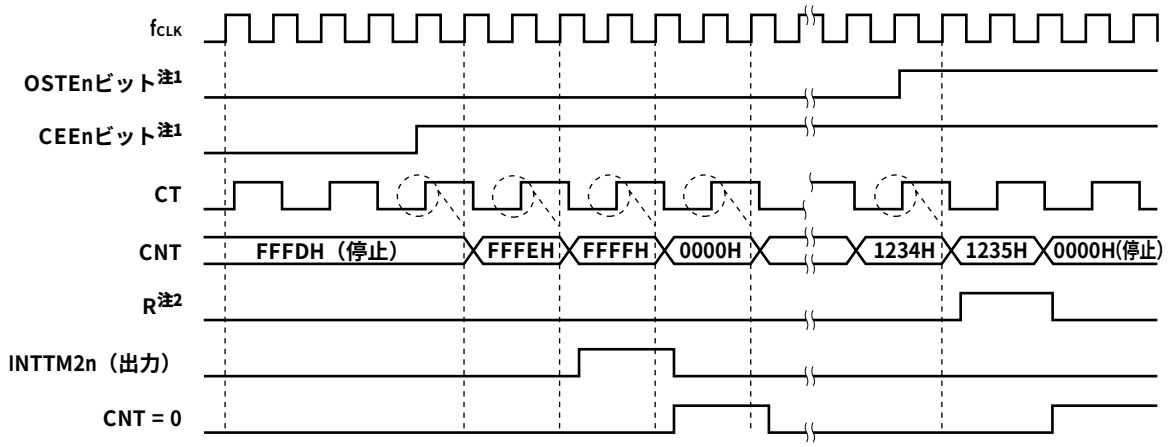
x = 0-5

(2) タイマ2の基本動作

図9－68から図9－71にタイマ2の基本動作を示します。

図9－68　タイマ2のアップ・カウントのタイミング

（TCRE0レジスタのUDSEn1, UDSEn0ビット = 00B, ECEEnビット = 0, ECREnビット = 0, CLREnビット = 0, CASE1ビット = 0の場合）



注1. TCRE0レジスタのOSTE, CEEビット

2. サブチャネル0/5のコンペア一致でTM20/TM21のクリアもしくはカウント方向を制御できます。

備考1. f_{CLK}：基本クロック

2. CNT：タイマ2のカウント値

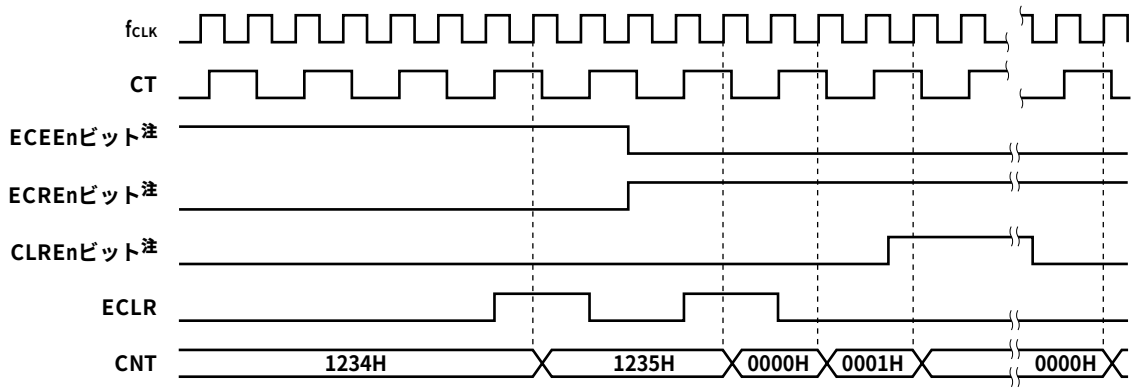
CT：16ビット・モード時のTM2nのカウント信号入力

R：コンペア一致信号入力（サブチャネル0/5）

3. n = 0, 1

図9－69　タイマ2の外部コントロール・タイミング

（TCRE0**レジスタの**UDSEn1, UDSEn0**ビット** = 00B, OSTEn**ビット** = 0, CEEn**ビット** = 1, CASE1**ビット** = 0**の場合）**



注　TCRE0**レジスタの**ECEEn, ECREn, CLREn**ビット**

備考1.　f_{CLK}**：基本クロック**

2.　CNT**：タイマ2のカウント値**

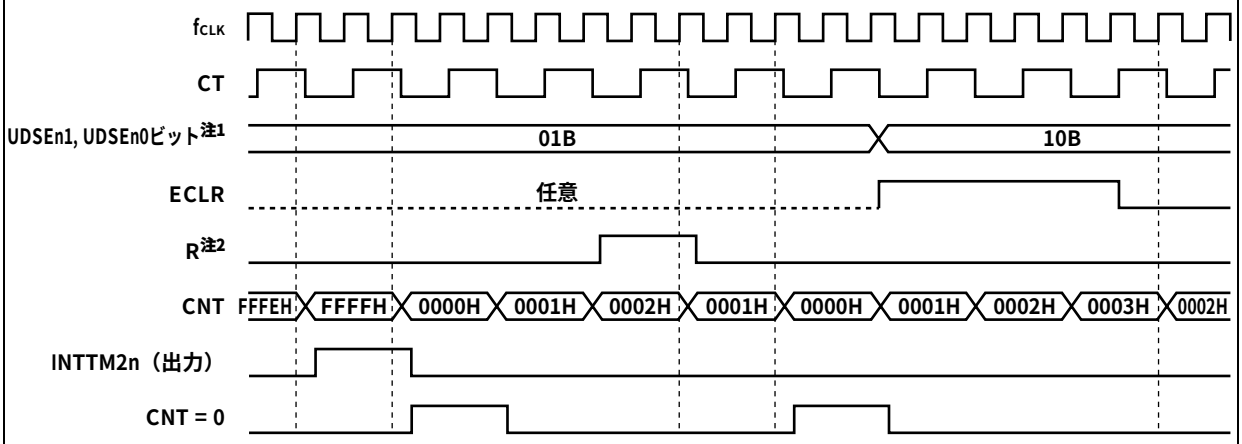
CT**：**16**ビット・モード時の**TM2n**のカウント信号入力**

ECLR**：**TCLR2**端子入力からの外部コントロール信号入力**

3.　n = 0, 1

図9－70　タイマ2のアップ／ダウン・カウント・モードでの動作

（TCRE0**レジスタの**ECEEn**ビット** = 0, ECREn**ビット** = 0, CLREn**ビット** = 0,
OSTEn**ビット** = 0, CEEn**ビット** = 1, CASE1**ビット** = 0**の場合）**



注1.　TCRE0**レジスタの**UDSEn1, UDSEn0**ビット**

2.　**サブチャネル**0/5**のコンペア一致で**TM20/TM21**のクリアもしくはカウント方向を制御できます。**

備考1.　f_{CLK}**：基本クロック**

2.　CNT**：タイマ**2**のカウント値**

CT**：**16**ビット・モード時の**TM2n**のカウント信号入力**

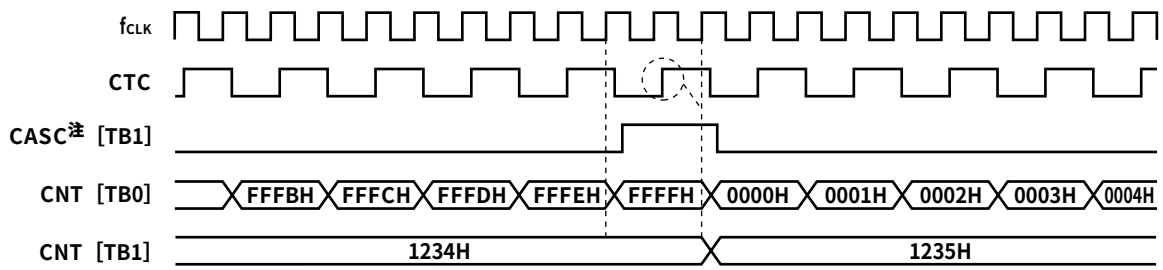
ECLR**：**TCLR2**端子入力からの外部コントロール信号入力**

R**：コンペア一致信号入力（サブチャネル**0/5**）**

3.　n = 0, 1

図9－71　32ビット・カスケード動作モード時のタイミング

（TCRE0**レジスタの**UDSEn1, UDSEn0**ビット** = 00B, ECEEn**ビット** = 0,
ECREn**ビット** = 0, CLREn**ビット** = 0, OSTEn**ビット** = 0,
CEEn**ビット** = 1, CASE1**ビット** = 1**の場合）**



注　32**ビット・モード時に**CASC（TM20**が**CNT = MAX.）**が**TM21**に入力され，かつ，**CTC**の立ち上がりを検出した場合，**TM21**はカウント動作を行います。**

備考1.　f_{CLK}**：基本クロック**

2.　CASC**：**32**ビット・モード時の**TM21**のカウント信号入力**
CNT**：タイマ**2**のカウント値**
CTC**：**32**ビット・モード時の**TM21**のカウント信号入力**
TB0**：**TM20**のカウント値**
TB1**：**TM21**のカウント値**

3.　n = 0, 1

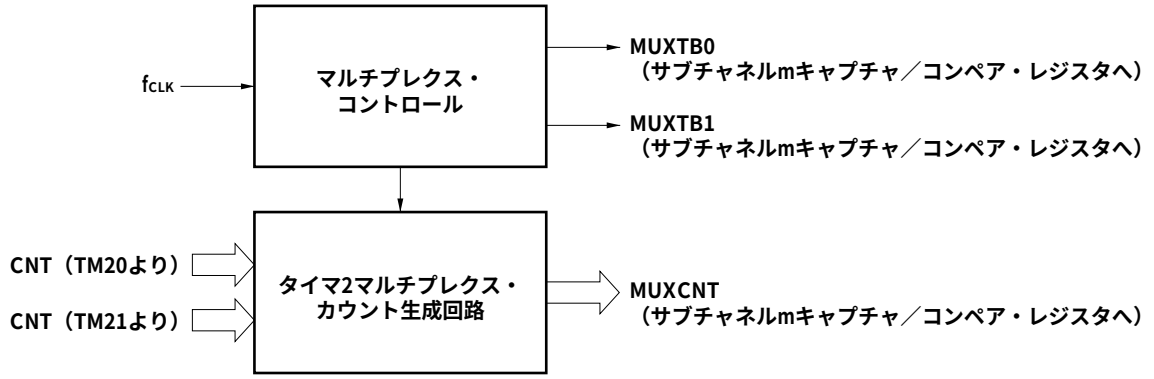
(3) キャプチャ／コンペア・レジスタ（サブチャネル1-4）の動作

サブチャネル1-4はタイマ2マルチプレクス・カウント生成回路のカウント値の供給を受けています。

マルチプレクス・カウント生成回路は，サブチャネル1-4へのマルチプレクス・カウント値MUXCNTを供給するTM2nの内部ユニットです。MUXTB0の立ち上がりでTM20のカウント値を，MUXTB1の立ち上がりでTM21のカウント値をサブチャネル1-4へ出力します。

図9－72にタイマ2マルチプレクス・カウント生成回路のブロック図を，図9－73にマルチプレクス・カウント・タイミングを示します。

図9－72　タイマ2マルチプレクス・カウント生成回路のブロック図

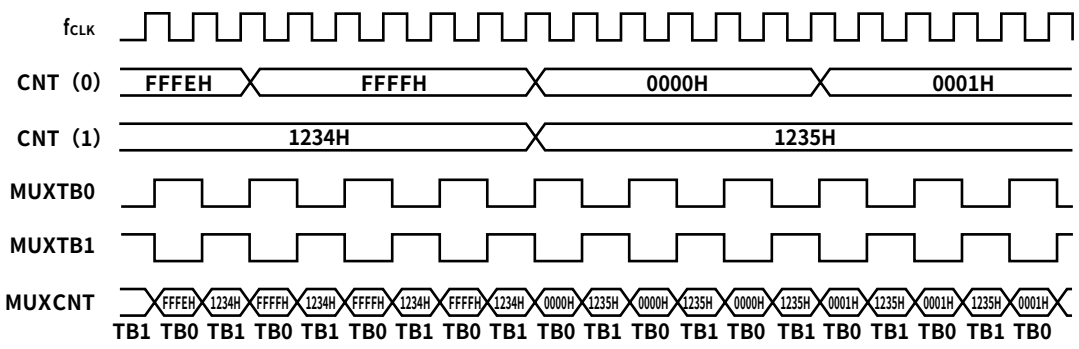


備考1. f_{CLK}：基本クロック

2. CNT：タイマ2のカウント値
   MUXTB0, MUXTB1：TM20, TM21のマルチプレクス信号
   MUXCNT：サブチャネルmへのカウント値

3. m = 1-4

図9－73　**マルチプレクス・カウント・タイミング**



備考1.　fCLK：**基本クロック**

2.　CNT：**タイマ**2**のカウント値**

MUXTB0, MUXTB1：TM20, TM21**のマルチプレクス信号**

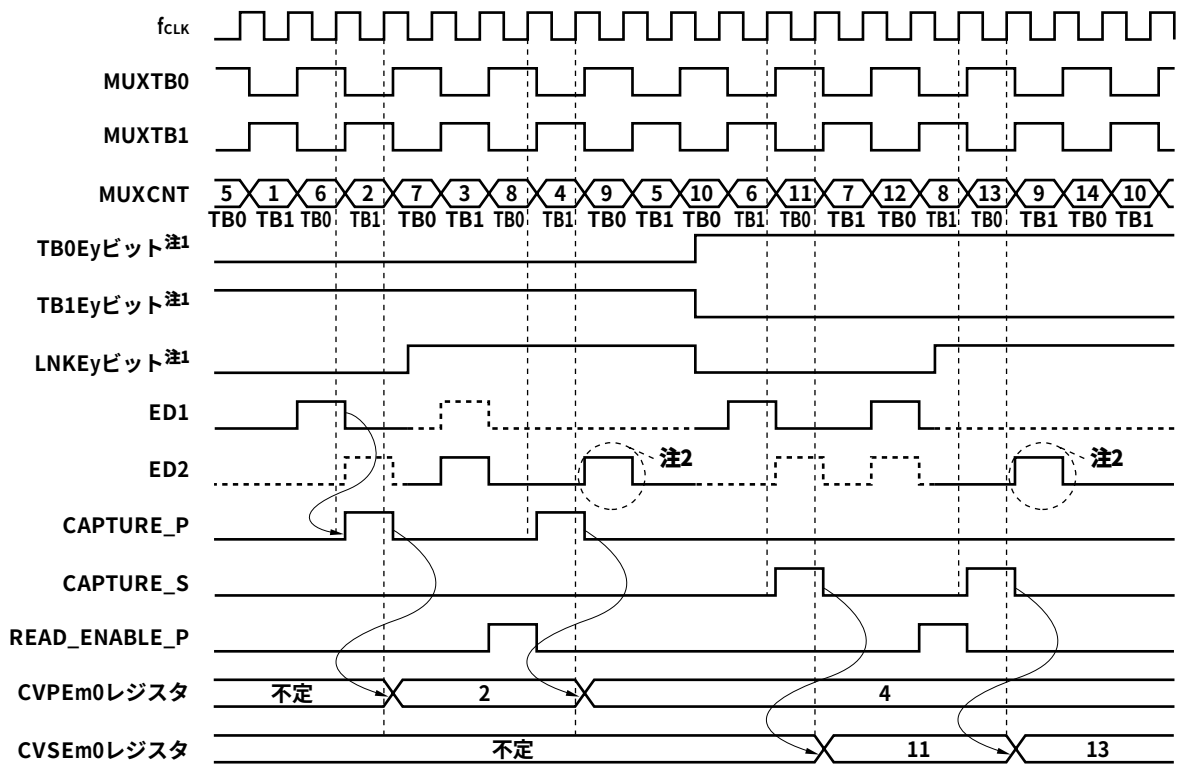
MUXCNT：**サブチャネル**m**へのカウント値**（m = 1-4）

TB0：TM20**のカウント値**

TB1：TM21**のカウント値**

図9－74**から図**9－79**にキャプチャ／コンペア・レジスタ（サブチャネル**1-4）**の動作を示します。**

図9－74　**キャプチャ動作：**16**ビット・バッファなしモード時**
（CMSEx0**レジスタの**LNKEy**ビットの設定による動作の違い，**
CMSEx0**レジスタの**CCSEy**ビット** = 0, BFEEy**ビット** = 0,
EEVEy**ビット** = 1, CSCE0**レジスタの**SEVEy**ビット** = 0**の場合）**



注1.　CMSEx**レジスタの**TB0Ey, TB1Ey**ビット**

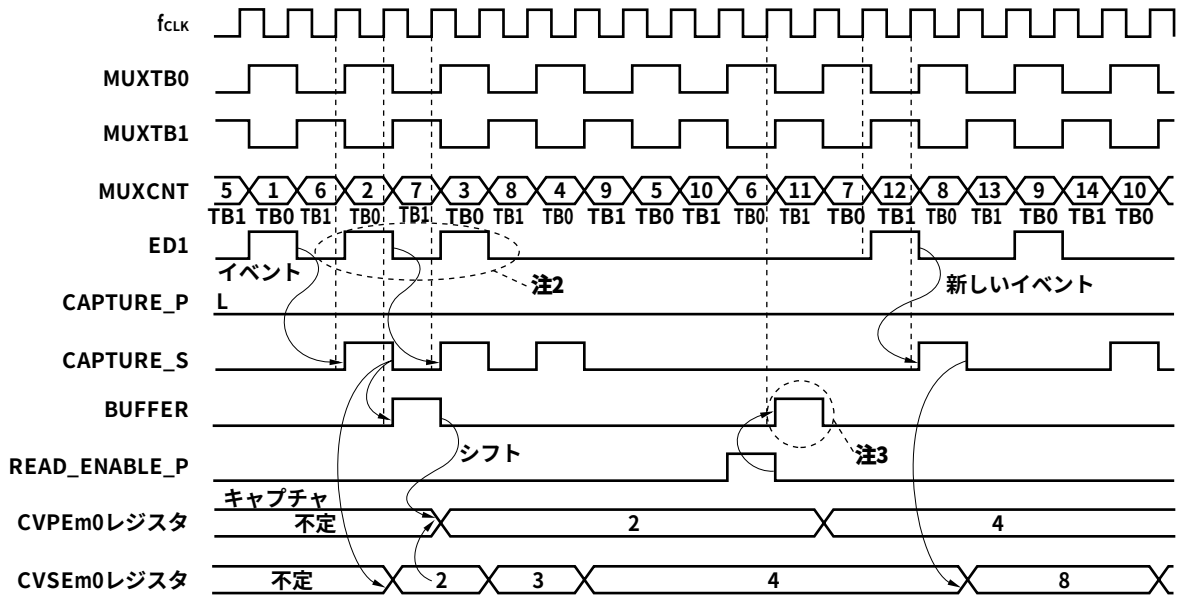
2.　**このタイミングでイベントが発生した場合，無視されます。**

備考1.　fCLK**：基本クロック**

2.　CAPTURE_P**：主キャプチャ・レジスタのキャプチャ・トリガ信号**
CAPTURE_S**：副キャプチャ・レジスタのキャプチャ・トリガ信号**
ED1, ED2**：エッジ選択回路からのキャプチャ・イベント信号入力**
MUXCNT**：サブチャネル**m**へのカウント値**
MUXTB0, MUXTB1：TM20, TM21**のマルチプレクス信号**
READ_ENABLE_P：CVPEm0**レジスタのリード・タイミング**
TB0：TM20**のカウント値**
TB1：TM21**のカウント値**

3.　m = 1-4, x = 12, 34
y**：**x = 12**のとき，**y = 1, 2, x = 34**のとき，**y = 3, 4

図9－75　キャプチャ動作：16ビット・バッファありモード時[注1]
（CMSEx0レジスタのTByE1ビット = 0, TByE0**ビット** = 1,
CCSEy**ビット** = 0, LNKEy**ビット** = 0, BFEEy**ビット** = 1,
EEVEy**ビット** = 1, CSCE0**レジスタの**SEVEy**ビット** = 0**の場合）**

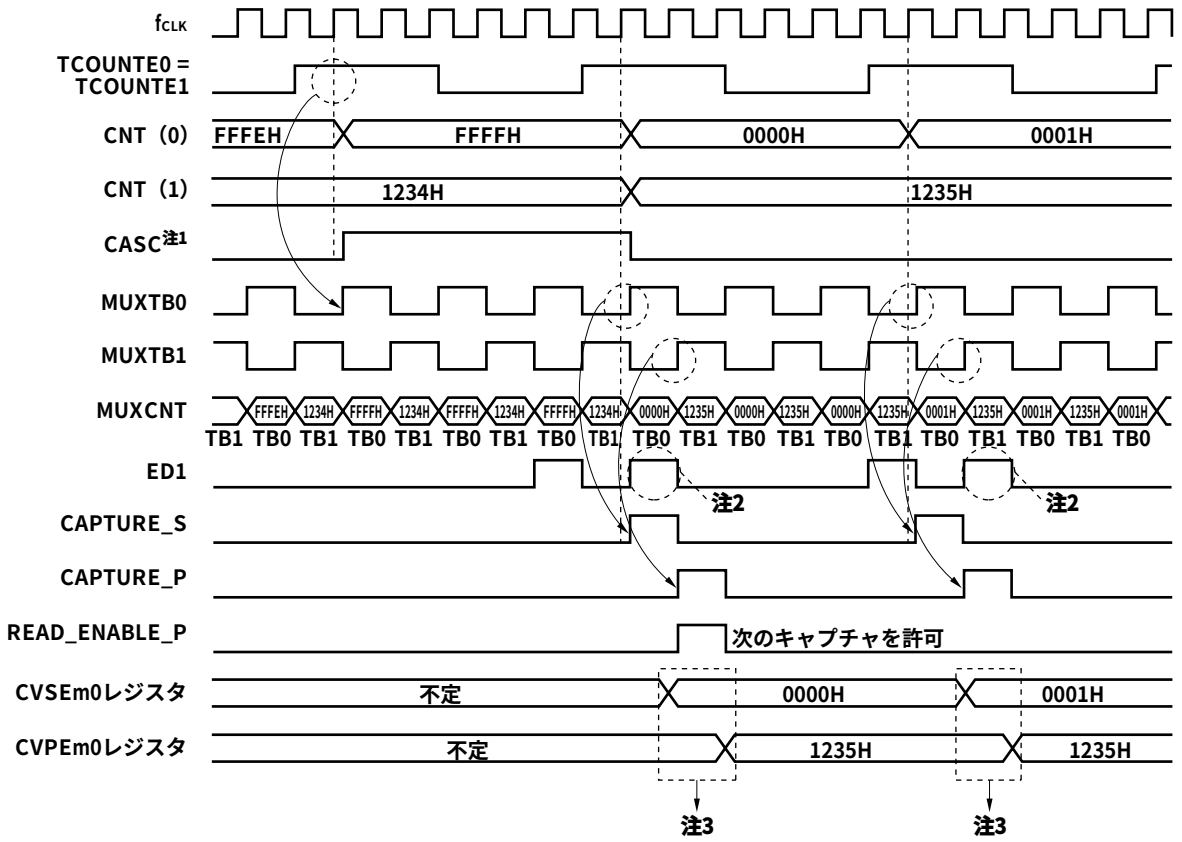


注1. TM2n**を**16**ビット・バッファありモードで動作させる場合は，動作開始時に少なくとも**2**回以上キャプチャ動作を行い**CVPEm0**レジスタのリードを行ってください。また，その後，少なくとも**1**回以上のキャプチャ動作を行ってから，**CVPEm0**レジスタのリードを行ってください。**

2. **これらの信号入力では，**CVSEm0**レジスタはバッファ動作を行うため，**CVPEn0**レジスタへの書き込み動作を行いません。**
3. **このタイミング以降は**CVSEm0**レジスタから**CVPEm0**レジスタへの書き込み動作が許可されます。**

備考1. fCLK**：基本クロック**
2. BUFFER：CVSEm0**レジスタから**CVPEm0**レジスタへの書き込みタイミングです。**
CAPTURE_P：**主キャプチャ・レジスタのキャプチャ・トリガ信号**
CAPTURE_S：**副キャプチャ・レジスタのキャプチャ・トリガ信号**
ED1：**エッジ選択回路からのキャプチャ・イベント信号入力**
MUXCNT：**サブチャネル**m**へのカウント値**
MUXTB0, MUXTB1：TM20, TM21**のマルチプレクス信号**
READ_ENABLE_P：CVPEm0**レジスタのリード・タイミング**
TB0：TM20**のカウント値，**TB1：TM21**のカウント値**
3. m = 1-4, x = 12, 34
y：x = 12**のとき，**y = 1, 2, x = 34**のとき，**y = 3, 4

図9－76　**キャプチャ動作：**32**ビット・カスケード動作モード時**
（CMSEx**レジスタの**TByE1**ビット** = 1, TByE0**ビット** = 1,
CCSEy**ビット** = 0, LNKEy**ビット** = 0, BFEEy**ビット** = **任意，**
EEVEy**ビット** = 1, CSCE0**レジスタの**SEVEy**ビット** = 0**の場合）**



注1.　32**ビット・モード時に**CASC（TM20**が**CNT = MAX.）**が**TM21**に入力され，かつ，**CTC**の立ち上がりを検出した場合，**TM21**はカウント動作を行います。**

2.　**このタイミングでイベントが発生した場合，無視されます。**

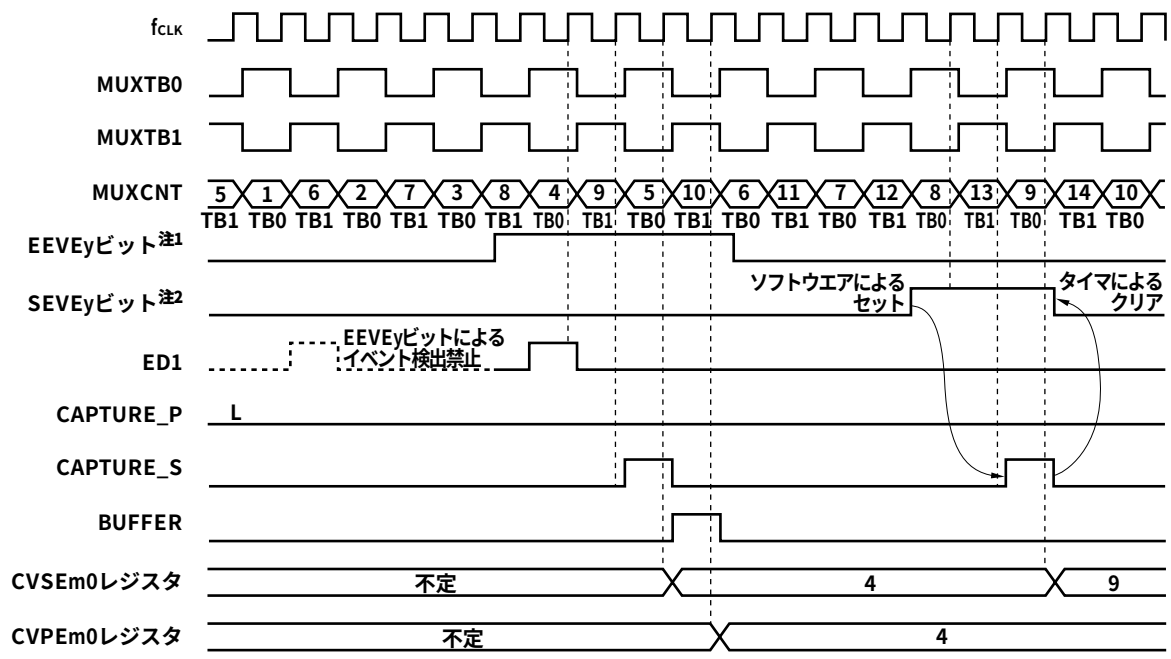
3.　**このタイミングにおいては，**CPU**のリード・アクセスは行いません（ウエイト状態）。**

備考1.　fCLK**：基本クロック**

2.　CAPTURE_P**：主キャプチャ・レジスタのキャプチャ・トリガ信号**
CAPTURE_S**：副キャプチャ・レジスタのキャプチャ・トリガ信号**
CASC：32**ビット・モード時の**TM21**のカウント信号**
CNT**：タイマ**2**のカウント値**
ED1**：エッジ選択回路からのキャプチャ・イベント信号入力**
MUXCNT**：サブチャネル**m**へのカウント値**
MUXTB0, MUXTB1：TM20, TM21**のマルチプレクス信号**
READ_ENABLE_P：CVPEm0**レジスタのリード・タイミング**
TB0：TM20**のカウント値**
TB1：TM21**のカウント値**
TCOUNTE0, TCOUNTE1**：タイマ**2**のカウント・イネーブル信号入力**

3.　m = 1-4, x = 12, 34
y**：**x = 12**のとき，**y = 1, 2, x = 34**のとき，**y = 3, 4

図9－77　**キャプチャ動作：ソフトウエアによるキャプチャ・コントロールとトリガ・タイミング**
（CMSEx0**レジスタの**TByE1**ビット** = 0, TByE0**ビット** = 1, CCSEy**ビット** = 0,
LNKEy**ビット** = 0, BFEEy**ビット** = 1**の場合）**



注1.　CMSEx0**レジスタの**EEVEy**ビット**

2.　CSCE0**レジスタの**SEVEy**ビット**

備考1.　fCLK**：基本クロック**

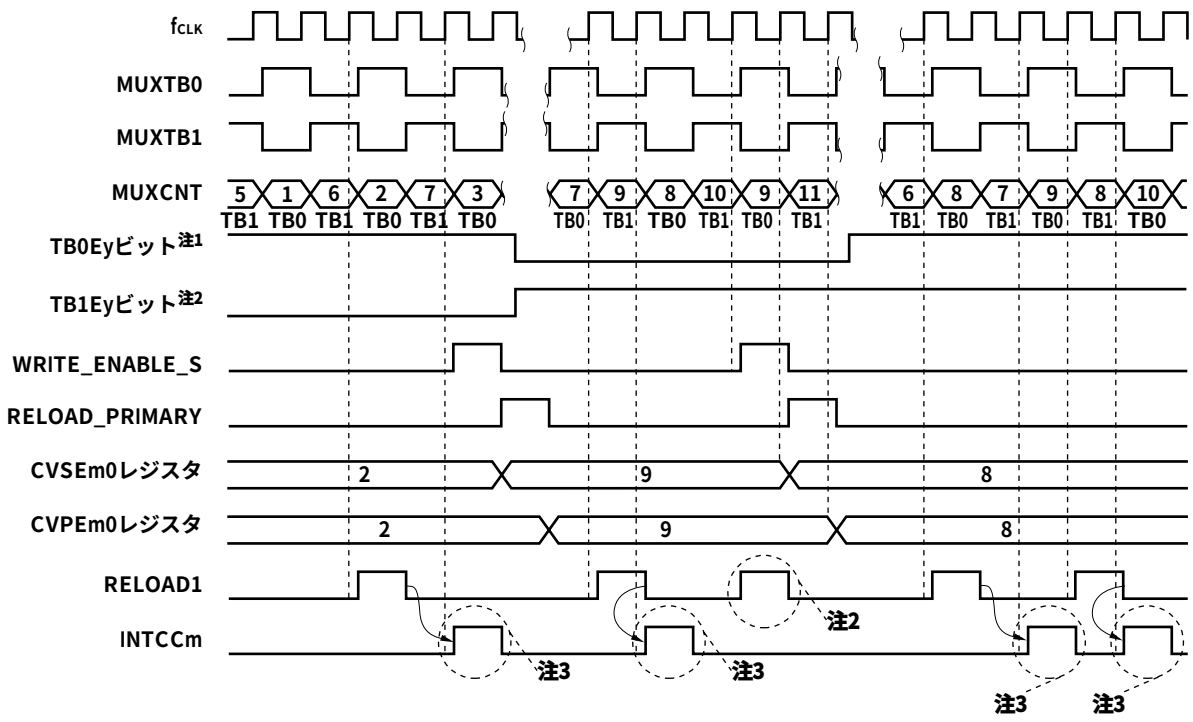
2.　BUFFER：CVSEm0**レジスタから**CVPEm0**レジスタへの書き込みタイミングです。**
CAPTURE_P**：主キャプチャ・レジスタのキャプチャ・トリガ信号**
CAPTURE_S**：副キャプチャ・レジスタのキャプチャ・トリガ信号**
ED1**：エッジ選択回路からのキャプチャ・イベント信号入力**
MUXCNT**：サブチャネル**m**へのカウント値**
MUXTB0, MUXTB1：TM20, TM21**のマルチプレクス信号**
TB0**：**TM20**のカウント値**
TB1**：**TM21**のカウント値**

3.　m = 1-4, x = 12, 34
y**：**x = 12**のとき，**y = 1, 2, x = 34**のとき，**y = 3, 4

図9－78　**コンペア動作：バッファなしモード時の動作**

（CMSEx0**レジスタの**CCSEy**ビット** = 1, LNKEy**ビット** = **任意，**

BFEEy**ビット** = 0**の場合）**



注1.　CMSEx0**レジスタの**TB1Ey, TB0Ey**ビット**

2.　TB1Ey, TB0Ey**ビットの設定と異なるカウンタとのコンペア一致のため割り込みは発生しません。**

3.　INTCC2m**は**MUXTB0**の立ち上がりから立ち下がりまでの周期と整合をとって発生します。**

備考1.　fCLK**：基本クロック**

2.　MUXCNT**：サブチャネル**m**へのカウント値**

MUXTB0, MUXTB1**：**TM20, TM21**のマルチプレクス信号**

RELOAD1**：コンペア一致信号**

RELOAD_PRIMARY：CVSEm0**レジスタから**CVPEm0**レジスタへの書き込みタイミング**

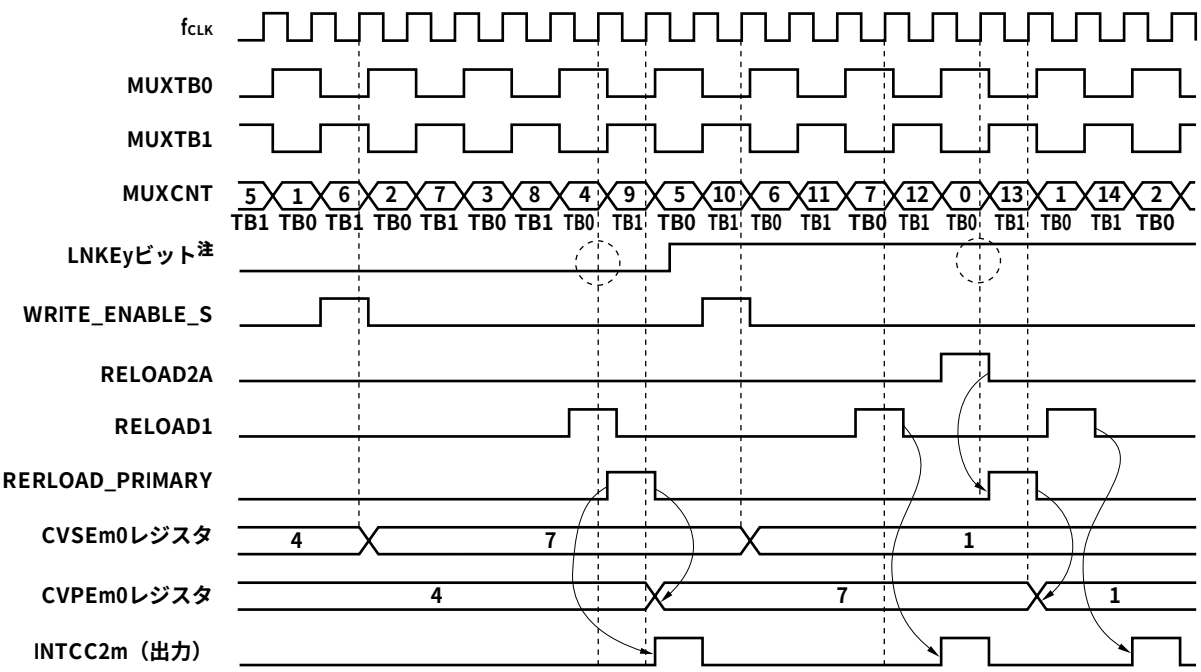
WRITE_ENABLE_S：CVSEm0**レジスタのライト・タイミング**

TB0**：**TM20**のカウント値**

TB1**：**TM21**のカウント値**

3.　m = 1-4, x = 12, 34

図9－79　コンペア動作：バッファありモード時の動作
（CMSEx0レジスタのLNKEyビットの設定による動作の違い，
CMSEx0レジスタのCCSEyビット = 1, BFEEyビット = 1の場合）



注　CMSEx0**レジスタの**LNKEy**ビット**

備考1.　fCLK**：基本クロック**

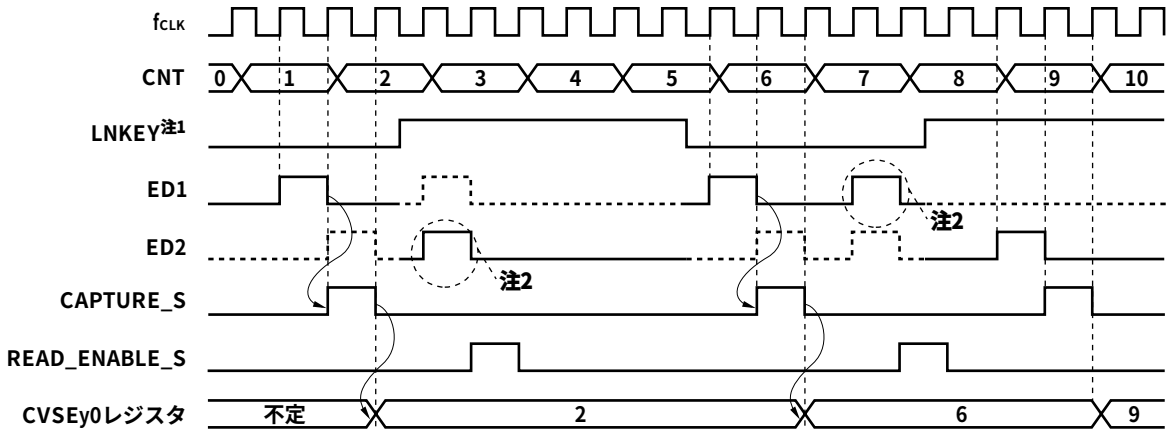
2.　MUXCNT**：サブチャネル**m**へのカウント値**
MUXTB0, MUXTB1：TM20, TM21**のマルチプレクス信号**
RELOAD1**：コンペア一致信号**
RELOAD2A：TM20**のゼロ・カウント信号入力（**TM20 = 0000H**時発生）**
RELOAD_PRIMARY：CVSEm0**レジスタから**CVPEm0**レジスタへの書き込みタイミング**
WRITE_ENABLE_S：CVSEm0**レジスタのライト・タイミング**
TB0：TM20**のカウント値（この図の場合，カウントの最大値は**7**）**
TB1：TM21**のカウント値**

3.　m = 1-4, x = 12, 34
y：x = 12**のとき，**y = 1, 2, x = 34**のとき，**y = 3, 4

(4) キャプチャ／コンペア・レジスタ（サブチャネル0, 5）の動作

図9－80，図9－81にキャプチャ／コンペア・レジスタ（サブチャネル0, 5）の動作を示します。

図9－80　キャプチャ動作：タイマ2のカウント値のリード・タイミング
（CMSE050レジスタのCCSEyビット = 0, EEVEy**ビット** = 1,
CSCE0**レジスタの**SEVEy**ビット** = 0**の場合）**



注1. CMSE050**レジスタの**LNKEy**ビット**

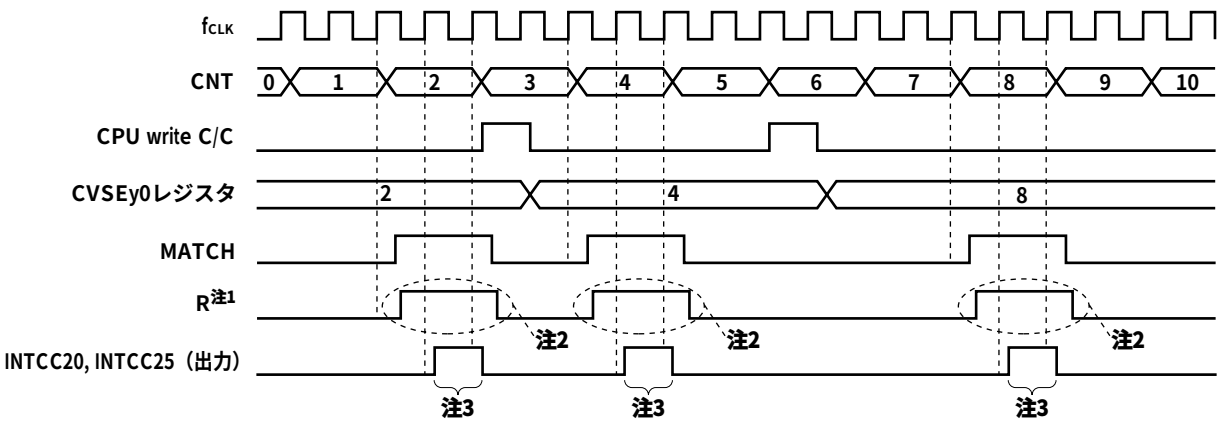
2. **このタイミングでイベントが発生した場合，無視されます。**

備考1. f_{CLK}**：基本クロック**

2. CNT**：タイマ**2**のカウント値**
   CAPTURE_S**：副キャプチャ・レジスタのキャプチャ・トリガ信号**
   ED1, ED2**：エッジ選択回路からのキャプチャ・イベント信号入力**
   READ_ENABLE_S：CVSEy0**レジスタのリード・タイミング**

3. y = 0, 5

図9－81　コンペア動作：コンペア一致およびレジスタへの書き込みタイミング
（CMSE050レジスタのCCSEyビット = 1, EEVEyビット = 任意，
CSCE0レジスタのSEVEyビット = 任意の場合）



注1. **サブチャネル**0/5**のコンペア一致で**TM20/TM21**のクリアもしくはカウント方向を制御できます。**

2. MATCH**信号が発生すると**MATCH**信号と同じ波形が発生します。**

3. **パルス幅は常に**1**クロックです。**

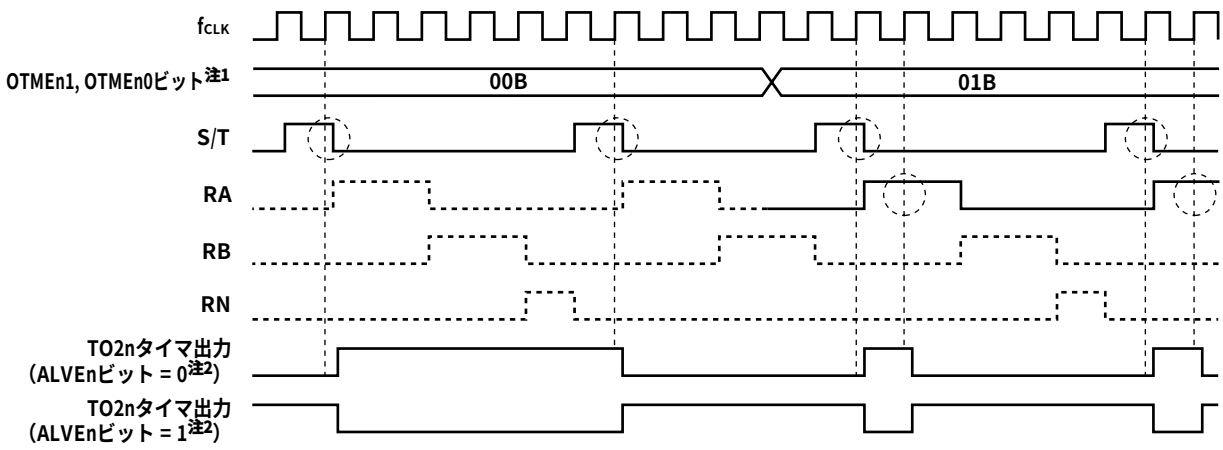
備考1. fCLK**：基本クロック**

2. CNT**：タイマ**2**のカウント値**
   MATCH：CVSEy0**レジスタとのコンペア一致タイミング**
   R**：コンペア一致入力（サブチャネル**0/5**）**

(5) 出力回路の動作

図9－82から図9－85に出力回路の動作を示します。

図9－82　信号出力動作：トグル・モード0およびトグル・モード1
（OCTLE0レジスタのSWFEnビット = 0, ODELE0レジスタの
ODLEn2-ODLEn0ビット = 0の場合）



注1. OCTLE0レジスタのOTMEn1, OTMEn0ビット

2. OCTLE0レジスタのALVEnビット

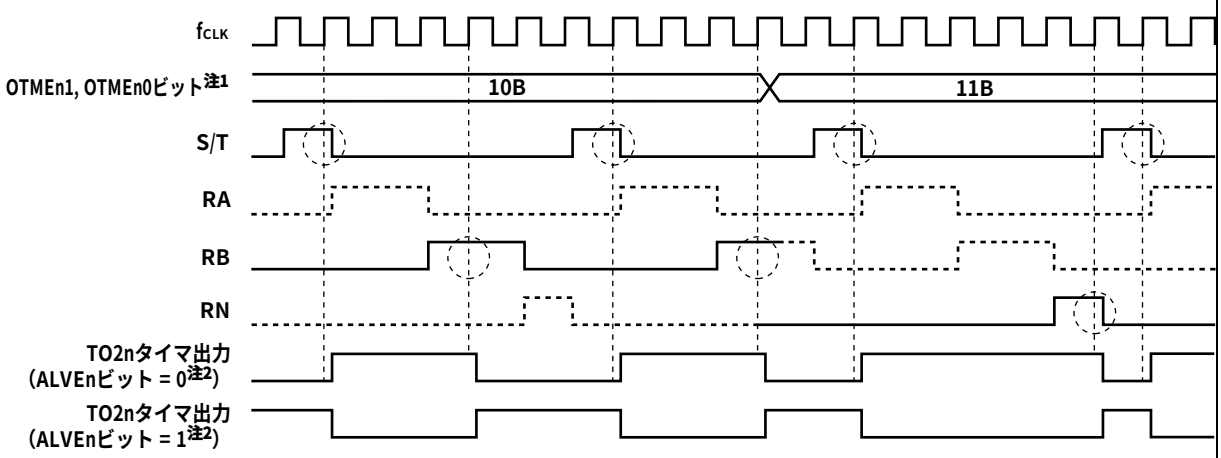
備考1. fCLK：基本クロック

2. RA：TM20のゼロ・カウント信号入力（出力回路のリセット信号）
RB：TM21のゼロ・カウント信号入力（出力回路のリセット信号）
RN：サブチャネルnの割り込み信号入力（出力回路のリセット信号）
S/T：サブチャネルnの割り込み信号入力（出力回路のセット信号）

3. n = 1-4

図9－83　**信号出力動作：トグル・モード**2**およびトグル・モード**3

（OCTLE0**レジスタの**SWFEn**ビット** = 0, ODELE0**レジスタの**ODLEn2-ODLEn0**ビット** = 0**の場合）**



注1.　OCTLE0**レジスタの**OTMEn1, OTMEn0**ビット**

2.　OCTLE0**レジスタの**ALVEn**ビット**

備考1.　fCLK**：基本クロック**

2.　RA：TM20**のゼロ・カウント信号入力（出力回路のリセット信号）**

RB：TM21**のゼロ・カウント信号入力（出力回路のリセット信号）**

RN：**サブチャネル**n**の割り込み信号入力（出力回路のリセット信号）**

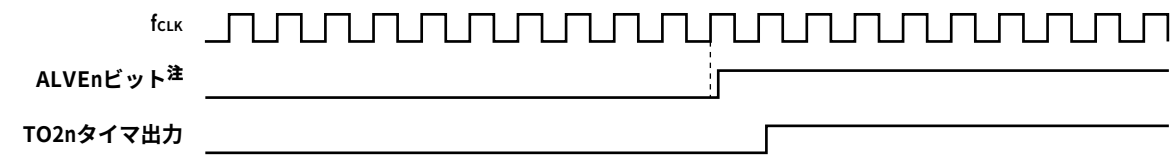
S/T：**サブチャネル**n**の割り込み信号入力（出力回路のセット信号）**

3.　n = 1-4

図9－84　**信号出力動作：ソフトウエア・コントロール時**

（OCTLE0**レジスタの**OTMEn1, OTMEn0**ビット** = **任意，**SWFEn**ビット** = 1,

ODELE0**レジスタの**ODLEn2-ODLEn0**ビット** = 0**の場合）**



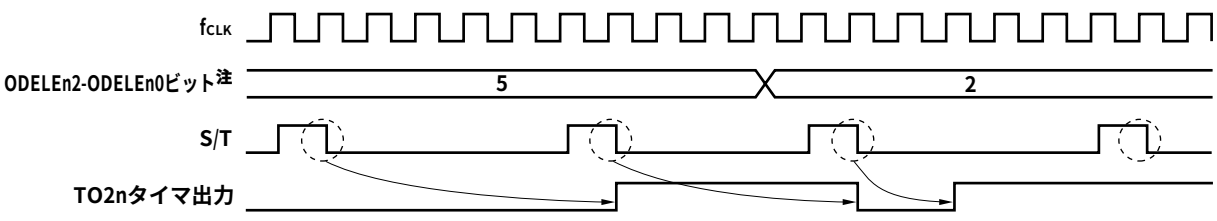
注　OCTLE0**レジスタの**ALVEn**ビット**

備考1.　fCLK**：基本クロック**

2.　n = 1-4

図9－85　**信号出力動作：遅延出力動作時**

（OCTLE0**レジスタの**OTMEn1, OTMEn0**ビット** = 0, ALVEn = 0,
SWFEn**ビット** = 0**の場合）**



注　OCTLE0**レジスタの**ODELEn2-ODELEn0**ビット**

備考1.　fCLK**：基本クロック**

2.　n = 1-4

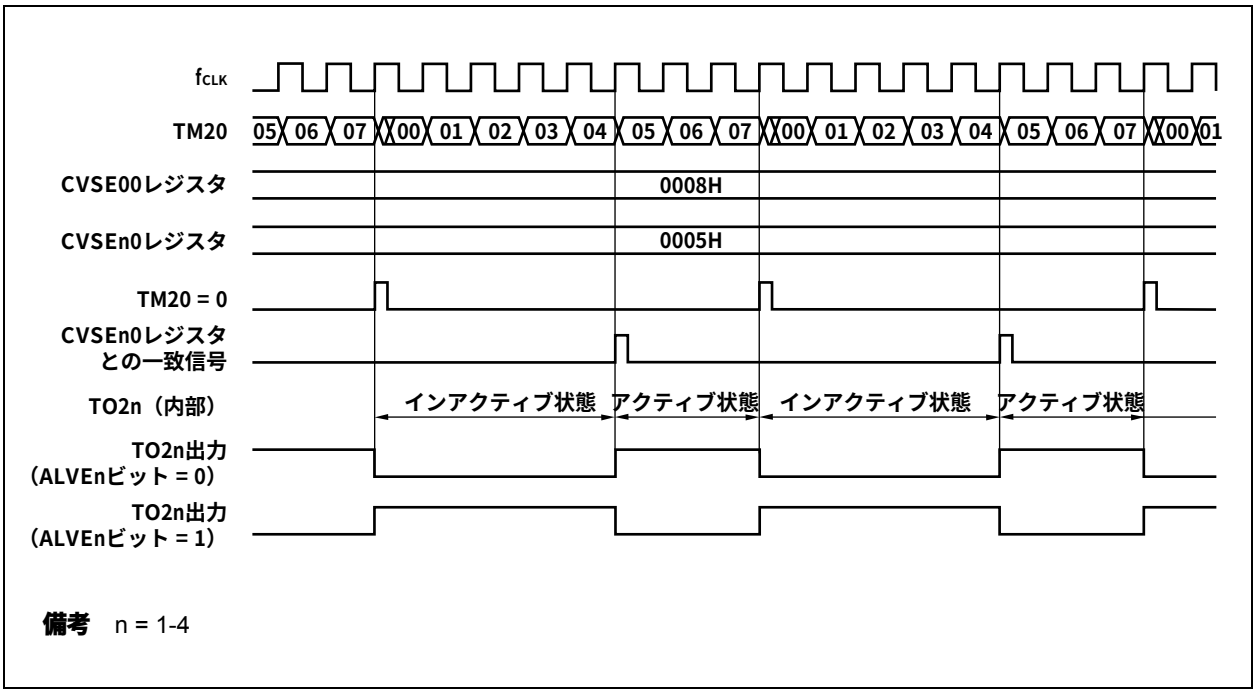
9. 3. 6　タイマ2のコンペア・モード動作におけるPWM出力動作

（1）トグル・モード1におけるTO2n端子のPWM出力動作時の各部の動作

トグル・モード1ではTM20 = 0時のトリガ信号でTO2n（内部）の出力をインアクティブ状態にし，サブチャネル1（CVPEn0レジスタ）とのコンペア一致信号をトリガ信号としてTO2n（内部）の出力をアクティブ状態にします。TO2n端子からは，このTO2n（内部）の状態に従い，OCTLE0.ALVEnビットの内容によってハイ・レベル／ロウ・レベルを出力します。

図9－86　通常出力動作時

（OCTLE0レジスタのOTMEn1, OTMEn0ビット = 01,
ODELE0レジスタのODLEn2-ODLEn0ビット = 000の場合）



備考　n = 1-4

(2) トグル・モード1においてOCTLE0.SWFEnビットを操作してTO2n端子の出力を制御した場合の各部の動作

(a) SWFEnビットが1→0になった直後にサブチャネルnのコンペア一致信号が出力された場合

図9－87，図9－88はトグル・モード1において，SWFEnビットを操作してTO2n出力端子の出力を制御した場合の出力開始／終了時の各部の波形を示しています。

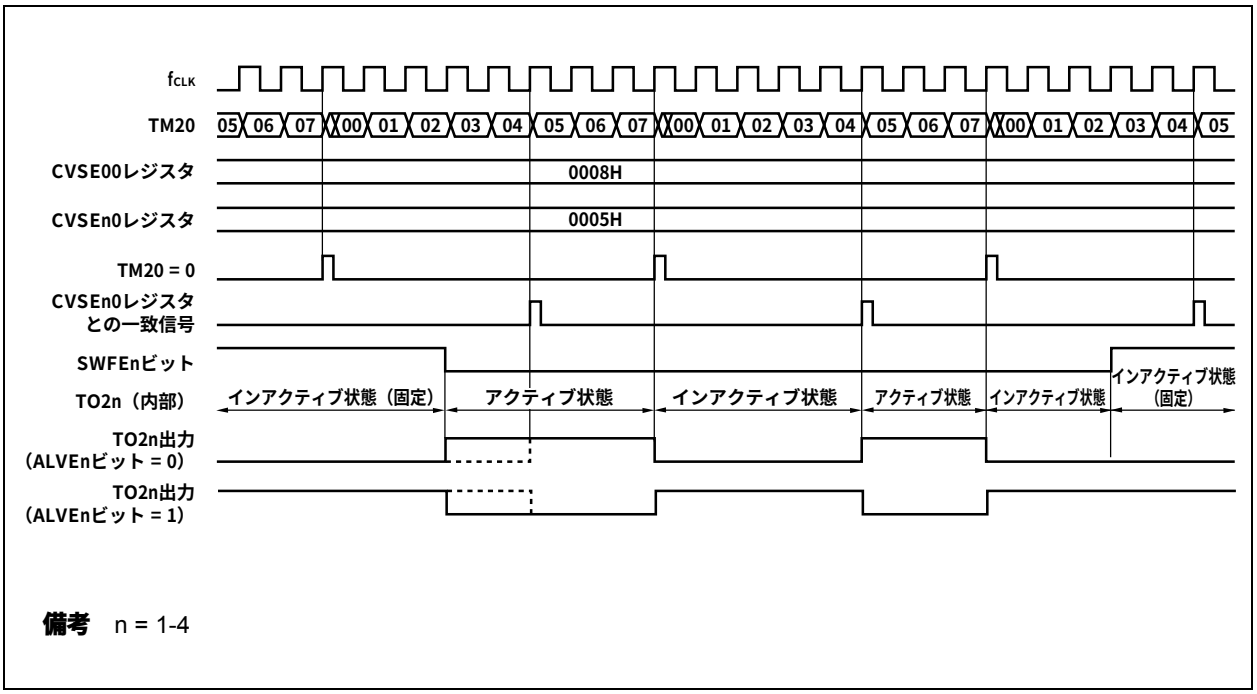
V850E/IA2のタイマ2はSWFEnビット = 1のとき，TO2n出力をインアクティブ状態に固定することにより，ALVEnビットの内容に従ったレベル（ALVEnビット = 0のときロウ・レベル，ALVEnビット = 1のときハイ・レベル）を出力します。またSWFEnビット = 0のときはTO2n（内部）をトリガ信号に従って動作させることによりアクティブ／インアクティブ・レベルを出力します。

ただし，SWFEnビットを1→0にした場合はTO2n出力を一度強制的にアクティブ状態にし，SWFEnビットを0→1にした場合はTO2n出力を強制的にインアクティブ状態に固定します。

そのため，SWFEnビットが1→0になった直後にサブチャネルnのコンペア一致信号が出力された場合，アクティブ期間はSWFEnビットが1→0になったタイミングからコンペア一致信号が出力される期間が通常のTO2n出力のアクティブ期間に加算されるため，最初のアクティブ期間が長くなります（図9－87参照）。

図9－87　通常出力動作開始／停止時

（OCTLE0レジスタのOTMEn1, OTMEn0ビット = 01,
ODELD0レジスタのODLEn2-ODLEn0ビット = 000の場合）



備考　n = 1-4

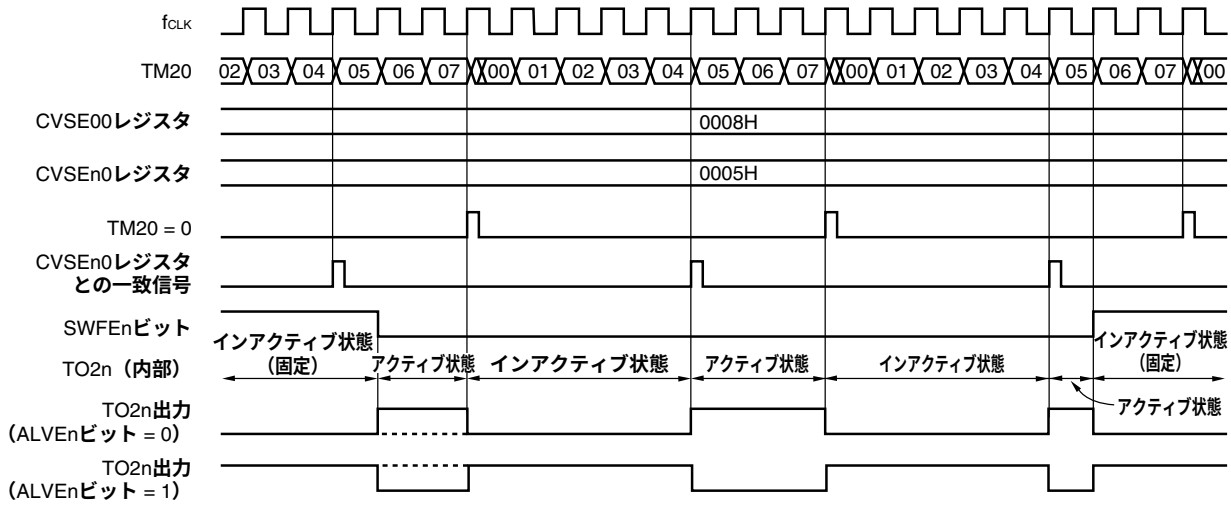
（b）SWFEnビットが1→0になった直後にTM20 = 0のトリガ信号が出力された場合

SWFEnビットが1→0になった直後にTM20 = 0のトリガ信号が出力された場合，アクティブ期間は通常のSWFEnビットが1→0になったタイミングからTM20 = 0のトリガ信号が出力される期間が最初のアクティブ期間となるため，通常のTO2n出力のアクティブ期間より短いパルスが出力されてしまいます。

また，SWFEnビットを0→1にした場合も強制的にTO2n出力をインアクティブに固定するため，アクティブ・レベルを出力している際にこの動作が発生した場合，アクティブ・レベル出力期間が短くなります（図9－88参照）。

図9－88　通常出力動作開始／停止時

（OCTLE0レジスタのOTMEn1, OTMEn0ビット = 01,
ODELD0レジスタのODLEn2-ODLEn0ビット = 000の場合）



備考　n = 1-4

9.4　タイマ3

9.4.1　特徴（タイマ3）

タイマ3（TM3）は，16ビットのタイマ／カウンタで次の動作を行うことができます。

- インターバル・タイマ機能
- PWM出力
- 外部信号の周期測定
- INTP4入力によるTO3出力バッファ・オフ

9.4.2　機能概要（タイマ3）

○16ビット・タイマ／カウンタ（TM3）：1チャネル

○キャプチャ／コンペア共用レジスタ：2本

○カウント・クロックはプリスケーラによる分周から選択（カウント・クロックは16 MHz以下に設定してください。）

○基本クロック（f_{CLK}）：2種（f_{CLK}は32 MHz以下に設定してください。）

f_{XX}および$f_{XX}/2$を選択可能

○プリスケーラ分周比

基本クロック（f_{CLK}）により次のように選択可能です。

分周比	基本クロック（f_{CLK}）	
	f_{XX}選択時	$f_{XX}/2$選択時
1/2	$f_{XX}/2$	$f_{XX}/4$
1/4	$f_{XX}/4$	$f_{XX}/8$
1/8	$f_{XX}/8$	$f_{XX}/16$
1/16	$f_{XX}/16$	$f_{XX}/32$
1/32	$f_{XX}/32$	$f_{XX}/64$
1/64	$f_{XX}/64$	$f_{XX}/128$
1/128	$f_{XX}/128$	$f_{XX}/256$
1/256	$f_{XX}/256$	$f_{XX}/512$

○割り込み要求ソース

- キャプチャ／コンペア一致割り込み要求：2要因

  キャプチャ・レジスタの場合：INTP3nの入力でINTCC3nを発生

  コンペア・レジスタの場合：CC3nの一致信号でINTCC3nを発生
- オーバフロー割り込み要求：1要因

  TM3レジスタのオーバフローによりINTTM3を発生

○タイマ／カウンタのカウント・クロック・ソース：2種

（外部パルス入力，内部システム・クロックの分周を選択）

○タイマ／カウンタがオーバフローしたときの動作モードを，フリー・ランニング・モード／オーバフロー・ストップ・モードの2種類から選択可能

○タイマ／カウンタとコンペア・レジスタの一致でタイマ／カウンタをクリア可能

○外部パルス出力（TO3）：1本

○INTP4入力によるTO3出力バッファ・オフ（ハイ・インピーダンス状態）

備考1.　fxx：内部システム・クロック

2.　n = 0, 1

9.4.3　V850E/IA1より追加された機能

V850E/IA2のタイマ3（TM3）は，V850E/IA1に搭載しているタイマ3からINTP4端子によるTO3出力停止制御機能を追加しています。この機能追加により，何らかの異常を検出して，INTP4端子に信号を入力することで，TO3出力を強制的に停止することができます。TO3出力停止制御機能は，クロック停止状態でも動作可能です。

9.4.4　基本構成

表9－13　タイマ3の構成一覧

タイマ	カウント・クロック		レジスタ	リード／ライト	発生する割り込み信号	キャプチャ・トリガ	タイマ出力 S/R
	注1	注2					
タイマ3	fxx/2, fxx/4, fxx/8, fxx/16, fxx/32, fxx/64, fxx/128, fxx/256	fxx/4, fxx/8, fxx/16, fxx/32, fxx/64, fxx/128, fxx/256 fxx/512	TM3	リード	INTTM3	－	－
			CC30	リード／ライト	INTCC30	INTP30	TO3（S）
			CC31	リード／ライト	INTC31	INTP31	TO3（R）

注1.　TM3の基本クロック（f_{CLK}）としてfxxを選択した場合

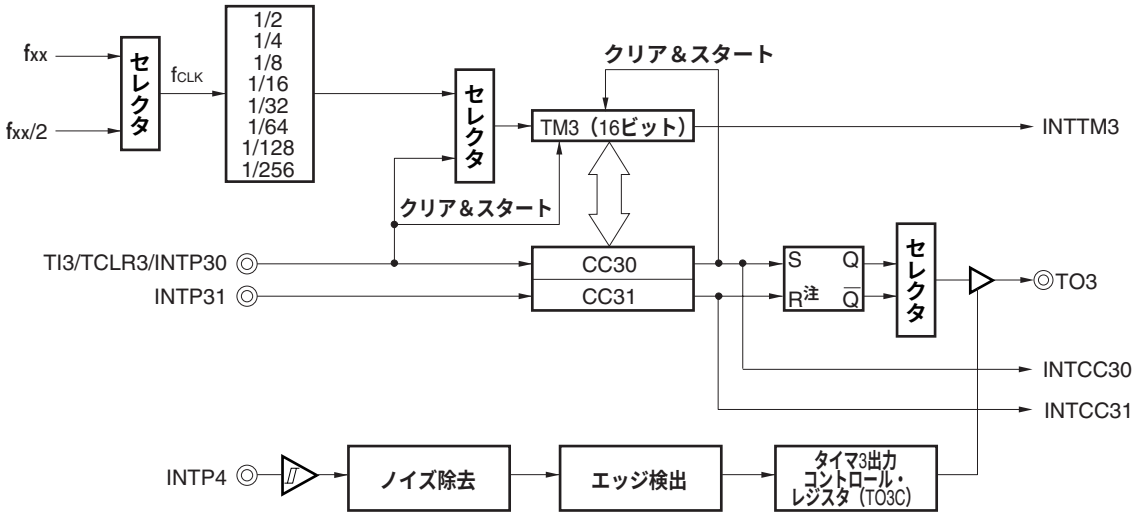
2.　TM3の基本クロック（f_{CLK}）としてfxx/2を選択した場合

備考　fxx：内部システム・クロック

S/R：セット／リセット

図9－89にタイマ3のブロック図を示します。

図9－89　タイマ3のブロック図



注　リセット優先

備考1.　TI3入力およびTCLR3入力はエッジ検出の直前でポートと接続します。

2.　fCLK：基本クロック（32 MHz（MAX.））

fxx　：内部システム・クロック

（1）タイマ3（TM3）

TM3は，16ビットのフリー・ランニング・タイマまたは外部信号のイベント・カウンタとして機能します。おもに，周期計測のほか，パルス出力としても利用できます。

TM3は16ビット単位でリードだけ可能です。

注意1.　TM3レジスタはリードだけ可能です。TM3レジスタに書き込みを行うと，その後の動作は不定となります。

2.　TMC30レジスタのTM3CAEビットをクリア（0）すると，非同期でリセットされます。

3.　TM3の連続読み出しは禁止します。TM3の連続読み出しを行った場合，2回目の読み出し値が実際の値と異なる可能性があります。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TM3																	FFFFF680H	0000H

TM3は，内部カウント・クロックまたは外部カウント・クロックのカウント・アップ動作を行います。タイマのスタートおよびストップは，タイマ・コントロール・レジスタ30（TMC30）のTM3CEビットで制御します。

カウント・クロックの内部／外部の選択はタイマ・コントロール・レジスタ31（TMC31）のETIビット

によって行います。

(a) 外部カウント・クロックを選択

TM3は，イベント・カウンタとして動作します。

タイマ・コントロール・レジスタ31（TMC31）のETIビットをセット（1）した場合，内部カウント・クロックに同期してTM3は外部クロック入力（TI3）の有効エッジ・カウント動作を行います。有効エッジの指定は，有効エッジ選択レジスタ（SESC）によって行います。

注意　INTP30/TI3/TCLR3端子をTI3/TCLR3として使用する場合はINTP30の割り込みをマスクするか，CC3nをコンペア・モードにしてください（n = 0, 1）。

(b) 内部カウント・クロックを選択

TM3は，フリー・ランニング・タイマとして動作します。

タイマ・コントロール・レジスタ31（TMC31）でカウント・クロックを内部クロックに指定した場合，TMC30レジスタのCS2-CS0ビットで指定した入力クロックの周期ごとにTM3はカウント・アップします。

カウント・クロックは，プリスケーラによる分周を，TMC30レジスタにより$f_{CLK}/2$, $f_{CLK}/4$, $f_{CLK}/8$, $f_{CLK}/16$, $f_{CLK}/32$, $f_{CLK}/64$, $f_{CLK}/128$, $f_{CLK}/256$から選択できます（f_{CLK}：基本クロック）。

タイマがオーバフローすると，オーバフロー割り込みを発生させることができます。また，TMC31レジスタのOSTビットをセット（1）することにより，オーバフロー後にタイマを停止させることができます。

注意　タイマ動作中はカウント･クロックを変更できません。

TM3レジスタが0000Hになる条件を次に示します。

(i) 非同期リセット

- TMC30レジスタのTM3CAEビット = 0
- リセット入力

(ii) 同期リセット

- TMC30レジスタのTM3CEビット = 0
- CC30レジスタをコンペア・レジスタとして使用し，かつTM3レジスタのクリアを許可（TMC31レジスタのCCLRビット= 1）しているときのTM3レジスタとCC30レジスタとの一致

(2) キャプチャ／コンペア・レジスタ30, 31（CC30, CC31）

キャプチャ／コンペア・レジスタ30, 31は，16ビットのキャプチャ／コンペア・レジスタです。

タイマ・コントロール・レジスタ31（TMC31）のCMS1, CMS0ビットの指定により，キャプチャ・レジスタまたはコンペア・レジスタとして使用できます。

16ビット単位でリード／ライト可能です（ただし，ライト動作はコンペア・モード時のみ可能です）。

注意　CC3nの連続読み出しは禁止します。CC3nの連続読み出しを行った場合，2回目の読み出し値が実際の値と異なる可能性があります。CC3nを2回読み出す必要がある場合は，必ず1回目と2回目の間にほかのレジスタを読み出してください。

正しい使用例	間違った使用例
CC30リード	CC30リード
CC31リード	CC30リード
CC30リード	CC31リード
CC31リード	CC31リード

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CC30																	FFFFF682H	0000H
CC31																	FFFFF684H	0000H

(a) キャプチャ・レジスタに設定（TMC31のCMS1, CMS0 = 0）

キャプチャ･レジスタに設定した場合は，対応する外部割り込みINTP30, INTP31信号の有効エッジをキャプチャ・トリガとして検出します。TM3はキャプチャ・トリガに同期して，TM3の値をCC30, CC31レジスタにラッチします（キャプチャ動作）。

INTP30端子の有効エッジはSESCレジスタのIES301, IES300ビットで，INTP31端子の有効エッジはSESCレジスタのIES311, IES310ビットで指定（立ち上がり，立ち下がり，両エッジ）します。

キャプチャ動作は，カウント・クロックとは非同期に行われます。ラッチした値は，次にキャプチャ動作が行われるまでキャプチャ・レジスタに保持されます。

タイマ・コントロール・レジスタ30（TMC30）のTM3CAEビットが0の場合，0000Hがリードされます。

キャプチャ・レジスタに指定したときは，INTP30, INTP31信号の有効エッジ検出で割り込みを発生します。

注意　キャプチャ動作とTM3レジスタのカウント禁止の設定（TMC30レジスタのTM3CEビット = 0）のタイミングが競合した場合には，キャプチャされたデータは不定になります。また，INTCC3n割り込みは発生しません（n = 0, 1）。

(b) コンペア・レジスタに設定（TMC31のCMS1, CMS0 = 1）

コンペア･レジスタに設定した場合は，カウント・クロックごとにTM3とレジスタ値の比較動作を行い，一致による割り込みを発生します。タイマ・コントロール・レジスタ31（TMC31）のCCLRビットがセット（1）されている場合，CC30レジスタの一致と同時に，TM3の値をクリア（0）します（CC31レジスタの一致ではTM3レジスタはクリア（0）されません）。

コンペア・レジスタはセット／リセット出力機能を備えています。一致信号の発生に同期して，対応するタイマ出力（TO3）をセットまたはリセットします。

割り込み選択ソースは選択したレジスタの機能で異なります。

注意1. キャプチャ／コンペア･レジスタ30, 31（CC30, CC31）にライトする場合は，必ずTM3CAEビットを1に設定してから行ってください。TM3CAEビットが0の場合，CC30, CC31レジスタにライトしても，非同期にリセットされてしまうため，ライトしたデータは無効になります。

2. キャプチャ／コンペア・レジスタ30, 31へのライト動作は，TMC30, TMC31レジスタ設定によりコンペア・レジスタに設定したあとに行ってください。キャプチャ・レジスタに設定されているとき（TMC31レジスタのCMS1, CMS0ビット = 0）に，CC30, CC31にライトしても，そのデータは書き込まれません。

3. コンペア・レジスタに設定した場合は，INTP30, INTP31は外部割り込み入力端子として使用できません。

9.4.5 制御レジスタ

(1) タイマ3クロック選択レジスタ（PRM03）

PRM03レジスタは，タイマ3（TM3）の基本クロック（f_{CLK}）を選択するレジスタです。

8/1ビット単位でリード／ライト可能です。

注意1. 必ずタイマを使用する前に設定してください。

2. f_{CLK}は32 MHz以下に設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
PRM03	0	0	0	0	0	0	0	PRM3	FFFFF690H	00H

ビット位置	ビット名	意　味
0	PRM3	タイマ3（TM3）の基本クロック（f_{CLK}）を指定します。 0：f_{XX}/2（f_{XX}＞32MHzの場合） 1：f_{XX}（f_{XX}≦32MHzの場合）

備考　f_{XX}：内部システム・クロック

(2) タイマ・コントロール・レジスタ30（TMC30）

TMC30レジスタは，TM3の動作を制御するレジスタです。

8/1ビット単位でリード／ライト可能です。

注意1. TM3CAEビットとその他のビットは同時にはセットできません。必ずTM3CAEビットをセットしたあとにその他のビットおよびその他のTM3のレジスタを設定してください。また，タイマ3を使用する際にタイマ機能に関連する外部端子を使用する場合には，必ず外部端子をコントロール・モードに設定したあとTM3CAEビットをセット（1）してください。

2. オーバフロー発生とTMC30レジスタのライトが競合した場合，TM3OVFビット値はTMC30レジスタのライト時に書き込んだ値となります。

（1/2）

	⑦	6	5	4	3	2	①	⓪	アドレス	初期値
TMC30	TM3OVF	CS2	CS1	CS0	0	0	TM3CE	TM3CAE	FFFFF686H	00H

ビット位置	ビット名	意　味
7	TM3OVF	TM3のオーバフローを示すフラグです。 0：オーバフロー発生なし 1：オーバフロー発生 TM3がFFFFHから0000Hにカウント・アップしたタイミングで，TM3OVFビットは1になります。同時にオーバフロー割り込み要求（INTTM3）を発生します。ただし，CC30をコンペア・モード（TMC31レジスタのCMS0ビット = 1）かつ，TM3とCC30とのコンペア時の一致クリアを許可（TMC31レジスタのCCLRビット = 1）に設定し，FFFFHでの一致後にTM3を0000Hにクリアする場合は，TM3のクリアとみなし，TM3OVFビットは1になりません。また，INTTM3割り込みも発生しません。 TM3OVFビットは，0をライトまたはTM3CAEビット = 0で非同期リセットをかけるまで1を保持します。また，オーバフローによる割り込み動作とTM3OVFビットは独立しており，TM3OVFビットを操作してもINTTM3に対する割り込み要求フラグ（TM3IF0）には影響を与えません。TM3OVFビットを読み出し中にオーバフローが発生した場合は，フラグの値は変化して次の読み出し時に反映されます。

(2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>6-4</td><td>CS2-CS0</td><td>TM3の内部カウント・クロックを選択します。

<table>
<tr><th>CS2</th><th>CS1</th><th>CS0</th><th>カウント・クロック</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>f_{CLK}/2</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>f_{CLK}/4</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>f_{CLK}/8</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>f_{CLK}/16</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>f_{CLK}/32</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>f_{CLK}/64</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>f_{CLK}/128</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>f_{CLK}/256</td></tr>
</table>

注意　タイマ動作中にCS2-CS0ビットを変更しないでください。変更する場合にはTM3CEビット= 0にしてから行ってください。動作中に書き換えた場合，その動作は保証できません。

備考　f_{CLK}：基本クロック</td></tr>
<tr><td>1</td><td>TM3CE</td><td>TM3の動作を制御します。
0：カウント禁止（0000Hで停止し，動作しません）
1：カウント動作を行います。

注意　TM3CE = 0の場合は，外部パルス出力（TO3）はインアクティブ・レベルになります（TO3出力のアクティブ・レベルはTMC31レジスタのALVビットで設定します）。</td></tr>
<tr><td>0</td><td>TM3CAE</td><td>内部カウント・クロックを制御します。
0：TM3ユニット全体を非同期リセット。TM3ユニットへの基本クロック供給を停止。
1：基本クロック（f_{CLK}）をTM3ユニットへ供給

注意1. TM3CAE = 0にすると，TM3ユニットを非同期にリセットできます。
2. TM3CAE = 0の場合は，TM3ユニットはリセット状態なので，TM3を動作させる場合には，まずTM3CAE = 1にしてください。
3. TM3CAEビットを1から0にした場合は，TM3ユニットのすべてのレジスタが初期化されます。再度TM3CAE = 1にする場合には，TM3CAE = 1設定後，必ずTM3ユニットのすべてのレジスタを再設定してください。</td></tr>
</table>

(3) タイマ・コントロール・レジスタ31（TMC31）

TMC31レジスタは，TM3の動作を制御するレジスタです。

8/1ビット単位でリード／ライト可能です。

注意1. タイマ動作中に，TMC31レジスタの各ビットを変更しないでください。変更する場合は，TMC30レジスタのTM3CEビットを0にしてから行ってください。タイマ動作中にTMC31レジスタを書き換えた場合の動作は保証できません。

2. ENT1ビットとALVビットを同時に変更した場合，TO3端子出力にグリッチ（ヒゲ状のノイズ）が発生する可能性があります。グリッチが発生しても誤動作しない回路構成にするか，ENT1ビットとALVビットを同時に変更しないようにしてください。

3. TO3出力は外部割り込み信号（INTP30，INTP31）では変化しません。TO3信号を使用するときは，キャプチャ／コンペア・レジスタをコンペア・レジスタに指定（TMC31レジスタのCMS1，CMS0ビット= 1）してください。

備考　TO3出力のフリップフロップは，リセットが優先されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
TMC31	OST	ENT1	ALV	ETI	CCLR	ECLR	CMS1	CMS0	FFFFF688H	20H

ビット位置	ビット名	意　味
7	OST	TM3がオーバフローしたときの動作を設定します。 0：オーバフロー後，カウント継続（フリー・ランニング・モード） 1：オーバフロー後，タイマは0000Hを保持しカウント停止（オーバフロー・ストップ・モード）。このときTMC30のTM3CEビットは1のままです。TM3CEビットに再度1を書き込みことによりカウントを開始します。
6	ENT1	外部パルス出力（TO3）の出力を許可／禁止します。 0：外部パルス出力禁止。TO3端子にはALVビットのインアクティブ・レベルを固定出力します。対応するコンペア・レジスタから一致信号が発生してもTO3端子のレベルは変化しません。 1：外部パルス出力許可。コンペア・レジスタの一致により，TO3出力が変化します。ただし，キャプチャ・モードのときには，TO3出力は変化しません。タイマ出力を許可してから最初に一致信号が発生するまでは,ALVビットのインアクティブ・レベルが出力されます。 **注意**　CC30, CC31のどちらかをキャプチャ・レジスタに指定した場合は，ENT1 = 0に設定してください。
5	ALV	外部パルス出力（TO3）のアクティブ・レベルを指定します。 0：アクティブ・レベルはロウ・レベル 1：アクティブ・レベルはハイ・レベル **注意**　ALVビットの初期値は“1”です。
4	ETI	カウント・クロックの外部と内部の切り替えを指定します。 0：入力クロック（内部）を指定します。TMC30のCS2-CS0ビットによりカウント・クロックを選択できます。 1：外部クロック（TI3）を指定します。SESCのTES31, TES30ビットの指定により有効エッジを選択できます。
3	CCLR	コンペア動作時のTM3のクリアの許可／禁止を設定します。 0：クリア禁止 1：クリア許可（コンペア動作時にCC30とTM3が一致するとTM3をクリア）
2	ECLR	外部クリア入力（TCLR3）によるTM3のクリアを許可します。 0：TCLR3によるクリア禁止 1：TCLR3によるクリア許可（クリア後，カウントを再開する）
1	CMS1	キャプチャ／コンペア・レジスタ（CC31）の動作モードを選択します。 0：キャプチャ・レジスタとして動作 1：コンペア・レジスタとして動作
0	CMS0	キャプチャ／コンペア・レジスタ（CC30）の動作モードを選択します。 0：キャプチャ・レジスタとして動作 1：コンペア・レジスタとして動作

(4) 有効エッジ選択レジスタ (SESC)

外部端子による外部割り込み要求 (TI3, TCLR3, INTP30, INTP31) の有効エッジを指定するレジスタです。

有効エッジは，立ち上がりエッジ，立ち下がりエッジ，または立ち上がり／立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

8/1ビット単位でリード／ライト可能です。

注意　タイマ動作中に，SESCレジスタの各ビットを変更しないでください。変更する場合は，TMC30レジスタのTM3CEビットを0にしてから行ってください。タイマ動作中にSESCレジスタを書き換えた場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
SESC	TES31	TES30	CES31	CES30	IES311	IES310	IES301	IES300	FFFFF689H	00H
	TI3		TCLR3		INTP31		INTP30			

ビット位置	ビット名	意　味
7, 6	TES31, TES30	INTP30, INTP31端子, TCLR3, TI3端子の有効エッジを指定します。
5, 4	CES31, CES30	
3, 2	IES311, IES310	
1, 0	IES301, IES300	

xESn1	xESn0	動　作
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がり両エッジ

備考　n = 3, 30, 31

(5) タイマ3出力コントロール・レジスタ（TO3C）

TO3Cレジスタは，TO3端子の出力を制御するレジスタです。

8/1ビット単位でリード／ライト可能です。

注意　TO3出力停止状態は，TO3SPビットに0を書き込むことで停止状態を解除できます。

	7	6	5	4	3	2	1	⓪	アドレス	初期値
TO3C	0	0	0	0	0	0	0	TO3SP	FFFFF6A0H	00H

ビット位置	ビット名	意　味
0	TO3SP	INTP4端子入力によるTO3端子の出力停止制御の有効／無効を指定します。 0：INTP4端子入力を無効にする （TO3出力（TO3端子の出力バッファ・オン）） 1：INTP4端子入力を有効にする （INTP4端子の有効エッジによりTO3出力停止（TO3端子の出力バッファはオフとなり，TO3端子はハイ・インピーダンス状態））

次に各レジスタの設定とTO3/P27/INTP31端子の状態を示します。

表9－14　各レジスタの設定とTO3/P27/INTP31端子の状態

PMC27 ビット	PFC27 ビット	PM27 ビット	TO3SP ビット	TO3/P27/INTP31		
				端子の動作モード	出力バッファ状態	端子機能
0	×	0	×	出力ポート・モード	オン	出力ポート
0	×	1	×	入力ポート・モード	オフ	入力ポート
1	0	×	×	INTP31入力モード	オフ	INTP31
1	1	×	0	TO3出力モード	オン	TO3
1	1	×	1		オン／オフ[注]	TO3/Hi-Z[注]

注　TO3出力モードに設定（PMC27ビット = 1, PFC27ビット = 1）時，TO3SPビット = 1に設定した場合は，INTP4端子で指定した割り込み有効エッジが発生するとTO3端子の出力バッファはオフし，TO3端子はハイ・インピーダンス状態になります。

INTP4端子の有効エッジ入力で出力ドライブをオフしたくない場合は，TO3SPビットに必ず0を設定してください。

INTP4端子の有効エッジは，INTM2レジスタのビット0（ES40），ビット1（ES41）で指定します。

なお，タイマ3動作中のINTP4端子の有効エッジ指定（ES40, ES41ビットの変更）は禁止します。

備考　×：任意（設定の必要なし）

9.4.6 動　　作

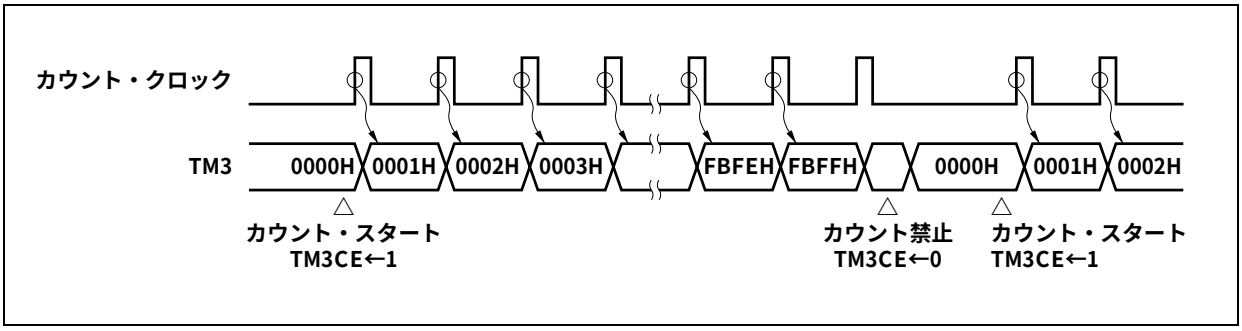
(1) カウント動作

タイマ3は，16ビットのフリー・ランニング・タイマまたは，外部信号のイベント・カウンタとして機能します。動作の設定は，タイマ・コントロール・レジスタ3n（TMC3n）で指定します（n = 0, 1）。

フリー・ランニング・タイマとして動作する場合，CC30, CC31レジスタとTM3のカウント値が一致すると，割り込み信号を発生させるとともに，タイマ出力信号（TO3）をセット／リセットすることができます。また，外部トリガとしての外部割り込み要求入力端子から検出された有効エッジに同期して，TM3のカウント値をCC30, CC31レジスタに保持するキャプチャ動作を行うこともできます。キャプチャの値は，次のキャプチャ・トリガが発生するまで保持されます。

注意　INTP30/TI3/TCLR3**端子を**TI3/TCLR3**として使用する場合は**INTP30**の割り込みをマスクするか，**CC3n**レジスタをコンペア・モードにしてください（**n = 0, 1**）。**

図9－90　タイマ3の基本動作



(2) オーバフロー

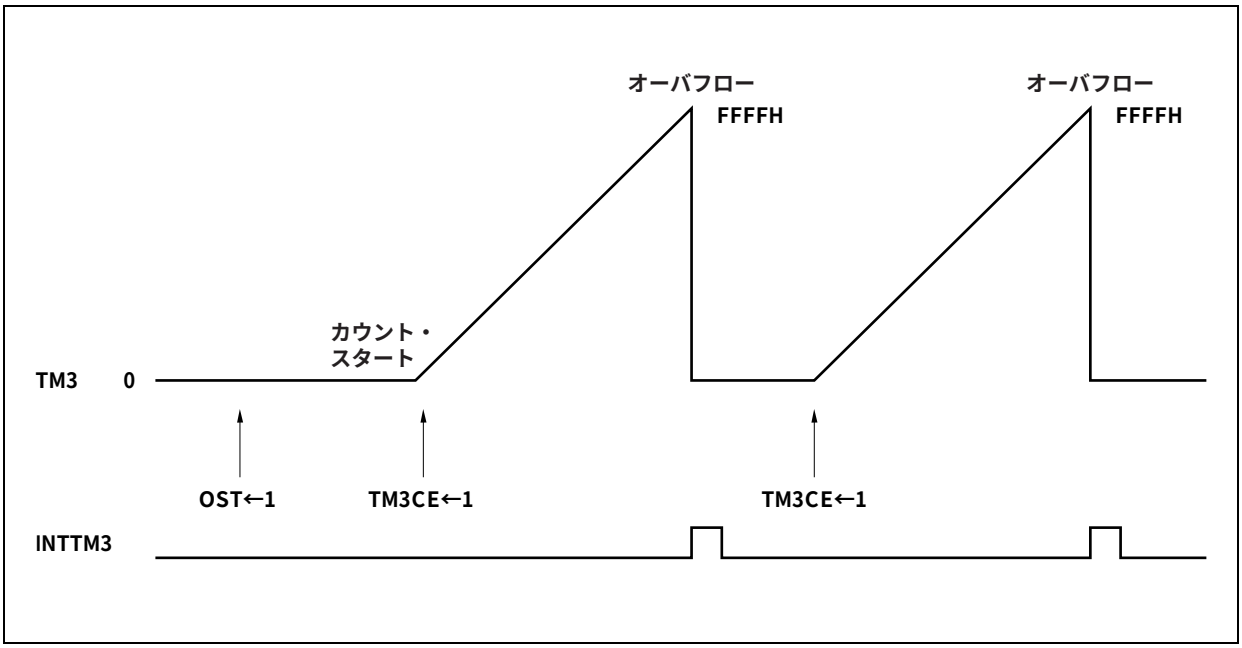
TM3レジスタがカウント・クロックをFFFFHから0000Hまでカウントした場合に，TMC30レジスタのTM3OVFビットをセット（1）します。同時にオーバフロー割り込み（INTTM3）を発生します。ただし，CC30レジスタをコンペア・モード（CMS0ビット = 1）かつ，FFFFHに設定し，一致クリアが有効（CCLRビット = 1）な場合に，TM3レジスタがFFFFHから0000Hに変化した場合は，TM3レジスタのクリアとみなし，TM3OVFビットをセット（1）しません。また，INTTM3も発生しません。

TM3CEビットを1→0に変更することにより，TM3レジスタがFFFFHから0000Hに変化した場合も，TM3レジスタのクリアとみなし，TM3OVFビットをセット（1）せず，INTTM3割り込みも発生しません。

また，TMC31レジスタのOSTビットをセット（1）することで，オーバフロー後，タイマを停止させることができます。オーバフローによりタイマが停止した場合，TMC30レジスタのTM3CEビットを再度セット（1）するまでカウント動作を再開しません。

なお，カウント動作中にTM3CEビットをセット（1）しても動作に影響はありません。

図9－91　オーバフロー後の動作（OST = 1の場合）



(3) キャプチャ動作

TM3レジスタは，CC30レジスタとCC31レジスタの2つのキャプチャ／コンペア・レジスタがあります。どちらもTMC31レジスタのCMS1, CMS0ビットにより，キャプチャ動作またはコンペア動作に設定します。

TMC31レジスタのCMS1, CMS0ビットに0を設定すると，キャプチャ・レジスタとして動作します。

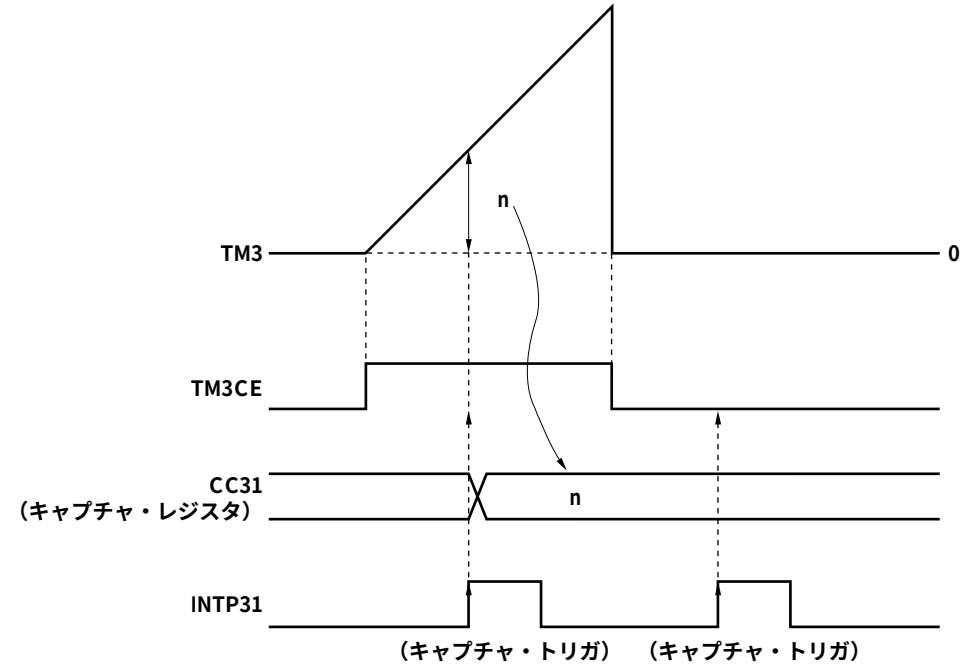
外部トリガに同期して，TM3のカウント値をカウント・クロックとは非同期にキャプチャ・レジスタに取り込み保持するキャプチャ動作を行います。外部トリガとして，外部割り込み要求入力端子（INTP30, INTP31）から検出された有効エッジを使用します（キャプチャ・トリガ）。そのキャプチャ・トリガ信号に同期して，カウント中のTM3のカウント値をキャプチャ・レジスタに取り込み保持します。キャプチャ・レジスタの値は，次のキャプチャ・トリガが発生するまで保持されます。

また，INTP30, INTP31信号入力により割り込み要求（INTCC30, INTCC31）を発生します。

キャプチャ・トリガの有効エッジは，有効エッジ選択レジスタ（SESC）により設定します。

立ち上がり，立ち下がりの両エッジをキャプチャ・トリガとした場合は，外部からの入力パルス幅を測定できます。また，片側エッジをキャプチャ・トリガとした場合は，入力パルスの周期を測定できます。

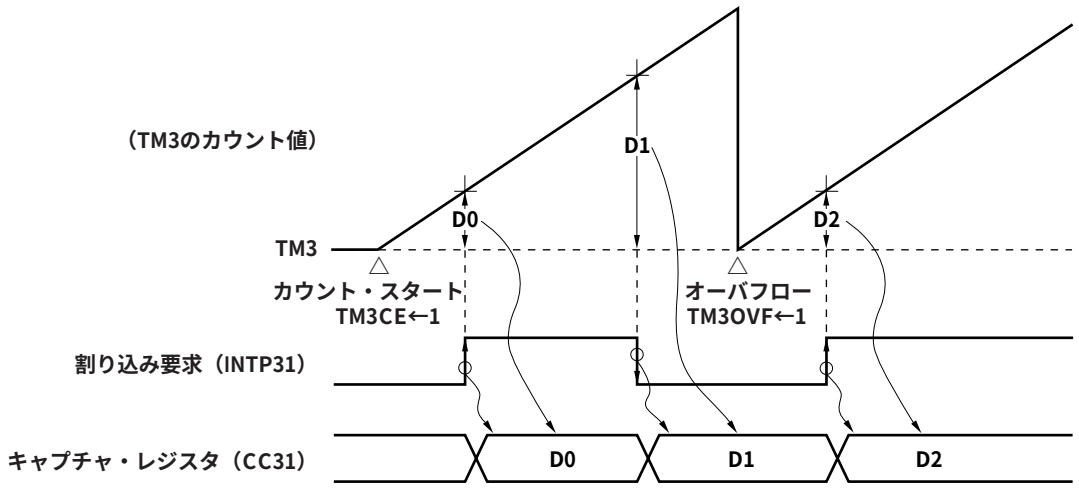
図9－92　キャプチャ動作例



備考1. TM3CEビット = 0のとき，INTP31が入力されてもキャプチャ動作は行われません。

2. INTP31の有効エッジ：立ち上がりエッジ

図9－93　TM3キャプチャ動作例（両エッジ指定時）



備考　D0-D2：TM3のカウント値

(4) コンペア動作

TM3レジスタは，CC30レジスタとCC31レジスタの2つのキャプチャ／コンペア・レジスタがあります。どちらもTMC31レジスタのCMS1, CMS0ビットにより，キャプチャ動作またはコンペア動作の設定をします。TMC31レジスタのCMS1, CMS0ビットに1を設定すると，コンペア・レジスタとして動作します。

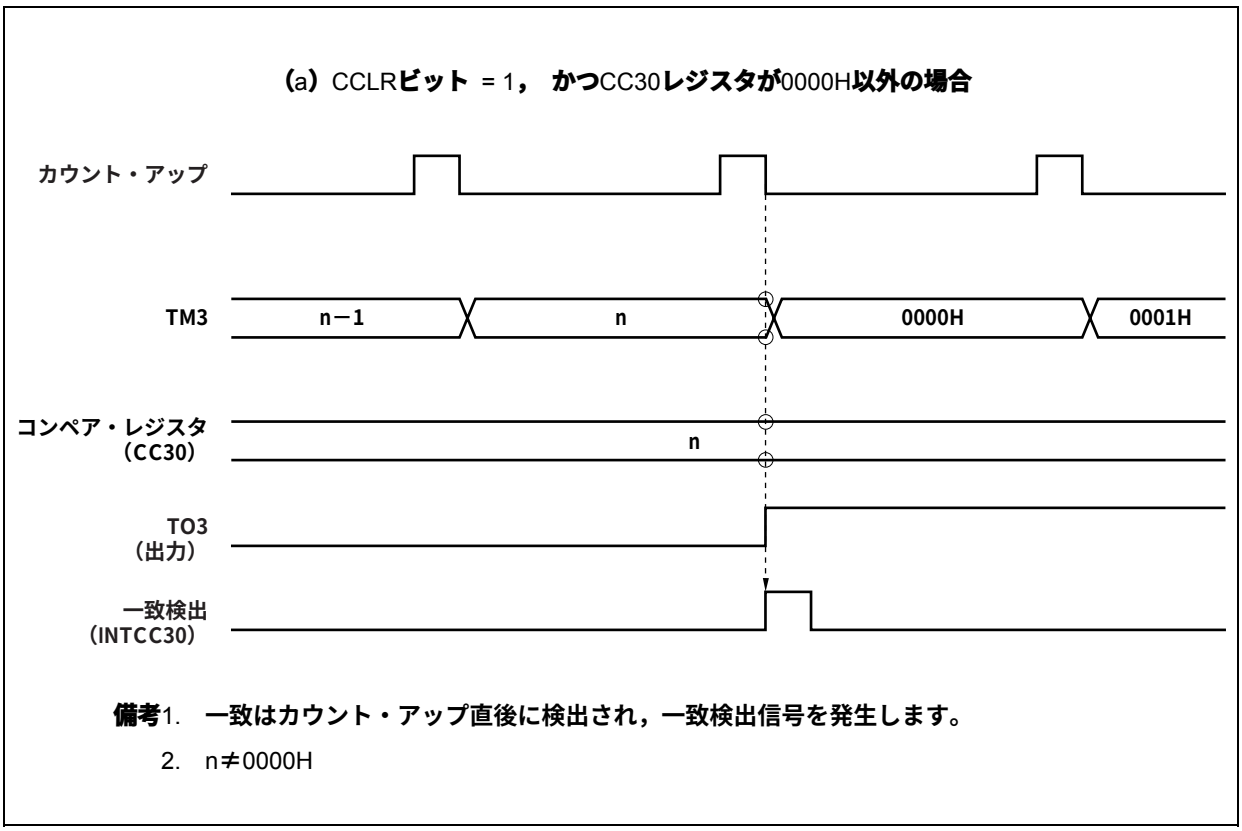
コンペア・レジスタに設定した値とTM3のカウント値を比較するコンペア動作を行います。

あらかじめ設定したコンペア・レジスタの値に，TM3のカウント値が一致すると，出力制御回路に一致信号を送ります。一致信号によりタイマ出力端子（TO3）を変化させ，同時に割り込み要求信号（INTCC30, INTCC31）を発生します。

CC30, CC31レジスタに0000Hを設定した場合は，TM3レジスタがFFFFHから0000Hにカウント・アップ後の0000Hを一致と判定します。この場合，次のカウント・タイミングでTM3レジスタの値をクリア（0）しますが，このときの0000Hとは一致の判定を行いません。また，TM3レジスタがカウントを開始するときの0000Hとも一致の判定を行いません。

CC30レジスタは一致クリア許可（CCLRビット = 1）にすると，コンペア動作中にTM3レジスタとの一致が発生した場合にTM3レジスタをクリアします。

図9－94　コンペア動作例（1/2）

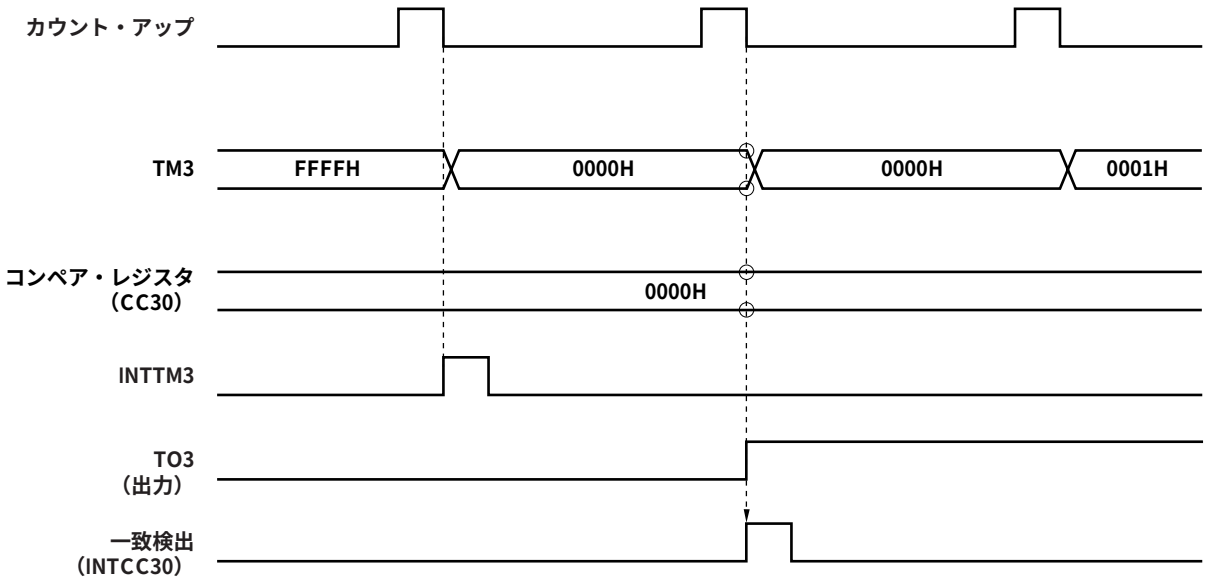


備考1.　一致はカウント・アップ直後に検出され，一致検出信号を発生します。

2.　n≠0000H

図9－94　コンペア動作例（2/2）

（b）CCLRビット = 1，かつCC30レジスタが0000Hの場合



備考　一致はカウント・アップ直後に検出され，一致検出信号を発生します。

(5) 外部パルス出力

タイマ3は1本のタイマ出力端子（TO3）を持っています。

外部パルス出力（TO3）は，2つのコンペア・レジスタ（CC30, CC31）とTM3レジスタとの一致を検出して生成します。

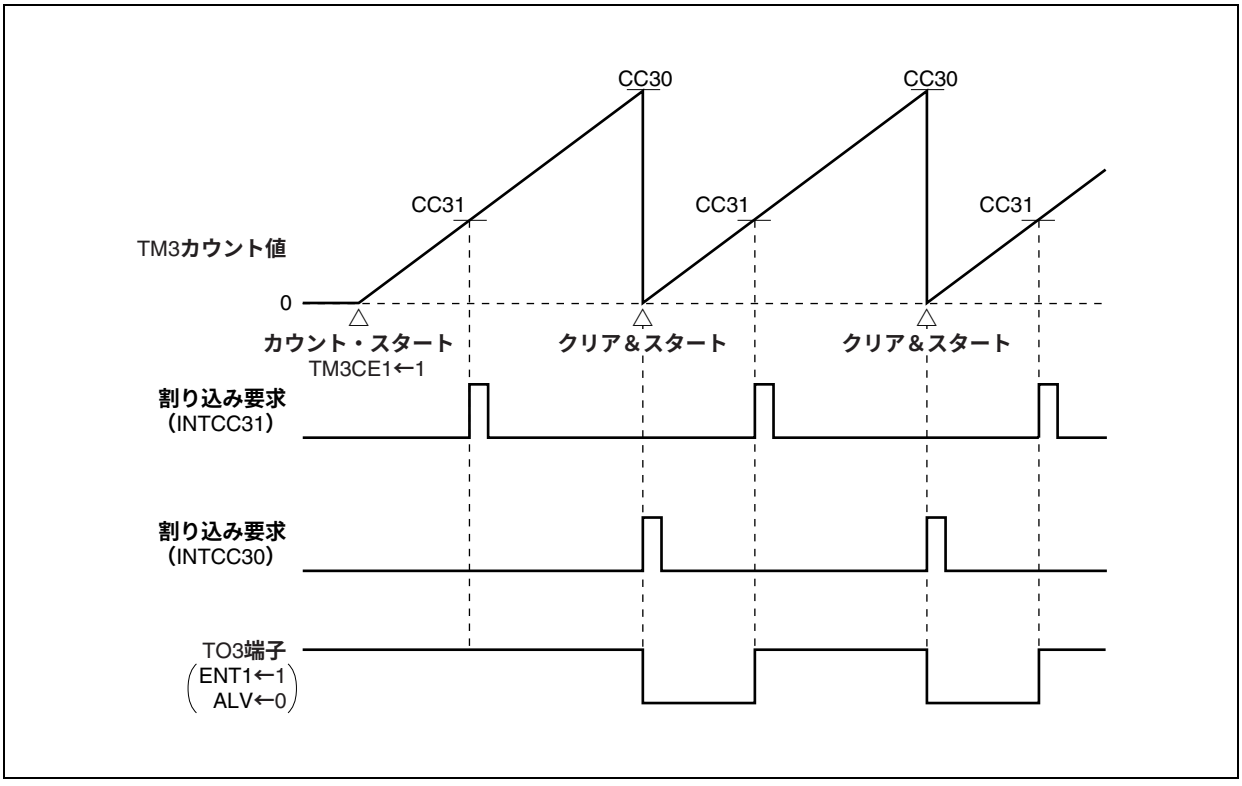
TM3のカウント値とCC30の値を比較し，一致するとTO3端子の出力レベルをセットします。また，TM3のカウント値とCC31の値を比較し，一致するとTO3端子の出力レベルをリセットします。

TO3端子の出力レベルは，TMC31レジスタによって指定できます。

表9－15　TO3出力制御

ENT1	ALV	TO3出力	
		外部パルス出力	出力レベル
0	0	禁止	ハイ・レベル
0	1	禁止	ロウ・レベル
1	0	許可	CC30レジスタとの一致：ロウ・レベル CC31レジスタとの一致：ハイ・レベル
1	1	許可	CC30レジスタとの一致：ハイ・レベル CC31レジスタとの一致：ロウ・レベル

図9－95　TM3コンペア動作例（セット／リセット出力モード）



(6) INTP4端子によるTO3出力停止制御機能

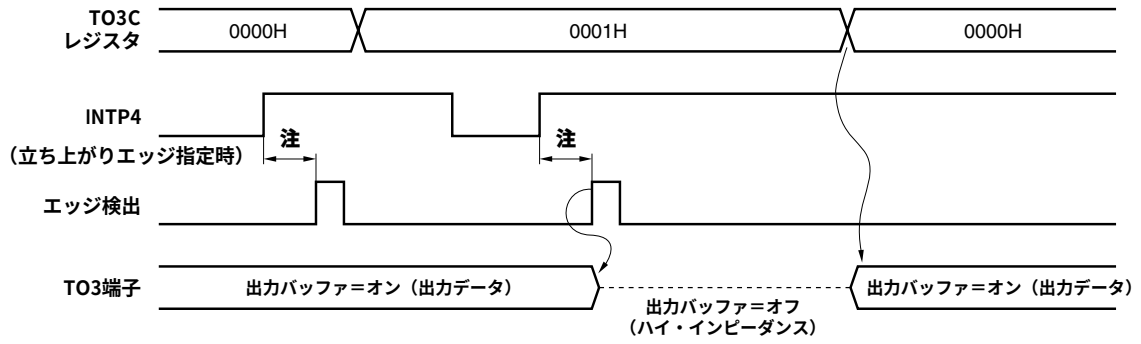
モータの電源系の異常を検出して，INTP4端子に信号を入力することにより，TO3端子の出力を強制的に停止できます。

TO3出力モードに設定（PMC27 = 1, PFC27 = 1）かつ，タイマ3出力コントロール・レジスタ（TO3C）のTO3SPビット = 1設定時に，INTP4端子で指定した割り込み有効エッジが発生するとTO3端子の出力バッファをオフできます（TO3端子はハイ・インピーダンスになります）。

INTP4端子の有効エッジによりTO3端子の出力が停止（出力バッファ = オフ）したあとに，TO3端子の出力を再開（出力バッファ = オン）するには，TO3SPビットを“1”から“0”に書き換えてください。

INTP4端子の有効エッジは，外部割り込みモード・レジスタ2（INTM2）のES40, ES41ビットで指定できます。

図9－96　INTP4端子によるTO3出力停止制御機能動作例（TO3出力モード（PMC27ビット = 1, PFC27ビット = 1）に設定時）



注　アナログ・ディレイ

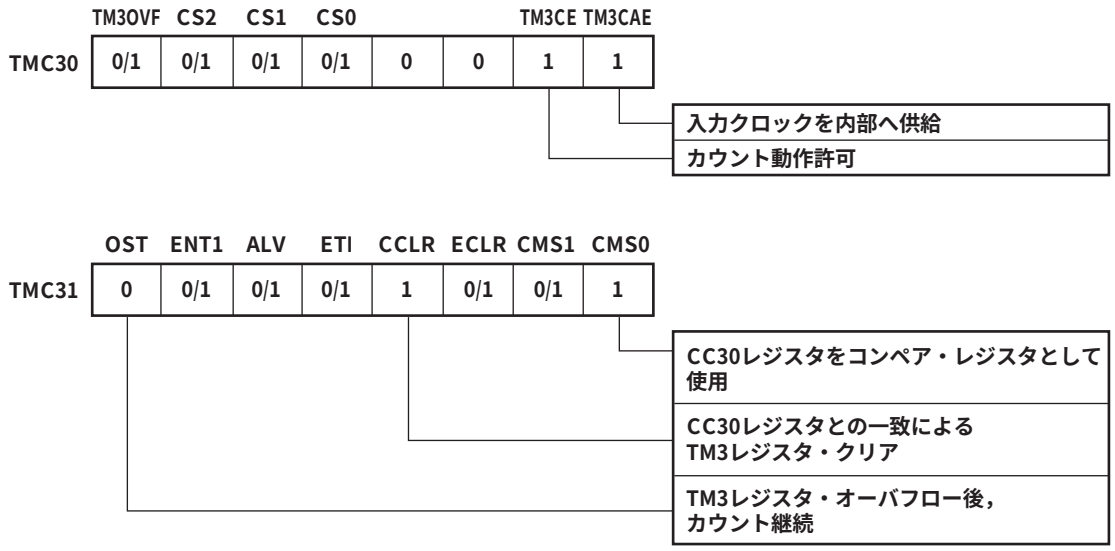
9.4.7 使 用 例

(1) インターバル・タイマ

TMC30, TMC31レジスタを図9－97のように設定することにより，CC30レジスタにあらかじめ設定した値をインターバルとして，繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

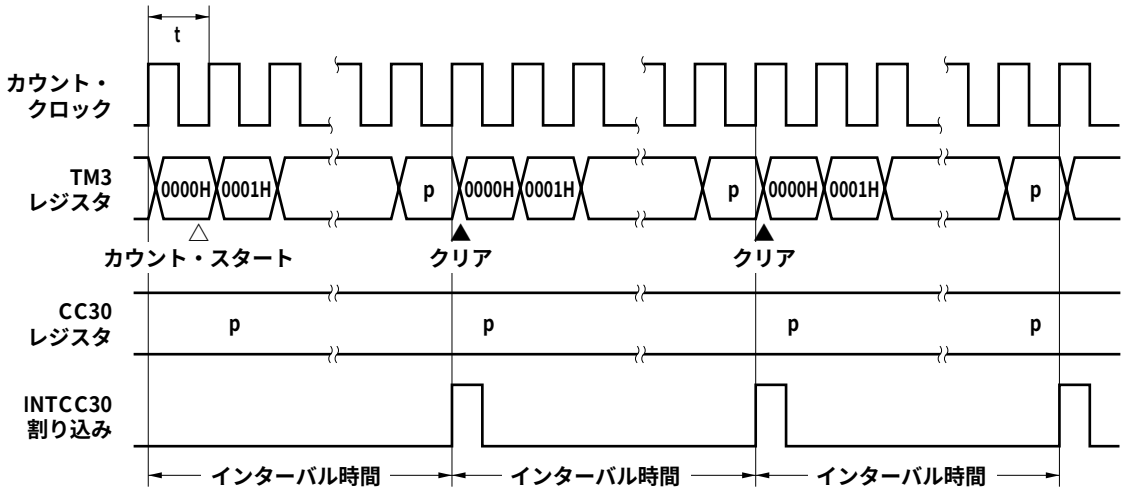
TM3レジスタのカウンタ値がCC30レジスタの設定値と一致すると，TM3レジスタをクリア（0000H）してカウント動作を継続すると同時に，割り込み要求信号（INTCC30）を発生します。

図9－97　インターバル・タイマとして使用時のレジスタ設定内容



備考　0/1：必要に応じて0または1に設定

図9－98　インターバル・タイマ動作タイミング例



備考　p：CC30レジスタ設定値（0000H-FFFFH）

t：カウント・クロック周期

インターバル時間 =（p＋1）×t

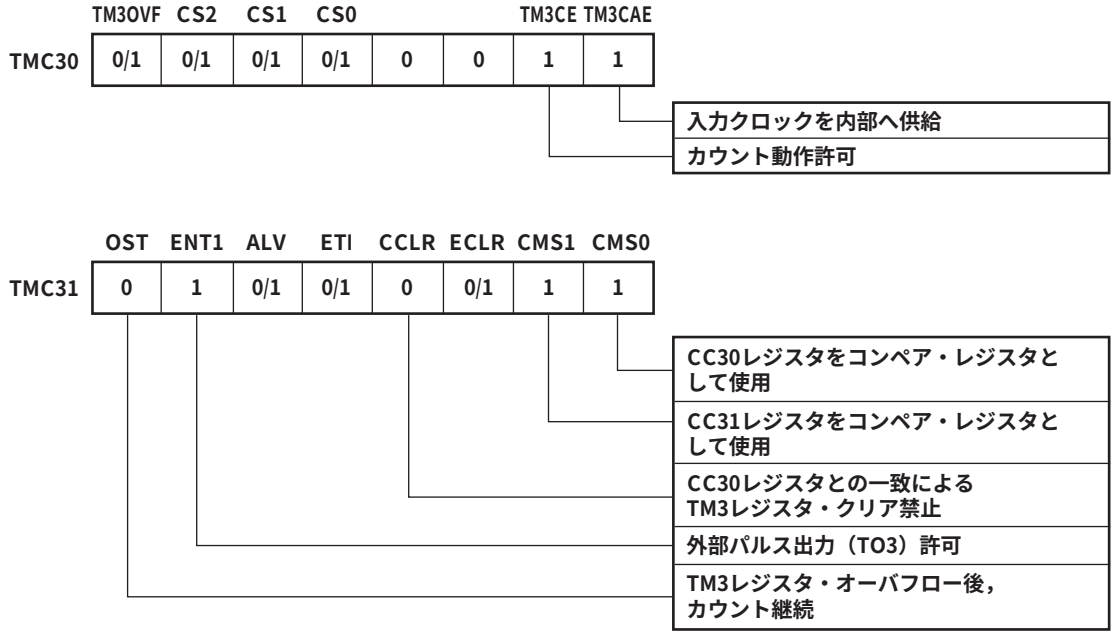
(2) PWM出力

TMC30, TMC31レジスタを図9－99のように設定することにより，CC30, CC31レジスタにあらかじめ設定した値をインターバルとするTMC30レジスタのCS2-CS0ビットの設定で決まる周波数のPWM出力が行えます。

TM3レジスタのカウンタ値がCC30レジスタの設定値と一致すると，TO3出力がアクティブになります。続いて，TM3レジスタのカウント値がCC31レジスタの設定値と一致すると，TO3出力がインアクティブになります。TM3レジスタはカウントを続け，オーバフローするとカウント値を0000Hにしてクリアし，カウントを継続します。これによって，TMC30レジスタのCS2-CS0ビットの設定で決まる周波数のPWM出力が可能になります。CC30レジスタの設定値とCC31レジスタの設定値が同一の場合は，TO3出力はインアクティブのまま変化しません。

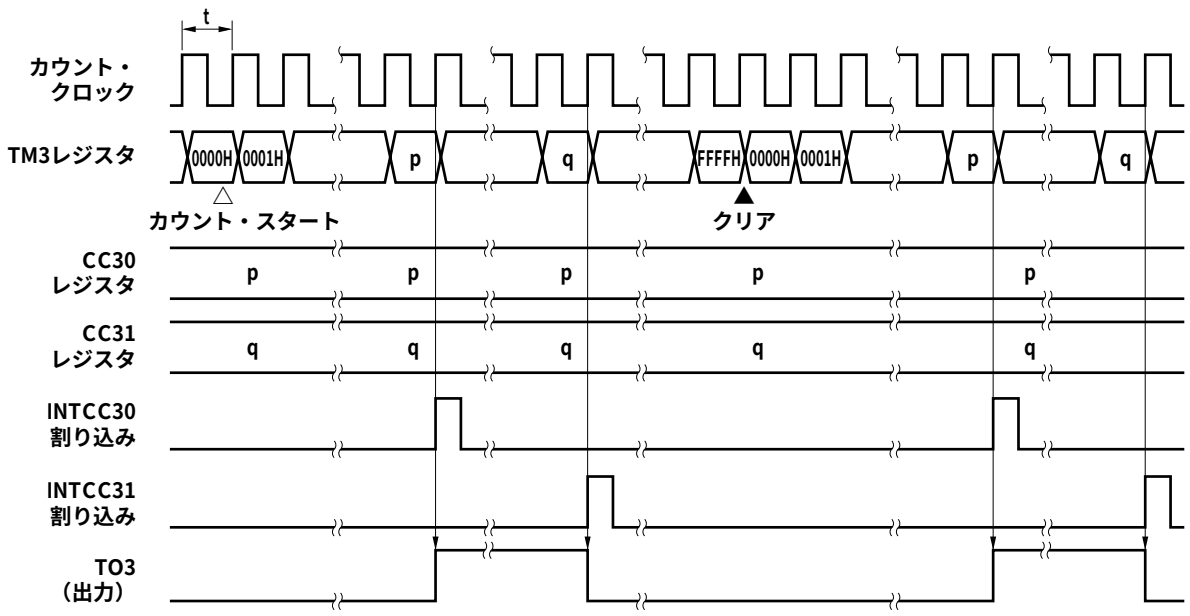
なお，TO3出力のアクティブ・レベルはTMC31レジスタのALVビットで設定できます。

図9－99　PWM出力として使用時のレジスタ設定内容



備考　0/1：必要に応じて0または1に設定

図9－100　PWM出力動作タイミング例



備考1.　p：CC30**レジスタ設定値**（0000H-FFFFH）

q：CC31**レジスタ設定値**（0000H-FFFFH）

p≠q

t：**カウント・クロック周期**

PWM**周期** = 65536×t

デューテイ = $\frac{q-p}{65536}$

2.　TO3**出力のアクティブ・レベルをハイ・レベルにした場合の例です。**

(3) 周期測定

TMC30, TMC31レジスタを図9－101のように設定することにより，INTP30端子，またはINTP31端子に入力する信号の周期を測定することができます。

INTP30端子の有効エッジは，SESCレジスタのIES301, IES300ビットで行い，INTP31端子の有効エッジは，SESCレジスタのIES311, IES310ビットで行います。どちらの端子も有効エッジとして立ち上がり，立ち下がり，立ち上がり／立ち下がり両エッジの3種類から選択できます。

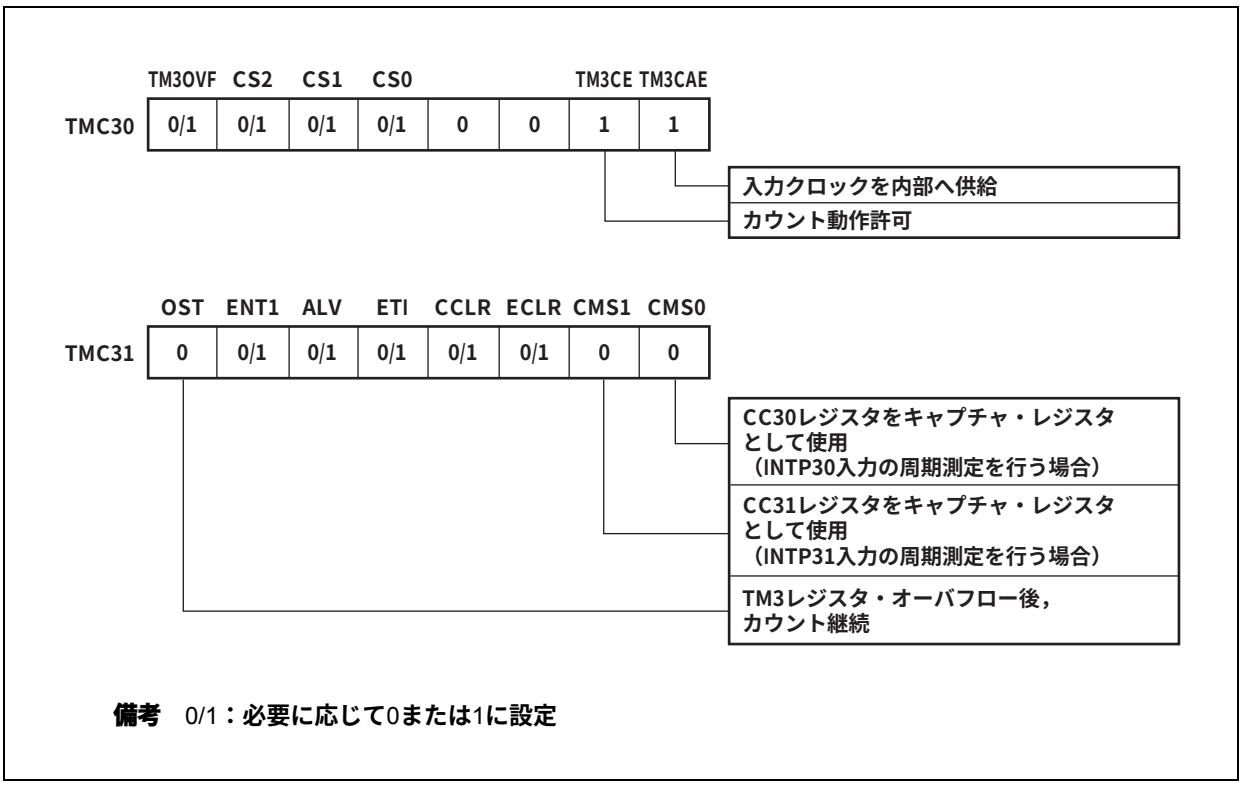
CC30レジスタをキャプチャ・レジスタに設定してTM3をスタートさせると，INTP30端子の有効エッジ入力をトリガとして，TM3レジスタの値をCC30レジスタに取り込みます。取り込みが行われると，INTCC30割り込みを発生します。

同様にCC31レジスタをキャプチャ・レジスタに設定してTM3をスタートさせると，INTP31端子の有効エッジ入力をトリガとして，TM3レジスタの値をCC31レジスタに取り込みます。取り込みが行われると，INTCC31割り込みを発生します。

INTP30端子に入力する信号の周期は，x回目のINTP30端子の有効エッジにより，CC30レジスタに取り込んだTM3レジスタのカウント値（Dx）と，（x＋1）回目のINTP30端子の有効エッジによりCC30レジスタに取り込んだTM3レジスタのカウント値（D（x＋1））との差を求め，この差の値とクロック制御信号の周期の積から計算します。

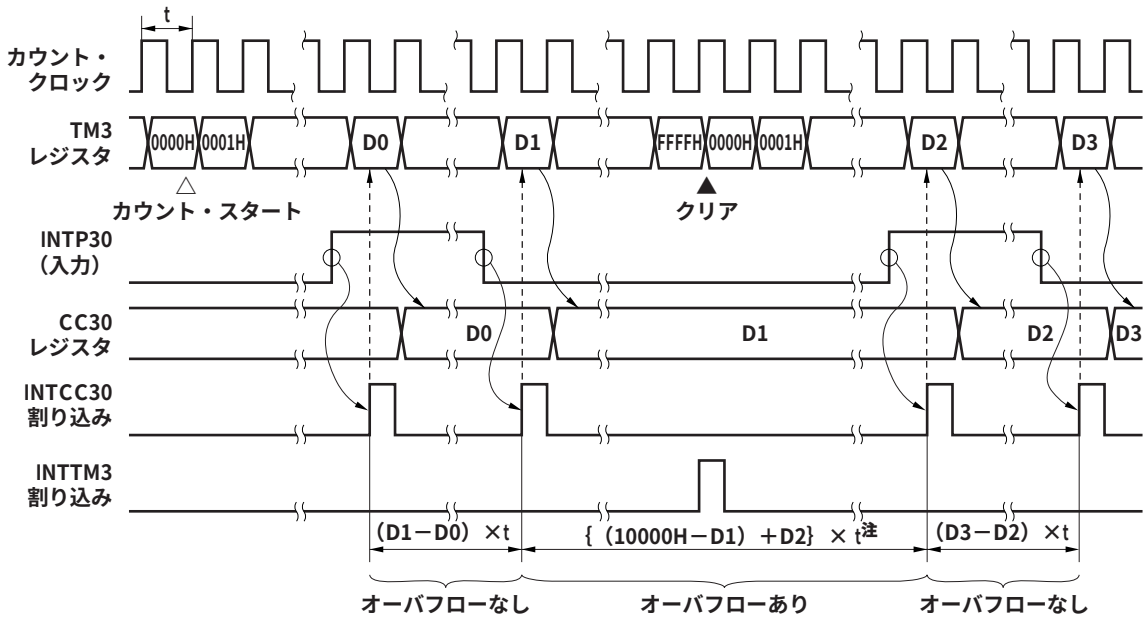
同様にINTP31端子に入力する信号の周期は，x回目のINTP31端子の有効エッジにより，CC31レジスタに取り込んだTM3レジスタのカウント値（Dx）と，（x＋1）回目のINTP31端子の有効エッジによりCC31レジスタに取り込んだTM3レジスタのカウント値（D（x＋1））との差を求め，この差の値とクロック制御信号の周期の積から計算します。

図9－101　周期測定として使用時のレジスタ設定内容



備考　0/1：必要に応じて0または1に設定

図9－102　周期測定動作タイミング例



注　オーバフローが1回発生した場合

備考1.　D0-D3：TM3**レジスタ・カウント値**

t：**カウント・クロック周期**

2.　INTP30**入力有効エッジを立ち上がり／立ち下がりの両エッジに設定した場合の例です。**

9.4.8　注意事項

タイマ3についての注意事項を次に示します。

(1) CC30レジスタをキャプチャ・モードで使用しているときに，命令によるCC30レジスタのリードとキャプチャ動作が競合した場合，外部トリガ（INTP30）の有効エッジ検出および，外部割り込み要求（INTCC30）は発生しますが，CC30レジスタへのタイマ値の格納は行われません。

(2) CC31レジスタをキャプチャ・モードで使用しているときに，命令によるCC31レジスタのリードとキャプチャ動作が競合した場合，外部トリガ（INTP31）の有効エッジ検出および，外部割り込み要求（INTCC31）は発生しますが，CC31レジスタへのタイマ値の格納は行われません。

(3) 動作中（TMC30レジスタのTM3CE = 1）に，次のビット，レジスタを書き換えないでください。

- TMC30レジスタのCS2-CS0ビット
- TMC31レジスタ
- SESCレジスタ

(4) TMC30レジスタのTM3CAEビットは，TM3のリセット信号です。TM3を使用する際には，まずTM3CAEビットをセット（1）してください。

(5) 外部割り込み入力（INTP30, INTP31），外部クロック入力（TI3）の有効エッジ検出には，アナログ・ノイズ除去時間＋2カウント・クロックが必要です。したがって，アナログ・ノイズ除去時間＋2カウント・クロック未満の変化に対してはエッジ検出が正常に行われない可能性があります。アナログ・ノイズ除去については，12.5　**ノイズ除去回路**を参照してください。

(6) 外部割り込み出力（INTCC30, INTCC31）の動作は，キャプチャ／コンペア・レジスタ30, 31（CC30, CC31）の動作状態によって自動的に決定します。キャプチャ・モード時は外部トリガ（INTP30, INTP31）の有効エッジ検出として動作し，コンペア・モード時は，TM3レジスタとの一致割り込みとして動作します。

(7) TMC31レジスタのENT1ビットとALVビットを同時に変更した場合，TO3端子出力にグリッチ（ヒゲ状のノイズ）が発生する可能性があります。グリッチが発生しても誤動作しない回路構成にするか，ENT1ビットとALVビットを同時に変更しないようにするかしてください。

9.5　タイマ4

9.5.1　特徴（タイマ4）

タイマ4（TM4）は，16ビットのインターバル・タイマとして機能します。

9.5.2　機能概要（タイマ4）

○16ビット・インターバル・タイマ：1チャネル

○コンペア・レジスタ：1本

○カウント・クロックは内部システム・クロックの分周から選択（カウント・クロックは16 MHz以下に設定してください。）

○基本クロック（f_{CLK}）：1種（f_{CLK}は32 MHz以下に設定してください。）

$f_{XX}/2$

○プリスケーラ分周比

基本クロック（f_{CLK}）により次のように選択可能です。

分周比	基本クロック（f_{CLK}）
1/2	$f_{XX}/4$
1/4	$f_{XX}/8$
1/8	$f_{XX}/16$
1/16	$f_{XX}/32$
1/32	$f_{XX}/64$
1/64	$f_{XX}/128$
1/128	$f_{XX}/256$
1/256	$f_{XX}/512$

○割り込み要求ソース：1要因

・コンペア一致割り込み

CM4の一致信号でINTCM4を発生

○タイマ・クリア

CM4レジスタの一致によりTM4レジスタをクリアできます。

備考　f_{XX}：内部システム・クロック

9. 5. 3　基本構成

表9－16　タイマ4の構成一覧

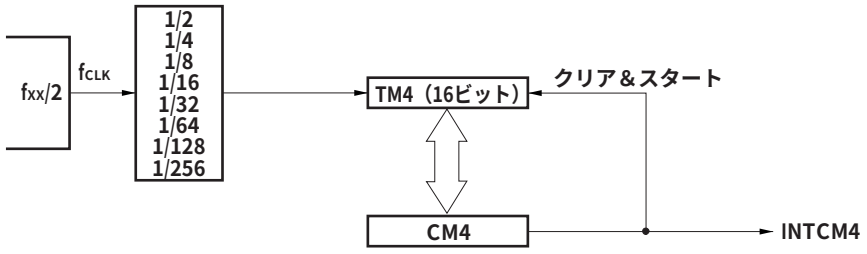
タイマ	カウント・クロック	レジスタ	リード／ライト	発生する割り込み信号	キャプチャ・トリガ	タイマ出力 S/R	その他の機能
タイマ4	fxx/4, fxx/8, fxx/16, fxx/32, fxx/64, fxx/128, fxx/256, fxx/512	TM4	リード	－	－	－	－
		CM4	リード／ライト	INTCM4	－	－	－

備考　fxx：内部システム・クロック

S/R：セット／リセット

図9－103にタイマ4のブロック図を示します。

図9－103　タイマ4のブロック図



備考　fCLK　：基本クロック（32 MHz（MAX.））

fxx　：内部システム・クロック

（1）タイマ4（TM4）

TM4**は，**16**ビット・タイマです。おもに，ソフトウエアのためのインターバル・タイマとして利用できます。**

TM4**のスタートおよびストップは，タイマ・コントロール・レジスタ**4（TMC4）**の**TM4CE0**ビットによって制御します。**

カウント・クロックは，プリスケーラによる分周を，TMC4**レジスタの**CS2-CS0**ビットにより**fxx/4, fxx/8, fxx/16, fxx/32, fxx/64, fxx/128, fxx/256, fxx/512**から選択できます（**fxx**：内部システム・クロック）。**

TM4**は**16**ビット単位でリードだけ可能です。**

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TM4																	FFFFF540H	0000H

TM4**レジスタが**0000H**になる条件を次に示します。**

- ○**リセット入力**
- ○TM4CAE0**ビット** = 0
- ○TM4CE0**ビット** = 0
- ○TM4**レジスタと**CM4**レジスタの一致**
- ○**オーバフロー**

注意1. TMC4**レジスタの**TM4CAE0**ビットをクリア（**0**）すると，非同期でリセットされます。**

2. TMC4**レジスタの**TM4CE0**ビットをクリア（**0**）すると，内部クロックに同期してリセットされます。**CM4**レジスタとの一致後，オーバフロー後も同様です。**
3. **タイマ動作中はカウント・クロックを変更しないでください。書き換えるときは，**TM4CE0**ビットをクリア（**0**）したあとに書き換えてください。**
4. TM4CE0**ビットに設定後，設定値が内部に伝わるまで最大**4**内部システム・クロックかかります。したがって，カウント動作開始時，**0000H**から**0001H**のカウント周期は，その後のカウント周期と異なります。**
5. **コンペア一致が発生したあと，タイマは次のカウント・クロックでクリアされるため，分周比が大きいときは，一致割り込み発生直後にタイマの値を読み出しても，タイマの値が**0**でない場合があります。**

(2) コンペア・レジスタ4（CM4）

CM4は，TM4レジスタ・カウント値との比較を行い，一致すると割り込み要求信号（INTCM4）を発生します。この一致に同期してTM4をクリアします。TMC4レジスタのTM4CAE0ビットを0にすると，非同期にリセットがかかり初期化されます。

CM4レジスタはマスタ／スレーブ構成になっています。CM4レジスタにライトすると，まず，マスタ・レジスタにライトされ，続いてマスタ・レジスタのデータがスレーブ・レジスタに転送されます。コンペア動作においては，スレーブ・レジスタの値とTM4レジスタのカウント値を比較します。CM4をリードした場合は，マスタ側の値が読み出されます。

CM4は16ビット単位でリード／ライト可能です。

注意1. CM4レジスタへのライト動作は，CM4レジスタに設定した値が内部に伝わるまで4内部システム・クロックかかります。CM4レジスタに連続して書き込みを行う場合，4内部システム・クロック以上の時間間隔を確保してください。

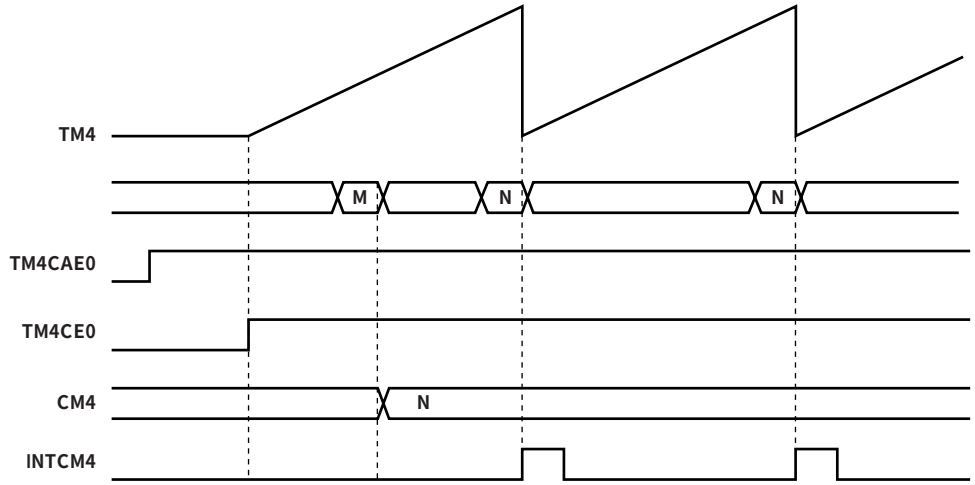
2. CM4レジスタの書き換えは，TM4レジスタの1周期（0000HからTM4レジスタとCM4レジスタが一致してINTCM4割り込みが発生するまで）に1回のみ可能です。それをアプリケーションで確保できない場合は，動作中にCM4レジスタを書き換えないでください。

3. TM4レジスタ動作中，そのカウンタ値以下の値をCM4レジスタに書き込むと，オーバフローしたあとINTCM4割り込みが発生するため注意してください（図9－104）。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CM4																	FFFFF542H	0000H

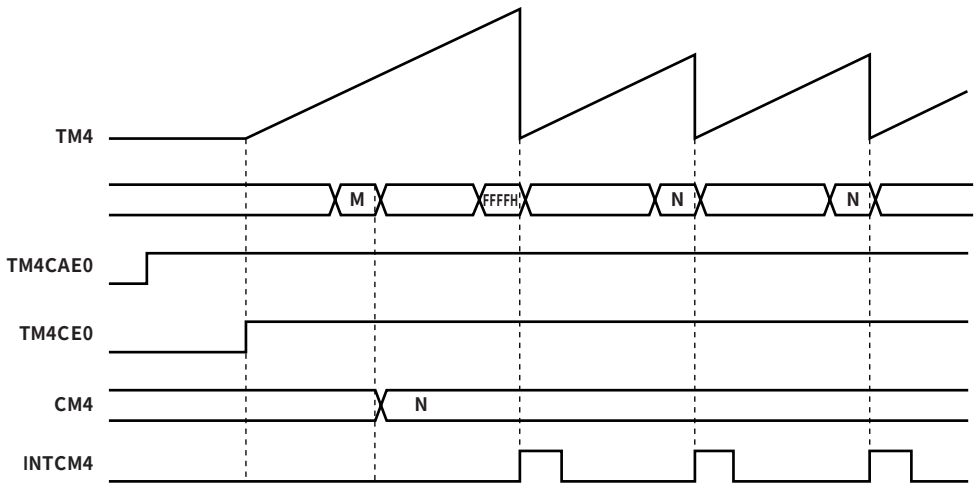
図9－104　TM4動作中のタイミング例

（a）TM4＜CM4の場合



備考　M = 書き換え時のTM4の値
N = 書き換え後のCM4の値
M＜N

（b）TM4＞CM4の場合



備考　M = 書き換え時のTM4の値
N = 書き換え後のCM4の値
M＞N

9.5.4　制御レジスタ

(1) タイマ・コントロール・レジスタ4（TMC4）

TMC4レジスタは，タイマ4の動作を制御するレジスタです。

8/1ビット単位でリード／ライト可能です。

注意　TM4CAE0ビットとその他のビットは同時にはセットできません。必ずTM4CAE0ビットをセットしたあとにその他のビットおよびその他のTM4のレジスタを設定してください。

	7	6	5	4	3	2	①	⓪	アドレス	初期値
TMC4	0	CS2	CS1	CS0	0	0	TM4CE0	TM4CAE0	FFFFF544H	00H

ビット位置	ビット名	意　味
6-4	CS2-CS0	TM4のカウント・クロックを選択します。 CS2 / CS1 / CS0 / カウント・クロック 0 / 0 / 0 / $f_{XX}/4$ 0 / 0 / 1 / $f_{XX}/8$ 0 / 1 / 0 / $f_{XX}/16$ 0 / 1 / 1 / $f_{XX}/32$ 1 / 0 / 0 / $f_{XX}/64$ 1 / 0 / 1 / $f_{XX}/128$ 1 / 1 / 0 / $f_{XX}/256$ 1 / 1 / 1 / $f_{XX}/512$ **注意**　タイマ動作中にCS2-CS0ビットを変更しないでください。変更する場合にはTM4CE0ビット = 0にしてから行ってください。動作中に書き換えた場合，その動作は保証できません。
1	TM4CE0	TM4の動作を制御します。 0：カウント禁止（0000Hで停止し，動作しません） 1：カウント動作を行います。 **注意**　TM4CE0ビットはコンペア動作で一致を検出してもクリアされません。カウント動作を停止する場合は，TM4CE0ビットをクリアしてください。
0	TM4CAE0	内部カウント・クロックを制御します。 0：TM4ユニット全体を非同期リセット。TM4ユニットへの基本クロック（f_{CLK}）供給を停止。 1：基本クロック（f_{CLK}）をTM4ユニットへ供給。 **注意**1. TM4CAE0 = 0にすると，TM4ユニットを非同期にリセットすることができます。 2. TM4CAE0 = 0の場合は，TM4ユニットはリセット状態なので，TM4を動作させる場合には，まずTM4CAE0 = 1にしてください。 3. TM4CAE0ビットを1から0にした場合は，TM4ユニットのすべてのレジスタが初期化されます。再度TM4CAE0 = 1にする場合には，TM4CAE0 = 1設定後，必ずTM4ユニットのすべてのレジスタを再設定してください。

9.5.5 動　　作

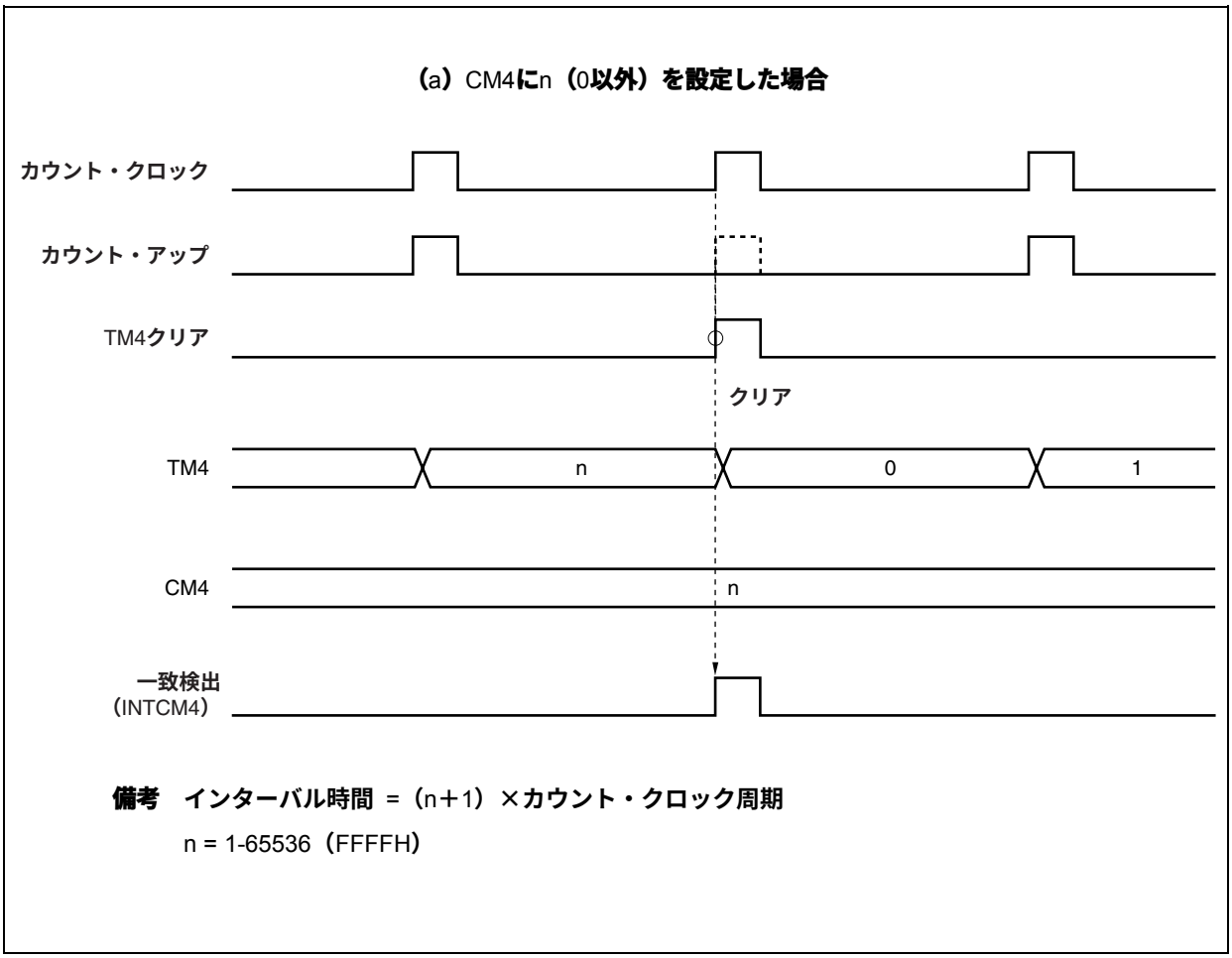
(1) コンペア動作

TM4では，コンペア・レジスタ（CM4）に設定した値とTM4のカウント値を比較するコンペア動作を行います。

コンペア動作で一致を検出すると割り込み（INTCM4）を発生します。割り込み発生により，次のカウント・タイミングでTM4はクリア（0）されます。この機能により，タイマ4をインターバル・タイマとして使用します。

CM4には0を設定することもできます。この場合はオーバフローしてTM4が0になるとともに一致を検出しINTCM4が発生します。次のカウント・タイミングでTM4の値をクリア（0）しますが，この一致では，INTCM4は発生しません。

図9－105　TM4コンペア動作例（1/2）

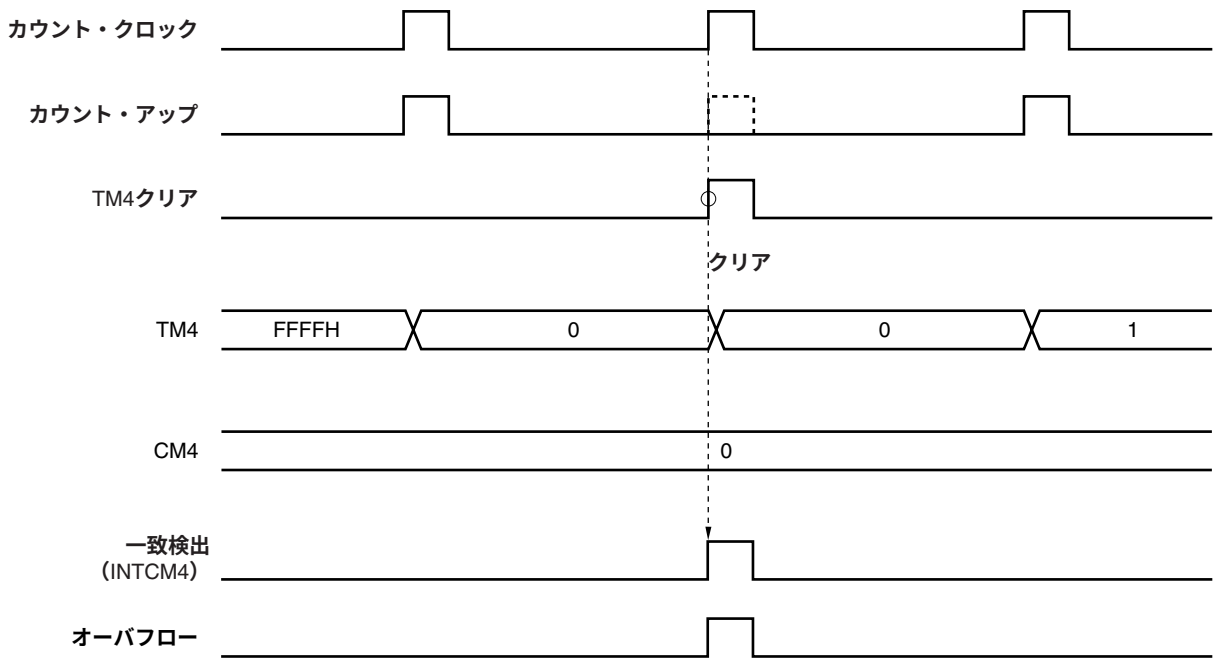


備考　インターバル時間 =（n＋1）×カウント・クロック周期

n = 1-65536（FFFFH）

図9－105　TM4コンペア動作例（2/2）

（b）CM4に0を設定した場合



備考　インターバル時間 =（FFFFH＋2）×カウント・クロック周期

9.5.6　使 用 例

(1) インターバル・タイマ

16ビット精度でインターバル・タイマとして使用する例について説明します。

同一間隔で割り込み要求（INTCM4）を出力します（**図**9－105　TM4**コンペア動作例**参照）。設定方法を次に示します。

① TM4CAE0ビットをセット（1）します。
② 各レジスタの設定を行います。
　・TMC4レジスタのCS2-CS0ビットでカウント・クロックを選択します。
　・CM4レジスタにコンペア値を設定します。
③ TM4CE0ビットをセット（1）し，カウントをスタートさせます。
④ TM4レジスタとCM4レジスタの値が一致すると，INTCM4割り込みが発生します。
⑤ 以後，同一間隔でINTCM4割り込みが発生します。

9.5.7　注意事項

タイマ4についての注意事項を次に示します。

(1) TM4を動作させる場合には，最初にTMC4レジスタのTM4CAE0ビットをセット（1）してください。

(2) TMC4レジスタのTM4CE0ビットに設定後，設定した値が内部に伝わるまでに最大4内部システム・クロックかかります。カウント動作開始時，0000Hから0001Hのカウント周期は，その後のカウント周期と異なります。

(3) TM4レジスタの状態を初期化し再度カウントを開始する場合，TM4CE0ビットをクリア（0）し，4内部システム・クロックを経過したら，TM4CE0ビットをセット（1）してください。

(4) CM4レジスタに設定した値が内部に伝わるまでに最大4内部システム・クロックかかります。CM4レジスタに連続して書き込みを行う場合，4内部システム・クロック以上の時間を確保してください。

(5) タイマ／カウンタ動作中のCM4レジスタの書き換えは，タイマ／カウンタの1周期（0000HからTM4レジスタとCM4レジスタが一致してINTCM4割り込みが発生するまで）に1回のみ可能です。それをアプリケーションで確保できない場合は，動作中にCM4レジスタを書き換えないでください。

(6) タイマ動作中はカウント・クロックを変更できません。書き換えは，TM4CE0ビットをクリア（0）したあとに行ってください。動作中に書き換えた場合の動作は保証できません。

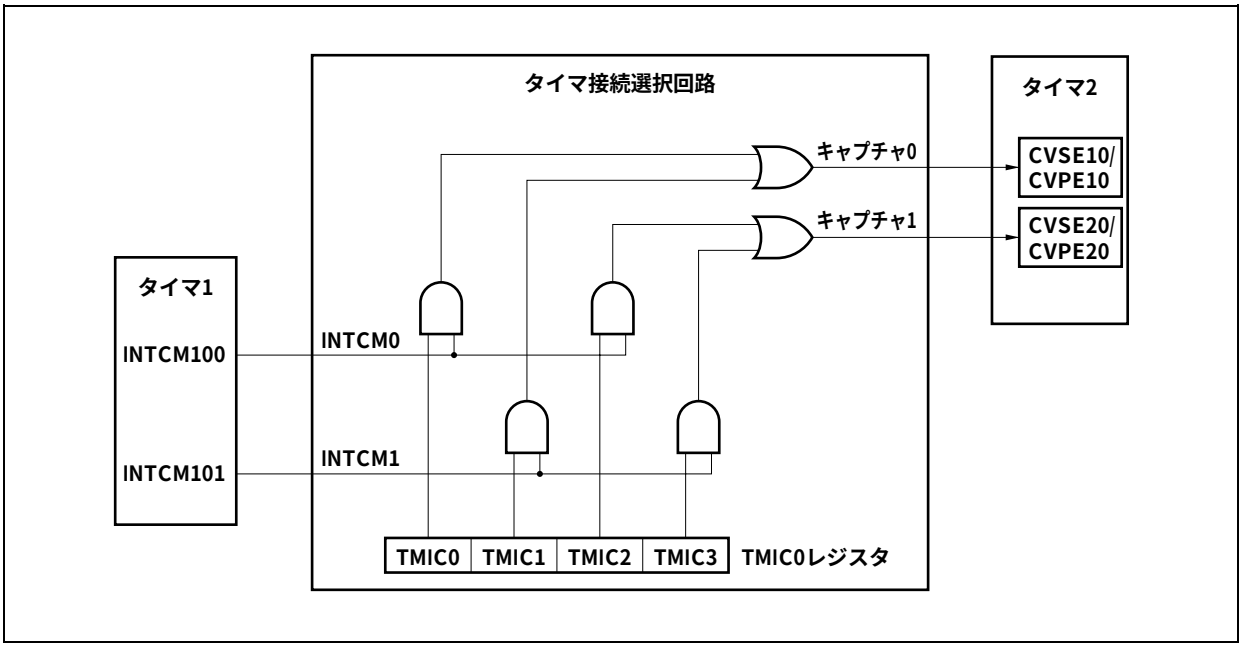
(7) TM4レジスタが動作中，そのカウンタ値以下の値をCM4レジスタに書き込むと，オーバフローしたあとINTCM4割り込みが発生します。

9. 6　タイマ接続機能

9. 6. 1　概　　要

V850E/IA2はタイマ1とタイマ2を接続するための機能を備えています。

図9－106　タイマ接続機能のブロック図



9.6.2　制御レジスタ

（1）タイマ接続選択レジスタ0（TMIC0）

TMIC0レジスタは，INTCM100, INTCM101信号のCVSEn0/CVPEn0レジスタへの入力の許可／不許可を指定します（n = 1, 2）。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
TMIC0	0	0	0	0	TMIC3	TMIC2	TMIC1	TMIC0	FFFFF620H	00H

ビット位置	ビット名	意　味
3	TMIC3	INTCM101信号のCVSE20/CVPE20レジスタへの入力の許可／不許可を指定します。 0：INTCM101信号をCVSE20/CVPE20レジスタに入力しない。 1：INTCM101信号をCVSE20/CVPE20レジスタに入力する。
2	TMIC2	INTCM100信号のCVSE20/CVPE20レジスタへの入力の許可／不許可を指定します。 0：INTCM100信号をCVSE20/CVPE20レジスタに入力しない。 1：INTCM100信号をCVSE20/CVPE20レジスタに入力する。
1	TMIC1	INTCM101信号のCVSE10/CVPE10レジスタへの入力の許可／不許可を指定します。 0：INTCM101信号をCVSE10/CVPE10レジスタに入力しない。 1：INTCM101信号をCVSE10/CVPE10レジスタに入力する。
0	TMIC0	INTCM100信号のCVSE10/CVPE10レジスタへの入力の許可／不許可を指定します。 0：INTCM100信号をCVSE10/CVPE10レジスタに入力しない。 1：INTCM100信号をCVSE10/CVPE10レジスタに入力する。

第10章　シリアル・インタフェース機能

10.1　特　　徴

シリアル・インタフェース機能として，2種類4チャネルの送受信チャネルを備え，同時に3チャネルを使用できます。

インタフェース形態として次の2種類があります。

(1) アシンクロナス・シリアル・インタフェース（UART0, UART1）：2チャネル

(2) クロック同期式シリアル・インタフェース（CSI0, CSI1）：2チャネル

UART0, UART1は，スタート・ビットに続く1バイトのシリアル・データを送受信する方式をとり，全二重通信ができます。また，UART1では，8ビットの送受信データの上位に1ビット付加し，9ビット・データによる通信ができます。

CSI0, CSI1は，シリアル・クロック（$\overline{\text{SCK0}}$, $\overline{\text{SCK1}}$）とシリアル入力（SI0, SI1），シリアル出力（SO0, SO1）の3種類の信号によるデータ転送を行います（3線式シリアルI/O）。

10. 1. 1　UART1とCSI1のモード切り替え

V850E/IA2では，UART1とCSI1は端子が兼用になっており，同時には使用できません。UART1とCSI1の切り替えはあらかじめポート3モード・コントロール・レジスタ（PMC3）およびポート3ファンクション・コントロール・レジスタ（PFC3）で設定する必要があります（12. 3. 4　ポート3参照）。

注意　UART1またはCSI1において，送信あるいは受信動作中にUART1モードとCSI1モードの切り替えを行った場合の送受信に関する動作は保証しません。

図10－1　UART1とCSI1のモード切り替え設定

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC3	0	0	0	PMC34	PMC33	PMC32	PMC31	PMC30	FFFFF446H	00H

	7	6	5	4	3	2	1	0	アドレス	初期値
PFC3	0	0	0	PFC34	PFC33	PFC32	0	0	FFFFF466H	00H

PFC3n	PMC3n	動作モード
0	0	ポート入出力モード
0	1	UART1モード
1	0	ポート入出力モード
1	1	CSI1モード

備考　n = 2-4

10. 2　アシンクロナス・シリアル・インタフェース0（UART0）

10. 2. 1　特　　徴

○転送速度　300 bps～1250 kbps（内部システム・クロック40 MHz，専用ボー・レート・ジェネレータ使用）

○全二重通信　受信バッファ・レジスタ0（RXB0）内蔵
　　送信バッファ・レジスタ0（TXB0）内蔵

○2端子構成[注]　TXD0：送信データの出力端子
　　RXD0：受信データの入力端子

○受信エラー検出機能

- パリティ・エラー
- フレーミング・エラー
- オーバラン・エラー

○割り込みソース：3種類

- 受信エラー割り込み（INTSER0）：3種類の受信エラーの論理和で割り込みを発生
- 受信完了割り込み（INTSR0）　：受信許可状態において，シリアル転送完了後，受信シフト・レジスタから受信バッファ・レジスタ0へ受信データを転送すると発生
- 送信完了割り込み（INTST0）　：シリアル送信を行って，送信シフト・レジスタから送信データ（8/7ビット）をシリアル送信し終えると発生

○送受信データのキャラクタ長はASIM0レジスタで指定

○キャラクタ長：7, 8ビット

○パリティ機能：奇数，偶数，0，なし

○送信ストップ・ビット：1, 2ビット

○専用ボー・レート・ジェネレータ内蔵

注　UART0はSCK端子およびCTS端子を持っていません。

10. 2. 2　構　　成

アシンクロナス・シリアル・インタフェース・モード・レジスタ0（ASIM0），アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0（ASIS0），アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ0（ASIF0）によって，UART0を制御します。受信データは受信バッファ・レジスタ0（RXB0）に保持され，送信データは送信バッファ・レジスタ0（TXB0）に書き込みます。

アシンクロナス・シリアル・インタフェース0（UART0）は，図10－2のように構成されています。

（1）アシンクロナス・シリアル・インタフェース・モード・レジスタ0（ASIM0）

ASIM0レジスタは，アシンクロナス・シリアル・インタフェースの動作を指定する8ビット・レジスタです。

（2）アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0（ASIS0）

ASIS0レジスタは，受信エラー発生時のエラー内容を示すフラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット（1）され，ASIS0レジスタの読み出しによってリセット（0）されます。

（3）アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ0（ASIF0）

ASIF0レジスタは，送信時のステータスを示す8ビット・レジスタです。

TXB0のデータ保持状態を示す送信バッファ・データ・フラグと送信中であることを示す送信シフト・レジスタ・データ・フラグから構成されます。

（4）受信制御パリティ・チェック

ASIM0レジスタに設定された内容に従って，受信動作を制御します。また，受信動作時にパリティ・エラーなどのチェックも行い，エラーが検出された場合は，エラー内容に応じた値をASIS0レジスタにセットします。

（5）受信シフト・レジスタ

RXD0端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分データを受信し，ストップ・ビットを検出すると，受信データを受信バッファ・レジスタ0（RXB0）へ転送します。

このレジスタは直接操作することはできません。

（6）受信バッファ・レジスタ0（RXB0）

RXB0は，受信データを保持する8ビットのバッファ・レジスタです。7キャラクタの受信では上位ビットには0が格納されます。

受信許可状態中は，受信データは1フレーム分のシフト・イン処理終了に同期して受信シフト・レジスタからRXB0に転送されます。

また，RXB0への転送により，受信完了割り込み要求（INTSR0）が発生します。

(7) 送信シフト・レジスタ

送信シフト・レジスタは，送信バッファ・レジスタ0（TXB0）から転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

TXB0から1バイト分のデータが転送されると，シフト・レジスタのデータをTXD0端子から出力します。

1フレームの送出終了時に同期して送信完了割り込み要求（INTST0）を発生します。

このレジスタは直接操作することはできません。

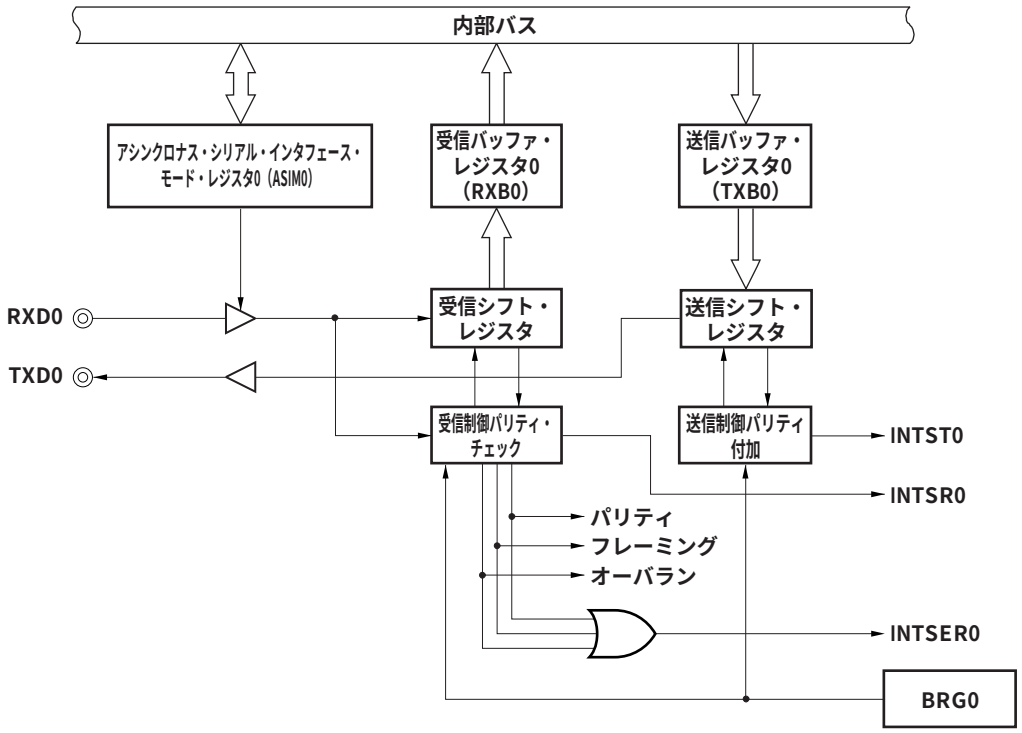
(8) 送信バッファ・レジスタ0（TXB0）

TXB0は，8ビットの送信データ用バッファです。TXB0へ送信データを書き込むことにより，送信動作が開始されます。

(9) 送信制御パリティ付加

ASIM0レジスタに設定された内容に従って，TXB0レジスタに書き込まれたデータにスタート・ビット，パリティ・ビット，ストップ・ビットを付加するなどして，送信動作の制御を行います。

図10－2　アシンクロナス・シリアル・インタフェース0のブロック図



備考　ボー・レート・ジェネレータ0の構成は図10－13を参照してください。

10. 2. 3　制御レジスタ

(1) アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)

ASIM0レジスタは，UART0の転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

注意1. UART0を使用する場合には，必ずUART0機能に関連する外部端子をコントロール・モードに設定したあと，クロック選択レジスタ0 (CKSR0) とボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) の設定を行ってからUARTCAE0ビットをセット (1) してください。そのあとに，ほかのビットの設定を行ってください。

2. RXD0端子にハイ・レベルが入力された状態でUARTCAE0ビット = 1, RXE0ビット = 1と設定してください。ロウ・レベルのときにUARTCAE0ビット = 1, RXE0ビット = 1と設定すると受信を開始してしまいます。

(1/3)

	⑦	⑥	⑤	4	3	2	1	0	アドレス	初期値
ASIM0	UARTCAE0	TXE0	RXE0	PS1	PS0	CL	SL	ISRM	FFFFFA00H	01H

ビット位置	ビット名	意　味
7	UARTCAE0	動作クロックを制御します。 0：UART0へのクロック供給を停止 1：UART0へクロックを供給 **注意**1. UARTCAE0 = 0にすると，UART0を非同期にリセット[注]します。 2. UARTCAE0 = 0の場合は，UART0はリセット状態なので，UART0を動作させる場合には，まずUARTCAE0 = 1にしてください。 3. UARTCAE0ビットを1から0にクリアした場合は，UART0のすべてのレジスタが初期化されます。再度UARTCAE0 = 1にする場合には，必ずUART0のレジスタを再設定してください。 TXD0端子の出力は，送信禁止状態の場合，UARTCAE0ビットの設定にかかわらずハイ・レベルになります。
6	TXE0	送信許可／禁止を指定します。 0：送信禁止 1：送信許可 **注意**1. 起動時はUARTCAE0ビット = 1にしてから，TXE0ビット= 1としてください。また，停止時はTXE0ビット= 0にしてから，UARTCAE0ビット= 0としてください。 2. 送信ユニットを初期化する場合は，TXE0ビットをクリア (0) して，Clock (基本クロック) の2周期分の時間を経過してから，再びTXE0ビットをセット (1) しなければ，状態の初期化ができない場合があります (基本クロックについては10. 2. 6 (1) (a) 基本クロック (Clock) 参照)。

注　リセットされるのはASIS0, ASIF0, RXB0レジスタです。

(2/3)

ビット位置	ビット名	意　味
5	RXE0	受信許可／禁止を指定します。 0：受信禁止[注] 1：受信許可 注意1. 起動時はUARTCAE0ビット = 1にしてから，RXE0ビット= 1としてください。また，停止時は，RXE0ビット= 0にしてから，UARTCAE0ビット= 0としてください。 2. 受信ユニットの状態を初期化する場合は，RXE0ビットをクリア（0）して，Clock（基本クロック）の2周期分の時間を経過してから，再びRXE0ビットをセット（1）しなければ，状態の初期化ができない場合があります（基本クロックについては10. 2. 6（1）（a）基本クロック（Clock）参照）。
4, 3	PS1, PS0	パリティ・ビットを制御します。 PS1 / PS0 / 送信動作 / 受信動作 0 / 0 / パリティ・ビットを出力しない / パリティなしで受信 0 / 1 / 0パリティを出力 / 0パリティとして受信 1 / 0 / 奇数パリティを出力 / 奇数パリティとして判定を行う 1 / 1 / 偶数パリティを出力 / 偶数パリティとして判定を行う 注意1. PS1, PS0ビットを書き換えるときは，TXE0, RXE0ビットをクリア（0）してから行ってください。 2. 受信時に「0パリティ」を選択した場合，パリティ判定を行いません。したがって，ASIS0レジスタのPEビットはセットされないため，エラー割り込みも発生しません。 ・偶数パリティ 送信データ中の値が“1”のビット数が奇数個の場合にパリティ・ビットをセット（1）します。値が“1”のビット数が偶数個の場合はパリティ・ビットをクリア（0）します。これにより，送信データとパリティ・ビットの中に含まれる値が“1”のビット数が偶数個になるように制御します。 受信時には，受信データとパリティ・ビットに含まれる値が“1”のビット数をカウントし，奇数個であった場合にパリティ・エラーを発生します。 ・奇数パリティ 偶数パリティとは逆に，送信データとパリティ・ビットの中に含まれる値が“1”のビット数が奇数個になるように制御します。 受信時には，受信データとパリティ・ビットに含まれる値が“1”のビット数をカウントし，偶数個であった場合にパリティ・エラーを発生します。

注　受信禁止時は，受信シフト・レジスタはスタート・ビットの検出を行いません。シフト・イン処理，受信バッファ・レジスタ0（RXB0）への転送処理は行わず，RXB0レジスタの内容は保持されます。
受信許可状態中は，スタート・ビットの検出に同期して受信シフト動作を開始し，1フレーム分の受信を終了すると受信シフト・レジスタの内容をRXB0レジスタに転送します。
また，RXB0レジスタへの転送に同期して，受信完了割り込み（INTSR0）を発生します。

（3/3）

ビット位置	ビット名	意　味
4, 3	PS1, PS0	・0パリティ 送信時には，送信データによらずパリティ・ビットをクリア（0）します。 受信時には，パリティ・ビットの検査を行わないため，パリティ・エラーを発生しません。 ・パリティなし 送信データにパリティ・ビットを付加しません。 受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため，パリティ・エラーを発生しません。
2	CL	送受信データ1フレームのキャラクタ長を指定します。 0：7ビット 1：8ビット **注意**　CLビットを書き換えるときは，TXE0, RXE0ビットをクリア（0）してから行ってください。
1	SL	送信データのストップ・ビット長を指定します。 0：1ビット 1：2ビット **注意**1.　SLビットを書き換えるときは，TXE0ビットをクリア（0）してから行ってください。 2.　受信は常に「ストップ・ビット長 = 1」として動作するので，SLビットの設定は受信動作に影響を与えません。
0	ISRM	エラー発生時の受信完了割り込み要求発生許可／禁止を指定します。 0：エラー発生時の割り込みとして，受信エラー割り込み要求（INTSER0）を発生する。 この場合，受信完了割り込み要求（INTSR0）は発生しません。 1：エラー発生時の割り込みとして，受信完了割り込み要求（INTSR0）を発生する。 この場合，受信エラー割り込み要求（INTSER0）は発生しません。 **注意**　ISRMビットを書き換えるときは，RXE0ビットをクリア（0）してから行ってください。

(2) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0（ASIS0）

ASIS0レジスタは，UART0の受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ（PE, FE, OVE）で構成されています。

ASIS0レジスタは，読み出しにより00Hにクリアされます。受信エラーが発生した場合は，ASIS0レジスタを読み出したあと，受信バッファ・レジスタ0（RXB0）を読み出し，エラー・フラグをクリアしてください。

8ビット単位でリードだけ可能です。

注意1. ASIM0レジスタのUARTCAE0ビット，RXE0ビットを0に設定したとき，またはASIS0レジスタを読み出したとき，ASIS0レジスタのPEビット，FEビット，OVEビットはクリア（0）されます。

2. ビット操作命令による操作は禁止です。

	7	6	5	4	3	2	1	0	アドレス	初期値
ASIS0	0	0	0	0	0	PE	FE	OVE	FFFFFA03H	00H

ビット位置	ビット名	意　味
2	PE	パリティ・エラーを示すステータス・フラグです。 0：ASIM0レジスタのUARTCAE0ビット = 0およびRXE0ビット = 0に設定したとき，または，ASIS0レジスタをリードしたあと 1：受信完了時，受信データのパリティとパリティ・ビットが一致しないとき **注意**　PEビットの動作は，ASIM0レジスタのPS1, PS0ビットの設定値により異なります。
1	FE	フレーミング・エラーを示すステータス・フラグです。 0：ASIM0レジスタのUARTCAE0ビット = 0およびRXE0ビット = 0に設定したとき，または，ASIS0レジスタをリードしたあと 1：受信完了時，ストップ・ビットが検出されないとき **注意**　受信データのストップ・ビットは，ストップ・ビット長に関係なく最初の1ビットだけをチェックします。
0	OVE	オーバラン・エラーを示すステータス・フラグです。 0：ASIM0レジスタのUARTCAE0ビット = 0およびRXE0ビット = 0に設定したとき，または，ASIS0レジスタをリードしたあと 1：RXB0レジスタの受信データを読み出す前にUART0が次の受信動作を完了したとき **注意**　オーバラン・エラーが発生した場合，次の受信データはRXB0レジスタに書き込まれず，データは破棄されます。

(3) アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ0（ASIF0）

ASIF0レジスタは，送信時のステータスを示すレジスタです。2ビットのステータス・フラグで構成されています。

TXB0レジスタから送信シフト・レジスタへデータが転送されたあとに，次のデータをTXB0レジスタに書き込むことで，割り込み期間中も途切れることなく送信を続けることができます。連続して送信を行う場合には，TXB0レジスタへの誤った書き込みを防止するために，ASIF0レジスタのTXBF0ビットを参照してから書き込みを行ってください。

8/1ビット単位でリードだけ可能です。

	7	6	5	4	3	2	①	⓪	アドレス	初期値
ASIF0	0	0	0	0	0	0	TXBF0	TXSF0	FFFFFA05H	00H

ビット位置	ビット名	意　味
1	TXBF0	送信バッファ・データ・フラグです。 0：TXB0レジスタに次に転送すべきデータが存在しない（ASIM0レジスタのUARTCAE0ビット = 0またはTXE0ビット = 0に設定したとき，または送信シフト・レジスタにデータを転送したとき） 1：TXB0レジスタに次に転送すべきデータが存在する（TXB0レジスタにデータを書き込んだとき） **注意　連続送信を行う場合は，必ずこのフラグが“0”であることを確認してからTXB0レジスタに書き込んでください。このフラグが“1”のときにTXB0レジスタにデータを書き込んだ場合の送信データは保証できません。**
0	TXSF0	送信シフト・レジスタ・データ・フラグです。UART0の送信状態を示します。 0：初期状態または送信待ち（ASIM0レジスタのUARTCAE0ビット = 0またはTXE0ビット = 0に設定したとき，または送信完了後にTXB0レジスタから次のデータ転送がなかったとき） 1：送信中（TXB0レジスタからデータ転送されたとき） **注意　送信ユニットを初期化する場合は，送信完了割り込み（INTST0）発生後に，必ずこのフラグが“0”であることを確認してから初期化を実行してください。このフラグが“1”のときに初期化を実行した場合の送信データは保証できません。**

(4) 受信バッファ・レジスタ0（RXB0）

RXB0レジスタは，受信シフト・レジスタで変換したパラレル・データを格納するための8ビット・バッファ・レジスタです。

受信許可状態のとき（ASIM0レジスタのRXE0ビット = 1），受信データは1フレーム分のシフト・イン処理終了時に同期して，受信シフト・レジスタからRXB0レジスタに転送されます。また，RXB0レジスタへの転送により，受信完了割り込み要求（INTSR0）が発生します。発生するタイミングについては10. 2. 5 **(4) 受信動作**を参照してください。

受信禁止状態のとき（ASIM0レジスタのRXE0ビット = 0），1フレーム分のシフト・イン処理が終了してもRXB0レジスタへの転送は処理されず，RXB0レジスタの内容は保持されます。また，INTSR0信号も発生しません。

データ長を7ビットに指定した場合，受信データはRXB0レジスタのビット6-0に転送され，MSB（ビット7）は必ず0になります。また，オーバラン・エラー（ASIS0レジスタのOVEビット = 1）が発生した場合，そのときの受信データはRXB0レジスタに転送されません。

リセット入力以外に，ASIM0レジスタのUARTCAE0ビット = 0によってもRXB0レジスタはFFHになります。

8ビット単位でリードだけ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
RXB0	RXB7	RXB6	RXB5	RXB4	RXB3	RXB2	RXB1	RXB0	FFFFFA02H	FFH

ビット位置	ビット名	意　味
7-0	RXB7- RXB0	受信データを格納しています。 RXB7は7ビット／キャラクタの受信で0が読めます。

(5) 送信バッファ・レジスタ0（TXB0）

TXB0レジスタは，送信データを設定するための8ビット・バッファ・レジスタです。

送信許可状態のとき（ASIM0レジスタのTXE0ビット = 1），TXB0レジスタにデータを書き込むことで送信動作が開始されます。

送信禁止状態のとき（ASIM0レジスタのTXE0ビット = 0），TXB0レジスタにデータを書き込んでも値は無視されます。

TXB0レジスタのデータが送信シフト・レジスタに転送され，送信シフト・レジスタから1フレーム分の送信終了に同期して送信完了割り込み要求（INTST0）を発生します。発生するタイミングについては10. 2. 5 **(2) 送信動作**を参照してください。

ASIF0レジスタのTXBF0ビット =1のときは，TXB0レジスタへの書き込みは行わないでください。

8ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
TXB0	TXB7	TXB6	TXB5	TXB4	TXB3	TXB2	TXB1	TXB0	FFFFFA04H	FFH

ビット位置	ビット名	意　味
7-0	TXB7- TXB0	送信データを書き込みます。

10. 2. 4　割り込み要求

UART0からは次の3種類の割り込み要求を発生します。

- 受信完了割り込み（INTSR0）
- 送信完了割り込み（INTST0）
- 受信エラー割り込み（INTSER0）

これら3種類の割り込み要求のディフォールト優先順位は受信完了割り込みが最も高く，送信完了割り込み，受信エラー割り込みの順に低くなります。

表10－1　発生する割り込みとディフォールト優先順位

割り込み	優先順位
受信完了	1
送信完了	2
受信エラー	3

(1) 受信完了割り込み（INTSR0）

受信許可状態中で，受信シフト・レジスタにデータがシフト・インされ受信バッファ・レジスタ（RXB0）に転送されるとINTSR0信号が発生します。

INTSR0信号は，ASIM0レジスタのISRMビットにより，受信エラーが起こった場合にも，受信エラー割り込み（INTSER0）の代わりとして発生することができます。

受信禁止状態中は，INTSR0信号は発生しません。

(2) 送信完了割り込み（INTST0）

送信シフト・レジスタから7ビット／8ビットのキャラクタを含む1フレーム分の送信データがシフト・アウトされるとINTST0信号を発生します。

(3) 受信エラー割り込み（INTSER0）

受信許可状態中で，ASIS0レジスタで説明した3種類の受信エラーの論理和（OR）でINTSER0信号を発生します。ASIM0レジスタのISRMビットにより，エラー発生時にINTSER0信号を発生させるか，INTSR0信号を発生させるかを指定できます。

受信禁止状態中は，INTSER0信号は発生しません。

10. 2. 5 動　　作

(1) データ・フォーマット

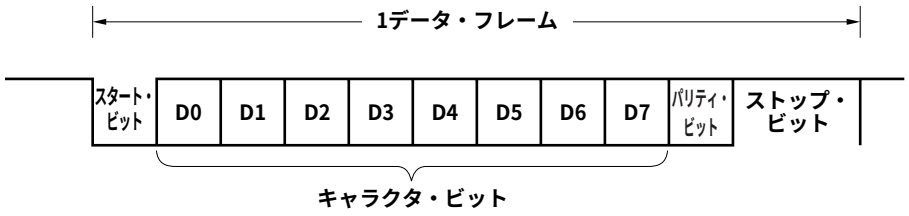
全二重シリアル・データの送受信を行います。

送受信データのフォーマットは図10－3に示すとおり，スタート・ビット，キャラクタ・ビット，パリティ・ビット，ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定，パリティ選択，ストップ・ビット長の指定は，アシンクロナス・シリアル・インタフェース・モード・レジスタ0（ASIM0）によって行います。

また，データはLSBファーストで転送します。

図10－3　アシンクロナス・シリアル・インタフェースの送受信データのフォーマット



・スタート・ビット　……　1ビット
・キャラクタ・ビット　…　7ビット／8ビット
・パリティ・ビット　……　偶数パリティ／奇数パリティ／0パリティ／パリティなし
・ストップ・ビット　……　1ビット／2ビット

(2) 送信動作

ASIM0レジスタのUARTCAE0ビット = 1にすることにより，TXD0端子はハイ・レベルを出力します。

次にASIM0レジスタのTXE0ビット = 1にすると送信許可状態になり，送信バッファ・レジスタ0（TXB0）に送信データを書き込むと送信動作が起動します。

(a) 送信許可状態

ASIM0レジスタのTXE0ビットで設定します。

- TXE0 = 1：送信許可状態
- TXE0 = 0：送信禁止状態

なお，UART0にはCTS（送信許可信号）入力端子がないので，相手側が受信許可状態かを確認するときはポートを使用してください。

(b) 送信動作の起動

送信許可状態では，送信バッファ・レジスタ0（TXB0）に送信データを書き込むと送信動作が起動します。送信動作の開始により，TXB0レジスタ内のデータが送信シフト・レジスタに転送されます。そのあと，送信シフト・レジスタはTXD0端子にデータを出力します（スタート・ビットから順に送信されます）。スタート・ビット，パリティ・ビット，ストップ・ビットは自動的に付加されます。

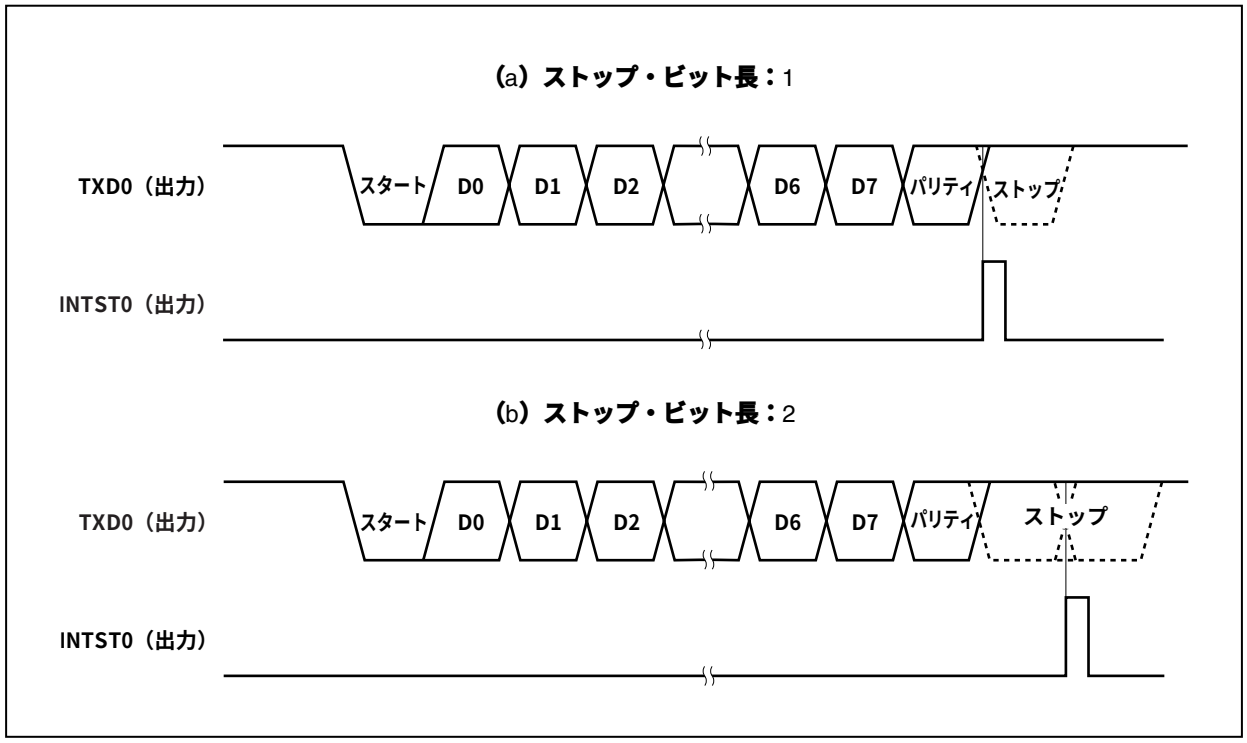
(c) 送信割り込み要求

送信シフト・レジスタが空になると送信完了割り込み要求（INTST0）が発生します。ストップ・ビット長の指定により，INTST0信号の発生タイミングが異なります。INTST0信号は，最後のストップ・ビット出力と同時に発生します。

次に送信するデータをTXB0レジスタに書き込まなければ，送信動作は中断されます。

注意　通常，送信シフト・レジスタが空になったときに送信完了割り込み（INTST0）が発生します。しかし，$\overline{\text{RESET}}$入力により送信シフト・レジスタが空になった場合，INTST0信号は発生しません。

図10－4　アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング



(3) 連続送信動作

UART0は，送信シフト・レジスタがシフト動作を開始した時点で，次の送信データをTXB0レジスタへ書き込むことができます。これにより，1データ・フレーム送信後の送信完了割り込み（INTST0）処理時でも連続送信することができ，効率的な通信レートを実現できます。また，INTST0信号発生後にASIF0レジスタのTXSF0ビットを読み出すことにより，1データ・フレームの送信時間を待つことなく効率的に2回（2バイト）のTXB0レジスタへの書き込みができます。

連続送信する場合は，必ずASIF0レジスタを参照し，送信状態とTXB0レジスタへの書き込み可否を確認してから，データの書き込みを行ってください。

注意　連続送信でASIF0レジスタのTXBF0, TXSF0ビットは，「10」→「11」→「01」と変化します。そのため，ステータスを確認する場合は，TXBF0, TXSF0ビットの組み合わせで判断しないでください。
連続送信を行う場合はTXBF0ビットのみで判断してください。

TXBF0	TXB0レジスタへの書き込み可否
0	書き込み可
1	書き込み不可

注意　連続送信を行う場合は，最初の送信データ（1バイト目）をTXB0レジスタに書き込んだあと，必ずTXBF0ビットが“0”であることを確認してから次の送信データ（2バイト目）をTXB0レジスタに書き込んでください。TXBF0ビットが“1”のときにTXB0レジスタにデータを書き込んだ場合の送信データは保証できません。

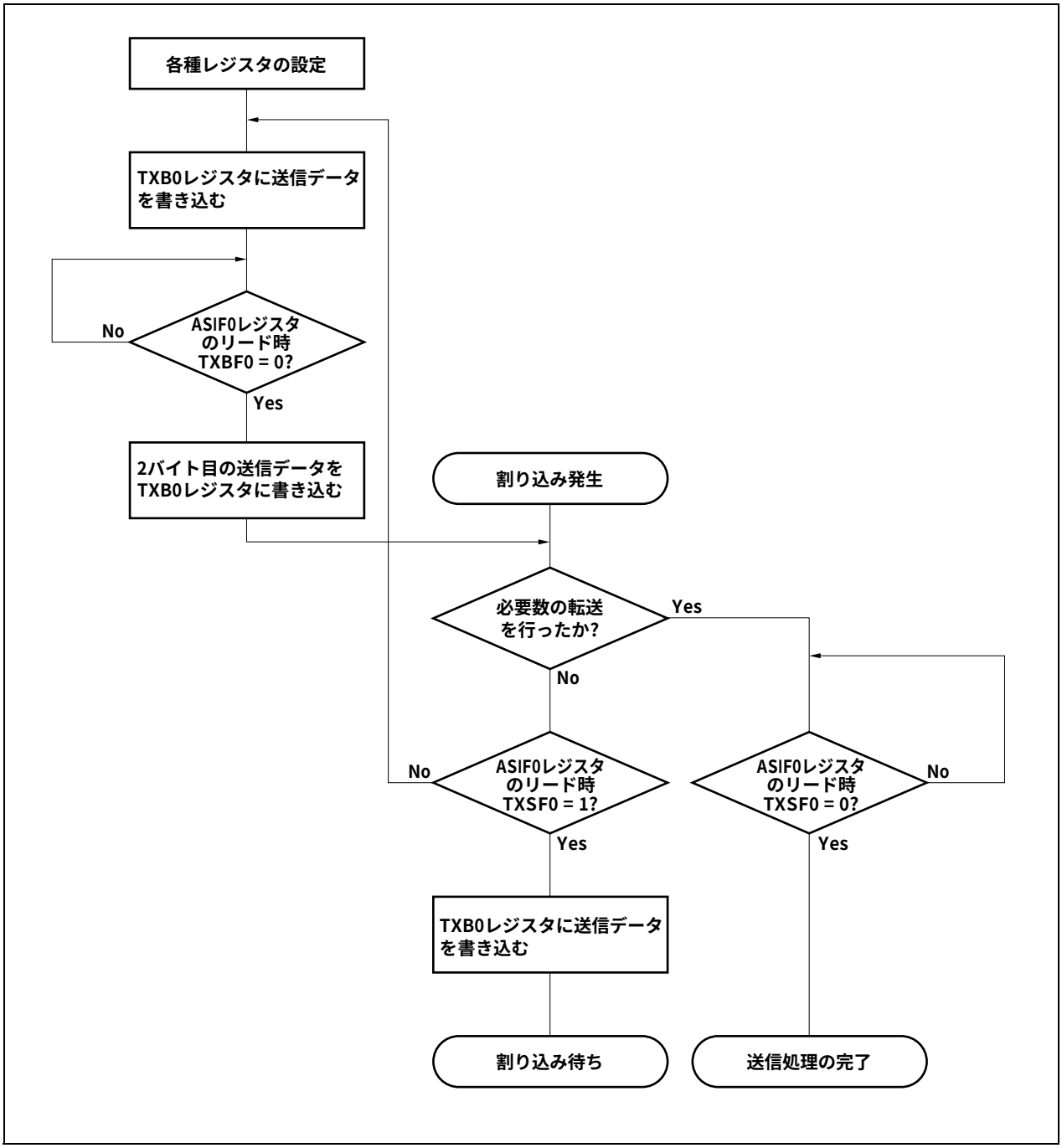
TXSF0ビットで，通信状態を確認することができます。

TXSF0	送信状態
0	送信が終了しています。
1	送信中です。

注意1. **連続送信完了時に送信ユニットを初期化する場合は，送信完了割り込み発生後に，必ずTXSF0ビットが“0”であることを確認してから初期化を実行してください。TXSF0ビットが“1”のときに初期化を実行した場合の送信データは保証できません。**

2. **連続送信時には，1データ・フレーム送信後のINTST0割り込み処理を実行する前に次の送信が完了してしまうオーバラン・エラーが発生する可能性があります。オーバラン・エラーは送信データ数をカウントできるプログラムを組み込むこととTXSF0ビットを参照することで検出できます。**

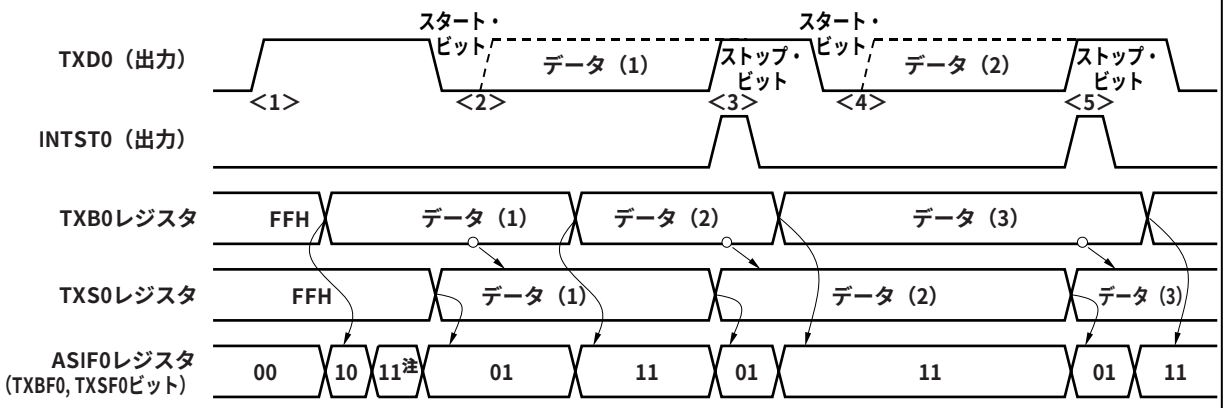
図10－5　連続送信の処理フロー



(a) 開始手順

連続送信を開始する手順を次に示します。

図10－6　連続送信の開始手順



注　10. 2. 7　**注意事項（2）**を参照してください。

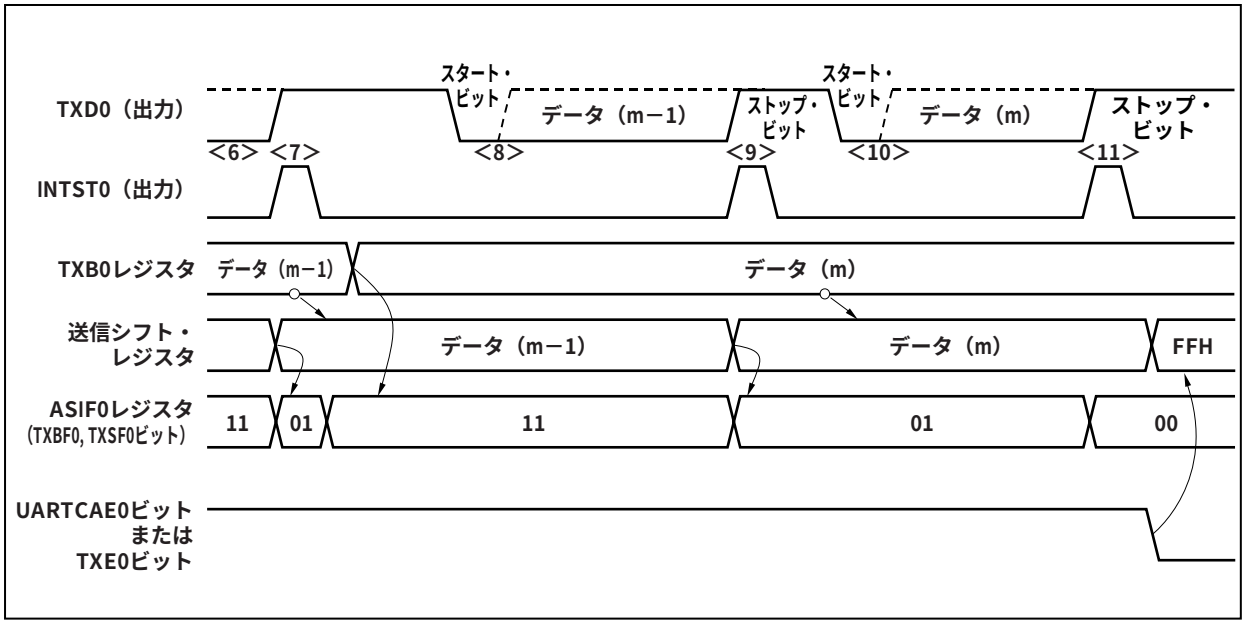
送信開始手順	内部動作	ASIF0レジスタ	
		TXBF0	TXSF0
●送信モード設定	<1> 送信ユニットの起動	0	0
●データ（1）の書き込み →		1	0
	<2> スタート・ビットの生成	1	1注
		0	1
	データ（1）送信スタート →	0	1
●ASIF0レジスタのリード（TXBF0ビット = 0を確認する）←		0	1
●データ（2）の書き込み →		1	1
	<<送信中>>		
	<3> INTST0割り込み発生 →	0	1
●ASIF0レジスタのリード（TXBF0ビット = 0を確認する）←		0	1
●データ（3）の書き込み →		1	1
	<4> スタート・ビットの生成 データ（2）送信スタート <<送信中>>		
	<5> INTST0割り込み発生 →	0	1
●ASIF0レジスタのリード（TXBF0ビット = 0を確認する）←		0	1
●データ（4）の書き込み →		1	1

注　10. 2. 7　**注意事項（2）**を参照してください。

(b) 終了手順

連続送信を終了する手順を次に示します。

図10－7　連続送信の終了手順



送信終了手順	内部動作	ASIF0レジスタ	
		TXBF0	TXSF0
	<6> データ（m－2）の送信中	1	1
	<7> INTST0割り込み発生 ⟶	0	1
●ASIF0レジスタのリード（TXBF0ビット = 0を確認する）⟵		0	1
●データ（m）の書き込み ⟶		1	1
	<8> スタート・ビットの生成 データ（m－1）送信スタート <<送信中>>		
	<9> INTST0割り込み発生 ⟶	0	1
●ASIF0レジスタのリード（TXSF0ビット = 1を確認する）⟵ 書き込みデータはなし		0	1
	<10> スタート・ビットの生成 データ（m）送信スタート <<送信中>>		
	<11> INTST0割り込み発生 ⟶	0	0
●ASIF0レジスタのリード（TXSF0ビット = 0を確認する）⟵		0	0
●UARTCAE0ビットまたはTXE0ビットをクリア（0）	内部回路の初期化		

(4) 受信動作

ASIM0レジスタのUARTCAE0ビット = 1にし，次にASIM0レジスタのRXE0ビット = 1にすることにより，受信待ち状態になります。受信動作を開始するには，まず，RXD0端子の立ち下がりを検出すると立ち下がりエッジでサンプリングを開始します。スタート・ビットのサンプリング・ポインタでRXD0端子がロウ・レベルであれば，スタート・ビットと認識します。受信動作を開始すると，設定されたボー・レートにあわせて，シリアル・データを順に受信シフト・レジスタに格納していきます。1フレームのデータ受信が終了するごとに受信完了割り込み（INTSR0）が発生します。通常，この割り込み処理で受信バッファ・レジスタ0（RXB0）からメモリに受信データを転送します。

(a) 受信許可状態

受信動作はASIM0レジスタのRXE0ビットをセット（1）することにより，受信許可状態となります。

- RXE0ビット = 1：受信許可状態
- RXE0ビット = 0：受信禁止状態

なお，受信禁止状態では受信ハードウエアは初期状態で待機します。このとき，受信完了割り込み／受信エラー割り込みは発生せず，受信バッファ・レジスタ0（RXB0）の内容は保持されます。

(b) 受信動作の起動

受信動作はスタート・ビットの検出により起動されます。

ボー・レート・ジェネレータ0（BRG0）からのシリアル・クロックでRXD0端子をサンプリングします。

(c) 受信完了割り込み要求

ASIM0レジスタのRXE0ビット = 1のとき，1フレーム分のデータの受信が完了（ストップ・ビットの検出）すると，受信完了割り込み要求（INTSR0）が発生すると同時に，受信シフト・レジスタ内の受信データをRXB0レジスタに転送します。

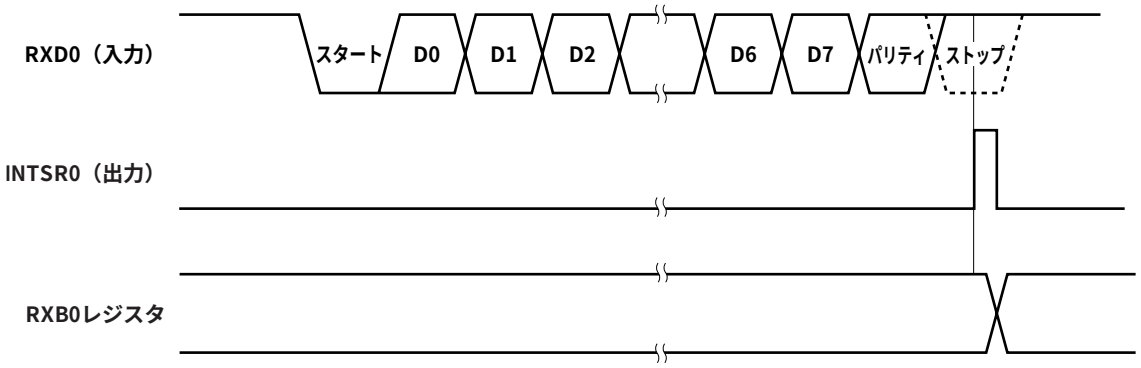
また，オーバラン・エラー（ASIS0レジスタのOVEビット = 1）が発生した場合，そのときの受信データは，受信バッファ・レジスタ0（RXB0）に転送されず，ASIM0レジスタのISRMビットの設定に従って，INTSR0信号，または受信エラー割り込み（INTSER0）が発生します。

なお，受信動作中にパリティ・エラー（ASIS0レジスタのPEビット = 1），またはフレーミング・エラー（ASIS0レジスタのFEビット = 1）が発生した場合でも，ストップ・ビットの受信位置までは，受信動作を継続し，受信完了後にASIM0レジスタのISRMビットの設定に従って，INTSR0信号，またはINTSER0信号が発生します（受信シフト・レジスタ内の受信データはRXB0レジスタに転送されます）。

また，受信動作中にRXE0ビットをクリア（0）すると，すぐに受信動作を停止します。このとき受信バッファ・レジスタ0（RXB0）とアシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS0）の内容は変化せず，INTSR0信号，またはINTSER0信号は発生しません。

RXE0ビット = 0（受信禁止）では，INTSR0信号またはINTSER0信号は発生しません。

図10－8　アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング



注意1.　受信エラー発生時にも受信バッファ・レジスタ0（RXB0）は必ず読み出してください。
RXB0レジスタを読み出さないと，次のデータ受信時にオーバラン・エラーが発生し，いつまでも受信エラーの状態が続いてしまいます。

2.　受信では，常にストップ・ビット長 = 1として動作します。
2ビット目のストップ・ビットは，無視されます。

(5) 受信エラー

受信動作時のエラーは，パリティ・エラー，フレーミング・エラー，オーバラン・エラーの3種類があります。データ受信の結果，ASIS0レジスタの各フラグがセット（1）されると同時に，受信エラー割り込み要求（INTSER0），または受信完了割り込み要求（INTSR0）が発生します。INTSER0信号またはINTSR0信号のどちらかを発生させるかは，ASIM0レジスタのISRMビットで指定します。

INTSER0/INTSR0割り込み処理内で，ASIS0レジスタの内容を読み出すことによって，受信時に発生したエラーの内容を検出することができます。

ASIS0レジスタの内容は，ASIS0レジスタの読み出しによってクリア（0）されます。

表10－2　受信エラーの要因

エラー・フラグ	受信エラー	要　　因
PE	パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
FE	フレーミング・エラー	ストップ・ビットが検出されない
OVE	オーバラン・エラー	受信バッファ・レジスタ0（RXB0）からデータを読み出す前に次のデータ受信が完了

（a）受信エラー割り込みの分離

ASIM0レジスタのISRMビットをクリア（0）することにより，受信エラー割り込みをINTSR0信号から分離し，INTSER0信号として発生させることができます。

図10－9　受信エラー割り込みを受信完了割り込み（INTSR0）から分離する場合（ISRMビット = 0）

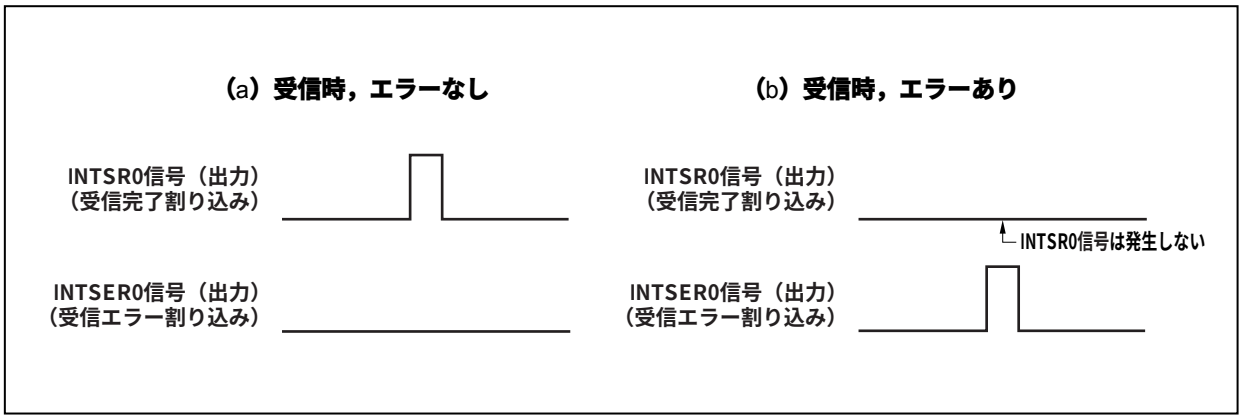
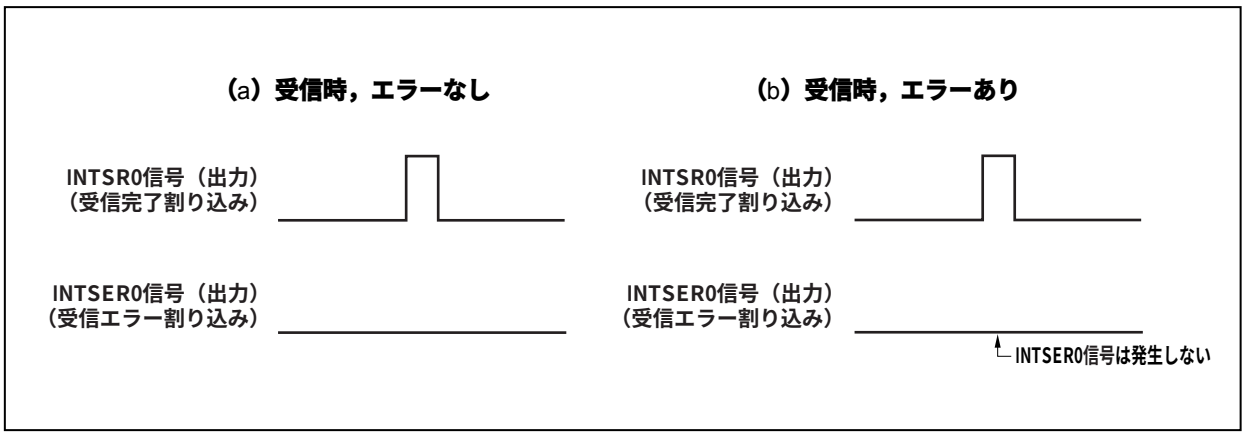


図10－10　受信エラー割り込みも受信完了割り込み（INTSR0）に含める場合（ISRMビット = 1）



(6) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は，送信側と受信側のパリティ・ビットは同一の種類のものを使用します。

(a) 偶数パリティ

(i) 送信時

パリティ・ビットを含めた送信データ中の，値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

・送信データ中に値が“1”のビット数が奇数個：1
・送信データ中に値が“1”のビット数が偶数個：0

(ii) 受信時

パリティ・ビットを含めた受信データ中の，値が“1”のビット数をカウントし，奇数個であった場合にパリティ・エラーを発生します。

(b) 奇数パリティ

(i) 送信時

偶数パリティとは逆に，パリティ・ビットを含めた送信データ中の，値が“1”のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

・送信データ中に，値が“1”のビット数が奇数個：0
・送信データ中に，値が“1”のビット数が偶数個：1

(ii) 受信時

パリティ・ビットを含めた受信データ中の，値が“1”のビット数をカウントし，偶数個であった場合にパリティ・エラーを発生します。

(c) 0パリティ

送信時には，送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって，パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(d) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため，パリティ・エラーを発生しません。

(7) 受信データのノイズ・フィルタ

プリスケーラ部出力の基本クロック（f_{CLK}）の立ち上がりでRXD0信号をサンプリングします。サンプリング値が同じ値を2回取ると，一致検出器の出力が変化し，入力データとしてサンプリングされます。したがって，1クロック幅以下のデータはノイズとして判断され，内部回路には伝わりません（図10－12参照）。基本クロックについては10. 2. 6（1）（a）基本クロック（Clock）を参照してください。

また，回路は図10－11のようになっているため，受信動作の内部での処理は，外部の信号状態により最大2クロック分遅れて動作することになります。

図10－11　ノイズ・フィルタ回路

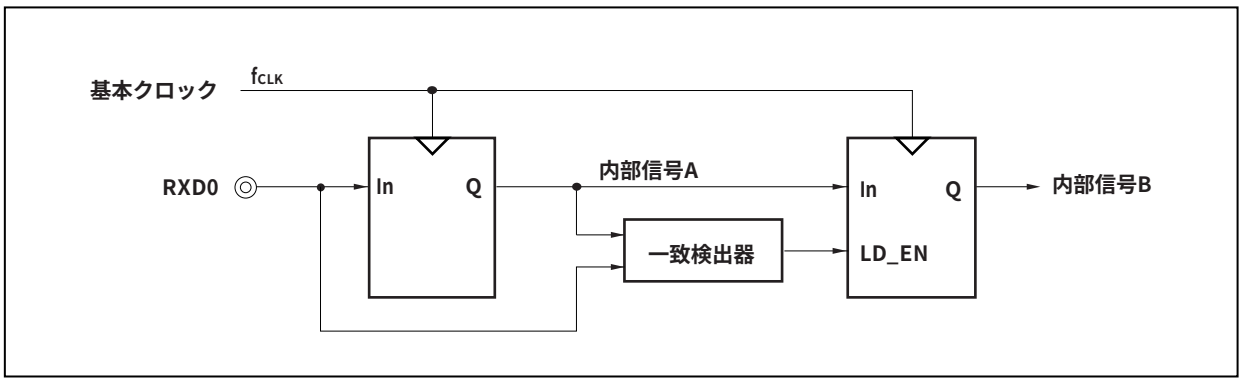
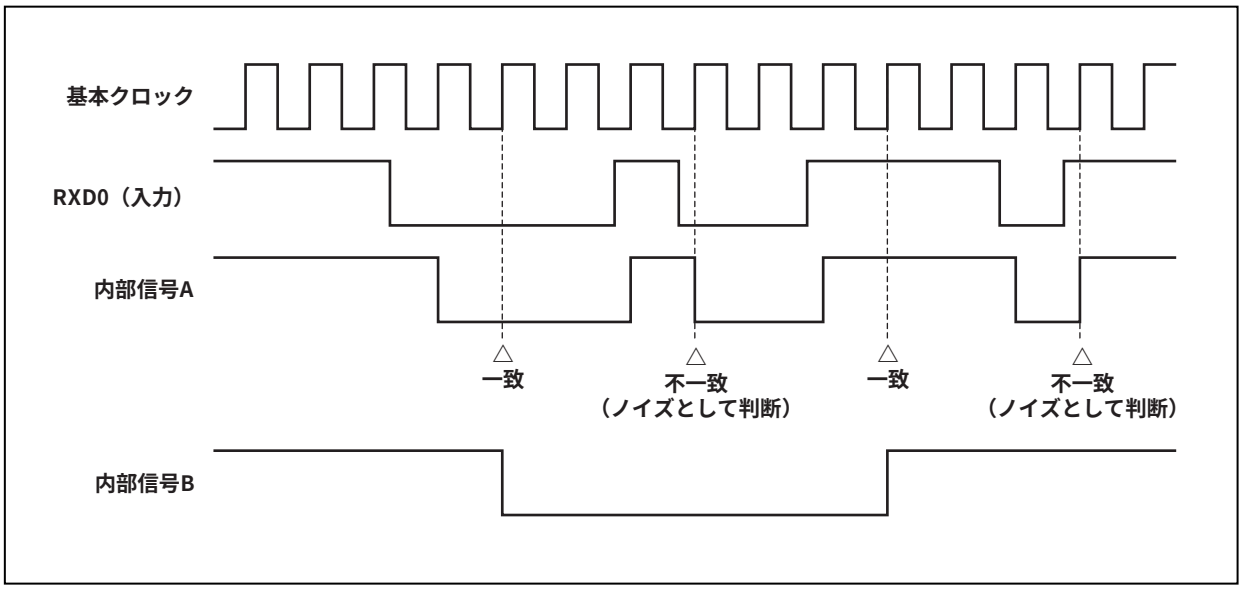


図10－12　ノイズとして判断されるRXD0信号のタイミング



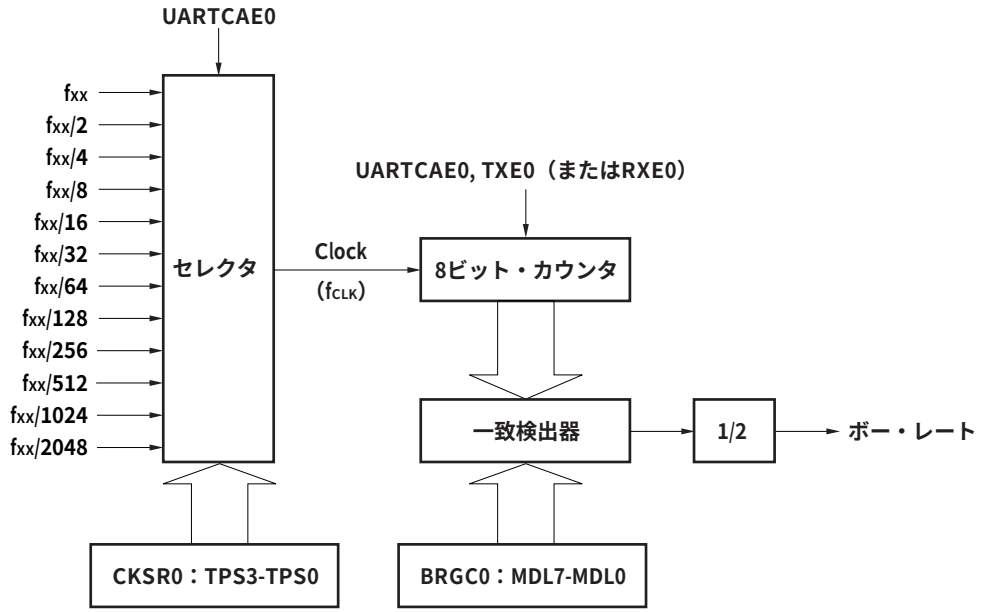
10. 2. 6　専用ボー・レート・ジェネレータ0（BRG0）

専用ボー・レート・ジェネレータは，ソース・クロック・セレクタ部と8ビットのプログラマブル・カウンタにより構成され，UART0における送受信時のシリアル・クロックを生成します。シリアル・クロックは，チャネルごとに専用ボー・レート・ジェネレータ出力を選択できます。

なお，8ビット・カウンタは送信用と受信用が別々に存在します。

（1）ボー・レート・ジェネレータ0（BRG0）の構成

図10－13　ボー・レート・ジェネレータ0（BRG0）の構成



備考　fxx：内部システム・クロック

（a）基本クロック（Clock）

ASIM0レジスタのUARTCAE0ビット = 1のとき，CKSR0レジスタのTPS3-TPS0ビットで選択したクロックを送信／受信ユニットに供給します。このクロックを基本クロック（fCLK）と呼びます。

UARTCAE0ビット = 0のときは，fCLKはロウ・レベルに固定となります。

（2）シリアル・クロックの生成

CKSR0レジスタとBRGC0レジスタの設定により，シリアル・クロックを生成できます。

CKSR0レジスタのTPS3-TPS0ビットにより，8ビット・カウンタへの基本クロックを選択します。

BRGC0レジスタのMDL7-MDL0ビットにより，8ビット・カウンタの分周値を設定できます。

(a) クロック選択レジスタ0（CKSR0）

CKSR0レジスタは，TPS3-TPS0ビットにより，基本クロック（f_{CLK}）を選択するための8ビット・レジスタです。TPS3-TPS0ビットで選択されたクロックが，送受信モジュールのf_{CLK}になります。

8ビット単位でリード／ライト可能です。

注意1. 基本クロック（f_{CLK}）の許容周波数は最大20 MHzです。したがって，システム・クロックが40 MHzの場合，TPS3-TPS0ビットを0000Bに設定することはできません。
40 MHzで動作させる場合，TPS3-TPS0ビットを0000B以外の値に設定し，ASIM0レジスタのUARTCAE0ビットをセット（1）してください。

2. TPS3-TPS0ビットを書き換える場合は，ASIM0レジスタのUARTCAE0ビット = 0にしてから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
CKSR0	0	0	0	0	TPS3	TPS2	TPS1	TPS0	FFFFFA06H	00H

ビット位置	ビット名	意　味
3-0	TPS3-TPS0	基本クロック（f_{CLK}）を指定します。

TPS3	TPS2	TPS1	TPS0	基本クロック（f_{CLK}）
0	0	0	0	f_{XX}
0	0	0	1	$f_{XX}/2$
0	0	1	0	$f_{XX}/4$
0	0	1	1	$f_{XX}/8$
0	1	0	0	$f_{XX}/16$
0	1	0	1	$f_{XX}/32$
0	1	1	0	$f_{XX}/64$
0	1	1	1	$f_{XX}/128$
1	0	0	0	$f_{XX}/256$
1	0	0	1	$f_{XX}/512$
1	0	1	0	$f_{XX}/1024$
1	0	1	1	$f_{XX}/2048$
1	1	任意	任意	設定禁止

備考　f_{XX}：内部システム・クロック

(b) ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)

BRGC0レジスタは，UART0のボー・レート（シリアル転送スピード）を制御する8ビット・レジスタです。

8ビット単位でリード／ライト可能です。

注意　MDL7-MDL0ビットを書き換える場合は，ASIM0レジスタのTXE0ビット = 0, RXE0ビット = 0にしてから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
BRGC0	MDL7	MDL6	MDL5	MDL4	MDL3	MDL2	MDL1	MDL0	FFFFFA07H	FFH

ビット位置	ビット名	意　味
7-0	MDL7-MDL0	8ビット・カウンタの分周値を指定します。

MDL7	MDL6	MDL5	MDL4	MDL3	MDL2	MDL1	MDL0	設定値 (k)	シリアル・クロック
0	0	0	0	0	x	x	x	−	設定禁止
0	0	0	0	1	0	0	0	8	f_{CLK}/8
0	0	0	0	1	0	0	1	9	f_{CLK}/9
0	0	0	0	1	0	1	0	10	f_{CLK}/10
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
1	1	1	1	1	0	1	0	250	f_{CLK}/250
1	1	1	1	1	0	1	1	251	f_{CLK}/251
1	1	1	1	1	1	0	0	252	f_{CLK}/252
1	1	1	1	1	1	0	1	253	f_{CLK}/253
1	1	1	1	1	1	1	0	254	f_{CLK}/254
1	1	1	1	1	1	1	1	255	f_{CLK}/255

備考1. f_{CLK}：CKSR0レジスタのTPS3-TPS0ビットで選択した基本クロック（Clock）の周波数 [Hz]

2. k：MDL7-MDL0ビットで設定した値（k = 8, 9, 10, … , 255）

3. 8ビット・カウンタの出力クロックを2分周したものがボー・レートとなります。

4. x：任意

(c) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{CLK}}{2 \times k} \text{ [bps]}$$

f_{CLK} = CKSR0**レジスタの**TPS3-TPS0**ビットで選択した基本クロック**（Clock）**の周波数**［Hz］

k = BRGC0**レジスタの**MDL7-MDL0**ビットで設定した値**（k = 8, 9, 10, … , 255）

(d) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差（\%）} = \left(\frac{\text{実際のボー・レート（誤差のあるボー・レート）}}{\text{目標ボー・レート（正常なボー・レート）}} - 1 \right) \times 100 \text{ [\%]}$$

注意1. **送信時のボー・レート誤差は，受信先の許容誤差以内にしてください。**

2. **受信時のボー・レート誤差は，（4）受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。**

例　基本クロック（Clock）**の周波数** = 20 MHz = 20,000,000 Hz

BRGC0**レジスタの**MDL7-MDL0**ビットの設定値** = 01000001B（k = 65）

目標ボー・レート = 153600 bps

ボー・レート = 20 M/（2×65）

= 20000000/（2×65） = 153846［bps］

誤差 =（153846/153600－1）×100

= 0.160［%］

(3) ボー・レート設定例

表10−3　ボー・レート・ジェネレータ設定データ

ボー・レート（bps）	f_{XX} = 40 MHz			f_{XX} = 33 MHz			f_{XX} = 10 MHz		
	f_{CLK}	k	ERR	f_{CLK}	k	ERR	f_{CLK}	k	ERR
300	$f_{XX}/2^{10}$	65	0.16	$f_{XX}/2^{8}$	215	−0.07	$f_{XX}/2^{7}$	130	0.16
600	$f_{XX}/2^{9}$	65	0.16	$f_{XX}/2^{7}$	215	−0.07	$f_{XX}/2^{6}$	130	0.16
1200	$f_{XX}/2^{8}$	65	0.16	$f_{XX}/2^{6}$	215	−0.07	$f_{XX}/2^{5}$	130	0.16
2400	$f_{XX}/2^{7}$	65	0.16	$f_{XX}/2^{5}$	215	−0.07	$f_{XX}/2^{4}$	130	0.16
4800	$f_{XX}/2^{6}$	65	0.16	$f_{XX}/2^{4}$	215	−0.07	$f_{XX}/2^{3}$	130	0.16
9600	$f_{XX}/2^{5}$	65	0.16	$f_{XX}/2^{3}$	215	−0.07	$f_{XX}/2^{2}$	130	0.16
19200	$f_{XX}/2^{4}$	65	0.16	$f_{XX}/2^{2}$	215	−0.07	$f_{XX}/2^{1}$	130	0.16
31250	$f_{XX}/2^{3}$	80	0	$f_{XX}/2^{2}$	132	0	$f_{XX}/2^{1}$	80	0
38400	$f_{XX}/2^{3}$	65	0.16	$f_{XX}/2^{1}$	215	−0.07	$f_{XX}/2^{0}$	130	0.16
76800	$f_{XX}/2^{2}$	65	0.16	$f_{XX}/2^{1}$	107	0.39	$f_{XX}/2^{0}$	65	0.16
153600	$f_{XX}/2^{1}$	65	0.16	$f_{XX}/2^{1}$	54	−0.54	$f_{XX}/2^{0}$	33	−1.36
312500	$f_{XX}/2^{1}$	32	0	$f_{XX}/2^{1}$	26	1.54	$f_{XX}/2^{0}$	16	0
625000	$f_{XX}/2^{1}$	16	0	$f_{XX}/2^{1}$	13	1.54	$f_{XX}/2^{0}$	8	0
1250000	$f_{XX}/2^{1}$	8	0	$f_{XX}/2^{1}$	8	−17.5	−	−	−

注意　基本クロック（f_{CLK}）の許容周波数は最大20 MHz**です。**

備考　f_{XX}　**：内部システム・クロック周波数**

f_{CLK}　**：基本クロック周波数**

k　**：**BRGC0**レジスタの**MDL7-MDL0**ビットの設定値**

ERR　**：ボー・レート誤差**［%］

(4) 受信時の許容ボー・レート範囲

受信の際に，送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

注意　受信時のボー・レート誤差は，下記に示す算出式を使用して，必ず許容誤差範囲内になるように設定してください。

図10－14　受信時の許容ボー・レート範囲

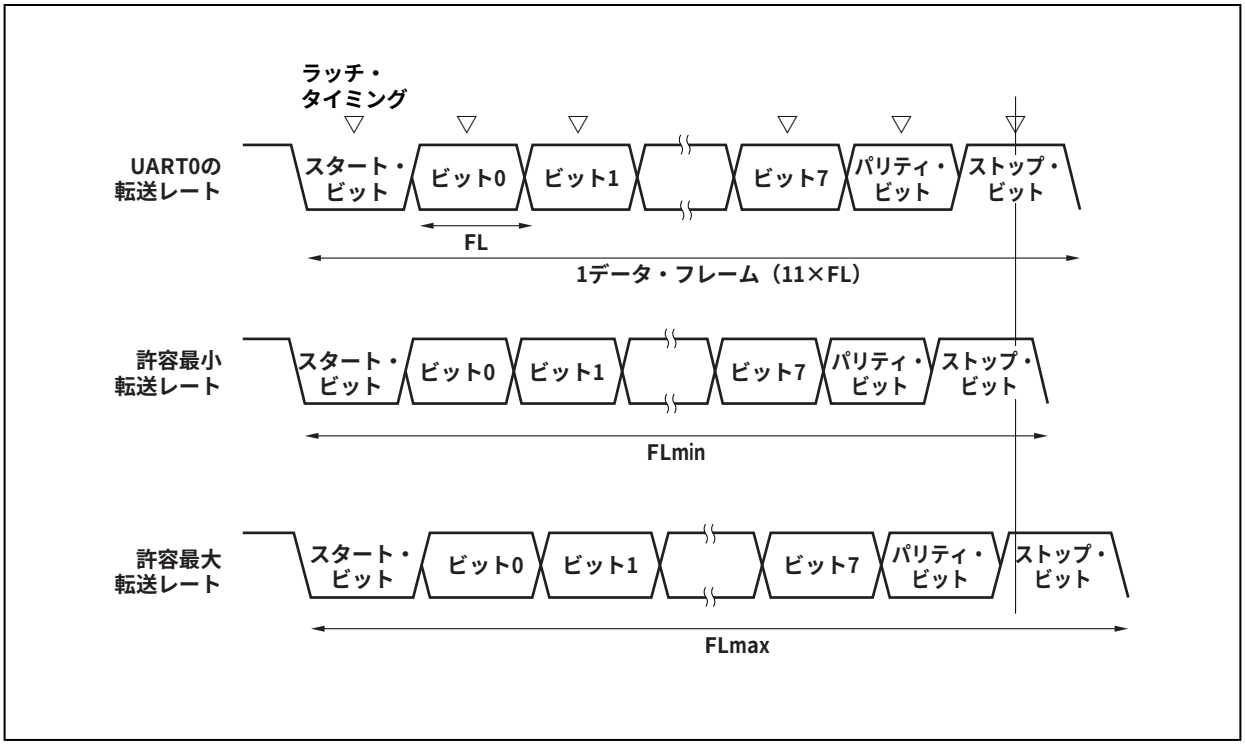


図10－14に示すように，スタート・ビット検出後はBRGC0レジスタで設定したカウンタにより，受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上，次のようになります。

$$FL = (Brate)^{-1}$$

Brate：UART0のボー・レート
k　　：BRGC0レジスタの設定値
FL　：1ビット・データ長

ラッチ・タイミングのマージンを基本クロック（Clock）の2クロック分とすると，許容最小転送レート（FLmin）は次のようになります。

$$FLmin = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって，受信可能な送信先の最大ボー・レート（BRmax）は次のようになります。

$$BRmax = (FLmin/11)^{-1} = \frac{22k}{21k+2} Brate$$

同様に，許容最大転送レート（FLmax）を求めると，次のようになります。

$$\frac{10}{11} \times FLmax = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FLmax = \frac{21k-2}{20k} FL \times 11$$

したがって，受信可能な送信先の最小ボー・レート（BRmin）は次のようになります。

$$BRmin = (FLmax/11)^{-1} = \frac{20k}{21k-2} Brate$$

前述の最小／最大ボー・レート値の算出式から，UART0と送信先とのボー・レートの許容誤差を求めると次のようになります。

表10－4　許容最大／最小ボー・レート誤差

分周比（k）	許容最大ボー・レート誤差	許容最小ボー・レート誤差
8	＋3.53 %	－3.61 %
20	＋4.26 %	－4.31 %
50	＋4.56 %	－4.58 %
100	＋4.66 %	－4.67 %
255	＋4.72 %	－4.73 %

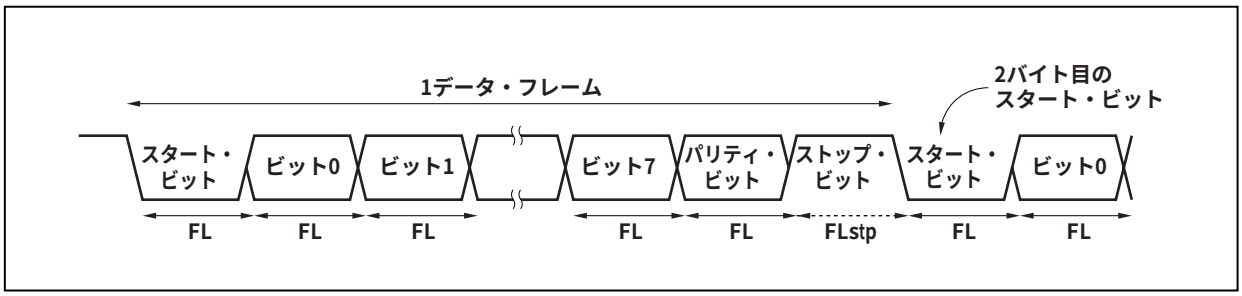
備考1. 受信の精度は，1フレーム・ビット数，基本クロック周波数，分周比（k）に依存します。基本クロック周波数が高く，分周比（k）が大きくなるほど精度は高くなります。

2. k：BRGC0レジスタの設定値

(5) 連続送信時の転送レート

連続送信する場合，ストップ・ビットから次のスタート･ビットまでの転送レートが通常より基本クロック（Clock）の2クロック分延びます。ただし，受信側はスタート・ビットの検出により，タイミングの初期化が行われるので転送結果には影響しません。

図10－15　連続送信時の転送レート



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数：f_{CLK}とすると次の式が成り立ちます。

$$FLstp = FL + 2 / f_{CLK}$$

したがって，連続送信での転送レートは次のようになります（ストップ・ビット長 = 1の場合）。

転送レート = 11×FL＋（2 / f_{CLK}）

10. 2. 7　注意事項

UART0についての注意事項を次に示します。

(1) UART0への供給クロックが停止する場合（例：IDLE, ソフトウエアSTOPモード）は，各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXD0端子出力も停止直前の値を保持，出力します。ただし，クロック供給の再開後の動作は保証しません。したがって，再開後はASIM0レジスタのUARTCAE0ビット = 0, RXE0ビット = 0, TXE0ビット = 0とし，回路を初期化してください。

(2) UART0は，送信バッファ・レジスタ0（TXB0），送信シフト・レジスタの2段バッファ構成になっており，それぞれのバッファの状態を示すステータス・フラグ（ASIF0レジスタのTXBF0, TXSF0ビット）があります。連続送信でTXBF0, TXSF0ビットを同時に読み出した場合，「10」→「11」→「01」と変化します。連続送信を行う場合は，次のデータをTXB0レジスタへ書き込むタイミングについて，TXBF0ビットのみを読み出して判断してください。

10. 3　アシンクロナス・シリアル・インタフェース1（UART1）

10. 3. 1　特　　徴

○クロック同期モード／非同期モード選択

○動作クロック

同期モード　：ボー・レート・ジェネレータ／外部クロック選択

非同期モード：ボー・レート・ジェネレータ

○転送速度

300 bps-153600 bps（非同期モード，fxx = 40 MHz時）

4800 bps-1000000 bps（同期モード）

○全二重通信（LSBファースト）

受信バッファ・レジスタ1（RXB1）内蔵

○3端子構成

TXD1　　：送信データの出力端子

RXD1　　：受信データの入力端子

$\overline{\text{ASCK1}}$　　：同期シリアル・クロック入出力

○受信エラー検出機能

・パリティ・エラー

・フレーミング・エラー

・オーバラン・エラー

○割り込みソース：2種類

・受信完了割り込み（INTSR1）　：受信許可状態において，シリアル転送完了後シフト・レジスタから受信バッファ・レジスタ1（RXB1）へ受信データを転送すると発生

・送信完了割り込み（INTST1）　：シリアル送信を行ってシフト・レジスタから送信データ（8/7ビット）をシリアル送信し終わると発生

○送受信データのキャラクタ長はASIM10レジスタで指定（拡張ビットはASIM11レジスタで指定）

○キャラクタ長：7ビット，8ビット

9ビット（拡張ビット付加時）

○パリティ機能：奇数，偶数，0，なし

○送信ストップ・ビット：1, 2ビット

○通信モード：1フレーム転送または2フレーム連続転送可能

○専用ボー・レート・ジェネレータ内蔵

備考　fxx：内部システム・クロック

10. 3. 2　構　　成

アシンクロナス・シリアル・インタフェース・モード・レジスタ10, 11（ASIM10, ASIM11），アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1（ASIS1）によって，UART1を制御します。受信データは受信バッファ・レジスタ（RXB1, RXBL1）に保持され，送信データは送信シフト・レジスタ（TXS1, TXSL1）に書き込みます。

アシンクロナス・シリアル・インタフェース1（UART1）は，図10－16のように構成されています。

（1）アシンクロナス・シリアル・インタフェース・モード・レジスタ10, 11（ASIM10, ASIM11）

ASIM10, ASIM11レジスタは，アシンクロナス・シリアル・インタフェースの動作を指定する8ビット・レジスタです。

（2）アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1（ASIS1）

ASIS1レジスタは，送信ステータス・フラグ（SOT1），受信ステータス・フラグ（SIR1），拡張ビット許可時の９ビット目を示すビット（RB8），受信終了時のエラー・ステータスを示す3ビットのエラー・フラグ（PE1, FE1, OVE1）で構成されるレジスタです。

（3）受信制御パリティ・チェック

ASIM10, ASIM11レジスタに設定された内容に従って，受信動作を制御します。また，受信動作時にパリティ・エラーなどのチェックも行い，エラーが検出された場合は，エラー内容に応じた値をASIS1レジスタにセットします。

（4）2フレーム連続受信用バッファ・レジスタ（RXB1）／受信バッファ・レジスタ（RXBL1）

RXB1は，受信データを保持する16ビット（2フレーム連続受信時，9ビット拡張データ受信時）のバッファ・レジスタで，7, 8ビット／キャラクタの受信では上位ビットには0が格納されます。

このレジスタへの16ビット・アクセス時はRXB1を，下位8ビット・アクセス時はRXBL1を指定します。

受信許可状態中は，受信データは1フレーム分のシフト・イン処理終了に同期して受信シフト・レジスタから受信バッファに転送されます。

また，受信バッファへの転送（2フレーム連続受信指定の場合には2フレーム目の受信バッファ転送）により，受信完了割り込み要求（INTSR1）が発生します。

（5）2フレーム連続送信用シフト・レジスタ（TXS1）／送信シフト・レジスタ（TXSL1）

TXS1は，9ビット／2フレーム連続の送信処理用シフト・レジスタで，このレジスタへのデータ書き込みにより，送信動作が開始されます。

TXS1のデータを含む1フレームまたは2フレームの送出終了に同期して送信完了割り込み要求（INTST1）を発生します。

このレジスタへの16ビット・アクセスはTXS1を，下位8ビット・アクセス時はTXSL1を指定します。

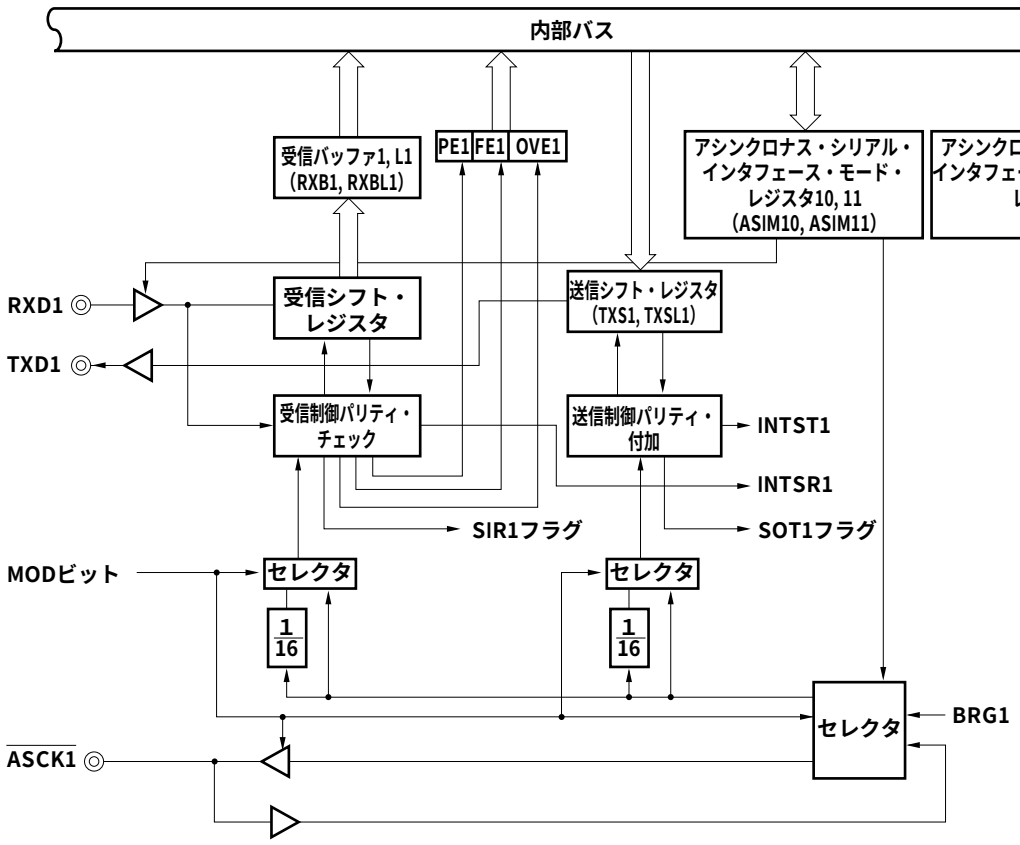
(6) 送信制御パリティ付加

ASIM10, ASIM11レジスタに設定された内容に従って，TXS1またはTXSL1レジスタに書き込まれたデータにスタート・ビット，パリティ・ビット，ストップ・ビットを付加するなどして，送信動作の制御を行います。

(7) セレクタ

シリアル・クロックのソースを選択します。

図10－16　アシンクロナス・シリアル・インタフェース1のブロック図



備考　TXD1, RXD1, $\overline{\text{ASCK1}}$端子はSO1, SI1, $\overline{\text{SCK1}}$端子を兼用しています。

10. 3. 3　制御レジスタ

UART1は，CSI1と端子を兼用しているため，あらかじめPMC3, PFC3レジスタでUART1モードに設定する必要があります（10. 1. 1　UART1とCSI1のモード切り替え参照）。

（1）アシンクロナス・シリアル・インタフェース・モード・レジスタ10（ASIM10）

ASIM10レジスタは，UART1の転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

注意1.　UART1が送受信中にASIM10レジスタのRXE1ビット以外のビット変更を行った場合は，UART1の動作は保証しません。

2. ASIM10レジスタのRXE1ビット以外の設定は，UART1の動作停止時（RXE1ビット = 0かつ送信終了時）に行ってください。また，ASIM10レジスタのRXE1ビット以外の通信モード設定を完了したあとに，ポート3モード・コントロール・レジスタ（PMC3）の変更を行ってください。
3. 同期モード時のシリアル・クロック出力は接続されたノードが互いに出力し，衝突することがないように設定してください。

	7	⑥	5	4	3	2	1	0	アドレス	初期値
ASIM10	1	RXE1	PS1	PS0	CL	SL	0	SCLS	FFFFFA28H	81H

ビット位置	ビット名	意　味
6	RXE1	受信許可状態／禁止状態を指定します。 0：受信禁止 1：受信許可
5, 4	PS1, PS0	パリティ・ビット長を指定します。 PS1 / PS0 / 動　作 0 / 0 / パリティなし，拡張ビット動作 0 / 1 / 0パリティ指定 送信側→ パリティ・ビットを0にして送信 受信側→ 受信時にパリティ・エラーを発生しない 1 / 0 / 奇数パリティ指定 1 / 1 / 偶数パリティ指定
3	CL	送受信データ（1フレーム）のキャラクタ長を指定します。 0：7ビット 1：8ビット
2	SL	送信データのストップ・ビット長を指定します。 0：1ビット 1：2ビット
0	SCLS	シリアル・クロック・ソースの指定をします。 SCLS / 動作 / 非同期モード時 / 同期モード時 0 / 内部ボー・レート・ジェネレータ / 外部クロック入力 1

(2) アシンクロナス・シリアル・インタフェース・モード・レジスタ11 (ASIM11)

ASIM11レジスタは，UART1の転送モードを制御する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
ASIM11	0	0	0	0	MOD	UMST	UMSR	EBS	FFFFFA2AH	00H

ビット位置	ビット名	意　味
3	MOD	動作モード（非同期／同期モード）の指定をします。 0：非同期モード 1：同期モード
2	UMST	連続フレーム送信数の指定をします。 0：1フレーム・データ送信 1：2フレーム連続データ送信
1	UMSR	連続フレーム受信数の指定をします。 0：1フレーム・データ受信 1：2フレーム連続データ受信
0	EBS	パリティなし動作指定（PS0 = PS1 = 0）時の送受信データの拡張ビット動作を指定します。 0：拡張ビット動作禁止 1：拡張ビット動作許可 拡張ビット指定時は，8ビットの送受信データの上位に1データ・ビットが付加され，9ビット・データによる通信が可能になります。 拡張ビット指定は，パリティなし（ASIM10レジスタのPS0ビット = PS1ビット = 0），かつ1フレーム・データ送信（UMSTビット = 0）を指定した場合だけ有効になります。0パリティ／奇数パリティ／偶数パリティ動作を指定した場合，もしくは2フレーム連続データ送信（UMSTビット = 1）を指定した場合，EBSビットの指定は無効になり，拡張ビットの付加動作は行われません。 なお，拡張ビットの付加動作（EBSビット = 1）と2フレーム連続データ受信（UMSRビット = 1）の同時設定は禁止します。

(3) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1（ASIS1）

ASIS1レジスタは，UART1の送信ステータス・フラグ（SOT1），受信ステータス・フラグ（SIR1），拡張ビット許可時の9ビット目を示すビット（RB8），受信終了時のエラー・ステータスを示す3ビットのエラー・フラグ（PE1, FE1, OVE1）で構成されるレジスタです。

受信エラーを示すステータス・フラグは，常に最も新しく発生したエラーの状態を示します。すなわち，受信データの読み出し前に複数回の同一エラーが発生した場合，最後に発生したエラーの状態だけ保持しています。

受信完了割り込み（INTSR1）ごとにASIS1レジスタを読み出したあと，受信バッファ（RXB1またはRXBL1）を読み出してください。受信バッファ（RXB1またはRXBL1）を読み出すことによりエラー・フラグはクリアされます。

また，受信エラーが発生した場合も，受信バッファ（RXB1またはRXBL1）を読み出すことによりエラー・フラグをクリアしてください。

8/1ビット単位でリードだけ可能です。

	⑦	⑥	5	4	3	②	①	⓪	アドレス	初期値
ASIS1	SOT1	SIR1	0	RB8	0	PE1	FE1	OVE1	FFFFFA2CH	00H

ビット位置	ビット名	意　味
7	SOT1	送信動作状態を示すステータス・フラグです。 0：送信終了タイミング（INTST1発生時） 1：送信状態[注]を示します。 注　送信状態とは，送信レジスタへの書き込み後，次の送信タイミングから指定ストップ・ビット分送出するまでになります。2フレーム連続送信時は2フレーム目のストップ・ビット分送出までになります。
6	SIR1	受信動作状態を示すステータス・フラグです。 0：受信終了タイミング（INTSR1発生時） 1：受信状態[注]を示します。 注　受信状態とは，スタート・ビット検出タイミングからストップ・ビット検出タイミングまでになります。
4	RB8	9ビット拡張フォーマット指定時（ASIM11レジスタのEBSビット = 1）における受信データ拡張ビット（1ビット）の内容を示します。
2	PE1	パリティ・エラーを示すステータス・フラグです。 0：受信バッファからのデータ読み出し処理 1：送信パリティと受信パリティが一致しないとき 注意　ASIM10レジスタのPS1，PS0ビットの設定値により，パリティなし，または0パリティを指定した場合はパリティ・エラーは発生しません。
1	FE1	フレーミング・エラーを示すステータス・フラグです。 0：受信バッファからのデータ読み出し処理 1：ストップ・ビットが検出されないとき
0	OVE1	オーバラン・エラーを示すステータス・フラグです。 0：受信バッファからの受信データ読み出し処理 1：受信バッファから受信データを引き取る前に，UART1が次の受信処理を完了したとき なお，1フレームの受信ごとに受信シフト・レジスタの内容が受信バッファ（RXB1, RXBL1）に転送される構成のため，オーバラン・エラーが発生したときには，受信バッファ（RXB1, RXBL1）に次の受信データが上書きされ，1回前の受信データは破棄されます。

(4) 2フレーム連続受信用バッファ・レジスタ1（RXB1）／受信バッファ・レジスタ L1（RXBL1）

RXB1レジスタは，受信データを保持する16ビット（2フレーム連続受信時（ASIM11レジスタのUMSRビット = 1），9ビット拡張データ受信時（ASIM11レジスタのEBSビット = 1））のバッファ・レジスタで，7, 8ビット／キャラクタの受信では上位ビットには0が格納されます。

このレジスタへの16ビット・アクセス時はRXB1を，下位8ビット・アクセス時はRXBL1を指定します。

受信許可状態中は，受信データは1フレーム分のシフト・イン処理終了に同期して受信シフト・レジスタから受信バッファに転送されます。

また，受信バッファへの転送（2フレーム連続受信指定の場合には2フレーム目に受信バッファ転送）により，受信完了割り込み要求（INTSR1）が発生します。

受信禁止状態中は，1フレーム分のシフト・イン処理が終了しても受信バッファへの転送処理は行われず，受信バッファの内容は保持されます。

また，受信完了割り込み要求も発生しません。

RXB1レジスタは16ビット単位で，RXBL1は8ビット単位でリードだけ可能です。

[2フレーム連続受信用バッファ・レジスタ1]

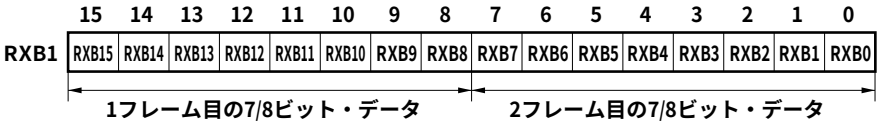
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
RXB1	RXB15	RXB14	RXB13	RXB12	RXB11	RXB10	RXB9	RXB8	RXB7	RXB6	RXB5	RXB4	RXB3	RXB2	RXB1	RXB0	FFFFFA20H	不定

[受信バッファ・レジスタL1**]**

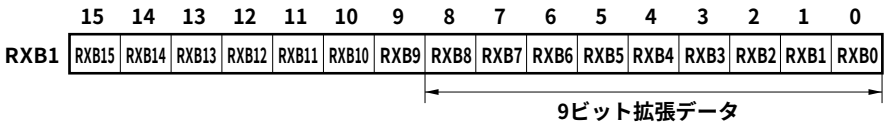
	7	6	5	4	3	2	1	0	アドレス	初期値
RXBL1	RXB7	RXB6	RXB5	RXB4	RXB3	RXB2	RXB1	RXB0	FFFFFA22H	不定

ビット位置	ビット名	意　味
15-0	RXB15-RXB0	受信データを格納しています。 RXB1レジスタは7, 8ビット／キャラクタの受信では0が読めます。9ビット／キャラクタ受信で拡張ビット設定時，受信バッファへの格納と同時に拡張ビット（RXB8）をASIS1レジスタのRB8に格納します。 RXBL1レジスタのRXB7ビットは7ビット／キャラクタの受信では0が読めます。

(a) 2フレーム連続受信設定時



(b) 9ビット拡張受信設定時



9ビット拡張設定時には，受信バッファへの格納と同時に拡張ビット（RXB8）をASIS1レジスタのRB8ビットに格納します。

(c) 注意事項

① 2フレーム連続受信時，オーバラン・エラーが発生したときの動作

・正常受信時

2フレーム目受信終了で受信完了割り込み（INTSR1）発生，エラー発生せず。

RXD1	1フレーム	2フレーム

・受信処理を行う前に3フレーム目を受信開始

2フレーム目受信終了で受信完了割り込み（INTSR1）発生，エラー発生せず。

RXD1	1フレーム	2フレーム

3フレーム目受信終了時，受信完了割り込み発生せず，エラー発生。

RXD1	3フレーム	3フレーム

ASIS1レジスタのOVE1 = 1となります。

・受信処理を行う前に3フレーム目，4フレーム目を受信開始

2フレーム目受信終了で受信完了割り込み（INTSR1）発生，エラー発生せず。

RXD1	1フレーム	2フレーム

3フレーム目受信終了時，受信完了割り込み発生せず，エラー発生。

RXD1	3フレーム	3フレーム

ASIS1レジスタのOVE1 = 1となります。

4フレーム目受信終了時，受信完了割り込み（INTSR1）発生，エラー発生せず。

RXD1	3フレーム	4フレーム

ASIS1レジスタのOVE1 = 1のままです。

・受信処理を行う前に3フレーム目を受信開始し，受信処理を行った後に４フレーム目を受信開始

2フレーム目受信終了で受信完了割り込み（INTSR1）発生，エラー発生せず。

RXD1	1フレーム	2フレーム

3フレーム目受信終了時，受信完了割り込み発生せず，エラー発生。

RXD1	3フレーム	3フレーム

ASIS1レジスタのOVE1 = 1となります。

受信処理でOVE1フラグは“0”となります。

4フレーム目受信終了時，受信完了割り込み（INTSR1）発生，エラー発生せず。

RXD1	3フレーム	4フレーム

エラー発生なし。

(5) 2フレーム連続送信用シフト・レジスタ1（TXS1）／送信シフト・レジスタL1（TXSL1）

TXS1レジスタは，9ビット／2フレーム連続の送信処理用シフト・レジスタで，このレジスタへのデータ書き込みにより，送信動作が開始されます。

TXS1のデータを含む1フレームまたは2フレームの送出終了に同期して送信完了割り込み要求（INTST1）を発生します。

このレジスタへの16ビット・アクセス時はTXS1を，下位8ビット・アクセス時はTXSL1を指定します。

TXS1レジスタは16ビット単位で，TXSL1は8ビット単位でライトだけ可能です。

注意　TXS1, TXSL1はリード可能ですが，シフト・クロックでシフトして行きますので，リードした場合のデータの保証はできません。

[2フレーム連続送信用シフト・レジスタ1]

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TXS1	TXS15	TXS14	TXS13	TXS12	TXS11	TXS10	TXS9	TXS8	TXS7	TXS6	TXS5	TXS4	TXS3	TXS2	TXS1	TXS0	FFFFFA24H	不定

[送信シフト・レジスタL1]

	7	6	5	4	3	2	1	0	アドレス	初期値
TXSL1	TXS7	TXS6	TXS5	TXS4	TXS3	TXS2	TXS1	TXS0	FFFFFA26H	不定

ビット位置	ビット名	意　味
15-0	TXB15-TXB0	送信データを書き込みます。

10. 3. 4　割り込み要求

UART1からは次の2種類の割り込み要求を発生します。

・受信完了割り込み（INTSR1）
・送信完了割り込み（INTST1）

これら2種類の割り込み要求のディフォールト優先順位は受信完了割り込みが高く，送信完了割り込みが低くなります。

表10－5　発生する割り込みとディフォールト優先順位

割り込み	優先順位
受信完了	1
送信完了	2

(1) 受信完了割り込み（INTSR1）

受信許可状態中で，受信シフト・レジスタにデータがシフト・インされ，受信バッファに転送されると受信完了割り込み（INTSR1）を発生します。

受信完了割り込み要求（INTSR1）は，ストップ・ビットのサンプリング後に発生します。また，受信完了割り込み要求（INTSR1）はエラー検出時にも発生します。

受信禁止状態中は，受信完了割り込みは発生しません。

注意　受信完了割り込み要求（INTSR1）は，受信データの最終ビット（ストップ・ビット）をサンプリングしたあとに出力されます。

(2) 送信完了割り込み（INTST1）

UART1は送信バッファを持たないため，送信シフト・レジスタ（TXS1, TXSL1）から7ビット／8ビットのキャラクタを含む1フレーム分または2フレーム分のデータおよび9ビット・キャラクタのデータがシフト・アウトされると送信完了割り込み要求（INTST1）を発生します。

10. 3. 5　動　　作

(1) データ・フォーマット

全二重シリアル・データの送受信を行います。

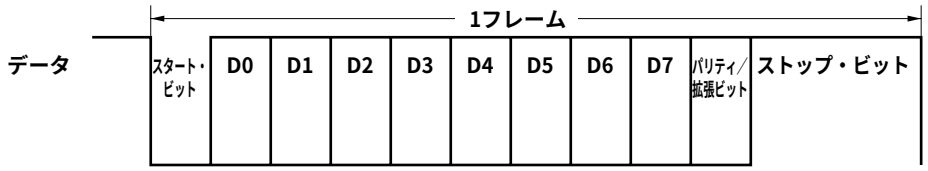
送受信データのフォーマットは図10－17に示すとおり，スタート・ビット，キャラクタ・ビット，パリティ・ビット，ストップ・ビットで1データ・フレームを構成します。2データ・フレーム転送設定の場合には，この1データ・フレームの構成を連続した構成となります。

1データ・フレーム内のキャラクタ・ビット長の指定，パリティ選択，ストップ・ビット長の指定は，アシンクロナス・シリアル・インタフェース・モード・レジスタ10（ASIM10）によって行います。フレーム数の指定，拡張ビットの指定は，アシンクロナス・シリアル・インタフェース・モード・レジスタ11（ASIM11）によって行います。

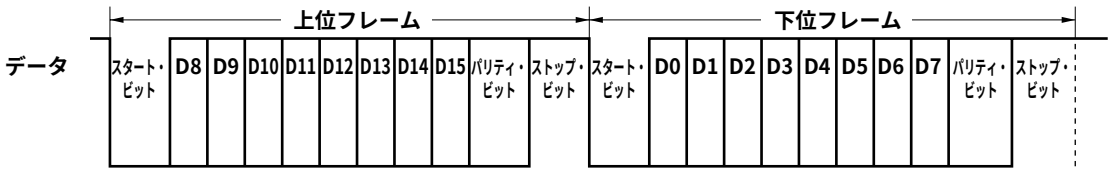
また，データはLSBファーストで転送します。

図10－17　アシンクロナス・シリアル・インタフェースの送受信データのフォーマット

(a) 1フレーム・フォーマット



(b) 2フレーム・フォーマット



- **スタート・ビット　……　1ビット**
- **キャラクタ・ビット　…　7ビット／8ビット**
- **パリティ・ビット　……　偶数パリティ／奇数パリティ／0パリティ／パリティなし**
- **ストップ・ビット　……　1ビット／2ビット**

注意　拡張ビットは2フレーム連続モードおよびパリティ・ビットの付加時には無効になります。

表10－6　ASIM10, ASIM11レジスタの設定とデータ・フォーマット

ASIM10, ASIM11レジスタの設定					データ・フォーマット				
CLビット	PS1ビット	PS0ビット	SLビット	EBSビット	D0-D6	D7	D8	D9	D10
0	0	0	0	0	DATA	ストップ・ビット	－	－	－
0	PS1 = PS0 = 0以外				DATA	パリティ・ビット	ストップ・ビット	－	－
1	0	0			DATA	DATA	ストップ・ビット	－	－
1	PS1 = PS0 = 0以外				DATA	DATA	パリティ・ビット	ストップ・ビット	－
0	0	0	1	0	DATA	ストップ・ビット	ストップ・ビット	－	－
0	PS1 = PS0 = 0以外				DATA	パリティ・ビット	ストップ・ビット	ストップ・ビット	－
1	0	0			DATA	DATA	ストップ・ビット	ストップ・ビット	－
1	PS1 = PS0 = 0以外				DATA	DATA	パリティ・ビット	ストップ・ビット	ストップ・ビット
0	0	0	0	1	DATA	ストップ・ビット	－	－	－
0	PS1 = PS0 = 0以外				DATA	パリティ・ビット	ストップ・ビット	－	－
1	0	0			DATA	DATA	DATA	ストップ・ビット	－
1	PS1 = PS0 = 0以外				DATA	DATA	パリティ・ビット	ストップ・ビット	－
0	0	0	1	1	DATA	ストップ・ビット	ストップ・ビット	－	－
0	PS1 = PS0 = 0以外				DATA	パリティ・ビット	ストップ・ビット	ストップ・ビット	－
1	0	0			DATA	DATA	DATA	ストップ・ビット	ストップ・ビット
1	PS1 = PS0 = 0以外				DATA	DATA	パリティ・ビット	ストップ・ビット	ストップ・ビット

(2) 送信動作

2フレーム連続送信用シフト・レジスタ1（TXS1）／送信シフト・レジスタL1（TXSL1）にデータを書き込むことにより送信動作が起動されます。

データ書き込み後，次のシフト・タイミングからスタート・ビットを送信します。

なお，UART1にはCTS（送信許可信号）入力端子がないので，相手側が受信許可状態かを確認するときはポートを使用してください。

(a) 送信動作の起動

2フレーム連続送信用シフト・レジスタ1（TXS1）／送信シフト・レジスタL1（TXSL1）に送信データを書き込むと送信動作が起動します。その後，LSBから順にTXD1端子にデータを出力します（スタート・ビットから順に送信転送されます）。スタート・ビット，パリティ・ビット，ストップ・ビットは自動的に付加されます。

(b) 送信割り込み要求

1フレーム分または2フレーム分のデータの送出が終了し，送信シフト・レジスタが空になると送信完了割り込み要求（INTST1）を発生させます。ストップ・ビット長の指定により，INTST1割り込みの発生タイミングが異なります。INTST1割り込みは，最後のストップ・ビット出力と同時に発生します。

次に送信するデータをTXS1/TXSL1レジスタに書き込むまで，送信動作は中断します。

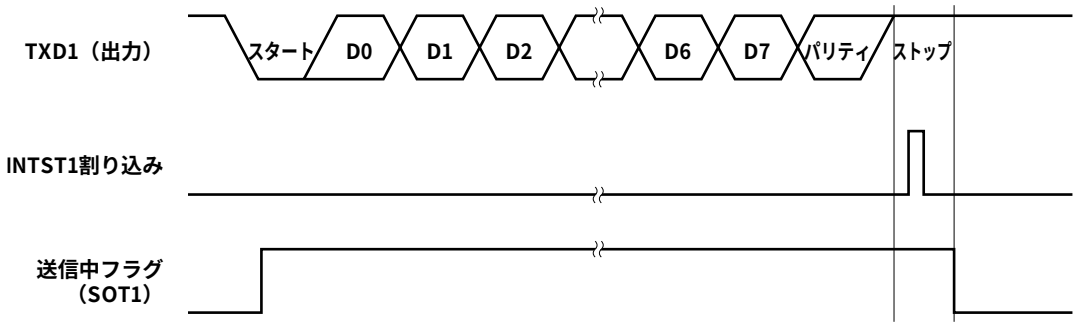
INTST1割り込みの発生タイミングを図10－18に示します。

注意1. 通常，送信シフト・レジスタが空になったときに送信完了割り込み（INTST1）が発生します。しかし，$\overline{\text{RESET}}$入力により，送信シフト・レジスタが空になった場合，送信完了割り込み（INTST1）は発生しません。

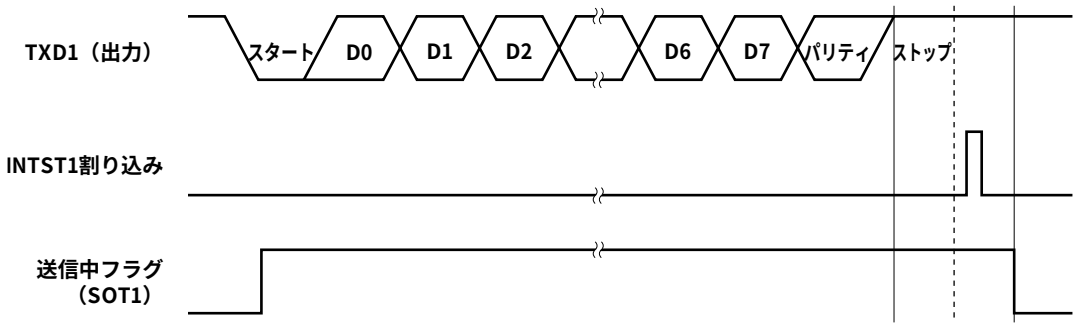
2. INTST1が発生するまでの送信動作中は，TXS1またはTXSL1レジスタへデータを書き込めません。また，書き込んだ場合でも，送信動作に影響は受けません。

図10－18　アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング

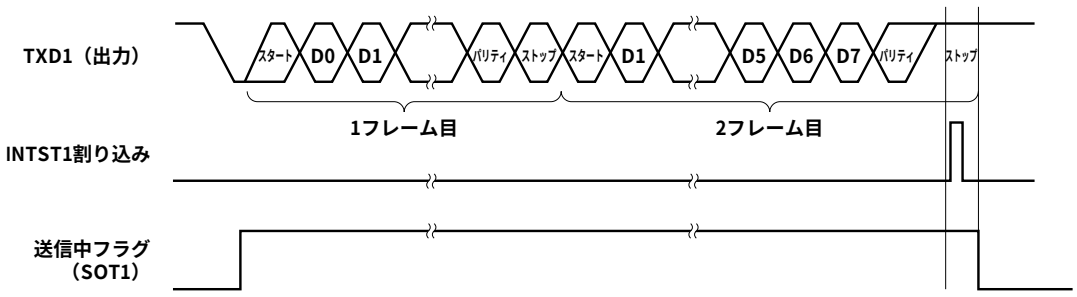
（a）ストップ・ビット長：1ビットの場合



（b）ストップ・ビット長：2ビットの場合



（c）2フレーム連続送信モードの場合



(3) 3フレーム以上の連続送信

UART1では，1フレーム／2フレーム送信の機能がありますが，次に示す方法で送信を行うと3フレーム以上の連続送信ができます。

(a) 3フレーム連続送信の方法（ストップ・ビットが1ビット（SLビット = 0）の場合）

送信完了割り込み要求（INTST1）が発生してから最後のストップ・ビットを出力する4×2/fxxの手前までに，送信データをTXS1/TXSL1レジスタに書き込むことで3フレーム連続送信ができます。

INTST1割り込みは，ストップ・ビット送出開始から2/fxx後にハイ・レベルになり，さらに2/fxx後にロウ・レベルに戻ります。TXS1/TXSL1に書き込み可能となるのはINTST1割り込みが立ち下がってからとなります。したがって，INTST1割り込み発生から送信データ書き込み完了までの時間（t）の計算式は次のようになります。

t =（ストップ・ビットの1ビットあたりの時間）－（2×2/fxx＋4×2/fxx）

fxx：内部システム・クロック

注意　4×2/fxxは，実際の動作可能なクロック数の倍のマージンを採っています。

例　カウント・クロック周波数 = 32 MHz = 32,000,000 Hz
同期モード時の目標ボー・レート = 9600 bps

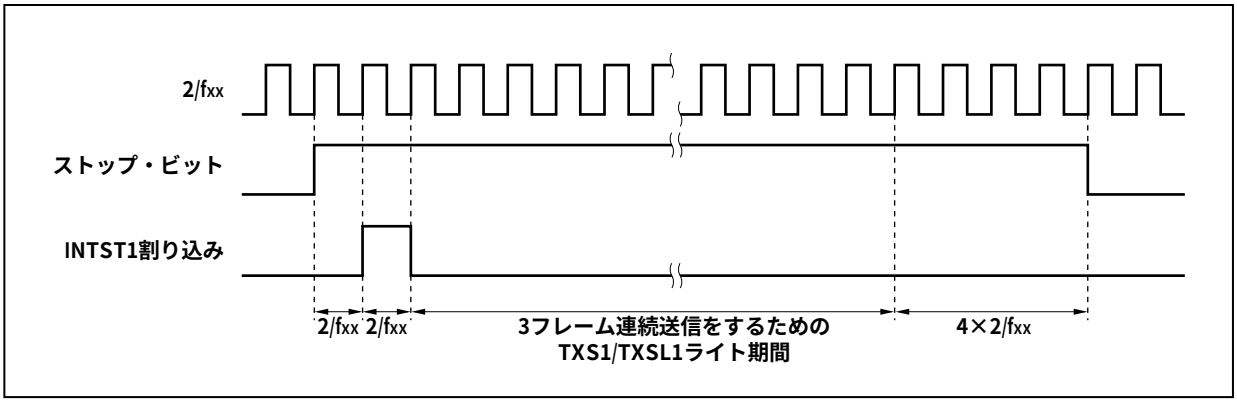
t =（1/9615.385）－（（4＋8）/32,000,000）
= 104.000－0.375
= 103.625［μs］

INTST1割り込み発生後103 μs以内に送信データをTXS1/TXSL1に書き込んでください。

ただし，INTST1割り込みの優先順位，割り込み処理時間によってTXS1/TXSL1への書き込みが遅れる可能性があるため，INTST1割り込み発生から送信データ書き込み完了までの時間は十分に余裕を取ってください。TXS1/TXSL1への書き込みが遅れて連続送信に間に合わなかった場合は，1ビット分のハイ・レベルを送信します。

なお，ストップ・ビットが2ビット（SLビット = 1）の場合は，2回目のストップ・ビット出力時にINTST1割り込みが発生します。

図10－19　3フレーム以上の連続送信（SLビット = 0の場合）



(4) 受信動作

ASIM10レジスタのRXE1ビット = 1にすることにより，受信待ち状態になります。受信動作を開始するには，まず，スタート・ビットの検出を行います。RXD1端子のサンプリングを行うことで，スタート・ビットの検出を行います。受信動作を開始すると，設定されたボー・レートにあわせて，シリアル・データを順に受信シフト・レジスタに格納していきます。2フレーム分または1フレーム分のRXB1/RXBL1のデータ受信が終了するごとに受信完了割り込み（INTSR1）が発生します。この割り込み処理で受信バッファ（RXB1/RXBL1）からメモリに受信データを転送します。

(a) 受信許可状態

受信動作はASIM10レジスタのRXE1ビットをセット(1)することにより,受信許可状態となります。

- RXE1 = 1：受信許可状態
- RXE1 = 0：受信禁止状態

なお，受信禁止状態では受信ハードウエアは初期状態で待機します。このとき，受信完了割り込みは発生せず，受信バッファの内容は保持されます。

(b) 受信動作の起動

受信動作はスタート・ビットの検出により起動されます。

- **非同期モード時（**ASIM11**レジスタの**MOD**ビット** = 0**）**

  ボー・レート・ジェネレータからのシリアル・クロックでRXD1端子をサンプリングします。RXD1端子の立ち下がりエッジを検出してから8シリアル・クロック出力後，再びRXD1端子をサンプリングします。このときロウ・レベルを確認するとスタート・ビットと認識して受信処理動作に移り，以降16シリアル・クロック出力単位にRXD1端子入力をサンプリングします。RXD1端子の立ち下がりエッジを検出してから8シリアル・クロック後のサンプリングでハイ・レベルを確認した場合，この立ち下がりエッジをスタート・ビットとは認めません。サンプル・タイミング発生用のシリアル・クロック・カウンタは初期化されて動作を停止し，次の立ち下がりエッジ入力を待ちます。

- **同期モード時（**ASIM11**レジスタの**MOD**ビット** = 1**）**

  ボー・レート・ジェネレータからのシリアル・クロックまたはシリアル・クロック入出力の立ち上がりでRXD1端子をサンプリングします。このときRXD1端子がロウ・レベルの場合，スタート・ビットと認識して受動処理動作に移ります。

なお，受信途中にロウ・レベル固定で受信データが中断された場合には，その受信データの受信動作（エラー検出も含む）は完了して受信完了割り込みは発生します。しかし，RXDラインがロウ・レベル固定であっても，次の受信動作は起動されません（スタート・ビットの検出は行われません）。

また，受信動作を再開するときには必ずハイ・レベルにしてください。ハイ・レベルにしないとスタート・ビットの検出位置が不定になり，正しい受信動作ができません。

(c) 受信完了割り込み要求

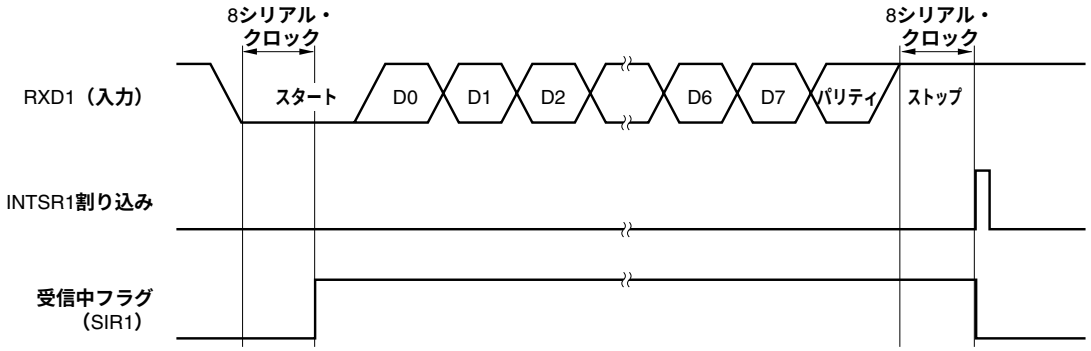
ASIM10レジスタのRXE1ビット = 1のとき，1フレーム分のデータの受信が完了（ストップ・ビットの検出）すると，シフト・レジスタ内の受信データがRXB1/RXBL1に転送され，1フレーム分または2フレーム分のRXB1/RXBL1転送後，受信完了割り込み要求（INTSR1）を発生します。

また，受信完了割り込みはエラー検出時にも発生します。

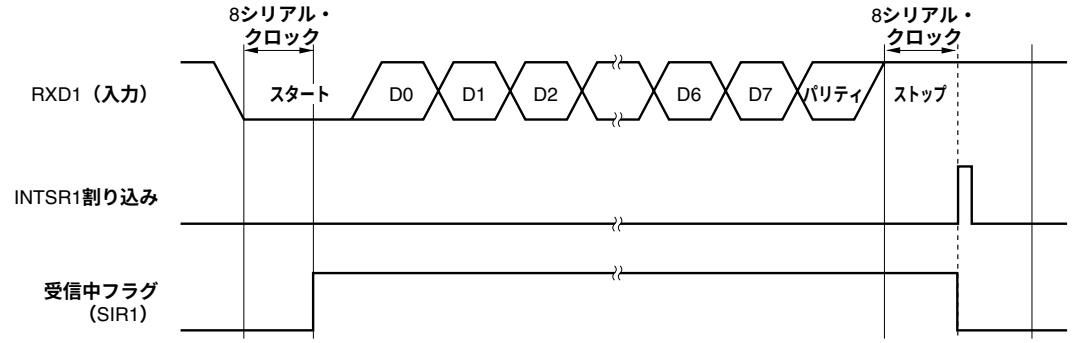
RXE1ビット = 0（受信禁止）では，受信完了割り込みは発生しません。

図10－20　アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング

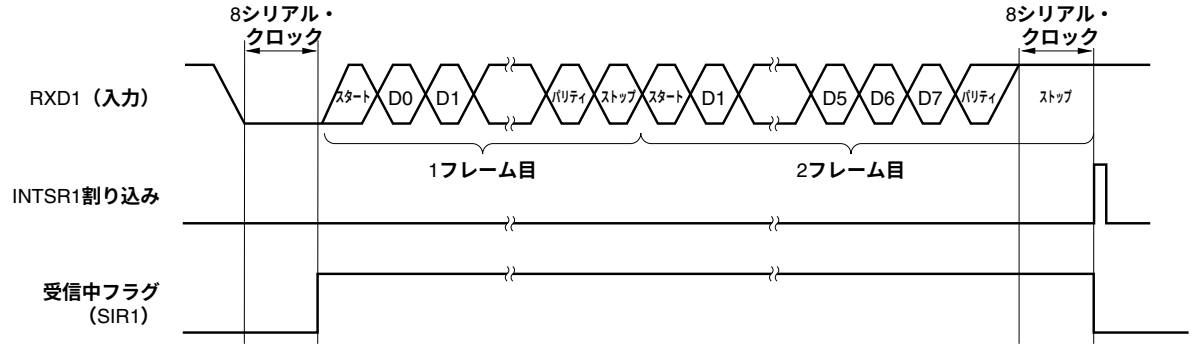
（a）ストップ・ビット長：1ビットの場合



（b）ストップ・ビット長：2ビットの場合



（c）2フレーム連続送信モードの場合



注意1. **受信エラー発生時にも，2フレーム連続受信用バッファ・レジスタ**1（RXB1）／**受信バッファ・レジスタ**1（RXBL1）**を必ず読み出してください。**RXB1/RXBL1**レジスタを読み出さないと，次のデータ受信にオーバラン・エラーが発生し，いつまでも受信エラーの状態が続くことになります。**

2. **受信は常に「ストップ・ビット長** = 1**ビット」として動作します。**2**ビット目のストップ・ビットは，無視されます。**

(5) 受信エラー

受信動作に同期して，パリティ・エラー，フレーミング・エラー，オーバラン・エラーの3種類のエラー・フラグが影響を受けます。データ受信の結果，ASIS1レジスタのPE1，FE1，OVE1フラグがセット（1）されると同時に，受信完了割り込み要求（INTSR1）を発生します。

INTSR1割り込み処理内で，ASIS1レジスタのPE1，FE1，OVE1フラグの内容を読み出すことによって，受信時に発生したエラーの内容を検出することができます。

ASIS1レジスタの内容は，ASIS1レジスタの読み出しによってリセット（0）されます（次の受信データにエラーがあれば，そのエラー・フラグがセット（1）されます）。

表10－7　受信エラーの要因

エラー・フラグ	受信エラー	要　　因
PE1	パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
FE1	フレーミング・エラー	ストップ・ビットが検出されない
OVE1	オーバラン・エラー	受信バッファからデータを読み出す前に次のデータの受信を完了

(6) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は，送信側と受信側のパリティ・ビットは同一の種類のものを使用します。

(a) 偶数パリティ

① 送信時

パリティ・ビットを含めた送信データ中の，値が“1”のビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

・送信データ中に，値が“1”のビットの数が奇数個：1
・送信データ中に，値が“1”のビットの数が偶数個：0

② 受信時

パリティ・ビットを含めた受信データ中の，値が“1”のビットの数をカウントし，奇数個であった場合にパリティ・エラーを発生します。

(b) 奇数パリティ

① 送信時

偶数パリティとは逆に，パリティ・ビットを含めた送信データ中の，値が“1”のビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- **送信データ中に，値が“1”のビットの数が奇数個：0**
- **送信データ中に，値が“1”のビットの数が偶数個：1**

② 受信時

パリティ・ビットを含めた受信データ中の，値が“1”のビットの数をカウントし，偶数個であった場合にパリティ・エラーを発生します。

(c) 0パリティ

送信時には，送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって，パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(d) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため，パリティ・エラーを発生しません。

10. 3. 6　同期モード

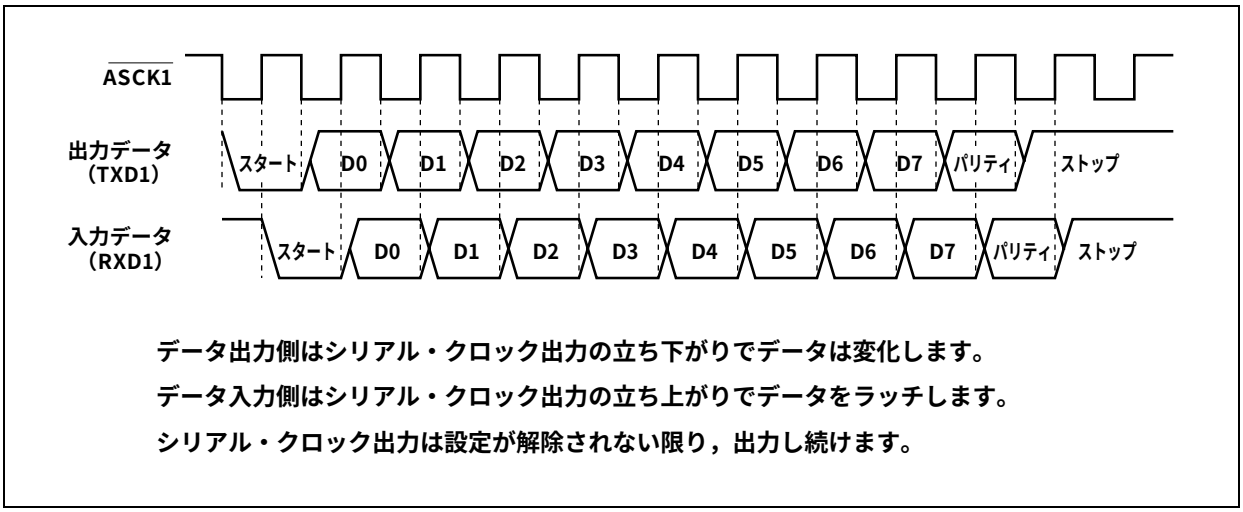
シリアル・クロックの入出力端子である$\overline{\text{ASCK1}}$端子による同期モードの設定が可能です。

同期モードはASIM11レジスタのMODビットで設定し，同期するシリアル・クロックをASIM10レジスタのSCLSビットで選択します。

同期モード時，SCLSビットはディフォールトではSCLSビット = 0で外部クロック入力ですが，そのほかの設定はシリアル・クロック出力となりますので，設定時は接続ノード間で出力が衝突しないように注意してください。

同期モード時は，シリアル・クロックの立ち下がりが送信タイミング，立ち上がりが受信タイミングとなりますが，送信データはシリアル・クロックの1システム・クロック遅れで出力されます（外部クロック同期モード時は最大2.5システム・クロック遅れになります）。

図10－21　同期モード時の送受信タイミング



データ出力側はシリアル・クロック出力の立ち下がりでデータは変化します。
データ入力側はシリアル・クロック出力の立ち上がりでデータをラッチします。
シリアル・クロック出力は設定が解除されない限り，出力し続けます。

図10－22　同期モード時の送受信タイミング・チャート（1/3）

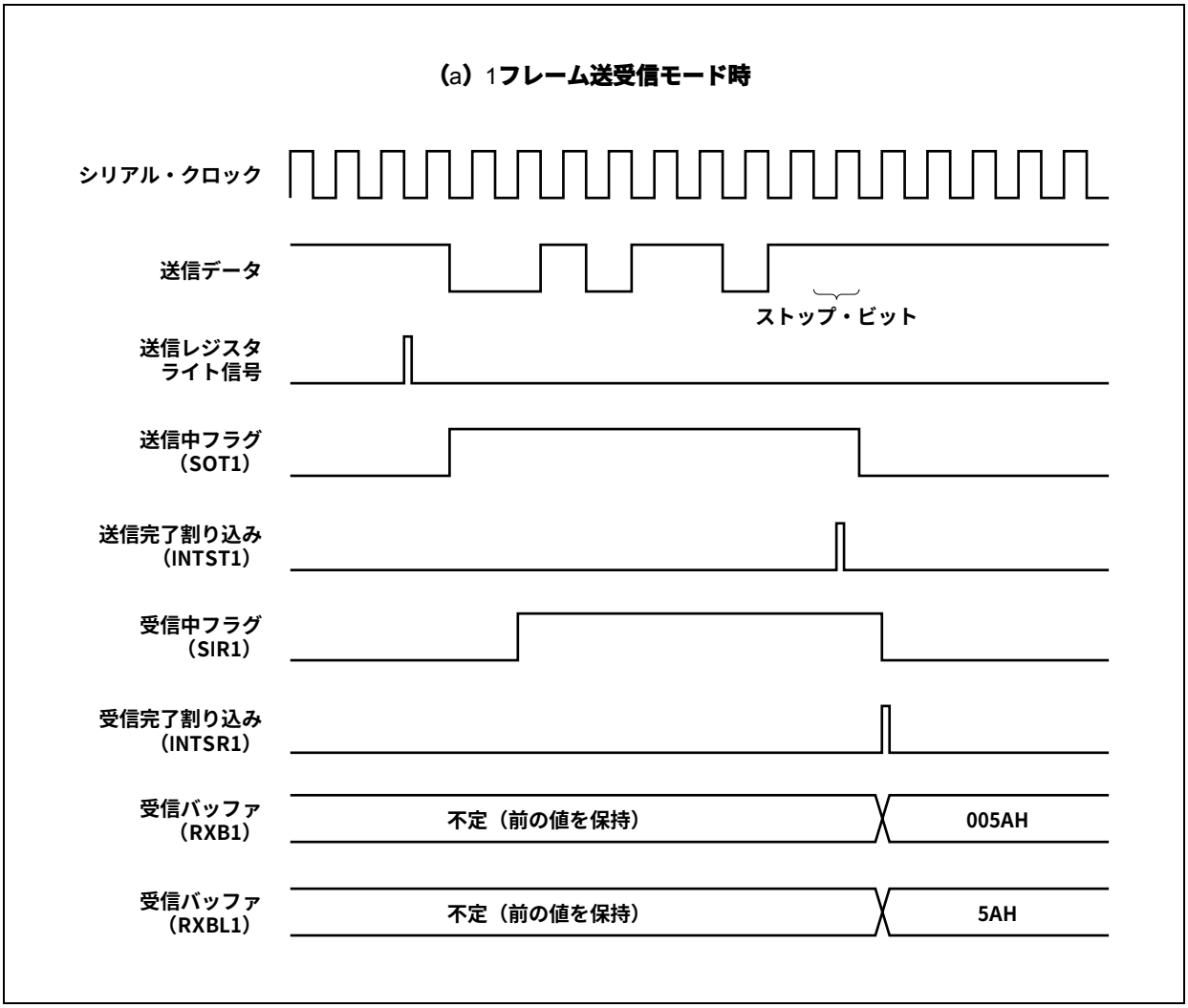


図10－22　同期モード時の送受信タイミング・チャート（2/3）

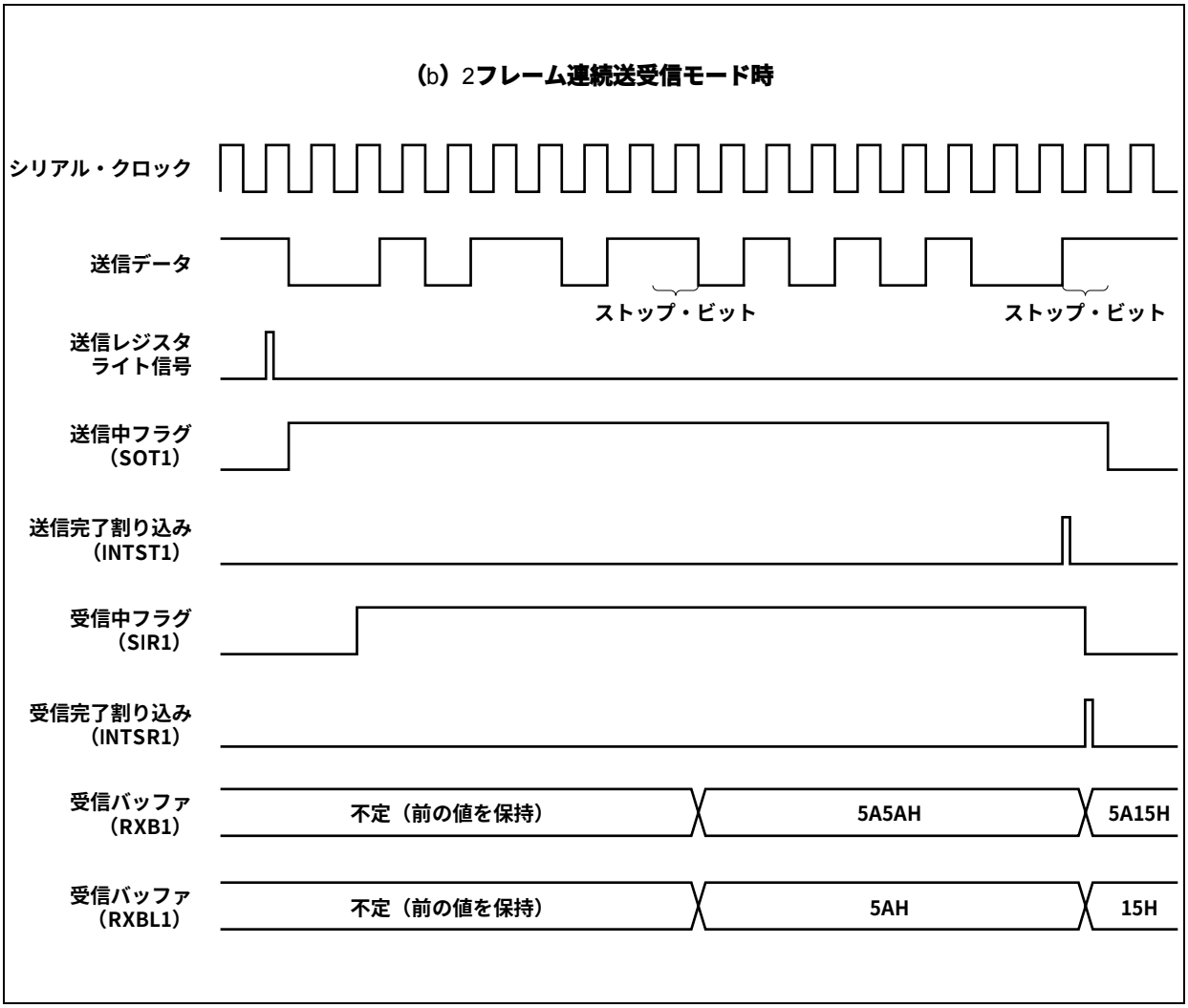
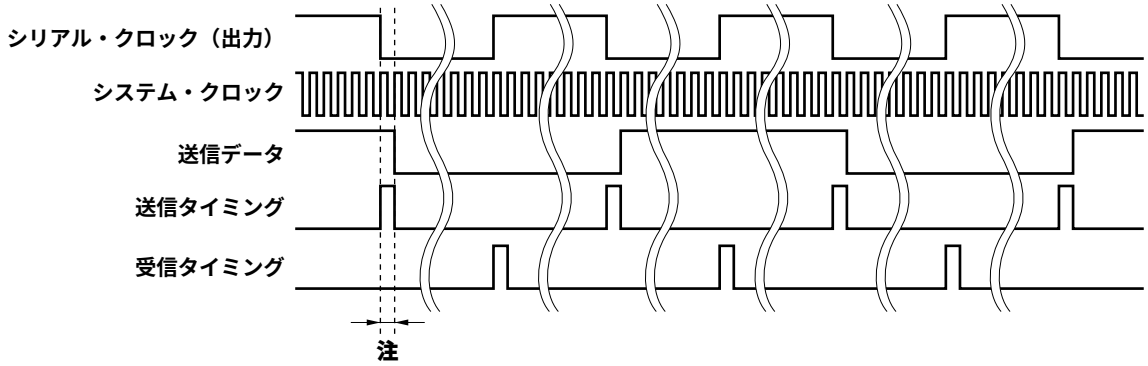


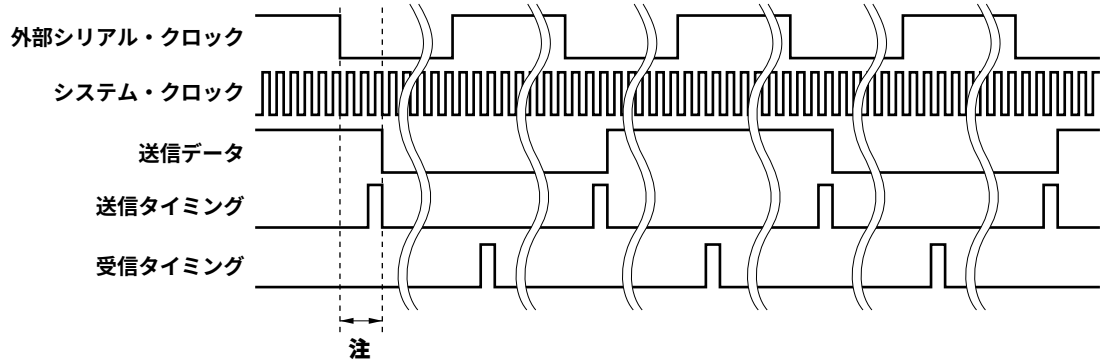
図10－22　同期モード時の送受信タイミング・チャート（3/3）

(c) シリアル・クロック出力時の送受信タイミングおよび送信データのタイミング



注　送信データはシリアル・クロックより1システム・クロック遅れます。

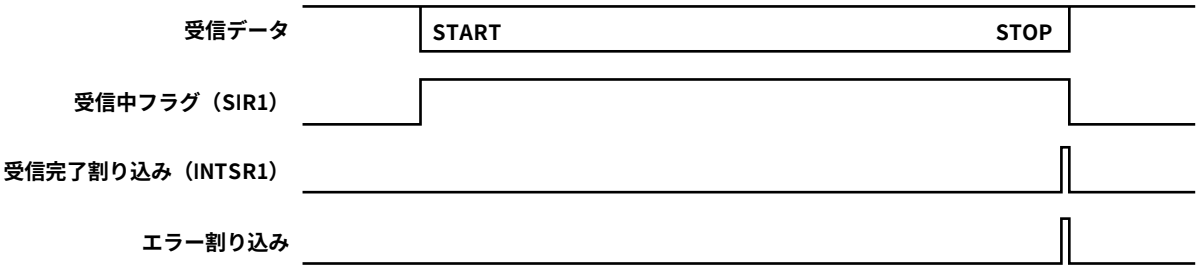
(d) 外部シリアル・クロックを使用したときの送受信タイミングおよび送信データのタイミング



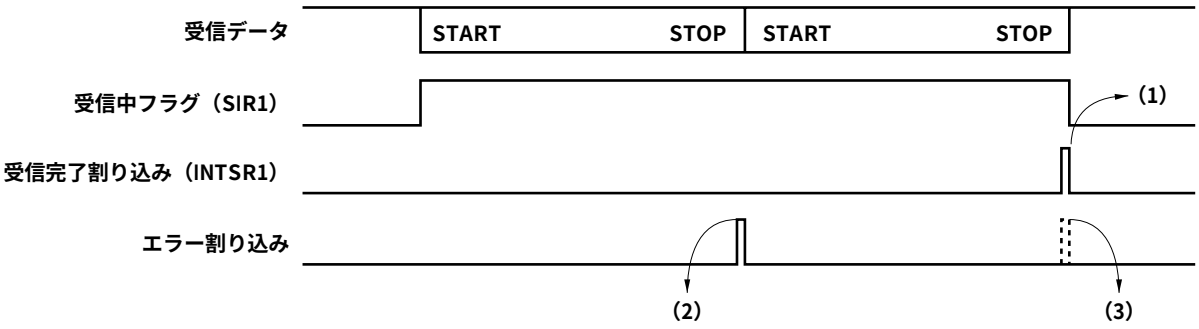
注　外部シリアル・クロック同期時は外部シリアル・クロックを内部に取り込む際に内部システム・クロックと同期を取るため，1システム・クロックから最大2.5システム・クロック遅れることがあります。

図10－23　同期モード受信時の受信完了割り込みおよびエラー割り込み発生タイミング

（a）通常時（1フレーム受信モード時）



（b）2フレーム連続受信モード時



＜解説＞

（1）2フレーム目のスタート・ビットが検出できなかった場合は，受信完了割り込みは発生しません。

（2）1フレーム目でエラーが発生した場合は，1フレーム目のストップ・ビット検出後（計算される位置）にエラー割り込みを発生させます。

（3）2フレーム目にエラーが発生した場合は，受信完了割り込みと同時にエラー割り込みが発生します。1フレーム目でエラーが発生していた場合は，2フレーム目でエラーが発生してもエラー割り込みは発生しません。

10. 3. 7　専用ボー・レート・ジェネレータ1（BRG1）

（1）ボー・レート・ジェネレータ1（BRG1）の構成

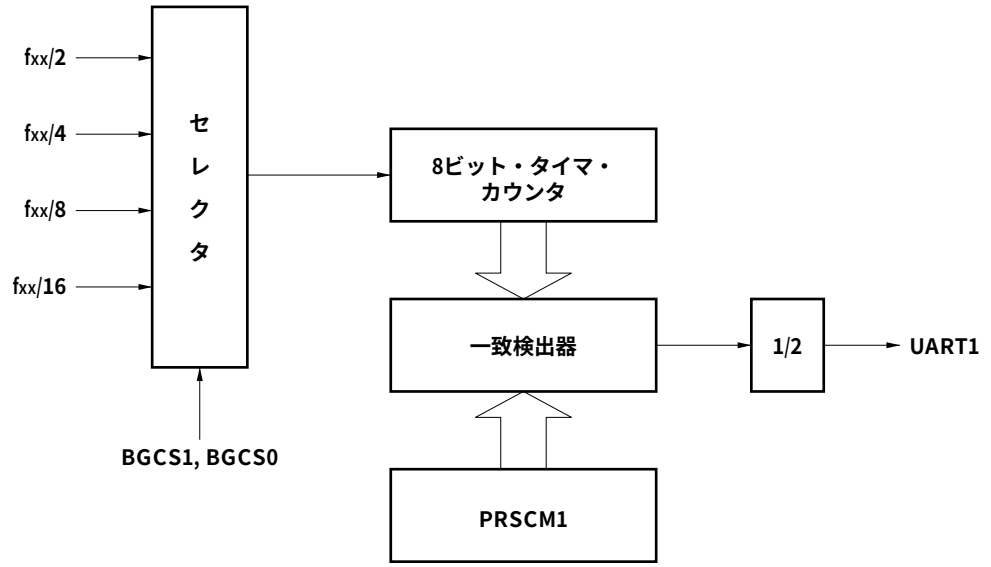
UART1は，シリアル・クロックをチャネルごとに専用ボー・レート・ジェネレータ出力または内部システム・クロック（fxx）から選択できます。

シリアル・クロック・ソースは，ASIM10レジスタで指定します。

「専用ボー・レート・ジェネレータ出力」を指定した場合は，クロック・ソースとしてBRG1が選択されます。

1チャネル当たりの送受信のシリアル・クロックは1つで共用できるため，送受信のボー・レートは同一となります。

図10－24　ボー・レート・ジェネレータ1（BRG1）のブロック図



備考　fxx：内部システム・クロック

(2) 専用ボー・レート・ジェネレータ1（BRG1）

BRG1は，ボー・レート信号生成用の8ビット・タイマ・カウンタ，ボー・レート信号の生成を制御するプリスケーラ・モード・レジスタ（PRSM1），8ビット・タイマ・カウンタの値を設定するプリスケーラ・コンペア・レジスタ（PRSCM1）とプリスケーラから構成されます。

(a) 入力クロック

BRG1へは，内部システム・クロック（fxx）が入力されます。

(b) プリスケーラ・モード・レジスタ1（PRSM1）

PRSM1レジスタは，UART1のボー・レート信号の生成を制御します。

8/1ビット単位でリード／ライト可能です。

注意1. 送受信動作中にBGCS1, BGCS0ビットの値を変更しないでください。

2. PRSM1レジスタのUARTCE1ビット以外の設定はUARTCE1ビットに“1”を設定する前に行ってください。

	⑦	6	5	4	3	2	1	0	アドレス	初期値
PRSM1	UARTCE1	0	0	0	0	0	BGCS1	BGCS0	FFFFFA2EH	00H

ビット位置	ビット名	意　味
7	UARTCE1	ボー・レート用カウンタ動作許可を指定します。 0：ボー・レート用カウンタの動作を停止し，ボー・レート出力信号を“0”固定します。 1：ボー・レート用カウンタの動作を許可し，ボー・レート出力動作を開始します。
1, 0	BGCS1, BGCS0	ボー・レート用カウンタへのカウント・クロックの選択を指定します。

BGCS1	BGCS0	カウント・クロックの選択
0	0	fxx/2
0	1	fxx/4
1	0	fxx/8
1	1	fxx/16

備考　fxx = 内部システム・クロック

(c) プリスケーラ・コンペア・レジスタ1（PRSCM1）

PRSCM1は8ビット・タイマ・カウンタの値を設定する8ビットのコンペア・レジスタです。

8ビット単位でリード／ライト可能です。

注意1. PRSCM1レジスタへの書き込み動作により内部タイマ・カウンタがクリアされます。したがって,送信動作中にはPRSCM1レジスタを書き換えないでください。

2. PRSM1レジスタのUARTCE1ビットに1を設定する前にPRSCM1レジスタの設定を行ってください。UARTCE1ビット = 1のときにPRSCM1レジスタの内容を書き換えた場合は，ボー・レート信号の周期は保証できません。

3. 非同期モード時のボー・レートは，153600 bps以下に設定してください。同期モード時のボー・レートは，1000000 bps以下に設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
PRSCM1	PRSCM7	PRSCM6	PRSCM5	PRSCM4	PRSCM3	PRSCM2	PRSCM1	PRSCM0	FFFFFA30H	00H

(d) ボー・レートの生成

まず，PRSM1レジスタのUARTCE1ビットを1に書き換えると，ボー・レート信号生成用の8ビット・タイマ・カウンタはPRSM1レジスタのBGCS1, BGCS0ビットで選択したクロックでカウント・アップを始めます。8ビット・タイマ・カウンタのカウント値と，PRSCM1レジスタの値を比較し，一致するとボー・レート用出力制御回路にタイマ・カウント・クロックの1周期分パルスを出力します。

ボー・レート用出力制御回路は，このパルスが“1”のときにタイマ・カウント・クロックの立ち上がりに同期してボー・レート信号を反転します。

(e) ボー・レート信号の周期

ボー・レート信号の周期は次のようにして計算します。

- PRSCM1レジスタの設定値が00Hの場合

  PRSM1レジスタのBGCS1, BGCS0ビットで選択された信号の周期×256×2

- 上記以外の場合

  PRSM1レジスタのBGCS1, BGCS0ビットで選択された信号の周期×PRSCM1レジスタの設定値×2

(f) ボー・レートの設定値

非同期モード時と同期モード時のボー・レートの計算式と誤差の計算式を次に示します。

①　非同期モード時ボー・レートの計算式

$$\text{ボー・レート} = \frac{f_{XX}}{2 \times m \times 2^k \times 16} \text{ [bps]}$$

fXX = 内部システム・クロック周波数 [Hz]
= CPUクロック／2 [Hz]
m = PRSCM1レジスタ設定値（1≦m≦256[注]）
k = PRSM1レジスタのBGCS1, BGCS0ビットで設定した値（k = 0, 1, 2, 3）

注　m = 256の設定はPRSCM1レジスタの00Hライトで行います。

②　同期モード時ボー・レートの計算式

$$\text{ボー・レート} = \frac{f_{XX}}{2 \times m \times 2^k} \text{ [bps]}$$

fXX = 内部システム・クロック周波数 [Hz]
= CPUクロック／2 [Hz]
m = PRSCM1レジスタ設定値（1≦m≦256[注]）
k = PRSM1レジスタのBGCS1, BGCS0ビットで設定した値（k = 0, 1, 2, 3）

注　m = 256の設定はPRSCM1レジスタの00Hライトで行います。

③　誤差の計算式

$$\text{誤差 [\%]} = \left(\frac{\text{実際のボー・レート} - \text{目標ボー・レート}}{\text{目標ボー・レート}} \right) \times 100$$

例　(9520－9600)/9600×100 = －0.833 [%]

備考　実際のボー・レート：誤差のあるボー・レート
目標ボー・レート：正常なボー・レート

④　ボー・レート設定例

実際のシステムでは入力クロックに，プリスケーラ・モジュールなどの出力を接続します。その際のボー・レート・ジェネレータ設定データを表10－8に示します。

表10－8　ボー・レート・ジェネレータ設定データ（BRG = fxx/2）

（a）fxx = 32 MHzの場合

目標ボー・レート		実際のボー・レート		BGCSmビット（m = 0, 1）	PRSCM1レジスタ設定値	誤差
同期モード	非同期モード	同期モード	非同期モード			
4800	300	4807.692	300.4808	3	208	0.16
9600	600	9615.385	600.9615	3	104	0.16
19200	1200	19230.77	1201.923	3	52	0.16
38400	2400	38461.54	2403.846	3	26	0.16
76800	4800	76923.08	4807.692	3	13	0.16
153600	9600	153846.2	9615.385	2	13	0.16
166400	10400	166666.7	10416.67	1	24	0.16
307200	19200	307692.3	19230.77	1	13	0.16
614400	38400	615384.6	38461.54	0	13	0.16
不可	76800	－	71428.57	0	7	－6.99
不可	153600	－	166666.7	0	3	8.51

（b）fxx = 40 MHzの場合

目標ボー・レート		実際のボー・レート		BGCSmビット（m = 0, 1）	PRSCM1レジスタ設定値	誤差
同期モード	非同期モード	同期モード	非同期モード			
4800	300	4882.813	305.1758	3	256	1.73
9600	600	9615.385	600.9615	3	130	0.16
19200	1200	19230.77	1201.923	3	65	0.16
38400	2400	38461.54	2403.846	2	65	0.16
76800	4800	76923.08	4807.692	1	65	0.16
153600	9600	153846.2	9615.385	0	65	0.16
166400	10400	166666.7	10416.67	0	60	0.16
307200	19200	303030.3	18939.39	0	33	－1.36
614400	38400	625000	39062.5	0	16	1.73
不可	76800	－	78125	0	8	1.73
不可	153600	－	156250	0	4	1.73

(3) 受信時の許容ボー・レート範囲

受信の際に，送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

注意　受信時のボー・レート誤差は，下記に示す算出式を使用して，必ず許容誤差範囲内になるように設定してください。

図10－25　受信時の許容ボー・レート範囲

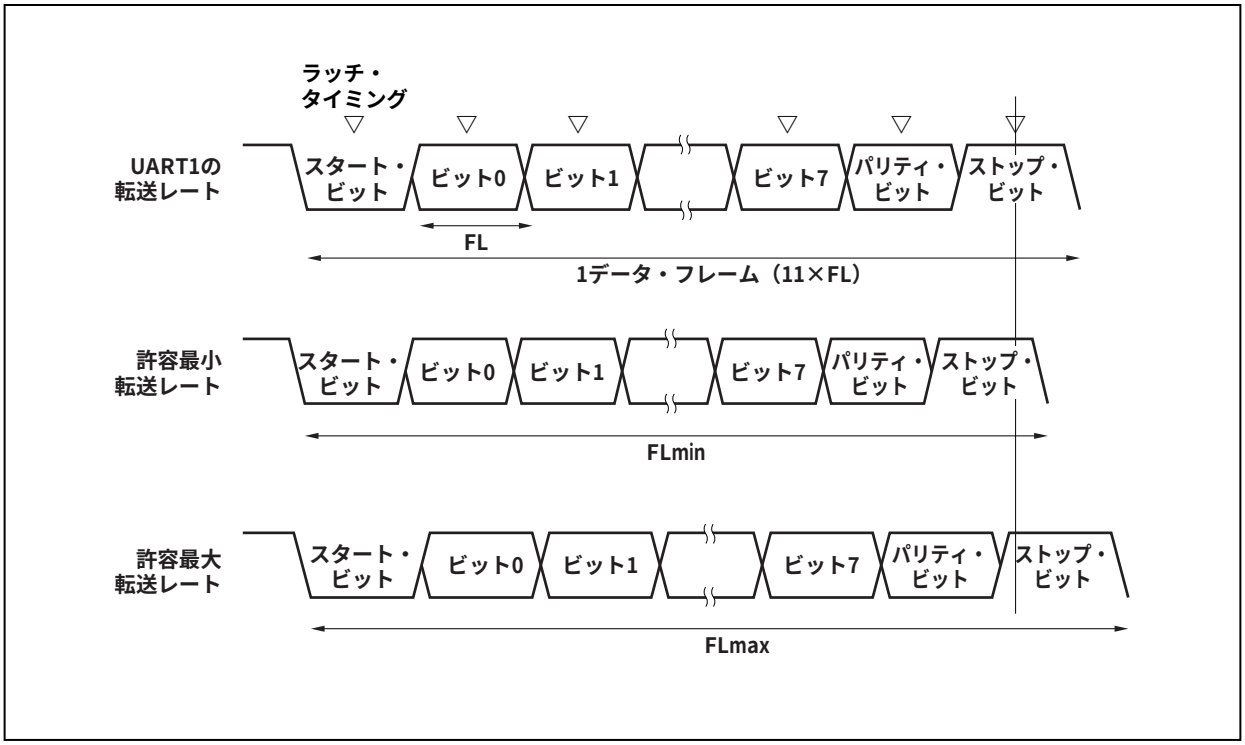


図10－25に示すように，スタート・ビット検出後はPRSCM1レジスタで設定したカウンタにより，受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上，次のようになります。

$$FL = (Brate)^{-1}$$

Brate：UART1のボー・レート
k　　：PRSCM1レジスタの設定値
FL　：1ビット・データ長

ラッチ・タイミングのマージンをfxx/2の2クロック分とすると，許容最小転送レート（FLmin）は次のようになります（fxx：内部システム・クロック）。

$$FLmin = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって，受信可能な送信先の最大ボー・レート（BRmax）は次のようになります。

$$BRmax = (FLmin/11)^{-1} = \frac{22k}{21k+2} Brate$$

同様に，許容最大転送レート（FLmax）を求めると，次のようになります。

$$\frac{10}{11} \times FLmax = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FLmax = \frac{21k-2}{20k} FL \times 11$$

したがって，受信可能な送信先の最小ボー・レート（BRmin）は次のようになります。

$$BRmin = (FLmax/11)^{-1} = \frac{20k}{21k-2} Brate$$

(4) 2フレーム連続受信時の転送レート

2フレーム連続受信の場合，2フレーム目のスタート・ビットの検出によりタイミングの初期化が行われるので転送結果には影響しません。

10. 4　クロック同期式シリアル・インタフェース0, 1（CSI0, CSI1）

10. 4. 1　特　　徴

○高速転送　最大5 Mbps

★　○全二重通信

送信，受信は，独立に行うことができません（送受信同時動作）。

○マスタ・モードとスレーブ・モードを選択可能

○送信データ長：8ビット／16ビットに設定可能

○転送データ方向をMSB先頭／LSB先頭切り替え可能

○8本のクロック信号を選択可能（7本のマスタ・クロックと1本のスレーブ・クロック）

○3線式　SOn　：シリアル送信データ出力

$\overline{\text{SIn}}$　：シリアル受信データ入力

SCKn　：シリアル・クロック入出力

○割り込みソース1種

・送受信完了割り込み（INTCSIn）

○送受信モードと受信専用モードを指定可能

○2つの送信バッファ（SOTBFn/SOTBFLn，SOTBn/SOTBLn）と2つの受信バッファ（SIRBn/SIRBLn, SIRBEn/SIRBELn）を内蔵

○単発転送モードと繰り返し転送モードを指定可能

備考　n = 0, 1

10.4.2 構　　成

クロック同期式シリアル・インタフェース・モード・レジスタ（CSIMn）によって，CSInを制御します（n = 0, 1）。送受信データはSIOnレジスタの書き込み／読み出しで行います（n = 0, 1）。

（1）クロック同期式シリアル・インタフェース・モード・レジスタ0, 1（CSIM0, CSIM1）

CSIMnレジスタは，CSInの動作を指定する8ビット・レジスタです。

（2）クロック同期式シリアル・インタフェース・クロック選択レジスタ0, 1（CSIC0, CSIC1）

CSICnレジスタは，CSInのシリアル転送動作を制御する8ビット・レジスタです。

（3）シリアルI/O**シフト・レジスタ**0, 1（SIO0, SIO1）

SIOnレジスタは，パラレル・データをシリアル・データに変換する16ビット・シフト・レジスタです。

SIOnレジスタは送信および受信の両方に使用されます。

データは，MSB側またはLSB側からシフト・イン（受信）またはシフト・アウト（送信）されます。

バッファ・レジスタへのアクセスで実際の送受信動作が起動されます。

（4）シリアルI/O**シフト・レジスタ**L0, L1（SIOL0, SIOL1）

SIOLnレジスタは，パラレル・データをシリアル・データに変換する8ビット・シフト・レジスタです。

SIOLnレジスタは送信および受信の両方に使用されます。

データは，MSB側またはLSB側からシフト・イン（受信）またはシフト・アウト（送信）されます。

バッファ・レジスタへのアクセスで実際の送受信動作が起動されます。

（5）クロック同期式シリアル・インタフェース受信バッファ・レジスタ0, 1（SIRB0, SIRB1）

SIRBnレジスタは，受信データを格納する16ビット・バッファ・レジスタです。

（6）クロック同期式シリアル・インタフェース受信バッファ・レジスタL0, L1（SIRBL0, SIRBL1）

SIRBLnレジスタは，受信データを格納する8ビット・バッファ・レジスタです。

（7）クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ0, 1（SIRBE0, SIRBE1）

SIRBEnレジスタは，受信データを格納する16ビット・バッファ・レジスタです。

SIRBEnレジスタは，SIRBnレジスタと同じものです。SIRBnレジスタの内容を読み出す場合に使用します。

（8）クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタL0, L1（SIRBEL0, SIRBEL1）

SIRBELnレジスタは，受信データを格納する8ビット・バッファ・レジスタです。

SIRBELnレジスタは，SIRBLnレジスタと同じものです。SIRBLnレジスタの内容を読み出す場合に使用します。

（9）クロック同期式シリアル・インタフェース送信バッファ・レジスタ0, 1（SOTB0, SOTB1）

SOTBnレジスタは，送信データを格納する16ビット・バッファ・レジスタです。

（10）クロック同期式シリアル・インタフェース送信バッファ・レジスタL0, L1（SOTBL0, SOTBL1）

SOTBLnレジスタは，送信データを格納する8ビット・バッファ・レジスタです。

(11) クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ（SOTBF0, SOTBF1）

SOTBFnレジスタは，繰り返し転送モードでの初段送信データを格納する16ビット・バッファ・レジスタです。

(12) クロック同期式シリアル・インタフェース初段送信バッファ・レジスタL（SOTBFL0, SOTBFL1）

SOTBFLnレジスタは，繰り返し転送モードでの初段送信データを格納する8ビット・バッファ・レジスタです。

(13) セレクタ

使用するシリアル・クロックを選択します。

(14) シリアル・クロック制御回路

シリアル・クロックのシフト・レジスタへの供給を制御します。また，内部クロック使用時には$\overline{\text{SCK}}$n端子へ出力するクロックの制御も行います。

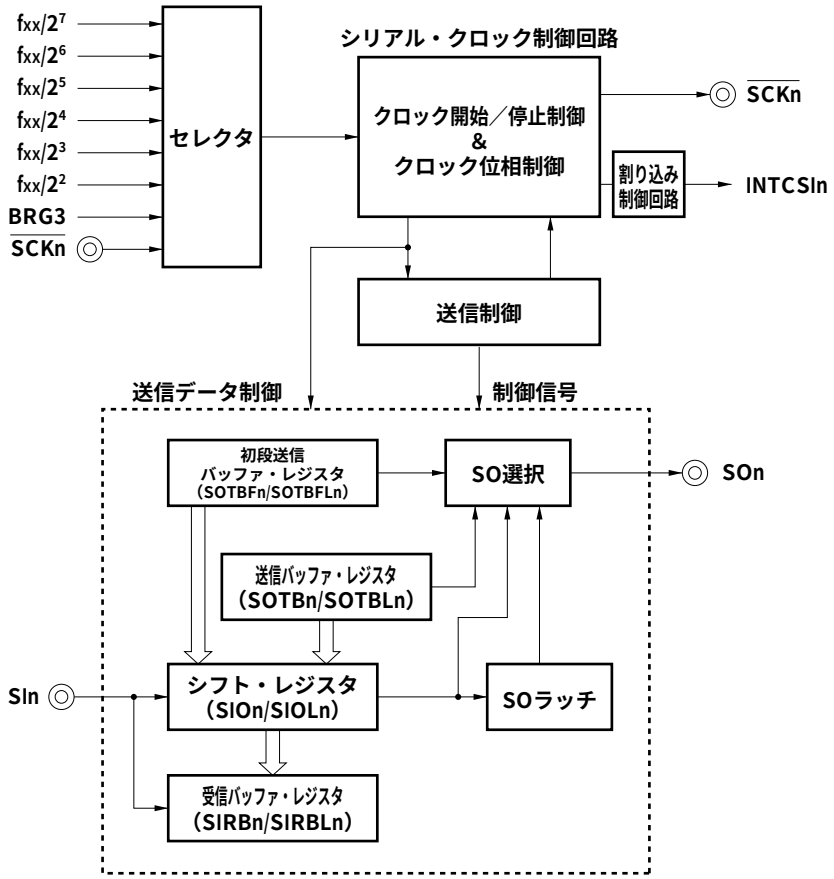
(15) シリアル・クロック・カウンタ

送信／受信動作時に出力する，または入力されるシリアル・クロックをカウントし，8/16ビット・データの送受信が行われたことを調べます。

(16) 割り込み制御回路

割り込み要求タイミングを制御します。

図10－26　クロック同期式シリアル・インタフェースのブロック図



備考1.　n = 0, 1

2.　fxx：**内部システム・クロック**

3.　SO1, SI1, SCK1**端子は**TXD1, RXD1, ASCK1**端子を兼用しています。**

10. 4. 3　制御レジスタ

CSI1は，UART1と端子を兼用しているため，あらかじめPMC3, PFC3レジスタでCSI1モードに設定する必要があります（10. 1. 1　UART1とCSI1のモード切り替え参照）。

（1）クロック同期式シリアル・インタフェース・モード・レジスタ0, 1（CSIM0, CSIM1）

CSIMnレジスタは，CSInの動作を制御するレジスタです（n = 0, 1）。

8/1ビット単位でリード／ライト可能です（ただし，ビット0はリードだけ可能です）。

注意　CSIMnレジスタのTRMDn, CCL, DIRn, CSIT, AUTOビットの書き換えは，CSOTnビット = 0のときだけ可能です。それ以外のときにこれらのビットを書き換えた場合の動作は保証しません。

	⑦	⑥	5	④	3	2	1	⓪	アドレス	初期値
CSIM0	CSICAE0	TRMD0	CCL	DIR0	CSIT	AUTO	0	CSOT0	FFFFF900H	00H

	⑦	⑥	5	④	3	2	1	⓪	アドレス	初期値
CSIM1	CSICAE1	TRMD1	CCL	DIR1	CSIT	AUTO	0	CSOT1	FFFFF910H	00H

ビット位置	ビット名	意　味
7	CSICAEn	CSIn動作許可／禁止を指定します。 0：CSIn動作禁止 1：CSIn動作許可 CSICAEnビット = 0にすることで，CSInの内部回路を非同期にリセットすることができます。CSICAEnビット = 0のときの$\overline{\text{SCK}}$n, SOn端子出力状態については10. 4. 5 出力端子を参照してください。
6	TRMDn	送受信モードを指定します。 0：受信専用モード 1：送受信モード TRMDnビット = 0の場合，受信だけの転送になり，SOn端子出力はロウ・レベルに固定されます。SIRBnレジスタの読み出しにより，データ受信を開始します。 TRMDnビット = 1の場合，SOTBnレジスタへのデータ書き込みにより送受信が開始されます。
5	CCL	データ長を指定します。 0：8ビット 1：16ビット
4	DIRn	転送方向モード（MSB/LSB）を指定します。 0：転送データ先頭ビットはMSB 1：転送データ先頭ビットはLSB
3	CSIT	割り込み要求信号の遅延制御を行います。 0：遅延なし 1：遅延モード（割り込み要求信号が半サイクル遅れる） 注意　遅延モード（CSITビット = 1）は，マスタ・モード（CSICnレジスタのCKS2-CKS0ビットが111Bでない）のときだけ有効です。スレーブ・モード（CKS2-CKS0ビットが111B）時は，遅延モードに設定しないでください。
2	AUTO	単発転送／繰り返し転送モードを指定します。 0：単発転送モード 1：繰り返し転送モード
0	CSOTn	転送状態表示フラグです。 0：アイドル状態 1：転送実行状態 注意　CSOTnビットは，CSICAEnビット = 0でクリア（0）されます。

備考　n = 0, 1

(2) クロック同期式シリアル・インタフェース・クロック選択レジスタ0, 1**（**CSIC0, CSIC1**）**

CSICn**レジスタは，**CSIn**の転送動作を制御する**8**ビット・レジスタです（**n = 0, 1**）。**

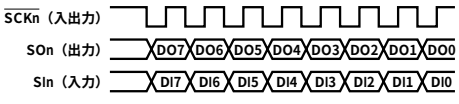
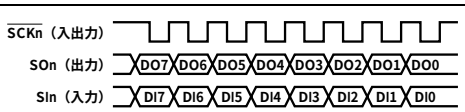
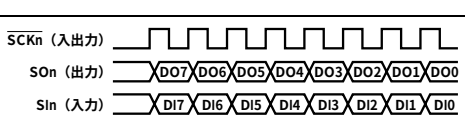
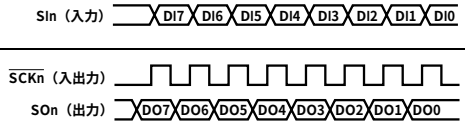
8/1**ビット単位でリード／ライト可能です。**

注意　CSICn**レジスタは**CSIMn**レジスタの**CSICAEn**ビット** = 0**のときだけ書き換えられます。**

	7	6	5	4	3	2	1	0	アドレス	初期値
CSIC0	0	0	0	CKP	DAP	CKS2	CKS1	CKS0	FFFFF901H	00H

	7	6	5	4	3	2	1	0	アドレス	初期値
CSIC1	0	0	0	CKP	DAP	CKS2	CKS1	CKS0	FFFFF911H	00H

ビット位置	ビット名	意　味
4, 3	CKP, DAP	**動作モードを指定します。**
2-0	CKS2-CKS0	**シリアル・クロックを指定します。**

CKP	DAP	動作モード
0	0	
0	1	
1	0	
1	1	

備考　n = 0, 1

CKS2	CKS1	CKS0	シリアル・クロック	モード
0	0	0	$f_{XX}/2^7$	マスタ・モード
0	0	1	$f_{XX}/2^6$	マスタ・モード
0	1	0	$f_{XX}/2^5$	マスタ・モード
0	1	1	$f_{XX}/2^4$	マスタ・モード
1	0	0	$f_{XX}/2^3$	マスタ・モード
1	0	1	$f_{XX}/2^2$	マスタ・モード
1	1	0	BRG3で生成されるクロック	マスタ・モード
1	1	1	外部クロック（$\overline{\text{SCKn}}$）	スレーブ・モード

備考　f_{XX}：内部システム・クロック周波数

n = 0, 1

（3）クロック同期式シリアル・インタフェース受信バッファ・レジスタ0, 1**（**SIRB0, SIRB1**）**

SIRBn**レジスタは，受信データを格納する**16**ビット・バッファ・レジスタです（**n = 0, 1**）。**

受信専用モード（CSIMn**レジスタの**TRMDn**ビット** = 0**）に設定したとき，**SIRBn**レジスタからデータを読み出すことにより，受信動作を開始します。**

16**ビット単位でリードだけ可能です。**

リセット入力以外に，CSIMn**レジスタの**CSICAEn**ビットをクリア（**0**）した場合も初期化されます。**

注意1. SIRBn**レジスタは，**16**ビット・データ長（**CSIMn**レジスタの**CCL**ビット** = 1**）に設定したときだけリードしてください。**

2. **単発転送モード（**CSIMn**レジスタの**AUTO**ビット** = 0**）に設定したときには，アイドル状態中（**CSIMn**レジスタの**CSOTn**ビット** = 0**）だけリードしてください。データ転送中に**SIRBn**レジスタをリードした場合のデータは保証しません。**

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SIRB0	SIRB15	SIRB14	SIRB13	SIRB12	SIRB11	SIRB10	SIRB9	SIRB8	SIRB7	SIRB6	SIRB5	SIRB4	SIRB3	SIRB2	SIRB1	SIRB0	FFFFF902H	0000H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SIRB1	SIRB15	SIRB14	SIRB13	SIRB12	SIRB11	SIRB10	SIRB9	SIRB8	SIRB7	SIRB6	SIRB5	SIRB4	SIRB3	SIRB2	SIRB1	SIRB0	FFFFF912H	0000H

ビット位置	ビット名	意　味
15-0	SIRB15- SIRB0	受信データを格納します。

(4) クロック同期式シリアル・インタフェース受信バッファ・レジスタL0, L1**（**SIRBL0, SIRBL1**）**

SIRBLn**レジスタは，受信データを格納する**8**ビット・バッファ・レジスタです（**n = 0, 1**）。**

受信専用モード（CSIMn**レジスタの**TRMDn**ビット = 0）に設定したとき，**SIRBLn**レジスタからデータを読み出すことにより，受信動作を開始します。**

8/1**ビット単位でリードだけ可能です。**

リセット入力以外に，CSIMn**レジスタの**CSICAEn**ビットをクリア（**0**）した場合も初期化されます。**

SIRBLn**レジスタは，**SIRBn**レジスタの下位バイトと同じものです。**

注意1. SIRBLn**レジスタは，**8**ビット・データ長（**CSIMn**レジスタの**CCL**ビット = 0）に設定したときだけリードしてください。**

2. **単発転送モード（**CSIMn**レジスタの**AUTO**ビット = 0）に設定したときには，アイドル状態中（**CSIMn**レジスタの**CSOTn**ビット = 0）だけリードしてください。データ転送中に**SIRBLn**レジスタをリードした場合のデータは保証しません。**

	7	6	5	4	3	2	1	0	アドレス	初期値
SIRBL0	SIRB7	SIRB6	SIRB5	SIRB4	SIRB3	SIRB2	SIRB1	SIRB0	FFFFF902H	00H

	7	6	5	4	3	2	1	0	アドレス	初期値
SIRBL1	SIRB7	SIRB6	SIRB5	SIRB4	SIRB3	SIRB2	SIRB1	SIRB0	FFFFF912H	00H

ビット位置	ビット名	意　味
7-0	SIRB7-SIRB0	受信データを格納します。

（5）クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ0, 1**（**SIRBE0, SIRBE1**）**

SIRBEn**レジスタは，受信データを格納する**16**ビット・バッファ・レジスタです（**n = 0, 1**）。**

16**ビット単位でリードだけ可能です。**

リセット入力以外に，CSIMn**レジスタの**CSICAEn**ビットをクリア（**0**）した場合も初期化されます。**

SIRBEn**レジスタは，**SIRBn**レジスタと同じものです。**SIRBn**レジスタの内容を読み出す場合に使用します。**

注意1. SIRBEn**レジスタからデータを読み出しても，受信動作は開始しません。**

2. SIRBEn**レジスタは，**16**ビット・データ長（**CSIMn**レジスタの**CCL**ビット** = 1**）に設定したときだけリードしてください。**

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SIRBE0	SIRBE15	SIRBE14	SIRBE13	SIRBE12	SIRBE11	SIRBE10	SIRBE9	SIRBE8	SIRBE7	SIRBE6	SIRBE5	SIRBE4	SIRBE3	SIRBE2	SIRBE1	SIRBE0	FFFFF906H	0000H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SIRBE1	SIRBE15	SIRBE14	SIRBE13	SIRBE12	SIRBE11	SIRBE10	SIRBE9	SIRBE8	SIRBE7	SIRBE6	SIRBE5	SIRBE4	SIRBE3	SIRBE2	SIRBE1	SIRBE0	FFFFF916H	0000H

ビット位置	ビット名	意　味
15-0	SIRBE15- SIRBE0	受信データを格納します。

(6) クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタL0, L1 **(**SIRBEL0, SIRBEL1**)**

SIRBELn**レジスタは，受信データを格納する**8**ビット・バッファ・レジスタです（**n = 0, 1**）。**

8/1**ビット単位でリードだけ可能です。**

リセット入力以外に，CSIMn**レジスタの**CSICAEn**ビットをクリア（**0**）した場合も初期化されます。**

SIRBELn**レジスタは，**SIRBLn**レジスタと同じものです。**SIRBLn**レジスタの内容を読み出す場合に使用します。**

注意1. SIRBELn**レジスタからデータを読み出しても，受信動作は開始しません。**

2. SIRBELn**レジスタは，**8**ビット・データ長（**CSIMn**レジスタの**CCL**ビット** = 0**）に設定したときだけリードしてください。**

	7	6	5	4	3	2	1	0	アドレス	初期値
SIRBEL0	SIRBE7	SIRBE6	SIRBE5	SIRBE4	SIRBE3	SIRBE2	SIRBE1	SIRBE0	FFFFF906H	00H

	7	6	5	4	3	2	1	0	アドレス	初期値
SIRBEL1	SIRBE7	SIRBE6	SIRBE5	SIRBE4	SIRBE3	SIRBE2	SIRBE1	SIRBE0	FFFFF916H	00H

ビット位置	ビット名	意　味
7-0	SIRBE7- SIRBE0	受信データを格納します。

（7）クロック同期式シリアル・インタフェース送信バッファ・レジスタ0, 1**（**SOTB0, SOTB1**）**

SOTBn**レジスタは，送信データを格納する**16**ビット・バッファ・レジスタです（**n = 0, 1**）。**

送受信モード（CSIMn**レジスタの**TRMDn**ビット** = 1**）に設定したとき，**SOTBn**レジスタへのデータ書き込みにより，送信動作を開始します。**

16**ビット単位でリード／ライト可能です。**

注意1. SOTBn**レジスタは，**16**ビット・データ長（**CSIMn**レジスタの**CCL**ビット** = 1**）に設定したときだけアクセスしてください。**

2. **単発転送モード（**CSIMn**レジスタの**AUTO**ビット** = 0**）に設定したときには，アイドル状態中（**CSIMn**レジスタの**CSOTn**ビット** = 0**）だけアクセスしてください。データ転送中に**SOTBn**レジスタをアクセスした場合のデータは保証しません。**

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SOTB0	SOTB15	SOTB14	SOTB13	SOTB12	SOTB11	SOTB10	SOTB9	SOTB8	SOTB7	SOTB6	SOTB5	SOTB4	SOTB3	SOTB2	SOTB1	SOTB0	FFFFF904H	0000H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SOTB1	SOTB15	SOTB14	SOTB13	SOTB12	SOTB11	SOTB10	SOTB9	SOTB8	SOTB7	SOTB6	SOTB5	SOTB4	SOTB3	SOTB2	SOTB1	SOTB0	FFFFF914H	0000H

ビット位置	ビット名	意　味
15-0	SOTB15-SOTB0	送信データを格納します。

（8）クロック同期式シリアル・インタフェース送信バッファ・レジスタL0, L1**（**SOTBL0, SOTBL1**）**

SOTBLn**レジスタは，送信データを格納する**8**ビット・バッファ・レジスタです（**n = 0, 1**）。**

送受信モード（CSIMn**レジスタの**TRMDn**ビット** = 1**）に設定したとき，**SOTBLn**レジスタへのデータ書き込みにより，送信動作を開始します。**

8/1**ビット単位でリード／ライト可能です。**

SOTBLn**レジスタは，**SOTBn**レジスタの下位バイトと同じものです。**

注意1. SOTBLn**レジスタは，**8**ビット・データ長（**CSIMn**レジスタの**CCL**ビット** = 0**）に設定したときだけアクセスしてください。**

2. **単発転送モード（**CSIMn**レジスタの**AUTO**ビット** = 0**）に設定したときには，アイドル状態中（**CSIMn**レジスタの**CSOTn**ビット** = 0**）だけアクセスしてください。データ転送中に**SOTBLn**レジスタをアクセスした場合のデータは保証しません。**

	7	6	5	4	3	2	1	0	アドレス	初期値
SOTBL0	SOTB7	SOTB6	SOTB5	SOTB4	SOTB3	SOTB2	SOTB1	SOTB0	FFFFF904H	00H

	7	6	5	4	3	2	1	0	アドレス	初期値
SOTBL1	SOTB7	SOTB6	SOTB5	SOTB4	SOTB3	SOTB2	SOTB1	SOTB0	FFFFF914H	00H

ビット位置	ビット名	意　味
7-0	SOTB7-SOTB0	送信データを格納します。

(9) クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ0, 1**（**SOTBF0, SOTBF1**）**

SOTBFn**レジスタは，繰り返し転送モードでの初段送信データを格納する**16**ビット・バッファ・レジスタです（**n = 0, 1**）。**

SOTBFn**レジスタにデータを書き込んでも，送信動作は開始されません。**

16**ビット単位でリード／ライト可能です。**

注意　SOTBFn**レジスタは，**16**ビット・データ長（**CSIMn**レジスタの**CCL**ビット** = 1**）で，アイドル状態中（**CSIMn**レジスタの**CSOTn**ビット** = 0**）のときだけアクセスしてください。データ転送中に**SOTBFn**レジスタをアクセスした場合のデータは保証しません。**

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SOTBF0	SOTBF15	SOTBF14	SOTBF13	SOTBF12	SOTBF11	SOTBF10	SOTBF9	SOTBF8	SOTBF7	SOTBF6	SOTBF5	SOTBF4	SOTBF3	SOTBF2	SOTBF1	SOTBF0	FFFFF908H	0000H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SOTBF1	SOTBF15	SOTBF14	SOTBF13	SOTBF12	SOTBF11	SOTBF10	SOTBF9	SOTBF8	SOTBF7	SOTBF6	SOTBF5	SOTBF4	SOTBF3	SOTBF2	SOTBF1	SOTBF0	FFFFF918H	0000H

ビット位置	ビット名	意　味
15-0	SOTBF15-SOTBF0	繰り返し転送モード時の初段送信データを格納します。

（10）クロック同期式シリアル・インタフェース初段送信バッファ・レジスタL0, L1**（**SOTBFL0, SOTBFL1**）**

SOTBFLnレジスタは，繰り返し転送モードでの初段送信データを格納する8ビット・バッファ・レジスタです（n = 0, 1**）。**

SOTBFLnレジスタにデータを書き込んでも，送信動作は開始されません。

8/1ビット単位でリード／ライト可能です。

SOTBFLnレジスタはSOTBFnレジスタの下位バイトと同じものです。

注意　**SOTBFLnレジスタは，8ビット・データ長（CSIMnレジスタのCCLビット = 0）で，アイドル状態中（CSIMnレジスタのCSOTnビット = 0）のときだけアクセスしてください。データ転送中にSOTBFLnレジスタをアクセスした場合のデータは保証しません。**

	7	6	5	4	3	2	1	0	アドレス	初期値
SOTBFL0	SOTBF7	SOTBF6	SOTBF5	SOTBF4	SOTBF3	SOTBF2	SOTBF1	SOTBF0	FFFFF908H	00H

	7	6	5	4	3	2	1	0	アドレス	初期値
SOTBFL1	SOTBF7	SOTBF6	SOTBF5	SOTBF4	SOTBF3	SOTBF2	SOTBF1	SOTBF0	FFFFF918H	00H

ビット位置	ビット名	意　味
7-0	SOTBF7- SOTBF0	繰り返し転送モード時の初段送信データを格納します。

（11）シリアルI/O**シフト・レジスタ**0, 1**（**SIO0, SIO1**）**

SIOn**レジスタは，パラレル・データをシリアル・データに変換する**16**ビット・シフト・レジスタです（**n = 0, 1**）。**

SIOn**レジスタを読み出しても，転送は開始されません。**

16**ビット単位でリードだけ可能です。**

リセット入力以外に，CSIMn**レジスタの**CSICAEn**ビットをクリア（**0**）した場合も初期化されます。**

注意　SIOn**レジスタは，**16**ビット・データ長（**CSIMn**レジスタの**CCL**ビット** = 1**）で，アイドル状態中（**CSIMn**レジスタの**CSOTn**ビット** = 0**）のときだけリードしてください。データ転送中に**SIOn**レジスタをリードした場合のデータは保証しません。**

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SIO0	SIO15	SIO14	SIO13	SIO12	SIO11	SIO10	SIO9	SIO8	SIO7	SIO6	SIO5	SIO4	SIO3	SIO2	SIO1	SIO0	FFFFF90AH	0000H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SIO1	SIO15	SIO14	SIO13	SIO12	SIO11	SIO10	SIO9	SIO8	SIO7	SIO6	SIO5	SIO4	SIO3	SIO2	SIO1	SIO0	FFFFF91AH	0000H

ビット位置	ビット名	意　味
15-0	SIO15-SIO0	データは，MSBまたはLSB側からシフト・イン（受信）またはシフト・アウト（送信）します。

（12）シリアルI/O**シフト・レジスタ**L0, L1**（**SIOL0, SIOL1**）**

SIOLn**レジスタは，パラレル・データをシリアル・データに変換する**8**ビット・シフト・レジスタです（**n = 0, 1**）。**

SIOLn**レジスタを読み出しても，転送は開始されません。**

8/1**ビット単位でリードだけ可能です。**

リセット入力以外に，CSIMn**レジスタの**CSICAEn**ビットをクリア（**0**）する場合も初期化されます。**

SIOLn**レジスタは**SIOn**レジスタの下位バイトと同じものです。**

注意　SIOLn**レジスタは，**8**ビット・データ長（**CSIMn**レジスタの**CCL**ビット** = 0**）で，アイドル状態中（**CSIMn**レジスタの**CSOTn**ビット** = 0**）のときだけリードしてください。データ転送中に** SIOLn**レジスタをリードした場合のデータは保証しません。**

	7	6	5	4	3	2	1	0	アドレス	初期値
SIOL0	SIO7	SIO6	SIO5	SIO4	SIO3	SIO2	SIO1	SIO0	FFFFF90AH	00H

	7	6	5	4	3	2	1	0	アドレス	初期値
SIOL1	SIO7	SIO6	SIO5	SIO4	SIO3	SIO2	SIO1	SIO0	FFFFF91AH	00H

ビット位置	ビット名	意　味
7-0	SIO7-SIO0	データは，MSBまたはLSB側からシフト・イン（受信）またはシフト・アウト（送信）します。

10.4.4 動　　作

(1) 単発転送モード

(a) 使用方法

受信専用モード（CSIMnレジスタのTRMDnビット = 0）の場合，受信データ・バッファ・レジスタ（SIRBn/SIRBLn）のリード[注1]で転送を開始します（n = 0, 1）。

送受信モード（CSIMnレジスタのTRMDnビット = 1）の場合，送信データ・バッファ・レジスタ（SOTBn/SOTBLn）へのライト[注2]で転送を開始します。

また，スレーブ・モードの場合，前もって動作許可（CSIMnレジスタのCSICAEnビット = 1）になっている必要があります。

転送が開始されているときには，CSIMnレジスタのCSOTnビット = 1（送信実行状態）になります。

転送が終了すると，送受信完了割り込み（INTCSIn）がセット（1）され，CSOTnビットはクリア（0）されます。そして，次のデータ転送要求の待ち状態になります。

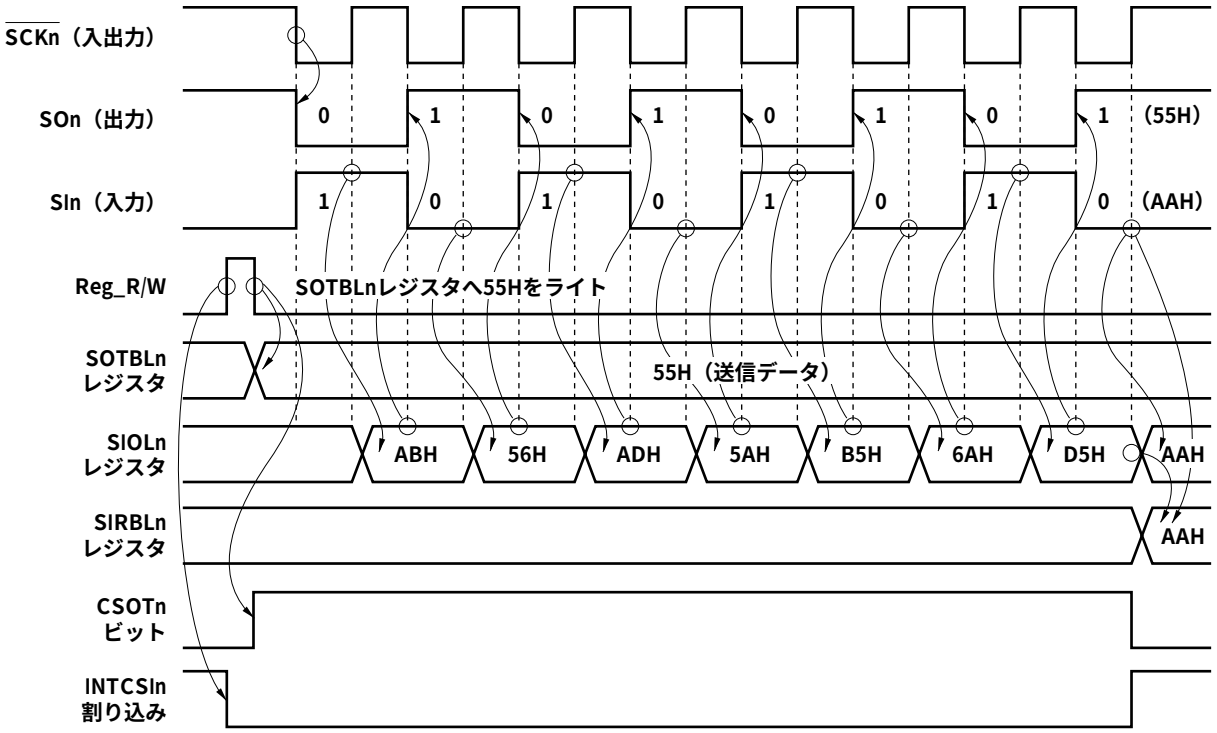
注1. 16ビット・データ長（CSIMnレジスタのCCLビット = 1）に設定している場合はSIRBnレジスタを，8ビット・データ長（CCLビット = 0）に設定している場合はSIRBLnレジスタをリードしてください。

2. 16ビット・データ長（CSIMnレジスタのCCLビット = 1）に設定している場合はSOTBnレジスタを，8ビット・データ長（CCLビット = 0）に設定している場合はSOTBLnレジスタへライトしてください。

注意　CSIMnレジスタのCSOTnビット = 1のときに，CSInのレジスタは操作しないでください。

図10－27　単発転送モードでのタイミング・チャート（1/2）

（a）送受信モード，データ長：8ビット，転送方向：MSB先頭，割り込み遅延なし，単発転送モード，動作モード：CKPビット = 0, DAPビット = 0の場合

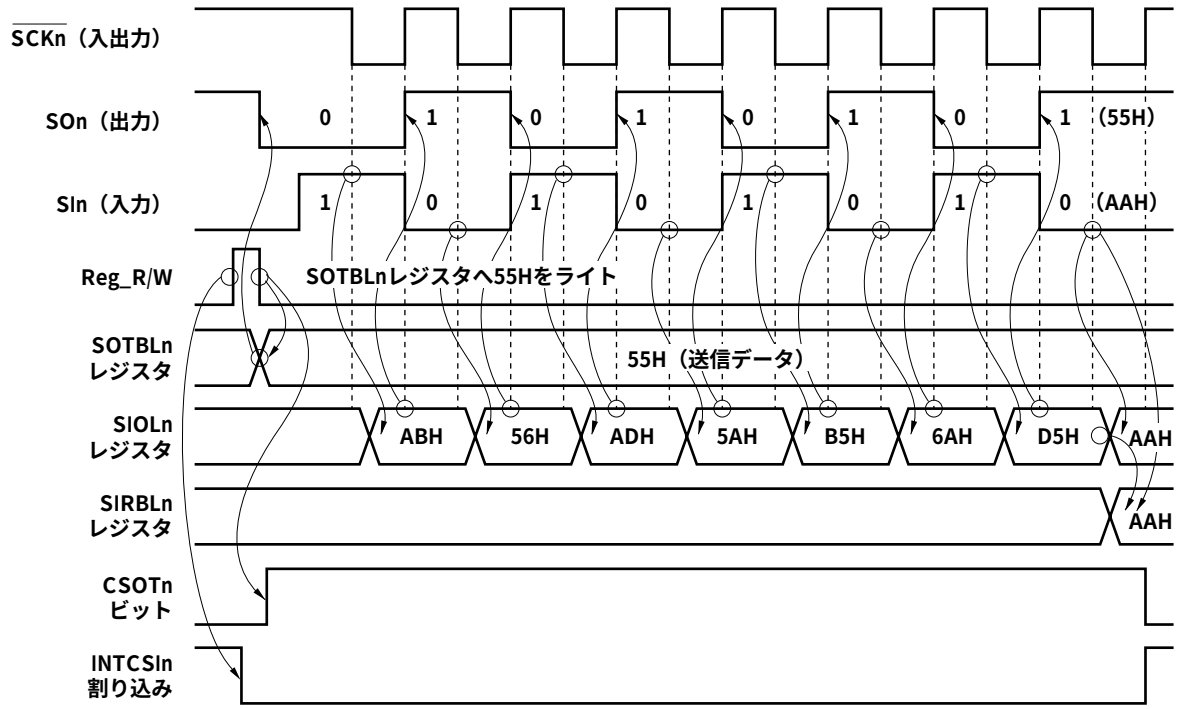


備考1.　n = 0, 1

2.　Reg_R/W：**内部信号。受信データ・バッファ・レジスタ**（SIRBn/SIRBLn）**のリード，または送信データ・バッファ・レジスタ**（SOTBn/SOTBLn）**へのライトを行ったことを示す信号です。**

図10－27　単発転送モードでのタイミング・チャート（2/2）

（b）送受信モード，データ長：8ビット，転送方向：MSB先頭，割り込み遅延なし，単発転送モード，動作モード：CKPビット = 0, DAPビット = 1の場合



備考1.　n = 0, 1

2.　Reg_R/W：**内部信号。受信データ・バッファ・レジスタ**（SIRBn/SIRBLn）**のリード，または送信データ・バッファ・レジスタ**（SOTBn/SOTBLn）**へのライトを行ったことを示す信号です。**

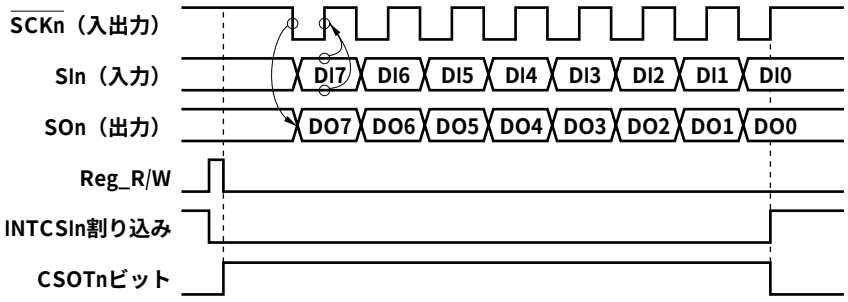
(b) クロック位相選択

次の条件で，クロック位相選択（CSICnレジスタのCKPビット）とデータ位相選択（CSICnレジスタのDAPビット）の条件を変えたときのタイミングを示します。

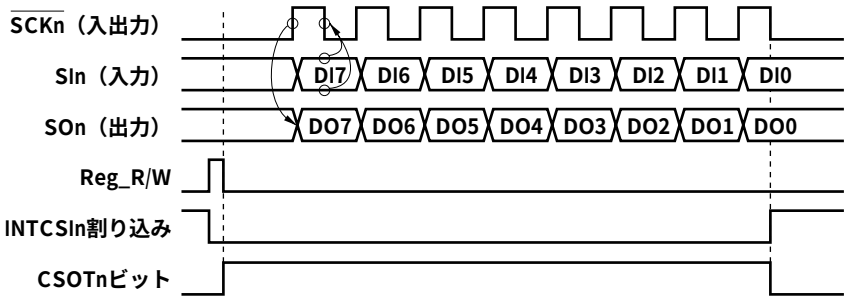
- **データ長が8ビット（CSIMnレジスタのCCLビット** = 0）
- **転送データ先頭ビットがMSB（CSIMnレジスタのDIRnビット** = 0）
- **割り込み要求信号遅延制御なし（CSIMnレジスタのCSITビット** = 0）

図10－28　クロック位相選択によるタイミング・チャート（1/2）

(a) CKPビット = 0, DAP**ビット** = 0**の場合**



(b) CKPビット = 1, DAP**ビット** = 0**の場合**

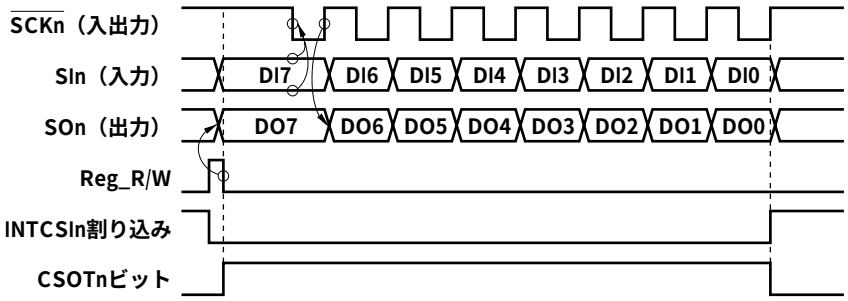


備考1. n = 0, 1

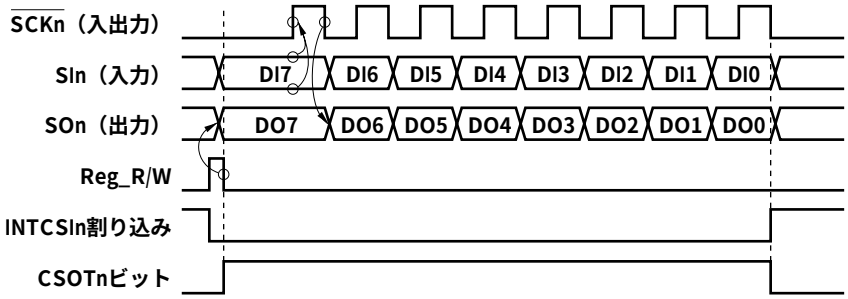
2. Reg_R/W：**内部信号。受信データ・バッファ・レジスタ（**SIRBn/SIRBLn**）のリード，または送信データ・バッファ・レジスタ（**SOTBn/SOTBLn**）へのライトを行ったことを示す信号です。**

図10－28　**クロック位相選択によるタイミング・チャート**（2/2）

（c**）**CKP**ビット** = 0, DAP**ビット** = 1**の場合**



（d**）**CKP**ビット** = 1, DAP**ビット** = 1**の場合**



備考1.　n = 0, 1

2.　Reg_R/W：**内部信号。受信データ・バッファ・レジスタ**（SIRBn/SIRBLn）**のリード，または送信データ・バッファ・レジスタ**（SOTBn/SOTBLn）**へのライトを行ったことを示す信号です。**

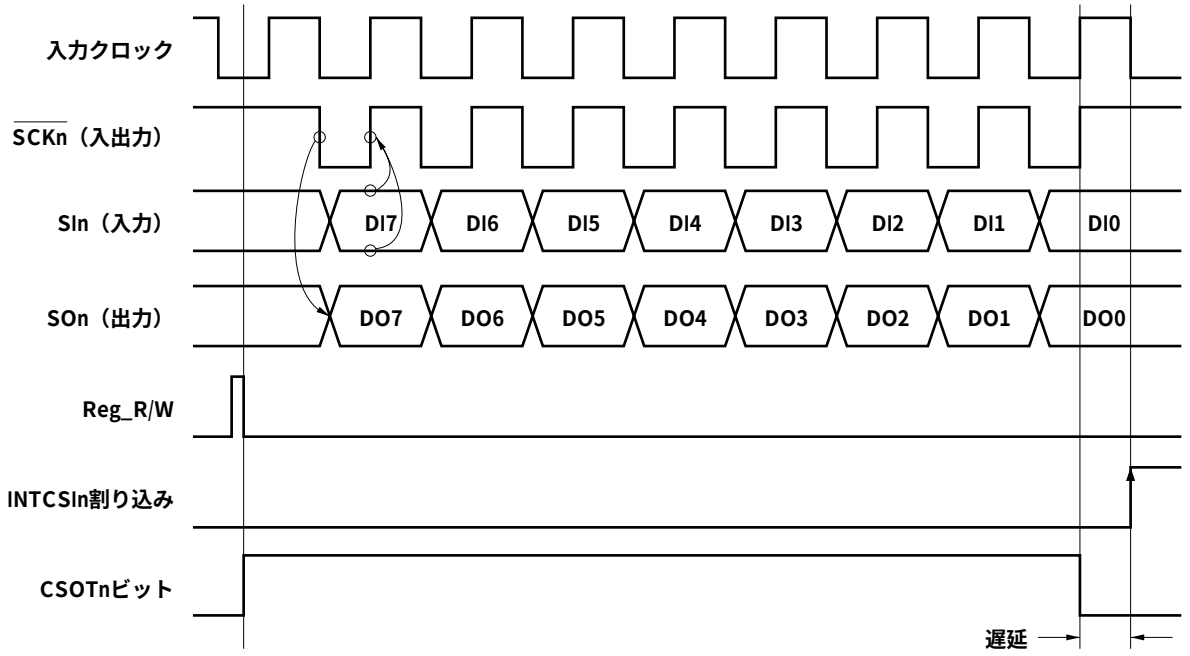
（c）送受信完了割り込み要求信号（INTCSI0, INTCSI1**）**

INTCSIn**は，データの送受信終了時にセット（**1**）されます。**

注意　遅延モード（CSIT**ビット** = 1**）は，マスタ・モード（**CSICn**レジスタの**CKS2-CKS0**ビットが**111B**でない）のときだけ有効です。スレーブ・モード（**CKS2-CKS0**ビットが**111B**）時は，遅延モードに設定しないでください。**

図10－29　**遅延モード時の割り込み要求信号出力タイミング・チャート（**1/2**）**

（a）CKP**ビット** = 0, DAP**ビット** = 0**の場合**

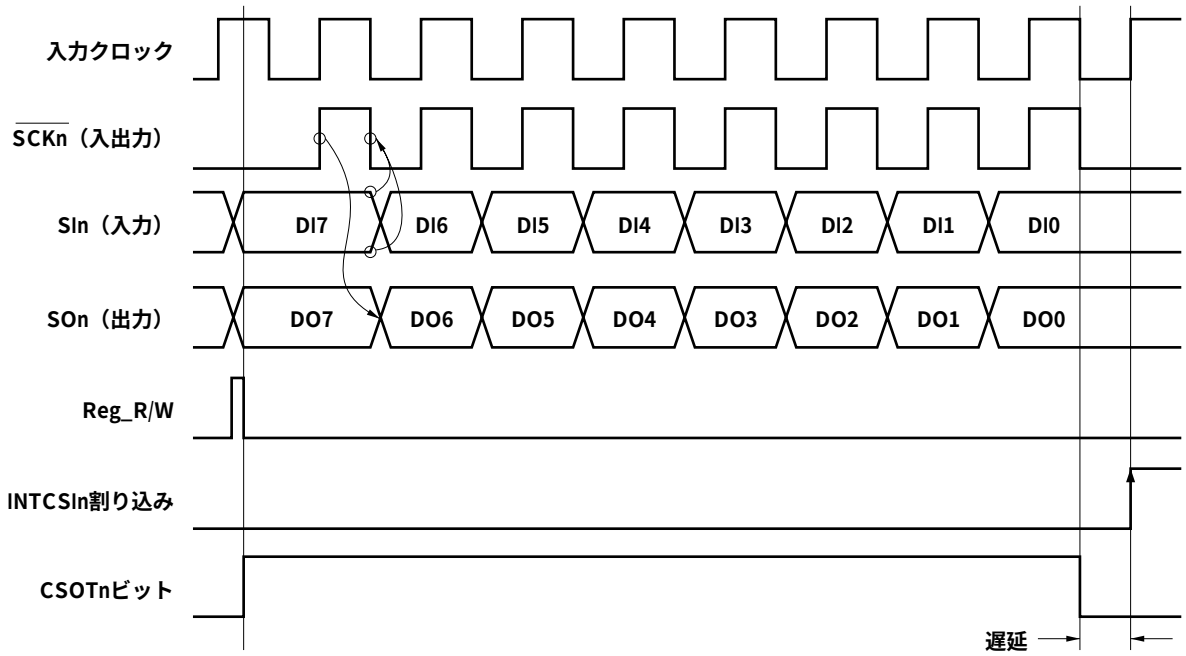


備考1.　n = 0, 1

2.　Reg_R/W：**内部信号。受信データ・バッファ・レジスタ（**SIRBn/SIRBLn**）のリード，または送信データ・バッファ・レジスタ（**SOTBn/SOTBLn**）へのライトを行ったことを示す信号です。**

図10－29　遅延モード時の割り込み要求信号出力タイミング・チャート（2/2）

（b）CKPビット = 1, DAP**ビット** = 1**の場合**



備考1.　n = 0, 1

2.　Reg_R/W：**内部信号。受信データ・バッファ・レジスタ**（SIRBn/SIRBLn）**のリード，または送信データ・バッファ・レジスタ**（SOTBn/SOTBLn）**へのライトを行ったことを示す信号です。**

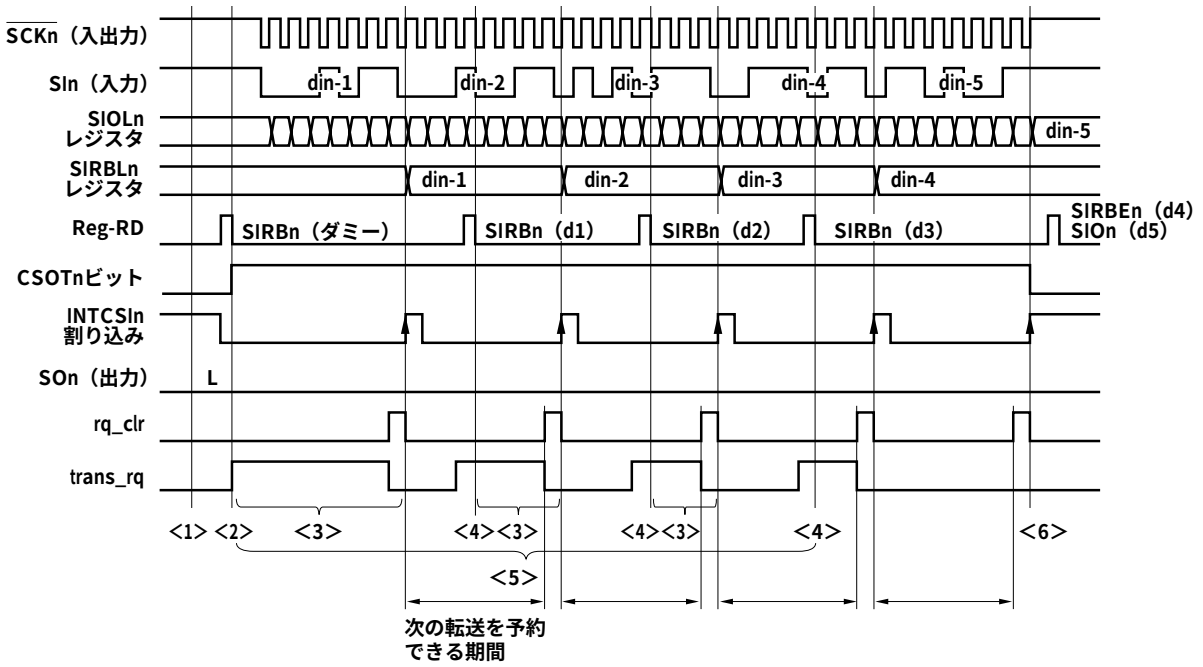
(2) 繰り返し転送モード

(a) 使用方法（受信専用）

① 繰り返し転送モード（CSIMnレジスタのAUTOビット = 1），受信専用モード（CSIMnレジスタのTRMDnビット = 0）に設定する。
② SIRBnレジスタをリードする（ダミー・リードで転送を開始させる）。
③ 送受信完了割り込み要求（INTCSIn）を待つ。
④ 送受信完了割り込み要求（INTCSIn）がセット（1）されたら，SIRBnレジスタをリードする[注]（次の転送を予約する）。
⑤ （N－2）回，③, ④を繰り返す（N：転送データ数）。
⑥ 最後の送受信完了割り込み要求（INTCSIn）出力のあと，SIRBEnレジスタとSIOnレジスタをリードする[注]。

注 N個のデータを転送する場合，最初のデータから（N－2）番目のデータまではSIRBnレジスタをリードすることで受信データを取り込みます。（N－1）番目のデータはSIRBEnレジスタのリード，N番目（最後）のデータはSIOnレジスタのリードにより受信データを取り込みます。

図10－30　繰り返し転送（受信専用）タイミング・チャート



備考1.　n = 0, 1

2.　Reg-RD **：内部信号。受信データ・バッファ・レジスタ**（SIRBn/SIRBLn）**をリードしたことを示す信号です。**

rq_clr**：内部信号。転送要求クリア信号です。**

trans_rq **：内部信号。転送要求信号です。**

繰り返し転送モードの場合，2**回の転送要求が最初の転送開始で設定されます。送受信完了割り込み要求（**INTCSIn**）のあと，次の転送の予約期間内で**SIRBn**レジスタをリードできれば，転送は続けられます。**SIRBn**レジスタのリードができなければ，転送は終了し，**SIRBn**レジスタは**SIOn**レジスタの新しい値を受け取りません。**

最後のデータは転送終了後のSIOn**レジスタのリードで得られます。**

(b) 使用方法（送受信）

① **繰り返し転送モード（CSIMnレジスタのAUTOビット = 1），送受信モード（CSIMnレジスタのTRMDnビット = 1）に設定する。**

② **最初のデータをSOTBFnレジスタにライトする。**

③ **2番目のデータをSOTBnレジスタにライトする（転送を開始させる）。**

④ **送受信完了割り込み要求（INTCSIn）を待つ。**

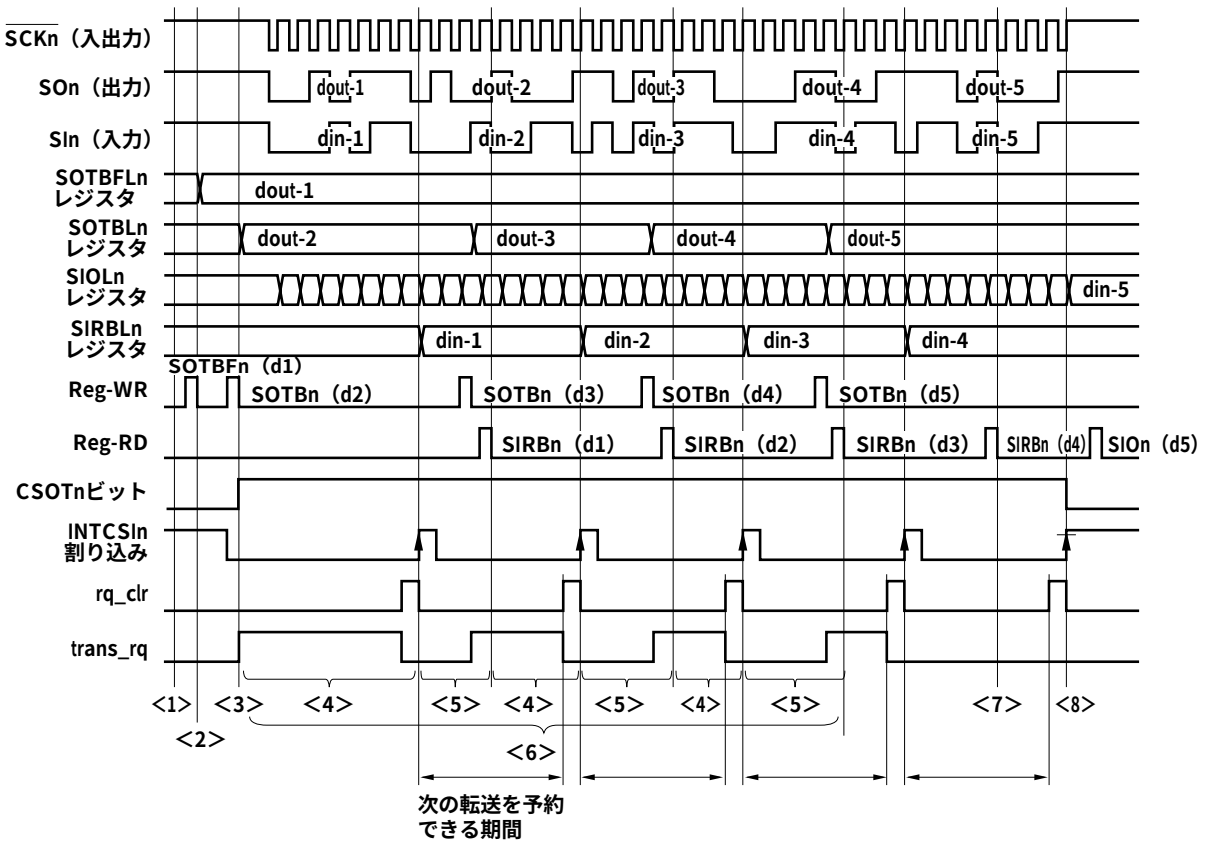
⑤ **送受信完了割り込み要求（INTCSIn）がセット（1）されたら，SOTBnレジスタに次のデータをライトし（次の転送を予約する），SIRBnレジスタをリードして受信データを取り込む。**

⑥ **送りたいデータがある間，④，⑤を繰り返す。**

⑦ **INTCSIn割り込みを待つ。割り込み要求信号がセット（1）されたら，SIRBnレジスタをリードして（N－1）番目の受信データを取り込む（N：転送データ数）。**

⑧ **最後の送受信完了割り込み要求（INTCSIn）のあと，SIOnレジスタをリードしてN番目（最後）の受信データを取り込む。**

図10－31　繰り返し転送（送受信）タイミング・チャート



備考1.　n = 0, 1

2.　Reg-WR：**内部信号。送信データ・バッファ・レジスタ**（SOTBn/SOTBLn）**へライトしたことを示す信号です。**

Reg-RD：**内部信号。受信データ・バッファ・レジスタ**（SIRBn/SIRBLn）**をリードしたことを示す信号です。**

rq_clr：**内部信号。転送要求クリア信号です。**

trans_rq：**内部信号。転送要求信号です。**

繰り返し転送モードの場合，2**回の転送要求が最初の転送開始で設定されます。送受信完了割り込み要求（**INTCSIn**）発生のあと，次の転送の予約期間内で**SOTBn**レジスタに次のデータをライトできれば，転送は続けられます。**SOTBn**レジスタへのライトができなければ，転送は終了し，**SIRBn**レジスタは**SIOn**レジスタの新しい値を受け取りません。**

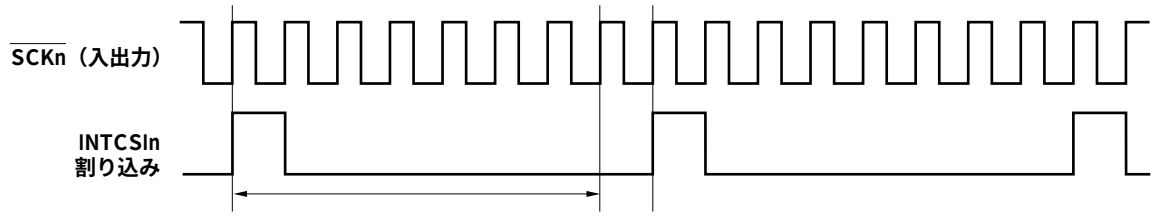
最後の受信データは転送終了後のSIOn**レジスタのリードで得られます。**

(c) 次転送予約期間

繰り返し転送モードでは，図10－32に示す期間中に次の転送の準備をする必要があります。

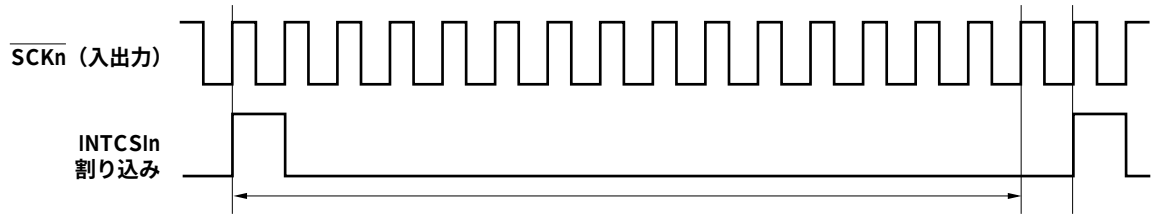
図10－32　次転送予約期間タイミング・チャート（1/2）

(a) データ長：8ビット，動作モード：CKPビット = 0, DAPビット = 0の場合



予約期間：7 $\overline{\text{SCKn}}$サイクル

(b) データ長：16ビット，動作モード：CKPビット = 0, DAPビット = 0の場合

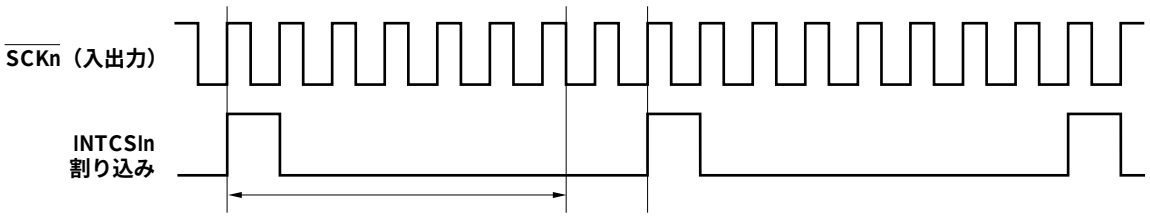


予約期間：15 $\overline{\text{SCKn}}$サイクル

備考　n = 0, 1

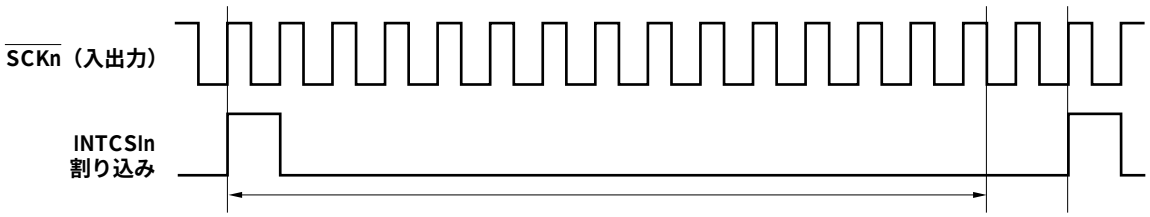
図10－32　次転送予約期間タイミング・チャート（2/2）

（c）データ長：8ビット，動作モード：CKPビット = 0, DAPビット = 1の場合



予約期間：6.5 SCKnサイクル

（d）データ長：16ビット，動作モード：CKPビット = 0, DAPビット = 1の場合



予約期間：14.5 SCKnサイクル

備考　n = 0, 1

(d) 注意事項

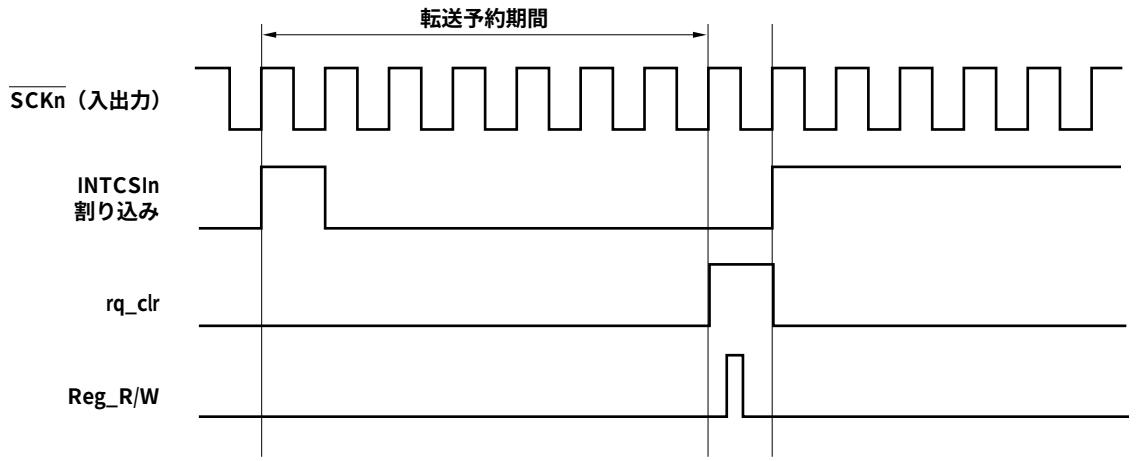
繰り返し転送を継続させるため，転送予約期間中にSIRBnレジスタのリード，またはSOTBnレジスタへのライトを必ず行ってください。

転送予約期間を過ぎてSIRBnレジスタやSOTBnレジスタをアクセスしたときには次のようになります。

(i) 転送要求クリアとレジスタ・アクセスが競合した場合

要求の解除は高い優先順位を持つため，次の転送要求は無視されます。そのため，転送は中断することになり，正常なデータ転送が行えなかったことになります。

図10－33　転送要求クリアとレジスタ・アクセスの競合



備考1.　n = 0, 1

2.　rq_clr：**内部信号。転送要求クリア信号です。**

Reg_R/W：**内部信号。受信データ・バッファ・レジスタ**（SIRBn/SIRBLn）**のリード，または送信データ・バッファ・レジスタ**（SOTBn/SOTBLn）**へのライトを行ったことを示す信号です。**

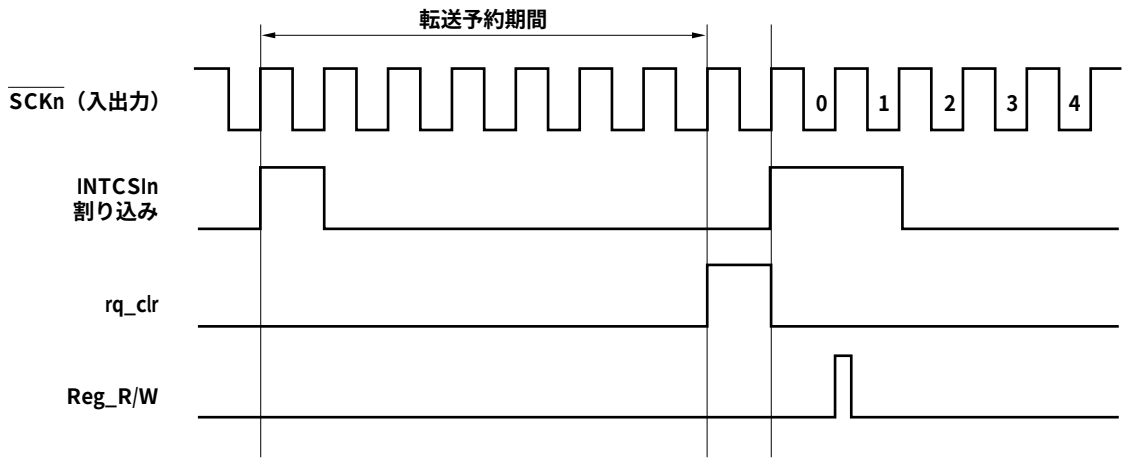
（ii）割り込み要求とレジスタ・アクセスが競合した場合

連続転送がいったん停止するため，新しい繰り返し転送開始として実行します。

スレーブ・モードの場合には，ビット相違の転送エラーとなります（図10－34参照）。

送受信モードの場合には，SOTBFn**レジスタの値を再転送し，不正データを送ります。**

図10－34　割り込み要求とレジスタ・アクセスの競合



備考1.　n = 0, 1

2.　rq_clr：**内部信号。転送要求クリア信号です。**

Reg_R/W：**内部信号。受信データ・バッファ・レジスタ（**SIRBn/SIRBLn**）のリード，または送信データ・バッファ・レジスタ（**SOTBn/SOTBLn**）へのライトを行ったことを示す信号です。**

10. 4. 5　出力端子

(1) $\overline{\text{SCKn}}$端子

CSIn動作禁止（CSIMnレジスタのCSICAEnビット = 0）のとき，$\overline{\text{SCKn}}$端子出力状態は次のようになります（n = 0, 1）。

表10－9　$\overline{\text{SCKn}}$端子出力状態

CKP	CKS2	CKS1	CKS0	$\overline{\text{SCKn}}$端子出力
0	任意	任意	任意	ハイ・レベル固定
1	1	1	1	ハイ・レベル固定
	上記以外			ロウ・レベル固定

備考1. n = 0, 1

2. CSICnレジスタのCKP, CKS2-CKS0ビットのいずれかを書き換えたときに，$\overline{\text{SCKn}}$端子出力が変化します。

(2) SOn端子

CSIn動作禁止（CSIMnレジスタのCSICAEnビット = 0）のとき，SOn端子出力状態は次のようになります（n = 0, 1）。

表10－10　SOn端子出力状態

TRMDn	DAP	AUTO	CCL	DIRn	SOn端子出力
0	任意	任意	任意	任意	ロウ・レベル固定
1	0	任意	任意	任意	SOラッチの値（ロウ・レベル）
	1	0	0	0	SOTB7の値
				1	SOTB0の値
			1	0	SOTB15の値
				1	SOTB0の値
		1	0	0	SOTBF7の値
				1	SOTBF0の値
			1	0	SOTBF15の値
				1	SOTBF0の値

備考1. n = 0, 1

2. CSIMnレジスタのTRMDn, CCL, DIRn, AUTOビット, CSICnレジスタのDAPビットのいずれかを書き換えたときに，SOn端子出力が変化します。
3. SOTBm：SOTBnレジスタのビットm（m = 0, 7, 15）
4. SOTBFm：SOTBFnレジスタのビットm（m = 0, 7, 15）

10. 4. 6　専用ボー・レート・ジェネレータ3（BRG3）

（1）ボー・レート・ジェネレータ3（BRG3）の構成

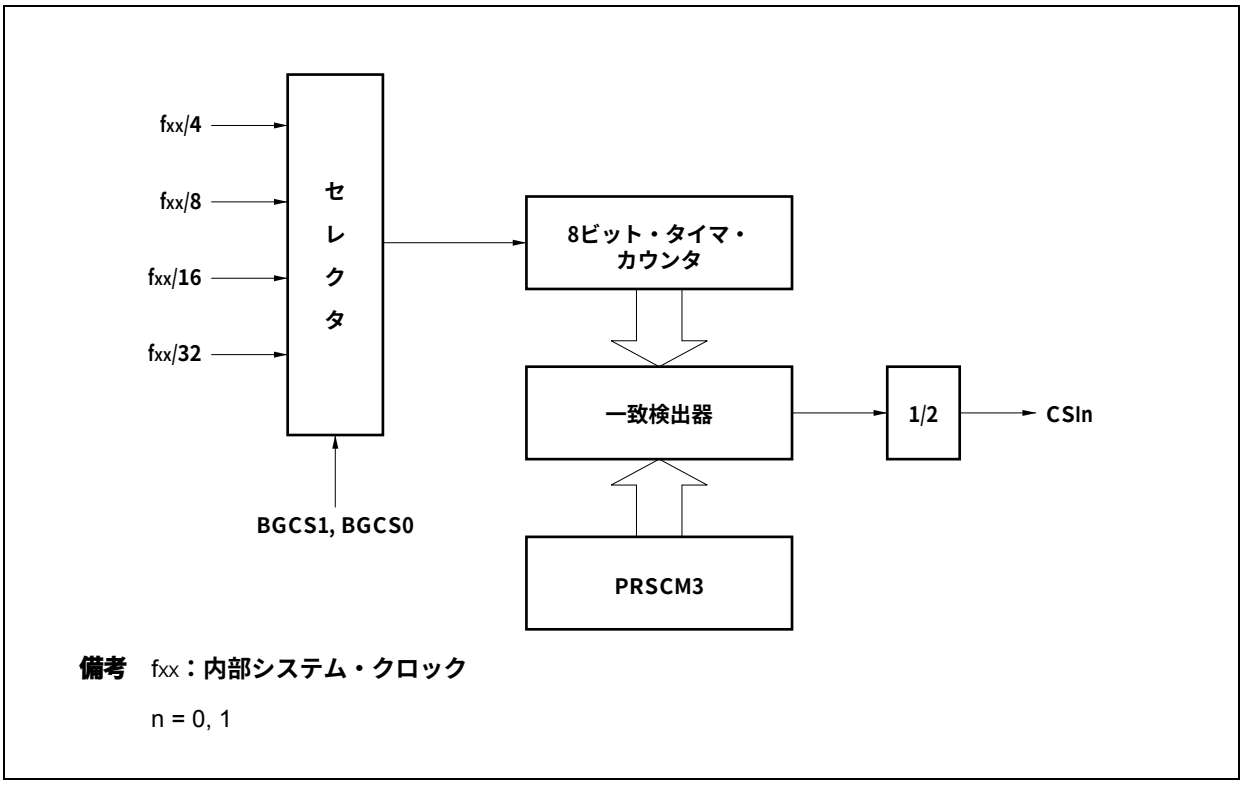
CSI0, CSI1のシリアル・クロックは，専用ボー・レート・ジェネレータ出力または内部システム・クロック（fxx）から選択できます。

シリアル・クロック・ソースは，CSIC0, CSIC1レジスタで指定します。

「専用ボー・レート・ジェネレータ出力」を指定した場合は，クロック・ソースとしてBRG3が選択されます。

送受信のシリアル・クロックは1つで共用できるため，送受信のボー・レートは同一となります。

図10－35　ボー・レート・ジェネレータ3（BRG3）のブロック図



備考　fxx：内部システム・クロック

n = 0, 1

(2) 専用ボー・レート・ジェネレータ3（BRG3）

BRG3は，ボー・レート信号生成用の8ビット・タイマ・カウンタ，ボー・レート信号の生成を制御するプリスケーラ・モード・レジスタ3（PRSM3），8ビット・タイマ・カウンタの値を設定するプリスケーラ・コンペア・レジスタ3（PRSCM3）とプリスケーラから構成されます。

(a) 入力クロック

BRG3へは，内部システム・クロック（f_{XX}）が入力されます。

(b) プリスケーラ・モード・レジスタ3（PRSM3）

PRSM3レジスタは，CSI0, CSI1のボー・レート信号の生成を制御します。

8/1ビット単位でリード／ライト可能です。

注意1. 送受信動作中にBGCS1, BGCS0ビットの値を変更しないでください。

2. PRSM3レジスタの設定はCSIMnレジスタのCSICAEnビットに“1”を設定する前に行ってください（n = 0, 1）。

	7	6	5	4	3	2	1	0	アドレス	初期値
PRSM3	0	0	0	CE	0	0	BGCS1	BGCS0	FFFFF920H	00H

ビット位置	ビット名	意　味
4	CE	ボー・レート用カウンタ動作許可を指定します。 0：ボー・レート用カウンタの動作を停止し，ボー・レート出力信号を“0”固定します。 1：ボー・レート用カウンタの動作を許可し，ボー・レート出力動作を開始します。
1, 0	BGCS1, BGCS0	ボー・レート用カウンタへのカウント・クロックの選択を指定します。

BGCS1	BGCS0	カウント・クロックの選択
0	0	$f_{XX}/4$
0	1	$f_{XX}/8$
1	0	$f_{XX}/16$
1	1	$f_{XX}/32$

備考　f_{XX} = 内部システム・クロック

(c) プリスケーラ・コンペア・レジスタ3 (PRSCM3)

PRSCM3は8ビット・タイマ・カウンタの値を設定する8ビットのコンペア・レジスタです。

8ビット単位でリード／ライト可能です。

注意1. PRSM3レジスタへの書き込み動作により内部タイマ・カウンタがクリアされます。したがって，送信動作中にはPRSCM3レジスタを書き換えないでください。

2. CSIMnレジスタのCSICAEnビットに1を設定する前にPRSCM3レジスタの設定を行ってください（n = 0, 1）。CSICAEnビット = 1のときにPRSCM3レジスタの内容を書き換えた場合は，ボー・レート信号の周期は保証できません

	7	6	5	4	3	2	1	0	アドレス	初期値
PRSCM3	PRSCM7	PRSCM6	PRSCM5	PRSCM4	PRSCM3	PRSCM2	PRSCM1	PRSCM0	FFFFF922H	00H

(d) ボー・レート信号の周期

ボー・レート信号の周期は次のようにして計算します。

- PRSCM3レジスタの設定値が00Hの場合

  PRSM3レジスタのBGCS1, BGCS0ビットで選択された信号の周期×256×2

- 上記以外の場合

  PRSM3レジスタのBGCS1, BGCS0ビットで選択された信号の周期×PRSCM3レジスタの設定値×2

(e) ボー・レート設定値

表10－11　ボー・レート・ジェネレータ設定データ

(a) f_{XX} = 32 MHzの場合

BGCS1	BGCS0	PRSCMレジスタ値	クロック（Hz）
0	0	1	4000000
0	0	2	2000000
0	0	4	1000000
0	0	8	500000
0	0	16	250000
0	0	40	100000
0	0	80	50000
0	0	160	25000
0	1	200	10000
1	0	200	5000

(b) f_{XX} = 40 MHzの場合

BGCS1	BGCS0	PRSCMレジスタ値	クロック（Hz）
0	0	2	2500000
0	0	5	1000000
0	0	10	500000
0	0	20	250000
0	0	50	100000
0	0	100	50000
0	0	200	25000
0	1	250	10000
1	0	250	5000

注意　転送クロックは電気的特性で規定される$\overline{SCKn}$周期（t_{CYSK1}）のMIN.値200 nsを下回らないように設定してください。

第11章　A/Dコンバータ

11.1　特　　徴

○10ビット分解能A/Dコンバータを2回路（A/Dコンバータ0, 1）内蔵
　2回路同時サンプリング可能
○アナログ入力：2回路合計14チャネル
　A/Dコンバータ0：6チャネル
　A/Dコンバータ1：8チャネル
○A/D変換結果レジスタ0m, 1n（ADCR0m, ADCR1n）内蔵
　10ビット×6本＋10ビット×8本
○A/D変換トリガ・モード
　A/Dトリガ・モード
　A/Dトリガ・ポーリング・モード
　タイマ・トリガ・モード
　外部トリガ・モード
○逐次変換方式
○電圧検出モード

備考　m = 0-5, n = 0-7

11.2　構　　成

A/Dコンバータ0, 1は，逐次変換方式を採用しており，A/Dスキャン・モード・レジスタ00, 01, 10, 11（ADSCM00, ADSCM01, ADSCM10, ADSCM11），ADCR0m, ADCR1nレジスタを使用してA/D変換動作を行います（m = 0-5, n = 0-7）。

(1) 入力回路

ADSCM00, ADSCM10レジスタに設定したモードに従ってアナログ入力（ANI0m, ANI1n）を選択し，サンプル&ホールド回路に送ります（m = 0-5, n = 0-7）。

(2) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力を1つ1つサンプリングし，コンパレータに送ります。なお，A/D変換動作中は，サンプリングしたアナログ入力を保持します。

(3) 電圧コンパレータ

入力されたアナログ入力電圧とD/Aコンバータの出力電圧差を比較します。

(4) D/A**コンバータ**

D/A**コンバータは，アナログ入力と一致する電圧を発生させるためのものです。**

D/A**コンバータの出力電圧は，逐次変換レジスタ（**SAR**）で制御されます。**

(5) 逐次変換レジスタ（SAR**：**Successive Approximation Register**）**

SAR**は，アナログ入力の電圧値と比較するために，**D/A**コンバータの出力値を制御する**10**ビット・レジスタです。**A/D**変換が終了すると，そのときの**SAR**の内容（変換結果）を**A/D**変換結果レジスタ（**ADCR0m, ADCR1n**）に格納します（**m = 0-5, n = 0-7**）。また，指定されたすべての**A/D**変換を終了すると，**A/D**変換終了割り込み（**INTAD0, INTAD1**）が発生します。**

(6) A/D**変換結果レジスタ**0m, 1n**（**ADCR0m, ADCR1n**：**A/D Conversion Result Register 0m, 1n**）**

ADCR0m, ADCR1n**は，**A/D**変換結果を保持する**10**ビット・レジスタです。**A/D**変換が終了するたびに，逐次変換レジスタ（**SAR**）から変換結果がロードされます（**m = 0-5, n = 0-7**）。**

$\overline{\text{RESET}}$**入力により，**0000H**になります。**

(7) コントローラ

ADSCMn0, ADSCMn1**レジスタに設定したモードに従って，アナログ入力の選択，サンプル&ホールド回路の動作タイミングの生成，変換トリガの制御，変換動作時間の指定を行います（**n = 0, 1**）。**

(8) ANI0m, ANI1n**端子（**m = 0-5, n = 0-7**）**

A/D**コンバータ**0, 1**への各チャネル（**2**回路合計**14**チャネル）のアナログ入力端子です。**A/D**変換するアナログ信号を入力します。**

注意　ANI0m, ANI1n**入力電圧は規格の範囲内でご使用ください。特にノイズ等も含め**AV_{DD0}, AV_{DD1}**以上，**AV_{SS0}, AV_{SS1}**以下（絶対最大定格の範囲内でも）の電圧が入力されると，そのチャネルの変換値が不正となり，またほかのチャネルの変換値にも影響を与えることがあります。**

(9) AV_{SS0}, AV_{SS1}**端子**

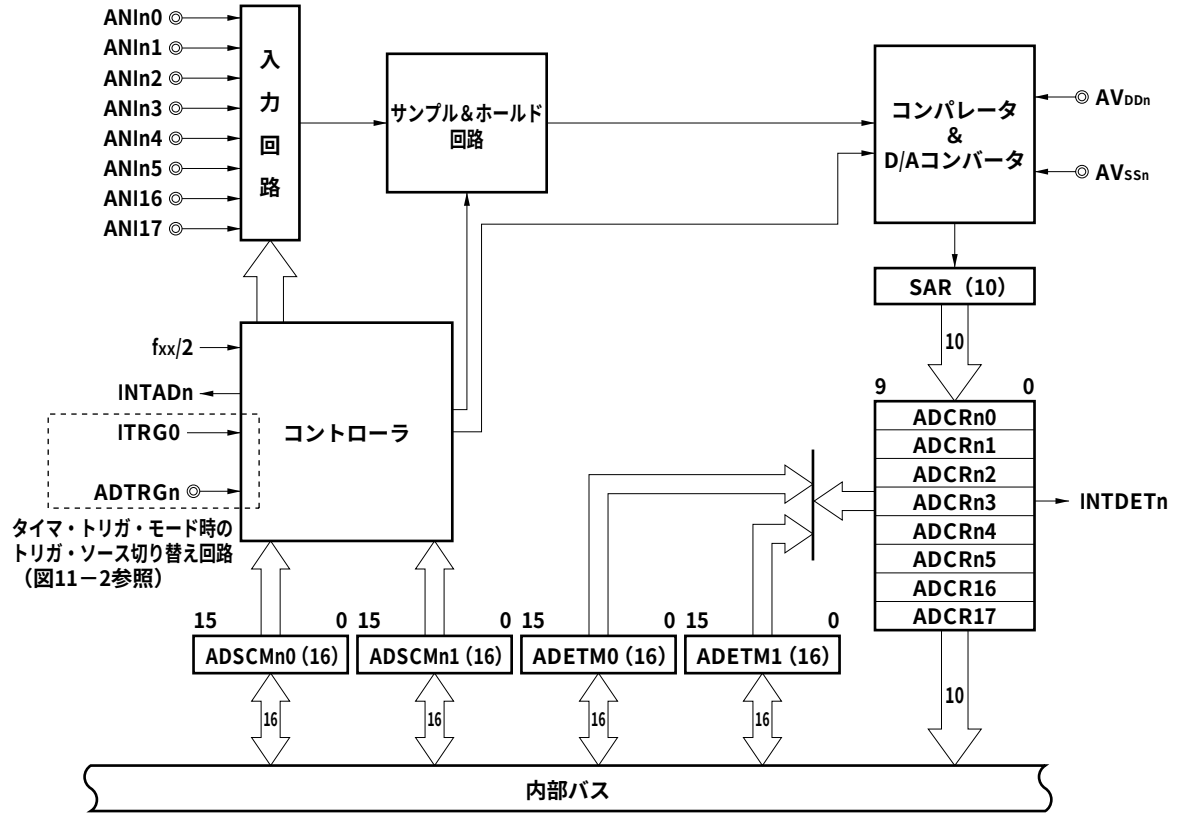
A/D**コンバータ**0, 1**のグランド電位端子です。**A/D**コンバータ**0, 1**を使用しないときでも，常に**V_{SS}**端子と同電位にしてください。**

(10) AV_{DD0}, AV_{DD1}**端子**

A/D**コンバータ**0, 1**のアナログ電源端子です。また，基準電圧を入力するための端子（**V850E/IA1**の**AV_{REF0}, AV_{REF1}**端子に相当）を兼用しています。したがって，**AV_{DD0}-AV_{SS0}, AV_{DD1}-AV_{SS1}**間に加えられる電圧に基づいて**ANI0m, ANI1n**端子に入力される信号をディジタル信号に変換します（**m = 0-5, n = 0-7**）。**

A/D**コンバータ**0, 1**を使用しないときでも，常に**V_{DD}**端子と同電位にしてください。**

図11－1　A/Dコンバータ0, 1のブロック図



備考　n = 0, 1

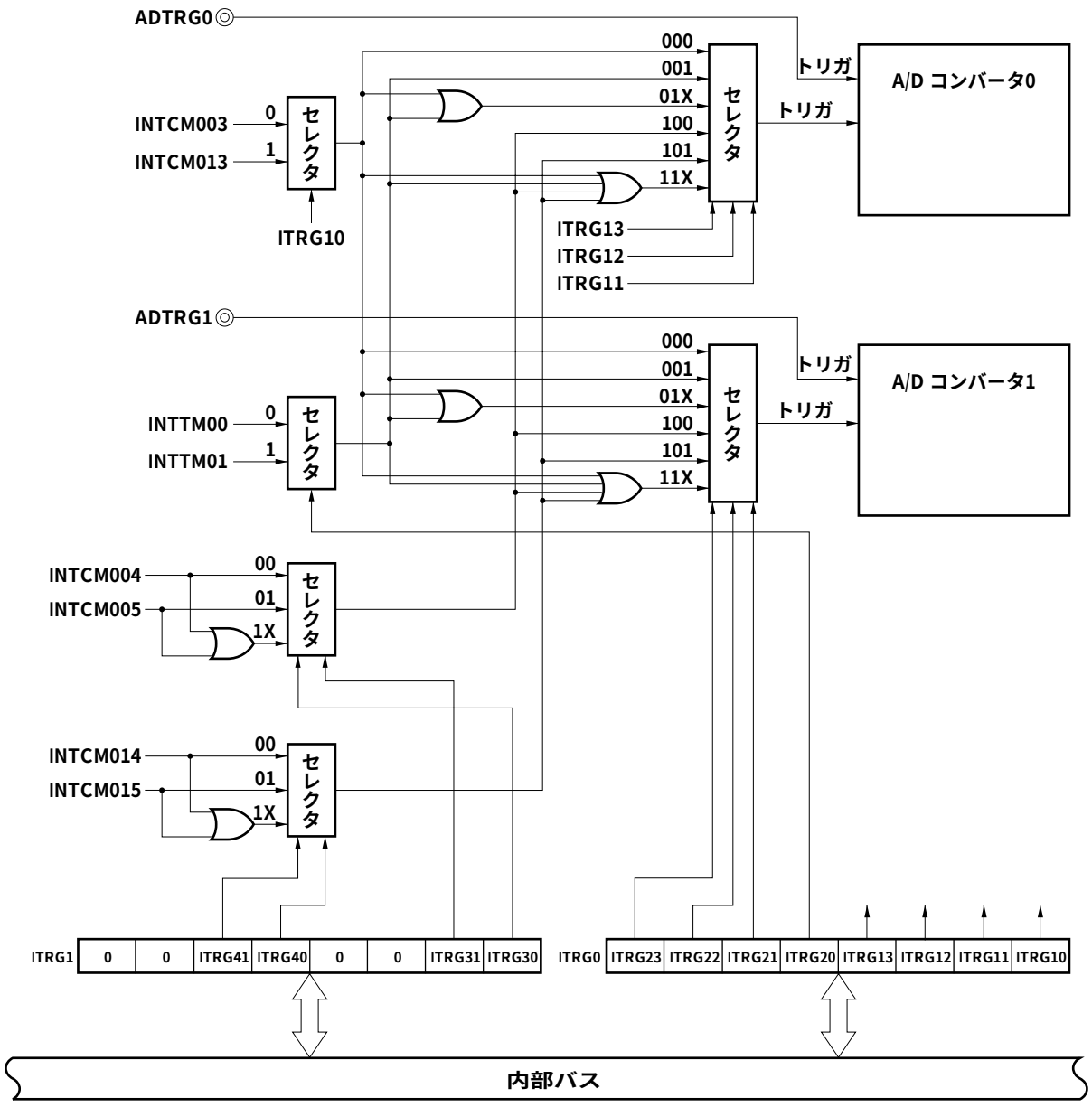
fXX：内部システム・クロック

注意1.　**アナログ入力端子（**ANI0m, ANI1n**）および基準電圧入力端子（**AV_{DD0}, AV_{DD1}**）にノイズがのる場合は，ノイズにより不正な変換結果が生じることがあります（**m = 0-5, n = 0-7**）。**
この不正な変換結果により，システムに悪影響を与えることを避けるために，ソフトウエア処理が必要です。
次にソフトウエア処理の例を示します。

- **複数回の**A/D**変換結果の平均値を，**A/D**変換結果として使用する。**
- **複数回の**A/D**変換を連続して行い，特異な変換結果が得られた場合，この値を除外した変換結果を使用する。**
- **システムに異常が発生したと判断されるような**A/D**変換結果が得られた場合，ただちに異常処理を行わず，再度異常発生を確認した上で異常処理を行う。**

2.　A/D**コンバータ**0, 1**の入力端子として使用している端子には，**AV_{SS0}-AV_{DD0}, AV_{SS1}-AV_{DD1}**の範囲外の電圧が加わらないようにしてください。**

図11－2　タイマ・トリガ・モード時のトリガ・ソース切り替え回路のブロック図



注意　タイマ・トリガ・モード時のトリガ・ソースの選択については，表11－4　A/Dコンバータ0，1のタイマ・トリガ・ソース選択を参照してください。

備考　X：任意

11. 3　V850E/IA1より追加された機能

（1）タイマ・トリガ・ソースとしてINTCM004, INTCM005, INTCM014, INTCM015**を追加**

A/D**スキャン・モード・レジスタ**00, 10（ADSCM00, ADSCM10）**でタイマ・トリガ・モードに設定したときのタイマ・トリガ・ソース**（INTTM0n, INTCM0n3-INTCM0n5）**の選択は，**A/D**内部トリガ選択レジスタ**0, 1（ITRG0, ITRG1）**で指定します。**

V850E/IA2**では，**ITRG0**レジスタのビット**3（ITRG13），**ビット**7（ITRG23）**およびITRG1**レジスタを追加しています。**

（2）アナログ入力を2**回路合計**14**チャネルに変更**

（3）AV_{DD0}, AV_{DD1}**で**AV_{REF0}, AV_{REF1}**を兼用化**

11.4　制御レジスタ

(1) A/Dスキャン・モード・レジスタ00, 10**（**ADSCM00, ADSCM10**）**

ADSCMn0**レジスタは，アナログ入力端子の選択，動作モードの指定および変換動作の制御を行う**16**ビット・レジスタです。**

ADSCMn0**レジスタは**16**ビット単位でリード／ライト可能です。**

ADSCMn0**レジスタの上位**8**ビットを**ADSCMn0H**レジスタ，下位**8**ビットを**ADSCMn0L**レジスタとして使用した場合は，**8/1**ビット単位でリード／ライト可能です。**

ただし，A/D**変換動作中に**ADSCMn0**レジスタに書き込みを行った場合，変換動作は初期化され，最初から変換動作をやり直します。**

注意　ADPLMn, TRG2-TRG0**ビットでトリガ・モードを変更する場合は，**ADCEn**ビットをクリア（**0**）してから行ってください（**n = 0, 1**）。トリガ・モードの変更と**ADCEn**ビットのクリアを同時（同一命令）に行った場合の動作は保証しません。必ず，**2**回に分けてレジスタ・アクセスを行ってください。**

（1/2）

	⑮	⑭	13	⑫	⑪	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ADSCM00	ADCE0	ADCS0	0	ADMS0	ADPLM0	TRG2	TRG1	TRG0	SANI3	SANI2	SANI1	SANI0	ANIS3	ANIS2	ANIS1	ANIS0	FFFFF200H	0000H

	⑮	⑭	13	⑫	⑪	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ADSCM10	ADCE1	ADCS1	0	ADMS1	ADPLM1	TRG2	TRG1	TRG0	SANI3	SANI2	SANI1	SANI0	ANIS3	ANIS2	ANIS1	ANIS0	FFFFF240H	0000H

ビット位置	ビット名	意　味
15	ADCEn	A/D**変換動作の許可／禁止を指定します。** 0**：禁止** 1**：許可**
14	ADCSn	A/D**コンバータ**0, 1**の状態を示します。このビットは読み出し専用です。** 0**：停止中** 1**：動作中** ADCSn**ビットは**A/D**変換開始直後から**6×fxx/2**の期間は“**0**”となり，その後“**1**”になります。スキャン・モード時には，**A/D**変換するアナログ入力端子が切り替わるたびにこの動作を行います。**
12	ADMSn	A/D**コンバータ**0, 1**の動作モードを指定します。** 0**：スキャン・モード** 1**：セレクト・モード**

備考　n = 0, 1

(2/2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>11-8</td><td>ADPLMn,
TRG2-TRG0</td><td>ADPLMn：ポーリング・モードを指定します。
TRG2-TRG0：トリガ・モードを指定します。
<table><tr><th>ADPLMn</th><th>TRG2</th><th>TRG1</th><th>TRG0</th><th>トリガ・モード</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>A/Dトリガ・モード</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>タイマ・トリガ・モード</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>外部トリガ・モード</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>A/Dトリガ・ポーリング・モード</td></tr><tr><td colspan="4">上記以外</td><td>設定禁止</td></tr></table></td></tr>
<tr><td>7-4</td><td>SANI3-SANI0</td><td>スキャン・モード時の変換開始アナログ入力端子を指定します。
これらのビットはセレクト・モード時には無効です。
<table><tr><th>SANI3</th><th>SANI2</th><th>SANI1</th><th>SANI0</th><th>スキャン開始アナログ入力端子</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>ANIn0</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>ANIn1</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>ANIn2</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>ANIn3</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>ANIn4</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>ANIn5</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>ANI16</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>ANI17</td></tr><tr><td colspan="4">上記以外</td><td>設定禁止</td></tr></table>注意　SANI3-SANI0ビットで設定する変換開始アナログ入力端子番号は必ずANIS3-ANIS0ビットで設定する変換終了アナログ入力端子番号よりも小さい端子番号を設定してください。</td></tr>
<tr><td>3-0</td><td>ANIS3-ANIS0</td><td>セレクト・モード時にはアナログ入力端子を指定します。
スキャン・モード時には変換終了アナログ入力端子の指定を行います。
<table><tr><th>ANIS3</th><th>ANIS2</th><th>ANIS1</th><th>ANIS0</th><th>セレクト・モード時</th><th>スキャン・モード時</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>ANIn0</td><td>ANIn0</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>ANIn1</td><td>SANI→ANIn1</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>ANIn2</td><td>SANI→ANIn2</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>ANIn3</td><td>SANI→ANIn3</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>ANIn4</td><td>SANI→ANIn4</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>ANIn5</td><td>SANI→ANIn5</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>ANI16</td><td>SANI→ANI16</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>ANI17</td><td>SANI→ANI17</td></tr><tr><td colspan="4">上記以外</td><td colspan="2">設定禁止</td></tr></table>備考　SANI＜ANInm
n = 0のとき：m = 1-5
n = 1のとき：m = 1-7</td></tr>
</table>

備考　n = 0, 1

(2) A/Dスキャン・モード・レジスタ01, 11（ADSCM01, ADSCM11）

ADSCMn1レジスタは，A/Dコンバータの変換時間の設定を行う16ビットのレジスタです。

ADSCMn1レジスタは16ビット単位でリード／ライト可能です。

ADSCMn1レジスタの上位8ビットをADSCMn1Hレジスタ，下位8ビットをADSCMn1Lレジスタとして使用した場合は，ADSCMn1Hレジスタは8/1ビット単位でリード／ライト可能，ADSCMn1Lレジスタは8ビット単位でリードだけ可能です。

注意　A/D変換動作中に，ADSCMn1レジスタに書き込みを行わないでください。書き込みを行った場合，変換動作は中断され，その後，変換動作は終了します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ADSCM01	0	0	0	0	0	FR2	FR1	FR0	0	0	0	0	0	0	0	0	FFFFF202H	0000H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ADSCM11	0	0	0	0	0	FR2	FR1	FR0	0	0	0	0	0	0	0	0	FFFFF242H	0000H

ビット位置	ビット名	意　味
10-8	FR2-FR0	変換時間を指定します。

FR2	FR1	FR0	変換クロック数	変換時間（μs）注	
				f_{XX} = 40 MHz	f_{XX} = 33 MHz
0	0	0	344	8.60	－
0	0	1	248	6.20	7.51
0	1	0	176	－	5.33
0	1	1	128	－	－
1	0	0	104	－	－
1	0	1	80	－	－
1	1	0	56	－	－
1	1	1	設定禁止	－	－

注　サンプリングから変換終了までの時間です。

サンプリング時間 =（変換クロック数－8）÷6×f_{XX}

注意　変換時間は，5～10 μsの範囲内に確保してください。

変換時間 = f_{XX}×変換クロック数

備考　f_{XX}：内部システム・クロック

(3) A/D電圧検出モード・レジスタ0, 1（ADETM0, ADETM1）

ADETMnレジスタは，電圧検出モードの設定を行う16ビット・レジスタです。電圧検出モード時には，電圧検出を行うアナログ入力端子と参照電圧値との比較を行い，比較結果に応じた割り込みの設定が行えます。

ADETMnレジスタは16ビット単位でリード／ライト可能です。

ADETMnレジスタの上位8ビットをADETMnHレジスタ，下位8ビットをADETMnLレジスタとして使用した場合は，8/1ビット単位でリード／ライト可能です。

注意　A/D変換動作中に，ADETMnレジスタに書き込みを行わないでください。書き込みを行った場合，変換動作は中断され，その後，変換動作は終了します。

ADETM0

⑮	⑭	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ADETEN0	ADETLH0	DETANI3	DETANI2	DETANI1	DETANI0	DETCMP9	DETCMP8	DETCMP7	DETCMP6	DETCMP5	DETCMP4	DETCMP3	DETCMP2	DETCMP1	DETCMP0	FFFFF204H	0000H

ADETM1

⑮	⑭	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ADETEN1	ADETLH1	DETANI3	DETANI2	DETANI1	DETANI0	DETCMP9	DETCMP8	DETCMP7	DETCMP6	DETCMP5	DETCMP4	DETCMP3	DETCMP2	DETCMP1	DETCMP0	FFFFF244H	0000H

ビット位置	ビット名	意　味
15	ADETENn	電圧検出モードを指定します。 0：通常モードで動作 1：電圧検出モードで動作
14	ADETLHn	電圧比較検出の設定をします。 0：参照電圧値＞アナログ入力端子電圧 の場合にINTDETn割り込みを発生 1：参照電圧値≦アナログ入力端子電圧 の場合にINTDETn割り込みを発生
13-10	DETANI3- DETANI0	電圧検出モード時にDETCMP9-DETCMP0で設定する参照電圧値と比較を行うアナログ入力端子の選択を行います。
9-0	DETCMP9- DETCMP0	DETANI3-DETANI0で選択するアナログ入力端子との比較を行う参照電圧値を設定します。

DETANI3	DETANI2	DETANI1	DETANI0	電圧検出アナログ入力端子
0	0	0	0	ANIn0
0	0	0	1	ANIn1
0	0	1	0	ANIn2
0	0	1	1	ANIn3
0	1	0	0	ANIn4
0	1	0	1	ANIn5
0	1	1	0	ANI16
0	1	1	1	ANI17
1	×	×	×	設定禁止

備考　×：任意

備考　n = 0, 1

（4）A/D変換結果レジスタ00-05, 10-17（ADCR00-ADCR05, ADCR10-ADCR17）

ADCR0m, ADCR1nレジスタは，A/D変換の結果を保持する10ビット・レジスタです（m = 0-5, n = 0-7）。A/Dコンバータ0は6チャネル分6本の10ビット・レジスタ，A/Dコンバータ1は8チャネル分8本の10ビット・レジスタを備え，A/Dコンバータ0, 1で合わせて14本の10ビット・レジスタを備えています。

16ビット単位でリードだけ可能です。

ADCR0m, ADCR1nレジスタからA/D変換結果の10ビット・データを読み出す場合には，下位の10ビットだけが有効となり，上位6ビットは常に0が読み出されます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ADCR0m（m=0-5）	0	0	0	0	0	0	ADCRm9	ADCRm8	ADCRm7	ADCRm6	ADCRm5	ADCRm4	ADCRm3	ADCRm2	ADCRm1	ADCRm0	表11－1参照	0000H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ADCR1n（n=0-7）	0	0	0	0	0	0	ADCRn9	ADCRn8	ADCRn7	ADCRn6	ADCRn5	ADCRn4	ADCRn3	ADCRn2	ADCRn1	ADCRn0	表11－2参照	0000H

表11－1　ADCR0m（m = 0-5）のレジスタ名とアドレスの対応表

レジスタ名	アドレス
ADCR00	FFFFF210H
ADCR01	FFFFF212H
ADCR02	FFFFF214H
ADCR03	FFFFF216H
ADCR04	FFFFF218H
ADCR05	FFFFF21AH

表11－2　ADCR1n（n = 0-7）のレジスタ名とアドレスの対応表

レジスタ名	アドレス
ADCR10	FFFFF250H
ADCR11	FFFFF252H
ADCR12	FFFFF254H
ADCR13	FFFFF256H
ADCR14	FFFFF258H
ADCR15	FFFFF25AH
ADCR16	FFFFF25CH
ADCR17	FFFFF25EH

各アナログ入力端子とADCR0m, ADCR1nレジスタの対応を次に示します。

表11－3　各アナログ入力端子とADCR0m, ADCR1nレジスタの対応表

A/Dコンバータ	アナログ入力端子	A/D変換結果レジスタ
A/Dコンバータ0	ANI00	ADCR00
	ANI01	ADCR01
	ANI02	ADCR02
	ANI03	ADCR03
	ANI04	ADCR04
	ANI05	ADCR05
A/Dコンバータ1	ANI10	ADCR10
	ANI11	ADCR11
	ANI12	ADCR12
	ANI13	ADCR13
	ANI14	ADCR14
	ANI15	ADCR15
	ANI16	ADCR16
	ANI17	ADCR17

アナログ入力端子（ANI0m, ANI1n）に入力されたアナログ入力電圧とA/D変換結果（A/D変換結果レジスタ（ADCR0m, ADCR1n））には次式に示す関係があります（m = 0-5, n = 0-7）。

$$ADCR = INT\left(\frac{V_{IN}}{AV_{DD}} \times 1024 + 0.5\right)$$

または，

$$(ADCR - 0.5) \times \frac{AV_{DD}}{1024} \leqq V_{IN} < (ADCR + 0.5) \times \frac{AV_{DD}}{1024}$$

INT（　）：（　）内の値の整数部を返す関数

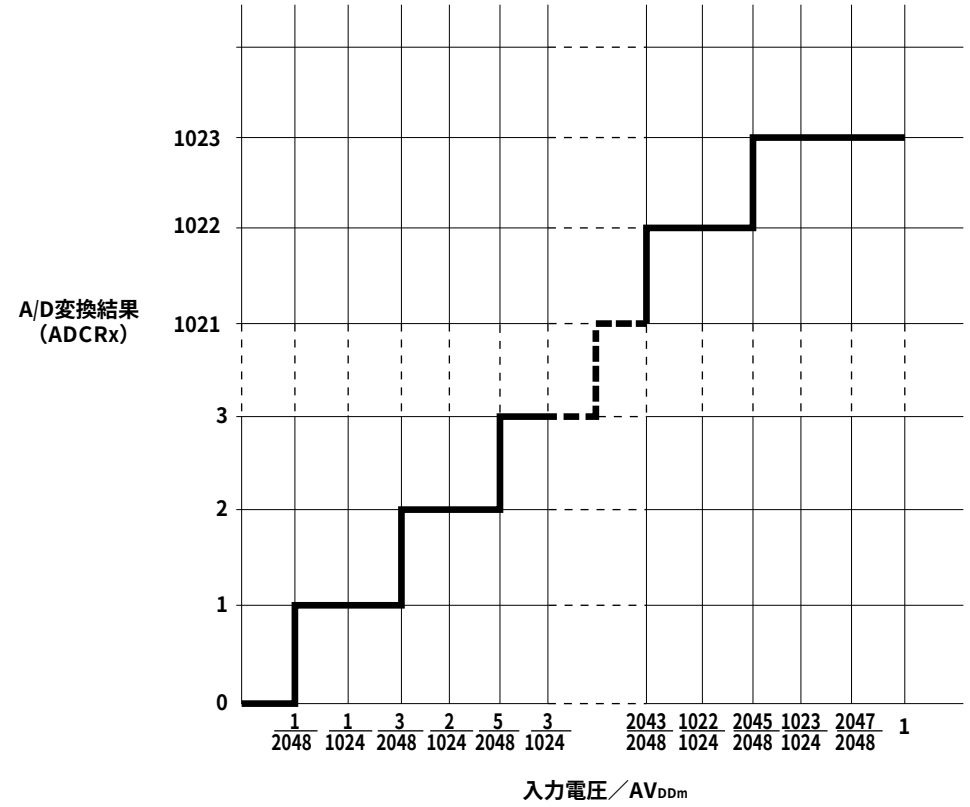
V_{IN}　：アナログ入力電圧

AV_{DD}　：AV_{DD0}, AV_{DD1}端子電圧

ADCR　：A/D変換結果レジスタ（ADCR0m, ADCR1n）の値

図11－3にアナログ入力電圧とA/D変換結果の関係を示します。

図11－3　アナログ入力電圧とA/D変換結果の関係



備考　m = 0, 1

x = 00-05, 10-17

（5）A/D内部トリガ選択レジスタ0, 1（ITRG0, ITRG1）

ITRGnレジスタは，タイマ・トリガ・モード時のトリガ・ソースを切り替えるレジスタです。ITRGnレジスタでA/Dコンバータ0, 1のタイマ・トリガ・ソースを設定できます。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
ITRG0	ITRG23	ITRG22	ITRG21	ITRG20	ITRG13	ITRG12	ITRG11	ITRG10	FFFFF280H	00H

	7	6	5	4	3	2	1	0	アドレス	初期値
ITRG1	0	0	ITRG41	ITRG40	0	0	ITRG31	ITRG30	FFFFF288H	00H

ビット位置	ビット名	意　味
7-0 （ITRG0） 5, 4, 1, 0 （ITRG1）	ITRG23- ITRG20, ITRG13- ITRG10 （ITRG0） ITRG41, ITRG40, ITRG31, ITRG30 （ITRG1）	A/Dコンバータ0, 1のタイマ・トリガ・ソースを指定します（表11－4　A/Dコンバータ0, 1のタイマ・トリガ・ソース選択参照）。

表11－4　A/Dコンバータ0, 1のタイマ・トリガ・ソース選択（1/2）

ITRGm3	ITRGm2	ITRGm1	ITRG41	ITRG40	ITRG31	ITRG30	ITRG20	ITRG10	A/Dコンバータnのトリガ・ソース
0	0	0	×	×	×	×	×	0	INTCM003を選択
0	0	0	×	×	×	×	×	1	INTCM013を選択
0	0	1	×	×	×	×	0	×	INTTM00を選択
0	0	1	×	×	×	×	1	×	INTTM01を選択
0	1	×	×	×	×	×	0	0	INTCM003, INTTM00を選択
0	1	×	×	×	×	×	0	1	INTCM013, INTTM00を選択
0	1	×	×	×	×	×	1	0	INTCM003, INTTM01を選択
0	1	×	×	×	×	×	1	1	INTCM013, INTTM01を選択
1	0	0	×	×	0	0	×	×	INTCM004を選択
1	0	0	×	×	0	1	×	×	INTCM005を選択
1	0	0	×	×	1	×	×	×	INTCM004, INTCM005を選択
1	0	1	0	0	×	×	×	×	INTCM014を選択
1	0	1	0	1	×	×	×	×	INTCM015を選択
1	0	1	1	×	×	×	×	×	INTCM014, INTCM015を選択
1	1	×	0	0	0	0	0	0	INTCM003, INTTM00, INTCM004, INTCM014を選択
1	1	×	0	0	0	0	0	1	INTCM013, INTTM00, INTCM004, INTCM014を選択
1	1	×	0	0	0	0	1	0	INTCM003, INTTM01, INTCM004, INTCM014を選択
1	1	×	0	0	0	0	1	1	INTCM013, INTTM01, INTCM004, INTCM014を選択
1	1	×	0	0	0	1	0	0	INTCM003, INTTM00, INTCM005, INTCM014を選択
1	1	×	0	0	0	1	0	1	INTCM013, INTTM00, INTCM005, INTCM014を選択
1	1	×	0	0	0	1	1	0	INTCM003, INTTM01, INTCM005, INTCM014を選択
1	1	×	0	0	0	1	1	1	INTCM013, INTTM01, INTCM005, INTCM014を選択
1	1	×	0	0	1	×	0	0	INTCM003, INTTM00, INTCM004, INTCM005, INTCM014を選択
1	1	×	0	0	1	×	0	1	INTCM013, INTTM00, INTCM004, INTCM005, INTCM014を選択
1	1	×	0	0	1	×	1	0	INTCM003, INTTM01, INTCM004, INTCM005, INTCM014を選択
1	1	×	0	0	1	×	1	1	INTCM013, INTTM01, INTCM004, INTCM005, INTCM014を選択
1	1	×	0	1	0	0	0	0	INTCM003, INTTM00, INTCM004, INTCM015を選択
1	1	×	0	1	0	0	0	1	INTCM013, INTTM00, INTCM004, INTCM015を選択
1	1	×	0	1	0	0	1	0	INTCM003, INTTM01, INTCM004, INTCM015を選択
1	1	×	0	1	0	0	1	1	INTCM013, INTTM01, INTCM004, INTCM015を選択
1	1	×	0	1	0	1	0	0	INTCM003, INTTM00, INTCM005, INTCM015を選択
1	1	×	0	1	0	1	0	1	INTCM013, INTTM00, INTCM005, INTCM015を選択
1	1	×	0	1	0	1	1	0	INTCM003, INTTM01, INTCM005, INTCM015を選択
1	1	×	0	1	0	1	1	1	INTCM013, INTTM01, INTCM005, INTCM015を選択

備考1.　n = 0, 1

n = 0のとき：m = 1

n = 1のとき：m = 2

2.　×：任意

表11－4　A/Dコンバータ0, 1のタイマ・トリガ・ソース選択（2/2）

ITRGm3	ITRGm2	ITRGm1	ITRG41	ITRG40	ITRG31	ITRG30	ITRG20	ITRG10	A/Dコンバータnのトリガ・ソース
1	1	×	0	1	1	×	0	0	INTCM003, INTTM00, INTCM004, INTCM005, INTCM015を選択
1	1	×	0	1	1	×	0	1	INTCM013, INTTM00, INTCM004, INTCM005, INTCM015を選択
1	1	×	0	1	1	×	1	0	INTCM003, INTTM01, INTCM004, INTCM005, INTCM015を選択
1	1	×	0	1	1	×	1	1	INTCM013, INTTM01, INTCM004, INTCM005, INTCM015を選択
1	1	×	1	×	0	0	0	0	INTCM003, INTTM00, INTCM004, INTCM014, INTCM015を選択
1	1	×	1	×	0	0	0	1	INTCM013, INTTM00, INTCM004, INTCM014, INTCM015を選択
1	1	×	1	×	0	0	1	0	INTCM003, INTTM01, INTCM004, INTCM014, INTCM015を選択
1	1	×	1	×	0	0	1	1	INTCM013, INTTM01, INTCM004, INTCM014, INTCM015を選択
1	1	×	1	×	0	1	0	0	INTCM003, INTTM00, INTCM005, INTCM014, INTCM015を選択
1	1	×	1	×	0	1	0	1	INTCM013, INTTM00, INTCM005, INTCM014, INTCM015を選択
1	1	×	1	×	0	1	1	0	INTCM003, INTTM01, INTCM005, INTCM014, INTCM015を選択
1	1	×	1	×	0	1	1	1	INTCM013, INTTM01, INTCM005, INTCM014, INTCM015を選択
1	1	×	1	×	1	×	0	0	INTCM003, INTTM00, INTCM004, INTCM005, INTCM014, INTCM015を選択
1	1	×	1	×	1	×	0	1	INTCM013, INTTM00, INTCM004, INTCM005, INTCM014, INTCM015を選択
1	1	×	1	×	1	×	1	0	INTCM003, INTTM01, INTCM004, INTCM005, INTCM014, INTCM015を選択
1	1	×	1	×	1	×	1	1	INTCM013, INTTM01, INTCM004, INTCM005, INTCM014, INTCM015を選択

備考1.　n = 0, 1

n = 0のとき：m = 1

n = 1のとき：m = 2

2.　×：任意

11.5　割り込み要求

A/Dコンバータ0, 1からは次の2種類の割り込みを発生します。

- A/D変換終了割り込み（INTAD0, INTAD1）
- 電圧検出割り込み（INTDET0, INTDET1）

（1）A/D変換終了割り込み（INTAD0, INTAD1）

A/D変換許可状態中で，指定した回数のA/D変換が終了したとき，A/D変換終了割り込みを発生します。

A/Dコンバータ	A/D変換終了割り込み信号
0	INTAD0を発生
1	INTAD1を発生

（2）電圧検出割り込み（INTDET0, INTDET1）

電圧検出モード時（ADETM0, ADETM1のADETEN0, ADETEN1ビット= 1），ADETM0, ADETM1レジスタのDETCMP9-DETCMP0ビットで設定される参照電圧値と，対象となるアナログ入力端子のADCR0m, ADCR1nレジスタの値を比較し，ADETM0, ADETM1レジスタのADETLH0, ADETLH1ビットの値に応じて電圧検出割り込みを発生します（m = 0-5, n = 0-7）。

A/Dコンバータ	電圧検出割り込み信号
0	INTDET0を発生
1	INTDET1を発生

11. 6　A/Dコンバータ動作

11. 6. 1　A/Dコンバータ基本動作

A/D変換は次の手順で行います。

（1）アナログ入力の選択，動作モード，トリガ・モードなどの指定を，ADSCM00, ADSCM10レジスタによって設定します[注1]。ADSCM00, ADSCM10レジスタのADCE0, ADCE1ビットをセット（1）すると，A/Dトリガ・モード，A/Dトリガ・ポーリング・モード時はA/D変換を開始します。タイマ・トリガ・モード，外部トリガ・モード時は，トリガ待機状態になります[注2]。

（2）A/D変換を開始するとD/Aコンバータが発生した電圧とアナログ入力をコンパレータで比較します。

（3）10ビットの比較が終了したとき，ADCR0m, ADCR1nレジスタに変換結果を格納します。指定した回数のA/D変換が終了したとき，A/D変換終了割り込み（INTAD0, INTAD1）を発生します（m = 0-5, n = 0-7）。

注1. A/D変換動作中にADSCM00, ADSCM10レジスタの内容を変更した場合，変更前のA/D変換動作は停止し，ADCR0m, ADCR1nレジスタへ変換結果を格納しません。変換動作は初期化され，最初から変換を開始します。

2. タイマ・トリガ・モード，外部トリガ・モードの場合，ADSCM00, ADSCM10レジスタのADCE0, ADCE1ビットを1にすると，トリガ待機状態に遷移します。また，A/D変換動作は，トリガ信号によって起動され，A/D変換動作が終了するとトリガ待機状態に戻ります。
タイマ・トリガの選択はITRG0, ITRG1レジスタで行います。

11. 6. 2　動作モードとトリガ・モード

A/Dコンバータ0, 1は，動作モード，トリガ・モードの指定により多彩な変換動作を指定できます。動作モード，トリガ・モードは，ADSCM00, ADSCM10レジスタで設定します。動作モード，トリガ・モードの関係を次に示します。

トリガ・モード	動作モード	設定値	
		ADSCM00	ADSCM10
ADトリガ	セレクト	XX010000XXXXXXXXB	XX010000XXXXXXXXB
	スキャン	XX000000XXXXXXXXB	XX000000XXXXXXXXB
ADトリガ・ポーリング	セレクト	XX011000XXXXXXXXB	XX011000XXXXXXXXB
	スキャン	XX001000XXXXXXXXB	XX001000XXXXXXXXB
タイマ・トリガ	セレクト	XX010001XXXXXXXXB	XX010001XXXXXXXXB
	スキャン	XX000001XXXXXXXXB	XX000001XXXXXXXXB
外部・トリガ	セレクト	XX010111XXXXXXXXB	XX010111XXXXXXXXB
	スキャン	XX000111XXXXXXXXB	XX000111XXXXXXXXB

(1) トリガ・モード

A/D変換処理の開始タイミングとなるトリガ・モードには，A/Dトリガ・モード，A/Dトリガ・ポーリング・モード，タイマ・トリガ・モード，外部トリガ・モードの4通りがあります。

これらのトリガ・モードは，ADSCM00, ADSCM10レジスタで設定します。

(a) A/Dトリガ・モード

ANI0m, ANI1n端子に設定されたアナログ入力の変換タイミングを，ADSCM00, ADSCM10レジスタのADCE0, ADCE1ビットを1に設定することによりA/D変換を開始するモードです（m = 0-5, n = 0-7）。このモードでは，INTAD0, INTAD1割り込みの後にA/D変換の再起動動作としてADCE0, ADCE1ビットを1に設定する必要があります（ADCS0, ADCS1 = 0）。

(b) A/Dトリガ・ポーリング・モード

ANI0m, ANI1n端子に設定されたアナログ入力の変換タイミングを，ADSCM00, ADSCM10レジスタのADCE0, ADCE1ビットを1に設定することによりA/D変換を開始するモードです（m = 0-5, n = 0-7）。このモードの間は，INTAD0, INTAD1割り込みの後にA/D変換の再起動動作としてADCE0, ADCE1ビットを1に設定する必要がありません（ADCS0, ADCS1 = 1）。ADCE0, ADCE1ビットを0に設定するまで指定したアナログ入力を連続して変換します。また，変換が終了するごとにINTAD0, INTAD1割り込みが発生します。

(c) タイマ・トリガ・モード

ANI0m, ANI1n端子に設定されたアナログ入力の変換タイミングを，A/D内部トリガ選択レジスタ0, 1（ITRG0, ITRG1）で指定したトリガで規定するモードです（m = 0-5, n = 0-7）。

(d) 外部トリガ・モード

ANI0m, ANI1n端子に設定されたアナログ入力の変換タイミングを，ADTRG0, ADTRG1端子で指定するモードです（m = 0-5, n = 0-7）。

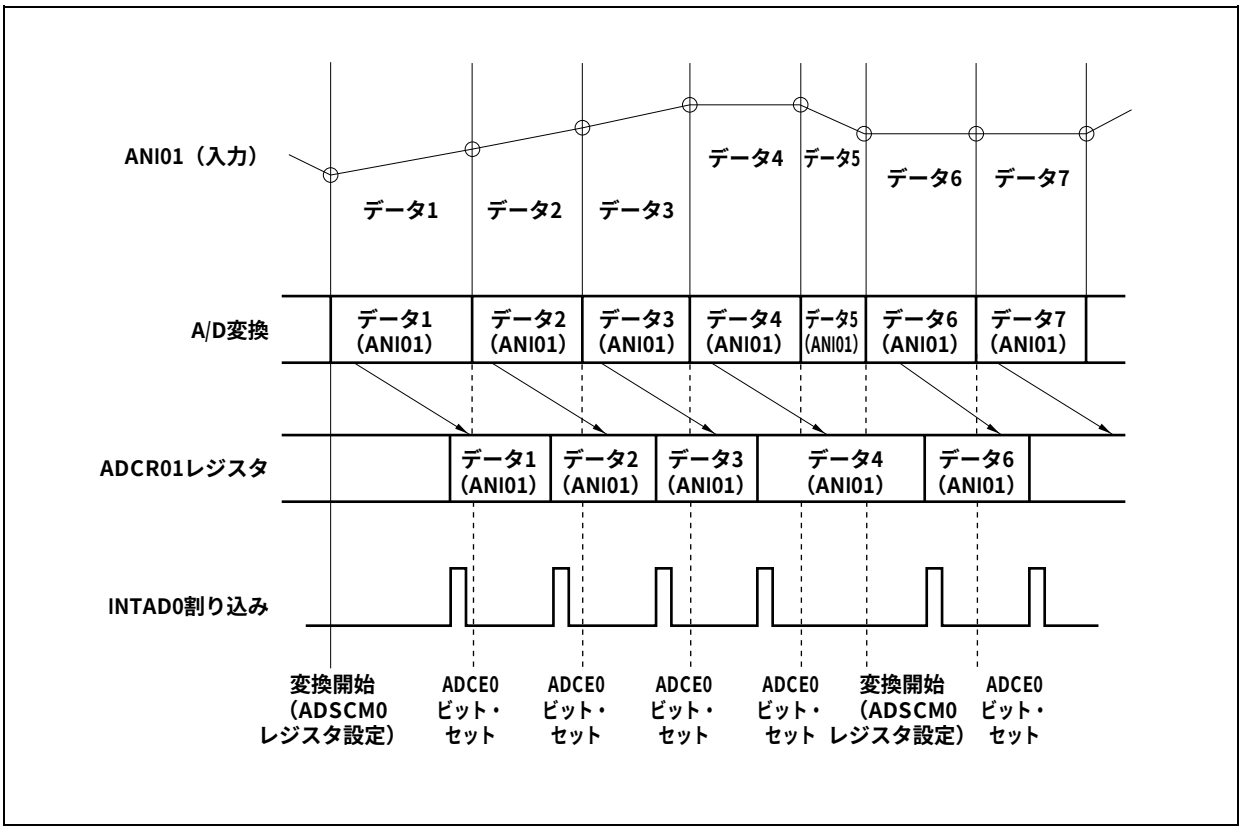
(2) 動作モード

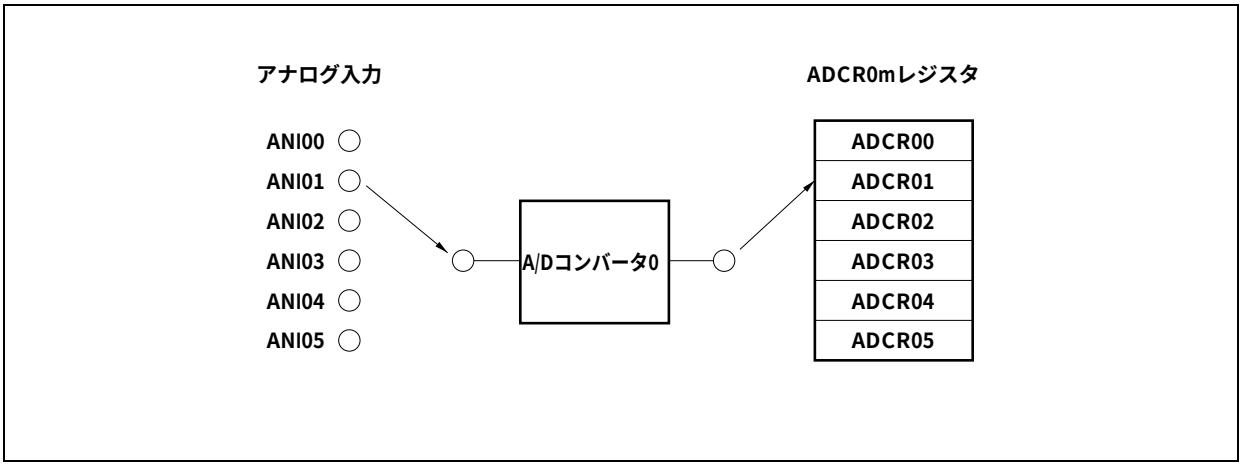
動作モードには，ANI00-ANI05, ANI10-ANI17端子を設定するモードとして，セレクト・モード，スキャン・モードの2通りがあります。これらのモードは，ADSCM00, ADSCM10レジスタで設定します。

(a) セレクト・モード

ADSCM00, ADSCM10レジスタで指定される1つのアナログ入力をA/D変換します。変換結果は，アナログ入力（ANI0m, ANI1n）に対応したADCR0m, ADCR1nレジスタに格納します（m = 0-5, n = 0-7）。

図11－4　セレクト・モードの動作タイミング例（ANI01）：A/Dコンバータ0の場合

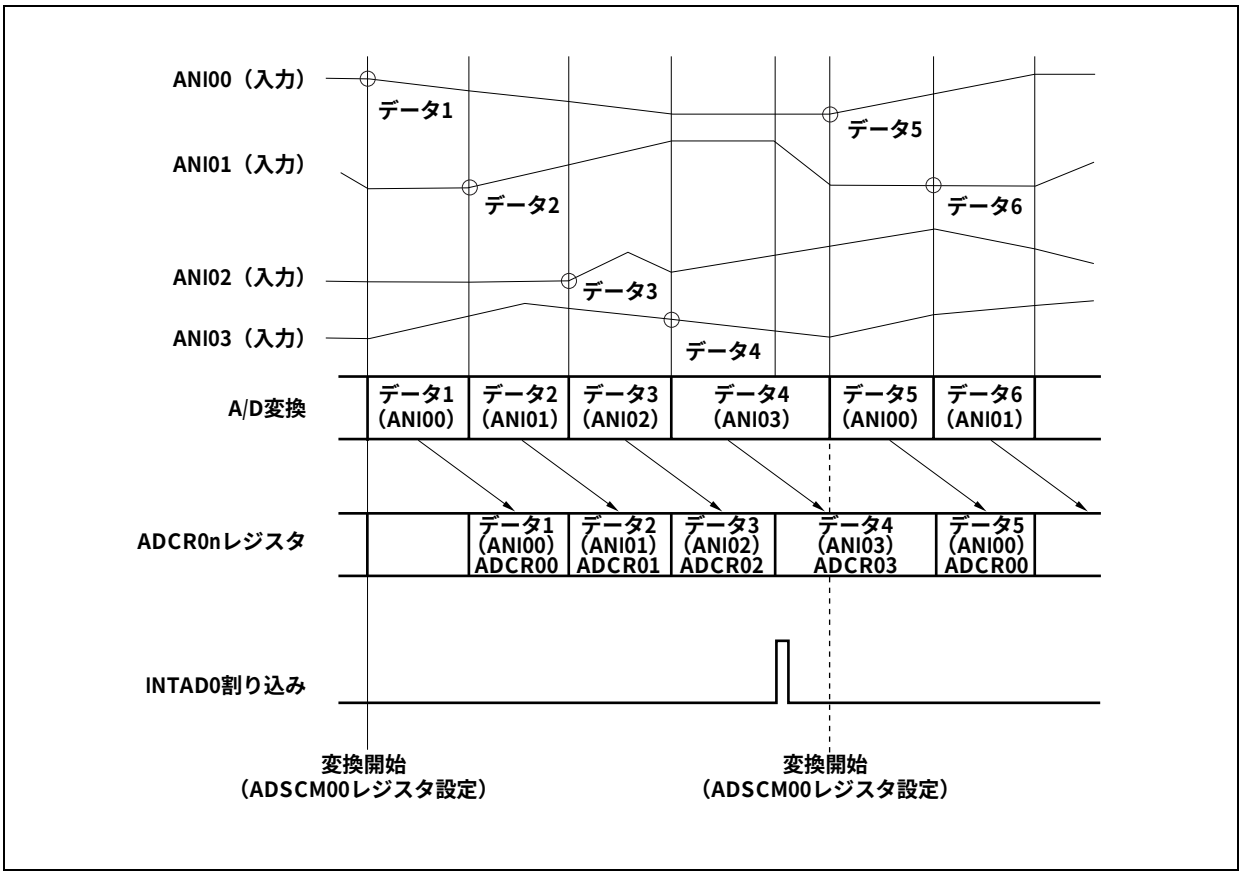


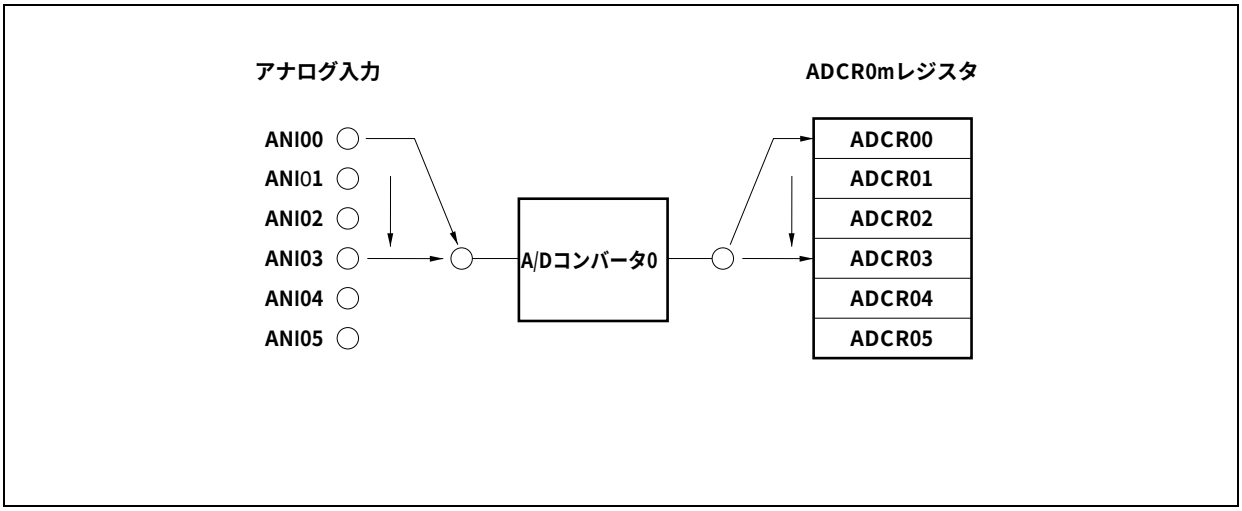


(b) スキャン・モード

ADSCM00, ADSCM10レジスタで指定したA/D変換開始アナログ入力端子からA/D変換終了アナログ入力端子までを順に選択し，A/D変換します。A/D変換結果は，アナログ入力に対応したADCR0m, ADCR1nレジスタに格納します（m = 0-5, n = 0-7）。指定したアナログ入力の変換が終了するとA/D変換終了割り込み（INTAD0, INTAD1）が発生します。

図11－5　スキャン・モードの動作タイミング例：A/Dコンバータ0の場合
（4チャネル・スキャン（ANI00-ANI03））





11. 7　A/Dトリガ・モード時の動作

ADSCM00, ADSCM10レジスタのADCE0, ADCE1ビットを1に設定すると，A/D変換を開始します。

11. 7. 1　セレクト・モードの動作

ADSCM00, ADSCM10レジスタで指定される各1つのアナログ入力を1回A/D変換し，その結果を各1つのADCR0m, ADCR1nレジスタに格納します。アナログ入力とADCR0m, ADCR1nレジスタは1対1に対応しています（m = 0-5, n = 0-7）。

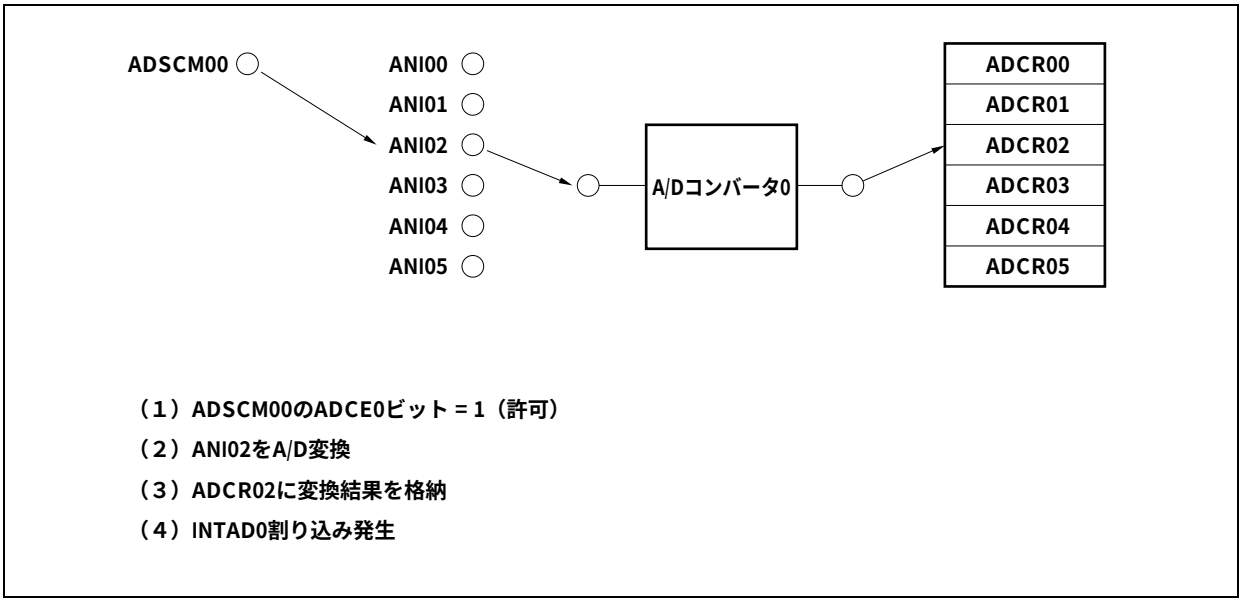
1回のA/D変換終了ごとにA/D変換終了割り込み（INTAD0, INTAD1）を発生し，A/D変換を終了します（ADCS0, ADCS1ビット = 0）。

アナログ入力	A/D変換結果レジスタ
ANIx	ADCRx

備考　x = 00-05, 10-17

A/D変換を再起動するには，ADSCM00, ADSCM10レジスタのADCE0, ADCE1ビットに1を書き込んでください。1回のA/D変換ごとに結果を読み出すような応用に最適です。

図11－6　セレクト・モード（A/Dトリガ・セレクト）の動作例（ANI02）：A/Dコンバータ0の場合



11. 7. 2　スキャン・モードの動作

ADSCM00, ADSCM10レジスタで指定される変換開始アナログ入力端子から変換終了アナログ入力端子までを順に選択し，A/D変換します。A/D変換結果はアナログ入力に対応したADCR0m, ADCR1nレジスタに格納します（m = 0-5, n = 0-7）。変換終了アナログ入力端子までアナログ入力がすべて変換終了すると，A/D変換終了割り込み（INTAD0, INTAD1）を発生し，A/D変換を終了します（ADSCM0, ADSCM1レジスタのADCS0, ADCS1ビット = 0）。

アナログ入力	A/D変換結果レジスタ
ANIx注1	ADCRx
ANIx注2	ADCRx

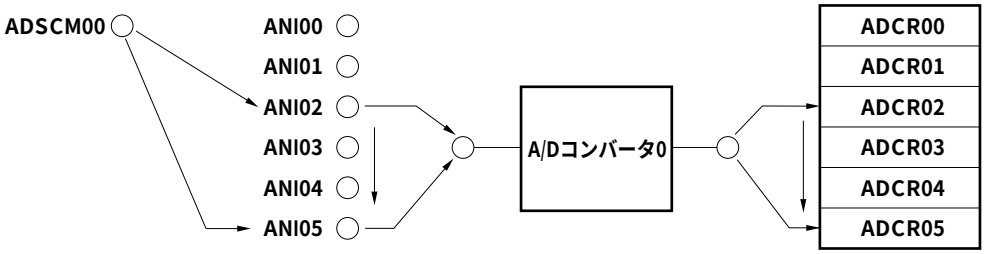
注1. ADSCM00, ADSCM10レジスタのSANI3-SANI0ビットで設定。
ただし，注2で設定する変換終了アナログ入力端子番号よりも必ず小さい端子番号を設定してください。

2. ADSCM00, ADSCM10レジスタのANIS3-ANIS0ビットで設定。

備考　x = 00-05, 10-17

A/D変換を再起動するには，ADSCM00, ADSCM10レジスタのADCE0, ADCE1ビットに1を書き込んでください。複数のアナログ入力を常時監視するような応用に最適です。

図11－7　スキャン・モード（A/Dトリガ・スキャン）の動作例（ANI02-ANI05）：A/Dコンバータ0の場合



（1）ADSCM00のADCE0ビット = 1（許可）
（2）ANI02をA/D変換
（3）ADCR02に変換結果を格納
（4）ANI03をA/D変換
（5）ADCR03に変換結果を格納
（6）ANI04をA/D変換
（7）ADCR04に変換結果を格納
（8）ANI05をA/D変換
（9）ADCR05に変換結果を格納
（10）INTAD0割り込み発生

11. 8　A/Dトリガ・ポーリング・モード時の動作

ADSCM00, ADSCM10レジスタのADCE0, ADCE1ビットを1に設定すると，A/D変換を開始します。

A/Dトリガ・ポーリング・モードはセレクト・モード，スキャン・モードともに有効です。このモードの間は，INTAD0, INTAD1割り込みの後，ADSCM00, ADSCM10レジスタのADCS0, ADCS1ビットは1のままであり，A/D変換を継続しているため，A/D変換の再起動動作としてADCE0, ADCE1ビットに1を書き込む必要がありません。

11. 8. 1　セレクト・モードの動作

ADSCM00, ADSCM10レジスタで指定されるアナログ入力をA/D変換します。変換結果は，ADCR0m, ADCR1nレジスタに格納します（m = 0-5, n = 0-7）。

1つのアナログ入力を1回A/D変換し，その結果を1つのADCR0m, ADCR1nレジスタに格納します。アナログ入力とADCR0m, ADCR1nレジスタは1対1に対応しています。

1回のA/D変換終了ごとにA/D変換終了割り込み（INTAD0, INTAD1）を発生します。ADCE0, ADCE1ビット = 0になるまでA/D変換動作を繰り返します（ADCS0, ADCS1ビット = 1）。

アナログ入力	A/D変換結果レジスタ
ANIx	ADCRx

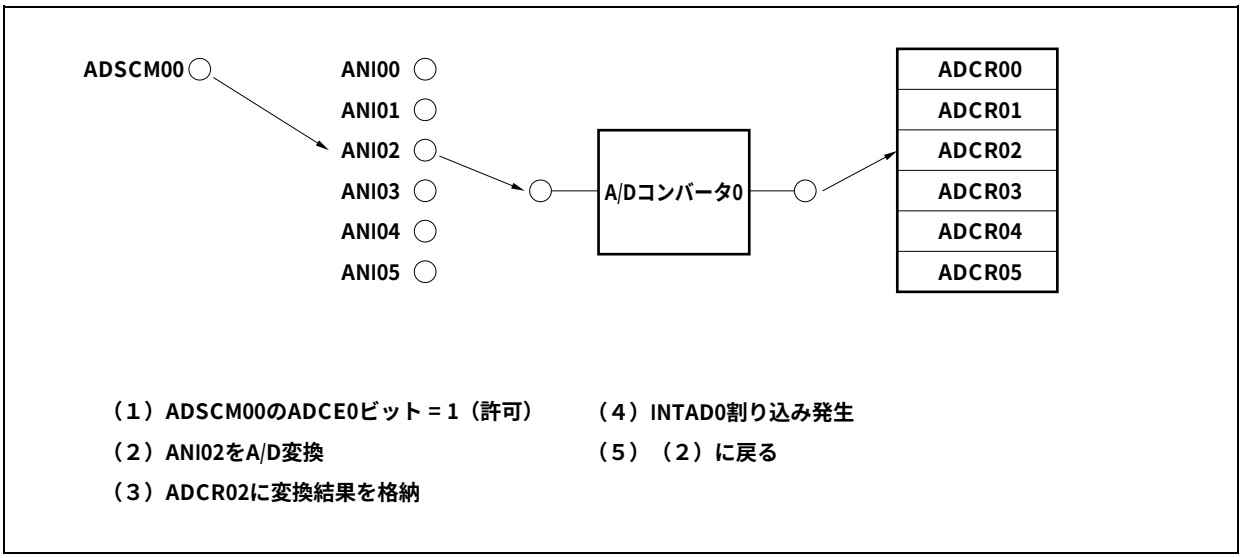
備考　x = 00-05, 10-17

A/D変換の再起動動作としてA/Dトリガ・ポーリング・モードでは，ADSCM00, ADSCM10レジスタのADCE0, ADCE1ビットに1を書き込む必要がありません[注]。

常時A/D変換値を読み出すような応用に最適です。

注　A/Dトリガ・ポーリング・モードでは，ADSCM00, ADSCM10レジスタのADCE0, ADCE1ビットを0にすることでADCS0, ADCS1ビットを0にしないかぎりA/D変換動作を停止しないため，次のA/D変換までにADCR0m, ADCR1nレジスタを読み出さないと，上書きされます。

図11－8　セレクト・モード（A/Dトリガ・ポーリング・セレクト）の動作例（ANI02）：A/Dコンバータ0の場合



11. 8. 2　スキャン・モードの動作

ADSCM00, ADSCM10レジスタで指定される変換開始アナログ入力端子から変換終了アナログ入力端子までを順に選択し，A/D変換します。A/D変換結果はアナログ入力に対応したADCR0m, ADCR1nレジスタに格納します（m = 0-5, n = 0-7）。変換終了アナログ入力端子までアナログ入力がすべて変換終了すると，A/D変換終了割り込み（INTAD0, ANTAD1）を発生します。ADCE0, ADCE1ビット = 0になるまでA/D変換動作を繰り返します（ADCS0, ADCS1ビット = 1）。

アナログ入力	A/D変換結果レジスタ
ANIx[注1]	ADCRx
|	|
ANIx[注2]	ADCRx

注1. ADSCM00, ADSCM10レジスタのSANI3-SANI0ビットで設定。
ただし，注2で設定する変換終了アナログ入力端子番号よりも必ず小さい端子番号を設定してください。

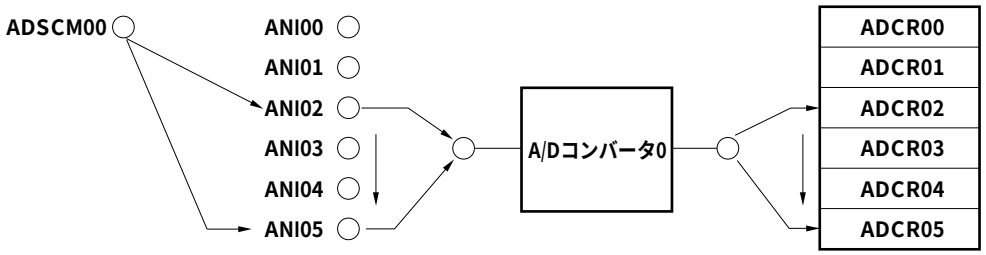
2. ADSCM00, ADSCM10レジスタのANIS3-ANIS0ビットで設定。

備考　x = 00-05, 10-17

A/D変換の再起動動作としてA/Dトリガ・ポーリング・モードでは，ADSCM00, ADSCM10レジスタのADCE0, ADCE1ビットに1を書き込む必要がありません[注]。
常時A/D変換値を読み出すような応用に最適です。

注　A/Dトリガ・ポーリング・モードでは，ADSCM00, ADSCM10レジスタのADCE0, ADCE1ビットを0にすることでADCS0, ADCS1ビットを0にしないかぎりA/D変換動作を停止しないため，次のA/D変換までにADCR0m, ADCR1nを読み出さないと，上書きされます。

図11－9　スキャン・モード（A/Dトリガ・ポーリング・スキャン）の動作例（ANI02-ANI05）：A/Dコンバータ0の場合



（1）ADSCM00のADCE0ビット = 1（許可）
（2）ANI02をA/D変換
（3）ADCR02に変換結果を格納
（4）ANI03をA/D変換
（5）ADCR03に変換結果を格納
（6）ANI04をA/D変換
（7）ADCR04に変換結果を格納
（8）ANI05をA/D変換
（9）ADCR05に変換結果を格納
（10）INTAD0割り込み発生
（11）（2）に戻る

11.9　タイマ・トリガ・モード時の動作

A/Dコンバータは，A/Dコンバータ0, 1で合計14チャネルのアナログ入力（ANI00-ANI05, ANI10-ANI17）に対し，A/D内部トリガ選択レジスタ0, 1（ITRG0, ITRG1）で指定された割り込み信号を変換トリガとして設定できます。

トリガとして選択できる割り込み信号はTM0nのタイマ0レジスタ・アンダフロー割り込み信号（INTTM00, INTTM01）と CM003-CM005, CM013-CM015 の一致割り込み信号（INTCM003-INTCM005, INTCM013-INTCM015）の8つです（n = 0, 1）。

11.9.1　セレクト・モードの動作

A/D内部トリガ選択レジスタ0, 1（ITRG0, ITRG1）で指定した割り込み信号をトリガとして，ADSCM00, ADSCM10レジスタで指定される1つのアナログ入力（ANI00-ANI05, ANI10-ANI17）を1回A/D変換します。変換結果は，アナログ入力に対応したADCR0m, ADCR1nレジスタに格納します（m = 0-5, n = 0-7）。1回のA/D変換ごとにA/D変換終了割り込み（INTAD0, INTAD1）を発生し，A/D変換を終了します（ADCS0, ADCS1 = 0）。

タイマ・トリガに同期したA/D変換値を読み出すような応用に最適です。

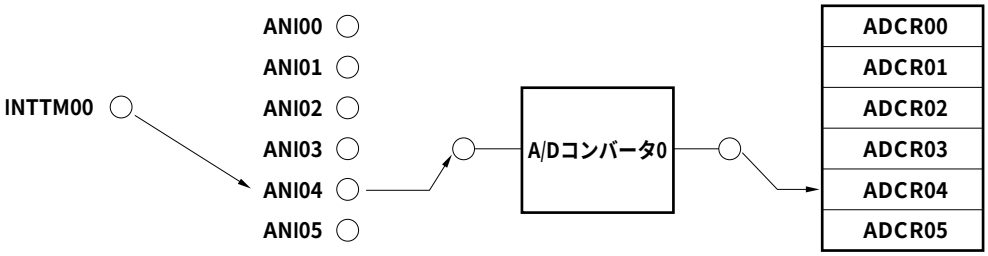
トリガ	アナログ入力	A/D変換結果レジスタ
ITRG0, ITRG1レジスタで指定した割り込み	ANIx	ADCRx

備考　x = 00-05, 10-17

A/D変換終了後に，A/Dコンバータ0, 1はトリガ待ち状態（ADCE0, ADCE1 = 1）に移行します。ITRG0, ITRG1レジスタで指定されている割り込み信号が発生すると再度A/D変換動作を行います。

図11－10　タイマ・トリガ・セレクト・モードの動作例（ANI04）：A/Dコンバータ0の場合

（a）ITRG0, ITRG1レジスタでINTTM00を選択した場合



（1）ADSCM00のADCE0ビット = 1（許可）
（2）INTTM00割り込み発生
（3）ANI04をA/D変換
（4）ADCR04に変換結果を格納
（5）INTAD0割り込み発生

11. 9. 2　スキャン・モードの動作

A/D内部トリガ選択レジスタ（ITRG0, ITRG1）で指定した割り込み信号をトリガとして，ADSCM00, ADSCM10レジスタで指定される変換開始アナログ入力端子から変換終了アナログ入力端子までを順に選択し，A/D変換します。変換結果はアナログ入力に対応したADCR0m, ADCR1nレジスタに格納します（m = 0-5, n = 0-7）。指定されたすべてのA/D変換が終了するとA/D変換終了割り込み（INTAD0, INTAD1）を発生し，A/D変換を終了します（ADCS0, ADCS1 = 0）。

タイマ・トリガに同期して，複数のアナログ入力を常時監視するような応用に最適です。

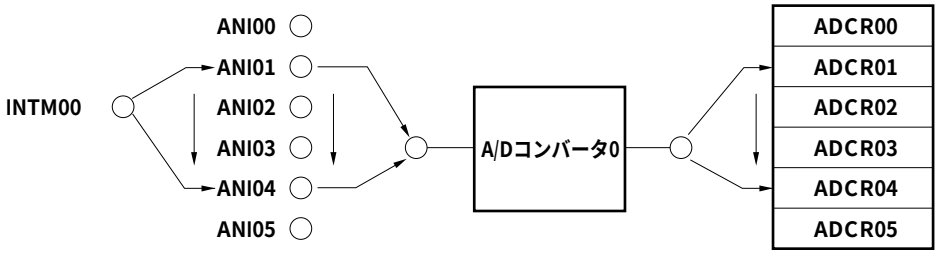
トリガ	アナログ入力	A/D変換結果レジスタ
ITRG0, ITRG1レジスタで指定した割り込み	ANIn0	ADCRn0
	ANIn1	ADCRn1
	ANIn2	ADCRn2
	ANIn3	ADCRn3
	ANIn4	ADCRn4
	ANIn5	ADCRn5
	ANI16	ADCR16
	ANI17	ADCR17

備考　n = 0, 1

指定されたすべてのA/D変換終了後に，A/Dコンバータはトリガ待ち状態（ADCE0, ADCE1 = 1）に移行します。ITRG0, ITRG1レジスタで指定されている割り込み信号が発生すると再度A/D変換動作を行います。

図11－11　タイマ・トリガ・スキャン・モードの動作例（A/Dコンバータ0の場合）
：ITRG0, ITRG1レジスタでINTTM00を選択した場合

（a）ANI01-ANI04をスキャンする設定にした場合



（1）ADSCM00のADCE0ビット = 1（許可）
（2）INTTM00割り込み発生
（3）ANI01をA/D変換
（4）ADCR01に変換結果を格納
（5）ANI02をA/D変換
（6）ADCR02に変換結果を格納
（7）ANI03をA/D変換
（8）ADCR03に変換結果を格納
（9）ANI04をA/D変換
（10）ADCR04に変換結果を格納
（11）INTAD0割り込み発生

11. 10　外部トリガ・モード時の動作

外部トリガ・モードでは，アナログ入力（ANI00-ANI05, ANI10-ANI17）をADTRG0, ADTRG1端子の入力タイミングでA/D変換します。

外部トリガ・モード時の外部入力信号の有効エッジは，A/Dコンバータ0の場合にはINTM1レジスタのES21, ES20ビットで，A/Dコンバータ1の場合にはINTM1レジスタのES31, ES30ビットで立ち上がりエッジ，立ち下がりエッジ，立ち上がり／立ち下がり両エッジのどれかに指定できます。

11. 10. 1　セレクト・モードの動作

ADSCM00, ADSCM10レジスタで指定する1つのアナログ入力（ANI00-ANI05, ANI10-ANI17）をA/D変換します。変換結果は，ADCR0m, ADCR1nレジスタに格納します（m = 0-5, n = 0-7）。

ADTRG0, ADTRG1信号をトリガとして各1つのアナログ入力を1回A/D変換し，その結果を各1つのADCR0m, ADCR1nレジスタに格納します。アナログ入力とA/D変換結果レジスタは1対1に対応しています。1回のA/D変換ごとにA/D変換終了割り込み（INTAD0, INTAD1）を発生し，A/D変換を終了します（ADCS0, ADCS1ビット = 0）。

トリガ	アナログ入力	A/D変換結果レジスタ
ADTRGm信号	ANImn	ADCRmn

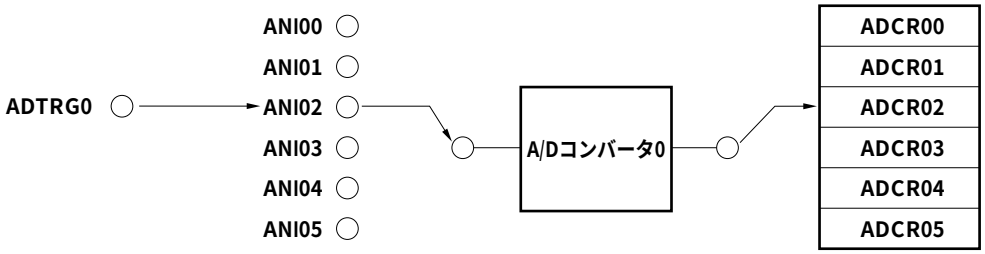
備考　m = 0, 1

n：m = 0のとき，n = 0-5, m = 1のとき，n = 0-7

A/D変換を再起動するには，ADTRGn端子からトリガを再度入力する必要があります（n = 0, 1）。

外部トリガに同期して，1回のA/D変換ごとに結果を読み出すような応用に最適です。

図11－12　セレクト・モード（外部トリガ・セレクト）の動作例（ANI02）：A/Dコンバータ0の場合



（1）ADSCM00のADCE0ビット = 1（許可）

（2）外部トリガ発生

（3）ANI02をA/D変換

（4）ADCR02に変換結果を格納

（5）INTAD0割り込み発生

11. 10. 2　スキャン・モードの動作

ADTRG0, ADTRG1信号をトリガとして，ADSCM00, ADSCM10レジスタで指定される変換開始アナログ入力端子から変換終了アナログ入力端子までを順に選択し，A/D変換します。A/D変換結果はアナログ入力に対応したADCR0m, ADCR1nレジスタに格納します（m = 0-5, n = 0-7）。指定したアナログ入力がすべて変換終了すると，INTAD0, INTAD1割り込みを発生してA/D変換を終了します（ADCS0, ADCS1 = 0）。

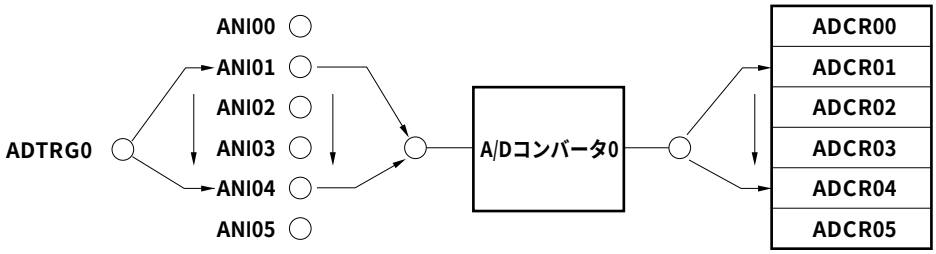
トリガ	アナログ入力	A/D変換結果レジスタ
ADTRGn信号	ANIn0	ADCRn0
	ANIn1	ADCRn1
	ANIn2	ADCRn2
	ANIn3	ADCRn3
	ANIn4	ADCRn4
	ANIn5	ADCRn5
	ANI16	ADCR16
	ANI17	ADCR17

備考　n = 0, 1

指定されたすべてのA/D変換終了後に，外部トリガ信号が発生すると，A/D変換を再起動します。
外部トリガに同期して，複数のアナログ入力を常時監視するような応用に最適です。

図11－13　スキャン・モード（外部トリガ・スキャン）の動作例：A/Dコンバータ0の場合

（a）ANI01-ANI04をスキャンする設定にした場合



（1）ADSCM00のADCE0ビット = 1（許可）
（2）外部トリガ発生
（3）ANI01をA/D変換
（4）ADCR01に変換結果を格納
（5）ANI02をA/D変換
（6）ADCR02に変換結果を格納
（7）ANI03をA/D変換
（8）ADCR03に変換結果を格納
（9）ANI04をA/D変換
（10）ADCR04に変換結果を格納
（11）INTAD0割り込み発生

11. 11　動作上の注意事項

11. 11. 1　A/D変換動作の停止

A/D変換動作中にADSCM00, ADSCM10レジスタのADCE0, ADCE1ビットに0を書き込むとA/D変換動作を停止し，ADCR0m, ADCR1nレジスタへのA/D変換結果を格納しません（m = 0-5, n = 0-7）。

11. 11. 2　A/D変換動作中のトリガ入力

A/D変換動作中にトリガ入力された場合には，そのトリガ入力を無視します。

11. 11. 3　外部／タイマ・トリガの間隔

外部／タイマ・トリガ・モード時のトリガのインターバル（入力時間の間隔）は，ADSCM01, ADSCM11レジスタのFR2-FR0ビットで指定する変換時間より長くしてください。

（1）インターバル = 0**の場合**

複数のトリガが同時に入力された場合，1つのトリガ信号として処理されます。

（2）0**＜インターバル＜変換時間の場合**

A/D変換動作中に外部／タイマ・トリガが入力された場合，そのトリガ入力を無視します。

（3）インターバル = **変換時間の場合**

A/D変換終了と同時に外部／タイマ・トリガが入力された場合（コンパレート終了信号とトリガの競合）は，割り込みの発生，変換が終了した値のADCR0m, ADCR1nレジスタの格納は正しく行われます（m = 0-5, n = 0-7）。

11. 11. 4　スタンバイ・モード時の動作

（1）HALT**モード**

A/D変換動作を継続します。NMI，マスカブル割り込み入力で解除した場合，ADSCM00, ADSCM10, ADSCM01, ADSCM11レジスタとADCR0m, ADCR1nレジスタは値を保持します（m = 0-5, n = 0-7）。$\overline{\text{RESET}}$入力で解除した場合，ADCR0m, ADCR1nレジスタは初期化されます。

（2）IDLE**モード，ソフトウエア**STOP**モード**

A/Dコンバータ0, 1へのクロック供給は止まるため，A/D変換動作は行われません。

NMI，マスカブル割り込み入力で解除した場合，ADSCM00, ADSCM10, ADSCM01, ADSCM11レジスタとADCR0m, ADCR1nレジスタは値を保持します（m = 0-5, n = 0-7）。ただし，A/D変換動作中にIDLEモード，ソフトウエアSTOPモードに設定した場合，A/D変換動作は停止します。$\overline{\text{RESET}}$入力で解除した場合，ADCR0m, ADCR1nレジスタは初期化されます。

11. 11. 5　タイマ・トリガ・モード時のコンペア一致割り込み

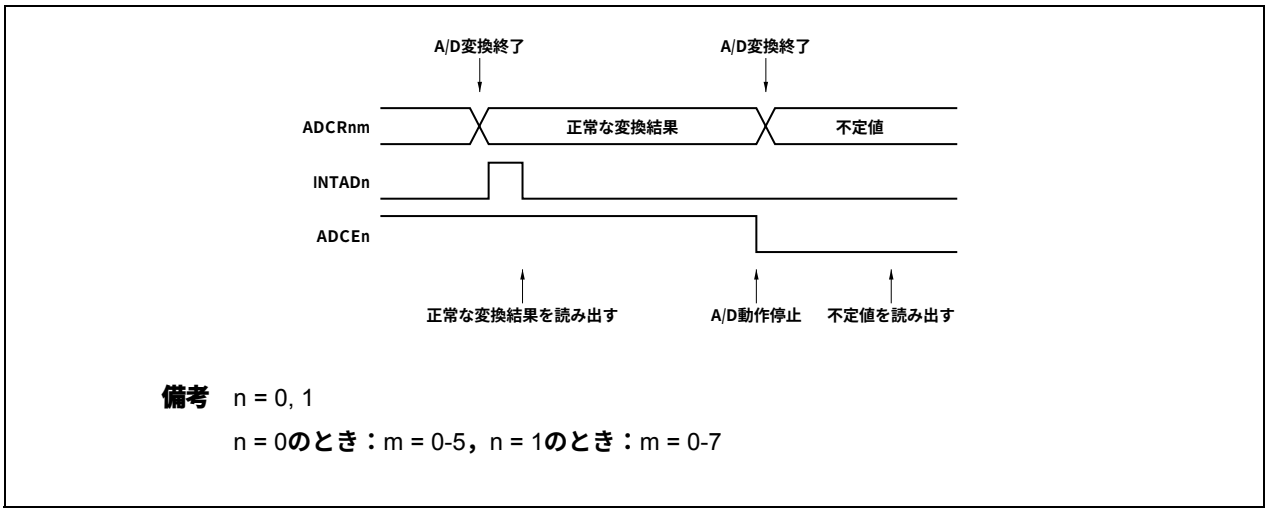
TM0nのタイマ0レジスタ・アンダフロー割り込み（INTTM00, INTTM01）とCM003-CM005, CM013-CM015の割り込み（INTCM003-INTCM005, INTCM013-INTCM015）がA/D変換開始のトリガとなり，変換動作を開始します（n = 0, 1）。このとき，CM003-CM005, CM013-CM015の一致割り込み（INTCM003-INTCM005, INTCM013-INTCM015）は，CPUに対するコンペア・レジスタの一致割り込みとしても機能します。CPUに対するこれらの一致割り込みを発生させないためには，割り込み制御レジスタ（TM0IC0, TM0IC1, CM03IC0-CM05IC0, CM03IC1-CM05IC1）のマスク・ビット（TM0MK0, TM0MK1, CM03MK0-CM05MK0, CM03MK1-CM05MK1）で割り込みを禁止してください。

11. 11. 6　A/D変換結果が不定になるタイミング

A/D変換終了のタイミングとA/D変換動作を停止するタイミングが競合するとA/D変換値は不定になることがあります。そのため，A/D変換結果を読み出す場合は，A/D変換動作中に行ってください。またA/D変換動作を停止してから変換結果を読み出す場合は，次の変換結果が終了するまでにA/D変換動作を停止してから行ってください。

変換結果を読み出すタイミングを図11－14，図11－15に示します。

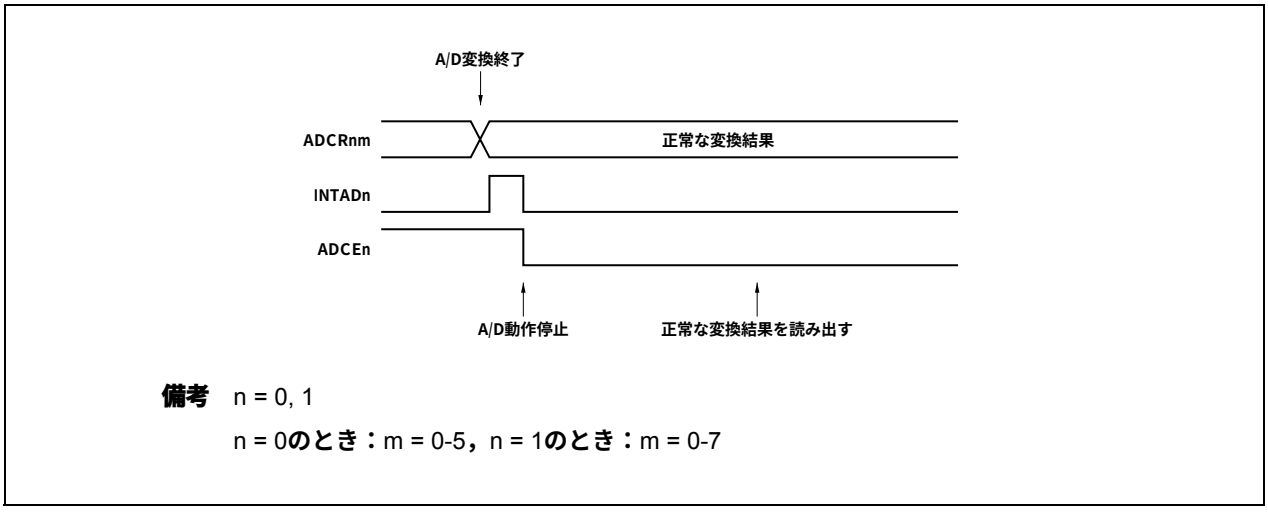
図11－14　変換結果を読み出すタイミング（変換結果が不定値の場合）



備考　n = 0, 1

n = 0のとき：m = 0-5，n = 1のとき：m = 0-7

図11－15　変換結果を読み出すタイミング（変換結果が正常値の場合）



備考　n = 0, 1

n = 0のとき：m = 0-5，n = 1のとき：m = 0-7

★　11. 11. 7　スキャン・モード（A/Dトリガ・モード，A/Dトリガ・ポーリング・モード，タイマ・トリガ・モード，外部トリガ・モード），セレクト・モード（A/Dトリガ・ポーリング・モード）の強制中断時の終了方法について

スキャン・モード（A/Dトリガ・モード，A/Dトリガ・ポーリング・モード，タイマ・トリガ・モード，外部トリガ・モード），セレクト・モード（A/Dトリガ・ポーリング・モード）のA/D変換中に，ADSCMn0レジスタのADCEnビット = 0によりA/D変換を強制中断させる場合は，必ず次に示す手順のようにADCEnビット = 0を3回連続して行い，終了させてください。

なお，スキャン・モード（A/Dトリガ・モード，A/Dトリガ・ポーリング・モード，タイマ・トリガ・モード，外部トリガ・モード）時にADCEnビット = 0により強制中断させる場合は，中断せずに指定された変換終了アナログ入力端子までA/D変換し，すべてのA/D変換が終了するとA/D変換終了割り込み（INTADn）が発生する場合があります。

①DI命令（割り込み受け付け禁止）
②ADSCMn0レジスタのADCEnビット = 0
③ADSCMn0レジスタのADCEnビット = 0　} 3回連続実行
④ADSCMn0レジスタのADCEnビット = 0
⑤EI命令（割り込み受け付け許可）

★　11. 11. 8　A/D変換結果のばらつき

電源電圧の変動やノイズなどの影響によりA/D変換結果がばらつくことがあります。ばらつきを軽減する必要がある場合は，A/D変換結果の平均値をとるなど，プログラムで対策してください。

★　11. 11. 9　A/D変換のヒステリシス特性

逐次比較型A/Dコンバータは，内部のサンプル＆ホールド用コンデンサにアナログ入力電圧を保持し，そのあと，A/D変換を行います。A/D変換が終了したあとも，内部のサンプル＆ホールド用コンデンサには，アナログ入力電圧が残っています。このため，アナログ入力源の出力インピーダンスが高いと次のような現象が起きることがあります。

- 同一チャネルでA/D変換を実行している場合，以前のA/D変換時よりも高い電圧，または低い電圧に変化していると，変換結果が以前の値に影響されるヒステリシス特性が現れ，同じ電位でも変換結果が異なる場合があります。
- アナログ入力チャネルを切り替える場合，1つのA/Dコンバータを用いてA/D変換を行っているため，変換結果が以前のチャネルの値に影響されるヒステリシス特性が現れ，同じ電位でも変換結果が異なる場合があります。

このため，より正確な変換結果を得たい場合は，アナログ入力源の出力インピーダンスを低くするか，または同一チャネルで2回連続A/D変換を行い，1回目の変換結果を廃棄してください。

11. 12　A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分 解 能

識別可能な最小アナログ入力電圧，つまり，ディジタル出力1ビットあたりのアナログ入力電圧の比率を1LSB（Least Significant Bit）といいます。1LSBのフルスケールに対する比率を%FSR（Full Scale Range）で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次の式になります。

1%FSR =（変換可能なアナログ入力電圧の最大値－変換可能なアナログ入力電圧の最小値）/100
= (AV_{DDn}－0) /100
= AV_{DDn}/100

備考　n = 0, 1

1LSBは分解能10ビットのとき，次のようになります。

$1LSB = 1/2^{10} = 1/1024$
= 0.098 %FSR

精度は分解能とは関係なく，総合誤差によって決まります。

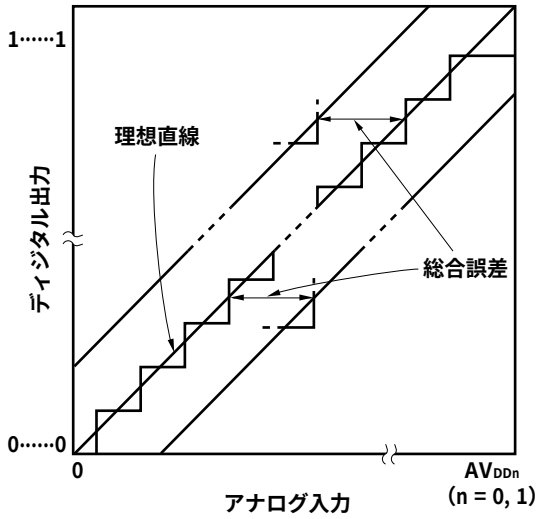
(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差，フルスケール誤差，直線性誤差，およびそれらの組み合わせから生じる誤差を総合したものです。

なお，特性表の総合誤差には量子化誤差は含まれていません。

図11－16　総合誤差

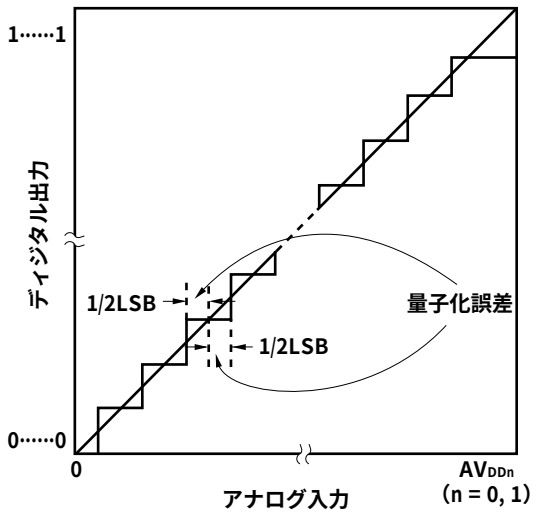


(3) 量子化誤差

アナログ値をディジタル値に変換するとき，必然的に生じる±1/2LSBの誤差です。A/Dコンバータでは，±1/2LSBの範囲にあるアナログ入力電圧は，同じディジタル・コードに変換されるため，量子化誤差を避けることはできません。

なお，特性表の総合誤差，ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差には含まれていません。

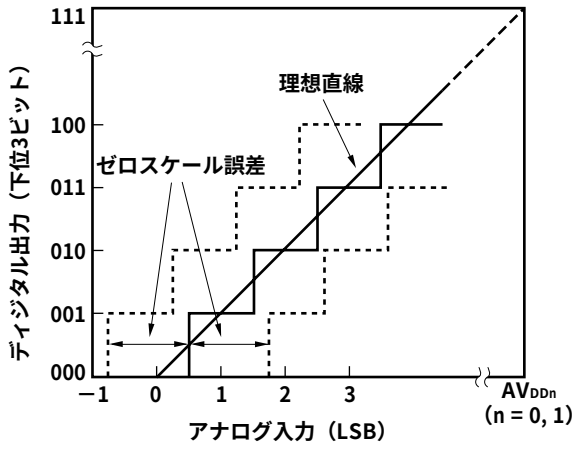
図11－17　量子化誤差



(4) ゼロスケール誤差

ディジタル出力が0……000から0……001に変化するときの，アナログ入力電圧の実測値と理論値（1/2LSB）との差を表します。

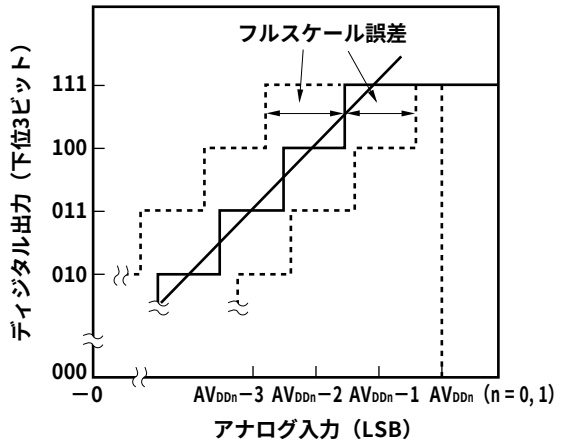
図11－18　ゼロスケール誤差



(5) フルスケール誤差

ディジタル出力が1……110から1……111に変化するときの，アナログ入力電圧の実測値と理論値（フルスケール－3/2LSB）との差を表します。

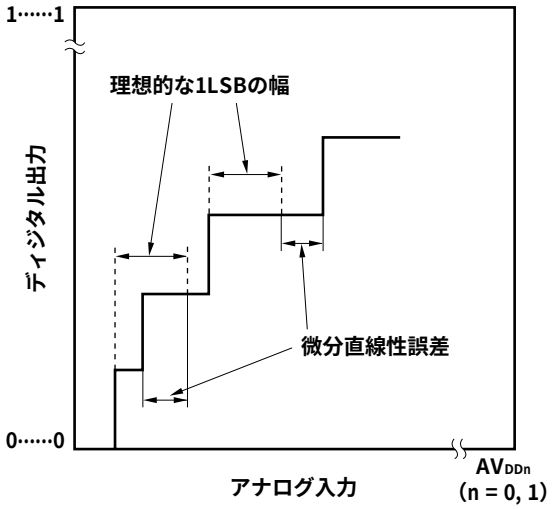
図11－19　フルスケール誤差



(6) 微分直線性誤差

理想的にはあるコードを出力する幅は1LSBですが，あるコードを出力する幅の実測値と理想値との差を表します。

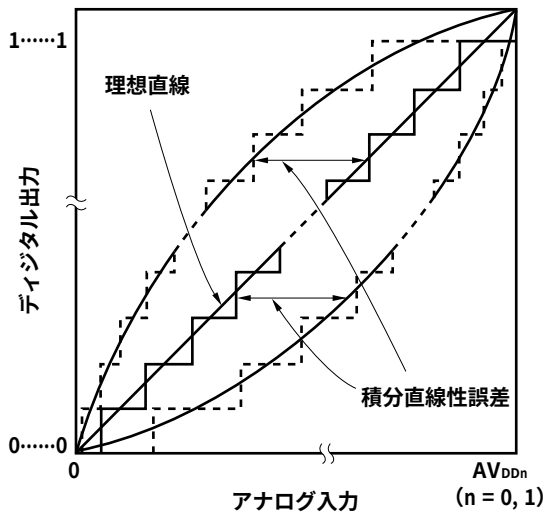
図11－20　微分直線性誤差



(7) 積分直線性誤差

変換特性が，理想的な直線関係から外れている程度を指します。ゼロスケール誤差，フルスケール誤差を0としたときの，実測値と理想直線との差の最大値を表します。

図11－21　積分直線性誤差



(8) 変換時間

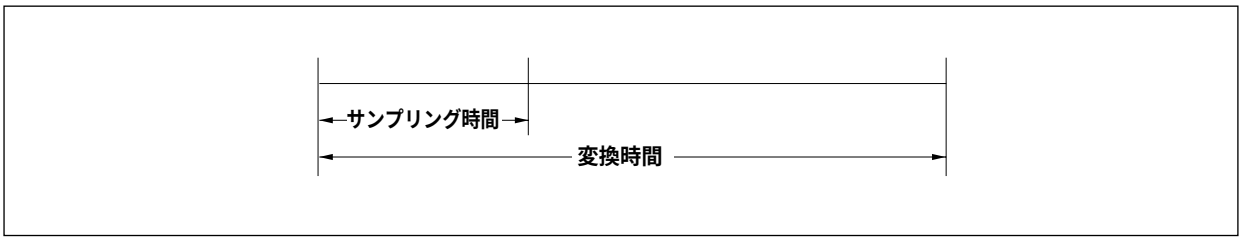
各トリガが発生してから，ディジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル＆ホールド回路に取り込むため，アナログ・スイッチがオンしている時間です。

図11－22　サンプリング時間



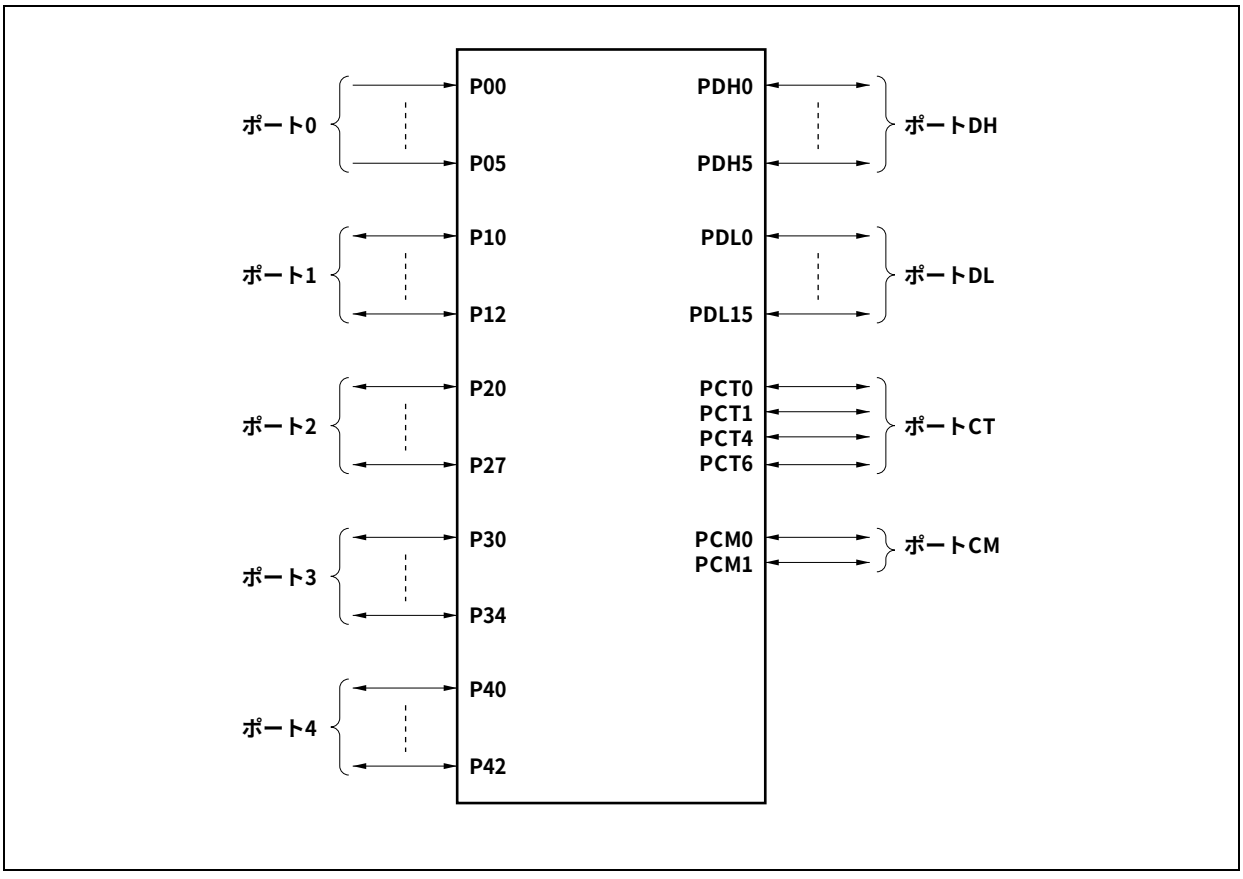
第12章　ポート機能

12. 1　特　　徴

○入力専用ポート　：6本
　入出力ポート　　：47本
○ほかの周辺機能の入出力端子と兼用
○ビット単位で入力／出力指定可能

12. 2　ポートの基本構成

V850E/IA2は，ポート0-4, DH, DL, CT, CMの合計53本の入力／出力ポート（うち6本は入力専用ポート）を内蔵しています。ポートの構成を次に示します。



(1) 各ポートの機能

V850E/IA2のポートには，次に示すような種類があります。

どのポートも8/1ビット単位の操作が可能で，多様な制御を行うことができます。

また，ポートとしての機能のほかにコントロール・モードとして内蔵周辺I/Oの入出力端子としての機能を持っています。

各ポートのブロック・タイプのブロック図については，(3) **ポートのブロック図**を参照してください。

ポート名	端子名	ポート機能	コントロール・モード時の機能	ブロック・タイプ
ポート0	P00-P05	6ビット入力	NMI入力 タイマ／カウンタ出力停止信号入力 外部割り込み入力 A/Dコンバータ（ADC）外部トリガ入力 タイマ3出力停止信号入力	E
ポート1	P10-P12	3ビット入出力	タイマ／カウンタ入出力 外部割り込み入力	B, K
ポート2	P20-P27	8ビット入出力	タイマ／カウンタ入出力 外部割り込み入力	B, K, L
ポート3	P30-P34	5ビット入出力	シリアル・インタフェース入出力（UART0, UART1/CSI1）	A, C, F, G, H
ポート4	P40-P42	3ビット入出力	シリアル・インタフェース入出力（CSI0）	A, C, J
ポートDH	PDH0-PDH5	6ビット入出力	外部アドレス・バス（A16-A21）	N
ポートDL	PDL0-PDL15	16ビット入出力	外部アドレス／データ・バス（AD0-AD15）	M
ポートCT	PCT0, PCT1, PCT4, PCT6	4ビット入出力	外部バス・インタフェース制御信号出力	I
ポートCM	PCM0, PCM1	2ビット入出力	ウエイト挿入信号入力 内部システム・クロック出力	D, I

注意1. **コントロール・モード時に，出力または入出力端子として動作するポートをコントロール・モードに切り替える場合は，必ず次に示す手順で設定を行ってください。**

① **コントロール・モードで出力する信号のインアクティブ・レベルをポート**n**の該当するビットに設定します（**n = 0-4, CM, CS, CT, DH, DL**）**

② **ポート**n**モード・コントロール・レジスタ（**PMCn**）により，コントロール・モードに切り替えます。**

上記の①を行わない場合は，ポート・モードからコントロール・モードに切り替える際にポートn**の内容が一瞬出力されることがあります。**

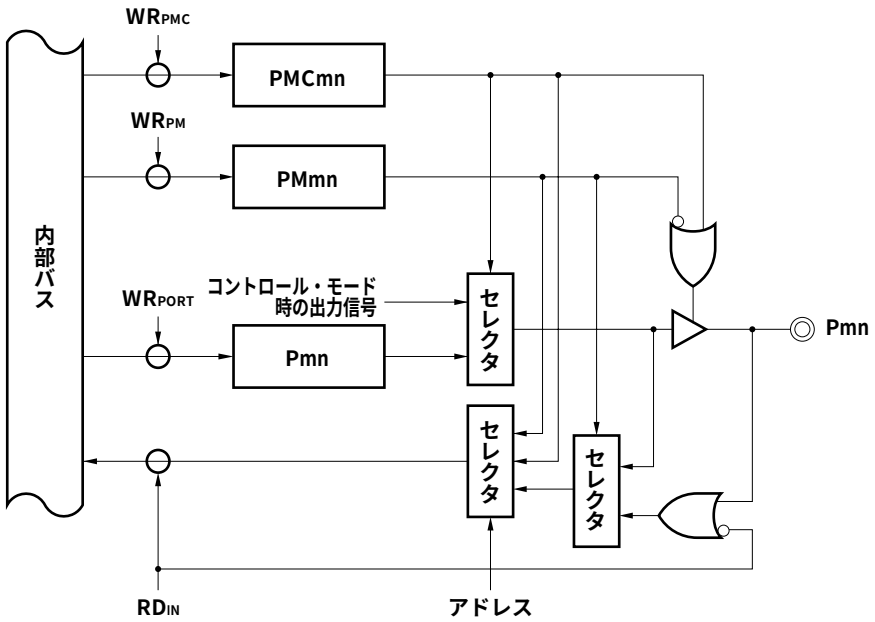
2. **ビット操作命令（**SET1, CLR1, NOT1**）でポート操作を行う場合，ポートに対してバイト・データ・リードを行い，操作対象のビットのみデータの加工を行い，変換後のバイト・データをポートに書き戻します。**
たとえば，入力／出力が混在しているポートでは，操作対象ビット以外のビットにも出力ラッチの内容が上書きされるため，入力端子の出力ラッチは不定になります（ただし，入力モードの場合，出力バッファがオフしているため，端子状態は変化しません）。
したがって，ポートを入力から出力に切り替える場合は，該当するビットに出力期待値を設定してから，出力ポートに切り替えてください。また，コントロール・モードと出力ポートが混在する場合も同様です。
3. **ポート端子の状態は，ポート**n**モード・レジスタ（**PMn**）を入力モードに設定することにより，**PMCn**レジスタの設定にかかわらずリードできます。なお，**PMn**レジスタを出力モードに設定したときは，ポート・モード時はポート**n**レジスタ（**Pn**）の値，コントロール・モード時は兼用機能の出力状態がリードできます。**

(2) 各ポート端子のリセット後の機能とポート／コントロール・モードを設定するレジスタ

ポート名	端子名	リセット後の端子機能		モードを設定するレジスタ
		シングルチップ・モード	ROMレス・モード	
ポート0	P00/NMI	P00（入力モード）		−
	P01/ESO0/INTP0	P01（　〃　）		
	P02/ESO1/INTP1	P02（　〃　）		
	P03/ADTRG0/INTP2	P03（　〃　）		
	P04/ADTRG1/INTP3	P04（　〃　）		
	P05/INTP4/TO3OFF	P05（　〃　）		
ポート1	P10/TIUD10/TO10	P10（入力モード）		PMC1, PFC1
	P11/TCUD10/INTP100	P11（　〃　）		PMC1
	P12/TCLR10/INTP101	P12（　〃　）		
ポート2	P20/TI2/INTP20	P20（入力モード）		PMC2
	P21/TO21/INTP21	P21（　〃　）		PMC2, PFC2
	P22/TO22/INTP22	P22（　〃　）		
	P23/TO23/INTP23	P23（　〃　）		
	P24/TO24/INTP24	P24（　〃　）		
	P25/TCLR2/INTP25	P25（　〃　）		PMC2
	P26/TI3/TCLR3/INTP30	P26（　〃　）		
	P27/TO3/INTP31	P27（　〃　）		PMC2, PFC2
ポート3	P30/RXD0	P30（入力モード）		PMC3
	P31/TXD0	P31（　〃　）		
	P32/RXD1/SI1	P32（　〃　）		
	P33/TXD1/SO1	P33（　〃　）		
	P34/$\overline{\text{ASCK1}}$/$\overline{\text{SCK1}}$	P34（　〃　）		
ポート4	P40/SI0	P40（入力モード）		PMC4
	P41/SO0	P41（　〃　）		
	P42/$\overline{\text{SCK0}}$	P42（　〃　）		
ポートCM	PCM0/$\overline{\text{WAIT}}$	PCM0（入力モード）	$\overline{\text{WAIT}}$	PMCCM
	PCM1/CLKOUT	PCM1（　〃　）	CLKOUT	
ポートCT	PCT0/$\overline{\text{LWR}}$	PCT0（入力モード）	$\overline{\text{LWR}}$	PMCCT
	PCT1/$\overline{\text{UWR}}$	PCT1（入力モード）	$\overline{\text{UWR}}$	
	PCT4/$\overline{\text{RD}}$	PCT4（入力モード）	$\overline{\text{RD}}$	PMCCT
	PCT6/ASTB	PCT6（入力モード）	ASTB	PMCCT
ポートDH	PDH0/A16-PDH5/A21	PDH0-PDH5（入力モード）	A16-A21	PMCDH
ポートDL	PDL0/AD0-PDL15/AD15	PDL0-PDL15（入力モード）	AD0-AD15	PMCDL

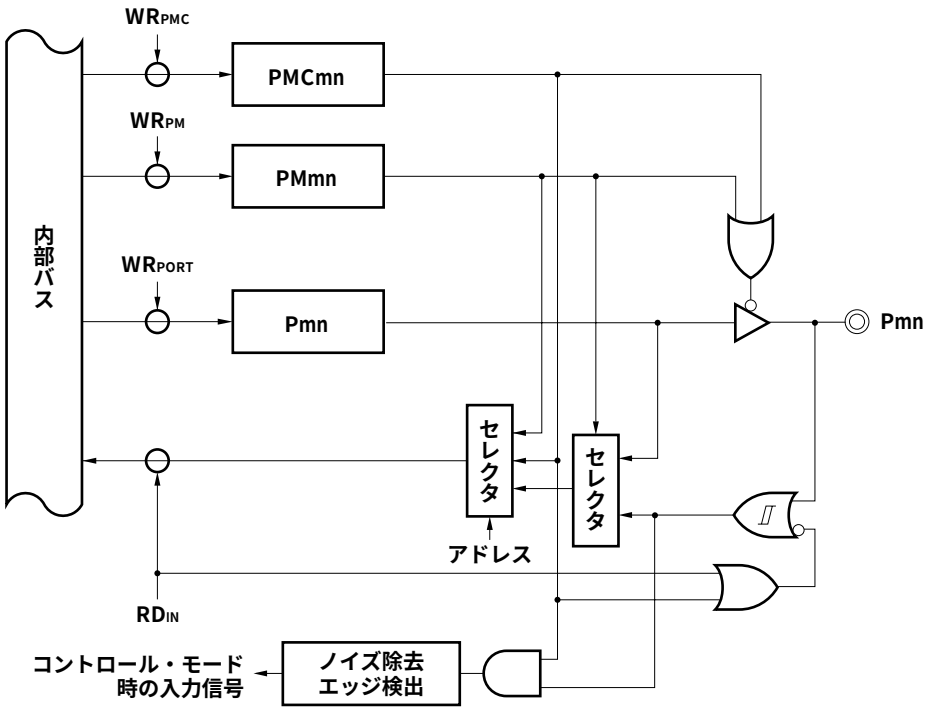
(3) ポートのブロック図

図12－1　タイプAのブロック図



備考　m：ポート番号
　　n：ビット番号

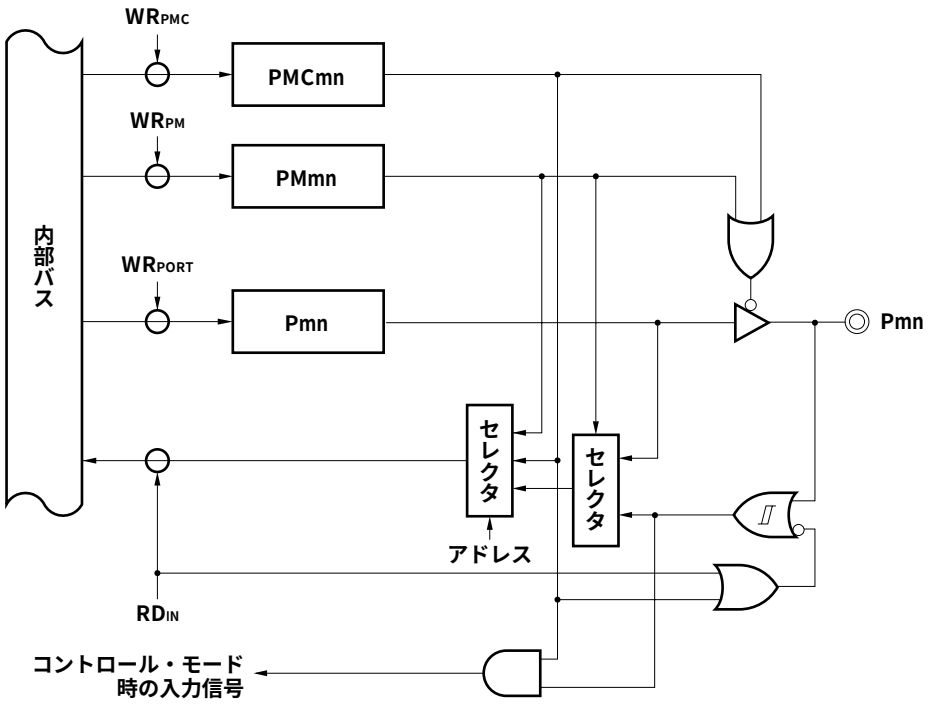
図12－2　タイプBのブロック図



備考　m：ポート番号

n：ビット番号

図12－3　タイプCのブロック図



備考　m：ポート番号

n：ビット番号

図12－4　タイプDのブロック図

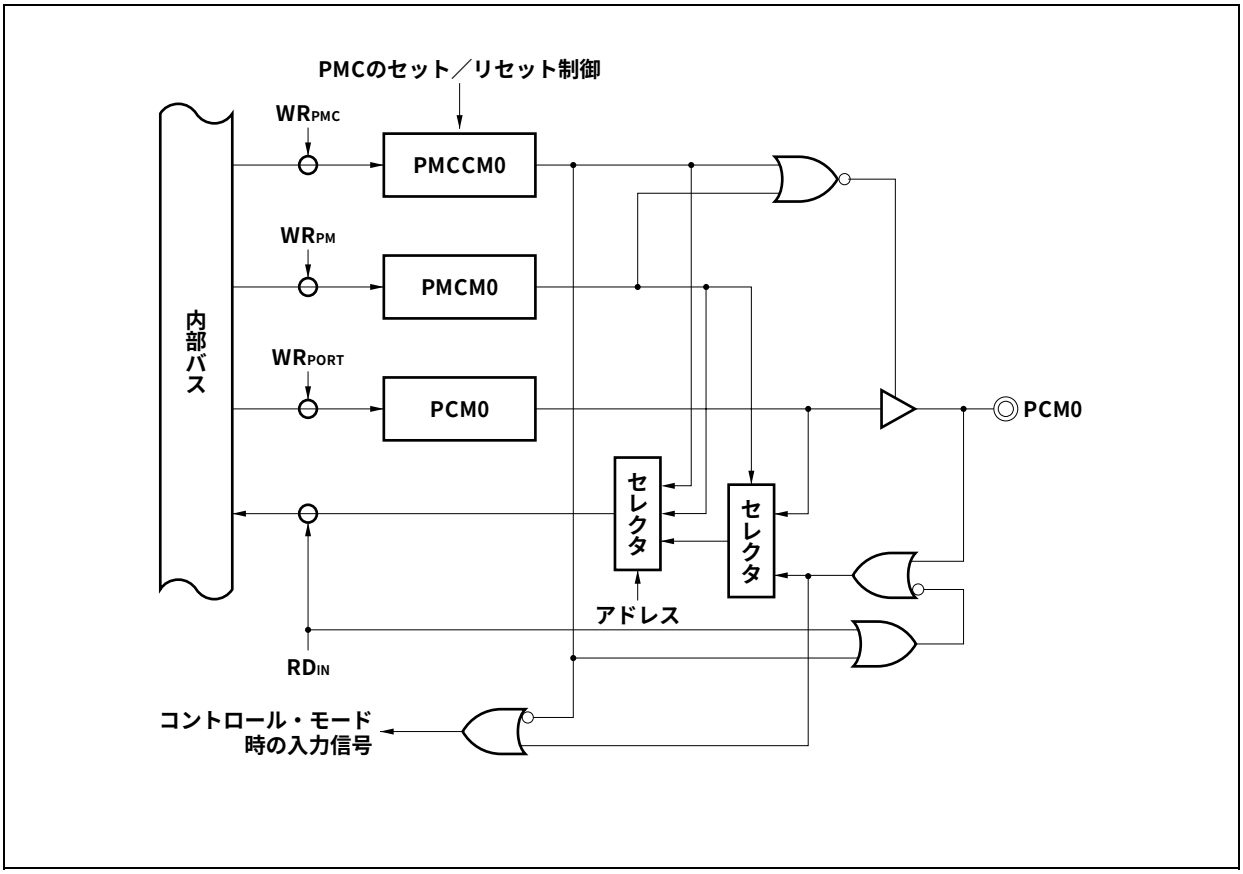
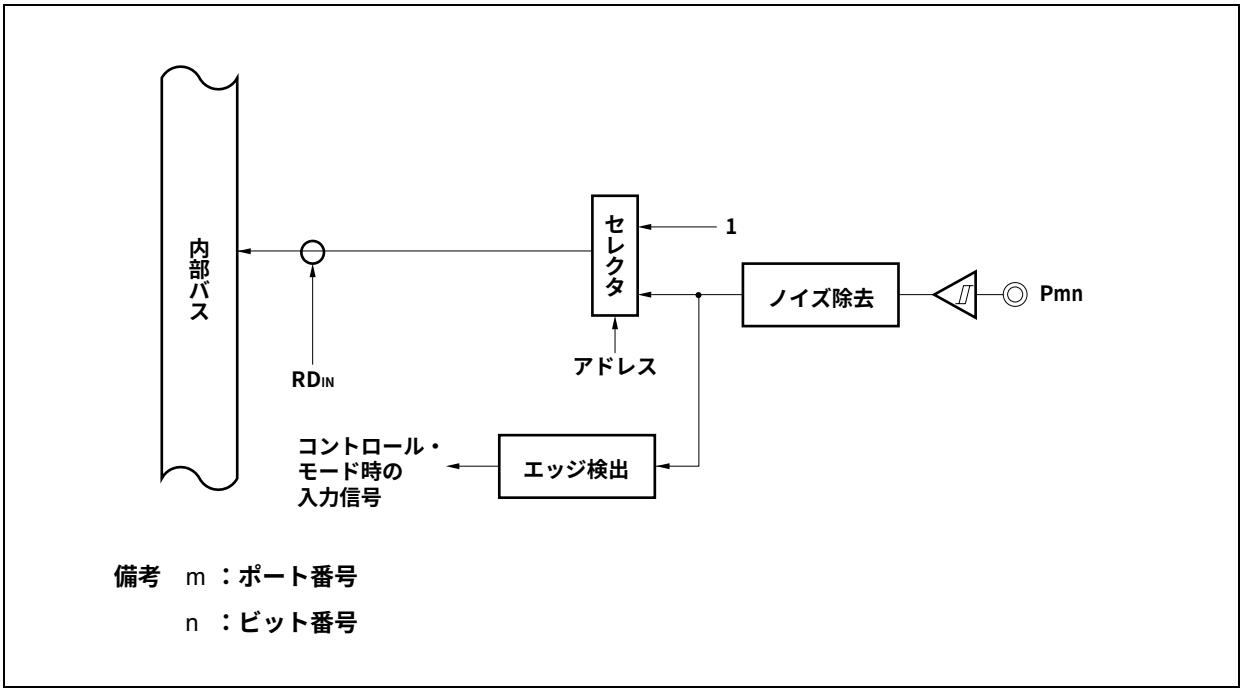


図12－5　タイプEのブロック図



備考　m：ポート番号

n：ビット番号

図12－6　タイプFのブロック図

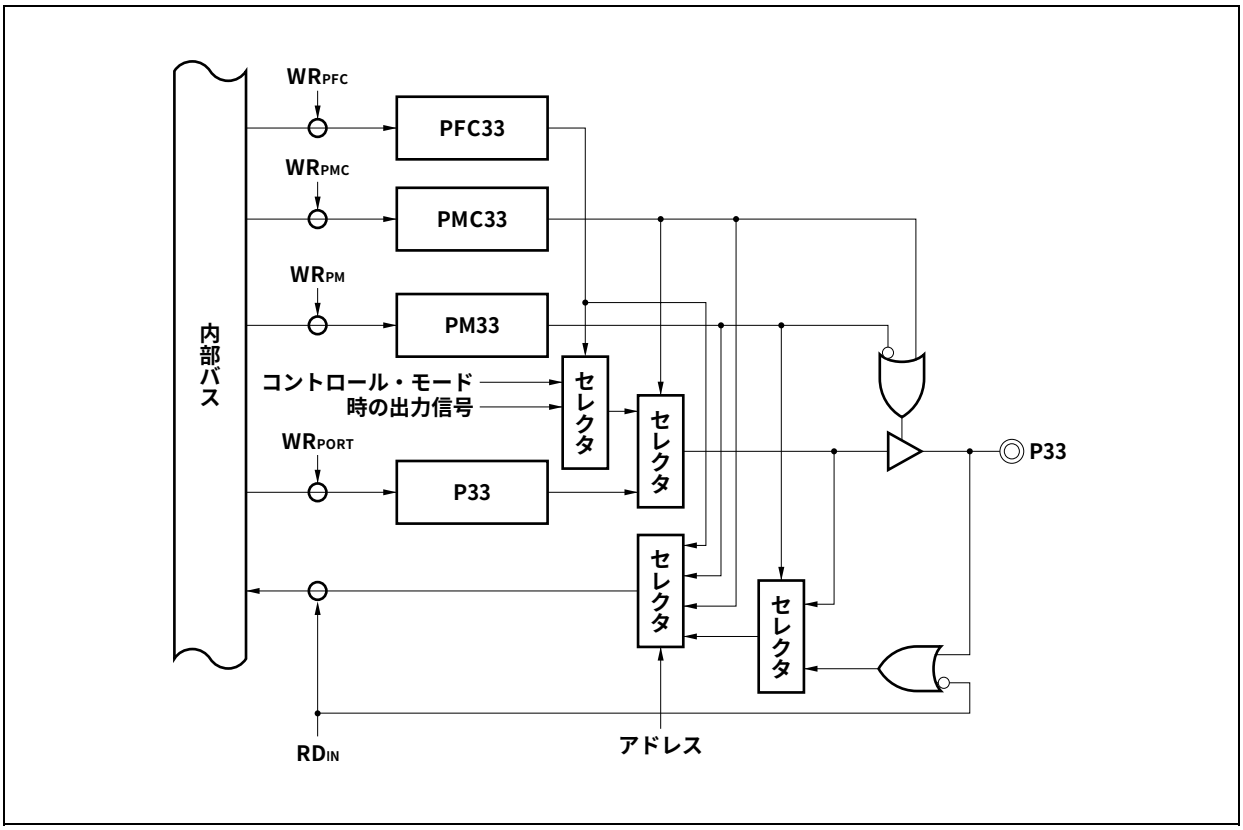
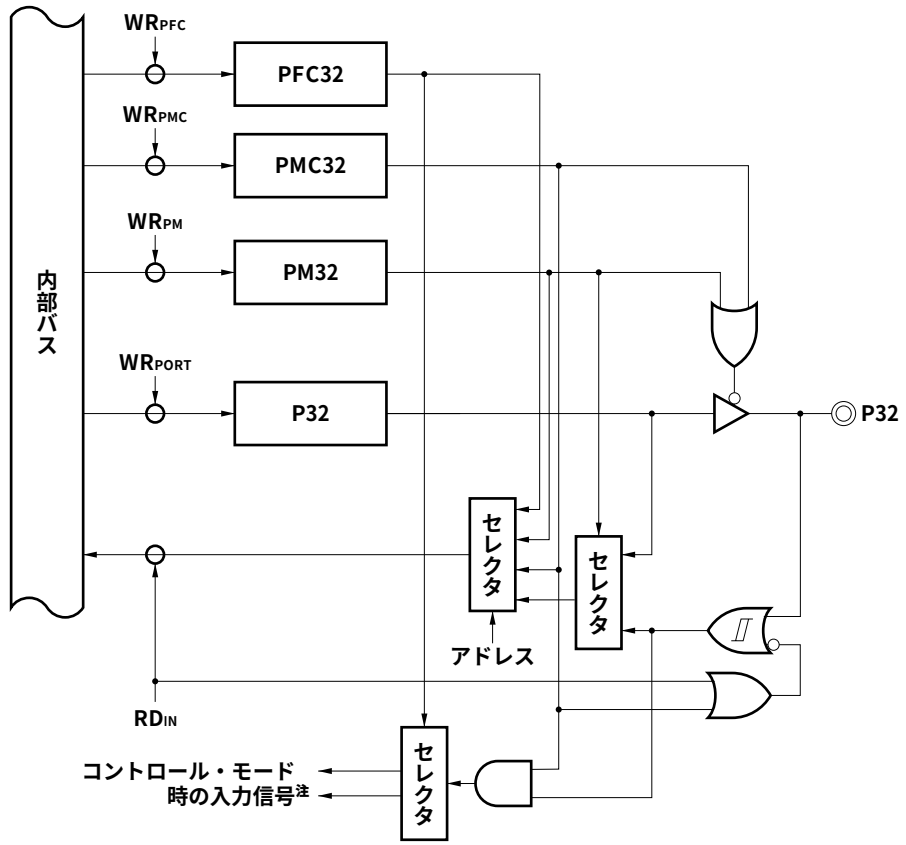


図12－7　タイプGのブロック図



注　コントロール・モード時の入力信号の信号レベルは，次のようになります。

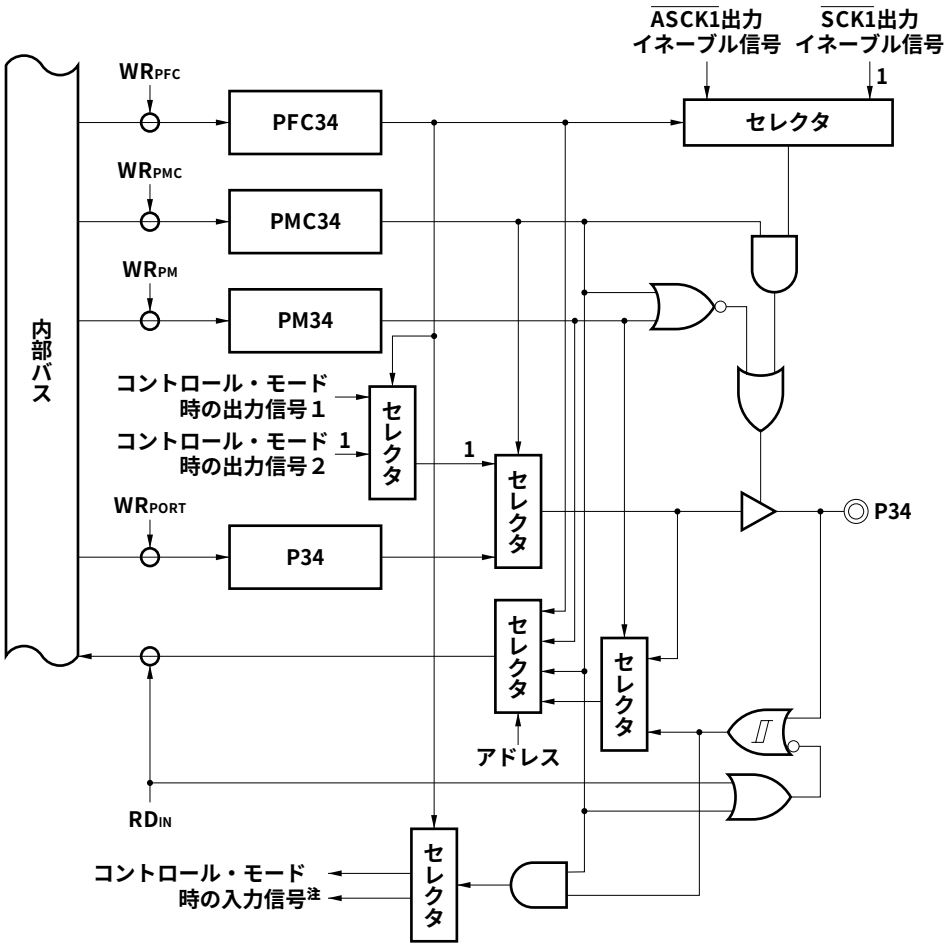
PMC32ビット（PMC3レジスタ）	PFC32ビット（PFC3レジスタ）	コントロール・モード時の入力信号	
		RXD1	SI1
0	×	H	L
1	0	端子レベル	L
1	1	H	端子レベル

H　：ハイ・レベル

L　：ロウ・レベル

×　：任意

図12－8　タイプHのブロック図



注　コントロール・モード時の入力信号の信号レベルは，次のようになります。

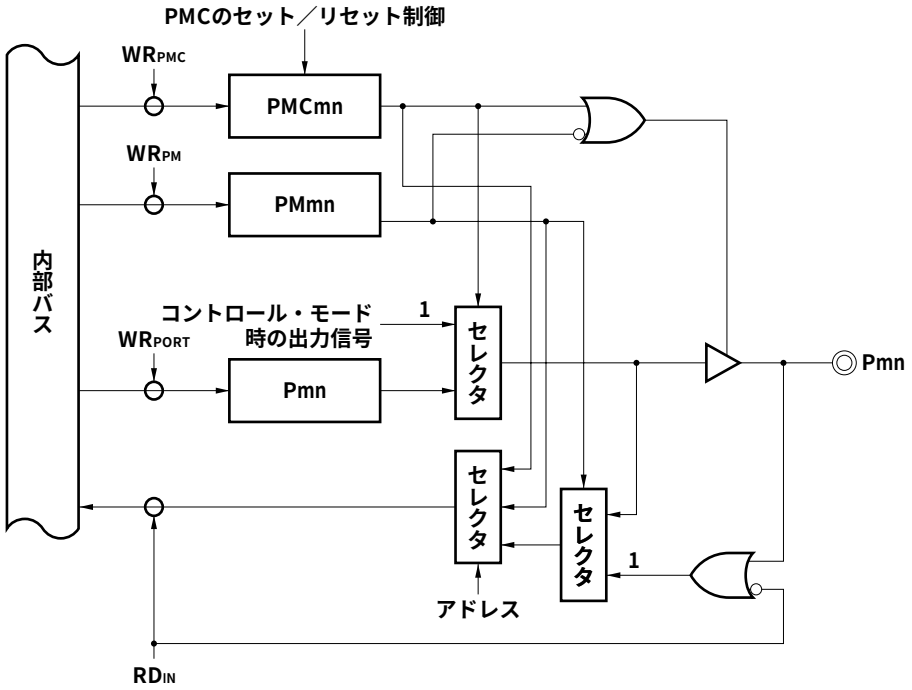
PMC34ビット（PMC3レジスタ）	PFC34ビット（PFC3レジスタ）	コントロール・モード時の入力信号	
		$\overline{\text{ASCK1}}$	$\overline{\text{SCK1}}$
0	×	L	L
1	0	端子レベル	L
1	1	L	端子レベル

H　：ハイ・レベル

L　：ロウ・レベル

×　：任意

図12－9　タイプIのブロック図



備考　m：ポート番号

n：ビット番号

図12－10　タイプJのブロック図

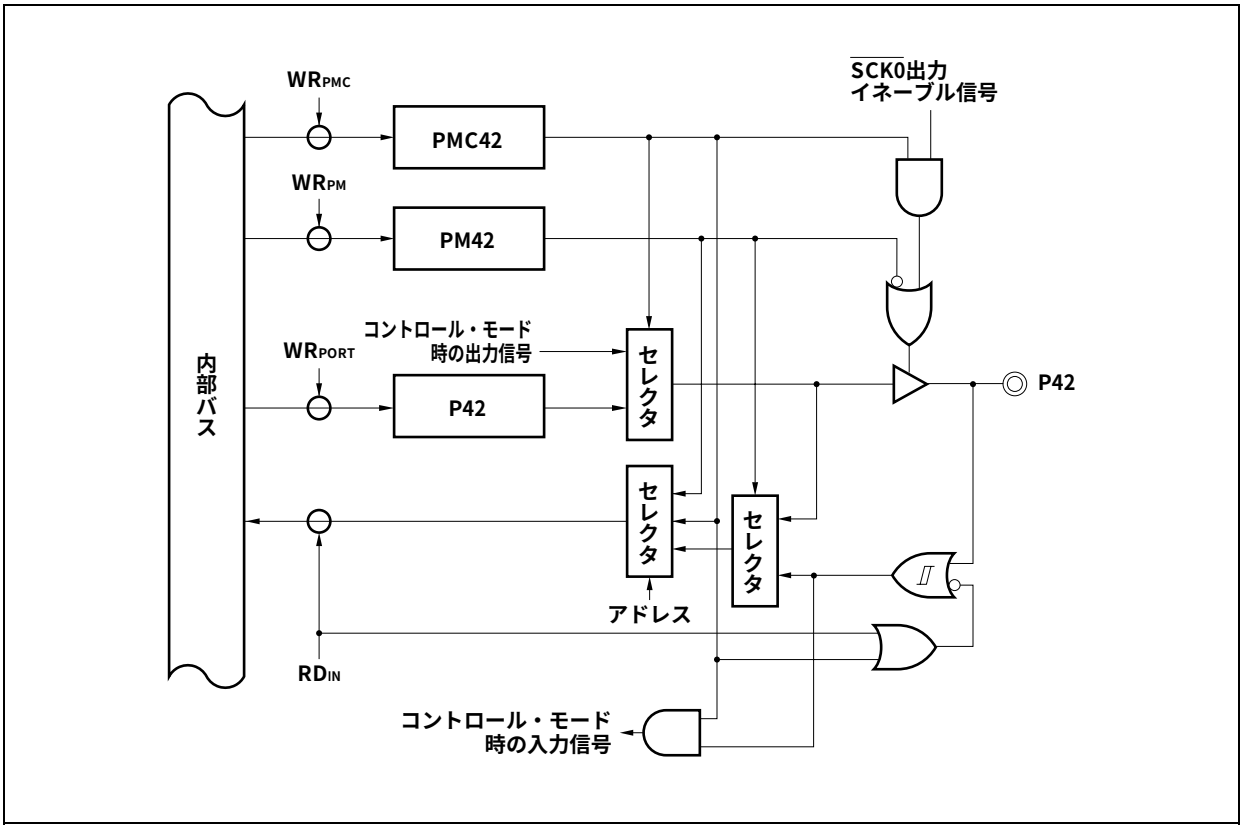
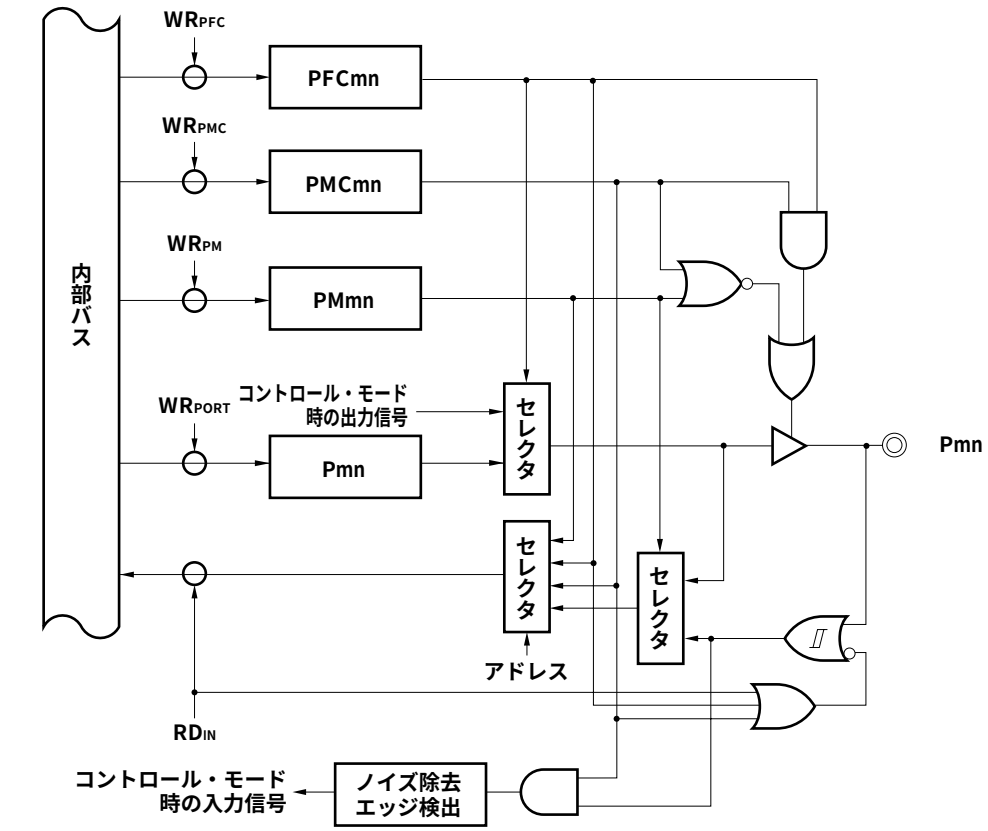


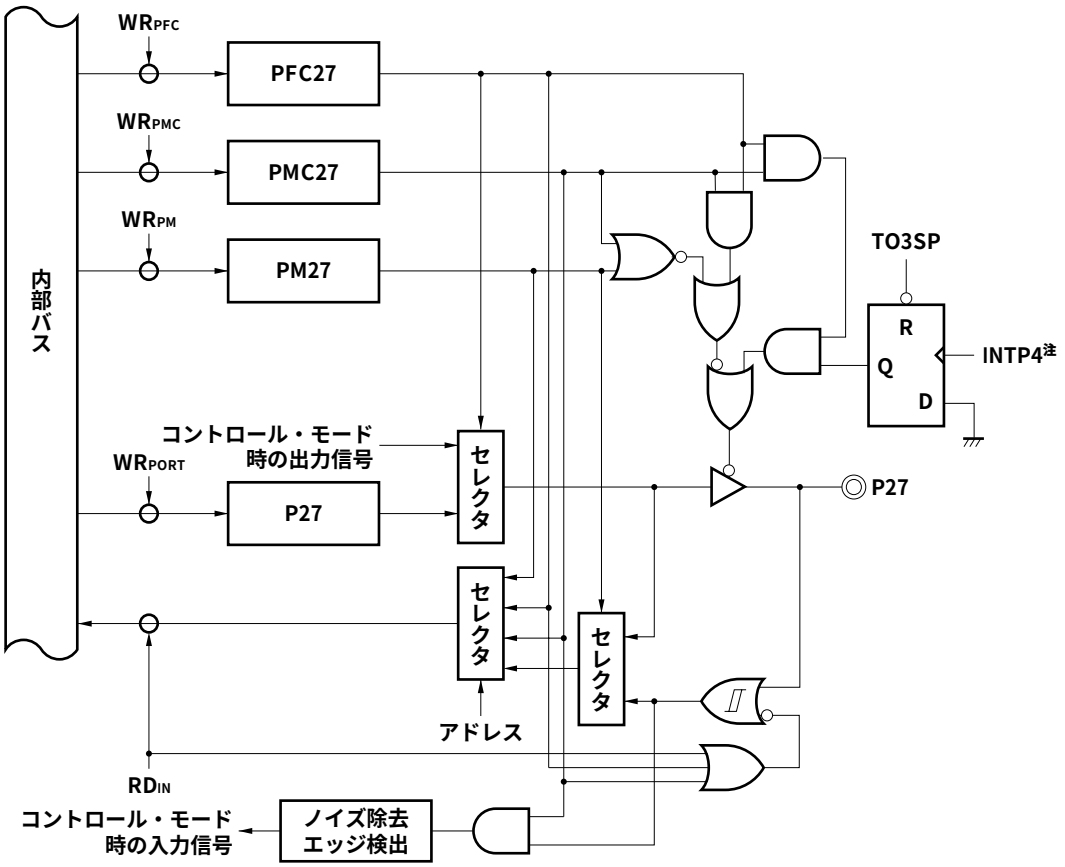
図12－11　タイプKのブロック図



備考　m：ポート番号

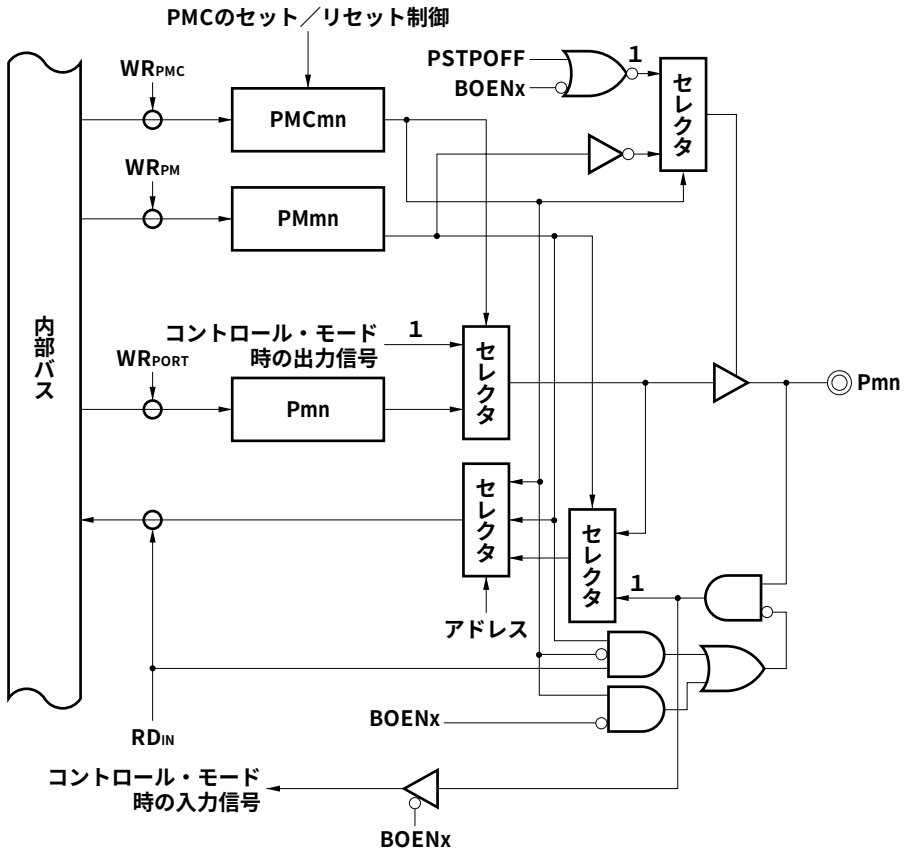
n：ビット番号

図12－12　タイプLのブロック図



注　INTP4端子のエッジ検出後の出力信号

図12－13　タイプMのブロック図



備考1.　m **：ポート番号**

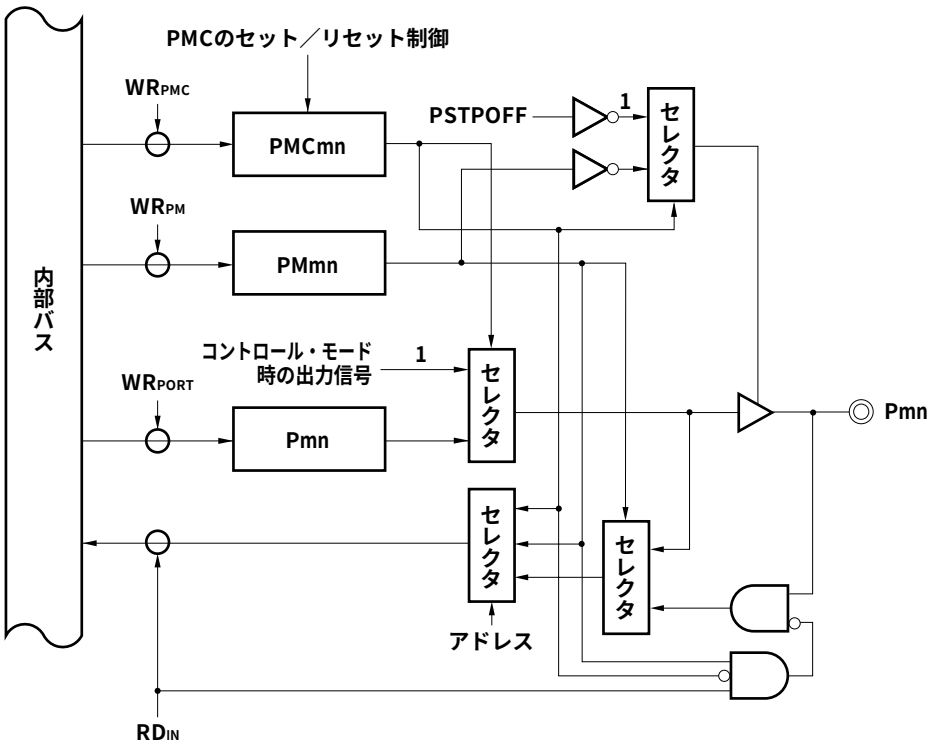
n **：ビット番号**

2.　x = 0, 1

3.　PSTPOFF：IDLE/**ソフトウエア**STOP**モード時の信号**

BOENx　**：**A/D**出力信号**

図12－14　タイプNのブロック図



備考1.　m **：ポート番号**

n **：ビット番号**

2.　PSTPOFF：IDLE/**ソフトウエア**STOP**モード時の信号**

12. 3　各ポートの端子機能

12. 3. 1　ポート0

ポート0は，全端子が入力に固定の6ビット入力専用ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
P0	−	−	P05	P04	P03	P02	P01	P00	FFFFF400H	不定

入力ポートとしての機能のほかに，コントロール・モードではタイマ／カウンタの出力停止信号入力，外部割り込み要求入力，A/Dコンバータ（ADC）の外部トリガ入力，タイマ3出力停止信号入力として動作可能です。

このポートはNMI, ESO0/INTP0, ESO1/INTP1, ADTRG0/INTP2, ADTRG1/INTP3, INTP4/TO3OFFと兼用になっていますが，入力ポートとNMI, ESO0/INTP0, ESO1/INTP1, ADTRG0/INTP2, ADTRG1/INTP3, INTP4/TO3OFFは切り替えられません。またポートの読み出しにより，各端子の状態を読み込めます。

（1）コントロール・モード時の動作

ポート		兼用端子名	備　　考	ブロック・タイプ
ポート0	P00	NMI	ノンマスカブル割り込み要求入力	E
	P01	ESO0/INTP0	タイマ／カウンタ出力停止信号入力／外部割り込み要求入力	
	P02	ESO1/INTP1		
	P03	ADTRG0/INTP2	A/Dコンバータ（ADC）の外部トリガ入力／外部割り込み要求入力	
	P04	ADTRG1/INTP3		
	P05	INTP4/TO3OFF	外部割り込み要求入力／タイマ3出力停止信号入力	

12. 3. 2　ポート1

ポート1は，1ビット単位で入出力を指定できる3ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
P1	－	－	－	－	－	P12	P11	P10	FFFFF402H	不定

ビット位置	ビット名	意　味
2-0	P1n (n = 2-0)	入出力ポート

ポートとしての機能のほかに，コントロール・モードではタイマ／カウンタの入出力，外部割り込み要求入力として動作可能です。

(1) コントロール・モード時の動作

ポート		兼用端子名	備　考	ブロック・タイプ
ポート1	P10	TIUD10/TO10	タイマ／カウンタ入出力	K
	P11	TCUD10/INTP100	タイマ／カウンタ入力／	B
	P12	TCLR10/INTP101	外部割り込み要求入力	

注意　P10-P12は兼用機能の入力時には，ヒステリシス特性をもちますが，ポート・モード時には，ヒステリシス特性をもちません。

(2) 入出力モード／コントロール・モードの設定

ポート1の入出力モードの設定は，ポート1モード・レジスタ（PM1）で行います。また，コントロール・モードの設定は，ポート1モード・コントロール・レジスタ（PMC1）とポート・ファンクション・コントロール・レジスタ1（PFC1）で行います。

(a) ポート1モード・レジスタ（PM1）

8/1ビット単位でリード／ライト可能です。ただし，ビット3-7には1を書き込んでください。

	7	6	5	4	3	2	1	0	アドレス	初期値
PM1	1	1	1	1	1	PM12	PM11	PM10	FFFFF422H	FFH

ビット位置	ビット名	意　味
2-0	PM1n (n = 2-0)	P1n端子の入力／出力のモードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

(b) ポート1モード・コントロール・レジスタ（PMC1）

8/1ビット単位でリード／ライト可能です。ただし，ビット3-7は0を書き込んでください。

注意　PMC11, PMC12ビットは外部割り込み（INTP100, INTP101）と兼用しています。外部割り込みとして使用しない場合には，割り込み要求をマスクしてください（7. 3. 4　割り込み制御レジスタ（xxICn）参照）。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC1	0	0	0	0	0	PMC12	PMC11	PMC10	FFFFF442H	00H

ビット位置	ビット名	意　味
2	PMC12	P12端子の動作モードを指定します。 0：入出力ポート・モード 1：TCLR10入力モード／外部割り込み要求（INTP101）入力モード
1	PMC11	P11端子の動作モードを指定します。 0：入出力ポート・モード 1：TCUD10入力モード／外部割り込み要求（INTP100）入力モード
0	PMC10	P10端子の動作モードを指定します。 0：入出力ポート・モード 1：TIUD10入力モード／TO10出力モード

(c) ポート1ファンクション・コントロール・レジスタ（PFC1）

8/1ビット単位でリード／ライト可能です。ただし，ビット0以外は0を書き込んでください。

注意　ポート1モード・コントロール・レジスタ（PMC1）でポート・モードを指定した場合は，このレジスタの設定は無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFC1	0	0	0	0	0	0	0	PFC10	FFFFF462H	00H

ビット位置	ビット名	意　味
0	PFC10	P10端子のコントロール・モード時の動作モードを指定します。 0：TIUD10入力モード 1：TO10出力モード

12. 3. 3　ポート2

ポート2は，1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
P2	P27	P26	P25	P24	P23	P22	P21	P20	FFFFF404H	不定

ビット位置	ビット名	意　味
7-0	P2n (n = 7-0)	入出力ポート

ポートとしての機能のほかに，コントロール・モードではタイマ／カウンタの入出力，外部割り込み要求入力として動作可能です。

(1) コントロール・モード時の動作

ポート		兼用端子名	備　考	ブロック・タイプ
ポート2	P20	TI2/INTP20	タイマ／カウンタ入力／ 外部割り込み要求入力	B
	P21-P24	TO21/INTP21- TO24/INTP24	タイマ／カウンタ出力／ 外部割り込み要求入力	K
	P25	TCLR2/INTP25	タイマ／カウンタ入力／ 外部割り込み要求入力	B
	P26	TI3/TCLR3/INTP30		
	P27	TO3/INTP31	タイマ／カウンタ出力／ 外部割り込み要求入力	L

注意　P20, P21, P25-P27は兼用機能の入力時には，ヒステリシス特性をもちますが，ポート・モード時には，ヒステリシス特性をもちません。

(2) 入出力モード／コントロール・モードの設定

ポート2の入出力モードの設定は，ポート2モード・レジスタ（PM2）で行います。また，コントロール・モードの設定は，ポート2モード・コントロール・レジスタ（PMC2）とポート2ファンクション・コントロール・レジスタ（PFC2）で行います。

(a) ポート2モード・レジスタ (PM2)

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFFFF424H	FFH

ビット位置	ビット名	意　味
7-0	PM2n (n = 7-0)	P2n端子の入力／出力のモードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

(b) ポート2モード・コントロール・レジスタ (PMC2)

8/1ビット単位でリード／ライト可能です。

注意　PMC20, PMC25, PMC26ビットは外部割り込み（INTP20, INTP25, INTP30）と兼用しています。外部割り込みとして使用しない場合には，割り込み要求をマスクしてください（7. 3. 4　割り込み制御レジスタ（xxICn）参照）。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC2	PMC27	PMC26	PMC25	PMC24	PMC23	PMC22	PMC21	PMC20	FFFFF444H	00H

ビット位置	ビット名	意　味
7	PMC27	P27端子の動作モードを指定します。 0：入出力ポート・モード 1：TO3出力モード／外部割り込み要求（INTP31）入力モード
6	PMC26	P26端子の動作モードを指定します。 0：入出力ポート・モード 1：TI3, TCLR3入力モード／外部割り込み要求（INTP30）入力モード
5	PMC25	P25端子の動作モードを指定します。 0：入出力ポート・モード 1：TCLR2入力モード／外部割り込み要求（INTP25）入力モード
4-1	PMC24- PMC21	P24-P21端子の動作モードを指定します。 0：入出力ポート・モード 1：TO24-TO21出力モード／外部割り込み要求（INTP24-INTP21）入力モード
0	PMC20	P20端子の動作モードを指定します。 0：入出力ポート・モード 1：TI2入力モード／外部割り込み要求（INTP20）入力モード

(c) ポート2ファンクション・コントロール・レジスタ（PFC2）

8/1ビット単位でリード／ライト可能です。ビット0, 5, 6は0を書き込んでください。

注意　ポート2モード・コントロール・レジスタ（PMC2）でポート・モードを指定した場合は，このレジスタの指定は無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFC2	PFC27	0	0	PFC24	PFC23	PFC22	PFC21	0	FFFFF464H	00H

ビット位置	ビット名	意　味
7	PFC27	P27端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求（INTP31）入力モード 1：TO3出力モード
4-1	PFC24- PFC21	P24-P21端子のコントロール・モード時の動作モードを指定します。 0：外部割り込み要求（INTP24-INTP21）入力モード 1：TO24-TO21出力モード

12. 3. 4　ポート3

ポート3は，1ビット単位で入出力を指定できる5ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
P3	－	－	－	P34	P33	P32	P31	P30	FFFFF406H	不定

ビット位置	ビット名	意　味
4-0	P3n (n = 4-0)	入出力ポート

ポートとしての機能のほかに，コントロール・モードではシリアル・インタフェース（UART0, UART1/CSI1）の入出力として動作可能です。

(1) コントロール・モード時の動作

ポート		兼用端子名	備　考	ブロック・タイプ
ポート3	P30	RXD0	シリアル・インタフェース	C
	P31	TXD0	（UART0, UART1/CSI1）用入出力	A
	P32	RXD1/SI1		G
	P33	TXD1/SO1		F
	P34	$\overline{\text{ASCK1}}$/$\overline{\text{SCK1}}$		H

注意　P30, P32, P34は兼用機能の入力時には，ヒステリシス特性をもちますが，ポート・モード時には，ヒステリシス特性をもちません。

(2) 入出力モード／コントロール・モードの設定

ポート3の入出力モードの設定は，ポート3モード・レジスタ（PM3）で行います。また，コントロール・モードの設定は，ポート3モード・コントロール・レジスタ（PMC3）とポート3ファンクション・コントロール・レジスタ（PFC3）で行います。

(a) ポート3モード・レジスタ（PM3）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PM3	1	1	1	PM34	PM33	PM32	PM31	PM30	FFFFF426H	FFH

ビット位置	ビット名	意　味
4-0	PM3n (n = 4-0)	P3n端子の入力／出力のモードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

(b) ポート3モード・コントロール・レジスタ (PMC3)

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC3	0	0	0	PMC34	PMC33	PMC32	PMC31	PMC30	FFFFF446H	00H

ビット位置	ビット名	意　味
4	PMC34	P34端子の動作モードを指定します。 0：入出力ポート・モード 1：$\overline{\text{ASCK1}}$/$\overline{\text{SCK1}}$入出力モード
3	PMC33	P33端子の動作モードを指定します。 0：入出力ポート・モード 1：TXD1/SO1出力モード
2	PMC32	P32端子の動作モードを指定します。 0：入出力ポート・モード 1：RXD1/SI1入力モード
1	PMC31	P31端子の動作モードを指定します。 0：入出力ポート・モード 1：TXD0出力モード
0	PMC30	P30端子の動作モードを指定します。 0：入出力ポート・モード 1：RXD0入力モード

(c) ポート3ファンクション・コントロール・レジスタ（PFC3）

8/1ビット単位でリード／ライト可能です。ただし，ビット2-4以外は0を書き込んでください。

注意　ポート3モード・コントロール・レジスタ（PMC3）でポート・モードを指定した場合は，このレジスタの設定は無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFC3	0	0	0	PFC34	PFC33	PFC32	0	0	FFFFF466H	00H

ビット位置	ビット名	意　味
4	PFC34	P34端子のコントロール・モード時の動作モードを指定します。 0：$\overline{\text{ASCK1}}$入出力モード 1：$\overline{\text{SCK1}}$入出力モード
3	PFC33	P33端子のコントロール・モード時の動作モードを指定します。 0：TXD1出力モード 1：SO1出力モード
2	PFC32	P32端子のコントロール・モード時の動作モードを指定します。 0：RXD1入力モード 1：SI1入力モード

12. 3. 5　ポート4

ポート4は，1ビット単位で入出力を指定できる3ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
P4	－	－	－	－	－	P42	P41	P40	FFFFF408H	不定

ビット位置	ビット名	意　味
2-0	P4n (n = 2-0)	入出力ポート

ポートとしての機能のほかに，コントロール・モードではシリアル・インタフェース（CSI0）の入出力として動作可能です。

(1) コントロール・モード時の動作

ポート		兼用端子名	備　考	ブロック・タイプ
ポート4	P40	SI0	シリアル・インタフェース	C
	P41	SO0	(CSI0) 用入出力	A
	P42	$\overline{\text{SCK0}}$		J

注意　P40, P42は兼用機能の入力時には，ヒステリシス特性をもちますが，ポート・モード時には，ヒステリシス特性をもちません。

(2) 入出力モード／コントロール・モードの設定

ポート4の入出力モードの設定は，ポート4モード・レジスタ（PM4）で行います。また，コントロール・モードの設定は，ポート4モード・コントロール・レジスタ（PMC4）で行います。

(a) ポート4モード・レジスタ（PM4）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PM4	1	1	1	1	1	PM42	PM41	PM40	FFFFF428H	FFH

ビット位置	ビット名	意　味
2-0	PM4n (n = 2-0)	P4n端子の入力／出力のモードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

(b) ポート4モード・コントロール・レジスタ (PMC4)

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC4	0	0	0	0	0	PMC42	PMC41	PMC40	FFFFF448H	00H

ビット位置	ビット名	意　味
2	PMC42	P42端子の動作モードを指定します。 0：入出力ポート・モード 1：$\overline{\text{SCK0}}$入出力モード
1	PMC41	P41端子の動作モードを指定します。 0：入出力ポート・モード 1：SO0出力モード
0	PMC40	P40端子の動作モードを指定します。 0：入出力ポート・モード 1：SI0入力モード

12. 3. 6　ポートDH

ポートDHは，1ビット単位で入出力を指定できる6ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
PDH	－	－	PDH5	PDH4	PDH3	PDH2	PDH1	PDH0	FFFFF006H	不定

ビット位置	ビット名	意　味
5-0	PDHn (n = 5-0)	入出力ポート

ポートとしての機能のほかに，コントロール・モードではメモリを外部に拡張する場合のアドレス・バスとして動作可能です。

(1) コントロール・モード時の動作

ポート		兼用端子名	備　考	ブロック・タイプ
ポートDH	PDH5- PDH0	A21-A16	メモリ拡張時のアドレス・バス	N

(2) 入出力モード／コントロール・モードの設定

ポートDHの入出力モードの設定は，ポートDHモード・レジスタ（PMDH）で行います。また，コントロール・モードの設定は，ポートDHモード・コントロール・レジスタ（PMCDH）で行います。

(a) ポートDHモード・レジスタ（PMDH）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMDH	1	1	PMDH5	PMDH4	PMDH3	PMDH2	PMDH1	PMDH0	FFFFF026H	FFH

ビット位置	ビット名	意　味
5-0	PMDHn (n = 5-0)	PDHn端子の入力／出力のモードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

(b) ポートDH**モード・コントロール・レジスタ (**PMCDH**)**

8/1**ビット単位でリード／ライト可能です。**

注意　ビット7, 6**は次のように設定してください。**

動作モード	ビット7	ビット6
シングルチップ・モード	0	0
ROMレス・モード	1	1

	7	6	5	4	3	2	1	0	アドレス	初期値[注]
PMCDH	PMCDH7	PMCDH6	PMCDH5	PMCDH4	PMCDH3	PMCDH2	PMCDH1	PMCDH0	FFFFF046H	00H/FFH

注　00H：シングルチップ・モードの場合

FFH：ROMレス・モードの場合

ビット位置	ビット名	意　味
5-0	PMCDHn (n = 5-0)	PDHn端子の動作モードを指定します。 0：入出力ポート・モード 1：A21-A16出力モード

12. 3. 7　ポートDL

ポートDLは，1ビット単位で入出力を指定できる16ビット入出力ポートです。

PDLの上位8ビットをPDLH，下位8ビットをPDLLとして使用した場合は，1ビット単位で入出力を指定できる8ビット入出力ポートになります。

	15	14	13	12	11	10	9	8	アドレス	初期値
PDL	PDL15	PDL14	PDL13	PDL12	PDL11	PDL10	PDL9	PDL8	FFFFF005H	不定

	7	6	5	4	3	2	1	0	アドレス
	PDL7	PDL6	PDL5	PDL4	PDL3	PDL2	PDL1	PDL0	FFFFF004H

ビット位置	ビット名	意　味
15-0	PDLn (n = 15-0)	入出力ポート

ポートとしての機能のほかに，コントロール・モードではメモリを外部に拡張する場合のアドレス／データ・バスとして動作可能です。

(1) コントロール・モード時の動作

ポート		兼用端子名	備　考	ブロック・タイプ
ポートDL	PDL15-PDL0	AD15-AD0	メモリ拡張時のアドレス／データ・バス	M

(2) 入出力モード／コントロール・モードの設定

ポートDLの入出力モードの設定は，ポートDLモード・レジスタ（PMDL）で行います。また，コントロール・モードの設定は，ポートDLモード・コントロール・レジスタ（PMCDL）で行います。

(a) ポートDL**モード・レジスタ（**PMDL**）**

PMDL**レジスタは，16ビット単位でリード／ライト可能です。**

PMDL**レジスタの上位8ビットを**PMDLH**レジスタ，下位8ビットを**PMDLL**レジスタとして使用した場合は，8/1ビット単位でリード／ライト可能です。**

	15	14	13	12	11	10	9	8	アドレス	初期値
PMDL	PMDL15	PMDL14	PMDL13	PMDL12	PMDL11	PMDL10	PMDL9	PMDL8	FFFFF025H	FFFFH

7	6	5	4	3	2	1	0	アドレス
PMDL7	PMDL6	PMDL5	PMDL4	PMDL3	PMDL2	PMDL1	PMDL0	FFFFF024H

ビット位置	ビット名	意　味
15-0	PMDLn (n = 15-0)	PDLn**端子の入力／出力のモードを指定します。** 0：**出力モード（出力バッファ・オン）** 1：**入力モード（出力バッファ・オフ）**

(b) ポートDL**モード・コントロール・レジスタ（**PMCDL**）**

PMCDL**レジスタは，16ビット単位でリード／ライト可能です。**

PMCDL**レジスタの上位8ビットを**PMCDLH**レジスタ，下位8ビットを**PMCDLL**レジスタとして使用した場合は，8/1ビット単位でリード／ライト可能です。**

	15	14	13	12	11	10	9	8	アドレス	初期値[注]
PMCDL	PMCDL15	PMCDL14	PMCDL13	PMCDL12	PMCDL11	PMCDL10	PMCDL9	PMCDL8	FFFFF045H	0000H/FFFFH

7	6	5	4	3	2	1	0	アドレス
PMCDL7	PMCDL6	PMCDL5	PMCDL4	PMCDL3	PMCDL2	PMCDL1	PMCDL0	FFFFF044H

注　0000H：**シングルチップ・モードの場合**

FFFFH：ROM**レス・モードの場合**

ビット位置	ビット名	意　味
15-0	PMCDLn (n = 15-0)	PDLn**端子の動作モードを指定します。** 0：**入出力ポート・モード** 1：AD15-AD0**入出力モード**

12. 3. 8　ポートCT

ポートCTは，1ビット単位で入出力を指定できる4ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
PCT	－	PCT6	－	PCT4	－	－	PCT1	PCT0	FFFFF00AH	不定

ビット位置	ビット名	意　味
6, 4, 1, 0	PCTn (n = 6, 4, 1, 0)	入出力ポート

ポートとしての機能のほかに，コントロール・モードではメモリを外部に拡張する場合の制御信号出力として動作可能です。

(1) コントロール・モード時の動作

ポート		兼用端子名	備　考	ブロック・タイプ
ポートCT	PCT0	$\overline{\text{LWR}}$	ライト・ストローブ信号出力	I
	PCT1	$\overline{\text{UWR}}$		
	PCT4	$\overline{\text{RD}}$	リード・ストローブ信号出力	
	PCT6	ASTB	アドレス・ストローブ信号出力	

(2) 入出力モード／コントロール・モードの設定

ポートCTの入出力モードの設定は，ポートCTモード・レジスタ（PMCT）で行います。また，コントロール・モードの設定は，ポートCTモード・コントロール・レジスタ（PMCCT）で行います。

(a) ポートCTモード・レジスタ（PMCT）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCT	1	PMCT6	1	PMCT4	1	1	PMCT1	PMCT0	FFFFF02AH	FFH

ビット位置	ビット名	意　味
6, 4, 1, 0	PMCTn (n = 6, 4, 1, 0)	PCTn端子の入力／出力のモードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

(b) ポートCT**モード・コントロール・レジスタ (**PMCCT**)**

8/1**ビット単位でリード／ライト可能です。**

	7	6	5	4	3	2	1	0	アドレス	初期値[注]
PMCCT	0	PMCCT6	0	PMCCT4	0	0	PMCCT1	PMCCT0	FFFFF04AH	00H/53H

注　00H：**シングルチップ・モードの場合**

53H：ROM**レス・モードの場合**

ビット位置	ビット名	意　味
6	PMCCT6	PCT6**端子の動作モードを指定します。** 0：**入出力ポート・モード** 1：ASTB**出力モード**
4	PMCCT4	PCT4**端子の動作モードを指定します。** 0：**入出力ポート・モード** 1：$\overline{\text{RD}}$**出力モード**
1	PMCCT1	PCT1**端子の動作モードを指定します。** 0：**入出力ポート・モード** 1：$\overline{\text{UWR}}$**出力モード**
0	PMCCT0	PCT0**端子の動作モードを指定します。** 0：**入出力ポート・モード** 1：$\overline{\text{LWR}}$**出力モード**

12. 3. 9　ポートCM

ポートCMは，1ビット単位で入出力を指定できる2ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
PCM	−	−	−	−	−	−	PCM1	PCM0	FFFFF00CH	不定

ビット位置	ビット名	意　味
1, 0	PCMn (n = 1, 0)	入出力ポート

ポートとしての機能のほかに，コントロール・モードではウエイト挿入信号入力，内部システム・クロック出力として動作可能です。

(1) コントロール・モード時の動作

ポート		兼用端子名	備　考	ブロック・タイプ
ポートCM	PCM0	$\overline{\text{WAIT}}$注	ウエイト挿入信号入力	D
	PCM1	CLKOUT	内部システム・クロック出力	I

注　$\overline{\text{WAIT}}$信号は，ROMレス・モードのとき，初期値はコントロール・モードになります。未使用時には必ず非アクティブ・レベルに固定してください。また，ポートとして使用する場合もポートCMモード・コントロール・レジスタ（PMCCM）でポート・モードに設定するまでの期間は，コントロール・モードとして機能しているので，その期間は必ず非アクティブ・レベルにしてください。

(2) 入出力モード／コントロール・モードの設定

ポートCMの入出力モードの設定は，ポートCMモード・レジスタ（PMCM）で行います。また，コントロール・モードの設定は，ポートCMモード・コントロール・レジスタ（PMCCM）で行います。

(a) ポートCMモード・レジスタ（PMCM）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCM	1	1	1	1	1	1	PMCM1	PMCM0	FFFFF02CH	FFH

ビット位置	ビット名	意　味
1, 0	PMCMn (n = 1, 0)	PCMn端子の入力／出力のモードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

(b) ポートCM**モード・コントロール・レジスタ (**PMCCM**)**

8/1**ビット単位でリード／ライト可能です。**

	7	6	5	4	3	2	1	0	アドレス	初期値[注]
PMCCM	0	0	0	0	0	0	PMCCM1	PMCCM0	FFFFF04CH	00H/03H

注　00H：**シングルチップ・モードの場合**

03H：ROM**レス・モードの場合**

ビット位置	ビット名	意　味
1	PMCCM1	PCM1**端子の動作モードを指定します。** 0：**入出力ポート・モード** 1：CLKOUT**出力モード**
0	PMCCM0	PCM0**端子の動作モードを指定します。** 0：**入出力ポート・モード** 1：$\overline{\text{WAIT}}$**入力モード**

12. 4　ポート機能の動作

ポートの動作は，次に示すように入出力モードの設定によって異なります。

12. 4. 1　入出力ポートへの書き込み

(1) 出力モードの場合

ポートnレジスタ（Pn）に書き込むことにより，出力ラッチ（Pn）に値を書き込めます。また，出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

ポートnレジスタ（Pn）に書き込むことにより，出力ラッチ（Pn）に値を書き込めます。しかし，出力バッファがオフしていますので，端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

注意　ビット操作命令（CLR1, SET1, NOT1**）の場合，操作対象は**1**ビットですが，ポートを**8**ビット単位でアクセスします。したがって，入力／出力が混在しているポートでは，操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容がそのときの入力端子の状態に上書きされ，不定になります。**

12. 4. 2　入出力ポートからの読み出し

(1) 出力モードの場合

ポートnレジスタ（Pn）を読み出すことにより，出力ラッチ（Pn）の内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

ポートnレジスタ（Pn）を読み出すことにより，端子の状態が読み出せます。出力ラッチ（Pn）の内容は変化しません。

12. 4. 3　コントロール・モード時の兼用機能の出力状態

ポート端子の状態は，PMCnレジスタの設定に依存せず，ポートnモード・レジスタ（PMn）を入力モードに設定することにより，リードできます。なお，PMnレジスタを出力モードに設定したときは，ポート・モード時はポートnレジスタ（Pn）の値，コントロール・モード時は兼用機能の出力状態がリードできます。

12. 5　ノイズ除去回路

12. 5. 1　割り込み端子

NMI，およびポートのコントロール・モードにおいて有効エッジ入力で動作する端子には，次に示すノイズ除去時間確保のためのタイミング制御回路が付加されています。これらの除去時間未満で変化する信号入力は，内部で受け付けられません。

端子	ノイズ除去時間
P00/NMI P01/ESO0/INTP0, P02/ESO1/INTP1 P03/ADTRG0/INTP2, P04/ADTRG1/INTP3 P05/INTP4/TO3OFF	アナログ・ディレイ（数10 ns）

注意1. 上記のノンマスカブル／マスカブル割り込み端子はスタンバイ・モードの解除に使用します。スタンバイ・モードでは内部システム・クロックは停止しているため，クロック制御のタイミング回路を採用していません。

2. ノイズ除去回路はコントロール・モード時だけ有効です。

12. 5. 2　タイマ10, タイマ3入力端子

タイマ10, タイマ3において有効エッジ入力で動作する端子には，次に示すクロック・サンプリングによるノイズ・フィルタが付いています。これらの除去時間未満で変化する信号入力は，内部で受け付けられません。

端子		ノイズ除去時間	サンプリング・クロック
タイマ10	P10/TIUD10/TO10 P11/TCUD10/INTP100 P12/TCLR10/INTP101	4-5クロック	f_{XXTM10} $f_{XXTM10}/2$ $f_{XXTM10}/4$ $f_{XXTM10}/8$ から選択
タイマ3	P26/TI3/INTP30/TCLR3		$f_{XXTM3}/2$ $f_{XXTM3}/4$ $f_{XXTM3}/8$ $f_{XXTM3}/16$ から選択
	P27/TO3/INTP31		$f_{XXTM3}/32$ $f_{XXTM3}/64$ $f_{XXTM3}/128$ $f_{XXTM3}/256$ から選択

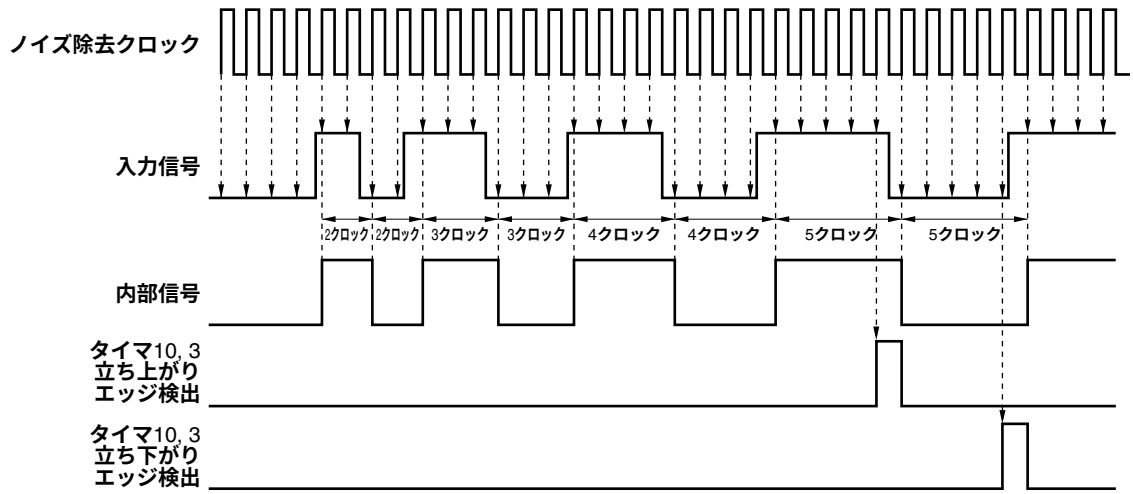
注意1. 上記の端子のノイズ・フィルタはクロック・サンプリングを用いているため，CPUクロック停止時には入力信号を受け付けられません。

2. ノイズ除去回路はコントロール・モード時だけ有効です。

備考　f_{XXTM10} ：PRM02レジスタ（必ず，PRM02 = 01Hに設定）で選択したTM10のクロック

f_{XXTM3} ：PRM03レジスタで選択したTM3のクロック

★ **図12－15　ノイズ除去タイミング例**



注意　タイマ10, 3の入力信号がハイ・レベル（またはロウ・レベル）中にノイズ除去クロックが4回以下の場合は，その入力パルスをノイズとして除去します。5回以上サンプリングした場合は，有効入力としてエッジを検出します。

また，タイマ2をディジタル・フィルタに設定した場合も同様のタイミングでノイズ除去動作を行います。

(1) タイマ10ノイズ除去時間選択レジスタ（NRC10）

NRC10レジスタにより，タイマ10入力端子のノイズ除去時間のクロック・ソースを設定します。

8/1ビット単位でリード／ライト可能です。

注意　TMC10レジスタのTM1CE0ビット = 1（カウント動作許可）でノイズ除去機能が動作を開始します。

	7	6	5	4	3	2	1	0	アドレス	初期値
NRC10	0	0	0	0	0	0	NRC101	NRC100	FFFFF5F8H	00H

ビット位置	ビット名	意　味
1, 0	NRC101, NRC100	TIUD10/TO10, TCUD10/INTP100, TCLR10/INTP101端子のノイズ除去クロックを選択します。

NRC101	NRC100	ノイズ除去クロック
0	0	$f_{XXTM10}/8$
0	1	$f_{XXTM10}/4$
1	0	$f_{XXTM10}/2$
1	1	f_{XXTM10}

備考　f_{XXTM10}：PRM02レジスタ（必ず，PRM02 = 01Hに設定）で選択したTM10のクロック

(2) タイマ3ノイズ除去時間選択レジスタ (NRC3)

NRC3レジスタにより，タイマ3入力端子のノイズ除去時間のクロック・ソースを設定します。

8/1ビット単位でリード／ライト可能です。

注意　TMC30レジスタのTM3CEビット = 1（カウント動作許可）でノイズ除去機能が動作を開始します。

	7	6	5	4	3	2	1	0	アドレス	初期値
NRC3	0	0	0	0	NRC33	NRC32	NRC31	NRC30	FFFFF698H	00H

ビット位置	ビット名	意　味
3, 2	NRC33, NRC32	TO3/INTP31端子のノイズ除去クロックを選択します。 NRC33 / NRC32 / ノイズ除去クロック 0 / 0 / f_{XXTM3}/256 0 / 1 / f_{XXTM3}/128 1 / 0 / f_{XXTM3}/64 1 / 1 / f_{XXTM3}/32 **備考**　f_{XXTM3}：PRM03レジスタで選択したTM3のクロック
1, 0	NRC31, NRC30	TI3/INTP30/TCLR3端子のノイズ除去クロックを選択します。 NRC31 / NRC30 / ノイズ除去クロック 0 / 0 / f_{XXTM3}/16 0 / 1 / f_{XXTM3}/8 1 / 0 / f_{XXTM3}/4 1 / 1 / f_{XXTM3}/2 **備考**　f_{XXTM3}：PRM03レジスタで選択したTM3のクロック

12. 5. 3　タイマ2入力端子

タイマ2の入力端子にはアナログ・フィルタによるノイズ除去回路と，クロック・サンプリングによるディジタル・フィルタが付加されています。これらの除去時間未満で変化する信号入力は，内部で受け付けられません。

端子	アナログ・フィルタ	ディジタル・フィルタ	
	ノイズ除去時間	ノイズ除去時間	サンプリング・クロック
P20/TI2/INTP20 P21/TO21/INTP21-P24/TO24/INTP24 P25/TCLR2/INTP25	数10 ns	4-5クロック	f_{XXTM2}

注意1. ディジタル・フィルタを選択した場合にはクロック・サンプリングを用いているため，CPUクロック停止時には入力信号を受け付けられません。

2. ノイズ除去回路はコントロール・モード時だけ有効です。

3. ノイズ除去回路例は，図12－15を参照してください。

備考　f_{XXTM2}：PRM02レジスタ（必ず，PRM02 = 01Hに設定）で選択したTM20, TM21のクロック

(1) タイマ2入力フィルタ・モード・レジスタ0-5**（**FEM0-FEM5**）**

FEMn**レジスタにより，タイマ**2**入力端子のフィルタ指定，ノイズ除去時間のクロック・ソースおよび入力有効エッジを設定します。**

8/1**ビット単位でリード／ライト可能です。**

注意1. **タイマ**2**を使用しないで**TI2/INTP20, TO21/INTP21, TO22/INTP22, TO23/INTP23, TO24/INTP24, TCLR2/INTP25**端子をそれぞれ**INTP20, INTP21, INTP22, INTP23, INTP24, INTP25**として使用する場合でも，タイマ**2**クロック停止レジスタ**0**（**STOPTE0**）の**STFTE**ビットを必ずクリア（**0**）してから使用してください。**

2. INTP2n**端子のトリガ・モードを設定する場合は，**PMC2**レジスタを設定したあとで行ってください。**FEMn**レジスタを設定したあとで**PMC2**レジスタの設定を行うと，**PMC2**レジスタの設定タイミングで不正な割り込みが発生することがあります（**n = 0-5**）。**

3. TCRE0**レジスタの**CEEn**ビット** = 1**（カウント動作許可）でノイズ除去機能が動作を開始します。**

（1/2）

	7	6	5	4	3	2	1	0	アドレス	初期値
FEM0	DFEN00	0	0	0	EDGE010	EDGE000	TMS010	TMS000	FFFFF630H	00H
					INTP20					
FEM1	DFEN01	0	0	0	EDGE011	EDGE001	TMS011	TMS001	FFFFF631H	00H
					INTP21					
FEM2	DFEN02	0	0	0	EDGE012	EDGE002	TMS012	TMS002	FFFFF632H	00H
					INTP22					
FEM3	DFEN03	0	0	0	EDGE013	EDGE003	TMS013	TMS003	FFFFF633H	00H
					INTP23					
FEM4	DFEN04	0	0	0	EDGE014	EDGE004	TMS014	TMS004	FFFFF634H	00H
					INTP24					
FEM5	DFEN05	0	0	0	EDGE015	EDGE005	TMS015	TMS005	FFFFF635H	00H
					INTP25					

ビット位置	ビット名	意　味
7	DFEN0n	INTP2n**端子のフィルタを指定します。** 0**：アナログ・フィルタ** 1**：ディジタル・フィルタ** **注意**　DFEN0n**ビット** = 1**のとき，ディジタル・フィルタのサンプリング・クロックは**f_{XXTM2}**（**PRM02**レジスタで選択したクロック）となります。**

備考　n = 0-5

(2/2)

ビット位置	ビット名	意　味
3, 2	EDGE01n, EDGE00n	INTP2n端子の有効エッジを指定します。 EDGE01n / EDGE00n / 動　作 0 / 0 / INTCC2nによる割り込み[注] 0 / 1 / 立ち上がりエッジ 1 / 0 / 立ち下がりエッジ 1 / 1 / 立ち上がり／立ち下がり両エッジ **注**　TM20, TM21とサブチャネルのコンペア・レジスタ（TMS01n, TMS00nビットの設定）の一致によりINTCC2nを選択する場合に設定します（n = 0-5）。
1, 0	TMS01n, TMS00n	キャプチャ入力を選択します[注]。 TMS01n / TMS00n / 動　作 0 / 0 / 端子として使用 0 / 1 / ディジタル・フィルタ（ノイズ除去回路の指定） 1 / 0 / タイマによるサブチャネル1へのキャプチャ 1 / 1 / タイマによるサブチャネル2へのキャプチャ **注**　INTCM100, INTCM101によるキャプチャ入力の選択は，FEM1, FEM2レジスタのみです。FEMmレジスタのTMS01m, TMS00mビット値には，00Bまたは01Bを設定してください。これ以外の設定は禁止します（m = 1, 3-5）。 タイマ2のサブチャネル1，サブチャネル2は，INTP21, INTP22とINTCM100, INTCM101によるキャプチャが可能です。 次に例を示します。 (a) サブチャネル1をINTCM101でキャプチャする場合 FEM1レジスタ = xxxxxx10B TMIC0レジスタ = 00000010B (b) サブチャネル2をINTCM101でキャプチャする場合 FEM2レジスタ = xxxxxx11B TMIC0レジスタ = 00001000B

備考　n = 0-5

12. 6　注意事項

12. 6. 1　ヒステリシス特性について

ポート・モードでは，次のポートはヒステリシス特性をもちません。

P10-P12

P20, P21, P25-P27

P30, P32, P34

P40, P42

第13章　リセット機能

$\overline{\text{RESET}}$端子にロウ・レベルが入力されるとシステム・リセットがかかり，V850E/IA2の各ハードウエアは初期状態にイニシャライズされます。

$\overline{\text{RESET}}$端子がロウ・レベルからハイ・レベルになると，リセット状態が解除され，CPUはプログラムの実行を開始します。各種レジスタの内容は，プログラムの中で必要に応じてイニシャライズしてください。

13. 1　特　　徴

○リセット端子（$\overline{\text{RESET}}$）にアナログ・ディレイ（　60 ns）によるノイズ除去

13. 2　端子機能

システム・リセット期間中は，ほとんどの端子出力（CLKOUT[注], $\overline{\text{RESET}}$, X2, V_{DD}, V_{SS}, V_{SS3}, CV_{SS}, RV_{DD}, REGOUT, REGIN, AV_{DD0}, AV_{DD1}, AV_{SS0}, AV_{SS1}端子を除く全端子）がハイ・インピーダンスになります。

したがって，たとえば外部にメモリを接続している場合は，ポートDH, DL, CT, CMの各端子にプルアップ（またはプルダウン）抵抗を付ける必要があります。抵抗がない場合，これらの端子がハイ・インピーダンスになると接続している外部メモリを破壊する可能性があります。

同様に，内蔵の周辺I/O機能の信号出力，出力ポートにおいても，影響がないよう端子の処理を行ってください。

注　ROMレス・モードでは，リセット期間中でもCLKOUT信号を出力します。シングルチップ・モードでは，PMCCMレジスタを設定するまでCLKOUT信号を出力しません。

リセット期間中の各端子の動作状態を表13－1に示します。

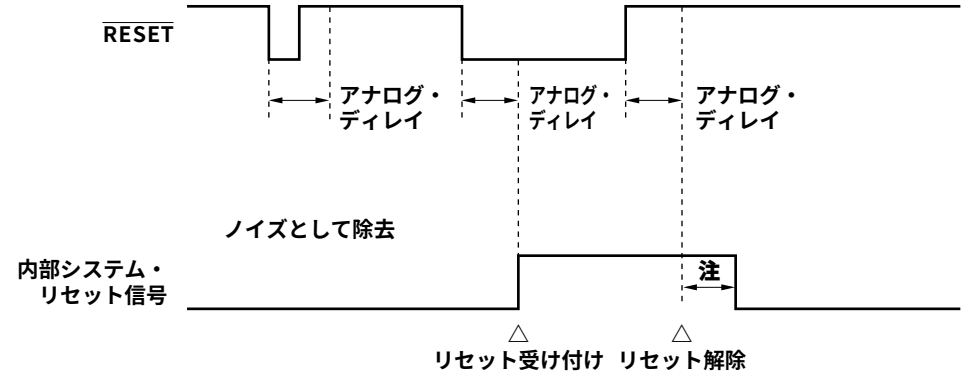
表13－1　リセット期間中の各端子の動作状態

端子名		端子状態	
		シングルチップ・モードのとき	ROMレス・モードのとき
外部アクセス端子	A16-A21, AD0-AD15, $\overline{\text{LWR}}$, $\overline{\text{UWR}}$, $\overline{\text{RD}}$, ASTB, $\overline{\text{WAIT}}$	ハイ・インピーダンス（入力ポート・モード）	ハイ・インピーダンス
	CLKOUT	ハイ・インピーダンス（入力ポート・モード）	動作
ポート端子[注]	ポート0-4	ハイ・インピーダンス（入力ポート・モード）	
	ポートCM, CT, DH, DL	ハイ・インピーダンス（入力ポート・モード）	外部アクセス端子を参照（コントロール・モード）
専用機能端子	TO0n0-TO0n5（タイマ0出力専用端子）	ハイ・インピーダンス	
	ANI00-ANI05, ANI10-ANI17（A/Dコンバータ入力専用端子）	ハイ・インピーダンス（A/Dコンバータ入力）	

注　ポートと兼用しているコントロール端子名は省略しています。

備考　n = 0, 1

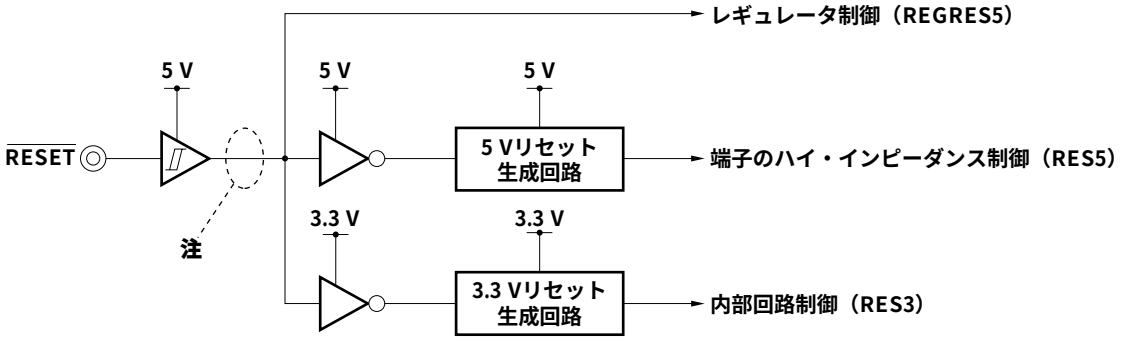
(1) リセット信号の受け付け



注　内部システム・リセット信号は，$\overline{\text{RESET}}$端子によるリセット解除タイミング後，最小4システム・クロック期間，アクティブ状態を継続します。

(2) パワーオン時のリセット

①リセット回路



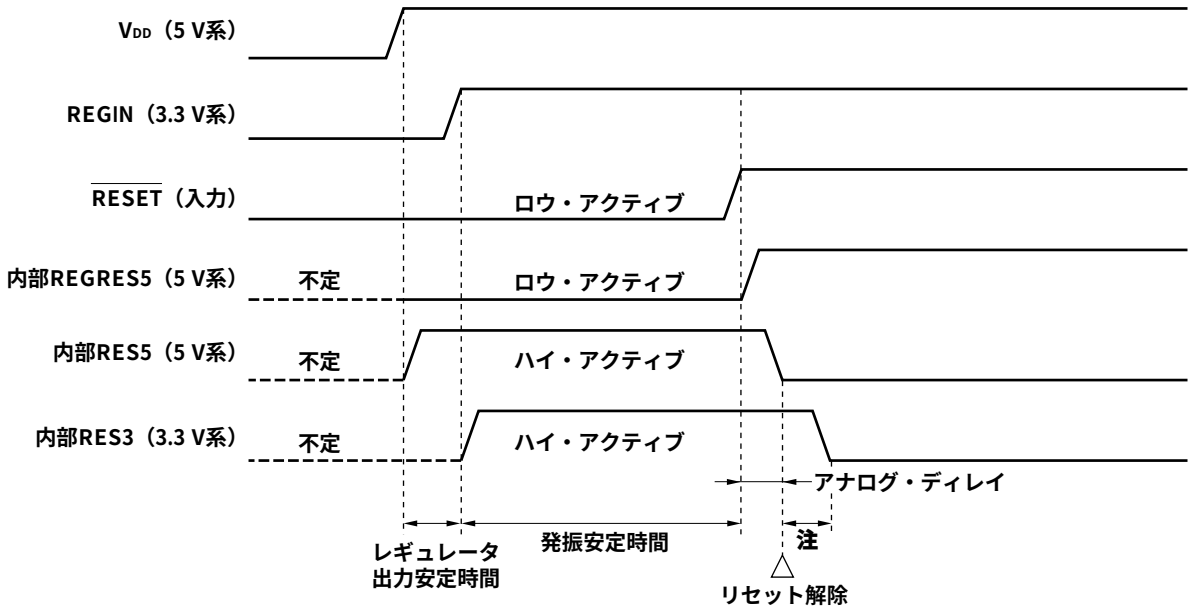
注　最初に5 V電源を投入してください。5 V電源が投入されないとここのレベルが決まらないため，リセットされません。

注意　電源投入の順序は次のようになります。

①5 V系電源

②3.3 V系電源

②リセット・タイミング



注　内部システム・リセット信号は，RESET端子によるリセット解除タイミング後，最小4システム・クロック期間，アクティブ状態を継続します。

③説　　明

パワーオン（電源投入）時のリセット動作では，$\overline{\text{RESET}}$**信号のロウ・レベル幅により，電源の立ち上がりからリセット受け付けまで「レギュレータ出力安定時間＋発振安定時間」を確保する必要があります。**

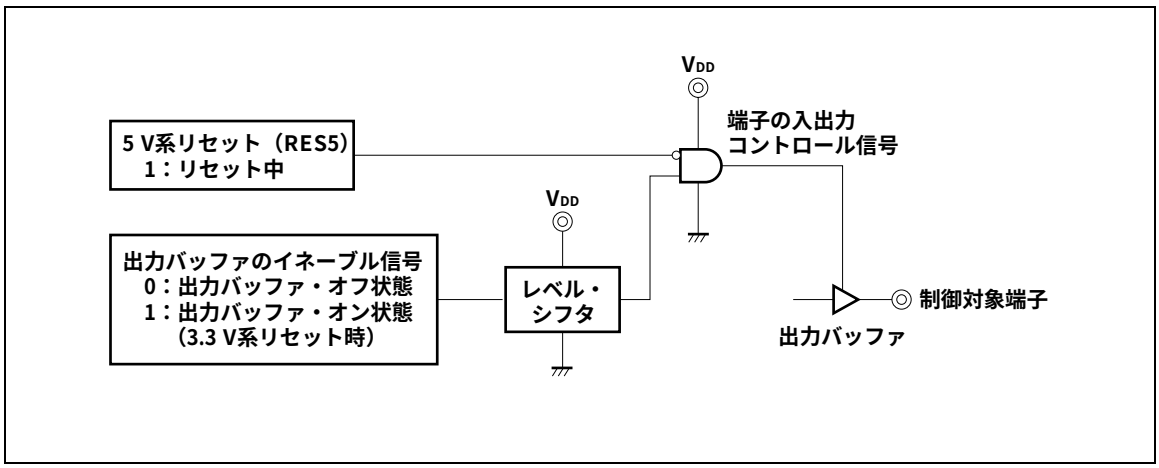
注意1. V850E/IA2**はレギュレータを搭載しており，**5 V**系電源から**3.3 V**系電源を生成します。したがって，電源投入順序は**5 V**系電源立ち上がり後，レギュレータ出力安定時間を経過してから**3.3 V**系電源が立ち上がります。また，レギュレータをオフして外部から**2**電源供給する場合でも**5 V**系電源が先に投入されるようにしてください。**

2. V850E/IA2**では，内部リセットされるのは**3.3 V**系電源が供給されてからになります。レギュレータ出力安定時間の期間は**5 V**系電源だけが供給されている状態で，内部リセットされていないため，端子が不定出力する可能性があります。**
V850E/IA2**では，（a）に示す不定出力により応用システムに悪影響を及ぼしそうな端子（主に内蔵タイマの入出力端子）に対してハイ・インピーダンス状態になるような対策を採っています。（（b），（c）参照）。**
一方，対策端子以外は，3.3 V**系電源が供給されないとハイ・インピーダンス状態になりませんので，注意してください。**
また，（a）に示す対策端子であっても，5 V**系電源の立ち上がりが比較的ゆるやかな場合，**5 V**系のリセット（内部**RES5**）がかかるまでの間（電源投入後から**V_{DD}**が約**1.8 V**（参考値）になるまでの間）に不定出力する場合があります。不定出力時間は，電源の立ち上がりの急峻さに依存します。目安として，**5 V**系電源の立ち上がりに数**10 ms**以上かかるシステムの場合，注意が必要です。**

（a）対策端子

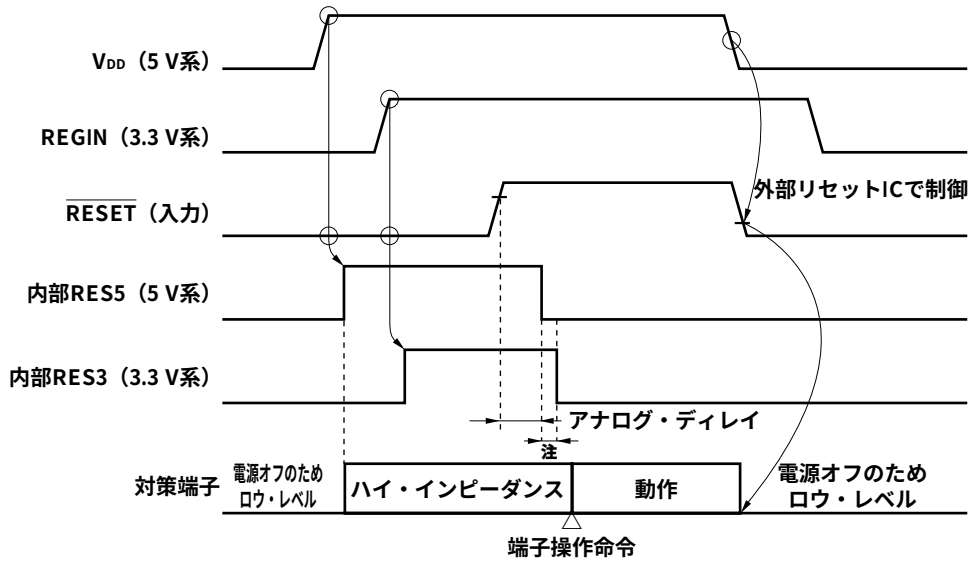
TO000-TO005, TO010-TO015, P10/TO10/TIUD10, P11/INTP100/TCUD10, P12/INTP101/TCLR10, P20/INTP20/TI2, P21/INTP21/TO21, P22/INTP22/TO22, P23/INTP23/TO23, P24/INTP24/TO24, P25/INTP25/TCLR2, P26/TCLR3/INTP30/TI3, P27/INTP31/TO3

（b）対策端子の回路



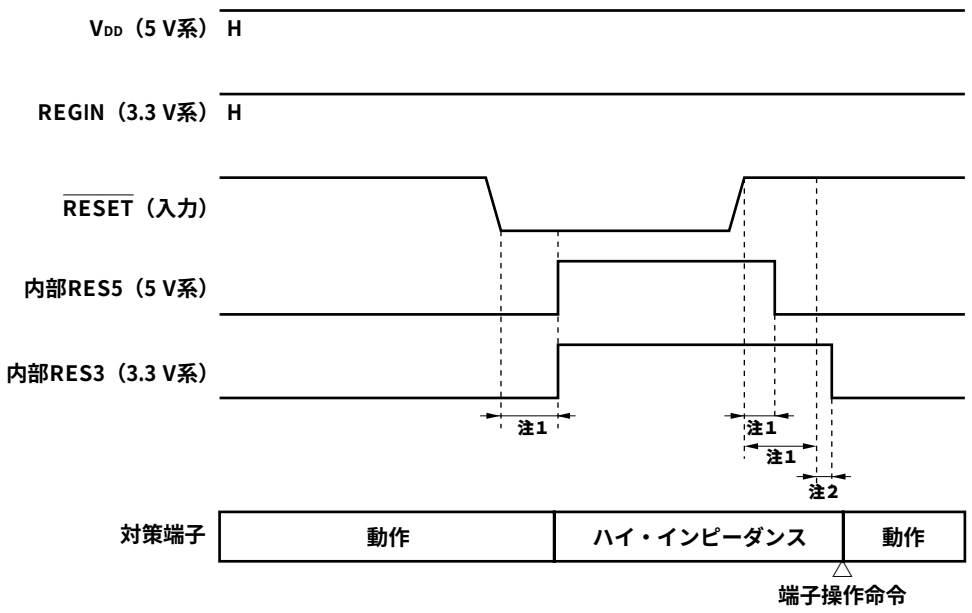
(c) 5 V系／3.3 V系の内部リセット

(i) 電源の立ち上げ／立ち下げ時の動作



注　内部システム・リセット信号は，RESET端子によるリセット解除タイミング後，最小4システム・クロック期間，アクティブ状態を継続します。

(ii) 通常動作中のリセット



注1.　アナログ・ディレイ

2.　内部システム・リセット信号は，RESET端子によるリセット解除タイミング後，最小4システム・クロック期間，アクティブ状態を継続します。

13. 3　イニシャライズ

各レジスタの内容はプログラム中で必要に応じてイニシャライズしてください。

CPU，内蔵RAM，内蔵周辺I/Oのリセット後の初期値を表13－2に示します。

表13－2　CPU，内蔵RAM，内蔵周辺I/Oのリセット後の初期値（1/5）

内蔵ハードウエア		レジスタ名	リセット後の初期値
CPU	プログラム・レジスタ	汎用レジスタ（r0）	00000000H
		汎用レジスタ（r1-r31）	不定
		プログラム・カウンタ（PC）	00000000H
	システム・レジスタ	割り込み時状態退避レジスタ（EIPC, EIPSW）	不定
		NMI時状態退避レジスタ（FEPC, FEPSW）	不定
		割り込み要因レジスタ（ECR）	00000000H
		プログラム・ステータス・ワード（PSW）	00000020H
		CALLT実行時状態退避レジスタ（CTPC, CTPSW）	不定
		例外／デバッグ・トラップ時状態退避レジスタ（DBPC, DBPSW）	不定
		CALLTベース・ポインタ（CTBP）	不定
内蔵RAM		－	不定
内蔵周辺I/O	バス制御機能	チップ・エリア選択コントロール・レジスタn（CSCn）（n = 0, 1）	2C11H
		バス・サイズ・コンフィギュレーション・レジスタ（BSC）	5555H
		システム・ウエイト・コントロール・レジスタ（VSWC）	77H
	メモリ制御機能	バス・サイクル・タイプ・コンフィギュレーション・レジスタn（BCTn）（n = 0, 1）	CCCCH
		データ・ウエイト・コントロール・レジスタn（DWCn）（n = 0, 1）	3333H
		アドレス・ウエイト制御レジスタ（AWC）	0000H
		バス・サイクル・コントロール・レジスタ（BCC）	AAAAH
	DMA機能	DMAソース・アドレス・レジスタnL（DSAnL）（n = 0-3）	不定
		DMAソース・アドレス・レジスタnH（DSAnH）（n = 0-3）	不定
		DMAデスティネーション・アドレス・レジスタnL（DDAnL）（n = 0-3）	不定
		DMAデスティネーション・アドレス・レジスタnH（DDAnH）（n = 0-3）	不定
		DMA転送カウント・レジスタn（DBCn）（n = 0-3）	不定
		DMAアドレシング・コントロール・レジスタn（DADCn）（n = 0-3）	0000H
		DMAチャネル・コントロール・レジスタn（DCHCn）（n = 0-3）	00H
		DMAディスエーブル・ステータス・レジスタ（DDIS）	00H
		DMAリスタート・レジスタ（DRST）	00H
		DMAトリガ要因レジスタn（DTFRn）（n = 0-3）	00H
	割り込み／例外制御機能	インサービス・プライオリティ・レジスタ（ISPR）	00H
		外部割り込みモード・レジスタn（INTMn）（n = 0-2）	00H
		割り込みマスク・レジスタn（IMRn）（n = 0-3）	FFFFH
		割り込みマスク・レジスタnL（IMRnL）（n = 0-3）	FFH
		割り込みマスク・レジスタnH（IMRnH）（n = 0-3）	FFH
		シグナル・エッジ選択レジスタ10（SESA10）	00H
		有効エッジ選択レジスタ（SESC）	00H
		タイマ2入力フィルタ・モード・レジスタn（FEMn）（n = 0-5）	00H

表13－2　CPU，内蔵RAM，内蔵周辺I/Oのリセット後の初期値（2/5）

内蔵ハードウエア		レジスタ名	リセット後の初期値
内蔵周辺I/O	割り込み／例外制御機能	割り込み制御レジスタ（P0IC0-P0IC4, DETIC0, DETIC1, TM0IC0, TM0IC1, TM2IC0, TM2IC1, TM3IC0, CC10IC0, CC10IC1, CC2IC0-CC2IC5, CC3IC0, CC3IC1, CM00IC1, CM01IC1, CM02IC1, CM03IC0, CM03IC1, CM04IC0, CM04IC1, CM05IC0, CM05IC1, CM10IC0, CM10IC1, CM4IC0, DMAIC0-DMAIC3, CSIIC0, CSIIC1, SEIC0, SRIC0, SRIC1, STIC0, STIC1, ADIC0, ADIC1）	47H
	パワー・セーブ制御機能	コマンド・レジスタ（PRCMD）	不定
		パワー・セーブ・コントロール・レジスタ（PSC）	00H
		クロック・コントロール・レジスタ（CKC）	00H
		パワー・セーブ・モード・レジスタ（PSMR）	00H
		ロック・レジスタ（LOCKR）	0000000xB
	システム・コントロール	ペリフェラル・コマンド・レジスタ（PHCMD）	不定
		ペリフェラル・ステータス・レジスタ（PHS）	00H
	タイマ0	デッド・タイム・タイマ・リロード・レジスタn（DTRRn）（n = 0, 1）	0FFFH
		バッファ・レジスタCM0n, CM1n（BFCM0n, BFCM1n）（n = 0-5）	FFFFH
		タイマ・コントロール・レジスタ0n（TMC0n）（n = 0, 1）	0508H
		タイマ・コントロール・レジスタ0nL（TMC0nL）（n = 0, 1）	08H
		タイマ・コントロール・レジスタ0nH（TMC0nH）（n = 0, 1）	05H
		タイマ・ユニット・コントロール・レジスタ0n（TUC0n）（n = 0, 1）	01H
		タイマ出力モード・レジスタn（TOMRn）（n = 0, 1）	00H
		PWMソフトウエア・タイミング出力レジスタn（PSTOn）（n = 0, 1）	00H
		PWM出力イネーブル・レジスタn（POERn）（n = 0, 1）	00H
		TOMR書き込み許可レジスタn（SPECn）（n = 0, 1）	0000H
		タイマ0クロック選択レジスタ（PRM01）	00H
	タイマ1	タイマ10（TM10）	0000H
		コンペア・レジスタ1n（CM1n）（n = 00, 01）	0000H
		キャプチャ／コンペア・レジスタ1n（CC1n）（n = 00, 01）	0000H
		キャプチャ／コンペア・コントロール・レジスタ0（CCR0）	00H
		タイマ・ユニット・モード・レジスタ0（TUM0）	00H
		タイマ・コントロール・レジスタ10（TMC10）	00H
		シグナル・エッジ選択レジスタ10（SESA10）	00H
		プリスケーラ・モード・レジスタ10（PRM10）	07H
		ステータス・レジスタ0（STATUS0）	00H
		タイマ接続選択レジスタ0（TMIC0）	00H
		タイマ1/タイマ2クロック選択レジスタ（PRM02）	00H
		CC101キャプチャ入力選択レジスタ（CSL10）	00H
		タイマ10ノイズ除去時間選択レジスタ（NRC10）	00H
	タイマ2	タイマ2クロック停止レジスタ0（STOPTE0）	0000H
		タイマ2クロック停止レジスタ0L（STOPTE0L）	00H
		タイマ2クロック停止レジスタ0H（STOPTE0H）	00H
		タイマ2カウント・クロック／制御エッジ選択レジスタ0（CSE0）	0000H
		タイマ2カウント・クロック／制御エッジ選択レジスタ0L（CSE0L）	00H
		タイマ2カウント・クロック／制御エッジ選択レジスタ0H（CSE0H）	00H

表13－2　CPU，内蔵RAM，内蔵周辺I/Oのリセット後の初期値（3/5）

内蔵ハードウエア		レジスタ名	リセット後の初期値
内蔵周辺I/O	タイマ2	タイマ2サブチャネル入力イベント・エッジ選択レジスタ0（SESE0）	0000H
		タイマ2サブチャネル入力イベント・エッジ選択レジスタ0L（SESE0L）	00H
		タイマ2サブチャネル入力イベント・エッジ選択レジスタ0H（SESE0H）	00H
		タイマ2タイム・ベース制御レジスタ0（TCRE0）	0000H
		タイマ2タイム・ベース制御レジスタ0L（TCRE0L）	00H
		タイマ2タイム・ベース制御レジスタ0H（TCRE0H）	00H
		タイマ2出力制御レジスタ0（OCTLE0）	0000H
		タイマ2出力制御レジスタ0L（OCTLE0L）	00H
		タイマ2出力制御レジスタ0H（OCTLE0H）	00H
		タイマ2サブチャネル0, 5キャプチャ／コンペア制御レジスタ（CMSE050）	0000H
		タイマ2サブチャネル1, 2キャプチャ／コンペア制御レジスタ（CMSE120）	0000H
		タイマ2サブチャネル3, 4キャプチャ／コンペア制御レジスタ（CMSE340）	0000H
		タイマ2サブチャネルn副キャプチャ／コンペア・レジスタ（CVSEn0）（n = 0-4）	0000H
		タイマ2サブチャネルn主キャプチャ／コンペア・レジスタ（CVPEn0）（n = 0-4）	0000H
		タイマ2サブチャネルnキャプチャ／コンペア・レジスタ（CVSEn0）（n = 0, 5）	0000H
		タイマ2タイム・ベース・ステータス・レジスタ0（TBSTATE0）	0101H
		タイマ2タイム・ベース・ステータス・レジスタ0L（TBSTATE0L）	01H
		タイマ2タイム・ベース・ステータス・レジスタ0H（TBSTATE0H）	01H
		タイマ2キャプチャ／コンペア1-4ステータス・レジスタ0（CCSTATE0）	0000H
		タイマ2キャプチャ／コンペア1-4ステータス・レジスタ0L（CCSTATE0L）	00H
		タイマ2キャプチャ／コンペア1-4ステータス・レジスタ0H（CCSTATE0H）	00H
		タイマ2出力遅延レジスタ0（ODELE0）	0000H
		タイマ2出力遅延レジスタ0L（ODELE0L）	00H
		タイマ2出力遅延レジスタ0H（ODELE0H）	00H
		タイマ2ソフトウエア・イベント・キャプチャ・レジスタ（CSCE0）	0000H
	タイマ3	タイマ3（TM3）	0000H
		キャプチャ／コンペア・レジスタ3n（CC3n）（n = 0, 1）	0000H
		タイマ・コントロール・レジスタ30（TMC30）	00H
		タイマ・コントロール・レジスタ31（TMC31）	20H
		有効エッジ選択レジスタ（SESC）	00H
		タイマ3クロック選択レジスタ（PRM03）	00H
		タイマ3ノイズ除去時間選択レジスタ（NRC3）	00H
		タイマ3出力コントロール・レジスタ（TO3C）	00H
	タイマ4	タイマ4（TM4）	0000H
		コンペア・レジスタ4（CM4）	0000H
		タイマ・コントロール・レジスタ4（TMC4）	00H
	シリアル・インタフェース機能（CSI0, CSI1）	クロック同期式シリアル・インタフェース・モード・レジスタn（CSIMn）（n = 0, 1）	00H
		クロック同期式シリアル・インタフェース・クロック選択レジスタn（CSICn）（n = 0, 1）	00H

表13－2　CPU，内蔵RAM，内蔵周辺I/Oのリセット後の初期値（4/5）

内蔵ハードウエア		レジスタ名	リセット後の初期値
内蔵周辺I/O	シリアル・インタフェース機能（CSI0, CSI1）	クロック同期式シリアル・インタフェース受信バッファ・レジスタn（SIRBn）（n = 0, 1）	0000H
		クロック同期式シリアル・インタフェース受信バッファ・レジスタLn（SIRBLn）（n = 0, 1）	00H
		クロック同期式シリアル・インタフェース送信バッファ・レジスタn（SOTBn）（n = 0, 1）	0000H
		クロック同期式シリアル・インタフェース送信バッファ・レジスタLn（SOTBLn）（n = 0, 1）	00H
		クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタn（SIRBEn）（n = 0, 1）	0000H
		クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタLn（SIRBELn）（n = 0, 1）	00H
		クロック同期式シリアル・インタフェース初段送信バッファ・レジスタn（SOTBFn）（n = 0, 1）	0000H
		クロック同期式シリアル・インタフェース初段送信バッファ・レジスタLn（SOTBFLn）（n = 0, 1）	00H
		シリアルI/Oシフト・レジスタn（SIOn）（n = 0, 1）	0000H
		シリアルI/Oシフト・レジスタLn（SIOLn）（n = 0, 1）	00H
		プリスケーラ・モード・レジスタ3（PRSM3）	00H
		プリスケーラ・コンペア・レジスタ3（PRSCM3）	00H
	シリアル・インタフェース機能（UART0）	アシンクロナス・シリアル・インタフェース・モード・レジスタ0（ASIM0）	01H
		受信バッファ・レジスタ0（RXB0）	FFH
		アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0（ASIS0）	00H
		送信バッファ・レジスタ0（TXB0）	FFH
		アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ0（ASIF0）	00H
		ボー・レート・ジェネレータ・コントロール・レジスタ0（BRGC0）	FFH
		クロック選択レジスタ0（CKSR0）	00H
	シリアル・インタフェース機能（UART1）	アシンクロナス・シリアル・インタフェース・モード・レジスタ10（ASIM10）	81H
		アシンクロナス・シリアル・インタフェース・モード・レジスタ11（ASIM11）	00H
		アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1（ASIS1）	00H
		2フレーム連続受信バッファ・レジスタ1（RXB1）	不定
		受信バッファ・レジスタL1（RXBL1）	不定
		2フレーム連続送信用シフト・レジスタ1（TXS1）	不定
		送信シフト・レジスタL1（TXSL1）	不定
		プリスケーラ・モード・レジスタ1（PRSM1）	00H
		プリスケーラ・コンペア・レジスタ1（PRSCM1）	00H
	A/Dコンバータ	A/Dスキャン・モード・レジスタn0（ADSCMn0）（n = 0, 1）	0000H
		A/Dスキャン・モード・レジスタn0L（ADSCMn0L）（n = 0, 1）	00H
		A/Dスキャン・モード・レジスタn0H（ADSCMn0H）（n = 0, 1）	00H

表13－2　CPU，内蔵RAM，内蔵周辺I/Oのリセット後の初期値（5/5）

内蔵ハードウエア		レジスタ名	リセット後の初期値
内蔵周辺I/O	A/Dコンバータ	A/Dスキャン・モード・レジスタn1（ADSCMn1）（n = 0, 1）	0000H
		A/Dスキャン・モード・レジスタn1L（ADSCMn1L）（n = 0, 1）	00H
		A/Dスキャン・モード・レジスタn1H（ADSCMn1H）（n = 0, 1）	00H
		A/D電圧検出モード・レジスタn（ADETMn）（n = 0, 1）	0000H
		A/D電圧検出モード・レジスタnL（ADETMnL）（n = 0, 1）	00H
		A/D電圧検出モード・レジスタnH（ADETMnH）（n = 0, 1）	00H
		A/D変換結果レジスタ0n（ADCR0n）（n = 0-5）	0000H
		A/D変換結果レジスタ1n（ADCR1n）（n = 0-7）	0000H
		A/D内部トリガ選択レジスタn（ITRGn）（n = 0, 1）	00H
	ポート機能	ポート（P0-P4, PDH, PCT, PCM）	不定
		ポート（PDL）	不定
		ポート（PDLL）	不定
		ポート（PDLH）	不定
		モード・レジスタ（PM1-PM4, PMDH, PMCT, PMCM）	FFH
		モード・レジスタ（PMDL）	FFFFH
		モード・レジスタ（PMDLL）	FFH
		モード・レジスタ（PMDLH）	FFH
		モード・コントロール・レジスタ（PMC1-PMC4）	00H
		モード・コントロール・レジスタ（PMCDH）	00H/FFH
		モード・コントロール・レジスタ（PMCDL）	0000H/FFFFH
		モード・コントロール・レジスタ（PMCDLL）	00H/FFH
		モード・コントロール・レジスタ（PMCDLH）	00H/FFH
		モード・コントロール・レジスタ（PMCCT）	00H/53H
		モード・コントロール・レジスタ（PMCCM）	00H/03H
		ファンクション・コントロール・レジスタ（PFC1, PFC2, PFC3）	00H
	レギュレータ	レギュレータ・コントロール・レジスタ（REGC）	00H
	フラッシュ・メモリ	フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）	08H/0CH/00H[注]

注　μPD703114　：00H

μPD70F3114：08Hまたは0CH（詳細は，15. 7. 12　**フラッシュ・プログラミング・モード・コントロール・レジスタ**（FLPMC）を参照してください）

注意　上記の表における“不定”とは，パワーオン・リセット時の不定，または$\overline{\text{RESET}}$↓入力とデータ書き込みタイミングが同期したときのデータ破壊による不定を意味し，これ以外の$\overline{\text{RESET}}$↓ではデータは直前の状態に保持されます。

第14章　レギュレータ

14. 1　特　　徴

○内部CPU用，周辺インタフェース用の2電源を用意する必要なし

○N-chトランジスタ（2SD1950（VL規格品，面実装タイプ），または2SD1581（自立タイプ）を推奨）を接続することで5 V単一電源のシステム構成が可能

○3.3 V電源を別に用意する場合は，直接REGIN端子に接続が可能

14. 2　機能概要

V850E/IA2は，5 V単一電源のシステム構成のためにレギュレータを内蔵しています。

このレギュレータは，REGOUT端子にN-chトランジスタ（2SD1950（VL規格品，面実装タイプ），または2SD1581（自立タイプ）を推奨）を接続し，REGIN端子にレギュレータ出力安定用のコンデンサを介してCVssに接続してください（14. 3　**接続例**参照）。なお，システム上，2電源（周辺インタフェース用5 V系，内部CPU用3.3 V系）ある場合は，レギュレータ・コントロール・レジスタ（REGC）の設定により，レギュレータを停止して使用することもできます。

レギュレータ動作で使用する場合は，レギュレータは各動作モード（通常動作／HALT／IDLE／ソフトウエアSTOPモード）でも常に動作しています。

3.3 V電源を別に用意する場合は，REGC = 01Hに設定することで内蔵レギュレータの消費電流（数10 μ A）を抑えることができます。

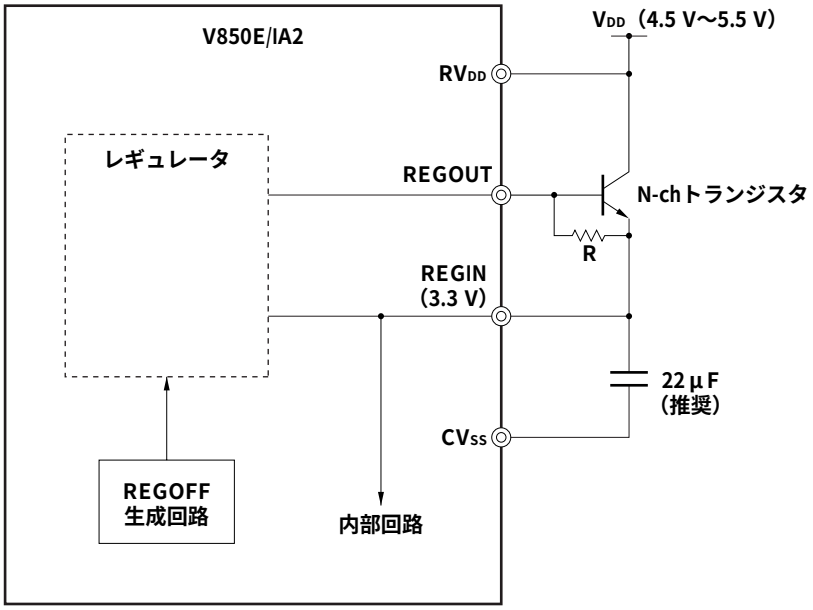
14.3 接 続 例

（1）内蔵レギュレータを使用する場合

内蔵レギュレータは，N-chトランジスタを接続して使用します。

次にN-chトランジスタ使用時の接続例と2SD1950（VL規格品）の面実装時におけるマウントパッド寸法（ガラスエポキシ基板の場合）を示します。

図14－1　N-chトランジスタ使用時の接続例

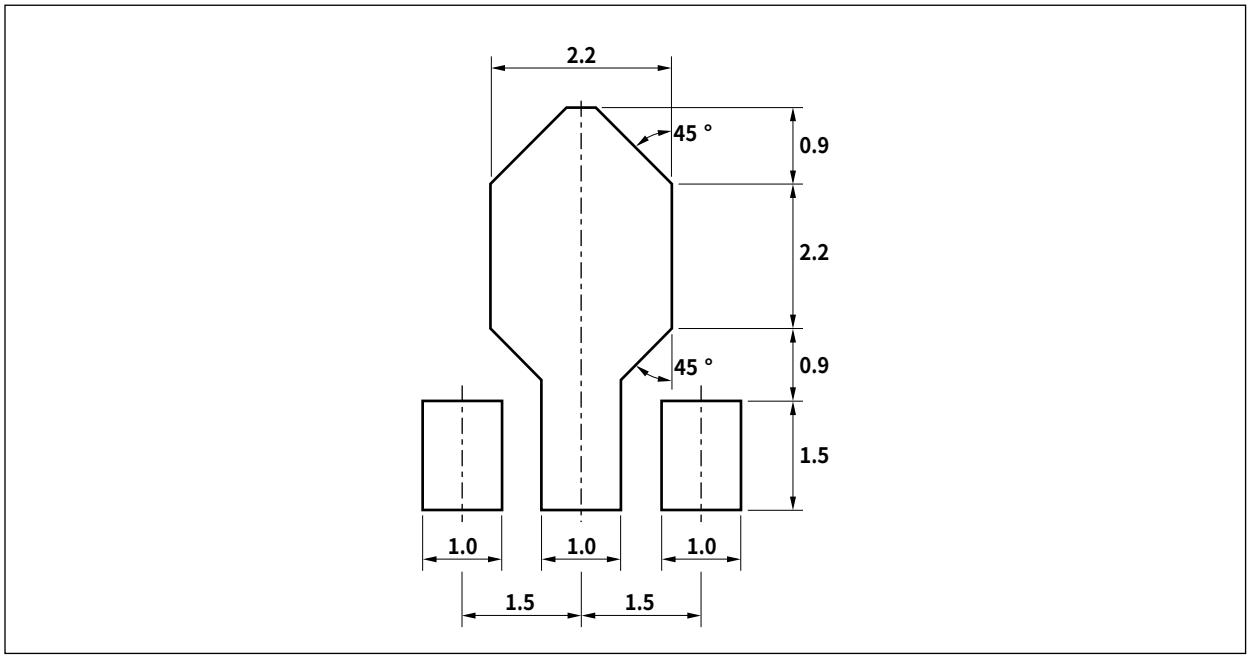


備考　N-chトランジスタは，2SD1950（VL規格品，面実装タイプ），または2SD1581（自立タイプ）を推奨します。

Rは110 kΩを推奨します。

電解コンデンサは，22 μFを推奨します。

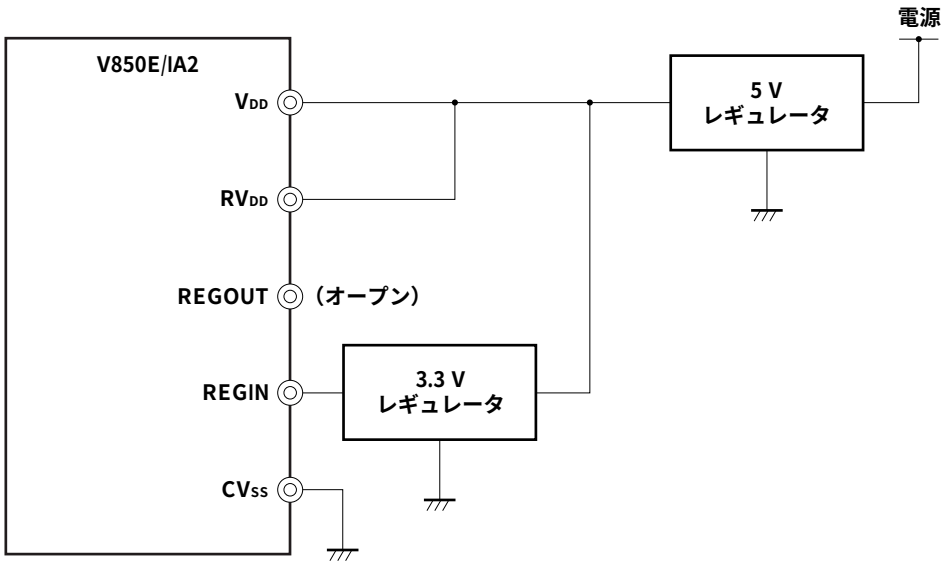
図14－2　2SD1950（VL規格品）の面実装時におけるマウントパッド寸法
（ガラスエポキシ基板の場合）（単位：mm）



(2) 外付けレギュレータを使用する場合

内蔵レギュレータを使用しない場合は，レギュレータを外付けして使用できます。
次に外付けレギュレータ使用時の接続例を示します。

図14－3　外付けレギュレータ使用時の接続例



備考　各レギュレータの入出力には，必要に応じてコンデンサやインダクタンスを接続してください。

14. 4　制御レジスタ

(1) レギュレータ・コントロール・レジスタ（REGC）

REGCレジスタは，レギュレータの動作を制御するレジスタです。

8/1ビット単位で，リード／ライト可能です。

注意1. REGCレジスタ値の書き換えは，システムの安定上リセット後1回だけ行ってください。

2. REGC0ビット = 1（レギュレータ停止時）で使用する場合は必ず次のように設定してください。
   - REGOUT端子：オープンにしてください。
   - REGIN端子　：3.3 V系電圧（3.0 V～3.6 V）を供給してください。

3. REGC0ビット = 0（レギュレータ動作時）で使用する場合は必ず次のように設定してください（接続方法は14. 3　接続例参照）。
   - REGOUT端子：外付けトランジスタのベースと接続してください。
   - REGIN端子　：外付けトランジスタのエミッタおよび電解コンデンサを接続してください。
   - 外付けトランジスタのベース-エミッタ間にはバイアス抵抗を接続してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
REGC	0	0	0	0	0	0	0	REGC0	FFFFF300H	00H

ビット位置	ビット名	意　味
0	REGC0	レギュレータの動作を制御します。 0：レギュレータ動作 1：レギュレータ停止

第15章　フラッシュ・メモリ（μPD70F3114）

μPD70F3114はV850E/IA2のフラッシュ・メモリ内蔵品で，128 Kバイトのフラッシュ・メモリを内蔵しています。

注意　フラッシュ・メモリ製品とマスクROM製品では，ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は，マスクROM製品のCS製品（ES製品ではなく）で十分に評価してください。

フラッシュ・メモリへの書き込みは，ターゲット・システムに実装した状態（オンボード）で行えます。専用フラッシュ・メモリ・プログラマをターゲット・システムに接続して書き込みます。

フラッシュ・メモリを使用した開発環境および用途として次のようなことが考えられます。

○ターゲット・システムにV850E/IA2を半田実装後，ソフトウエアの変更可能
○ソフトウエアを区別することで少量多品種生産が容易
○量産立ち上げ時のデータ調整が容易

15. 1　特　　徴

○全エリア一括消去
○専用フラッシュ・メモリ・プログラマからシリアル・インタフェースを介して通信
○消去／書き込み電圧：V_{PP} = 7.8 V
○オンボード・プログラミング

15. 2　フラッシュ・メモリ・プログラマによる書き込み方法

専用フラッシュ・メモリ・プログラマにより，オンボードまたはオフボードでの書き込みができます。

注意　フラッシュ・メモリ・プログラマで書き込みを行う場合，PLLモードにおいては必ず5逓倍された周波数で動作します。

(1) オンボード・プログラミング

ターゲット・システム上にV850E/IA2を実装後，フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には，専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にV850E/IA2を実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

備考　FAシリーズは，（株）内藤電誠町田製作所の製品です。

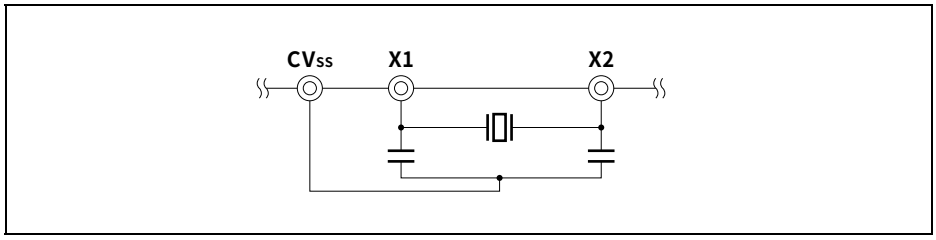
μPD70F3114GCに対して，フラッシュ書き込み用アダプタ（FA-100GC-8EU）および2電源アダプタ（FA-TVC）を使用して書き込む場合は，次のように配線してください。

表15－1　V850E/IA2フラッシュ書き込み用アダプタ（FA-100GC-8EU）の配線表

FA-100GC-8EUのシルク名	V850E/IA2			
	UART0使用時		CSI0使用時	
	端子名	ピン番号	端子名	ピン番号
SI	TXD0/P31	26	SO0/P41	23
SO	RXD0/P30	25	SI0/P40	22
SCK	－		$\overline{\text{SCK0}}$/P42	24
X1	X1	17注1	X1	17注1
X2	X2	18注1	X2	18注1
/RESET	$\overline{\text{RESET}}$	19	$\overline{\text{RESET}}$	19
V_{PP}	MODE1/V_{PP}	62	MODE1/V_{PP}	62
RESERVE/HS	－		A16/PDH0注2	56
VDD注3	V_{DD}	39, 64, 86	V_{DD}	39, 64, 86
	AV_{DD0}	94	AV_{DD0}	94
	AV_{DD1}	2	AV_{DD1}	2
	MODE0	12	MODE0	12
	RV_{DD}	14	RV_{DD}	14
GND注3	V_{SS3}	13, 63	V_{SS3}	13, 63
	V_{SS}	38, 87	V_{SS}	38, 87
	AV_{SS0}	95	AV_{SS0}	95
	CV_{SS}	20	CV_{SS}	20
	AV_{SS1}	3	AV_{SS1}	3
	NMI/P00	74	NMI/P00	74
注4	CKSEL	21	CKSEL	21

注1. X1, X2のクロック振幅は3.3 Vです。FA-100GC-8EU基板上に発振子およびコンデンサで発振回路を構成してください。次に発振回路例を示します。

例



2. ハンドシェークを使用しない場合は接続の必要はありません。
3. FA-100GC-8EU基板上に3.3 V生成用に2電源アダプタ（FA-TVC）を使用してください。この場合，2SD1950または2SD1581は不要です。
4. PLLモード時：GND
   ダイレクト・モード時：V_{DD}

備考　－：オープンにしてください。

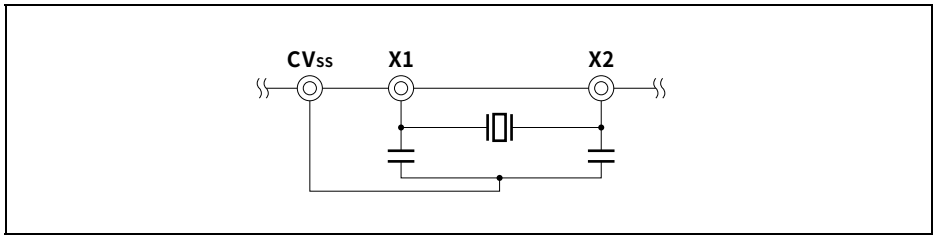
μPD70F3114GFに対して，フラッシュ書き込み用アダプタ（FA-100GF-3BA）および2電源アダプタ（FA-TVC）を使用して書き込む場合は，次のように配線してください。

表15－2　V850E/IA2フラッシュ書き込み用アダプタ（FA-100GF-3BA）の配線表

FA-100GF-3BA のシルク名	V850E/IA2			
	UART0使用時		CSI0使用時	
	端子名	ピン番号	端子名	ピン番号
SI	TXD0/P31	28	SO0/P41	25
SO	RXD0/P30	27	SI0/P40	24
SCK	－		$\overline{\text{SCK0}}$/P42	26
X1	X1	19注1	X1	19注1
X2	X2	20注1	X2	20注1
/RESET	$\overline{\text{RESET}}$	21	$\overline{\text{RESET}}$	21
V_{PP}	MODE1/V_{PP}	64	MODE1/V_{PP}	64
RESERVE/HS	－		A16/PDH0注2	58
VDD注3	V_{DD}	41, 66, 88	V_{DD}	41, 66, 88
	AV_{DD0}	96	AV_{DD0}	96
	AV_{DD1}	4	AV_{DD1}	4
	MODE0	14	MODE0	14
	RV_{DD}	16	RV_{DD}	16
GND注3	V_{SS3}	15, 65	V_{SS3}	15, 65
	V_{SS}	40, 89	V_{SS}	40, 89
	AV_{SS0}	97	AV_{SS0}	97
	CV_{SS}	22	CV_{SS}	22
	AV_{SS1}	5	AV_{SS1}	5
	NMI/P00	76	NMI/P00	76
注4	CKSEL	23	CKSEL	23

注1. X1, X2のクロック振幅は3.3 Vです。FA-100GF-3BA基板上に発振子およびコンデンサで発振回路を構成してください。次に発振回路例を示します。

例



2. ハンドシェークを使用しない場合は接続の必要はありません。
3. FA-100GF-3BA基板上に3.3 V生成用に2電源アダプタ（FA-TVC）を使用してください。この場合，2SD1950または2SD1581は不要です。
4. PLLモード時：GND
   ダイレクト・モード時：V_{DD}

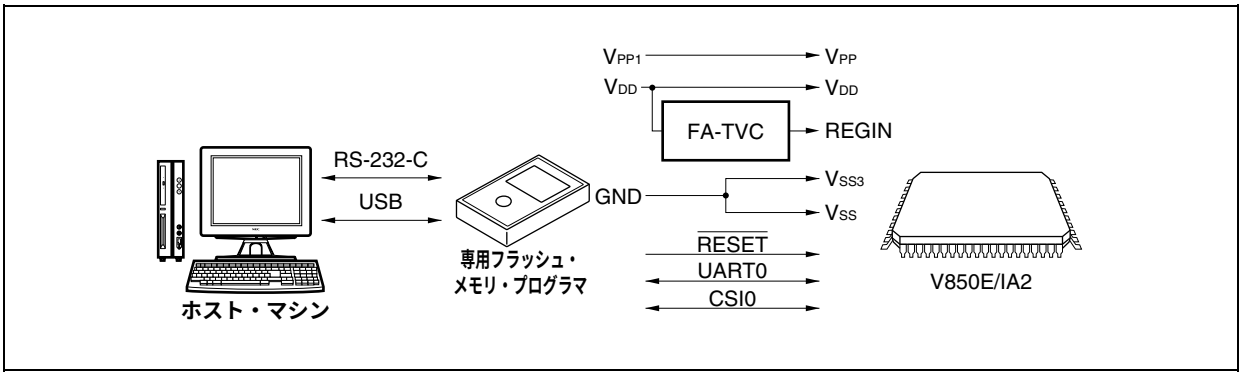
備考　－：オープンにしてください。

15. 3　プログラミング環境

V850E/IA2のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図15－1　フラッシュ・メモリにプログラムを書き込むための環境

★



専用フラッシュ・メモリ・プログラマには，これを制御するホスト・マシンが必要です。

また，専用フラッシュ・メモリ・プログラマとV850E/IA2とのインタフェースはUART0またはCSI0を使用して，書き込み，消去等の操作を行います。オフボードで書き込む場合は，専用プログラム・アダプタ（FAシリーズ）および2電源アダプタ（FA-TVC）が必要です。

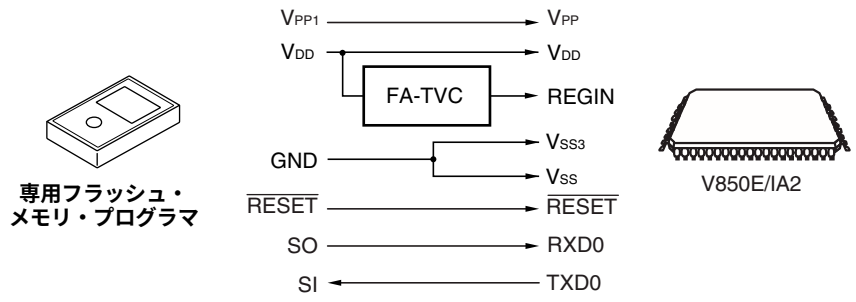
15. 4　通信方式

（1）UART0

転送レート：4800 bps～76800 bps（LSBファースト）

図15－2　専用フラッシュ・メモリ・プログラマとの通信（UART0）

★



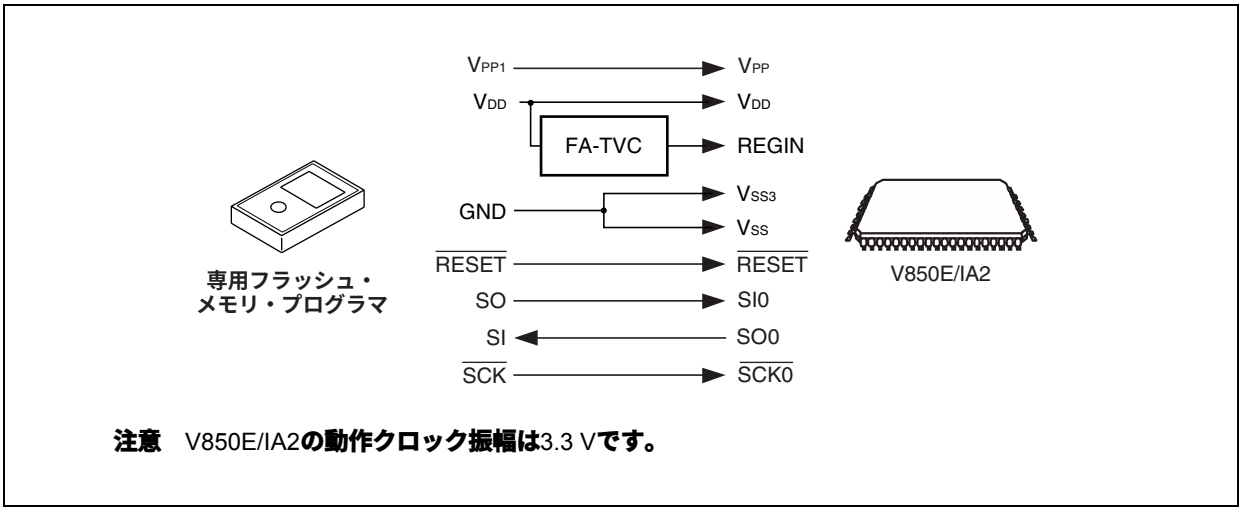
注意　V850E/IA2の動作クロック振幅は3.3 Vです。

(2) CSI0

転送レート：～2 MHz（MSBファースト）

図15－3　専用フラッシュ・メモリ・プログラマとの通信（CSI0）

★



注意　V850E/IA2の動作クロック振幅は3.3 Vです。

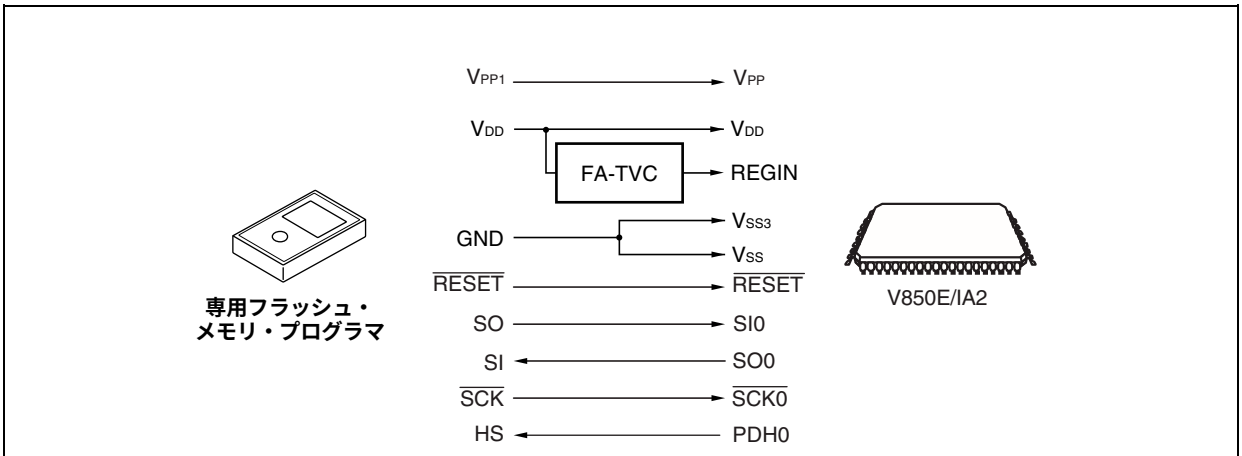
専用フラッシュ・メモリ・プログラマが転送クロックを出力し，V850E/IA2はスレーブとして動作します。

(3) ハンドシェーク対応CSI通信方式

転送レート：～2 MHz（MSBファースト）

図15－4　専用フラッシュ・メモリ・プログラマとの通信（ハンドシェーク対応CSI通信方式）

★



注意　V850E/IA2の動作クロック振幅は3.3 Vです。

15. 5　端子処理

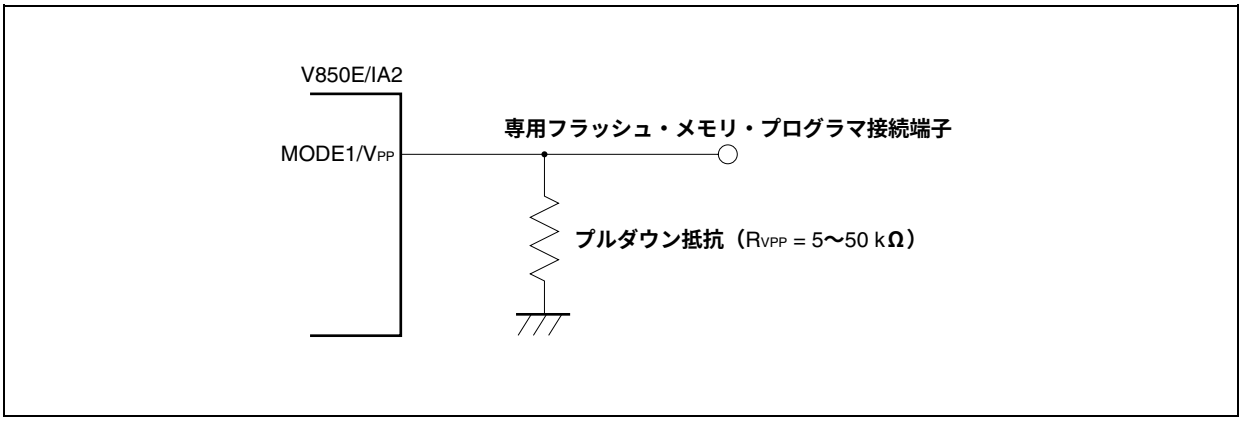
オンボード書き込みを行う場合は，ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また，オンボード上に通常動作モード（シングルチップ・モードまたはROMレス・モード）からフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてシングルチップ・モードのリセット直後と同じ状態になります。したがって，ポートはすべてハイ・インピーダンス状態になるため，外部デバイスがハイ・インピーダンス状態を認めない場合は端子処理が必要です。

15. 5. 1　MODE1/V_{PP}端子

通常動作モード時は，MODE1/V_{PP}端子に0 Vを入力します。また，フラッシュ・メモリ・プログラミング・モード時は，MODE1/V_{PP}端子に7.8 Vの書き込み電圧を供給します。MODE1/V_{PP}端子の接続例を次に示します。

図15－5　MODE1/V_{PP}端子の接続例



15. 5. 2　シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表15－3　各シリアル・インタフェースが使用する端子

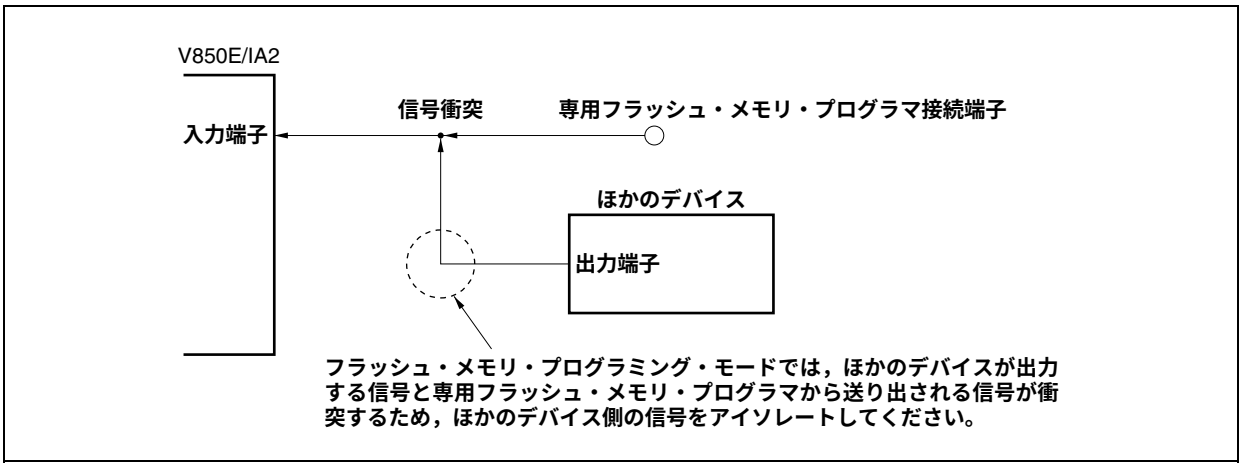
シリアル・インタフェース	使用端子
CSI0	SO0, SI0, $\overline{SCK0}$
CSI0＋HS	SO0, SI0, $\overline{SCK0}$, PDH0
UART0	TXD0, RXD0

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に，専用フラッシュ・メモリ・プログラマを接続する場合，信号の衝突，ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に，専用フラッシュ・メモリ・プログラマ（出力）を接続すると，信号の衝突が発生します。この信号の衝突を避けるため，ほかのデバイスとの接続をアイソレートするか，またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

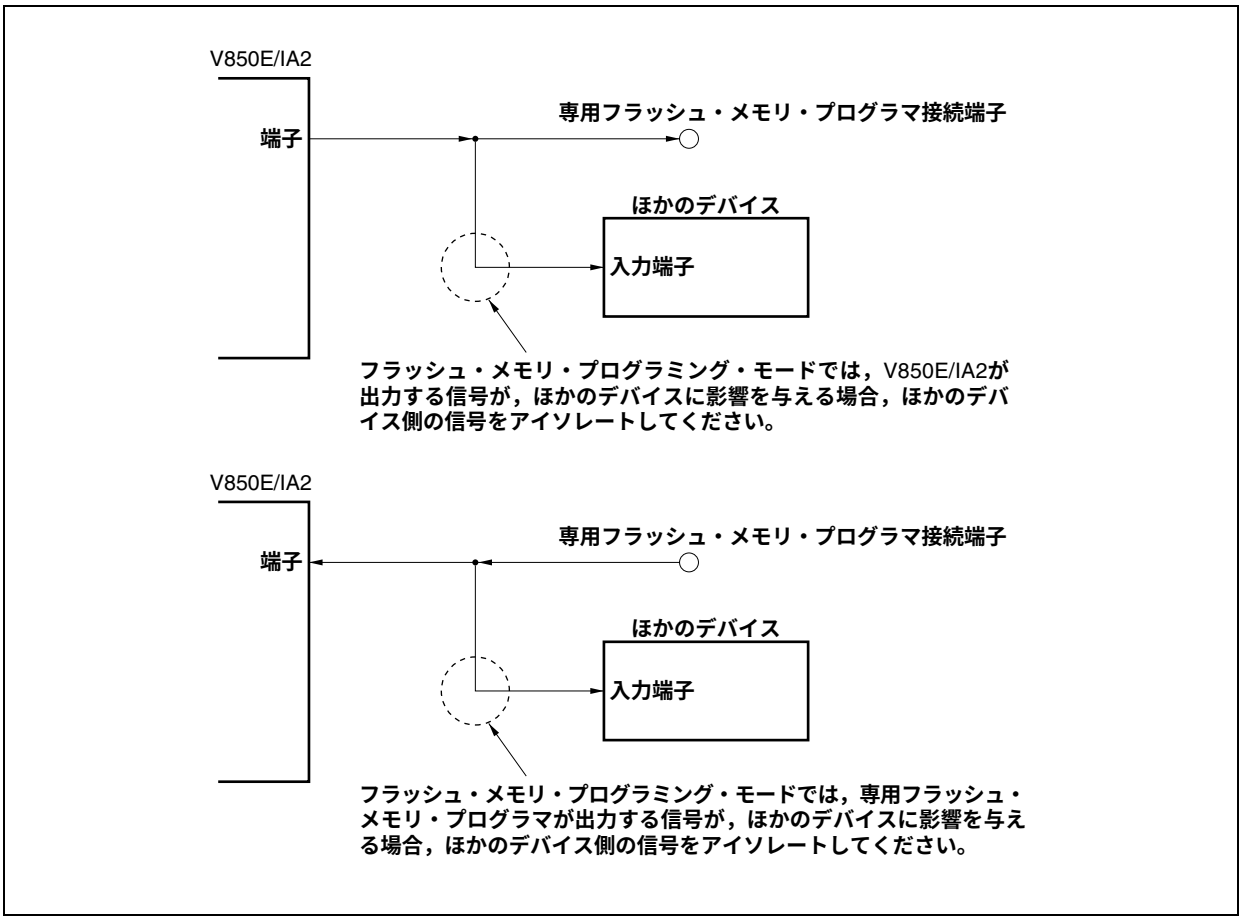
図15－6　信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に，専用フラッシュ・メモリ・プログラマ（出力または入力）を接続する場合，ほかのデバイスに信号が出力され，異常動作を起こす可能性があります。この異常動作を避けるため，ほかのデバイスとの接続をアイソレートするか，またはほかのデバイスへの入力信号を無視するように設定してください。

図15－7　ほかのデバイスの異常動作

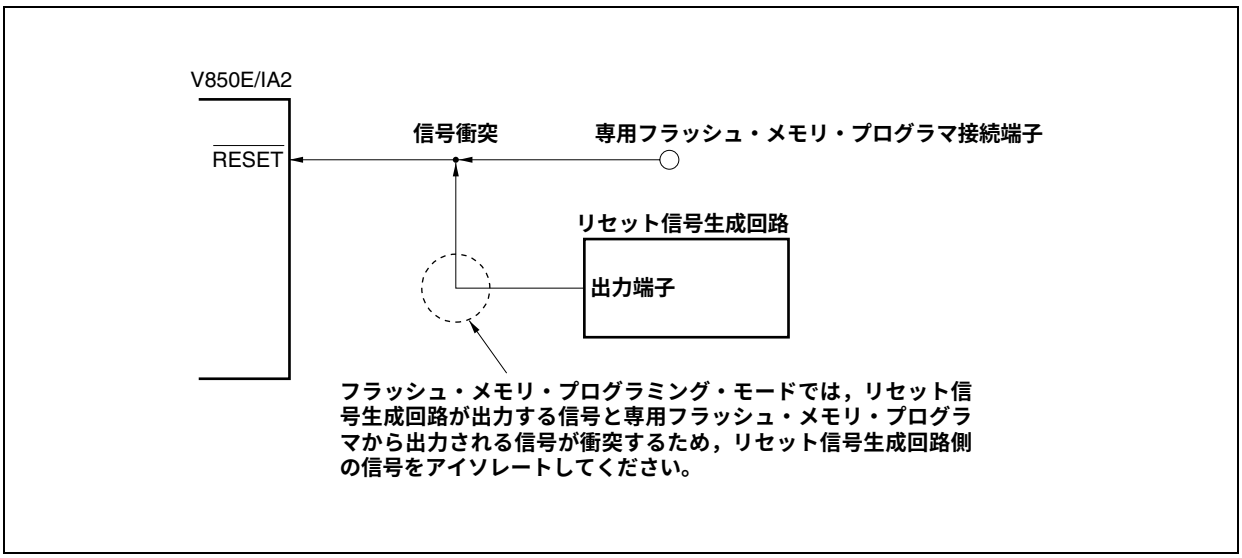


15. 5. 3　$\overline{\text{RESET}}$端子

オンボード上で，リセット信号生成回路と接続している$\overline{\text{RESET}}$端子に，専用フラッシュ・メモリ・プログラマのリセット信号を接続する場合，信号の衝突が発生します。この信号の衝突を避けるため，リセット信号生成回路との接続をアイソレートしてください。

また，フラッシュ・メモリ・プログラミング・モード期間中に，ユーザ・システムからリセット信号を入力した場合，正常なプログラミング動作が行われなくなるので，専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図15－8　信号の衝突（$\overline{\text{RESET}}$端子）



15. 5. 4　NMI端子

フラッシュ・メモリ・プログラミング・モード期間中はNMI端子への入力信号を変化させないでください。変化させた場合，正常なプログラミングが行われないことがあります。

15. 5. 5　MODE0, MODE1端子

MODE0をハイ・レベル入力に設定し，MODE1/V_{PP}端子に書き込み電圧（7.8 V）を加え，リセットを解除するとフラッシュ・メモリ・プログラミング・モードに遷移します。

15. 5. 6　ポート端子

フラッシュ・メモリ・プログラミング・モードに設定すると，専用フラッシュ・メモリ・プログラマと通信する端子を除くすべてのポート端子はハイ・インピーダンス状態になります。これらのポート端子を処理する必要はありません。なお，ポートに接続されている外部デバイスにハイ・インピーダンス状態禁止などの問題が生じる場合には，抵抗を介してV_{DD}に接続するか，または抵抗を介してV_{SS}に接続するなどの処置をしてください。

15. 5. 7　その他の信号端子

X1, X2は，通常動作モード時と同じ状態に接続してください。

振幅は3.3 Vです。

15. 5. 8　電　　源

電源（V_{DD}, V_{SS}, V_{SS3}, AV_{DD0}, AV_{DD1}, AV_{SS0}, AV_{SS1}, CV_{SS}, RV_{DD}）は，通常動作モード時と同じ電源を供給してください。また，REGIN端子には，2電源アダプタ（FA-TVC）から3.3 Vを供給してください。

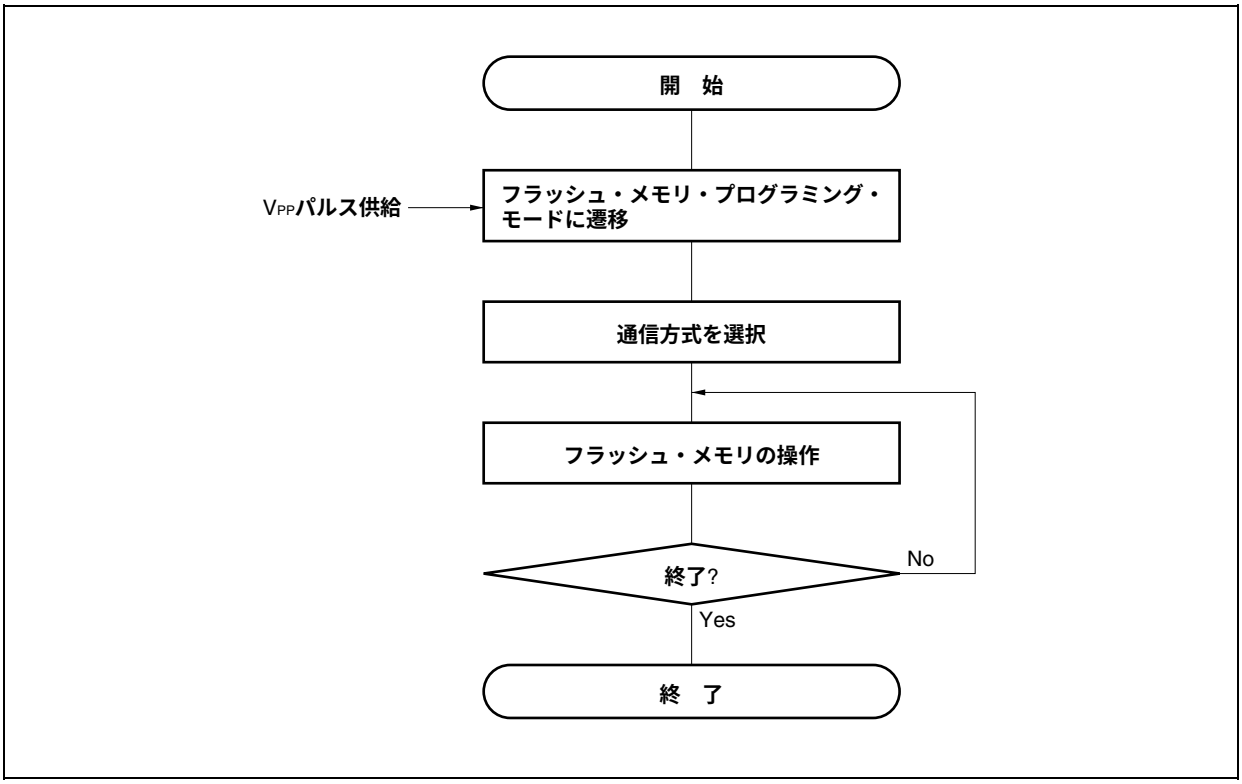
15. 6　プログラミング方法

15. 6. 1　フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図15－9　フラッシュ・メモリの操作手順

★



15. 6. 2　フラッシュ・メモリ・プログラミング・モード

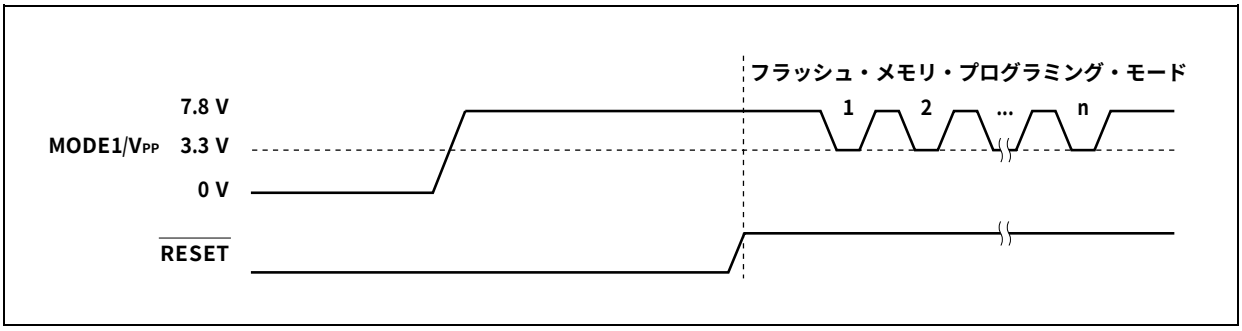
専用フラッシュ・メモリ・プログラマを使用してフラッシュ・メモリの内容を書き換えるときは，フラッシュ・メモリ・プログラミング・モードにしてください。

モードへ遷移するには，MODE0, MODE1/V_{PP}端子を設定後，リセットを解除します。

オンボード書き込みを行うときは，ジャンパ等でモードを切り替えてください。

- MODE0　　：ハイ・レベル入力
- MODE1/V_{PP}　：7.8 V

図15－10　フラッシュ・メモリ・プログラミング・モード



15. 6. 3　通信方式の選択

V850E/IA2では，フラッシュ・メモリ・プログラミング・モードに遷移後，V_{PP}端子にパルス（最大16パルス）を入力することで通信方式を選択します。このV_{PP}パルスは専用フラッシュ・メモリ・プログラマが生成します。

パルス数と通信方式の関係を次に示します。

表15－4　通信方式一覧

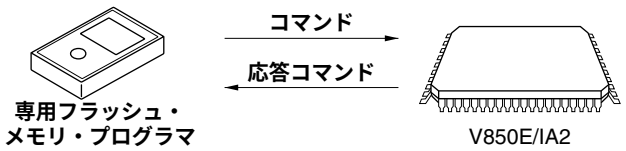
V_{PP}パルス	通信方式	備　考
0	CSI0	V850E/IA2はスレーブ動作，MSBファースト
3	ハンドシェーク対応CSI	
8	UART0	通信レート：9600 bps（リセット時），LSBファースト
その他	RFU（予約）	設定禁止

15. 6. 4　通信コマンド

V850E/IA2と専用フラッシュ・メモリ・プログラマは，コマンドを介して通信します。専用フラッシュ・メモリ・プログラマからV850E/IA2へ送られるコマンドを「コマンド」と呼び，V850E/IA2から専用フラッシュ・メモリ・プログラマへ送られる応答信号を「応答コマンド」と呼びます。

図15－11　通信コマンド

★



V850E/IA2のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマから発行され，V850E/IA2がコマンドに対応した各処理を行います。

表15－5　フラッシュ・メモリ制御用コマンド

分　類	コマンド名称	機　能
ベリファイ	一括ベリファイ・コマンド	全メモリの内容と入力したデータを比較
	エリア・ベリファイ・コマンド	指定したエリアの内容と入力したデータを比較
消去	一括消去コマンド	全メモリの内容を消去
	エリア消去コマンド	指定したエリアの内容を消去
	ライトバック・コマンド	過消去時の書き戻し
ブランク・チェック	一括ブランク・チェック・コマンド	全メモリの消去状態を確認
	エリア・ブランク・チェック・コマンド	指定したエリアの消去状態を確認
データ・ライト	高速書き込みコマンド	書き込みアドレス，書き込みバイト数の指定によりデータを書き込み，ベリファイ・チェックを実行
	連続書き込みコマンド	直前に実行された高速書き込みコマンドに続くアドレスからデータを書き込み，ベリファイ・チェックを実行
システム設定，制御	ステータス読み出しコマンド	動作状況のステータスを得る
	発振周波数設定コマンド	発振周波数の設定
	消去時間設定コマンド	一括消去の消去時間設定
	書き込み時間設定コマンド	データ書き込み時の書き込み時間設定
	ライトバック時間設定コマンド	ライトバック時間の設定
	シリコン・シグネチャ・コマンド	シリコン・シグネチャ情報を読み出す
	リセット・コマンド	各状態からの脱出

また，専用フラッシュ・メモリ・プログラマから発行されたコマンドに対して，V850E/IA2は応答コマンドを返します。V850E/IA2が送出する応答コマンドを次に示します。

表15－6　応答コマンド

応答コマンド名称	機　　能
ACK（アクノリッジ）	コマンド／データなどのアクノリッジ
NAK（ノット・アクノリッジ）	不正なコマンド／データなどのアクノリッジ

15. 7　セルフ書き込みによるフラッシュ・メモリ・プログラミング

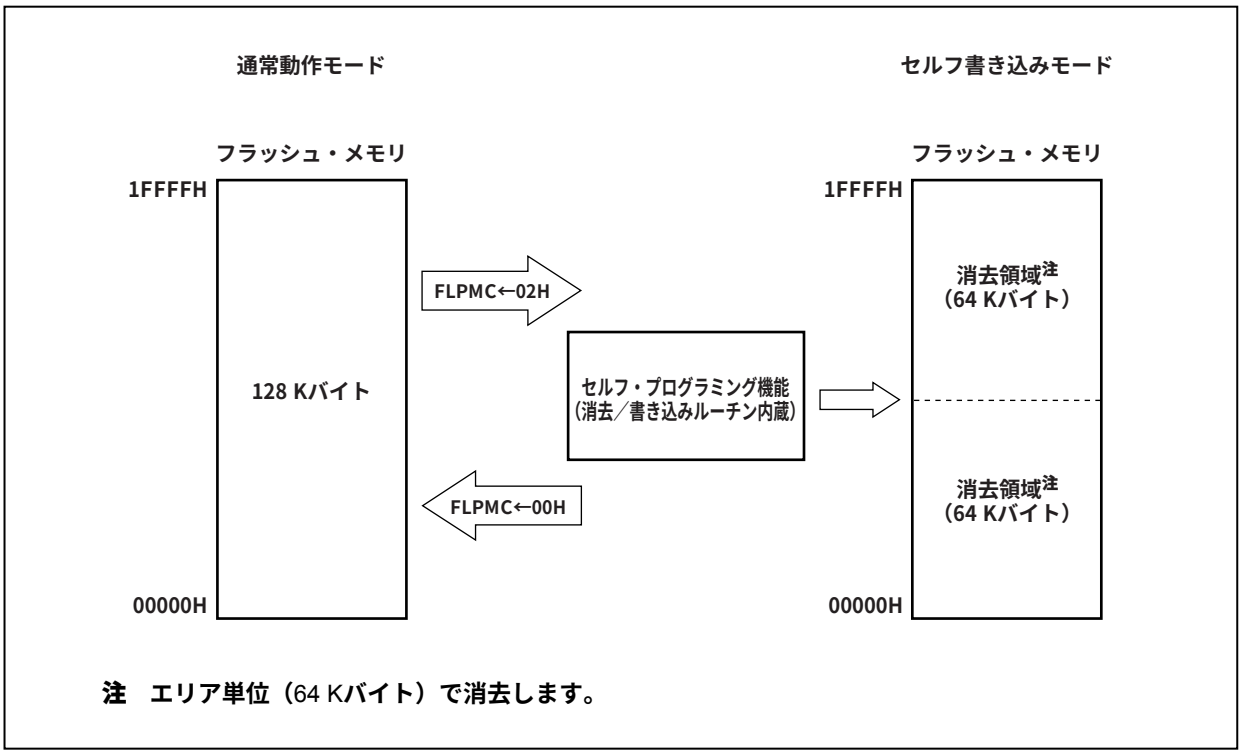
μPD70F3114は，ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能を利用することにより，ユーザ・アプリケーションでフラッシュ・メモリの書き換えができます。このセルフ・プログラミングにより，フィールドでのプログラムのアップグレードなどの応用が可能です。

15. 7. 1　セルフ・プログラミングの概要

セルフ・プログラミングは，ブロック0空間（000000H-1FFFFFH）および内蔵ROM領域以外に配置されたプログラム上で，セルフ・プログラミング機能（デバイス内部処理）を呼び出すことにより，フラッシュ・メモリの消去／書き込みを実現します。セルフ・プログラミングを実現するためのプログラムをブロック0空間および内蔵ROM領域に配置する場合は，000000H-1FFFFFH領域以外（たとえば内蔵RAM領域）にプログラムをコピーしたあと，コピー先でプログラムを実行して，セルフ・プログラミング機能を呼び出してください。

セルフ・プログラミング機能の呼び出しは，フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）により，通常動作モードからセルフ・プログラミング・モードに切り替えて行います。

図15－12　セルフ・プログラミングの概要



注　エリア単位（64 Kバイト）で消去します。

15. 7. 2　セルフ・プログラミング機能

μPD70F3114は，表15－7に示すようなセルフ・プログラミング機能を提供しています。これらの機能の組み合わせでフラッシュ・メモリの消去と書き込みの機能を実現します。

表15－7　機能一覧

分　類	機能名	機　　能
消去	エリア消去	指定したエリアを消去します。
書き込み	ワード単位連続書き込み	指定したフラッシュ・メモリのアドレスから4バイト単位で指定したワード数だけ，指定したメモリの内容を連続して書き込みます。
	プリライト	消去前にフラッシュ・メモリに0を書き込みます。
チェック	イレース・ベリファイ	消去後にオーバ・イレースが発生しているかどうかをチェックします。
	イレース・バイト・ベリファイ	消去が十分かどうかをチェックします。
	内部ベリファイ	書き込み終了後のフラッシュ・メモリ上のデータの信号レベルが適正かどうかをチェックします。
書き戻し	エリア・ライトバック	オーバ・イレースが発生したフラッシュ・エリアを書き戻します。
情報取得	フラッシュ情報読み出し	フラッシュ・メモリに関する情報を読み出します。

15. 7. 3　セルフ・プログラミング・インタフェースの概要

セルフ・プログラミング・インタフェースを使用したセルフ・プログラミングを行うためには，フラッシュ・メモリを操作するためのハードウエア環境，ソフトウエア環境を満たす必要があります。

セルフ・プログラミング・インタフェースは，アセンブリ言語による利用を前提としています。

(1) エントリ・プログラム

デバイス内部処理を呼び出すためのプログラムです。

アプリケーション・プログラムの一部として位置付けられます。ブロック0空間，および内蔵ROM領域（フラッシュ・メモリ）以外のメモリで実行する必要があります。

(2) デバイス内部処理

デバイス内部で行うフラッシュ・メモリの操作です。

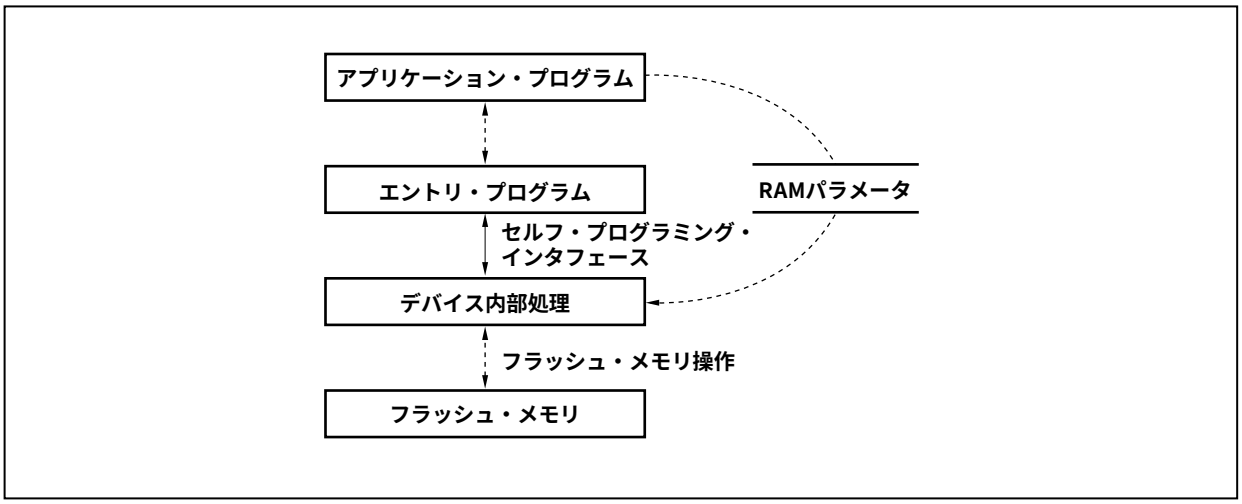
エントリ・プログラムで呼び出したあとは，デバイス内部処理がフラッシュ・メモリの操作を行います。

(3) RAMパラメータ

書き込み時間や消去時間などのセルフ・プログラミングに必要なパラメータが書き込まれたRAM領域です。アプリケーション・プログラムで設定し，デバイス内部処理が参照します。

セルフ・プログラミング・インタフェースの概要を次に示します。

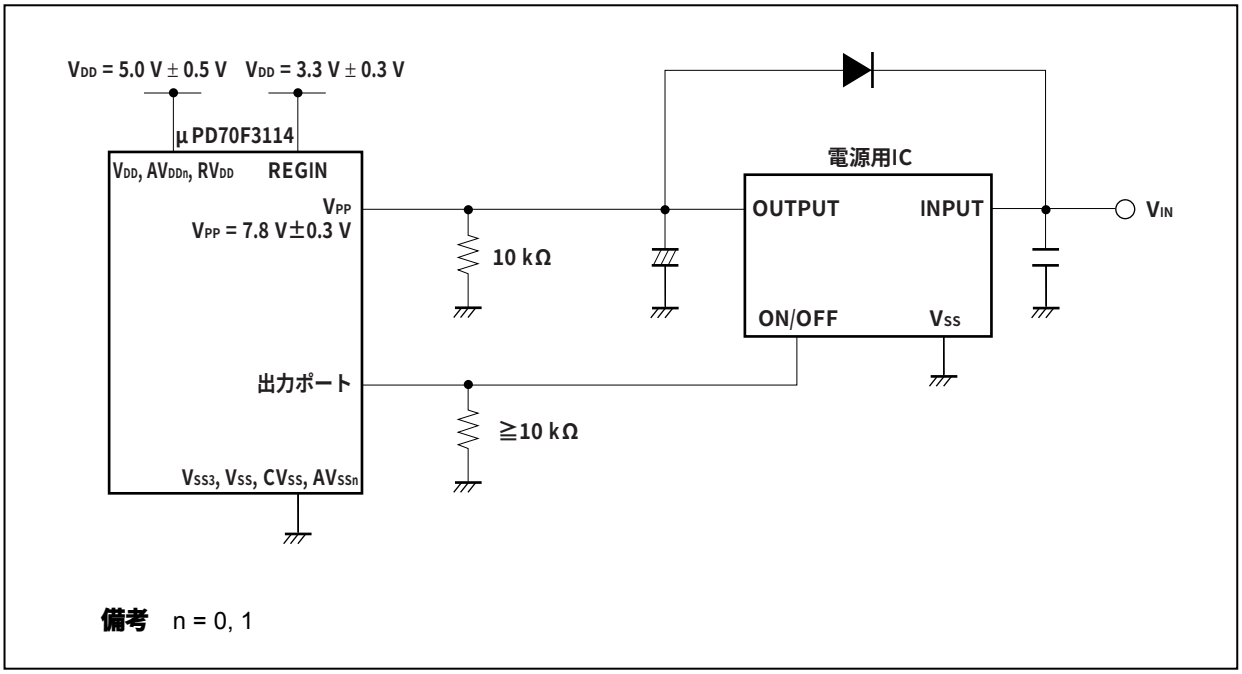
図15－13　セルフ・プログラミング・インタフェースの概要



15. 7. 4　ハードウエア環境

フラッシュ・メモリに書き込み／消去を行うためには，V_{PP}端子に高電圧を印加する必要があります。セルフ・プログラムを行うには，アプリケーション・システム上にソフトウエアで制御できる書き込み電圧（V_{PP}）の生成回路が必要です。ポートを操作することにより，V_{PP}端子に印加する電圧を切り替える回路構成例を次に示します。

図15－14　セルフ書き込み回路構成例



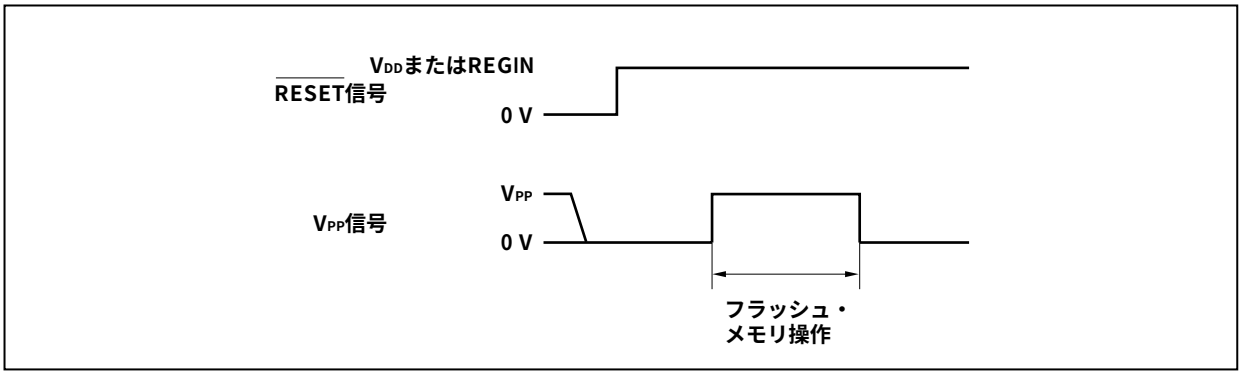
備考　n = 0, 1

また，VPP端子への電圧印加は，次の条件を満たす必要があります。

・通常動作モード時はVPP端子に印加する電圧を0 Vに保持し，フラッシュ・メモリを操作する期間だけVPP電圧を保持してください。
・フラッシュ・メモリ操作を開始する前から終了するまでの期間は，VPP電圧を安定させてください。

注意1. リセット解除時にはVPP端子に印加する電圧を0 Vにしてください。
2. セルフ・プログラミングをする場合は，シングルチップ・モード0, 1で行ってください。
3. VPP端子への電圧印加は，エントリ・プログラムの中で行ってください。
4. ターゲット・ボード上でセルフ・プログラミングとプログラマでの書き込み／消去の両方を行う場合，プログラマとの通信方式は，必ずCSI0で行ってください（ハンドシェーク対応CSIは使用しないでください）。

図15－15　VPP端子に電圧を印加するタイミング



15. 7. 5　ソフトウエア環境

エントリ・プログラムでデバイス内部処理を呼び出す前に，次に示す条件をすべて満たす必要があります。

表15－8　ソフトウエア環境の条件

項　　目	内　　容
エントリ・プログラムの配置	ブロック0空間，およびフラッシュ・メモリ領域以外で実行してください。 フラッシュ・メモリ上で，実行中のプログラムから直接デバイス内部処理を呼び出すことはできません。
プログラムの実行状態	デバイス内部処理を呼び出すには，割り込み処理中でないこと（PSWのNPビット = 0, PSWのIDビット = 1）が条件です。
割り込みのマスク	使用中のマスカブル割り込みの設定をすべてマスクしてください。割り込みのマスクは，個々の割り込み制御レジスタで行ってください。 マスカブル割り込みをマスクする場合は，必ず割り込み制御レジスタに対してマスクの設定を行ってください。PSWのIDビット = 1（割り込み禁止）となっている場合でも，マスカブル割り込みをマスクしてください。
V_{PP}電圧の操作	フラッシュ・メモリの操作を開始する前に，V_{PP}端子への電圧をV_{PP}電圧で安定させてください。すべての操作が終了した時点でV_{PP}端子への電圧を0 Vに戻してください。
内蔵タイマの初期化	フラッシュ・メモリの操作中に内蔵タイマは使用しないでください。 内蔵タイマはフラッシュ・メモリの使用後に初期化されるので，再度使用する場合にはアプリケーション・プログラムで初期化してください。
リセット信号入力の停止	フラッシュ・メモリの操作中にリセット信号を入力しないでください。 フラッシュ・メモリの操作中にリセット信号を入力した場合は，操作中のフラッシュ・メモリの内容は不定となります。
NMI信号入力の停止	フラッシュ・メモリの操作中にNMI信号を入力しないでください。 フラッシュ・メモリの操作中にNMI信号を入力した場合は，デバイス内部処理によるフラッシュ・メモリの操作が正しく行われない場合があります。 NMIがデバイス内部処理の処理中に発生した場合，RAMパラメータのNMIフラグにNMI発生の有無が反映されます。また，NMIの発生によりフラッシュ・メモリの操作に影響を受けた場合は，各セルフ・プログラミング機能の返却値に反映されます。
スタック領域の確保	デバイス内部処理では，ユーザ・プログラムが使用しているスタックを継承して使用します。呼び出す時点のユーザ・プログラムのスタック・サイズに対して，300バイトの領域が確保されていることが必要です。なお，スタック・ポインタはr3を使用します。
汎用レジスタの保存	デバイス内部処理では，r6-r14, r20, r31（lp）の内容を書き換えます。 必要に応じて保存と復帰を行ってください。

15. 7. 6　セルフ・プログラミング機能番号

セルフ・プログラミング機能を識別するために，各機能に次に示す番号が割り当てられています。この機能番号はデバイス内部処理の呼び出しの際にパラメータとして使用します。

表15－9　セルフ・プログラミング機能番号

機能番号	機 能 名
0	フラッシュ情報取得
1	エリア消去
2-4	RFU
5	エリア・ライトバック
6-8	RFU
9	イレース・バイト・ベリファイ
10	イレース・ベリファイ
11-15	RFU
16	ワード単位連続書き込み
17-19	RFU
20	プリライト
21	内部ベリファイ
その他	禁止

備考　RFU：Reserved for future used（将来の使用のため予約）

15. 7. 7　呼び出しパラメータ

セルフ・プログラミング機能を呼び出す場合の引き数を次に示します。このほかにep（r30）で示されるRAMパラメータに書き込みや消去時間などのパラメータを設定します。

表15－10　呼び出しパラメータ

機能名	第1引き数（r6） 機能番号	第2引き数（r7）	第3引き数（r8）	第4引き数（r9）	返却値（r10）
フラッシュ情報取得	0	オプション番号[注1]	－	－	注1
エリア消去	1	エリア消去開始アドレス	－	－	0　：正常終了 0以外　：エラー
エリア・ライトバック	5	なし （直前の消去操作領域に作用する）	－	－	なし
イレース・バイト・ベリファイ	9	ベリファイ開始アドレス	ベリファイ・バイト数	－	0　：正常終了 0以外　：エラー
イレース・ベリファイ	10	なし （直前の消去操作領域に作用する）	－	－	0　：正常終了 0以外　：エラー
ワード単位連続書き込み[注2]	16	書き込み開始アドレス[注3]	書き込み元データの開始アドレス[注3]	書き込みワード数（ワード単位）	0　：正常終了 0以外　：エラー
プリライト	20	書き込み開始アドレス	書き込みバイト数	－	0　：正常終了 0以外　：エラー
内部ベリファイ	21	ベリファイ開始アドレス	ベリファイ・バイト数	－	0　：正常終了 0以外　：エラー

注1.　15. 7. 10　フラッシュ情報を参照してください。

2.　ワード単位連続書き込みでは，フラッシュ・メモリ以外に書き込み元データを確保してください。

3.　4バイト境界にしてください。

注意　すべての機能でep（r30）はRAMパラメータの先頭アドレスを示す必要があります。

15. 7. 8　RAMパラメータの内容

RAMパラメータとして次に示す48バイトの領域を内部RAMまたは外部RAMに確保し，入力のパラメータを設定してください。このベース・アドレスをep（r30）に設定します。

表15－11　RAMパラメータの内容

アドレス	サイズ	入出力	内　　容
ep＋0	4バイト	－	内部での作業用
ep＋4：Bit5[注1]	1ビット	入力	動作フラグ（デバイス内部処理を呼び出す前に必ず1を設定します。） 0：通常動作中 1：セルフ・プログラミング中
ep＋4：Bit7[注2, 3]	1ビット	出力	NMIフラグ 0：NMI未検出 1：NMI検出
ep＋8	4バイト	入力	消去時間（符号なし4バイト） 内部動作単位時間（100 μs）を1単位として1カウント値で表します。 設定値 = 消去時間（μs）／内部動作単位時間（μs） 例　消去時間が0.4 sの場合 →0.4×1000000/100 = 4000（整数演算）
ep＋0xc	4バイト	入力	ライトバック時間（符号なし4バイト） 内部動作単位時間（100 μs）を1単位として1カウント値で表します。 設定値 = ライトバック時間（μs）／内部動作単位時間（μs） 例　ライトバック時間が1 msの場合 →1×1000/100 = 10（整数演算）
ep＋0x10	2バイト	入力	内部動作単位時間作成のためのタイマ設定値（符号なし2バイト） タイマ4で内部動作単位時間（100 μs）となる設定値を書き込みます。 設定値 = 動作周波数（Hz）／1000000×内部動作単位時間（μs）／タイマ分周比（4）＋1[注4] 例　動作周波数が40 MHzの場合 →40000000/1000000×100/4＋1 = 1001（整数演算）
ep＋0x12	2バイト	入力	書き込み時間作成のためのタイマ設定値（符号なし2バイト） タイマ4で書き込み時間となる設定値を書き込みます。 設定値 = 動作周波数（Hz）／書き込み時間（μs）／タイマ分周比（4）＋1[注4] 例　動作周波数が40 MHz，書き込み時間が20 μsの場合 →40000000/1000000×20/4＋1 = 201（整数演算）
ep＋0x14	28バイト	－	内部での作業用

注1. ep＋4のアドレスの5ビット目（最下位ビットは0ビットとします）

2. ep＋4のアドレスの7ビット目（最下位ビットは0ビットとします）

3. NMIフラグは，デバイス内部処理でクリアされないため，ユーザ・プログラムでクリアしてください。

4. デバイス内部処理でこの設定値から1を引いた値をタイマに設定します。また，端数が切り上げられるため，設定値の式のとおり1を加算してください。

注意　RAMパラメータ領域は，必ず4バイト境界になるように確保してください。

15. 7. 9　セルフ・プログラミング時のエラー

セルフ・プログラミングでは，次に示すフラッシュ・メモリの操作に関するエラーがあります。それぞれの機能からの返却値（r10）が，0でない場合にエラーとなります。

表15－12　セルフ・プログラミング時のエラー

エ ラ ー	発生する機能	内　　容
オーバ・イレース・エラー（過消去エラー）	イレース・ベリファイ	過消去が発生しています。
アンダ・イレース・エラー（ブランク・チェック・エラー）	イレース・バイト・ベリファイ	消去が不十分です。消去操作を追加する必要があります。
ベリファィ・エラー	ワード単位連続書き込み	書き込んだデータが正しく読み出せません。消去していないフラッシュ・メモリへ書き込みを行ったか，書き込みが十分に行われていない状態です。
内部ベリファイ・エラー	内部ベリファイ	書き込みの結果，書き込んだデータが正しい信号のレベルではありません。

注意　フラッシュ・メモリ全体では，オーバ・イレース・エラーとアンダ・イレース・エラーが同時に発生する場合があります。

15. 7. 10　フラッシュ情報

フラッシュ情報取得機能（機能番号0）は，指定するオプション番号（r7）と返却値（r10）の内容が次に示すようになります。すべてのフラッシュ情報を取得する場合は，次に示す形に従って必要な回数だけフラッシュ情報取得機能を呼び出してください。

表15－13　フラッシュ情報

オプション番号（r7）	返却値（r10）
0	指定禁止
1	指定禁止
2	返却値のビット表現（MSB：ビット31）FFFFFFFFFFFFFFFFAAAAAAAAFFFFFFFF（LSB：ビット0） ビット31-16 ：FFFFFFFFFFFFFFFF（将来の使用のため予約） ビット31-16は，通常0（ゼロ）ではないため，マスクして使用してください。 ビット15-8 ：AAAAAAAA（エリアの数）（符号なし8ビット） ビット7-0 ：FFFFFFFF（将来の使用のため予約） ビット7-0は，通常0（ゼロ）ではないため，マスクして使用してください。
3＋0	エリア0の最終アドレス
3＋1	エリア1の最終アドレス

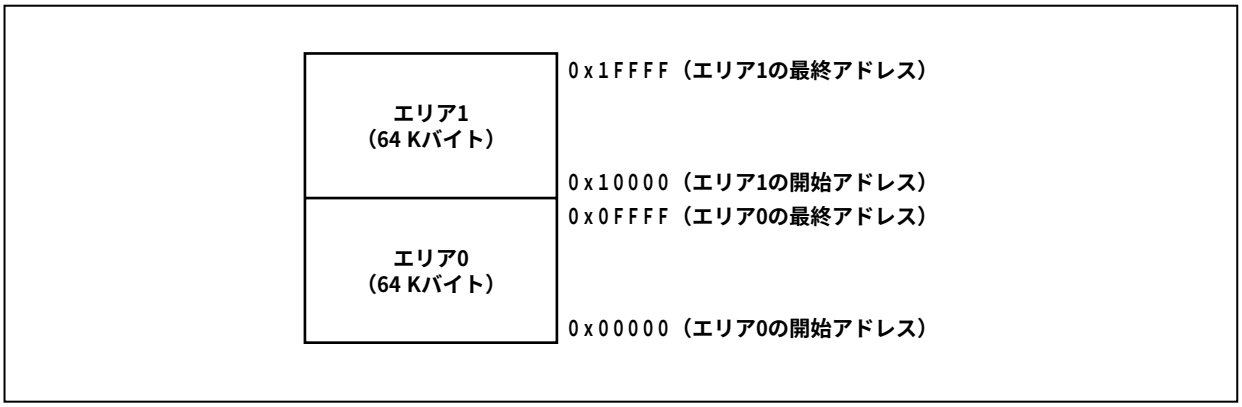
注意1. **エリア0の開始アドレスは0です。また，前エリアの「最終アドレス＋1」が，次のエリアの開始アドレスになります。**

2. **フラッシュ情報取得機能は，オプションの引き数で指定したエリアの最大数などの値をチェックしません。不正な値を指定した場合は，不定値が返ります。**

15. 7. 11　エリア番号

μPD70F3114のエリア番号とメモリ・マップを次に示します。

図15－16　エリア構成



15. 7. 12　フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）

フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）は，フラッシュ・メモリへの書き込み禁止／許可やセルフ・プログラミング・モードを指定するレジスタです。

8/1ビット単位でリード／ライト可能です（VPPビット（ビット2）はリードのみ可能です）。

注意1. FLSPMビットを操作する場合は，必ず一度内蔵RAMまたは外部メモリに制御を移して操作してください。ただし，フラッシュ・メモリ・プログラマによるオンボード書き込みモード時は，FLSPMビットの指定は無視されます。

2. ビット0, 4-7は初期値を変更しないでください。

	7	6	5	4	③	②	①	0	アドレス	初期値[注]
FLPMC	0	0	0	0	VPPDIS	VPP	FLSPM	0	FFFFF8D4H	08H/0CH/00H

注　08H：V_{PP}端子に書き込み電圧が印加されていない場合

0CH：V_{PP}端子に書き込み電圧が印加されている場合

00H：フラッシュ・メモリを内蔵していない製品（μPD703114）

ビット位置	ビット名	意　味
3	VPPDIS	内蔵フラッシュ・メモリに対する書き込み／消去の許可／禁止を制御するビットです。VPPDIS = 1の場合，V_{PP}端子に高電圧を印加しても，内蔵フラッシュ・メモリに対する書き込み／消去は行われません。 0：フラッシュ・メモリの書き込み／消去の許可 1：フラッシュ・メモリの書き込み／消去の禁止
2	VPP	V_{PP}端子が書き込み可能な電圧に達したことを示すビットです（リードのみ可能）。VPPビットは，セルフ・プログラミング・モード時の書き込み可能であるかを確認するために使用します。 0：V_{PP}端子に高電圧印加未検出の状態（書き込み電圧に達していない） 1：V_{PP}端子に高電圧印加検出の状態（書き込み電圧に達している）
1	FLSPM	内蔵ROMとセルフ・プログラミング・インタフェースの切り替えを制御するビットです。応用システム上でモード端子を通して設定されている動作モードとセルフ・プログラミング・モードとの切り替えが可能です。FLSPMビットは，V_{PP}端子が書き込み電圧に達している期間だけ有効となります。 0：通常モード（すべてのアドレスにおいて内蔵フラッシュ・メモリより命令フェッチを行います。） 1：セルフ・プログラミング・モード（デバイス内部処理へ移行します。）

フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）へのデータ設定は，次のシーケンスで行います。

① 割り込みを禁止します（PSWのNPビット，IDビットを1に設定）。
② 任意の汎用レジスタに特定レジスタへ設定するためのデータを用意します。
③ ペリフェラル・コマンド・レジスタ（PHCMD）にデータを書き込みます。
④ フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）を設定します（次の命令で行います）。
　・ストア命令（ST/SST命令）
　・ビット操作命令（SET1/CLR1/NOT1命令）
⑤ NOP命令を挿入する（5命令（⑤-⑨））
⑩ 割り込み禁止を解除します（PSWのNPビットを0に戻します）。

［記述例］
```
①  LDSR   rX, 5
②  MOV    0x02, r10
③  ST.B   r10, PHCMD[r0]
④  ST.B   r10, FLPMC[r0]
⑤  NOP
⑥  NOP
⑦  NOP
⑧  NOP
⑨  NOP
⑩  LDSR   rY, 5
```

備考　rX：PSWに書き込む値
　　rY：PSWに書き戻す値

なお，特定レジスタを読み出す場合は，特別なシーケンスは必要ありません。

注意1. PHCMD発行（③）とその直後の特定レジスタ書き込み（④）の間で割り込みを受け付けた場合，特定レジスタへの書き込みは行われず，プロテクション・エラー（PHSレジスタのPRERRビット = 1）が発生することがあります。このため，PSWのNPビットを1に設定（①）して，割り込みの受け付けを禁止してください。特定レジスタの設定にビット操作命令を使用した場合も同様に割り込みの受け付けを禁止してください。
2. PHCMDレジスタへ書き込むデータはダミーですが，特定レジスタへの設定（上記例③）で使用する汎用レジスタと同じレジスタをPHCMDレジスタ書き込み（上記例④）でも使用してください。アドレシングに汎用レジスタを使用する場合も同様です。
3. この処理を行う前にすべてのDMA転送を終了させてください。

15. 7. 13　デバイス内部処理の呼び出し

エントリ・プログラムからデバイス内部処理を呼び出す手順について説明します。

デバイス内部処理は，「ハードウエア環境」と「ソフトウエア環境」の条件をすべて満たし，必要な引き数とRAMパラメータを設定してから呼び出してください。フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）のFLSPMビットをセット（1）したあと，trap 0x1f命令を実行することによりデバイス内部処理を呼び出します。すべての呼び出しは，同じ手順で行います。このインタフェースのプログラムは，すべてアセンブリ言語により記述することを前提としています。

① FLPMCレジスタを設定手順に従って設定します。
　・VPPDISビット = 0（フラッシュ・メモリの書き込み／消去の許可）
　・FLSPMビット = 1（セルフ・プログラミング・モード選択）
② PSWのNPビットをクリア（0）します（NMIを許可（アプリケーション上でNMIを使用する場合のみ））。
③ trap 0x1fを実行して，デバイス内部処理へ制御を移行します。
④ PSWのNPビット，IDビットをセット（1）します（すべての割り込みを禁止します）。
⑤ ペリフェラル・コマンド・レジスタ（PHCMD）にFLPMCレジスタに設定する値を設定します。
⑥ FLPMCレジスタを設定手順に従って設定します。
　・VPPDISビット = 1（フラッシュ・メモリの書き込み／消去の禁止）
　・FLSPMビット = 0（通常動作モード選択）
⑦ 内部操作セットアップ時間以上待ちます（15. 7. 13（5）**内部操作セットアップ・パラメータ**参照）。

（1）パラメータ

r6 ：第1引き数（セルフ・プログラミング機能番号を設定）
r7 ：第2引き数
r8 ：第3引き数
r9 ：第4引き数
ep ：RAMパラメータの先頭アドレス

（2）返却値

r10 ：返却値（4バイトのデバイス内部処理からの返却値を返します）
ep＋4：Bit7 ：NMIフラグ（デバイス内部処理を実行中にNMIが発生したかを示すフラグ）
　0：デバイス内部処理を実行中にNMIが発生していない。
　1：デバイス内部処理を実行中にNMIが発生した。
デバイス内部処理への遷移中にNMIが発生した場合，NMIの要求が一度も反映されないことがあります。NMIフラグは内部でリセットされないので，デバイス内部処理を呼び出す前にこのビットをクリアしておく必要があります。デバイス内部処理から戻ってきたあとで，このフラグをソフトウエアで判定し，NMIの処理を擬似的に実行することができます。

（3）説明

機能番号で指定したデバイス内部処理へtrap命令により制御を移します。この手順を行う前にハードウエア環境，ソフトウエア環境の条件を満たす必要があります。なお，ユーザ・アプリケーション・プログラムでtrap 0x1fを使用しても，FLPMCレジスタを設定したあとのtrap 0x1fは別の動作として扱われるため，アプリケーション上でtrap命令の使用に関する制限はありません。

(4) プログラム例

エントリ・プログラムをサブルーチンにした場合のプログラム例を次に示します。この例では戻り番地をスタックに保存してからデバイス内部処理を呼び出しています。このプログラムは，ブロック0空間，およびフラッシュ・メモリ領域以外のメモリに配置する必要があります。

```
ISETUP    130                           -- 内部操作セットアップ・パラメータ
EntryProgram:
   add        -4, sp                    -- Prepare
   st.w       lp, 0[sp]                 -- Save return address
   movea      lo(0x00a0), r0, r10       --
   ldsr       r10, 5                    -- PSW = NP, ID
   mov        lo(0x0002), r10           --
   st.b       r10, PHCMD[r0]            -- PHCMD = 2
   st.b       r10, FLPMC[r0]            -- VPPDIS = 0, FLSPM = 1
   nop
   nop
   nop
   nop
   nop
   movea      lo(0x0020), r0, r10       --
   ldsr       r10, 5                    -- PSW = ID
   trap       0x1f                      -- Device Internal Process
   movea      lo(0x00a0), r0, r6        --
   ldsr       r6, 5                     -- PSW = NP, ID
   mov        lo(0x08), r6
   st.b       r6, PHCMD[r0]             -- PHCMD = 8
   st.b       r6, FLPMC[r0]             -- VPPDIS = 1, FLSPM = 0
   nop
   nop
   nop
   nop
   nop
   mov        ISETUP, lp                -- loop time = 130
loop:
   divh       r6, r6                    -- To kill time
   add        -1, lp                    -- Decrement counter
   jne        loop                      --
   ld.w       0[sp], lp                 -- Reload lp
   add        4, sp                     -- Dispose
   jmp        [lp]                      -- Return to caller
```

(5) 内部操作セットアップ・パラメータ

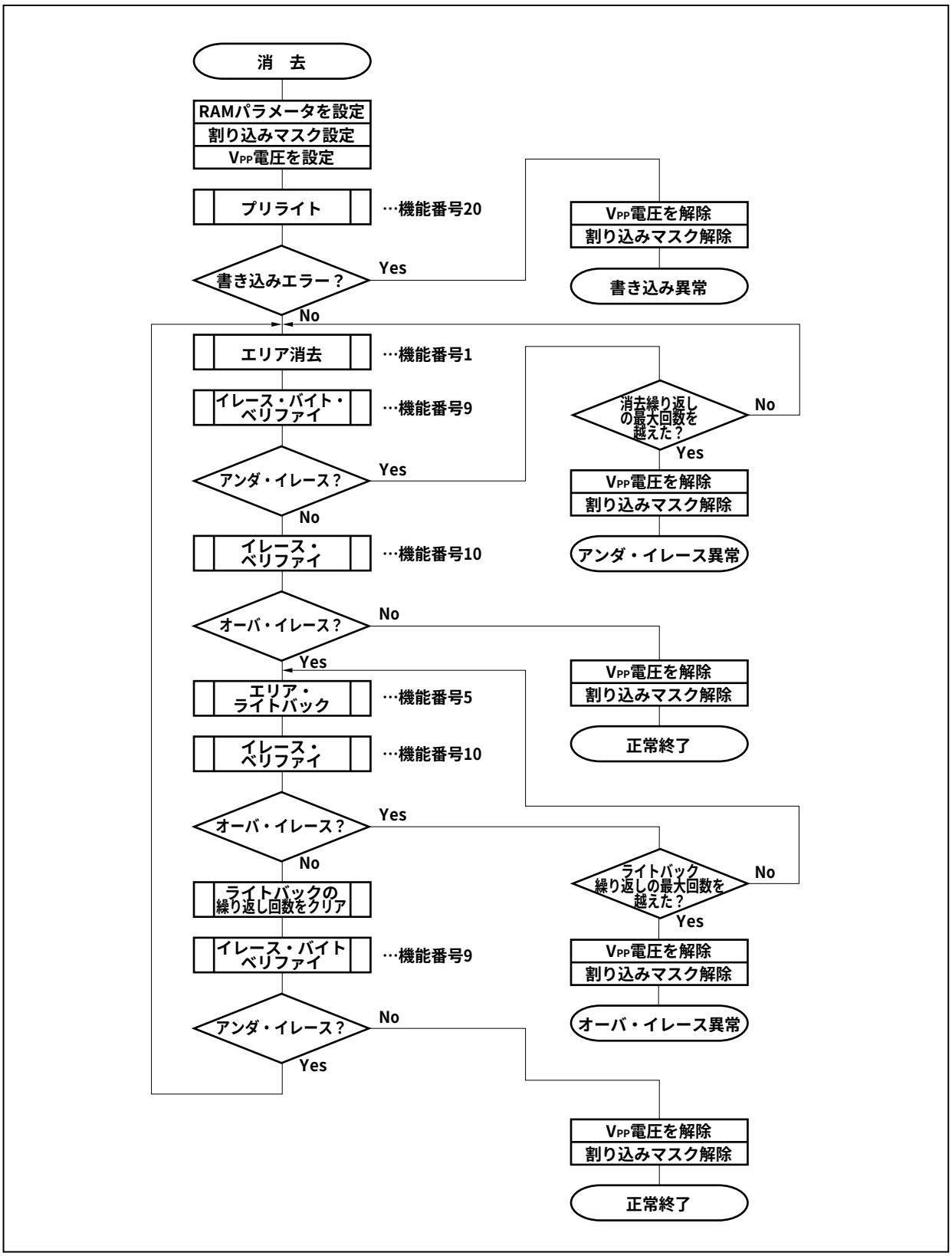
セルフ・プログラミング・モードから通常動作モードに切り替えた場合，μPD70F3114**ではフラッシュ・メモリにアクセスする前に**100 μs**間の待ち時間が必要です。(4) プログラム例では**ISETUP**に「**104**」(**40 MHz**動作時）を設定して待ち時間を確保しています。(4) プログラム例での待ち時間の合計実行クロック数は，**39**クロック（**divh**命令（**35**クロック）＋**add**命令（**1**クロック）＋**jne**命令（**3**クロック））になります。次の計算により，**100 μs**間の待ち時間を確保します。**

39クロック（合計実行クロック数）×25 ns（40 MHz動作時）×104（ISETUP） = 101.4 μs（待ち時間）

15. 7. 14　フラッシュ・メモリの消去フロー

フラッシュ・メモリを消去する手順を次に示します。それぞれの機能番号の処理は，呼び出し手順に従った処理を行ってください。

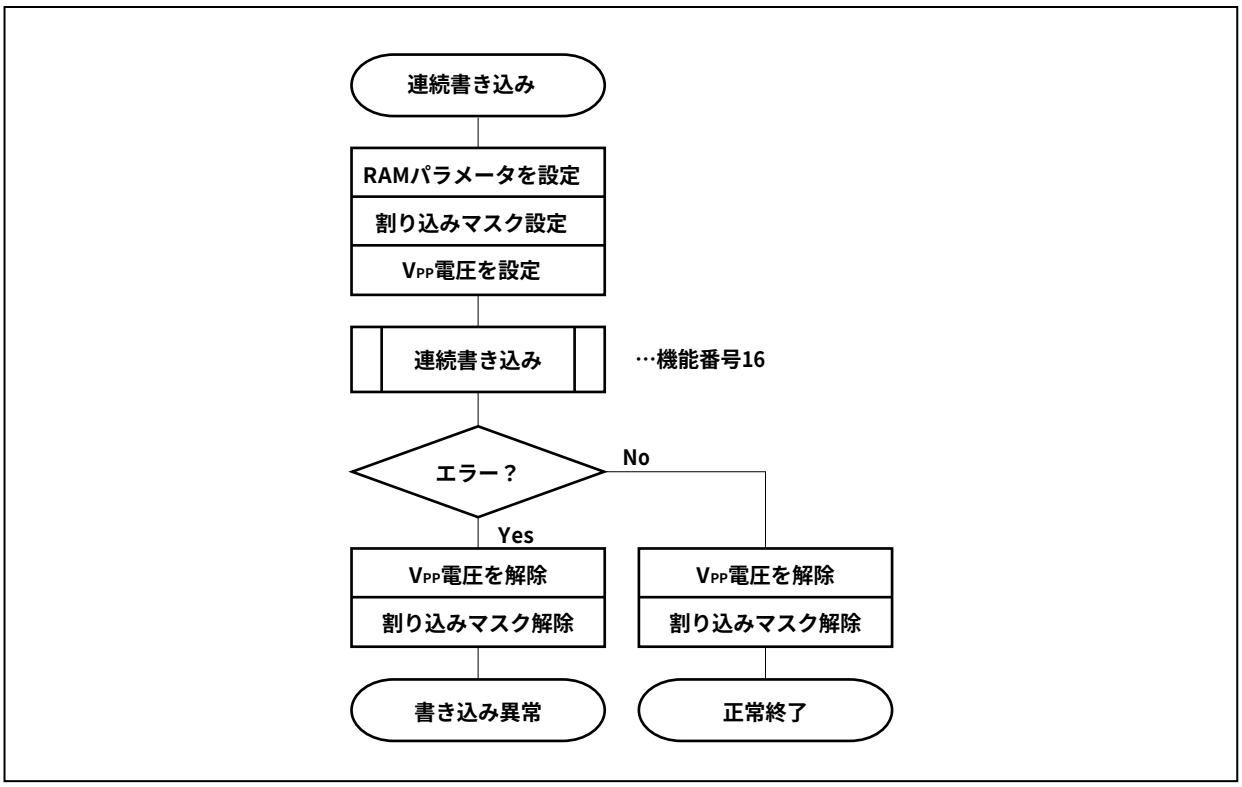
図15－17　フラッシュ・メモリの消去フロー



15. 7. 15　連続書き込みフロー

ワード単位の連続書き込み機能を使用して，一度に書き込む手順を次に示します。それぞれの機能番号の処理は，呼び出し手順に従った処理を行ってください。

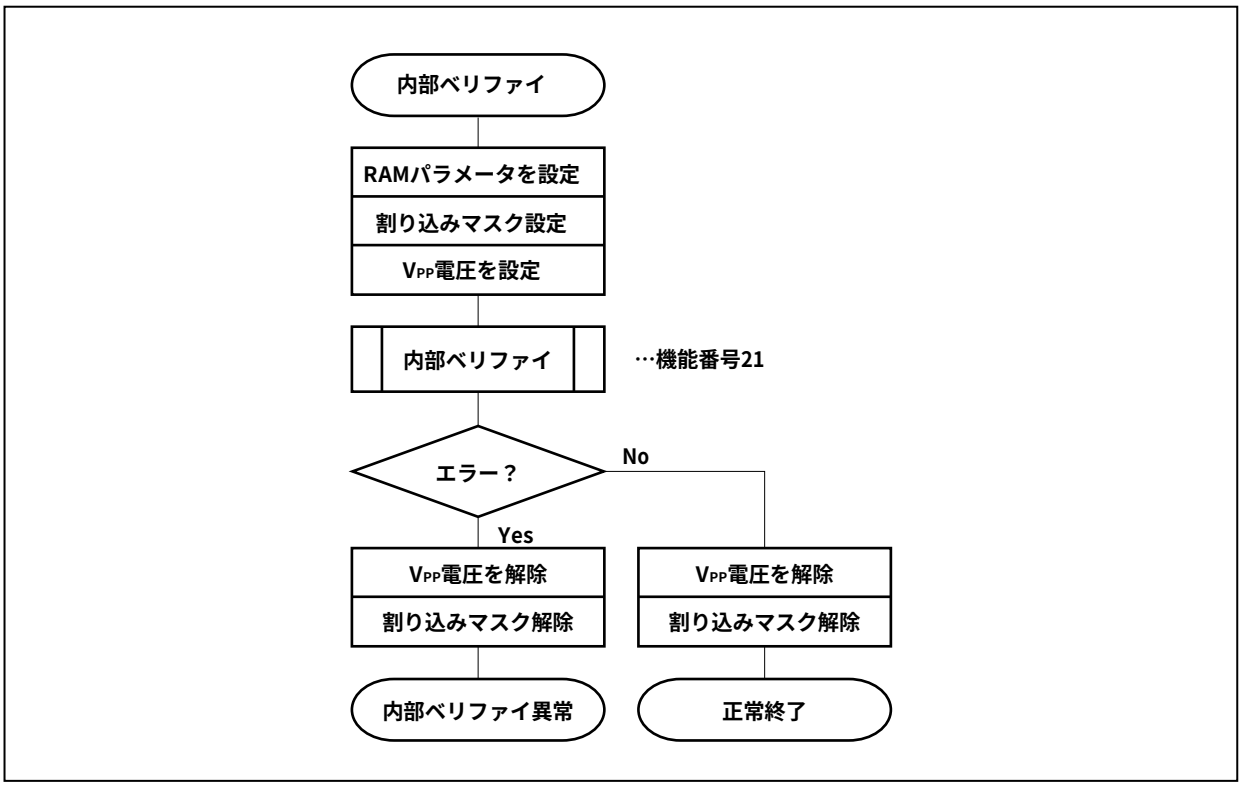
図15－18　連続書き込みフロー



15. 7. 16　内部ベリファイ・フロー

内部ベリファィの手順を次に示します。機能番号の処理は，呼び出し手順に従った処理を行ってください。

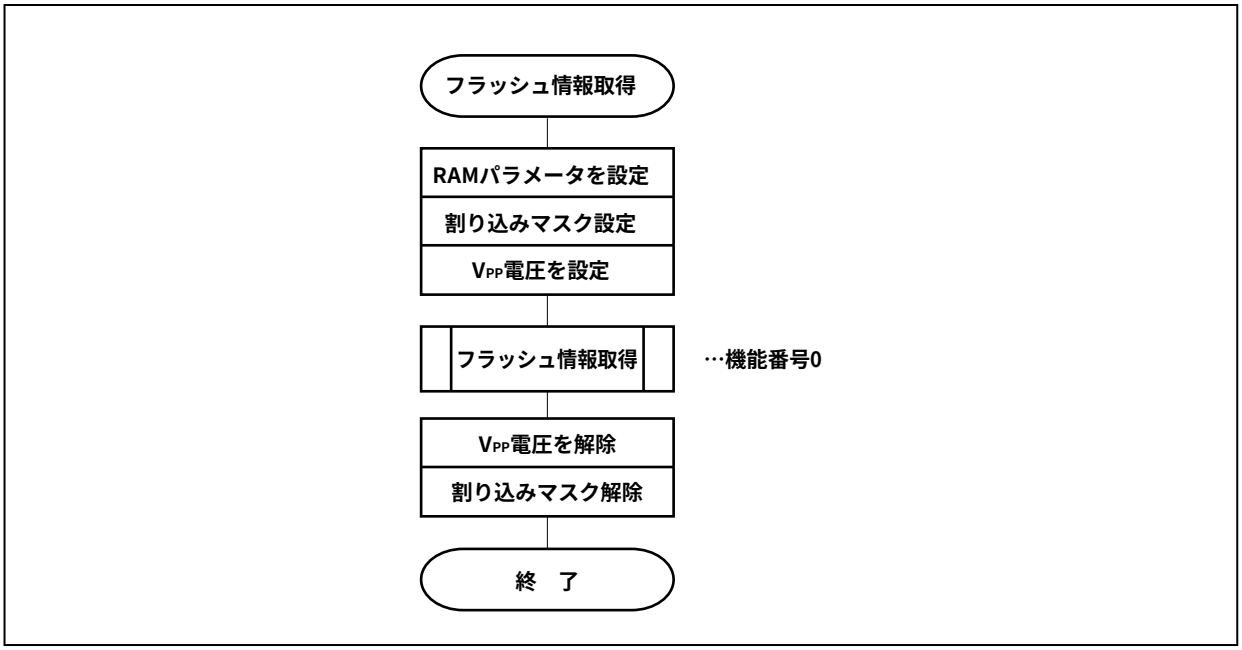
図15ー19　内部ベリファイ・フロー



15. 7. 17　フラッシュ情報取得フロー

フラッシュ情報取得の手順を次に示します。機能番号の処理は，呼び出し手順に従った処理を行ってください。

図15－20　フラッシュ情報取得フロー



15. 7. 18　セルフ・プログラミング・ライブラリ

セルフ・プログラミングを行うための参考資料として，V850シリーズ　ユーザーズ・マニュアル　フラッシュ・メモリ・セルフ・プログラミングを用意しています。

この資料で記述したライブラリは，V850マイコンが提供するセルフ・プログラミング・インタフェースを利用し，C言語から利用できるユーティリティとしたライブラリで，アプリケーション・プログラムの一部として位置付けられています。ライブラリを使用する際は，アプリケーション・システム上で十分に評価を行ってください。

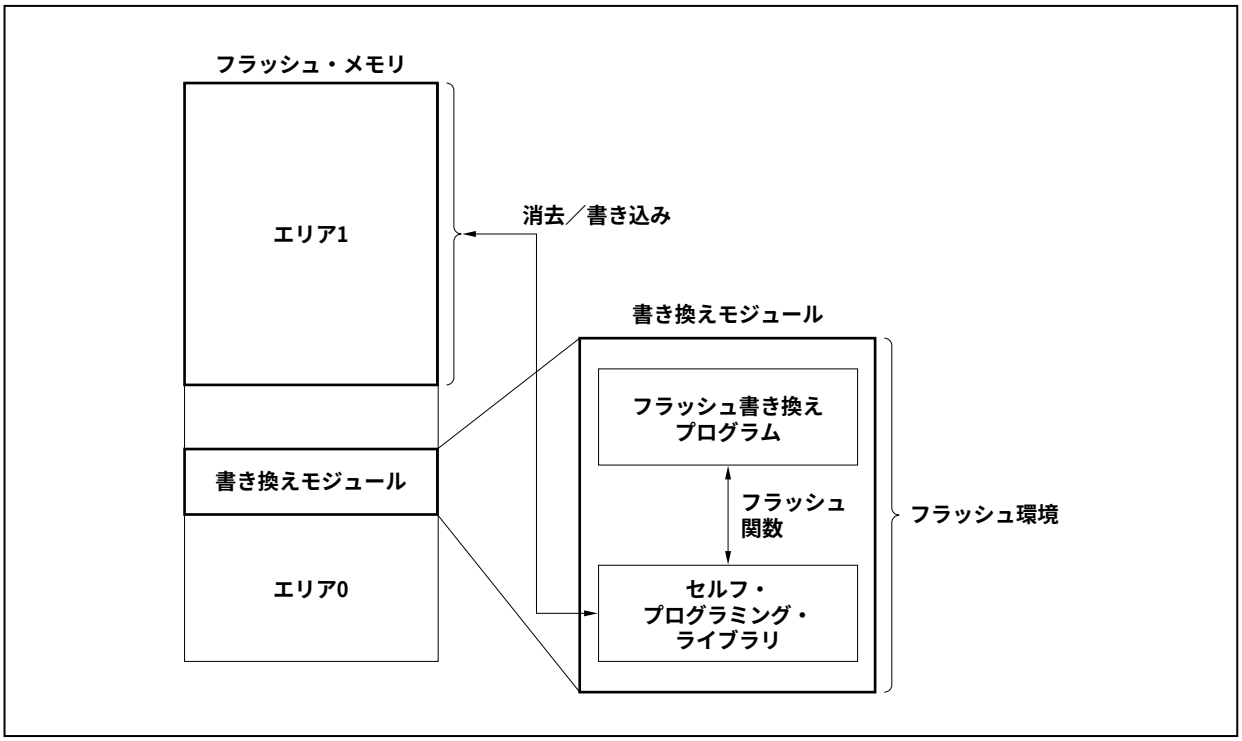
(1) 機能概要

セルフ・プログラミング・ライブラリの機能概要を図15－21に示します。図15－21ではエリア0の領域に書き換えモジュールを配置し，エリア1の領域に対して書き換え／消去を行う場合を示しています。

書き換えモジュールは，フラッシュ・メモリを書き換えるためのユーザ・プログラムです。このセルフ・プログラミング・ライブラリに含まれるフラッシュ関数を利用して，ほかのエリアを書き換えることができます。また，フラッシュ関数は，外部または内蔵RAMにエントリ・プログラムを展開して，デバイス内部処理を呼び出します。

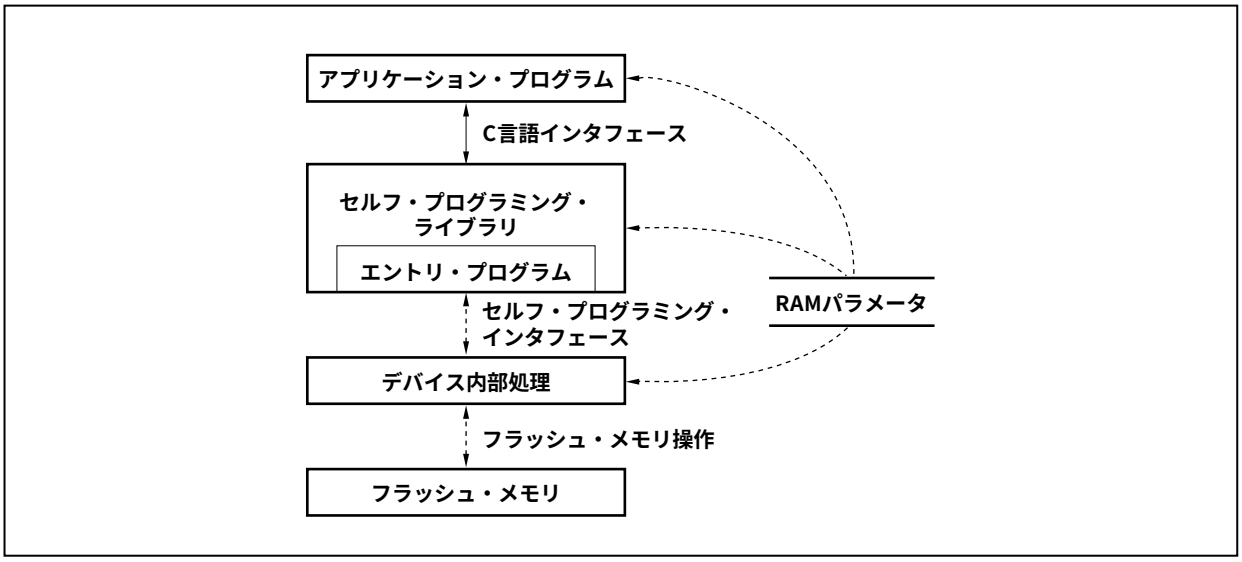
セルフ・プログラミング・ライブラリを使用する際は，書き込み電圧などのハードウエア的な条件と，割り込みなどのソフトウエア的な条件を満たしてください。

図15－21　セルフ・プログラミング・ライブラリの機能概要



セルフ・プログラミング・ライブラリの構成概要を次に示します。

図15－22　セルフ・プログラミング・ライブラリの構成概要



15. 8　フラッシュ製品とマスクROM製品の判別方法

フラッシュ製品（μPD70F3114）とマスクROM製品（μPD703114）は，次に示す方法によりソフトウエアで判別することができます。

① 割り込みを禁止します（PSWのNPビットを1に設定）。
② ペリフェラル・コマンド・レジスタ（PHCMD）にデータを書き込みます。
③ フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）のVPPDISビットをセット（1）します。
④ NOP命令を挿入します（5命令（④-⑧））。
⑨ 割り込み禁止を解除します（PSWのNPビットを0に戻します）。
⑩ フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）のVPPDISビットを読み出します。
・読み出した値が0の場合：マスクROM製品（μPD703114）
・読み出した値が1の場合：フラッシュ製品（μPD70F3114）

[記述例]

```
①  LDSR   rX, 5
②  ST.B   r10, PHCMD[r0]
③  SET1   3, FLPMC[r0]
④  NOP
⑤  NOP
⑥  NOP
⑦  NOP
⑧  NOP
⑨  LDSR   rY, 5
⑩  TST1   3, FLPMC[r0]
   BNZ              〈セルフ・プログラミング・ルーチン先頭アドレス〉
   BR               〈書き換えを行わない場合のルーチン〉
```

備考　rX：PSWに書き込む値
rY：PSWに書き戻す値

注意1. PHCMD発行（②）とその直後の特定レジスタ書き込み（③）の間で割り込みを受けつけた場合，特定レジスタへの書き込みは行われず，プロテクション・エラー（PHSレジスタのPRERRビット = 1）が発生することがあります。このため，PSWのNPビットを1に設定（①）して，割り込みの受け付けを禁止してください。特定レジスタの設定にビット操作命令を使用した場合も同様に割り込みの受け付けを禁止してください。

2. PHCMDレジスタへ書き込むデータはダミーですが，特定レジスタへの設定にストア命令を使用した場合は，特定レジスタの設定使用する汎用レジスタと同じレジスタをPHCMDレジスタ書き込みでも使用してください。アドレシングに汎用レジスタを使用する場合も同様です。

3. この処理を行う前にすべてのDMA転送を終了させてください。

第16章　電気的特性

16. 1　通常動作モード

絶対最大定格（T_A = 25 ℃）

項　　目	略　号	条　　件		定　　格	単　位
電源電圧	REGIN	REGIN端子		−0.5〜＋4.6	V
	V_{DD}	V_{DD}端子		−0.5〜＋7.0	V
	RV_{DD}	RV_{DD}端子		−0.5〜＋7.0	V
	CV_{SS}	CV_{SS}端子		−0.5〜＋0.5	V
	AV_{DD}	AV_{DD0}, AV_{DD1}端子		−0.5〜V_{DD}＋0.5[注1]	V
	AV_{SS}	AV_{SS0}, AV_{SS1}端子		−0.5〜＋0.5	V
入力電圧	V_{I1}	X1端子，V_{PP}端子を除く		−0.5〜V_{DD}＋0.5[注1]	V
	V_{I2}	V_{PP}端子（μPD70F3114のみ）[注2]		−0.5〜＋8.5	V
クロック入力電圧	V_K	X1端子		−0.5〜REGIN＋1.0[注1]	V
アナログ入力電圧	V_{IAN}	ANI00-ANI05端子，	AV_{DD}＞V_{DD}	−0.5〜V_{DD}＋0.5[注1]	V
		ANI10-ANI17端子	V_{DD}≧AV_{DD}	−0.5〜AV_{DD}＋0.5[注1]	V
ロウ・レベル出力電流	I_{OL}	TO000-TO005，TO010-TO015端子のうち1端子		20	mA
		TO000-TO005，TO010-TO015端子を除く1端子		4.0	mA
		全端子合計		180	mA
ハイ・レベル出力電流	I_{OH}	1端子		−4.0	mA
		全端子合計		−100	mA
動作周囲温度	T_A			−40〜＋85	℃
保存温度	T_{stg}			−65〜＋150	℃

注1. **それぞれの電源電圧の絶対最大定格（**MAX.**値）を越えないようにしてください。**

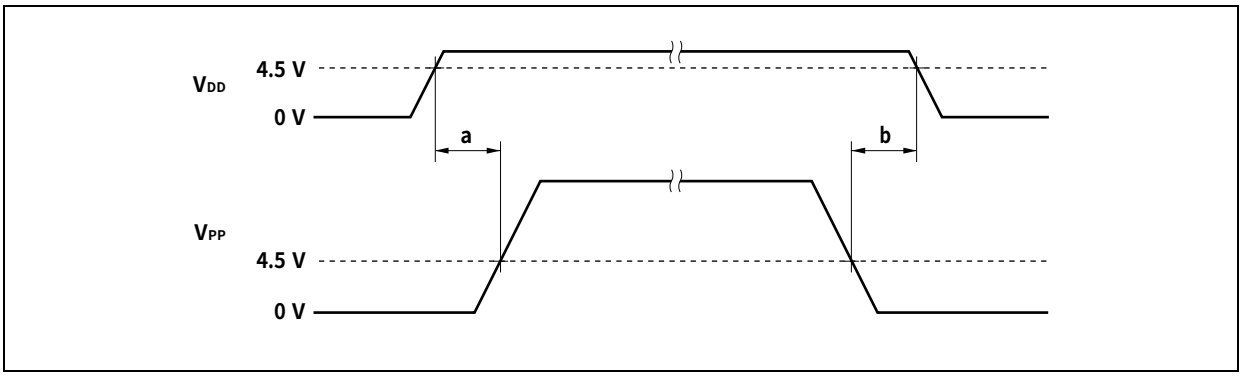
2. **フラッシュ・メモリ書き込み時，**V_{PP}**の電圧印加タイミングについては，必ず次の条件を満たしてください。**

・電源電圧立ち上がり時

V_{DD}**が動作電圧範囲の下限電圧（**4.5 V**）に達してから**10 μs**（レギュレータで電源電圧を降圧時は**2 ms**）以上経過後，**V_{PP}**が**V_{DD}**を越えること（下図の**a**）。**

・電源電圧立ち下がり時

V_{PP}**が**V_{DD}**の動作電圧範囲の下限電圧（**4.5 V**）を下回ってから**10 μs**以上経過後，**V_{DD}**を立ち下げること（下図の**b**）。**



注意1. IC**製品の出力（または入出力）端子同士を直結したり，**V_{DD}**または**V_{CC}**やGND**に直結したりしないでください。ただし，オープン・ドレーン端子やオープン・コネクタ端子同士は直結できます。また，ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。**

2. **各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で，製品をご使用ください。**

DC**特性と**AC**特性に示す規格や条件が，製品の正常動作，品質保証の範囲です。**

容量（T_A = 25 °C, REGIN = V_{DD} = RV_{DD} = V_{SS3} = V_{SS} = CV_{SS} = 0 V**）**

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
入力容量	C_I	f_C = 1 MHz			15	pF
入出力容量	C_{IO}	被測定ピン以外は0 V			15	pF
出力容量	C_O				15	pF

動作条件

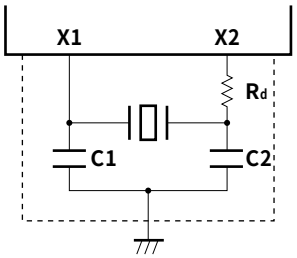
動作モード	内部システム・クロック周波数（f_{XX}）	動作周囲温度（T_A）	電源電圧	
			REGIN	V_{DD} = RV_{DD}
ダイレクト・モード	4～25 MHz	−40～＋85 ℃	3.3 V±0.3 V	5.0 V±0.5 V
PLLモード	4～40 MHz	−40～＋85 ℃	3.3 V±0.3 V	5.0 V±0.5 V

注意　CLKOUT**信号を使用して外部デバイスとインタフェースをとる場合は，内部システム・クロック周波数（**f_{XX}**）を**32 MHz**以下としてください。**

クロック発振回路特性

（T_A = −40～+85 **℃，**REGIN = 3.0～3.6 V, V_{DD} = RV_{DD} = 5.0 V±0.5 V, V_{SS3} = V_{SS} = CV_{SS} = 0 V**）**

（a）セラミック発振子または水晶振動子接続



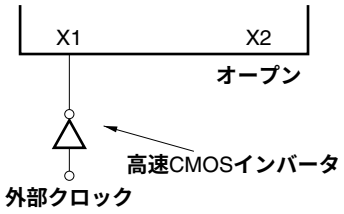
項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
発振周波数	f_X		4		6.4	MHz

備考1. 発振回路はX1, X2端子にできるかぎり近づけてください。

2. 破線の範囲内にほかの信号線を通さないでください。

3. 発振子の選択および発振回路定数については，お客様において発振評価していただくか，発振子メーカに評価を依頼してください。

（b）外部クロック入力



注意1. 高速CMOSインバータはX1端子にできるかぎり近づけてください。

2. V850E/IA2と高速CMOSインバータのマッチングについては，十分な評価を行ってください。

3. 内蔵レギュレータを使用する場合，外部クロックは使用禁止です。
内蔵レギュレータから供給される3.3 V系の電圧と外部クロックの電圧が同電位でなければ，誤動作する可能性があるためです。
外部クロックを使用する場合は，内蔵レギュレータを使用せず，外部からREGIN端子に外部クロックと同電位の3.3 V系電圧を供給してください。

推奨発振回路定数

（a）セラミック発振子

（i）村田製作所（T_A = －40～＋85 ℃）

タイプ	品　名	発振周波数	推奨回路定数			推奨電圧範囲	
		f_X（MHz）	C1（pF）	C2（pF）	R_d（Ω）	MIN.（V）	MAX.（V）
表面実装	CSTCR4M00G55-R0	4.0	内蔵	内蔵	0	3.0	3.6
	CSTCR6M00G55-R0	6.0	内蔵	内蔵	0	3.0	3.6

注意　この発振回路定数は，発振子メーカによる特定の環境下での評価に基づく参考値です。
実アプリケーションにおいて発振回路特性の最適化が必要な場合は，実装回路上での評価を発振子メーカに依頼してください。
また，発振電圧，発振周波数はあくまで発振回路特性を示すものであり，V850E/IA2**の内部動作条件については**DC, AC**特性の規格内で使用してください。**

DC特性（T_A = −40～+85 ℃，REGIN = 3.0～3.6 V, V_{DD} = RV_{DD} = 5.0 V±0.5 V, V_{SS3} = V_{SS} = CV_{SS} = 0 V）

項　目		略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル入力電圧		V_{IH1}	バス制御用端子[注1]		2.2		V_{DD}	V
		V_{IH2}	ポート端子[注2]		0.7 V_{DD}		V_{DD}	V
		V_{IH3}	注1, 2以外のポート端子，$\overline{\text{RESET}}$端子		0.8 V_{DD}		V_{DD}	V
		V_{IH4}	X1端子		0.8 REGIN		REGIN+0.3	V
ロウ・レベル入力電圧		V_{IL1}	バス制御用端子[注1]		0		0.8	V
		V_{IL2}	ポート端子[注2]		0		0.3 V_{DD}	V
		V_{IL3}	注1, 2以外のポート端子，$\overline{\text{RESET}}$端子		0		0.2 V_{DD}	V
		V_{IL4}	X1端子		−0.5		0.15 REGIN	V
ハイ・レベル出力電圧		V_{OH}	I_{OH} = −2.5 mA		V_{DD}−1.0			V
ロウ・レベル出力電圧		V_{OL1}	PWM出力[注3]	I_{OL} = 15 mA			2.0	V
				I_{OL} = 2.5 mA			0.4	V
		V_{OL2}	注3以外のポート端子	I_{OL} = 2.5 mA			0.4	V
ハイ・レベル入力リーク電流		I_{LIH}	V_I = V_{DD}				10	μA
ロウ・レベル入力リーク電流		I_{LIL}	V_I = 0 V				−10	μA
ハイ・レベル出力リーク電流		I_{LOH}	V_O = V_{DD}				10	μA
ロウ・レベル出力リーク電流		I_{LOL}	V_O = 0 V				−10	μA
アナログ端子入力リーク電流		I_{LIAN}	ANI00-ANI05, ANI10-ANI17端子				±10	μA
電源電流[注4]	通常時	I_{DD1}	REGIN	注5，μPD703114		1.8 f_{XX}+15	3.0 f_{XX}+30	mA
				注5，μPD70F3114		2.0 f_{XX}+15	3.2 f_{XX}+30	mA
			V_{DD}+RV_{DD}	注6		30	45	mA
	HALT時	I_{DD2}	REGIN	注5		0.8 f_{XX}+10	1.2 f_{XX}+15	mA
			V_{DD}+RV_{DD}	注6		15	30	mA
	IDLE時	I_{DD3}	REGIN			8	15	mA
			V_{DD}+RV_{DD}	注6		0.5	1.0	mA
	STOP時	I_{DD4}	REGIN	μPD703114		25	300	μA
				μPD70F3114		25	600	μA
			V_{DD}+RV_{DD}	注6		30	60	μA

注1. AD0/PDL0-AD15/PDL15, A16/PDH0-A21/PDH5, $\overline{\text{LWR}}$/PCT0, $\overline{\text{UWR}}$/PCT1, $\overline{\text{RD}}$/PCT4, ASTB/PCT6, $\overline{\text{WAIT}}$/PCM0, CLKOUT/PCM1端子

2. P31/TXD0, P33/SO1/TXD1, P41/SO0端子
3. TO000-TO005, TO010-TO015端子
4. PLLモード時の値です。
5. 動作条件からf_{XX}を算出して値を決定してください。
6. TO000-TO005, TO010-TO015端子の電流は含まれていません。

備考　f_{XX}：内部システム・クロック周波数

データ保持特性（T_A = −40〜+85 ℃）

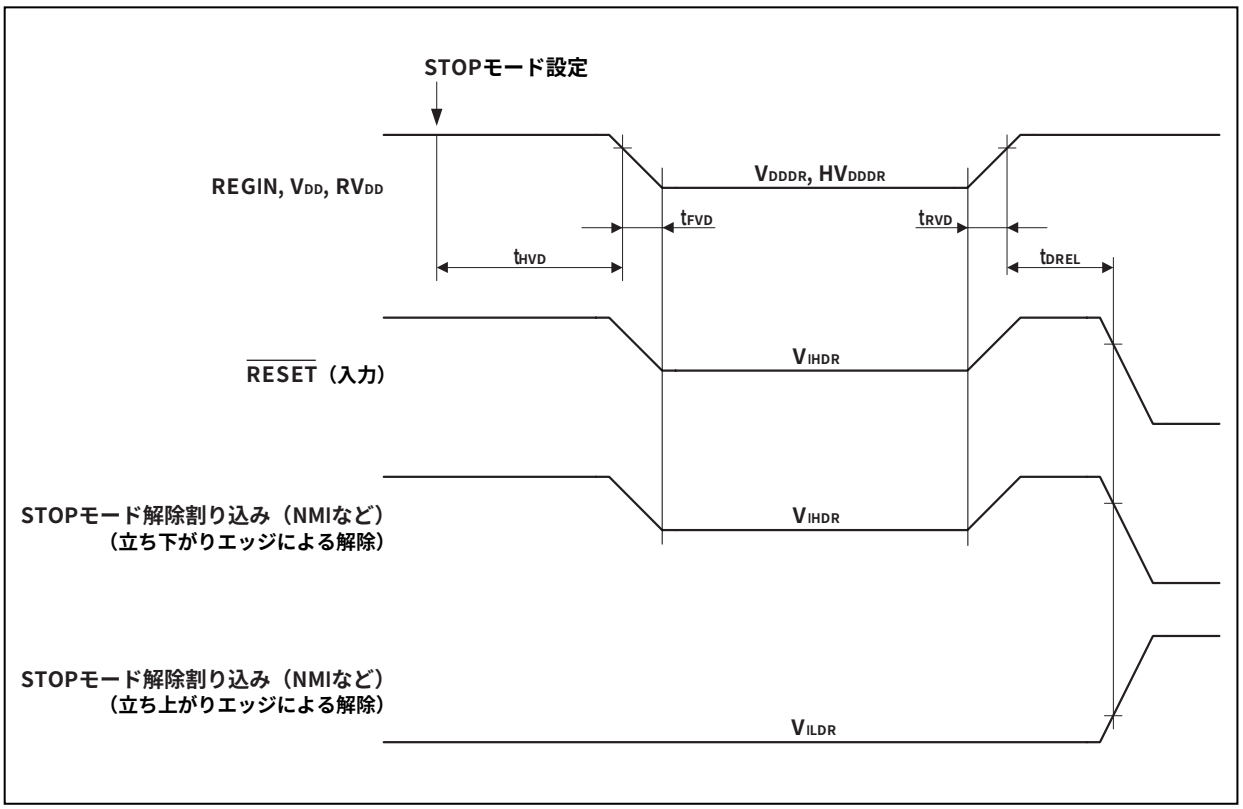
項　目	略　号	条　件		MIN.	TYP.	MAX.	単位
データ保持電圧	V_{DDDR}	STOPモード，REGIN = V_{DDDR}		1.5		3.6	V
	HV_{DDDR}	STOPモード，V_{DD} = RV_{DD} = HV_{DDDR}		3.6		5.5	V
データ保持電流	I_{DDDR}	REGIN = V_{DDDR}	μPD703114		25	300	μA
			μPD70F3114		25	600	μA
	HI_{DDDR}	V_{DD} = RV_{DD} = HV_{DDDR}，注1			30	60	μA
電源電圧立ち上がり時間	t_{RVD}			200			μs
電源電圧立ち下がり時間	t_{FVD}			200			μs
電源電圧保持時間（対STOPモード設定）	t_{HVD}			0			ms
STOP解除信号入力時間	t_{DREL}			0			ns
データ保持ハイ・レベル入力電圧	V_{IHDR}	注2		0.8 HV_{DDDR}		HV_{DDDR}	V
データ保持ロウ・レベル入力電圧	V_{ILDR}	注2		0		0.2 HV_{DDDR}	V

注1. TO000-TO005, TO010-TO015端子の電流は含まれていません。

2. P00/NMI, P01/ESO0/INTP0, P02/ESO1/INTP1, P03/ADTRG0/INTP2, P04/ADTRG1/INTP3, P05/INTP4/TO3OFF, P10/TIUD10/TO10, P11/TCUD10/INTP100, P12/TCLR10/INTP101, P20/TI2/INTP20, P21/TO21/INTP21-P24/TO24/INTP24, P25/TCLR2/INTP25, P26/TI3/TCLR3/INTP30, P27/TO3/INTP31, P30/RXD0, P32/RXD1/SI1, P34/$\overline{\text{ASCK1}}$/$\overline{\text{SCK1}}$, P40/SI0, P42/$\overline{\text{SCK0}}$, MODE0, MODE1, CKSEL, $\overline{\text{RESET}}$端子

注意　STOPモードへの移行，またはSTOPモードからの復帰の際は，REGIN = 3.0〜3.6 V, V_{DD} = RV_{DD} = 4.5〜5.5 V の範囲で行ってください。

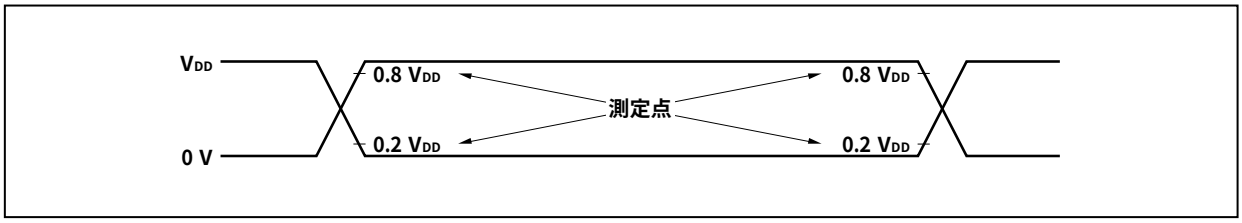
備考　TYP.値はT_A = 25 ℃時の参考値です。



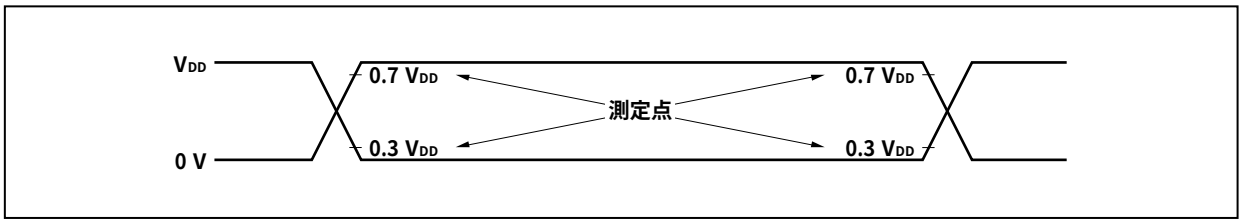
AC特性（T_A = −40～+85 ℃，REGIN = 3.0～3.6 V, V_{DD} = RV_{DD} = 5.0 V±0.5 V, V_{SS3} = V_{SS} = CV_{SS} = 0 V，
出力端子の負荷容量：C_L = 50 pF）

ACテスト入力測定点

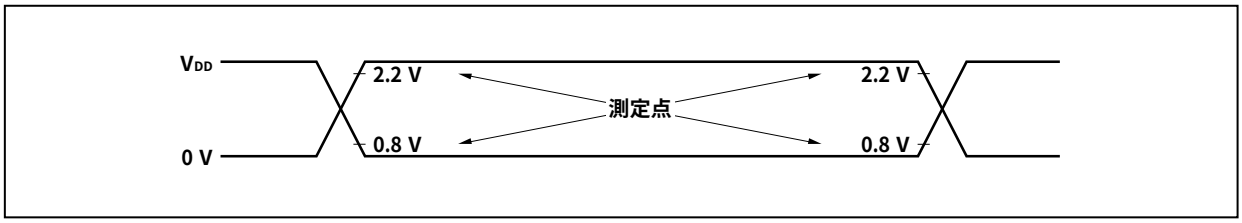
（a）下記（b），（c），（d）以外の端子



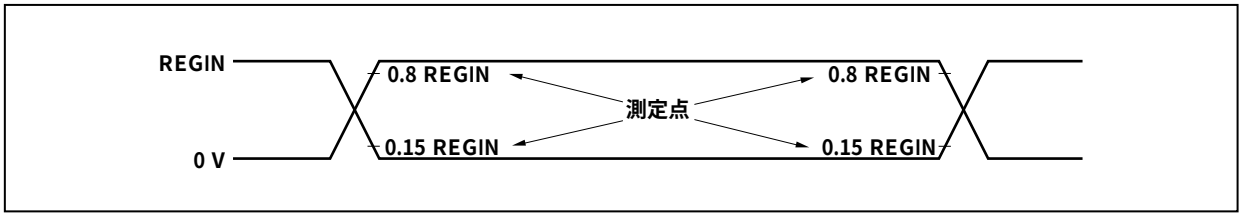
（b）P31/TXD0, P33/SO1/TXD1, P41/SO0端子



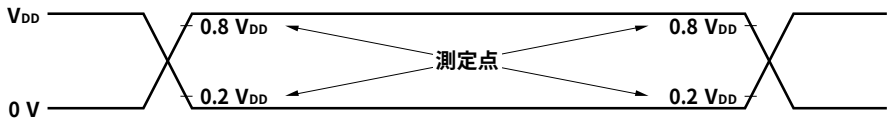
（c）AD0/PDL0-AD15/PDL15, A16/PDH0-A21/PDH5, $\overline{LWR}$/PCT0, $\overline{UWR}$/PCT1, $\overline{RD}$/PCT4, ASTB/PCT6, $\overline{WAIT}$/PCM0, CLKOUT/PCM1端子



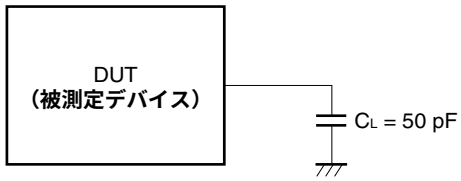
（d）X1端子



ACテスト出力測定点



負荷条件



注意　回路構成により負荷容量が50 pF**を越える場合は，バッファを入れるなどして，このデバイスの負荷容量を**50 pF**以下にしてください。**

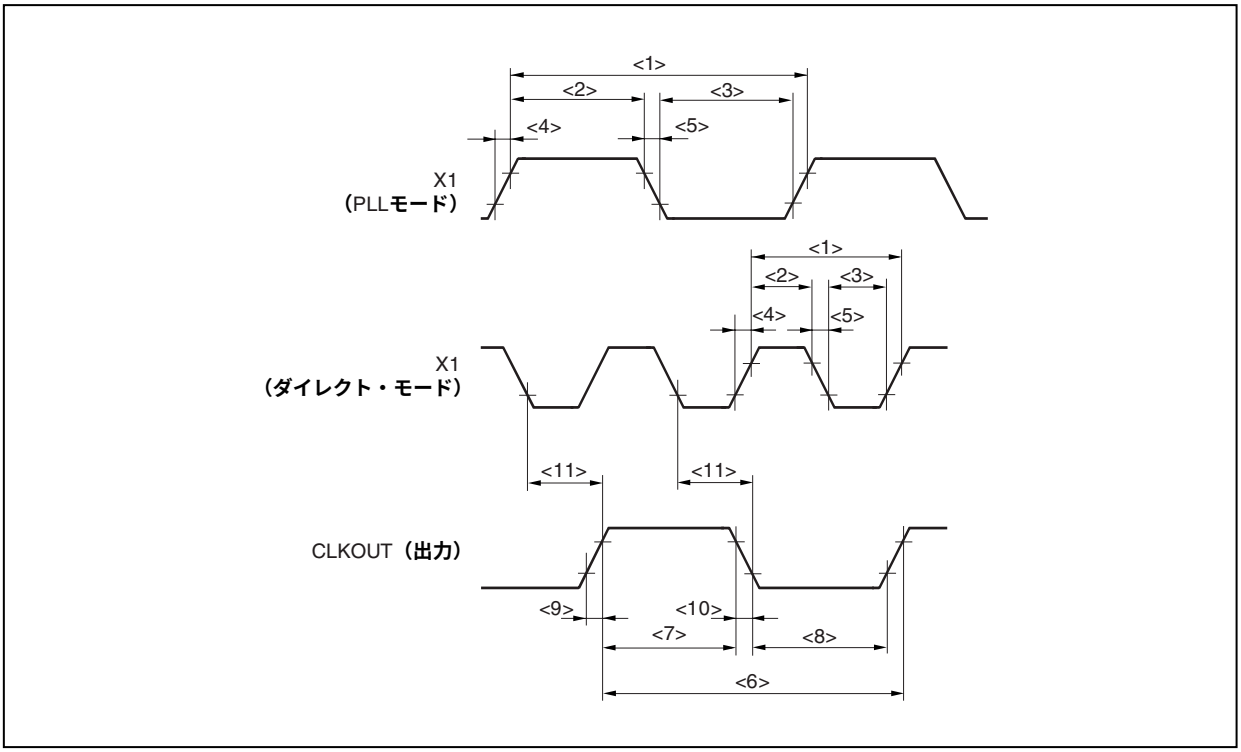
(1) クロック・タイミング

（T_A = −40〜+85 ℃，REGIN = 3.0〜3.6 V, V_{DD} = RV_{DD} = 5.0 V±0.5 V, V_{SS3} = V_{SS} = CV_{SS} = 0 V，
出力端子の負荷容量：C_L = 50 pF）

項　目	略　号		条　件	MIN.	MAX.	単　位
X1入力周期	t_{CYX}	<1>	ダイレクト・モード時	20	125	ns
			PLLモード時	156	250	ns
X1入力ハイ・レベル幅	t_{WXH}	<2>	ダイレクト・モード時	6		ns
			PLLモード時	50		ns
X1入力ロウ・レベル幅	t_{WXL}	<3>	ダイレクト・モード時	6		ns
			PLLモード時	50		ns
X1入力立ち上がり時間	t_{XR}	<4>	ダイレクト・モード時		4	ns
			PLLモード時		10	ns
X1入力立ち下がり時間	t_{XF}	<5>	ダイレクト・モード時		4	ns
			PLLモード時		10	ns
CPU動作周波数	f_{XX}	−		4	40	MHz
			CLKOUT信号使用時[注]	4	32	MHz
CLKOUT出力周期	t_{CYK}	<6>		25	250	ns
			CLKOUT信号使用時[注]	31.25	250	ns
CLKOUTハイ・レベル幅	t_{WKH}	<7>		0.5 T−9		ns
CLKOUTロウ・レベル幅	t_{WKL}	<8>		0.5 T−11		ns
CLKOUT立ち上がり時間	t_{KR}	<9>			11	ns
CLKOUT立ち下がり時間	t_{KF}	<10>			9	ns
X1↓ → CLKOUT遅延時間	t_{DXK}	<11>	ダイレクト・モード時		40	ns

注　CLKOUT信号を使用して外部デバイスとインタフェースをとる場合は，内部システム・クロック周波数（f_{XX}）を32 MHz以下としてください。

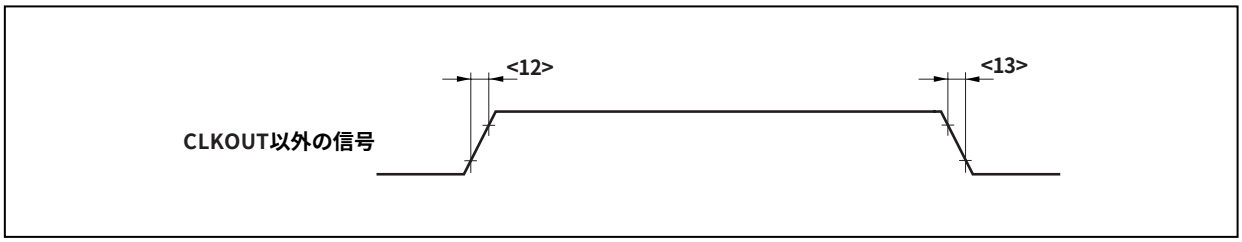
備考　T = t_{CYK}



(2) 出力波形（CLKOUT以外）

（T_A = −40〜+85 ℃，REGIN = 3.0〜3.6 V, V_{DD} = RV_{DD} = 5.0 V±0.5 V, V_{SS3} = V_{SS} = CV_{SS} = 0 V，
出力端子の負荷容量：C_L = 50 pF）

項　目	略　号		条　件	MIN.	MAX.	単　位
出力立ち上がり時間	t_{OR}	<12>			15	ns
出力立ち下がり時間	t_{OF}	<13>			15	ns

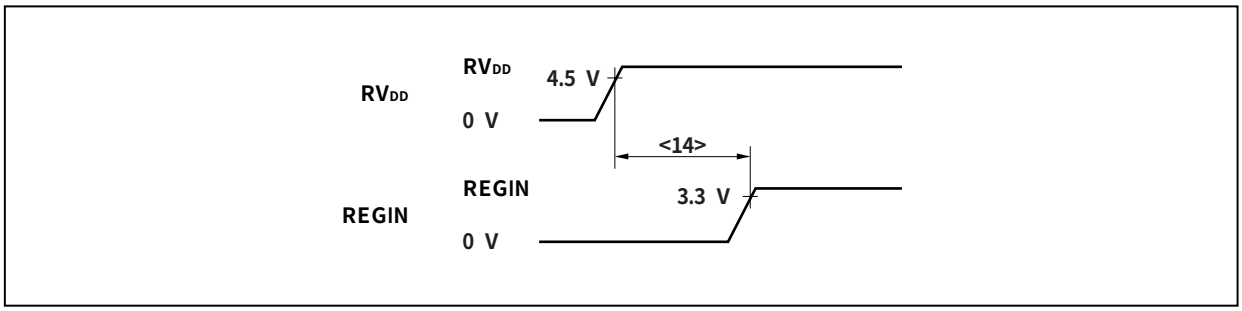


(3) レギュレータ出力安定時間

（T_A = −40〜+85 ℃，REGIN = 3.0〜3.6 V, V_{DD} = RV_{DD} = 5.0 V±0.5 V, V_{SS3} = V_{SS} = CV_{SS} = 0 V）

項　目	略　号		条　件	MIN.	MAX.	単　位
レギュレータ出力安定時間	t_{RG}	<14>	外付けNPNトランジスタ：2SD1950（VL規格品）または2SD1581 安定化容量：C = 22 μF（電解コンデンサ） B-E間バイアス抵抗：R = 110 kΩ	2		ms

注意　レギュレータ出力安定時間（t_{RG}）は，外付けトランジスタ，安定化容量，B-E間バイアス抵抗によって異なります。



(4) リセット・タイミング

(TA = −40〜+85 ℃, REGIN = 3.0〜3.6 V, VDD = RVDD = 5.0 V±0.5 V, VSS3 = VSS = CVSS = 0 V, CL = 50 pF)

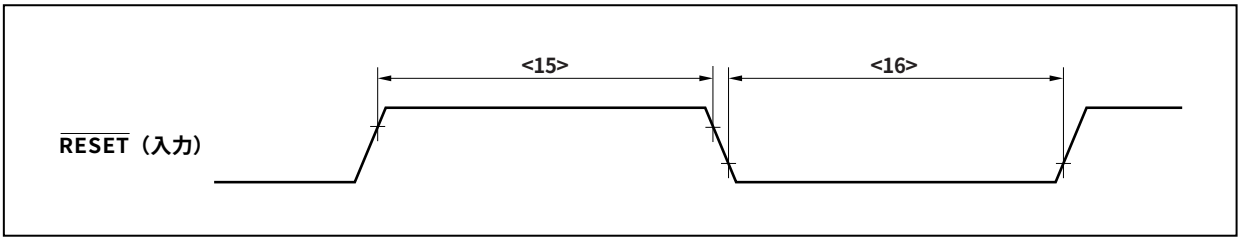
項　目	略　号		条　件	MIN.	MAX.	単　位
$\overline{\text{RESET}}$端子ハイ・レベル幅	t_{WRSH}	<15>		500		ns
$\overline{\text{RESET}}$端子ロウ・レベル幅	t_{WRSL}	<16>	電源オン時	500＋T_{OS}＋t_{RG}		ns
			STOPモード解除時[注]	500＋T_{OS}		ns
			電源オン時，STOPモード解除時を除く	500		ns

注　STOPモードの解除は，REGIN = 3.0〜3.6 V, VDD = RVDD = 5.0 V±0.5 Vの範囲で行ってください。

注意　発振安定時間については，十分に評価してください。

備考　T_{OS}：発振安定時間

t_{RG}：レギュレータ出力安定時間



(5) マルチプレクス・バス・タイミング

(a) CLKOUT非同期（T_A = −40〜+85 ℃，REGIN = 3.0〜3.6 V, V_{DD} = RV_{DD} = 5.0 V±0.5 V, V_{SS3} = V_{SS} = CV_{SS} = 0 V，出力端子の負荷容量：C_L = 50 pF）

項　　目	略　号		条　　件	MIN.	MAX.	単　位
アドレス設定時間（対ASTB↓）	t_{SAST}	<17>		(0.5+w_{AS}) T−16		ns
アドレス保持時間（対ASTB↓）	t_{HSTA}	<18>		(0.5+w_{AH}) T−15		ns
$\overline{RD}$↓ → アドレス・フロート遅延時間	t_{FRDA}	<19>			11	ns
アドレス → データ入力設定時間	t_{SAID}	<20>			(2+w+w_{AS}+w_{AH}) T−40	ns
$\overline{RD}$↓ → データ入力設定時間	t_{SRDID}	<21>			(1+w) T−40	ns
ASTB↓ → $\overline{RD}$, $\overline{LWR}$, $\overline{UWR}$↓遅延時間	$t_{DSTRDWR}$	<22>		(0.5+w_{AH}) T−15		ns
データ入力保持時間（対$\overline{RD}$↑）	t_{HRDID}	<23>		0		ns
$\overline{RD}$↑ → アドレス出力時間	t_{DRDA}	<24>		(1+i) T−15		ns
$\overline{RD}$, $\overline{LWR}$, $\overline{UWR}$↑ → ASTB↑遅延時間	$t_{DRDWRST}$	<25>		0.5 T−15		ns
$\overline{RD}$↑ → ASTB↓遅延時間	t_{DRDST}	<26>		(1.5+i+w_{AS}) T−15		ns
$\overline{RD}$, $\overline{LWR}$, $\overline{UWR}$ロウ・レベル幅	t_{WRDWRL}	<27>		(1+w) T−22		ns
ASTBハイ・レベル幅	t_{WSTH}	<28>		(1+w_{AS}) T−15		ns
$\overline{LWR}$, $\overline{UWR}$↓ → データ出力時間	t_{DWROD}	<29>			10	ns
データ出力設定時間（対$\overline{LWR}$, $\overline{UWR}$↑）	t_{SODWR}	<30>		(1+w) T−25		ns
データ出力保持時間（対$\overline{LWR}$, $\overline{UWR}$ ↑）	t_{HWROD}	<31>		T−20		ns
$\overline{WAIT}$設定時間（対アドレス）	t_{SAWT1}	<32>	w≧1		(1.5+w_{AS}+w_{AH}) T−40	ns
	t_{SAWT2}	<33>			(1.5+w+w_{AS}+w_{AH}) T−40	ns
$\overline{WAIT}$保持時間（対アドレス）	t_{HAWT1}	<34>	w≧1	(0.5+w+w_{AS}+w_{AH}) T		ns
	t_{HAWT2}	<35>		(1.5+w+w_{AS}+w_{AH}) T		ns
$\overline{WAIT}$設定時間（対ASTB↓）	t_{SSTWT1}	<36>	w≧1		(1+w_{AH}) T−32	ns
	t_{SSTWT2}	<37>			(1+w+w_{AH}) T−32	ns
$\overline{WAIT}$保持時間（対ASTB↓）	t_{HSTWT1}	<38>	w≧1	(w+w_{AH}) T		ns
	t_{HSTWT2}	<39>		(1+w+w_{AH}) T		ns

備考1. T = t_{CYK}

2. w_{AS}：アドレス・セットアップ・ウエイト・ステート数（0または1）
3. w_{AH}：アドレス・ホールド・ウエイト・ステート数（0または1）
4. w　：バス・サイクルに挿入されるウエイト・クロック数
   プログラマブル・ウエイト挿入時は，サンプル・タイミングが変わります。
5. i　：リード・サイクル後に挿入されるアイドル・ステート数（0または1）
6. データ入力保持時間（t_{HKID}, t_{HRDID}）は少なくともどちらか1つを守ってください。
7. ウエイト・サイクルの挿入数の考え方については，4. 6. 3　**プログラマブル・ウエイトと外部ウエイトの関係**を参照してください。

（b）CLKOUT同期（T_A = −40〜+85 ℃，REGIN = 3.0〜3.6 V, V_{DD} = RV_{DD} = 5.0 V±0.5 V,
V_{SS3} = V_{SS} = CV_{SS} = 0 V，出力端子の負荷容量：C_L = 50 pF）

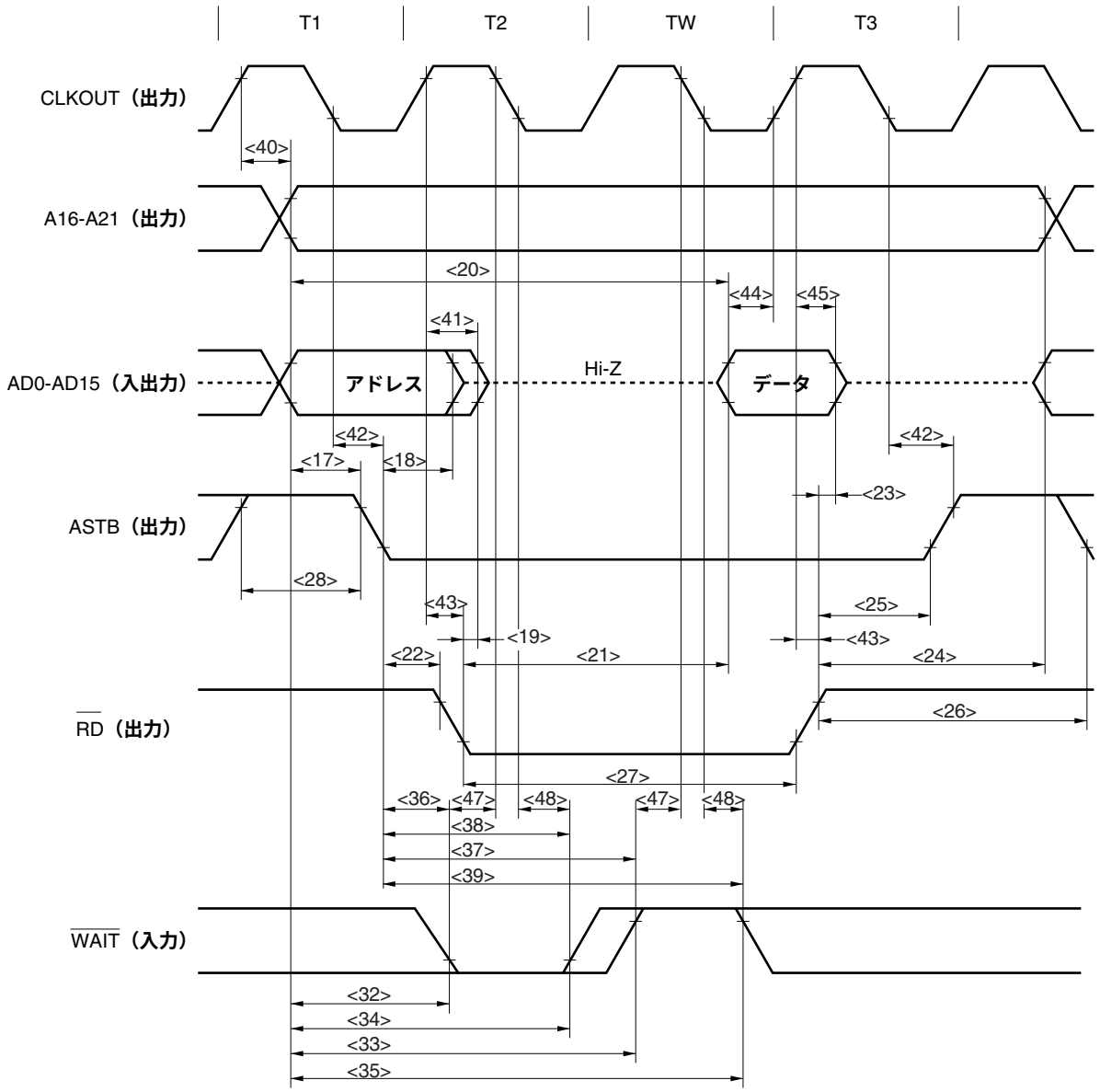
項　　目	略　号		条　　件	MIN.	MAX.	単　位
CLKOUT↑ → アドレス遅延時間	t_{DKA}	<40>		−7	19	ns
CLKOUT↑ → アドレス・フロート遅延時間	t_{FKA}	<41>		−12	15	ns
CLKOUT↓ → ASTB遅延時間	t_{DKST}	<42>		−3+w_{AH}T	19+w_{AH}T	ns
CLKOUT↑ → $\overline{RD}$, $\overline{LWR}$, $\overline{UWR}$ 遅延時間	t_{DKRDWR}	<43>		−5	19	ns
データ入力設定時間（対CLKOUT↑）	t_{SIDK}	<44>		21		ns
データ入力保持時間（対CLKOUT↑）	t_{HKID}	<45>		5		ns
CLKOUT↑ → データ出力遅延時間	t_{DKOD}	<46>			19	ns
$\overline{WAIT}$設定時間（対CLKOUT↓）	t_{SWTK}	<47>		21		ns
$\overline{WAIT}$保持時間（対CLKOUT↓）	t_{HKWT}	<48>		5		ns

備考1. T = t_{CYK}

2. w_{AH}：アドレス・ホールド・ウエイト・ステート数（0または1）

3. データ入力保持時間（t_{HKID}, t_{HRDID}）は少なくともどちらか1つを守ってください。

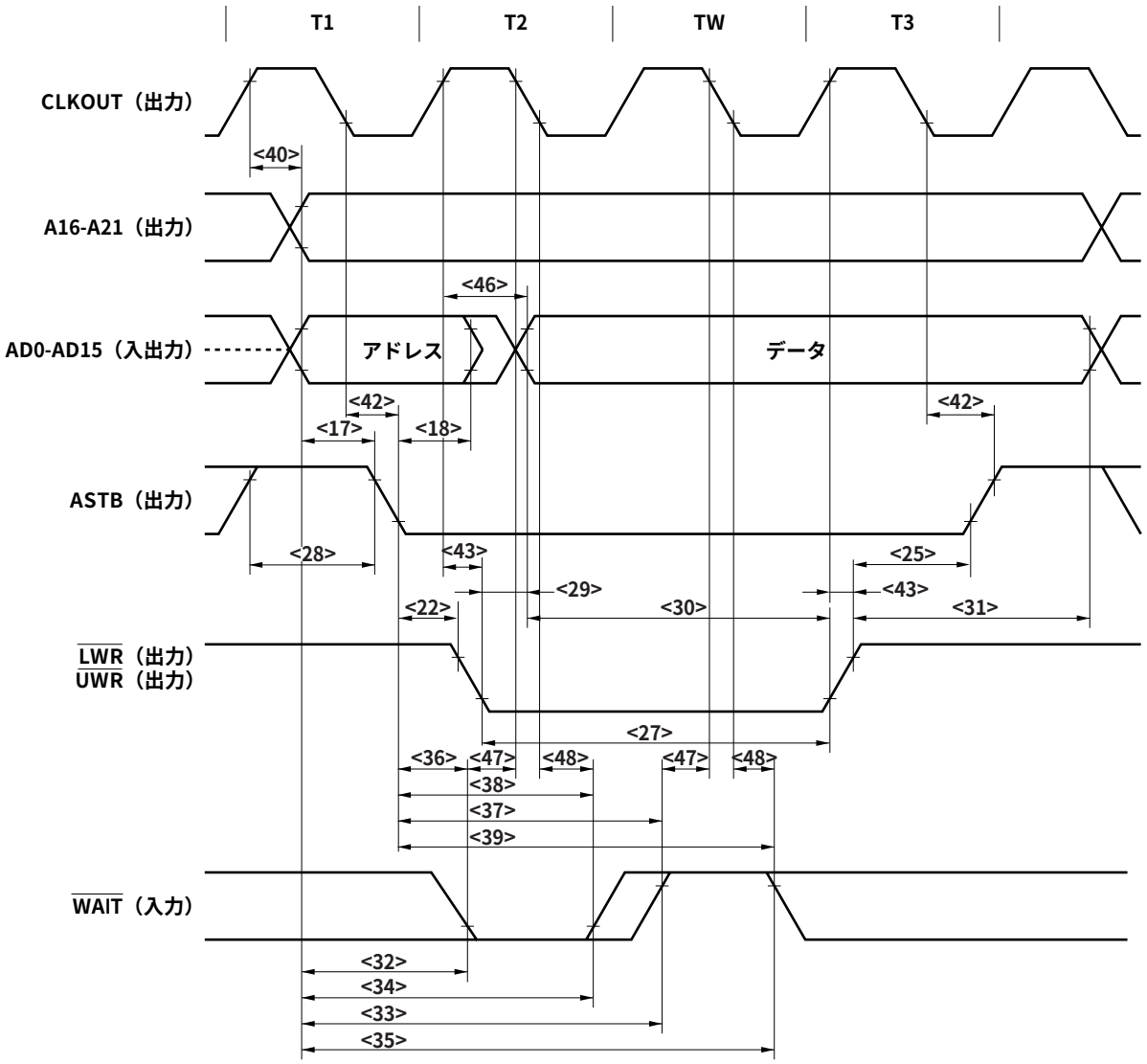
(c) リード・サイクル（CLKOUT同期／非同期，1ウエイト）



注意　CLKOUT信号を使用して外部デバイスとインタフェースをとる場合は，内部システム・クロック周波数（f_{XX}）を32 MHz以下としてください。

備考　$\overline{LWR}$, $\overline{UWR}$はハイ・レベル

（d）ライト・サイクル（CLKOUT同期／非同期，1ウエイト）



注意　CLKOUT信号を使用して外部デバイスとインタフェースをとる場合は，内部システム・クロック周波数（fxx）を32 MHz以下としてください。

備考　$\overline{RD}$はハイ・レベル

(6) 割り込みタイミング

(T_A = −40〜+85 ℃, REGIN = 3.0〜3.6 V, V_{DD} = RV_{DD} = 5.0 V±0.5 V, V_{SS3} = V_{SS} = CV_{SS} = 0 V, C_L = 50 pF)

項　目	略　号		条　件	MIN.	MAX.	単　位
NMIハイ・レベル幅	t_{WNIH}	<49>		500		ns
NMIロウ・レベル幅	t_{WNIL}	<50>		500		ns
INTPnハイ・レベル幅	t_{WITH}	<51>	n = 0-4	500		ns
			n = 100, 101, 30, 31	5T＋10		ns
			n = 20-25（アナログ・フィルタ指定時）	250		ns
			n = 20-25（ディジタル・フィルタ指定時）	5T＋10		ns
INTPnロウ・レベル幅	t_{WITL}	<52>	n = 0-4	500		ns
			n = 100, 101, 30, 31	5T＋10		ns
			n = 20-25（アナログ・フィルタ指定時）	250		ns
			n = 20-25（ディジタル・フィルタ指定時）	5T＋10		ns

備考　T：ディジタル・フィルタ・サンプリング・クロック

Tは，次に示すレジスタの設定により選択できます。

- INTP100, INTP101の場合：

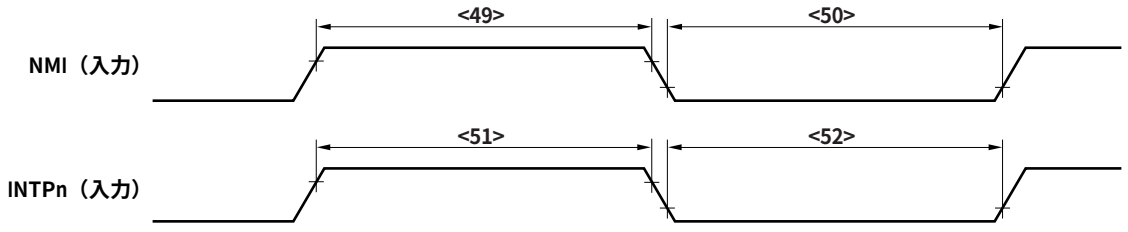
  タイマ10ノイズ除去時間選択レジスタ（NRC10）のNRC101, NRC100ビットで設定し，f_{XX}/2, f_{XX}/4, f_{XX}/8, f_{XX}/16から選択可能（f_{XX}：内部システム・クロック）

- INTP30の場合：

  タイマ3ノイズ除去時間選択レジスタ（NRC3）のNRC31, NRC30ビットで設定し，f_{XXTM3}/2, f_{XXTM3}/4, f_{XXTM3}/8, f_{XXTM3}/16から選択可能（f_{XXTM3}：タイマ3クロック選択レジスタ（PRM03）で選択したクロック）

- INTP31の場合：

  NRC3レジスタのNRC33, NRC32ビットで設定し，f_{XXTM3}/32, f_{XXTM3}/64, f_{XXTM3}/128, f_{XXTM3}/256から選択可能（f_{XXTM3}：PRM03レジスタで選択したクロック）



備考　n = 0-4, 100, 101, 20-25, 30, 31

(7) タイマ入力タイミング

(TA = −40〜+85 ℃, REGIN = 3.0〜3.6 V, VDD = RVDD = 5.0 V±0.5 V, VSS3 = VSS = CVSS = 0 V, CL = 50 pF)

項　目	略　号		条　件	MIN.	MAX.	単　位
TIUD10, TCUD10ハイ／ロウ・レベル幅	tWUDH, tWUDL	<53>		5T+10		ns
TIUD10, TCUD10入力時間差	tPHUD	<54>		5T+10		ns
TCLRnハイ／ロウ・レベル幅	tWTCH, tWTCL	<55>	n = 10, 2（スルー入力時以外）, 3	5T+10		ns
			n = 2（スルー入力時注）	2T+10		ns
TImハイ／ロウ・レベル幅	tWTIH, tWTIL	<56>	m = 2（スルー入力時以外）, 3	5T+10		ns
			m = 2（スルー入力時注）	2T+10		ns

注　タイマ2カウント・クロック／制御エッジ選択レジスタ0（CSE0）のCESE1ビット = 1，CESE0ビット = 0設定時

備考1. T：ディジタル・フィルタ・サンプリング・クロック

Tは，次に示すレジスタの設定により選択できます。

- TIUD10, TCUD10, TCLR10の場合：

  タイマ10ノイズ除去時間選択レジスタ(NRC10)のNRC101, NRC100ビットで設定し，fXX/2, fXX/4, fXX/8, fXX/16から選択可能

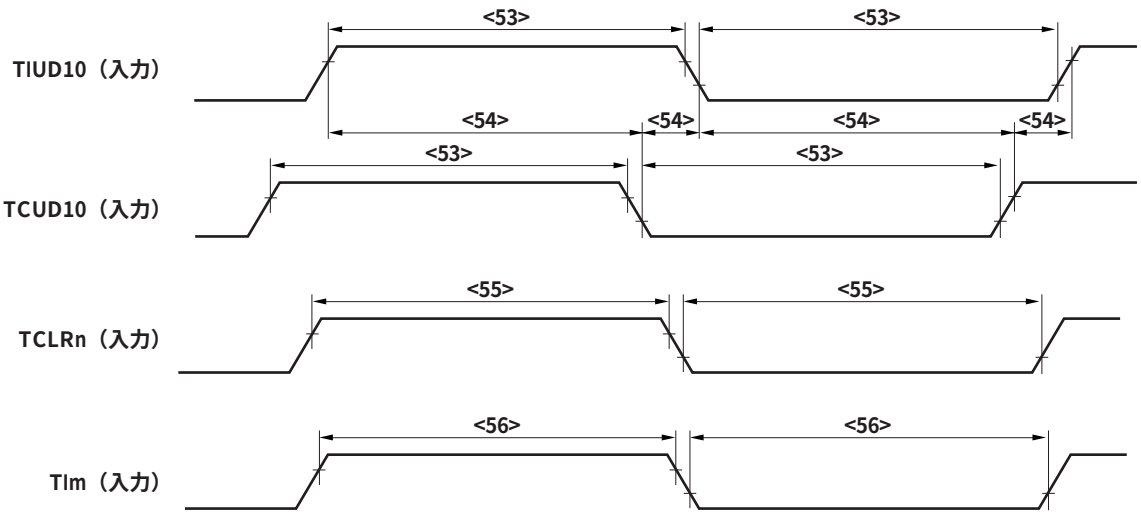
- TCLR2, TI2の場合：

  fXX/2固定

- TCLR3, TI3の場合：

  タイマ3ノイズ除去時間選択レジスタ（NRC3）のNRC31, NRC30ビットで設定し，fXXTM3/2, fXXTM3/4, fXXTM3/8, fXXTM3/16から選択可能（fXXTM3：タイマ3クロック選択レジスタ（PRM03）で選択したクロック）

2. fXX：内部システム・クロック周波数



備考　n = 10, 2, 3

m = 2, 3

(8) タイマ動作周波数

(TA = −40〜+85 ℃, REGIN = 3.0〜3.6 V, VDD = RVDD = 5.0 V±0.5 V, VSS3 = VSS = CVSS = 0 V,
出力端子の負荷容量：CL = 50 pF)

項　目	略　号	条　件	MIN.	MAX.	単　位
タイマ00, 01動作周波数	T_0			40	MHz
タイマ10動作周波数	T_1			20	MHz
タイマ20, 21動作周波数	T_2			20	MHz
タイマ3動作周波数	T_3			32	MHz

備考1. T_0：タイマ0クロック選択レジスタ（PRM01）で，f_{XX}または$f_{XX}/2$を選択可能です。
T_1：タイマ1/タイマ2クロック選択レジスタ（PRM02） = 01Hを必ず設定し，$f_{XX}/2$とします。
T_2：タイマ1/タイマ2クロック選択レジスタ（PRM02） = 01Hを必ず設定し，$f_{XX}/2$とします。
T_3：タイマ3クロック選択レジスタ（PRM03）で，f_{XX}または$f_{XX}/2$を選択可能です。
2. f_{XX}：内部システム・クロック周波数

(9) CSIタイミング（1/2）

(a) マスタ・モード（TA = −40〜+85 ℃，REGIN = 3.0〜3.6 V, VDD = RVDD = 5.0 V±0.5 V,
VSS3 = VSS = CVSS = 0 V，出力端子の負荷容量：CL = 50 pF）

項　目	略　号		条　件	MIN.	MAX.	単　位
$\overline{\text{SCK}}$n周期	t_{CYSK1}	<57>	出力	200		ns
$\overline{\text{SCK}}$nハイ・レベル幅	t_{WSK1H}	<58>	出力	0.5 t_{CYSK1}−25		ns
$\overline{\text{SCK}}$nロウ・レベル幅	t_{WSK1L}	<59>	出力	0.5 t_{CYSK1}−25		ns
SIn設定時間（対$\overline{\text{SCK}}$n↑）	t_{SSISK}	<60>		35		ns
SIn保持時間（対$\overline{\text{SCK}}$n↑）	t_{HSKSI}	<61>		30		ns
SOn出力遅延時間（対$\overline{\text{SCK}}$n↓）	t_{DSKSO}	<62>			30	ns
SOn出力保持時間（対$\overline{\text{SCK}}$n↑）	t_{HSKSO}	<63>		0.5 t_{CYSK1}−20		ns

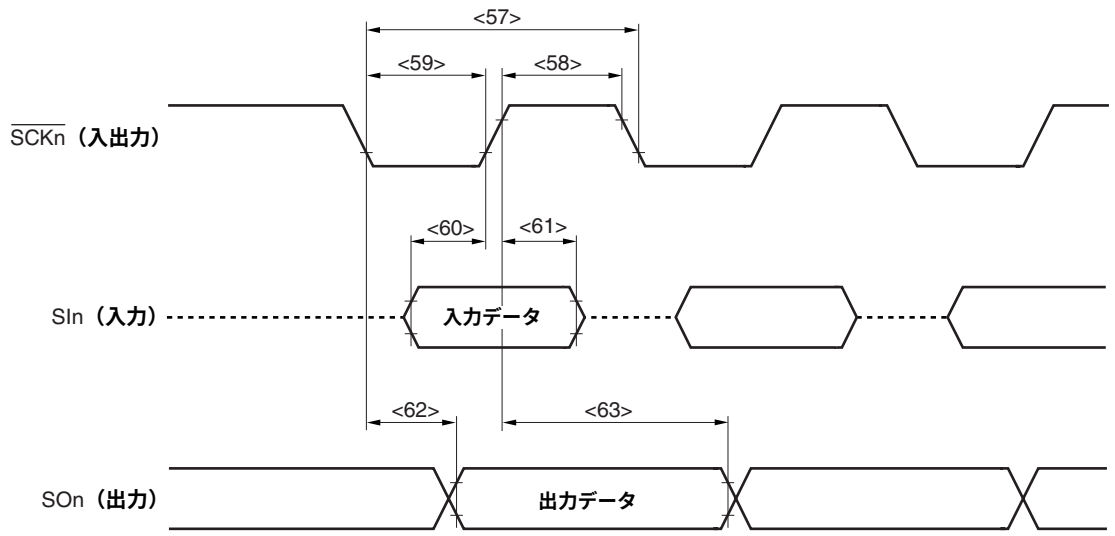
備考　n = 0, 1

(b) スレーブ・モード（TA = −40〜+85 ℃，REGIN = 3.0〜3.6 V, VDD = RVDD = 5.0 V±0.5 V,
VSS3 = VSS = CVSS = 0 V，出力端子の負荷容量：CL = 50 pF）

項　目	略　号		条　件	MIN.	MAX.	単　位
$\overline{\text{SCK}}$n周期	t_{CYSK1}	<57>	入力	200		ns
$\overline{\text{SCK}}$nハイ・レベル幅	t_{WSK1H}	<58>	入力	90		ns
$\overline{\text{SCK}}$nロウ・レベル幅	t_{WSK1L}	<59>	入力	90		ns
SIn設定時間（対$\overline{\text{SCK}}$n↑）	t_{SSISK}	<60>		50		ns
SIn保持時間（対$\overline{\text{SCK}}$n↑）	t_{HSKSI}	<61>		50		ns
SOn出力遅延時間（対$\overline{\text{SCK}}$n↓）	t_{DSKSO}	<62>			50	ns
SOn出力保持時間（対$\overline{\text{SCK}}$n↑）	t_{HSKSO}	<63>		t_{WSK1H}		ns

備考　n = 0, 1

（9）CSIタイミング（2/2）



備考1.　破線はハイ・インピーダンスを示します。

2.　n = 0, 1

（10）UART0タイミング

（T_A = −40～+85 **℃，**REGIN = 3.0～3.6 V, V_{DD} = RV_{DD} = 5.0 V±0.5 V, V_{SS3} = V_{SS} = CV_{SS} = 0 V**，**

出力端子の負荷容量：C_L = 50 pF**）**

項　　目	略　号	条　　件	MIN.	MAX.	単　位
UART0ボー・レート・ジェネレータ入力周波数	f_{BRG}			20	MHz

備考1.　UART0ボー・レート・ジェネレータ入力周波数（f_{BRG}）：

クロック選択レジスタ0（CKSR0）のTPS3-TPS0ビットで設定し，f_{XX}, f_{XX}/2, f_{XX}/4, f_{XX}/8, f_{XX}/16, f_{XX}/32, f_{XX}/64, f_{XX}/128, f_{XX}/256, f_{XX}/512, f_{XX}/1024, f_{XX}/2048から選択可能

2.　f_{XX}：内部システム・クロック周波数

（11）UART1タイミング（1/2）

（a）クロック同期時のマスタ・モード

（T_A = −40〜+85 ℃，REGIN = 3.0〜3.6 V, V_{DD} = RV_{DD} = 5.0 V±0.5 V, V_{SS3} = V_{SS} = CV_{SS} = 0 V，
出力端子の負荷容量：C_L = 50 pF）

項　　目	略　号		条　　件	MIN.	MAX.	単　位
$\overline{\text{ASCK1}}$周期	t_{CYSK0}	<64>	出力	1000		ns
$\overline{\text{ASCK1}}$ハイ・レベル幅	t_{WSK0H}	<65>	出力	k T−20		ns
$\overline{\text{ASCK1}}$ロウ・レベル幅	t_{WSK0L}	<66>	出力	k T−20		ns
RXD1設定時間（対$\overline{\text{ASCK1}}$↑）	t_{SRXSK}	<67>		1.5 T+35		ns
RXD1保持時間（対$\overline{\text{ASCK1}}$↑）	t_{HSKRX}	<68>		0		ns
TXD1出力遅延時間（対$\overline{\text{ASCK1}}$↓）	t_{DSKTX}	<69>			T+10	ns
TXD1出力保持時間（対$\overline{\text{ASCK1}}$↑）	t_{HSKTX}	<70>		(k+1) T−20		ns

備考1.　T = 2t_{CYK}

2.　k：UART1のプリスケーラ・コンペア・レジスタ1（PRSCM1）の設定値

（b）クロック同期時のスレーブ・モード

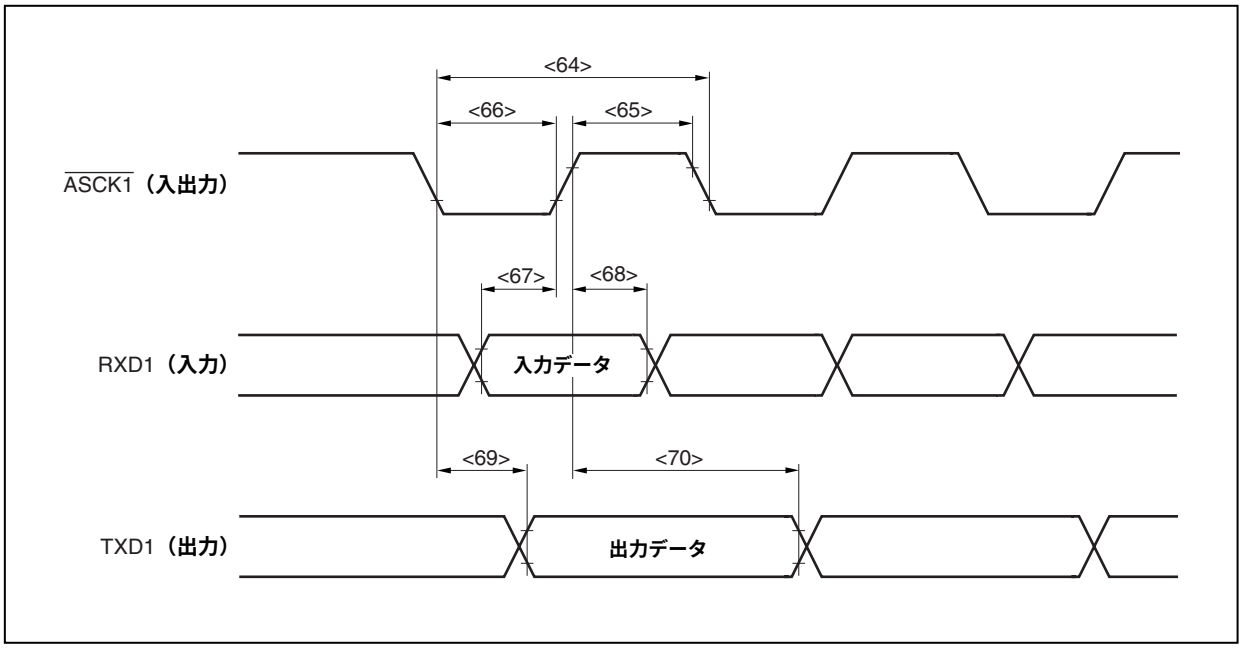
（T_A = −40〜+85 ℃，REGIN = 3.0〜3.6 V, V_{DD} = RV_{DD} = 5.0 V±0.5 V, V_{SS3} = V_{SS} = CV_{SS} = 0 V，
出力端子の負荷容量：C_L = 50 pF）

項　　目	略　号		条　　件	MIN.	MAX.	単　位
$\overline{\text{ASCK1}}$周期	t_{CYSK0}	<64>	入力	1000		ns
$\overline{\text{ASCK1}}$ハイ・レベル幅	t_{WSK0H}	<65>	入力	4 T+80		ns
$\overline{\text{ASCK1}}$ロウ・レベル幅	t_{WSK0L}	<66>	入力	4 T+80		ns
RXD1設定時間（対$\overline{\text{ASCK1}}$↑）	t_{SRXSK}	<67>		T+10		ns
RXD1保持時間（対$\overline{\text{ASCK1}}$↑）	t_{HSKRX}	<68>		T+10		ns
TXD1出力遅延時間（対$\overline{\text{ASCK1}}$↓）	t_{DSKTX}	<69>			2.5 T+45	ns
TXD1出力保持時間（対$\overline{\text{ASCK1}}$↑）	t_{HSKTX}	<70>		(k+1.5) T		ns

備考1.　T = 2t_{CYK}

2.　k：UART1のプリスケーラ・コンペア・レジスタ1（PRSCM1）の設定値

（11）UART1タイミング（2/2）



A/D**コンバータ特性（**T_A = −40～+85 **℃，**REGIN = 3.0～3.6 V, AV_{DD} = V_{DD} = RV_{DD} = 5 .0 V±0.5 V,

AV_{SS} = V_{SS3} = V_{SS} = CV_{SS} = 0 V, C_L = 50 pF**）**

項　　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
分解能	−		10			bit
総合誤差[注1]	−				±4	LSB
量子化誤差	−				±1/2	LSB
変換時間	t_{CONV}		5		10	μs
サンプリング時間	t_{SAMP}		833			ns
ゼロスケール誤差[注1]	−				±4	LSB
フルスケール誤差[注1]	−				±4	LSB
微分直線性誤差[注1]	−				±4	LSB
積分直線性誤差[注1]	−				±4	LSB
アナログ入力電圧	V_{IAN}		−0.3		AV_{DD}+0.3	V
アナログ基準電圧	AV_{DD}		4.5		5.5	V
AV_{DD}**電源電流**[注2]	AI_{DD}			4	8	mA

注1.　**量子化誤差（**±0.5 LSB**）は含みません。**

2.　V850E/IA2**は，**A/D**コンバータを**2**回路搭載しています。この値は**1**回路の規格です。**

備考　LSB：Least Significant Bit

16. 2　フラッシュ・メモリ・プログラミング・モード

基本特性（T_A =10～40 ℃（書き換え時），T_A = −40～+85 ℃（書き換え時以外），REGIN = 3.0～3.6 V, V_{DD} = RV_{DD} = 5.0 V±0.5 V, V_{SS3} = V_{SS} = CV_{SS} = 0 V）

項　　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
動作周波数	f_X		4		40	MHz
V_{PP}電源電圧	V_{PP1}	フラッシュ・メモリ・プログラミング時	7.5	7.8	8.1	V
	V_{PPL}	V_{PP}ロウ・レベル検出	−0.3		0.2REGIN	V
	V_{PPM}	V_{PP}, REGINレベル検出	0.65 REGIN		REGIN+0.3	V
	V_{PPH}	V_{PP}高電圧レベル検出	7.5	7.8	8.1	V
V_{DD3}電源電流	I_{DD1}	V_{PP} = V_{PP1}			3.2 f_{XX}+30	mA
V_{PP}電源電流	I_{PP}	V_{PP} = 7.8 V			100	mA
ステップ消去時間	t_{ER}	注1	0.398	0.4	0.402	s
総消去時間	t_{ERA}	ステップ消去時間 = 0.4 s時，注2			40	s
ライトバック時間	t_{WB}	注3	0.99	1	1.01	ms
1ライトバック・コマンドあたりライトバック回数	C_{WB}	ライトバック時間 = 1 ms時，注4			300	回/ﾗｲﾄﾊﾞｯｸ･ｺﾏﾝﾄﾞ
消去-ライトバック回数	C_{ERWB}				16	回
ステップ書き込み時間	t_{WT}	注5	18	20	22	μs
1ワードあたり総書き込み時間	t_{WTW}	ステップ書き込み時間 = 20 μs設定（1ワード = 4バイト），注6	20		200	μs/ワード
書き換え回数	C_{ERWR}	消去1回+消去後の書き込み1回 = 書き換え1回とする，注7		100		回

注1. ステップ消去時間の推奨設定値 = 0.4 sです。

2. 消去前のプリライトおよび消去ベリファイ時間（ライトバック時間）は含まれません。

3. ライトバック時間の推奨設定値 = 1 msです。

4. ライトバック・コマンドの発行により，ライトバックは1回実行されます。したがって，リトライ回数設定値は，この値からコマンド発行回数をマイナスした値にしてください。

5. ステップ書き込み時間の推奨設定値 = 20 μsです。

6. 実際の1ワードあたりの書き込み時間は20 μsが加算されます。書き込み中および書き込み後の内部ベリファイ時間は含まれません。

7. 出荷品に対する初回書き込み時，「消去→書き込み」の場合も「書き込みのみ」の場合も，書き換え1回となります。

   例　（P：書き込み　E：消去）

   出荷品 ⟶ P → E → P → E → P　：書き換え回数3回

   出荷品 → E → P → E → P → E → P　：書き換え回数3回

★ **備考** PG-FP4, PG-FP5使用時は，パラメータ・ファイルのダウンロードによって，書き込み／消去に必要な時間パラメータが自動設定されます。特に指示のない場合は，設定値の変更は行わないでください。

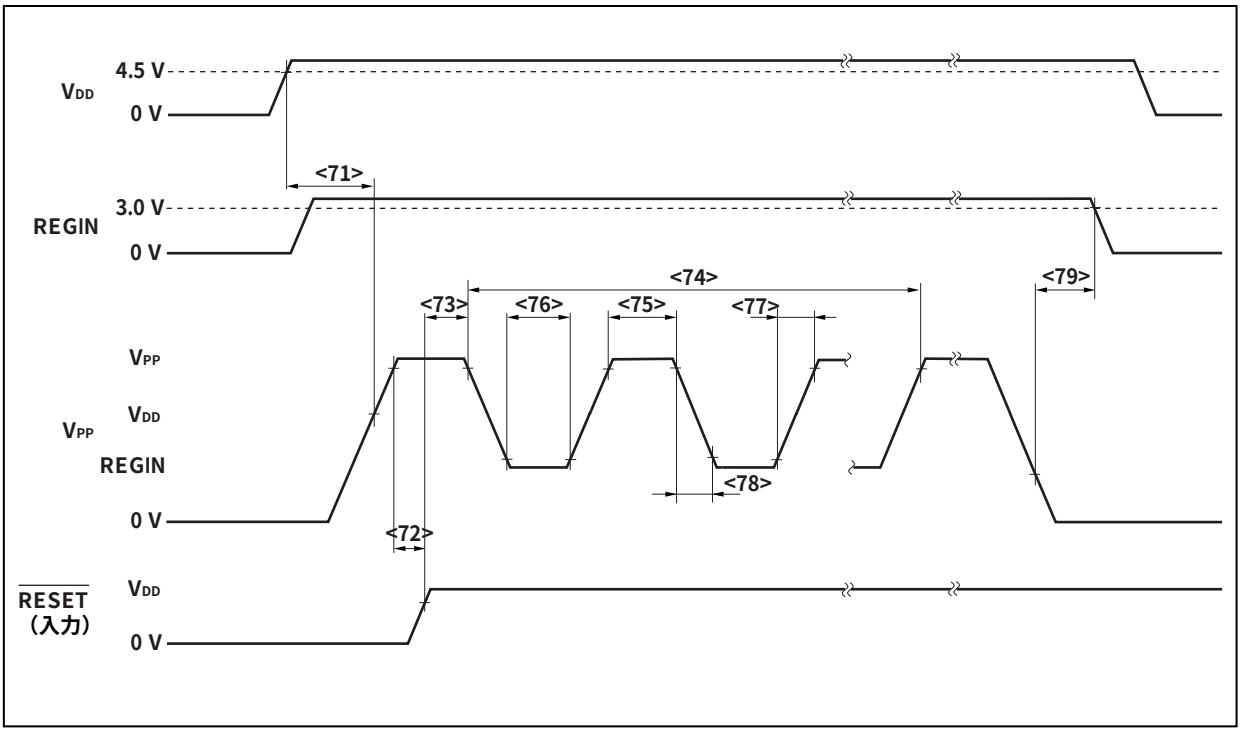
シリアル書き込みオペレーション特性

（T_A = 10～40 ℃，REGIN = 3.0～3.6 V, V_{DD} = RV_{DD} = 5.0 V±0.5 V, V_{SS3} = V_{SS} = CV_{SS} = 0 V）

項　　目	略　号		条　件	MIN.	TYP.	MAX.	単　位
V_{DD}↑-V_{PP}↑セット時間	<71>	t_{DRPSR}		t_{RG}＋0.01			ms
V_{PP}↑-$\overline{RESET}$↑セット時間	<72>	t_{PSRRF}		1			μs
$\overline{RESET}$↑-V_{PP}カウント開始時間	<73>	t_{RFOF}	V_{PP} = 7.8 V	10T＋1500			ns
カウント実行時間	<74>	t_{COUNT}				15	ms
V_{PP}カウンタ・ハイ・レベル幅	<75>	t_{CH}		1			μs
V_{PP}カウンタ・ロウ・レベル幅	<76>	t_{CL}		1			μs
V_{PP}カウンタ立ち上がり時間	<77>	t_R				1	μs
V_{PP}カウンタ立ち下がり時間	<78>	t_F				1	μs
V_{PP}↓- REGIN↓リセット時間	<79>	t_{PFDR}		10			μs

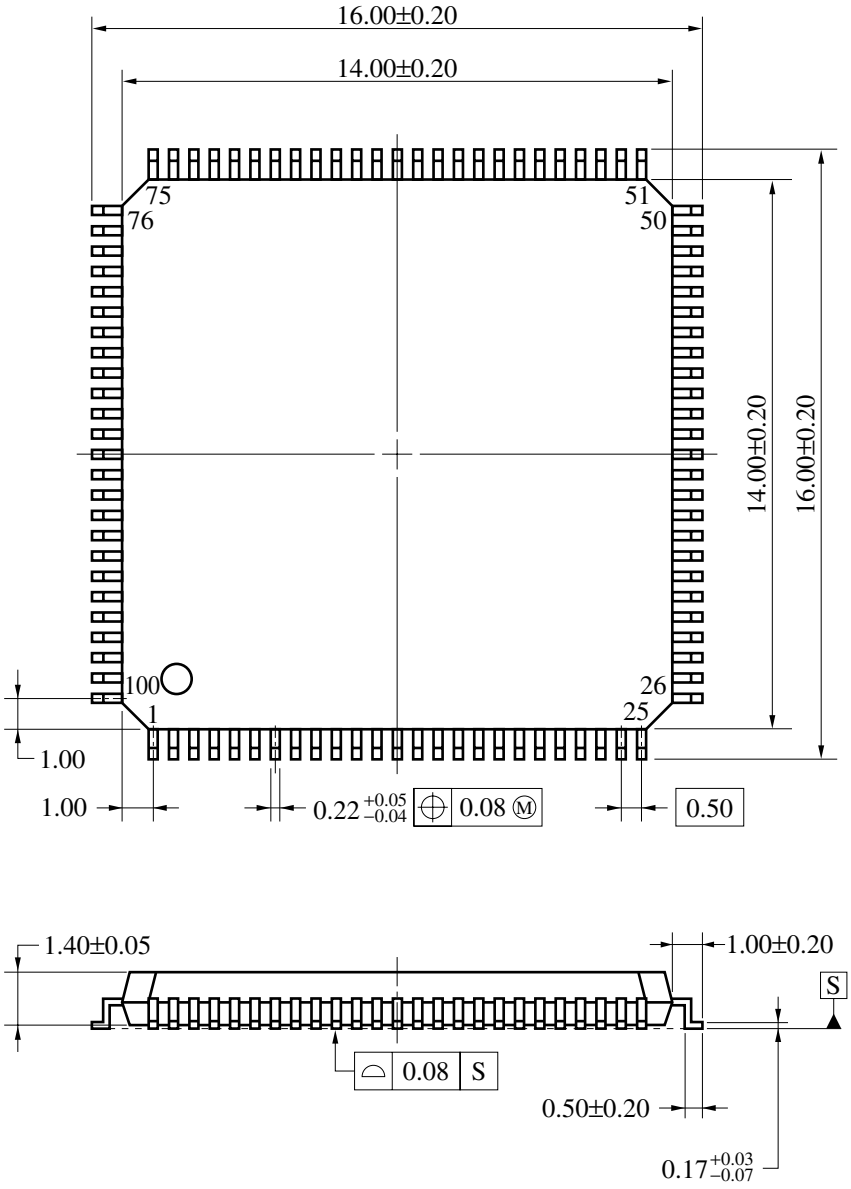
備考1.　t_{RG}：レギュレータ出力安定時間

2.　T = t_{CYK}

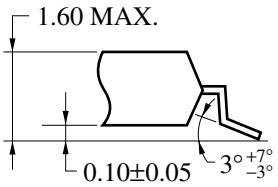


第17章　外 形 図

100ピン・プラスチック LQFP（ファインピッチ）（14x14）外形図（単位：mm）

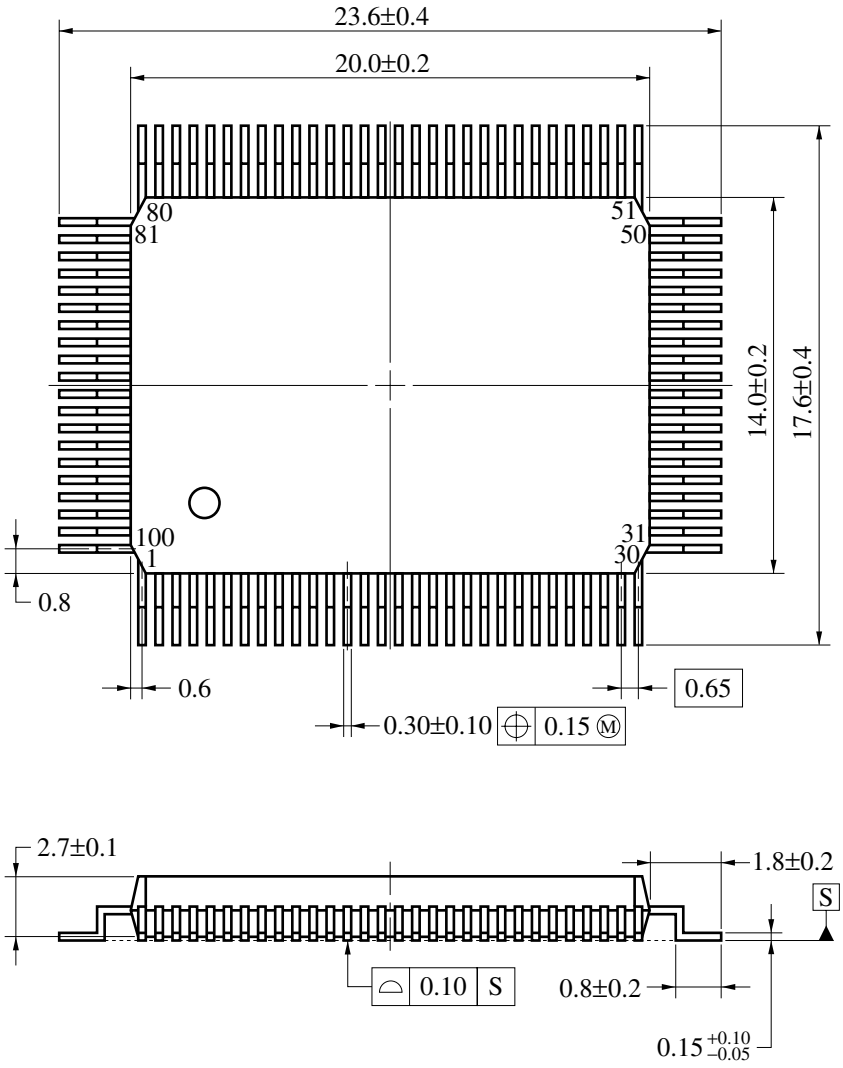


端子先端形状詳細図

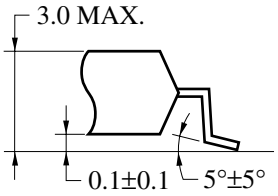


S100GC-50-8EU, 8EA-2

100ピン・プラスチック QFP（14x20）外形図（単位：mm）



端子先端形状詳細図



P100GF-65-3BA1-4

第18章　半田付け推奨条件

この製品の半田付け実装は，次の推奨条件で実施してください。
半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」（http://www.necel.com/pkg/ja/jissou/index.html）

表18－1　表面実装タイプの半田付け条件

（1）μPD703114GC-xxx-8EU　**：100ピン・プラスチック**LQFP**（ファインピッチ）（**14**×**14**）**

μPD703114GC(A)-xxx-8EU：　〃

μPD70F3114GC-8EU　：　〃

μPD70F3114GC(A)-8EU　：　〃

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ℃，時間：30 秒以内（210 ℃以上），回数：2 回以内 制限日数：7 日間[注]（以降は 125 ℃プリベーク 10～72 時間必要） ＜留意事項＞ 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215 ℃，時間：25～40 秒（200 ℃以上），回数：2 回以内 制限日数：7 日間[注]（以降は 125 ℃プリベーク 10～72 時間必要） ＜留意事項＞ 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-107-2
端子部分加熱	端子温度：350 ℃以下，時間：3 秒以内（デバイスの一辺当たり）	－

（2）μPD703114GF-xxx-3BA **：100ピン・プラスチック**QFP**（**14**×**20**）**

μPD70F3114GF-3BA　：　〃

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ℃，時間：30 秒以内（210 ℃以上），回数：2 回以内 制限日数：7 日間[注]（以降は 125 ℃プリベーク 20～72 時間必要） ＜留意事項＞ 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-207-2
VPS	パッケージ・ピーク温度：215 ℃，時間：25～40 秒（200 ℃以上），回数：2 回以内 制限日数：7 日間[注]（以降は 125 ℃プリベーク 20～72 時間必要） ＜留意事項＞ 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-207-2
ウエーブ・ソルダリング	半田槽温度：260 ℃以下，時間：10 秒以内，回数：1 回 予備加熱温度：120 ℃ MAX.（パッケージ表面温度） 制限日数：7 日間[注]（以降は 125 ℃プリベーク 20～72 時間必要） ＜留意事項＞ 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	WS60-207-1
端子部分加熱	端子温度：350 ℃以下，時間：3 秒以内（デバイスの一辺当たり）	－

（3）μPD703114GC-xxx-8EU-A　：100ピン・プラスチックLQFP（ファインピッチ）（14×14）

μPD703114GC(A)-xxx-8EU-A　：　〃

μPD70F3114GC-8EU-A　：　〃

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ℃，時間：60秒以内（220 ℃以上），回数：3回以内 制限日数：7日間[注]（以降は125 ℃プリベーク20～72時間必要） ＜留意事項＞ 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
ウエーブ・ソルダリング	詳細については，当社販売員にお問い合わせください。	－
端子部分加熱	端子温度：350 ℃以下，時間：3 秒以内（デバイスの一辺当たり）	－

（4）μPD703114GF-xxx-3BA-A　：100ピン・プラスチックQFP（14×20）

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ℃，時間：60秒以内（220 ℃以上），回数：3回以内 制限日数：3日間[注]（以降は125 ℃プリベーク20～72時間必要） ＜留意事項＞ 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-203-3
ウエーブ・ソルダリング	詳細については，当社販売員にお問い合わせください。	－
端子部分加熱	端子温度：350 ℃以下，時間：3 秒以内（デバイスの一辺当たり）	－

注　ドライパック開封後の保管日数で，保管条件は25 ℃，65 %RH以下。

注意　半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考1. オーダ名称末尾「-A」の製品は，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

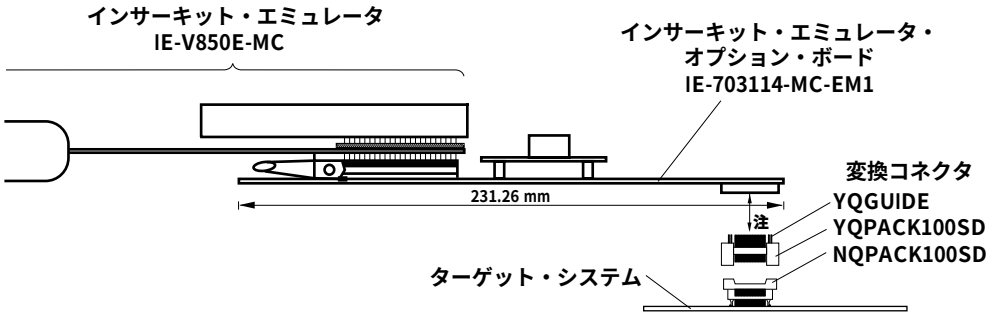
3. μPD70F3114GC(A)-8EU-A, 70F3114GF-3BA-Aの半田付け条件については，当社販売員にお問い合わせください。

付録A　ターゲット・システム設計上の注意

インサーキット・エミュレータ・オプション・ボードと変換コネクタの接続条件図を次に示します。この構成を基にターゲット・システム上に実装する部品の形状などを考慮してシステム設計をしてください。

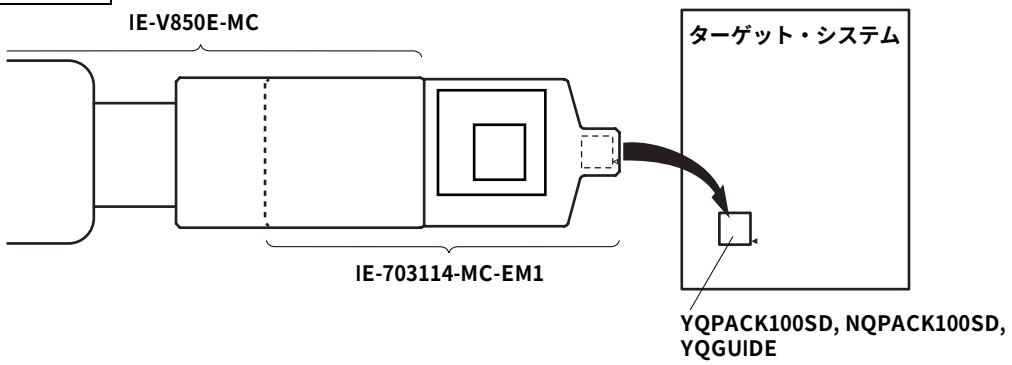
図A－1　100ピン・プラスチックLQFP（ファインピッチ）（14×14）の場合

Side View

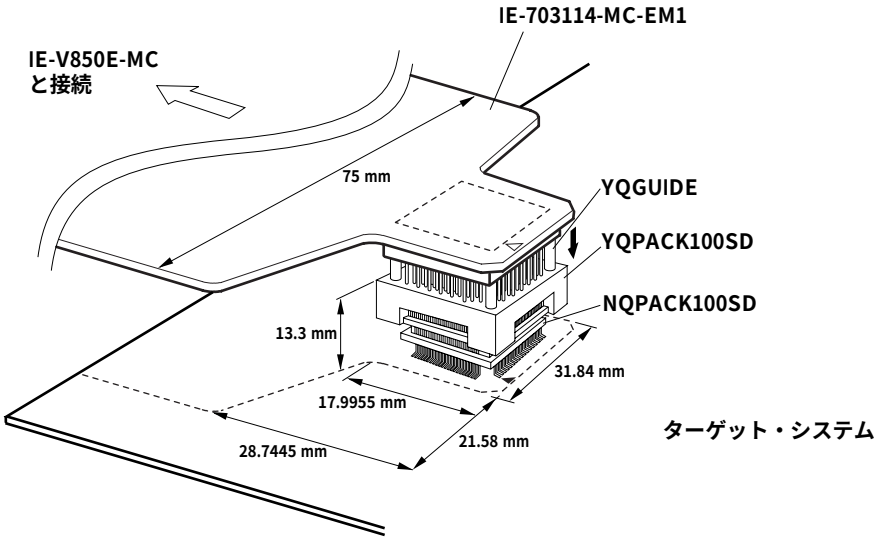


注　この部分には，高さ調節として YQSOCKET100SDN**（別売）を挿入できます（高さ：**3.2 mm**）。**

Top View

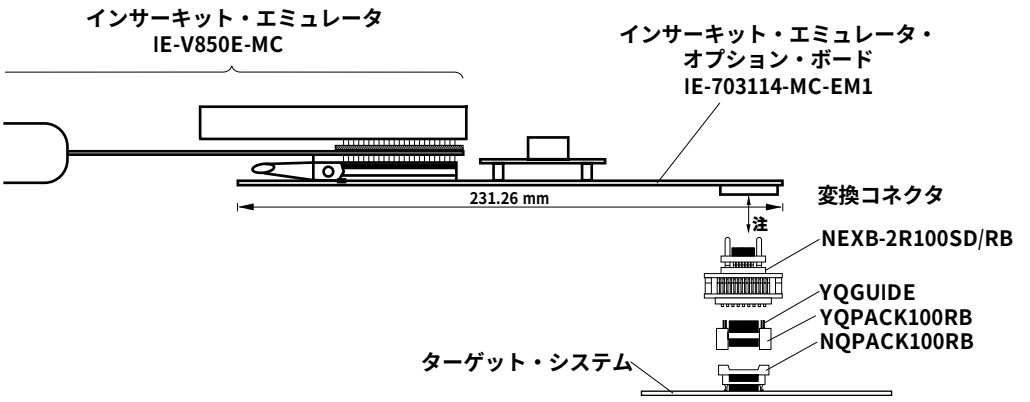


接続条件図



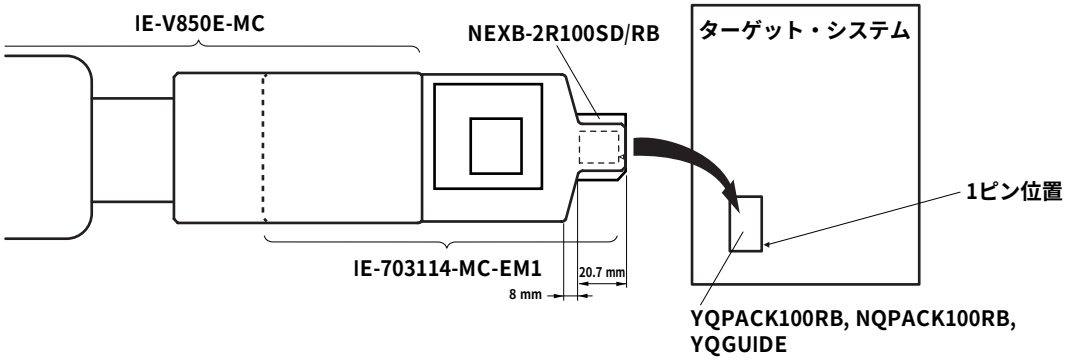
図A－2　100ピン・プラスチックQFP（14×20）の場合

Side View

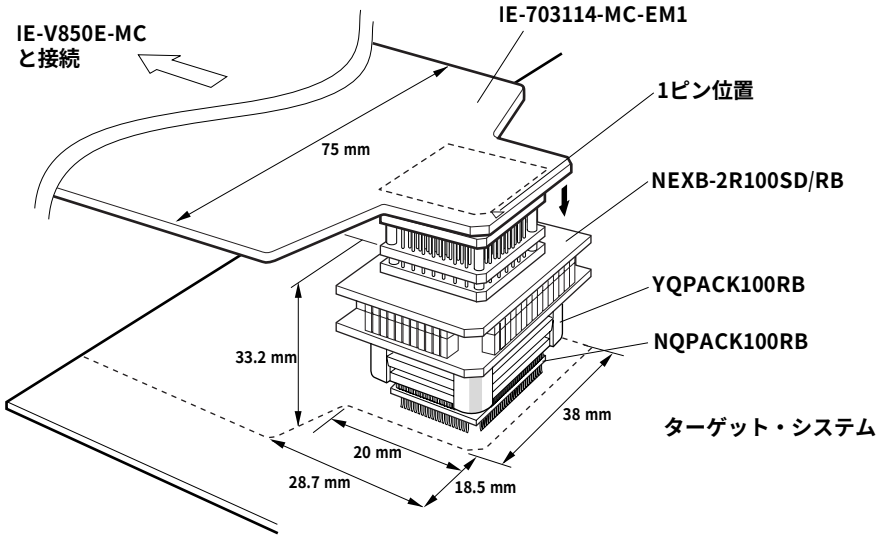


注　この部分には，高さ調節としてYQSOCKET100SDN**（別売）を挿入できます（高さ：**3.2 mm**）。**

Top View



接続条件図



付録B　レジスタ索引

(1/9)

略　号	名　　称	ユニット	ページ
ADCR00	A/D変換結果レジスタ00	ADC	519
ADCR01	A/D変換結果レジスタ01	ADC	519
ADCR02	A/D変換結果レジスタ02	ADC	519
ADCR03	A/D変換結果レジスタ03	ADC	519
ADCR04	A/D変換結果レジスタ04	ADC	519
ADCR05	A/D変換結果レジスタ05	ADC	519
ADCR10	A/D変換結果レジスタ10	ADC	519
ADCR11	A/D変換結果レジスタ11	ADC	519
ADCR12	A/D変換結果レジスタ12	ADC	519
ADCR13	A/D変換結果レジスタ13	ADC	519
ADCR14	A/D変換結果レジスタ14	ADC	519
ADCR15	A/D変換結果レジスタ15	ADC	519
ADCR16	A/D変換結果レジスタ16	ADC	519
ADCR17	A/D変換結果レジスタ17	ADC	519
ADETM0	A/D電圧検出モード・レジスタ0	ADC	518
ADETM0H	A/D電圧検出モード・レジスタ0H	ADC	518
ADETM0L	A/D電圧検出モード・レジスタ0L	ADC	518
ADETM1	A/D電圧検出モード・レジスタ1	ADC	518
ADETM1H	A/D電圧検出モード・レジスタ1H	ADC	518
ADETM1L	A/D電圧検出モード・レジスタ1L	ADC	518
ADIC0	割り込み制御レジスタ	INTC	146
ADIC1	割り込み制御レジスタ	INTC	146
ADSCM00	A/Dスキャン・モード・レジスタ00	ADC	515
ADSCM00H	A/Dスキャン・モード・レジスタ00H	ADC	515
ADSCM00L	A/Dスキャン・モード・レジスタ00L	ADC	515
ADSCM01	A/Dスキャン・モード・レジスタ01	ADC	517
ADSCM01H	A/Dスキャン・モード・レジスタ01H	ADC	517
ADSCM01L	A/Dスキャン・モード・レジスタ01L	ADC	517
ADSCM10	A/Dスキャン・モード・レジスタ10	ADC	515
ADSCM10H	A/Dスキャン・モード・レジスタ10H	ADC	515
ADSCM10L	A/Dスキャン・モード・レジスタ10L	ADC	515
ADSCM11	A/Dスキャン・モード・レジスタ11	ADC	517
ADSCM11H	A/Dスキャン・モード・レジスタ11H	ADC	517
ADSCM11L	A/Dスキャン・モード・レジスタ11L	ADC	517
ASIF0	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ0	UART0	414
ASIM0	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	UART0	410
ASIM10	アシンクロナス・シリアル・インタフェース・モード・レジスタ10	UART1	441
ASIM11	アシンクロナス・シリアル・インタフェース・モード・レジスタ11	UART1	443
ASIS0	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	UART0	413

(2/9)

略　号	名　　称	ユニット	ページ
ASIS1	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	UART1	444
AWC	アドレス・ウエイト制御レジスタ	BCU	92
BCC	バス・サイクル・コントロール・レジスタ	BCU	94
BCT0	バス・サイクル・タイプ・コンフィギュレーション・レジスタ0	BCU	82
BCT1	バス・サイクル・タイプ・コンフィギュレーション・レジスタ1	BCU	82
BFCM00	バッファ・レジスタCM00	TM00	198
BFCM01	バッファ・レジスタCM01	TM00	198
BFCM02	バッファ・レジスタCM02	TM00	198
BFCM03	バッファ・レジスタCM03	TM00	200
BFCM04	バッファ・レジスタCM04	TM00	198
BFCM05	バッファ・レジスタCM05	TM00	198
BFCM10	バッファ・レジスタCM10	TM01	198
BFCM11	バッファ・レジスタCM11	TM01	198
BFCM12	バッファ・レジスタCM12	TM01	198
BFCM13	バッファ・レジスタCM13	TM01	200
BFCM14	バッファ・レジスタCM14	TM01	198
BFCM15	バッファ・レジスタCM15	TM01	198
BRGC0	ボー・レート・ジェネレータ・コントロール・レジスタ0	UART0	432
BSC	バス・サイズ・コンフィギュレーション・レジスタ	BCU	84
CC100	キャプチャ／コンペア・レジスタ100	TM10	306
CC101	キャプチャ／コンペア・レジスタ101	TM10	307
CC10IC0	割り込み制御レジスタ	INTC	146
CC10IC1	割り込み制御レジスタ	INTC	146
CC2IC0	割り込み制御レジスタ	INTC	146
CC2IC1	割り込み制御レジスタ	INTC	146
CC2IC2	割り込み制御レジスタ	INTC	146
CC2IC3	割り込み制御レジスタ	INTC	146
CC2IC4	割り込み制御レジスタ	INTC	146
CC2IC5	割り込み制御レジスタ	INTC	146
CC30	キャプチャ／コンペア・レジスタ30	TM3	371
CC31	キャプチャ／コンペア・レジスタ31	TM3	371
CC3IC0	割り込み制御レジスタ	INTC	146
CC3IC1	割り込み制御レジスタ	INTC	146
CCR0	キャプチャ／コンペア・コントロール・レジスタ0	TM10	298
CCSTATE0	タイマ2キャプチャ／コンペア1-4ステータス・レジスタ0	TM2	343
CCSTATE0H	タイマ2キャプチャ／コンペア1-4ステータス・レジスタ0H	TM2	343
CCSTATE0L	タイマ2キャプチャ／コンペア1-4ステータス・レジスタ0L	TM2	343
CKC	クロック・コントロール・レジスタ	CG	173
CKSR0	クロック選択レジスタ0	UART0	431
CM000	コンペア・レジスタ000	TM00	198
CM001	コンペア・レジスタ001	TM00	198
CM002	コンペア・レジスタ002	TM00	198
CM003	コンペア・レジスタ003	TM00	198
CM004	コンペア・レジスタ004	TM00	198

(3/9)

略　号	名　　称	ユニット	ページ
CM005	コンペア・レジスタ005	TM00	198
CM00IC1	割り込み制御レジスタ	INTC	146
CM010	コンペア・レジスタ010	TM01	198
CM011	コンペア・レジスタ011	TM01	198
CM012	コンペア・レジスタ012	TM01	198
CM013	コンペア・レジスタ013	TM01	198
CM014	コンペア・レジスタ014	TM01	198
CM015	コンペア・レジスタ015	TM01	198
CM01IC1	割り込み制御レジスタ	INTC	146
CM02IC1	割り込み制御レジスタ	INTC	146
CM03IC0	割り込み制御レジスタ	INTC	146
CM03IC1	割り込み制御レジスタ	INTC	146
CM04IC0	割り込み制御レジスタ	INTC	146
CM04IC1	割り込み制御レジスタ	INTC	146
CM05IC0	割り込み制御レジスタ	INTC	146
CM05IC1	割り込み制御レジスタ	INTC	146
CM100	コンペア・レジスタ100	TM10	305
CM101	コンペア・レジスタ101	TM10	305
CM10IC0	割り込み制御レジスタ	INTC	146
CM10IC1	割り込み制御レジスタ	INTC	146
CM4	コンペア・レジスタ4	TM4	397
CM4IC0	割り込み制御レジスタ	INTC	146
CMSE050	タイマ2サブチャネル0, 5キャプチャ／コンペア制御レジスタ	TM2	337
CMSE120	タイマ2サブチャネル1, 2キャプチャ／コンペア制御レジスタ	TM2	338
CMSE340	タイマ2サブチャネル3, 4キャプチャ／コンペア制御レジスタ	TM2	340
CSC0	チップ・エリア選択コントロール・レジスタ0	BCU	79
CSC1	チップ・エリア選択コントロール・レジスタ1	BCU	79
CSCE0	タイマ2ソフトウエア・イベント・キャプチャ・レジスタ	TM2	345
CSE0	タイマ2カウント・クロック／制御エッジ選択レジスタ0	TM2	329
CSE0H	タイマ2カウント・クロック／制御エッジ選択レジスタ0H	TM2	329
CSE0L	タイマ2カウント・クロック／制御エッジ選択レジスタ0L	TM2	329
CSIC0	クロック同期式シリアル・インタフェース・クロック選択レジスタ0	CSI0	479
CSIC1	クロック同期式シリアル・インタフェース・クロック選択レジスタ1	CSI1	479
CSIIC0	割り込み制御レジスタ	INTC	146
CSIIC1	割り込み制御レジスタ	INTC	146
CSIM0	クロック同期式シリアル・インタフェース・モード・レジスタ0	CSI0	477
CSIM1	クロック同期式シリアル・インタフェース・モード・レジスタ1	CSI1	477
CSL10	CC101キャプチャ入力選択レジスタ	TM10	304
CVPE10	タイマ2サブチャネル1主キャプチャ／コンペア・レジスタ	TM2	326
CVPE20	タイマ2サブチャネル2主キャプチャ／コンペア・レジスタ	TM2	326
CVPE30	タイマ2サブチャネル3主キャプチャ／コンペア・レジスタ	TM2	326
CVPE40	タイマ2サブチャネル4主キャプチャ／コンペア・レジスタ	TM2	326
CVSE00	タイマ2サブチャネル0キャプチャ／コンペア・レジスタ	TM2	326
CVSE10	タイマ2サブチャネル1副キャプチャ／コンペア・レジスタ	TM2	327

(4/9)

略　号	名　　称	ユニット	ページ
CVSE20	タイマ2サブチャネル2副キャプチャ／コンペア・レジスタ	TM2	327
CVSE30	タイマ2サブチャネル3副キャプチャ／コンペア・レジスタ	TM2	327
CVSE40	タイマ2サブチャネル4副キャプチャ／コンペア・レジスタ	TM2	327
CVSE50	タイマ2サブチャネル5キャプチャ／コンペア・レジスタ	TM2	327
DADC0	DMAアドレシング・コントロール・レジスタ0	DMAC	108
DADC1	DMAアドレシング・コントロール・レジスタ1	DMAC	108
DADC2	DMAアドレシング・コントロール・レジスタ2	DMAC	108
DADC3	DMAアドレシング・コントロール・レジスタ3	DMAC	108
DBC0	DMA転送カウント・レジスタ0	DMAC	107
DBC1	DMA転送カウント・レジスタ1	DMAC	107
DBC2	DMA転送カウント・レジスタ2	DMAC	107
DBC3	DMA転送カウント・レジスタ3	DMAC	107
DCHC0	DMAチャネル・コントロール・レジスタ0	DMAC	110
DCHC1	DMAチャネル・コントロール・レジスタ1	DMAC	110
DCHC2	DMAチャネル・コントロール・レジスタ2	DMAC	110
DCHC3	DMAチャネル・コントロール・レジスタ3	DMAC	110
DDA0H	DMAデスティネーション・アドレス・レジスタ0H	DMAC	105
DDA0L	DMAデスティネーション・アドレス・レジスタ0L	DMAC	106
DDA1H	DMAデスティネーション・アドレス・レジスタ1H	DMAC	105
DDA1L	DMAデスティネーション・アドレス・レジスタ1L	DMAC	106
DDA2H	DMAデスティネーション・アドレス・レジスタ2H	DMAC	105
DDA2L	DMAデスティネーション・アドレス・レジスタ2L	DMAC	106
DDA3H	DMAデスティネーション・アドレス・レジスタ3H	DMAC	105
DDA3L	DMAデスティネーション・アドレス・レジスタ3L	DMAC	106
DDIS	DMAディスエーブル・ステータス・レジスタ	DMAC	112
DETIC0	割り込み制御レジスタ	INTC	146
DETIC1	割り込み制御レジスタ	INTC	146
DMAIC0	割り込み制御レジスタ	INTC	146
DMAIC1	割り込み制御レジスタ	INTC	146
DMAIC2	割り込み制御レジスタ	INTC	146
DMAIC3	割り込み制御レジスタ	INTC	146
DRST	DMAリスタート・レジスタ	DMAC	112
DSA0H	DMAソース・アドレス・レジスタ0H	DMAC	103
DSA0L	DMAソース・アドレス・レジスタ0L	DMAC	104
DSA1H	DMAソース・アドレス・レジスタ1H	DMAC	103
DSA1L	DMAソース・アドレス・レジスタ1L	DMAC	104
DSA2H	DMAソース・アドレス・レジスタ2H	DMAC	103
DSA2L	DMAソース・アドレス・レジスタ2L	DMAC	104
DSA3H	DMAソース・アドレス・レジスタ3H	DMAC	103
DSA3L	DMAソース・アドレス・レジスタ3L	DMAC	104
DTFR0	DMAトリガ要因レジスタ0	DMAC	113
DTFR1	DMAトリガ要因レジスタ1	DMAC	113
DTFR2	DMAトリガ要因レジスタ2	DMAC	113
DTFR3	DMAトリガ要因レジスタ3	DMAC	113

(5/9)

略　号	名　　称	ユニット	ページ
DTM00	デッド・タイム・タイマ00	TM00	197
DTM01	デッド・タイム・タイマ01	TM00	197
DTM02	デッド・タイム・タイマ02	TM00	197
DTM10	デッド・タイム・タイマ10	TM01	197
DTM11	デッド・タイム・タイマ11	TM01	197
DTM12	デッド・タイム・タイマ12	TM01	197
DTRR0	デッド・タイム・タイマ・リロード・レジスタ0	TM00	197
DTRR1	デッド・タイム・タイマ・リロード・レジスタ1	TM01	197
DWC0	データ・ウエイト・コントロール・レジスタ0	BCU	91
DWC1	データ・ウエイト・コントロール・レジスタ1	BCU	91
FEM0	タイマ2入力フィルタ・モード・レジスタ0	TM2	156, 588
FEM1	タイマ2入力フィルタ・モード・レジスタ1	TM2	156, 588
FEM2	タイマ2入力フィルタ・モード・レジスタ2	TM2	156, 588
FEM3	タイマ2入力フィルタ・モード・レジスタ3	TM2	156, 588
FEM4	タイマ2入力フィルタ・モード・レジスタ4	TM2	156, 588
FEM5	タイマ2入力フィルタ・モード・レジスタ5	TM2	156, 588
FLPMC	フラッシュ・プログラミング・モード・コントロール・レジスタ	CPU	627
IMR0	割り込みマスク・レジスタ0	INTC	149
IMR0H	割り込みマスク・レジスタ0H	INTC	149
IMR0L	割り込みマスク・レジスタ0L	INTC	149
IMR1	割り込みマスク・レジスタ1	INTC	149
IMR1H	割り込みマスク・レジスタ1H	INTC	149
IMR1L	割り込みマスク・レジスタ1L	INTC	149
IMR2	割り込みマスク・レジスタ2	INTC	149
IMR2H	割り込みマスク・レジスタ2H	INTC	149
IMR2L	割り込みマスク・レジスタ2L	INTC	149
IMR3	割り込みマスク・レジスタ3	INTC	149
IMR3H	割り込みマスク・レジスタ3H	INTC	149
IMR3L	割り込みマスク・レジスタ3L	INTC	149
INTM0	外部割り込みモード・レジスタ0	INTC	138
INTM1	外部割り込みモード・レジスタ1	INTC	152
INTM2	外部割り込みモード・レジスタ2	INTC	152
ISPR	インサービス・プライオリティ・レジスタ	INTC	150
ITRG0	A/D内部トリガ選択レジスタ0	ADC	522
ITRG1	A/D内部トリガ選択レジスタ1	ADC	522
LOCKR	ロック・レジスタ	CPU	176
NRC10	タイマ10ノイズ除去時間選択レジスタ	TM10	585
NRC3	タイマ3ノイズ除去時間選択レジスタ	TM3	586
OCTLE0	タイマ2出力制御レジスタ0	TM2	334
OCTLE0H	タイマ2出力制御レジスタ0H	TM2	334
OCTLE0L	タイマ2出力制御レジスタ0L	TM2	334
ODELE0	タイマ2出力遅延レジスタ0	TM2	344
ODELE0H	タイマ2出力遅延レジスタ0H	TM2	344
ODELE0L	タイマ2出力遅延レジスタ0L	TM2	344

(6/9)

略　号	名　　称	ユニット	ページ
P0	ポート0	ポート	562
P0IC0	割り込み制御レジスタ	INTC	146
P0IC1	割り込み制御レジスタ	INTC	146
P0IC2	割り込み制御レジスタ	INTC	146
P0IC3	割り込み制御レジスタ	INTC	146
P0IC4	割り込み制御レジスタ	INTC	146
P1	ポート1	ポート	563
P2	ポート2	ポート	565
P3	ポート3	ポート	568
P4	ポート4	ポート	571
PCM	ポートCM	ポート	579
PCT	ポートCT	ポート	577
PDH	ポートDH	ポート	573
PDL	ポートDL	ポート	575
PDLH	ポートDLH	ポート	575
PDLL	ポートDLL	ポート	575
PFC1	ポート1ファンクション・コントロール・レジスタ	ポート	564
PFC2	ポート2ファンクション・コントロール・レジスタ	ポート	567
PFC3	ポート3ファンクション・コントロール・レジスタ	ポート	570
PHCMD	ペリフェラル・コマンド・レジスタ	CPU	172
PHS	ペリフェラル・ステータス・レジスタ	CPU	175
PM1	ポート1モード・レジスタ	ポート	563
PM2	ポート2モード・レジスタ	ポート	566
PM3	ポート3モード・レジスタ	ポート	568
PM4	ポート4モード・レジスタ	ポート	571
PMC1	ポート1モード・コントロール・レジスタ	ポート	564
PMC2	ポート2モード・コントロール・レジスタ	ポート	566
PMC3	ポート3モード・コントロール・レジスタ	ポート	569
PMC4	ポート4モード・コントロール・レジスタ	ポート	572
PMCCM	ポートCMモード・コントロール・レジスタ	ポート	580
PMCCT	ポートCTモード・コントロール・レジスタ	ポート	578
PMCDH	ポートDHモード・コントロール・レジスタ	ポート	574
PMCDL	ポートDLモード・コントロール・レジスタ	ポート	576
PMCDLH	ポートDLモード・コントロール・レジスタH	ポート	576
PMCDLL	ポートDLモード・コントロール・レジスタL	ポート	576
PMCM	ポートCMモード・レジスタ	ポート	579
PMCT	ポートCTモード・レジスタ	ポート	577
PMDH	ポートDHモード・レジスタ	ポート	573
PMDL	ポートDLモード・レジスタ	ポート	576
PMDLH	ポートDLモード・レジスタH	ポート	576
PMDLL	ポートDLモード・レジスタL	ポート	576
POER0	PWM出力イネーブル・レジスタ0	TM00	214
POER1	PWM出力イネーブル・レジスタ1	TM01	214
PRCMD	コマンド・レジスタ	CPU	179

(7/9)

略　号	名　　称	ユニット	ページ
PRM01	タイマ0クロック選択レジスタ	TM0	201
PRM02	タイマ1/タイマ2クロック選択レジスタ	TM1/TM2	295, 328
PRM03	タイマ3クロック選択レジスタ	TM3	372
PRM10	プリスケーラ・モード・レジスタ10	TM10	301
PRSCM1	プリスケーラ・コンペア・レジスタ1	UART1	468
PRSCM3	プリスケーラ・コンペア・レジスタ3	CSI0, CSI1	508
PRSM1	プリスケーラ・モード・レジスタ1	UART1	467
PRSM3	プリスケーラ・モード・レジスタ3	CSI0, CSI1	507
PSC	パワー･セーブ・コントロール・レジスタ	CPU	180
PSMR	パワー・セーブ・モード・レジスタ	CPU	179
PSTO0	PWMソフトウエア・タイミング出力レジスタ0	TM00	215
PSTO1	PWMソフトウエア・タイミング出力レジスタ1	TM01	215
REGC	レギュレータ・コントロール・レジスタ	レギュレータ	604
RXB0	受信バッファ・レジスタ0	UART0	415
RXB1	2フレーム連続受信用バッファ・レジスタ1	UART1	446
RXBL1	受信バッファ・レジスタL1	UART1	446
SEIC0	割り込み制御レジスタ	INTC	146
SESA10	シグナル・エッジ選択レジスタ10	INTC, TM10	153, 299
SESC	有効エッジ選択レジスタ	INTC, TM3	155, 377
SESE0	タイマ2サブチャネル入力イベント・エッジ選択レジスタ0	TM2	330
SESE0H	タイマ2サブチャネル入力イベント・エッジ選択レジスタ0H	TM2	330
SESE0L	タイマ2サブチャネル入力イベント・エッジ選択レジスタ0L	TM2	330
SIO0	シリアルI/Oシフト・レジスタ0	CSI0	488
SIO1	シリアルI/Oシフト・レジスタ1	CSI1	488
SIOL0	シリアルI/Oシフト・レジスタL0	CSI0	489
SIOL1	シリアルI/Oシフト・レジスタL1	CSI1	489
SIRB0	クロック同期式シリアル・インタフェース受信バッファ・レジスタ0	CSI0	480
SIRB1	クロック同期式シリアル・インタフェース受信バッファ・レジスタ1	CSI1	480
SIRBE0	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ0	CSI0	482
SIRBE1	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ1	CSI1	482
SIRBEL0	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタL0	CSI0	483
SIRBEL1	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタL1	CSI1	483
SIRBL0	クロック同期式シリアル・インタフェース受信バッファ・レジスタL0	CSI0	480
SIRBL1	クロック同期式シリアル・インタフェース受信バッファ・レジスタL1	CSI1	480
SOTB0	クロック同期式シリアル・インタフェース送信バッファ・レジスタ0	CSI0	484
SOTB1	クロック同期式シリアル・インタフェース送信バッファ・レジスタ1	CSI1	484
SOTBF0	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ0	CSI0	486
SOTBF1	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ1	CSI1	486
SOTBFL0	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタL0	CSI0	487
SOTBFL1	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタL1	CSI1	487
SOTBL0	クロック同期式シリアル・インタフェース送信バッファ・レジスタL0	CSI0	485
SOTBL1	クロック同期式シリアル・インタフェース送信バッファ・レジスタL1	CSI1	485
SPEC0	TOMR書き込み許可レジスタ0	TM00	224
SPEC1	TOMR書き込み許可レジスタ1	TM01	224

(8/9)

略　号	名　　称	ユニット	ページ
SRIC0	割り込み制御レジスタ	INTC	146
SRIC1	割り込み制御レジスタ	INTC	146
STATUS0	ステータス・レジスタ0	TM10	303
STIC0	割り込み制御レジスタ	INTC	146
STIC1	割り込み制御レジスタ	INTC	146
STOPTE0	タイマ2クロック停止レジスタ0	TM2	328
STOPTE0H	タイマ2クロック停止レジスタ0H	TM2	328
STOPTE0L	タイマ2クロック停止レジスタ0L	TM2	328
TBSTATE0	タイマ2タイム・ベース・ステータス・レジスタ0	TM2	342
TBSTATE0H	タイマ2タイム・ベース・ステータス・レジスタ0H	TM2	342
TBSTATE0L	タイマ2タイム・ベース・ステータス・レジスタ0L	TM2	342
TCRE0	タイマ2タイム・ベース制御レジスタ0	TM2	331
TCRE0H	タイマ2タイム・ベース制御レジスタ0H	TM2	331
TCRE0L	タイマ2タイム・ベース制御レジスタ0L	TM2	331
TM00	タイマ00	TM00	196
TM01	タイマ01	TM01	196
TM0IC0	割り込み制御レジスタ	INTC	146
TM0IC1	割り込み制御レジスタ	INTC	146
TM10	タイマ10	TM10	293
TM20	タイマ20	TM2	325
TM21	タイマ21	TM2	325
TM2IC0	割り込み制御レジスタ	INTC	146
TM2IC1	割り込み制御レジスタ	INTC	146
TM3	タイマ3	TM3	369
TM3IC0	割り込み制御レジスタ	INTC	146
TM4	タイマ4	TM4	396
TMC00	タイマ・コントロール・レジスタ00	TM00	202
TMC00H	タイマ・コントロール・レジスタ00H	TM00	202
TMC00L	タイマ・コントロール・レジスタ00L	TM00	202
TMC01	タイマ・コントロール・レジスタ01	TM01	202
TMC01H	タイマ・コントロール・レジスタ01H	TM01	202
TMC01L	タイマ・コントロール・レジスタ01L	TM01	202
TMC10	タイマ・コントロール・レジスタ10	TM10	297
TMC30	タイマ・コントロール・レジスタ30	TM3	373
TMC31	タイマ・コントロール・レジスタ31	TM3	375
TMC4	タイマ・コントロール・レジスタ4	TM4	399
TMIC0	タイマ接続選択レジスタ0	TM1/TM2	404
TO3C	タイマ3出力コントロール・レジスタ	TM3	378
TOMR0	タイマ出力モード・レジスタ0	TM00	209
TOMR1	タイマ出力モード・レジスタ1	TM01	209
TUC00	タイマ・ユニット・コントロール・レジスタ00	TM00	208
TUC01	タイマ・ユニット・コントロール・レジスタ01	TM01	208
TUM0	タイマ・ユニット・モード・レジスタ0	TM10	296
TXB0	送信バッファ・レジスタ0	UART0	416

(9/9)

略　号	名　　称	ユニット	ページ
TXS1	2フレーム連続送信用シフト・レジスタ1	UART1	449
TXSL1	送信シフト・レジスタL1	UART1	449
VSWC	システム・ウエイト・コントロール・レジスタ	BCU	75

付録C　命令セット一覧

C. 1　凡　　例

(1) オペランド記述に使われる略号

略　号	説　　明
reg1	汎用レジスタ（ソース・レジスタとして使用）
reg2	汎用レジスタ（おもにデスティネーション・レジスタとして使用。一部の命令で，ソース・レジスタとしても使用。）
reg3	汎用レジスタ（おもに除算結果の余り，乗算結果の上位32ビットを格納）
bit#3	ビット・ナンバ指定用3ビット・データ
imm×	×ビット・イミーディエト・データ
disp×	×ビット・ディスプレースメント・データ
regID	システム・レジスタ番号
vector	トラップ・ベクタ（00H-1FH）を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ
sp	スタック・ポインタ（r3）
ep	エレメント・ポインタ（r30）
list×	×個のレジスタ・リスト

(2) オペランドに使われる略号

略　号	説　　明
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
w	reg3を指定するコードの1ビット分データ
d	ディスプレースメントの1ビット分データ
I	イミーディエトの1ビット分データ（イミーディエトの上位ビットを示す）
i	イミーディエトの1ビット分データ
cccc	条件コードを示す4ビット・データ
CCCC	Bcond命令の条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定用3ビット・データ
L	レジスタ・リスト中のプログラム・レジスタを指定する1ビット分データ
S	レジスタ・リスト中のシステム・レジスタを指定する1ビット分データ

(3) オペレーションに使われる略号

略　号	説　　明
←	代入
GR [　]	汎用レジスタ
SR [　]	システム・レジスタ
zero-extend（n）	nをワード長までゼロ拡張する。
sign-extend（n）	nをワード長まで符号拡張する。
load-memory（a, b）	アドレス「a」からサイズ「b」のデータを読み出す。
store-memory（a, b, c）	アドレス「a」に，データ「b」をサイズ「c」で書き込む。
load-memory-bit（a, b）	アドレス「a」のビット「b」を読み出す。
store-memory-bit（a, b, c）	アドレス「a」のビット「b」に「c」を書き込む。
saturated（n）	nの飽和処理を行う（nは2の補数）。 nが計算の結果，n≧7FFFFFFFHとなった場合，n = 7FFFFFFFHとする。 nが計算の結果，n≦80000000Hとなった場合，n = 80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト（8ビット）
Half-word	ハーフワード（16ビット）
Word	ワード（32ビット）
＋	加算
－	減算
‖	ビット連結
×	乗算
÷	除算
%	除算結果の余り
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

(4) 実行クロックに使われる略号

略　号	説　　明
i	命令実行直後にほかの命令を実行する場合（issue）
r	命令実行直後に同一命令を繰り返す場合（repeat）
l	命令実行結果を命令実行直後の命令で利用する場合（latency）

(5) フラグの動作に使われる略号

略　号	説　明
（ブランク）	変化なし
0	0にクリア
×	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

(6) 条件コード

条件名 (cond)	条件コード (cccc)	条件式	説　　明
V	0000	OV = 1	Overflow
NV	1000	OV = 0	No overflow
C/L	0001	CY = 1	Carry Lower（Less than）
NC/NL	1001	CY = 0	No carry No lower（Greater than or equal）
Z/E	0010	Z = 1	Zero Equal
NZ/NE	1010	Z = 0	Not zero Not equal
NH	0011	（CY or Z）= 1	Not higher（Less than or equal）
H	1011	（CY or Z）= 0	Higher（Greater than）
N	0100	S = 1	Negative
P	1100	S = 0	Positive
T	0101	－	Always（無条件）
SA	1101	SAT = 1	Saturated
LT	0110	（S xor OV）= 1	Less than signed
GE	1110	（S xor OV）= 0	Greater than or equal signed
LE	0111	（（S xor OV）or Z）= 1	Less than or equal signed
GT	1111	（（S xor OV）or Z）= 0	Greater than signed

C. 2　インストラクション・セット（アルファベット順）

（1/5）

ニモニック	オペランド	オペコード	オペレーション		実行クロック			フラグ				
					i	r	l	CY	OV	S	Z	SAT
ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2]←GR[reg2]＋GR[reg1]		1	1	1	×	×	×	×	
	imm5, reg2	rrrrr010010iiiii	GR[reg2]←GR[reg2]＋sign-extend (imm5)		1	1	1	×	×	×	×	
ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]＋sign-extend (imm16)		1	1	1	×	×	×	×	
AND	reg1, reg2	rrrrr001010RRRRR	GR[reg2]←GR[reg2] AND GR[reg1]		1	1	1		0	×	×	
ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1] AND zero-extend (imm16)		1	1	1		0	0	×	
Bcond	disp9	ddddd1011dddcccc **注1**	if conditions are satisfied then PC←PC＋sign-extend (disp9)	**条件成立時**	3 **注2**	3 **注2**	3 **注2**					
				条件不成立時	1	1	1					
BSH	reg2, reg3	rrrrr11111100000 WWWWW01101000010	GR[reg3]←GR[reg2] (23:16)‖GR[reg2] (31:24)‖GR[reg2] (7:0)‖GR[reg2] (15:8)		1	1	1	×	0	×	×	
BSW	reg2, reg3	rrrrr11111100000 WWWWW01101000000	GR[reg3]←GR[reg2] (7:0)‖GR[reg2] (15:8)‖GR[reg2] (23:16)‖GR[reg2] (31:24)		1	1	1	×	0	×	×	
CALLT	imm6	0000001000iiiiii	CTPC←PC＋2 (return PC) CTPSW←PSW adr←CTBP＋zero-extend (imm6 logically shift left by 1) PC←CTBP＋zero-extend(Load-memory (adr,Half-word))		5	5	5					
CLR1	bit#3,disp16[reg1]	10bbb111110RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend (disp16) Zフラグ←Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 0)		3 **注3**	3 **注3**	3 **注3**				×	
	reg2, [reg1]	10bbb111110RRRRR ddddddddddddddd	adr←GR[reg1] Zフラグ←Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 0)		3 **注3**	3 **注3**	3 **注3**				×	
CMOV	cccc, imm5, reg2, reg3	rrrrr111111iiiii WWWWW011000cccc0	if conditions are satisfied then GR[reg3]←sign-extend (imm5) else GR[reg3]←GR[reg2]		1	1	1					
	cccc, reg1, reg2, reg3	rrrrr111111RRRRR WWWWW011001cccc0	if conditions are satisfied then GR[reg3]←GR[reg1] else GR[reg3]←GR[reg2]		1	1	1					
CMP	reg1, reg2	rrrrr001111RRRRR	result←GR[reg2]－GR[reg1]		1	1	1	×	×	×	×	
	imm5, reg2	rrrrr010011iiiii	result←GR[reg2]－sign-extend (imm5)		1	1	1	×	×	×	×	
CTRET		0000011111100000 0000000101000100	PC←CTPC PSW←CTPSW		4	4	4	R	R	R	R	R
DBRET		0000011111100000 0000000101000110	PC←DBPC PSW←DBPSW		4	4	4	R	R	R	R	R
DBTRAP		1111100001000000	DBPC ← PC＋2 (復帰PC) DBPSW ← PSW PSW.NP← 1 PSW.EP← 1 PSW.ID ← 1 PC ← 00000060H		4	4	4					
DI		0000011111100000 0000000101100000	PSW.ID←1		1	1	1					

(2/5)

ニモニック	オペランド	オペコード	オペレーション		実行クロック			フラグ				
					i	r	l	CY	OV	S	Z	SAT
DISPOSE	imm5, list12	0000011001iiiiiL LLLLLLLLLL00000	sp←sp＋zero-extend (imm5 logically shift left by 2) GR[reg in list12]←Load-memory (sp, Word) sp←sp＋4 repeat 2 steps above until regs in list12 is loaded		n＋1 注4	n＋1 注4	n＋1 注4					
	imm5, list12 [reg1]	0000011001iiiiiL LLLLLLLLLLRRRRR 注5	sp←sp＋zero-extend (imm5 logically shift left by 2) GR[reg in list12]←Load-memory (sp, Word) sp←sp＋4 repeat 2 steps above until regs in list12 is loaded PC←GR[reg1]		n＋3 注4	n＋3 注4	n＋3 注4					
DIV	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01011000000	GR[reg2]←GR[reg2]÷GR[reg1] GR[reg3]←GR[reg2]%GR[reg1]		35	35	35		×	×	×	
DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2]←GR[reg2]÷GR[reg1]注6		35	35	35		×	×	×	
	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01010000000	GR[reg2]←GR[reg2]÷GR[reg1]注6 GR[reg3]←GR[reg2]%GR[reg1]		35	35	35		×	×	×	
DIVHU	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01010000010	GR[reg2]←GR[reg2]÷GR[reg1]注6 GR[reg3]←GR[reg2]%GR[reg1]		34	34	34		×	×	×	
DIVU	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01011000010	GR[reg2]←GR[reg2]÷GR[reg1] GR[reg3]←GR[reg2]%GR[reg1]		34	34	34		×	×	×	
EI		1000011111100000 0000000101100000	PSW.ID←0		1	1	1					
HALT		0000011111100000 0000000100100000	停止する		1	1	1					
HSW	reg2, reg3	rrrrr11111100000 WWWWW01101000100	GR[reg3]←GR[reg2] (15:0)‖GR[reg2] (31:16)		1	1	1	×	0	×	×	
JARL	disp22, reg2	rrrrr11110ddddd ddddddddddddddd0 注7	GR[reg2]←PC＋4 PC←PC＋sign-extend(disp22)		3	3	3					
JMP	[reg1]	00000000011RRRRR	PC←GR[reg1]		4	4	4					
JR	disp22	0000011110ddddd ddddddddddddddd0 注7	PC←PC＋sign-extend(disp22)		3	3	3					
LD.B	disp16[reg1], reg2	rrrrr111000RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend (disp16) GR[reg2]←sign-extend (Load-memory (adr, Byte))		1	1	注11					
LD.BU	disp16[reg1], reg2	rrrrr11110bRRRRR ddddddddddddddd1 注8, 10	adr←GR[reg1]＋sign-extend (disp16) GR[reg2]←zero-extend (Load-memory (adr, Byte))		1	1	注11					
LD.H	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd0 注8	adr←GR[reg1]＋sign-extend (disp16) GR[reg2]←sign-extend (Load-memory (adr, Halfword))		1	1	注11					
LDSR	reg2, regID	rrrrr111111RRRRR	SR[regID]←GR[reg2]	regID = PSW以外	1	1	1					
		0000000000100000 注12		regID = PSW	1	1	1	×	×	×	×	×
LD.HU	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注8	adr←GR[reg1]＋sign-extend (disp16) GR[reg2]←zero-extend (Load-memory (adr, Halfword))		1	1	注11					

(3/5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
LD.W	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 **注**8	adr←GR[reg1]＋sign-extend (disp16) GR[reg2]←Load-memory (adr, Word)	1	1	**注**11					
MOV	reg1, reg2	rrrrr000000RRRRR	GR[reg2]←GR[reg1]	1	1	1					
	imm5, reg2	rrrrr010000iiiii	GR[reg2]←sign-extend (imm5)	1	1	1					
	imm32, reg1	00000110001RRRRR iiiiiiiiiiiiiiii IIIIIIIIIIIIIIII	GR[reg1]←imm32	2	2	2					
MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]＋sign-extend (imm16)	1	1	1					
MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]＋(imm16 ‖ 0^{16})	1	1	1					
MUL[注22]	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01000100000	GR[reg3] ‖ GR[reg2]←GR[reg2]×GR[reg1] reg1≠reg2≠reg3, reg3≠r0	1	2 **注**14	2					
	imm9, reg2, reg3	rrrrr111111iiiii WWWWW01001IIII00 **注**13	GR[reg3] ‖ GR[reg2]←GR[reg2]×sign-extend (imm9)	1	2 **注**14	2					
MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2]←GR[reg2][注6]×GR[reg1][注6]	1	1	2					
	imm5, reg2	rrrrr010111iiiii	GR[reg2]←GR[reg2][注6]×sign-extend (imm5)	1	1	2					
MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1][注6]×imm16	1	1	2					
MULU[注22]	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01000100010	GR[reg3] ‖ GR[reg2]←GR[reg2]×GR[reg1] reg1≠reg2≠reg3, reg3≠r0	1	2 **注**14	2					
	imm9, reg2, reg3	rrrrr111111iiiii WWWWW01001IIII10 **注**13	GR[reg3] ‖ GR[reg2]←GR[reg2]×zero-extend (imm9)	1	2 **注**14	2					
NOP		0000000000000000	**何もせず最低1クロック費やします**	1	1	1					
NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2]←NOT (GR[reg1])	1	1	1		0	×	×	
NOT1	bit#3, disp16[reg1]	01bbb111110RRRRR dddddddddddddddd	adr←GR[reg1]＋sign-extend (disp16) Z**フラグ**←Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, Z**フラグ**)	3 **注**3	3 **注**3	3 **注**3				×	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100010	adr←GR[reg1] Z**フラグ**←Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, Z**フラグ**)	3 **注**3	3 **注**3	3 **注**3				×	
OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2]←GR[reg2] OR GR[reg1]	1	1	1		0	×	×	
ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1] OR zero-extend (imm16)	1	1	1		0	×	×	
PREPARE	list12, imm5	0000011110iiiiiL LLLLLLLLLL00001	Store-memory (sp－4, GR[reg in list12], Word) sp←sp－4 repeat 1 steps above until regs in list12 is stored sp←sp-zero-extend (imm5)	n＋1 **注**4	n＋1 **注**4	n＋1 **注**4					
	list12, imm5, sp/imm[注15]	0000011110iiiiiL LLLLLLLLLLff011 imm16/imm32 **注**16	Store-memory (sp－4, GR[reg in list12], Word) GR[reg in list12]←Load-memory (sp, Word) sp←sp＋4 repeat 2 steps above until regs in list12 is loaded PC←GR[reg1]	n＋2 **注**4 **注**17	n＋2 **注**4 **注**17	n＋2 **注**4 **注**17					

(4/5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
RETI		0000011111100000 0000000101000000	if PSW.EP = 1 then PC ← EIPC PSW ← EIPSW else if PSW.NP = 1 then PC ← FEPC PSW ← FEPSW else PC ← EIPC PSW ← EIPSW	4	4	4	R	R	R	R	R
SAR	reg1, reg2	rrrrr111111RRRRR 0000000010100000	GR[reg2]←GR[reg2] arithmetically shift right by GR[reg1]	1	1	1	×	0	×	×	
	imm5, reg2	rrrrr010101iiiii	GR[reg2]←GR[reg2] arithmetically shift right by zero-extend (imm5)	1	1	1	×	0	×	×	
SASF	cccc, reg2	rrrrr1111110cccc 0000001000000000	if conditions are satisfied then GR[reg2]←(GR[reg2] Logically shift left by 1) OR 00000001H else GR[reg2]←(GR[reg2] Logically shift left by 1) OR 00000000H	1	1	1					
SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2]←saturated (GR[reg2]＋GR[reg1])	1	1	1	×	×	×	×	×
	imm5, reg2	rrrrr010001iiiii	GR[reg2]←saturated (GR[reg2]＋sign-extend (imm5))	1	1	1	×	×	×	×	×
SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2]←saturated (GR[reg2]－GR[reg1])	1	1	1	×	×	×	×	×
SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2]←saturated (GR[reg1]－sign-extend (imm16))	1	1	1	×	×	×	×	×
SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2]←saturated (GR[reg1]－GR[reg2])	1	1	1	×	×	×	×	×
SETF	cccc, reg2	rrrrr1111110cccc 0000000000000000	if conditions are satisfied then GR[reg2]← 00000001H else GR[reg2]← 00000000H	1	1	1					
SET1	bit#3, disp16 [reg1]	00bbb111110RRRRR dddddddddddddddd	adr←GR[reg1]＋sign-extend (disp16) Zフラグ←Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 1)	3 注3	3 注3	3 注3				×	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100000	adr←GR[reg1] Zフラグ←Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 1)	3 注3	3 注3	3 注3				×	
SHL	reg1, reg2	rrrrr111111RRRRR 0000000011000000	GR[reg2]←GR[reg2] logically shift left by GR[reg1]	1	1	1	×	0	×	×	
	imm5, reg2	rrrrr010110iiiii	GR[reg2]←GR[reg2] logically shift left by zero-extend (imm5)	1	1	1	×	0	×	×	
SHR	reg1, reg2	rrrrr111111RRRRR 0000000010000000	GR[reg2]←GR[reg2] logically shift right by GR[reg1]	1	1	1	×	0	×	×	
	imm5, reg2	rrrrr010100iiiii	GR[reg2]←GR[reg2] logically shift right by zero-extend (imm5)	1	1	1	×	0	×	×	
SLD.B	disp7 [ep] , reg2	rrrrr0110ddddddd	adr←ep＋zero-extend (disp7) GR[reg2]←sign-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.BU	disp4 [ep] , reg2	rrrrr0000110dddd 注18	adr←ep＋zero-extend (disp4) GR[reg2]←zero-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.H	disp8 [ep] , reg2	rrrrr1000ddddddd 注19	adr←ep＋zero-extend (disp8) GR[reg2]←sign-extend (Load-memory (adr, Halfword))	1	1	注9					

(5/5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SLD.HU	disp5 [ep] , reg2	rrrrr0000111dddd 注18, 20	adr←ep＋zero-extend (disp5) GR[reg2]←zero-extend (Load-memory (adr, Halfword))	1	1	注9					
SLD.W	disp8 [ep] , reg2	rrrrr1010dddddd0 注21	adr←ep＋zero-extend (disp8) GR[reg2]←Load-memory (adr, Word)	1	1	注9					
SST.B	reg2, disp7 [ep]	rrrrr0111ddddddd	adr←ep＋zero-extend (disp7) Store-memory (adr, GR[reg2], Byte)	1	1	1					
SST.H	reg2, disp8 [ep]	rrrrr1001ddddddd 注19	adr←ep＋zero-extend(disp8) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
SST.W	reg2, disp8 [ep]	rrrrr1010ddddddd1 注21	adr←ep＋zero-extend(disp8) Store-memory (adr, GR[reg2], Word)	1	1	1					
ST.B	reg2, disp16 [reg1]	rrrrr111010RRRRR dddddddddddddddd	adr←GR[reg1]＋sign-extend (disp16) Store-memory (adr, GR[reg2], Byte)	1	1	1					
ST.H	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd0 注8	adr←GR[reg1]＋sign-extend (disp16) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
ST.W	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd1 注8	adr←GR[reg1]＋sign-extend(disp16) Store-memory (adr, GR[reg2], Word)	1	1	1					
STSR	regID, reg2	rrrrr111111RRRRR 0000000001000000	GR[reg2]←SR[regID]	1	1	1					
SUB	reg1, reg2	rrrrr001101RRRRR	GR[reg2]←GR[reg2]－GR[reg1]	1	1	1	×	×	×	×	
SUBR	reg1, reg2	rrrrr001100RRRRR	GR[reg2]←GR[reg1]－GR[reg2]	1	1	1	×	×	×	×	
SWITCH	reg1	00000000010RRRRR	adr←(PC＋2)＋(GR[reg1] logically shift left by 1) PC←(PC＋2)＋(sign-extend (Load-memory (adr, Halfward))) logically shift left by 1	5	5	5					
SXB	reg1	00000000101RRRRR	GR[reg1]←sign-extend (GR[reg1] (7：0))	1	1	1					
SXH	reg1	00000000111RRRRR	GR[reg1]←sign-extend (GR[reg1] (15：0))	1	1	1					
TRAP	vector	00000111111iiiii 0000000100000000	EIPC ← PC＋4 (復帰PC) EIPSW ← PSW ECR.EICC ← 例外コード（40H-4FH, 50H-5FH） PSW.EP ← 1 PSW.ID ← 1 PC ← 00000040H (vectorが00H-0FH（例外コード：40H-4FH）のとき) 00000050H (vectorが10H-1FH（例外コード：50H-5FH）のとき)	4	4	4					
TST	reg1, reg2	rrrrr001011RRRRR	result←GR[reg2] AND GR[reg1]	1	1	1		0	×	×	
TST1	bit#3, disp16 [reg1]	11bbb111110RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend (disp16) Zフラグ←Not (Load-memory-bit (adr, bit#3))	3 注3	3 注3	3 注3				×	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100110	adr←GR[reg1] Zフラグ←Not (Load-memory-bit (adr, reg2))	3 注3	3 注3	3 注3				×	
XOR	reg1, reg2	rrrrr001001RRRRR	GR[reg2]←GR[reg2] XOR GR[reg1]	1	1	1		0	×	×	
XORI	imm16, reg1, reg2	rrrrr110101RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1] XOR zero-extend (imm16)	1	1	1		0	×	×	
ZXB	reg1	00000000100RRRRR	GR[reg1]←zero-extend (GR[reg1] (7：0))	1	1	1					
ZXH	reg1	00000000110RRRRR	GR[reg1]←zero-extend (GR[reg1] (15：0))	1	1	1					

注1. ddddddddはdisp9の上位8ビットです。

2. 直前にPSWの内容を書き換える命令がある場合は4。
3. ウエイト・ステートがない場合（3＋リード・アクセス・ウエイト・ステート数）
4. nはlist12のロード・レジスタの合計数（ウエイト・ステート数による。ウエイト・ステートがない場合，nはlist12のレジスタ合計数。n = 0の場合，n = 1と同じ動作）
5. RRRRR：00000以外
6. 下位ハーフワード・データだけ有効
7. ddddddddddddddddddddddはdisp22の上位21ビットです。
8. ddddddddddddddddはdisp16の上位15ビットです。
9. ウエイト・ステート数による（ウエイト・ステートがない場合は1）
10. b：disp16のビット0
11. ウエイト・ステート数による（ウエイト・ステートがない場合は2）
12. この命令ではニモニックの記述の都合上，ソース・レジスタをreg2としていますが，オペコード上はreg1のフィールドを使用しています。したがって，ニモニック記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。

    rrrrr = regID指定

    RRRRR = reg2指定
13. iiiii：imm9の下位5ビット

    IIII：imm9の上位4ビット
14. reg2 = reg3（結果の下位32ビットがレジスタに書き込まれない），またはreg3 = r0（結果の上位32ビットはレジスタに書き込まれない）場合は1クロック短縮されます。
15. sp/imm：サブオペコードのビット19, 20で指定
16. ff = 00：spをepにロード

    01：符号拡張した16ビット・イミーディエト・データ（ビット47-32）をepにロード

    10：16ビット論理左シフトした16ビット・イミーディエト・データ（ビット47-32）をepにロード

    11：32ビット・イミーディエト・データ（ビット63-32）をepにロード
17. imm = imm32の場合はn＋3クロック
18. rrrrr：00000以外
19. ddddddはdisp8の上位7ビットです。
20. ddddはdisp5の上位4ビットです。
21. ddddddはdisp8の上位6ビットです。
22. 「MUL　reg1, reg2, reg3」命令，「MULU　reg1, reg2, reg3」命令において，次の条件をすべて満たすレジスタの組み合わせは行わないでください。この条件に当てはまる命令を実行した場合の動作は保証しません。

    • reg1 = reg3

    • reg1≠reg2

    • reg1≠r0

    • reg3≠r0

付録D　改版履歴

D. 1　本版で改訂された主な箇所

箇　所	内　容
U15195JJ6V0UD00 → U15195JJ6V1UD00	
p.103	6. 3. 1　DMA**ソース・アドレス・レジスタ**0-3（DSA0-DSA3）　**記述修正**
p.105	6. 3. 2　DMA**デスティネーション・アドレス・レジスタ**0-3（DDA0-DDA3）　**記述修正**
p.107	6. 3. 3　DMA**転送カウント・レジスタ**0-3（DBC0-DBC3）　**記述修正**
p.110	6. 3. 5　DMA**チャネル・コントロール・レジスタ**0-3（DCHC0-DCHC3）　**注意追加**
p.113, 116	6. 3. 8　DMA**トリガ要因レジスタ**0-3（DTFR0-DTFR3）　**注意記述修正**
p.146	7. 3. 4　**割り込み制御レジスタ**（xxICn）　**注意追加**
U15195JJ5V0UD00 → U15195JJ6V0UD00	
p.47	**表**3－2　**システム・レジスタ番号**　記述変更
p.52	3. 2. 2（6）**例外／デバッグ・トラップ時状態退避レジスタ**（DBPC, DBPSW）　**記述変更**
p.113, 114	6. 3. 8　DMA**トリガ要因レジスタ**0-3（DTFR0-DTFR3）　**記述追加および記述変更**
p.129	6. 14（3）CPU**へのバス・アービトレーション**　記述変更
p.129	6. 14（4）DMA**の起動要因**　記述変更
p.163	7. 5. 1（2）**復　　帰**　記述追加
p.336	9. 3. 4（6）（b）**トグル・モード0時のタイマ出力について**　追加
p.473	10. 4. 1　**特　　徴**　記述変更
p.540	11. 11. 7　**スキャン・モード**（A/D**トリガ・モード，**A/D**トリガ・ポーリング・モード，タイマ・トリガ・モード，外部トリガ・モード），セレクト・モード**（A/D**トリガ・ポーリング・モード）の強制中断時の終了方法について**　追加
p.540	11. 11. 8　A/D**変換結果のばらつき**　追加
p.540	11. 11. 9　A/D**変換のヒステリシス特性**　追加
p.584	**図**12－15　**ノイズ除去タイミング例**　記述変更
p.608	**図**15－1　**フラッシュ・メモリにプログラムを書き込むための環境**　図変更
p.608	**図**15－2　**専用フラッシュ・メモリ・プログラマとの通信**（UART0）　**図変更**
p.609	**図**15－3　**専用フラッシュ・メモリ・プログラマとの通信**（CSI0）　**図変更**
p.609	**図**15－4　**専用フラッシュ・メモリ・プログラマとの通信（ハンドシェーク対応**CSI**通信方式）**　**図変更**
p.614	**図**15－9　**フラッシュ・メモリの操作手順**　記述変更
p.616	**図**15－11　**通信コマンド**　図変更
p.661	16. 2　**フラッシュ・メモリ・プログラミング・モード　基本特性**　記述追加

D. 2　前版までの改版履歴

前版までの改版履歴を次に示します。なお，適用箇所は各版での章を示します。

（1/8）

版　数	前版までの改版内容	適用箇所
第2版	1. 2　**特徴**　メモリ空間の記述変更	第1章　イントロダクション
	1. 2　**特徴**　レギュレータの記述変更	
	1. 4　**オーダ情報**　注削除	
	2. 2　**端子状態**　ASTB（PCT6）端子の端子状態変更	第2章　端子機能
	2. 4　**端子の入出力回路タイプと未使用時の処理**　入出力回路タイプ5-Kを5-ACに変更	
	2. 5　**端子の入出力回路**　入出力回路タイプ5-Kを5-ACに変更	
	図3－3　**メモリ・マップ**　変更	第3章　CPU機能
	3. 4. 5（2）**内蔵**RAM**領域**　記述追加および削除	
	3. 4. 5（4）**外部メモリ領域**　記述変更	
	3. 4. 7（1）**プログラム空間**　記述削除	
	3. 4. 7（2）**データ空間**　ラップ・アラウンドを利用した応用例一部記述削除	
	図3－5　**推奨メモリ・マップ**　変更	
	3. 4. 8　**周辺**I/O**レジスタ**　記述追加および変更	
	3. 4. 10　**システム・ウエイト・コントロール・レジスタ**（VSWC）　記述追加および変更	
	4. 2. 1　**内蔵**ROM，**内蔵**RAM，**周辺**I/O**アクセス時の端子状態**　記述追加および変更	第4章　バス制御機能
	4. 3　**メモリ・ブロック機能**　記述追加および変更	
	4. 3. 1　**チップ・セレクト制御機能**　追加	
	4. 4. 1（1）**バス・サイクル・タイプ・コンフィギュレーション・レジスタ**0, 1（BCT0, BCT1）記述追加	
	4. 5. 1　**アクセス・クロック数**　注の表示追加	
	4. 5. 2　**バス・サイジング機能**　追加	
	4. 6. 1（1）**データ・ウエイト・コントロール・レジスタ**0, 1（DWC0, DWC1）　記述追加	
	4. 6. 1（2）**アドレス・ウエイト制御レジスタ**（AWC）　記述追加	
	図4－2　**ウエイト挿入例**　タイミング変更	
	4. 7（1）**バス・サイクル・コントロール・レジスタ**（BCC）　記述追加	
	6. 3. 3　DMA**転送カウント・レジスタ**0-3（DBC0-DBC3）　記述追加	第6章　DMA機能（DMA コントローラ）
	6. 3. 4　DMA**アドレシング・コントロール・レジスタ**0-3（DADC0-DADC3） DS1, DS0**ビット** = 1, 0**設定時の記述変更**	
	6. 3. 5　DMA**チャネル・コントロール・レジスタ**0-3（DCHC0-DCHC3）　注意追加	
	6. 3. 6　DMA**ディスエーブル・ステータス・レジスタ**（DDIS）　操作可能ビットの記述変更	
	6. 3. 7　DMA**リスタート・レジスタ**（DRST）　操作可能ビットの記述変更	
	6. 5. 1　**シングル転送モード**　記述追加	
	6. 5. 2　**シングルステップ転送モード**　記述追加	
	表6－1　**転送の種類と転送対象の関係**　転送対象が内蔵RAM時の転送状態変更	
	6. 8　DMA**チャネルの優先順位**　注意追加	
	6. 14（5）DMA**の起動要因**　追加	

（2/8）

版　数	前版までの改版内容	適用箇所
第2版	**表**7－1　**割り込み／例外要因一覧**　CC10IC1レジスタの発生要因追加	第7章　割り込み／例外処理機能
	図7－2　**ノンマスカブル割り込み要求の受け付け動作**　記述変更	
	7. 3. 8（2）**シグナル・エッジ選択レジスタ**10（SESA10）　注意追加および記述変更	
	7. 3. 8（3）**有効エッジ選択レジスタ**（SESC）　注意追加	
	7. 3. 8（4）**タイマ**2**入力フィルタ・モード・レジスタ**0-5（FEM0-FEM5）　記述追加および変更	
	7. 8　**割り込みが受け付けられない期間**　記述変更	
	8. 3. 4　**クロック・コントロール・レジスタ**（CKC）　操作可能ビットおよびCKCへのデータ設定シーケンスの記述変更	第8章　クロック発生機能
	図8－1　**パワー・セーブ・モード状態遷移図**　注変更	
	表8－4　IDLE**モード時の動作状態**　ASTBの動作状態変更	
	8. 5. 4（2）IDLE**モードの解除**　記述追加および変更	
	表8－6　**ソフトウエア**STOP**モード時の動作状態**　ASTBの動作状態変更	
	8. 5. 5（2）**ソフトウエア**STOP**モードの解除**　記述追加および変更	
	8. 6. 1（1）**内蔵タイム・ベース・カウンタで時間を確保する場合**　記述追加および変更，タイミング・チャートの変更	
	8. 6. 1（2）**信号レベル幅で時間を確保する場合**（$\overline{\text{RESET}}$**端子入力**）　タイミング・チャートの変更	
	9. 1. 2　**機能概要（タイマ**0**）**　表追加	第9章　タイマ／カウンタ機能（リアルタイム・パルス・ユニット）
	表9－2　**タイマ**0**の動作モード**　注意追加	
	9. 1. 5（3）**タイマ・ユニット・コントロール・レジスタ**00, 01（TUC00, TUC01）　記述追加および変更	
	9. 1. 5（4）**タイマ出力モード・レジスタ**0, 1（TOMR0, TOMR1）　記述変更	
	9. 1. 5（6）PWM**ソフトウエア・タイミング出力レジスタ**0, 1（PSTO0, PSTO1）　記述追加および変更，図9－9から図9－14まで追加	
	9. 1. 6　**動作**　備考追加	
	9. 1. 6（2）PWM**モード**0**：三角波変調（左右対称波形制御）**　［設定値に対する出力波形幅］に備考追加	
	9. 1. 6（3）PWM**モード**1**：三角波変調（左右非対称波形制御）**　［設定値に対する出力波形幅］に備考追加	
	9. 1. 6（4）PWM**モード**2**：のこぎり波変調**　［設定値に対する出力波形幅］に備考追加	
	図9－30　PWM**モード**2**（のこぎり波）の動作タイミング**　備考追加	
	9. 2. 2　**機能概要（タイマ**1**）**　記述変更	
	表9－5　**タイマ**1**の構成一覧**　記述変更	
	図9－45　**タイマ**1**のブロック図**　変更	
	9. 2. 4（1）**タイマ**1／**タイマ**2**クロック選択レジスタ**（PRM02）　記述変更	
	9. 2. 4（3）**タイマ・コントロール・レジスタ**10（TMC10）　記述追加	
	9. 2. 4（5）**シグナル・エッジ選択レジスタ**10（SESA10）　記述変更	
	図9－46　TM10**ブロック図**（PWM**出力動作時**）　記述変更	
	9. 3. 2　**機能概要（タイマ**2**）**　記述変更	
	表9－9　**タイマ**2**の構成一覧**　記述変更	
	表9－10　**キャプチャ／コンペア動作要因**　追加	
	表9－11　**タイマ出力時の出力レベル要因**　追加	
	図9－62　**タイマ**2**のブロック図**　記述変更	

（3/8）

版　数	前版までの改版内容	適用箇所
第2版	9. 3. 4（1）**タイマ**1／**タイマ**2**クロック選択レジスタ**（PRM02）　記述変更	第9章　タイマ／カウンタ機能（リアルタイム・パルス・ユニット）
	9. 3. 4（2）**タイマ**2**クロック停止レジスタ**0（STOPTE0）　記述変更	
	9. 3. 4（5）**タイマ**2**タイム・ベース制御レジスタ**0（TCRE0）　注意追加および変更	
	図9－95　**周期測定動作タイミング例**　注追加および注意削除	
	図9－97　TM4**動作中のタイミング例**　記述変更	
	10. 2. 3（1）**アシンクロナス・シリアル・インタフェース・モード・レジスタ**0（ASIM0）　注意変更	第10章　シリアル・インタフェース機能
	10. 2. 3（2）**アシンクロナス・シリアル・インタフェース・ステータス・レジスタ**0（ASIS0）　操作可能ビットの記述変更	
	10. 2. 3（3）**アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ**0（ASIF0）　注意追加および記述変更	
	10. 2. 3（4）**受信バッファ・レジスタ**0（RXB0）　操作可能ビットの記述変更	
	10. 2. 3（5）**送信バッファ・レジスタ**0（TXB0）　操作可能ビットの記述変更	
	10. 2. 5（3）**連続送信動作**　記述追加および変更	
	図10－5　**連続送信の処理フロー**　追加	
	図10－6　**連続送信の開始手順**　注追加および表の記述変更	
	図10－7　**連続送信の終了手順**　表の記述変更	
	図10－8　**アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング**　注意追加	
	10. 2. 6（2）（a）**クロック選択レジスタ**0（CKSR0）　操作可能ビットの記述変更および注意追加	
	10. 2. 6（2）（b）**ボー・レート・ジェネレータ・コントロール・レジスタ**0（BRGC0）　操作可能ビットの記述変更	
	10. 2. 7　**注意事項**　（2）追加	
	10. 3. 3（4）2**フレーム連続受信用バッファ・レジスタ**1（RXB1）／**受信バッファ・レジスタ**L1（RXBL1）　操作可能ビットの記述変更	
	10. 3. 4（1）**受信完了割り込み**（INTSR1）　注意追加	
	10. 3. 5（3）3**フレーム以上の連続送信**　追加	
	10. 3. 7（2）（c）**プリスケーラ・コンペア・レジスタ**1（PRSCM1）　操作可能ビットの記述変更	
	10. 3. 7（3）**受信時の許容ボー・レート範囲**　追加	
	10. 3. 7（4）2**フレーム連続受信時の転送レート**　追加	
	10. 4. 3（4）**クロック同期式シリアル・インタフェース受信バッファ・レジスタ**L0, L1（SIRBL0, SIRBL1）　操作可能ビットの記述変更	
	10. 4. 3（6）**クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ**L0, L1（SIRBEL0, SIRBEL1）　操作可能ビットの記述変更	
	10. 4. 3（8）**クロック同期式シリアル・インタフェース送信バッファ・レジスタ**L0, L1（SOTBL0, SOTBL1）　操作可能ビットの記述変更	
	10. 4. 3（10）**クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ**L0, L1（SOTBFL0, SOTBFL1）　操作可能ビットの記述変更	
	10. 4. 3（12）**シリアル**I/O**シフト・レジスタ**L0, L1（SIOL0, SIOL1）　操作可能ビットの記述変更	
	10. 4. 6（2）（b）**プリスケーラ・モード・レジスタ**3（PRSM3）　注意記述変更	
	10. 4. 6（2）（c）**プリスケーラ・コンペア・レジスタ**3（PRSCM3）　操作可能ビットおよび注意記述変更	

(4/8)

版　数	前版までの改版内容	適用箇所
第2版	11. 4（1）A/D**スキャン・モード・レジスタ**00, 10（ADSCM00, ADSCM10）　**注意追加**	**第11章　A/Dコンバータ**
	11. 4（2）A/D**スキャン・モード・レジスタ**01, 11（ADSCM01, ADSCM11）　**操作可能ビットの記述変更およびFR2-FR0ビットの説明変更**	
	11. 11. 6　A/D**変更結果が不定になるタイミング　追加**	
	11. 12　A/D**コンバータ特性表の読み方　追加**	
	12. 2（1）**各ポートの機能　記述変更**	**第12章　ポート機能**
	図12－4　**タイプ**D**のブロック図　変更**	
	図12－7　**タイプ**G**のブロック図　変更**	
	図12－8　**タイプ**H**のブロック図　変更**	
	図12－13　**タイプ**M**のブロック図　変更**	
	図12－14　**タイプ**N**のブロック図　追加**	
	12. 3. 6（1）**コントロール・モード時の動作　記述変更**	
	図12－15　**ノイズ除去タイミング例　変更**	
	12. 4. 3（1）**タイマ**2**入力フィルタ・モード・レジスタ**0-5（FEM0-FEM5）　**注意追加および記述変更**	
	13. 2（2）**①リセット回路，②リセット・タイミング　追加**	**第13章　リセット機能**
	表13－2　CPU, **内蔵**RAM, **内蔵周辺**I/O**のリセット後の初期値　項目追加および記述変更**	
	14. 1　**特徴　記述変更**	**第14章　レギュレータ**
	14. 2　**機能概要　記述追加および変更**	
	図14－1　N-ch**トランジスタ使用時の接続例　変更**	
	図14－2　2SD1950（VL**規格品）の面実装時におけるマウントパッド寸法（ガラスエポキシ基板の場合）（単位：**mm）　**追加**	
	図14－3　**外付けレギュレータ使用時の接続例　追加**	
	14. 4（1）**レギュレータ・コントロール・レジスタ**（REGC）　**注意の記述追加および変更**	
	15. 2　**フラッシュ・ライタによる書き込み方法　注意追加**	**第15章　フラッシュ・メモリ（**μPD70F3114）
	15. 2（2）**オフボード・プログラミング　記述追加**	
	15. 3　**プログラミング環境　記述変更**	
	15. 4（1）UART0　**記述変更**	
	15. 4（2）CSI0　**記述変更**	
	15. 4（3）**ハンドシェーク対応**CSI**通信方式　記述変更**	
	15. 5. 8　**電源　記述変更**	
	B. 2　**インストラクション・セット（アルファベット順）　記述変更**	**付録B　命令セット一覧**
第3版	**パッケージに**100**ピン・プラスチック**QFP（14×20）**を追加**	**全般**
	表1－2　V850E/IA1**と**V850E/IA2**のレジスタ設定値の違い　追加**	**第1章　イントロダクション**
	4. 2. 1　**内蔵**ROM**，内蔵**RAM**，内蔵周辺**I/O**アクセス時の端子状態　記述変更**	**第4章　バス制御機能**
	4. 3. 1（1）**チップ・エリア選択コントロール・レジスタ**0, 1（CSC0, CSC1）　**注意追加**	
	4. 9. 1　**プログラム空間　記述変更および削除**	
	6. 3. 1（1）DMA**ソース・アドレス・レジスタ**0H-3H（DSA0H-DSA3H）　**記述追加**	**第6章　DMA機能（DMA コントローラ）**
	6. 3. 2（1）DMA**デスティネーション・アドレス・レジスタ**0H-3H（DDA0H-DDA3H）　**記述追加**	
	6. 3. 4　DMA**アドレシング・コントロール・レジスタ**0-3（DADC0-DADC3）　**記述追加および注意追加**	

(5/8)

版　数	前版までの改版内容	適用箇所
第3版	6. 3. 5　DMA**チャネル・コントロール・レジスタ**0-3（DCHC0-DCHC3）　**記述追加，注意追加およびビット説明変更**	第6章　DMA機能（DMA コントローラ）
	6. 3. 6　DMA**ディスエーブル・ステータス・レジスタ**（DDIS）　**記述追加**	
	6. 3. 7　DMA**リスタート・レジスタ**（DRST）　**記述追加**	
	6. 6. 1　2**サイクル転送**　**注意追加**	
	6. 13　**強制終了**　**備考の記述一部追加**	
	6. 14（3）DMA**転送に関する各種時間**　**記述変更**	
	7. 3. 4　**割り込み制御レジスタ**（xxICn）　**注意追加**	第7章　割り込み／例外処理機能
	7. 3. 6　**インサービス・プライオリティ・レジスタ**（ISPR）　**注意追加**	
	図7－14　**割り込み要求受け付け時のパイプライン動作（概略）**　**記述変更**	
	表9－2　**タイマ0の動作モード**　**記述変更**	第9章　タイマ／カウンタ機能（リアルタイム・パルス・ユニット）
	表9－4　**タイマ**0（TM0n）**の動作モード**　**記述変更**	
	9. 1. 6（2）PWM**モード**0**：三角波変調（左右対称波形制御）**　**備考の記述変更**	
	図9－15，**図**9－17～**図**9－20，**図**9－22～**図**9－30，**図**9－32～**図**9－35　**変更**	
	10. 2. 1　**特　　徴**　**転送速度の最大値を変更**	第10章　シリアル・インタフェース機能
	表10－3　**ボー・レート・ジェネレータ設定データ**　**記述追加**	
	12. 2（1）**各ポートの機能**　**注意追加**	第12章　ポート機能
	15. 2（2）**オフボード・プログラミング**　**記述追加**	第15章　フラッシュ・メモリ（μPD70F3114）
	第16**章　電気的特性**　**追加**	第16章　電気的特性
	第17**章　外形図**　**追加**	第17章　外形図
	第18**章　半田付け推奨条件**　**追加**	第18章　半田付け推奨条件
	付録A　**ターゲット・システム設計上の注意**　**追加**	付録A　ターゲット・システム設計上の注意
	C. 2　**インストラクション・セット（アルファベット順）**　**記述変更**	付録C　命令セット一覧
	付録D　**総合索引**　**追加**	付録D　総合索引
	付録E　**改版履歴**　**追加**	付録E　改版履歴
第4版	・次の製品を追加 μPD703114GC(A)-xxx-8EU, 70F3114GC(A)-8EU	全般
	1. 5　**端子接続図**（Top View）　**注2追加**	第1章　イントロダクション
	6. 3. 1　DMA**ソース・アドレス・レジスタ**0-3（DSA0-DSA3）　**記述追加**	第6章　DMA機能（DMA コントローラ）
	6. 3. 1（1）DMA**ソース・アドレス・レジスタ**0H-3H（DSA0H-DSA3H）　**注意2追加**	
	6. 3. 2　DMA**デスティネーション・アドレス・レジスタ**0-3（DDA0-DDA3）　**記述追加**	
	6. 3. 2（1）DMA**デスティネーション・アドレス・レジスタ**0H-3H（DDA0H-DDA3H）　**注意2追加**	
	6. 3. 3　DMA**転送カウント・レジスタ**0-3（DBC0-DBC3）　**記述および注意**1, 2**追加**	
	6. 3. 4　DMA**アドレシング・コントロール・レジスタ**0-3（DADC0-DADC3）　**注意2追加**	
	6. 3. 5　DMA**チャネル・コントロール・レジスタ**0-3（DCHC0-DCHC3）　**注意の記述変更／追加**	

(6/8)

版　数	前版までの改版内容	適用箇所
第4版	6. 3. 7　DMA**リスタート・レジスタ**（DRST）　記述変更	第6章　DMA機能（DMAコントローラ）
	6. 3. 8　DMA**トリガ要因レジスタ**0-3（DTFR0-DTFR3）　記述追加	
	6. 7. 1　**転送の種類と転送対象**　備考の記述追加	
	表6－2　DMA**転送（2サイクル転送）時の外部バス・サイクル**　注削除	
	6. 9　**ネクスト・アドレス設定機能**　記述変更	
	6. 10　DMA**転送起動要因**　注意1, 2追加	
	6. 11　**強制中断**　記述変更	
	6. 13. 1　DMA**転送強制終了に関する制限事項**　追加	
	6. 14　DMA**転送に関する各種時間**　記述変更	
	6. 15（5）DCHCn**レジスタの**TCn**ビットの自動クリアに関する制限事項，**（6）DSAn, DDAn**レジスタの読み出し値**　追加	
	第7章　割り込み／例外処理機能　説明変更	第7章　割り込み／例外処理機能
	9. 1. 6（2）PWM**モード**0**：三角波変調（左右対称波形制御）**　注意2追加	第9章　タイマ／カウンタ機能（リアルタイム・パルス・ユニット）
	9. 3. 4（3）**タイマ**2**カウント・クロック／制御エッジ選択レジスタ**0（CSE0）　注追加	
	9. 3. 6　**タイマ**2**のコンペア・モード動作における**PWM**出力動作**　追加	
	図9－91　TM3**コンペア動作例（セット／リセット出力モード）**　記述変更	
	10. 2. 3（1）**アシンクロナス・シリアル・インタフェース・モード・レジスタ**0（ASIM0）　注意2追加	第10章　シリアル・インタフェース機能
	10. 2. 5（3）**連続送信動作**　注意追加	
	10. 3. 1　**特　　徴**　転送速度の記述追加	
	10. 3. 3（1）**アシンクロナス・シリアル・インタフェース・モード・レジスタ**10, 20（ASIM10, ASIM20）　注意1, 2**の記述変更**	
	10. 3. 7（2）（c）**プリスケーラ・コンペア・レジスタ**（PRSCM1）　注意3追加	
	表10－8　**ボー・レート・ジェネレータ設定データ**（BRG = fXX/2）　記述変更	
	12. 3. 2（1）**コントロール・モード時の動作**　注意追加	第12章　ポート機能
	12. 3. 3（1）**コントロール・モード時の動作**　注意追加	
	12. 3. 4（1）**コントロール・モード時の動作**　注意追加	
	12. 3. 4（2）（a）**ポート**3**モード・レジスタ**（PM3）　ビット7-5**の記述変更**	
	12. 3. 5（1）**コントロール・モード時の動作**　注意追加	
	12. 3. 9（1）**コントロール・モード時の動作**　注追加	
	12. 4　**ポート機能の動作**　追加	
	12. 6　**注意事項**　追加	
	13. 2（2）**③説　　明**　注意2に説明追加	第13章　リセット機能
	16. 1　**通常動作モード**　データ保持特性　注意追加	第16章　電気的特性
	16. 1　**通常動作モード**　ACテスト入力測定点　（b）追加	
	16. 1（3）**レギュレータ出力安定時間**　条件の安定化容量の記述変更	
	16. 1（5）（a）CLKOUT**非同期**　t_{HSTWT1}記述変更	
	16. 1（5）（c）**リード・サイクル**（CLKOUT**同期／非同期，**1**ウエイト）**　注意追加	
	16. 1（5）（d）**ライト・サイクル**（CLKOUT**同期／非同期，**1**ウエイト）**　注意追加	
	16. 1（8）**タイマ動作周波数**　備考追加	
	16. 1（11）（a）**クロック同期時のマスタ・モード**　TXD1出力遅延時間の記述追加	

（7/8）

版　数	前版までの改版内容	適用箇所
第4版	16. 2　フラッシュ・メモリ・プログラミング・モード　基本特性　V_{PP}電源電圧（V_{PPL}）記述変更	第16章　電気的特性
	付録C　C. 2　インストラクション・セット（アルファベット順）　MUL, MULUに注22追加	付録C　命令セット一覧
	付録D　改版履歴　記述変更	付録D　改版履歴
第5版	・次の鉛フリー製品を追加 μPD703114GC-xxx-8EU-A, 703114GC(A)-xxx-8EU-A, 703114GF-xxx-3BA-A, 70F3114GC-8EU-A, 70F3114GC(A)-8EU-A, 70F3114GF-3BA-A ・FLPMCレジスタを追加	全般
	表1－1　V850E/IA1とV850E/IA2の製品間の違い　注追加	第1章　イントロダクション
	1. 2　特　　徴　命令数を変更	
	表3－2　システム・レジスタ番号　注追加	第3章　CPU機能
	3. 2. 2（1）割り込み時状態退避レジスタ（EIPC, EIPSW），（2）NMI時状態退避レジスタ（FEPC, FEPSW），（5）CALLT実行時状態退避レジスタ（CTPC, CTPSW），（6）例外／ディバグ・トラップ時状態退避レジスタ（DBPC, DBPSW），（7）CALLTベース・ポインタ（CTBP）追加	
	3. 4. 11（2）sld命令と割り込み競合に関する制限事項　追加	
	6. 3. 5　DMAチャネル・コントロール・レジスタ0-3（DCHC0-DCHC3）　記述変更	第6章　DMA機能（DMAコントローラ）
	6. 3. 7　DMAリスタート・レジスタ（DRST）　記述変更	
	6. 3. 8　DMAトリガ要因レジスタ0-3（DTFR0-DTFR3）　記述変更および注意追加	
	図6－7　ブロック転送例　追加	
	6. 5. 1　2サイクル転送　注意記述変更	
	表6－1　転送の種類と転送対象の関係　注追加	
	6. 7　DMAチャネルの優先順位　記述一部削除	
	6. 8　ネクスト・アドレス設定機能　記述変更	
	図6－9　DMA転送の強制終了例　追加	
	6. 14（2）ミス・アライン・データの転送，（4）DMAの起動要因　記述変更	
	6. 14（5）内蔵RAMでのプログラム実行とDMA転送　追加	
	7. 1　特　　徴　注意追加	第7章　割り込み／例外処理機能
	表7－1　割り込み／例外要因一覧　注および備考追加	
	7. 3. 8（4）タイマ2入力フィルタ・モード・レジスタ0-5（FEM0-FEM5）　注意追加	
	7. 5. 2（2）復　　帰　注意追加	
	7. 8　CPUが割り込みを受け付けない期間　記述変更	
	8. 5. 2（3）パワー・セーブ・コントロール・レジスタ（PSC）　記述変更	第8章　クロック発生機能
	表8－4　IDLEモード時の動作状態　記述追加	
	8. 5. 4（2）（a）ノンマスカブル割り込み要求，マスクされていないマスカブル割り込み要求による解除　注意追加	
	表8－6　ソフトウエアSTOPモード時の動作状態　記述追加	
	8. 5. 5（2）（a）ノンマスカブル割り込み要求，マスクされていないマスカブル割り込み要求による解除　注意追加	
	9. 1. 6（4）［設定値に対する出力波形幅］（d）DTMnx = 000HまたはTM0CEDnビット= 1時にBFCMnx = 0000Hを設定した場合　追加	第9章　タイマ／カウンタ機能
	9. 1. 6（4）［設定値に対する出力波形幅］（e）BFCMnx = CM0n3 = aを設定した場合　追加	
	9. 2. 3（1）タイマ10（TM10）　注意追加	

(8/8)

版　数	前版までの改版内容	適用箇所
第5版	9. 2. 4 (6) (b) UDCモード (TUM0レジスタのCMDビット= 1) 時　表記述変更	第9章　タイマ／カウンタ機能
	表9－8　UDCモードのカウント動作一覧　記述変更	
	9. 3. 4 (6) (a) PWM出力変化タイミングについての注意事項　追加	
	図10－2　アシンクロナス・シリアル・インタフェース0のブロック図　備考追加	第10章　シリアル・インタフェース機能
	10. 2. 3 (2) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) 記述一部削除および注意追加	
	10. 2. 6 (5) 連続送信時の転送レート　記述追加	
	10. 2. 7　注意事項　(2) に記述追加	
	図10－20　アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング　図変更	
	12. 5. 2 (1) タイマ10ノイズ除去時間選択レジスタ (NRC10)　注意追加	第12章　ポート機能
	12. 5. 2 (2) タイマ3ノイズ除去時間選択レジスタ (NRC3)　注意追加	
	12. 5. 3 (1) タイマ2入力フィルタ・モード・レジスタ0-5 (FEM0-FEM5)　注意追加	
	15. 6　プログラミング方法　追加	第15章　フラッシュ・メモリ (μPD70F3114)
	15. 7　セルフ書き込みによるフラッシュ・メモリ・プログラミング　追加	
	15. 8　フラッシュ製品とマスクROM製品の判別方法　追加	
	表18－1　表面実装タイプの半田付け条件　(3)，(4) 追加	第18章　半田付け推奨条件

[メ　モ]

【発　行】
NECエレクトロニクス株式会社
〒211-8668　神奈川県川崎市中原区下沼部1753
電話（代表）：044(435)5111

お問い合わせ先

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。
URL(アドレス)　http://www.necel.co.jp/

【営業関係，技術関係お問い合わせ先】

半導体ホットライン
（電話：午前 9:00～12:00，午後 1:00～5:00）
電　話　：044−435−9494
E-mail　：info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。