

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# ユーザズ・マニュアル

## V850E/IA1

32ビット・シングルチップ・マイクロコントローラ

ハードウェア編

---

μPD703116

μPD703116(A)

μPD703116(A1)

μPD70F3116

μPD70F3116(A)

μPD70F3116(A1)

〔メモ〕

## 目次要約

第1章	イントロダクション	...	18
第2章	端子機能	...	30
第3章	CPU機能	...	49
第4章	バス制御機能	...	99
第5章	メモリ・アクセス制御機能	...	120
第6章	DMA機能 (DMAコントローラ)	...	126
第7章	割り込み / 例外処理機能	...	156
第8章	クロック発生機能	...	198
第9章	タイマ / カウンタ機能	...	219
第10章	シリアル・インタフェース機能	...	410
第11章	FCANコントローラ	...	515
第12章	NBD機能 ( $\mu$ PD70F3116)	...	631
第13章	A/Dコンバータ	...	650
第14章	ポート機能	...	685
第15章	リセット機能	...	732
第16章	フラッシュ・メモリ ( $\mu$ PD70F3116)	...	740
第17章	電源投入 / 電源遮断	...	773
第18章	電気的特性	...	775
第19章	外形図	...	805
第20章	半田付け推奨条件	...	806
付録A	ターゲット・システム設計上の注意	...	808
付録B	レジスタ索引	...	809
付録C	命令セット一覧	...	819
付録D	改版履歴	...	828

### 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

- 本資料に記載されている内容は2007年12月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っておりません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

# はじめに

**対象者** このマニュアルは、V850E/IA1の機能を理解し、それを用いた応用システムを設計するユーザを対象とします。

対象製品は次のようになります。

- ・標準品： $\mu$  PD703116, 70F3116
- ・特別品： $\mu$  PD703116(A), 703116(A1), 70F3116(A), 70F3116(A1)

**目的** このマニュアルは、次の構成に示すV850E/IA1のハードウェア機能をユーザに理解していただくことを目的としています。

**構成** V850E/IA1のユーザズ・マニュアルは、ハードウェア編（このマニュアル）と、アーキテクチャ編（V850E1 ユーザズ・マニュアル アーキテクチャ編）の2冊に分かれています。

## ハードウェア編

- ・端子機能
- ・CPU機能
- ・内蔵周辺機能
- ・フラッシュ・メモリ・プログラミング
- ・電気的特性

## アーキテクチャ編

- ・データ・タイプ
- ・レジスタ・セット
- ・命令形式と命令セット
- ・割り込みと例外
- ・パイプラインの動作

**読み方** このマニュアルの読者には、電気、論理回路、およびマイクロコントローラに関する一般知識を必要とします。

- 注意1.** このマニュアルの使用例は、一般電子機器用の『標準』品質水準品用に作成してあります。『特別』品質水準を要求する用途にこのマニュアル中の使用例を使用する場合は、実際に使用する各部品および回路について、その品質水準についてご検討のうえご使用ください。
- 2.** 特別品のマニュアルとして使用する場合には、次のように読み替えてください。

$\mu$  PD703116      703116(A), 703116(A1)  
 $\mu$  PD70F3116      70F3116(A), 70F3116(A1)

一通りV850E/IA1の機能を理解しようとするとき  
目次に従ってお読みください。

レジスタ名が分かっていて、レジスタの詳細を確認するとき  
付録B レジスタ索引を利用してください。



## レジスタ・フォーマットの見方

ビット番号を で囲んでいるビットは、そのビット名称がデバイス・ファイルで予約語として定義されています。

各レジスタのレジスタ・フォーマットの図で0または1と記載されている場合には、それ以外の値を設定しないでください。

## 命令機能の詳細を理解しようとするとき

別冊のV850E1 **ユーザズ・マニュアル アーキテクチャ編**を参照してください。

## V850E/IA1の電気的特性を知りたいとき

**第18章 電気的特性**を参照してください。

本文欄外の 印は、本版で改訂された主な箇所を示しています。

この“ ”をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

## 凡 例

データ表記の重み：左が上位桁，右が下位桁

アクティブ・ロウの表記： $\overline{xxx}$ （端子，信号名称に上線）

メモリ・マップのアドレス：上部-上位，下部-下位

注：本文中に付けた注の説明

注意：気を付けて読んでいただきたい内容

備考：本文の補足説明

数の表記：2進数 ... xxxxまたはxxxxB

10進数 ... xxxx

16進数 ... xxxxH

2のべき数を示す接頭語（アドレス空間，メモリ容量）：

K（キロ） ...  $2^{10} = 1024$

M（メガ） ...  $2^{20} = 1024^2$

G（ギガ） ...  $2^{30} = 1024^3$

データ・タイプ：ワード ... 32ビット

ハーフワード ... 16ビット

バイト ... 8ビット

**関連資料** 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

**V850E/IA1に関する資料**

資料名	資料番号
V850E1 ユーザーズ・マニュアル アーキテクチャ編	U14559J
V850E/IA1 ユーザーズ・マニュアル ハードウェア編	このマニュアル
V850E/IA1, V850E/IA2 アプリケーション・ノート ベクトル演算によるACモータ・インバータ制御編	U14868J
V850シリーズによるインバータ制御 アプリケーション・ノート ゼロクロス検出による120度通電方式制御編	U17209J
V850シリーズによるインバータ制御 アプリケーション・ノート エンコーダによるベクトル制御編	U17324J
V850シリーズによるインバータ制御 アプリケーション・ノート ホール・センサによるベクトル制御編	U17338J
V850シリーズ ユーザーズ・マニュアル フラッシュ・メモリ・セルフ・プログラミング	U15673J

**開発ツールに関する資料（ユーザーズ・マニュアル）**

資料名	資料番号	
IE-V850E-MC, IE-V850E-MC-A (インサーキット・エミュレータ)	U14487J	
IE-703114-MC-EM1 (インサーキット・エミュレータ・オプション・ボード)	U16533J	
CA850 (Ver.3.00) (Cコンパイラ・パッケージ)	操作編	U17293J
	C言語編	U17291J
	アセンブリ言語編	U17292J
	リンク・ディレクティブ編	U17294J
PM+ (Ver.6.30) (プロジェクト・マネージャ)	U18416J	
ID850 (Ver.3.00) (統合デバッガ)	操作編	U17358J
TW850 (Ver.2.00) (性能解析チューニング・ツール)		U17241J
SM850 (Ver.2.50) (システム・シミュレータ)	操作編	U16218J
SM850 (Ver.2.00以上) (システム・シミュレータ)	外部部品ユーザ・オープン・インタフェース仕様編	U14873J
SM+ (システム・シミュレータ)	操作編	U18601J
	ユーザ・オープン・インタフェース編	U18212J
RX850 (Ver.3.20) (リアルタイムOS)	基礎編	U13430J
	インストレーション編	U17419J
	テクニカル編	U13431J
	タスク・デバッガ編	U17420J
RX850 Pro (Ver.3.21) (リアルタイムOS)	基礎編	U18165J
	インストレーション編	U17421J
	テクニカル編	U13772J
	タスク・デバッガ編	U17422J
RX-NET (Ver.1.30) (TCP/IPライブラリ)		U15083J
AZ850 (Ver.3.30) (システム・パフォーマンス・アナライザ)		U17423J
PG-FP4 フラッシュ・メモリ・プログラマ		U15260J
PG-FP5 フラッシュ・メモリ・プログラマ		U18865J

# 目 次

## 第1章 イン트로ダクション ... 18

- 1.1 概 説 ... 18
- 1.2 特 徴 ... 21
- 1.3 応用分野 ... 23
- 1.4 オーダ情報 ... 23
- 1.5 端子接続図 (Top View) ... 24
- 1.6 機能ブロック構成 ... 26
  - 1.6.1 内部ブロック図 ... 26
  - 1.6.2 内部ユニット ... 27
- 1.7 各製品の相違点 ... 29

## 第2章 端子機能 ... 30

- 2.1 端子機能一覧 ... 30
- 2.2 端子状態 ... 36
- 2.3 端子機能の説明 ... 37
- 2.4 端子の入出力回路タイプと未使用時の処理 ... 46
- 2.5 端子の入出力回路 ... 48

## 第3章 CPU機能 ... 49

- 3.1 特 徴 ... 49
- 3.2 CPUレジスタ・セット ... 50
  - 3.2.1 プログラム・レジスタ・セット ... 51
  - 3.2.2 システム・レジスタ・セット ... 52
- 3.3 動作モード ... 58
  - 3.3.1 動作モード ... 58
  - 3.3.2 動作モード指定 ... 59
- 3.4 アドレス空間 60
  - 3.4.1 CPUアドレス空間 ... 60
  - 3.4.2 イメージ ... 61
  - 3.4.3 CPUアドレス空間のラップ・アラウンド ... 62
  - 3.4.4 メモリ・マップ ... 63
  - 3.4.5 領 域 ... 64
  - 3.4.6 外部メモリ拡張 ... 69
  - 3.4.7 アドレス空間の推奨使用方法 ... 70
  - 3.4.8 内蔵周辺I/Oレジスタ ... 73
  - 3.4.9 プログラマブル周辺I/Oレジスタ ... 82
  - 3.4.10 特定レジスタ ... 97
  - 3.4.11 システム・ウエイト・コントロール・レジスタ (VSWC) ... 97
  - 3.4.12 注意事項 ... 97

## 第4章 バス制御機能 ... 99

- 4.1 特 徴 ... 99
- 4.2 バス制御端子 ... 99
  - 4.2.1 内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態 ... 99
- 4.3 メモリ・ブロック機能 ... 100
  - 4.3.1 チップ・セレクト制御機能 ... 101
- 4.4 バス・サイクル・タイプ制御機能 ... 104
- 4.5 バス・アクセス ... 105
  - 4.5.1 アクセス・クロック数 ... 105
  - 4.5.2 バス・サイジング機能 ... 106
  - 4.5.3 ワード・データ処理形式 ... 106
  - 4.5.4 バス幅 ... 107
- 4.6 ウェイト機能 ... 113
  - 4.6.1 プログラマブル・ウェイト機能 ... 113
  - 4.6.2 外部ウェイト機能 ... 114
  - 4.6.3 プログラマブル・ウェイトと外部ウェイトの関係 ... 115
- 4.7 アイドル・ステート挿入機能 ... 116
- 4.8 バス・ホールド機能 ... 117
  - 4.8.1 機能概要 ... 117
  - 4.8.2 バス・ホールド手順 ... 117
  - 4.8.3 パワー・セーブ・モード時の動作 ... 118
  - 4.8.4 バス・ホールド・タイミング ... 118
- 4.9 バスの優先順位 ... 119
- 4.10 境界動作条件 ... 119
  - 4.10.1 プログラム空間 ... 119
  - 4.10.2 データ空間 ... 119

## 第5章 メモリ・アクセス制御機能 ... 120

- 5.1 SRAM, 外部ROM, 外部I/Oインタフェース ... 120
  - 5.1.1 特 徴 ... 120
  - 5.1.2 SRAM, 外部ROM, 外部I/Oアクセス ... 121

## 第6章 DMA機能 (DMAコントローラ) ... 126

- 6.1 特 徴 ... 126
- 6.2 構 成 ... 127
- 6.3 制御レジスタ ... 128
  - 6.3.1 DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3) ... 128
  - 6.3.2 DMAデスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3) ... 130
  - 6.3.3 DMA転送カウント・レジスタ0-3 (DBC0-DBC3) ... 132
  - 6.3.4 DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3) ... 133
  - 6.3.5 DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3) ... 135
  - 6.3.6 DMAディスエーブル・ステータス・レジスタ (DDIS) ... 137
  - 6.3.7 DMAリスタート・レジスタ (DRST) ... 137
  - 6.3.8 DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3) ... 138
- 6.4 転送モード ... 142
  - 6.4.1 シングル転送モード ... 142
  - 6.4.2 シングルステップ転送モード ... 144

- 6.4.3 ブロック転送モード ... 145
- 6.5 転送タイプ ... 145
  - 6.5.1 2サイクル転送 ... 145
- 6.6 転送対象 ... 146
  - 6.6.1 転送の種類と転送対象 ... 146
  - 6.6.2 DMA転送(2サイクル転送)時の外部バス・サイクル ... 147
- 6.7 DMAチャンネルの優先順位 ... 147
- 6.8 ネクスト・アドレス設定機能 ... 147
- 6.9 DMA転送起動要因 ... 149
- 6.10 強制中断 ... 150
- 6.11 DMA転送の終了 ... 150
- 6.12 強制終了 ... 151
  - 6.12.1 DMA転送強制終了に関する制限事項 ... 152
- 6.13 DMA転送に関する各種時間 ... 153
- 6.14 注意事項 ... 154
  - 6.14.1 中断要因 ... 155

## 第7章 割り込み / 例外処理機能 ... 156

- 7.1 特 徴 ... 156
- 7.2 ノンマスカブル割り込み ... 159
  - 7.2.1 動 作 ... 160
  - 7.2.2 復 帰 ... 162
  - 7.2.3 ノンマスカブル割り込みステータス・フラグ(NP) ... 163
  - 7.2.4 エッジ検出機能 ... 163
- 7.3 マスカブル割り込み ... 164
  - 7.3.1 動 作 ... 164
  - 7.3.2 復 帰 ... 166
  - 7.3.3 マスカブル割り込みの優先順位 ... 167
  - 7.3.4 割り込み制御レジスタ(xxICn) ... 171
  - 7.3.5 割り込みマスク・レジスタ0-3(IMR0-IMR3) ... 175
  - 7.3.6 インサーピス・プライオリティ・レジスタ(ISPR) ... 176
  - 7.3.7 マスカブル割り込みステータス・フラグ(ID) ... 177
  - 7.3.8 割り込みトリガ・モードの選択 ... 178
- 7.4 ソフトウェア例外 ... 187
  - 7.4.1 動 作 ... 187
  - 7.4.2 復 帰 ... 188
  - 7.4.3 例外ステータス・フラグ(EP) ... 189
- 7.5 例外トラップ ... 190
  - 7.5.1 不正命令コード ... 190
  - 7.5.2 デバッグ・トラップ ... 192
- 7.6 多重割り込み処理制御 ... 194
- 7.7 割り込み応答時間 ... 196
- 7.8 CPUが割り込みを受け付けない期間 ... 197

## 第8章 クロック発生機能 ... 198

- 8.1 特 徴 ... 198
- 8.2 構 成 ... 198
- 8.3 入力クロック選択 ... 199
  - 8.3.1 ダイレクト・モード ... 199

- 8.3.2 PLLモード ... 199
- 8.3.3 ペリフェラル・コマンド・レジスタ (PHCMD) ... 200
- 8.3.4 クロック・コントロール・レジスタ (CKC) ... 201
- 8.3.5 ペリフェラル・ステータス・レジスタ (PHS) ... 203
- 8.4 PLLロックアップ ... 204
- 8.5 パワー・セーブ制御 ... 205
  - 8.5.1 概要 ... 205
  - 8.5.2 制御レジスタ ... 207
  - 8.5.3 HALTモード ... 210
  - 8.5.4 IDLEモード ... 212
  - 8.5.5 ソフトウェアSTOPモード ... 214
- 8.6 発振安定時間の確保 ... 217
  - 8.6.1 発振安定時間の確保指定 ... 217
  - 8.6.2 タイム・ベース・カウンタ (TBC) ... 218

## 第9章 タイマ/カウンタ機能 ... 219

- 9.1 タイマ0 ... 219
  - 9.1.1 特徴 (タイマ0) ... 219
  - 9.1.2 機能概要 (タイマ0) ... 220
  - 9.1.3 基本構成 ... 221
  - 9.1.4 制御レジスタ ... 227
  - 9.1.5 動作 ... 251
  - 9.1.6 動作タイミング ... 285
- 9.2 タイマ1 ... 294
  - 9.2.1 特徴 (タイマ1) ... 294
  - 9.2.2 機能概要 (タイマ1) ... 294
  - 9.2.3 基本構成 ... 296
  - 9.2.4 制御レジスタ ... 300
  - 9.2.5 動作 ... 314
  - 9.2.6 内部動作補足説明 ... 324
- 9.3 タイマ2 ... 327
  - 9.3.1 特徴 (タイマ2) ... 327
  - 9.3.2 機能概要 (タイマ2) ... 327
  - 9.3.3 基本構成 ... 329
  - 9.3.4 制御レジスタ ... 335
  - 9.3.5 動作 ... 353
  - 9.3.6 タイマ2のコンペア・モード動作におけるPWM出力動作 ... 371
- 9.4 タイマ3 ... 374
  - 9.4.1 特徴 (タイマ3) ... 374
  - 9.4.2 機能概要 (タイマ3) ... 374
  - 9.4.3 基本構成 ... 375
  - 9.4.4 制御レジスタ ... 379
  - 9.4.5 動作 ... 385
  - 9.4.6 使用例 ... 392
  - 9.4.7 注意事項 ... 398
- 9.5 タイマ4 ... 399
  - 9.5.1 特徴 (タイマ4) ... 399
  - 9.5.2 機能概要 (タイマ4) ... 399
  - 9.5.3 基本構成 ... 400

- 9.5.4 制御レジスタ ... 404
- 9.5.5 動作 ... 405
- 9.5.6 使用例 ... 407
- 9.5.7 注意事項 ... 407
- 9.6 **タイマ接続機能** ... 408
  - 9.6.1 概要 ... 408
  - 9.6.2 制御レジスタ ... 409

## 第10章 シリアル・インタフェース機能 ... 410

- 10.1 **特徴** ... 410
- 10.2 **アシンクロナス・シリアル・インタフェース0 (UART0)** ... 411
  - 10.2.1 特徴 ... 411
  - 10.2.2 構成 ... 412
  - 10.2.3 制御レジスタ ... 414
  - 10.2.4 割り込み要求 ... 421
  - 10.2.5 動作 ... 422
  - 10.2.6 専用ボー・レート・ジェネレータ0 (BRG0) ... 434
  - 10.2.7 注意事項 ... 441
- 10.3 **アシンクロナス・シリアル・インタフェース1, 2 (UART1, UART2)** ... 442
  - 10.3.1 特徴 ... 442
  - 10.3.2 構成 ... 443
  - 10.3.3 制御レジスタ ... 445
  - 10.3.4 割り込み要求 ... 454
  - 10.3.5 動作 ... 455
  - 10.3.6 同期モード ... 465
  - 10.3.7 専用ボー・レート・ジェネレータ1, 2 (BRG1, BRG2) ... 470
- 10.4 **クロック同期式シリアル・インタフェース0, 1 (CSI0, CSI1)** ... 478
  - 10.4.1 特徴 ... 478
  - 10.4.2 構成 ... 479
  - 10.4.3 制御レジスタ ... 482
  - 10.4.4 動作 ... 495
  - 10.4.5 出力端子 ... 510
  - 10.4.6 専用ボー・レート・ジェネレータ3 (BRG3) ... 511

## 第11章 FCANコントローラ ... 515

- 11.1 **機能概要** ... 515
- 11.2 **構成** ... 516
- 11.3 **メッセージとバッファの構成** ... 518
- 11.4 **タイム・スタンプ機能** ... 519
- 11.5 **メッセージ処理** ... 523
  - 11.5.1 メッセージ送信 ... 523
  - 11.5.2 メッセージ受信 ... 524
- 11.6 **マスク機能** ... 526
- 11.7 **プロトコル** ... 528
  - 11.7.1 プロトコル・モード機能 ... 528
  - 11.7.2 メッセージ・フォーマット ... 529
- 11.8 **機能** ... 538
  - 11.8.1 パス・プライオリティの決定 ... 538

11.8.2	ビット・スタッフ	...	538
11.8.3	マルチマスタ	...	538
11.8.4	マルチキャスト	...	539
11.8.5	CANスリープ・モード/CANストップ・モード機能	...	539
11.8.6	エラー制御機能	...	539
11.8.7	ポー・レート制御機能	...	542
11.9	ビットのセット/クリア機能についての注意事項	...	545
11.10	制御レジスタ	...	547
11.11	動作	...	602
11.11.1	初期設定処理	...	602
11.11.2	送信の設定	...	615
11.11.3	受信の設定	...	616
11.11.4	CANスリープ・モード	...	618
11.11.5	CANストップ・モード	...	619
11.12	ポー・レートを正しく設定するための規則について	...	621
11.13	データの一貫性保証	...	625
11.13.1	シーケンシャル・データ・リード	...	625
11.13.2	バースト・リード・モード	...	626
11.14	割り込み条件	...	627
11.14.1	FCANコントローラで発生する割り込み	...	627
11.14.2	グローバルCANインタフェースで発生する割り込み	...	627
11.15	FCANコントローラのシャット・ダウン手順	...	628
11.16	使用上の注意	...	629

## 第12章 NBD機能 ( $\mu$ PD70F3116) ... 631

12.1	概要	...	631
12.2	NBD機能のレジスタ・マップ	...	632
12.3	NBD機能のプロトコル	...	633
12.4	NBD機能	...	636
12.4.1	RAMモニタ機能, NBD空間へのアクセス	...	636
12.4.2	イベント検出機能	...	638
12.4.3	チップIDレジスタ (TID0-TID2)	...	640
12.5	制御レジスタ	...	641
12.6	NBDの制限事項	...	645
12.6.1	全般的な制限事項	...	645
12.6.2	NBDによるRAMのリード/ライトに関する制限事項	...	645
12.6.3	NBDのイベント・トリガ機能に関する制限事項	...	645
12.6.4	DMAの初期設定の終了をNBDツールで検出する方法	...	645
12.7	DMA (2チャンネル) に対して必要な初期設定	...	646

## 第13章 A/Dコンバータ ... 650

13.1	特徴	...	650
13.2	構成	...	650
13.3	制御レジスタ	...	654
13.4	割り込み要求	...	662
13.5	A/Dコンバータ動作	...	663
13.5.1	A/Dコンバータ基本動作	...	663
13.5.2	動作モードとトリガ・モード	...	664
13.6	A/Dトリガ・モード時の動作	...	667



13.6.1	セレクト・モードの動作	...	667
13.6.2	スキャン・モードの動作	...	668
13.7	<b>A/Dトリガ・ポーリング・モード時の動作</b>	...	669
13.7.1	セレクト・モードの動作	...	669
13.7.2	スキャン・モードの動作	...	670
13.8	<b>タイマ・トリガ・モード時の動作</b>	...	672
13.8.1	セレクト・モードの動作	...	672
13.8.2	スキャン・モードの動作	...	673
13.9	<b>外部トリガ・モード時の動作</b>	...	674
13.9.1	セレクト・モードの動作	...	674
13.9.2	スキャン・モードの動作	...	675
13.10	<b>動作上の注意事項</b>	...	676
13.10.1	A/D変換動作の停止	...	676
13.10.2	A/D変換動作中のトリガ入力	...	676
13.10.3	外部ノタイマ・トリガの間隔	...	676
13.10.4	スタンバイ・モード時の動作	...	676
13.10.5	タイマ・トリガ・モード時のコンペアー致割り込み	...	677
13.10.6	A/D変換結果が不定になるタイミング	...	677
13.10.7	タイマ・トリガの発生と外部トリガ入力の競合による制限事項	...	678
13.10.8	スキャン・モード (A/Dトリガ・モード, A/Dトリガ・ポーリング・モード, タイマ・トリガ・モード, 外部トリガ・モード), セレクト・モード (A/Dトリガ・ポーリング・モード) の強制中断時の終了方法について	...	679
13.10.9	A/D変換結果のばらつき	...	679
13.10.10	A/D変換のヒステリシス特性	...	679
13.11	<b>A/Dコンバータ特性表の読み方</b>	...	680

## 第14章 ポート機能 ... 685

14.1	<b>特 徴</b>	...	685
14.2	<b>ポートの基本構成</b>	...	685
14.3	<b>各ポートの端子機能</b>	...	701
14.3.1	ポート0	...	701
14.3.2	ポート1	...	702
14.3.3	ポート2	...	705
14.3.4	ポート3	...	708
14.3.5	ポート4	...	710
14.3.6	ポートDH	...	712
14.3.7	ポートDL	...	714
14.3.8	ポートCS	...	716
14.3.9	ポートCT	...	718
14.3.10	ポートCM	...	720
14.4	<b>ポート機能の動作</b>	...	722
14.4.1	入出力ポートへの書き込み	...	722
14.4.2	入出力ポートからの読み出し	...	722
14.4.3	コントロール・モード時の兼用機能の出力状態	...	722
14.5	<b>ノイズ除去回路</b>	...	723
14.5.1	割り込み端子	...	723
14.5.2	タイマ10, タイマ11, タイマ3入力端子	...	724
14.5.3	タイマ2入力端子	...	729

## 第15章 リセット機能 ... 732

- 15.1 特 徴 ... 732
- 15.2 端子機能 ... 732
- 15.3 イニシャライズ ... 734

## 第16章 フラッシュ・メモリ ( $\mu$ PD70F3116) ... 740

- 16.1 特 徴 ... 740
- 16.2 フラッシュ・メモリ・プログラマによる書き込み方法 ... 740
- 16.3 プログラミング環境 ... 742
- 16.4 通信方式 ... 742
- 16.5 端子処理 ... 744
  - 16.5.1 V<sub>PP</sub>端子 ... 744
  - 16.5.2 シリアル・インタフェース端子 ... 744
  - 16.5.3  $\overline{\text{RESET}}$ 端子 ... 747
  - 16.5.4 NMI端子 ... 747
  - 16.5.5 MODE0-MODE2端子 ... 747
  - 16.5.6 ポート端子 ... 747
  - 16.5.7 その他の信号端子 ... 747
  - 16.5.8 電 源 ... 748
- 16.6 プログラミング方法 ... 748
  - 16.6.1 フラッシュ・メモリ制御 ... 748
  - 16.6.2 フラッシュ・メモリ・プログラミング・モード ... 749
  - 16.6.3 通信方式の選択 ... 749
  - 16.6.4 通信コマンド ... 750
- 16.7 セルフ書き込みによるフラッシュ・メモリ・プログラミング ... 751
  - 16.7.1 セルフ・プログラミングの概要 ... 751
  - 16.7.2 セルフ・プログラミング機能 ... 752
  - 16.7.3 セルフ・プログラミング・インタフェースの概要 ... 752
  - 16.7.4 ハードウエア環境 ... 753
  - 16.7.5 ソフトウエア環境 ... 755
  - 16.7.6 セルフ・プログラミング機能番号 ... 756
  - 16.7.7 呼び出しパラメータ ... 757
  - 16.7.8 RAMパラメータの内容 ... 758
  - 16.7.9 セルフ・プログラミング時のエラー ... 759
  - 16.7.10 フラッシュ情報 ... 759
  - 16.7.11 エリア番号 ... 760
  - 16.7.12 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) ... 761
  - 16.7.13 デバイス内部処理の呼び出し ... 763
  - 16.7.14 フラッシュ・メモリの消去フロー ... 766
  - 16.7.15 連続書き込みフロー ... 767
  - 16.7.16 内部ベリファイ・フロー ... 768
  - 16.7.17 フラッシュ情報取得フロー ... 769
  - 16.7.18 セルフ・プログラミング・ライブラリ ... 770
- 16.8 フラッシュ製品とマスクROM製品の判別方法 ... 772

## 第17章 電源投入 / 電源遮断 ... 773

<b>第18章 電気的特性</b> ...	775
18.1 通常動作モード ...	775
18.2 フラッシュ・メモリ・プログラミング・モード ( $\mu$ PD70F3116のみ) ...	803
<b>第19章 外形図</b> ...	805
<b>第20章 半田付け推奨条件</b> ...	806
<b>付録A ターゲット・システム設計上の注意</b> ...	808
<b>付録B レジスタ索引</b> ...	809
<b>付録C 命令セット一覧</b> ...	819
C.1 凡例 ...	819
C.2 インストラクション・セット (アルファベット順) ...	822
<b>付録D 改版履歴</b> ...	828
D.1 本版で改訂された主な箇所 ...	828
D.2 前版までの改版履歴 ...	829

# 第1章 イントロダクション

V850E/IA1は、NECエレクトロニクスのシングルチップ・マイクロコントローラ「V850マイコン」の1製品です。この章では、V850E/IA1の概要を説明します。

## 1.1 概 説

V850E/IA1は、V850マイコンの「V850E1 CPU」を使用し、ROM, RAM, および、バス・インタフェース, DMAコントローラ, モータ用3相正弦波PWMタイマをはじめ各種タイマ, FCANを含めた各種シリアル・インタフェース, A/Dコンバータなどの周辺機能を内蔵し、高速演算による高精度なモータのインバータ制御を実現した32ビット・シングルチップ・マイクロコントローラです。

### (1) 「V850E1 CPU」搭載

「V850E1 CPU」は、RISC型命令セットをサポートしており、1命令を1クロックで実行する基本命令と、最適化されたパイプラインにより、命令実行速度を飛躍的に向上させています。さらにデジタル・サーボ制御の応用に最適な命令として、32ビットのハードウェア乗算器による乗算命令、飽和積和演算命令、ビット操作命令などもサポートしています。

また、2バイト長の基本命令、高級言語対応命令などにより、Cコンパイラでのオブジェクト・コード効率を高めており、プログラム・サイズのコンパクト化を実現します。

さらに、内蔵割り込みコントローラでの処理を含む割り込み応答時間も高速なため、高度なりアルタイム制御分野に適しています。

### (2) 外部バス・インタフェース機能

外部バス・インタフェースとして、マルチプレクス・バス構成のアドレス・バス(24ビット)、データ・バス(8ビットまたは16ビットを選択)があり、コンパクトなシステム設計に適しています。接続できるメモリは、SRAMとROMです。

また、DMAコントローラは、ソフトウェアにより転送が起動され、CPU内部の演算やデータ転送と並行して外部メモリ間の転送ができます。高速で、高性能なCPUの命令実行により、モータ制御、通信制御などのリアルタイム制御も同時に実現できます。

### (3) フラッシュ・メモリ内蔵 ( $\mu$ PD70F3116)

フラッシュ・メモリ内蔵品 ( $\mu$  PD70F3116) は、高速アクセス可能なフラッシュ・メモリを内蔵しており、アプリケーション・システム上にV850E/IA1を実装したままプログラムの書き換えが行えるため、システム開発期間の短縮が実現できます。また、システム出荷後のメンテナンス性を飛躍的に向上させることができます。

### (4) 充実したミドルウェア、開発環境製品群

V850E/IA1はJPEG, JBIG, MH/MR/MMRなどのミドルウェアを高速実行できます。また、音声認識、音声合成などの処理を実現するミドルウェアも用意されているので、これらのミドルウェアと組み合わせることにより、マルチメディア・システムを容易に実現できます。

また、最適化Cコンパイラ、デバッガ、インサーキット・エミュレータ、シミュレータ、システム・パフォーマンス・アナライザなどの統合された開発環境も用意しています。

表1 - 1にV850E/IA1とV850E/IA2の製品間の違い、表1 - 2にV850E/IA1とV850E/IA2のレジスタ設定値の違いを示します。

表1 - 1 V850E/IA1とV850E/IA2の製品間の違い

項 目		V850E/IA1	V850E/IA2
最大動作周波数		50 MHz <sup>注</sup>	40 MHz
内蔵ROM	マスクROM	μ PD703116 : 256 Kバイト	μ PD703114 : 128 Kバイト
	フラッシュ・メモリ	μ PD70F3116 : 256 Kバイト	μ PD70F3114 : 128 Kバイト
内蔵RAM		10 Kバイト	6 Kバイト
タイマ	タイマ00, 01	あり	バッファ・レジスタ, コンペア・レジスタ, コンペア一致割り込み追加
	タイマ10, 11	あり	タイマ10 : あり, タイマ11 : なし
	タイマ20, 21	あり	あり
	タイマ3	あり	INTP4入力によるTO3出力バッファ・オフ機能追加
	タイマ4	あり	あり
シリアル・インタフェース	UART0	あり	あり
	UART1	あり	あり (CSI1と端子兼用)
	UART2	あり	なし
	CSI0	あり	あり
	CSI1	あり	あり (UART1と端子兼用)
	FCAN	あり	なし
デバッグ支援機能	NBD	あり	なし
A/Dコンバータ	アナログ入力	2回路合計 : 16 ch A/Dコンバータ0 : 8 ch A/Dコンバータ1 : 8 ch	2回路合計 : 14 ch A/Dコンバータ0 : 6 ch A/Dコンバータ1 : 8 ch
	AV <sub>DD</sub> , AV <sub>REF</sub> 端子	独立端子	兼用端子
電源電圧		V <sub>DD3</sub> = 3.3 V ± 0.3 V V <sub>DD5</sub> = 5.0 V ± 0.5 V	V <sub>DD</sub> = RV <sub>DD</sub> = 5.0 V ± 0.5 V レギュレータ内蔵
パッケージ		144ピン・プラスチックLQFP	100ピン・プラスチックLQFP 100ピン・プラスチックQFP

注 インサーキット・エミュレータの最大動作周波数は40 MHzです。バージョン・アップにより50 MHz対応できますので、当社販売員または特約店にお問い合わせください。

備考 詳細は、各製品のユーザーズ・マニュアルを参照してください。

表1 - 2 V850E/IA1とV850E/IA2のレジスタ設定値の違い

レジスタ名	V850E/IA1 <sup>注1, 2</sup>	V850E/IA2
システム・ウェイト・コントロール・レジスタ (VSWC)	12H	02H
タイマ1/タイマ2クロック選択レジスタ (PRM02)	00Hまたは01H	01H (初期値00H)

- 注1. タイマ1/タイマ2クロック選択レジスタ (PRM02) のPRM2ビット = 1B ( $f_{CLK} = f_{xx}/2$ ) 設定時に、タイマ2カウント・クロック / 制御エッジ選択レジスタ0 (CSE0) のTESnE1, TESnE0ビット = 11B (立ち上がり / 立ち下がり両エッジ) は設定禁止です。
2. タイマ1/タイマ2クロック選択レジスタ (PRM02) のPRM2ビット = 0B ( $f_{CLK} = f_{xx}/4$ ) 設定時は、VSWCレジスタ = 15Hとしてください。

**備考** 詳細は、各製品のユーザーズ・マニュアルを参照してください。

## 1.2 特 徴

命令数 80

最小命令実行時間 20 ns (内部50 MHz動作時)

汎用レジスタ 32ビット×32本

命令セット V850E1 CPU  
 符号付き乗算 (32ビット×32ビット 64ビット)  
 : 1-2クロック  
 飽和演算命令 (オーバフロー/アンダフロー検出機能付き)  
 32ビット・シフト命令 : 1クロック  
 ビット操作命令  
 ロング/ショート形式を持つロード/ストア命令  
 符号付きロード命令

メモリ空間 256 Mバイト・リニア・アドレス空間 (プログラム/データ共有)  
 チップ・セレクト出力機能 : 8空間  
 メモリ・ブロック分割機能 : 2 M, 4 M, 8 Mバイト/ブロック  
 プログラマブル・ウエイト機能  
 アイドル・ステート挿入機能

外部バス・インタフェース

16ビット・データ・バス (アドレス/データ・マルチプレクス)  
 16/8ビット・バス・サイジング機能  
 バス・ホールド機能  
 外部ウエイト機能

内蔵メモリ

製品名	内蔵ROM	内蔵RAM
μ PD703116	256 Kバイト (マスクROM)	10 Kバイト
μ PD70F3116	256 Kバイト (フラッシュ・メモリ)	10 Kバイト

割り込み/例外 外部割り込み : 20本 (NMI含む)  
 内部割り込み : 45要因  
 例外 : 1要因  
 8レベルの優先順位指定可能

メモリ・アクセス制御 SRAMコントローラ

DMAコントローラ

4チャンネル構成

転送単位 : 8ビット / 16ビット

最大転送回数 : 65536 (2<sup>16</sup>) 回

転送タイプ : 2サイクル転送

転送モード : シングル転送 / シングルステップ転送 / ブロック転送

転送対象 : メモリ メモリ, メモリ I/O, I/O I/O

転送要求 : 内蔵周辺I/O / ソフトウェア

ネクスト・アドレス設定機能

I/Oライン

入力ポート : 8

入出力ポート : 75

タイマ / カウンタ機能

3相正弦波PWMインバータ制御用16ビット・タイマ : 2ch

2相エンコーダ入力用16ビット・アップ/ダウン・カウンタ / タイマ : 2ch

汎用16ビット・タイマ / カウンタ : 2ch

汎用16ビット・タイマ / イベント・カウンタ : 1ch

16ビット・インターバル・タイマ : 1ch

シリアル・インタフェース

アシンクロナス・シリアル・インタフェース (UART) : 3ch

クロック同期式シリアル・インタフェース (CSI) : 2ch

FCAN ( Full Controller Area Network ) : 1ch

NBD ( Non Break Debug ) 機能 : 1ch (  $\mu$  PD70F3116のみ )

RAMモニタ機能

イベント検出機能

A/Dコンバータ 10ビット分解能A/Dコンバータ : 8ch × 2ユニット

クロック・ジェネレータ

PLLクロック・シンセサイザによる逡倍機能 ( 1, 2.5, 5, 10逡倍 )

外部クロック入力による2分周機能

パワー・セーブ機能

HALT / IDLE / ソフトウェアSTOPモード

電源電圧 内部ユニット : 3.3 V, A/Dコンバータ : 5 V, 外部端子 : 5 V

パッケージ 144ピン・プラスチックLQFP ( ファインピッチ ) ( 20 × 20 )

CMOS構造 完全スタティック回路



### 1.3 応用分野

- ・  $\mu$  PD703116, 70F3116 : 民生機器（インバータ・エアコンなど）  
産業機器（モータ制御，汎用インバータなど）
- ・  $\mu$  PD703116(A), 703116(A1), 70F3116(A), 70F3116(A1) : 電装分野（電動パワー・ステアリング，電気自動車制御など）

### 1.4 オーダ情報

品名	パッケージ	品質水準
$\mu$ PD703116GJ-xxx-UEN	144ピン・プラスチックLQFP（ファインピッチ）（20×20）標準（一般電子機器用）	
$\mu$ PD703116GJ-xxx-UEN-A	〃	〃
$\mu$ PD70F3116GJ-UEN	〃	〃
$\mu$ PD70F3116GJ-UEN-A	〃	〃
$\mu$ PD703116GJ(A)-xxx-UEN	〃	特別（高信頼度電子機器用）
$\mu$ PD703116GJ(A)-xxx-UEN-A	〃	〃
$\mu$ PD703116GJ(A1)-xxx-UEN	〃	〃
$\mu$ PD703116GJ(A1)-xxx-UEN-A	〃	〃
$\mu$ PD70F3116GJ(A)-UEN	〃	〃
$\mu$ PD70F3116GJ(A)-UEN-A	〃	〃
$\mu$ PD70F3116GJ(A1)-UEN	〃	〃
$\mu$ PD70F3116GJ(A1)-UEN-A	〃	〃

備考1. xxx : ROMコード番号

2. オーダ名称末尾「-A」の製品は，鉛フリー製品です。

品質水準とその応用分野の詳細については当社発行の資料「NEC半導体デバイスの品質水準」（資料番号 C11531J）をご覧ください。

#### $\mu$ PD703116, 703116(A), 703116(A1), 70F3116, 70F3116(A), 70F3116(A1)の違い

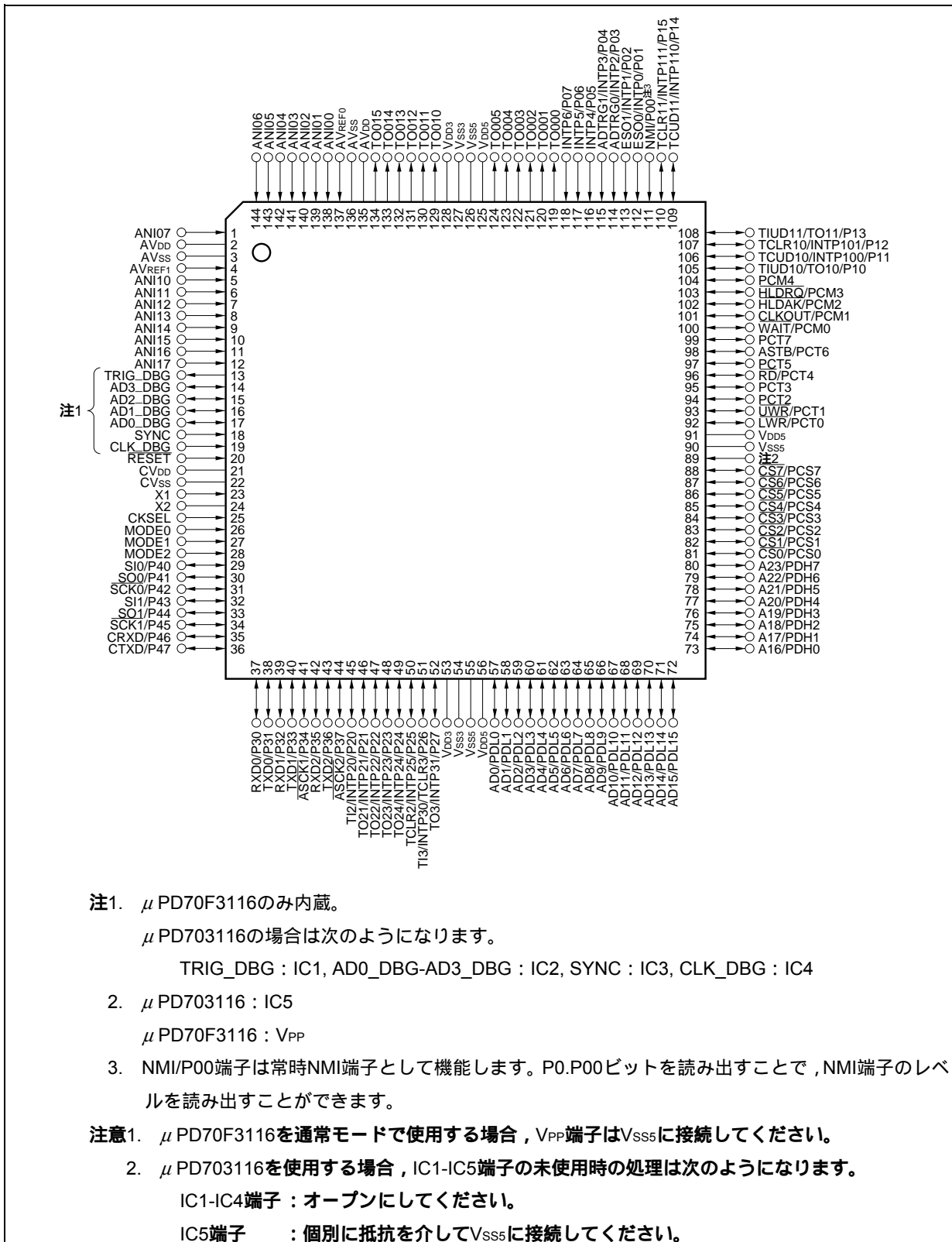
項目	品名	$\mu$ PD703116	$\mu$ PD703116(A)	$\mu$ PD703116(A1)	$\mu$ PD70F3116	$\mu$ PD70F3116(A)	$\mu$ PD70F3116(A1)
品質水準		標準水準	特別水準		標準水準	特別水準	
最大動作周波数 (MHz)		50 <sup>注</sup>		32	50 <sup>注</sup>		32
動作周囲温度 (TA)		- 40 ~ + 85		- 40 ~ + 110	- 40 ~ + 85		- 40 ~ + 110

注 インサーキット・エミュレータの最大動作周波数は40 MHzです。バージョン・アップにより50 MHz対応できますので，当社販売員または特約店にお問い合わせください。

## 1.5 端子接続図 (Top View)

・144ピン・プラスチックLQFP (ファインピッチ) (20×20)

μ PD703116GJ-xxx-UEN, 703116GJ-xxx-UEN-A, 703116GJ(A)-xxx-UEN, 703116GJ(A)-xxx-UEN-A,  
 μ PD703116GJ(A1)-xxx-UEN, 703116GJ(A1)-xxx-UEN-A, 70F3116GJ-UEN, 70F3116GJ-UEN-A,  
 μ PD70F3116GJ(A)-UEN, 70F3116GJ(A)-UEN-A, 70F3116GJ(A1)-UEN, 70F3116GJ(A1)-UEN-A

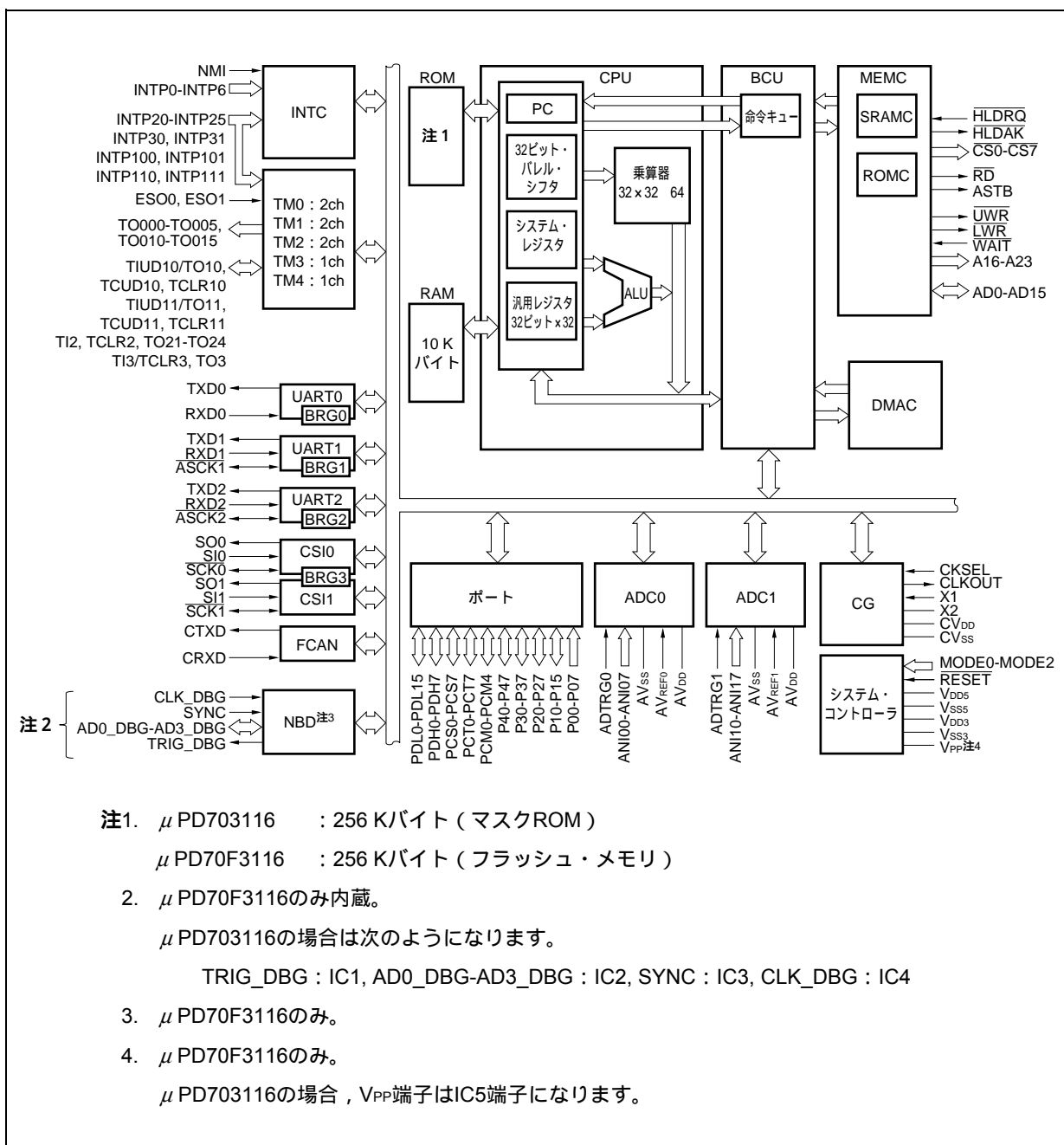


端子名称

A16-A23	: Address Bus	P20-P27	: Port 2
AD0-AD15	: Address/Data Bus	P30-P37	: Port 3
AD0_DBG-AD3_DBG	: Debug Address/Data Bus	P40-P47	: Port 4
ADTRG0, ADTRG1	: A/D Trigger Input	PCM0-PCM4	: Port CM
ANI00-ANI07,	: Analog Input	PCS0-PCS7	: Port CS
ANI10-ANI17		PCT0-PCT7	: Port CT
$\overline{\text{ASCK1}}, \overline{\text{ASCK2}}$	: Asynchronous Serial Clock	PDH0-PDH7	: Port DH
ASTB	: Address Strobe	PDL0-PLD15	: Port DL
AV <sub>DD</sub>	: Analog Power Supply	$\overline{\text{RD}}$	: Read Strobe
AV <sub>REF0</sub> , AV <sub>REF1</sub>	: Analog Reference Voltage	$\overline{\text{RESET}}$	: Reset
AV <sub>SS</sub>	: Analog Ground	RXD0-RXD2	: Receive Data
CKSEL	: Clock Generator Operating Mode Select	$\overline{\text{SCK0}}, \overline{\text{SCK1}}$	: Serial Clock
CLK_DBG	: Debug Clock	SI0, SI1	: Serial Input
CLKOUT	: Clock Output	SO0, SO1	: Serial Output
CRXD	: Receive Data for Controller Area Network	SYNC	: Debug Synchronization
$\overline{\text{CS0-CS7}}$	: Chip Select	TCLR10, TCLR11,	: Timer Clear
CTXD	: Transmit Data for Controller Area Network	TCLR2, TCLR3	
CV <sub>DD</sub>	: Clock Generator Power Supply	TCUD10, TCUD11	: Timer Control Pulse Input
CV <sub>SS</sub>	: Clock Generator Ground	TI2, TI3	: Timer Input
ESO0, ESO1	: Emergency Shut Off	TIUD10, TIUD11	: Timer Count Pulse Input
$\overline{\text{HLD\text{AK}}}$	: Hold Acknowledge	TO000-TO005,	: Timer Output
$\overline{\text{HLDRQ}}$	: Hold Request	TO010-TO015,	
IC1-IC5	: Internally Connected	TO10, TO11,	
INTP0-INTP6,	: External Interrupt Input	TO21-TO24, TO3	
INTP100, INTP101,		TRIG_DBG	: Debug Trigger
INTP110, INTP111,		TXD0-TXD2	: Transmit Data
INTP20-INTP25,		$\overline{\text{UWR}}$	: Upper Write Strobe
INTP30, INTP31		V <sub>DD3</sub> , V <sub>DD5</sub>	: Power Supply
$\overline{\text{LWR}}$	: Lower Write Strobe	V <sub>PP</sub>	: Programming Power Supply
MODE0-MODE2	: Mode	V <sub>SS3</sub> , V <sub>SS5</sub>	: Ground
NMI	: Non-maskable Interrupt Request	$\overline{\text{WAIT}}$	: Wait
P00-P07	: Port 0	X1, X2	: Crystal
P10-P15	: Port 1		

## 1.6 機能ブロック構成

### 1.6.1 内部ブロック図



## 1.6.2 内部ユニット

### (1) CPU

アドレス計算, 算術論理演算, データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行できます。

乗算器(16ビット×16ビット 32ビット, または32ビット×32ビット 64ビット), バレル・シフタ(32ビット)などの専用ハードウェアを内蔵し, 複雑な命令処理の高速化を図っています。

### (2) バス・コントロール・ユニット (BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときCPUからのバス・サイクル起動の要求がない場合は, プリフェッチ・アドレスを生成し, 命令コードのプリフェッチを行います。プリフェッチされた命令コードは, CPU内部の命令キューに取り込まれます。

### (3) メモリ・コントローラ (MEMC)

外部拡張時にSRAM, ROM, 各種I/Oの制御を行います。

### (4) DMAコントローラ (DMAC)

CPUの代わりにメモリ, I/O間でのデータの転送を行います。

アドレス・モードには, 2サイクル転送があります。バス・モードには, シングル転送, シングルステップ転送, ブロック転送の3種類があります。

### (5) ROM

$\mu$  PD70F3116ではフラッシュ・メモリ(256 Kバイト),  $\mu$  PD703116ではマスクROM(256 Kバイト)を内蔵しています。

命令フェッチ時にCPUから1クロックでアクセスできます。

シングルチップ・モード0, フラッシュ・メモリ・プログラミング・モードに設定した場合は, 00000000H番地からマッピングされます。

シングルチップ・モード1に設定した場合は00100000H番地からマッピングされます。

ROMレス・モード0, 1に設定した場合は, アクセスできません。

### (6) RAM

FFFFC000H番地からマッピングされています。

命令フェッチ時, データ・アクセス時にCPUから1クロックでアクセスできます。

### (7) 割り込みコントローラ (INTC)

内蔵周辺I/Oおよび外部からのハードウェア割り込み要求(NMI, INTP0-INTP6, INTP20-INTP25, INTP30, INTP31, INTP100, INTP101, INTP110, INTP111)を処理します。これらの割り込み要求は, 8レベルの割り込み優先順位が指定でき, 割り込み要因に対して多重処理制御を行うこともできます。

### (8) クロック・ジェネレータ (CG)

入力クロック( $f_x$ )の1, 2.5, 5, 10倍(内蔵PLL使用), または1/2倍(内蔵PLL未使用)の周波数を内部システム・クロック( $f_{xx}$ )として供給します。入力クロックとして外部発振子をX1, X2端子に接続するか(内蔵PLLシンセサイザ使用時だけ), 外部クロックをX1端子から入力します。

(9) タイマ/カウンタ機能

3相正弦波PWMインバータ制御用16ビット・タイマ (TM0) を2チャンネルと, 2相エンコーダ入力用/汎用タイマとして使用可能な16ビット・アップ/ダウン・カウンタ (TM1) を2チャンネル, 16ビット汎用タイマ・ユニット (TM2) を2チャンネル, 16ビット・タイマ/イベント・カウンタ (TM3) を1チャンネル, 16ビット・インターバル・タイマ (TM4) を1チャンネル内蔵しています。パルス間隔や周波数の計測, プログラマブルなパルスの出力ができます。

(10) シリアル・インタフェース

シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェース (UART) を3チャンネル, クロック同期式シリアル・インタフェース (CSI) を2チャンネル, FCANを1チャンネル備えています。

UARTは, TXDn, RXDn端子によりデータ転送を行います (n = 0-2)。

CSIは, S0m, S1m, SCKm端子によりデータ転送を行います (m = 0, 1)。

FCANはCTXD, CRXD端子によりデータ転送を行います。

(11) NBD機能

デバッグ・インタフェースとしてNBDを1チャンネル内蔵しています ( $\mu$  PD70F3116のみ)。

(12) A/Dコンバータ (ADC)

8本のアナログ入力端子を持つ高速, 高分解能の10ビットA/Dコンバータを2ユニット搭載しています。逐次変換方式で変換します。

(13) ポート

次に示すように, 汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	制御機能
ポート0	8ビット入力	NMI入力 タイマ/カウンタ出力停止信号入力 外部割り込み入力 A/Dコンバータ外部トリガ入力
ポート1	6ビット入出力	タイマ/カウンタ入出力 外部割り込み入力
ポート2	8ビット入出力	タイマ/カウンタ入出力 外部割り込み入力
ポート3	8ビット入出力	シリアル・インタフェース入出力 (UART0-UART2)
ポート4	8ビット入出力	シリアル・インタフェース入出力 (CSI0, CSI1, FCAN)
ポートDH	8ビット入出力	外部アドレス・バス (A16-A23)
ポートDL	16ビット入出力	外部アドレス/データ・バス (AD0-AD15)
ポートCS	8ビット入出力	外部バス・インタフェース制御信号出力
ポートCT	8ビット入出力	外部バス・インタフェース制御信号出力
ポートCM	5ビット入出力	ウェイト挿入信号入力 内部システム・クロック出力 外部バス・インタフェース制御信号入出力

## 1.7 各製品の相違点

項目	μ PD703116	μ PD703116(A)	μ PD703116(A1)	μ PD70F3116	μ PD70F3116(A)	μ PD70F3116(A1)
内蔵ROM	マスクROM			フラッシュ・メモリ		
	256 Kバイト					
内蔵RAM	10 Kバイト					
NBD( Non Break Debug ) 機能	なし ( IC1-IC4 )			あり ( TRIG_DBG, AD0_DBG-AD3_DBG, SYNC, CLK_DBG )		
フラッシュ・メ モリ・プログラ ミング端子	なし ( IC5 )			あり ( V <sub>PP</sub> )		
フラッシュ・メ モリ・プログラ ミング・モード	なし			あり ( MODE0 = H/L, MODE1 = H, MODE2 = L, V <sub>PP</sub> = 7.8 V )		
品質水準	標準水準	特別水準		標準水準	特別水準	
電气的特性	最大動作周波数, 動作周囲温度, 電源電流などが異なります ( 第18章 電气的特性を参照してください )。					
その他	回路の規模やマスク・レイアウトが異なるため, ノイズ耐量, ノイズ輻射などが異なります。					

## 第2章 端子機能

V850E/IA1の端子の名称と機能を次に示します。これらの端子は、機能別にポート端子とそれ以外の端子に分けることができます。

### 2.1 端子機能一覧

#### (1) ポート端子

( 1/3 )

端子名称	入出力	機 能	兼用端子
P00	入力	ポート0 8ビット入力専用ポート P00はNMI端子状態を示す入力ポートです。P0.P00ビットを読み出すことで、NMI端子のレベルを読み出すことができます。有効エッジが入力されると、NMI入力として動作します。	NMI
P01			ES00/INTP0
P02			ES01/INTP1
P03			ADTRG0/INTP2
P04			ADTRG1/INTP3
P05			INTP4
P06			INTP5
P07			INTP6
P10	入出力	ポート1 6ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	TIUD10/TO10
P11			TCUD10/INTP100
P12			TCLR10/INTP101
P13			TIUD11/TO11
P14			TCUD11/INTP110
P15			TCLR11/INTP111
P20	入出力	ポート2 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	TI2/INTP20
P21			TO21/INTP21
P22			TO22/INTP22
P23			TO23/INTP23
P24			TO24/INTP24
P25			TCLR2/INTP25
P26			TI3/TCLR3/INTP30
P27			TO3/INTP31
P30	入出力	ポート3 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	RXD0
P31			TXD0
P32			RXD1
P33			TXD1
P34			ASCK1
P35			RXD2
P36			TXD2
P37			ASCK2



端子名称	入出力	機 能	兼用端子
P40	入出力	ポート4 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	S10
P41			SO0
P42			SCK0
P43			S11
P44			SO1
P45			SCK1
P46			CRXD
P47			CTXD
PCM0	入出力	ポートCM 5ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	WAIT
PCM1			CLKOUT
PCM2			HLDKAK
PCM3			HLDQR
PCM4			-
PCT0	入出力	ポートCT 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	LWR
PCT1			UWR
PCT2			-
PCT3			-
PCT4			RD
PCT5			-
PCT6			ASTB
PCT7			-
PCS0	入出力	ポートCS 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	CS0
PCS1			CS1
PCS2			CS2
PCS3			CS3
PCS4			CS4
PCS5			CS5
PCS6			CS6
PCS7			CS7
PDH0	入出力	ポートDH 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	A16
PDH1			A17
PDH2			A18
PDH3			A19
PDH4			A20
PDH5			A21
PDH6			A22
PDH7			A23

端子名称	入出力	機 能	兼用端子
PDL0	入出力	ポートDL 16ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	AD0
PDL1			AD1
PDL2			AD2
PDL3			AD3
PDL4			AD4
PDL5			AD5
PDL6			AD6
PDL7			AD7
PDL8			AD8
PDL9			AD9
PDL10			AD10
PDL11			AD11
PDL12			AD12
PDL13			AD13
PDL14			AD14
PDL15			AD15

## (2) ポート以外の端子

( 1/3 )

端子名称	入出力	機 能	兼用端子
TO000	出力	タイマ00のパルス信号出力	-
TO001			-
TO002			-
TO003			-
TO004			-
TO005			-
TO010	出力	タイマ01のパルス信号出力	-
TO011			-
TO012			-
TO013			-
TO014			-
TO015			-
TO10	出力	タイマ10, 11のパルス信号出力	P10/TIUD10
TO11			P13/TIUD11
TO21	出力	タイマ2のパルス信号出力	P21/INTP21
TO22			P22/INTP22
TO23			P23/INTP23
TO24			P24/INTP24
TO3	出力	タイマ3のパルス信号出力	P27/INTP31
ESO0	入力	タイマ00, 01出力停止信号入力	P01/INTP0
ESO1			P02/INTP1
TIUD10	入力	アップ/ダウン・カウンタ(タイマ10, 11)への外部カウント・クロック入力	P10/TO10
TIUD11			P13/TO11
TCUD10	入力	アップ/ダウン・カウンタ(タイマ10, 11)へのカウント動作切り替え信号	P11/INTP100
TCUD11			P14/INTP110
TCLR10	入力	アップ/ダウン・カウンタ(タイマ10, 11)へのクリア信号入力	P12/INTP101
TCLR11			P15/INTP111
TI2	入力	タイマ2, 3の外部カウント・クロック入力	P20/INTP20
TI3			P26/INTP30/TCLR3
TCLR2	入力	タイマ2, 3のクリア信号入力	P25/INTP25
TCLR3			P26/INTP31/TI3
INTP0	入力	外部マスカブル割り込み要求入力	P01/ESO0
INTP1			P02/ESO1
INTP2			P03/ADTRG0
INTP3			P04/ADTRG1
INTP4			P05
INTP5			P06
INTP6			P07
INTP100	入力	外部マスカブル割り込み要求入力兼 タイマ10の外部キャプチャ・トリガ入力	P11/TCUD10
INTP101			P12/TCLR10
INTP110	入力	外部マスカブル割り込み要求入力兼 タイマ11の外部キャプチャ・トリガ入力	P14/TCUD11
INTP111			P15/TCLR11

端子名称	入出力	機 能	兼用端子
INTP20	入力	外部マスカブル割り込み要求入力兼 タイマ2の外部キャプチャ・トリガ入力	P20/TI2
INTP21			P21/TO21
INTP22			P22/TO22
INTP23			P23/TO23
INTP24			P24/TO24
INTP25			P25/TCLR2
INTP30	入力	外部マスカブル割り込み要求入力兼 タイマ3の外部キャプチャ・トリガ入力	P26/TI3/TCLR3
INTP31			P27/TO3
SO0	出力	CSI0, CSI1のシリアル送信データ出力 (3線式)	P41
SO1			P44
SI0	入力	CSI0, CSI1のシリアル受信データ入力 (3線式)	P40
SI1			P43
SCK0	入出力	CSI0, CSI1のシリアル・クロック入出力 (3線式)	P42
SCK1			P45
TXD0	出力	UART0-UART2のシリアル送信データ出力	P31
TXD1			P33
TXD2			P36
RXD0	入力	UART0-UART2のシリアル受信データ入力	P30
RXD1			P32
RXD2			P35
ASCK1	入出力	UART1, UART2のシリアル・クロック入出力	P34
ASCK2			P37
CTXD	出力	FCANのシリアル送信データ出力	P47
CRXD	入力	FCANのシリアル受信データ入力	P46
ANI00-ANI07	入力	A/Dコンバータへのアナログ入力	-
ANI10-ANI17			-
ADTRG0	入力	A/Dコンバータ外部トリガ入力	P03/INTP2
ADTRG1			P04/INTP3
NMI	入力	ノンマスカブル割り込み要求入力	P00
MODE0	入力	V850E/IA1の動作モードを指定	-
MODE1			-
MODE2			-
V <sub>PP</sub> <sup>注1</sup>	-	フラッシュ書き込み電源印加	-
IC1-IC5 <sup>注2</sup>	-	内部接続端子	-
WAIT	入力	バス・サイクルにウエイトを挿入する制御信号入力	PCM0
HLD $\overline{\text{AK}}$	出力	バス・ホールド・アクノリッジ出力	PCM2
HLDRQ	入力	バス・ホールド要求入力	PCM3
LWR	出力	外部データの下位バイト・ライト・ストロブ信号出力	PCT0
UWR	出力	外部データの上位バイト・ライト・ストロブ信号出力	PCT1
RD	出力	外部データ・バスのリード・ストロブ信号出力	PCT4
ASTB	出力	外部データ・バスのアドレス・ストロブ信号出力	PCT6

注1.  $\mu$  PD70F3116のみ

2.  $\mu$  PD703116のみ

端子名称	入出力	機 能	兼用端子
CS0	出力	チップ・セレクト信号出力	PCS0
CS1			PCS1
CS2			PCS2
CS3			PCS3
CS4			PCS4
CS5			PCS5
CS6			PCS6
CS7			PCS7
AD0-AD15	入出力	外部メモリに対する16ビット・アドレス/データ・バス	PDL0-PDL15
A16-A23	出力	外部メモリに対する上位8ビット・アドレス・バス	PDH0-PDH7
RESET	入力	システム・リセット入力	-
X1	入力	システム・クロック発振用クリスタル接続端子。	-
X2	-	外部からクロックを供給する場合はX1端子に入力します。	-
CLKOUT	出力	システム・クロック出力	PCM1
CKSEL	入力	クロック・ジェネレータの動作モードを指定する入力	-
AVREF0	入力	A/Dコンバータ0用基準電圧入力	-
AVREF1	入力	A/Dコンバータ1用基準電圧入力	-
AVDD	-	A/Dコンバータ用正電源供給	-
AVSS	-	A/Dコンバータ用グランド電位	-
CVDD	-	専用クロック・ジェネレータ用正電源供給	-
CVSS	-	専用クロック・ジェネレータ用グランド電位	-
VDD5	-	周辺インタフェース用の正電源供給端子	-
VSS5	-	周辺インタフェース用のグランド端子	-
VDD3	-	内部CPU用の3.3 V正電源供給端子	-
VSS3	-	内部CPU用のグランド端子	-
CLK_DBG <sup>注</sup>	入力	ディバグ・インタフェース用クロック入力 (3.3 Vインタフェース)	-
SYNC <sup>注</sup>	入力	ディバグ・インタフェース用コマンド同期入力 (3.3 Vインタフェース)	-
AD0_DBG <sup>注</sup>	入出力	ディバグ用コマンド・インタフェース入力 (3.3 Vインタフェース)	-
AD1_DBG <sup>注</sup>			-
AD2_DBG <sup>注</sup>			-
AD3_DBG <sup>注</sup>			-
TRIG_DBG <sup>注</sup>	出力	ディバグ用アドレス一致トリガ信号出力 (3.3 Vインタフェース)	-

注 μ PD70F3116のみ

## 2.2 端子状態

リセット時、パワー・セーブ・モード（ソフトウェアSTOPモード、IDLE、HALT）時、DMA転送時、バス・ホールド時での各端子の状態を次に示します。

端子	動作状態	リセット (シングルチップ・モード0)	リセット (シングルチップ・モード1, ROMレス・モード0,1)	IDLEモード/ ソフトウェア STOPモード	HALTモード/ DMA転送中	バス・ホールド
A16-A23 (PDH0-PDH7)		Hi-Z	Hi-Z	Hi-Z	動作	Hi-Z
AD0-AD15 (PDL0-PDL15)		Hi-Z	Hi-Z	Hi-Z	動作	Hi-Z
CS0-CS7 (PCS0-PCS7)		Hi-Z	Hi-Z	H	動作	Hi-Z
$\overline{\text{LWR}}$ , $\overline{\text{UWR}}$ (PCT0, PCT1)		Hi-Z	Hi-Z	H	動作	Hi-Z
$\overline{\text{RD}}$ (PCT4)		Hi-Z	Hi-Z	H	動作	Hi-Z
ASTB (PCT6)		Hi-Z	Hi-Z	H	動作	Hi-Z
WAIT (PCM0)		Hi-Z	Hi-Z	-	動作	-
CLKOUT (PCM1)		Hi-Z	動作	L	動作	動作
HLD $\overline{\text{AK}}$ (PCM2)		Hi-Z	Hi-Z	H	動作	L
HLD $\overline{\text{RQ}}$ (PCM3)		Hi-Z	Hi-Z	-	動作	動作

**注意** スタンバイ・モード時にASICなどで外部バスをコントロールする場合は別途制御回路を用意してください。

**備考** Hi-Z : ハイ・インピーダンス

H : ハイ・レベル出力

L : ロウ・レベル出力

- : 入力非サンプリング

## 2.3 端子機能の説明

### (1) P00-P07 (Port 0) ... 入力

ポート0は、全端子が入力に固定の8ビット入力専用ポートです。

P00-P07は入力ポートとして機能するほか、コントロール・モードではNMI入力、タイマ/カウンタの出力停止信号入力、外部割り込み要求入力、A/Dコンバータ(ADC)の外部トリガ入力として動作します。通常、ポートと機能端子が兼用している場合、ポート・モード・コントロール・レジスタでどちらかを選択しますが、P00-P07に対しては、このレジスタがありません。したがって、入力ポートとNMI入力端子、タイマ/カウンタの出力停止信号入力端子、外部割り込み要求入力端子、A/Dコンバータ(ADC)の外部トリガ入力端子は切り替えられません。ポートの読み出しにより、各端子の状態を読み込んでください。

#### (a) ポート・モード

P00-P07は入力専用です。

#### (b) コントロール・モード

P00-P07はNMI, ESO0, ESO1, ADTRG0, ADTRG1, INTP0-INTP6端子と兼用になっていますが、切り替えはできません。

#### (i) NMI (Non-Maskable Interrupt Request) ... 入力

ノンマスカブル割り込み要求入力です。

#### (ii) ESO0, ESO1 (Emergency Shut Off) ... 入力

タイマ00, 01の出力停止信号を入力します。

#### (iii) INTP0-INTP6 (External Interrupt Input) ... 入力

外部割り込み要求入力端子です。

#### (iv) ADTRG0, ADTRG1 (External Interrupt Input) ... 入力

A/Dコンバータの外部トリガ入力端子です。

### (2) P10-P15 (Port 1) ... 入出力

ポート1は、1ビット単位で入力または出力を設定できる6ビットの入出力ポートです。

P10-P15は入出力ポートとして機能するほか、コントロール・モードではタイマ/カウンタの入出力、外部割り込み要求入力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポート1モード・コントロール・レジスタ(PMC1)で指定します。

#### (a) ポート・モード

P10-P15はポート1モード・レジスタ(PM1)により、ビット単位に入力または出力を設定できます。

**(b) コントロール・モード**

P10-P15はPMC1レジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

**(i) TO10, TO11 (Timer Output) ... 出力**

タイマ10, 11のパルス信号を出力します。

**(ii) TIUD10, TIUD11 (Timer Count Pulse Input) ... 入力**

アップ/ダウン・カウンタ(タイマ10, 11)への外部カウント・クロック入力端子です。

**(iii) TCUD10, TCUD11 (Timer Control Pulse Input) ... 入力**

アップ/ダウン・カウンタ(タイマ10, 11)へのカウント動作切り替え信号を入力します。

**(iv) TCLR10, TCLR11 (Timer Clear) ... 入力**

アップ/ダウン・カウンタ(タイマ10, 11)へのクリア信号入力端子です。

**(v) INTPT100, INTPT101 (External Interrupt Input) ... 入力**

外部割り込み要求入力端子およびタイマ10の外部キャプチャ・トリガ入力端子です。

**(vi) INTPT110, INTPT111 (External Interrupt Input) ... 入力**

外部割り込み要求入力端子およびタイマ11の外部キャプチャ・トリガ入力端子です。

**(3) P20-P27 (Port 2) ... 入出力**

ポート2は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P20-P27は入出力ポートとして機能するほか、コントロール・モードではタイマ/カウンタの入出力、外部割り込み要求入力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポート2モード・コントロール・レジスタ(PMC2)で指定します。

**(a) ポート・モード**

P20-P27はポート2モード・レジスタ(PM2)により、ビット単位に入力または出力を設定できます。

**(b) コントロール・モード**

P20-P27はPMC2レジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

**(i) TO21-TO24 (Timer Output) ... 出力**

タイマ2のパルス信号を出力します。

**(ii) TO3 (Timer Output) ... 出力**

タイマ3のパルス信号を出力します。



**(iii) TI2, TI3 (Timer Input) ... 入力**

タイマ2, 3の外部カウント・クロック入力端子です。

**(iv) TCLR2, TCLR3 (Timer Clear) ... 入力**

タイマ2, 3のクリア信号入力端子です。

**(v) INTP20-INTP25 (External Interrupt Input) ... 入力**

外部割り込み要求入力端子およびタイマ2の外部キャプチャ・トリガ入力端子です。

**(vi) INTP30, INTP31 (External Interrupt Input) ... 入力**

外部割り込み要求入力端子およびタイマ3の外部キャプチャ・トリガ入力端子です。

**(4) P30-P37 (Port 3) ... 入出力**

ポート3は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P30-P37は入出力ポートとして機能するほか、コントロール・モードではシリアル・インタフェース (UART0-UART2) の入出力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポート3モード・コントロール・レジスタ (PMC3) で指定します。

**(a) ポート・モード**

P30-P37はポート3モード・レジスタ (PM3) により、ビット単位に入力または出力を設定できます。

**(b) コントロール・モード**

P30-P37はPMC3レジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

**(i) TXD0-TXD2 (Transmit Data) ... 出力**

UART0-UART2のシリアル送信データを出力します。

**(ii) RXD0-RXD2 (Receive Data) ... 入力**

UART0-UART2のシリアル受信データを入力します。

**(iii) ASCK1, ASCK2 (Asynchronous Serial Clock) ... 入出力**

UART1, UART2のシリアル・クロック入出力端子です。

**(5) P40-P47 (Port 4) ... 入出力**

ポート4は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P40-P47は入出力ポートとして機能するほか、コントロール・モードではシリアル・インタフェース (CSI0, CSI1, FCAN) の入出力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポート4モード・コントロール・レジスタ (PMC4) で指定します。

**(a) ポート・モード**

P40-P47はポート4モード・レジスタ (PM4) により、ビット単位に入力または出力を設定できます。

**(b) コントロール・モード**

P40-P47はPMC4レジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

**(i) SO0, SO1 (Serial Output) ... 出力**

CSI0, CSI1のシリアル送信データを出力します。

**(ii) SI0, SI1 (Serial Input) ... 入力**

CSI0, CSI1のシリアル受信データを入力します。

**(iii) SCK0, SCK1 (Serial Clock) ... 入出力**

CSI0, CSI1のシリアル・クロック入出力端子です。

**(iv) CTXD (Transmit Data for Controller Area Network) ... 出力**

FCANのシリアル送信データを出力します。

**(v) CRXD (Receive Data for Controller Area Network) ... 入力**

FCANのシリアル受信データを入力します。

**(6) PCM0-PCM4 (Port CM) ... 入出力**

ポートCMは、1ビット単位で入力または出力を設定できる5ビットの入出力ポートです。

ポートとして機能するほか、コントロール・モードではウエイト挿入信号入力、内部システム・クロック出力、バス・ホールド制御信号出力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポートCMモード・コントロール・レジスタ (PMCCM) で指定します。

**(a) ポート・モード**

PCM0-PCM4はポートCMモード・レジスタ (PMCM) により、ビット単位に入力または出力を設定できます。

**(b) コントロール・モード**

PCM0-PCM4はPMCCMレジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

**(i) WAIT (Wait) ... 入力**

バス・サイクルにデータ・ウエイトを挿入する制御信号入力端子で、CLKOUT信号に対する非同期入力が可能です。バス・サイクルのT2, TWステートのCLKOUT信号の立ち下がりですamplingします。サンプリング・タイミングにおける設定/保持時間を満たさないときはウエイト挿入が行われなないことがあります。

**(ii) CLKOUT (Clock Output) ... 出力**

内部システム・クロック出力端子です。シングルチップ・モード1とROMレス・モード0, 1のときは、リセット期間中はポート・モードになっているため、CLKOUT端子からの出力は行われません。CLKOUT出力を行うためにはポートCMモード・コントロール・レジスタ (PMCCM) でコントロール・モードに設定してください。

**(iii)  $\overline{\text{HLD}}\text{AK}$  (Hold Acknowledge) ... 出力**

V850E/IA1がバス・ホールド要求を受けて、外部アドレス/データ・バス、各種ストローブ端子をハイ・インピーダンス状態にしたことを示すアクノリッジ信号出力端子です。

この信号がアクティブの間、外部アドレス/データ・バス、各種ストローブ端子はハイ・インピーダンス状態になり、外部バス・マスタにバスの使用权を渡します。

**(iv)  $\overline{\text{HL}}\text{DRQ}$  (Hold Request) ... 入力**

外部デバイスがV850E/IA1に対し、外部アドレス/データ・バス、各種ストローブ端子の解放を要求する入力端子です。この端子は、CLKOUT信号に対して非同期入力が可能です。この端子がアクティブになると、V850E/IA1は実行中のバス・サイクルがあればその終了後に、なければすぐに外部アドレス/データ・バス、各種ストローブ端子をハイ・インピーダンス状態にし、 $\overline{\text{HLD}}\text{AK}$ 信号をアクティブにしてバスを解放します。

確実にバス・ホールド状態にするためには、 $\overline{\text{HLD}}\text{AK}$ 信号が出力されるまで、 $\overline{\text{HL}}\text{DRQ}$ 信号をアクティブに保ってください。

**(7) PCT0-PCT7 (Port CT) ... 入出力**

ポートCTは、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

ポートとして機能するほか、コントロール・モードではメモリを外部に拡張する場合の制御信号出力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポートCTモード・コントロール・レジスタ (PMCCCT) で指定します。

**(a) ポート・モード**

PCT0-PCT7はポートCTモード・レジスタ (PMCT) により、ビット単位に入力または出力を設定できます。

**(b) コントロール・モード**

PCT0-PCT7はPMCCCTレジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

**(i)  $\overline{\text{LWR}}$  (Lower Byte Write Strobe) ... 出力**

実行中のバス・サイクルが、SRAM、外部ROM、外部周辺I/O領域に対するライト・サイクルであることを示すストローブ信号です。

データ・バスは下位バイトが有効になります。バス・サイクルが下位のメモリ・ライトならば、T1ステートのCLKOUT信号の立ち下がりによってアクティブになり、T2ステートのCLKOUT信号の立ち下がりによってインアクティブになります。

**(ii)  $\overline{\text{UWR}}$  (Upper Byte Write Strobe) ... 出力**

実行中のバス・サイクルが、SRAM、外部ROM、外部周辺I/O領域に対するライト・サイクルであることを示すストロブ信号です。

データ・バスは上位バイトが有効になります。バス・サイクルが上位のメモリ・ライトならば、T1ステートのCLKOUT信号の立ち下がりでアクティブになり、T2ステートのCLKOUT信号の立ち下がりでインアクティブになります。

**(iii)  $\overline{\text{RD}}$  (Read Strobe) ... 出力**

実行中のバス・サイクルが、SRAM、外部ROM、外部周辺I/Oに対するリード・サイクルであることを示すストロブ信号です。アイドル・ステート (TI) では、インアクティブになります。

**(iv)  $\overline{\text{ASTB}}$  (Address Strobe) ... 出力**

外部アドレス・バスのラッチ・ストロブ信号出力端子です。

出力は、バス・サイクルのT1ステートのクロックの立ち下がりに同期してロウ・レベルになり、T3ステートのクロックの立ち下がりに同期してハイ・レベルになります。

**(8) PCS0-PCS7 (Port CS) ... 入出力**

ポートCSは、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

ポートとして機能するほか、コントロール・モードではメモリを外部に拡張する場合のチップ・セレクト信号出力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポートCSモード・コントロール・レジスタ (PMCCS) で指定します。

**(a) ポート・モード**

PCS0-PCS7はポートCSモード・レジスタ (PMCS) により、ビット単位に入力または出力を設定できます。

**(b) コントロール・モード**

PCS0-PCS7はPMCCSレジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

**(i)  $\overline{\text{CS0}}-\overline{\text{CS7}}$  (Chip Select) ... 出力**

外部SRAM、外部ROM、外部周辺I/Oに対するチップ・セレクト信号です。

メモリ・ブロックnに対して $\overline{\text{CSn}}$ 信号が割り当てられています (n = 0-7)。

対応するメモリ・ブロックにアクセスするバス・サイクルを起動している期間アクティブになります。

アイドル・ステート (TI) では、インアクティブになります。

**(9) PDH0-PDH7 (Port DH) ... 入出力**

ポートDHは、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

ポートとして機能するほか、コントロール・モード（外部拡張モード）では、メモリを外部に拡張する場合のアドレス・バス（A16-A23）として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポートDHモード・コントロール・レジスタ（PMCDH）で指定します。

**(a) ポート・モード**

PDH0-PDH7はポートDHモード・レジスタ（PMDH）により、ビット単位に入力または出力を設定できます。

**(b) コントロール・モード**

PDH0-PDH7はPMCDHレジスタにより、A16-A23として使用できます。

**(i) A16-A23 (Address) ... 出力**

外部アクセス時のアドレス・バスで24ビット・アドレスの上位8ビット・アドレス出力端子です。

**(10) PDL0-PDL7 (Port DL) ... 入出力**

ポートDLは、1ビット単位で入力または出力を設定できる16ビットの入出力ポートです。

ポートとして機能するほか、コントロール・モード（外部拡張モード）では、メモリを外部に拡張する場合のアドレス/データ・バス（AD0-AD15）として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポートDLモード・コントロール・レジスタ（PMCDL）で指定します。

**(a) ポート・モード**

PDL0-PDL15はポートDLモード・レジスタ（PMDL）により、ビット単位に入力または出力を設定できます。

**(b) コントロール・モード**

PDL0-PDL15はPMCDLレジスタにより、AD0-AD15として使用できます。

**(i) AD0-AD15 (Address/Data Bus) ... 入出力**

外部アクセス時のアドレス/データのマルチプレクスト・バスです。アドレス・タイミング（T1ステート）では、24ビット・アドレスのA0-A15出力端子となり、データ・タイミング（T2, TW, T3）では16ビット・データの入出力バス端子となります。

**(11) TO000-TO005 (Timer Output) ... 出力**

タイマ00のパルス信号を出力します。

**(12) TO010-TO015 (Timer Output) ... 出力**

タイマ01のパルス信号を出力します。

(13) ANI00-ANI07, ANI10-ANI17 (Analog Input) ... 入力

A/Dコンバータへのアナログ入力端子です。

(14) CKSEL (Clock Generator Operating Mode Select) ... 入力

クロック・ジェネレータの動作モードを指定する入力端子です。入力レベルは動作中に変化しないよう固定してください。

(15) MODE0-MODE2 (Mode) ... 入力

動作モードを指定する入力端子です。動作モードには、大きく分けて通常動作モードとフラッシュ・メモリ・プログラミング・モードがあります。さらに通常動作モードには、シングルチップ・モード0, 1とROMレス・モード0, 1があります(詳細は3.3 動作モードを参照してください)。動作モードは、リセット時にMODE0-MODE2の各端子の状態がサンプリングされ決定します。

なお、入力レベルは動作中に変化しないよう固定してください。

(a)  $\mu$  PD703116

MODE2	MODE1	MODE0	動作モード	
L	L	L	通常動作モード	ROMレス・モード0
L	L	H		ROMレス・モード1
L	H	L		シングルチップ・モード0
L	H	H		シングルチップ・モード1
上記以外			設定禁止	

(b)  $\mu$  PD70F3116

V <sub>PP</sub>	MODE2	MODE1	MODE0	動作モード	
0 V	L	L	L	通常動作モード	ROMレス・モード0
0 V	L	L	H		ROMレス・モード1
0 V	L	H	L		シングルチップ・モード0
0 V	L	H	H		シングルチップ・モード1
7.8 V	L	H	x	フラッシュ・メモリ・プログラミング・モード	
上記以外				設定禁止	

備考 L : ロウ・レベル入力

H : ハイ・レベル入力

x : 任意

(16)  $\overline{\text{RESET}}$  (Reset) ... 入力

$\overline{\text{RESET}}$ 入力は非同期入力であり、動作クロックと無関係に一定のロウ・レベル幅を持つ信号が入力されると、すべての動作に優先してシステム・リセットがかかります。

通常のイニシャライズ/スタートのほかに、スタンバイ・モード (HALT, IDLE, ソフトウェアSTOP) の解除にも使用します。

**(17) X1, X2 (Crystal)**

システム・クロック発生用の発振子接続端子です。

外部クロックを入力することも可能です。外部クロックを入力する場合はX1端子に接続し、X2端子はオープンにしてください。

**(18) CV<sub>DD</sub> (Power Supply for Clock Generator)**

クロック・ジェネレータ用の正電源供給端子です。

**(19) CV<sub>SS</sub> (Ground for Clock Generator)**

クロック・ジェネレータ用のグランド端子です。

**(20) V<sub>DD5</sub> (Power Supply)**

周辺インタフェース用の正電源供給端子です。

**(21) V<sub>SS5</sub> (Ground)**

周辺インタフェース用のグランド端子です。

**(22) V<sub>DD3</sub> (Power Supply)**

内部CPU用の正電源供給端子です。

**(23) V<sub>SS3</sub> (Ground)**

内部CPU用のグランド端子です。

**(24) CLK\_DBG (Debug Clock) ... 入力**

デバッグ・インタフェース用クロック入力端子です (3.3 Vインタフェース)。

**(25) SYNC (Debug Synchronization) ... 入力**

デバッグ用コマンド同期入力端子です (3.3 Vインタフェース)。

**(26) AD0\_DBG-AD3\_DBG (Debug Address/Data Bus) ... 入出力**

デバッグ用コマンド・インタフェース端子です (3.3 Vインタフェース)。

**(27) TRIG\_DBG (Debug Trigger) ... 出力**

デバッグ用アドレス一致トリガ信号出力端子です (3.3 Vインタフェース)。

**(28) AV<sub>DD</sub> (Analog Power Supply)**

A/Dコンバータ用のアナログ正電源供給端子です。

**(29) AV<sub>SS</sub> (Analog Ground)**

A/Dコンバータ用のグランド端子です。

**(30) AV<sub>REF0</sub>, AV<sub>REF1</sub> (Analog Reference Voltage) ... 入力**

A/Dコンバータ用の基準電圧供給端子です。

## 2.4 端子の入出力回路タイプと未使用時の処理

抵抗を介して $V_{DD5}$ ,  $V_{SS5}$ ,  $CV_{DD}$ ,  $CV_{SS}$ ,  $AV_{SS}$ に接続する場合, 1-10 k $\Omega$ の抵抗を接続することをお勧めします。

(1/2)

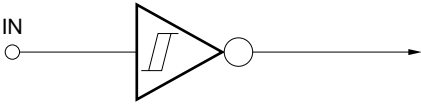
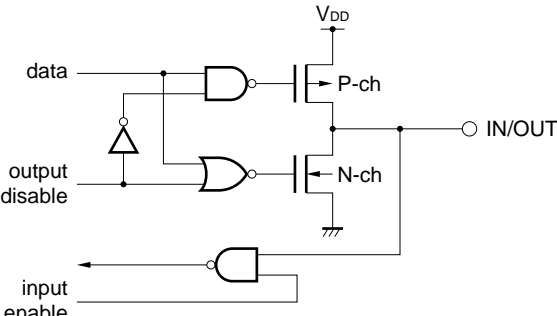
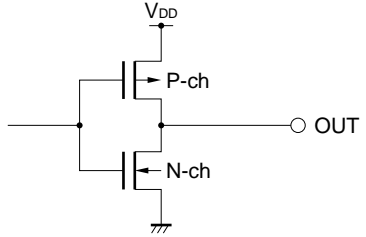
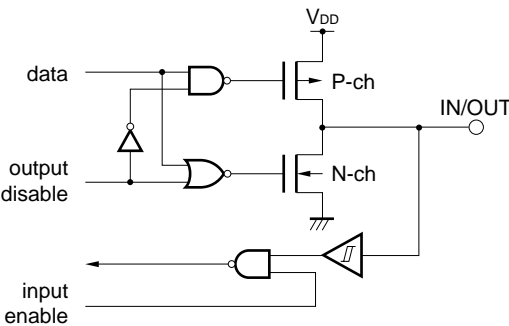
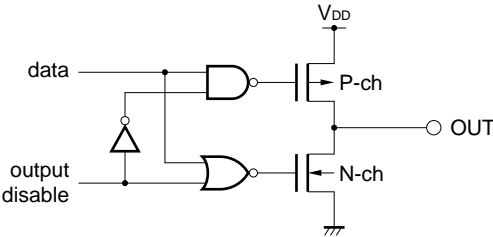
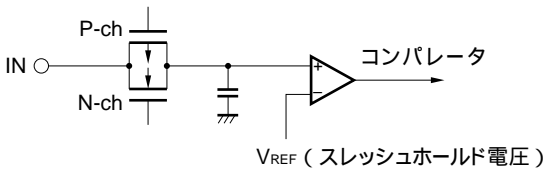
端子	入出力回路タイプ	推奨接続方法	
P00/NMI	2	$V_{SS5}$ に直接接続してください。	
P01/ESO0/INTP0			
P02/ESO1/INTP1			
P03/ADTRG0/INTP2			
P04/ADTRG1/INTP3			
P05/INTP4-P07/INTP6			
P10/TIUD10/TO10	5-AC	入力状態：個別に抵抗を介して $V_{DD5}$ または $V_{SS5}$ に接続してください。 出力状態：オープンにしてください。	
P11/TCUD10/INTP100			
P12/TCLR10/INTP101			
P13/TIUD11/TO11			
P14/TCUD11/INTP110			
P15/TCLR11/INTP111			
P20/TI2/INTP20			
P21/TO21/INTP21-P24/TO24/INTP24			
P25/TCLR2/INTP25			
P26/TI3/TCLR3/INTP30			
P27/TO3/INTP31			
P30/RXD0			5
P31/TXD0			
P32/RXD1			5-AC
P33/TXD1	5		
P34/ASCK1	5-AC		
P35/RXD2			
P36/TXD2	5		
P37/ASCK2	5-AC		
P40/SI0			
P41/SO0	5		
P42/SCK0	5-AC		
P43/SI1			
P44/SO1	5		
P45/SCK1	5-AC		
P46/CRXD			
P47/CTXD	5		
PCM0/WAIT			
PCM1/CLKOUT			
PCM2/HLDAK			
PCM3/HLDRQ			
PCM4			
PCT0/LWR			



端子	入出力回路タイプ	推奨接続方法
PCT1/ $\overline{\text{UWR}}$	5	入力状態：個別に抵抗を介して $V_{DD5}$ または $V_{SS5}$ に接続してください。 出力状態：オープンにしてください。
PCT2		
PCT3		
PCT4/ $\overline{\text{RD}}$		
PCT5		
PCT6/ASTB		
PCT7		
PCS0/ $\overline{\text{CS0}}$		
PCS1/ $\overline{\text{CS1}}$		
PCS2/ $\overline{\text{CS2}}$		
PCS3/ $\overline{\text{CS3}}$		
PCS4/ $\overline{\text{CS4}}$		
PCS5/ $\overline{\text{CS5}}$		
PCS6/ $\overline{\text{CS6}}$		
PCS7/ $\overline{\text{CS7}}$		
PDH0/A16-PDH7/A23		
PDL0/AD0-PDL15/AD15		
AD0_DBG-AD3_DBG <sup>注1</sup>	5-AC	個別に抵抗を介して $CV_{DD}$ または $CV_{SS}$ に接続してください。
TRIG_DBG <sup>注1</sup>	3	オープンにしてください（ロウ・レベル出力）。
CLK_DBG <sup>注1</sup>	2	個別に抵抗を介して $CV_{SS}$ に接続してください。
SYNC <sup>注1</sup>		個別に抵抗を介して $CV_{DD}$ に接続してください。
IC1-IC4 <sup>注2</sup>	-	オープンにしてください。
ANI00-ANI07, ANI10-ANI17	7	$AV_{SS}$ に接続してください。
TO000-TO005, TO010-TO015	4	オープンにしてください。
MODE0-MODE2	2	-
$V_{PP}$ <sup>注1</sup>		$V_{SS5}$ に接続してください。
IC5 <sup>注2</sup>		個別に抵抗を介して $V_{SS5}$ に接続してください。
$\overline{\text{RESET}}$		-
CKSEL	-	-
X2	-	オープンにしてください。
$AV_{SS}$	-	$V_{SS5}$ に接続してください。
$AV_{REF0}$ , $AV_{REF1}$	-	$V_{SS5}$ に接続してください。
$AV_{DD}$	-	$V_{DD5}$ に接続してください。

注1.  $\mu$  PD70F3116のみ2.  $\mu$  PD703116のみ

## 2.5 端子の入出力回路

<p>タイプ2</p>  <p>ヒステリシス特性を有するシュミット・トリガ入力となっています。</p>	<p>タイプ5</p> 
<p>タイプ3</p> 	<p>タイプ 5-AC</p> 
<p>タイプ4</p>  <p>出力をハイ・インピーダンス(P-ch, N-chともにオフ)にできるプッシュプル出力です。</p>	<p>タイプ7</p>  <p>VREF (スレッショールド電圧)</p>

## 第3章 CPU機能

V850E/IA1のCPUは、RISCアーキテクチャをベースとして、5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

### 3.1 特 徴

最小命令実行時間：20 ns（内部50 MHz動作時）

メモリ空間      プログラム空間：64 Mバイト・リニア

                     データ空間      : 4 Gバイト・リニア

汎用レジスタ：32ビット×32本

内部32ビット・アーキテクチャ

5段パイプライン制御

乗除算命令

飽和演算命令

32ビット・シフト命令：1クロック

ロング/ショート形式を持つロード/ストア命令

ビット操作命令4種

- ・SET1
- ・CLR1
- ・NOT1
- ・TST1

## 3.2 CPUレジスタ・セット

V850E/IA1のレジスタは、汎用のプログラム・レジスタ・セットと、専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅となっています。

詳細はV850E1 **ユーザズ・マニュアル アーキテクチャ編**を参照してください。

(1) プログラム・レジスタ・セット		(2) システム・レジスタ・セット	
31	0	31	0
r0	(ゼロ・レジスタ)	EIPC	(割り込み時状態退避レジスタ)
r1	(アセンブラ予約レジスタ)	EIPSW	(割り込み時状態退避レジスタ)
r2			
r3	(スタック・ポインタ (SP))	FEPC	(NMI時状態退避レジスタ)
r4	(グローバル・ポインタ (GP))	FEPSW	(NMI時状態退避レジスタ)
r5	(テキスト・ポインタ (TP))		
r6		ECR	(割り込み要因レジスタ)
r7			
r8		PSW	(プログラム・ステータス・ワード)
r9			
r10		CTPC	(CALLT実行時状態退避レジスタ)
r11		CTPSW	(CALLT実行時状態退避レジスタ)
r12			
r13			
r14		DBPC	(例外/デバッグ・トラップ時状態退避レジスタ)
r15		DBPSW	(例外/デバッグ・トラップ時状態退避レジスタ)
r16			
r17		CTBP	(CALLTベース・ポインタ)
r18			
r19			
r20			
r21			
r22			
r23			
r24			
r25			
r26			
r27			
r28			
r29			
r30	(エレメント・ポインタ (EP))		
r31	(リンク・ポインタ (LP))		
31	0		
PC	(プログラム・カウンタ)		

### 3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

#### (1) 汎用レジスタ

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれでもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。r0は常に0を保持しているレジスタで、0を使用する演算やオフセット0のアドレッシングで使用されます。r30はSLD命令とSST命令により、メモリをアクセスするときのベース・ポインタとして使用されます。また、r1、r3-r5、r31は、アセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。r2はリアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は、変数用レジスタとしてr2を使用できます。

表3 - 1 プログラム・レジスタ一覧

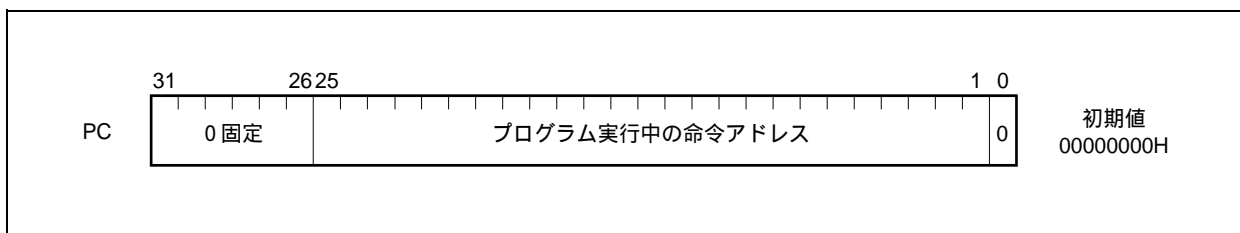
名称	用途	動作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	アドレス生成用のワーキング・レジスタとして使用
r2	アドレス/データ変数用レジスタ (使用するリアルタイムOSがr2を使用していない場合)	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域 (プログラム・コードを配置する領域) の先頭を指すレジスタとして使用
r6-r29	アドレス/データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのアドレス生成用ベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

**備考** アセンブラやCコンパイラで使用されるr1、r3-r5、r31の詳細な説明は、CA850 (Cコンパイラ・パッケージ) ユーザーズ・マニュアル アセンブリ言語編を参照してください。

#### (2) プログラム・カウンタ (PC)

プログラム実行中の命令アドレスを保持します。下位26ビットが有効で、ビット31-26は0に固定されます。ビット25からビット26へのキャリーがあっても無視します。

また、ビット0は0に固定されており、奇数番地への分岐はできません。



### 3.2.2 システム・レジスタ・セット

システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

システム・レジスタへのリード/ライトは、システム・レジスタ・ロード/ストア命令 (LDSR, STSR命令) により、次に示すシステム・レジスタ番号を設定することで行います。

表3-2 システム・レジスタ番号

レジスタ番号	システム・レジスタ名称	オペランド指定の可否	
		LDSR命令	STSR命令
0	割り込み時状態退避レジスタ (EIPC) <sup>注1</sup>		
1	割り込み時状態退避レジスタ (EIPSW) <sup>注1</sup>		
2	NMI時状態退避レジスタ (FEPC)		
3	NMI時状態退避レジスタ (FEPSW)		
4	割り込み要因レジスタ (ECR)	×	
5	プログラム・ステータス・ワード (PSW)		
6-15	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	×	×
16	CALLT実行時状態退避レジスタ (CTPC)		
17	CALLT実行時状態退避レジスタ (CTPSW)		
18	例外/デバッグ・トラップ時状態退避レジスタ (DBPC)	注2	注2
19	例外/デバッグ・トラップ時状態退避レジスタ (DBPSW)	注2	注2
20	CALLTベース・ポインタ (CTBP)		
21-31	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	×	×

注1. このレジスタは1組しかないので、多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。

2. DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

**注意** LDSR命令によりEIPCがFEPC、またはCTPCのビット0をセット(1)しても、割り込み処理後のRETI命令で復帰するときにビット0は無視されます(PCのビット0を0固定してあるため)。EIPC、FEPC、CTPCに値を設定する場合は、偶数値(ビット0=0)を設定してください。

**備考** : アクセス可能

× : アクセス禁止

(1) 割り込み時状態退避レジスタ (EIPC, EIPSW)

割り込み時状態退避レジスタには、EIPCとEIPSWがあります。

ソフトウェア例外やマスカブル割り込みが発生した場合、プログラム・カウンタ (PC) の内容がEIPCに、プログラム・ステータス・ワード (PSW) の内容がEIPSWに退避されます (ノンマスカブル割り込み (NMI) 発生時には、NMI時状態退避レジスタ (FEPC, FEPSW) に退避されます)。

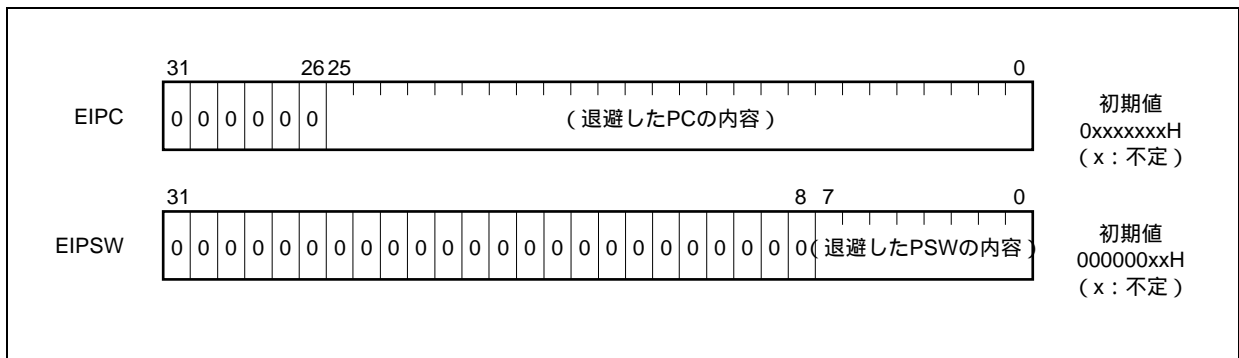
EIPCには、一部の命令 (7.8 CPUが割り込みを受け付けない期間参照) を除き、ソフトウェア例外やマスカブル割り込みが発生したときに実行していた命令の次の命令のアドレスが退避されます。

EIPSWには、現在のPSWの内容が退避されます。

割り込み時状態退避レジスタは1組しかないので、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお、EIPCのビット31-26とEIPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、EIPCの値はPCへ、EIPSWの値はPSWへ復帰します。



(2) NMI時状態退避レジスタ (FEPC, FEPSW)

NMI時状態退避レジスタには、FEPCとFEPSWがあります。

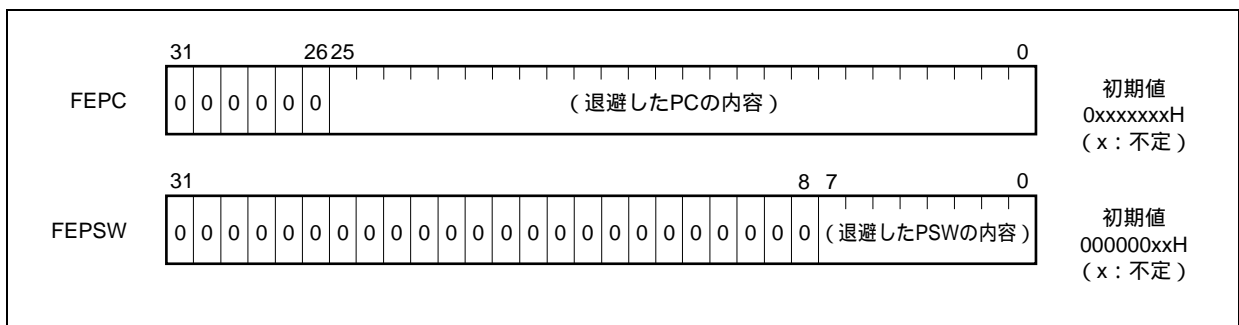
ノンマスクابل割り込み (NMI) が発生した場合、プログラム・カウンタ (PC) の内容がFEPCに、プログラム・ステータス・ワード (PSW) の内容がFEPSW に退避されます。

FEPCには、一部の命令を除き、NMIが発生したときに実行していた命令の次の命令のアドレスが退避されます。

FEPSWには、現在のPSWの内容が退避されます。

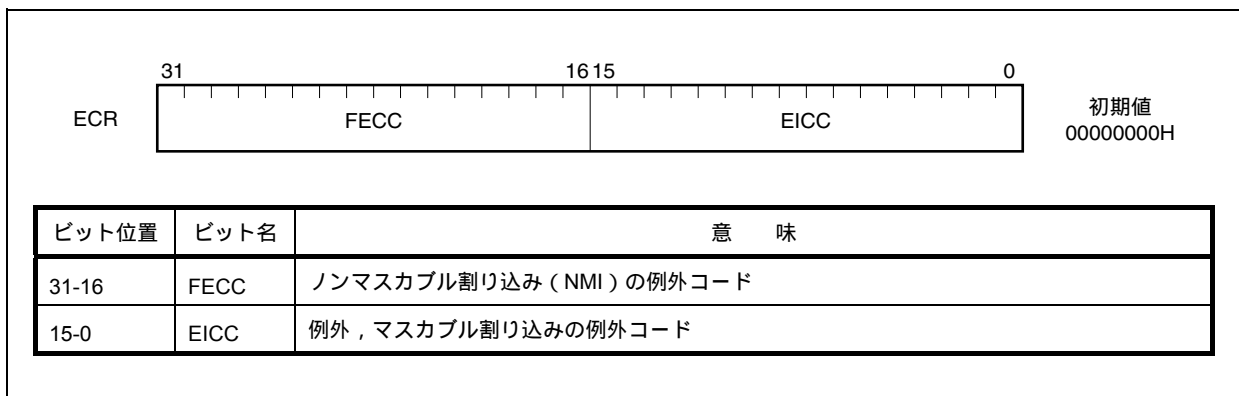
なお、FEPCのビット31-26とFEPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、FEPCの値はPCへ、FEPSWの値はPSWへ復帰します。



(3) 割り込み要因レジスタ (ECR)

割り込み要因レジスタ (ECR) は、例外や割り込みが発生した場合に、その要因を保持するレジスタです。ECRが保持する値は、割り込み要因ごとにコード化された例外コードです。なお、このレジスタは読み出し専用のため、LDSR命令を使ってこのレジスタにデータを書き込むことはできません。





(4) プログラム・ステータス・ワード (PSW)

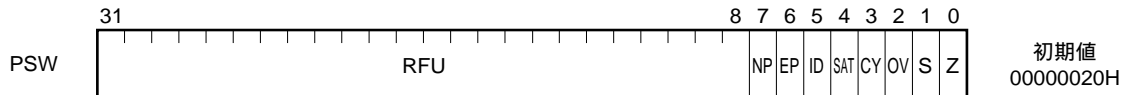
プログラム・ステータス・ワード (PSW) は、プログラムの状態 (命令実行の結果) やCPUの状態を示すフラグの集合です。

LDSR命令を使用してこのレジスタの各ビットの内容を変更した場合は、LDSR命令実行終了直後から変更内容が有効となります。

LDSR命令によるPSWのライト命令実行中は、割り込み要求の受け付けを保留します。

なお、ビット31-8は、将来の機能拡張のために予約されています (0に固定)。

( 1/2 )



ビット位置	フラグ名	意 味
31-8	RFU	予約フィールドです。“0”に固定されています。
7	NP	ノンマスカブル割り込み (NMI) 処理中であることを示します。NMI要求が受け付けられるとセット“1”され、多重割り込みを禁止します。 0: NMI処理中でない。 1: NMI処理中である。
6	EP	例外処理中であることを示します。例外の発生でセット“1”されます。なお、このビットがセットされても割り込み要求は受け付けます。 0: 例外処理中でない。 1: 例外処理中である。
5	ID	マスカブル割り込み要求を受け付ける状態かどうかを示します。 0: 割り込み許可 (EI) 1: 割り込み禁止 (DI)
4	SAT <sup>注</sup>	飽和演算命令の演算結果がオーバーフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット“1”され、以降の命令の演算結果が飽和しなくてもクリア“0”されません。クリア“0”する場合は、LDSR命令により行います。なお、算術演算命令の実行では、セット“1”もクリア“0”も行いません。 0: 飽和していない。 1: 飽和している。
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0: キャリー、またはボローは発生していない。 1: キャリー、またはボローが発生した。
2	OV <sup>注</sup>	演算中にオーバーフローが発生したかどうかを示します。 0: オーバーフローは発生していない。 1: オーバーフローが発生した。
1	S <sup>注</sup>	演算の結果が負かどうかを示します。 0: 演算の結果は、正または0であった。 1: 演算の結果は負であった。
0	Z	演算の結果が0かどうかを示します。 0: 演算の結果は0でなかった。 1: 演算の結果は0であった。

備考 注の説明は次ページに記載しています。

**注** 飽和演算時のOVフラグとSフラグの内容で飽和処理した演算結果が決まります。また、飽和演算時にOVフラグがセット(1)された場合だけ、SATフラグはセット(1)されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正(最大値を越えない)	演算前の値を	0	0	演算結果そのもの
負(最大値を越えない)	保持		1	

**(5) CALLT実行時状態退避レジスタ(CTPC, CTPSW)**

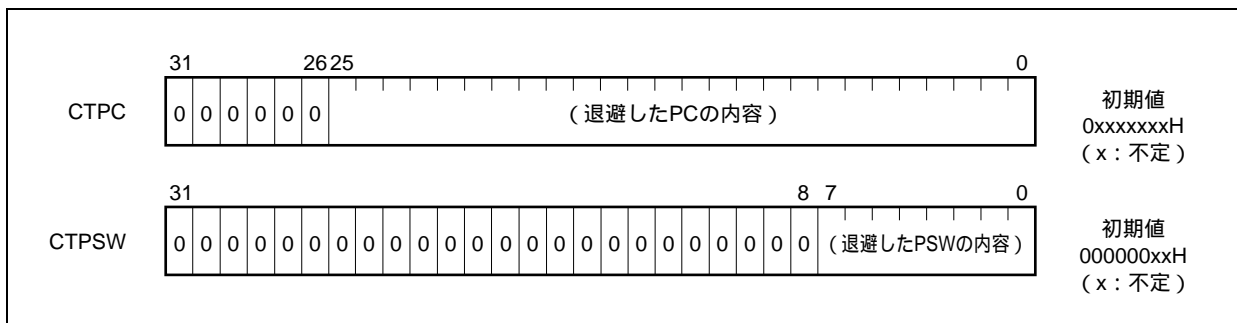
CALLT実行時状態退避レジスタには、CTPCとCTPSWがあります。

CALLT命令が実行されると、プログラム・カウンタ(PC)の内容がCTPCに、プログラム・ステータス・ワード(PSW)の内容がCTPSWに退避されます。

CTPCに退避される内容は、CALLT命令の次の命令のアドレスです。

CTPSWには、現在のPSWの内容が退避されます。

なお、CTPCのビット31-26とCTPSWのビット31-8は、将来の機能拡張のために予約されています(“0”に固定)。



(6) 例外 / デバッグ・トラップ時状態退避レジスタ (DBPC, DBPSW)

例外 / デバッグ・トラップ時状態退避レジスタとして、DBPCとDBPSWがあります。

例外トラップ、またはデバッグ・トラップが発生すると、プログラム・カウンタ (PC) の内容がDBPC に、プログラム・ステータス・ワード (PSW) の内容がDBPSWに退避されます。

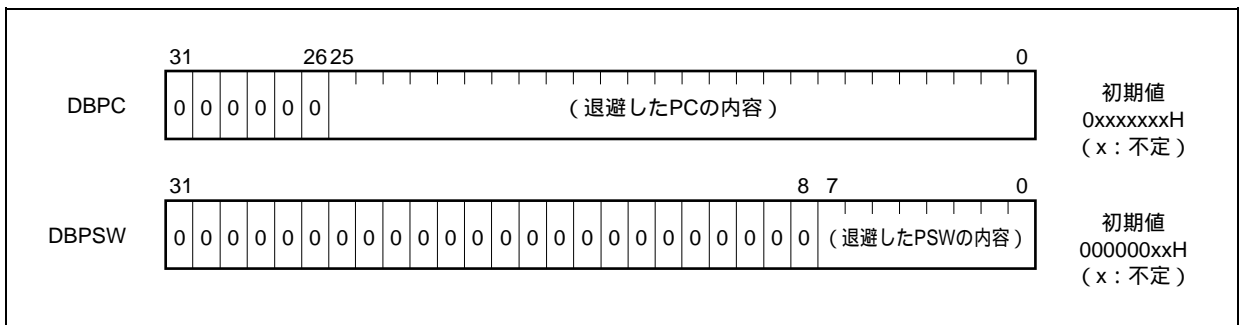
DBPCに退避される内容は、例外トラップ、またはデバッグ・トラップが発生したときに実行していた命令の次の命令のアドレスです。

DBPSWには、現在のPSWの内容が退避されます。

このレジスタへのリード / ライトはDBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけ可能です。

なお、DBPCのビット31-26とDBPSWのビット31-8は、将来の機能拡張のために予約されています (“0” に固定)。

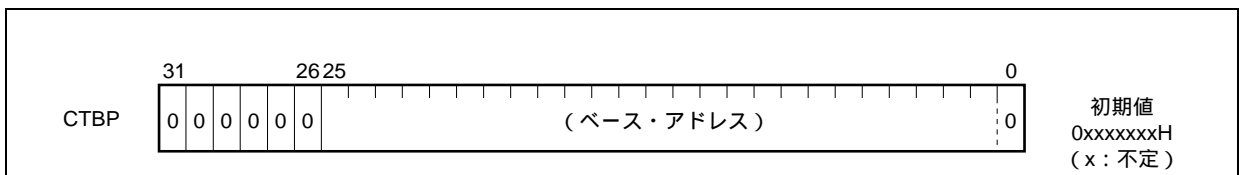
DBRET命令により、DBPCの値はPCへ、DBPSWの値はPSWへ復帰します。



(7) CALLTベース・ポインタ (CTBP)

CALLTベース・ポインタ (CTBP) は、テーブル・アドレスの指定、ターゲット・アドレスの生成に使用されます (ビット0は “0” に固定)。

なお、ビット31-26は、将来の機能拡張のために予約されています (“0” に固定)。



### 3.3 動作モード

#### 3.3.1 動作モード

V850E/IA1は次に示す動作モードを備えます。モードの指定はMODE0-MODE2端子により行います。

##### (1) 通常動作モード

###### (a) シングルチップ・モード0, 1

内蔵ROMへのアクセスが可能になります。

シングルチップ・モード0では、システム・リセット解除後、バス・インタフェース関連の各端子はポート・モードになり、内蔵ROMのリセット・エントリ・アドレスに分岐し、命令処理を開始します。命令によりPMCDH, PMCDL, PMCCS, PMCCT, PMCCMレジスタをコントロール・モードに設定することにより、外部メモリ領域に外部デバイスを接続できます。

シングルチップ・モード1では、システム・リセット解除後、バス・インタフェース関連の各端子はコントロール・モードになり、外部デバイス(メモリ)のリセット・エントリ・アドレスに分岐し、命令処理を開始します。内蔵ROM領域は100000H番地以降にマッピングされます。

###### (b) ROMレス・モード0, 1

システム・リセット解除後、バス・インタフェース関連の各端子はコントロール・モードになり、外部デバイス(メモリ)のリセット・エントリ・アドレスに分岐し、命令処理を開始します。内蔵ROMへの命令フェッチ、データ・アクセスは不可になります。

ROMレス・モード0では16ビット・データ・バスに、ROMレス・モード1では8ビット・データ・バスになります。

##### (2) フラッシュ・メモリ・プログラミング・モード ( $\mu$ PD70F3116のみ)

このモードを指定すると、フラッシュ・メモリ・プログラマによる内蔵フラッシュ・メモリへのプログラム動作が可能になります。

モードによって次に示すレジスタの初期値が異なります。

動作モード		PMCDH	PMCDL	PMCCS	PMCCT	PMCCM	BSC
通常動作モード	ROMレス・モード0	FFH	FFFFH	FFH	53H	0FH	5555H
	ROMレス・モード1	FFH	FFFFH	FFH	53H	0FH	0000H
	シングルチップ・モード0	00H	0000H	00H	00H	00H	5555H
	シングルチップ・モード1	FFH	FFFFH	FFH	53H	0FH	5555H

## 3.3.2 動作モード指定

MODE0-MODE2端子の状態により、動作モードを指定します。これらの端子の指定は応用システムにおいて固定とし、動作中に変更した場合の動作は保証しません。

(a)  $\mu$ PD703116

MODE2	MODE1	MODE0	動作モード		備考
L	L	L	通常動作モード	ROMレス・モード0	16ビット・データ・バス
L	L	H		ROMレス・モード1	8ビット・データ・バス
L	H	L		シングルチップ・モード0	内蔵ROM領域を000000Hから配置
L	H	H		シングルチップ・モード1	内蔵ROM領域を100000Hから配置
上記以外			設定禁止		

(b)  $\mu$ PD70F3116

V <sub>PP</sub>	MODE2	MODE1	MODE0	動作モード		備考
0V	L	L	L	通常動作モード	ROMレス・モード0	16ビット・データ・バス
0V	L	L	H		ROMレス・モード1	8ビット・データ・バス
0V	L	H	L		シングルチップ・モード0	内蔵ROM領域を000000Hから配置
0V	L	H	H		シングルチップ・モード1	内蔵ROM領域を100000Hから配置
7.8V	L	H	H/L	フラッシュ・メモリ・プログラミング・モード		-
上記以外				設定禁止		

備考 L : ロウ・レベル入力

H : ハイ・レベル入力

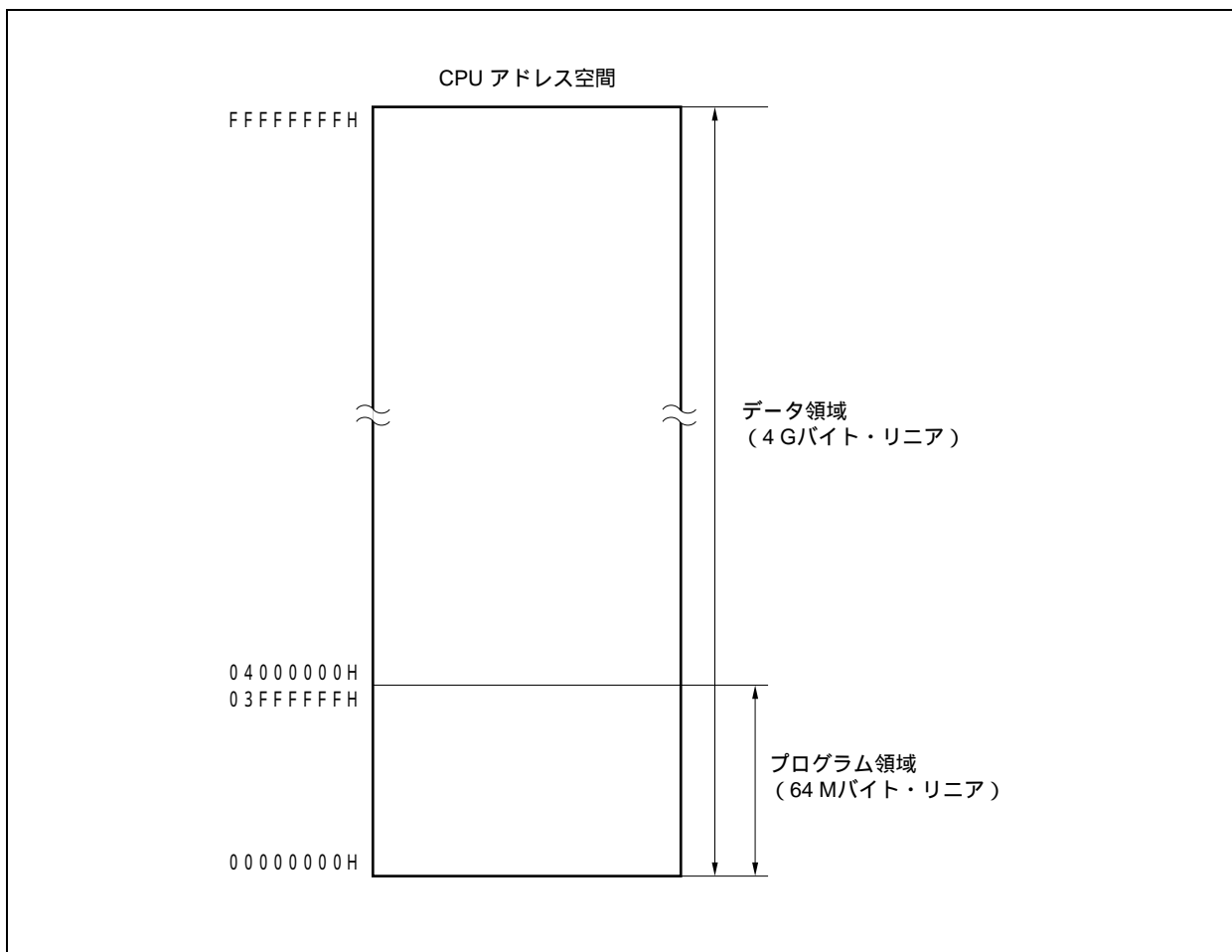
## 3.4 アドレス空間

### 3.4.1 CPUアドレス空間

V850E/IA1のCPUは、32ビット・アーキテクチャであり、オペランド・アドレッシング（データ・アクセス）においては、最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。また、命令アドレスのアドレッシングにおいては、最大64 Mバイトのリニア・アドレス空間（プログラム空間）をサポートしています。

図3 - 1にCPUアドレス空間を示します。

図3 - 1 CPUアドレス空間

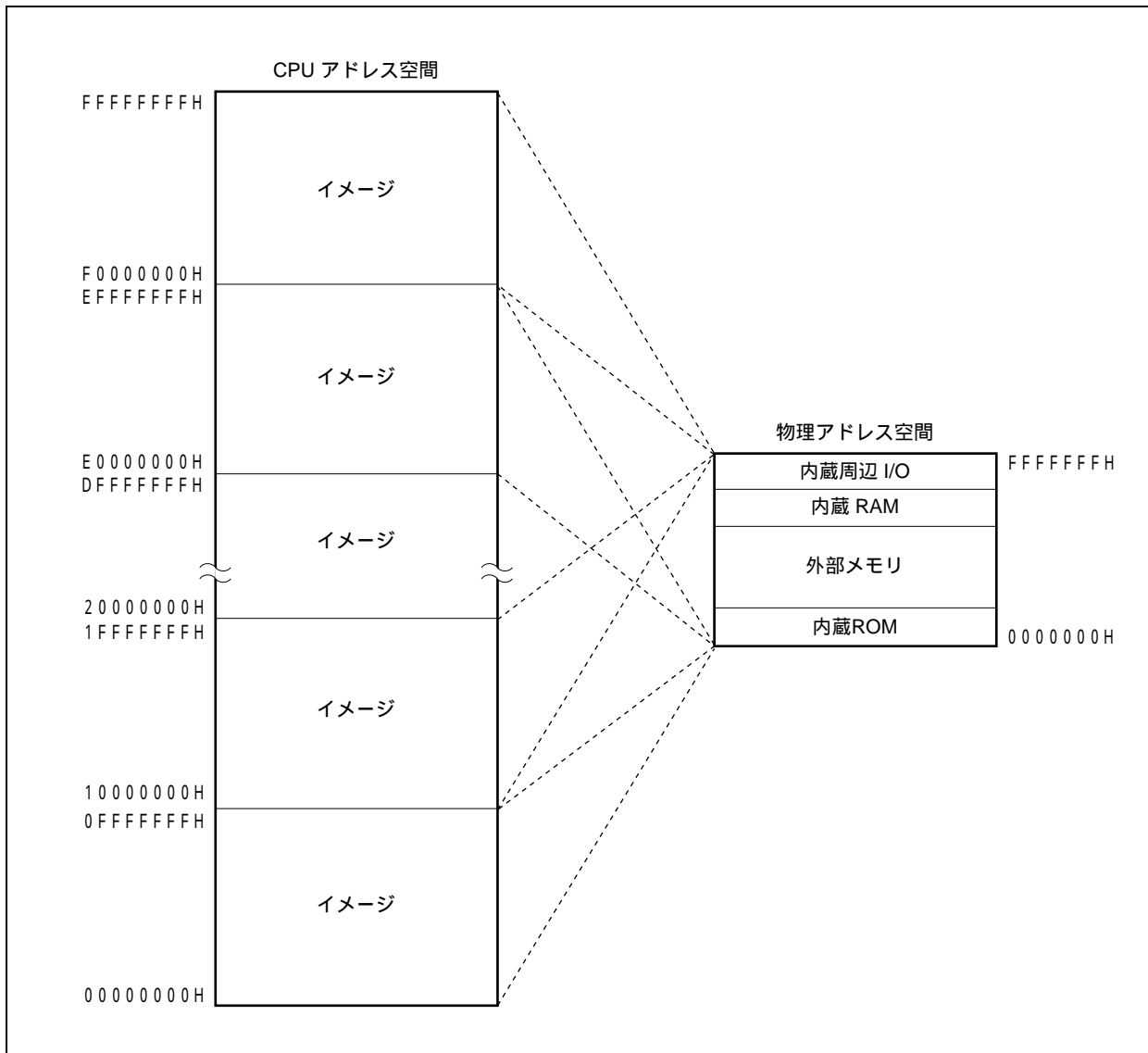


### 3.4.2 イメージ

4 GバイトのCPUアドレス空間には、256 Mバイトの物理アドレス空間が16個のイメージとして見えます。つまり、CPUアドレスのビット31-ビット28がどのような値でも、同じ256 Mバイトの物理アドレス空間をアクセスします。図3 - 2にアドレス空間上のイメージを示します。

物理アドレスのx0000000H番地が、CPUアドレスの00000000H番地のほかに、10000000H番地、20000000H番地、...、E0000000H番地、F0000000H番地に見えます。

図3 - 2 アドレス空間上のイメージ



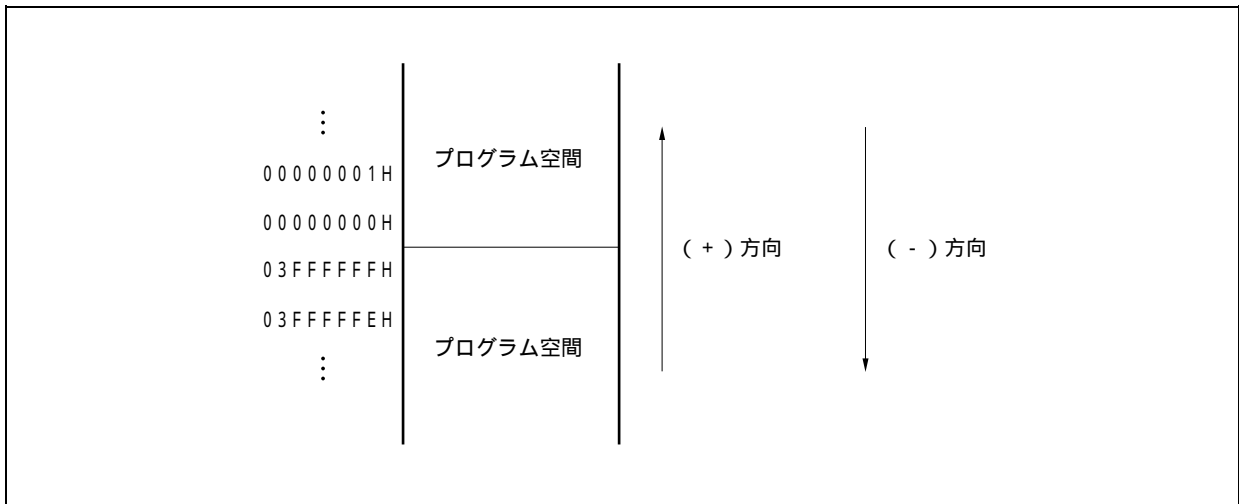
### 3.4.3 CPUアドレス空間のラップ・アラウンド

#### (1) プログラム空間

PC (プログラム・カウンタ) は32ビットのうち上位6ビットが0固定で、下位26ビットだけ有効です。分岐アドレス計算などでビット25からビット26に対するキャリーまたはボローがあっても上位6ビットはこれを無視します。

したがって、プログラム空間の上限である03FFFFFFH番地と、下限である00000000H番地は連続したアドレスとなります。このようにメモリ空間の下限と上限が連続したアドレスになることをラップ・アラウンドといいます。

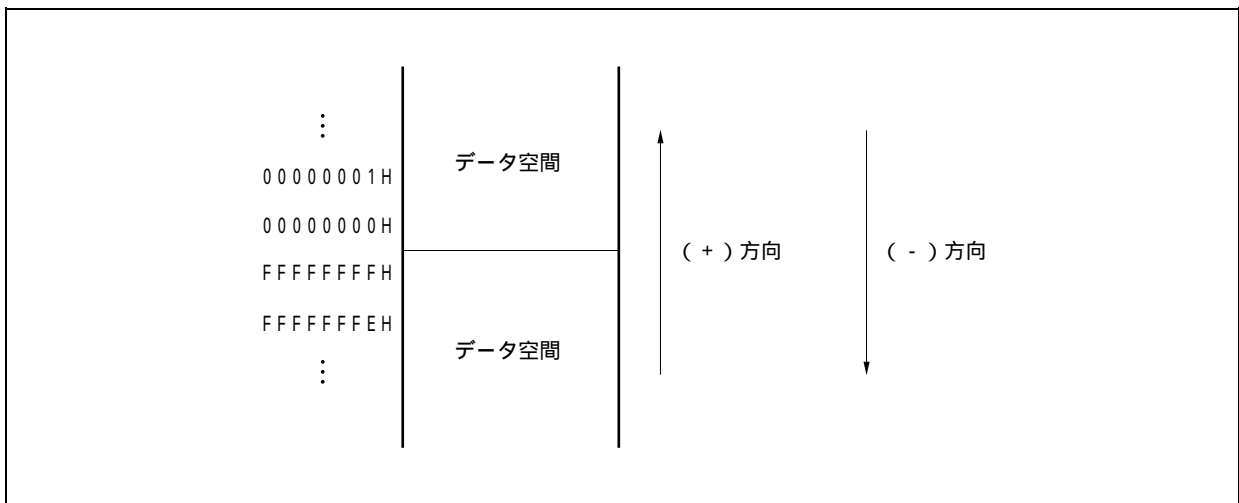
**注意** 03FFF000H-03FFFFFFHの4 Kバイトの領域は、0FFFFFF00H-0FFFFFFFHのイメージが見えます。この領域は内蔵周辺I/O領域のため、命令フェッチすることができません。したがって、分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。



#### (2) データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。

したがって、データ空間の上限であるFFFFFFFFH番地と、下限である00000000H番地は連続したアドレスになり、この境界でラップ・アラウンドします。

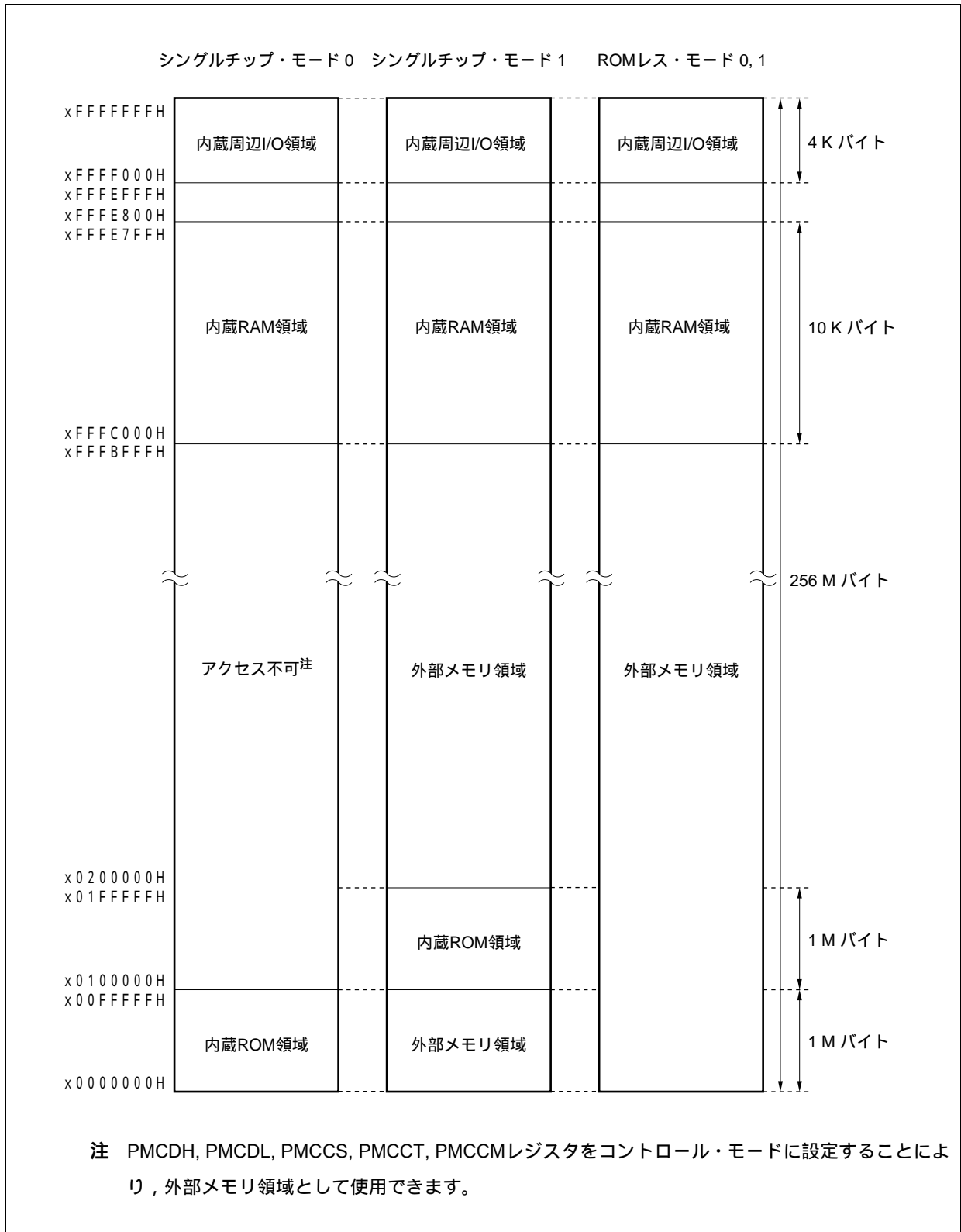




### 3.4.4 メモリ・マップ

V850E/IA1では、次に示すように各領域を予約しています。各モードの指定はMODE0-MODE2端子で行います。

図3-3 メモリ・マップ



### 3.4.5 領域

#### (1) 内蔵ROM / 内蔵フラッシュ・メモリ領域

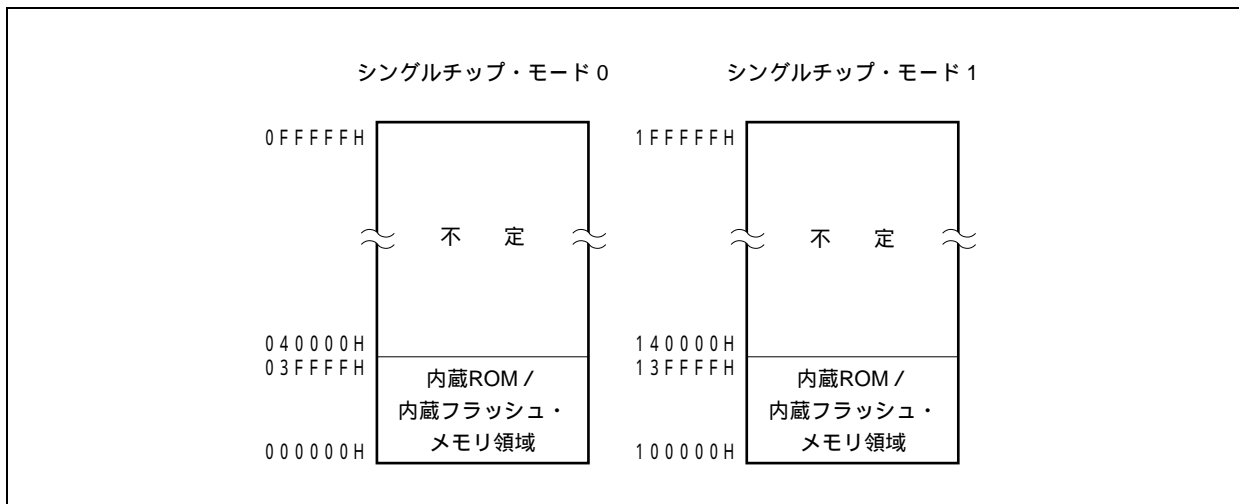
##### (a) メモリ・マップ

内蔵ROM / 内蔵フラッシュ・メモリ領域は、最大1 Mバイトが予約されています。

物理内蔵ROM (マスクROM / フラッシュ・メモリ) として次に示す番地に256 Kバイトを実装しています。

- ・シングルチップ・モード0時：000000H-03FFFFFFH番地 (040000H-0FFFFFFFH番地は不定)
- ・シングルチップ・モード1時：0100000H-013FFFFFFFH番地 (0140000H-01FFFFFFFH番地は不定)

図3 - 4 内蔵ROM / 内蔵フラッシュ・メモリ領域



## (b) 割り込み / 例外テーブル

V850E/IA1は、割り込み / 例外に対応したハンドラ・アドレスを固定化することにより、割り込み応答性を高速化しています。

このハンドラ・アドレスの集合を割り込み / 例外テーブルと呼び、内蔵ROM領域に置かれています。割り込み / 例外要求が受け付けられると、ハンドラ・アドレスにジャンプし、そのメモリに置かれているプログラムを実行します。表3 - 3に割り込み / 例外要因と、対応するアドレスを示します。

**備考** ROMレス・モード0, 1時, シングルチップ・モード1時では、内蔵ROM領域は外部メモリ領域になります。リセット後に正しく動作させるために、リセット・ルーチンへのハンドラ・アドレスを外部メモリの0番地に用意してください。

表3 - 3 割り込み / 例外テーブル

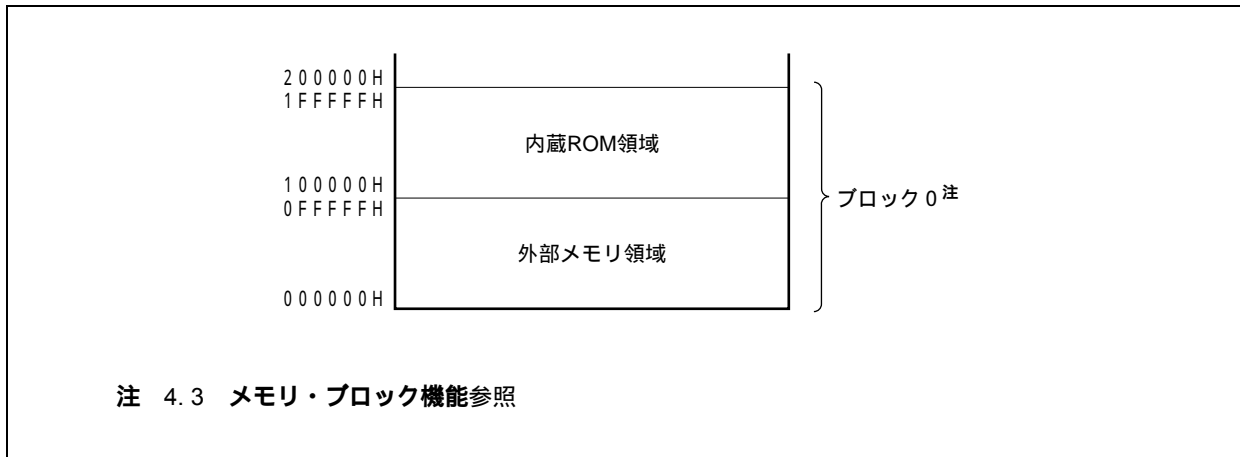
割り込み / 例外テーブル の先頭アドレス	割り込み / 例外要因	割り込み / 例外テーブル の先頭アドレス	割り込み / 例外要因
00000000H	RESET	00000200H	INTP21/INTCC21
00000010H	NMI0	00000210H	INTP22/INTCC22
00000040H	TRAP0n ( n = 0-F )	00000220H	INTP23/INTCC23
00000050H	TRAP1n ( n = 0-F )	00000230H	INTP24/INTCC24
00000060H	ILGOP/DBG0	00000240H	INTP25/INTCC25
00000080H	INTP0	00000250H	INTTM3
00000090H	INTP1	00000260H	INTP30/INTCC30
000000A0H	INTP2	00000270H	INTP31/INTCC31
000000B0H	INTP3	00000280H	INTCM4
000000C0H	INTP4	00000290H	INTDMA0
000000D0H	INTP5	000002A0H	INTDMA1
000000E0H	INTP6	000002B0H	INTDMA2
000000F0H	INTDET0	000002C0H	INTDMA3
00000100H	INTDET1	000002D0H	INTCREC
00000110H	INTTM00	000002E0H	INTCTRX
00000120H	INTCM003	000002F0H	INTCERR
00000130H	INTTM01	00000300H	INTCMAC
00000140H	INTCM013	00000310H	INTCSI0
00000150H	INTP100/INTCC100	00000320H	INTCSI1
00000160H	INTP101/INTCC101	00000330H	INTSR0
00000170H	INTCM100	00000340H	INTST0
00000180H	INTCM101	00000350H	INTSER0
00000190H	INTP110/INTCC110	00000360H	INTSR1
000001A0H	INTP111/INTCC111	00000370H	INTST1
000001B0H	INTCM110	00000380H	INTSR2
000001C0H	INTCM111	00000390H	INTST2
000001D0H	INTTM20	000003A0H	INTAD0
000001E0H	INTTM21	000003B0H	INTAD1
000001F0H	INTP20/INTCC20		

(c) 内蔵ROMリロケーション機能

シングルチップ・モード1に設定した場合は、内蔵ROM領域は100000H番地以降に配置されるため、外部メモリからのブートが可能になります。

したがって、リセット後に正しく動作させるために、リセット・ルーチンへのハンドラ・アドレスを外部メモリの0番地に用意してください。

図3 - 5 シングルチップ・モード1での内蔵ROM領域

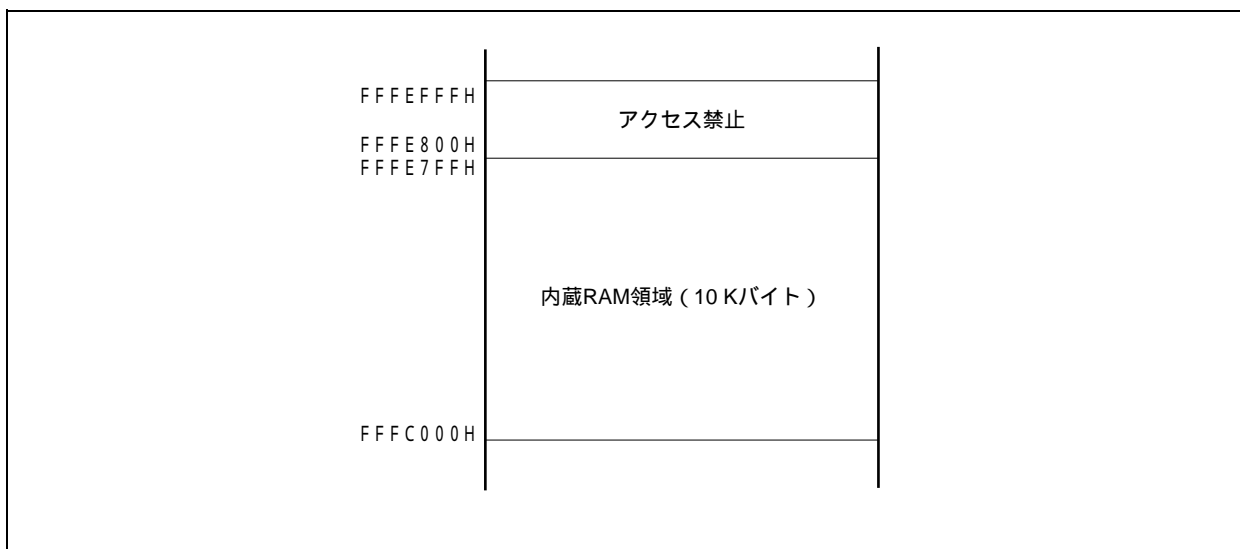


(2) 内蔵RAM領域

内蔵RAM領域は、FFFC000H-FFFEFFFH番地の12 Kバイトが予約されています。3FFC000H-3FFEFFFH番地の12 Kバイトには、FFFC000H-FFFEFFFH番地のイメージが見えます。

V850E/IA1は、物理内蔵RAMとしてFFFC000H-FFFE7FFH番地の10 Kバイトを実装しています。

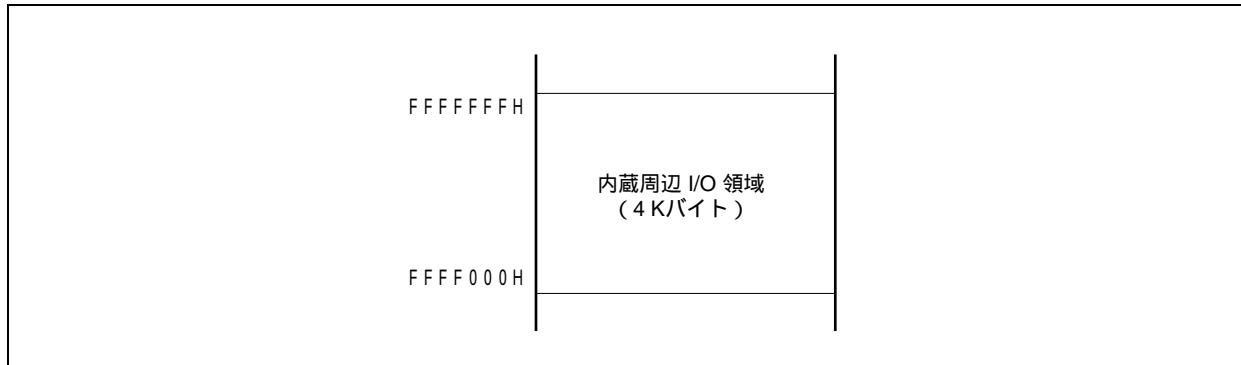
FFFE800H-FFFEFFFH番地はアクセス禁止です。



**(3) 内蔵周辺I/O領域**

内蔵周辺I/O領域としてFFFFFF00H-FFFFFFFH番地の4 Kバイトを実装しています。  
3FFF000H-3FFFFFFFH番地<sup>※</sup>には、FFFFFF00H-FFFFFFFH番地のイメージが見えます。

**注** 3FFF000H-3FFFFFFFH番地はアクセス禁止です。内蔵周辺I/OをアクセスするときはFFFFFF00-FFFFFFFH番地を指定してください。



内蔵周辺I/O領域には、内蔵周辺I/Oの動作モード指定、状態モニタリングなどの機能を割り付けた内蔵周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

- 注意1.** アドレスの最下位ビットはデコードしていません。したがって、奇数アドレス ( $2n + 1$ 番地) のレジスタにバイト・アクセスした場合は、ハードウェア上、偶数アドレス ( $2n$ ) のレジスタへアクセスします。
2. V850E/IA1ではワード・アクセス可能なレジスタは存在しませんが、レジスタにワード・アクセスを行うと、アドレスの下位2ビットを無視したワード領域に対し下位、上位の順番でハーフワード・アクセスを2回行います。
  3. バイト・アクセス可能なレジスタにハーフワード・アクセスした場合、リード時は上位8ビットが不定になり、ライト時は下位8ビット・データがレジスタに書き込まれます。
  4. レジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。
  5. DMA転送の転送元、転送先のアドレスに3FFF000H-3FFFFFFFHを指定することができません。転送元、転送先のアドレスには、必ずFFFFFF00H-FFFFFFFHのアドレスを指定してください。

また、プログラマブル周辺I/O領域として、x0000H ~ x3FFFFHの16 Kバイトの領域があり、x2000H ~ x2FFFFHの領域をFCANコントローラ専用として使用しています(3.4.9 プログラマブル周辺I/Oレジスタ一覧参照)。

- 注意** インサーキット・エミュレータ (IE-V850E-MC, IE-703116-MC-EM1) を用いて、FCANコントローラのエミュレーションを行う場合は、デバッグ起動時のコンフィグレーション画面において、次の処置をしてください。
- ・「Programmable I/O Area」にBPCレジスタで設定を行ったプログラマブル周辺I/O領域の先頭アドレスを設定してください。
  - ・「Memory Mapping」にプログラマブル周辺I/O領域を「Target」もしくは「Emulation RAM」としてマッピングしてください。

#### (4) 外部メモリ領域

外部メモリ領域として256 Mバイトあります。下位64 Mバイトはプログラム/データ領域として使用できます。上位192 Mバイトはデータ領域として使用できます。

- ・シングルチップ・モード0のとき : x0100000H-xFFFBFFFH
- ・シングルチップ・モード1のとき : x0000000H-x00FFFFFFH, x0200000H-xFFFBFFFH
- ・ROMレス・モード0, 1のとき : x0000000H-xFFFBFFFH

外部メモリ領域へのアクセスは、各メモリ・ブロックごとに割り当てられたチップ・セレクト信号を使用します(チップ・エリア選択コントロール・レジスタ0, 1 (CSC0, CSC1) で設定したCS単位で行います)。

なお、内蔵ROM, 内蔵RAM, 内蔵周辺I/O, プログラマブル周辺I/Oの各領域に対しては、外部メモリ領域としてアクセスすることはできません。

### 3.4.6 外部メモリ拡張

ポートnモード・コントロール・レジスタ (PMc<sub>n</sub>) をコントロール・モードに設定することにより、ポートDH, DL, CS, CT, CMの各端子を用いて外部メモリ空間に外部デバイスを接続することができます。各レジスタの設定は、PMc<sub>n</sub>により、ポートDH, DL, CS, CT, CMの各端子をコントロール・モードに選択することで行います (n = DH, DL, CS, CT, CM)。

なお、リセット時の状態は、MODE0-MODE2端子による動作モード指定により、次のように異なります (動作モードについては3.3 動作モードを参照してください)。

#### (a) ROMレス・モード0の場合

リセット時は、ポートDH, DL, CS, CT, CMの各端子がコントロール・モードになるため、ポートnモード・コントロール・レジスタ (PMc<sub>n</sub>) の変更なしで外部メモリが使用できます (外部データ・バス幅は16ビットになります)。

#### (b) ROMレス・モード1の場合

リセット時は、ポートDH, DL, CS, CT, CMの各端子がコントロール・モードになるため、ポートnモード・コントロール・レジスタ (PMc<sub>n</sub>) の変更なしで外部メモリが使用できます (外部データ・バス幅は8ビットになります)。

#### (c) シングルチップ・モード0の場合

リセット時は、内蔵ROM領域へのアクセスを行うため、ポートDH, DL, CS, CT, CMの各端子がポート・モードになり、外部デバイスは使用できません。

外部メモリを使用するためには、ポートnモード・コントロール・レジスタ (PMc<sub>n</sub>) の設定を行ってください。

#### (d) シングルチップ・モード1の場合

内蔵ROM領域が100000H番地から配置されます。そのため、リセット時は、ポートDH, DL, CS, CT, CMの各端子がコントロール・モードになるため、ポートnモード・コントロール・レジスタ (PMc<sub>n</sub>) の変更なしで外部メモリが使用できます (外部データ・バス幅は16ビットになります)。

**備考** n = DH, DL, CS, CT, CM

### 3.4.7 アドレス空間の推奨使用方法

V850E/IA1のアーキテクチャでは、データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトには、命令から直接オペランド・データ・アクセスが行えます。しかし、ポインタ用レジスタとして使う汎用レジスタには限りがあるため、ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで、変数用の汎用レジスタを最大限に確保し、かつプログラム・サイズを抑えることができます。

V850E/IA1のメモリ・マップに関連して、ポインタ運用の効率化を目的として、次の使用方法を推奨します。

#### (1) プログラム空間

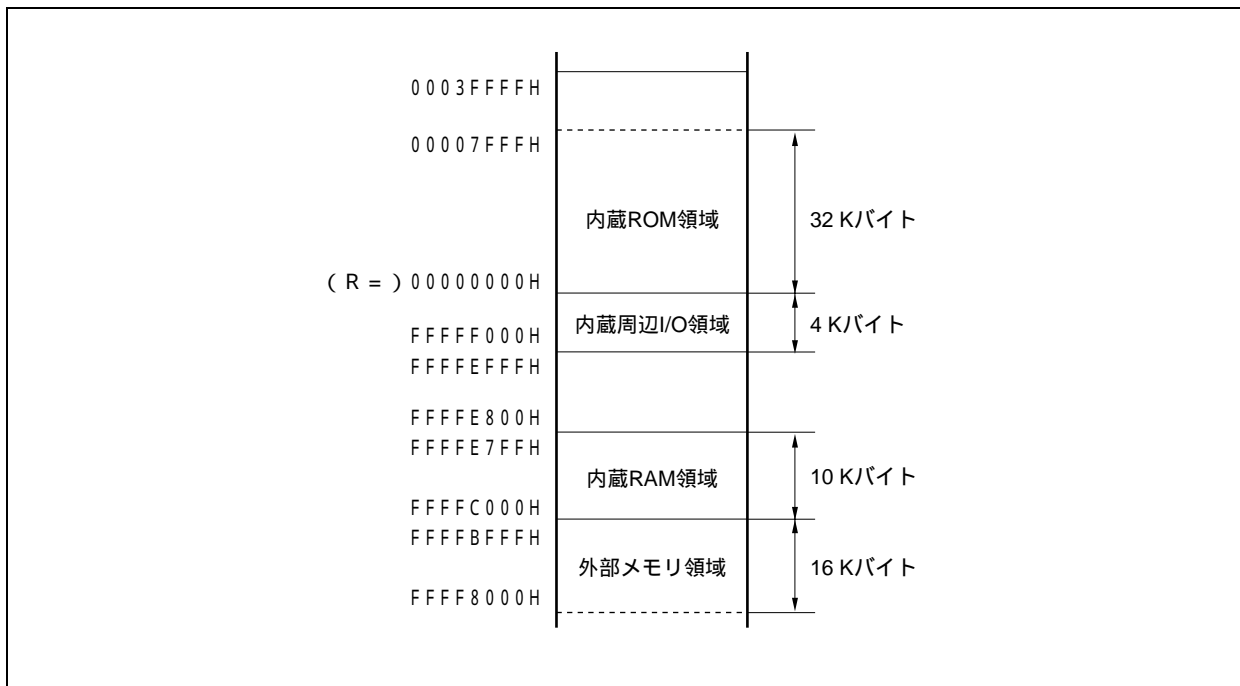
プログラム・カウンタ (PC) は、32ビットのうち上位6ビットは0に固定であり、下位26ビットだけ有効となります。そのうち、プログラム空間に関しては00000000H番地から連続した64 Mバイト空間がメモリ・マップに対応します。

#### (2) データ空間

データ空間のラップ・アラウンドを利用したリソースを効率的に運用するため、4 GバイトのCPUアドレス空間の00000000H - 00FFFFFFH番地およびFF000000H - FFFFFFFFH番地のそれぞれ連続した16 Mバイトをデータ空間として使用します。V850E/IA1では、4 GバイトのCPUアドレス空間に256 Mバイトの物理アドレス空間が16個のイメージとして見えるため、この26ビット・アドレスの最上位ビット (ビット25) を32ビット長まで符号拡張したアドレスとして割り当てています。



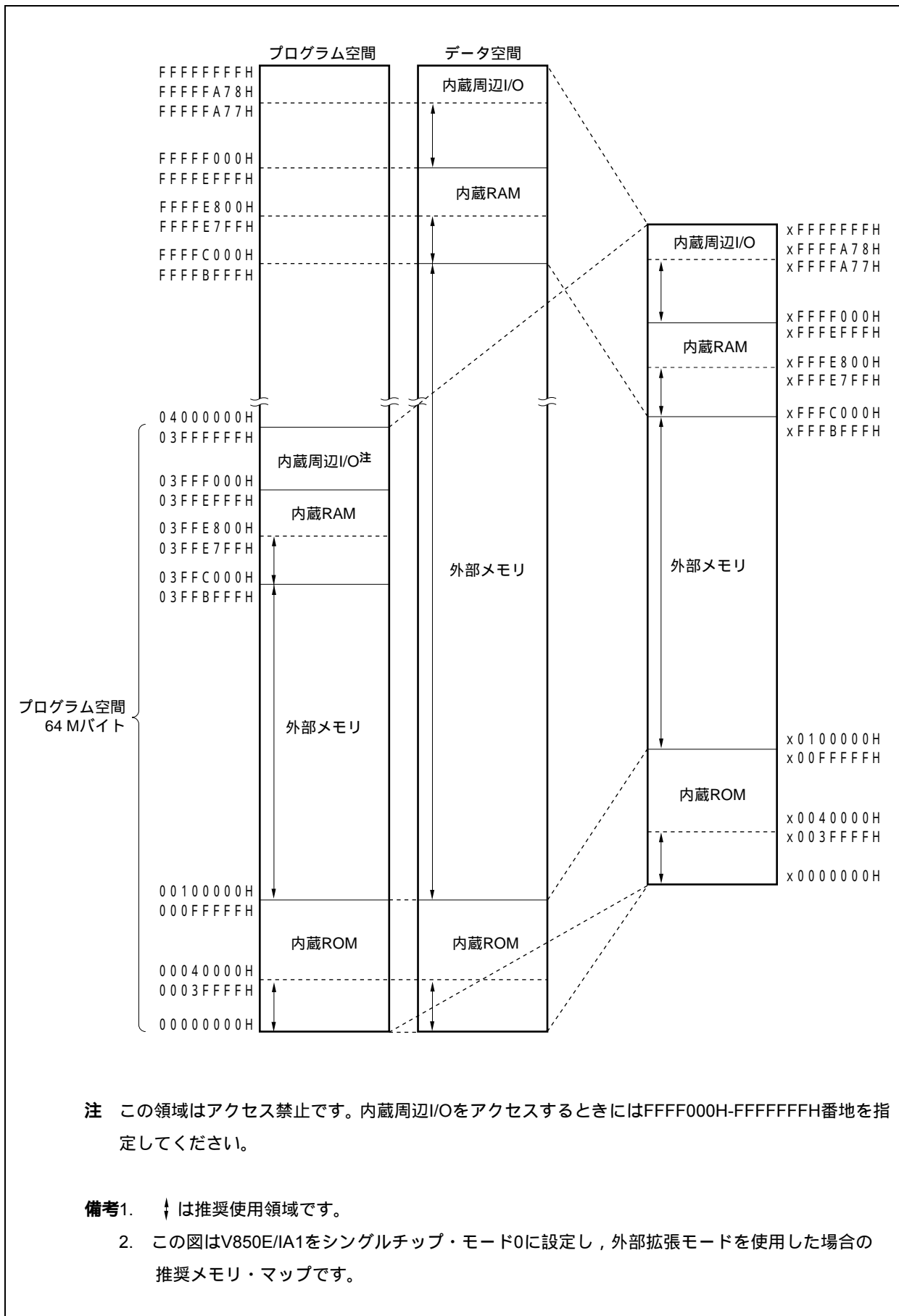
例 ラップ・アラウンドを利用した応用例は次のようになります。



LD/ST disp16[R]命令でR = r0(ゼロ・レジスタ)とした場合、符号拡張したdisp16により、00000000H番地 ± 32 Kバイトの範囲がアドレッシング可能です。外部メモリを上図の16 Kバイトの範囲にマッピングすれば、内蔵ハードウェアのすべてを含むすべてのリソースについて1つのポインタでアドレス指定可能です。

ゼロ・レジスタ(r0)はハードウェアでゼロ固定のレジスタであり、ポインタ専用に費やすレジスタは実質不要となります。

図3-6 推奨メモリ・マップ



## 3.4.8 内蔵周辺I/Oレジスタ

(1/9)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF004H	ポートDL	PDL	R/W				不定
FFFFFF004H	ポートDLL	PDLL	R/W				不定
FFFFFF005H	ポートDLH	PDLH	R/W				不定
FFFFFF006H	ポートDH	PDH	R/W				不定
FFFFFF008H	ポートCS	PCS	R/W				不定
FFFFFF00AH	ポートCT	PCT	R/W				不定
FFFFFF00CH	ポートCM	PCM	R/W				不定
FFFFFF024H	ポートDLモード・レジスタ	PMDL	R/W				FFFFH
FFFFFF024H	ポートDLモード・レジスタL	PMDLL	R/W				FFH
FFFFFF025H	ポートDLモード・レジスタH	PMDLH	R/W				FFH
FFFFFF026H	ポートDHモード・レジスタ	PMDH	R/W				FFH
FFFFFF028H	ポートCSモード・レジスタ	PMCS	R/W				FFH
FFFFFF02AH	ポートCTモード・レジスタ	PMCT	R/W				FFH
FFFFFF02CH	ポートCMモード・レジスタ	PMCM	R/W				FFH
FFFFFF044H	ポートDLモード・コントロール・レジスタ	PMCDL	R/W				0000H/FFFFH
FFFFFF044H	ポートDLモード・コントロール・レジスタL	PMCDLL	R/W				00H/FFH
FFFFFF045H	ポートDLモード・コントロール・レジスタH	PMCDLH	R/W				00H/FFH
FFFFFF046H	ポートDHモード・コントロール・レジスタ	PMCDH	R/W				00H/FFH
FFFFFF048H	ポートCSモード・コントロール・レジスタ	PMCCS	R/W				00H/FFH
FFFFFF04AH	ポートCTモード・コントロール・レジスタ	PMCCT	R/W				00H/53H
FFFFFF04CH	ポートCMモード・コントロール・レジスタ	PMCCM	R/W				00H/0FH
FFFFFF060H	チップ・エリア選択コントロール・レジスタ0	CSC0	R/W				2C11H
FFFFFF062H	チップ・エリア選択コントロール・レジスタ1	CSC1	R/W				2C11H
FFFFFF064H	周辺エリア選択コントロール・レジスタ	BPC	R/W				0000H
FFFFFF066H	バス・サイズ・コンフィギュレーション・レジスタ	BSC	R/W				0000H/5555H
FFFFFF06EH	システム・ウェイト・コントロール・レジスタ	VSWC	R/W				77H
FFFFFF080H	DMAソース・アドレス・レジスタ0L	DSA0L	R/W				不定
FFFFFF082H	DMAソース・アドレス・レジスタ0H	DSA0H	R/W				不定
FFFFFF084H	DMAデスティネーション・アドレス・レジスタ0L	DDA0L	R/W				不定
FFFFFF086H	DMAデスティネーション・アドレス・レジスタ0H	DDA0H	R/W				不定
FFFFFF088H	DMAソース・アドレス・レジスタ1L	DSA1L	R/W				不定
FFFFFF08AH	DMAソース・アドレス・レジスタ1H	DSA1H	R/W				不定
FFFFFF08CH	DMAデスティネーション・アドレス・レジスタ1L	DDA1L	R/W				不定
FFFFFF08EH	DMAデスティネーション・アドレス・レジスタ1H	DDA1H	R/W				不定
FFFFFF090H	DMAソース・アドレス・レジスタ2L	DSA2L	R/W				不定
FFFFFF092H	DMAソース・アドレス・レジスタ2H	DSA2H	R/W				不定
FFFFFF094H	DMAデスティネーション・アドレス・レジスタ2L	DDA2L	R/W				不定
FFFFFF096H	DMAデスティネーション・アドレス・レジスタ2H	DDA2H	R/W				不定
FFFFFF098H	DMAソース・アドレス・レジスタ3L	DSA3L	R/W				不定
FFFFFF09AH	DMAソース・アドレス・レジスタ3H	DSA3H	R/W				不定
FFFFFF09CH	DMAデスティネーション・アドレス・レジスタ3L	DDA3L	R/W				不定
FFFFFF09EH	DMAデスティネーション・アドレス・レジスタ3H	DDA3H	R/W				不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF0C0H	DMA転送カウント・レジスタ0	DBC0	R/W				不定
FFFFF0C2H	DMA転送カウント・レジスタ1	DBC1	R/W				不定
FFFFF0C4H	DMA転送カウント・レジスタ2	DBC2	R/W				不定
FFFFF0C6H	DMA転送カウント・レジスタ3	DBC3	R/W				不定
FFFFF0D0H	DMAアドレッシング・コントロール・レジスタ0	DADC0	R/W				0000H
FFFFF0D2H	DMAアドレッシング・コントロール・レジスタ1	DADC1	R/W				0000H
FFFFF0D4H	DMAアドレッシング・コントロール・レジスタ2	DADC2	R/W				0000H
FFFFF0D6H	DMAアドレッシング・コントロール・レジスタ3	DADC3	R/W				0000H
FFFFF0E0H	DMAチャンネル・コントロール・レジスタ0	DCHC0	R/W				00H
FFFFF0E2H	DMAチャンネル・コントロール・レジスタ1	DCHC1	R/W				00H
FFFFF0E4H	DMAチャンネル・コントロール・レジスタ2	DCHC2	R/W				00H
FFFFF0E6H	DMAチャンネル・コントロール・レジスタ3	DCHC3	R/W				00H
FFFFF0F0H	DMAディスエーブル・ステータス・レジスタ	DDIS	R				00H
FFFFF0F2H	DMAリスタート・レジスタ	DRST	R/W				00H
FFFFF100H	割り込みマスク・レジスタ0	IMR0	R/W				FFFFH
FFFFF100H	割り込みマスク・レジスタ0L	IMR0L	R/W				FFH
FFFFF101H	割り込みマスク・レジスタ0H	IMR0H	R/W				FFH
FFFFF102H	割り込みマスク・レジスタ1	IMR1	R/W				FFFFH
FFFFF102H	割り込みマスク・レジスタ1L	IMR1L	R/W				FFH
FFFFF103H	割り込みマスク・レジスタ1H	IMR1H	R/W				FFH
FFFFF104H	割り込みマスク・レジスタ2	IMR2	R/W				FFFFH
FFFFF104H	割り込みマスク・レジスタ2L	IMR2L	R/W				FFH
FFFFF105H	割り込みマスク・レジスタ2H	IMR2H	R/W				FFH
FFFFF106H	割り込みマスク・レジスタ3	IMR3	R/W				FFFFH
FFFFF106H	割り込みマスク・レジスタ3L	IMR3L	R/W				FFH
FFFFF107H	割り込みマスク・レジスタ3H	IMR3H	R/W				FFH
FFFFF110H	割り込み制御レジスタ	P0IC0	R/W				47H
FFFFF112H	割り込み制御レジスタ	P0IC1	R/W				47H
FFFFF114H	割り込み制御レジスタ	P0IC2	R/W				47H
FFFFF116H	割り込み制御レジスタ	P0IC3	R/W				47H
FFFFF118H	割り込み制御レジスタ	P0IC4	R/W				47H
FFFFF11AH	割り込み制御レジスタ	P0IC5	R/W				47H
FFFFF11CH	割り込み制御レジスタ	P0IC6	R/W				47H
FFFFF11EH	割り込み制御レジスタ	DETIC0	R/W				47H
FFFFF120H	割り込み制御レジスタ	DETIC1	R/W				47H
FFFFF122H	割り込み制御レジスタ	TM0IC0	R/W				47H
FFFFF124H	割り込み制御レジスタ	CM03IC0	R/W				47H
FFFFF126H	割り込み制御レジスタ	TM0IC1	R/W				47H
FFFFF128H	割り込み制御レジスタ	CM03IC1	R/W				47H
FFFFF12AH	割り込み制御レジスタ	CC10IC0	R/W				47H
FFFFF12CH	割り込み制御レジスタ	CC10IC1	R/W				47H
FFFFF12EH	割り込み制御レジスタ	CM10IC0	R/W				47H
FFFFF130H	割り込み制御レジスタ	CM10IC1	R/W				47H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF132H	割り込み制御レジスタ	CC11IC0	R/W				47H
FFFFFF134H	割り込み制御レジスタ	CC11IC1	R/W				47H
FFFFFF136H	割り込み制御レジスタ	CM11IC0	R/W				47H
FFFFFF138H	割り込み制御レジスタ	CM11IC1	R/W				47H
FFFFFF13AH	割り込み制御レジスタ	TM2IC0	R/W				47H
FFFFFF13CH	割り込み制御レジスタ	TM2IC1	R/W				47H
FFFFFF13EH	割り込み制御レジスタ	CC2IC0	R/W				47H
FFFFFF140H	割り込み制御レジスタ	CC2IC1	R/W				47H
FFFFFF142H	割り込み制御レジスタ	CC2IC2	R/W				47H
FFFFFF144H	割り込み制御レジスタ	CC2IC3	R/W				47H
FFFFFF146H	割り込み制御レジスタ	CC2IC4	R/W				47H
FFFFFF148H	割り込み制御レジスタ	CC2IC5	R/W				47H
FFFFFF14AH	割り込み制御レジスタ	TM3IC0	R/W				47H
FFFFFF14CH	割り込み制御レジスタ	CC3IC0	R/W				47H
FFFFFF14EH	割り込み制御レジスタ	CC3IC1	R/W				47H
FFFFFF150H	割り込み制御レジスタ	CM4IC0	R/W				47H
FFFFFF152H	割り込み制御レジスタ	DMAIC0	R/W				47H
FFFFFF154H	割り込み制御レジスタ	DMAIC1	R/W				47H
FFFFFF156H	割り込み制御レジスタ	DMAIC2	R/W				47H
FFFFFF158H	割り込み制御レジスタ	DMAIC3	R/W				47H
FFFFFF15AH	割り込み制御レジスタ	CANIC0	R/W				47H
FFFFFF15CH	割り込み制御レジスタ	CANIC1	R/W				47H
FFFFFF15EH	割り込み制御レジスタ	CANIC2	R/W				47H
FFFFFF160H	割り込み制御レジスタ	CANIC3	R/W				47H
FFFFFF162H	割り込み制御レジスタ	CSIIC0	R/W				47H
FFFFFF164H	割り込み制御レジスタ	CSIIC1	R/W				47H
FFFFFF166H	割り込み制御レジスタ	SRIC0	R/W				47H
FFFFFF168H	割り込み制御レジスタ	STIC0	R/W				47H
FFFFFF16AH	割り込み制御レジスタ	SEIC0	R/W				47H
FFFFFF16CH	割り込み制御レジスタ	SRIC1	R/W				47H
FFFFFF16EH	割り込み制御レジスタ	STIC1	R/W				47H
FFFFFF170H	割り込み制御レジスタ	SRIC2	R/W				47H
FFFFFF172H	割り込み制御レジスタ	STIC2	R/W				47H
FFFFFF174H	割り込み制御レジスタ	ADIC0	R/W				47H
FFFFFF176H	割り込み制御レジスタ	ADIC1	R/W				47H
FFFFFF1FAH	インサービス・プライオリティ・レジスタ	ISPR	R				00H
FFFFFF1FCH	コマンド・レジスタ	PRCMD	W				不定
FFFFFF1FEH	パワー・セーブ・コントロール・レジスタ	PSC	R/W				00H
FFFFFF200H	A/Dスキャン・モード・レジスタ00	ADSCM00	R/W				0000H
FFFFFF200H	A/Dスキャン・モード・レジスタ00L	ADSCM00L	R/W				00H
FFFFFF201H	A/Dスキャン・モード・レジスタ00H	ADSCM00H	R/W				00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF202H	A/Dスキャン・モード・レジスタ01	ADSCM01	R/W				0000H
FFFFFF202H	A/Dスキャン・モード・レジスタ01L	ADSCM01L	R				00H
FFFFFF203H	A/Dスキャン・モード・レジスタ01H	ADSCM01H	R/W				00H
FFFFFF204H	A/D電圧検出モード・レジスタ0	ADETM0	R/W				0000H
FFFFFF204H	A/D電圧検出モード・レジスタ0L	ADETM0L	R/W				00H
FFFFFF205H	A/D電圧検出モード・レジスタ0H	ADETM0H	R/W				00H
FFFFFF210H	A/D変換結果レジスタ00	ADCR00	R				0000H
FFFFFF212H	A/D変換結果レジスタ01	ADCR01	R				0000H
FFFFFF214H	A/D変換結果レジスタ02	ADCR02	R				0000H
FFFFFF216H	A/D変換結果レジスタ03	ADCR03	R				0000H
FFFFFF218H	A/D変換結果レジスタ04	ADCR04	R				0000H
FFFFFF21AH	A/D変換結果レジスタ05	ADCR05	R				0000H
FFFFFF21CH	A/D変換結果レジスタ06	ADCR06	R				0000H
FFFFFF21EH	A/D変換結果レジスタ07	ADCR07	R				0000H
FFFFFF240H	A/Dスキャン・モード・レジスタ10	ADSCM10	R/W				0000H
FFFFFF240H	A/Dスキャン・モード・レジスタ10L	ADSCM10L	R/W				00H
FFFFFF241H	A/Dスキャン・モード・レジスタ10H	ADSCM10H	R/W				00H
FFFFFF242H	A/Dスキャン・モード・レジスタ11	ADSCM11	R/W				0000H
FFFFFF242H	A/Dスキャン・モード・レジスタ11L	ADSCM11L	R				00H
FFFFFF243H	A/Dスキャン・モード・レジスタ11H	ADSCM11H	R/W				00H
FFFFFF244H	A/D電圧検出モード・レジスタ1	ADETM1	R/W				0000H
FFFFFF244H	A/D電圧検出モード・レジスタ1L	ADETM1L	R/W				00H
FFFFFF245H	A/D電圧検出モード・レジスタ1H	ADETM1H	R/W				00H
FFFFFF250H	A/D変換結果レジスタ10	ADCR10	R				0000H
FFFFFF252H	A/D変換結果レジスタ11	ADCR11	R				0000H
FFFFFF254H	A/D変換結果レジスタ12	ADCR12	R				0000H
FFFFFF256H	A/D変換結果レジスタ13	ADCR13	R				0000H
FFFFFF258H	A/D変換結果レジスタ14	ADCR14	R				0000H
FFFFFF25AH	A/D変換結果レジスタ15	ADCR15	R				0000H
FFFFFF25CH	A/D変換結果レジスタ16	ADCR16	R				0000H
FFFFFF25EH	A/D変換結果レジスタ17	ADCR17	R				0000H
FFFFFF280H	A/D内部トリガ選択レジスタ	ITRG0	R/W				00H
FFFFFF400H	ポート0	P0	R				不定
FFFFFF402H	ポート1	P1	R/W				不定
FFFFFF404H	ポート2	P2	R/W				不定
FFFFFF406H	ポート3	P3	R/W				不定
FFFFFF408H	ポート4	P4	R/W				不定
FFFFFF422H	ポート1モード・レジスタ	PM1	R/W				FFH
FFFFFF424H	ポート2モード・レジスタ	PM2	R/W				FFH
FFFFFF426H	ポート3モード・レジスタ	PM3	R/W				FFH
FFFFFF428H	ポート4モード・レジスタ	PM4	R/W				FFH
FFFFFF442H	ポート1モード・コントロール・レジスタ	PMC1	R/W				00H
FFFFFF444H	ポート2モード・コントロール・レジスタ	PMC2	R/W				00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF446H	ポート3モード・コントロール・レジスタ	PMC3	R/W				00H
FFFFFF448H	ポート4モード・コントロール・レジスタ	PMC4	R/W				00H
FFFFFF462H	ポート1ファンクション・コントロール・レジスタ	PFC1	R/W				00H
FFFFFF464H	ポート2ファンクション・コントロール・レジスタ	PFC2	R/W				00H
FFFFFF480H	バス・サイクル・タイプ・コンフィギュレーション・レジスタ0	BCT0	R/W				CCCCH
FFFFFF482H	バス・サイクル・タイプ・コンフィギュレーション・レジスタ1	BCT1	R/W				CCCCH
FFFFFF484H	データ・ウェイト・コントロール・レジスタ0	DWC0	R/W				3333H
FFFFFF486H	データ・ウェイト・コントロール・レジスタ1	DWC1	R/W				3333H
FFFFFF488H	アドレス・ウェイト制御レジスタ	AWC	R/W				0000H
FFFFFF48AH	バス・サイクル・コントロール・レジスタ	BCC	R/W				AAAAH
FFFFFF540H	タイマ4	TM4	R				0000H
FFFFFF542H	コンペア・レジスタ4	CM4	R/W				0000H
FFFFFF544H	タイマ・コントロール・レジスタ4	TMC4	R/W				00H
FFFFFF570H	デッド・タイム・タイマ・リロード・レジスタ0	DTRR0	R/W				0FFFFH
FFFFFF572H	バッファ・レジスタCM00	BFCM00	R/W				FFFFH
FFFFFF574H	バッファ・レジスタCM01	BFCM01	R/W				FFFFH
FFFFFF576H	バッファ・レジスタCM02	BFCM02	R/W				FFFFH
FFFFFF578H	バッファ・レジスタCM03	BFCM03	R/W				FFFFH
FFFFFF57AH	タイマ・コントロール・レジスタ00	TMC00	R/W				0508H
FFFFFF57AH	タイマ・コントロール・レジスタ00L	TMC00L	R/W				08H
FFFFFF57BH	タイマ・コントロール・レジスタ00H	TMC00H	R/W				05H
FFFFFF57CH	タイマ・ユニット・コントロール・レジスタ00	TUC00	R/W				01H
FFFFFF57DH	タイマ出力モード・レジスタ0	TOMR0	R/W				00H
FFFFFF57EH	PWMソフトウエア・タイミング出力レジスタ0	PSTO0	R/W				00H
FFFFFF57FH	PWM出カインェブル・レジスタ0	POER0	R/W				00H
FFFFFF580H	TOMR書き込み許可レジスタ0	SPEC0	R/W				0000H
FFFFFF5B0H	デッド・タイム・タイマ・リロード・レジスタ1	DTRR1	R/W				0FFFFH
FFFFFF5B2H	バッファ・レジスタCM10	BFCM10	R/W				FFFFH
FFFFFF5B4H	バッファ・レジスタCM11	BFCM11	R/W				FFFFH
FFFFFF5B6H	バッファ・レジスタCM12	BFCM12	R/W				FFFFH
FFFFFF5B8H	バッファ・レジスタCM13	BFCM13	R/W				FFFFH
FFFFFF5BAH	タイマ・コントロール・レジスタ01	TMC01	R/W				0508H
FFFFFF5BAH	タイマ・コントロール・レジスタ01L	TMC01L	R/W				08H
FFFFFF5BBH	タイマ・コントロール・レジスタ01H	TMC01H	R/W				05H
FFFFFF5BCH	タイマ・ユニット・コントロール・レジスタ01	TUC01	R/W				01H
FFFFFF5BDH	タイマ出力モード・レジスタ1	TOMR1	R/W				00H
FFFFFF5BEH	PWMソフトウエア・タイミング出力レジスタ1	PSTO1	R/W				00H
FFFFFF5BFH	PWM出カインェブル・レジスタ1	POER1	R/W				00H
FFFFFF5C0H	TOMR書き込み許可レジスタ1	SPEC1	R/W				0000H
FFFFFF5D0H	タイマ0クロック選択レジスタ	PRM01	R/W				00H
FFFFFF5D8H	タイマ1/タイマ2クロック選択レジスタ	PRM02	R/W				00H
FFFFFF5E0H	タイマ10	TM10	R/W				0000H
FFFFFF5E2H	コンペア・レジスタ100	CM100	R/W				0000H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF5E4H	コンペア・レジスタ101	CM101	R/W				0000H
FFFFFF5E6H	キャプチャ/コンペア・レジスタ100	CC100	R/W				0000H
FFFFFF5E8H	キャプチャ/コンペア・レジスタ101	CC101	R/W				0000H
FFFFFF5EAH	キャプチャ/コンペア・コントロール・レジスタ0	CCR0	R/W				00H
FFFFFF5EBH	タイマ・ユニット・モード・レジスタ0	TUM0	R/W				00H
FFFFFF5ECH	タイマ・コントロール・レジスタ10	TMC10	R/W				00H
FFFFFF5EDH	シグナル・エッジ選択レジスタ10	SESA10	R/W				00H
FFFFFF5EEH	プリスケアラ・モード・レジスタ10	PRM10	R/W				07H
FFFFFF5EFH	ステータス・レジスタ0	STATUS0	R				00H
FFFFFF5F6H	CC101キャプチャ入力選択レジスタ	CSL10	R/W				00H
FFFFFF5F8H	タイマ10ノイズ除去時間選択レジスタ	NRC10	R/W				00H
FFFFFF600H	タイマ11	TM11	R/W				0000H
FFFFFF602H	コンペア・レジスタ110	CM110	R/W				0000H
FFFFFF604H	コンペア・レジスタ111	CM111	R/W				0000H
FFFFFF606H	キャプチャ/コンペア・レジスタ110	CC110	R/W				0000H
FFFFFF608H	キャプチャ/コンペア・レジスタ111	CC111	R/W				0000H
FFFFFF60AH	キャプチャ/コンペア・コントロール・レジスタ1	CCR1	R/W				00H
FFFFFF60BH	タイマ・ユニット・モード・レジスタ1	TUM1	R/W				00H
FFFFFF60CH	タイマ・コントロール・レジスタ11	TMC11	R/W				00H
FFFFFF60DH	シグナル・エッジ選択レジスタ11	SESA11	R/W				00H
FFFFFF60EH	プリスケアラ・モード・レジスタ11	PRM11	R/W				07H
FFFFFF60FH	ステータス・レジスタ1	STATUS1	R				00H
FFFFFF616H	CC111キャプチャ入力選択レジスタ	CSL11	R/W				00H
FFFFFF618H	タイマ11ノイズ除去時間選択レジスタ	NRC11	R/W				00H
FFFFFF620H	タイマ接続選択レジスタ0	TMIC0	R/W				00H
FFFFFF630H	タイマ2入力フィルタ・モード・レジスタ0	FEM0	R/W				00H
FFFFFF631H	タイマ2入力フィルタ・モード・レジスタ1	FEM1	R/W				00H
FFFFFF632H	タイマ2入力フィルタ・モード・レジスタ2	FEM2	R/W				00H
FFFFFF633H	タイマ2入力フィルタ・モード・レジスタ3	FEM3	R/W				00H
FFFFFF634H	タイマ2入力フィルタ・モード・レジスタ4	FEM4	R/W				00H
FFFFFF635H	タイマ2入力フィルタ・モード・レジスタ5	FEM5	R/W				00H
FFFFFF640H	タイマ2クロック停止レジスタ0	STOPTE0	R/W				0000H
FFFFFF640H	タイマ2クロック停止レジスタ0L	STOPTE0L	R				00H
FFFFFF641H	タイマ2クロック停止レジスタ0H	STOPTE0H	R/W				00H
FFFFFF642H	タイマ2カウント・クロック/制御エッジ選択レジスタ0	CSE0	R/W				0000H
FFFFFF642H	タイマ2カウント・クロック/制御エッジ選択レジスタ0L	CSE0L	R/W				00H
FFFFFF643H	タイマ2カウント・クロック/制御エッジ選択レジスタ0H	CSE0H	R/W				00H
FFFFFF644H	タイマ2サブチャネル入力イベント・エッジ選択レジスタ0	SESE0	R/W				0000H
FFFFFF644H	タイマ2サブチャネル入力イベント・エッジ選択レジスタ0L	SESE0L	R/W				00H
FFFFFF645H	タイマ2サブチャネル入力イベント・エッジ選択レジスタ0H	SESE0H	R/W				00H
FFFFFF646H	タイマ2タイム・ベース制御レジスタ0	TCRE0	R/W				0000H
FFFFFF646H	タイマ2タイム・ベース制御レジスタ0L	TCRE0L	R/W				00H
FFFFFF647H	タイマ2タイム・ベース制御レジスタ0H	TCRE0H	R/W				00H



アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF648H	タイマ2出力制御レジスタ0	OCTLE0	R/W				0000H
FFFFFF648H	タイマ2出力制御レジスタ0L	OCTLE0L	R/W				00H
FFFFFF649H	タイマ2出力制御レジスタ0H	OCTLE0H	R/W				00H
FFFFFF64AH	タイマ2サブチャネル0,5 キャプチャ/コンペア制御レジスタ	CMSE050	R/W				0000H
FFFFFF64CH	タイマ2サブチャネル1,2 キャプチャ/コンペア制御レジスタ	CMSE120	R/W				0000H
FFFFFF64EH	タイマ2サブチャネル3,4 キャプチャ/コンペア制御レジスタ	CMSE340	R/W				0000H
FFFFFF650H	タイマ2サブチャネル1副キャプチャ/コンペア・レジスタ	CVSE10	R/W				0000H
FFFFFF652H	タイマ2サブチャネル1主キャプチャ/コンペア・レジスタ	CVPE10	R				0000H
FFFFFF654H	タイマ2サブチャネル2副キャプチャ/コンペア・レジスタ	CVSE20	R/W				0000H
FFFFFF656H	タイマ2サブチャネル2主キャプチャ/コンペア・レジスタ	CVPE20	R				0000H
FFFFFF658H	タイマ2サブチャネル3 副キャプチャ/コンペア・レジスタ	CVSE30	R/W				0000H
FFFFFF65AH	タイマ2サブチャネル3 主キャプチャ/コンペア・レジスタ	CVPE30	R				0000H
FFFFFF65CH	タイマ2サブチャネル4 副キャプチャ/コンペア・レジスタ	CVSE40	R/W				0000H
FFFFFF65EH	タイマ2サブチャネル4 主キャプチャ/コンペア・レジスタ	CVPE40	R				0000H
FFFFFF660H	タイマ2サブチャネル0 キャプチャ/コンペア・レジスタ	CVSE00	R/W				0000H
FFFFFF662H	タイマ2サブチャネル5 キャプチャ/コンペア・レジスタ	CVSE50	R/W				0000H
FFFFFF664H	タイマ2タイム・ベース・ステータス・レジスタ0	TBSTATE0	R/W				0101H
FFFFFF664H	タイマ2タイム・ベース・ステータス・レジスタ0L	TBSTATE0L	R/W				01H
FFFFFF665H	タイマ2タイム・ベース・ステータス・レジスタ0H	TBSTATE0H	R/W				01H
FFFFFF666H	タイマ2キャプチャ/コンペア1-4ステータス・レジスタ0	CCSTATE0	R/W				0000H
FFFFFF666H	タイマ2キャプチャ/コンペア1-4ステータス・レジスタ0L	CCSTATE0L	R/W				00H
FFFFFF667H	タイマ2キャプチャ/コンペア1-4ステータス・レジスタ0H	CCSTATE0H	R/W				00H
FFFFFF668H	タイマ2出力遅延レジスタ0	ODELE0	R/W				0000H
FFFFFF668H	タイマ2出力遅延レジスタ0L	ODELE0L	R/W				00H
FFFFFF669H	タイマ2出力遅延レジスタ0H	ODELE0H	R/W				00H
FFFFFF66AH	タイマ2ソフトウェア・イベント・キャプチャ・レジスタ	CSCE0	R/W				0000H
FFFFFF680H	タイマ3	TM3	R				0000H
FFFFFF682H	キャプチャ/コンペア・レジスタ30	CC30	R/W				0000H
FFFFFF684H	キャプチャ/コンペア・レジスタ31	CC31	R/W				0000H
FFFFFF686H	タイマ・コントロール・レジスタ30	TMC30	R/W				00H
FFFFFF688H	タイマ・コントロール・レジスタ31	TMC31	R/W				20H
FFFFFF689H	有効エッジ選択レジスタ	SESC	R/W				00H
FFFFFF690H	タイマ3クロック選択レジスタ	PRM03	R/W				00H
FFFFFF698H	タイマ3ノイズ除去時間選択レジスタ	NRC3	R/W				00H
FFFFFF800H	ペリフェラル・コマンド・レジスタ	PHCMD	W				不定
FFFFFF802H	ペリフェラル・ステータス・レジスタ	PHS	R/W				00H
FFFFFF810H	DMAトリガ要因レジスタ0	DTFR0	R/W				00H
FFFFFF812H	DMAトリガ要因レジスタ1	DTFR1	R/W				00H
FFFFFF814H	DMAトリガ要因レジスタ2	DTFR2	R/W				00H
FFFFFF816H	DMAトリガ要因レジスタ3	DTFR3	R/W				00H
FFFFFF820H	パワー・セーブ・モード・レジスタ	PSMR	R/W				00H
FFFFFF822H	クロック・コントロール・レジスタ	CKC	R/W				00H
FFFFFF824H	ロック・レジスタ	LOCKR	R				0000000xB

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF880H	外部割り込みモード・レジスタ0	INTM0	R/W				00H
FFFFFF882H	外部割り込みモード・レジスタ1	INTM1	R/W				00H
FFFFFF884H	外部割り込みモード・レジスタ2	INTM2	R/W				00H
FFFFFF8D4H	フラッシュ・プログラミング・モード・コントロール・レジスタ	FLPMC	R/W				08H/0CH/00H <sup>注</sup>
FFFFFF900H	クロック同期式シリアル・インタフェース・モード・レジスタ0	CSIM0	R/W				00H
FFFFFF901H	クロック同期式シリアル・インタフェース・クロック選択レジスタ0	CSIC0	R/W				00H
FFFFFF902H	クロック同期式シリアル・インタフェース受信バッファ・レジスタ0	SIRB0	R				0000H
FFFFFF902H	クロック同期式シリアル・インタフェース受信バッファ・レジスタL0	SIRBL0	R				00H
FFFFFF904H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ0	SOTB0	R/W				0000H
FFFFFF904H	クロック同期式シリアル・インタフェース送信バッファ・レジスタL0	SOTBL0	R/W				00H
FFFFFF906H	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ0	SIRBE0	R				0000H
FFFFFF906H	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタL0	SIRBEL0	R				00H
FFFFFF908H	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ0	SOTBF0	R/W				0000H
FFFFFF908H	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタL0	SOTBFL0	R/W				00H
FFFFFF90AH	シリアルI/Oシフト・レジスタ0	SIO0	R				0000H
FFFFFF90AH	シリアルI/Oシフト・レジスタL0	SIOL0	R				00H
FFFFFF910H	クロック同期式シリアル・インタフェース・モード・レジスタ1	CSIM1	R/W				00H
FFFFFF911H	クロック同期式シリアル・インタフェース・クロック選択レジスタ1	CSIC1	R/W				00H
FFFFFF912H	クロック同期式シリアル・インタフェース受信バッファ・レジスタ1	SIRB1	R				0000H
FFFFFF912H	クロック同期式シリアル・インタフェース受信バッファ・レジスタL1	SIRBL1	R				00H
FFFFFF914H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ1	SOTB1	R/W				0000H
FFFFFF914H	クロック同期式シリアル・インタフェース送信バッファ・レジスタL1	SOTBL1	R/W				00H
FFFFFF916H	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ1	SIRBE1	R				0000H
FFFFFF916H	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタL1	SIRBEL1	R				00H
FFFFFF918H	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ1	SOTBF1	R/W				0000H
FFFFFF918H	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタL1	SOTBFL1	R/W				00H
FFFFFF91AH	シリアルI/Oシフト・レジスタ1	SIO1	R				0000H
FFFFFF91AH	シリアルI/Oシフト・レジスタL1	SIOL1	R				00H
FFFFFF920H	プリスケアラ・モード・レジスタ3	PRSM3	R/W				00H
FFFFFF922H	プリスケアラ・コンペア・レジスタ3	PRSCM3	R/W				00H
FFFFFF930H	FCANクロック選択レジスタ	PRM04	R/W				00H
FFFFFFA00H	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	ASIM0	R/W				01H
FFFFFFA02H	受信バッファ・レジスタ0	RXB0	R				FFH
FFFFFFA03H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	ASIS0	R				00H
FFFFFFA04H	送信バッファ・レジスタ0	TXB0	R/W				FFH
FFFFFFA05H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ0	ASIF0	R				00H
FFFFFFA06H	クロック選択レジスタ0	CKSR0	R/W				00H
FFFFFFA07H	ポー・レート・ジェネレータ・コントロール・レジスタ0	BRGC0	R/W				FFH
FFFFFFA20H	2フレーム連続受信用バッファ・レジスタ1	RXB1	R				不定
FFFFFFA22H	受信バッファ・レジスタL1	RXBL1	R				不定

注  $\mu$ PD703116 : 00H

$\mu$ PD70F3116 : 08Hまたは0CH (詳細は、16. 7. 12 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) を参照してください)

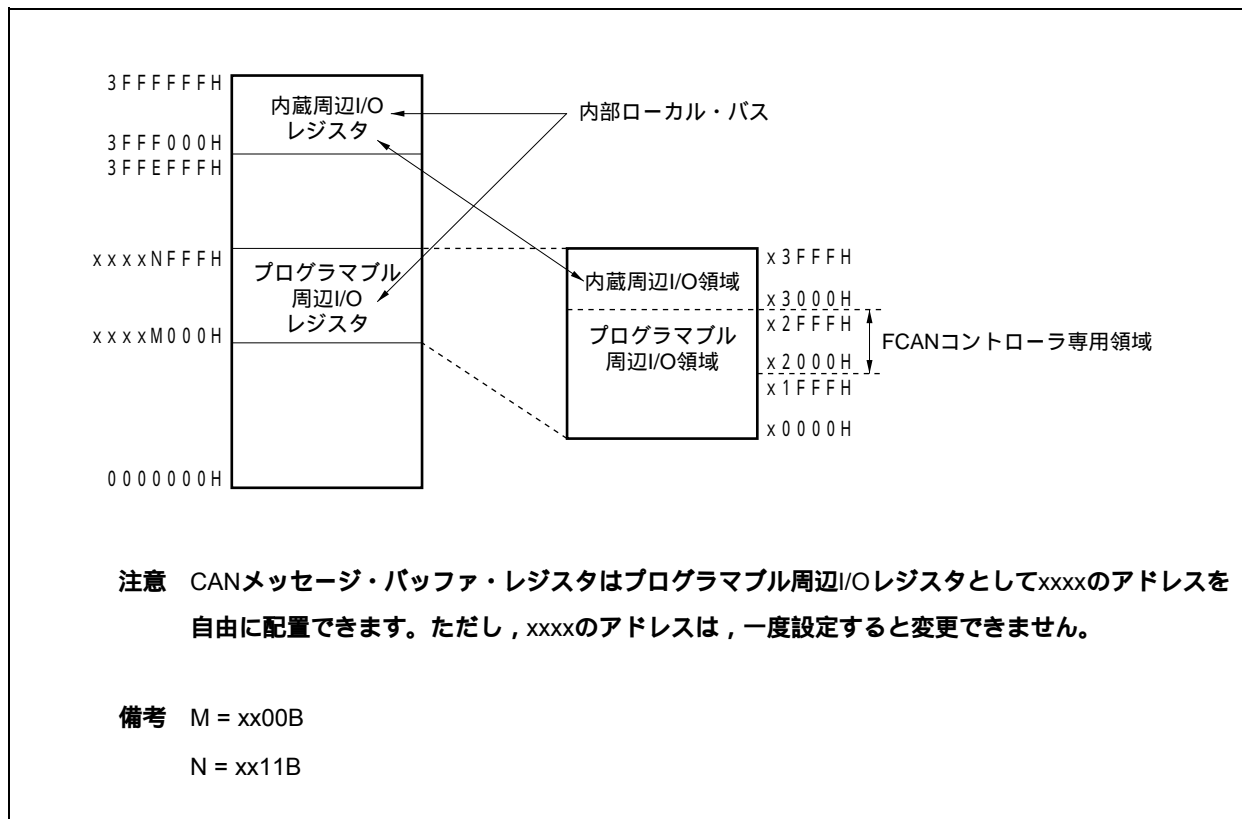
アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFFA24H	2フレーム連続送信用シフト・レジスタ1	TXS1	W				不定
FFFFFFA26H	送信シフト・レジスタL1	TXSL1	W				不定
FFFFFFA28H	アシンクロナス・シリアル・インタフェース・モード・レジスタ10	ASIM10	R/W				81H
FFFFFFA2AH	アシンクロナス・シリアル・インタフェース・モード・レジスタ11	ASIM11	R/W				00H
FFFFFFA2CH	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	ASIS1	R				00H
FFFFFFA2EH	プリスケアラ・モード・レジスタ1	PRSM1	R/W				00H
FFFFFFA30H	プリスケアラ・コンペア・レジスタ1	PRSCM1	R/W				00H
FFFFFFA40H	2フレーム連続受信用バッファ・レジスタ2	RXB2	R				不定
FFFFFFA42H	受信バッファ・レジスタL2	RXBL2	R				不定
FFFFFFA44H	2フレーム連続送信用シフト・レジスタ2	TXS2	W				不定
FFFFFFA46H	送信シフト・レジスタL2	TXSL2	W				不定
FFFFFFA48H	アシンクロナス・シリアル・インタフェース・モード・レジスタ20	ASIM20	R/W				81H
FFFFFFA4AH	アシンクロナス・シリアル・インタフェース・モード・レジスタ21	ASIM21	R/W				00H
FFFFFFA4CH	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2	ASIS2	R				00H
FFFFFFA4EH	プリスケアラ・モード・レジスタ2	PRSM2	R/W				00H
FFFFFFA50H	プリスケアラ・コンペア・レジスタ2	PRSCM2	R/W				00H
FFFFFFA60H	RAMアクセス用データ・バッファ・レジスタL	NBDL	R/W				0000H
FFFFFFA60H	RAMアクセス用データ・バッファ・レジスタLL	NBDLL	R/W				00H
FFFFFFA61H	RAMアクセス用データ・バッファ・レジスタLU	NBDLU	R/W				00H
FFFFFFA62H	RAMアクセス用データ・バッファ・レジスタH	NBDH	R/W				0000H
FFFFFFA62H	RAMアクセス用データ・バッファ・レジスタHL	NBDHL	R/W				00H
FFFFFFA63H	RAMアクセス用データ・バッファ・レジスタHU	NBDHU	R/W				00H
FFFFFFA64H	DMAソース・アドレス設定レジスタSL	NBDMSL	R				不定
FFFFFFA66H	DMAソース・アドレス設定レジスタSH	NBDMSH	R				不定
FFFFFFA68H	DMAデスティネーション・アドレス設定レジスタDL	NBDMDL	R				不定
FFFFFFA6AH	DMAデスティネーション・アドレス設定レジスタDH	NBDMDH	R				不定

### 3.4.9 プログラマブル周辺I/Oレジスタ

V850E/IA1は、プログラマブル周辺I/O領域として、x0000H～x3FFFFHの16 Kバイトの領域があります。x2000H～x2FFFFHの領域をFCANコントローラの専用のプログラマブル周辺I/O領域として使用しています。

V850E/IA1の内部バスは、内蔵周辺I/Oレジスタ領域(FFFF000H～FFFFFFFH)またはプログラマブル周辺I/Oレジスタ領域( xxxxm000H～ xxxxnFFFH )にアクセスを行うとアクティブになります( m = xx00B, n = xx11B )。ただし、プログラマブル周辺I/Oレジスタ領域の最後の4 Kバイトには内蔵周辺I/O領域が割り付けられています。この領域に書き込むと、書き込まれた内容が内蔵周辺I/O領域にも反映されます。したがって、この領域はアクセス禁止です。内蔵周辺I/O領域をアクセスするときには、必ずFFFF000H-FFFFFFFH番地を指定してください。

図3 - 7 プログラマブル周辺I/Oレジスタ (概要)



プログラマブル周辺I/Oレジスタ領域の選択には周辺エリア選択コントロール・レジスタ (BPC) を使用します。

**注意** インサーキット・エミュレータ (IE-V850E-MC, IE-703116-MC-EM1) を用いて、FCANコントローラのエミュレーションを行う場合は、デバッガ起動時のコンフィグレーション画面において、次の処置をしてください。

- ・「Programable I/O Area」にBPCレジスタで設定を行ったプログラマブル周辺I/O領域の先頭アドレスを設定してください。
- ・「Memory Mapping」にプログラマブル周辺I/O領域を「Target」もしくは「Emulation RAM」としてマッピングしてください。

(1) 周辺エリア選択コントロール・レジスタ (BPC)

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
BPC	PA15	0	PA13	PA12	PA11	PA10	PA09	PA08	PA07	PA06	PA05	PA04	PA03	PA02	PA01	PA00	FFFFFF064H	0000H

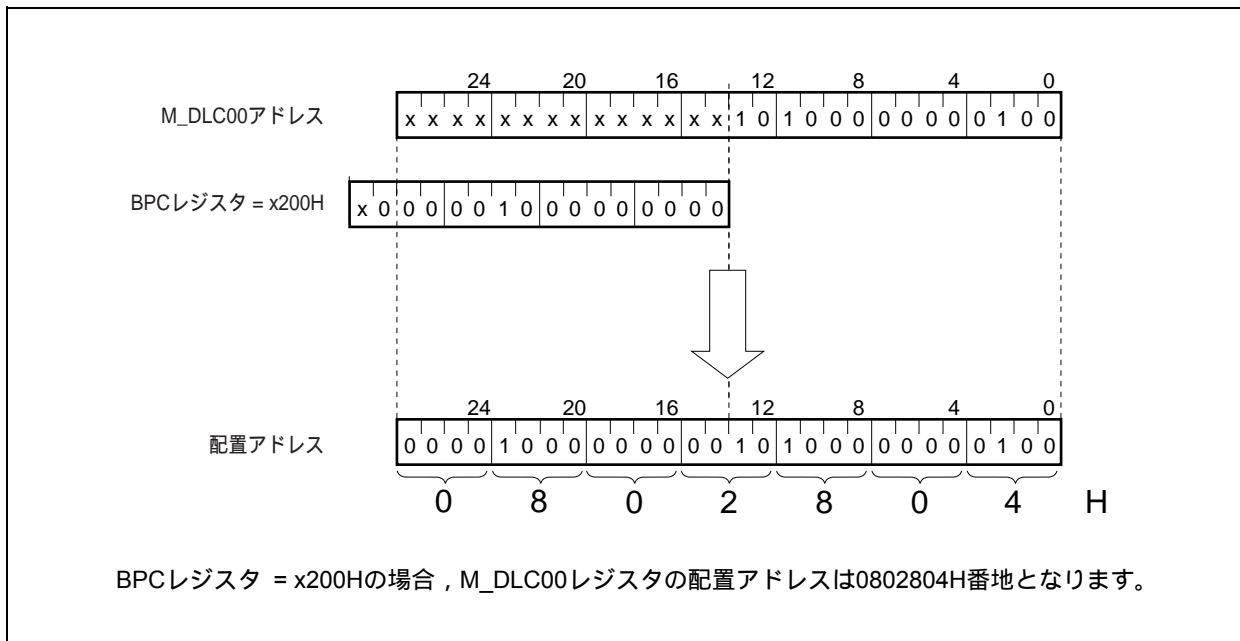
  

ビット位置	ビット名	意味						
15	PA15	プログラマブル周辺I/Oエリアの使用許可/不許可を設定します。 <table border="1" style="margin: 5px auto; border-collapse: collapse; text-align: left;"> <tr> <td>PA15</td> <td>プログラマブル周辺I/O領域の使用許可/不許可</td> </tr> <tr> <td>0</td> <td>プログラマブル周辺I/O領域の使用を不許可</td> </tr> <tr> <td>1</td> <td>プログラマブル周辺I/O領域の使用を許可</td> </tr> </table>	PA15	プログラマブル周辺I/O領域の使用許可/不許可	0	プログラマブル周辺I/O領域の使用を不許可	1	プログラマブル周辺I/O領域の使用を許可
PA15	プログラマブル周辺I/O領域の使用許可/不許可							
0	プログラマブル周辺I/O領域の使用を不許可							
1	プログラマブル周辺I/O領域の使用を許可							
13-0	PA13-PA00	プログラマブル周辺I/Oエリアのアドレスを設定します (A27-A14に対応)。						

次にプログラマブル周辺I/Oレジスタの配置アドレス設定例を示します。

★

図3-8 プログラマブル周辺I/Oレジスタの配置アドレス設定例



次にプログラマブル周辺I/Oレジスタ領域の一覧を示します。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
xxxxn804H	CANメッセージ・データ長レジスタ00	M_DLC00	R/W				不定
xxxxn805H	CANメッセージ・コントロール・レジスタ00	M_CTRL00	R/W				不定
xxxxn806H	CANメッセージ・タイム・スタンプ・レジスタ00	M_TIME00	R/W				不定
xxxxn808H	CANメッセージ・データ・レジスタ000	M_DATA000	R/W				不定
xxxxn809H	CANメッセージ・データ・レジスタ001	M_DATA001	R/W				不定
xxxxn80AH	CANメッセージ・データ・レジスタ002	M_DATA002	R/W				不定
xxxxn80BH	CANメッセージ・データ・レジスタ003	M_DATA003	R/W				不定
xxxxn80CH	CANメッセージ・データ・レジスタ004	M_DATA004	R/W				不定
xxxxn80DH	CANメッセージ・データ・レジスタ005	M_DATA005	R/W				不定
xxxxn80EH	CANメッセージ・データ・レジスタ006	M_DATA006	R/W				不定
xxxxn80FH	CANメッセージ・データ・レジスタ007	M_DATA007	R/W				不定
xxxxn810H	CANメッセージIDレジスタL00	M_IDL00	R/W				不定
xxxxn812H	CANメッセージIDレジスタH00	M_IDH00	R/W				不定
xxxxn814H	CANメッセージ構成レジスタ00	M_CONF00	R/W				不定
xxxxn815H	CANメッセージ・ステータス・レジスタ00	M_STAT00	R				不定
xxxxn816H	CANステータス・セット/クリア・レジスタ00	SC_STAT00	W				0000H
xxxxn824H	CANメッセージ・データ長レジスタ01	M_DLC01	R/W				不定
xxxxn825H	CANメッセージ・コントロール・レジスタ01	M_CTRL01	R/W				不定
xxxxn826H	CANメッセージ・タイム・スタンプ・レジスタ01	M_TIME01	R/W				不定
xxxxn828H	CANメッセージ・データ・レジスタ010	M_DATA010	R/W				不定
xxxxn829H	CANメッセージ・データ・レジスタ011	M_DATA011	R/W				不定
xxxxn82AH	CANメッセージ・データ・レジスタ012	M_DATA012	R/W				不定
xxxxn82BH	CANメッセージ・データ・レジスタ013	M_DATA013	R/W				不定
xxxxn82CH	CANメッセージ・データ・レジスタ014	M_DATA014	R/W				不定
xxxxn82DH	CANメッセージ・データ・レジスタ015	M_DATA015	R/W				不定
xxxxn82EH	CANメッセージ・データ・レジスタ016	M_DATA016	R/W				不定
xxxxn82FH	CANメッセージ・データ・レジスタ017	M_DATA017	R/W				不定
xxxxn830H	CANメッセージIDレジスタL01	M_IDL01	R/W				不定
xxxxn832H	CANメッセージIDレジスタH01	M_IDH01	R/W				不定
xxxxn834H	CANメッセージ構成レジスタ01	M_CONF01	R/W				不定
xxxxn835H	CANメッセージ・ステータス・レジスタ01	M_STAT01	R				不定
xxxxn836H	CANステータス・セット/クリア・レジスタ01	SC_STAT01	W				0000H
xxxxn844H	CANメッセージ・データ長レジスタ02	M_DLC02	R/W				不定
xxxxn845H	CANメッセージ・コントロール・レジスタ02	M_CTRL02	R/W				不定
xxxxn846H	CANメッセージ・タイム・スタンプ・レジスタ02	M_TIME02	R/W				不定
xxxxn848H	CANメッセージ・データ・レジスタ020	M_DATA020	R/W				不定
xxxxn849H	CANメッセージ・データ・レジスタ021	M_DATA021	R/W				不定
xxxxn84AH	CANメッセージ・データ・レジスタ022	M_DATA022	R/W				不定
xxxxn84BH	CANメッセージ・データ・レジスタ023	M_DATA023	R/W				不定
xxxxn84CH	CANメッセージ・データ・レジスタ024	M_DATA024	R/W				不定
xxxxn84DH	CANメッセージ・データ・レジスタ025	M_DATA025	R/W				不定
xxxxn84EH	CANメッセージ・データ・レジスタ026	M_DATA026	R/W				不定

備考 n = 2 / 6 / A / E

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
xxxxn84FH	CANメッセージ・データ・レジスタ027	M_DATA027	R/W				不定
xxxxn850H	CANメッセージIDレジスタL02	M_IDL02	R/W				不定
xxxxn852H	CANメッセージIDレジスタH02	M_IDH02	R/W				不定
xxxxn854H	CANメッセージ構成レジスタ02	M_CONF02	R/W				不定
xxxxn855H	CANメッセージ・ステータス・レジスタ02	M_STAT02	R				不定
xxxxn856H	CANステータス・セット/クリア・レジスタ02	SC_STAT02	W				0000H
xxxxn864H	CANメッセージ・データ長レジスタ03	M_DLC03	R/W				不定
xxxxn865H	CANメッセージ・コントロール・レジスタ03	M_CTRL03	R/W				不定
xxxxn866H	CANメッセージ・タイム・スタンプ・レジスタ03	M_TIME03	R/W				不定
xxxxn868H	CANメッセージ・データ・レジスタ030	M_DATA030	R/W				不定
xxxxn869H	CANメッセージ・データ・レジスタ031	M_DATA031	R/W				不定
xxxxn86AH	CANメッセージ・データ・レジスタ032	M_DATA032	R/W				不定
xxxxn86BH	CANメッセージ・データ・レジスタ033	M_DATA033	R/W				不定
xxxxn86CH	CANメッセージ・データ・レジスタ034	M_DATA034	R/W				不定
xxxxn86DH	CANメッセージ・データ・レジスタ035	M_DATA035	R/W				不定
xxxxn86EH	CANメッセージ・データ・レジスタ036	M_DATA036	R/W				不定
xxxxn86FH	CANメッセージ・データ・レジスタ037	M_DATA037	R/W				不定
xxxxn870H	CANメッセージIDレジスタL03	M_IDL03	R/W				不定
xxxxn872H	CANメッセージIDレジスタH03	M_IDH03	R/W				不定
xxxxn874H	CANメッセージ構成レジスタ03	M_CONF03	R/W				不定
xxxxn875H	CANメッセージ・ステータス・レジスタ03	M_STAT03	R				不定
xxxxn876H	CANステータス・セット/クリア・レジスタ03	SC_STAT03	W				0000H
xxxxn884H	CANメッセージ・データ長レジスタ04	M_DLC04	R/W				不定
xxxxn885H	CANメッセージ・コントロール・レジスタ04	M_CTRL04	R/W				不定
xxxxn886H	CANメッセージ・タイム・スタンプ・レジスタ04	M_TIME04	R/W				不定
xxxxn888H	CANメッセージ・データ・レジスタ040	M_DATA040	R/W				不定
xxxxn889H	CANメッセージ・データ・レジスタ041	M_DATA041	R/W				不定
xxxxn88AH	CANメッセージ・データ・レジスタ042	M_DATA042	R/W				不定
xxxxn88BH	CANメッセージ・データ・レジスタ043	M_DATA043	R/W				不定
xxxxn88CH	CANメッセージ・データ・レジスタ044	M_DATA044	R/W				不定
xxxxn88DH	CANメッセージ・データ・レジスタ045	M_DATA045	R/W				不定
xxxxn88EH	CANメッセージ・データ・レジスタ046	M_DATA046	R/W				不定
xxxxn88FH	CANメッセージ・データ・レジスタ047	M_DATA047	R/W				不定
xxxxn890H	CANメッセージIDレジスタL04	M_IDL04	R/W				不定
xxxxn892H	CANメッセージIDレジスタH04	M_IDH04	R/W				不定
xxxxn894H	CANメッセージ構成レジスタ04	M_CONF04	R/W				不定
xxxxn895H	CANメッセージ・ステータス・レジスタ04	M_STAT04	R				不定
xxxxn896H	CANステータス・セット/クリア・レジスタ04	SC_STAT04	W				0000H
xxxxn8A4H	CANメッセージ・データ長レジスタ05	M_DLC05	R/W				不定
xxxxn8A5H	CANメッセージ・コントロール・レジスタ05	M_CTRL05	R/W				不定
xxxxn8A6H	CANメッセージ・タイム・スタンプ・レジスタ05	M_TIME05	R/W				不定
xxxxn8A8H	CANメッセージ・データ・レジスタ050	M_DATA050	R/W				不定

備考 n = 2 / 6 / A / E

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
xxxxn8A9H	CANメッセージ・データ・レジスタ051	M_DATA051	R/W				不定
xxxxn8AAH	CANメッセージ・データ・レジスタ052	M_DATA052	R/W				不定
xxxxn8ABH	CANメッセージ・データ・レジスタ053	M_DATA053	R/W				不定
xxxxn8ACH	CANメッセージ・データ・レジスタ054	M_DATA054	R/W				不定
xxxxn8ADH	CANメッセージ・データ・レジスタ055	M_DATA055	R/W				不定
xxxxn8AEH	CANメッセージ・データ・レジスタ056	M_DATA056	R/W				不定
xxxxn8AFH	CANメッセージ・データ・レジスタ057	M_DATA057	R/W				不定
xxxxn8B0H	CANメッセージIDレジスタL05	M_IDL05	R/W				不定
xxxxn8B2H	CANメッセージIDレジスタH05	M_IDH05	R/W				不定
xxxxn8B4H	CANメッセージ構成レジスタ05	M_CONF05	R/W				不定
xxxxn8B5H	CANメッセージ・ステータス・レジスタ05	M_STAT05	R				不定
xxxxn8B6H	CANステータス・セット/クリア・レジスタ05	SC_STAT05	W				0000H
xxxxn8C4H	CANメッセージ・データ長レジスタ06	M_DLC06	R/W				不定
xxxxn8C5H	CANメッセージ・コントロール・レジスタ06	M_CTRL06	R/W				不定
xxxxn8C6H	CANメッセージ・タイム・スタンプ・レジスタ06	M_TIME06	R/W				不定
xxxxn8C8H	CANメッセージ・データ・レジスタ060	M_DATA060	R/W				不定
xxxxn8C9H	CANメッセージ・データ・レジスタ061	M_DATA061	R/W				不定
xxxxn8CAH	CANメッセージ・データ・レジスタ062	M_DATA062	R/W				不定
xxxxn8CBH	CANメッセージ・データ・レジスタ063	M_DATA063	R/W				不定
xxxxn8CCH	CANメッセージ・データ・レジスタ064	M_DATA064	R/W				不定
xxxxn8CDH	CANメッセージ・データ・レジスタ065	M_DATA065	R/W				不定
xxxxn8CEH	CANメッセージ・データ・レジスタ066	M_DATA066	R/W				不定
xxxxn8CFH	CANメッセージ・データ・レジスタ067	M_DATA067	R/W				不定
xxxxn8D0H	CANメッセージIDレジスタL06	M_IDL06	R/W				不定
xxxxn8D2H	CANメッセージIDレジスタH06	M_IDH06	R/W				不定
xxxxn8D4H	CANメッセージ構成レジスタ06	M_CONF06	R/W				不定
xxxxn8D5H	CANメッセージ・ステータス・レジスタ06	M_STAT06	R				不定
xxxxn8D6H	CANステータス・セット/クリア・レジスタ06	SC_STAT06	W				0000H
xxxxn8E4H	CANメッセージ・データ長レジスタ07	M_DLC07	R/W				不定
xxxxn8E5H	CANメッセージ・コントロール・レジスタ07	M_CTRL07	R/W				不定
xxxxn8E6H	CANメッセージ・タイム・スタンプ・レジスタ07	M_TIME07	R/W				不定
xxxxn8E8H	CANメッセージ・データ・レジスタ070	M_DATA070	R/W				不定
xxxxn8E9H	CANメッセージ・データ・レジスタ071	M_DATA071	R/W				不定
xxxxn8EAH	CANメッセージ・データ・レジスタ072	M_DATA072	R/W				不定
xxxxn8EBH	CANメッセージ・データ・レジスタ073	M_DATA073	R/W				不定
xxxxn8ECH	CANメッセージ・データ・レジスタ074	M_DATA074	R/W				不定
xxxxn8EDH	CANメッセージ・データ・レジスタ075	M_DATA075	R/W				不定
xxxxn8EEH	CANメッセージ・データ・レジスタ076	M_DATA076	R/W				不定
xxxxn8EFH	CANメッセージ・データ・レジスタ077	M_DATA077	R/W				不定
xxxxn8F0H	CANメッセージIDレジスタL07	M_IDL07	R/W				不定
xxxxn8F2H	CANメッセージIDレジスタH07	M_IDH07	R/W				不定
xxxxn8F4H	CANメッセージ構成レジスタ07	M_CONF07	R/W				不定

備考 n = 2 / 6 / A / E



アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
xxxxn8F5H	CANメッセージ・ステータス・レジスタ07	M_STAT07	R				不定
xxxxn8F6H	CANステータス・セット/クリア・レジスタ07	SC_STAT07	W				0000H
xxxxn904H	CANメッセージ・データ長レジスタ08	M_DLC08	R/W				不定
xxxxn905H	CANメッセージ・コントロール・レジスタ08	M_CTRL08	R/W				不定
xxxxn906H	CANメッセージ・タイム・スタンプ・レジスタ08	M_TIME08	R/W				不定
xxxxn908H	CANメッセージ・データ・レジスタ080	M_DATA080	R/W				不定
xxxxn909H	CANメッセージ・データ・レジスタ081	M_DATA081	R/W				不定
xxxxn90AH	CANメッセージ・データ・レジスタ082	M_DATA082	R/W				不定
xxxxn90BH	CANメッセージ・データ・レジスタ083	M_DATA083	R/W				不定
xxxxn90CH	CANメッセージ・データ・レジスタ084	M_DATA084	R/W				不定
xxxxn90DH	CANメッセージ・データ・レジスタ085	M_DATA085	R/W				不定
xxxxn90EH	CANメッセージ・データ・レジスタ086	M_DATA086	R/W				不定
xxxxn90FH	CANメッセージ・データ・レジスタ087	M_DATA087	R/W				不定
xxxxn910H	CANメッセージIDレジスタL08	M_IDL08	R/W				不定
xxxxn912H	CANメッセージIDレジスタH08	M_IDH08	R/W				不定
xxxxn914H	CANメッセージ構成レジスタ08	M_CONF08	R/W				不定
xxxxn915H	CANメッセージ・ステータス・レジスタ08	M_STAT08	R				不定
xxxxn916H	CANステータス・セット/クリア・レジスタ08	SC_STAT08	W				0000H
xxxxn924H	CANメッセージ・データ長レジスタ09	M_DLC09	R/W				不定
xxxxn925H	CANメッセージ・コントロール・レジスタ09	M_CTRL09	R/W				不定
xxxxn926H	CANメッセージ・タイム・スタンプ・レジスタ09	M_TIME09	R/W				不定
xxxxn928H	CANメッセージ・データ・レジスタ090	M_DATA090	R/W				不定
xxxxn929H	CANメッセージ・データ・レジスタ091	M_DATA091	R/W				不定
xxxxn92AH	CANメッセージ・データ・レジスタ092	M_DATA092	R/W				不定
xxxxn92BH	CANメッセージ・データ・レジスタ093	M_DATA093	R/W				不定
xxxxn92CH	CANメッセージ・データ・レジスタ094	M_DATA094	R/W				不定
xxxxn92DH	CANメッセージ・データ・レジスタ095	M_DATA095	R/W				不定
xxxxn92EH	CANメッセージ・データ・レジスタ096	M_DATA096	R/W				不定
xxxxn92FH	CANメッセージ・データ・レジスタ097	M_DATA097	R/W				不定
xxxxn930H	CANメッセージIDレジスタL09	M_IDL09	R/W				不定
xxxxn932H	CANメッセージIDレジスタH09	M_IDH09	R/W				不定
xxxxn934H	CANメッセージ構成レジスタ09	M_CONF09	R/W				不定
xxxxn935H	CANメッセージ・ステータス・レジスタ09	M_STAT09	R				不定
xxxxn936H	CANステータス・セット/クリア・レジスタ09	SC_STAT09	W				0000H
xxxxn944H	CANメッセージ・データ長レジスタ10	M_DLC10	R/W				不定
xxxxn945H	CANメッセージ・コントロール・レジスタ10	M_CTRL10	R/W				不定
xxxxn946H	CANメッセージ・タイム・スタンプ・レジスタ10	M_TIME10	R/W				不定
xxxxn948H	CANメッセージ・データ・レジスタ100	M_DATA100	R/W				不定
xxxxn949H	CANメッセージ・データ・レジスタ101	M_DATA101	R/W				不定
xxxxn94AH	CANメッセージ・データ・レジスタ102	M_DATA102	R/W				不定
xxxxn94BH	CANメッセージ・データ・レジスタ103	M_DATA103	R/W				不定
xxxxn94CH	CANメッセージ・データ・レジスタ104	M_DATA104	R/W				不定

備考 n = 2 / 6 / A / E

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
xxxxn94DH	CANメッセージ・データ・レジスタ105	M_DATA105	R/W				不定
xxxxn94EH	CANメッセージ・データ・レジスタ106	M_DATA106	R/W				不定
xxxxn94FH	CANメッセージ・データ・レジスタ107	M_DATA107	R/W				不定
xxxxn950H	CANメッセージIDレジスタL10	M_IDL10	R/W				不定
xxxxn952H	CANメッセージIDレジスタH10	M_IDH10	R/W				不定
xxxxn954H	CANメッセージ構成レジスタ10	M_CONF10	R/W				不定
xxxxn955H	CANメッセージ・ステータス・レジスタ10	M_STAT10	R				不定
xxxxn956H	CANステータス・セット/クリア・レジスタ10	SC_STAT10	W				0000H
xxxxn964H	CANメッセージ・データ長レジスタ11	M_DLC11	R/W				不定
xxxxn965H	CANメッセージ・コントロール・レジスタ11	M_CTRL11	R/W				不定
xxxxn966H	CANメッセージ・タイム・スタンプ・レジスタ11	M_TIME11	R/W				不定
xxxxn968H	CANメッセージ・データ・レジスタ110	M_DATA110	R/W				不定
xxxxn969H	CANメッセージ・データ・レジスタ111	M_DATA111	R/W				不定
xxxxn96AH	CANメッセージ・データ・レジスタ112	M_DATA112	R/W				不定
xxxxn96BH	CANメッセージ・データ・レジスタ113	M_DATA113	R/W				不定
xxxxn96CH	CANメッセージ・データ・レジスタ114	M_DATA114	R/W				不定
xxxxn96DH	CANメッセージ・データ・レジスタ115	M_DATA115	R/W				不定
xxxxn96EH	CANメッセージ・データ・レジスタ116	M_DATA116	R/W				不定
xxxxn96FH	CANメッセージ・データ・レジスタ117	M_DATA117	R/W				不定
xxxxn970H	CANメッセージIDレジスタL11	M_IDL11	R/W				不定
xxxxn972H	CANメッセージIDレジスタH11	M_IDH11	R/W				不定
xxxxn974H	CANメッセージ構成レジスタ11	M_CONF11	R/W				不定
xxxxn975H	CANメッセージ・ステータス・レジスタ11	M_STAT11	R				不定
xxxxn976H	CANステータス・セット/クリア・レジスタ11	SC_STAT11	W				0000H
xxxxn984H	CANメッセージ・データ長レジスタ12	M_DLC12	R/W				不定
xxxxn985H	CANメッセージ・コントロール・レジスタ12	M_CTRL12	R/W				不定
xxxxn986H	CANメッセージ・タイム・スタンプ・レジスタ12	M_TIME12	R/W				不定
xxxxn988H	CANメッセージ・データ・レジスタ120	M_DATA120	R/W				不定
xxxxn989H	CANメッセージ・データ・レジスタ121	M_DATA121	R/W				不定
xxxxn98AH	CANメッセージ・データ・レジスタ122	M_DATA122	R/W				不定
xxxxn98BH	CANメッセージ・データ・レジスタ123	M_DATA123	R/W				不定
xxxxn98CH	CANメッセージ・データ・レジスタ124	M_DATA124	R/W				不定
xxxxn98DH	CANメッセージ・データ・レジスタ125	M_DATA125	R/W				不定
xxxxn98EH	CANメッセージ・データ・レジスタ126	M_DATA126	R/W				不定
xxxxn98FH	CANメッセージ・データ・レジスタ127	M_DATA127	R/W				不定
xxxxn990H	CANメッセージIDレジスタL12	M_IDL12	R/W				不定
xxxxn992H	CANメッセージIDレジスタH12	M_IDH12	R/W				不定
xxxxn994H	CANメッセージ構成レジスタ12	M_CONF12	R/W				不定
xxxxn995H	CANメッセージ・ステータス・レジスタ12	M_STAT12	R				不定
xxxxn996H	CANステータス・セット/クリア・レジスタ12	SC_STAT12	W				0000H
xxxxn9A4H	CANメッセージ・データ長レジスタ13	M_DLC13	R/W				不定
xxxxn9A5H	CANメッセージ・コントロール・レジスタ13	M_CTRL13	R/W				不定

備考 n = 2 / 6 / A / E

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
xxxxn9A6H	CANメッセージ・タイム・スタンプ・レジスタ13	M_TIME13	R/W				不定
xxxxn9A8H	CANメッセージ・データ・レジスタ130	M_DATA130	R/W				不定
xxxxn9A9H	CANメッセージ・データ・レジスタ131	M_DATA131	R/W				不定
xxxxn9AAH	CANメッセージ・データ・レジスタ132	M_DATA132	R/W				不定
xxxxn9ABH	CANメッセージ・データ・レジスタ133	M_DATA133	R/W				不定
xxxxn9ACH	CANメッセージ・データ・レジスタ134	M_DATA134	R/W				不定
xxxxn9ADH	CANメッセージ・データ・レジスタ135	M_DATA135	R/W				不定
xxxxn9AEH	CANメッセージ・データ・レジスタ136	M_DATA136	R/W				不定
xxxxn9AFH	CANメッセージ・データ・レジスタ137	M_DATA137	R/W				不定
xxxxn9B0H	CANメッセージIDレジスタL13	M_IDL13	R/W				不定
xxxxn9B2H	CANメッセージIDレジスタH13	M_IDH13	R/W				不定
xxxxn9B4H	CANメッセージ構成レジスタ13	M_CONF13	R/W				不定
xxxxn9B5H	CANメッセージ・ステータス・レジスタ13	M_STAT13	R				不定
xxxxn9B6H	CANステータス・セット/クリア・レジスタ13	SC_STAT13	W				0000H
xxxxn9C4H	CANメッセージ・データ長レジスタ14	M_DLC14	R/W				不定
xxxxn9C5H	CANメッセージ・コントロール・レジスタ14	M_CTRL14	R/W				不定
xxxxn9C6H	CANメッセージ・タイム・スタンプ・レジスタ14	M_TIME14	R/W				不定
xxxxn9C8H	CANメッセージ・データ・レジスタ140	M_DATA140	R/W				不定
xxxxn9C9H	CANメッセージ・データ・レジスタ141	M_DATA141	R/W				不定
xxxxn9CAH	CANメッセージ・データ・レジスタ142	M_DATA142	R/W				不定
xxxxn9CBH	CANメッセージ・データ・レジスタ143	M_DATA143	R/W				不定
xxxxn9CCH	CANメッセージ・データ・レジスタ144	M_DATA144	R/W				不定
xxxxn9CDH	CANメッセージ・データ・レジスタ145	M_DATA145	R/W				不定
xxxxn9CEH	CANメッセージ・データ・レジスタ146	M_DATA146	R/W				不定
xxxxn9CFH	CANメッセージ・データ・レジスタ147	M_DATA147	R/W				不定
xxxxn9D0H	CANメッセージIDレジスタL14	M_IDL14	R/W				不定
xxxxn9D2H	CANメッセージIDレジスタH14	M_IDH14	R/W				不定
xxxxn9D4H	CANメッセージ構成レジスタ14	M_CONF14	R/W				不定
xxxxn9D5H	CANメッセージ・ステータス・レジスタ14	M_STAT14	R				不定
xxxxn9D6H	CANステータス・セット/クリア・レジスタ14	SC_STAT14	W				0000H
xxxxn9E4H	CANメッセージ・データ長レジスタ15	M_DLC15	R/W				不定
xxxxn9E5H	CANメッセージ・コントロール・レジスタ15	M_CTRL15	R/W				不定
xxxxn9E6H	CANメッセージ・タイム・スタンプ・レジスタ15	M_TIME15	R/W				不定
xxxxn9E8H	CANメッセージ・データ・レジスタ150	M_DATA150	R/W				不定
xxxxn9E9H	CANメッセージ・データ・レジスタ151	M_DATA151	R/W				不定
xxxxn9EAH	CANメッセージ・データ・レジスタ152	M_DATA152	R/W				不定
xxxxn9EBH	CANメッセージ・データ・レジスタ153	M_DATA153	R/W				不定
xxxxn9ECH	CANメッセージ・データ・レジスタ154	M_DATA154	R/W				不定
xxxxn9EDH	CANメッセージ・データ・レジスタ155	M_DATA155	R/W				不定
xxxxn9EEH	CANメッセージ・データ・レジスタ156	M_DATA156	R/W				不定
xxxxn9EFH	CANメッセージ・データ・レジスタ157	M_DATA157	R/W				不定
xxxxn9F0H	CANメッセージIDレジスタL15	M_IDL15	R/W				不定

備考 n = 2 / 6 / A / E

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
xxxxn9F2H	CANメッセージIDレジスタH15	M_IDH15	R/W				不定
xxxxn9F4H	CANメッセージ構成レジスタ15	M_CONF15	R/W				不定
xxxxn9F5H	CANメッセージ・ステータス・レジスタ15	M_STAT15	R				不定
xxxxn9F6H	CANステータス・セット/クリア・レジスタ15	SC_STAT15	W				0000H
xxxxnA04H	CANメッセージ・データ長レジスタ16	M_DLC16	R/W				不定
xxxxnA05H	CANメッセージ・コントロール・レジスタ16	M_CTRL16	R/W				不定
xxxxnA06H	CANメッセージ・タイム・スタンプ・レジスタ16	M_TIME16	R/W				不定
xxxxnA08H	CANメッセージ・データ・レジスタ160	M_DATA160	R/W				不定
xxxxnA09H	CANメッセージ・データ・レジスタ161	M_DATA161	R/W				不定
xxxxnA0AH	CANメッセージ・データ・レジスタ162	M_DATA162	R/W				不定
xxxxnA0BH	CANメッセージ・データ・レジスタ163	M_DATA163	R/W				不定
xxxxnA0CH	CANメッセージ・データ・レジスタ164	M_DATA164	R/W				不定
xxxxnA0DH	CANメッセージ・データ・レジスタ165	M_DATA165	R/W				不定
xxxxnA0EH	CANメッセージ・データ・レジスタ166	M_DATA166	R/W				不定
xxxxnA0FH	CANメッセージ・データ・レジスタ167	M_DATA167	R/W				不定
xxxxnA10H	CANメッセージIDレジスタL16	M_IDL16	R/W				不定
xxxxnA12H	CANメッセージIDレジスタH16	M_IDH16	R/W				不定
xxxxnA14H	CANメッセージ構成レジスタ16	M_CONF16	R/W				不定
xxxxnA15H	CANメッセージ・ステータス・レジスタ16	M_STAT16	R				不定
xxxxnA16H	CANステータス・セット/クリア・レジスタ16	SC_STAT16	W				0000H
xxxxnA24H	CANメッセージ・データ長レジスタ17	M_DLC17	R/W				不定
xxxxnA25H	CANメッセージ・コントロール・レジスタ17	M_CTRL17	R/W				不定
xxxxnA26H	CANメッセージ・タイム・スタンプ・レジスタ17	M_TIME17	R/W				不定
xxxxnA28H	CANメッセージ・データ・レジスタ170	M_DATA170	R/W				不定
xxxxnA29H	CANメッセージ・データ・レジスタ171	M_DATA171	R/W				不定
xxxxnA2AH	CANメッセージ・データ・レジスタ172	M_DATA172	R/W				不定
xxxxnA2BH	CANメッセージ・データ・レジスタ173	M_DATA173	R/W				不定
xxxxnA2CH	CANメッセージ・データ・レジスタ174	M_DATA174	R/W				不定
xxxxnA2DH	CANメッセージ・データ・レジスタ175	M_DATA175	R/W				不定
xxxxnA2EH	CANメッセージ・データ・レジスタ176	M_DATA176	R/W				不定
xxxxnA2FH	CANメッセージ・データ・レジスタ177	M_DATA177	R/W				不定
xxxxnA30H	CANメッセージIDレジスタL17	M_IDL17	R/W				不定
xxxxnA32H	CANメッセージIDレジスタH17	M_IDH17	R/W				不定
xxxxnA34H	CANメッセージ構成レジスタ17	M_CONF17	R/W				不定
xxxxnA35H	CANメッセージ・ステータス・レジスタ17	M_STAT17	R				不定
xxxxnA36H	CANステータス・セット/クリア・レジスタ17	SC_STAT17	W				0000H
xxxxnA44H	CANメッセージ・データ長レジスタ18	M_DLC18	R/W				不定
xxxxnA45H	CANメッセージ・コントロール・レジスタ18	M_CTRL18	R/W				不定
xxxxnA46H	CANメッセージ・タイム・スタンプ・レジスタ18	M_TIME18	R/W				不定
xxxxnA48H	CANメッセージ・データ・レジスタ180	M_DATA180	R/W				不定
xxxxnA49H	CANメッセージ・データ・レジスタ181	M_DATA181	R/W				不定
xxxxnA4AH	CANメッセージ・データ・レジスタ182	M_DATA182	R/W				不定

備考 n = 2 / 6 / A / E

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
xxxxnA4BH	CANメッセージ・データ・レジスタ183	M_DATA183	R/W				不定
xxxxnA4CH	CANメッセージ・データ・レジスタ184	M_DATA184	R/W				不定
xxxxnA4DH	CANメッセージ・データ・レジスタ185	M_DATA185	R/W				不定
xxxxnA4EH	CANメッセージ・データ・レジスタ186	M_DATA186	R/W				不定
xxxxnA4FH	CANメッセージ・データ・レジスタ187	M_DATA187	R/W				不定
xxxxnA50H	CANメッセージIDレジスタL18	M_IDL18	R/W				不定
xxxxnA52H	CANメッセージIDレジスタH18	M_IDH18	R/W				不定
xxxxnA54H	CANメッセージ構成レジスタ18	M_CONF18	R/W				不定
xxxxnA55H	CANメッセージ・ステータス・レジスタ18	M_STAT18	R				不定
xxxxnA56H	CANステータス・セット/クリア・レジスタ18	SC_STAT18	W				0000H
xxxxnA64H	CANメッセージ・データ長レジスタ19	M_DLC19	R/W				不定
xxxxnA65H	CANメッセージ・コントロール・レジスタ19	M_CTRL19	R/W				不定
xxxxnA66H	CANメッセージ・タイム・スタンプ・レジスタ19	M_TIME19	R/W				不定
xxxxnA68H	CANメッセージ・データ・レジスタ190	M_DATA190	R/W				不定
xxxxnA69H	CANメッセージ・データ・レジスタ191	M_DATA191	R/W				不定
xxxxnA6AH	CANメッセージ・データ・レジスタ192	M_DATA192	R/W				不定
xxxxnA6BH	CANメッセージ・データ・レジスタ193	M_DATA193	R/W				不定
xxxxnA6CH	CANメッセージ・データ・レジスタ194	M_DATA194	R/W				不定
xxxxnA6DH	CANメッセージ・データ・レジスタ195	M_DATA195	R/W				不定
xxxxnA6EH	CANメッセージ・データ・レジスタ196	M_DATA196	R/W				不定
xxxxnA6FH	CANメッセージ・データ・レジスタ197	M_DATA197	R/W				不定
xxxxnA70H	CANメッセージIDレジスタL19	M_IDL19	R/W				不定
xxxxnA72H	CANメッセージIDレジスタH19	M_IDH19	R/W				不定
xxxxnA74H	CANメッセージ構成レジスタ19	M_CONF19	R/W				不定
xxxxnA75H	CANメッセージ・ステータス・レジスタ19	M_STAT19	R				不定
xxxxnA76H	CANステータス・セット/クリア・レジスタ19	SC_STAT19	W				0000H
xxxxnA84H	CANメッセージ・データ長レジスタ20	M_DLC20	R/W				不定
xxxxnA85H	CANメッセージ・コントロール・レジスタ20	M_CTRL20	R/W				不定
xxxxnA86H	CANメッセージ・タイム・スタンプ・レジスタ20	M_TIME20	R/W				不定
xxxxnA88H	CANメッセージ・データ・レジスタ200	M_DATA200	R/W				不定
xxxxnA89H	CANメッセージ・データ・レジスタ201	M_DATA201	R/W				不定
xxxxnA8AH	CANメッセージ・データ・レジスタ202	M_DATA202	R/W				不定
xxxxnA8BH	CANメッセージ・データ・レジスタ203	M_DATA203	R/W				不定
xxxxnA8CH	CANメッセージ・データ・レジスタ204	M_DATA204	R/W				不定
xxxxnA8DH	CANメッセージ・データ・レジスタ205	M_DATA205	R/W				不定
xxxxnA8EH	CANメッセージ・データ・レジスタ206	M_DATA206	R/W				不定
xxxxnA8FH	CANメッセージ・データ・レジスタ207	M_DATA207	R/W				不定
xxxxnA90H	CANメッセージIDレジスタL20	M_IDL20	R/W				不定
xxxxnA92H	CANメッセージIDレジスタH20	M_IDH20	R/W				不定
xxxxnA94H	CANメッセージ構成レジスタ20	M_CONF20	R/W				不定
xxxxnA95H	CANメッセージ・ステータス・レジスタ20	M_STAT20	R				不定
xxxxnA96H	CANステータス・セット/クリア・レジスタ20	SC_STAT20	W				0000H

備考 n = 2 / 6 / A / E

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
xxxxnAA4H	CANメッセージ・データ長レジスタ21	M_DLC21	R/W				不定
xxxxnAA5H	CANメッセージ・コントロール・レジスタ21	M_CTRL21	R/W				不定
xxxxnAA6H	CANメッセージ・タイム・スタンプ・レジスタ21	M_TIME21	R/W				不定
xxxxnAA8H	CANメッセージ・データ・レジスタ210	M_DATA210	R/W				不定
xxxxnAA9H	CANメッセージ・データ・レジスタ211	M_DATA211	R/W				不定
xxxxnAAAH	CANメッセージ・データ・レジスタ212	M_DATA212	R/W				不定
xxxxnAABH	CANメッセージ・データ・レジスタ213	M_DATA213	R/W				不定
xxxxnAACH	CANメッセージ・データ・レジスタ214	M_DATA214	R/W				不定
xxxxnAADH	CANメッセージ・データ・レジスタ215	M_DATA215	R/W				不定
xxxxnAAEH	CANメッセージ・データ・レジスタ216	M_DATA216	R/W				不定
xxxxnAAFH	CANメッセージ・データ・レジスタ217	M_DATA217	R/W				不定
xxxxnAB0H	CANメッセージIDレジスタL21	M_IDL21	R/W				不定
xxxxnAB2H	CANメッセージIDレジスタH21	M_IDH21	R/W				不定
xxxxnAB4H	CANメッセージ構成レジスタ21	M_CONF21	R/W				不定
xxxxnAB5H	CANメッセージ・ステータス・レジスタ21	M_STAT21	R				不定
xxxxnAB6H	CANステータス・セット/クリア・レジスタ21	SC_STAT21	W				0000H
xxxxnAC4H	CANメッセージ・データ長レジスタ22	M_DLC22	R/W				不定
xxxxnAC5H	CANメッセージ・コントロール・レジスタ22	M_CTRL22	R/W				不定
xxxxnAC6H	CANメッセージ・タイム・スタンプ・レジスタ22	M_TIME22	R/W				不定
xxxxnAC8H	CANメッセージ・データ・レジスタ220	M_DATA220	R/W				不定
xxxxnAC9H	CANメッセージ・データ・レジスタ221	M_DATA221	R/W				不定
xxxxnACAH	CANメッセージ・データ・レジスタ222	M_DATA222	R/W				不定
xxxxnACBH	CANメッセージ・データ・レジスタ223	M_DATA223	R/W				不定
xxxxnACCH	CANメッセージ・データ・レジスタ224	M_DATA224	R/W				不定
xxxxnACDH	CANメッセージ・データ・レジスタ225	M_DATA225	R/W				不定
xxxxnACEH	CANメッセージ・データ・レジスタ226	M_DATA226	R/W				不定
xxxxnACFH	CANメッセージ・データ・レジスタ227	M_DATA227	R/W				不定
xxxxnAD0H	CANメッセージIDレジスタL22	M_IDL22	R/W				不定
xxxxnAD2H	CANメッセージIDレジスタH22	M_IDH22	R/W				不定
xxxxnAD4H	CANメッセージ構成レジスタ22	M_CONF22	R/W				不定
xxxxnAD5H	CANメッセージ・ステータス・レジスタ22	M_STAT22	R				不定
xxxxnAD6H	CANステータス・セット/クリア・レジスタ22	SC_STAT22	W				0000H
xxxxnAE4H	CANメッセージ・データ長レジスタ23	M_DLC23	R/W				不定
xxxxnAE5H	CANメッセージ・コントロール・レジスタ23	M_CTRL23	R/W				不定
xxxxnAE6H	CANメッセージ・タイム・スタンプ・レジスタ23	M_TIME23	R/W				不定
xxxxnAE8H	CANメッセージ・データ・レジスタ230	M_DATA230	R/W				不定
xxxxnAE9H	CANメッセージ・データ・レジスタ231	M_DATA231	R/W				不定
xxxxnAEAH	CANメッセージ・データ・レジスタ232	M_DATA232	R/W				不定
xxxxnAEBH	CANメッセージ・データ・レジスタ233	M_DATA233	R/W				不定
xxxxnAECH	CANメッセージ・データ・レジスタ234	M_DATA234	R/W				不定
xxxxnAEDH	CANメッセージ・データ・レジスタ235	M_DATA235	R/W				不定
xxxxnAEEH	CANメッセージ・データ・レジスタ236	M_DATA236	R/W				不定

備考 n = 2 / 6 / A / E

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
xxxxnAEFH	CANメッセージ・データ・レジスタ237	M_DATA237	R/W				不定
xxxxnAF0H	CANメッセージIDレジスタL23	M_IDL23	R/W				不定
xxxxnAF2H	CANメッセージIDレジスタH23	M_IDH23	R/W				不定
xxxxnAF4H	CANメッセージ構成レジスタ23	M_CONF23	R/W				不定
xxxxnAF5H	CANメッセージ・ステータス・レジスタ23	M_STAT23	R				不定
xxxxnAF6H	CANステータス・セット/クリア・レジスタ23	SC_STAT23	W				0000H
xxxxnB04H	CANメッセージ・データ長レジスタ24	M_DLC24	R/W				不定
xxxxnB05H	CANメッセージ・コントロール・レジスタ24	M_CTRL24	R/W				不定
xxxxnB06H	CANメッセージ・タイム・スタンプ・レジスタ24	M_TIME24	R/W				不定
xxxxnB08H	CANメッセージ・データ・レジスタ240	M_DATA240	R/W				不定
xxxxnB09H	CANメッセージ・データ・レジスタ241	M_DATA241	R/W				不定
xxxxnB0AH	CANメッセージ・データ・レジスタ242	M_DATA242	R/W				不定
xxxxnB0BH	CANメッセージ・データ・レジスタ243	M_DATA243	R/W				不定
xxxxnB0CH	CANメッセージ・データ・レジスタ244	M_DATA244	R/W				不定
xxxxnB0DH	CANメッセージ・データ・レジスタ245	M_DATA245	R/W				不定
xxxxnB0EH	CANメッセージ・データ・レジスタ246	M_DATA246	R/W				不定
xxxxnB0FH	CANメッセージ・データ・レジスタ247	M_DATA247	R/W				不定
xxxxnB10H	CANメッセージIDレジスタL24	M_IDL24	R/W				不定
xxxxnB12H	CANメッセージIDレジスタH24	M_IDH24	R/W				不定
xxxxnB14H	CANメッセージ構成レジスタ24	M_CONF24	R/W				不定
xxxxnB15H	CANメッセージ・ステータス・レジスタ24	M_STAT24	R				不定
xxxxnB16H	CANステータス・セット/クリア・レジスタ24	SC_STAT24	W				0000H
xxxxnB24H	CANメッセージ・データ長レジスタ25	M_DLC25	R/W				不定
xxxxnB25H	CANメッセージ・コントロール・レジスタ25	M_CTRL25	R/W				不定
xxxxnB26H	CANメッセージ・タイム・スタンプ・レジスタ25	M_TIME25	R/W				不定
xxxxnB28H	CANメッセージ・データ・レジスタ250	M_DATA250	R/W				不定
xxxxnB29H	CANメッセージ・データ・レジスタ251	M_DATA251	R/W				不定
xxxxnB2AH	CANメッセージ・データ・レジスタ252	M_DATA252	R/W				不定
xxxxnB2BH	CANメッセージ・データ・レジスタ253	M_DATA253	R/W				不定
xxxxnB2CH	CANメッセージ・データ・レジスタ254	M_DATA254	R/W				不定
xxxxnB2DH	CANメッセージ・データ・レジスタ255	M_DATA255	R/W				不定
xxxxnB2EH	CANメッセージ・データ・レジスタ256	M_DATA256	R/W				不定
xxxxnB2FH	CANメッセージ・データ・レジスタ257	M_DATA257	R/W				不定
xxxxnB30H	CANメッセージIDレジスタL25	M_IDL25	R/W				不定
xxxxnB32H	CANメッセージIDレジスタH25	M_IDH25	R/W				不定
xxxxnB34H	CANメッセージ構成レジスタ25	M_CONF25	R/W				不定
xxxxnB35H	CANメッセージ・ステータス・レジスタ25	M_STAT25	R				不定
xxxxnB36H	CANステータス・セット/クリア・レジスタ25	SC_STAT25	W				0000H
xxxxnB44H	CANメッセージ・データ長レジスタ26	M_DLC26	R/W				不定
xxxxnB45H	CANメッセージ・コントロール・レジスタ26	M_CTRL26	R/W				不定
xxxxnB46H	CANメッセージ・タイム・スタンプ・レジスタ26	M_TIME26	R/W				不定
xxxxnB48H	CANメッセージ・データ・レジスタ260	M_DATA260	R/W				不定

備考 n = 2 / 6 / A / E

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
xxxxnB49H	CANメッセージ・データ・レジスタ261	M_DATA261	R/W				不定
xxxxnB4AH	CANメッセージ・データ・レジスタ262	M_DATA262	R/W				不定
xxxxnB4BH	CANメッセージ・データ・レジスタ263	M_DATA263	R/W				不定
xxxxnB4CH	CANメッセージ・データ・レジスタ264	M_DATA264	R/W				不定
xxxxnB4DH	CANメッセージ・データ・レジスタ265	M_DATA265	R/W				不定
xxxxnB4EH	CANメッセージ・データ・レジスタ266	M_DATA266	R/W				不定
xxxxnB4FH	CANメッセージ・データ・レジスタ267	M_DATA267	R/W				不定
xxxxnB50H	CANメッセージIDレジスタL26	M_IDL26	R/W				不定
xxxxnB52H	CANメッセージIDレジスタH26	M_IDH26	R/W				不定
xxxxnB54H	CANメッセージ構成レジスタ26	M_CONF26	R/W				不定
xxxxnB55H	CANメッセージ・ステータス・レジスタ26	M_STAT26	R				不定
xxxxnB56H	CANステータス・セット/クリア・レジスタ26	SC_STAT26	W				0000H
xxxxnB64H	CANメッセージ・データ長レジスタ27	M_DLC27	R/W				不定
xxxxnB65H	CANメッセージ・コントロール・レジスタ27	M_CTRL27	R/W				不定
xxxxnB66H	CANメッセージ・タイム・スタンプ・レジスタ27	M_TIME27	R/W				不定
xxxxnB68H	CANメッセージ・データ・レジスタ270	M_DATA270	R/W				不定
xxxxnB69H	CANメッセージ・データ・レジスタ271	M_DATA271	R/W				不定
xxxxnB6AH	CANメッセージ・データ・レジスタ272	M_DATA272	R/W				不定
xxxxnB6BH	CANメッセージ・データ・レジスタ273	M_DATA273	R/W				不定
xxxxnB6CH	CANメッセージ・データ・レジスタ274	M_DATA274	R/W				不定
xxxxnB6DH	CANメッセージ・データ・レジスタ275	M_DATA275	R/W				不定
xxxxnB6EH	CANメッセージ・データ・レジスタ276	M_DATA276	R/W				不定
xxxxnB6FH	CANメッセージ・データ・レジスタ277	M_DATA277	R/W				不定
xxxxnB70H	CANメッセージIDレジスタL27	M_IDL27	R/W				不定
xxxxnB72H	CANメッセージIDレジスタH27	M_IDH27	R/W				不定
xxxxnB74H	CANメッセージ構成レジスタ27	M_CONF27	R/W				不定
xxxxnB75H	CANメッセージ・ステータス・レジスタ27	M_STAT27	R				不定
xxxxnB76H	CANステータス・セット/クリア・レジスタ27	SC_STAT27	W				0000H
xxxxnB84H	CANメッセージ・データ長レジスタ28	M_DLC28	R/W				不定
xxxxnB85H	CANメッセージ・コントロール・レジスタ28	M_CTRL28	R/W				不定
xxxxnB86H	CANメッセージ・タイム・スタンプ・レジスタ28	M_TIME28	R/W				不定
xxxxnB88H	CANメッセージ・データ・レジスタ280	M_DATA280	R/W				不定
xxxxnB89H	CANメッセージ・データ・レジスタ281	M_DATA281	R/W				不定
xxxxnB8AH	CANメッセージ・データ・レジスタ282	M_DATA282	R/W				不定
xxxxnB8BH	CANメッセージ・データ・レジスタ283	M_DATA283	R/W				不定
xxxxnB8CH	CANメッセージ・データ・レジスタ284	M_DATA284	R/W				不定
xxxxnB8DH	CANメッセージ・データ・レジスタ285	M_DATA285	R/W				不定
xxxxnB8EH	CANメッセージ・データ・レジスタ286	M_DATA286	R/W				不定
xxxxnB8FH	CANメッセージ・データ・レジスタ287	M_DATA287	R/W				不定
xxxxnB90H	CANメッセージIDレジスタL28	M_IDL28	R/W				不定
xxxxnB92H	CANメッセージIDレジスタH28	M_IDH28	R/W				不定
xxxxnB94H	CANメッセージ構成レジスタ28	M_CONF28	R/W				不定

備考 n = 2 / 6 / A / E



アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
xxxxnB95H	CANメッセージ・ステータス・レジスタ28	M_STAT28	R				不定
xxxxnB96H	CANステータス・セット/クリア・レジスタ28	SC_STAT28	W				0000H
xxxxnBA4H	CANメッセージ・データ長レジスタ29	M_DLC29	R/W				不定
xxxxnBA5H	CANメッセージ・コントロール・レジスタ29	M_CTRL29	R/W				不定
xxxxnBA6H	CANメッセージ・タイム・スタンプ・レジスタ29	M_TIME29	R/W				不定
xxxxnBA8H	CANメッセージ・データ・レジスタ290	M_DATA290	R/W				不定
xxxxnBA9H	CANメッセージ・データ・レジスタ291	M_DATA291	R/W				不定
xxxxnBAAH	CANメッセージ・データ・レジスタ292	M_DATA292	R/W				不定
xxxxnBABH	CANメッセージ・データ・レジスタ293	M_DATA293	R/W				不定
xxxxnBACH	CANメッセージ・データ・レジスタ294	M_DATA294	R/W				不定
xxxxnBADH	CANメッセージ・データ・レジスタ295	M_DATA295	R/W				不定
xxxxnBAEH	CANメッセージ・データ・レジスタ296	M_DATA296	R/W				不定
xxxxnBAFH	CANメッセージ・データ・レジスタ297	M_DATA297	R/W				不定
xxxxnBB0H	CANメッセージIDレジスタL29	M_IDL29	R/W				不定
xxxxnBB2H	CANメッセージIDレジスタH29	M_IDH29	R/W				不定
xxxxnBB4H	CANメッセージ構成レジスタ29	M_CONF29	R/W				不定
xxxxnBB5H	CANメッセージ・ステータス・レジスタ29	M_STAT29	R				不定
xxxxnBB6H	CANステータス・セット/クリア・レジスタ29	SC_STAT29	W				0000H
xxxxnBC4H	CANメッセージ・データ長レジスタ30	M_DLC30	R/W				不定
xxxxnBC5H	CANメッセージ・コントロール・レジスタ30	M_CTRL30	R/W				不定
xxxxnBC6H	CANメッセージ・タイム・スタンプ・レジスタ30	M_TIME30	R/W				不定
xxxxnBC8H	CANメッセージ・データ・レジスタ300	M_DATA300	R/W				不定
xxxxnBC9H	CANメッセージ・データ・レジスタ301	M_DATA301	R/W				不定
xxxxnBCAH	CANメッセージ・データ・レジスタ302	M_DATA302	R/W				不定
xxxxnBCBH	CANメッセージ・データ・レジスタ303	M_DATA303	R/W				不定
xxxxnBCCH	CANメッセージ・データ・レジスタ304	M_DATA304	R/W				不定
xxxxnBCDH	CANメッセージ・データ・レジスタ305	M_DATA305	R/W				不定
xxxxnBCEH	CANメッセージ・データ・レジスタ306	M_DATA306	R/W				不定
xxxxnBCFH	CANメッセージ・データ・レジスタ307	M_DATA307	R/W				不定
xxxxnBD0H	CANメッセージIDレジスタL30	M_IDL30	R/W				不定
xxxxnBD2H	CANメッセージIDレジスタH30	M_IDH30	R/W				不定
xxxxnBD4H	CANメッセージ構成レジスタ30	M_CONF30	R/W				不定
xxxxnBD5H	CANメッセージ・ステータス・レジスタ30	M_STAT30	R				不定
xxxxnBD6H	CANステータス・セット/クリア・レジスタ30	SC_STAT30	W				0000H
xxxxnBE4H	CANメッセージ・データ長レジスタ31	M_DLC31	R/W				不定
xxxxnBE5H	CANメッセージ・コントロール・レジスタ31	M_CTRL31	R/W				不定
xxxxnBE6H	CANメッセージ・タイム・スタンプ・レジスタ31	M_TIME31	R/W				不定
xxxxnBE8H	CANメッセージ・データ・レジスタ310	M_DATA310	R/W				不定
xxxxnBE9H	CANメッセージ・データ・レジスタ311	M_DATA311	R/W				不定
xxxxnBEAH	CANメッセージ・データ・レジスタ312	M_DATA312	R/W				不定
xxxxnBEBH	CANメッセージ・データ・レジスタ313	M_DATA313	R/W				不定
xxxxnBECH	CANメッセージ・データ・レジスタ314	M_DATA314	R/W				不定

備考 n = 2 / 6 / A / E

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
xxxxnBEDH	CANメッセージ・データ・レジスタ315	M_DATA315	R/W				不定
xxxxnBEEH	CANメッセージ・データ・レジスタ316	M_DATA316	R/W				不定
xxxxnBEFH	CANメッセージ・データ・レジスタ317	M_DATA317	R/W				不定
xxxxnBF0H	CANメッセージIDレジスタL31	M_IDL31	R/W				不定
xxxxnBF2H	CANメッセージIDレジスタH31	M_IDH31	R/W				不定
xxxxnBF4H	CANメッセージ構成レジスタ31	M_CONF31	R/W				不定
xxxxnBF5H	CANメッセージ・ステータス・レジスタ31	M_STAT31	R				不定
xxxxnBF6H	CANステータス・セット/クリア・レジスタ31	SC_STAT31	W				0000H
xxxxnC00H	CAN割り込み保留レジスタ	CCINTP	R				0000H
xxxxnC02H	CANグローバル割り込み保留レジスタ	CGINTP	R/W				00H
xxxxnC04H	CAN1割り込み保留レジスタ	C1INTP	R/W				00H
xxxxnC0CH	CANストップ・レジスタ	CSTOP	R/W				0000H
xxxxnC10H	CANグローバル・レジスタ	CGST	R/W				0100H
xxxxnC12H	CANグローバル割り込み許可レジスタ	CGIE	R/W				0A00H
xxxxnC14H	CANメイン・クロック選択レジスタ	CGCS	R/W				7F05H
xxxxnC18H	CANタイム・スタンプ・カウント・レジスタ	CGTSC	R				0000H
xxxxnC1AH	CANメッセージ検索開始レジスタ	CGMSS	W				0000H
	CANメッセージ検索結果レジスタ	CGMSR	R				0000H
xxxxnC40H	CAN1アドレス・マスク0レジスタL	C1MASKL0	R/W				不定
xxxxnC42H	CAN1アドレス・マスク0レジスタH	C1MASKH0	R/W				不定
xxxxnC44H	CAN1アドレス・マスク1レジスタL	C1MASKL1	R/W				不定
xxxxnC46H	CAN1アドレス・マスク1レジスタH	C1MASKH1	R/W				不定
xxxxnC48H	CAN1アドレス・マスク2レジスタL	C1MASKL2	R/W				不定
xxxxnC4AH	CAN1アドレス・マスク2レジスタH	C1MASKH2	R/W				不定
xxxxnC4CH	CAN1アドレス・マスク3レジスタL	C1MASKL3	R/W				不定
xxxxnC4EH	CAN1アドレス・マスク3レジスタH	C1MASKH3	R/W				不定
xxxxnC50H	CAN1コントロール・レジスタ	C1CTRL	R/W				0101H
xxxxnC52H	CAN1定義レジスタ	C1DEF	R/W				0000H
xxxxnC54H	CAN1情報レジスタ	C1LAST	R				00FFH
xxxxnC56H	CAN1エラー・カウント・レジスタ	C1ERC	R				0000H
xxxxnC58H	CAN1割り込み許可レジスタ	C1IE	R/W				0900H
xxxxnC5AH	CAN1バス・アクティブ・レジスタ	C1BA	R				00FFH
xxxxnC5CH	CAN1ビット・レート・プリスケラ・レジスタ	C1BRP	R/W				0000H
	CAN1バス診断情報レジスタ	C1DINF	R				0000H
xxxxnC5EH	CAN1同期コントロール・レジスタ	C1SYNC	R/W				0218H

備考 n = 2 / 6 / A / E

### 3.4.10 特定レジスタ

特定レジスタは、プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。V850E/IA1にはパワー・セーブ・コントロール・レジスタ (PSC) (8.5.2(3) **パワー・セーブ・コントロール・レジスタ (PSC)** 参照)、クロック・コントロール・レジスタ (CKC) (8.3.4 **クロック・コントロール・レジスタ (CKC)** 参照)、フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) (16.7.12 **フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)** 参照) の3つの特定レジスタがあります。

### 3.4.11 システム・ウェイト・コントロール・レジスタ (VSWC)

システム・ウェイト・コントロール・レジスタ (VSWC) には、次に示す値を設定してください。  
8ビット単位でリード/ライト可能です (アドレス: FFFFF06EH, 初期値: 77H)。

**備考** 内蔵周辺機能の状態を示すステータス・フラグを含んだレジスタ (ASIF0など) やタイマのカウント値を示すレジスタ (TM0nなど) などへのアクセスにおいて、フラグやカウント値の変化タイミングとレジスタ・アクセス・タイミングが重なった場合、レジスタ・アクセスへのリトライ動作が発生します。このため、通常より内蔵周辺I/Oレジスタへのアクセスに時間がかかる場合があります。

レジスタ名		VSWC設定値
システム・ウェイト・コントロール・レジスタ (VSWC)	PRM02レジスタ = 01H設定時	12H(ウェイトを3クロック設定)
	PRM02レジスタ = 00H設定時	15H(ウェイトを6クロック設定)

### 3.4.12 注意事項

#### (1) 最初に設定するレジスタ

V850E/IA1を使用する際には、必ず最初に次のレジスタを設定してください。

- ・システム・ウェイト・コントロール・レジスタ (VSWC)  
(3.4.11 **システム・ウェイト・コントロール・レジスタ (VSWC)** 参照)
- ・クロック・コントロール・レジスタ (CKC)  
(8.3.4 **クロック・コントロール・レジスタ (CKC)** 参照)

VSWCとCKCを設定したあとに、必要に応じてその他の各レジスタを設定してください。

## (2) sld命令と割り込み競合に関する制限事項

## (a) 内 容

次の命令<1>の事項が完了する前に、後続のsld命令の直前の命令<2>のデコード動作と割り込み要求が競合した場合、先の命令<1>の実行結果がレジスタに格納されないことがあります。

命令<1>

- ・ ld命令 : ld.b, ld.h, ld.w, ld.bu, ld.hu
- ・ sld命令 : sld.b, sld.h, sld.w, sld.bu, sld.hu
- ・ 乗算命令 : mul, mulh, mulhi, mulu

命令<2>

mov reg1, reg2	not reg1, reg2	satsubr reg1, reg2	satsub reg1, reg2
satadd reg1, reg2	satadd imm5, reg2	or reg1, reg2	xor reg1, reg2
and reg1, reg2	tst reg1, reg2	subr reg1, reg2	sub reg1, reg2
add reg1, reg2	add imm5, reg2	cmp reg1, reg2	cmp imm5, reg2
mulh reg1, reg2	shr imm5, reg2	sar imm5, reg2	shl imm5, reg2

<例>

```

< > ld.w [r11], r10
      .
      .
      .
< > mov r10, r28
< > sld.w 0x28, r10
  
```

< >のld命令の実行が完了する前に、< >のsld命令の直前のmov命令< >のデコード動作と割り込み要求が競合した場合、< >のld命令の実行結果がレジスタに格納されないことがあります。

## (b) 回 避 策

**コンパイラ (CA850) 使用時**

CA850はVer.2.61以降を使用してください。該当命令シーケンスの生成を自動的に抑止します。

**アセンブラでの対策**

命令< >の直後にsld命令を実行する場合は、次のいずれかの方法を用いて、上記動作を回避してください。

- ・ sld命令の直前にnop命令を入れる。
- ・ sld命令のディスティネーション・レジスタと同じレジスタを、sld命令の直前で実行する上記< >の命令で使用しない。

## 第4章 バス制御機能

V850E/IA1は、外部にROM, RAMなどのメモリやI/Oなどを接続できる外部バス・インタフェース機能を内蔵しています。

### 4.1 特 徴

- 16ビット/8ビット・データ・バス・サイジング機能
- 8空間のチップ・セレクト機能
- ウェイト機能
  - ・各メモリ・ブロックごとに最大7ステートのプログラマブル・ウェイト機能
  - ・ $\overline{\text{WAIT}}$ 端子による外部ウェイト機能
- アイドル・ステート挿入機能
- バス・ホールド機能
- ポートとの兼用端子で、外部デバイスに接続可能

### 4.2 バス制御端子

外部デバイスの接続には、次の端子を使用します。

バス制御端子 (コントロール・モード時の機能)	ポート・モード時の機能	ポート/コントロール・モードの切り替えを行うレジスタ
アドレス/データ・バス (AD0-AD15)	PDL0-PDL15 (ポートDL)	PMCDL
アドレス・バス (A16-A23)	PDH0-PDH7 (ポートDH)	PMCDH
チップ・セレクト ( $\overline{\text{CS0}}-\overline{\text{CS7}}$ )	PCS0-PCS7 (ポートCS)	PMCCS
リード/ライト制御 ( $\overline{\text{LWR}}$ , $\overline{\text{UWR}}$ , $\overline{\text{RD}}$ , $\overline{\text{ASTB}}$ )	PCT0, PCT1, PCT4, PCT6 (ポートCT)	PMCCT
外部ウェイト制御 ( $\overline{\text{WAIT}}$ )	PCM0 (ポートCM)	PMCCM
内部システム・クロック ( $\overline{\text{CLKOUT}}$ )	PCM1 (ポートCM)	
バス・ホールド制御 ( $\overline{\text{HLDRQ}}$ , $\overline{\text{HLDK}}$ )	PCM2, PCM3 (ポートCM)	

**備考** シングルチップ・モード1, ROMレス・モード0, 1の場合, システム・リセットにより各バス制御端子は無条件に有効になります。

#### 4.2.1 内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態

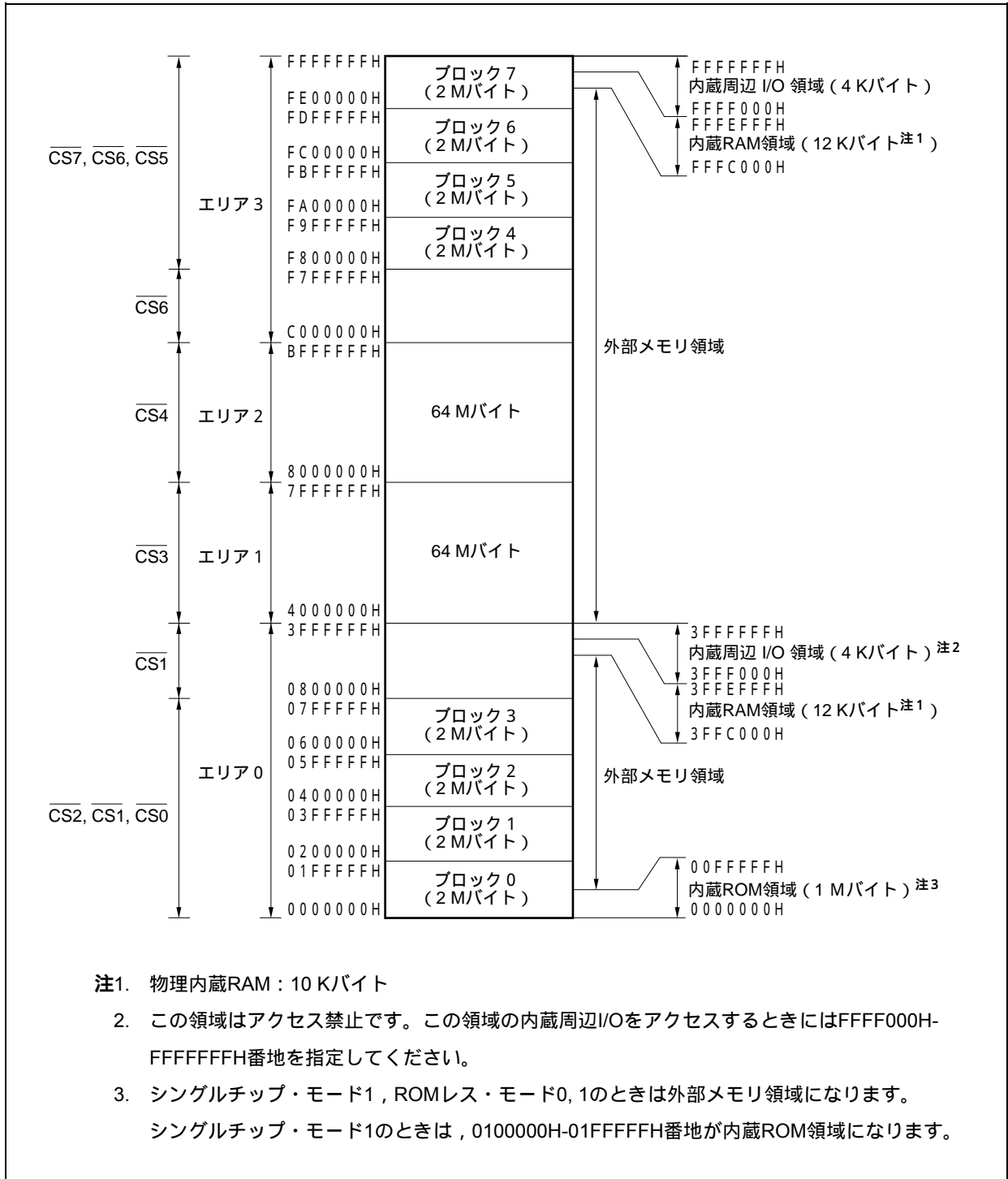
内蔵ROM, 内蔵RAMのアクセス時には, アドレス・バス, アドレス/データ・バスともに不定になります。外部バス制御信号は, インアクティブ状態になります。

内蔵周辺I/Oアクセス時には, アドレス・バス, アドレス/データ・バスともにアクセスしている内蔵周辺I/Oのアドレスを出力します。データは, 出力されません。外部バス制御信号は, インアクティブ状態になります。

### 4.3 メモリ・ブロック機能

256 Mバイトのメモリ空間は2 M, 64 Mバイト単位のメモリ・ブロックに分割され,1ブロック単位にプログラマブル・ウエイト機能,バス・サイクル動作モードなどを独立に制御できます。

ただし,プログラム領域として使用できる領域は,0000000H-3FFFFFFFHの64 Mバイトの空間です。



### 4.3.1 チップ・セレクト制御機能

256 Mバイトのメモリ空間のうち、下位8 Mバイト (0000000H-07FFFFFFH) と上位8 Mバイト (F800000H-FFFFFFH) は、チップ・エリア選択コントロール・レジスタ0, 1 (CSC0, CSC1) により、2 Mバイト単位でメモリ・ブロックを分割し、チップ・セレクト信号を制御することができます。

チップ・セレクト制御機能により、メモリ・ブロックを分割することにより、メモリ空間を有効に利用できます。優先順位を次に示します。

#### (1) チップ・エリア選択コントロール・レジスタ0, 1 (CSC0, CSC1)

16ビット単位でリード/ライトできます。各ビットをセット (1) すると有効になります。

同じブロックに別々のチップ・セレクト信号出力を設定した場合、次のように優先順位が制御されます。

$$\text{CSC0} : \overline{\text{CS0}} > \overline{\text{CS2}} > \overline{\text{CS1}}$$

$$\text{CSC1} : \overline{\text{CS7}} > \overline{\text{CS5}} > \overline{\text{CS6}}$$

CSC0レジスタのCS0m, CS2mビットをともに0に設定した場合、該当するブロックには $\overline{\text{CS1}}$ が出力されます (m = 0-3)。

同様にCSC1レジスタのCS5m, CS7mビットをともに0に設定した場合、該当するブロックには $\overline{\text{CS6}}$ が出力されます (m = 0-3)。

**注意** CSC0, CSC1レジスタへの書き込みはリセット後に行ってください。書き込み後は、値を変更しないでください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CSC0	CS33	CS32	CS31	CS30	CS23	CS22	CS21	CS20	CS13	CS12	CS11	CS10	CS03	CS02	CS01	CS00	FFFFFF060H	2C11H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CSC1	CS43	CS42	CS41	CS40	CS53	CS52	CS51	CS50	CS63	CS62	CS61	CS60	CS73	CS72	CS71	CS70	FFFFFF062H	2C11H

ビット位置	ビット名	意味																																										
15-0	CSnm (n = 0-7) (m = 0-3)	CSnmビットをセット(1)することにより、チップ・セレクトを有効にします。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>CSnm</th> <th>CS動作</th> </tr> </thead> <tbody> <tr><td>CS00</td><td>ブロック0アクセス時, <math>\overline{CS0}</math>出力</td></tr> <tr><td>CS01</td><td>ブロック1アクセス時, <math>\overline{CS0}</math>出力</td></tr> <tr><td>CS02</td><td>ブロック2アクセス時, <math>\overline{CS0}</math>出力</td></tr> <tr><td>CS03</td><td>ブロック3アクセス時, <math>\overline{CS0}</math>出力</td></tr> <tr><td>CS10-CS13</td><td>注1</td></tr> <tr><td>CS20</td><td>ブロック0アクセス時, <math>\overline{CS2}</math>出力</td></tr> <tr><td>CS21</td><td>ブロック1アクセス時, <math>\overline{CS2}</math>出力</td></tr> <tr><td>CS22</td><td>ブロック2アクセス時, <math>\overline{CS2}</math>出力</td></tr> <tr><td>CS23</td><td>ブロック3アクセス時, <math>\overline{CS2}</math>出力</td></tr> <tr><td>CS30-CS33</td><td>注2</td></tr> <tr><td>CS40-CS43</td><td>注3</td></tr> <tr><td>CS50</td><td>ブロック7アクセス時, <math>\overline{CS5}</math>出力</td></tr> <tr><td>CS51</td><td>ブロック6アクセス時, <math>\overline{CS5}</math>出力</td></tr> <tr><td>CS52</td><td>ブロック5アクセス時, <math>\overline{CS5}</math>出力</td></tr> <tr><td>CS53</td><td>ブロック4アクセス時, <math>\overline{CS5}</math>出力</td></tr> <tr><td>CS60-CS63</td><td>注4</td></tr> <tr><td>CS70</td><td>ブロック7アクセス時, <math>\overline{CS7}</math>出力</td></tr> <tr><td>CS71</td><td>ブロック6アクセス時, <math>\overline{CS7}</math>出力</td></tr> <tr><td>CS72</td><td>ブロック5アクセス時, <math>\overline{CS7}</math>出力</td></tr> <tr><td>CS73</td><td>ブロック4アクセス時, <math>\overline{CS7}</math>出力</td></tr> </tbody> </table>	CSnm	CS動作	CS00	ブロック0アクセス時, $\overline{CS0}$ 出力	CS01	ブロック1アクセス時, $\overline{CS0}$ 出力	CS02	ブロック2アクセス時, $\overline{CS0}$ 出力	CS03	ブロック3アクセス時, $\overline{CS0}$ 出力	CS10-CS13	注1	CS20	ブロック0アクセス時, $\overline{CS2}$ 出力	CS21	ブロック1アクセス時, $\overline{CS2}$ 出力	CS22	ブロック2アクセス時, $\overline{CS2}$ 出力	CS23	ブロック3アクセス時, $\overline{CS2}$ 出力	CS30-CS33	注2	CS40-CS43	注3	CS50	ブロック7アクセス時, $\overline{CS5}$ 出力	CS51	ブロック6アクセス時, $\overline{CS5}$ 出力	CS52	ブロック5アクセス時, $\overline{CS5}$ 出力	CS53	ブロック4アクセス時, $\overline{CS5}$ 出力	CS60-CS63	注4	CS70	ブロック7アクセス時, $\overline{CS7}$ 出力	CS71	ブロック6アクセス時, $\overline{CS7}$ 出力	CS72	ブロック5アクセス時, $\overline{CS7}$ 出力	CS73	ブロック4アクセス時, $\overline{CS7}$ 出力
CSnm	CS動作																																											
CS00	ブロック0アクセス時, $\overline{CS0}$ 出力																																											
CS01	ブロック1アクセス時, $\overline{CS0}$ 出力																																											
CS02	ブロック2アクセス時, $\overline{CS0}$ 出力																																											
CS03	ブロック3アクセス時, $\overline{CS0}$ 出力																																											
CS10-CS13	注1																																											
CS20	ブロック0アクセス時, $\overline{CS2}$ 出力																																											
CS21	ブロック1アクセス時, $\overline{CS2}$ 出力																																											
CS22	ブロック2アクセス時, $\overline{CS2}$ 出力																																											
CS23	ブロック3アクセス時, $\overline{CS2}$ 出力																																											
CS30-CS33	注2																																											
CS40-CS43	注3																																											
CS50	ブロック7アクセス時, $\overline{CS5}$ 出力																																											
CS51	ブロック6アクセス時, $\overline{CS5}$ 出力																																											
CS52	ブロック5アクセス時, $\overline{CS5}$ 出力																																											
CS53	ブロック4アクセス時, $\overline{CS5}$ 出力																																											
CS60-CS63	注4																																											
CS70	ブロック7アクセス時, $\overline{CS7}$ 出力																																											
CS71	ブロック6アクセス時, $\overline{CS7}$ 出力																																											
CS72	ブロック5アクセス時, $\overline{CS7}$ 出力																																											
CS73	ブロック4アクセス時, $\overline{CS7}$ 出力																																											

- 注1. CS0m, CS2mビットをともに0に設定した場合、エリア0へアクセスするとCS1mビットの設定に関係なく $\overline{CS1}$ が出力されます。
2. エリア1へアクセスした場合、CS3mビットの設定に関係なく $\overline{CS3}$ が出力されます。
3. エリア2へアクセスした場合、CS4mビットの設定に関係なく $\overline{CS4}$ が出力されます。
4. CS5m, CS7mビットをともに0に設定した場合、エリア3へアクセスするとCS6mビットの設定に関係なく $\overline{CS6}$ が出力されます。

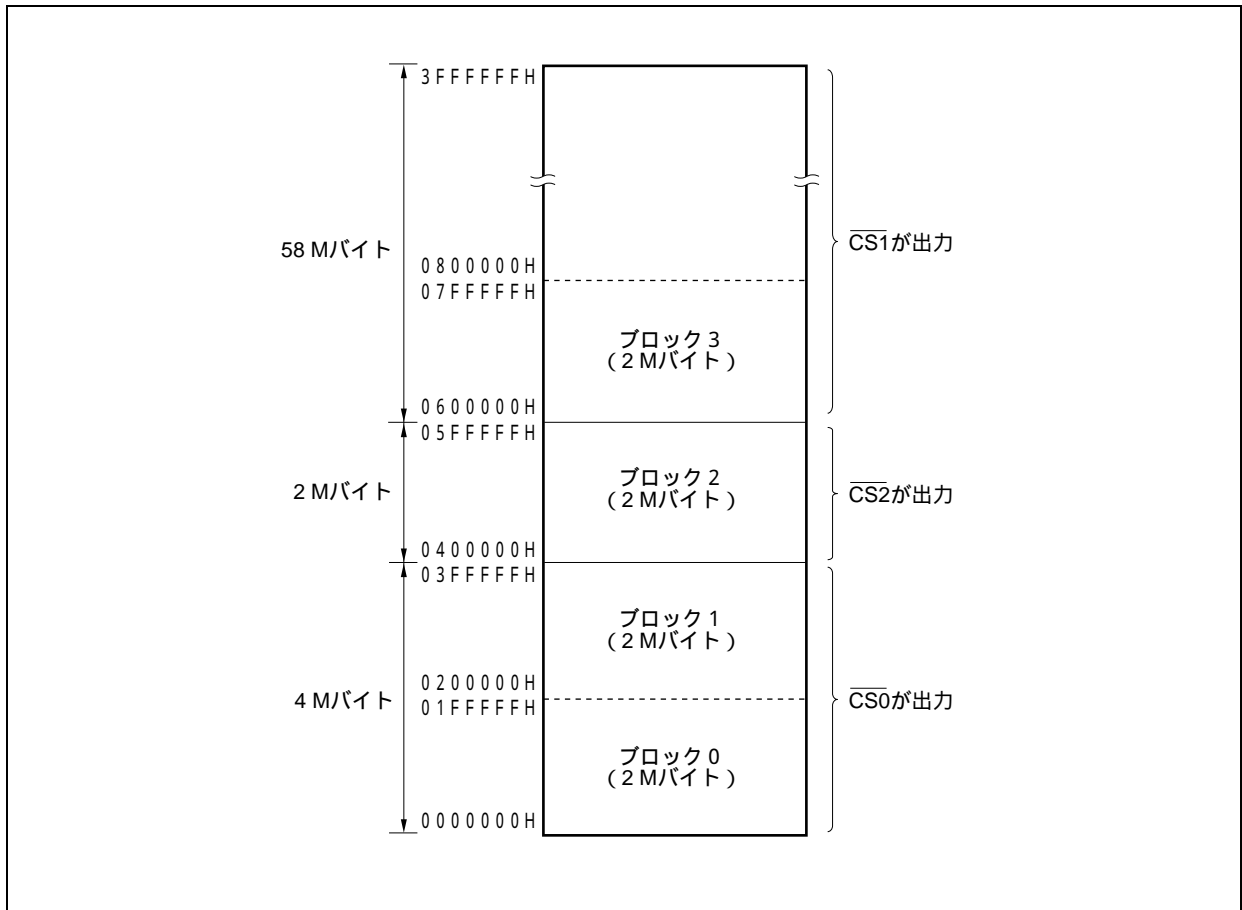


次にCSC0レジスタに0703Hを設定した場合のエリア0に対して有効になる $\overline{CS}$ 信号を示します。

CSC0レジスタに0703Hを設定した場合、ブロック0、ブロック1ともに $\overline{CS0}$ 、 $\overline{CS2}$ 出力になっていますが、 $\overline{CS2}$ より $\overline{CS0}$ の方が優先順位が高いため、ブロック0、ブロック1のアドレスをアクセスした場合は $\overline{CS0}$ が出力されます。

ブロック3のアドレスをアクセスした場合は、CSC0レジスタのCS03、CS23ビットともに0であるため、 $\overline{CS1}$ が出力されます。

図4 - 1 CSC0レジスタに0703Hを設定した場合の例



## 4.4 バス・サイクル・タイプ制御機能

V850E/IA1は、次のような外部デバイスを各メモリ・ブロックごとに直結できます。

SRAM, 外部ROM, 外部I/O

接続する外部デバイスは、バス・サイクル・タイプ・コンフィギュレーション・レジスタ0, 1 (BCT0, BCT1) で指定します。

### (1) バス・サイクル・タイプ・コンフィギュレーション・レジスタ0, 1 (BCT0, BCT1)

16ビット単位でリード/ライト可能です。

**注意** BCT0, BCT1レジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BCT0, BCT1レジスタの初期設定が終わるまでは、その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし、初期設定が終了した外部メモリ領域のアクセスは可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
BCT0	ME3	1	0	0	ME2	1	0	0	ME1	1	0	0	ME0	1	0	0	FFFFFF480H	CCCCH
CSn信号	CS3				CS2				CS1				CS0					
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
BCT1	ME7	1	0	0	ME6	1	0	0	ME5	1	0	0	ME4	1	0	0	FFFFFF482H	CCCCH
CSn信号	CS7				CS6				CS5				CS4					

ビット位置	ビット名	意 味						
15, 11, 7, 3 (BCT0), 15, 11, 7, 3 (BCT1)	ME <sub>n</sub> (n = 0-7)	メモリ・コントローラの動作許可をチップ・セレクトごとに設定します <sup>注</sup> 。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">ME<sub>n</sub></th> <th style="width: 90%;">メモリ・コントローラの動作許可</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td>動作禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>動作許可</td> </tr> </tbody> </table>	ME <sub>n</sub>	メモリ・コントローラの動作許可	0	動作禁止	1	動作許可
ME <sub>n</sub>	メモリ・コントローラの動作許可							
0	動作禁止							
1	動作許可							

**注** CS5領域またはCS6領域に外部メモリを接続する場合は、BCT1.ME6, ME5ビット = 11B (動作許可) に設定してください。

なお、CS5のみ使用し、CS6はポート (PCS6) として使用する場合は、PMCCS = x01xxxxxB, またCS6のみ使用し、CS5はポート (PCS5) として使用する場合は、PMCCS = x10xxxxxBと設定してください。

## 4.5 バス・アクセス

### 4.5.1 アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数を次に示します。

バス・サイクル形態 リソース (バス幅)	命令フェッチ	オペランド・データ・アクセス
内蔵ROM (32ビット)	1 <sup>注1</sup>	5
内蔵RAM (32ビット)	1 <sup>注2</sup>	1
内蔵周辺I/O (16ビット)	-	5 <sup>注3</sup>
プログラマブル周辺I/O	-	5 <sup>注3</sup>
外部メモリ (16ビット)	3 <sup>注3</sup>	3 <sup>注3</sup>

注1. 命令分岐の場合は2

2. データ・アクセスと競合した場合は、2になります。

3. MIN.値

備考 単位はクロック / アクセスです。

### 4.5.2 バス・サイジング機能

バス・サイジング機能により、各CS空間ごとのデータ・バス幅を制御できます。データ・バス幅は、バス・サイズ・コンフィギュレーション・レジスタ (BSC) で設定します。

#### (1) バス・サイズ・コンフィギュレーション・レジスタ (BSC)

16ビット単位でリード/ライト可能です。

注意1. BSCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BSCレジスタの初期設定が終わるまでは、その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし、初期設定が終了した外部メモリ領域のアクセスは可能です。

2. 8ビット・バス幅の場合、次に示す信号のみアクティブになります。

$\overline{\text{LWR}}$  : SRAM, 外部ROM, 外部I/Oアクセス (ライト・サイクル) の場合

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値 <sup>注</sup>
BSC	0	BS70	0	BS60	0	BS50	0	BS40	0	BS30	0	BS20	0	BS10	0	BS00	FFFFFF066H	0000H/ 5555H
$\overline{\text{CSn}}$ 信号		$\overline{\text{CS7}}$		$\overline{\text{CS6}}$		$\overline{\text{CS5}}$		$\overline{\text{CS4}}$		$\overline{\text{CS3}}$		$\overline{\text{CS2}}$		$\overline{\text{CS1}}$		$\overline{\text{CS0}}$		

注 シングルチップ・モード0,1とROMレス・モード0のとき : 5555H  
ROMレス・モード1のとき : 0000H

ビット位置	ビット名	意味						
14, 12, 10, 8, 6, 4, 2, 0	BSn0 (n = 0-7)	CSn空間のデータ・バス幅を設定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <tr> <th style="width: 15%;">BSn0</th> <th style="width: 85%;">CSn空間のデータ・バス幅</th> </tr> <tr> <td style="text-align: center;">0</td> <td>8ビット</td> </tr> <tr> <td style="text-align: center;">1</td> <td>16ビット</td> </tr> </table>	BSn0	CSn空間のデータ・バス幅	0	8ビット	1	16ビット
BSn0	CSn空間のデータ・バス幅							
0	8ビット							
1	16ビット							

### 4.5.3 ワード・データ処理形式

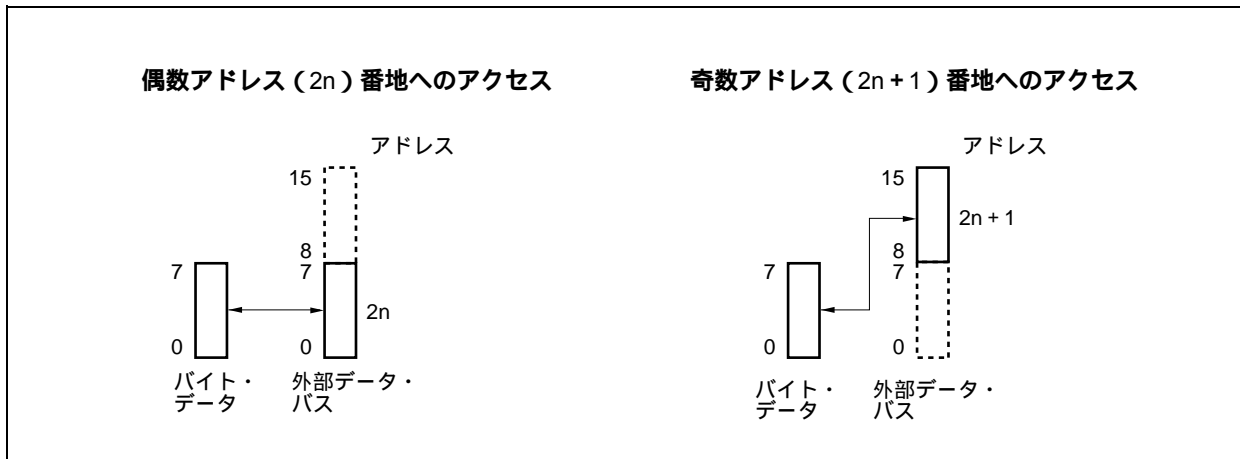
チップ・セレクト信号 ( $\overline{\text{CS0}}\text{-}\overline{\text{CS7}}$ ) で選択されるCS空間ごとにメモリ内のワード・データをリトル・エンディアン形式で処理できます。

### 4.5.4 バス幅

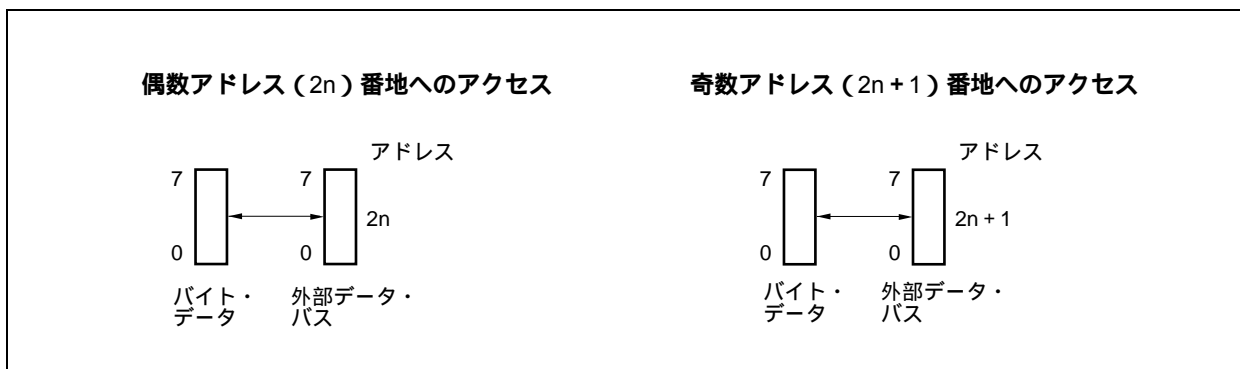
V850E/IA1が内蔵周辺I/Oアクセス，外部メモリ・アクセスを行う場合には，8, 16, 32ビット・アクセスがあります。次にそれぞれのアクセス時の動作を示します。すべてデータの低位側から順番にアクセスを行います。

#### (1) バイト・アクセス (8ビット)

##### (a) 16ビット・データ・バス幅のとき (リトル・エンディアン)

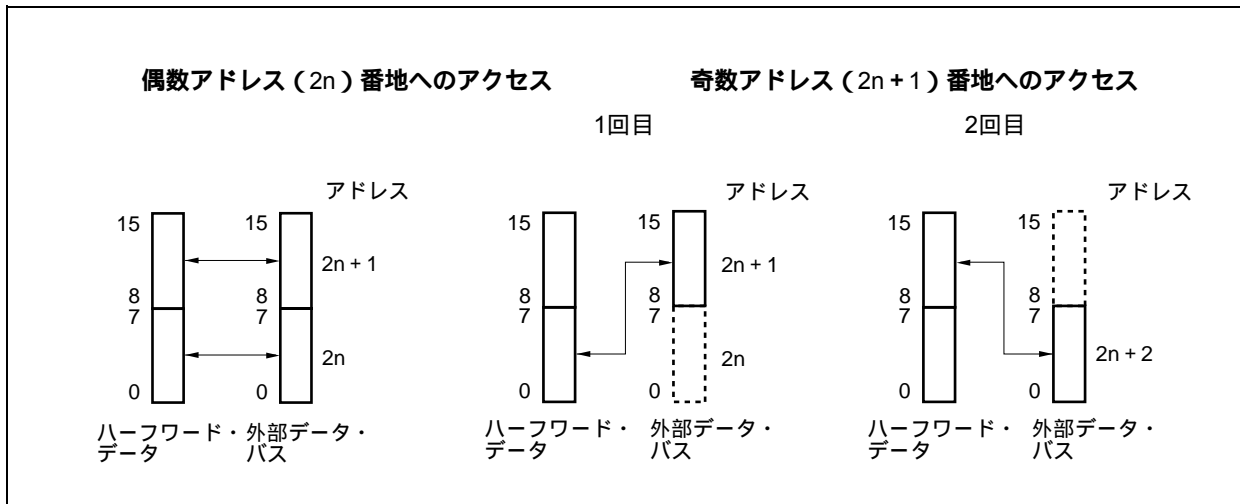


##### (b) 8ビット・データ・バス幅のとき (リトル・エンディアン)

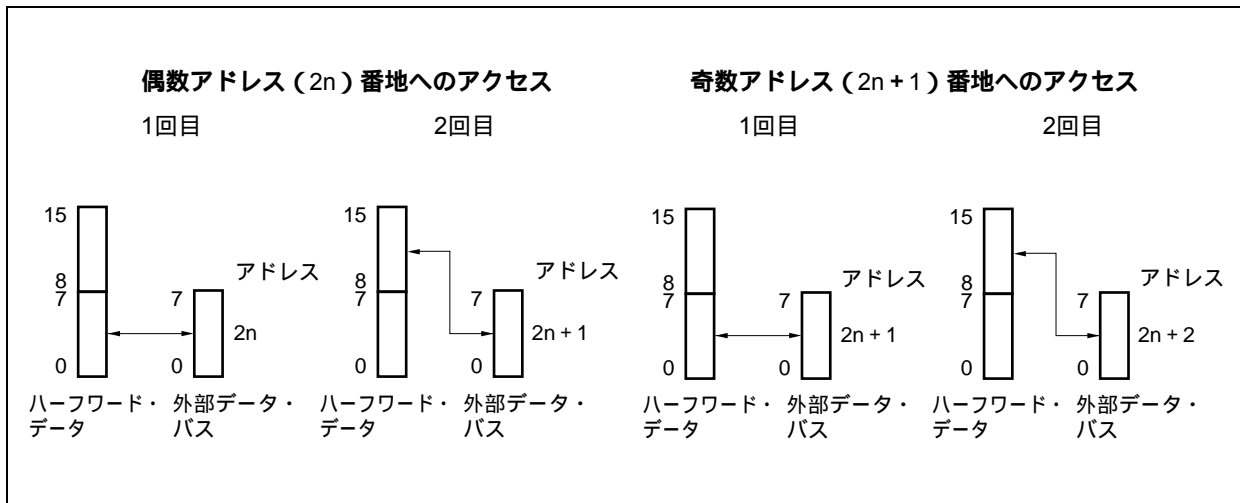


(2) ハーフワード・アクセス (16ビット)

(a) 16ビット・データ・バス幅のとき (リトル・エンディアン)

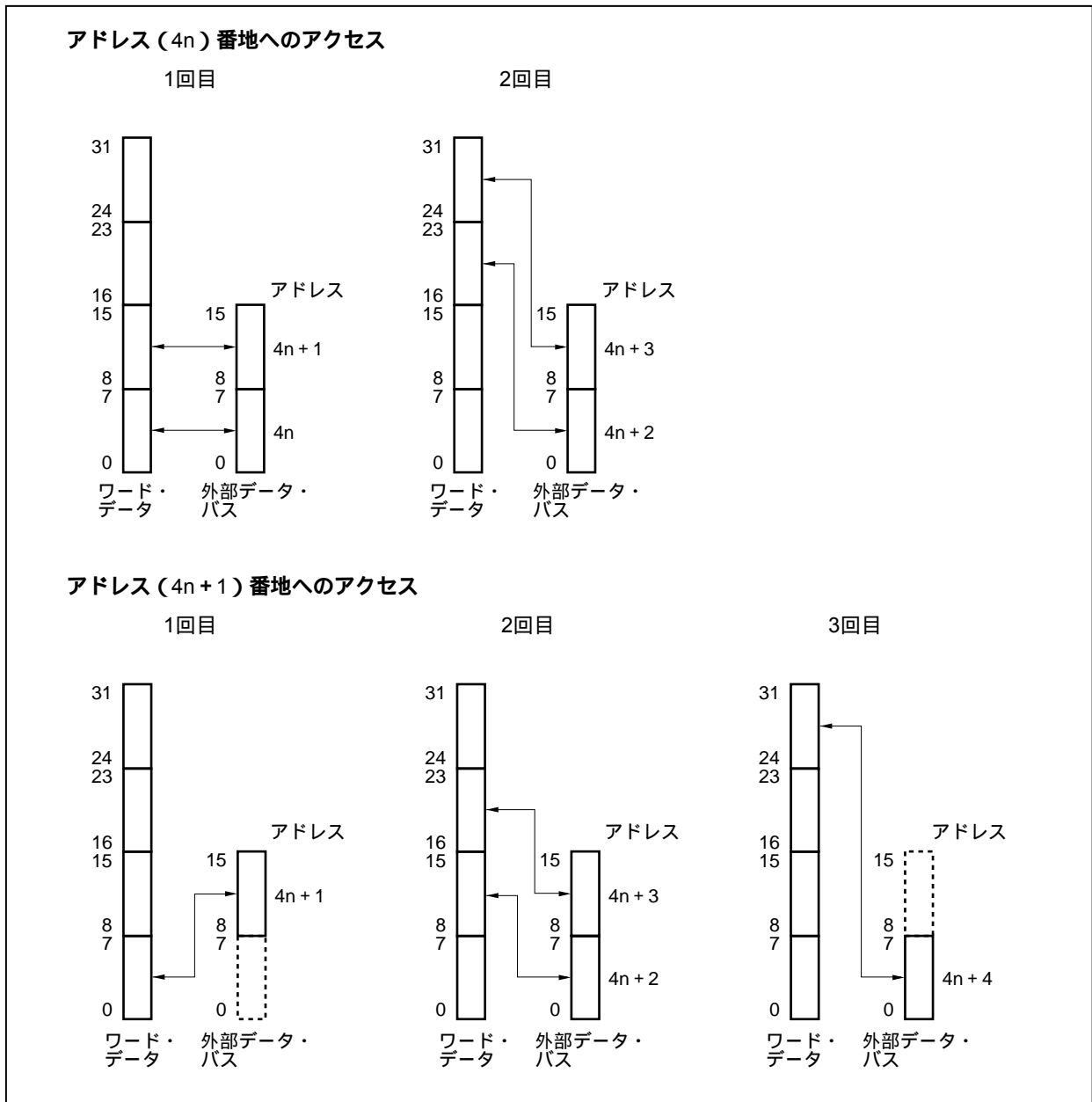


(b) 8ビット・データ・バス幅のとき (リトル・エンディアン)



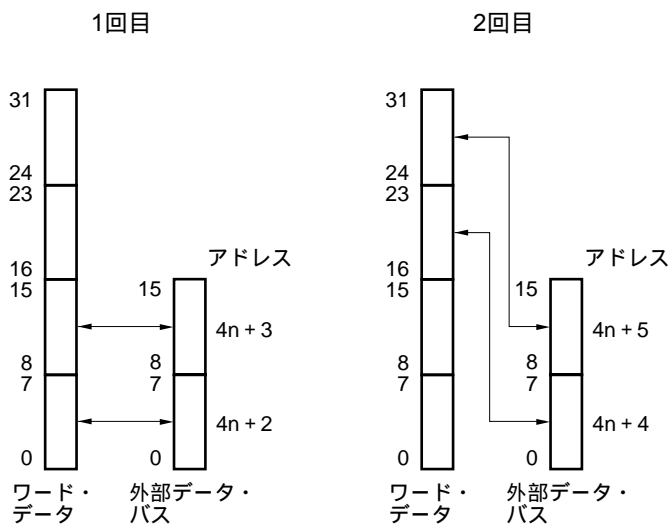
(3) ワード・アクセス (32ビット)

(a) 16ビット・データ・バス幅のとき (リトル・エンディアン) (1/2)

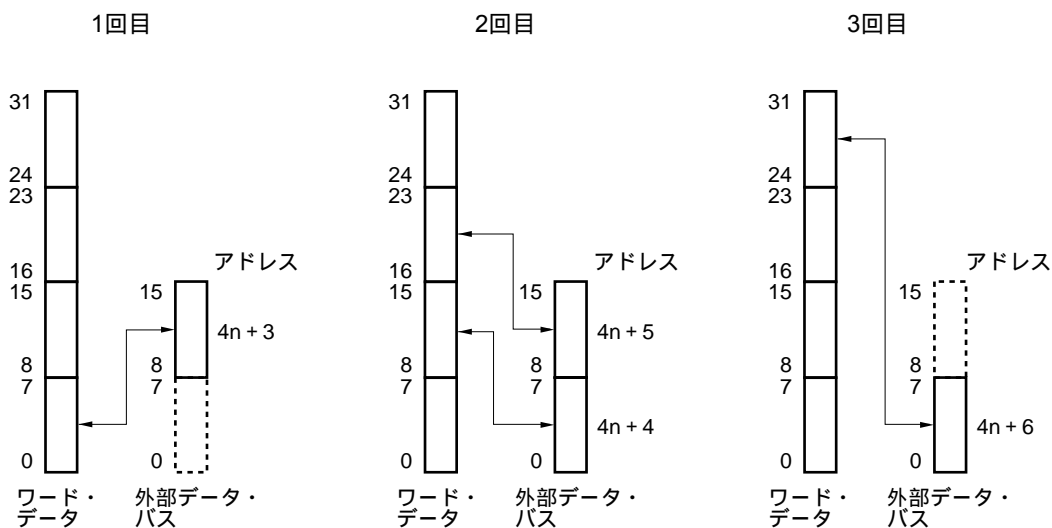


(a) 16ビット・データ・バス幅のとき (リトル・エンディアン) (2/2)

アドレス  $(4n+2)$  番地へのアクセス

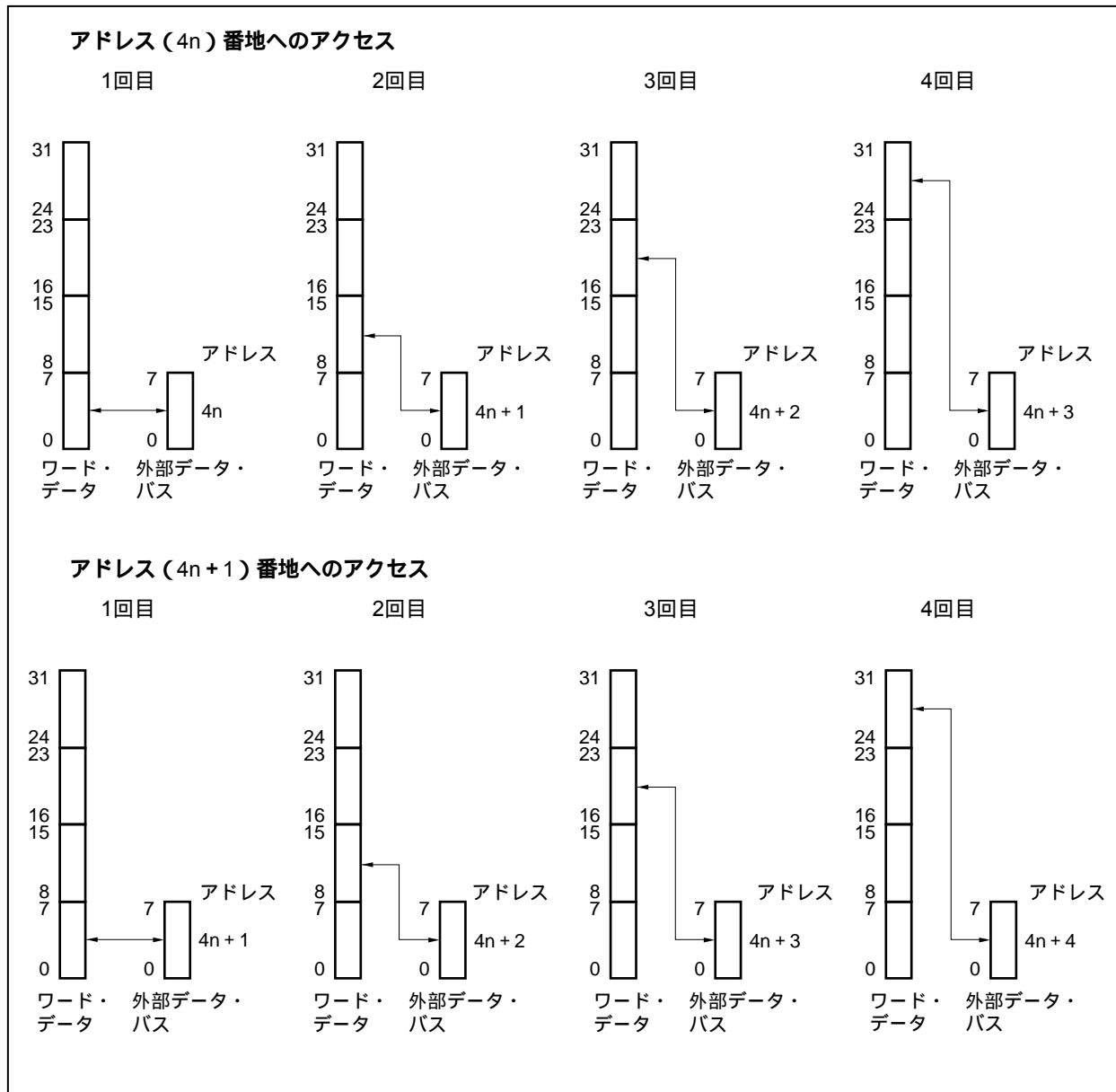


アドレス  $(4n+3)$  番地へのアクセス

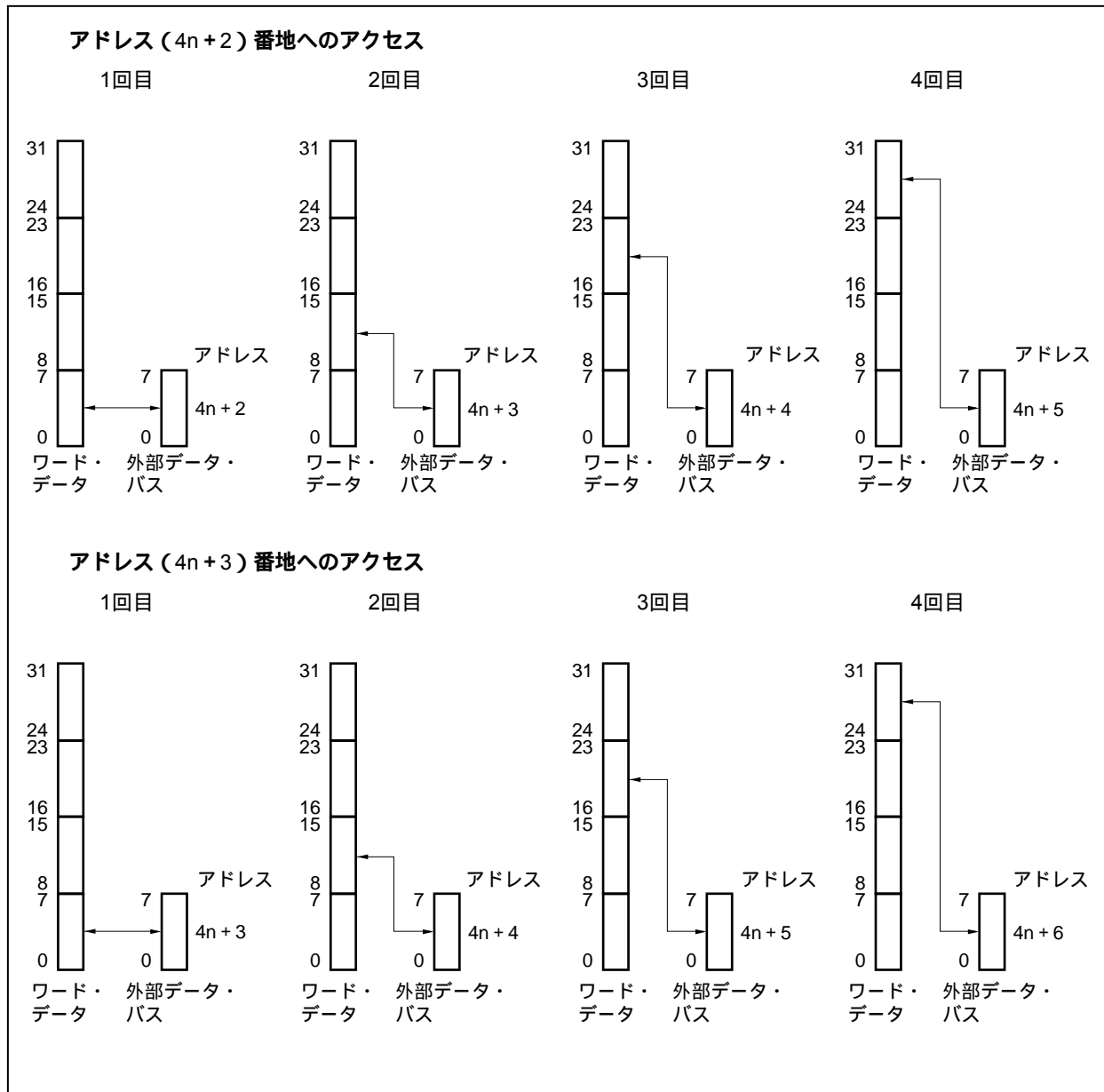




(b) 8ビット・データ・バス幅のとき (リトル・エンディアン) (1/2)



(b) 8ビット・データ・バス幅のとき (リトル・エンディアン) (2/2)



## 4.6 ウェイト機能

### 4.6.1 プログラマブル・ウェイト機能

#### (1) データ・ウェイト・コントロール・レジスタ0, 1 (DWC0, DWC1)

低速メモリ, I/Oに対するインタフェースを容易に実現させることを目的とし, 各CS空間ごとに起動されるバス・サイクルに対し, 最大7ステートのデータ・ウェイトを挿入可能です。

ウェイト数は, データ・ウェイト・コントロール・レジスタ0, 1 (DWC0, DWC1) でプログラマブルに指定可能です。システム・リセット直後は, 全ブロックに対して3データ・ウェイトの挿入状態になります。

16ビット単位でリード/ライト可能です。

**注意1.** 内蔵ROM領域, 内蔵RAM領域は, プログラマブル・ウェイトの対象外で, 常にノー・ウェイト・アクセスを行います。また, 内蔵周辺I/O領域も, プログラマブル・ウェイトの対象外で, 各周辺機能からのウェイト制御だけ行われます。

- DWC0, DWC1レジスタへの書き込みはリセット後に行い, そのあとは値を変更しないでください。また, DWC0, DWC1レジスタの初期設定が終わるまでは, その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし, 初期設定が終了した外部メモリ領域のアクセスは可能です。

	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		アドレス		初期値															
DWC0	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%;">0</td><td style="width: 5%;">DW32</td><td style="width: 5%;">DW31</td><td style="width: 5%;">DW30</td><td style="width: 5%;">0</td><td style="width: 5%;">DW22</td><td style="width: 5%;">DW21</td><td style="width: 5%;">DW20</td><td style="width: 5%;">0</td><td style="width: 5%;">DW12</td><td style="width: 5%;">DW11</td><td style="width: 5%;">DW10</td><td style="width: 5%;">0</td><td style="width: 5%;">DW02</td><td style="width: 5%;">DW01</td><td style="width: 5%;">DW00</td> </tr> </table>	0	DW32	DW31	DW30	0	DW22	DW21	DW20	0	DW12	DW11	DW10	0	DW02	DW01	DW00	FFFFF484H		3333H
0	DW32	DW31	DW30	0	DW22	DW21	DW20	0	DW12	DW11	DW10	0	DW02	DW01	DW00					
CSn信号	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 50%;"></td> <td style="width: 10%; text-align: center;">CS3</td> <td style="width: 10%; text-align: center;">CS2</td> <td style="width: 10%; text-align: center;">CS1</td> <td style="width: 10%; text-align: center;">CS0</td> </tr> </table>		CS3	CS2	CS1	CS0														
	CS3	CS2	CS1	CS0																
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		アドレス		初期値															
DWC1	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%;">0</td><td style="width: 5%;">DW72</td><td style="width: 5%;">DW71</td><td style="width: 5%;">DW70</td><td style="width: 5%;">0</td><td style="width: 5%;">DW62</td><td style="width: 5%;">DW61</td><td style="width: 5%;">DW60</td><td style="width: 5%;">0</td><td style="width: 5%;">DW52</td><td style="width: 5%;">DW51</td><td style="width: 5%;">DW50</td><td style="width: 5%;">0</td><td style="width: 5%;">DW42</td><td style="width: 5%;">DW41</td><td style="width: 5%;">DW40</td> </tr> </table>	0	DW72	DW71	DW70	0	DW62	DW61	DW60	0	DW52	DW51	DW50	0	DW42	DW41	DW40	FFFFF486H		3333H
0	DW72	DW71	DW70	0	DW62	DW61	DW60	0	DW52	DW51	DW50	0	DW42	DW41	DW40					
CSn信号	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 50%;"></td> <td style="width: 10%; text-align: center;">CS7</td> <td style="width: 10%; text-align: center;">CS6</td> <td style="width: 10%; text-align: center;">CS5</td> <td style="width: 10%; text-align: center;">CS4</td> </tr> </table>		CS7	CS6	CS5	CS4														
	CS7	CS6	CS5	CS4																

ビット位置	ビット名	意味																																				
14-12, 10-8, 6-4, 2-0	DWN2-DWN0 (n = 0-7)	CSn空間に挿入するウェイトのステート数を指定します。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <thead> <tr> <th style="width: 10%;">DWN2</th> <th style="width: 10%;">DWN1</th> <th style="width: 10%;">DWN0</th> <th style="width: 70%;">CSn空間の挿入ウェイト・ステート数</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>挿入しない</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>1</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>2</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>3</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>4</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>5</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>6</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>7</td> </tr> </tbody> </table>	DWN2	DWN1	DWN0	CSn空間の挿入ウェイト・ステート数	0	0	0	挿入しない	0	0	1	1	0	1	0	2	0	1	1	3	1	0	0	4	1	0	1	5	1	1	0	6	1	1	1	7
DWN2	DWN1	DWN0	CSn空間の挿入ウェイト・ステート数																																			
0	0	0	挿入しない																																			
0	0	1	1																																			
0	1	0	2																																			
0	1	1	3																																			
1	0	0	4																																			
1	0	1	5																																			
1	1	0	6																																			
1	1	1	7																																			

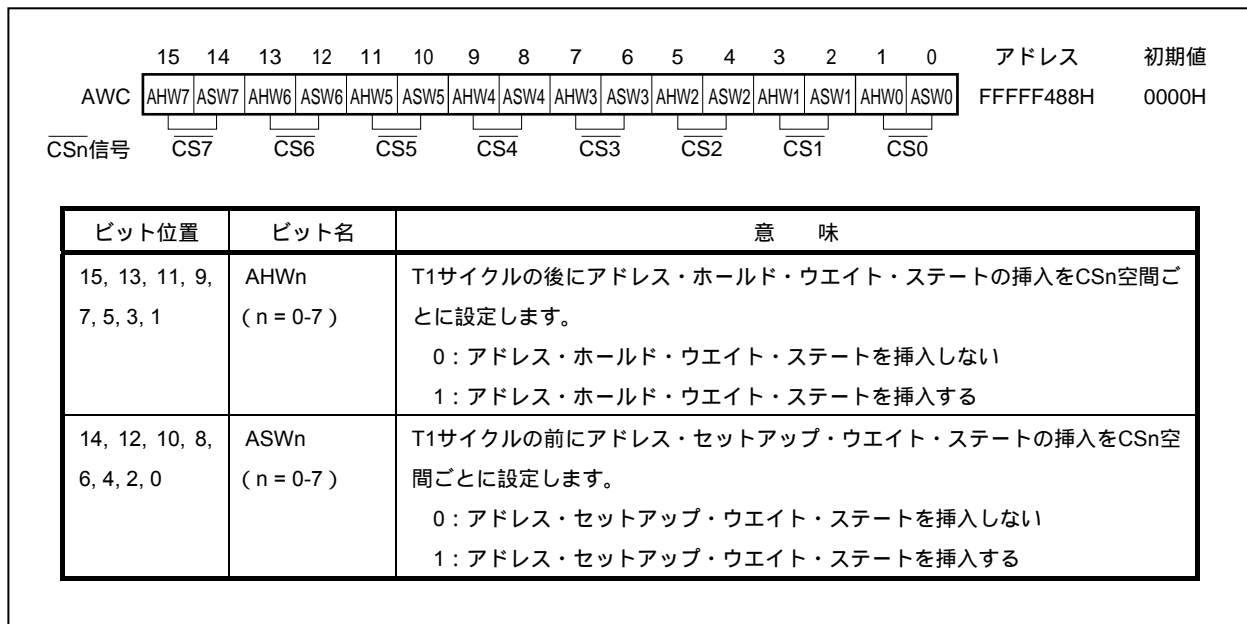
(2) アドレス・ウエイト制御レジスタ (AWC)

V850E/IA1は、T1サイクルの前にアドレス・セットアップ・ウエイト・ステートを、T1サイクルの後にアドレス・ホールド・ウエイト・ステートを挿入できます。

アドレス・セットアップ・ウエイト・ステート、アドレス・ホールド・ウエイト・ステートはAWCレジスタでCS空間ごとに設定できます。

16ビット単位でリード/ライト可能です。

**注意** AWCレジスタへの書き込みはリセット後に行ってください。書き込み後は、値を変更しないでください。



4.6.2 外部ウエイト機能

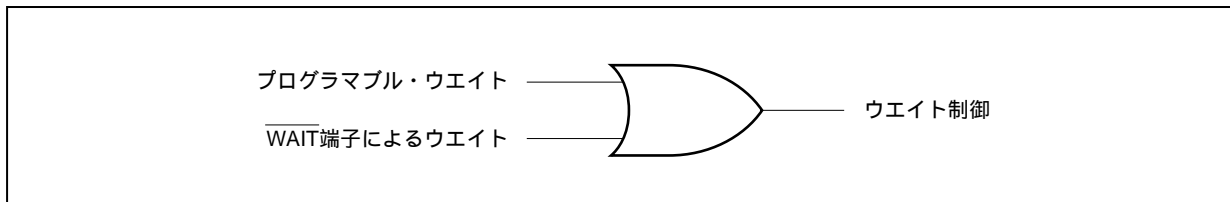
極端に遅いデバイスや、I/O、非同期システムに接続する場合など、外部デバイスに同期をとる目的で、外部ウエイト端子 ( $\overline{WAIT}$ ) によりバス・サイクルに任意のウエイト・ステートを挿入することができます。

内蔵ROM、内蔵RAM、内蔵周辺I/Oの各領域へのアクセスに対しては、プログラマブル・ウエイトと同様に、外部ウエイトによる制御はできません。

$\overline{WAIT}$ 入力は、CLKOUTに対する非同期入力が可能で、バス・サイクルのT2、TWステートのCLKOUT信号の立ち下がりでもサンプリングします。サンプル・タイミングにおける設定/保持時間を満たさないときは、次のステートでウエイトを挿入するか、挿入しないかのどちらかになります。

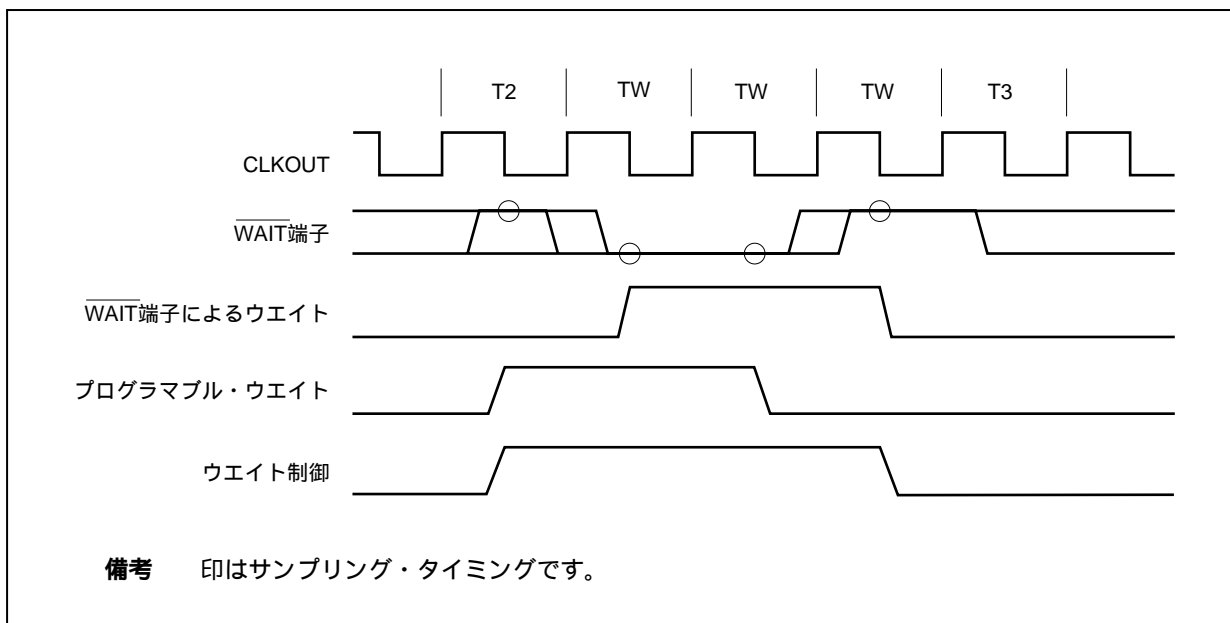
### 4.6.3 プログラマブル・ウエイトと外部ウエイトの関係

ウエイト・サイクルは、プログラマブル・ウエイトの設定値によるウエイト・サイクルと、 $\overline{\text{WAIT}}$ 端子制御によるウエイト・サイクルの論理和 (OR) として挿入されます。



たとえば、プログラマブル・ウエイト、 $\overline{\text{WAIT}}$ 端子が次のようなタイミングのとき、バス・サイクルは、3ウエイトになります。

図4-2 ウエイト挿入例



## 4.7 アイドル・ステート挿入機能

低速メモリに対するインタフェースを容易に実現させることを目的とし、各CS空間ごとにリード・アクセス時のメモリのデータ出力フロート遅延時間 (tdF) を確保するために、起動されるバス・サイクルに対し、T3ステート後に設定された数のアイドル・ステート (TI) を挿入可能です。T3ステートの次のバス・サイクルは、挿入されたアイドル・ステートのあとから開始します。

アイドル・ステートは次に示すタイミングで挿入されます。

- ・SRAM, 外部I/O, 外部ROMに対するリード・サイクル後

アイドル・ステートの挿入指定は、バス・サイクル・コントロール・レジスタ (BCC) で指定可能です。システム・リセット直後は、全ブロックに対してアイドル・ステートの挿入状態になります。

### (1) バス・サイクル・コントロール・レジスタ (BCC)

16ビット単位でリード/ライト可能です。

- 注意1.** 内蔵ROM領域, 内蔵RAM領域, 内蔵周辺I/O領域, プログラマブル周辺I/O領域は, アイドル・ステート挿入の対象外になります。
- BCCレジスタへの書き込みはリセット後に行い, そのあとは値を変更しないでください。また, BCCレジスタの初期設定が終わるまでは, その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし, 初期設定が終了した外部メモリ領域のアクセスは可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
BCC	BC71	0	BC61	0	BC51	0	BC41	0	BC31	0	BC21	0	BC11	0	BC01	0	FFFFFF48AH	AAAAH
CSn信号	CS7		CS6		CS5		CS4		CS3		CS2		CS1		CS0			

ビット位置	ビット名	意味
15, 13, 11, 9, 7, 5, 3, 1	BCn1 (n = 0-7)	T3ステートの後にアイドル・ステートの挿入をCSn空間ごとに指定します。 0: アイドル・ステートを挿入しない。 1: アイドル・ステートを挿入する。

## 4.8 バス・ホールド機能

### 4.8.1 機能概要

PCM2, PCM3端子がコントロール・モードに設定されていれば,  $\overline{\text{HLDAK}}$ ,  $\overline{\text{HLDRQ}}$ 機能が有効になります。

ほかのバス・マスタからのバス獲得要求として $\overline{\text{HLDRQ}}$ 端子がアクティブ(ロウ・レベル)になったことを受け付けると, 外部アドレス/データ・バス, 各種ストロブ端子をハイ・インピーダンス状態にし, 解放します(バス・ホールド状態)。 $\overline{\text{HLDRQ}}$ 端子がインアクティブ(ハイ・レベル)になりバス獲得要求が解除されれば, 再びこれらの端子の駆動を開始します。

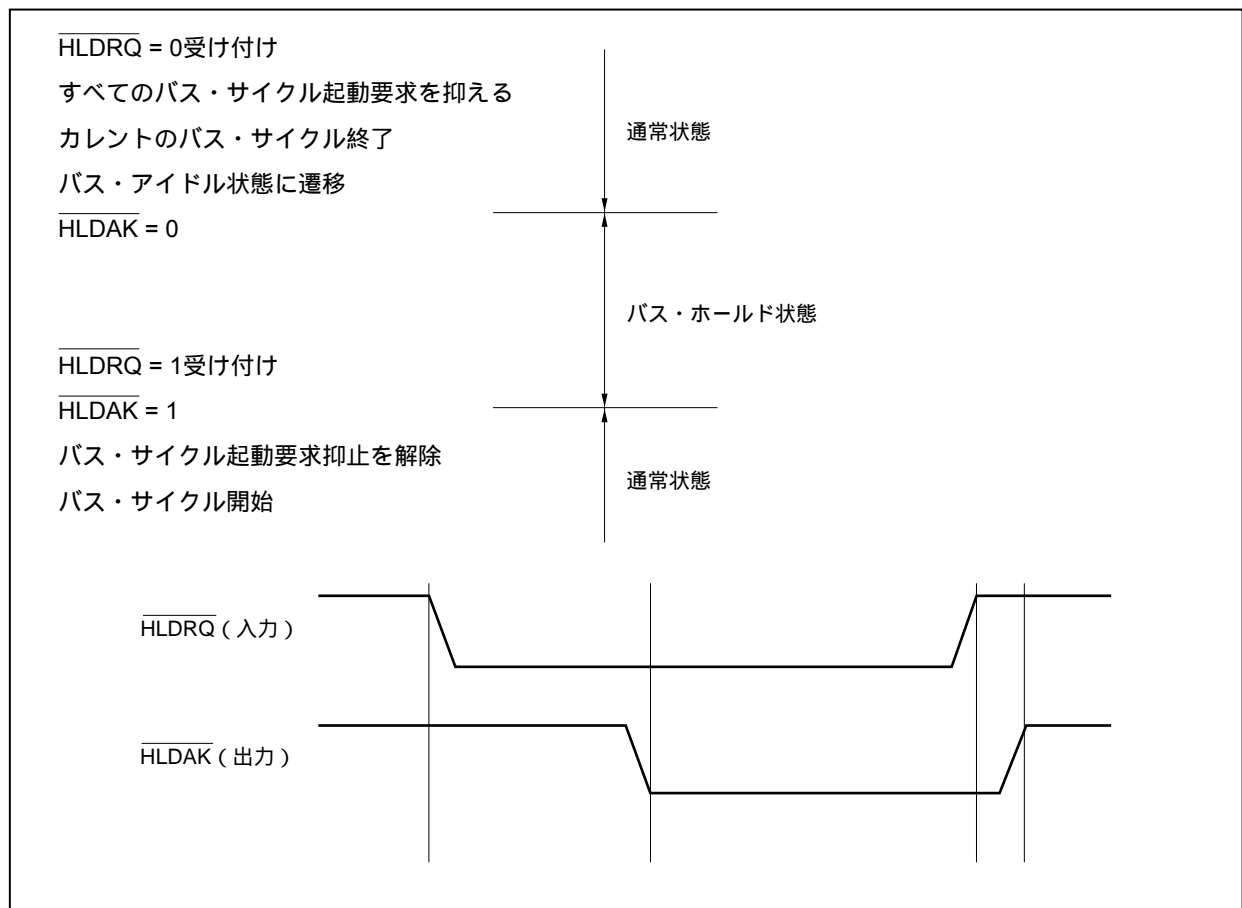
バス・ホールド期間中は, 外部メモリ・アクセスまたは内蔵周辺I/Oレジスタへのアクセスがあるまで, V850E/IA1の内部動作を継続します。

バス・ホールド状態は,  $\overline{\text{HLDAK}}$ 端子がアクティブ(ロウ・レベル)になったことにより知ることができます。 $\overline{\text{HLDRQ}}$ 端子がアクティブ(ロウ・レベル)になってから,  $\overline{\text{HLDAK}}$ 端子がアクティブ(ロウ・レベル)になるまでの時間は最短で2クロックです。

マルチプロセッサ構成など, バス・マスタが複数存在するようなシステムを構成できます。

### 4.8.2 バス・ホールド手順

バス・ホールド状態遷移の手順を次に示します。

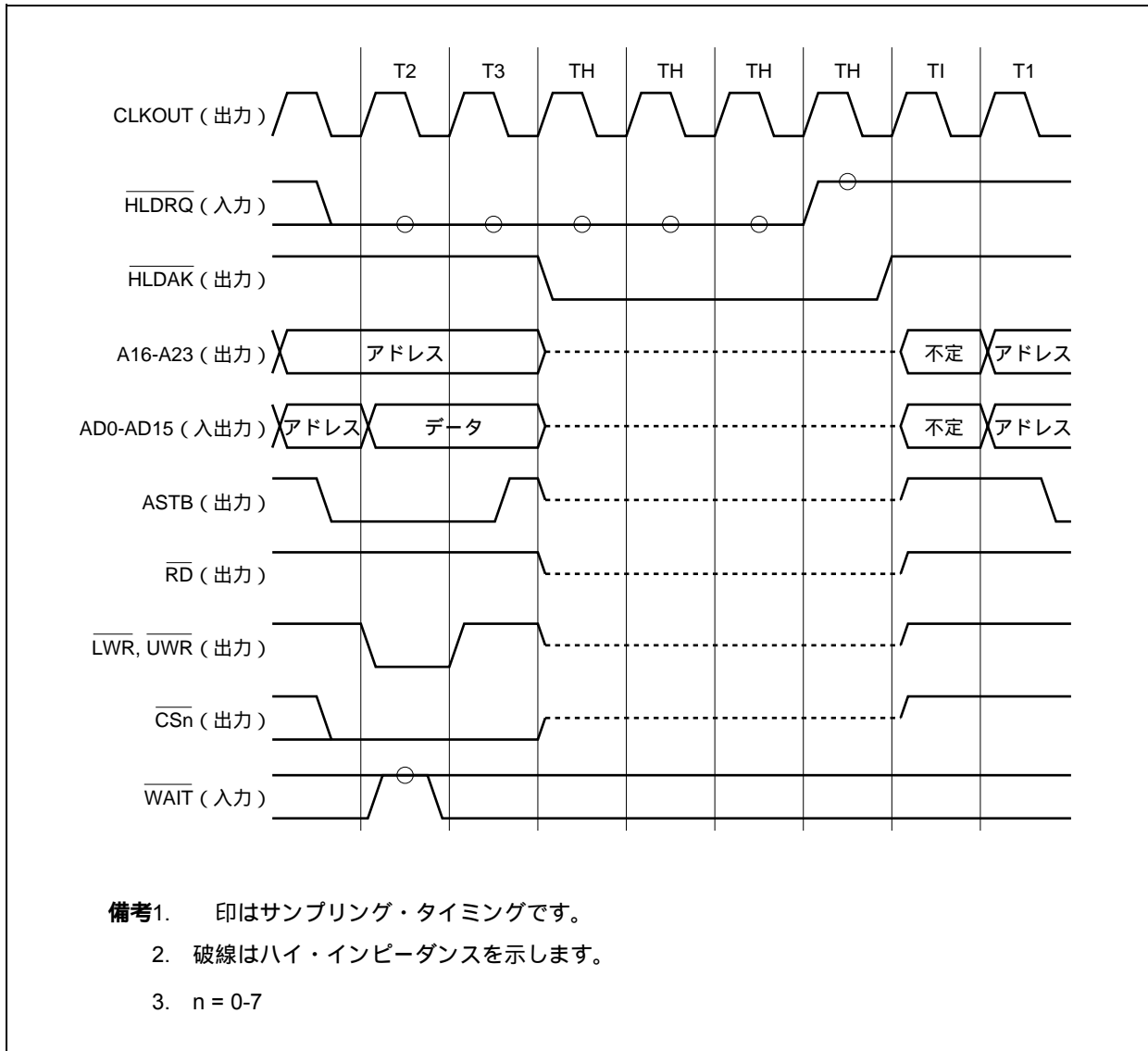


### 4.8.3 パワー・セーブ・モード時の動作

ソフトウェアSTOPモード期間中およびIDLEモード期間中は、内部システム・クロックが停止するため、 $\overline{\text{HLDRQ}}$ 端子がアクティブになっても受け付けられずバス・ホールド状態にはなりません。

HALTモードでは、 $\overline{\text{HLDRQ}}$ 端子がアクティブになると、ただちに $\overline{\text{HLDK}}$ 端子がアクティブになり、バス・ホールド状態になります。その後、 $\overline{\text{HLDRQ}}$ 端子がインアクティブになると、 $\overline{\text{HLDK}}$ 端子もインアクティブになり、バス・ホールド状態は解除され、再びHALTモードに戻ります。

### 4.8.4 バス・ホールド・タイミング





## 4.9 バスの優先順位

外部バス・サイクルには、バス・ホールド、DMAサイクル、オペランド・データ・アクセス、命令フェッチの4つがあります。

優先順位はバス・ホールドが最も高く、DMAサイクル、オペランド・データ・アクセス、命令フェッチの順で低くなります。

リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には、命令フェッチが挿入されることがあります。また、CPUバス・ロック時のバス・アクセスとバス・アクセスの間にも、命令フェッチが挿入されることがあります。

表4-1 バスの優先順位

優先順位	外部バス・サイクル	バス・マスタ
高い ↑ ↓ 低い	バス・ホールド	外部デバイス
	DMAサイクル	DMAコントローラ
	オペランド・データ・アクセス	CPU
	命令フェッチ	CPU

## 4.10 境界動作条件

### 4.10.1 プログラム空間

- (1) 内蔵周辺I/O領域への分岐または内蔵RAM領域から内蔵周辺I/O領域への連続フェッチは行わないでください。分岐や連続フェッチを行った場合、フェッチするデータが不定となり動作が保証できません。
- (2) 内蔵RAM領域の上限に分岐命令がある場合、内蔵周辺I/O領域にまたがるプリフェッチ動作(無効フェッチ)は発生しません。

### 4.10.2 データ空間

V850E/IA1はアドレス・ミス・アライン機能を内蔵しています。

この機能により、データの形式(ワード・データ、ハーフワード・データ)にかかわらず、すべてのアドレスに対してデータを配置できます。ただし、ワード・データ、ハーフワード・データの場合、データが境界整列していないと、バス・サイクルが最低2回は発生し、バス効率が低下します。

#### (1) ハーフワード長のデータ・アクセスの場合

アドレスの最下位ビットが1のとき、バイト長のバス・サイクルを2回生成します。

#### (2) ワード長のデータ・アクセスの場合

- (a) アドレスの最下位ビットが1のとき、バイト長のバス・サイクル、ハーフワード長のバス・サイクル、バイト長のバス・サイクルの順でバス・サイクルを生成します。
- (b) アドレスの下位2ビットが10のとき、ハーフワード長のバス・サイクルを2回生成します。

## 第5章 メモリ・アクセス制御機能

### 5.1 SRAM , 外部ROM , 外部I/Oインタフェース

#### 5.1.1 特 徴

SRAMへのアクセスは最小2ステート

DWC0, DWC1レジスタの設定により, 最大7ステートのプログラマブルなデータ・ウエイトを挿入可能

$\overline{\text{WAIT}}$ 端子の入力により, データ・ウエイトを制御可能

BCCレジスタの設定により, リード/ライト・サイクルのあとにアイドル・ステート(1ステート)を挿入可能

AWCレジスタの設定により, アドレス・ホールド・ウエイト・ステートとアドレス・セットアップ・ウエイト・ステートを挿入可能

5.1.2 SRAM, 外部ROM, 外部I/Oアクセス

図5-1 SRAM, 外部ROM, 外部I/Oアクセス・タイミング (1/5)

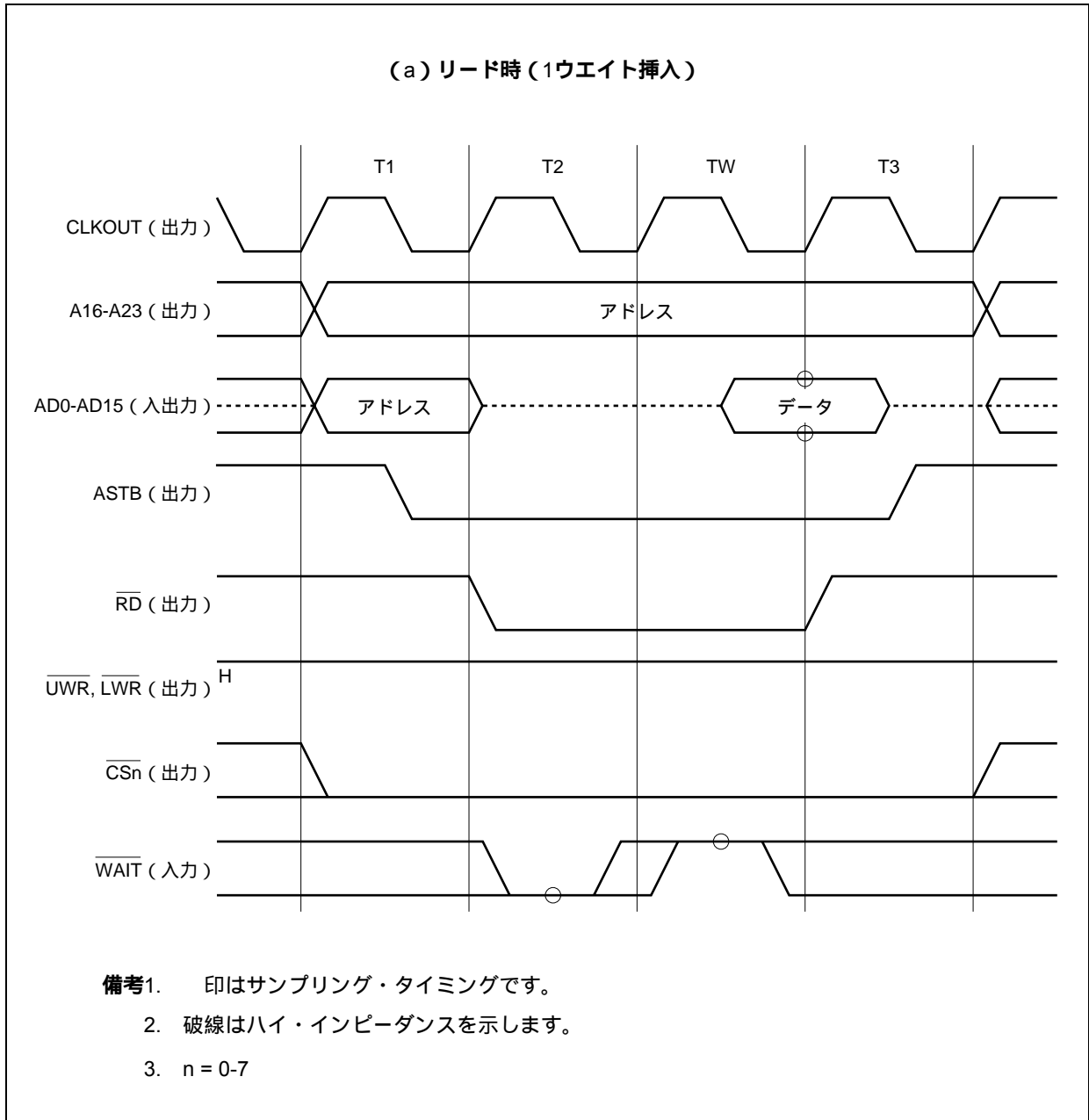


図5 - 1 SRAM, 外部ROM, 外部I/Oアクセス・タイミング (2/5)

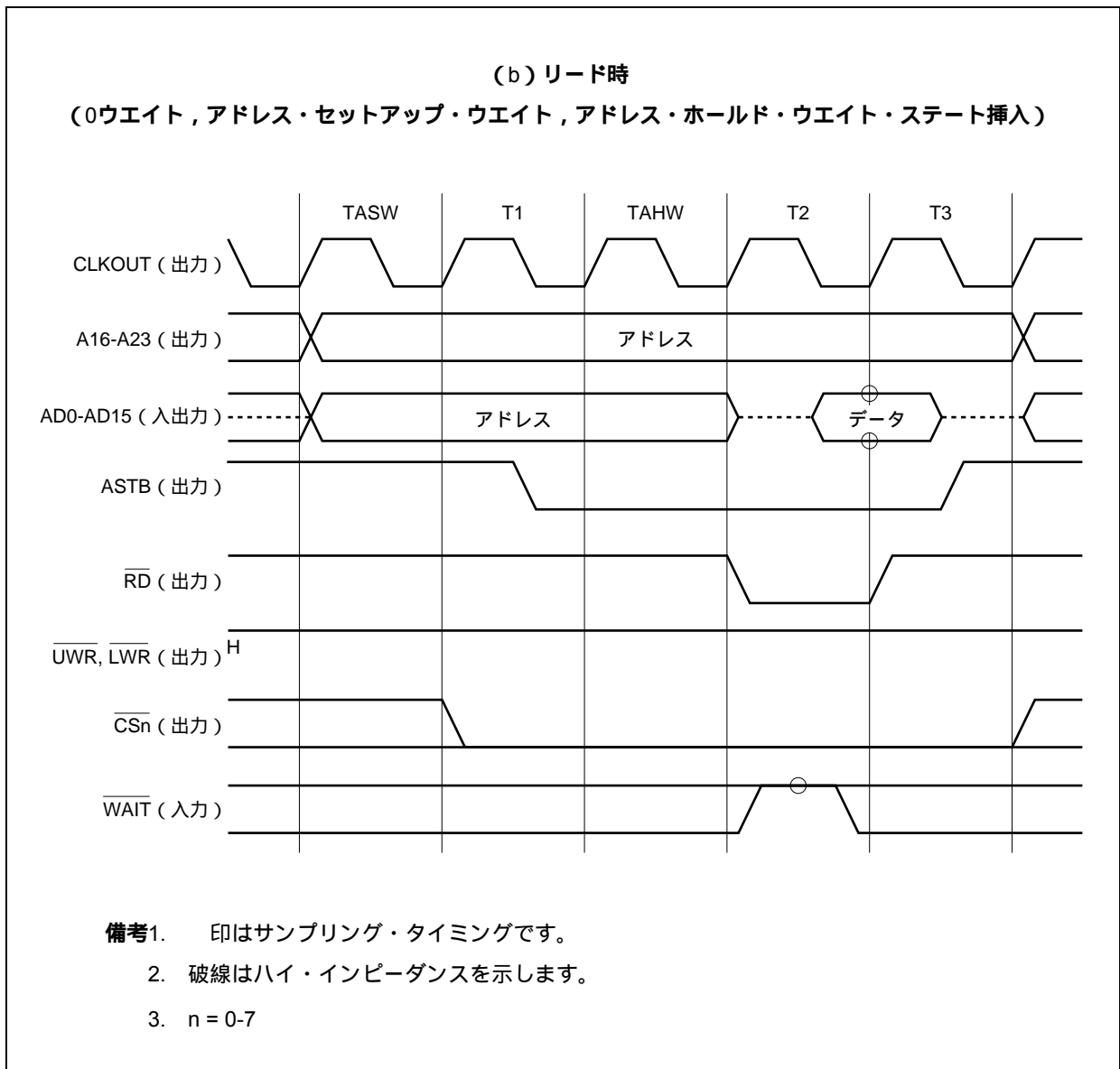


図5 - 1 SRAM, 外部ROM, 外部I/Oアクセス・タイミング (3/5)

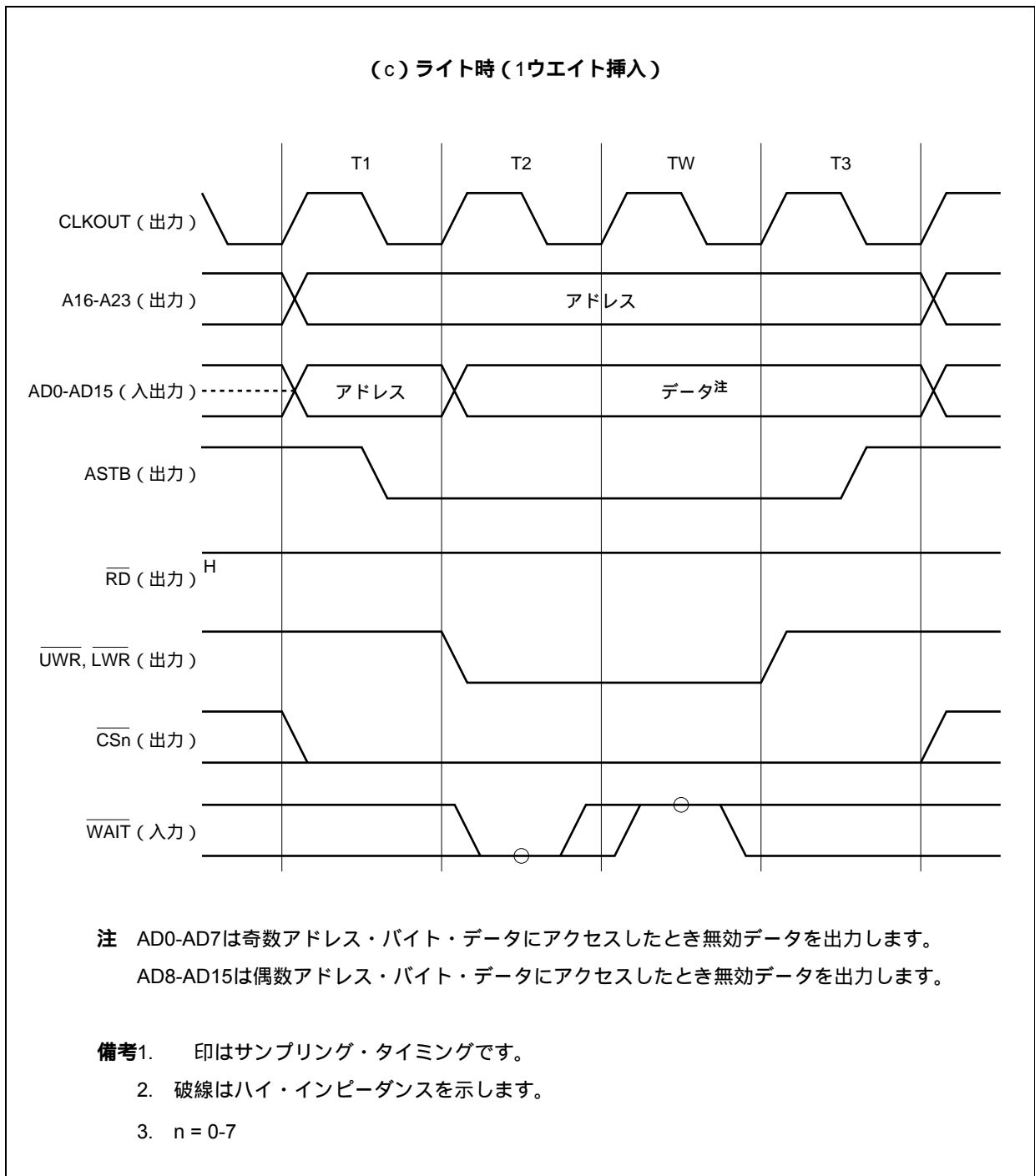


図5 - 1 SRAM , 外部ROM , 外部I/Oアクセス・タイミング (4/5)

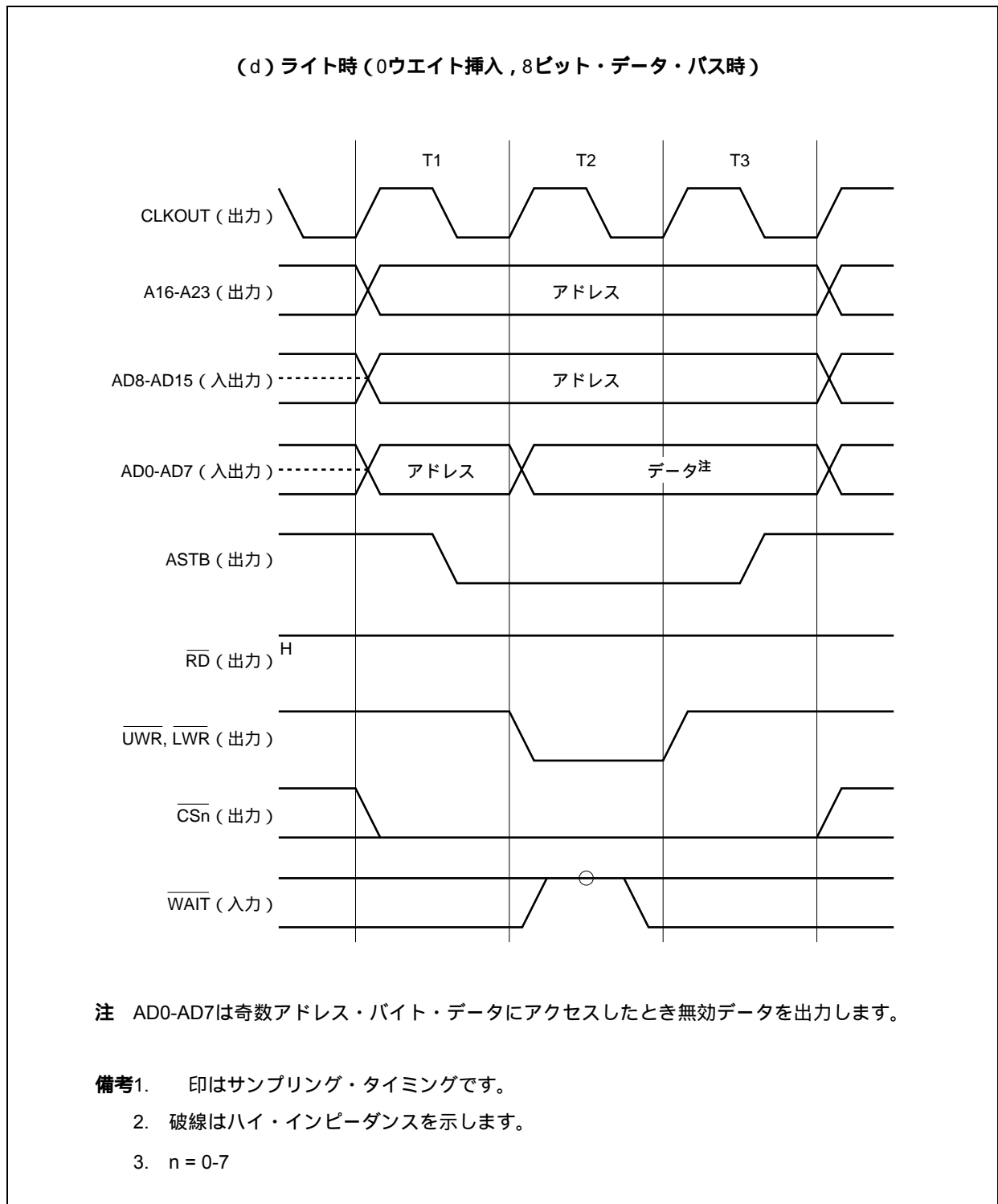
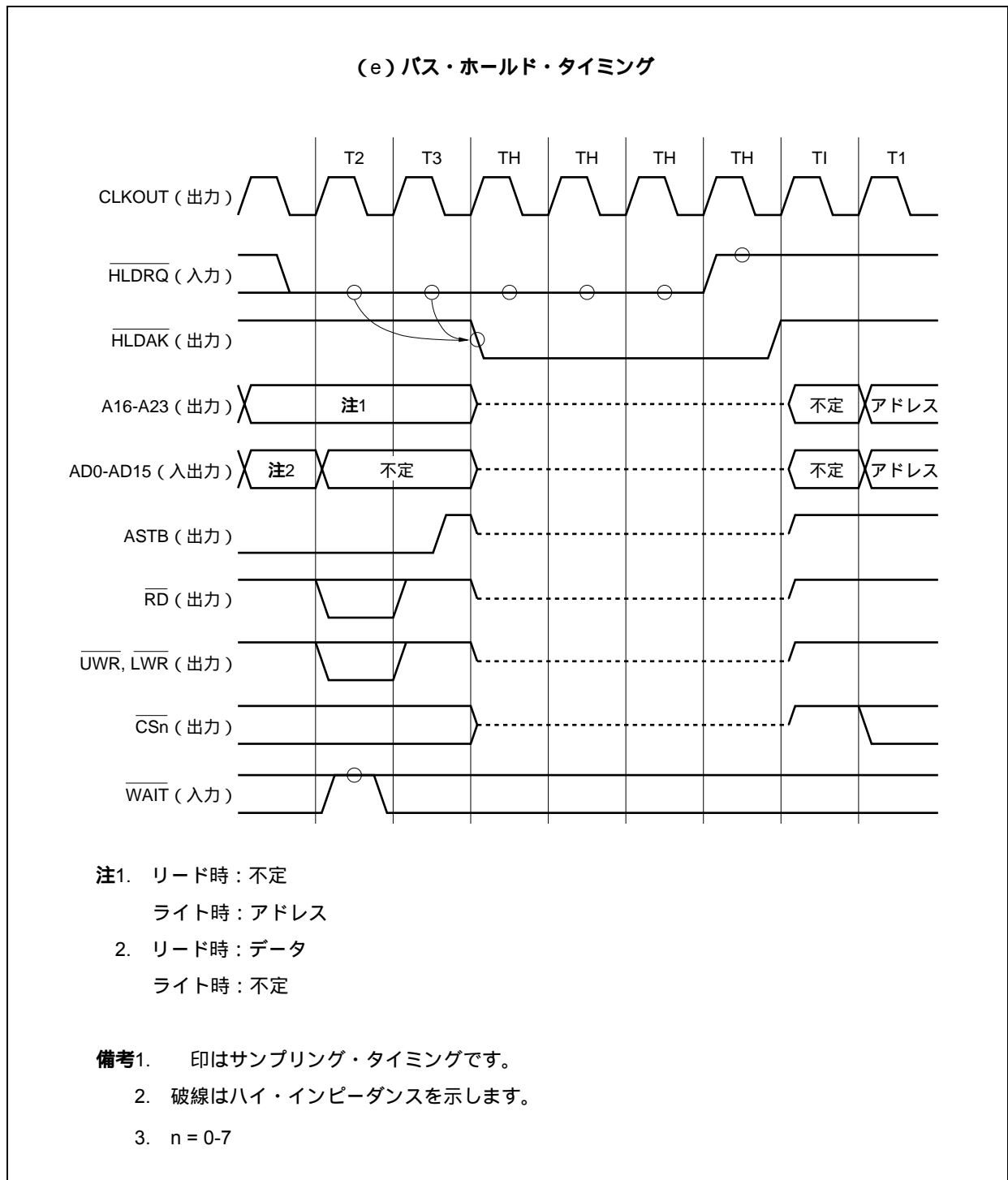


図5 - 1 SRAM, 外部ROM, 外部I/Oアクセス・タイミング (5/5)



## 第6章 DMA機能 (DMAコントローラ)

V850E/IA1は、DMA転送を実行制御するDMA (Direct Memory Access) コントローラ (DMAC) を備えています。

DMACは、内蔵周辺I/O (シリアル・インタフェース、タイマ/カウンタ、A/Dコンバータなど) からの割り込みによる要求、またはソフトウェア・トリガによるDMA要求に基づいて、メモリ 周辺I/O間、メモリ メモリ間、周辺I/O 周辺I/O間でのデータ転送を制御します (メモリは内蔵RAM、または外部メモリを意味します)。

### 6.1 特 徴

4つの独立なDMAチャンネル

転送単位：8ビット / 16ビット

最大転送回数：65536 ( $2^{16}$ ) 回

転送タイプ：2サイクル転送

3種類の転送モード

- ・シングル転送モード
- ・シングルステップ転送モード
- ・ブロック転送モード

転送要求

- ・内蔵周辺I/O (シリアル・インタフェース、タイマ/カウンタ、A/Dコンバータなど) からの割り込みによる要求
- ・ソフトウェア・トリガによる要求

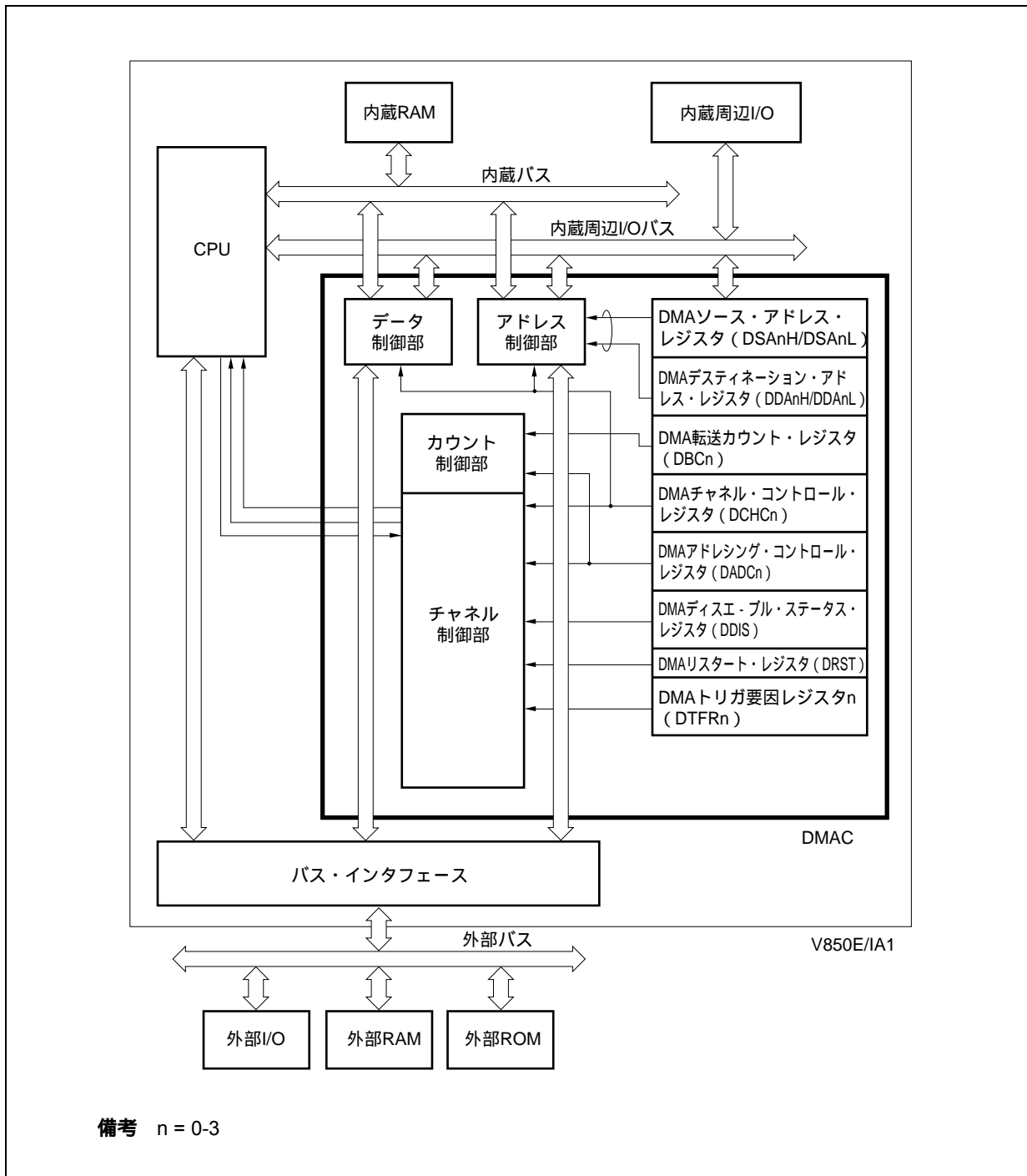
転送対象

- ・メモリ 周辺I/O
- ・メモリ メモリ
- ・周辺I/O 周辺I/O

ネクスト・アドレス設定機能



## 6.2 構成



## 6.3 制御レジスタ

### 6.3.1 DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3)

DMAチャンネルnのDMA転送元アドレス(28ビット)を設定します(n=0-3)。このレジスタは,DSAnH, DSAnLの2つの16ビット・レジスタに分かれます。

2段FIFO形式のバッファ・レジスタなので, DMA転送中に新たなDMA転送の転送元アドレスが設定できます(6.8 **ネクスト・アドレス設定機能**参照)。ネクスト・アドレスを設定する場合, 新たなDSAnレジスタの設定は, DMA転送が正常に終了し, DMAチャンネル・コントロール・レジスタn(DCHCn)のTCnビットがセット(1)されたとき, またはDCHCnレジスタのINITnビットをセット(1)したときのみ, その設定値がスレーブ・レジスタに転送され, 有効となります(n=0-3)。

#### (1) DMAソース・アドレス・レジスタ0H-3H (DSA0H-DSA3H)

16ビット単位でリード/ライト可能です。

ビット12-14には必ず0を設定してください。1を設定した場合の動作は保証できません。

- 注意1.** ソース・アドレスに内蔵周辺I/Oレジスタのアドレスを設定する場合は, 必ずFFFF000H-FFFFFFFHのアドレスを指定してください。内蔵周辺I/Oレジスタのイメージ(3FFF000H-3FFFFFFH)のアドレスは指定できません。
2. DSAnHレジスタの設定は, DMA中断中には行わないでください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DSA0H	IR	0	0	0	SA27	SA26	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16	FFFFFF082H	不定
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DSA1H	IR	0	0	0	SA27	SA26	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16	FFFFFF08AH	不定
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DSA2H	IR	0	0	0	SA27	SA26	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16	FFFFFF092H	不定
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DSA3H	IR	0	0	0	SA27	SA26	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16	FFFFFF09AH	不定

ビット位置	ビット名	意味
15	IR	DMA転送元を指定します。 0: 外部メモリ, 内蔵周辺I/O 1: 内蔵RAM
11-0	SA27-SA16	DMA転送元のアドレス(A27-A16)を設定します。DMA転送中は, 次のDMA転送元アドレスを保持します。

(2) DMAソース・アドレス・レジスタ0L-3L (DSA0L-DSA3L)

16ビット単位でリード/ライト可能です。

DSA0L	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0	FFFFFF080H	不定
DSA1L	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0	FFFFFF088H	不定
DSA2L	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0	FFFFFF090H	不定
DSA3L	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0	FFFFFF098H	不定

ビット位置	ビット名	意味
15-0	SA15-SA0	DMA転送元のアドレス (A15-A0) を設定します。DMA転送中は、次のDMA転送元アドレスを保持します。

### 6.3.2 DMAデスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3)

DMAチャンネルnのDMA転送先アドレス(28ビット)を設定します(n = 0-3)。このレジスタは,DDAnH, DDAnLの2つの16ビット・レジスタに分かれます。

2段FIFO形式のバッファ・レジスタなので, DMA転送中に新たなDMA転送の転送先アドレスが設定できます(6.8 **ネクスト・アドレス設定機能**参照)。ネクスト・アドレスを設定する場合, 新たなDDAnレジスタの設定は, DMA転送が正常に終了し, DMAチャンネル・コントロール・レジスタn (DCHCn)のTCnビットがセット(1)されたとき, またはDCHCnレジスタのINITnビットをセット(1)したときのみ, その設定値がスレーブ・レジスタに転送され, 有効となります(n = 0-3)。

#### (1) DMAデスティネーション・アドレス・レジスタ0H-3H (DDA0H-DDA3H)

16ビット単位でリード/ライト可能です。

ビット12-14には必ず0を設定してください。1を設定した場合の動作は保証できません。

- 注意1.** デスティネーション・アドレスに内蔵周辺I/Oレジスタのアドレスを設定する場合は, 必ず FFFF000H-FFFFFFFHのアドレスを指定してください。内蔵周辺I/Oレジスタのイメージ(3FFF000H-3FFFFFFFH)のアドレスは指定できません。
2. DDAnHレジスタの設定は, DMA中断中には行わないでください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DDA0H	IR	0	0	0	DA27	DA26	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16	FFFFFF086H	不定
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DDA1H	IR	0	0	0	DA27	DA26	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16	FFFFFF08EH	不定
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DDA2H	IR	0	0	0	DA27	DA26	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16	FFFFFF096H	不定
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DDA3H	IR	0	0	0	DA27	DA26	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16	FFFFFF09EH	不定

ビット位置	ビット名	意味
15	IR	DMA転送先を指定します。 0 : 外部メモリ, 内蔵周辺I/O 1 : 内蔵RAM
11-0	DA27-DA16	DMA転送先のアドレス (A27-A16) を設定します。DMA転送中は, 次のDMA転送先アドレスを保持します。

(2) DMAデスティネーション・アドレス・レジスタ0L-3L (DDA0L-DDA3L)

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DDA0L	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0	FFFFFF084H	不定
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DDA1L	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0	FFFFFF08CH	不定
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DDA2L	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0	FFFFFF094H	不定
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DDA3L	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0	FFFFFF09CH	不定

ビット位置	ビット名	意味
15-0	DA15-DA0	DMA転送先のアドレス (A15-A0) を設定します。DMA転送中は、次のDMA転送先アドレスを保持します。

### 6.3.3 DMA転送カウント・レジスタ0-3 (DBC0-DBC3)

DMAチャネルnの転送数を設定する16ビット・レジスタです (n = 0-3)。DMA転送中は、残りの転送数を保持します。

2段FIFO形式のバッファ・レジスタなので、DMA転送中に新たなDMA転送の転送回数が設定できます (6.8 **ネクスト・アドレス設定機能**参照)。ネクスト・アドレスを設定する場合、新たなDBCnレジスタの設定は、DMA転送が正常に終了し、DMAチャネル・コントロール・レジスタn (DCHCn) のTCnビットがセット (1) されたとき、またはDCHCnレジスタのINITnビットをセット (1) したときのみ、その設定値がスレーブ・レジスタに転送され、有効となります (n = 0-3)。

1回の転送につき1ずつデクリメントされ、ポローが発生すると転送を終了します。

16ビット単位でリード/ライト可能です。

**注意1.** 転送元が内蔵RAMの2サイクル転送の場合は、転送回数を2回 (DBCnレジスタの設定値 = 0001H) に設定しないでください。

2回のDMA転送が必要な場合には、必ず転送回数を1回 (DBCnレジスタの設定値 = 0000H) に設定したDMA転送を2回実行してください。

2. DBCnレジスタの設定は、DMA中断中には行わないでください。

**備考** DMA転送中にDBCnレジスタを書き換えることなくターミナル・カウントが発生したあと、DBCnレジスタを読み出した場合は、DMA転送の直前に設定された値が読み出されます (転送終了後でも0000Hは読み出されません)。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DBC0	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	FFFFFF0C0H	不定
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DBC1	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	FFFFFF0C2H	不定
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DBC2	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	FFFFFF0C4H	不定
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DBC3	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	FFFFFF0C6H	不定

ビット位置	ビット名	意味										
15-0	BC15-BC0	転送数を設定します。DMA転送中は残りの転送数を保持します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>DBCn (n = 0-3)</th> <th>状態</th> </tr> </thead> <tbody> <tr> <td>0000H</td> <td>1回の転送, または残り転送数</td> </tr> <tr> <td>0001H</td> <td>2回の転送, または残り転送数</td> </tr> <tr> <td>⋮</td> <td>⋮</td> </tr> <tr> <td>FFFFH</td> <td>65536 (2<sup>16</sup>) 回の転送, または残り転送数</td> </tr> </tbody> </table>	DBCn (n = 0-3)	状態	0000H	1回の転送, または残り転送数	0001H	2回の転送, または残り転送数	⋮	⋮	FFFFH	65536 (2 <sup>16</sup> ) 回の転送, または残り転送数
DBCn (n = 0-3)	状態											
0000H	1回の転送, または残り転送数											
0001H	2回の転送, または残り転送数											
⋮	⋮											
FFFFH	65536 (2 <sup>16</sup> ) 回の転送, または残り転送数											

### 6.3.4 DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3)

DMAチャネルnのDMA転送モードを制御する16ビット・レジスタです (n = 0-3)。DMA動作中はアクセスできません。

16ビット単位でリード/ライト可能です。

ビット0, 1, 8-13には必ず0を設定してください。1を設定した場合の動作は保証できません。

**注意1.** DS1, DS0ビットは何ビットのデータを転送するかを設定するビットです。

8ビット・データ (DS1, DS0ビット = 00) を設定した場合は、必ずしも下位データ・バス (AD0-AD7) を使用するわけではありません。

また、転送データ・サイズを16ビットに設定した場合は下位アドレスの1ビットを“0”にアラインしたアドレスから必ず転送を開始します。この場合は奇数アドレスから始まる転送はできません。

2. DADCnレジスタの設定は、対象となるチャネルが次のいずれかのタイミングのときに行ってください (これらのタイミング以外で設定を行った場合の動作は保証しません)。

- ・システム・リセットから最初のDMA転送要求発生までの期間
- ・DMA転送の完了後 (ターミナル・カウント後) から次のDMA転送要求発生までの期間
- ・DMA転送の強制終了後 (DMAチャネル・コントロール・レジスタn (DCHCn) のINITnビットがセット (1) 後) から次のDMA転送要求発生までの期間

(1/2)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DADC0	DS1	DS0	0	0	0	0	0	0	SAD1	SAD0	DAD1	DAD0	TM1	TM0	0	0	FFFFFF0D0H	0000H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DADC1	DS1	DS0	0	0	0	0	0	0	SAD1	SAD0	DAD1	DAD0	TM1	TM0	0	0	FFFFFF0D2H	0000H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DADC2	DS1	DS0	0	0	0	0	0	0	SAD1	SAD0	DAD1	DAD0	TM1	TM0	0	0	FFFFFF0D4H	0000H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DADC3	DS1	DS0	0	0	0	0	0	0	SAD1	SAD0	DAD1	DAD0	TM1	TM0	0	0	FFFFFF0D6H	0000H

ビット位置	ビット名	意味															
15, 14	DS1, DS0	DMA転送での転送データ・サイズを設定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>DS1</th> <th>DS0</th> <th>転送データ・サイズ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>8ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>16ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table> <p>内蔵周辺I/Oレジスタとプログラマブル周辺I/Oレジスタの場合は、アクセス・サイズに合わせた転送サイズで転送してください。</p>	DS1	DS0	転送データ・サイズ	0	0	8ビット	0	1	16ビット	1	0	設定禁止	1	1	設定禁止
DS1	DS0	転送データ・サイズ															
0	0	8ビット															
0	1	16ビット															
1	0	設定禁止															
1	1	設定禁止															

ビット位置	ビット名	意味															
7, 6	SAD1, SAD0	DMAチャンネルnの転送元アドレスのカウント方向を設定します (n = 0-3)。 <table border="1"> <thead> <tr> <th>SAD1</th> <th>SAD0</th> <th>カウント方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	SAD1	SAD0	カウント方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止
SAD1	SAD0	カウント方向															
0	0	インクリメント															
0	1	デクリメント															
1	0	固定															
1	1	設定禁止															
5, 4	DAD1, DAD0	DMAチャンネルnの転送先アドレスのカウント方向を設定します (n = 0-3)。 <table border="1"> <thead> <tr> <th>DAD1</th> <th>DAD0</th> <th>カウント方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	DAD1	DAD0	カウント方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止
DAD1	DAD0	カウント方向															
0	0	インクリメント															
0	1	デクリメント															
1	0	固定															
1	1	設定禁止															
3, 2	TM1, TM0	DMA転送時の転送モードを設定します。 <table border="1"> <thead> <tr> <th>TM1</th> <th>TM0</th> <th>転送モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>シングル転送モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>シングルステップ転送モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>ブロック転送モード</td> </tr> </tbody> </table>	TM1	TM0	転送モード	0	0	シングル転送モード	0	1	シングルステップ転送モード	1	0	設定禁止	1	1	ブロック転送モード
TM1	TM0	転送モード															
0	0	シングル転送モード															
0	1	シングルステップ転送モード															
1	0	設定禁止															
1	1	ブロック転送モード															



### 6.3.5 DMAチャネル・コントロール・レジスタ0-3 (DCHC0-DCHC3)

DMAチャネルnのDMA転送動作モードを制御する8ビット・レジスタです (n = 0-3)。

8/1ビット単位でリード/ライト可能です (ただし、ビット7はリードだけ、ビット2, ビット1はライトだけ可能です。ビット2, ビット1をリードした場合は0が読み出されます。 )。

ビット4-6には必ず0を設定してください。1を設定した場合の動作は保証できません。

- 注意1.** MLEnビットがセット (1) された状態で転送を完了し、次の転送要求を内蔵周辺I/Oからの割り込みで起動するDMA転送 (ハードウェアDMA) で行った場合、次の転送はTCnビットがセット (1) された状態で実行されます (自動的にクリア (0) されません)。
2. MLEnビットの設定は、対象となるチャネルが次のいずれかのタイミングのときに行ってください (これらのタイミング以外で設定を行った場合の動作は保証しません)。
    - ・システム・リセットから最初のDMA転送要求発生までの期間
    - ・DMA転送の完了後 (ターミナル・カウント後) から次のDMA転送要求発生までの期間
    - ・DMA転送の強制終了後 (INITnビットのセット (1) 後) から次のDMA転送要求発生までの期間
  3. MLEnビットをセット (1) した状態で、DMA転送の最後の転送サイクル時に強制終了を行ったときは、転送完了時と同様の動作 (TCnビットのセット (1) ) を行います (Ennビットは、MLEnビットの値にかかわらず、強制終了時にクリア (0) されます)。
 

この場合、次のDMA転送要求時は、Ennビットのセット (1) に加え、TCnビットの読み出し (クリア (0) ) も必要です。
  4. DMA転送完了時 (ターミナル・カウント時) は、Ennビットのクリア (0) TCnビットのセット (1) の順で各ビットの更新が行われます。そのため、TCnビットとEnnビットの状態をポーリングしているような場合、DCHCnレジスタの読み出しタイミングが上記の各ビットの更新途中であると、「転送未完了、かつ転送禁止」の状態を示す値 (TCnビット = 0, かつEnnビット = 0) が読み出されることがあります (異常動作ではありません)。
  5. DMA転送完了後 (ターミナル・カウント後) には必ずTCnビットの読み出し (クリア (0) ) を行ってください。TCnビットの読み出し (クリア (0) ) が必要ないのは、次の2つの条件を満たす場合だけです。
    - ・DMA転送完了時 (ターミナル・カウント時) にMLEnビットがセット (1) されている
    - ・次のDMA転送起動要因が内蔵周辺I/Oからの割り込みで起動するDMA転送 (ハードウェアDMA)

いずれか1つでも条件を満たしていない場合には、必ず次のDMA転送要求発生までにTCnビットの読み出し (クリア (0) ) を行ってください。

TCnビットがセット (1) された状態で次のDMA転送要求を発生させた場合の動作は保証できません。
  6. Enn, STGnビットの設定は、DMA中断中には行わないでください。DMA中断中に設定した場合の動作は保証できません。
  7. Ennビットのクリア (0) により、DMA転送を完了させないでください。
  8. DMA転送の状態とレジスタ値の関係は次のようになります。
    - ・DMA転送動作中 : TCnビット = 0, Ennビット = 1
    - ・DMA転送中断中 : TCnビット = 0, Ennビット = 0
    - ・DMA転送停止中 (完了中) : TCnビット = 1

	⑦	6	5	4	③	②	①	①	①	アドレス	初期値
DCHC0	TC0	0	0	0	MLE0	INIT0	STG0	E00		FFFFFF0E0H	00H
	⑦	6	5	4	③	②	①	①	①	アドレス	初期値
DCHC1	TC1	0	0	0	MLE1	INIT1	STG1	E11		FFFFFF0E2H	00H
	⑦	6	5	4	③	②	①	①	①	アドレス	初期値
DCHC2	TC2	0	0	0	MLE2	INIT2	STG2	E22		FFFFFF0E4H	00H
	⑦	6	5	4	③	②	①	①	①	アドレス	初期値
DCHC3	TC3	0	0	0	MLE3	INIT3	STG3	E33		FFFFFF0E6H	00H

ビット位置	ビット名	意味
7	TCn	DMAチャンネルnのDMA転送の完了 / 未完了を示すステータス・ビットです。 読み出しだけです。DMA転送の最後の転送時にセット (1) され、読み出しによりクリア (0) されます。 0 : DMA転送未完了 1 : DMA転送完了
3	MLEn	DMA転送完了時 (ターミナル・カウント出力時) に、このビットがセット (1) されていると、Ennビットはクリア (0) されず、DMA転送許可状態のままになります。 次のDMA転送起動要因が内蔵周辺I/Oからの割り込みの場合 (ハードウェアDMA) は、TCnビットを読み出さなくても、DMA転送要求が受けられます。次のDMA転送起動要因がSTGnビットのセット (1) の場合 (ソフトウェアDMA) は、TCnビットを読み出してクリア (0) すれば、DMA転送要求が受け付けられます。 DMA転送完了時 (ターミナル・カウント出力時) に、このビットがクリア (0) されていると、Ennビットはクリア (0) され、DMA転送禁止状態になります。 次のDMA転送要求時は、TCnビットの読み出しとEnnビットのセット (1) が必要です。
2	INITn	DMA転送中、またはDMA中断中にこのビットをセット (1) すると、DMA転送を強制終了します (6. 12. 1 DMA転送強制終了に関する制限事項参照)。
1	STGn	DMA転送が許可の状態 (TCnビット = 0, Ennビット = 1) で、このビットをセット (1) するとDMA転送を開始します。
0	Enn	DMAチャンネルnのDMA転送の許可 / 禁止を設定します。DMA転送が完了するとクリア (0) されます。また、NMI入力や、INITnビットのセット (1) による強制中断、強制終了時にもクリア (0) されます。 0 : DMA転送の禁止 1 : DMA転送の許可  <b>注意</b> Ennビットをセット (1) した場合、DBCnレジスタで設定した転送回数分のDMA転送が完了するか、またはINITnビットでDMA転送を強制終了させるまでは、Ennビットの設定は行わないでください。

備考 n = 0-3

### 6.3.6 DMAディスエーブル・ステータス・レジスタ (DDIS)

強制中断時 (NMI入力時) にDCHCnレジスタのEnnビットの内容を保持するレジスタです (n = 0-3)。

8ビット単位でリードだけ可能です。

ビット4-7には必ず0を設定してください。1を設定した場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
DDIS	0	0	0	0	CH3	CH2	CH1	CH0	FFFFFF0F0H	00H

ビット位置	ビット名	意味
3-0	CH3-CH0	強制中断時 (NMI入力時) にDCHCnレジスタのEnnビットの内容が反映されます。このレジスタの内容は、次の強制中断時 (NMI入力時) , またはシステム・リセット時まで保持されます。

### 6.3.7 DMAリスタート・レジスタ (DRST)

DRSTレジスタのENnビットは、DCHCnレジスタのEnnビットとそれぞれ連結しており、DMA転送の許可 / 禁止の設定を4チャンネル別々に行う場合はEnnビットを、4チャンネル同時に行う場合はDRSTレジスタを使用することも可能です (n = 0-3)。

8ビット単位でリード / ライト可能です。

ビット4-7には必ず0を設定してください。1を設定した場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
DRST	0	0	0	0	EN3	EN2	EN1	EN0	FFFFFF0F2H	00H

ビット位置	ビット名	意味
3-0	EN3-EN0	DMAチャンネルnのDMA転送の許可 / 禁止を設定します。ターミナル・カウント出力によりDMA転送が終了するとクリア (0) されます (n = 0-3)。また、NMI入力や、DCHCnレジスタのINITnビットのセット (1) によるDMA強制終了時にもクリア (0) されます。 0 : DMA転送の禁止 1 : DMA転送の許可

### 6.3.8 DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3)

内蔵周辺I/Oから割り込み要求によるDMA転送開始トリガを制御する8ビット・レジスタです。

このレジスタで設定した割り込み要求が、DMA転送の起動要因になります。

8ビット単位でリード/ライト可能です。ただし、ビット7(DFn)のみ1ビット単位、ビット5-0(IFCn5-IFCn0)は8ビット単位でリード/ライト可能です( $n = 0-3$ )。

ビット6には必ず0を設定してください。1を設定した場合の動作は保証できません。

**注意1.** DTFRnレジスタの設定を変更する場合は、必ずDMA動作を停止してから行ってください。

2. INTP0-INTP6およびINTP20-INTP25 (アナログ・フィルタによるノイズ除去を選択した場合)を除き、スタンバイ・モード (IDLE, ソフトウェアSTOPモード) 中に入力された割り込み要求は、DMA転送の起動要因にはなりません。

3. IFCn5-IFCn0ビットにより、DMA転送の起動要因を変更した場合は、必ず直後の命令でDFnビットのクリア (0) も行ってください。

4. DTFRnレジスタの設定を変更する場合は必ず次の手順で行ってください。

- IFCn5-IFCn0ビットに設定する値が他チャンネルのIFCm5-IFCm0ビットに設定されていない場合 ( $n = 0-3, m = 0-3, n \neq m$ )

DCHCnレジスタのEnnビット = 0の場合は - , Ennビット = 1の場合は - の手順で行ってください。

書き換え対象となるチャンネルのDMA動作を停止 (DCHCnレジスタのINITnビット = 1) する。

DTFRnレジスタの設定を変更する (必ずDFnビット = 0とし、かつ8ビット操作で行ってください)。

DMA転送要求をクリアする必要がある場合には、DMA転送要求フラグをクリア (DTFRnレジスタのDFnビット = 0) する。

DMA動作を許可 (Ennビット = 1) する。

- IFCn5-IFCn0ビットに設定する値がすでに他チャンネルのIFCm5-IFCm0ビットに設定されている場合 ( $n = 0-3, m = 0-3, n = m$ )

DCHCnレジスタのEnnビット = 0の場合は - , Ennビット = 1の場合は - の手順で行ってください。

書き換え対象となるチャンネルのDMA動作を停止 (DCHCnレジスタのINITnビット = 1) する。

IFCn5-IFCn0ビットに書き換える値と同じ値がIFCm5-IFCm0ビットに設定されているチャンネルのDMA転送を停止 (DCHCmレジスタのINITmビット = 1) する。

DTFRnレジスタの設定を変更する (必ずDFnビット = 0とし、かつ8ビット操作で行ってください)。

DMA転送要求をクリアする必要がある場合には、DMA転送要求フラグをクリア (DTFRnレジスタのDFnビット = 0) する。

DMA動作を許可 (Ennビット = 1およびEmmビット = 1) する。

	⑦	6	5	4	3	2	1	0	アドレス	初期値
DTFR0	DF0	0	IFC05	IFC04	IFC03	IFC02	IFC01	IFC00	FFFFFF810H	00H
	⑦	6	5	4	3	2	1	0	アドレス	初期値
DTFR1	DF1	0	IFC15	IFC14	IFC13	IFC12	IFC11	IFC10	FFFFFF812H	00H
	⑦	6	5	4	3	2	1	0	アドレス	初期値
DTFR2	DF2	0	IFC25	IFC24	IFC23	IFC22	IFC21	IFC20	FFFFFF814H	00H
	⑦	6	5	4	3	2	1	0	アドレス	初期値
DTFR3	DF3	0	IFC35	IFC34	IFC33	IFC32	IFC31	IFC30	FFFFFF816H	00H

ビット位置	ビット名	意味
7	DFn	<p>DMA転送要求フラグです。</p> <p>DFnビットはソフトウェアにより1を設定しないでください。</p> <p>0 : DMA転送要求なし</p> <p>1 : DMA転送要求あり</p> <p>DMA転送を禁止 (NMIによる中断, ソフトウェアによる強制終了を含む) している間に, DMA転送の起動要因に設定している割り込みが発生し, DMA転送要求をクリアする必要がある場合には, 割り込み発生要因の動作を停止 (例 シリアル受信の場合, 受信を禁止) したあとに, DFnビットに0をライトしてください。</p> <p>なお, 次にDMA転送を再開するまでに再度割り込みが発生しないことがアプリケーション上で明確な場合は, 割り込み発生要因の動作を停止する必要はありません。</p>

備考 n = 0-3

ビット位置	ビット名	意味																																																																																																																																																																																																																																																																			
5-0	IFCn5-IFCn0	DMA転送の起動要因になる割り込み要因を設定します。																																																																																																																																																																																																																																																																			
		<table border="1"> <thead> <tr> <th>IFCn5</th> <th>IFCn4</th> <th>IFCn3</th> <th>IFCn2</th> <th>IFCn1</th> <th>IFCn0</th> <th>割り込み要因</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>内蔵周辺I/OからのDMA要求禁止</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>INTP0</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>INTP1</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>INTP2</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>INTP3</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td><td>INTP4</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>INTP5</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>INTP6</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>INTDET0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td><td>INTDET1</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td><td>INTTM00</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td><td>1</td><td>INTCM003</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td><td>INTTM01</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>1</td><td>INTCM013</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>0</td><td>INTP100/INTCC100</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>1</td><td>INTP101/INTCC101</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>INTCM100</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>INTCM101</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>INTP110/INTCC110</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td><td>1</td><td>INTP111/INTCC111</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td><td>INTCM110</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td><td>1</td><td>INTCM111</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>1</td><td>0</td><td>INTTM20</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>1</td><td>1</td><td>INTTM21</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>INTP20/INTCC20</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td><td>1</td><td>INTP21/INTCC21</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td><td>INTP22/INTCC22</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>1</td><td>1</td><td>INTP23/INTCC23</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>0</td><td>0</td><td>INTP24/INTCC24</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>0</td><td>1</td><td>INTP25/INTCC25</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>INTTM3</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>INTP30/INTCC30</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>INTP31/INTCC31</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>INTCM4</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>INTDMA0</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>INTDMA1</td></tr> </tbody> </table>	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因	0	0	0	0	0	0	内蔵周辺I/OからのDMA要求禁止	0	0	0	0	0	1	INTP0	0	0	0	0	1	0	INTP1	0	0	0	0	1	1	INTP2	0	0	0	1	0	0	INTP3	0	0	0	1	0	1	INTP4	0	0	0	1	1	0	INTP5	0	0	0	1	1	1	INTP6	0	0	1	0	0	0	INTDET0	0	0	1	0	0	1	INTDET1	0	0	1	0	1	0	INTTM00	0	0	1	0	1	1	INTCM003	0	0	1	1	0	0	INTTM01	0	0	1	1	0	1	INTCM013	0	0	1	1	1	0	INTP100/INTCC100	0	0	1	1	1	1	INTP101/INTCC101	0	1	0	0	0	0	INTCM100	0	1	0	0	0	1	INTCM101	0	1	0	0	1	0	INTP110/INTCC110	0	1	0	0	1	1	INTP111/INTCC111	0	1	0	1	0	0	INTCM110	0	1	0	1	0	1	INTCM111	0	1	0	1	1	0	INTTM20	0	1	0	1	1	1	INTTM21	0	1	1	0	0	0	INTP20/INTCC20	0	1	1	0	0	1	INTP21/INTCC21	0	1	1	0	1	0	INTP22/INTCC22	0	1	1	0	1	1	INTP23/INTCC23	0	1	1	1	0	0	INTP24/INTCC24	0	1	1	1	0	1	INTP25/INTCC25	0	1	1	1	1	0	INTTM3	0	1	1	1	1	1	INTP30/INTCC30	1	0	0	0	0	0	INTP31/INTCC31	1	0	0	0	0	1	INTCM4	1	0	0	0	1	0	INTDMA0	1	0	0	0	1	1	INTDMA1
IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因																																																																																																																																																																																																																																																															
0	0	0	0	0	0	内蔵周辺I/OからのDMA要求禁止																																																																																																																																																																																																																																																															
0	0	0	0	0	1	INTP0																																																																																																																																																																																																																																																															
0	0	0	0	1	0	INTP1																																																																																																																																																																																																																																																															
0	0	0	0	1	1	INTP2																																																																																																																																																																																																																																																															
0	0	0	1	0	0	INTP3																																																																																																																																																																																																																																																															
0	0	0	1	0	1	INTP4																																																																																																																																																																																																																																																															
0	0	0	1	1	0	INTP5																																																																																																																																																																																																																																																															
0	0	0	1	1	1	INTP6																																																																																																																																																																																																																																																															
0	0	1	0	0	0	INTDET0																																																																																																																																																																																																																																																															
0	0	1	0	0	1	INTDET1																																																																																																																																																																																																																																																															
0	0	1	0	1	0	INTTM00																																																																																																																																																																																																																																																															
0	0	1	0	1	1	INTCM003																																																																																																																																																																																																																																																															
0	0	1	1	0	0	INTTM01																																																																																																																																																																																																																																																															
0	0	1	1	0	1	INTCM013																																																																																																																																																																																																																																																															
0	0	1	1	1	0	INTP100/INTCC100																																																																																																																																																																																																																																																															
0	0	1	1	1	1	INTP101/INTCC101																																																																																																																																																																																																																																																															
0	1	0	0	0	0	INTCM100																																																																																																																																																																																																																																																															
0	1	0	0	0	1	INTCM101																																																																																																																																																																																																																																																															
0	1	0	0	1	0	INTP110/INTCC110																																																																																																																																																																																																																																																															
0	1	0	0	1	1	INTP111/INTCC111																																																																																																																																																																																																																																																															
0	1	0	1	0	0	INTCM110																																																																																																																																																																																																																																																															
0	1	0	1	0	1	INTCM111																																																																																																																																																																																																																																																															
0	1	0	1	1	0	INTTM20																																																																																																																																																																																																																																																															
0	1	0	1	1	1	INTTM21																																																																																																																																																																																																																																																															
0	1	1	0	0	0	INTP20/INTCC20																																																																																																																																																																																																																																																															
0	1	1	0	0	1	INTP21/INTCC21																																																																																																																																																																																																																																																															
0	1	1	0	1	0	INTP22/INTCC22																																																																																																																																																																																																																																																															
0	1	1	0	1	1	INTP23/INTCC23																																																																																																																																																																																																																																																															
0	1	1	1	0	0	INTP24/INTCC24																																																																																																																																																																																																																																																															
0	1	1	1	0	1	INTP25/INTCC25																																																																																																																																																																																																																																																															
0	1	1	1	1	0	INTTM3																																																																																																																																																																																																																																																															
0	1	1	1	1	1	INTP30/INTCC30																																																																																																																																																																																																																																																															
1	0	0	0	0	0	INTP31/INTCC31																																																																																																																																																																																																																																																															
1	0	0	0	0	1	INTCM4																																																																																																																																																																																																																																																															
1	0	0	0	1	0	INTDMA0																																																																																																																																																																																																																																																															
1	0	0	0	1	1	INTDMA1																																																																																																																																																																																																																																																															

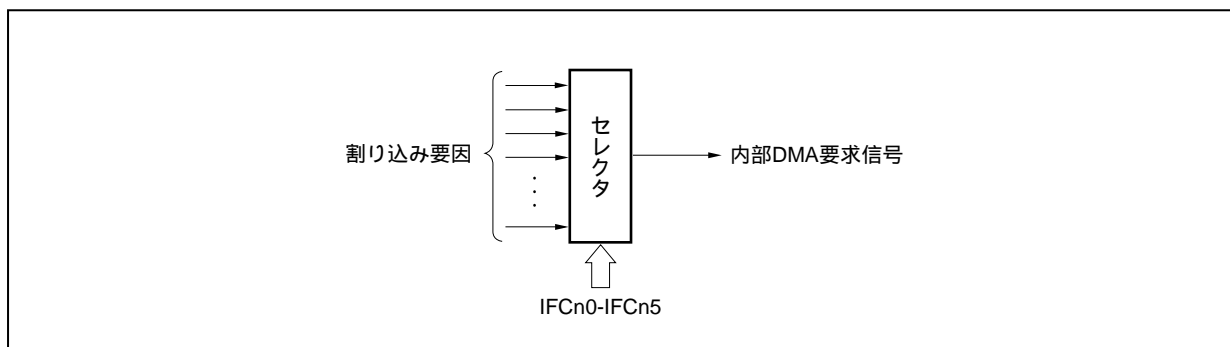
備考 n = 0-3

ビット位置	ビット名	意 味						
5-0	IFCn5-IFCn0	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
		1	0	0	1	0	0	INTDMA2
		1	0	0	1	0	1	INTDMA3
		1	0	0	1	1	0	INTCREC
		1	0	0	1	1	1	INTCTRX
		1	0	1	0	0	0	INTCERR
		1	0	1	0	0	1	INTCMAC
		1	0	1	0	1	0	INTCSI0
		1	0	1	0	1	1	INTCSI1
		1	0	1	1	0	0	INTSR0
		1	0	1	1	0	1	INTST0
		1	0	1	1	1	0	INTSER0
		1	0	1	1	1	1	INTSR1
		1	1	0	0	0	0	INTST1
		1	1	0	0	0	1	INTSR2
		1	1	0	0	1	0	INTST2
		1	1	0	0	1	1	INTAD0
		1	1	0	1	0	0	INTAD1
		1	1	0	1	0	1	NBDAD <sup>注</sup>
		1	1	0	1	1	0	NBDREW <sup>注</sup>
その他							設定禁止	

注 μPD70F3116のみ

備考 n = 0-3

DMA転送トリガとなる割り込み要因の関係を次に示します (n = 0-3)。



**注意** IFCn5-IFCn0ビットで選択した割り込み要因によりDMAが起動します。割り込み処理を実行したくない場合は、割り込み制御レジスタで割り込みをマスクしてください。割り込みをマスクしてもDMAは起動されます。

## 6.4 転送モード

### 6.4.1 シングル転送モード

シングル転送では、DMACは1回のバイト/ハーフワード転送ごとにバスを解放します。その後、DMA転送要求があると再度1回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA要求を優先させます。ただし、シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求が発生した場合は、前回の優先順位が高いDMA転送要求信号がアクティブのままでもこの要求は優先されず、CPUにバスを解放した次の転送は新たに要求のあった優先順位の低い方のDMA転送となります。

図6 - 1から図6 - 4にシングル転送の例を示します。

図6 - 1 シングル転送例1

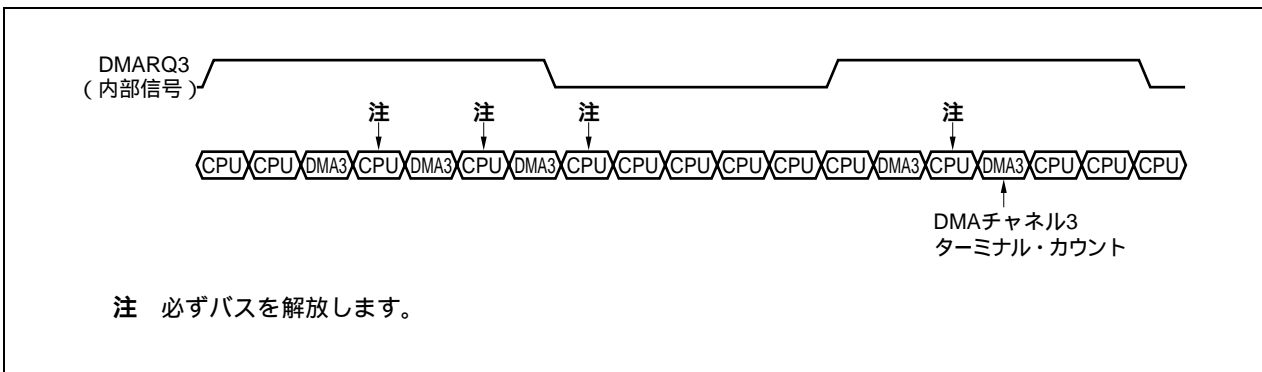


図6 - 2は、優先順位の高いDMA要求が発生した場合のシングル転送の例で、DMAチャンネル0-2はブロック転送、チャンネル3はシングル転送です。

図6 - 2 シングル転送例2

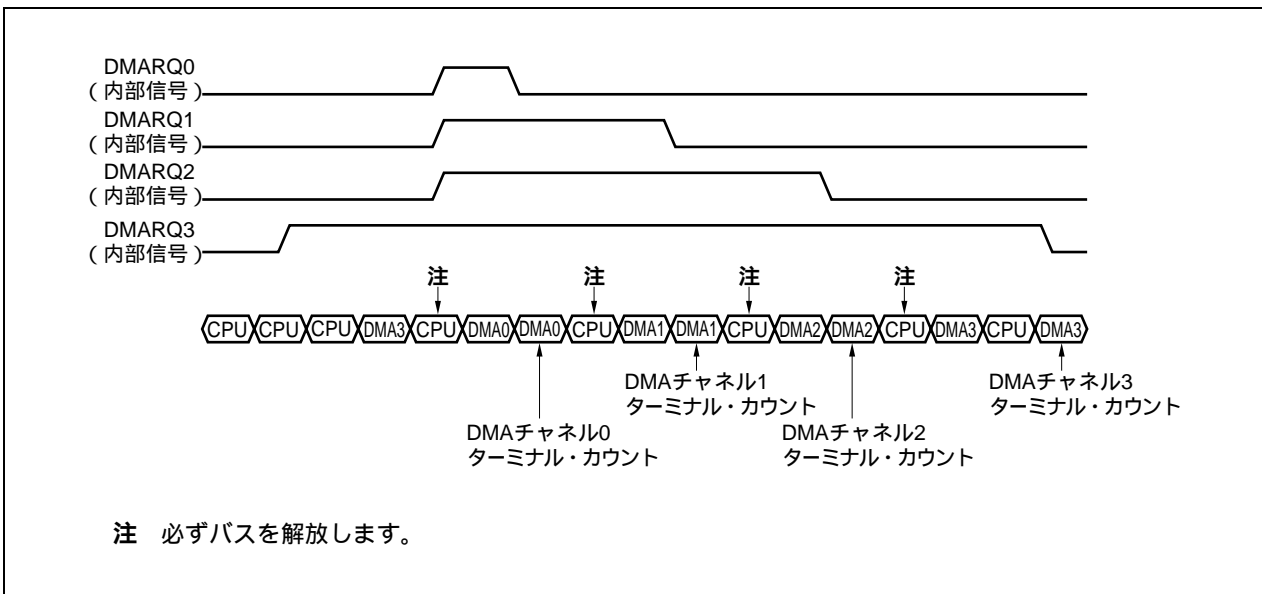




図6 - 3は、シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求が発生した場合のシングル転送の例で、DMAチャンネル0, 3はシングル転送です。2つのDMA転送要求信号が同時にアクティブになっているときは、2つのDMA転送を交互に行います。

図6 - 3 シングル転送例3

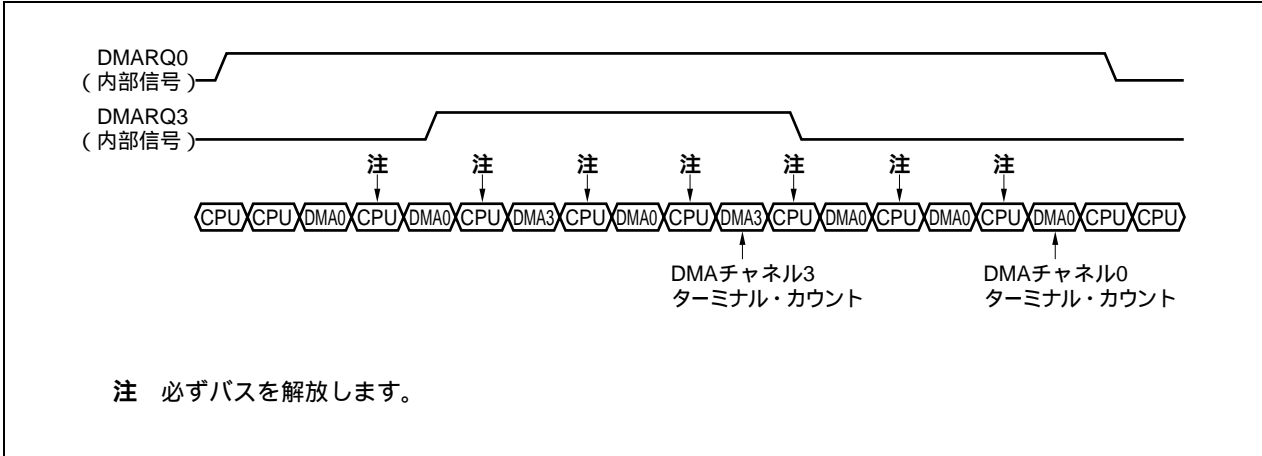
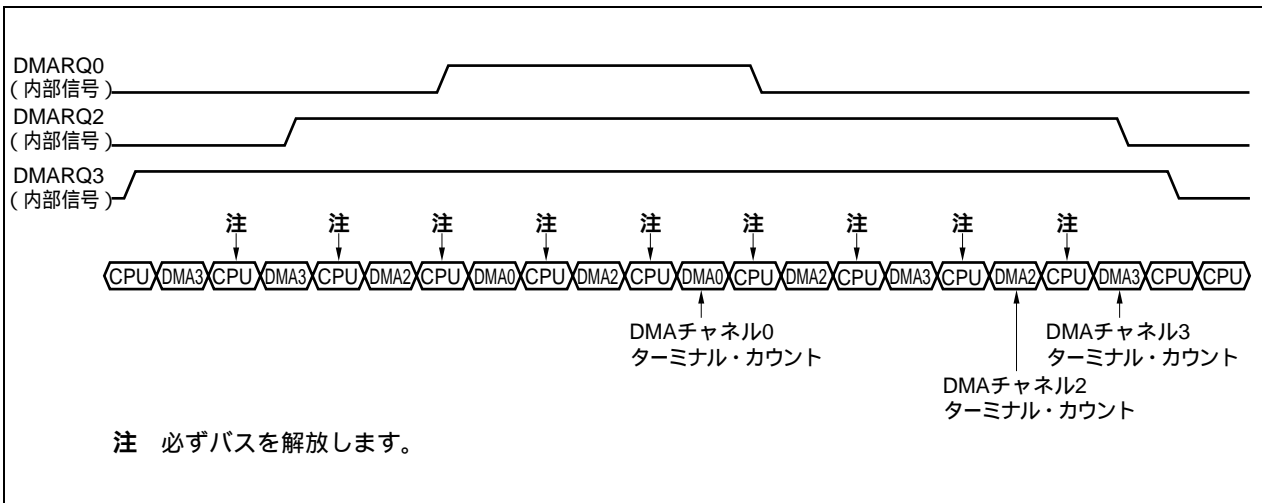


図6 - 4は、シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求の発生が複数あった場合のシングル転送の例で、DMAチャンネル0, 2, 3はシングル転送です。3つ以上のDMA転送要求信号が同時にアクティブになっているときは、優先順位が高い順から2つのDMA転送を交互に行います。

図6 - 4 シングル転送例4



### 6.4.2 シングルステップ転送モード

シングルステップ転送では、DMACは1回のバイト/ハーフワード転送ごとにバスを解放します。一度、DMA転送要求信号を受けると、ターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA要求を優先させます。

次にシングルステップ転送の例を示します。図6-6は、優先順位が高いDMA転送要求が発生した場合のシングルステップ転送モードの例で、DMAチャンネル0, 1ともにシングルステップ転送です。

図6-5 シングルステップ転送例1

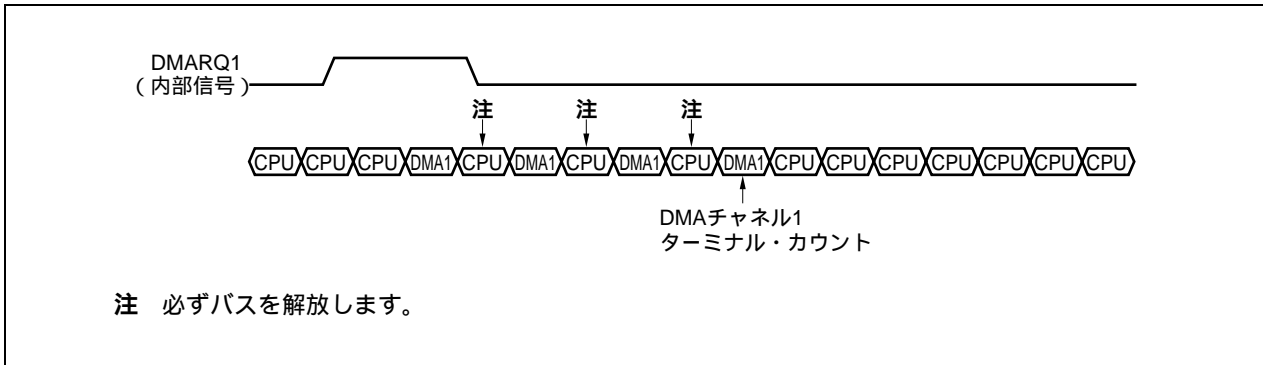
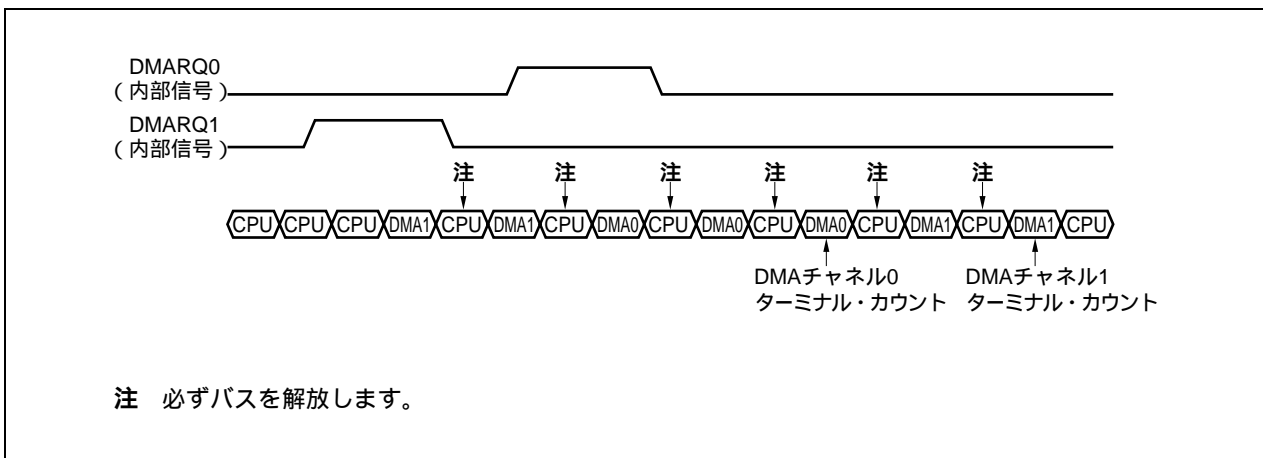


図6-6 シングルステップ転送例2



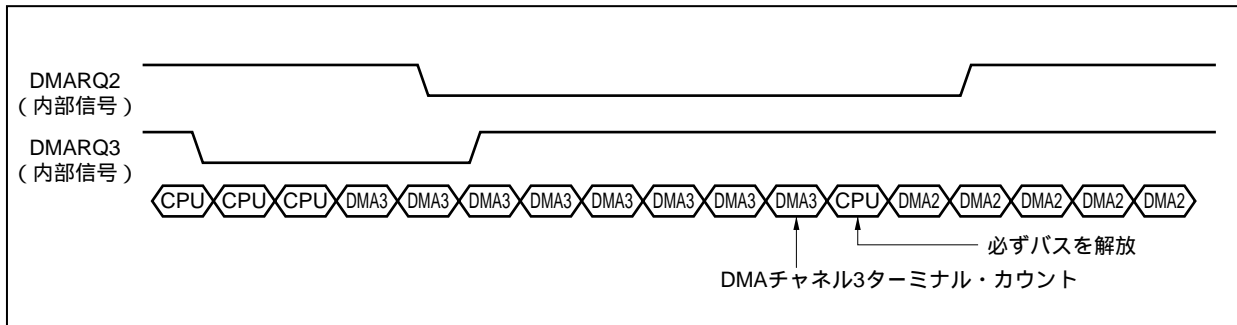
### 6.4.3 ブロック転送モード

ブロック転送では、転送が開始されると、ターミナル・カウントが発生するまでバスを解放せず転送を続けます。ブロック転送中は、ほかのDMA要求は受け付けません。

ブロック転送が終了しDMACがバスを解放したあとに、ほかのDMA転送を受け付けます。

次にブロック転送の例を示します。優先順位の高いDMA要求が発生した場合のブロック転送の例で、DMAチャンネル2, 3はブロック転送です。

図6-7 ブロック転送例



## 6.5 転送タイプ

### 6.5.1 2サイクル転送

2サイクル転送は、リード・サイクル (転送元 DMAC)、ライト・サイクル (DMAC 転送先) と2回のサイクルでデータを転送します。

1回目のサイクルでは、転送元のアドレスを出力し転送元からDMACへのリードを行い、2回目のサイクルでは、転送先のアドレスを出力しDMACから転送先への書き込みを行います。

**注意** リード・サイクルとライト・サイクルの間に、必ず1~2クロック分のアイドル・サイクルが挿入されます。

## 6.6 転送対象

### 6.6.1 転送の種類と転送対象

転送の種類と転送対象の関係を次に示します（○：転送可，×：転送不可）。

表6 - 1 転送の種類と転送対象の関係

		転送先			
		内蔵ROM	内蔵周辺I/O <sup>注</sup>	内蔵RAM	外部メモリ， 外部I/O
転 送 元	内蔵周辺I/O <sup>注</sup>	×			
	外部I/O	×			
	内蔵RAM	×		×	
	外部メモリ	×			
	内蔵ROM	×	×	×	×

注 転送対象が内蔵周辺I/Oの場合はシングル転送モードのみ使用可能です。

注意1. 表6 - 1に示す転送先と転送元で、「×」が表記されている組み合わせで転送を行った場合の動作は保証しません。

2. DMA転送の転送元，転送先のアドレスに3FFF000H-3FFFFFFFHを指定することができません。転送元，転送先のアドレスには，必ずFFFF000H-FFFFFFFHのアドレスを指定してください。

備考 内蔵周辺I/Oレジスタを対象（転送元 / 転送先）とするDMA転送の場合，必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば，8ビットのレジスタに対するDMA転送の場合は，必ずバイト（8ビット）転送を指定してください。

#### 16ビット転送の場合

- ・16ビット・バス 8ビット・バスへの転送  
リード・サイクル（16ビット）が発生し，そのあとライト・サイクル（8ビット）が連続して2回発生します。
- ・8ビット・バス 16ビット・バスへの転送  
リード・サイクル（8ビット）が連続して2回発生し，そのあとライト・サイクル（16ビット）が発生します。転送先に対しては，リトル・エンディアン時は下位，上位の順で，ビッグ・エンディアン時は上位，下位の順で書き込まれます。

#### 8ビット転送の場合

- ・16ビット・バス 8ビット・バスへの転送  
リード・サイクル（上位8ビットはハイ・インピーダンス）が発生し，そのあとライト・サイクル（8ビット）が発生します。
- ・8ビット・バス 16ビット・バスへの転送  
リード・サイクル（8ビット）が発生し，そのあとライト・サイクル（上位8ビットはハイ・インピーダンス）が発生します。転送先に対しては，リトル・エンディアン時は下位，上位の順で，ビッグ・エンディアン時は上位，下位の順で書き込まれます。

## 6.6.2 DMA転送 (2サイクル転送) 時の外部バス・サイクル

DMA転送 (2サイクル転送) 時の外部バス・サイクルを次に示します。

表6-2 DMA転送 (2サイクル転送) 時の外部バス・サイクル

転送対象	外部バス・サイクル	
内蔵周辺I/O, 内蔵RAM	なし	-
外部メモリ, 外部I/O	あり	SRAM, 外部ROM, 外部I/Oアクセス・サイクル

## 6.7 DMAチャネルの優先順位

DMAチャネルの優先順位は、次のように固定されています。

DMAチャネル0 > DMAチャネル1 > DMAチャネル2 > DMAチャネル3

ブロック転送中は転送するチャネルが入れ替わることはありません。

シングルステップ転送中でバスを解放している期間中に、ほかの優先順位が高いDMA転送要求が発生した場合は、優先順位が高いDMA転送を行います。

**注意** 同じ起動要因で複数のDMAチャネルを起動しないでください。起動した場合、優先順位の低いDMAチャネルが優先順位の高いDMAチャネルより先に受け付けられる場合があります。

## 6.8 ネクスト・アドレス設定機能

DMAソース・アドレス・レジスタ (DSAnH, DSAnL), DMAデスティネーション・アドレス・レジスタ (DDAnH, DDAnL), DMA転送カウント・レジスタ (DBCn) は、マスタ・レジスタとスレーブ・レジスタで構成される2段FIFO形式のバッファ・レジスタです (n = 0-3)。

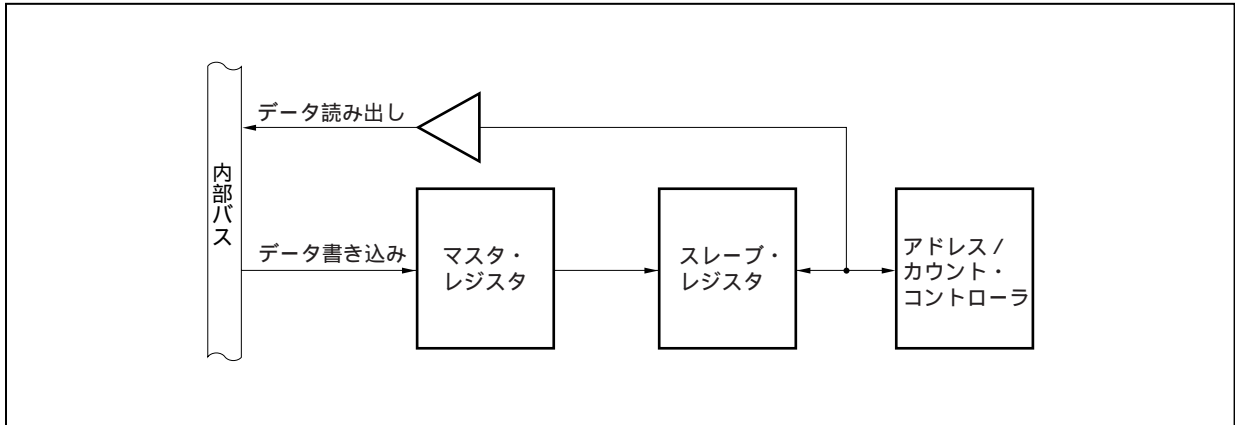
ターミナル・カウントが発生すると、これらのレジスタは直前に設定された値に自動的に書き換えられます。

したがって、DMA転送中に、これらのレジスタに対して新たなDMA転送の設定を行えば、転送終了後に自動的に新たな設定値に更新されます<sup>※</sup>。

**注** さらに新たなDMA転送の設定を行う場合は、DMA転送が開始されたことを確認してから行ってください。DMA転送の開始前に新たな設定を行うと、マスタ・レジスタ、スレーブ・レジスタの両方に設定値が上書きされてしまい、結果として直前の設定値に基づいたDMA転送は行われません。

次にバッファ・レジスタの構成を示します。

図6-8 バッファ・レジスタの構成



実際のDMA転送はスレーブ・レジスタの内容に基づいて行われます。

マスタ・レジスタ、スレーブ・レジスタに反映される設定値は、設定を行うタイミング（期間）により、次のように異なります。

**(1) システム・リセットから最初のDMA転送要求発生までの期間**

設定値は、マスタ、スレーブの両レジスタに反映されます。

**(2) DMA転送中 (DMA転送要求発生からDMA転送終了までの期間)**

設定値は、マスタ・レジスタだけに反映されます。スレーブ・レジスタへは反映されません（スレーブ・レジスタは、次のDMA転送の設定値を保持します）。

ただし、DMA転送終了後、マスタ・レジスタの内容がスレーブ・レジスタに自動的に上書きされます。

なお、この期間に各レジスタの値を読み出すと、スレーブ・レジスタの値が読み出されます。

また、DMA転送が開始されたことを判別するには、DBCnレジスタを読み出して1回目の転送が行われたことを確認してください（n = 0-3）。

**(3) DMA転送終了から次のDMA転送開始までの期間**

設定値は、マスタ、スレーブの両レジスタに反映されます。

**備考** 「DMA転送終了」とは、次のどちらかの場合を示します。

- ・DMA転送の完了（ターミナル・カウント）
- ・DMA転送の強制終了（DCHCnレジスタのINITnビットのセット（1））

## 6.9 DMA転送起動要因

DMA転送の起動要因には、次の2種類があります。

**注意1.** 同一のチャンネルに対して、各起動要因( (1), (2) )を併用しないでください(各起動要因が同時に発生した場合、どちらか一方だけが有効となりますが、有効となった起動要因の特定はできません)。

併用した場合の動作は保証しません。

- ソフトウェアDMAで転送を起動する場合、DCHCnレジスタのSTGnビット操作(STGnビットのセット(1))によって、期待しているDMA転送動作が完了したかどうかをソフトウェア上で適切に検出しない場合、次に(2回目に)行われるSTGnビット操作が「ソフトウェアの期待する次のDMA転送」の起動に対応しているかどうかは、保証できません(n = 0-3)。

たとえば、STGnビット操作によってシングル転送を起動した場合、そのシングル転送が実際に実行されたかどうかをソフトウェア上で確認しないで、次の(2回目の)STGnビット操作を行っても、次の(2回目の)DMA転送が実行されるとはかぎりません。これは、1回目のSTGnビット操作を行ったときに、優先順位がさらに高いDMA転送が起動していた場合など、1回目の起動対象のDMA転送が起動または完了しないまま、次の(2回目の)STGnビット操作が行われてしまう可能性があるためです。

したがって、STGnビット操作による対象のDMA転送が完了したかどうかを確認してから、次の(2回目の)STGnビット操作を行う必要があります。

DMA転送完了の確認例として、DBCnレジスタの内容を確認する方法があります。

### (1) ソフトウェアによる要求

DCHCnレジスタのSTGn, Enn, TCnビットが次のように設定されると、DMA転送を開始します(n = 0-3)。

- ・ STGnビット = 1
- ・ Ennビット = 1
- ・ TCnビット = 0

### (2) 内蔵周辺I/Oによる要求

DCHCnレジスタのEnn, TCnビットが次のように設定されている状態で、DTFRnレジスタに設定している内蔵周辺I/Oからの割り込み要求が発生すると、DMA転送要求を開始します(n = 0-3)。

- ・ Ennビット = 1
- ・ TCnビット = 0

## 6.10 強制中断

DMA転送中のNMI入力により、DMA転送を強制的に中断できます。

このときDMACは、すべてのチャンネルのDCHCnレジスタのEnnビットをクリア (0) して、DMA転送禁止状態にし、NMI入力時に実行していたDMA転送を完了してから、NMI要求を受け付けます (n = 0-3)。

強制中断したDMA転送は、DCHCnレジスタのINITnビットでDMAを強制終了させて、初期化してください。

## 6.11 DMA転送の終了

DMA転送が終了し、DCHCnレジスタのTCnビットがセット (1) されると、割り込みコントローラ (INTC) に対して、DMA転送終了割り込み (INTDMA<sub>n</sub>) を発生します (n = 0-3)。

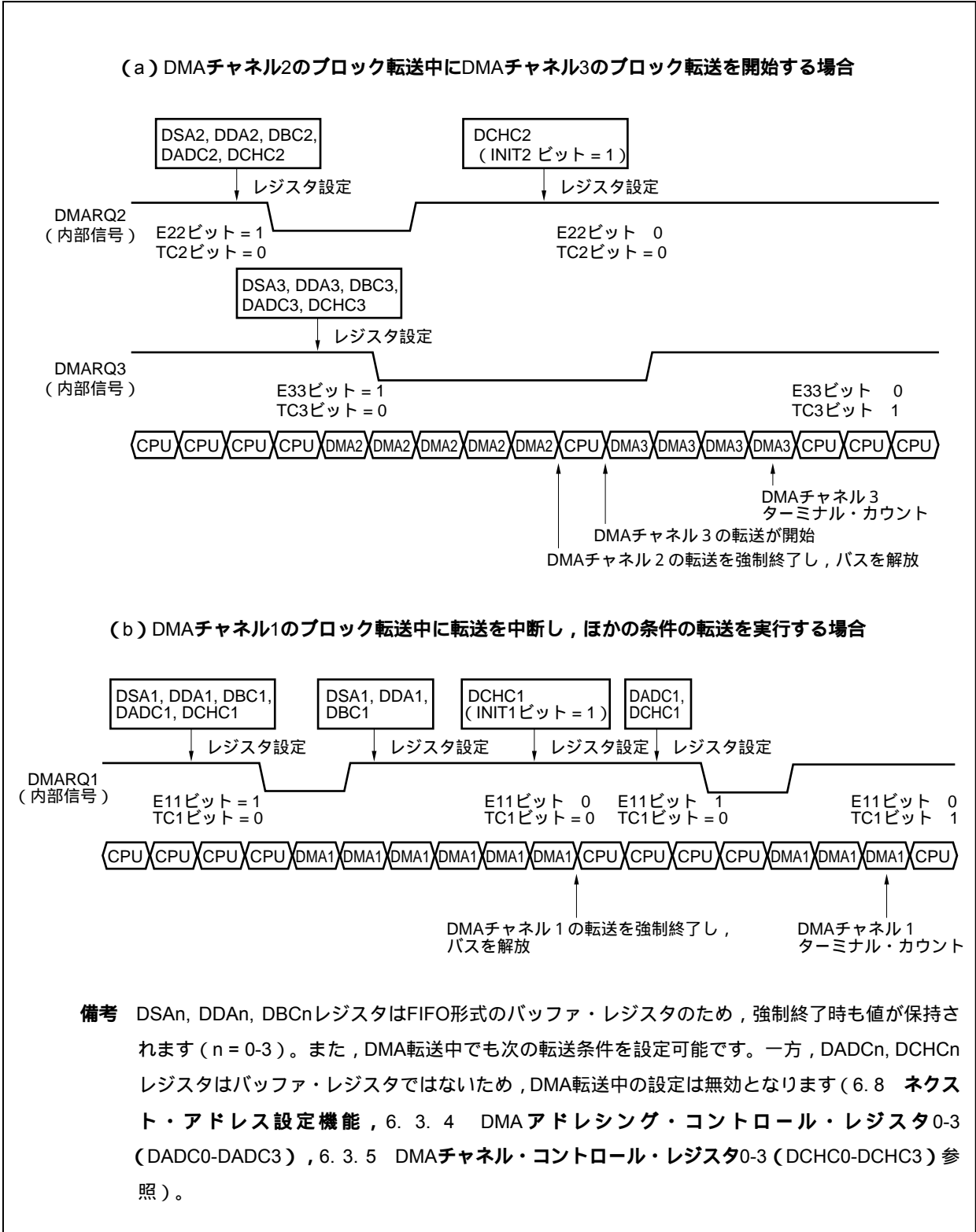


## 6.12 強制終了

DMA転送は、NMI入力による強制中断のほかに、DCHCnレジスタのINITnビットによって強制終了することができます (n = 0-3)。

DCHCnレジスタのINITnビットによる強制終了動作の例を次に示します (n = 0-3)

図6 - 9 DMA転送の強制終了例



## 6.12.1 DMA転送強制終了に関する制限事項

DCHCnレジスタのINITnビットにより、DMA転送を強制終了する場合、INITnビットをセット(1)したにもかかわらず、強制終了されずに中断状態になることがあります。このため、強制終了させたいはずのチャンネルのDMA転送を再開させた場合に、想定外の転送回数完了後にDMA転送が終了し、DMA転送終了割り込み(INTDMA<sub>n</sub>)が発生することがあります (n = 0-3)。

### 【回避方法】

次のいずれかの方法によりソフトウェアで回避できます。

#### (1) 一時的にすべてのDMAチャンネルの転送を停止させる方法

次に示す回避処理手順以外で、DCHCnレジスタのTCnビット = 1となっていることを期待したプログラム構成になっていない (DCHCnレジスタのTCnビットは読み出しによりクリア(0)されるため、回避処理手順 (ii) の回避処理ルーチン実行により、クリア(0)されてしまう) 場合のみ、制限事項を回避できます。

割り込み禁止 (DI) 状態にする。

DMAリスタート・レジスタ (DRST) を読み出し、各チャンネルのENnビットを汎用レジスタに転送する (値A)。

DRSTレジスタに00Hを書き込む (2回実行<sup>※</sup>)。2回実行することで の処理以前に必ずDMA転送が停止する。

強制終了するチャンネルのDCHCnレジスタのINITnビットをセット(1)する。

で読み出した値Aに対して次の操作を行う (値B)。

- (i) 強制終了するチャンネルのビットをクリア(0)する。
- (ii) 強制終了しない各チャンネルのDCHCnレジスタのTCnビットとDRSTレジスタのENnビットがともに1 (ANDが1) の場合は、そのチャンネルのビットをクリア(0)する。

で操作した値BをDRSTレジスタに書き込む。

割り込み許可 (EI) 状態にする。

**注** 転送対象 (転送元または転送先) が内蔵RAMの場合は、3回実行してください。

**注意** は、 の間に正常終了したチャンネルに対して、再度DRSTレジスタのENnビットを不正にセット(1)するのを防ぐため、必ず行ってください。

**備考** n = 0-3

(2) 正常に強制終了するまでDCHCnレジスタのINITnビットのセットを繰り返し実行する方法

次に回避処理手順を示します。

強制終了したいチャンネルの初期転送回数を汎用レジスタにコピーする。

強制終了するチャンネルのDCHCnレジスタのINITnビットをセット (1) する。

強制終了するチャンネルのDMA転送カウント・レジスタn (DBCn) の値を読み込み、 でコピーした値と比較する。一致しない場合は、 を繰り返す。

注意1. でDBCnレジスタを読み込んだ場合、この制限事項によりDMAが停止したときは残りの転送回数がリードされ、正常に強制終了したときは初期転送回数がリードされます。

2. この回避方法は、強制終了の対象となっているDMAチャンネル以外のDMA転送が、頻繁に行われるようなアプリケーションでは強制終了されるまでに時間を要する可能性があるため、注意してください。

備考 n = 0-3

### 6. 13 DMA転送に関する各種時間

DMA転送前後のオーバーヘッド部分、DMA転送にかかる最小クロック数を次に示します。

表6 - 3 DMAサイクル中の最小実行クロック数

DMAサイクル		最小実行クロック数
DMA要求に対する応答時間		4クロック <sup>注1</sup>
メモリ・アクセス	内蔵RAMアクセス	2クロック <sup>注2</sup>
	内蔵周辺I/Oレジスタ・アクセス	4クロック + VSWCレジスタによるウェイト数

注1. 外部割り込み (INTPn) をDMA転送の起動要因に指定した場合、ノイズ除去時間が加算されます (n = 0-6, 100, 101, 110, 111, 20-25, 30, 31)。

2. DMAサイクルの場合は、2クロックかかります。

また、各転送モードにおけるDMAサイクル中の最小実行クロックを次に示します。

シングル転送: DMA応答時間 ( ) + 転送元メモリ・アクセス ( ) + 1<sup>注</sup> + 転送先メモリ・アクセス ( )

ブロック転送: DMA応答時間 ( ) + ( 転送元メモリ・アクセス ( ) + 1<sup>注</sup> + 転送先メモリ・アクセス ( ) ) × 転送回数

注 DMA転送のリード・サイクルとライト・サイクルの間には、必ず1クロック挿入されます。

## 6. 14 注意事項

### (1) メモリ境界

DMA転送中に、転送元、または転送先のアドレスがDMA対象 (外部メモリ、内蔵RAM、内蔵周辺I/O) の領域を越えた場合の動作は保証しません。

### (2) ミス・アライン・データの転送

16ビット・バス幅のミス・アライン・データのDMA転送はサポートしていません。

奇数アドレスを転送元、または転送先に指定した場合、アドレスの最下位ビットは強制的に0として扱われます。

### (3) CPUへのバス・アービトレーション

バス使用权の優先順位はCPUよりDMAコントローラが高いため、DMA転送中に発生したCPUのアクセスは、DMA転送サイクルが完了しCPUにバスが解放されるまで待たされます。

ただし、CPUはDMA転送を行っていない内蔵ROM、内蔵RAMにアクセスが可能です。

- ・ 外部メモリ 内蔵周辺I/Oとの間でDMA転送が行われているとき、CPUは内蔵ROM、内蔵RAMにアクセスできます。
- ・ 内蔵周辺I/O 内蔵RAMでDMA転送が行われているときは、CPUは内蔵ROMにアクセスできます。

### (4) DMAの起動要因

複数のDMAチャンネルを同じ起動要因で設定する場合は注意してください。

起動した場合、優先順位の低いDMAチャンネルが優先順位の高いDMAチャンネルより先に受け付けられる場合があります。

### (5) 内蔵RAMでのプログラム実行とDMA転送

内蔵RAMを対象としたDMA転送と内蔵RAMでの命令実行は同時に行わないでください。

### (6) DCHCnレジスタのTCnビットの自動クリアに関する制限事項

DCHCnレジスタのTCnビットは、読み出しにより自動的にクリア(0)されますが、2チャンネル以上のDMA転送を同時に使用するとき、内蔵RAMを対象 (転送元または転送先) とするDMA転送を行う場合には、DMA転送終了後にTCnビットを読み出しても、クリア(0)されないことがあります (n = 0-3)。

**注意** 次に示す条件が1つでも当てはまる場合には、この制限事項は該当しません。

- ・ DMA転送を1チャンネルのみ使用している。
- ・ 内蔵RAMを対象 (転送元または転送先) とするDMA転送を行っていない。

#### 【回避方法】

内蔵RAMを対象とするDMAチャンネルのDCHCnレジスタのTCnビットを読み出す場合には、必ず3回連続でTCnビットを読み出してください。これにより、確実にTCnビットをクリア(0)できます。

**(7) DSAn, DDAnレジスタの読み出し値**

DMA転送中に、DSAn, DDAnレジスタの値を読み出した場合、更新途中の値が読み出されることがあります (n = 0-3)。

たとえば、DMA転送元アドレス (DSAnレジスタ) が「0000FFFFH」、カウント方向がインクリメント (DADCnレジスタのSADn1, SADn0ビット = 00) の場合、DSAnHレジスタ DSAnLレジスタの順に読み出しを行うと、DSAnHレジスタ読み出し直後のDMA転送の有無によって、DSAnLレジスタの値が次のように異なります。

**(a) DSAnレジスタの読み出し中にDMA転送が発生しない場合**

<1>DSAnHレジスタの読み出し : DSAnH = 0000H

<2>DSAnLレジスタの読み出し : DSAnL = FFFFH

**(b) DSAnレジスタの読み出し中にDMA転送が発生する場合**

<1>DSAnHレジスタの読み出し : DSAnH = 0000H

<2>DMA転送の発生

<3>DSAnレジスタのインクリメント : DSAn = 00010000H

<4>DSAnLレジスタの読み出し : DSAnL = 0000H

**6. 14. 1 中断要因**

DMA転送は、バス・ホールドが発生すると中断されます。

DMA転送を中断する要因がなくなると、引き続きDMA転送を再開します。

## 第7章 割り込み / 例外処理機能

V850E/IA1は、合計53要因の割り込み要求を処理できる割り込みコントローラ（INTC）を内蔵しています。

なお、割り込みをプログラムの実行とは別に独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。

V850E/IA1では、内蔵している周辺ハードウェアおよび外部からの各種割り込み要求を処理できます。さらに、TRAP命令による例外処理の起動（ソフトウェア例外）や、例外事象の発生（不正命令コードのフェッチ）による例外処理の起動（例外トラップ）が可能です。

各割り込み要求には、ソフトウェアにより8レベルの優先順位指定が可能です。

割り込み処理は、割り込み要求発生から最小4システム・クロック（80 ns（50 MHz時））後に起動されます。

### 7.1 特 徴

#### 割り込み

- ・ノンマスクابل割り込み：1要因

**注意** P00はNMIと兼用し入力固定です。P00とNMIの切り替えはできません。P0レジスタのP00ビットをリードすると、P00/NMI端子のレベルを読み出します。

また、NMI端子の有効エッジの設定は、INTM0レジスタのESN0ビットで行ってください（初期値：立ち下がりエッジ検出）。

- ・マスクابل割り込み：52要因
- ・8レベルのプログラマブル優先順位制御（マスクابل割り込み）
- ・優先順位に従った割り込み多重処理制御
- ・個々のマスクابل割り込み要求に対するマスク指定
- ・外部割り込み要求のノイズ除去<sup>注</sup>とエッジ検出および有効エッジ指定

**注** ノイズ除去回路については、14.5 ノイズ除去回路を参照してください。

#### 例外

- ・ソフトウェア例外：32要因
- ・例外トラップ：2要因（不正命令コード例外、デバッグ・トラップ）

これらの割り込み / 例外要因を表7 - 1に示します。

表7 - 1 割り込み / 例外要因一覧 (1/2)

種類	分類	割り込み / 例外要因				デフォルト・ プライオリティ	例外コード	ハンドラ・ アドレス	復帰PC
		名称	制御レジスタ	発生要因	発生ユニット				
リセット	割り込み	RESET	-	RESET入力	端子	-	0000H	00000000H	不定
ノンマスクブル	割り込み	NMI0	-	NMI入力	端子	-	0010H	00000010H	nextPC
ソフトウェア例外	例外	TRAP0n <sup>注1</sup>	-	TRAP命令	-	-	004nH <sup>注1</sup>	00000040H	nextPC
	例外	TRAP1n <sup>注1</sup>	-	TRAP命令	-	-	005nH <sup>注1</sup>	00000050H	nextPC
例外トラップ	例外	ILGOP/DBG0	-	不正命令コード / DBTRAP命令	-	-	0060H	00000060H	nextPC
マスクブル	割り込み	INTP0	P0IC0	INTP0端子	端子	0	0080H	00000080H	nextPC
	割り込み	INTP1	P0IC1	INTP1端子	端子	1	0090H	00000090H	nextPC
	割り込み	INTP2	P0IC2	INTP2端子	端子	2	00A0H	000000A0H	nextPC
	割り込み	INTP3	P0IC3	INTP3端子	端子	3	00B0H	000000B0H	nextPC
	割り込み	INTP4	P0IC4	INTP4端子	端子	4	00C0H	000000C0H	nextPC
	割り込み	INTP5	P0IC5	INTP5端子	端子	5	00D0H	000000D0H	nextPC
	割り込み	INTP6	P0IC6	INTP6端子	端子	6	00E0H	000000E0H	nextPC
	割り込み	INTDET0	DETIC0	AD0電圧検知	ADC0	7	00F0H	000000F0H	nextPC
	割り込み	INTDET1	DETIC1	AD1電圧検知	ADC1	8	0100H	00000100H	nextPC
	割り込み	INTTM00	TM0IC0	TM00アンダフロー	TM00	9	0110H	00000110H	nextPC
	割り込み	INTCM003	CM03IC0	CM003一致	TM00	10	0120H	00000120H	nextPC
	割り込み	INTTM01	TM0IC1	TM01アンダフロー	TM01	11	0130H	00000130H	nextPC
	割り込み	INTCM013	CM03IC1	CM013一致	TM01	12	0140H	00000140H	nextPC
	割り込み	INTP100/INTCC100	CC10IC0	INTP100端子 / CC100一致	端子 / TM10	13	0150H	00000150H	nextPC
	割り込み	INTP101/INTCC101	CC10IC1	INTP101/INTP100端子 <sup>注2</sup> / CC101一致	端子 / TM10	14	0160H	00000160H	nextPC
	割り込み	INTCM100	CM10IC0	CM100一致	TM10	15	0170H	00000170H	nextPC
	割り込み	INTCM101	CM10IC1	CM101一致	TM10	16	0180H	00000180H	nextPC
	割り込み	INTP110/INTCC110	CC11IC0	INTP110端子 / CC110一致	端子 / TM10	17	0190H	00000190H	nextPC
	割り込み	INTP111/INTCC111	CC11IC1	INTP111/INTP110端子 <sup>注2</sup> / CC111一致	端子 / TM11	18	01A0H	000001A0H	nextPC
	割り込み	INTCM110	CM11IC0	CM110一致	TM11	19	01B0H	000001B0H	nextPC
	割り込み	INTCM111	CM11IC1	CM111一致	TM11	20	01C0H	000001C0H	nextPC
	割り込み	INTTM20	TM2IC0	TM20オーバフロー	TM20	21	01D0H	000001D0H	nextPC
	割り込み	INTTM21	TM2IC1	TM21オーバフロー	TM21	22	01E0H	000001E0H	nextPC
	割り込み	INTP20/INTCC20	CC2IC0	INTP20端子 / CC20一致	端子 / TM20	23	01F0H	000001F0H	nextPC
	割り込み	INTP21/INTCC21	CC2IC1	INTP21端子 / CC21一致	端子 / TM20/TM21	24	0200H	00000200H	nextPC
	割り込み	INTP22/INTCC22	CC2IC2	INTP22端子 / CC22一致	端子 / TM20/TM21	25	0210H	00000210H	nextPC
	割り込み	INTP23/INTCC23	CC2IC3	INTP23端子 / CC23一致	端子 / TM20/TM21	26	0220H	00000220H	nextPC
	割り込み	INTP24/INTCC24	CC2IC4	INTP24端子 / CC24一致	端子 / TM20/TM21	27	0230H	00000230H	nextPC
	割り込み	INTP25/INTCC25	CC2IC5	INTP25端子 / CC25一致	端子 / TM21	28	0240H	00000240H	nextPC
割り込み	INTTM3	TM3IC0	TM3オーバフロー	TM3	29	0250H	00000250H	nextPC	

注1. n = 0-FHの値

2. CSL10, CSL11レジスタで選択します。

表7 - 1 割り込み / 例外要因一覧 (2/2)

種類	分類	割り込み / 例外要因				ディフォルト・ プライオリティ	例外コード	ハンドラ・ アドレス	復帰PC
		名称	制御レジスタ	発生要因	発生ユニット				
マスクابل	割り込み	INTP30/INTCC30	CC3IC0	INTP30端子 / CC30一致	端子 / TM3	30	0260H	00000260H	nextPC
	割り込み	INTP31/INTCC31	CC3IC1	INTP31端子 / CC31一致	端子 / TM3	31	0270H	00000270H	nextPC
	割り込み	INTCM4	CM4IC0	CM4一致信号	TM4	32	0280H	00000280H	nextPC
	割り込み	INTDMA0	DMAIC0	DMA0転送終了	DMA	33	0290H	00000290H	nextPC
	割り込み	INTDMA1	DMAIC1	DMA1転送終了	DMA	34	02A0H	000002A0H	nextPC
	割り込み	INTDMA2	DMAIC2	DMA2転送終了	DMA	35	02B0H	000002B0H	nextPC
	割り込み	INTDMA3	DMAIC3	DMA3転送終了	DMA	36	02C0H	000002C0H	nextPC
	割り込み	INTCREC	CANIC0	CAN1受信完了	FCAN	37	02D0H	000002D0H	nextPC
	割り込み	INTCTRX	CANIC1	CAN1送信完了	FCAN	38	02E0H	000002E0H	nextPC
	割り込み	INTCERR	CANIC2	CAN1通信エラー	FCAN	39	02F0H	000002F0H	nextPC
	割り込み	INTCMAC	CANIC3	CAN不正書き込み	FCAN	40	0300H	00000300H	nextPC
	割り込み	INTCSI0	CSIIC0	CSI0送受信完了	CSI0	41	0310H	00000310H	nextPC
	割り込み	INTCSI1	CSIIC1	CSI1送受信完了	CSI1	42	0320H	00000320H	nextPC
	割り込み	INTSR0	SRIC0	UART0受信完了	UART0	43	0330H	00000330H	nextPC
	割り込み	INTST0	STIC0	UART0送信完了	UART0	44	0340H	00000340H	nextPC
	割り込み	INTSER0	SEIC0	UART0受信エラー	UART0	45	0350H	00000350H	nextPC
	割り込み	INTSR1	SRIC1	UART1受信完了	UART1	46	0360H	00000360H	nextPC
	割り込み	INTST1	STIC1	UART1送信完了	UART1	47	0370H	00000370H	nextPC
	割り込み	INTSR2	SRIC2	UART2受信完了	UART2	48	0380H	00000380H	nextPC
	割り込み	INTST2	STIC2	UART2送信完了	UART2	49	0390H	00000390H	nextPC
割り込み	INTAD0	ADIC0	AD0変換終了	ADC0	50	03A0H	000003A0H	nextPC	
割り込み	INTAD1	ADIC1	AD1変換終了	ADC1	51	03B0H	000003B0H	nextPC	

備考1. ディフォルト・プライオリティ：複数の同一優先順位レベルのマスクابل割り込み要求信号が同時に発生している場合に優先される順位です。0が最高優先順位です。

復帰PC：割り込み処理起動時に、CPUのEIPC、FEPCまたはDBPCにセーブされるプログラム・カウンタ(PC)のことです。なお、次の命令実行中にノンマスクابل / マスクابل割り込みを受け付けた場合の復帰PCはnext PCとはなりません（命令実行中に割り込みを受け付けると実行を中止し、割り込み処理完了後に再実行されます。この場合、中断された命令のアドレスが復帰PCとなります）。

- ・ロード命令 (SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W)
- ・除算命令 (DIV, DIVH, DIVU, DIVHU)
- ・PREPARE, DISPOSE命令 (スタック・ポインタの更新前に割り込みが発生した場合のみ)

nextPC：割り込み / 例外処理後に処理を開始するPC値です。

2. 不正命令コード例外時の不正命令の実行アドレスは、(復帰PC - 4) で求められます。



## 7.2 ノンマスクابل割り込み

ノンマスクابل割り込み要求は、割り込み禁止 (DI) 状態であっても無条件に受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込み要求に対して最優先の割り込み要求です。

ノンマスクابل割り込み要求は、NMI端子によって行います。NMI端子入力に外部割り込みモード・レジスタ0 (INTM0) のビット0 (ESN0) で指定した有効エッジが検出されたとき、割り込みは発生します。

ノンマスクابل割り込みのサービス・プログラムを実行している場合は、ノンマスクابل割り込み要求は、保留されます。保留されたノンマスクابل割り込みは、現在実行中のノンマスクابل割り込みサービス・プログラムの終了後 (RETI命令実行後)、受け付けられます。ただし、ノンマスクابل割り込みサービス・プログラム実行中に、ノンマスクابل割り込み要求が2回以上発生しても、RETI命令実行後に受け付けられるノンマスクابل割り込みは1回だけになります。

### 7.2.1 動作

NMI入力によりノンマスクابل割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

- (1) 復帰PCをFEPCに退避します。
- (2) 現在のPSWをFEPSWに退避します。
- (3) ECRの上位ハーフワード (FECC) に例外コード (0010H) を書き込みます。
- (4) PSWのNP, IDビットをセットし, EPビットをクリアします。
- (5) PCにノンマスクابل割り込みに対するハンドラ・アドレス (00000010H) をセットし, 制御を移します。

ノンマスクابل割り込みの処理形態を図7 - 1に示します。

図7 - 1 ノンマスクابل割り込みの処理形態

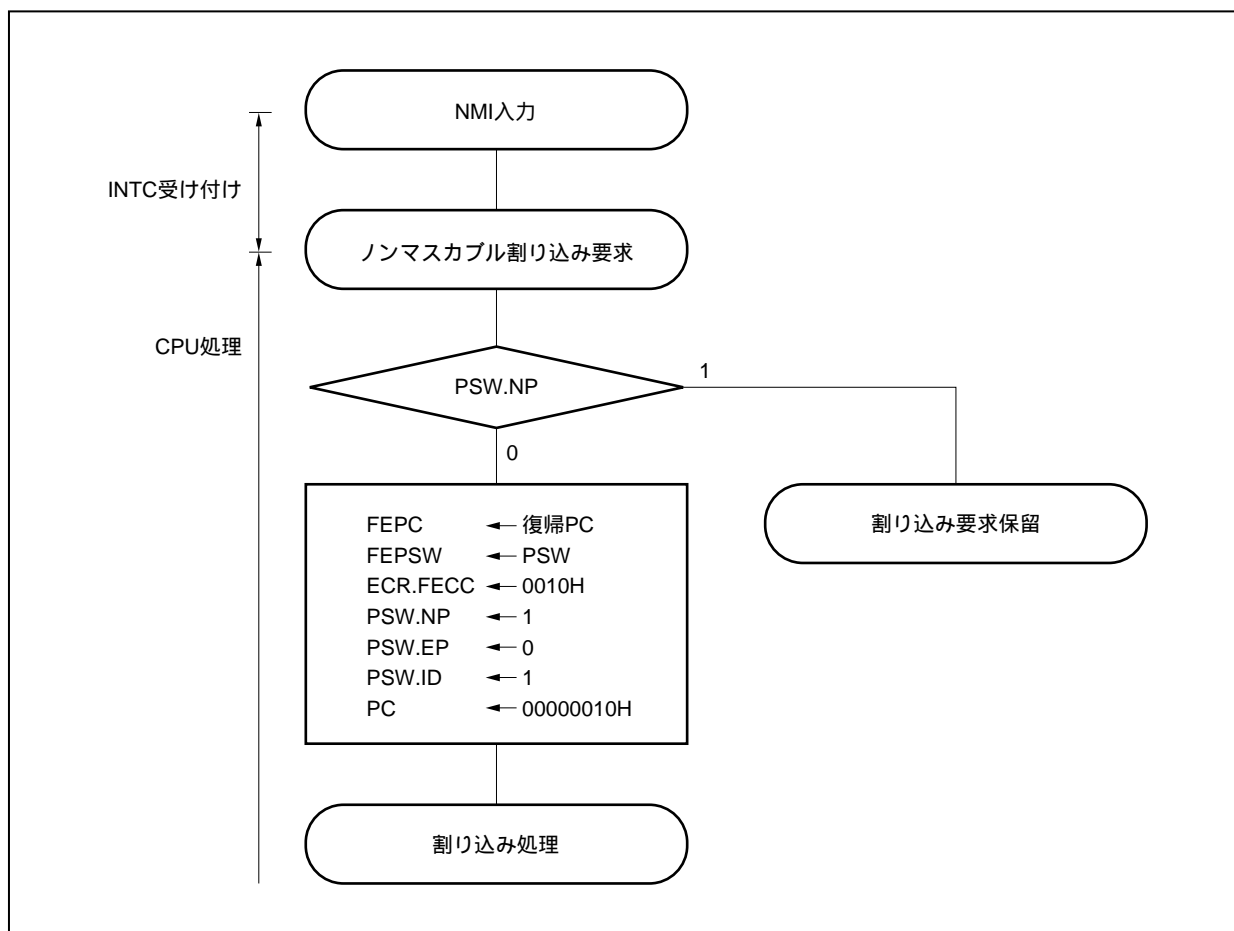
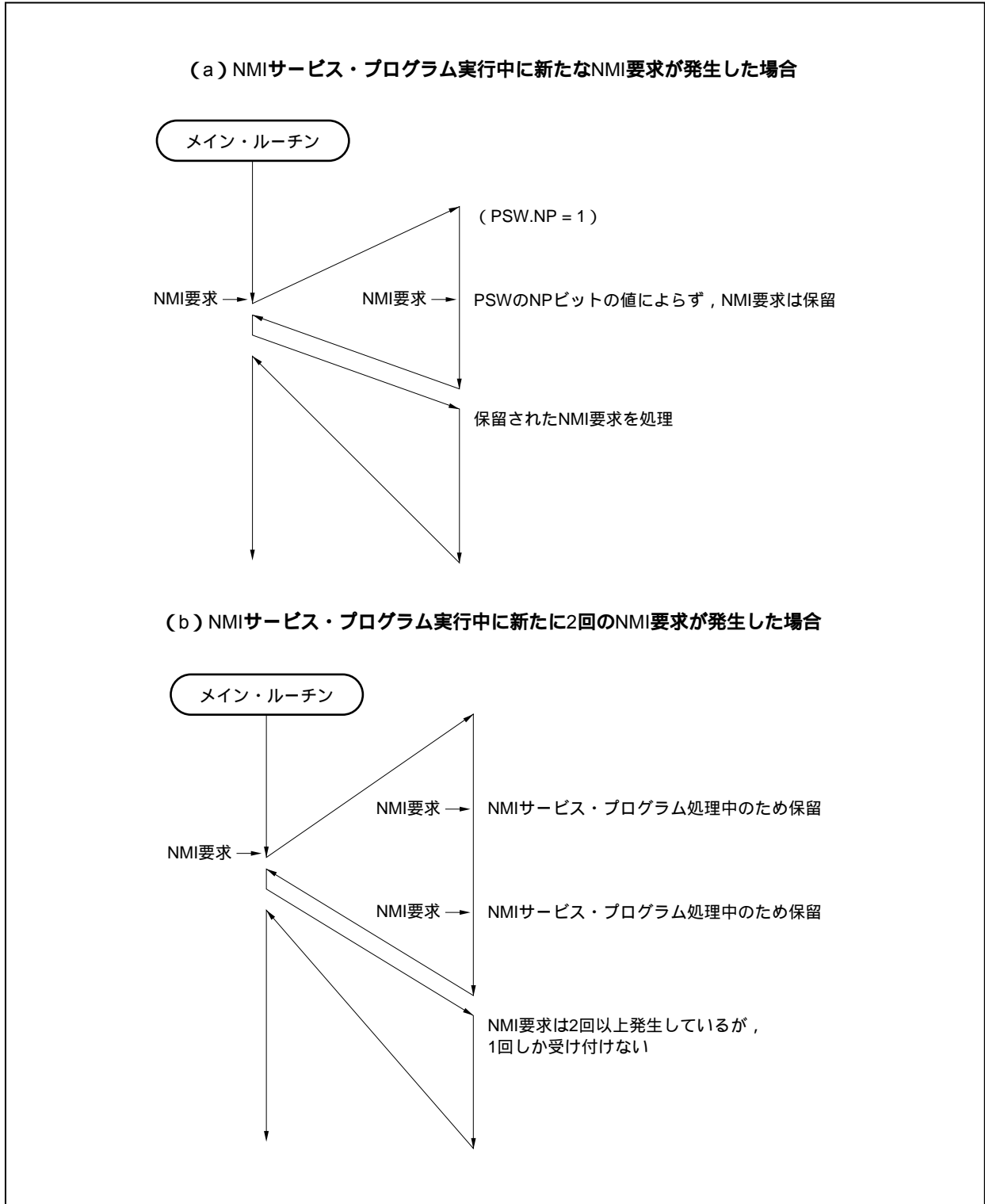


図7-2 ノンマスカブル割り込み要求の受け付け動作



## 7.2.2 復 帰

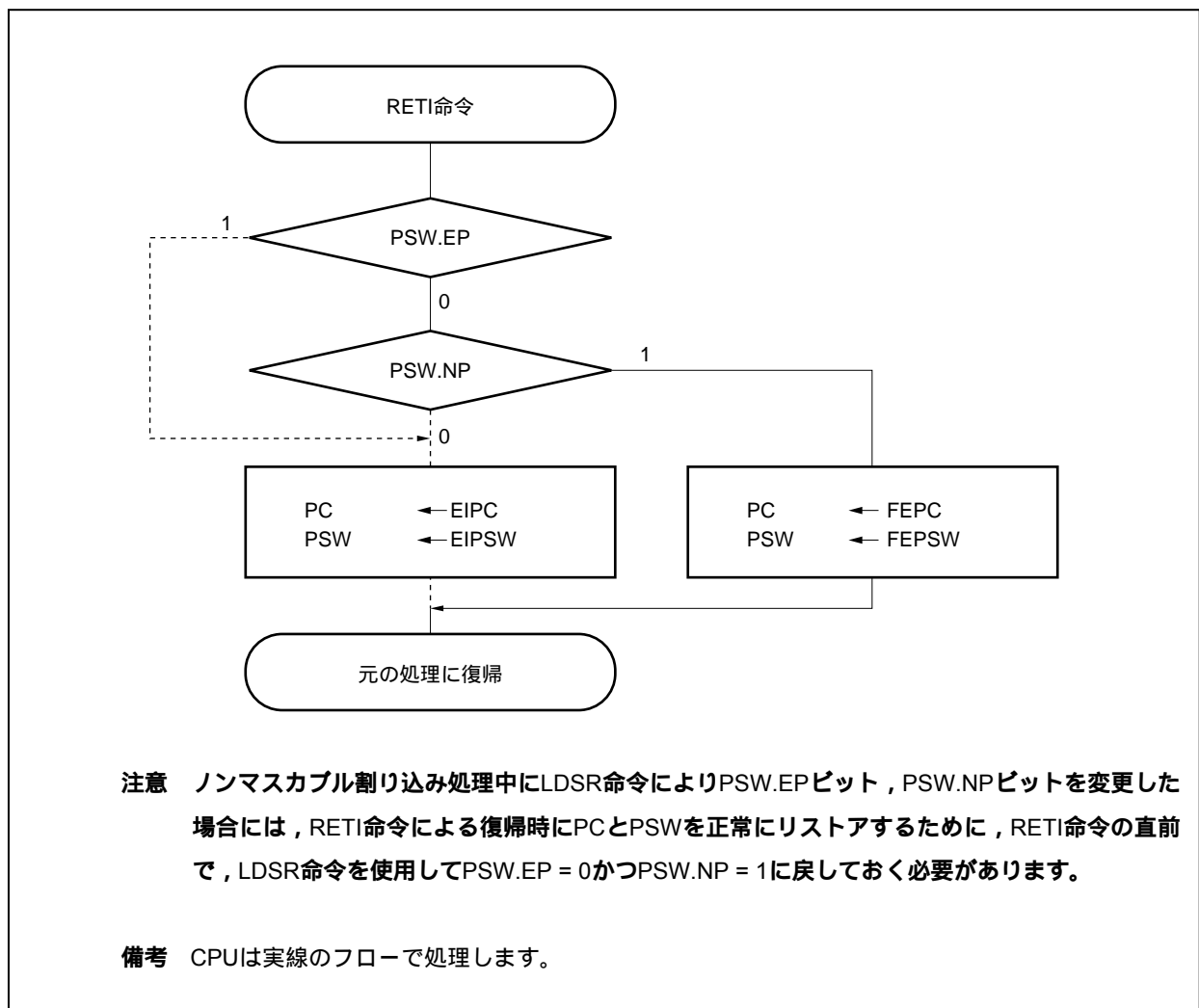
ノンマスクابل割り込み処理からの復帰は、RETI命令により行います。

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへの制御を移します。

- (1) PSWのEPビットが0かつPSWのNPビットが1なので、FEPC、FEPSWから復帰PC、PSWを取り出します。
- (2) 取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を図7 - 3に示します。

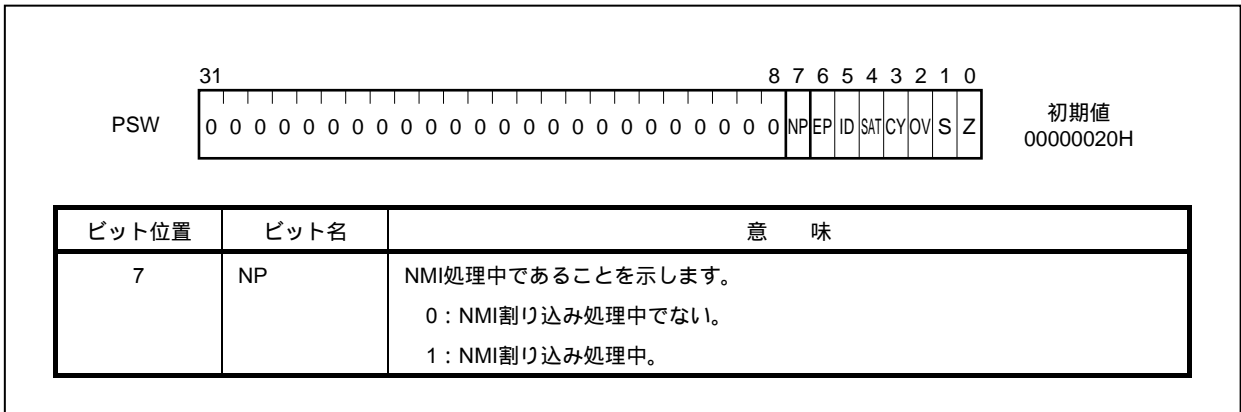
図7 - 3 RETI命令の処理形態



### 7.2.3 ノンマスカブル割り込みステータス・フラグ (NP)

NPフラグは、PSWのビット7です。NPフラグは、ノンマスカブル割り込み（NMI）の処理中であることを示すステータス・フラグです。

NMI割り込み要求を受け付けるとセットされ、すべての割り込みと例外をマスクして多重割り込みを禁止します。



### 7.2.4 エッジ検出機能

#### (1) 外部割り込みモード・レジスタ0 (INTM0)

外部割り込みモード・レジスタ0 (INTM0) は、ノンマスカブル割り込み (NMI) の有効エッジを指定するレジスタです。ESN0ビットによって、NMIの有効エッジを、立ち上がりエッジ、立ち下がりエッジのいずれかに指定できます。

8/1ビット単位でリード/ライト可能です。



## 7.3 マスカブル割り込み

マスカブル割り込み要求は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求で、52種類の割り込み要因があります。

複数のマスカブル割り込み要求が同時に発生した場合は、デフォルト優先順位により、その優先順位が決定します。また、デフォルト優先順位とは別に、割り込み制御レジスタによって、8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求が受け付けられると割り込み禁止（DI）状態になり、以後のマスカブル割り込み要求の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり、受け付け中の割り込み要求の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし、多重割り込みを行う場合、次の処理が必要です。

EI命令を実行する前にEIPC, EIPSWをメモリか汎用レジスタに退避

RETI命令を実行する前にDI命令を実行し、続いて退避させた値をEIPC, EIPSWに復帰

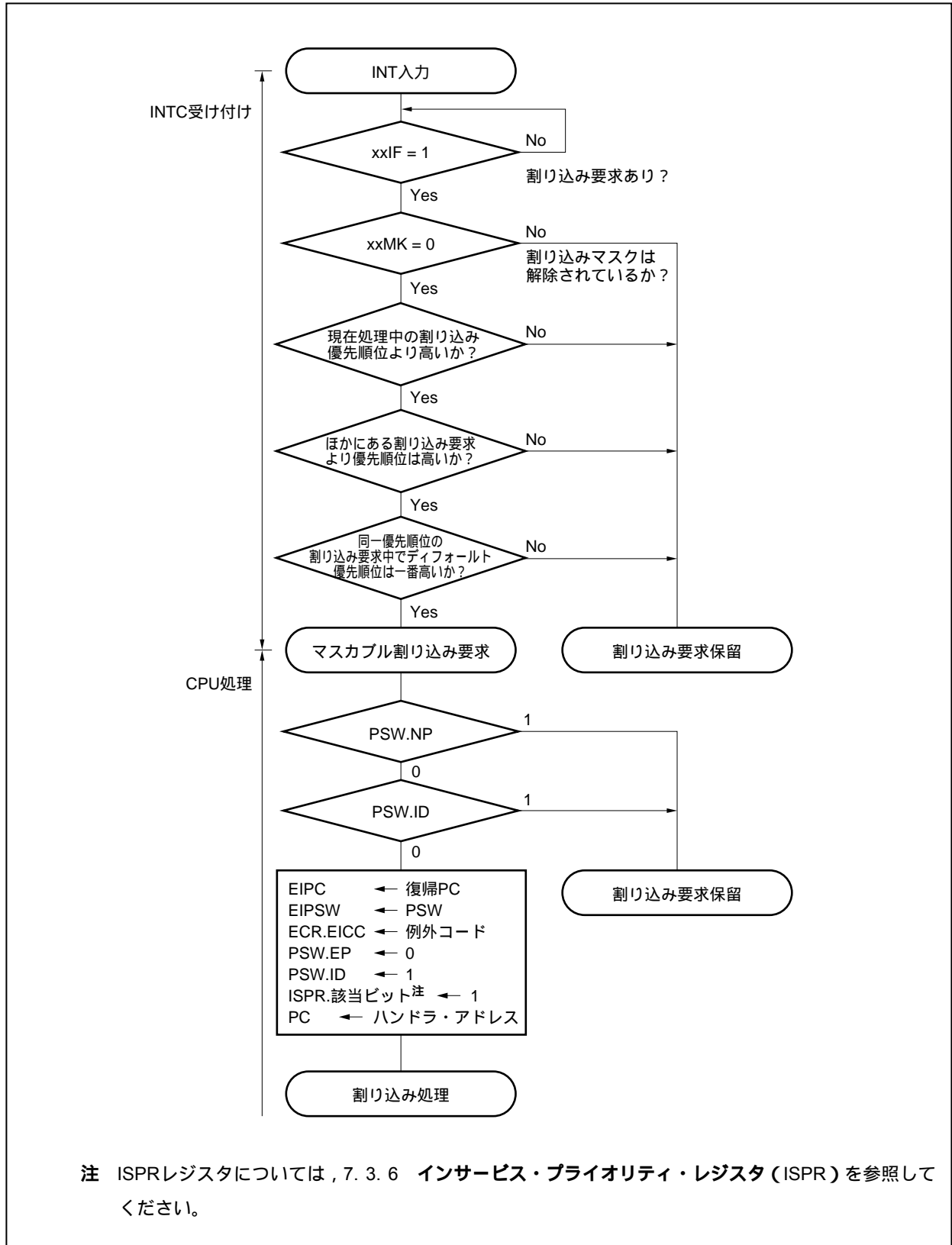
### 7.3.1 動作

INT入力によりマスカブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

- (1) 復帰PCをEIPCに退避します。
- (2) 現在のPSWをEIPSWに退避します。
- (3) ECRの下位ハーフワード（EICC）に例外コードを書き込みます。
- (4) PSWのIDビットをセットし、EPビットをクリアします。
- (5) PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

マスカブル割り込みの処理形態を図7 - 4に示します。

図7-4 マスカブル割り込みの処理形態



割り込みコントローラでマスクされているINT入力と、ほかの割り込み処理中 (PSW.NP = 1またはPSW.ID = 1) に発生したINT入力は、割り込みコントローラの内部で保留されます。この場合マスクを解除するか、またはRETI命令、LDSR命令を使用して、PSW.NP = 0かつPSW.ID = 0にすると、保留していたINT入力により新たなマスカブル割り込み処理が開始されます。

### 7.3.2 復 帰

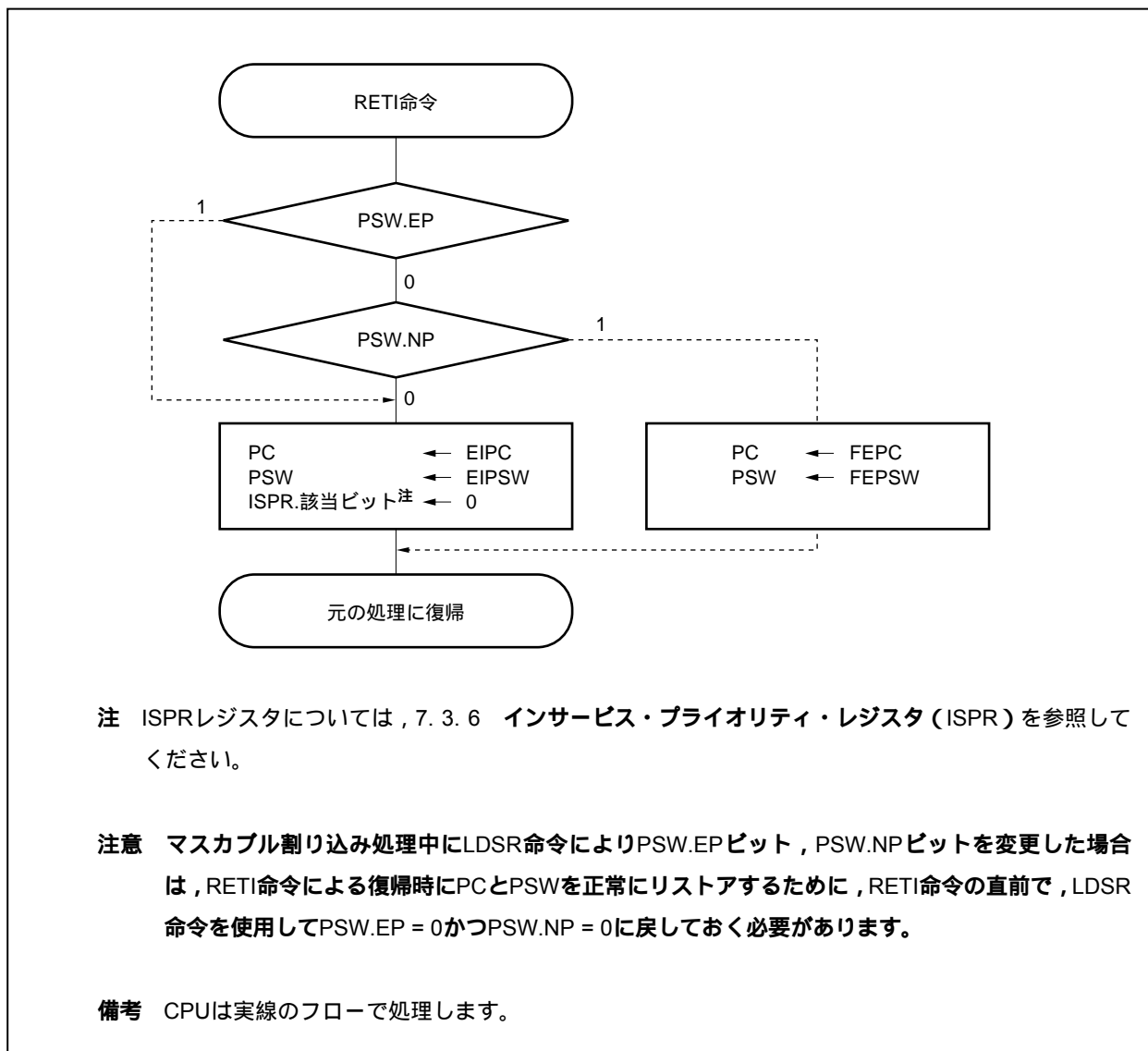
マスクブル割り込み処理からの復帰は、RETI命令により行います。

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットが0かつPSWのNPビットが0なので、EIPC、EIPSWから復帰PC、PSWを取り出します。
- (2) 取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を図7 - 5に示します。

図7 - 5 RETI命令の処理形態





### 7.3.3 マスカブル割り込みの優先順位

INTCは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込み制御レジスタ (xxICn) の割り込み優先順位指定ビット (xxPRn) によるプログラマブル優先順位制御があります。デフォルト優先順位制御は、xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込みを処理します (表7-1 **割り込み / 例外要因一覧**参照)。プログラマブル優先順位制御は、各割り込み要求を優先順位指定フラグの設定によって8レベルに分けます。

なお、割り込み要求を受け付けるとPSWのIDフラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア (0) し、割り込み許可状態にしてください。

**備考** xx : 各周辺ユニット識別名称 (表7-2参照)

n : 周辺ユニット番号 (表7-2参照)

図7-6 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (1/2)

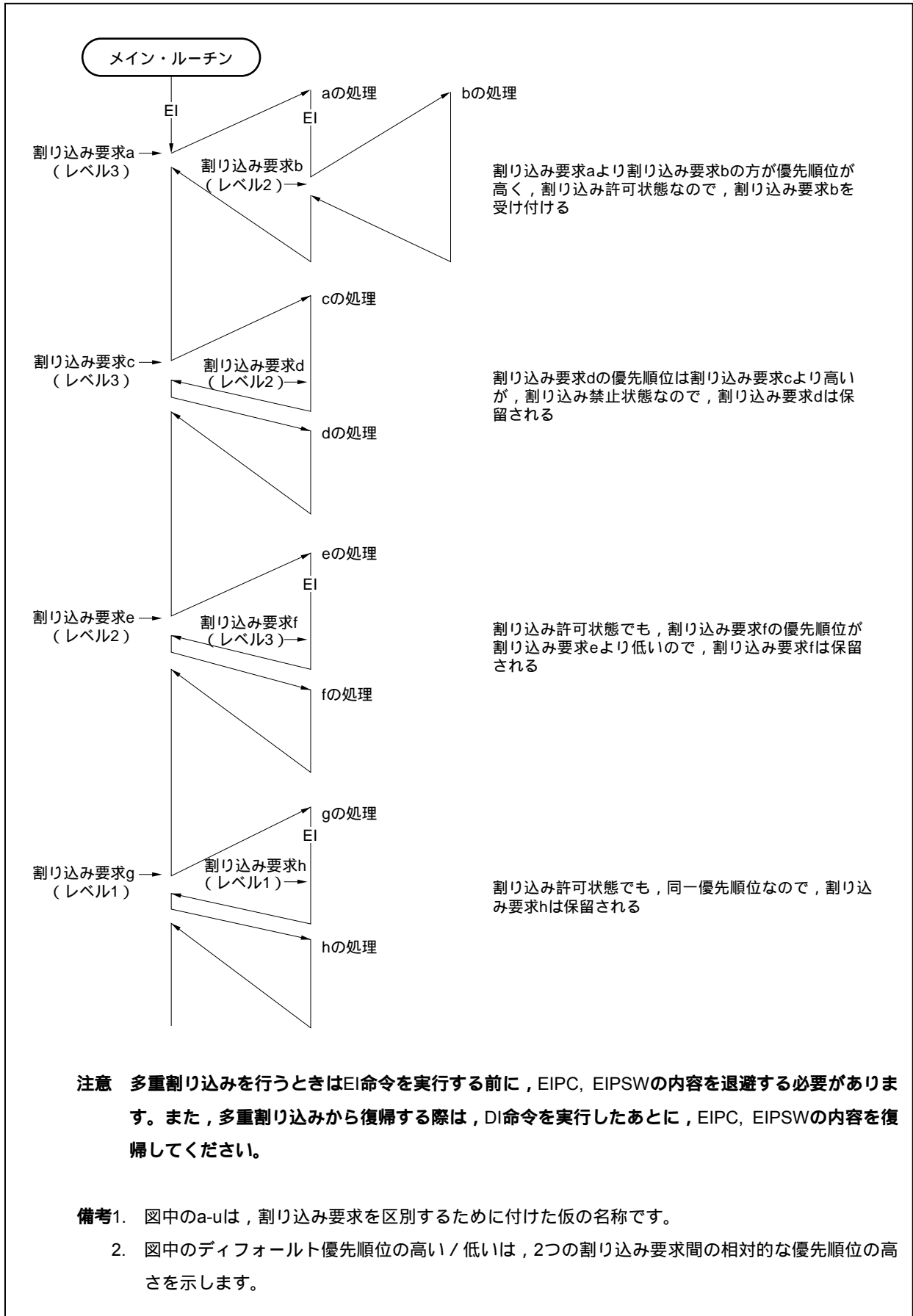


図7-6 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (2/2)

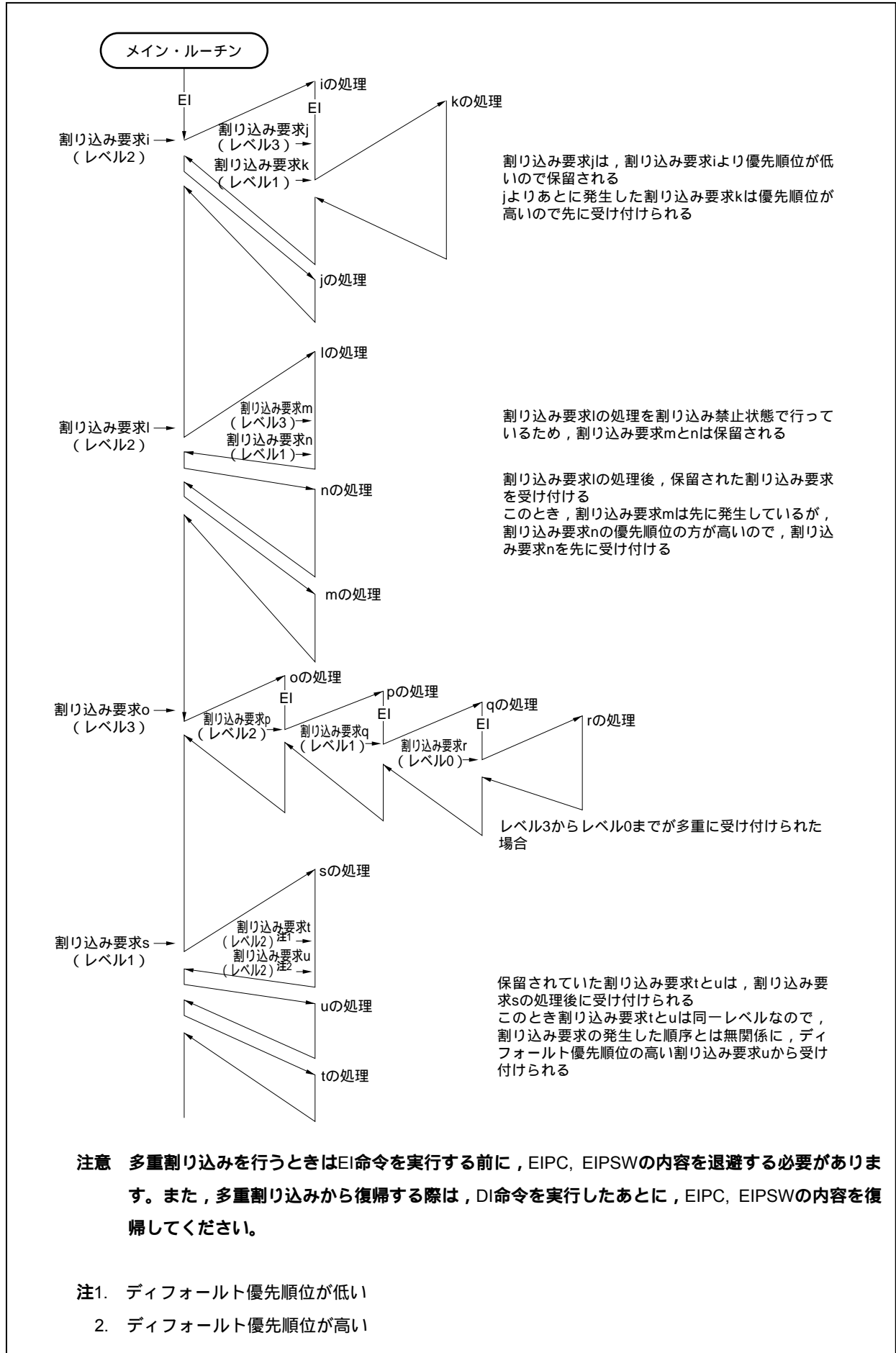
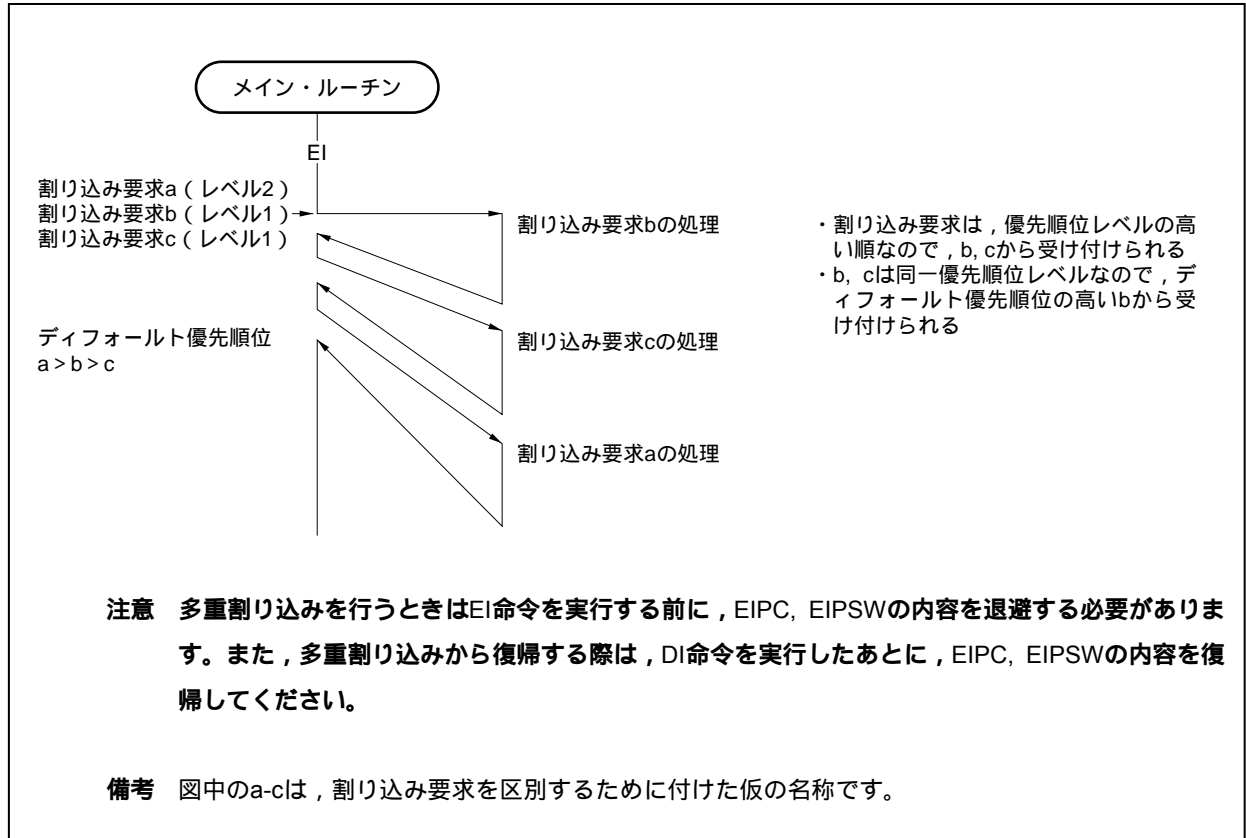


図7 - 7 同時発生した割り込み要求の処理例



### 7.3.4 割り込み制御レジスタ (xxICn)

割り込み要求 (マスカブル割り込み) ごとに割り当てられ, 各割り込みに対する制御条件を設定します。  
8/1ビット単位でリード/ライト可能です。

- 注意1. xxIFnビットを読み出す場合は, 割り込み禁止 (DI) 状態で行ってください。割り込み許可 (EI) 状態でxxIFnビットを読み出すと, 割り込みの受け付けとビットの読み出しのタイミングが競合した場合に, 正常な値が読み出せないことがあります。
2. すべての割り込み要因について, 割り込み要因の発生と, その発生した割り込み要因のxxMKnビットまたはxxPRn2-xxPRn0ビットへのビット操作命令 (SET1, NOT1, CLR1が対象 (TST1は対象外)) が競合した場合は, 対象の割り込み要求信号が発生しない可能性があります。  
回避方法として次の2つがあります。

・xxICnレジスタへのビット操作命令を使用しない場合

xxMKnビットへのライトは, IMRmレジスタへのビット操作命令に変更してください。

xxPRn2-xxPRn0ビットへのライトは, xxICnレジスタへのバイト・アクセスに変更してください。

・xxICnレジスタへのビット操作命令を使用する場合

割り込み禁止 (DI) 状態で未使用のxxICn.xxIFnビットを0にしたダミー・ライト (バイト・アクセス) 実行後, 該当のxxICnレジスタへのビット操作命令を実行してください。

	⑦	⑥	5	4	3	②	①	①	アドレス	初期値
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0	FFFFF110H- FFFFF176H	47H

ビット位置	ビット名	意味																																				
7	xxIFn	割り込み要求フラグです。 0 : 割り込み要求なし 1 : 割り込み要求あり xxIFnフラグは、割り込み要求が受け付けられるとハードウェアにより自動的にリセットされます。																																				
6	xxMKn	割り込みマスク・フラグです。 0 : 割り込み処理を許可 1 : 割り込み処理を禁止（保留）																																				
2-0	xxPRn2-xxPRn0	各割り込みごとに8レベルの優先順位を指定します。 <table border="1" data-bbox="596 853 1329 1236"> <thead> <tr> <th>xxPRn2</th> <th>xxPRn1</th> <th>xxPRn0</th> <th>割り込み優先順位指定ビット</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>レベル0（最高位）を指定</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>レベル1を指定</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>レベル2を指定</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>レベル3を指定</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>レベル4を指定</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>レベル5を指定</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>レベル6を指定</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>レベル7（最低位）を指定</td> </tr> </tbody> </table>	xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット	0	0	0	レベル0（最高位）を指定	0	0	1	レベル1を指定	0	1	0	レベル2を指定	0	1	1	レベル3を指定	1	0	0	レベル4を指定	1	0	1	レベル5を指定	1	1	0	レベル6を指定	1	1	1	レベル7（最低位）を指定
xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット																																			
0	0	0	レベル0（最高位）を指定																																			
0	0	1	レベル1を指定																																			
0	1	0	レベル2を指定																																			
0	1	1	レベル3を指定																																			
1	0	0	レベル4を指定																																			
1	0	1	レベル5を指定																																			
1	1	0	レベル6を指定																																			
1	1	1	レベル7（最低位）を指定																																			

**備考** xx : 各周辺ユニット識別名称（表7 - 2参照）

n : 周辺ユニット番号（表7 - 2参照）

各割り込み制御レジスタのアドレスとビットを次に示します。

表7-2 割り込み制御レジスタのアドレスとビット (1/2)

アドレス	レジスタ	ビット							
				5	4	3			①
FFFFF110H	P0IC0	P0IF0	P0MK0	0	0	0	P0PR02	P0PR01	P0PR00
FFFFF112H	P0IC1	P0IF1	P0MK1	0	0	0	P0PR12	P0PR11	P0PR10
FFFFF114H	P0IC2	P0IF2	P0MK2	0	0	0	P0PR22	P0PR21	P0PR20
FFFFF116H	P0IC3	P0IF3	P0MK3	0	0	0	P0PR32	P0PR31	P0PR30
FFFFF118H	P0IC4	P0IF4	P0MK4	0	0	0	P0PR42	P0PR41	P0PR40
FFFFF11AH	P0IC5	P0IF5	P0MK5	0	0	0	P0PR52	P0PR51	P0PR50
FFFFF11CH	P0IC6	P0IF6	P0MK6	0	0	0	P0PR62	P0PR61	P0PR60
FFFFF11EH	DETIC0	DETIF0	DETMK0	0	0	0	DETPR02	DETPR01	DETPR00
FFFFF120H	DETIC1	DETIF1	DETMK1	0	0	0	DETPR12	DETPR11	DETPR10
FFFFF122H	TM0IC0	TM0IF0	TM0MK0	0	0	0	TM0PR02	TM0PR01	TM0PR00
FFFFF124H	CM03IC0	CM03IF0	CM03MK0	0	0	0	CM03PR02	CM03PR01	CM03PR00
FFFFF126H	TM0IC1	TM0IF1	TM0MK1	0	0	0	TM0PR12	TM0PR11	TM0PR10
FFFFF128H	CM03IC1	CM03IF1	CM03MK1	0	0	0	CM03PR12	CM03PR11	CM03PR10
FFFFF12AH	CC10IC0	CC10IF0	CC10MK0	0	0	0	CC10PR02	CC10PR01	CC10PR00
FFFFF12CH	CC10IC1	CC10IF1	CC10MK1	0	0	0	CC10PR12	CC10PR11	CC10PR10
FFFFF12EH	CM10IC0	CM10IF0	CM10MK0	0	0	0	CM10PR02	CM10PR01	CM10PR00
FFFFF130H	CM10IC1	CM10IF1	CM10MK1	0	0	0	CM10PR12	CM10PR11	CM10PR10
FFFFF132H	CC11IC0	CC11IF0	CC11MK0	0	0	0	CC11PR02	CC11PR01	CC11PR00
FFFFF134H	CC11IC1	CC11IF1	CC11MK1	0	0	0	CC11PR12	CC11PR11	CC11PR10
FFFFF136H	CM11IC0	CM11IF0	CM11MK0	0	0	0	CM11PR02	CM11PR01	CM11PR00
FFFFF138H	CM11IC1	CM11IF1	CM11MK1	0	0	0	CM11PR12	CM11PR11	CM11PR10
FFFFF13AH	TM2IC0	TM2IF0	TM2MK0	0	0	0	TM2PR02	TM2PR01	TM2PR00
FFFFF13CH	TM2IC1	TM2IF1	TM2MK1	0	0	0	TM2PR12	TM2PR11	TM2PR10
FFFFF13EH	CC2IC0	CC2IF0	CC2MK0	0	0	0	CC2PR02	CC2PR01	CC2PR00
FFFFF140H	CC2IC1	CC2IF1	CC2MK1	0	0	0	CC2PR12	CC2PR11	CC2PR10
FFFFF142H	CC2IC2	CC2IF2	CC2MK2	0	0	0	CC2PR22	CC2PR21	CC2PR20
FFFFF144H	CC2IC3	CC2IF3	CC2MK3	0	0	0	CC2PR32	CC2PR31	CC2PR30
FFFFF146H	CC2IC4	CC2IF4	CC2MK4	0	0	0	CC2PR42	CC2PR41	CC2PR40
FFFFF148H	CC2IC5	CC2IF5	CC2MK5	0	0	0	CC2PR52	CC2PR51	CC2PR50
FFFFF14AH	TM3IC0	TM3IF0	TM3MK0	0	0	0	TM3PR02	TM3PR01	TM3PR00
FFFFF14CH	CC3IC0	CC3IF0	CC3MK0	0	0	0	CC3PR02	CC3PR01	CC3PR00
FFFFF14EH	CC3IC1	CC3IF1	CC3MK1	0	0	0	CC3PR12	CC3PR11	CC3PR10
FFFFF150H	CM4IC0	CM4IF0	CM4MK0	0	0	0	CM4PR02	CM4PR01	CM4PR00
FFFFF152H	DMAIC0	DMAIF0	DMAMK0	0	0	0	DMAPR02	DMAPR01	DMAPR00
FFFFF154H	DMAIC1	DMAIF1	DMAMK1	0	0	0	DMAPR12	DMAPR11	DMAPR10
FFFFF156H	DMAIC2	DMAIF2	DMAMK2	0	0	0	DMAPR22	DMAPR21	DMAPR20
FFFFF158H	DMAIC3	DMAIF3	DMAMK3	0	0	0	DMAPR32	DMAPR31	DMAPR30
FFFFF15AH	CANIC0	CANIF0	CANMK0	0	0	0	CANPR02	CANPR01	CANPR00
FFFFF15CH	CANIC1	CANIF1	CANMK1	0	0	0	CANPR12	CANPR11	CANPR10
FFFFF15EH	CANIC2	CANIF2	CANMK2	0	0	0	CANPR22	CANPR21	CANPR20
FFFFF160H	CANIC3	CANIF3	CANMK3	0	0	0	CANPR32	CANPR31	CANPR30
FFFFF162H	CSIIIC0	CSIIIF0	CSIIIMK0	0	0	0	CSIIIPR02	CSIIIPR01	CSIIIPR00

表7 - 2 割り込み制御レジスタのアドレスとビット (2/2)

アドレス	レジスタ	ビット							
				5	4	3			①
FFFFFF164H	CSIIC1	CSIIF1	CSIMK1	0	0	0	CSIPR12	CSIPR11	CSIPR10
FFFFFF166H	SRIC0	SRIF0	SRMK0	0	0	0	SRPR02	SRPR01	SRPR00
FFFFFF168H	STIC0	STIF0	STMK0	0	0	0	STPR02	STPR01	STPR00
FFFFFF16AH	SEIC0	SEIF0	SEMK0	0	0	0	SEPR02	SEPR01	SEPR00
FFFFFF16CH	SRIC1	SRIF1	SRMK1	0	0	0	SRPR12	SRPR11	SRPR10
FFFFFF16EH	STIC1	STIF1	STMK1	0	0	0	STPR12	STPR11	STPR10
FFFFFF170H	SRIC2	SRIF2	SRMK2	0	0	0	SRPR22	SRPR21	SRPR20
FFFFFF172H	STIC2	STIF2	STMK2	0	0	0	STPR22	STPR21	STPR20
FFFFFF174H	ADIC0	ADIF0	ADMK0	0	0	0	ADPR02	ADPR01	ADPR00
FFFFFF176H	ADIC1	ADIF1	ADMK1	0	0	0	ADPR12	ADPR11	ADPR10



### 7.3.5 割り込みマスク・レジスタ0-3 (IMR0-IMR3)

マスカブル割り込みに対する割り込みマスク状態を設定します。IMR0-IMR3レジスタのxxMKnビットとxxICnレジスタのxxMKnビットは、それぞれ連結しています。

IMRmレジスタは、16ビット単位でリード/ライト可能です (m = 0-3)。

IMRmレジスタの上位8ビットをIMRmHレジスタ、下位8ビットをIMRmLレジスタとした場合は、8/1ビット単位でリード/ライト可能です。

**注意** デバイス・ファイルでは、xxICnレジスタのxxMKnビットを予約語として定義しています。したがって、xxMKnビットの名称でビット操作を行うと、IMRmレジスタではなくxxICnレジスタを書き換えます (結果としてIMRmレジスタも書き換わります)。

IMR0	⑮	⑭	⑬	⑫	⑪	⑩	⑨	⑧	アドレス	初期値
	CM10MK0	CC10MK1	CC10MK0	CM03MK1	TM0MK1	CM03MK0	TM0MK0	DETMK1		
	⑦	⑥	⑤	④	③	②	①	①		
	DETMK0	P0MK6	P0MK5	P0MK4	P0MK3	P0MK2	P0MK1	P0MK0		
IMR1	⑮	⑭	⑬	⑫	⑪	⑩	⑨	⑧	アドレス	初期値
	CC3MK1	CC3MK0	TM3MK0	CC2MK5	CC2MK4	CC2MK3	CC2MK2	CC2MK1		
	⑦	⑥	⑤	④	③	②	①	①		
	CC2MK0	TM2MK1	TM2MK0	CM11MK1	CM11MK0	CC11MK1	CC11MK0	CM10MK1		
IMR2	⑮	⑭	⑬	⑫	⑪	⑩	⑨	⑧	アドレス	初期値
	STMK1	SRMK1	SEMK0	STMK0	SRMK0	CSIMK1	CSIMK0	CANMK3		
	⑦	⑥	⑤	④	③	②	①	①		
	CANMK2	CANMK1	CANMK0	DMAMK3	DMAMK2	DMAMK1	DMAMK0	CM4MK0		
IMR3	15	14	13	12	11	10	9	8	アドレス	初期値
	1	1	1	1	1	1	1	1		
	7	6	5	4	③	②	①	①		
	1	1	1	1	ADMK1	ADMK0	STMK2	SRMK2		

ビット位置	ビット名	意味
15-0 (IMR0-2), 0-3 (IMR3)	xxMKn	割り込みマスク・フラグです。 0 : 割り込み処理を許可 1 : 割り込み処理を禁止 (保留)

**備考** xx : 各周辺ユニット識別名称 (表7 - 2参照)  
n : 周辺ユニット番号 (表7 - 2参照)

### 7.3.6 インサース・プライオリティ・レジスタ (ISPR)

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求が受け付けられると、その割り込み要求の優先順位レベルに対応するビットがセット (1) され、サービス中保持されます。

RETI命令の実行時、ISPRレジスタ内でセット (1) されているビットのうち、最も優先順位の高い割り込み要求に対応するビットがハードウェアにより自動的にクリア (0) されます。ただし、ノンマスカブルの割り込み処理や例外処理からの復帰の場合はクリア (0) されません。

8/1ビット単位でリードのみ可能です。

**注意** 割り込み許可 (EI) 状態において、ISPRレジスタをリード中に割り込みを受け付けた場合、その割り込み受け付けによるビットがセット (1) されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は、割り込み禁止 (DI) 状態でリードしてください。

	⑦	⑥	⑤	④	③	②	①	①	①	アドレス	初期値
ISPR	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0		FFFFFF1FAH	00H

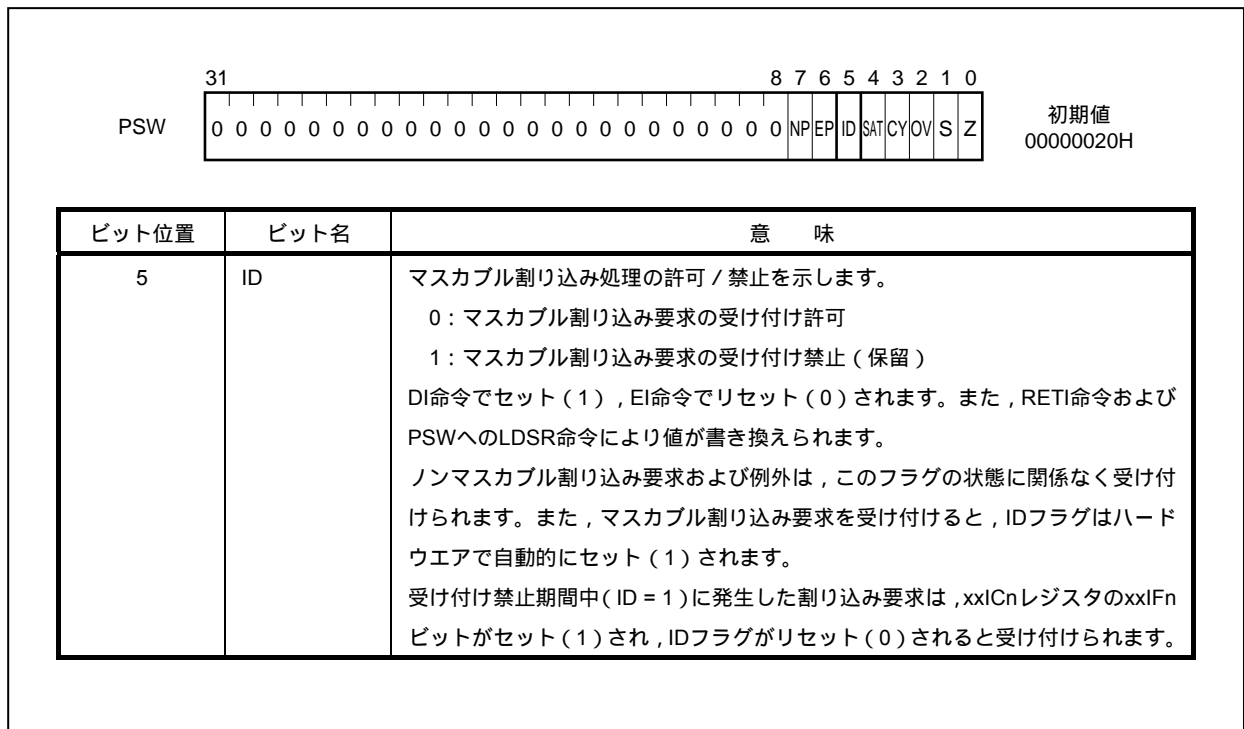
  

ビット位置	ビット名	意味
7-0	ISPR7-ISPR0	受け付け中の割り込みの優先順位を示します。 0 : 優先順位nの割り込み要求を受け付けていない 1 : 優先順位nの割り込み要求を受け付け中

**備考** n = 0-7 (優先順位のレベル)

## 7.3.7 マスカブル割り込みステータス・フラグ (ID)

IDフラグは、PSWのビット5です。マスカブル割り込みの動作状態を制御し、割り込み要求受け付けの許可 / 禁止制御情報を記憶します。



### 7.3.8 割り込みトリガ・モードの選択

INTPn端子, ADTRG0, ADTRG1端子, TIUD10, TIUD11端子, TCUD10, TCUD11端子, TCLR10, TCLR11, TCLR3端子, TI3端子は, 有効エッジをプログラマブルに選択します。また, 選択できる有効エッジについて次に示します (n = 0-6, 20-25, 30, 31, 100, 101, 110, 111)。

- ・ 立ち上がりエッジ
- ・ 立ち下がりエッジ
- ・ 立ち上がり / 立ち下がり両エッジ

エッジ検出されたINTPn, ADTRG0, ADTRG1, TIUD10, TIUD11, TCUD10, TCUD11, TCLR10, TCLR11, TCLR3, TI3信号は, 割り込み要因やキャプチャ / トリガになります。

有効エッジは, 外部割り込みモード・レジスタ1, 2 (INTM1, INTM2), シグナル・エッジ選択レジスタ10, 11 (SESA10, SESA11), 有効エッジ選択レジスタ (SESC), TM2入力フィルタ・モード・レジスタ0-5 (FEM0-FEM5) で指定します。

(1) 外部割り込みモード・レジスタ1, 2 (INTM1, INTM2)

外部端子による外部割り込み要求 (INTP0-INTP6) の有効エッジを指定するレジスタです。各レジスタと、そのレジスタが制御する外部割り込み要求との対応を次に示します。

- ・ INTM1 : INTP0, INTP1, INTP2/ADTRG0, INTP3/ADTRG1
- ・ INTM2 : INTP4-INTP6

INTP2, INTP3はADTRG0, ADTRG1 (A/Dコンバータの外部トリガ入力) と端子が兼用になっています。したがって、INTM1のES20, ES21ビットとES30, ES31ビットの設定は、A/Dコンバータ・モード・レジスタn0 (ADSCMn0) のTRG0-TRG2ビットにより外部トリガ・モードに設定されている場合は、外部トリガ入力 (ADTRG0, ADTRG1) の有効エッジ指定にもなります (n = 0, 1)。

有効エッジは、立ち上がりエッジ、立ち下がりエッジ、または立ち上がり / 立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8/1ビット単位でリード / ライト可能です。

	7	6	5	4	3	2	1	0		
INTM1	ES31	ES30	ES21	ES20	ES11	ES10	ES01	ES00	FFFFF882H	初期値 00H
	└──────────┘		└──────────┘		└──────────┘		└──────────┘			
	INTP3/ADTRG1		INTP2/ADTRG0		INTP1		INTP0			
	7	6	5	4	3	2	1	0		
INTM2	0	0	ES61	ES60	ES51	ES50	ES41	ES40	FFFFF884H	初期値 00H
	└──────────┘		└──────────┘		└──────────┘		└──────────┘			
	INTP6		INTP5		INTP4		INTP4			

ビット位置	ビット名	意 味															
7-0 (INTM1), 5-0 (INTM2)	ESn1, ESn0 (n = 0-6)	INTPn端子, ADTRG0, ADTRG1端子の有効エッジを指定します。  <table border="1" style="width: 100%; border-collapse: collapse; margin: 5px;"> <thead> <tr> <th style="width: 10%;">ESn1</th> <th style="width: 10%;">ESn0</th> <th style="width: 80%;">動 作</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>設定禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>立ち上がり / 立ち下がり両エッジ</td> </tr> </tbody> </table>	ESn1	ESn0	動 作	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	設定禁止	1	1	立ち上がり / 立ち下がり両エッジ
ESn1	ESn0	動 作															
0	0	立ち下がりエッジ															
0	1	立ち上がりエッジ															
1	0	設定禁止															
1	1	立ち上がり / 立ち下がり両エッジ															

**(2) シグナル・エッジ選択レジスタ10, 11 (SESA10, SESA11)**

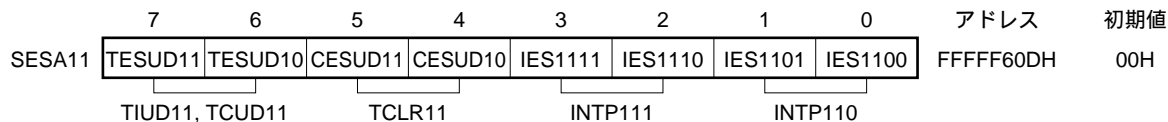
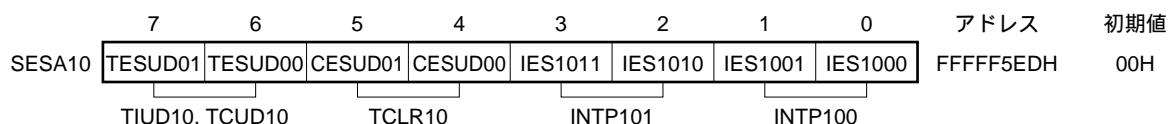
外部端子による外部割り込み要求 (INTP100, INTP101, INTP110, INTP111, TIUD10, TIUD11, TCUD10, TCUD11, TCLR10, TCLR11) の有効エッジを指定するレジスタです。各レジスタと、そのレジスタが制御する外部割り込み要求との対応を次に示します。

- ・ SESA10 : TIUD10, TCUD10, TCLR10, INTP100, INTP101
- ・ SESA11 : TIUD11, TCUD11, TCLR11, INTP110, INTP111

有効エッジは、立ち上がりエッジ、立ち下がりエッジ、または立ち上がり / 立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8/1ビット単位でリード / ライト可能です。

- 注意1.** TM1n動作中(タイマ・コントロール・レジスタ10, 11(TMC10, TMC11)のTM1CEnビット = 1) にSESA1nレジスタの各ビットを変更することは禁止します。
2. タイマ1を使用しないでTCUD10/INTP100, TCLR10/INTP101, TCUD11/INTP110, TCLR11/INTP111端子をINTP100, INTP101, INTP110, INTP111として使用する場合でも、TM1CEnビットを必ずセット(1)してから使用してください。
  3. INTP100, INTP101, INTP110, INTP111, TIUD10, TIUD11, TCUD10, TCUD11, TCLR10, TCLR11端子のトリガ・モードを設定する場合は、PMC1レジスタを設定したあとで行ってください。  
SESA10, SESA11レジスタを設定したあとでPMC1レジスタの設定を行うと、PMC1レジスタの設定タイミングで不正な割り込みが発生することがあります。



ビット位置	ビット名	意味															
7, 6	TESUDn1, TESUDn0	<p>TIUD10, TIUD11, TCUD10, TCUD11端子の有効エッジを指定します。</p> <table border="1"> <thead> <tr> <th>TESUDn1</th> <th>TESUDn0</th> <th>有効エッジ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>立ち上がり / 立ち下がり両エッジ</td> </tr> </tbody> </table> <p>注意1. TESUDn1, TESUDn0ビットは、UDCモードA<sup>注1</sup>, UDCモードB<sup>注1</sup>時のみ設定値が有効です。</p> <p>2. TM1nの動作がモード4<sup>注2</sup>に指定されている場合には、TIUD1n, TCUD1n端子に対する有効エッジの指定 (TESUDn1, TESUDn0ビット) は無効です。</p>	TESUDn1	TESUDn0	有効エッジ	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	設定禁止	1	1	立ち上がり / 立ち下がり両エッジ
TESUDn1	TESUDn0	有効エッジ															
0	0	立ち下がりエッジ															
0	1	立ち上がりエッジ															
1	0	設定禁止															
1	1	立ち上がり / 立ち下がり両エッジ															
5, 4	CESUDn1, CESUDn0	<p>TCLR10, TCLR11端子の有効エッジを指定します。</p> <table border="1"> <thead> <tr> <th>CESUDn1</th> <th>CESUDn0</th> <th>有効エッジ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>ロウ・レベル</td> </tr> <tr> <td>1</td> <td>1</td> <td>ハイ・レベル</td> </tr> </tbody> </table> <p>CESUDn1, CESUDn0ビット設定値とTM1nの動作は次のようになります。</p> <p>00 : TCLR1nの立ち上がりエッジ検出後、TM1nをクリア</p> <p>01 : TCLR1nの立ち下がりエッジ検出後、TM1nをクリア</p> <p>10 : TCLR1n入力がロウ・レベル期間中は、TM1nはクリアを保持</p> <p>11 : TCLR1n入力がハイ・レベル期間中は、TM1nはクリアを保持</p> <p>注意 CESUDn1, CESUDn0ビットは、UDCモードA<sup>注1</sup>時のみ、設定値が有効です。</p>	CESUDn1	CESUDn0	有効エッジ	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	ロウ・レベル	1	1	ハイ・レベル
CESUDn1	CESUDn0	有効エッジ															
0	0	立ち下がりエッジ															
0	1	立ち上がりエッジ															
1	0	ロウ・レベル															
1	1	ハイ・レベル															

備考 n = 0, 1

- 注1. 9.2.4 (2) タイマ・ユニット・モード・レジスタ0, 1 (TUM0, TUM1) 参照
2. 9.2.4 (6) プリスケラ・モード・レジスタ10, 11 (PRM10, PRM11) 参照

ビット位置	ビット名	意 味															
3, 2	IES1n11, IES1n10	<p>CSL1nレジスタのCSLnビットで選択された端子 ( INTP1n1/INTP1n0 ) の有効エッジを指定します。</p> <table border="1"> <thead> <tr> <th>IES1n11</th> <th>IES1n10</th> <th>有効エッジ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>立ち上がり / 立ち下がり両エッジ</td> </tr> </tbody> </table>	IES1n11	IES1n10	有効エッジ	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	設定禁止	1	1	立ち上がり / 立ち下がり両エッジ
IES1n11	IES1n10	有効エッジ															
0	0	立ち下がりエッジ															
0	1	立ち上がりエッジ															
1	0	設定禁止															
1	1	立ち上がり / 立ち下がり両エッジ															
1, 0	IES1n01, IES1n00	<p>INTP100, INTP110端子の有効エッジを指定します。</p> <table border="1"> <thead> <tr> <th>IES1n01</th> <th>IES1n00</th> <th>有効エッジ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>立ち上がり / 立ち下がり両エッジ</td> </tr> </tbody> </table>	IES1n01	IES1n00	有効エッジ	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	設定禁止	1	1	立ち上がり / 立ち下がり両エッジ
IES1n01	IES1n00	有効エッジ															
0	0	立ち下がりエッジ															
0	1	立ち上がりエッジ															
1	0	設定禁止															
1	1	立ち上がり / 立ち下がり両エッジ															

**備考** n = 0, 1



(3) 有効エッジ選択レジスタ (SESC)

外部端子による外部割り込み要求 (INTP30, INTP31, TCLR3, TI3) の有効エッジを指定するレジスタです。

有効エッジは、立ち上がりエッジ、立ち下がりエッジ、または立ち上がり / 立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

8/1ビット単位でリード / ライト可能です。

**注意1. タイマ3を使用しないでTI3/TCLR3/INTP30, TO3/INTP31端子をそれぞれINTP30, INTP31として使用する場合でも、タイマ・コントロール・レジスタ30 (TMC30) のTM3CAE, TM3CEビットを必ずセット (1) してから使用してください。**

2. INTP30, INTP31, TCLR3, TI3端子のトリガ・モードを設定する場合は、PMC2レジスタを設定したあとで行ってください。

SESCレジスタを設定したあとでPMC2レジスタの設定を行うと、PMC2レジスタの設定タイミングで不正な割り込みが発生することがあります。

	7	6	5	4	3	2	1	0	アドレス	初期値
SESC	TES31	TES30	CES31	CES30	IES311	IES310	IES301	IES300	FFFFFF689H	00H
	TI3		TCLR3		INTP31		INTP30			

ビット位置	ビット名	意 味															
7, 6	TES31, TES30	INTP30, INTP31, TCLR3, TI3端子の有効エッジを指定します。															
5, 4	CES31, CES30	<table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <thead> <tr> <th style="width: 10%;">xESn1</th> <th style="width: 10%;">xESn0</th> <th style="width: 80%;">動 作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>立ち上がり / 立ち下がり両エッジ</td> </tr> </tbody> </table>	xESn1	xESn0	動 作	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	設定禁止	1	1	立ち上がり / 立ち下がり両エッジ
xESn1	xESn0	動 作															
0	0	立ち下がりエッジ															
0	1	立ち上がりエッジ															
1	0	設定禁止															
1	1	立ち上がり / 立ち下がり両エッジ															
3, 2	IES311, IES310																
1, 0	TES301, TES300	<b>備考</b> n = 3, 30, 31															

**(4) タイマ2入力フィルタ・モード・レジスタ0-5 (FEM0-FEM5)**

タイマ2への外部割り込み要求 (INTP20-INTP25) に対する有効エッジを指定するレジスタです。各レジスタと、そのレジスタが制御する外部割り込み要求との対応を次に示します。

- ・ FEM0 : INTP20
- ・ FEM1 : INTP21
- ・ FEM2 : INTP22
- ・ FEM3 : INTP23
- ・ FEM4 : INTP24
- ・ FEM5 : INTP25

有効エッジは、立ち上がりエッジ、立ち下がりエッジ、または立ち上がり / 立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8/1ビット単位でリード / ライト可能です。

- 注意1.** タイマ2を使用しないでTI2/INTP20, TO21/INTP21, TO22/INTP22, TO23/INTP23, TO24/INTP24, TCLR2/INTP25端子をそれぞれINTP20, INTP21, INTP22, INTP23, INTP24, INTP25として使用する場合でも、タイマ2クロック停止レジスタ0 (STOPTE0) のSTFTEビットを必ずクリア (0) してから使用してください。
2. INTP2<sub>n</sub>端子のトリガ・モードを設定する場合は、PMC2レジスタを設定したあとで行ってください。FEM<sub>n</sub>レジスタを設定したあとでPMC2レジスタの設定を行うと、PMC2レジスタの設定タイミングで不正な割り込みが発生することがあります (n = 0-5)。
  3. TCRE0レジスタのCEE<sub>n</sub>ビット = 1 (カウント動作許可) でノイズ除去機能が動作を開始します。

FEM0	7	6	5	4	3	2	1	0	アドレス	初期値
	DFEN00	0	0	0	EDGE010	EDGE000	TMS010	TMS000	FFFFF630H	00H
	INTP20									
FEM1	7	6	5	4	3	2	1	0	アドレス	初期値
	DFEN01	0	0	0	EDGE011	EDGE001	TMS011	TMS001	FFFFF631H	00H
	INTP21									
FEM2	7	6	5	4	3	2	1	0	アドレス	初期値
	DFEN02	0	0	0	EDGE012	EDGE002	TMS012	TMS002	FFFFF632H	00H
	INTP22									
FEM3	7	6	5	4	3	2	1	0	アドレス	初期値
	DFEN03	0	0	0	EDGE013	EDGE003	TMS013	TMS003	FFFFF633H	00H
	INTP23									
FEM4	7	6	5	4	3	2	1	0	アドレス	初期値
	DFEN04	0	0	0	EDGE014	EDGE004	TMS014	TMS004	FFFFF634H	00H
	INTP24									
FEM5	7	6	5	4	3	2	1	0	アドレス	初期値
	DFEN05	0	0	0	EDGE015	EDGE005	TMS015	TMS005	FFFFF635H	00H
	INTP25									

ビット位置	ビット名	意 味															
7	DFEN0n	INTP2n端子のフィルタを指定します。 0 : アナログ・フィルタ 1 : デジタル・フィルタ  <b>注意</b> DFEN0nビット = 1のとき、デジタル・フィルタのサンプリング・クロックは $f_{XXTM2}$ (PRM02レジスタで選択したTM20, TM21のクロック) となります。															
3, 2	EDGE01n, EDGE00n	INTP2n端子の有効エッジを指定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>EDGE01n</th> <th>EDGE00n</th> <th>動 作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>INTCC2nによる割り込み<sup>注</sup></td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>1</td> <td>1</td> <td>立ち上がり / 立ち下がり両エッジ</td> </tr> </tbody> </table> <b>注</b> TM20, TM21とサブチャネルのコンペア・レジスタ ( TMS01n, TMS00nビットで指定 ) の一致によりINTCC2nを選択する場合に設定します ( n = 0-5 ) 。	EDGE01n	EDGE00n	動 作	0	0	INTCC2nによる割り込み <sup>注</sup>	0	1	立ち上がりエッジ	1	0	立ち下がりエッジ	1	1	立ち上がり / 立ち下がり両エッジ
EDGE01n	EDGE00n	動 作															
0	0	INTCC2nによる割り込み <sup>注</sup>															
0	1	立ち上がりエッジ															
1	0	立ち下がりエッジ															
1	1	立ち上がり / 立ち下がり両エッジ															

備考 n = 0-5

ビット位置	ビット名	意 味															
1, 0	TMS01n, TMS00n	キャプチャ入力を選択します <sup>注</sup> 。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TMS01n</th> <th>TMS00n</th> <th>動 作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>端子として使用</td> </tr> <tr> <td>0</td> <td>1</td> <td>デジタル・フィルタ (ノイズ除去回路の指定)</td> </tr> <tr> <td>1</td> <td>0</td> <td>タイマによるサブチャンネル1へのキャプチャ</td> </tr> <tr> <td>1</td> <td>1</td> <td>タイマによるサブチャンネル2へのキャプチャ</td> </tr> </tbody> </table>	TMS01n	TMS00n	動 作	0	0	端子として使用	0	1	デジタル・フィルタ (ノイズ除去回路の指定)	1	0	タイマによるサブチャンネル1へのキャプチャ	1	1	タイマによるサブチャンネル2へのキャプチャ
TMS01n	TMS00n	動 作															
0	0	端子として使用															
0	1	デジタル・フィルタ (ノイズ除去回路の指定)															
1	0	タイマによるサブチャンネル1へのキャプチャ															
1	1	タイマによるサブチャンネル2へのキャプチャ															

注 INTCM100, INTCM101によるキャプチャ入力の選択は, FEM1, FEM2レジスタのみです。FEMmレジスタのTMS01m, TMS00mビット値には, 00Bまたは01Bを設定してください。これ以外の設定は禁止します (m = 1, 3-5)。

タイマ2のサブチャンネル1, サブチャンネル2は, INTP21, INTP22とINTCM100, INTCM101によるキャプチャが可能です。

次に例を示します。

(a) サブチャンネル1をINTCM101でキャプチャする場合

FEM1レジスタ = xxxxxx10B

TMIC0レジスタ = 00000010B

(b) サブチャンネル2をINTCM101でキャプチャする場合

FEM2レジスタ = xxxxxx11B

TMIC0レジスタ = 00001000B

備考 n = 0-5

## 7.4 ソフトウェア例外

ソフトウェア例外は、CPUのTRAP命令の実行により発生する例外で、常に受け付け可能です。

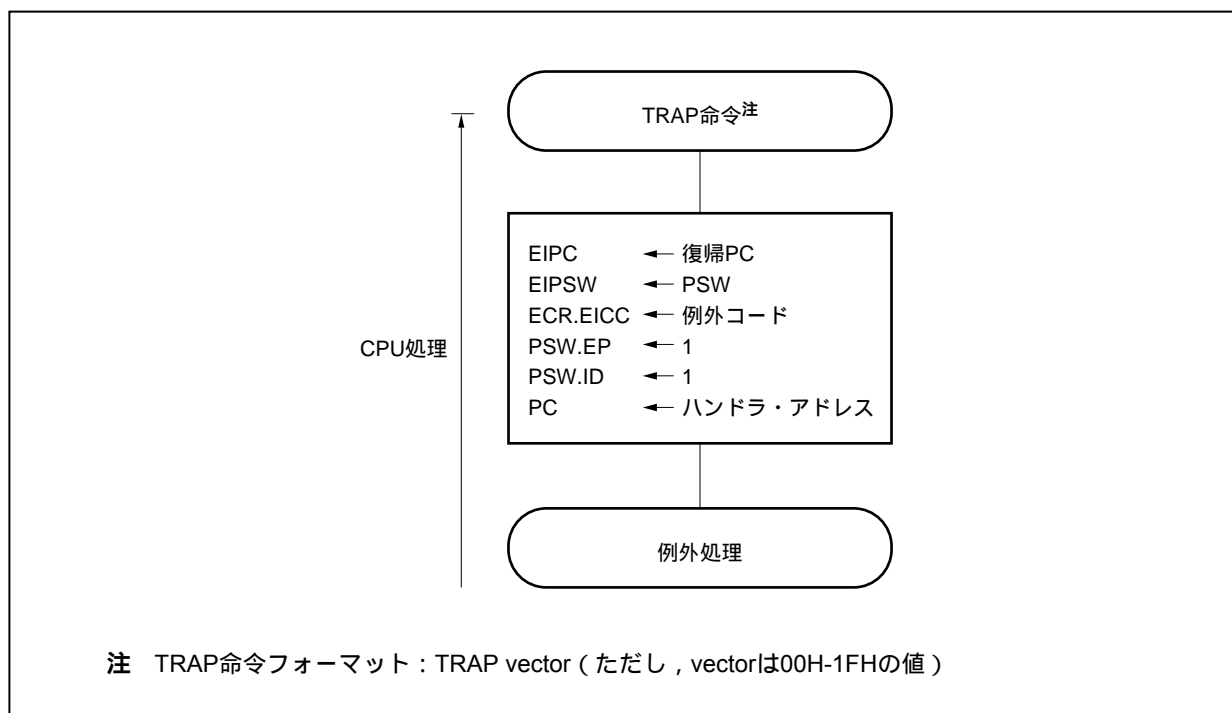
### 7.4.1 動作

ソフトウェア例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

- (1) 復帰PCをEIPCに退避します。
- (2) 現在のPSWをEIPSWに退避します。
- (3) ECR (割り込み要因) の下位16ビット (EICC) に例外コードを書き込みます。
- (4) PSWのEP, IDビットをセットします。
- (5) PCにソフトウェア例外に対するハンドラ・アドレス (00000040Hまたは00000050H) をセットし、制御を移します。

ソフトウェア例外の処理形態を、図7 - 8に示します。

図7 - 8 ソフトウェア例外の処理形態



ハンドラ・アドレスは、TRAP命令のオペランド (vector) によって決まります。vectorが00H-0FHの場合は00000040Hとなり、10H-1FHの場合は00000050Hとなります。

### 7.4.2 復 帰

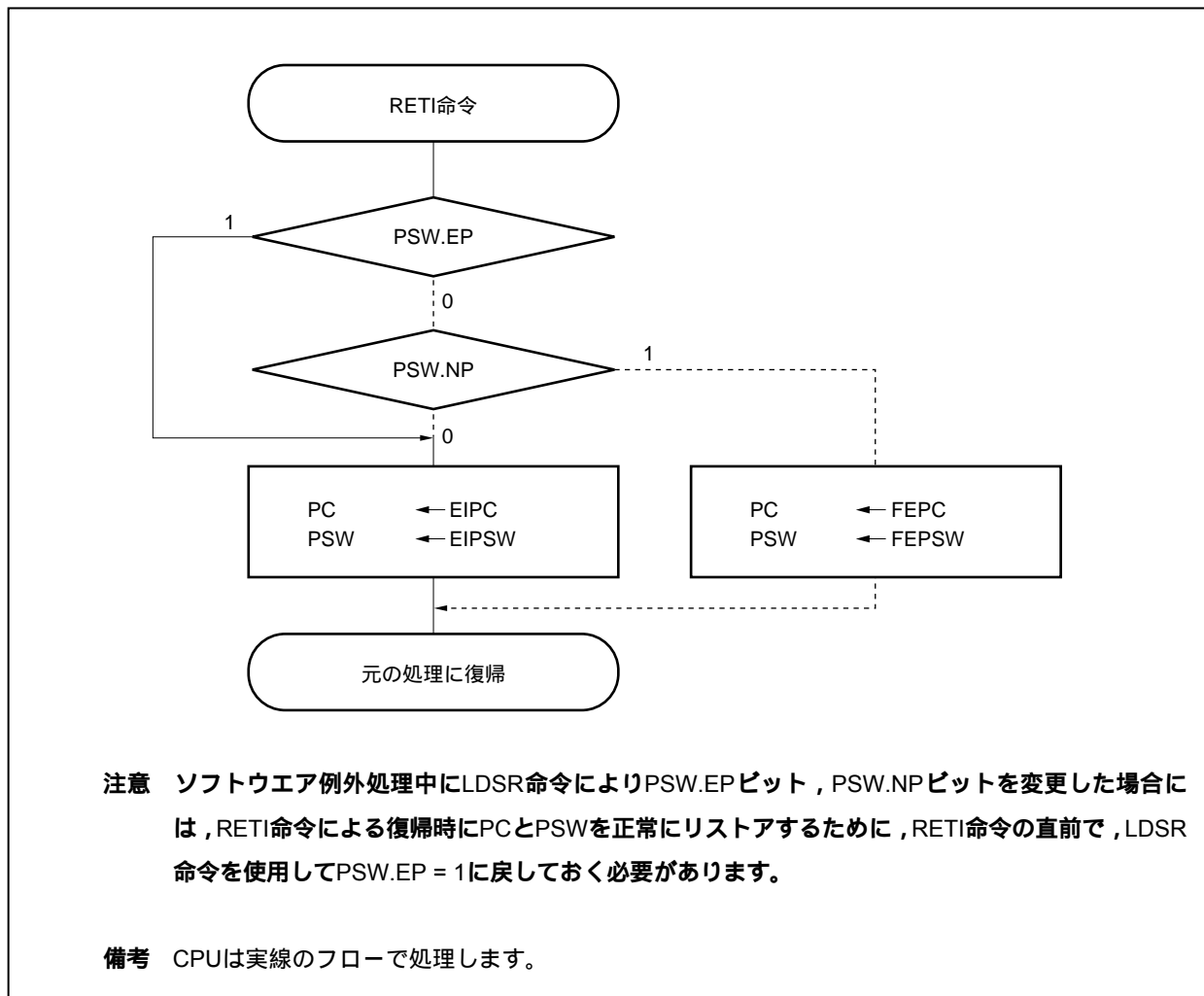
ソフトウェア例外処理からの復帰は、RETI命令により行います。

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットは1なので、EIPC, EIPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PCのアドレス、PSWの状態に制御を移します。

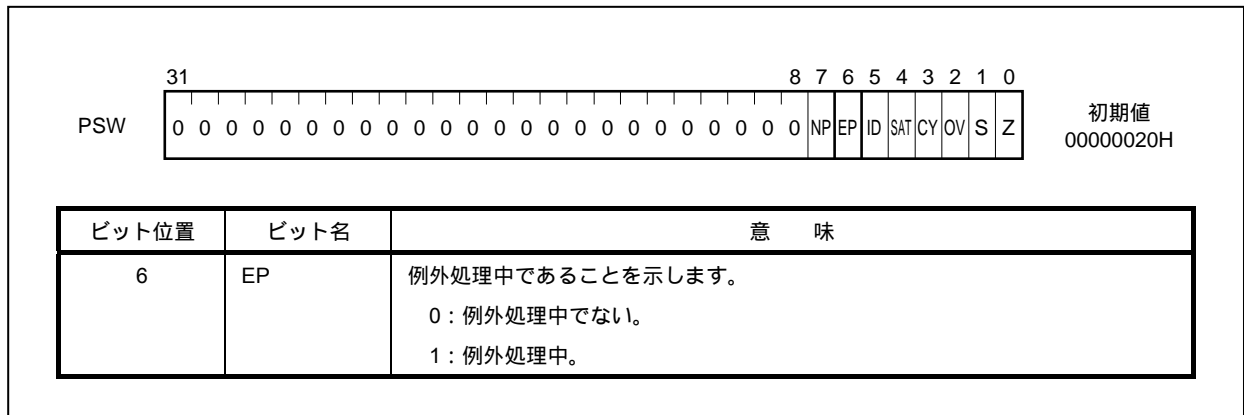
RETI命令の処理形態を図7 - 9に示します。

図7 - 9 RETI命令の処理形態



### 7.4.3 例外ステータス・フラグ (EP)

EPフラグは、PSWのビット6です。EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。

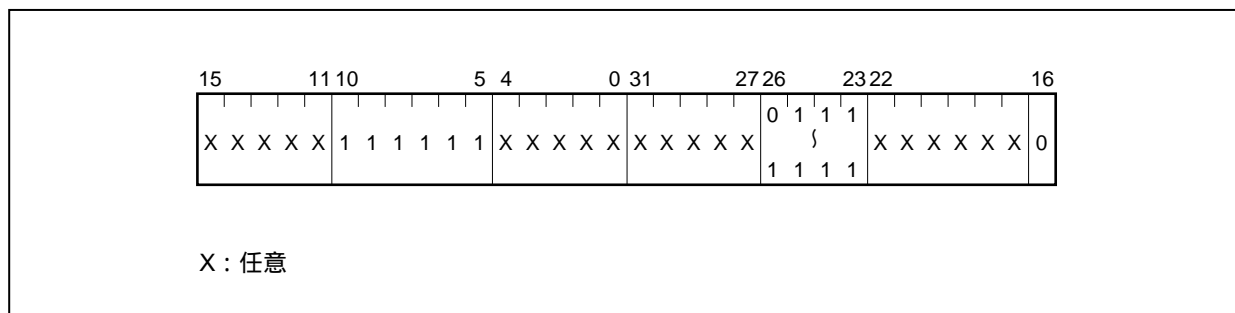


## 7.5 例外トラップ

例外トラップは、命令の不正実行が発生した場合に要求される割り込みです。V850E/IA1では、不正命令コード・トラップ (ILGOP : Illegal Opcode Trap) が例外トラップに当たります。

### 7.5.1 不正命令コード

不正命令は、命令のオペコード(ビット10-5)が111111Bで、サブオペコード(ビット26-23)が0111B-1111B、サブオペコード(ビット16)が0Bであるものです。この不正命令に当てはまる命令を実行したときに、例外トラップが発生します。



**注意** 不正命令コードには、将来、新規に命令を割り当てる可能性があるため、使用しないことを推奨します。

#### (1) 動作

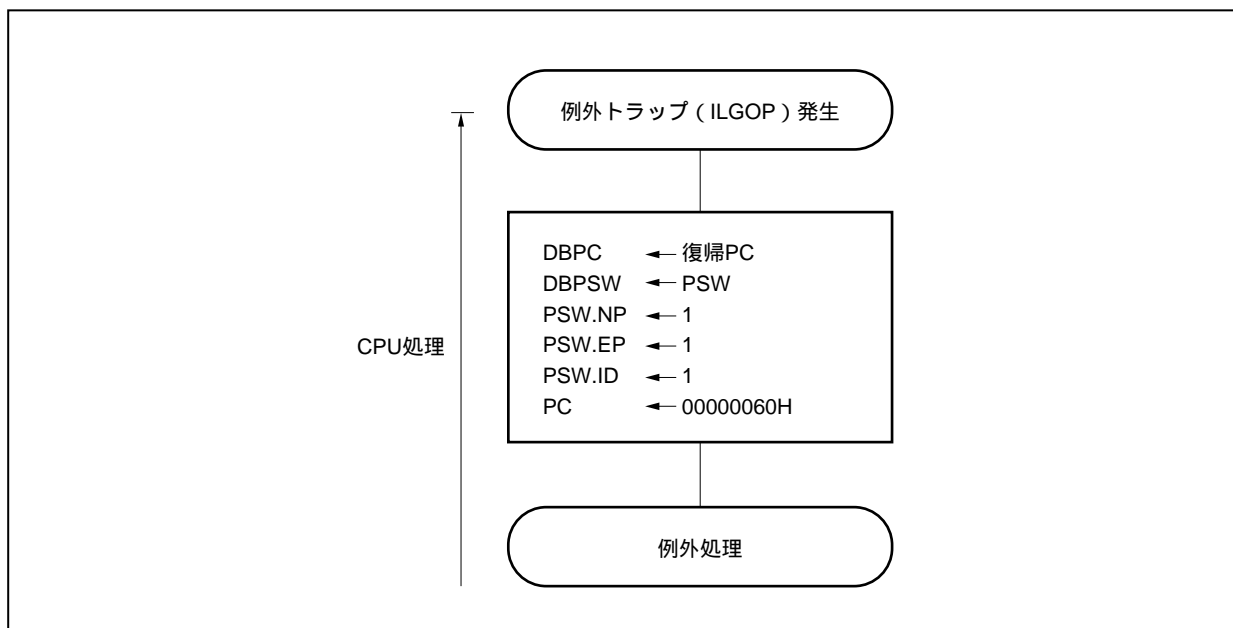
例外トラップが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

- (1) 復帰PCをDBPCに退避します。
- (2) 現在のPSWをDBPSWに退避します。
- (3) PSWのNP, EP, IDビットをセットします。
- (4) PCに例外トラップに対するハンドラ・アドレス (00000060H) をセットし、制御を移します。

例外トラップの処理形態を図7 - 10に示します。



図7 - 10 例外トラップの処理形態



(2) 復 帰

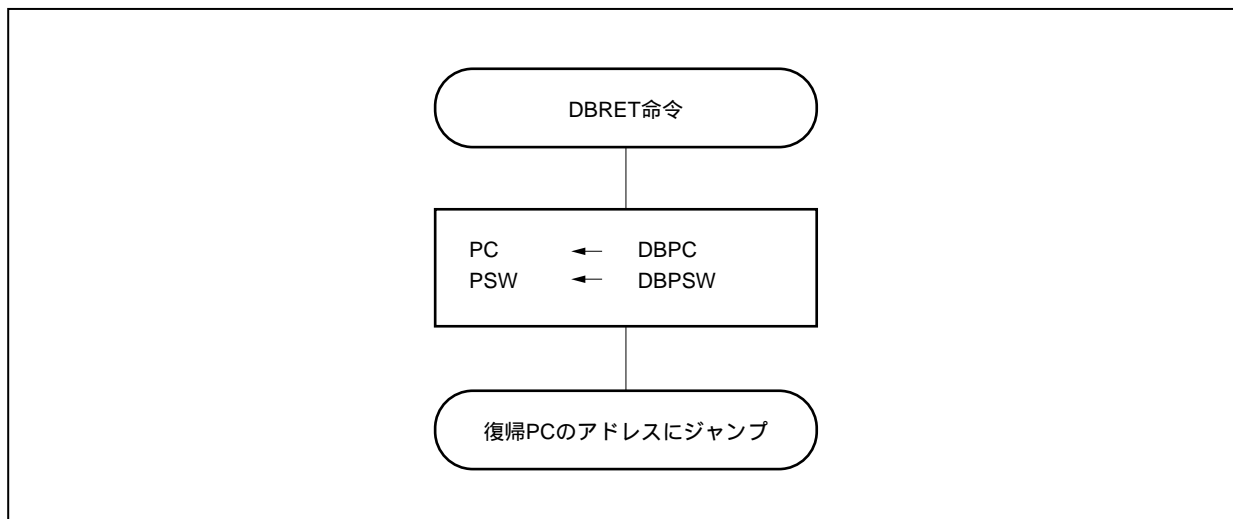
例外トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

- (1) DBPC, DBPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PC, PSWのアドレスに制御を移します。

**注意** DBPCとDBPSWには、不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセスできます。

例外トラップからの復帰の処理形態を図7 - 11に示します。

図7 - 11 例外トラップからの復帰の処理形態



## 7.5.2 デバッグ・トラップ

デバッグ・トラップは、DBTRAP命令の実行により発生する常時受け付けが可能な例外です。

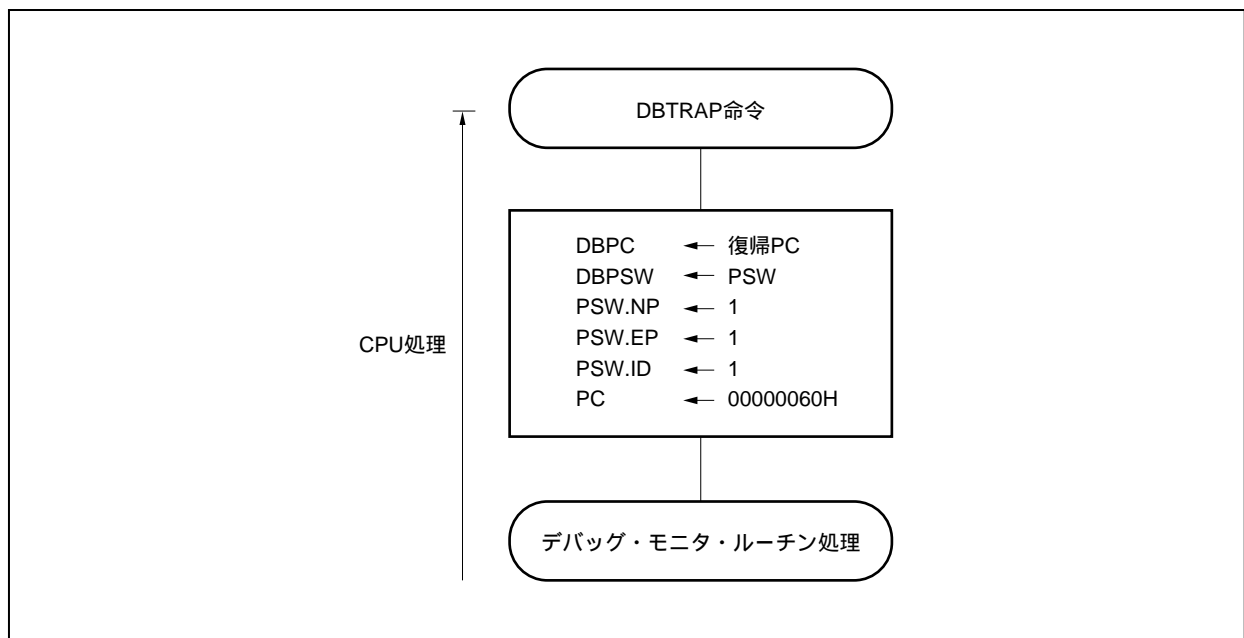
デバッグ・トラップが発生した場合、CPUは次の処理を行います。

### (1) 動作

- (1) 復帰PCをDBPCに退避します。
- (2) 現在のPSWをDBPSWに退避します。
- (3) PSWのNP, EP, IDビットをセットします。
- (4) PCにデバッグ・トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

デバッグ・トラップの処理形態を図7 - 12に示します。

図7 - 12 デバッグ・トラップの処理形態



## (2) 復 帰

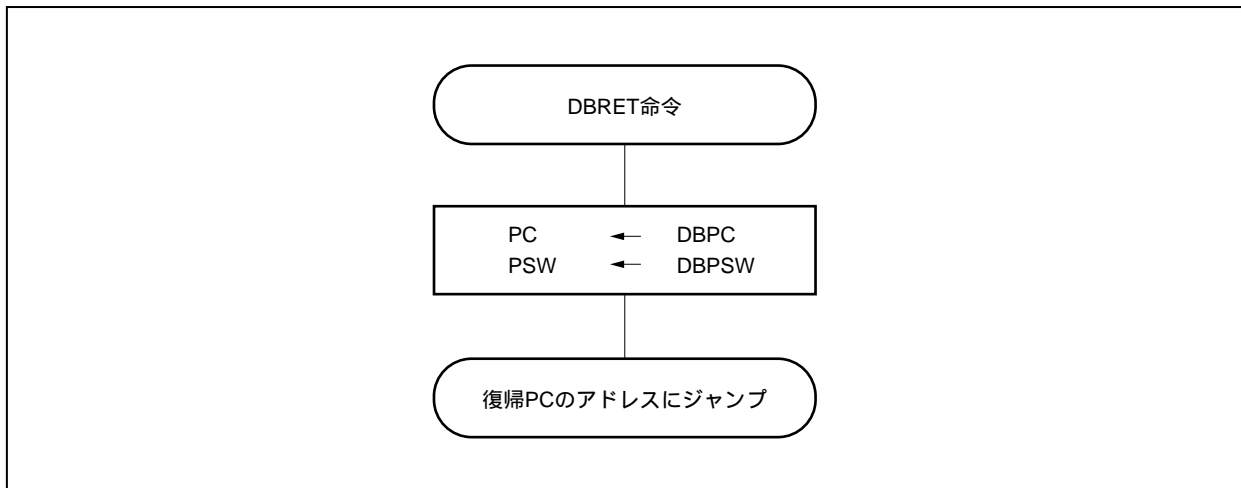
デバッグ・トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

- (1) DBPC, DBPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PC, PSWのアドレスに制御を移します。

**注意** DBPCとDBPSWへは、DBTRAP命令を実行してからDBRET命令を実行するまでの期間だけアクセスできます。

デバッグ・トラップからの復帰の処理形態を図7 - 13に示します。

図7 - 13 デバッグ・トラップからの復帰の処理形態



## 7.6 多重割り込み処理制御

多重割り込み処理制御は、現在処理中の割り込みより優先順位レベルの高い割り込み要求があった場合、現在処理中の割り込みを中断して、優先順位の高い割り込み要求を受け付け処理を行う機能です。

現在処理中の割り込みの優先順位レベル以下の割り込み要求だった場合は、その割り込み要求は保留されます。

マスカブル割り込みの多重処理制御は、割り込み許可状態 (ID = 0) のときに行われます。したがって、多重割り込みを行う場合は割り込み処理ルーチンでも割り込み許可状態 (ID = 0) にする必要があります。

マスカブル割り込みまたはソフトウェア例外のサービス・プログラム中に、マスカブル割り込みの許可またはソフトウェア例外を発生させる場合は、EIPC, EIPSWを退避する必要があります。

次のような手順で行います。

### (1) サービス・プログラム中にマスカブル割り込み要求を受け付ける場合

マスカブル割り込みまたは例外のサービス・プログラム

```

...
...
・ EIPCをメモリまたはレジスタへ退避
・ EIPSWをメモリまたはレジスタへ退避
・ EI命令 (割り込み受け付け許可)
...
...
...
...
・ DI命令 (割り込み受け付け禁止)
・ 退避していた値をEIPSWに復帰
・ 退避していた値をEIPCに復帰
・ RETI命令

```

マスカブル割り込み受け付け

## (2) サービス・プログラム中に例外を発生させる場合

マスクブル割り込みまたは例外のサービス・プログラム

...
...
・ EIPCをメモリまたはレジスタへ退避
・ EIPSWをメモリまたはレジスタへ退避
...
・ TRAP命令
...
・ 退避していた値をEIPSWに復帰
・ 退避していた値をEIPCに復帰
・ RETI命令

TRAP命令などの例外受け付け

多重割り込み処理制御のための優先順位は、各マスクブル割り込み要求ごとに0-7までの8レベル（0が最優先）が、ソフトウェアにより任意に設定可能です。優先順位レベルの設定は、マスクブル割り込み要求ごとに用意されている割り込み要求制御レジスタ（xxICn）のxxPRn0-xxPRn2ビットで行います。システム・リセット時には、xxMKnビットにより割り込み要求はマスクされ、xxPRn0-xxPRn2ビットにより優先順位はレベル7に設定されます。

マスクブル割り込みの優先順位は次のようになります。

（高） レベル0 > レベル1 > レベル2 > レベル3 > レベル4 > レベル5 > レベル6 > レベル7 （低）

多重処理制御により中断された割り込み処理は、優先順位レベルの高い割り込み処理が終了し、RETI命令が実行されたあと、再開します。

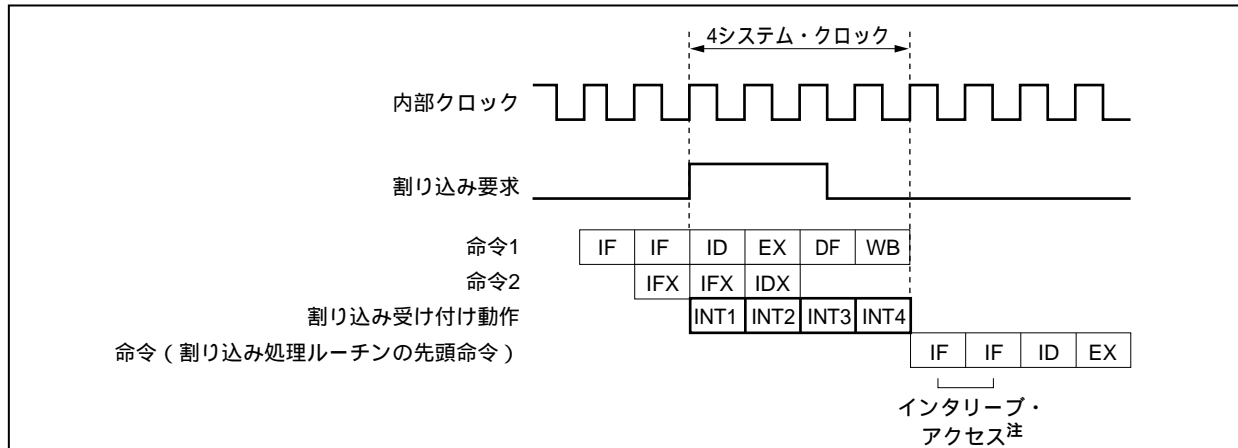
保留された割り込み要求は、実行中の割り込み処理が終了したあと、RETI命令の実行後に受け付けられます。

**注意** ノンマスクブル割り込み処理ルーチン内（RETI命令を実行するまでの期間）では、マスクブル割り込みを受け付けず、保留します。

## 7.7 割り込み応答時間

割り込み要求発生から割り込み処理が起動されるまでの割り込み応答時間を次に示します。

図7-14 割り込み要求受け付け時のパイプライン動作 (概略)



注 インタリーブ・アクセスについてはV850E1 ユーザーズ・マニュアル アーキテクチャ編 (U14559J) の8.1.2 2クロック分岐を参照してください。

備考 INT1-INT4：割り込み受け付け処理

IFX：無効となる命令フェッチ

IDX：無効となる命令デコード

割り込み応答時間 (内部システム・クロック (f <sub>xx</sub> ))					条 件
	内部 割り込み	外部割り込み			
		INTP0-INTP6 INTP20-INTP25	INTP20-INTP25	INTP100, INTP101, INTP110, INTP111 INTP30, INTP31	
最小	4	4+	4+	4+注1+	次の場合は除きます。 ・IDLE / ソフトウェアSTOPモード時 ・外部バス・アクセス時 ・割り込み要求非サンプル命令が連続しているとき ・内蔵周辺I/Oレジスタへのアクセス時 ・プログラマブル周辺I/Oレジスタへのアクセス時
最大	7 <sup>注2</sup>	7+	7+	7+注1+	

注1. 内部システム・クロック数は次のようになります。

・INTP100, INTP101, INTP110, INTP111を外部割り込み入力とするタイマ10, 11 (TM10, TM11) の場合 (9.2.4 (1) タイマ1/タイマ2クロック選択レジスタ (PRM02) 参照)

f<sub>CLK</sub> = f<sub>xx</sub>/2 (PRM2ビット = 1) のとき : 2

f<sub>CLK</sub> = f<sub>xx</sub>/4 (PRM2ビット = 0) のとき : 4

・INTP30, INTP31を外部割り込み入力とするタイマ3 (TM3) の場合

(9.4.4 (1) タイマ3クロック選択レジスタ (PRM03) 参照)

f<sub>CLK</sub> = f<sub>xx</sub> (PRM3ビット = 1) のとき : 2

f<sub>CLK</sub> = f<sub>xx</sub>/2 (PRM3ビット = 0) のとき : 4

2. 内蔵ROMに対するLD命令実行時 (ライン・アクセス時)

## 7.8 CPUが割り込みを受け付けない期間

CPUの割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません（割り込みは保留されます）。

割り込み要求非サンプル命令は次のとおりです。

- ・ EI命令
- ・ DI命令
- ・ LDSR reg2, 0x5命令（対PSW）
- ・ コマンド・レジスタ（PRCMD）に対するストア命令
- ・ 次のレジスタに対するストア命令およびSET1, CLR1, NOT1命令のビット操作命令
  - ・ 割り込み関連のレジスタ：
    - 割り込み制御レジスタ（xxICn），割り込みマスク・レジスタ0-3（IMR0-IMR3）
  - ・ パワー・セーブ・コントロール・レジスタ（PSC）
  - ・ CSI関連のレジスタ：
    - クロック同期式シリアル・インタフェース・モード・レジスタ0, 1（CSIM0, CSIM1）
    - クロック同期式シリアル・インタフェース・クロック選択レジスタ0, 1（CSIC0, CSIC1）
    - クロック同期式シリアル・インタフェース受信バッファ・レジスタ0, 1（SIRB0, SIRB1）
    - クロック同期式シリアル・インタフェース受信バッファ・レジスタL0, L1（SIRBL0, SIRBL1）
    - クロック同期式シリアル・インタフェース送信バッファ・レジスタ0, 1（SOTB0, SOTB1）
    - クロック同期式シリアル・インタフェース送信バッファ・レジスタL0, L1（SOTBL0, SOTBL1）
    - クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ0, 1（SIRBE0, SIRBE1）
    - クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタL0, L1（SIRBEL0, SIRBEL1）
    - クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ0, 1（SOTBF0, SOTBF1）
    - クロック同期式シリアル・インタフェース初段送信バッファ・レジスタL0, L1（SOTBFL0, SOTBFL1）
    - シリアルI/Oシフト・レジスタ0, 1（SIO0, SIO1）
    - シリアルI/Oシフト・レジスタL0, L1（SIOL0, SIOL1）
    - プリスケラ・モード・レジスタ（PRSM3）
    - プリスケラ・コンペア・レジスタ（PRSCM3）
  - ・ FCANクロック選択レジスタ（PRM04）

**備考** xx : 各周辺ユニット識別名称（表7-2参照）

n : 周辺ユニット番号（表7-2参照）

## 第8章 クロック発生機能

クロック・ジェネレータ (CG) は、CPUをはじめとする内蔵の各ユニットに供給される内部システム・クロック ( $f_{xx}$ ) を発生、制御します。

### 8.1 特 徴

PLL (Phase locked loop) シンセサイザによる逡倍機能

クロック・ソース

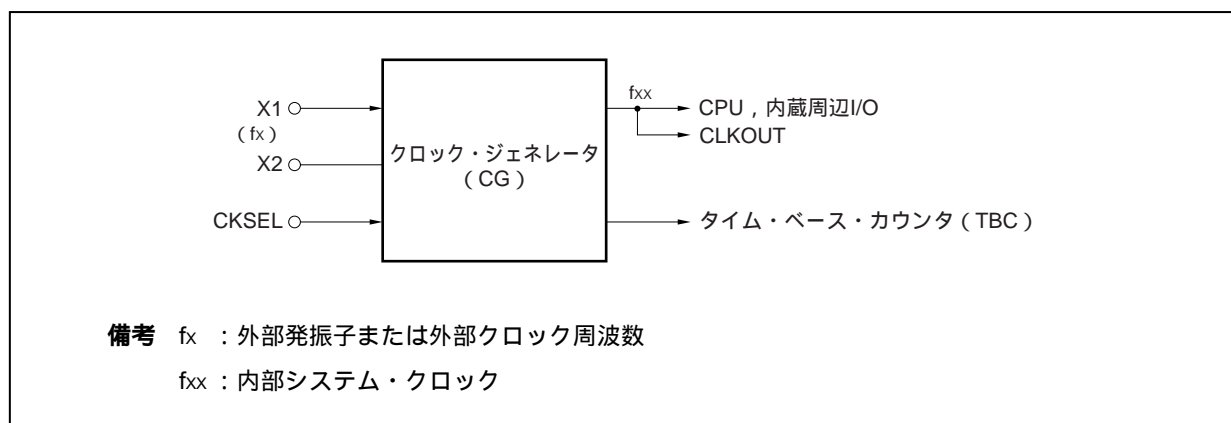
- ・発振子接続による発振
- ・外部クロック

パワー・セーブ制御

- ・HALTモード
- ・IDLEモード
- ・ソフトウェアSTOPモード

内部システム・クロック出力機能

### 8.2 構 成





## 8.3 入力クロック選択

クロック・ジェネレータは、発振回路とPLLシンセサイザから構成されています。たとえば、5.0 MHzの水晶発振子またはセラミック発振子をX1, X2端子に接続することにより、10通倍時は50 MHzの内部システム・クロック ( $f_{xx}$ ) を生成できます。

発振回路には外部クロックを直接入力することもできます。この場合、X1端子だけにクロック信号を入力してください (X2端子はオープンにしてください)。

クロック・ジェネレータは基本動作として、PLLモードとダイレクト・モードの2種類を備えます。動作モードの選択は、CKSEL端子で行います。この端子の入力は、リセット時にラッチします。

CKSEL	動作モード
0	PLLモード
1	ダイレクト・モード

**注意** CKSEL端子は入力レベルを固定して使用してください。動作中に切り替えると誤動作する可能性があります。

### 8.3.1 ダイレクト・モード

ダイレクト・モードでは、外部クロックを2分周して内部システム・クロックとして供給します。ダイレクト・モード時に入力できる周波数は最大50 MHzです。おもに、V850E/IA1を比較的の低周波数で動作させる応用システムに使用します。

**注意** ダイレクト・モードでは必ず外部クロックを入力してください (外部発振子は接続しないでください)。

### 8.3.2 PLLモード

PLLモードでは、外部発振子を接続または外部クロックを入力することにより、これをPLLシンセサイザにより通倍します。通倍されたPLL出力はクロック・コントロール・レジスタ (CKC) によって指定された分周比に分周され、外部発振子または外部クロックの周波数 ( $f_x$ ) に対して、10倍、5倍、2.5倍、1倍のシステム・クロックが生成されます。

リセット時には入力クロック周波数 ( $f_x$ ) に対して、1倍の周波数 ( $1 \times f_x$ ) の内部システム・クロック ( $f_{xx}$ ) が生成されます。

入力クロック周波数 ( $f_x$ ) に対して、10倍の周波数 ( $10 \times f_x$ ) を生成した場合、5 MHz程度の外部発振子、外部クロックに基づき、最大50 MHzまでの周波数を得られるため、低ノイズ、低消費電力のシステムが実現できます。

PLLモードでは、外部発振子や外部クロック・ソースからのクロック供給が停止した場合に、クロック・ジェネレータ内部の電圧制御発振回路 (VCO) の自走周波数に基づく内部システム・クロック ( $f_{xx}$ ) で動作を継続します。この場合、 $f_{xx}$ は不定になります。なお、この自走周波数になることを期待した使い方は行わないでください。

例 PLLモード ( $f_{xx} = 10 \times f_x$ ) 時の使用クロック

内部システム・クロック周波数 ( $f_{xx}$ )	外部発振子 / 外部クロック周波数 ( $f_x$ )
50.000 MHz	5.0000 MHz
40.000 MHz	4.0000 MHz

**注意** PLLモードを使用する場合、発振周波数あるいは外部クロック周波数は、 $10 \times f_x$ がシステム・クロックの最大周波数 (50 MHz) 以下になる $f_x$  (4-5 MHz) 値だけを使用することができます。  
ただし、 $5 \times f_x$ 、 $2.5 \times f_x$ 、 $1 \times f_x$ のいずれかで使用する場合は、4~6.4 MHzの周波数を使用することができます。

**備考** PLLモードを選択時に、V850E/IA1を高周波数で動作させる必要がない場合にはソフトウェアによりシステム・クロックの周波数を下げることにより ( $f_{xx} = 5 \times f_x$ 、 $f_{xx} = 2.5 \times f_x$ 、 $f_{xx} = 1 \times f_x$ )、消費電力を低減することができます。

### 8.3.3 ペリフェラル・コマンド・レジスタ (PHCMD)

ペリフェラル・コマンド・レジスタ (PHCMD) は、プログラムの暴走などにより応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。8ビット単位でライトのみ可能です (リードした場合は不定データを読み出します)。

あらかじめPHCMDレジスタに対して書き込み動作を行ったあとの最初の特定レジスタ (CKCレジスタまたはFLPMCレジスタ) への書き込みのみ有効となります。これにより、定められたシーケンスによってだけレジスタの値が書き換えられ、不正な書き込み動作ができなくなります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PHCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0	FFFFFF800H	不定

ビット位置	ビット名	意味
7-0	REG7-REG0	レジストレーション・コード (任意の8ビット・データ) 対象となる特定レジスタは次のレジスタです。 ・クロック・コントロール・レジスタ (CKC) ・フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)

不正なストア動作の発生は、ペリフェラル・ステータス・レジスタ (PHS) のPRERRビットにより確認することができます。

### 8.3.4 クロック・コントロール・レジスタ (CKC)

PLLモード時に、内部システム・クロック (f<sub>xx</sub>) を制御する8ビットのレジスタで、プログラムの暴走などによって誤って容易に書き換えられないように、特定のシーケンスの組み合わせによってだけ書き込みができます。8ビット単位でリード/ライト可能です。

**注意** ダイレクト・モード時は、CKDIV2-CKDIV0ビットを変更しないでください。

	7	6	5	4	3	2	1	0	アドレス	初期値
CKC	0	0	TBCS	CESEL	0	CKDIV2	CKDIV1	CKDIV0	FFFFF822H	00H

ビット位置	ビット名	意味																								
5	TBCS	タイム・ベース・カウンタのクロックを選択します。 0 : f <sub>x</sub> /2 <sup>8</sup> 1 : f <sub>x</sub> /2 <sup>9</sup> 詳細は8.6.2 タイム・ベース・カウンタ (TBC) を参照してください。																								
4	CESEL	X1, X2端子の機能を指定します。 0 : X1, X2端子発振子を接続 1 : X1端子に外部クロックを接続 CESEL = 1の場合、発振回路のフィードバック・ループを切断し、ソフトウェアSTOPモード時の電流リークを防ぎます。																								
2-0	CKDIV2- CKDIV0	PLLモード時の内部システム・クロック周波数 (f <sub>xx</sub> ) を設定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th>CKDIV2</th> <th>CKDIV1</th> <th>CKDIV0</th> <th>内部システム・クロック (f<sub>xx</sub>)</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>f<sub>x</sub></td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>2.5 × f<sub>x</sub></td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>5 × f<sub>x</sub></td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>10 × f<sub>x</sub></td> </tr> <tr> <td colspan="3" style="text-align: center;">その他</td> <td style="text-align: center;">設定禁止</td> </tr> </tbody> </table> <p><b>注意</b> 動作途中で内部システム・クロックを変更する場合は、必ずCKDIV2-CKDIV0ビット = 000 (f<sub>x</sub>) に一度設定したあとで、変更する内部システム・クロックに設定してください。</p>	CKDIV2	CKDIV1	CKDIV0	内部システム・クロック (f <sub>xx</sub> )	0	0	0	f <sub>x</sub>	0	0	1	2.5 × f <sub>x</sub>	0	1	1	5 × f <sub>x</sub>	1	1	1	10 × f <sub>x</sub>	その他			設定禁止
CKDIV2	CKDIV1	CKDIV0	内部システム・クロック (f <sub>xx</sub> )																							
0	0	0	f <sub>x</sub>																							
0	0	1	2.5 × f <sub>x</sub>																							
0	1	1	5 × f <sub>x</sub>																							
1	1	1	10 × f <sub>x</sub>																							
その他			設定禁止																							

**例** クロック・ジェネレータの設定

動作モード	CKSEL端子	CKCレジスタ			入力クロック (f <sub>x</sub> )	内部システム・クロック (f <sub>xx</sub> )
		CKDIV2	CKDIV1	CKDIV0		
ダイレクト・モード	ハイ・レベル入力	0	0	0	16 MHz	8 MHz
PLLモード	ロウ・レベル入力	0	0	0	5 MHz	5 MHz
		0	0	1	5 MHz	12.5 MHz
		0	1	1	5 MHz	25 MHz
		1	1	1	5 MHz	50 MHz
上記以外					設定禁止	設定禁止

クロック・コントロール・レジスタ（CKC）へのデータ設定は、次のシーケンスで行います。

割り込みを禁止します（PSWのNPビットを1に設定）。

任意の汎用レジスタに特定レジスタへ設定するためのデータを用意します。

ペリフェラル・コマンド・レジスタ（PHCMD）に任意のデータを書き込みます。

クロック・コントロール・レジスタ（CKC）を設定します（次の命令で行います）。

・ストア命令（ST/SST命令）

NOP命令を5命令以上挿入する（5命令（ - ））

割り込み禁止を解除します（PSWのNPビットを0に戻します）。

```
[ 記述例 ]      LDSR   rX, 5
                  MOV    0x07, r10
                  ST.B   r10, PHCMD [ r0 ]
                  ST.B   r10, CKC [ r0 ]
                  NOP
                  NOP
                  NOP
                  NOP
                  NOP
                  LDSR   rY, 5
```

**備考** rX：PSWに書き込む値

rY：PSWに書き戻す値

なお、特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

- 注意1.** PHCMD発行（ ）とその直後の特定レジスタ書き込み（ ）の間で割り込みを受け付けた場合、特定レジスタへの書き込みは行われず、プロテクション・エラー（PHSレジスタのPRERRビット = 1）が発生することがあります。このため、PSWのNPビットを1に設定（ ）して、割り込みの受け付けを禁止してください。特定レジスタの設定にビット操作命令を使用した場合も同様に割り込みの受け付けを禁止してください。
2. PHCMDレジスタへ書き込むデータはダミーですが、特定レジスタへの設定（上記例 ）で使用する汎用レジスタと同じレジスタをPHCMDレジスタ書き込み（上記例 ）でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。
3. この処理を行う前にすべてのDMA転送を終了させてください。

### 8.3.5 ペリフェラル・ステータス・レジスタ (PHS)

プロテクション対象の内部レジスタに対して、コマンド・レジスタへのアクセスを含む正しいシーケンスで書き込み動作をしなかった場合、レジスタへの書き込みは行われず、プロテクション・エラーが発生し、ステータス・フラグ (PRERR) がセット (1) されます。このフラグは累積フラグです。PRERRフラグをチェックしたあと、命令により0を書き込むことによってクリアされます。

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	①	アドレス	初期値
PHS	0	0	0	0	0	0	0	PRERR	FFFFF802H	00H

ビット位置	ビット名	意味
0	PRERR	プロテクション・エラー 0: プロテクション・エラー発生していない 1: プロテクション・エラー発生

PRERRフラグの動作条件を次に示します。

- セット条件 : 最近の内蔵周辺I/Oに対するストア命令動作がPHCMDレジスタへの書き込み動作ではない状態で、周辺特定レジスタへの書き込みを行ったとき  
 PHCMDレジスタへの書き込み動作後の最初のストア命令動作が定められた特定レジスタ以外のメモリ、内蔵周辺I/Oなどに対するとき
- リセット条件 : PHSレジスタのPRERRフラグに0を書き込んだとき  
 システム・リセットしたとき

## 8.4 PLLロックアップ

電源投入後、またはソフトウェアSTOPモード解除直後から所定の周波数でフェーズ・ロックし、安定するまでの時間がロックアップ時間（周波数安定時間）です。この安定するまでの時間をロックアップ状態と呼び、安定した状態をロック状態と呼びます。

### (1) ロック・レジスタ (LOCKR)

ロック・レジスタ (LOCKR) には、PLL周波数の安定状態を反映するLOCKフラグがあります。

8/1ビット単位でリードのみ可能です。

**注意** ロックすると、LOCKフラグは0になります。そのあと、スタンバイ状態が原因でアンロック状態になったときは、LOCKフラグは1になります。しかし、スタンバイ状態以外の原因でアンロック状態になった場合は、LOCKフラグは変化しません (LOCK = 0の状態)。

	7	6	5	4	3	2	1	①	アドレス	初期値
LOCKR	0	0	0	0	0	0	0	LOCK	FFFFF824H	0000000xB

ビット位置	ビット名	意味
0	LOCK	読み出し専用フラグで、PLLの状態を示します。 ロックアップ状態を維持しているかぎり0を保持し、システム・リセットによっても初期化されません。 0: ロック中であることを示します。 1: ロックしていない (アンロック) 状態を示します。

クロック停止、電源カットなど、いったんアンロック状態を発生させる要因が働いた場合に、リアルタイム処理などのソフトウェアの実行速度に依存する制御の処理においては、動作開始直後にソフトウェアで必ずLOCKフラグを判定し、クロックが安定するまで待ってから処理を開始してください。

一方、内蔵の各ハードウェアの設定やレジスタ・データ、メモリ・データの初期化等の静的処理はLOCKフラグがリセットされるのを待たずに実行可能です。

発振子を使用した場合の発振安定時間 (発振子が発振して入力波形が安定するまでの時間) とPLLロックアップ時間 (周波数が安定するまでの時間) の関係は次のようになります。

発振安定時間 < PLLロックアップ時間

## 8.5 パワー・セーブ制御

### 8.5.1 概要

パワー・セーブ機能には、次のものがあります。

#### (1) HALTモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続しますが、CPUの動作クロックが停止するモードです。その他の内蔵周辺機能へのクロック供給は継続され、動作を継続します。通常動作モードとの組み合わせによる間欠動作により、システムのトータルの消費電力を低減させることができます。

専用命令（HALT命令）によりHALTモードに移行します。

#### (2) IDLEモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続したままで、内部システム・クロックの供給を停止させることにより、システム全体を停止させるモードです。

IDLEモードからの解除時に、発振回路の発振安定時間などを確保する必要がないため、高速に通常動作に移行することができます。

PSMRレジスタの設定によりIDLEモードに移行します。

IDLEモードは、クロックの安定時間と消費電流に関して、ソフトウェアSTOPとHALTモードの中間に位置するモードで、低消費電流モードを利用し、かつ解除時のクロックの安定時間を削除したい用途に利用します。

#### (3) ソフトウェアSTOPモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）を停止させ、システム全体が停止するモードです。リーク電流だけの超低消費電力状態になります。

PSMRレジスタの設定により、ソフトウェアSTOPモードに移行します。

##### (a) PLLモード

ソフトウェアによるレジスタ設定により、ソフトウェアSTOPモードに移行します。発振回路が停止すると同時にPLLシンセサイザのクロック出力が停止します。ソフトウェアSTOPモードの解除後は、システム・クロックが安定するまでの間、発振回路の発振安定時間を確保する必要があります。また、プログラムによってはPLLのロックアップ時間が必要な場合があります。発振子接続、外部クロック接続の場合、ソフトウェアSTOPモード解除後に、タイム・ベース・カウンタのカウント時間が終了したあとにプログラムの実行が開始されます。

##### (b) ダイレクト・モード

クロックを停止させる場合は、X1端子をロウ・レベルにしてください。なお、ソフトウェアSTOPモード解除後は、タイム・ベース・カウンタのカウント時間が終了したあとにプログラムの実行が開始されます。

通常動作，HALT，IDLE，ソフトウェアSTOPの各モードにおけるクロック・ジェネレータの動作を表8-1に示します。

各モードを組み合わせることで，用途により切り替えて使用することにより，効果的な低消費電力システムを実現することができます。

図8-1 パワー・セーブ・モード状態遷移図

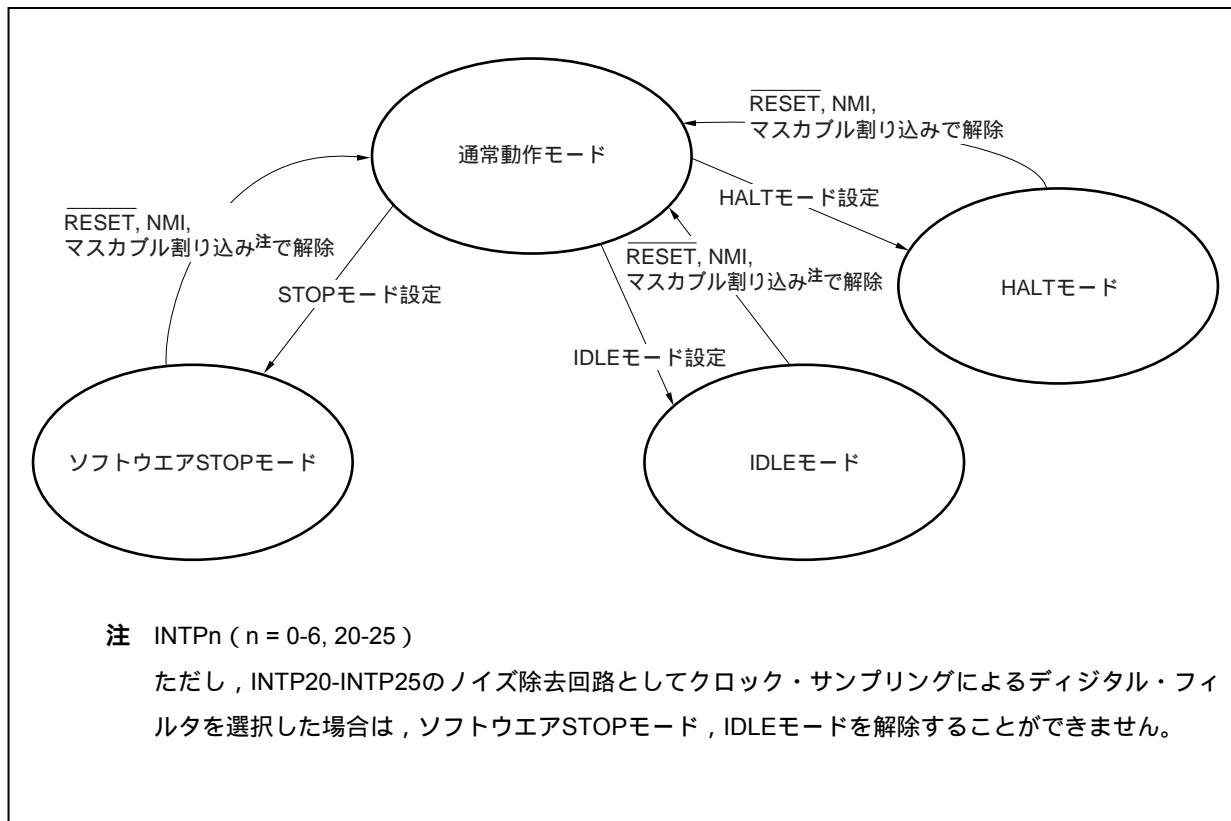


表8-1 パワー・セーブ制御によるクロック・ジェネレータの動作

クロック・ソース		パワー・セーブ・モード	発振回路	PLL シンセサイザ	内蔵周辺I/Oへ のクロック供給	CPUへの クロック供給	
PLLモード	発振子による 発振	通常動作時					
		HALTモード				×	
		IDLEモード			×	×	
		ソフトウェアSTOPモード	×	×	×	×	
	外部クロック	通常動作時		×			
		HALTモード		×			×
		IDLEモード		×		×	×
		ソフトウェアSTOPモード		×	×	×	×
ダイレクト・ モード	外部クロック	通常動作時	×	×			
		HALTモード	×	×		×	
		IDLEモード	×	×	×	×	
		ソフトウェアSTOPモード	×	×	×	×	

備考 : 動作  
 × : 停止



## 8.5.2 制御レジスタ

### (1) パワー・セーブ・モード・レジスタ (PSMR)

パワー・セーブ・モードを制御する8ビット・レジスタです。PSCレジスタのSTBビットをセット(1)することにより有効となります。

PSMRレジスタへの書き込みは、ストア命令(ST/SST命令)およびビット操作命令(SET1/CLR1/NOT1命令)により行います。

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	①	アドレス	初期値
PSMR	0	0	0	0	0	0	0	PSM	FFFFFF820H	00H

ビット位置	ビット名	意味
0	PSM	IDLEモード/ソフトウェアSTOPモードを指定します。 0: IDLEモード 1: ソフトウェアSTOPモード

### (2) コマンド・レジスタ (PRCMD)

コマンド・レジスタ (PRCMD) は、プログラムの暴走などにより、応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。あらかじめ、PRCMDレジスタに対して書き込み動作を行ったあとの最初の特定レジスタ (パワー・セーブ・コントロール・レジスタ (PSC)) への書き込みのみ有効となります。これにより定められたシーケンスによってだけ、レジスタの値が書き換えられ、不正な書き込み動作ができなくなります。

8ビット単位でライトのみ可能です (リードした場合、不定データを読み出します)。

	7	6	5	4	3	2	1	0	アドレス	初期値
PRCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0	FFFFFF1FCH	不定

ビット位置	ビット名	意味
7-0	REG7-REG0	レジストレーション・コード (任意の8ビット・データ) 対象となる特定レジスタは、パワー・セーブ・コントロール・レジスタ (PSC) です。

(3) パワー・セーブ・コントロール・レジスタ (PSC)

パワー・セーブを制御する8ビット・レジスタです。

NMIM, INTMビットの設定により割り込み解除許可状態になっていれば,割り込み要求によるソフトウェアSTOPモードの解除が行えます(割り込みマスク・レジスタ(IMR0-IMR3)により,割り込み処理を禁止している場合を除く)。

また, STBビットの設定によりIDLEモードまたはソフトウェアSTOPモードを指定します。

このレジスタは特定レジスタの1つで,ライト動作時は特定シーケンスによるアクセスだけが有効です。

8/1ビット単位でリード/ライト可能です。

ビット7, 6には必ず0を設定してください。1を設定した場合の動作は保証できません。

**注意** STBビットと, NMIMビットまたはINTMビットは同時にセットできません。必ずNMIMビットまたはINTMビットをセットしたあとに, STBビットを設定してください。

	7	6	⑤	④	3	2	①	0	アドレス	初期値
PSC	0	0	NMIM	INTM	0	0	STB	0	FFFFF1FEH	00H

ビット位置	ビット名	意 味
5	NMIM	NMIの有効エッジ入力によるスタンバイ・モード解除の許可/禁止を設定するビットです <sup>注</sup> 。 0: NMI解除許可 1: NMI解除禁止
4	INTM	マスクされていないマスカブル割り込み (INTPn) の有効エッジ入力によるスタンバイ・モード解除の許可/禁止を設定するビットです (n = 0-6, 20-25, 30, 31, 100, 101, 110, 111) <sup>注</sup> 。 0: マスカブル割り込み解除許可 1: マスカブル割り込み解除禁止
1	STB	スタンバイ・モードの状態を示します。 1を書き込むとIDLEモード, またはソフトウェアSTOPモード (PSMRレジスタのPSMビットで設定) に入ります。スタンバイ・モードが解除されると, 自動的に0にリセットされます。 0: スタンバイ・モード解除状態 1: スタンバイ・モード中

**注** 設定はIDLEモード/ソフトウェアSTOPモード時だけ有効です。

パワー・セーブ・コントロール・レジスタ (PSC) へのデータ設定は、次のシーケンスで行います。

パワー・セーブ・モード・レジスタ (PSMR) を設定します (次の命令で行います)。

- ・ストア命令 (ST/SST命令)
- ・ビット操作命令 (SET1/CLR1/NOT1命令)

任意の汎用レジスタに特定レジスタへ設定するためのデータを用意します。

コマンド・レジスタ (PRCMD) に任意のデータを書き込みます。

パワー・セーブ・コントロール・レジスタ (PSC) を設定します (次の命令で行います)。

- ・ストア命令 (ST/SST命令)
- ・ビット操作命令 (SET1/CLR1/NOT1命令)

NOP命令を挿入する (5命令 ( - ))

#### [ 記述例 ]

```

ST.B  r11, PSMR [ r0 ] ;PSMRレジスタ設定
MOV   0x07, r10       ;任意の汎用レジスタに特定レジスタへの設定用データを用意
ST.B  r10, PRCMD [ r0 ] ;PRCMDレジスタ書き込み
ST.B  r10, PSC [ r0 ]  ;PSCレジスタ設定
NOP                                       ;ダミー命令
NOP                                       ;ダミー命令
NOP                                       ;ダミー命令
NOP                                       ;ダミー命令
NOP                                       ;ダミー命令
(next instruction) ;ソフトウェアSTOPモード, IDLEモード解除後の実行ルーチン

```

なお、特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

- 注意1.** コマンド・レジスタに対するストア命令では、割り込み受け付けを行いません。これは、プログラムで上記 `ST.B` を連続したストア命令で行うことを前提としています。 `ST.B` 間にほかの命令が置かれていると、その命令で割り込みを受け付けた際、上記シーケンスが成立しなくなる場合があります、誤動作の要因となるので注意が必要です。
2. PRCMDレジスタへ書き込むデータはダミーですが、特定レジスタへの設定 (上記例) で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み (上記例) でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。
  3. ソフトウェアSTOPモード, IDLEモードに設定するためのPSCレジスタに対するストア命令では、直後にNOP命令を5命令以上挿入する必要があります。
  4. この処理を行う前にすべてのDMA転送を終了させてください。

## 8.5.3 HALTモード

## (1) 設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続しますが、CPUの動作クロックが停止するモードです。その他の内蔵周辺I/Oへのクロック供給は継続され、動作を継続します。CPUの空き時間にHALTモードに設定することにより、システム全体の消費電力を低減できます。

HALT命令によりHALTモードに移行します。

HALTモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタ、内蔵RAM、ポートの内容は保持されます。また、CPUの命令処理に依存しない内蔵周辺I/O（ポート以外）は動作を継続します。HALTモード時の各ハードウェアの状態は表8-2のようになります。

表8-2 HALTモード時の動作状態

機 能	動作状態	
クロック・ジェネレータ	動 作	
内部システム・クロック	動 作	
CPU	停 止	
ポート	保 持	
内蔵周辺I/O（ポート以外）	動 作	
内部データ	CPUのレジスタ、ステータス、データ、内蔵RAMの内容など、内部のデータはすべてHALTモード設定前の状態を保持	
AD0-AD15	動 作	
A16-A23		
RD, ASTB		
UWR, LWR		
CS0-CS7		
HLD $\overline{RQ}$		
HLD $\overline{AK}$		
WAIT		
CLKOUT		クロック出力

**(2) HALTモードの解除**

HALTモードは、ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求 (INTP<sub>n</sub>)、および $\overline{\text{RESET}}$ 端子入力により解除されます (n = 0-6, 20-25, 30, 31, 100, 101, 110, 111)。

**(a) ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求による解除**

ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のように動作が異なります。

(i) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求が発生するとHALTモードの解除だけを行い、この割り込み要求は受け付けません。割り込み要求そのものは保持します。

(ii) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求 (ノンマスクابل割り込み要求を含む) が発生すると、HALTモードの解除とともにこの割り込み要求を受け付けます。

表8 - 3 割り込み要求によるHALTモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求	ハンドラ・アドレスに分岐	
マスクابل割り込み要求	ハンドラ・アドレスに分岐または次の命令を実行	次の命令を実行

**(b)  $\overline{\text{RESET}}$ 端子入力による解除**

通常のリセット動作と同じです。

## 8.5.4 IDLEモード

## (1) 設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続したままで、内部システム・クロックの供給が停止し、システム全体が停止するモードです。

このモードの解除時は、発振回路の発振安定時間やPLLのロックアップ時間を確保する必要がないため、高速に通常動作に移行できます。

ストア命令（ST/SST命令）またはビット操作命令（SET1/CLR1/NOT1命令）によるPSC, PSMRレジスタの設定でIDLEモードに移行します（8.5.2 制御レジスタ参照）。

IDLEモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタ、内蔵RAM、ポートの内容は保持されます。内蔵周辺I/O（ポート以外）も動作を停止します。

IDLEモード時の各ハードウェアの状態は表8-4のようになります。

表8-4 IDLEモード時の動作状態

機 能	動作状態
クロック・ジェネレータ	動 作
内部システム・クロック	停 止
CPU	停 止
ポート	保 持
内蔵周辺I/O（ポート以外）	停 止（スレープ・モード時のCSI0, CSI1は動作可能） <sup>注</sup>
内部データ	CPUのレジスタ、ステータス、データ、内蔵RAMの内容など、内部のデータはすべてIDLEモード設定前の状態を保持
AD0-AD15	ハイ・インピーダンス
A16-A23	
$\overline{\text{RD}}$	
$\overline{\text{UWR}}, \overline{\text{LWR}}$	
CS0-CS7	
$\overline{\text{HLD}}\overline{\text{AK}}$	ハイ・インピーダンス
$\overline{\text{HLD}}\overline{\text{RQ}}$	入力（サンプリングなし）
$\overline{\text{WAIT}}$	
ASTB	ハイ・レベル出力
CLKOUT	ロウ・レベル出力

注 NBDはIDLEモード時には使用できません。

**(2) IDLEモードの解除**

IDLEモードは、ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求 (INTPn)<sup>注</sup>、およびRESET端子入力により解除されます (n = 0-6, 20-25)。

**注** INTP20-INTP25のノイズ除去回路としてクロック・サンプリングによるデジタル・フィルタを選択した場合は、IDLEモードを解除することができません。

**(a) ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求による解除**

PSCレジスタのINTM, NMIMビットに0が設定された状態でIDLEモードに移行した場合のみ割り込み要求による解除ができます。

ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求 (INTPn) により、優先順位とは無関係に解除されます (n = 0-6, 20-25)。解除後の動作は次のようになります。

**注意** PSCレジスタのNMIM, INTMビットに1を設定した場合は、ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号によるIDLEモードの解除はできません。

表8 - 5 割り込み要求によるIDLEモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求	ハンドラ・アドレスに分岐	
マスクابل割り込み要求	ハンドラ・アドレスに分岐または次の命令を実行	次の命令を実行

なお、マスクابل割り込み処理ルーチン内でIDLEモードに設定した場合は次のように動作が異なります。

- (i) 現在処理中のマスクابل割り込み要求よりも優先順位の低い割り込み要求が発生するとIDLEモードの解除だけを行い、この割り込み要求は受け付けません。割り込み要求そのものは保持します。
- (ii) 現在処理中のマスクابل割り込み要求よりも優先順位が高い割り込み要求 (ノンマスクابل割り込み要求を含む) が発生すると、IDLEモードの解除とともにこの割り込み要求を受け付けます。

NMI処理ルーチン内でIDLEモードに設定した場合は、IDLEモードの解除だけを行い、この割り込みは受け付けません (割り込みは保持されます)。

NMI端子入力によるIDLEモード解除時に起動される割り込み処理は、緊急時などの通常のNMI割り込み処理と同等に扱われます (NMI割り込みのハンドラ・アドレスが一意のため)。したがって、プログラムで両者を区別する必要がある場合は、ソフトウェア・ステータスをあらかじめ用意しておき、ストア命令またはビット操作命令によるPSMRレジスタ設定の前に、ステータスを設定しておく必要があります。NMIの割り込み処理でこのステータスをチェックすることで、通常のNMIとの区別が可能です。

**(b) RESET端子入力による解除**

通常のリセット動作と同じです。

## 8.5.5 ソフトウェアSTOPモード

### (1) 設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）を停止させるモードです。システム全体を停止させ、デバイスのリーク電流だけの超低消費電力を実現します。

ストア命令（ST/SST命令）またはビット操作命令（SET1/CLR1/NOT1命令）によるPSC、PSMRレジスタの設定でソフトウェアSTOPモードに移行します（8.5.2 制御レジスタ参照）。

PLLモードかつ発振子接続モード（CKCレジスタのCESELビット = 0）の場合、ソフトウェアSTOPモード解除後に、発振回路の発振安定時間を確保する必要があります。

また、PLLモード、ダイレクト・モードともソフトウェアSTOPモード解除後は、タイム・ベース・カウンタのカウント時間が終了したあとにプログラムの実行が開始されます。

ソフトウェアSTOPモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタ、内蔵RAM、ポートの内容は保持されます。内蔵周辺I/O（ポート以外）も動作を停止します。

ソフトウェアSTOPモード時の各ハードウェアの状態は表8-6のようになります。

表8-6 ソフトウェアSTOPモード時の動作状態

機能	動作状態
クロック・ジェネレータ	停止
内部システム・クロック	停止
CPU	停止
ポート	保持 <sup>注1</sup>
内蔵周辺I/O（ポート以外）	停止（スレープ・モード時のCSI0、CSI1は動作可能） <sup>注2</sup>
内部データ	CPUのレジスタ、ステータス、データ、内蔵RAMの内容など、内部のデータはすべてソフトウェアSTOPモード設定前の状態を保持 <sup>注1</sup>
AD0-AD15	ハイ・インピーダンス
A16-A23	
$\overline{\text{RD}}$	ハイ・レベル出力
$\overline{\text{UWR}}$ , $\overline{\text{LWR}}$	
$\overline{\text{CS0-CS7}}$	
$\overline{\text{HLDK}}$	
$\overline{\text{HLDRQ}}$	入力（サンプリングなし）
WAIT	
ASTB	ハイ・レベル出力
CLKOUT	ロウ・レベル出力

注1.  $V_{\text{DD5}}$ の値が動作可能範囲内にある場合（ただし、動作可能最低電圧より下がった場合でも、データ保持電圧 $V_{\text{DDDR}}$ を維持すれば内蔵RAMの内容だけは保持されます）。

2. NBDはソフトウェアSTOPモード時には使用できません。



**(2) ソフトウェアSTOPモードの解除**

ソフトウェアSTOPモードは、ノンマスクابل割り込み入力、マスクされていないマスクابل割り込み要求 (INTPn)<sup>注</sup>、RESET端子入力により解除されます。また、PLLモード (CKSEL端子 = ロウ・レベル) かつ発振子接続モード (CKCレジスタのCESELビット = 0) におけるソフトウェアSTOPモード解除時には、発振回路の発振安定時間を確保する必要があります (n = 0-6, 20-25)。

プログラムによってはPLLのロックアップ時間が必要になります。詳細は8.4 PLLロックアップを参照してください。

**注** INTP20-INTP25のノイズ除去回路としてクロック・サンプリングによるデジタル・フィルタを選択した場合は、ソフトウェアSTOPモードを解除することができません。

**(a) ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求による解除**

PSCレジスタのINTM, NMIMビットに0が設定された状態でソフトウェアSTOPモードに移行した場合のみ割り込み要求による解除ができます。

ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求 (INTPn) により、優先順位とは無関係に解除されます (n = 0-6, 20-25)。解除後の動作は次のようになります。

**注意** PSCレジスタのNMIM, INTMビットに1を設定した場合は、ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号によるソフトウェアSTOPモードの解除はできません。

表8 - 7 割り込み要求によるソフトウェアSTOPモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求	ハンドラ・アドレスに分岐	
マスクابل割り込み要求	ハンドラ・アドレスに分岐または次の命令を実行	次の命令を実行

なお、マスクابل割り込み処理ルーチン内でソフトウェアSTOPモードに設定した場合は次のように動作が異なります。

- (i) 現在処理中のマスクابل割り込み要求よりも優先順位の低い割り込み要求が発生するとソフトウェアSTOPモードの解除だけを行い、この割り込み要求は受け付けません。割り込み要求そのものは保持します。
- (ii) 現在処理中のマスクابل割り込み要求よりも優先順位が高い割り込み要求 (ノンマスクابل割り込み要求を含む) が発生すると、ソフトウェアSTOPモードの解除とともにこの割り込み要求を受け付けます。

NMI処理ルーチン内でソフトウェアSTOPモードに設定した場合は、ソフトウェアSTOPモードの解除だけを行い、この割り込みは受け付けません（割り込みは保持されます）。

NMI端子入力によるソフトウェアSTOPモード解除時に起動される割り込み処理は、緊急時などの通常のNMI割り込み処理と同等に扱われます（NMI割り込みのハンドラ・アドレスが一意のため）。したがって、プログラムで両者を区別する必要がある場合は、ソフトウェア・ステータスをあらかじめ用意しておき、ストア命令またはビット操作命令によるPSMRレジスタ設定の前に、ステータス設定しておく必要があります。

NMIの割り込み処理でこのステータスをチェックすることで、通常のNMIとの区別が可能です。

**(b)  $\overline{\text{RESET}}$ 端子入力による解除**

通常のリセット動作と同じです。

## 8.6 発振安定時間の確保

### 8.6.1 発振安定時間の確保指定

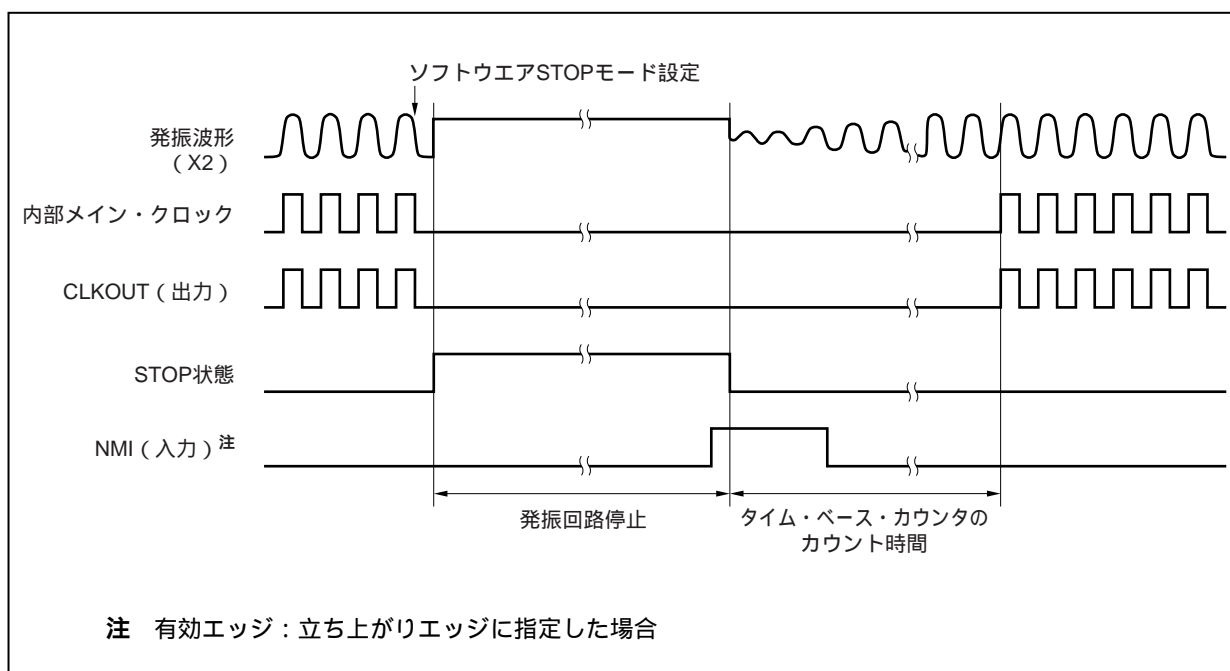
ソフトウェアSTOPモード解除後の停止状態の発振回路が安定するまでの時間確保指定には2通りの方法があります。

#### (1) 内蔵タイム・ベース・カウンタで時間を確保する場合

NMI端子に有効エッジが入力、またはマスカブル割り込み要求入力 (INTP<sub>n</sub>) されると、ソフトウェアSTOPモードが解除されます。端子へのアクティブ・エッジ入力で発振が開始されると、タイム・ベース・カウンタ (TBC) がカウントを開始し、そのカウント時間で、発振回路からのクロック出力が安定するまでの時間を確保します (n = 0-6, 20-25)。

発振安定時間 = TBCのカウント時間

所定時間後、内部システム・クロック出力を開始し、NMI割り込み、またはマスカブル割り込み (INTP<sub>n</sub>) のハンドラ・アドレスに分岐します。



NMI端子は、通常はインアクティブ・レベル (たとえば有効エッジを立ち下がりに指定したときはハイ・レベル) にしておいてください。

なお、NMIの有効エッジ入力、またはマスカブル割り込み要求入力 (INTP<sub>n</sub>) により、CPUが割り込みを受け付けるまでの期間にソフトウェアSTOPモードに設定する動作を行った場合、ソフトウェアSTOPモードはすぐに解除されます。

ダイレクト・モード、または外部クロック接続モード (CKCレジスタのCESELビット = 1) の場合、タイム・ベース・カウンタでのカウント時間終了後にプログラム実行を開始します。

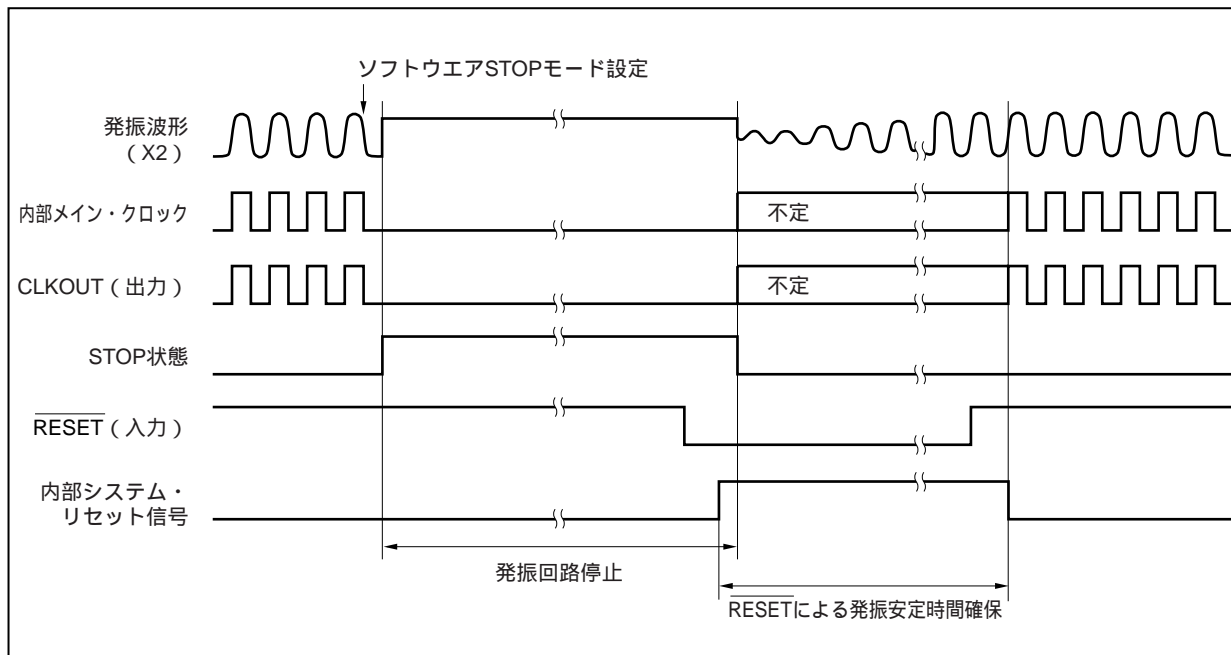
PLLモードかつ発振子接続モード (CKCレジスタのCESELビット = 0) の場合も、タイム・ベース・カウンタによる発振安定時間確保後にプログラム実行を開始します。

(2) 信号レベル幅で時間を確保する場合 (RESET端子入力)

RESET端子への立ち下がりエッジ入力により、ソフトウェアSTOPモードが解除されます。

端子へ入力される信号のロウ・レベル幅で、発振回路からのクロック出力が安定するまでの時間を確保します。

RESET端子への立ち上がりエッジ入力後、内部システム・クロックの供給が開始し、システム・リセット時のハンドラ・アドレスに分岐します。



8.6.2 タイム・ベース・カウンタ (TBC)

タイム・ベース・カウンタ (TBC) は、ソフトウェアSTOPモード解除時の発振回路の発振安定時間の確保に使用します。

外部クロック接続時 (CKCレジスタのCESELビット = 1)、または発振子接続時 (PLLモードかつCKCレジスタのCESELビット = 0) は、ソフトウェアSTOPモード解除後、TBCで発振安定時間をカウントし、カウント終了後にプログラム実行を開始します。

CKCレジスタのTBCSビットによりTBCのカウント・クロックを選択し、次のカウント時間が設定できます。

表8-8 カウント時間例 ( $f_{xx} = 10 \times f_x$ )

TBCSビット	カウント・クロック	カウント時間	
		$f_x = 4.0000 \text{ MHz}$	$f_x = 5.0000 \text{ MHz}$
0	$f_x/2^8$	16.4 ms	13.2 ms
1	$f_x/2^9$	32.8 ms	26.3 ms

$f_{xx}$  : 内部システム・クロック

$f_x$  : 外部発振周波数

## 第9章 タイマ/カウンタ機能

### 9.1 タイマ0

#### 9.1.1 特徴(タイマ0)

タイマ00, 01 (TM00, TM01) は, 16ビット・タイマ/カウンタでモータなどの高速インバータ制御に適しています。

- ・ 3相PWM出力機能
  - PWMモード0 (対称三角波)
  - PWMモード1 (非対称三角波)
  - PWMモード2 (のこぎり波)
- ・ 割り込み間引き機能
  - 間引き率 (1/1, 1/2, 1/4, 1/8, 1/16)
- ・ 3相PWM出力の強制出力停止機能
  - 異常時に外部信号入力端子ESOnより信号を入力することにより, 3相PWM出力の強制出力停止が可能この機能は, クロック停止状態でも動作可能
- ・ リアルタイム出力機能
  - 3相PWM出力または矩形波出力を任意のタイミングで切り替え可能
- ・ 3相PWM出力の正相と逆相または正相と同相を出力可能

### 9.1.2 機能概要 (タイマ0)

3相PWMインバータ制御用16ビット・タイマ (TM0n) : 2チャンネル

コンペア・レジスタ : 4本×2チャンネル

12ビット・デッド・タイム・タイマ (DTMn0-DTMn2) : 3本×2チャンネル

カウント・クロックはプリスケアラによる分周から選択 (カウント・クロックは40 MHz以下に設定してください。)

基本クロック (f<sub>CLK</sub>) : 2種 (f<sub>CLK</sub>は40 MHz以下に設定してください。)

f<sub>xx</sub>およびf<sub>xx</sub>/2を選択可能

プリスケアラ分周比

基本クロック (f<sub>CLK</sub>) により次のように選択可能

分周比	基本クロック (f <sub>CLK</sub> )	
	f <sub>xx</sub> 選択時	f <sub>xx</sub> /2選択時
1/1	f <sub>xx</sub>	f <sub>xx</sub> /2
1/2	f <sub>xx</sub> /2	f <sub>xx</sub> /4
1/4	f <sub>xx</sub> /4	f <sub>xx</sub> /8
1/8	f <sub>xx</sub> /8	f <sub>xx</sub> /16
1/16	f <sub>xx</sub> /16	f <sub>xx</sub> /32
1/32	f <sub>xx</sub> /32	f <sub>xx</sub> /64

割り込み要求ソース

- ・コンペアー致割り込み要求 : 2種

CM0n3の一致信号でINTCM0n3を発生

- ・アンダフロー割り込み要求 : 2種

アンダフローによりINTTM0nを発生

外部パルス出力 (TO0n0-TO0n5) : 6本×2チャンネル

**備考** f<sub>xx</sub> : 内部システム・クロック

n = 0, 1

### 9.1.3 基本構成

次に基本構成を示します。

図9-1 タイマ0のブロック図(モード0:対称三角波,モード1:非対称三角波)

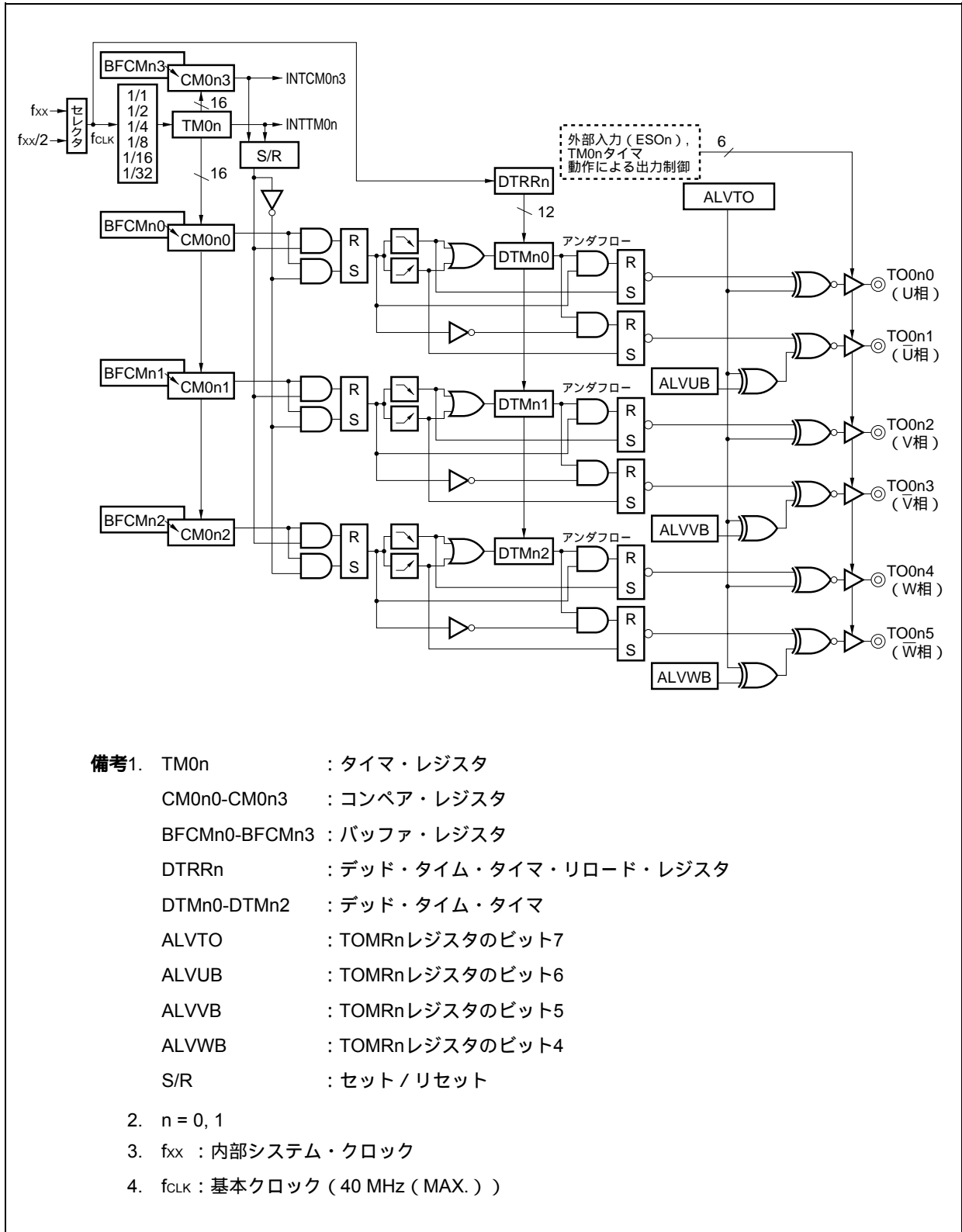
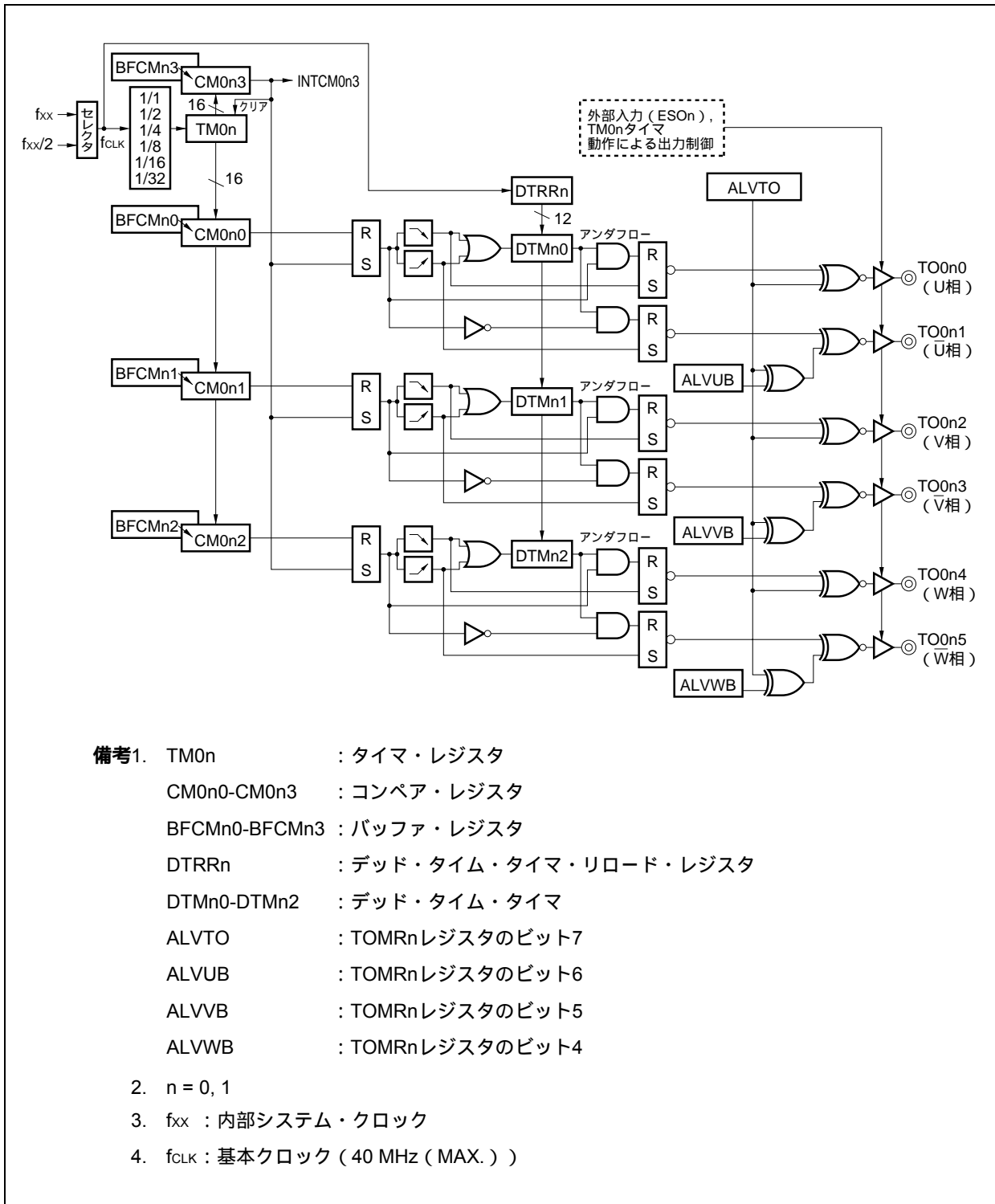


図9 - 2 タイマ0のブロック図 (モード2 : のこぎり波)





(1) タイマ00, 01 (TM00, TM01)

TM0nは16ビットのアップ/ダウン・タイマまたはアップ・タイマとして動作します。周期はコンペア・レジスタ0n3 (CM0n3) によって制御されます (n = 0, 1)。

TM0nのスタートおよびストップは、タイマ・コントロール・レジスタ0n (TMC0n) のTM0CEnビットによって制御します。

カウント・クロックはプリスケアラによる分周をTMC0nレジスタのPRM02-PRM00ビットによりf<sub>CLK</sub>, f<sub>CLK</sub>/2, f<sub>CLK</sub>/4, f<sub>CLK</sub>/8, f<sub>CLK</sub>/16, f<sub>CLK</sub>/32から選択できます (f<sub>CLK</sub>: 基本クロック, 9. 1. 4 (1) タイマ0クロック選択レジスタ (PRM01) 参照)。

TM0nが0000Hになる条件を次に示します。

リセット入力

TM0CEnビット = 0

TM0nレジスタとコンペア・レジスタ0n3 (CM0n3) の一致 (PWMモード2 (のこぎり波) だけ)

オーバーフロー, アンダフロー直後

TM0nには表9 - 1に示す3つの動作モードがあります。それぞれの動作モードは、タイマ・コントロール・レジスタ0n (TMC0n) により選択できます。

表9 - 1 タイマ0の動作モード

動作モード	カウント動作	タイマ・クリア 要因	割り込み要因	BFCMn3 CM0n3 転送タイミング	BFCMn0-BFCMn2 CM0n0-CM0n2 転送タイミング
PWMモード0 (対称三角波)	アップ/ダウン	-	INTTM0n INTCM0n3	INTTM0n	INTTM0n
PWMモード1 (非対称三角波)	アップ/ダウン	-	INTTM0n INTCM0n3	INTTM0n	INTTM0n INTCM0n3
PWMモード2 (のこぎり波)	アップ	INTCM0n3	INTCM0n3	INTCM0n3	INTCM0n3

**注意** 各割り込み要因は、TM0ICn, CM03ICn, またはIMR0レジスタの割り込みマスク・フラグ (TM0MKn, CM03MKn) をセット (割り込み禁止) しても、割り込みが発生しないだけでタイマ0の動作には影響しません。

**備考** n = 0, 1

(2) デッド・タイム・タイマ00-02, 10-12 (DTM00-DTM02, DTM10-DTM12)

DTMn0-DTMn2は、インバータ制御に有効なデッド・タイム生成専用の12ビット・ダウン・タイマです。ワンショット・タイマとして動作します。

デッド・タイム・タイマのカウント許可/禁止は、タイマ・コントロール・レジスタ0n (TMC0n) のTM0CEDnビットで制御します。ただし、ソフトウェアによる動作制御(開始/停止)はできません。ハードウェア的にカウントを開始/停止します。

デッド・タイム・タイマは、CM0n0-CM0n2のコンペア一致タイミングに同期してデッド・タイム・タイマ・リロード・レジスタn (DTRRn) の値が転送され、ダウン・カウントを開始します。

デッド・タイム・タイマ値が000H FFFHになるとアンダフロー信号を発生し、タイマはFFFHで停止します。

また、デッド・タイム・タイマがアンダフローを発生する前に、再び対象となるコンペア・レジスタで一致が起こった場合、DTRRnの値が再びデッド・タイム・タイマに転送され、ダウン・カウントを行います。

デッド・タイム・タイマのカウント・クロックは基本クロック (f<sub>CLK</sub>) 固定で、デッド・タイム幅は、次のようになります。

$$(DTRRn\text{設定値} + 1) / \text{基本クロック (f}_{CLK})$$

デッド・タイム・タイマがカウント禁止の状態、TM0nをPWMモード0、PWMモード1で動作させた場合、TO0n0とTO0n1, TO0n2とTO0n3, TO0n4とTO0n5には、デッド・タイムを持たない逆転の信号が出力されます。

(3) デッド・タイム・タイマ・リロード・レジスタ0, 1 (DTRR0, DTRR1)

DTRRnレジスタは、12ビットのデッド・タイム設定用のレジスタで、3つのデッド・タイム・タイマ (DTMn0-DTMn2レジスタ) に対して共通です (n = 0, 1)。ただし、DTRRnレジスタからDTMn0-DTMn2レジスタへ値を転送するタイミングは、それぞれ独立して行われます。

16ビット単位でリード/ライト可能です。また、DTRRnレジスタを16ビット・リード・アクセスしたときには上位4ビットは0が読み出されます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DTRR0	0	0	0	0													FFFFFF570H	0FFFH
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DTRR1	0	0	0	0													FFFFFF5B0H	0FFFH

- 注意1. TM0n動作中 (TMC0nレジスタのTM0CEnビット = 1) はDTRRnレジスタの値を変更することを禁止します。
2. 上位4ビットには必ず0を書き込んでください。

**(4) コンペア・レジスタ000-002, 010-012 (CM000-CM002, CM010-CM012)**

CM0n0-CM0n2は16ビットのレジスタで、TM0nと常に比較動作を行い、一致を検出するとトリガ信号を出力し、それぞれのコンペア・レジスタに接続されているフリップフロップ(F/F)の内容を変化させます。また、CM0n0-CM0n2は、それぞれバッファ・レジスタ(BFCMn0-BFCMn2)を備えており、次の転送タイミングでバッファの内容をCM0n0-CM0n2に転送します。転送の許可/禁止は、TMC0nレジスタのBFTENビットで制御します。

**(5) コンペア・レジスタ003, 013 (CM003, CM013)**

CM0n3は16ビットのレジスタで、TM0nと常に比較動作を行い、一致を検出すると割り込み信号(INTCM0n3)を発生します。CM0n3は、TM0nのカウント上限値を制御しており、一致検出時には、その次のタイマのカウント・クロックで次に示す動作を行います。

- ・三角波設定モード時(PWMモード0, 1) : TM0nの動作をアップ・カウントからダウン・カウントへ切り替え
- ・のこぎり波設定モード時(PWMモード2) : TM0nのカウント値クリア

また、CM0n3は、バッファ・レジスタ(BFCMn3)を備えており、次の転送タイミングでバッファの内容をCM0n3に転送します。転送の許可/禁止は、TMC0nレジスタのBFTE3ビットで制御されます。

**(6) バッファ・レジスタCM00-CM02, CM10-CM12 (BFCM00-BFCM02, BFCM10-BFCM12)**

BFCMn0-BFCMn2は、16ビットのレジスタで、割り込み信号(INTCM0n3/INTTM0n)により、各バッファ・レジスタに対応したコンペア・レジスタ(CM0n0-CM0n2)にデータを転送します。

16ビット単位でリード/ライト可能です。

**注意** BFCMn0-BFCMn2レジスタの設定値は次のタイミングでCM0n0-CM0n2レジスタへ転送されません(n = 0, 1)。

- ・TMC0nレジスタのTM0CEnビット = 0時 : BFCMn0-BFCMn2レジスタへライトされた次の動作タイミングで転送されます。
- ・TMC0nレジスタのTM0CEnビット = 1時 : INTTM0n発生時、またはINTCM0n3発生時にBFCMn0-BFCMn2レジスタの値がCM0n0-CM0n2レジスタに転送されます。このときの転送の許可/禁止は、タイマ・コントロール・レジスタ(TMC0n)のBFTENビットで制御されます。

BFCM00	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	初期値
	<input type="text"/>	FFFFF572H	FFFFH
BFCM10	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	初期値
	<input type="text"/>	FFFFF5B2H	FFFFH
BFCM01	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	初期値
	<input type="text"/>	FFFFF574H	FFFFH
BFCM11	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	初期値
	<input type="text"/>	FFFFF5B4H	FFFFH
BFCM02	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	初期値
	<input type="text"/>	FFFFF576H	FFFFH
BFCM12	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	初期値
	<input type="text"/>	FFFFF5B6H	FFFFH

(7) バッファ・レジスタCM03, CM13 (BFCM03, BFCM13)

BFCMn3は16ビットのレジスタで、任意のタイミングでコンペア・レジスタに転送します。転送の許可/禁止は、TMC0nレジスタのBFTE3ビットで制御されます。

16ビット単位でリード/ライト可能です。

**注意1.** BFCMn3レジスタの設定値は次のタイミングでCM0n3レジスタへ転送されます (n = 0, 1)。

- ・ TMC0nレジスタのTM0CEnビット = 0時：BFCMn3レジスタへライトされた次の動作タイミングで転送されます。
- ・ TMC0nレジスタのTM0CEnビット = 1時：INTTM0n発生時にBFCMn3レジスタの値がCM0n3レジスタに転送されます。このときの転送の許可/禁止は、タイマ・コントロール・レジスタ (TMC0n) のBFTE3ビットで制御されます。

2. BFCMn3レジスタを0000Hに設定することは禁止します。

BFCM03	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	初期値
	<input type="text"/>	FFFFF578H	FFFFH
BFCM13	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	初期値
	<input type="text"/>	FFFFF5B8H	FFFFH

### 9.1.4 制御レジスタ

#### (1) タイマ0クロック選択レジスタ (PRM01)

PRM01レジスタは、タイマ0 (TM0n) の基本クロック (f<sub>CLK</sub>) を選択するレジスタです。

8/1ビット単位で、リード/ライト可能です。

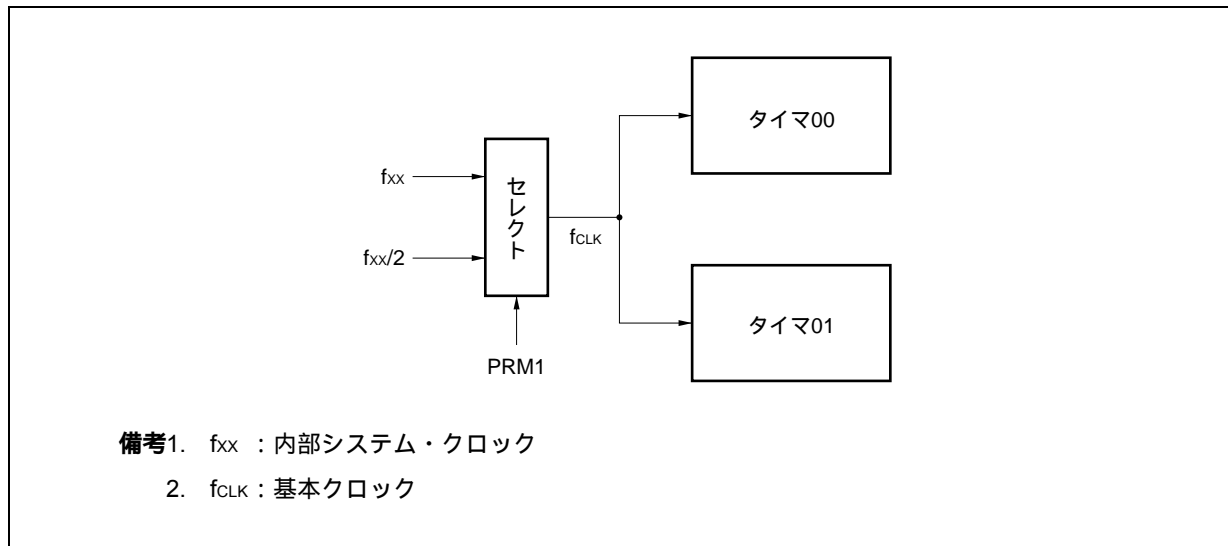
**注意** 必ずタイマを使用する前に設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
PRM01	0	0	0	0	0	0	0	PRM1	FFFFF5D0H	00H

ビット位置	ビット名	意 味
0	PRM1	タイマ0 (TM0n) の基本クロック (f <sub>CLK</sub> ) を指定します (図9 - 3参照)。 0 : f <sub>xx</sub> /2 (f <sub>xx</sub> > 40 MHzの場合) 1 : f <sub>xx</sub> (f <sub>xx</sub> ≤ 40 MHzの場合)  備考 f <sub>xx</sub> : 内部システム・クロック

図9 - 3 タイマ00とタイマ01のクロック



(2) タイマ・コントロール・レジスタ00, 01 (TMC00, TMC01)

TMC0nレジスタは、タイマ0 (TM0n) の動作の設定を行う16ビットのレジスタです。

TMC0nレジスタは16ビット単位でリード/ライト可能です。

TMC0nレジスタの上位8ビットをTMC0nHレジスタ、下位8ビットをTMC0nLレジスタとして使用した場合は、8/1ビット単位でリード/ライト可能です。

**注意** タイマ0を動作させるときは、まず、TM0CEn = 0に設定してから、TM0CEn = 1に設定してください。

(1/4)

	⑮	⑭	13	12	11	10	9	8	7	6	⑤	4	3	2	1	0	アドレス	初期値
TMC00	TM0CE0	STINT0	CUL02	CUL01	CUL00	PRM02	PRM01	PRM00	0	0	TM0CED0	BFTE3	BFTEN	MBFTE	MOD01	MOD00	FFFFFF57AH	0508H
	⑮	⑭	13	12	11	10	9	8	7	6	⑤	4	3	2	1	0	アドレス	初期値
TMC01	TM0CE1	STINT1	CUL02	CUL01	CUL00	PRM02	PRM01	PRM00	0	0	TM0CED1	BFTE3	BFTEN	MBFTE	MOD01	MOD00	FFFFFF5BAH	0508H

ビット位置	ビット名	意味																												
15	TM0CEn	<p>TM0nの動作を指定します。</p> <p>0: カウント禁止 (すべてのカウント値クリア後に停止)</p> <p>1: カウント動作許可</p> <p><b>注意</b> TM0CEn = 0のときは、TO0n0-TO0n5出力はハイ・インピーダンスになります。</p>																												
14	STINTn	<p>TM0nのタイマ・スタート時の割り込みを指定します。</p> <p>0: 動作スタート時に割り込みを発生しない</p> <p>1: 動作スタート時に割り込みを発生する</p> <p>STINTnビット = 1の場合、TM0CEn信号の立ち上がり直後に、割り込みを発生します。</p> <p>MOD01ビット = 0 (三角波モード) のときは、INTTM0n割り込み (図9-4参照)、MOD01ビット = 1 (のこぎり波モード) のときは、INTCM0n3割り込みを発生します。</p> <p><b>注意</b> TM0n動作中 (TM0CEnビット = 1) にSTINTnビットを変更することは禁止します。</p>																												
13-11	CUL02-CUL00	<p>割り込みの間引き率を指定します。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>CUL02</th> <th>CUL01</th> <th>CUL00</th> <th>割り込みの間引き率</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1/1</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1/2</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1/4</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1/8</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1/16</td> </tr> <tr> <td colspan="3">上記以外</td> <td>間引き処理は行われない</td> </tr> </tbody> </table>	CUL02	CUL01	CUL00	割り込みの間引き率	0	0	0	1/1	0	0	1	1/2	0	1	0	1/4	0	1	1	1/8	1	0	0	1/16	上記以外			間引き処理は行われない
CUL02	CUL01	CUL00	割り込みの間引き率																											
0	0	0	1/1																											
0	0	1	1/2																											
0	1	0	1/4																											
0	1	1	1/8																											
1	0	0	1/16																											
上記以外			間引き処理は行われない																											

備考 n = 0, 1

ビット位置	ビット名	意味																																
13-11	CUL02-CUL00	<p><b>注意1.</b> INTTM0n割り込みとINTCM0n3割り込みの発生回数を同一の間引き率 (1/1, 1/2, 1/4, 1/8, 1/16) で間引くことができます。</p> <p><b>2.</b> BFTE3ビット = 1, BFTENビット = 1 (BFCMn0-BFCMn3レジスタからCM0n0-CM0n3レジスタヘデータを転送する設定) の場合でも, MBFTEビット = 0であれば, 間引かれたINTTM0n, INTCM0n3割り込みの発生タイミングでは, 転送動作は行われません。</p> <p><b>3.</b> カウント動作中に間引き率を変更した場合は, 変更前の間引き率で割り込みを発生したあとに, 新しい間引き率になります (図9 - 5参照)。</p>																																
10-8	PRM02-PRM00	<p>TM0nへのカウント・クロックを指定します。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>PRM02</th> <th>PRM01</th> <th>PRM00</th> <th>カウント・クロック</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>f<sub>CLK</sub></td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>f<sub>CLK</sub>/2</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>f<sub>CLK</sub>/4</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>f<sub>CLK</sub>/8</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>f<sub>CLK</sub>/16</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>f<sub>CLK</sub>/32</td> </tr> <tr> <td colspan="3">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table> <p><b>注意</b> 分周比の切り替わりのタイミングは, TM0nの値が0000Hとなり, INTTM0n割り込みが発生するタイミングからとなります。したがって, 割り込み間引きに該当するタイミングでは, 分周比は切り替りません。</p> <p><b>備考</b> 基本クロック (f<sub>CLK</sub>) は, 9.1.4 (1) タイマ0クロック選択レジスタ (PRM01) を参照してください。</p>	PRM02	PRM01	PRM00	カウント・クロック	0	0	0	f <sub>CLK</sub>	0	0	1	f <sub>CLK</sub> /2	0	1	0	f <sub>CLK</sub> /4	0	1	1	f <sub>CLK</sub> /8	1	0	0	f <sub>CLK</sub> /16	1	0	1	f <sub>CLK</sub> /32	上記以外			設定禁止
PRM02	PRM01	PRM00	カウント・クロック																															
0	0	0	f <sub>CLK</sub>																															
0	0	1	f <sub>CLK</sub> /2																															
0	1	0	f <sub>CLK</sub> /4																															
0	1	1	f <sub>CLK</sub> /8																															
1	0	0	f <sub>CLK</sub> /16																															
1	0	1	f <sub>CLK</sub> /32																															
上記以外			設定禁止																															
5	TM0CEDn	<p>DTMn0-DTMn2タイマの動作を指定します。</p> <p>0 : DTMn0-DTMn2はカウント動作を行う 1 : DTMn0-DTMn2は停止状態</p> <p><b>注意1.</b> TM0n動作中 (TM0CEn = 1) にTM0CEDnビットを変更することは禁止します。</p> <p><b>2.</b> TM0CEDnビット = 1のときにTM0nを動作させる場合, TO0n0-TO0n5端子には, デッド・タイムを持たない信号が出力されます。</p>																																

備考 n = 0, 1

ビット位置	ビット名	意 味																			
4	BFTE3	<p>BFCMn3レジスタからCM0n3レジスタへのデータ転送を指定します。</p> <p>0：転送禁止 1：転送許可</p> <p>BFCMn3レジスタからCM0n3レジスタへの転送タイミングを次に示します。</p> <table border="1"> <thead> <tr> <th>BFTE3</th> <th>TM0nの動作モード</th> <th>BFCMn3 CM0n3転送タイミング</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>全モード</td> <td>転送しない</td> </tr> <tr> <td>1</td> <td>PWMモード0 (対称三角波)</td> <td>INTTM0n</td> </tr> <tr> <td>1</td> <td>PWMモード1 (非対称三角波)</td> <td>INTTM0n</td> </tr> <tr> <td>1</td> <td>PWMモード2 (のこぎり波)</td> <td>INTCM0n3</td> </tr> </tbody> </table> <p>BFTE3ビット = 1のときに、INTTM0nまたはINTCM0n3割り込みが発生すると、BFCMn3レジスタの値がCM0n3レジスタへ転送されます。</p>	BFTE3	TM0nの動作モード	BFCMn3 CM0n3転送タイミング	0	全モード	転送しない	1	PWMモード0 (対称三角波)	INTTM0n	1	PWMモード1 (非対称三角波)	INTTM0n	1	PWMモード2 (のこぎり波)	INTCM0n3				
BFTE3	TM0nの動作モード	BFCMn3 CM0n3転送タイミング																			
0	全モード	転送しない																			
1	PWMモード0 (対称三角波)	INTTM0n																			
1	PWMモード1 (非対称三角波)	INTTM0n																			
1	PWMモード2 (のこぎり波)	INTCM0n3																			
3	BFTEN	<p>BFCMn0-BFCMn2レジスタからCM0n0-CM0n2レジスタへのデータ転送を指定します。</p> <p>0：転送禁止 1：転送許可</p> <table border="1"> <thead> <tr> <th>BFTEN</th> <th>TM0nの動作モード</th> <th>BFCMn0-BFCMn2 CM0n0-CM0n2 転送タイミング</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>全モード</td> <td>転送しない</td> </tr> <tr> <td>1</td> <td>PWMモード0 (対称三角波)</td> <td>INTTM0n</td> </tr> <tr> <td>1</td> <td>PWMモード1 (非対称三角波)</td> <td>INTTM0n, INTCM0n3</td> </tr> <tr> <td>1</td> <td>PWMモード2 (のこぎり波)</td> <td>INTCM0n3</td> </tr> </tbody> </table> <p>BFTENビット = 1のときに、INTTM0nまたはINTCM0n3割り込みが発生すると、BFCMn0-BFCMn2レジスタの値がCM0n0-CM0n2レジスタへ転送されます。</p>	BFTEN	TM0nの動作モード	BFCMn0-BFCMn2 CM0n0-CM0n2 転送タイミング	0	全モード	転送しない	1	PWMモード0 (対称三角波)	INTTM0n	1	PWMモード1 (非対称三角波)	INTTM0n, INTCM0n3	1	PWMモード2 (のこぎり波)	INTCM0n3				
BFTEN	TM0nの動作モード	BFCMn0-BFCMn2 CM0n0-CM0n2 転送タイミング																			
0	全モード	転送しない																			
1	PWMモード0 (対称三角波)	INTTM0n																			
1	PWMモード1 (非対称三角波)	INTTM0n, INTCM0n3																			
1	PWMモード2 (のこぎり波)	INTCM0n3																			
2	MBFTE	<p>CUL02-CUL00ビットでINTTM0nとINTCM0n3割り込みを間引く設定にした場合、間引きに該当する割り込み発生時のBFTE3, BFTENビットの設定を有効にするか、無効にするかを指定します。</p> <p>0：間引き割り込み発生時、BFTE3, BFTENビット設定値を無効とする 1：間引き割り込み発生時、BFTE3, BFTENビット設定値を有効とする</p> <p>各組み合わせを次に示します。</p> <table border="1"> <thead> <tr> <th rowspan="2">MBFTE</th> <th colspan="2">間引きに該当する割り込み時の動作</th> </tr> <tr> <th>0</th> <th>1</th> </tr> </thead> <tbody> <tr> <td rowspan="2">BFTEN</td> <td>0</td> <td>BFCMn0-BFCMn2 CM0n0-CM0n2の転送禁止</td> <td>BFCMn0-BFCMn2 CM0n0-CM0n2の転送禁止</td> </tr> <tr> <td>1</td> <td>BFCMn0-BFCMn2 CM0n0-CM0n2の転送禁止</td> <td>BFCMn0-BFCMn2 CM0n0-CM0n2の転送許可</td> </tr> <tr> <td rowspan="2">BFTE3</td> <td>0</td> <td>BFCMn3 CM0n3の転送禁止</td> <td>BFCMn3 CM0n3の転送禁止</td> </tr> <tr> <td>1</td> <td>BFCMn3 CM0n3の転送禁止</td> <td>BFCMn3 CM0n3の転送許可</td> </tr> </tbody> </table>	MBFTE	間引きに該当する割り込み時の動作		0	1	BFTEN	0	BFCMn0-BFCMn2 CM0n0-CM0n2の転送禁止	BFCMn0-BFCMn2 CM0n0-CM0n2の転送禁止	1	BFCMn0-BFCMn2 CM0n0-CM0n2の転送禁止	BFCMn0-BFCMn2 CM0n0-CM0n2の転送許可	BFTE3	0	BFCMn3 CM0n3の転送禁止	BFCMn3 CM0n3の転送禁止	1	BFCMn3 CM0n3の転送禁止	BFCMn3 CM0n3の転送許可
MBFTE	間引きに該当する割り込み時の動作																				
	0	1																			
BFTEN	0	BFCMn0-BFCMn2 CM0n0-CM0n2の転送禁止	BFCMn0-BFCMn2 CM0n0-CM0n2の転送禁止																		
	1	BFCMn0-BFCMn2 CM0n0-CM0n2の転送禁止	BFCMn0-BFCMn2 CM0n0-CM0n2の転送許可																		
BFTE3	0	BFCMn3 CM0n3の転送禁止	BFCMn3 CM0n3の転送禁止																		
	1	BFCMn3 CM0n3の転送禁止	BFCMn3 CM0n3の転送許可																		

備考 n = 0, 1



ビット位置	ビット名	意味																																			
1, 0	MOD01, MOD00	<p>TM0nの動作モードを設定します。</p> <table border="1"> <thead> <tr> <th>MOD01</th> <th>MOD00</th> <th>動作モード</th> <th>TM0n動作</th> <th>タイマ・クリア要因</th> <th>BFCMn3 CM0n3 タイミング</th> <th>BFCMn0- BFCMn2 CM0n0- CM0n2 タイミング</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>PWMモード0 (対称三角波)</td> <td>アップ/ ダウン</td> <td>-</td> <td>INTTM0n</td> <td>INTTM0n</td> </tr> <tr> <td>0</td> <td>1</td> <td>PWMモード1 (非対称三角波)</td> <td>アップ/ ダウン</td> <td>-</td> <td>INTTM0n</td> <td>INTTM0n, INTCM0n3</td> </tr> <tr> <td>1</td> <td>0</td> <td>PWMモード2 (のこぎり波)</td> <td>アップ</td> <td>INTCM0n3</td> <td>INTCM0n3</td> <td>INTCM0n3</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table> <p>注意 TM0n動作中 (TM0CEnビット = 1) にMOD01, MOD00ビットを変更することは禁止します。</p>	MOD01	MOD00	動作モード	TM0n動作	タイマ・クリア要因	BFCMn3 CM0n3 タイミング	BFCMn0- BFCMn2 CM0n0- CM0n2 タイミング	0	0	PWMモード0 (対称三角波)	アップ/ ダウン	-	INTTM0n	INTTM0n	0	1	PWMモード1 (非対称三角波)	アップ/ ダウン	-	INTTM0n	INTTM0n, INTCM0n3	1	0	PWMモード2 (のこぎり波)	アップ	INTCM0n3	INTCM0n3	INTCM0n3	1	1	設定禁止				
MOD01	MOD00	動作モード	TM0n動作	タイマ・クリア要因	BFCMn3 CM0n3 タイミング	BFCMn0- BFCMn2 CM0n0- CM0n2 タイミング																															
0	0	PWMモード0 (対称三角波)	アップ/ ダウン	-	INTTM0n	INTTM0n																															
0	1	PWMモード1 (非対称三角波)	アップ/ ダウン	-	INTTM0n	INTTM0n, INTCM0n3																															
1	0	PWMモード2 (のこぎり波)	アップ	INTCM0n3	INTCM0n3	INTCM0n3																															
1	1	設定禁止																																			
備考		n = 0, 1																																			

図9 - 4 PWMモード0 (対称三角波) , PWMモード1 (非対称三角波) 時 (TMC0nレジスタのMOD01, MOD00ビット = 0n) のINTTM0n割り込み指定

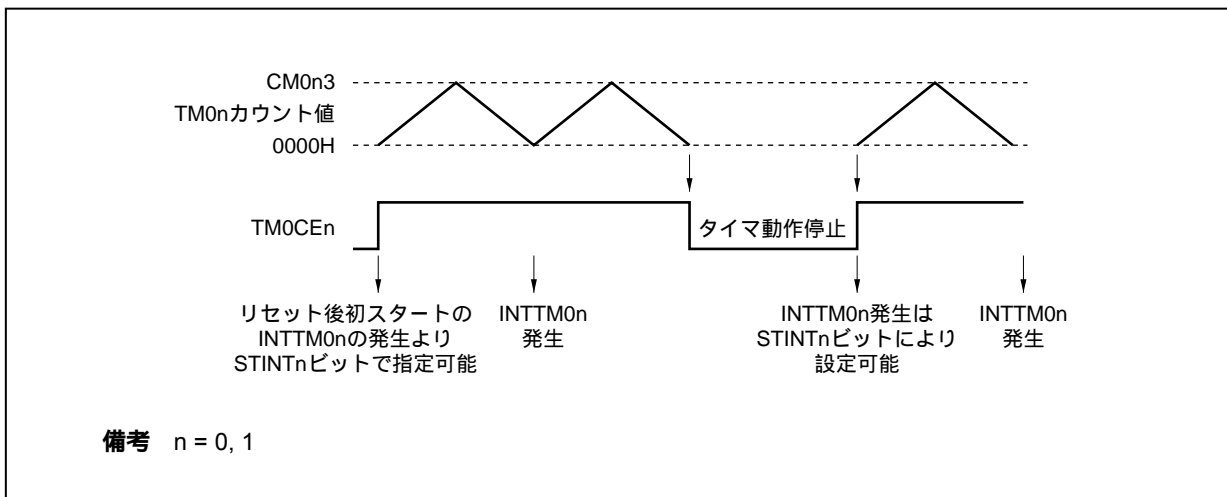


図9 - 5 割り込みの間引き処理

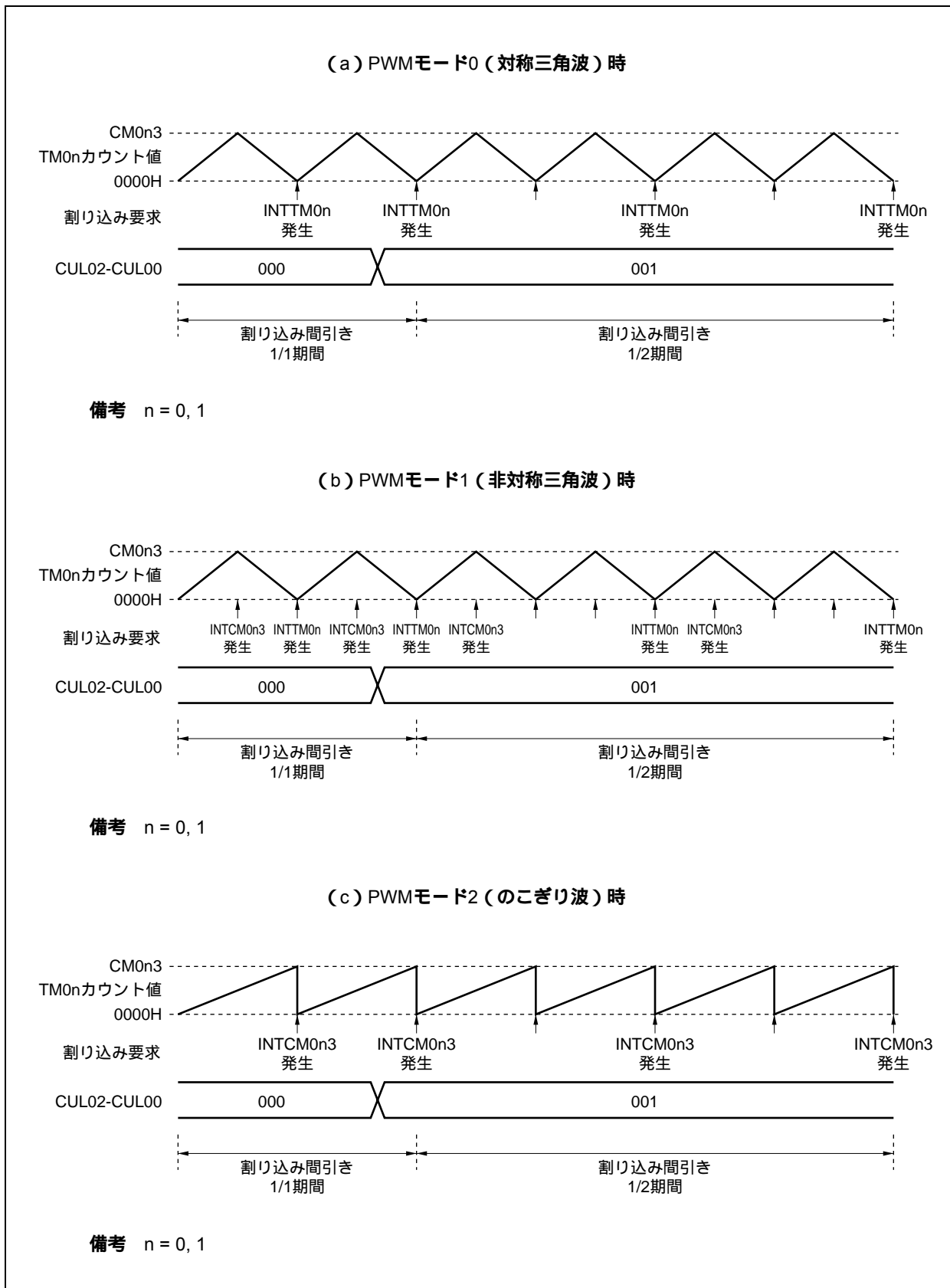
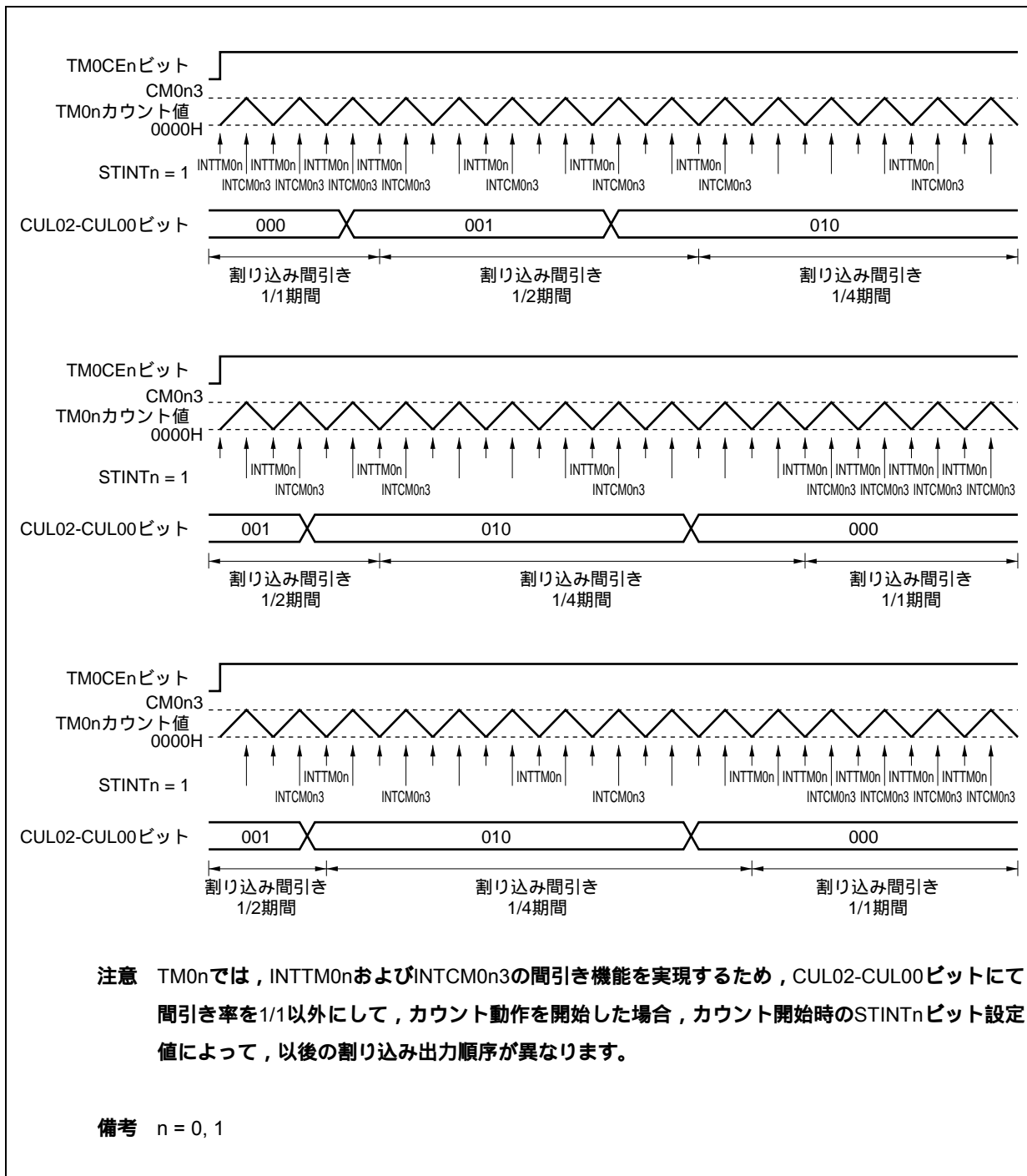


図9 - 6 割り込み間引き率変更タイミング

(STINTnビットの設定とCULビットの変更の関係) : PWMモード1 (非対称三角波)



(3) タイマ・ユニット・コントロール・レジスタ00, 01 (TUC00, TUC01)

TUC0nレジスタは、TO0n0-TO0n5出力を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。ただし、ビット0はリードだけ可能です。

	7	6	5	4	3	2	①	②	アドレス	初期値
TUC00	0	0	0	0	0	0	TORS0	TOSTA0	FFFFFF57CH	01H
	7	6	5	4	3	2	①	②	アドレス	初期値
TUC01	0	0	0	0	0	0	TORS1	TOSTA1	FFFFFF5BCH	01H

ビット位置	ビット名	意味
1	TORSn	<p>ESOn端子入力で強制的に出力停止にしたTO0n0-TO0n5端子出力を再開させるフラグです。</p> <p>TORSnビットに1を書き込むことにより、再度出力を開始させます。</p> <p><b>注意1.</b> ESOn端子入力がレベル設定 (TOMRレジスタのTOEDG1ビット = 1, TOEDG0ビット = 0または1)の場合,出力禁止状態(TOSTAnビット = 1)時に, TORSnビットに1を書き込んでも,出力禁止状態は解除されません(TOSTAnビット = 1)。入力レベルがインアクティブ・レベルになった場合に出力禁止状態が解除されます (TOSTAnビット = 0)。                      なお, TORSnビットの値は保持されます。</p> <p>2. ESOn端子入力がエッジ設定 (TOEDG1ビット = 0, TOEDG0ビット = 0または1)の場合,出力禁止状態 (TOSTAnビット = 1)時に, TORSnビットに1を書き込むことで出力禁止状態が解除されます (TOSTAnビット = 0)。</p> <p>3. リセット後, TO0n0-TO0n5出力を開始する前に必ずTORSnビットに1を書き込んでください。なお, TORSnビットをリードすると“0”が読み出されます。</p>
0	TOSTAn	<p>ESOn端子入力によるTO0n0-TO0n5端子の出力状態フラグです。</p> <p>0 : 出力有効状態                      1 : 出力禁止状態</p>

備考 n = 0, 1

(4) タイマ出力モード・レジスタ0, 1 (TOMR0, TOMR1)

TOMRnレジスタは、TO0n0-TO0n5端子からのタイマ出力を制御します。

不正アクセスによるTO0n0-TO0n5端子の異常出力を防ぐため、TOMRnレジスタへのデータ・ライト方法は次の2つのシーケンスになります。

- (a) TOMR書き込み許可レジスタ (SPECn) に対しライト・アクセスを行う。
- (b) 続けてTOMRnレジスタに対し、ライト・アクセスを行う。

上記2つのシーケンスを取らないと、ハード的にライトが許可されません。

8ビット単位でリード/ライト可能です。

**注意** TOMRnレジスタへのライト・アクセス中 (SPECnレジスタへのライト・アクセス後、TOMRnレジスタへのライト処理前)に各種割り込み要求が発生したとき、その割り込み処理において、内部バスを使用し、他のアドレスに対するアクセスが発生した場合、TOMRnレジスタへのライト処理が正常に行われない場合があります。TOMRnレジスタへのライト・ルーチン中に次のどちらかの処理を追加してください。

- ・ TOMRnレジスタへのライト・アクセス前に、CPUのすべての割り込み受け付けを禁止する。
- ・ TOMRnレジスタへのライト・アクセス後に、正常にライトされているかを確認する。

( 1/2 )

	7	6	5	4	3	2	1	0	アドレス	初期値
TOMR0	ALVTO	ALVUB	ALVVB	ALVWB	TOSP	0	TOEDG1	TOEDG0	FFFFFF57DH	00H

	7	6	5	4	3	2	1	0	アドレス	初期値
TOMR1	ALVTO	ALVUB	ALVVB	ALVWB	TOSP	0	TOEDG1	TOEDG0	FFFFFF5BDH	00H

ビット位置	ビット名	意味
7	ALVTO	TO0n0, TO0n2, TO0n4端子のアクティブ・レベルを指定します。 0 : アクティブ・レベルはロウ・レベル 1 : アクティブ・レベルはハイ・レベル  <b>注意</b> TM0n動作中 (TM0CEn = 1) にALVTOビットを変更することを禁止します。
6	ALVUB	TO0n1端子の出力レベルを指定します。 0 : ALVTOビットで設定したアクティブ・レベルの反転レベル 1 : ALVTOビットで設定したアクティブ・レベル ALVUBビット = 1のとき、TO0n1出力の出力レベルはTO0n0と同レベルになります。  <b>注意</b> TM0n動作中 (TM0CEn = 1) にALVUBビットを変更することを禁止します。

備考 n = 0, 1

ビット位置	ビット名	意 味															
5	ALVVB	<p>TO0n3端子の出力レベルを指定します。</p> <p>0 : ALVTOビットで設定したアクティブ・レベルの反転レベル 1 : ALVTOビットで設定したアクティブ・レベル</p> <p>ALVVBビット = 1のとき, TO0n3出力の出力レベルはTO0n2と同レベルになります。</p> <p><b>注意</b> TM0n動作中 (TM0CEn = 1) にALVVBビットを変更することは禁止します。</p>															
4	ALVWB	<p>TO0n5端子の出力レベルを指定します。</p> <p>0 : ALVTOビットで設定したアクティブ・レベルの反転レベル 1 : ALVTOビットで設定したアクティブ・レベル</p> <p>ALVWBビット = 1のとき, TO0n5出力の出力レベルはTO0n4と同レベルになります。</p> <p><b>注意</b> TM0n動作中 (TM0CEn = 1) にALVWBビットを変更することは禁止します。</p>															
3	TOSP	<p>ESOn端子入力によるTO0n0-TO0n5端子の出力停止制御をします。</p> <p>0 : ESON端子入力を有効にする 1 : ESON端子入力を無効にする</p> <p><b>注意1.</b> 出力停止状態は, TUC0nレジスタのTORSnビットに1を書き込むと, 禁止解除できません。なお, すべてのタイマおよびカウンタは出力禁止状態でも動作を継続します。</p> <p><b>2.</b> ESON端子入力を無効状態から有効状態にする (TOSPビットを1 0) 前に, TUCnレジスタのTORSnビットに1を書き込み, ESON端子入力状態のリセットをしてください。</p>															
1, 0	TOEDG1, TOEDG0	<p>TOSPビットでESOn端子入力によるTO0n0-TO0n5出力を強制的に停止させる設定を行っている際に, 有効となるエッジまたはレベルの選択を行います。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>TOEDG1</th> <th>TOEDG0</th> <th>動 作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>ロウ・レベル</td> </tr> <tr> <td>1</td> <td>1</td> <td>ハイ・レベル</td> </tr> </tbody> </table> <p><b>注意1.</b> TM0n動作中 (TM0CEn = 1) にTOEDG1, TOEDG0ビットを変更することを禁止します。</p> <p><b>2.</b> TOEDG1, TOEDG0ビットの設定を変更する前にTUC0nレジスタのTORSnビットに1を書き込み, ESON端子入力状態のリセットをしてください。</p>	TOEDG1	TOEDG0	動 作	0	0	立ち上がりエッジ	0	1	立ち下がりエッジ	1	0	ロウ・レベル	1	1	ハイ・レベル
TOEDG1	TOEDG0	動 作															
0	0	立ち上がりエッジ															
0	1	立ち下がりエッジ															
1	0	ロウ・レベル															
1	1	ハイ・レベル															

**備考** n = 0, 1

TOMRnレジスタの上位4ビット (ALVTO, ALVUB, ALVVB, ALVWB) の設定による出力波形をPWMモード0 (対称三角波) 時のTO000とTO001を例に次に示します。

図9 - 7 PWMモード0 (対称三角波) 時のTO000とTO001の出力波形  
(デッド・タイムがない (TM0CED0ビット = 1) 場合)

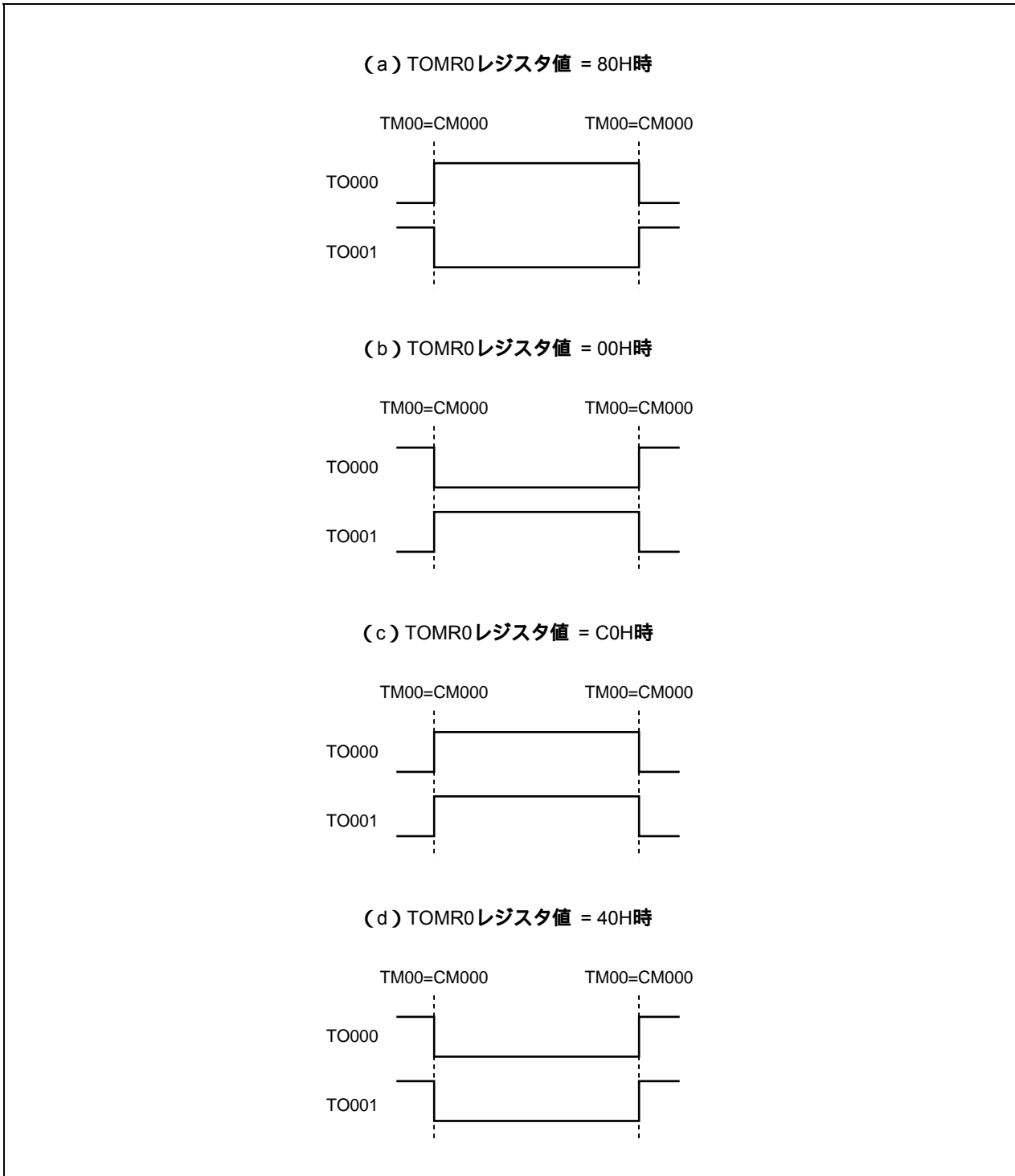
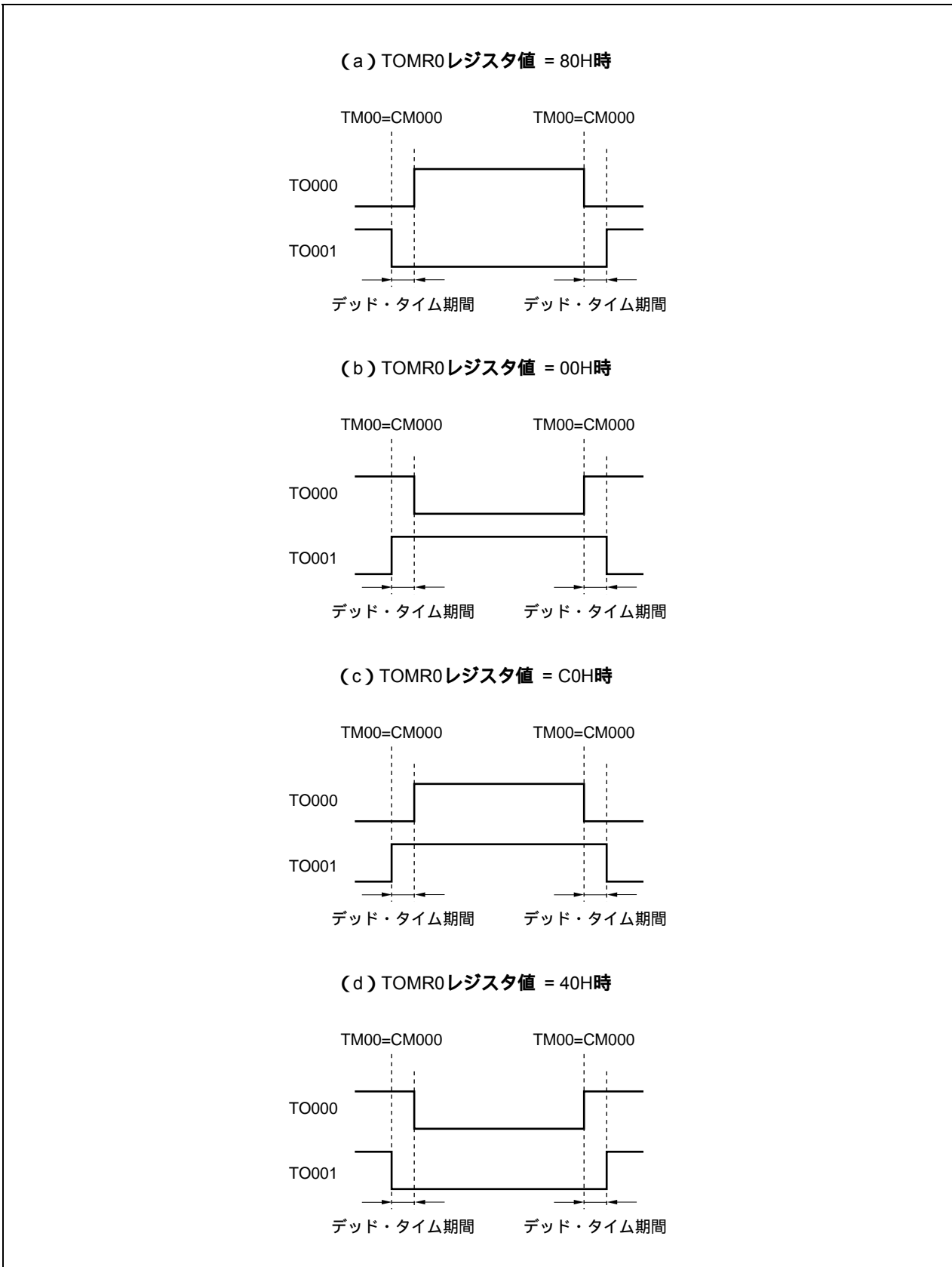


図9 - 8 PWMモード0 (対称三角波) 時のTO000とTO001の出力波形  
(デッド・タイムがある (TM0CED0ビット = 0) 場合)





タイマ出力モード・レジスタ0, 1 (TOMR0, TOMR1) へのデータ設定は、次のシーケンスで行います。

任意の汎用レジスタにタイマ出力モード・レジスタ0, 1 (TOMR0, TOMR1) へ設定するためのデータを用意します。

TOMR書き込み許可レジスタ0, 1 (SPEC0, SPEC1) に任意のデータを書き込みます。

タイマ出力モード・レジスタ0, 1 (TOMR0, TOMR1) を設定します (次の命令で行います)。

- ・ストア命令 (ST/SST命令)
- ・ビット操作命令 (SET1/CLR1/NOT1命令)

```
[記述例]  MOV      0x04, r10
          ST.B    r10, SPECn[r0]
          ST.B    r10, TOMRn[r0]
```

**備考** n = 0,1

なお、TOMRnレジスタを読み出す場合は、特別なシーケンスは必要ありません。

- 注意1.** SPECn発行 ( ) とその直後のTOMRnレジスタ書き込み ( ) の間では割り込みを禁止してください。
2. SPECnレジスタへ書き込むデータはダミーですが、TOMRnレジスタへの設定 (上記例 ) で使用する汎用レジスタと同じレジスタをSPECnレジスタ書き込み (上記例 ) でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。
  3. DMA転送によるSPECnレジスタやTOMRnレジスタへの書き込みはしないでください。

(5) PWM出力イネーブル・レジスタ0, 1 (POER0, POER1)

POERnレジスタは、外部パルス出力 (TO0n0-TO0n5) の状態をソフトウェアでインアクティブに設定するためのレジスタです。

8/1ビット単位でリード/ライト可能です。

	7	6	⑤	④	③	②	①	①	アドレス	初期値
POER0	0	0	OE210	OE200	OE110	OE100	OE010	OE000	FFFFFF57FH	00H
	7	6	⑤	④	③	②	①	①	アドレス	初期値
POER1	0	0	OE211	OE201	OE111	OE101	OE011	OE001	FFFFFF5BFH	00H

ビット位置	ビット名	意味
5	OE21n	TO0n5端子の出力状態を指定します。 0 : TO0n5の出力状態はハイ・インピーダンスになります。 1 : TO0n5の出力状態はTMC0nレジスタのTM0CEnビット, PSTOnレジスタのTORTOnビット, ESON端子で制御されます。
4	OE20n	TO0n4端子の出力状態を指定します。 0 : TO0n4の出力状態はハイ・インピーダンスになります。 1 : TO0n4の出力状態はTMC0nレジスタのTM0CEnビット, PSTOnレジスタのTORTOnビット, ESON端子で制御されます。
3	OE11n	TO0n3端子の出力状態を指定します。 0 : TO0n3の出力状態はハイ・インピーダンスになります。 1 : TO0n3の出力状態はTMC0nレジスタのTM0CEnビット, PSTOnレジスタのTORTOnビット, ESON端子で制御されます。
2	OE10n	TO0n2端子の出力状態を指定します。 0 : TO0n2の出力状態はハイ・インピーダンスになります。 1 : TO0n2の出力状態はTMC0nレジスタのTM0CEnビット, PSTOnレジスタのTORTOnビット, ESON端子で制御されます。
1	OE01n	TO0n1端子の出力状態を指定します。 0 : TO0n1の出力状態はハイ・インピーダンスになります。 1 : TO0n1の出力状態はTMC0nレジスタのTM0CEnビット, PSTOnレジスタのTORTOnビット, ESON端子で制御されます。
0	OE00n	TO0n0端子の出力状態を指定します。 0 : TO0n0の出力状態はハイ・インピーダンスになります。 1 : TO0n0の出力状態はTMC0nレジスタのTM0CEnビット, PSTOnレジスタのTORTOnビット, ESON端子で制御されます。

備考 n = 0, 1

(6) PWMソフトウェア・タイミング出力レジスタ0, 1 (PSTO0, PSTO1)

PSTOnレジスタは、外部パルス出力 (TO0n0-TO0n5) にソフトウェアで任意の波形を出力する設定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。

注意1. タイマ出力中にTORTOnビットを0 1に変更した場合(ソフトウェア出力に変更), UPORTn, VPORTn, WPORTnビットの設定により, 出力レベルが出力中のタイマ出力信号と異なっていたときはデッド・タイム設定時間分だけ遅れて, UPORTn, VPORTn, WPORTnビットで設定した出力レベルが出力されます。

また, UPORTn, VPORTn, WPORTnビットの設定により, 出力レベルが出力中のタイマ出力信号と同じときは, 同じ出力レベルが継続して出力されます。

2. ソフトウェア出力許可 (TORTOnビット = 1) で, TM0n動作中 (TM0CEnビット = 1) の場合, INTTM0n, INTCM0n3割り込み, TO0n0-TO0n5出力の状態は次のようになります。

INTTM0n, INTCM0n3割り込み : タイマおよびコンペア動作にしたいが, それぞれのタイミングで発生を継続する。

TO0n0-TO0n5出力 : ソフトウェア出力が優先される。

3. TM0n動作中 (TM0CEnビット = 1) に, TORTOnビットを1 0に変更した場合, (a) に示すTO0n0-TO0n5出力用F/Fのセット/リセット条件が発生するまでTO0n0-TO0n5出力はソフトウェア出力の状態が保持されます。

(a) TO0n0-TO0n5出力用F/Fのセット/リセット条件

	出力状態	動作モード	条 件
セット	タイマ出力	三角波モード (PWMモード0, 1)	TM0nのアップ・カウント中のコンペア一致
		のこぎり波モード (PWMモード2)	TM0nとCM0n3レジスタとの一致
	ソフトウェア出力	-	UPORTn, VPORTn, WPORTnビットをセット (1)
リセット	タイマ出力	三角波モード (PWMモード0, 1)	TM0nのダウン・カウント中のコンペア一致
		のこぎり波モード (PWMモード2)	TM0nとのコンペア一致
	ソフトウェア出力	-	UPORTn, VPORTn, WPORTnビットをクリア (0)

備考 n = 0, 1

4. TORTOnビット = 1中に, UPORTn(VPORTn, WPORTn)に同一値をライトした場合, TO0n0とTO0n1 (TO0n2とTO0n3, TO0n4とTO0n5) 出力は変化しません。

	⑦	6	5	4	3	②	①	①	①	アドレス	初期値
PSTO0	TORTO0	0	0	0	0	UPOrT0	VPOrT0	WPOrT0	FFFFF57EH	00H	

	⑦	6	5	4	3	②	①	①	①	アドレス	初期値
PSTO1	TORTO1	0	0	0	0	UPOrT1	VPOrT1	WPOrT1	FFFFF5BEH	00H	

ビット位置	ビット名	意 味																					
7	TORTOn	<p>TO0n0-TO0n5出力制御を指定します。</p> <p>0 : タイマ出力 1 : ソフトウェア出力</p> <p>ソフトウェア出力時のTO0n0-TO0n5信号の変化はTORTOnビットをセット(1)したとき、およびUPOrTn, VPOrTn, WPOrTnの各ビットに値が書き込まれたタイミングとなります。また、デッド・タイム・タイマは使用できます。</p>																					
2	UPOrTn	<p>TO0n0 (U相) /TO0n1 (<math>\bar{U}</math>相) 端子の出力値を指定します。</p> <table border="1"> <thead> <tr> <th>UPOrTn</th> <th colspan="2">動 作</th> </tr> </thead> <tbody> <tr> <td rowspan="2">0</td> <td>TO0n0</td> <td>ALVTOビット設定の反転レベル</td> </tr> <tr> <td rowspan="2">TO0n1</td> <td>ALVUBビット = 0時</td> <td>ALVTOビット設定のレベル</td> </tr> <tr> <td></td> <td>ALVUBビット = 1時</td> <td>ALVTOビット設定の反転レベル</td> </tr> <tr> <td rowspan="2">1</td> <td>TO0n0</td> <td>ALVTOビット設定のレベル</td> </tr> <tr> <td rowspan="2">TO0n1</td> <td>ALVUBビット = 0時</td> <td>ALVTOビット設定の反転レベル</td> </tr> <tr> <td></td> <td>ALVUBビット = 1時</td> <td>ALVTOビット設定のレベル</td> </tr> </tbody> </table> <p>注意 TORTOnビット = 1時にUPOrTnビットの設定値を変更した場合、TO0n0/TO0n1出力信号には、通常のタイマ動作時と同様にデッド・タイムの設定が有効となります。</p>	UPOrTn	動 作		0	TO0n0	ALVTOビット設定の反転レベル	TO0n1	ALVUBビット = 0時	ALVTOビット設定のレベル		ALVUBビット = 1時	ALVTOビット設定の反転レベル	1	TO0n0	ALVTOビット設定のレベル	TO0n1	ALVUBビット = 0時	ALVTOビット設定の反転レベル		ALVUBビット = 1時	ALVTOビット設定のレベル
UPOrTn	動 作																						
0	TO0n0	ALVTOビット設定の反転レベル																					
	TO0n1	ALVUBビット = 0時	ALVTOビット設定のレベル																				
		ALVUBビット = 1時	ALVTOビット設定の反転レベル																				
1	TO0n0	ALVTOビット設定のレベル																					
	TO0n1	ALVUBビット = 0時	ALVTOビット設定の反転レベル																				
		ALVUBビット = 1時	ALVTOビット設定のレベル																				
1	VPOrTn	<p>TO0n2 (V相) /TO0n3 (<math>\bar{V}</math>相) 端子の出力値を指定します。</p> <table border="1"> <thead> <tr> <th>VPOrTn</th> <th colspan="2">動 作</th> </tr> </thead> <tbody> <tr> <td rowspan="2">0</td> <td>TO0n2</td> <td>ALVTOビット設定の反転レベル</td> </tr> <tr> <td rowspan="2">TO0n3</td> <td>ALVVBビット = 0時</td> <td>ALVTOビット設定のレベル</td> </tr> <tr> <td></td> <td>ALVVBビット = 1時</td> <td>ALVTOビット設定の反転レベル</td> </tr> <tr> <td rowspan="2">1</td> <td>TO0n2</td> <td>ALVTOビット設定のレベル</td> </tr> <tr> <td rowspan="2">TO0n3</td> <td>ALVVBビット = 0時</td> <td>ALVTOビット設定の反転レベル</td> </tr> <tr> <td></td> <td>ALVVBビット = 1時</td> <td>ALVTOビット設定のレベル</td> </tr> </tbody> </table> <p>注意 TORTOnビット = 1時にVPOrTnビットの設定値を変更した場合、TO0n2/TO0n3出力信号には、通常のタイマ動作時と同様にデッド・タイムの設定が有効となります。</p>	VPOrTn	動 作		0	TO0n2	ALVTOビット設定の反転レベル	TO0n3	ALVVBビット = 0時	ALVTOビット設定のレベル		ALVVBビット = 1時	ALVTOビット設定の反転レベル	1	TO0n2	ALVTOビット設定のレベル	TO0n3	ALVVBビット = 0時	ALVTOビット設定の反転レベル		ALVVBビット = 1時	ALVTOビット設定のレベル
VPOrTn	動 作																						
0	TO0n2	ALVTOビット設定の反転レベル																					
	TO0n3	ALVVBビット = 0時	ALVTOビット設定のレベル																				
		ALVVBビット = 1時	ALVTOビット設定の反転レベル																				
1	TO0n2	ALVTOビット設定のレベル																					
	TO0n3	ALVVBビット = 0時	ALVTOビット設定の反転レベル																				
		ALVVBビット = 1時	ALVTOビット設定のレベル																				

備考 n = 0, 1

ALVTOビット : TOMRnレジスタのビット7

ALVUBビット : TOMRnレジスタのビット6

ALVVBビット : TOMRnレジスタのビット5

ビット位置	ビット名	意 味																					
0	WPORTn	<p>TO0n4 (W相) / TO0n5 (<math>\overline{W}</math>相) 端子の出力値を指定します。</p> <table border="1"> <thead> <tr> <th>WPORTn</th> <th colspan="2">動 作</th> </tr> </thead> <tbody> <tr> <td rowspan="2">0</td> <td>TO0n4</td> <td>ALVTOビット設定の反転レベル</td> </tr> <tr> <td rowspan="2">TO0n5</td> <td>ALVWBビット = 0時</td> <td>ALVTOビット設定のレベル</td> </tr> <tr> <td></td> <td>ALVWBビット = 1時</td> <td>ALVTOビット設定の反転レベル</td> </tr> <tr> <td rowspan="2">1</td> <td>TO0n4</td> <td>ALVTOビット設定のレベル</td> </tr> <tr> <td rowspan="2">TO0n5</td> <td>ALVWBビット = 0時</td> <td>ALVTOビット設定の反転レベル</td> </tr> <tr> <td></td> <td>ALVWBビット = 1時</td> <td>ALVTOビット設定のレベル</td> </tr> </tbody> </table> <p>注意 TORTOnビット = 1時にWPORTnビットの設定値を変更した場合，TO0n4/TO0n5出力信号には，通常のタイマ動作時と同様にデッド・タイムの設定が有効となります。</p>	WPORTn	動 作		0	TO0n4	ALVTOビット設定の反転レベル	TO0n5	ALVWBビット = 0時	ALVTOビット設定のレベル		ALVWBビット = 1時	ALVTOビット設定の反転レベル	1	TO0n4	ALVTOビット設定のレベル	TO0n5	ALVWBビット = 0時	ALVTOビット設定の反転レベル		ALVWBビット = 1時	ALVTOビット設定のレベル
WPORTn	動 作																						
0	TO0n4	ALVTOビット設定の反転レベル																					
	TO0n5	ALVWBビット = 0時	ALVTOビット設定のレベル																				
		ALVWBビット = 1時	ALVTOビット設定の反転レベル																				
1	TO0n4	ALVTOビット設定のレベル																					
	TO0n5	ALVWBビット = 0時	ALVTOビット設定の反転レベル																				
		ALVWBビット = 1時	ALVTOビット設定のレベル																				
<p><b>備考</b> n = 0, 1</p> <p>ALVTOビット : TOMRnレジスタのビット7</p> <p>ALVWBビット : TOMRnレジスタのビット4</p>																							

TO0n0-TO0n5端子は，TM0nとコンペア・レジスタによるタイマ出力，またはPSTOnレジスタの設定によるソフトウェア出力（TORTOnビット = 1）が可能です。優先順位はソフトウェア出力 > タイマ出力となります。

このため，TM0CEnビット = 1（タイマ動作許可）でTORTOnビット = 1（ソフトウェア出力許可）の状態から，TM0CEnビット = 1（タイマ動作許可）でTORTOnビット = 0（ソフトウェア出力禁止）へ設定を変更した場合，TO0n0-TO0n5出力はTORTOnビット変更後の最初のTM0nとコンペア・レジスタによるF/Fのセット/リセット・タイミングが発生するまでソフトウェア出力状態のまま保持されます。

次にALVTOビット = 1時のTORTOn, TM0CEnビット設定とTO0n0（正相側）出力の関係を示します（逆相側出力（TO0n1, TO0n3, TO0n5）はALVUB, ALVVB, ALVWBビットに依存するため，それぞれのビット説明を参照してください）。

図9 - 9 TORTOnビット = 0設定直前時にUPORTnビット = 1の場合 (アクティブ値で切り替え)

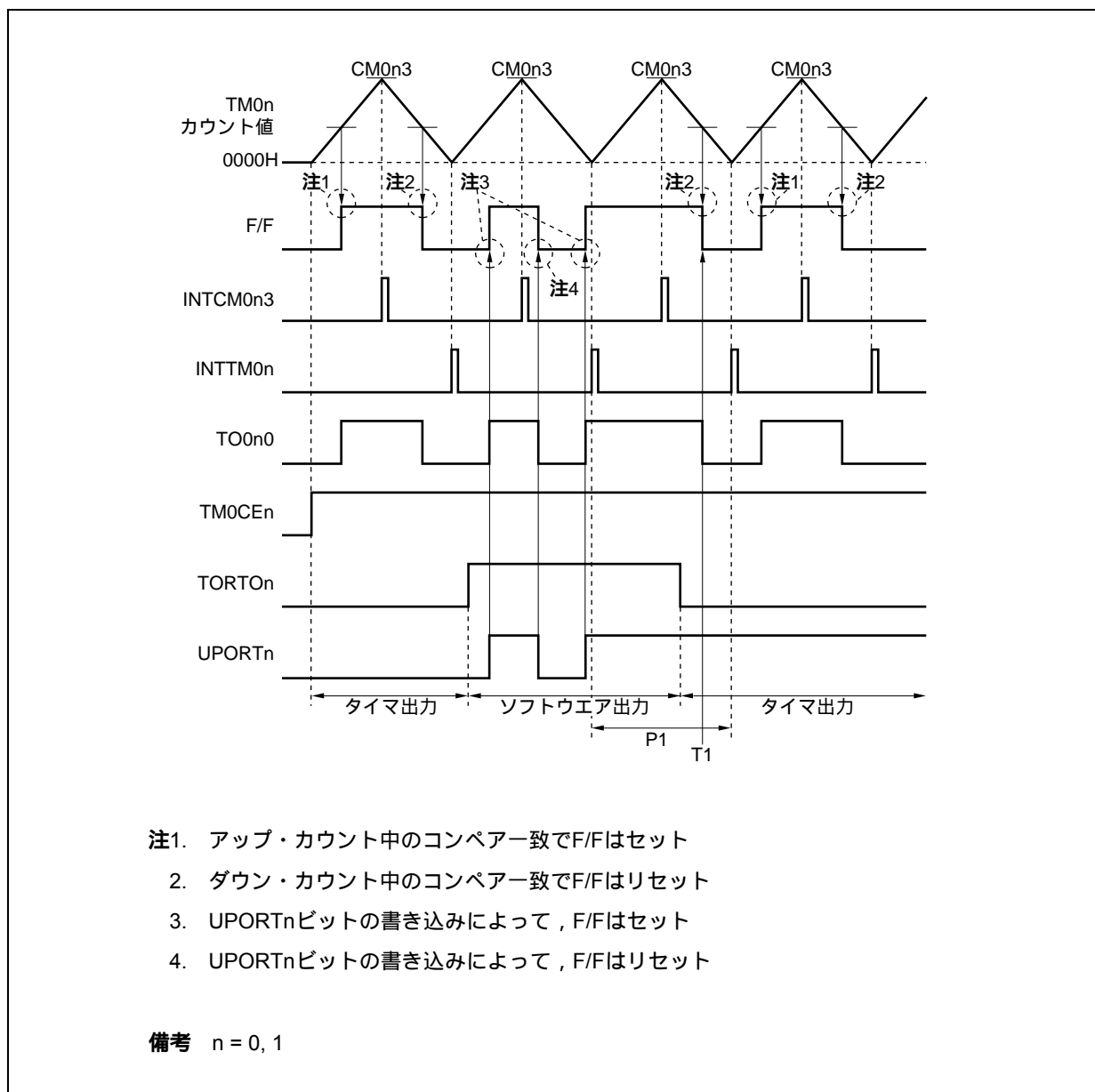


図9 - 9のP1周期中に、UPORTnビット = 1の状態ではTORTOnビットの設定を“1 0”へ変更した場合、F/FはT1タイミングまでTORTOnビットを“1”の状態のまま保存します。

ただし、T1タイミング(TM0nのダウン・カウント中のコンペア一致)でF/Fがリセットされるため、TO0n0出力は“1 0”へ変化します。

図9 - 10 TORTOnビット = 0設定直前時にUPORTnビット = 0の場合（インアクティブ値で切り替え）

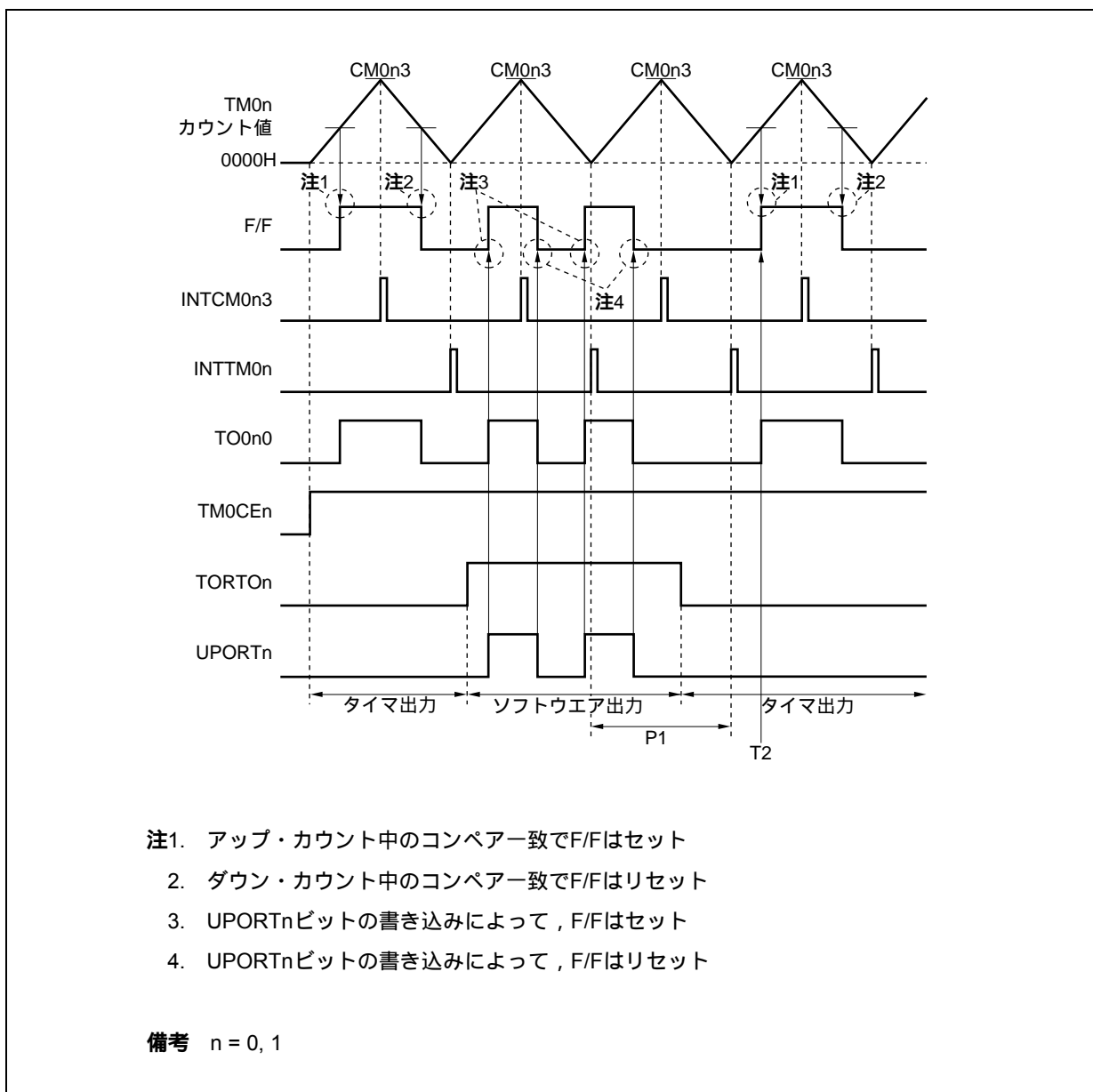
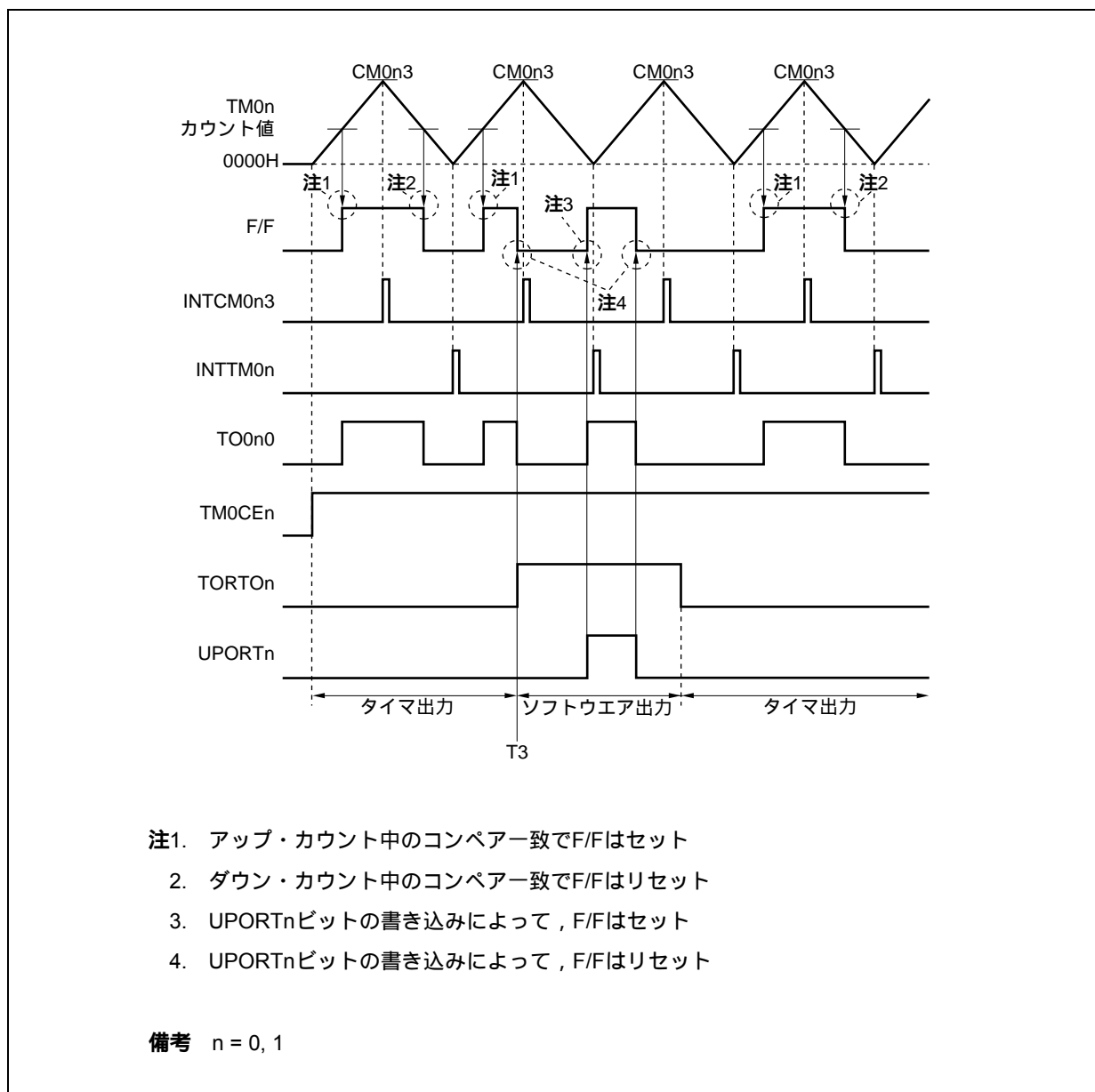


図9 - 10のP1周期中に、UPORTnビット = 0の状態ではTORTOnビットの設定を“1 0”へ変更した場合、F/FはT2タイミングまでTORTOnビットを“0”の状態のまま保存します。

ただし、T2タイミング（TM0nのアップ・カウント中のコンペア一致）でF/Fがセットされるため、TO0n0出力は“1 0”へ変化します。

なお、TM0CEnビット = 0の状態では、TORTOnビットの設定を“1 0”へ変更した場合、TO0n0-TO0n5出力は停止状態となります。

図9 - 11 TORTOnビット = 1設定直前時にUPORTnビット = 0の場合



TM0n動作中 (TM0CEnビット = 1) に、UPORTnビット = 0の状態ではTORTOnビットの設定を“0 1”へ変更した場合、F/FはT3タイミングでリセットされるため、TO0n0出力は“1 0”へ変化します。

次に、TORTOn, UPORTn, VPORTn, WPORTnビットの設定によるソフトウェア出力波形をTO000とTO001を例として示します。



図9 - 12 TO000とTO001のソフトウェア出力波形  
 (デッド・タイムがない (TM0CED0ビット = 1) 場合)

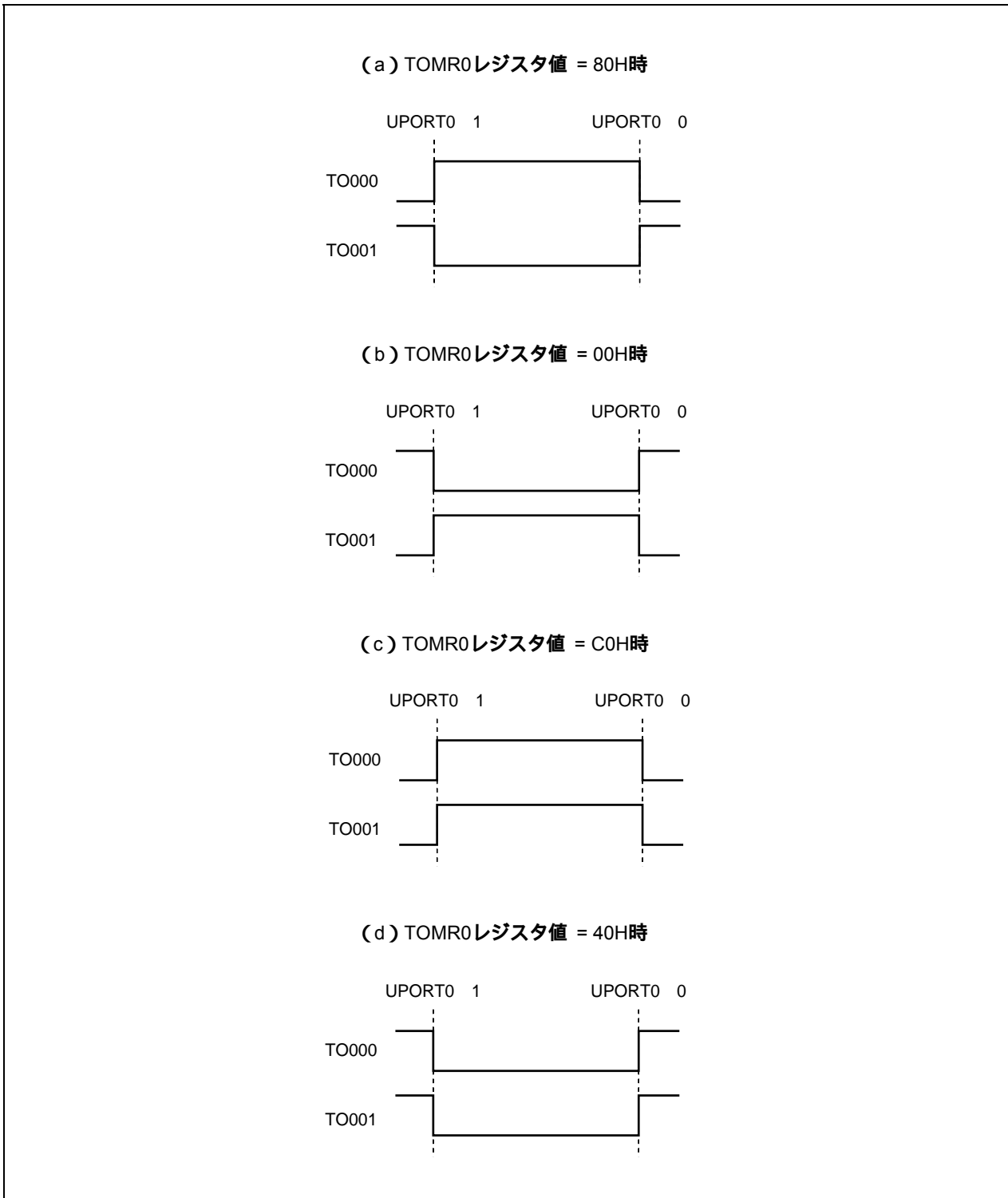


図9 - 13 TO000とTO001のソフトウェア出力波形  
 (デッド・タイムがある (TM0CED0ビット = 0) 場合)

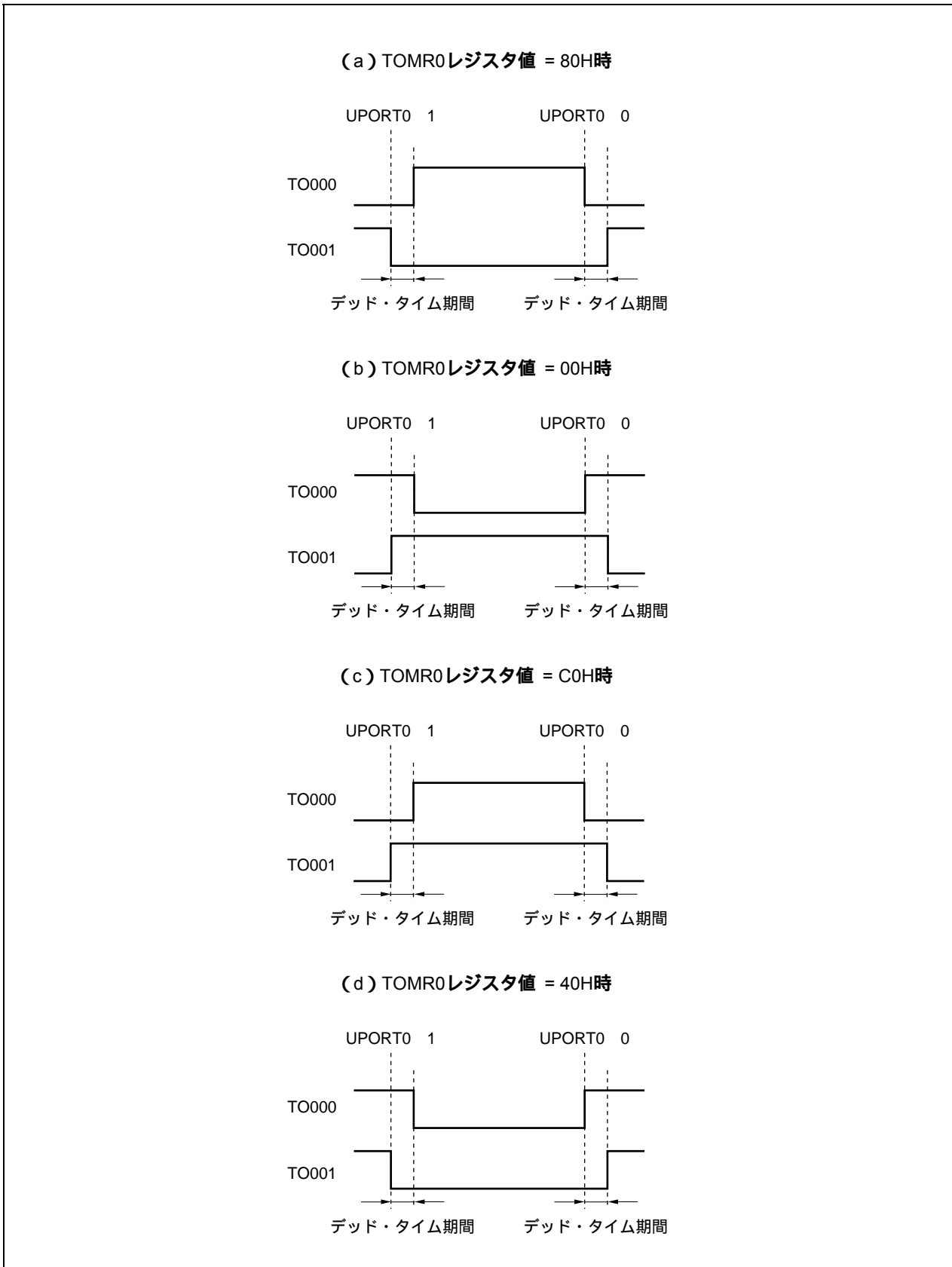
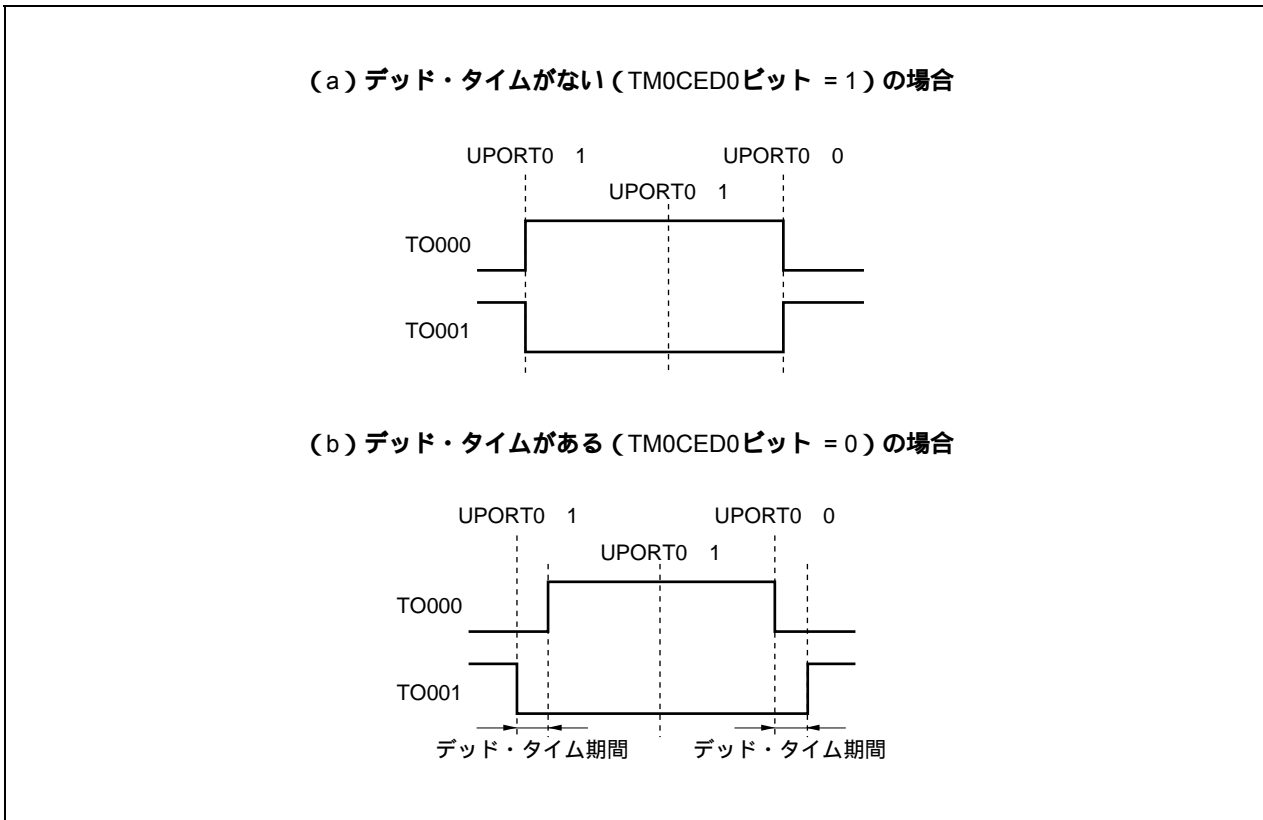


図9 - 14 TORTO0ビット = 1中にUPORT0ビットに1を書き込んだ場合の  
TO000とTO001のソフトウェア出力波形 (TOMR0レジスタ値 = 80Hの場合)



次に外部パルス出力 (TO0n0の場合) の出力状態を示します。

表9 - 2 外部パルス出力 (TO0n0の場合) の出力状態

OE00nビット	TORTOn, UPORTnビット	TM0CEnビット	TO0n0
0	0/1	0/1	ハイ・インピーダンス
1	0	0	ハイ・インピーダンス
		1	タイマ出力
	1	0/1	UPORTnビットにより出力

- 備考1. OE00nビット : POERnレジスタのビット0  
 TORTOnビット : PSTOnレジスタのビット7  
 UPORTnビット : PSTOnレジスタのビット2  
 TM0CEnビット : TMC0nレジスタのビット15

2. n = 0, 1

(7) TOMR書き込み許可レジスタ0, 1 (SPEC0, SPEC1)

SPECnレジスタは、TOMRnレジスタへのライト処理を許可するレジスタです。SPECnレジスタへのライト処理後（ライトするデータは任意のデータで可）、連続するライト処理でTOMRnレジスタへのライトを行わないと、TOMRnレジスタへのライト処理は正常に行われません。なお、常に0000Hをリードします。16ビット単位でリード/ライト可能です。

備考 n = 0, 1

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SPEC0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	FFFFFF580H	0000H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SPEC1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	FFFFFF5C0H	0000H

### 9.1.5 動作

備考1. 9.1.5項の動作の説明では、TO0n0-TO0n5出力に影響する各ビットを次のように設定したものと記述しています。

ALVTO = 1, ALVUB = 0, ALVVB = 0, ALVWB = 0, TORTOn = 0

2. 9.1.5項中のF/Fとは、TO0n0-TO0n5端子の出力制御を行うためのフリップフロップです。

#### (1) 基本動作

タイマ0 (TM0n) は、16ビットのインターバル・タイマで、アップ/ダウン・タイマまたはアップ・タイマとして動作します。周期はコンペア・レジスタ0n3 (CM0n3) によって制御されます (n = 0, 1)。

RESET入力により、TM0nの全ビットはクリア (0) され、カウント動作は停止します。

カウント動作の許可/禁止は、タイマ・コントロール・レジスタ0n (TMC0n) のTM0CEnビットで制御します。TM0CEnビットをソフトウェアによりセット (1) するとカウント動作を開始し、リセット (0) するとTM0nはクリアされカウント動作を停止します。

あらかじめ設定されたコンペア・レジスタ0n3 (CM0n3) の値とTM0nのカウント値が一致すると、一致割り込み (INTCM0n3) を発生します。

TM0nへのカウント・クロックは、TMC0nレジスタにより、6種類の内部クロックから選択できます。TM0nをアップ/ダウン・タイマに設定した場合、ダウン動作でTM0n = 0000Hになったときにアンダフロー割り込み (INTTM0n) が発生します。

TM0nには次に示す3つの動作モードがあり、タイマ・コントロール・レジスタ0n (TMC0n) により設定します。

- ・ PWMモード0：三角波変調 (左右対称三角波制御)
- ・ PWMモード1：三角波変調 (左右非対称三角波制御)
- ・ PWMモード2：のこぎり波変調制御

表9-3 タイマ0 (TM0n) の動作モード

TMC0nレジスタ		動作モード	TM0n動作	タイマ・クリア 要因	割り込み要因	BFCMn3 CM0n3 タイミング	BFCMn0-BFCMn2 CM0n0-CM0n2 タイミング
MOD01	MOD00						
0	0	PWMモード0 (対称三角波)	アップ/ダウン	-	INTTM0n INTCM0n3	INTTM0n	INTTM0n
0	1	PWMモード1 (非対称三角波)	アップ/ダウン	-	INTTM0n INTCM0n3	INTTM0n	INTTM0n INTCM0n3
1	0	PWMモード2 (のこぎり波)	アップ	INTCM0n3	INTCM0n3	INTCM0n3	INTCM0n3
1	1	設定禁止					

注意 TM0n動作中 (TM0CEn = 1) にMOD01, MOD00ビットを変更することは禁止します。

備考 n = 0, 1

次に各動作モードについて説明します。

## (2) PWMモード0：三角波変調（左右対称波形制御）

## 【設定手順】

- (a) TMC0nレジスタのMOD01, MOD00ビットでPWMモード0(対称三角波)に設定します。また, TOMRnレジスタのALVTOビットでTO0n0-TO0n5端子のアクティブ・レベルを設定します (n = 0, 1)。
- (b) TMC0nレジスタのPRM02-PRM00ビットでTM0nのカウント・クロックを設定します。BFTE3ビットでBFCMn3からCM0n3へ, BFTENビットでBFCMn0-BFCMn2からCM0n0-CM0n2への転送動作を設定します。
- (c) 初期値を設定します。
- (i) TMC0nレジスタのCUL02-CUL00ビットで割り込みの間引き率を指定します。
- (ii) BFCMn3にPWM周期の半周期幅を設定します。
- ・PWM周期 =  $BFCMn3 \times 2 \times TM0n$ のカウント・クロック
  - (TM0nのカウント・クロックはTMC0nレジスタで設定します)
- (iii) DTRRnにデッド・タイム幅を設定します。
- ・デッド・タイム幅 =  $(DTRRn + 1) / f_{CLK}$
  - $f_{CLK}$  : 基本クロック
- (iv) BFCMn0-BFCMn2にPWM周期で使うF/Fのセット/リセット・タイミングを設定します。
- (d) TMC0nレジスタのTM0CEDnビットをクリア(0)してデッド・タイム・タイマ動作を許可します。  
なお, デッド・タイムをとりたくない場合はTM0CEDn = 1にしてください。
- (e) TMC0nレジスタのTM0CEnビットをセット(1)するとTM0nがカウント・スタートし, TO0n0-TO0n5端子から6チャンネルPWM信号が出力します。

**注意1.** CM0n3 = 0000H設定は禁止します。

2. TMC0nレジスタのTM0CEnビット = 0のとき, BFCMnx > BFCMn3の設定は, TO0n0-TO0n5端子の出力が設定の反転となるため禁止します(x = 0-2)。また, TMC0nレジスタのTM0CEnビット = 1のとき, CM0nxレジスタ = 0の場合にBFCMnx > BFCMn3の設定も同様に禁止します。

**備考** TMC0nレジスタのTM0CEnビットが次の条件のときの転送動作を示します。

- ・TMC0nレジスタのTM0CEnビット = 0のとき  
BFCMn0-BFCMn2レジスタへライトされた次の基本クロック ( $f_{CLK}$ ) でCM0n0-CM0n2レジスタへ転送されます。
- ・TMC0nレジスタのTM0CEnビット = 1のとき  
INTTM0n発生時にBFCMn0-BFCMn2レジスタの値がCM0n0-CM0n2レジスタに転送されます。このときの転送許可/禁止は, TMC0nレジスタのBFTENビットで制御されます。

## 【動作】

PWMモード0では、TM0nはアップ/ダウン・カウント動作を行い、ダウン・カウント動作中にTM0n = 0000Hになるとアンダフロー割り込み (INTTM0n) を発生し、アップ・カウント動作中にTM0n = CM0n3 になると一致割り込み (INTCM0n3) を発生します (n = 0, 1)。

アップ/ダウン切り替えはTM0nとCM0n3の一致 (INTCM0n3) で、ダウン/アップ切り替えはTM0n が0000H後にTM0nのアンダフローで行われます。

このモードのPWM周期は、(BFCMn3値 × 2 × TM0nのカウント・クロック) です。BFCMn3へのデータ設定は、次のPWM周期幅をBFCMn3に設定します。

INTTM0nにより、ハードウェアで自動的にBFCMn3のデータがCM0n3に転送されます。さらに、INTTM0nで起動するソフトウェア処理で演算を行い、次周期のデータをBFCMn3に設定します。

次にPWMのデューティを制御するCM0n0-CM0n2へのデータ設定について説明します。

CM0n0-CM0n2へのデータ設定は、BFCMn0-BFCMn2から出力するデューティを設定します。

INTTM0nにより、ハードウェアで自動的にBFCMn0-BFCMn2の値がCM0n0-CM0n2に転送されます。さらに、ソフトウェア処理を起動して演算を行い、次周期のF/Fのセット/リセット・タイミングをBFCMn0-BFCMn2に設定します。

以上のようにして、PWM周期、PWMのデューティを設定します。

CM0n0-CM0n2の一致で変化するF/Fのセット/リセット条件は、次のとおりです。

- ・セット : TM0nがアップ・カウント時にCM0n0-CM0n2が一致検出
- ・リセット : TM0nがダウン・カウント時にCM0n0-CM0n2が一致検出

このモードでは、F/Fのセット/リセット・タイミングが同一タイミング (左右対称制御) で行われます。F/Fのセット/リセット・タイミングに同期して、DTRRnの値が対応するデッド・タイム・タイマ (DTMn0-DTMn2) に転送され、ダウン・カウントを開始します。DTMn0-DTMn2は、000Hまでカウントして、000H FFFFHで停止します。

DTMn0-DTMn2は、正相 (TO0n0, TO0n2, TO0n4) と逆相 (TO0n1, TO0n3, TO0n5) のアクティブ・レベルが重ならない幅 (デッド・タイム) を容易に自動生成できます。

このように、初期設定以降は、PWM周期 (1周期) に1回発生する割り込み (INTTM0n) でソフトウェア処理を起動し、次周期で使用するPWM周期およびPWMのデューティを設定することによって、TO0n0-TO0n5端子に自動的にデッド・タイム幅を考慮したPWM波形を出力できます (割り込みの間引き率1/1の場合)。

## 〔設定値に対する出力波形幅〕

- PWM周期 =  $BFCMn3 \times 2 \times T_{TM0n}$
- デッド・タイム幅  $T_{Dnm} = (DTRRn + 1) / f_{CLK}$
- 正相 (TO0n0, TO0n2, TO0n4端子) のアクティブ幅  
= { (CM0n3 - CM0nX<sub>up</sub>) + (CM0n3 - CM0nX<sub>down</sub>) } ×  $T_{TM0n} - T_{Dnm}$
- 逆相 (TO0n1, TO0n3, TO0n5端子) のアクティブ幅  
= (CM0nX<sub>down</sub> + CM0nX<sub>up</sub>) ×  $T_{TM0n} - T_{Dnm}$
- このモードでは、CM0nX<sub>up</sub> = CM0nX<sub>down</sub> (ただし、同一PWM周期内) です。  
逆相演算式のCM0nX<sub>up</sub>とCM0nX<sub>down</sub>は別のPWM周期で作られていますので、CM0nX<sub>up</sub> CM0nX<sub>down</sub>です。

f<sub>CLK</sub> : 基本クロック  
T<sub>TM0n</sub> : TM0nのカウント・クロック  
CM0nX<sub>up</sub> : TM0nがアップ・カウント時のCM0n0-CM0n2の設定値  
CM0nX<sub>down</sub> : TM0nがダウン・カウント時のCM0n0-CM0n2の設定値

TO0n0-TO0n5端子のリセット時の端子レベルは、ハイ・インピーダンス状態です。  
その後コントロール・モードにすると、TM0nをスタートさせるまで次のレベルを出力します。

- TO0n0, TO0n2, TO0n4 ... ロウ・アクティブ時 ハイ・レベル  
ハイ・アクティブ時 ロウ・レベル
- TO0n1, TO0n3, TO0n5 ... ロウ・アクティブ時 ロウ・レベル  
ハイ・アクティブ時 ハイ・レベル

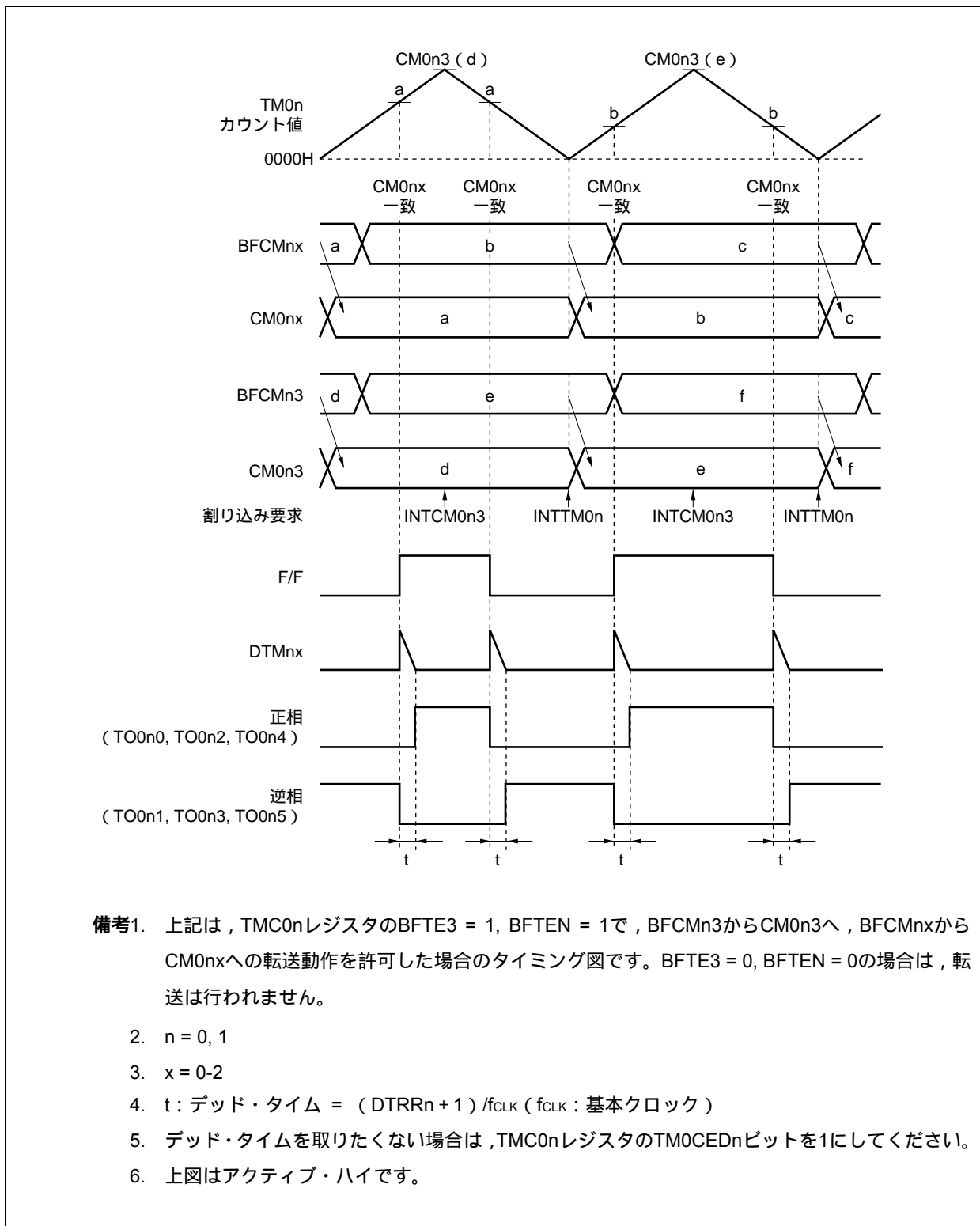
アクティブ・レベルはTOMRnレジスタのALVTOビットで設定します。デフォルトはロウ・アクティブです。

**注意** 正相または逆相のアクティブ幅が上記計算式で“0”または“マイナス”になるような値を設定した場合、TO0n0-TO0n5端子は、アクティブ幅“0”でインアクティブ・レベル固定の波形を出力します。

**備考** m = 0-2  
n = 0, 1

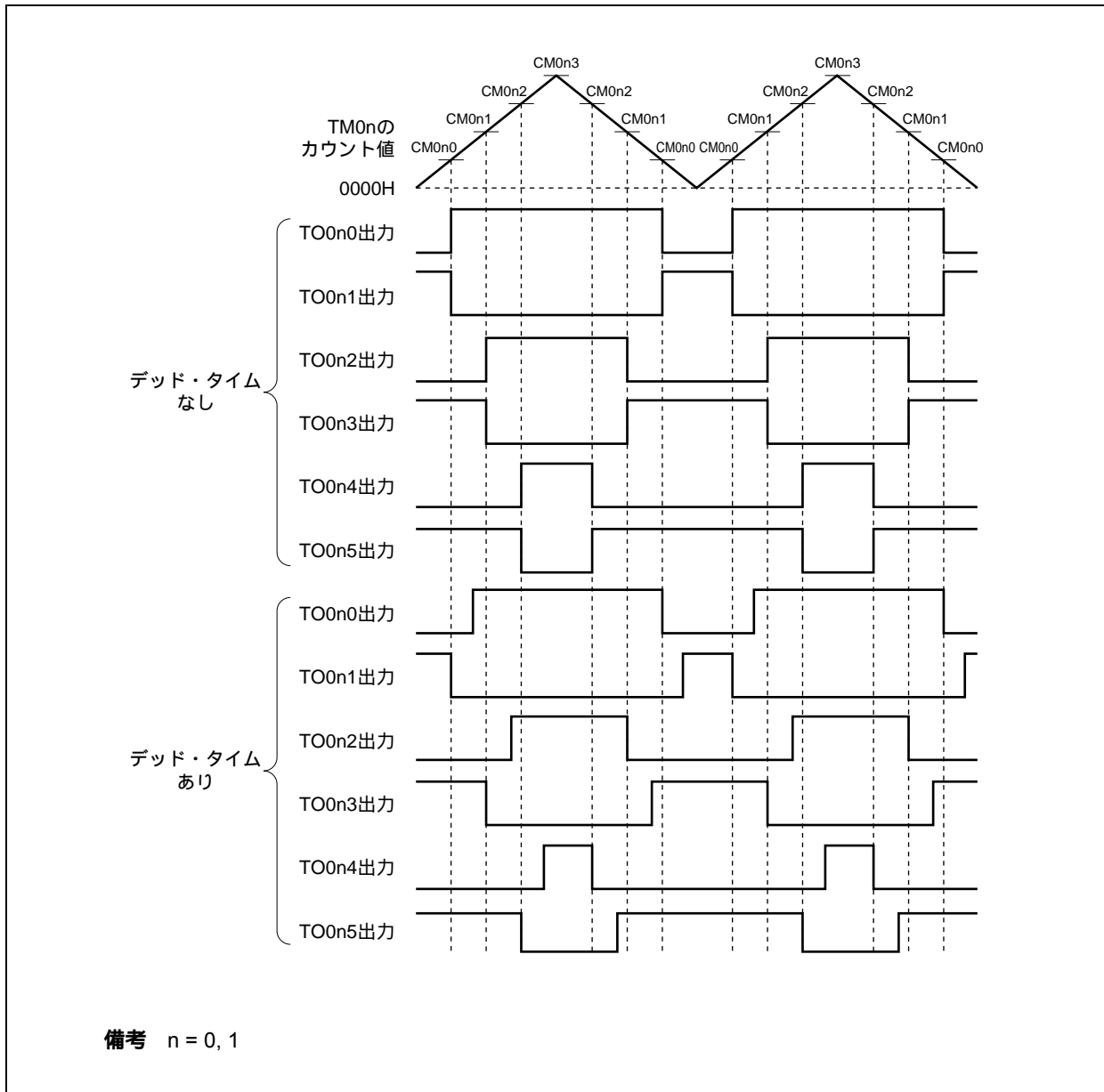


図9 - 15 PWMモード0 (対称三角波) の動作タイミング



全体的な動作イメージを図9 - 16に示します。

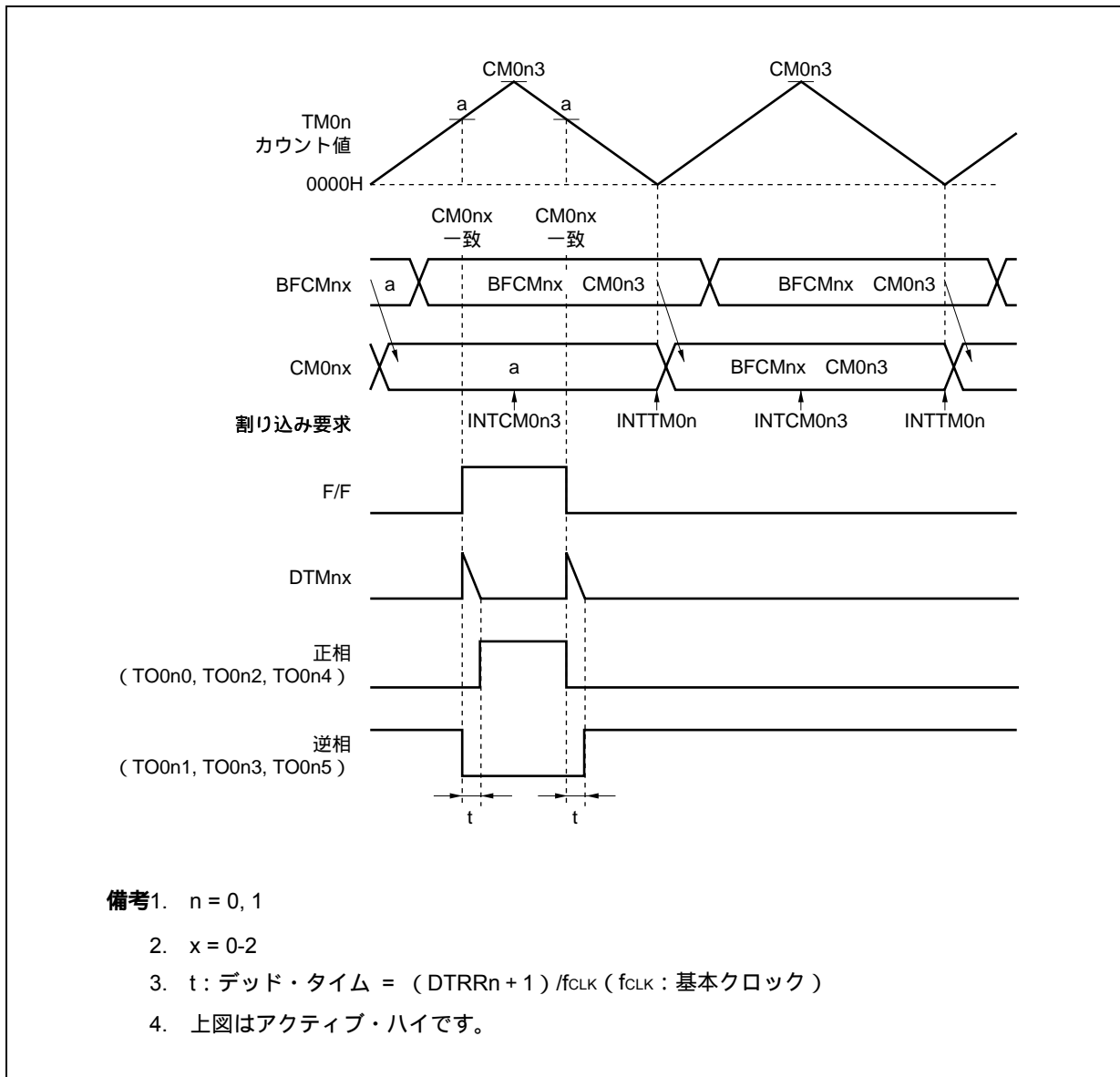
図9 - 16 PWMモード0 (対称三角波) の全体的な動作イメージ



次にCM0n0-CM0n2 (BFCMn0-BFCMn2) の設定値にかかわる動作タイミング例を示します。

(a) CM0nx (BFCMnx) CM0n3を設定した場合

図9 - 17 PWMモード0 (対称三角波, BFCMnx CM0n3) の動作タイミング



備考1. n = 0, 1

2. x = 0-2

3. t: デッド・タイム = (DTRRn + 1) / fCLK (fCLK: 基本クロック)

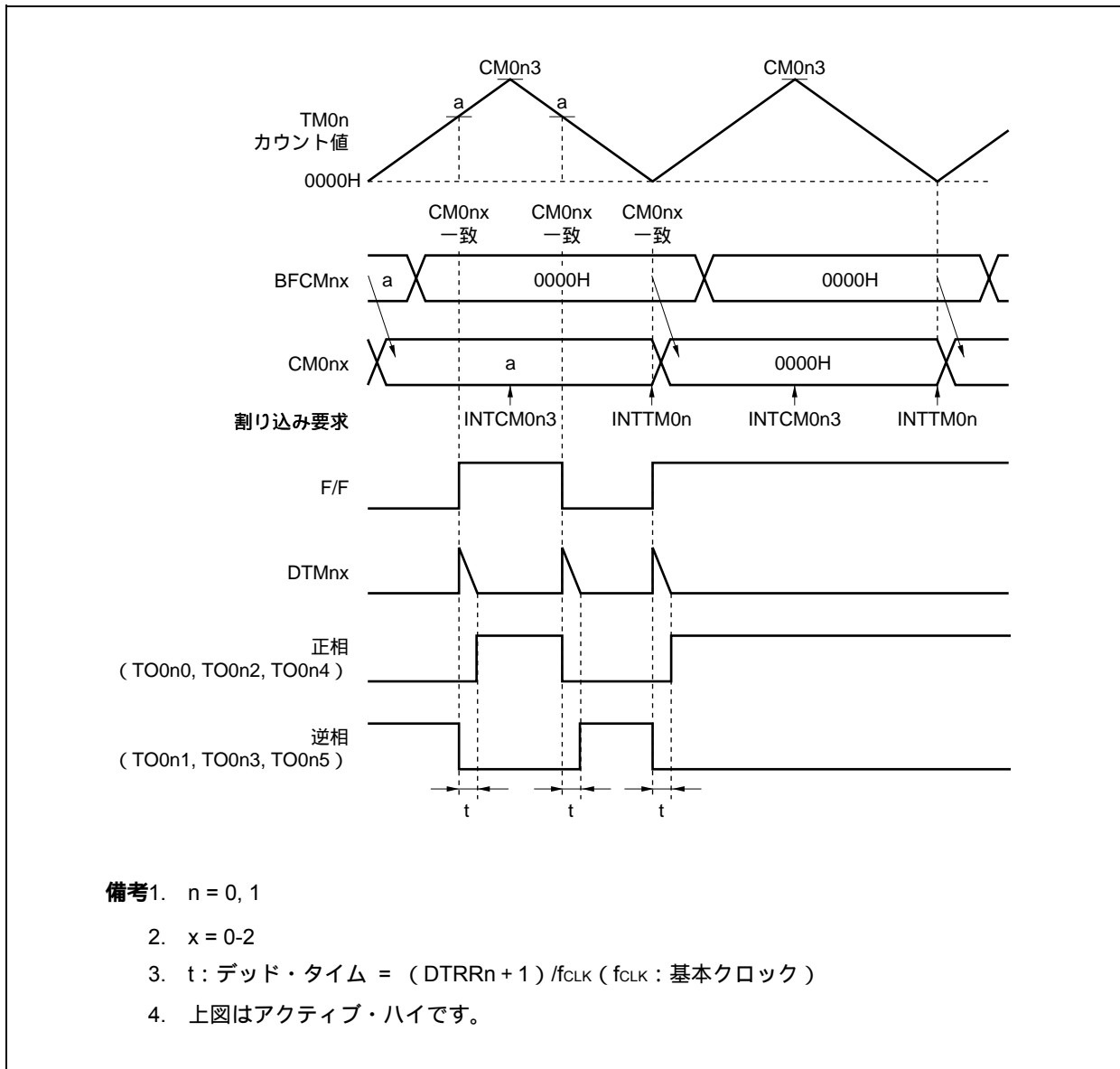
4. 上図はアクティブ・ハイです。

BFCMnxにCM0n3より大きい値を設定した場合、正相側 (TO0n0, TO0n2, TO0n4端子) はロウ・レベルを出力し、逆相側 (TO0n1, TO0n3, TO0n5端子) はハイ・レベルを出力し続けます。インバータ制御などにおいて、PWM周期を越えるロウ・レベル幅、ハイ・レベル幅を出力したい場合にこの設定は有効です。また、CM0nx = CM0n3を設定した場合、TM0nとCM0nxの一致は、TM0nのダウン・カウント時に検出されますので、F/Fはリセットされたままで、セットされることはありません。

以上の説明はアクティブ・ハイの場合です。アクティブ・ロウの場合、正相、逆相のレベルが逆になるだけで、それ以外の動作は同じです。

(b) CM0nx (BFCMnx) = 0000Hを設定した場合

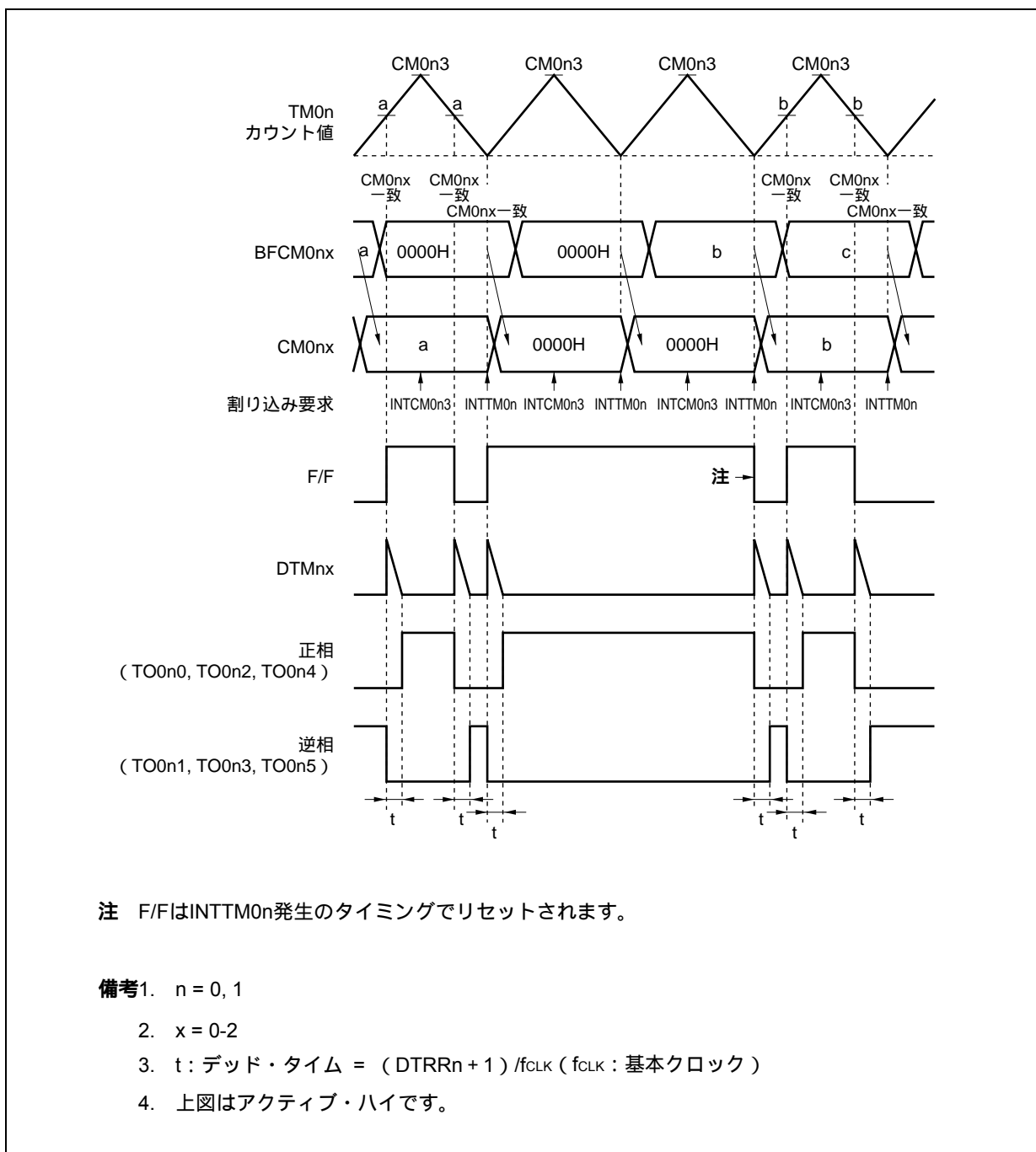
図9 - 18 PWMモード0 (対称三角波, BFCMnx = 0000H) の動作タイミング



TM0n = CM0nx = 0000Hの一致検出は、TM0nのアップ・カウント時に検出されますので、F/Fはセットされるだけで、リセットはされません。設定値が0000Hの場合も0000H以外の値と同様にBFCMnxからCM0nxへ転送された周期でF/Fを変化させます。

また、デューティ100%の状態から変化するタイミングを図9 - 19に示します。

図9 - 19 デューティ100%の状態から変化するタイミング (PWMモード0)



注 F/FはINTTM0n発生のタイミングでリセットされます。

備考1. n = 0, 1

2. x = 0-2

3. t : デッド・タイム = (DTRRn + 1) / f<sub>CLK</sub> ( f<sub>CLK</sub> : 基本クロック )

4. 上図はアクティブ・ハイです。

## (3) PWMモード1：三角波変調（左右非対称波形制御）

## 〔設定手順〕

- (a) TMC0nレジスタのMOD01, MOD00ビットでPWMモード1(非対称三角波)に設定します。また, TOMRnレジスタのALVTOビットでTO0n0-TO0n5端子のアクティブ・レベルを設定します (n = 0, 1)。
- (b) TMC0nレジスタのPRM02-PRM00ビットでTM0nのカウント・クロックを設定します。BFTE3ビットでBFCMn3からCM0n3へ, BFTENビットでBFCMn0-BFCMn2からCM0n0-CM0n2への転送動作を設定します。
- (c) 初期値を設定します。
- (i) TMC0nレジスタのCUL02-CUL00ビットで割り込みの間引き率を指定します。
- (ii) BFCMn3にPWM周期の半周期幅を設定します。
- ・ PWM周期 =  $BFCMn3 \times 2 \times TM0n$ のカウント・クロック
  - (TM0nのカウント・クロックはTMC0nレジスタで設定します)
- (iii) DTRRnにデッド・タイム幅を設定します。
- ・ デッド・タイム幅 =  $(DTRRn + 1) / f_{CLK}$
  - $f_{CLK}$  : 基本クロック
- (vi) BFCMn0-BFCMn2にPWM周期で使うF/Fのセット・タイミングを設定します。
- (d) TMC0nレジスタのTM0CEDnビットをクリア (0) してデッド・タイム・タイマ動作を許可します。なお, デッド・タイムをとりたくない場合はTM0CEDn = 1にしてください。
- (e) TMC0nレジスタのTM0CEnビットをセット (1) するとTM0nがカウント・スタートし, TO0n0-TO0n5端子から6チャンネルPWM信号が出力します。

**注意** CM0n3 = 0000H設定は禁止します。

**備考** TMC0nレジスタのTM0CEnビットが次の条件のときの転送動作を示します。

- ・ TMC0nレジスタのTM0CEnビット = 0のとき  
BFCMn0-BFCMn2レジスタへライトされた次の基本クロック ( $f_{CLK}$ ) でCM0n0-CM0n2へ転送されます。
- ・ TMC0nレジスタのTM0CEnビット = 1のとき  
INTTM0nまたはINTCM0n3発生時にBFCMn0-BFCMn2レジスタの値がCM0n0-CM0n2レジスタに転送されます。このときの転送許可/禁止は, TMC0nレジスタのBFTENビットで制御されます。

## 【動作】

PWMモード1では、TM0nはアップ/ダウン・カウント動作を行い、ダウン・カウント動作中にTM0n = 0000Hになるとアンドフロー割り込み (INTTM0n) を発生し、アップ・カウント動作中にTM0n = CM0n3になると一致割り込み (INTCM0n3) を発生します (n = 0, 1)。

アップ/ダウン切り替えはTM0nとCM0n3の一致 (INTCM0n3) で、ダウン/アップ切り替えはINTTM0nで行われます。

このモードのPWM周期は、(BFCMn3値 × 2 × TM0nのカウント・クロック) です。BFCMn3へのデータ設定は、次のPWM周期幅をBFCMn3に設定します。

INTTM0nにより、ハードウェアで自動的にBFCMn3のデータがCM0n3に転送されます。さらに、INTTM0nで起動するソフトウェア処理で演算を行い、次周期のデータをBFCMn3に設定します。

次にPWMのデューティを制御するCM0n0-CM0n2へのデータ設定について説明します。

CM0n0-CM0n2へのデータ設定は、BFCMn0-BFCMn2から出力するデューティを設定します。

INTTM0nとINTCM0n3 (TM0nとCM0n3の一致割り込み) により、ハードウェアで自動的にBFCMn0-BFCMn2の値がCM0n0-CM0n2に転送されます。さらに、ソフトウェア処理を起動して演算を行い、半周期後のF/Fのセット/リセット・タイミングをBFCMn0-BFCMn2に設定します。

以上のようにして、PWM周期、PWMのデューティを設定します。

CM0n0-CM0n2の一致で変化するF/Fのセット/リセット条件は、次のとおりです。

- ・セット : TM0nがアップ・カウント時にCM0n0-CM0n2が一致検出
- ・リセット : TM0nがダウン・カウント時にCM0n0-CM0n2が一致検出

F/Fのセット/リセット・タイミングに同期して、DTRRnの値が対応するデッド・タイム・タイム (DTMn0-DTMn2) に転送され、ダウン・カウントを開始します。DTMn0-DTMn2は、000Hまでカウントして、000H FFFHで停止します。

DTMn0-DTMn2は、正相 (TO0n0, TO0n2, TO0n4) と逆相 (TO0n1, TO0n3, TO0n5) のアクティブ・レベルが重ならない幅 (デッド・タイム) を容易に自動生成できます。

このように、初期設定以降は、PWM周期 (1周期) に2回発生する割り込み (INTTM0nとINTCM0n3) でソフトウェア処理を起動し、半周期後に使用するPWM周期およびPWMのデューティを設定することによって、TO0n0-TO0n5端子に自動的にデッド・タイム幅を考慮したPWM波形を出力できます (割り込みの間引き率1/1の場合)。

左右対称波形制御とこのモードの制御 (左右非対称波形制御) の相違点は、BFCMn0-BFCMn2をCM0n0-CM0n2へ転送し、さらにソフトウェアを起動するための割り込み信号が、左右対称波形制御の場合、INTTM0n (PWM周期に1回) であるのに対して、このモードの制御では、INTTM0nとINTCM0n3 (PWM周期に2回 = 半周期に1回) である点です。

## [ 設定値に対する出力波形幅 ]

- PWM周期 =  $BFCMn3 \times 2 \times T_{TM0n}$
- デッド・タイム幅  $T_{Dnm} = (DTRRn + 1) / f_{CLK}$
- 正相 (TO0n0, TO0n2, TO0n4端子) のアクティブ幅  
= { (CM0n3 - CM0nX<sub>UP</sub>) + (CM0n3 - CM0nX<sub>down</sub>) } × T<sub>TM0n</sub> - T<sub>Dnm</sub>
- 逆相 (TO0n1, TO0n3, TO0n5端子) のアクティブ幅  
= (CM0nX<sub>down</sub> + CM0nX<sub>up</sub>) × T<sub>TM0n</sub> - T<sub>Dnm</sub>

f<sub>CLK</sub> : 基本クロック

T<sub>TM0n</sub> : TM0nのカウント・クロック

CM0nX<sub>up</sub> : TM0nがアップ・カウント時のCM0n0-CM0n2の設定値

CM0nX<sub>down</sub> : TM0nがダウン・カウント時のCM0n0-CM0n2の設定値

TO0n0-TO0n5端子のリセット時の端子レベルは、ハイ・インピーダンス状態です。

その後コントロール・モードにすると、TM0nをスタートさせるまで次のレベルを出力します。

- TO0n0, TO0n2, TO0n4 ... ロウ・アクティブ時 ハイ・レベル  
ハイ・アクティブ時 ロウ・レベル
- TO0n1, TO0n3, TO0n5 ... ロウ・アクティブ時 ロウ・レベル  
ハイ・アクティブ時 ハイ・レベル

アクティブ・レベルはTOMRnレジスタのALVTOビットで設定します。デフォルトはロウ・アクティブです。

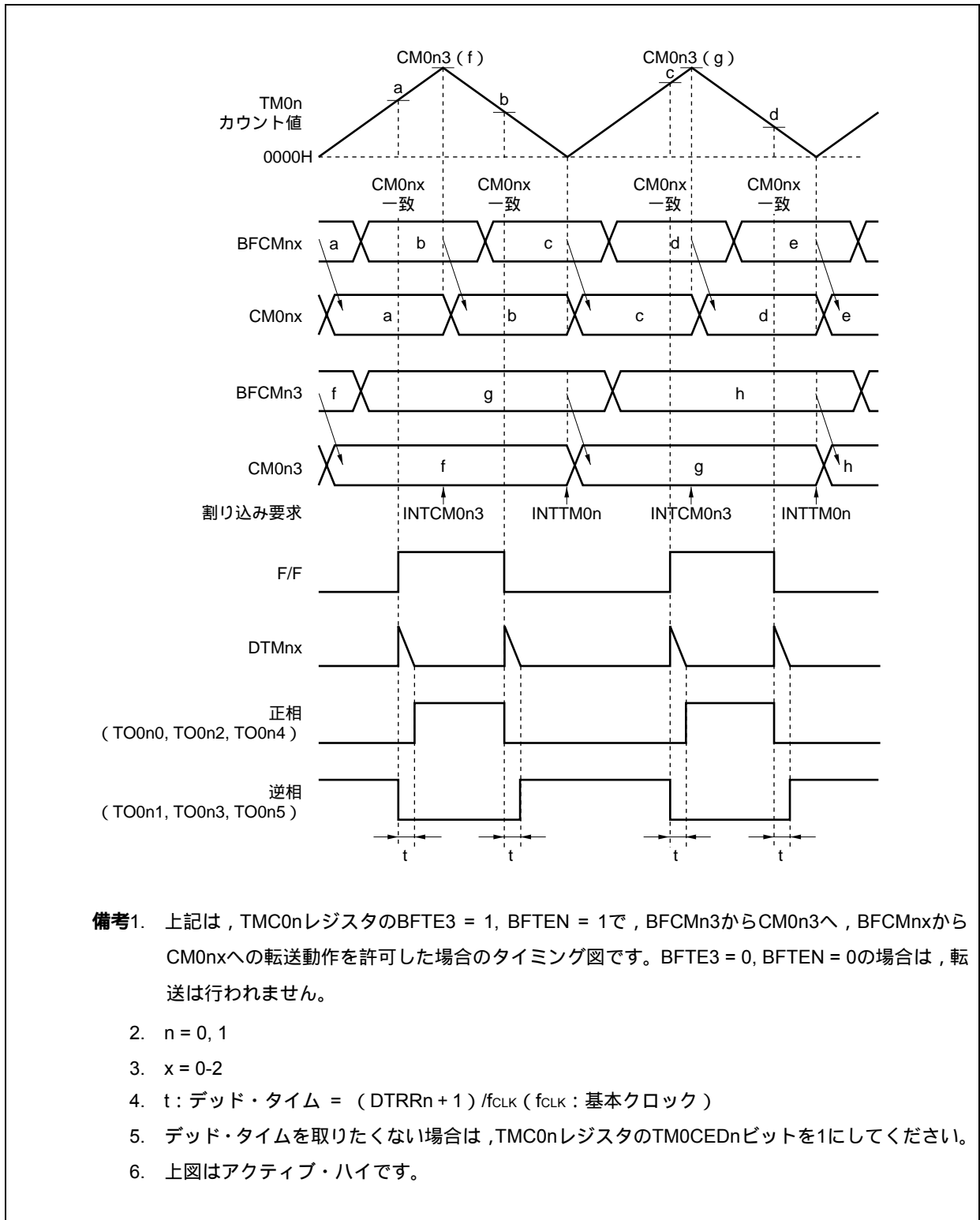
**注意** 正相または逆相のアクティブ幅が上記計算式で“0”または“マイナス”になるような値を設定した場合、TO0n0-TO0n5端子は、アクティブ幅“0”でインアクティブ・レベル固定の波形を出力します。

**備考** m = 0-2

n = 0, 1

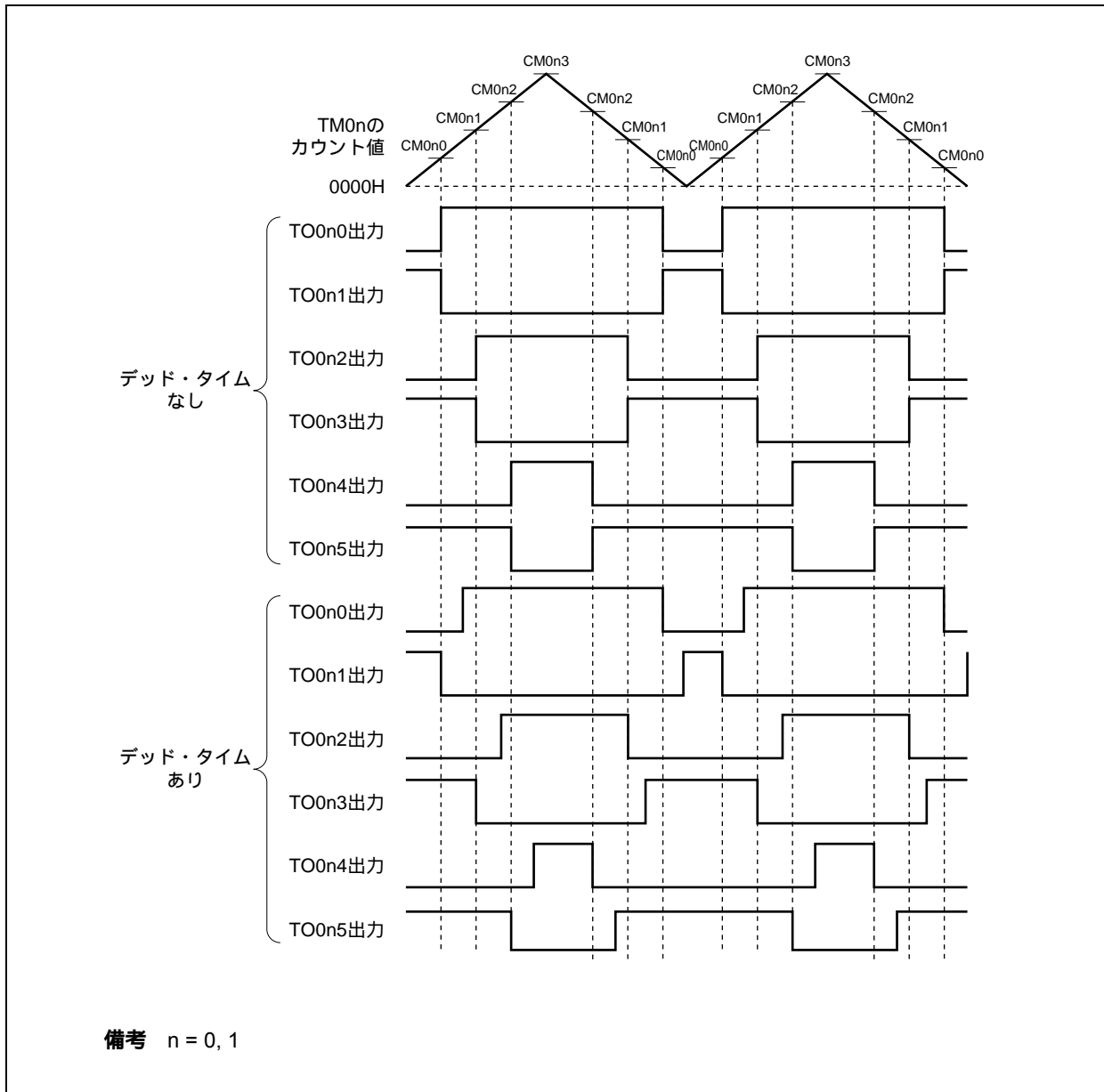


図9 - 20 PWMモード1 (非対称三角波) の動作タイミング



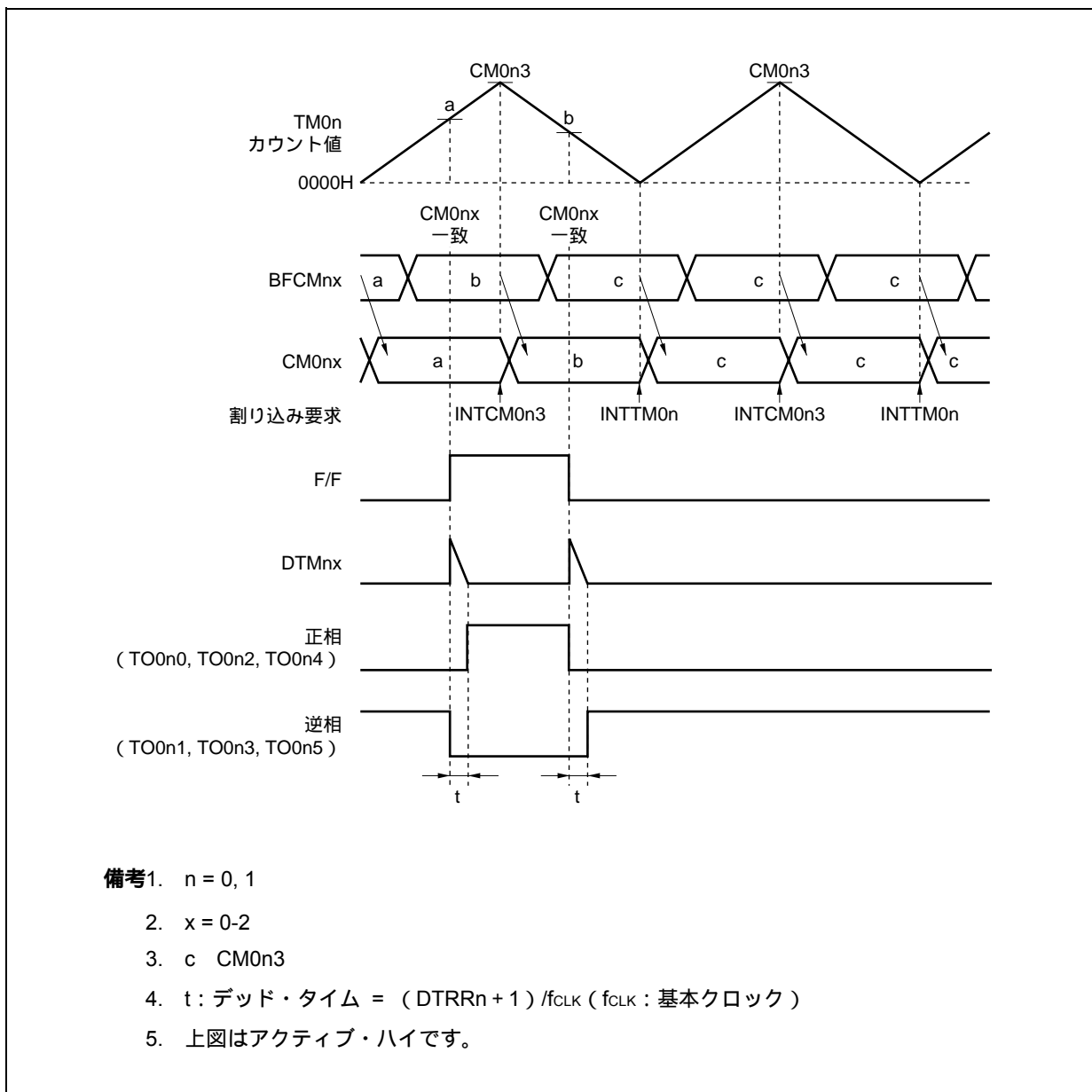
全体的な動作イメージを図9 - 21に示します。

図9 - 21 PWMモード1（非対称三角波）の全体的な動作イメージ



(a) INTCM0n3で起動するソフトウェア処理で、BFCMnx CM0n3を設定した場合

図9 - 22 PWMモード1 (非対称三角波, BFCMnx CM0n3) の動作タイミング

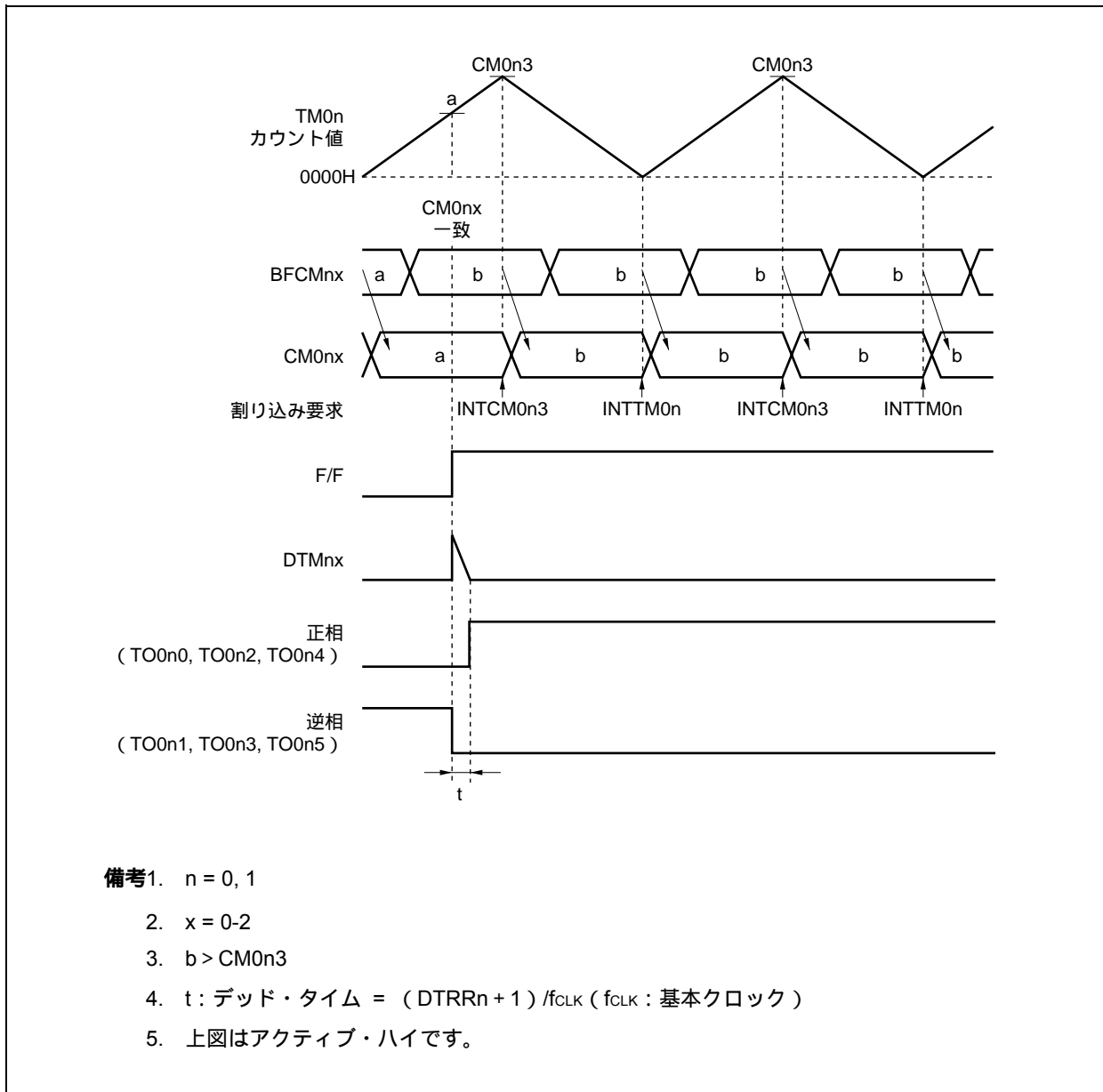


BFCMnxにCM0n3より大きい値を設定した場合、正相側 (TO0n0, TO0n2, TO0n4端子) はロウ・レベルを出力し、逆相側 (TO0n1, TO0n3, TO0n5端子) はハイ・レベルを出力し続けます。インバータ制御などにおいて、PWM周期を越えるロウ・レベル幅、ハイ・レベル幅を出力したい場合にこの設定は有効です。また、CM0nx = CM0n3を設定した場合、TM0nとCM0nxの一致は、TM0nのダウン・カウント時に検出されますので、F/Fはリセットされたままで、セットされることはありません。

以上の説明はアクティブ・ハイの場合です。アクティブ・ロウの場合、正相、逆相のレベルが逆になるだけで、それ以外の動作は同じです。

(b) INTTM0nで起動するソフトウェア処理で、BFCMnx > CM0n3を設定した場合

図9 - 23 PWMモード1 (非対称三角波, BFCMnx > CM0n3) の動作タイミング

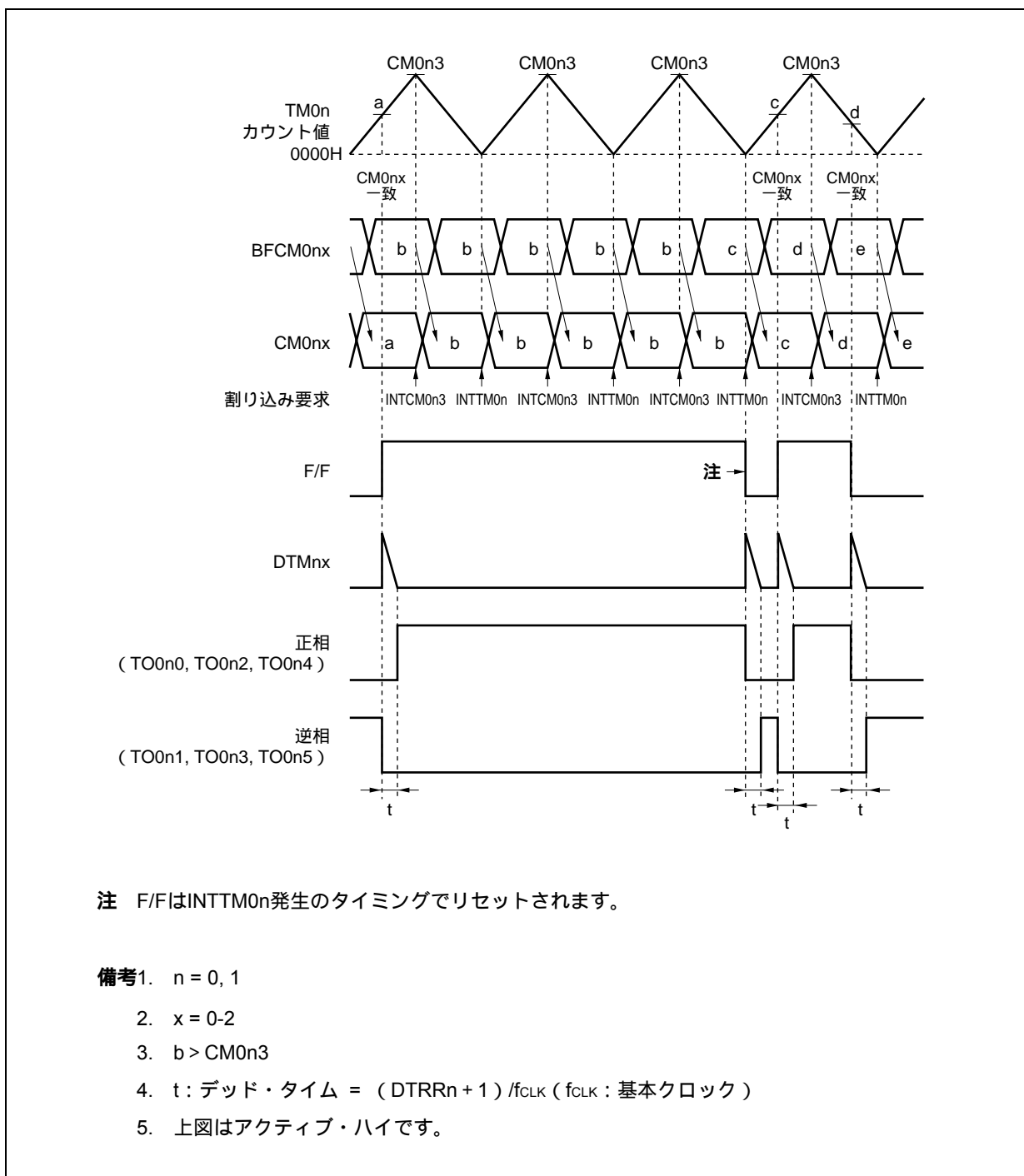


BFCMnxにCM0n3より大きい値を設定した場合、正相側 (TO0n0, TO0n2, TO0n4端子) はハイ・レベルを出力し、逆相側 (TO0n1, TO0n3, TO0n5端子) はロウ・レベルを出力し続けます。インバータ制御などにおいて、PWM周期を越えるロウ・レベル幅、ハイ・レベル幅を出力したい場合にこの設定は有効です。

以上の説明はアクティブ・ハイの場合です。アクティブ・ロウの場合、正相、逆相のレベルが逆になるだけで、それ以外の動作は同じです。

また、デューティ100%の状態から変化するタイミングを図9 - 24に示します。

図9 - 24 デューティ100 %の状態から変化するタイミング (PWMモード1)



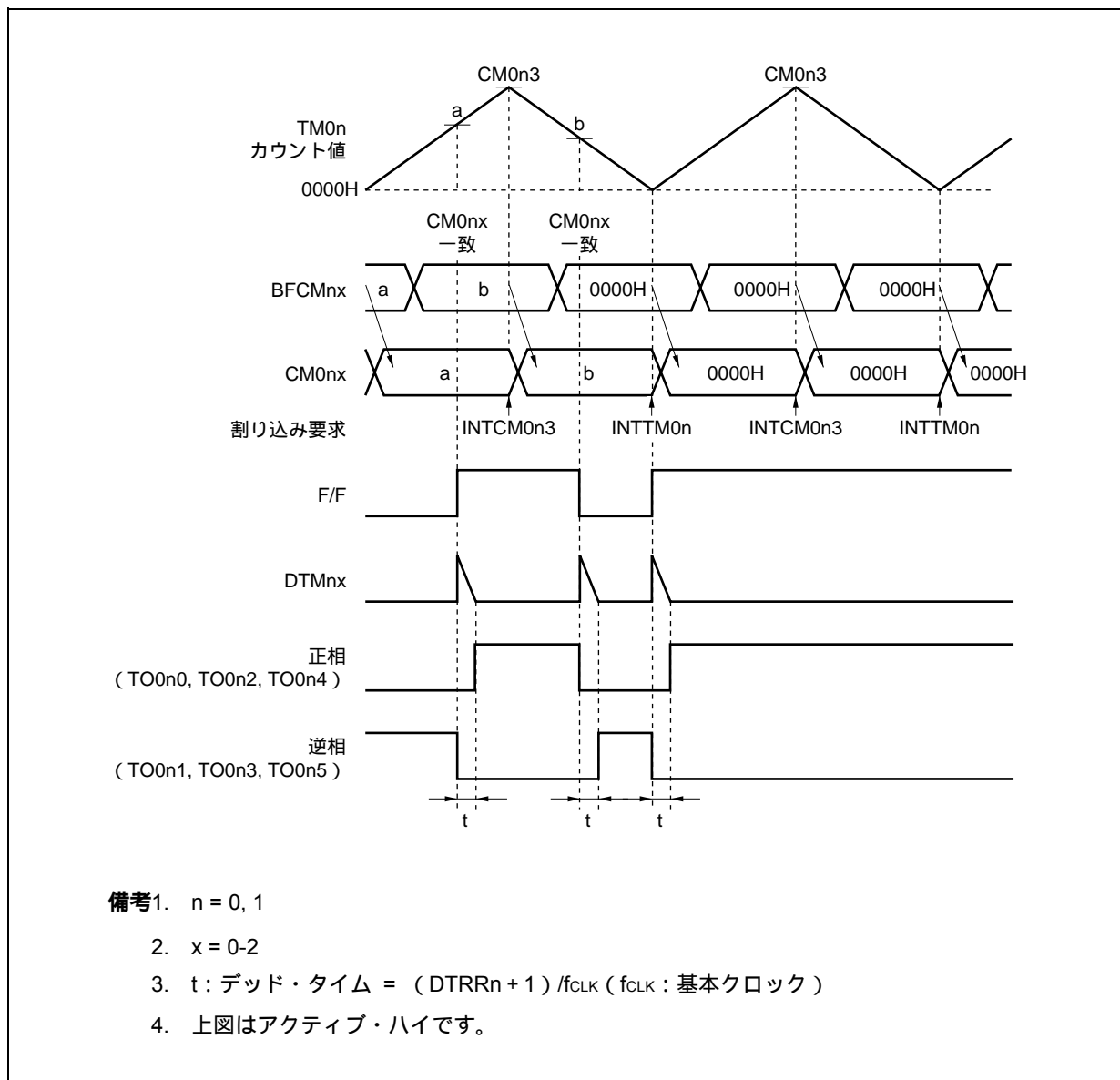
注 F/FはINTTM0n発生タイミングでリセットされます。

備考1. n = 0, 1

2. x = 0-2
3. b > CM0n3
4. t : デッド・タイム = (DTRRn + 1) / f<sub>CLK</sub> ( f<sub>CLK</sub> : 基本クロック )
5. 上図はアクティブ・ハイです。

(c) INTCM0n3で起動するソフトウェア処理で、BFCMnx = 0000Hを設定した場合

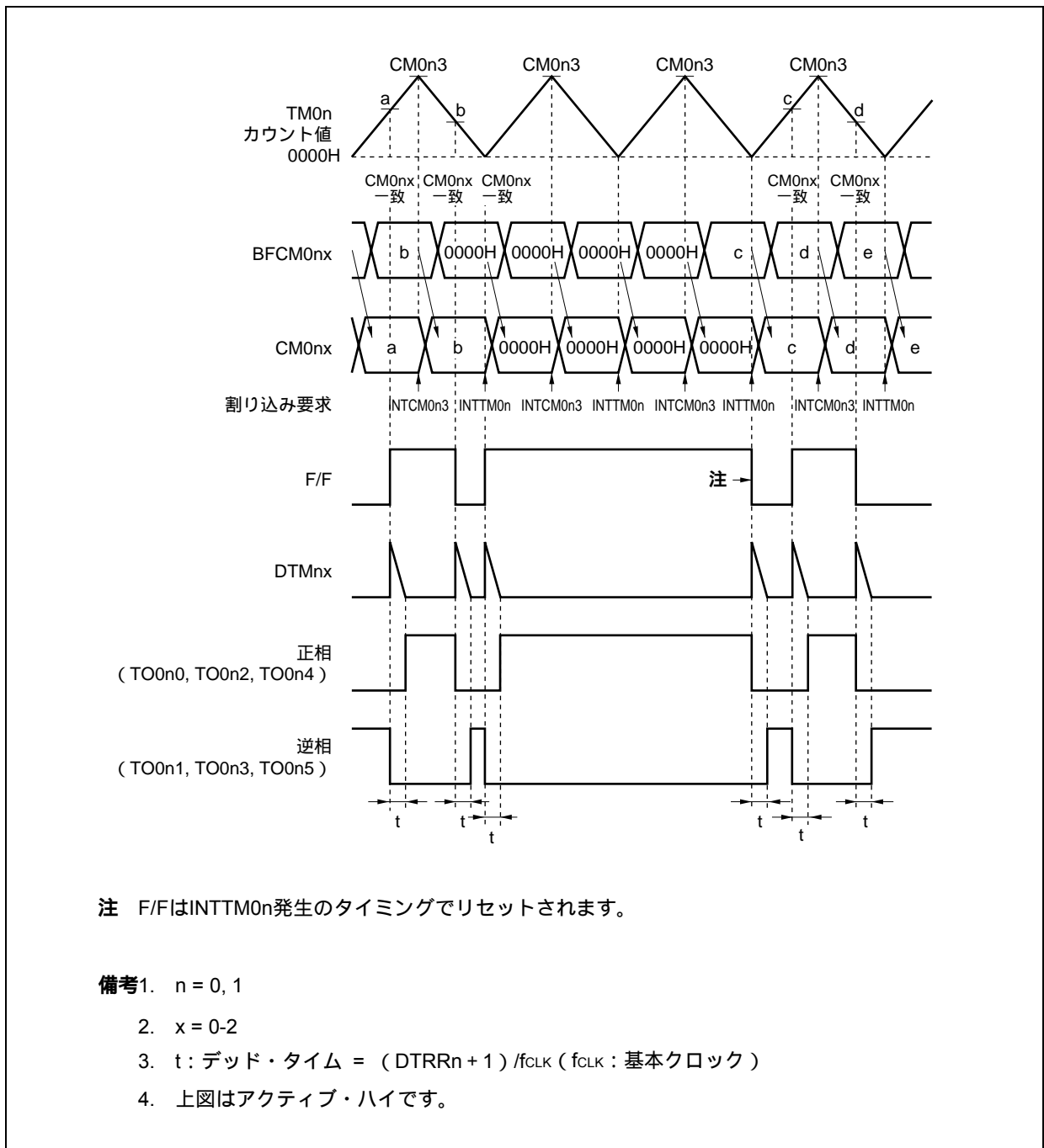
図9 - 25 PWMモード1 (非対称三角波, BFCMnx = 0000H) の動作タイミング (1)



TM0n = CM0nx = 0000Hの一致検出はTM0nのアップ・カウント時に検出されますので、F/Fはセットされるだけで、リセットはされません。また、INTTM0nによりCM0nxに0000Hが転送された周期で一致が検出されF/Fをセットします。

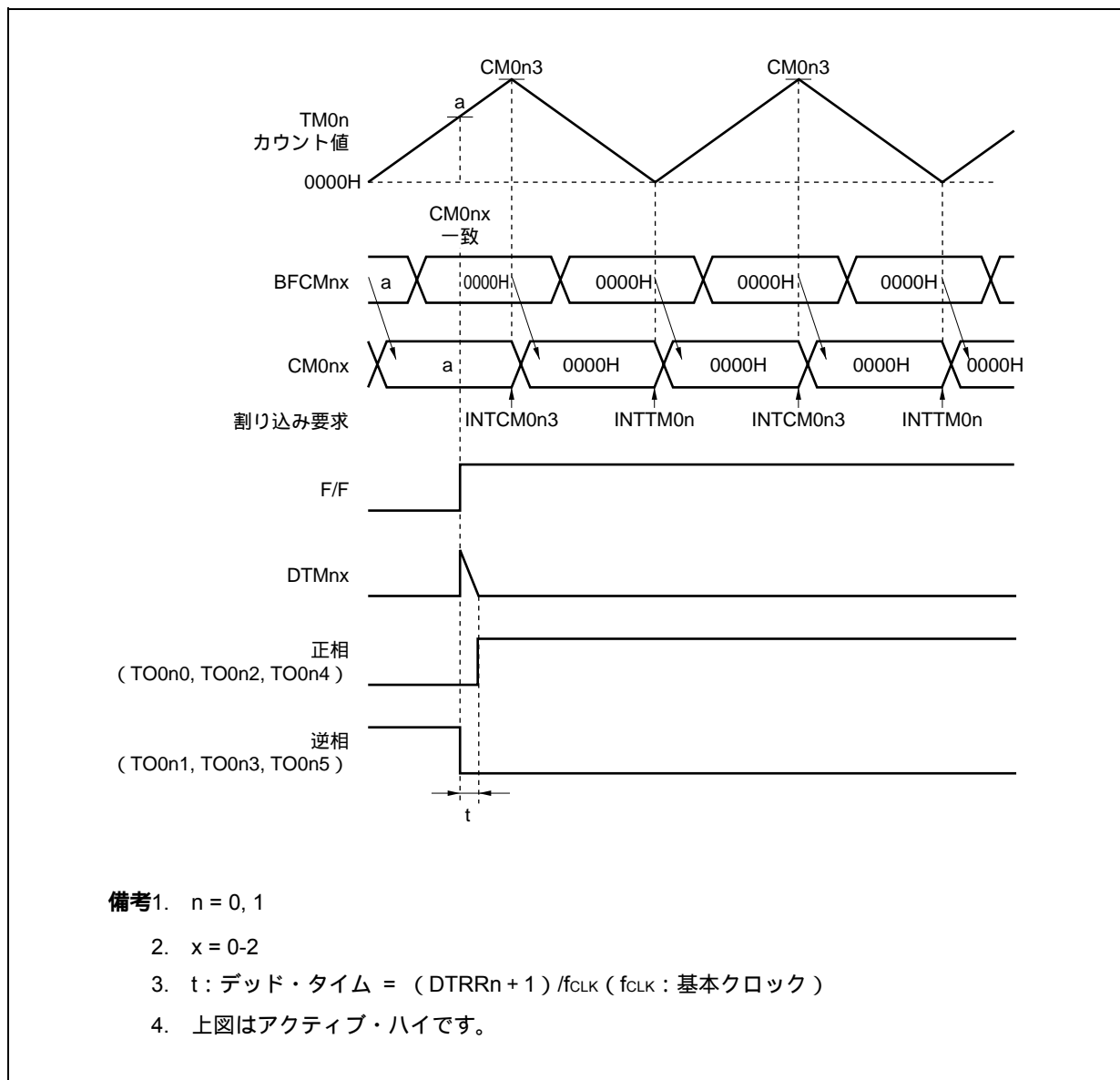
また、デューティ100%の状態から変化するタイミングを図9 - 26に示します。

図9 - 26 デューティ100%の状態から変化するタイミング(1) (PWMモード1)



(d) INTTM0nで起動するソフトウェア処理で、BFCMnx = 0000Hを設定した場合

図9 - 27 PWMモード1 (非対称三角波, BFCMnx = 0000H) の動作タイミング (2)



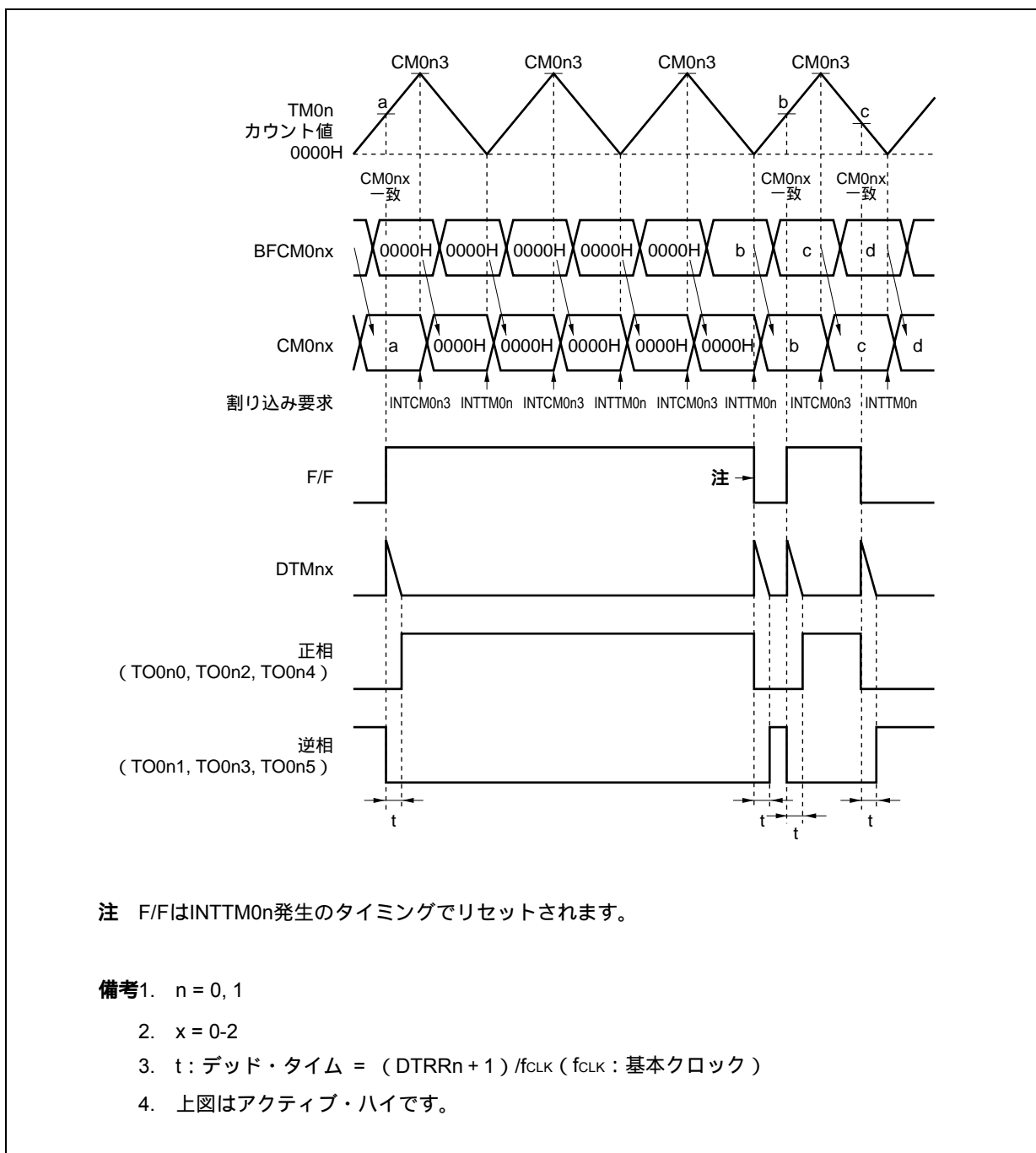
TM0n = CM0nx = 0000Hの一致検出はTM0nのアップ・カウント時に検出されますので、F/Fはセットされるだけで、リセットはされません。そのため、正相側 (TO0n0, TO0n2, TO0n4端子) はハイ・レベルを出力し、逆相側は (TO0n1, TO0n3, TO0n5端子) はロウ・レベルを出力し続けます。

以上の説明はアクティブ・ハイの場合です。アクティブ・ロウの場合、正相、逆相のレベルが逆になるだけで、それ以外の動作は同じです。

また、デューティ100 %の状態から変化するタイミングを図9 - 28に示します。



図9 - 28 デューティ100%の状態から変化するタイミング(2) (PWMモード1)



注 F/FはINTTM0n発生のタイミングでリセットされます。

備考1. n = 0, 1

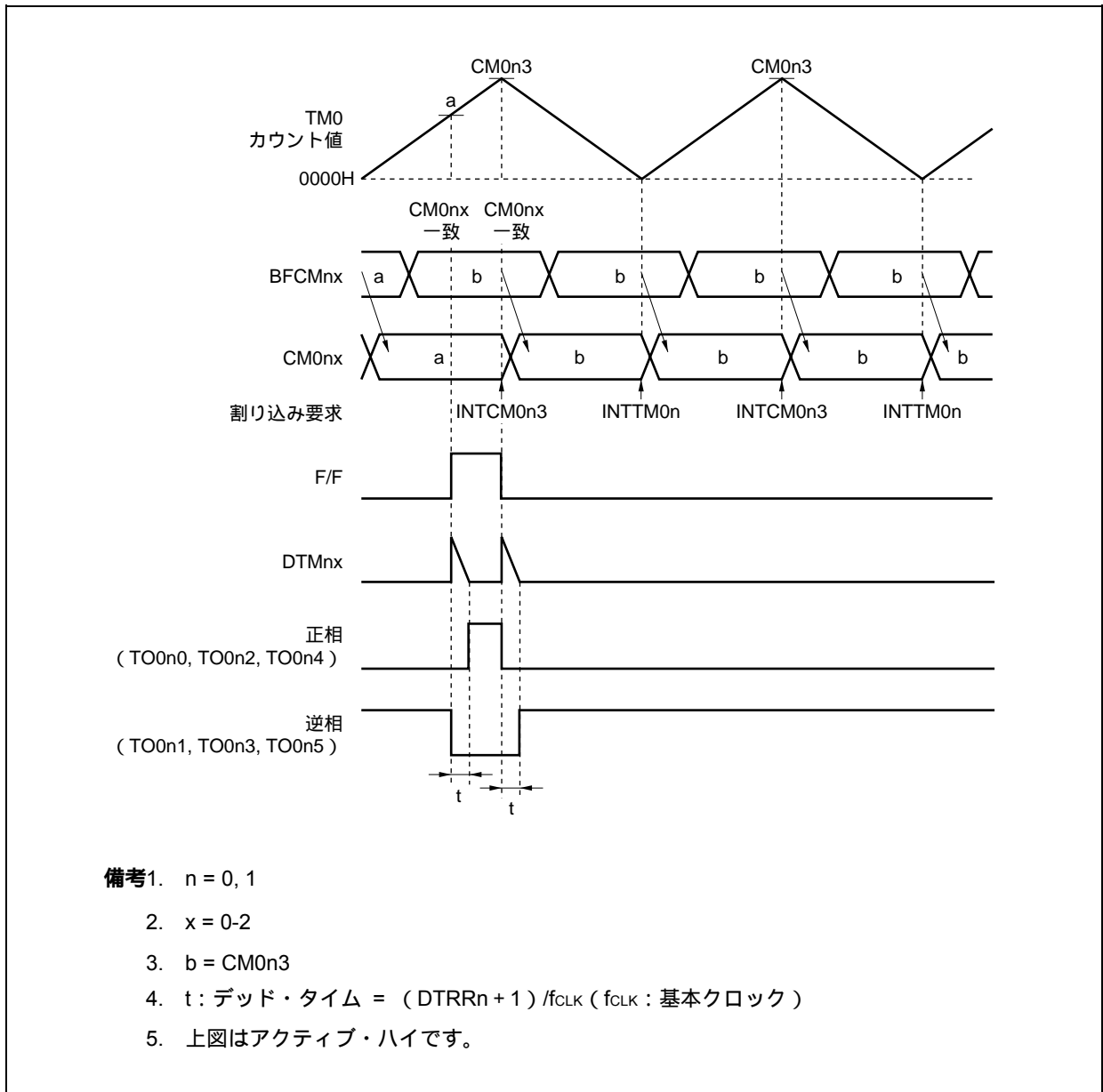
2. x = 0-2

3. t : デッド・タイム = (DTRRn + 1) / f<sub>CLK</sub> (f<sub>CLK</sub> : 基本クロック)

4. 上図はアクティブ・ハイです。

(e) INTTM0nで起動するソフトウェア処理で、BFCMnx = CM0n3を設定した場合

図9 - 29 PWMモード1 (非対称三角波, BFCMnx = CM0n3) の動作タイミング



BFCMnx = CM0n3を設定した場合、TM0nとCM0nxの一致は、TM0nのダウン・カウント時に検出されますので、F/Fはリセットされたままで、セットされることはありません。そのため、正相側( TO0n0, TO0n2, TO0n4端子)はロウ・レベルを出力し、逆相側( TO0n1, TO0n3, TO0n5端子)はハイ・レベルを出力し続けます。また、CM0nx = CM0n3でTM0nと一致するタイミングは、INTTCM0n3でBFCMnxからCM0nxへ転送される周期で行われます。

以上の説明はアクティブ・ハイの場合です。アクティブ・ロウの場合、正相、逆相のレベルが逆になるだけで、それ以外の動作は同じです。

## (4) PWMモード2：のこぎり波変調

## 【設定手順】

- (a) TMC0nレジスタのMOD01, MOD00ビットでPWMモード2(のこぎり波)に設定します。また, TOMRnレジスタのALVTOビットでTO0n0-TO0n5端子のアクティブ・レベルを設定します。
- (b) TMC0nレジスタのPRM02-PRM00ビットでTM0nのカウント・クロックを設定します。BFTE3ビットでBFCMn3からCM0n3へ, BFTENビットでBFCMn0-BFCMn2からCM0n0-CM0n2への転送動作を設定します。
- (c) 初期値を設定します。
- (i) TMC0nレジスタのCUL02-CUL00ビットで割り込みの間引き率を指定します。
- (ii) BFCMn3にPWM周期の周期幅を設定します。
- ・PWM周期 = ( BFCMn3値 + 1 ) × TM0nのカウント・クロック  
( TM0nのカウント・クロックはTMC0nレジスタで設定します )
- (iii) DTRRnにデッド・タイム幅を設定します。
- ・デッド・タイム幅 = ( DTRRn + 1 ) / f<sub>CLK</sub>  
f<sub>CLK</sub> : 基本クロック
- (iv) BFCM0n0-BFCM0n2にPWM周期で使うF/Fのセット/リセット・タイミングを設定します。
- (d) TMC0nレジスタのTM0CEDnビットをクリア(0)してデッド・タイム・タイマ動作を許可します。  
なお, デッド・タイムをとりたくない場合はTM0CEDn = 1にしてください。
- (e) TMC0nレジスタのTM0CEnビットをセット(1)するとTM0nがカウント・スタートし, TO0n0-TO0n5端子から6チャンネルPWM信号を出力します。

**注意** CM0n3 = 0000H設定は禁止します。

## 【動作】

PWMモード2では、TM0nはアップ・カウント動作を行い、CM0n3と一致すると、一致割り込みINTCM0n3を発生するとともにTM0nをクリアします（ $n = 0, 1$ ）。

このモードのPWM周期は、“（BFCMn3値 + 1）× TM0nのカウント・クロック”です。CM0n3へのデータ設定は、次のPWM周期幅をBFCMn3に設定します。

INTCM0n3により、ハードウェアで自動的にBFCMn3のデータがCM0n3に転送されます。さらに、INTCM0n3で起動するソフトウェア処理で演算を行い、次周期のデータをBFCMn3に設定します。

次にPWMのデューティを制御するCM0n0-CM0n2へのデータ設定について説明します。

CM0n0-CM0n2へのデータ設定は、BFCMn0-BFCMn2から出力するデューティを設定します。

INTCM0n3により、ハードウェアで自動的にBFCMn0-BFCMn2の値がCM0n0-CM0n2に転送されます。さらに、ソフトウェア処理を起動して演算を行い、次周期のF/Fのリセット・タイミングをBFCMn0-BFCMn2に設定します。

以上のようにして、PWM周期、PWMのデューティを設定します。

CM0n0-CM0n2の一致で変化するF/Fのセット/リセット条件は、次のとおりです。

- ・セット : TM0nとCM0n3の一致検出とTMC0nレジスタのTM0CEnビットの立ち上がり
- ・リセット : TM0nとCM0n0-CM0n2の一致検出

F/Fのセット/リセット・タイミングに同期して、DTRRnの値が対応するデッド・タイム・タイム（DTMn0-DTMn2）に転送され、ダウン・カウントを開始します。DTMn0-DTMn2は、000Hまでカウントして、000H FFFHで停止します。

DTMn0-DTMn2は、正相（TO0n0, TO0n2, TO0n4）と逆相（TO0n1, TO0n3, TO0n5）のアクティブ・レベルが重ならない幅（デッド・タイム）を容易に自動生成できます。

このように、初期設定以降は、PWM周期（1周期）に1回発生する割り込み（INTCM0n3）でソフトウェア処理を起動し、次周期で使用するPWM周期およびPWMのデューティを設定することによって、TO0n0-TO0n5端子に自動的にデッド・タイム幅を考慮したPWM波形を出力できます（割り込みの間引き率1/1の場合）。

**[ 設定値に対する出力波形幅 ]**

- PWM周期 =  $(BFCMn3 + 1) \times T_{TM0n}$
- デッド・タイム幅  $T_{Dnm} = (DTRRn + 1) / f_{CLK}$
- 正相 (TO0n0, TO0n2, TO0n4端子) のアクティブ幅  
=  $(CM0nX + 1) \times T_{TM0n} - T_{Dnm}$
- 逆相 (TO0n1, TO0n3, TO0n5端子) のアクティブ幅  
=  $(CM0n3 - CM0nX) \times T_{TM0n} - T_{Dnm}$

$f_{CLK}$  : 基本クロック

$T_{TM0n}$  : TM0nのカウント・クロック

CM0nX : CM0n0-CM0n2の設定値

TO0n0-TO0n5端子のリセット時の端子レベルは、ハイ・インピーダンス状態です。

その後コントロール・モードにすると、TM0nをスタートさせるまで次のレベルを出力します。

- TO0n0, TO0n2, TO0n4 ... ロウ・アクティブ時 ハイ・レベル  
ハイ・アクティブ時 ロウ・レベル
- TO0n1, TO0n3, TO0n5 ... ロウ・アクティブ時 ロウ・レベル  
ハイ・アクティブ時 ハイ・レベル

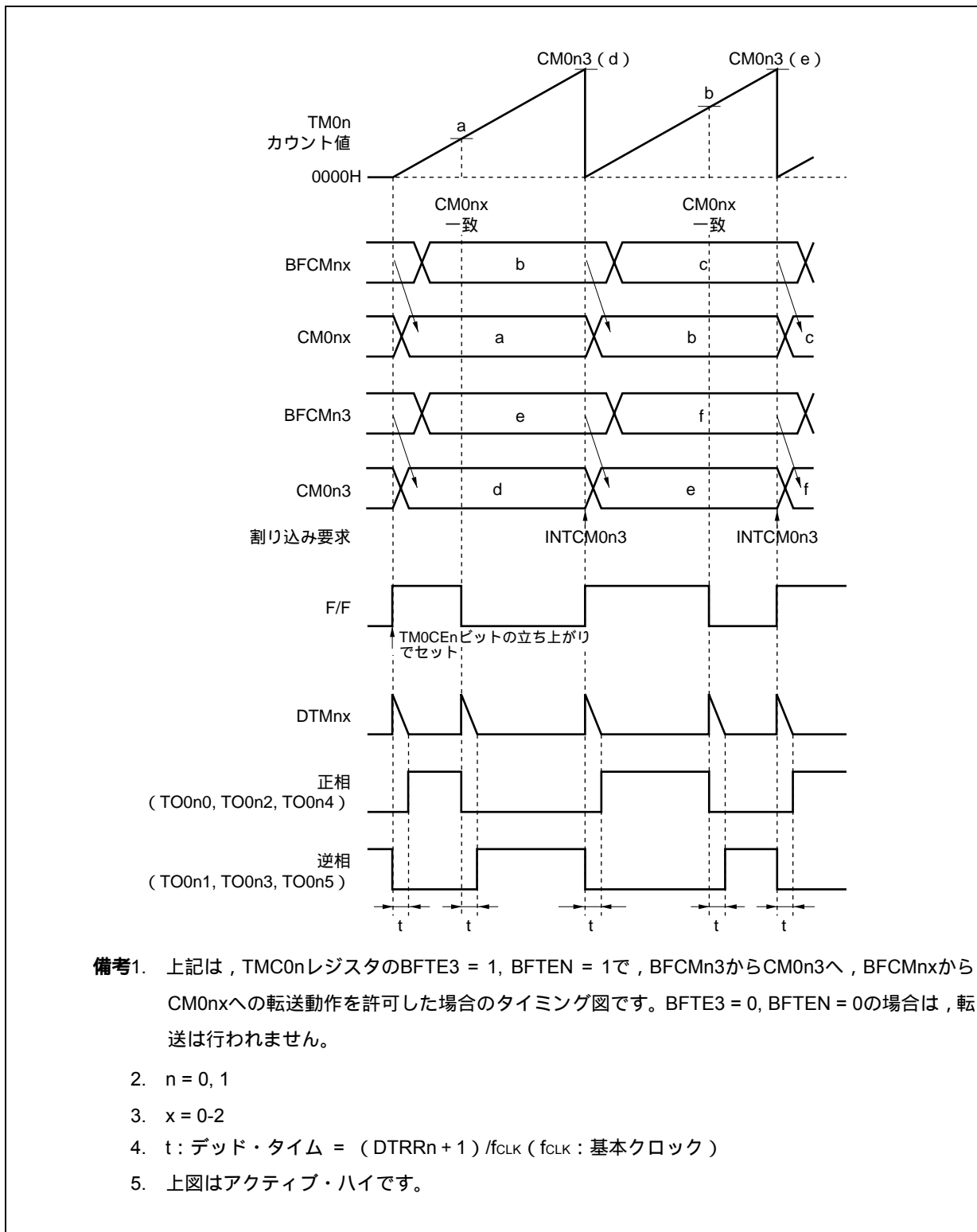
アクティブ・レベルはTOMRnレジスタのALVTOビットで設定します。デフォルトはロウ・アクティブです。

**注意** 正相または逆相のアクティブ幅が上記計算式で“0”または“マイナス”になるような値を設定した場合、TO0n0-TO0n5端子は、アクティブ幅“0”でインアクティブ・レベル固定の波形を出力します。

**備考** m = 0-2

n = 0, 1

図9 - 30 PWMモード2 (のこぎり波) の動作タイミング

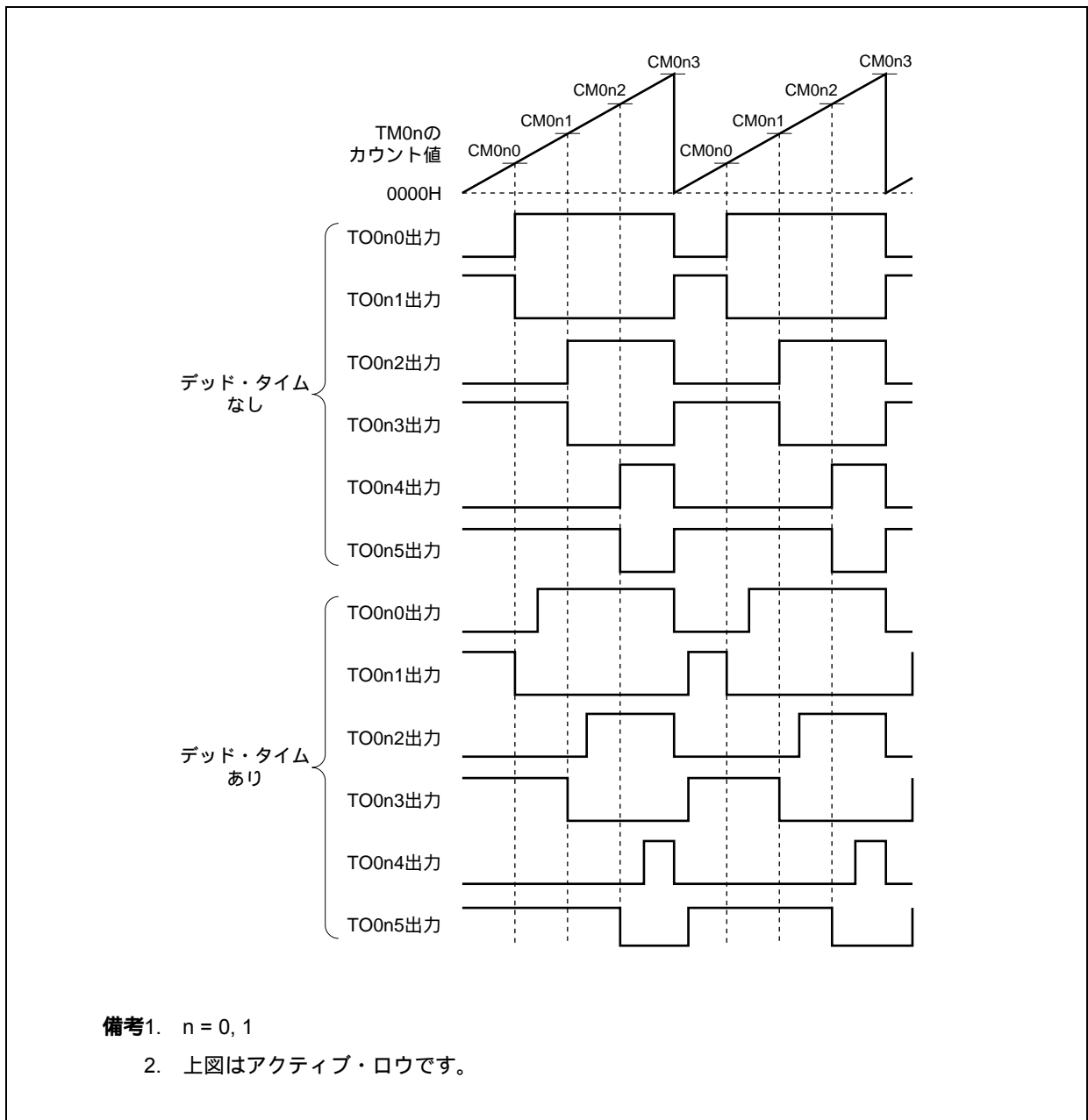


備考1. 上記は、TMC0nレジスタのBFTE3 = 1, BFTEN = 1で、BFCMn3からCM0n3へ、BFCMnxからCM0nxへの転送動作を許可した場合のタイミング図です。BFTE3 = 0, BFTEN = 0の場合は、転送は行われません。

2. n = 0, 1
3. x = 0-2
4. t : デッド・タイム = (DTRRn + 1) / f<sub>CLK</sub> ( f<sub>CLK</sub> : 基本クロック )
5. 上図はアクティブ・ハイです。

全体的な動作イメージを図9 - 31に示します。

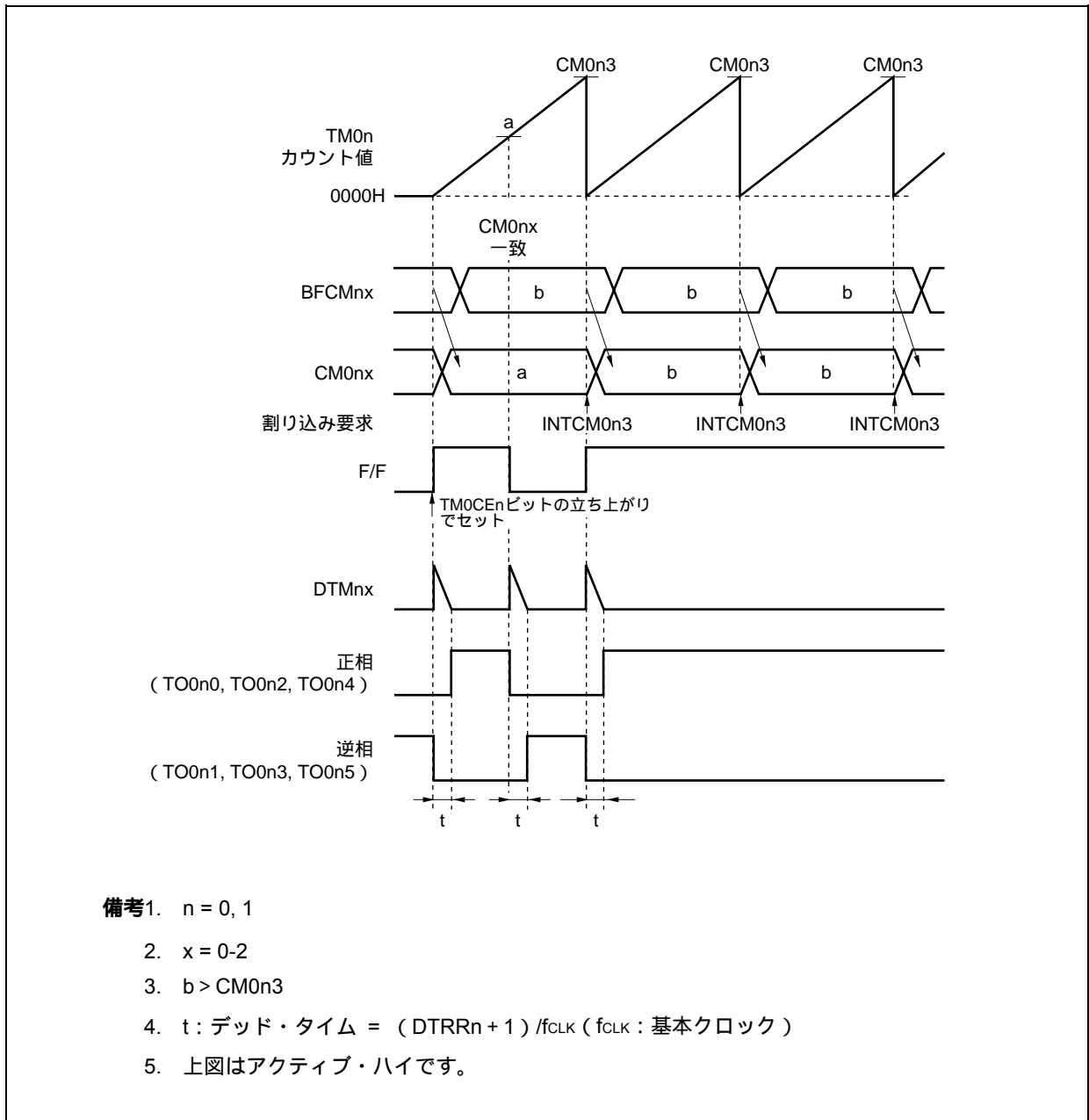
図9 - 31 PWMモード2 (のこぎり波) の全体的な動作イメージ



第1周期目は, TMC0nレジスタのTM0CEnビットの立ち上がりでF/FはセットされるのでPWM信号は出力可能です。

(a) BFCMnx > CM0n3を設定した場合

図9 - 32 PWMモード2 (のこぎり波, BFCMnx > CM0n3) の動作タイミング



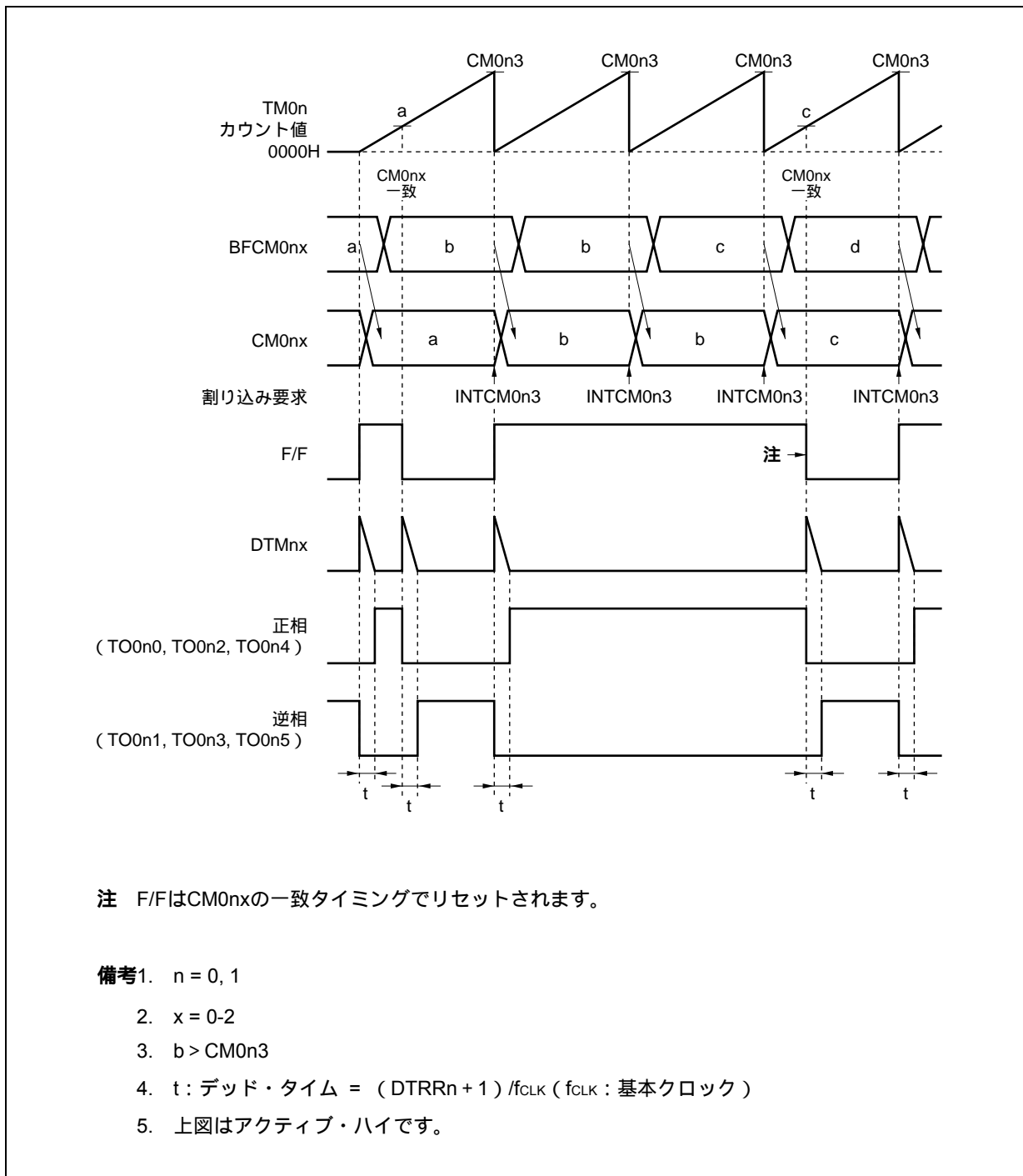
BFCMnxにCM0n3より大きい値を設定した場合、正相側 (TO0n0, TO0n2, TO0n4端子) はハイ・レベルを出力し、逆相側 (TO0n1, TO0n3, TO0n5端子) はロウ・レベルを出力し続けます。TM0nとCM0nxの一致が発生しないため、F/Fはリセットされません。インバータ制御などにおいて、PWM周期を越えるロウ・レベル幅、ハイ・レベル幅を出力したい場合にこの設定は有効です。

以上の説明はアクティブ・ハイの場合です。アクティブ・ロウの場合、正相、逆相のレベルが逆になるだけで、それ以外の動作は同じです。

また、デューティ100%の状態から変化するタイミングを図9 - 33に示します。



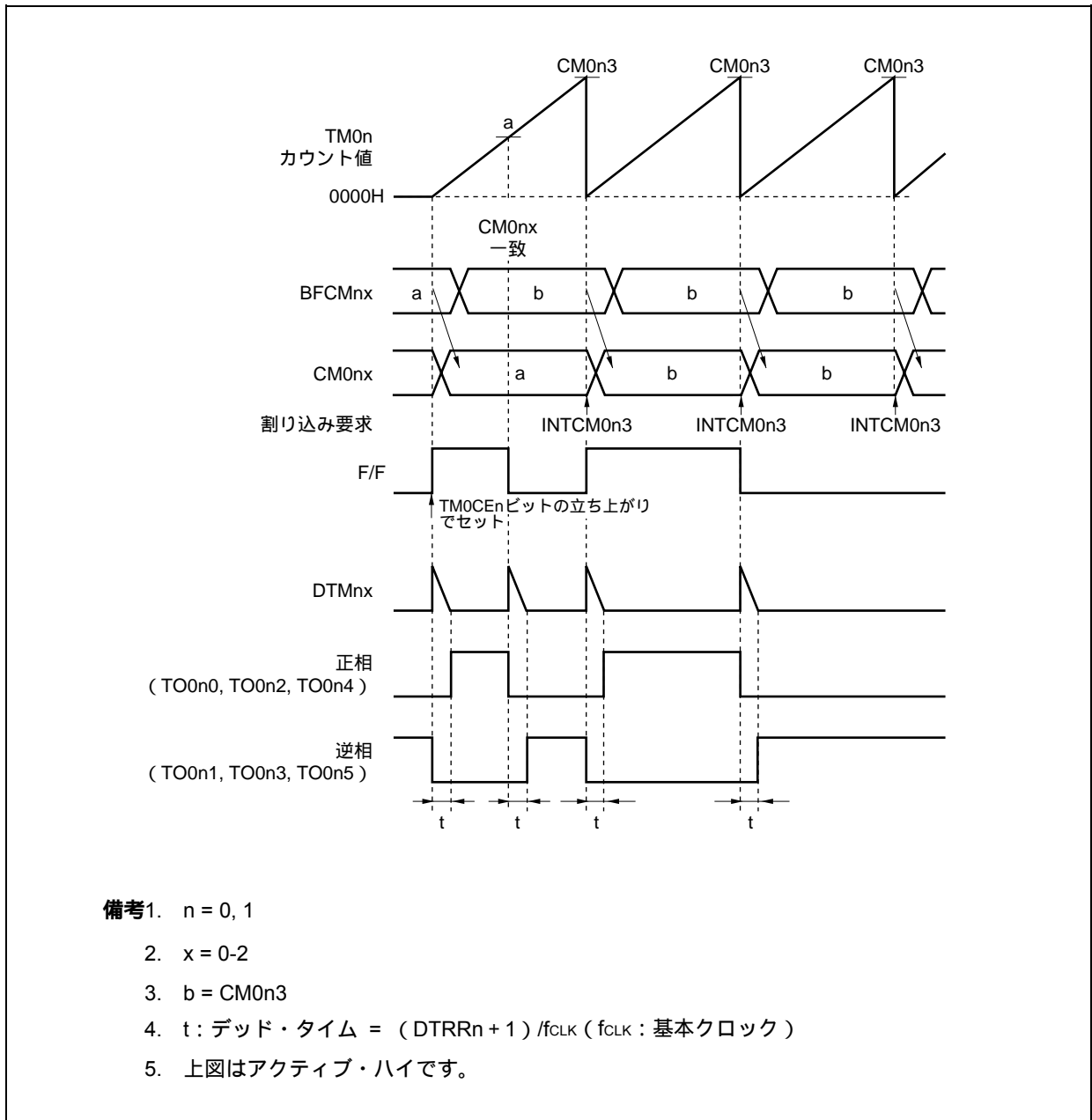
図9 - 33 デューティ100 %の状態から変化するタイミング (PWMモード2)



F/Fがリセットされるタイミングは、通常通りCM0nxの一致タイミングとなります。

(b) BFCMnx = CM0n3を設定した場合

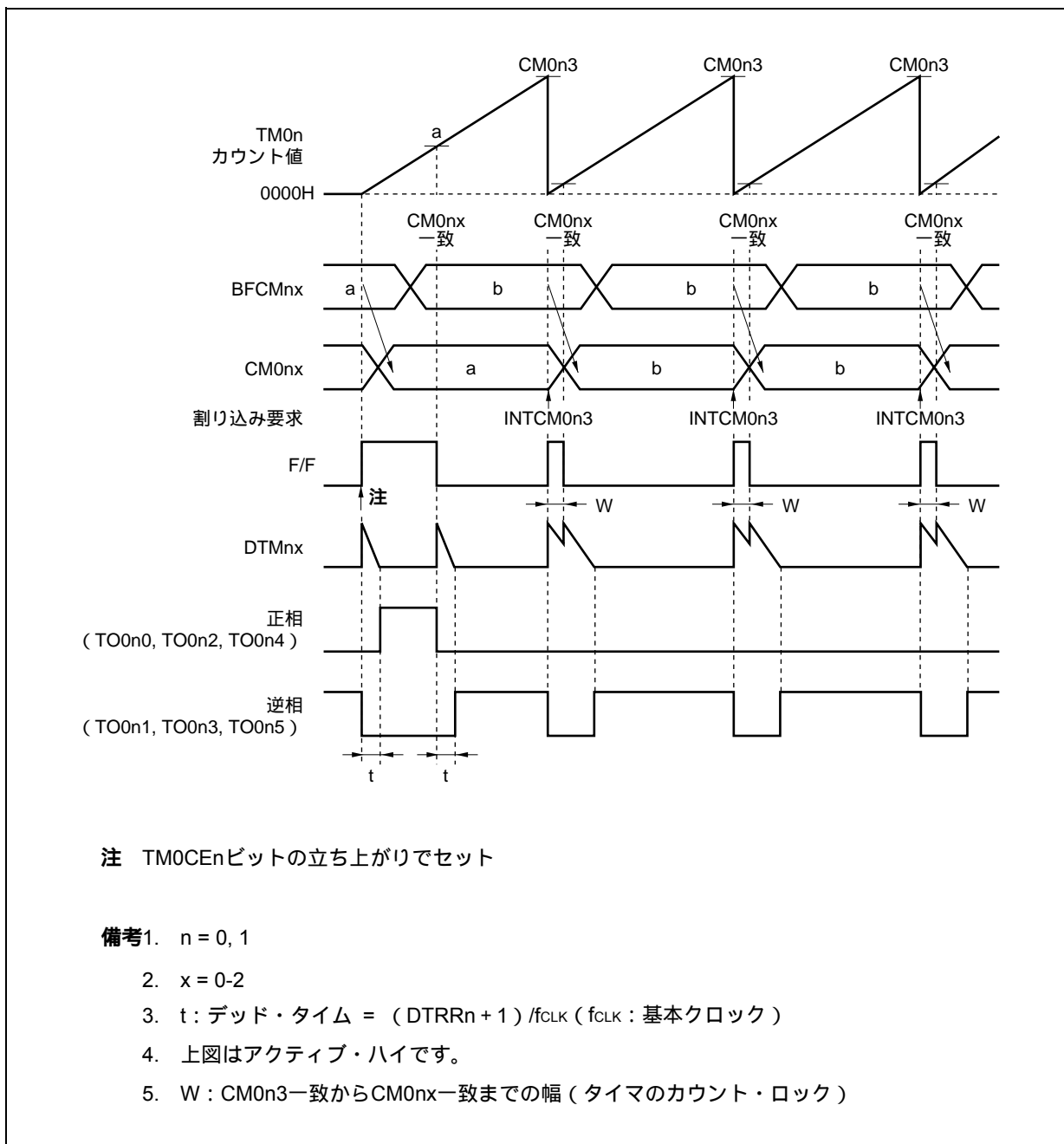
図9 - 34 PWMモード2 (のこぎり波, BFCMnx = CM0n3) の動作タイミング



TM0nとCM0n3の一致信号INTCM0n3と, TM0nとCM0nxの一致信号が競合した場合, F/Fはリセットが優先されるため, CM0nx (= CM0n3) とTM0nの一致以降はセットされません。

(c) BFCMnx = 0000Hを設定した場合

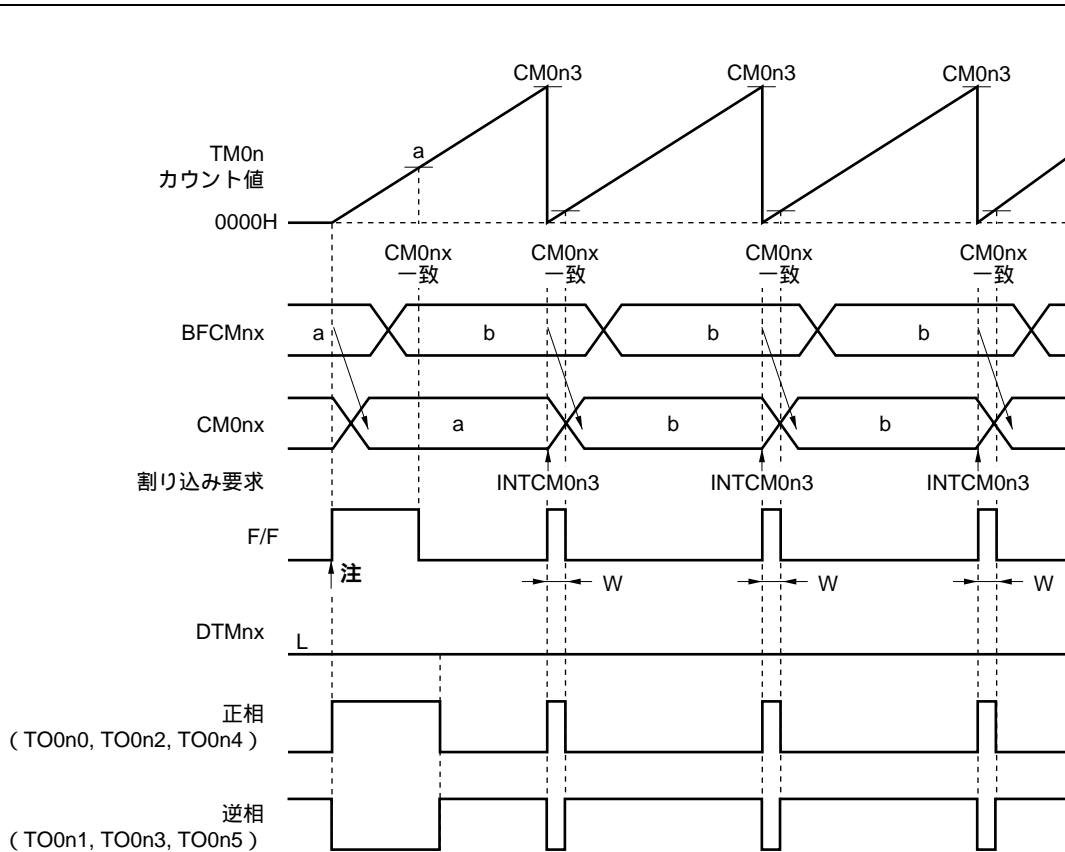
図9 - 35 PWMモード2 (のこぎり波, BFCMnx = 0000H) の動作タイミング



CM0nx = 0000Hを設定した場合, TM0nのカウント・クロック・レートとDTRRn設定値によって出力波形が異なります。

(d) DTMnx = 000HまたはTM0CEDnビット = 1時にBFCMnx = 0000Hを設定した場合  
 タイマの1カウント・クロック分のパルスが出力されます。

図9 - 36 PWMモード2 (のこぎり波, DTMnx = 000HまたはTM0CEDnビット = 1時の  
 BFCMnx = 0000H) の動作タイミング



注 TM0CEnビットの立ち上がりでセット

備考1. n = 0, 1

2. x = 0-2

3. 上図はアクティブ・ハイです。

4. W : CM0n3一致からタイマの1カウント・クロック分の幅

(e) BFCMnx = CM0n3 = aを設定した場合

図9 - 37 PWMモード2 (のこぎり波, BFCMnx = CM0n3 = a) の動作タイミング

(DTRRn = 0000H, TMC0nレジスタのTM0CEDnビット = 1,

TOMRnレジスタのALVTOビット = 1 (PWM駆動, アクティブ・レベル = ハイ・レベル) 設定時)

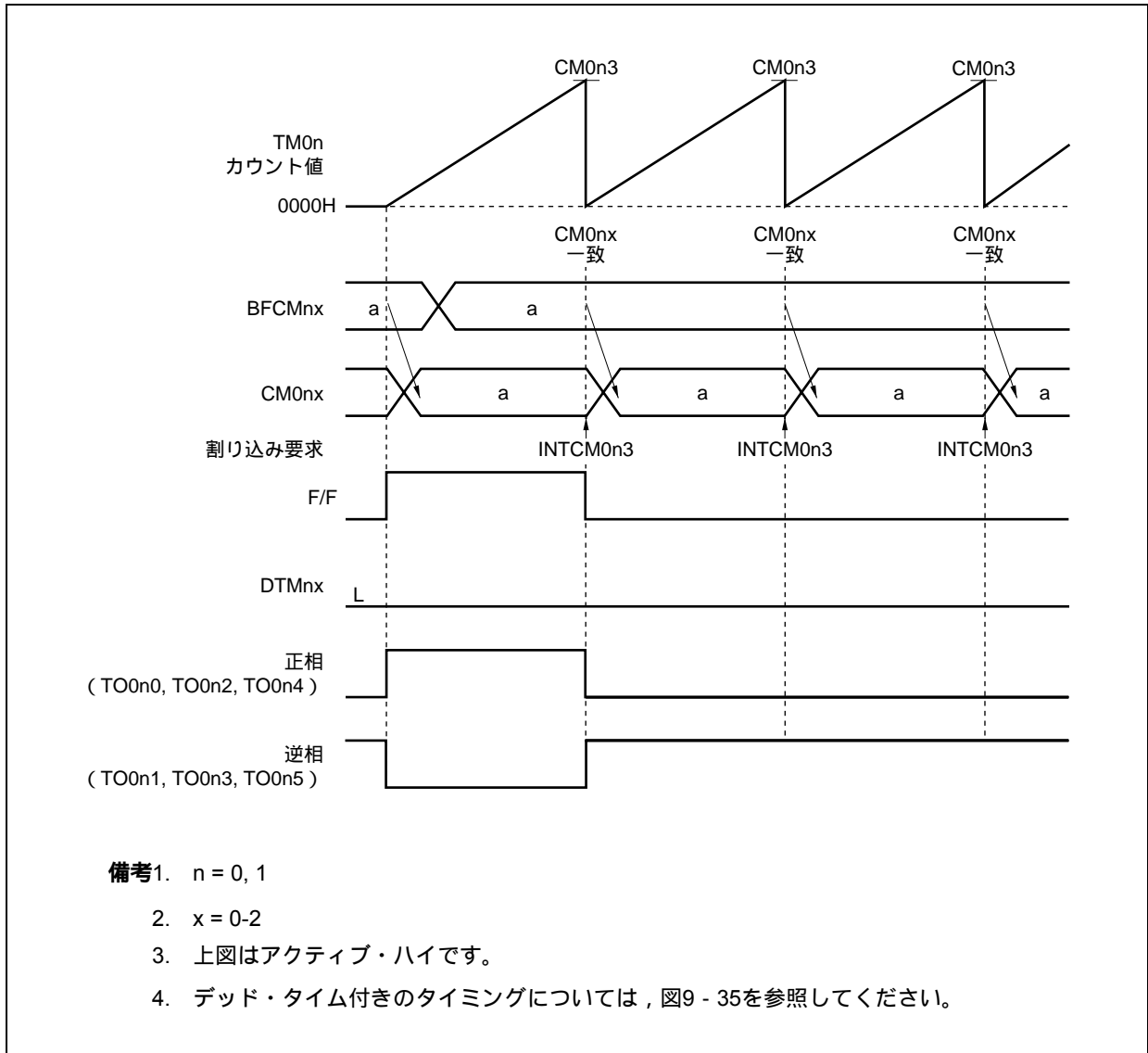
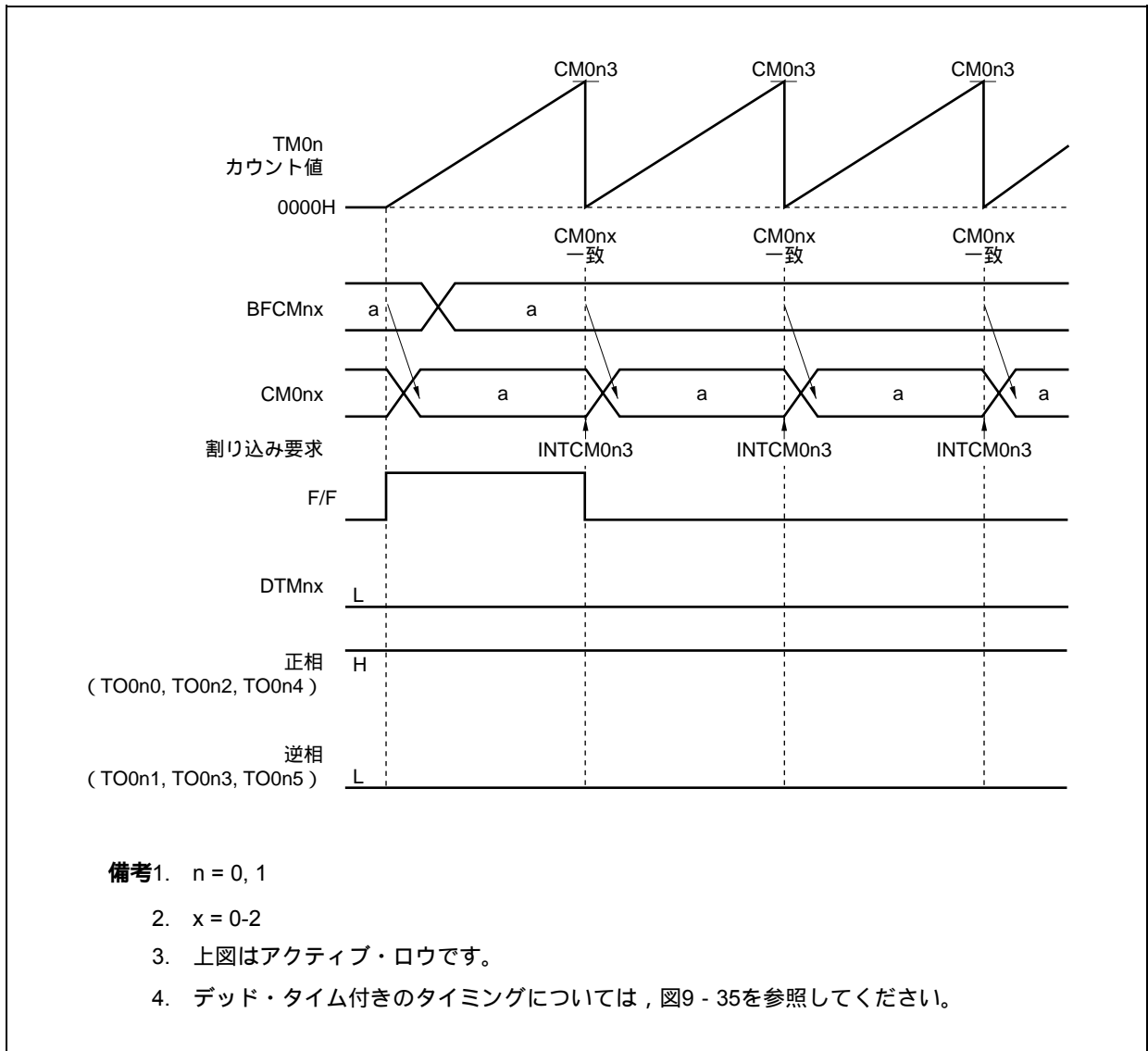


図9 - 38 PWMモード2 (のこぎり波,  $BFCMnx = CM0n3 = a$ ) の動作タイミング

( $DTRRn = 0000H$ ,  $TMC0n$ レジスタの $TM0CEDn$ ビット = 1,

$TOMRn$ レジスタの $ALVTO$ ビット = 0 (PWM駆動, アクティブ・レベル = ロウ・レベル) 設定時)

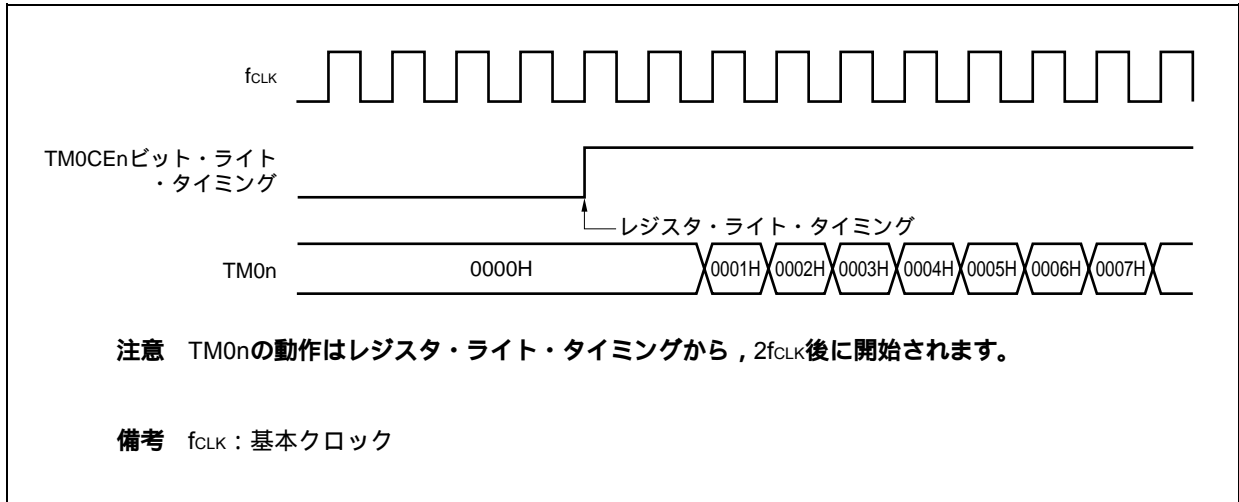


### 9.1.6 動作タイミング

#### (1) TM0CEnビットのライトとTM0nタイマ動作タイミング

TMC0nレジスタのTM0CEnビットの書き込みからTM0nタイマが動作するまでのタイミングを図9 - 39に示します。

図9 - 39 TM0CEnビットのライトとTM0nタイマ動作タイミング



(2) 割り込み発生タイミング

各モードにおけるTM0nへのカウント・クロックの設定 (TMC0nレジスタのPRM02-PRM00ビット) での割り込み発生タイミングを次に示します。

図9 - 40 PWMモード0 (対称三角波) , PWMモード1 (非対称三角波) での割り込み発生タイミング

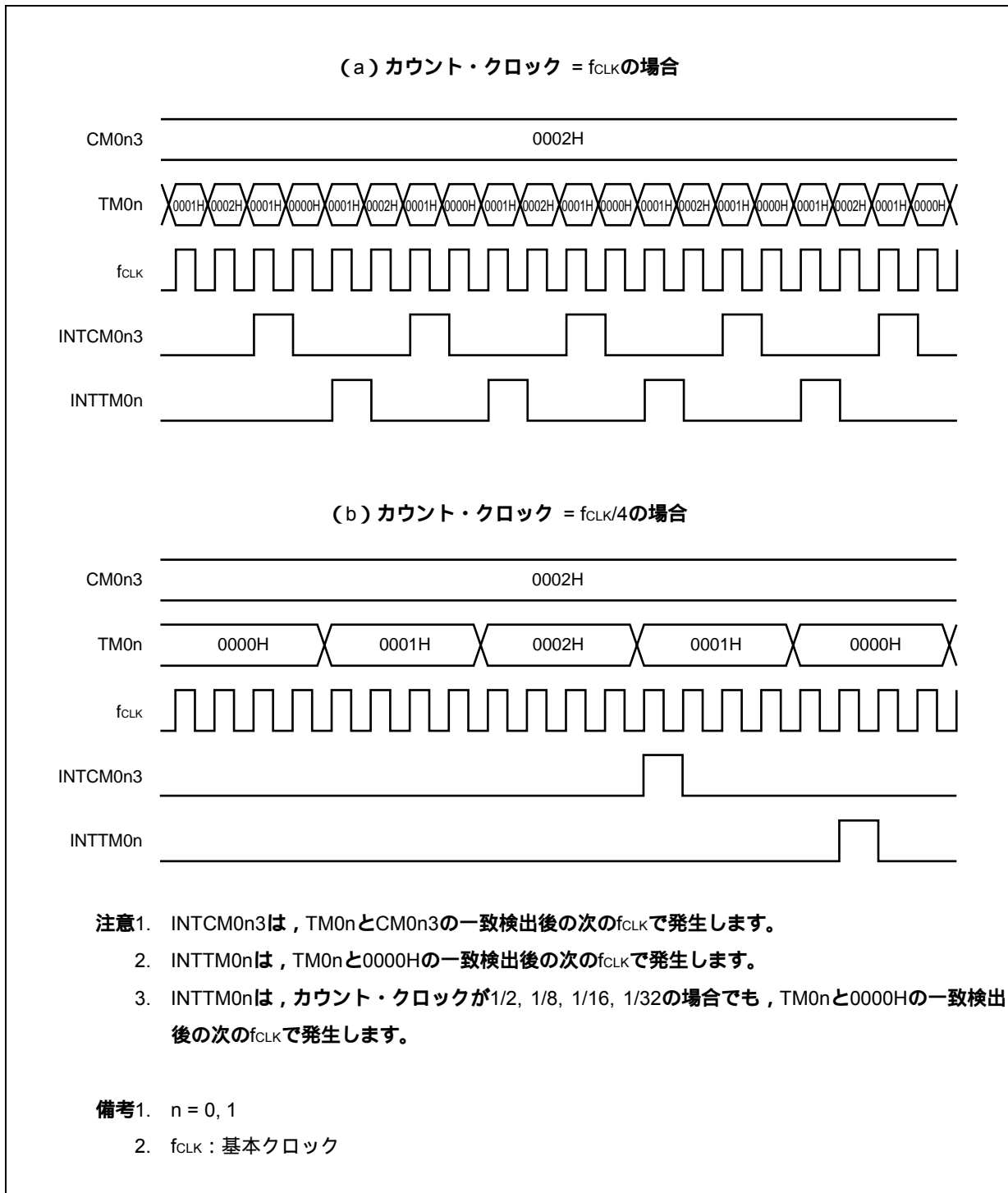
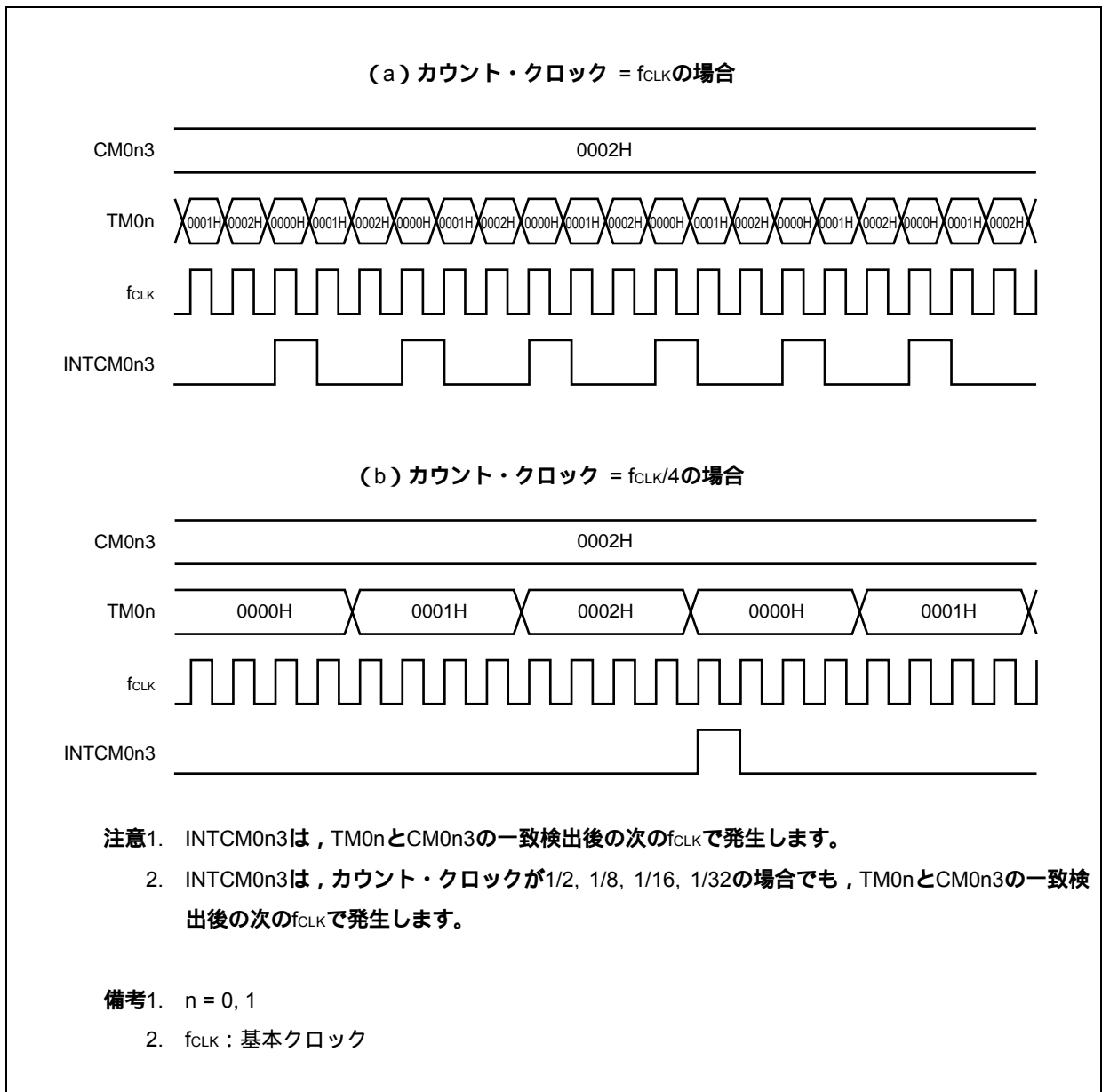




図9 - 41 PWMモード2 (のこぎり波) での割り込み発生タイミング



(3) 割り込み発生とTMC0nレジスタのSTINTnビットの関係

各モードにおけるTMC0nレジスタのSTINTnビットおよび割り込み間引き率の設定 (CUL02-CUL00ビット) での割り込み発生タイミングを次に示します。

TM0nでは、INTTM0nおよびINTCM0n3割り込みの間引き機能を実現するため、TMC0nレジスタのCUL02-CUL00ビットで間引き率を1/1以外にして、カウント動作を開始した場合、カウント開始時のSTINTnビット設定値によって以後の割り込み出力順序が異なります。

図9 - 42 PWMモード0 (対称三角波), PWMモード1 (非対称三角波) での割り込み発生タイミング:  
割り込み間引き率1/1の場合

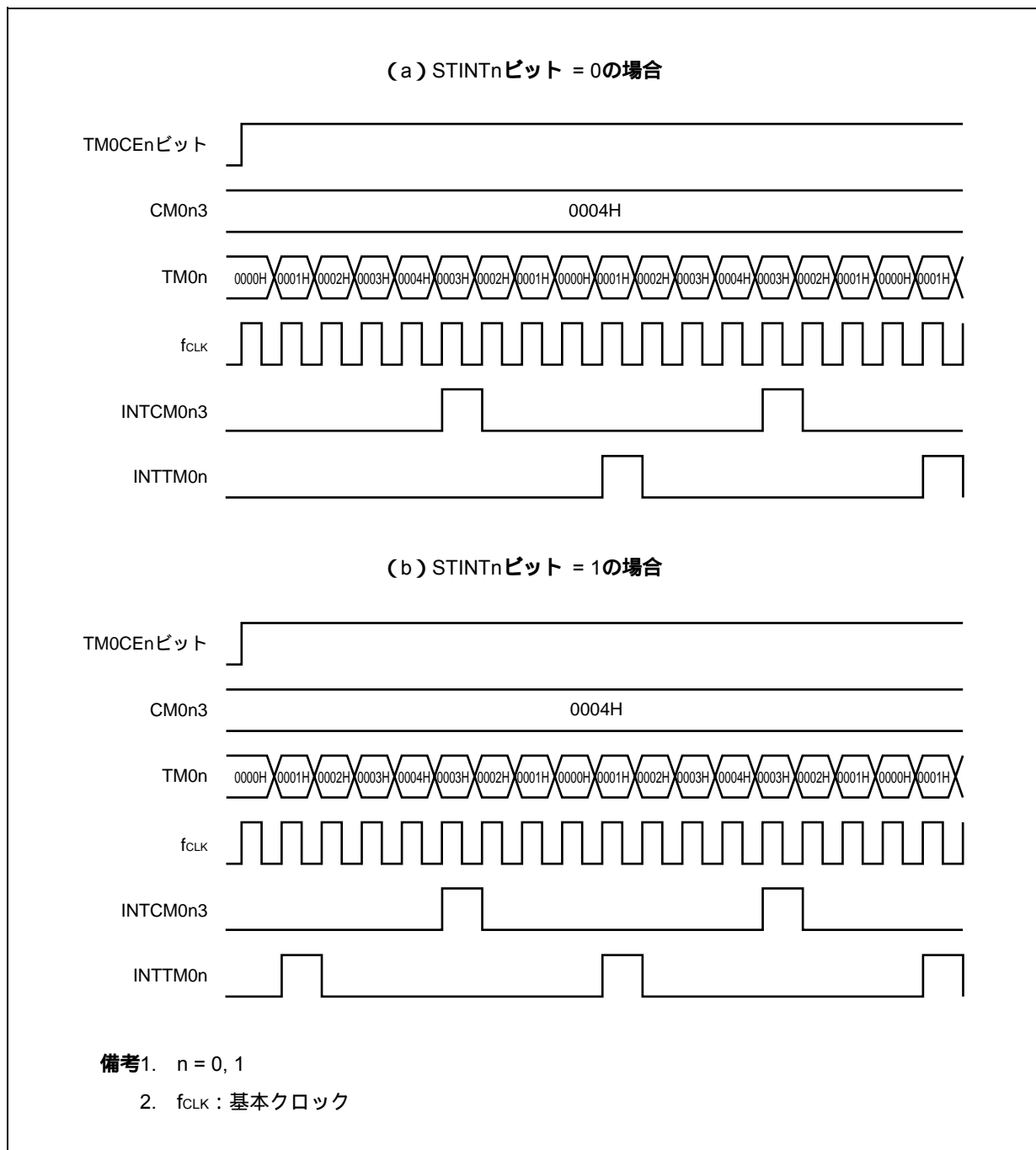


図9 - 43 PWMモード0 (対称三角波) , PWMモード1 (非対称三角波) での割り込み発生タイミング:  
割り込み間引き率1/2の場合

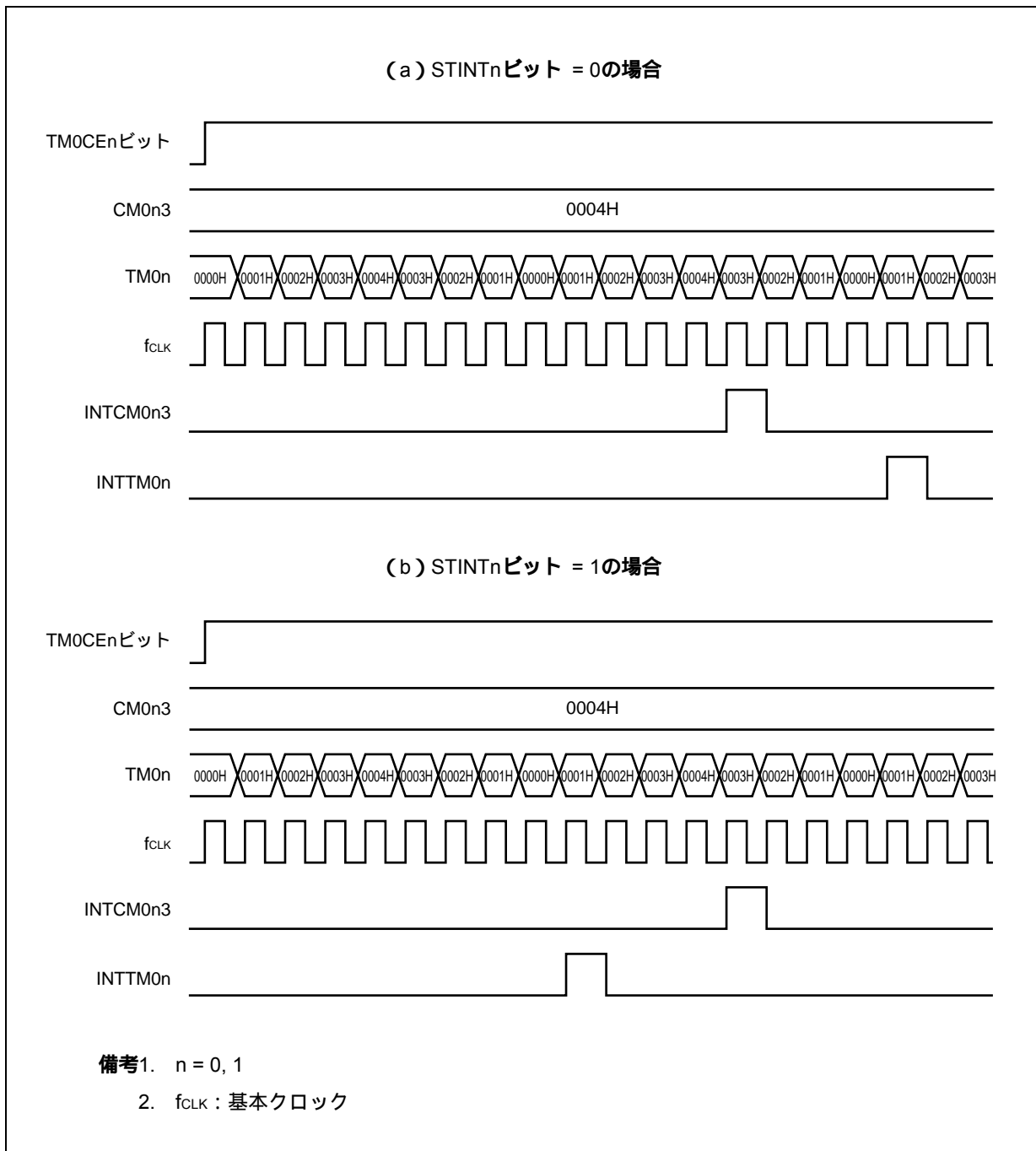


図9 - 44 PWMモード2 (のこぎり波) での割り込み発生タイミング：割り込み間引き率1/1の場合

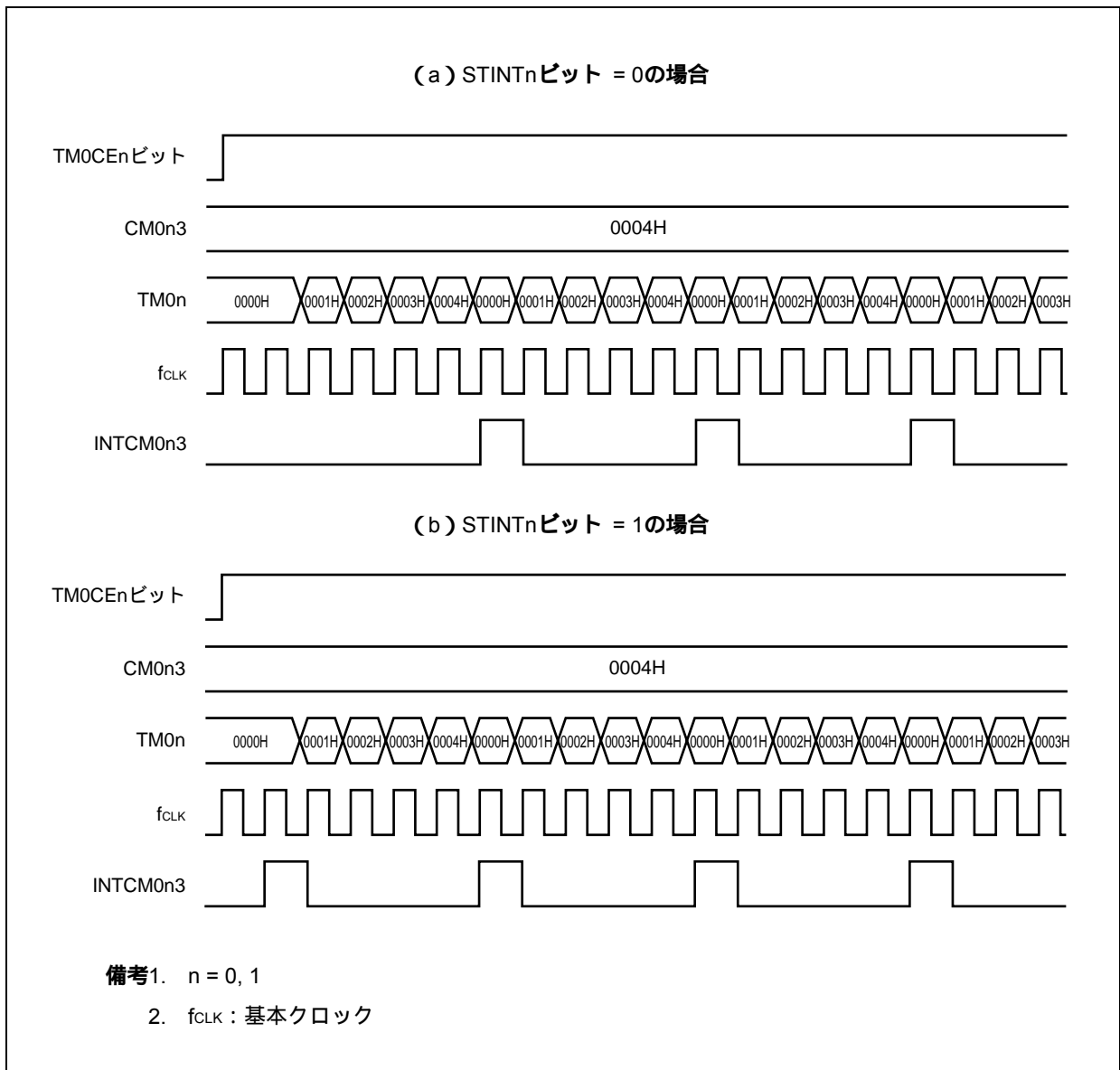
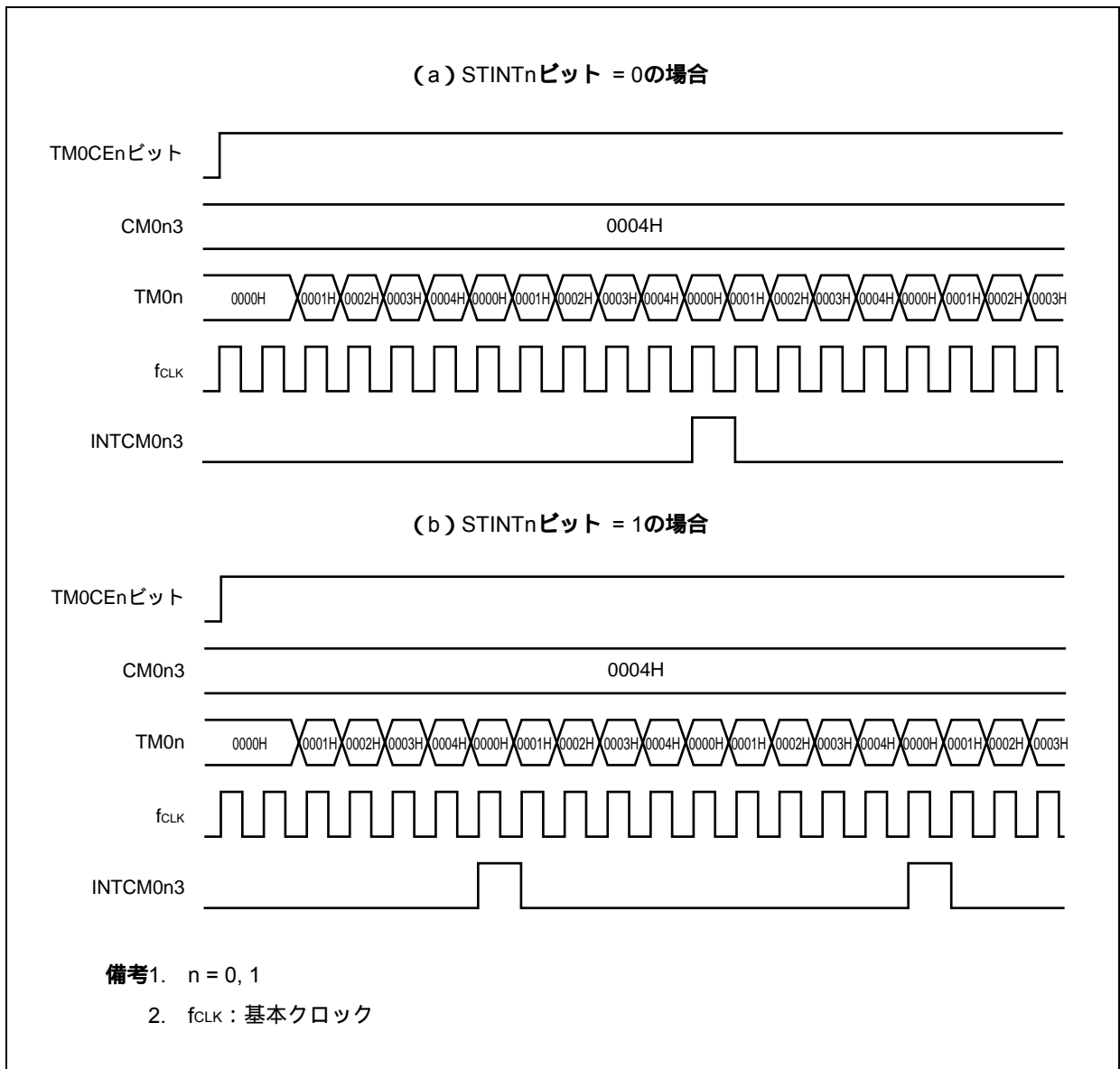


図9 - 45 PWMモード2 (のこぎり波) での割り込み発生タイミング : 割り込み間引き率1/2の場合



(4) TO0n0-TO0n5出力タイミング

図9 - 46 PWMモード0 (対称三角波) , PWMモード1 (非対称三角波) でのTO0n0-TO0n5出力タイミング

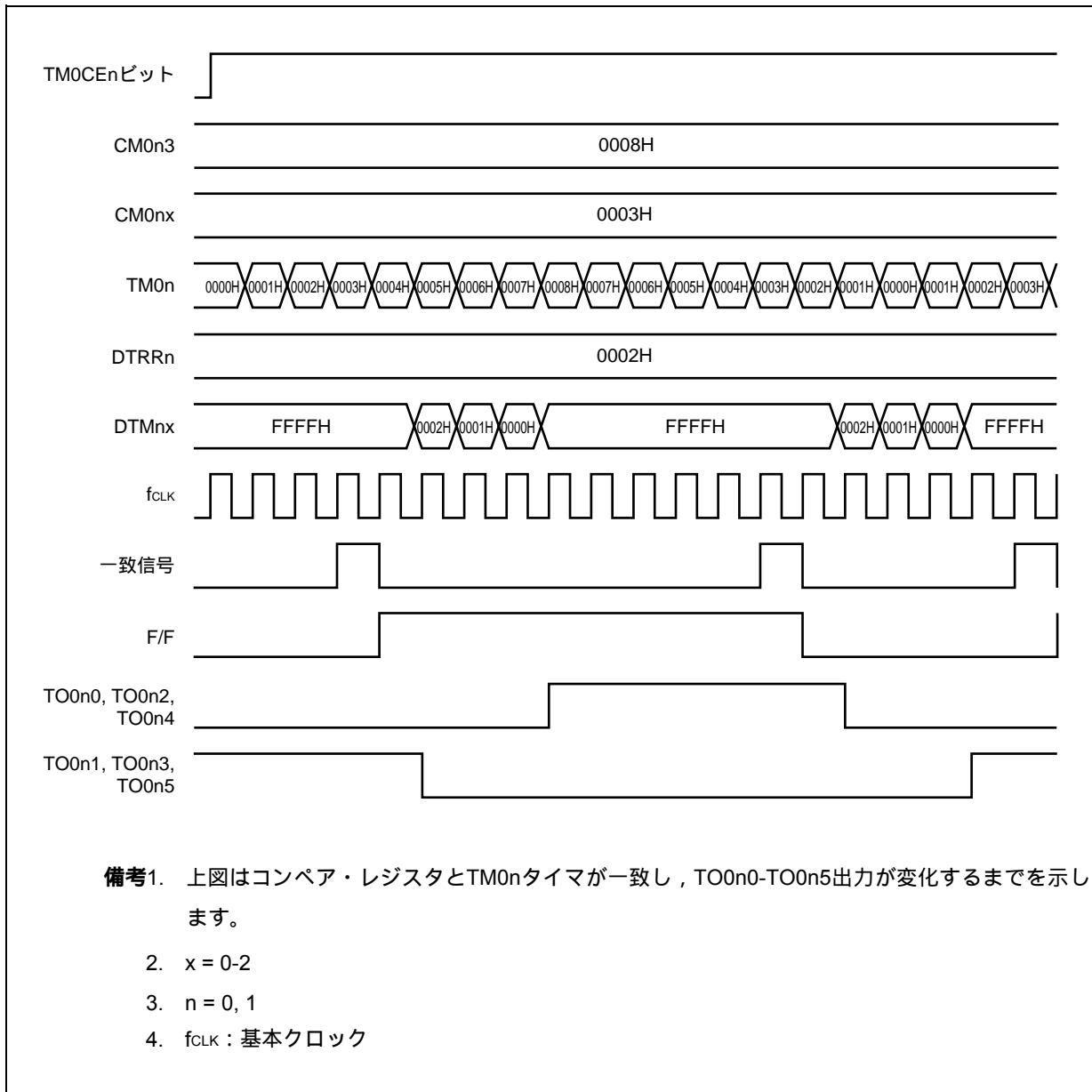
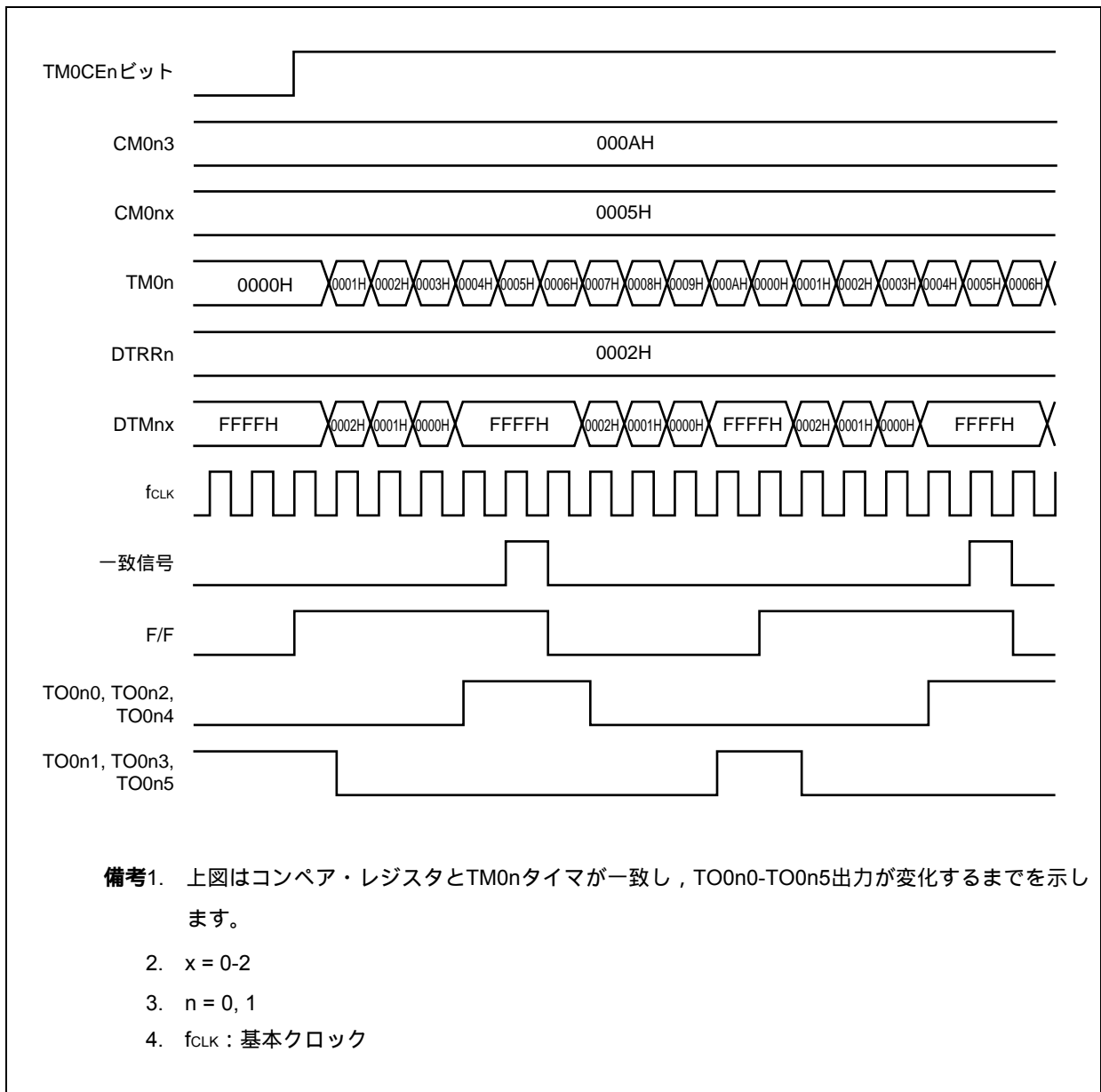


図9 - 47 PWMモード2 (のこぎり波) でのTO0n0-TO0n5出力タイミング



## 9.2 タイマ1

### 9.2.1 特徴 (タイマ1)

タイマ10, 11 (TM10, TM11) は, 16ビット・アップ/ダウン・カウンタで次の動作をします。

- ・汎用タイマ・モード (9.2.5 (1) 汎用タイマ・モードでの動作参照)
  - フリー・ランニング・タイマ
  - PWM出力
- ・アップ/ダウン・カウンタ・モード (9.2.5 (2) UDCモードでの動作参照)
  - UDCモードA (モード1, モード2, モード3, モード4)
  - UDCモードB (モード1, モード2, モード3, モード4)

### 9.2.2 機能概要 (タイマ1)

16ビット・2相エンコーダ入力用アップ/ダウン・カウンタ/汎用タイマ (TM1n) : 2チャンネル

コンペア・レジスタ : 2本×2チャンネル

キャプチャ/コンペア・レジスタ : 2本×2チャンネル

割り込み要求ソース

- ・キャプチャ/コンペア一致割り込み : 2種×2チャンネル
- ・コンペア一致割り込み要求 : 2種×2チャンネル

キャプチャ要求信号 : 2種×2チャンネル

- ・キャプチャ/コンペア・レジスタに対応するINTP1n0, INTP1n1端子の有効エッジをキャプチャ・トリガとして, TM1nの値をラッチすることが可能です。

カウント・クロックはプリスケアラによる分周から選択 (カウント・クロックは8 MHz以下に設定してください。)

基本クロック ( $f_{CLK}$ ) : 2種 ( $f_{CLK}$ は16 MHz以下に設定してください。)

$f_{xx}/2$ および $f_{xx}/4$ を選択可能

プリスケアラ分周比

基本クロック ( $f_{CLK}$ ) により次のように選択可能です。

分周比	基本クロック ( $f_{CLK}$ )	
	$f_{xx}/2$ 選択時	$f_{xx}/4$ 選択時
1/2	$f_{xx}/4$	$f_{xx}/8$
1/4	$f_{xx}/8$	$f_{xx}/16$
1/8	$f_{xx}/16$	$f_{xx}/32$
1/16	$f_{xx}/32$	$f_{xx}/64$
1/32	$f_{xx}/64$	$f_{xx}/128$
1/64	$f_{xx}/128$	$f_{xx}/256$
1/128	$f_{xx}/256$	$f_{xx}/512$



## PWM出力機能

汎用タイマ・モード時に16ビット分解能のPWM出力をTO1n端子より出力可能

## タイマ・クリア

使用するモードに応じて次のようにタイマ・クリア動作を行います。

- (a) 汎用タイマ・モード時：CM1n0設定値との一致でタイマ・クリア動作が可能です。
- (b) アップ/ダウン・カウント・モード：タイマ・クリア動作を次の4つの条件から選択可能です。
  - (i) TM1nがアップ・カウント中にCM1n0設定値との一致でタイマ・クリア動作を行い、TM1nがダウン・カウント中にCM1n1設定値との一致でタイマ・クリア動作を行います。
  - (ii) 外部入力のみでタイマ・クリア動作を行います。
  - (iii) TM1nのカウント値とCM1n0設定値との一致でタイマ・クリア動作を行います。
  - (iv) 外部入力およびTM1nのカウント値とCM1n0設定値との一致でタイマ・クリア動作を行います。

外部パルス出力 (TO1n) : 1本×2チャンネル

**備考** f<sub>xx</sub> : 内部システム・クロック

n = 0, 1

## 9.2.3 基本構成

次に基本構成を示します。

表9-4 タイマ1の構成一覧

タイマ	カウント・クロック		レジスタ	リード/ライト	発生する 割り込み信号	キャプチャ・ トリガ
	注1	注2				
タイマ1	fxx/4,	fxx/8,	TM10	リード/ライト	-	-
	fxx/8,	fxx/16,	CM100	リード/ライト	INTCM100	-
	fxx/16,	fxx/32,	CM101	リード/ライト	INTCM101	-
	fxx/32,	fxx/64,	CC100	リード/ライト	INTCC100	INTP100
	fxx/64,	fxx/128,	CC101	リード/ライト	INTCC101	INTP100または INTP101
	fxx/128,	fxx/256,				
	fxx/256	fxx/512	TM11	リード/ライト	-	-
			CM110	リード/ライト	INTCM110	-
			CM111	リード/ライト	INTCM111	-
			CC110	リード/ライト	INTCC110	INTP110
			CC111	リード/ライト	INTCC111	INTP110または INTP111

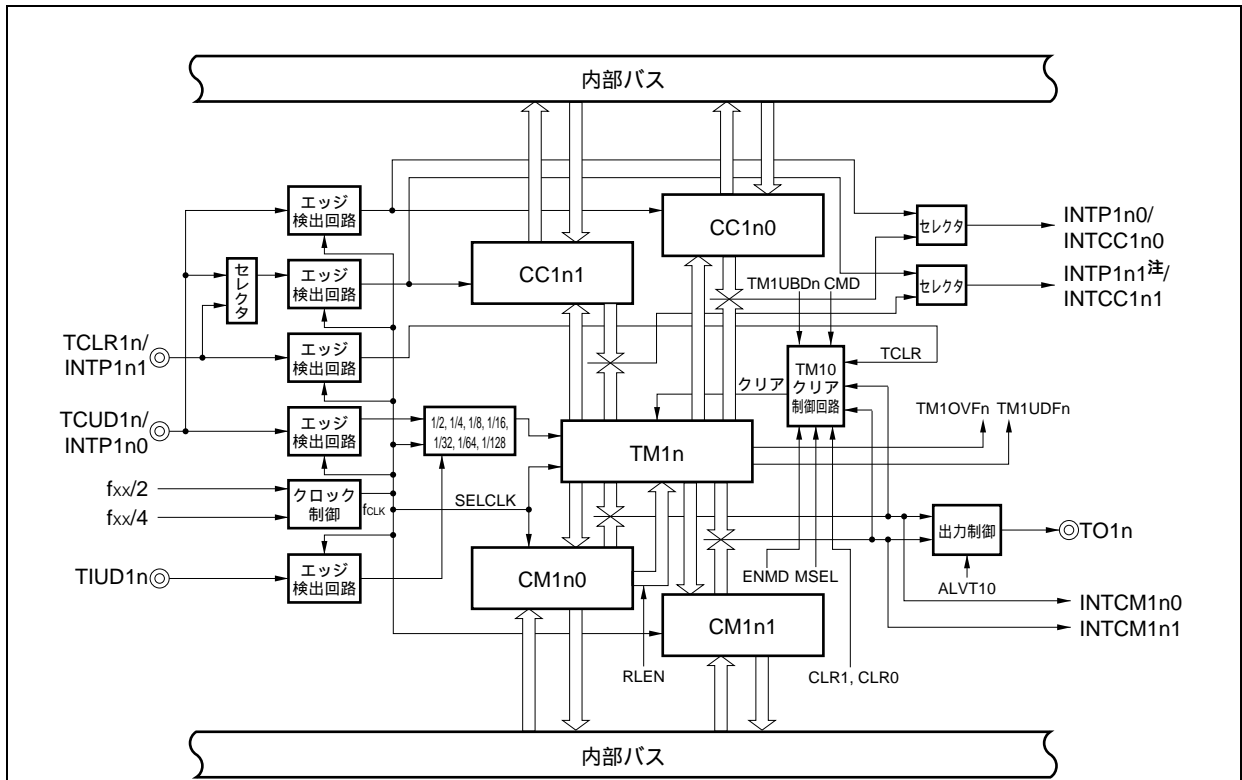
注1. TM1nへの基本クロックとしてfxx/2を選択した場合

2. TM1nへの基本クロックとしてfxx/4を選択した場合

備考 fxx : 内部システム・クロック

図9-48にタイマ1のブロック図を示します。

図9 - 48 タイマ1のブロック図



注 INTP1n1割り込みはINTP1n1端子からのキャプチャ・トリガ信号と、INTP1n0端子からのキャプチャ・トリガ信号をCSL1nレジスタのCSL<sub>n</sub>ビットで選択した信号です。

備考1. n = 0, 1

2. f<sub>xx</sub> : 内部システム・クロック
3. f<sub>CLK</sub> : 基本クロック ( 16 MHz (MAX.) )

(1) タイマ10, 11 (TM10, TM11)

TM1nは、汎用タイマ（汎用モード時）および2相エンコーダ入力用アップ/ダウン・カウンタ（UDCモード時）として機能します。

動作モードが汎用モード時にはアップ・カウント，UDCモード時にはアップ/ダウン・カウントを行います。

16ビット単位でリード/ライト可能です。

- 注意1. TM1nへのライト動作は，TMC1nレジスタのTM1CEnビット = 0（カウント動作禁止）時のみ許可します。
2. TM1nの連続読み出しは禁止します。TM1nの連続読み出しを行った場合，2回目の読み出し値が実際の値と異なる可能性があります。TM1nを2回読み出す必要がある場合は，必ず1回目と2回目の間にほかのレジスタを読み出ししてください。

正しい使用例

- TM10リード
- TM11リード
- TM10リード
- TM11リード

間違った使用例

- TM10リード
- TM10リード
- TM11リード
- TM11リード

3. TM1n, CC1n0, CC1n1レジスタとSTATUSnレジスタは同値書き込みを禁止します。  
CCRn, TUMn, TMC1n, SESA1n, PRM1nレジスタとCM1n0, CM1n1レジスタは同値書き込みを許可します（カウント動作中においても同値書き込みを保証します）。

TM10	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	[16-bit register]																FFFFF5E0H	0000H
TM11	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	[16-bit register]																FFFFF600H	0000H

TM1nのスタートおよびストップは，タイマ・コントロール・レジスタ1n（TMC1n）のTM1CEnビットによって制御します。

TM1nの動作には次に示す2つのモードがあります。

(a) 汎用タイマ・モード

汎用タイマ・モードでは，16ビットのインターバル・タイマ，フリー・ランニング・タイマ，またはPWM出力用として動作します。

ソフトウェアで選択されたクロックをもとに，カウント動作を行います。

カウント・クロックはプリスケラによる分周をプリスケラ・モード・レジスタ1n（PRM1n）のPRM12-PRM10ビットにより，fCLK/2, fCLK/4, fCLK/8, fCLK/16, fCLK/32, fCLK/64, fCLK/128から選択できます（fCLK：基本クロック，9.2.4（1）タイマ1/タイマ2クロック選択レジスタ（PRM02）参照）。

(b) アップ/ダウン・カウンタ・モード (UDCモード)

UDCモードでは、16ビットのアップ/ダウン・カウンタとして動作します。TCUD1n, TIUD1nの入力信号をもとにカウント動作を行います。

なお、このモードは、TM1nのクリア条件により、UDCモードAとUDCモードBの2種類の動作モードがあります。

TM1nが動作中にクリアされる条件は動作モードにより次のように分類できます。

表9-5 タイマ1 (TM1n) のクリア条件

動作モード	TUMnレジスタ		TMC1nレジスタ			TM1nのクリア
	CMD ビット	MSEL ビット	ENMD ビット	CLR1 ビット	CLR0 ビット	
汎用タイマ・モード	0	0	0	x	x	クリア動作を行わない (フリー・ランニング・タイマ)
			1	x	x	CM1n0設定値と一致でクリア
UDCモードA	1	0	x	0	0	TCLR1n入力のみでクリア
			x	0	1	アップ・カウント中のCM1n0設定値との一致でクリア
			x	1	0	TCLR1n入力もしくはアップ・カウント中のCM1n0設定値との一致でクリア
			x	1	1	クリア動作を行わない
UDCモードB	1	1	x	x	x	アップ・カウント中のCM1n0設定値との一致でクリアもしくはダウン・カウント中のCM1n1設定値との一致でクリア
上記設定以外						設定禁止

備考1. n = 0, 1

2. x : 該当ビットの設定値は無視されることを示します。

## 9.2.4 制御レジスタ

### (1) タイマ1/タイマ2クロック選択レジスタ (PRM02)

PRM02レジスタは、タイマ1 (TM1n)、タイマ2 (TM2n) の基本クロック (f<sub>CLK</sub>) を選択するレジスタです。

8/1ビット単位でリード/ライト可能です。

**注意** 必ずタイマ1, タイマ2を使用する前に設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
PRM02	0	0	0	0	0	0	0	PRM2	FFFFF5D8H	00H

ビット位置	ビット名	意味
0	PRM2	タイマ1 (TM1n)、タイマ2 (TM2n) の基本クロック (f <sub>CLK</sub> ) を指定します <sup>注</sup> 。 0 : f <sub>CLK</sub> = f <sub>xx</sub> /4 1 : f <sub>CLK</sub> = f <sub>xx</sub> /2

**注** タイマ1/タイマ2クロック選択レジスタ (PRM02) のPRM2ビット = 0B (f<sub>CLK</sub> = f<sub>xx</sub>/4) 設定時は、VSWCレジスタ = 15H, PRM2ビット = 1B (f<sub>CLK</sub> = f<sub>xx</sub>/2) 設定時はVSWCレジスタ = 12Hとしてください。

**備考** f<sub>xx</sub> : 内部システム・クロック  
n = 0, 1

(2) タイマ・ユニット・モード・レジスタ0, 1 (TUM0, TUM1)

TUMnレジスタは、TM1nの動作モード指定、PWM出力端子の動作制御などを行う8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

- 注意1. TM1n動作中(TMCnレジスタのTM1CEnビット = 1)にTUMnレジスタの内容を変更することは禁止します。
2. CMDビット = 0 (汎用タイマ・モード) 時に、MSELビット = 1 (UDCモードB) の設定は禁止します。

	7	6	5	4	3	2	1	0	アドレス	初期値
TUM0	CMD	0	0	0	TOE10	ALVT10	0	MSEL	FFFFFF5EBH	00H
	7	6	5	4	3	2	1	0	アドレス	初期値
TUM1	CMD	0	0	0	TOE10	ALVT10	0	MSEL	FFFFFF60BH	00H

ビット位置	ビット名	意味
7	CMD	TM1nの動作モードを指定します。 0: 汎用タイマ・モード (アップ・カウント) 1: UDCモード (アップ/ダウン・カウント)
3	TOE10	タイマ出力 (TO1n) の許可を指定します。 0: タイマ出力は禁止状態です 1: タイマ出力は許可状態です。  <b>注意</b> CMDビット = 1 (UDCモード) のときは、TOE10ビットの指定にかかわらず、タイマ出力は行いません。その際タイマ出力は、ALVT10ビットの設定レベルの逆相レベルを出力します。
2	ALVT10	タイマ出力 (TO1n) のアクティブ・レベルを指定します。 0: アクティブ・レベルはハイ・レベル 1: アクティブ・レベルはロウ・レベル  <b>注意</b> CMDビット = 1 (UDCモード) のときは、TOE10ビットの指定にかかわらず、タイマ出力は行いません。その際タイマ出力は、ALVT10ビットの設定レベルの逆相レベルを出力します。
0	MSEL	UDCモード (アップ/ダウン・カウント) 時の動作を指定します。 0: UDCモードA TM1nは、TMC1nレジスタのCLR1, CLR0ビットの設定によるクリアが可能です。 1: UDCモードB TM1nは次の場合にクリア動作を行います。 ・ TM1nがアップ・カウント中のCM1n0との一致でクリア ・ TM1nがダウン・カウント中のCM1n1との一致でクリア なお、UDCモードB設定時は、TMC1nレジスタのENMD, CLR1, CLR0ビットは無効になります。

備考 n = 0, 1

(3) タイマ・コントロール・レジスタ10, 11 (TMC10, TMC11)

TMC1nレジスタは、TM1nの動作許可/禁止、転送およびタイマ・クリア動作の設定を行うレジスタです。8/1ビット単位でリード/ライト可能です。

**注意** TM1n動作中(TM1CEnビット = 1)にTM1CEnビット以外のTMC1nレジスタの内容を変更することは禁止します。

(1/2)

7	⑥	5	4	3	2	1	0	アドレス	初期値
0	TM1CE0	0	0	RLEN	ENMD	CLR1	CLR0	FFFFFF5ECH	00H
TMC10									
7	⑥	5	4	3	2	1	0	アドレス	初期値
0	TM1CE1	0	0	RLEN	ENMD	CLR1	CLR0	FFFFFF60CH	00H
TMC11									

ビット位置	ビット名	意 味
6	TM1CEn	TM1nの動作の制御を指定します。 0 : TM1nはカウント動作禁止 1 : TM1nはカウント動作許可
3	RLEN	CM1n0からTM1nへの転送動作を指定します。 0 : 転送動作禁止 1 : 転送動作許可  <b>注意1.</b> RLEN = 1のとき、TM1nがアンダフローを発生させるとTM1nにはCM1n0に設定されている値が転送されます。 <b>2.</b> RLENビットはUDCモードA時 (TUMnレジスタのCMDビット = 1, MSELビット = 0) のみ有効です。汎用タイマ・モード時 (CMDビット = 0) およびUDCモードB時 (CMDビット = 1, MSELビット = 1) はRLENビットをセット (1) しても転送動作は行いません。
2	ENMD	汎用タイマ・モード (TUMnレジスタのCMDビット = 0) 時のTM1nのクリア動作を制御します。 0 : クリア禁止 (フリー・ランニング・モード) TM1nはCM1n0と一致してもクリア動作は行いません。 1 : クリア許可 TM1nはCM1n0との一致でクリア動作を行います。  <b>注意</b> UDCモード (TUMnレジスタのCMDビット = 1) のとき、ENMDビットの設定は無効となります。

備考 n = 0, 1



ビット位置	ビット名	意味															
1, 0	CLR1, CLR0	UDCモードA時のTM1nのクリア動作を制御します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>CLR1</th> <th>CLR0</th> <th>TM1nのクリア要因の指定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>外部入力 (TCLR1n) のみでクリア</td> </tr> <tr> <td>0</td> <td>1</td> <td>TM1nカウント値とCM1n0設定値との一致でクリア</td> </tr> <tr> <td>1</td> <td>0</td> <td>TCLR1n入力もしくは、TM1nカウント値とCM1n0設定値との一致でクリア</td> </tr> <tr> <td>1</td> <td>1</td> <td>クリアなし</td> </tr> </tbody> </table>	CLR1	CLR0	TM1nのクリア要因の指定	0	0	外部入力 (TCLR1n) のみでクリア	0	1	TM1nカウント値とCM1n0設定値との一致でクリア	1	0	TCLR1n入力もしくは、TM1nカウント値とCM1n0設定値との一致でクリア	1	1	クリアなし
CLR1	CLR0	TM1nのクリア要因の指定															
0	0	外部入力 (TCLR1n) のみでクリア															
0	1	TM1nカウント値とCM1n0設定値との一致でクリア															
1	0	TCLR1n入力もしくは、TM1nカウント値とCM1n0設定値との一致でクリア															
1	1	クリアなし															

- 注意1. TM1nカウント値とCM1n0設定値との一致によるクリアは、TM1nがアップ・カウント動作時のみ有効です (TM1nがダウン・カウント中の場合は、TM1nクリア動作は行いません)。
2. 汎用タイマ・モード (TUMnレジスタのCMDビット = 0) のとき、CLR1, CLR0ビットの設定は無効となります。
  3. UDCモードB (TUMnレジスタのMSELビット = 1) のとき、CLR1, CLR0ビットの設定は無効となります。
  4. CLR1, CLR0ビットでTCLR1nでのクリアを有効にした場合、TM1CEnビットが1, 0いずれの場合でもクリアされます。

備考 n = 0, 1

(4) キャプチャ/コンペア・コントロール・レジスタ0, 1 (CCR0, CCR1)

CCRnレジスタは、キャプチャ/コンペア・レジスタ (CC1n0, CC1n1) の動作モードを指定します。8/1ビット単位でリード/ライト可能です。

注意 TM1n動作中 (TM1CEnビット = 1) にCCRnレジスタを書き換えることは禁止します。

	7	6	5	4	3	2	1	0	アドレス	初期値
CCR0	0	0	0	0	0	0	CMS1	CMS0	FFFFFF5EAH	00H
	7	6	5	4	3	2	1	0	アドレス	初期値
CCR1	0	0	0	0	0	0	CMS1	CMS0	FFFFFF60AH	00H

ビット位置	ビット名	意味
1	CMS1	CC1n1の動作モードを指定します。 0: キャプチャ・レジスタとして動作します。 1: コンペア・レジスタとして動作します。
0	CMS0	CC1n0の動作モードを指定します。 0: キャプチャ・レジスタとして動作します。 1: コンペア・レジスタとして動作します。

備考 n = 0, 1

(5) シグナル・エッジ選択レジスタ10, 11 (SESA10, SESA11)

SESA1nレジスタは、外部端子による外部割り込み要求( INTP100, INTP101, INTP110, INTP111, TIUD10, TIUD11, TCUD10, TCUD11, TCLR10, TCLR11 )の有効エッジを指定するレジスタです。各レジスタと、そのレジスタが制御する外部割り込み要求との対応を次に示します。

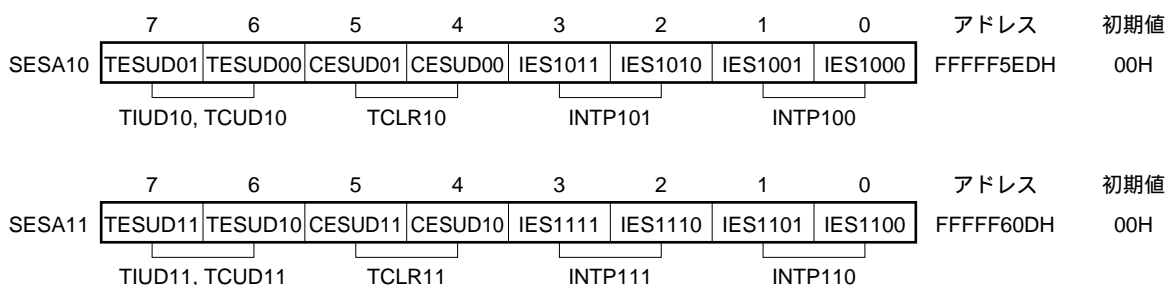
- ・ SESA10 : TIUD10, TCUD10, TCLR10, INTP100, INTP101
- ・ SESA11 : TIUD11, TCUD11, TCLR11, INTP110, INTP111

有効エッジは、立ち上がりエッジ、立ち下がりエッジ、または立ち上がり/立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8/1ビット単位でリード/ライト可能です。

- 注意1.** TM1n動作中 (TM1CEnビット = 1) にSESA1nレジスタの各ビットを変更することは禁止します。
- 2.** タイマ1を使用しないでTCUD10/INTP100, TCLR10/INTP101, TCUD11/INTP110, TCLR11/INTP111端子をINTP100, INTP101, INTP110, INTP111として使用する場合でも、タイマ・コントロール・レジスタ10, 11 (TMC10, TMC11) のTM1CEnビットを必ずセット(1)してから使用してください。

( 1/2 )



ビット位置	ビット名	意 味															
7, 6	TESUDn1, TESUDn0	TIUD10, TIUD11, TCUD10, TCUD11端子の有効エッジを指定します。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <thead> <tr> <th style="width: 15%;">TESUDn1</th> <th style="width: 15%;">TESUDn0</th> <th style="width: 70%;">有効エッジ</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>設定禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>立ち上がり/立ち下がり両エッジ</td> </tr> </tbody> </table>	TESUDn1	TESUDn0	有効エッジ	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	設定禁止	1	1	立ち上がり/立ち下がり両エッジ
TESUDn1	TESUDn0	有効エッジ															
0	0	立ち下がりエッジ															
0	1	立ち上がりエッジ															
1	0	設定禁止															
1	1	立ち上がり/立ち下がり両エッジ															

- 注意1.** TESUDn1, TESUDn0ビットは、UDCモードA, UDCモードB時のみ設定値が有効です。
- 2.** TM1nの動作がモード4に指定されている場合 (PRM1nレジスタのPRM12-PRM10ビットで指定) には、TIUD1n, TCUD1n端子に対する有効エッジの指定 (TESUDn1, TESUDn0ビット) は無効です。

備考 n = 0, 1

ビット位置	ビット名	意味															
5, 4	CESUDn1, CESUDn0	<p>TCLR10, TCLR11端子の有効エッジを指定します。</p> <table border="1"> <thead> <tr> <th>CESUDn1</th> <th>CESUDn0</th> <th>有効エッジ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>ロウ・レベル</td> </tr> <tr> <td>1</td> <td>1</td> <td>ハイ・レベル</td> </tr> </tbody> </table> <p>CESUDn1, CESUDn0ビット設定値とTM1nの動作は次のようになります。</p> <p>00 : TCLR1nの立ち下がりエッジ検出後, TM1nをクリア</p> <p>01 : TCLR1nの立ち上がりエッジ検出後, TM1nをクリア</p> <p>10 : TCLR1n入力がロウ・レベル期間中は, TM1nはクリアを保持</p> <p>11 : TCLR1n入力がハイ・レベル期間中は, TM1nはクリアを保持</p> <p><b>注意</b> CESUDn1, CESUDn0ビットは, UDCモードA時のみ, 設定値が有効です。</p>	CESUDn1	CESUDn0	有効エッジ	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	ロウ・レベル	1	1	ハイ・レベル
CESUDn1	CESUDn0	有効エッジ															
0	0	立ち下がりエッジ															
0	1	立ち上がりエッジ															
1	0	ロウ・レベル															
1	1	ハイ・レベル															
3, 2	IES1n11, IES1n10	<p>CSL1nレジスタのCSLnビットで選択された端子 (INTP1n1/INTP1n0) の有効エッジを指定します。</p> <table border="1"> <thead> <tr> <th>IES1n11</th> <th>IES1n10</th> <th>有効エッジ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>立ち上がり / 立ち下がり両エッジ</td> </tr> </tbody> </table>	IES1n11	IES1n10	有効エッジ	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	設定禁止	1	1	立ち上がり / 立ち下がり両エッジ
IES1n11	IES1n10	有効エッジ															
0	0	立ち下がりエッジ															
0	1	立ち上がりエッジ															
1	0	設定禁止															
1	1	立ち上がり / 立ち下がり両エッジ															
1, 0	IES1n01, IES1n00	<p>INTP100, INTP110端子の有効エッジを指定します。</p> <table border="1"> <thead> <tr> <th>IES1n01</th> <th>IES1n00</th> <th>有効エッジ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>立ち上がり / 立ち下がり両エッジ</td> </tr> </tbody> </table>	IES1n01	IES1n00	有効エッジ	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	設定禁止	1	1	立ち上がり / 立ち下がり両エッジ
IES1n01	IES1n00	有効エッジ															
0	0	立ち下がりエッジ															
0	1	立ち上がりエッジ															
1	0	設定禁止															
1	1	立ち上がり / 立ち下がり両エッジ															

備考 n = 0, 1

(6) プリスケアラ・モード・レジスタ10, 11 (PRM10, PRM11)

PRM1nレジスタは、次の選択を行うレジスタです。

- ・汎用タイマ・モード (TUMnレジスタのCMDビット = 0) 時のカウント・クロックを選択します。
- ・UDCモード時 (CMDビット = 1) 時にカウント動作モードを選択します。

8/1ビット単位でリード/ライト可能です。

注意1. TM1n動作中 (TM1CEnビット = 1) にPRM1nレジスタを書き換えることは禁止します。

2. UDCモード (TUMnレジスタのCMDビット = 1) のとき, PRM12ビット値が0の設定は禁止します。
3. TM1n動作がモード4に指定されている場合には, TIUD1n, TCUD1n端子に対する有効エッジの指定は無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PRM10	0	0	0	0	0	PRM12	PRM11	PRM10	FFFFF5EEH	07H
	7	6	5	4	3	2	1	0	アドレス	初期値
PRM11	0	0	0	0	0	PRM12	PRM11	PRM10	FFFFF60EH	07H

ビット位置	ビット名	意味				
2-0	PRM12- PRM10	TM1nの内部クロック時のクロック・レートまたは外部クロック (TIUD1n) 入力時のアップ/ダウン・カウントの動作モードを指定します。				
		RRM12	PRM11	PRM10	CMD = 0	CMD = 1
					カウント・クロック	カウント・クロック UDCモード
		0	0	0	設定禁止	設定禁止
		0	0	1	f <sub>CLK</sub> /2	
		0	1	0	f <sub>CLK</sub> /4	
		0	1	1	f <sub>CLK</sub> /8	
		1	0	0	f <sub>CLK</sub> /16	
		1	0	1	f <sub>CLK</sub> /32	モード1
		1	1	0	f <sub>CLK</sub> /64	モード2
		1	1	1	f <sub>CLK</sub> /128	モード3
						モード4

備考1. f<sub>CLK</sub> : 基本クロック  
2. n = 0, 1

(a) 汎用タイマ・モード (TUMnレジスタのCMDビット = 0) 時

カウント・クロックはPRM12-PRM10ビットで指定します。

(b) UDCモード (TUMnレジスタのCMDビット = 1) 時

UDCモード時のTM1nのカウント要因を次に示します。

動作モード	TM1nの動作
モード1	TCUD1n = ハイ・レベルのとき, ダウン・カウント TCUD1n = ロウ・レベルのとき, アップ・カウント
モード2	TIUD1n入力の有効エッジ検出でアップ・カウント TCUD1n入力の有効エッジ検出でダウン・カウント
モード3	TCUD1n = ハイ・レベルのとき, TIUD1n入力の有効エッジ検出でアップ・カウント TCUD1n = ロウ・レベルのとき, TIUD1n入力の有効エッジ検出でダウン・カウント
モード4	TIUD1n入力の両エッジおよびTCUD1n入力の両エッジ検出で自動判別

(7) ステータス・レジスタ0, 1 (STATUS0, STATUS1)

STATUSnレジスタは, TM1nの動作状態を示すレジスタです。

8/1ビット単位でリードだけ可能です。

	7	6	5	4	3	②	①	①	アドレス	初期値
STATUS0	0	0	0	0	0	TM1UDF0	TM1OVF0	TM1UBD0	FFFFFF5EFH	00H
	7	6	5	4	3	②	①	①	アドレス	初期値
STATUS1	0	0	0	0	0	TM1UDF1	TM1OVF1	TM1UBD1	FFFFFF60FH	00H

ビット位置	ビット名	意味
2	TM1UDFn	TM1nのアンダフロー・フラグです。 0 : TM1nのカウント・アンダフロー発生なし 1 : TM1nのカウント・アンダフロー発生あり  <b>注意</b> TM1UDFnビットは, CPUからSTATUSnレジスタへのリード・アクセス終了後にクリア(0)されます。
1	TM1OVFn	TM1nのオーバーフロー・フラグです。 0 : TM1nのカウント・オーバーフロー発生なし 1 : TM1nのカウント・オーバーフロー発生あり  <b>注意</b> TM1OVFnビットは, CPUからSTATUSnレジスタへのリード・アクセス終了後にクリア(0)されます。
0	TM1UBDn	TM1nのアップ/ダウン・カウント動作の状態を表示します。 0 : TM1nのアップ・カウント動作中 1 : TM1nのダウン・カウント動作中  <b>注意</b> TM1UBDnビットはモードにより次のようになります。 ・汎用タイマ・モード (TUMnレジスタのCMDビット = 0) 時 TM1UBDnビットは“0”固定です。 ・UDCモード (TUMnレジスタのCMDビット = 1) 時 TM1nのアップ/ダウン状態を表示します。

備考 n = 0, 1

(8) CC101キャプチャ入力選択レジスタ (CSL10)

CSL10レジスタは、CC101レジスタをキャプチャ・レジスタとして使用したとき、キャプチャ入力信号としてINTP101端子とINTP100端子のどちらを使用するか選択するレジスタです。

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
CSL10	0	0	0	0	0	0	0	CSL0	FFFFFF5F6H	00H

ビット位置	ビット名	意 味
0	CSL0	CC101へのキャプチャ入力の指定をします。 0 : INTP101 1 : INTP100

(9) CC111キャプチャ入力選択レジスタ (CSL11)

CSL11レジスタは、CC111レジスタをキャプチャ・レジスタとして使用したとき、キャプチャ入力信号としてINTP111端子とINTP110端子のどちらを使用するか選択するレジスタです。

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
CSL11	0	0	0	0	0	0	0	CSL1	FFFFFF616H	00H

ビット位置	ビット名	意 味
0	CSL1	CC111へのキャプチャ入力の指定をします。 0 : INTP111 1 : INTP110

(10) コンペア・レジスタ100, 110 (CM100, CM110)

CM1n0は、16ビットのレジスタで、TM1nと常に比較動作を行い、一致を検出すると割り込みを発生します。次に各モードでの割り込み発生タイミングを示します。

- ・汎用タイマ・モード (TUMnレジスタのCMDビット = 0) , UDCモードA (TUMnレジスタのMSELビット = 0) 時は、一致検出により割り込み信号 (INTCM1n0) を発生します。
- ・UDCモードB (TUMnレジスタのMSELビット = 1) 時は、アップ・カウント中の一致検出時のみ割り込み信号 (INTCM1n0) を発生します。

CM1n0は、16ビット単位でリード/ライト可能です。

**注意** TMC1nレジスタのTM1CEnビット = 1のときには、CM1n0レジスタの値を書き換えることは禁止します。

CM100	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	[16-bit register]																FFFFFF5E2H	0000H
CM110	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	[16-bit register]																FFFFFF602H	0000H

(11) コンペア・レジスタ101, 111 (CM101, CM111)

CM1n1は、16ビットのレジスタで、TM1nと常に比較動作を行い、一致を検出すると割り込みを発生します。次に各モードでの割り込み発生タイミングを示します。

- ・汎用タイマ・モード (TUMnレジスタのCMDビット = 0) , UDCモードA (TUMnレジスタのMSELビット = 0) 時は、一致検出により割り込み信号 (INTCM1n1) を発生します。
- ・UDCモードB (TUMnレジスタのMSELビット = 1) 時は、ダウン・カウント中の一致検出時のみ割り込み信号 (INTCM1n1) を発生します。

CM1n1は、16ビット単位でリード/ライト可能です。

**注意** TMC1nレジスタのTM1CEnビット = 1のときには、CM1n1レジスタの値を書き換えることは禁止します。

CM101	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	[16-bit register]																FFFFFF5E4H	0000H
CM111	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	[16-bit register]																FFFFFF604H	0000H



(12) キャプチャ/コンペア・レジスタ100, 110 (CC100, CC110)

CC1n0は、16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタn (CCRn) の指定により、キャプチャ・レジスタまたはコンペア・レジスタとして使用できます。16ビット単位でリード/ライト可能です。

- 注意1. キャプチャ・レジスタ時 (CCRnレジスタのCMS0ビット = 0) には、ライト・アクセスを禁止します。
2. コンペア・レジスタ時 (CCRnレジスタのCMS0ビット = 1) でTM1n動作中 (TMC1nレジスタのTM1CEnビット = 1) には、CC1n0レジスタ値を書き換えることを禁止します。
  3. TM1n停止時 (TMC1nレジスタのTM1CEnビット = 0) は、キャプチャ・トリガは無効になります。
  4. 動作モードをキャプチャ・レジスタからコンペア・レジスタに変更した場合は、再度新規のコンペア値を設定し直してください。
  5. CC1n0の連続読み出しは禁止します。CC1n0の連続読み出しを行った場合、2回目の読み出し値が実際の値と異なる可能性があります。CC1n0を2回読み出す必要がある場合は、必ず1回目と2回目の間にほかのレジスタを読み出ししてください。

正しい使用例

- CC100リード
- CC110リード
- CC100リード
- CC110リード

間違った使用例

- CC100リード
- CC100リード
- CC110リード
- CC110リード

備考 n = 0, 1

CC100	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	[16-bit register]																FFFFFF5E6H	0000H
CC110	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	[16-bit register]																FFFFFF606H	0000H

(a) キャプチャ・レジスタに設定

キャプチャ・レジスタに設定した場合は、対応する外部割り込み信号 (INTP1n0) の有効エッジをキャプチャ・トリガとして検出します。TM1nはキャプチャ・トリガに同期して、カウント値をラッチします (キャプチャ動作)。ラッチした値は、次にキャプチャ動作が行われるまでキャプチャ・レジスタに保持されます。

また、外部割り込みの有効エッジ指定 (立ち上がり, 立ち下がり, 立ち上がり/立ち下がり両エッジ) は、シグナル・エッジ選択レジスタ1n (SESA1n) により選択できます。

キャプチャ・レジスタに指定したときは、INTP1n0信号の有効エッジ検出で割り込みを発生します。

(b) コンペア・レジスタに設定

コンペア・レジスタに設定した場合、常にTM1nとCC1n0の値の比較動作を行い、一致を検出すると割り込み信号 (INTCC1n0) を発生します。

(13) キャプチャ/コンペア・レジスタ101, 111 (CC101, CC111)

CC1n1は、16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタn (CCRn) の指定により、キャプチャ・レジスタまたはコンペア・レジスタとして使用できます。16ビット単位でリード/ライト可能です。

- 注意1.** キャプチャ・レジスタ時 (CCRnレジスタのCMS1ビット = 0) には、ライト・アクセスを禁止します。
2. コンペア・レジスタ時 (CCRnレジスタのCMS1ビット = 1) でTM1n動作中 (TMC1nレジスタのTM1CEnビット = 1) には、CC1n1レジスタ値を書き換えることは禁止します。
  3. TM1n停止中 (TMC1nレジスタのTM1CEnビット = 0) は、キャプチャ・トリガは無効になります。
  4. 動作モードをキャプチャ・レジスタからコンペア・レジスタに変更した場合は、再度新規のコンペア値を設定し直してください。
  5. CC1n1の連続読み出しは禁止します。CC1n1の連続読み出しを行った場合、2回目の読み出し値が実際の値と異なる可能性があります。CC1n1を2回読み出す必要がある場合は、必ず1回目と2回目の間にほかのレジスタを読み出ししてください。

正しい使用例

CC101リード  
 CC111リード  
 CC101リード  
 CC111リード

間違った使用例

CC101リード  
 CC101リード  
 CC111リード  
 CC111リード

備考 n = 0, 1

CC101	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	[16-bit register]																FFFFF5E8H	0000H
CC111	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	[16-bit register]																FFFFF608H	0000H

**(a) キャプチャ・レジスタに設定**

キャプチャ・レジスタに設定した場合は、対応する外部割り込み信号（INTP1n0とINTP1n1）のどちらかをセレクタで選択し、選択された外部割り込みの有効エッジをキャプチャ・トリガとして検出します。TM1nはキャプチャ・トリガに同期して、カウント値をラッチします（キャプチャ動作）。ラッチした値は、次にキャプチャ動作が行われるまでキャプチャ・レジスタに保持されます。

また、外部割り込みの有効エッジ指定（立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジ）は、シグナル・エッジ選択レジスタ1n（SESA1n）により選択できます。

キャプチャ・レジスタに指定したときは、INTP1n0とINTP1n1信号のどちらか一方の有効エッジ検出で割り込みを発生します。

**(b) コンペア・レジスタに設定**

コンペア・レジスタに設定した場合、常にTM1nとCC1n1の値の比較動作を行い、一致を検出すると割り込み信号（INTCC1n1）を発生します。

## 9.2.5 動作

### (1) 汎用タイマ・モードでの動作

TM1nは、汎用タイマ・モードでは次に示す動作ができます。

#### (a) インターバル動作 (TMC1nレジスタのENMDビット = 1のとき)

TM1nとCM1n0は常に比較動作を行い、一致を検出するとINTCM1n0割り込みを発生します。一致の次のカウント・クロックでTM1nをクリア(0000H)します。さらに次のカウント・クロックが入ると、TM1nは0001Hにカウント・アップされます。

インターバル周期は次に示す式で計算できます。

$$\text{インターバル周期} = (\text{CM1n0値} + 1) \times \text{TM1nのカウント・クロック・レート}$$

#### (b) フリー・ランニング動作 (TMC1nレジスタのENMDビット = 0のとき)

TM1nは、0000HからFFFFHまでフル・カウントし、STATUSnレジスタのTM1OVFnビットがセット(1)後、次のカウント・クロックで0000Hになり、カウントを続行します。

フリー・ランニング周期は次に示す式で計算できます。

$$\text{フリー・ランニング周期} = 65536 \times \text{TM1nのカウント・クロック・レート}$$

#### (c) コンペア機能

TM1nは、コンペア・レジスタ (CM1n0, CM1n1) を2チャンネル、キャプチャ/コンペア・レジスタ (CC1n0, CC1n1) を2チャンネル接続しています。

TM1nカウント値と各コンペア・レジスタ設定値とが一致した場合には、一致割り込み (INTCM1n0, INTCM1n1, INTCC1n0<sup>※</sup>, INTCC1n1<sup>※</sup>) が出力されます。特にインターバル動作時には、INTCM1n0発生タイミングで、TM1nがクリアされます。

注 CC1n0, CC1n1がコンペア・レジスタ・モードに設定されているときに一致割り込みを発生します。

#### (d) キャプチャ機能

TM1nは、キャプチャ/コンペア・レジスタ (CC1n0, CC1n1) を2チャンネル接続しています。

CC1n0, CC1n1がキャプチャ・レジスタ・モードに設定されているときは、該当するキャプチャ・トリガ信号に同期してTM1nの値をキャプチャします。

キャプチャ・トリガ信号に指定されたINTP1n0, INTP1n1入力信号の有効エッジにより割り込み要求 (INTCC1n0, INTCC1n1) を発生します。

表9 - 6 16ビット・キャプチャ・レジスタへのキャプチャ・トリガ信号 (TM1n)

キャプチャ・レジスタ	キャプチャ・トリガ信号
CC1n0	INTP1n0
CC1n1	INTP1n0またはINTP1n1

備考1. CC1n0, CC1n1はキャプチャ/コンペア・レジスタです。どちらのレジスタとして使用するかは、キャプチャ/コンペア・コントロール・レジスタn (CCRN) で指定します。

2. n = 0, 1

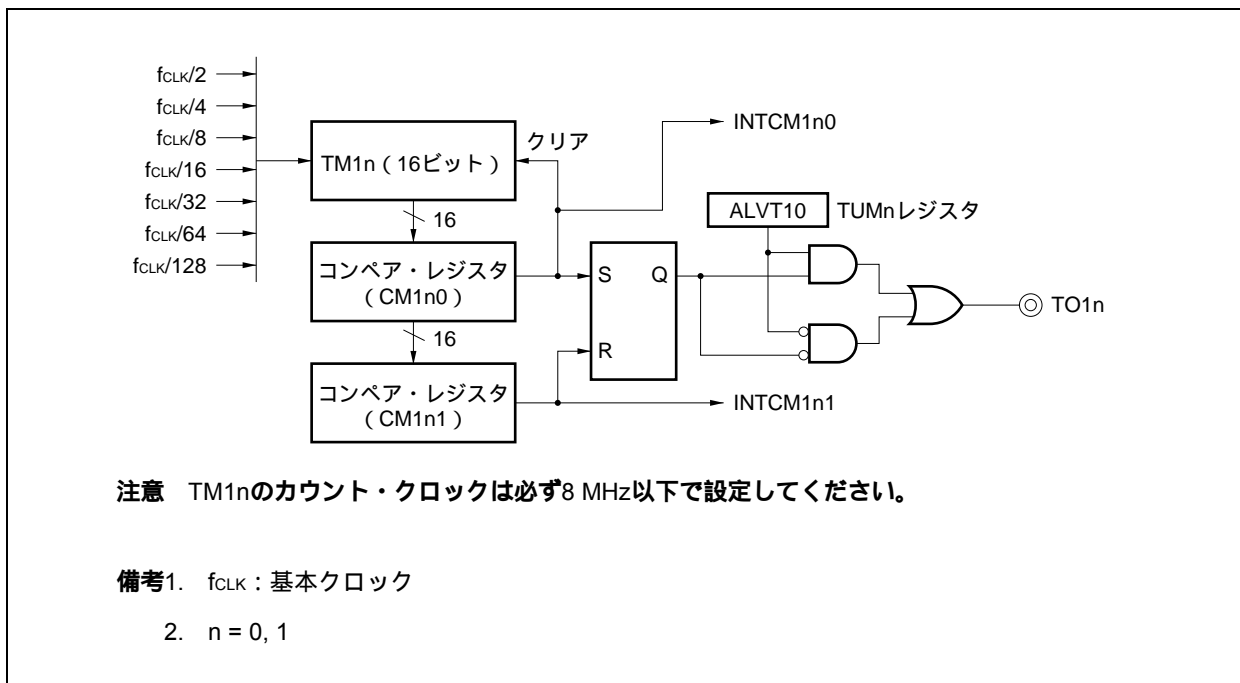
キャプチャ・トリガの有効エッジは、シグナル・エッジ選択レジスタ1n (SESA1n) により指定します。立ち上がり/立ち下りの両エッジをキャプチャ・トリガとした場合は、外部からの入力パルス幅を測定できます。片側エッジをキャプチャ・トリガとした場合は、入力パルスの周期を測定できます。

(e) PWM出力動作

タイマ・ユニット・モード・レジスタn (TUMn) によりTM1nを汎用タイマ・モード (CMDビット = 0) に設定することで、TO1n端子からPWM出力動作をします。

また、分解能は16ビットで、カウント・クロックは7種類の内部クロック (fCLK/2, fCLK/4, fCLK/8, fCLK/16, fCLK/32, fCLK/64, fCLK/128) から選択できます。

図9 - 49 TM1nのブロック図 (PWM出力動作時)

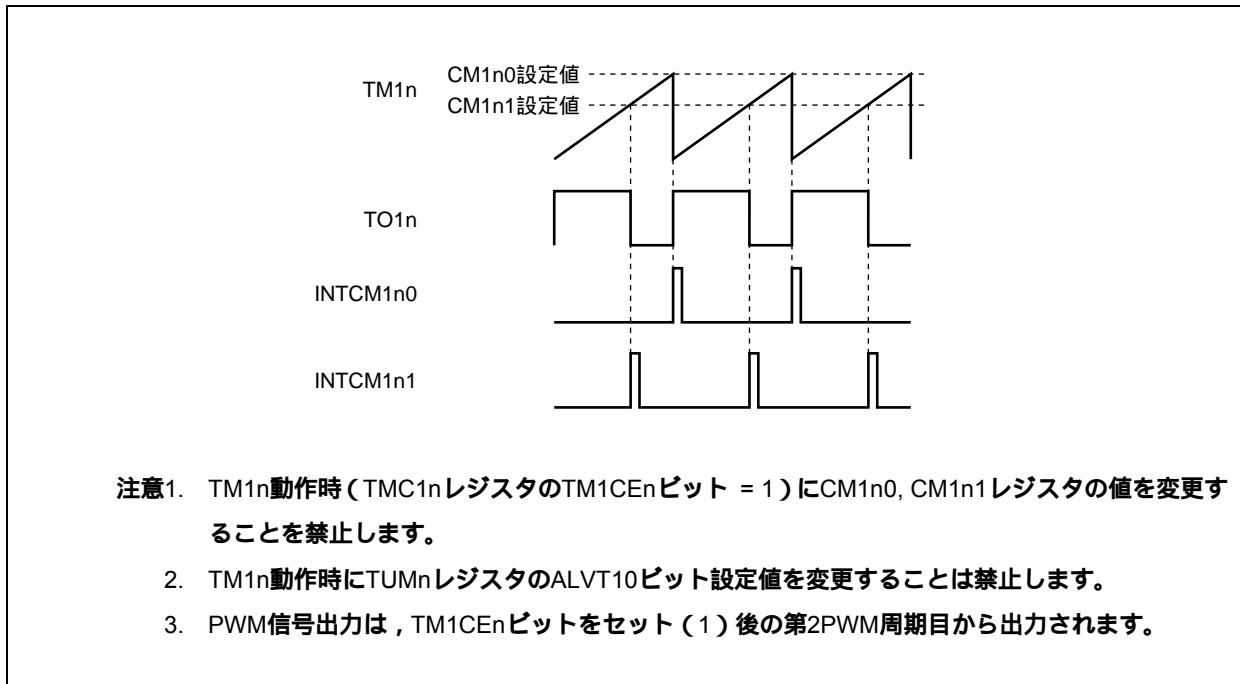


(i) 動作説明

CM1n0レジスタは、PWM出力の周期を設定するコンペア・レジスタです。TM1nと一致するとINTCM1n0割り込みを発生します。コンペア一致したことをハードウェアで保持し、一致の次のカウント・クロックでTM1nをクリアします。

CM1n1レジスタは、PWM出力のデューティを設定するコンペア・レジスタです。PWM周期で必要なデューティを設定してください。

図9 - 50 PWM信号出力例 (ALVT10ビット = 0設定時)



(2) UDCモードでの動作

(a) UDCモードでの動作概要

UDCモード (TUMnレジスタのCMDビット = 1) 時のTM1nへのカウント・クロックは、TIUD1n, TCUD1n端子からの外部入力のみとなります。UDCモード時のアップ/ダウン・カウント判定は、PRM1nレジスタ設定に従ったTIUD1n, TCUD1n端子入力の位相差により決定します (選択肢は合計4種類存在します)。

表9-7 UDCモードのカウント動作一覧

PRM1nレジスタ			動作 モード	TM1nの動作
PRM12	PRM11	PRM10		
1	0	0	モード1	TCUD1n = ハイ・レベルのとき、ダウン・カウント TCUD1n = ロウ・レベルのとき、アップ・カウント
1	0	1	モード2	TIUD1n入力の有効エッジ検出でアップ・カウント TCUD1n入力の有効エッジ検出でダウン・カウント
1	1	0	モード3	TCUD1n = ハイ・レベルのとき、TIUD1n入力の有効エッジ検出でアップ・カウント TCUD1n = ロウ・レベルのとき、TIUD1n入力の有効エッジ検出でダウン・カウント
1	1	1	モード4	TIUD1n入力の両エッジおよびTCUD1n入力の両エッジ検出で自動判別

さらにUDCモードでは、TM1nのクリア条件により、2種類のモードに分かれます (両モードとも、TIUD1n, TCUD1n入力でのみカウント動作を行います)。

・UDCモードA (TUMnレジスタのCMDビット = 1, MSELビット = 0)

TM1nのクリア要因を外部クリア入力 (TCLR1n) のみか、アップ・カウント中のTM1nのカウント値とCM1n0設定値との一致信号か、または、両信号の論理和 (OR) かをTMC1nレジスタのCLR1, CLR0ビットによって選択可能です。

また、TM1nは、自己のアンダフロー発生タイミングでCM1n0の値を転送できます。

・UDCモードB (TUMnレジスタのCMDビット = 1, MSELビット = 1)

TM1nのカウント値とCM1n0設定値が一致後のTM1nの状態を次に示します。

アップ・カウントの場合、TM1nをクリア (0000H) し、INTCM1n0割り込みを発生しません。

ダウン・カウントの場合、TM1nカウント値をデクリメント (-1) します。

TM1nのカウント値とCM1n1設定値が一致後のTM1nの状態を次に示します。

アップ・カウントの場合、TM1nカウント値をインクリメント (+1) します。

ダウン・カウントの場合、TM1nをクリア (0000H) し、INTCM1n1割り込みを発生しません。

(b) UDCモードでのアップ/ダウン・カウント動作

UDCモード時のTM1nのアップ/ダウン・カウント判定は、PRM1nレジスタ設定に従ったTIUD1n, TCUD1n端子入力の位相差により決定します。次に具体的な動作を示します。

(i) モード1 (PRM1nレジスタのPRM12ビット = 1, PRM11ビット = 0, PRM10ビット = 0)

モード1では、TIUD1n端子の有効エッジを検出したときに、TCUD1n端子レベルの条件によりカウントは次のようになります。

- ・ TCUD1n端子 = ハイ・レベルの場合、TM1nをダウン・カウントします。
- ・ TCUD1n端子 = ロウ・レベルの場合、TM1nをアップ・カウントします。

図9 - 51 モード1 (TIUD1n端子の有効エッジが立ち上がりエッジ指定の場合)

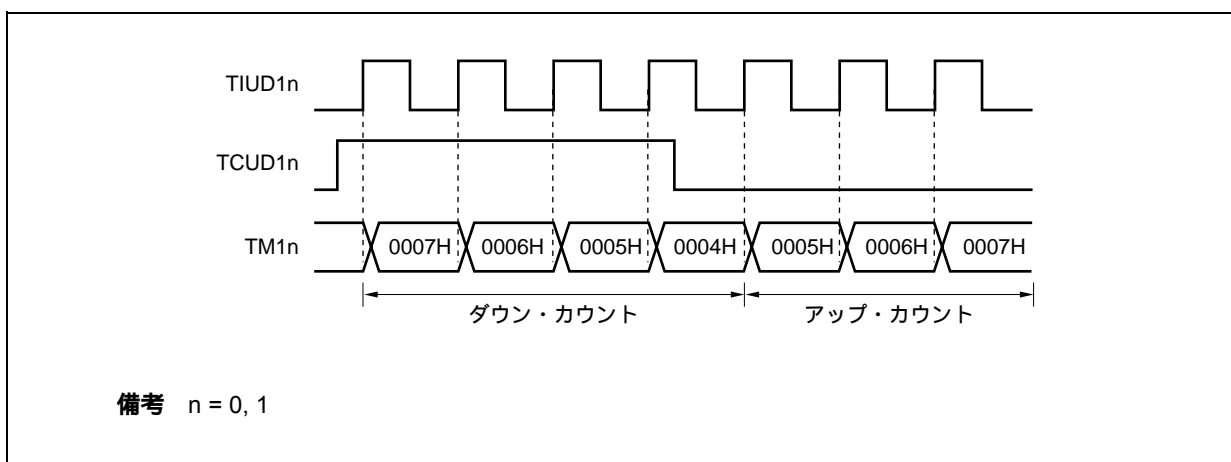
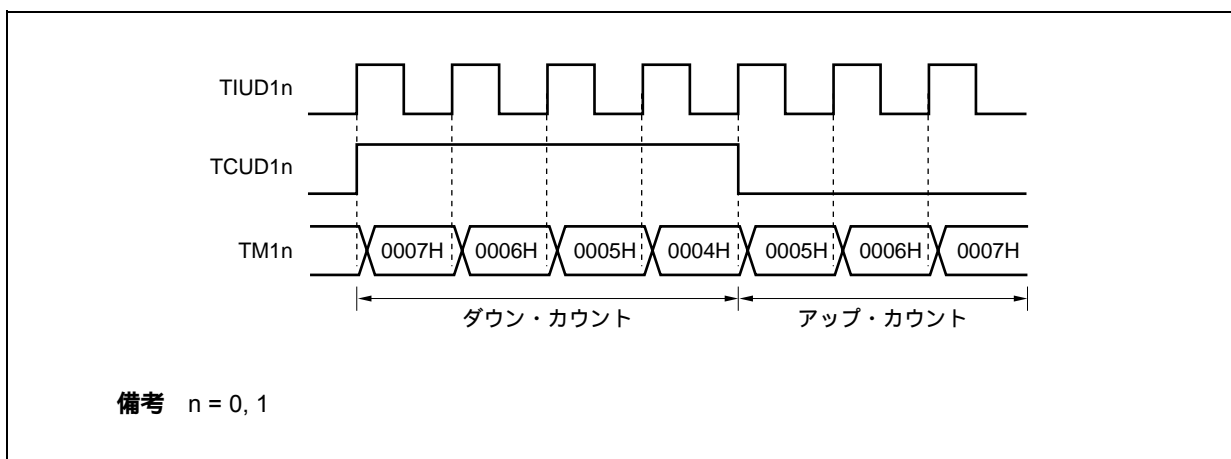


図9 - 52 モード1 (TIUD1n端子の有効エッジが立ち上がりエッジ指定の場合)  
: TIUD1n, TCUD1n端子のエッジが同時タイミングのとき





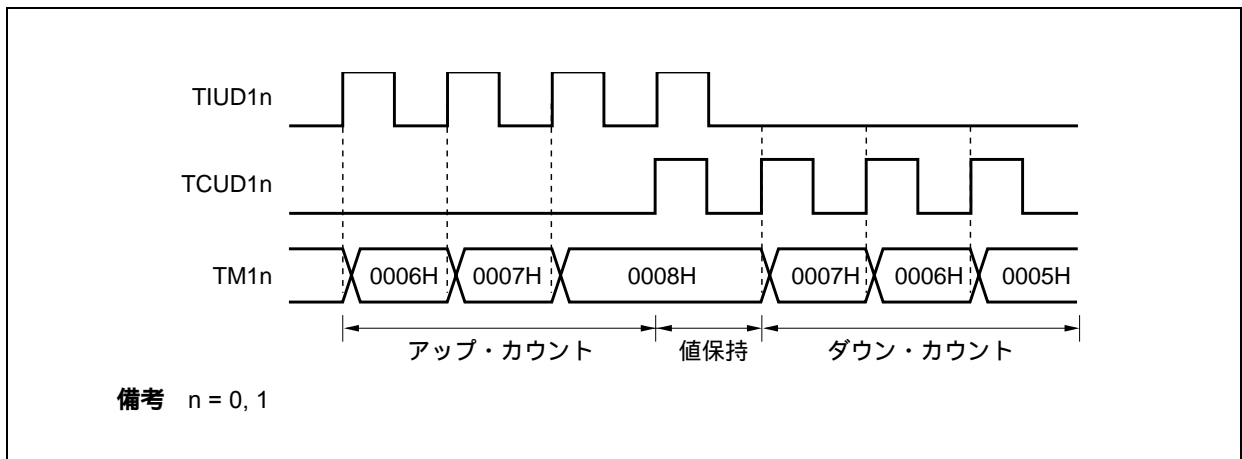
(ii) モード2 (PRM1nレジスタのPRM12ビット = 1, PRM11ビット = 0, PRM10ビット = 1)

モード2でのカウントの条件は次のようになります。

- ・ TIUD1n端子の有効エッジを検出した場合, TM1nをアップ・カウントします。
- ・ TCUD1n端子の有効エッジを検出した場合, TM1nをダウン・カウントします。

**注意** TIUD1n端子とTCUD1n端子にカウント・クロックが同時に入力した場合には, カウント動作を行わず, 直前の値は保持します。

図9 - 53 モード2 (TIUD1n, TCUD1n端子の有効エッジが立ち上がりエッジ指定の場合)



(iii) モード3 (PRM1nレジスタのPRM12 = 1, PRM11 = 1, PRM10 = 0)

モード3は, TIUD1n端子とTCUD1n端子が90°の位相差を持つ2相信号を入力すると, TIUD1n端子の有効エッジ入力でTCUD1n端子のレベルをサンプリングします (図9 - 54参照)。

TIUD1n端子の有効エッジ入力でサンプリングしたTCUD1n端子レベルがロウ・レベルの場合, TM1nはTIUD1n端子の有効エッジ入力でダウン・カウントします。

TIUD1n端子の有効エッジ入力でサンプリングしたTCUD1n端子レベルがハイ・レベルの場合, TM1nはTIUD1n端子の有効エッジ入力でアップ・カウントします。

図9 - 54 モード3 (TIUD1n端子の有効エッジが立ち上がりエッジ指定の場合)

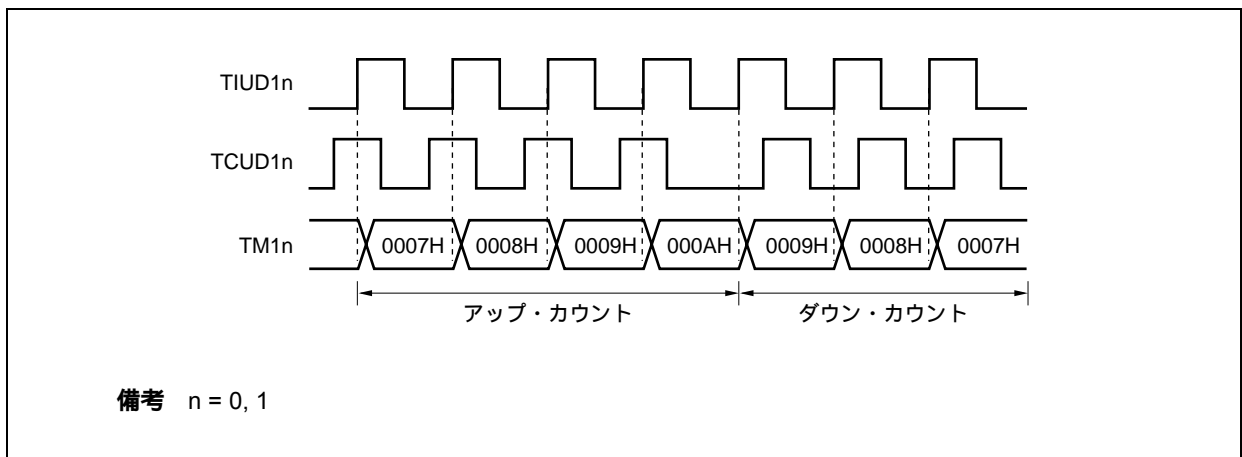
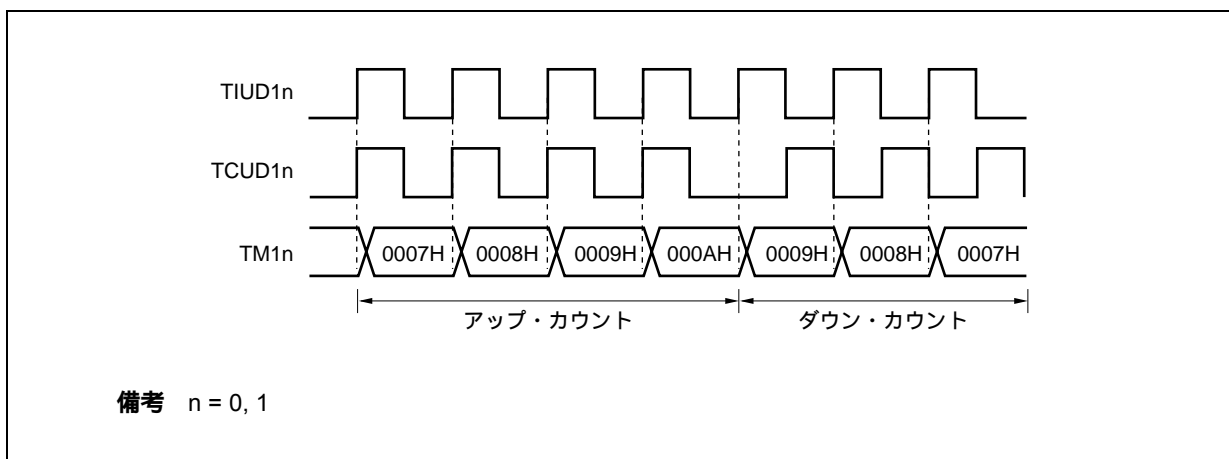


図9 - 55 モード3 (TIUD1n端子の有効エッジが立ち上がりエッジ指定の場合)  
: TIUD1n, TCUD1n端子のエッジが同時タイミングのとき

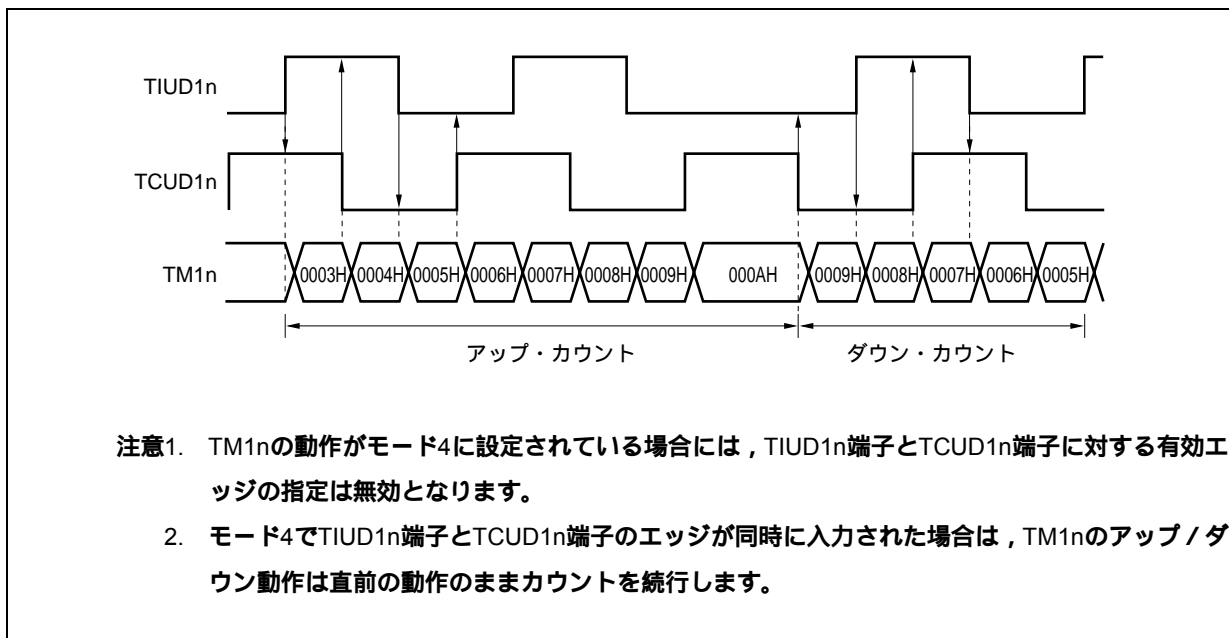


(iv) モード4 (PRM1nレジスタのPRM12 = 1, PRM11 = 1, PRM10 = 1)

モード4は、TIUD1n端子とTCUD1n端子に位相がシフトした2相信号を入力すると、図9 - 56に示すタイミングで自動的にアップ/ダウン動作を判別し、カウントを実行します。

モード4では、TIUD1n端子とTCUD1n端子に入力される2相信号をそれぞれの立ち上がり/立ち下りの両エッジでカウントします。したがって、TM1nは、入力信号の1サイクル当たり4回カウントします(4逓倍カウント)。

図9 - 56 モード4



(c) UDCモードAの動作

(i) インターバル動作

TM1nカウント値とCM1n0設定値が一致後の次のカウント・クロックでの動作を示します。

- ・アップ・カウントの場合，TM1nをクリア (0000H) し，INTCM1n0割り込みを発生します。
- ・ダウン・カウントの場合，TM1nカウント値をデクリメント (-1) し，INTCM1n0割り込みを発生します。

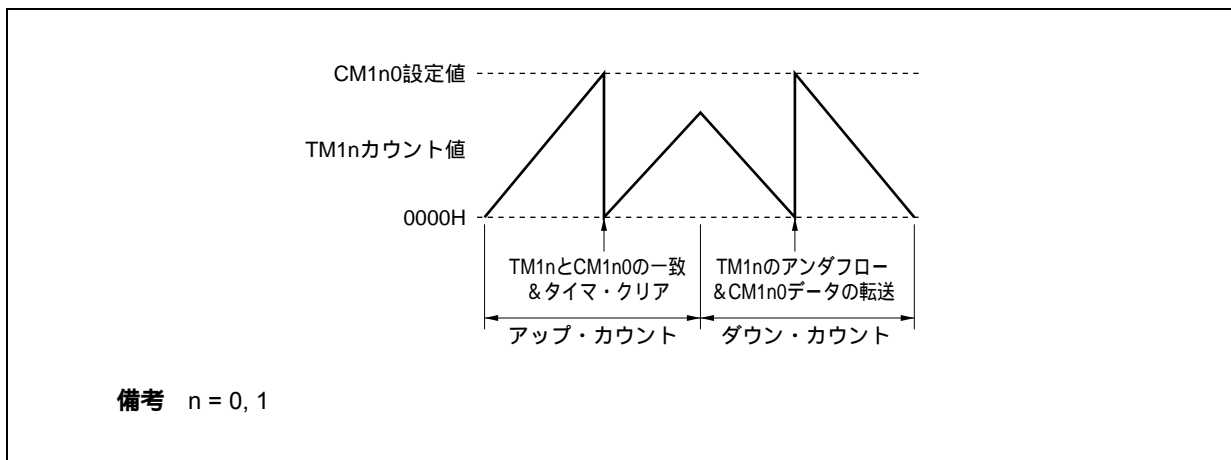
**備考** インターバル動作は，転送動作と組み合わせることもできます。

(ii) 転送動作

TMC1nレジスタのRLENビット = 1の場合，ダウン・カウント中にTM1n = 0000Hとなると，次のカウント・クロックでCM1n0設定値をTM1nへ転送します。

- 備考1.** 転送の許可/禁止は，TMC1nレジスタのRLENビットで設定できます。  
**2.** 転送動作は，インターバル動作と組み合わせることもできます。

図9 - 57 インターバル動作と転送動作を組み合わせたとときのTM1n動作例



(iii) コンペア機能

TM1nは，コンペア・レジスタ (CM1n0, CM1n1) を2チャンネル，キャプチャ/コンペア・レジスタ (CC1n0, CC1n1) を2チャンネル接続しています。

TM1nカウント値と各コンペア・レジスタ設定値とが一致した場合には，一致割り込み (INTCM1n0, INTCM1n1, INTCC1n0<sup>注</sup>, INTCC1n1<sup>注</sup>) が出力されます。

**注** CC1n0, CC1n1がコンペア・レジスタ・モードに設定されているときに一致割り込みを発生します。

(iv) キャプチャ機能

TM1nは、キャプチャ/コンペア・レジスタ (CC1n0, CC1n1) を2チャンネル接続しています。  
 CC1n0, CC1n1がキャプチャ・レジスタ・モードに設定されているときは、該当するキャプチャ・トリガ信号に同期してTM1nの値をキャプチャします。また、有効エッジ検出により、キャプチャ割り込み (INTCC1n0, INTCC1n1) を発生します。

(d) UDCモードBの動作

(i) 基本動作

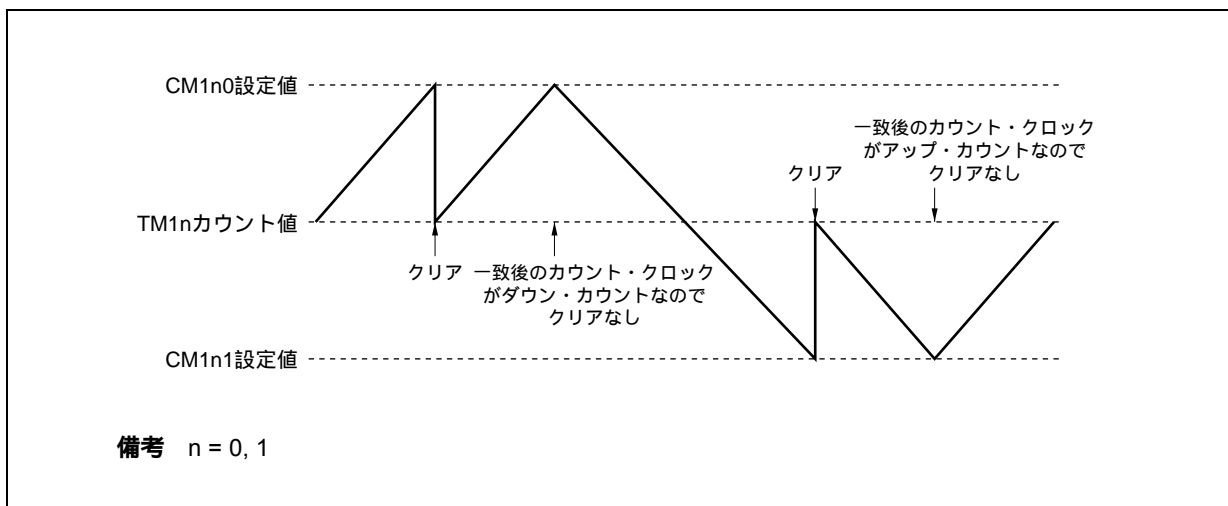
TM1nがUDCモードBのとき、TM1nカウント値とCM1n0設定値が一致後の次のカウント・クロックでの動作を示します。

- ・アップ・カウントの場合、TM1nをクリア (0000H) し、INTCM1n0を発生します。
- ・ダウン・カウントの場合、TM1nカウント値をデクリメント (-1) します。

TM1nがUDCモードBのとき、TM1nカウント値とCM1n1設定値が一致後の次のカウント・クロックでの動作を示します。

- ・アップ・カウントの場合、TM1nカウント値をインクリメント (+1) します。
- ・ダウン・カウントの場合、TM1nをクリア (0000H) し、INTCM1n1を発生します。

図9 - 58 UDCモード時のTM1n動作例



**(ii) コンペア機能**

TM1nは、コンペア・レジスタ (CM1n0, CM1n1) を2チャンネル、キャプチャ/コンペア・レジスタ (CC1n0, CC1n1) を2チャンネル接続しています。

TM1nカウント値と各コンペア・レジスタ設定値とが一致した場合には、一致割り込み (INTCM1n0 (アップ・カウント中のみ), INTCM1n1 (ダウン・カウント中のみ), INTCC1n0<sup>註</sup>, INTCC1n1<sup>註</sup>) が出力されます。

**注** CC1n0, CC1n1がコンペア・レジスタ・モードに設定されているときに一致割り込みを発生します。

**(iii) キャプチャ機能**

TM1nは、キャプチャ/コンペア・レジスタ (CC1n0, CC1n1) を2チャンネル接続しています。

CC1n0, CC1n1がキャプチャ・レジスタ・モードに設定されているときは、該当するキャプチャ・トリガ信号に同期してTM1nの値をキャプチャします。また、有効エッジ検出により、キャプチャ割り込み (INTCC1n0, INTCC1n1) を発生します。

### 9.2.6 内部動作補足説明

#### (1) UDCモードBでのカウント値クリア動作について

TM1nがUDCモードBのとき、カウント値がクリアされる条件を次に示します。

- ・ TM1nがアップ・カウント中にCM1n0との一致でカウント値がクリア
- ・ TM1nがダウン・カウント中にCM1n1との一致でカウント値がクリア

図9 - 59 TM1nカウント値とCM1n0レジスタ設定値との一致後のクリア動作

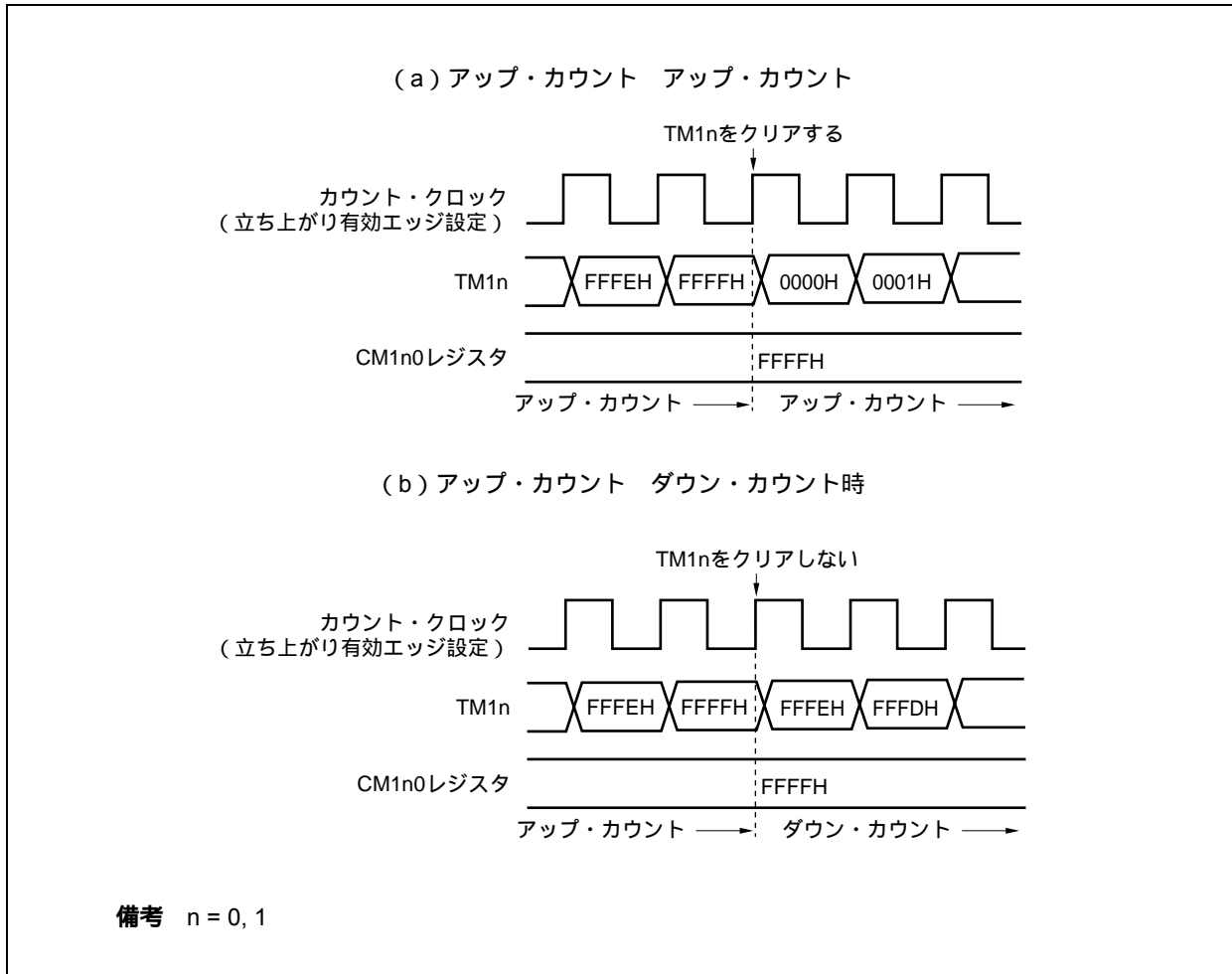
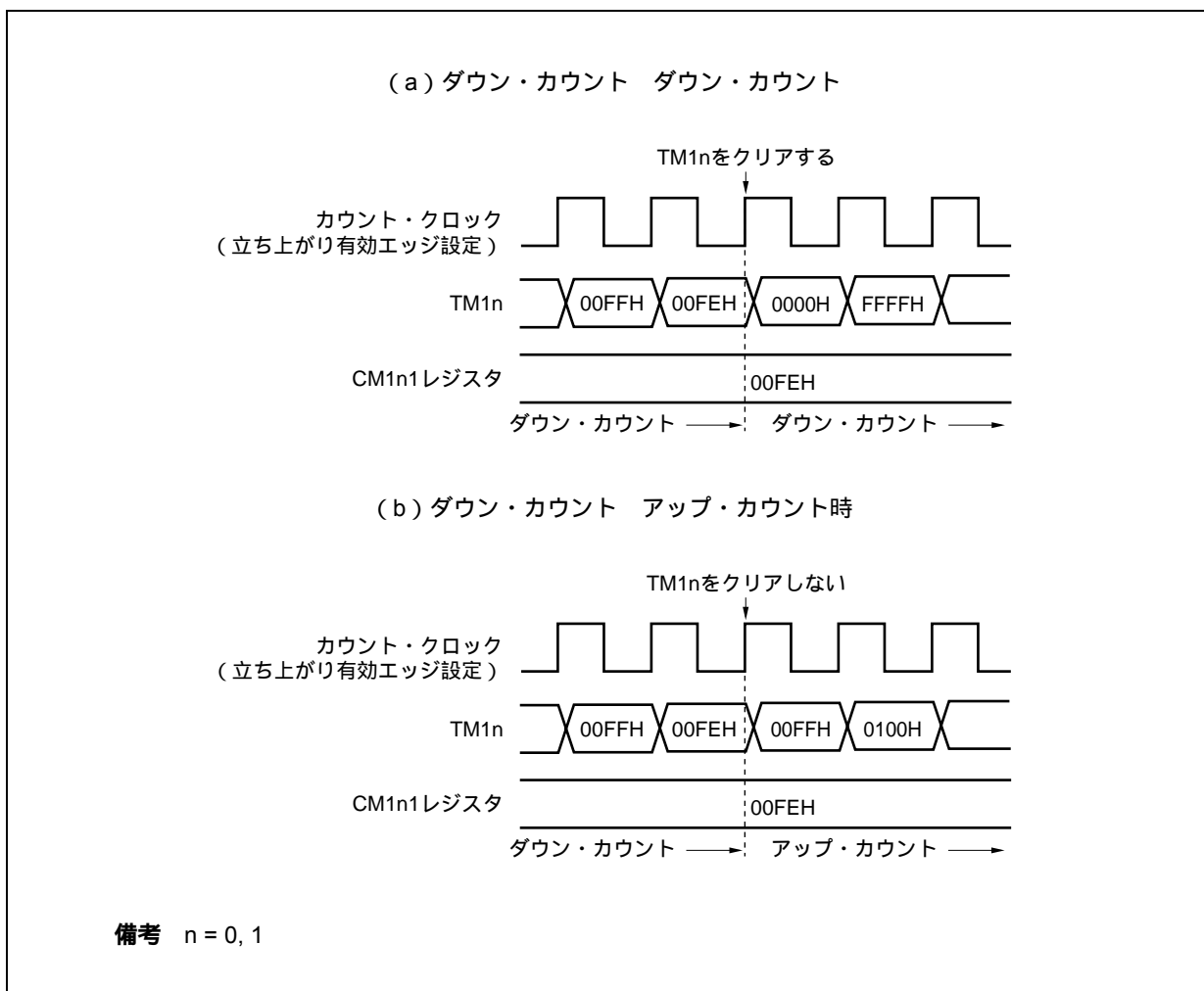


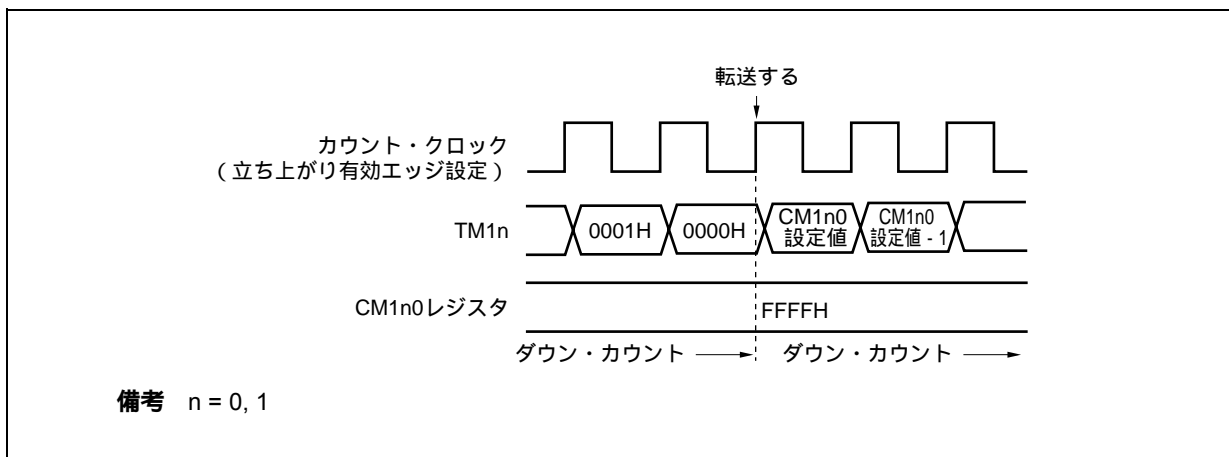
図9 - 60 TM1nカウント値とCM1n1レジスタ設定値との一致後のクリア動作



(2) 転送動作について

UDCモードAでTMC1nレジスタのRLENビット = 1の場合、ダウン・カウント中にTM1n = 0000Hとなると、次のカウント・クロックでCM1n0レジスタ設定値をTM1nへ転送します。ただし、アップ・カウント中には転送動作は行われません。

図9 - 61 転送動作時の内部動作



(3) コンペア一致による割り込み信号出力について

CM1n0, CM1n1, CC1n0<sup>※</sup>, CC1n1<sup>※</sup>レジスタ設定値とTM1nカウント値が一致した場合、割り込み信号を出力します。そのときのタイミングを次に示します。

注 CC1n0, CC1n1がコンペア・レジスタ・モードに設定されている場合

図9 - 62 コンペア一致による割り込み出力

(動作モード：汎用タイマ・モード, カウント・クロック：f<sub>CLK</sub>/2設定時のCM1n1)

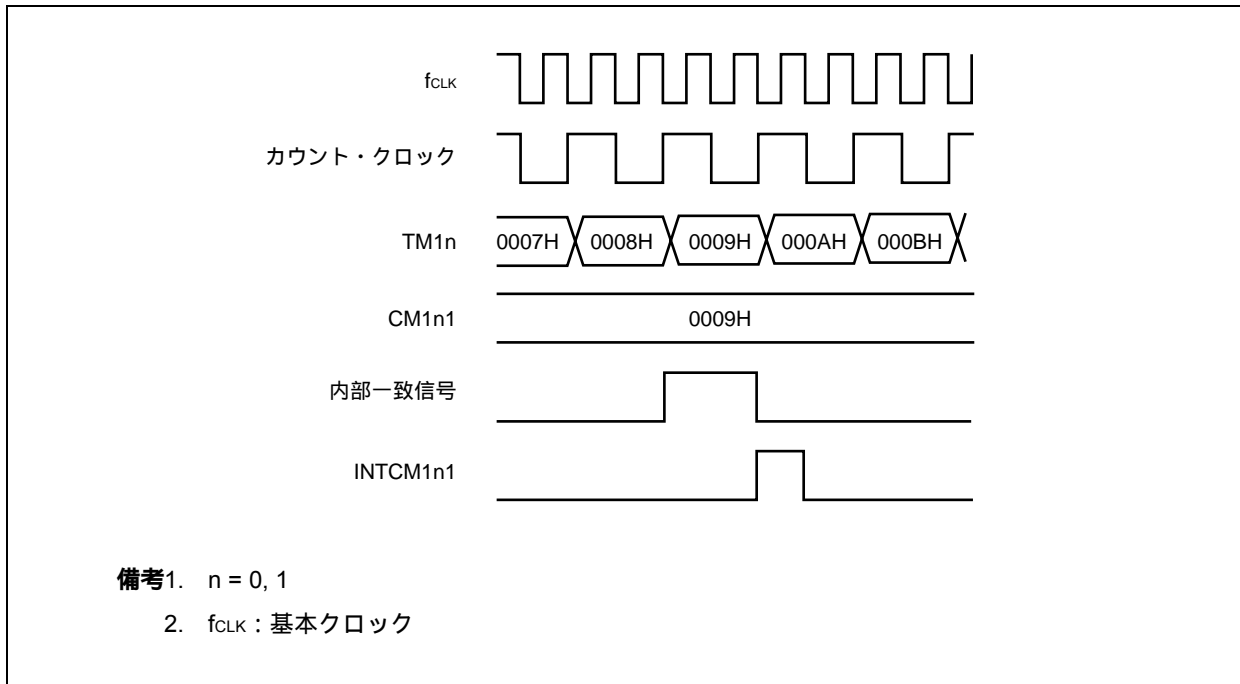
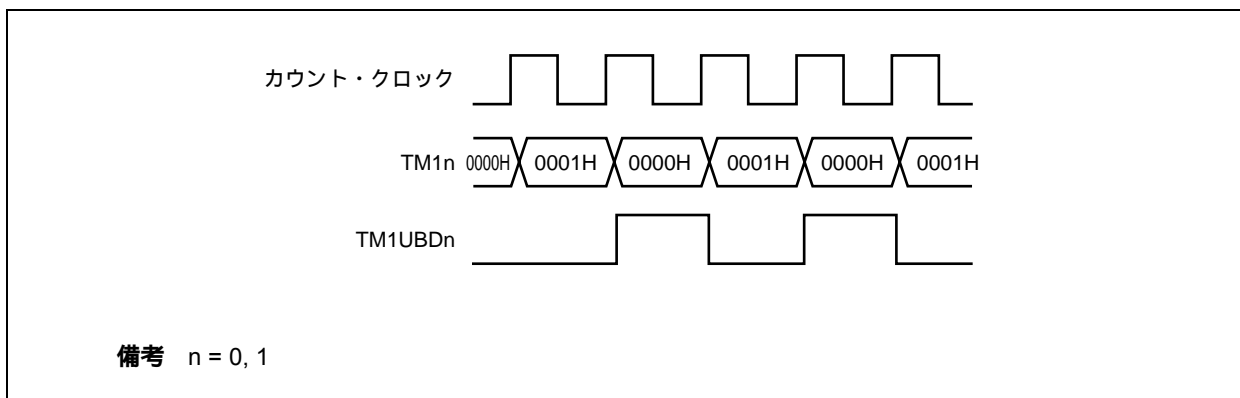


図9 - 62のように割り込み信号は、TM1nカウント値と該当するコンペア・レジスタ設定値とが一致後の次のカウント・クロック時に出力されます。

(4) TM1UBDnフラグ (STATUSnレジスタのビット0) の動作について

UDCモード (TUMnレジスタのCMDビット = 1のとき) において、1内部動作クロックごとにTM1nがアップ/ダウンを繰り返すとき、TM1UBDnフラグは次のように変化します。

図9 - 63 TM1UBDnフラグの動作





## 9.3 タイマ2

### 9.3.1 特徴 (タイマ2)

タイマ20, 21 (TM20, TM21) は, 16ビット汎用タイマ・ユニットで次の動作をします。

- ・パルス間隔や周波数の計測およびプログラマブルなパルスの出力
- ・インターバル・タイマ
- ・PWM出力用タイマ
- ・2チャンネルのタイマ/カウンタをカスケード接続させた場合, 32ビットのキャプチャ用タイマとして使用可能 (この場合, 32ビット・キャプチャ・レジスタを4チャンネル使用可能)

### 9.3.2 機能概要 (タイマ2)

16ビット・タイマ/カウンタ (TM20, TM21) : 2チャンネル

ビット長

タイマ2レジスタ (TM20, TM21) : 16ビット

カスケード動作時 : 32ビット (上位16ビット : TM21, 下位16ビット : TM20)

キャプチャ/コンペア・レジスタ

16ビット・モード時 : 6本

32ビット・モード時 : 4本 (キャプチャ・モードのみ)

カウント・クロックはプリスケアラによる分周から選択 (カウント・クロックは8 MHz以下に設定してください。)

基本クロック ( $f_{CLK}$ ) : 2種 ( $f_{CLK}$ は16 MHz以下に設定してください。)

$f_{xx}/2$ および $f_{xx}/4$ を選択可能

プリスケアラ分周比

基本クロック ( $f_{CLK}$ ) により次のように選択可能です。

分周比	基本クロック ( $f_{CLK}$ )	
	$f_{xx}/2$ 選択時	$f_{xx}/4$ 選択時
1/2	$f_{xx}/4$	$f_{xx}/8$
1/4	$f_{xx}/8$	$f_{xx}/16$
1/8	$f_{xx}/16$	$f_{xx}/32$
1/16	$f_{xx}/32$	$f_{xx}/64$
1/32	$f_{xx}/64$	$f_{xx}/128$
1/64	$f_{xx}/128$	$f_{xx}/256$
1/128	$f_{xx}/256$	$f_{xx}/512$

## 割り込み要求ソース

- ・コンペア一致割り込み要求：6種

サブチャンネルnキャプチャ/コンペア・レジスタとコンペア動作させ、コンペア一致を検出するとINTCC2nを発生します。

- ・タイマ/カウンタ・オーバフロー割り込み要求：2種

TM20 (TM21) のカウント値がFFFFHとなった場合にINTTM20 (INTTM21) を発生します。

## キャプチャ要求

外部端子 (INTP2n)<sup>注1, 注2</sup>, TM10, TM11の割り込み信号 (INTCM100, INTCM101) およびソフトウェアによる割り込み要求をキャプチャ・トリガとして, TM20, TM21のカウント値をラッチできます。

## PWM出力機能

コンペア・モード時にサブチャンネル1-4のコンペア一致のタイミングおよびタイマ/カウンタのゼロ・カウント信号で, TO21-TO24端子の出力を制御し, PWM出力を行うことができます。

外部クロック入力<sup>注2</sup>によるタイマのカウント動作

TI2端子のクロック入力信号を用いてタイマのカウント動作ができます。

外部端子入力<sup>注2</sup>によるタイマのカウント・イネーブル動作<sup>注3</sup>

TCLR2端子の入力信号を用いてタイマのカウント・イネーブル動作ができます。

外部端子入力<sup>注2</sup>によるタイマ/カウンタのクリア動作<sup>注3, 注4</sup>

TCLR2端子の入力信号を用いてタイマ/カウンタのクリア動作ができます。

外部端子入力<sup>注2</sup>によるアップ/ダウン・カウントの制御<sup>注3, 注5</sup>

TCLR2端子の入力信号を用いてコンペア・モード時のアップ/ダウン・カウントを制御できます。

## 出力遅延動作

TO21-TO24端子の出力信号に, クロックに同期した出力遅延を持たせることができます。

EMI対策に有効です。

## 入力フィルタ

外部端子 (TI2, INTP20-INTP25, TCLR2) およびTM10, TM11の割り込み信号の入力段に入力フィルタを設けています (14. 5. 3 (1) タイマ2入力フィルタ・モード・レジスタ0-5 (FEM0-FEM5) 参照)。

- 注1. タイマ2への外部割り込み要求 (INTP20-INTP25) に対する有効エッジを指定するレジスタは7. 3. 8 (4) タイマ2入力フィルタ・モード・レジスタ0-5 (FEM0-FEM5) を参照してください。
2. TI2およびINTP20, TO21およびINTP21, TO22およびINTP22, TO23およびINTP23, TO24およびINTP24, TCLR2およびINTP25はそれぞれ兼用端子です。
3. 外部端子入力によるタイマ/カウンタのカウント・イネーブル動作, タイマ/カウンタのクリア動作およびアップ/ダウン・カウントの制御を同時に組み合わせた動作を行うことはできません。
4. 32ビット・カスケード接続のときは, 外部端子入力 (TCLR2) によるクリア動作はできません。
5. 32ビット・カスケード接続によるアップ/ダウン・カウント制御はできません。

備考 fxx : 内部システム・クロック

n = 0-5

## 9.3.3 基本構成

次に基本構成を示します。

表9-8 タイマ2の構成一覧

タイマ	カウント・クロック		レジスタ	リード/ライト	発生する 割り込み信号	キャプチャ・ トリガ	その他の機能
	注1	注2					
タイマ2	fxx/4,	fxx/8,	TM20	-	INTTM20	-	注3
	fxx/8,	fxx/16,	TM21	-	INTTM21	-	注3
	fxx/16,	fxx/32,	CVSE00	リード/ライト	INTCC20	INTP20/INTP25	-
	fxx/32,	fxx/64,	CVSE10	リード/ライト	INTCC21	INTP21/INTP24	バッファ/注4
	fxx/64,	fxx/128,	CVSE20	リード/ライト	INTCC22	INTP22/INTP23	バッファ/注4
	fxx/128,	fxx/256	CVSE30	リード/ライト	INTCC23	INTP23/INTP22	バッファ/注4
	fxx/256	fxx/512	CVSE40	リード/ライト	INTCC24	INTP24/INTP21	バッファ/注4
			CVSE50	リード/ライト	INTCC25	INTP25/INTP20	-
			CVPE40	リード	INTCC24	INTP24/INTP21	注4
			CVPE30	リード	INTCC23	INTP23/INTP22	注4
			CVPE20	リード	INTCC22	INTP22/INTP23	注4
		CVPE10	リード	INTCC21	INTP21/INTP24	注4	

- 注1. TM2nへの基本クロックとしてfxx/2を選択した場合
2. TM2nへの基本クロックとしてfxx/4を選択した場合
3. TM20とTM21でカスケード動作可能です。
4. CVSEn0レジスタとCVPEn0レジスタでカスケード動作可能です (n = 1-4)。

備考 fxx : 内部システム・クロック

次にキャプチャ/コンペア動作要因を示します。

表9 - 9 キャプチャ/コンペア動作要因

レジスタ	サブチャンネル番号	キャプチャするタイマ	コンペアするタイマ	32ビット・カスケード接続時にキャプチャするタイマ
CVSE00	0	TM20	TM20	-
CVPE <sub>n</sub> 0	n	CMSE <sub>m</sub> 0レジスタのBFEE <sub>y</sub> ビット = 0のとき, TM21	CMSE <sub>m</sub> 0レジスタのTB1E <sub>y</sub> , TB0E <sub>y</sub> ビット = 01のとき, TM20	TM21
CVSE <sub>n</sub> 0	n	CMSE <sub>m</sub> 0レジスタのBFEE <sub>y</sub> ビット = 0のとき, TM20	バッファとして使用	TM20
CVSE50	5	TM21	TM21	-

備考 n = 1-4

m : n = 1, 2のとき, m = 12, n = 3, 4のとき, m = 34

y : m = 12のとき, y = 1, 2, m = 34のとき, y = 3, 4

次にタイマ出力時の出力レベル要因を示します。

表9 - 10 タイマ出力時の出力レベル要因

TO2 <sub>n</sub>	トグル・モード0 (OTME <sub>n</sub> 1, OTME <sub>n</sub> 0 = 00)		トグル・モード1 (OTME <sub>n</sub> 1, OTME <sub>n</sub> 0 = 01)		トグル・モード2 (OTME <sub>n</sub> 1, OTME <sub>n</sub> 0 = 10)		トグル・モード3 (OTME <sub>n</sub> 1, OTME <sub>n</sub> 0 = 11)	
トリガ	サブチャンネルnのコンペア一致		サブチャンネルnのコンペア一致	TM20 = 0	サブチャンネルnのコンペア一致	TM21 = 0	サブチャンネルnのコンペア一致	サブチャンネルn + 1のコンペア一致
出力レベル	アクティブ出力	インアクティブ出力	アクティブ出力	インアクティブ出力	アクティブ出力	インアクティブ出力	アクティブ出力	インアクティブ出力

備考1. n = 1-4

2. OTME<sub>n</sub>1, OTME<sub>n</sub>0 : タイマ2出力制御レジスタ0 (OCTLE0) のビット13, 12, 9, 8, 5, 4, 1, 0

図9 - 64にタイマ2のブロック図を示します。

図9 - 64 タイマ2のブロック図

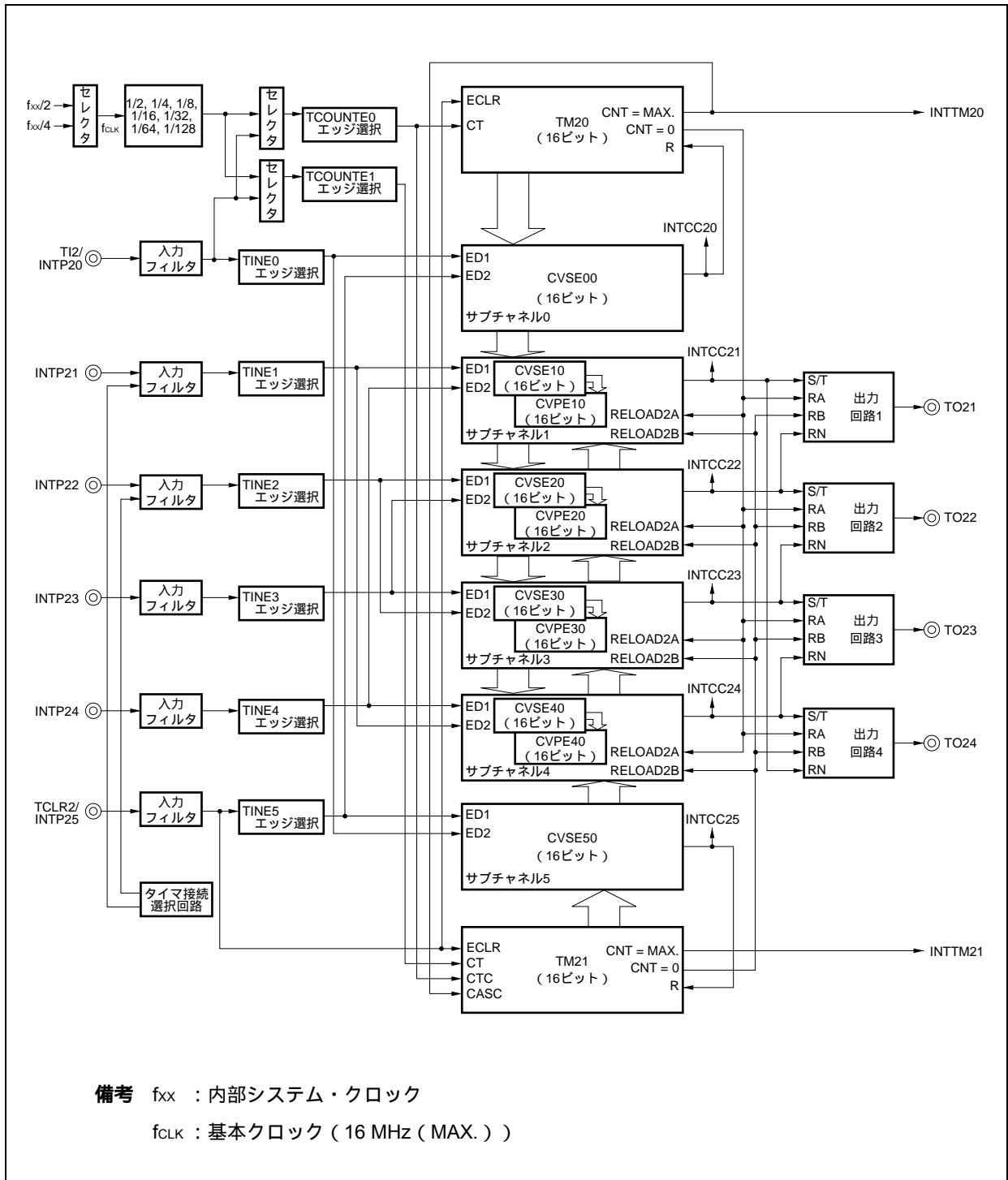


表9 - 11 ブロック図の信号の意味

信号名	意 味
CASC <sup>注1</sup>	32ビット・モード時のTM21のカウンタ信号入力
CNT	タイマ2のカウンタ値 (CNT = MAX.: タイマ2の最大値カウンタ信号出力 (TM2n = FFFFH時に発生), CNT = 0: タイマ2のゼロ・カウンタ信号出力 (TM2n = 0000H時に発生))
CT	16ビット・モード時のTM2nのカウンタ信号入力
CTC	32ビット・モード時のTM21のカウンタ信号入力
ECLR	TCLR2入力からの外部コントロール信号入力
ED1,ED2	エッジ選択回路からのキャプチャ・イベント信号入力
R <sup>注2</sup>	コンペアー一致信号入力 (サブチャネル0/5)
RA	TM20のゼロ・カウンタ信号入力 (出力回路のリセット信号)
RB	TM21のゼロ・カウンタ信号入力 (出力回路のリセット信号)
RELOAD2A	TM20のゼロ・カウンタ信号入力 (TM20 = 0000H時に発生)
RELOAD2B	TM21のゼロ・カウンタ信号入力 (TM21 = 0000H時に発生)
RN	サブチャネルxの割り込み信号入力 (出力回路のリセット信号)
S/T	サブチャネルxの割り込み信号入力 (出力回路のセット信号)
TCOUNT0, TCOUNT1	タイマ2のカウンタ・イネーブル信号入力
TINEm	タイマ2サブチャネルmキャプチャ・イベント信号入力

- 注1. 32ビット・モード時にCASC (TM20がCNT = MAX.) が発生し、かつ、CTCの立ち上がりを検出した場合、TM21はカウンタ動作を行います。
2. サブチャネル0/5のコンペアー一致でTM20/TM21のクリアもしくはカウンタ方向を制御できます。

備考 m = 0-5  
n = 0, 1  
x = 1-4

(1) タイマ20, 21 (TM20, TM21)

次にTM2nの特徴を示します。

- ・サブチャネル0, サブチャネル5のコンペアー一致でカウンタのクリアが可能なフリー・ランニング・カウンタです。
- ・TM20, TM21をカスケード接続させた場合、32ビットのキャプチャ用タイマとして使用できます。
- ・アップ/ダウン・コントロール, カウンタ・クリアおよびカウンタ動作の許可/不許可を外部端子 (TCLR2) で制御できます。
- ・カウンタのアップ/ダウンおよびクリア動作の制御方法をソフトウェアで設定できます。
- ・カウンタ値0でストップまたはカウンタ動作の開始/停止をソフトウェアで制御できます。

(2) タイマ2サブチャンネル0キャプチャ/コンペア・レジスタ (CVSE00)

CVSE00レジスタは、サブチャンネル0の16ビット・キャプチャ/コンペア・レジスタです。

キャプチャ・レジスタ・モード時には、TM20のカウンタ値をキャプチャします。

コンペア・レジスタ・モード時には、TM20と一致検出を行います。

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CVSE00																	FFFFFF660H	0000H

(3) タイマ2サブチャンネルn主キャプチャ/コンペア・レジスタ (CVPEn0) (n = 1-4)

CVPEn0レジスタは、サブチャンネルnの16ビット主キャプチャ/コンペア・レジスタです。

キャプチャ・レジスタ・モード時には、CMSEm0レジスタのBFEE<sub>n</sub>ビット = 0の場合にはTM21の値をキャプチャします (m = 12, 34)。BFEE<sub>n</sub>ビット = 1の場合にはTM20もしくはTM21の値を格納します。

コンペア・レジスタ・モード時には、TM2xと一致検出を行います (TM2x = TB1<sub>n</sub>, TB0<sub>n</sub>ビットで選択したタイマ・カウンタ)。

32ビット・モード (CMSEm0レジスタのTB1<sub>n</sub>, TB0<sub>n</sub>ビット値 = 11B) 時にキャプチャ・レジスタ・モードを選択した場合には、TM21 (上位16ビット) の内容をキャプチャします。

16ビット単位でリードだけ可能です。

**注意** BFEE<sub>n</sub>ビット = 1のとき、コンペア・レジスタ・モードでは、リセット後、TM2xとCVPE<sub>n</sub>0レジスタの値がともに“0”のため、起動時にコンペア一致が発生します (TM2x = TB1<sub>n</sub>, TB0<sub>n</sub>ビットで選択したタイマ・カウンタ, n = 1-4)。その後、副レジスタ (CVSE<sub>n</sub>0) の値が主レジスタ (CVPE<sub>n</sub>0) に書き込まれます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CVPE10																	FFFFFF652H	0000H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CVPE20																	FFFFFF656H	0000H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CVPE30																	FFFFFF65AH	0000H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CVPE40																	FFFFFF65EH	0000H

(4) タイマ2サブチャンネルn副キャプチャ/コンペア・レジスタ (CVSEn0) (n = 1-4)

CVSEn0レジスタは、サブチャンネルnの16ビット副キャプチャ/コンペア・レジスタです。

コンペア・レジスタ・モード時にはバッファとして使用できます。キャプチャ・レジスタ・モード時には、CMSEm0レジスタのBFEEEnビット = 0の場合にはTM20の値をキャプチャします (m = 12, 34)。

32ビット・モード (CMSEm0レジスタのTB1En, TB0Enビット値 = 11B) 時にキャプチャ・レジスタ・モードを選択した場合には、TM20 (下位16ビット) の内容をキャプチャします。

CVSEn0レジスタはコンペア・レジスタ・モード時のみ書き込み可能です。キャプチャ・レジスタ・モード時に書き込みを行った場合、CVSEn0レジスタに書き込んだ内容は失われます。

16ビット単位でリード/ライト可能です。

**注意** BFEEEnビット = 1のとき、コンペア・レジスタ・モードでは、リセット後、TM2xとCVPEn0レジスタの値がともに“0”のため、起動時にコンペア一致が発生します (TM2x = TB1En, TB0Enビットで選択したタイマ・カウンタ, n = 1-4)。その後、副レジスタ (CVSEn0) の値が主レジスタ (CVPEn0) に書き込まれます。

CVSE10	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	初期値
	<input type="text"/>	FFFFFF650H	0000H
CVSE20	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	初期値
	<input type="text"/>	FFFFFF654H	0000H
CVSE30	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	初期値
	<input type="text"/>	FFFFFF658H	0000H
CVSE40	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	初期値
	<input type="text"/>	FFFFFF65CH	0000H

(5) タイマ2サブチャンネル5キャプチャ/コンペア・レジスタ (CVSE50)

CVSE50レジスタは、サブチャンネル5の16ビット・キャプチャ/コンペア・レジスタです。

キャプチャ・レジスタ・モード時には、TM21のカウンタ値をキャプチャします。

コンペア・レジスタ・モード時には、TM21と一致検出を行います。

16ビット単位でリード/ライト可能です。

CVSE50	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	初期値
	<input type="text"/>	FFFFFF662H	0000H



### 9.3.4 制御レジスタ

#### (1) タイマ1/タイマ2クロック選択レジスタ (PRM02)

PRM02レジスタは、タイマ1、タイマ2の基本クロック (f<sub>CLK</sub>) を選択するレジスタです。  
8/1ビット単位でリード/ライト可能です。

**注意** 必ずタイマ1、タイマ2を使用する前に設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
PRM02	0	0	0	0	0	0	0	PRM2	FFFFF5D8H	00H

ビット位置	ビット名	意味
0	PRM2	タイマ1、タイマ2の基本クロック (f <sub>CLK</sub> ) を指定します <sup>注</sup> 。 0 : f <sub>CLK</sub> = f <sub>xx</sub> /4 1 : f <sub>CLK</sub> = f <sub>xx</sub> /2

**注** タイマ1/タイマ2クロック選択レジスタ (PRM02) のPRM2ビット = 0B (f<sub>CLK</sub> = f<sub>xx</sub>/4) 設定時はVSWCレジスタ = 15H, PRM2ビット = 1B (f<sub>CLK</sub> = f<sub>xx</sub>/2) 設定時はVSWCレジスタ = 12Hとしてください。

**備考** f<sub>xx</sub> : 内部システム・クロック, n = 0, 1

#### (2) タイマ2クロック停止レジスタ0 (STOPTE0)

STOPTE0レジスタは、タイマ2への動作クロックの停止を行うレジスタです。

STOPTE0レジスタは16ビット単位でリード/ライト可能です。

STOPTE0レジスタの上位8ビットをSTOPTE0Hレジスタ、下位8ビットをSTOPTE0Lレジスタとして使用した場合は、STOPTE0Hレジスタは8/1ビット単位でリード/ライト可能、STOPTE0Lレジスタは8ビット単位でリードだけ可能です。

**注意1.** タイマ2は、STFTEビット = 0のときにイニシャライズしてください。STFTEビット = 1のときはイニシャライズできません。

**2.** イニシャライズ後、STFTEビット = 1にした場合、イニシャライズ状態は保持されます。

	⑮	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
STOPTE0	STFTE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	FFFFF640H	0000H

ビット位置	ビット名	意味
15	STFTE	タイマ2への動作クロックの停止を行います。 0 : 通常動作 1 : タイマ2動作クロックを停止

(3) タイマ2カウント・クロック/制御エッジ選択レジスタ0 (CSE0)

CSE0レジスタは、TM2nのカウント・クロックと制御有効エッジを指定するレジスタです (n = 0, 1)。

CSE0レジスタは16ビット単位でリード/ライト可能です。

CSE0レジスタの上位8ビットをCSE0Hレジスタ, 下位8ビットをCSE0Lレジスタとして使用した場合は, 8/1ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CSE0	0	0	0	0	TES1E1	TES1E0	TES0E1	TES0E0	CESE1	CESE0	CSE12	CSE11	CSE10	CSE02	CSE01	CSE00	FFFFFF642H	0000H

ビット位置	ビット名	意味																																				
11, 10, 9, 8	TESnE1, TESnE0	TM2nの内部カウント・クロック (TCOUNTEn) 信号の有効エッジを指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TESnE1</th> <th>TESnE0</th> <th>有効エッジ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>立ち上がり/立ち下がり両エッジ<sup>注</sup></td> </tr> </tbody> </table>	TESnE1	TESnE0	有効エッジ	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	設定禁止	1	1	立ち上がり/立ち下がり両エッジ <sup>注</sup>																					
TESnE1	TESnE0	有効エッジ																																				
0	0	立ち下がりエッジ																																				
0	1	立ち上がりエッジ																																				
1	0	設定禁止																																				
1	1	立ち上がり/立ち下がり両エッジ <sup>注</sup>																																				
7, 6	CESE1, CESE0	TM2nの外部クリア入力 (TCLR2) の有効エッジを指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>CESE1</th> <th>CESE0</th> <th>有効エッジ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>スルー入力 (クリア動作しない)</td> </tr> <tr> <td>1</td> <td>1</td> <td>立ち上がり/立ち下がり両エッジ</td> </tr> </tbody> </table>	CESE1	CESE0	有効エッジ	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	スルー入力 (クリア動作しない)	1	1	立ち上がり/立ち下がり両エッジ																					
CESE1	CESE0	有効エッジ																																				
0	0	立ち下がりエッジ																																				
0	1	立ち上がりエッジ																																				
1	0	スルー入力 (クリア動作しない)																																				
1	1	立ち上がり/立ち下がり両エッジ																																				
5-3, 2-0	CSEn2, CSEn1, CSEn0	TM2nの内部カウント・クロック (TCOUNTEn) を選択します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>CSEn2</th> <th>CSEn1</th> <th>CSEn0</th> <th>カウント・クロック</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>f<sub>CLK</sub>/2<sup>注</sup></td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>f<sub>CLK</sub>/4</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>f<sub>CLK</sub>/8</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>f<sub>CLK</sub>/16</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>f<sub>CLK</sub>/32</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>f<sub>CLK</sub>/64</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>f<sub>CLK</sub>/128</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>外部クロック入力端子 (TI2) からの入力信号をクロックとして選択します。</td> </tr> </tbody> </table>	CSEn2	CSEn1	CSEn0	カウント・クロック	0	0	0	f <sub>CLK</sub> /2 <sup>注</sup>	0	0	1	f <sub>CLK</sub> /4	0	1	0	f <sub>CLK</sub> /8	0	1	1	f <sub>CLK</sub> /16	1	0	0	f <sub>CLK</sub> /32	1	0	1	f <sub>CLK</sub> /64	1	1	0	f <sub>CLK</sub> /128	1	1	1	外部クロック入力端子 (TI2) からの入力信号をクロックとして選択します。
CSEn2	CSEn1	CSEn0	カウント・クロック																																			
0	0	0	f <sub>CLK</sub> /2 <sup>注</sup>																																			
0	0	1	f <sub>CLK</sub> /4																																			
0	1	0	f <sub>CLK</sub> /8																																			
0	1	1	f <sub>CLK</sub> /16																																			
1	0	0	f <sub>CLK</sub> /32																																			
1	0	1	f <sub>CLK</sub> /64																																			
1	1	0	f <sub>CLK</sub> /128																																			
1	1	1	外部クロック入力端子 (TI2) からの入力信号をクロックとして選択します。																																			

**注** タイマ2カウント・クロック/制御エッジ選択レジスタ0 (CSE0) のTESnE1, TESnE0ビット = 11B, かつCSEn2-CSEn0ビット = 000Bは設定禁止です。

**注意** タイマ1/タイマ2クロック選択レジスタ (PRM02) のPRM2ビット = 0B (f<sub>CLK</sub> = f<sub>xx</sub>/4) 設定時はVSWCレジスタ = 15H, PRM2ビット = 1B (f<sub>CLK</sub> = f<sub>xx</sub>/2) 設定時はVSWCレジスタ = 12Hとしてください。

**備考** n = 0, 1, f<sub>CLK</sub>: 基本クロック

(4) タイマ2サブチャネル入力イベント・エッジ選択レジスタ0 (SESE0)

SESE0レジスタは、キャプチャを行うサブチャネルnキャプチャ/コンペア・レジスタへの外部キャプチャ信号入力 (TINEn) の有効エッジを指定します (n = 0-5)。

SESE0レジスタは16ビット単位でリード/ライト可能です。

SESE0レジスタの上位8ビットをSESE0Hレジスタ、下位8ビットをSESE0Lレジスタとして使用した場合は、8/1ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SESE0	0	0	0	0	IESE51	IESE50	IESE41	IESE40	IESE31	IESE30	IESE21	IESE20	IESE11	IESE10	IESE01	IESE00	FFFFFF644H	0000H

ビット位置	ビット名	意味															
11-0	IESEn1, IESEn0	<p>キャプチャを行うサブチャネルnキャプチャ/コンペア・レジスタへの外部キャプチャ信号入力 (TINEn) の有効エッジを指定します。</p> <table border="1"> <thead> <tr> <th>IESEn1</th> <th>IESEn0</th> <th>有効エッジ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>立ち上がり/立ち下がり両エッジ</td> </tr> </tbody> </table>	IESEn1	IESEn0	有効エッジ	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	設定禁止	1	1	立ち上がり/立ち下がり両エッジ
IESEn1	IESEn0	有効エッジ															
0	0	立ち下がりエッジ															
0	1	立ち上がりエッジ															
1	0	設定禁止															
1	1	立ち上がり/立ち下がり両エッジ															

備考 n = 0-5

(5) タイマ2タイム・ベース制御レジスタ0 (TCRE0)

TCRE0レジスタは, TM2nの動作を制御します (n = 0, 1)。

TCRE0レジスタは16ビット単位でリード/ライト可能です。

TCRE0レジスタの上位8ビットをTCRE0Hレジスタ, 下位8ビットをTCRE0Lレジスタとして使用した場合は, 8/1ビット単位でリード/ライト可能です。

- 注意1. ECREnビット = 1, ECEEnビット = 1の設定を行った場合, TM2nの外部クリア (TCLR2) を入力することはできません。この場合, CLREnビット = 1に設定してからソフトウェアでTM2nをクリアしてください (n = 0, 1)。
2. ECLR信号によるクリア動作を行った場合, (CSE0レジスタのCSEn2-CSEn0ビットで設定した1内部カウント・クロック)+2基本クロック分遅延して, TM2nカウンタはクリアされます。したがって, 内部カウント・クロックとして外部クロック入力を選択している場合, 外部クロック (TI2) が入力されるまでカウンタはクリアされません。
  3. ECREnビット = 1およびECEEnビット = 1の設定はできません。
  4. ECEEnビット = 1およびECEEnビット = 0の場合, ダウン・カウントは行えません。
  5. UDSEn1, UDSEn0 = 01およびOSTEn = 1の場合, カウンタの値が0のとき, カウンタはカウントアップしません。したがって, カウンタの値が0のとき, とりあえずOSTEn = 0と設定し, カウンタの値が0でなくなった後でOSTEn = 1と設定してください。また, アプリケーション上ではサブチャンネル0, サブチャンネル5の割り込み信号でOSTEn = 0からOSTEn = 1に変更してください。
  6. CLREnビット = 1の設定によりTM2nカウンタ値をクリア (0) する場合, 少なくともCSE0レジスタのCSEn2-CSEn0ビットで設定した1内部カウント・クロックの間はCLREnビット = 1を保持する必要があります。

例 タイマ20のTM20をクリア (0) する場合

TM20の内部カウント・クロックとしてfCLK/2を選択する。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSE0	0	0	0	0	x	x	x	x	x	x	x	x	x	0	0	0

TM20のカウント値をクリア (0) にする。

	7	6	5	4	3	2	1	0
TCRE0L	0	1	0	0	0	x	x	x

TM20のカウント・クロックの必要な条件を設定する。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSE0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

TM20のカウント動作スタート。

	7	6	5	4	3	2	1	0
TCRE0L	0	0	1	0	0	x	x	x

	15	⑭	⑬	12	11	10	9	8	7	⑥	⑤	4	3	2	1	0	アドレス	初期値
TCRE0	CASE1	CLRE1	CEE1	ECRE1	ECEE1	OSTE1	UDSE11	UDSE10	0	CLRE0	CEE0	ECRE0	ECEE0	OSTE0	UDSE01	UDSE00	FFFFFF646H	0000H

ビット位置	ビット名	意味
15	CASE1	<p>TM21の32ビット・カスケード動作モードを指定します ( TM21はTM20のオーバフローでカウントします ( キャリー・カウント ) ) 。</p> <p>0 : カスケード接続しない<sup>注1</sup></p> <p>1 : 32ビット・カスケード動作モード<sup>注2, 3</sup></p> <p><b>注1.</b> TM21はカウント・イネーブル状態でCT信号入力でカウントします。</p> <p><b>2.</b> TM21はカウント・イネーブル状態でCTCおよびCASC信号入力でカウントします。</p> <p><b>3.</b> キャプチャ/コンペア・レジスタはキャプチャ・レジスタ・モードのみ使用できます。</p> <p><b>注意1.</b> CASE1ビット = 1のときは, CMSEx0レジスタのTByE1, TByE0ビットの設定は11としてください ( x = 12, 34, y : x = 12のときはy = 1, 2, x = 34のときはy = 3, 4 ) 。</p> <p><b>2.</b> CASE1ビット = 0のときは, TM21のカウントにはTCOUNTE1が選択されます。</p> <p>CASE1ビット = 1のときは, TM21のカウントにはTCOUNTE0およびTM20のオーバフロー信号が選択されます。</p>
14, 6	CLREn	<p>TM2nのソフトウェア・クリアを指定します。</p> <p>0 : TM2nの動作を継続する。</p> <p>1 : TM2nのカウント値をクリア ( 0 ) する。</p> <p><b>注意</b> ソフトウェア・クリアとハードウェア・クリア動作は同時には行わないでください。</p>
13, 5	CEEn	<p>TM2nのカウント動作の許可 / 不許可を指定します。</p> <p>0 : カウント動作を中断する。</p> <p>1 : カウント動作を許可する。</p>
12, 4	ECREn	<p>ECLR信号入力によるTM2nの外部クリア ( TCLR2 ) 動作の許可 / 不許可を指定します。</p> <p>0 : TM2nの外部クリア ( TCLR2 ) 動作を許可しない。</p> <p>1 : TM2nの外部クリア ( TCLR2 ) 動作を許可する。</p> <p><b>注意1.</b> 32ビット・カスケード動作モード ( CASE1ビット = 1 ) 時には, TM2nの外部クリアは動作しません。</p> <p><b>2.</b> ECREn = 1のときのECLR信号によるカウント・クリアには, 少なくともCSE0レジスタのCSEn2-CSEn0ビットで設定した1内部カウント・クロック分の間はECREnビット = 1を保持する必要があります。</p> <p><b>3.</b> 32ビット・カスケード動作モード ( CASE1ビット = 1 ) 時には, ECREnビットの設定はTM21のみ影響します。</p>

備考 n = 0, 1

ビット位置	ビット名	意味															
11, 3	ECEEn	<p>ECLR信号入力によるTM2nのカウンタ動作の許可/不許可を指定します。</p> <p>0: TM2nのカウンタ動作を許可しない。 1: TM2nのカウンタ動作を許可する。</p> <p><b>注意1.</b> 32ビット・カスケード動作モード (CASE1ビット = 1) 時には、ECLR信号入力を用いたTM2nのカウンタは動作しません。</p> <p>2. ECEEnビット = 1の場合は必ずCSE0レジスタのCESE1, CESE0ビット = 10 (スルー入力) にしてください。</p> <p>3. 32ビット・カスケード動作モード (CASE1ビット = 1) 時には、ECEEnビットの設定はTM21のみ影響します。</p>															
10, 2	OSTEn	<p>ストップ・モードを指定します。</p> <p>0: カウンタ値が0のとき、TM2nのカウンタをストップしない。 1: カウンタ値が0のとき、TM2nのカウンタをストップする。</p> <p><b>注意</b> OSTEnビット = 1 (カウンタ値が0でTM2nのカウンタがストップ) の場合にストップの解除をしたときは、UDSEn1, UDSEn0ビット = 10の場合を除き、TM2nはアップ・カウンタします。なお、UDSEn1, UDSEn0ビット = 10の場合のカウンタ方向は、ECLRの値で決定します。</p>															
9, 8, 1, 0	UDSEn1, UDSEn0	<p>TM2nのアップ/ダウン・カウンタを指定します。</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>UDSEn1</th> <th>UDSEn0</th> <th>カウンタ</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>アップ・カウンタのみ行います。 コンパリア一致信号でTM2nのクリア動作を行います。</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>TM2nが“0”になった後はアップ・カウンタ、サブチャネル0, 5のコンパリア一致が生じた後は、ダウン・カウンタを行います (三角波アップ/ダウン・カウンタ)。</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>ECLR信号入力によりアップ/ダウン・カウンタを選択します。 ECLR = 1のとき、アップ・カウンタ。 ECLR = 0のとき、ダウン・カウンタ。</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>設定禁止</td> </tr> </tbody> </table> <p><b>注意1.</b> 32ビット・カスケード動作モード (CASE1ビット = 1) 時には、必ずUDSEn1, UDSEn0ビット = 00を設定してください。</p> <p>2. UDSEn1, UDSEn0ビット = 10の場合は必ずCSE0レジスタのCESE1, CESE0ビット = 10 (スルー入力) にしてください。</p> <p>3. UDSEn1, UDSEn0ビット = 10の場合、TM2nとCVSEx0とのコンパリア一致はTM2nのカウンタ動作に影響を与えません (x: n = 0のとき, x = 0, n = 1のとき, x = 5)。</p>	UDSEn1	UDSEn0	カウンタ	0	0	アップ・カウンタのみ行います。 コンパリア一致信号でTM2nのクリア動作を行います。	0	1	TM2nが“0”になった後はアップ・カウンタ、サブチャネル0, 5のコンパリア一致が生じた後は、ダウン・カウンタを行います (三角波アップ/ダウン・カウンタ)。	1	0	ECLR信号入力によりアップ/ダウン・カウンタを選択します。 ECLR = 1のとき、アップ・カウンタ。 ECLR = 0のとき、ダウン・カウンタ。	1	1	設定禁止
UDSEn1	UDSEn0	カウンタ															
0	0	アップ・カウンタのみ行います。 コンパリア一致信号でTM2nのクリア動作を行います。															
0	1	TM2nが“0”になった後はアップ・カウンタ、サブチャネル0, 5のコンパリア一致が生じた後は、ダウン・カウンタを行います (三角波アップ/ダウン・カウンタ)。															
1	0	ECLR信号入力によりアップ/ダウン・カウンタを選択します。 ECLR = 1のとき、アップ・カウンタ。 ECLR = 0のとき、ダウン・カウンタ。															
1	1	設定禁止															

**備考** n = 0, 1

(6) タイマ2出力制御レジスタ0 (OCTLE0)

OCTLE0レジスタは、TO2n端子からのタイマ出力を制御します (n = 1-4)。

OCTLE0レジスタは16ビット単位でリード/ライト可能です。

OCTLE0レジスタの上位8ビットをOCTLE0Hレジスタ、下位8ビットをOCTLE0Lレジスタとして使用した場合は、8/1ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
OCTLE0	SWFE	ALVE	OTME	OTME	SWFE	ALVE	OTME	OTME	SWFE	ALVE	OTME	OTME	SWFE	ALVE	OTME	OTME	FFFFFF648H	0000H
	4	4	41	40	3	3	31	30	2	2	21	20	1	1	11	10		

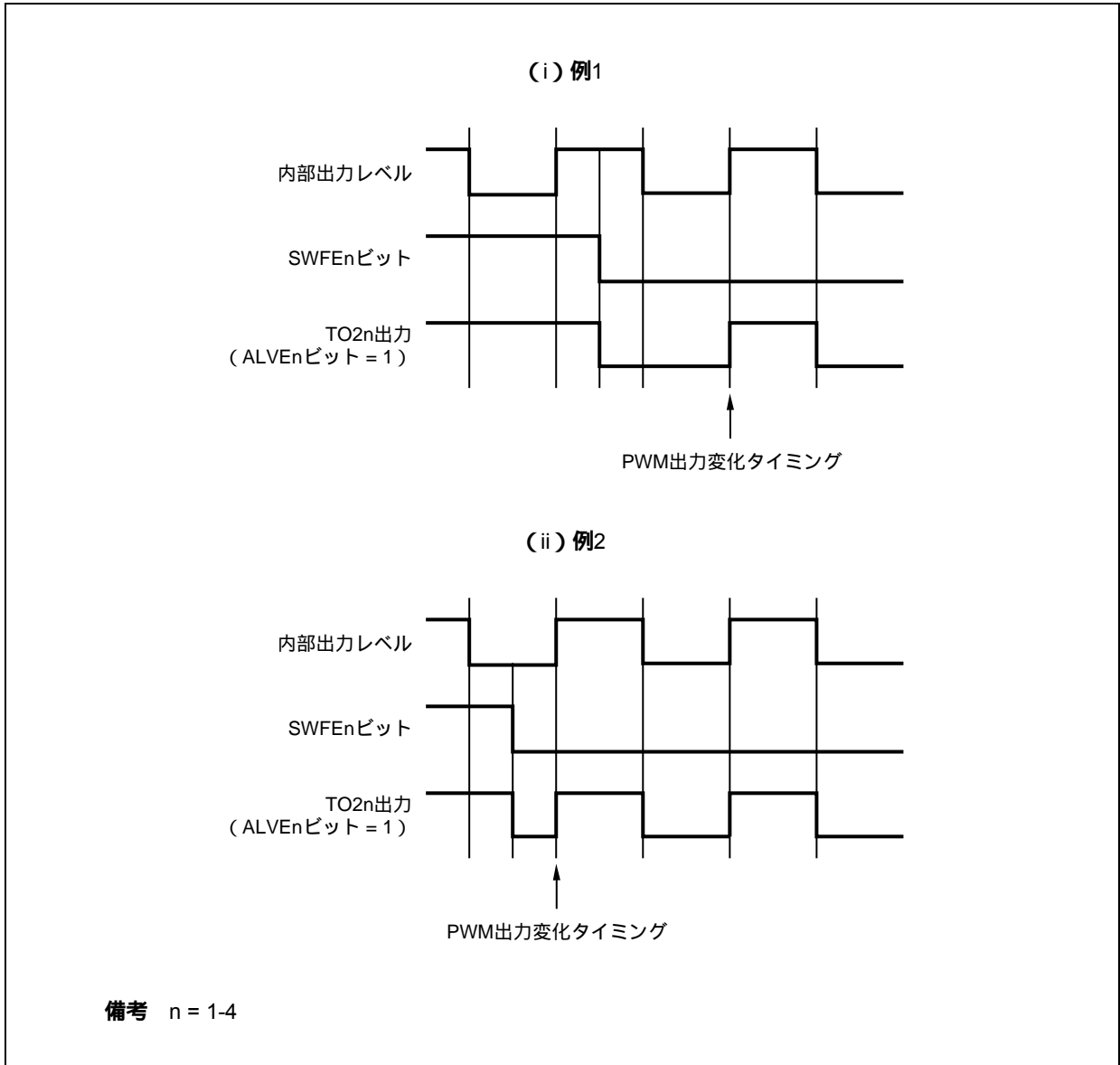
ビット位置	ビット名	意味															
15, 11, 7, 3	SWFEn	TO2n端子の出力レベルをALVEnビットの設定により固定します。 0: 出力レベルを固定せずにTO2n端子の出力を行う。 1: ALVEn = 0のとき、出力レベルをロウ・レベルに固定する。 ALVEn = 1のとき、出力レベルをハイ・レベルに固定する。															
14, 10, 6, 2	ALVEn	TO2n端子出力のアクティブ・レベルを指定します。 0: アクティブ・レベルをハイ・レベルに設定する。 1: アクティブ・レベルをロウ・レベルに設定する。															
13, 12, 9, 8, 5, 4, 1, 0	OTMEn1, OTMEn0	トグル・モードを指定します。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>OTMEn1</th> <th>OTMEn0</th> <th>トグル・モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>トグル・モード0: サブチャネルnのコンペアー一致が発生するごとにTO2nの出力レベルをトグル反転します。</td> </tr> <tr> <td>0</td> <td>1</td> <td>トグル・モード1: サブチャネルnのコンペアー一致の場合、TO2n出力をアクティブ・レベルに、TM20が“0”の場合、TO2n出力をインアクティブ・レベルにします。</td> </tr> <tr> <td>1</td> <td>0</td> <td>トグル・モード2: サブチャネルnのコンペアー一致の場合、TO2n出力をアクティブ・レベルに、TM21が“0”の場合、TO2n出力をインアクティブ・レベルにします。</td> </tr> <tr> <td>1</td> <td>1</td> <td>トグル・モード3: サブチャネルnのコンペアー一致の場合、TO2n出力をアクティブ・レベルに、サブチャネルn+1のコンペアー一致の場合、TO2n出力をインアクティブ・レベルにします (nが“4”の場合は、n+1は“1”になります)。</td> </tr> </tbody> </table> <p>注意1. OTMEn1, OTMEn0ビット = 11 (トグル・モード3) で、ODELE0レジスタのODLEn2-ODLEn0ビットの設定で出力遅延動作の設定を同じにした場合、1回のサブチャネルnのコンペアー一致で同時に2つの出力が変化します。</p> <p>2. 同じ出力回路に同時に信号が入力された場合、S/T信号入力はRA, RBおよびRN信号入力より高い優先順位を持ちます。</p>	OTMEn1	OTMEn0	トグル・モード	0	0	トグル・モード0: サブチャネルnのコンペアー一致が発生するごとにTO2nの出力レベルをトグル反転します。	0	1	トグル・モード1: サブチャネルnのコンペアー一致の場合、TO2n出力をアクティブ・レベルに、TM20が“0”の場合、TO2n出力をインアクティブ・レベルにします。	1	0	トグル・モード2: サブチャネルnのコンペアー一致の場合、TO2n出力をアクティブ・レベルに、TM21が“0”の場合、TO2n出力をインアクティブ・レベルにします。	1	1	トグル・モード3: サブチャネルnのコンペアー一致の場合、TO2n出力をアクティブ・レベルに、サブチャネルn+1のコンペアー一致の場合、TO2n出力をインアクティブ・レベルにします (nが“4”の場合は、n+1は“1”になります)。
OTMEn1	OTMEn0	トグル・モード															
0	0	トグル・モード0: サブチャネルnのコンペアー一致が発生するごとにTO2nの出力レベルをトグル反転します。															
0	1	トグル・モード1: サブチャネルnのコンペアー一致の場合、TO2n出力をアクティブ・レベルに、TM20が“0”の場合、TO2n出力をインアクティブ・レベルにします。															
1	0	トグル・モード2: サブチャネルnのコンペアー一致の場合、TO2n出力をアクティブ・レベルに、TM21が“0”の場合、TO2n出力をインアクティブ・レベルにします。															
1	1	トグル・モード3: サブチャネルnのコンペアー一致の場合、TO2n出力をアクティブ・レベルに、サブチャネルn+1のコンペアー一致の場合、TO2n出力をインアクティブ・レベルにします (nが“4”の場合は、n+1は“1”になります)。															

備考 n = 1-4

(a) PWM出力変化タイミングについての注意事項

タイマを動作させながら内部でPWM出力動作しているとき，SWFEnビットを1 0にすると出力レベルはアクティブになります。その後，サブチャンネルnのコンペア一致の発生によりTO2n端子からPWM出力します。ただし，内部出力レベルとSWFEnビットのクリア・タイミングによって，次のように最初のPWM出力変化タイミングは異なります。

図9 - 65 PWM出力変化タイミング





(b) トグル・モード0時のタイマ出力について

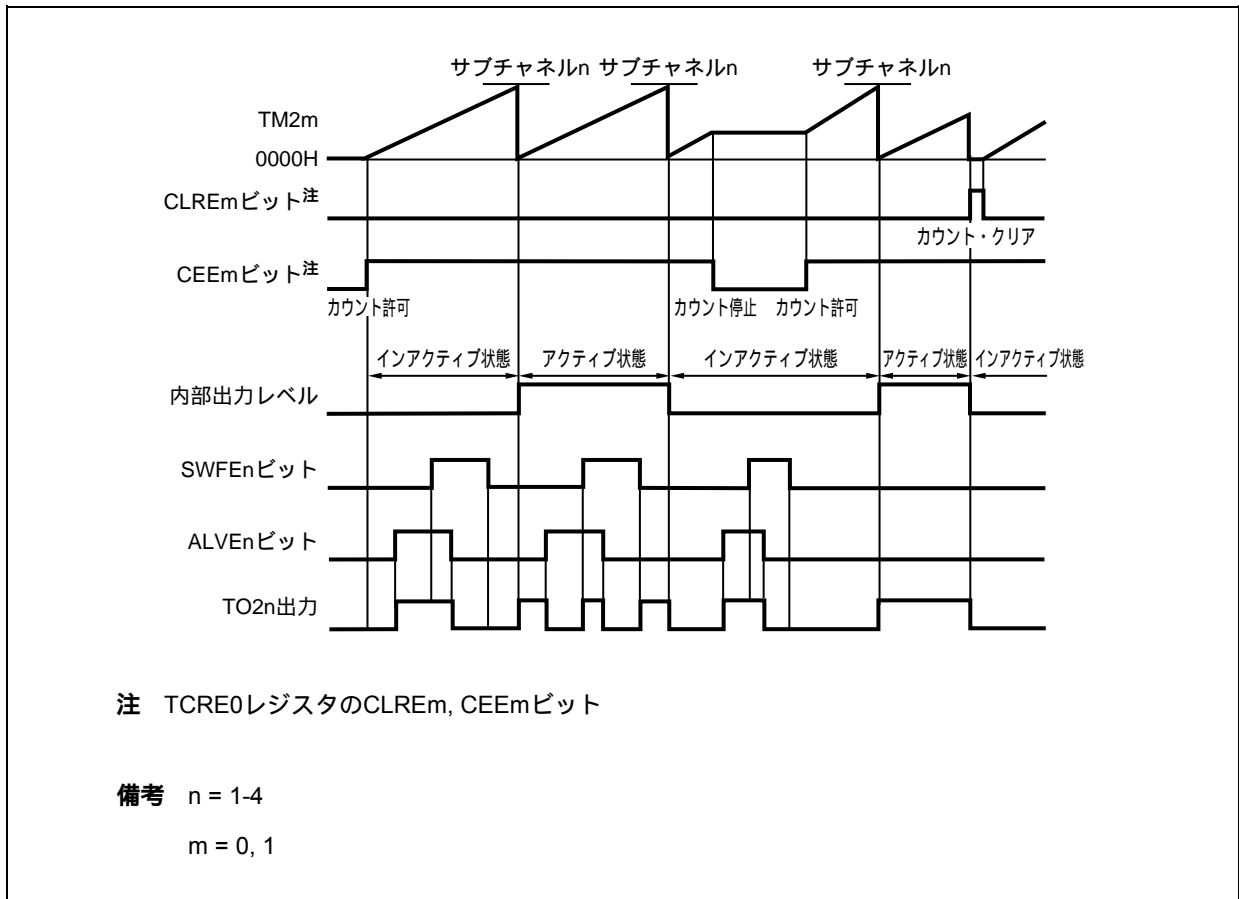
トグル・モード0時のTO2nからのPWM出力は、TM2mが0000Hからカウントアップを行い、サブチャンネルnとTM2mのコンペア一致により出力レベルを反転し、TM2mのカウント値をクリアし、その後再度TM2mは0000Hからカウントアップを行います。

タイマ2の出力レベルには、アクティブ・レベルとインアクティブ・レベルがあります。たとえば、トグル・モード1の場合、サブチャンネルnとTM20のコンペア一致によりTO2n出力はアクティブ・レベルに、サブチャンネル0とTM20のコンペア一致によりTO2n出力はインアクティブ・レベルになるため、ALVEnビットの設定値とPWMの出力レベルからアクティブ・レベル/インアクティブ・レベルを判断できます。

しかし、トグル・モード0の場合、サブチャンネルnとTM2mのコンペア一致によりトグル反転出力するため、アクティブ・レベル/インアクティブ・レベルの判断はできません。

そのため、TO2nの出力レベルでは、ALVEnビットの設定値と内部出力レベルの状態により図9 - 66 のようになります。

図9 - 66 トグル・モード0時のタイマ出力タイミング例



(7) タイマ2サブチャンネル0, 5キャプチャ/コンペア制御レジスタ (CMSE050)

CMSE050レジスタは、タイマ2サブチャンネル0キャプチャ/コンペア・レジスタ (CVSE00) とタイマ2サブチャンネル5キャプチャ/コンペア・レジスタ (CVSE50) を制御するレジスタです。

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CMSE050	0	0	EEVE5	0	LNKE5	CCSE5	0	0	0	0	EEVE0	0	LNKE0	CCSE0	0	0	FFFFFF64AH	0000H

ビット位置	ビット名	意味
13, 5	EEVE <sub>n</sub>	サブチャンネル <sub>n</sub> キャプチャ/コンペア・レジスタのイベント検出の許可/不許可を指定します。 0: ED1, ED2信号入力を無視(入力があっても何もしない) 1: ED1, ED2信号入力による動作を許可
11, 3	LNKE <sub>n</sub>	エッジ選択からのキャプチャ・イベント信号入力をED1またはED2に指定します。 0: キャプチャ・レジスタ・モード時には, ED1信号入力を選択します。 コンペア・レジスタ・モード時には, LNKE <sub>n</sub> ビットの影響を受けません。 1: キャプチャ・レジスタ・モード時には, ED2信号入力を選択します。 コンペア・レジスタ・モード時には, LNKE <sub>n</sub> ビットの影響を受けません。
10, 2	CCSE <sub>n</sub>	キャプチャ/コンペア・レジスタの動作モードを選択します。 0: キャプチャ・レジスタ・モードで動作します。TM20のカウンタ状態はサブチャンネル0で, TM21のカウンタ状態はサブチャンネル5でリード可能です。 1: コンペア・レジスタ・モードとして動作します。サブチャンネル <sub>n</sub> とTM2 <sub>m</sub> の一致検出でTM2 <sub>m</sub> をクリアします。

備考 m = 0, 1

n = 0, 5

(8) タイマ2サブチャネル1, 2キャプチャ/コンペア制御レジスタ (CMSE120)

CMSE120レジスタは、タイマ2サブチャネルn副キャプチャ/コンペア・レジスタ (CVSEn0) とタイマ2サブチャネルn主キャプチャ/コンペア・レジスタ (CVPEn0) を制御するレジスタです (n = 1, 2)。

16ビット単位でリード/ライト可能です。

(1/2)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CMSE120	0	0	EEVE2	BFEE2	LNKE2	CCSE2	TB1E2	TB0E2	0	0	EEVE1	BFEE1	LNKE1	CCSE1	TB1E1	TB0E1	FFFFFF64CH	0000H

ビット位置	ビット名	意味
13, 5	EEVEn	CMSE120レジスタへのイベント検出の許可/不許可を指定します。 0: ED1, ED2信号入力を無視 (入力があっても何もしない) 1: ED1, ED2信号入力による動作を許可
12, 4	BFEEEn	サブチャネルn副キャプチャ/コンペア・レジスタ (CVSEn0) のバッファ動作を指定します。 0: サブチャネルn副キャプチャ/コンペア・レジスタ (CVSEn0) をバッファとして使用しない。 1: サブチャネルn副キャプチャ/コンペア・レジスタ (CVSEn0) をバッファとして使用する。  <b>注意</b> BFEEEnビット = 1のとき、コンペア・レジスタ・モードでは、リセット後、TM2xとCVPEn0レジスタの値がともに“0”のため、起動時にコンペア一致が発生します (TM2x = TB1En, TB0Enビットで選択したタイマ・カウンタ, n = 1-4)。その後、副レジスタ (CVSEn0) の値が主レジスタ (CVPEn0) に書き込まれます。  <b>備考1.</b> サブチャネルn副キャプチャ/コンペア・レジスタ (CVSEn0) をバッファとして使用しない場合のキャプチャ・レジスタ・モード時とコンペア・レジスタ・モード時の動作を示します。 ・キャプチャ・レジスタ・モード時: CPUは主レジスタ (CVPEn0) もしくは副レジスタ (CVSEn0) の双方をリード可能です。CPUが主レジスタのリードを終えるまで次のイベントは無視されます。TM20のキャプチャは副レジスタが行い、TM21のキャプチャは主レジスタが行います。 ・コンペア・レジスタ・モード時: CPUは副レジスタ (CVSEn0) に書き込みを行い、その直後に副レジスタと同じ内容が主レジスタ (CVPEn0) に書き込まれます。

備考 n = 1, 2

ビット位置	ビット名	意 味															
12, 4	BFEEEn	<p><b>備考2.</b> サブチャネルn副キャプチャ/コンペア・レジスタ (CVSEn0) をバッファとして使用する場合のキャプチャ・レジスタ・モード時とコンペア・レジスタ・モード時の動作を示します。</p> <ul style="list-style-type: none"> <li>・キャプチャ・レジスタ・モード時：CPUが主レジスタ (CVPEn0) のリードを行うと、主レジスタはCPUがリード動作を行う直前の副レジスタ (CVSEn0) の値に更新されます。キャプチャ・イベントが発生すると、そのときのタイマ/カウンタの値が常に副レジスタに保存されます。</li> <li>・コンペア・レジスタ・モード時：CPUは副レジスタ (CVSEn0) に書き込みを行い、その内容をLNKEnビットで設定した主レジスタ (CVPEn0) に転送します。</li> </ul>															
11, 3	LNKEn	<p>エッジ選択からのキャプチャ・イベント信号入力を選択およびコンペア・レジスタ・モード時の転送動作の指定を行います。</p> <p>0：キャプチャ・レジスタ・モード時には、ED1信号入力を選択します。 コンペア・レジスタ・モード時には、TM2xとのコンペア一致で、CVSEn0レジスタのデータをCVPEn0レジスタへ転送します (TM2x = TB1En, TB0Enビットで選択したタイマ/カウンタ)。</p> <p>1：キャプチャ・レジスタ・モード時には、ED2信号入力を選択します。 コンペア・レジスタ・モード時には、TM2xのカウント値が“0”になった時点で、CVSEn0レジスタのデータをCVPEn0レジスタへ転送します (TM2x = TB1En, TB0Enビットで選択したタイマ/カウンタ)。</p>															
10, 2	CCSEn	<p>キャプチャ/コンペア・レジスタの動作モードを選択します。</p> <p>0：キャプチャ・レジスタ・モードで動作します。 1：コンペア・レジスタ・モードで動作します。</p>															
9, 8, 1, 0	TB1En, TB0En	<p>サブチャネルnのタイマ/カウンタの設定をします。</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TB1En</th> <th>TB0En</th> <th>サブチャネルnのタイマ/カウンタ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>サブチャネルnを使用しません。</td> </tr> <tr> <td>0</td> <td>1</td> <td>サブチャネルnにTM20を設定します。</td> </tr> <tr> <td>1</td> <td>0</td> <td>サブチャネルnにTM21を設定します。</td> </tr> <tr> <td>1</td> <td>1</td> <td>32ビット・モード<sup>注</sup>で動作させます (TM20とTM21の両方を選択)。</td> </tr> </tbody> </table> <p><b>注</b> 32ビット・モードではBFEEEnビットの影響は無視されます。また、32ビット・モードでは、常にCVSEn0レジスタをバッファとして使用できません。</p> <p><b>注意</b> TB1En, TB0Enビット = 11の場合は、TCRE0レジスタのCASE1ビット = 1と設定してください。</p>	TB1En	TB0En	サブチャネルnのタイマ/カウンタ	0	0	サブチャネルnを使用しません。	0	1	サブチャネルnにTM20を設定します。	1	0	サブチャネルnにTM21を設定します。	1	1	32ビット・モード <sup>注</sup> で動作させます (TM20とTM21の両方を選択)。
TB1En	TB0En	サブチャネルnのタイマ/カウンタ															
0	0	サブチャネルnを使用しません。															
0	1	サブチャネルnにTM20を設定します。															
1	0	サブチャネルnにTM21を設定します。															
1	1	32ビット・モード <sup>注</sup> で動作させます (TM20とTM21の両方を選択)。															

**備考** n = 1, 2

(9) タイマ2サブチャネル3, 4キャプチャ/コンペア制御レジスタ (CMSE340)

CMSE340レジスタは、タイマ2サブチャネルn副キャプチャ/コンペア・レジスタ (CVSEn0) とタイマ2サブチャネルn主キャプチャ/コンペア・レジスタ (CVPEn0) を制御するレジスタです (n = 3, 4)。

16ビット単位でリード/ライト可能です。

(1/2)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CMSE340	0	0	EEVE4	BFEE4	LNKE4	CCSE4	TB1E4	TB0E4	0	0	EEVE3	BFEE3	LNKE3	CCSE3	TB1E3	TB0E3	FFFFFF64EH	0000H

ビット位置	ビット名	意味
13, 5	EEVEn	CMSE340レジスタへのイベント検出の許可/不許可を指定します。 0: ED1, ED2信号入力を無視 (入力があっても何もしない) 1: ED1, ED2信号入力による動作を許可
12, 4	BFEEEn	サブチャネルn副キャプチャ/コンペア・レジスタ (CVSEn0) のバッファ動作を指定します。 0: サブチャネルn副キャプチャ/コンペア・レジスタ (CVSEn0) をバッファとして使用しない。 1: サブチャネルn副キャプチャ/コンペア・レジスタ (CVSEn0) をバッファとして使用する。  <b>注意</b> BFEEEnビット = 1のとき、コンペア・レジスタ・モードでは、リセット後、TM2xとCVPEn0レジスタの値がともに“0”のため、起動時にコンペア一致が発生します (TM2x = TB1En, TB0Enビットで選択したタイマ・カウンタ, n = 1-4)。その後、副レジスタ (CVSEn0) の値が主レジスタ (CVPEn0) に書き込まれます。  <b>備考1.</b> サブチャネルn副キャプチャ/コンペア・レジスタ (CVSEn0) をバッファとして使用しない場合のキャプチャ・レジスタ・モード時とコンペア・レジスタ・モード時の動作を示します。 ・キャプチャ・レジスタ・モード時: CPUは主レジスタ (CVPEn0) もしくは副レジスタ (CVSEn0) の双方をリード可能です。CPUが主レジスタのリードを終えるまで次のイベントは無視されます。TM20のキャプチャは副レジスタが行い、TM21のキャプチャは主レジスタが行います。 ・コンペア・レジスタ・モード時: CPUは副レジスタ (CVSEn0) に書き込みを行い、その直後に副レジスタと同じ内容が主レジスタ (CVPEn0) に書き込まれます。

備考 n = 3, 4

ビット位置	ビット名	意味															
12, 4	BFEEEn	<p><b>備考2.</b> サブチャネルn副キャプチャ/コンペア・レジスタ (CVSEn0) をバッファとして使用する場合のキャプチャ・レジスタ・モード時とコンペア・レジスタ・モード時の動作を示します。</p> <ul style="list-style-type: none"> <li>・キャプチャ・レジスタ・モード時：CPUが主レジスタ (CVPEn0) のリードを行うと、主レジスタはCPUがリード動作を行う直前の副レジスタ (CVSEn0) の値に更新されます。キャプチャ・イベントが発生すると、そのときのタイマ/カウンタの値が常に副レジスタに保存されます。</li> <li>・コンペア・レジスタ・モード時：CPUは副レジスタ (CVSEn0) に書き込みを行い、その内容をLNKEnビットで設定した主レジスタ (CVPEn0) に転送します。</li> </ul>															
11, 3	LNKEn	<p>エッジ選択からのキャプチャ・イベント信号入力を選択およびコンペア・レジスタ・モード時の転送動作の指定を行います。</p> <p>0：キャプチャ・レジスタ・モード時には、ED1信号入力を選択します。 コンペア・レジスタ・モード時には、TM2xとのコンペア一致で、CVSEn0レジスタのデータをCVPEn0レジスタへ転送します (TM2x = TB1En, TB0Enビットで選択したタイマ/カウンタ)。</p> <p>1：キャプチャ・レジスタ・モード時には、ED2信号入力を選択します。 コンペア・レジスタ・モード時には、TM2xのカウント値が“0”になった時点で、CVSEn0レジスタのデータをCVPEn0レジスタへ転送します (TM2x = TB1En, TB0Enビットで選択したタイマ/カウンタ)。</p>															
10, 2	CCSEn	<p>キャプチャ/コンペア・レジスタの動作モードを選択します。</p> <p>0：キャプチャ・レジスタ・モードで動作します。 1：コンペア・レジスタ・モードで動作します。</p>															
9, 8, 1, 0	TB1En, TB0En	<p>サブチャネルnのタイマ/カウンタの設定をします。</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TB1En</th> <th>TB0En</th> <th>サブチャネルnのタイマ/カウンタ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>サブチャネルnを使用しません。</td> </tr> <tr> <td>0</td> <td>1</td> <td>サブチャネルnにTM20を設定します。</td> </tr> <tr> <td>1</td> <td>0</td> <td>サブチャネルnにTM21を設定します。</td> </tr> <tr> <td>1</td> <td>1</td> <td>32ビット・モード<sup>注</sup>で動作させます (TM20とTM21の両方を選択)。</td> </tr> </tbody> </table> <p><b>注</b> 32ビット・モードではBFEEEnビットの影響は無視されます。また、32ビット・モードでは常にCVSEnレジスタをバッファとして使用できません。</p> <p><b>注意</b> TB1En, TB0Enビット = 11の場合は、TCRE0レジスタのCASE1ビット = 1と設定してください。</p>	TB1En	TB0En	サブチャネルnのタイマ/カウンタ	0	0	サブチャネルnを使用しません。	0	1	サブチャネルnにTM20を設定します。	1	0	サブチャネルnにTM21を設定します。	1	1	32ビット・モード <sup>注</sup> で動作させます (TM20とTM21の両方を選択)。
TB1En	TB0En	サブチャネルnのタイマ/カウンタ															
0	0	サブチャネルnを使用しません。															
0	1	サブチャネルnにTM20を設定します。															
1	0	サブチャネルnにTM21を設定します。															
1	1	32ビット・モード <sup>注</sup> で動作させます (TM20とTM21の両方を選択)。															

**備考** n = 3, 4

(10) タイマ2タイム・ベース・ステータス・レジスタ0 (TBSTATE0)

TBSTATE0レジスタは、TM2nの状態を示すレジスタです (n = 0, 1)。

TBSTATE0レジスタは16ビット単位でリード/ライト可能です。

TBSTATE0レジスタの上位8ビットをTBSTATE0Hレジスタ、下位8ビットをTBSTATE0Lレジスタとして使用した場合は、8/1ビット単位でリード/ライト可能です。

**注意** ECFEn, RSFEn, UDFEnビットはリードだけ可能です。

	15	14	13	12	⑪	⑩	⑨	⑧	7	6	5	4	③	②	①	①	アドレス	初期値
TBSTATE0	0	0	0	0	OVFE1	ECFE1	RSFE1	UDFE1	0	0	0	0	OVFE0	ECFE0	RSFE0	UDFE0	FFFF664H	0101H

ビット位置	ビット名	意 味
11, 3	OVFE <sub>n</sub>	TM2nのオーバーフローの状態を示します。 0 : オーバーフロー発生しない 1 : オーバーフロー発生  <b>注意</b> OVFE <sub>n</sub> ビットはオーバーフローが検知されていない状態で、TBSTATE0レジスタへのライト・アクセスを行うとクリア (0) されます。
10, 2	ECFE <sub>n</sub>	ECLR信号入力の状態を示します。 0 : ロウ・レベル 1 : ハイ・レベル
9, 1	RSFE <sub>n</sub>	TM2nのカウントの状態を示します。 0 : TM2nはカウントしていない 1 : TM2nはカウント中 (アップ・カウントもしくはダウン・カウント中)
8, 0	UDFE <sub>n</sub>	TM2nのアップ/ダウン・カウントの状態を示します。 0 : TM2nはダウン・カウント・モード 1 : TM2nはアップ・カウント・モード

**備考** n = 0, 1

(11) タイマ2キャプチャ/コンペア1-4ステータス・レジスタ0 (CCSTATE0)

CCSTATE0レジスタは、タイマ2サブチャネル副キャプチャ/コンペア・レジスタ (CVSEn0) とタイマ2サブチャネル主キャプチャ/コンペア・レジスタ (CVPEn0) の状態を示すレジスタです (n = 1-4)。

CCSTATE0レジスタは16ビット単位でリード/ライト可能です。

CCSTATE0レジスタの上位8ビットをCCSTATE0Hレジスタ、下位8ビットをCCSTATE0Lレジスタとして使用した場合は、8/1ビット単位でリード/ライト可能です。

**注意** BFFEn1, BFFEn0ビットはリードだけ可能です。

	15	⑭	13	12	11	⑩	9	8	7	⑥	5	4	3	②	1	0	アドレス	初期値
CCSTATE0	0	CEFE4	BFFE41	BFFE40	0	CEFE3	BFFE31	BFFE30	0	CEFE2	BFFE21	BFFE20	0	CEFE1	BFFE11	BFFE10	FFFFFF666H	0000H

ビット位置	ビット名	意味															
14, 10, 6, 2	CEFE <sub>n</sub>	<p>キャプチャ/コンペア・イベントの発生状態を示します。</p> <p>0: キャプチャ・レジスタ・モード時: キャプチャ動作の発生はありません。 コンペア・レジスタ・モード時: コンペア一致の発生はありません。</p> <p>1: キャプチャ・レジスタ・モード時: 少なくとも1回のキャプチャ動作が起こったことを示しています。 コンペア・レジスタ・モード時: 少なくとも1回のコンペア一致が起こったことを示します。</p> <p><b>注意</b> CEFE<sub>n</sub>ビットはキャプチャ動作およびコンペア一致が生じていない時点で、CCSTATE0レジスタへのライト・アクセスを行うとクリア (0) できます。なお、CEFE1 (CEFE3) ビットおよびCEFE2 (CEFE4) ビットへのビット操作を行った場合は両ビットともクリアされます。</p>															
13, 12, 9, 8, 5, 4, 1, 0	BFFEn1, BFFEn0	<p>キャプチャ・バッファの状態を示します。</p> <table border="1" style="width: 100%; border-collapse: collapse; margin: 10px 0;"> <thead> <tr> <th style="width: 15%;">BFFEn1</th> <th style="width: 15%;">BFFEn0</th> <th style="width: 70%;">キャプチャ・バッファの状態</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>バッファには値がありません。</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>サブチャネル<sub>n</sub>の主レジスタ (CVPE<sub>n</sub>0) にはキャプチャ値があります。副レジスタ (CVSE<sub>n</sub>0) には値がありません。</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>サブチャネル<sub>n</sub>の主レジスタ (CVPE<sub>n</sub>0) および副レジスタ (CVSE<sub>n</sub>0) ともキャプチャ値があります。</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>未使用</td> </tr> </tbody> </table> <p><b>注意</b> BFFEn1, BFFEn0ビットは、サブチャネル<sub>n</sub>副キャプチャ/コンペア・レジスタ (CVSE<sub>n</sub>0) のバッファ動作の選択を行った場合 (CMSE<sub>m</sub>0レジスタのBFFEnビット = 1) とキャプチャ・レジスタ・モード (CMSE<sub>m</sub>0レジスタのCCSE<sub>n</sub>ビット = 0) の場合にのみ値を返します。コンペア・レジスタ・モード (CCSE<sub>n</sub>ビット = 1) 時には "0" が読み出されます。</p>	BFFEn1	BFFEn0	キャプチャ・バッファの状態	0	0	バッファには値がありません。	0	1	サブチャネル <sub>n</sub> の主レジスタ (CVPE <sub>n</sub> 0) にはキャプチャ値があります。副レジスタ (CVSE <sub>n</sub> 0) には値がありません。	1	0	サブチャネル <sub>n</sub> の主レジスタ (CVPE <sub>n</sub> 0) および副レジスタ (CVSE <sub>n</sub> 0) ともキャプチャ値があります。	1	1	未使用
BFFEn1	BFFEn0	キャプチャ・バッファの状態															
0	0	バッファには値がありません。															
0	1	サブチャネル <sub>n</sub> の主レジスタ (CVPE <sub>n</sub> 0) にはキャプチャ値があります。副レジスタ (CVSE <sub>n</sub> 0) には値がありません。															
1	0	サブチャネル <sub>n</sub> の主レジスタ (CVPE <sub>n</sub> 0) および副レジスタ (CVSE <sub>n</sub> 0) ともキャプチャ値があります。															
1	1	未使用															

**備考** m = 12, 34  
n = 1-4



(12) タイマ2出力遅延レジスタ0 (ODELE0)

ODELE0レジスタは、TO2n端子の出力遅延回路にクロックに同期した出力遅延動作を設定します (n = 1-4)。

ODELE0レジスタは16ビット単位でリード/ライト可能です。

ODELE0レジスタの上位8ビットをODELE0Hレジスタ、下位8ビットをODELE0Lレジスタとして使用した場合は、8/1ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ODELE0	0	ODLE42	ODLE41	ODLE40	0	ODLE32	ODLE31	ODLE30	0	ODLE22	ODLE21	ODLE20	0	ODLE12	ODLE11	ODLE10	FFFFFF668H	0000H

ビット位置	ビット名	意味																																				
14-12, 10-8, 6-4, 2-0	ODLEn2, ODLEn1, ODLEn0	出力遅延動作を指定します。  <table border="1"> <thead> <tr> <th>ODLEn2</th> <th>ODLEn1</th> <th>ODLEn0</th> <th>出力遅延動作の設定</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>出力遅延動作をしない。</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1システム・クロック分の出力遅延を設定する。</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>2システム・クロック分の出力遅延を設定する。</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>3システム・クロック分の出力遅延を設定する。</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>4システム・クロック分の出力遅延を設定する。</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>5システム・クロック分の出力遅延を設定する。</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>6システム・クロック分の出力遅延を設定する。</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>7システム・クロック分の出力遅延を設定する。</td> </tr> </tbody> </table>	ODLEn2	ODLEn1	ODLEn0	出力遅延動作の設定	0	0	0	出力遅延動作をしない。	0	0	1	1システム・クロック分の出力遅延を設定する。	0	1	0	2システム・クロック分の出力遅延を設定する。	0	1	1	3システム・クロック分の出力遅延を設定する。	1	0	0	4システム・クロック分の出力遅延を設定する。	1	0	1	5システム・クロック分の出力遅延を設定する。	1	1	0	6システム・クロック分の出力遅延を設定する。	1	1	1	7システム・クロック分の出力遅延を設定する。
ODLEn2	ODLEn1	ODLEn0	出力遅延動作の設定																																			
0	0	0	出力遅延動作をしない。																																			
0	0	1	1システム・クロック分の出力遅延を設定する。																																			
0	1	0	2システム・クロック分の出力遅延を設定する。																																			
0	1	1	3システム・クロック分の出力遅延を設定する。																																			
1	0	0	4システム・クロック分の出力遅延を設定する。																																			
1	0	1	5システム・クロック分の出力遅延を設定する。																																			
1	1	0	6システム・クロック分の出力遅延を設定する。																																			
1	1	1	7システム・クロック分の出力遅延を設定する。																																			
備考 ODLEn2, ODLEn1, ODLEn0ビットはEMI対策用です。																																						

備考 n = 1-4

(13) タイマ2ソフトウェア・イベント・キャプチャ・レジスタ (CSCE0)

CSCE0レジスタは、キャプチャ・レジスタ・モード時のソフトウェアによるキャプチャ動作を指定します。

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CSCE0	0	0	0	0	0	0	0	0	0	0	SEVE5	SEVE4	SEVE3	SEVE2	SEVE1	SEVE0	FFFFFF66AH	0000H

ビット位置	ビット名	意味
5-0	SEVEn	<p>キャプチャ・レジスタ・モード時にソフトウェアによるキャプチャ動作を指定します。</p> <p>0：通常動作を継続します。 1：キャプチャ動作を行います。</p> <p><b>注意1.</b> SEVEnビットはCMSEm0レジスタのEEVEnおよびLNKEnビットの設定を無視します。 2. SEVEnビットはイベント終了後に自動的にクリア(0)されます。 3. SEVEnビットはタイマ2ユニットのすべての内部制約状態を無視します。</p>

備考 m = 12, 34, 05

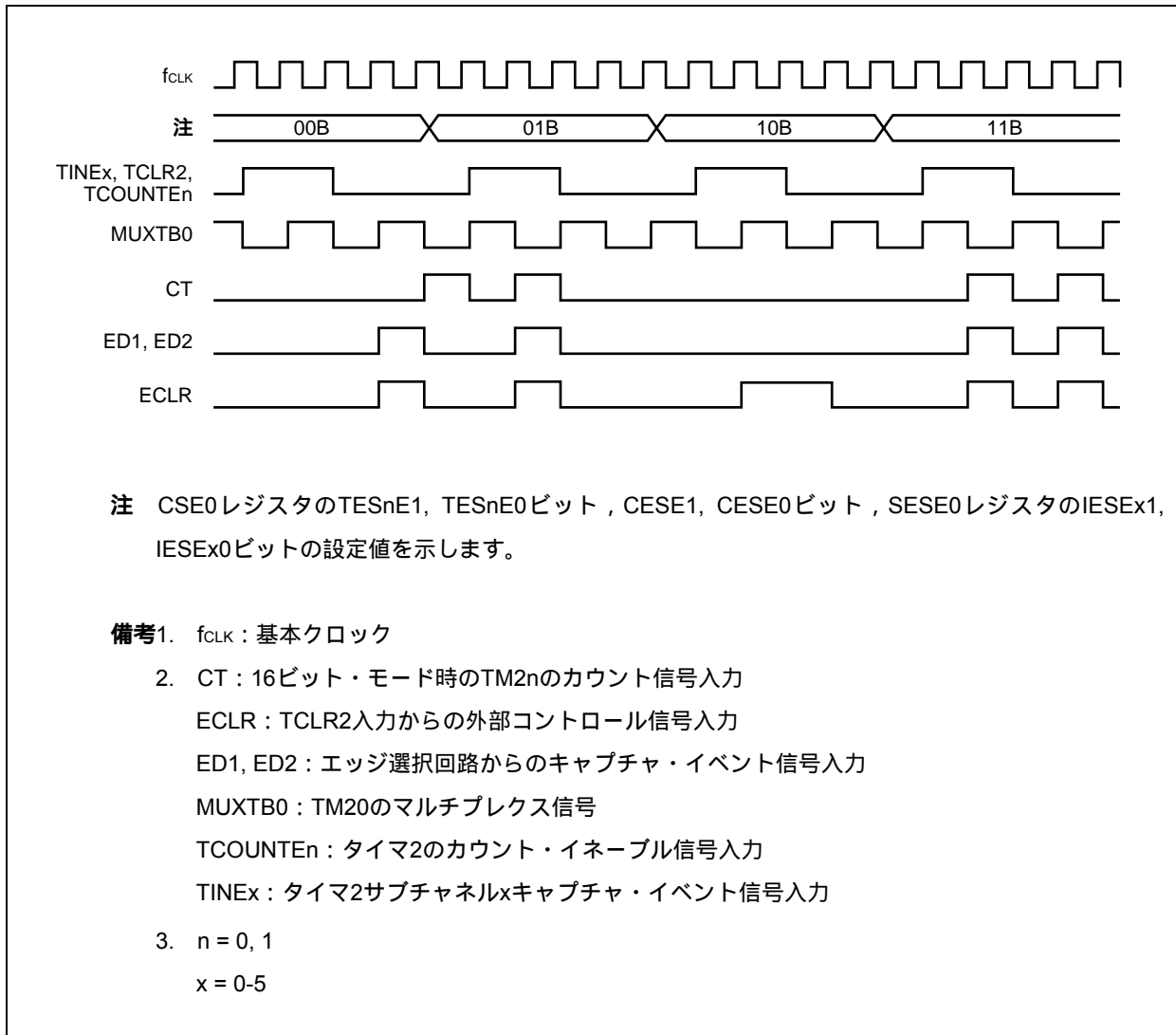
n = 0-5

### 9.3.5 動作

#### (1) エッジ検出

次にエッジ検出のタイミングを示します。

図9 - 67 エッジ検出のタイミング



(2) タイマ2の基本動作

図9 - 68から図9 - 71にタイマ2の基本動作を示します。

図9 - 68 タイマ2のアップ・カウントのタイミング

(TCRE0レジスタのUDSEn1, UDSEn0ビット = 00B, ECEEnビット = 0, ECREnビット = 0, CLREnビット = 0, CASE1ビット = 0の場合)

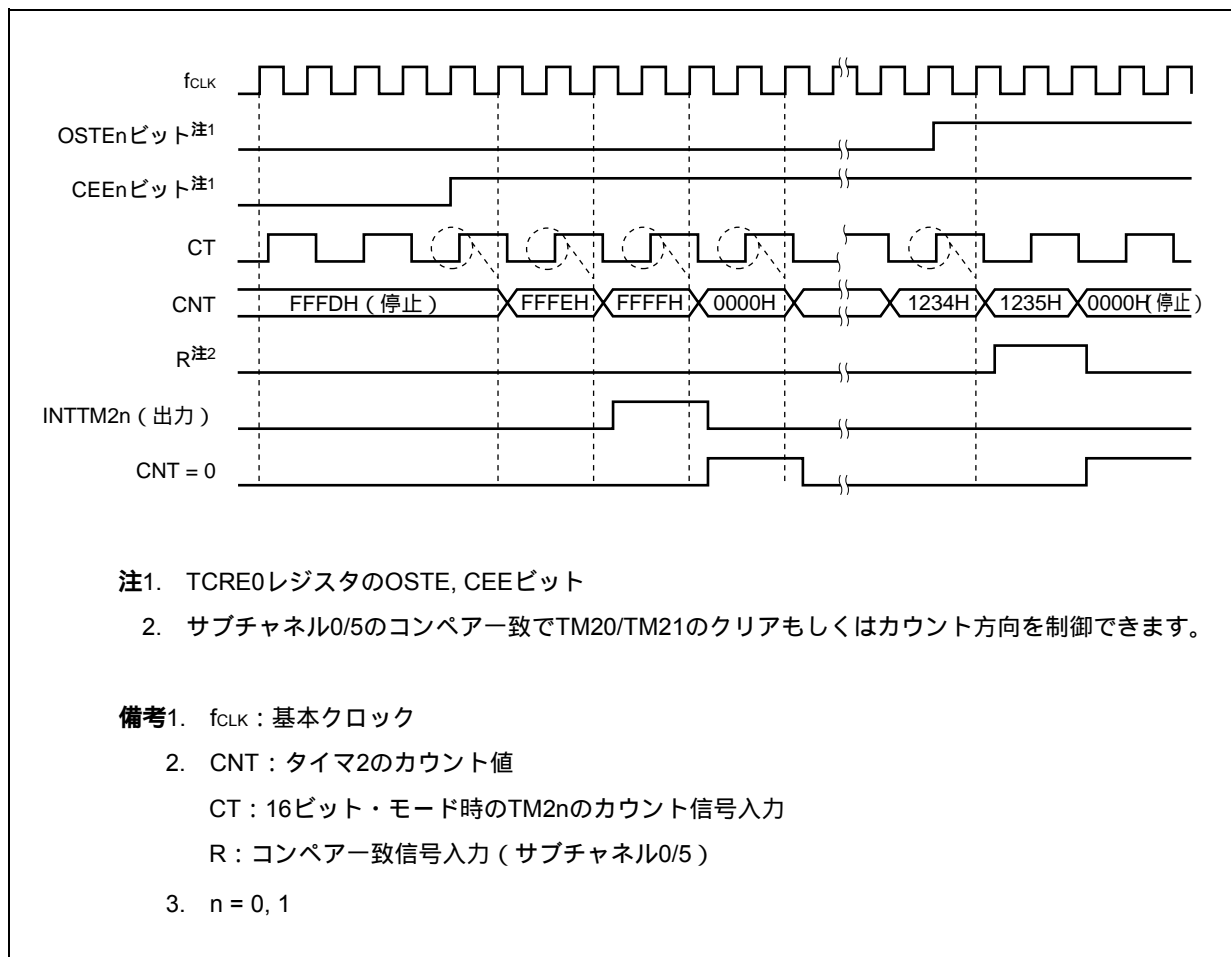


図9 - 69 タイマ2の外部コントロール・タイミング

(TCRE0レジスタのUDSEn1, UDSEn0ビット = 00B, OSTEnビット = 0, CEEEnビット = 1, CASE1ビット = 0の場合)

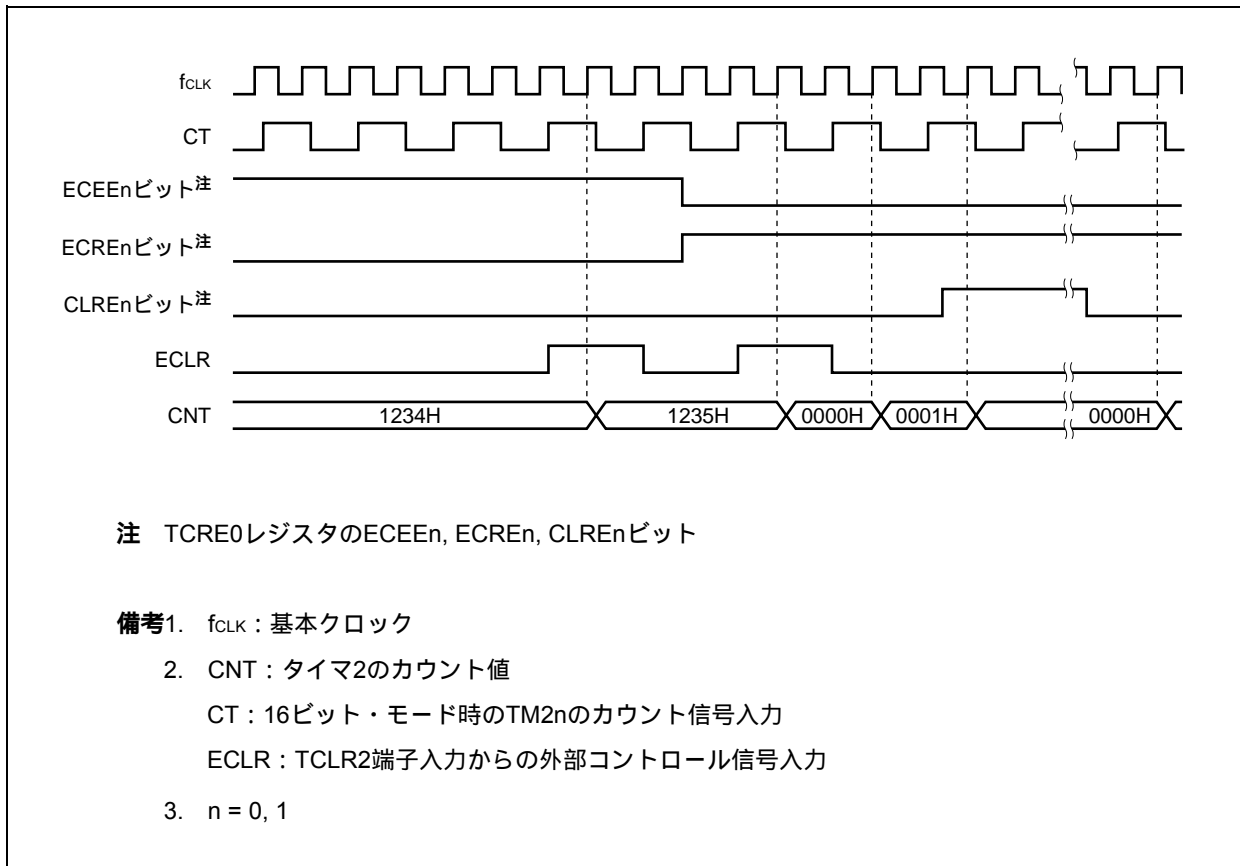
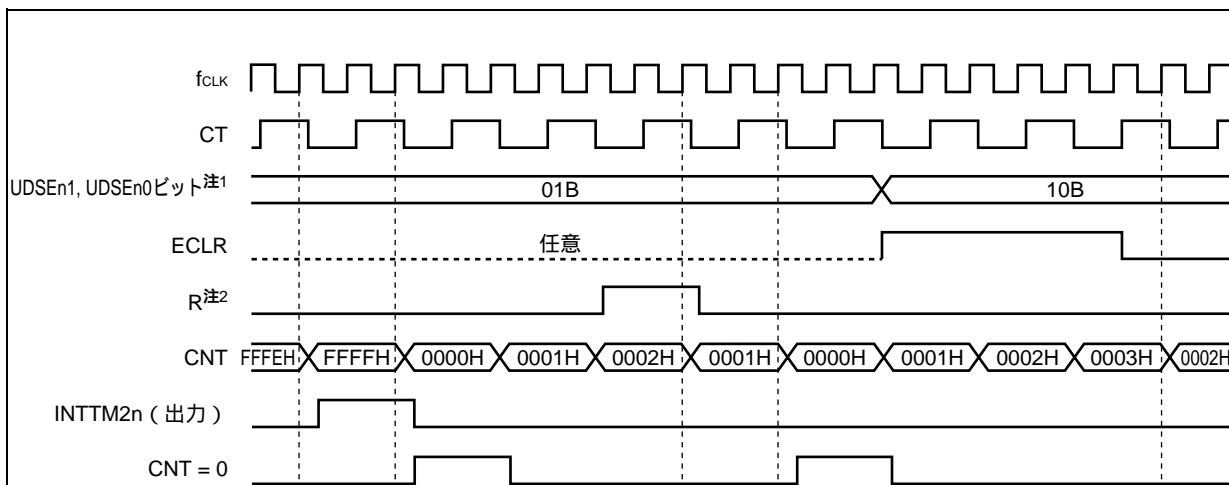


図9 - 70 タイマ2のアップ/ダウン・カウント・モードでの動作

(TCRE0レジスタのECEEnビット = 0, ECREnビット = 0, CLREnビット = 0, OSTEnビット = 0, CEEnビット = 1, CASE1ビット = 0の場合)



注1. TCRE0レジスタのUDSEn1, UDSEn0ビット

2. サブチャンネル0/5のコンペア一致でTM20/TM21のクリアもしくはカウント方向を制御できます。

備考1. fCLK : 基本クロック

2. CNT : タイマ2のカウント値

CT : 16ビット・モード時のTM2nのカウント信号入力

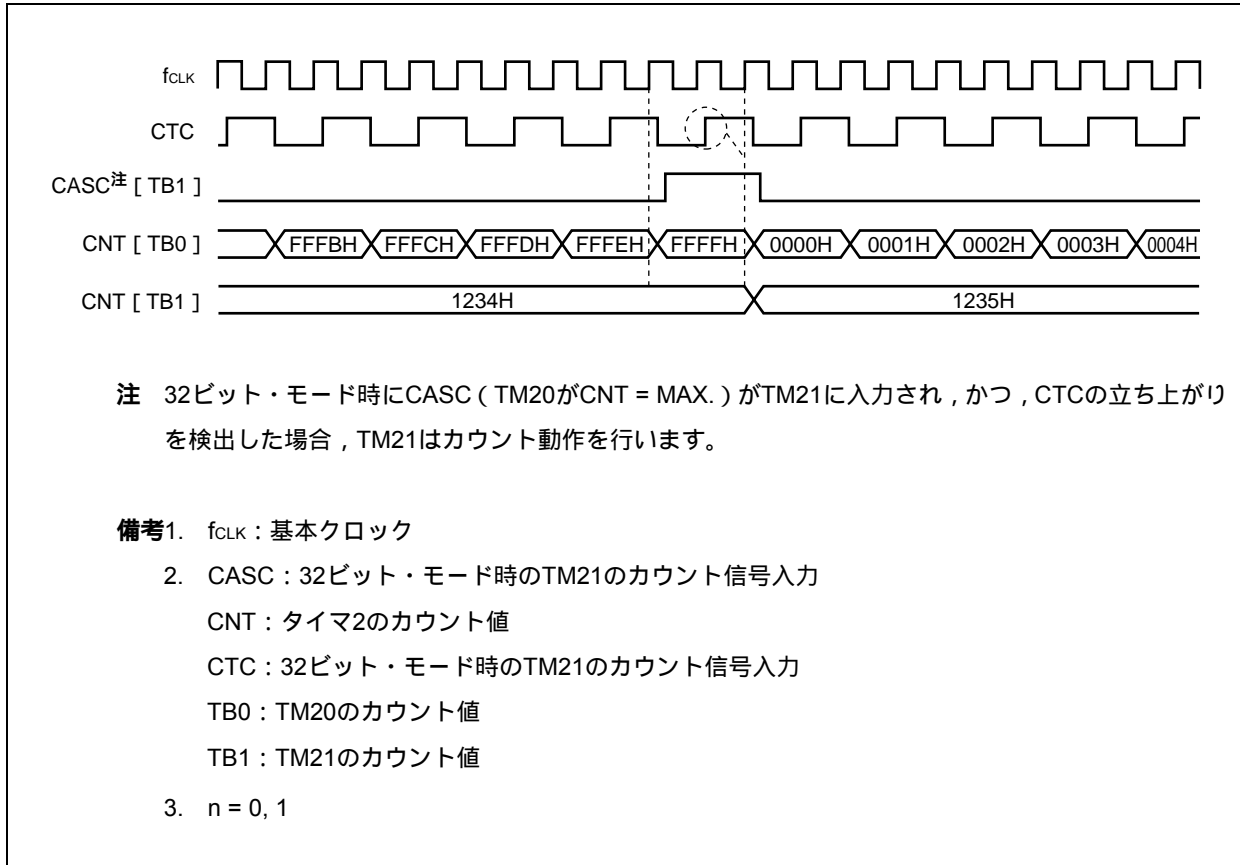
ECLR : TCLR2端子入力からの外部コントロール信号入力

R : コンペア一致信号入力 (サブチャンネル0/5)

3. n = 0, 1

図9 - 71 32ビット・カスケード動作モード時のタイミング

(TCRE0レジスタのUDSEn1, UDSEn0ビット = 00B, ECEEnビット = 0,  
ECREnビット = 0, CLREnビット = 0, OSTEnビット = 0,  
CEEnビット = 1, CASE1ビット = 1の場合)



(3) キャプチャ/コンペア・レジスタ(サブチャンネル1-4)の動作

サブチャンネル1-4はタイマ2マルチプレクス・カウント生成回路のカウント値の供給を受けています。

マルチプレクス・カウント生成回路は、サブチャンネル1-4へのマルチプレクス・カウント値MUXCNTを供給するTM2nの内部ユニットです。MUXTB0の立ち上がりでTM20のカウント値を、MUXTB1の立ち上がりでTM21のカウント値をサブチャンネル1-4へ出力します。

図9 - 72にタイマ2マルチプレクス・カウント生成回路のブロック図を、図9 - 73にマルチプレクス・カウント・タイミングを示します。

図9 - 72 タイマ2マルチプレクス・カウント生成回路のブロック図

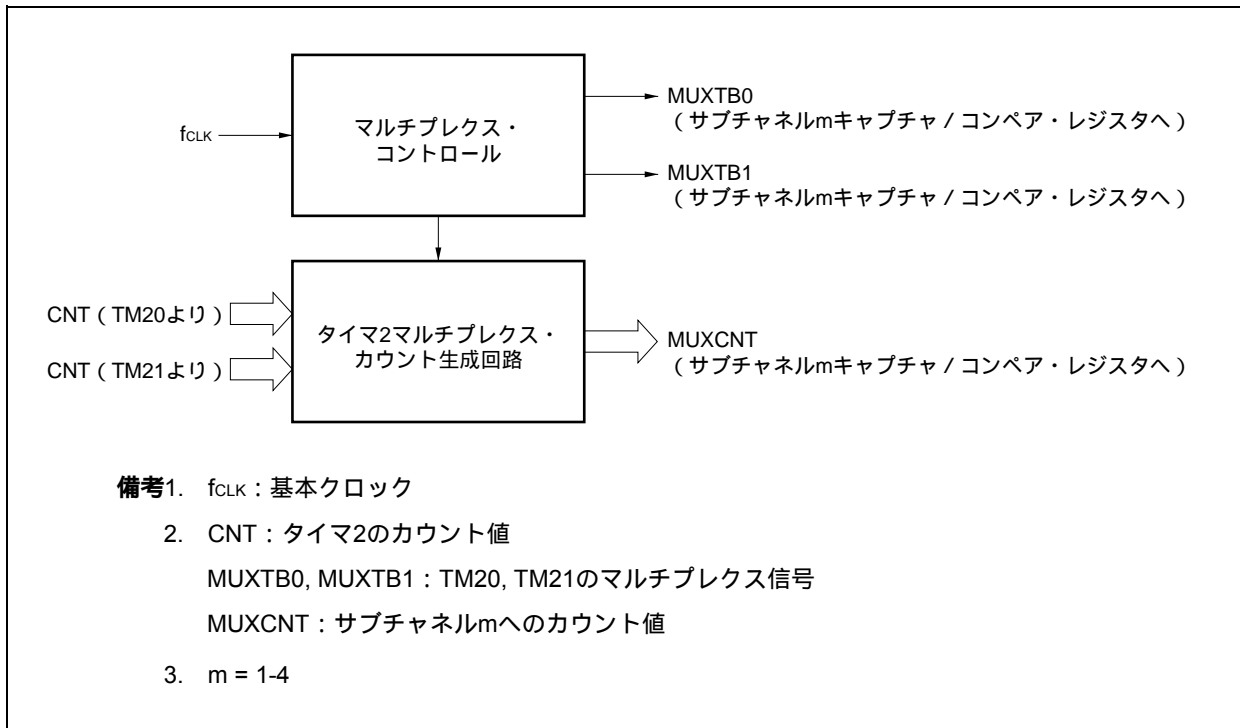




図9 - 73 マルチプレクス・カウント・タイミング

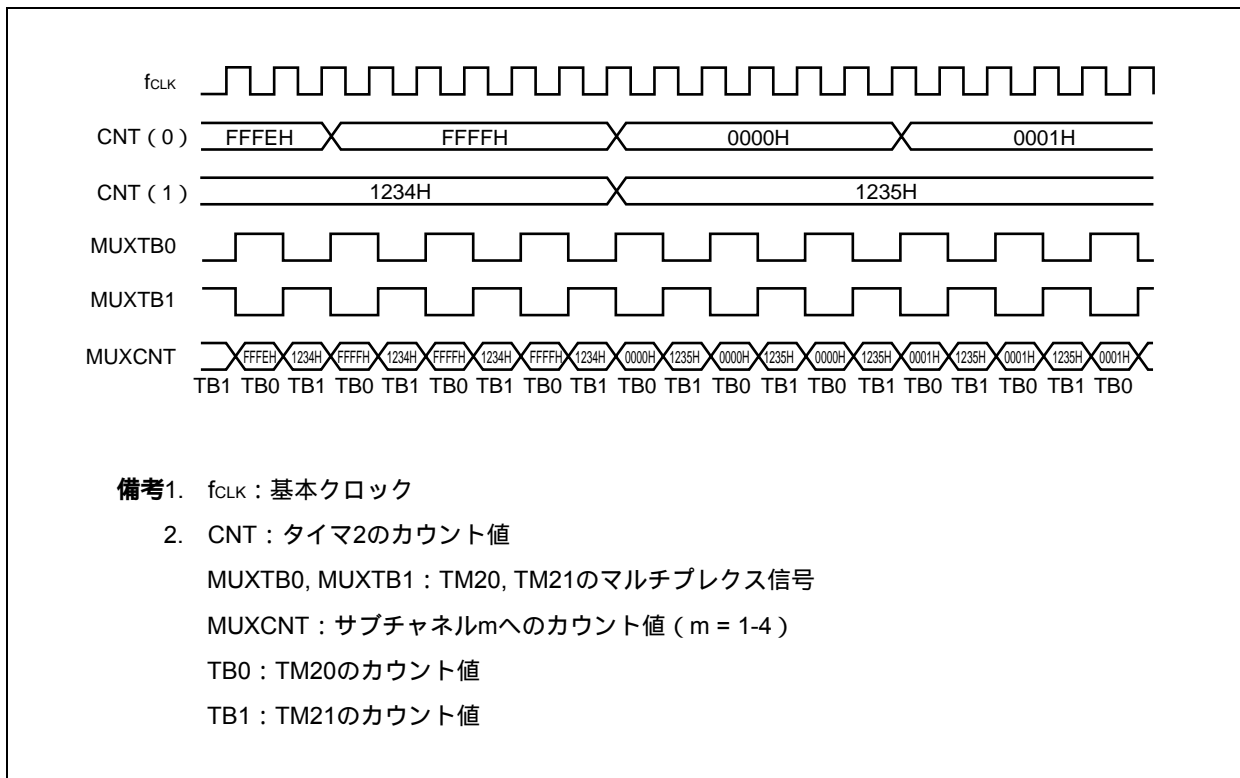


図9 - 74から図9 - 79にキャプチャ/コンペア・レジスタ (サブチャネル1-4) の動作を示します。

図9 - 74 キャプチャ動作：16ビット・バッファなしモード時

(CMSEx0レジスタのLNKEyビットの設定による動作の違い，  
CMSEx0レジスタのCCSEyビット = 0, BFEEyビット = 0,  
EEVEyビット = 1, CSCE0レジスタのSEVEyビット = 0の場合)

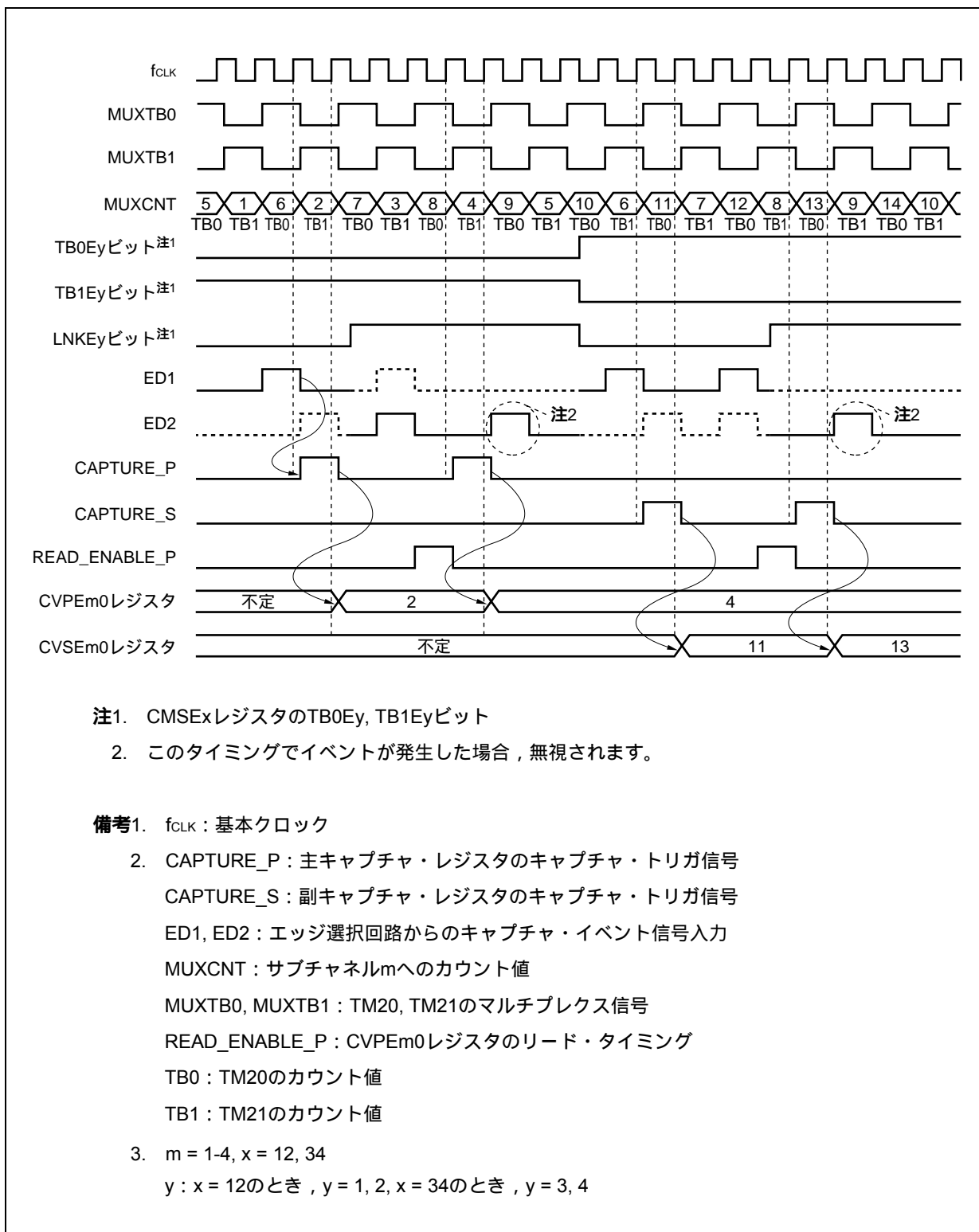


図9 - 75 キャプチャ動作：16ビット・バッファありモード時<sup>注1</sup>

(CMSEx0レジスタのTByE1ビット = 0, TByE0ビット = 1,  
CCSEyビット = 0, LNKEyビット = 0, BFEEyビット = 1,  
EEVEyビット = 1, CSCE0レジスタのSEVEyビット = 0の場合)

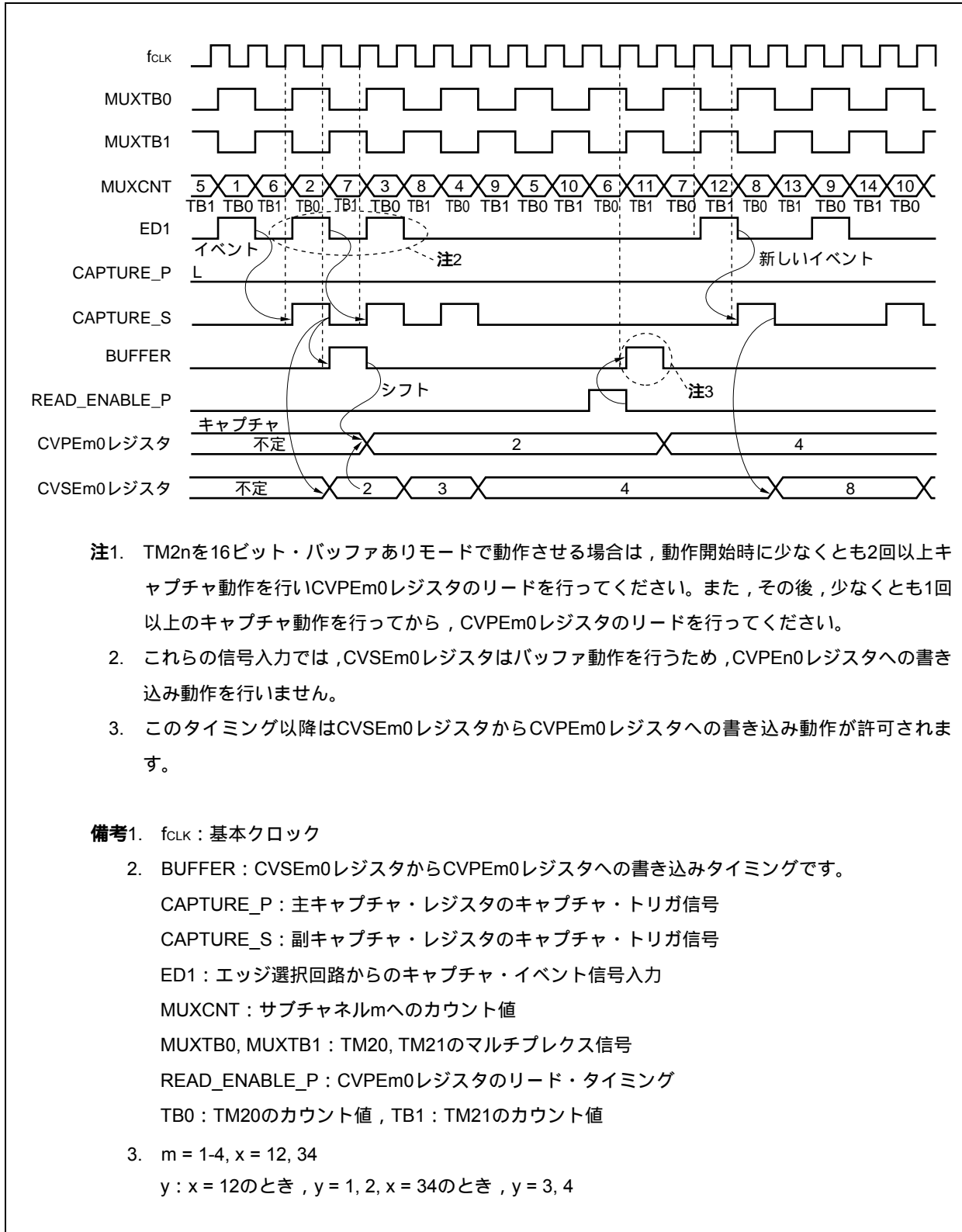
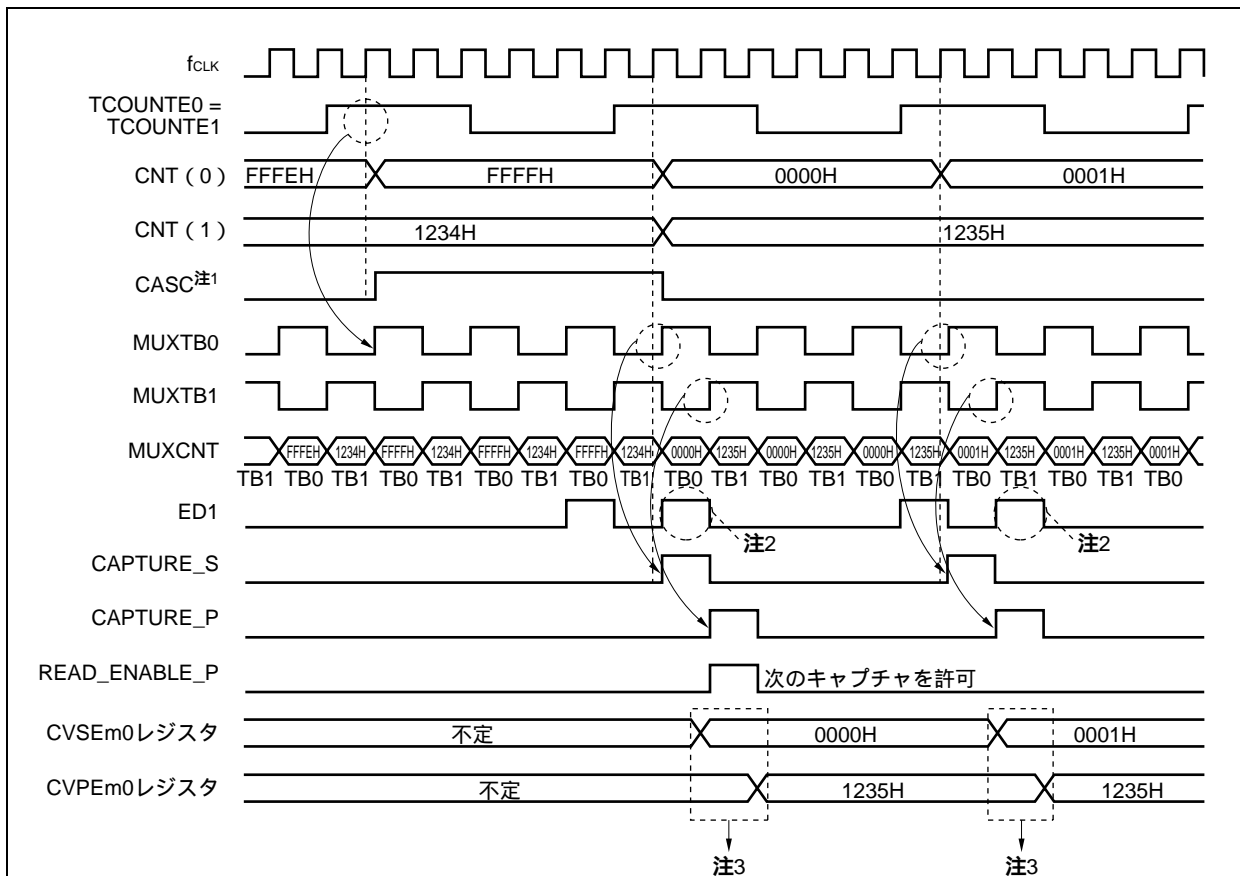


図9 - 76 キャプチャ動作：32ビット・カスケード動作モード時

(CMSExレジスタのTByE1ビット = 1, TByE0ビット = 1,  
CCSEyビット = 0, LNKEyビット = 0, BFEEyビット = 任意,  
EEVEyビット = 1, CSCE0レジスタのSEVEyビット = 0の場合)



- 注1. 32ビット・モード時にCASC (TM20がCNT = MAX.) がTM21に入力され、かつ、CTCの立ち上がりを検出した場合、TM21はカウント動作を行います。
2. このタイミングでイベントが発生した場合、無視されます。
3. このタイミングにおいては、CPUのリード・アクセスは行いません (ウエイト状態)。

備考1. fCLK : 基本クロック

2. CAPTURE\_P : 主キャプチャ・レジスタのキャプチャ・トリガ信号  
CAPTURE\_S : 副キャプチャ・レジスタのキャプチャ・トリガ信号  
CASC : 32ビット・モード時のTM21のカウント信号  
CNT : タイマ2のカウント値  
ED1 : エッジ選択回路からのキャプチャ・イベント信号入力  
MUXCNT : サブチャンネルmへのカウント値  
MUXTB0, MUXTB1 : TM20, TM21のマルチプレクス信号  
READ\_ENABLE\_P : CVPEm0レジスタのリード・タイミング  
TB0 : TM20のカウント値  
TB1 : TM21のカウント値  
TCOUNTE0, TCOUNTE1 : タイマ2のカウント・イネーブル信号入力

3. m = 1-4, x = 12, 34

y : x = 12のとき, y = 1, 2, x = 34のとき, y = 3, 4

図9 - 77 キャプチャ動作：ソフトウェアによるキャプチャ・コントロールとトリガ・タイミング

(CMSEx0レジスタのTByE1ビット = 0, TByE0ビット = 1, CCSEyビット = 0,  
LNKEyビット = 0, BFEEyビット = 1の場合)

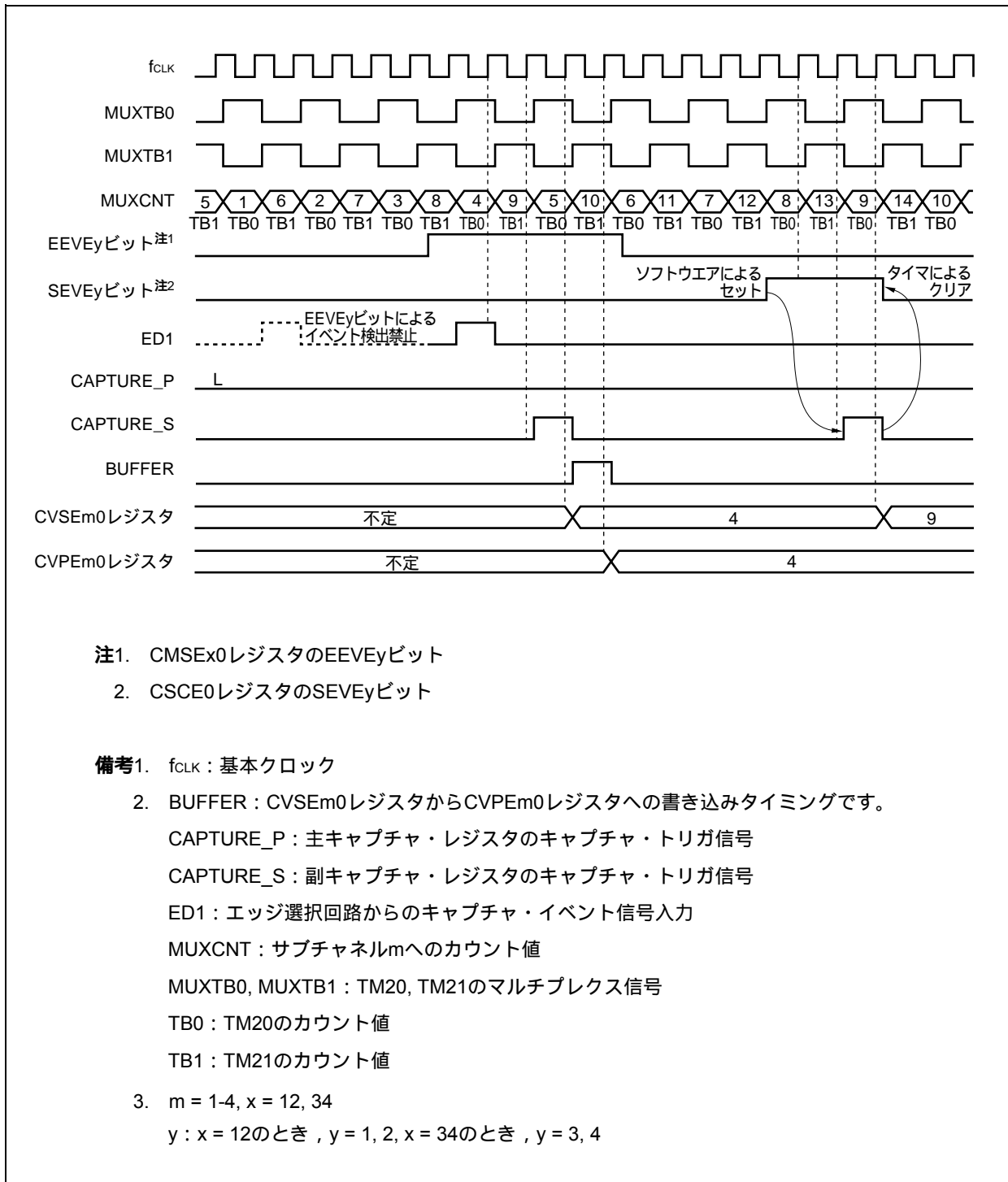


図9 - 78 コンペア動作：バッファなしモード時の動作

(CMSEx0レジスタのCCSEyビット = 1, LNKEYビット = 任意,  
BFEEyビット = 0の場合)

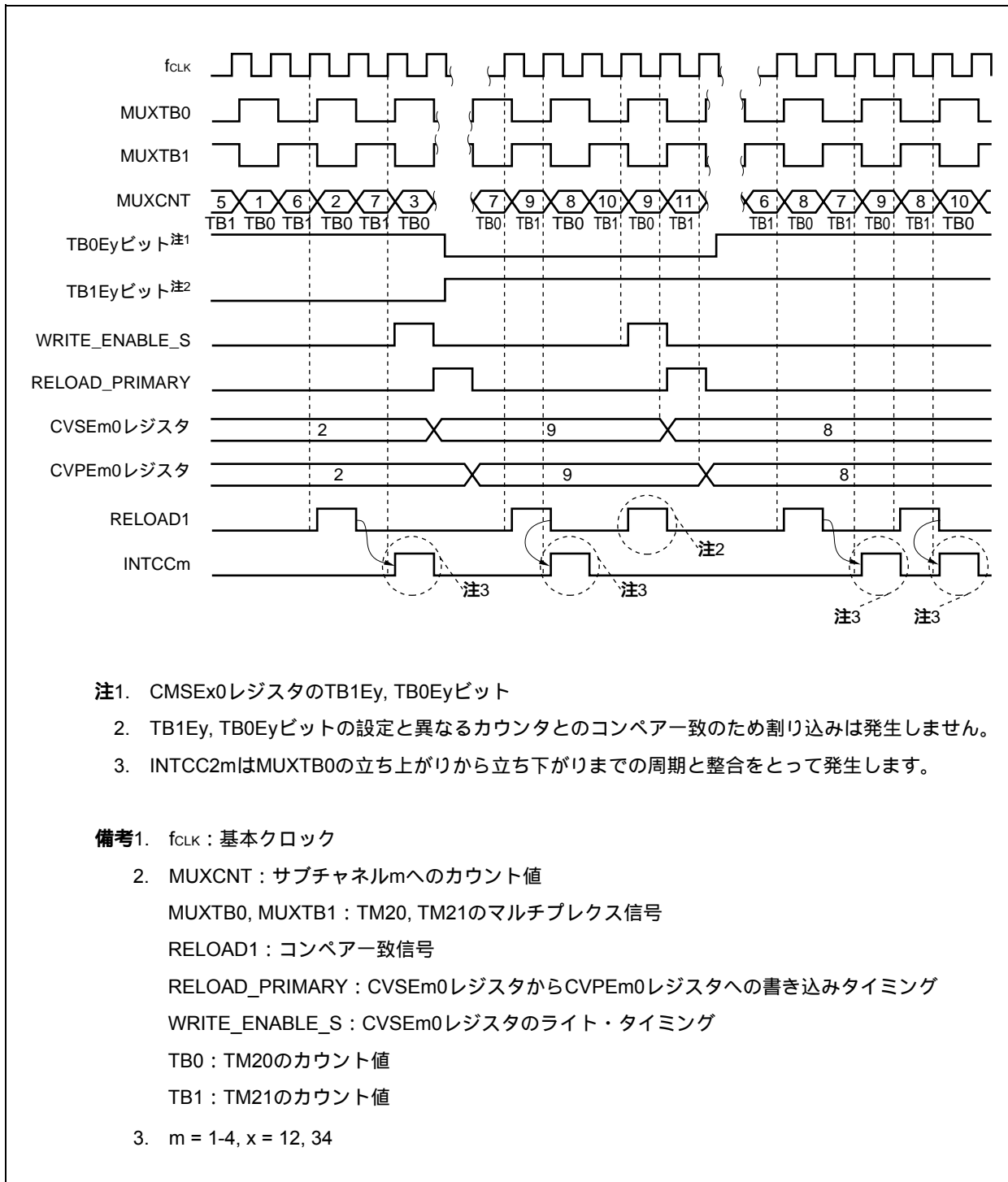
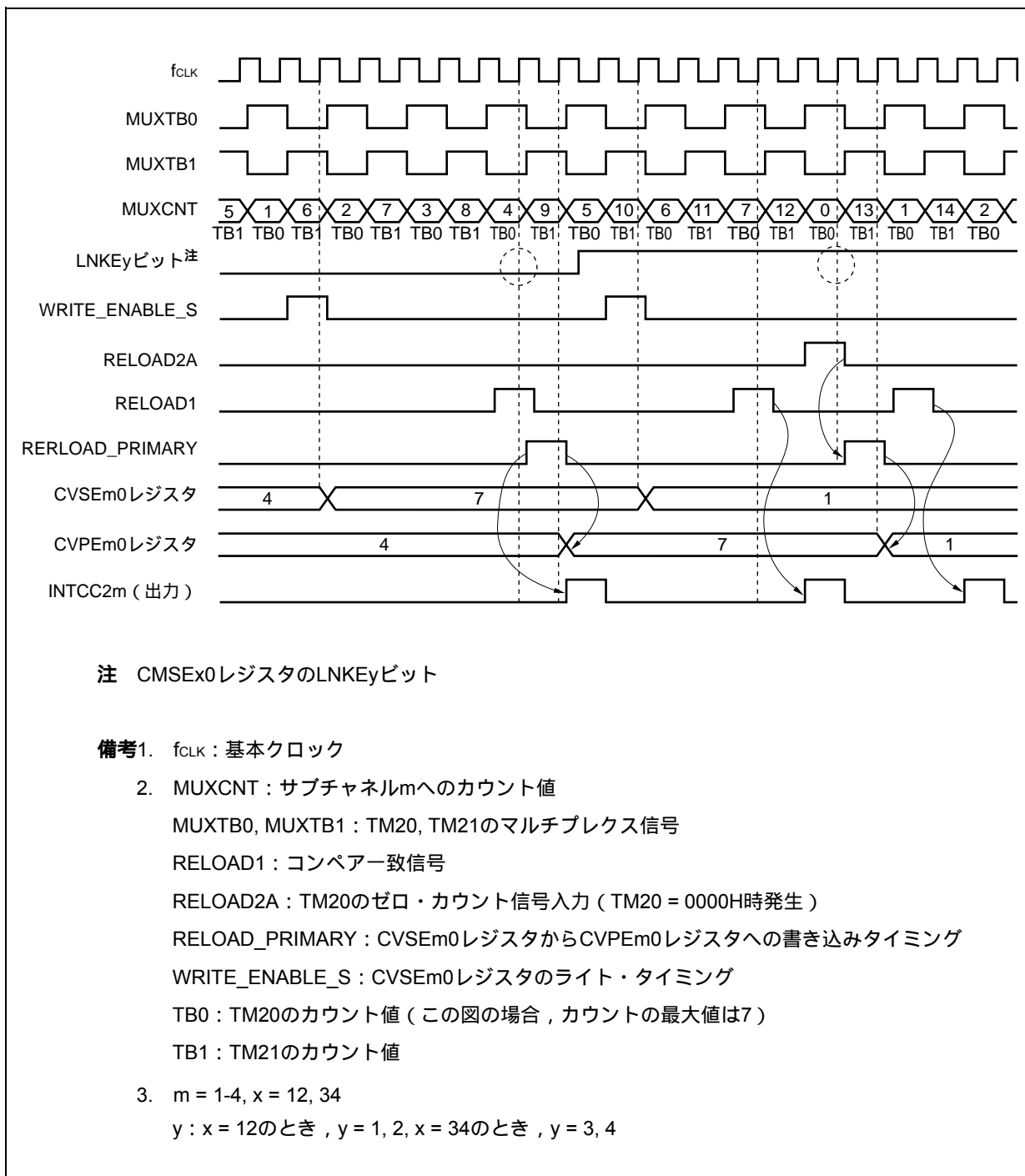


図9 - 79 コンペア動作：バッファありモード時の動作

(CMSEx0レジスタのLNKEyビットの設定による動作の違い，  
CMSEx0レジスタのCCSEyビット = 1, BFEEyビット = 1の場合)



(4) キャプチャ/コンペア・レジスタ (サブチャンネル0, 5) の動作

図9 - 80 , 図9 - 81にキャプチャ/コンペア・レジスタ (サブチャンネル0, 5) の動作を示します。

図9 - 80 キャプチャ動作 : タイマ2のカウンタ値のリード・タイミング  
 (CMSE050レジスタのCCSEyビット = 0, EEVEyビット = 1,  
 CSCE0レジスタのSEVEyビット = 0の場合)

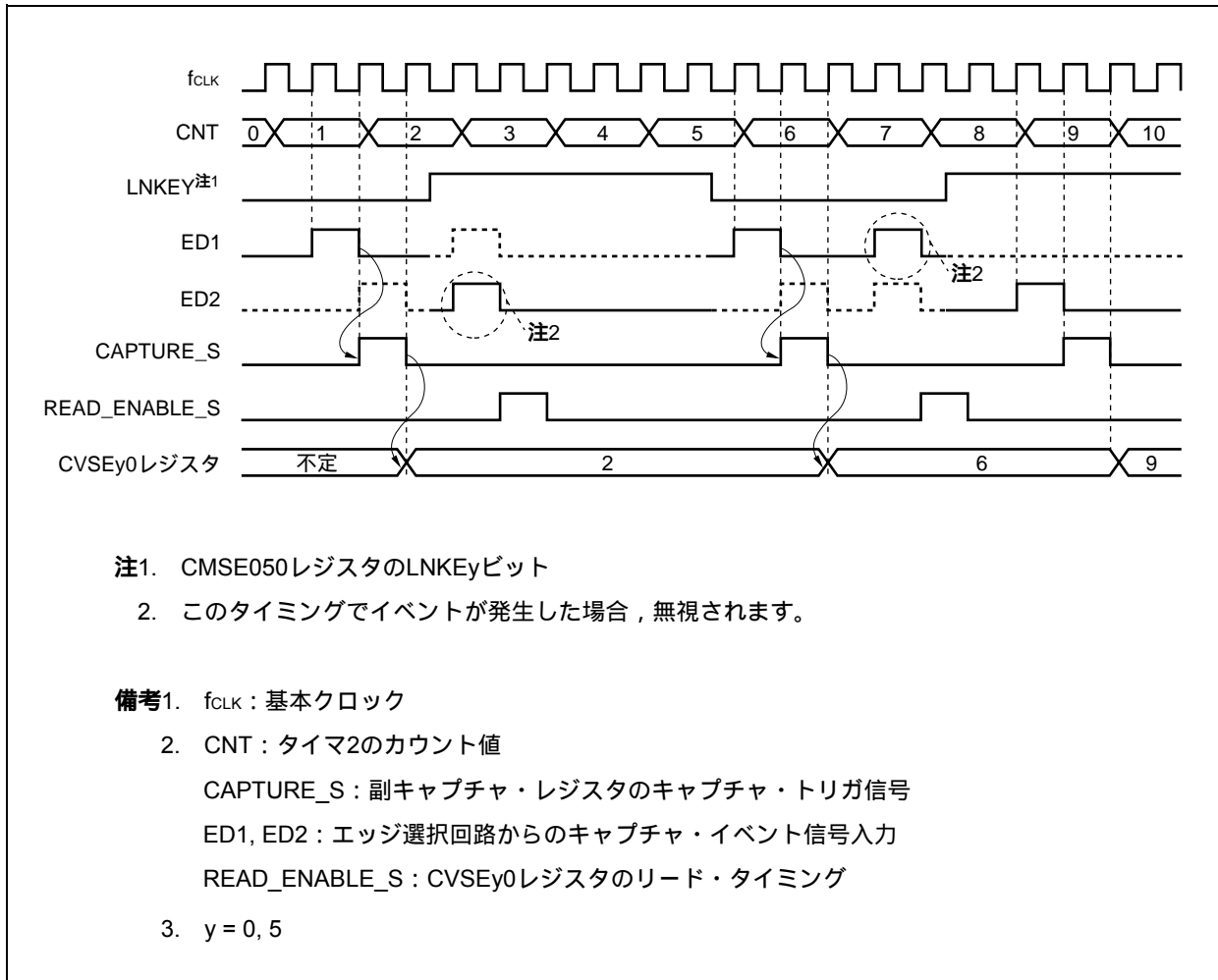
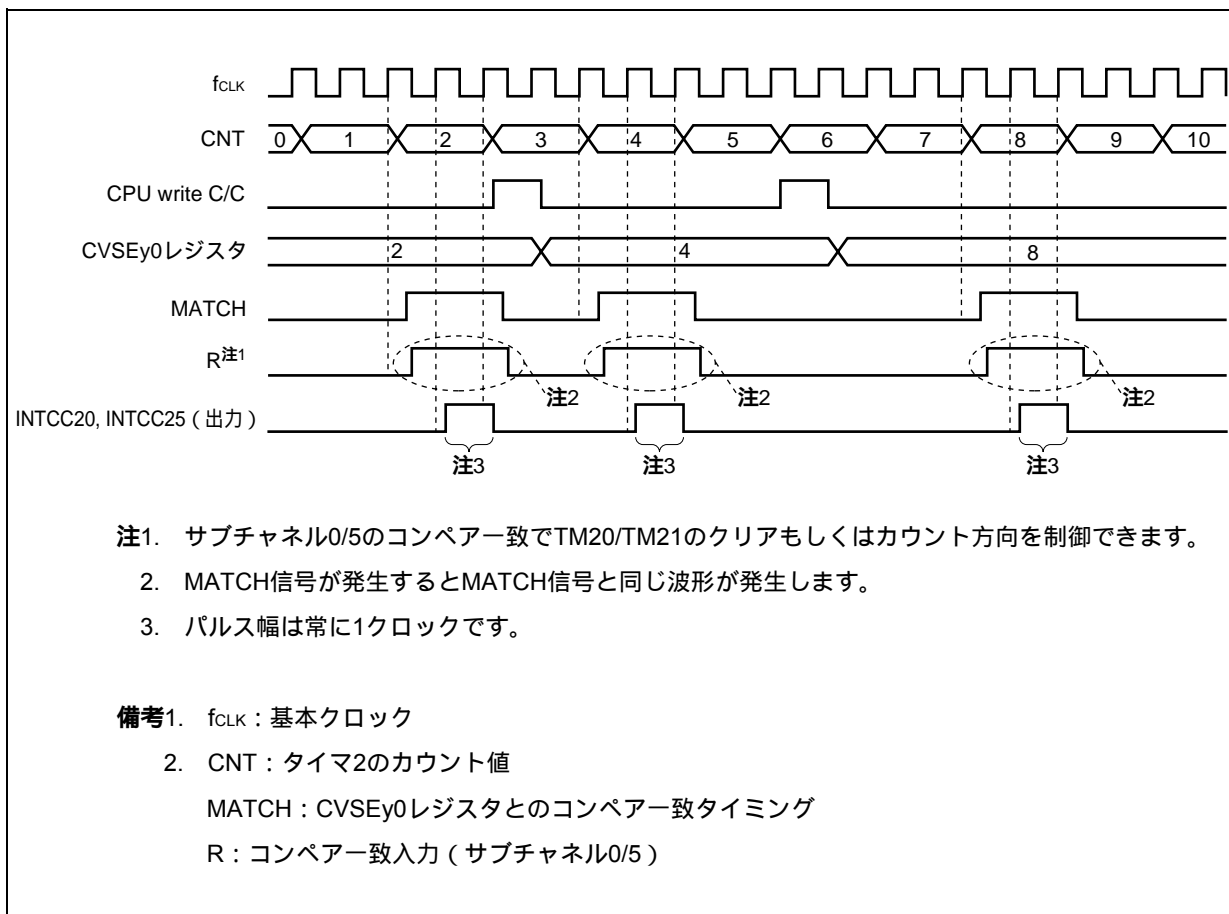




図9 - 81 コンペア動作：コンペアー一致およびレジスタへの書き込みタイミング  
 (CMSE050レジスタのCCSEyビット = 1, EEVEyビット = 任意,  
 CSCE0レジスタのSEVEyビット = 任意の場合)



(5) 出力回路の動作

図9 - 82から図9 - 85に出力回路の動作を示します。

図9 - 82 信号出力動作：トグル・モード0およびトグル・モード1  
 (OCTLE0レジスタのSWFEnビット = 0, ODELE0レジスタの  
 ODLEn2-ODLEn0ビット = 0の場合)

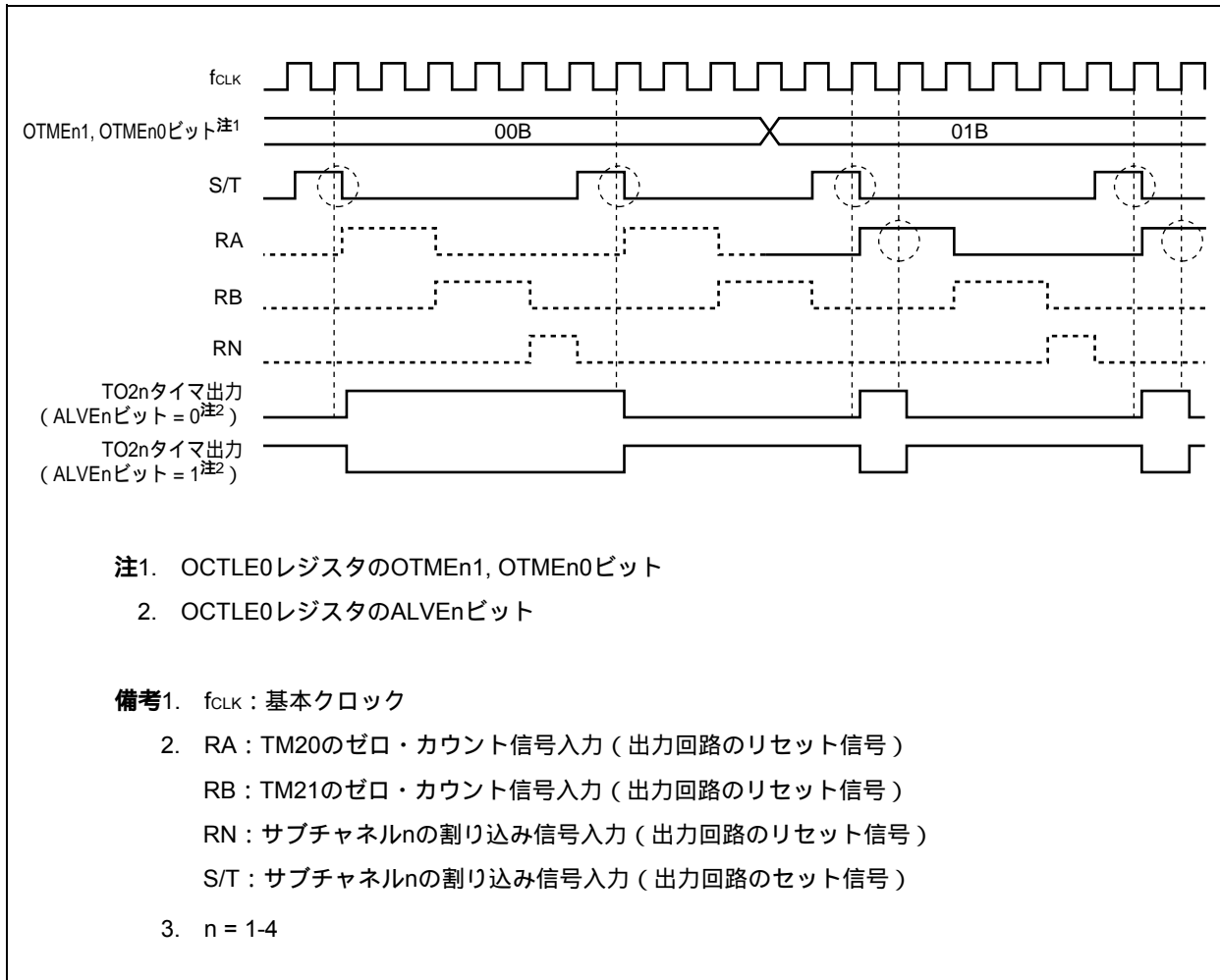


図9 - 83 信号出力動作：トグル・モード2およびトグル・モード3  
 (OCTLE0レジスタのSWFEnビット = 0, ODELE0レジスタの  
 ODLEn2-ODLEn0ビット = 0の場合)

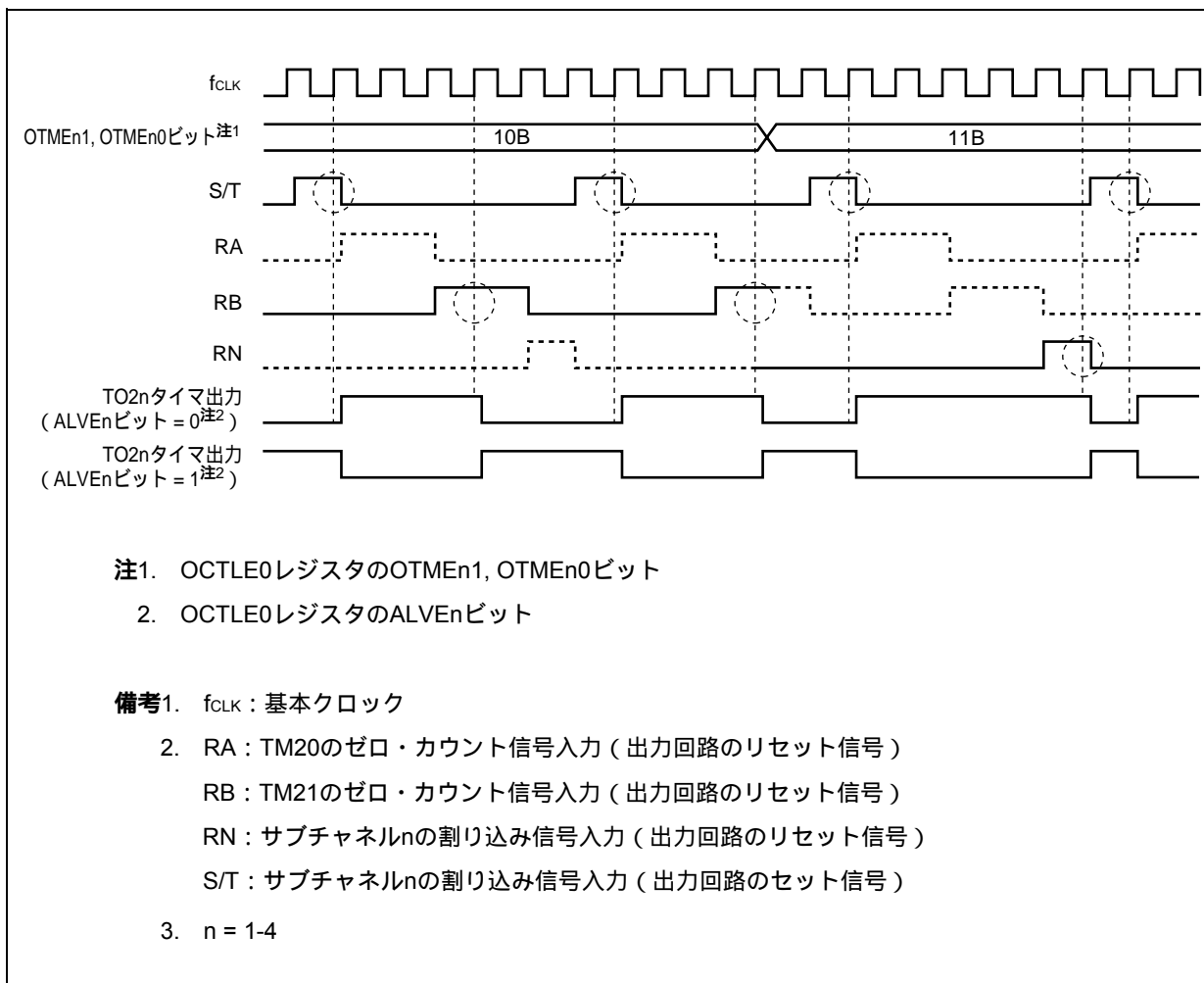


図9 - 84 信号出力動作：ソフトウェア・コントロール時  
 (OCTLE0レジスタのOTMEn1, OTMEn0ビット = 任意, SWFEnビット = 1,  
 ODELE0レジスタのODLEn2-ODLEn0ビット = 0の場合)

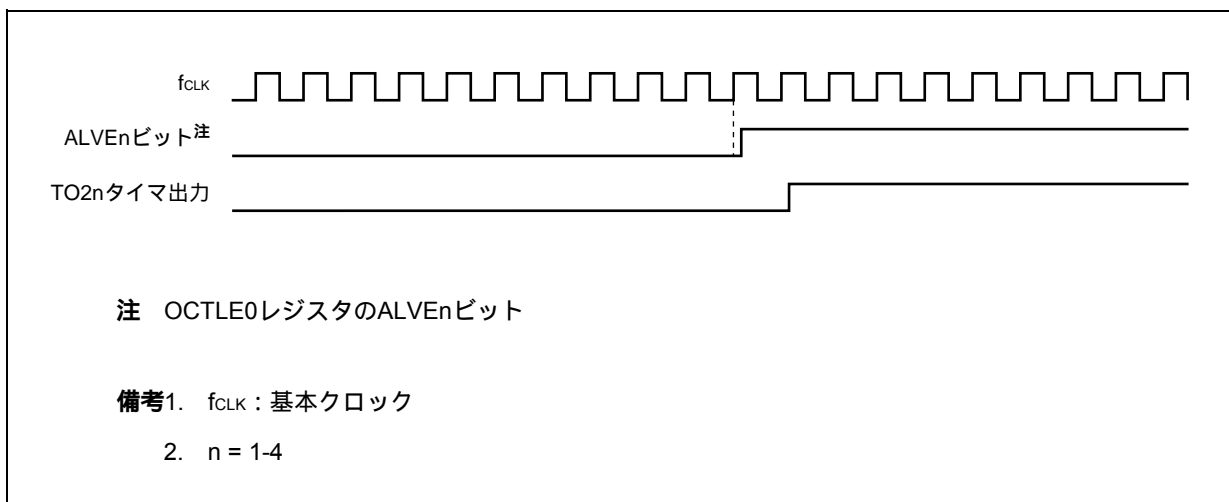
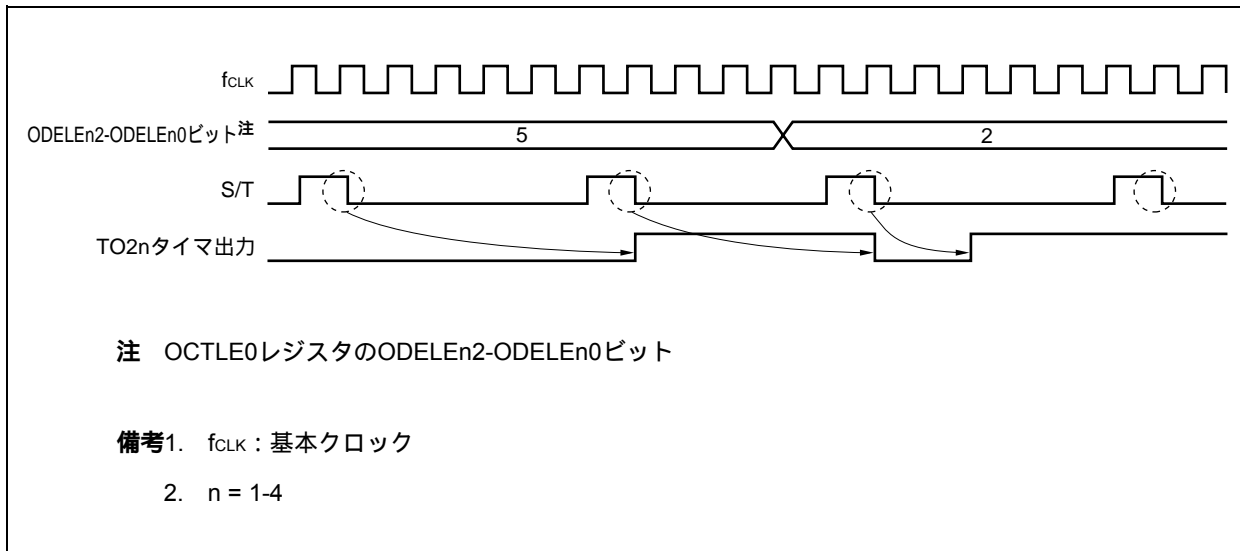


図9 - 85 信号出力動作：遅延出力動作時

(OCTLE0レジスタのOTMEn1, OTMEn0ビット = 0, ALVEn = 0,  
SWFEnビット = 0の場合)



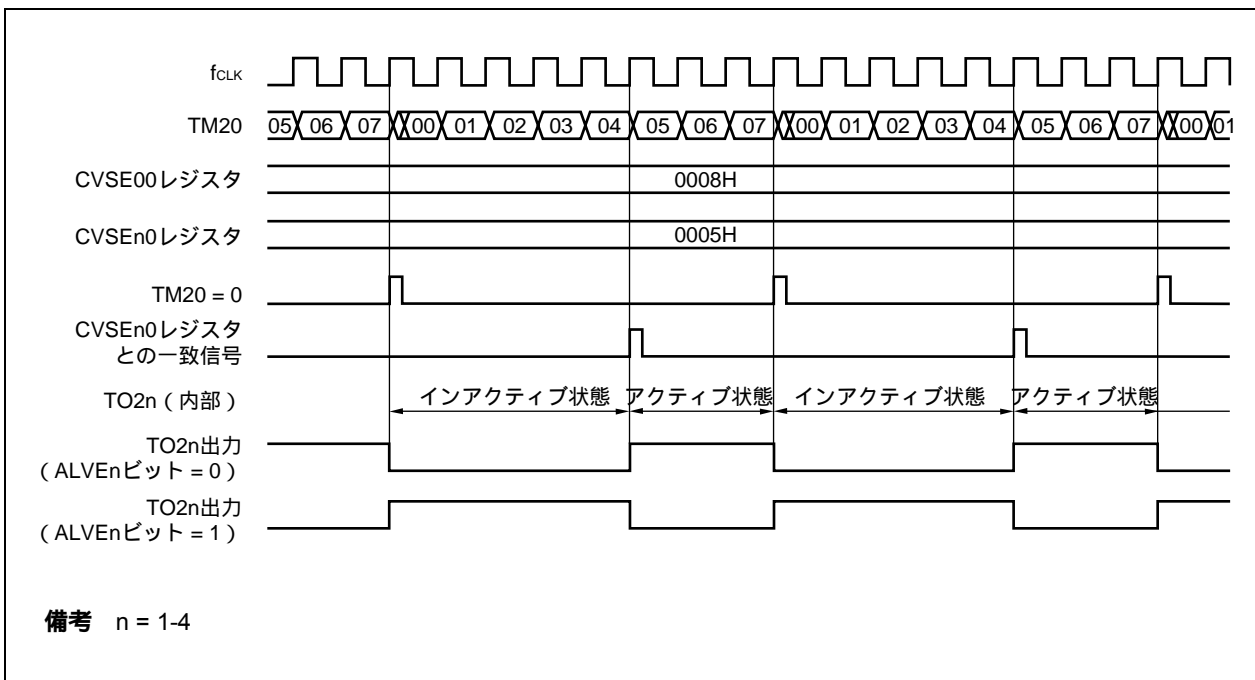
### 9.3.6 タイマ2のコンペア・モード動作におけるPWM出力動作

#### (1) トグル・モード1におけるTO2n端子のPWM出力動作時の各部の動作

トグル・モード1ではTM20 = 0時のトリガ信号でTO2n (内部) の出力をインアクティブ状態にし、サブチャンネル1 (CVPEn0レジスタ) とのコンペア一致信号をトリガ信号としてTO2n (内部) の出力をアクティブ状態にします。TO2n端子からは、このTO2n (内部) の状態に従い、OCTLE0.ALVEnビットの内容によってハイ・レベル/ロウ・レベルを出力します。

図9 - 86 通常出力動作時

(OCTLE0レジスタのOTMEn1, OTMEn0ビット = 01,  
ODELE0レジスタのODLEn2-ODLEn0ビット = 000の場合)



(2) トグル・モード1においてOCTLE0.SWFE<sub>n</sub>ビットを操作してTO2<sub>n</sub>端子の出力を制御した場合の各部の動作

(a) SWFE<sub>n</sub>ビットが1 0になった直後にサブチャンネル<sub>n</sub>のコンペアー一致信号が出力された場合

図9 - 87, 図9 - 88はトグル・モード1において, SWFE<sub>n</sub>ビットを操作してTO2<sub>n</sub>出力端子の出力を制御した場合の出力開始 / 終了時の各部の波形を示しています。

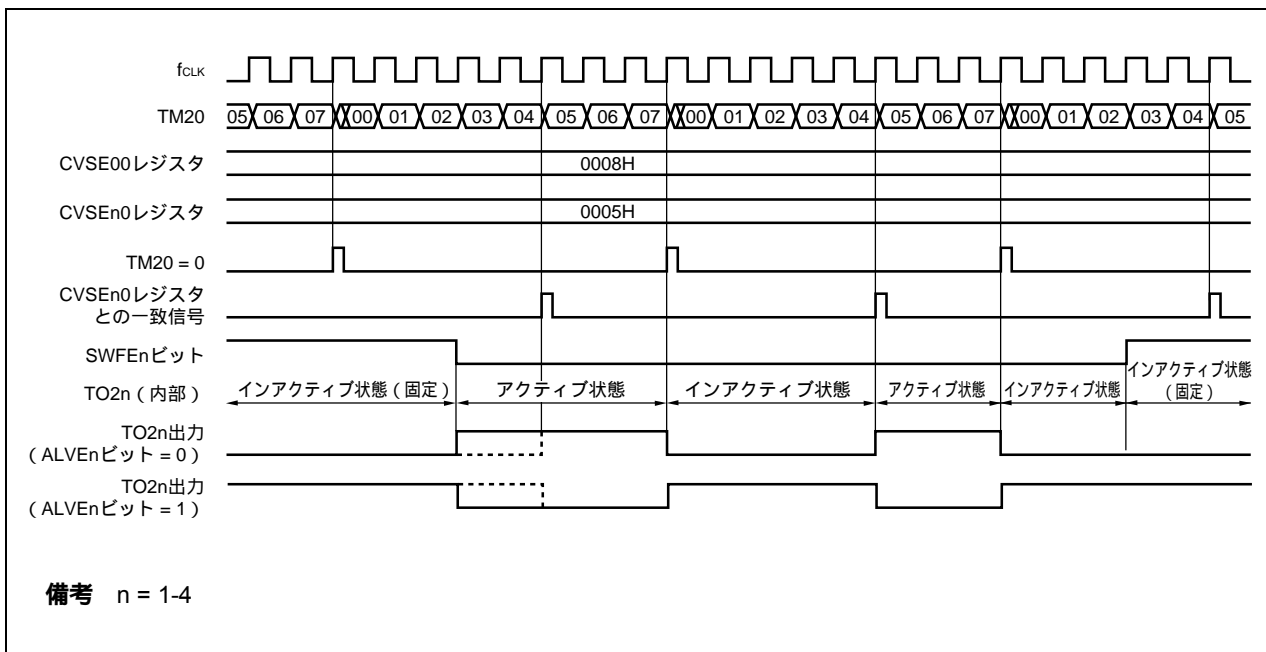
V850E/IA1のタイマ2はSWFE<sub>n</sub>ビット = 1のとき, TO2<sub>n</sub>出力をインアクティブ状態に固定することにより, ALVE<sub>n</sub>ビットの内容に従ったレベル( ALVE<sub>n</sub>ビット = 0のときロウ・レベル, ALVE<sub>n</sub>ビット = 1のときハイ・レベル) を出力します。またSWFE<sub>n</sub>ビット = 0のときはTO2<sub>n</sub>( 内部) をトリガ信号に従って動作させることによりアクティブ / インアクティブ・レベルを出力します。

ただし, SWFE<sub>n</sub>ビットを1 0にした場合はTO2<sub>n</sub>出力を一度強制的にアクティブ状態にし, SWFE<sub>n</sub>ビットを0 1にした場合はTO2<sub>n</sub>出力を強制的にインアクティブ状態に固定します。

そのため, SWFE<sub>n</sub>ビットが1 0になった直後にサブチャンネル<sub>n</sub>のコンペアー一致信号が出力された場合, アクティブ期間はSWFE<sub>n</sub>ビットが1 0になったタイミングからコンペアー一致信号が出力される期間が通常のTO2<sub>n</sub>出力のアクティブ期間に加算されるため, 最初のアクティブ期間が長くなります( 図9 - 87参照)。

図9 - 87 通常出力動作開始 / 停止時

( OCTLE0レジスタのOTME<sub>n</sub>1, OTME<sub>n</sub>0ビット = 01,  
ODELD0レジスタのODLE<sub>n</sub>2-ODLE<sub>n</sub>0ビット = 000の場合 )



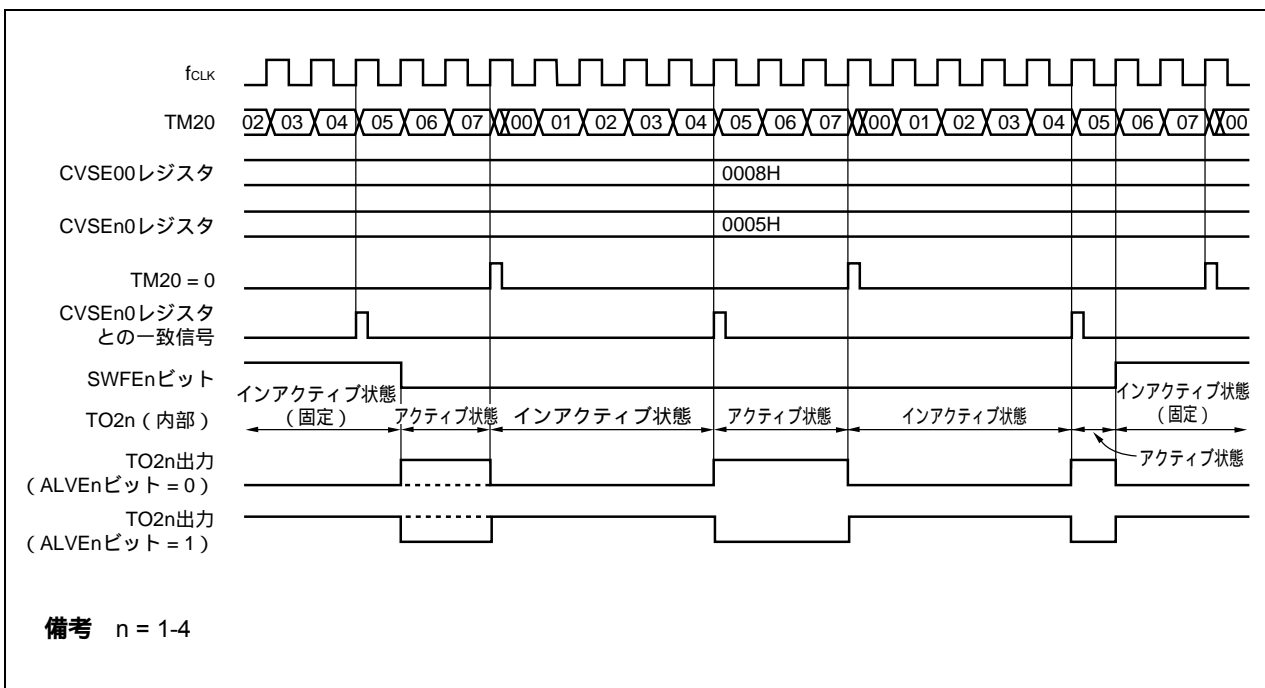
(b) SWFEnビットが1 0になった直後にTM20 = 0のトリガ信号が出力された場合

SWFEnビットが1 0になった直後にTM20 = 0のトリガ信号が出力された場合、アクティブ期間は通常のSWFEnビットが1 0になったタイミングからTM20 = 0のトリガ信号が出力される期間が最初のアクティブ期間となるため、通常のTO2n出力のアクティブ期間より短いパルスが出力されてしまいます。

また、SWFEnビットを0 1にした場合も強制的にTO2n出力をインアクティブに固定するため、アクティブ・レベルを出力している際にこの動作が発生した場合、アクティブ・レベル出力期間が短くなります（図9 - 88参照）。

図9 - 88 通常出力動作開始/停止時

(OCTLE0レジスタのOTMEn1, OTMEn0ビット = 01,  
ODELD0レジスタのODLEn2-ODLEn0ビット = 000の場合)



## 9.4 タイマ3

### 9.4.1 特徴 (タイマ3)

タイマ3 (TM3) は、16ビットのタイマ/カウンタで次の動作を行うことができます。

- ・インターバル・タイマ機能
- ・PWM出力
- ・外部信号の周期測定

### 9.4.2 機能概要 (タイマ3)

16ビット・タイマ/カウンタ (TM3) : 1チャンネル

キャプチャ/コンペア共用レジスタ: 2本

カウント・クロックはプリスケラによる分周から選択 (カウント・クロックは16 MHz以下に設定してください。)

基本クロック ( $f_{CLK}$ ) : 2種 ( $f_{CLK}$ は32 MHz以下に設定してください。)

$f_{xx}$ および $f_{xx}/2$ を選択可能

プリスケラ分周比

基本クロック ( $f_{CLK}$ ) により次のように選択可能です。

分周比	基本クロック ( $f_{CLK}$ )	
	$f_{xx}$ 選択時	$f_{xx}/2$ 選択時
1/2	$f_{xx}/2$	$f_{xx}/4$
1/4	$f_{xx}/4$	$f_{xx}/8$
1/8	$f_{xx}/8$	$f_{xx}/16$
1/16	$f_{xx}/16$	$f_{xx}/32$
1/32	$f_{xx}/32$	$f_{xx}/64$
1/64	$f_{xx}/64$	$f_{xx}/128$
1/128	$f_{xx}/128$	$f_{xx}/256$
1/256	$f_{xx}/256$	$f_{xx}/512$

割り込み要求ソース

- ・キャプチャ/コンペア一致割り込み要求: 2要因  
 キャプチャ・レジスタの場合: INTCP3nの入力でINTCC3nを発生  
 コンペア・レジスタの場合: CC3nの一致信号でINTCC3nを発生

- ・オーバフロー割り込み要求: 1要因

TM3レジスタのオーバフローによりINTTM3を発生

タイマ/カウンタのカウント・クロック・ソース: 2種

(外部パルス入力, 内部システム・クロックの分周を選択)

タイマ/カウンタがオーバフローしたときの動作モードを, フリー・ランニング・モード/オーバフロー・ストップ・モードの2種類から選択可能

タイマ/カウンタとコンペア・レジスタの一致でタイマ/カウンタをクリア可能

外部パルス出力 (TO3) : 1本



- 備考1.  $f_{xx}$  : 内部システム・クロック  
 2.  $n = 0, 1$

### 9.4.3 基本構成

表9 - 12 タイマ3の構成一覧

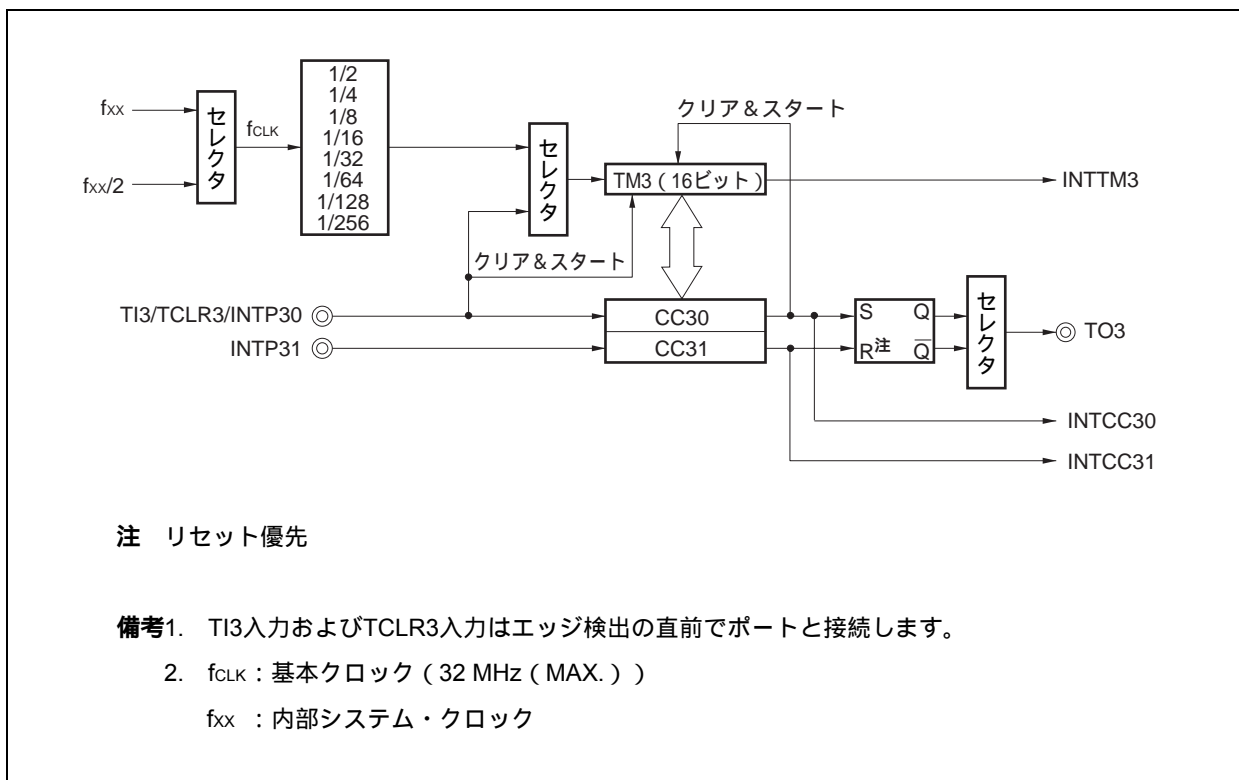
タイマ	カウント・クロック		レジスタ	リード/ライト	発生する 割り込み信号	キャプチャ・ トリガ	タイマ出力 S/R
	注1	注2					
タイマ3	$f_{xx}/2$ ,	$f_{xx}/4$ ,	TM3	リード	INTTM3	-	-
	$f_{xx}/4$ ,	$f_{xx}/8$ ,	CC30	リード/ライト	INTCC30	INTP30	TO3 (S)
	$f_{xx}/8$ ,	$f_{xx}/16$ ,					
$f_{xx}/16$ ,	$f_{xx}/32$ ,	CC31	リード/ライト	INTC31	INTP31	TO3 (R)	
$f_{xx}/32$ ,	$f_{xx}/64$ ,						
$f_{xx}/64$ ,	$f_{xx}/128$ ,						
$f_{xx}/128$ ,	$f_{xx}/256$	$f_{xx}/256$					
	$f_{xx}/256$	$f_{xx}/512$					

- 注1. TM3の基本クロック ( $f_{CLK}$ ) として $f_{xx}$ を選択した場合  
 2. TM3の基本クロック ( $f_{CLK}$ ) として $f_{xx}/2$ を選択した場合

備考  $f_{xx}$  : 内部システム・クロック  
 S/R : セット/リセット

図9 - 89にタイマ3のブロック図を示します。

図9 - 89 タイマ3のブロック図



**(1) タイマ3 (TM3)**

TM3は、16ビットのフリー・ランニング・タイマまたは外部信号のイベント・カウンタとして機能します。おもに、周期計測のほか、パルス出力としても利用できます。

TM3は16ビット単位でリードだけ可能です。

- 注意1.** TM3レジスタはリードだけ可能です。TM3レジスタに書き込みを行うと、その後の動作は不定となります。
2. TMC30レジスタのTM3CAEビットをクリア(0)すると、非同期でリセットされます。
3. TM3の連続読み出しは禁止します。TM3の連続読み出しを行った場合、2回目の読み出し値が実際の値と異なる可能性があります。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TM3																	FFFF680H	0000H

TM3は、内部カウント・クロックまたは外部カウント・クロックのカウント・アップ動作を行います。タイマのスタートおよびストップは、タイマ・コントロール・レジスタ30 (TMC30) のTM3CEビットで制御します。

カウント・クロックの内部/外部の選択はタイマ・コントロール・レジスタ31 (TMC31) のETIビットによって行います。

**(a) 外部カウント・クロックを選択**

TM3は、イベント・カウンタとして動作します。

タイマ・コントロール・レジスタ31 (TMC31) のETIビットをセット(1)した場合、内部カウント・クロックに同期してTM3は外部クロック入力 (TI3) の有効エッジ・カウント動作を行います。有効エッジの指定は、有効エッジ選択レジスタ (SESC) によって行います。

**注意** INTP30/TI3/TCLR3端子をTI3/TCLR3として使用する場合はINTP30の割り込みをマスクするか、CC3nをコンペア・モードにしてください (n = 0, 1)。

**(b) 内部カウント・クロックを選択**

TM3は、フリー・ランニング・タイマとして動作します。

タイマ・コントロール・レジスタ31 (TMC31) でカウント・クロックを内部クロックに指定した場合、TMC30レジスタのCS2-CS0ビットで指定した入力クロックの周期ごとにTM3はカウント・アップします。

カウント・クロックは、プリスケラによる分周を、TMC30レジスタによりfCLK/2, fCLK/4, fCLK/8, fCLK/16, fCLK/32, fCLK/64, fCLK/128, fCLK/256から選択できます (fCLK : 基本クロック)。

タイマがオーバフローすると、オーバフロー割り込みを発生させることができます。また、TMC31レジスタのOSTビットをセット(1)することにより、オーバフロー後にタイマを停止させることができます。

**注意** タイマ動作中はカウント・クロックを変更できません。

TM3レジスタが0000Hになる条件を次に示します。

(i) 非同期リセット

- ・ TMC30レジスタのTM3CAEビット = 0
- ・ リセット入力

(ii) 同期リセット

- ・ TMC30レジスタのTM3CEビット = 0
- ・ CC30レジスタをコンペア・レジスタとして使用し、かつTM3レジスタのクリアを許可 (TMC31レジスタのCCLRビット=1) しているときのTM3レジスタとCC30レジスタとの一致

(2) キャプチャ/コンペア・レジスタ30, 31 (CC30, CC31)

キャプチャ/コンペア・レジスタ30, 31は、16ビットのキャプチャ/コンペア・レジスタです。

タイマ・コントロール・レジスタ31 (TMC31) のCMS1, CMS0ビットの指定により、キャプチャ・レジスタまたはコンペア・レジスタとして使用できます。

16ビット単位でリード/ライト可能です (ただし、ライト動作はコンペア・モード時のみ可能です)。

**注意** CC3nの連続読み出しは禁止します。CC3nの連続読み出しを行った場合、2回目の読み出し値が実際の値と異なる可能性があります。CC3nを2回読み出す必要がある場合は、必ず1回目と2回目の間にほかのレジスタを読み出ししてください。

正しい使用例

- CC30リード
- CC31リード
- CC30リード
- CC31リード

間違った使用例

- CC30リード
- CC30リード
- CC31リード
- CC31リード

CC30	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	初期値
	<input type="text"/>	FFFFF682H	0000H
CC31	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	初期値
	<input type="text"/>	FFFFF684H	0000H

**(a) キャプチャ・レジスタに設定 (TMC31のCMS1, CMS0 = 0)**

キャプチャ・レジスタに設定した場合は、対応する外部割り込みINTP30, INTP31信号の有効エッジをキャプチャ・トリガとして検出します。TM3はキャプチャ・トリガに同期して、TM3の値をCC30, CC31レジスタにラッチします(キャプチャ動作)。

INTP30端子の有効エッジはSESCレジスタのIES301, IES300ビットで、INTP31端子の有効エッジはSESCレジスタのIES311, IES310ビットで指定(立ち上がり, 立ち下がり, 両エッジ)します。

キャプチャ動作は、カウント・クロックとは非同期に行われます。ラッチした値は、次にキャプチャ動作が行われるまでキャプチャ・レジスタに保持されます。

タイマ・コントロール・レジスタ30 (TMC30) のTM3CAEビットが0の場合、0000Hがリードされます。

キャプチャ・レジスタに指定したときは、INTP30, INTP31信号の有効エッジ検出で割り込みを発生します。

**注意** キャプチャ動作とTM3レジスタのカウント禁止の設定(TMC30レジスタのTM3CEビット = 0)のタイミングが競合した場合には、キャプチャされたデータは不定になります。また、INTCC3n割り込みは発生しません(n = 0, 1)。

**(b) コンペア・レジスタに設定 (TMC31のCMS1, CMS0 = 1)**

コンペア・レジスタに設定した場合は、カウント・クロックごとにTM3とレジスタ値の比較動作を行い、一致による割り込みを発生します。タイマ・コントロール・レジスタ31 (TMC31) のCCLRビットがセット(1)されている場合、CC30レジスタの一致と同時に、TM3の値をクリア(0)します(CC31レジスタの一致ではTM3レジスタはクリア(0)されません)。

コンペア・レジスタはセット/リセット出力機能を備えています。一致信号の発生に同期して、対応するタイマ出力(TO3)をセットまたはリセットします。

割り込み選択ソースは選択したレジスタの機能で異なります。

- 注意1.** キャプチャ/コンペア・レジスタ30, 31(CC30, CC31)にライトする場合は、必ずTM3CAEビットを1に設定してから行ってください。TM3CAEビットが0の場合、CC30, CC31レジスタにライトしても、非同期にリセットされてしまうため、ライトしたデータは無効になります。
2. キャプチャ/コンペア・レジスタ30, 31へのライト動作は、TMC30, TMC31レジスタ設定によりコンペア・レジスタに設定したあとに行ってください。キャプチャ・レジスタに設定されているとき(TMC31レジスタのCMS1, CMS0ビット = 0)に、CC30, CC31にライトしても、そのデータは書き込まれません。
3. コンペア・レジスタに設定した場合は、INTP30, INTP31は外部割り込み入力端子として使用できません。

### 9.4.4 制御レジスタ

#### (1) タイマ3クロック選択レジスタ (PRM03)

PRM03レジスタは、タイマ3 (TM3) の基本クロック ( $f_{CLK}$ ) を選択するレジスタです。  
8/1ビット単位でリード/ライト可能です。

- 注意1. 必ずタイマを使用する前に設定してください。**
2.  $f_{CLK}$ は32 MHz以下に設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
PRM03	0	0	0	0	0	0	0	PRM3	FFFFFF690H	00H

ビット位置	ビット名	意 味
0	PRM3	タイマ3 (TM3) の基本クロック ( $f_{CLK}$ ) を指定します。 0 : $f_{xx}/2$ ( $f_{xx} > 32\text{MHz}$ の場合) 1 : $f_{xx}$ ( $f_{xx} \leq 32\text{MHz}$ の場合)

**備考**  $f_{xx}$  : 内部システム・クロック

(2) タイマ・コントロール・レジスタ30 (TMC30)

TMC30レジスタは、TM3の動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

- 注意1. TM3CAEビットとその他のビットは同時にはセットできません。必ずTM3CAEビットをセットしたあとにその他のビットおよびその他のTM3のレジスタを設定してください。また、タイマ3を使用する際にタイマ機能に関連する外部端子を使用する場合には、必ず外部端子をコントロール・モードに設定したあとTM3CAEビットをセット(1)してください。
2. オーバフロー発生とTMC30レジスタのライトが競合した場合、TM3OVFビット値はTMC30レジスタのライト時に書き込んだ値となります。

( 1/2 )

	⑦	6	5	4	3	2	①	⑩	アドレス	初期値
TMC30	TM3OVF	CS2	CS1	CS0	0	0	TM3CE	TM3CAE	FFFFFF686H	00H

ビット位置	ビット名	意 味
7	TM3OVF	TM3のオーバフローを示すフラグです。 0 : オーバフロー発生なし 1 : オーバフロー発生  TM3がFFFFFFHから0000Hにカウント・アップしたタイミングで、TM3OVFビットは1になります。同時にオーバフロー割り込み要求 (INTTM3) を発生します。ただし、CC30をコンペア・モード (TMC31レジスタのCMS0ビット = 1) かつ、TM3とCC30とのコンペア時の一致クリアを許可 (TMC31レジスタのCCLRビット = 1) に設定し、FFFFFFHでの一致後にTM3を0000Hにクリアする場合は、TM3のクリアとみなし、TM3OVFビットは1になりません。また、INTTM3割り込みも発生しません。 TM3OVFビットは、0をライトまたはTM3CAEビット = 0で非同期リセットをかけるまで1を保持します。また、オーバフローによる割り込み動作とTM3OVFビットは独立しており、TM3OVFビットを操作してもINTTM3に対する割り込み要求フラグ (TM3IF0) には影響を与えません。TM3OVFビットを読み出し中にオーバフローが発生した場合は、フラグの値は変化して次の読み出し時に反映されます。

ビット位置	ビット名	意 味																																				
6-4	CS2-CS0	<p>TM3の内部カウント・クロックを選択します。</p> <table border="1"> <thead> <tr> <th>CS2</th> <th>CS1</th> <th>CS0</th> <th>カウント・クロック</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>f<sub>CLK</sub>/2</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>f<sub>CLK</sub>/4</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>f<sub>CLK</sub>/8</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>f<sub>CLK</sub>/16</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>f<sub>CLK</sub>/32</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>f<sub>CLK</sub>/64</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>f<sub>CLK</sub>/128</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>f<sub>CLK</sub>/256</td> </tr> </tbody> </table> <p><b>注意</b> タイマ動作中にCS2-CS0ビットを変更しないでください。変更する場合にはTM3CEビット= 0にしてから行ってください。動作中に書き換えた場合、その動作は保証できません。</p> <p><b>備考</b> f<sub>CLK</sub> : 基本クロック</p>	CS2	CS1	CS0	カウント・クロック	0	0	0	f <sub>CLK</sub> /2	0	0	1	f <sub>CLK</sub> /4	0	1	0	f <sub>CLK</sub> /8	0	1	1	f <sub>CLK</sub> /16	1	0	0	f <sub>CLK</sub> /32	1	0	1	f <sub>CLK</sub> /64	1	1	0	f <sub>CLK</sub> /128	1	1	1	f <sub>CLK</sub> /256
CS2	CS1	CS0	カウント・クロック																																			
0	0	0	f <sub>CLK</sub> /2																																			
0	0	1	f <sub>CLK</sub> /4																																			
0	1	0	f <sub>CLK</sub> /8																																			
0	1	1	f <sub>CLK</sub> /16																																			
1	0	0	f <sub>CLK</sub> /32																																			
1	0	1	f <sub>CLK</sub> /64																																			
1	1	0	f <sub>CLK</sub> /128																																			
1	1	1	f <sub>CLK</sub> /256																																			
1	TM3CE	<p>TM3の動作を制御します。</p> <p>0 : カウント禁止 (0000Hで停止し、動作しません)</p> <p>1 : カウント動作を行います。</p> <p><b>注意</b> TM3CE = 0の場合は、外部パルス出力 (TO3) はインアクティブ・レベルになります (TO3出力のアクティブ・レベルはTMC31レジスタのALVビットで設定します)。</p>																																				
0	TM3CAE	<p>内部カウント・クロックを制御します。</p> <p>0 : TM3ユニット全体を非同期リセット。TM3ユニットへの基本クロック供給を停止。</p> <p>1 : 基本クロック (f<sub>CLK</sub>) をTM3ユニットへ供給</p> <p><b>注意1.</b> TM3CAE = 0にすると、TM3ユニットを非同期にリセットできます。</p> <p>2. TM3CAE = 0の場合は、TM3ユニットはリセット状態なので、TM3を動作させる場合には、まずTM3CAE = 1にしてください。</p> <p>3. TM3CAEビットを1から0にした場合は、TM3ユニットのすべてのレジスタが初期化されます。再度TM3CAE = 1にする場合には、TM3CAE = 1設定後、必ずTM3ユニットのすべてのレジスタを再設定してください。</p>																																				

**(3) タイマ・コントロール・レジスタ<sup>31</sup> (TMC31)**

TMC31レジスタは、TM3の動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

- 注意1.** タイマ動作中に、TMC31レジスタの各ビットを変更しないでください。変更する場合は、TMC30レジスタのTM3CEビットを0にしてから行ってください。タイマ動作中にTMC31レジスタを書き換えた場合の動作は保証できません。
2. ENT1ビットとALVビットを同時に変更した場合、TO3端子出力にグリッチ（ヒゲ状のノイズ）が発生する可能性があります。グリッチが発生しても誤動作しない回路構成にするか、ENT1ビットとALVビットを同時に変更しないようにしてください。
3. TO3出力は外部割り込み信号（INTP30, INTP31）では変化しません。TO3信号を使用するときは、キャプチャ/コンペア・レジスタをコンペア・レジスタに指定（TMC31レジスタのCMS1, CMS0ビット= 1）してください。

**備考** TO3出力のフリップフロップは、リセットが優先されます。



	7	6	5	4	3	2	1	0	アドレス	初期値
TMC31	OST	ENT1	ALV	ETI	CCLR	ECLR	CMS1	CMS0	FFFFFF688H	20H

ビット位置	ビット名	意味
7	OST	<p>TM3がオーバーフローしたときの動作を設定します。</p> <p>0: オーバフロー後、カウント継続 (フリー・ランニング・モード)</p> <p>1: オーバフロー後、タイマは0000Hを保持しカウント停止 (オーバーフロー・ストップ・モード)。このときTMC30のTM3CEビットは1のままです。TM3CEビットに再度1を書き込みことによりカウントを開始します。</p>
6	ENT1	<p>外部パルス出力 (TO3) の出力を許可 / 禁止します。</p> <p>0: 外部パルス出力禁止。TO3端子にはALVビットのインアクティブ・レベルを固定出力します。対応するコンペア・レジスタから一致信号が発生してもTO3端子のレベルは変化しません。</p> <p>1: 外部パルス出力許可。コンペア・レジスタの一致により、TO3出力が変化します。ただし、キャプチャ・モードのときには、TO3出力は変化しません。タイマ出力を許可してから最初に一致信号が発生するまでは ALVビットのインアクティブ・レベルが出力されます。</p> <p><b>注意</b> CC30, CC31のどちらかをキャプチャ・レジスタに指定した場合は、ENT1 = 0に設定してください。</p>
5	ALV	<p>外部パルス出力 (TO3) のアクティブ・レベルを指定します。</p> <p>0: アクティブ・レベルはロウ・レベル</p> <p>1: アクティブ・レベルはハイ・レベル</p> <p><b>注意</b> ALVビットの初期値は“1”です。</p>
4	ETI	<p>カウント・クロックの外部と内部の切り替えを指定します。</p> <p>0: 入力クロック (内部) を指定します。TMC30のCS2-CS0ビットによりカウント・クロックを選択できます。</p> <p>1: 外部クロック (TI3) を指定します。SESCのTES31, TES30ビットの指定により有効エッジを選択できます。</p>
3	CCLR	<p>コンペア動作時のTM3のクリアの許可 / 禁止を設定します。</p> <p>0: クリア禁止</p> <p>1: クリア許可 (コンペア動作時にCC30とTM3が一致するとTM3をクリア)</p>
2	ECLR	<p>外部クリア入力 (TCLR3) によるTM3のクリアを許可します。</p> <p>0: TCLR3によるクリア禁止</p> <p>1: TCLR3によるクリア許可 (クリア後、カウントを再開する)</p>
1	CMS1	<p>キャプチャ / コンペア・レジスタ (CC31) の動作モードを選択します。</p> <p>0: キャプチャ・レジスタとして動作</p> <p>1: コンペア・レジスタとして動作</p>
0	CMS0	<p>キャプチャ / コンペア・レジスタ (CC30) の動作モードを選択します。</p> <p>0: キャプチャ・レジスタとして動作</p> <p>1: コンペア・レジスタとして動作</p>

(4) 有効エッジ選択レジスタ (SESC)

外部端子による外部割り込み要求 (TI3, TCLR3, INTP30, INTP31) の有効エッジを指定するレジスタです。

有効エッジは、立ち上がりエッジ、立ち下がりエッジ、または立ち上がり/立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

8/1ビット単位でリード/ライト可能です。

**注意** タイマ動作中に、SESCレジスタの各ビットを変更しないでください。変更する場合は、TMC30レジスタのTM3CEビットを0にしてから行ってください。タイマ動作中にSESCレジスタを書き換えた場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
SESC	TES31	TES30	CES31	CES30	IES311	IES310	IES301	IES300	FFFFFF689H	00H
	TI3		TCLR3		INTP31		INTP30			

ビット位置	ビット名	意 味															
7, 6	TES31, TES30	INTP30, INTP31端子, TCLR3, TI3端子の有効エッジを指定します。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <thead> <tr> <th style="width: 15%;">xESn1</th> <th style="width: 15%;">xESn0</th> <th style="width: 70%;">動 作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>立ち上がり/立ち下がり両エッジ</td> </tr> </tbody> </table>	xESn1	xESn0	動 作	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	設定禁止	1	1	立ち上がり/立ち下がり両エッジ
xESn1	xESn0		動 作														
0	0		立ち下がりエッジ														
0	1		立ち上がりエッジ														
1	0	設定禁止															
1	1	立ち上がり/立ち下がり両エッジ															
5, 4	CES31, CES30																
3, 2	IES311, IES310																
1, 0	IES301, IES300																

**備考** n = 3, 30, 31

### 9.4.5 動作

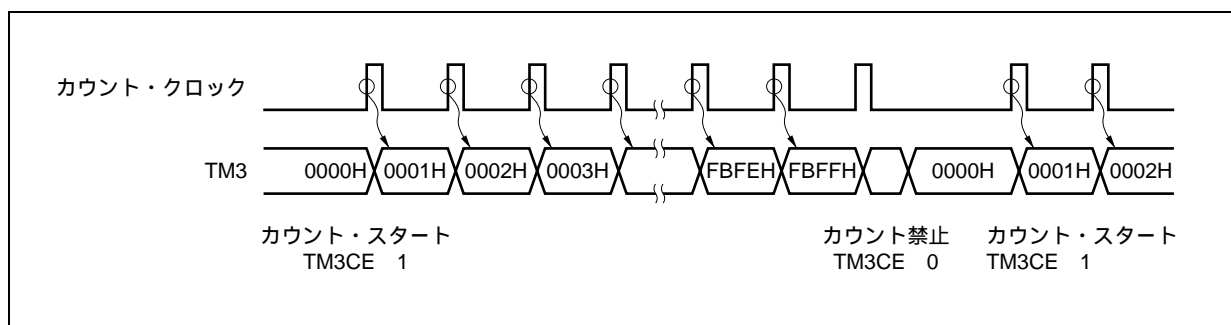
#### (1) カウント動作

タイマ3は、16ビットのフリー・ランニング・タイマまたは、外部信号のイベント・カウンタとして機能します。動作の設定は、タイマ・コントロール・レジスタ3n (TMC3n) で指定します (n = 0, 1)。

フリー・ランニング・タイマとして動作する場合、CC30, CC31レジスタとTM3のカウント値が一致すると、割り込み信号を発生させるとともに、タイマ出力信号 (TO3) をセット/リセットすることができます。また、外部トリガとしての外部割り込み要求入力端子から検出された有効エッジに同期して、TM3のカウント値をCC30, CC31レジスタに保持するキャプチャ動作を行うこともできます。キャプチャの値は、次のキャプチャ・トリガが発生するまで保持されます。

**注意** INTP30/TI3/TCLR3端子をTI3/TCLR3として使用する場合はINTP30の割り込みをマスクするか、CC3nレジスタをコンペア・モードにしてください (n = 0, 1)。

図9 - 90 タイマ3の基本動作



(2) オーバフロー

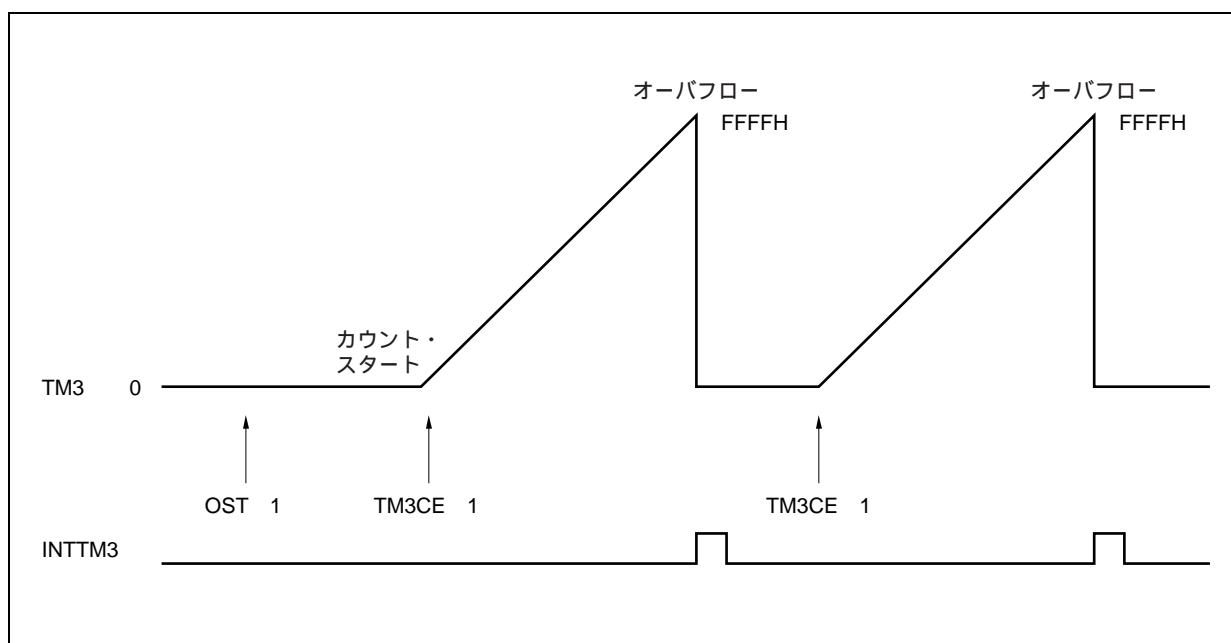
TM3レジスタがカウント・クロックをFFFFHから0000Hまでカウントした場合に、TMC30レジスタのTM3OVFビットをセット(1)します。同時にオーバーフロー割り込み(INTTM3)を発生します。ただし、CC30レジスタをコンペア・モード(CMS0ビット = 1)かつ、FFFFHに設定し、一致クリアが有効(CCLRビット = 1)な場合に、TM3レジスタがFFFFHから0000Hに変化した場合は、TM3レジスタのクリアとみなし、TM3OVFビットをセット(1)しません。また、INTTM3も発生しません。

TM3CEビットを1 0に変更することにより、TM3レジスタがFFFFHから0000Hに変化した場合も、TM3レジスタのクリアとみなし、TM3OVFビットをセット(1)せず、INTTM3割り込みも発生しません。

また、TMC31レジスタのOSTビットをセット(1)することで、オーバーフロー後、タイマを停止させることができます。オーバーフローによりタイマが停止した場合、TMC30レジスタのTM3CEビットを再度セット(1)するまでカウント動作を再開しません。

なお、カウント動作中にTM3CEビットをセット(1)しても動作に影響はありません。

図9 - 91 オーバフロー後の動作 (OST = 1の場合)



(3) キャプチャ動作

TM3レジスタは、CC30レジスタとCC31レジスタの2つのキャプチャ/コンペア・レジスタがあります。どちらもTMC31レジスタのCMS1, CMS0ビットにより、キャプチャ動作またはコンペア動作に設定します。TMC31レジスタのCMS1, CMS0ビットに0を設定すると、キャプチャ・レジスタとして動作します。

外部トリガに同期して、TM3のカウント値をカウント・クロックとは非同期にキャプチャ・レジスタに取り込み保持するキャプチャ動作を行います。外部トリガとして、外部割り込み要求入力端子 (INTP30, INTP31) から検出された有効エッジを使用します (キャプチャ・トリガ)。そのキャプチャ・トリガ信号に同期して、カウント中のTM3のカウント値をキャプチャ・レジスタに取り込み保持します。キャプチャ・レジスタの値は、次のキャプチャ・トリガが発生するまで保持されます。

また、INTP30, INTP31信号入力により割り込み要求 (INTCC30, INTCC31) を発生します。

キャプチャ・トリガの有効エッジは、有効エッジ選択レジスタ (SESC) により設定します。

立ち上がり/立ち下がり両エッジをキャプチャ・トリガとした場合は、外部からの入力パルス幅を測定できます。また、片側エッジをキャプチャ・トリガとした場合は、入力パルスの周期を測定できます。

図9 - 92 キャプチャ動作例

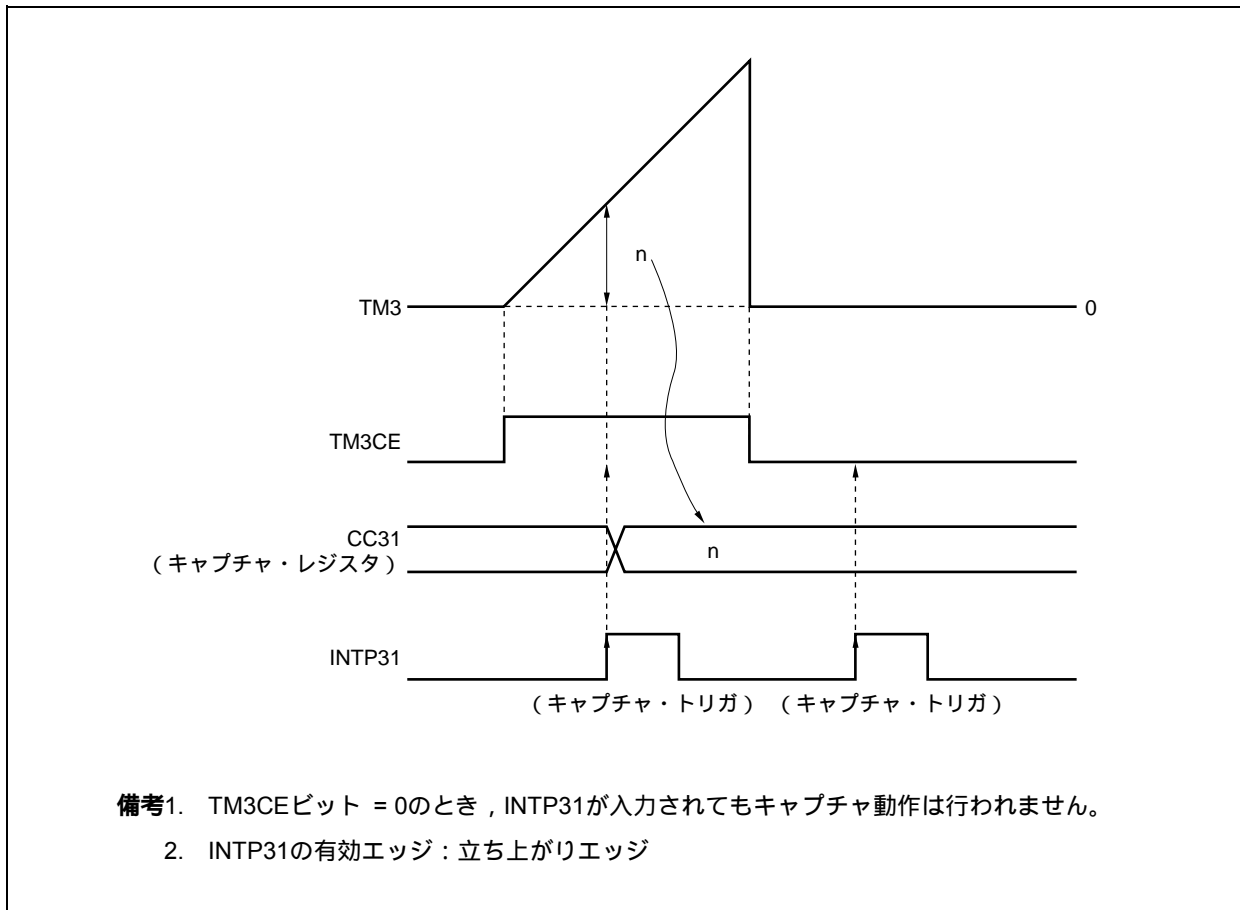
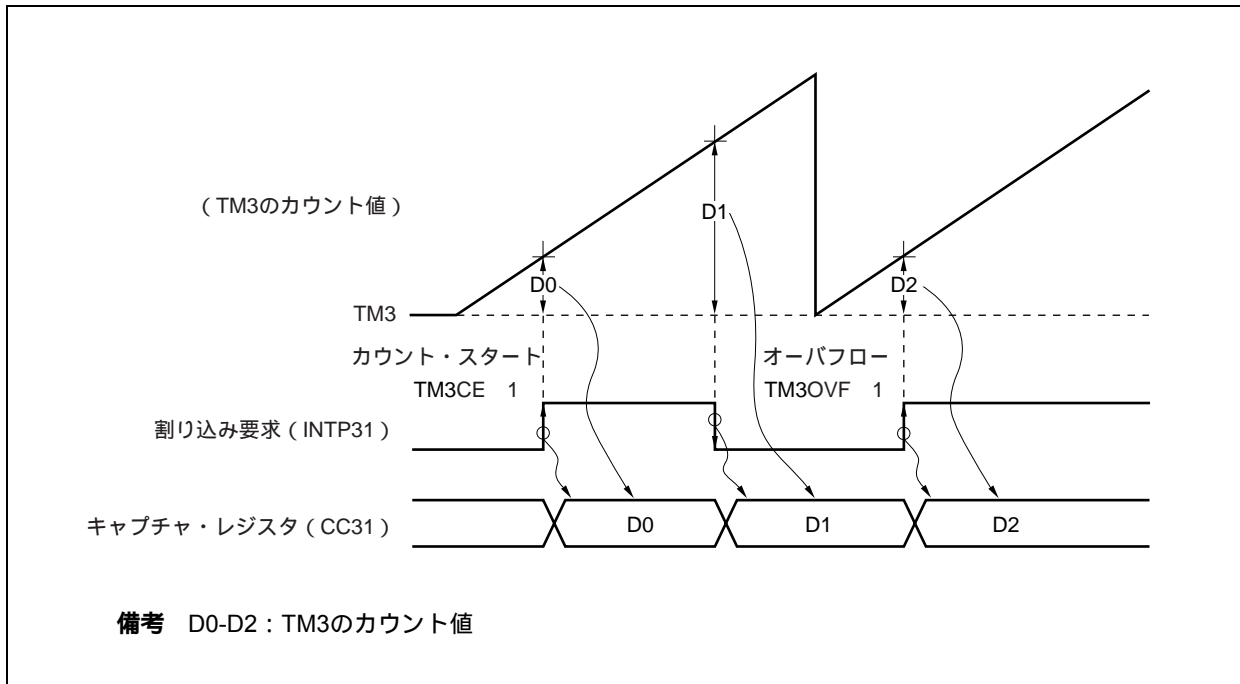


図9 - 93 TM3キャプチャ動作例 (両エッジ指定時)



(4) コンペア動作

TM3レジスタは、CC30レジスタとCC31レジスタの2つのキャプチャ/コンペア・レジスタがあります。どちらもTMC31レジスタのCMS1, CMS0ビットにより、キャプチャ動作またはコンペア動作の設定をします。TMC31レジスタのCMS1, CMS0ビットに1を設定すると、コンペア・レジスタとして動作します。

コンペア・レジスタに設定した値とTM3のカウント値を比較するコンペア動作を行います。

あらかじめ設定したコンペア・レジスタの値に、TM3のカウント値が一致すると、出力制御回路に一致信号を送ります。一致信号によりタイマ出力端子 (TO3) を変化させ、同時に割り込み要求信号 (INTCC30, INTCC31) を発生します。

CC30, CC31レジスタに0000Hを設定した場合は、TM3レジスタがFFFFHから0000Hにカウント・アップ後の0000Hを一致と判定します。この場合、次のカウント・タイミングでTM3レジスタの値をクリア (0) しますが、このときの0000Hとは一致の判定を行いません。また、TM3レジスタがカウントを開始するときの0000Hとも一致の判定を行いません。

CC30レジスタは一致クリア許可 (CCLRビット = 1) にすると、コンペア動作中にTM3レジスタとの一致が発生した場合にTM3レジスタをクリアします。

図9 - 94 コンペア動作例 (1/2)

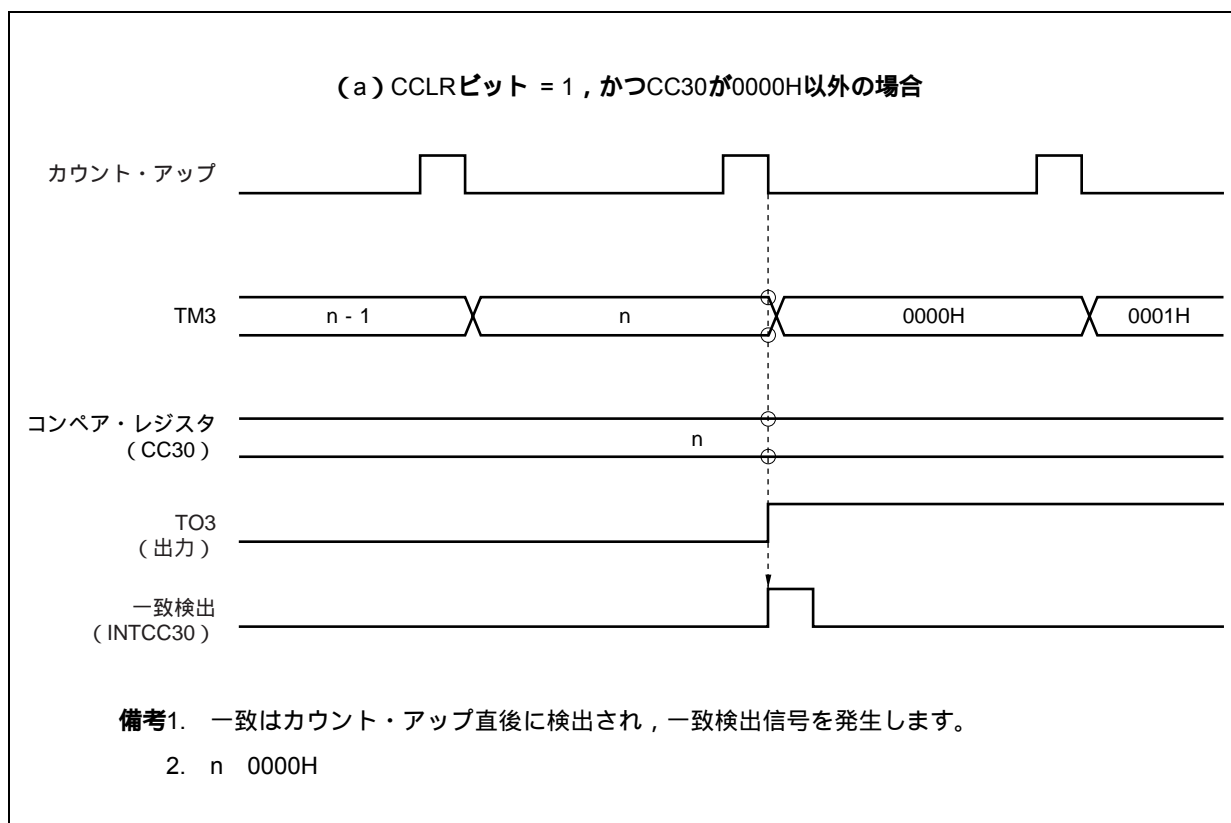
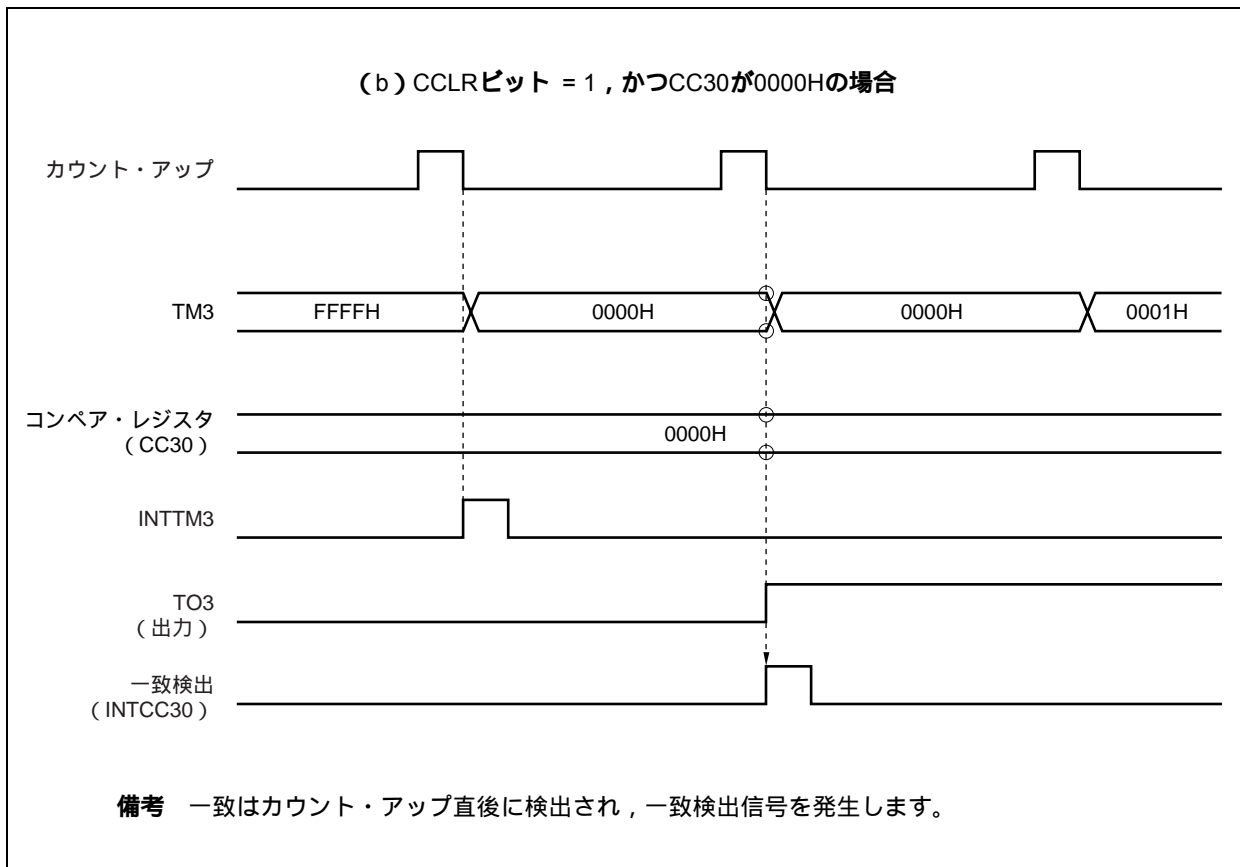


図9 - 94 コンペア動作例 (2/2)





(5) 外部パルス出力

タイマ3は1本のタイマ出力端子 (TO3) を持っています。

外部パルス出力 (TO3) は、2つのコンペア・レジスタ (CC30, CC31) とTM3レジスタとの一致を検出して生成します。

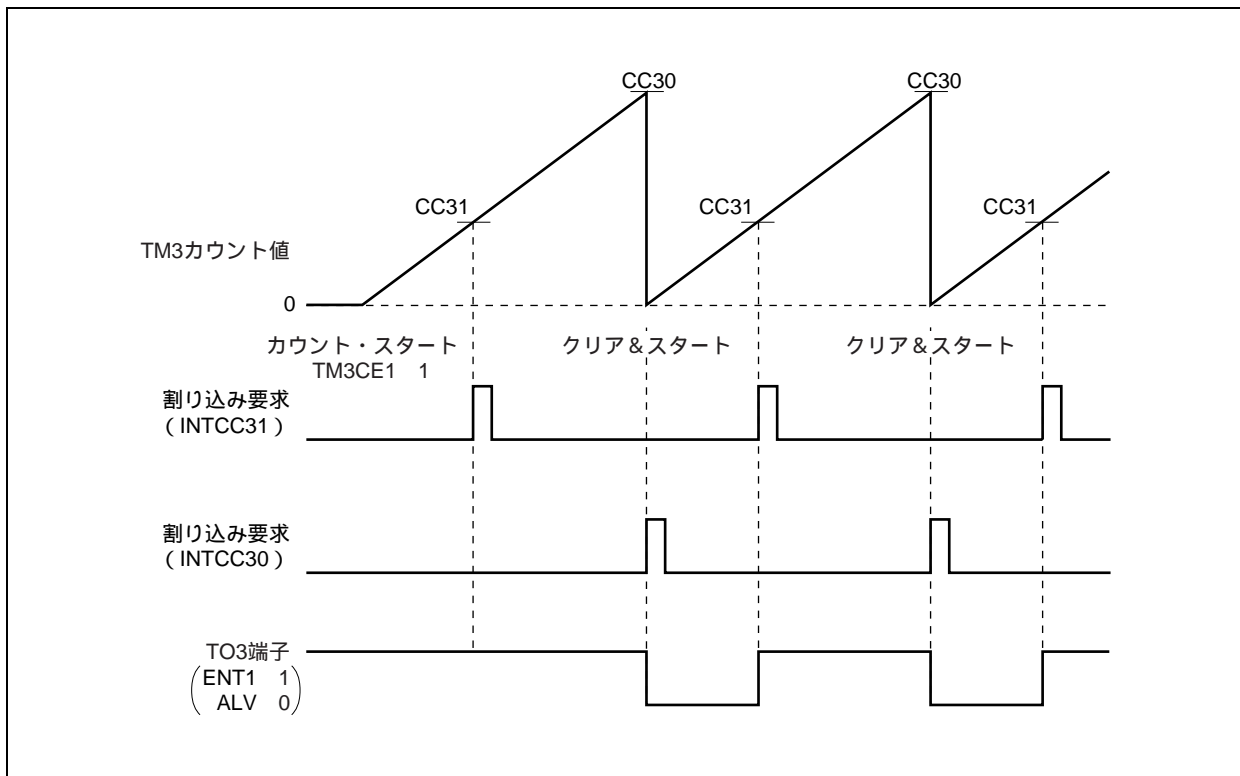
TM3のカウンタ値とCC30の値を比較し、一致するとTO3端子の出力レベルをセットします。また、TM3のカウンタ値とCC31の値を比較し、一致するとTO3端子の出力レベルをリセットします。

TO3端子の出力レベルは、TMC31レジスタによって指定できます。

表9 - 13 TO3出力制御

ENT1	ALV	TO3出力	
		外部パルス出力	出力レベル
0	0	禁止	ハイ・レベル
0	1	禁止	ロウ・レベル
1	0	許可	CC30レジスタとの一致：ロウ・レベル CC31レジスタとの一致：ハイ・レベル
1	1	許可	CC30レジスタとの一致：ハイ・レベル CC31レジスタとの一致：ロウ・レベル

図9 - 95 TM3コンペア動作例 (セット/リセット出力モード)



### 9.4.6 使用例

#### (1) インターバル・タイマ

TMC30, TMC31レジスタを図9 - 96のように設定することにより, CC30レジスタにあらかじめ設定した値をインターバルとして, 繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

TM3レジスタのカウンタ値がCC30レジスタの設定値と一致すると, TM3レジスタをクリア (0000H) してカウント動作を継続すると同時に, 割り込み要求信号 (INTCC30) を発生します。

図9 - 96 インターバル・タイマとして使用時のレジスタ設定内容

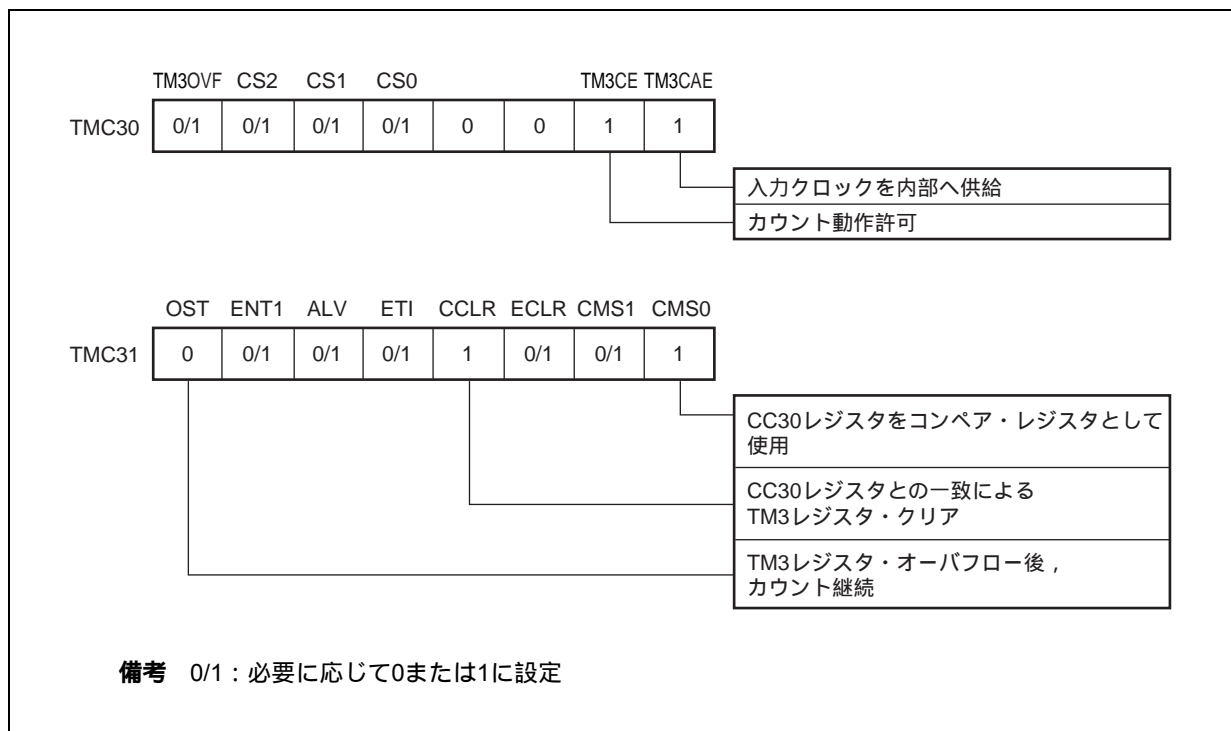
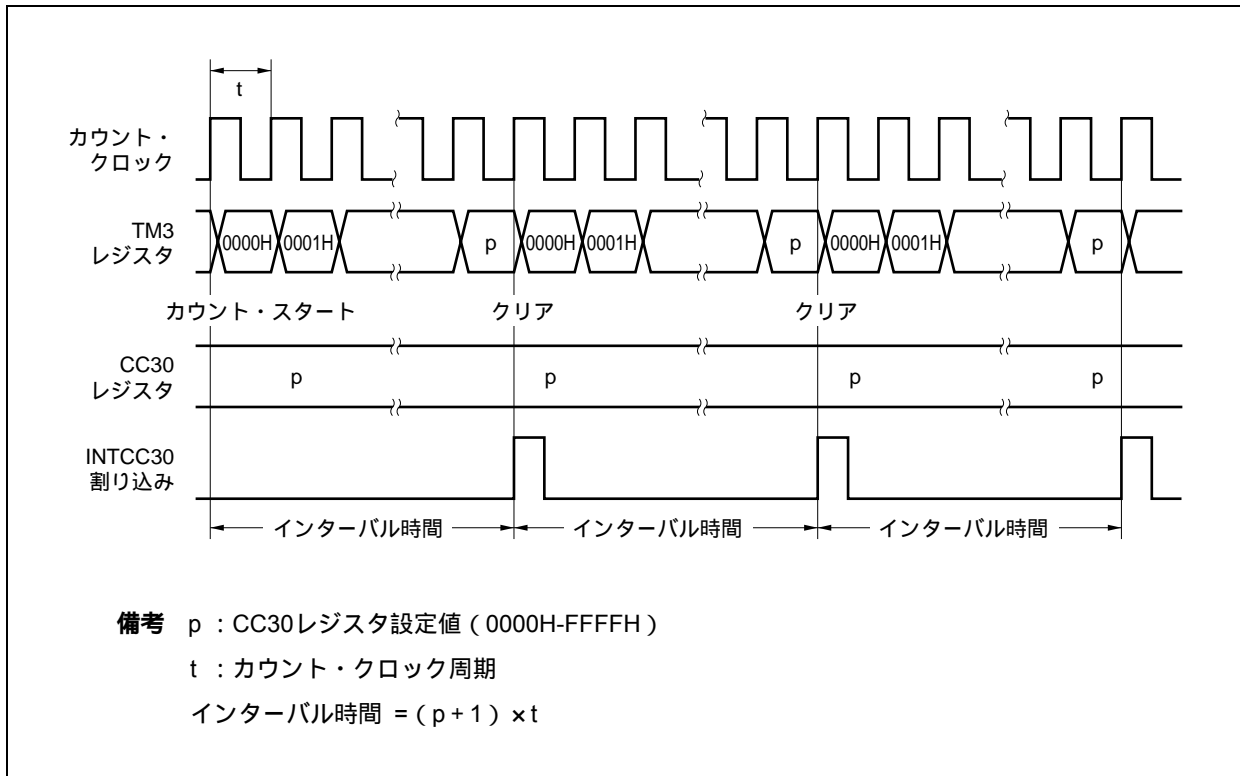


図9 - 97 インターバル・タイマ動作タイミング例



(2) PWM出力

TMC30, TMC31レジスタを図9 - 98のように設定することにより, CC30, CC31レジスタにあらかじめ設定した値をインターバルとするTMC30レジスタのCS2-CS0ビットの設定で決まる周波数のPWM出力が行えます。

TM3レジスタのカウンタ値がCC30レジスタの設定値と一致すると, TO3出力がアクティブになります。続いて, TM3レジスタのカウンタ値がCC31レジスタの設定値と一致すると, TO3出力がインアクティブになります。TM3レジスタはカウントを続け, オーバフローするとカウンタ値を0000Hにしてクリアし, カウントを継続します。これによって, TMC30レジスタのCS2-CS0ビットの設定で決まる周波数のPWM出力が可能になります。CC30レジスタの設定値とCC31レジスタの設定値が同一の場合は, TO3出力はインアクティブのまま変化しません。

なお, TO3出力のアクティブ・レベルはTMC31レジスタのALVビットで設定できます。

図9 - 98 PWM出力として使用時のレジスタ設定内容

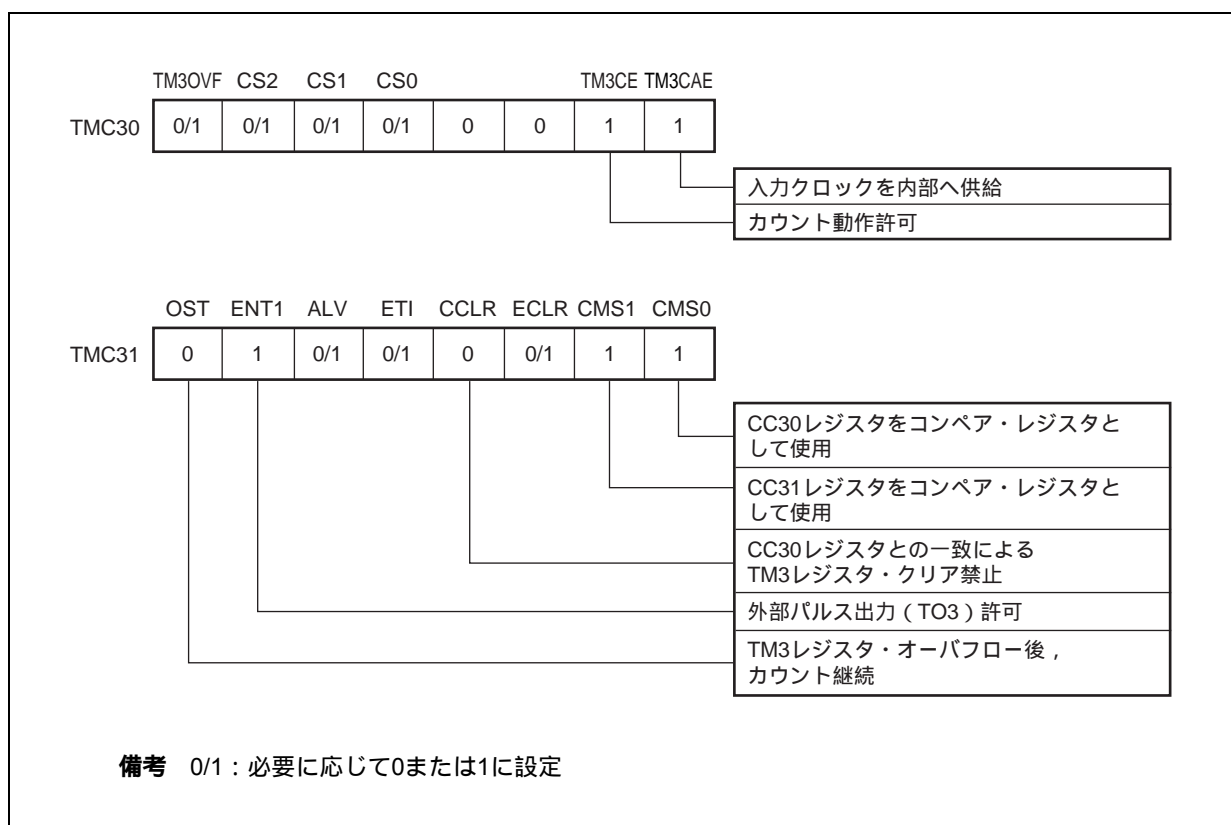
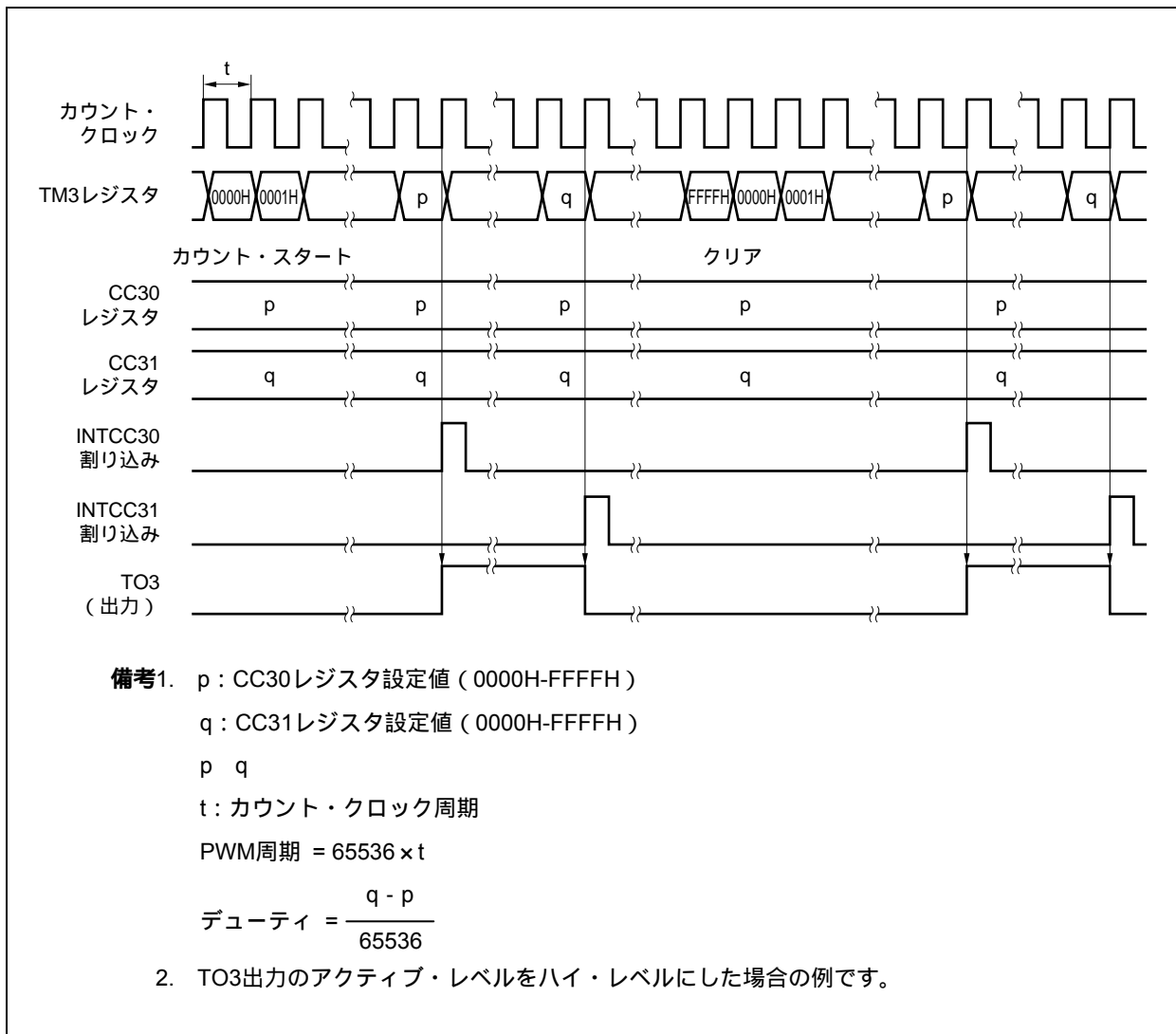


図9 - 99 PWM出力動作タイミング例



(3) 周期測定

TMC30, TMC31レジスタを図9 - 100のように設定することにより, INTP30端子, またはINTP31端子に  
入力する信号の周期を測定することができます。

INTP30端子の有効エッジは, SESCレジスタのIES301, IES300ビットで行い, INTP31端子の有効エッジ  
は, SESCレジスタのIES311, IES310ビットで行います。どちらの端子も有効エッジとして立ち上がり, 立  
ち下がり, 立ち上がり / 立ち下がり両エッジの3種類から選択できます。

CC30レジスタをキャプチャ・レジスタに設定してTM3をスタートさせると, INTP30端子の有効エッジ  
入力をトリガとして, TM3レジスタの値をCC30レジスタに取り込みます。取り込みが行われると, INTCC30  
割り込みを発生します。

同様にCC31レジスタをキャプチャ・レジスタに設定してTM3をスタートさせると, INTP31端子の有効  
エッジ入力をトリガとして, TM3レジスタの値をCC31レジスタに取り込みます。取り込みが行われると,  
INTCC31割り込みを発生します。

INTP30端子に入力する信号の周期は, x回目のINTP30端子の有効エッジにより, CC30レジスタに取り  
込んだTM3レジスタのカウンタ値 (Dx) と, (x + 1) 回目のINTP30端子の有効エッジによりCC30レジス  
タに取り込んだTM3レジスタのカウンタ値 (D(x + 1)) との差を求め, この差の値とクロック制御信号の  
周期の積から計算します。

同様にINTP31端子に入力する信号の周期は, x回目のINTP31端子の有効エッジにより, CC31レジスタ  
に取り込んだTM3レジスタのカウンタ値 (Dx) と, (x + 1) 回目のINTP31端子の有効エッジによりCC31  
レジスタに取り込んだTM3レジスタのカウンタ値 (D(x + 1)) との差を求め, この差の値とクロック制御  
信号の周期の積から計算します。

図9 - 100 周期測定として使用時のレジスタ設定内容

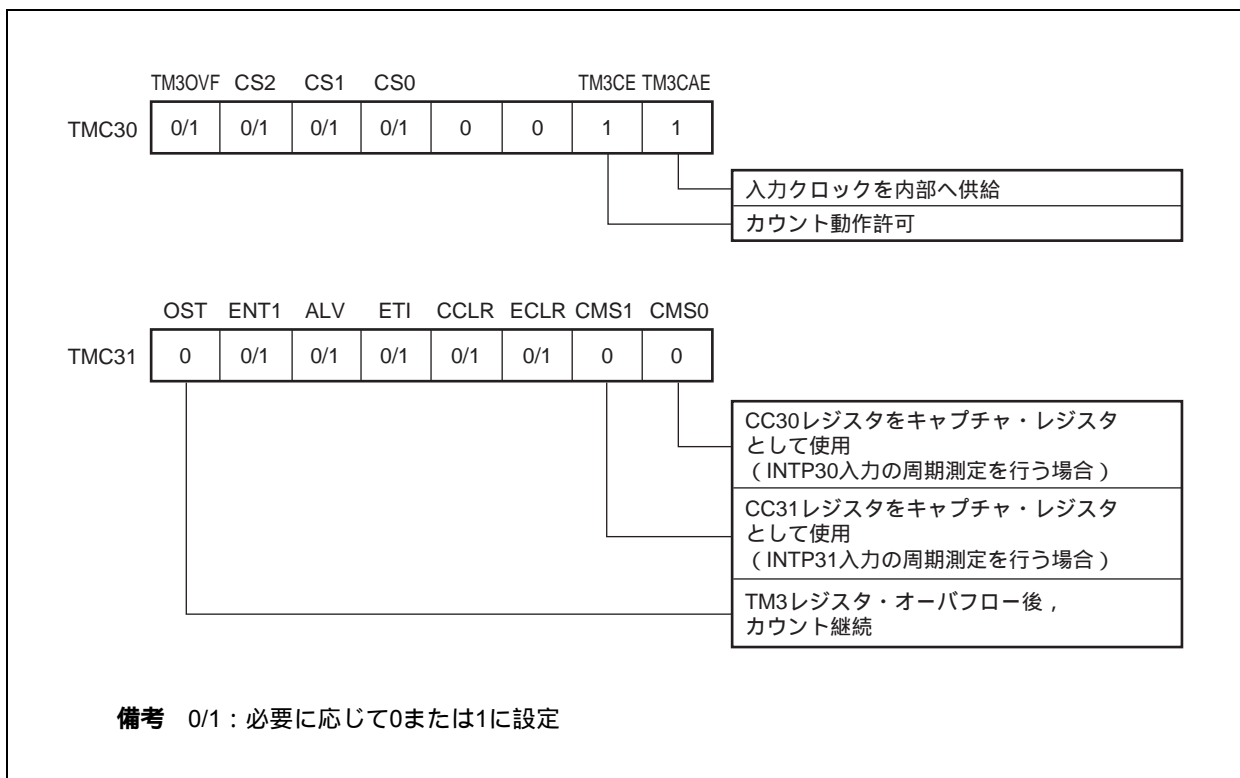
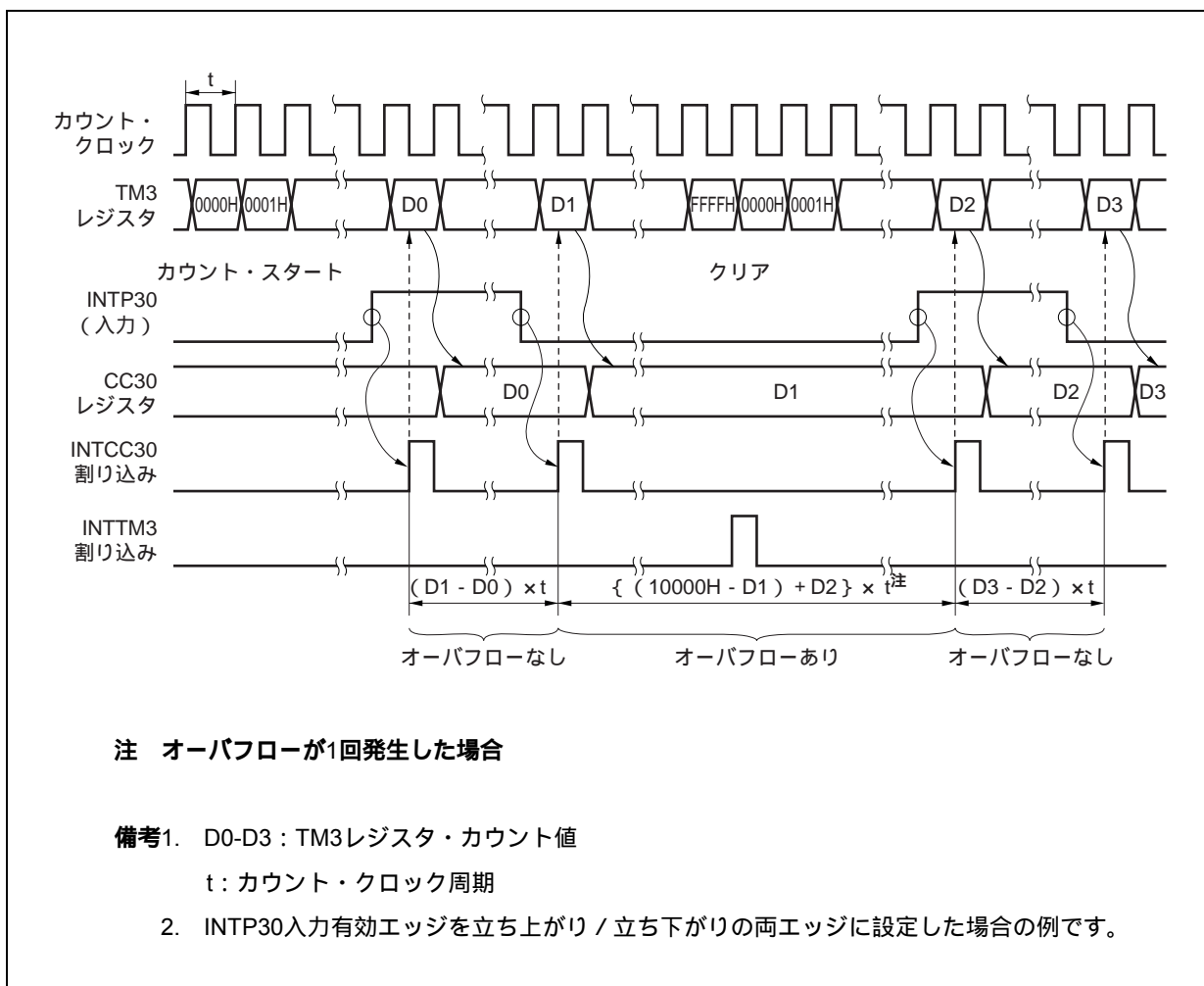


図9 - 101 周期測定動作タイミング例



### 9.4.7 注意事項

タイマ3についての注意事項を次に示します。

- (1) CC30レジスタをキャプチャ・モードで使用しているときに、命令によるCC30レジスタのリードとキャプチャ動作が競合した場合、外部トリガ (INTP30) の有効エッジ検出および、外部割り込み要求 (INTCC30) は発生しますが、CC30レジスタへのタイマ値の格納は行われません。
- (2) CC31レジスタをキャプチャ・モードで使用しているときに、命令によるCC31レジスタのリードとキャプチャ動作が競合した場合、外部トリガ (INTP31) の有効エッジ検出および、外部割り込み要求 (INTCC31) は発生しますが、CC31レジスタへのタイマ値の格納は行われません。
- (3) 動作中 (TMC30レジスタのTM3CE = 1) に、次のビット、レジスタを書き換えしないでください。
  - ・ TMC30レジスタのCS2-CS0ビット
  - ・ TMC31レジスタ
  - ・ SESCレジスタ
- (4) TMC30レジスタのTM3CAEビットは、TM3のリセット信号です。TM3を使用するには、まずTM3CAEビットをセット (1) してください。
- (5) 外部割り込み入力 (INTP30, INTP31)、外部クロック入力 (TI3) の有効エッジ検出には、アナログ・ノイズ除去時間 + 2カウント・クロックが必要です。したがって、アナログ・ノイズ除去時間 + 2カウント・クロック未満の変化に対してはエッジ検出が正常に行われない可能性があります。アナログ・ノイズ除去については、14.5 **ノイズ除去回路**を参照してください。
- (6) 外部割り込み出力 (INTCC30, INTCC31) の動作は、キャプチャ/コンペア・レジスタ30, 31 (CC30, CC31) の動作状態によって自動的に決定します。キャプチャ・モード時は外部トリガ (INTP30, INTP31) の有効エッジ検出として動作し、コンペア・モード時は、TM3レジスタとの一致割り込みとして動作します。
- (7) TMC31レジスタのENT1ビットとALVビットを同時に変更した場合、TO3端子出力にグリッチ (ヒゲ状のノイズ) が発生する可能性があります。グリッチが発生しても誤動作しない回路構成にするか、ENT1ビットとALVビットを同時に変更しないようにするかしてください。



## 9.5 タイマ4

### 9.5.1 特徴 (タイマ4)

タイマ4 (TM4) は、16ビットのインターバル・タイマとして機能します。

### 9.5.2 機能概要 (タイマ4)

16ビット・インターバル・タイマ：1チャンネル

コンペア・レジスタ：1本

カウント・クロックは内部システム・クロックの分周から選択 (カウント・クロックは16 MHz以下に設定してください。)

基本クロック ( $f_{CLK}$ )：1種 ( $f_{CLK}$ は32 MHz以下に設定してください。)

$f_{xx}/2$

プリスケアラ分周比

基本クロック ( $f_{CLK}$ ) により次のように選択可能です。

分周比	基本クロック ( $f_{CLK}$ )
1/2	$f_{xx}/4$
1/4	$f_{xx}/8$
1/8	$f_{xx}/16$
1/16	$f_{xx}/32$
1/32	$f_{xx}/64$
1/64	$f_{xx}/128$
1/128	$f_{xx}/256$
1/256	$f_{xx}/512$

割り込み要求ソース：1要因

・コンペア一致割り込み

CM4の一致信号でINTCM4を発生

タイマ・クリア

CM4レジスタの一致によりTM4レジスタをクリアできます。

**備考**  $f_{xx}$ ：内部システム・クロック

### 9.5.3 基本構成

表9 - 14 タイマ4の構成一覧

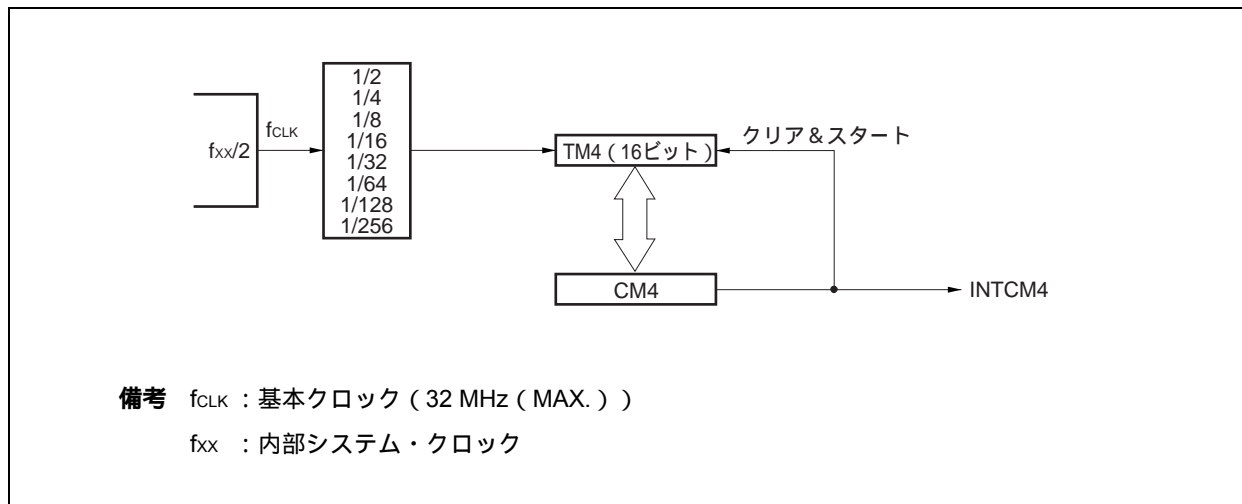
タイマ	カウント・クロック	レジスタ	リード/ライト	発生する 割り込み信号	キャプチャ・ トリガ	タイマ出力 S/R	その他の機能
タイマ4	f <sub>xx</sub> /4, f <sub>xx</sub> /8, f <sub>xx</sub> /16, f <sub>xx</sub> /32, f <sub>xx</sub> /64, f <sub>xx</sub> /128, f <sub>xx</sub> /256, f <sub>xx</sub> /512	TM4	リード	-	-	-	-
		CM4	リード/ライト	INTCM4	-	-	-

備考 f<sub>xx</sub> : 内部システム・クロック

S/R : セット/リセット

図9 - 102にタイマ4のブロック図を示します。

図9 - 102 タイマ4のブロック図



(1) タイマ4 (TM4)

TM4は、16ビット・タイマです。おもに、ソフトウェアのためのインターバル・タイマとして利用できます。

TM4のスタートおよびストップは、タイマ・コントロール・レジスタ4 (TMC4) のTM4CE0ビットによって制御します。

カウント・クロックは、プリスケラによる分周を、TMC4レジスタのCS2-CS0ビットにより $f_{xx}/4$ ,  $f_{xx}/8$ ,  $f_{xx}/16$ ,  $f_{xx}/32$ ,  $f_{xx}/64$ ,  $f_{xx}/128$ ,  $f_{xx}/256$ ,  $f_{xx}/512$ から選択できます ( $f_{xx}$ : 内部システム・クロック)。

TM4は16ビット単位でリードだけ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TM4																	FFFFF540H	0000H

TM4レジスタが0000Hになる条件を次に示します。

リセット入力

TM4CAE0ビット = 0

TM4CE0ビット = 0

TM4レジスタとCM4レジスタの一致

オーバフロー

**注意1.** TMC4レジスタのTM4CAE0ビットをクリア (0) すると、非同期でリセットされます。

2. TMC4レジスタのTM4CE0ビットをクリア (0) すると、内部クロックに同期してリセットされます。CM4レジスタとの一致後、オーバフロー後も同様です。

3. タイマ動作中はカウント・クロックを変更しないでください。書き換えるときは、TM4CE0ビットをクリア (0) したあとに書き換えてください。

4. TM4CE0ビットに設定後、設定値が内部に伝わるまで最大4内部システム・クロックかかります。したがって、カウント動作開始時、0000Hから0001Hのカウント周期は、その後のカウント周期と異なります。

5. コンペアー一致が発生したあと、タイマは次のカウント・クロックでクリアされるため、分周比が大きいときは、一致割り込み発生直後にタイマの値を読み出しても、タイマの値が0でない場合があります。

(2) コンペア・レジスタ4 (CM4)

CM4は、TM4レジスタ・カウント値との比較を行い、一致すると割り込み要求信号 (INTCM4) を発生します。この一致に同期してTM4をクリアします。TMC4レジスタのTM4CAE0ビットを0にすると、非同期にリセットがかかり初期化されます。

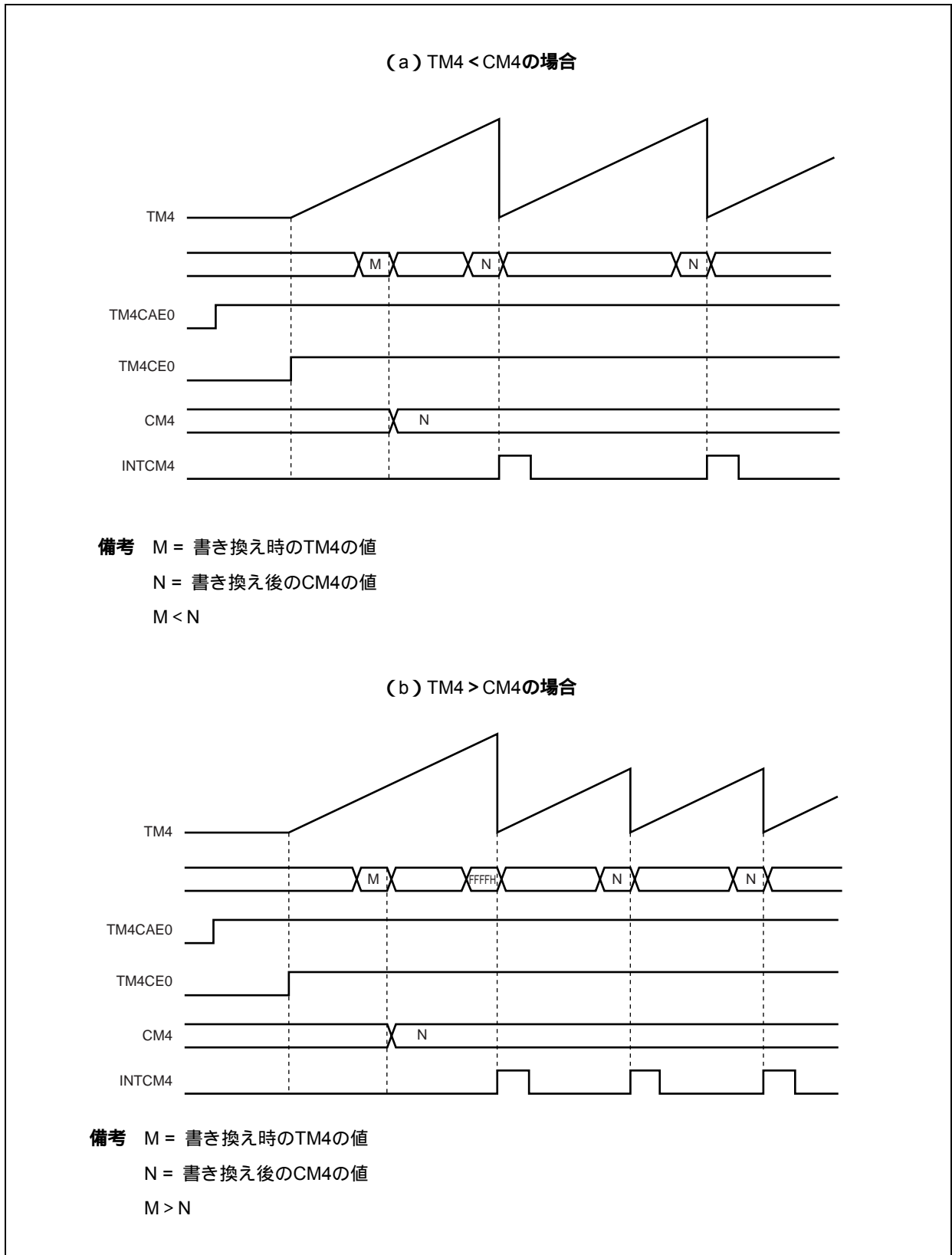
CM4レジスタはマスタ/スレーブ構成になっています。CM4レジスタにライトすると、まず、マスタ・レジスタにライトされ、続いてマスタ・レジスタのデータがスレーブ・レジスタに転送されます。コンペア動作においては、スレーブ・レジスタの値とTM4レジスタのカウント値を比較します。CM4をリードした場合は、マスタ側の値が読み出されます。

CM4は16ビット単位でリード/ライト可能です。

- 注意1. CM4レジスタへのライト動作は、CM4レジスタに設定した値が内部に伝わるまで4内部システム・クロックかかります。CM4レジスタに連続して書き込みを行う場合、4内部システム・クロック以上の時間間隔を確保してください。
- 2. CM4レジスタの書き換えは、TM4レジスタの1周期 (0000HからTM4レジスタとCM4レジスタが一致してINTCM4割り込みが発生するまで) に1回のみ可能です。それをアプリケーションで確保できない場合は、動作中にCM4レジスタを書き換えしないでください。
- 3. TM4レジスタ動作中、そのカウンタ値以下の値をCM4レジスタに書き込むと、オーバフローしたあとINTCM4割り込みが発生するため注意してください (図9 - 103)。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CM4																	FFFFFF542H	0000H

図9 - 103 TM4動作中のタイミング例



### 9.5.4 制御レジスタ

#### (1) タイマ・コントロール・レジスタ4 (TMC4)

TMC4レジスタは、タイマ4の動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

**注意** TM4CAE0ビットとその他のビットは同時にはセットできません。必ずTM4CAE0ビットをセットしたあとにその他のビットおよびその他のTM4のレジスタを設定してください。

	7	6	5	4	3	2	①	②	アドレス	初期値
TMC4	0	CS2	CS1	CS0	0	0	TM4CE0	TM4CAE0	FFFF544H	00H

ビット位置	ビット名	意味																																				
6-4	CS2-CS0	<p>TM4のカウント・クロックを選択します。</p> <table border="1"> <thead> <tr> <th>CS2</th> <th>CS1</th> <th>CS0</th> <th>カウント・クロック</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>f<sub>xx</sub>/4</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>f<sub>xx</sub>/8</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>f<sub>xx</sub>/16</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>f<sub>xx</sub>/32</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>f<sub>xx</sub>/64</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>f<sub>xx</sub>/128</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>f<sub>xx</sub>/256</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>f<sub>xx</sub>/512</td> </tr> </tbody> </table> <p><b>注意</b> タイマ動作中にCS2-CS0ビットを変更しないでください。変更する場合にはTM4CE0ビット = 0にしてから行ってください。動作中に書き換えた場合、その動作は保証できません。</p>	CS2	CS1	CS0	カウント・クロック	0	0	0	f <sub>xx</sub> /4	0	0	1	f <sub>xx</sub> /8	0	1	0	f <sub>xx</sub> /16	0	1	1	f <sub>xx</sub> /32	1	0	0	f <sub>xx</sub> /64	1	0	1	f <sub>xx</sub> /128	1	1	0	f <sub>xx</sub> /256	1	1	1	f <sub>xx</sub> /512
CS2	CS1	CS0	カウント・クロック																																			
0	0	0	f <sub>xx</sub> /4																																			
0	0	1	f <sub>xx</sub> /8																																			
0	1	0	f <sub>xx</sub> /16																																			
0	1	1	f <sub>xx</sub> /32																																			
1	0	0	f <sub>xx</sub> /64																																			
1	0	1	f <sub>xx</sub> /128																																			
1	1	0	f <sub>xx</sub> /256																																			
1	1	1	f <sub>xx</sub> /512																																			
1	TM4CE0	<p>TM4の動作を制御します。</p> <p>0 : カウント禁止 (0000Hで停止し、動作しません)</p> <p>1 : カウント動作を行います。</p> <p><b>注意</b> TM4CE0ビットはコンペア動作で一致を検出してもクリアされません。カウント動作を停止する場合は、TM4CE0ビットをクリアしてください。</p>																																				
0	TM4CAE0	<p>内部カウント・クロックを制御します。</p> <p>0 : TM4ユニット全体を非同期リセット。TM4ユニットへの基本クロック (f<sub>CLK</sub>) 供給を停止。</p> <p>1 : 基本クロック (f<sub>CLK</sub>) をTM4ユニットへ供給。</p> <p><b>注意1.</b> TM4CAE0 = 0にすると、TM4ユニットを非同期にリセットすることができます。</p> <p>2. TM4CAE0 = 0の場合は、TM4ユニットはリセット状態なので、TM4を動作させる場合には、まずTM4CAE0 = 1にしてください。</p> <p>3. TM4CAE0ビットを1から0にした場合は、TM4ユニットのすべてのレジスタが初期化されます。再度TM4CAE0 = 1にする場合には、TM4CAE0 = 1設定後、必ずTM4ユニットのすべてのレジスタを再設定してください。</p>																																				

## 9.5.5 動作

## (1) コンペア動作

TM4では、コンペア・レジスタ (CM4) に設定した値とTM4のカウンタ値を比較するコンペア動作を行います。

コンペア動作で一致を検出すると割り込み (INTCM4) を発生します。割り込み発生により、次のカウント・タイミングでTM4はクリア (0) されます。この機能により、タイマ4をインターバル・タイマとして使用します。

CM4には0を設定することもできます。この場合はオーバーフローしてTM4が0になるとともに一致を検出しINTCM4が発生します。次のカウント・タイミングでTM4の値をクリア (0) しますが、この一致では、INTCM4は発生しません。

図9 - 104 TM4コンペア動作例 (1/2)

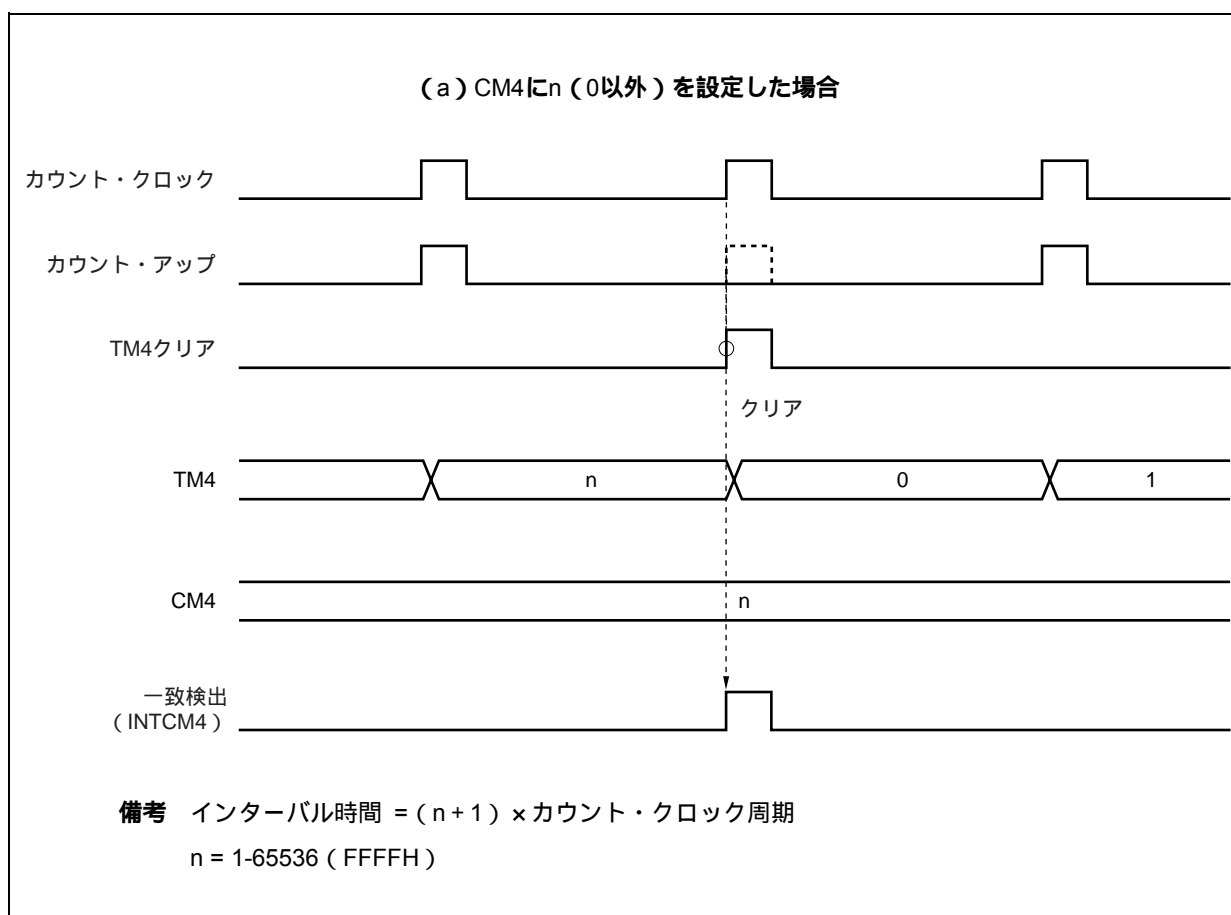
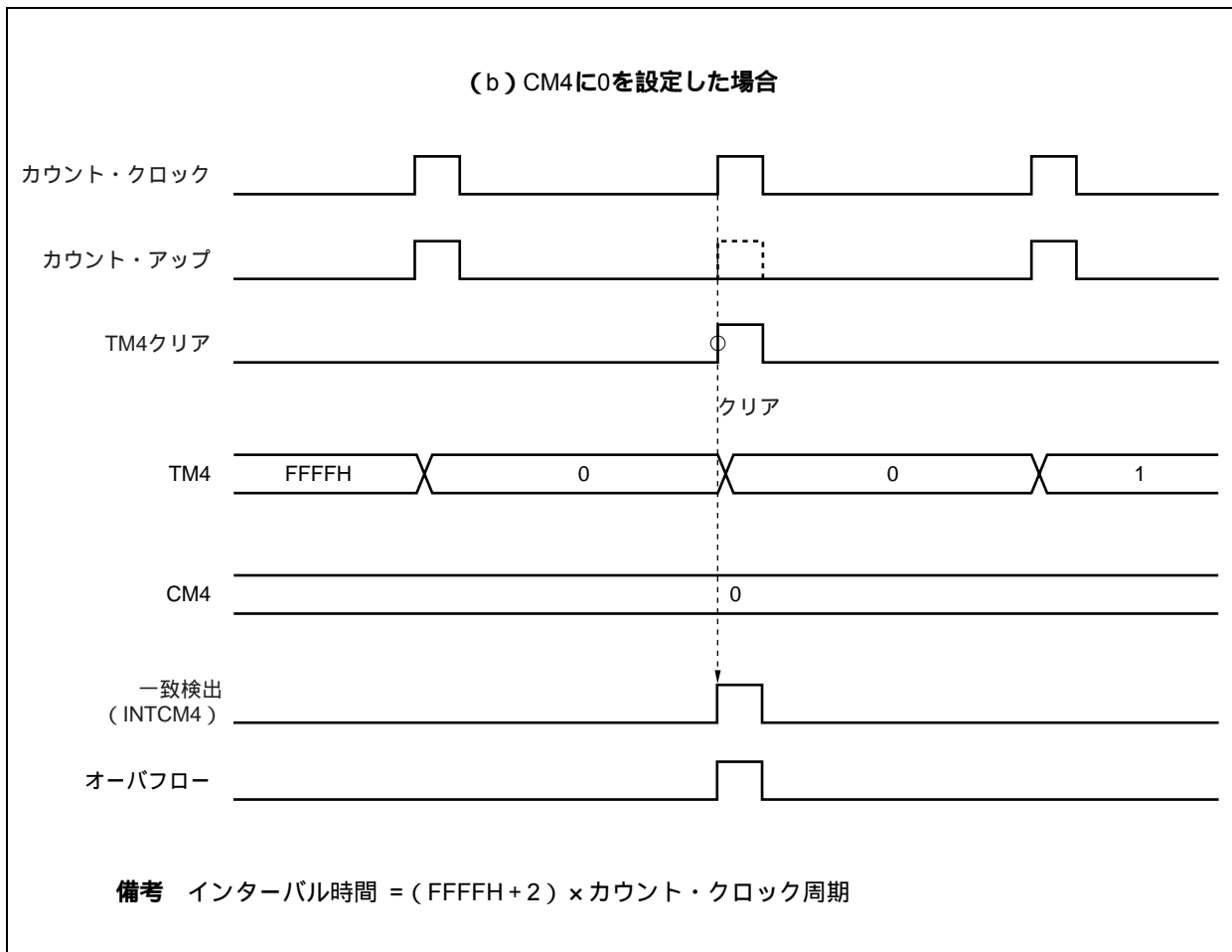


図9 - 104 TM4コンペア動作例 (2/2)





## 9.5.6 使用例

### (1) インターバル・タイマ

16ビット精度でインターバル・タイマとして使用する例について説明します。

同一間隔で割り込み要求 (INTCM4) を出力します (図9 - 104 TM4コンペア動作例参照)。設定方法を次に示します。

TM4CAE0ビットをセット (1) します。

各レジスタの設定を行います。

- ・TMC4レジスタのCS2-CS0ビットでカウント・クロックを選択します。
- ・CM4レジスタにコンペア値を設定します。

TM4CE0ビットをセット (1) し、カウントをスタートさせます。

TM4レジスタとCM4レジスタの値が一致すると、INTCM4割り込みが発生します。

以後、同一間隔でINTCM4割り込みが発生します。

## 9.5.7 注意事項

タイマ4についての注意事項を次に示します。

(1) TM4を動作させる場合には、最初にTMC4レジスタのTM4CAE0ビットをセット (1) してください。

(2) TMC4レジスタのTM4CE0ビットに設定後、設定した値が内部に伝わるまでに最大4内部システム・クロックかかります。カウント動作開始時、0000Hから0001Hのカウント周期は、その後のカウント周期と異なります。

(3) TM4レジスタの状態を初期化し再度カウントを開始する場合、TM4CE0ビットをクリア (0) し、4内部システム・クロックを経過したら、TM4CE0ビットをセット (1) してください。

(4) CM4レジスタに設定した値が内部に伝わるまでに最大4内部システム・クロックかかります。CM4レジスタに連続して書き込みを行う場合、4内部システム・クロック以上の時間を確保してください。

(5) タイマ/カウンタ動作中のCM4レジスタの書き換えは、タイマ/カウンタの1周期 (0000HからTM4レジスタとCM4レジスタが一致してINTCM4割り込みが発生するまで) に1回のみ可能です。それをアプリケーションで確保できない場合は、動作中にCM4レジスタを書き換えしないでください。

(6) タイマ動作中はカウント・クロックを変更できません。書き換えは、TM4CE0ビットをクリア (0) したあとに行ってください。動作中に書き換えた場合の動作は保証できません。

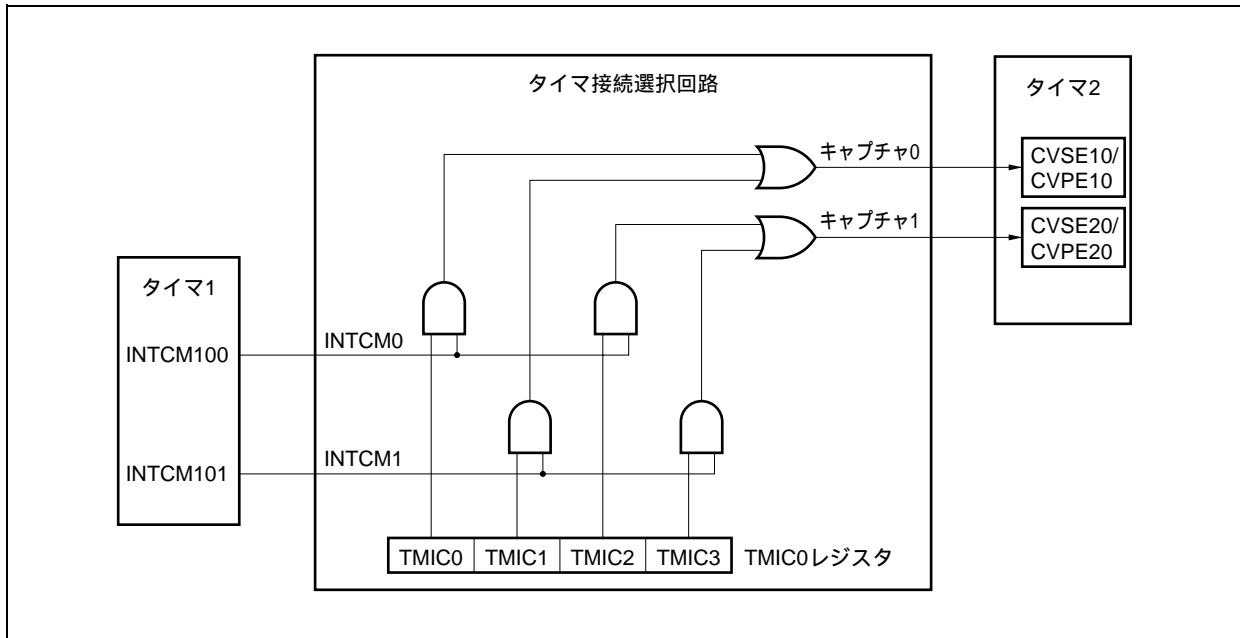
(7) TM4レジスタが動作中、そのカウンタ値以下の値をCM4レジスタに書き込むと、オーバフローしたあとINTCM4割り込みが発生します。

## 9.6 タイマ接続機能

### 9.6.1 概要

V850E/IA1はタイマ1とタイマ2を接続するための機能を備えています。

図9 - 105 タイマ接続機能のブロック図



## 9.6.2 制御レジスタ

### (1) タイマ接続選択レジスタ0 (TMIC0)

TMIC0レジスタは、INTCM100, INTCM101信号のCVSEn0/CVPEn0レジスタへの入力の許可/不許可を指定します (n = 1, 2)。

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
TMIC0	0	0	0	0	TMIC3	TMIC2	TMIC1	TMIC0	FFFF620H	00H

ビット位置	ビット名	意 味
3	TMIC3	INTCM101信号のCVSE20/CVPE20レジスタへの入力の許可/不許可を指定します。 0 : INTCM101信号をCVSE20/CVPE20レジスタに入力しない。 1 : INTCM101信号をCVSE20/CVPE20レジスタに入力する。
2	TMIC2	INTCM100信号のCVSE20/CVPE20レジスタへの入力の許可/不許可を指定します。 0 : INTCM100信号をCVSE20/CVPE20レジスタに入力しない。 1 : INTCM100信号をCVSE20/CVPE20レジスタに入力する。
1	TMIC1	INTCM101信号のCVSE10/CVPE10レジスタへの入力の許可/不許可を指定します。 0 : INTCM101信号をCVSE10/CVPE10レジスタに入力しない。 1 : INTCM101信号をCVSE10/CVPE10レジスタに入力する。
0	TMIC0	INTCM100信号のCVSE10/CVPE10レジスタへの入力の許可/不許可を指定します。 0 : INTCM100信号をCVSE10/CVPE10レジスタに入力しない。 1 : INTCM100信号をCVSE10/CVPE10レジスタに入力する。

## 第10章 シリアル・インタフェース機能

### 10.1 特 徴

シリアル・インタフェース機能として、3種類6チャンネルの送受信チャンネルを備え、同時に6チャンネルを使用できます。

インタフェース形態として次の3種類があります。

- (1) アシクロナス・シリアル・インタフェース (UART0-UART2) : 3チャンネル
- (2) クロック同期式シリアル・インタフェース (CSI0, CSI1) : 2チャンネル
- (3) FCANコントローラ : 1チャンネル

**備考** FCANコントローラについての詳細は、**第11章 FCANコントローラ**を参照してください。

UART0-UART2は、スタート・ビットに続く1バイトのシリアル・データを送受信する方式をとり、全二重通信ができます。また、UART1, UART2では、8ビットの送受信データの上に1ビット付加し、9ビット・データによる通信ができます。

CSI0, CSI1は、シリアル・クロック ( $\overline{\text{SCK0}}$ ,  $\overline{\text{SCK1}}$ ) とシリアル入力 (SI0, SI1) , シリアル出力 (SO0, SO1) の3種類の信号によるデータ転送を行います (3線式シリアルI/O)。

FCANは、CAN仕様Ver.2.0 PartB activeに準拠しており、32メッセージ・バッファを有しています。

## 10.2 アシクロナス・シリアル・インタフェース0 (UART0)

### 10.2.1 特 徴

転送速度 300 bps ~ 1562.5 kbps (内部システム・クロック50 MHz, 専用ボー・レート・ジェネレータ使用)

全二重通信 受信バッファ・レジスタ0 (RXB0) 内蔵

送信バッファ・レジスタ0 (TXB0) 内蔵

2端子構成<sup>注</sup> TXD0: 送信データの出力端子

RXD0: 受信データの入力端子

受信エラー検出機能

- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー

割り込みソース: 3種類

- ・受信エラー割り込み (INTSER0) : 3種類の受信エラーの論理和で割り込みを発生
- ・受信完了割り込み (INTSR0) : 受信許可状態において, シリアル転送完了後, 受信シフト・レジスタから受信バッファ・レジスタ0へ受信データを転送すると発生
- ・送信完了割り込み (INTST0) : シリアル送信を行って, 送信シフト・レジスタから送信データ (8/7ビット) をシリアル送信し終わると発生

送受信データのキャラクタ長はASIM0レジスタで指定

キャラクタ長: 7, 8ビット

パリティ機能: 奇数, 偶数, 0, なし

送信ストップ・ビット: 1, 2ビット

専用ボー・レート・ジェネレータ内蔵

**注** UART0はSCK端子およびCTS端子を持っていません。

## 10.2.2 構成

アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) , アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) , アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ0 (ASIF0) によって, UART0を制御します。受信データは受信バッファ・レジスタ0 (RXB0) に保持され, 送信データは送信バッファ・レジスタ0 (TXB0) に書き込みます。

アシンクロナス・シリアル・インタフェース0 (UART0) は, 図10 - 1のように構成されています。

### (1) アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)

ASIM0レジスタは, アシンクロナス・シリアル・インタフェースの動作を指定する8ビット・レジスタです。

### (2) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)

ASIS0レジスタは, 受信エラー発生時のエラー内容を示すフラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット (1) され, ASIS0レジスタの読み出しによってリセット (0) されます。

### (3) アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ0 (ASIF0)

ASIF0レジスタは, 送信時のステータスを示す8ビット・レジスタです。

TXB0のデータ保持状態を示す送信バッファ・データ・フラグと送信中であることを示す送信シフト・レジスタ・データ・フラグから構成されます。

### (4) 受信制御パリティ・チェック

ASIM0レジスタに設定された内容に従って, 受信動作を制御します。また, 受信動作時にパリティ・エラーなどのチェックも行い, エラーが検出された場合は, エラー内容に応じた値をASIS0レジスタにセットします。

### (5) 受信シフト・レジスタ

RXD0端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分データを受信し, ストップ・ビットを検出すると, 受信データを受信バッファ・レジスタ0 (RXB0) へ転送します。

このレジスタは直接操作することはできません。

### (6) 受信バッファ・レジスタ0 (RXB0)

RXB0は, 受信データを保持する8ビットのバッファ・レジスタです。7キャラクタの受信では上位ビットには0が格納されます。

受信許可状態中は, 受信データは1フレーム分のシフト・イン処理終了に同期して受信シフト・レジスタからRXB0に転送されます。

また, RXB0への転送により, 受信完了割り込み要求 (INTSR0) が発生します。

(7) 送信シフト・レジスタ

送信シフト・レジスタは、送信バッファ・レジスタ0 (TXB0) から転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

TXB0から1バイト分のデータが転送されると、シフト・レジスタのデータをTXD0端子から出力します。

1フレームの送出終了時に同期して送信完了割り込み要求 (INTST0) を発生します。

このレジスタは直接操作することはできません。

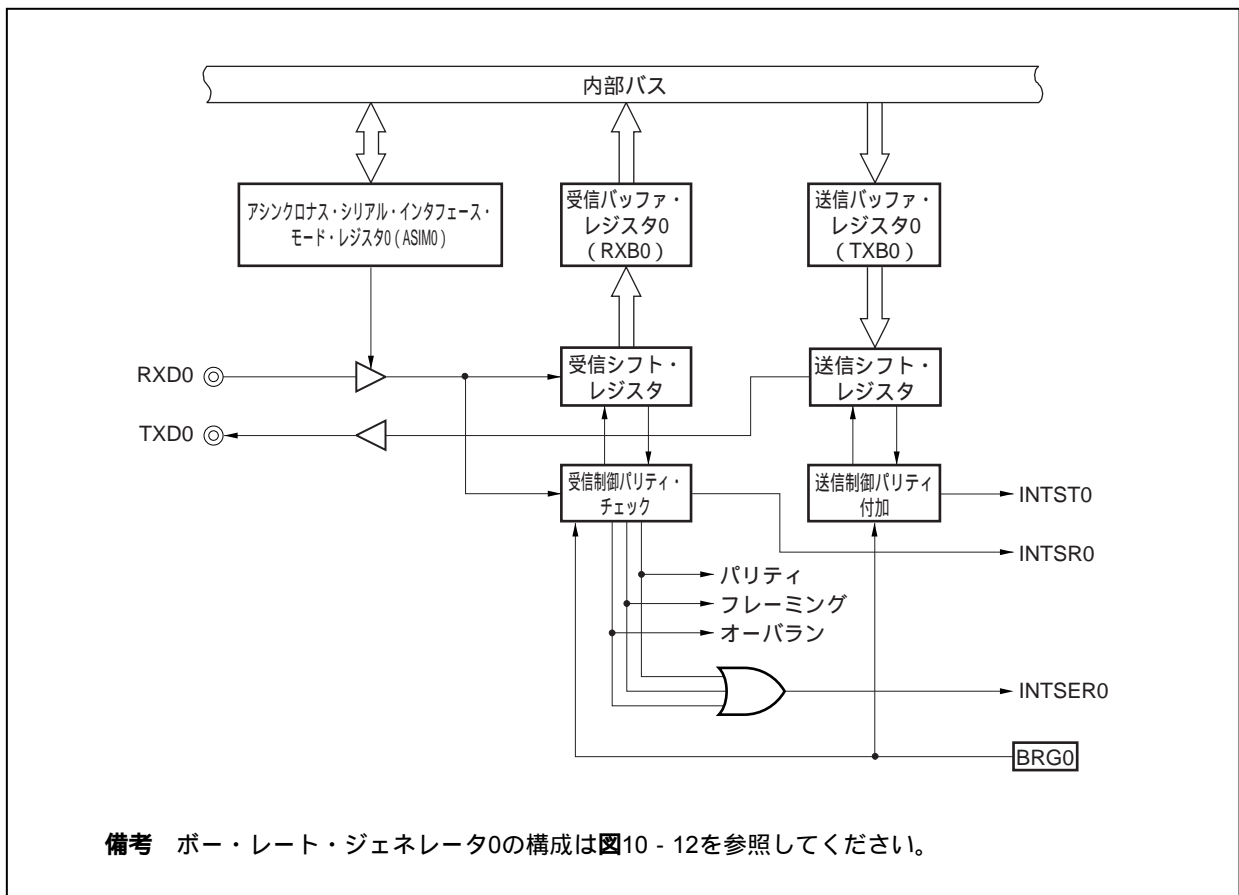
(8) 送信バッファ・レジスタ0 (TXB0)

TXB0は、8ビットの送信データ用バッファです。TXB0へ送信データを書き込むことにより、送信動作が開始されます。

(9) 送信制御パリティ付加

ASIM0レジスタに設定された内容に従って、TXB0レジスタに書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットを付加するなどして、送信動作の制御を行います。

図10 - 1 アシクロナス・シリアル・インタフェース0のブロック図



### 10.2.3 制御レジスタ

#### (1) アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)

ASIM0レジスタは、UART0の転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

**注意1.** UART0を使用する場合には、必ずUART0機能に関連する外部端子をコントロール・モードに設定したあと、クロック選択レジスタ0 (CKSR0) とポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) の設定を行ってからUARTCAE0ビットをセット(1)してください。そのあとに、ほかのビットの設定を行ってください。

2. RXD0端子にハイ・レベルが入力された状態でUARTCAE0ビット = 1, RXE0ビット = 1と設定してください。ロウ・レベルのときにUARTCAE0ビット = 1, RXE0ビット = 1と設定すると受信を開始してしまいます。

(1/3)

	⑦	⑥	⑤	4	3	2	1	0	アドレス	初期値
ASIM0	UARTCAE0	TXE0	RXE0	PS1	PS0	CL	SL	ISRM	FFFFFA00H	01H

ビット位置	ビット名	意 味
7	UARTCAE0	動作クロックを制御します。 0 : UART0へのクロック供給を停止 1 : UART0へクロックを供給  <b>注意1.</b> UARTCAE0 = 0にすると、UART0を非同期にリセット <sup>注</sup> します。 2. UARTCAE0 = 0の場合は、UART0はリセット状態なので、UART0を動作させる場合には、まず、UARTCAE0 = 1にしてください。 3. UARTCAE0ビットを1から0にクリアした場合は、UART0のすべてのレジスタが初期化されます。再度UARTCAE0 = 1にする場合には、必ずUART0のレジスタを再設定してください。  TXD0端子の出力は、送信禁止状態の場合、UARTCAE0ビットの設定にかかわらずハイ・レベルになります。
6	TXE0	送信許可 / 禁止を指定します。 0 : 送信禁止 1 : 送信許可  <b>注意1.</b> 起動時はUARTCAE0ビット = 1にしてから、TXE0ビット = 1としてください。また、停止時はTXE0ビット = 0にしてから、UARTCAE0ビット = 0としてください。 2. 送信ユニットを初期化する場合は、TXE0ビットをクリア(0)して、基本クロックの2周期分の時間を経過してから、再びTXE0ビットをセット(1)しなければ、状態の初期化ができない場合があります(基本クロックについては10.2.6(1)(a)基本クロック参照)。

**注** リセットされるのはASIS0, ASIF0, RXB0レジスタです。



ビット位置	ビット名	意 味																				
5	RXE0	<p>受信許可 / 禁止を指定します。</p> <p>0 : 受信禁止<sup>注</sup> 1 : 受信許可</p> <p><b>注意1.</b> 起動時はUARTCAE0ビット = 1にしてから, RXE0ビット= 1としてください。また, 停止時は, RXE0ビット= 0にしてから, UARTCAE0ビット= 0としてください。</p> <p><b>2.</b> 受信ユニットの状態を初期化する場合は, RXE0ビットをクリア(0)して, 基本クロックの2周期分の時間を経過してから, 再びRXE0ビットをセット(1)しなければ, 状態の初期化ができない場合があります(基本クロックについては10. 2. 6(1)(a)基本クロック参照)。</p>																				
4, 3	PS1, PS0	<p>パリティ・ビットを制御します。</p> <table border="1" data-bbox="592 792 1323 1128"> <thead> <tr> <th>PS1</th> <th>PS0</th> <th>送信動作</th> <th>受信動作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>パリティ・ビットを出力しない</td> <td>パリティなしで受信</td> </tr> <tr> <td>0</td> <td>1</td> <td>0パリティを出力</td> <td>0パリティとして受信</td> </tr> <tr> <td>1</td> <td>0</td> <td>奇数パリティを出力</td> <td>奇数パリティとして判定を行う</td> </tr> <tr> <td>1</td> <td>1</td> <td>偶数パリティを出力</td> <td>偶数パリティとして判定を行う</td> </tr> </tbody> </table> <p><b>注意1.</b> PS1, PS0ビットを書き換えるときは, TXE0, RXE0ビットをクリア(0)してから行ってください。</p> <p><b>2.</b> 受信時に「0パリティ」を選択した場合, パリティ判定を行いません。したがって, ASIS0レジスタのPEビットはセットされないため, エラー割り込みも発生しません。</p> <p>・偶数パリティ 送信データ中の値が“1”のビット数が奇数個の場合にパリティ・ビットをセット(1)します。値が“1”のビット数が偶数個の場合はパリティ・ビットをクリア(0)します。これにより, 送信データとパリティ・ビットの中に含まれる値が“1”のビット数が偶数個になるように制御します。 受信時には, 受信データとパリティ・ビットに含まれる値が“1”のビット数をカウントし, 奇数個であった場合にパリティ・エラーを発生します。</p> <p>・奇数パリティ 偶数パリティとは逆に, 送信データとパリティ・ビットの中に含まれる値が“1”のビット数が奇数個になるように制御します。 受信時には, 受信データとパリティ・ビットに含まれる値が“1”のビット数をカウントし, 偶数個であった場合にパリティ・エラーを発生します。</p>	PS1	PS0	送信動作	受信動作	0	0	パリティ・ビットを出力しない	パリティなしで受信	0	1	0パリティを出力	0パリティとして受信	1	0	奇数パリティを出力	奇数パリティとして判定を行う	1	1	偶数パリティを出力	偶数パリティとして判定を行う
PS1	PS0	送信動作	受信動作																			
0	0	パリティ・ビットを出力しない	パリティなしで受信																			
0	1	0パリティを出力	0パリティとして受信																			
1	0	奇数パリティを出力	奇数パリティとして判定を行う																			
1	1	偶数パリティを出力	偶数パリティとして判定を行う																			

**注** 受信禁止時は, 受信シフト・レジスタはスタート・ビットの検出を行いません。シフト・イン処理, 受信バッファ・レジスタ0 (RXB0) への転送処理は行わず, RXB0レジスタの内容は保持されます。  
受信許可状態中は, スタート・ビットの検出に同期して受信シフト動作を開始し, 1フレーム分の受信を終了すると受信シフト・レジスタの内容をRXB0レジスタに転送します。  
また, RXB0レジスタへの転送に同期して, 受信完了割り込み (INTSR0) を発生します。

ビット位置	ビット名	意 味
4, 3	PS1, PS0	<p>・0パリティ 送信時には、送信データによらずパリティ・ビットをクリア(0)します。 受信時には、パリティ・ビットの検査を行わないため、パリティ・エラーを発生しません。</p> <p>・パリティなし 送信データにパリティ・ビットを付加しません。 受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。</p>
2	CL	<p>送受信データ1フレームのキャラクタ長を指定します。 0: 7ビット 1: 8ビット</p> <p><b>注意</b> CLビットを書き換えるときは、TXE0, RXE0ビットをクリア(0)してから行ってください。</p>
1	SL	<p>送信データのストップ・ビット長を指定します。 0: 1ビット 1: 2ビット</p> <p><b>注意1.</b> SLビットを書き換えるときは、TXE0ビットをクリア(0)してから行ってください。 <b>2.</b> 受信は常に「ストップ・ビット長 = 1」として動作するので、SLビットの設定は受信動作に影響を与えません。</p>
0	ISRM	<p>エラー発生時の受信完了割り込み要求発生許可/禁止を指定します。 0: エラー発生時の割り込みとして、受信エラー割り込み要求 (INTSER0) を発生する。 この場合、受信完了割り込み要求 (INTSR0) は発生しません。 1: エラー発生時の割り込みとして、受信完了割り込み要求 (INTSR0) を発生する。 この場合、受信エラ - 割り込み要求 (INTSER0) は発生しません。</p> <p><b>注意</b> ISRMビットを書き換えるときは、RXE0ビットをクリア(0)してから行ってください。</p>

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)

ASIS0レジスタは、UART0の受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ (PE, FE, OVE) で構成されています。

ASIS0レジスタは、読み出しにより00Hにクリアされます。受信エラーが発生した場合は、ASIS0レジスタを読み出したあと、受信バッファ・レジスタ0 (RXB0) を読み出し、エラー・フラグをクリアしてください。

8ビット単位でリードだけ可能です。

- 注意1. ASIM0レジスタのUARTCAE0ビット、RXE0ビットを0に設定したとき、またはASIS0レジスタを読み出したとき、ASIS0レジスタのPEビット、FEビット、OVEビットはクリア (0) されます。
2. ビット操作命令による操作は禁止です。

	7	6	5	4	3	2	1	0	アドレス	初期値
ASIS0	0	0	0	0	0	PE	FE	OVE	FFFFFFA03H	00H

ビット位置	ビット名	意 味
2	PE	パリティ・エラーを示すステータス・フラグです。 0: ASIM0レジスタのUARTCAE0ビット = 0およびRXE0ビット = 0に設定したとき、または、ASIS0レジスタをリードしたあと 1: 受信完了時、受信データのパリティとパリティ・ビットが一致しないとき  <b>注意</b> PEビットの動作は、ASIM0レジスタのPS1, PS0ビットの設定値により異なります。
1	FE	フレーミング・エラーを示すステータス・フラグです。 0: ASIM0レジスタのUARTCAE0ビット = 0およびRXE0ビット = 0に設定したとき、または、ASIS0レジスタをリードしたあと 1: 受信完了時、ストップ・ビットが検出されないとき  <b>注意</b> 受信データのストップ・ビットは、ストップ・ビット長に関係なく最初の1ビットだけをチェックします。
0	OVE	オーバラン・エラーを示すステータス・フラグです。 0: ASIM0レジスタのUARTCAE0ビット = 0およびRXE0ビット = 0に設定したとき、または、ASIS0レジスタをリードしたあと 1: RXB0レジスタの受信データを読み出す前にUART0が次の受信動作を完了したとき  <b>注意</b> オーバラン・エラーが発生した場合、次の受信データはRXB0レジスタに書き込まれず、データは破棄されます。

(3) アシクロナス・シリアル・インタフェース送信ステータス・レジスタ0 (ASIF0)

ASIF0レジスタは、送信時のステータスを示すレジスタです。2ビットのステータス・フラグで構成されています。

TXB0レジスタから送信シフト・レジスタへデータが転送されたあとに、次のデータをTXB0レジスタに書き込むことで、割り込み期間中も途切れることなく送信を続けることができます。連続して送信を行う場合には、TXB0レジスタへの誤った書き込みを防止するために、ASIF0レジスタのTXBF0ビットを参照してから書き込みを行ってください。

8/1ビット単位でリードだけ可能です。

	7	6	5	4	3	2	①	②	アドレス	初期値
ASIF0	0	0	0	0	0	0	TXBF0	TXSF0	FFFFFA05H	00H

ビット位置	ビット名	意味
1	TXBF0	送信バッファ・データ・フラグです。 0：TXB0レジスタに次に転送すべきデータが存在しない（ASIM0レジスタのUARTCAE0ビット = 0またはTXE0ビット = 0に設定したとき、または送信シフト・レジスタにデータを転送したとき） 1：TXB0レジスタに次に転送すべきデータが存在する（TXB0レジスタにデータを書き込んだとき）  <b>注意</b> 連続送信を行う場合は、必ずこのフラグが“0”であることを確認してからTXB0レジスタに書き込んでください。このフラグが“1”のときにTXB0レジスタにデータを書き込んだ場合の送信データは保証できません。
0	TXSF0	送信シフト・レジスタ・データ・フラグです。UART0の送信状態を示します。 0：初期状態または送信待ち（ASIM0レジスタのUARTCAE0ビット = 0またはTXE0ビット = 0に設定したとき、または送信完了後にTXB0レジスタから次のデータ転送がなかったとき） 1：送信中（TXB0レジスタからデータ転送されたとき）  <b>注意</b> 送信ユニットを初期化する場合は、送信完了割り込み（INTST0）発生後に、必ずこのフラグが“0”であることを確認してから初期化を実行してください。このフラグが“1”のときに初期化を実行した場合の送信データは保証できません。

(4) 受信バッファ・レジスタ0 (RXB0)

RXB0レジスタは、受信シフト・レジスタで変換したパラレル・データを格納するための8ビット・バッファ・レジスタです。

受信許可状態のとき (ASIM0レジスタのRXE0ビット = 1)、受信データは1フレーム分のシフト・イン処理終了時に同期して、受信シフト・レジスタからRXB0レジスタに転送されます。また、RXB0レジスタへの転送により、受信完了割り込み要求 (INTSR0) が発生します。発生するタイミングについては10.2.5

(4) 受信動作を参照してください。

受信禁止状態のとき (ASIM0レジスタのRXE0ビット = 0)、1フレーム分のシフト・イン処理が終了してもRXB0レジスタへの転送は処理されず、RXB0レジスタの内容は保持されます。また、INTSR0信号も発生しません。

データ長を7ビットに指定した場合、受信データはRXB0レジスタのビット6-0に転送され、MSB (ビット7) は必ず0になります。また、オーバラン・エラー (ASIS0レジスタのOVEビット = 1) が発生した場合、そのときの受信データはRXB0レジスタに転送されません。

リセット入力以外に ASIM0レジスタのUARTCAE0ビット = 0によってもRXB0レジスタはFFHになります。

8ビット単位でリードだけ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
RXB0	RXB7	RXB6	RXB5	RXB4	RXB3	RXB2	RXB1	RXB0	FFFFFFA02H	FFH

ビット位置	ビット名	意味
7-0	RXB7- RXB0	受信データを格納しています。 RXB7は7ビット/キャラクタの受信で0が読めます。

(5) 送信バッファ・レジスタ0 (TXB0)

TXB0レジスタは、送信データを設定するための8ビット・バッファ・レジスタです。

送信許可状態のとき (ASIM0レジスタのTXE0ビット = 1)、TXB0レジスタにデータを書き込むことで送信動作が開始されます。

送信禁止状態のとき (ASIM0レジスタのTXE0ビット = 0)、TXB0レジスタにデータを書き込んで値は無視されます。

TXB0レジスタのデータが送信シフト・レジスタに転送され、送信シフト・レジスタから1フレーム分の送信終了に同期して送信完了割り込み要求 (INTST0) を発生します。発生するタイミングについては10.2.

5 (2) 送信動作を参照してください。

ASIF0レジスタのTXBF0ビット = 1のときは、TXB0レジスタへの書き込みは行わないでください。

8ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
TXB0	TXB7	TXB6	TXB5	TXB4	TXB3	TXB2	TXB1	TXB0	FFFFFFA04H	FFH

ビット位置	ビット名	意 味
7-0	TXB7- TXB0	送信データを書き込みます。

## 10.2.4 割り込み要求

UART0からは次の3種類の割り込み要求を発生します。

- ・受信完了割り込み (INTSR0)
- ・送信完了割り込み (INTST0)
- ・受信エラー割り込み (INTSER0)

これら3種類の割り込み要求のデフォルト優先順位は受信完了割り込みが最も高く、送信完了割り込み、受信エラー割り込みの順に低くなります。

表10 - 1 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信完了	1
送信完了	2
受信エラー	3

### (1) 受信完了割り込み (INTSR0)

受信許可状態中で、受信シフト・レジスタにデータがシフト・インされ受信バッファ・レジスタ (RXB0) に転送されるとINTSR0信号が発生します。

INTSR0信号は、ASIM0レジスタのISRMビットにより、受信エラーが起こった場合にも、受信エラー割り込み (INTSER0) の代わりとして発生することができます。

受信禁止状態中は、INTSR0信号は発生しません。

### (2) 送信完了割り込み (INTST0)

送信シフト・レジスタから7ビット/8ビットのキャラクタを含む1フレーム分の送信データがシフト・アウトされるとINTST0信号を発生します。

### (3) 受信エラー割り込み (INTSER0)

受信許可状態中で、ASIS0レジスタで説明した3種類の受信エラーの論理和 (OR) でINTSER0信号を発生します。ASIM0レジスタのISRMビットにより、エラー発生時にINTSER0信号を発生させるか、INTSR0信号を発生させるかを指定できます。

受信禁止状態中は、INTSER0信号は発生しません。

## 10.2.5 動作

### (1) データ・フォーマット

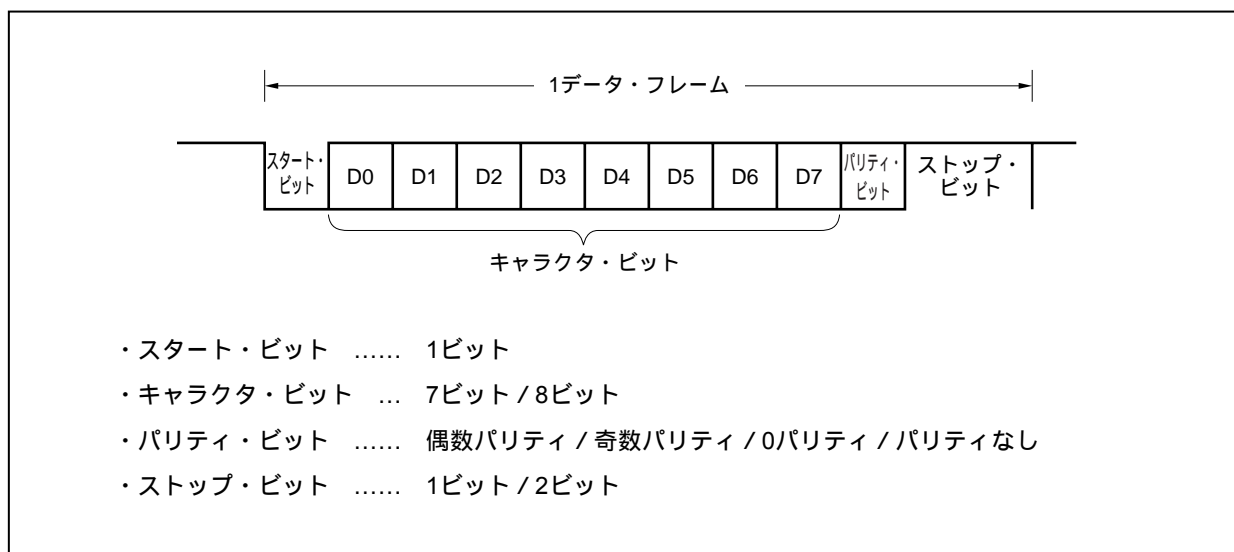
全二重シリアル・データの送受信を行います。

送受信データのフォーマットは図10-2に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) によって行います。

また、データはLSBファーストで転送します。

図10-2 アシンクロナス・シリアル・インタフェースの送受信データのフォーマット





## (2) 送信動作

ASIM0レジスタのUARTCAE0ビット = 1にすることにより、TXD0端子はハイ・レベルを出力します。

次にASIM0レジスタのTXE0ビット = 1にすると送信許可状態になり、送信バッファ・レジスタ0 (TXB0) に送信データを書き込むと送信動作が起動します。

### (a) 送信許可状態

ASIM0レジスタのTXE0ビットで設定します。

- ・ TXE0 = 1 : 送信許可状態
- ・ TXE0 = 0 : 送信禁止状態

なお、UART0にはCTS (送信許可信号) 入力端子がないので、相手側が受信許可状態かを確認するときはポートを使用してください。

### (b) 送信動作の起動

送信許可状態では、送信バッファ・レジスタ0 (TXB0) に送信データを書き込むと送信動作が起動します。送信動作の開始により、TXB0レジスタ内のデータが送信シフト・レジスタに転送されます。そのあと、送信シフト・レジスタはTXD0端子にデータを出力します (スタート・ビットから順に送信されます)。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

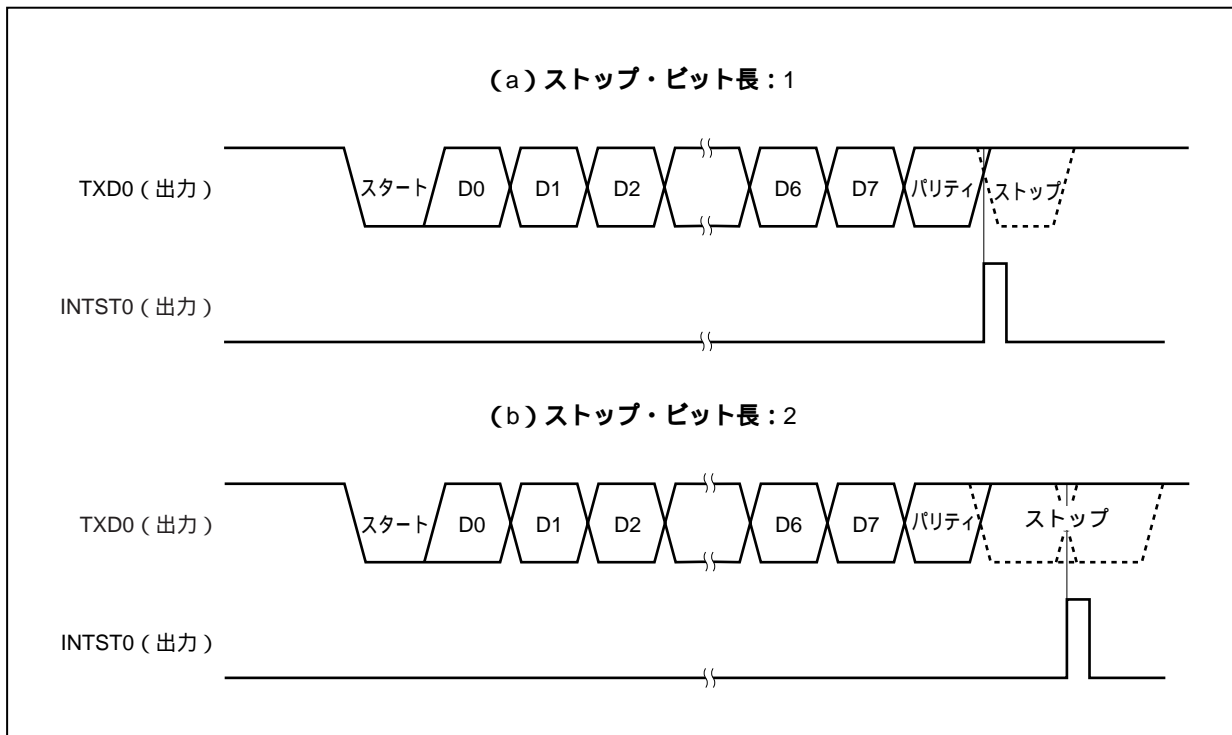
### (c) 送信割り込み要求

送信シフト・レジスタが空になると送信完了割り込み要求 (INTST0) が発生します。ストップ・ビット長の指定により、INTST0信号の発生タイミングが異なります。INTST0信号は、最後のストップ・ビット出力と同時に発生します。

次に送信するデータをTXB0レジスタに書き込まなければ、送信動作は中断されます。

**注意** 通常、送信シフト・レジスタが空になったときに送信完了割り込み (INTST0) が発生します。しかし、 $\overline{\text{RESET}}$ 入力により送信シフト・レジスタが空になった場合、INTST0信号は発生しません。

図10 - 3 アシクロナス・シリアル・インタフェース送信完了割り込みタイミング



(3) 連続送信動作

UART0は、送信シフト・レジスタがシフト動作を開始した時点で、次の送信データをTXB0レジスタへ書き込むことができます。これにより、1データ・フレーム送信後の送信完了割り込み（INTST0）処理時でも連続送信することができ、効率的な通信レートを実現できます。また、INTST0信号発生後にASIF0レジスタのTXSF0ビットを読み出すことにより、1データ・フレームの送信時間を待つことなく効率的に2回（2バイト）のTXB0レジスタへの書き込みができます。

連続送信する場合は、必ずASIF0レジスタを参照し、送信状態とTXB0レジスタへの書き込み可否を確認してから、データの書き込みを行ってください。

- 注意** 連続送信でASIF0レジスタのTXBF0, TXSF0ビットは、「10」「11」「01」と変化します。そのため、ステータスを確認する場合は、TXBF0, TXSF0ビットの組み合わせで判断しないでください。
- 連続送信を行う場合はTXBF0ビットのみで判断してください。

TXBF0	TXB0レジスタへの書き込み可否
0	書き込み可
1	書き込み不可

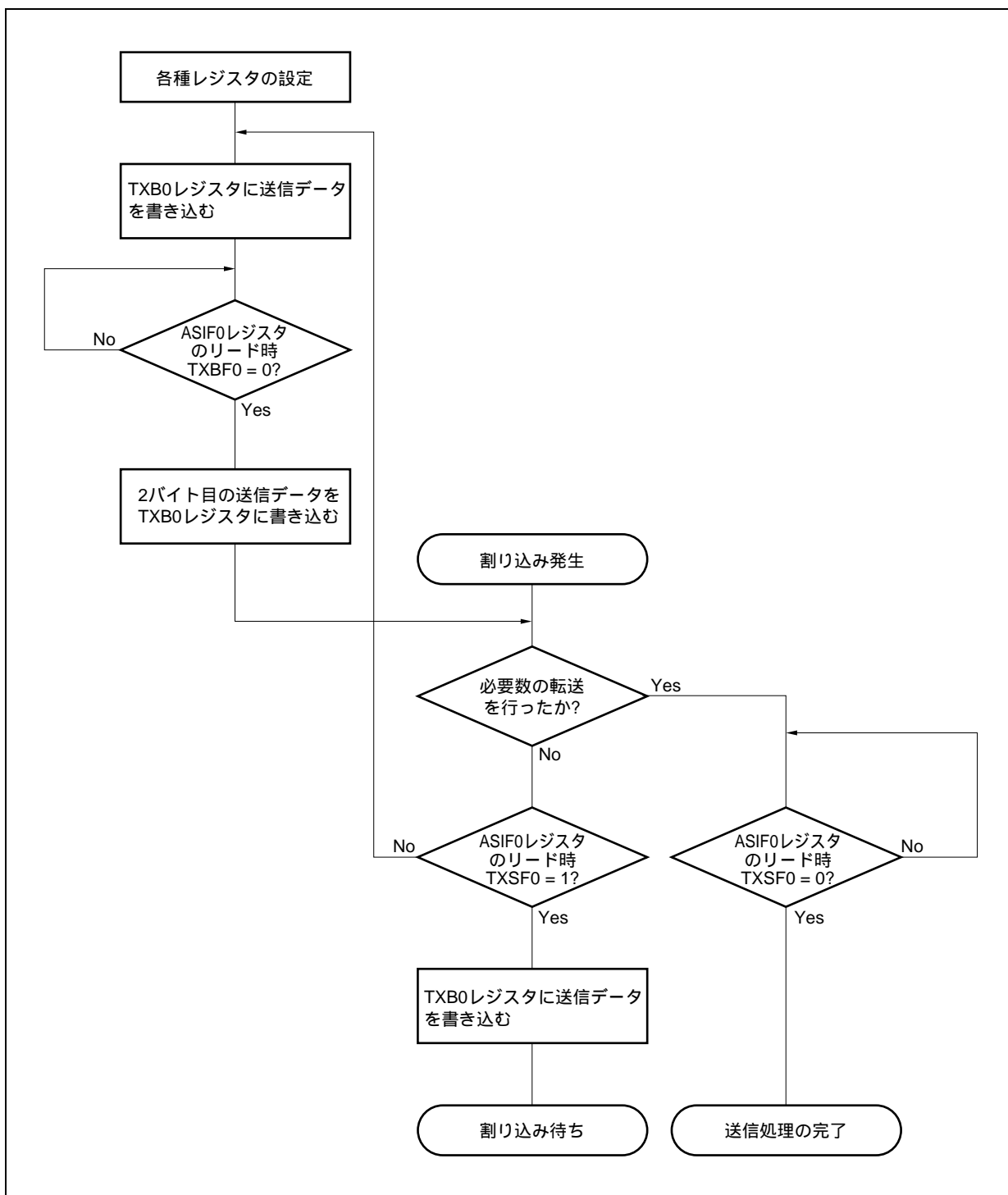
- 注意** 連続送信を行う場合は、最初の送信データ（1バイト目）をTXB0レジスタに書き込んだあと、必ずTXBF0ビットが“0”であることを確認してから次の送信データ（2バイト目）をTXB0レジスタに書き込んでください。TXBF0ビットが“1”のときにTXB0レジスタにデータを書き込んだ場合の送信データは保証できません。

TXSF0ビットで、通信状態を確認することができます。

TXSF0	送信状態
0	送信が終了しています。
1	送信中です。

- 注意1.** 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF0ビットが“0”であることを確認してから初期化を実行してください。TXSF0ビットが“1”のときに初期化を実行した場合の送信データは保証できません。
- 2.** 連続送信時には、1データ・フレーム送信後のINTST0割り込み処理を実行する前に次の送信が完了してしまうオーバーラン・エラーが発生する可能性があります。オーバーラン・エラーは送信データ数をカウントできるプログラムを組み込むこととTXSF0ビットを参照することで検出できます。

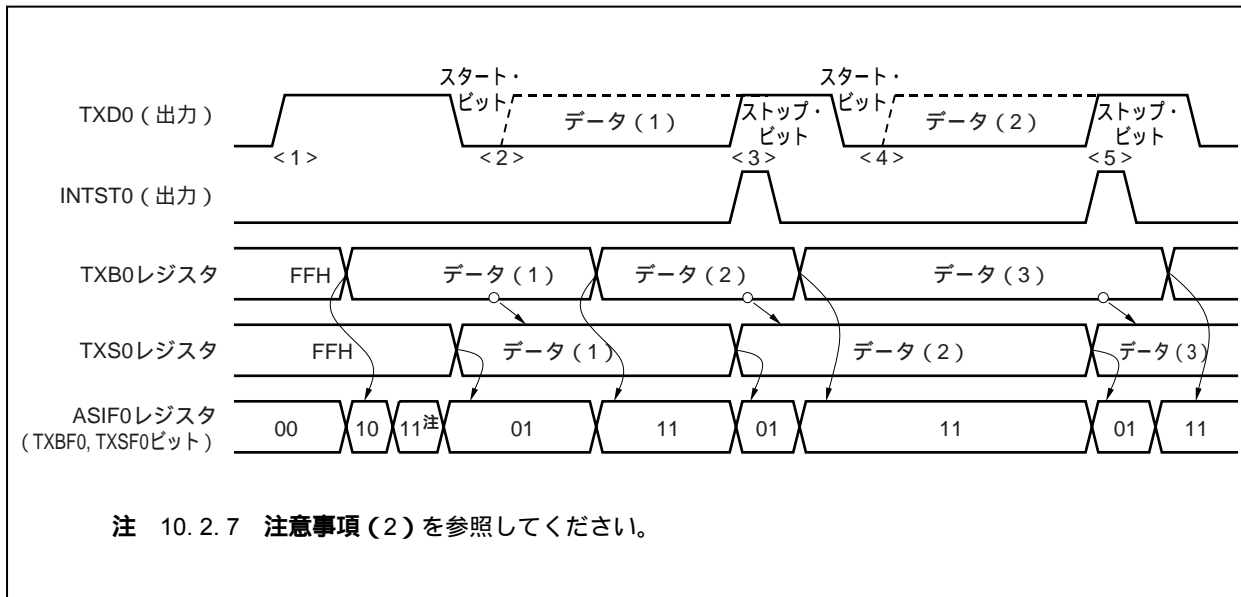
図10 - 4 連続送信の処理フロー



(a) 開始手順

連続送信を開始する手順を次に示します。

図10-5 連続送信の開始手順



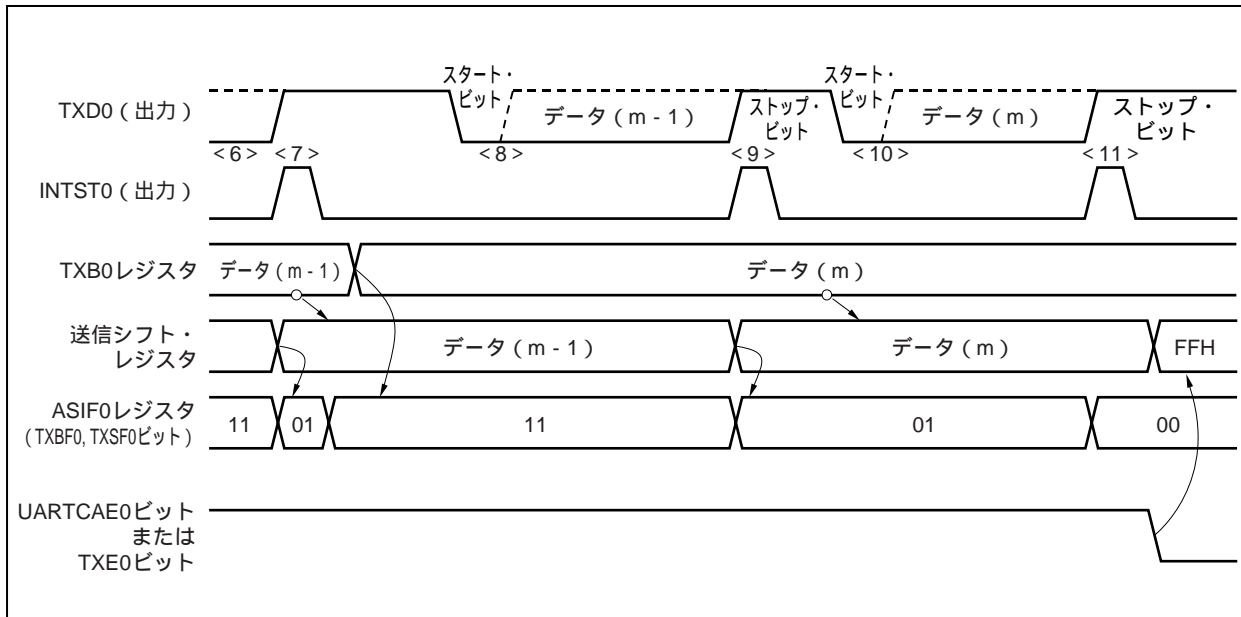
送信開始手順	内部動作	ASIF0レジスタ	
		TXBF0	TXSF0
送信モード設定	<1> 送信ユニットの起動	0	0
データ(1)の書き込み	→	1	0
ASIF0レジスタのリード (TXBF0ビット = 0を確認する) ←	<2> スタート・ビットの生成	1	1 <sup>注</sup>
	データ(1)送信スタート →	0	1
	-----	<u>0</u>	1
データ(2)の書き込み	→	1	1
ASIF0レジスタのリード (TXBF0ビット = 0を確認する) ←	<<送信中>>		
	<3> INTST0割り込み発生 →	0	1
	-----	<u>0</u>	1
データ(3)の書き込み	→	1	1
ASIF0レジスタのリード (TXBF0ビット = 0を確認する) ←	<4> スタート・ビットの生成 データ(2)送信スタート <<送信中>>		
	<5> INTST0割り込み発生 →	0	1
	-----	<u>0</u>	1
データ(4)の書き込み	→	1	1

注 10.2.7 注意事項(2)を参照してください。

(b) 終了手順

連続送信を終了する手順を次に示します。

図10-6 連続送信の終了手順



送信終了手順	内部動作	ASIF0レジスタ	
		TXBF0	TXSF0
ASIF0レジスタのリード (TXBF0ビット = 0を確認する) ← データ (m) の書き込み →	<6> データ (m - 2) の送信中	1	1
	<7> INTST0割り込み発生 →	0	1
	ASIF0レジスタのリード (TXSF0ビット = 1を確認する) ←	<u>0</u>	<u>1</u>
ASIF0レジスタのリード (TXSF0ビット = 1を確認する) ← 書き込みデータはなし	<8> スタート・ビットの生成 データ (m - 1) 送信スタート <<送信中>>	1	1
	<9> INTST0割り込み発生 →	0	1
	ASIF0レジスタのリード (TXSF0ビット = 0を確認する) ←	0	<u>1</u>
ASIF0レジスタのリード (TXSF0ビット = 0を確認する) ← UARTCAE0ビットまたはTXE0ビットをクリア (0)	<10> スタート・ビットの生成 データ (m) 送信スタート <<送信中>>	0	0
	<11> INTST0割り込み発生 → 内部回路の初期化	0	<u>0</u>

#### (4) 受信動作

ASIM0レジスタのUARTCAE0ビット = 1にし、次にASIM0レジスタのRXE0ビット = 1にすることにより、受信待ち状態になります。受信動作を開始するには、まず、RXD0端子の立ち下がりを検出すると立ち下がりがエッジでサンプリングを開始します。スタート・ビットのサンプリング・ポイントでRXD0端子がロウ・レベルであれば、スタート・ビットと認識します。受信動作を開始すると、設定されたボー・レートにあわせて、シリアル・データを順に受信シフト・レジスタに格納していきます。1フレームのデータ受信が終了することに受信完了割り込み (INTSR0) が発生します。通常、この割り込み処理で受信バッファ・レジスタ0 (RXB0) からメモリに受信データを転送します。

##### (a) 受信許可状態

受信動作はASIM0レジスタのRXE0ビットをセット(1)することにより、受信許可状態となります。

- ・ RXE0ビット = 1：受信許可状態
- ・ RXE0ビット = 0：受信禁止状態

なお、受信禁止状態では受信ハードウェアは初期状態で待機します。このとき、受信完了割り込み / 受信エラー割り込みは発生せず、受信バッファ・レジスタ0 (RXB0) の内容は保持されます。

##### (b) 受信動作の起動

受信動作はスタート・ビットの検出により起動されます。

ボー・レート・ジェネレータ0 (BRG0) からのシリアル・クロックでRXD0端子をサンプリングします。

##### (c) 受信完了割り込み要求

ASIM0レジスタのRXE0ビット = 1のとき、1フレーム分のデータの受信が完了 (ストップ・ビットの検出) すると、受信完了割り込み要求 (INTSR0) が発生すると同時に、受信シフト・レジスタ内の受信データをRXB0レジスタに転送します。

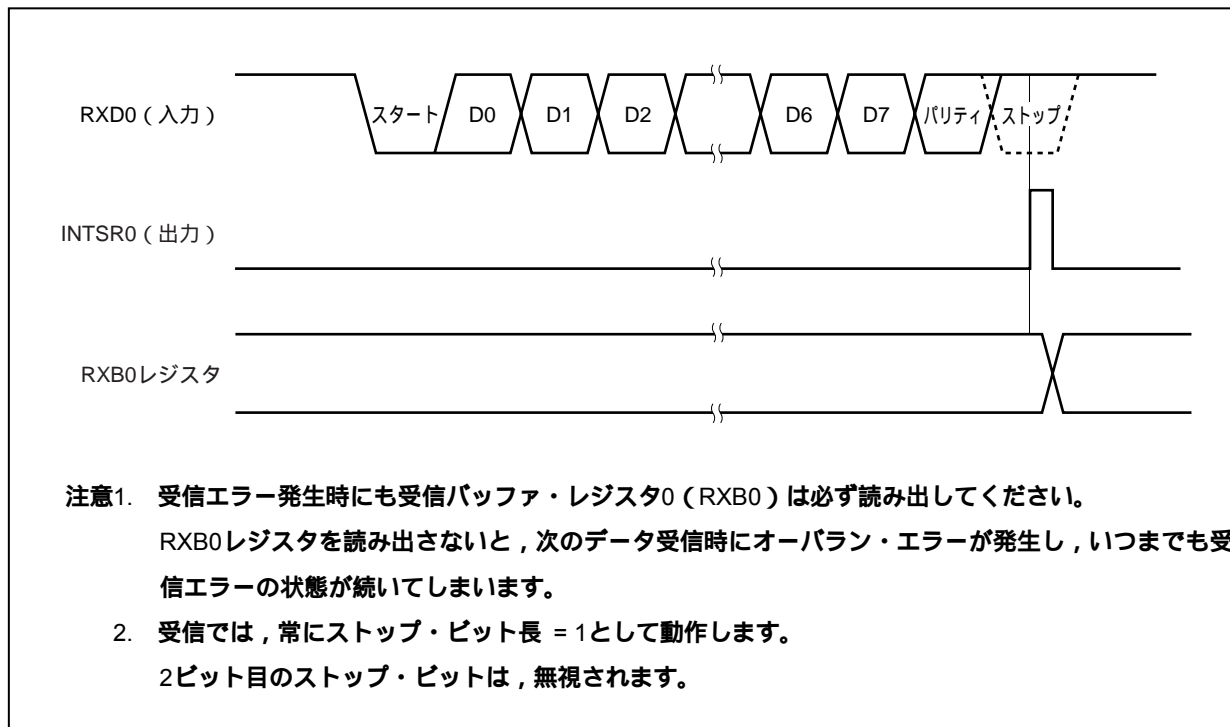
また、オーバラン・エラー (ASIS0レジスタのOVEビット = 1) が発生した場合、そのときの受信データは、受信バッファ・レジスタ0 (RXB0) に転送されず、ASIM0レジスタのISRMビットの設定に従って、INTSR0信号、または受信エラー割り込み (INTSER0) が発生します。

なお、受信動作中にパリティ・エラー (ASIS0レジスタのPEビット = 1)、またはフレーミング・エラー (ASIS0レジスタのFEビット = 1) が発生した場合でも、ストップ・ビットの受信位置までは、受信動作を継続し、受信完了後にASIM0レジスタのISRMビットの設定に従って、INTSR0信号、またはINTSER0信号が発生します (受信シフト・レジスタ内の受信データはRXB0レジスタに転送されず)。

また、受信動作中にRXE0ビットをクリア (0) すると、すぐに受信動作を停止します。このとき受信バッファ・レジスタ0 (RXB0) とアシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS0) の内容は変化せず、INTSR0信号、またはINTSER0信号は発生しません。

RXE0ビット = 0 (受信禁止) では、INTSR0信号またはINTSER0信号は発生しません。

図10 - 7 アシクロナス・シリアル・インタフェース受信完了割り込みタイミング



(5) 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果、ASIS0レジスタの各フラグがセット(1)されると同時に、受信エラー割り込み要求 (INTSER0)、または受信完了割り込み要求 (INTSR0) が発生します。INTSER0信号またはINTSR0信号のどちらかを発生させるかは、ASIM0レジスタのISRMビットで指定します。

INTSER0/INTSR0割り込み処理内で、ASIS0レジスタの内容を読み出すことによって、受信時に発生したエラーの内容を検出することができます。

ASIS0レジスタの内容は、ASIS0レジスタの読み出しによってクリア(0)されます。

表10 - 2 受信エラーの要因

エラー・フラグ	受信エラー	要 因
PE	パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
FE	フレーミング・エラー	ストップ・ビットが検出されない
OVE	オーバラン・エラー	受信バッファ・レジスタ0 (RXB0) からデータを読み出す前に次のデータ受信が完了



(a) 受信エラー割り込みの分離

ASIM0レジスタのISRMビットをクリア(0)することにより、受信エラー割り込みをINTSR0信号から分離し、INTSER0信号として発生させることができます。

図10 - 8 受信エラー割り込みを受信完了割り込み (INTSR0) から分離する場合 (ISRMビット = 0)

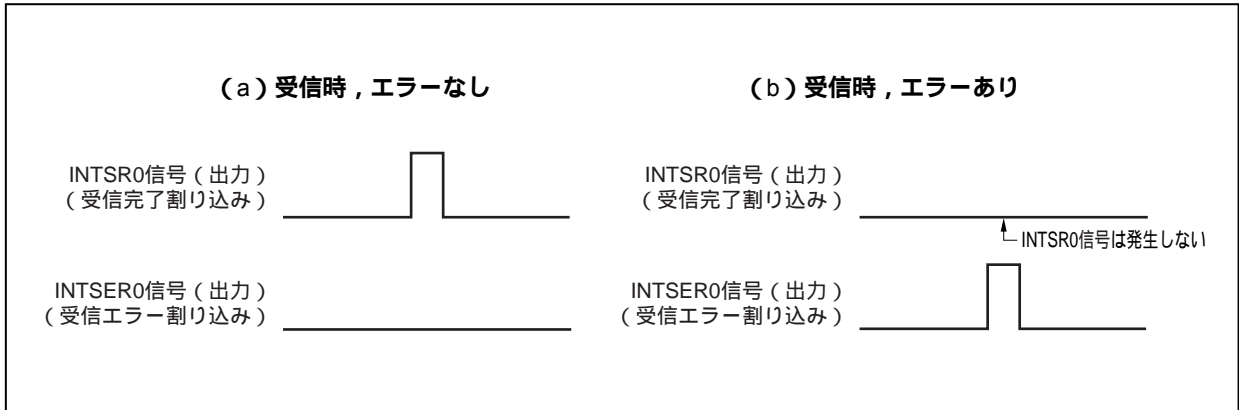
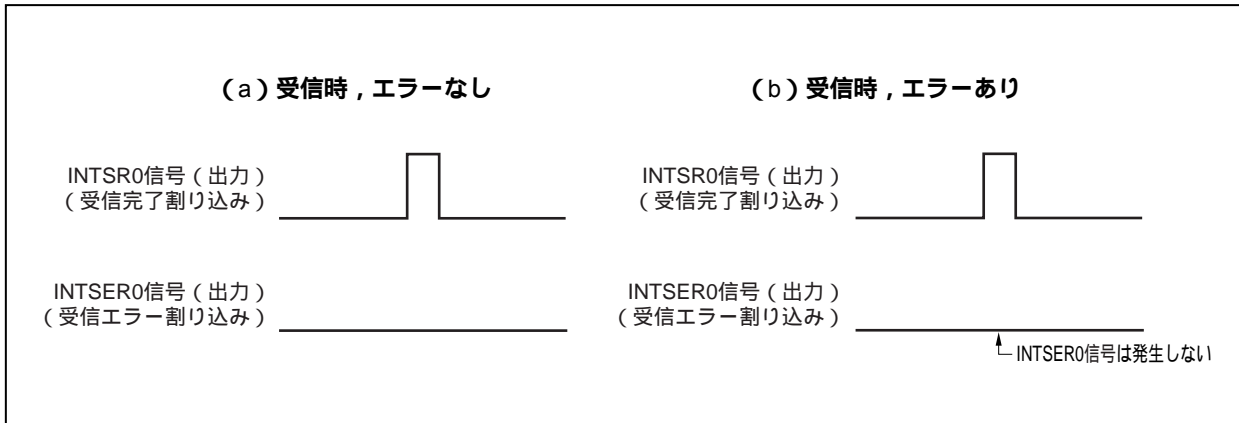


図10 - 9 受信エラー割り込みも受信完了割り込み (INTSR0) に含める場合 (ISRMビット = 1)



## (6) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。

### (a) 偶数パリティ

#### (i) 送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に値が“1”のビット数が奇数個：1
- ・送信データ中に値が“1”のビット数が偶数個：0

#### (ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

### (b) 奇数パリティ

#### (i) 送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に、値が“1”のビット数が奇数個：0
- ・送信データ中に、値が“1”のビット数が偶数個：1

#### (ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

### (c) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

### (d) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(7) 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロック (f<sub>CLK</sub>) の立ち上がりでRXD0信号をサンプリングします。サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。したがって、1クロック幅以下のデータはノイズとして判断され、内部回路には伝わりません(図10 - 11参照)。基本クロックについては10. 2. 6 (1) (a) 基本クロックを参照してください。

また、回路は図10 - 10のようになっているため、受信動作の内部での処理は、外部の信号状態により最大2クロック分遅れて動作することになります。

図10 - 10 ノイズ・フィルタ回路

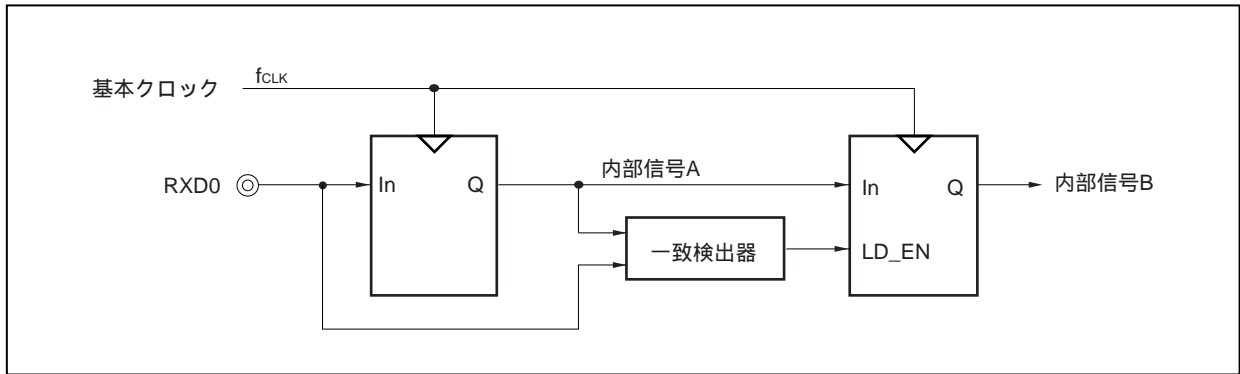
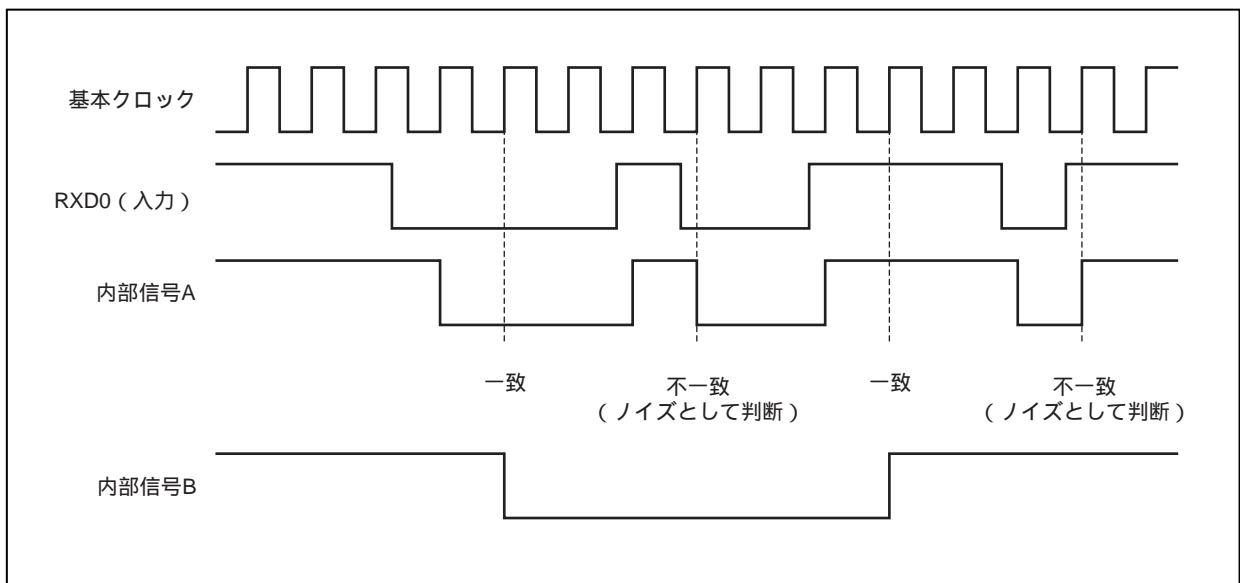


図10 - 11 ノイズとして判断されるRXD0信号のタイミング



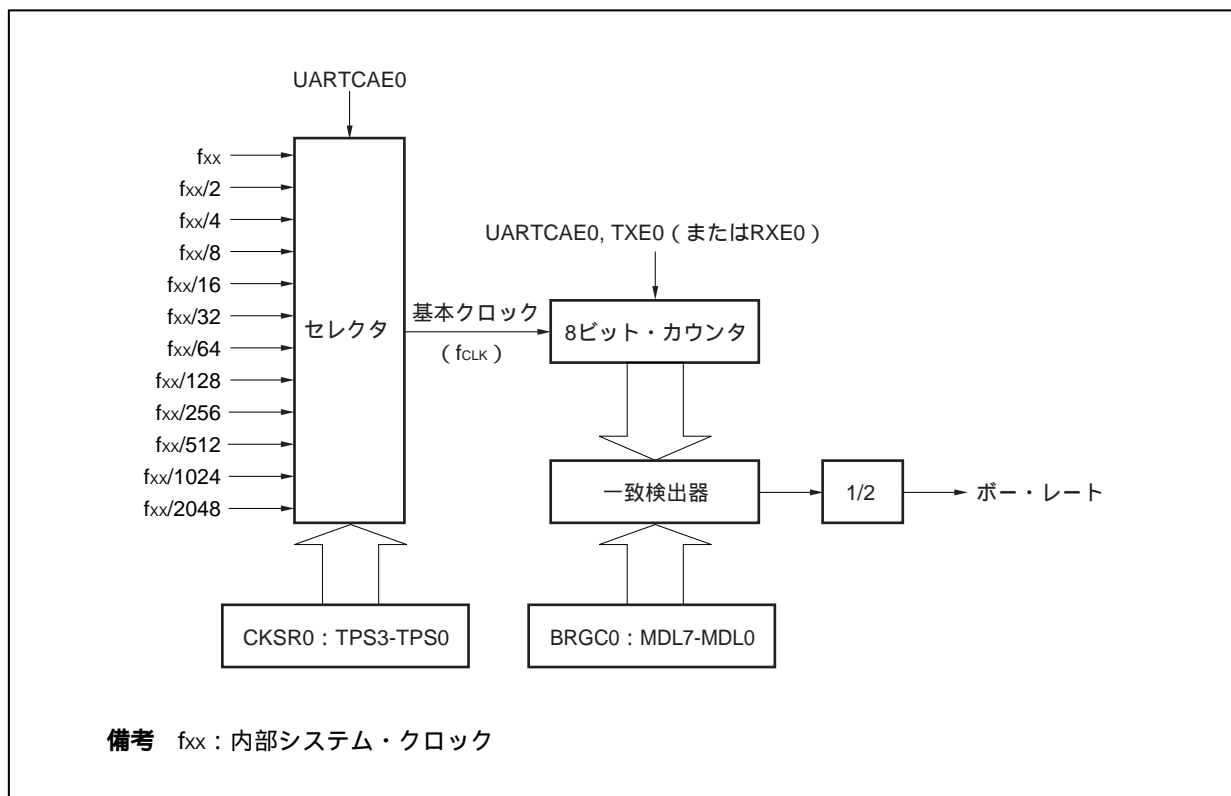
### 10.2.6 専用ボー・レート・ジェネレータ0 (BRG0)

専用ボー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UART0における送受信時のシリアル・クロックを生成します。シリアル・クロックは、チャネルごとに専用ボー・レート・ジェネレータ出力を選択できます。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

#### (1) ボー・レート・ジェネレータ0 (BRG0) の構成

図10 - 12 ボー・レート・ジェネレータ0 (BRG0) の構成



#### (a) 基本クロック

ASIM0レジスタのUARTCAE0ビット = 1のとき、CKSR0レジスタのTPS3-TPS0ビットで選択したクロックを送信/受信ユニットに供給します。このクロックを基本クロック ( $f_{CLK}$ ) と呼びます。UARTCAE0ビット = 0のときは、 $f_{CLK}$ はロウ・レベルに固定となります。

#### (2) シリアル・クロックの生成

CKSR0レジスタとBRGC0レジスタの設定により、シリアル・クロックを生成できます。

CKSR0レジスタのTPS3-TPS0ビットにより、8ビット・カウンタへの基本クロックを選択します。

BRGC0レジスタのMDL7-MDL0ビットにより、8ビット・カウンタの分周値を設定できます。

(a) クロック選択レジスタ0 (CKSR0)

CKSR0レジスタは、TPS3-TPS0ビットにより、基本クロック ( $f_{CLK}$ ) を選択するための8ビット・レジスタです。TPS3-TPS0ビットで選択されたクロックが、送受信モジュールの $f_{CLK}$ になります。8ビット単位でリード/ライト可能です。

- 注意1.** 基本クロック ( $f_{CLK}$ ) の許容周波数は最大25 MHzです。したがって、システム・クロックが50 MHzの場合、TPS3-TPS0ビットを0000Bに設定することはできません。50 MHzで動作させる場合、TPS3-TPS0ビットを0000B以外の値に設定し、ASIM0レジスタのUARTCAE0ビットをセット(1)してください。
2. TPS3-TPS0ビットを書き換える場合は、ASIM0レジスタのUARTCAE0ビット = 0にしてから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
CKSR0	0	0	0	0	TPS3	TPS2	TPS1	TPS0	FFFFFFA06H	00H

ビット位置	ビット名	意味																																																																						
3-0	TPS3-TPS0	基本クロック ( $f_{CLK}$ ) を指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TPS3</th> <th>TPS2</th> <th>TPS1</th> <th>TPS0</th> <th>基本クロック (<math>f_{CLK}</math>)</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td><math>f_{xx}</math></td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td><math>f_{xx}/2</math></td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td><math>f_{xx}/4</math></td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td><math>f_{xx}/8</math></td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td><math>f_{xx}/16</math></td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td><math>f_{xx}/32</math></td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td><math>f_{xx}/64</math></td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td><math>f_{xx}/128</math></td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td><math>f_{xx}/256</math></td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td><math>f_{xx}/512</math></td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td><math>f_{xx}/1024</math></td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td><math>f_{xx}/2048</math></td></tr> <tr><td>1</td><td>1</td><td>任意</td><td>任意</td><td>設定禁止</td></tr> </tbody> </table>	TPS3	TPS2	TPS1	TPS0	基本クロック ( $f_{CLK}$ )	0	0	0	0	$f_{xx}$	0	0	0	1	$f_{xx}/2$	0	0	1	0	$f_{xx}/4$	0	0	1	1	$f_{xx}/8$	0	1	0	0	$f_{xx}/16$	0	1	0	1	$f_{xx}/32$	0	1	1	0	$f_{xx}/64$	0	1	1	1	$f_{xx}/128$	1	0	0	0	$f_{xx}/256$	1	0	0	1	$f_{xx}/512$	1	0	1	0	$f_{xx}/1024$	1	0	1	1	$f_{xx}/2048$	1	1	任意	任意	設定禁止
TPS3	TPS2	TPS1	TPS0	基本クロック ( $f_{CLK}$ )																																																																				
0	0	0	0	$f_{xx}$																																																																				
0	0	0	1	$f_{xx}/2$																																																																				
0	0	1	0	$f_{xx}/4$																																																																				
0	0	1	1	$f_{xx}/8$																																																																				
0	1	0	0	$f_{xx}/16$																																																																				
0	1	0	1	$f_{xx}/32$																																																																				
0	1	1	0	$f_{xx}/64$																																																																				
0	1	1	1	$f_{xx}/128$																																																																				
1	0	0	0	$f_{xx}/256$																																																																				
1	0	0	1	$f_{xx}/512$																																																																				
1	0	1	0	$f_{xx}/1024$																																																																				
1	0	1	1	$f_{xx}/2048$																																																																				
1	1	任意	任意	設定禁止																																																																				
備考 $f_{xx}$ : 内部システム・クロック																																																																								

(b) ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)

BRGC0レジスタは、UART0のボー・レート（シリアル転送スピード）を制御する8ビット・レジスタです。

8ビット単位でリード/ライト可能です。

**注意** MDL7-MDL0ビットを書き換える場合は、ASIM0レジスタのTXE0ビット = 0, RXE0ビット = 0にしてから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
BRGC0	MDL7	MDL6	MDL5	MDL4	MDL3	MDL2	MDL1	MDL0	FFFFFFA07H	FFH

ビット位置	ビット名	意味																																																																																																																								
7-0	MDL7-MDL0	8ビット・カウンタの分周値を指定します。  <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <thead> <tr> <th>MD L7</th> <th>MD L6</th> <th>MD L5</th> <th>MD L4</th> <th>MD L3</th> <th>MD L2</th> <th>MD L1</th> <th>MD L0</th> <th>設定値 (k)</th> <th>シリアル・クロック</th> </tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>x</td><td>x</td><td>x</td><td>-</td><td>設定禁止</td> </tr> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>8</td><td>f<sub>CLK</sub>/8</td> </tr> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td><td>9</td><td>f<sub>CLK</sub>/9</td> </tr> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td><td>10</td><td>f<sub>CLK</sub>/10</td> </tr> <tr> <td>⋮</td><td>⋮</td><td>⋮</td><td>⋮</td><td>⋮</td><td>⋮</td><td>⋮</td><td>⋮</td><td>⋮</td><td>⋮</td> </tr> <tr> <td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td><td>250</td><td>f<sub>CLK</sub>/250</td> </tr> <tr> <td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>1</td><td>1</td><td>251</td><td>f<sub>CLK</sub>/251</td> </tr> <tr> <td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>0</td><td>252</td><td>f<sub>CLK</sub>/252</td> </tr> <tr> <td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>1</td><td>253</td><td>f<sub>CLK</sub>/253</td> </tr> <tr> <td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>254</td><td>f<sub>CLK</sub>/254</td> </tr> <tr> <td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>255</td><td>f<sub>CLK</sub>/255</td> </tr> </tbody> </table>	MD L7	MD L6	MD L5	MD L4	MD L3	MD L2	MD L1	MD L0	設定値 (k)	シリアル・クロック	0	0	0	0	0	x	x	x	-	設定禁止	0	0	0	0	1	0	0	0	8	f <sub>CLK</sub> /8	0	0	0	0	1	0	0	1	9	f <sub>CLK</sub> /9	0	0	0	0	1	0	1	0	10	f <sub>CLK</sub> /10	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	1	1	1	1	1	0	1	0	250	f <sub>CLK</sub> /250	1	1	1	1	1	0	1	1	251	f <sub>CLK</sub> /251	1	1	1	1	1	1	0	0	252	f <sub>CLK</sub> /252	1	1	1	1	1	1	0	1	253	f <sub>CLK</sub> /253	1	1	1	1	1	1	1	0	254	f <sub>CLK</sub> /254	1	1	1	1	1	1	1	1	255	f <sub>CLK</sub> /255
MD L7	MD L6	MD L5	MD L4	MD L3	MD L2	MD L1	MD L0	設定値 (k)	シリアル・クロック																																																																																																																	
0	0	0	0	0	x	x	x	-	設定禁止																																																																																																																	
0	0	0	0	1	0	0	0	8	f <sub>CLK</sub> /8																																																																																																																	
0	0	0	0	1	0	0	1	9	f <sub>CLK</sub> /9																																																																																																																	
0	0	0	0	1	0	1	0	10	f <sub>CLK</sub> /10																																																																																																																	
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮																																																																																																																	
1	1	1	1	1	0	1	0	250	f <sub>CLK</sub> /250																																																																																																																	
1	1	1	1	1	0	1	1	251	f <sub>CLK</sub> /251																																																																																																																	
1	1	1	1	1	1	0	0	252	f <sub>CLK</sub> /252																																																																																																																	
1	1	1	1	1	1	0	1	253	f <sub>CLK</sub> /253																																																																																																																	
1	1	1	1	1	1	1	0	254	f <sub>CLK</sub> /254																																																																																																																	
1	1	1	1	1	1	1	1	255	f <sub>CLK</sub> /255																																																																																																																	

**備考**1. f<sub>CLK</sub> : CKSR0レジスタのTPS3-TPS0ビットで選択した基本クロックの周波数 [ Hz ]  
 2. k : MDL7-MDL0ビットで設定した値 ( k = 8, 9, 10, ... , 255 )  
 3. 8ビット・カウンタの出力クロックを2分周したものがボー・レートとなります。  
 4. x : 任意

## (c) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{\text{CLK}}}{2 \times k} \text{ [ bps ]}$$

$f_{\text{CLK}}$  = CKSR0レジスタのTPS3-TPS0ビットで選択した基本クロックの周波数 [ Hz ]

$k$  = BRGC0レジスタのMDL7-MDL0ビットで設定した値 ( $k = 8, 9, 10, \dots, 255$ )

## (d) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差 (\%)} = \left( \frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{目標ボー・レート (正常なボー・レート)}} - 1 \right) \times 100 \text{ [\%]}$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 基本クロックの周波数 ( $f_{\text{CLK}}$ ) = 20 MHz = 20,000,000 Hz

BRGC0レジスタのMDL7-MDL0ビットの設定値 = 01000001B ( $k = 65$ )

目標ボー・レート = 153600 bps

$$\begin{aligned} \text{ボー・レート} &= 20 \text{ M} / (2 \times 65) \\ &= 20000000 / (2 \times 65) = 153846 \text{ [ bps ]} \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (153846 / 153600 - 1) \times 100 \\ &= 0.160 \text{ [\%]} \end{aligned}$$

(3) ボー・レート設定例

表10-3 ボー・レート・ジェネレータ設定データ

ボー・レート ( bps )	f <sub>xx</sub> = 50 MHz			f <sub>xx</sub> = 40 MHz			f <sub>xx</sub> = 33 MHz			f <sub>xx</sub> = 10 MHz		
	f <sub>CLK</sub>	k	ERR	f <sub>CLK</sub>	k	ERR	f <sub>CLK</sub>	k	ERR	f <sub>CLK</sub>	k	ERR
300	f <sub>xx</sub> /2 <sup>9</sup>	163	0.15	f <sub>xx</sub> /2 <sup>10</sup>	65	0.16	f <sub>xx</sub> /2 <sup>8</sup>	215	- 0.07	f <sub>xx</sub> /2 <sup>7</sup>	130	0.16
600	f <sub>xx</sub> /2 <sup>8</sup>	163	0.15	f <sub>xx</sub> /2 <sup>9</sup>	65	0.16	f <sub>xx</sub> /2 <sup>7</sup>	215	- 0.07	f <sub>xx</sub> /2 <sup>6</sup>	130	0.16
1200	f <sub>xx</sub> /2 <sup>7</sup>	163	0.15	f <sub>xx</sub> /2 <sup>8</sup>	65	0.16	f <sub>xx</sub> /2 <sup>6</sup>	215	- 0.07	f <sub>xx</sub> /2 <sup>5</sup>	130	0.16
2400	f <sub>xx</sub> /2 <sup>6</sup>	163	0.15	f <sub>xx</sub> /2 <sup>7</sup>	65	0.16	f <sub>xx</sub> /2 <sup>5</sup>	215	- 0.07	f <sub>xx</sub> /2 <sup>4</sup>	130	0.16
4800	f <sub>xx</sub> /2 <sup>5</sup>	163	0.15	f <sub>xx</sub> /2 <sup>6</sup>	65	0.16	f <sub>xx</sub> /2 <sup>4</sup>	215	- 0.07	f <sub>xx</sub> /2 <sup>3</sup>	130	0.16
9600	f <sub>xx</sub> /2 <sup>4</sup>	163	0.15	f <sub>xx</sub> /2 <sup>5</sup>	65	0.16	f <sub>xx</sub> /2 <sup>3</sup>	215	- 0.07	f <sub>xx</sub> /2 <sup>2</sup>	130	0.16
19200	f <sub>xx</sub> /2 <sup>3</sup>	163	0.15	f <sub>xx</sub> /2 <sup>4</sup>	65	0.16	f <sub>xx</sub> /2 <sup>2</sup>	215	- 0.07	f <sub>xx</sub> /2 <sup>1</sup>	130	0.16
31250	f <sub>xx</sub> /2 <sup>3</sup>	100	0	f <sub>xx</sub> /2 <sup>3</sup>	80	0	f <sub>xx</sub> /2 <sup>2</sup>	132	0	f <sub>xx</sub> /2 <sup>1</sup>	80	0
38400	f <sub>xx</sub> /2 <sup>2</sup>	163	0.15	f <sub>xx</sub> /2 <sup>3</sup>	65	0.16	f <sub>xx</sub> /2 <sup>1</sup>	215	- 0.07	f <sub>xx</sub> /2 <sup>0</sup>	130	0.16
76800	f <sub>xx</sub> /2 <sup>1</sup>	163	0.15	f <sub>xx</sub> /2 <sup>2</sup>	65	0.16	f <sub>xx</sub> /2 <sup>1</sup>	107	0.39	f <sub>xx</sub> /2 <sup>0</sup>	65	0.16
153600	f <sub>xx</sub> /2 <sup>1</sup>	81	0.47	f <sub>xx</sub> /2 <sup>1</sup>	65	0.16	f <sub>xx</sub> /2 <sup>1</sup>	54	- 0.54	f <sub>xx</sub> /2 <sup>0</sup>	33	- 1.36
312500	f <sub>xx</sub> /2 <sup>1</sup>	40	0	f <sub>xx</sub> /2 <sup>1</sup>	32	0	f <sub>xx</sub> /2 <sup>1</sup>	26	1.54	f <sub>xx</sub> /2 <sup>0</sup>	16	0
625000	f <sub>xx</sub> /2 <sup>1</sup>	20	0	f <sub>xx</sub> /2 <sup>1</sup>	16	0	f <sub>xx</sub> /2 <sup>1</sup>	13	1.54	f <sub>xx</sub> /2 <sup>0</sup>	8	0
1250000	f <sub>xx</sub> /2 <sup>1</sup>	10	0	f <sub>xx</sub> /2 <sup>1</sup>	8	0	f <sub>xx</sub> /2 <sup>1</sup>	8	- 17.5	-	-	-
1562500	f <sub>xx</sub> /2 <sup>1</sup>	8	0	f <sub>xx</sub> /2 <sup>1</sup>	8	- 18.6	-	-	-	-	-	-

注意 基本クロック (f<sub>CLK</sub>) の許容周波数は最大25 MHzです。

- 備考 f<sub>xx</sub> : 内部システム・クロック周波数  
 f<sub>CLK</sub> : 基本クロック周波数  
 k : BRGC0レジスタのMDL7-MDL0ビットの設定値  
 ERR : ボー・レート誤差 [ % ]



(4) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

**注意** 受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図10 - 13 受信時の許容ボー・レート範囲

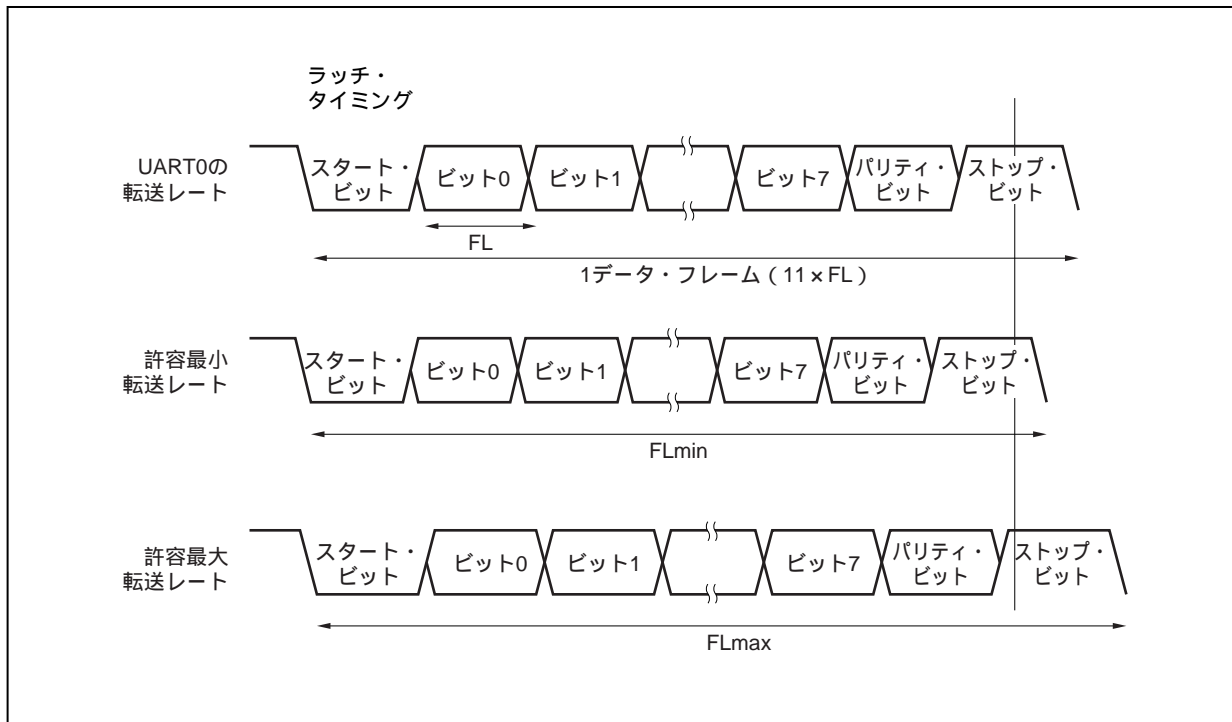


図10 - 13に示すように、スタート・ビット検出後はBRGC0レジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

- Brate : UART0のボー・レート
- k : BRGC0レジスタの設定値
- FL : 1ビット・データ長

ラッチ・タイミングのマージンを基本クロックの2クロック分とすると、許容最小転送レート（FLmin）は次のようになります。

$$FLmin = 11 \times FL - \frac{k - 2}{2k} \times FL = \frac{21k + 2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レート (BRmax) は次のようになります。

$$BR_{max} = (FL_{min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同様に、許容最大転送レート (FLmax) を求めると、次のようになります。

$$\frac{10}{11} \times FL_{max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{max} = \frac{21k-2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レート (BRmin) は次のようになります。

$$BR_{min} = (FL_{max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

前述の最小 / 最大ボー・レート値の算出式から、UART0と送信先とのボー・レートの許容誤差を求めると次のようになります。

表10 - 4 許容最大 / 最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
8	+ 3.53 %	- 3.61 %
20	+ 4.26 %	- 4.31 %
50	+ 4.56 %	- 4.58 %
100	+ 4.66 %	- 4.67 %
255	+ 4.72 %	- 4.73 %

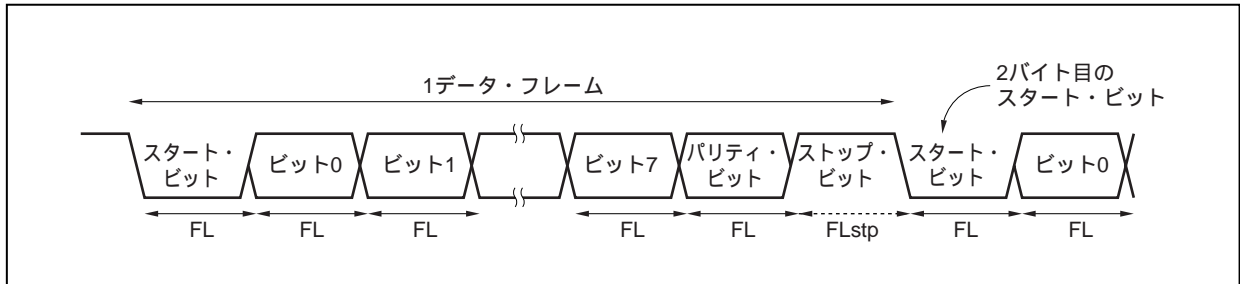
**備考1.** 受信の精度は、1フレーム・ビット数、基本クロック周波数、分周比 (k) に依存します。基本クロック周波数が高く、分周比 (k) が大きくなるほど精度は高くなります。

2. k : BRGC0レジスタの設定値

(5) 連続送信時の転送レート

連続送信する場合、ストップ・ビットから次のスタート・ビットまでの転送レートが通常より基本クロックの2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので転送結果には影響しません。

図10 - 14 連続送信時の転送レート



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数：fCLKとすると次の式が成り立ちます。

$$FLstp = FL + 2 / fCLK$$

したがって、連続送信での転送レートは次のようになります（ストップ・ビット長 = 1の場合）。

$$\text{転送レート} = 11 \times FL + (2 / fCLK)$$

10.2.7 注意事項

UART0についての注意事項を次に示します。

(1) UART0への供給クロックが停止する場合（例：IDLE，ソフトウェアSTOPモード）は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXD0端子出力も停止直前の値を保持、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はASIM0レジスタのUARTCAE0ビット = 0, RXE0ビット = 0, TXE0ビット = 0とし、回路を初期化してください。

(2) UART0は、送信バッファ・レジスタ0 (TXB0)，送信シフト・レジスタの2段バッファ構成になっており、それぞれのバッファの状態を示すステータス・フラグ( ASIF0レジスタのTXBF0, TXSF0ビット)があります。連続送信でTXBF0, TXSF0ビットを同時に読み出した場合、「10」「11」「01」と変化します。連続送信を行う場合は、次のデータをTXB0レジスタへ書き込むタイミングについて、TXBF0ビットだけを読み出して判断してください。

## 10.3 アシクロナス・シリアル・インタフェース1, 2 (UART1, UART2)

### 10.3.1 特 徴

クロック同期モード / 非同期モード選択

動作クロック

同期モード : ボー・レート・ジェネレータ / 外部クロック選択

非同期モード : ボー・レート・ジェネレータ

転送速度

600 bps-153600 bps (非同期モード,  $f_{xx} = 50$  MHz時)

4800 bps-1000000 bps (同期モード)

全二重通信 (LSBファースト)

受信バッファ・レジスタn (RXBn) 内蔵

3端子構成

TXDn : 送信データの出力端子

RXDn : 受信データの入力端子

ASCKn : 同期シリアル・クロック入出力

受信エラー検出機能

- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー

割り込みソース : 2種類

- ・受信完了割り込み (INTSRn) : 受信許可状態において, シリアル転送完了後シフト・レジスタから受信バッファ・レジスタn (RXBn) へ受信データを転送すると発生
- ・送信完了割り込み (INTSTn) : シリアル送信を行ってシフト・レジスタから送信データ (8/7ビット) をシリアル送信し終わると発生

送受信データのキャラクタ長はASIMn0レジスタで指定 (拡張ビットはASIMn1レジスタで指定)

キャラクタ長 : 7ビット, 8ビット

9ビット (拡張ビット付加時)

パリティ機能 : 奇数, 偶数, 0, なし

送信ストップ・ビット : 1, 2ビット

通信モード : 1フレーム転送または2フレーム連続転送可能

専用ボー・レート・ジェネレータ内蔵

備考1.  $n = 1, 2$

2.  $f_{xx}$  : 内部システム・クロック

### 10.3.2 構成

アシンクロナス・シリアル・インタフェース・モード・レジスタ10, 11, 20, 21 (ASIM10, ASIM11, ASIM20, ASIM21), アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1, 2 (ASIS1, ASIS2) によって, UART1, UART2を制御します。受信データは受信バッファ・レジスタ (RXB1, RXBL1, RXB2, RXBL2) に保持され, 送信データは送信シフト・レジスタ (TXS1, TXSL1, TXS2, TXSL2) に書き込みます。

アシンクロナス・シリアル・インタフェース1, 2 (UART1, UART2) は, 図10 - 15のように構成されています。

#### (1) アシンクロナス・シリアル・インタフェース・モード・レジスタ10, 11, 20, 21 (ASIM10, ASIM11, ASIM20, ASIM21)

ASIMn0, ASIMn1レジスタは, アシンクロナス・シリアル・インタフェースの動作を指定する8ビット・レジスタです ( $n = 1, 2$ )。

#### (2) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1, 2 (ASIS1 ASIS2)

ASIS1, ASIS2レジスタは, 送信ステータス・フラグ (SOTn), 受信ステータス・フラグ (SIRn), 拡張ビット許可時の9ビット目を示すビット (RB8), 受信終了時のエラー・ステータスを示す3ビットのエラー・フラグ (PEn, FEn, OVEen) で構成されるレジスタです ( $n = 1, 2$ )。

#### (3) 受信制御パリティ・チェック

ASIMn0, ASIMn1レジスタに設定された内容に従って, 受信動作を制御します。また, 受信動作時にパリティ・エラーなどのチェックも行い, エラーが検出された場合は, エラー内容に応じた値をASIS1, ASIS2レジスタにセットします。

#### (4) 2フレーム連続受信バッファ・レジスタ (RXB1, RXB2) / 受信バッファ・レジスタ (RXBL1, RXBL2)

RXBnは, 受信データを保持する16ビット (2フレーム連続受信時, 9ビット拡張データ受信時) のバッファ・レジスタで, 7, 8ビット / キャラクタの受信では上位ビットには0が格納されます。

このレジスタへの16ビット・アクセス時はRXB1, RXB2を, 下位8ビット・アクセス時はRXBL1, RXBL2を指定します。

受信許可状態中は, 受信データは1フレーム分のシフト・イン処理終了に同期して受信シフト・レジスタから受信バッファに転送されます。

また, 受信バッファへの転送 (2フレーム連続受信指定の場合には2フレーム目の受信バッファ転送) により, 受信完了割り込み要求 (INTSRn) が発生します。

#### (5) 2フレーム連続送信シフト・レジスタ (TXS1, TXS2) / 送信シフト・レジスタ (TXSL1, TXSL2)

TXSnは, 9ビット / 2フレーム連続の送信処理用シフト・レジスタで, このレジスタへのデータ書き込みにより, 送信動作が開始されます。

TXSnのデータを含む1フレームまたは2フレームの送出終了に同期して送信完了割り込み要求 (INTSTn) を発生します。

このレジスタへの16ビット・アクセスはTXS1, TXS2を, 下位8ビット・アクセス時はTXSL1, TXSL2を指定します。

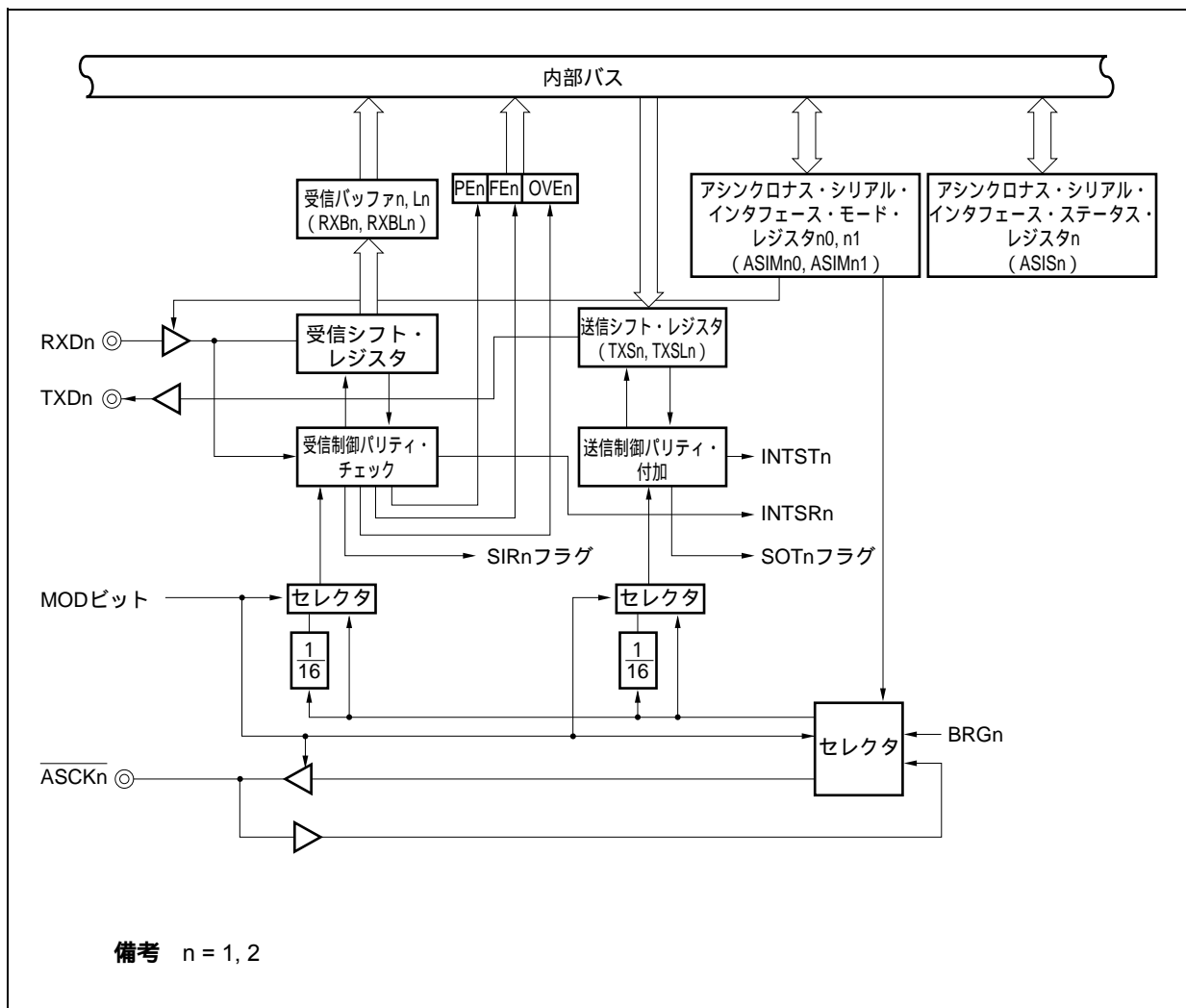
(6) 送信制御パリティ付加

ASIMn0, ASIMn1レジスタに設定された内容に従って, TXSnまたはTXSLnレジスタに書き込まれたデータにスタート・ビット, パリティ・ビット, ストップ・ビットを付加するなどして, 送信動作の制御を行います。

(7) セレクタ

シリアル・クロックのソースを選択します。

図10 - 15 アシクロナス・シリアル・インタフェース1, 2のブロック図



### 10.3.3 制御レジスタ

#### (1) アシクロナス・シリアル・インタフェース・モード・レジスタ<sub>10, 20</sub> (ASIM<sub>10, 20</sub>)

ASIM<sub>n0</sub>レジスタは、UART<sub>1</sub>, UART<sub>2</sub>の転送動作を制御する8ビットのレジスタです (n = 1, 2)。8/1ビット単位でリード/ライト可能です。

- 注意1. UART<sub>n</sub>が送受信中にASIM<sub>n0</sub>レジスタのRXEnビット以外のビット変更を行った場合は、UART<sub>n</sub>の動作は保証しません (n = 1, 2)。
2. ASIM<sub>n0</sub>レジスタのRXEnビット以外の設定は、UART<sub>n</sub>の動作停止時(RXEnビット = 0かつ送信終了時)に行ってください。また、ASIM<sub>n0</sub>レジスタのRXEnビット以外の通信モード設定を完了したあとに、ポート3モード・コントロール・レジスタ (PMC3) の変更を行ってください。
3. 同期モード時のシリアル・クロック出力は接続されたノードが互いに出力し、衝突することがないように設定してください。

	7	⑥	5	4	3	2	1	0	アドレス	初期値
ASIM10	1	RXE1	PS1	PS0	CL	SL	0	SCLS	FFFFFFA28H	81H

	7	⑥	5	4	3	2	1	0	アドレス	初期値
ASIM20	1	RXE2	PS1	PS0	CL	SL	0	SCLS	FFFFFFA48H	81H

ビット位置	ビット名	意味															
6	RXEn	受信許可状態 / 禁止状態を指定します。 0: 受信禁止 1: 受信許可															
5, 4	PS1, PS0	パリティ・ビット長を指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>PS1</th> <th>PS0</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>パリティなし, 拡張ビット動作</td> </tr> <tr> <td>0</td> <td>1</td> <td>0パリティ指定 送信側 パリティ・ビットを0にして送信 受信側 受信時にパリティ・エラーを発生しない</td> </tr> <tr> <td>1</td> <td>0</td> <td>奇数パリティ指定</td> </tr> <tr> <td>1</td> <td>1</td> <td>偶数パリティ指定</td> </tr> </tbody> </table>	PS1	PS0	動作	0	0	パリティなし, 拡張ビット動作	0	1	0パリティ指定 送信側 パリティ・ビットを0にして送信 受信側 受信時にパリティ・エラーを発生しない	1	0	奇数パリティ指定	1	1	偶数パリティ指定
PS1	PS0	動作															
0	0	パリティなし, 拡張ビット動作															
0	1	0パリティ指定 送信側 パリティ・ビットを0にして送信 受信側 受信時にパリティ・エラーを発生しない															
1	0	奇数パリティ指定															
1	1	偶数パリティ指定															
3	CL	送受信データ (1フレーム) のキャラクタ長を指定します。 0: 7ビット 1: 8ビット															
2	SL	送信データのストップ・ビット長を指定します。 0: 1ビット 1: 2ビット															
0	SCLS	シリアル・クロック・ソースの指定をします。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th rowspan="2">SCLS</th> <th colspan="2">動作</th> </tr> <tr> <th>非同期モード時</th> <th>同期モード時</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>内部ポーレート・ジェネレータ</td> <td>外部クロック入力</td> </tr> <tr> <td>1</td> <td>外部クロック入力</td> <td>内部ポーレート・ジェネレータ</td> </tr> </tbody> </table>	SCLS	動作		非同期モード時	同期モード時	0	内部ポーレート・ジェネレータ	外部クロック入力	1	外部クロック入力	内部ポーレート・ジェネレータ				
SCLS	動作																
	非同期モード時	同期モード時															
0	内部ポーレート・ジェネレータ	外部クロック入力															
1	外部クロック入力	内部ポーレート・ジェネレータ															

備考 n = 1, 2



(2) アシクロナス・シリアル・インタフェース・モード・レジスタ11, 21 (ASIM11, ASIM21)

ASIMn1レジスタは, UART1, UART2の転送モードを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
ASIM11	0	0	0	0	MOD	UMST	UMSR	EBS	FFFFFFA2AH	00H
	7	6	5	4	3	2	1	0	アドレス	初期値
ASIM21	0	0	0	0	MOD	UMST	UMSR	EBS	FFFFFFA4AH	00H

ビット位置	ビット名	意味
3	MOD	動作モード (非同期 / 同期モード) の指定をします。 0: 非同期モード 1: 同期モード
2	UMST	連続フレーム送信数の指定をします。 0: 1フレーム・データ送信 1: 2フレーム連続データ送信
1	UMSR	連続フレーム受信数の指定をします。 0: 1フレーム・データ受信 1: 2フレーム連続データ受信
0	EBS	パリティなし動作指定 (PS0 = PS1 = 0) 時の送受信データの拡張ビット動作を指定します。 0: 拡張ビット動作禁止 1: 拡張ビット動作許可  拡張ビット指定時は, 8ビットの送受信データの上位に1データ・ビットが付加され, 9ビット・データによる通信が可能になります。 拡張ビット指定は, パリティなし (ASIMn0レジスタのPS0ビット = PS1ビット = 0), かつ1フレーム・データ送信 (UMSTビット = 0) を指定した場合だけ有効になります。0パリティ / 奇数パリティ / 偶数パリティ動作を指定した場合, もしくは2フレーム連続データ送信 (UMSTビット = 1) を指定した場合, EBSビットの指定は無効になり, 拡張ビットの付加動作は行われません。 なお, 拡張ビットの付加動作 (EBSビット = 1) と2フレーム連続データ受信 (UMSRビット = 1) の同時設定は禁止します。

**(3) アシクロナス・シリアル・インタフェース・ステータス・レジスタ<sub>1,2</sub> (ASIS<sub>1</sub>, ASIS<sub>2</sub>)**

ASIS<sub>n</sub>レジスタは、UART<sub>n</sub>の送信ステータス・フラグ (SOT<sub>n</sub>)、受信ステータス・フラグ (SIR<sub>n</sub>)、拡張ビット許可時の9ビット目を示すビット (RB8)、受信終了時のエラー・ステータスを示す3ビットのエラー・フラグ (PE<sub>n</sub>, FE<sub>n</sub>, OVE<sub>n</sub>)で構成されるレジスタです (n = 1, 2)。

受信エラーを示すステータス・フラグは、常に最も新しく発生したエラーの状態を示します。すなわち、受信データの読み出し前に複数回の同一エラーが発生した場合、最後に発生したエラーの状態だけ保持しています。

受信完了割り込み (INTSR<sub>n</sub>) ごとにASIS<sub>n</sub>レジスタを読み出したあと、受信バッファ (RXB<sub>n</sub>またはRXBL<sub>n</sub>)を読み出してください。受信バッファ (RXB<sub>n</sub>またはRXBL<sub>n</sub>)を読み出すことによりエラー・フラグはクリアされます。

また、受信エラーが発生した場合も、受信バッファ (RXB<sub>n</sub>またはRXBL<sub>n</sub>)を読み出すことによりエラー・フラグをクリアしてください。

8/1ビット単位でリードだけ可能です。

	⑦	⑥	5	4	3	②	①	①	アドレス	初期値
ASIS1	SOT1	SIR1	0	RB8	0	PE1	FE1	OVE1	FFFFFFA2CH	00H

	⑦	⑥	5	4	3	②	①	①	アドレス	初期値
ASIS2	SOT2	SIR2	0	RB8	0	PE2	FE2	OVE2	FFFFFFA4CH	00H

ビット位置	ビット名	意味
7	SOTn	送信動作状態を示すステータス・フラグです。 0: 送信終了タイミング (INTSTn発生時) 1: 送信状態 <sup>※</sup> を示します。  <b>注</b> 送信状態とは、送信レジスタへの書き込み後、次の送信タイミングから指定ストップ・ビット分送出するまでになります。2フレーム連続送信時は2フレーム目のストップ・ビット分送出までになります。
6	SIRn	受信動作状態を示すステータス・フラグです。 0: 受信終了タイミング (INTSRn発生時) 1: 受信状態 <sup>※</sup> を示します。  <b>注</b> 受信状態とは、スタート・ビット検出タイミングからストップ・ビット検出タイミングまでになります。
4	RB8	9ビット拡張フォーマット指定時 (ASIMn1レジスタのEBSビット = 1) における受信データ拡張ビット (1ビット) の内容を示します。
2	PEn	パリティ・エラーを示すステータス・フラグです。 0: 受信バッファからのデータ読み出し処理 1: 送信パリティと受信パリティが一致しないとき  <b>注意</b> ASIMn0レジスタのPS1, PS0ビットの設定値により、パリティなし、または0パリティを指定した場合はパリティ・エラーは発生しません。
1	FEEn	フレーミング・エラーを示すステータス・フラグです。 0: 受信バッファからのデータ読み出し処理 1: ストップ・ビットが検出されないとき
0	OVEn	オーバラン・エラーを示すステータス・フラグです。 0: 受信バッファからの受信データ読み出し処理 1: 受信バッファから受信データを引き取る前に、UARTnが次の受信処理を完了したとき  なお、1フレームの受信ごとに受信シフト・レジスタの内容が受信バッファ (RXBn, RXBLn) に転送される構成のため、オーバラン・エラーが発生したときには、受信バッファ (RXBn, RXBLn) に次の受信データが上書きされ、1回前の受信データは破棄されます。

備考 n = 1, 2

(4) 2フレーム連続受信用バッファ・レジスタ1, 2 (RXB1, RXB2) / 受信バッファ・レジスタ L1, L2 (RXBL1, RXBL2)

RXBnレジスタは、受信データを保持する16ビット（2フレーム連続受信時（ASIMn1レジスタのUMSRビット = 1）、9ビット拡張データ受信時（ASIMn1レジスタのEBSビット = 1））のバッファ・レジスタで、7, 8ビット/キャラクタの受信では上位ビットには0が格納されます（n = 1, 2）。

このレジスタへの16ビット・アクセス時はRXBnを、下位8ビット・アクセス時はRXBLnを指定します。

受信許可状態中は、受信データは1フレーム分のシフト・イン処理終了に同期して受信シフト・レジスタから受信バッファに転送されます。

また、受信バッファへの転送（2フレーム連続受信指定の場合には2フレーム目に受信バッファ転送）により、受信完了割り込み要求（INTSRn）が発生します。

受信禁止状態中は、1フレーム分のシフト・イン処理が終了しても受信バッファへの転送処理は行われず、受信バッファの内容は保持されます。

また、受信完了割り込み要求も発生しません。

RXBnレジスタは16ビット単位で、RXBLnは8ビット単位でリードだけ可能です。

[ 2フレーム連続受信用バッファ・レジスタ1 ]

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
RXB1	RXB15	RXB14	RXB13	RXB12	RXB11	RXB10	RXB9	RXB8	RXB7	RXB6	RXB5	RXB4	RXB3	RXB2	RXB1	RXB0	FFFFFFA20H	不定

[ 受信バッファ・レジスタL1 ]

	7	6	5	4	3	2	1	0	アドレス	初期値
RXBL1	RXB7	RXB6	RXB5	RXB4	RXB3	RXB2	RXB1	RXB0	FFFFFFA22H	不定

[ 2フレーム連続受信用バッファ・レジスタ2 ]

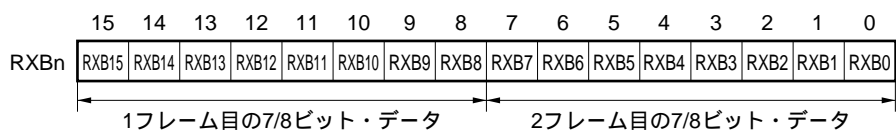
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
RXB2	RXB15	RXB14	RXB13	RXB12	RXB11	RXB10	RXB9	RXB8	RXB7	RXB6	RXB5	RXB4	RXB3	RXB2	RXB1	RXB0	FFFFFFA40H	不定

[ 受信バッファ・レジスタL2 ]

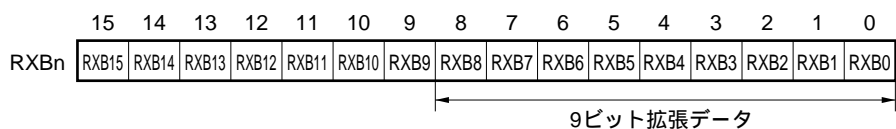
	7	6	5	4	3	2	1	0	アドレス	初期値
RXBL2	RXB7	RXB6	RXB5	RXB4	RXB3	RXB2	RXB1	RXB0	FFFFFFA42H	不定

ビット位置	ビット名	意味
15-0	RXB15-RXB0	受信データを格納しています。 RXBnレジスタは、8ビット/キャラクタの受信では0が読めます。9ビット/キャラクタ受信で拡張ビット設定時、受信バッファへの格納と同時に拡張ビット（RXB8）をASISnレジスタのRB8に格納します。 RXBLnレジスタのRXB7ビットは7ビット/キャラクタの受信では0が読めます。

(a) 2フレーム連続受信設定時



(b) 9ビット拡張受信設定時



9ビット拡張設定時には、受信バッファへの格納と同時に拡張ビット（RXB8）をASISnレジスタのRB8ビットに格納します。

(c) 注意事項

2フレーム連続受信時、オーバラン・エラーが発生したときの動作

・正常受信時

2フレーム目受信終了で受信完了割り込み (INTSRn) 発生, エラー発生せず。



・受信処理を行う前に3フレーム目を受信開始

2フレーム目受信終了で受信完了割り込み (INTSRn) 発生, エラー発生せず。



3フレーム目受信終了時, 受信完了割り込み発生せず, エラー発生。



ASISnレジスタのOVer = 1となります。

・受信処理を行う前に3フレーム目, 4フレーム目を受信開始

2フレーム目受信終了で受信完了割り込み (INTSRn) 発生, エラー発生せず。



3フレーム目受信終了時, 受信完了割り込み発生せず, エラー発生。



ASISnレジスタのOVer = 1となります。

4フレーム目受信終了時, 受信完了割り込み (INTSRn) 発生, エラー発生せず。



ASISnレジスタのOVer = 1のままです。

・受信処理を行う前に3フレーム目を受信開始し, 受信処理を行った後に4フレーム目を受信開始

2フレーム目受信終了で受信完了割り込み (INTSRn) 発生, エラー発生せず。



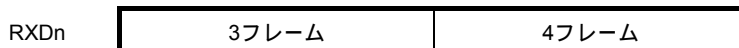
3フレーム目受信終了時, 受信完了割り込み発生せず, エラー発生。



ASISnレジスタのOVer = 1となります。

受信処理でOVerフラグは“0”となります。

4フレーム目受信終了時, 受信完了割り込み (INTSRn) 発生, エラー発生せず。



エラー発生なし。

(5)2フレーム連続送信用シフト・レジスタ1, 2(TXS1, TXS2) / 送信シフト・レジスタL1, L2(TXSL1, TXSL2)

TXSnレジスタは、9ビット / 2フレーム連続の送信処理用シフト・レジスタで、このレジスタへのデータ書き込みにより、送信動作が開始されます (n = 1, 2)。

TXSnのデータを含む1フレームまたは2フレームの送出終了に同期して送信完了割り込み要求 (INTSTn) を発生します。

このレジスタへの16ビット・アクセス時はTXSnを、下位8ビット・アクセス時はTXSLnを指定します。

TXSnレジスタは16ビット単位で、TXSLnは8ビット単位でライトだけ可能です。

**注意** TXSn, TXSLnはリード可能ですが、シフト・クロックでシフトして行きますので、リードした場合のデータの保証はできません。

[ 2フレーム連続送信用シフト・レジスタ1 ]

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TXS1	TXS15	TXS14	TXS13	TXS12	TXS11	TXS10	TXS9	TXS8	TXS7	TXS6	TXS5	TXS4	TXS3	TXS2	TXS1	TXS0	FFFFFFA24H	不定

[ 送信シフト・レジスタL1 ]

	7	6	5	4	3	2	1	0	アドレス	初期値
TXSL1	TXS7	TXS6	TXS5	TXS4	TXS3	TXS2	TXS1	TXS0	FFFFFFA26H	不定

[ 2フレーム連続送信用シフト・レジスタ2 ]

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TXS2	TXS15	TXS14	TXS13	TXS12	TXS11	TXS10	TXS9	TXS8	TXS7	TXS6	TXS5	TXS4	TXS3	TXS2	TXS1	TXS0	FFFFFFA44H	不定

[ 送信シフト・レジスタL2 ]

	7	6	5	4	3	2	1	0	アドレス	初期値
TXSL2	TXS7	TXS6	TXS5	TXS4	TXS3	TXS2	TXS1	TXS0	FFFFFFA46H	不定

ビット位置	ビット名	意味
15-0	TXB15-TXB0	送信データを書き込みます。

### 10.3.4 割り込み要求

UARTnからは次の2種類の割り込み要求を発生します ( $n = 1, 2$ )。

- ・ 受信完了割り込み (INTSRn)
- ・ 送信完了割り込み (INTSTn)

これら2種類の割り込み要求のデフォルト優先順位は受信完了割り込みが高く、送信完了割り込みが低くなります。

表10-5 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信完了	1
送信完了	2

#### (1) 受信完了割り込み (INTSRn)

受信許可状態中で、受信シフト・レジスタにデータがシフト・インされ、受信バッファに転送されると受信完了割り込み (INTSRn) を発生します。

受信完了割り込み要求 (INTSRn) は、ストップ・ビットのサンプリング後に発生します。また、受信完了割り込み要求 (INTSRn) はエラー検出時にも発生します。

受信禁止状態中は、受信完了割り込みは発生しません。

**注意** 受信完了割り込み要求 (INTSRn) は、受信データの最終ビット (ストップ・ビット) をサンプリングしたあとに出力されます。

#### (2) 送信完了割り込み (INTSTn)

UARTnは送信バッファを持たないため、送信シフト・レジスタ (TXSn, TXSLn) から7ビット/8ビットのキャラクタを含む1フレーム分または2フレーム分のデータおよび9ビット・キャラクタのデータがシフト・アウトされると送信完了割り込み要求 (INTSTn) を発生します。



### 10.3.5 動作

#### (1) データ・フォーマット

全二重シリアル・データの送受信を行います。

送受信データのフォーマットは図10 - 16に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。2データ・フレーム転送設定の場合には、この1データ・フレームの構成を連続した構成となります。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ10, 20 (ASIM10, ASIM20) によって行います。フレーム数の指定、拡張ビットの指定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ11, 21 (ASIM11, ASIM21) によって行います。

また、データはLSBファーストで転送します。

図10 - 16 アシンクロナス・シリアル・インタフェースの送受信データのフォーマット

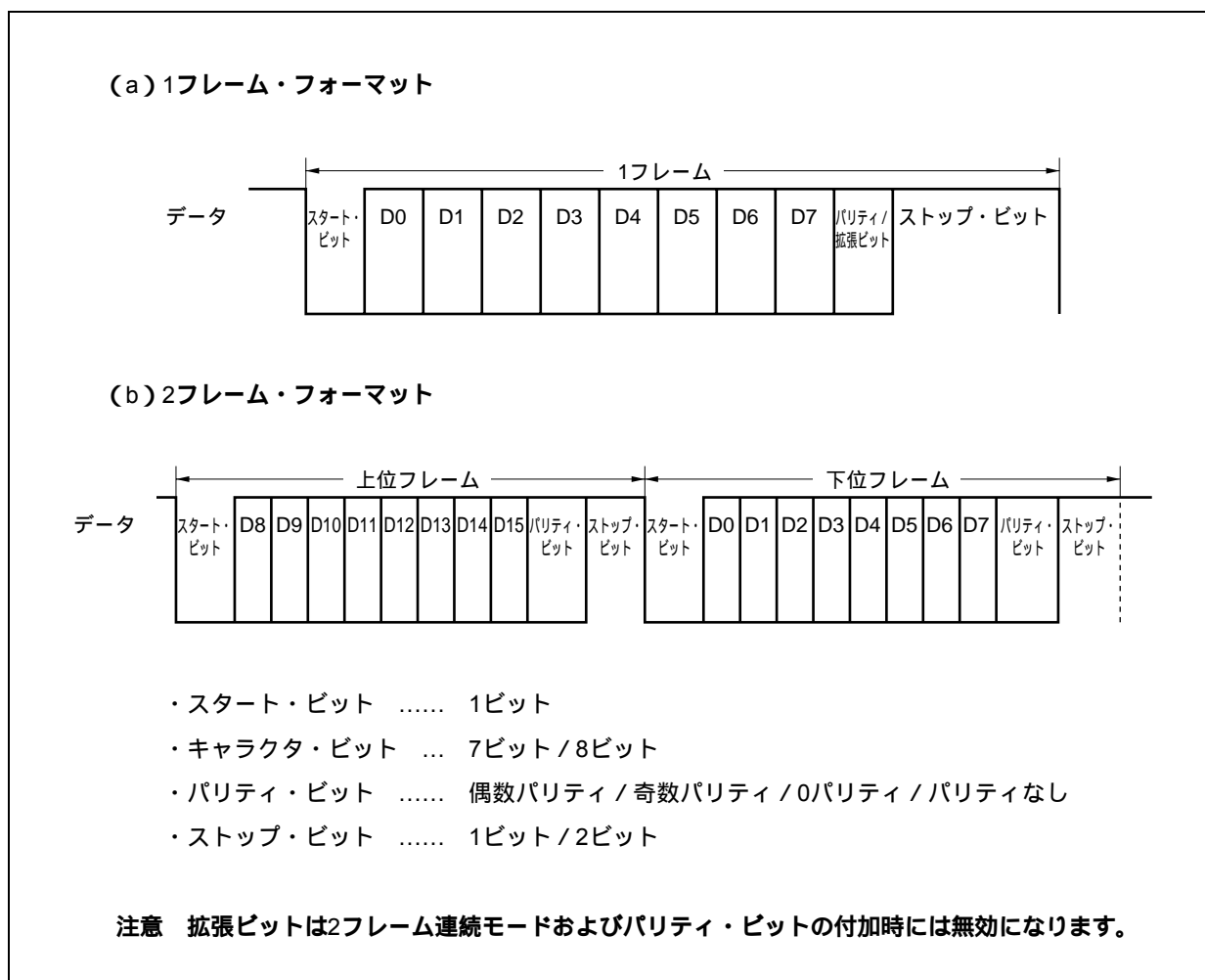


表10 - 6 ASIMn0, ASIMn1レジスタの設定とデータ・フォーマット

ASIMn0, ASIMn1レジスタの設定					データ・フォーマット				
CLビット	PS1ビット	PS0ビット	SLビット	EBSビット	D0-D6	D7	D8	D9	D10
0	0	0	0	0	DATA	ストップ・ビット	-	-	-
0	PS1 = PS0 = 0以外				DATA	パリティ・ビット	ストップ・ビット	-	-
1	0	0			DATA	DATA	ストップ・ビット	-	-
1	PS1 = PS0 = 0以外				DATA	DATA	パリティ・ビット	ストップ・ビット	-
0	0	0	1	0	DATA	ストップ・ビット	ストップ・ビット	-	-
0	PS1 = PS0 = 0以外				DATA	パリティ・ビット	ストップ・ビット	ストップ・ビット	-
1	0	0			DATA	DATA	ストップ・ビット	ストップ・ビット	-
1	PS1 = PS0 = 0以外				DATA	DATA	パリティ・ビット	ストップ・ビット	ストップ・ビット
0	0	0	0	1	DATA	ストップ・ビット	-	-	-
0	PS1 = PS0 = 0以外				DATA	パリティ・ビット	ストップ・ビット	-	-
1	0	0			DATA	DATA	DATA	ストップ・ビット	-
1	PS1 = PS0 = 0以外				DATA	DATA	パリティ・ビット	ストップ・ビット	-
0	0	0	1	1	DATA	ストップ・ビット	ストップ・ビット	-	-
0	PS1 = PS0 = 0以外				DATA	パリティ・ビット	ストップ・ビット	ストップ・ビット	-
1	0	0			DATA	DATA	DATA	ストップ・ビット	ストップ・ビット
1	PS1 = PS0 = 0以外				DATA	DATA	パリティ・ビット	ストップ・ビット	ストップ・ビット

## (2) 送信動作

2フレーム連続送信用シフト・レジスタ1, 2 (TXS1, TXS2) / 送信シフト・レジスタL1, L2 (TXSL1, TXSL2) にデータを書き込むことにより送信動作が起動されます。

データ書き込み後、次のシフト・タイミングからスタート・ビットを送信します。

なお、UARTnにはCTS (送信許可信号) 入力端子がないので、相手側が受信許可状態かを確認するときはポートを使用してください (n = 1, 2)。

### (a) 送信動作の起動

2フレーム連続送信用シフト・レジスタ1, 2 (TXS1, TXS2) / 送信シフト・レジスタL1, L2 (TXSL1, TXSL2) に送信データを書き込むと送信動作が起動します。その後、LSBから順にTXDn端子にデータを出力します (スタート・ビットから順に送信転送されます)。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

### (b) 送信割り込み要求

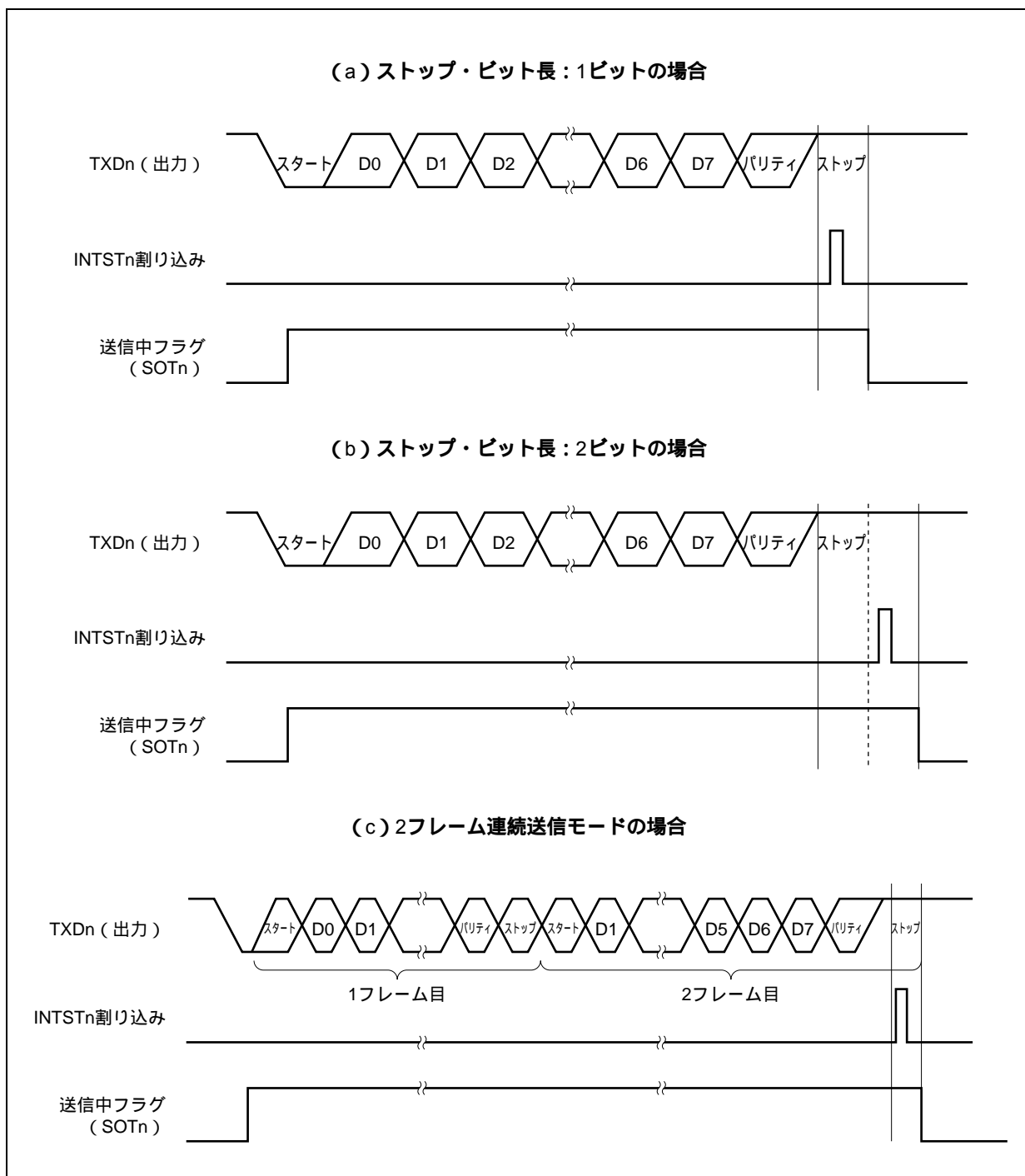
1フレーム分または2フレーム分のデータの送達が終了し、送信シフト・レジスタが空になると送信完了割り込み要求 (INTSTn) を発生させます。ストップ・ビット長の指定により、INTSTn割り込みの発生タイミングが異なります。INTSTn割り込みは、最後のストップ・ビット出力と同時に発生します。

次に送信するデータをTXSn/TXSLnレジスタに書き込むまで、送信動作は中断します。

INTSTn割り込みの発生タイミングを図10 - 17に示します。

- 注意1.** 通常、送信シフト・レジスタが空になったときに送信完了割り込み (INTSTn) が発生します。しかし、 $\overline{\text{RESET}}$ 入力により、送信シフト・レジスタが空になった場合、送信完了割り込み (INTSTn) は発生しません。
2. INTSTnが発生するまでの送信動作中は、TXSnまたはTXSLnレジスタへデータを書き込みません。また、書き込んだ場合でも、送信動作に影響は受けません。

図10 - 17 アシクロナス・シリアル・インタフェース送信完了割り込みタイミング



(3) 3フレーム以上の連続送信

UARTnでは、1フレーム / 2フレーム送信の機能がありますが、次に示す方法で送信を行うと3フレーム以上の連続送信ができます (n = 1, 2)。

(a) 3フレーム連続送信の方法 (ストップ・ビットが1ビット (SLビット = 0) の場合)

送信完了割り込み要求 (INTSTn) が発生してから最後のストップ・ビットを出力する  $4 \times 2/f_{xx}$  の手前までに、送信データをTXSn/TXSLnレジスタに書き込むことで3フレーム連続送信ができます。

INTSTn割り込みは、ストップ・ビット送出開始から  $2/f_{xx}$  後にハイ・レベルになり、さらに  $2/f_{xx}$  後にロウ・レベルに戻ります。TXSn/TXSLnに書き込み可能となるのはINTSTn割り込みが立ち下がってからとなります。したがって、INTSTn割り込み発生から送信データ書き込み完了までの時間 (t) の計算式は次のようになります。

$$t = (\text{ストップ・ビットの1ビットあたりの時間}) - (2 \times 2/f_{xx} + 4 \times 2/f_{xx})$$

$f_{xx}$  : 内部システム・クロック

**注意**  $4 \times 2/f_{xx}$  は、実際の動作可能なクロック数の倍のマージンを採っています。

**例** カウント・クロック周波数 = 32 MHz = 32,000,000 Hz  
同期モード時の目標ボー・レート = 9600 bps

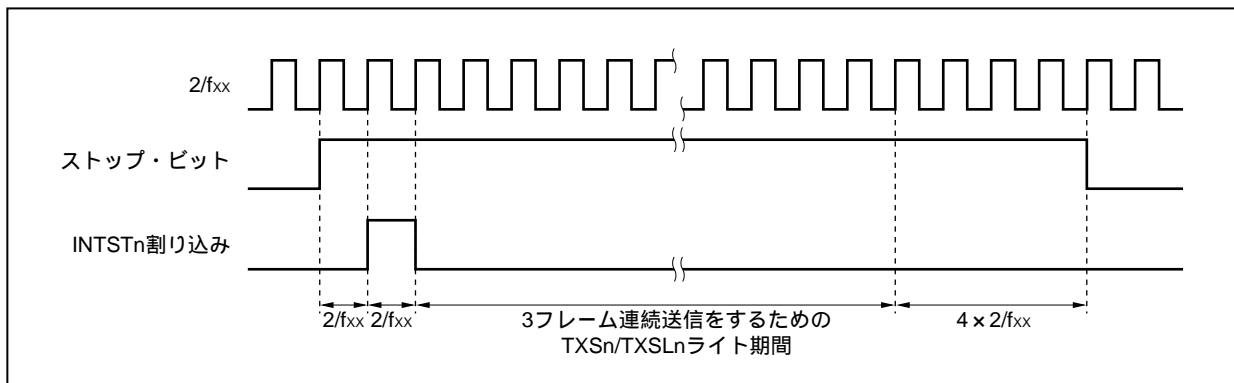
$$\begin{aligned} t &= (1/9615.385) - ((4 + 8) / 32,000,000) \\ &= 104.000 - 0.375 \\ &= 103.625 [\mu s] \end{aligned}$$

INTSTn割り込み発生後 103  $\mu$ s 以内に送信データをTXSn/TXSLnに書き込んでください。

ただし、INTSTn割り込みの優先順位、割り込み処理時間によってTXSn/TXSLnへの書き込みが遅れる可能性があるため、INTSTn割り込み発生から送信データ書き込み完了までの時間は十分に余裕を取ってください。TXSn/TXSLnへの書き込みが遅れて連続送信に間に合わなかった場合は、1ビット分のハイ・レベルを送信します。

なお、ストップ・ビットが2ビット (SLビット = 1) の場合は、2回目のストップ・ビット出力時にINTSTn割り込みが発生します。

図10 - 18 3フレーム以上の連続送信 (SLビット = 0の場合)



#### (4) 受信動作

ASIMn0レジスタのRXEnビット = 1にすることにより、受信待ち状態になります (n = 1, 2)。受信動作を開始するには、まず、スタート・ビットの検出を行います。RXDn端子のサンプリングを行うことで、スタート・ビットの検出を行います。受信動作を開始すると、設定されたボー・レートにあわせて、シリアル・データを順に受信シフト・レジスタに格納していきます。2フレーム分または1フレーム分のRXBn/RXBLnのデータ受信が終了するごとに受信完了割り込み (INTSRn) が発生します。この割り込み処理で受信バッファ (RXBn/RXBLn) からメモリに受信データを転送します。

##### (a) 受信許可状態

受信動作はASIMn0レジスタのRXEnビットをセット(1)することにより、受信許可状態となります。

- ・ RXEn = 1 : 受信許可状態
- ・ RXEn = 0 : 受信禁止状態

なお、受信禁止状態では受信ハードウェアは初期状態で待機します。このとき、受信完了割り込みは発生せず、受信バッファの内容は保持されます。

##### (b) 受信動作の起動

受信動作はスタート・ビットの検出により起動されます。

###### ・非同期モード時 (ASIMn1レジスタのMODビット = 0)

ボー・レート・ジェネレータからのシリアル・クロックでRXDn端子をサンプリングします。RXDn端子の立ち下がりエッジを検出してから8シリアル・クロック出力後、再びRXDn端子をサンプリングします。このときロウ・レベルを確認するとスタート・ビットと認識して受信処理動作に移り、以降16シリアル・クロック出力単位にRXDn端子入力をサンプリングします。RXDn端子の立ち下がりエッジを検出してから8シリアル・クロック後のサンプリングでハイ・レベルを確認した場合、この立ち下がりエッジをスタート・ビットとは認めません。サンプル・タイミング発生用のシリアル・クロック・カウンタは初期化されて動作を停止し、次の立ち下がりエッジ入力を待ちます。

###### ・同期モード時 (ASIMn1レジスタのMODビット = 1)

ボー・レート・ジェネレータからのシリアル・クロックまたはシリアル・クロック入出力の立ち上がりでRXDn端子をサンプリングします。このときRXDn端子がロウ・レベルの場合、スタート・ビットと認識して受動処理動作に移ります。

なお、受信途中にロウ・レベル固定で受信データが中断された場合には、その受信データの受信動作 (エラー検出も含む) は完了して受信完了割り込みは発生します。しかし、RXDラインがロウ・レベル固定であっても、次の受信動作は起動されません (スタート・ビットの検出は行われません)。

また、受信動作を再開するときには必ずハイ・レベルにしてください。ハイ・レベルにしないとスタート・ビットの検出位置が不定になり、正しい受信動作ができません。

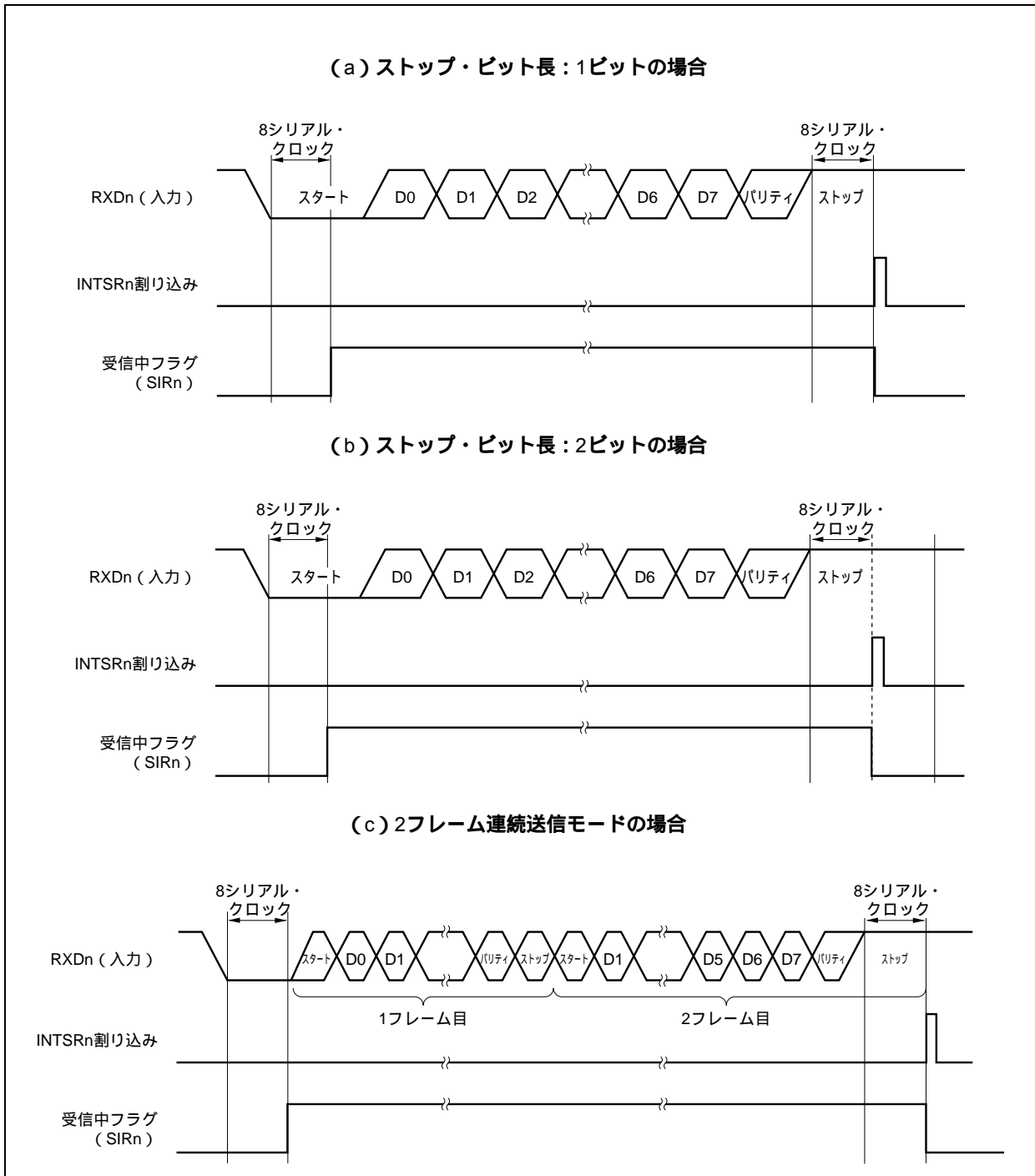
**(c) 受信完了割り込み要求**

ASIMn0レジスタのRXEnビット = 1のとき、1フレーム分のデータの受信が完了(ストップ・ビットの検出)すると、シフト・レジスタ内の受信データがRXBn/RXBLnに転送され、1フレーム分または2フレーム分のRXBn/RXBLn転送後、受信完了割り込み要求 (INTSRn) を発生します。

また、受信完了割り込みはエラー検出時にも発生します。

RXEnビット = 0 (受信禁止) では、受信完了割り込みは発生しません。

図10 - 19 アシクロナス・シリアル・インタフェース受信完了割り込みタイミング



- 注意1. 受信エラー発生時にも，2フレーム連続受信用バッファ・レジスタ<sub>n</sub> (RXB<sub>n</sub>) / 受信バッファ・レジスタ<sub>n</sub> (RXBL<sub>n</sub>) を必ず読み出してください。RXB<sub>n</sub>/RXBL<sub>n</sub>レジスタを読み出さないと，次のデータ受信にオーバーラン・エラーが発生し，いつまでも受信エラーの状態が続くことになります。
2. 受信は常に「ストップ・ビット長 = 1ビット」として動作します。2ビット目のストップ・ビットは，無視されます。



(5) 受信エラー

受信動作に同期して、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類のエラー・フラグが影響を受けます。データ受信の結果、ASISnレジスタのPEn, FEn, OVENフラグがセット(1)されると同時に、受信完了割り込み要求(INTSRn)を発生します。

INTSRn割り込み処理内で、ASISnレジスタのPEn, FEn, OVENフラグの内容を読み出すことによって、受信時に発生したエラーの内容を検出することができます。

ASISnレジスタの内容は、ASISnレジスタの読み出しによってリセット(0)されます(次の受信データにエラーがあれば、そのエラー・フラグがセット(1)されます)。

表10-7 受信エラーの要因

エラー・フラグ	受信エラー	要 因
PEn	パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
FEn	フレーミング・エラー	ストップ・ビットが検出されない
OVEn	オーバラン・エラー	受信バッファからデータを読み出す前に次のデータの受信を完了

(6) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のものを使用します。

(a) 偶数パリティ

送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に、値が“1”のビットの数が奇数個：1
- ・送信データ中に、値が“1”のビットの数が偶数個：0

受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

**(b) 奇数パリティ****送信時**

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に、値が“1”のビットの数が奇数個：0
- ・送信データ中に、値が“1”のビットの数が偶数個：1

**受信時**

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

**(c) 0パリティ**

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

**(d) パリティなし**

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

### 10.3.6 同期モード

シリアル・クロックの入出力端子である $\overline{\text{ASCKn}}$ 端子による同期モードの設定が可能です ( $n = 1, 2$ )。

同期モードはASIMn1レジスタのMODビットで設定し、同期するシリアル・クロックをASIMn0レジスタのSCLSビットで選択します。

同期モード時、SCLSビットはデフォルトではSCLSビット = 0で外部クロック入力ですが、そのほかの設定はシリアル・クロック出力となりますので、設定時は接続ノード間で出力が衝突しないように注意してください。

同期モード時は、シリアル・クロックの立ち下がりが送信タイミング、立ち上がりが受信タイミングとなりますが、送信データはシリアル・クロックの1システム・クロック遅れで出力されます(外部クロック同期モード時は最大2.5システム・クロック遅れになります)。

図10 - 20 同期モード時の送受信タイミング

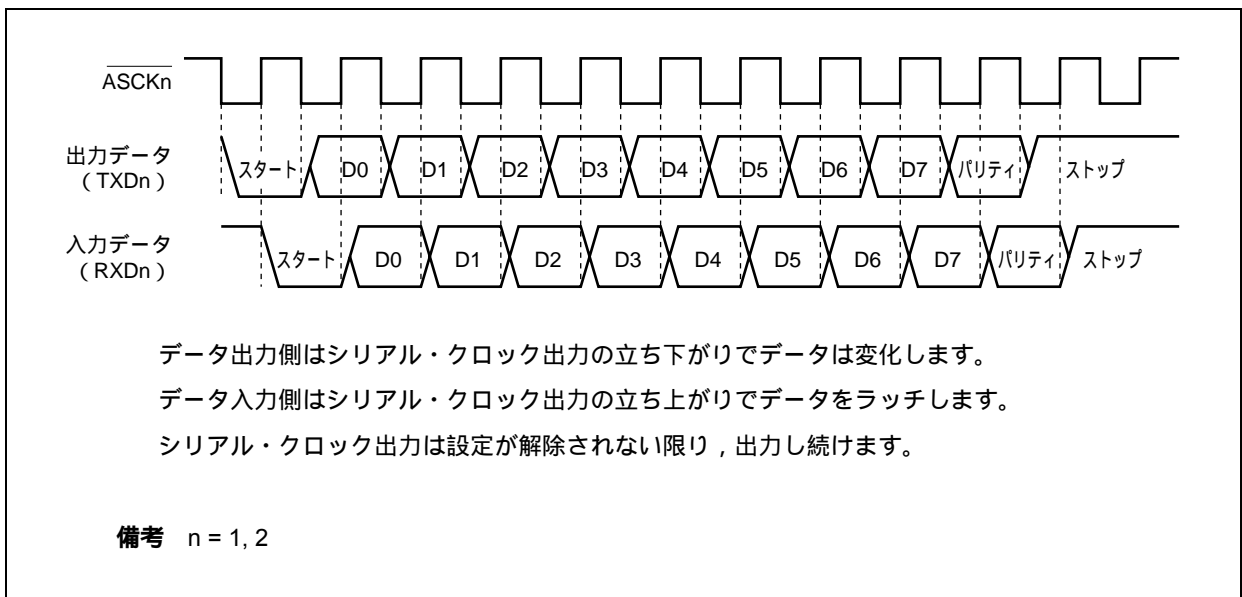


図10 - 21 同期モード時の送受信タイミング・チャート (1/3)

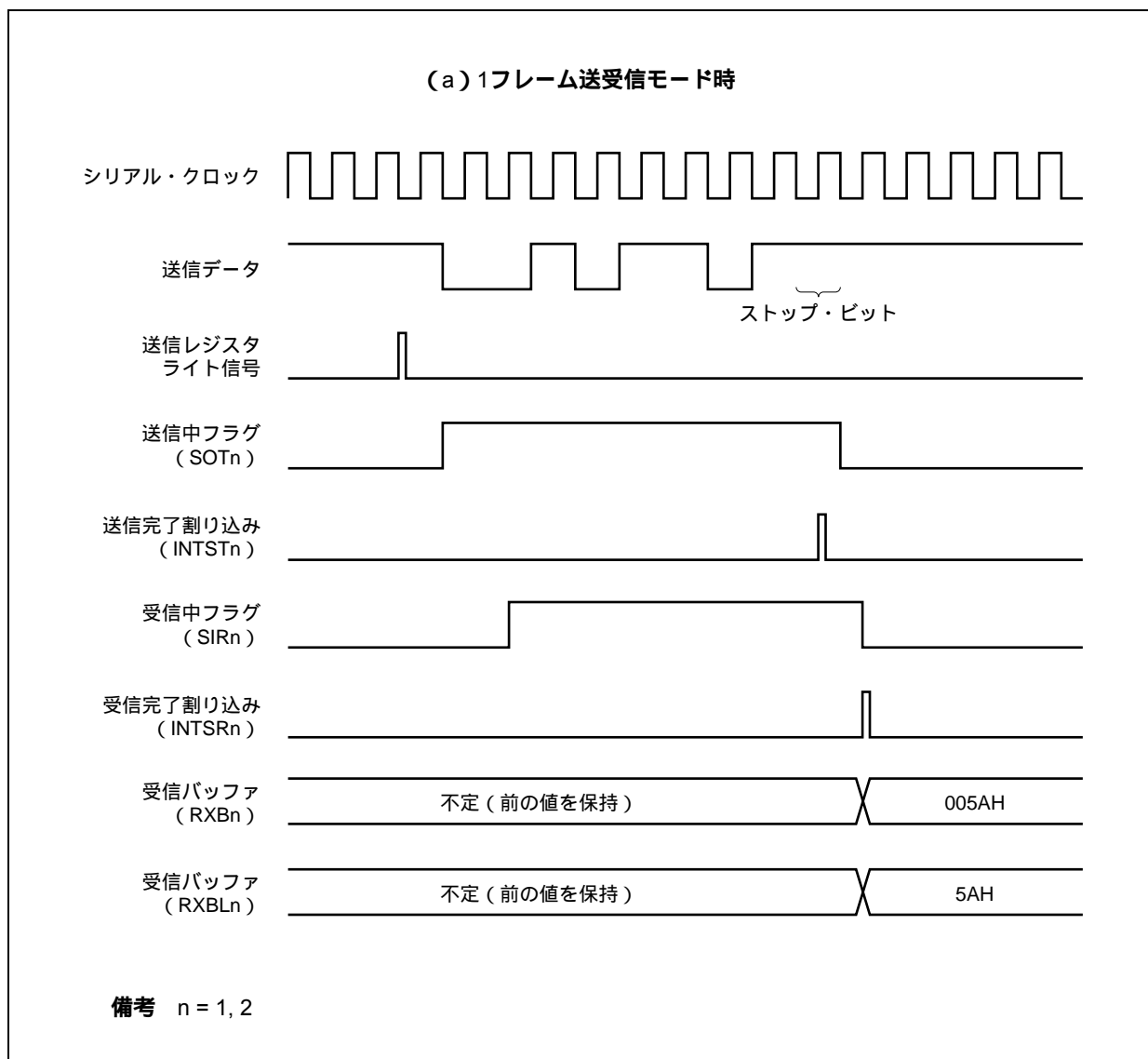


図10 - 21 同期モード時の送受信タイミング・チャート (2/3)

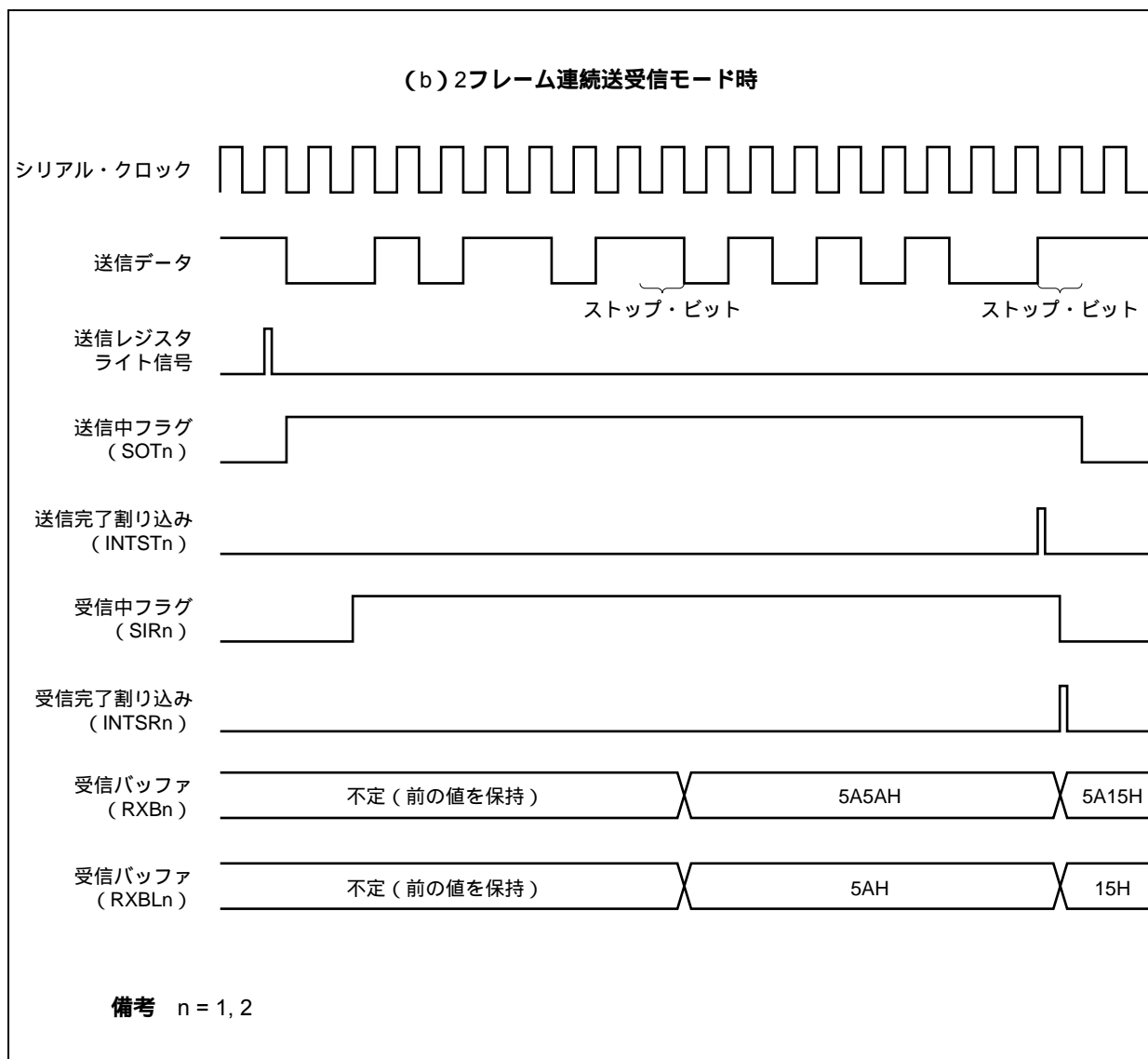
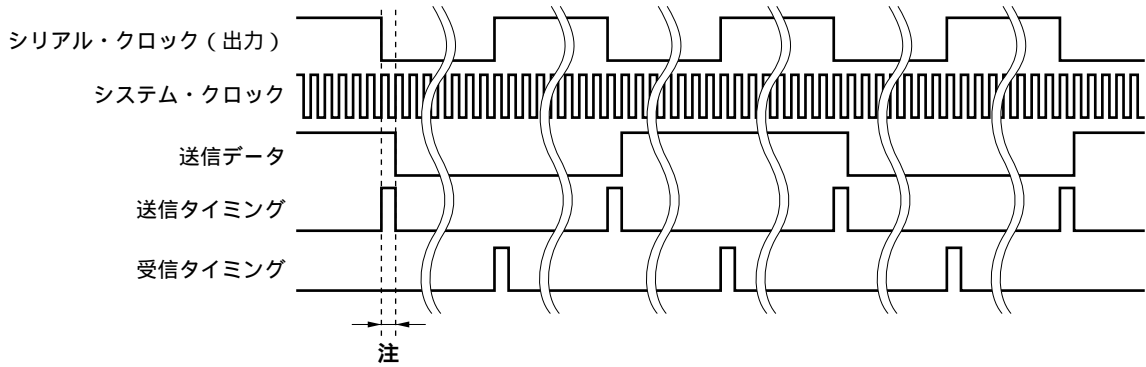


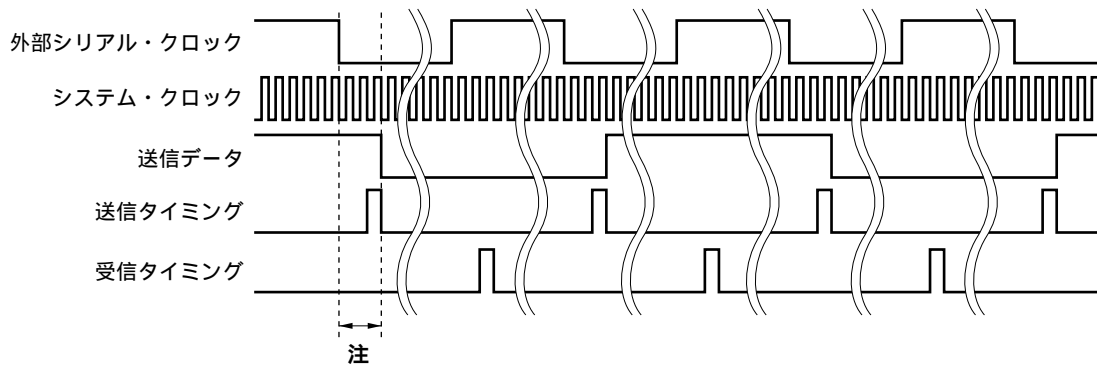
図10 - 21 同期モード時の送受信タイミング・チャート (3/3)

(c) シリアル・クロック出力時の送受信タイミングおよび送信データのタイミング



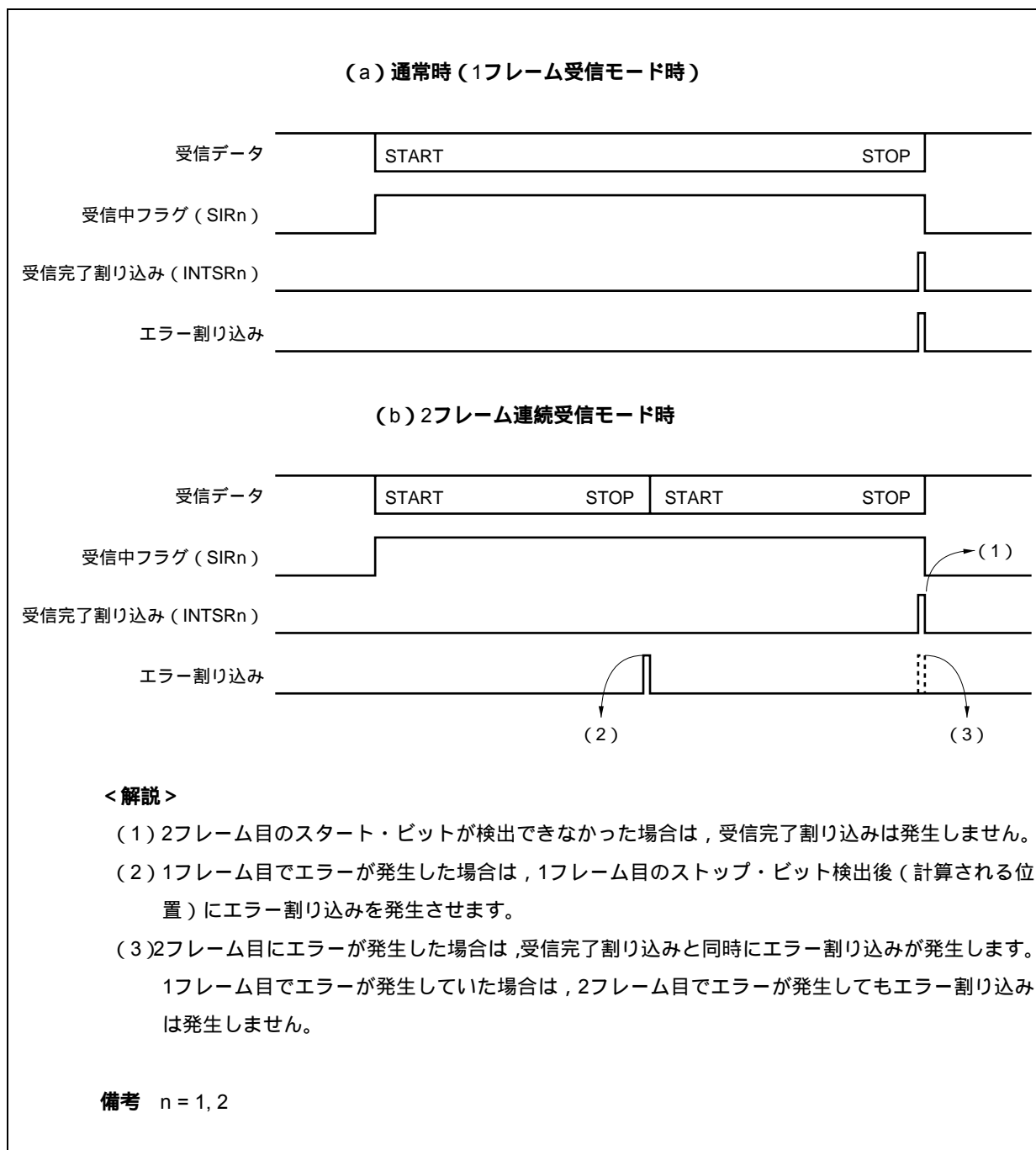
注 送信データはシリアル・クロックより1システム・クロック遅れます。

(d) 外部シリアル・クロックを使用したときの送受信タイミングおよび送信データのタイミング



注 外部シリアル・クロック同期時は外部シリアル・クロックを内部に取り込む際に内部システム・クロックと同期を取るため、1システム・クロックから最大2.5システム・クロック遅れることがあります。

図10 - 22 同期モード受信時の受信完了割り込みおよびエラー割り込み発生タイミング



## 10.3.7 専用ポー・レート・ジェネレータ1, 2 (BRG1, BRG2)

## (1) ポー・レート・ジェネレータ1, 2 (BRG1, BRG2) の構成

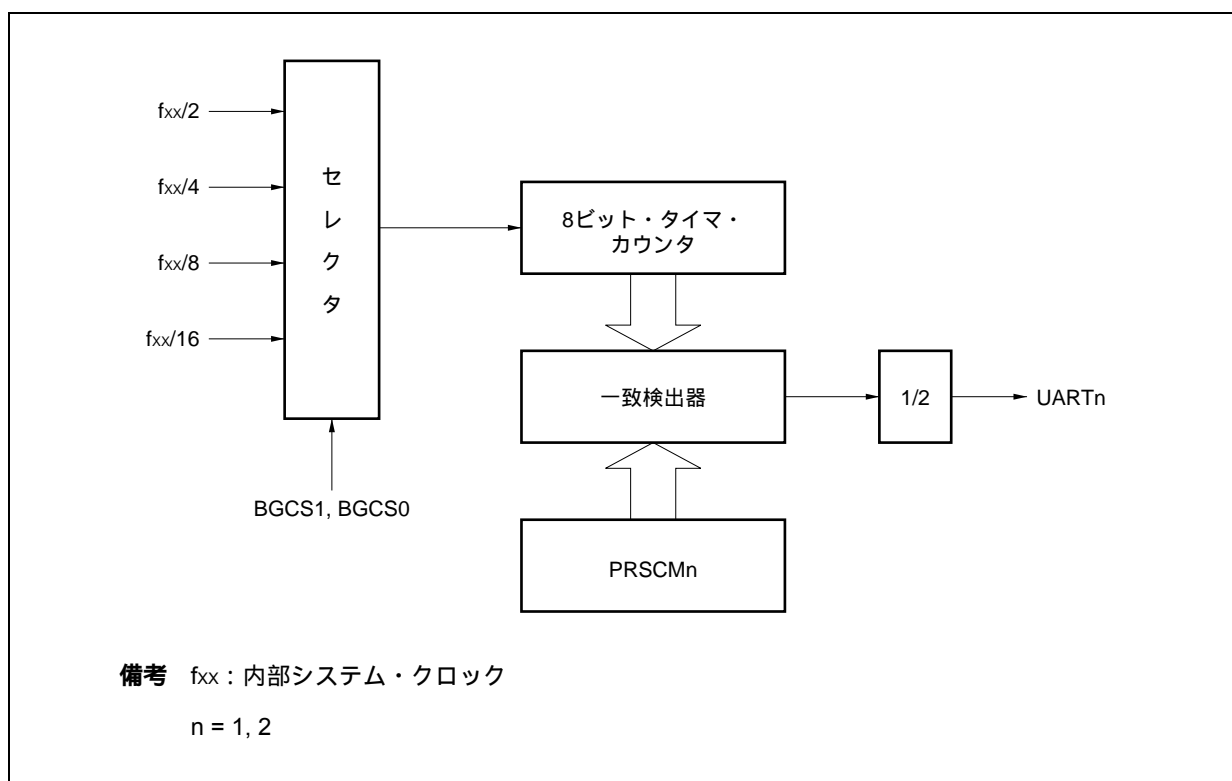
UART1, UART2は, シリアル・クロックをチャンネルごとに専用ポー・レート・ジェネレータ出力または内部システム・クロック ( $f_{xx}$ ) から選択できます。

シリアル・クロック・ソースは, ASIM10, ASIM20レジスタで指定します。

「専用ポー・レート・ジェネレータ出力」を指定した場合は, クロック・ソースとしてBRG1, BRG2が選択されます。

1チャンネル当たりの送受信のシリアル・クロックは1つで共用できるため, 送受信のポー・レートは同一となります。

図10 - 23 ポー・レート・ジェネレータ1, 2 (BRG1, BRG2) のブロック図





(2) 専用ポー・レート・ジェネレータ1, 2 (BRG1, BRG2)

BRGnは、ポー・レート信号生成用の8ビット・タイマ・カウンタ、ポー・レート信号の生成を制御するプリスケアラ・モード・レジスタ (PRSMn)、8ビット・タイマ・カウンタの値を設定するプリスケアラ・コンペア・レジスタ (PRSCMn) とプリスケアラから構成されます (n = 1, 2)。

(a) 入力クロック

BRGnへは、内部システム・クロック (f<sub>xx</sub>) が入力されます。

(b) プリスケアラ・モード・レジスタ1, 2 (PRSM1, PRSM2)

PRSMnレジスタは、UARTnのポー・レート信号の生成を制御します (n = 1, 2)。

8/1ビット単位でリード/ライト可能です。

注意1. 送受信動作中にBGCS1, BGCS0ビットの値を変更しないでください。

2. PRSMnレジスタのUARTCEnビット以外の設定はUARTCEnビットに“1”を設定する前に行ってください (n = 1, 2)。

	⑦	6	5	4	3	2	1	0	アドレス	初期値
PRSM1	UARTCE1	0	0	0	0	0	BGCS1	BGCS0	FFFFFA2EH	00H
	⑦	6	5	4	3	2	1	0	アドレス	初期値
PRSM2	UARTCE2	0	0	0	0	0	BGCS1	BGCS0	FFFFFA4EH	00H

ビット位置	ビット名	意味															
7	UARTCEn	ポー・レート用カウンタ動作許可を指定します。 0: ポー・レート用カウンタの動作を停止し、ポー・レート出力信号を“0”固定します。 1: ポー・レート用カウンタの動作を許可し、ポー・レート出力動作を開始します。															
1, 0	BGCS1, BGCS0	ポー・レート用カウンタへのカウント・クロックの選択を指定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>BGCS1</th> <th>BGCS0</th> <th>カウント・クロックの選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>f<sub>xx</sub>/2</td> </tr> <tr> <td>0</td> <td>1</td> <td>f<sub>xx</sub>/4</td> </tr> <tr> <td>1</td> <td>0</td> <td>f<sub>xx</sub>/8</td> </tr> <tr> <td>1</td> <td>1</td> <td>f<sub>xx</sub>/16</td> </tr> </tbody> </table> 備考 f <sub>xx</sub> = 内部システム・クロック	BGCS1	BGCS0	カウント・クロックの選択	0	0	f <sub>xx</sub> /2	0	1	f <sub>xx</sub> /4	1	0	f <sub>xx</sub> /8	1	1	f <sub>xx</sub> /16
BGCS1	BGCS0	カウント・クロックの選択															
0	0	f <sub>xx</sub> /2															
0	1	f <sub>xx</sub> /4															
1	0	f <sub>xx</sub> /8															
1	1	f <sub>xx</sub> /16															

備考 n = 1, 2

(c) プリスケアラ・コンペア・レジスタ1, 2 (PRSCM1, PRSCM2)

PRSCMnは8ビット・タイマ・カウンタの値を設定する8ビットのコンペア・レジスタです(n = 1, 2)。8ビット単位でリード/ライト可能です。

- 注意1. PRSCMnレジスタへの書き込み動作により内部タイマ・カウンタがクリアされます。したがって、送信動作中にはPRSCMnレジスタを書き換えしないでください。
2. PRSMnレジスタのUARTCEnビットに1を設定する前にPRSCMnレジスタの設定を行ってください。UARTCEnビット = 1のときにPRSCMnレジスタの内容を書き換えた場合は、ポー・レート信号の周期は保証できません。
3. 非同期モード時のポー・レートは、153600 bps以下に設定してください。同期モード時のポー・レートは、1000000 bps以下に設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
PRSCM1	PRSCM7	PRSCM6	PRSCM5	PRSCM4	PRSCM3	PRSCM2	PRSCM1	PRSCM0	FFFFFFA30H	00H
	7	6	5	4	3	2	1	0	アドレス	初期値
PRSCM2	PRSCM7	PRSCM6	PRSCM5	PRSCM4	PRSCM3	PRSCM2	PRSCM1	PRSCM0	FFFFFFA50H	00H

(d) ポー・レートの生成

まず、PRSMnレジスタのUARTCEnビットを1に書き換えると、ポー・レート信号生成用の8ビット・タイマ・カウンタはPRSMnレジスタのBGCS1, BGCS0ビットで選択したクロックでカウント・アップを始めます。8ビット・タイマ・カウンタのカウント値と、PRSCMnレジスタの値を比較し、一致するとポー・レート用出力制御回路にタイマ・カウント・クロックの1周期分パルスを出力します。

ポー・レート用出力制御回路は、このパルスが“1”のときにタイマ・カウント・クロックの立ち上がり同期してポー・レート信号を反転します。

(e) ポー・レート信号の周期

ポー・レート信号の周期は次のようにして計算します。

・ PRSCMnレジスタの設定値が00Hの場合

PRSMnレジスタのBGCS1, BGCS0ビットで選択された信号の周期 × 256 × 2

・ 上記以外の場合

PRSMnレジスタのBGCS1, BGCS0ビットで選択された信号の周期 × PRSCMnレジスタの設定値 × 2

## (f) ボー・レートの設定値

非同期モード時と同期モード時のボー・レートの計算式と誤差の計算式を次に示します。

## 非同期モード時ボー・レートの計算式

$$\text{ボー・レート} = \frac{f_{xx}}{2 \times m \times 2^k \times 16} \text{ [ bps ]}$$

$f_{xx}$  = 内部システム・クロック周波数 [ Hz ]

= CPUクロック / 2 [ Hz ]

$m$  = PRSCMnレジスタ設定値 ( 1  $m$  256<sup>※</sup> )

$k$  = PRSMnレジスタのBGCS1, BGCS0ビットで設定した値 (  $k = 0, 1, 2, 3$  )

注  $m = 256$ の設定はPRSCMnレジスタの00Hライトで行います。

## 同期モード時ボー・レートの計算式

$$\text{ボー・レート} = \frac{f_{xx}}{2 \times m \times 2^k} \text{ [ bps ]}$$

$f_{xx}$  = 内部システム・クロック周波数 [ Hz ]

= CPUクロック / 2 [ Hz ]

$m$  = PRSCMnレジスタ設定値 ( 1  $m$  256<sup>※</sup> )

$k$  = PRSMnレジスタのBGCS1, BGCS0ビットで設定した値 (  $k = 0, 1, 2, 3$  )

注  $m = 256$ の設定はPRSCMnレジスタの00Hライトで行います。

## 誤差の計算式

$$\text{誤差 [ \% ]} = \left( \frac{\text{実際のボー・レート} - \text{目標ボー・レート}}{\text{目標ボー・レート}} \right) \times 100$$

例 ( 9520 - 9600 ) / 9600 × 100 = - 0.833 [ \% ]

備考 実際のボー・レート : 誤差のあるボー・レート

目標ボー・レート : 正常なボー・レート

ポー・レート設定例

実際のシステムでは入力クロックに、プリスケラ・モジュールなどの出力を接続します。その際のポー・レート・ジェネレータ設定データを表10-9に示します。

表10-8 ポー・レート・ジェネレータ設定データ (BRG =  $f_{xx}/2$ ) (1/2)

(a)  $f_{xx} = 32 \text{ MHz}$ の場合

目標ポー・レート		実際のポー・レート		BGCSmビット (m = 0, 1)	PRSCMnレジスタ 設定値 (n = 1, 2)	誤差
同期モード	非同期モード	同期モード	非同期モード			
4800	300	4807.692	300.4808	3	208	0.16
9600	600	9615.385	600.9615	3	104	0.16
19200	1200	19230.77	1201.923	3	52	0.16
38400	2400	38461.54	2403.846	3	26	0.16
76800	4800	76923.08	4807.692	3	13	0.16
153600	9600	153846.2	9615.385	2	13	0.16
166400	10400	166666.7	10416.67	1	24	0.16
307200	19200	307692.3	19230.77	1	13	0.16
614400	38400	615384.6	38461.54	0	13	0.16
不可	76800	-	71428.57	0	7	- 6.99
不可	153600	-	166666.7	0	3	8.51

(b)  $f_{xx} = 40 \text{ MHz}$ の場合

目標ポー・レート		実際のポー・レート		BGCSmビット (m = 0, 1)	PRSCMnレジスタ 設定値 (n = 1, 2)	誤差
同期モード	非同期モード	同期モード	非同期モード			
4800	300	4882.813	305.1758	3	256	1.73
9600	600	9615.385	600.9615	3	130	0.16
19200	1200	19230.77	1201.923	3	65	0.16
38400	2400	38461.54	2403.846	2	65	0.16
76800	4800	76923.08	4807.692	1	65	0.16
153600	9600	153846.2	9615.385	0	65	0.16
166400	10400	166666.7	10416.67	0	60	0.16
307200	19200	303030.3	18939.39	0	33	- 1.36
614400	38400	625000	39062.5	0	16	1.73
不可	76800	-	78125	0	8	1.73
不可	153600	-	156250	0	4	1.73

表10 - 8 ボー・レート・ジェネレータ設定データ (BRG =  $f_{xx}/2$ ) (2/2)

(c)  $f_{xx} = 50 \text{ MHz}$ の場合

目標ボー・レート		実際のボー・レート		BGCSmビット ( $m = 0, 1$ )	PRSCMnレジスタ 設定値 ( $n = 1, 2$ )	誤差
同期モード	非同期モード	同期モード	非同期モード			
9600	600	9585.89	599.1181	3	163	- 0.15
19200	1200	19171.78	1198.236	2	163	- 0.15
38400	2400	38343.56	2396.472	1	163	- 0.15
76800	4800	76687.12	4792.945	0	163	- 0.15
153600	9600	154321	9645.062	0	81	0.47
166400	10400	166666.7	10416.67	0	75	0.16
307200	19200	312500	19531.25	0	40	1.73
614400	38400	625000	39062.5	0	20	1.73
不可	76800	-	78125	0	10	1.73
不可	153600	-	156250	0	5	1.73

(3) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

**注意** 受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図10 - 24 受信時の許容ボー・レート範囲

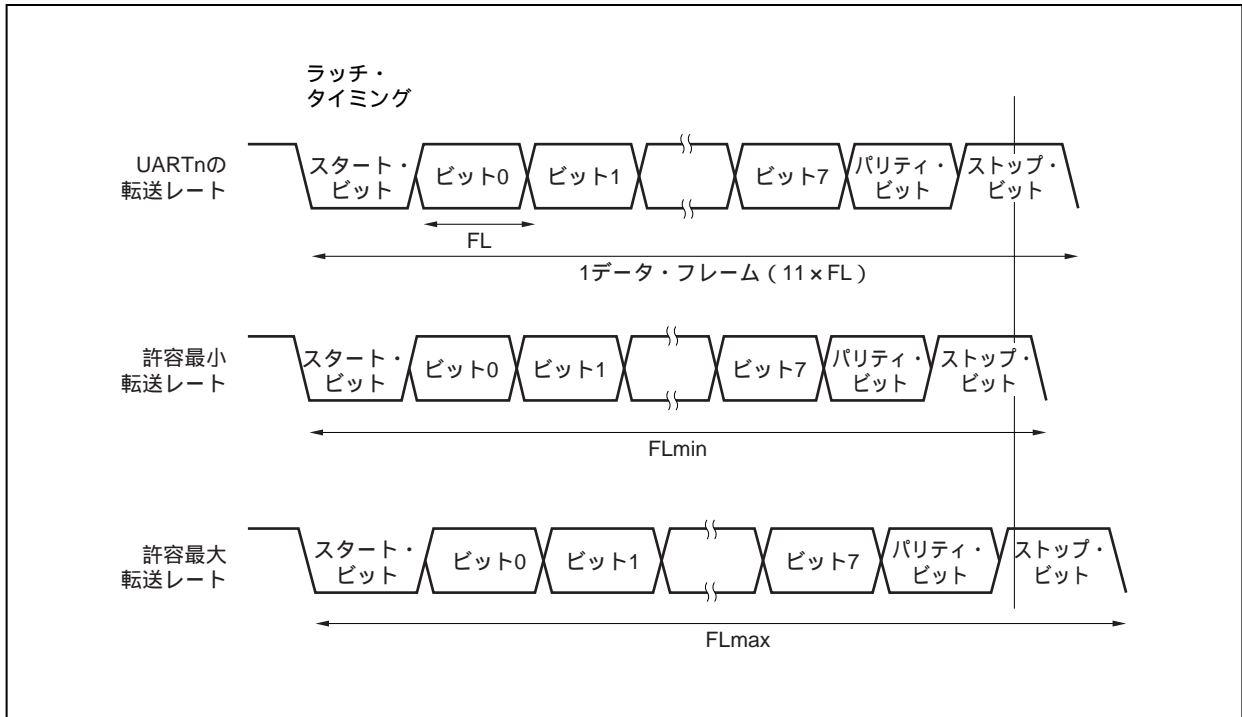


図10 - 24に示すように、スタート・ビット検出後はPRSCMnレジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

- Brate : UARTnのボー・レート
- k : PRSCMnレジスタの設定値
- FL : 1ビット・データ長

ラッチ・タイミングのマージンを $f_{xx}/2$ の2クロック分とすると、許容最小転送レート（FLmin）は次のようになります（ $f_{xx}$ ：内部システム・クロック）。

$$FL_{min} = 11 \times FL - \frac{k - 2}{2k} \times FL = \frac{21k + 2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レート（BRmax）は次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同様に、許容最大転送レート（FLmax）を求めると、次のようになります。

$$\frac{10}{11} \times FL_{\max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{\max} = \frac{21k-2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レート（BRmin）は次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

#### (4) 2フレーム連続受信時の転送レート

2フレーム連続受信の場合、2フレーム目のスタート・ビットの検出によりタイミングの初期化が行われるので転送結果には影響しません。

## 10.4 クロック同期式シリアル・インタフェース0, 1 (CSI0, CSI1)

### 10.4.1 特 徴

高速転送 最大5 Mbps

全二重通信

送信, 受信は, 独立に行うことができません (送受信同時動作)。

マスタ・モードとスレーブ・モードを選択可能

送信データ長: 8ビット / 16ビットに設定可能

転送データ方向をMSB先頭 / LSB先頭切り替え可能

8本のクロック信号を選択可能 (7本のマスタ・クロックと1本のスレーブ・クロック)

3線式 SOn : シリアル送信データ出力

    SIn : シリアル受信データ入力

$\overline{\text{SCKn}}$  : シリアル・クロック入出力

割り込みソース1種

- ・送受信完了割り込み (INTCSIn)

送受信モードと受信専用モードを指定可能

2つの送信バッファ (SOTBFn/SOTBFLn, SOTBn/SOTBLn) と2つの受信バッファ (SIRBn/SIRBLn, SIRBEn/SIRBELn) を内蔵

単発転送モードと繰り返し転送モードを指定可能

備考 n = 0, 1



## 10.4.2 構成

クロック同期式シリアル・インタフェース・モード・レジスタ (CSIMn) によって, CSInを制御します (n = 0, 1)。送受信データはSIO<sub>n</sub>レジスタの書き込み / 読み出しで行います (n = 0, 1)。

### (1) クロック同期式シリアル・インタフェース・モード・レジスタ0, 1 (CSIM0, CSIM1)

CSIMnレジスタは, CSInの動作を指定する8ビット・レジスタです。

### (2) クロック同期式シリアル・インタフェース・クロック選択レジスタ0, 1 (CSIC0, CSIC1)

CSICnレジスタは, CSInのシリアル転送動作を制御する8ビット・レジスタです。

### (3) シリアルI/Oシフト・レジスタ0, 1 (SIO0, SIO1)

SIO<sub>n</sub>レジスタは, パラレル・データをシリアル・データに変換する16ビット・シフト・レジスタです。

SIO<sub>n</sub>レジスタは送信および受信の両方に使用されます。

データは, MSB側またはLSB側からシフト・イン (受信) またはシフト・アウト (送信) されます。

バッファ・レジスタへのアクセスで実際の送受信動作が起動されます。

### (4) シリアルI/Oシフト・レジスタL0, L1 (SIOL0, SIOL1)

SIOL<sub>n</sub>レジスタは, パラレル・データをシリアル・データに変換する8ビット・シフト・レジスタです。

SIOL<sub>n</sub>レジスタは送信および受信の両方に使用されます。

データは, MSB側またはLSB側からシフト・イン (受信) またはシフト・アウト (送信) されます。

バッファ・レジスタへのアクセスで実際の送受信動作が起動されます。

### (5) クロック同期式シリアル・インタフェース受信バッファ・レジスタ0, 1 (SIRB0, SIRB1)

SIRB<sub>n</sub>レジスタは, 受信データを格納する16ビット・バッファ・レジスタです。

### (6) クロック同期式シリアル・インタフェース受信バッファ・レジスタL0, L1 (SIRBL0, SIRBL1)

SIRBL<sub>n</sub>レジスタは, 受信データを格納する8ビット・バッファ・レジスタです。

### (7) クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ0, 1 (SIRBE0, SIRBE1)

SIRBE<sub>n</sub>レジスタは, 受信データを格納する16ビット・バッファ・レジスタです。

SIRBE<sub>n</sub>レジスタは, SIRB<sub>n</sub>レジスタと同じものです。SIRB<sub>n</sub>レジスタの内容を読み出す場合に使用します。

### (8) クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタL0, L1 (SIRBEL0, SIRBEL1)

SIRBEL<sub>n</sub>レジスタは, 受信データを格納する8ビット・バッファ・レジスタです。

SIRBEL<sub>n</sub>レジスタは, SIRBL<sub>n</sub>レジスタと同じものです。SIRBL<sub>n</sub>レジスタの内容を読み出す場合に使用します。

### (9) クロック同期式シリアル・インタフェース送信バッファ・レジスタ0, 1 (SOTB0, SOTB1)

SOTB<sub>n</sub>レジスタは, 送信データを格納する16ビット・バッファ・レジスタです。

### (10) クロック同期式シリアル・インタフェース送信バッファ・レジスタL0, L1 (SOTBL0, SOTBL1)

SOTBL<sub>n</sub>レジスタは, 送信データを格納する8ビット・バッファ・レジスタです。

**(11) クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ (SOTBF0, SOTBF1)**

SOTBF<sub>n</sub>レジスタは、繰り返し転送モードでの初段送信データを格納する16ビット・バッファ・レジスタです。

**(12) クロック同期式シリアル・インタフェース初段送信バッファ・レジスタL (SOTBFL0, SOTBFL1)**

SOTBFL<sub>n</sub>レジスタは、繰り返し転送モードでの初段送信データを格納する8ビット・バッファ・レジスタです。

**(13) セレクタ**

使用するシリアル・クロックを選択します。

**(14) シリアル・クロック制御回路**

シリアル・クロックのシフト・レジスタへの供給を制御します。また、内部クロック使用時には $\overline{\text{SCKn}}$ 端子へ出力するクロックの制御も行います。

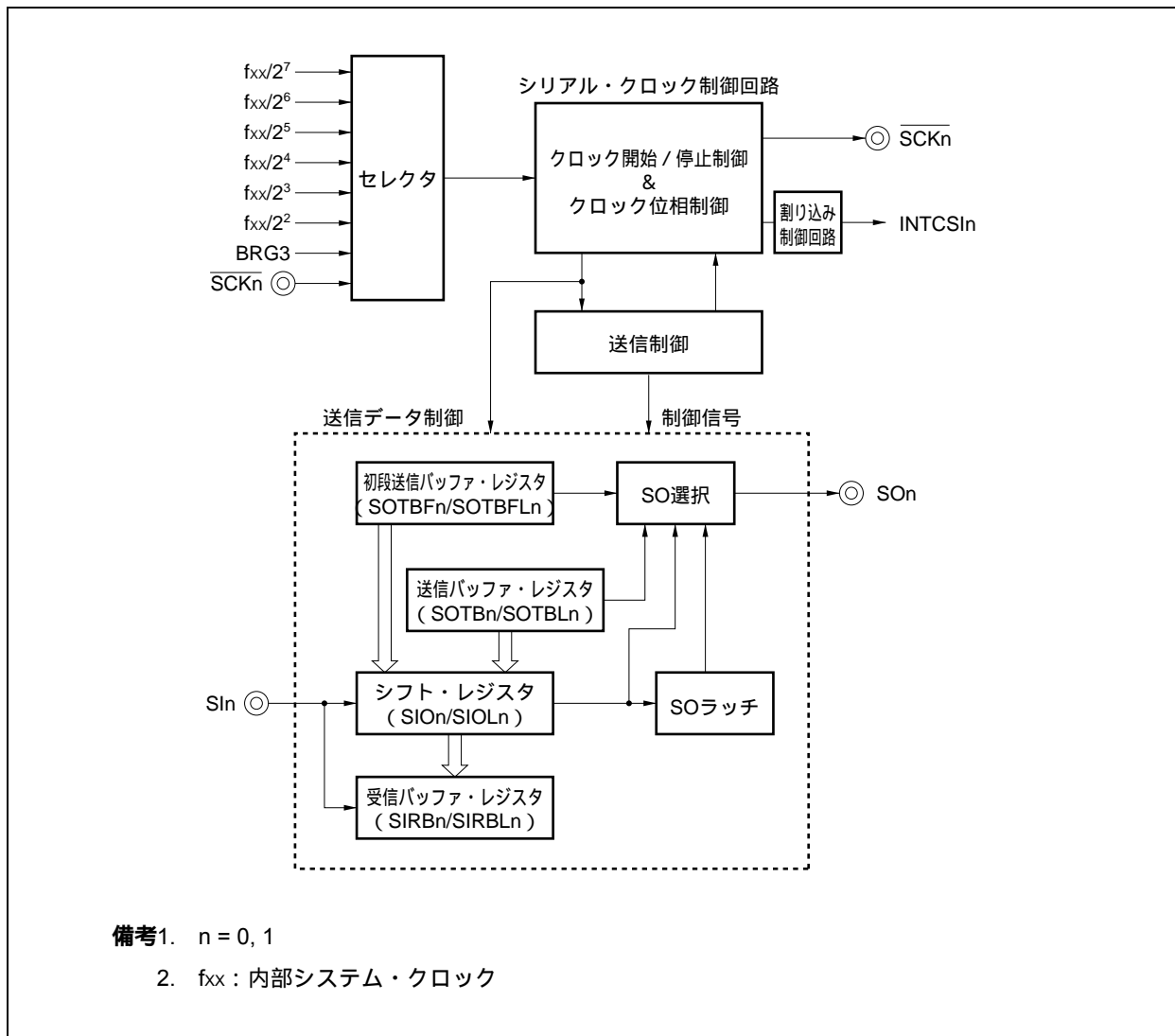
**(15) シリアル・クロック・カウンタ**

送信/受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8/16ビット・データの送受信が行われたことを調べます。

**(16) 割り込み制御回路**

割り込み要求タイミングを制御します。

図10 - 25 クロック同期式シリアル・インタフェースのブロック図



### 10.4.3 制御レジスタ

#### (1) クロック同期式シリアル・インタフェース・モード・レジスタ0, 1 (CSIM0, CSIM1)

CSIMnレジスタは、CSInの動作を制御するレジスタです (n = 0, 1)。

8/1ビット単位でリード/ライト可能です (ただし、ビット0はリードだけ可能です)。

**注意** CSIMnレジスタのTRMDn, CCL, DIRn, CSIT, AUTOビットの書き換えは、CSOTnビット = 0のときだけ可能です。それ以外のときにこれらのビットを書き換えた場合の動作は保証しません。

	⑦	⑥	5	④	3	2	1	①	アドレス	初期値
CSIM0	CSICAE0	TRMD0	CCL	DIR0	CSIT	AUTO	0	CSOT0	FFFFFF900H	00H
	⑦	⑥	5	④	3	2	1	①	アドレス	初期値
CSIM1	CSICAE1	TRMD1	CCL	DIR1	CSIT	AUTO	0	CSOT1	FFFFFF910H	00H

ビット位置	ビット名	意 味
7	CSICAE <sub>n</sub>	CSIn動作許可 / 禁止を指定します。 0 : CSIn動作禁止 1 : CSIn動作許可  CSICAE <sub>n</sub> ビット = 0にすることで、CSInの内部回路を非同期にリセットすることができます。CSICAE <sub>n</sub> ビット = 0のときのSCK <sub>n</sub> , SO <sub>n</sub> 端子出力状態については10. 4. 5 出力端子を参照してください。
6	TRMD <sub>n</sub>	送受信モードを指定します。 0 : 受信専用モード 1 : 送受信モード  TRMD <sub>n</sub> ビット = 0の場合、受信だけの転送になり、SO <sub>n</sub> 端子出力はロウ・レベルに固定されます。SIRB <sub>n</sub> レジスタの読み出しにより、データ受信を開始します。 TRMD <sub>n</sub> ビット = 1の場合、SOTB <sub>n</sub> レジスタへのデータ書き込みにより送受信が開始されます。
5	CCL	データ長を指定します。 0 : 8ビット 1 : 16ビット
4	DIR <sub>n</sub>	転送方向モード (MSB/LSB) を指定します。 0 : 転送データ先頭ビットはMSB 1 : 転送データ先頭ビットはLSB
3	CSIT	割り込み要求信号の遅延制御を行います。 0 : 遅延なし 1 : 遅延モード (割り込み要求信号が半サイクル遅れる)  <b>注意</b> 遅延モード (CSITビット = 1) は、マスタ・モード (CSIC <sub>n</sub> レジスタのCKS2-CKS0ビットが111Bでない) のときだけ有効です。スレーブ・モード (CKS2-CKS0ビットが111B) 時は、遅延モードに設定しないでください。
2	AUTO	単発転送 / 繰り返し転送モードを指定します。 0 : 単発転送モード 1 : 繰り返し転送モード
0	CSOT <sub>n</sub>	転送状態表示フラグです。 0 : アイドル状態 1 : 転送実行状態  <b>注意</b> CSOT <sub>n</sub> ビットは、CSICAE <sub>n</sub> ビット = 0でクリア (0) されます。

備考 n = 0, 1

(2) クロック同期式シリアル・インタフェース・クロック選択レジスタ0, 1 (CSIC0, CSIC1)

CSICnレジスタは、CSInの転送動作を制御する8ビット・レジスタです (n = 0, 1)。

8/1ビット単位でリード/ライト可能です。

**注意** CSICnレジスタはCSIMnレジスタのCSICAE<sub>n</sub>ビット = 0のときだけ書き換えられます。

	7	6	5	4	3	2	1	0	アドレス	初期値
CSIC0	0	0	0	CKP	DAP	CKS2	CKS1	CKS0	FFFFFF901H	00H
	7	6	5	4	3	2	1	0	アドレス	初期値
CSIC1	0	0	0	CKP	DAP	CKS2	CKS1	CKS0	FFFFFF911H	00H

ビット位置	ビット名	意味																																													
4, 3	CKP, DAP	動作モードを指定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>CKP</th> <th>DAP</th> <th>動作モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td> </td> </tr> <tr> <td>0</td> <td>1</td> <td> </td> </tr> <tr> <td>1</td> <td>0</td> <td> </td> </tr> <tr> <td>1</td> <td>1</td> <td> </td> </tr> </tbody> </table> <p>備考 n = 0, 1</p>	CKP	DAP	動作モード	0	0		0	1		1	0		1	1																															
CKP	DAP	動作モード																																													
0	0																																														
0	1																																														
1	0																																														
1	1																																														
2-0	CKS2-CKS0	シリアル・クロックを指定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>CKS2</th> <th>CKS1</th> <th>CKS0</th> <th>シリアル・クロック</th> <th>モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td><math>f_{xx}/2^7</math></td> <td>マスタ・モード</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td><math>f_{xx}/2^6</math></td> <td>マスタ・モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td><math>f_{xx}/2^5</math></td> <td>マスタ・モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td><math>f_{xx}/2^4</math></td> <td>マスタ・モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td><math>f_{xx}/2^3</math></td> <td>マスタ・モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td><math>f_{xx}/2^2</math></td> <td>マスタ・モード</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>BRG3で生成されるクロック</td> <td>マスタ・モード</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>外部クロック (SCK<sub>n</sub>)</td> <td>スレーブ・モード</td> </tr> </tbody> </table> <p>備考 <math>f_{xx}</math> : 内部システム・クロック周波数 n = 0, 1</p>	CKS2	CKS1	CKS0	シリアル・クロック	モード	0	0	0	$f_{xx}/2^7$	マスタ・モード	0	0	1	$f_{xx}/2^6$	マスタ・モード	0	1	0	$f_{xx}/2^5$	マスタ・モード	0	1	1	$f_{xx}/2^4$	マスタ・モード	1	0	0	$f_{xx}/2^3$	マスタ・モード	1	0	1	$f_{xx}/2^2$	マスタ・モード	1	1	0	BRG3で生成されるクロック	マスタ・モード	1	1	1	外部クロック (SCK <sub>n</sub> )	スレーブ・モード
CKS2	CKS1	CKS0	シリアル・クロック	モード																																											
0	0	0	$f_{xx}/2^7$	マスタ・モード																																											
0	0	1	$f_{xx}/2^6$	マスタ・モード																																											
0	1	0	$f_{xx}/2^5$	マスタ・モード																																											
0	1	1	$f_{xx}/2^4$	マスタ・モード																																											
1	0	0	$f_{xx}/2^3$	マスタ・モード																																											
1	0	1	$f_{xx}/2^2$	マスタ・モード																																											
1	1	0	BRG3で生成されるクロック	マスタ・モード																																											
1	1	1	外部クロック (SCK <sub>n</sub> )	スレーブ・モード																																											

(3) クロック同期式シリアル・インタフェース受信バッファ・レジスタ0, 1 (SIRB0, SIRB1)

SIRBnレジスタは、受信データを格納する16ビット・バッファ・レジスタです (n = 0, 1)。

受信専用モード (CSIMnレジスタのTRMDnビット = 0) に設定したとき、SIRBnレジスタからデータを読み出すことにより、受信動作を開始します。

16ビット単位でリードだけ可能です。

リセット入力以外に、CSIMnレジスタのCSICAE<sub>n</sub>ビットをクリア (0) した場合も初期化されます。

- 注意1. SIRBnレジスタは、16ビット・データ長 (CSIMnレジスタのCCLビット = 1) に設定したときだけリードしてください。
2. 単発転送モード (CSIMnレジスタのAUTOビット = 0) に設定したときには、アイドル状態中 (CSIMnレジスタのCSOTnビット = 0) だけリードしてください。データ転送中にSIRBnレジスタをリードした場合のデータは保証しません。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SIRB0	SIRB	SIRB	SIRB	SIRB	SIRB	SIRB	SIRB	SIRB	SIRB	SIRB	SIRB	SIRB	SIRB	SIRB	SIRB	SIRB	FFFFF902H	0000H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
SIRB1	SIRB	SIRB	SIRB	SIRB	SIRB	SIRB	SIRB	SIRB	SIRB	SIRB	SIRB	SIRB	SIRB	SIRB	SIRB	SIRB	FFFFF912H	0000H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

ビット位置	ビット名	意 味
15-0	SIRB15- SIRB0	受信データを格納します。

(4) クロック同期式シリアル・インタフェース受信バッファ・レジスタL0, L1 (SIRBL0, SIRBL1)

SIRBLnレジスタは、受信データを格納する8ビット・バッファ・レジスタです (n = 0, 1)。

受信専用モード (CSIMnレジスタのTRMDnビット = 0) に設定したとき、SIRBLnレジスタからデータを読み出すことにより、受信動作を開始します。

8/1ビット単位でリードだけ可能です。

リセット入力以外に、CSIMnレジスタのCSICAE<sub>n</sub>ビットをクリア (0) した場合も初期化されます。

SIRBLnレジスタは、SIRBnレジスタの下位バイトと同じものです。

- 注意1.** SIRBLnレジスタは、8ビット・データ長 (CSIMnレジスタのCC<sub>L</sub>ビット = 0) に設定したときだけリードしてください。
- 2.** 単発転送モード (CSIMnレジスタのAUTOビット = 0) に設定したときには、アイドル状態中 (CSIMnレジスタのCSOT<sub>n</sub>ビット = 0) だけリードしてください。データ転送中にSIRBLnレジスタをリードした場合のデータは保証しません。

SIRBL0	7	6	5	4	3	2	1	0	アドレス	初期値
	SIRB7	SIRB6	SIRB5	SIRB4	SIRB3	SIRB2	SIRB1	SIRB0	FFFFFF902H	00H
SIRBL1	7	6	5	4	3	2	1	0	アドレス	初期値
	SIRB7	SIRB6	SIRB5	SIRB4	SIRB3	SIRB2	SIRB1	SIRB0	FFFFFF912H	00H

ビット位置	ビット名	意味
7-0	SIRB7-SIRB0	受信データを格納します。



(5) クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ0, 1 (SIRBE0, SIRBE1)

SIRBE<sub>n</sub>レジスタは、受信データを格納する16ビット・バッファ・レジスタです (n = 0, 1)。

16ビット単位でリードだけ可能です。

リセット入力以外に、CSIM<sub>n</sub>レジスタのCSICA<sub>n</sub>ビットをクリア (0) した場合も初期化されます。

SIRBE<sub>n</sub>レジスタは、SIRB<sub>n</sub>レジスタと同じものです。SIRB<sub>n</sub>レジスタの内容を読み出す場合に使用します。

注意1. SIRBE<sub>n</sub>レジスタからデータを読み出しても、受信動作は開始しません。

2. SIRBE<sub>n</sub>レジスタは、16ビット・データ長 (CSIM<sub>n</sub>レジスタのCCLビット = 1) に設定したときだけリードしてください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SIRBE0	SIRBE	SIRBE	SIRBE	SIRBE	SIRBE	SIRBE	SIRBE	SIRBE	SIRBE	SIRBE	SIRBE	SIRBE	SIRBE	SIRBE	SIRBE	SIRBE	FFFFFF906H	0000H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SIRBE1	SIRBE	SIRBE	SIRBE	SIRBE	SIRBE	SIRBE	SIRBE	SIRBE	SIRBE	SIRBE	SIRBE	SIRBE	SIRBE	SIRBE	SIRBE	SIRBE	FFFFFF916H	0000H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

ビット位置	ビット名	意味
15-0	SIRBE15-SIRBE0	受信データを格納します。

(6)クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタL0, L1(SIRBEL0, SIRBEL1)

SIRBELnレジスタは、受信データを格納する8ビット・バッファ・レジスタです (n = 0, 1)。

8/1ビット単位でリードだけ可能です。

リセット入力以外に、CSIMnレジスタのCSICAE<sub>n</sub>ビットをクリア (0) した場合も初期化されます。

SIRBELnレジスタは、SIRBLnレジスタと同じものです。SIRBLnレジスタの内容を読み出す場合に使用します。

**注意1.** SIRBELnレジスタからデータを読み出しても、受信動作は開始しません。

**2.** SIRBELnレジスタは、8ビット・データ長 (CSIMnレジスタのCCLビット = 0) に設定したときだけリードしてください。

	7	6	5	4	3	2	1	0	アドレス	初期値
SIRBEL0	SIRBE7	SIRBE6	SIRBE5	SIRBE4	SIRBE3	SIRBE2	SIRBE1	SIRBE0	FFFFF906H	00H
	7	6	5	4	3	2	1	0	アドレス	初期値
SIRBEL1	SIRBE7	SIRBE6	SIRBE5	SIRBE4	SIRBE3	SIRBE2	SIRBE1	SIRBE0	FFFFF916H	00H

ビット位置	ビット名	意味
7-0	SIRBE7-SIRBE0	受信データを格納します。

(7) クロック同期式シリアル・インタフェース送信バッファ・レジスタ0, 1 (SOTB0, SOTB1)

SOTBnレジスタは、送信データを格納する16ビット・バッファ・レジスタです (n = 0, 1)。

送受信モード (CSIMnレジスタのTRMDnビット = 1) に設定したとき、SOTBnレジスタへのデータ書き込みにより、送信動作を開始します。

16ビット単位でリード/ライト可能です。

- 注意1.** SOTBnレジスタは、16ビット・データ長 (CSIMnレジスタのCCLビット = 1) に設定したときだけアクセスしてください。
- 2.** 単発転送モード (CSIMnレジスタのAUTOビット = 0) に設定したときには、アイドル状態中 (CSIMnレジスタのCSOTnビット = 0) だけアクセスしてください。データ転送中にSOTBnレジスタをアクセスした場合のデータは保証しません。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SOTB0	SOTB	SOTB	SOTB	SOTB	SOTB	SOTB	SOTB	SOTB	SOTB	SOTB	SOTB	SOTB	SOTB	SOTB	SOTB	SOTB	FFFFFF904H	0000H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SOTB1	SOTB	SOTB	SOTB	SOTB	SOTB	SOTB	SOTB	SOTB	SOTB	SOTB	SOTB	SOTB	SOTB	SOTB	SOTB	SOTB	FFFFFF914H	0000H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

ビット位置	ビット名	意味
15-0	SOTB15-SOTB0	送信データを格納します。

(8) クロック同期式シリアル・インタフェース送信バッファ・レジスタL0, L1 (SOTBL0, SOTBL1)

SOTBLnレジスタは、送信データを格納する8ビット・バッファ・レジスタです (n = 0, 1)。

送受信モード (CSIMnレジスタのTRMDnビット = 1) に設定したとき、SOTBLnレジスタへのデータ書き込みにより、送信動作を開始します。

8/1ビット単位でリード/ライト可能です。

SOTBLnレジスタは、SOTBnレジスタの下位バイトと同じものです。

**注意1.** SOTBLnレジスタは、8ビット・データ長 (CSIMnレジスタのCCLビット = 0) に設定したときだけアクセスしてください。

**2.** 単発転送モード (CSIMnレジスタのAUTOビット = 0) に設定したときには、アイドル状態中 (CSIMnレジスタのCSOTnビット = 0) だけアクセスしてください。データ転送中にSOTBLnレジスタをアクセスした場合のデータは保証しません。

	7	6	5	4	3	2	1	0	アドレス	初期値
SOTBL0	SOTB7	SOTB6	SOTB5	SOTB4	SOTB3	SOTB2	SOTB1	SOTB0	FFFFF904H	00H
	7	6	5	4	3	2	1	0	アドレス	初期値
SOTBL1	SOTB7	SOTB6	SOTB5	SOTB4	SOTB3	SOTB2	SOTB1	SOTB0	FFFFF914H	00H

ビット位置	ビット名	意味
7-0	SOTB7-SOTB0	送信データを格納します。

(9) クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ0, 1 (SOTBF0, SOTBF1)

SOTBF<sub>n</sub>レジスタは、繰り返し転送モードでの初段送信データを格納する16ビット・バッファ・レジスタです (n = 0, 1)。

SOTBF<sub>n</sub>レジスタにデータを書き込んでも、送信動作は開始されません。

16ビット単位でリード/ライト可能です。

**注意** SOTBF<sub>n</sub>レジスタは、16ビット・データ長 (CSIM<sub>n</sub>レジスタのCCLビット = 1) で、アイドル状態中 (CSIM<sub>n</sub>レジスタのCSOT<sub>n</sub>ビット = 0) のときだけアクセスしてください。データ転送中にSOTBF<sub>n</sub>レジスタをアクセスした場合のデータは保証しません。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SOTBF0	SOTBF	SOTBF	SOTBF	SOTBF	SOTBF	SOTBF	SOTBF	SOTBF	SOTBF	SOTBF	SOTBF	SOTBF	SOTBF	SOTBF	SOTBF	SOTBF	FFFFF908H	0000H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
SOTBF1	SOTBF	SOTBF	SOTBF	SOTBF	SOTBF	SOTBF	SOTBF	SOTBF	SOTBF	SOTBF	SOTBF	SOTBF	SOTBF	SOTBF	SOTBF	SOTBF	FFFFF918H	0000H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

ビット位置	ビット名	意味
15-0	SOTBF15-SOTBF0	繰り返し転送モード時の初段送信データを格納します。

(10) クロック同期式シリアル・インタフェース初段送信バッファ・レジスタL0, L1 (SOTBFL0, SOTBFL1)

SOTBFLnレジスタは、繰り返し転送モードでの初段送信データを格納する8ビット・バッファ・レジスタです (n = 0, 1)。

SOTBFLnレジスタにデータを書き込んでも、送信動作は開始されません。

8/1ビット単位でリード/ライト可能です。

SOTBFLnレジスタはSOTBFnレジスタの下位バイトと同じものです。

**注意** SOTBFLnレジスタは、8ビット・データ長 (CSIMnレジスタのCCLビット = 0) で、アイドル状態中 (CSIMnレジスタのCSOTnビット = 0) のときだけアクセスしてください。データ転送中にSOTBFLnレジスタをアクセスした場合のデータは保証しません。

	7	6	5	4	3	2	1	0	アドレス	初期値
SOTBFL0	SOTBF7	SOTBF6	SOTBF5	SOTBF4	SOTBF3	SOTBF2	SOTBF1	SOTBF0	FFFFFF908H	00H
	7	6	5	4	3	2	1	0	アドレス	初期値
SOTBFL1	SOTBF7	SOTBF6	SOTBF5	SOTBF4	SOTBF3	SOTBF2	SOTBF1	SOTBF0	FFFFFF918H	00H

ビット位置	ビット名	意味
7-0	SOTBF7- SOTBF0	繰り返し転送モード時の初段送信データを格納します。

(11) シリアル/Oシフト・レジスタ0, 1 (SIO0, SIO1)

SIO<sub>n</sub>レジスタは、パラレル・データをシリアル・データに変換する16ビット・シフト・レジスタです (n = 0, 1)。

SIO<sub>n</sub>レジスタを読み出しても、転送は開始されません。

16ビット単位でリードだけ可能です。

リセット入力以外に、CSIM<sub>n</sub>レジスタのCSICAE<sub>n</sub>ビットをクリア (0) した場合も初期化されず。

**注意** SIO<sub>n</sub>レジスタは、16ビット・データ長 (CSIM<sub>n</sub>レジスタのCCLビット = 1) で、アイドル状態中 (CSIM<sub>n</sub>レジスタのCSOT<sub>n</sub>ビット = 0) のときだけリードしてください。データ転送中にSIO<sub>n</sub>レジスタをリードした場合のデータは保証しません。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SIO0	SIO15	SIO14	SIO13	SIO12	SIO11	SIO10	SIO9	SIO8	SIO7	SIO6	SIO5	SIO4	SIO3	SIO2	SIO1	SIO0	FFFFF90AH	0000H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SIO1	SIO15	SIO14	SIO13	SIO12	SIO11	SIO10	SIO9	SIO8	SIO7	SIO6	SIO5	SIO4	SIO3	SIO2	SIO1	SIO0	FFFFF91AH	0000H

ビット位置	ビット名	意 味
15-0	SIO15-SIO0	データは、MSBまたはLSB側からシフト・イン (受信) またはシフト・アウト (送信) します。

(12) シリアルI/Oシフト・レジスタL0, L1 (SIOL0, SIOL1)

SIOLnレジスタは、パラレル・データをシリアル・データに変換する8ビット・シフト・レジスタです (n = 0, 1)。

SIOLnレジスタを読み出しても、転送は開始されません。

8/1ビット単位でリードだけ可能です。

リセット入力以外に、CSIMnレジスタのCSICAE<sub>n</sub>ビットをクリア (0) する場合も初期化されます。

SIOLnレジスタはSIO<sub>n</sub>レジスタの下位バイトと同じものです。

**注意** SIOLnレジスタは、8ビット・データ長 (CSIMnレジスタのCCLビット = 0) で、アイドル状態中 (CSIMnレジスタのCSOT<sub>n</sub>ビット = 0) のときだけリードしてください。データ転送中にSIOLnレジスタをリードした場合のデータは保証しません。

	7	6	5	4	3	2	1	0		
SIOL0	SIO7	SIO6	SIO5	SIO4	SIO3	SIO2	SIO1	SIO0	FFFFF90AH	初期値 00H
	7	6	5	4	3	2	1	0		
SIOL1	SIO7	SIO6	SIO5	SIO4	SIO3	SIO2	SIO1	SIO0	FFFFF91AH	初期値 00H

ビット位置	ビット名	意 味
7-0	SIO7-SIO0	データは、MSBまたはLSB側からシフト・イン (受信) またはシフト・アウト (送信) します。



## 10.4.4 動作

### (1) 単発転送モード

#### (a) 使用方法

受信専用モード (CSIMnレジスタのTRMDnビット = 0) の場合, 受信データ・バッファ・レジスタ (SIRBn/SIRBLn) のリード<sup>注1</sup>で転送を開始します (n = 0, 1)。

送受信モード (CSIMnレジスタのTRMDnビット = 1) の場合, 送信データ・バッファ・レジスタ (SOTBn/SOTBLn) へのライト<sup>注2</sup>で転送を開始します。

また, スレープ・モードの場合, 前もって動作許可 (CSIMnレジスタのCSICAEビット = 1) になっている必要があります。

転送が開始されているときには, CSIMnレジスタのCSOTnビット = 1 (送信実行状態) になります。

転送が終了すると, 送受信完了割り込み (INTCSIn) がセット (1) され, CSOTnビットはクリア (0) されます。そして, 次のデータ転送要求の待ち状態になります。

- 注1. 16ビット・データ長 (CSIMnレジスタのCCLビット = 1) に設定している場合はSIRBnレジスタを, 8ビット・データ長 (CCLビット = 0) に設定している場合はSIRBLnレジスタをリードしてください。
2. 16ビット・データ長 (CSIMnレジスタのCCLビット = 1) に設定している場合はSOTBnレジスタを, 8ビット・データ長 (CCLビット = 0) に設定している場合はSOTBLnレジスタへライトしてください。

**注意** CSIMnレジスタのCSOTnビット = 1のときに, CSInのレジスタは操作しないでください。

図10 - 26 単発転送モードでのタイミング・チャート (1/2)

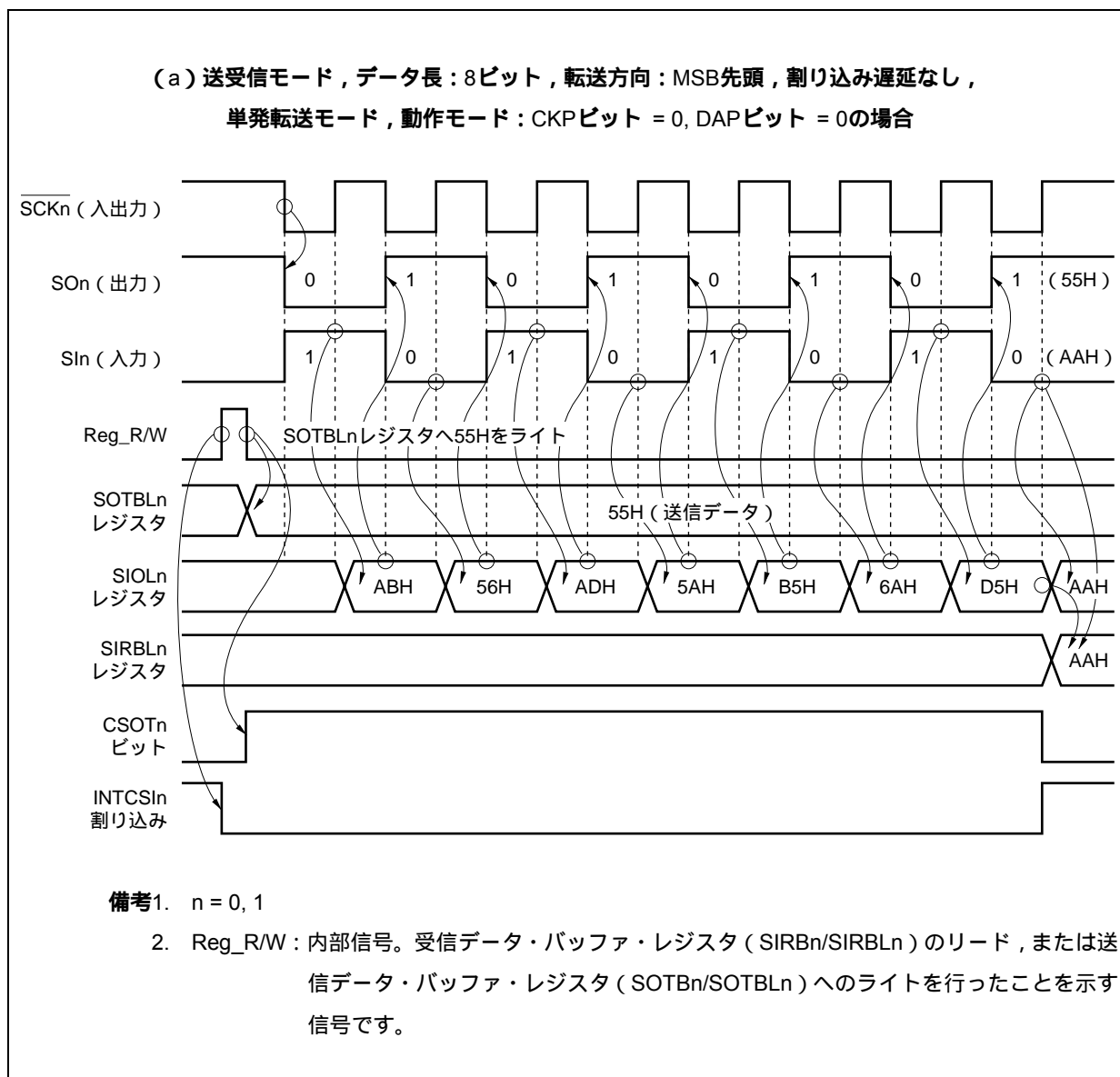
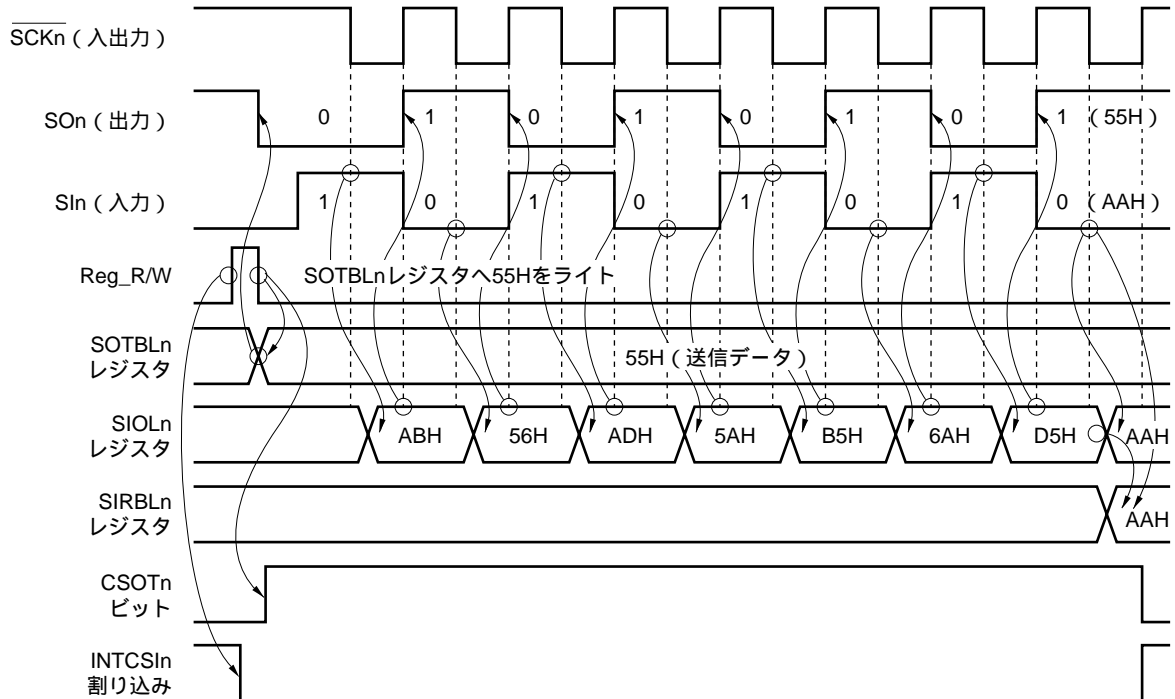


図10 - 26 単発転送モードでのタイミング・チャート (2/2)

(b) 送受信モード, データ長: 8ビット, 転送方向: MSB先頭, 割り込み遅延なし,  
単発転送モード, 動作モード: CKPビット = 0, DAPビット = 1の場合



備考1. n = 0, 1

2. Reg\_R/W: 内部信号。受信データ・バッファ・レジスタ (SIRBn/SIRBLn) のリード, または送信データ・バッファ・レジスタ (SOTBn/SOTBLn) へのライトを行ったことを示す信号です。

(b) クロック位相選択

次の条件で、クロック位相選択 (CSICnレジスタのCKPビット) とデータ位相選択 (CSICnレジスタのDAPビット) の条件を変えたときのタイミングを示します。

- ・データ長が8ビット (CSIMnレジスタのCCLビット = 0)
- ・転送データ先頭ビットがMSB (CSIMnレジスタのDIRnビット = 0)
- ・割り込み要求信号遅延制御なし (CSIMnレジスタのCSITビット = 0)

図10 - 27 クロック位相選択によるタイミング・チャート (1/2)

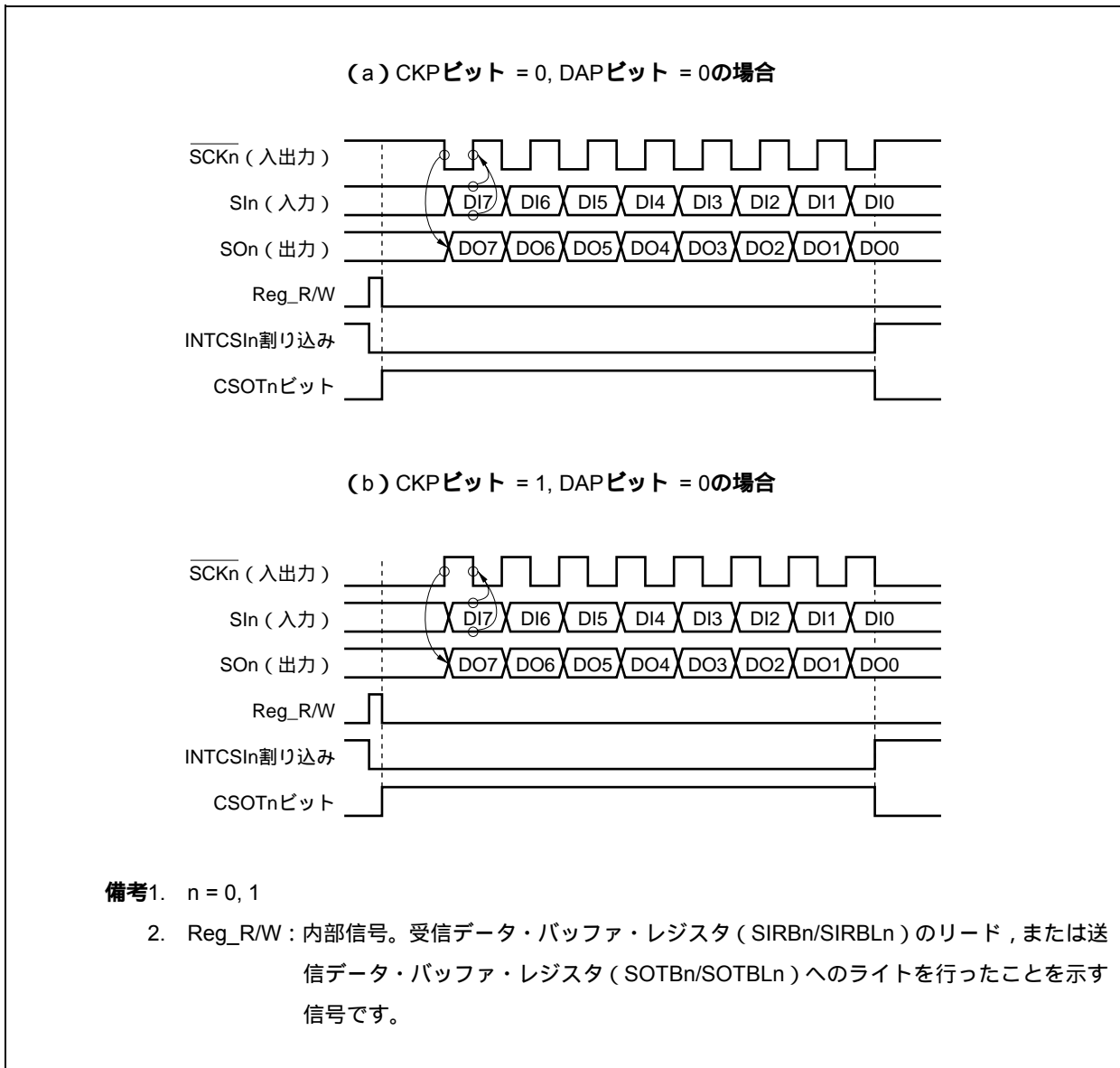
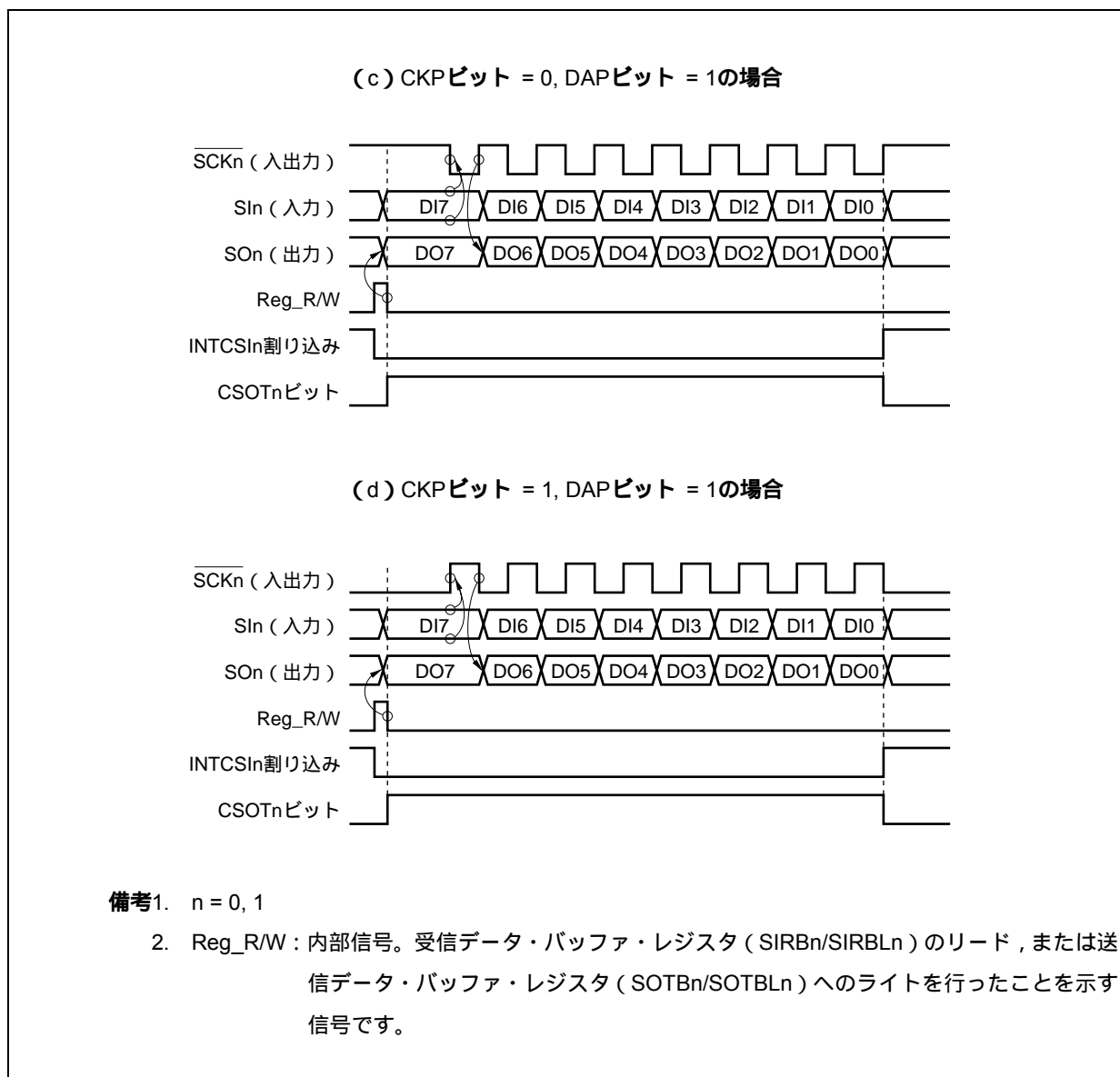


図10 - 27 クロック位相選択によるタイミング・チャート (2/2)



(c) 送受信完了割り込み要求信号 (INTCSI0, INTCSI1)

INTCSInは、データの送受信終了時にセット(1)されます。

**注意** 遅延モード(CSITビット = 1)は、マスタ・モード(CSICnレジスタのCKS2-CKS0ビットが111Bでない)のときだけ有効です。スレーブ・モード(CKS2-CKS0ビットが111B)時は、遅延モードに設定しないでください。

図10 - 28 遅延モード時の割り込み要求信号出力タイミング・チャート (1/2)

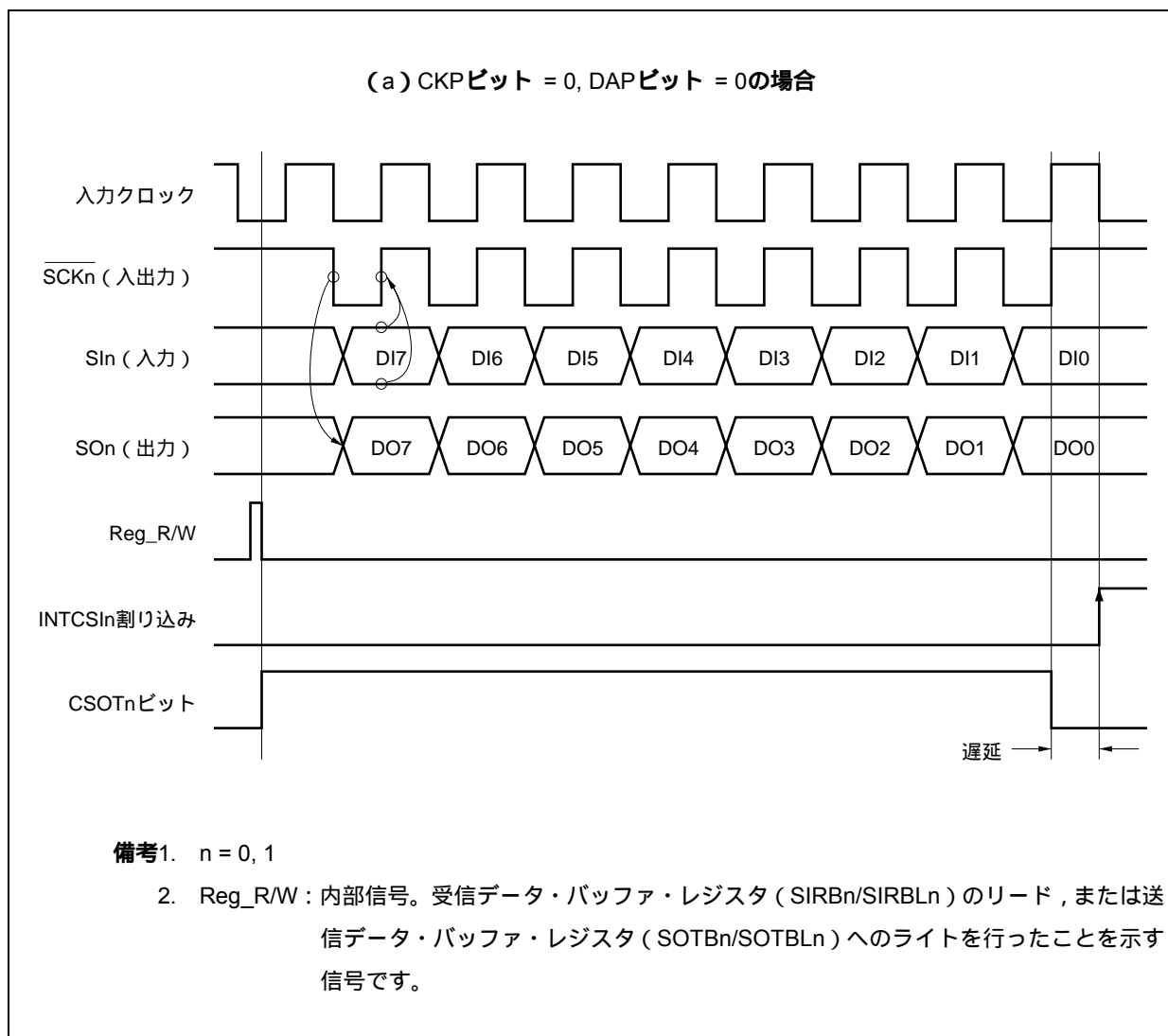
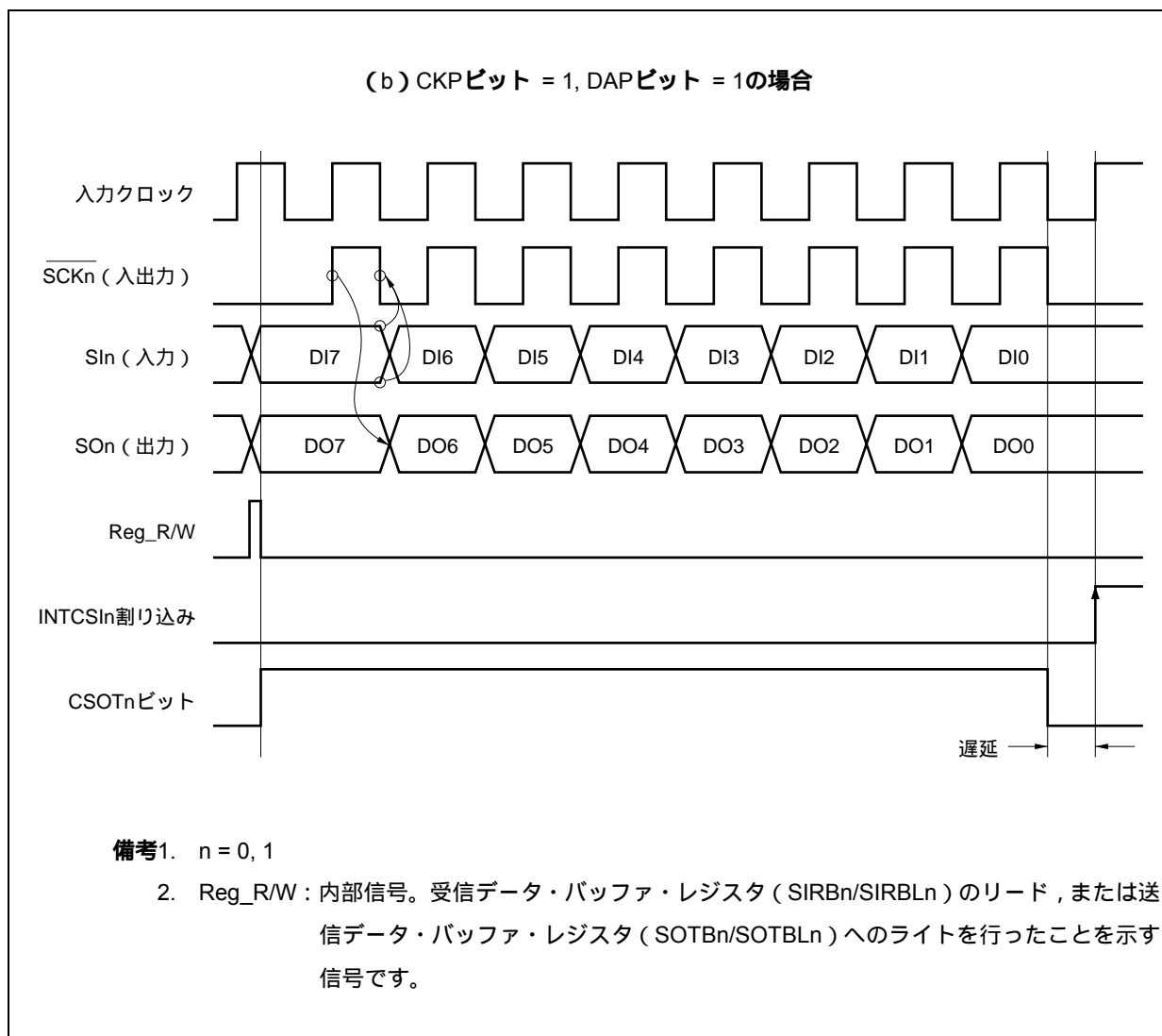


図10 - 28 遅延モード時の割り込み要求信号出力タイミング・チャート (2/2)



## (2) 繰り返し転送モード

### (a) 使用方法 (受信専用)

繰り返し転送モード (CSIMnレジスタのAUTOビット = 1)、受信専用モード (CSIMnレジスタのTRMDnビット = 0) に設定する。

SIRBnレジスタをリードする (ダミー・リードで転送を開始させる)。

送受信完了割り込み要求 (INTCSIn) を待つ。

送受信完了割り込み要求 (INTCSIn) がセット (1) されたら、SIRBnレジスタをリードする<sup>※</sup> (次の転送を予約する)。

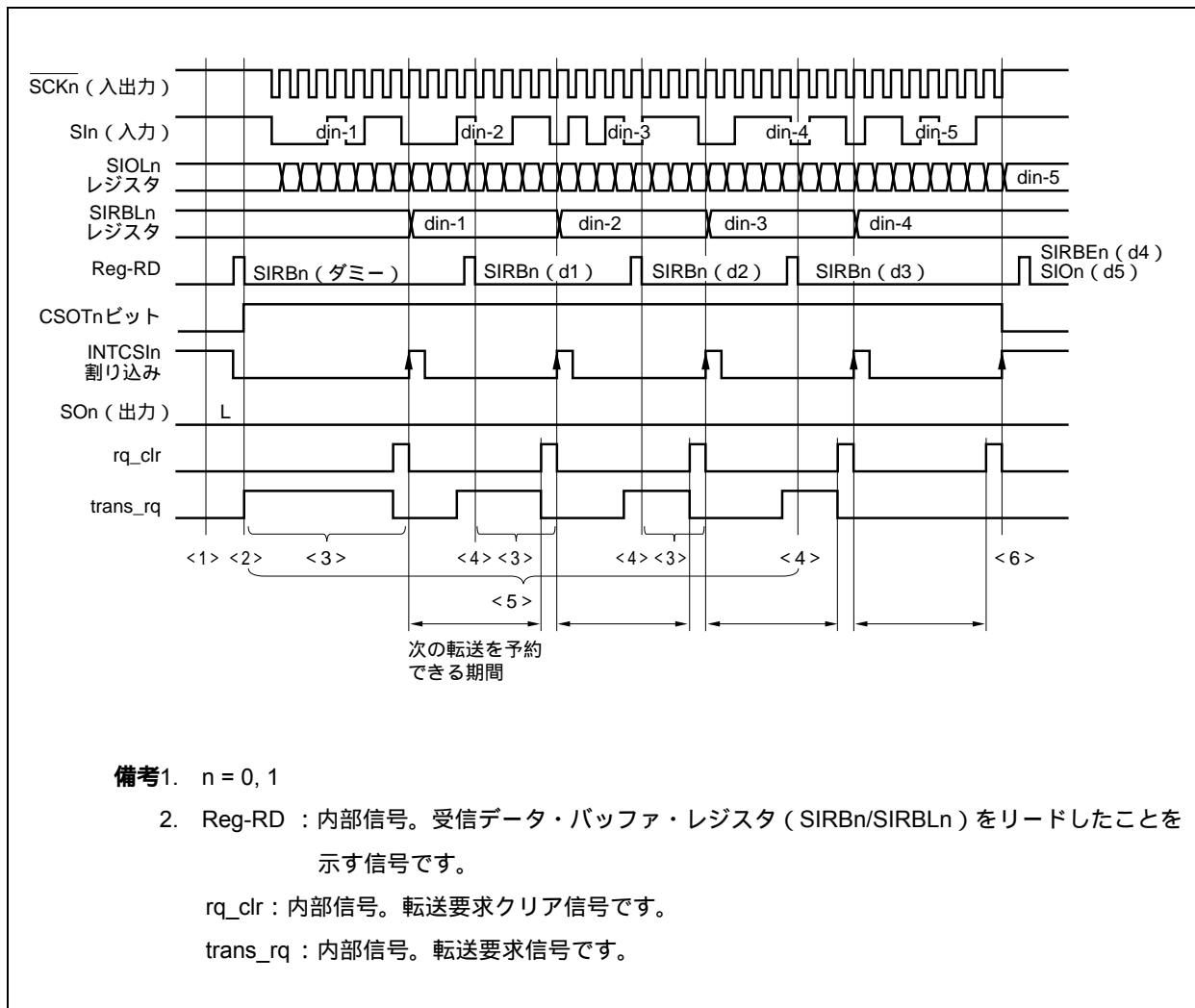
(N - 2) 回、`SIRBn` を繰り返す (N: 転送データ数)。

最後の送受信完了割り込み要求 (INTCSIn) 出力のあと、SIRBEnレジスタとSIOOnレジスタをリードする<sup>※</sup>。

**注** N個のデータを転送する場合、最初のデータから (N - 2) 番目のデータまではSIRBnレジスタをリードすることで受信データを取り込みます。(N - 1) 番目のデータはSIRBEnレジスタのリード、N番目 (最後) のデータはSIOOnレジスタのリードにより受信データを取り込みます。



図10 - 29 繰り返し転送（受信専用）タイミング・チャート



繰り返し転送モードの場合、2回の転送要求が最初の転送開始で設定されます。送受信完了割り込み要求 (INTCSIn) のあと、次の転送の予約期間内でSIRBnレジスタをリードできれば、転送は続けられます。SIRBnレジスタのリードができなければ、転送は終了し、SIRBnレジスタはSIOレジスタの新しい値を受け取りません。

最後のデータは転送終了後のSIOレジスタのリードで得られます。

## (b) 使用方法 (送受信)

繰り返し転送モード (CSIMnレジスタのAUTOビット = 1) , 送受信モード (CSIMnレジスタのTRMDnビット = 1) に設定する。

最初のデータをSOTBFnレジスタにライトする。

2番目のデータをSOTBnレジスタにライトする (転送を開始させる)。

送受信完了割り込み要求 (INTCSIn) を待つ。

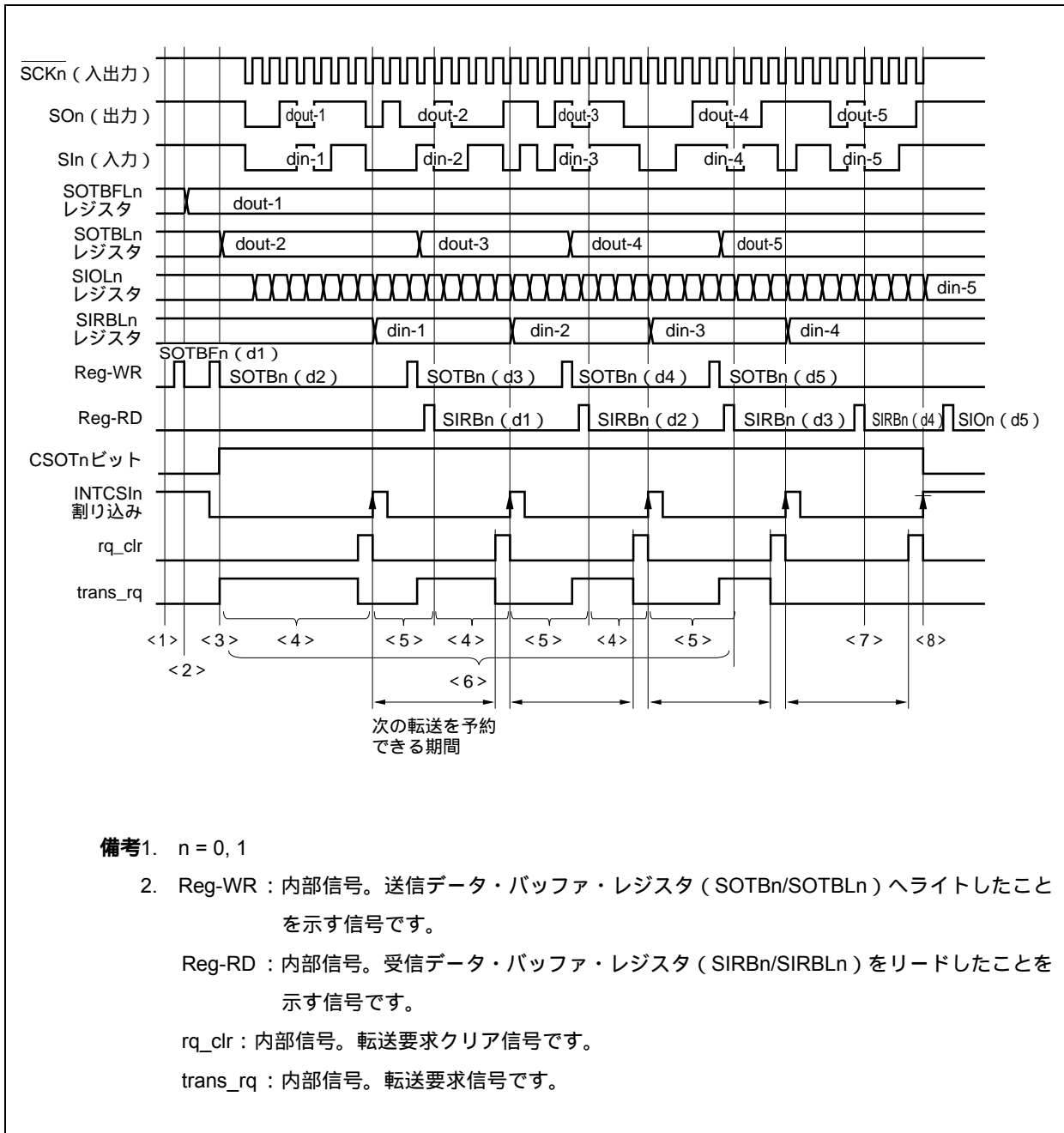
送受信完了割り込み要求 (INTCSIn) がセット (1) されたら , SOTBnレジスタに次のデータをライトし (次の転送を予約する) , SIRBnレジスタをリードして受信データを取り込む。

送りたいデータがある間 , , を繰り返す。

INTCSIn割り込みを待つ。割り込み要求信号がセット (1) されたら , SIRBnレジスタをリードして (N - 1) 番目の受信データを取り込む (N : 転送データ数)。

最後の送受信完了割り込み要求 (INTCSIn) のあと , SIOnレジスタをリードしてN番目 (最後) の受信データを取り込む。

図10 - 30 繰り返し転送 (送受信) タイミング・チャート



繰り返し転送モードの場合、2回の転送要求が最初の転送開始で設定されます。送受信完了割り込み要求 (INTCSIn) 発生のもと、次の転送の予約期間内でSOTBnレジスタに次のデータをライトできれば、転送は続けられます。SOTBnレジスタへのライトができなければ、転送は終了し、SIRBnレジスタはSIOLnレジスタの新しい値を受け取りません。

最後の受信データは転送終了後のSIOLnレジスタのリードで得られます。

(c) 次転送予約期間

繰り返し転送モードでは、図10 - 31に示す期間中に次の転送の準備をする必要があります。

図10 - 31 次転送予約期間タイミング・チャート (1/2)

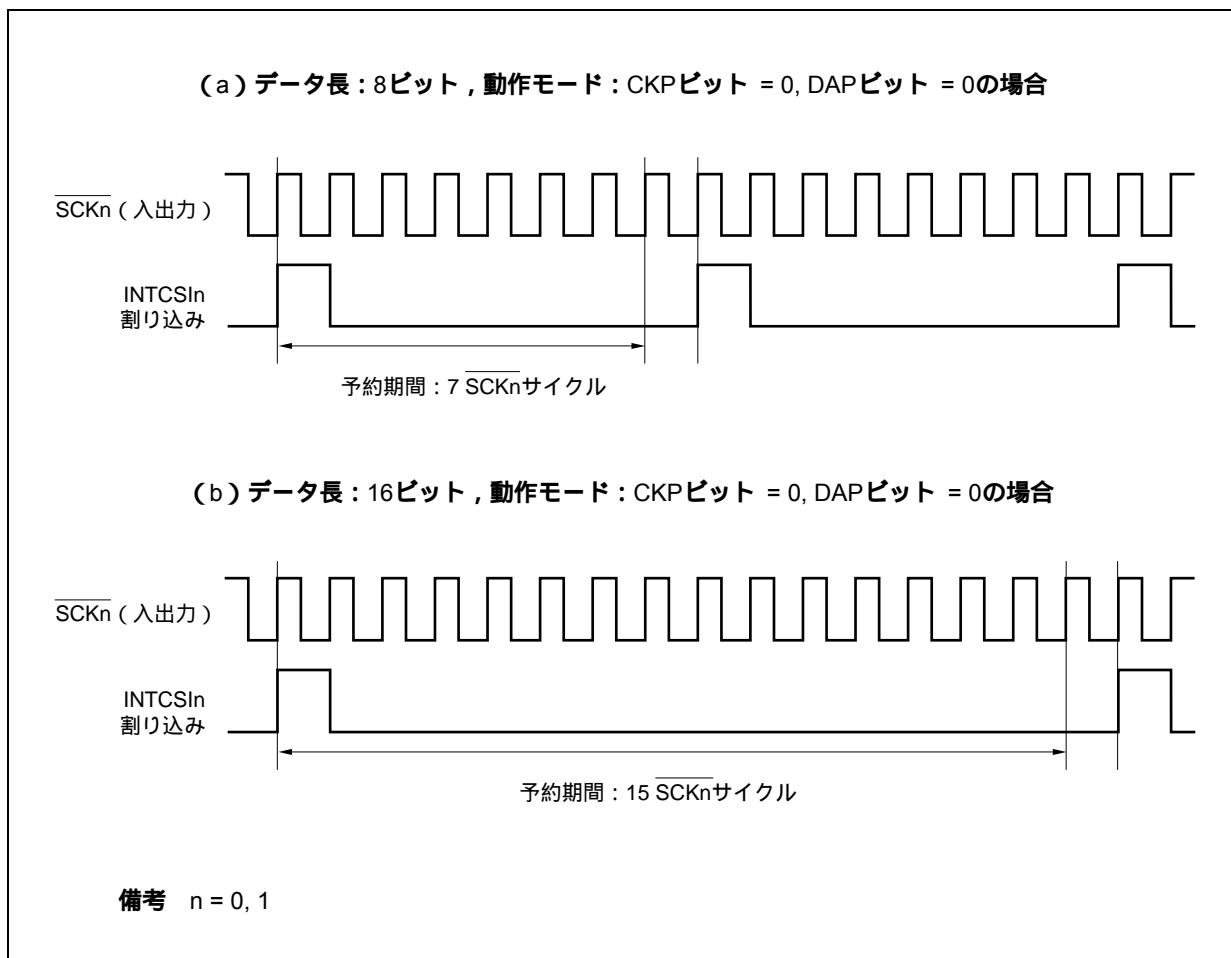
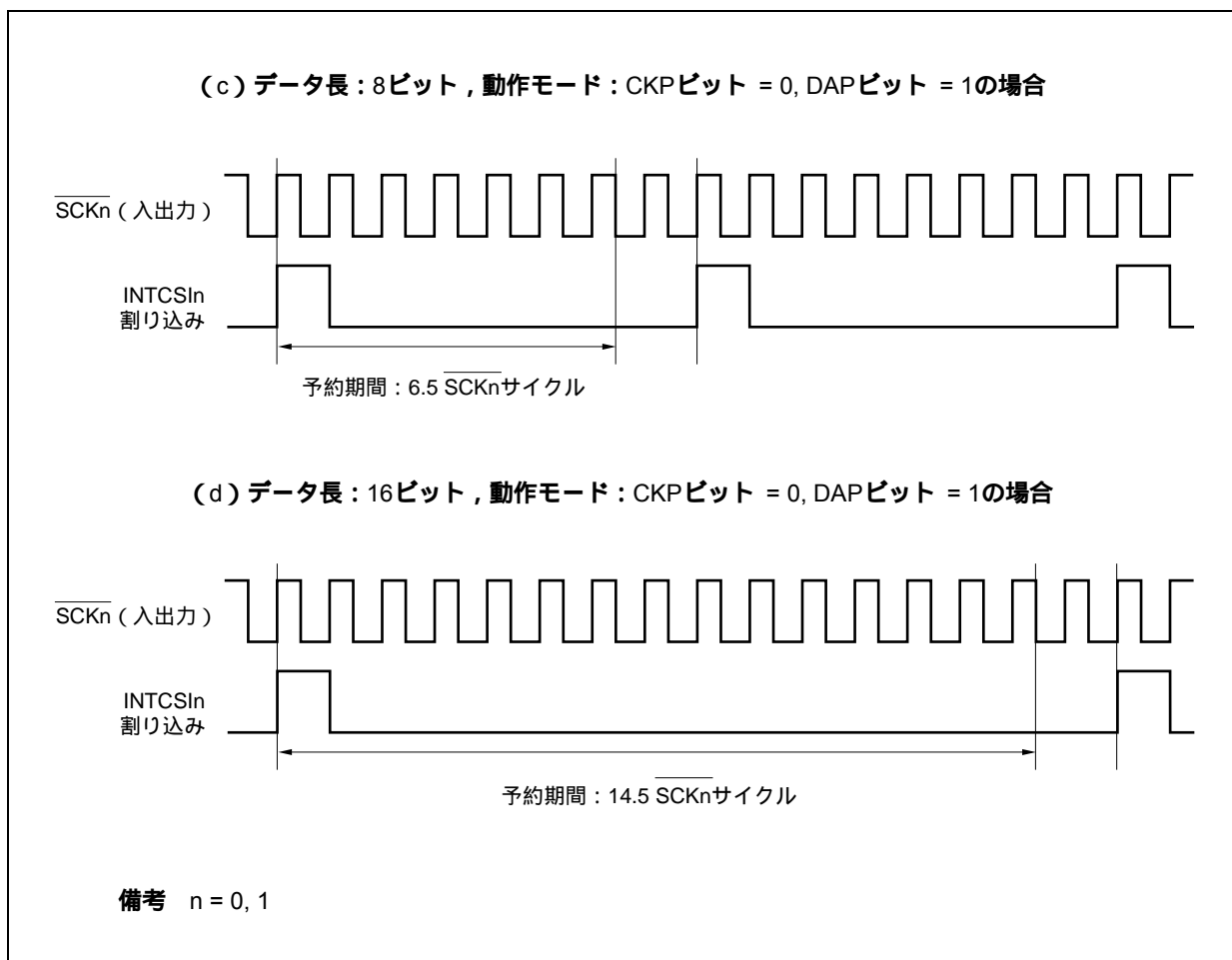


図10 - 31 次転送予約期間タイミング・チャート (2/2)



(d) 注意事項

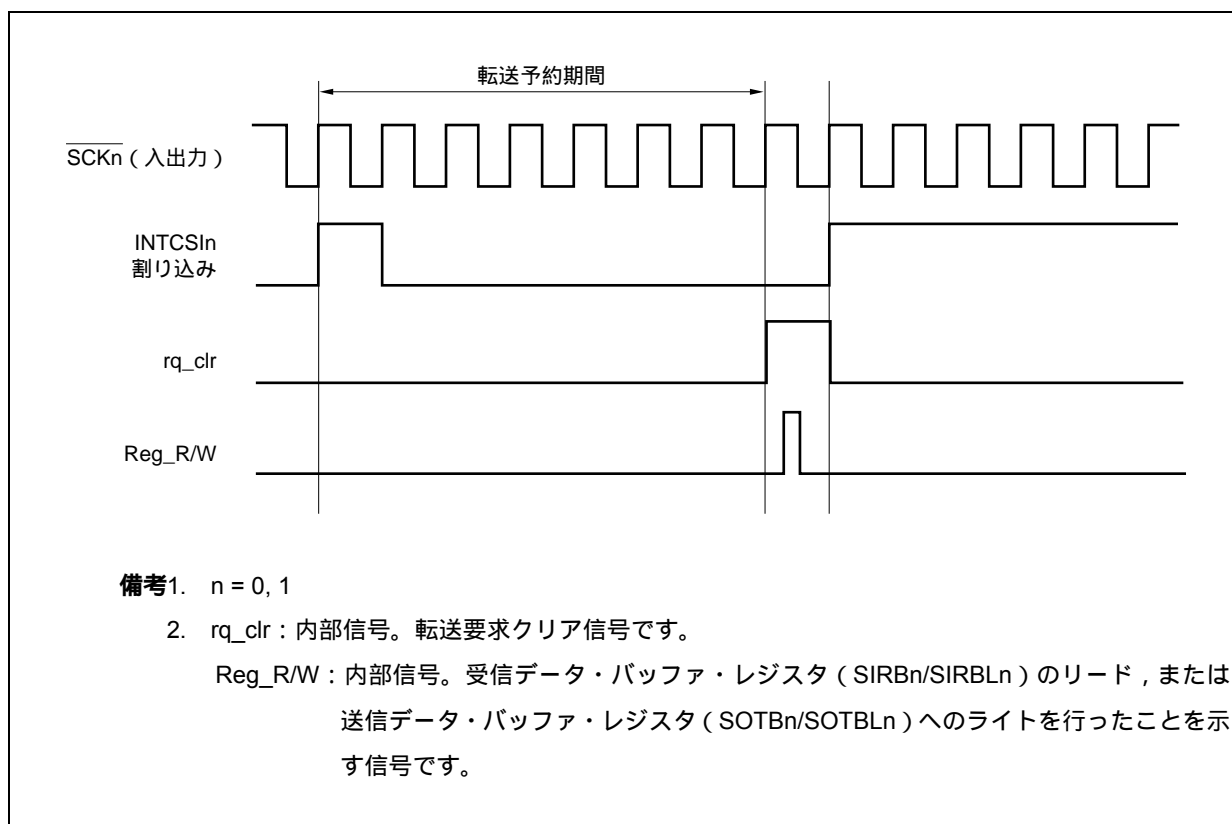
繰り返し転送を継続させるため、転送予約期間中にSIRBnレジスタのリード、またはSOTBnレジスタへのライトを必ず行ってください。

転送予約期間を過ぎてSIRBnレジスタやSOTBnレジスタをアクセスしたときには次のようになります。

(i) 転送要求クリアとレジスタ・アクセスが競合した場合

要求の解除は高い優先順位を持つため、次の転送要求は無視されます。そのため、転送は中断することになり、正常なデータ転送が行えなかったこととなります。

図10 - 32 転送要求クリアとレジスタ・アクセスの競合



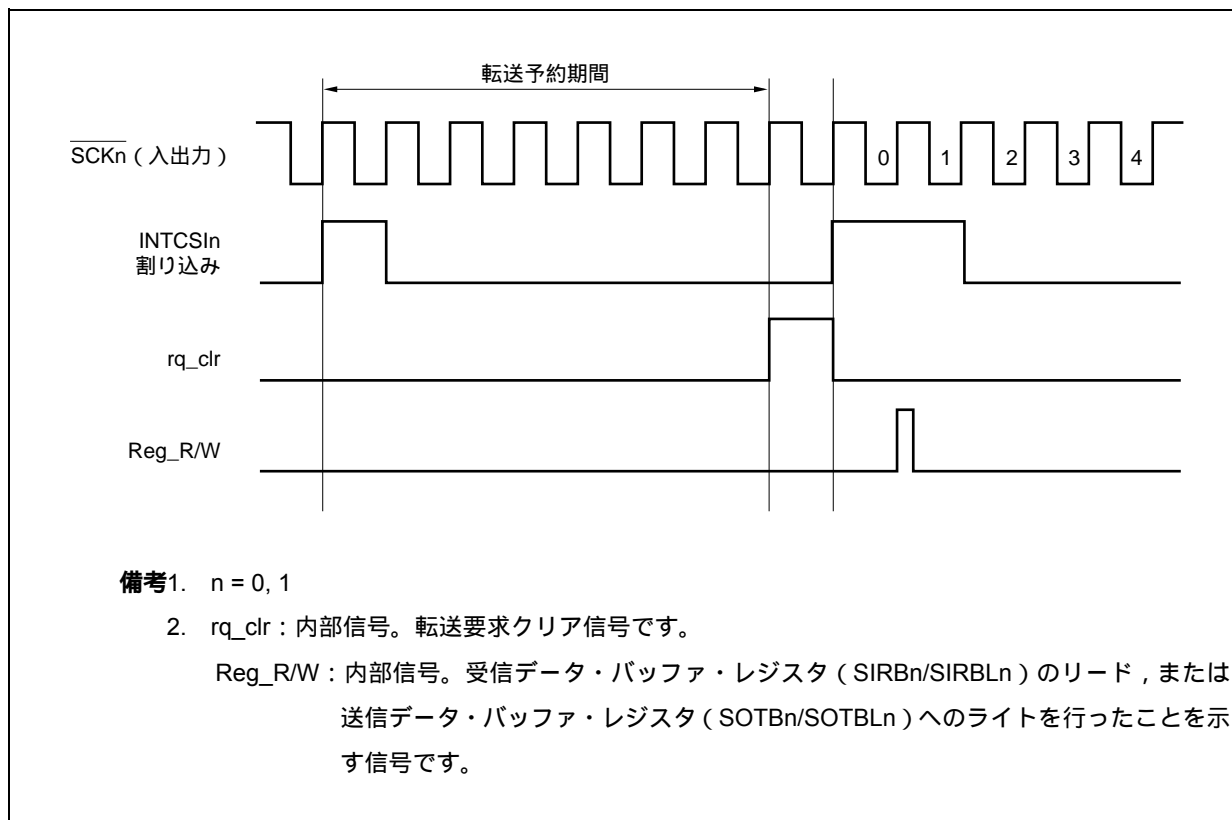
## (ii) 割り込み要求とレジスタ・アクセスが競合した場合

連続転送がいったん停止するため、新しい繰り返し転送開始として実行します。

スレーブ・モードの場合には、ビット相違の転送エラーとなります(図10 - 33参照)。

送受信モードの場合には、SOTBFnレジスタの値を再転送し、不正データを送ります。

図10 - 33 割り込み要求とレジスタ・アクセスの競合



### 10.4.5 出力端子

#### (1) SCKn端子

CSIn動作禁止 (CSIMnレジスタのCSICAE<sub>n</sub>ビット = 0) のとき、SCKn端子出力状態は次のようになります (n = 0, 1)。

表10 - 9 SCKn端子出力状態

CKP	CKS2	CKS1	CKS0	SCKn端子出力
0	任意	任意	任意	ハイ・レベル固定
1	1	1	1	ハイ・レベル固定
	上記以外			ロウ・レベル固定

備考1. n = 0, 1

- CSICnレジスタのCKP, CKS2-CKS0ビットのいずれかを書き換えたときに、SCKn端子出力が変化します。

#### (2) SOn端子

CSIn動作禁止 (CSIMnレジスタのCSICAE<sub>n</sub>ビット = 0) のとき、SOn端子出力状態は次のようになります (n = 0, 1)。

表10 - 10 SOn端子出力状態

TRMD <sub>n</sub>	DAP	AUTO	CCL	DIR <sub>n</sub>	SOn端子出力
0	任意	任意	任意	任意	ロウ・レベル固定
1	0	任意	任意	任意	SOラッチの値 (ロウ・レベル)
					1
	1	SOTB0の値			
	1	0	0	SOTB15の値	
			1	SOTB0の値	
	1	0	0	0	SOTBF7の値
				1	SOTBF0の値
		1	0	0	SOTBF15の値
1				SOTBF0の値	

備考1. n = 0, 1

- CSIMnレジスタのTRMD<sub>n</sub>, CCL, DIR<sub>n</sub>, AUTO, CSICnレジスタのDAPビットのいずれかを書き換えたときに、SOn端子出力が変化します。
- SOTB<sub>m</sub> : SOTB<sub>n</sub>レジスタのビットm (m = 0, 7, 15)
- SOTBF<sub>m</sub> : SOTBF<sub>n</sub>レジスタのビットm (m = 0, 7, 15)



### 10.4.6 専用ポー・レート・ジェネレータ3 (BRG3)

#### (1) ポー・レート・ジェネレータ3 (BRG3) の構成

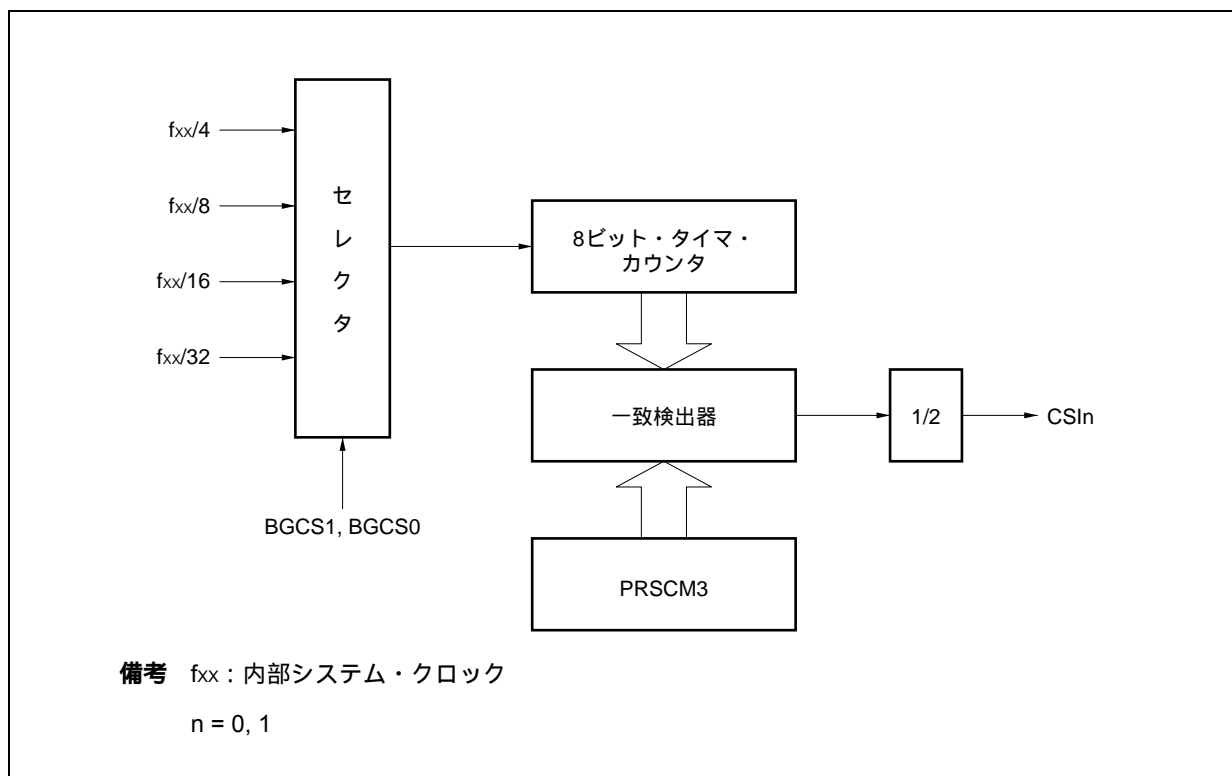
CSI0, CSI1のシリアル・クロックは、専用ポー・レート・ジェネレータ出力または内部システム・クロック ( $f_{xx}$ ) から選択できます。

シリアル・クロック・ソースは、CSIC0, CSIC1レジスタで指定します。

「専用ポー・レート・ジェネレータ出力」を指定した場合は、クロック・ソースとしてBRG3が選択されます。

送受信のシリアル・クロックは1つで共用できるため、送受信のポー・レートは同一となります。

図10 - 34 ポー・レート・ジェネレータ3 (BRG3) のブロック図



(2) 専用ポー・レート・ジェネレータ3 (BRG3)

BRG3は、ポー・レート信号生成用の8ビット・タイマ・カウンタ、ポー・レート信号の生成を制御するプリスケアラ・モード・レジスタ3 (PRSM3)、8ビット・タイマ・カウンタの値を設定するプリスケアラ・コンペア・レジスタ3 (PRSCM3) とプリスケアラから構成されます。

(a) 入力クロック

BRG3へは、内部システム・クロック (f<sub>xx</sub>) が入力されます。

(b) プリスケアラ・モード・レジスタ3 (PRSM3)

PRSM3レジスタは、CSI0, CSI1のポー・レート信号の生成を制御します。

8/1ビット単位でリード/ライト可能です。

注意1. 送受信動作中にBGCS1, BGCS0ビットの値を変更しないでください。

2. PRSM3レジスタの設定はCSIMnレジスタのCSICAEnビットに“1”を設定する前に行ってください (n = 0, 1)。

	7	6	5	4	3	2	1	0	アドレス	初期値
PRSM3	0	0	0	CE	0	0	BGCS1	BGCS0	FFFFFF920H	00H

ビット位置	ビット名	意味															
4	CE	ポー・レート用カウンタ動作許可を指定します。 0: ポー・レート用カウンタの動作を停止し、ポー・レート出力信号を“0”固定します。 1: ポー・レート用カウンタの動作を許可し、ポー・レート出力動作を開始します。															
1, 0	BGCS1, BGCS0	ポー・レート用カウンタへのカウント・クロックの選択を指定します。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <thead> <tr> <th style="width: 15%;">BGCS1</th> <th style="width: 15%;">BGCS0</th> <th style="width: 70%;">カウント・クロックの選択</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>f<sub>xx</sub>/4</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>f<sub>xx</sub>/8</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>f<sub>xx</sub>/16</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>f<sub>xx</sub>/32</td> </tr> </tbody> </table> <p style="margin-top: 10px;">備考 f<sub>xx</sub> = 内部システム・クロック</p>	BGCS1	BGCS0	カウント・クロックの選択	0	0	f <sub>xx</sub> /4	0	1	f <sub>xx</sub> /8	1	0	f <sub>xx</sub> /16	1	1	f <sub>xx</sub> /32
BGCS1	BGCS0	カウント・クロックの選択															
0	0	f <sub>xx</sub> /4															
0	1	f <sub>xx</sub> /8															
1	0	f <sub>xx</sub> /16															
1	1	f <sub>xx</sub> /32															

(c) プリスケアラ・コンペア・レジスタ3 (PRSCM3)

PRSCM3は8ビット・タイマ・カウンタの値を設定する8ビットのコンペア・レジスタです。  
8ビット単位でリード/ライト可能です。

- 注意1. PRSM3レジスタへの書き込み動作により内部タイマ・カウンタがクリアされます。したがって、送信動作中にはPRSCM3レジスタを書き換えしないでください。
2. CSIMnレジスタのCSICAE<sub>n</sub>ビットに1を設定する前にPRSCM3レジスタの設定を行ってください。CSICAE<sub>n</sub>ビット = 1のときにPRSCM3レジスタの内容を書き換えた場合は、ポー・レート信号の周期は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
PRSCM3	PRSCM7	PRSCM6	PRSCM5	PRSCM4	PRSCM3	PRSCM2	PRSCM1	PRSCM0	FFFF922H	00H

(d) ポー・レート信号の周期

ポー・レート信号の周期は次のようにして計算します。

・ PRSCM3レジスタの設定値が00Hの場合

PRSM3レジスタのBGCS1, BGCS0ビットで選択された信号の周期 × 256 × 2

・ 上記以外の場合

PRSM3レジスタのBGCS1, BGCS0ビットで選択された信号の周期 × PRSCM3レジスタの設定値 × 2

(e) ボー・レート設定値

表10 - 11 ボー・レート・ジェネレータ設定データ

(a)  $f_{xx} = 32 \text{ MHz}$ の場合

BGCS1	BGCS0	PRSCMレジスタ値	クロック (Hz)
0	0	1	4000000
0	0	2	2000000
0	0	4	1000000
0	0	8	500000
0	0	16	250000
0	0	40	100000
0	0	80	50000
0	0	160	25000
0	1	200	10000
1	0	200	5000

(b)  $f_{xx} = 40 \text{ MHz}$ の場合

BGCS1	BGCS0	PRSCMレジスタ値	クロック (Hz)
0	0	2	2500000
0	0	5	1000000
0	0	10	500000
0	0	20	250000
0	0	50	100000
0	0	100	50000
0	0	200	25000
0	1	250	10000
1	0	250	5000

(c)  $f_{xx} = 50 \text{ MHz}$

BGCS1	BGCS0	PRSCMレジスタ値	クロック (Hz)
0	0	2	3125000
0	0	4	1562500
0	0	5	1250000
0	0	10	625000
0	0	25	250000
0	0	50	125000
0	0	125	50000
0	0	250	25000
0	1	250	12500
1	0	250	6250

注意 転送クロックは電气的特性で規定されるSCKn周期 ( $t_{cysk1}$ ) のMIN.値200 nsを下回らないように設定してください。

# 第11章 FCANコントローラ

V850E/IA1は、CAN仕様Ver.2.0 PartB activeに準拠したFCAN ( Full Controller Area Network ) コントローラを1チャンネル内蔵しています。

## 11.1 機能概要

表11 - 1に機能概要を示します。

表11 - 1 機能概要

機能	詳細
プロトコル	CANプロトコルVer.2.0 PartB active ( 標準および拡張フレームの送受信 )
ポー・レート	最大1 Mbps ( 16 MHzクロック入力時 )
データ・ストレージ	・ 共通アクセス可能RAM領域に配置 ・ 未使用メッセージ・バイトにマッピングされているRAMはCPUで他の処理に使用可能
マスク機能	・ 4つ ・ グローバル・マスクとローカル・マスクは区別することなしに使用可能
メッセージ構成	送信メッセージまたは受信メッセージとして宣言可能
メッセージ数	32メッセージ
メッセージ格納方法	・ IDに対応した受信バッファへの格納 ・ 受信マスク機能により指定されたバッファへ格納
リモート受信	・ リモート・フレームは受信メッセージ・バッファもしくは送信メッセージ・バッファのいずれかに受信可能 ・ 送信メッセージ・バッファ上にリモート・フレームを受信する場合、リモート要求をCPUで処理するか、または自動送信を開始するかを選択可能
リモート送信	リモート・フレームは送信メッセージのRTRビット(M_CTRLnレジスタ)を設定するか、受信メッセージの送信要求を設定することにより送出可能
タイム・スタンプ機能	受信および送信メッセージに対してタイム・スタンプ機能が設定可能
診断機能	・ リード可能エラー・カウンタあり ・ バス接続確認用“有効プロトコル動作フラグ”あり ・ 自動ポー・レート検出用受信専用モードあり ・ 診断処理モードあり
低消費電力モード	・ CANスリープ・モード ( CANバスによりウエイク・アップ可能 ) ・ CANストップ・モード ( CANバスによるウエイク・アップ不可 )

備考 n = 00-31

## 11.2 構 成

FCANは、次に示す4つのブロックから構成されています。

### (1) NPBインタフェース

NPB (NEC周辺I/Oバス) インタフェースと信号の送受信を行うための機能ブロックです。

### (2) MAC (Memory Access Controller)

FCAN内部でCANモジュールやCAN RAMへのアクセスを制御している機能ブロックです。

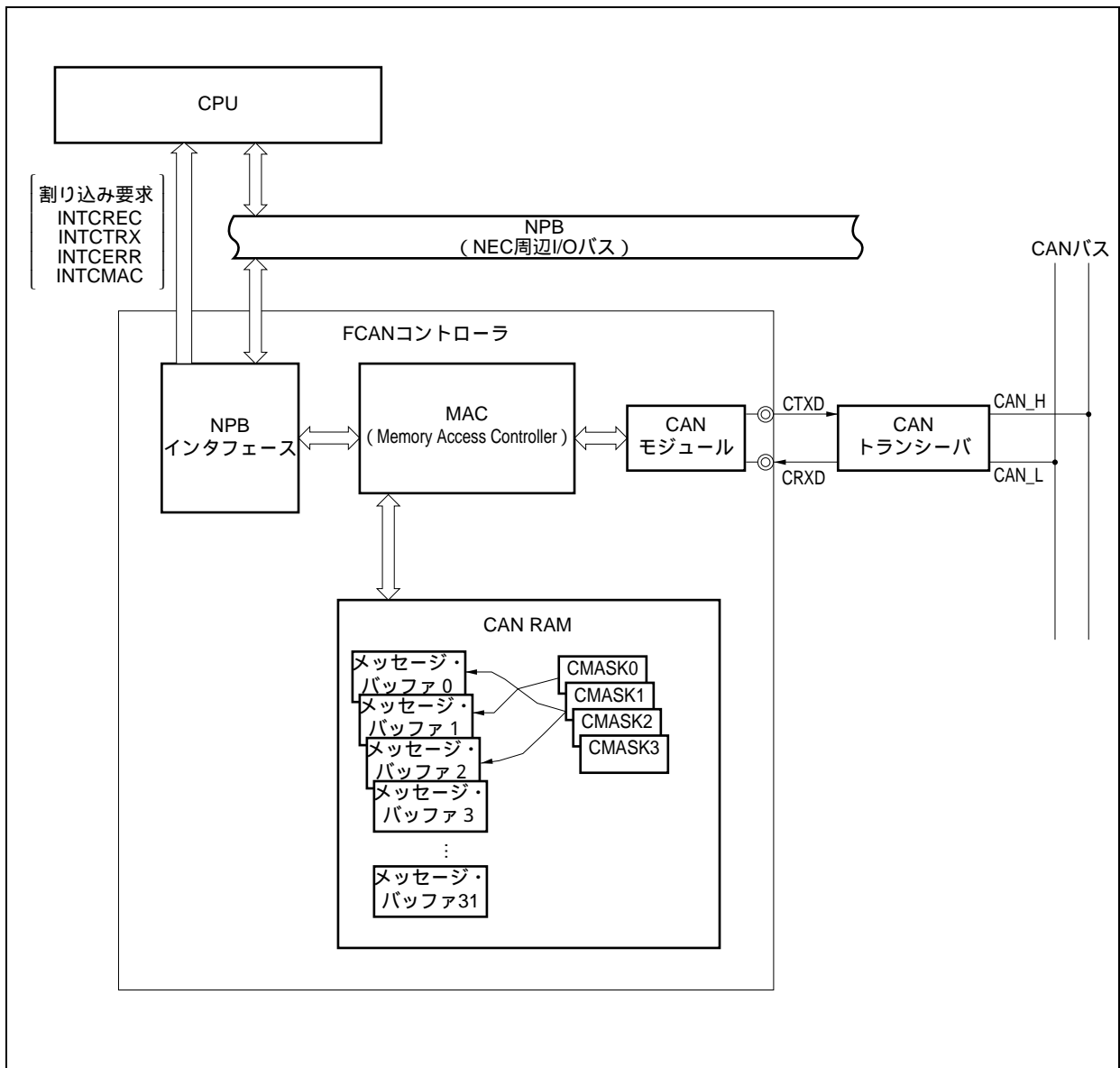
### (3) CANモジュール

CANのプロトコル・レイヤとその設定を行う機能ブロックです。

### (4) CAN RAM

メッセージIDやメッセージ・データなどを格納するCANのメモリ機能ブロックです。

図11-1 FCANのブロック図



## 11.3 メッセージとバッファの構成

表11-2 メッセージとバッファの構成

アドレス <sup>注</sup> (m = 2, 6, A, E)	レジスタ名	アドレス <sup>注</sup> (m = 2, 6, A, E)	レジスタ名
xxxxm800H-xxxxm81FH	メッセージ・バッファ0領域	xxxxmA00H-xxxxmA1FH	メッセージ・バッファ16領域
xxxxm820H-xxxxm83FH	メッセージ・バッファ1領域	xxxxmA20H-xxxxmA3FH	メッセージ・バッファ17領域
xxxxm840H-xxxxm85FH	メッセージ・バッファ2領域	xxxxmA40H-xxxxmA5FH	メッセージ・バッファ18領域
xxxxm860H-xxxxm87FH	メッセージ・バッファ3領域	xxxxmA60H-xxxxmA7FH	メッセージ・バッファ19領域
xxxxm880H-xxxxm89FH	メッセージ・バッファ4領域	xxxxmA80H-xxxxmA9FH	メッセージ・バッファ20領域
xxxxm8A0H-xxxxm8BFH	メッセージ・バッファ5領域	xxxxmAA0H-xxxxmABFH	メッセージ・バッファ21領域
xxxxm8C0H-xxxxm8DFH	メッセージ・バッファ6領域	xxxxmAC0H-xxxxmADFH	メッセージ・バッファ22領域
xxxxm8E0H-xxxxm8FFH	メッセージ・バッファ7領域	xxxxmAE0H-xxxxmAFFH	メッセージ・バッファ23領域
xxxxm900H-xxxxm91FH	メッセージ・バッファ8領域	xxxxmB00H-xxxxmB1FH	メッセージ・バッファ24領域
xxxxm920H-xxxxm93FH	メッセージ・バッファ9領域	xxxxmB20H-xxxxmB3FH	メッセージ・バッファ25領域
xxxxm940H-xxxxm95FH	メッセージ・バッファ10領域	xxxxmB40H-xxxxmB5FH	メッセージ・バッファ26領域
xxxxm960H-xxxxm97FH	メッセージ・バッファ11領域	xxxxmB60H-xxxxmB7FH	メッセージ・バッファ27領域
xxxxm980H-xxxxm99FH	メッセージ・バッファ12領域	xxxxmB80H-xxxxmB9FH	メッセージ・バッファ28領域
xxxxm9A0H-xxxxm9BFH	メッセージ・バッファ13領域	xxxxmBA0H-xxxxmBBFH	メッセージ・バッファ29領域
xxxxm9C0H-xxxxm9DFH	メッセージ・バッファ14領域	xxxxmBC0H-xxxxmBDFH	メッセージ・バッファ30領域
xxxxm9E0H-xxxxm9FFH	メッセージ・バッファ15領域	xxxxmBE0H-xxxxmBFFH	メッセージ・バッファ31領域

注 CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxxのアドレスを自由に配置できます。ただし、xxxxのアドレスは一度設定すると変更できません。

注意 インサーキット・エミュレータ (IE-V850E-MC, IE-703116-MC-EM1) を用いて、FCANコントローラのエミュレーションを行う場合は、デバッグ起動時のコンフィグレーション画面において、次の処置をしてください。

- ・「Programable I/O Area」にBPCレジスタで設定を行ったプログラマブル周辺I/O領域の先頭アドレスを設定してください。
- ・「Memory Mapping」にプログラマブル周辺I/O領域を「Target」もしくは「Emulation RAM」としてマッピングしてください。

備考 各メッセージ・バッファの詳細については、3.4.9 プログラマブル周辺I/Oレジスタ一覧を参照してください。



## 11.4 タイム・スタンプ機能

FCANコントローラはタイム・スタンプ機能をサポートしています。この機能はグローバル・タイム・システムを構築するために必要となります。

タイム・スタンプ機能は16ビット・フリー・ランニングのタイム・スタンプ・カウンタを使用して実現します。

FCANコントローラでは、メッセージ受信時には2種類のタイム・スタンプ機能の設定ができます。タイム・スタンプ機能の設定は、CAN1コントロール・レジスタ (C1CTRL) のビット3 (TMR) で行います。TMRビット = 0の場合には、CANバス上にSOFを検出するとタイム・スタンプ・カウンタ値をキャプチャし (図11-2参照)、TMRビット = 1の場合には、CANバス上にEOFを検出する (有効なメッセージを確認) とタイム・スタンプ・カウンタ値をキャプチャします (図11-3参照)。

図11-2 メッセージ受信時のタイム・スタンプ機能設定 (C1CTRLレジスタのTMRビット = 0の場合)

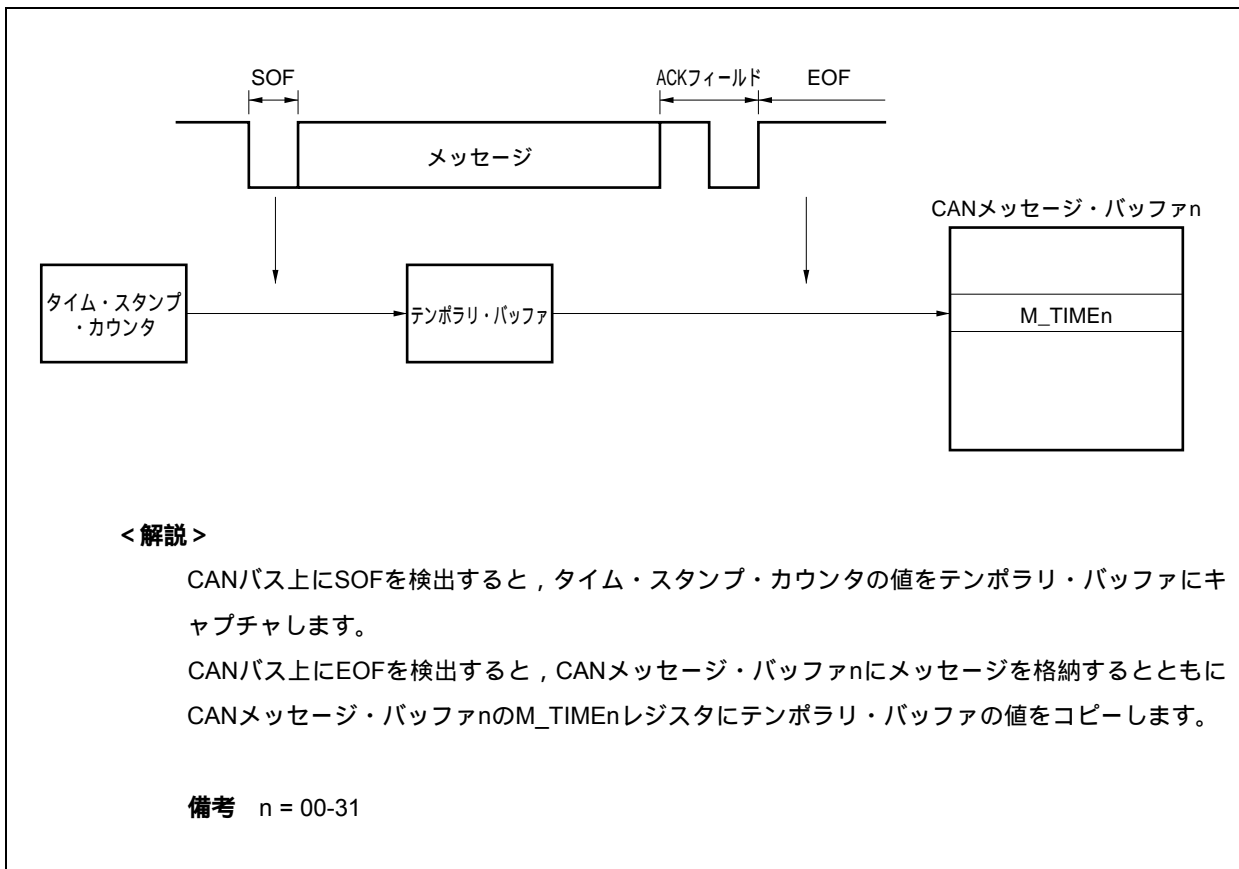
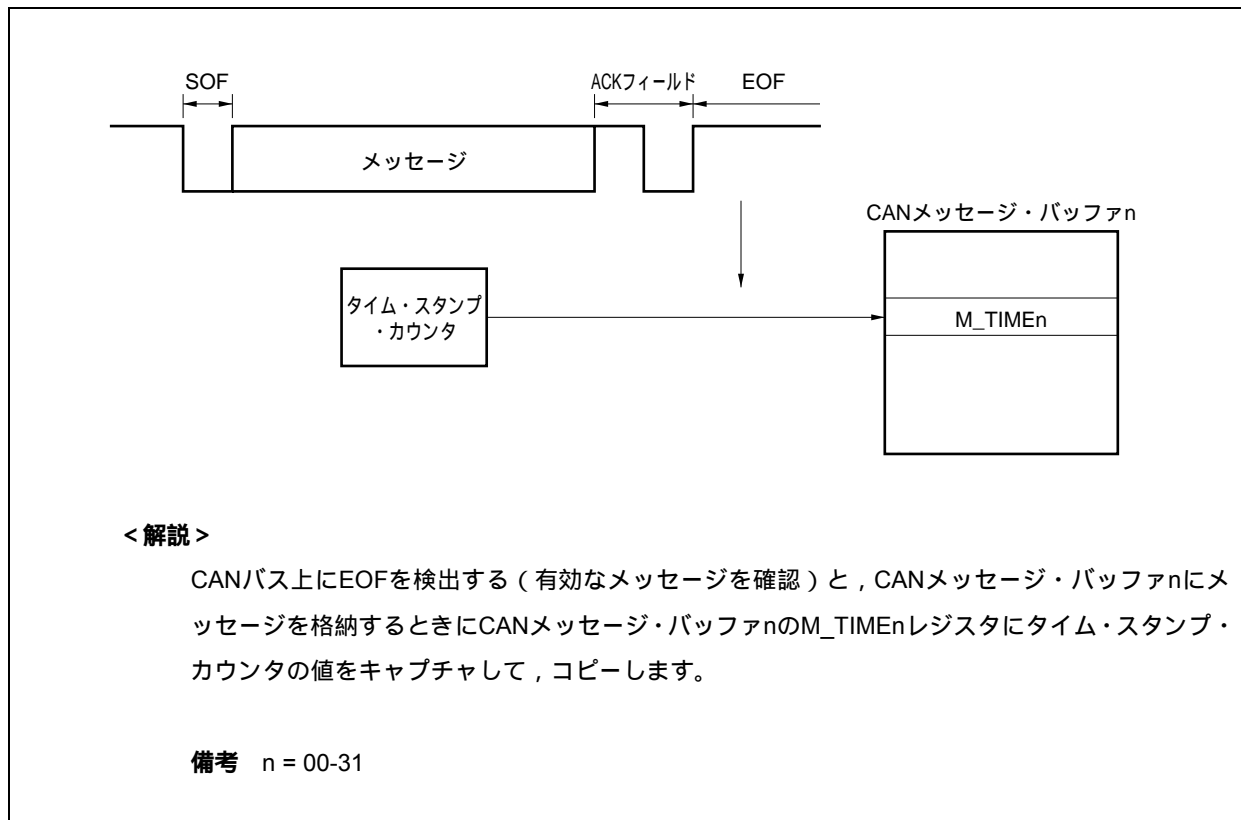


図11-3 メッセージ受信時のタイム・スタンプ機能設定 (C1CTRLレジスタのTMRビット = 1の場合)



グローバル・タイム・システムでは、SOFでタイム値をキャプチャする必要があります。

また、メッセージをCANメッセージ・バッファnに格納するときにタイム・スタンプ・カウンタの値をキャプチャできるとFCANコントローラの性能を評価するのに有効です。

タイム・スタンプ・カウンタのキャプチャ値は各CANメッセージ・バッファnに格納されるため、CANメッセージ・バッファnごとにタイム・スタンプ機能を持っています (n = 00-31)。

メッセージ送信時には、CANバス上にSOFを検出した場合、CANメッセージ・コントロール・レジスタn (M\_CTRLn) のビット5 (ATS) の設定によりメッセージの最後の2バイトをタイム・スタンプ・カウンタのキャプチャ値と交換するかどうかを選択できます。この機能はCANメッセージ・バッファnごとに選択できます。図11-4にATSビット = 1のときのタイム・スタンプ設定を示します。

図11-4 メッセージ送信時のタイム・スタンプ機能設定 (M\_CTRLレジスタのATSビット = 1の場合)

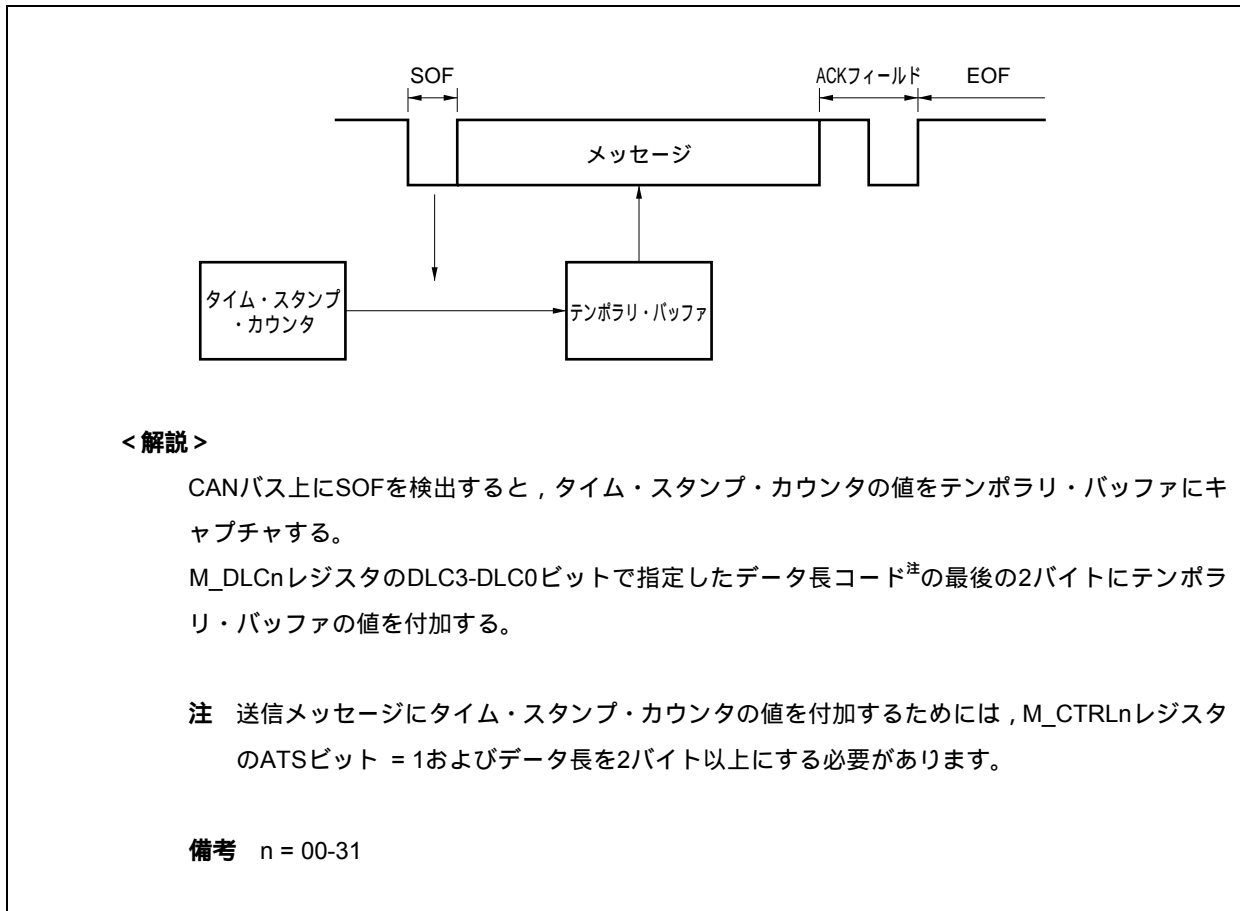


表11-3 送信メッセージの最後の2バイトにタイム・スタンプ・カウンタのキャプチャ値を付加する場合の例

データ・フィールド DLCビット値 <sup>注1</sup>	データ1	データ2	データ3	データ4	データ5	データ6	データ7	データ8
1	M_DATAn0 レジスタ値	-	-	-	-	-	-	-
2	注2	注3	-	-	-	-	-	-
3	M_DATAn0 レジスタ値	注2	注3	-	-	-	-	-
4	M_DATAn0 レジスタ値	M_DATAn1 レジスタ値	注2	注3	-	-	-	-
5	M_DATAn0 レジスタ値	M_DATAn1 レジスタ値	M_DATAn2 レジスタ値	注2	注3	-	-	-
6	M_DATAn0 レジスタ値	M_DATAn1 レジスタ値	M_DATAn2 レジスタ値	M_DATAn3 レジスタ値	注2	注3	-	-
7	M_DATAn0 レジスタ値	M_DATAn1 レジスタ値	M_DATAn2 レジスタ値	M_DATAn3 レジスタ値	M_DATAn4 レジスタ値	注2	注3	-
8	M_DATAn0 レジスタ値	M_DATAn1 レジスタ値	M_DATAn2 レジスタ値	M_DATAn3 レジスタ値	M_DATAn4 レジスタ値	M_DATAn5 レジスタ値	注2	注3
9-15	M_DATAn0 レジスタ値	M_DATAn1 レジスタ値	M_DATAn2 レジスタ値	M_DATAn3 レジスタ値	M_DATAn4 レジスタ値	M_DATAn5 レジスタ値	注2	注3

注1. 11.10(2) CANメッセージ・データ長レジスタ00-31 (M\_DLC00-M\_DLC31) 参照

2. CANバス上にSOFを検出したときのタイム・スタンプ・カウンタ値の下位8ビット
3. CANバス上にSOFを検出したときのタイム・スタンプ・カウンタ値の上位8ビット

備考 n = 00-31

## 11.5 メッセージ処理

FCANコントローラはモジュラ方式を採用しています。このため、メッセージをメッセージ領域内で自由に配置できます。

各メッセージは、CANモジュールにリンクされたマスク機能に対して、それぞれリンクできます。

### 11.5.1 メッセージ送信

FCANはマルチマスタ方式の通信システムです。このシステムの中では、メッセージの送信優先順位はメッセージのアイデンティファイア (ID) によって決定されます。

アプリケーション・ソフトウェアによる送信処理を容易にするため、CANモジュールは複数の送信待ちメッセージが存在する場合、リンクされているメッセージのどれが最高優先順位を持っているのかハードウェアによりIDを調べて自動的に判断します。

したがって、ソフトウェアにより優先順位制御を行う必要がありません。

また、C1DEFレジスタのPBBビットの設定により、送信時のプライオリティ制御ができます。

- ・PBBビット = 0に設定した場合 (図11 - 5参照)

アイデンティファイア (ID) による送信プライオリティ制御を行います。

アプリケーション・ソフトウェアにおいて同時に設定できるメッセージ・バッファ内の送信待ちメッセージ数<sup>注</sup>は、CANモジュールにつき、5メッセージまでです。

注 M\_STAT00-M\_STAT31レジスタのTRQビット = 1に設定されているメッセージ・バッファ数

- ・PBBビット = 1に設定した場合 (図11 - 6参照)

メッセージ番号による送信プライオリティ制御を行います。

アプリケーション・ソフトウェアによるメッセージ・バッファ内の送信待ちメッセージ数の制限はありません。

図11 - 5 メッセージ処理例 (PBBビット = 0に設定した場合)

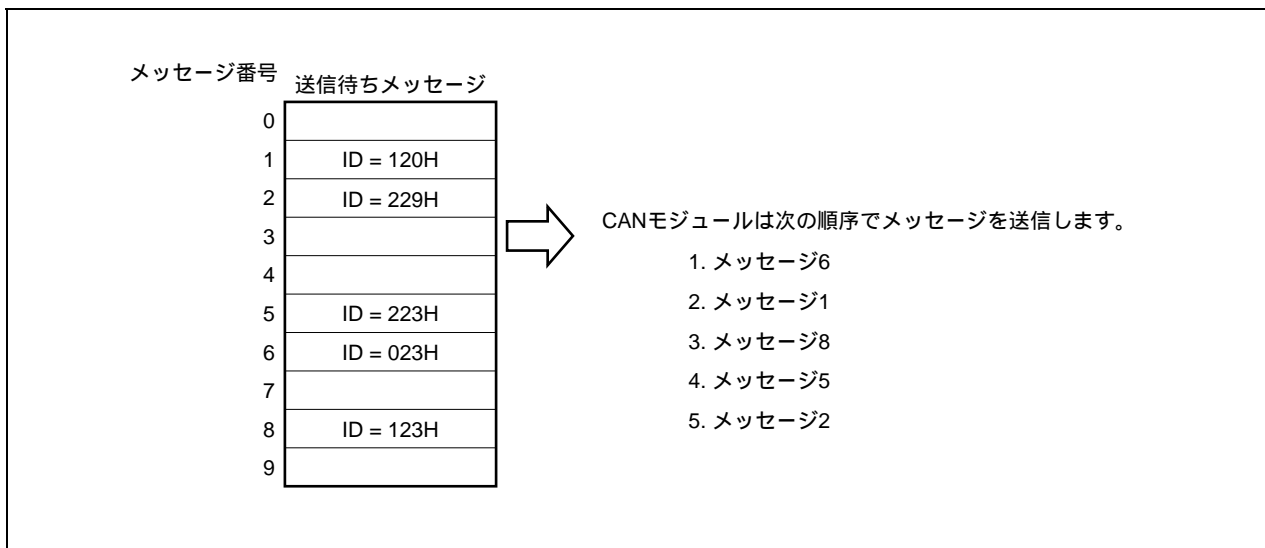
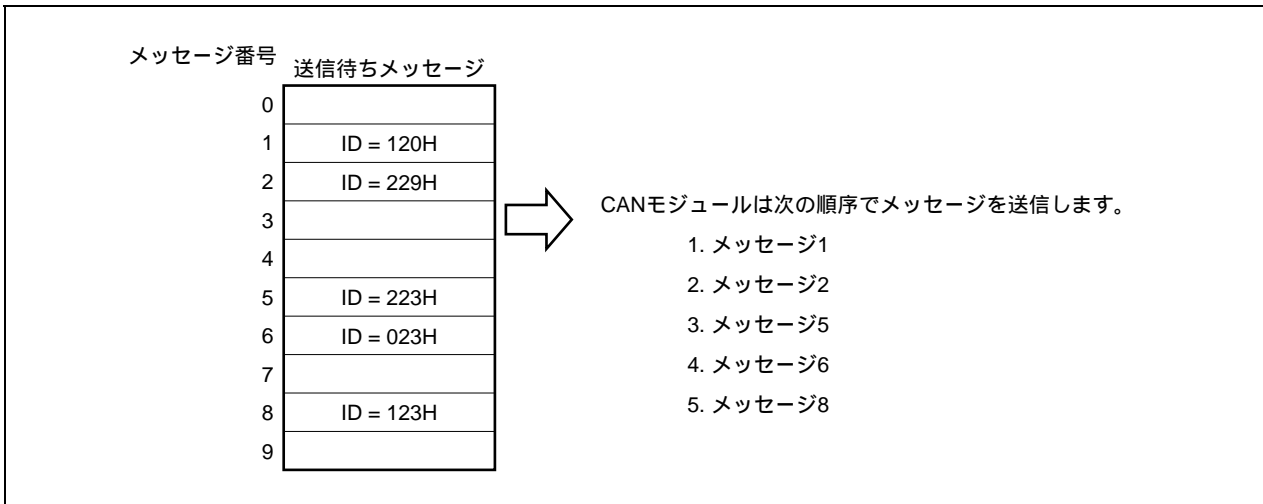


図11-6 メッセージ処理例 (PBBビット = 1に設定した場合)



### 11.5.2 メッセージ受信

CANモジュールの複数のメッセージ・バッファにメッセージを受信した場合、受信メッセージの格納優先順位は次のようになります (データ・フレームとリモート・フレームで格納優先順位は異なります)。

表11-4 データ・フレーム受信の格納優先順位

優先順位	条件
2 (高)	マスクされていないメッセージ・バッファ
3	マスク0とリンクしたメッセージ・バッファ
4	マスク1とリンクしたメッセージ・バッファ
5	マスク2とリンクしたメッセージ・バッファ
6 (低)	マスク3とリンクしたメッセージ・バッファ

表11-5 リモート・フレーム受信の格納優先順位

優先順位	条件
1 (高)	送信メッセージ・バッファ
2	マスクされていないメッセージ・バッファ
3	マスク0とリンクしたメッセージ・バッファ
4	マスク1とリンクしたメッセージ・バッファ
5	マスク2とリンクしたメッセージ・バッファ
6 (低)	マスク3とリンクしたメッセージ・バッファ

メッセージ（データ・フレームまたはリモート・フレーム）は、必ず優先順位の高い受信メッセージ・バッファに格納されます。優先順位の低い受信メッセージ・バッファには格納されません。たとえば、マスクされていない受信メッセージ・バッファとマスク0とリンクした受信メッセージ・バッファが同一IDを持っていた場合、マスクされていない受信メッセージ・バッファがすでにメッセージを受信していたとしても、メッセージは必ずマスクされていない受信メッセージ・バッファに格納されます。

また、同じCANモジュールで、同一優先度のメッセージ・バッファが複数ある場合、優先順位は次のようになります。

表11 - 6 同一優先レベルでの優先順位

優先順位	条 件
1（高）	M_STATレジスタのDNビットはセット（1）されていない
2（低）	M_STATレジスタのDNビットはセット（1）されている

同一優先度のメッセージ・バッファが複数ある場合、最小のメッセージ番号を持つメッセージ・バッファの優先順位が高くなります。

同一IDを持つ複数のメッセージ・バッファが存在する場合、最小のメッセージ番号を持つメッセージ・バッファの優先順位が高くなります。

## 11.6 マスク機能

各受信メッセージはそのメッセージのマスクをリンクさせるかどうかを定義できます。

つまり、ローカル・マスクとグローバル・マスクを区別する必要がありません。

マスク機能を使用することにより、受信したメッセージのアイデンティファイアとメッセージ・バッファのアイデンティファイアとを比較し、その結果、マスクにて“0”または“1”に設定されていても定義されたメッセージ・バッファに格納できます。

マスク機能が働いているとき、マスクにて“1”と定義されたビットは受信したメッセージのアイデンティファイアとメッセージ・バッファのアイデンティファイアとの比較を行いません。

マスクにて“0”と定義されたビットについては比較を行います。

たとえば、ID27-ID25が“0”，ID24とID22が“1”と設定された標準フォーマットIDを持つすべてのメッセージをメッセージ・バッファ14（マスク1とリンク（11. 10（7）参照）させるとします）に格納したい場合、次に示す手順で行ってください。

### メッセージ・バッファに格納したいアイデンティファイア

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
x	0	0	0	1	x	1	x	x	x	x

備考 x = don't care

ID27-ID25が“0”に設定され、ID24とID22が“1”に設定されているIDをメッセージ・バッファ14に登録（初期化）します（11. 10（6）参照）。

### メッセージ・バッファ14に設定したアイデンティファイア（例）

（CANメッセージIDレジスタL14, H14（M\_IDL14, M\_IDH14）を使用）

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
0	0	0	0	1	0	1	0	0	0	0
ID17	ID16	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
0	0	0	0	0	0	0	0	0	0	0
ID6	ID5	ID4	ID3	ID2	ID1	ID0				
0	0	0	0	0	0	0				

メッセージ・バッファ14をマスク1にリンクする標準フォーマット・アイデンティファイアとして設定します（11. 10（7）参照）。



マスク1のマスク設定 (例)

(CAN1アドレス・マスク1レジスタL, H (C1MASKL1, C1MASKH1) を使用)

CMID28	CMID27	CMID26	CMID25	CMID24	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18
1	0	0	0	0	1	0	1	1	1	1
CMID17	CMID16	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8	CMID7
1	1	1	1	1	1	1	1	1	1	1
CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0				
1	1	1	1	1	1	1				

備考 1 : 比較しない (マスクする)

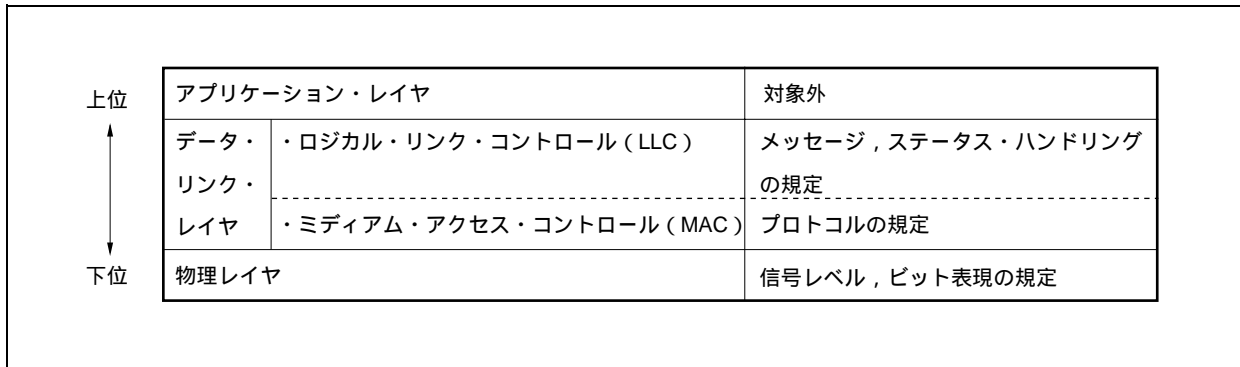
0 : 比較する

マスク1 (11.10 (19) 参照) に値を書き込んで、CMID27-CMID24およびCMID22のビットは“0”，CMID28, CMID23, CMID21-CMID0のビットは“1”に設定します。

## 11.7 プロトコル

FCANは、車輦内でのリアルタイム通信を行うための高速多重通信プロトコルです。CANの仕様は、大きく分けて2つのレイヤ（物理レイヤとデータ・リンク・レイヤ）に分類されます。さらに、データ・リンク・レイヤは、ロジカル・リンク・コントロールとミディアム・アクセス・コントロールにより構成されています。各レイヤの構成は、次のようになります。

図11-7 各レイヤの構成



### 11.7.1 プロトコル・モード機能

#### (1) 標準フォーマット・モード

2048種類のアイデンティファイアを設定できるモードです。

標準フォーマット・モードでは、アイデンティファイアが11ビットのため、2032種類のメッセージを扱うことができます。

#### (2) 拡張フォーマット・モード

アイデンティファイアの種類を増すためのモードです。

- ・標準フォーマット・モードでは、アイデンティファイアが11ビットですが、拡張フォーマット・モードでは、アイデンティファイアが29ビット（11ビット+18ビット）に拡張され、扱えるメッセージ数が $2048 \times 2^{18}$ 個になります。
- ・アービトレーション・フィールドのSRR/IDEビットがともに“レセシブ(R)：ワイヤード・オアで弱い方”の場合、拡張フォーマット・モードになります。
- ・拡張フォーマット・モードのメッセージと標準フォーマット・モードのリモート・フレームが同時に送信された場合、拡張フォーマット・モードのメッセージを送信したノードは、受信状態になります。

## 11.7.2 メッセージ・フォーマット

CANプロトコルのメッセージには、4種類のフレームがあります。各フレームの出力条件は、次のようになります。

- ・データ・フレーム : 送信データのフレームです。
- ・リモート・フレーム : 受信側からの送信要求フレームです。
- ・エラー・フレーム : エラー検出時に出力するフレームです。
- ・オーバーロード・フレーム : 受信側が受信準備未了時に出力するフレームです。

**備考** ドミナント(D) : ワイヤード・オアで強い方  
 レセシブ(R) : ワイヤード・オアで弱い方  
 以降に示す図に関しては、(D) = 0, (R) = 1として示します。

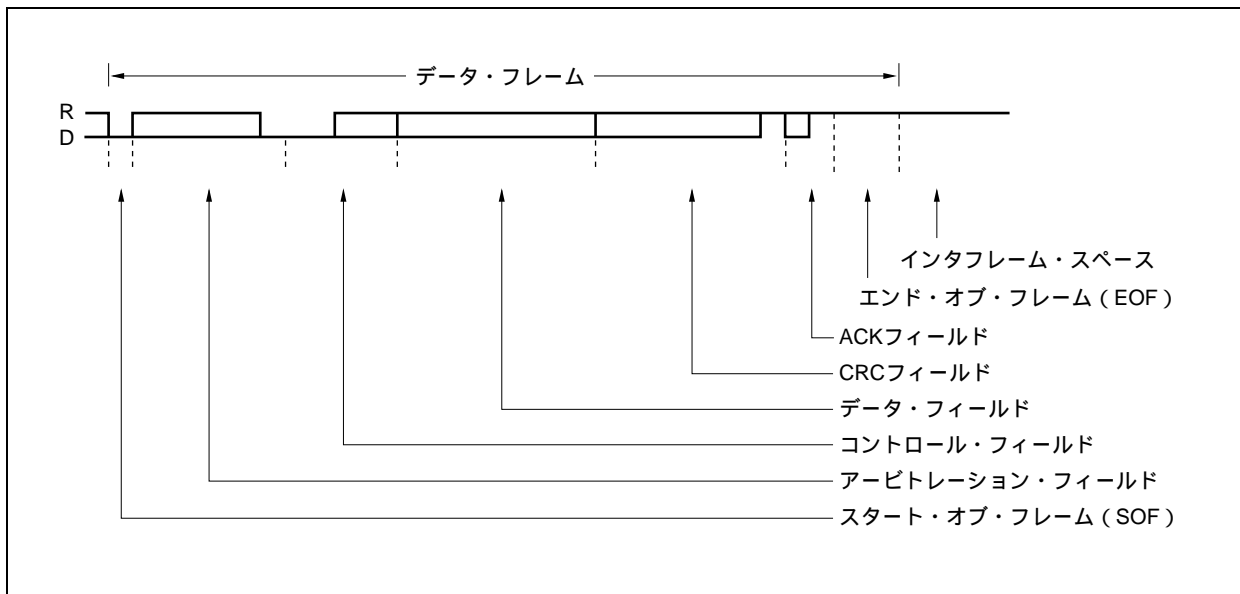
### (1) データ・フレーム/リモート・フレーム

#### データ・フレーム

データ・フレームは、送信データのフレームです。

7つのフィールドにより構成されます。

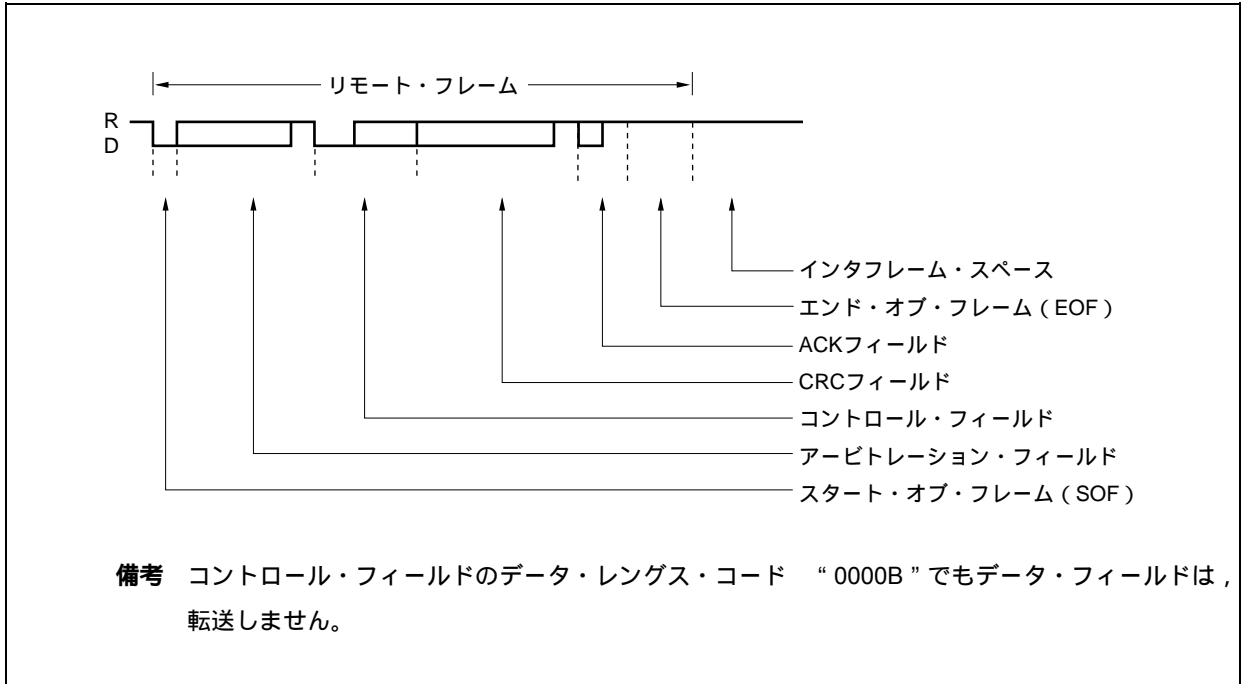
図11-8 データ・フレーム



**リモート・フレーム**

リモート・フレームは、受信ノードが送信要求するときに送信するフレームです。  
 データ・フレームから“データ・フィールド”を削除し“アービトレーション・フィールド”のRTRビットを“レセシブ”にしたものです。

図11-9 リモート・フレーム

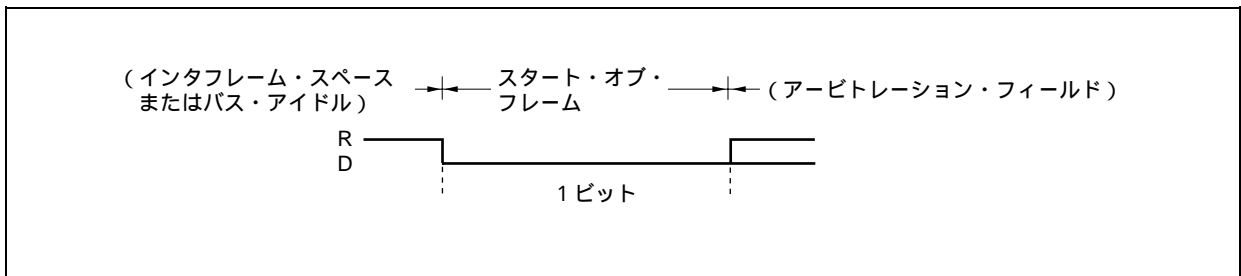


(2) 各フィールドの説明

**スタート・オブ・フレーム (SOF)**

スタート・オブ・フレームは、データ・フレーム、リモート・フレームの開始を示す1ビットのドミナント (D) です。

図11-10 スタート・オブ・フレーム (SOF)



- ・スタート・オブ・フレームは、バス・ラインのレベル変化で開始します。
- ・サンプル・ポイントで“ドミナント (D)”を検出した場合、受信を継続します。
- ・サンプル・ポイントで“レセシブ (R)”を検出した場合、バス・アイドル状態になります。

**アービトレーション・フィールド**

アービトレーション・フィールドは、プライオリティ、データ・フレーム/リモート・フレーム、プロトコル・モードの設定をします。

アイデンティファイア、フレーム設定 (RTRビット)、プロトコル・モード設定ビットにより構成されています。

図11 - 11 アービトレーション・フィールド (標準フォーマット・モード時)

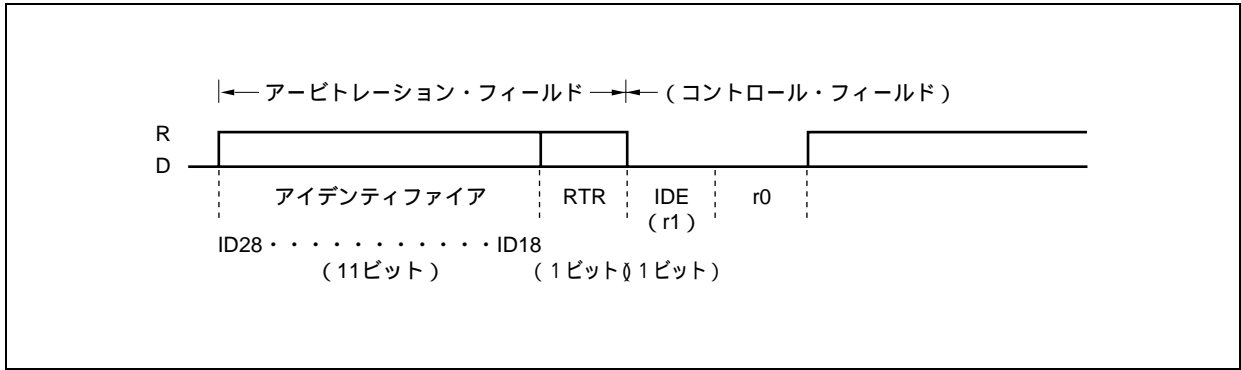


図11 - 12 アービトレーション・フィールド (拡張フォーマット・モード時)

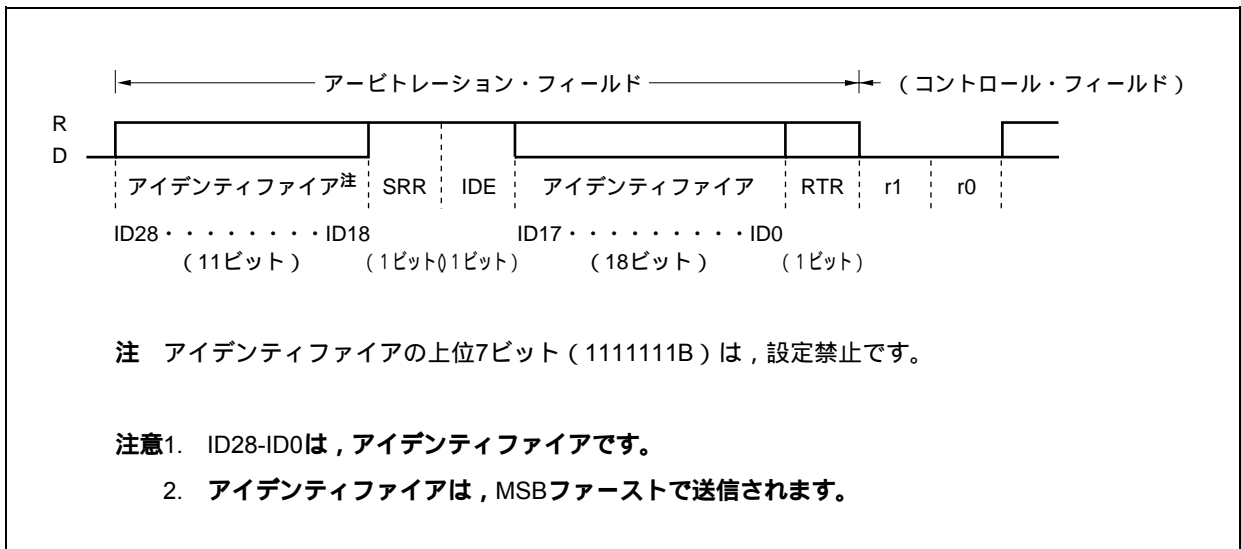


表11 - 7 RTRビットの設定

フレーム種類	RTRビット
データ・フレーム	ドミナント
リモート・フレーム	レセシブ

表11 - 8 プロトコル・モードの設定とアイデンティファイア (ID) のビット数

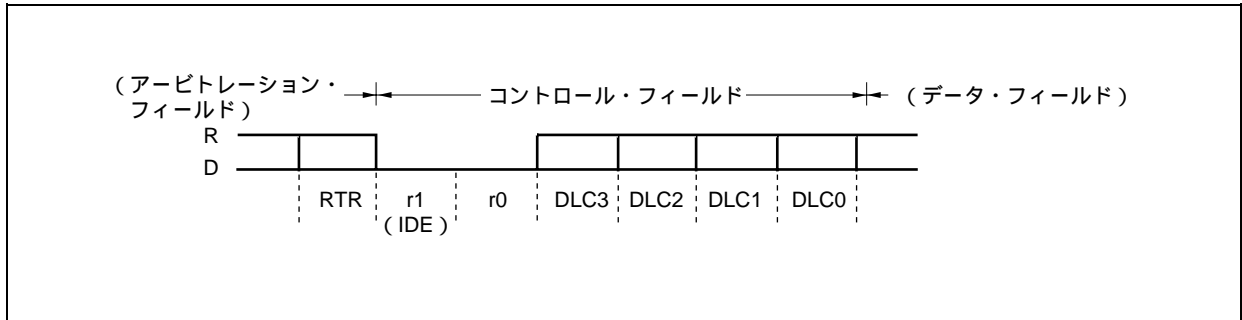
プロトコル・モード	SRRビット	IDEビット	ビット数
標準フォーマット・モード	なし	ドミナント (D)	11ビット
拡張フォーマット・モード	レセシブ (R)	レセシブ (R)	29ビット

**コントロール・フィールド**

コントロール・フィールドは、データ・フィールドのデータ・バイト数Nの設定をします (N = 0-8)。r1, r0は、“ドミナント (D)” 固定です。データ・レンジ・コード (DLC3-DLC0) でバイト数を設定します。

**備考** DLC3-DLC0 : CANメッセージ・データ長レジスタ00-31 (M\_DLC00-M\_DLC31) のビット3-0 (11.10 (2) 参照)

図11 - 13 コントロール・フィールド



標準フォーマット・モード時、アビトラーション・フィールドのIDEビットとr1ビットは、同一ビットです。

表11 - 9 データ・レンジ・コードの設定

データ・レンジ・コード				データのバイト数
DLC3	DLC2	DLC1	DLC0	
0	0	0	0	0バイト
0	0	0	1	1バイト
0	0	1	0	2バイト
0	0	1	1	3バイト
0	1	0	0	4バイト
0	1	0	1	5バイト
0	1	1	0	6バイト
0	1	1	1	7バイト
1	0	0	0	8バイト
上記以外				DLC3-DLC0の値にかかわらず8バイトになります。

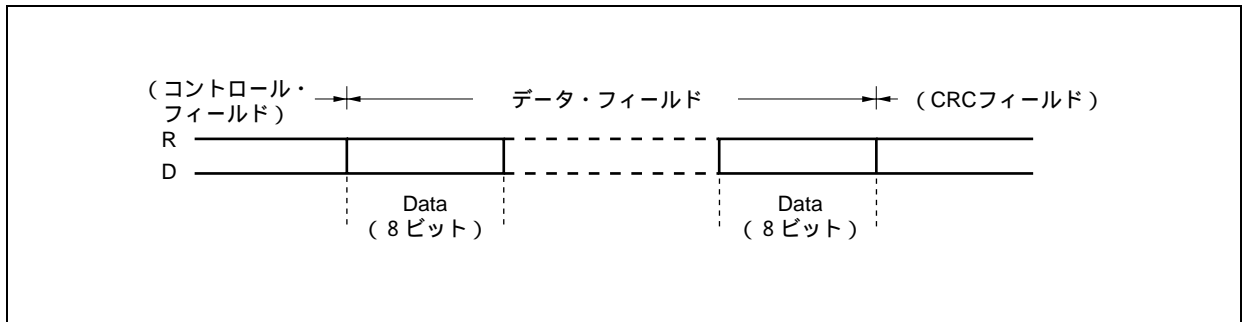
**注意** リモート・フレームの場合、データ・レンジ・コード 0000B であってもデータ・フィールドは発生しません。

### データ・フィールド

データ・フィールドは、コントロール・フィールドで設定した個数のデータ群で、最大8データ設定できます。

**備考** データ・フィールドは、8ビットで1データ（MSBファースト）となります。

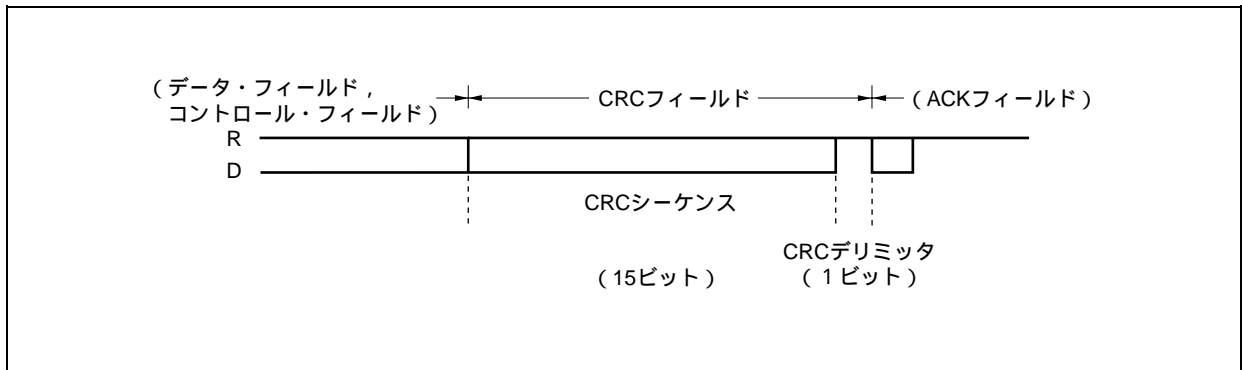
図11 - 14 データ・フィールド



### CRCフィールド

CRCフィールドは、送信データの誤りをチェックするための16ビットのフィールドです。15ビットのCRCシーケンスと1ビットのCRCデリミッタで構成されています。

図11 - 15 CRCフィールド

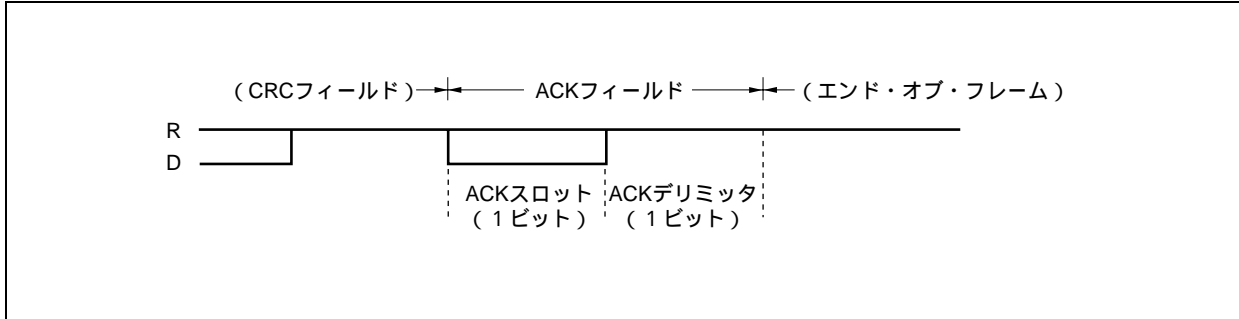


- ・ 15ビットのCRCを生成する多項式 $P(X)$ は、 $X^{15} + X^{14} + X^{10} + X^8 + X^7 + X^4 + X^3 + 1$ で表せます。
- ・ 送信ノード：スタート・オブ・フレーム、アービトレーション・フィールド、コントロール・フィールド、データ・フィールドのビット・スタップしていない、すべての基データ・ビットから計算したCRCシーケンスを送信します。
- ・ 受信ノード：受信データのスタップ・ビットを除いたデータ・ビットから計算したCRCシーケンスとCRCフィールド中のCRCシーケンスを比較します。不一致の場合、ノードはエラー・フレームに移行します。

### ACKフィールド

ACKフィールドは、正常受信確認のためのフィールドです。  
1ビットのACKスロットとACKデリミッタにより、構成されます。

図11 - 16 ACKフィールド

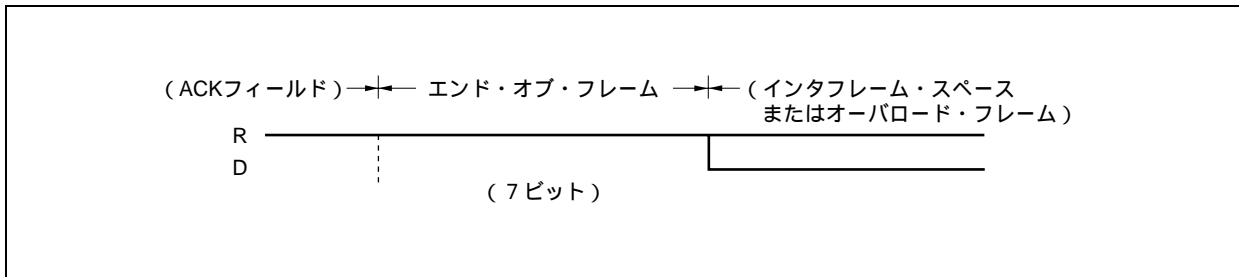


- ・受信ノードが、スタート・オブ・フレームからCRCフィールド間でエラー検出した / していない場合の出力を次に示します。  
 エラー検出した場合 : ACKスロット = “レセシブ(R)”  
 エラー検出がない場合 : ACKスロット = “ドミナント(D)”
- ・送信ノードは、2ビットの“レセシブ(R)”を出力し、受信ノードの受信状態を確認します。

### エンド・オブ・フレーム (EOF)

エンド・オブ・フレームは、送信 / 受信の終了を示すフレームです。  
7ビットの“レセシブ(R)”で構成されます。

図11 - 17 エンド・オブ・フレーム (EOF)





### インタフレーム・スペース

インタフレーム・スペースは、データ・フレーム、リモート・フレーム、エラー・フレーム、オーバーロード・フレームから次のフレームの間に挿入されるフレームで、各フレーム間の区切りを示します。

- ・エラー・アクティブ・ノード

バス・アイドルになると各ノードが送信可能状態になります。送信要求のあるノードは、送信を開始します。

エラー・アクティブ・ノードの場合は、3/2ビットのインタミッションとバス・アイドルによりインタフレーム・スペースが構成されます。

- ・エラー・パッシブ・ノード

8ビットのバス・アイドルが続いたあと、送信可能状態になります。バス・アイドル中に他のノードが送信を始めた場合、受信状態になります。

エラー・パッシブ・ノードの場合は、インタミッション、サスペンド・トランスミッション、バス・アイドルによりインタフレーム・スペースが構成されます。

図11-18 インタフレーム・スペース

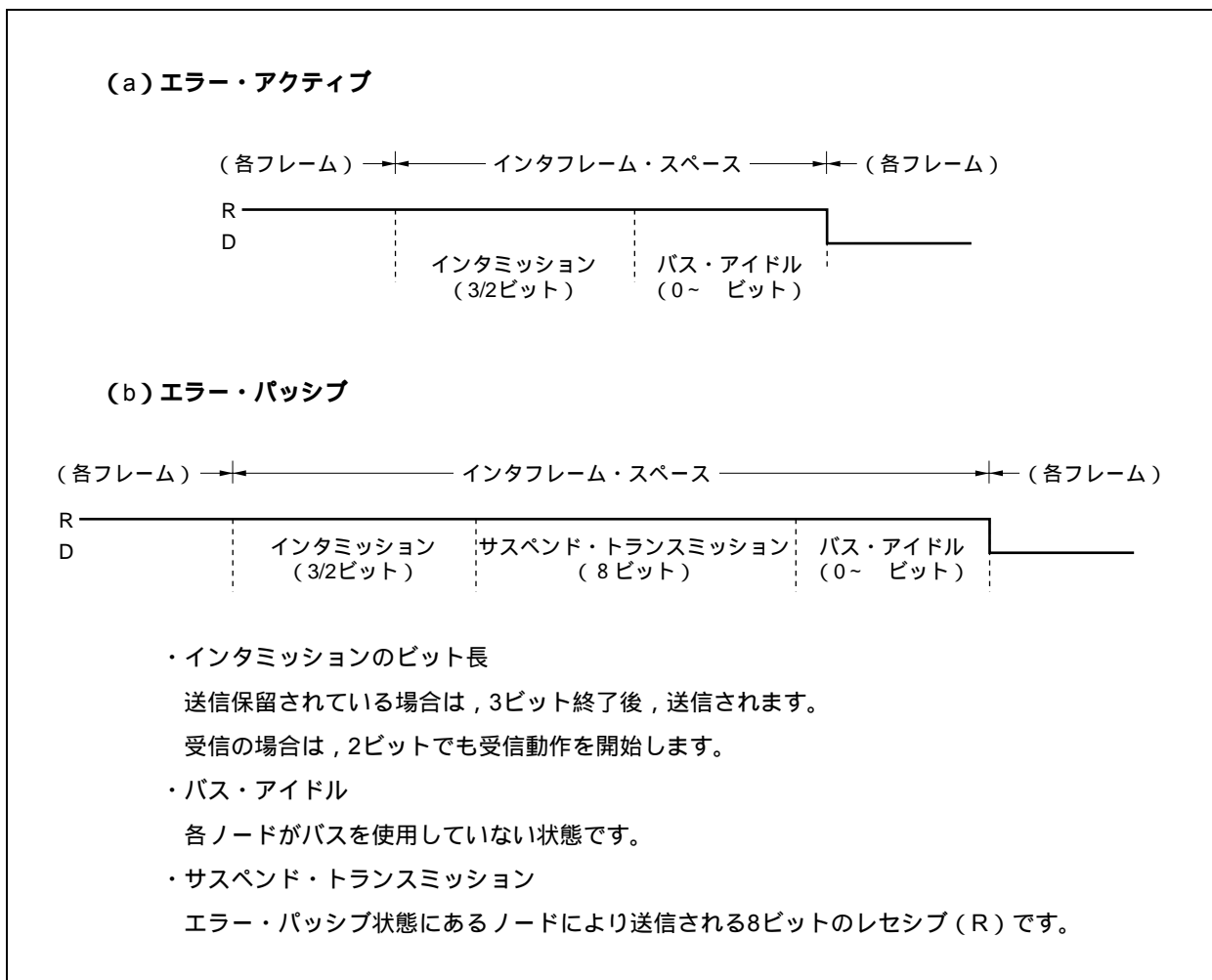


表11-10 インタミッションの第3ビットが“ドミナント(D)”時の動作

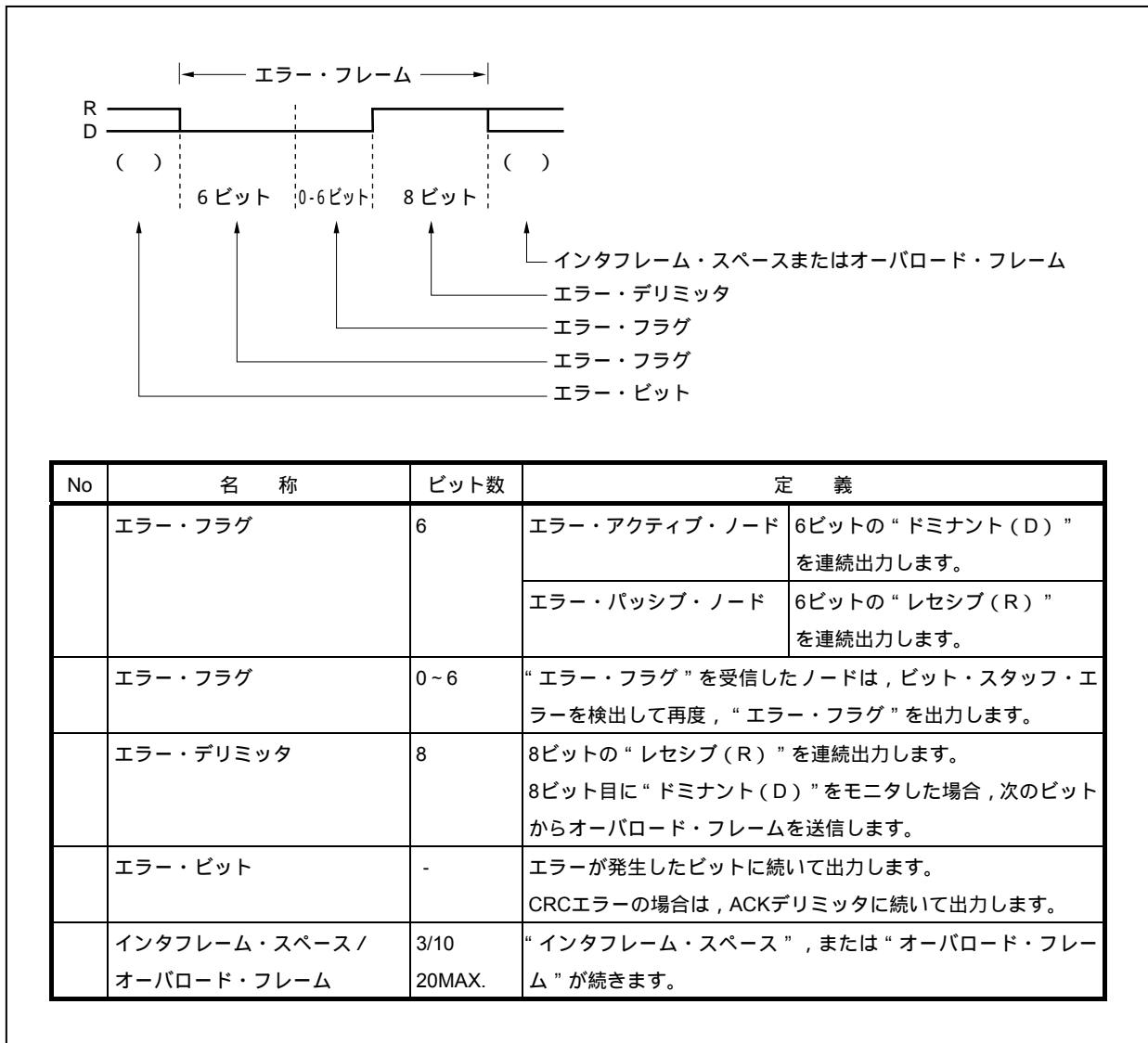
送信状態	動作
送信保留なし	他のノードが出力したスタート・オブ・フレームと判断し、受信動作を行います。
送信保留あり	自分のノードが出力したスタート・オブ・フレームと判断し、アイデンティファイアの送信を行います。

**エラー・フレーム**

エラー・フレームは、エラー発生時にエラーを検出したノードを出力するフレームです。

パッシブ・エラー・フラグを出力中、他のノードが“ドミナント(D)”を出力した場合、パッシブ・エラー・フラグは、同一レベルを6ビット連続して検出するまで終了しません。また、“レセシブ(R)”が6ビット連続したが7ビット目が“ドミナント(D)”だった場合、“レセシブ(R)”になってから終了します。

図11-19 エラー・フレーム

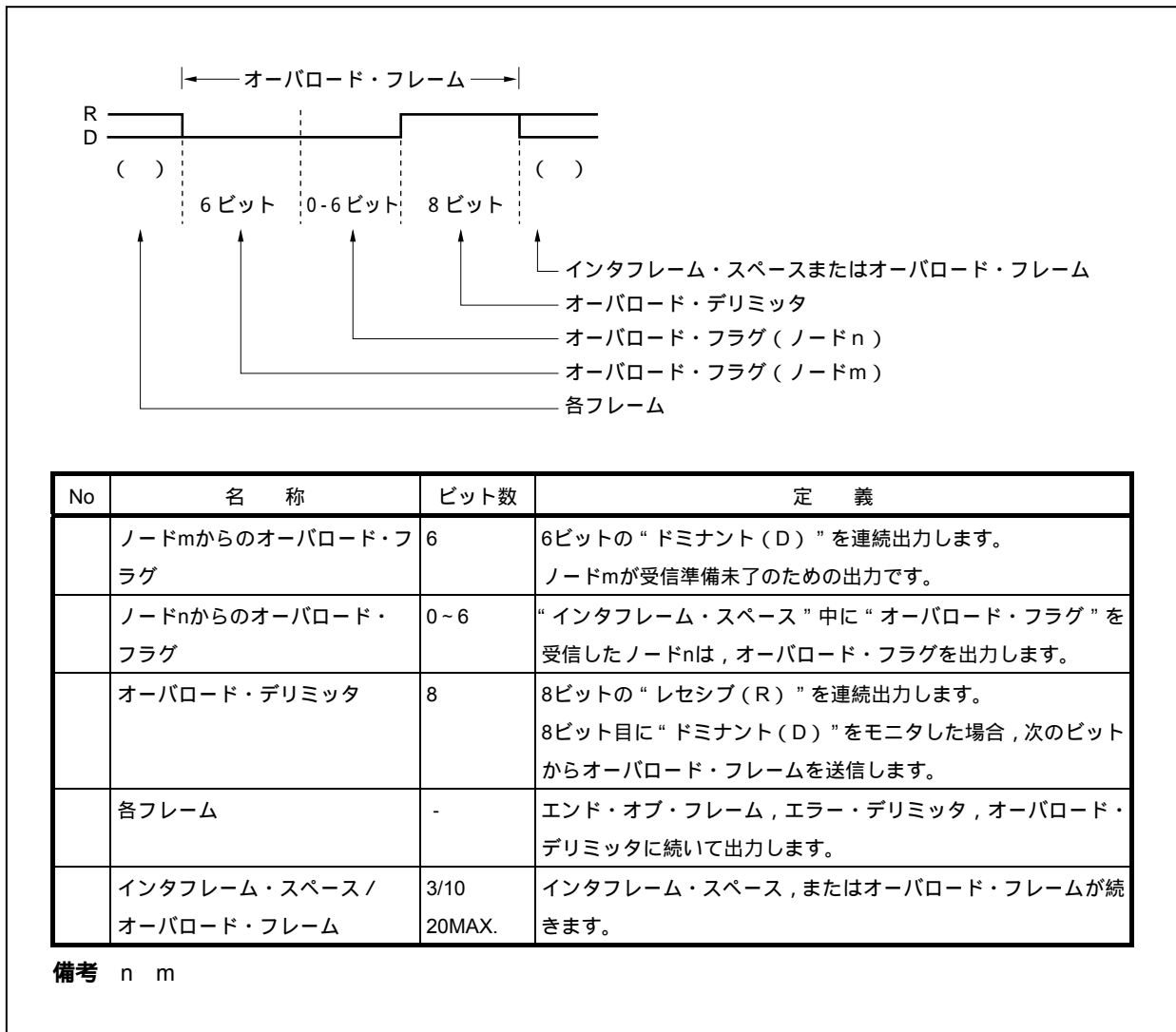


オーバロード・フレーム

オーバロード・フレームは、受信ノードが受信準備未了時に、インタミッションの最初のビットから出力するフレームです。

インタミッション中にビット・エラーを検出した場合、ビット・エラーを検出した次のビットから出力します。

図11-20 オーバロード・フレーム



## 11.8 機能

### 11.8.1 バス・プライオリティの決定

#### (1) 1個のノードが送信を開始した場合

- ・バス・アイドル中に、先にデータを出力したノードが送信をします。

#### (2) 複数のノードが送信を開始した場合

- ・アービトラション・フィールドの第1ビットから、“ドミナント(D)”を最も長く連続出力したノードがバス・プライオリティを獲得します(バスは、ワイヤード・オアされているため“ドミナント(D)”が強い)。
- ・送信ノードは、自分の出力したアービトラション・フィールドとバス上のデータ・レベルを比較します。

表11-11 バス・プライオリティの決定

レベルの一致	送信を継続します。
レベルの不一致	不一致を検出した次のビットからデータ出力を停止し、受信動作になります。

#### (3) データ・フレームとリモート・フレームのプライオリティ

- ・データ・フレームとリモート・フレームがバス上で競合した場合、最終ビットであるRTRが“ドミナント(D)”であるデータ・フレームが優先されます。

### 11.8.2 ビット・スタッフ

ビット・スタッフは、バースト・エラーを防ぐために、同一レベルが5ビット連続した場合1ビットの反転データを付加して、同期をとり直します。

表11-12 ビット・スタッフ

送信	データ・フレーム、リモート・フレームを送信する際に、スタート・オブ・フレーム～CRCフィールド間のデータで同一レベルが5ビット連続した場合、次のビットの前に、前5ビットのレベルを反転した1ビットのレベル・データを挿入します。
受信	データ・フレーム、リモート・フレームの受信時、スタート・オブ・フレーム～CRCフィールド間のデータで同一レベルが5ビット連続した場合、次の1ビットを削除して受信します。

### 11.8.3 マルチマスタ

アイデンティファイアによりバス・プライオリティを決定するため、どのノードでもバス・マスタになることができます。

### 11.8.4 マルチキャスト

送信ノードは1つですが、同一のアイデンティファイアを複数のノードに設定できるため、複数のノードで同時に同一データの受信ができます。

### 11.8.5 CANスリープ・モード/CANストップ・モード機能

CANスリープ・モード/CANストップ・モード機能により、FCANコントローラを待機状態にすることで消費電力を低減できます。

CANスリープ・モードはCAN仕様に示されている手順に従って設定されます。CANスリープ・モードはバスの動作でウエイク・アップしますが、CANストップ・モードはバスの動作でウエイク・アップしません（CPUアクセスにより制御されます）。

### 11.8.6 エラー制御機能

#### (1) エラーの種類

表11-13 エラーの種類

エラーの種類	エラーの説明		検出する状態	
	検出方法	検出条件	送信/受信	フィールド/フレーム
ビット・エラー	出力レベルとバス上のレベルとの比較(スタッフ・ビットを除く)	両レベルの不一致	送信/受信ノード	スタート・オブ・フレーム~エンド・オブ・フレーム, エラー・フレーム, オーバロード・フレームでバス上にデータを出力しているビット。
スタッフ・エラー	スタッフ・ビットでの受信データのチェック	同一レベル・データの6ビット連続	送信/受信ノード	スタート・オブ・フレーム~CRCシーケンス
CRCエラー	受信データから生成したCRCと受信したCRCシーケンスとの比較	CRCの不一致	受信ノード	スタート・オブ・フレーム~データ・フィールド
フォーム・エラー	固定フォーマットのフィールド/フレームのチェック	固定フォーマット違反の検出	受信ノード	・CRCデリミッタ ・ACKフィールド ・エンド・オブ・フレーム ・エラー・フレーム ・オーバロード・フレーム
ACKエラー	送信ノードによるACKスロットのチェック	ACKスロットでレセシブを検出	送信ノード	ACKスロット

#### (2) エラー・フレームの出力タイミング

表11-14 エラー・フレームの出力タイミング

エラーの種類	出力タイミング
ビット・エラー, スタッフ・エラー, フォーム・エラー, ACKエラー	エラーを検出した次のビット・タイミングからエラー・フレームを出力します。
CRCエラー	ACKデリミッタの次のビット・タイミングからエラー・フレームを出力します。

(3) エラー発生時の処置

送信ノードは、エラー・フレーム後にデータ・フレーム、またはリモート・フレームの再送を行います。

(4) エラー状態

(a) エラー状態の種類

エラーの状態には次の3種類があります。

- エラー・アクティブ
- エラー・パッシブ
- バス・オフ

- ・送信エラー・カウンタと受信エラー・カウンタでエラー状態を管理しています。  
(11.10 (23) CAN1エラー・カウンタ・レジスタ (C1ERC) 参照)
- ・各エラー状態は、エラー・カウンタの値によって分類されます。
- ・エラー状態が送信動作と受信動作とで出力するエラー・フラグが異なります。
- ・エラー・カウンタの値が96以上になった場合、バスに重度の障害があると考えられるため、バス状態をテストする必要があります。
- ・スタートアップ時、1個のノードしかアクティブでない場合、データを送信してもACKが返ってこないためエラー・フレームとデータの再送を繰り返します。  
この場合、バス・オフ状態にはなりません。また、送信メッセージを送信するノードでエラー状態を繰り返してもバス・オフ状態にはなりません。

表11 - 15 エラー状態の種類

エラー状態の種類	動作	エラー・カウンタの値	出力するエラー・フラグの種類
エラー・アクティブ	送信 / 受信	0-127	アクティブ・エラー・フラグ (6ビットの“ドミナント(D)”の連続)
エラー・パッシブ	送信	128-255	パッシブ・エラー・フラグ (6ビットの“レセシブ(R)”の連続)
	受信	128以上	
バス・オフ	送信	256以上	通信できません。 “レセシブ(R)”が11ビット連続で128回発生すると、エラー・カウンタ = 0でエラー・アクティブ状態に戻ることができます。

(b) エラー・カウンタ

エラー・カウンタは、エラーが発生した場合にカウント・アップし、送信、受信が正常に行われた場合にカウント・ダウンします。カウント・アップ、カウント・ダウンのタイミングは、エラー・デリミッタの第1ビットになります。

表11 - 16 エラー・カウンタ

状 態	送信エラー・カウンタ (TEC7-TEC0)	受信エラー・カウンタ (REC7-REC0)
受信ノードがエラーを検出 (アクティブ・エラー・フラグ, オーバロード・フラグ中のビット・エラーを除く)	変化なし	+ 1
受信ノードがエラー・フレームのエラー・フラグ出力の次に“ドミナント(D)”を検出	変化なし	+ 8
送信ノードがエラー・フラグを送信 [エラー・カウンタ = ±0になる場合] エラー・パッシブ状態で, ACKエラーを検出しパッシブ・エラー・フラグを出力中に“ドミナント(D)”を未検出 アービトレーション・フィールド中のスタッフ・エラー発生	+ 8	変化なし
アクティブ・エラー・フラグ, オーバロード・フラグ出力中のビット・エラー検出 (エラー・アクティブの送信ノード)	+ 8	変化なし
アクティブ・エラー・フラグ, オーバロード・フラグ出力中のビット・エラー検出 (エラー・アクティブの受信ノード)	変化なし	+ 8
各ノードがアクティブ・エラー・フラグ, オーバロード・フラグの最初から14個の連続した“ドミナント(D)”を検出, およびそれ以降の8個連続のドミナントを検出 各ノードがパッシブ・エラー・フラグのあと, 8個連続のドミナントを検出	+ 8	+ 8
送信ノードがエラーなしで, 送信を完了 (エラー・カウンタ = 0の場合は±0)	- 1	変化なし
受信ノードがエラーなしで, 受信を完了	変化なし	<ul style="list-style-type: none"> <li>• - 1 (1 REC7-REC0 127)</li> <li>• ±0 (REC7-REC0 = 0)</li> <li>• 127をセットする (REC7-REC0 &gt; 127)</li> </ul>

(c) インタミッション中のビット・エラーの発生

オーバロード・フレームを発生します。

**注意** エラー発生時のエラー制御は、そのエラーが発生する前の送信エラー・カウンタと受信エラー・カウンタの内容によって行います。エラー・カウンタの値はエラー・フラグを出力したあとに加算します。

### 11.8.7 ボー・レート制御機能

#### (1) プリスケーラ

V850E/IA1のFCANコントローラは、CANへの供給クロック ( $f_{MEM1}$ ) を分周するプリスケーラを持っています。また、プリスケーラは、C1BRPレジスタのTLMビット = 0時はCAN基本クロック ( $f_{MEM}$ ) を2-128分周、TLMビット = 1時はCAN基本クロック ( $f_{MEM}$ ) を2-256分周したクロック ( $f_{BTL}$ ) を発生します( 11. 10 (26) CAN1ビット・レート・プリスケーラ・レジスタ (C1BRP) 参照)。

#### (2) ノミナル・ビット・タイム (8-25 Time Quantum)

1データ・ビット・タイムの定義は、次のようになっています。

備考 1 Time Quantum =  $1/f_{BTL}$

図11 - 21 ノミナル・ビット・タイム





(3) データ・ビットの同期

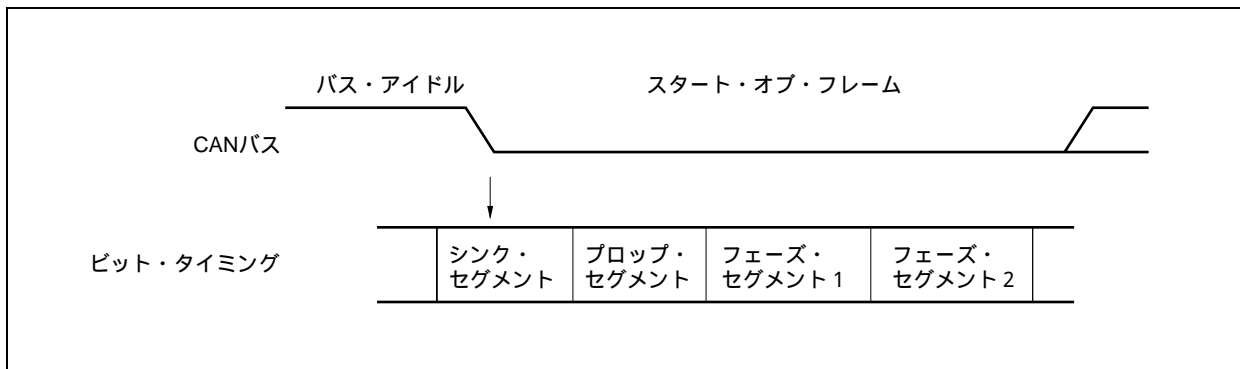
- ・受信ノードは、同期信号がないため、バス上のレベル変化で同期をとります。
- ・送信ノードは、送信ノードのビット・タイミングに同期してデータの送信を行います。

(a) ハードウェア同期

受信ノードが、バス・アイドル状態でスタート・オブ・フレームを検出した場合に行うビット同期です。

- ・バス上の立ち下がリエッジを検出すると、そのビットがシンク・セグメントで、次がプロップ・セグメントとなります。この場合、SJWには無関係に同期をとります。
- ・リセット後、ウエイク・アップ後にビット同期を取る必要があるため、最初のバス上のレベル変化のみハードウェア同期をとります（2回目以降は次のようにビット同期をとります）。

図11 - 22 データ・ビットの同期の調整

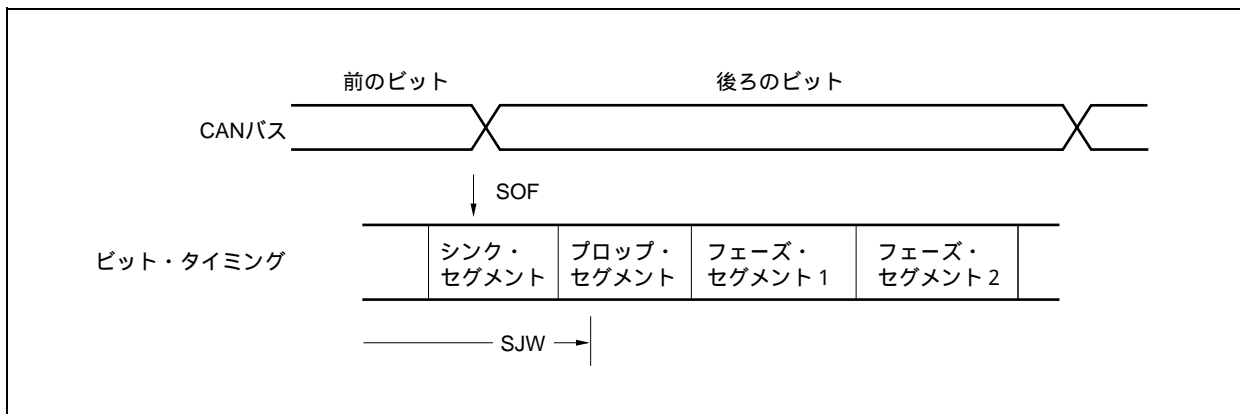


(b) 再同期

受信中に、バス上のレベル変化を検出した場合（前回のサンプリングがレセシブ・レベル時のみ）、再同期を行います。

- ・エッジの位相誤差は、検出されたエッジとシンク・セグメントの相対位置により与えられます。
  - < 位相誤差の符号 >
    - 0 : エッジがシンク・セグメント内にある場合
    - 正 : エッジがサンプル・ポイントより前にある場合（フェーズ・エラー）
    - 負 : エッジがサンプル・ポイントより後ろにある場合（フェーズ・エラー）
- ・SJWで指定されるビット・タイミング間にエッジを検出した場合、ハード同期と同様な同期合わせを行います。
- ・位相誤差がSJWで指定されるビット・タイミング間よりも大きい場合には次に示す基準で同期を行います。
  - 位相誤差が正の場合：フェーズ・セグメント1は指定したSJW分だけ長くなります。
  - 位相誤差が負の場合：フェーズ・セグメント2は指定したSJW分だけ短くなります。
- ・送信ノードと受信ノードのポー・レートの“ずれ”により、受信ノードでのデータのサンプル・ポイントが相対的に移動します。

図11 - 23 再同期



## 11.9 ビットのセット/クリア機能についての注意事項

FCANの制御レジスタには、ビットのセット/クリアがCPUとCANインタフェースの両方で行われるレジスタがあります。次に示すレジスタに直接、値を書き込むと誤作動するため、値の直接書き込み（ビット操作、リード・モディファイ・ライト、目標値の直接書き込み）をしないでください。

- ・CANグローバル・ステータス・レジスタ（CGST）
- ・CANグローバル割り込み許可レジスタ（CGIE）
- ・CAN1コントロール・レジスタ（C1CTRL）
- ・CAN1定義レジスタ（C1DEF）
- ・CAN1割り込み許可レジスタ（C1IE）

上記レジスタの16ビットはすべて通常の方法で読むことができます。下位8ビットのビット・セットやビット・クリアは図11 - 24の手順で行ってください。

上記レジスタの下位8ビットのセット/クリアは、上位8ビットと下位8ビットの組み合わせで行います（図11 - 25参照）。図11 - 24のように、setビットとclearビットの値により、該当するレジスタのビットをセット/クリア/変化なしと操作できます。

図11 - 24 ビットのセット/クリアの操作例

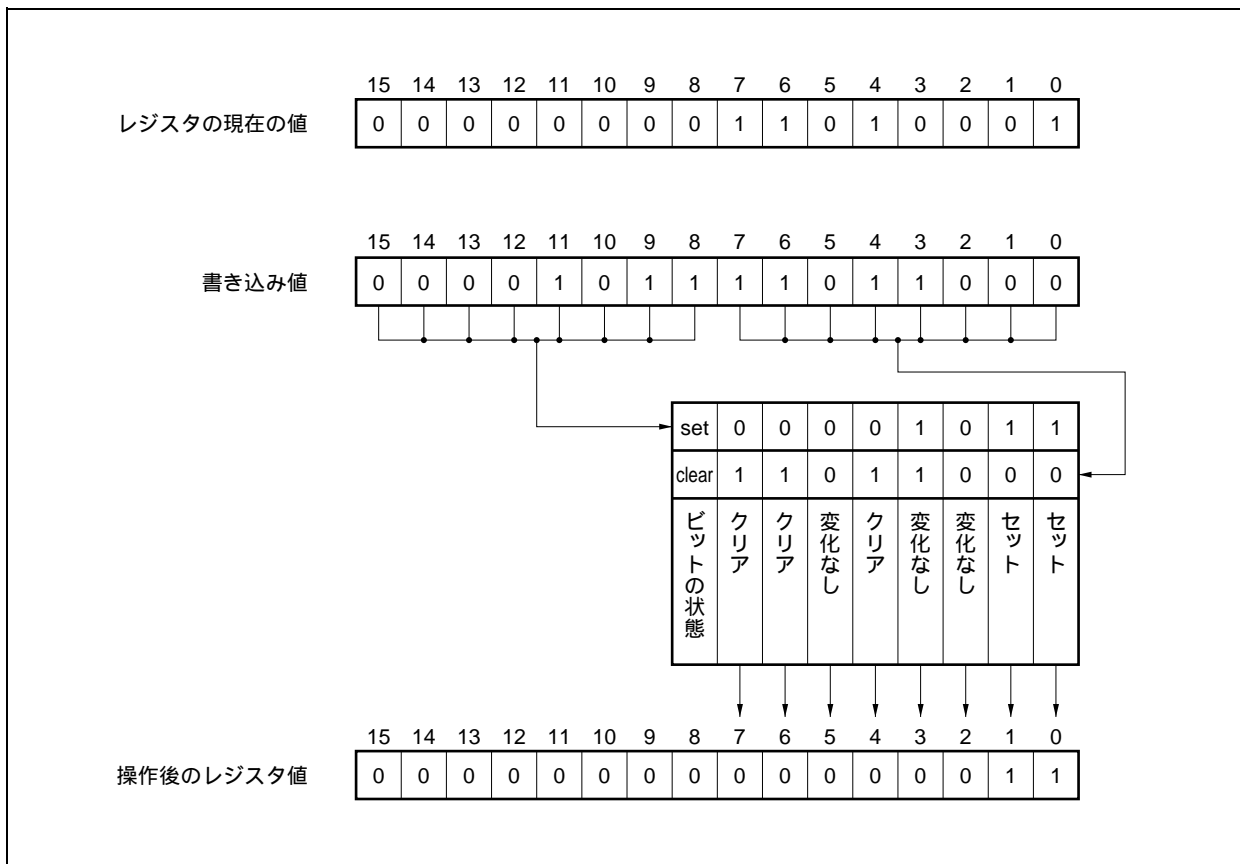
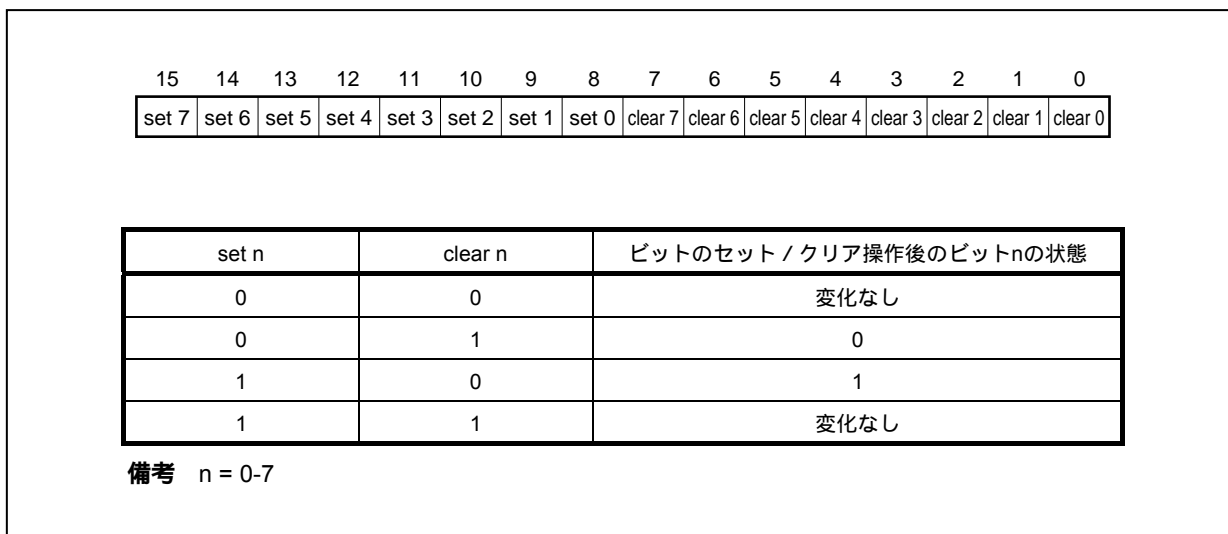


図11 - 25 ライト時の16ビット・データ



## 11.10 制御レジスタ

### (1) FCANクロック選択レジスタ (PRM04)

PRM04レジスタは、CAN1への供給クロック ( $f_{MEM1}$ ) を選択するレジスタです。

クロックはシステム・クロックの周波数に応じて選択します。

8/1ビット単位でリード/ライト可能です

**注意** FCANを使用する前に設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
PRM04	0	0	0	0	0	0	PRM5	PRM4	FFFFFF930H	00H

ビット位置	ビット名	意 味															
1, 0	PRM5, PRM4	FCANのCAN1への供給クロック ( $f_{MEM1}$ ) の指定を行います。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <thead> <tr> <th style="width: 10%;">PRM5</th> <th style="width: 10%;">PRM4</th> <th style="width: 80%;">入力クロック指定</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td><math>f_{xx}/4</math> (<math>f_{xx} &gt; 48</math> MHzの場合)</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td><math>f_{xx}/2</math> (16 MHz <math>&lt;</math> <math>f_{xx}</math> 32 MHzの場合)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td><math>f_{xx}/3</math> (32 MHz <math>&lt;</math> <math>f_{xx}</math> 48 MHzの場合)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td><math>f_{xx}</math> (<math>f_{xx}</math> 16 MHzの場合)</td> </tr> </tbody> </table>	PRM5	PRM4	入力クロック指定	0	0	$f_{xx}/4$ ( $f_{xx} > 48$ MHzの場合)	0	1	$f_{xx}/2$ (16 MHz $<$ $f_{xx}$ 32 MHzの場合)	1	0	$f_{xx}/3$ (32 MHz $<$ $f_{xx}$ 48 MHzの場合)	1	1	$f_{xx}$ ( $f_{xx}$ 16 MHzの場合)
PRM5	PRM4	入力クロック指定															
0	0	$f_{xx}/4$ ( $f_{xx} > 48$ MHzの場合)															
0	1	$f_{xx}/2$ (16 MHz $<$ $f_{xx}$ 32 MHzの場合)															
1	0	$f_{xx}/3$ (32 MHz $<$ $f_{xx}$ 48 MHzの場合)															
1	1	$f_{xx}$ ( $f_{xx}$ 16 MHzの場合)															

**備考**  $f_{xx}$  : 内部システム・クロック

(2) CANメッセージ・データ長レジスタ00-31 (M\_DLC00-M\_DLC31)

M\_DLCnレジスタは、CANメッセージ・バッファnのデータ・フィールドのバイト数を設定します (n = 00-31)。受信のときは、受信データ・フィールドのバイト数がセット (1) されます。

8ビット単位でリード/ライト可能です。

**注意** 拡張IDでリモート・フレームを受信し、受信メッセージ・バッファへ格納する場合、CANバス上のDLC3-DLC0値にかかわらず、メッセージ・バッファのDLC3-DLC0値はクリア (0) されま  
す。

	7	6	5	4	3	2	1	0	アドレス	初期値
M_DLCn (n = 00-31)	RFU <sup>注</sup>	RFU <sup>注</sup>	RFU <sup>注</sup>	RFU <sup>注</sup>	DLC3	DLC2	DLC1	DLC0	表11 - 17参照	不定

ビット位置	ビット名	意味																																																							
3-0	DLC3-DLC0	データ・フィールドのバイト数設定用のコントロール・フィールド・データです。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <thead> <tr> <th style="width: 10%;">DLC3</th> <th style="width: 10%;">DLC2</th> <th style="width: 10%;">DLC1</th> <th style="width: 10%;">DLC0</th> <th style="width: 60%;">送受信メッセージのデータ長コード</th> </tr> </thead> <tbody> <tr><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td>0バイト</td></tr> <tr><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">1</td><td>1バイト</td></tr> <tr><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">1</td><td style="text-align: center;">0</td><td>2バイト</td></tr> <tr><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">1</td><td style="text-align: center;">1</td><td>3バイト</td></tr> <tr><td style="text-align: center;">0</td><td style="text-align: center;">1</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td>4バイト</td></tr> <tr><td style="text-align: center;">0</td><td style="text-align: center;">1</td><td style="text-align: center;">0</td><td style="text-align: center;">1</td><td>5バイト</td></tr> <tr><td style="text-align: center;">0</td><td style="text-align: center;">1</td><td style="text-align: center;">1</td><td style="text-align: center;">0</td><td>6バイト</td></tr> <tr><td style="text-align: center;">0</td><td style="text-align: center;">1</td><td style="text-align: center;">1</td><td style="text-align: center;">1</td><td>7バイト</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td>8バイト</td></tr> <tr> <td colspan="4" style="text-align: center;">上記以外</td> <td>DLC3-DLC0の値にかかわらず8バイトになります。</td> </tr> </tbody> </table>	DLC3	DLC2	DLC1	DLC0	送受信メッセージのデータ長コード	0	0	0	0	0バイト	0	0	0	1	1バイト	0	0	1	0	2バイト	0	0	1	1	3バイト	0	1	0	0	4バイト	0	1	0	1	5バイト	0	1	1	0	6バイト	0	1	1	1	7バイト	1	0	0	0	8バイト	上記以外				DLC3-DLC0の値にかかわらず8バイトになります。
DLC3	DLC2	DLC1	DLC0	送受信メッセージのデータ長コード																																																					
0	0	0	0	0バイト																																																					
0	0	0	1	1バイト																																																					
0	0	1	0	2バイト																																																					
0	0	1	1	3バイト																																																					
0	1	0	0	4バイト																																																					
0	1	0	1	5バイト																																																					
0	1	1	0	6バイト																																																					
0	1	1	1	7バイト																																																					
1	0	0	0	8バイト																																																					
上記以外				DLC3-DLC0の値にかかわらず8バイトになります。																																																					

**注** RFU ( Reserved for Future Use ) は予約ビットです。M\_DLCnレジスタへ書き込む場合は、必ず“0”を設定してください。

表11 - 17 M\_DLCnのアドレス (n = 00-31)

レジスタ名	アドレス <sup>注</sup> (m = 2, 6, A, E)	レジスタ名	アドレス <sup>注</sup> (m = 2, 6, A, E)
M_DLC00	xxxxm804H	M_DLC16	xxxxmA04H
M_DLC01	xxxxm824H	M_DLC17	xxxxmA24H
M_DLC02	xxxxm844 H	M_DLC18	xxxxmA44H
M_DLC03	xxxxm864 H	M_DLC19	xxxxmA64H
M_DLC04	xxxxm884 H	M_DLC20	xxxxmA84H
M_DLC05	xxxxm8A4 H	M_DLC21	xxxxmAA4H
M_DLC06	xxxxm8C4 H	M_DLC22	xxxxmAC4H
M_DLC07	xxxxm8E4 H	M_DLC23	xxxxmAE4H
M_DLC08	xxxxm904H	M_DLC24	xxxxmB04H
M_DLC09	xxxxm924H	M_DLC25	xxxxmB24H
M_DLC10	xxxxm944H	M_DLC26	xxxxmB44H
M_DLC11	xxxxm964H	M_DLC27	xxxxmB64H
M_DLC12	xxxxm984H	M_DLC28	xxxxmB84H
M_DLC13	xxxxm9A4H	M_DLC29	xxxxmBA4H
M_DLC14	xxxxm9C4H	M_DLC30	xxxxmBC4H
M_DLC15	xxxxm9E4H	M_DLC31	xxxxmBE4H

**注** CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxxのアドレスを自由に配置できます。ただし、xxxxのアドレスは一度設定すると変更できません。

(3) CANメッセージ・コントロール・レジスタ00-31 (M\_CTRL00-M\_CTRL31)

M\_CTRLnレジスタは、CANメッセージ・バッファnのデータ・フィールドのフレーム形式を設定します (n = 00-31)。

8ビット単位でリード/ライト可能です。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
M_CTRLn (n = 00-31)	RMDE1	RMDE0	ATS	IE	MOVR	RFU <sup>注1,2</sup>	RFU <sup>注1,3</sup>	RTR	表11-18参照	不定

ビット位置	ビット名	意味
7	RMDE1	送信メッセージ・バッファ上にリモート・フレームを受信した場合のDNフラグの動作を指定します。 0: リモート・フレームを受信した場合、DNフラグをセット(1)しない 1: リモート・フレームを受信した場合、DNフラグをセット(1)する  <b>注意1.</b> RMDE1ビットの設定は、RMDE0ビットの設定とは無関係です。 <b>2.</b> RMDE1ビットが設定されていないときにリモート・フレームが送信メッセージ・バッファに着信した場合、CPUに対してまったく通知が行われず、他の動作も行いません。
6	RMDE0	リモート・フレーム自動応答機能の設定/解除を指定します。 0: リモート・フレーム自動応答機能を解除する 1: リモート・フレーム自動応答機能を設定する  <b>注意1.</b> RMDE0ビットの設定は送信メッセージにのみ使用されます。 <b>2.</b> RMDE0ビットはRTRビットがセット(1)されている場合(受信または送信メッセージはリモート・フレーム)、RMDE0ビット = 0として処理されます。これにより、最悪の場合(100%のバス・ロードを引き起こす同一リモート・フレームの送信がリモート・フレームの受信によって発生する場合)を防止します。

**注1.** RFU (Reserved for Future Use) は予約ビットです。M\_DLCnレジスタへ書き込む場合は、必ず“0”を設定してください。

2. 受信時はCANバス上のr1ビットの値が設定されます。

3. 受信時はCANバス上のr0ビットの値が設定されます。

**備考** DN: M\_STATnレジスタのビット2 (11. 10 (8) CANメッセージ・ステータス・レジスタ00-31 (M\_STAT00-M\_STAT31) 参照)



ビット位置	ビット名	意味
5	ATS	<p>送信時のタイム・スタンプの付加を指定します。</p> <p>0：送信時にタイム・スタンプを付加しない 1：送信時にタイム・スタンプを付加する</p> <p><b>注意1.</b> ATSビットは送信メッセージ用にのみ使用されます。</p> <p>2. ATSビットがセット(1)され、データ長コードが2バイト以上ある場合、最後の2バイトはタイム・スタンプに置き換えられます(表11-3参照)。付加されたタイム・スタンプ・カウンタ値はメッセージのSOFでバス上に送出されます。このとき、データ領域として定義された最後の2バイトは無視されます。</p>
4	IE	<p>割り込み要求の許可/禁止を指定します。</p> <p>0：割り込み要求を禁止する 1：割り込み要求を許可する</p> <p><b>注意1.</b> 次に示す条件で割り込みが許可されると割り込み要求が発生します。</p> <ul style="list-style-type: none"> <li>・送信メッセージ・バッファからメッセージを送信した場合</li> <li>・受信メッセージ・バッファにメッセージを受信した場合</li> <li>・受信メッセージ・バッファからリモート・フレームを送信した場合</li> <li>・自動応答機能が設定されていない状態(RMDE0ビット=0)で送信メッセージ・バッファにリモート・フレームを受信した場合</li> </ul> <p>2. 次に示す条件で割り込みが許可されていても割り込み要求は発生しません。</p> <ul style="list-style-type: none"> <li>・自動応答機能が設定されている状態(RMDE0ビット=1)で送信メッセージ・バッファにリモート・フレームを受信した場合</li> </ul> <p>3. 次に示す条件では、割り込みが禁止されていても割り込み要求が発生しません。</p> <ul style="list-style-type: none"> <li>・自動応答機能が設定されていない状態(RMDE0ビット=0)で受信メッセージ・バッファにリモート・フレームを受信した場合</li> </ul>
3	MOVR	<p>メッセージ・バッファのオーバーライトを示すフラグです。</p> <p>0：DNビット・クリア後にオーバーライトは発生しない 1：DNビット・クリア後に少なくとも1回オーバーライトが発生する</p> <p><b>注意</b> メッセージ・バッファのオーバーライトはCANモジュールが新しいデータをメッセージ・バッファに書き込み、DNビットがすでにセット(1)されている場合に発生します。新しいデータがメッセージ・バッファに格納されるたびにMOVRビットは更新されます。</p>
0	RTR	<p>フレームの種類を指定します。</p> <p>0：データ・フレーム送受信 1：リモート・フレーム送受信</p> <p><b>注意</b> RTRビットが送信メッセージ用にセット(1)されている場合、データ・フレームの代わりにリモート・フレームが送信されます。</p>

備考 DN：M\_STATnレジスタのビット2(11.10(8)CANメッセージ・ステータス・レジスタ00-31(M\_STAT00-M\_STAT31)参照)

表11 - 18 M\_CTRLnのアドレス (n = 00-31)

レジスタ名	アドレス <sup>注</sup> (m = 2, 6, A, E)	レジスタ名	アドレス <sup>注</sup> (m = 2, 6, A, E)
M_CTRL00	xxxxm805H	M_CTRL16	xxxxmA05H
M_CTRL01	xxxxm825H	M_CTRL17	xxxxmA25H
M_CTRL02	xxxxm845H	M_CTRL18	xxxxmA45H
M_CTRL03	xxxxm865H	M_CTRL19	xxxxmA65H
M_CTRL04	xxxxm885H	M_CTRL20	xxxxmA85H
M_CTRL05	xxxxm8A5H	M_CTRL21	xxxxmAA5H
M_CTRL06	xxxxm8C5H	M_CTRL22	xxxxmAC5H
M_CTRL07	xxxxm8E5H	M_CTRL23	xxxxmAE5H
M_CTRL08	xxxxm905H	M_CTRL24	xxxxmB05H
M_CTRL09	xxxxm925H	M_CTRL25	xxxxmB25H
M_CTRL10	xxxxm945H	M_CTRL26	xxxxmB45H
M_CTRL11	xxxxm965H	M_CTRL27	xxxxmB65H
M_CTRL12	xxxxm985H	M_CTRL28	xxxxmB85H
M_CTRL13	xxxxm9A5H	M_CTRL29	xxxxmBA5H
M_CTRL14	xxxxm9C5H	M_CTRL30	xxxxmBC5H
M_CTRL15	xxxxm9E5H	M_CTRL31	xxxxmBE5H

注 CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxxのアドレスを自由に配置できます。ただし、xxxxのアドレスは一度設定すると変更できません。

(4) CANメッセージ・タイム・スタンプ・レジスタ00-31 (M\_TIME00-M\_TIME31)

M\_TIME<sub>n</sub>レジスタは、データ受信完了時にタイム・スタンプ・カウンタの値が書き込まれるレジスタです (n = 00-31)。

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
M_TIME <sub>n</sub>	TS	TS	TS	TS	TS	TS	TS	TS	TS	TS	TS	TS	TS	TS	TS	TS	表11 - 19参照	不定
(n = 00-31)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

ビット位置	ビット名	意味
15-0	TS15-TS0	タイム・スタンプ・カウンタの値を示します。  <b>注意</b> 受信メッセージ・バッファにデータ・フレームまたはリモート・フレームを受信した場合、メッセージ・バッファに新しい情報が格納されると、M_CONF <sub>n</sub> レジスタのMT2-MT0ビットを“000”または“110”以外（受信メッセージ）に設定した場合のみ16ビットのタイム・タグ（タイム・スタンプ・カウンタの値）がM_TIME <sub>n</sub> レジスタに格納されます。このタイム・タグはFCANのタイム・スタンプ設定によって指定されていて、SOFがCANバス上に送信されたときにキャプチャされたタイム・スタンプ・カウンタの値が、またはメッセージ・バッファにCANモジュールがデータを書き込んだときにキャプチャされた値となります。

表11 - 19 M\_TIME<sub>n</sub>のアドレス (n = 00-31)

レジスタ名	アドレス <sup>注</sup> (m = 2, 6, A, E)	レジスタ名	アドレス <sup>注</sup> (m = 2, 6, A, E)
M_TIME00	xxxxm806H	M_TIME16	xxxxmA06H
M_TIME01	xxxxm826H	M_TIME17	xxxxmA26H
M_TIME02	xxxxm846H	M_TIME18	xxxxmA46H
M_TIME03	xxxxm866H	M_TIME19	xxxxmA66H
M_TIME04	xxxxm886H	M_TIME20	xxxxmA86H
M_TIME05	xxxxm8A6H	M_TIME21	xxxxmAA6H
M_TIME06	xxxxm8C6H	M_TIME22	xxxxmAC6H
M_TIME07	xxxxm8E6H	M_TIME23	xxxxmAE6H
M_TIME08	xxxxm906H	M_TIME24	xxxxmB06H
M_TIME09	xxxxm926H	M_TIME25	xxxxmB26H
M_TIME10	xxxxm946H	M_TIME26	xxxxmB46H
M_TIME11	xxxxm966H	M_TIME27	xxxxmB66H
M_TIME12	xxxxm986H	M_TIME28	xxxxmB86H
M_TIME13	xxxxm9A6H	M_TIME29	xxxxmBA6H
M_TIME14	xxxxm9C6H	M_TIME30	xxxxmBC6H
M_TIME15	xxxxm9E6H	M_TIME31	xxxxmBE6H

**注** CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxxのアドレスを自由に配置できます。ただし、xxxxのアドレスは一度設定すると変更できません。

(5) CANメッセージ・データ・レジスタ<sub>n0-n7</sub> (M\_DATAn0-M\_DATAn7) (n = 00-31)

M\_DATAn<sub>x</sub>レジスタは最大8バイトまでの送受信データの格納エリアです (n = 00-31, x = 0-7)。

8ビット単位でリード/ライト可能です。

M_DATAn0 (n = 00-31)	7	6	5	4	3	2	1	0	アドレス	初期値
	D0_7	D0_6	D0_5	D0_4	D0_3	D0_2	D0_1	D0_0	表11 - 20参照	不定
M_DATAn1 (n = 00-31)	7	6	5	4	3	2	1	0	アドレス	初期値
	D1_7	D1_6	D1_5	D1_4	D1_3	D1_2	D1_1	D1_0	表11 - 20参照	不定
M_DATAn2 (n = 00-31)	7	6	5	4	3	2	1	0	アドレス	初期値
	D2_7	D2_6	D2_5	D2_4	D2_3	D2_2	D2_1	D2_0	表11 - 20参照	不定
M_DATAn3 (n = 00-31)	7	6	5	4	3	2	1	0	アドレス	初期値
	D3_7	D3_6	D3_5	D3_4	D3_3	D3_2	D3_1	D3_0	表11 - 20参照	不定
M_DATAn4 (n = 00-31)	7	6	5	4	3	2	1	0	アドレス	初期値
	D4_7	D4_6	D4_5	D4_4	D4_3	D4_2	D4_1	D4_0	表11 - 20参照	不定
M_DATAn5 (n = 00-31)	7	6	5	4	3	2	1	0	アドレス	初期値
	D5_7	D5_6	D5_5	D5_4	D5_3	D5_2	D5_1	D5_0	表11 - 20参照	不定
M_DATAn6 (n = 00-31)	7	6	5	4	3	2	1	0	アドレス	初期値
	D6_7	D6_6	D6_5	D6_4	D6_3	D6_2	D6_1	D6_0	表11 - 20参照	不定
M_DATAn7 (n = 00-31)	7	6	5	4	3	2	1	0	アドレス	初期値
	D7_7	D7_6	D7_5	D7_4	D7_3	D7_2	D7_1	D7_0	表11 - 20参照	不定

ビット位置	ビット名	意味
7-0	D7_7-D0_0	<p>メッセージ・データの内容を示します。</p> <p>注意1. M_DATAn0-M_DATAn7レジスタは受信および送信データを保持するフィールドです。データを送信する場合は、M_DLCnレジスタのDLC3-DLC0ビットで定義されたメッセージ数だけがCANバスに送信されます。</p> <p>2. M_CTRLnレジスタのATSビットがセット(1)され、M_DLCnレジスタのDLC3-DLC0ビット値が2バイト以上の場合、CANバスで正常に送信された最後の2バイトは無視され、タイム・スタンプ値が送信されます。</p> <p>3. 新しいメッセージを受信した場合、M_DLCnレジスタのDLC3-DLC0ビット値が8バイト未満でもすべてのデータ・フィールドは更新されます。受信されなかったデータのバイト値は、更新されていても無効です。</p>

備考 n = 00-31

表11 - 20 M\_DATA<sub>n</sub>xのアドレス (n = 00-31, x = 0-7)

レジスタ名 n	M_DATA <sub>n</sub> 0 <sup>注</sup> (m = 2, 6, A, E)	M_DATA <sub>n</sub> 1 <sup>注</sup> (m = 2, 6, A, E)	M_DATA <sub>n</sub> 2 <sup>注</sup> (m = 2, 6, A, E)	M_DATA <sub>n</sub> 3 <sup>注</sup> (m = 2, 6, A, E)	M_DATA <sub>n</sub> 4 <sup>注</sup> (m = 2, 6, A, E)	M_DATA <sub>n</sub> 5 <sup>注</sup> (m = 2, 6, A, E)	M_DATA <sub>n</sub> 6 <sup>注</sup> (m = 2, 6, A, E)	M_DATA <sub>n</sub> 7 <sup>注</sup> (m = 2, 6, A, E)
00	xxxxm808H	xxxxm809H	xxxxm80AH	xxxxm80BH	xxxxm80CH	xxxxm80DH	xxxxm80EH	xxxxm80FH
01	xxxxm828H	xxxxm829H	xxxxm82AH	xxxxm82BH	xxxxm82CH	xxxxm82DH	xxxxm82EH	xxxxm82FH
02	xxxxm848H	xxxxm849H	xxxxm84AH	xxxxm84BH	xxxxm84CH	xxxxm84DH	xxxxm84EH	xxxxm84FH
03	xxxxm868H	xxxxm869H	xxxxm86AH	xxxxm86BH	xxxxm86CH	xxxxm86DH	xxxxm86EH	xxxxm86FH
04	xxxxm888H	xxxxm889H	xxxxm88AH	xxxxm88BH	xxxxm88CH	xxxxm88DH	xxxxm88EH	xxxxm88FH
05	xxxxm8A8H	xxxxm8A9H	xxxxm8AAH	xxxxm8ABH	xxxxm8ACH	xxxxm8ADH	xxxxm8AEH	xxxxm8AFH
06	xxxxm8C8H	xxxxm8C9H	xxxxm8CAH	xxxxm8CBH	xxxxm8CCH	xxxxm8CDH	xxxxm8CEH	xxxxm8CFH
07	xxxxm8E8H	xxxxm8E9H	xxxxm8EAH	xxxxm8EBH	xxxxm8ECH	xxxxm8EDH	xxxxm8EEH	xxxxm8EFH
08	xxxxm908H	xxxxm909H	xxxxm90AH	xxxxm90BH	xxxxm90CH	xxxxm90DH	xxxxm90EH	xxxxm90FH
09	xxxxm928H	xxxxm929H	xxxxm92AH	xxxxm92BH	xxxxm92CH	xxxxm92DH	xxxxm92EH	xxxxm92FH
10	xxxxm948H	xxxxm949H	xxxxm94AH	xxxxm94BH	xxxxm94CH	xxxxm94DH	xxxxm94EH	xxxxm94FH
11	xxxxm968H	xxxxm969H	xxxxm96AH	xxxxm96BH	xxxxm96CH	xxxxm96DH	xxxxm96EH	xxxxm96FH
12	xxxxm988H	xxxxm989H	xxxxm98AH	xxxxm98BH	xxxxm98CH	xxxxm98DH	xxxxm98EH	xxxxm98FH
13	xxxxm9A8H	xxxxm9A9H	xxxxm9AAH	xxxxm9ABH	xxxxm9ACH	xxxxm9ADH	xxxxm9AEH	xxxxm9AFH
14	xxxxm9C8H	xxxxm9C9H	xxxxm9CAH	xxxxm9CBH	xxxxm9CCH	xxxxm9CDH	xxxxm9CEH	xxxxm9CFH
15	xxxxm9E8H	xxxxm9E9H	xxxxm9EAH	xxxxm9EBH	xxxxm9ECH	xxxxm9EDH	xxxxm9EEH	xxxxm9EFH
16	xxxxmA08H	xxxxmA09H	xxxxmA0AH	xxxxmA0BH	xxxxmA0CH	xxxxmA0DH	xxxxmA0EH	xxxxmA0FH
17	xxxxmA28H	xxxxmA29H	xxxxmA2AH	xxxxmA2BH	xxxxmA2CH	xxxxmA2DH	xxxxmA2EH	xxxxmA2FH
18	xxxxmA48H	xxxxmA49H	xxxxmA4AH	xxxxmA4BH	xxxxmA4CH	xxxxmA4DH	xxxxmA4EH	xxxxmA4FH
19	xxxxmA68H	xxxxmA69H	xxxxmA6AH	xxxxmA6BH	xxxxmA6CH	xxxxmA6DH	xxxxmA6EH	xxxxmA6FH
20	xxxxmA88H	xxxxmA89H	xxxxmA8AH	xxxxmA8BH	xxxxmA8CH	xxxxmA8DH	xxxxmA8EH	xxxxmA8FH
21	xxxxmAA8H	xxxxmAA9H	xxxxmAAAH	xxxxmAABH	xxxxmAACH	xxxxmAADH	xxxxmAAEH	xxxxmAAFH
22	xxxxmAC8H	xxxxmAC9H	xxxxmACAH	xxxxmACBH	xxxxmACCH	xxxxmACDH	xxxxmACEH	xxxxmACFH
23	xxxxmAE8H	xxxxmAE9H	xxxxmAEAH	xxxxmAEBH	xxxxmAECH	xxxxmAEDH	xxxxmAEEH	xxxxmAEFH
24	xxxxmB08H	xxxxmB09H	xxxxmB0AH	xxxxmB0BH	xxxxmB0CH	xxxxmB0DH	xxxxmB0EH	xxxxmB0FH
25	xxxxmB28H	xxxxmB29H	xxxxmB2AH	xxxxmB2BH	xxxxmB2CH	xxxxmB2DH	xxxxmB2EH	xxxxmB2FH
26	xxxxmB48H	xxxxmB49H	xxxxmB4AH	xxxxmB4BH	xxxxmB4CH	xxxxmB4DH	xxxxmB4EH	xxxxmB4FH
27	xxxxmB68H	xxxxmB69H	xxxxmB6AH	xxxxmB6BH	xxxxmB6CH	xxxxmB6DH	xxxxmB6EH	xxxxmB6FH
28	xxxxmB88H	xxxxmB89H	xxxxmB8AH	xxxxmB8BH	xxxxmB8CH	xxxxmB8DH	xxxxmB8EH	xxxxmB8FH
29	xxxxmBA8H	xxxxmBA9H	xxxxmBAAH	xxxxmBABH	xxxxmBACH	xxxxmBADH	xxxxmBAEH	xxxxmBAFH
30	xxxxmBC8H	xxxxmBC9H	xxxxmBCAH	xxxxmBCBH	xxxxmBCCH	xxxxmBCDH	xxxxmBCEH	xxxxmBCFH
31	xxxxmBE8H	xxxxmBE9H	xxxxmBEAH	xxxxmBEBH	xxxxmBECH	xxxxmBEDH	xxxxmBEEH	xxxxmBEFH

注 CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxxのアドレスを自由に配置できます。ただし、xxxxのアドレスは一度設定すると変更できません。

(6) CANメッセージIDレジスタL00-L31, H00-H31 (M\_IDL00-M\_IDL31, M\_IDH00-M\_IDH31)

M\_IDLn, M\_IDHnレジスタは, アイデンティファイアを設定するエリアです (n = 00-31)。

16ビット単位でリード/ライト可能です。

標準フォーマット・モードの場合, 次の領域に任意のデータが格納されます。

ID17-ID10ビット : 受信データ<sup>※</sup>の1バイト目が格納されます。

ID9-ID2ビット : 受信データ<sup>※</sup>の2バイト目が格納されます。

ID1, ID0ビット : 受信データ<sup>※</sup>の3バイト目 (上位2ビット) が格納されます。

注 11. 10 (5) CANメッセージ・データ・レジスタn0-n7 (M\_DATAn0-M\_DATAn7) (n = 00-31)  
参照

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
M_IDHn (n = 00-31)	IDE	0	0	ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18	ID17	ID16	表11 - 22参照	不定
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
M_IDLn (n = 00-31)	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0	表11 - 21参照	不定

ビット位置	ビット名	意 味
15 (M_IDHn)	IDE (M_IDHn)	フォーマット設定モードを指定します。 0 : 標準フォーマット・モード (ID28-ID18 : 11ビット) 1 : 拡張フォーマット・モード (ID28-ID0 : 29ビット)

備考 n = 00-31

表11 - 21 M\_IDLnのアドレス (n = 00-31)

レジスタ名	アドレス <sup>注</sup> (m = 2, 6, A, E)	レジスタ名	アドレス <sup>注</sup> (m = 2, 6, A, E)
M_IDL00	xxxxm810H	M_IDL16	xxxxmA10H
M_IDL01	xxxxm830H	M_IDL17	xxxxmA30H
M_IDL02	xxxxm850H	M_IDL18	xxxxmA50H
M_IDL03	xxxxm870H	M_IDL19	xxxxmA70H
M_IDL04	xxxxm890H	M_IDL20	xxxxmA90H
M_IDL05	xxxxm8B0H	M_IDL21	xxxxmAB0H
M_IDL06	xxxxm8D0H	M_IDL22	xxxxmAD0H
M_IDL07	xxxxm8F0H	M_IDL23	xxxxmAF0H
M_IDL08	xxxxm910H	M_IDL24	xxxxmB10H
M_IDL09	xxxxm930H	M_IDL25	xxxxmB30H
M_IDL10	xxxxm950H	M_IDL26	xxxxmB50H
M_IDL11	xxxxm970H	M_IDL27	xxxxmB70H
M_IDL12	xxxxm990H	M_IDL28	xxxxmB90H
M_IDL13	xxxxm9B0H	M_IDL29	xxxxmBB0H
M_IDL14	xxxxm9D0H	M_IDL30	xxxxmBD0H
M_IDL15	xxxxm9F0H	M_IDL31	xxxxmBF0H

注 CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxxのアドレスを自由に配置できます。ただし、xxxxのアドレスは一度設定すると変更できません。

表11 - 22 M\_IDHnのアドレス (n = 00-31)

レジスタ名	アドレス <sup>注</sup> (m = 2, 6, A, E)	レジスタ名	アドレス <sup>注</sup> (m = 2, 6, A, E)
M_IDH00	xxxxm812H	M_IDH16	xxxxmA12H
M_IDH01	xxxxm832H	M_IDH17	xxxxmA32H
M_IDH02	xxxxm852H	M_IDH18	xxxxmA52H
M_IDH03	xxxxm872H	M_IDH19	xxxxmA72H
M_IDH04	xxxxm892H	M_IDH20	xxxxmA92H
M_IDH05	xxxxm8B2H	M_IDH21	xxxxmAB2H
M_IDH06	xxxxm8D2H	M_IDH22	xxxxmAD2H
M_IDH07	xxxxm8F2H	M_IDH23	xxxxmAF2H
M_IDH08	xxxxm912H	M_IDH24	xxxxmB12H
M_IDH09	xxxxm932H	M_IDH25	xxxxmB32H
M_IDH10	xxxxm952H	M_IDH26	xxxxmB52H
M_IDH11	xxxxm972H	M_IDH27	xxxxmB72H
M_IDH12	xxxxm992H	M_IDH28	xxxxmB92H
M_IDH13	xxxxm9B2H	M_IDH29	xxxxmBB2H
M_IDH14	xxxxm9D2H	M_IDH30	xxxxmBD2H
M_IDH15	xxxxm9F2H	M_IDH31	xxxxmBF2H

注 CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxxのアドレスを自由に配置できます。ただし、xxxxのアドレスは一度設定すると変更できません。

(7) CANメッセージ構成レジスタ00-31 (M\_CONF00-M\_CONF31)

M\_CONF<sub>n</sub>レジスタは、メッセージ・バッファのタイプとマスクの設定を行います (n = 00-31)。

8ビット単位でリード/ライト可能です。

M_CONF <sub>n</sub> (n = 00-31)	7	6	5	4	3	2	1	0	アドレス	初期値
	0	0	MT2	MT1	MT0	0	0	MA	表11 - 23参照	不定

ビット位置	ビット名	意味																																				
5-3	MT2-MT0	<p>メッセージ・タイプとマスク設定を指定します。</p> <table border="1"> <thead> <tr> <th>MT2</th> <th>MT1</th> <th>MT0</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>送信メッセージ</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>受信メッセージ (マスク設定なし)</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>受信メッセージ (マスク0設定)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>受信メッセージ (マスク1設定)</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>受信メッセージ (マスク2設定)</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>受信メッセージ (マスク3設定)</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>受信メッセージ (診断処理モード時に使用)</td> </tr> </tbody> </table> <p>MT2-MT0ビットを“111”に設定した場合、FCANが診断処理モードに設定されている場合のみ処理できます。この場合は、受信したすべてのメッセージは次に示す条件にかかわらず格納されます。</p> <ul style="list-style-type: none"> <li>・他のメッセージ・バッファへ格納</li> <li>・アイデンティファイアのタイプ (標準フレームまたは拡張フレーム)</li> <li>・データ・フレームまたはリモート・フレーム</li> </ul>	MT2	MT1	MT0	動作	0	0	0	送信メッセージ	0	0	1	受信メッセージ (マスク設定なし)	0	1	0	受信メッセージ (マスク0設定)	0	1	1	受信メッセージ (マスク1設定)	1	0	0	受信メッセージ (マスク2設定)	1	0	1	受信メッセージ (マスク3設定)	1	1	0	設定禁止	1	1	1	受信メッセージ (診断処理モード時に使用)
MT2	MT1	MT0	動作																																			
0	0	0	送信メッセージ																																			
0	0	1	受信メッセージ (マスク設定なし)																																			
0	1	0	受信メッセージ (マスク0設定)																																			
0	1	1	受信メッセージ (マスク1設定)																																			
1	0	0	受信メッセージ (マスク2設定)																																			
1	0	1	受信メッセージ (マスク3設定)																																			
1	1	0	設定禁止																																			
1	1	1	受信メッセージ (診断処理モード時に使用)																																			
0	MA	<p>メッセージ・バッファのアドレスを指定します。</p> <table border="1"> <thead> <tr> <th>MA</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>メッセージ・バッファを使用しない</td> </tr> <tr> <td>1</td> <td>メッセージ・バッファとして使用する</td> </tr> </tbody> </table> <p><b>注意</b> MAビットを0に設定した場合、メッセージ・バッファ領域はアプリケーションRAMまたはテンポラリ・バッファとしてイベント処理などに使用できません。</p>	MA	動作	0	メッセージ・バッファを使用しない	1	メッセージ・バッファとして使用する																														
MA	動作																																					
0	メッセージ・バッファを使用しない																																					
1	メッセージ・バッファとして使用する																																					



表11 - 23 M\_CONF<sub>n</sub>のアドレス (n = 00-31)

レジスタ名	アドレス <sup>注</sup> (m = 2, 6, A, E)	レジスタ名	アドレス <sup>注</sup> (m = 2, 6, A, E)
M_CONF00	xxxxm814H	M_CONF16	xxxxmA14H
M_CONF01	xxxxm834H	M_CONF17	xxxxmA34H
M_CONF02	xxxxm854H	M_CONF18	xxxxmA54H
M_CONF03	xxxxm874H	M_CONF19	xxxxmA74H
M_CONF04	xxxxm894H	M_CONF20	xxxxmA94H
M_CONF05	xxxxm8B4H	M_CONF21	xxxxmAB4H
M_CONF06	xxxxm8D4H	M_CONF22	xxxxmAD4H
M_CONF07	xxxxm8F4H	M_CONF23	xxxxmAF4H
M_CONF08	xxxxm914H	M_CONF24	xxxxmB14H
M_CONF09	xxxxm934H	M_CONF25	xxxxmB34H
M_CONF10	xxxxm954H	M_CONF26	xxxxmB54H
M_CONF11	xxxxm974H	M_CONF27	xxxxmB74H
M_CONF12	xxxxm994H	M_CONF28	xxxxmB94H
M_CONF13	xxxxm9B4H	M_CONF29	xxxxmBB4H
M_CONF14	xxxxm9D4H	M_CONF30	xxxxmBD4H
M_CONF15	xxxxm9F4H	M_CONF31	xxxxmBF4H

**注** CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxxのアドレスを自由に配置できます。ただし、xxxxのアドレスは一度設定すると変更できません。

(8) CANメッセージ・ステータス・レジスタ00-31 (M\_STAT00-M\_STAT31)

M\_STATnレジスタは、メッセージ・バッファごとの送受信ステータス情報を示します (n = 00-31)。8ビット単位でリードだけ可能です。

- 注意1. M\_STATnレジスタに直接書き込むことはできません。CANステータス・セット/クリア・レジスタn (SC\_STATn) で行います。
2. メッセージはM\_STATnレジスタのTRQ, RDYビットがセット(1)されている場合だけ送信されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
M_STATn (n = 00-31)	0	0	0	0	RFU <sup>注1</sup>	DN	TRQ	RDY <sup>注2</sup>	表11 - 24参照	不定

ビット位置	ビット名	意味
2	DN	<p>メッセージ更新フラグです。</p> <p>0 : DNビット・クリア後、メッセージ受信なし 1 : DNビット・クリア後、少なくとも1メッセージ受信</p> <p>・DNビットが送信メッセージ・バッファでセット(1)された場合、そのメッセージ・バッファはリモート・フレームを受信したことを示します。 このメッセージが送信されれば、DNビットは自動的にクリア(0)されます。</p> <p>・DNビットがセット(1)されている受信メッセージ・バッファに再度、フレームを受信した場合、オーバーライト状態が発生し、M_CTRLnレジスタのMOVRビットがセット(1)されます(n = 00-31)。</p>
1	TRQ	<p>送信要求フラグです。</p> <p>0 : メッセージ送信禁止 1 : メッセージ送信許可</p> <p>・送信要求は、RDYビット = 1に設定されている場合のみCANモジュールで処理されます。</p> <p>・TRQビット = 1に設定されている受信メッセージ・バッファにはリモート・フレームが送信されます。</p>
0	RDY	<p>メッセージ準備フラグです。</p> <p>0 : メッセージの準備ができていない 1 : メッセージの準備完了</p> <p>・受信時はRDYビット = 1に設定されているメッセージ・バッファに対してのみ受信動作を行います。</p> <p>・送信時はRDYビット = 1, TRQビット = 1に設定されているメッセージ・バッファに対してのみ送信動作を行います。</p>

注1. RFU (Reserved for Future Use) は、予約ビットです。メッセージ・バッファの設定にかかわらず、“0” または “1” が読み込まれます。

- V850E/IA1に搭載しているFCANコントローラはRDYビットを設定しない場合でも受信が可能です。ただし、V850E/IA1以外の製品にはRDYビットを設定しないと受信できない製品があります。ソフトウェアの互換性を保持するため、V850E/IA1のFCANコントローラでも受信動作を行う前には、必ずRDYビットを設定してください。

表11 - 24 M\_STATnのアドレス (n = 00-31)

レジスタ名	アドレス <sup>注</sup> (m = 2, 6, A, E)	レジスタ名	アドレス <sup>注</sup> (m = 2, 6, A, E)
M_STAT00	xxxxm815H	M_STAT16	xxxxmA15H
M_STAT01	xxxxm835H	M_STAT17	xxxxmA35H
M_STAT02	xxxxm855H	M_STAT18	xxxxmA55H
M_STAT03	xxxxm875H	M_STAT19	xxxxmA75H
M_STAT04	xxxxm895H	M_STAT20	xxxxmA95H
M_STAT05	xxxxm8B5H	M_STAT21	xxxxmAB5H
M_STAT06	xxxxm8D5H	M_STAT22	xxxxmAD5H
M_STAT07	xxxxm8F5H	M_STAT23	xxxxmAF5H
M_STAT08	xxxxm915H	M_STAT24	xxxxmB15H
M_STAT09	xxxxm935H	M_STAT25	xxxxmB35H
M_STAT10	xxxxm955H	M_STAT26	xxxxmB55H
M_STAT11	xxxxm975H	M_STAT27	xxxxmB75H
M_STAT12	xxxxm995H	M_STAT28	xxxxmB95H
M_STAT13	xxxxm9B5H	M_STAT29	xxxxmBB5H
M_STAT14	xxxxm9D5H	M_STAT30	xxxxmBD5H
M_STAT15	xxxxm9F5H	M_STAT31	xxxxmBF5H

注 CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxxのアドレスを自由に配置できます。ただし、xxxxのアドレスは一度設定すると変更できません。

(9) CANステータス・セット/クリア・レジスタ00-31 (SC\_STAT00-SC\_STAT31)

SC\_STATnレジスタは、送受信ステータス情報の設定 / 解除を行います (n = 00-31)。

16ビット単位でライトだけ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SC_STATn (n = 00-31)	0	0	0	0	0	set DN	set TRQ	set RDY	0	0	0	0	0	clear DN	clear TRQ	clear RDY	表11 - 25参照	0000H

ビット位置	ビット名	意 味												
10, 2	set DN, clear DN	メッセージ更新フラグの設定 / 解除を指定します。 <table border="1" style="margin-top: 10px;"> <thead> <tr> <th>set DN</th> <th>clear DN</th> <th>動 作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>解除 (DNビットをクリア (0))</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定 (DNビットをセット (1))</td> </tr> <tr> <td colspan="2">上記以外</td> <td>DNビット変化なし</td> </tr> </tbody> </table>	set DN	clear DN	動 作	0	1	解除 (DNビットをクリア (0))	1	0	設定 (DNビットをセット (1))	上記以外		DNビット変化なし
set DN	clear DN	動 作												
0	1	解除 (DNビットをクリア (0))												
1	0	設定 (DNビットをセット (1))												
上記以外		DNビット変化なし												
9, 1	set TRQ, clear TRQ	送信要求フラグの設定 / 解除を指定します。 <table border="1" style="margin-top: 10px;"> <thead> <tr> <th>set TRQ</th> <th>clear TRQ</th> <th>動 作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>解除 (TRQビットをクリア (0))</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定 (TRQビットをセット (1))</td> </tr> <tr> <td colspan="2">上記以外</td> <td>TRQビット変化なし</td> </tr> </tbody> </table>	set TRQ	clear TRQ	動 作	0	1	解除 (TRQビットをクリア (0))	1	0	設定 (TRQビットをセット (1))	上記以外		TRQビット変化なし
set TRQ	clear TRQ	動 作												
0	1	解除 (TRQビットをクリア (0))												
1	0	設定 (TRQビットをセット (1))												
上記以外		TRQビット変化なし												
8, 0	set RDY, clear RDY	メッセージ準備フラグの設定を指定します。 <table border="1" style="margin-top: 10px;"> <thead> <tr> <th>set RDY</th> <th>clear RDY</th> <th>動 作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>解除 (RDYビットをクリア (0))</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定 (RDYビットをセット (1))</td> </tr> <tr> <td colspan="2">上記以外</td> <td>RDYビット変化なし</td> </tr> </tbody> </table>	set RDY	clear RDY	動 作	0	1	解除 (RDYビットをクリア (0))	1	0	設定 (RDYビットをセット (1))	上記以外		RDYビット変化なし
set RDY	clear RDY	動 作												
0	1	解除 (RDYビットをクリア (0))												
1	0	設定 (RDYビットをセット (1))												
上記以外		RDYビット変化なし												

備考 DN : CANメッセージ・ステータス・レジスタn (M\_STATn) のビット2

TRQ : CANメッセージ・ステータス・レジスタn (M\_STATn) のビット1

RDY : CANメッセージ・ステータス・レジスタn (M\_STATn) のビット0

表11 - 25 SC\_STATnのアドレス (n = 00-31)

レジスタ名	アドレス <sup>注</sup> (m = 2, 6, A, E)	レジスタ名	アドレス <sup>注</sup> (m = 2, 6, A, E)
SC_STAT00	xxxxm816H	SC_STAT16	xxxxmA16H
SC_STAT01	xxxxm836H	SC_STAT17	xxxxmA36H
SC_STAT02	xxxxm856H	SC_STAT18	xxxxmA56H
SC_STAT03	xxxxm876H	SC_STAT19	xxxxmA76H
SC_STAT04	xxxxm896H	SC_STAT20	xxxxmA96H
SC_STAT05	xxxxm8B6H	SC_STAT21	xxxxmAB6H
SC_STAT06	xxxxm8D6H	SC_STAT22	xxxxmAD6H
SC_STAT07	xxxxm8F6H	SC_STAT23	xxxxmAF6H
SC_STAT08	xxxxm916H	SC_STAT24	xxxxmB16H
SC_STAT09	xxxxm936H	SC_STAT25	xxxxmB36H
SC_STAT10	xxxxm956H	SC_STAT26	xxxxmB56H
SC_STAT11	xxxxm976H	SC_STAT27	xxxxmB76H
SC_STAT12	xxxxm996H	SC_STAT28	xxxxmB96H
SC_STAT13	xxxxm9B6H	SC_STAT29	xxxxmBB6H
SC_STAT14	xxxxm9D6H	SC_STAT30	xxxxmBD6H
SC_STAT15	xxxxm9F6H	SC_STAT31	xxxxmBF6H

注 CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxxのアドレスを自由に配置できます。ただし、xxxxのアドレスは一度設定すると変更できません。

(10) CAN割り込み保留レジスタ (CCINTP)

CCINTPレジスタは、各割り込み保留のステータスを確認します。

16ビット単位でリードだけ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CCINTP	0	INTMAC	0	0	0	0	0	0	0	0	0	0	0	CAN1 ERR	CAN1 REC	CAN1 TRX	xxxxmC00H <sup>注1</sup>	0000H

ビット位置	ビット名	意味
14	INTMAC	MACエラー <sup>注2</sup> 割り込み (GINT2, GINT1) が保留中であることを示します。 0: 保留なし 1: 保留中
2	CAN1ERR	CANアクセス・エラー割り込み (C1INT6-C1INT2) が保留中であることを示します。 0: 保留なし 1: 保留中
1	CAN1REC	CAN受信完了割り込み (C1INT1) が保留中であることを示します。 0: 保留なし 1: 保留中
0	CAN1TRX	CAN送信完了割り込み (C1INT0) が保留中であることを示します。 0: 保留なし 1: 保留中

注1. xxxx : CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxxのアドレスを自由に配置できます。ただし, xxxxのアドレスは一度設定すると変更できません。

m = 2, 6, A, E

2. MAC (Memory Access Control) エラーはCANGローバル割り込み保留レジスタ (CGINTP) の割り込み要因が発生した場合にセットされるエラーです。

**備考** GINT3-GINT1 : CANGローバル割り込み保留レジスタ (CGINTP) のビット3-1  
C1INT6-C1INT0 : CAN1割り込み保留レジスタ (C1INTP) のビット6-0

(11) CANグローバル割り込み保留レジスタ (CGINTP)

CGINTPレジスタは、MACエラー割り込み保留のステータスを確認します。

8ビット単位でリード/ライト可能です。

注意1. CGINTPレジスタのビットに1を書き込んだ場合、そのビットはクリア(0)されます。また、CGINTPレジスタのビットに0を書き込んだ場合、そのビットの値は変化しません。

2. 割り込みは、該当する割り込み要因が許可状態で、新しい割り込みに対する割り込み保留ビットがまだセット(1)されていない場合に発生します。

割り込み保留ビットが正しいタイミングでセット(1)されているかどうかは、割り込み処理ルーチンによって制御されます。割り込み処理ルーチンで割り込み保留ビットがクリア(0)されるのが早いほど、同じタイプの新しい割り込みが失われずに早く発生します。

割り込み保留ビットは割り込み許可ビットがセット(1)されている場合にだけセット(1)されます。しかし、割り込み許可ビットがクリア(0)されただけでは自動的にクリア(0)されません。

割り込み保留ビットはソフトウェア処理でクリア(0)してください。

備考 不正ライト・アクセス・エラー割り込みと使用不可能なメモリ・アドレスへのアクセス・エラー割り込みについては、11. 14. 2 グローバルCANインタフェースで発生する割り込みを参照してください。

★

	7	6	5	4	3	2	1	0	アドレス	初期値
CGINTP	0	0	0	0	GINT3	GINT2	GINT1	0	xxxxmC02H <sup>注</sup>	00H

ビット位置	ビット名	意味
3	GINT3	FCANへのクロック供給停止となるCANスリープ・モードからのウエイク・アップ割り込みが保留中であることを示します。 0: 保留なし 1: 保留中
2	GINT2	不正ライト・アクセス・エラー割り込みが保留中であることを示します。 0: 保留なし 1: 保留中
1	GINT1	使用不可能なメモリ・アドレスへのアクセス・エラー割り込みが保留中であることを示します。 0: 保留なし 1: 保留中

注 xxxx: CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxxのアドレスを自由に配置できます。ただし、xxxxのアドレスは一度設定すると変更できません。

m = 2, 6, A, E



(12) CAN1割り込み保留レジスタ (C1INTP)

C1INTPレジスタは、FCANへの割り込み保留のステータスを確認します。

8ビット単位でリード/ライト可能です。

注意1. C1INTPレジスタのビットに1を書き込んだ場合、そのビットはクリア(0)されます。また、C1INTPレジスタのビットに0を書き込んだ場合、そのビットの値は変化しません。

2. 割り込みは、該当する割り込み要因が許可状態で、新しい割り込みに対する割り込み保留ビットがまだセット(1)されていない場合に発生します。

割り込み保留ビットが正しいタイミングでセット(1)されているかどうかは、割り込み処理ルーチンによって制御されます。割り込み処理ルーチンで割り込み保留ビットがクリア(0)されるのが早いほど、同じタイプの新しい割り込みが失われずに早く発生します。

割り込み保留ビットは割り込み許可ビットがセット(1)されている場合にだけセット(1)されます。しかし、割り込み許可ビットがクリア(0)されただけでは自動的にクリア(0)されません。

割り込み保留ビットはソフトウェア処理でクリア(0)してください。

(1/2)

★

	7	6	5	4	3	2	1	0	アドレス	初期値
C1INTP	0	C1INT6	C1INT5	C1INT4	C1INT3	C1INT2	C1INT1	C1INT0	xxxxmC04H <sup>注</sup>	00H

ビット位置	ビット名	意味
6	C1INT6	CANエラー割り込みの保留状態を示します。 0: 保留なし 1: 保留中
5	C1INT5	CANバス・エラー割り込みの保留状態を示します。 0: 保留なし 1: 保留中
4	C1INT4	CANスリープ・モードからのウエイク・アップ割り込みの保留状態を示します。 0: 保留なし 1: 保留中
3	C1INT3	CAN受信エラー・パッシブ状態割り込みの保留状態を示します。 0: 保留なし 1: 保留中
2	C1INT2	CAN送信エラー・パッシブまたはバス・オフ状態割り込みの保留状態を示します。 0: 保留なし 1: 保留中
1	C1INT1	CAN受信完了割り込みの保留状態を示します。 0: 保留なし 1: 保留中

注 xxxx: CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxxのアドレスを自由に配置できます。ただし、xxxxのアドレスは一度設定すると変更できません。

m = 2, 6, A, E

ビット位置	ビット名	意 味
0	C1INT0	CAN送信完了割り込みの保留状態を示します。 0 : 保留なし 1 : 保留中

(13) CANストップ・レジスタ (CSTOP)

CSTOPレジスタは、すべてのCANシステムへのクロック供給を制御します。

16ビット単位でリード/ライト可能です。

- 注意1.** FCAN機能を使用しない場合はCSTPビットを必ずセット(1)してください。
- CSTPビットがセット(1)されている場合はCSTOPレジスタ以外のFCANへのアクセスは禁止です。CSTOPレジスタ以外のFCANへのアクセスはCSTPビットがセット(1)されていない場合にだけ可能です。
  - CPUや周辺機能へのクロック供給が停止しているときにCSTPビットの設定によりCANバス上に変化があった場合は、CPUをウエイク・アップさせることができます。
  - CANスリープ・モード以外でCANメイン・クロック ( $f_{MEM1}$ ) を停止するときは、CANモジュールを初期化モード (C1CTRLレジスタのINITビット = 1) に設定後、CGSTレジスタのGOMビットをクリア(0)してからCSTPビットをセット(1)してください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CSTOP	CSTP	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	xxxxmCOCH <sup>注</sup>	0000H

ビット位置	ビット名	意 味
15	CSTP	FCANへのクロック供給を制御します。 0 : FCAN動作中 (FCANにクロックを供給) 1 : FCAN停止中 (FCANへのアクセスは不可)

**注** xxxx : CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxxのアドレスを自由に配置できます。ただし、xxxxのアドレスは一度設定すると変更できません。

m = 2, 6, A, E

(14) CANグローバル・ステータス・レジスタ (CGST)

CGSTレジスタは、共通ステータス情報を示します。

16ビット単位でリード/ライト可能です。

注意1. CGSTレジスタへのビット・ライト操作と直接の書き込みは禁止されています。直接書き込みは誤動作を引き起こしますので、11.9 ビットのセット/クリア機能についての注意事項に示す手順に従って実行してください。

2. CGSTレジスタの書き込みを行う場合には、(b) ライト時のレジスタ構成に従って、セット/クリアを行ってください。

(1/3)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CGST (リード)	0	0	0	0	0	0	0	1	MERR	0	0	0	EFSD	TSM	0	GOM	xxxxmC10H <sup>注</sup>	0100H
CGST (ライト)	0	0	0	0	set EFSD	set TSM	0	set GOM	clear MERR	0	0	0	clear EFSD	clear TSM	0	clear GOM		

(a) リード時 (1/2)

ビット位置	ビット名	意味
7	MERR	MACエラーを示すステータス・フラグです。 0: MERRビット・クリア後にエラーは発生していない 1: MERRビット・クリア後に少なくとも1回エラーが発生  <b>注意</b> MACエラーは次に示す条件で発生します。 ・不正アドレスに対するアクセスをした場合 ・MACで禁止されたアクセスをした場合 ・C1CTRLレジスタのINITビットをセット(1)する前にGOMビットをクリア(0)した場合
3	EFSD	シャット・ダウン要求を示します。 0: シャット・ダウン禁止 1: シャット・ダウン許可  <b>注意</b> GOMビットをクリア(0)する場合には、必ずEFSDビットをセット(1)してから行ってください(アクセスは2回必要となります)。EFSDビットはCGSTレジスタが次にアクセスされたときに自動的にクリア(0)されます。

注 xxxx: CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxxのアドレスを自由に配置できます。ただし、xxxxのアドレスは一度設定すると変更できません。

m = 2, 6, A, E

(a) リード時 (2/2)

ビット位置	ビット名	意味
2	TSM	<p>タイム・スタンプ・カウンタ<sup>注</sup>の動作状態を示します。</p> <p>0: タイム・スタンプ・カウンタは停止</p> <p>1: タイム・スタンプ・カウンタは動作</p> <p>注 11. 10 (17) CANタイム・スタンプ・カウント・レジスタ (CGTSC) 参照</p>
0	GOM	<p>グローバル操作モードの状態を示します。</p> <p>0: CANモジュール・レジスタ<sup>注1</sup>へのアクセスを禁止</p> <p>1: CANモジュール・レジスタ<sup>注1</sup>へのアクセスを許可</p> <p>注意1. GOMビットはMACによるメモリ・アクセス方法とCANモジュールの動作状態を制御します。</p> <ul style="list-style-type: none"> <li>・GOMビット = 0時 <ul style="list-style-type: none"> <li>・すべてのCANモジュールがリセットされます。</li> <li>・CANモジュール・レジスタへのアクセス禁止 (アクセスした場合はMACエラー割り込みが発生)<sup>注2</sup></li> <li>・テンポラリ・バッファへのリード/ライト・アクセス可能</li> <li>・メッセージ・バッファ領域へのアクセス可能</li> </ul> </li> <li>・GOMビット = 1時 <ul style="list-style-type: none"> <li>・CANモジュール・レジスタへのアクセス許可<sup>注3</sup></li> <li>・テンポラリ・バッファへのアクセス禁止 (アクセスした場合はMACエラー割り込みが発生)</li> <li>・メッセージ・バッファ領域へのアクセスが可能</li> </ul> </li> </ul> <p>2. GOMビットは、すべてのCANモジュールが初期化状態 (C1CTRLレジスタのISTATビット = 1) のときのみクリア (0) されます。初期化状態にないCANモジュールが1つでもあるときにGOMビットをクリア (0) しても、GOMビットはセット (1) されたままです。</p> <p>3. GOMビットをクリア (0) する場合には、まずC1CTRLレジスタのINITビットをセット (1) し、次にEFSDビットをセット (1) してください。GOMビットとEFSDビットは同時に操作せずに2回に分けて行ってください。</p>

注1. “C1” で始まるレジスタ

2. CGCSレジスタへのアクセスは可能です。

また、CGMSSレジスタへのライト・アクセスは禁止です。ライト・アクセスした場合は、CGMSRレジスタに間違った検索結果が反映されます。

3. CGCSレジスタへのライト・アクセスは禁止です。

また、CGMSSレジスタへのライト・アクセスは可能です。

(b) ライト時

ビット位置	ビット名	意 味												
11, 3	set EFSD, clear EFSD	EFSDビットの許可 / 解除を行います。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>set EFSD</th> <th>clear EFSD</th> <th>動 作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>EFSDビットをクリア (0) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>EFSDビットをセット (1) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>EFSDビット変更なし</td> </tr> </tbody> </table>	set EFSD	clear EFSD	動 作	0	1	EFSDビットをクリア (0) する	1	0	EFSDビットをセット (1) する	上記以外		EFSDビット変更なし
set EFSD	clear EFSD	動 作												
0	1	EFSDビットをクリア (0) する												
1	0	EFSDビットをセット (1) する												
上記以外		EFSDビット変更なし												
10, 2	set TSM, clear TSM	TSMビットの許可 / 解除を行います。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>set TSM</th> <th>clear TSM</th> <th>動 作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>TSMビットをクリア (0) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>TSMビットをセット (1) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>TSMビット変更なし</td> </tr> </tbody> </table>	set TSM	clear TSM	動 作	0	1	TSMビットをクリア (0) する	1	0	TSMビットをセット (1) する	上記以外		TSMビット変更なし
set TSM	clear TSM	動 作												
0	1	TSMビットをクリア (0) する												
1	0	TSMビットをセット (1) する												
上記以外		TSMビット変更なし												
8, 0	set GOM, clear GOM	GOMビットの許可 / 解除を行います。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>set GOM</th> <th>clear GOM</th> <th>動 作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>GOMビットをクリア (0) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>GOMビットをセット (1) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>GOMビット変更なし</td> </tr> </tbody> </table>	set GOM	clear GOM	動 作	0	1	GOMビットをクリア (0) する	1	0	GOMビットをセット (1) する	上記以外		GOMビット変更なし
set GOM	clear GOM	動 作												
0	1	GOMビットをクリア (0) する												
1	0	GOMビットをセット (1) する												
上記以外		GOMビット変更なし												
7	clear MERR	MERRビットの解除を行います。 0 : MERRビットの変更なし 1 : MERRビットをクリア (0) する												

(15) CANグローバル割り込み許可レジスタ (CGIE)

CGIEレジスタは、グローバル割り込みの割り込み要求を行います。

16ビット単位でリード/ライト可能です。

注意1. CGIEレジスタへのビット・ライト操作と直接の書き込みは禁止されています。直接書き込みは誤動作を引き起こしますので、11.9 ビットのセット/クリア機能についての注意事項に示す手順に従って実行してください。

2. CGIEレジスタの書き込みを行う場合には、ライト時のレジスタ構成に従って、セット/クリアを行ってください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CGIE (リード)	0	0	0	0	1	0	1	0	0	0	0	0	0	G_IE2	G_IE1	0	xxxxmC12H <sup>注</sup>	0A00H
CGIE (ライト)	0	0	0	0	0	set G_IE2	set G_IE1	0	0	0	0	0	0	clear G_IE2	clear G_IE1	0		

(a) リード時

ビット位置	ビット名	意味
2	G_IE2	不正ライト・アクセス (テンポラリ・バッファなど) の割り込み許可フラグです。 0: 割り込み禁止 1: 割り込み許可
1	G_IE1	使用不可アドレスへのメモリ・アクセスの割り込み許可フラグです。 0: 割り込み禁止 1: 割り込み許可

(b) ライト時

ビット位置	ビット名	意味												
10, 9, 2, 1	set G_IEn, clear G_IEn	G_IEnビットの設定 / 解除を行います。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>set G_IEn</th> <th>clear G_IEn</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>G_IEnビットをクリア (0) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>G_IEnビットをセット (1) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>G_IEnビット変更なし</td> </tr> </tbody> </table>	set G_IEn	clear G_IEn	動作	0	1	G_IEnビットをクリア (0) する	1	0	G_IEnビットをセット (1) する	上記以外		G_IEnビット変更なし
set G_IEn	clear G_IEn	動作												
0	1	G_IEnビットをクリア (0) する												
1	0	G_IEnビットをセット (1) する												
上記以外		G_IEnビット変更なし												

注 xxxx : CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxxのアドレスを自由に配置できます。ただし、xxxxのアドレスは一度設定すると変更できません。

m = 2, 6, A, E

備考 n = 1, 2

(16) CANメイン・クロック選択レジスタ (CGCS)

CGCSレジスタは、メイン・クロックの選択を行います。

16ビット単位でリード/ライト可能です。

**注意** CGSTレジスタのGOMビット = 1のとき、CGCSレジスタへのライト・アクセスは禁止です。

(1/2)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CGCS	CGTS7	CGTS6	CGTS5	CGTS4	CGTS3	CGTS2	CGTS1	CGTS0	GTCS1	GTCS0	0	0 <sup>注1</sup>	MCP3	MCP2	MCP1	MCP0	xxxxmC14H <sup>注2</sup>	7F05H

ビット位置	ビット名	意味																																																																																										
15-8	CGTS7- CGTS0	<p>グローバル・タイマ・システム・クロック (f<sub>GTS</sub>) を示します (図11 - 26参照)。</p> <table border="1"> <thead> <tr> <th>n</th> <th>CGTS7</th> <th>CGTS6</th> <th>CGTS5</th> <th>CGTS4</th> <th>CGTS3</th> <th>CGTS2</th> <th>CGTS1</th> <th>CGTS0</th> <th>システム・タイマ・プリスケアラの選択</th> </tr> </thead> <tbody> <tr> <td></td> <td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td> <td><math>f_{GTS} = f_{GTS1} / (n + 1)</math></td> </tr> <tr> <td>0</td> <td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td> <td><math>f_{GTS} = f_{GTS1} / 1</math></td> </tr> <tr> <td>1</td> <td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td> <td><math>f_{GTS} = f_{GTS1} / 2</math></td> </tr> <tr> <td></td> <td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td> <td><math>f_{GTS} = f_{GTS1} / (n + 1)</math></td> </tr> <tr> <td>127</td> <td>0</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td> <td><math>f_{GTS} = f_{GTS1} / 128</math> (リセット値)</td> </tr> <tr> <td></td> <td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td> <td><math>f_{GTS} = f_{GTS1} / (n + 1)</math></td> </tr> <tr> <td>254</td> <td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td> <td><math>f_{GTS} = f_{GTS1} / 255</math></td> </tr> <tr> <td>255</td> <td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td> <td><math>f_{GTS} = f_{GTS1} / 256</math></td> </tr> </tbody> </table> <p>グローバル・タイマ・システム・クロック (f<sub>GTS</sub>) はタイム・スタンプ機能に使われるタイム・スタンプ・カウンタ<sup>注3</sup>のソース・クロックです。</p>	n	CGTS7	CGTS6	CGTS5	CGTS4	CGTS3	CGTS2	CGTS1	CGTS0	システム・タイマ・プリスケアラの選択										$f_{GTS} = f_{GTS1} / (n + 1)$	0	0	0	0	0	0	0	0	0	$f_{GTS} = f_{GTS1} / 1$	1	0	0	0	0	0	0	0	1	$f_{GTS} = f_{GTS1} / 2$										$f_{GTS} = f_{GTS1} / (n + 1)$	127	0	1	1	1	1	1	1	1	$f_{GTS} = f_{GTS1} / 128$ (リセット値)										$f_{GTS} = f_{GTS1} / (n + 1)$	254	1	1	1	1	1	1	1	0	$f_{GTS} = f_{GTS1} / 255$	255	1	1	1	1	1	1	1	1	$f_{GTS} = f_{GTS1} / 256$
n	CGTS7	CGTS6	CGTS5	CGTS4	CGTS3	CGTS2	CGTS1	CGTS0	システム・タイマ・プリスケアラの選択																																																																																			
									$f_{GTS} = f_{GTS1} / (n + 1)$																																																																																			
0	0	0	0	0	0	0	0	0	$f_{GTS} = f_{GTS1} / 1$																																																																																			
1	0	0	0	0	0	0	0	1	$f_{GTS} = f_{GTS1} / 2$																																																																																			
									$f_{GTS} = f_{GTS1} / (n + 1)$																																																																																			
127	0	1	1	1	1	1	1	1	$f_{GTS} = f_{GTS1} / 128$ (リセット値)																																																																																			
									$f_{GTS} = f_{GTS1} / (n + 1)$																																																																																			
254	1	1	1	1	1	1	1	0	$f_{GTS} = f_{GTS1} / 255$																																																																																			
255	1	1	1	1	1	1	1	1	$f_{GTS} = f_{GTS1} / 256$																																																																																			
7, 6	GTCS1, GTCS0	<p>グローバル・タイマ・クロック (f<sub>GTS1</sub>) を指定します (図11 - 26参照)。</p> <table border="1"> <thead> <tr> <th>GTCS1</th> <th>GTCS0</th> <th>グローバル・タイマ・クロックの選択 (f<sub>GTS1</sub>)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>f<sub>MEM</sub>/2</td> </tr> <tr> <td>0</td> <td>1</td> <td>f<sub>MEM</sub>/4</td> </tr> <tr> <td>1</td> <td>0</td> <td>f<sub>MEM</sub>/8</td> </tr> <tr> <td>1</td> <td>1</td> <td>f<sub>MEM</sub>/16</td> </tr> </tbody> </table>	GTCS1	GTCS0	グローバル・タイマ・クロックの選択 (f <sub>GTS1</sub> )	0	0	f <sub>MEM</sub> /2	0	1	f <sub>MEM</sub> /4	1	0	f <sub>MEM</sub> /8	1	1	f <sub>MEM</sub> /16																																																																											
GTCS1	GTCS0	グローバル・タイマ・クロックの選択 (f <sub>GTS1</sub> )																																																																																										
0	0	f <sub>MEM</sub> /2																																																																																										
0	1	f <sub>MEM</sub> /4																																																																																										
1	0	f <sub>MEM</sub> /8																																																																																										
1	1	f <sub>MEM</sub> /16																																																																																										

注1. このビットへ書き込む場合は、必ず“0”を設定してください。

2. xxxx : CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxxのアドレスを自由に配置できます。ただし、xxxxのアドレスは一度設定すると変更できません。

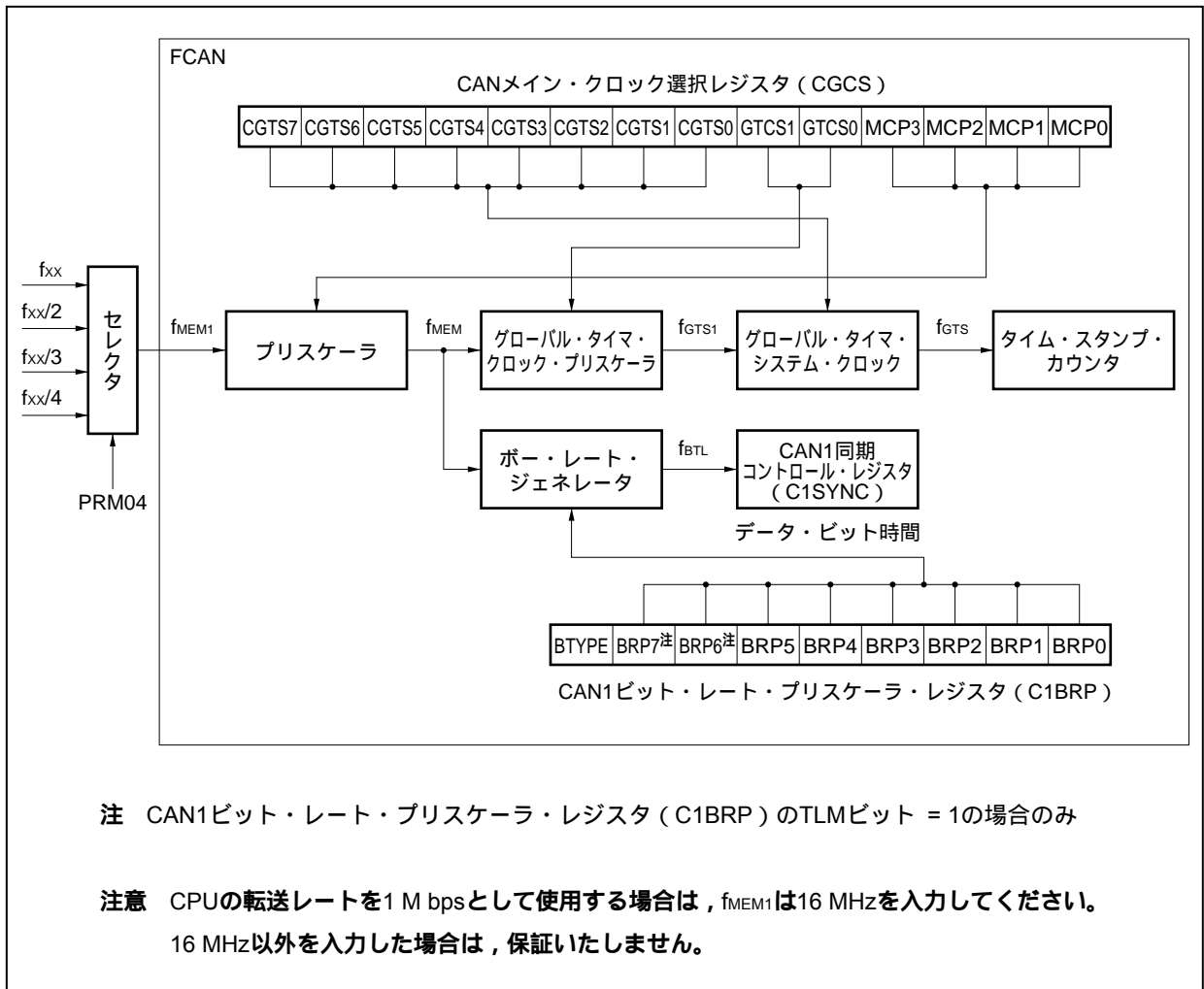
m = 2, 6, A, E

3. 11.10 (17) CANタイム・スタンプ・カウント・レジスタ (CGTSC) 参照

ビット位置	ビット名	意味																																																						
3-0	MCP3-MCP0	<p>メモリ・アクセス・コントローラへのクロック (<math>f_{MEM}</math>) を指定します (図11-26参照)。</p> <table border="1"> <thead> <tr> <th>n</th> <th>MCP3</th> <th>MCP2</th> <th>MCP1</th> <th>MCP0</th> <th>メモリ・アクセス・コントローラへのクロック (<math>f_{MEM}</math>)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td><math>f_{MEM1}</math></td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td><math>f_{MEM1}/2</math></td> </tr> <tr> <td>2</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td><math>f_{MEM1}/3</math></td> </tr> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> <td>・</td> </tr> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> <td>・</td> </tr> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> <td>・</td> </tr> <tr> <td>14</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td><math>f_{MEM1}/15</math></td> </tr> <tr> <td>15</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td><math>f_{MEM1}/16</math></td> </tr> </tbody> </table> <p>リセット解除後に一度MCP3-MCP0ビットの値を設定したあとは、値を変更しないでください。</p>	n	MCP3	MCP2	MCP1	MCP0	メモリ・アクセス・コントローラへのクロック ( $f_{MEM}$ )	0	0	0	0	0	$f_{MEM1}$	1	0	0	0	1	$f_{MEM1}/2$	2	0	0	1	0	$f_{MEM1}/3$						・						・						・	14	1	1	1	0	$f_{MEM1}/15$	15	1	1	1	1	$f_{MEM1}/16$
n	MCP3	MCP2	MCP1	MCP0	メモリ・アクセス・コントローラへのクロック ( $f_{MEM}$ )																																																			
0	0	0	0	0	$f_{MEM1}$																																																			
1	0	0	0	1	$f_{MEM1}/2$																																																			
2	0	0	1	0	$f_{MEM1}/3$																																																			
					・																																																			
					・																																																			
					・																																																			
14	1	1	1	0	$f_{MEM1}/15$																																																			
15	1	1	1	1	$f_{MEM1}/16$																																																			



図11 - 26 FCANのクロック



(17) CANタイム・スタンプ・カウンタ・レジスタ (CGTSC)

CGTSCレジスタは、タイム・スタンプ・カウンタの内容を示します。

このレジスタの内容はいつでも読み出すことができます。

また、このレジスタへの書き込みはクリア機能に限られます。クリア機能は、CGTSCレジスタのすべてのビットに“0”を書き込むことにより行います。

16ビット単位でリードだけ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CGTSC	TSC15	TSC14	TSC13	TSC12	TSC11	TSC10	TSC9	TSC8	TSC7	TSC6	TSC5	TSC4	TSC3	TSC2	TSC1	TSC0	xxxxmC18H <sup>注</sup>	0000H

**注** xxxx : CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxxのアドレスを自由に配置できます。ただし、xxxxのアドレスは一度設定すると変更できません。

m = 2, 6, A, E

(18) CANメッセージ検索開始/結果レジスタ (CGMSS (ライト時) / CGMSR (リード時))

CGMSS/CGMSRレジスタは、メッセージの検索開始/結果の内容を示します。所定の検索基準に合致するメッセージ・バッファ内のメッセージを高速に検索できます。

16ビット単位でリード/ライト可能です。

**注意** 検索のためのCGMSSレジスタの書き込みは1回で行ってください。

(1/2)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CGMSR (リード)	0	0	0	0	0	0	MM	AM	0	0	0	MFND4	MFND3	MFND2	MFND1	MFND0	xxxxmC1AH <sup>注</sup>	0000H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CGMSS (ライト)	CIDE	0	CTRQ	CMSK	CDN	0	0	SMNO	0	0	0	STRT4	STRT3	STRT2	STRT1	STRT0

(a) リード時

ビット位置	ビット名	意味
9	MM	メッセージ検索複数一致の確認を行います。 0: 検索基準に一致するメッセージなし、もしくは、1つ該当 1: 検索基準に一致するメッセージが複数該当  検索の結果、検索条件を満たすメッセージ・バッファが複数検出された場合、MMビットがセット(1)されます。
8	AM	メッセージ検索一致の確認を行います。 0: 検索基準に一致するメッセージなし 1: 検索基準に一致するメッセージが少なくとも1つ該当
4-0	MFND4- MFND0	検索されたメッセージ番号を示します(0-31)。 検索の結果、複数のメッセージ・バッファ番号が一致した場合(MM = 1)、MFND4-MFND0ビットの戻り値は、最も番号の低いメッセージ・バッファ番号になります。 検索の結果、一致するメッセージ・バッファ番号がない場合(AM = 0)、MFND4-MFND0ビットの戻り値は、メッセージ・バッファ数 - 1になります。

**注** xxxx: CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxxのアドレスを自由に配置できます。ただし、xxxxのアドレスは一度設定すると変更できません。

m = 2, 6, A, E

## (b) ライト時

ビット位置	ビット名	意味
15	CIDE	メッセージ・アイデンティファイア (ID) 形式フラグのチェックを行います。 0: メッセージ・アイデンティファイア形式フラグをチェックしない 1: 標準フォーマット・アイデンティファイアのメッセージのみチェック実施
13	CTRQ	送信要求とメッセージ準備フラグのチェックを行います。 0: 送信要求とメッセージ準備フラグをチェックしない 1: 送信要求とメッセージ準備フラグのチェック実施
12	CMSK	マスクされているメッセージのチェックを行います。 0: マスクされているメッセージをチェックしない 1: マスクされているメッセージのみチェック実施
11	CDN	M_STATnレジスタのDNフラグのステータス・チェックを行います (n = 00-31)。 0: M_STATnレジスタのDNフラグのステータスをチェックしない 1: M_STATnレジスタのDNフラグのステータスのチェック実施
8	SMNO	検索モジュールの設定を行います。 0: 検索モジュールの設定なし 1: 検索対象としてCANモジュールを設定
4-0	STRT4- STRT0	メッセージ検索開始位置を示します。 0-31: メッセージ検索開始位置 (メッセージ番号)  検索はSTRT4-STRT0ビットで定義されたメッセージ番号から開始し、使用可能なメッセージ・バッファの中で、最も高い番号を持つメッセージ・バッファまで行います。検索の結果、複数のメッセージ・バッファ番号が一致した場合、最も番号の低いメッセージ・バッファ番号が選択されます。検索基準を変更せずに次のメッセージ・バッファ番号を得るためには、STRT4-STRT0ビットの値を (MFND4-MFND0) + 1に設定する必要があります。

(19) CAN1アドレス・マスクaレジスタL, H (C1MASKLa, C1MASKHa)

C1MASKLa, C1MASKHaレジスタは、メッセージのアイデンティファイア (ID) の一部をマスクすることで、マスクされた部分のアイデンティファイアを無効にし、受信可能なメッセージ数を拡張します (a = 0-3)。

16ビット単位でリード/ライト可能です。

- 注意1.** 受信メッセージ・バッファがC1MASKLa, C1MASKHaレジスタにリンクされている場合は、受信メッセージ・バッファ中のIDが標準ID (11ビット) であるか、拡張ID (29ビット) であるかにかかわらず、C1MASKLa, C1MASKHaレジスタの32ビット値をすべて設定してください (a = 0-3)。
2. C1MASKLa, C1MASKHaレジスタが標準ID用のメッセージ・バッファにリンクされているときは、データ・フレーム内のデータ・フィールドの下位18ビットも自動的に比較します。したがって、下位18ビットを比較する必要がない (マスクする) 場合は、CMID17-CMID0ビットをセット (1) してください (a = 0-3)。なお、標準および拡張IDは共に同一マスクを使用することができます。

C1MASKHa (a = 0-3)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	CMIDE	0	0	CMID28	CMID27	CMID26	CMID25	CMID24	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16	表11 - 26参照	不定
C1MASKLa (a = 0-3)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0	表11 - 26参照	不定

ビット位置	ビット名	意味
15 (C1MASKHa)	CMIDE	アイデンティファイア (ID) 形式のマスクを設定します。 0 : ID形式 (標準または拡張) のチェックをする 1 : ID形式 (標準または拡張) のチェックをしない CMIDEビットがセット (1) されると、IDの上位11ビットが比較されます。受信メッセージとメッセージ・バッファに格納されているID形式の比較は行いません。
12-0 (C1MASKHa) 15-0 (C1MASKLa)	CMID28- CMID16 (C1MASKHa) CMID15- CMID0 (C1MASKLa)	アイデンティファイア (ID) ビットのマスクを設定します。 0 : CMID28-CMID0ビットにリンクされたメッセージ・バッファのIDビットと受信したIDビットを比較する 1 : CMID28-CMID0ビットにリンクされたメッセージ・バッファのIDビットと受信したIDビットを比較しない (マスクする)

**備考** n = 0-3

表11 - 26 C1MASKLa, C1MASKHaのアドレス (a = 0-3)

レジスタ名	アドレス <sup>注</sup> (m = 2, 6, A, E)
C1MASKL0	xxxxmC40H
C1MASKH0	xxxxmC42H
C1MASKL1	xxxxmC44H
C1MASKH1	xxxxmC46H
C1MASKL2	xxxxmC48H
C1MASKH2	xxxxmC4AH
C1MASKL3	xxxxmC4CH
C1MASKH3	xxxxmC4EH

注 CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxxのアドレスを自由に配置できます。ただし、xxxxのアドレスは一度設定すると変更できません。

(20) CAN1コントロール・レジスタ (C1CTRL)

C1CTRLレジスタは、CANモジュールの動作を制御するレジスタです。

16ビット単位でリード/ライト可能です。

- 注意1. C1CTRLレジスタへのビット・ライト操作と直接の書き込みは禁止されています。直接書き込みは誤動作を引き起こしますので、11.9 ビットのセット/クリア機能についての注意事項に示す手順に従って実行してください。
2. C1CTRLレジスタの書き込みを行う場合には、ライト時のレジスタ構成に従って、セット/クリアを行ってください。
3. CANストップ・モードを解除する場合には、必ずCANスリープ・モードも同時に解除してください。

(1/4)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
C1CTRL (リード)	TECS1	TECS0	RECS1	RECS0	BOFF	TSTAT	RSTAT	ISTAT	0	DLEVR	DLEVT	OVVM	TMR	STOP	SLEEP	INIT	xxxxmC50H <sup>注</sup>	初期値 0101H
C1CTRL (ライト)	0	set	set	set	set	set	set	set	0	clear	clear	clear	clear	clear	clear	clear		
		DLEVR	DLEVT	OVVM	TMR	STOP	SLEEP	INIT		DLEVR	DLEVT	OVVM	TMR	STOP	SLEEP	INIT		

**(a) リード時 (1/3)**

ビット位置	ビット名	意味															
15, 14	TECS1, TECS0	送信エラー・カウンタ・ステータス・フラグです。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 5px;"> <thead> <tr> <th>TECS1</th> <th>TECS0</th> <th>送信エラー・カウンタの状態</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>送信エラー・カウンタ &lt; 96</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>送信エラー・カウンタ = 96-127 (ワーニング・レベル)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>未使用</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>送信エラー・カウンタ 128 (エラー・パッシブ)</td> </tr> </tbody> </table>	TECS1	TECS0	送信エラー・カウンタの状態	0	0	送信エラー・カウンタ < 96	0	1	送信エラー・カウンタ = 96-127 (ワーニング・レベル)	1	0	未使用	1	1	送信エラー・カウンタ 128 (エラー・パッシブ)
TECS1	TECS0	送信エラー・カウンタの状態															
0	0	送信エラー・カウンタ < 96															
0	1	送信エラー・カウンタ = 96-127 (ワーニング・レベル)															
1	0	未使用															
1	1	送信エラー・カウンタ 128 (エラー・パッシブ)															
13, 12	RECS1, RECS0	受信エラー・カウンタ・ステータス・フラグです。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 5px;"> <thead> <tr> <th>RECS1</th> <th>RECS0</th> <th>受信エラー・カウンタの状態</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>受信エラー・カウンタ &lt; 96</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>受信エラー・カウンタ = 96-127 (ワーニング・レベル)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>未使用</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>受信エラー・カウンタ 128 (エラー・パッシブ)</td> </tr> </tbody> </table>	RECS1	RECS0	受信エラー・カウンタの状態	0	0	受信エラー・カウンタ < 96	0	1	受信エラー・カウンタ = 96-127 (ワーニング・レベル)	1	0	未使用	1	1	受信エラー・カウンタ 128 (エラー・パッシブ)
RECS1	RECS0	受信エラー・カウンタの状態															
0	0	受信エラー・カウンタ < 96															
0	1	受信エラー・カウンタ = 96-127 (ワーニング・レベル)															
1	0	未使用															
1	1	受信エラー・カウンタ 128 (エラー・パッシブ)															

**注** xxxx : CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxxのアドレスを自由に配置できます。ただし、xxxxのアドレスは一度設定すると変更できません。

m = 2, 6, A, E

(a) リード時 (2/3)

ビット位置	ビット名	意味
11	BOFF	バス・オフ・ステータス・フラグです。 0: 送信エラー・カウンタ < 256 (バス・オフ状態ではない) 1: 送信エラー・カウンタ 256 (バス・オフ状態)
10	TSTAT	送信ステータス・フラグです。 0: 送信動作停止状態 1: 送信動作状態
9	RSTAT	受信ステータス・フラグです。 0: 受信動作停止状態 1: 受信動作状態
8	ISTAT	初期化状態フラグです。 0: 通常動作状態 1: FCANは停止し, 初期化状態  注意1. ISTATビットは, CANプロトコル・レイヤがINITビットおよびSTOPビットの設定に対して, アクノリッジすることでセット(1)されます。また, INITビットおよびSTOPビットがクリア(0)されると自動的にクリア(0)されます。 2. 初期化状態ではCTXD端子は“レセシブ”が出力されます。 3. C1SYNC, C1BRPレジスタは初期化モード時のみ, 書き込み可能です。 4. 初期化状態では, エラー・カウンタ(11. 10(23)CAN1エラー・カウンタ・レジスタ(C1ERC)参照)がクリア(0)され, エラー・ステータス(TECS1, TECS0, RECS1, RECS0ビット)がリセットされます。
6	DLEVR	受信端子のドミナント・レベル制御ビットです。 0: 受信端子へのロウ・レベルをドミナントとして認識 1: 受信端子へのハイ・レベルをドミナントとして認識
5	DLEVT	送信端子のドミナント・レベル制御ビットです。 0: 送信端子からロウ・レベルをドミナントとして送信 1: 送信端子からハイ・レベルをドミナントとして送信
4	OVM	オーバライト・モード制御ビットです。 0: M_STATnレジスタのDNビットが設定されているメッセージ・バッファに対して新規メッセージを格納する (n = 00-31)。 1: DNビットが設定されているメッセージ・バッファに対して新規メッセージを破棄する。  OVMビット = 1の場合, DNビットが設定されているメッセージ・バッファに対して新規メッセージを受信しても受信完了割り込み (INTCREC) は発生しません。
3	TMR	受信用タイム・スタンプ制御ビットです。 0: CANバス上にSOFを検出すると, タイム・スタンプ・カウンタの値をキャプチャする。 1: CANバス上にEOFを検出する (有効なメッセージを確認) とタイム・スタンプ・カウンタの値をキャプチャする。



(a) リード時 (3/3)

ビット位置	ビット名	意 味
2	STOP	<p>CANストップ・モード制御ビットです。</p> <p>0 : CANストップ・モードの設定なし 1 : CANストップ・モード</p> <p>CANストップ・モードはCANモジュールがCANスリープ・モードに設定されている (SLEEPビットがセット (1) されている) 場合にのみ選択することができます。CANストップ・モードの解除はCPUによってのみ行われます (STOPビットをクリア (0) する)。</p>
1	SLEEP	<p>CANスリープ・モード制御ビットです。</p> <p>0 : 通常動作モード 1 : CANスリープ・モード移行。CANバスの変化によってウエイク・アップする。</p> <p><b>注意1.</b> CANスリープ・モードはCANバスがアイドル状態の場合のみ設定できます。</p> <p><b>2.</b> CANスリープ・モードは次の条件によって解除されます。</p> <ul style="list-style-type: none"> <li>・CPUがSLEEPビットをクリア (0) した場合。</li> <li>・CANバスの変化 (CANストップ・モードが設定されていない場合のみ)。</li> </ul> <p><b>3.</b> WAKEビット (11. 10 (21) CAN1定義レジスタ (C1DEF) 参照) はCANバスの変化によりCANスリープ・モードが解除された場合のみセット (1) され、エラー割り込みが発生します。</p>
0	INIT	<p>初期化要求ビットです。CANモジュールの初期化を行う場合に使用します。</p> <p>0 : 通常動作モード 1 : 初期化モード</p> <p><b>注意1.</b> INITビットをセット (1) したあとは、必ずISTATビットで初期化モード (ISTATビット = 1) になったことを確認してください。ISTATビット = 0 の場合には、再度INITビットをセット (1) してください。</p> <p><b>2.</b> CANモジュールがバス・オフ状態 (BOFFビット = 1) でINITビットをセット (1) した場合、バス・オフ状態から復帰 (BOFFビット = 0) 後に初期化モード (ISTATビット = 1) になります。</p>

(b) ライト時 (1/2)

ビット位置	ビット名	意 味												
14, 6	set DLEVR, clear DLEVR	<p>DLEVRビットの設定 / 解除を行います。</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>set DLEVR</th> <th>clear DLEVR</th> <th>動 作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>DLEVRビットをクリア (0) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>DLEVRビットをセット (1) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>DLEVRビット変更なし</td> </tr> </tbody> </table>	set DLEVR	clear DLEVR	動 作	0	1	DLEVRビットをクリア (0) する	1	0	DLEVRビットをセット (1) する	上記以外		DLEVRビット変更なし
set DLEVR	clear DLEVR	動 作												
0	1	DLEVRビットをクリア (0) する												
1	0	DLEVRビットをセット (1) する												
上記以外		DLEVRビット変更なし												

(b) ライト時 (2/2)

ビット位置	ビット名	意味												
13, 5	set DLEVT, clear DLEVT	DLEVTビットの設定 / 解除を行います。 <table border="1"> <thead> <tr> <th>set DLEVT</th> <th>clear DLEVT</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>DLEVTビットをクリア (0) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>DLEVTビットをセット (1) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>DLEVTビット変更なし</td> </tr> </tbody> </table>	set DLEVT	clear DLEVT	動作	0	1	DLEVTビットをクリア (0) する	1	0	DLEVTビットをセット (1) する	上記以外		DLEVTビット変更なし
set DLEVT	clear DLEVT	動作												
0	1	DLEVTビットをクリア (0) する												
1	0	DLEVTビットをセット (1) する												
上記以外		DLEVTビット変更なし												
12, 4	set OVM, clear OVM	OVMビットの設定 / 解除を行います。 <table border="1"> <thead> <tr> <th>set OVM</th> <th>clear OVM</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>OVMビットをクリア (0) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>OVMビットをセット (1) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>OVMビット変更なし</td> </tr> </tbody> </table>	set OVM	clear OVM	動作	0	1	OVMビットをクリア (0) する	1	0	OVMビットをセット (1) する	上記以外		OVMビット変更なし
set OVM	clear OVM	動作												
0	1	OVMビットをクリア (0) する												
1	0	OVMビットをセット (1) する												
上記以外		OVMビット変更なし												
11, 3	set TMR, clear TMR	TMRビットの設定 / 解除を行います。 <table border="1"> <thead> <tr> <th>set TMR</th> <th>clear TMR</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>TMRビットをクリア (0) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>TMRビットをセット (1) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>TMRビット変更なし</td> </tr> </tbody> </table>	set TMR	clear TMR	動作	0	1	TMRビットをクリア (0) する	1	0	TMRビットをセット (1) する	上記以外		TMRビット変更なし
set TMR	clear TMR	動作												
0	1	TMRビットをクリア (0) する												
1	0	TMRビットをセット (1) する												
上記以外		TMRビット変更なし												
10, 2	set STOP, clear STOP	STOPビットの設定 / 解除を行います。 <table border="1"> <thead> <tr> <th>set STOP</th> <th>clear STOP</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>STOPビットをクリア (0) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>STOPビットをセット (1) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>STOPビット変更なし</td> </tr> </tbody> </table>	set STOP	clear STOP	動作	0	1	STOPビットをクリア (0) する	1	0	STOPビットをセット (1) する	上記以外		STOPビット変更なし
set STOP	clear STOP	動作												
0	1	STOPビットをクリア (0) する												
1	0	STOPビットをセット (1) する												
上記以外		STOPビット変更なし												
9, 1	set SLEEP, clear SLEEP	SLEEPビットの設定 / 解除を行います。 <table border="1"> <thead> <tr> <th>set SLEEP</th> <th>clear SLEEP</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>SLEEPビットをクリア (0) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>SLEEPビットをセット (1) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>SLEEPビット変更なし</td> </tr> </tbody> </table>	set SLEEP	clear SLEEP	動作	0	1	SLEEPビットをクリア (0) する	1	0	SLEEPビットをセット (1) する	上記以外		SLEEPビット変更なし
set SLEEP	clear SLEEP	動作												
0	1	SLEEPビットをクリア (0) する												
1	0	SLEEPビットをセット (1) する												
上記以外		SLEEPビット変更なし												
8, 0	set INIT, clear INIT	INITビットの設定 / 解除を行います。 <table border="1"> <thead> <tr> <th>set INIT</th> <th>clear INIT</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>INITビットをクリア (0) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>INITビットをセット (1) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>INITビット変更なし</td> </tr> </tbody> </table>	set INIT	clear INIT	動作	0	1	INITビットをクリア (0) する	1	0	INITビットをセット (1) する	上記以外		INITビット変更なし
set INIT	clear INIT	動作												
0	1	INITビットをクリア (0) する												
1	0	INITビットをセット (1) する												
上記以外		INITビット変更なし												

(21) CAN1定義レジスタ (C1DEF)

C1DEFレジスタは、CANモジュールの動作を定義するレジスタです。

16ビット単位でリード/ライト可能です。

- 注意1. C1DEFレジスタへのビット・ライト操作と直接の書き込みは禁止されています。直接書き込みは誤動作を引き起こしますので、11.9 ビットのセット/クリア機能についての注意事項に示す手順に従って実行してください。
2. C1DEFレジスタの書き込みを行う場合には、ライト時のレジスタ構成に従って、セット/クリアを行ってください。

(1/4)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
C1DEF (リード)	0	0	0	0	0	0	0	0	DGM	MOM	SSHT	PBB	BERR	VALID	WAKE	OVR	xxxxmC52H <sup>注</sup>	0000H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
C1DEF (ライト)	set	set	set	set	0	0	0	0	clear	clear	clear	clear	clear	clear	clear	clear		
	DGM	MOM	SSHT	PBB					DGM	MOM	SSHT	PBB	BERR	VALID	WAKE	OVR		

(a) リード時 (1/3)

ビット位置	ビット名	意味
7	DGM	<p>診断処理モードを指定します。</p> <p>0: 受信のみ、診断処理モード用メッセージ・バッファ (M_CONFレジスタのMT2-MT0ビット = 111) による有効メッセージ受信</p> <p>1: 受信のみ、通常動作モードによる有効メッセージ受信</p> <p>診断処理モード (MOMビット = 1) は、CANポー・レートの検出および診断目的に使用します。このモードが設定されている場合は、次のことが行われます。</p> <ul style="list-style-type: none"> <li>・ VALIDビット = 1のとき、有効な受信動作が行われていることを示します。</li> <li>・ DGMビットの設定によって、有効なデータが通常動作モード時と同様に診断処理モード用メッセージ・バッファに格納されるかを確認します。</li> </ul>

注 xxx: CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxのアドレスを自由に配置できます。ただし、xxxのアドレスは一度設定すると変更できません。

m = 2, 6, A, E

## (a) リード時 (2/3)

ビット位置	ビット名	意味
6	MOM	<p>CANモジュールの動作モードを指定します。</p> <p>0: 通常動作モード 1: 診断処理モード</p> <p><b>注意1.</b> 診断処理モード (MOMビット = 1) では、CANモジュールが初期化モードに設定されている場合 (C1CTRLレジスタのISTATビット = INITビット = 1) のみC1BRPレジスタにアクセスできます。CANモジュールが動作している場合 (C1CTRLレジスタのISTATビット = 0) , C1BRPレジスタは使用できず、代わりにCAN1バス診断情報レジスタ (11. 10 (27) CAN1バス診断情報レジスタ (C1DINF) 参照) が使用できます。</p> <p>2. CANプロトコル・レイヤは、アクノリッジ、エラー・フレームおよび送信メッセージを送出し、エラー・カウンタも動作します。 また、自動ポー・レート検出のため、内部の送信出力は、内部入力にフィードバックされます。</p>
5	SSHT	<p>シングル・ショット・モードを指定します。</p> <p>0: 通常動作モード 1: シングル・ショット・モード</p> <p>シングル・ショット・モードでは、CANモジュールはメッセージの送信を1回のみ行います。M_STATnレジスタのTRQビットは、正常送信の有無にかかわらずクリア (0) されます (n = 00-31)。</p> <p>また、送信によってバス・エラーが発生した場合、送信未完了として扱われます。</p> <p><b>注意1.</b> シングル・ショット・モードでは、アービトレーション負けしても、メッセージは送信されたものとして扱われます。 この状態では、BERRビットはセット (1) されませんが、CANバス・エラーではないため、エラー・カウンタの値 (11. 10 (23) CAN1エラー・カウンタ・レジスタ (C1ERC) 参照) は変わりません。</p> <p>2. シングル・ショット・モードでは、エラーの検出またはアービトレーション・フェーズでの調停負けで送信が停止しても送信完了割り込みが発生します。</p> <p>3. CPUはCANモジュールがアクティブの間、CANバス上にエラーを発生させることなく、通常動作モードとシングル・ショット・モードの切り替えを行えます。</p>
4	PBB	<p>送信時のプライオリティ制御を指定します。</p> <p>0: アイデンティファイア (ID) によるプライオリティ制御 1: メッセージ番号によるプライオリティ制御</p> <p>通常はメッセージIDによって送信優先順位を定義しますが、PBBビットをセット (1) するとメッセージの位置によって優先順位が定義され、メッセージ番号が低いほど優先順位が高くなります。</p>
3	BERR	<p>CANバス・エラーの状態を示します。</p> <p>0: CANバス・エラー未検出 1: ビット・クリア後に少なくとも1回CANバス・エラーを検出</p>

## (a) リード時 (3/3)

ビット位置	ビット名	意味
2	VALID	有効メッセージ検出状態を示します。 0: 有効メッセージ未検出 1: ビット・クリア後に少なくとも1回有効メッセージを検出
1	WAKE	CANスリープ・モードの解除状態を示します。 0: 通常動作 1: CANスリープ・モードのキャンセル  <b>注意1.</b> WAKEビットはCANバスの変化によりCANスリープ・モードが解除された場合のみセット(1)され、エラー割り込みが発生します。 <b>2.</b> WAKEビットがセット(1)されている間は、エラー割り込み信号はアクティブ状態を継続します。したがって、WAKEビットのセットを認識したあとは必ずクリア(0)してください。
0	OVR	オーバラン・エラー状態を示します。 0: 通常動作 1: RAMアクセス中にオーバランが発生  <b>注意</b> オーバラン・エラーが発生した場合、OVRビットがセット(1)され、同時にエラー割り込みが発生します。 オーバラン・エラーが発生する原因として、選択されたCANポー・レートに対してRAMアクセス・クロックが遅すぎる場合が考えられます。

(b) ライト時

ビット位置	ビット名	意味												
15, 7	set DGM, clear DGM	DGMビットの設定 / 解除を行います。 <table border="1"> <thead> <tr> <th>set DGM</th> <th>clear DGM</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>DGMビットをクリア (0) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>DGMビットをセット (1) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>DGMビット変更なし</td> </tr> </tbody> </table>	set DGM	clear DGM	動作	0	1	DGMビットをクリア (0) する	1	0	DGMビットをセット (1) する	上記以外		DGMビット変更なし
set DGM	clear DGM	動作												
0	1	DGMビットをクリア (0) する												
1	0	DGMビットをセット (1) する												
上記以外		DGMビット変更なし												
14, 6	set MOM, clear MOM	MOMビットの設定 / 解除を行います。 <table border="1"> <thead> <tr> <th>set MOM</th> <th>clear MOM</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>MOMビットをクリア (0) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>MOMビットをセット (1) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>MOMビット変更なし</td> </tr> </tbody> </table>	set MOM	clear MOM	動作	0	1	MOMビットをクリア (0) する	1	0	MOMビットをセット (1) する	上記以外		MOMビット変更なし
set MOM	clear MOM	動作												
0	1	MOMビットをクリア (0) する												
1	0	MOMビットをセット (1) する												
上記以外		MOMビット変更なし												
13, 5	set SSHT, clear SSHT	SSHTビットの設定 / 解除を行います。 <table border="1"> <thead> <tr> <th>set SSHT</th> <th>clear SSHT</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>SSHTビットをクリア (0) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>SSHTビットをセット (1) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>SSHTビット変更なし</td> </tr> </tbody> </table>	set SSHT	clear SSHT	動作	0	1	SSHTビットをクリア (0) する	1	0	SSHTビットをセット (1) する	上記以外		SSHTビット変更なし
set SSHT	clear SSHT	動作												
0	1	SSHTビットをクリア (0) する												
1	0	SSHTビットをセット (1) する												
上記以外		SSHTビット変更なし												
12, 4	set PBB, clear PBB	PBBビットの設定 / 解除を行います。 <table border="1"> <thead> <tr> <th>set PBB</th> <th>clear PBB</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>PBBビットをクリア (0) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>PBBビットをセット (1) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>PBBビット変更なし</td> </tr> </tbody> </table>	set PBB	clear PBB	動作	0	1	PBBビットをクリア (0) する	1	0	PBBビットをセット (1) する	上記以外		PBBビット変更なし
set PBB	clear PBB	動作												
0	1	PBBビットをクリア (0) する												
1	0	PBBビットをセット (1) する												
上記以外		PBBビット変更なし												
3	clear BERR	BERRビットの解除を行います。 0 : BERRビット変更なし 1 : BERRビットをクリア (0) する												
2	clear VALID	VALIDビットの解除を行います。 0 : VALIDビット変更なし 1 : VALIDビットをクリア (0) する												
1	clear WAKE	WAKEビットの解除を行います。 0 : WAKEビット変更なし 1 : WAKEビットをクリア (0) する												
0	clear OVR	OVRビットの解除を行います。 0 : OVRビット変更なし 1 : OVRビットをクリア (0) する												

(22) CAN1情報レジスタ (C1LAST)

C1LASTレジスタは、CANモジュールのエラー情報と最後に受信したメッセージ・バッファ番号を示すレジスタです。

16ビット単位でリードだけ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
C1LAST	0	0	0	0	LERR3	LERR2	LERR1	LERR0	LREC7	LREC6	LREC5	LREC4	LREC3	LREC2	LREC1	LREC0	xxxxmC54H <sup>注</sup>	00FFH

ビット位置	ビット名	意味																																																							
11-8	LERR3- LERR0	最終エラー情報を示します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>LERR3</th> <th>LERR2</th> <th>LERR1</th> <th>LERR0</th> <th>最終エラー情報</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>エラー未検出</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>ビット・エラー</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>スタッフ・エラー</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>CRCエラー</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>フォーム・エラー</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>ACKエラー</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>アービトレーション負け (シングル・ショット・モード時のみ (C1DEFレジスタのSSHTビット = 1))</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>CANオーバーラン・エラー</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>CANバスからのウエイク・アップ</td> </tr> <tr> <td colspan="4">上記以外</td> <td>未定義</td> </tr> </tbody> </table> <p><b>注意</b> LERR3-LERR0ビットはクリア(0)できないため、次のエラー発生まで状態を保持します。</p>	LERR3	LERR2	LERR1	LERR0	最終エラー情報	0	0	0	0	エラー未検出	0	0	0	1	ビット・エラー	0	0	1	0	スタッフ・エラー	0	0	1	1	CRCエラー	0	1	0	0	フォーム・エラー	0	1	0	1	ACKエラー	0	1	1	0	アービトレーション負け (シングル・ショット・モード時のみ (C1DEFレジスタのSSHTビット = 1))	0	1	1	1	CANオーバーラン・エラー	1	0	0	0	CANバスからのウエイク・アップ	上記以外				未定義
LERR3	LERR2	LERR1	LERR0	最終エラー情報																																																					
0	0	0	0	エラー未検出																																																					
0	0	0	1	ビット・エラー																																																					
0	0	1	0	スタッフ・エラー																																																					
0	0	1	1	CRCエラー																																																					
0	1	0	0	フォーム・エラー																																																					
0	1	0	1	ACKエラー																																																					
0	1	1	0	アービトレーション負け (シングル・ショット・モード時のみ (C1DEFレジスタのSSHTビット = 1))																																																					
0	1	1	1	CANオーバーラン・エラー																																																					
1	0	0	0	CANバスからのウエイク・アップ																																																					
上記以外				未定義																																																					
7-0	LREC7- LREC0	最終受信メッセージ番号を示します。 0-31 : 最後に受信したメッセージ・バッファ番号 32-255 : 未使用																																																							

**注** xxxx : CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxxのアドレスを自由に配置できます。ただし、xxxxのアドレスは一度設定すると変更できません。

m = 2, 6, A, E

(23) CAN1エラー・カウント・レジスタ (C1ERC)

C1ERCレジスタは、送受信エラー・カウンタのカウント値を示すレジスタです。

16ビット単位でリードだけ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
C1ERC	REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	xxxxmC56H <sup>注</sup>	0000H

ビット位置	ビット名	意味
15-8	REC7-REC0	受信エラー・カウンタを示します。 0-255 : 受信エラー・カウント数  受信エラー・カウンタの状態を反映します。 カウント数はCANプロトコルにより定義されています。
7-0	TEC7-TEC0	送信エラー・カウンタを示します。 0-255 : 送信エラー・カウント数  送信エラー・カウンタの状態を反映します。 カウント数はCANプロトコルにより定義されています。

注 xxxx : CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxxのアドレスを自由に配置できます。ただし、xxxxのアドレスは一度設定すると変更できません。

m = 2, 6, A, E



(24) CAN1割り込み許可レジスタ (C1IE)

C1IEレジスタは、CANモジュールの割り込み許可/禁止を行います。

16ビット単位でリード/ライト可能です。

- 注意1. C1IEレジスタへのビット・ライト操作と直接の書き込みは禁止されています。直接書き込みは誤動作を引き起こしますので、11.9 ビットのセット/クリア機能についての注意事項に示す手順に従って実行してください。
2. C1IEレジスタの書き込みを行う場合には、ライト時のレジスタ構成に従って、セット/クリアを行ってください。

(1/3)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
C1IE (リード)	0	0	0	0	1	0	0	1	0	E_INT6	E_INT5	E_INT4	E_INT3	E_INT2	E_INT1	E_INT0	xxxxmC58H <sup>注</sup>	0900H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
C1IE (ライト)	0	set	set	set	set	set	set	set	0	clear	clear	clear	clear	clear	clear	clear		
		E_INT6	E_INT5	E_INT4	E_INT3	E_INT2	E_INT1	E_INT0		E_INT6	E_INT5	E_INT4	E_INT3	E_INT2	E_INT1	E_INT0		

(a) リード時 (1/2)

ビット位置	ビット名	意味
6	E_INT6	CANモジュール・エラー割り込み許可フラグです。 0: 割り込み禁止 1: 割り込み許可
5	E_INT5	CANバス・エラー割り込み許可フラグです。 0: 割り込み禁止 1: 割り込み許可
4	E_INT4	CANスリープ・モードからのウエイク・アップ割り込み許可フラグです。 0: 割り込み禁止 1: 割り込み許可
3	E_INT3	受信エラー・パッシブ割り込み許可フラグです。 0: 割り込み禁止 1: 割り込み許可
2	E_INT2	送信エラー・パッシブまたはバス・オフ割り込み許可フラグです。 0: 割り込み禁止 1: 割り込み許可

注 xxxx: CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxxのアドレスを自由に配置できます。ただし、xxxxのアドレスは一度設定すると変更できません。

m = 2, 6, A, E

(a) リード時 (2/2)

ビット位置	ビット名	意 味
1	E_INT1	受信完了割り込み許可フラグです。 0: 割り込み禁止 1: 割り込み許可  ・M_CTRLnレジスタのIEビット = 1のとき, 自動応答機能が設定されていない状態 (M_CTRLnレジスタのRMDE0ビット = 0) で送信メッセージ・バッファにリモート・フレームを受信した場合は, E_INT1ビットの設定に関係なく受信完了割り込みが発生します (n = 00-31)。
0	E_INT0	送信完了割り込み許可フラグです。 0: 割り込み禁止 1: 割り込み許可

(b) ライト時 (1/2)

ビット位置	ビット名	意 味												
14, 6	set E_INT6, clear E_INT6	E_INT6ビットの設定 / 解除を行います。  <table border="1"> <thead> <tr> <th>set E_INT6</th> <th>clear E_INT6</th> <th>動 作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>E_INT6割り込みをクリア (0) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>E_INT6割り込みをセット (1) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>E_INT6割り込み変更なし</td> </tr> </tbody> </table>	set E_INT6	clear E_INT6	動 作	0	1	E_INT6割り込みをクリア (0) する	1	0	E_INT6割り込みをセット (1) する	上記以外		E_INT6割り込み変更なし
set E_INT6	clear E_INT6	動 作												
0	1	E_INT6割り込みをクリア (0) する												
1	0	E_INT6割り込みをセット (1) する												
上記以外		E_INT6割り込み変更なし												
13, 5	set E_INT5, clear E_INT5	E_INT5ビットの設定 / 解除を行います。  <table border="1"> <thead> <tr> <th>set E_INT5</th> <th>clear E_INT5</th> <th>動 作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>E_INT5割り込みをクリア (0) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>E_INT5割り込みをセット (1) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>E_INT5割り込み変更なし</td> </tr> </tbody> </table>	set E_INT5	clear E_INT5	動 作	0	1	E_INT5割り込みをクリア (0) する	1	0	E_INT5割り込みをセット (1) する	上記以外		E_INT5割り込み変更なし
set E_INT5	clear E_INT5	動 作												
0	1	E_INT5割り込みをクリア (0) する												
1	0	E_INT5割り込みをセット (1) する												
上記以外		E_INT5割り込み変更なし												
12, 4	set E_INT4, clear E_INT4	E_INT4ビットの設定 / 解除を行います。  <table border="1"> <thead> <tr> <th>set E_INT4</th> <th>clear E_INT4</th> <th>動 作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>E_INT4割り込みをクリア (0) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>E_INT4割り込みをセット (1) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>E_INT4割り込み変更なし</td> </tr> </tbody> </table>	set E_INT4	clear E_INT4	動 作	0	1	E_INT4割り込みをクリア (0) する	1	0	E_INT4割り込みをセット (1) する	上記以外		E_INT4割り込み変更なし
set E_INT4	clear E_INT4	動 作												
0	1	E_INT4割り込みをクリア (0) する												
1	0	E_INT4割り込みをセット (1) する												
上記以外		E_INT4割り込み変更なし												
11, 3	set E_INT3, clear E_INT3	E_INT3ビットの設定 / 解除を行います。  <table border="1"> <thead> <tr> <th>set E_INT3</th> <th>clear E_INT3</th> <th>動 作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>E_INT3割り込みをクリア (0) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>E_INT3割り込みをセット (1) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>E_INT3割り込み変更なし</td> </tr> </tbody> </table>	set E_INT3	clear E_INT3	動 作	0	1	E_INT3割り込みをクリア (0) する	1	0	E_INT3割り込みをセット (1) する	上記以外		E_INT3割り込み変更なし
set E_INT3	clear E_INT3	動 作												
0	1	E_INT3割り込みをクリア (0) する												
1	0	E_INT3割り込みをセット (1) する												
上記以外		E_INT3割り込み変更なし												

(b) ライト時 (2/2)

ビット位置	ビット名	意 味												
10, 2	set E_INT2, clear E_INT2	E_INT2ビットの設定 / 解除を行います。  <table border="1"> <thead> <tr> <th>set E_INT2</th> <th>clear E_INT2</th> <th>動 作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>E_INT2割り込みをクリア (0) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>E_INT2割り込みをセット (1) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>E_INT2割り込み変更なし</td> </tr> </tbody> </table>	set E_INT2	clear E_INT2	動 作	0	1	E_INT2割り込みをクリア (0) する	1	0	E_INT2割り込みをセット (1) する	上記以外		E_INT2割り込み変更なし
set E_INT2	clear E_INT2	動 作												
0	1	E_INT2割り込みをクリア (0) する												
1	0	E_INT2割り込みをセット (1) する												
上記以外		E_INT2割り込み変更なし												
9, 1	set E_INT1, clear E_INT1	E_INT1ビットの設定 / 解除を行います。  <table border="1"> <thead> <tr> <th>set E_INT1</th> <th>clear E_INT1</th> <th>動 作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>E_INT1割り込みをクリア (0) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>E_INT1割り込みをセット (1) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>E_INT1割り込み変更なし</td> </tr> </tbody> </table>	set E_INT1	clear E_INT1	動 作	0	1	E_INT1割り込みをクリア (0) する	1	0	E_INT1割り込みをセット (1) する	上記以外		E_INT1割り込み変更なし
set E_INT1	clear E_INT1	動 作												
0	1	E_INT1割り込みをクリア (0) する												
1	0	E_INT1割り込みをセット (1) する												
上記以外		E_INT1割り込み変更なし												
8, 0	set E_INT0, clear E_INT0	E_INT0ビットの設定 / 解除を行います。  <table border="1"> <thead> <tr> <th>set E_INT0</th> <th>clear E_INT0</th> <th>動 作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>E_INT0割り込みをクリア (0) する</td> </tr> <tr> <td>1</td> <td>0</td> <td>E_INT0割り込みをセット (1) する</td> </tr> <tr> <td colspan="2">上記以外</td> <td>E_INT0割り込み変更なし</td> </tr> </tbody> </table>	set E_INT0	clear E_INT0	動 作	0	1	E_INT0割り込みをクリア (0) する	1	0	E_INT0割り込みをセット (1) する	上記以外		E_INT0割り込み変更なし
set E_INT0	clear E_INT0	動 作												
0	1	E_INT0割り込みをクリア (0) する												
1	0	E_INT0割り込みをセット (1) する												
上記以外		E_INT0割り込み変更なし												

(25) CAN1バス・アクティブ・レジスタ (C1BA)

C1BAレジスタは、CANバス上に出力されているフレーム情報を示すレジスタです。

16ビット単位でリードだけ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
C1BA	0	0	0	CACT4	CACT3	CACT2	CACT1	CACT0	TMNO7	TMNO6	TMNO5	TMNO4	TMNO3	TMNO2	TMNO1	TMNO0	xxxxmC5AH <sup>注</sup>	00FFH

ビット位置	ビット名	意味																																																																																																																		
12-8	CACT4- CACT0	CANモジュールの状態を示します。 <table border="1"> <thead> <tr> <th>CACT4</th> <th>CACT3</th> <th>CACT2</th> <th>CACT1</th> <th>CACT0</th> <th>CANモジュールの状態</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>リセット状態</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>バス・アイドル待ち</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>バス・アイドル状態</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>スタート・オブ・フレーム</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>標準アイデンティファイア領域</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>データ・レングス・コード領域</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>データ・フィールド領域</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>CRCフィールド領域</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>CRCデリミッタ</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>ACKスロット</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>ACKデリミッタ</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>エンド・オブ・フレーム領域</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>インタミッション・ステート</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>サスペンド・トランスミッション</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>エラー・フレーム</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>エラー・デリミッタ待ち</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>エラー・デリミッタ</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>拡張アイデンティファイア領域</td> </tr> </tbody> </table>	CACT4	CACT3	CACT2	CACT1	CACT0	CANモジュールの状態	0	0	0	0	0	リセット状態	0	0	0	0	1	バス・アイドル待ち	0	0	0	1	0	バス・アイドル状態	0	0	0	1	1	スタート・オブ・フレーム	0	0	1	0	0	標準アイデンティファイア領域	0	0	1	0	1	データ・レングス・コード領域	0	0	1	1	0	データ・フィールド領域	0	0	1	1	1	CRCフィールド領域	0	1	0	0	0	CRCデリミッタ	0	1	0	0	1	ACKスロット	0	1	0	1	0	ACKデリミッタ	0	1	0	1	1	エンド・オブ・フレーム領域	0	1	1	0	0	インタミッション・ステート	0	1	1	0	1	サスペンド・トランスミッション	0	1	1	1	0	エラー・フレーム	0	1	1	1	1	エラー・デリミッタ待ち	1	0	0	0	0	エラー・デリミッタ	1	0	0	1	0	拡張アイデンティファイア領域
CACT4	CACT3	CACT2	CACT1	CACT0	CANモジュールの状態																																																																																																															
0	0	0	0	0	リセット状態																																																																																																															
0	0	0	0	1	バス・アイドル待ち																																																																																																															
0	0	0	1	0	バス・アイドル状態																																																																																																															
0	0	0	1	1	スタート・オブ・フレーム																																																																																																															
0	0	1	0	0	標準アイデンティファイア領域																																																																																																															
0	0	1	0	1	データ・レングス・コード領域																																																																																																															
0	0	1	1	0	データ・フィールド領域																																																																																																															
0	0	1	1	1	CRCフィールド領域																																																																																																															
0	1	0	0	0	CRCデリミッタ																																																																																																															
0	1	0	0	1	ACKスロット																																																																																																															
0	1	0	1	0	ACKデリミッタ																																																																																																															
0	1	0	1	1	エンド・オブ・フレーム領域																																																																																																															
0	1	1	0	0	インタミッション・ステート																																																																																																															
0	1	1	0	1	サスペンド・トランスミッション																																																																																																															
0	1	1	1	0	エラー・フレーム																																																																																																															
0	1	1	1	1	エラー・デリミッタ待ち																																																																																																															
1	0	0	0	0	エラー・デリミッタ																																																																																																															
1	0	0	1	0	拡張アイデンティファイア領域																																																																																																															
7-0	TMNO7- TMNO0	送信メッセージ・カウンタを指定します。 0-31：送信待ちまたは送信中のメッセージ番号 32-254：未使用 255：送信待ちまたは送信中のメッセージなし																																																																																																																		

注 xxxx：CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxxのアドレスを自由に配置できます。ただし、xxxxのアドレスは一度設定すると変更できません。

m = 2, 6, A, E

**(26) CAN1ビット・レート・プリスケアラ・レジスタ (C1BRP)**

C1BRPレジスタは、CANモジュールの通信ボー・レートの設定をするレジスタです。

C1BRPレジスタでCANプロトコル・レイヤ基本システム・クロック ( $f_{BTL}$ ) を選択します。ボー・レートはC1SYNCレジスタに設定した値で決まります。

通常動作モード(C1DEFレジスタのMOMビット = 0)の場合、C1BRPレジスタは初期化モード(C1CTRLレジスタのINITビット = 1) のときのみアクセスできます。

16ビット単位でリード/ライト可能です。

**注意** 診断処理モード (C1DEFレジスタのMOMビット = 1) の場合、C1BRPレジスタは初期化モード (C1CTRLレジスタのINITビット = 1) のときのみアクセスできます (11. 10 (21) CAN1定義レジスタ (C1DEF) 参照)。

C1BRP (TLM = 0)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	TLM	0	0	0	0	0	0	0	0	BTYP	BRP5	BRP4	BRP3	BRP2	BRP1	BRP0	xxxxmC5CH <sup>注</sup>	0000H

C1BRP (TLM = 1)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TLM	0	0	0	0	0	0	BTYP	BRP7	BRP6	BRP5	BRP4	BRP3	BRP2	BRP1	BRP0

(a) TLM = 0時

ビット位置	ビット名	意味																																																																																
15	TLM	転送レイヤ・モードを指定します。 0 : 6ビット・プリスケラ・モード																																																																																
6	BTYP	CANバス・タイプを指定します。 0 : ロウ・スピード ( 125 kbps ) 1 : ハイ・スピード ( > 125 kbps )																																																																																
5-0	BRP5-BRP0	CANモジュールのCANプロトコル・レイヤ基本システム・クロック ( f <sub>BTL</sub> ) を指定します。  <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>n</th> <th>BRP5</th> <th>BRP4</th> <th>BRP3</th> <th>BRP2</th> <th>BRP1</th> <th>BRP0</th> <th>CANプロトコル・レイヤ基本システム・クロック ( f<sub>BTL</sub> )</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>f<sub>MEM</sub>/2</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>f<sub>MEM</sub>/4</td> </tr> <tr> <td>2</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>f<sub>MEM</sub>/6</td> </tr> <tr> <td>3</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>f<sub>MEM</sub>/8</td> </tr> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td>f<sub>MEM</sub> / ( n + 1 ) × 2</td> </tr> <tr> <td>60</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>f<sub>MEM</sub>/122</td> </tr> <tr> <td>61</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>f<sub>MEM</sub>/124</td> </tr> <tr> <td>62</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>f<sub>MEM</sub>/126</td> </tr> <tr> <td>63</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>f<sub>MEM</sub>/128</td> </tr> </tbody> </table> <p><b>備考</b> f<sub>BTL</sub> = f<sub>MEM</sub> / { ( n + 1 ) × 2 } : CANプロトコル・レイヤ基本システム・クロック n = 0-63 ( BRP5-BRP0ビットで設定 ) f<sub>MEM</sub> = CAN基本クロック</p>	n	BRP5	BRP4	BRP3	BRP2	BRP1	BRP0	CANプロトコル・レイヤ基本システム・クロック ( f <sub>BTL</sub> )	0	0	0	0	0	0	0	f <sub>MEM</sub> /2	1	0	0	0	0	0	1	f <sub>MEM</sub> /4	2	0	0	0	0	1	0	f <sub>MEM</sub> /6	3	0	0	0	0	1	1	f <sub>MEM</sub> /8								f <sub>MEM</sub> / ( n + 1 ) × 2	60	1	1	1	1	0	0	f <sub>MEM</sub> /122	61	1	1	1	1	0	1	f <sub>MEM</sub> /124	62	1	1	1	1	1	0	f <sub>MEM</sub> /126	63	1	1	1	1	1	1	f <sub>MEM</sub> /128
n	BRP5	BRP4	BRP3	BRP2	BRP1	BRP0	CANプロトコル・レイヤ基本システム・クロック ( f <sub>BTL</sub> )																																																																											
0	0	0	0	0	0	0	f <sub>MEM</sub> /2																																																																											
1	0	0	0	0	0	1	f <sub>MEM</sub> /4																																																																											
2	0	0	0	0	1	0	f <sub>MEM</sub> /6																																																																											
3	0	0	0	0	1	1	f <sub>MEM</sub> /8																																																																											
							f <sub>MEM</sub> / ( n + 1 ) × 2																																																																											
60	1	1	1	1	0	0	f <sub>MEM</sub> /122																																																																											
61	1	1	1	1	0	1	f <sub>MEM</sub> /124																																																																											
62	1	1	1	1	1	0	f <sub>MEM</sub> /126																																																																											
63	1	1	1	1	1	1	f <sub>MEM</sub> /128																																																																											

注 xxxx : CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxxのアドレスを自由に配置できます。ただし、xxxxのアドレスは一度設定すると変更できません。

m = 2, 6, A, E

(b) TLM = 1時

ビット位置	ビット名	意味																																																																																																														
15	TLM	転送レイヤ・モードを指定します。 1: 8ビット・プリスケアラ・モード																																																																																																														
8	BTYPE	CANバス・タイプを指定します。 0: ロウ・スピード ( 125 kbps ) 1: ハイ・スピード ( > 125 kbps )																																																																																																														
7-0	BRP7-BRP0	CANモジュールのCANプロトコル・レイヤ基本システム・クロック ( $f_{BTL}$ ) を指定します。  <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>n</th> <th>BRP7</th> <th>BRP6</th> <th>BRP5</th> <th>BRP4</th> <th>BRP3</th> <th>BRP2</th> <th>BRP1</th> <th>BRP0</th> <th>CANプロトコル・レイヤ基本システム・クロック ( <math>f_{BTL}</math> )</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td><math>f_{MEM}/2</math></td> </tr> <tr> <td>2</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td><math>f_{MEM}/3</math></td> </tr> <tr> <td>3</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td><math>f_{MEM}/4</math></td> </tr> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td><math>f_{MEM}/(n+1)</math></td> </tr> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>252</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td><math>f_{MEM}/253</math></td> </tr> <tr> <td>253</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td><math>f_{MEM}/254</math></td> </tr> <tr> <td>254</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td><math>f_{MEM}/255</math></td> </tr> <tr> <td>255</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td><math>f_{MEM}/256</math></td> </tr> </tbody> </table> <p><b>備考</b> <math>f_{BTL} = f_{MEM} / (n + 1)</math> : CANプロトコル・レイヤ基本システム・クロック  <math>n = 0-255</math> ( BRP7-BRP0ビットで設定 )  <math>f_{MEM} = \text{CAN基本クロック}</math></p>	n	BRP7	BRP6	BRP5	BRP4	BRP3	BRP2	BRP1	BRP0	CANプロトコル・レイヤ基本システム・クロック ( $f_{BTL}$ )	0	0	0	0	0	0	0	0	0	設定禁止	1	0	0	0	0	0	0	0	1	$f_{MEM}/2$	2	0	0	0	0	0	0	1	0	$f_{MEM}/3$	3	0	0	0	0	0	0	1	1	$f_{MEM}/4$										$f_{MEM}/(n+1)$											252	1	1	1	1	1	1	0	0	$f_{MEM}/253$	253	1	1	1	1	1	1	0	1	$f_{MEM}/254$	254	1	1	1	1	1	1	1	0	$f_{MEM}/255$	255	1	1	1	1	1	1	1	1	$f_{MEM}/256$
n	BRP7	BRP6	BRP5	BRP4	BRP3	BRP2	BRP1	BRP0	CANプロトコル・レイヤ基本システム・クロック ( $f_{BTL}$ )																																																																																																							
0	0	0	0	0	0	0	0	0	設定禁止																																																																																																							
1	0	0	0	0	0	0	0	1	$f_{MEM}/2$																																																																																																							
2	0	0	0	0	0	0	1	0	$f_{MEM}/3$																																																																																																							
3	0	0	0	0	0	0	1	1	$f_{MEM}/4$																																																																																																							
									$f_{MEM}/(n+1)$																																																																																																							
252	1	1	1	1	1	1	0	0	$f_{MEM}/253$																																																																																																							
253	1	1	1	1	1	1	0	1	$f_{MEM}/254$																																																																																																							
254	1	1	1	1	1	1	1	0	$f_{MEM}/255$																																																																																																							
255	1	1	1	1	1	1	1	1	$f_{MEM}/256$																																																																																																							

(27) CAN1バス診断情報レジスタ (C1DINF)

C1DINFレジスタは、スタッフ・ビット、デリミッタなどすべてのCANバス・ビットを示します。これらの情報は、診断目的だけで使用します。

SOFからのビット数はフレームごとに加算されていくため、実際のビット数は前回のデータから差し引いた値となります。

16ビット単位でリードだけ可能です。

- 注意1. C1DINFレジスタは、診断処理モード (C1DEFレジスタのMOMビット = 1) で通常動作モード (C1CTRLレジスタのINITビット = 0) のときのみアクセスできます。通常動作モード (C1DEFレジスタのMOMビット = 0) ではこのレジスタはアクセスできません。
2. 最後8ビットの格納は、CANバス上にエラーあるいは有効なメッセージ (ACKデリミッタ) を検出した場合に自動的に停止します。また、CANバス上にSOFを検出した場合は毎回自動的にリセットされます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
C1DINF	DINF15	DINF14	DINF13	DINF12	DINF11	DINF10	DINF9	DINF8	DINF7	DINF6	DINF5	DINF4	DINF3	DINF2	DINF1	DINF0	xxxxmC5CH <sup>注</sup>	0000H

ビット位置	ビット名	意 味						
15-0	DINF15- DINF0	CANバス診断情報を示します。  <table border="1" style="width: 100%; border-collapse: collapse; margin-left: 20px;"> <thead> <tr> <th style="width: 20%;">ビット名</th> <th style="width: 80%;">CANバス診断情報</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">DINF15-DINF8</td> <td>SOFからのビット数</td> </tr> <tr> <td style="text-align: center;">DINF7-DINF0</td> <td>最終8ビットの情報</td> </tr> </tbody> </table>	ビット名	CANバス診断情報	DINF15-DINF8	SOFからのビット数	DINF7-DINF0	最終8ビットの情報
ビット名	CANバス診断情報							
DINF15-DINF8	SOFからのビット数							
DINF7-DINF0	最終8ビットの情報							

**注** xxxx : CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxxのアドレスを自由に配置できます。ただし、xxxxのアドレスは一度設定すると変更できません。

m = 2, 6, A, E



(28) CAN1同期コントロール・レジスタ (C1SYNC)

C1SYNCレジスタは、通信速度のデータ・ビット・タイムを制御します。  
16ビット単位でリード/ライト可能です。

- 注意1. CPUはC1SYNCレジスタをいつでも読み込むことができます。
2. C1SYNCレジスタへの書き込みは、初期化モード (C1CTRLレジスタのINITビット = 1) にした場合に可能です。
  3. SPTnビットとDBTnビットを設定する場合のCANプロトコルの限界値を次に示します。  
 $5 \times BTL$  SPT (サンプル・ポイント)  $17 \times BTL$  [4 SPT4-SPT0の設定値 16]  
 $8 \times BTL$  DBT (データ・ビット・タイム)  $25 \times BTL$  [7 DBT4-DBT0の設定値 24]  
 SJW (同期ジャンプ幅)  $DBT - SPT$   
 $2 (DBT - SPT)$  8

備考  $BTL = 1/f_{BTL}$  ( $f_{BTL}$ : CANプロトコル・レイヤ基本システム・クロック)

(1/3)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
C1SYNC	0	0	0	SAMP	SJW1	SJW0	SPT4	SPT3	SPT2	SPT1	SPT0	DBT4	DBT3	DBT2	DBT1	DBT0	xxxxmC5EH <sup>注</sup>	0218H

ビット位置	ビット名	意味															
12	SAMP	ビット・サンプリングを指定します。 0: サンプリング・ポイントで受信データを1回サンプリングする 1: 受信データを3回サンプリングし、多数決でサンプリング値を決定する															
11, 10	SJW1, SJW0	CANプロトコル仕様Ver.2.0 PartB activeで規定している同期ジャンプ幅を指定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>SJW1</th> <th>SJW0</th> <th>同期ジャンプ幅<sup>注</sup></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>BTL</td> </tr> <tr> <td>0</td> <td>1</td> <td>BTL × 2</td> </tr> <tr> <td>1</td> <td>0</td> <td>BTL × 3</td> </tr> <tr> <td>1</td> <td>1</td> <td>BTL × 4</td> </tr> </tbody> </table>	SJW1	SJW0	同期ジャンプ幅 <sup>注</sup>	0	0	BTL	0	1	BTL × 2	1	0	BTL × 3	1	1	BTL × 4
SJW1	SJW0	同期ジャンプ幅 <sup>注</sup>															
0	0	BTL															
0	1	BTL × 2															
1	0	BTL × 3															
1	1	BTL × 4															

注 CANプロトコル仕様Ver.2.0 PartB activeで規定

備考  $BTL = 1/f_{BTL}$  ( $f_{BTL}$ : CANプロトコル・レイヤ基本システム・クロック)

注 xxxx: CANメッセージ・バッファ・レジスタはプログラマブル周辺I/Oレジスタとしてxxxxのアドレスを自由に配置できます。ただし、xxxxのアドレスは一度設定すると変更できません。

m = 2, 6, A, E

ビット位置	ビット名	意味					
9-5	SPT4-SPT0	サンプル・ポイント位置の設定を行います。					
		SPT4	SPT3	SPT2	SPT1	SPT0	サンプル・ポイントの位置
		0	0	0	1	0	BTL×3 <sup>注</sup>
		0	0	0	1	1	BTL×4 <sup>注</sup>
		0	0	1	0	0	BTL×5
		0	0	1	0	1	BTL×6
		0	0	1	1	0	BTL×7
		0	0	1	1	1	BTL×8
		0	1	0	0	0	BTL×9
		0	1	0	0	1	BTL×10
		0	1	0	1	0	BTL×11
		0	1	0	1	1	BTL×12
		0	1	1	0	0	BTL×13
		0	1	1	0	1	BTL×14
		0	1	1	1	0	BTL×15
		0	1	1	1	1	BTL×16
		1	0	0	0	0	BTL×17
		上記以外					設定禁止
		<p><b>注</b> この設定はサンプル・ポイントの拡張設定のために予約されているもので、CANプロトコル仕様に準拠していません。</p> <p><b>備考</b> ビット・タイミング中のサンプル・ポイントが選択されます。</p>					

ビット位置	ビット名	意 味					
4-0	DBT4-DBT0	データ・ビット・タイムを設定します。					
		DBT4	DBT3	DBT2	DBT1	DBT0	データ・ビット・タイム
		0	0	1	1	1	BTL×8
		0	1	0	0	0	BTL×9
		0	1	0	0	1	BTL×10
		0	1	0	1	0	BTL×11
		0	1	0	1	1	BTL×12
		0	1	1	0	0	BTL×13
		0	1	1	0	1	BTL×14
		0	1	1	1	0	BTL×15
		0	1	1	1	1	BTL×16
		1	0	0	0	0	BTL×17
		1	0	0	0	1	BTL×18
		1	0	0	1	0	BTL×19
		1	0	0	1	1	BTL×20
		1	0	1	0	0	BTL×21
		1	0	1	0	1	BTL×22
		1	0	1	1	0	BTL×23
		1	0	1	1	1	BTL×24
		1	1	0	0	0	BTL×25
		上記以外					設定禁止
		備考 CANバスでの1データ・ビット長さが設定されます。					
備考 BTL = 1/f <sub>BTL</sub> ( f <sub>BTL</sub> : CANプロトコル・レイヤ基本システム・クロック )							

## 11.11 動作

### 11.11.1 初期設定処理

図11 - 27に初期設定のフローを示します。各レジスタの設定のフローは図11 - 28から図11 - 40を参照してください。

図11 - 27 初期設定処理

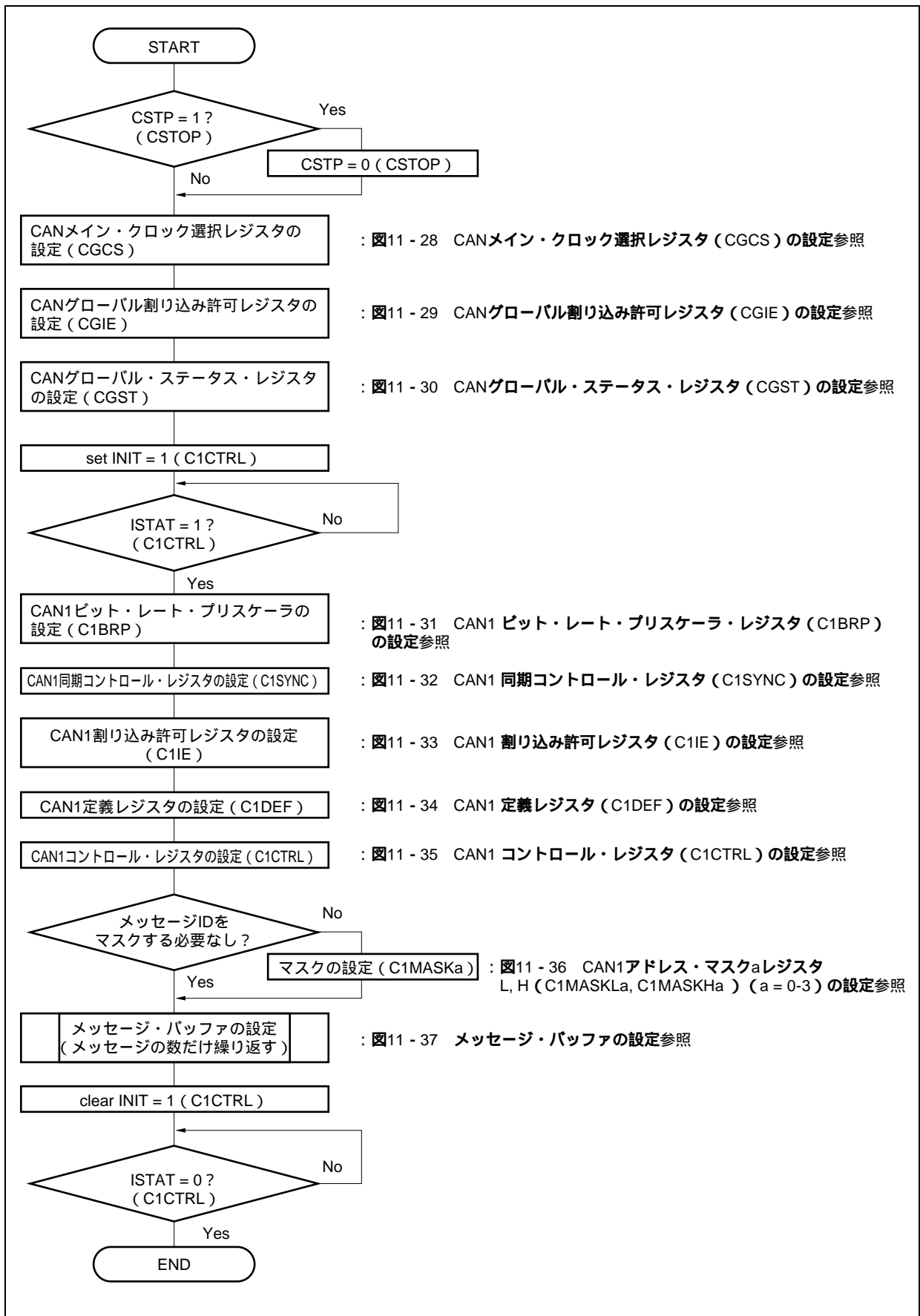


図11 - 28 CANメイン・クロック選択レジスタ (CGCS) の設定

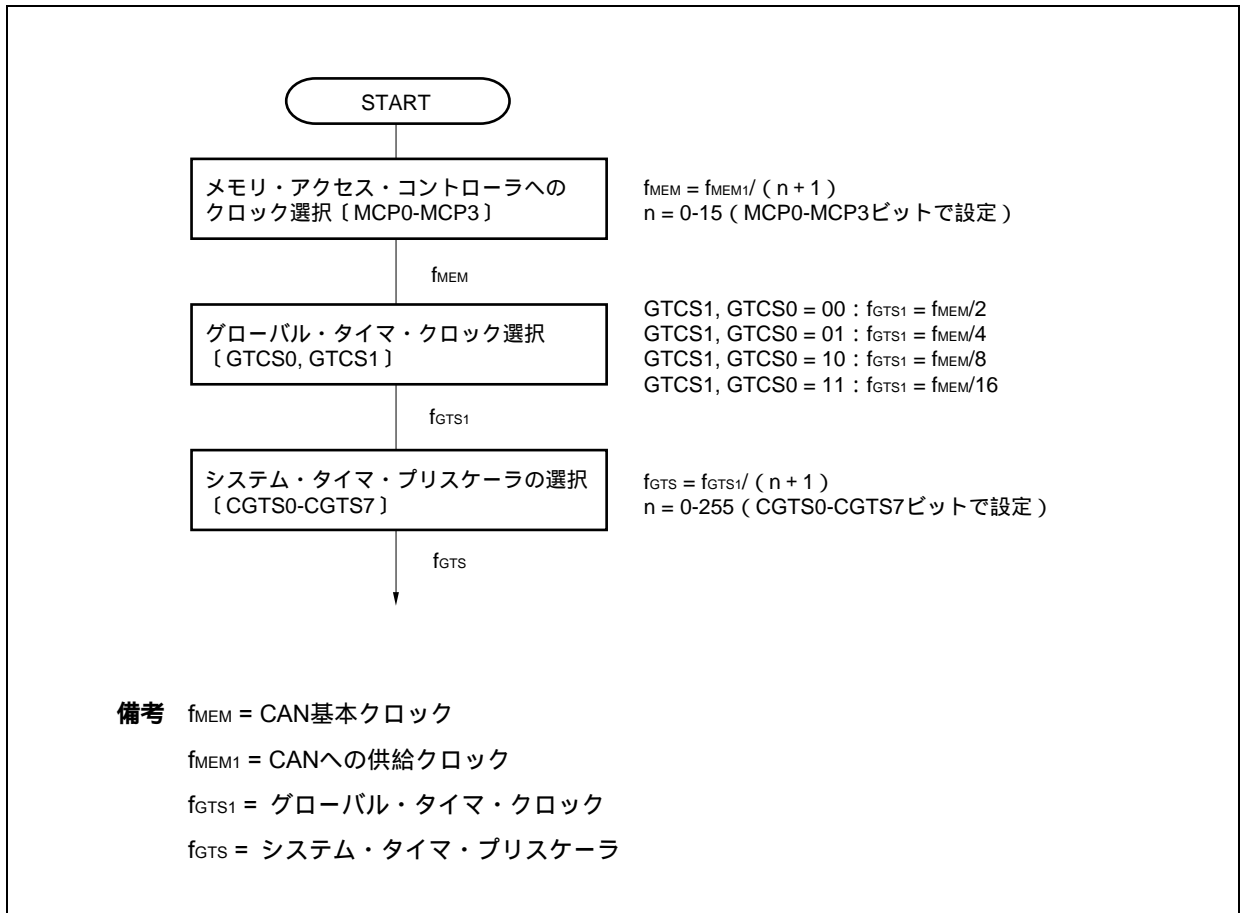


図11 - 29 CANグローバル割り込み許可レジスタ (CGIE) の設定

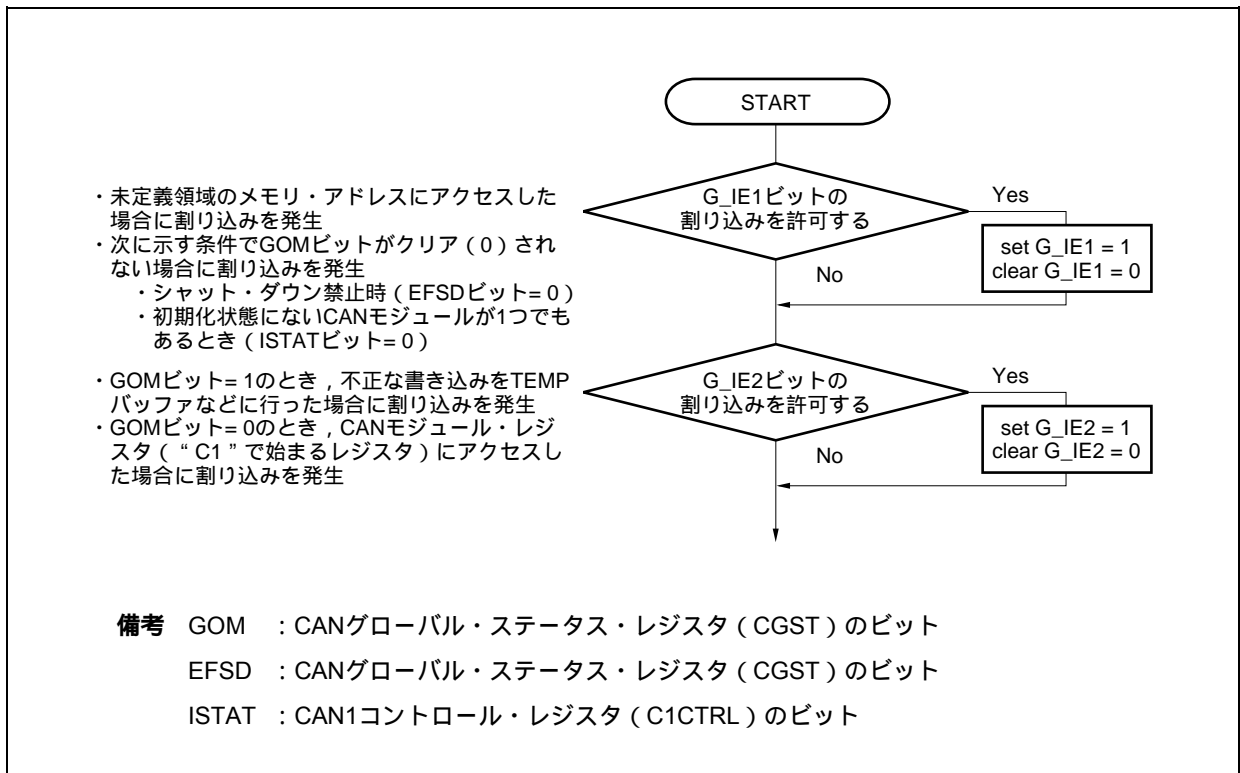


図11 - 30 CANグローバル・ステータス・レジスタ (CGST) の設定

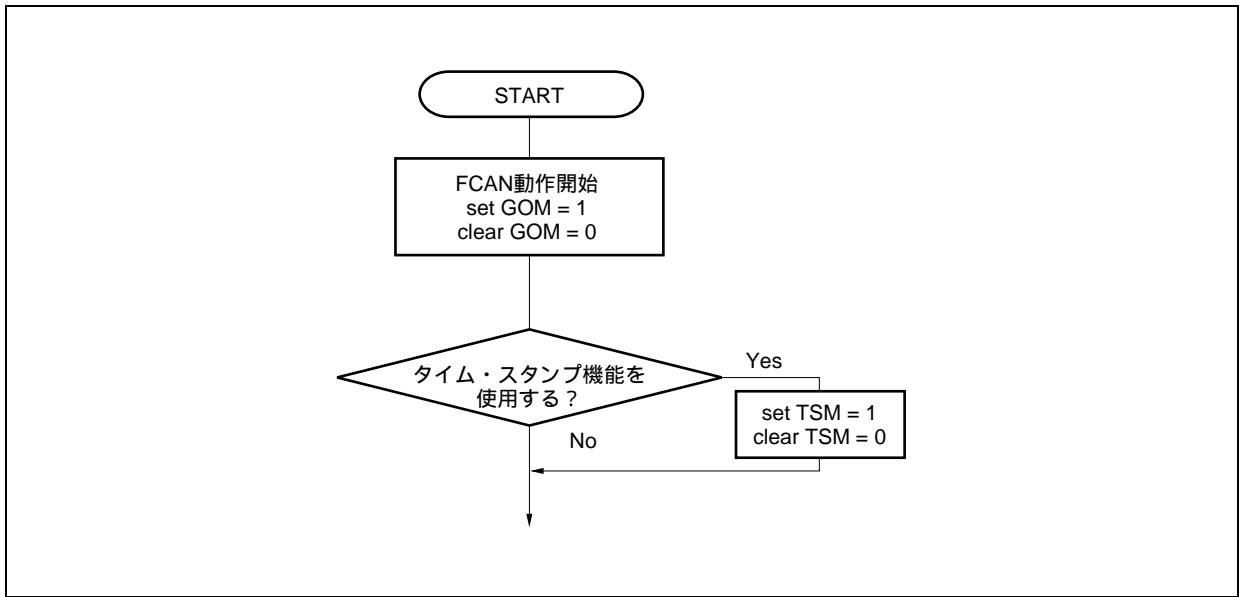


図11 - 31 CAN1ビット・レート・プリスケアラ・レジスタ (C1BRP) の設定

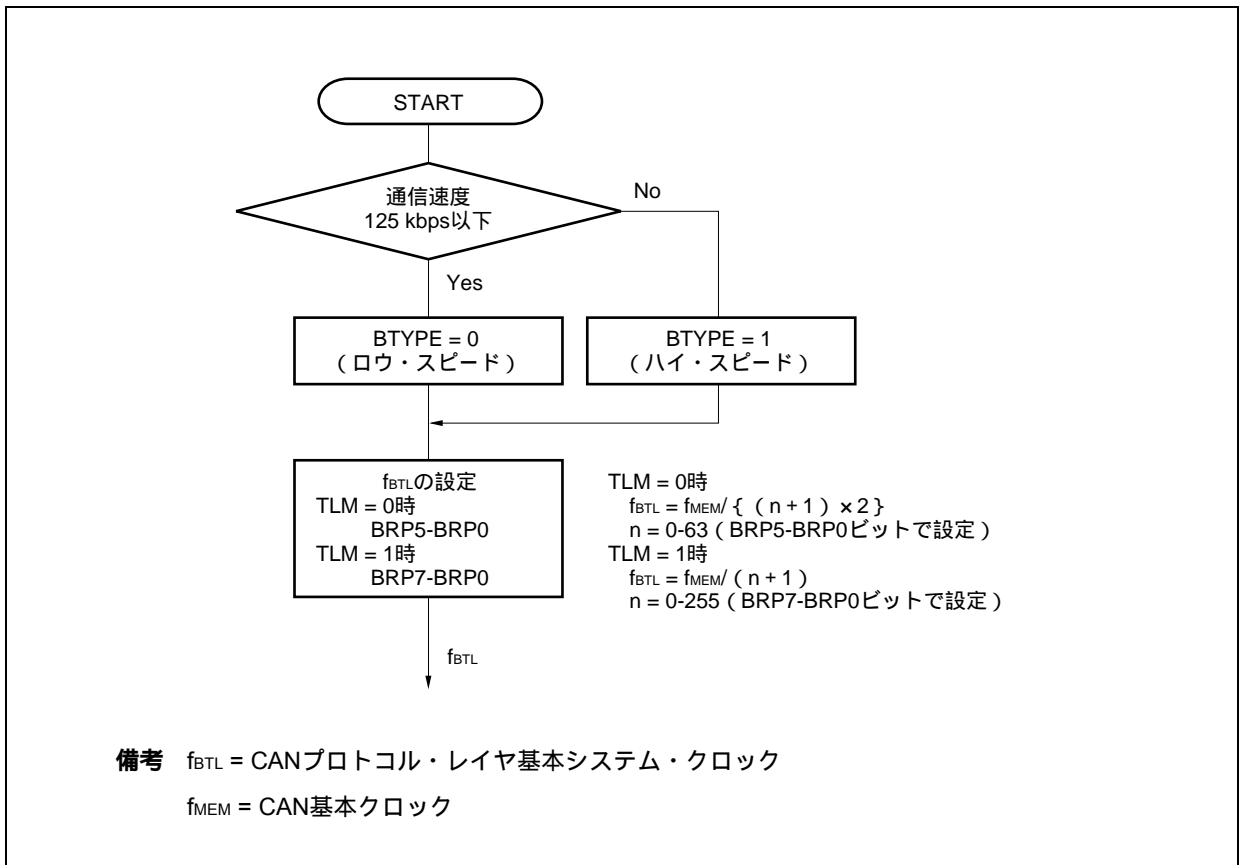


図11 - 32 CAN1同期コントロール・レジスタ (C1SYNC) の設定

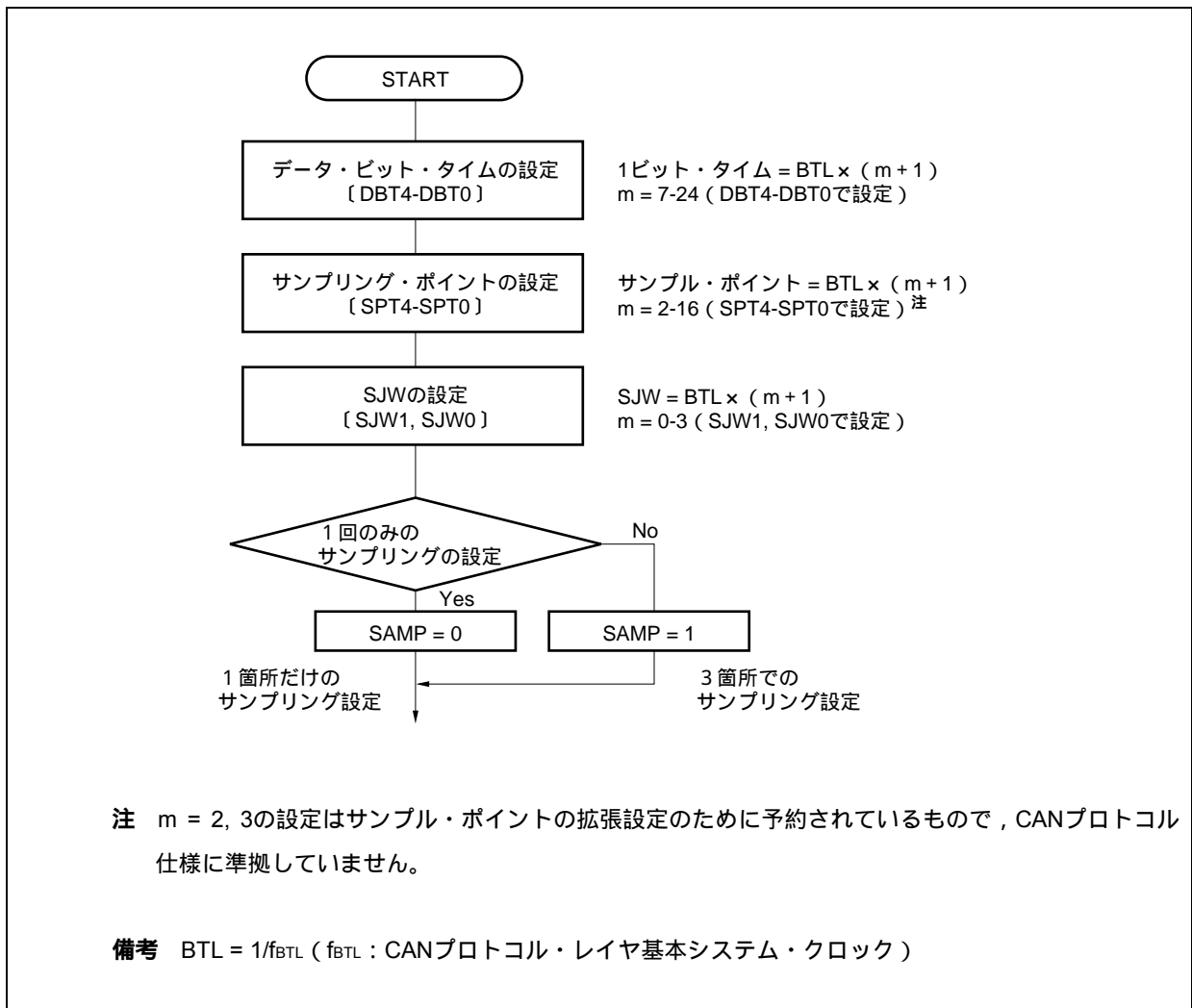




図11 - 33 CAN1割り込み許可レジスタ (C1IE) の設定

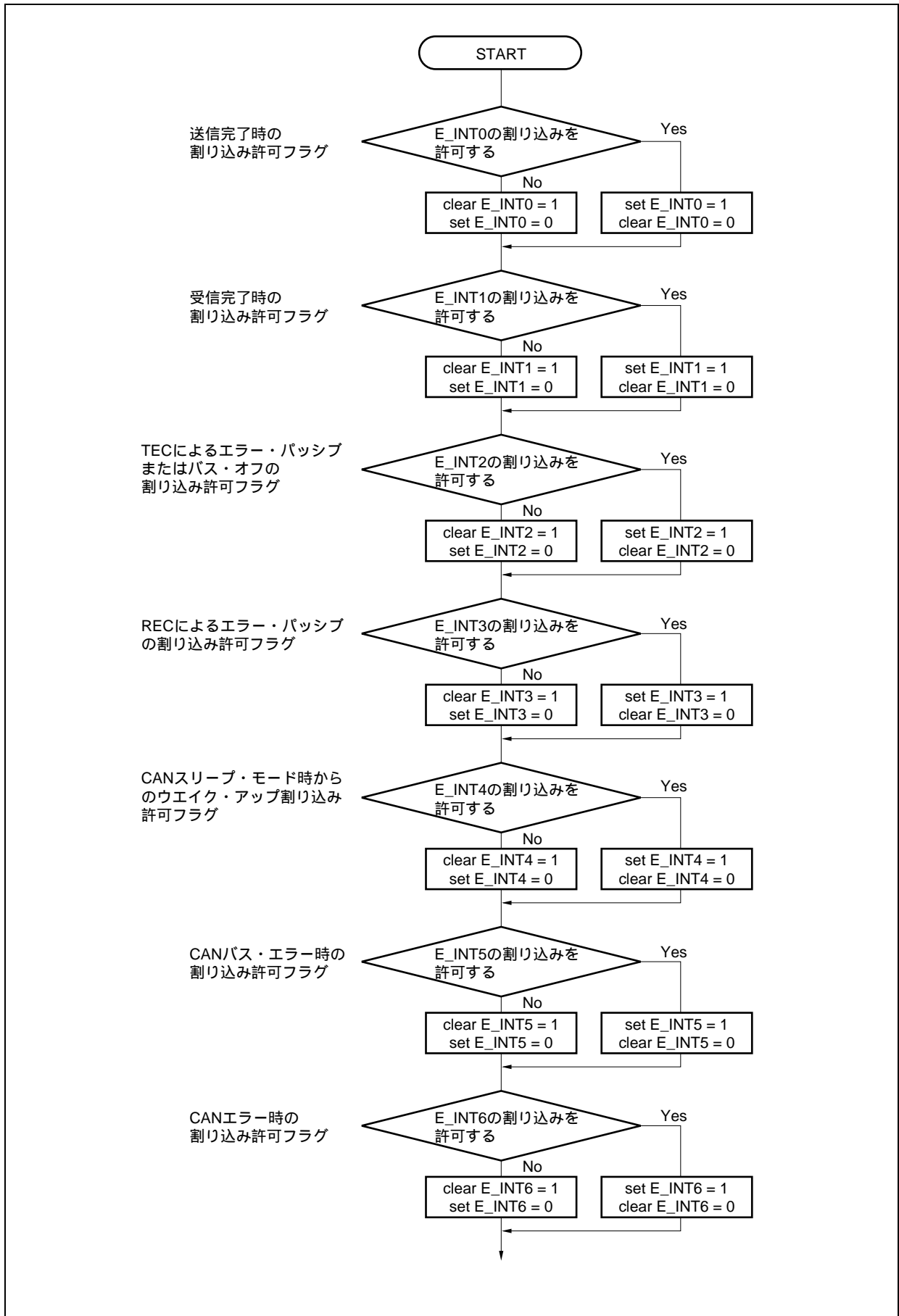


図11 - 34 CAN1定義レジスタ (C1DEF) の設定

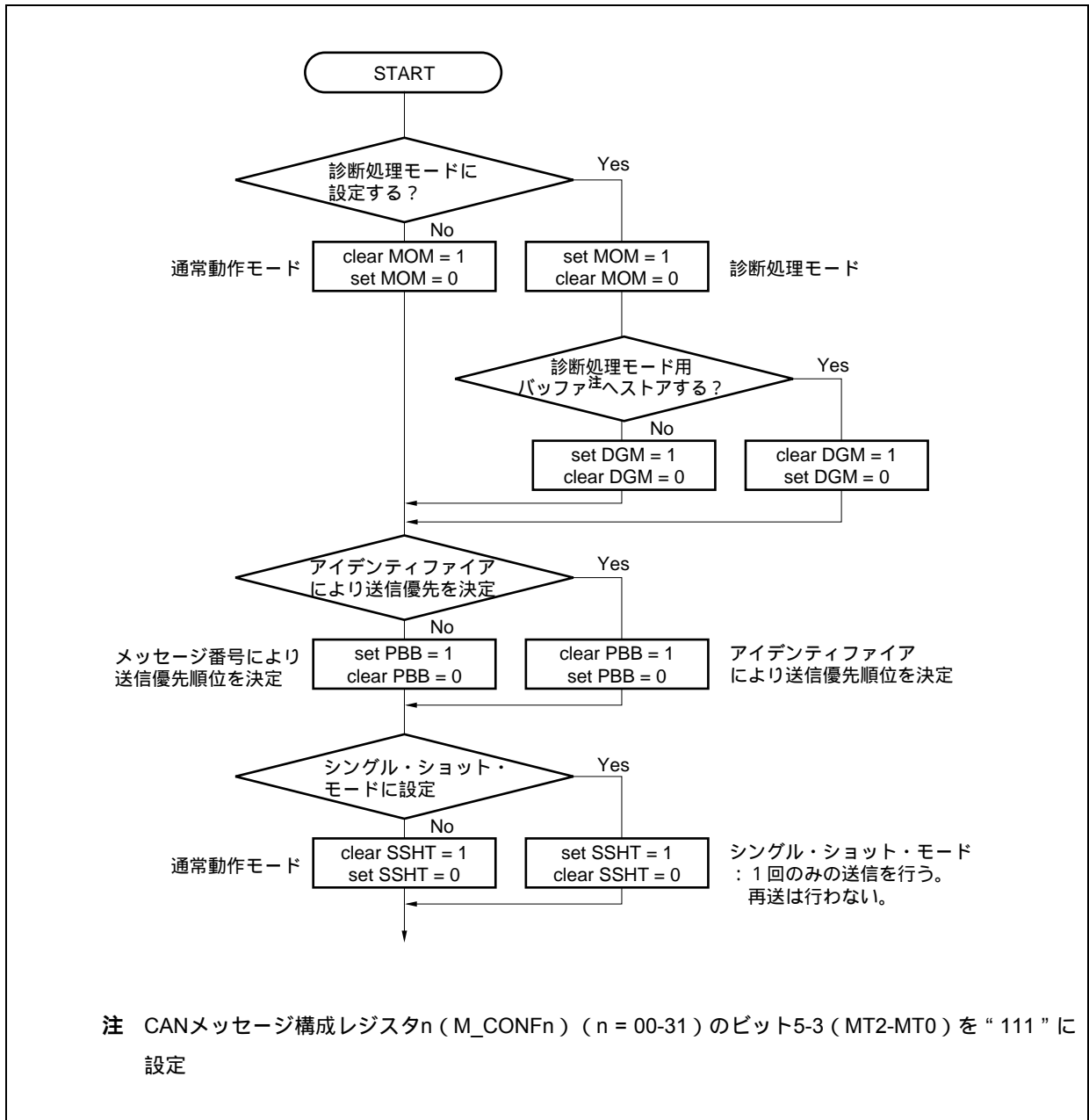


図11 - 35 CAN1コントロール・レジスタ (C1CTRL) の設定

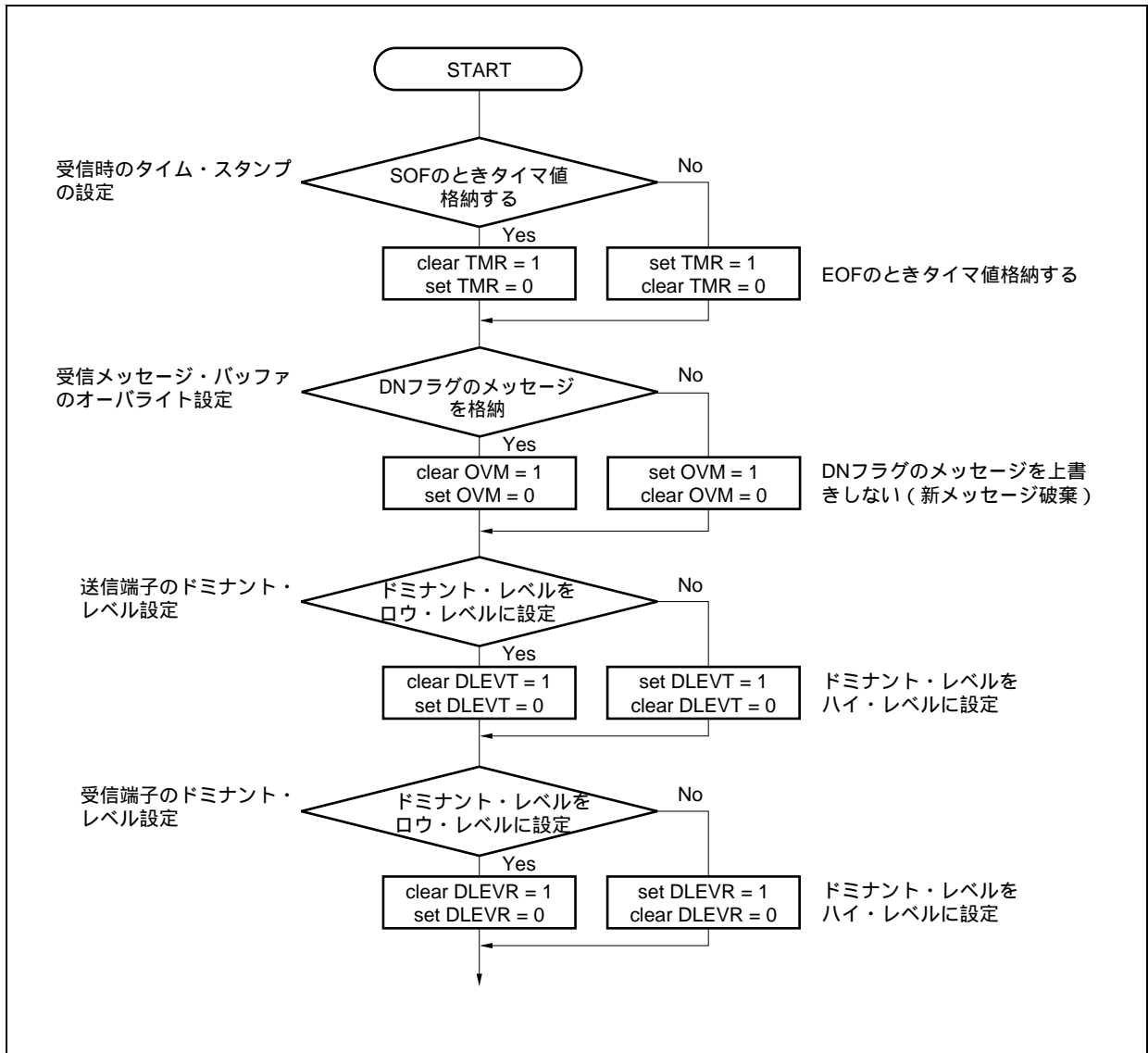


図11 - 36 CAN1アドレス・マスクレジスタL, H  
 (C1MASKLa, C1MASKHa) (a = 0-3) の設定

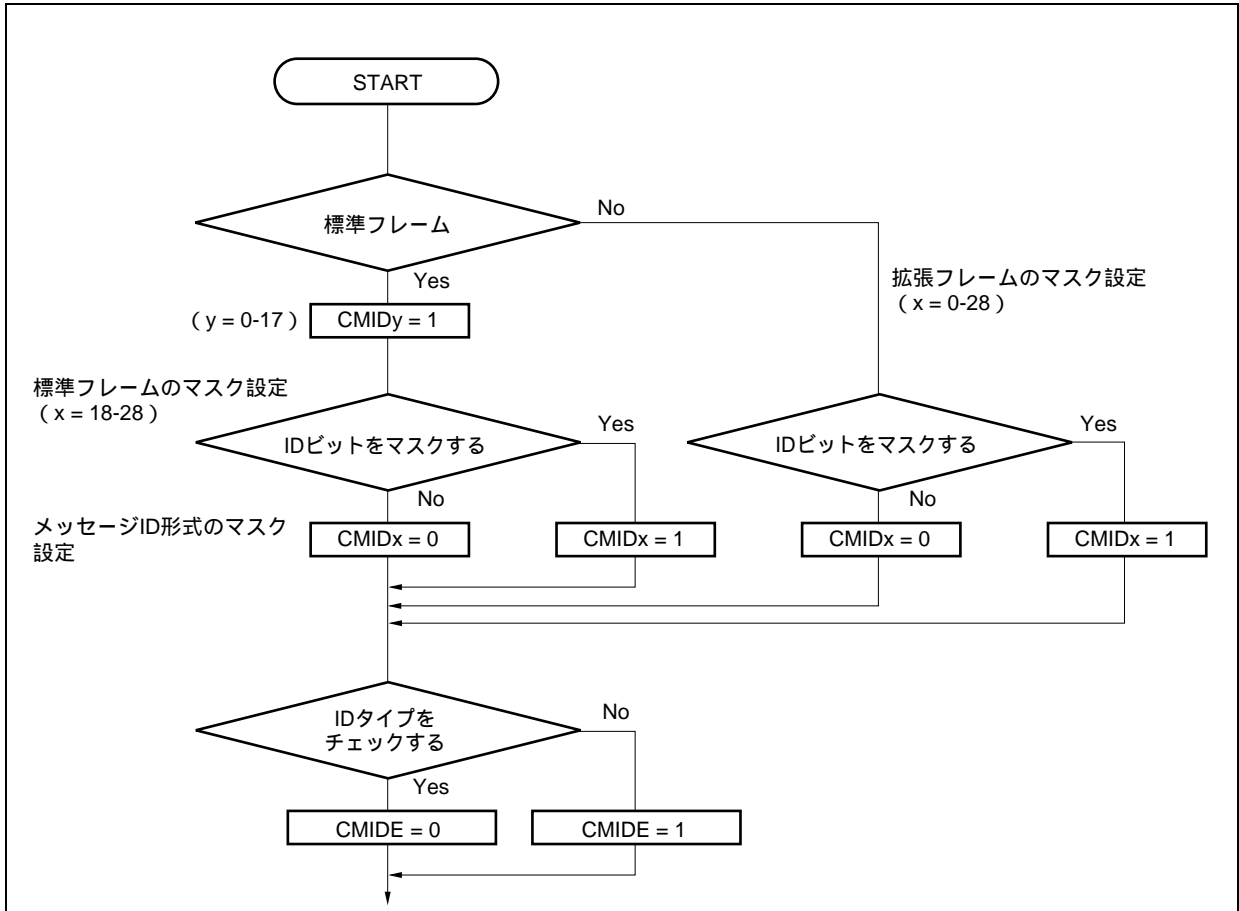


図11 - 37 メッセージ・バッファの設定

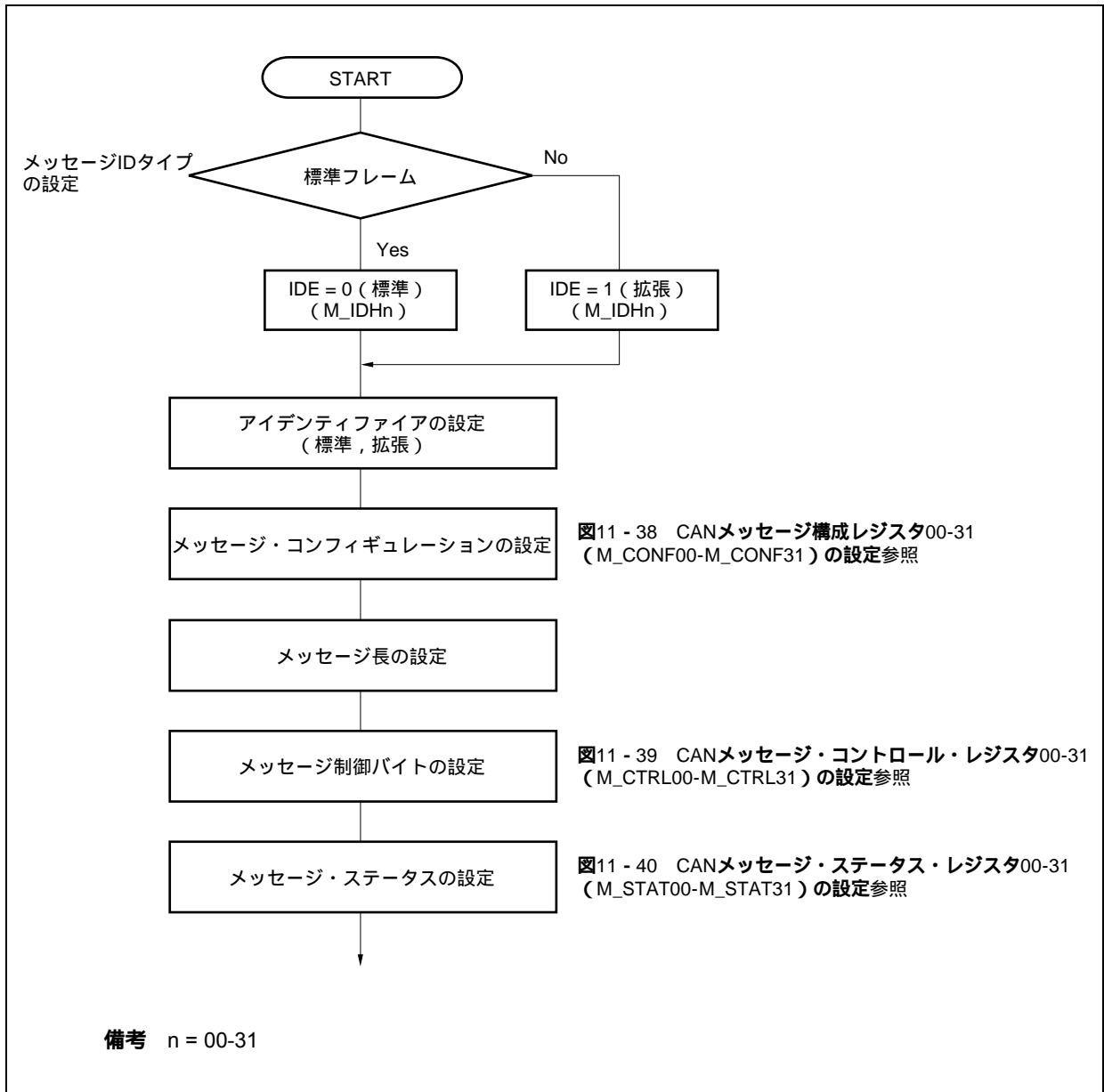


図11 - 38 CANメッセージ構成レジスタ00-31 (M\_CONF00-M\_CONF31) の設定

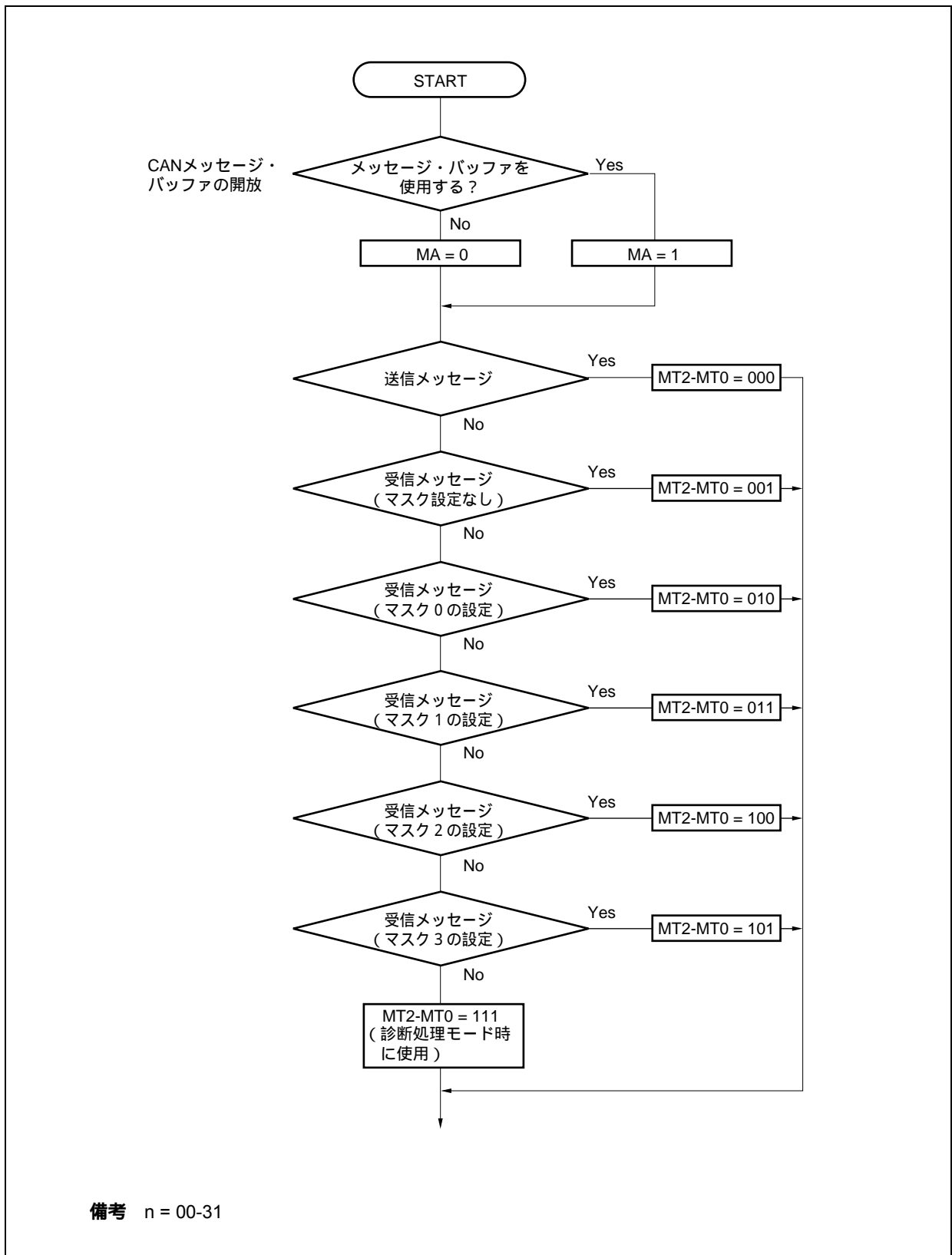


図11 - 39 CANメッセージ・コントロール・レジスタ00-31 (M\_CTRL00-M\_CTRL31) の設定

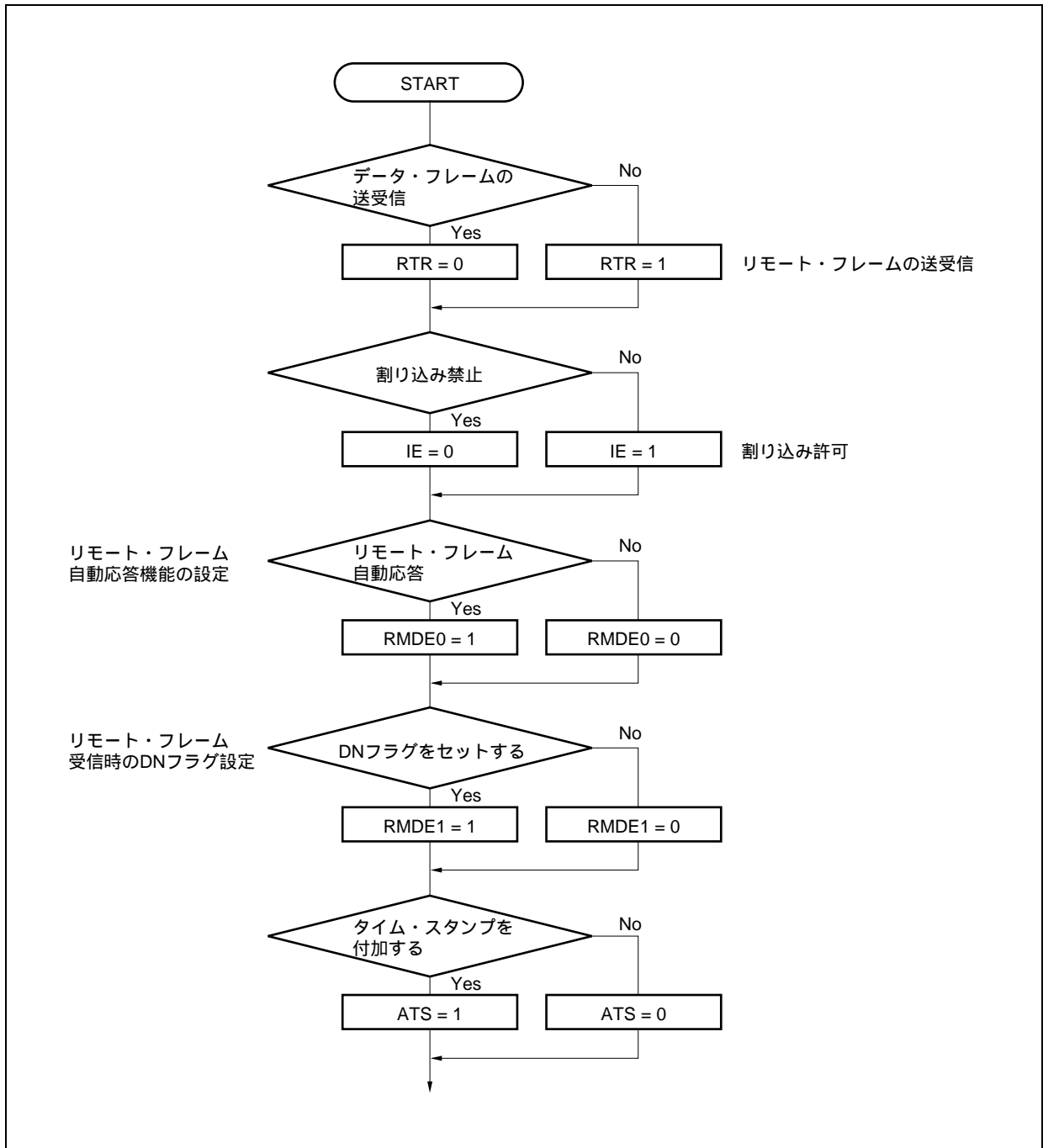
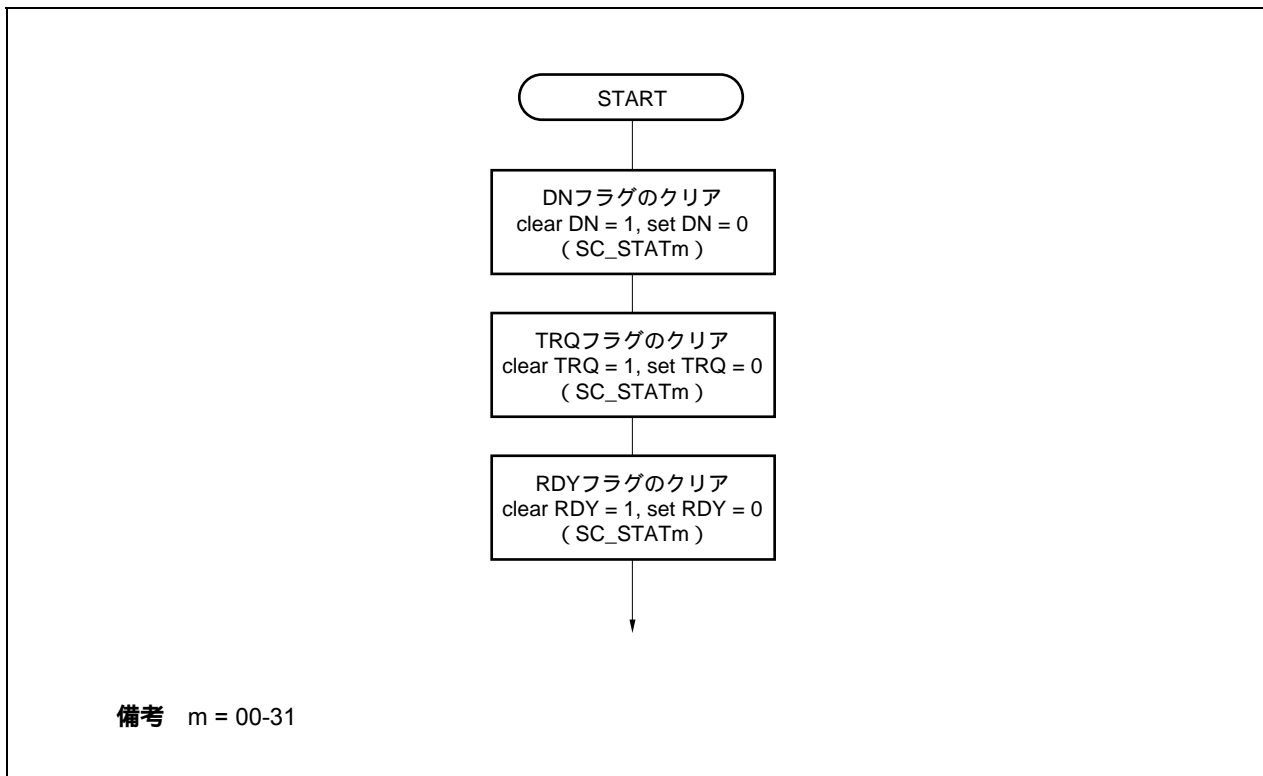


図11 - 40 CANメッセージ・ステータス・レジスタ00-31 (M\_STAT00-M\_STAT31) の設定

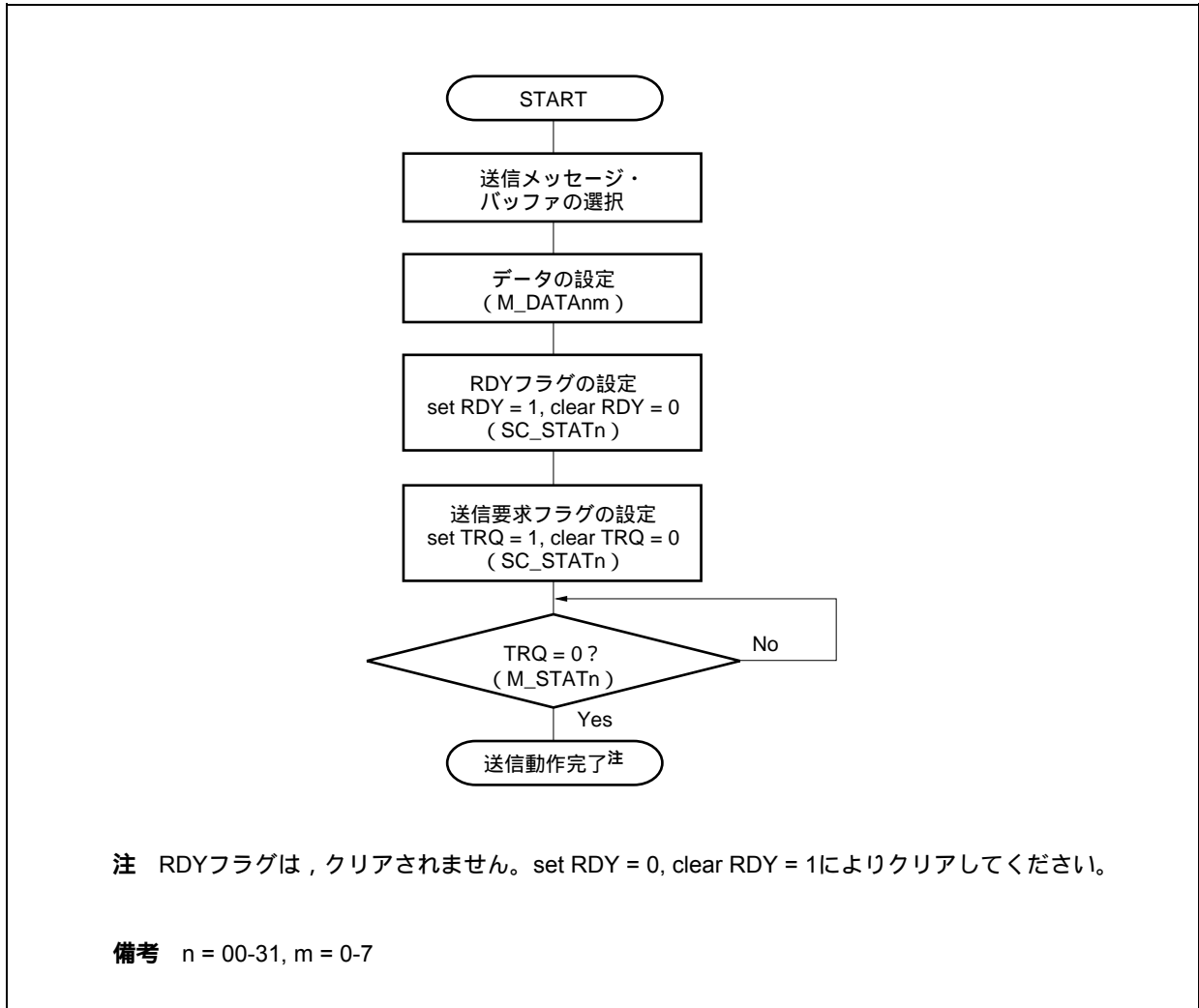




## 11.11.2 送信の設定

対象メッセージ・バッファから送信メッセージを出力します。

図11 - 41 送信の設定



### 11.11.3 受信の設定

対象メッセージ・バッファから受信メッセージの取得を行います。

図11 - 42 受信完了割り込みと受信ポーリングによる受信動作の設定

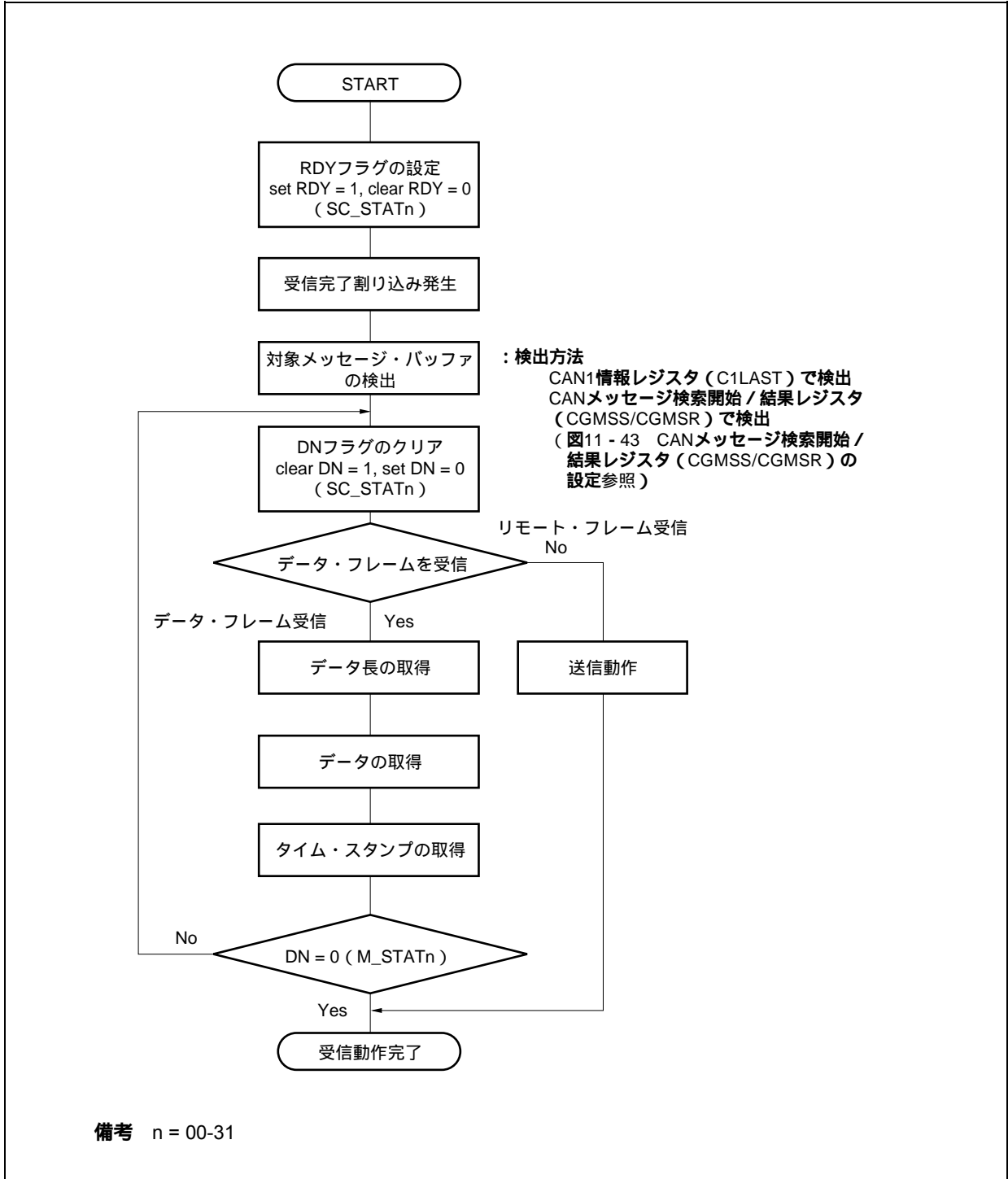
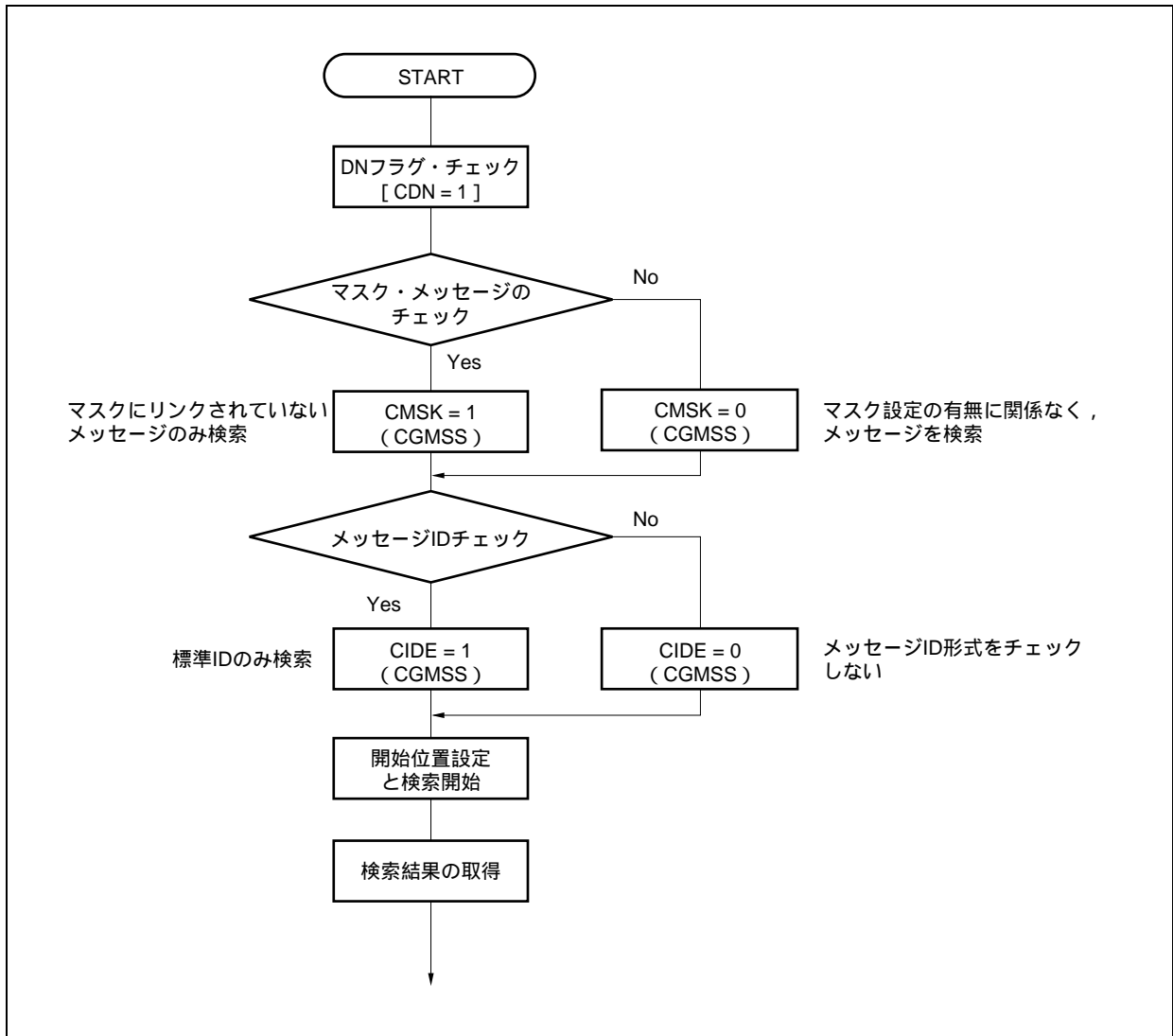


図11 - 43 CANメッセージ検索開始 / 結果レジスタ (CGMSS/CGMSR) の設定



### 11.11.4 CANスリープ・モード

CANスリープ・モードは、FCANコントローラを待機状態にできます。バスの動作でウエイク・アップします。

図11 - 44 CANスリープ・モードの設定

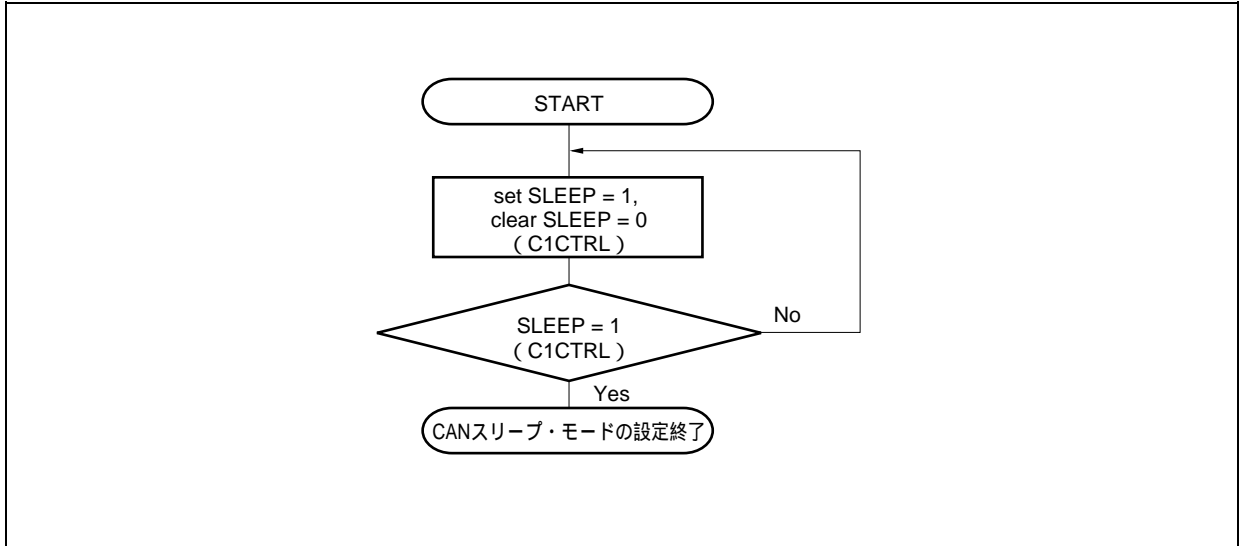
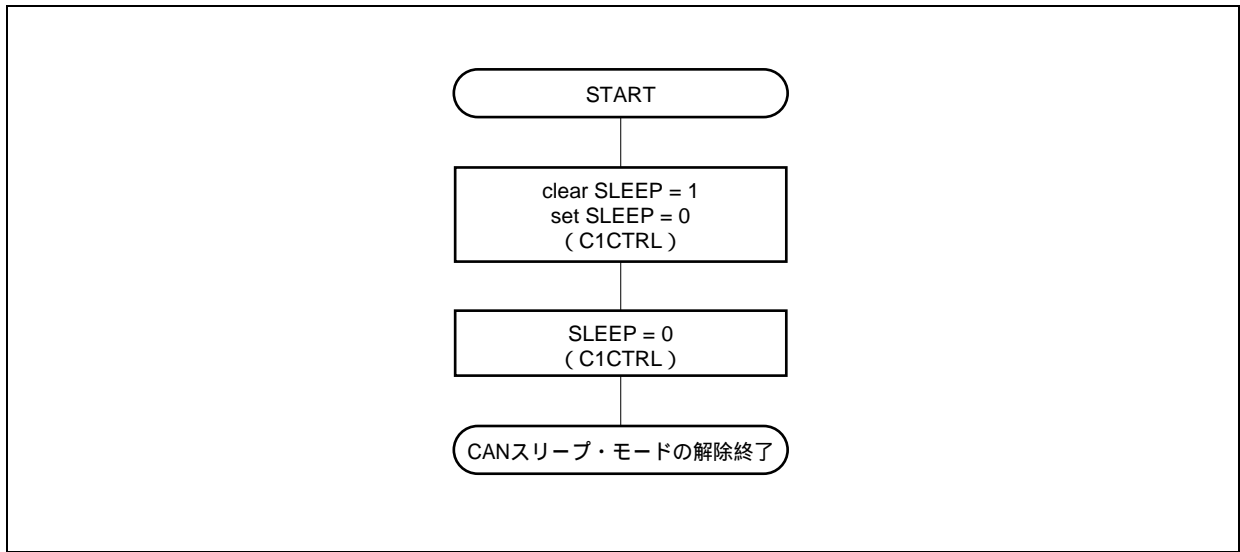


図11 - 45 CANバス・アクティブによるCANスリープ・モードの解除



図11 - 46 CPUによるCANスリープ・モードの解除



### 11.11.5 CANストップ・モード

CANストップ・モードは、FCANコントローラを待機状態にできます。バスの動作でウエイク・アップしません（CPUアクセスによりコントロールされます）。

図11 - 47 CANストップ・モードの設定

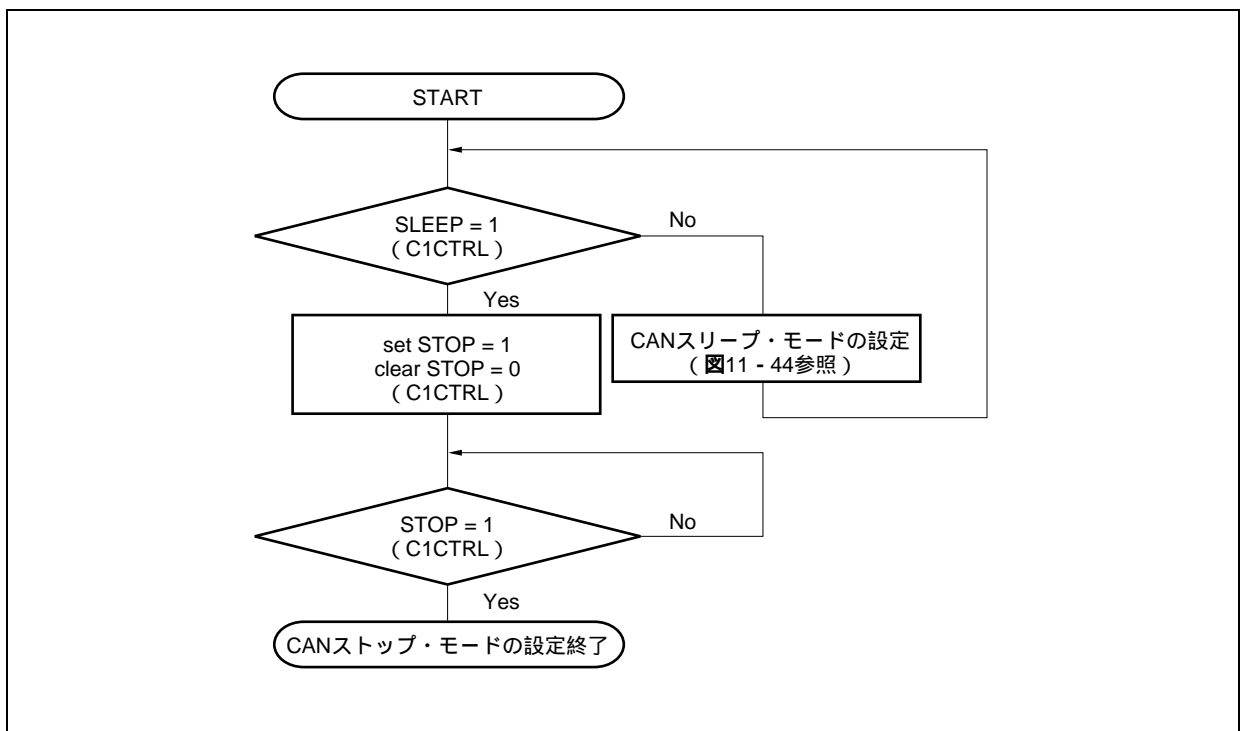
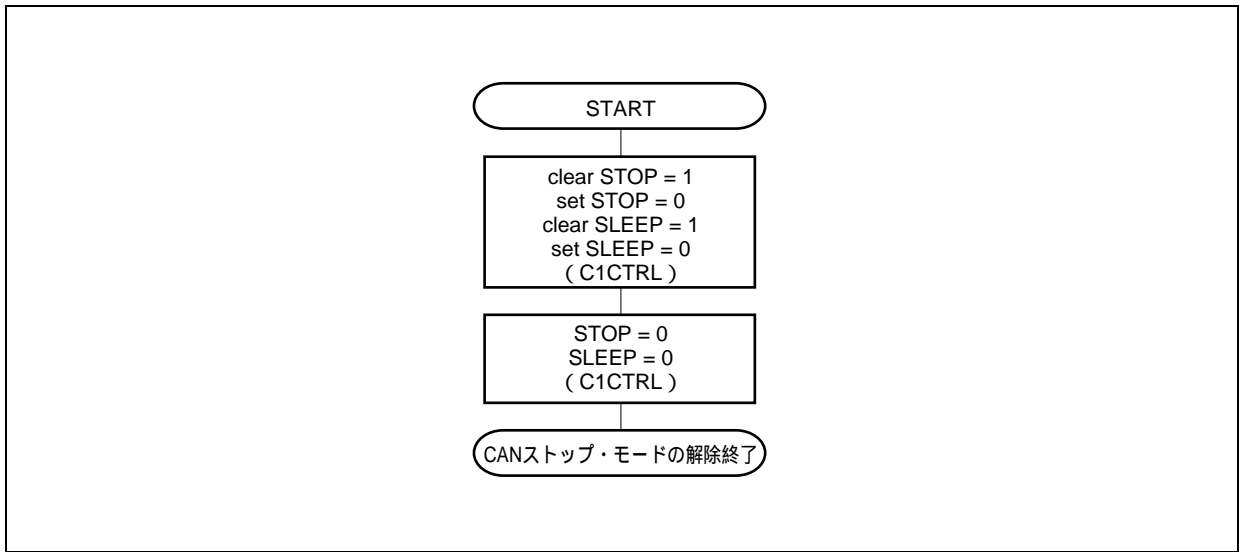


図11 - 48 CANストップ・モードの解除



## 11.12 ボー・レートを正しく設定するための規則について

FCANを正常に動作させるために、CANプロトコルの限界値を次に示します。この限界を越えるとCANプロトコル違反となり、誤動作します。必ず限界値の範囲内に設定してください。

- (a)  $5 \times \text{BLT} \text{ SPT}$  (サンプル・ポイント)  $17 \times \text{BTL}$  [4 SPT4-SPT0の設定値 16]
- (b)  $8 \times \text{BTL} \text{ DBT}$  (データ・ビット・タイム)  $25 \times \text{BTL}$  [7 DBT4-DBT0の設定値 24]
- (c)  $\text{SJW}$  (同期ジャンプ幅)  $\text{DBT} - \text{SPT}$
- (d)  $2 \text{ (DBT} - \text{SPT)} \leq 8$

**備考**  $\text{BTL} = 1/f_{\text{BTL}}$  ( $f_{\text{BTL}}$ : CANプロトコル・レイヤ基本システム・クロック)  
 $\text{SPT4-SPT0}$  (CAN1同期コントロール・レジスタ (C1SYNC) のビット9-ビット5)  
 $\text{DBT4-DBT0}$  (CAN1同期コントロール・レジスタ (C1SYNC) のビット4-ビット0)

### (1) FCANのボー・レート設定例 (C1BRPレジスタのTLMビット = 0の場合)

C1BRPレジスタとC1SYNCレジスタの正しい設定の計算例を次に示します。

CANバスからの要件:

CAN基本クロック周波数 ( $f_{\text{MEM}}$ )	: 16 MHz
CANバス・ボー・レート	: 83 kbps
サンプル・ポイント	: 80 %以上
同期ジャンプ幅	: 3 BTL

まず、CAN基本クロック周波数とCANバス・ボー・レートの周波数の割合を算出します。

$$f_{\text{MEM}}/\text{CANバス・ボー・レート} = 16 \text{ MHz}/83 \text{ kHz} = 192.77 \approx 2^6 \times 3$$

C1BRPレジスタのBRP5-BRP0ビットでのプリスケアラ (CANプロトコル・レイヤ基本システム・クロック:  $f_{\text{BTL}}$ ) の設定値は2から128までの偶数で設定し、C1SYNCレジスタのDBT4-DBT0ビットでのデータ・ビット時間は8から25の範囲で設定してください。

SJW (同期ジャンプ幅) は3と仮定されていますので、SPT (サンプル・ポイント) の最大設定値はデータ・ビット時間の設定値 - 3以下で、かつ17になります。

(SPT = DBT - 3, かつSPT = 17)





## (ii) DBT (データ・ビット・タイム) の設定

DBTは次の式で求められます。

$$\cdot \text{DBT} = \text{BTL} \times (\text{a} + 1) : [7 \text{ a } 24]$$

aの値はC1SYNCレジスタのビット4-ビット0 (DBT4-DBT0) で設定します。

$$\text{DBT} = \text{BTL} \times 16$$

$$= \text{BTL} \times (\text{a} + 1)$$

$$\text{よって} \text{a} = 15$$

したがって、C1SYNCレジスタのDBT4-DBT0ビット = 01111B

$$\text{なお} 1/\text{DBT} = f_{\text{BTL}} / 16$$

$$1333 \text{ kHz} / 16$$

83 kbps でほぼCANバス・ポー・レートの値と等しくなります。

## (iii) SPT (サンプル・ポイント) の設定

SJW = 3との指示により、

$$\text{SJW} = \text{DBT} - \text{SPT}$$

$$3 = 16 - \text{SPT}$$

$$\text{SPT} = 13$$

したがって、SPTは13 (MAX.) の設定になります。

SPTは次の式で求められます。

$$\cdot \text{SPT} = \text{BTL} \times (\text{a} + 1) : [4 \text{ a } 16]$$

aの値はC1SYNCレジスタのビット9-ビット5 (SPT4-SPT0) で設定します。

$$\text{SPT} = \text{BTL} \times 13$$

$$= \text{BTL} \times (\text{a} + 1)$$

$$\text{よって} \text{a} = 12$$

したがって、C1SYNCレジスタのSPT4-SPT0ビット = 01100B

(iv) SJW (同期ジャンプ幅) の設定

SJWは次の式で求められます。

$$\cdot SJW = BTL \times (a+1) : [0 \ a \ 3]$$

aの値はC1SYNCレジスタのビット11, ビット10 (SJW1, SJW0) で設定します。

$$\begin{aligned} C1SYNCレジスタのSJW1, SJW0ビット &= BTL \times 3 \\ &= BTL \times (2 + 1) \\ &\text{よって} a = 2 \end{aligned}$$

したがって, C1SYNCレジスタのSJW1, SJW0ビット = 10B

以上の結果からC1SYNCレジスタの設定は図11 - 49の設定となります。

図11 - 49 C1SYNCレジスタの設定値

	15	14	13	12	11	10	9	8
C1SYNC	0	0	0	SAMP	SJW1	SJW0	SPT4	SPT3
設定値	0	0	0	0	1	0	0	1
	7	6	5	4	3	2	1	0
	SPT2	SPT1	SPT0	DBT4	DBT3	DBT2	DBT1	DBT0
設定値	1	0	0	0	1	1	1	1

## 11.13 データの一貫性保証

CPUがCANメッセージ・バッファからデータを読み出す場合、一貫してデータが読み出されるようにする必要があります。

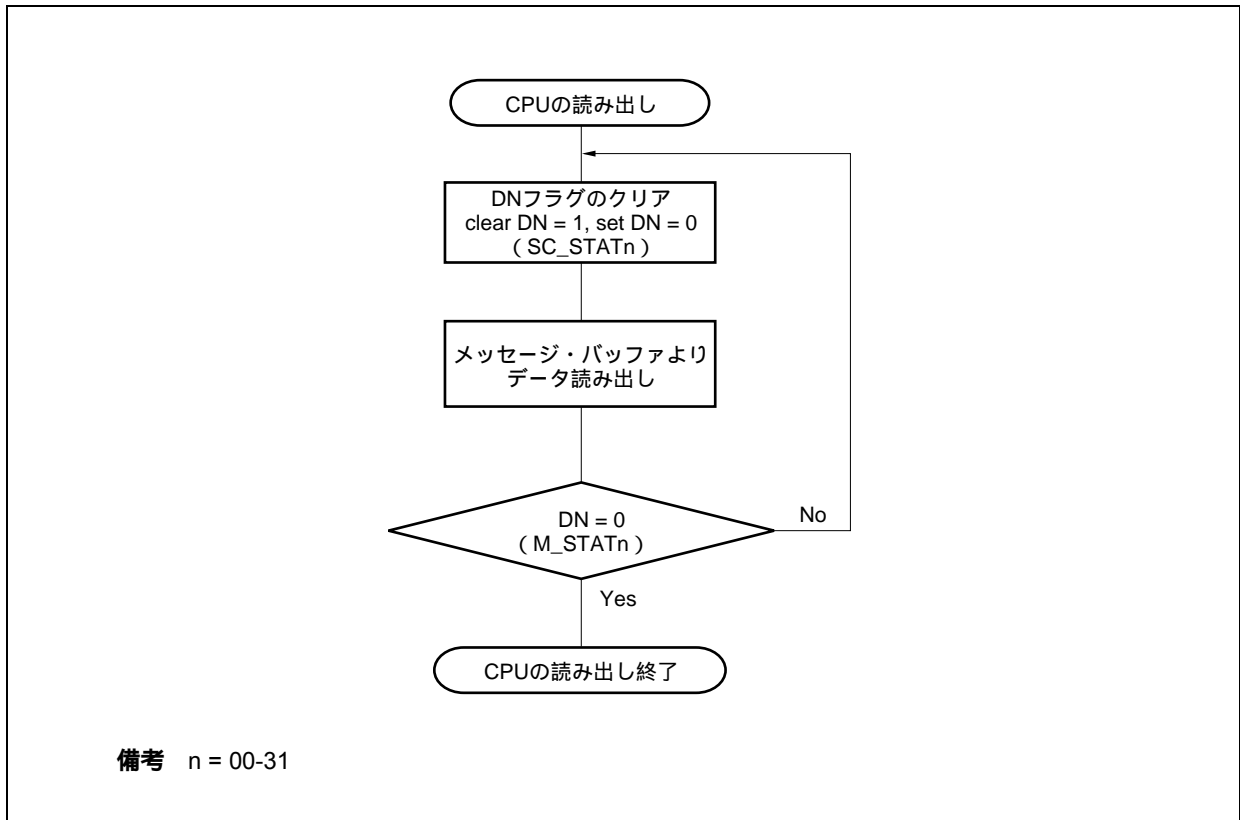
このためにはシーケンシャル・データ・リードとバースト・リード・モードの2通りの方法があります。

### 11.13.1 シーケンシャル・データ・リード

CPUがCANメッセージ・バッファをシーケンシャル・アクセスすることによって、データを読み出す場合、図11-50の順序を守ってください。

M\_STATnレジスタのDNビットはFCANの内部動作によってのみセット（1）され、CPUによってのみクリア（0）されるため、読み出し動作中にCPUは新しいデータがメッセージ・バッファに格納されたことを認識できなければなりません。

図11-50 シーケンシャル・データ・リード



### 11.13.2 バースト・リード・モード

FCANでは、完全なメッセージをより速くアクセスし、データの同時性を確保するために、バースト・リード・モードがあります。

バースト・リード・モードの起動は、CPUがM\_DLCnレジスタを読み出すごとに自動的に開始され、メッセージ・バッファ領域からテンポラリ・リード・バッファへデータがコピーされます。

CPUがリード・アドレスを直線的にインクリメント(+1)しながらデータを読み出すかぎり(M\_DLCnレジスタ M\_CTRLnレジスタ M\_TIMEnレジスタ M\_DATAn0-M\_DATAn7レジスタ M\_IDLn, M\_IDHnレジスタというように読み出す場合)、データはテンポラリ・バッファから読み出されます。

直線的アドレス規則に従わない場合やM\_IDHnレジスタのアドレス以降の番地(M\_CONFnレジスタやM\_STATnレジスタなど)へのアクセスを行った場合、バースト・リード・モードは無効になります。

**注意1.** バースト・リード・モードではメモリ・バッファ領域に対する16ビットのリード・アクセスが必要です。

8ビット・アクセス(バイト・リード動作)を行った場合、上記に示すように直線的にアドレスがインクリメント(+1)されたとしても、バースト・リード・モードは起動されません。

2. バースト・リード・モードの起動前には、必ずM\_DLCnレジスタ以外のFCAN制御レジスタを読み出してください。

**備考** n = 00-31

## 11.14 割り込み条件

### 11.14.1 FCANコントローラで発生する割り込み

割り込みが許可されているとき( の条件の場合: M\_CTRLnレジスタのIEビット = 1, 以外の条件の場合: C1IEレジスタの各割り込み許可フラグ = 1), 次の条件で割り込みが発生します (n = 00-31)。

#### メッセージに関する動作が成功した場合

- ・受信メッセージ・バッファにメッセージを受信した場合
- ・送信メッセージ・バッファにリモート・フレームを受信した場合  
(自動応答モードが設定されていない場合 (M\_CTRLnレジスタのRMDE0ビット = 0))
- ・送信メッセージ・バッファからメッセージが送信された場合

#### CANバス・エラーが検出された場合

- ・ビット・エラー
- ・ビット・スタッフ・エラー
- ・フォーム・エラー
- ・CRCエラー
- ・ACKエラー

#### CANバス・モードが変更された場合

- ・FCANが送信のとき, エラー・パッシブ状態を通過した場合
- ・FCANが送信のとき, バス・オフ状態になった場合
- ・FCANが受信のとき, エラー・パッシブ状態を通過した場合

#### 内部エラー

- ・オーバラン・エラー

### 11.14.2 グローバルCANインタフェースで発生する割り込み

グローバルCANインタフェースで発生する割り込みは, 次の条件で発生します。

- ・未定義領域へのアクセス
- ・初期化状態にないCANモジュールが1つでもある場合 (C1CTRLレジスタのISTATビット = 0) にCGSTレジスタのEFSDビット = 0のまま, GOMビットをクリア (0) しようとするとき
- ・CGSTレジスタのGOMビット = 0時にCANモジュール・レジスタ (“C1” で始まるレジスタ) へのアクセス
- ・CGSTレジスタのGOMビット = 1時にテンポラリ・バッファ (C1SYNCレジスタのアドレス以降の領域) に対するアクセス

## 11.15 FCANコントローラのシャット・ダウン手順

省電力モードとしてCANインタフェースへのクロック供給を停止させる場合，次に示す手順でCANバス動作を停止させてください。

### FCANコントローラの初期化モード設定

- ・初期化モードに設定( C1CTRLレジスタのINITビット = 1 (set INITビット = 1, clear INITビット = 0) ) に設定する。

### タイム・スタンプ・カウンタの停止

- ・CGSTレジスタのTSMビット = 0 ( set TSMビット = 0, clear TSMビット = 1 ) にする。

### CANインタフェースの停止

- ・CGSTレジスタのGOMビット = 0 ( set GOMビット = 0, clear GOMビット = 1 ) にする。
- ・CANクロックの停止

**注意** 上記手順が正しく実行されない場合，アクティブ状態のCANインタフェースが誤動作を起こします。

## 11.16 使用上の注意

FCANコントローラのすべてのレジスタに対してビット操作は禁止します。

割り込みルーチンの中では、確実に割り込み要求フラグ<sup>※</sup>をクリア(0)してください。クリア(0)されなかった場合、以降の割り込み要求が発生しない場合があります。また、CPUのクリア動作と割り込みの発生が同時だった場合には割り込み要求フラグのクリア(0)が行われませんので、確実に割り込み要求フラグがクリア(0)されていることを確認してください。

**注** 11.10(10)CAN割り込み保留レジスタ(CCINTP)、11.10(11)CANグローバル割り込み保留レジスタ(CGINTP)、11.10(12)CAN1割り込み保留レジスタ(C1INTP)参照

CPUや周辺機能へのクロック供給が停止しているときにCSTOPレジスタのCSTPビットの設定によりCANバスに変化があった場合は、CPUをウエイク・アップさせることができます。

FCANコントローラのすべてのレジスタに対して同一レジスタを2回以上連続して読み出さないでください。同一レジスタを2回以上連続して読み出した場合、2回目以降の読み出し中にそのレジスタ値に変化があっても新しい値は反映されず、1回目と同じ値を常に読み出します。

**(例)** C1CTRLレジスタとC1BAレジスタを読み出す場合

(i) 正しい使用例：2回目のC1CTRLリード時には新しい値が反映される

C1CTRLリード  
C1BAリード  
C1CTRLリード

(ii) 間違った使用例：2回目のC1CTRLリード値は1回目のC1CTRLリード値と同じ値になる

C1CTRLリード  
C1CTRLリード  
C1BAリード

拡張IDでリモート・フレームを受信し、受信メッセージ・バッファへ格納する場合、CANバス上のDLC3-DLC0値にかかわらず、メッセージ・バッファのDLC3-DLC0値がクリア(0)されます。

OS ( OSEK/COM ) を使用しない場合は、必ず次に示す処理を行ってください。

**【割り込みルーチンを使用してCANの通信を行う場合】**

- ・次に示す割り込み保留ビットをクリア ( 0 ) する場合は、対応する割り込みルーチンの先頭で行ってください。
  - ・ C1INTPレジスタのC1INTmビット ( m = 0-6 )
  - ・ CGINTPレジスタのCINTmビット ( m = 1-3 )
- ・次に示す割り込み許可ビットをクリア ( 0 ) する場合は、対応する割り込みルーチンの中で行ってください。
  - ・ C1IEレジスタのE\_INTmビット ( m = 0-6 )
  - ・ CGIEレジスタのG\_IEnビット ( n = 1, 2 )

**【割り込みルーチンを使用しないで、各ビットのポーリングでCANの通信を行う場合】**

- ・次に示す割り込みマスク・フラグおよび割り込み許可ビットはセット ( 1 ) にした状態で使用してください ( クリア ( 0 ) しないでください ) 。
  - ・ CANICnレジスタのCANMKnビット ( n = 0-3 )
  - ・ C1IEレジスタのE\_INTmビット ( m = 0-6 )
  - ・ CGIEレジスタのG\_IEnビット ( n = 1, 2 )
  - ・ M\_CTRLnレジスタのIEビット ( n = 00-31 )
- ・次に示す割り込み保留ビットをクリア ( 0 ) する場合は、次に示す ( i ) - ( iii ) の手順に従って処理を行ってください。
  - ・ C1INTPレジスタのC1INTmビット ( m = 0-6 )
  - ・ CGINTPレジスタのGINTnビット ( n = 1-3 )

( i ) 該当する割り込み要求フラグをポーリングする。

( ii ) ( i ) のビット値が “ 1 ” のとき、該当する割り込み保留ビットをクリア ( 0 ) する。

( iii ) ( ii ) を実行後、割り込み要求フラグをクリア ( 0 ) する。

**例 CAN受信の場合**

( i ) CANIC0レジスタのCANIF0ビットが “ 1 ” になるまでポーリングする。

( ii ) C1INTPレジスタのC1INT1ビットをクリア ( 0 ) する。

( iii ) CANIC0レジスタのCANIF0ビットをクリア ( 0 ) する。

インサーキット・エミュレータ ( IE-V850E-MC, IE-703116-MC-EM1 ) を用いて、FCANコントローラのエミュレーションを行う場合は、デバッグ起動時のコンフィグレーション画面において、次の処置をしてください。

- ・ 「 Programable I/O Area 」 にBPCレジスタで設定を行ったプログラマブル周辺I/O領域の先頭アドレスを設定してください。
- ・ 「 Memory Mapping 」 にプログラマブル周辺I/O領域を 「 Target 」 もしくは 「 Emulation RAM 」 としてマッピングしてください。



## 第12章 NBD機能 (μ PD70F3116)

V850E/IA1は、オン・チップ上でのデータ・チューニングを目的としたNBD (Non Break Debug) 機能を備えています。

### 12.1 概 要

NBD機能には、次の機能があります。

#### (1) RAMモニタ機能

任意のRAM領域に対しDMAを介し、NBDツールよりリード/ライト可能な機能です。

##### 【対応RAM領域】

XFFFC000H-XFFFE7FFH

上記以外のアドレスで実行した場合、即座にreadyを返します。

リードの場合は不定を出力し、ライトの場合はライト動作を行いません。

#### (2) イベント検出機能

一致検出用コンパレータ (24ビット・アドレス設定) を1ポイント内蔵し、次に示すアドレス一致検出を行った場合、NBDツールに一致トリガ (立ち下がりエッジ) を出力します。なお、下位2ビットはマスクされます。

- ・ 実行PCアドレスの一致検出
- ・ 内蔵RAM領域のアドレスに対する書き込みタイミングの一致検出

##### 【検出範囲】

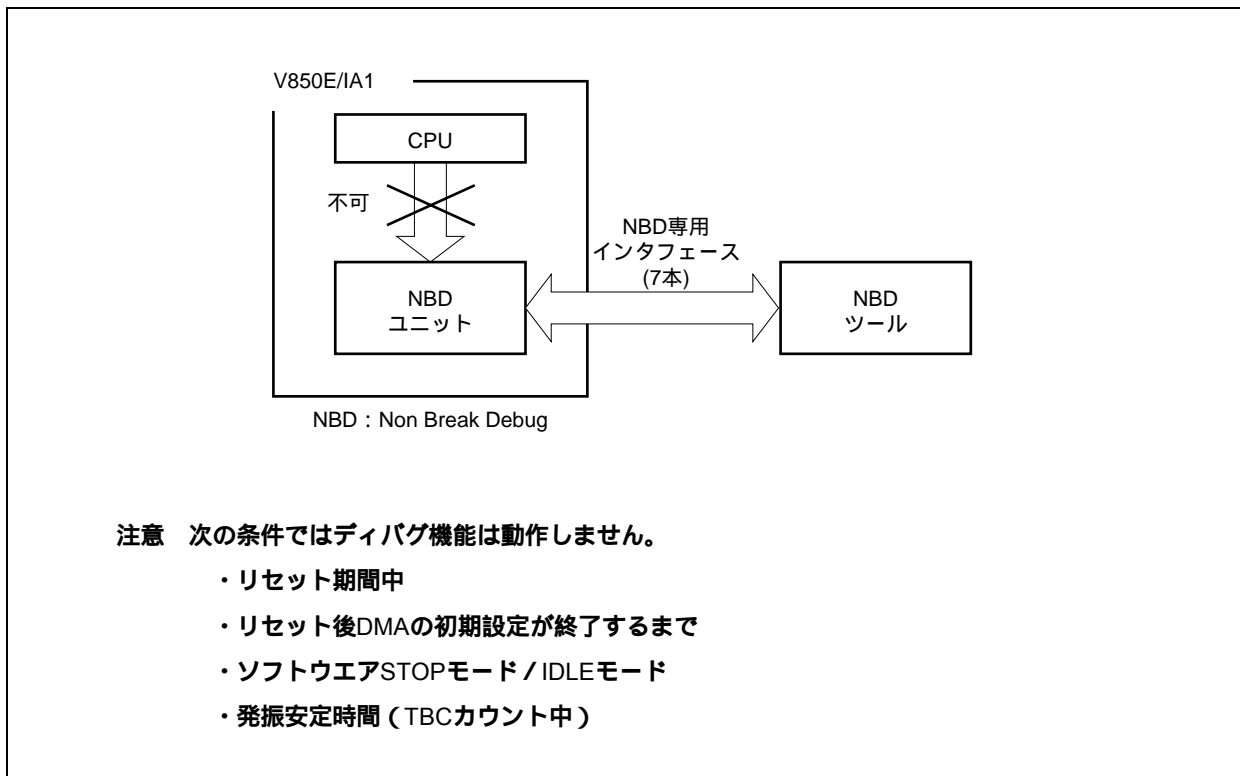
ROM : X0000000H-X003FFFFH

RAM : XFFFC000H-XFFFE7FFH

表12 - 1 NBDブロック専用端子概要

端子名	入出力	機能概要
CLK_DBG	入力	デバッグ・インタフェース用シリアル・クロック入力
SYNC	入力	デバッグ用同期信号
AD0_DBG-AD3_DBG	入出力	コマンド・データおよびRAMデータの入出力 (4ビット)
TRIG_DBG	出力	任意の指定RAMアドレスに対する書き込みタイミングまたは指定アドレスの命令実行タイミングに同期してトリガ (立ち下がりエッジ) を出力。

図12 - 1 NBD空間のイメージ図



## 12.2 NBD機能のレジスタ・マップ

NBD機能の制御レジスタのマップを表12 - 2に示します。NBD空間はCPU内部空間に存在せず，NBD空間として独立に存在します。このため，NBD空間はCPU内部からリード / ライトは不可能となり，NBD専用インタフェースからのみリード / ライトが可能な空間です ( 図12 - 1参照 )。

表12 - 2 NBD空間マップ

アドレス	レジスタ名称	略号	R/W	リセット時
000H	チップIDレジスタ0	TID0	R	4EH
001H	チップIDレジスタ1	TID1		01H
002H	チップIDレジスタ2	TID2		01H
800H	ユーザ・イベント・アドレス設定 レジスタ	EVTU_A0-EVTU_A7	R/W	不定
801H		EVTU_A8-EVTU_A15		不定
802H		EVTU_A16-EVTU_A23		不定
803H		EVTU_A24-EVTU_A27		不定
820H	ユーザ・イベント条件設定レジスタ	EVTU_C0		不定

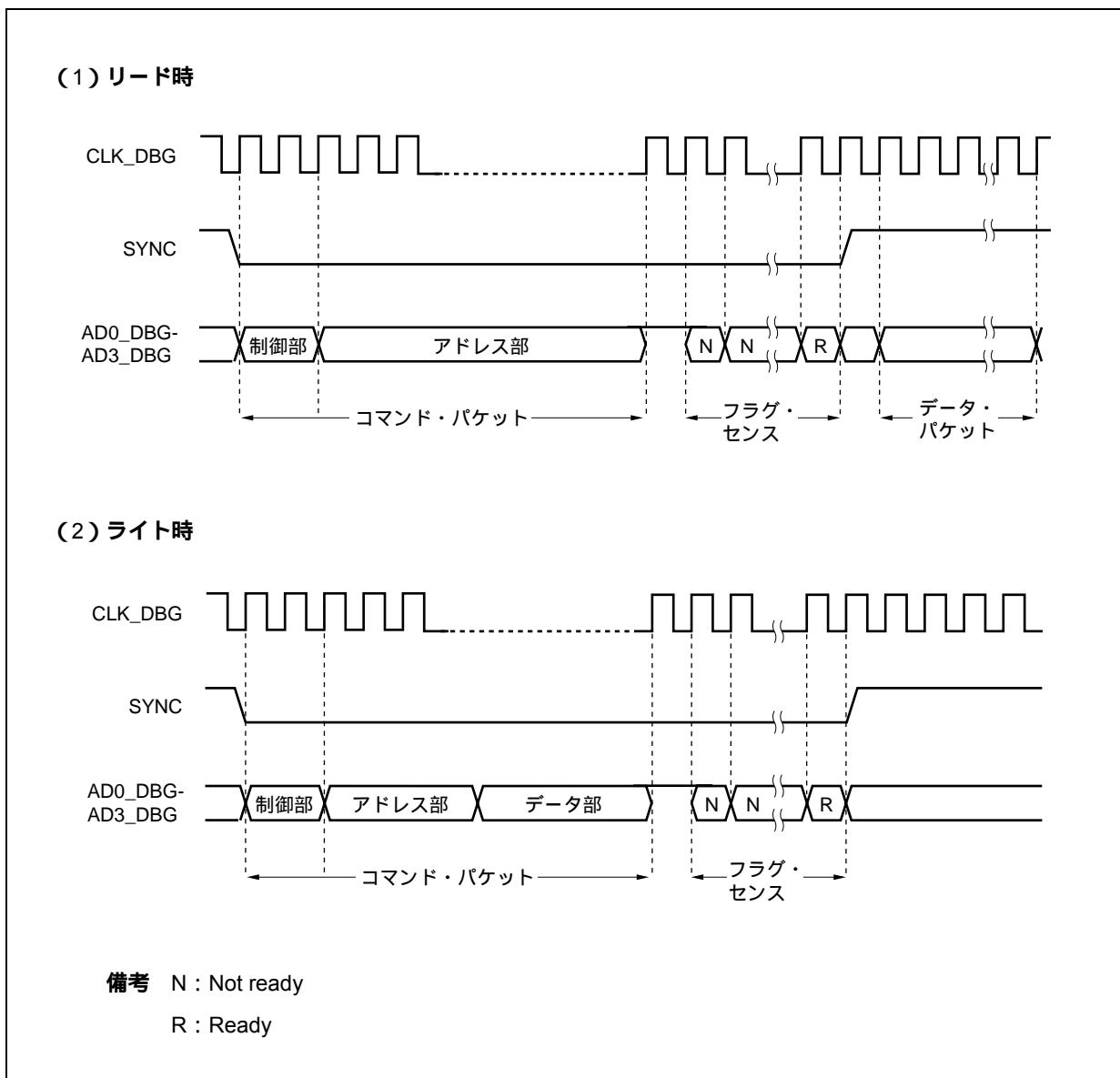
**注意** V850E/IA1のNBDは，V850E1 CPUコアに内蔵されたDMAを使用するため，リセット時はDMAに対する設定が初期化されます。

## 12.3 NBD機能のプロトコル

NBD機能の基本プロトコルについて次に示します。

### (1) 基本プロトコル

図12-2 基本プロトコル





## (d) SIZ0, SIZ1 : アクセス・データ長の指定

SIZ1	SIZ0	ターゲット空間アクセス	NBD空間アクセス
0	0	8ビット長 <sup>注1</sup>	8ビット長
0	1	16ビット長 <sup>注1</sup>	設定禁止 <sup>注2</sup>
1	0	32ビット長	
1	1	設定禁止 <sup>注2</sup>	

注1. リード時のみ設定可能です。

ライト時に設定した場合，RAMデータを破壊してしまいます。

2. 設定禁止に指定した場合には，書き込み無効となり，読み出しデータは不定になります。

## (3) フラグ・センス・パケット

NBDバス・ライン	AD3_DBG	AD2_DBG	AD1_DBG	AD0_DBG
1st	0	0	0	RFLG

RFLG 0 : Not Ready

1 : Ready

## (4) データ・パケット

データ・パケット・データ長はコマンド・パケットでSIZ1, SIZ0で指定したデータ長 (8, 16, 32ビット) とします。

NBDバス・ライン	AD3_DBG	AD2_DBG	AD1_DBG	AD0_DBG
1st	D3	D2	D1	D0
2nd	D7	D6	D5	D4
3rd	D11	D10	D9	D8
4th	D15	D14	D13	D12
5th	D19	D18	D17	D16
6th	D23	D22	D21	D20
7th	D27	D26	D25	D24
8th	D31	D30	D29	D28

## 12.4 NBD機能

### 12.4.1 RAMモニタ機能, NBD空間へのアクセス

内蔵RAMデータのリード/ライト動作をDMA (ダイレクト・メモリ・アクセス) を介し, 内蔵RAM上のアドレスに対して行います。また, NBD空間へのリード/ライトを行います。

#### (1) RAMモニタ機能

内蔵RAM領域に対するNBDツールからのリード/ライト・コマンドは次のようになります。

##### (a) ライト・コマンド

内蔵RAMへの書き込みを行いたいターゲット・アドレス (ターゲットの実アドレス: 下位24ビット) およびデータをコマンド・パケットとしてNBDツールより受信します。次に示すNBDツールからコマンド・パケット受信後, Readyコマンドを書き込み終了後出力します。

再び (ReadyコマンドSYNCインアクティブ確認後), NBDツールからのコマンド・パケットの受信が可能となります。

表12-3 コマンド・パケット (ライト時)

ADn_DBG	AD3_DBG	AD2_DBG	AD1_DBG	AD0_DBG
1st	0	0	0	0
2nd	SIZ1	SIZ0	1	1
3rd-8th	ターゲット空間のライト・アドレス指定 (24ビット)			
9th-16th	ライト・データ (SIZ0, SIZ1で指定したデータ)			

##### (b) リード・コマンド

内蔵RAMへの読み込みを行いたいターゲット・アドレス (ターゲットの実アドレス: 下位24ビット) をコマンド・パケットとしてNBDツールより受信する。NBDツールからのコマンド・パケット受信後, Readyコマンドを出力し, SYNCをインアクティブにし, NBDツールへコマンド・パケットで指定されたアドレスのデータを送信します。なお, リード時のアドレス (A27-A24) は "1111" です。

表12-4 コマンド・パケット (リード時)

ADn_DBG	AD3_DBG	AD2_DBG	AD1_DBG	AD0_DBG
1st	0	0	0	0
2nd	SIZ1	SIZ0	0	1
3rd-8th	ターゲット空間のリード・アドレス指定 (24ビット)			

**注意** リード・モード時はNBDツールからの出力データ部は削除します。

表12-5 データ・パケット (リード時)

ADn_DBG	AD3_DBG	AD2_DBG	AD1_DBG	AD0_DBG
1st-8th	ターゲット空間のリード・データ			

**(2) NBD空間へのアクセス**

NBD空間に対するNBDツールからのリード/ライト・コマンドは次のようになります。NBD空間に対するアクセス・アドレスは12ビット固定で、アクセス・データは8ビット固定です。

**(a) ライト・コマンド**

NBD空間への書き込みを行いたいアドレス (NBD空間アドレス: 12ビット) およびデータをコマンド・パケットとしてNBDツールより受信します。表12 - 6に示すNBDツールからコマンド・パケット受信後、Readyコマンドを書き込み終了後出力します。

再び (ReadyコマンドSYNCインアクティブ確認後)、NBDツールからのコマンド・パケットの受信が可能となります。

表12 - 6 コマンド・パケット (NBD空間へのライト時)

ADn_DBG	AD3_DBG	AD2_DBG	AD1_DBG	AD0_DBG
1st	0	0	0	0
2nd	0	0	1	0
3rd	A3	A2	A1	A0
4th	A7	A6	A5	A4
5th	A11	A10	A9	A8
6th	D3	D2	D1	D0
7th	D7	D6	D5	D4

**注意** NBD空間のライト・アドレスは12ビット固定です。

ライト・データは8ビット固定です。

**(b) リード・コマンド**

内蔵RAMへの読み込みを行いたいターゲット・アドレス (ターゲットの実アドレス: 12ビット) をコマンド・パケットとしてNBDツールより受信する。NBDツールからのコマンド・パケット受信後、Readyコマンドを出力し、SYNCをインアクティブにし、NBDツールへコマンド・パケットで指定されたアドレスのデータを送信します。

表12 - 7 コマンド・パケット (NBD空間へのリード時)

ADn_DBG	AD3_DBG	AD2_DBG	AD1_DBG	AD0_DBG
1st	0	0	0	0
2nd	0	0	0	0
3rd	A3	A2	A1	A0
4th	A7	A6	A5	A4
5th	A11	A10	A9	A8

**注意** NBD空間のリード・アドレスは12ビット固定です。

リード・モード時はNBDツールからの出力データ部は削除します。

表12-8 データ・パケット

ADn_DBG	AD3_DBG	AD2_DBG	AD1_DBG	AD0_DBG
1st	D3	D2	D1	D0
2nd	D7	D6	D5	D4

注意 リード・データは8ビット固定です。

## 12.4.2 イベント検出機能

一致検出用コンパレータ(24ビット・アドレス設定)を1ポイント内蔵し、次に示すアドレス設定レジスタの一致検出を行い、NBDツールに一致検出トリガ(立ち下がりエッジ)を出力する機能です。イベント・トリガ出力はロウ・アクティブで、アクティブ期間はターゲットCPUのシステム・クロックに同期出力します。アクティブ幅はCPU内部システム・クロックの1サイクルとなります。

### (1) イベント検出条件

- ・実行PCアドレスの一致

内蔵RAM領域の設定アドレスに対する書き込みタイミングの一致検出範囲

XFFFC000H-XFFFE7FFH

### (2) イベント検出機能制御レジスタ

#### (a) NBDイベント条件設定レジスタ (EVTU\_C)

	7	6	5	4	3	2	1	0	NBD空間アドレス	初期値
EVTU_C7- EVTU_C0	0	0	0	0	0	0	0	PCU/DTU	820H	不定

ビット位置	ビット名	意味
0	PCU/DTU	実行PCイベント / RAMアクセス・イベントの選択をします。 0 : 内蔵RAMアクセス・イベント有効 <sup>注</sup> 1 : 実行PCイベント有効  注 EVTU_Cレジスタを内蔵RAM領域以外に設定した場合には、RAM以外へのライ ト時もイベントが出力されます。



(b) NBDイベント・アドレス・レジスタ (EVTU\_A)

EVTU\_Aレジスタは、イベント対象アドレス値を設定します。

EVTU_A7- EVTU_A0	7	6	5	4	3	2	1	0	NBD空間アドレス 800H	初期値 不定
	EVAU7	EVAU6	EVAU5	EVAU4	EVAU3	EVAU2	EVAU1	EVAU0		
EVTU_A15- EVTU_A8	15	14	13	12	11	10	9	8	NBD空間アドレス 801H	初期値 不定
	EVAU15	EVAU14	EVAU13	EVAU12	EVAU11	EVAU10	EVAU9	EVAU8		
EVTU_A23- EVTU_A16	23	22	21	20	19	18	17	16	NBD空間アドレス 802H	初期値 不定
	EVAU23	EVAU22	EVAU21	EVAU20	EVAU19	EVAU18	EVAU17	EVAU16		
EVTU_A27- EVTU_A24	31	30	29	28	27	26	25	24	NBD空間アドレス 803H	初期値 不定
	不定	不定	不定	不定	EVAU27 <sup>注</sup>	EVAU26 <sup>注</sup>	EVAU25 <sup>注</sup>	EVAU24 <sup>注</sup>		

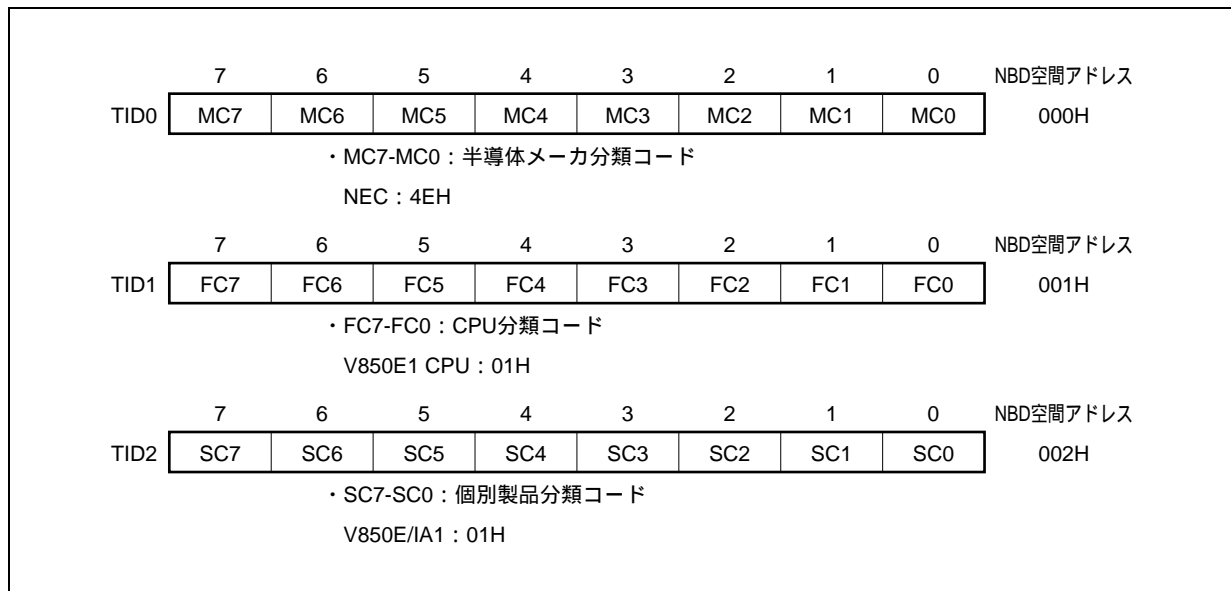
**注** ビット27-ビット24は0を設定してください。

**注意** 1. ROMのアドレス一致は、内蔵ROMでしか機能しません。  
 2. シングルチップ・モード1では、使用できません。  
 3. 下位2ビット (EVAU1, EVAU0) はマスクされます。

### 12.4.3 チップIDレジスタ (TID0-TID2)

NBD空間の000H-002HにチップIDレジスタを格納し、チップIDレジスタをNBDモードでNBDツールからIDコードを読み込むことにより、半導体メーカー、CPUコードおよび個別品種が識別可能です。チップIDレジスタは各製品により固定値となります。

チップIDレジスタ (TID0-TID2) は読み込み専用レジスタです。



## 12.5 制御レジスタ

### (1) RAMアクセス用データ・バッファ・レジスタL (NBDL)

NBDLレジスタは、NBDツールからDMAを介してRAMのリード/ライトを行うときにDMAとNBDツールとの間のバッファとして動作します。

NBDLレジスタは16ビット単位でリード/ライト可能です。

NBDLレジスタの上位8ビットをNBDLUレジスタ、下位8ビットをNBDLLレジスタとして使用した場合は、8ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
NBDL	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	FFFFFFA60H	0000H

**注意1.** NBDL, NBDLU, NBDLLレジスタは、リード/ライト可能ですが、リード時、ライト時には物理的に別レジスタとなっており、ライトした値を読むことはできません。

**2.** RAMを32ビット・アクセスする場合は、NBDLレジスタとNBDHレジスタ(12.5(2)参照)の両方を使用してください。

**備考** NBDツールからライトしたレジスタ値はDMA (CPU) で、DMA (CPU) でライトした値はNBDツールで読むことができます。

**(2) RAMアクセス用データ・バッファ・レジスタH (NBDH)**

NBDHレジスタは、NBDツールからDMAを介してRAMのリード/ライトを行うときにDMAとNBDツールとの間のバッファとして動作します。

NBDHレジスタは16ビット単位でリード/ライト可能です。

NBDHレジスタの上位8ビットをNBDHUレジスタ、下位8ビットをNBDHLレジスタとして使用した場合は、8ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
NBDH	D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16	FFFFFFA62H	0000H

**注意1.** NBDH, NBDHU, NBDHLレジスタは、リード/ライト可能ですが、リード時、ライト時には物理的に別レジスタとなっており、ライトした値を読むことはできません。

**2.** RAMを32ビット・アクセスする場合は、NBDLレジスタ(12.5(1)参照)とNBDHレジスタの両方を使用してください。

**備考** NBDツールからライトしたレジスタ値はDMA (CPU) で、DMA (CPU) でライトした値はNBDツールで読むことができます。

**(3) DMAソース・アドレス設定レジスタSL (NBDMSL)**

NBDMSLレジスタは、DMAのソース・アドレスを指定します。

NBDツールからのライトとDMA (CPU) によるリードが可能です。

16ビット単位でリードだけ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
NBDMSL	AD15	AD14	AD13	AD12	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	FFFFFFA64H	不定

**備考1.** NBDツールによるRAMリード時はNBDツールからのアドレス信号をDMA (CPU) によりNBDMSLレジスタから読み出せます。

**2.** NBDツールによるRAMライト時はNBDLレジスタの値をDMA (CPU) によりNBDMSLレジスタから読み出せます。

(4) DMAソース・アドレス設定レジスタSH (NBDMSH)

NBDMSHレジスタは、DMAのソース・アドレスを指定します。

NBDツールからのライトとDMA (CPU) によるリードが可能です。

16ビット単位でリードだけ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
NBDMSH	IR	0	0	0	AD27	AD26	AD25	AD24	AD23	AD22	AD21	AD20	AD19	AD18	AD17	AD16	FFFFFFA66H	不定

ビット位置	ビット名	意味
15	IR	V850E/IA1に内蔵するRAMをNBDがアクセスするときのリード/ライトの状態を示します。 0 : RAMにNBDがライト・アクセスしている 1 : RAMにNBDがリード・アクセスしている

- 備考1. NBDツールによるRAMリード時はNBDツールからのアドレス信号をDMA (CPU) によりNBDMSHレジスタから読み出せます。
2. NBDツールによるRAMライト時はNBDLレジスタの値をDMA (CPU) によりNBDMSHレジスタから読み出せます。

(5) DMAデスティネーション・アドレス設定レジスタDL (NBDMDL)

NBDMDLレジスタは、DMAのデスティネーション・アドレスを指定します。

NBDツールからのライトとDMA (CPU) によるリードが可能です。

16ビット単位でリードだけ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
NBDMDL	AD15	AD14	AD13	AD12	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	FFFFFFA68H	不定

- 備考1. NBDツールによるRAMライト時はNBDツールからのアドレス信号をDMA (CPU) によりNBDMDLレジスタから読み出せます。
2. NBDツールによるRAMリード時はNBDLレジスタの値をDMA (CPU) によりNBDMDLレジスタから読み出せます。

(6) DMAデスティネーション・アドレス設定レジスタDH (NBDMDH)

NBDMDHレジスタは、DMAのデスティネーション・アドレスを指定します。

NBDツールからのライトとDMA (CPU) によるリードが可能です。

16ビット単位でリードだけ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
NBDMDH	IR	0	0	0	AD27	AD26	AD25	AD24	AD23	AD22	AD21	AD20	AD19	AD18	AD17	AD16	FFFFFFA6AH	不定

ビット位置	ビット名	意味
15	IR	V850E/IA1に内蔵するRAMをNBDがアクセスするときのリード/ライトの状態を示します。 0 : RAMにNBDがリード・アクセスしている 1 : RAMにNBDがライト・アクセスしている

- 備考1. NBDツールによるRAMライト時はNBDツールからのアドレス信号をDMA (CPU) によりNBDMDHレジスタから読み出せます。
2. NBDツールによるRAMリード時はNBDLレジスタの値をDMA (CPU) によりNBDMDHレジスタから読み出せます。

## 12.6 NBDの制限事項

### 12.6.1 全般的な制限事項

- (1) CLK\_DBGは、内部システム・クロック (f<sub>xx</sub>) の半分以下の速度で、かつMAX.12.5 MHzです。
- (2) リセット期間中にコマンド・パケットを送ると、以降readyを返しません。再度リセットしてください。

### 12.6.2 NBDによるRAMのリード/ライトに関する制限事項

- (1) DMAの初期設定はユーザ・ソフトウェアで行ってください。
- (2) RAMへのライトは32ビット固定長のみです。  
RAMへのリードのみの場合は32/16/8ビット単位でアクセス可能です。  
RAMへのリード/ライトを行う場合、32ビット単位でアクセス可能です。
- (3) リセット期間中からリセット後DMAの初期設定が終わるまで、NBDは機能しません。  
この間にRAMのリード/ライトを行うと、以降NBDがreadyを返しません。再度リセットしてください。

### 12.6.3 NBDのイベント・トリガ機能に関する制限事項

- (1) ROMの実行アドレス・イベント・トリガでは、パイプライン処理により、ブランチ命令後のアドレスに設定した場合、実行されなかった場合でもイベントが発生します。ブランチ命令の32ビット×3ワード以上後ろに設定する必要があります。
- (2) イベント・トリガはリセットによりクリアしているため、リセット後は再設定する必要があります。
- (3) ROMのフェッチにかぎらず、リードにおいてもトリガが発生します。
- (4) ROMのアドレス一致は、内蔵ROMでのみ機能します。なお、下位2ビットはマスクされます。  
RAMのアドレス一致は、内蔵RAMでのみ機能します。なお、下位2ビットはマスクされます。

**注意** ROMおよびRAMのアドレス一致はインサーキット・エミュレータでは使用できません。

### 12.6.4 DMAの初期設定の終了をNBDツールで検出する方法

イベント・トリガをRAMのライトで設定し、該当アドレスにNBDからライト・コマンドを送ります。このときにイベント・トリガが発生すれば、DMAの初期設定は終わっています。

## 12.7 DMA (2チャンネル) に対して必要な初期設定

(1) ユーザ・ソフトウェアにより設定変更要求のDMAの初期設定を行う必要があります。

(2) NBDにDMAを2チャンネル割り当てます。

このとき、NBDAD割り込みをNBDREW割り込みよりも優先順位の高いチャンネルに割り当てます。

(3) NBDAD割り込みを割り当てたチャンネルのレジスタの初期設定を行います。

設定内容は、NBDMSL/NBDMSH, NBDMDL/NBDMDH (リード専用SFR) の内容をNBDREW割り込み割り当てたDMAのチャンネルのDMAソース・アドレス・レジスタ $nL$ ,  $nH$  (DSAnL, DSAnH)<sup>※</sup>とDMAデステイネーション・アドレス・レジスタ $nL$ ,  $nH$  (DDAnL, DDAnH)<sup>※</sup>に16ビット×4ブロック転送するように設定します ( $n = 0-3$ )。

**注** DMAのレジスタは16ビット・アクセスのみです。

(4) NBDREW割り込みを割り当てたDMAのチャンネルのDMAアドレッシング・コントロール・レジスタ $n$  (DADCn) を32ビット転送するように設定します (8ビット×4, 16ビット×2, 32ビット×1ビットの転送設定<sup>※</sup>) ( $n = 0-3$ )。また、DMA転送元アドレスとDMA転送先アドレスのカウンタ方向をインクリメント・モード (DADCnレジスタのSADmビット = 0, DADmビット = 0 ( $m = 0, 1$ )) に設定します (最上位8ビットのリード/ライトで、DMAによるデータ転送の終了を判定しているため)。

**注** 次に8ビット×4, 16ビット×2, 32ビット×1時の操作可能ビットを示します。

8ビット×4: 32/16/8ビットでのリードが可能です。

16ビット×2: 16/8ビットでのリードが可能です。

32ビット×1: 32ビットでのリードが可能です。リード速度は最も速くなります。

なお、上記3通り以外の設定は禁止します。また、RAMのリード/ライトを行う場合は、32ビット×1の設定とします。

**注意** DMAの初期設定では、DMAのリクエスト選択を最後に設定してください。

次に32ビット転送, 16ビット転送, 8ビット転送時のDMA初期設定例を示します。



## (a) 32ビット転送DMA初期設定例

```

-- DMA INITIAL --
mov      0x0000FA64 ,      r24 -- DMACH0 Source      Address --
st.h     r24 , DSAL0[r0]
mov      0x00000FFF ,      r24 -- DMACH0 Source      Address --
st.h     r24 , DSAH0[r0]
mov      0x0000F088 ,      r24 -- DMACH0 Destination Address --
st.h     r24 , DDAL0[r0]
mov      0x00000FFF ,      r24 -- DMACH0 Destination Address --
st.h     r24 , DDAH0[r0]
mov      0x0000400c ,      r24 -- DMACH0 Block MODE 16Bit MODE --
st.h     r24 , DADC0[r0]
mov      0x0000800c ,      r24 -- DMACH1 Block MODE 32Bit MODE --
st.h     r24 , DADC1[r0]
mov      0x00000003 ,      r24 -- DMACH0 Block MODE 16Bit*4 --
st.h     r24 , DBC0[r0]
mov      0x00000000 ,      r24 -- DMACH1 Block MODE 32Bit*1 --
st.h     r24 , DBC1[r0]
mov      0x00000009 ,      r24 -- DMACH0&1 DMA ready --
st.b     r24 , DCHC0[r0]
st.b     r24 , DCHC1[r0]
mov      0x00000035 ,      r24 -- DMACH0 Trigger --
st.b     r24 , DTFR0[r0]
mov      0x00000036 ,      r24 -- DMACH1 Trigger --
st.b     r24 , DTFR1[r0]

```

## (b) 16ビット転送DMA初期設定例

```
-- DMA INITIAL --  
  
mov      0x0000FA64 ,    r24 -- DMACH0 Source      Address --  
st.h     r24 , DSAL0[r0]  
  
mov      0x00000FFF ,    r24 -- DMACH0 Source      Address --  
st.h     r24 , DSAH0[r0]  
  
mov      0x0000F088 ,    r24 -- DMACH0 Destination Address --  
st.h     r24 , DDAL0[r0]  
  
mov      0x00000FFF ,    r24 -- DMACH0 Destination Address --  
st.h     r24 , DDAH0[r0]  
  
mov      0x0000400c ,    r24 -- DMACH0 Block MODE 16Bit MODE --  
st.h     r24 , DADC0[r0]  
  
mov      0x0000400c ,    r24 -- DMACH1 Block MODE 16Bit MODE --  
st.h     r24 , DADC1[r0]  
  
mov      0x00000003 ,    r24 -- DMACH0 Block MODE 16Bit*4 --  
st.h     r24 , DBC0[r0]  
  
mov      0x00000001 ,    r24 -- DMACH1 Block MODE 16Bit*2 --  
st.h     r24 , DBC1[r0]  
  
mov      0x00000009 ,    r24 -- DMACH0&1 DMA ready --  
st.b     r24 , DCHC0[r0]  
st.b     r24 , DCHC1[r0]  
  
mov      0x00000035 ,    r24 -- DMACH0 Trigger --  
st.b     r24 , DTFR0[r0]  
  
mov      0x00000036 ,    r24 -- DMACH1 Trigger --  
st.b     r24 , DTFR1[r0]
```

## (c) 8ビット転送DMA初期設定例

```

-- DMA INITIAL --
mov      0x0000FA64 ,    r24 -- DMACH0 Source      Address --
st.h     r24 , DSAL0[r0]
mov      0x00000FFF ,    r24 -- DMACH0 Source      Address --
st.h     r24 , DSAH0[r0]
mov      0x0000F088 ,    r24 -- DMACH0 Destination Address --
st.h     r24 , DDAL0[r0]
mov      0x00000FFF ,    r24 -- DMACH0 Destination Address --
st.h     r24 , DDAH0[r0]
mov      0x0000400c ,    r24 -- DMACH0 Block MODE 16Bit MODE --
st.h     r24 , DADC0[r0]
mov      0x0000000c ,    r24 -- DMACH1 Block MODE 8Bit MODE --
st.h     r24 , DADC1[r0]
mov      0x00000003 ,    r24 -- DMACH0 Block MODE 16Bit*4 --
st.h     r24 , DBC0[r0]
mov      0x00000003 ,    r24 -- DMACH1 Block MODE 8Bit*4 --
st.h     r24 , DBC1[r0]
mov      0x00000009 ,    r24 -- DMACH0&1 DMA ready --
st.b     r24 , DCHC0[r0]
st.b     r24 , DCHC1[r0]
mov      0x00000035 ,    r24 -- DMACH0 Trigger --
st.b     r24 , DTFR0[r0]
mov      0x00000036 ,    r24 -- DMACH1 Trigger --
st.b     r24 , DTFR1[r0]

```

## 第13章 A/Dコンバータ

### 13.1 特 徴

10ビット分解能A/Dコンバータを2回路 (A/Dコンバータ0, 1) 内蔵

2回路同時サンプリング可能

アナログ入力: 1回路あたり8チャンネル

A/D変換結果レジスタ0n, 1n (ADCR0n, ADCR1n) 内蔵

10ビット×8本×2

A/D変換トリガ・モード

A/Dトリガ・モード

A/Dトリガ・ポーリング・モード

タイマ・トリガ・モード

外部トリガ・モード

逐次変換方式

電圧検出モード

備考 n = 0-7

### 13.2 構 成

A/Dコンバータ0, 1は、逐次変換方式を採用しており、A/Dスキャン・モード・レジスタ00, 01, 10, 11(ADSCM00, ADSCM01, ADSCM10, ADSCM11), ADCR0n, ADCR1nレジスタを使用してA/D変換動作を行います(n = 0-7)。

#### (1) 入力回路

ADSCM00, ADSCM10レジスタに設定したモードに従ってアナログ入力(ANI0n, ANI1n)を選択し、サンプル&ホールド回路に送ります(n = 0-7)。

#### (2) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力を1つ1つサンプリングし、コンパレータに送ります。なお、A/D変換動作中は、サンプリングしたアナログ入力を保持します。

#### (3) 電圧コンパレータ

入力されたアナログ入力電圧とD/Aコンバータの出力電圧差を比較します。

#### (4) D/Aコンバータ

D/Aコンバータは、アナログ入力と一致する電圧を発生させるためのものです。

D/Aコンバータの出力電圧は、逐次変換レジスタ(SAR)で制御されます。

**(5) 逐次変換レジスタ (SAR : Successive Approximation Register)**

SARは、アナログ入力の電圧値と比較するために、D/Aコンバータの出力値を制御する10ビット・レジスタです。A/D変換が終了すると、そのときのSARの内容（変換結果）をA/D変換結果レジスタ（ADCR0n, ADCR1n）に格納します（n = 0-7）。また、指定されたすべてのA/D変換を終了すると、A/D変換終了割り込み（INTAD0, INTAD1）が発生します。

**(6) A/D変換結果レジスタ0n, 1n (ADCR0n, ADCR1n : A/D Conversion Result Register 0n, 1n)**

ADCR0n, ADCR1nは、A/D変換結果を保持する10ビット・レジスタです。A/D変換が終了するたびに、逐次変換レジスタ（SAR）から変換結果がロードされます（n = 0-7）。

$\overline{\text{RESET}}$ 入力により、0000Hになります。

**(7) コントローラ**

ADSCMn0, ADSCMn1レジスタに設定したモードに従って、アナログ入力の選択、サンプル&ホールド回路の動作タイミングの生成、変換トリガの制御、変換動作時間の指定を行います（n = 0, 1）。

**(8) ANI0n, ANI1n端子 (n = 0-7)**

A/Dコンバータ0, 1への各8チャンネル（2回路合計16チャンネル）のアナログ入力端子です。A/D変換するアナログ信号を入力します。

**注意** ANI0n, ANI1n入力電圧は規格の範囲内でご使用ください。特にノイズ等も含め $V_{DD}$ 以上、 $V_{SS}$ 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不正となり、またほかのチャンネルの変換値にも影響を与えることがあります。

**(9)  $V_{REF0}$ ,  $V_{REF1}$ 端子**

A/Dコンバータ0, 1の基準電圧を入力するための端子です。 $V_{REF0}-V_{SS}$ ,  $V_{REF1}-V_{SS}$ 間に加えられる電圧に基づいてANI0n, ANI1n端子に入力される信号をデジタル信号に変換します（n = 0-7）。

**注意**  $V_{REF0}$ ,  $V_{REF1}$ 端子を使用しない場合は、 $V_{SS5}$ に接続してください。

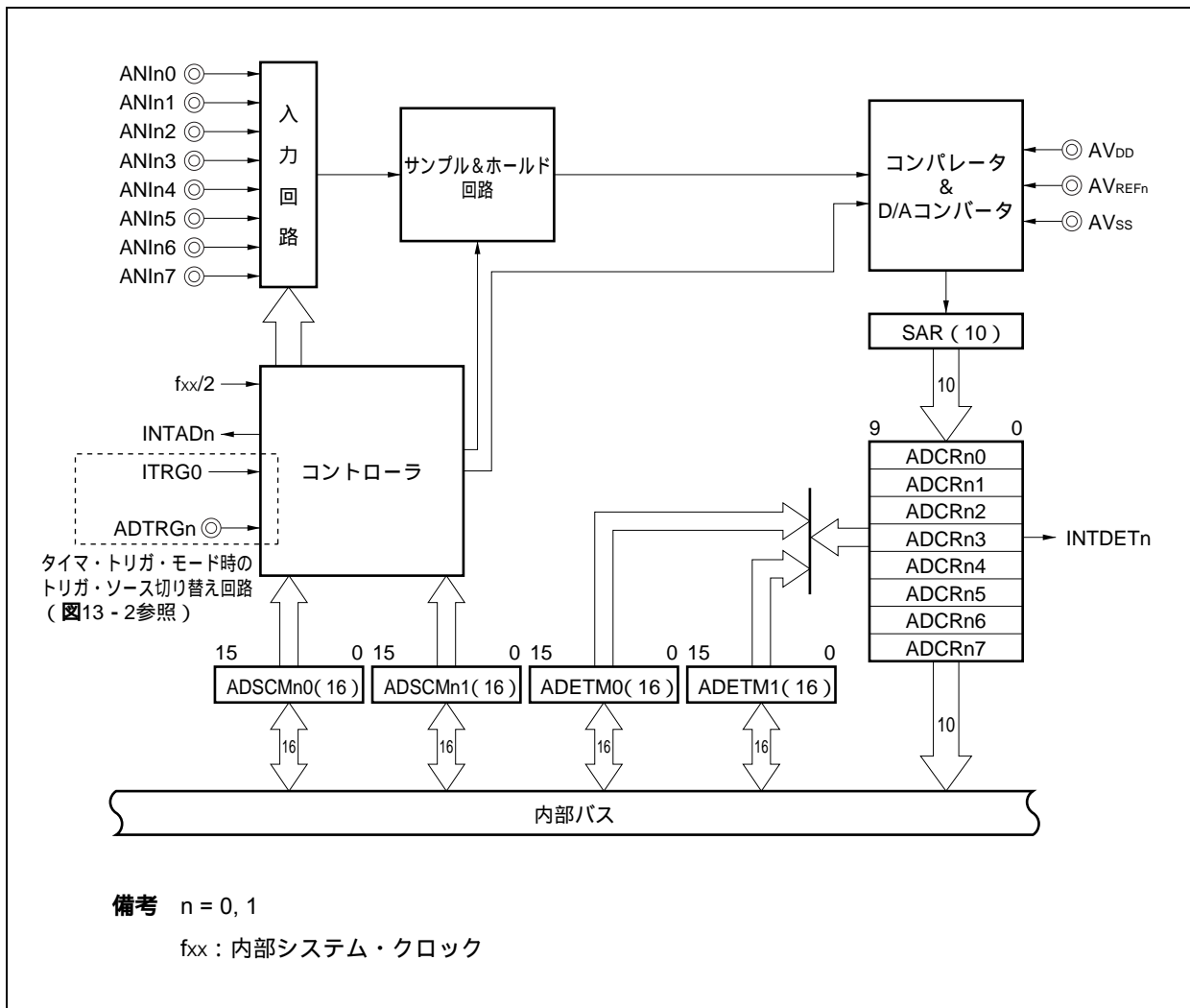
**(10)  $V_{SS}$ 端子**

A/Dコンバータ0, 1のグランド電位端子です。A/Dコンバータ0, 1を使用しないときでも、常に $V_{SS5}$ 端子と同電位にしてください。

**(11)  $V_{DD}$ 端子**

A/Dコンバータ0, 1のアナログ電源端子です。A/Dコンバータ0, 1を使用しないときでも、常に $V_{DD5}$ 端子と同電位にしてください。

図13 - 1 A/Dコンバータ0, 1のブロック図



注意1. アナログ入力端子 (ANI0n, ANI1n) および基準電圧入力端子 (AVREF0, AVREF1) にノイズがのる場合は、ノイズにより不正な変換結果が生じることがあります。

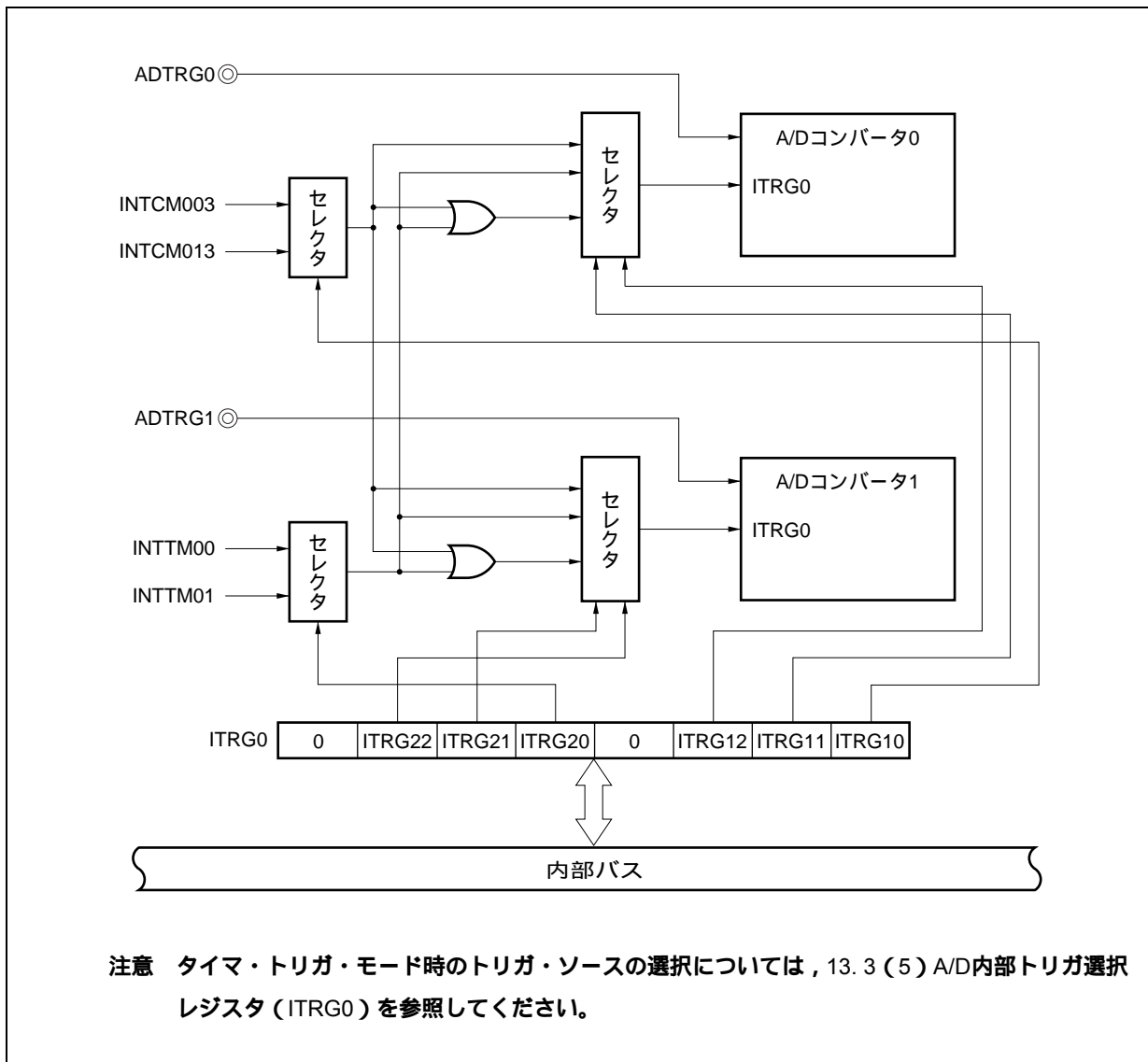
この不正な変換結果により、システムに悪影響を与えることを避けるために、ソフトウェア処理が必要です。

次にソフトウェア処理の例を示します。

- ・ 複数回のA/D変換結果の平均値を、A/D変換結果として使用する。
- ・ 複数回のA/D変換を連続して行い、特異な変換結果が得られた場合、この値を除外した変換結果を使用する。
- ・ システムに異常が発生したと判断されるようなA/D変換結果が得られた場合、ただちに異常処理を行わず、再度異常発生を確認した上で異常処理を行う。

2. A/Dコンバータ0, 1の入力端子として使用している端子には、AVSS-AVREF0, AVSS-AVREF1の範囲外の電圧が加わらないようにしてください。

図13 - 2 タイマ・トリガ・モード時のトリガ・ソース切り替え回路のブロック図



### 13.3 制御レジスタ

(1) A/Dスキャン・モード・レジスタ00, 10 (ADSCM00, ADSCM10)

ADSCMn0レジスタは、アナログ入力端子の選択、動作モードの指定および変換動作の制御を行う16ビット・レジスタです。

ADSCMn0レジスタは16ビット単位でリード/ライト可能です。

ADSCMn0レジスタの上位8ビットをADSCMn0Hレジスタ、下位8ビットをADSCMn0Lレジスタとして使用した場合は、8/1ビット単位でリード/ライト可能です。

ただし、A/D変換動作中にADSCMn0レジスタに書き込みを行った場合、変換動作は初期化され、最初から変換動作をやり直します。このとき、書き込むADSCMn0レジスタ値は同じ値を上書きしてください。なお、異なった値を書き込む場合には、必ずADCEnビットをクリア(0)してから行ってください。

**注意** ADPLMn, TRG2-TRG0ビットでトリガ・モードを変更する場合は、ADCEnビットをクリア(0)してから行ってください(n = 0, 1)。トリガ・モードの変更とADCEnビットのクリアを同時(同一命令)に行った場合の動作は保証しません。必ず、2回に分けてレジスタ・アクセスを行ってください。

(1/2)

ADSCM00	⑮	⑭	13	⑫	⑪	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	AD CE0	AD CS0	0	AD MS0	AD PLM0	TRG2	TRG1	TRG0	SANI3	SANI2	SANI1	SANI0	ANIS3	ANIS2	ANIS1	ANIS0	FFFFF200H	0000H
ADSCM10	⑮	⑭	13	⑫	⑪	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	AD CE1	AD CS1	0	AD MS1	AD PLM1	TRG2	TRG1	TRG0	SANI3	SANI2	SANI1	SANI0	ANIS3	ANIS2	ANIS1	ANIS0	FFFFF240H	0000H

ビット位置	ビット名	意味
15	ADCEn	A/D変換動作の許可 / 禁止を指定します。 0 : 禁止 1 : 許可
14	ADCSn	A/Dコンバータ0, 1の状態を示します。このビットは読み出し専用です。 0 : 停止中 1 : 動作中 ADCSnビットはA/D変換開始直後から $6 \times f_{xx}/2$ の期間は“0”となり、その後“1”になります。スキャン・モード時には、A/D変換するアナログ入力端子が切り替わるたびにこの動作を行います。
12	ADMSn	A/Dコンバータ0, 1の動作モードを指定します。 0 : スキャン・モード 1 : セレクト・モード

**備考** n = 0, 1



ビット位置	ビット名	意味																																																												
11-8	ADPLMn, TRG2-TRG0	ADPLMn : ポーリング・モードを指定します。 TRG2-TRG0 : トリガ・モードを指定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>ADPLMn</th> <th>TRG2</th> <th>TRG1</th> <th>TRG0</th> <th>トリガ・モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>A/Dトリガ・モード</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>タイマ・トリガ・モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>外部トリガ・モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>A/Dトリガ・ポーリング・モード</td> </tr> <tr> <td colspan="4">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	ADPLMn	TRG2	TRG1	TRG0	トリガ・モード	0	0	0	0	A/Dトリガ・モード	0	0	0	1	タイマ・トリガ・モード	0	1	1	1	外部トリガ・モード	1	0	0	0	A/Dトリガ・ポーリング・モード	上記以外				設定禁止																														
ADPLMn	TRG2	TRG1	TRG0	トリガ・モード																																																										
0	0	0	0	A/Dトリガ・モード																																																										
0	0	0	1	タイマ・トリガ・モード																																																										
0	1	1	1	外部トリガ・モード																																																										
1	0	0	0	A/Dトリガ・ポーリング・モード																																																										
上記以外				設定禁止																																																										
7-4	SANI3-SANI0	スキャン・モード時の変換開始アナログ入力端子を指定します。 これらのビットはセレクト・モード時には無効です。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>SANI3</th> <th>SANI2</th> <th>SANI1</th> <th>SANI0</th> <th>スキャン開始アナログ入力端子</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>ANIn0</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>ANIn1</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>ANIn2</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>ANIn3</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>ANIn4</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>ANIn5</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>ANIn6</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>ANIn7</td> </tr> <tr> <td colspan="4">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table> <p><b>注意</b> SANI3-SANI0ビットで設定する変換開始アナログ入力端子番号は必ず ANIS3-ANIS0ビットで設定する変換終了アナログ入力端子番号よりも小さい端子番号を設定してください。</p>	SANI3	SANI2	SANI1	SANI0	スキャン開始アナログ入力端子	0	0	0	0	ANIn0	0	0	0	1	ANIn1	0	0	1	0	ANIn2	0	0	1	1	ANIn3	0	1	0	0	ANIn4	0	1	0	1	ANIn5	0	1	1	0	ANIn6	0	1	1	1	ANIn7	上記以外				設定禁止										
SANI3	SANI2	SANI1	SANI0	スキャン開始アナログ入力端子																																																										
0	0	0	0	ANIn0																																																										
0	0	0	1	ANIn1																																																										
0	0	1	0	ANIn2																																																										
0	0	1	1	ANIn3																																																										
0	1	0	0	ANIn4																																																										
0	1	0	1	ANIn5																																																										
0	1	1	0	ANIn6																																																										
0	1	1	1	ANIn7																																																										
上記以外				設定禁止																																																										
3-0	ANIS3-ANIS0	セレクト・モード時にはアナログ入力端子を指定します。 スキャン・モード時には変換終了アナログ入力端子の指定を行います。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>ANIS3</th> <th>ANIS2</th> <th>ANIS1</th> <th>ANIS0</th> <th>セレクト・モード時</th> <th>スキャン・モード時</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>ANIn0</td> <td>ANIn0</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>ANIn1</td> <td>SANI ANIn1</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>ANIn2</td> <td>SANI ANIn2</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>ANIn3</td> <td>SANI ANIn3</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>ANIn4</td> <td>SANI ANIn4</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>ANIn5</td> <td>SANI ANIn5</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>ANIn6</td> <td>SANI ANIn6</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>ANIn7</td> <td>SANI ANIn7</td> </tr> <tr> <td colspan="4">上記以外</td> <td colspan="2">設定禁止</td> </tr> </tbody> </table> <p><b>備考</b> SANI &lt; ANInm m = 1-7</p>	ANIS3	ANIS2	ANIS1	ANIS0	セレクト・モード時	スキャン・モード時	0	0	0	0	ANIn0	ANIn0	0	0	0	1	ANIn1	SANI ANIn1	0	0	1	0	ANIn2	SANI ANIn2	0	0	1	1	ANIn3	SANI ANIn3	0	1	0	0	ANIn4	SANI ANIn4	0	1	0	1	ANIn5	SANI ANIn5	0	1	1	0	ANIn6	SANI ANIn6	0	1	1	1	ANIn7	SANI ANIn7	上記以外				設定禁止	
ANIS3	ANIS2	ANIS1	ANIS0	セレクト・モード時	スキャン・モード時																																																									
0	0	0	0	ANIn0	ANIn0																																																									
0	0	0	1	ANIn1	SANI ANIn1																																																									
0	0	1	0	ANIn2	SANI ANIn2																																																									
0	0	1	1	ANIn3	SANI ANIn3																																																									
0	1	0	0	ANIn4	SANI ANIn4																																																									
0	1	0	1	ANIn5	SANI ANIn5																																																									
0	1	1	0	ANIn6	SANI ANIn6																																																									
0	1	1	1	ANIn7	SANI ANIn7																																																									
上記以外				設定禁止																																																										

備考 n = 0, 1

(2) A/Dスキャン・モード・レジスタ01, 11 (ADSCM01, ADSCM11)

ADSCMn1レジスタは、A/Dコンバータの変換時間の設定を行う16ビットのレジスタです。

ADSCMn1レジスタは16ビット単位でリード/ライト可能です。

ADSCMn1レジスタの上位8ビットをADSCMn1Hレジスタ、下位8ビットをADSCMn1Lレジスタとして使用した場合は、ADSCMn1Hレジスタは8/1ビット単位でリード/ライト可能、ADSCMn1Lレジスタは8ビット単位でリードだけ可能です。

**注意** A/D変換動作中に、ADSCMn1レジスタに書き込みを行わないでください。書き込みを行った場合、変換動作は中断され、その後、変換動作は終了します。

ADSCM01	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	0	0	0	0	0	FR2	FR1	FR0	0	0	0	0	0	0	0	0	FFFFF202H	0000H
ADSCM11	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	0	0	0	0	0	FR2	FR1	FR0	0	0	0	0	0	0	0	0	FFFFF242H	0000H

ビット位置	ビット名	意味																																																																		
10-8	FR2-FR0	<p>変換時間を指定します。</p> <table border="1"> <thead> <tr> <th rowspan="2">FR2</th> <th rowspan="2">FR1</th> <th rowspan="2">FR0</th> <th rowspan="2">変換クロック数</th> <th colspan="3">変換時間 (μs) 注</th> </tr> <tr> <th>f<sub>xx</sub> = 50 MHz</th> <th>f<sub>xx</sub> = 40 MHz</th> <th>f<sub>xx</sub> = 33 MHz</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>344</td> <td>6.88</td> <td>8.60</td> <td>-</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>248</td> <td>-</td> <td>6.20</td> <td>7.51</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>176</td> <td>-</td> <td>-</td> <td>5.33</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>128</td> <td>-</td> <td>-</td> <td>-</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>104</td> <td>-</td> <td>-</td> <td>-</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>80</td> <td>-</td> <td>-</td> <td>-</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>56</td> <td>-</td> <td>-</td> <td>-</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>設定禁止</td> <td>-</td> <td>-</td> <td>-</td> </tr> </tbody> </table> <p>注 サンプルングから変換終了までの時間です。                      サンプルング時間 = (変換クロック数 - 8) ÷ 6 × f<sub>xx</sub></p> <p>注意 変換時間は、5 ~ 10 μsの範囲内に確保してください。</p> <p style="text-align: center;"><b>変換時間 = f<sub>xx</sub> × 変換クロック数</b></p> <p>備考 f<sub>xx</sub> : 内部システム・クロック</p>	FR2	FR1	FR0	変換クロック数	変換時間 (μs) 注			f <sub>xx</sub> = 50 MHz	f <sub>xx</sub> = 40 MHz	f <sub>xx</sub> = 33 MHz	0	0	0	344	6.88	8.60	-	0	0	1	248	-	6.20	7.51	0	1	0	176	-	-	5.33	0	1	1	128	-	-	-	1	0	0	104	-	-	-	1	0	1	80	-	-	-	1	1	0	56	-	-	-	1	1	1	設定禁止	-	-	-
FR2	FR1	FR0					変換クロック数	変換時間 (μs) 注																																																												
			f <sub>xx</sub> = 50 MHz	f <sub>xx</sub> = 40 MHz	f <sub>xx</sub> = 33 MHz																																																															
0	0	0	344	6.88	8.60	-																																																														
0	0	1	248	-	6.20	7.51																																																														
0	1	0	176	-	-	5.33																																																														
0	1	1	128	-	-	-																																																														
1	0	0	104	-	-	-																																																														
1	0	1	80	-	-	-																																																														
1	1	0	56	-	-	-																																																														
1	1	1	設定禁止	-	-	-																																																														

(3) A/D電圧検出モード・レジスタ0, 1 (A DETM0, A DETM1)

A DETMnレジスタは、電圧検出モードの設定を行う16ビット・レジスタです。電圧検出モード時には、電圧検出を行うアナログ入力端子と参照電圧値との比較を行い、比較結果に応じた割り込みの設定が行えます。

A DETMnレジスタは16ビット単位でリード/ライト可能です。

A DETMnレジスタの上位8ビットをA DETMnHレジスタ、下位8ビットをA DETMnLレジスタとして使用した場合は、8/1ビット単位でリード/ライト可能です。

**注意** A/D変換動作中に、A DETMnレジスタに書き込みを行わないでください。書き込みを行った場合、変換動作は中断され、その後、変換動作は終了します。

	⑮	⑭	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
A DETM0	ADET	ADET	DET	DET	DET	DET	DET	DET	DET	DET	DET	DET	DET	DET	DET	DET	FFFF204H	0000H
	EN0	LH0	ANI3	ANI2	ANI1	ANI0	CMP9	CMP8	CMP7	CMP6	CMP5	CMP4	CMP3	CMP2	CMP1	CMP0		

	⑮	⑭	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
A DETM1	ADET	ADET	DET	DET	DET	DET	DET	DET	DET	DET	DET	DET	DET	DET	DET	DET	FFFF244H	0000H
	EN1	LH1	ANI3	ANI2	ANI1	ANI0	CMP9	CMP8	CMP7	CMP6	CMP5	CMP4	CMP3	CMP2	CMP1	CMP0		

ビット位置	ビット名	意味																																																		
15	A DETENn	電圧検出モードを指定します。 0：通常モードで動作 1：電圧検出モードで動作																																																		
14	A DETLHn	電圧比較検出の設定をします。 0：参照電圧値 > アナログ入力端子電圧の場合にINTDE Tn割り込みを発生 1：参照電圧値 < アナログ入力端子電圧の場合にINTDE Tn割り込みを発生																																																		
13-10	DE TANI3- DE TANI0	電圧検出モード時にDE TCMP9-DE TCMP0で設定する参照電圧値と比較を行うアナログ入力端子の選択を行います。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>DE TANI3</th> <th>DE TANI2</th> <th>DE TANI1</th> <th>DE TANI0</th> <th>電圧検出アナログ入力端子</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>ANIn0</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>ANIn1</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>ANIn2</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>ANIn3</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>ANIn4</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>ANIn5</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>ANIn6</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>ANIn7</td> </tr> <tr> <td>1</td> <td>x</td> <td>x</td> <td>x</td> <td>設定禁止</td> </tr> </tbody> </table>	DE TANI3	DE TANI2	DE TANI1	DE TANI0	電圧検出アナログ入力端子	0	0	0	0	ANIn0	0	0	0	1	ANIn1	0	0	1	0	ANIn2	0	0	1	1	ANIn3	0	1	0	0	ANIn4	0	1	0	1	ANIn5	0	1	1	0	ANIn6	0	1	1	1	ANIn7	1	x	x	x	設定禁止
DE TANI3	DE TANI2	DE TANI1	DE TANI0	電圧検出アナログ入力端子																																																
0	0	0	0	ANIn0																																																
0	0	0	1	ANIn1																																																
0	0	1	0	ANIn2																																																
0	0	1	1	ANIn3																																																
0	1	0	0	ANIn4																																																
0	1	0	1	ANIn5																																																
0	1	1	0	ANIn6																																																
0	1	1	1	ANIn7																																																
1	x	x	x	設定禁止																																																
9-0	DE TCMP9- DE TCMP0	DE TANI3-DE TANI0で選択するアナログ入力端子との比較を行う参照電圧値を設定します。																																																		

備考 n = 0, 1

(4) A/D変換結果レジスタ00-07, 10-17 (ADCR00-ADCR07, ADCR10-ADCR17)

ADCR0n, ADCR1nレジスタは、A/D変換の結果を保持する10ビット・レジスタです (n = 0-7)。1つのA/Dコンバータにつき8チャンネル分8本の10ビット・レジスタを備え、A/Dコンバータ0, 1で合わせて16本の10ビット・レジスタを備えています。

16ビット単位でリードだけ可能です。

ADCR0n, ADCR1nレジスタからA/D変換結果の10ビット・データを読み出す場合には、下位の10ビットだけが有効となり、上位6ビットは常に0が読み出されます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ADCR0n	0	0	0	0	0	0	ADCRn9	ADCRn8	ADCRn7	ADCRn6	ADCRn5	ADCRn4	ADCRn3	ADCRn2	ADCRn1	ADCRn0	表13 - 1参照	0000H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ADCR1n	0	0	0	0	0	0	ADCRn9	ADCRn8	ADCRn7	ADCRn6	ADCRn5	ADCRn4	ADCRn3	ADCRn2	ADCRn1	ADCRn0	表13 - 2参照	0000H

表13 - 1 ADCR0n (n = 0-7) のレジスタ名とアドレスの対応表

レジスタ名	アドレス
ADCR00	FFFFFF210H
ADCR01	FFFFFF212H
ADCR02	FFFFFF214H
ADCR03	FFFFFF216H
ADCR04	FFFFFF218H
ADCR05	FFFFFF21AH
ADCR06	FFFFFF21CH
ADCR07	FFFFFF21EH

表13 - 2 ADCR1n (n = 0-7) のレジスタ名とアドレスの対応表

レジスタ名	アドレス
ADCR10	FFFFFF250H
ADCR11	FFFFFF252H
ADCR12	FFFFFF254H
ADCR13	FFFFFF256H
ADCR14	FFFFFF258H
ADCR15	FFFFFF25AH
ADCR16	FFFFFF25CH
ADCR17	FFFFFF25EH

各アナログ入力端子とADCR0n, ADCR1nレジスタの対応を次に示します。

表13 - 3 各アナログ入力端子とADCR0n, ADCR1nレジスタの対応表

A/Dコンバータ	アナログ入力端子	A/D変換結果レジスタ
A/Dコンバータ0	ANI00	ADCR00
	ANI01	ADCR01
	ANI02	ADCR02
	ANI03	ADCR03
	ANI04	ADCR04
	ANI05	ADCR05
	ANI06	ADCR06
	ANI07	ADCR07
A/Dコンバータ1	ANI10	ADCR10
	ANI11	ADCR11
	ANI12	ADCR12
	ANI13	ADCR13
	ANI14	ADCR14
	ANI15	ADCR15
	ANI16	ADCR16
	ANI17	ADCR17

アナログ入力端子 (ANI0n, ANI1n) に入力されたアナログ入力電圧とA/D変換結果 (A/D変換結果レジスタ (ADCR0n, ADCR1n)) には次式に示す関係があります (n = 0-7)。

$$ADCR = \text{INT} \left( \frac{V_{IN}}{AV_{REF}} \times 1024 + 0.5 \right)$$

または,

$$(ADCR - 0.5) \times \frac{AV_{REF}}{1024} < V_{IN} < (ADCR + 0.5) \times \frac{AV_{REF}}{1024}$$

INT ( ) : ( ) 内の値の整数部を返す関数

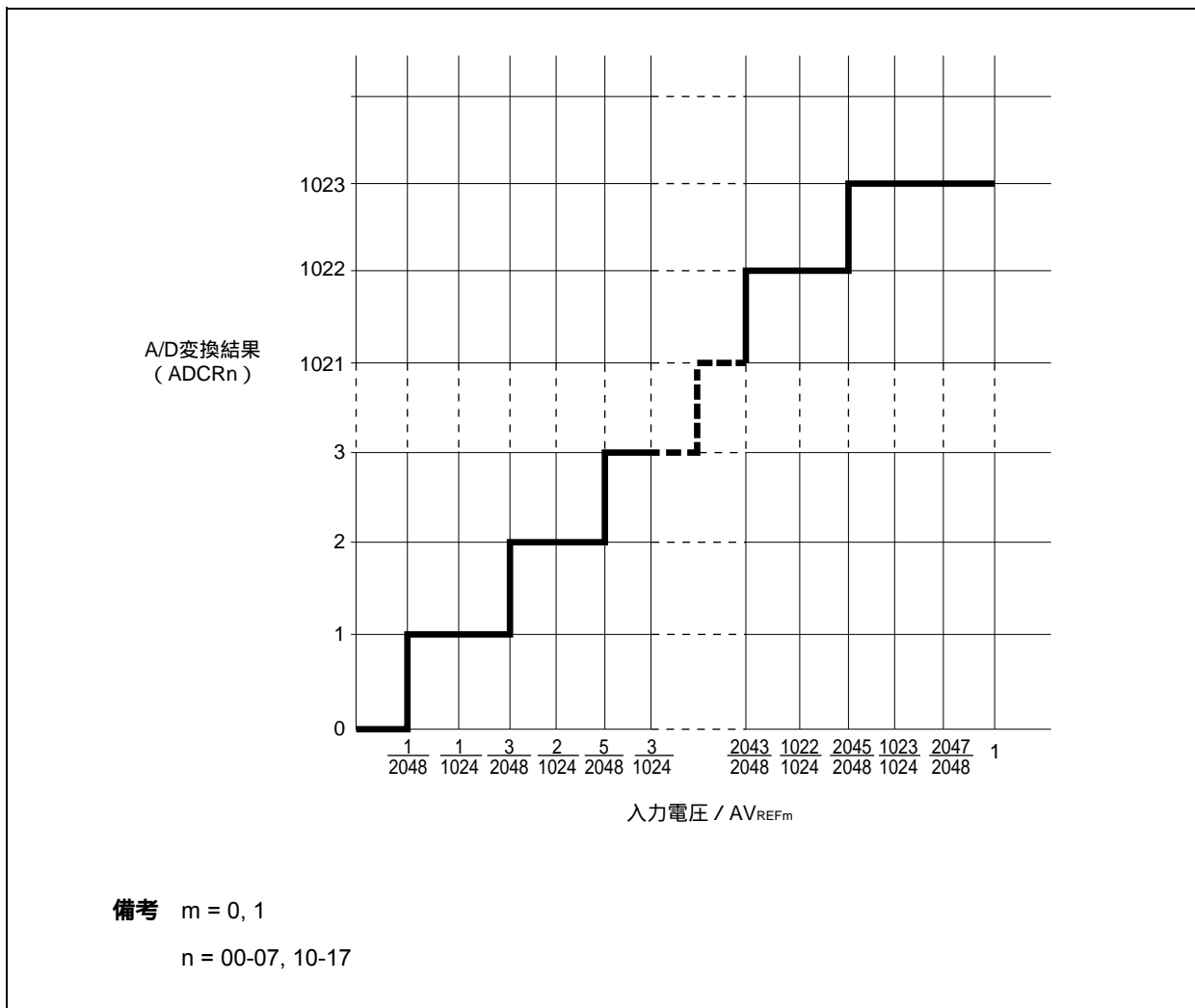
V<sub>IN</sub> : アナログ入力電圧

AV<sub>REF</sub> : AV<sub>REF0</sub>, AV<sub>REF1</sub>端子電圧

ADCR : A/D変換結果レジスタ (ADCR0n, ADCR1n) の値

図13 - 3にアナログ入力電圧とA/D変換結果の関係を示します。

図13 - 3 アナログ入力電圧とA/D変換結果の関係



(5) A/D内部トリガ選択レジスタ (ITRG0)

ITRG0レジスタは、タイマ・トリガ・モード時のトリガ・ソースを切り替えるレジスタです。ITRG0レジスタでA/Dコンバータ0, 1のタイマ・トリガ・ソースを設定できます。

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
ITRG0	0	ITRG22	ITRG21	ITRG20	0	ITRG12	ITRG11	ITRG10	FFFFFF280H	00H

ビット位置	ビット名	意味																																													
6-4	ITRG22- ITRG20	A/Dコンバータ1のタイマ・トリガ・ソースを指定します。  <table border="1"> <thead> <tr> <th>ITRG22</th> <th>ITRG21</th> <th>ITRG20</th> <th>ITRG10</th> <th>トリガ・ソース</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>x</td> <td>0</td> <td>INTCM003を選択</td> </tr> <tr> <td>0</td> <td>0</td> <td>x</td> <td>1</td> <td>INTCM013を選択</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>x</td> <td>INTTM00を選択</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>x</td> <td>INTTM01を選択</td> </tr> <tr> <td>1</td> <td>x</td> <td>0</td> <td>0</td> <td>INTCM003とINTTM00を選択</td> </tr> <tr> <td>1</td> <td>x</td> <td>0</td> <td>1</td> <td>INTCM013とINTTM00を選択</td> </tr> <tr> <td>1</td> <td>x</td> <td>1</td> <td>0</td> <td>INTCM003とINTTM01を選択</td> </tr> <tr> <td>1</td> <td>x</td> <td>1</td> <td>1</td> <td>INTCM013とINTTM01を選択</td> </tr> </tbody> </table> <p>備考 x : 任意</p>	ITRG22	ITRG21	ITRG20	ITRG10	トリガ・ソース	0	0	x	0	INTCM003を選択	0	0	x	1	INTCM013を選択	0	1	0	x	INTTM00を選択	0	1	1	x	INTTM01を選択	1	x	0	0	INTCM003とINTTM00を選択	1	x	0	1	INTCM013とINTTM00を選択	1	x	1	0	INTCM003とINTTM01を選択	1	x	1	1	INTCM013とINTTM01を選択
ITRG22	ITRG21	ITRG20	ITRG10	トリガ・ソース																																											
0	0	x	0	INTCM003を選択																																											
0	0	x	1	INTCM013を選択																																											
0	1	0	x	INTTM00を選択																																											
0	1	1	x	INTTM01を選択																																											
1	x	0	0	INTCM003とINTTM00を選択																																											
1	x	0	1	INTCM013とINTTM00を選択																																											
1	x	1	0	INTCM003とINTTM01を選択																																											
1	x	1	1	INTCM013とINTTM01を選択																																											
2-0	ITRG12- ITRG10	A/Dコンバータ0のタイマ・トリガ・ソースを指定します。  <table border="1"> <thead> <tr> <th>ITRG12</th> <th>ITRG11</th> <th>ITRG20</th> <th>ITRG10</th> <th>トリガ・ソース</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>x</td> <td>0</td> <td>INTCM003を選択</td> </tr> <tr> <td>0</td> <td>0</td> <td>x</td> <td>1</td> <td>INTCM013を選択</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>x</td> <td>INTTM00を選択</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>x</td> <td>INTTM01を選択</td> </tr> <tr> <td>1</td> <td>x</td> <td>0</td> <td>0</td> <td>INTCM003とINTTM00を選択</td> </tr> <tr> <td>1</td> <td>x</td> <td>0</td> <td>1</td> <td>INTCM013とINTTM00を選択</td> </tr> <tr> <td>1</td> <td>x</td> <td>1</td> <td>0</td> <td>INTCM003とINTTM01を選択</td> </tr> <tr> <td>1</td> <td>x</td> <td>1</td> <td>1</td> <td>INTCM013とINTTM01を選択</td> </tr> </tbody> </table> <p>備考 x : 任意</p>	ITRG12	ITRG11	ITRG20	ITRG10	トリガ・ソース	0	0	x	0	INTCM003を選択	0	0	x	1	INTCM013を選択	0	1	0	x	INTTM00を選択	0	1	1	x	INTTM01を選択	1	x	0	0	INTCM003とINTTM00を選択	1	x	0	1	INTCM013とINTTM00を選択	1	x	1	0	INTCM003とINTTM01を選択	1	x	1	1	INTCM013とINTTM01を選択
ITRG12	ITRG11	ITRG20	ITRG10	トリガ・ソース																																											
0	0	x	0	INTCM003を選択																																											
0	0	x	1	INTCM013を選択																																											
0	1	0	x	INTTM00を選択																																											
0	1	1	x	INTTM01を選択																																											
1	x	0	0	INTCM003とINTTM00を選択																																											
1	x	0	1	INTCM013とINTTM00を選択																																											
1	x	1	0	INTCM003とINTTM01を選択																																											
1	x	1	1	INTCM013とINTTM01を選択																																											

## 13.4 割り込み要求

A/Dコンバータ0, 1からは次の2種類の割り込みを発生します。

- ・ A/D変換終了割り込み (INTAD0, INTAD1)
- ・ 電圧検出割り込み (INTDET0, INTDET1)

### (1) A/D変換終了割り込み (INTAD0, INTAD1)

A/D変換許可状態中で、指定した回数のA/D変換が終了したとき、A/D変換終了割り込みを発生します。

A/Dコンバータ	A/D変換終了割り込み信号
0	INTAD0を発生
1	INTAD1を発生

### (2) 電圧検出割り込み (INTDET0, INTDET1)

電圧検出モード時 (ADETM0, ADETM1のADETEN0, ADETEN1ビット= 1) , ADETM0, ADETM1レジスタのDETCMP9-DETCMP0ビットで設定される参照電圧値と、対象となるアナログ入力端子のADCR0n, ADCR1nレジスタの値を比較し、ADETM0, ADETM1レジスタのADETLH0, ADETLH1ビットの値に応じて電圧検出割り込みを発生します (n = 0-7)。

A/Dコンバータ	電圧検出割り込み信号
0	INTDET0を発生
1	INTDET1を発生



## 13.5 A/Dコンバータ動作

### 13.5.1 A/Dコンバータ基本動作

A/D変換は次の手順で行います。

- (1) アナログ入力の選択、動作モード、トリガ・モードなどの指定を、ADSCM00, ADSCM10レジスタによって設定します<sup>注1</sup>。ADSCM00, ADSCM10レジスタのADCE0, ADCE1ビットをセット(1)すると、A/Dトリガ・モード、A/Dトリガ・ポーリング・モード時はA/D変換を開始します。タイマ・トリガ・モード、外部トリガ・モード時は、トリガ待機状態になります<sup>注2</sup>。
- (2) A/D変換を開始するとD/Aコンバータが発生した電圧とアナログ入力をコンパレータで比較します。
- (3) 10ビットの比較が終了したとき、ADCR0n, ADCR1nレジスタに変換結果を格納します。指定した回数のA/D変換が終了したとき、A/D変換終了割り込み(INTAD0, INTAD1)を発生します(n = 0-7)。

- 注1.** A/D変換動作中にADSCM00, ADSCM10レジスタに同じ値を上書きした場合、上書き前のA/D変換動作は停止し、ADCR0n, ADCR1nレジスタへ変換結果を格納しません。変換動作は初期化され、最初から変換を開始します。
- 2.** タイマ・トリガ・モード、外部トリガ・モードの場合、ADSCM00, ADSCM10レジスタのADCE0, ADCE1ビットを1にすると、トリガ待機状態に遷移します。また、A/D変換動作は、トリガ信号によって起動され、A/D変換動作が終了するとトリガ待機状態に戻ります。タイマ・トリガの選択はITRG0レジスタで行います。

### 13.5.2 動作モードとトリガ・モード

A/Dコンバータ0, 1は、動作モード、トリガ・モードの指定により多彩な変換動作を指定できます。動作モード、トリガ・モードは、ADSCM00, ADSCM10レジスタで設定します。動作モード、トリガ・モードの関係を次に示します。

トリガ・モード	動作モード	設定値	
		ADSCM00	ADSCM10
ADトリガ	セレクト	XX010000XXXXXXXXXB	XX010000XXXXXXXXXB
	スキャン	XX000000XXXXXXXXXB	XX000000XXXXXXXXXB
ADトリガ・ポーリング	セレクト	XX011000XXXXXXXXXB	XX011000XXXXXXXXXB
	スキャン	XX001000XXXXXXXXXB	XX001000XXXXXXXXXB
タイマ・トリガ	セレクト	XX010001XXXXXXXXXB	XX010001XXXXXXXXXB
	スキャン	XX000001XXXXXXXXXB	XX000001XXXXXXXXXB
外部・トリガ	セレクト	XX010111XXXXXXXXXB	XX010111XXXXXXXXXB
	スキャン	XX000111XXXXXXXXXB	XX000111XXXXXXXXXB

#### (1) トリガ・モード

A/D変換処理の開始タイミングとなるトリガ・モードには、A/Dトリガ・モード、A/Dトリガ・ポーリング・モード、タイマ・トリガ・モード、外部トリガ・モードの4通りがあります。

これらのトリガ・モードは、ADSCM00, ADSCM10レジスタで設定します。

##### (a) A/Dトリガ・モード

ANI0n, ANI1n端子に設定されたアナログ入力の変換タイミングを、ADSCM00, ADSCM10レジスタのADCE0, ADCE1ビットを1に設定することによりA/D変換を開始するモードです (n = 0-7)。このモードでは、INTAD0, INTAD1割り込みの後にA/D変換の再起動動作としてADCE0, ADCE1ビットを1に設定する必要があります (ADCS0, ADCS1 = 0)。

##### (b) A/Dトリガ・ポーリング・モード

ANI0n, ANI1n端子に設定されたアナログ入力の変換タイミングを、ADSCM00, ADSCM10レジスタのADCE0, ADCE1ビットを1に設定することによりA/D変換を開始するモードです (n = 0-7)。このモードの間は、INTAD0, INTAD1割り込みの後にA/D変換の再起動動作としてADCE0, ADCE1ビットを1に設定する必要がありません (ADCS0, ADCS1 = 1)。ADCE0, ADCE1ビットを0に設定するまで指定したアナログ入力を連続して変換します。また、変換が終了するごとにINTAD0, INTAD1割り込みが発生します。

##### (c) タイマ・トリガ・モード

ANI0n, ANI1n端子に設定されたアナログ入力の変換タイミングを、A/D内部トリガ選択レジスタ0 (ITRG0) で指定したトリガで規定するモードです (n = 0-7)。

##### (d) 外部トリガ・モード

ANI0n, ANI1n端子に設定されたアナログ入力の変換タイミングを、ADTRG0, ADTRG1端子で指定するモードです。

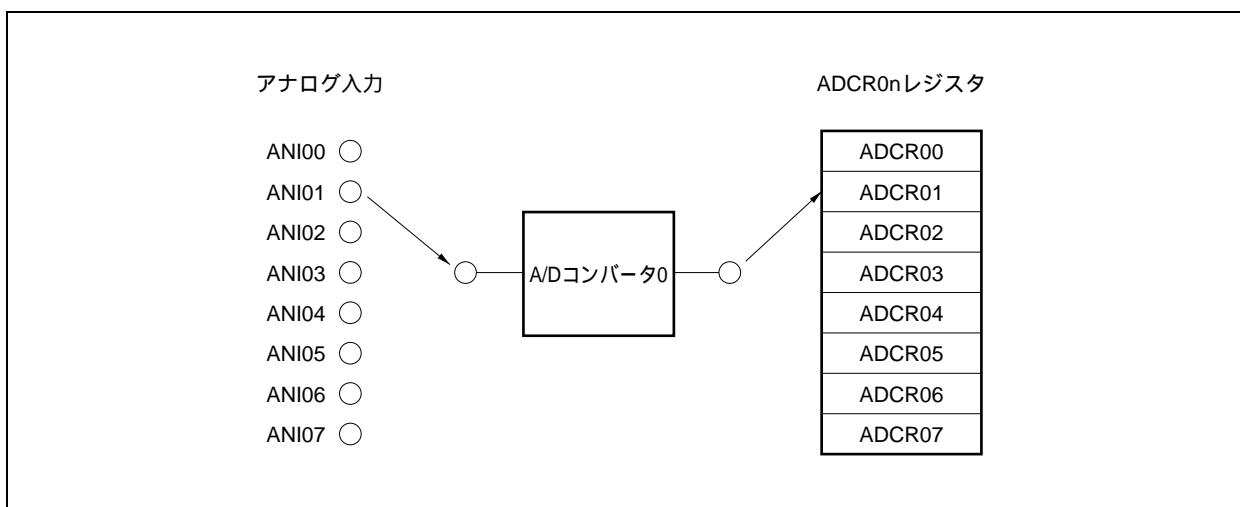
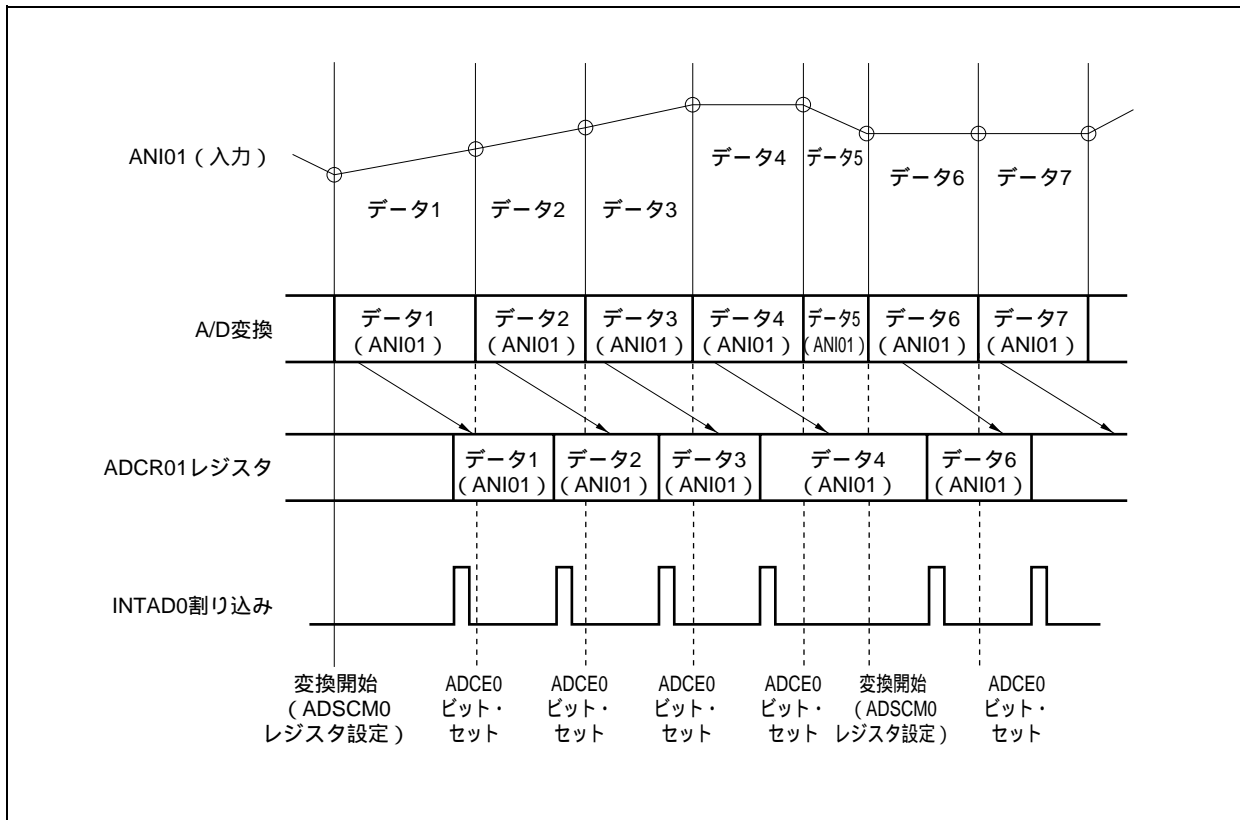
(2) 動作モード

動作モードには、ANI00-ANI07, ANI10-ANI17端子を設定するモードとして、セレクト・モード、スキャン・モードの2通りがあります。これらのモードは、ADSCM00, ADSCM10レジスタで設定します。

(a) セレクト・モード

ADSCM00, ADSCM10レジスタで指定される1つのアナログ入力をA/D変換します。変換結果は、アナログ入力 (ANI1n, ANI0n) に対応したADCR0n, ADCR1nレジスタに格納します (n = 0-7)。

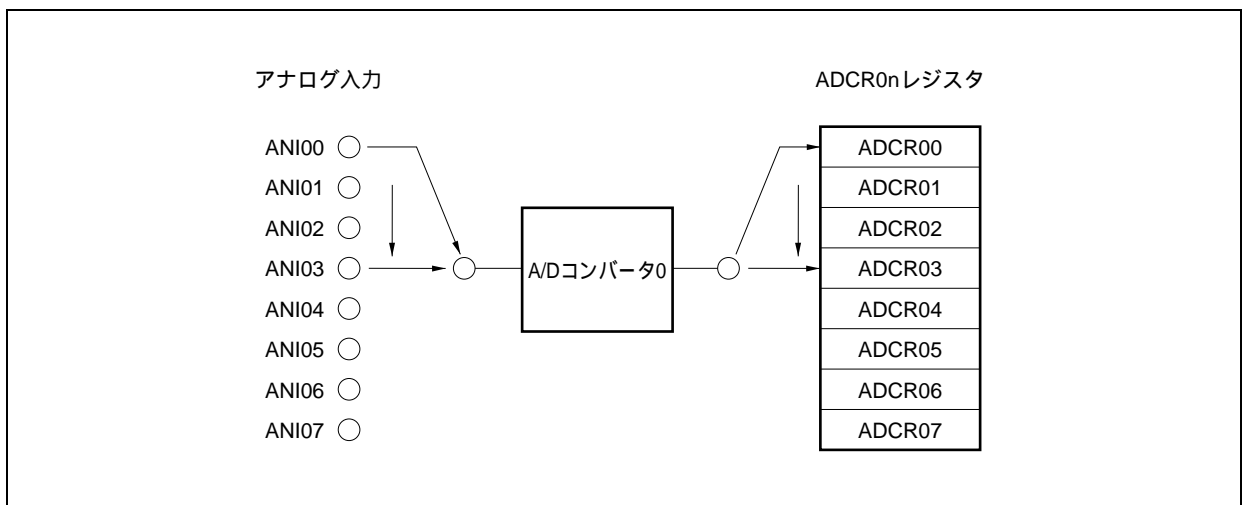
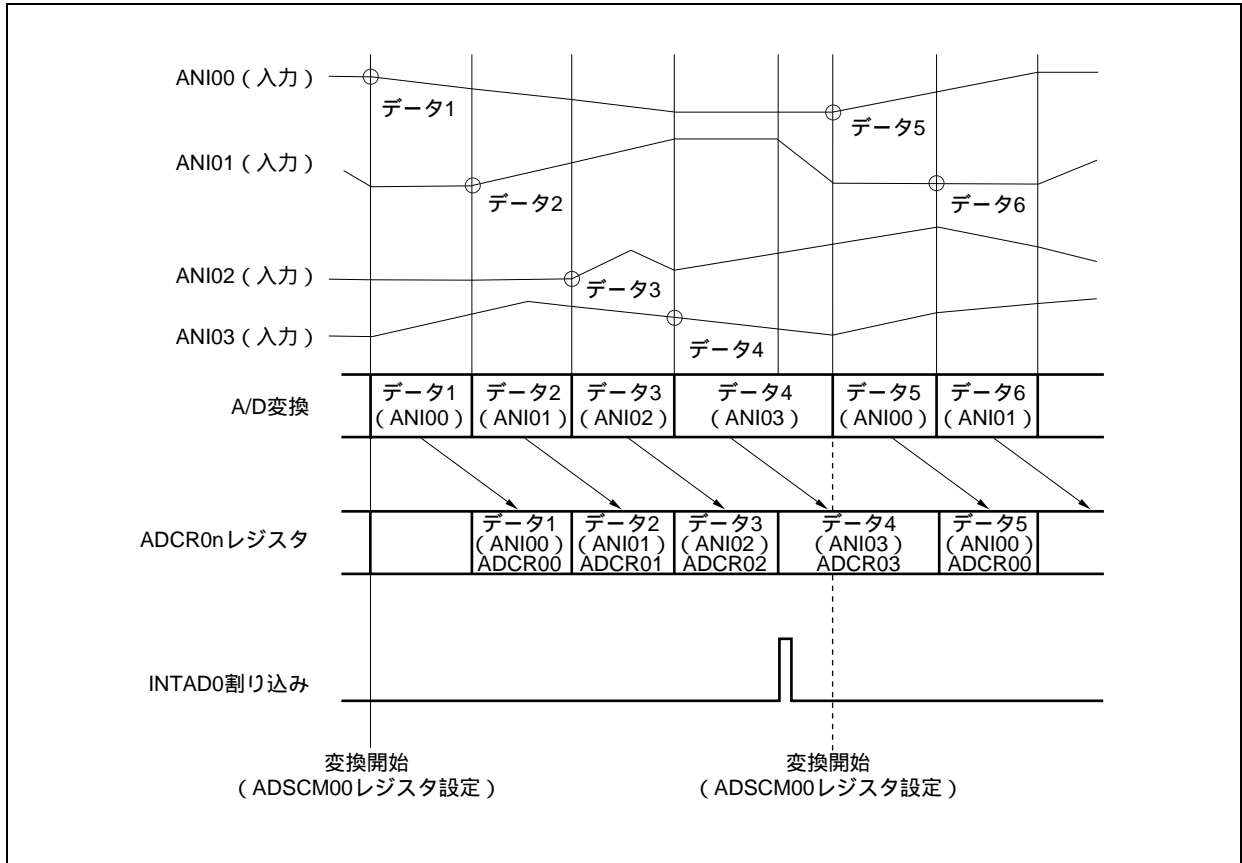
図13-4 セレクト・モードの動作タイミング例 (ANI01) : A/Dコンバータ0の場合



(b) スキャン・モード

ADSCM00, ADSCM10レジスタで指定したA/D変換開始アナログ入力端子からA/D変換終了アナログ入力端子までを順に選択し, A/D変換します。A/D変換結果は, アナログ入力に対応したADCR0n, ADCR1nレジスタに格納します (n = 0-7)。指定したアナログ入力の変換が終了するとA/D変換終了割り込み (INTAD0, INTAD1) が発生します。

図13 - 5 スキャン・モードの動作タイミング例：A/Dコンバータ0の場合  
(4チャンネル・スキャン (ANI00-ANI03))



## 13.6 A/Dトリガ・モード時の動作

ADSCM00, ADSCM10レジスタのADCE0, ADCE1ビットを1に設定すると, A/D変換を開始します。

### 13.6.1 セレクト・モードの動作

ADSCM00, ADSCM10レジスタで指定される各1つのアナログ入力を1回A/D変換し, その結果を各1つのADCR0n, ADCR1nレジスタに格納します。アナログ入力とADCR0n, ADCR1nレジスタは1対1に対応しています (n = 0-7)。

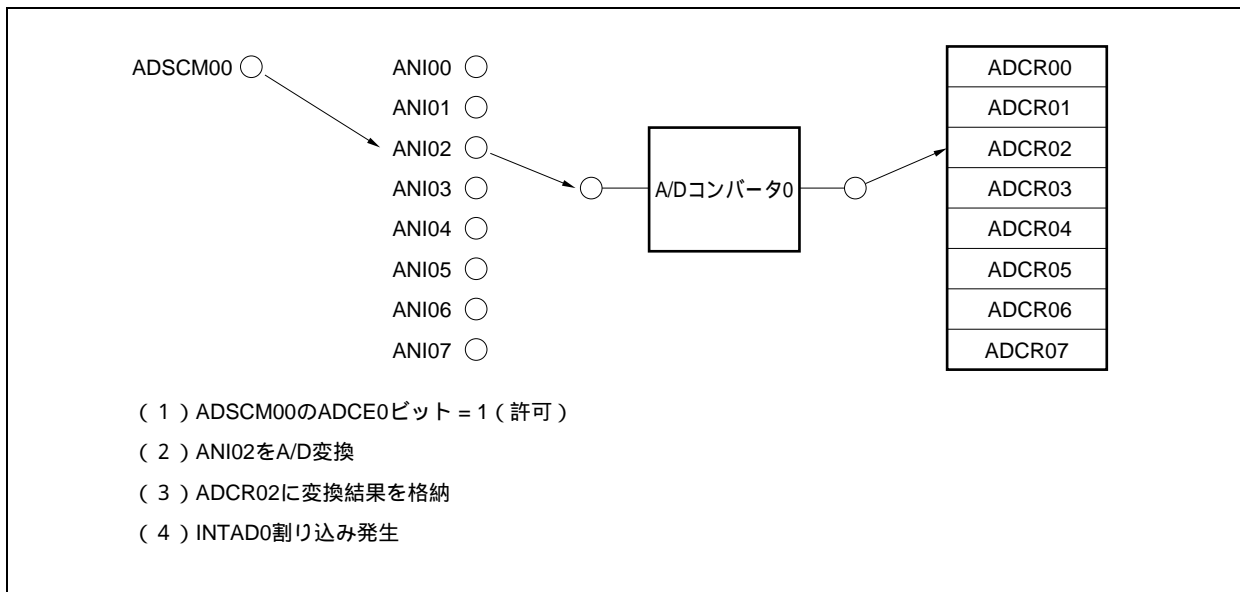
1回のA/D変換終了ごとにA/D変換終了割り込み( INTAD0, INTAD1)を発生し, A/D変換を終了します( ADCS0, ADCS1ビット = 0)。

アナログ入力	A/D変換結果レジスタ
ANIx	ADCRx

備考 x = 00-07, 10-17

A/D変換を再起動するには, ADSCM00, ADSCM10レジスタのADCE0, ADCE1ビットに1を書き込んでください。1回のA/D変換ごとに結果を読み出すような応用に最適です。

図13 - 6 セレクト・モード (A/Dトリガ・セレクト) の動作例 (ANI02) : A/Dコンバータ0の場合



### 13.6.2 スキャン・モードの動作

ADSCM00, ADSCM10レジスタで指定される変換開始アナログ入力端子から変換終了アナログ入力端子までを順に選択し, A/D変換します。A/D変換結果はアナログ入力に対応したADCR0n, ADCR1nレジスタに格納します (n = 0-7)。変換終了アナログ入力端子までアナログ入力がすべて変換終了すると, A/D変換終了割り込み (INTAD0, INTAD1) を発生し, A/D変換を終了します (ADSCM0, ADSCM1レジスタのADCS0, ADCS1ビット = 0)。

アナログ入力	A/D変換結果レジスタ
ANIx <sup>注1</sup>	ADCRx
ANIx <sup>注2</sup>	ADCRx

注1. ADSCM00, ADSCM10レジスタのSANI3-SANI0ビットで設定。

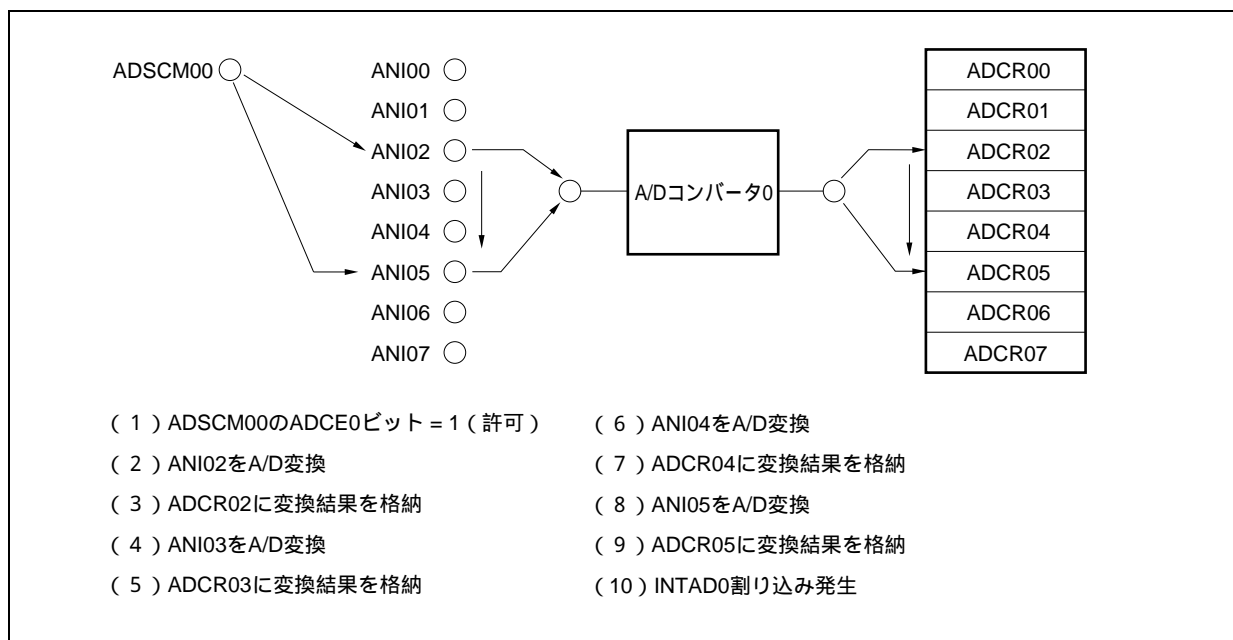
ただし, 注2で設定する変換終了アナログ入力端子番号よりも必ず小さい端子番号を設定してください。

2. ADSCM00, ADSCM10レジスタのANIS3-ANIS0ビットで設定。

備考 x = 00-07, 10-17

A/D変換を再起動するには, ADSCM00, ADSCM10レジスタのADCE0, ADCE1ビットに1を書き込んでください。複数のアナログ入力を常時監視するような応用に最適です。

図13-7 スキャン・モード (A/Dトリガ・スキャン) の動作例 (ANI02-ANI05) : A/Dコンバータ0の場合



## 13.7 A/Dトリガ・ポーリング・モード時の動作

ADSCM00, ADSCM10レジスタのADCE0, ADCE1ビットを1に設定すると, A/D変換を開始します。

A/Dトリガ・ポーリング・モードはセレクト・モード, スキャン・モードともに有効です。このモードの間は, INTAD0, INTAD1割り込みの後, ADSCM00, ADSCM10レジスタのADCS0, ADCS1ビットは1のままであり, A/D変換を継続しているため, A/D変換の再起動動作としてADCE0, ADCE1ビットに1を書き込む必要がありません。

### 13.7.1 セレクト・モードの動作

ADSCM00, ADSCM10レジスタで指定されるアナログ入力をA/D変換します。変換結果は, ADCR0n, ADCR1nレジスタに格納します (n = 0-7)。

1つのアナログ入力を1回A/D変換し, その結果を1つのADCR0n, ADCR1nレジスタに格納します。アナログ入力とADCR0n, ADCR1nレジスタは1対1に対応しています。

1回のA/D変換終了ごとにA/D変換終了割り込み (INTAD0, INTAD1) を発生します。ADCE0, ADCE1ビット = 0になるまでA/D変換動作を繰り返します (ADCS0, ADCS1ビット = 1)。

アナログ入力	A/D変換結果レジスタ
ANIx	ADCRx

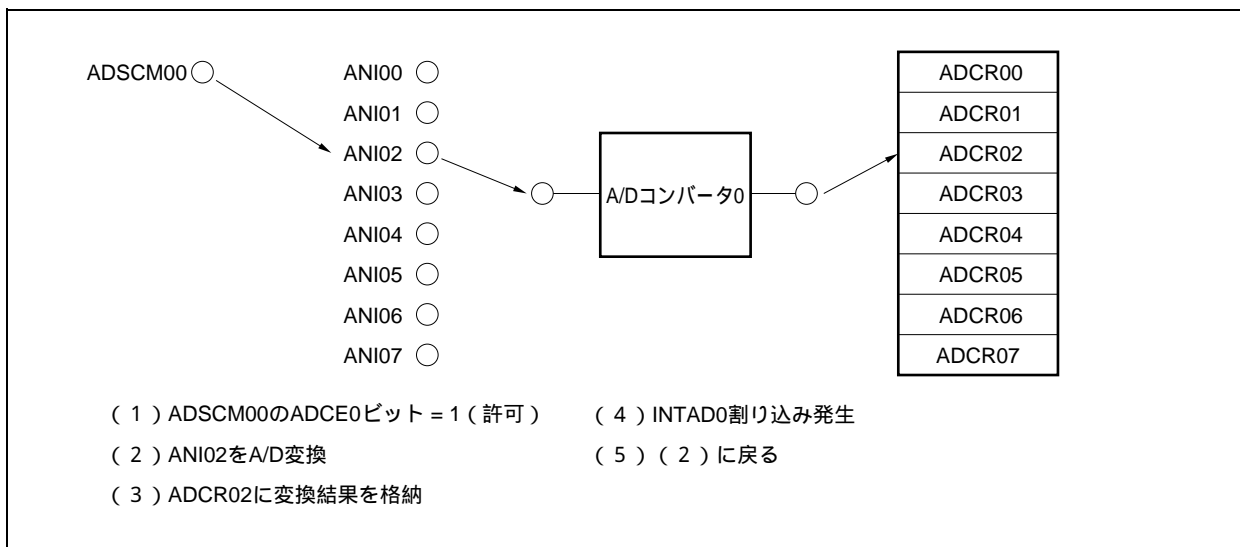
備考 x = 00-07, 10-17

A/D変換の再起動動作としてA/Dトリガ・ポーリング・モードでは, ADSCM00, ADSCM10レジスタのADCE0, ADCE1ビットに1を書き込む必要がありません<sup>注</sup>。

常時A/D変換値を読み出すような応用に最適です。

注 A/Dトリガ・ポーリング・モードでは, ADSCM00, ADSCM10レジスタのADCE0, ADCE1ビットを0にすることでADCS0, ADCS1ビットを0にしないかぎりA/D変換動作を停止しないため, 次のA/D変換までにADCR0n, ADCR1nレジスタを読み出さないと, 上書きされます。

図13-8 セレクト・モード (A/Dトリガ・ポーリング・セレクト) の動作例 (ANI02)  
: A/Dコンバータ0の場合



### 13.7.2 スキャン・モードの動作

ADSCM00, ADSCM10レジスタで指定される変換開始アナログ入力端子から変換終了アナログ入力端子までを順に選択し, A/D変換します。A/D変換結果はアナログ入力に対応したADCR0n, ADCR1nレジスタに格納します (n = 0-7)。変換終了アナログ入力端子までアナログ入力がすべて変換終了すると, A/D変換終了割り込み (INTAD0, ANTAD1)を発生します。ADCE0, ADCE1ビット = 0になるまでA/D変換動作を繰り返します(ADCS0, ADCS1ビット = 1)。

アナログ入力	A/D変換結果レジスタ
ANix <sup>注1</sup>	ADCRx
ANix <sup>注2</sup>	ADCRx

注1. ADSCM00, ADSCM10レジスタのSANI3-SANI0ビットで設定。

ただし, 注2で設定する変換終了アナログ入力端子番号よりも必ず小さい端子番号を設定してください。

2. ADSCM00, ADSCM10レジスタのANIS3-ANIS0ビットで設定。

備考 x = 00-07, 10-17

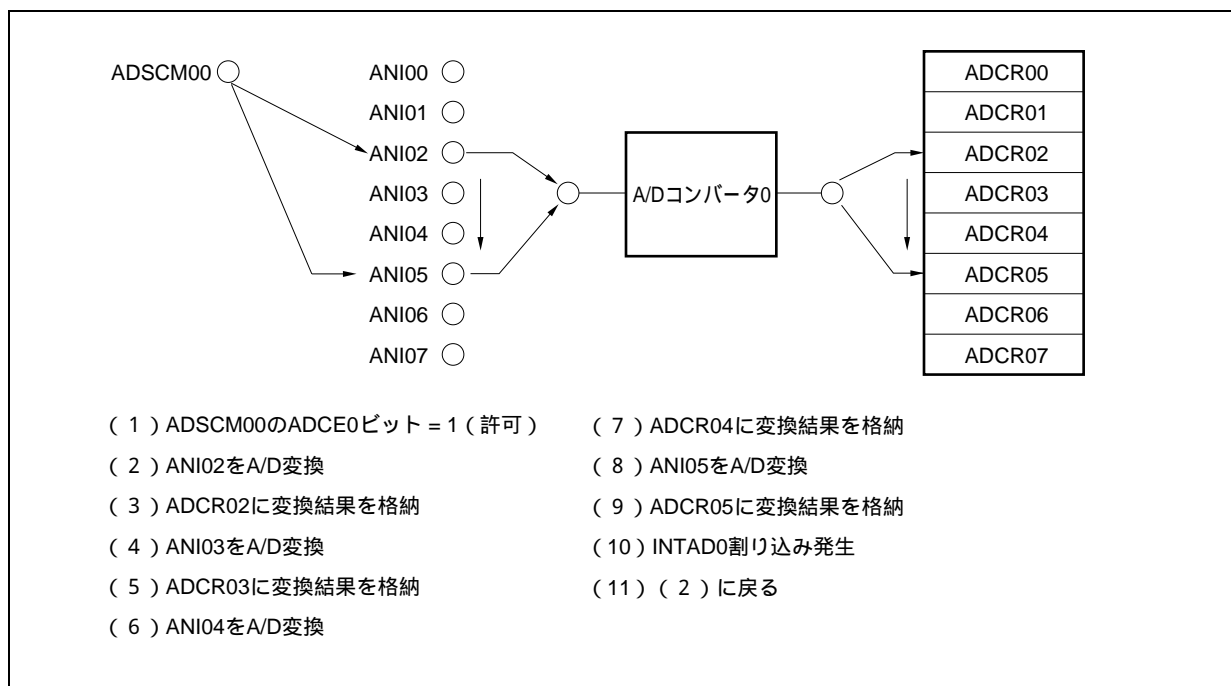
A/D変換の再起動動作としてA/Dトリガ・ポーリング・モードでは, ADSCM00, ADSCM10レジスタのADCE0, ADCE1ビットに1を書き込む必要がありません<sup>注</sup>。

常時A/D変換値を読み出すような应用到に最適です。

注 A/Dトリガ・ポーリング・モードでは, ADSCM00, ADSCM10レジスタのADCE0, ADCE1ビットを0にすることでADCS0, ADCS1ビットを0にしないかぎりA/D変換動作を停止しないため, 次のA/D変換までにADCR0n, ADCR1nを読み出さないと, 上書きされます。



図13 - 9 スキャン・モード (A/Dトリガ・ポーリング・スキャン) の動作例 (ANI02-ANI05)  
: A/Dコンバータ0の場合



## 13.8 タイマ・トリガ・モード時の動作

A/Dコンバータは、最大8チャンネル（2回路で合計16チャンネル）のアナログ入力（ANI00-ANI07, ANI10-ANI17）に対し、A/D内部トリガ選択レジスタ0（ITRG0）で指定された割り込み信号を変換トリガとして設定できます。

トリガとして選択できる割り込み信号はTM0nのタイマ0レジスタ・アンダフロー割り込み信号（INTTM00, INTTM01）とCM003, CM013の一致割り込み信号（INTCM003, INTCM013）の4つです（n = 0, 1）。

### 13.8.1 セレクト・モードの動作

A/D内部トリガ選択レジスタ0（ITRG0）で指定した割り込み信号をトリガとして、ADSCM00, ADSCM10レジスタで指定される1つのアナログ入力（ANI00-ANI07, ANI10-ANI17）を1回A/D変換します。変換結果は、アナログ入力に対応したADCR0n, ADCR1nレジスタに格納します（n = 0-7）。1回のA/D変換ごとにA/D変換終了割り込み（INTAD0, INTAD1）を発生し、A/D変換を終了します（ADCS0, ADCS1 = 0）。

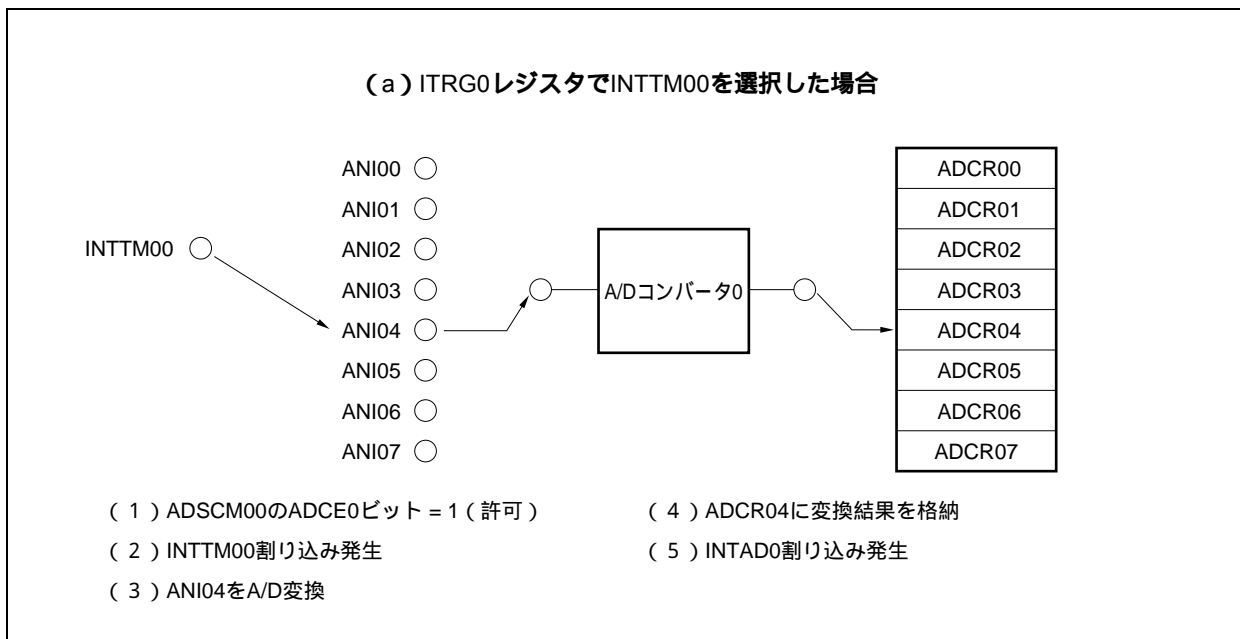
タイマ・トリガに同期したA/D変換値を読み出すような应用到に最適です。

トリガ	アナログ入力	A/D変換結果レジスタ
ITRG0レジスタで指定した割り込み	ANIn	ADCRx

備考 x = 00-07, 10-17

A/D変換終了後に、A/Dコンバータ0, 1はトリガ待ち状態（ADCE0, ADCE1 = 1）に移行します。ITRG0レジスタで指定されている割り込み信号が発生すると再度A/D変換動作を行います。

図13 - 10 タイマ・トリガ・セレクト・モードの動作例（ANI04）：A/Dコンバータ0の場合



### 13.8.2 スキャン・モードの動作

A/D内部トリガ選択レジスタ0 (ITRG0) で指定した割り込み信号をトリガとして, ADSCM00, ADSCM10レジスタで指定される変換開始アナログ入力端子から変換終了アナログ入力端子までを順に選択し, A/D変換します。変換結果はアナログ入力に対応したADCR0n, ADCR1nレジスタに格納します。指定されたすべてのA/D変換が終了するとA/D変換終了割り込み (INTAD0, INTAD1) を発生し, A/D変換を終了します (ADCS0, ADCS1 = 0)。

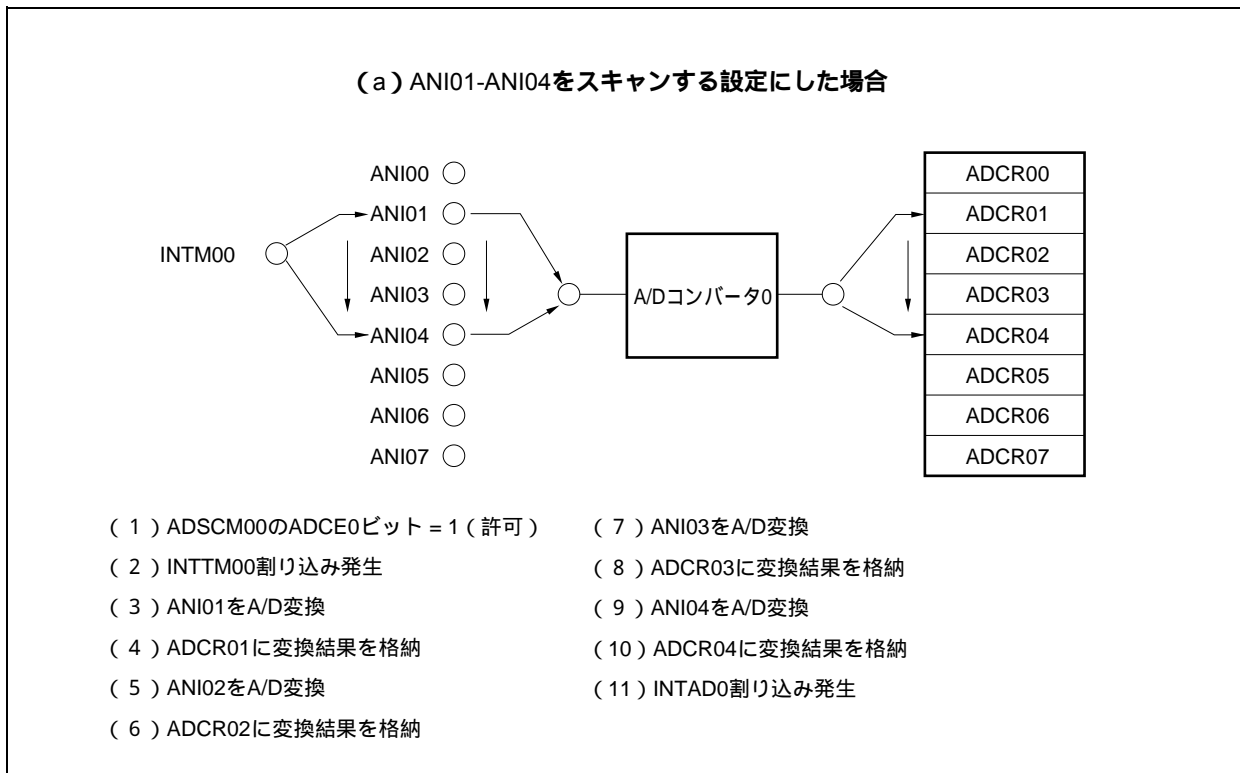
タイマ・トリガに同期して複数のアナログ入力を常時監視するような応用に最適です。

トリガ	アナログ入力	A/D変換結果レジスタ
ITRG0レジスタで指定した割り込み	ANIn0	ADCRn0
	ANIn1	ADCRn1
	ANIn2	ADCRn2
	ANIn3	ADCRn3
	ANIn4	ADCRn4
	ANIn5	ADCRn5
	ANIn6	ADCRn6
	ANIn7	ADCRn7

備考 n = 0, 1

指定されたすべてのA/D変換終了後に, A/Dコンバータはトリガ待ち状態 (ADCE0, ADCE1 = 1) に移行します。ITRG0レジスタで指定されている割り込み信号が発生すると再度A/D変換動作を行います。

図13 - 11 タイマ・トリガ・スキャン・モードの動作例 (A/Dコンバータ0の場合)  
: ITRG0レジスタでINTTM00を選択した場合



## 13.9 外部トリガ・モード時の動作

外部トリガ・モードでは、アナログ入力 (ANI00-ANI07, ANI10-ANI17) をADTRG0, ADTRG1端子の入力タイミングでA/D変換します。

外部トリガ・モード時の外部入力信号の有効エッジは、A/Dコンバータ0の場合にはINTM1レジスタのES21, ES20ビットで、A/Dコンバータ1の場合にはINTM1レジスタのES31, ES30ビットで立ち上がりエッジ、立ち下がりエッジ、立ち上がり / 立ち下がり両エッジのどれかに指定できます。

### 13.9.1 セレクト・モードの動作

ADSCM00, ADSCM10レジスタで指定する1つのアナログ入力 (ANI00-ANI07, ANI10-ANI17) をA/D変換します。変換結果は、ADCR0n, ADCR1nレジスタに格納します (n = 0-7)。

ADTRG0, ADTRG1信号をトリガとして各1つのアナログ入力を1回A/D変換し、その結果を各1つのADCR0n, ADCR1nレジスタに格納します。アナログ入力とA/D変換結果レジスタは1対1に対応しています。1回のA/D変換ごとにA/D変換終了割り込み (INTAD0, INTAD1) を発生し、A/D変換を終了します (ADCS0, ADCS1ビット = 0)。

トリガ	アナログ入力	A/D変換結果レジスタ
ADTRGm信号	ANImn	ADCRmn

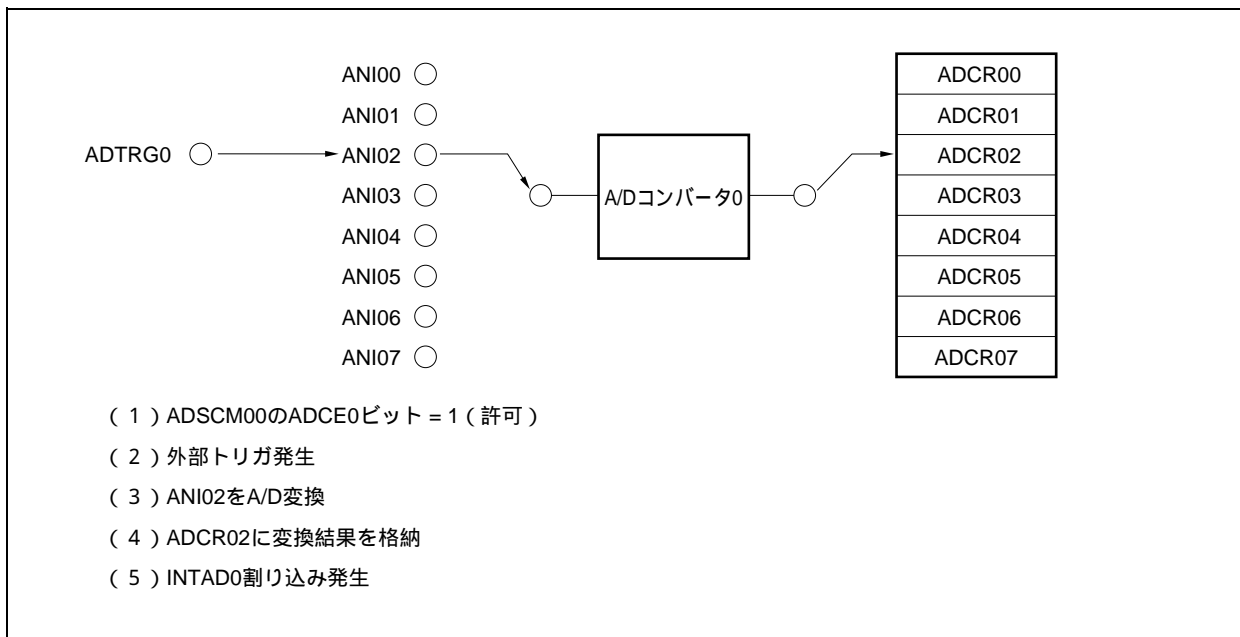
備考 m = 0, 1

n = 0-7

A/D変換を再起動するには、ADTRGn端子からトリガを再度入力する必要があります (n = 0, 1)。

外部トリガに同期して、1回のA/D変換ごとに結果を読み出すような応用に最適です。

図13 - 12 セレクト・モード (外部トリガ・セレクト) の動作例 (ANI02) : A/Dコンバータ0の場合





## 13. 10 動作上の注意事項

### 13. 10. 1 A/D変換動作の停止

A/D変換動作中にADSCM00, ADSCM10レジスタのADCE0, ADCE1ビットに0を書き込むとA/D変換動作を停止し, ADCR0n, ADCR1nレジスタへのA/D変換結果を格納しません (n = 0-7)。

### 13. 10. 2 A/D変換動作中のトリガ入力

A/D変換動作中にトリガ入力された場合には, そのトリガ入力を無視します。

### 13. 10. 3 外部/タイマ・トリガの間隔

外部/タイマ・トリガ・モード時のトリガの間隔(入力時間の間隔)は, ADSCM01, ADSCM11レジスタのFR2-FR0ビットで指定する変換時間より長くしてください。

#### (1) インターバル = 0の場合

複数のトリガが同時に入力された場合, 1つのトリガ信号として処理されます。

#### (2) 0 < インターバル < 変換時間の場合

A/D変換動作中に外部/タイマ・トリガが入力された場合, そのトリガ入力を無視します。

#### (3) インターバル = 変換時間の場合

A/D変換終了と同時に外部/タイマ・トリガが入力された場合(コンパレート終了信号とトリガの競合)は, 割り込みの発生, 変換が終了した値のADCR0n, ADCR1nレジスタの格納は正しく行われます(n = 0-7)。

### 13. 10. 4 スタンバイ・モード時の動作

#### (1) HALTモード

A/D変換動作を継続します。NMI, マスカブル割り込み入力で解除した場合, ADSCM00, ADSCM10, ADSCM01, ADSCM11レジスタとADCR0n, ADCR1nレジスタは値を保持します(n = 0-7)。

$\overline{\text{RESET}}$ 入力で解除した場合, ADCR0n, ADCR1nレジスタは初期化されます。

#### (2) IDLEモード, ソフトウェアSTOPモード

A/Dコンバータ0, 1へのクロック供給は止まるため, A/D変換動作は行われません。

NMI, マスカブル割り込み入力で解除した場合, ADSCM00, ADSCM10, ADSCM01, ADSCM11レジスタとADCR0n, ADCR1nレジスタは値を保持します(n = 0-7)。ただし, A/D変換動作中にIDLEモード, ソフトウェアSTOPモードに設定した場合, A/D変換動作は停止します。

$\overline{\text{RESET}}$ 入力で解除した場合, ADCR0n, ADCR1nレジスタは初期化されます。

### 13. 10. 5 タイマ・トリガ・モード時のコンペアー一致割り込み

TM0nのタイマ0レジスタ・アンダフロー割り込み (INTTM00, INTTM01) とCM003, CM013の割り込み (INTCM003, INTCM013) がA/D変換開始のトリガとなり、変換動作を開始します(n = 0, 1)。このとき, CM003, CM013の一致割り込み (INTCM003, INTCM013) は, CPUに対するコンペアー・レジスタの一致割り込みとしても機能します。CPUに対するこれらの一致割り込みを発生させないためには, 割り込み制御レジスタ (TM0IC0, TM0IC1, CM03IC0, CM03IC1) のマスク・ビット (TM0MK0, TM0MK1, CM03MK0, CM03MK1) で割り込みを禁止してください。

### 13. 10. 6 A/D変換結果が不定になるタイミング

A/D変換終了のタイミングとA/D変換動作を停止するタイミングが競合するとA/D変換値は不定になることがあります。そのため, A/D変換結果を読み出す場合は, A/D変換動作中に行ってください。またA/D変換動作を停止してから変換結果を読み出す場合は, 次の変換結果が終了するまでにA/D変換動作を停止してから行ってください。

変換結果を読み出すタイミングを図13 - 14, 図13 - 15に示します。

図13 - 14 変換結果を読み出すタイミング (変換結果が不定値の場合)

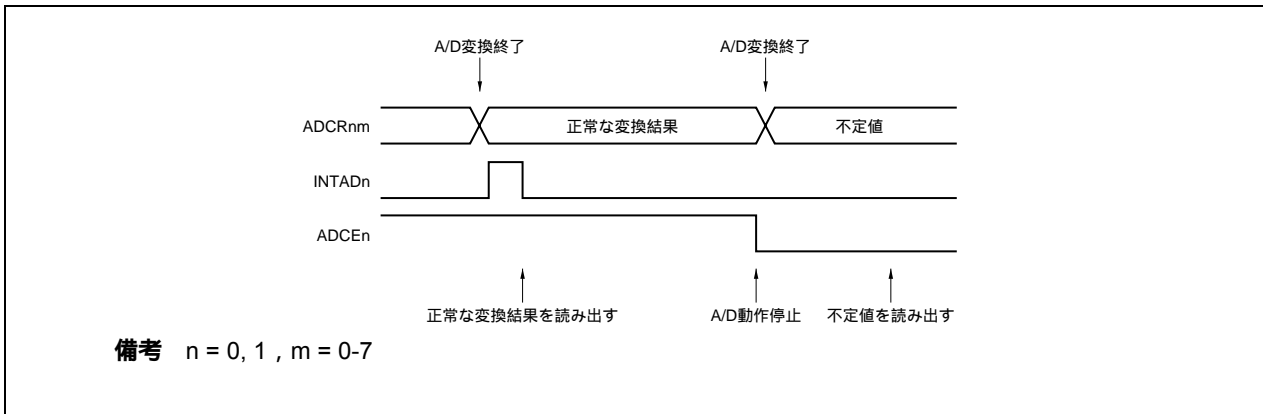
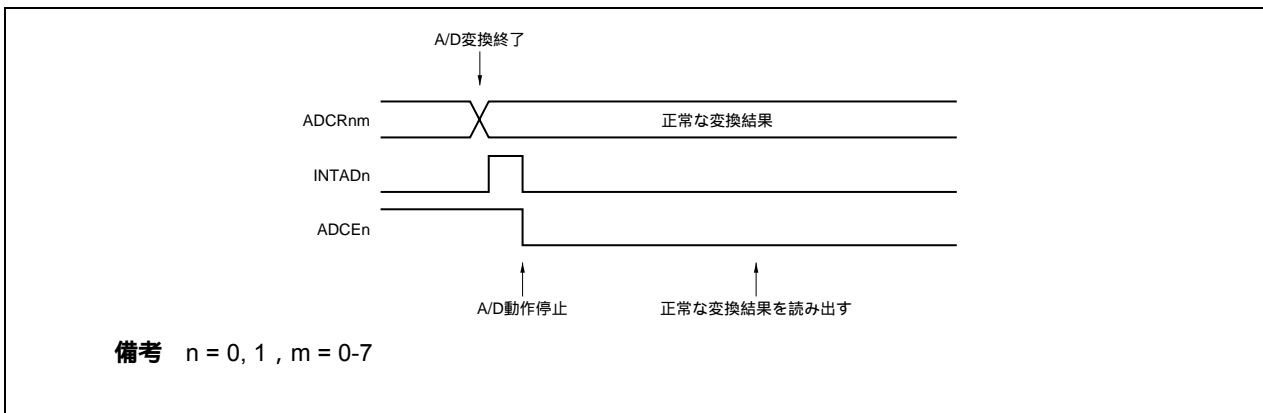


図13 - 15 変換結果を読み出すタイミング (変換結果が正常値の場合)



### 13. 10. 7 タイマ・トリガの発生と外部トリガ入力の競合による制限事項

タイマ・トリガ・モード時または外部トリガ・モード時に、タイマ・トリガの発生タイミングと外部トリガの入力タイミングが競合すると、A/D変換を開始しない場合があります。ただし、その後新たにトリガが入力された場合は正常にA/D変換を開始し、終了します。

また、A/Dコンバータの外部トリガ入力端子は、ADTRG0とADTRG1の2本あり、外部割り込み要求入力端子 (INTP2, INTP3) とポート入力端子 (P03, P04) を兼用していますが、それぞれの機能をマスクできません。したがって、外部トリガ入力端子としてではなく、外部割り込み要求入力端子やポート入力端子として使用した場合でも、INTM1レジスタで設定した有効エッジの検出により外部トリガとして上記の競合動作を行います。

V850E/IA1は、A/Dコンバータを2回路搭載しています。外部トリガ入力端子は2本あり、ADTRG0端子はA/Dコンバータ0用、ADTRG1端子はA/Dコンバータ1用です。したがって、ADTRG0端子の入力はA/Dコンバータ1の動作に影響を与えないし、ADTRG1端子の入力はA/Dコンバータ0の動作に影響を与えません。

#### 【非該当条件】

A/Dトリガ・モード、A/Dトリガ・ポーリング・モード時には、この制限事項は該当しません。

#### 【回避策】

- ・タイマ・トリガ・モード時には、次に示す [図13-10-1](#)、[図13-10-2](#) のいずれかの対応をすることで、この制限事項を回避できます。

A/D変換トリガ・モードとして、A/Dトリガ・モードまたはA/Dトリガ・ポーリング・モードに設定し、ITRG0レジスタで設定しようとしていたタイマの割り込み処理内で、ソフトウェアによりA/D変換トリガを設定し、A/D変換を行ってください。

外部トリガ入力端子 (ADTRG0, ADTRG1) の入力レベルを固定してください。

- ・外部トリガ・モード時には、次に示す [図13-10-3](#)、[図13-10-4](#) のいずれかの対応をすることで、この制限事項を回避できます。

A/D変換トリガ・モードとして、A/Dトリガ・モードまたはA/Dトリガ・ポーリング・モードに設定し、外部割り込み処理内で、ソフトウェアによりA/D変換トリガを設定し、A/D変換を行ってください。タイマ0をPWMモード2 (のこぎり波) に設定し、ITRG0レジスタでINTTM0またはINTTM01割り込みを設定してください。PWMモード2 (のこぎり波) では、INTTM0、INTTM01割り込みは発生しません。



### 13. 10. 8 スキャン・モード (A/Dトリガ・モード, A/Dトリガ・ポーリング・モード, タイマ・トリガ・モード, 外部トリガ・モード), セレクト・モード (A/Dトリガ・ポーリング・モード) の強制中断時の終了方法について

スキャン・モード (A/Dトリガ・モード, A/Dトリガ・ポーリング・モード, タイマ・トリガ・モード, 外部トリガ・モード), セレクト・モード (A/Dトリガ・ポーリング・モード) のA/D変換中に, ADSCMn0レジスタのADCEnビット = 0によりA/D変換を強制中断させる場合は, 必ず次に示す手順のようにADCEnビット = 0を3回連続して行い, 終了させてください。

なお, スキャン・モード (A/Dトリガ・モード, A/Dトリガ・ポーリング・モード, タイマ・トリガ・モード, 外部トリガ・モード) 時にADCEnビット = 0により強制中断させる場合は, 中断せずに指定された変換終了アナログ入力端子までA/D変換し, すべてのA/D変換が終了するとA/D変換終了割り込み (INTADn) が発生する場合があります。

DI命令 (割り込み受け付け禁止)

ADSCMn0レジスタのADCEnビット = 0

ADSCMn0レジスタのADCEnビット = 0

ADSCMn0レジスタのADCEnビット = 0

} 3回連続実行

EI命令 (割り込み受け付け許可)

### 13. 10. 9 A/D変換結果のばらつき

電源電圧の変動やノイズなどの影響によりA/D変換結果がばらつくことがあります。ばらつきを軽減する必要がある場合は, A/D変換結果の平均値をとるなど, プログラムで対策してください。

### 13. 10. 10 A/D変換のヒステリシス特性

逐次比較型A/Dコンバータは, 内部のサンプル&ホールド用コンデンサにアナログ入力電圧を保持し, そのあと, A/D変換を行います。A/D変換が終了したあとも, 内部のサンプル&ホールド用コンデンサには, アナログ入力電圧が残っています。このため, アナログ入力源の出力インピーダンスが高いと次のような現象が起きることがあります。

- ・同一チャンネルでA/D変換を実行している場合, 以前のA/D変換時よりも高い電圧, または低い電圧に変化していると, 変換結果が以前の値に影響されるヒステリシス特性が現れ, 同じ電位でも変換結果が異なる場合があります。
- ・アナログ入力チャンネルを切り替える場合, 1つのA/Dコンバータを用いてA/D変換を行っているため, 変換結果が以前のチャンネルの値に影響されるヒステリシス特性が現れ, 同じ電位でも変換結果が異なる場合があります。

このため, より正確な変換結果を得たい場合は, アナログ入力源の出力インピーダンスを低くするか, または同一チャンネルで2回連続A/D変換を行い, 1回目の変換結果を廃棄してください。

## 13.11 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

### (1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1LSB (Least Significant Bit) といいます。1LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次の式になります。

$$\begin{aligned} 1\%FSR &= (\text{変換可能なアナログ入力電圧の最大値} - \text{変換可能なアナログ入力電圧の最小値}) / 100 \\ &= (AV_{REFn} - 0) / 100 \\ &= AV_{REFn} / 100 \end{aligned}$$

**備考**  $n = 0, 1$

1LSBは分解能10ビットのとき、次のようになります。

$$\begin{aligned} 1LSB &= 1/2^{10} = 1/1024 \\ &= 0.098 \%FSR \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

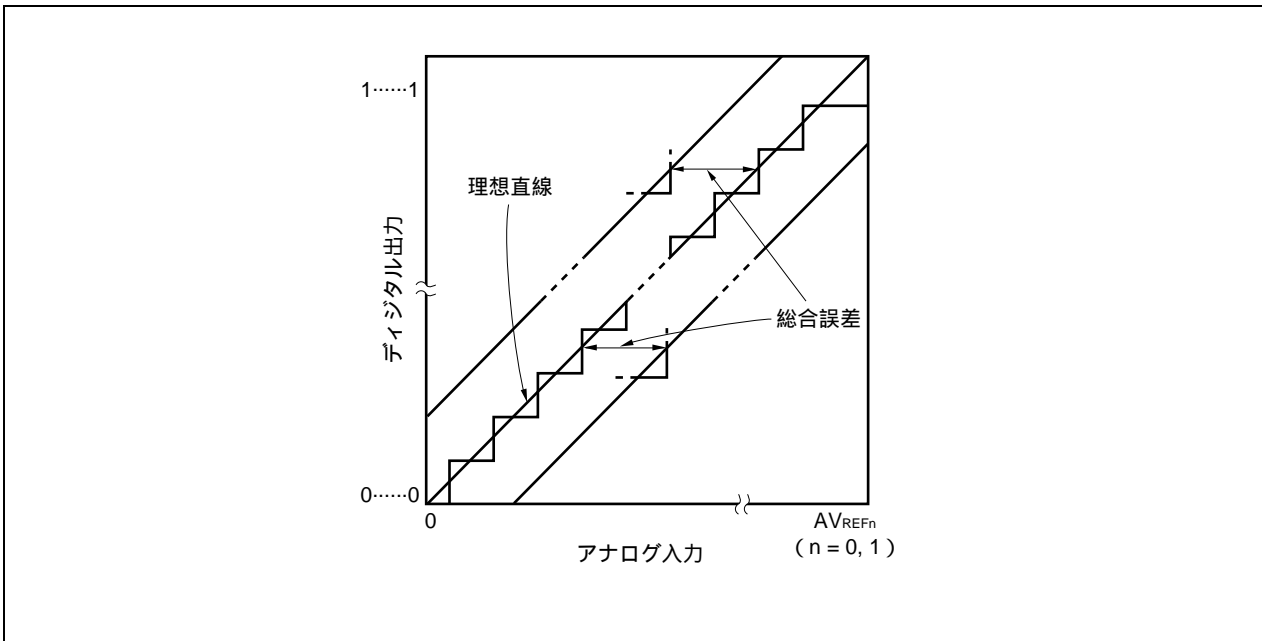
### (2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、直線性誤差、およびそれらの組み合わせから生じる誤差を総合したものです。

なお、特性表の総合誤差には量子化誤差は含まれていません。

図13 - 16 総合誤差

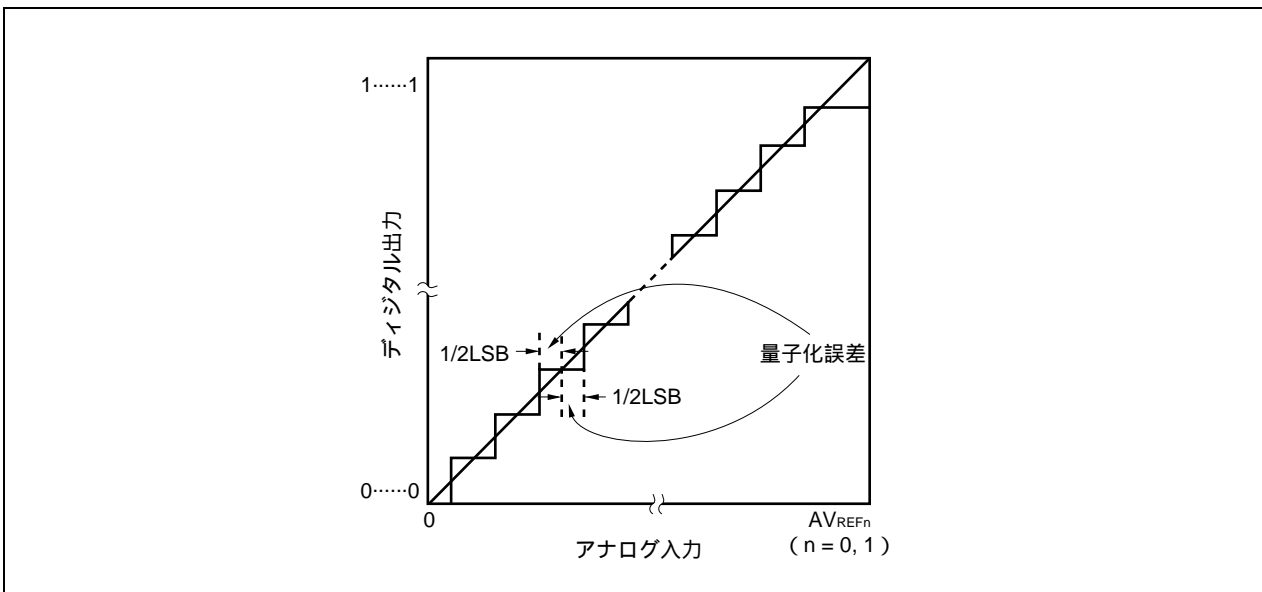


(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる  $\pm 1/2\text{LSB}$  の誤差です。A/Dコンバータでは、 $\pm 1/2\text{LSB}$  の範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

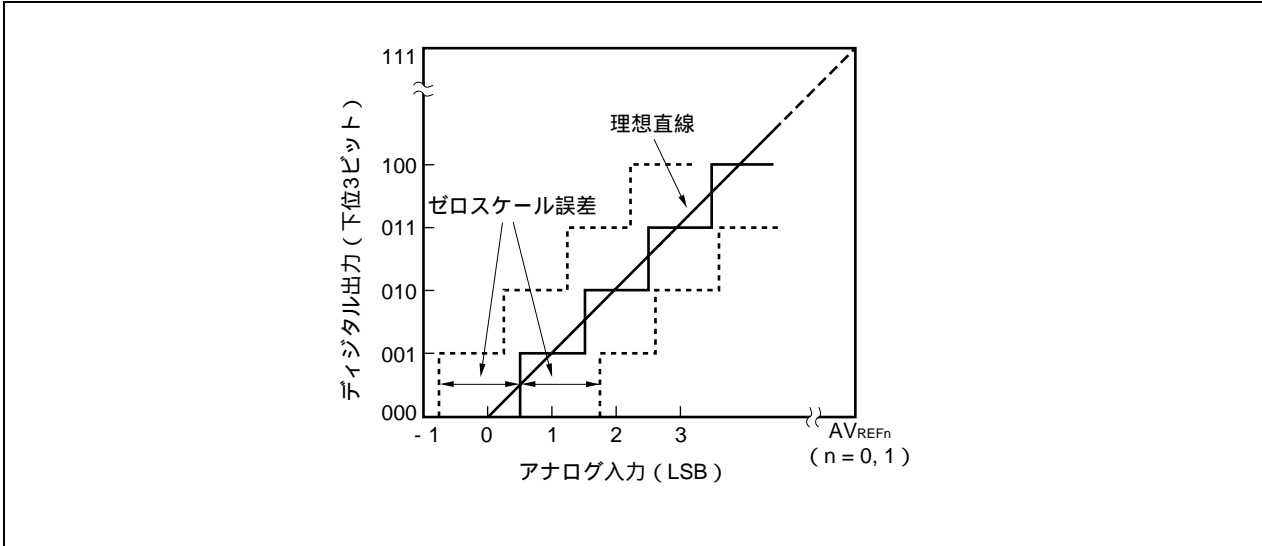
図13 - 17 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値 (1/2LSB) との差を表します。

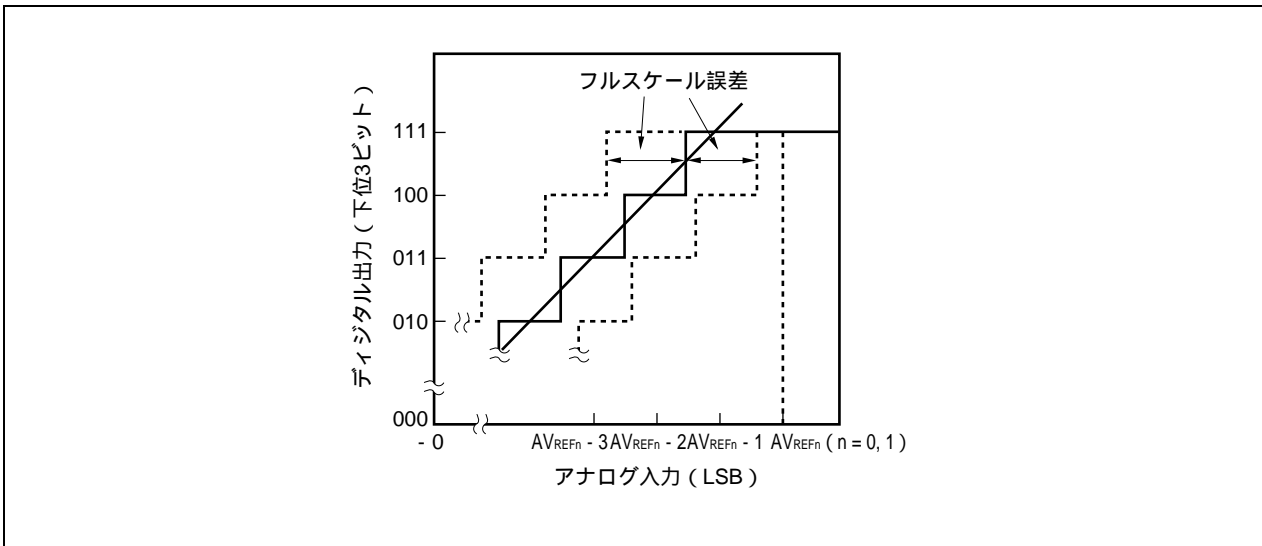
図13 - 18 ゼロスケール誤差



(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値 (フルスケール - 3/2LSB) との差を表します。

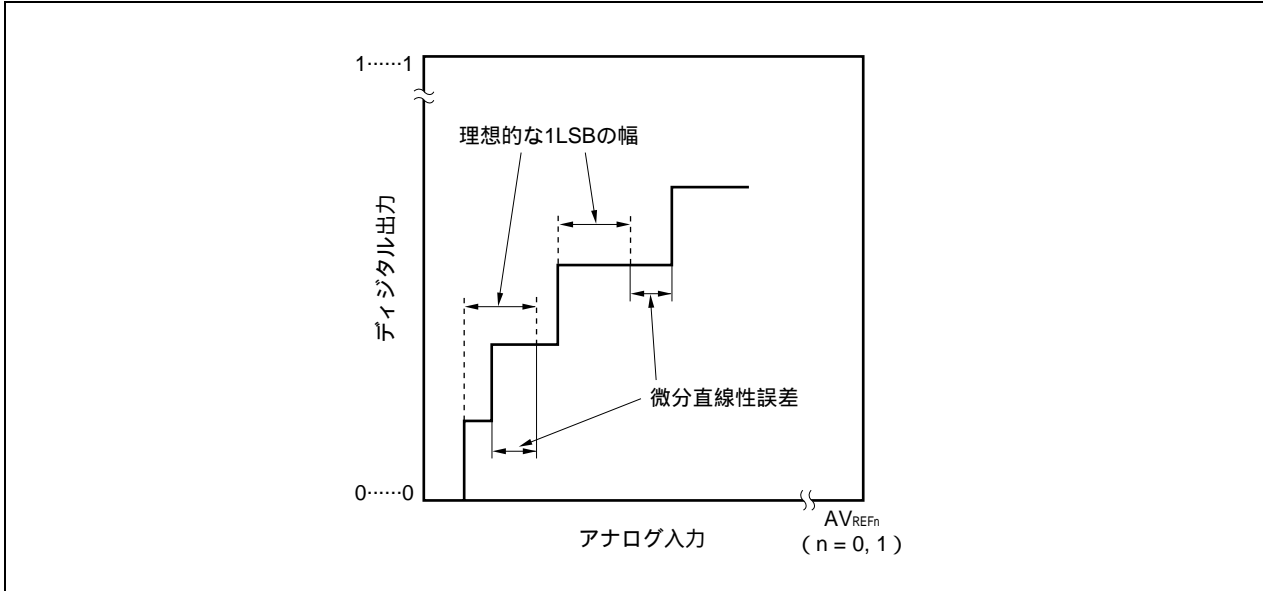
図13 - 19 フルスケール誤差



(6) 微分直線性誤差

理想的にはあるコードを出力する幅は1LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

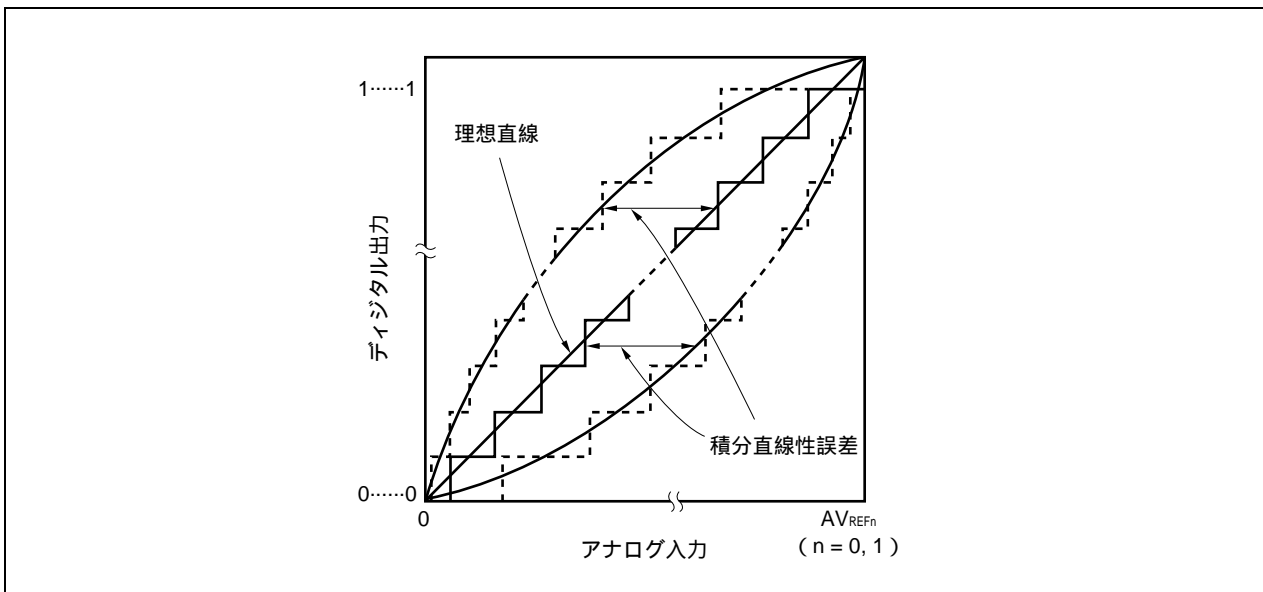
図13 - 20 微分直線性誤差



(7) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を指します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

図13 - 21 積分直線性誤差



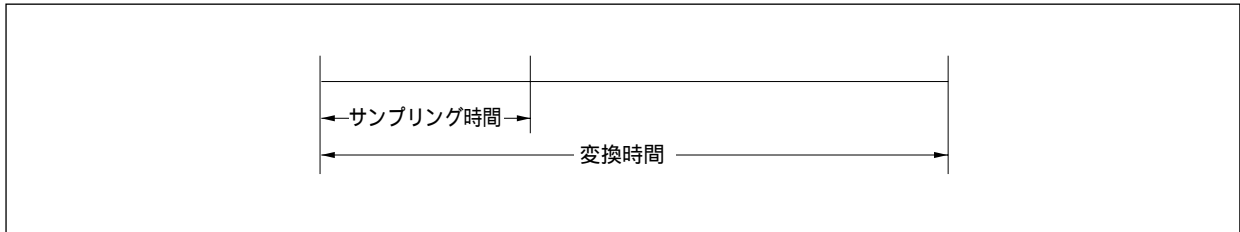
**(8) 変換時間**

各トリガが発生してから、デジタル出力が得られるまでの時間を表します。  
特性表の変換時間にはサンプリング時間が含まれています。

**(9) サンプリング時間**

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。

図13 - 22 サンプリング時間



# 第14章 ポート機能

## 14.1 特 徴

入力専用ポート : 8本

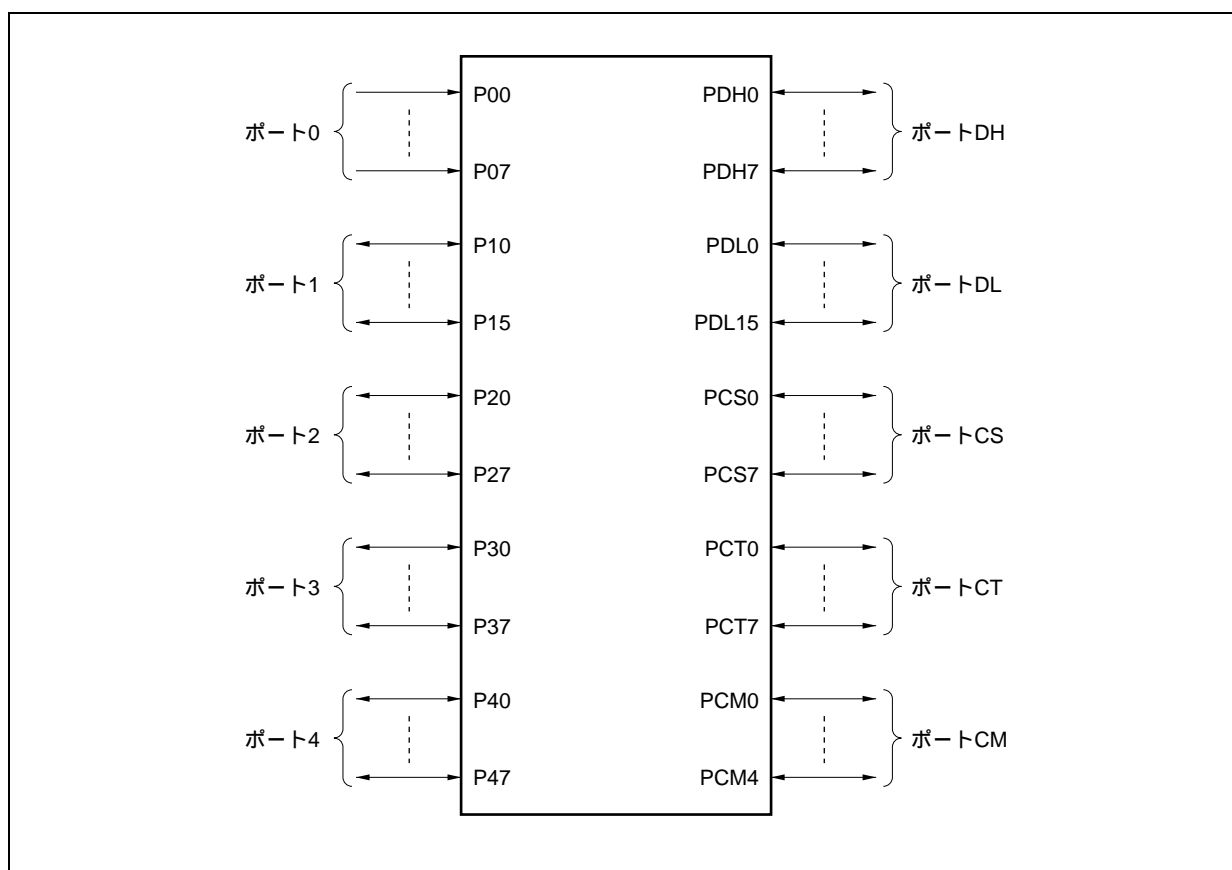
入出力ポート : 75本

ほかの周辺機能の入出力端子と兼用

ビット単位で入力/出力指定可能

## 14.2 ポートの基本構成

V850E/IA1は、ポート0-4, DH, DL, CS, CT, CMの合計83本の入力/出力ポート(うち8本は入力専用ポート)を内蔵しています。ポートの構成を次に示します。



### (1) 各ポートの機能

V850E/IA1のポートには、次に示すような種類があります。

どのポートも8/1ビット単位の操作が可能で、多様な制御を行うことができます。

また、ポートとしての機能のほかにコントロール・モードとして内蔵周辺I/Oの入出力端子としての機能を持っています。

各ポートのブロック・タイプのブロック図については、(3) **ポートのブロック図**を参照してください。

ポート名	端子名	ポート機能	コントロール・モード時の機能	ブロック・タイプ
ポート0	P00-P07	8ビット入力	NMI入力, タイマ/カウンタ出力停止信号入力, 外部割り込み入力, A/Dコンバータ(ADC)外部トリガ入力	F
ポート1	P10-P15	6ビット入出力	タイマ/カウンタ入出力 外部割り込み入力	B, N
ポート2	P20-P27	8ビット入出力	タイマ/カウンタ入出力 外部割り込み入力	B, N
ポート3	P30-P37	8ビット入出力	シリアル・インタフェース入出力(UART0-UART2)	A, C, G, H, M
ポート4	P40-P47	8ビット入出力	シリアル・インタフェース入出力(CSI0, CSI1, FCAN)	A, C, M
ポートDH	PDH0-PDH7	8ビット入出力	外部アドレス・バス(A16-A23)	P
ポートDL	PDL0-PDL15	16ビット入出力	外部アドレス/データ・バス(AD0-AD15)	O
ポートCS	PCS0-PCS7	8ビット入出力	外部バス・インタフェース制御信号出力	J
ポートCT	PCT0-PCT7	8ビット入出力	外部バス・インタフェース制御信号出力	E, J
ポートCM	PCM0-PCM4	5ビット入出力	ウェイト挿入信号入力, 内部システム・クロック出力, 外部バス・インタフェース制御信号入出力	D, E, J

注意1. コントロール・モード時に、出力または入出力端子として動作するポートをコントロール・モードに切り替える場合は、必ず次に示す手順で設定を行ってください。

コントロール・モードで出力する信号のインアクティブ・レベルをポートnの該当するビットに設定します (n = 0-4, CM, CS, CT, DH, DL)

ポートnモード・コントロール・レジスタ(PMCn)により、コントロール・モードに切り替えます。

上記の を行わない場合は、ポート・モードからコントロール・モードに切り替える際にポートnの内容が一瞬出力されることがあります。

2. ビット操作命令 (SET1, CLR1, NOT1) でポート操作を行う場合、ポートに対してバイト・データ・リードを行い、操作対象のビットのみデータの加工を行い、変換後のバイト・データをポートに書き戻します。

たとえば、入力/出力が混在しているポートでは、操作対象ビット以外のビットにも出力ラッチの内容が上書きされるため、入力端子の出力ラッチは不定になります (ただし、入力モードの場合、出力バッファがオフしているため、端子状態は変化しません)。

したがって、ポートを入力から出力に切り替える場合は、該当するビットに出力期待値を設定してから、出力ポートに切り替えてください。また、コントロール・モードと出力ポートが混在する場合も同様です。

3. ポート端子の状態は、ポートnモード・レジスタ(PMn)を入力モードに設定することにより、PMcnレジスタの設定にかかわらずリードできます。なお、PMnレジスタを出力モードに設定したときは、ポート・モード時はポートnレジスタ(Pn)の値、コントロール・モード時は兼用機能の出力状態がリードできます。



(2) 各ポート端子のリセット時の機能とポート/コントロール・モードを設定するレジスタ

ポート名	端子名	リセット時の端子機能				モードを設定する レジスタ
		シングルチップ・モード0	シングルチップ・モード1	ROMレス・モード0	ROMレス・モード1	
ポート0	P00/NMI	P00 (入力モード)				-
	P01/ES00/INTP0	P01 ( " )				
	P02/ES01/INTP1	P02 ( " )				
	P03/ADTRG0/INTP2	P03 ( " )				
	P04/ADTRG1/INTP3	P04 ( " )				
	P05/INTP4	P05 ( " )				
	P06/INTP5	P06 ( " )				
	P07/INTP6	P07 ( " )				
ポート1	P10/TIUD10/TO10	P10 (入力モード)				PMC1, PFC1
	P11/TCUD10/INTP100	P11 ( " )				PMC1
	P12/TCLR10/INTP101	P12 ( " )				
	P13/TIUD11/TO11	P13 ( " )				PMC1, PFC1
	P14/TCUD11/INTP110	P14 ( " )				PMC1
	P15/TCLR11/INTP111	P15 ( " )				
ポート2	P20/TI2/INTP20	P20 (入力モード)				PMC2
	P21/TO21/INTP21	P21 ( " )				PMC2, PFC2
	P22/TO22/INTP22	P22 ( " )				
	P23/TO23/INTP23	P23 ( " )				
	P24/TO24/INTP24	P24 ( " )				
	P25/TCLR2/INTP25	P25 ( " )				PMC2
	P26/TI3/TCLR3/INTP30	P26 ( " )				
	P27/TO3/INTP31	P27 ( " )				PMC2, PFC2
ポート3	P30/RXD0	P30 (入力モード)				PMC3
	P31/TXD0	P31 ( " )				
	P32/RXD1	P32 ( " )				
	P33/TXD1	P33 ( " )				
	P34/ASCK1	P34 ( " )				
	P35/RXD2	P35 ( " )				
	P36/TXD2	P36 ( " )				
	P37/ASCK2	P37 ( " )				
ポート4	P40/SI0	P40 (入力モード)				PMC4
	P41/SO0	P41 ( " )				
	P42/SCK0	P42 ( " )				
	P43/SI1	P43 ( " )				
	P44/SO1	P44 ( " )				
	P45/SCK1	P45 ( " )				
	P46/CRXD	P46 ( " )				
	P47/CTXD	P47 ( " )				

ポート名	端子名	リセット時の端子機能				モードを設定するレジスタ
		シングルチップ・モード0	シングルチップ・モード1	ROMレス・モード0	ROMレス・モード1	
ポートCM	PCM0/ $\overline{\text{WAIT}}$	PCM0 (入力モード)	$\overline{\text{WAIT}}$			PMCCM
	PCM1/ $\overline{\text{CLKOUT}}$	PCM1 ( " )	$\overline{\text{CLKOUT}}$			
	PCM2/ $\overline{\text{HLDAK}}$	PCM2 ( " )	$\overline{\text{HLDAK}}$			
	PCM3/ $\overline{\text{HLDRQ}}$	PCM3 ( " )	$\overline{\text{HLDRQ}}$			
	PCM4	PCM4 (入力モード)				-
ポートCT	PCT0/ $\overline{\text{LWR}}$	PCT0 (入力モード)	$\overline{\text{LWR}}$			PMCCT
	PCT1/ $\overline{\text{UWR}}$	PCT1 (入力モード)	$\overline{\text{UWR}}$			
	PCT2	PCT2 (入力モード)				-
	PCT3	PCT3 (入力モード)				
	PCT4/ $\overline{\text{RD}}$	PCT4 (入力モード)	$\overline{\text{RD}}$			PMCCT
	PCT5	PCT5 (入力モード)				-
	PCT6/ $\overline{\text{ASTB}}$	PCT6 (入力モード)	$\overline{\text{ASTB}}$			PMCCT
	PCT7	PCT7 (入力モード)				-
ポートCS	PCS0/ $\overline{\text{CS0}}$ -PCS7/ $\overline{\text{CS7}}$	PCS0-PCS7 (入力モード)	$\overline{\text{CS0-CS7}}$			PMCCS
ポートDH	PDH0/A16-PDH7/A23	PDH0-PDH7 (入力モード)	A16-A23			PMCDH
ポートDL	PDL0/AD0-PDL15/AD15	PDL0-PDL15 (入力モード)	AD0-AD15			PMCDL

(3) ポートのブロック図

図14 - 1 タイプAのブロック図

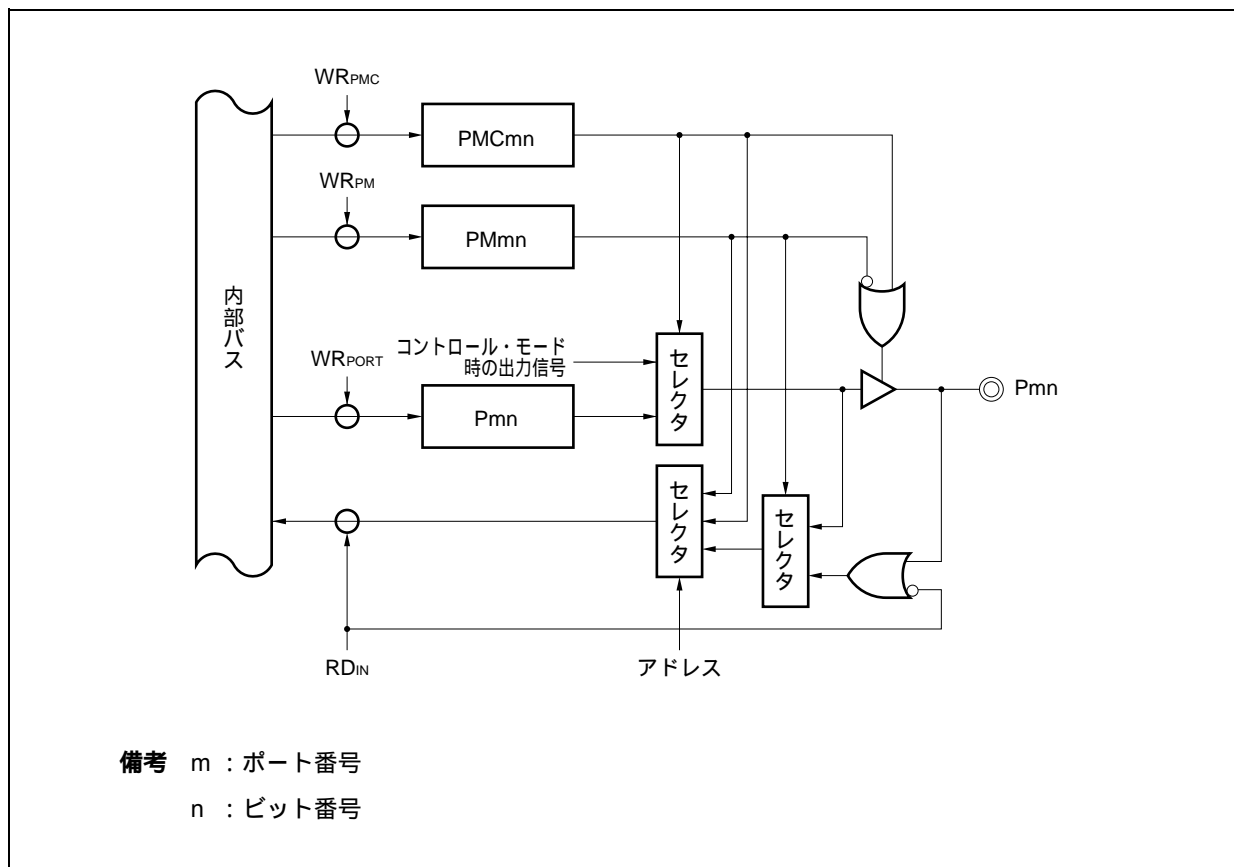


図14 - 2 タイプBのブロック図

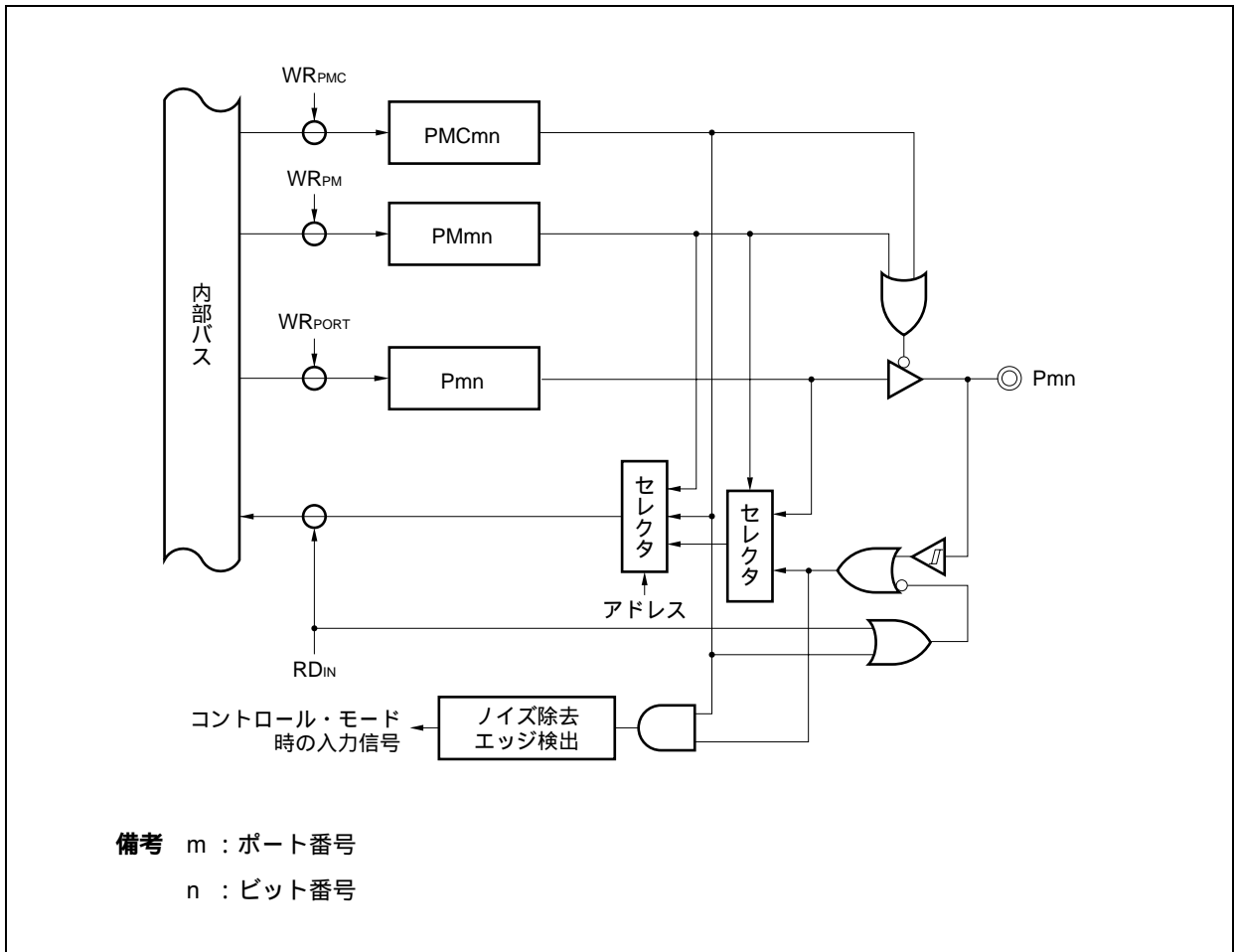


図14 - 3 タイプCのブロック図

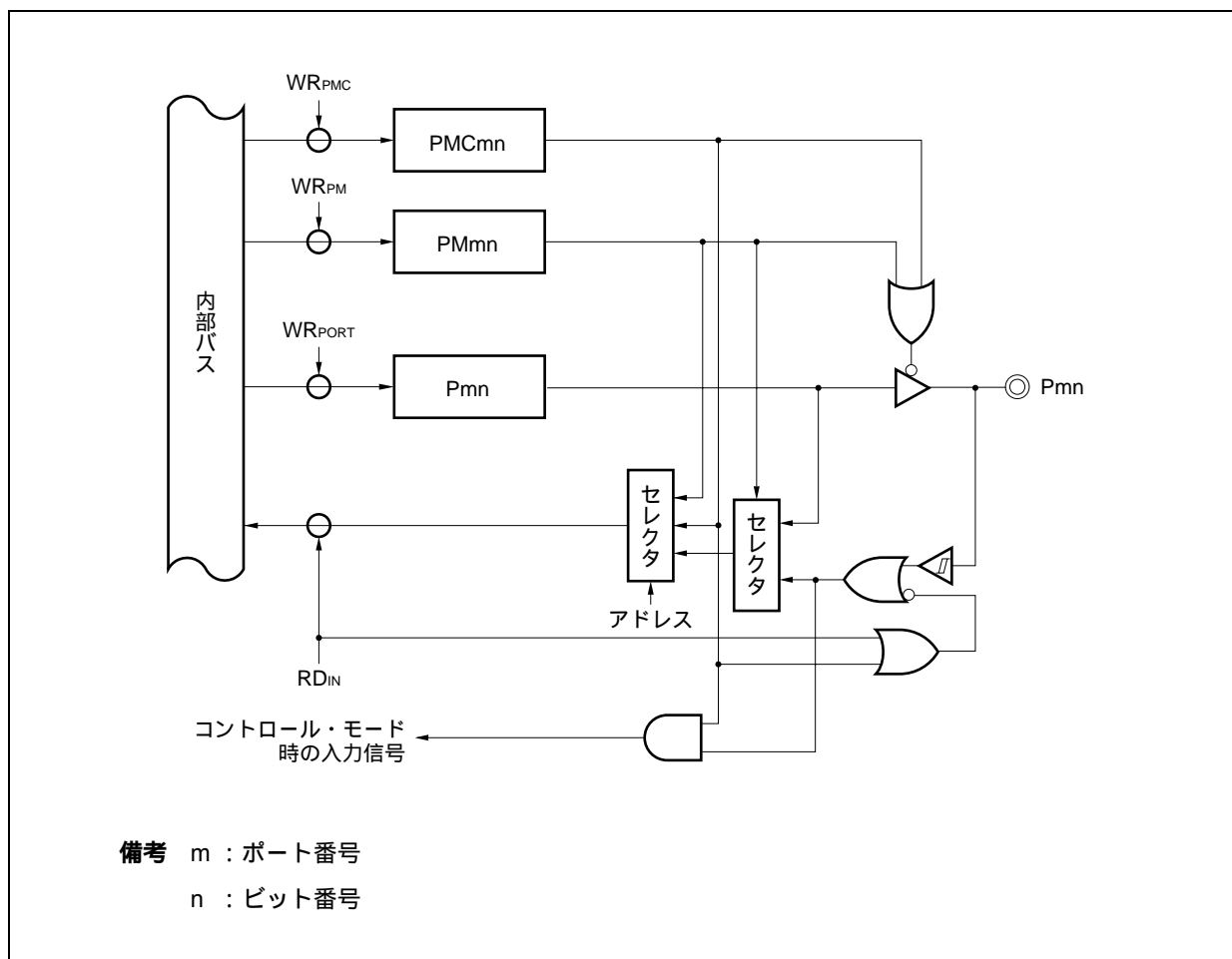


図14 - 4 タイプDのブロック図

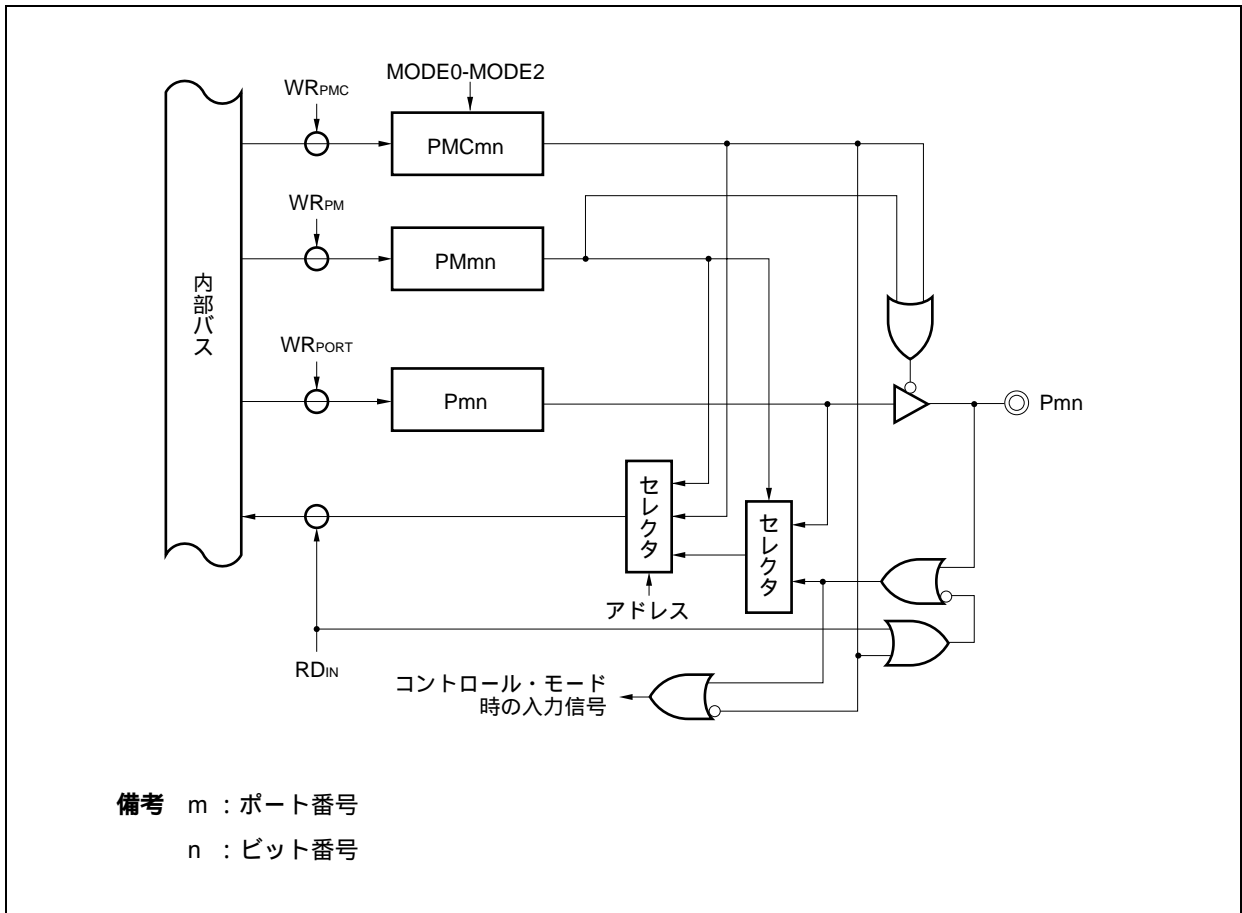


図14 - 5 タイプEのブロック図

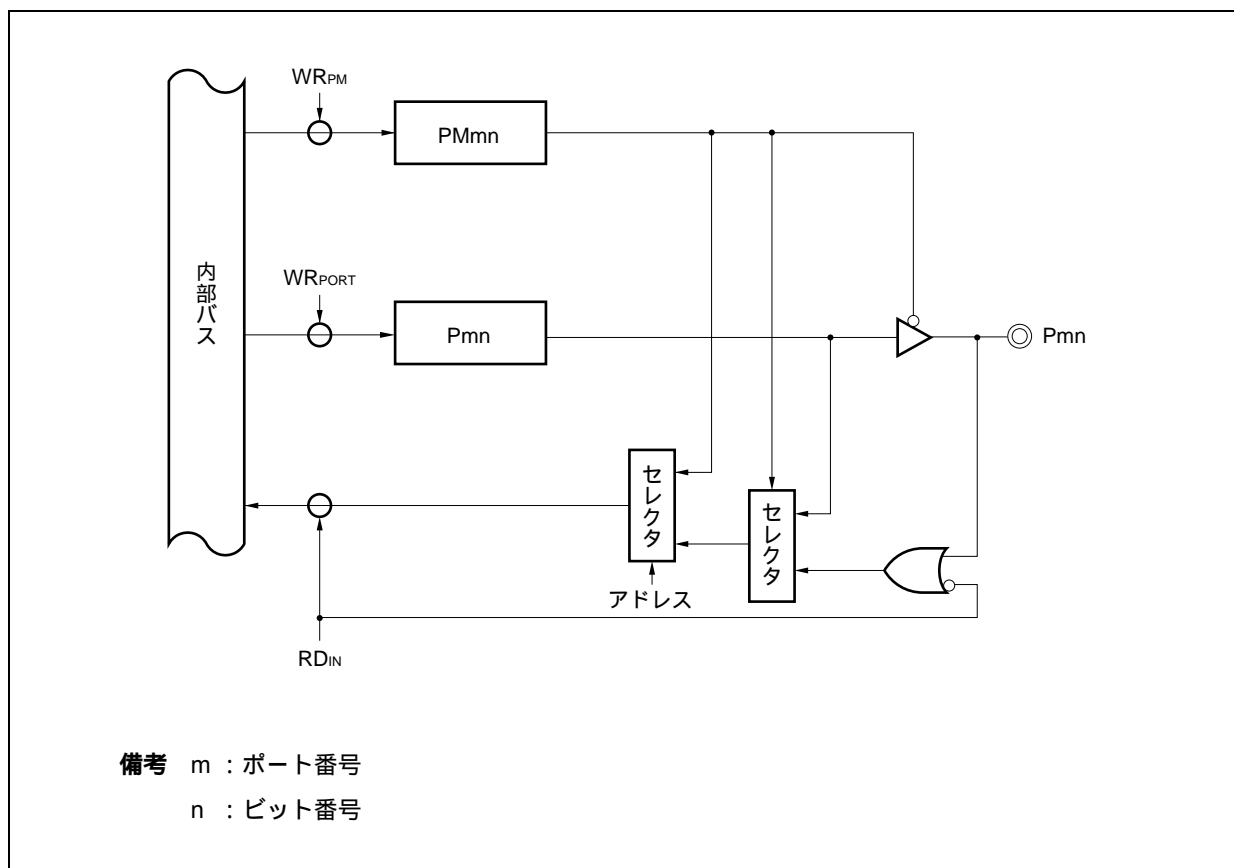


図14 - 6 タイプFのブロック図

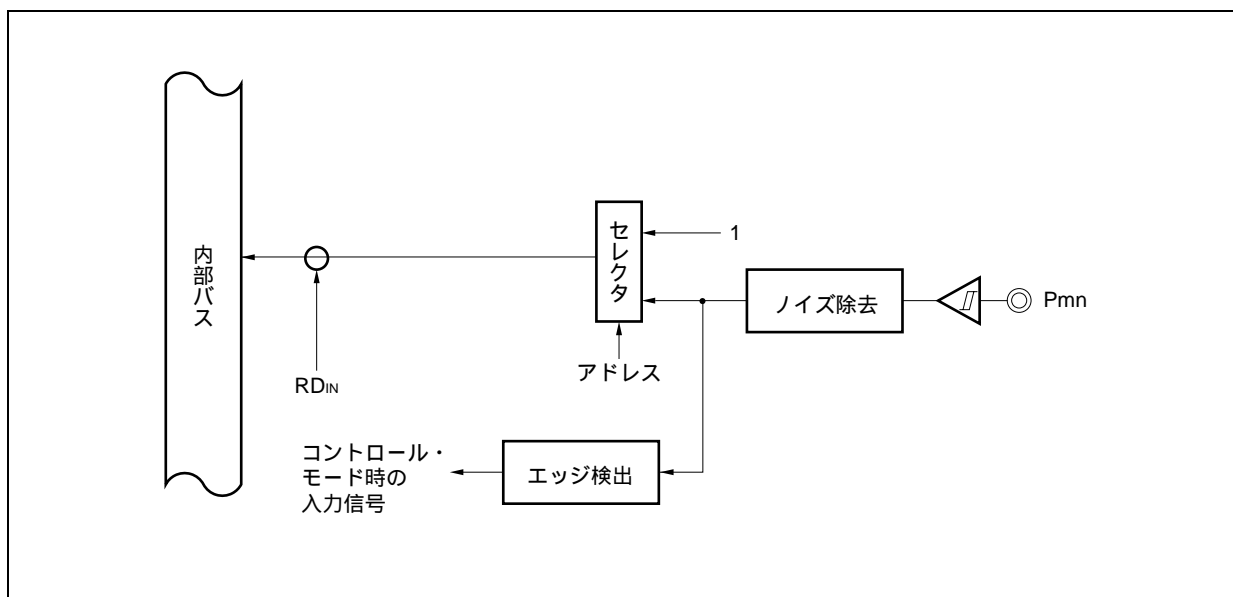


図14 - 7 タイプGのブロック図

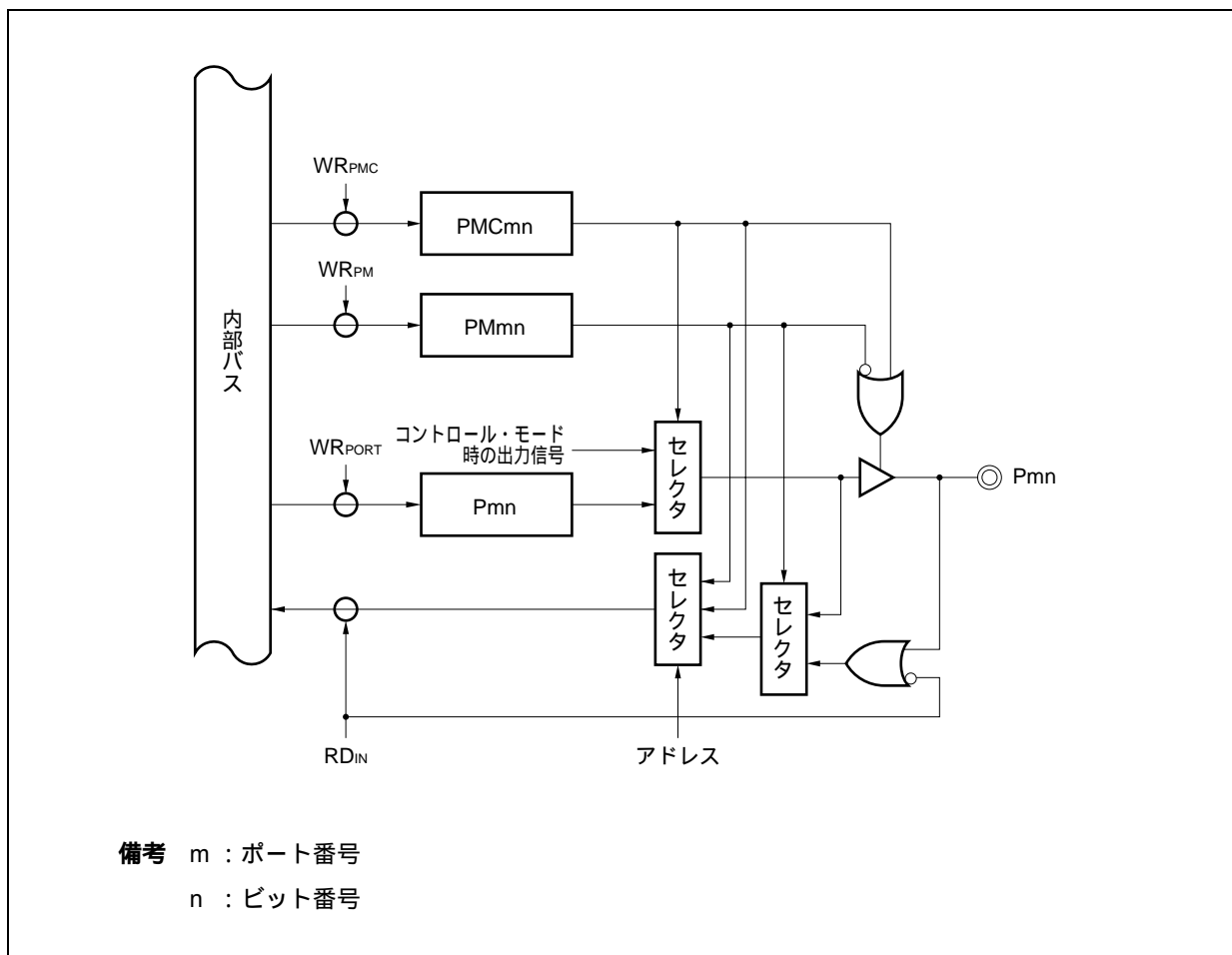




図14 - 8 タイプHのブロック図

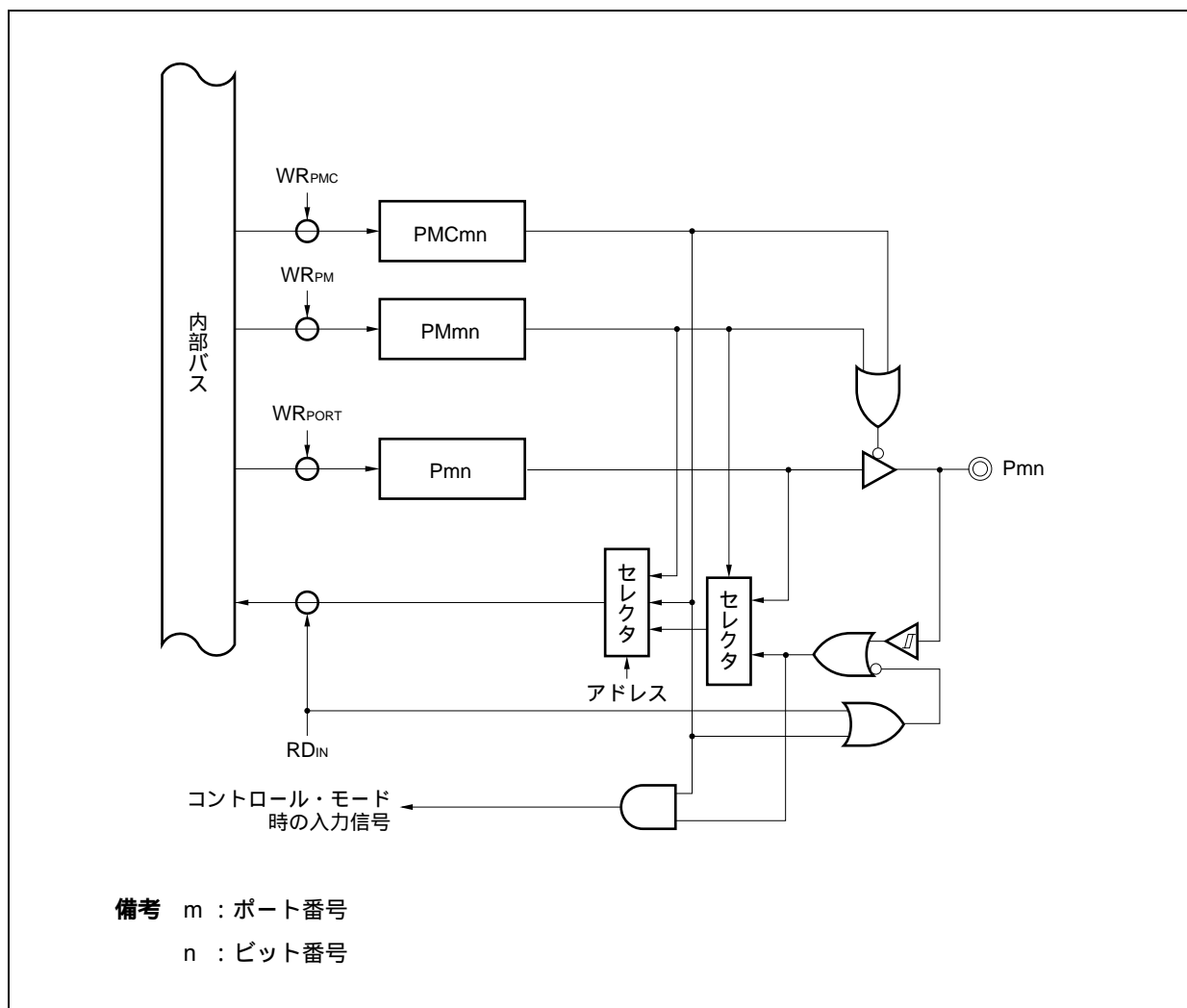


図14 - 9 タイプJのブロック図

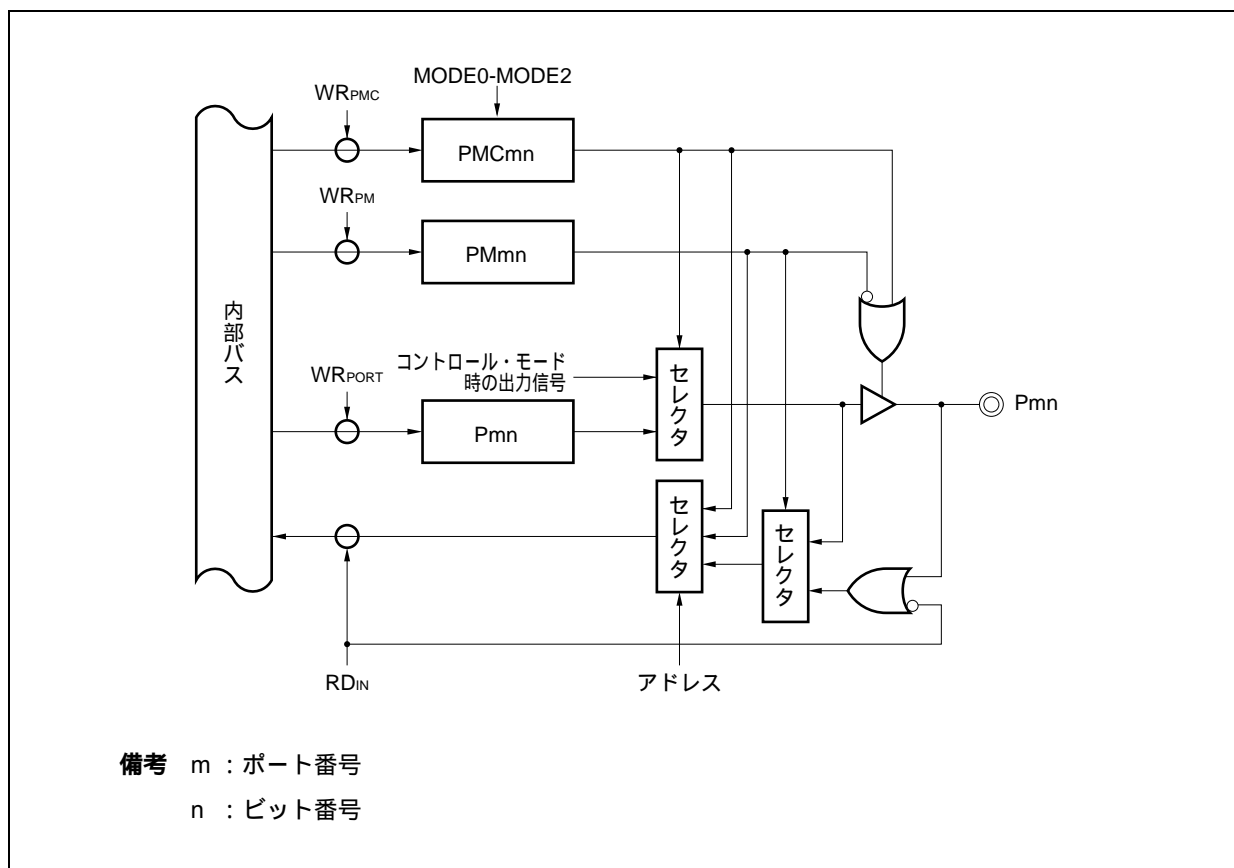


図14 - 10 タイプMのブロック図

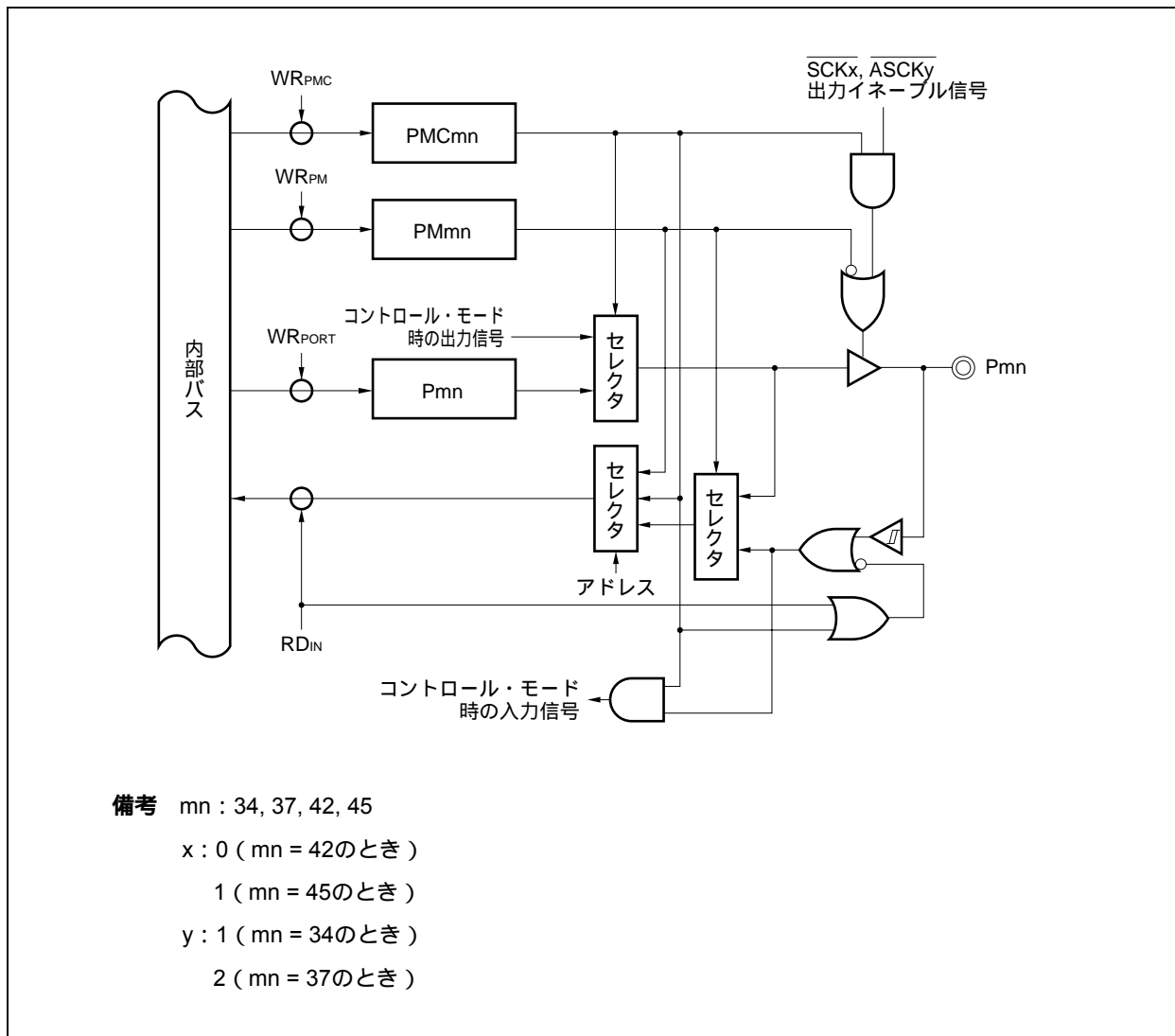


図14 - 11 タイプNのブロック図

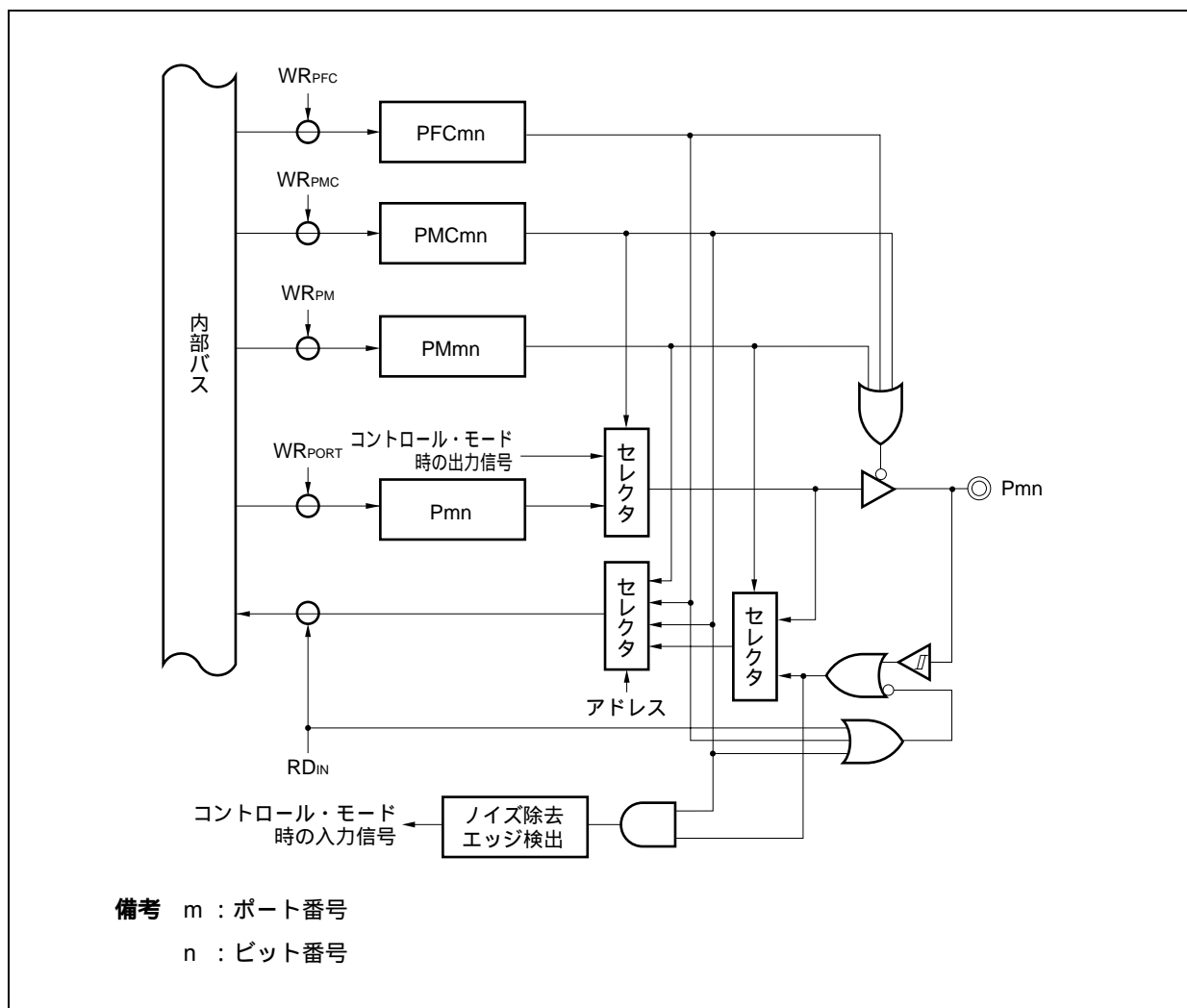


図14 - 12 タイプOのブロック図

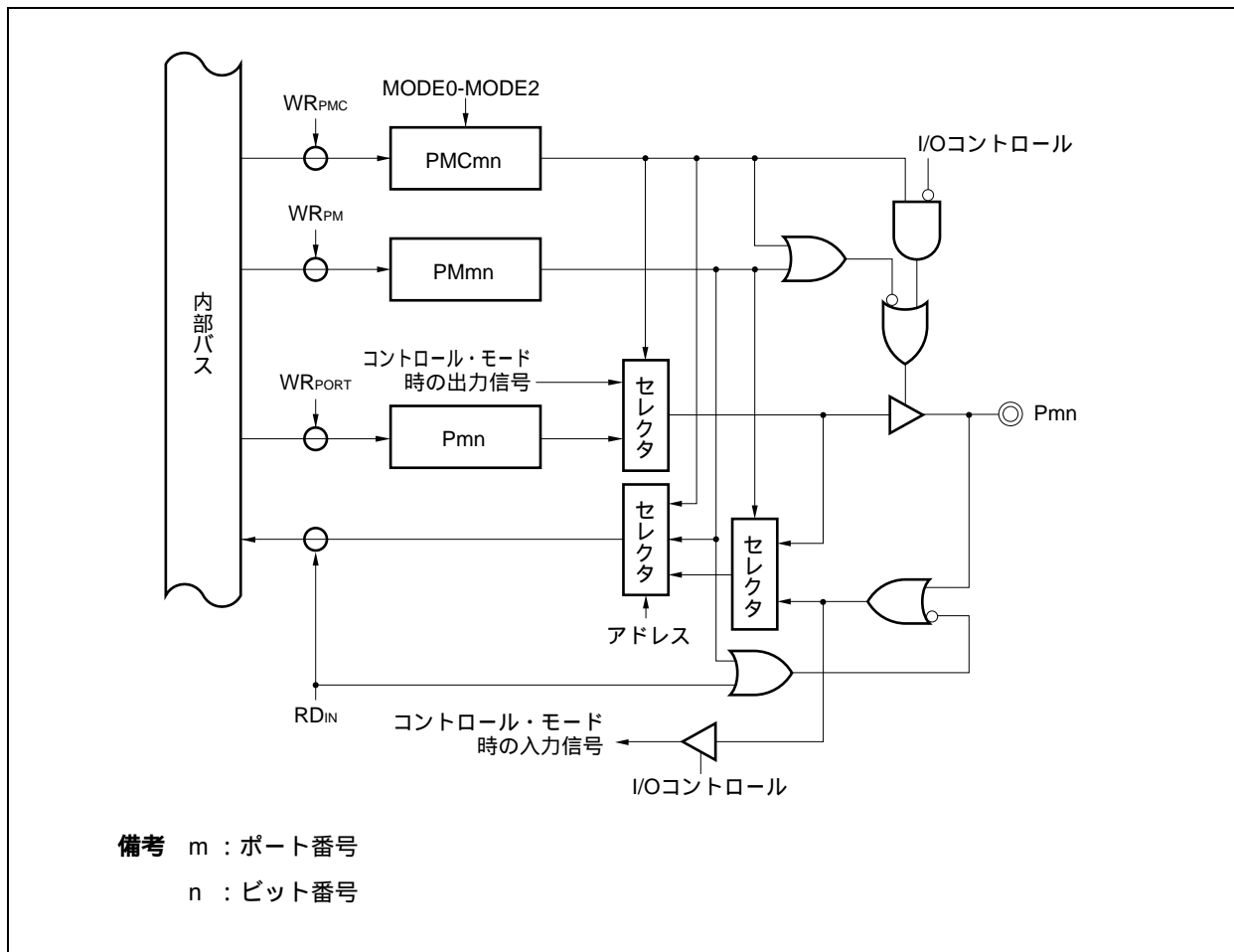
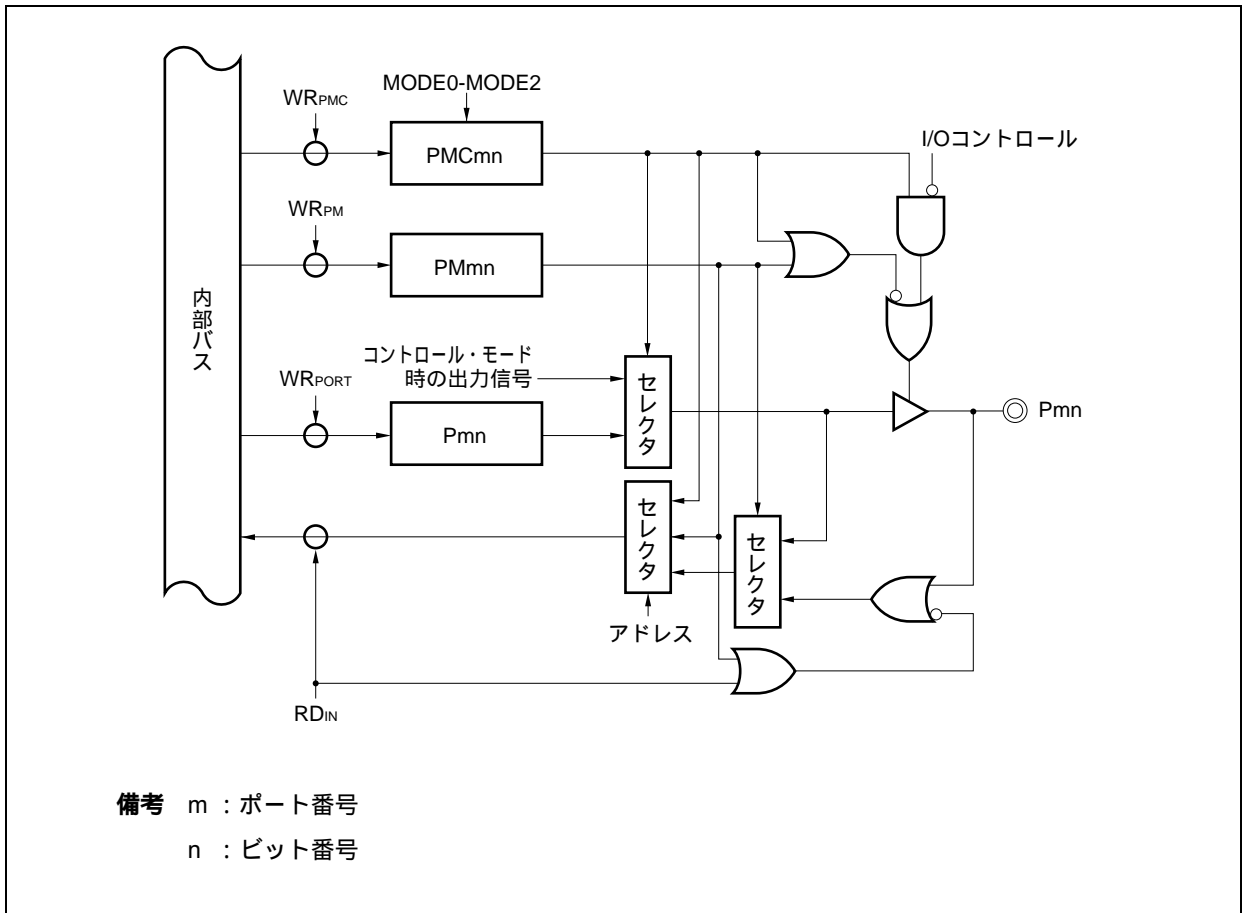


図14 - 13 タイプPのブロック図



## 14.3 各ポートの端子機能

### 14.3.1 ポート0

ポート0は、全端子が入力に固定の8ビット入力専用ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
P0	P07	P06	P05	P04	P03	P02	P01	P00	FFFFFF400H	不定

入力ポートとしての機能のほかに、コントロール・モードではタイマ/カウンタの出力停止信号入力、外部割り込み要求入力、A/Dコンバータ（ADC）の外部トリガ入力として動作可能です。

このポートはNMI, ESO0/INTP0, ESO1/INTP1, ADTRG0/INTP2, ADTRG1/INTP3, INTP4-INTP6と兼用になっていますが、入力ポートとNMI, ESO0/INTP0, ESO1/INTP1, ADTRG0/INTP2, ADTRG1/INTP3, INTP4-INTP6は切り替えられません。またポートの読み出しにより、各端子の状態を読み込みます。

#### (1) コントロール・モード時の動作

ポート	兼用端子名	備 考	ブロック・タイプ	
ポート0	P00	NMI	ノンマスクابل割り込み要求入力	F
	P01	ESO0/INTP0	タイマ/カウンタ出力停止信号入力 /	
	P02	ESO1/INTP1	外部割り込み要求入力	
	P03	ADTRG0/INTP2	A/Dコンバータ（ADC）の外部トリガ入力 /	
	P04	ADTRG1/INTP3	外部割り込み要求入力	
	P05-P07	INTP4-INTP6	外部割り込み要求入力	

### 14.3.2 ポート1

ポート1は、1ビット単位で入出力を指定できる6ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
P1	-	-	P15	P14	P13	P12	P11	P10	FFFFFF402H	不定

ビット位置	ビット名	意 味
5-0	P1n (n = 5-0)	入出力ポート

ポートとしての機能のほかに、コントロール・モードではタイマ/カウンタの入出力、外部割り込み要求入力として動作可能です。

#### (1) コントロール・モード時の動作

ポート	兼用端子名	備 考	ブロック・タイプ	
ポート1	P10	TIUD10/TO10	タイマ/カウンタ入出力	N
	P11	TCUD10/INTP100	タイマ/カウンタ入力 /	B
	P12	TCLR10/INTP101	外部割り込み要求入力	
	P13	TIUD11/TO11	タイマ/カウンタ入出力	N
	P14	TCUD11/INTP110	タイマ/カウンタ入力 /	B
	P15	TCLR11/INTP111	外部割り込み要求入力	

#### (2) 入出力モード/コントロール・モードの設定

ポート1の入出力モードの設定は、ポート1モード・レジスタ (PM1) で行います。また、コントロール・モードの設定は、ポート1モード・コントロール・レジスタ (PMC1) とポート1ファンクション・コントロール・レジスタ (PFC1) で行います。

##### (a) ポート1モード・レジスタ (PM1)

8/1ビット単位でリード/ライト可能です。ただし、ビット6, ビット7には1を書き込んでください。

	7	6	5	4	3	2	1	0	アドレス	初期値
PM1	1	1	PM15	PM14	PM13	PM12	PM11	PM10	FFFFFF422H	FFH

ビット位置	ビット名	意 味
5-0	PM1n (n = 5-0)	P1n端子の入力/出力のモードを指定します。 0: 出力モード (出力バッファ・オン) 1: 入力モード (出力バッファ・オフ)



(b) ポート1モード・コントロール・レジスタ (PMC1)

8/1ビット単位でリード/ライト可能です。ただし、ビット6、ビット7は0を書き込んでください。

**注意** PMC11, PMC12, PMC14, PMC15ビットは外部割り込み (INTP100, INTP101, INTP110, INTP111) と兼用しています。外部割り込みとして使用しない場合には、割り込み要求をマスクしてください (7.3.4 割り込み制御レジスタ (xxICn) 参照)。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC1	0	0	PMC15	PMC14	PMC13	PMC12	PMC11	PMC10	FFFFFF442H	00H

ビット位置	ビット名	意 味
5	PMC15	P15端子の動作モードを指定します。 0: 入出力ポート・モード 1: TCLR11入力モード / 外部割り込み要求 (INTP111) 入力モード
4	PMC14	P14端子の動作モードを指定します。 0: 入出力ポート・モード 1: TCUD11入力モード / 外部割り込み要求 (INTP110) 入力モード
3	PMC13	P13端子の動作モードを指定します。 0: 入出力ポート・モード 1: TIUD11入力モード / TO11出力モード
2	PMC12	P12端子の動作モードを指定します。 0: 入出力ポート・モード 1: TCLR10入力モード / 外部割り込み要求 (INTP101) 入力モード
1	PMC11	P11端子の動作モードを指定します。 0: 入出力ポート・モード 1: TCUD10入力モード / 外部割り込み要求 (INTP100) 入力モード
0	PMC10	P10端子の動作モードを指定します。 0: 入出力ポート・モード 1: TIUD10入力モード / TO10出力モード

(c) ポート1ファンクション・コントロール・レジスタ (PFC1)

8/1ビット単位でリード/ライト可能です。ただし、ビット0、ビット3以外は0を書き込んでください。

**注意** ポート1モード・コントロール・レジスタ (PMC1) でポート・モードを指定した場合は、このレジスタの設定は無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFC1	0	0	0	0	PFC13	0	0	PFC10	FFFFFF462H	00H

ビット位置	ビット名	意味
3	PFC13	P13端子のコントロール・モード時の動作モードを指定します。 0 : TIUD11入力モード 1 : TO11出力モード
0	PFC10	P10端子のコントロール・モード時の動作モードを指定します。 0 : TIUD10入力モード 1 : TO10出力モード

### 14.3.3 ポート2

ポート2は、1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
P2	P27	P26	P25	P24	P23	P22	P21	P20	FFFFFF404H	不定

ビット位置	ビット名	意 味
7-0	P2n (n = 7-0)	入出力ポート

ポートとしての機能のほかに、コントロール・モードではタイマ/カウンタの入出力、外部割り込み要求入力として動作可能です。

#### (1) コントロール・モード時の動作

ポート	兼用端子名	備 考	ブロック・タイプ
ポート2	P20	TI2/INTP20 タイマ/カウンタ入力/ 外部割り込み要求入力	B
	P21-P24	TO21/INTP21- TO24/INTP24 タイマ/カウンタ出力/ 外部割り込み要求入力	N
	P25	TCLR2/INTP25 タイマ/カウンタ入力/ 外部割り込み要求入力	B
	P26	TI3/TCLR3/INTP30 外部割り込み要求入力	
	P27	TO3/INTP31 タイマ/カウンタ出力/ 外部割り込み要求入力	N

#### (2) 入出力モード/コントロール・モードの設定

ポート2の入出力モードの設定は、ポート2モード・レジスタ (PM2) で行います。また、コントロール・モードの設定は、ポート2モード・コントロール・レジスタ (PMC2) とポート2ファンクション・コントロール・レジスタ (PFC2) で行います。

##### (a) ポート2モード・レジスタ (PM2)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFFFFF424H	FFH

ビット位置	ビット名	意 味
7-0	PM2n (n = 7-0)	P2n端子の入力/出力のモードを指定します。 0: 出力モード (出力バッファ・オン) 1: 入力モード (出力バッファ・オフ)

(b) ポート2モード・コントロール・レジスタ (PMC2)

8/1ビット単位でリード/ライト可能です。

**注意** PMC20, PMC25, PMC26ビットは外部割り込み (INTP20, INTP25, INTP30) と兼用して  
 います。外部割り込みとして使用しない場合には、割り込み要求をマスクしてください(7.3.  
 4 割り込み制御レジスタ (xxICn) 参照)。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC2	PMC27	PMC26	PMC25	PMC24	PMC23	PMC22	PMC21	PMC20	FFFFFF444H	00H

ビット位置	ビット名	意味
7	PMC27	P27端子の動作モードを指定します。 0: 入出力ポート・モード 1: TO3出力モード / 外部割り込み要求 (INTP31) 入力モード
6	PMC26	P26端子の動作モードを指定します。 0: 入出力ポート・モード 1: TI3, TCLR3入力モード / 外部割り込み要求 (INTP30) 入力モード
5	PMC25	P25端子の動作モードを指定します。 0: 入出力ポート・モード 1: TCLR2入力モード / 外部割り込み要求 (INTP25) 入力モード
4-1	PMC24- PMC21	P24-P21端子の動作モードを指定します。 0: 入出力ポート・モード 1: TO24-TO21出力モード / 外部割り込み要求 (INTP24-INTP21) 入力モード
0	PMC20	P20端子の動作モードを指定します。 0: 入出力ポート・モード 1: TI2入力モード / 外部割り込み要求 (INTP20) 入力モード

(c) ポート2ファンクション・コントロール・レジスタ (PFC2)

8/1ビット単位でリード/ライト可能です。ビット0, 5, 6は0を書き込んでください。

**注意** ポート2モード・コントロール・レジスタ (PMC2) でポート・モードを指定した場合は、このレジスタの指定は無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFC2	PFC27	0	0	PFC24	PFC23	PFC22	PFC21	0	FFFFFF464H	00H

ビット位置	ビット名	意 味
7	PFC27	P27端子のコントロール・モード時の動作モードを指定します。 0 : 外部割り込み要求 (INTP31) 入力モード 1 : TO3出力モード
4-1	PFC24- PFC21	P24-P21端子のコントロール・モード時の動作モードを指定します。 0 : 外部割り込み要求 (INTP24-INTP21) 入力モード 1 : TO24-TO21出力モード

### 14.3.4 ポート3

ポート3は、1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
P3	P37	P36	P35	P34	P33	P32	P31	P30	FFFFFF406H	不定

ビット位置	ビット名	意 味
7-0	P3n (n = 7-0)	入出力ポート

ポートとしての機能のほかに、コントロール・モードではシリアル・インタフェース (UART0-UART2) の入出力として動作可能です。

#### (1) コントロール・モード時の動作

ポート	兼用端子名	備 考	ブロック・タイプ	
ポート3	P30	RXD0	シリアル・インタフェース (UART0-UART2) 用入出力	H
	P31	TXD0		G
	P32	RXD1		C
	P33	TXD1		A
	P34	ASCK1		M
	P35	RXD2		C
	P36	TXD2		A
	P37	ASCK2		M

#### (2) 入出力モード/コントロール・モードの設定

ポート3の入出力モードの設定は、ポート3モード・レジスタ (PM3) で行います。また、コントロール・モードの設定は、ポート3モード・コントロール・レジスタ (PMC3) で行います。

##### (a) ポート3モード・レジスタ (PM3)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FFFFFF426H	FFH

ビット位置	ビット名	意 味
7-0	PM3n (n = 7-0)	P3n端子の入力/出力のモードを指定します。 0: 出力モード (出力バッファ・オン) 1: 入力モード (出力バッファ・オフ)

(b) ポート3モード・コントロール・レジスタ (PMC3)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30	FFFFFF446H	00H

ビット位置	ビット名	意 味
7	PMC37	P37端子の動作モードを指定します。 0: 入出力ポート・モード 1: ASCK2入出力モード
6	PMC36	P36端子の動作モードを指定します。 0: 入出力ポート・モード 1: TXD2出力モード
5	PMC35	P35端子の動作モードを指定します。 0: 入出力ポート・モード 1: RXD2入力モード
4	PMC34	P34端子の動作モードを指定します。 0: 入出力ポート・モード 1: ASCK1入出力モード
3	PMC33	P33端子の動作モードを指定します。 0: 入出力ポート・モード 1: TXD1出力モード
2	PMC32	P32端子の動作モードを指定します。 0: 入出力ポート・モード 1: RXD1入力モード
1	PMC31	P31端子の動作モードを指定します。 0: 入出力ポート・モード 1: TXD0出力モード
0	PMC30	P30端子の動作モードを指定します。 0: 入出力ポート・モード 1: RXD0入力モード

### 14.3.5 ポート4

ポート4は、1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
P4	P47	P46	P45	P44	P43	P42	P41	P40	FFFFF408H	不定

ビット位置	ビット名	意 味
7-0	P4n (n = 7-0)	入出力ポート

ポートとしての機能のほかに、コントロール・モードではシリアル・インタフェース (CSI0, CSI1, FCAN) の入出力として動作可能です。

#### (1) コントロール・モード時の動作

ポート	兼用端子名	備 考	ブロック・タイプ	
ポート4	P40	SI0	シリアル・インタフェース (CSI0, CSI1, FCAN) 用入出力	C
	P41	SO0		A
	P42	SCK0		M
	P43	SI1		C
	P44	SO1		A
	P45	SCK1		M
	P46	CRXD		C
	P47	CTXD		A

#### (2) 入出力モード/コントロール・モードの設定

ポート4の入出力モードの設定は、ポート4モード・レジスタ (PM4) で行います。また、コントロール・モードの設定は、ポート4モード・コントロール・レジスタ (PMC4) で行います。

##### (a) ポート4モード・レジスタ (PM4)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FFFFF428H	FFH

ビット位置	ビット名	意 味
7-0	PM4n (n = 7-0)	P4n端子の入力/出力のモードを指定します。 0: 出力モード (出力バッファ・オン) 1: 入力モード (出力バッファ・オフ)



(b) ポート4モード・コントロール・レジスタ (PMC4)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC4	PMC47	PMC46	PMC45	PMC44	PMC43	PMC42	PMC41	PMC40	FFFFFF448H	00H

ビット位置	ビット名	意 味
7	PMC47	P47端子の動作モードを指定します。 0: 入出力ポート・モード 1: CTXD出力モード
6	PMC46	P46端子の動作モードを指定します。 0: 入出力ポート・モード 1: CRXD入力モード
5	PMC45	P45端子の動作モードを指定します。 0: 入出力ポート・モード 1: SCK1入出力モード
4	PMC44	P44端子の動作モードを指定します。 0: 入出力ポート・モード 1: SO1出力モード
3	PMC43	P43端子の動作モードを指定します。 0: 入出力ポート・モード 1: SI1入力モード
2	PMC42	P42端子の動作モードを指定します。 0: 入出力ポート・モード 1: SCK0入出力モード
1	PMC41	P41端子の動作モードを指定します。 0: 入出力ポート・モード 1: SO0出力モード
0	PMC40	P40端子の動作モードを指定します。 0: 入出力ポート・モード 1: SI0入力モード

### 14.3.6 ポートDH

ポートDHは、1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
PDH	PDH7	PDH6	PDH5	PDH4	PDH3	PDH2	PDH1	PDH0	FFFFFF06H	不定

ビット位置	ビット名	意味
7-0	PDHn (n = 7-0)	入出力ポート

ポートとしての機能のほかに、コントロール・モードではメモリを外部に拡張する場合のアドレス・バスとして動作可能です。

#### (1) コントロール・モード時の動作

ポート	兼用端子名	備考	ブロック・タイプ
ポートDH 0	A23-A16	メモリ拡張時のアドレス・バス	P

#### (2) 入出力モード/コントロール・モードの設定

ポートDHの入出力モードの設定は、ポートDHモード・レジスタ (PMDH) で行います。また、コントロール・モードの設定は、ポートDHモード・コントロール・レジスタ (PMCDH) で行います。

##### (a) ポートDHモード・レジスタ (PMDH)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMDH	PMDH7	PMDH6	PMDH5	PMDH4	PMDH3	PMDH2	PMDH1	PMDH0	FFFFFF026H	FFH

ビット位置	ビット名	意味
7-0	PMDHn (n = 7-0)	PDHn端子の入力/出力のモードを指定します。 0: 出力モード (出力バッファ・オン) 1: 入力モード (出力バッファ・オフ)

(b) ポートDHモード・コントロール・レジスタ (PMCDH)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値 <sup>注</sup>
PMCDH	PMCDH7	PMCDH6	PMCDH5	PMCDH4	PMCDH3	PMCDH2	PMCDH1	PMCDH0	FFFFFF046H	00H/FFH

注 00H : シングルチップ・モード0の場合

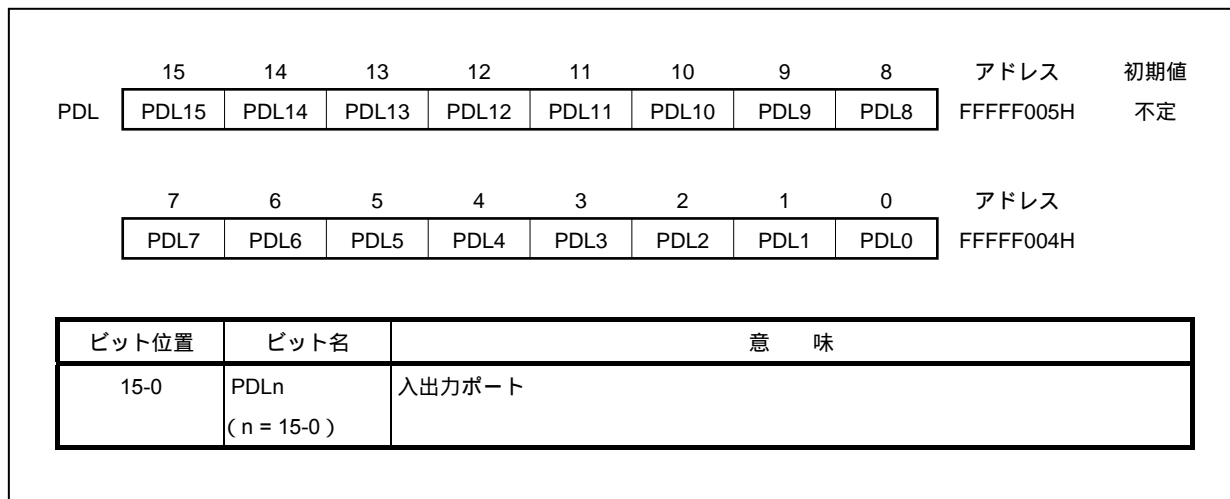
FFH : シングルチップ・モード1, ROMレス・モード0, 1の場合

ビット位置	ビット名	意味
7-0	PMCDHn (n = 7-0)	PDHn端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : A23-A16出力モード

### 14.3.7 ポートDL

ポートDLは、1ビット単位で入出力を指定できる16/8ビット入出力ポートです。

PDLの上位8ビットをPDLH、下位8ビットをPDLとして使用した場合は、1ビット単位で入出力を指定できる8ビット入出力ポートになります。



ポートとしての機能のほかに、コントロール・モードではメモリを外部に拡張する場合のアドレス/データ・バスとして動作可能です。

#### (1) コントロール・モード時の動作

ポート	兼用端子名	備 考	ブロック・タイプ
ポートDL	PDL15-PD L0	AD15-AD0	メモリ拡張時のアドレス/データ・バス
			0

#### (2) 入出力モード/コントロール・モードの設定

ポートDLの入出力モードの設定は、ポートDLモード・レジスタ (PMDL) で行います。また、コントロール・モードの設定は、ポートDLモード・コントロール・レジスタ (PMCDL) で行います。

(a) ポートDLモード・レジスタ (PMDL)

PMDLレジスタは、16ビット単位でリード/ライト可能です。

PMDLレジスタの上位8ビットをPMDLHレジスタ, 下位8ビットをPMDLLレジスタとして使用した場合は、8/1ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	アドレス	初期値
PMDL	PMDL15	PMDL14	PMDL13	PMDL12	PMDL11	PMDL10	PMDL9	PMDL8	FFFFFF025H	FFFFH
	7	6	5	4	3	2	1	0	アドレス	
	PMDL7	PMDL6	PMDL5	PMDL4	PMDL3	PMDL2	PMDL1	PMDL0	FFFFFF024H	

ビット位置	ビット名	意味
15-0	PMDLn (n = 15-0)	PDLn端子の入力/出力のモードを指定します。 0: 出力モード (出力バッファ・オン) 1: 入力モード (出力バッファ・オフ)

(b) ポートDLモード・コントロール・レジスタ (PMCDL)

PMCDLレジスタは、16ビット単位でリード/ライト可能です。

PMCDLレジスタの上位8ビットをPMCDLHレジスタ, 下位8ビットをPMCDLLレジスタとして使用した場合は、8/1ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	アドレス	初期値 <sup>注</sup>
PMCDL	PMCDL15	PMCDL14	PMCDL13	PMCDL12	PMCDL11	PMCDL10	PMCDL9	PMCDL8	FFFFFF045H	0000H/FFFFH
	7	6	5	4	3	2	1	0	アドレス	
	PMCDL7	PMCDL6	PMCDL5	PMCDL4	PMCDL3	PMCDL2	PMCDL1	PMCDL0	FFFFFF044H	

注 0000H : シングルチップ・モード0の場合  
 FFFFH : シングルチップ・モード1, ROMレス・モード0, 1の場合

ビット位置	ビット名	意味
15-0	PMCDLn (n = 15-0)	PDLn端子の動作モードを指定します。 0: 入出力ポート・モード 1: AD15-AD0入出力モード

### 14.3.8 ポートCS

ポートCSは、1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
PCS	PCS7	PCS6	PCS5	PCS4	PCS3	PCS2	PCS1	PCS0	FFFFF008H	不定

ビット位置	ビット名	意 味
7-0	PCSn (n = 7-0)	入出力ポート

ポートとしての機能のほかに、コントロール・モードではメモリを外部に拡張する場合のチップ・セレクト信号出力として動作可能です。

#### (1) コントロール・モード時の動作

ポート	兼用端子名	備 考	ブロック・タイプ
ポートCS	PCS7- PCS0	CS0-CS7	チップ・セレクト信号出力 J

(2) 入出力モード/コントロール・モードの設定

ポートCSの入出力モードの設定は、ポートCSモード・レジスタ (PMCS) で行います。また、コントロール・モードの設定は、ポートCSモード・コントロール・レジスタ (PMCCS) で行います。

(a) ポートCSモード・レジスタ (PMCS)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCS	PMCS7	PMCS6	PMCS5	PMCS4	PMCS3	PMCS2	PMCS1	PMCS0	FFFFFF028H	FFH

ビット位置	ビット名	意 味
7-0	PMCSn (n = 7-0)	PCSn端子の入力/出力のモードを指定します。 0: 出力モード (出力バッファ・オン) 1: 入力モード (出力バッファ・オフ)

(b) ポートCSモード・コントロール・レジスタ (PMCCS)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値 <sup>注</sup>
PMCCS	PMCCS7	PMCCS6	PMCCS5	PMCCS4	PMCCS3	PMCCS2	PMCCS1	PMCCS0	FFFFFF048H	00H/FFH

注 00H: シングルチップ・モード0の場合  
FFH: シングルチップ・モード1, ROMレス・モード0, 1の場合

ビット位置	ビット名	意 味
7-0	PMCCSn (n = 7-0)	PCSn端子の動作モードを指定します。 0: 入出力ポート・モード 1: CS7-CS0出力モード

### 14.3.9 ポートCT

ポートCTは、1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
PCT	PCT7	PCT6	PCT5	PCT4	PCT3	PCT2	PCT1	PCT0	FFFFFF0AH	不定

ビット位置	ビット名	意味
7-0	PCTn (n = 7-0)	入出力ポート

ポートとしての機能のほかに、コントロール・モードではメモリを外部に拡張する場合の制御信号出力として動作可能です。

#### (1) コントロール・モード時の動作

ポート	兼用端子名	備考	ブロック・タイプ	
ポートCT	PCT0	LWR	ライト・ストロープ信号出力	J
	PCT1	UWR		
	PCT2, PCT3	-	ポート・モードに固定	E
	PCT4	RD	リード・ストロープ信号出力	J
	PCT5	-	ポート・モードに固定	E
	PCT6	ASTB	アドレス・ストロープ信号出力	J
	PCT7	-	ポート・モードに固定	E

#### (2) 入出力モード/コントロール・モードの設定

ポートCTの入出力モードの設定は、ポートCTモード・レジスタ (PMCT) で行います。また、コントロール・モードの設定は、ポートCTモード・コントロール・レジスタ (PMCCT) で行います。

##### (a) ポートCTモード・レジスタ (PMCT)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCT	PMCT7	PMCT6	PMCT5	PMCT4	PMCT3	PMCT2	PMCT1	PMCT0	FFFFFF02AH	FFH

ビット位置	ビット名	意味
7-0	PMCTn (n = 7-0)	PCTn端子の入力/出力のモードを指定します。 0: 出力モード (出力バッファ・オン) 1: 入力モード (出力バッファ・オフ)



(b) ポートCTモード・コントロール・レジスタ (PMCCT)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値 <sup>注</sup>
PMCCT	0	PMCCT6	0	PMCCT4	0	0	PMCCT1	PMCCT0	FFFFFF04AH	00H/53H

注 00H : シングルチップ・モード0の場合

53H : シングルチップ・モード1, ROMレス・モード0, 1の場合

ビット位置	ビット名	意味
6	PMCCT6	PCT6端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : ASTB出力モード
4	PMCCT4	PCT4端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : $\overline{RD}$ 出力モード
1	PMCCT1	PCT1端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : $\overline{UWR}$ 出力モード
0	PMCCT0	PCT0端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : $\overline{LWR}$ 出力モード

### 14.3.10 ポートCM

ポートCMは、1ビット単位で入出力を指定できる5ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
PCM	-	-	-	PCM4	PCM3	PCM2	PCM1	PCM0	FFFFFF0CH	不定

ビット位置	ビット名	意 味
4-0	PCMn (n = 4-0)	入出力ポート

ポートとしての機能のほかに、コントロール・モードではウエイト挿入信号入力、内部システム・クロック出力、バス・ホールド制御信号出力として動作可能です。

#### (1) コントロール・モード時の動作

ポート	兼用端子名	備 考	ブロック・タイプ	
ポートCM	PCM0	WAIT <sup>注</sup>	ウエイト挿入信号入力	D
	PCM1	CLKOUT	内部システム・クロック出力	J
	PCM2	HLD $\overline{\text{AK}}$	バス・ホールド・アクノリッジ信号出力	J
	PCM3	HLD $\overline{\text{RQ}}$ <sup>注</sup>	バス・ホールド要求信号入力	D
	PCM4	-	ポート・モードに固定	E

**注** WAIT, HLD $\overline{\text{RQ}}$ 信号は、ROMレス・モード0, 1およびシングルチップ・モード1のとき、初期値はコントロール・モードになります。未使用時には必ず非アクティブ・レベルに固定してください。また、ポートとして使用する場合もポートCMモード・コントロール・レジスタ (PMCCM) でポート・モードに設定するまでの期間は、コントロール・モードとして機能しているので、その期間は必ず非アクティブ・レベルにしてください。

(2) 入出力モード/コントロール・モードの設定

ポートCMの入出力モードの設定は、ポートCMモード・レジスタ (PMCM) で行います。また、コントロール・モードの設定は、ポートCMモード・コントロール・レジスタ (PMCCM) で行います。

(a) ポートCMモード・レジスタ (PMCM)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCM	1	1	1	PMCM4	PMCM3	PMCM2	PMCM1	PMCM0	FFFFFF02CH	FFH

ビット位置	ビット名	意味
4-0	PMCMn (n = 4-0)	PCMn端子の入力/出力のモードを指定します。 0: 出力モード (出力バッファ・オン) 1: 入力モード (出力バッファ・オフ)

(b) ポートCMモード・コントロール・レジスタ (PMCCM)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値 <sup>注</sup>
PMCCM	0	0	0	0	PMCCM3	PMCCM2	PMCCM1	PMCCM0	FFFFFF04CH	00H/0FH

**注** 00H: シングルチップ・モード0の場合  
0FH: シングルチップ・モード1, ROMレス・モード0, 1の場合

ビット位置	ビット名	意味
3	PMCCM3	PCM3端子の動作モードを指定します。 0: 入出力ポート・モード 1: HLDRQ入力モード
2	PMCCM2	PCM2端子の動作モードを指定します。 0: 入出力ポート・モード 1: HLDAK出力モード
1	PMCCM1	PCM1端子の動作モードを指定します。 0: 入出力ポート・モード 1: CLKOUT出力モード
0	PMCCM0	PCM0端子の動作モードを指定します。 0: 入出力ポート・モード 1: WAIT入力モード

## 14.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

### 14.4.1 入出力ポートへの書き込み

#### (1) 出力モードの場合

ポートnレジスタ (Pn) に書き込むことにより、出力ラッチ (Pn) に値を書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

#### (2) 入力モードの場合

ポートnレジスタ (Pn) に書き込むことにより、出力ラッチ (Pn) に値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

**注意** ビット操作命令 (CLR1, SET1, NOT1) の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容がそのときの入力端子の状態に上書きされ、不定になります。

### 14.4.2 入出力ポートからの読み出し

#### (1) 出力モードの場合

ポートnレジスタ (Pn) を読み出すことにより、出力ラッチ (Pn) の内容が読み出せます。出力ラッチの内容は変化しません。

#### (2) 入力モードの場合

ポートnレジスタ (Pn) を読み出すことにより、端子の状態が読み出せます。出力ラッチ (Pn) の内容は変化しません。

### 14.4.3 コントロール・モード時の兼用機能の出力状態

ポート端子の状態は、PMcnレジスタの設定に依存せず、ポートnモード・レジスタ (PMn) を入力モードに設定することにより、リードできます。なお、PMnレジスタを出力モードに設定したときは、ポート・モード時はポートnレジスタ (Pn) の値、コントロール・モード時は兼用機能の出力状態がリードできます。

## 14.5 ノイズ除去回路

### 14.5.1 割り込み端子

NMI, およびポートのコントロール・モードにおいて有効エッジ入力で動作する端子には, 次を示すノイズ除去時間確保のためのタイミング制御回路が付加されています。これらの除去時間未満で変化する信号入力は, 内部で受け付けられません。

端子	ノイズ除去時間
P00/NMI	アナログ・ディレイ (数10 ns)
P01/ESO0/INTP0, P02/ESO1/INTP1	
P03/ADTRG0/INTP2,	
P04/ADTRG1/INTP3	
P05/INTP4-P07/INTP6	

- 注意1. 上記のノンマスクブル/マスクブル割り込み端子はスタンバイ・モードの解除に使用します。スタンバイ・モードでは内部システム・クロックは停止しているため, クロック制御のタイミング回路を採用していません。
2. ノイズ除去回路はコントロール・モード時だけ有効です。

## 14.5.2 タイマ10, タイマ11, タイマ3入力端子

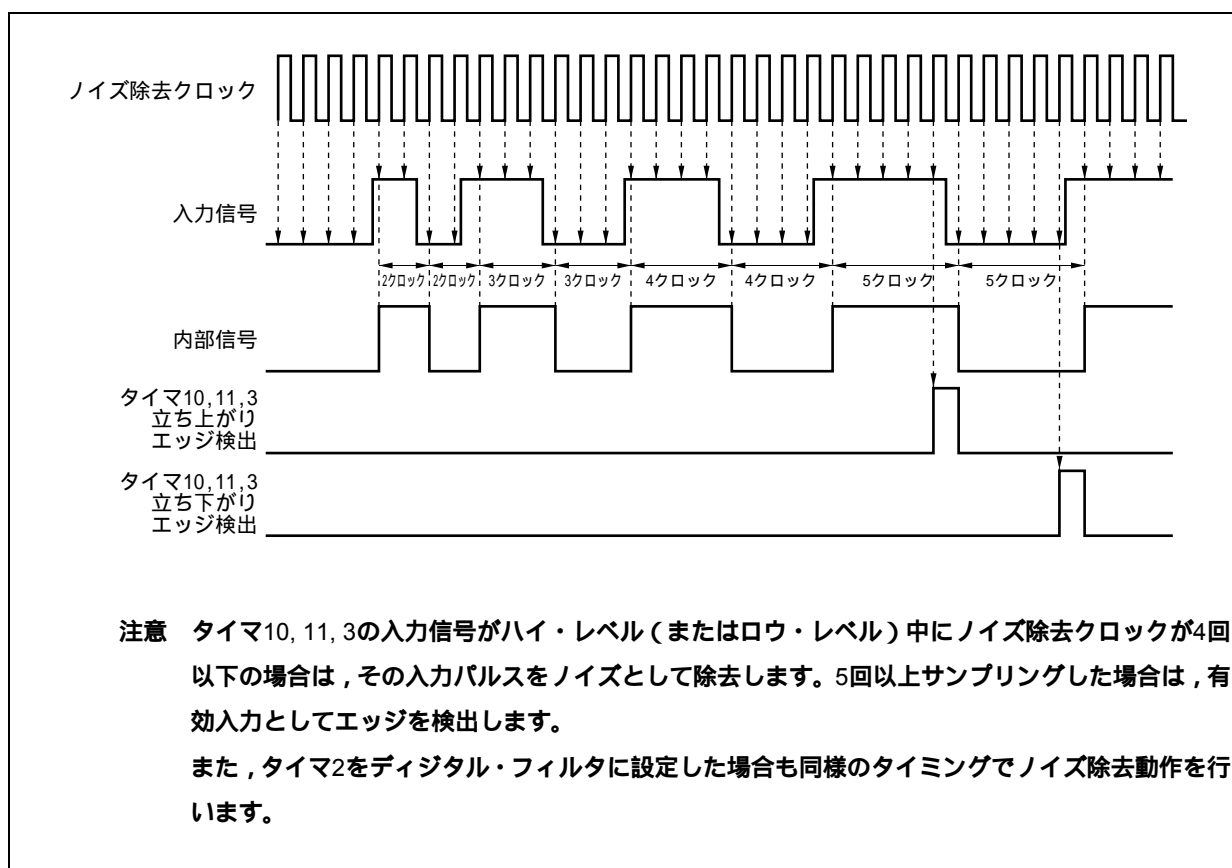
タイマ10, タイマ11, タイマ3において有効エッジ入力で動作する端子には, 次に示すクロック・サンプリングによるノイズ・フィルタが付いています。これらの除去時間未満で変化する信号入力は, 内部で受け付けられません。

端子		ノイズ除去時間	サンプリング・クロック
タイマ10	P10/TIUD10/TO10	4-5クロック	f <sub>XTM10, 11</sub>
	P11/TCUD10/INTP100		f <sub>XTM10, 11/2</sub>
P12/TCLR10/INTP101	f <sub>XTM10, 11/4</sub>		
タイマ11	P13/TIUD11/TO11		f <sub>XTM10, 11/8</sub>
	P14/TCUD11/INTP110		から選択
	P15/TCLR11/INTP111		
タイマ3	P26/TI3/INTP30/TCLR3	f <sub>XTM3/2</sub>	
		f <sub>XTM3/4</sub>	
		f <sub>XTM3/8</sub>	
		f <sub>XTM3/16</sub>	
		から選択	
	P27/TO3/INTP31	f <sub>XTM3/32</sub>	
		f <sub>XTM3/64</sub>	
		f <sub>XTM3/128</sub>	
		f <sub>XTM3/256</sub>	
		から選択	

- 注意1.** 上記の端子のノイズ・フィルタはクロック・サンプリングを用いているため, CPUクロック停止時には入力信号を受け付けられません。
- 2.** ノイズ除去回路はコントロール・モード時だけ有効です。

**備考** f<sub>XTM10, 11</sub> : PRM02レジスタで選択したTM10, TM11のクロック  
 f<sub>XTM3</sub> : PRM03レジスタで選択したTM3のクロック

図14 - 14 ノイズ除去タイミング例



(1) タイマ10ノイズ除去時間選択レジスタ (NRC10)

NRC10レジスタにより、タイマ10入力端子のノイズ除去時間のクロック・ソースを設定します。  
8/1ビット単位でリード/ライト可能です。

**注意** TMC10レジスタのTM1CE0ビット = 1 (カウント動作許可) でノイズ除去機能が動作を開始します。

	7	6	5	4	3	2	1	0	アドレス	初期値
NRC10	0	0	0	0	0	0	NRC101	NRC100	FFFFFF5F8H	00H

ビット位置	ビット名	意味															
1, 0	NRC101, NRC100	TIUD10/TO10, TCUUD10/INTP100, TCLR10/INTP101端子のノイズ除去クロックを選択します。 <table border="1" style="width: 100%; margin-top: 10px;"> <thead> <tr> <th style="width: 15%;">NRC101</th> <th style="width: 15%;">NRC100</th> <th style="width: 70%;">ノイズ除去クロック</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td><math>f_{X_{TM10}}/8</math></td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td><math>f_{X_{TM10}}/4</math></td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td><math>f_{X_{TM10}}/2</math></td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td><math>f_{X_{TM10}}</math></td> </tr> </tbody> </table> <p><b>備考</b> <math>f_{X_{TM10}}</math> : PRM02レジスタで選択したTM10のクロック</p>	NRC101	NRC100	ノイズ除去クロック	0	0	$f_{X_{TM10}}/8$	0	1	$f_{X_{TM10}}/4$	1	0	$f_{X_{TM10}}/2$	1	1	$f_{X_{TM10}}$
NRC101	NRC100	ノイズ除去クロック															
0	0	$f_{X_{TM10}}/8$															
0	1	$f_{X_{TM10}}/4$															
1	0	$f_{X_{TM10}}/2$															
1	1	$f_{X_{TM10}}$															



(2) タイマ11ノイズ除去時間選択レジスタ (NRC11)

NRC11レジスタにより、タイマ11入力端子のノイズ除去時間のクロック・ソースを設定します。  
8/1ビット単位でリード/ライト可能です。

**注意** TMC11レジスタのTM1CE1ビット = 1 (カウント動作許可) でノイズ除去機能が動作を開始します。

	7	6	5	4	3	2	1	0	アドレス	初期値
NRC11	0	0	0	0	0	0	NRC111	NRC110	FFFFF618H	00H

ビット位置	ビット名	意味															
1, 0	NRC111, NRC110	TIUD11/TO11, TCUUD11/INTP110, TCLR11/INTP111端子のノイズ除去クロックを選択します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">NRC111</th> <th style="width: 10%;">NRC110</th> <th style="width: 80%;">ノイズ除去クロック</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td><math>f_{X_{TM11}}/8</math></td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td><math>f_{X_{TM11}}/4</math></td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td><math>f_{X_{TM11}}/2</math></td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td><math>f_{X_{TM11}}</math></td> </tr> </tbody> </table> <p><b>備考</b> <math>f_{X_{TM11}}</math> : PRM02レジスタで選択したTM11のクロック</p>	NRC111	NRC110	ノイズ除去クロック	0	0	$f_{X_{TM11}}/8$	0	1	$f_{X_{TM11}}/4$	1	0	$f_{X_{TM11}}/2$	1	1	$f_{X_{TM11}}$
NRC111	NRC110	ノイズ除去クロック															
0	0	$f_{X_{TM11}}/8$															
0	1	$f_{X_{TM11}}/4$															
1	0	$f_{X_{TM11}}/2$															
1	1	$f_{X_{TM11}}$															

(3) タイマ3ノイズ除去時間選択レジスタ (NRC3)

NRC3レジスタにより、タイマ3入力端子のノイズ除去時間のクロック・ソースを設定します。  
8/1ビット単位でリード/ライト可能です。

**注意** TMC30レジスタのTM3CEビット = 1 (カウント動作許可) でノイズ除去機能が動作を開始します。

	7	6	5	4	3	2	1	0	アドレス	初期値
NRC3	0	0	0	0	NRC33	NRC32	NRC31	NRC30	FFFFFF698H	00H

ビット位置	ビット名	意味															
3, 2	NRC33, NRC32	TO3/INTP31端子のノイズ除去クロックを選択します。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 5px;"> <thead> <tr> <th style="width: 15%;">NRC33</th> <th style="width: 15%;">NRC32</th> <th style="width: 70%;">ノイズ除去クロック</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td><math>f_{X\text{TM}3}/256</math></td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td><math>f_{X\text{TM}3}/128</math></td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td><math>f_{X\text{TM}3}/64</math></td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td><math>f_{X\text{TM}3}/32</math></td> </tr> </tbody> </table> <p><b>備考</b> <math>f_{X\text{TM}3}</math> : PRM03レジスタで選択したクロック</p>	NRC33	NRC32	ノイズ除去クロック	0	0	$f_{X\text{TM}3}/256$	0	1	$f_{X\text{TM}3}/128$	1	0	$f_{X\text{TM}3}/64$	1	1	$f_{X\text{TM}3}/32$
NRC33	NRC32	ノイズ除去クロック															
0	0	$f_{X\text{TM}3}/256$															
0	1	$f_{X\text{TM}3}/128$															
1	0	$f_{X\text{TM}3}/64$															
1	1	$f_{X\text{TM}3}/32$															
1, 0	NRC31, NRC30	TI3/INTP30/TCLR3端子のノイズ除去クロックを選択します。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 5px;"> <thead> <tr> <th style="width: 15%;">NRC31</th> <th style="width: 15%;">NRC30</th> <th style="width: 70%;">ノイズ除去クロック</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td><math>f_{X\text{TM}3}/16</math></td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td><math>f_{X\text{TM}3}/8</math></td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td><math>f_{X\text{TM}3}/4</math></td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td><math>f_{X\text{TM}3}/2</math></td> </tr> </tbody> </table> <p><b>備考</b> <math>f_{X\text{TM}3}</math> : PRM03レジスタで選択したクロック</p>	NRC31	NRC30	ノイズ除去クロック	0	0	$f_{X\text{TM}3}/16$	0	1	$f_{X\text{TM}3}/8$	1	0	$f_{X\text{TM}3}/4$	1	1	$f_{X\text{TM}3}/2$
NRC31	NRC30	ノイズ除去クロック															
0	0	$f_{X\text{TM}3}/16$															
0	1	$f_{X\text{TM}3}/8$															
1	0	$f_{X\text{TM}3}/4$															
1	1	$f_{X\text{TM}3}/2$															

### 14.5.3 タイマ2入力端子

タイマ2の入力端子にはアナログ・フィルタによるノイズ除去回路と、クロック・サンプリングによるデジタル・フィルタが付加されています。これらの除去時間未満で変化する信号入力には、内部で受け付けられません。

端子	アナログ・フィルタ ノイズ除去時間	デジタル・フィルタ	
		ノイズ除去時間	サンプリング・クロック
P20/TI2/INTP20 P21/TO21/INTP21-P24/TO24/INTP24 P25/TCLR2/INTP25	数10 ns	4-5クロック	f <sub>XTM2</sub>

- 注意1.** デジタル・フィルタを選択した場合にはクロック・サンプリングを用いているため、CPUクロック停止時には入力信号を受け付けられません。
2. ノイズ除去回路はコントロール・モード時だけ有効です。
  3. ノイズ除去回路例は、図14 - 14を参照してください。

**備考** f<sub>XTM2</sub> : PRM02レジスタで選択したTM20, TM21のクロック

(1) タイマ2入力フィルタ・モード・レジスタ0-5 (FEM0-FEM5)

FEMnレジスタにより、タイマ2入力端子のフィルタ指定、ノイズ除去時間のクロック・ソースおよび入力有効エッジを設定します。

8/1ビット単位でリード/ライト可能です。

- 注意1.** タイマ2を使用しないでTI2/INTP20, TO21/INTP21, TO22/INTP22, TO23/INTP23, TO24/INTP24, TCLR2/INTP25端子をそれぞれINTP20, INTP21, INTP22, INTP23, INTP24, INTP25として使用する場合でも、タイマ2クロック停止レジスタ0 (STOPTE0) のSTFTEビットを必ずクリア (0) してから使用してください。
2. INTP2n端子のトリガ・モードを設定する場合は、PMC2レジスタを設定したあとで行ってください。FEMnレジスタを設定したあとでPMC2レジスタの設定を行うと、PMC2レジスタの設定タイミングで不正な割り込みが発生することがあります (n = 0-5)。
3. TCRE0レジスタのCEEnビット = 1(カウント動作許可)でノイズ除去機能が動作を開始します。

( 1/2 )

FEM0	7	6	5	4	3	2	1	0	アドレス	初期値
	DFEN00	0	0	0	EDGE010	EDGE000	TMS010	TMS000	FFFFFF630H	00H
	INTP20									
FEM1	7	6	5	4	3	2	1	0	アドレス	初期値
	DFEN01	0	0	0	EDGE011	EDGE001	TMS011	TMS001	FFFFFF631H	00H
	INTP21									
FEM2	7	6	5	4	3	2	1	0	アドレス	初期値
	DFEN02	0	0	0	EDGE012	EDGE002	TMS012	TMS002	FFFFFF632H	00H
	INTP22									
FEM3	7	6	5	4	3	2	1	0	アドレス	初期値
	DFEN03	0	0	0	EDGE013	EDGE003	TMS013	TMS003	FFFFFF633H	00H
	INTP23									
FEM4	7	6	5	4	3	2	1	0	アドレス	初期値
	DFEN04	0	0	0	EDGE014	EDGE004	TMS014	TMS004	FFFFFF634H	00H
	INTP24									
FEM5	7	6	5	4	3	2	1	0	アドレス	初期値
	DFEN05	0	0	0	EDGE015	EDGE005	TMS015	TMS005	FFFFFF635H	00H
	INTP25									

ビット位置	ビット名	意味
7	DFEN0n	INTP2n端子のフィルタを指定します。 0 : アナログ・フィルタ 1 : デジタル・フィルタ  注意 DFEN0nビット = 1のとき、デジタル・フィルタのサンプリング・クロックはf <sub>XTM2</sub> (PRM02レジスタで選択したTM20, TM21のクロック) となります。

**備考** n = 0-5

ビット位置	ビット名	意 味															
3, 2	EDGE01n, EDGE00n	<p>INTP2n端子の有効エッジを指定します。</p> <table border="1"> <thead> <tr> <th>EDGE01n</th> <th>EDGE00n</th> <th>動 作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>INTCC2nによる割り込み<sup>注</sup></td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>1</td> <td>1</td> <td>立ち上がり / 立ち下がり両エッジ</td> </tr> </tbody> </table> <p>注 TM20, TM21とサブチャネルのコンペア・レジスタ ( TMS01n, TMS00nビットの設定 ) の一致によりINTCC2nを選択する場合に設定します ( n = 0-5 ) 。</p>	EDGE01n	EDGE00n	動 作	0	0	INTCC2nによる割り込み <sup>注</sup>	0	1	立ち上がりエッジ	1	0	立ち下がりエッジ	1	1	立ち上がり / 立ち下がり両エッジ
EDGE01n	EDGE00n	動 作															
0	0	INTCC2nによる割り込み <sup>注</sup>															
0	1	立ち上がりエッジ															
1	0	立ち下がりエッジ															
1	1	立ち上がり / 立ち下がり両エッジ															
1, 0	TMS01n, TMS00n	<p>キャプチャ入力を選択します<sup>注</sup>。</p> <table border="1"> <thead> <tr> <th>TMS01n</th> <th>TMS00n</th> <th>動 作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>端子として使用</td> </tr> <tr> <td>0</td> <td>1</td> <td>デジタル・フィルタ ( ノイズ除去回路の指定 )</td> </tr> <tr> <td>1</td> <td>0</td> <td>タイマによるサブチャネル1へのキャプチャ</td> </tr> <tr> <td>1</td> <td>1</td> <td>タイマによるサブチャネル2へのキャプチャ</td> </tr> </tbody> </table> <p>注 INTCM100, INTCM101によるキャプチャ入力の選択は ,FEM1, FEM2レジスタのみです。FEMmレジスタのTMS01m, TMS00mビット値には , 00Bまたは01Bを設定してください。これ以外の設定は禁止します ( m = 1, 3-5 ) 。</p> <p>タイマ2のサブチャネル1 , サブチャネル2は , INTP21, INTP22とINTCM100, INTCM101によるキャプチャが可能です。</p> <p>次に例を示します。</p> <p>( a ) サブチャネル1をINTCM101でキャプチャする場合  FEM1レジスタ = xxxxxx10B  TMIC0レジスタ = 00000010B</p> <p>( b ) サブチャネル2をINTCM101でキャプチャする場合  FEM2レジスタ = xxxxxx11B  TMIC0レジスタ = 00001000B</p>	TMS01n	TMS00n	動 作	0	0	端子として使用	0	1	デジタル・フィルタ ( ノイズ除去回路の指定 )	1	0	タイマによるサブチャネル1へのキャプチャ	1	1	タイマによるサブチャネル2へのキャプチャ
TMS01n	TMS00n	動 作															
0	0	端子として使用															
0	1	デジタル・フィルタ ( ノイズ除去回路の指定 )															
1	0	タイマによるサブチャネル1へのキャプチャ															
1	1	タイマによるサブチャネル2へのキャプチャ															

備考 n = 0-5

# 第15章 リセット機能

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるとシステム・リセットがかかり、V850E/IA1の各ハードウェアは初期状態にイニシャライズされます。

$\overline{\text{RESET}}$ 端子がロウ・レベルからハイ・レベルになると、リセット状態が解除され、CPUはプログラムの実行を開始します。各種レジスタの内容は、プログラムの中で必要に応じてイニシャライズしてください。

## 15.1 特徴

リセット端子 ( $\overline{\text{RESET}}$ ) にアナログ・ディレイ ( 60 ns ) によるノイズ除去

## 15.2 端子機能

システム・リセット期間中は、ほとんどの端子出力( CLKOUT<sup>注</sup>,  $\overline{\text{RESET}}$ , X2, VDD5, VSS5, VDD3, VSS3, CVDD, CVSS, AVDD, AVREF0, AVREF1, AVSS端子を除く全端子) がハイ・インピーダンスになります。

したがって、たとえば外部にメモリを接続している場合は、ポートDH, DL, CS, CT, CMの各端子にプルアップ (またはプルダウン) 抵抗を付ける必要があります。抵抗がない場合、これらの端子がハイ・インピーダンスになると接続している外部メモリを破壊する可能性があります。

同様に、内蔵の周辺I/O機能の信号出力、出力ポートにおいても、影響がないよう端子の処理を行ってください。

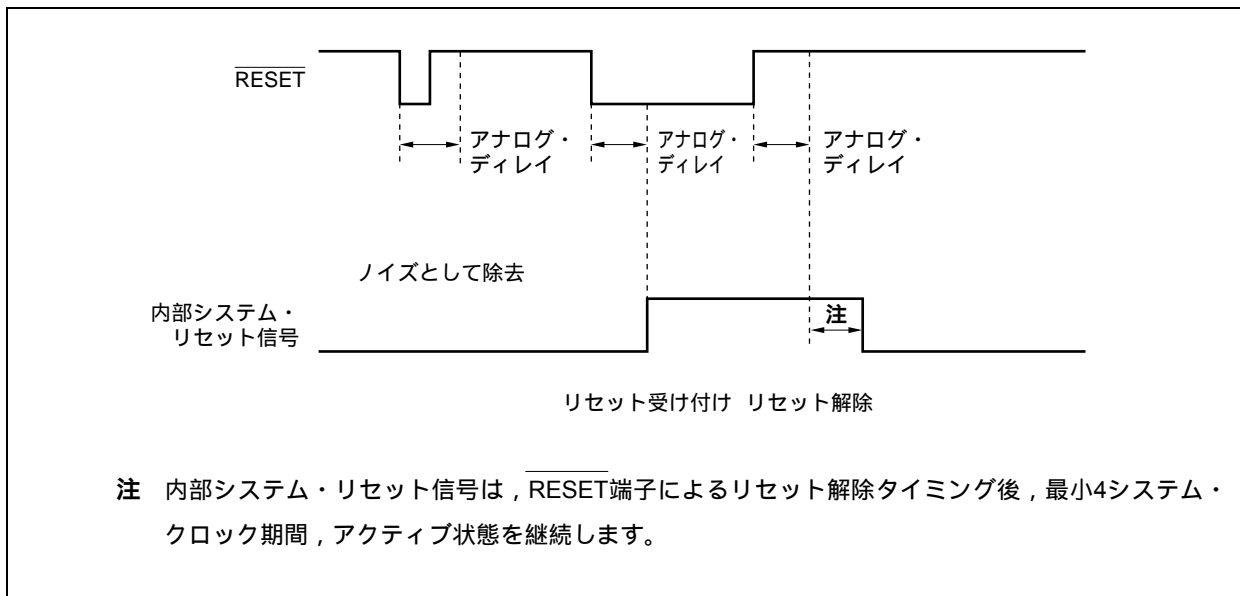
注 ROMレス・モード0, 1, シングルチップ・モード1では、リセット期間中でもCLKOUT信号を出力します。シングルチップ・モード0では、PMCCMレジスタを設定するまでCLKOUT信号を出力しません。

リセット期間中の各端子の動作状態を表15 - 1に示します。

表15 - 1 リセット期間中の各端子の動作状態

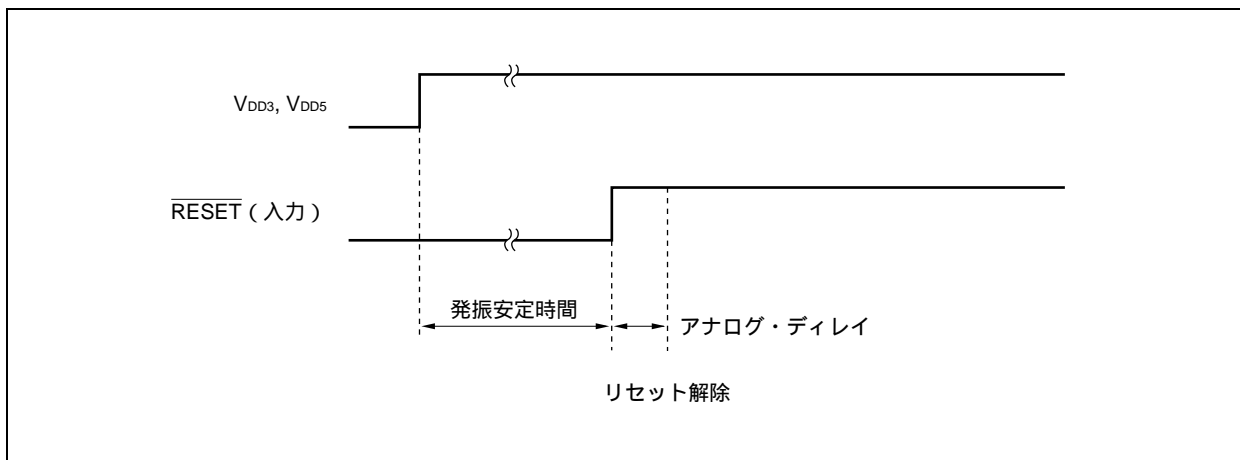
端子名	端子状態			
	シングルチップ・モード0のとき	シングルチップ・モード1のとき	ROMレス・モード0のとき	ROMレス・モード1のとき
A16-A23, AD0-AD15, CS0-CS7, LWR, $\overline{\text{UWR}}$ , $\overline{\text{RD}}$ , $\overline{\text{ASTB}}$ , $\overline{\text{WAIT}}$ , $\overline{\text{HLDAK}}$ , $\overline{\text{HLDRQ}}$	(ポート・モード)	ハイ・インピーダンス		
CLKOUT	(ポート・モード)	動作		
ポート端子	ポート0-4	(入力)		
	ポートCM, CS, CT, DH, DL	(入力)	(コントロール・モード)	

(1) リセット信号の受け付け



(2) パワーオン時のリセット

パワーオン（電源投入）時のリセット動作では、 $\overline{\text{RESET}}$ 信号のロウ・レベル幅により、電源の立ち上がりからリセット受け付けまで発振安定時間を確保する必要があります。



### 15.3 イニシャライズ

各レジスタの内容はプログラム中で必要に応じてイニシャライズしてください。

CPU, 内蔵RAM, 内蔵周辺I/Oのリセット後の初期値を表15 - 2に示します。

表15 - 2 CPU, 内蔵RAM, 内蔵周辺I/Oのリセット後の初期値 (1/6)

内蔵ハードウェア		レジスタ名	リセット後の初期値
CPU	プログラム・レジスタ	汎用レジスタ (r0)	00000000H
		汎用レジスタ (r1-r31)	不定
		プログラム・カウンタ (PC)	00000000H
	システム・レジスタ	割り込み時状態退避レジスタ (EIPC, EIPSW)	不定
		NMI時状態退避レジスタ (FEPC, FEPSW)	不定
		割り込み要因レジスタ (ECR)	00000000H
		プログラム・ステータス・ワード (PSW)	00000020H
		CALLT実行時状態退避レジスタ (CTPC, CTPSW)	不定
		例外/デバッグ・トラップ時状態退避レジスタ (DBPC, DBPSW)	不定
		CALLTベース・ポインタ (CTBP)	不定
内蔵RAM	-	不定	
内蔵周辺I/O	バス制御機能	チップ・エリア選択コントロール・レジスタn (CSCn) (n = 0, 1)	2C11H
		周辺エリア選択コントロール・レジスタ (BPC)	0000H
		バス・サイズ・コンフィギュレーション・レジスタ (BSC)	0000H/5555H
		システム・ウェイト・コントロール・レジスタ (VSWC)	77H
	メモリ制御機能	バス・サイクル・タイプ・コンフィギュレーション・レジスタn (BCTn) (n = 0, 1)	CCCCH
		データ・ウェイト・コントロール・レジスタn (DWCn) (n = 0, 1)	3333H
		アドレス・ウェイト制御レジスタ (AWC)	0000H
		バス・サイクル・コントロール・レジスタ (BCC)	AAAAH
	DMA機能	DMAソース・アドレス・レジスタnL (DSAnL) (n = 0-3)	不定
		DMAソース・アドレス・レジスタnH (DSAnH) (n = 0-3)	不定
		DMAデスティネーション・アドレス・レジスタnL (DDAnL) (n = 0-3)	不定
		DMAデスティネーション・アドレス・レジスタnH (DDAnH) (n = 0-3)	不定
		DMA転送カウント・レジスタn (DBCn) (n = 0-3)	不定
		DMAアドレッシング・コントロール・レジスタn (DADCn) (n = 0-3)	0000H
		DMAチャンネル・コントロール・レジスタn (DCHCn) (n = 0-3)	00H
		DMAディスエーブル・ステータス・レジスタ (DDIS)	00H
		DMAリスタート・レジスタ (DRST)	00H
		DMAトリガ要因レジスタn (DTFRn) (n = 0-3)	00H
		割り込み / 例外制御機能	インサービス・プライオリティ・レジスタ (ISPR)
	外部割り込みモード・レジスタn (INTMn) (n = 0-2)		00H
	割り込みマスク・レジスタn (IMRn) (n = 0-3)		FFFFH
	割り込みマスク・レジスタnL (IMRnL) (n = 0-3)		FFH
	割り込みマスク・レジスタnH (IMRnH) (n = 0-3)		FFH
	シグナル・エッジ選択レジスタn (SESA1n) (n = 10, 11)		00H
	有効エッジ選択レジスタ (SESC)		00H
	タイマ2入力フィルタ・モード・レジスタn (FEMn) (n = 0-5)		00H



表15 - 2 CPU, 内蔵RAM, 内蔵周辺I/Oのリセット後の初期値 (2/6)

内蔵ハードウェア		レジスタ名	リセット後の初期値
内蔵周辺 I/O	割り込み / 例外制御機能	割り込み制御レジスタ ( P0IC0-P0IC6, DETIC0, DETIC1, TM0IC0, CM03IC0, TM0IC1, CM03IC1, CC10IC0, CC10IC1, CM10IC0, CM10IC1, CC11IC0, CC11IC1, CM11IC0, CM11IC1, TM2IC0, TM2IC1, CC2IC0-CC2IC5, TM3IC0, CC3IC0, CC3IC1, CM4IC0, DMAIC0-DMAIC3, CANIC0-CANIC3, CSIIC0, CSIIC1, SRIC0-SRIC2, STIC0-STIC2, SEIC0, ADIC0, ADIC1 )	47H
	パワー・セーブ制御機能	コマンド・レジスタ ( PRCMD )	不定
		パワー・セーブ・コントロール・レジスタ ( PSC )	00H
		クロック・コントロール・レジスタ ( CKC )	00H
		パワー・セーブ・モード・レジスタ ( PSMR )	00H
		ロック・レジスタ ( LOCKR )	0000000xB
	システム・コントロール	ペリフェラル・コマンド・レジスタ ( PHCMD )	不定
		ペリフェラル・ステータス・レジスタ ( PHS )	00H
	タイマ0	デッド・タイム・タイマ・リロード・レジスタn ( DTRRn ) ( n = 0, 1 )	0FFFH
		バッファ・レジスタCM0n, CM1n ( BFCM0n, BFCM1n ) ( n = 0-3 )	FFFFH
		タイマ・コントロール・レジスタ0n ( TMC0n ) ( n = 0, 1 )	0508H
		タイマ・コントロール・レジスタ0nL ( TMC0nL ) ( n = 0, 1 )	08H
		タイマ・コントロール・レジスタ0nH ( TMC0nH ) ( n = 0, 1 )	05H
		タイマ・ユニット・コントロール・レジスタ0n ( TUC0n ) ( n = 0, 1 )	01H
		タイマ出力モード・レジスタn ( TOMRn ) ( n = 0, 1 )	00H
		PWMソフトウェア・タイミング出力レジスタn ( PSTOn ) ( n = 0, 1 )	00H
		PWM出力イネーブル・レジスタn ( POERn ) ( n = 0, 1 )	00H
		TOMR書き込み許可レジスタn ( SPECn ) ( n = 0, 1 )	0000H
		タイマ0クロック選択レジスタ ( PRM01 )	00H
		タイマ1	タイマ1n ( TM1n ) ( n = 0, 1 )
	コンペア・レジスタ1n ( CM1n ) ( n = 00, 01, 10, 11 )		0000H
	キャプチャ / コンペア・レジスタ1n ( CC1n ) ( n = 00, 01, 10, 11 )		0000H
	キャプチャ / コンペア・コントロール・レジスタn ( CCRn ) ( n = 0, 1 )		00H
	タイマ・ユニット・モード・レジスタn ( TUMn ) ( n = 0, 1 )		00H
	タイマ・コントロール・レジスタ1n ( TMC1n ) ( n = 0, 1 )		00H
	シグナル・エッジ選択レジスタ1n ( SESA1n ) ( n = 0, 1 )		00H
	プリスケアラ・モード・レジスタ1n ( PRM1n ) ( n = 0, 1 )		07H
	ステータス・レジスタn ( STATUSn ) ( n = 0, 1 )		00H
	タイマ接続選択レジスタ0 ( TMIC0 )		00H
	タイマ1/タイマ2クロック選択レジスタ ( PRM02 )		00H
	CC1n1キャプチャ入力選択レジスタ ( CSL1n ) ( n = 0, 1 )		00H
	タイマ1nノイズ除去時間選択レジスタ ( NRC1n ) ( n = 0, 1 )		00H
	タイマ2		タイマ2クロック停止レジスタ0 ( STOPTE0 )
		タイマ2クロック停止レジスタ0L ( STOPTE0L )	00H
		タイマ2クロック停止レジスタ0H ( STOPTE0H )	00H
		タイマ2カウント・クロック / 制御エッジ選択レジスタ0 ( CSE0 )	0000H
タイマ2カウント・クロック / 制御エッジ選択レジスタ0L ( CSE0L )		00H	
タイマ2カウント・クロック / 制御エッジ選択レジスタ0H ( CSE0H )		00H	

表15-2 CPU, 内蔵RAM, 内蔵周辺I/Oのリセット後の初期値 (3/6)

内蔵ハードウェア		レジスタ名	リセット後の初期値	
内蔵周辺 I/O	タイマ2	タイマ2サブチャネル入力イベント・エッジ選択レジスタ0 (SESE0)	0000H	
		タイマ2サブチャネル入力イベント・エッジ選択レジスタ0L (SESE0L)	00H	
		タイマ2サブチャネル入力イベント・エッジ選択レジスタ0H (SESE0H)	00H	
		タイマ2タイム・ベース制御レジスタ0 (TCRE0)	0000H	
		タイマ2タイム・ベース制御レジスタ0L (TCRE0L)	00H	
		タイマ2タイム・ベース制御レジスタ0H (TCRE0H)	00H	
		タイマ2出力制御レジスタ0 (OCTLE0)	0000H	
		タイマ2出力制御レジスタ0L (OCTLE0L)	00H	
		タイマ2出力制御レジスタ0H (OCTLE0H)	00H	
		タイマ2サブチャネル0, 5キャプチャ/コンペア制御レジスタ (CMSE050)	0000H	
		タイマ2サブチャネル1, 2キャプチャ/コンペア制御レジスタ (CMSE120)	0000H	
		タイマ2サブチャネル3, 4キャプチャ/コンペア制御レジスタ (CMSE340)	0000H	
		タイマ2サブチャネルn副キャプチャ/コンペア・レジスタ (CVSEn0) (n = 1-4)	0000H	
		タイマ2サブチャネルn主キャプチャ/コンペア・レジスタ (CVPEn0) (n = 1-4)	0000H	
		タイマ2サブチャネルnキャプチャ/コンペア・レジスタ (CVSEn0) (n = 0, 5)	0000H	
		タイマ2タイム・ベース・ステータス・レジスタ0 (TBSTATE0)	0101H	
		タイマ2タイム・ベース・ステータス・レジスタ0L (TBSTATE0L)	01H	
		タイマ2タイム・ベース・ステータス・レジスタ0H (TBSTATE0H)	01H	
		タイマ2キャプチャ/コンペア1-4ステータス・レジスタ0 (CCSTATE0)	0000H	
		タイマ2キャプチャ/コンペア1-4ステータス・レジスタ0L (CCSTATE0L)	00H	
		タイマ2キャプチャ/コンペア1-4ステータス・レジスタ0H (CCSTATE0H)	00H	
		タイマ2出力遅延レジスタ0 (ODELE0)	0000H	
		タイマ2出力遅延レジスタ0L (ODELE0L)	00H	
		タイマ2出力遅延レジスタ0H (ODELE0H)	00H	
		タイマ2ソフトウェア・イベント・キャプチャ・レジスタ (OSCE0)	0000H	
		タイマ3	タイマ3 (TM3)	0000H
			キャプチャ/コンペア・レジスタ3n (CC3n) (n = 0, 1)	0000H
			タイマ・コントロール・レジスタ30 (TMC30)	00H
			タイマ・コントロール・レジスタ31 (TMC31)	20H
			有効エッジ選択レジスタ (SESC)	00H
			タイマ3クロック選択レジスタ (PRM03)	00H
			タイマ3ノイズ除去時間選択レジスタ (NRC3)	00H
			タイマ4	タイマ4 (TM4)
		コンペア・レジスタ4 (CM4)		0000H
		タイマ・コントロール・レジスタ4 (TMC4)		00H
		シリアル・インタフェース機能 (CSI0, CSI1)	クロック同期式シリアル・インタフェース・モード・レジスタn (CSIMn) (n = 0, 1)	00H

表15-2 CPU, 内蔵RAM, 内蔵周辺I/Oのリセット後の初期値 (4/6)

内蔵ハードウェア		レジスタ名	リセット後の初期値
内蔵周辺 I/O	シリアル・インタフェース機能 (CSI0, CSI1)	クロック同期式シリアル・インタフェース・クロック選択レジスタn (CSICn) (n = 0, 1)	00H
		クロック同期式シリアル・インタフェース受信バッファ・レジスタn (SIRBn) (n = 0, 1)	0000H
		クロック同期式シリアル・インタフェース受信バッファ・レジスタLn (SIRBLn) (n = 0, 1)	00H
		クロック同期式シリアル・インタフェース送信バッファ・レジスタn (SOTBn) (n = 0, 1)	0000H
		クロック同期式シリアル・インタフェース送信バッファ・レジスタLn (SOTBLn) (n = 0, 1)	00H
		クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタn (SIRBEn) (n = 0, 1)	0000H
		クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタLn (SIRBELn) (n = 0, 1)	00H
		クロック同期式シリアル・インタフェース初段送信バッファ・レジスタn (SOTBFn) (n = 0, 1)	0000H
		クロック同期式シリアル・インタフェース初段送信バッファ・レジスタLn (SOTBFLn) (n = 0, 1)	00H
		シリアルI/Oシフト・レジスタn (SIOFn) (n = 0, 1)	0000H
		シリアルI/Oシフト・レジスタLn (SIOLn) (n = 0, 1)	00H
		プリスケラ・モード・レジスタ (PRSM3)	00H
		プリスケラ・コンペア・レジスタ (PRSCM3)	00H
		シリアル・インタフェース機能 (UART0)	アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)
	受信バッファ・レジスタ0 (RXB0)		FFH
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)		00H
	送信バッファ・レジスタ0 (TXB0)		FFH
	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ0 (ASIF0)		00H
	ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)		FFH
	クロック選択レジスタ0 (CKSR0)	00H	
シリアル・インタフェース機能 (UART1, UART2)	アシンクロナス・シリアル・インタフェース・モード・レジスタn0 (ASIMn0) (n = 1, 2)	81H	
	アシンクロナス・シリアル・インタフェース・モード・レジスタn1 (ASIMn1) (n = 1, 2)	00H	
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタn (ASISn) (n = 1, 2)	00H	
	2フレーム連続受信用バッファ・レジスタn (RXBn) (n = 1, 2)	不定	
	受信バッファ・レジスタLn (RXBLn) (n = 1, 2)	不定	
	2フレーム連続送信用シフト・レジスタn (TXSn) (n = 1, 2)	不定	
	送信シフト・レジスタLn (TXSLn) (n = 1, 2)	不定	
	プリスケラ・モード・レジスタn (PRSMn) (n = 1, 2)	00H	
	プリスケラ・コンペア・レジスタn (PRSCMn) (n = 1, 2)	00H	

表15-2 CPU, 内蔵RAM, 内蔵周辺I/Oのリセット後の初期値 (5/6)

内蔵ハードウェア		レジスタ名	リセット後の初期値		
内蔵周辺 I/O	シリアル・インタフェース機能 (FCAN)	CANメッセージ・データ長レジスタn (M_DLCn) (n = 00-31)	不定		
		CANメッセージ・コントロール・レジスタn (M_CTRLn) (n = 00-31)	不定		
		CANメッセージ・タイム・スタンプ・レジスタn (M_TIMEn) (n = 00-31)	不定		
		CANメッセージ・データ・レジスタnm (M_DATAnm) (n = 00-31, m = 0-7)	不定		
		CANメッセージIDレジスタLn, Hn (M_IDLn, M_IDHn) (n = 00-31)	不定		
		CANメッセージ構成レジスタn (M_CONFn) (n = 00-31)	不定		
		CANメッセージ・ステータス・レジスタn (M_STATn) (n = 00-31)	不定		
		CANステータス・セット/クリア・レジスタn (SC_STATn) (n = 00-31)	0000H		
		CAN割り込み保留レジスタ (CCINTP)	0000H		
		CANグローバル割り込み保留レジスタ (CGINTP)	00H		
		CAN1割り込み保留レジスタ (C1INTP)	00H		
		CANストップ・レジスタ (CSTOP)	0000H		
		CANグローバル・ステータス・レジスタ (CGST)	0100H		
		CANグローバル割り込み許可レジスタ (CGIE)	0A00H		
		CANメイン・クロック選択レジスタ (CGCS)	7F05H		
		CANタイム・スタンプ・カウント・レジスタ (CGTSC)	0000H		
		CANメッセージ検索開始/結果レジスタ (ライト時: CGMSS, リード時: CGMSR)	0000H		
		CAN1アドレス・マスクnレジスタL, H (C1MASKLn, C1MASKHn) (n = 0-3)	不定		
		CAN1コントロール・レジスタ (C1CTRL)	0101H		
		CAN1定義レジスタ (C1DEF)	0000H		
		CAN1情報レジスタ (C1LAST)	00FFH		
		CAN1エラー・カウント・レジスタ (C1ERC)	0000H		
		CAN1割り込み許可レジスタ (C1IE)	0900H		
		CAN1バス・アクティブ・レジスタ (C1BA)	00FFH		
		CAN1ビット・レート・プリスケラ・レジスタ (C1BRP)	0000H		
		CAN1バス診断情報レジスタ (C1DINF)	0000H		
		CAN1同期コントロール・レジスタ (C1SYNC)	0218H		
		FCANクロック選択レジスタ (PRM04)	00H		
		A/Dコンバータ	A/Dスキャン・モード・レジスタn0 (ADSCMn0) (n = 0, 1)	A/Dスキャン・モード・レジスタn0L (ADSCMn0L) (n = 0, 1)	00H
				A/Dスキャン・モード・レジスタn0H (ADSCMn0H) (n = 0, 1)	00H
				A/Dスキャン・モード・レジスタn1 (ADSCMn1) (n = 0, 1)	0000H
			A/Dスキャン・モード・レジスタn1L (ADSCMn1L) (n = 0, 1)	A/Dスキャン・モード・レジスタn1L (ADSCMn1L) (n = 0, 1)	00H
				A/Dスキャン・モード・レジスタn1H (ADSCMn1H) (n = 0, 1)	00H
				A/D電圧検出モード・レジスタn (ADETMn) (n = 0, 1)	0000H
A/D電圧検出モード・レジスタnL (ADETMnL) (n = 0, 1)	A/D電圧検出モード・レジスタnL (ADETMnL) (n = 0, 1)		00H		
	A/D電圧検出モード・レジスタnH (ADETMnH) (n = 0, 1)		00H		
A/D変換結果レジスタ0n (ADCR0n) (n = 0-7)	0000H				
A/D変換結果レジスタ1n (ADCR1n) (n = 0-7)	0000H				
A/D内部トリガ選択レジスタ (ITRG0)	00H				

表15 - 2 CPU, 内蔵RAM, 内蔵周辺I/Oのリセット後の初期値 (6/6)

内蔵ハードウェア		レジスタ名	リセット後の初期値	
内蔵周辺 I/O	ポート機能	ポート ( P0-P4, PDH, PCS, PCT, PCM )	不定	
		ポート ( PDL )	不定	
		ポート ( PDLL )	不定	
		ポート ( PDLH )	不定	
		モード・レジスタ ( PM1-PM4, PMDH, PMCS, PMCT, PMCM )	FFH	
		モード・レジスタ ( PMDL )	FFFFH	
		モード・レジスタ ( PMDLL )	FFH	
		モード・レジスタ ( PMDLH )	FFH	
		モード・コントロール・レジスタ ( PMC1-PMC4 )	00H	
		モード・コントロール・レジスタ ( PMCDH, PMCCS )	00H/FFH	
		モード・コントロール・レジスタ ( PMCDL )	0000H/FFFFH	
		モード・コントロール・レジスタ ( PMCDLL )	00H/FFH	
		モード・コントロール・レジスタ ( PMCDLH )	00H/FFH	
		モード・コントロール・レジスタ ( PMCCT )	00H/53H	
		モード・コントロール・レジスタ ( PMCCM )	00H/0FH	
		ファンクション・コントロール・レジスタ ( PFC1, PFC2 )	00H	
		NBD機能	RAMアクセス用データ・バッファ・レジスタL ( NBDL )	0000H
			RAMアクセス用データ・バッファ・レジスタLL ( NBDLL )	00H
			RAMアクセス用データ・バッファ・レジスタLU ( NBDLU )	00H
			RAMアクセス用データ・バッファ・レジスタH ( NBDH )	0000H
	RAMアクセス用データ・バッファ・レジスタHL ( NBDHL )		00H	
	RAMアクセス用データ・バッファ・レジスタHU ( NBDHU )		00H	
	DMAソース・アドレス設定レジスタSL ( NBDMSL )		不定	
	DMAソース・アドレス設定レジスタSH ( NBDMSH )		不定	
	DMAデスティネーション・アドレス設定レジスタDL ( NBDMDL )		不定	
	DMAデスティネーション・アドレス設定レジスタDH ( NBDMDH )		不定	
	フラッシュ・メモリ	フラッシュ・プログラミング・モード・コントロール・レジスタ ( FLPMC )	08H/0CH/00H <sup>注</sup>	

注  $\mu$ PD703116 : 00H

$\mu$ PD70F3116 : 08Hまたは0CH (詳細は, 16. 7. 12 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) を参照してください)

注意 上記の表における“不定”とは, パワーオン・リセット時の不定, または $\overline{\text{RESET}}$  入力とデータ書き込みタイミングが同期したときのデータ破壊による不定を意味し, これ以外の $\overline{\text{RESET}}$  ではデータは直前の状態に保持されます。

## 第16章 フラッシュ・メモリ ( $\mu$ PD70F3116)

$\mu$  PD70F3116はV850E/IA1のフラッシュ・メモリ内蔵品で、128 Kバイトのエリア2つで構成される256 Kバイトのフラッシュ・メモリを内蔵しています。

**注意** フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品 (ES製品ではなく) で十分に評価してください。

フラッシュ・メモリへの書き込みは、ターゲット・システムに実装した状態 (オンボード) で行えます。専用フラッシュ・メモリ・プログラマをターゲット・システムに接続して書き込みます。

フラッシュ・メモリを使用した開発環境および用途として次のようなことが考えられます。

ターゲット・システムにV850E/IA1を半田実装後、ソフトウェアの変更可能  
ソフトウェアを区別することで少量多品種生産が容易  
量産立ち上げ時のデータ調整が容易

### 16.1 特 徴

全エリア一括消去、またはエリア (128 Kバイト) 単位消去  
専用フラッシュ・メモリ・プログラマからシリアル・インタフェースを介して通信  
消去 / 書き込み電圧:  $V_{PP} = 7.8 \text{ V}$   
オンボード・プログラミング  
エリア (128 Kバイト) 単位のセルフ書き込みによるフラッシュ・メモリ・プログラミングが可能

### 16.2 フラッシュ・メモリ・プログラマによる書き込み方法

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードでの書き込みができます。

**注意** フラッシュ・メモリ・プログラマで書き込みを行う場合、PLLモードにおいては必ず5通倍された周波数で動作します。

#### (1) オンボード・プログラミング

ターゲット・システム上にV850E/IA1を実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

#### (2) オフボード・プログラミング

ターゲット・システム上にV850E/IA1を実装する前に専用プログラム・アダプタ (FAシリーズ) などでフラッシュ・メモリに書き込みます。

備考 FAシリーズは、(株)内藤電誠町田製作所の製品です。

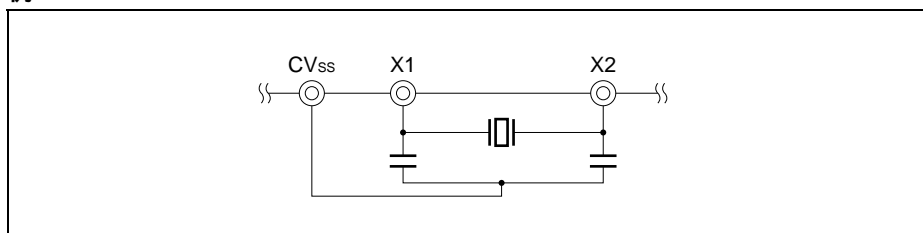
フラッシュ書き込み用アダプタ (FA-144GJ-8EU) を使用して書き込む場合は、次のように配線してください。

表16 - 1 V850E/IA1フラッシュ書き込み用アダプタ (FA-144GJ-8EU) の配線表

FA-144GJ-8EU のシルク名	V850E/IA1			
	UART0		CSI0	
	端子名	ピン番号	端子名	ピン番号
SI	TXD0/P31	38	SO0/P41	30
SO	RXD0/P30	37	SI0/P40	29
SCK	-		SCK0/P42	31
X1	X1	23 <sup>注1</sup>	X1	23 <sup>注1</sup>
X2	X2	24 <sup>注1</sup>	X2	24 <sup>注1</sup>
/RESET	RESET	20	RESET	20
V <sub>PP</sub>	V <sub>PP</sub> /IC5	89	V <sub>PP</sub> /IC5	89
RESERVE/HS	-		A16/PDH0 <sup>注2</sup>	73
LVDD <sup>注3</sup>	V <sub>DD3</sub>	53, 128	V <sub>DD3</sub>	53, 128
	C <sub>VDD</sub>	21	C <sub>VDD</sub>	21
VDD	V <sub>DD5</sub>	56, 91, 125	V <sub>DD5</sub>	56, 91, 125
	AV <sub>REF0</sub>	137	AV <sub>REF0</sub>	137
	AV <sub>REF1</sub>	4	AV <sub>REF1</sub>	4
	MODE1	27	MODE1	27
	AV <sub>DD</sub>	2, 135	AV <sub>DD</sub>	2, 135
GND	V <sub>SS3</sub>	54, 127	V <sub>SS3</sub>	54, 127
	V <sub>SS5</sub>	55, 90, 126	V <sub>SS5</sub>	55, 90, 126
	AV <sub>SS</sub>	3, 136	AV <sub>SS</sub>	3, 136
	C <sub>VSS</sub>	22	C <sub>VSS</sub>	22
	MODE0	26	MODE0	26
	MODE2	28	MODE2	28
	NMI/P00	111	NMI/P00	111
注4	CKSEL	25	CKSEL	25

注1. FA-144GJ-8EU基板上に発振子およびコンデンサで発振回路を構成してください。次に発振回路例を示します。

例



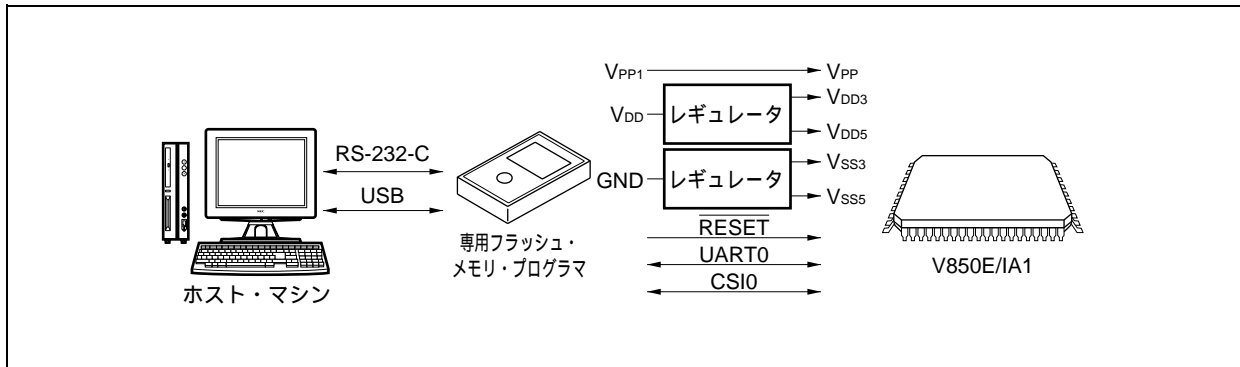
2. ハンドシェイクを使用しない場合は接続の必要はありません
3. 3.3 V生成用に2電源アダプタ (FA-TVC) のオプションがあります。
4. PLLモード時 : GND  
ダイレクト・モード時 : V<sub>DD5</sub>

備考 - : オープンにしてください。

### 16.3 プログラミング環境

V850E/IA1のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図16-1 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

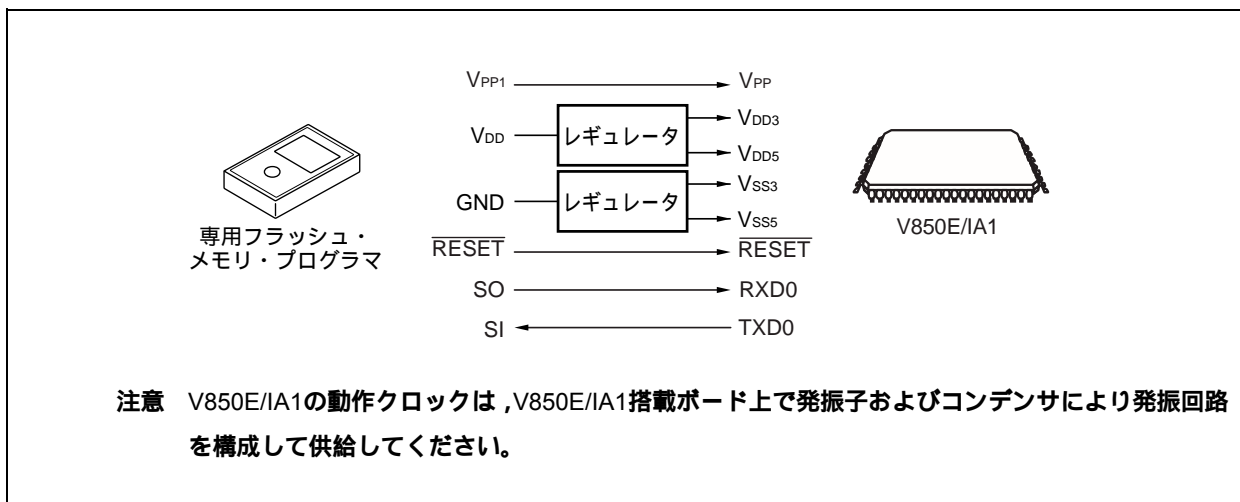
また、専用フラッシュ・メモリ・プログラマとV850E/IA1とのインタフェースはUART0またはCSIOを使用して、書き込み、消去等の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ (FAシリーズ) が必要です。V850E/IA1の動作クロックは、V850E/IA1搭載ボード上で発振子およびコンデンサにより発振回路を構成して供給してください。

### 16.4 通信方式

#### (1) UART0

転送レート : 4800 bps ~ 76800 bps (LSBファースト)

図16-2 専用フラッシュ・メモリ・プログラマとの通信 (UART0)

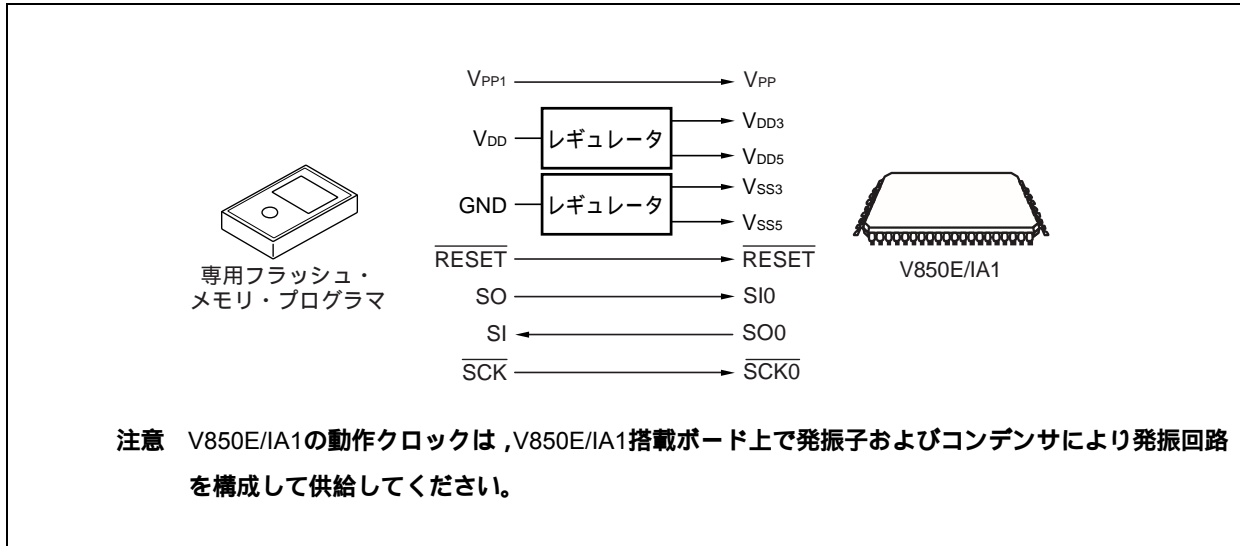




(2) CSI0

転送レート：~2 MHz (MSBファースト)

図16 - 3 専用フラッシュ・メモリ・プログラマとの通信 (CSI0)

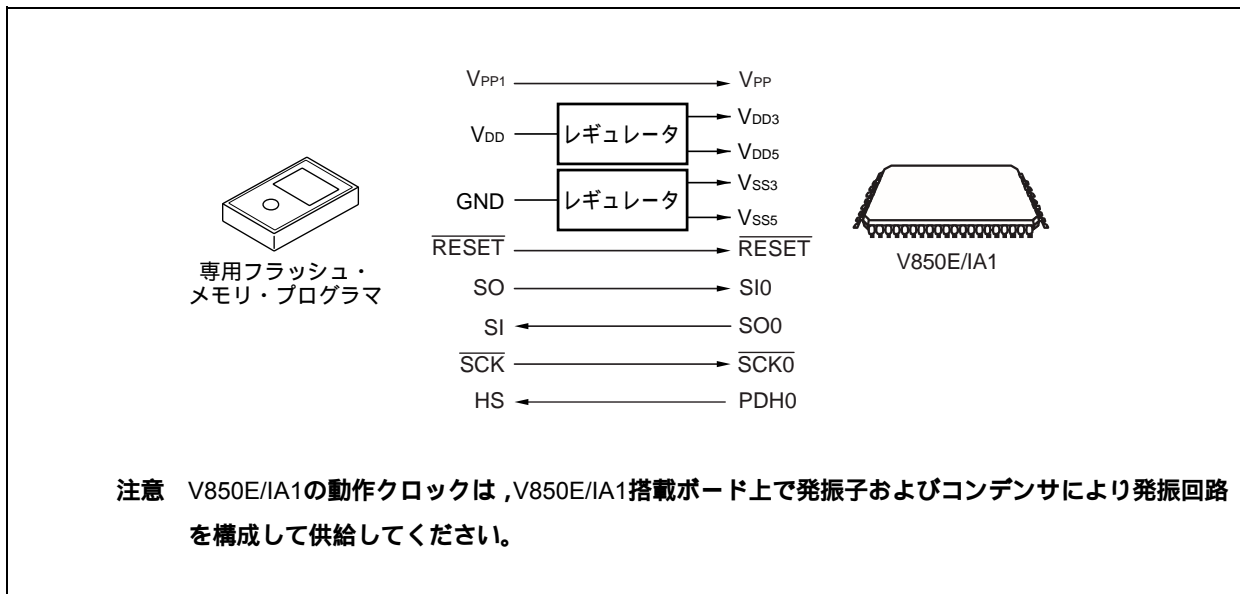


専用フラッシュ・メモリ・プログラマが転送クロックを出力し、V850E/IA1はスレーブとして動作します。

(3) ハンドシェイク対応CSI通信方式

転送レート：~2 MHz (MSBファースト)

図16 - 4 専用フラッシュ・メモリ・プログラマとの通信 (ハンドシェイク対応CSI通信方式)



## 16.5 端子処理

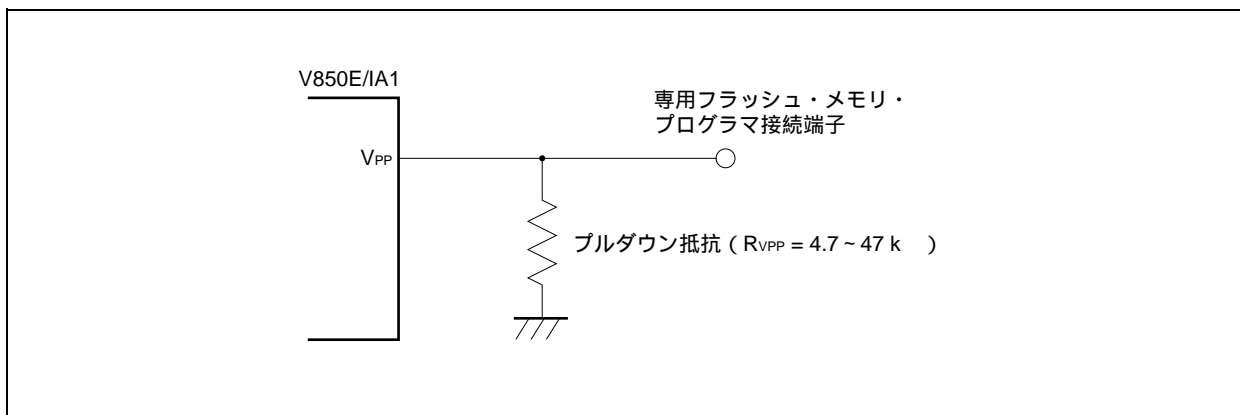
オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モード（シングルチップ・モード0, 1またはROMレス・モード0, 1）からフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてシングルチップ・モード0のリセット直後と同じ状態になります。したがって、ポートはすべてハイ・インピーダンス状態になるため、外部デバイスがハイ・インピーダンス状態を認めない場合は端子処理が必要です。

### 16.5.1 V<sub>PP</sub>端子

通常動作モード時は、V<sub>PP</sub>端子に0 Vを入力します。また、フラッシュ・メモリ・プログラミング・モード時は、V<sub>PP</sub>端子に7.8 Vの書き込み電圧を供給します。V<sub>PP</sub>端子の接続例を次に示します。

図16 - 5 V<sub>PP</sub>端子の接続例



### 16.5.2 シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表16 - 2 各シリアル・インタフェースが使用する端子

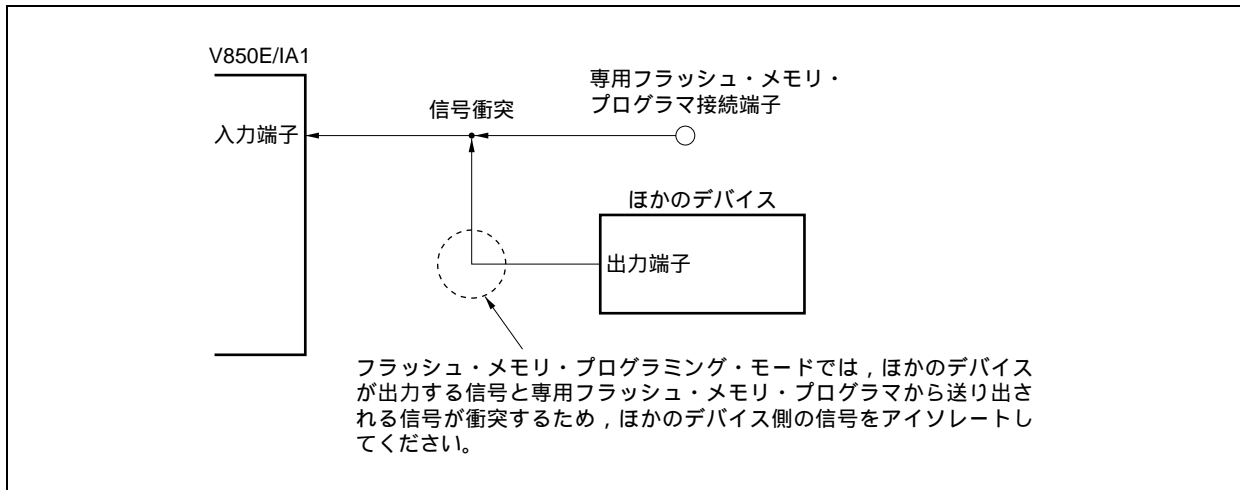
シリアル・インタフェース	使用端子
CSI0	SO0, SI0, SCK0
CSI0 + HS	SO0, SI0, SCK0, PDH0
UART0	TXD0, RXD0

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・メモリ・プログラマを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

## (1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・メモリ・プログラマ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

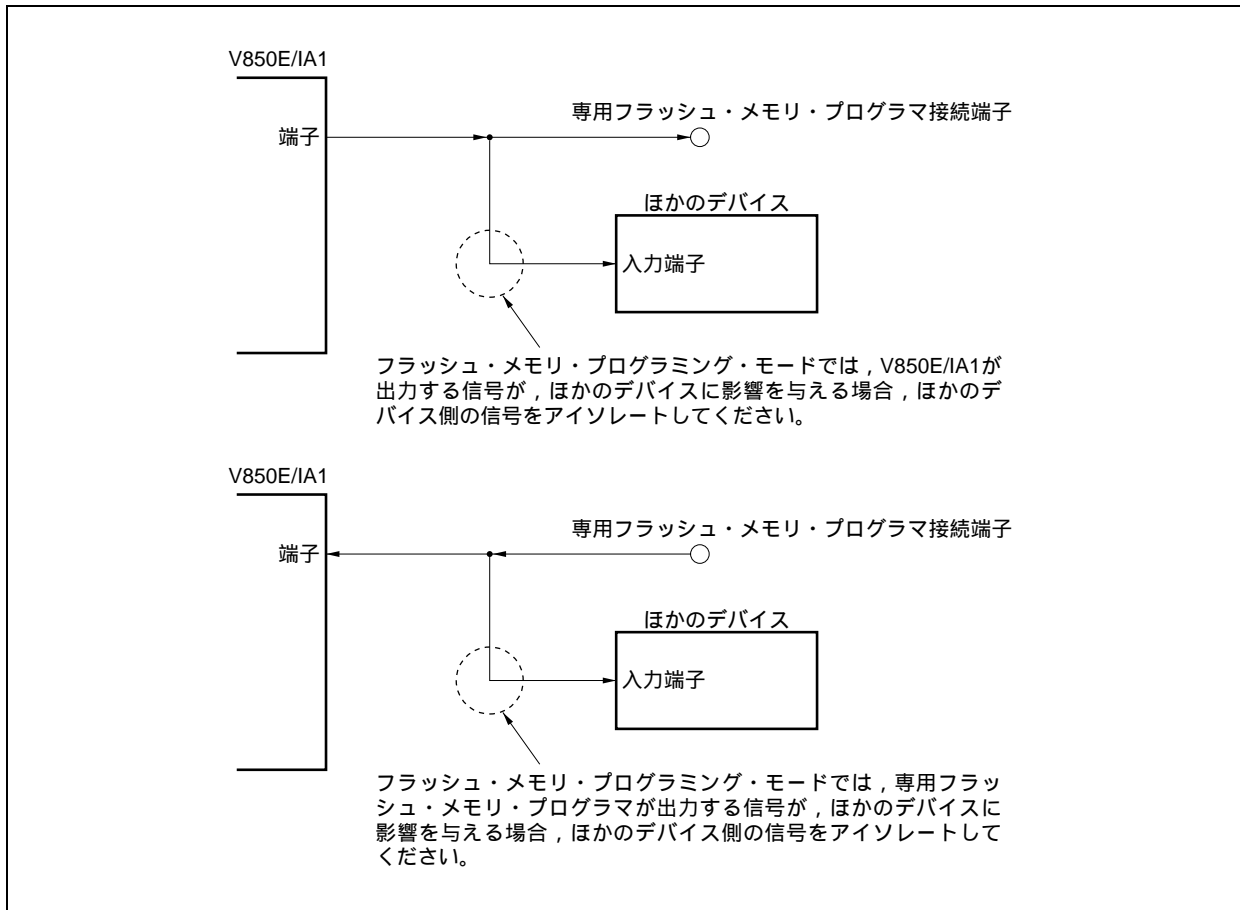
図16 - 6 信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に，専用フラッシュ・メモリ・プログラマ（出力または入力）を接続する場合，ほかのデバイスに信号が出力され，異常動作を起こす可能性があります。この異常動作を避けるため，ほかのデバイスとの接続をアイソレートするか，またはほかのデバイスへの入力信号を無視するように設定してください。

図16 - 7 ほかのデバイスの異常動作

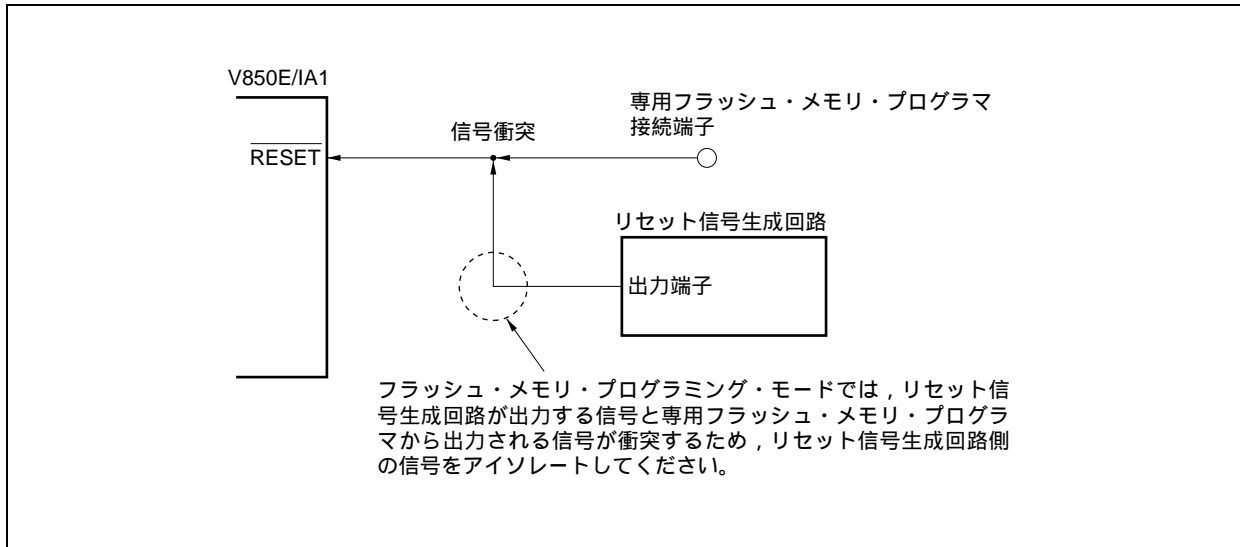


### 16.5.3 RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・メモリ・プログラマのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図16-8 信号の衝突 (RESET端子)



### 16.5.4 NMI端子

フラッシュ・メモリ・プログラミング・モード期間中はNMI端子への入力信号を変化させないでください。変化させた場合、正常なプログラミングが行われなことがあります。

### 16.5.5 MODE0-MODE2端子

MODE0をハイ・レベルまたはロウ・レベル入力、MODE1をハイ・レベル入力に、MODE2をロウ・レベル入力に設定し、V<sub>PP</sub>端子に書き込み電圧 (7.8 V) を加え、リセットを解除するとフラッシュ・メモリ・プログラミング・モードに遷移します。

### 16.5.6 ポート端子

フラッシュ・メモリ・プログラミング・モードに設定すると、専用フラッシュ・メモリ・プログラマと通信する端子を除くすべてのポート端子はハイ・インピーダンス状態になります。これらのポート端子を処理する必要がありません。なお、ポートに接続されている外部デバイスにハイ・インピーダンス状態禁止などの問題が生じる場合には、抵抗を介してV<sub>DD5</sub>に接続するか、または抵抗を介してV<sub>SS5</sub>に接続するなどの処置をしてください。

### 16.5.7 その他の信号端子

X1, X2は、通常動作モード時と同じ状態に接続してください。  
振幅は3.3 Vです。

## 16.5.8 電 源

電源 ( $V_{DD3}$ ,  $V_{SS3}$ ,  $V_{DD5}$ ,  $V_{SS5}$ ,  $AV_{DD}$ ,  $AV_{REF0}$ ,  $AV_{REF1}$ ,  $AV_{SS}$ ,  $CV_{DD}$ ,  $CV_{SS}$ ) は、通常動作モード時と同じ電源を供給してください。また、 $V_{DD3}$ ,  $V_{SS3}$ ,  $V_{DD5}$ ,  $V_{SS5}$ には、専用フラッシュ・メモリ・プログラムの $V_{DD}^{\#}$ , GNDを接続してください (専用フラッシュ・メモリ・プログラムの $V_{DD}$ は、電源監視機能がついています)。

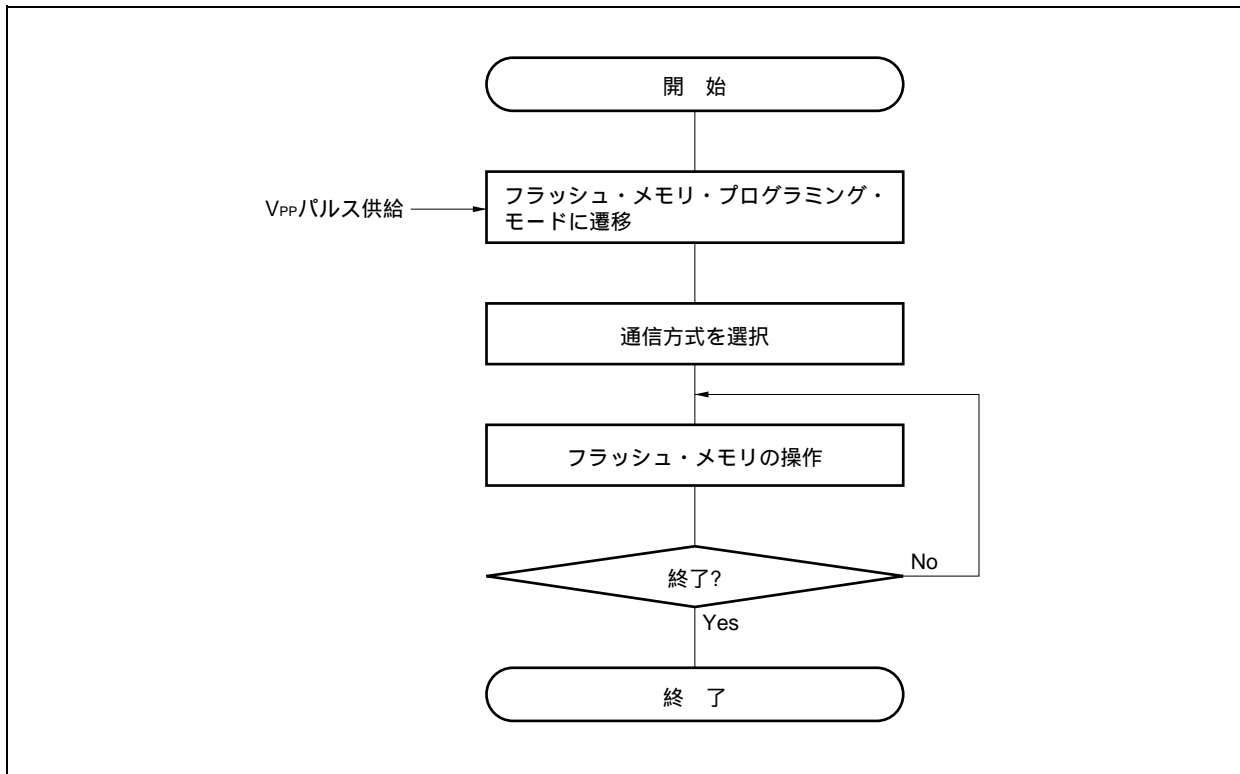
注 レギュレータにより3.3 Vに変換させてから接続してください。

## 16.6 プログラミング方法

### 16.6.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図16-9 フラッシュ・メモリの操作手順



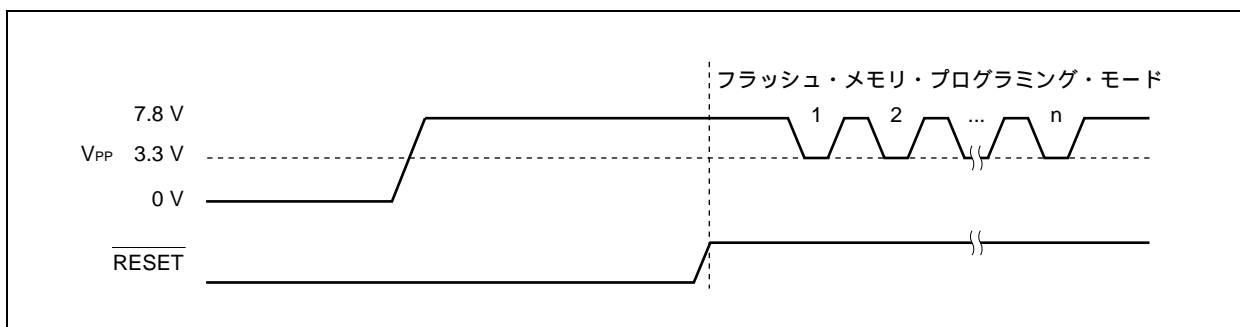
### 16.6.2 フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・メモリ・プログラマを使用してフラッシュ・メモリの内容を書き換えるときは、フラッシュ・メモリ・プログラミング・モードにしてください。

モードへ遷移するには、MODE0, MODE1, MODE2, V<sub>PP</sub>端子を設定後、リセットを解除します。オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

- ・ MODE0 : ハイ・レベル入力またはロウ・レベル入力
- ・ MODE1 : ハイ・レベル入力
- ・ MODE2 : ロウ・レベル入力
- ・ V<sub>PP</sub> : 7.8 V

図16 - 10 フラッシュ・メモリ・プログラミング・モード



### 16.6.3 通信方式の選択

V850E/IA1では、フラッシュ・メモリ・プログラミング・モードに遷移後、V<sub>PP</sub>端子にパルス（最大16パルス）を入力することで通信方式を選択します。このV<sub>PP</sub>パルスは専用フラッシュ・メモリ・プログラマが生成します。パルス数と通信方式の関係を次に示します。

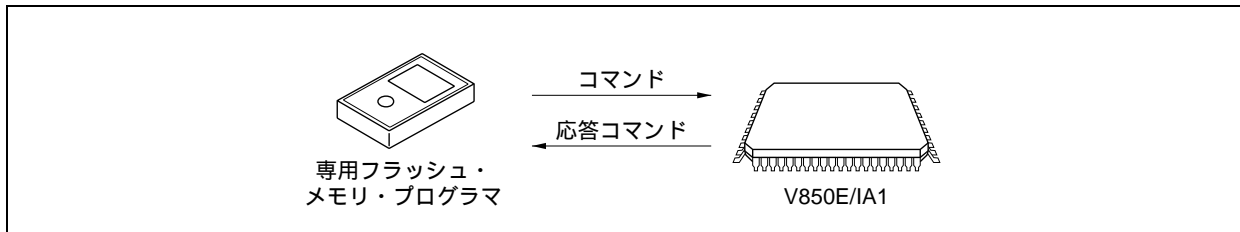
表16 - 3 通信方式一覧

V <sub>PP</sub> パルス	通信方式	備 考
0	CSI0	V850E/IA1はスレーブ動作，MSBファースト
3	ハンドシェーク対応CSI	
8	UART0	通信レート：9600 bps（リセット時），LSBファースト
その他	RFU（予約）	設定禁止

### 16.6.4 通信コマンド

V850E/IA1と専用フラッシュ・メモリ・プログラマは、コマンドを介して通信します。専用フラッシュ・メモリ・プログラマからV850E/IA1へ送られるコマンドを「コマンド」と呼び、V850E/IA1から専用フラッシュ・メモリ・プログラマへ送られる応答信号を「応答コマンド」と呼びます。

図16 - 11 通信コマンド



V850E/IA1のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマから発行され、V850E/IA1がコマンドに対応した各処理を行います。

表16 - 4 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	一括ベリファイ・コマンド	全メモリの内容と入力したデータを比較
	エリア・ベリファイ・コマンド	指定したエリアの内容と入力したデータを比較
消去	一括消去コマンド	全メモリの内容を消去
	エリア消去コマンド	指定したエリアの内容を消去
	ライトバック・コマンド	過消去時の書き戻し
ブランク・チェック	一括ブランク・チェック・コマンド	全メモリの消去状態を確認
	エリア・ブランク・チェック・コマンド	指定したエリアの消去状態を確認
データ・ライト	高速書き込みコマンド	書き込みアドレス、書き込みバイト数の指定によりデータを書き込み、ベリファイ・チェックを実行
	連続書き込みコマンド	直前に実行された高速書き込みコマンドに続くアドレスからデータを書き込み、ベリファイ・チェックを実行
システム設定、制御	ステータス読み出しコマンド	動作状況のステータスを得る
	発振周波数設定コマンド	発振周波数の設定
	消去時間設定コマンド	一括消去の消去時間設定
	書き込み時間設定コマンド	データ書き込み時の書き込み時間設定
	ライトバック時間設定コマンド	ライトバック時間の設定
	シリコン・シグネチャ・コマンド	シリコン・シグネチャ情報を読み出す
	リセット・コマンド	各状態からの脱出

また、専用フラッシュ・メモリ・プログラマから発行されたコマンドに対して、V850E/IA1は応答コマンドを返します。V850E/IA1が送出する応答コマンドを次に示します。



表16 - 5 応答コマンド

応答コマンド名称	機 能
ACK (アクノリッジ)	コマンド / データなどのアクノリッジ
NAK (ノット・アクノリッジ)	不正なコマンド / データなどのアクノリッジ

## 16.7 セルフ書き込みによるフラッシュ・メモリ・プログラミング

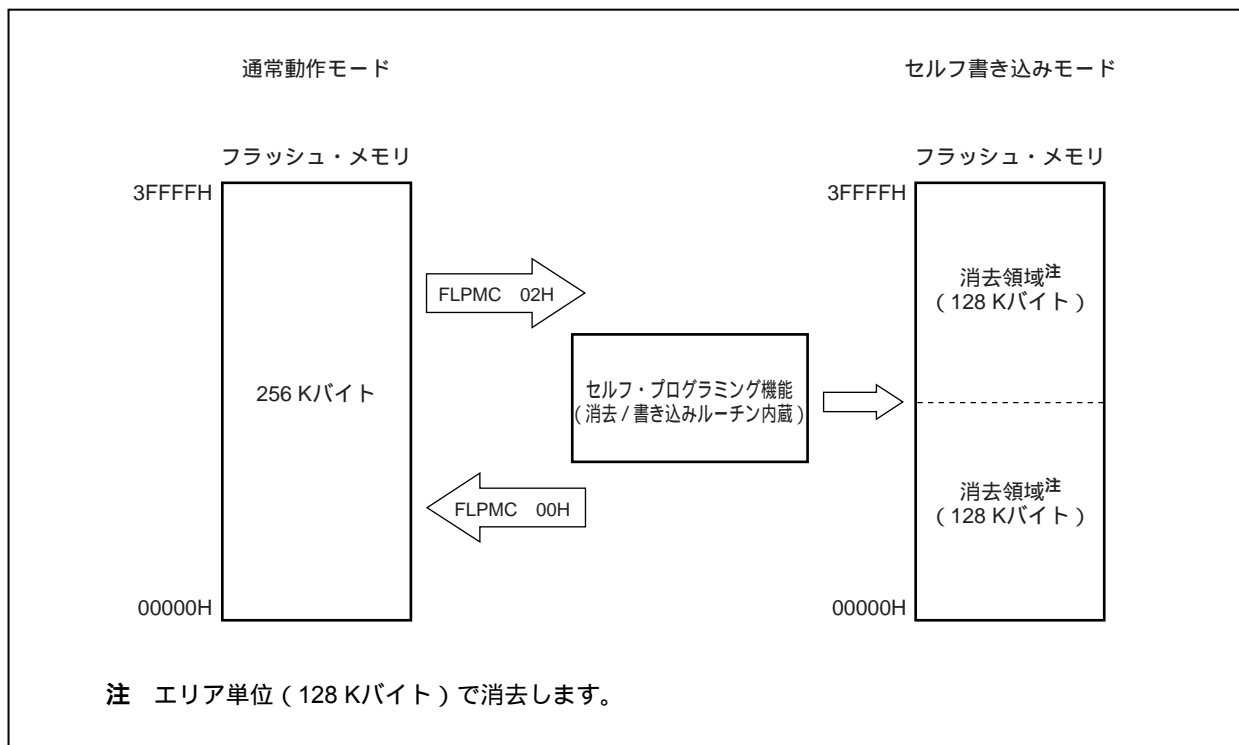
μ PD70F3116は、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能を利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えができます。このセルフ・プログラミングにより、フィールドでのプログラムのアップグレードなどの応用が可能です。

### 16.7.1 セルフ・プログラミングの概要

セルフ・プログラミングは、ブロック0空間 (000000H-1FFFFFFH) および内蔵ROM領域以外に配置されたプログラム上で、セルフ・プログラミング機能 (デバイス内部処理) を呼び出すことにより、フラッシュ・メモリの消去 / 書き込みを実現します。セルフ・プログラミングを実現するためのプログラムをブロック0空間および内蔵ROM領域に配置する場合は、000000H-1FFFFFFH領域以外 (たとえば内蔵RAM領域) にプログラムをコピーしたあと、コピー先でプログラムを実行して、セルフ・プログラミング機能呼び出してください。

セルフ・プログラミング機能の呼び出しは、フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) により、通常動作モードからセルフ・プログラミング・モードに切り替えて行います。

図16 - 12 セルフ・プログラミングの概要



## 16.7.2 セルフ・プログラミング機能

μ PD70F3116は、表16-6に示すようなセルフ・プログラミング機能を提供しています。これらの機能の組み合わせでフラッシュ・メモリの消去と書き込みの機能を実現します。

表16-6 機能一覧

分類	機能名	機能
消去	エリア消去	指定したエリアを消去します。
書き込み	ワード単位連続書き込み	指定したフラッシュ・メモリのアドレスから4バイト単位で指定したワード数だけ、指定したメモリの内容を連続して書き込みます。
	プリライト	消去前にフラッシュ・メモリに0を書き込みます。
チェック	イレース・ベリファイ	消去後にオーバ・イレースが発生しているかどうかをチェックします。
	イレース・バイト・ベリファイ	消去が十分かどうかをチェックします。
	内部ベリファイ	書き込み終了後のフラッシュ・メモリ上のデータの信号レベルが適正かどうかをチェックします。
書き戻し	エリア・ライトバック	オーバ・イレースが発生したフラッシュ・エリアを書き戻します。
情報取得	フラッシュ情報読み出し	フラッシュ・メモリに関する情報を読み出します。

## 16.7.3 セルフ・プログラミング・インタフェースの概要

セルフ・プログラミング・インタフェースを使用したセルフ・プログラミングを行うためには、フラッシュ・メモリを操作するためのハードウェア環境、ソフトウェア環境を満たす必要があります。

セルフ・プログラミング・インタフェースは、アセンブリ言語による利用を前提としています。

### (1) エントリ・プログラム

デバイス内部処理を呼び出すためのプログラムです。

アプリケーション・プログラムの一部として位置付けられます。ブロック0空間、および内蔵ROM領域（フラッシュ・メモリ）以外のメモリで実行する必要があります。

### (2) デバイス内部処理

デバイス内部で行うフラッシュ・メモリの操作です。

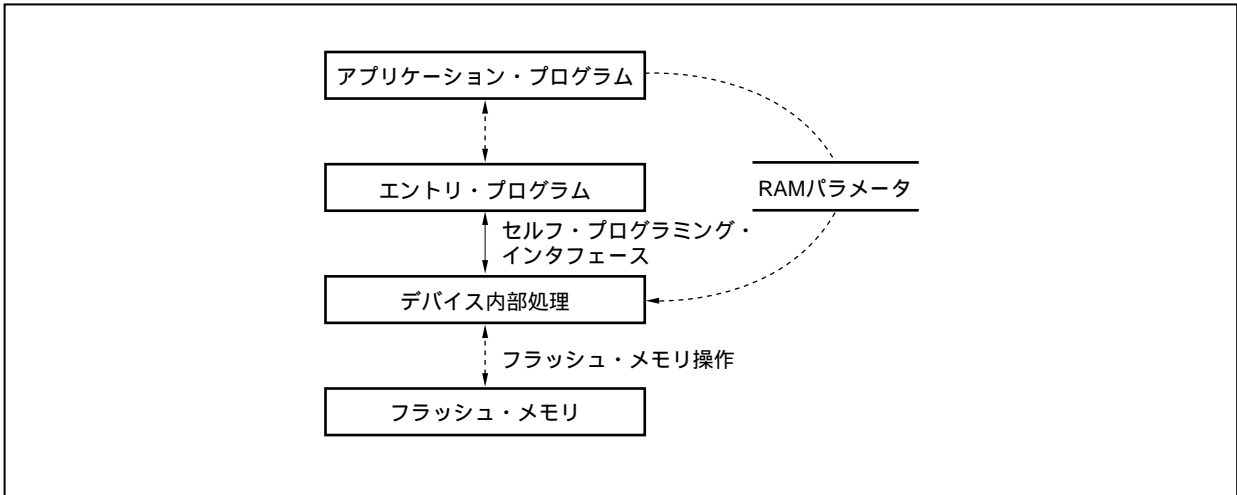
エントリ・プログラムで呼び出したあとは、デバイス内部処理がフラッシュ・メモリの操作を行います。

### (3) RAMパラメータ

書き込み時間や消去時間などのセルフ・プログラミングに必要なパラメータが書き込まれたRAM領域です。アプリケーション・プログラムで設定し、デバイス内部処理が参照します。

セルフ・プログラミング・インタフェースの概要を次に示します。

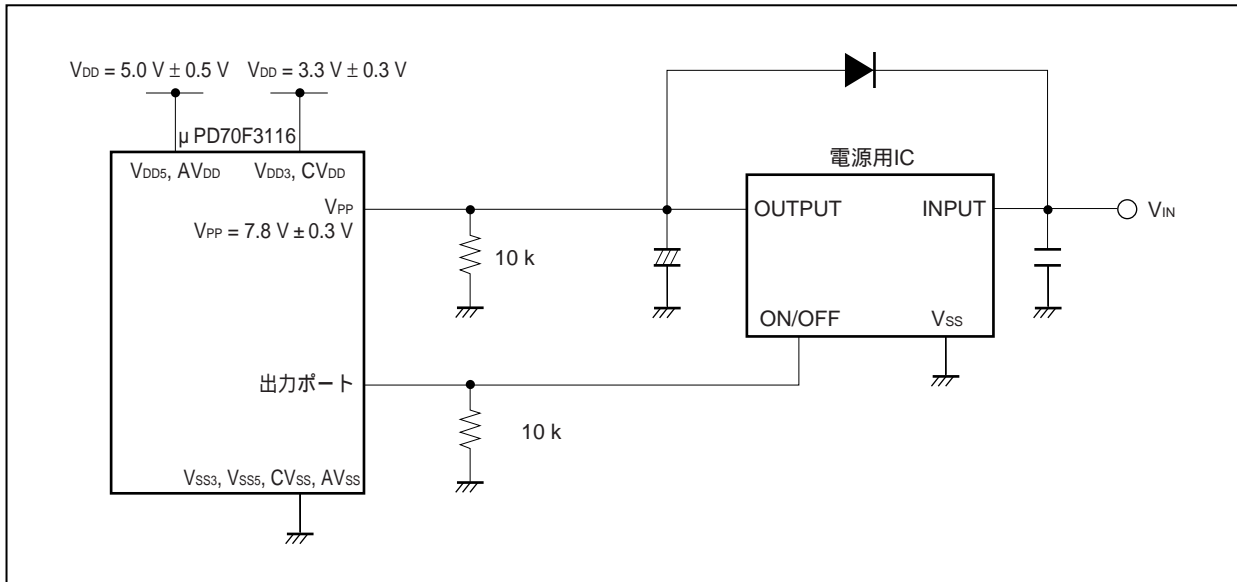
図16 - 13 セルフ・プログラミング・インタフェースの概要



#### 16.7.4 ハードウェア環境

フラッシュ・メモリに書き込み / 消去を行うためには、 $V_{PP}$ 端子に高電圧を印加する必要があります。セルフ・プログラムを行うには、アプリケーション・システム上にソフトウェアで制御できる書き込み電圧 ( $V_{PP}$ ) の生成回路が必要です。ポートを操作することにより、 $V_{PP}$ 端子に印加する電圧を切り替える回路構成例を次に示します。

図16 - 14 セルフ書き込み回路構成例

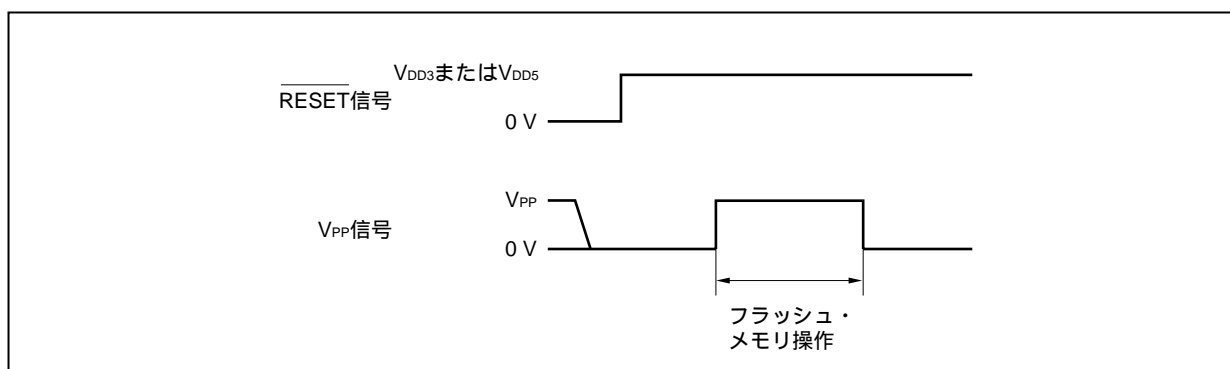


また、 $V_{PP}$ 端子への電圧印加は、次の条件を満たす必要があります。

- ・通常動作モード時は $V_{PP}$ 端子に印加する電圧を0 Vに保持し、フラッシュ・メモリを操作する期間だけ $V_{PP}$ 電圧を保持してください。
- ・フラッシュ・メモリ操作を開始する前から終了するまでの期間は、 $V_{PP}$ 電圧を安定させてください。

- 注意1.** リセット解除時には $V_{PP}$ 端子に印加する電圧を0 Vにしてください。
2. セルフ・プログラミングをする場合は、シングルチップ・モード0, 1で行ってください。
  3.  $V_{PP}$ 端子への電圧印加は、エントリ・プログラムの中で行ってください。
  4. ターゲット・ボード上でセルフ・プログラミングとプログラマでの書き込み/消去の両方を行う場合、プログラマとの通信方式は、必ずCSI0で行ってください(ハンドシェイク対応CSIは使用しないでください)。

図16 - 15  $V_{PP}$ 端子に電圧を印加するタイミング



## 16.7.5 ソフトウェア環境

エントリ・プログラムでデバイス内部処理を呼び出す前に、次に示す条件をすべて満たす必要があります。

表16-7 ソフトウェア環境の条件

項目	内容
エントリ・プログラムの配置	ブロック0空間、およびフラッシュ・メモリ領域以外で実行してください。 フラッシュ・メモリ上で、実行中のプログラムから直接デバイス内部処理を呼び出すことはできません。
プログラムの実行状態	デバイス内部処理を呼び出すには、割り込み処理中でないこと (PSWのNPビット = 0, PSWのIDビット = 1) が条件です。
割り込みのマスキング	使用中のマスキング割り込みの設定をすべてマスキングしてください。割り込みのマスキングは、個々の割り込み制御レジスタで行ってください。 マスキング割り込みをマスキングする場合は、必ず割り込み制御レジスタに対してマスキングの設定を行ってください。PSWのIDビット = 1 (割り込み禁止) となっている場合でも、マスキング割り込みをマスキングしてください。
V <sub>PP</sub> 電圧の操作	フラッシュ・メモリの操作を開始する前に、V <sub>PP</sub> 端子への電圧をV <sub>PP</sub> 電圧で安定させてください。すべての操作が終了した時点でV <sub>PP</sub> 端子への電圧を0Vに戻してください。
内蔵タイマの初期化	フラッシュ・メモリの操作中に内蔵タイマは使用しないでください。 内蔵タイマはフラッシュ・メモリの使用後に初期化されるので、再度使用する場合にはアプリケーション・プログラムで初期化してください。
リセット信号入力の停止	フラッシュ・メモリの操作中にリセット信号を入力しないでください。 フラッシュ・メモリの操作中にリセット信号を入力した場合は、操作中のフラッシュ・メモリの内容は不定となります。
NMI信号入力の停止	フラッシュ・メモリの操作中にNMI信号を入力しないでください。 フラッシュ・メモリの操作中にNMI信号を入力した場合は、デバイス内部処理によるフラッシュ・メモリの操作が正しく行われない場合があります。 NMIがデバイス内部処理の処理中に発生した場合、RAMパラメータのNMIフラグにNMI発生の有無が反映されます。また、NMIの発生によりフラッシュ・メモリの操作に影響を受けた場合は、各セルフ・プログラミング機能の返却値に反映されます。
スタック領域の確保	デバイス内部処理では、ユーザ・プログラムが使用しているスタックを継承して使用します。呼び出す時点のユーザ・プログラムのスタック・サイズに対して、300バイトの領域が確保されていることが必要です。なお、スタック・ポインタはr3を使用します。
汎用レジスタの保存	デバイス内部処理では、r6-r14, r20, r31 (lp) の内容を書き換えます。 必要に応じて保存と復帰を行ってください。

### 16.7.6 セルフ・プログラミング機能番号

セルフ・プログラミング機能を識別するために、各機能に次に示す番号が割り当てられています。この機能番号はデバイス内部処理の呼び出しの際にパラメータとして使用します。

表16 - 8 セルフ・プログラミング機能番号

機能番号	機能名
0	フラッシュ情報取得
1	エリア消去
2-4	RFU
5	エリア・ライトバック
6-8	RFU
9	イレース・バイト・ベリファイ
10	イレース・ベリファイ
11-15	RFU
16	ワード単位連続書き込み
17-19	RFU
20	プリライト
21	内部ベリファイ
その他	禁止

備考 RFU : Reserved for future used (将来の使用のため予約)

## 16.7.7 呼び出しパラメータ

セルフ・プログラミング機能呼び出す場合の引き数を次に示します。このほかにep (r30) で示されるRAMパラメータに書き込みや消去時間などのパラメータを設定します。

表16 - 9 呼び出しパラメータ

機能名	第1引き数 (r6) 機能番号	第2引き数 (r7)	第3引き数 (r8)	第4引き数 (r9)	返却値 (r10)
フラッシュ情報取得	0	オプション番号 <sup>注1</sup>	-	-	注1
エリア消去	1	エリア消去開始 アドレス	-	-	0 : 正常終了 0以外 : エラー
エリア・ ライトバック	5	なし (直前の消去操作 領域に作用する)	-	-	なし
イレース・バイト・ ペリファイ	9	ペリファイ開始 アドレス	ペリファイ・パイ ト数	-	0 : 正常終了 0以外 : エラー
イレース・ ペリファイ	10	なし (直前の消去操作 領域に作用する)	-	-	0 : 正常終了 0以外 : エラー
ワード単位連続 書き込み <sup>注2</sup>	16	書き込み開始 アドレス <sup>注3</sup>	書き込み元データ の開始アドレス <sup>注3</sup>	書き込みワード数 (ワード単位)	0 : 正常終了 0以外 : エラー
プリライト	20	書き込み開始 アドレス	書き込みバイト数	-	0 : 正常終了 0以外 : エラー
内部ペリファイ	21	ペリファイ開始 アドレス	ペリファイ・パイ ト数	-	0 : 正常終了 0以外 : エラー

注1. 16.7.10 フラッシュ情報を参照してください。

- ワード単位連続書き込みでは、フラッシュ・メモリ以外に書き込み元データを確保してください。
- 4バイト境界にしてください。

注意 すべての機能でep (r30) はRAMパラメータの先頭アドレスを示す必要があります。

## 16.7.8 RAMパラメータの内容

RAMパラメータとして次に示す48バイトの領域を内部RAMまたは外部RAMに確保し、入力のパラメータを設定してください。このベース・アドレスをep (r30) に設定します。

表16 - 10 RAMパラメータの内容

アドレス	サイズ	入出力	内 容
ep + 0	4バイト	-	内部での作業用
ep + 4 : Bit5 <sup>注1</sup>	1ビット	入力	動作フラグ (デバイス内部処理を呼び出す前に必ず1を設定します。) 0 : 通常動作中 1 : セルフ・プログラミング中
ep + 4 : Bit7 <sup>注2, 3</sup>	1ビット	出力	NMIフラグ 0 : NMI未検出 1 : NMI検出
ep + 8	4バイト	入力	消去時間 (符号なし4バイト) 内部動作単位時間 (100 μs) を1単位として1カウント値で表します。 設定値 = 消去時間 (μs) / 内部動作単位時間 (μs) <b>例</b> 消去時間が0.4 sの場合 $0.4 \times 1000000 / 100 = 4000$ (整数演算)
ep + 0xc	4バイト	入力	ライトバック時間 (符号なし4バイト) 内部動作単位時間 (100 μs) を1単位として1カウント値で表します。 設定値 = ライトバック時間 (μs) / 内部動作単位時間 (μs) <b>例</b> ライトバック時間が1 msの場合 $1 \times 1000 / 100 = 10$ (整数演算)
ep + 0x10	2バイト	入力	内部動作単位時間作成のためのタイマ設定値 (符号なし2バイト) タイマ4で内部動作単位時間 (100 μs) となる設定値を書き込みます。 設定値 = 動作周波数 (Hz) / 1000000 × 内部動作単位時間 (μs) / タイマ分周比 (4) + 1 <sup>注4</sup> <b>例</b> 動作周波数が50 MHzの場合 $50000000 / 1000000 \times 100 / 4 + 1 = 1251$ (整数演算)
ep + 0x12	2バイト	入力	書き込み時間作成のためのタイマ設定値 (符号なし2バイト) タイマ4で書き込み時間となる設定値を書き込みます。 設定値 = 動作周波数 (Hz) / 書き込み時間 (μs) / タイマ分周比 (4) + 1 <sup>注4</sup> <b>例</b> 動作周波数が50 MHz, 書き込み時間が20 μsの場合 $50000000 / 1000000 \times 20 / 4 + 1 = 251$ (整数演算)
ep + 0x14	28バイト	-	内部での作業用

- 注1. ep + 4のアドレスの5ビット目 (最下位ビットは0ビットとします)
2. ep + 4のアドレスの7ビット目 (最下位ビットは0ビットとします)
3. NMIフラグは、デバイス内部処理でクリアされないため、ユーザ・プログラムでクリアしてください。
4. デバイス内部処理でこの設定値から1を引いた値をタイマに設定します。また、端数が切り上げられるため、設定値の式のとおりに1を加算してください。

**注意** RAMパラメータ領域は、必ず4バイト境界になるように確保してください。



### 16.7.9 セルフ・プログラミング時のエラー

セルフ・プログラミングでは、次に示すフラッシュ・メモリの操作に関するエラーがあります。それぞれの機能からの返却値 (r10) が、0でない場合にエラーとなります。

表16 - 11 セルフ・プログラミング時のエラー

エラー	発生する機能	内容
オーバ・イレース・エラー (過消去エラー)	イレース・ベリファイ	過消去が発生しています。
アンダ・イレース・エラー (ブランク・チェック・エラー)	イレース・バイト・ベリファイ	消去が不十分です。消去操作を追加する必要があります。
ベリファイ・エラー	ワード単位連続書き込み	書き込んだデータが正しく読み出せません。消去していないフラッシュ・メモリへ書き込みを行ったか、書き込みが十分に行われていない状態です。
内部ベリファイ・エラー	内部ベリファイ	書き込みの結果、書き込んだデータが正しい信号のレベルではありません。

**注意** フラッシュ・メモリ全体では、オーバ・イレース・エラーとアンダ・イレース・エラーが同時に発生する場合があります。

### 16.7.10 フラッシュ情報

フラッシュ情報取得機能 (機能番号0) は、指定するオプション番号 (r7) と返却値 (r10) の内容が次に示すようになります。すべてのフラッシュ情報を取得する場合は、次に示す形に従って必要な回数だけフラッシュ情報取得機能呼び出ししてください。

表16 - 12 フラッシュ情報

オプション番号 (r7)	返却値 (r10)
0	指定禁止
1	指定禁止
2	返却値のビット表現 (MSB : ビット31) FFFFFFFFAAAAAAAAAFFFFFFF (LSB : ビット0) ビット31-16 : FFFFFFFF (将来の使用のため予約) ビット31-16は、通常0 (ゼロ) ではないため、マスクして使用してください。 ビット15-8 : AAAAAA (エリアの数) (符号なし8ビット) ビット7-0 : FFFFFFFF (将来の使用のため予約) ビット7-0は、通常0 (ゼロ) ではないため、マスクして使用してください。
3+0	エリア0の最終アドレス
3+1	エリア1の最終アドレス

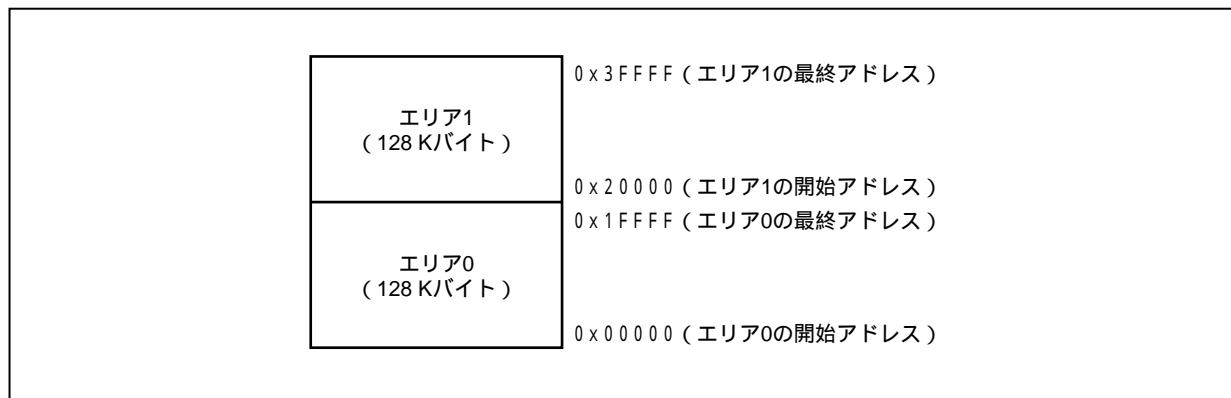
**注意1.** エリア0の開始アドレスは0です。また、前エリアの「最終アドレス+1」が、次のエリアの開始アドレスになります。

**2.** フラッシュ情報取得機能は、オプションの引き数で指定したエリアの最大数などの値をチェックしません。不正な値を指定した場合は、不定値が返ります。

## 16.7.11 エリア番号

μ PD70F3116のエリア番号とメモリ・マップを次に示します。

図16 - 16 エリア構成



### 16.7.12 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)

フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) は、フラッシュ・メモリへの書き込み禁止 / 許可やセルフ・プログラミング・モードを指定するレジスタです。

8/1ビット単位でリード / ライト可能です (VPPビット (ビット2) はリードのみ可能です)。

**注意1.** FLSPMビットを操作する場合は、必ず一度内蔵RAMまたは外部メモリに制御を移して操作してください。ただし、フラッシュ・メモリ・プログラマによるオンボード書き込みモード時は、FLSPMビットの指定は無視されます。

2. ビット0, 4-7は初期値を変更しないでください。

	7	6	5	4	③	②	①	0	アドレス	初期値 <sup>注</sup>
FLPMC	0	0	0	0	VPPDIS	VPP	FLSPM	0	FFFFF8D4H	08H/0CH/00H

**注** 08H : VPP端子に書き込み電圧が印加されていない場合

0CH : VPP端子に書き込み電圧が印加されている場合

00H : フラッシュ・メモリを内蔵していない製品 (μ PD703116)

ビット位置	ビット名	意味
3	VPPDIS	内蔵フラッシュ・メモリに対する書き込み / 消去の許可 / 禁止を制御するビットです。VPPDIS = 1の場合、VPP端子に高電圧を印加しても、内蔵フラッシュ・メモリに対する書き込み / 消去は行われません。 0 : フラッシュ・メモリの書き込み / 消去の許可 1 : フラッシュ・メモリの書き込み / 消去の禁止
2	VPP	VPP端子が書き込み可能な電圧に達したことを示すビットです (リードのみ可能)。VPPビットは、セルフ・プログラミング・モード時の書き込み可能であることを確認するために使用します。 0 : VPP端子に高電圧印加未検出の状態 (書き込み電圧に達していない) 1 : VPP端子に高電圧印加検出の状態 (書き込み電圧に達している)
1	FLSPM	内蔵ROMとセルフ・プログラミング・インタフェースの切り替えを制御するビットです。応用システム上でモード端子を通して設定されている動作モードとセルフ・プログラミング・モードとの切り替えが可能です。FLSPMビットは、VPP端子が書き込み電圧に達している期間だけ有効となります。 0 : 通常モード (すべてのアドレスにおいて内蔵フラッシュ・メモリより命令フェッチを行います。) 1 : セルフ・プログラミング・モード (デバイス内部処理へ移行します。)

フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) へのデータ設定は、次のシーケンスで行います。

割り込みを禁止します (PSWのNPビット, IDビットを1に設定)。

任意の汎用レジスタに特定レジスタへ設定するためのデータを用意します。

ペリフェラル・コマンド・レジスタ (PHCMD) にデータを書き込みます。

フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) を設定します (次の命令で行います)。

・ストア命令 (ST/SST命令)

・ビット操作命令 (SET1/CLR1/NOT1命令)

NOP命令を挿入する (5命令 ( - ))

割り込み禁止を解除します (PSWのNPビットを0に戻します)。

```
[ 記述例 ]
LDSR   rX, 5
MOV    0x02, r10
ST.B   r10, PHCMD[r0]
ST.B   r10, FLPMC[r0]
NOP
NOP
NOP
NOP
NOP
NOP
LDSR   rY, 5
```

**備考** rX : PSWに書き込む値

rY : PSWに書き戻す値

なお、特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

- 注意1.** PHCMD発行 ( ) とその直後の特定レジスタ書き込み ( ) の間で割り込みを受け付けた場合、特定レジスタへの書き込みは行われず、プロテクション・エラー (PHSレジスタのPRERRビット = 1) が発生することがあります。このため、PSWのNPビットを1に設定 ( ) して、割り込みの受け付けを禁止してください。特定レジスタの設定にビット操作命令を使用した場合も同様に割り込みの受け付けを禁止してください。
- 2.** PHCMDレジスタへ書き込むデータはダミーですが、特定レジスタへの設定 (上記例 ) で使用する汎用レジスタと同じレジスタをPHCMDレジスタ書き込み (上記例 ) でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。
- 3.** この処理を行う前にすべてのDMA転送を終了させてください。

### 16.7.13 デバイス内部処理の呼び出し

エントリ・プログラムからデバイス内部処理を呼び出す手順について説明します。

デバイス内部処理は、「ハードウェア環境」と「ソフトウェア環境」の条件をすべて満たし、必要な引き数とRAMパラメータを設定してから呼び出してください。フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) のFLSPMビットをセット (1) したあと、trap 0x1f命令を実行することによりデバイス内部処理を呼び出します。すべての呼び出しは、同じ手順で行います。このインタフェースのプログラムは、すべてアセンブリ言語により記述することを前提としています。

FLPMCレジスタを設定手順に従って設定します。

- ・VPPDISビット = 0 (フラッシュ・メモリの書き込み / 消去の許可)
- ・FLSPMビット = 1 (セルフ・プログラミング・モード選択)

PSWのNPビットをクリア(0)します(NMIを許可(アプリケーション上でNMIを使用する場合のみ))。trap 0x1fを実行して、デバイス内部処理へ制御を移行します。

PSWのNPビット, IDビットをセット (1) します (すべての割り込みを禁止します)。

ペリフェラル・コマンド・レジスタ (PHCMD) にFLPMCレジスタに設定する値を設定します。

FLPMCレジスタを設定手順に従って設定します。

- ・VPPDISビット = 1 (フラッシュ・メモリの書き込み / 消去の禁止)
- ・FLSPMビット = 0 (通常動作モード選択)

内部操作セットアップ時間以上待ちます (16.7.13 (5) 内部操作セットアップ・パラメータ参照)。

#### (1) パラメータ

- r6 : 第1引き数 (セルフ・プログラミング機能番号を設定)
- r7 : 第2引き数
- r8 : 第3引き数
- r9 : 第4引き数
- ep : RAMパラメータの先頭アドレス

#### (2) 返却値

- r10 : 返却値 (4バイトのデバイス内部処理からの返却値を返します)
- ep + 4 : Bit7 : NMIフラグ (デバイス内部処理を実行中にNMIが発生したかを示すフラグ)

0 : デバイス内部処理を実行中にNMIが発生していない。

1 : デバイス内部処理を実行中にNMIが発生した。

デバイス内部処理への遷移中にNMIが発生した場合、NMIの要求が一度も反映されないことがあります。NMIフラグは内部でリセットされないため、デバイス内部処理を呼び出す前にこのビットをクリアしておく必要があります。デバイス内部処理から戻ってきたあとで、このフラグをソフトウェアで判定し、NMIの処理を擬似的に実行することができます。

#### (3) 説明

機能番号で指定したデバイス内部処理へtrap命令により制御を移します。この手順を行う前にハードウェア環境、ソフトウェア環境の条件を満たす必要があります。なお、ユーザ・アプリケーション・プログラムでtrap 0x1fを使用しても、FLPMCレジスタを設定したあとのtrap 0x1fは別の動作として扱われるため、アプリケーション上でtrap命令の使用に関する制限はありません。

## (4) プログラム例

エントリ・プログラムをサブルーチンにした場合のプログラム例を次に示します。この例では戻り番地をスタックに保存してからデバイス内部処理を呼び出しています。このプログラムは、ブロック0空間、およびフラッシュ・メモリ領域以外のメモリに配置する必要があります。

```

ISETUP      130                                -- 内部操作セットアップ・パラメータ

EntryProgram:
    add      -4, sp                            -- Prepare
    st.w     lp, 0[sp]                         -- Save return address
    movea   lo(0x00a0), r0, r10               --
    ldsr    r10, 5                             -- PSW = NP, ID
    mov     lo(0x0002), r10                    --
    st.b    r10, PHCMD[r0]                     -- PHCMD = 2
    st.b    r10, FLPMC[r0]                    -- VPPDIS = 0, FLSPM = 1
    nop
    nop
    nop
    nop
    movea   lo(0x0020), r0, r10               --
    ldsr    r10, 5                             -- PSW = ID
    trap    0x1f                               -- Device Internal Process
    movea   lo(0x00a0), r0, r6                --
    ldsr    r6, 5                              -- PSW = NP, ID
    mov     lo(0x08), r6                       --
    st.b    r6, PHCMD[r0]                     -- PHCMD = 8
    st.b    r6, FLPMC[r0]                    -- VPPDIS = 1, FLSPM = 0
    nop
    nop
    nop
    nop
    nop
    mov     ISETUP, lp                         -- loop time = 130
loop:
    divh    r6, r6                             -- To kill time
    add     -1, lp                             -- Decrement counter
    jne     loop                               --
    ld.w    0[sp], lp                          -- Reload lp
    add     4, sp                              -- Dispose
    jmp     [lp]                              -- Return to caller

```

**(5) 内部操作セットアップ・パラメータ**

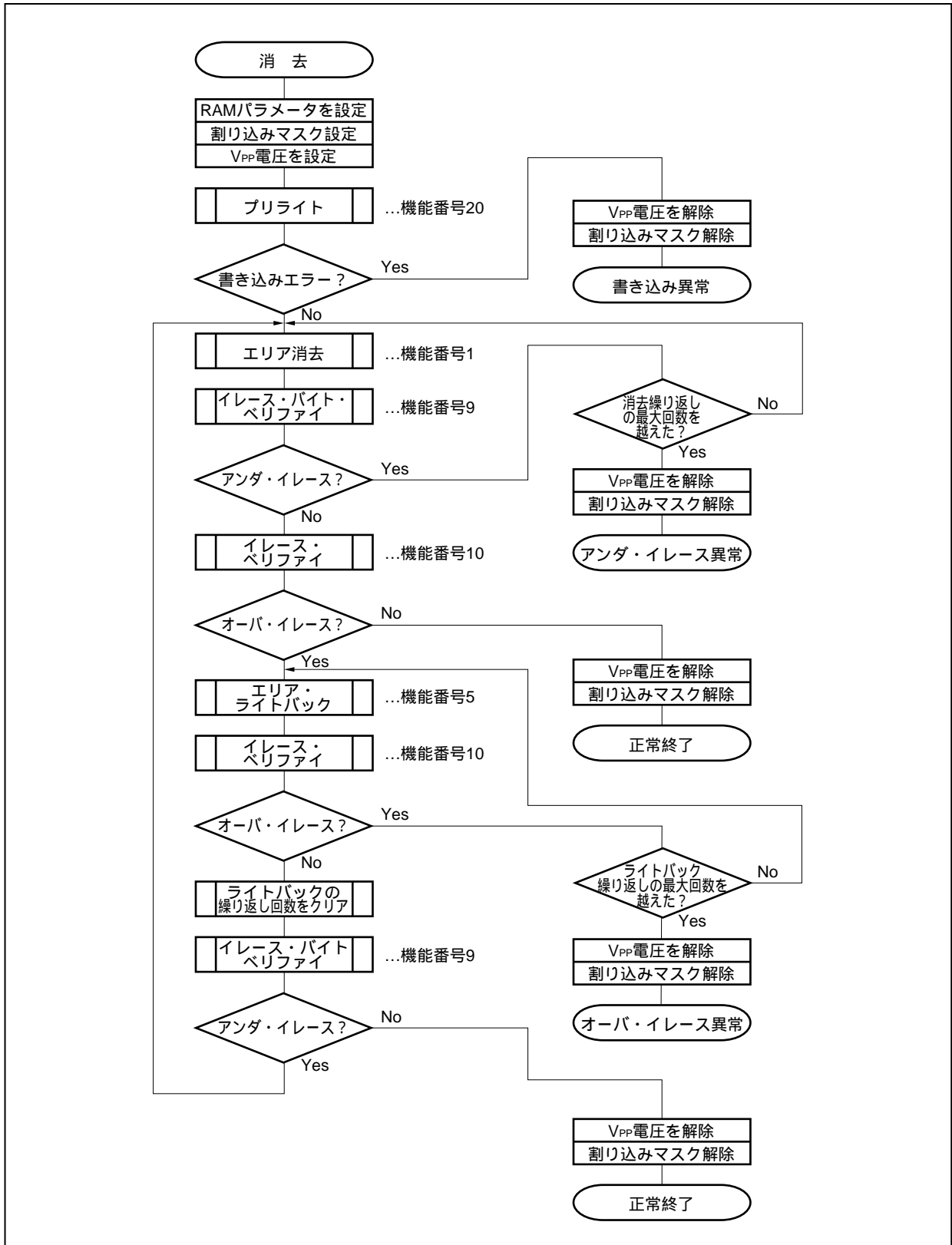
セルフ・プログラミング・モードから通常動作モードに切り替えた場合、μ PD70F3116ではフラッシュ・メモリにアクセスする前に100 μs間の待ち時間が必要です。(4)プログラム例ではISETUPに「130」(50 MHz動作時)を設定して待ち時間を確保しています。(4)プログラム例での待ち時間の合計実行クロック数は、39クロック (divh命令 (35クロック) + add命令 (1クロック) + jne命令 (3クロック)) になります。次の計算により、100 μs間の待ち時間を確保します。

$$39 \text{クロック (合計実行クロック数)} \times 20 \text{ ns (50 MHz動作時)} \times 130 \text{ (ISETUP)} = 101.4 \text{ } \mu\text{s (待ち時間)}$$

### 16.7.14 フラッシュ・メモリの消去フロー

フラッシュ・メモリを消去する手順を次に示します。それぞれの機能番号の処理は、呼び出し手順に従った処理を行ってください。

図16-17 フラッシュ・メモリの消去フロー

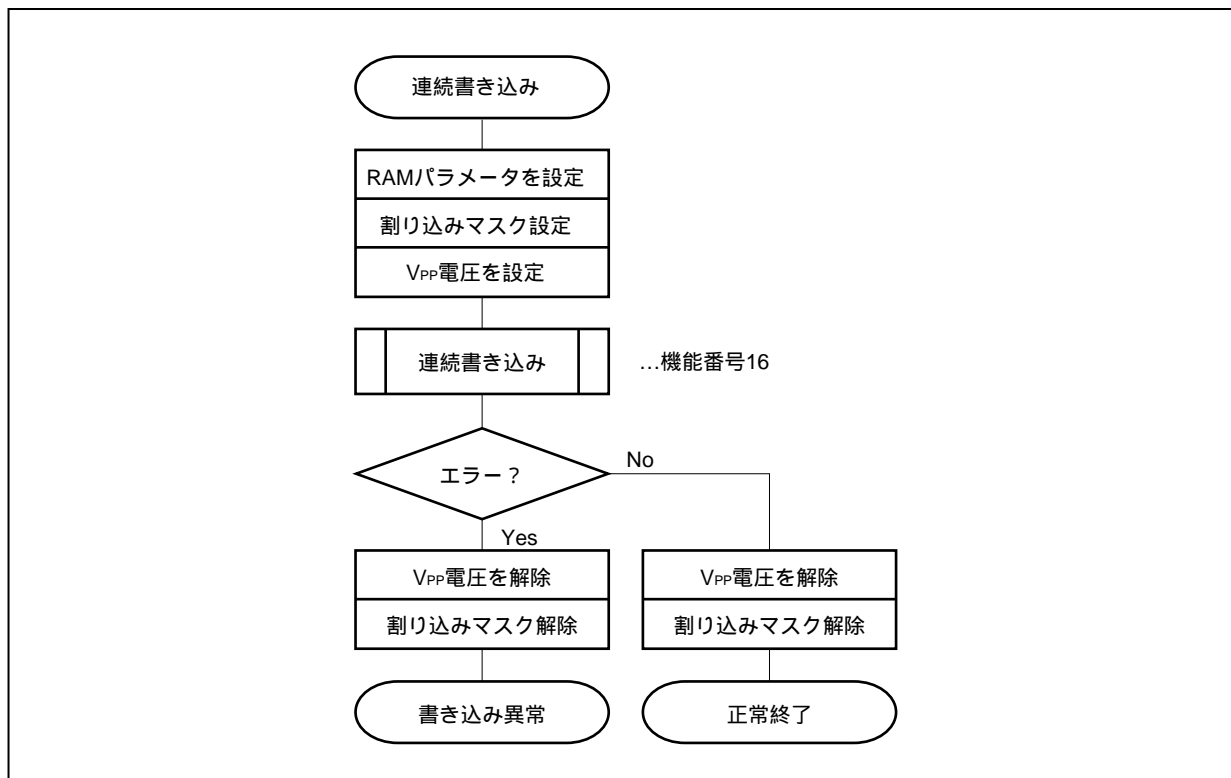




### 16.7.15 連続書き込みフロー

ワード単位の連続書き込み機能を使用して、一度に書き込む手順を次に示します。それぞれの機能番号の処理は、呼び出し手順に従った処理を行ってください。

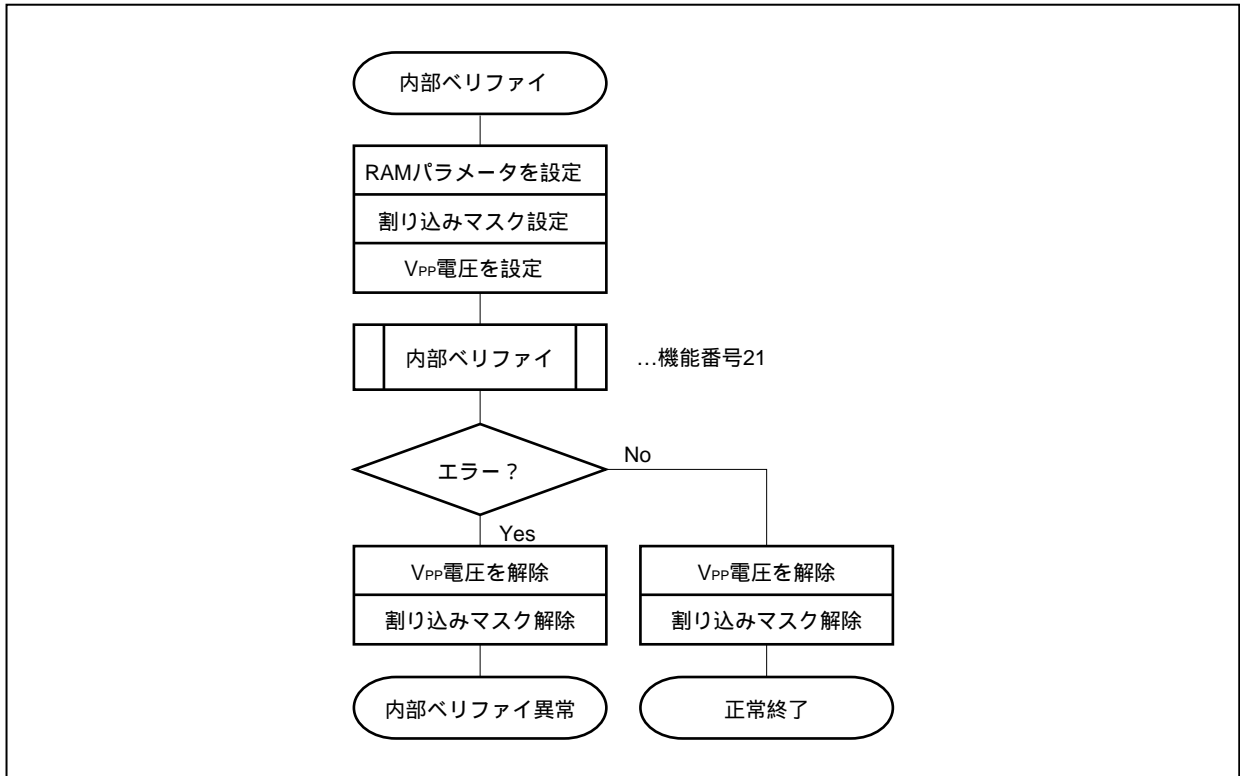
図16 - 18 連続書き込みフロー



### 16.7.16 内部ベリファイ・フロー

内部ベリファイの手順を次に示します。機能番号の処理は、呼び出し手順に従った処理を行ってください。

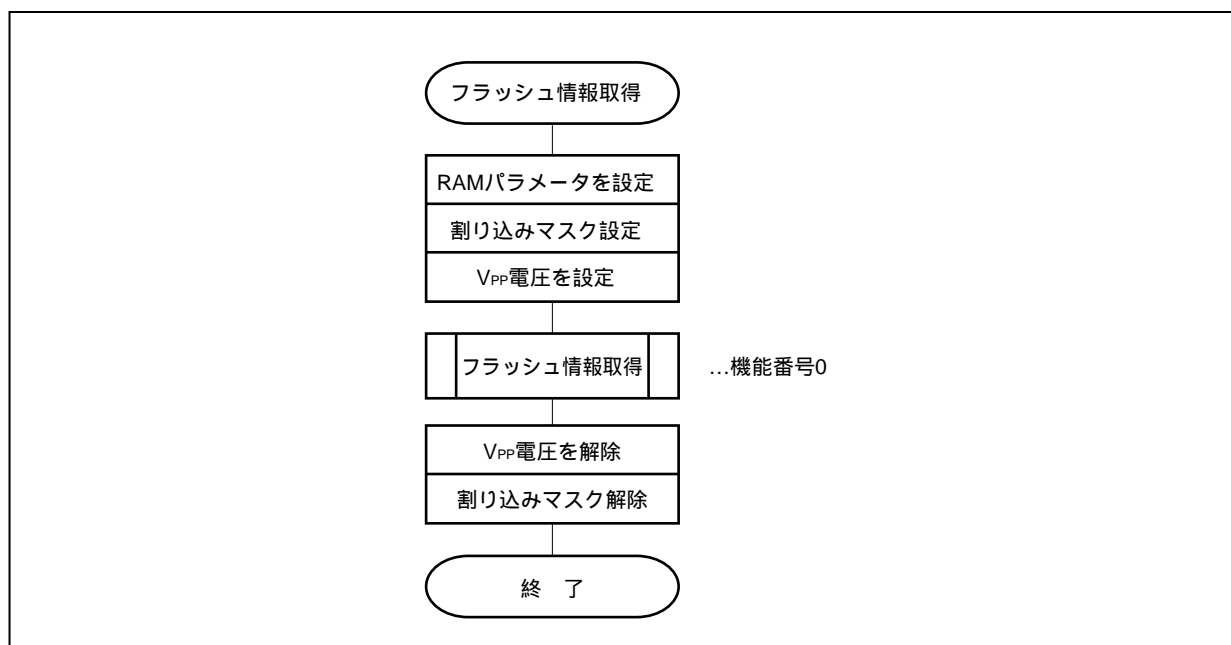
図16 - 19 内部ベリファイ・フロー



## 16.7.17 フラッシュ情報取得フロー

フラッシュ情報取得の手順を次に示します。機能番号の処理は、呼び出し手順に従った処理を行ってください。

図16 - 20 フラッシュ情報取得フロー



### 16.7.18 セルフ・プログラミング・ライブラリ

セルフ・プログラミングを行うための参考資料として、V850シリーズ ユーザーズ・マニュアル フラッシュ・メモリ・セルフ・プログラミングを用意しています。

この資料で記述したライブラリは、V850マイコンが提供するセルフ・プログラミング・インタフェースを利用し、C言語から利用できるユーティリティとしたライブラリで、アプリケーション・プログラムの一部として位置付けられています。ライブラリを使用する際は、アプリケーション・システム上で十分に評価を行ってください。

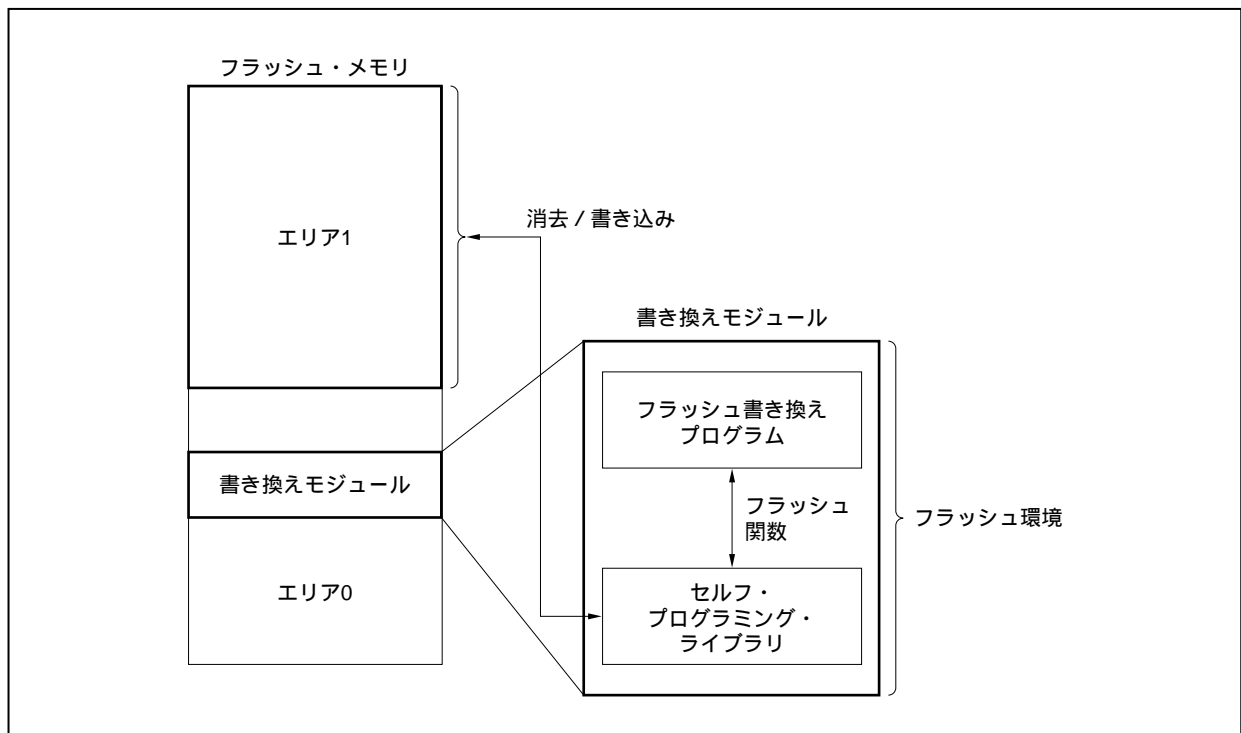
#### (1) 機能概要

セルフ・プログラミング・ライブラリの機能概要を図16 - 21に示します。図16 - 21ではエリア0の領域に書き換えモジュールを配置し、エリア1の領域に対して書き換え / 消去を行う場合を示しています。

書き換えモジュールは、フラッシュ・メモリを書き換えるためのユーザ・プログラムです。このセルフ・プログラミング・ライブラリに含まれるフラッシュ関数を利用して、ほかのエリアを書き換えることができます。また、フラッシュ関数は、外部または内蔵RAMにエントリ・プログラムを展開して、デバイス内部処理を呼び出します。

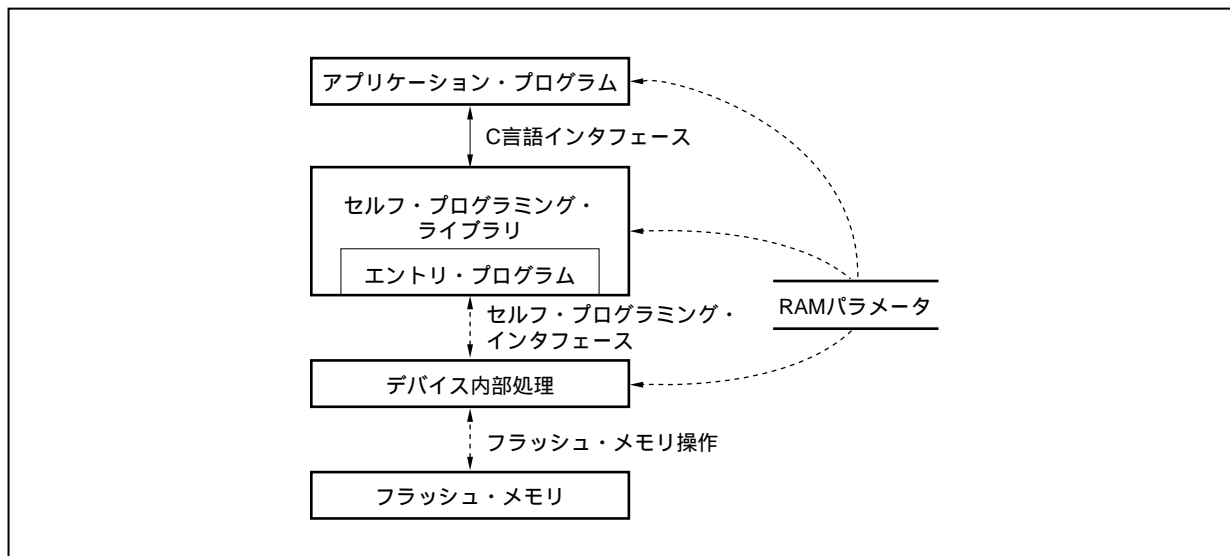
セルフ・プログラミング・ライブラリを使用する際は、書き込み電圧などのハードウェア的な条件と、割り込みなどのソフトウェア的な条件を満たしてください。

図16 - 21 セルフ・プログラミング・ライブラリの機能概要



セルフ・プログラミング・ライブラリの構成概要を次に示します。

図16 - 22 セルフ・プログラミング・ライブラリの構成概要



## 16.8 フラッシュ製品とマスクROM製品の判別方法

フラッシュ製品 (μPD70F3116) とマスクROM製品 (μPD703116) は、次に示す方法によりソフトウェアで判別することができます。

割り込みを禁止します (PSWのNPビットを1に設定)。

ペリフェラル・コマンド・レジスタ (PHCMD) にデータを書き込みます。

フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) のVPPDISビットをセット (1) します。

NOP命令を挿入します (5命令 ( - ) )。

割り込み禁止を解除します (PSWのNPビットを0に戻します)。

フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) のVPPDISビットを読み出します。

- ・読み出した値が0の場合：マスクROM製品 (μPD703116)
- ・読み出した値が1の場合：フラッシュ製品 (μPD70F3116)

```
[ 記述例 ]
LDSR    rX, 5
ST.B    r10, PHCMD[r0]
SET1    3, FLPMC[r0]
NOP
NOP
NOP
NOP
NOP
LDSR    rY, 5
TST1    3, FLPMC[r0]
BNZ
セルフ・プログラミング・ルーチン先頭アドレス
BR
書き換えを行わない場合のルーチン
```

**備考** rX：PSWに書き込む値

rY：PSWに書き戻す値

- 注意1.** PHCMD発行 ( ) とその直後の特定レジスタ書き込み ( ) の間で割り込みを受けつけた場合、特定レジスタへの書き込みは行われず、プロテクション・エラー (PHSレジスタのPRERRビット = 1) が発生することがあります。このため、PSWのNPビットを1に設定 ( ) して、割り込みの受け付けを禁止してください。特定レジスタの設定にビット操作命令を使用した場合も同様に割り込みの受け付けを禁止してください。
2. PHCMDレジスタへ書き込むデータはダミーですが、特定レジスタへの設定にストア命令を使用した場合は、特定レジスタの設定使用する汎用レジスタと同じレジスタをPHCMDレジスタ書き込みでも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。
3. この処理を行う前にすべてのDMA転送を終了させてください。

## 第17章 電源投入 / 電源遮断

V850E/IA1は、内部ユニット用3.3 V系電源端子 ( $V_{DD3}$ ,  $CV_{DD}$ )、外部端子用5 V系電源端子 ( $V_{DD5}$ ,  $AV_{DD}$ )、フラッシュ書き込み電源印加用端子 ( $V_{PP}$ )<sup>註</sup>の3種類で電源端子を構成しています。

ここでは、電源投入時 / 電源遮断時の入出力端子の端子状態について説明します。

注  $\mu$ PD70F3116のみ

### 【電源投入 / 電源遮断の推奨タイミング】

#### ・電源投入時

$V_{DD3}$ 端子の電圧が動作保証範囲内 (3.0 ~ 3.6 V) になるまで、 $V_{DD5}$ および $AV_{DD}$ 端子の電圧を0 Vにする。

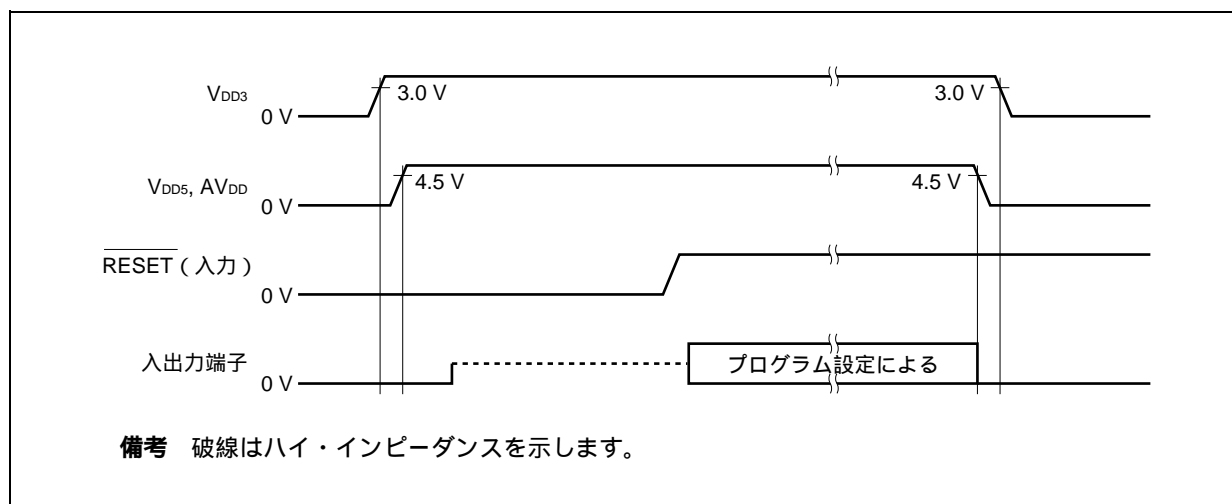
#### ・電源遮断時

$V_{DD5}$ および $AV_{DD}$ 端子の電圧が0 Vになるまで、 $V_{DD3}$ 端子の電圧を動作保証範囲内 (3.0 ~ 3.6 V) にする。

#### ・RESET端子によるリセット解除時

RESET端子によるリセット解除は、3.3 V系電源および5 V系電源の両方が立ち上がってから行ってください。

図17 - 1 電源投入 / 電源遮断の推奨タイミング

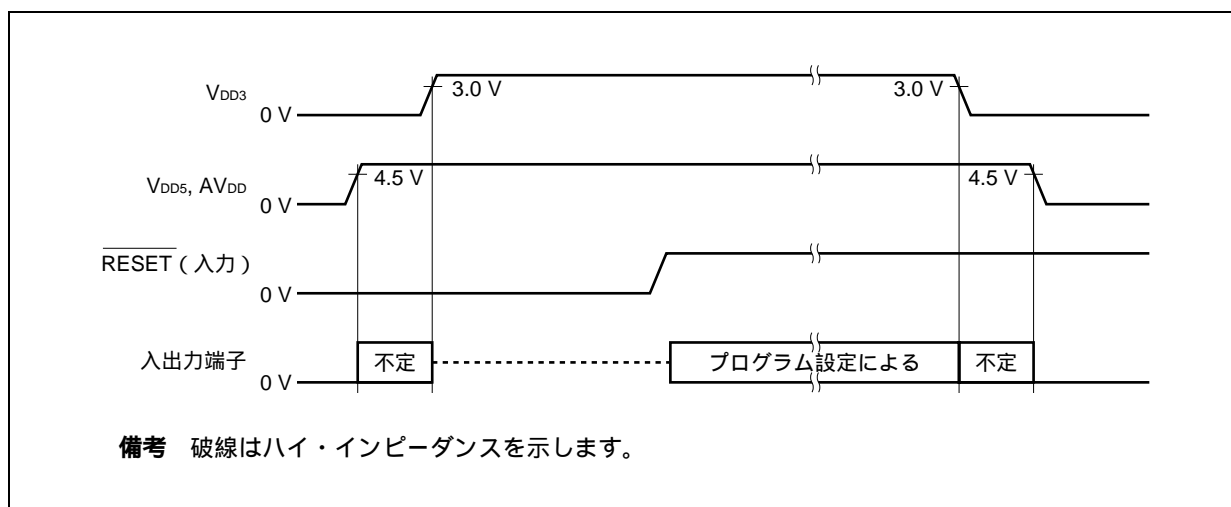


【その他のタイミング】

- ・  $V_{DD3}$ 端子の電圧が動作保証範囲内(3.0~3.6V)になる前に、 $V_{DD5}$ および $AV_{DD}$ 端子に電源供給を行った場合、 $V_{DD3}$ 端子の電圧が3.0Vになるまで入出力端子の端子状態は不定<sup>注</sup>です。
- ・  $V_{DD5}$ および $AV_{DD}$ 端子の電圧が0Vになる前に、 $V_{DD3}$ 端子の電圧が動作保証範囲(3.0~3.6V)未満となった場合、入出力端子の端子状態は不定<sup>注</sup>です。

注 入出力端子の不定とは、入力モード/出力モードおよび出力時の出力レベルが定まらないことを示します。

図17-2 その他のタイミング





## 第18章 電気的特性

### 18.1 通常動作モード

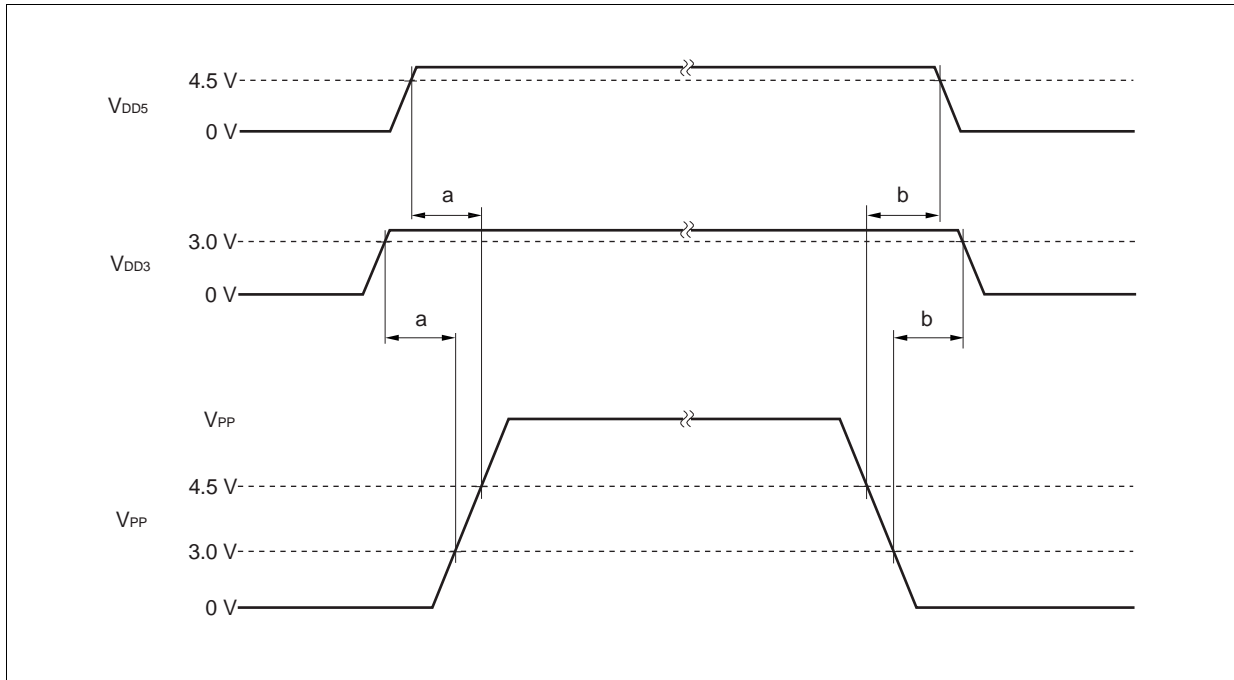
絶対最大定格 (TA = 25 )

項目	略号	条件	定格	単位
電源電圧	V <sub>DD3</sub>	V <sub>DD3</sub> 端子	- 0.5 ~ + 4.6	V
	V <sub>DD5</sub>	V <sub>DD5</sub> 端子	- 0.5 ~ + 7.0	V
	CV <sub>DD</sub>	CV <sub>DD</sub> 端子	- 0.5 ~ + 4.6	V
	CV <sub>SS</sub>	CV <sub>SS</sub> 端子	- 0.5 ~ + 0.5	V
	AV <sub>DD</sub>	AV <sub>DD</sub> 端子	- 0.5 ~ V <sub>DD5</sub> + 0.5 <sup>注1</sup>	V
	AV <sub>SS</sub>	AV <sub>SS</sub> 端子	- 0.5 ~ + 0.5	V
入力電圧	V <sub>I1</sub>	X1端子, NBD用端子 <sup>注2</sup> を除く	- 0.5 ~ V <sub>DD5</sub> + 0.5 <sup>注1</sup>	V
	V <sub>I2</sub>	V <sub>PP</sub> 端子, $\mu$ PD70F3116 <sup>注3</sup>	- 0.5 ~ + 8.5	V
	V <sub>I3</sub>	NBD用端子 <sup>注2</sup>	- 0.5 ~ V <sub>DD3</sub> + 0.5 <sup>注1</sup>	V
	V <sub>I4</sub>	RESET端子 (V <sub>DD3</sub> 供給時)	- 0.5 ~ + 6.0	V
クロック入力電圧	V <sub>K</sub>	X1端子	- 0.5 ~ V <sub>DD3</sub> + 1.0 <sup>注1</sup>	V
アナログ入力電圧	V <sub>IAN</sub>	ANI00-ANI07端子, AV <sub>DD</sub> > V <sub>DD5</sub>	- 0.5 ~ V <sub>DD5</sub> + 0.5 <sup>注1</sup>	V
		ANI10-ANI17端子, V <sub>DD5</sub> AV <sub>DD</sub>	- 0.5 ~ AV <sub>DD</sub> + 0.5 <sup>注1</sup>	V
アナログ基準入力電圧	AV <sub>REF</sub>	AV <sub>REF0</sub> 端子, AV <sub>DD</sub> > V <sub>DD5</sub>	- 0.5 ~ V <sub>DD5</sub> + 0.5 <sup>注1</sup>	V
		AV <sub>REF1</sub> 端子, V <sub>DD5</sub> AV <sub>DD</sub>	- 0.5 ~ AV <sub>DD</sub> + 0.5 <sup>注1</sup>	V
ロウ・レベル出力電流	I <sub>OL</sub>	TO000-TO005, TO010-TO015端子のうち1端子	15	mA
		TO000-TO005, TO010-TO015端子を除く1端子	4.0	mA
		全端子合計	210	mA
ハイ・レベル出力電流	I <sub>OH</sub>	1端子	- 4.0	mA
		全端子合計	- 100	mA
動作周囲温度	T <sub>A</sub>	$\mu$ PD703116, 703116(A), $\mu$ PD70F3116, 70F3116(A)	- 40 ~ + 85	
		$\mu$ PD703116(A1), 70F3116(A1)	- 40 ~ + 110	
保存温度	T <sub>stg</sub>		- 65 ~ + 150	

- 注1. それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。
2. CLK\_DBG, SYNC, AD0\_DBG-AD3\_DBG端子 ( $\mu$  PD70F3116のみ)
3. フラッシュ・メモリ書き込み時,  $V_{PP}$ の電圧印加タイミングについては, 必ず次の条件を満たしてください。
- ・電源電圧立ち上がり時
 

$V_{DD3}$ ,  $V_{DD5}$ が動作電圧範囲の下限電圧 ( $V_{DD3}$ : 3.0 V,  $V_{DD5}$ : 4.5 V) に達してから10  $\mu$ s以上経過後,  $V_{PP}$ が $V_{DD3}$ ,  $V_{DD5}$ を越えること (下図のa)。
  - ・電源電圧立ち下がり時
 

$V_{PP}$ が $V_{DD3}$ ,  $V_{DD5}$ の動作電圧範囲の下限電圧 ( $V_{DD3}$ : 3.0 V,  $V_{DD5}$ : 4.5 V) を下回ってから10  $\mu$ s以上経過後,  $V_{DD3}$ ,  $V_{DD5}$ を立ち下げること (下図のb)。



- 注意1. IC製品の出力 (または入出力) 端子同士を直結したり,  $V_{DD}$ または $V_{CC}$ やGNDに直結したりしないでください。ただし, オープン・ドレーン端子やオープン・コネクタ端子同士は直結できます。また, ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。
2. 各項目のうち1項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で, 製品をご使用ください。
- DC特性とAC特性に示す規格や条件が, 製品の正常動作, 品質保証の範囲です。

容量 ( $T_A = 25\text{ }^\circ\text{C}$ ,  $V_{DD3} = V_{DD5} = V_{SS3} = V_{SS5} = 0\text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	$C_i$	被測定ピン以外は0V			15	pF
入出力容量	$C_{io}$				15	pF
出力容量	$C_o$				15	pF

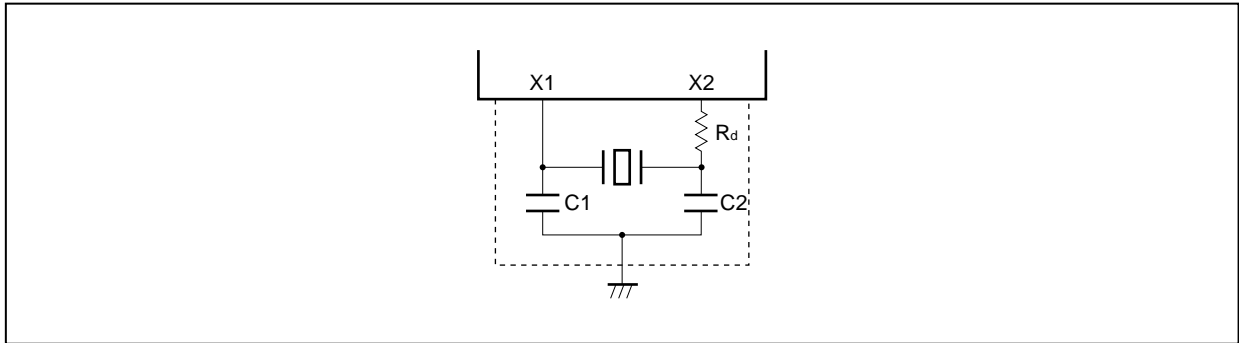
**動作条件**

動作モード	内部システム・クロック周波数 ( $f_{xx}$ )		動作周囲温度 ( $T_A$ )	電源電圧	
				$V_{DD3}$	$V_{DD5}$
ダイレクト・モード	$\mu$ PD703116, 703116(A), 70F3116, 70F3116(A)	4 ~ 25 MHz	- 40 ~ + 85	$3.3\text{ V} \pm 0.3\text{ V}$	$5.0\text{ V} \pm 0.5\text{ V}$
	$\mu$ PD703116(A1), 70F3116(A1)	4 ~ 16 MHz	- 40 ~ + 110	$3.3\text{ V} \pm 0.3\text{ V}$	$5.0\text{ V} \pm 0.5\text{ V}$
PLLモード	$\mu$ PD703116, 703116(A), 70F3116, 70F3116(A)	4 ~ 50 MHz	- 40 ~ + 85	$3.3\text{ V} \pm 0.3\text{ V}$	$5.0\text{ V} \pm 0.5\text{ V}$
	$\mu$ PD703116(A1), 70F3116(A1)	4 ~ 32 MHz	- 40 ~ + 110	$3.3\text{ V} \pm 0.3\text{ V}$	$5.0\text{ V} \pm 0.5\text{ V}$

**注意** CLKOUT信号を使用して外部デバイスとインタフェースをとる場合は、内部システム・クロック周波数 ( $f_{xx}$ ) を32 MHz以下としてください。

クロック発振回路特性 (  $T_A = -40 \sim +85$  ...  $\mu$ PD703116, 703116(A), 70F3116, 70F3116(A),  
 $T_A = -40 \sim +110$  ...  $\mu$ PD703116(A1), 70F3116(A1) )

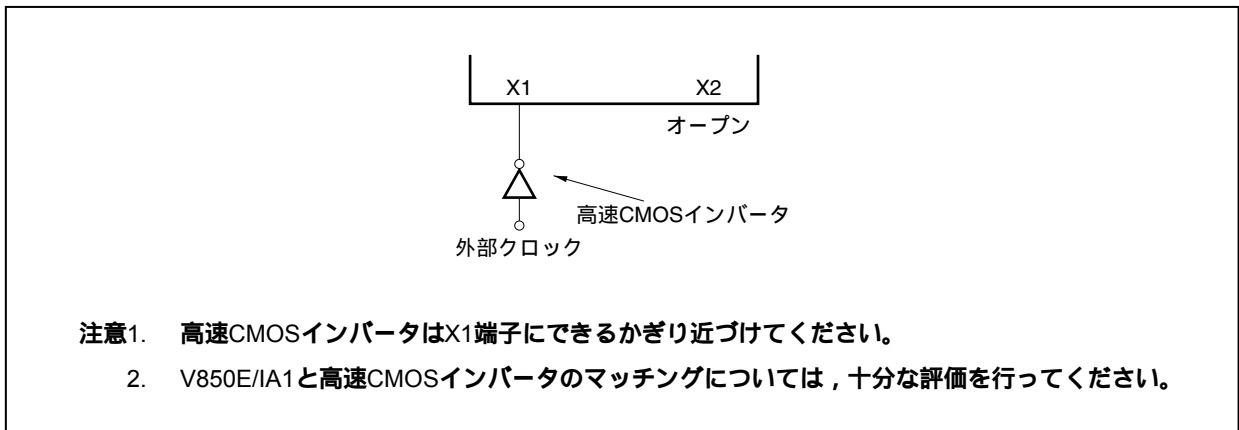
(a) セラミック発振子または水晶振動子接続 ,



項目	略号	条件	MIN.	TYP.	MAX.	単位
発振周波数	$f_x$		4		6.4	MHz

- 備考 1. 発振回路はX1, X2端子にできるかぎり近づけてください。  
 2. 破線の範囲内にほかの信号線を通さないでください。  
 3. 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

(b) 外部クロック入力



## 推奨発振回路定数

## (a) セラミック発振子

(i) 村田製作所 (  $T_A = -40 \sim +85$  ...  $\mu$  PD703116, 703116(A), 70F3116, 70F3116(A) ,  
 $T_A = -40 \sim +110$  ...  $\mu$  PD703116(A1), 70F3116(A1) )

タイプ	品名	発振周波数	推奨回路定数			推奨電圧範囲	
		$f_x$ (MHz)	C1 (pF)	C2 (pF)	$R_d$ ( $\Omega$ )	MIN. (V)	MAX. (V)
表面実装	CSTCR4M00G55-R0	4.0	内蔵	内蔵	0	3.0	3.6
	CSTCR6M00G55-R0	6.0	内蔵	内蔵	0	3.0	3.6

**注意** この発振回路定数は、発振子メーカーによる特定の環境下での評価に基づく参考値です。

実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850E/IA1の内部動作条件についてはDC, AC特性の規格内で使用してください。

DC特性 (  $T_A = -40 \sim +85$  ...  $\mu$ PD703116, 703116(A), 70F3116, 70F3116(A) ,  
 $T_A = -40 \sim +110$  ...  $\mu$ PD703116(A1), 70F3116(A1) ,  
 $V_{DD3} = CV_{DD} = 3.0 \sim 3.6$  V,  $V_{DD5} = 5$  V  $\pm$  0.5 V,  $V_{SS3} = V_{SS5} = CV_{SS} = 0$  V ) ( 1/2 )

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	$V_{IH1}$	バス制御用端子 <sup>注1</sup>	2.2		$V_{DD5}$	V
	$V_{IH2}$	NBD用端子 <sup>注2</sup>	$0.8 V_{DD3}$		$V_{DD3}$	V
	$V_{IH3}$	ポート端子 <sup>注3</sup>	$0.7 V_{DD5}$		$V_{DD5}$	V
	$V_{IH4}$	注1, 2, 3以外のポート端子	$0.8 V_{DD5}$		$V_{DD5}$	V
	$V_{IH5}$	X1端子	$0.8 V_{DD3}$		$V_{DD3} + 0.3$	V
	$V_{IH6}$	RESET端子	$0.8 V_{DD3}$		5.5	V
ロウ・レベル入力電圧	$V_{IL1}$	バス制御用端子 <sup>注1</sup>	0		0.8	V
	$V_{IL2}$	NBD用端子 <sup>注2</sup>	0		$0.2 V_{DD3}$	V
	$V_{IL3}$	ポート端子 <sup>注3</sup>	0		$0.3 V_{DD5}$	V
	$V_{IL4}$	注1, 2, 3以外のポート端子	0		$0.2 V_{DD5}$	V
	$V_{IL5}$	X1端子	- 0.5		$0.15 V_{DD3}$	V
	$V_{IL6}$	RESET端子	0		$0.2 V_{DD3}$	V
ハイ・レベル出力電圧	$V_{OH1}$	注4以外の端子	$I_{OH} = -2.5$ mA		$V_{DD5} - 1.0$	V
	$V_{OH2}$	NBD用端子 <sup>注4</sup>	$I_{OH} = -2.5$ mA		$V_{DD3} - 1.0$	V
ロウ・レベル出力電圧	$V_{OL1}$	PWM出力 <sup>注5</sup>	$I_{OL} = 15$ mA		2.0	V
			$I_{OL} = 2.5$ mA		0.4	V
	$V_{OL2}$	注4, 5以外のポート端子	$I_{OL} = 2.5$ mA		0.4	V
	$V_{OL3}$	NBD用端子 <sup>注4</sup>	$I_{OL} = 2.5$ mA		0.4	V
ハイ・レベル入力リーク電流	$I_{LIH}$	$V_I = V_{DD5}$			10	$\mu$ A
ロウ・レベル入力リーク電流	$I_{LIL}$	$V_I = 0$ V			- 10	$\mu$ A
ハイ・レベル出力リーク電流	$I_{LOH}$	$V_O = V_{DD5}$			10	$\mu$ A
ロウ・レベル出力リーク電流	$I_{LOL}$	$V_O = 0$ V			- 10	$\mu$ A
アナログ端子入力リーク電流	$I_{LIAN}$	ANI00-ANI07, ANI10-ANI17端子			$\pm 10$	$\mu$ A

注1. AD0/PDL0-AD15/PDL15, A16/PDH0-A23/PDH7, LWR/PCT0, UWR/PCT1, PCT2, PCT3, RD/PCT4, PCT5, ASTB/PCT6, PCT7, WAIT/PCM0, CLKOUT/PCM1, HLDK/PCM2, HLDRQ/PCM3, PCM4, CS0/PCS0-CS7/PCS7端子

2. CLK\_DBG, SYNC, AD0\_DBG-AD3\_DBG端子 ( $\mu$ PD70F3116のみ)
3. P31/TXD0, P33/TXD1, P36/TXD2, P41/SO0, P44/SO1, P47/CTXD端子
4. AD0\_DBG-AD3\_DBG, TRIG\_DBG端子 ( $\mu$ PD70F3116のみ)
5. TO000-TO005, TO010-TO015端子

DC特性 (  $T_A = -40 \sim +85$  ...  $\mu$ PD703116, 703116(A), 70F3116, 70F3116(A) ,

$T_A = -40 \sim +110$  ...  $\mu$ PD703116(A1), 70F3116(A1) ,

$V_{DD3} = CV_{DD} = 3.0 \sim 3.6$  V,  $V_{DD5} = 5$  V  $\pm$  0.5 V,  $V_{SS3} = V_{SS5} = CV_{SS} = 0$  V ) ( 2/2 )

項目	略号	条件	MIN.	TYP.	MAX.	単位			
電源電流 <sup>注1</sup>	通常時	$\mu$ PD703116	$V_{DD3} + CV_{DD}$	注2		$1.9 f_{xx} + 2.8$	$2.5 f_{xx} + 5.0$	mA	
			$V_{DD5}$	注3		$0.8 f_{xx} + 0.8$	$1.0 f_{xx}$	mA	
		$\mu$ PD70F3116	$V_{DD3} + CV_{DD}$	注2		$2.4 f_{xx} + 12$	$3.6 f_{xx} + 18$	mA	
			$V_{DD5}$	注3		30	50	mA	
	HALT時	$\mu$ PD703116	$V_{DD3} + CV_{DD}$	注2		$0.9 f_{xx} + 6.8$	$1.8 f_{xx} + 4.0$	mA	
			$V_{DD5}$	注3		20	40	mA	
		$\mu$ PD70F3116	$V_{DD3} + CV_{DD}$	注2		$1.2 f_{xx}$	$2.3 f_{xx}$	mA	
			$V_{DD5}$	注3		20	40	mA	
	IDLE時	$I_{DD3}$	$V_{DD3} + CV_{DD}$			3.0	10	mA	
			$V_{DD5}$	注3		0.5	2.0	mA	
	STOP時	$I_{DD4}$	$V_{DD3} + CV_{DD}$	- 40 $T_A$ + 85			20	1200	$\mu$ A
				- 40 $T_A$ + 110			20	3500	$\mu$ A
$V_{DD5}$			注3			10	120	$\mu$ A	

注1. PLLモード時の値です。

2. 動作条件から $f_{xx}$ を算出して値を決定してください。
3. TO000-TO005, TO010-TO015端子の電流は含まれていません。

備考1.  $f_{xx}$  : 内部システム・クロック周波数 ( MHz )

2. 電源電流の計算例を次に示します。

・  $f_{xx} = 32$  MHzにおけるV850E/IA1の通常時電源電流 ( TYP. )

$$V_{DD3} + CV_{DD} : I_{DD1} = 2.4 f_{xx} + 12 = 2.4 \times 32 + 12 = 88.8 \text{ mA}$$

$$V_{DD5} : I_{DD1} = 30 \text{ mA}$$

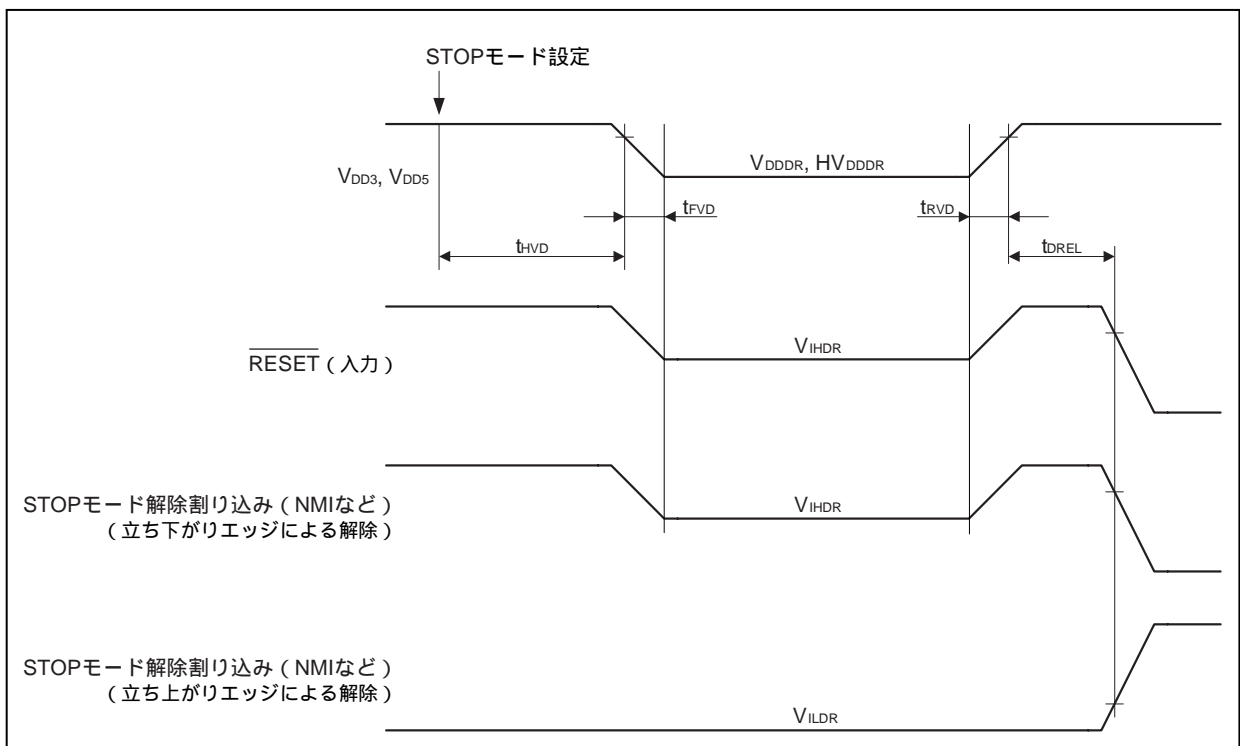
データ保持特性 (  $T_A = -40 \sim +85$  ...  $\mu$ PD703116, 703116(A), 70F3116, 70F3116(A) ,  
 $T_A = -40 \sim +110$  ...  $\mu$ PD703116(A1), 70F3116(A1) )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V <sub>DDDR</sub>	STOPモード, V <sub>DD3</sub> = V <sub>DDDR</sub>	1.5		3.6	V
	HV <sub>DDDR</sub>	STOPモード, V <sub>DD5</sub> = HV <sub>DDDR</sub>	3.6		5.5	V
データ保持電流	I <sub>DDDR</sub>	V <sub>DD3</sub> = -40 $T_A$ +85		20	1200	$\mu$ A
		V <sub>DDDR</sub> -40 $T_A$ +110		20	3500	$\mu$ A
	HI <sub>DDDR</sub>	V <sub>DD5</sub> = HV <sub>DDDR</sub> 注1		10	120	$\mu$ A
電源電圧立ち上がり時間	t <sub>rVD</sub>		200			$\mu$ s
電源電圧立ち下がり時間	t <sub>fVD</sub>		200			$\mu$ s
電源電圧保持時間 (対STOPモード設定)	t <sub>HVD</sub>		0			ms
STOP解除信号入力時間	t <sub>DREL</sub>		0			ns
データ保持ハイ・レベル入力電圧	V <sub>IHDR</sub>	注2	0.8 HV <sub>DDDR</sub>		HV <sub>DDDR</sub>	V
		注3	0.8 V <sub>DDDR</sub>		V <sub>DDDR</sub>	V
データ保持ロウ・レベル入力電圧	V <sub>ILDR</sub>	注2	0		0.2 HV <sub>DDDR</sub>	V
		注3	0		0.2 V <sub>DDDR</sub>	V

注1. TO000-TO005, TO010-TO015端子の電流は含まれていません。

- P00/NMI, P01/ESO0/INTP0, P02/ESO1/INTP1, P03/ADTRG0/INTP2, P04/ADTRG1/INTP3, P05/INTP4-P07/INTP6, P10/TIUD10/TO10, P11/TCUD10/INTP100, P12/TCLR10/INTP101, P13/TIUD11/TO11, P14/TCUD11/INTP110, P15/TCLR11/INTP111, P20/TI2/INTP20, P21/TO21/INTP21-P24/TO24/INTP24, P25/TCLR2/INTP25, P26/TI3/TCLR3/INTP30, P27/TO3/INTP31, P30/RXD0, P32/RXD1, P34/ASCK1, P35/RXD2, P37/ASCK2, P40/SI0, P42/SCK0, P43/SI1, P45/SCK1, P46/CRXD, MODE0-MODE2, CKSEL, RESET端子
- CLK\_DBG, SYNC, AD0\_DBG-AD3\_DBG端子 ( $\mu$ PD70F3116のみ)

備考 TYP.値は $T_A = 25$  時の参考値です。

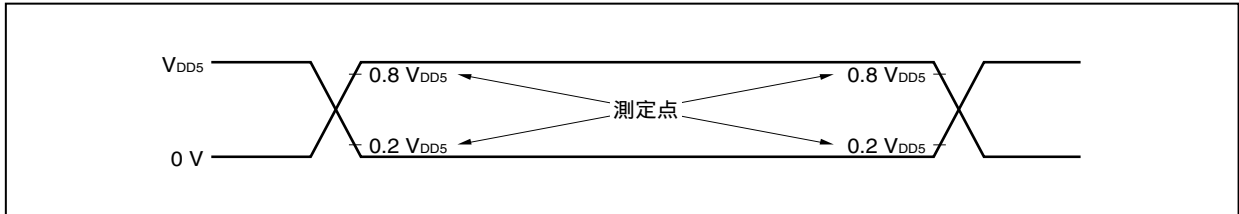




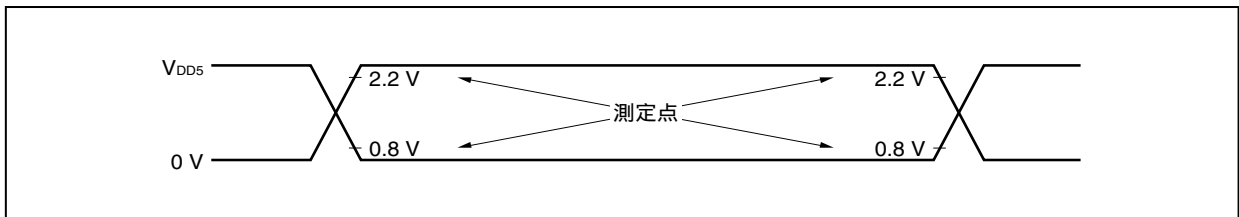
AC特性 (  $T_A = -40 \sim +85$  ...  $\mu$ PD703116, 703116(A), 70F3116, 70F3116(A) ,  
 $T_A = -40 \sim +110$  ...  $\mu$ PD703116(A1), 70F3116(A1) ,  
 $V_{DD3} = CV_{DD} = 3.0 \sim 3.6$  V,  $V_{DD5} = 5$  V  $\pm$  0.5 V,  $V_{SS3} = V_{SS5} = CV_{SS} = 0$  V ,  
 出力端子の負荷容量 :  $C_L = 50$  pF )

ACテスト入力測定点

(a) 下記 (b) - (d) 以外の端子

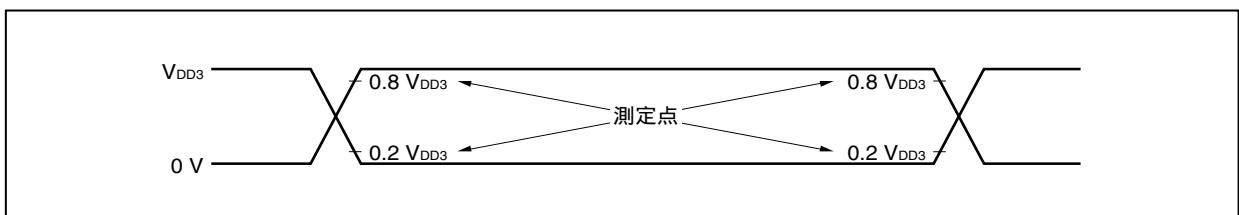


(b) AD0/PDL0-AD15/PDL15, A16/PDH0-A23/PDH7,  $\overline{\text{LWR}}$ /PCT0,  $\overline{\text{UWR}}$ /PCT1, PCT2, PCT3,  $\overline{\text{RD}}$ /PCT4, PCT5, ASTB/PCT6, PCT7,  $\overline{\text{WAIT}}$ /PCM0, CLKOUT/PCM1,  $\overline{\text{HLDAK}}$ /PCM2,  $\overline{\text{HLDRQ}}$ /PCM3, PCM4,  $\overline{\text{CS0}}$ /PCS0- $\overline{\text{CS7}}$ /PCS7端子

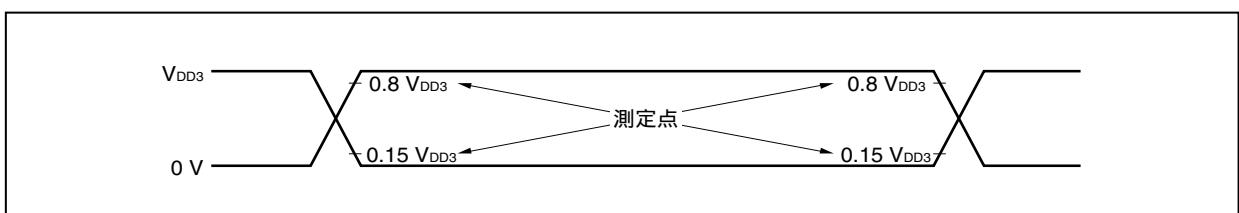


(c) CLK\_DBG<sup>注</sup>, SYNC<sup>注</sup>, AD0\_DBG-AD3\_DBG<sup>注</sup>,  $\overline{\text{RESET}}$ 端子

注  $\mu$ PD70F3116のみ

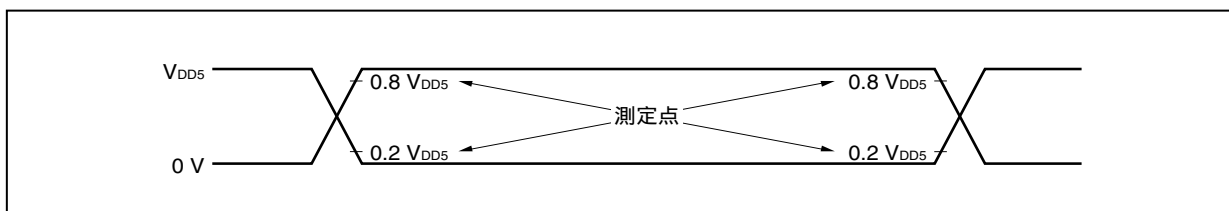


(d) X1端子

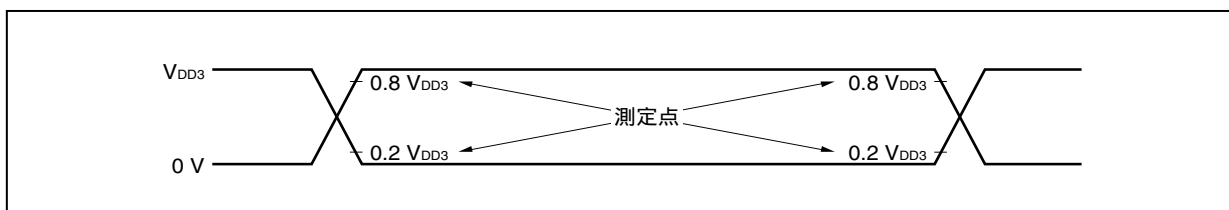


ACテスト出力測定点

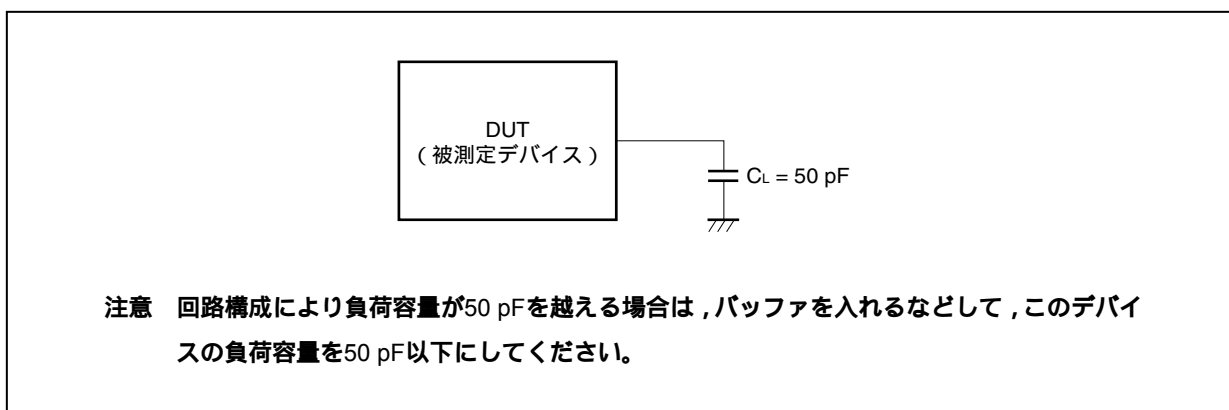
(a) 下記 (b) 以外の端子



(b) AD0\_DBG-AD3\_DBG, TRIG\_DBG端子 ( $\mu$  PD70F3116のみ)



負荷条件



(1) クロック・タイミング (1/2)

( $T_A = -40 \sim +85$  ...  $\mu$ PD703116, 703116(A), 70F3116, 70F3116(A) ,

$T_A = -40 \sim +110$  ...  $\mu$ PD703116(A1), 70F3116(A1) ,

$V_{DD3} = CV_{DD} = 3.0 \sim 3.6$  V,  $V_{DD5} = 5$  V  $\pm$  0.5 V,  $V_{SS3} = V_{SS5} = CV_{SS} = 0$  V ,

出力端子の負荷容量 :  $C_L = 50$  pF )

項目	略号	条件	MIN.	MAX.	単位	
X1入力周期	$t_{CYX}$	<1>	ダイレクト・モード時 注1	31.25	125	ns
			PLLモード時	156	250	ns
			ダイレクト・モード時 注2	20	125	ns
			PLLモード時	156	250	ns
X1入力ハイ・レベル幅	$t_{WXH}$	<2>	ダイレクト・モード時	6		ns
			PLLモード時	50		ns
X1入力ロウ・レベル幅	$t_{WXL}$	<3>	ダイレクト・モード時	6		ns
			PLLモード時	50		ns
X1入力立ち上がり時間	$t_{XR}$	<4>	ダイレクト・モード時		4	ns
			PLLモード時		10	ns
X1入力立ち下がり時間	$t_{XF}$	<5>	ダイレクト・モード時		4	ns
			PLLモード時		10	ns
CPU動作周波数	$f_{XX}$	-	注2	4	50	MHz
			注1	4	32	MHz
			CLKOUT信号使用時 <sup>注3</sup>	4	32	MHz
CLKOUT出力周期	$t_{CYK}$	<6>	注2	20	250	ns
			注1	31.25	250	ns
			CLKOUT信号使用時 <sup>注3</sup>	31.25	250	ns
CLKOUTハイ・レベル幅	$t_{WKH}$	<7>		0.5 T - 9		ns
CLKOUTロウ・レベル幅	$t_{WKL}$	<8>		0.5 T - 11		ns
CLKOUT立ち上がり時間	$t_{KR}$	<9>			11	ns
CLKOUT立ち下がり時間	$t_{KF}$	<10>			9	ns
X1 CLKOUT遅延時間	$t_{DXK}$	<11>	ダイレクト・モード時		40	ns

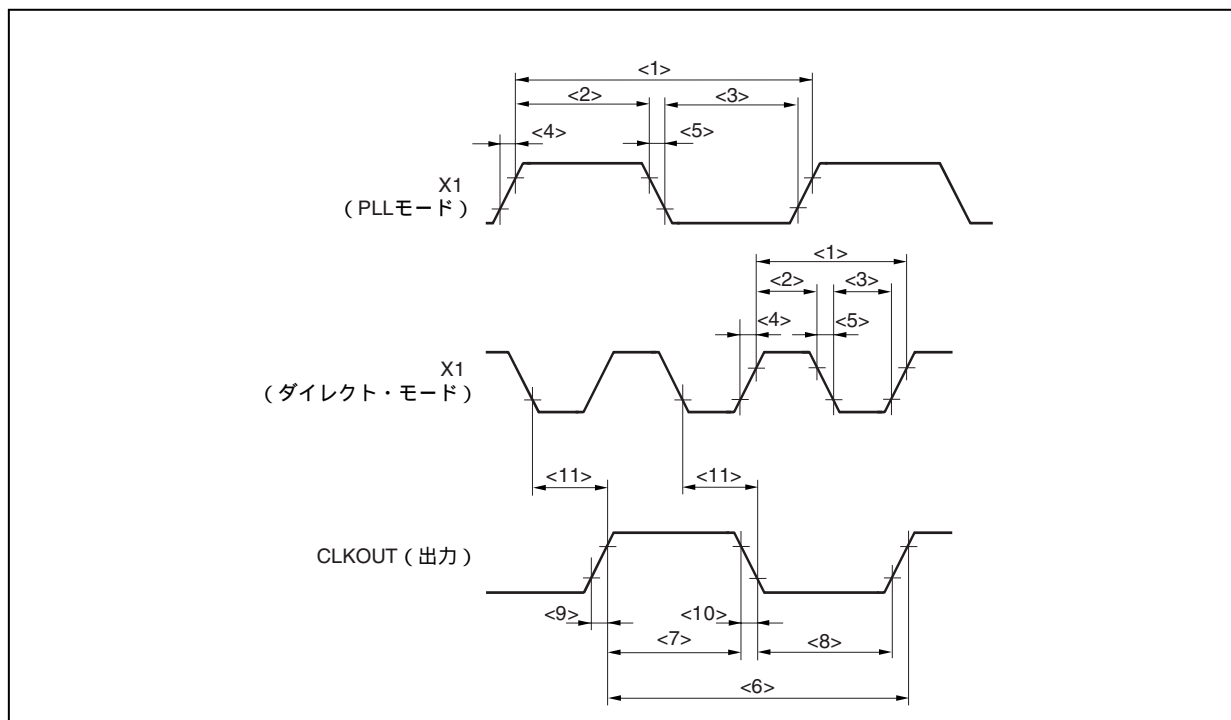
注1. -40  $T_A$  +110 のとき

2. -40  $T_A$  +85 のとき

3. CLKOUT信号を使用して外部デバイスとインタフェースをとる場合は、内部システム・クロック周波数 ( $f_{XX}$ ) を32 MHz以下としてください。

備考 T =  $t_{CYK}$

(1) クロック・タイミング (2/2)



(2) 出力波形 (CLKOUT以外)

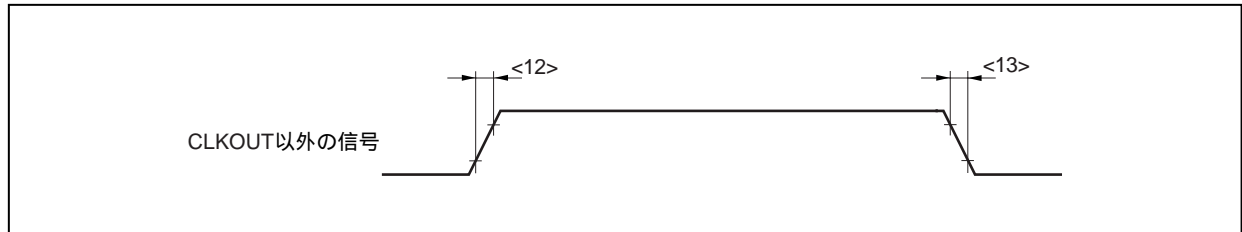
( $T_A = -40 \sim +85$  ...  $\mu$ PD703116, 703116(A), 70F3116, 70F3116(A) ,

$T_A = -40 \sim +110$  ...  $\mu$ PD703116(A1), 70F3116(A1) ,

$V_{DD3} = CV_{DD} = 3.0 \sim 3.6$  V,  $V_{DD5} = 5$  V  $\pm$  0.5 V,  $V_{SS3} = V_{SS5} = CV_{SS} = 0$  V ,

出力端子の負荷容量 :  $C_L = 50$  pF)

項目	略号	条件	MIN.	MAX.	単位
出力立ち上がり時間	$t_{OR}$	<12>		15	ns
出力立ち下がり時間	$t_{OF}$	<13>		15	ns



(3) リセット・タイミング

( $T_A = -40 \sim +85$  ...  $\mu$ PD703116, 703116(A), 70F3116, 70F3116(A) ,

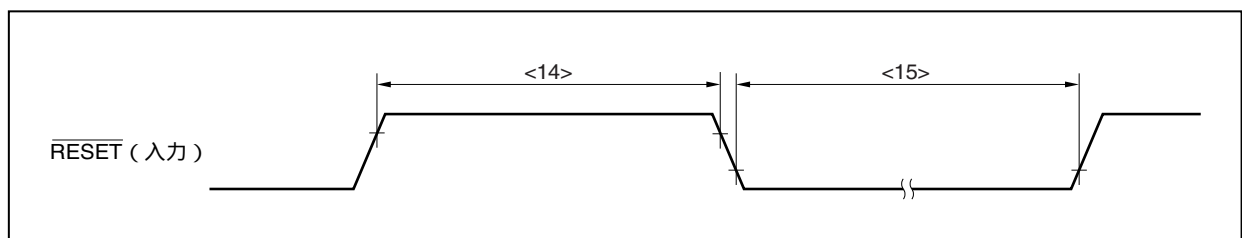
$T_A = -40 \sim +110$  ...  $\mu$ PD703116(A1), 70F3116(A1) ,

$V_{DD3} = CV_{DD} = 3.0 \sim 3.6$  V,  $V_{DD5} = 5$  V  $\pm$  0.5 V,  $V_{SS3} = V_{SS5} = CV_{SS} = 0$  V,  $C_L = 50$  pF)

項目	略号	条件	MIN.	MAX.	単位
RESET端子ハイ・レベル幅	$t_{WRSH}$	<14>	500		ns
RESET端子ロウ・レベル幅	$t_{WRSL}$	電源オン時, STOPモード解除時	$500 + T_{OST}$		ns
		電源オン時, STOPモード解除時を除く	500		ns

注意 発振安定時間については,十分に評価してください。

備考  $T_{OST}$  : 発振安定時間



(4) マルチプレクス・バス・タイミング

(a) CLKOUT非同期 (  $T_A = -40 \sim +85$  ...  $\mu$ PD703116, 703116(A), 70F3116, 70F3116(A) ,  
 $T_A = -40 \sim +110$  ...  $\mu$ PD703116(A1), 70F3116(A1) ,  
 $V_{DD3} = C V_{DD} = 3.0 \sim 3.6$  V,  $V_{DD5} = 5$  V  $\pm$  0.5 V,  $V_{SS3} = V_{SS5} = C V_{SS} = 0$  V ,  
**出力端子の負荷容量 :  $C_L = 50$  pF )**

項目	略号	条件	MIN.	MAX.	単位	
アドレス設定時間 (対ASTB )	$t_{SAST}$	<16>		$(0.5 + W_{AS}) T - 16$	ns	
アドレス保持時間 (対ASTB )	$t_{HSTA}$	<17>		$(0.5 + W_{AH}) T - 15$	ns	
$\overline{RD}$ アドレス・フロート遅延時間	$t_{FRDA}$	<18>		11	ns	
アドレス データ入力設定時間	$t_{SAID}$	<19>		$(2 + W + W_{AS} + W_{AH}) T - 40$	ns	
$\overline{RD}$ データ入力設定時間	$t_{SRDID}$	<20>		$(1 + w) T - 40$	ns	
ASTB $\overline{RD}$ , $\overline{LWR}$ , $\overline{UWR}$ 遅延時間	$t_{DSTRDWR}$	<21>		$(0.5 + W_{AH}) T - 15$	ns	
データ入力保持時間 (対 $\overline{RD}$ )	$t_{HRDID}$	<22>		0	ns	
$\overline{RD}$ アドレス出力時間	$t_{DRDA}$	<23>		$(1 + i) T - 15$	ns	
$\overline{RD}$ , $\overline{LWR}$ , $\overline{UWR}$ ASTB 遅延時間	$t_{DRDWRST}$	<24>		$0.5 T - 15$	ns	
$\overline{RD}$ ASTB 遅延時間	$t_{DRDST}$	<25>		$(1.5 + i + W_{AS}) T - 15$	ns	
$\overline{RD}$ , $\overline{LWR}$ , $\overline{UWR}$ ロウ・レベル幅	$t_{WRDWRL}$	<26>		$(1 + w) T - 22$	ns	
ASTBハイ・レベル幅	$t_{WSTH}$	<27>		$(1 + W_{AS}) T - 15$	ns	
$\overline{LWR}$ , $\overline{UWR}$ データ出力時間	$t_{DWROD}$	<28>		10	ns	
データ出力設定時間 (対 $\overline{LWR}$ , $\overline{UWR}$ )	$t_{SODWR}$	<29>		$(1 + w) T - 25$	ns	
データ出力保持時間 (対 $\overline{LWR}$ , $\overline{UWR}$ )	$t_{HWROD}$	<30>		$T - 20$	ns	
WAIT設定時間 (対アドレス)	$t_{SAWT1}$	<31>	W 1	$(1.5 + W_{AS} + W_{AH}) T - 40$	ns	
	$t_{SAWT2}$	<32>		$(1.5 + w + W_{AS} + W_{AH}) T - 40$	ns	
WAIT保持時間 (対アドレス)	$t_{HAWT1}$	<33>	W 1	$(0.5 + w + W_{AS} + W_{AH}) T$	ns	
	$t_{HAWT2}$	<34>		$(1.5 + w + W_{AS} + W_{AH}) T$	ns	
WAIT設定時間 (対ASTB )	$t_{SSTWT1}$	<35>	W 1	$(1 + W_{AH}) T - 32$	ns	
	$t_{SSTWT2}$	<36>		$(1 + w + W_{AH}) T - 32$	ns	
WAIT保持時間 (対ASTB )	$t_{HSTWT1}$	<37>	W 1	$(w + W_{AH}) T$	ns	
	$t_{HSTWT2}$	<38>		$(1 + w + W_{AH}) T$	ns	
HLD $\overline{RQ}$ ハイ・レベル幅	$t_{WHQH}$	<39>		$T + 10$	ns	
HLD $\overline{AK}$ ロウ・レベル幅	$t_{WHAL}$	<40>		$T - 15$	ns	
アドレス・フロート HLD $\overline{AK}$ 遅延時間	$t_{DFHA}$	<41>		- 12	ns	
HLD $\overline{AK}$ バス出力遅延時間	$t_{DHAC}$	<42>		- 7	ns	
HLD $\overline{RQ}$ HLD $\overline{AK}$ 遅延時間	$t_{DHQA1}$	<43>		2T	ns	
HLD $\overline{RQ}$ HLD $\overline{AK}$ 遅延時間	$t_{DHQA2}$	<44>		0.5T	1.5T + 30	ns

備考 1.  $T = t_{CYK}$

2.  $w$  : バス・サイクルに挿入されるウェイト・クロック数  
プログラマブル・ウェイト挿入時は, サンプル・タイミングが変わります。
3.  $i$  : リード・サイクル後に挿入されるアイドル・ステート数 (0または1)
4.  $WAS$  : アドレス・セットアップ・ウェイト・ステート数 (0または1)
5.  $WAH$  : アドレス・ホールド・ウェイト・ステート数 (0または1)
6. データ入力保持時間 ( $t_{HKID}$ ,  $t_{HRDID}$ ) は少なくともどちらか1つを守ってください。
7. ウェイト・サイクルの挿入数の考え方については, 4. 6. 3 **プログラマブル・ウェイトと外部ウェイトの関係**を参照してください。

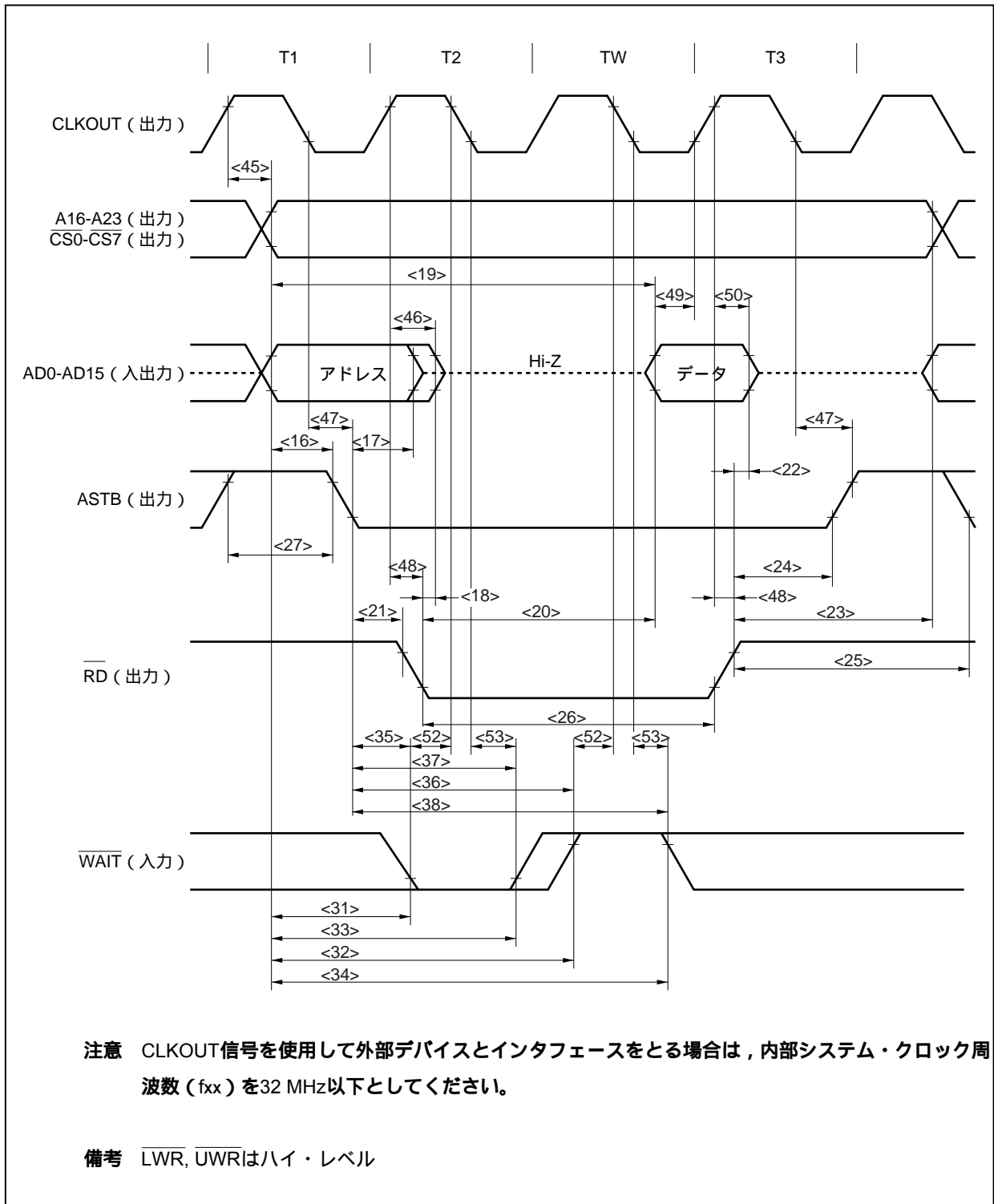
(b) CLKOUT同期 ( $T_A = -40 \sim +85 \dots \mu\text{PD703116, 703116(A), 70F3116, 70F3116(A),$   
 $T_A = -40 \sim +110 \dots \mu\text{PD703116(A1), 70F3116(A1),$   
 $V_{DD3} = CV_{DD} = 3.0 \sim 3.6 \text{ V}, V_{DD5} = 5 \text{ V} \pm 0.5 \text{ V}, V_{SS3} = V_{SS5} = CV_{SS} = 0 \text{ V},$   
**出力端子の負荷容量 :  $C_L = 50 \text{ pF}$** )

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	$t_{DKA}$	<45>	- 7	19	ns
CLKOUT アドレス・フロート遅延時間	$t_{FKA}$	<46>	- 12	15	ns
CLKOUT ASTB遅延時間	$t_{DKST}$	<47>	- 3 + $WAHT$	19 + $WAHT$	ns
CLKOUT $\overline{RD}$ , $\overline{LWR}$ , $\overline{UWR}$ 遅延時間	$t_{DKRDWR}$	<48>	- 5	19	ns
データ入力設定時間 (対CLKOUT )	$t_{SIDK}$	<49>	21		ns
データ入力保持時間 (対CLKOUT )	$t_{HKID}$	<50>	5		ns
CLKOUT データ出力遅延時間	$t_{DKOD}$	<51>		19	ns
WAIT設定時間 (対CLKOUT )	$t_{SWTK}$	<52>	21		ns
WAIT保持時間 (対CLKOUT )	$t_{HKWT}$	<53>	5		ns
HLDQR設定時間 (対CLKOUT )	$t_{SHQK}$	<54>	21		ns
HLDQR保持時間 (対CLKOUT )	$t_{HKHQ}$	<55>	5		ns
CLKOUT HLDK遅延時間	$t_{DKHA}$	<56>		19	ns
CLKOUT アドレス・フロート遅延時間	$t_{DKF}$	<57>		19	ns

備考 1.  $T = t_{CYK}$

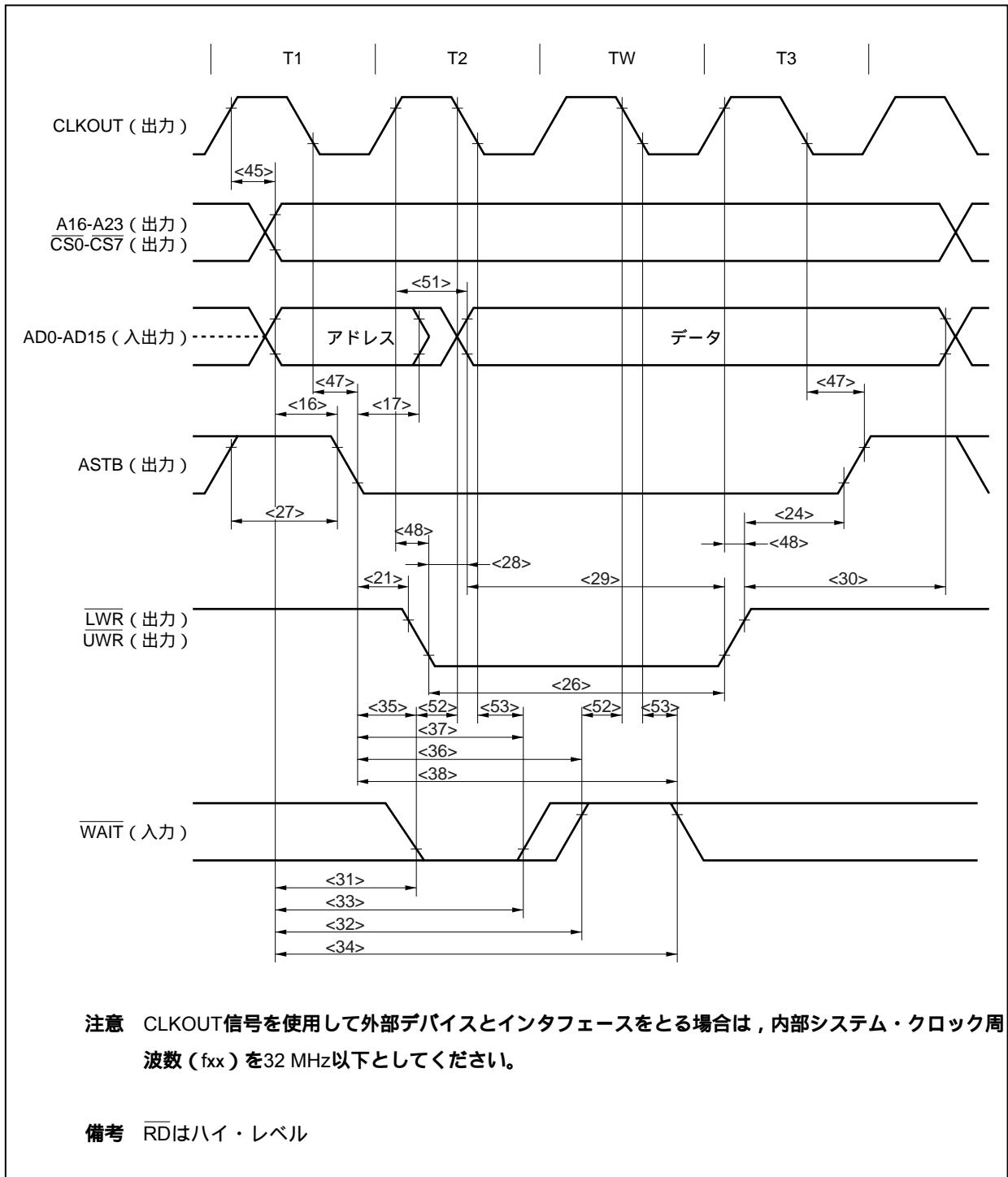
2.  $WAH$  : アドレス・ホールド・ウェイト・ステート数 (0または1)
3. データ入力保持時間 ( $t_{HKID}$ ,  $t_{HRDID}$ ) は少なくともどちらか1つを守ってください。

(c) リード・サイクル (CLKOUT同期/非同期, 1ウエイト)

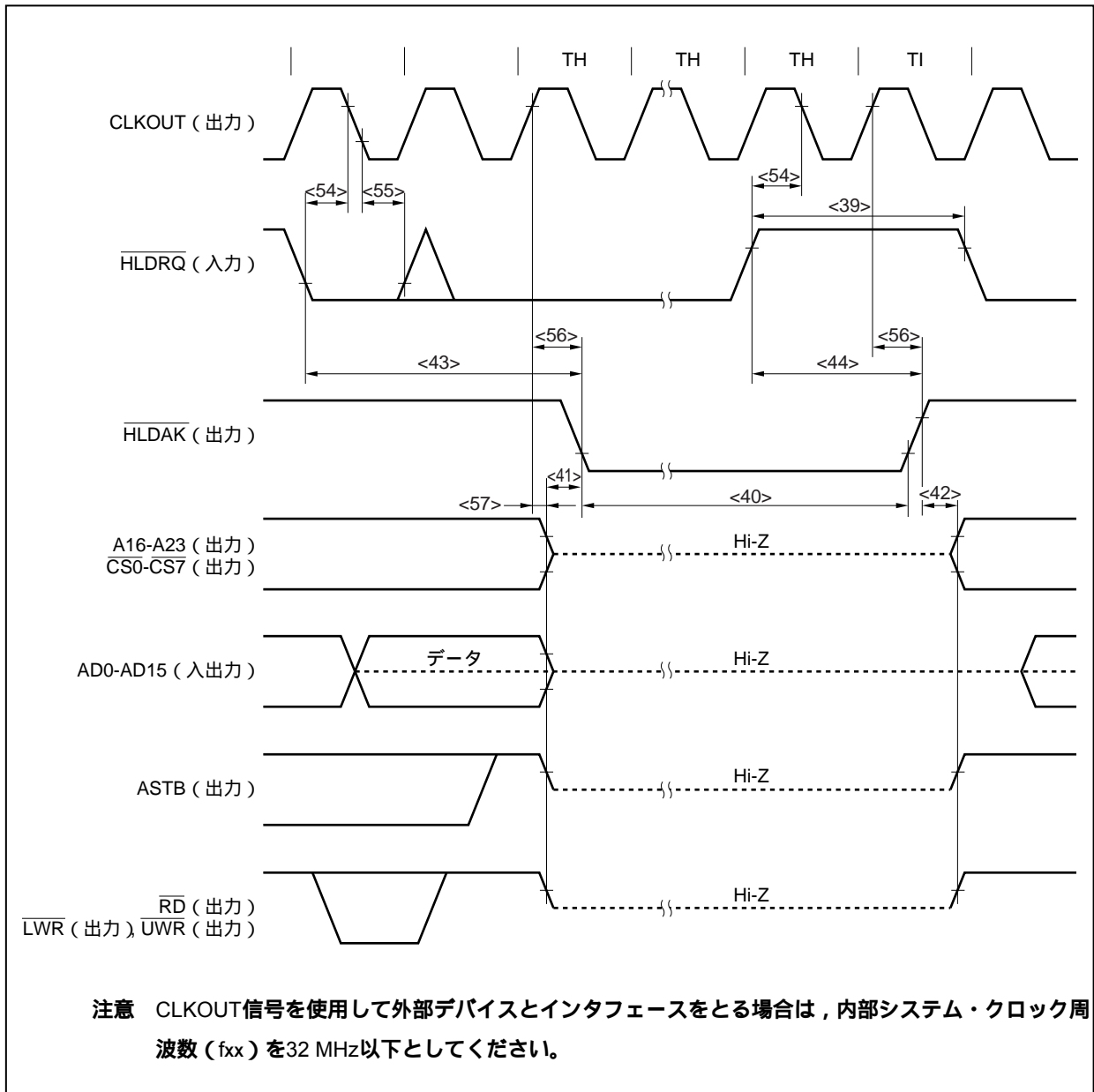




(d) ライト・サイクル (CLKOUT同期/非同期, 1ウェイト)



(e) バス・ホールド



(5) 割り込みタイミング

( $T_A = -40 \sim +85$  ...  $\mu$ PD703116, 703116(A), 70F3116, 70F3116(A) ,

$T_A = -40 \sim +110$  ...  $\mu$ PD703116(A1), 70F3116(A1) ,

$V_{DD3} = CV_{DD} = 3.0 \sim 3.6$  V,  $V_{DD5} = 5$  V  $\pm$  0.5 V,  $V_{SS3} = V_{SS5} = CV_{SS} = 0$  V,  $C_L = 50$  pF)

項目	略号	条件	MIN.	MAX.	単位
NMIハイ・レベル幅	t <sub>WNH</sub>	<58>	500		ns
NMIロウ・レベル幅	t <sub>WNL</sub>	<59>	500		ns
INTPnハイ・レベル幅	t <sub>WITH</sub>	<60> n = 0-6	500		ns
		n = 100, 101, 110, 111, 30, 31	5T + 10		ns
		n = 20-25 (アナログ・フィルタ指定時)	500		ns
		n = 20-25 (デジタル・フィルタ指定時)	5T + 10		ns
INTPnロウ・レベル幅	t <sub>WITL</sub>	<61> n = 0-6	500		ns
		n = 100, 101, 110, 111, 30, 31	5T + 10		ns
		n = 20-25 (アナログ・フィルタ指定時)	500		ns
		n = 20-25 (デジタル・フィルタ指定時)	5T + 10		ns

備考 T: デジタル・フィルタ・サンプリング・クロック

Tは、次に示すレジスタの設定により選択できます。

・INTP100, INTP101の場合:

タイマ10ノイズ除去時間選択レジスタ (NRC10) のNRC101, NRC100ビットで設定し, f<sub>XXTM10</sub>, f<sub>XXTM10/2</sub>, f<sub>XXTM10/4</sub>, f<sub>XXTM10/8</sub>から選択可能 (f<sub>XXTM10</sub>: タイマ1/タイマ2クロック選択レジスタ (PRM02) で選択したクロック)

・INTP110, INTP111の場合:

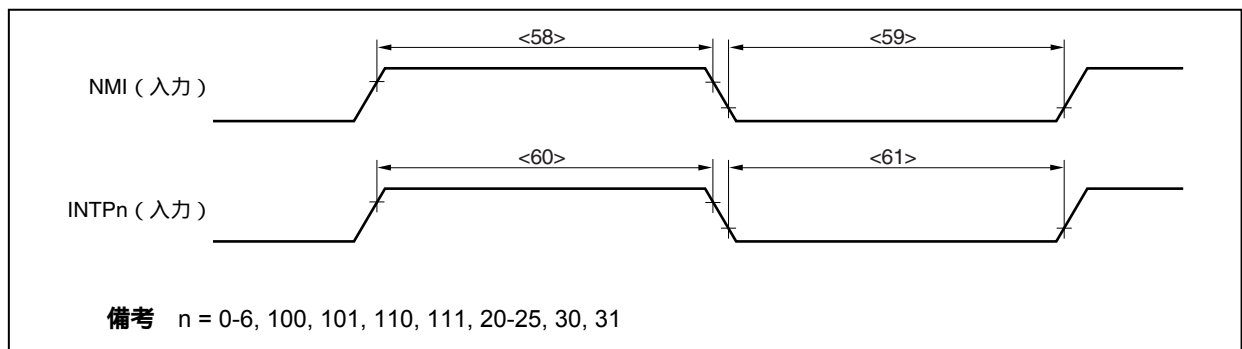
タイマ11ノイズ除去時間選択レジスタ (NRC11) のNRC111, NRC110ビットで設定し, f<sub>XXTM11</sub>, f<sub>XXTM11/2</sub>, f<sub>XXTM11/4</sub>, f<sub>XXTM11/8</sub>から選択可能 (f<sub>XXTM11</sub>: PRM02レジスタで選択したクロック)

・INTP30の場合:

タイマ3ノイズ除去時間選択レジスタ (NRC3) のNRC31, NRC30ビットで設定し, f<sub>XXTM3/2</sub>, f<sub>XXTM3/4</sub>, f<sub>XXTM3/8</sub>, f<sub>XXTM3/16</sub>から選択可能 (f<sub>XXTM3</sub>: タイマ3クロック選択レジスタ (PRM03) で選択したクロック)

・INTP31の場合:

タイマ3ノイズ除去時間選択レジスタ (NRC3) のNRC33, NRC32ビットで設定し, f<sub>XXTM3/32</sub>, f<sub>XXTM3/64</sub>, f<sub>XXTM3/128</sub>, f<sub>XXTM3/256</sub>から選択可能 (f<sub>XXTM3</sub>: PRM03レジスタで選択したクロック)



(6) タイマ入力タイミング

( $T_A = -40 \sim +85$  ...  $\mu$ PD703116, 703116(A), 70F3116, 70F3116(A) ,

$T_A = -40 \sim +110$  ...  $\mu$ PD703116(A1), 70F3116(A1) ,

$V_{DD3} = CV_{DD} = 3.0 \sim 3.6$  V,  $V_{DD5} = 5$  V  $\pm$  0.5 V,  $V_{SS3} = V_{SS5} = CV_{SS} = 0$  V,  $C_L = 50$  pF )

項目	略号	条件	MIN.	MAX.	単位
TIUDn, TCUDnハイ/ロウ・レベル幅	$t_{WUDH}, t_{WUDL}$	<62> $n = 10, 11$	$5T + 10$		ns
TIUDn, TCUDn入力時間差	$t_{PHUD}$	<63> $n = 10, 11$	$2T + 10$		ns
TCLRnハイ/ロウ・レベル幅	$t_{WTCH}, t_{WTCL}$	<64> $n = 10, 11, 2$ (スルー入力時以外), 3	$5T + 10$		ns
		$n = 2$ (スルー入力時 <sup>註</sup> )	$2T + 10$		ns
TInハイ/ロウ・レベル幅	$t_{WTIH}, t_{WITL}$	<65> $n = 2$ (スルー入力時以外), 3	$5T + 10$		ns
		$n = 2$ (スルー入力時 <sup>註</sup> )	$2T + 10$		ns

注 タイマ2カウント・クロック/制御エッジ選択レジスタ0 (CSE0) のCESE1ビット = 1, CESE0ビット = 0設定時

備考1. T: デジタル・フィルタ・サンプリング・クロック

Tは、次に示すレジスタの設定により選択できます。

- ・TIUDn, TCUDn, TCLRn ( $n = 10, 11$ ) のとき, タイマ n ノイズ除去時間選択レジスタ (NRCn) の NRCn1, NRCn0 ビットを設定することで次に示す周期を選択できます。

タイマ n への基本クロックとして  $f_{xx}/2$  を選択した場合:  $f_{xx}/2, f_{xx}/4, f_{xx}/8, f_{xx}/16$

タイマ n への基本クロックとして  $f_{xx}/4$  を選択した場合:  $f_{xx}/4, f_{xx}/8, f_{xx}/16, f_{xx}/32$

- ・TCLR2, TI2 のとき, タイマ 1/タイマ 2 クロック選択レジスタ (PRM02) の PRM2 ビットを設定することで次に示す周期を選択できます。

タイマ 2 への基本クロックとして  $f_{xx}/2$  を選択した場合:  $f_{xx}/2$

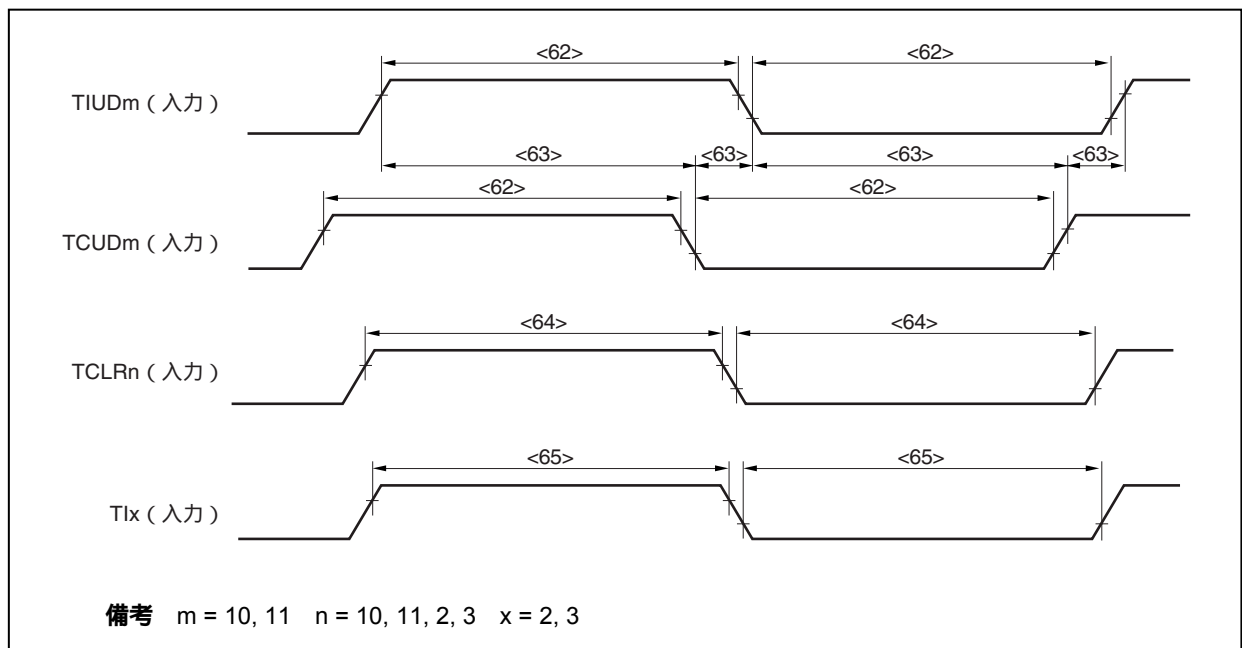
タイマ 2 への基本クロックとして  $f_{xx}/4$  を選択した場合:  $f_{xx}/4$

- ・TCLR3, TI3 のとき, タイマ 3 ノイズ除去時間選択レジスタ (NRC3) の NRC31, NRC30 ビットを設定することで次に示す周期を選択できます。

タイマ 3 への基本クロックとして  $f_{xx}$  を選択した場合:  $f_{xx}/2, f_{xx}/4, f_{xx}/8, f_{xx}/16$

タイマ 3 への基本クロックとして  $f_{xx}/2$  を選択した場合:  $f_{xx}/4, f_{xx}/8, f_{xx}/16, f_{xx}/32$

2.  $f_{xx}$ : 内部システム・クロック周波数



## (7) タイマ動作周波数

( $T_A = -40 \sim +85$  ...  $\mu$ PD703116, 703116(A), 70F3116, 70F3116(A) ,

$T_A = -40 \sim +110$  ...  $\mu$ PD703116(A1), 70F3116(A1) ,

$V_{DD3} = CV_{DD} = 3.0 \sim 3.6$  V,  $V_{DD5} = 5$  V  $\pm$  0.5 V,  $V_{SS3} = V_{SS5} = CV_{SS} = 0$  V ,

出力端子の負荷容量 :  $C_L = 50$  pF )

項目	略号	条件	MIN.	MAX.	単位
タイマ00, 01動作周波数	$T_0$	- 40 $T_A$ + 85		40	MHz
		- 40 $T_A$ + 110		32	MHz
タイマ10, 11動作周波数	$T_1$			16	MHz
タイマ20, 21動作周波数 <sup>注</sup>	$T_2$			16	MHz
タイマ3動作周波数	$T_3$			32	MHz

注1. タイマ1/タイマ2クロック選択レジスタ (PRM02) のPRM2ビット = 1B ( $f_{CLK} = f_{xx}/2$ ) 設定時に, タイマ2カウント・クロック/制御エッジ選択レジスタ0 (CSE0) のTESnE1, TESnE0ビット = 11B (立ち上がり/立ち下がり両エッジ) は設定禁止です。

2. タイマ1/タイマ2クロック選択レジスタ (PRM02) のPRM2ビット = 0B ( $f_{CLK} = f_{xx}/4$ ) 設定時は, VSWCレジスタ = 15Hとしてください。

(8) CSIタイミング (1/2)

(a) マスタ・モード (  $T_A = -40 \sim +85 \dots \mu\text{PD703116, 703116(A), 70F3116, 70F3116(A),$   
 $T_A = -40 \sim +110 \dots \mu\text{PD703116(A1), 70F3116(A1),$   
 $V_{DD3} = CV_{DD} = 3.0 \sim 3.6 \text{ V}, V_{DD5} = 5 \text{ V} \pm 0.5 \text{ V}, V_{SS3} = V_{SS5} = CV_{SS} = 0 \text{ V},$   
**出力端子の負荷容量 :  $C_L = 50 \text{ pF}$**  )

項目	略号	条件	MIN.	MAX.	単位
SCKn周期	$t_{CYSK1}$	<66>	出力	200	ns
SCKnハイ・レベル幅	$t_{WSK1H}$	<67>	出力	$0.5 t_{CYSK1} - 25$	ns
SCKnロウ・レベル幅	$t_{WSK1L}$	<68>	出力	$0.5 t_{CYSK1} - 25$	ns
SIn設定時間 (対SCKn)	$t_{SSISK}$	<69>		35	ns
SIn保持時間 (対SCKn)	$t_{HSKSI}$	<70>		30	ns
SOn出力遅延時間 (対SCKn)	$t_{DSKSO}$	<71>		30	ns
SOn出力保持時間 (対SCKn)	$t_{HSKSO}$	<72>		$0.5 t_{CYSK1} - 20$	ns

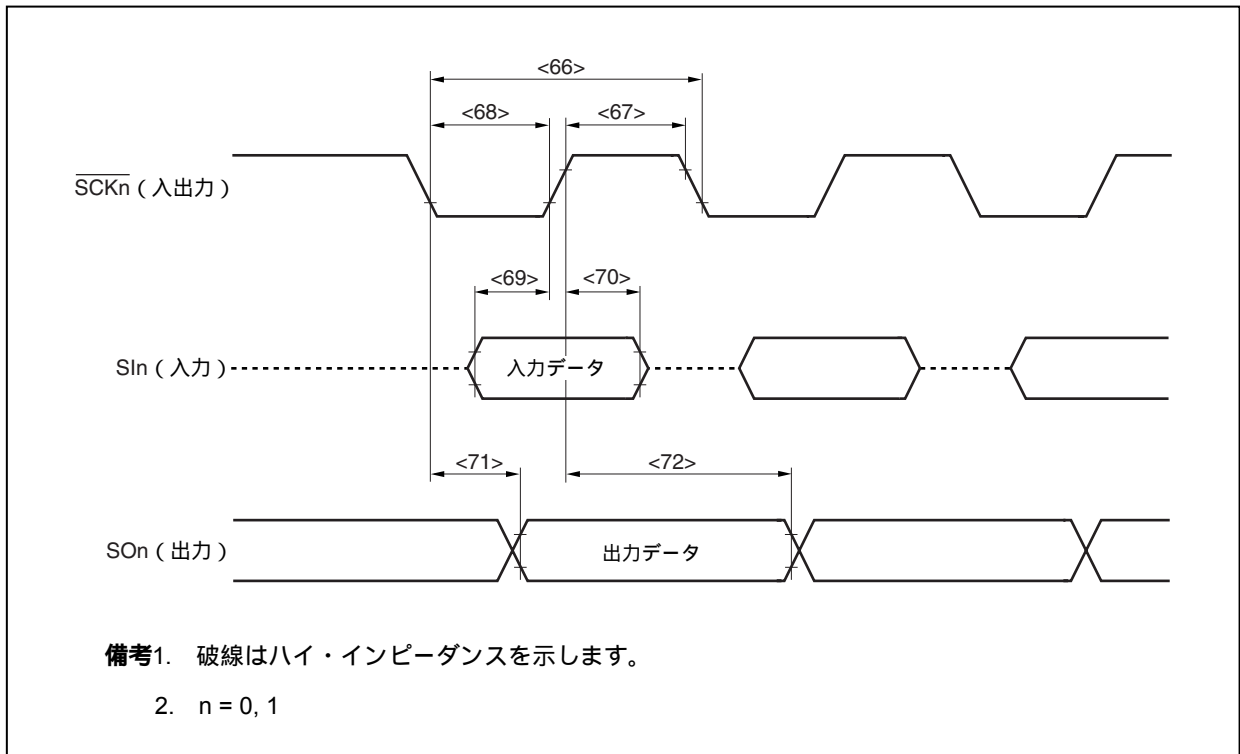
備考 n = 0, 1

(b) スレーブ・モード (  $T_A = -40 \sim +85 \dots \mu\text{PD703116, 703116(A), 70F3116, 70F3116(A),$   
 $T_A = -40 \sim +110 \dots \mu\text{PD703116(A1), 70F3116(A1),$   
 $V_{DD3} = CV_{DD} = 3.0 \sim 3.6 \text{ V}, V_{DD5} = 5 \text{ V} \pm 0.5 \text{ V}, V_{SS3} = V_{SS5} = CV_{SS} = 0 \text{ V},$   
**出力端子の負荷容量 :  $C_L = 50 \text{ pF}$**  )

項目	略号	条件	MIN.	MAX.	単位
SCKn周期	$t_{CYSK1}$	<66>	入力	200	ns
SCKnハイ・レベル幅	$t_{WSK1H}$	<67>	入力	90	ns
SCKnロウ・レベル幅	$t_{WSK1L}$	<68>	入力	90	ns
SIn設定時間 (対SCKn)	$t_{SSISK}$	<69>		50	ns
SIn保持時間 (対SCKn)	$t_{HSKSI}$	<70>		50	ns
SOn出力遅延時間 (対SCKn)	$t_{DSKSO}$	<71>		55	ns
SOn出力保持時間 (対SCKn)	$t_{HSKSO}$	<72>		$t_{WSK1H}$	ns

備考 n = 0, 1

(8) CSI タイミング (2/2)



(9) UART0 タイミング

( $T_A = -40 \sim +85$  ...  $\mu$ PD703116, 703116(A), 70F3116, 70F3116(A) ,

$T_A = -40 \sim +110$  ...  $\mu$ PD703116(A1), 70F3116(A1) ,

$V_{DD3} = CV_{DD} = 3.0 \sim 3.6$  V,  $V_{DD5} = 5$  V  $\pm$  0.5 V,  $V_{SS3} = V_{SS5} = CV_{SS} = 0$  V ,

出力端子の負荷容量 :  $C_L = 50$  pF )

項目	略号	条件	MIN.	MAX.	単位
UART0ボー・レート・ジェネレータ入力周波数	$f_{BRG}$			25	MHz

備考  $f_{BRG}$  はクロック選択レジスタ 0 (CKSR0) の TPS3-TPS0 ビットを設定することにより,  $f_{xx}$ ,  $f_{xx}/2$ ,  $f_{xx}/4$ ,  $f_{xx}/8$ ,  $f_{xx}/16$ ,  $f_{xx}/32$ ,  $f_{xx}/64$ ,  $f_{xx}/128$ ,  $f_{xx}/256$ ,  $f_{xx}/512$ ,  $f_{xx}/1024$ ,  $f_{xx}/2048$  から UART0 ボー・レート・ジェネレータ入力周波数を選択できます ( $f_{xx}$  : 内部システム・クロック周波数)。

(10) UART1, UART2タイミング (1/2)

(a) クロック同期時のマスタ・モード

( $T_A = -40 \sim +85$  ...  $\mu$ PD703116, 703116(A), 70F3116, 70F3116(A) ,

$T_A = -40 \sim +110$  ...  $\mu$ PD703116(A1), 70F3116(A1) ,

$V_{DD3} = CV_{DD} = 3.0 \sim 3.6$  V,  $V_{DD5} = 5$  V  $\pm$  0.5 V,  $V_{SS3} = V_{SS5} = CV_{SS} = 0$  V ,

出力端子の負荷容量 :  $C_L = 50$  pF )

項目	略号	条件	MIN.	MAX.	単位
ASCKn周期	t <sub>CYSK0</sub>	<73>	出力	1000	ns
ASCKnハイ・レベル幅	t <sub>WSK0H</sub>	<74>	出力	k T - 20	ns
ASCKnロウ・レベル幅	t <sub>WSK0L</sub>	<75>	出力	k T - 20	ns
RXDn設定時間 (対ASCKn )	t <sub>SRXSK</sub>	<76>		1.5 T + 35	ns
RXDn保持時間 (対ASCKn )	t <sub>HSKRX</sub>	<77>		0	ns
TXDn出力遅延時間 (対ASCKn )	t <sub>DSKTX</sub>	<78>		T + 10	ns
TXDn出力保持時間 (対ASCKn )	t <sub>HSKTX</sub>	<79>		(k + 1) T - 20	ns

備考 1.  $T = 2$  t<sub>cyk</sub>

2. k : UARTnのプリスケアラ・コンペア・レジスタn (PRSCMn) の設定値

3. n = 1, 2

(b) クロック同期時のスレーブ・モード

( $T_A = -40 \sim +85$  ...  $\mu$ PD703116, 703116(A), 70F3116, 70F3116(A) ,

$T_A = -40 \sim +110$  ...  $\mu$ PD703116(A1), 70F3116(A1) ,

$V_{DD3} = CV_{DD} = 3.0 \sim 3.6$  V,  $V_{DD5} = 5$  V  $\pm$  0.5 V,  $V_{SS3} = V_{SS5} = CV_{SS} = 0$  V ,

出力端子の負荷容量 :  $C_L = 50$  pF )

項目	略号	条件	MIN.	MAX.	単位
ASCKn周期	t <sub>CYSK0</sub>	<73>	入力	1000	ns
ASCKnハイ・レベル幅	t <sub>WSK0H</sub>	<74>	入力	4 T + 80	ns
ASCKnロウ・レベル幅	t <sub>WSK0L</sub>	<75>	入力	4 T + 80	ns
RXDn設定時間 (対ASCKn )	t <sub>SRXSK</sub>	<76>		T + 10	ns
RXDn保持時間 (対ASCKn )	t <sub>HSKRX</sub>	<77>		T + 10	ns
TXDn出力遅延時間 (対ASCKn )	t <sub>DSKTX</sub>	<78>		2.5 T + 45	ns
TXDn出力保持時間 (対ASCKn )	t <sub>HSKTX</sub>	<79>		k T + 1.5 T	ns

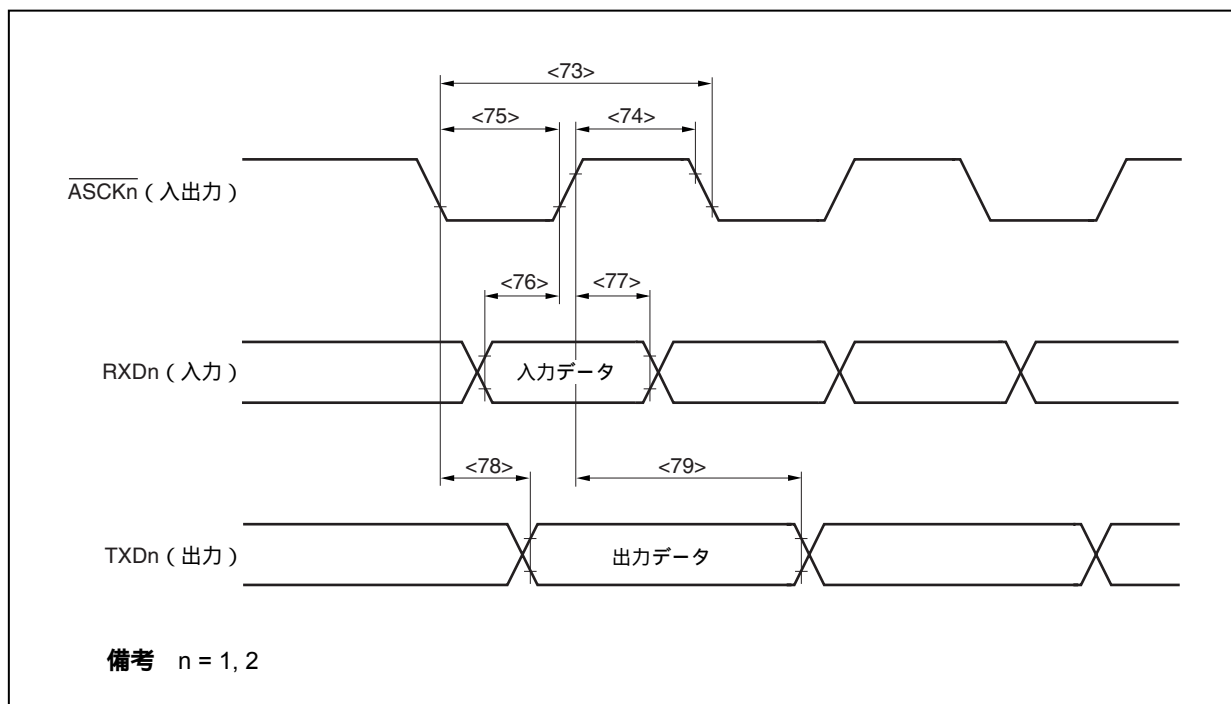
備考 1.  $T = 2$  t<sub>cyk</sub>

2. k : UARTnのPRSCMnレジスタの設定値

3. n = 1, 2



(10) UART1, UART2タイミング (2/2)



(11) CANタイミング

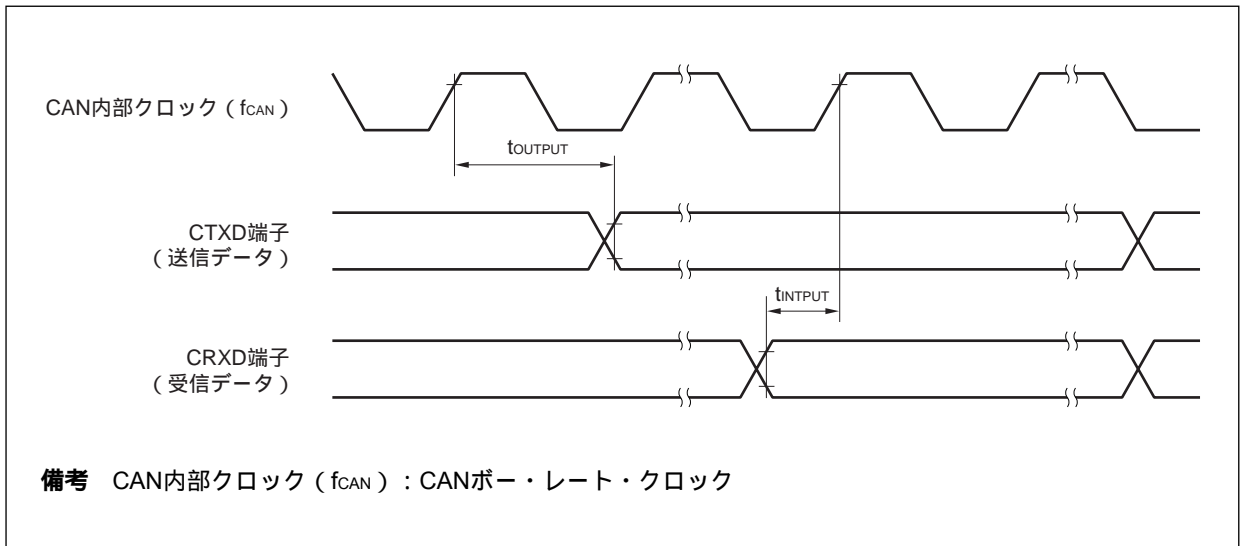
( $T_A = -40 \sim +85$  ...  $\mu$ PD703116, 703116(A), 70F3116, 70F3116(A) ,

$T_A = -40 \sim +110$  ...  $\mu$ PD703116(A1), 70F3116(A1) ,

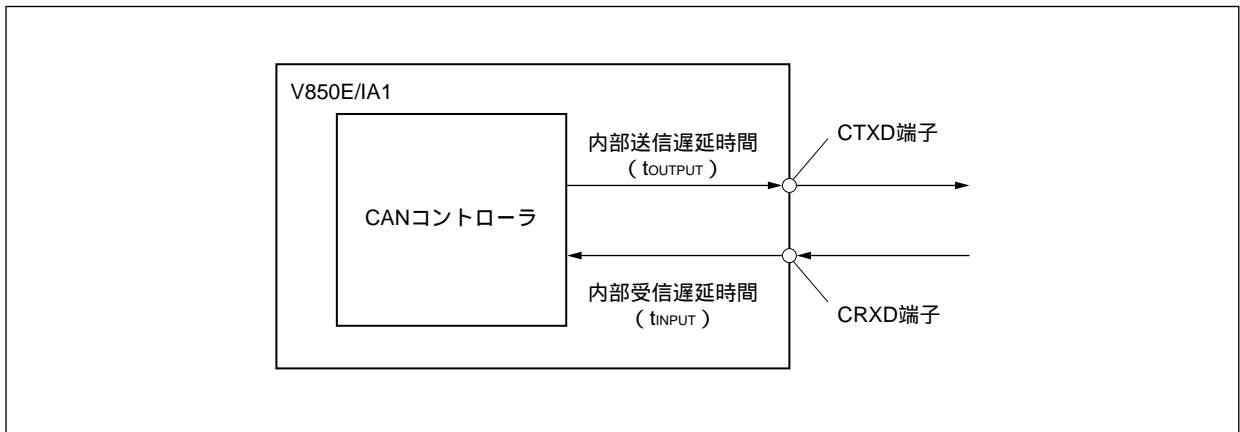
$V_{DD3} = CV_{DD} = 3.0 \sim 3.6$  V,  $V_{DD5} = 5$  V  $\pm$  0.5 V,  $V_{SS3} = V_{SS5} = CV_{SS} = 0$  V ,

出力端子の負荷容量 :  $C_L = 50$  pF )

項目	略号	条件	MIN.	MAX.	単位
送信レート				1	Mbps
内部遅延時間	$t_{NODE}$			100	ns



内部遅延時間 ( $t_{NODE}$ ) = 内部送信遅延時間 ( $t_{OUTPUT}$ ) + 内部受信遅延時間 ( $t_{INPUT}$ )

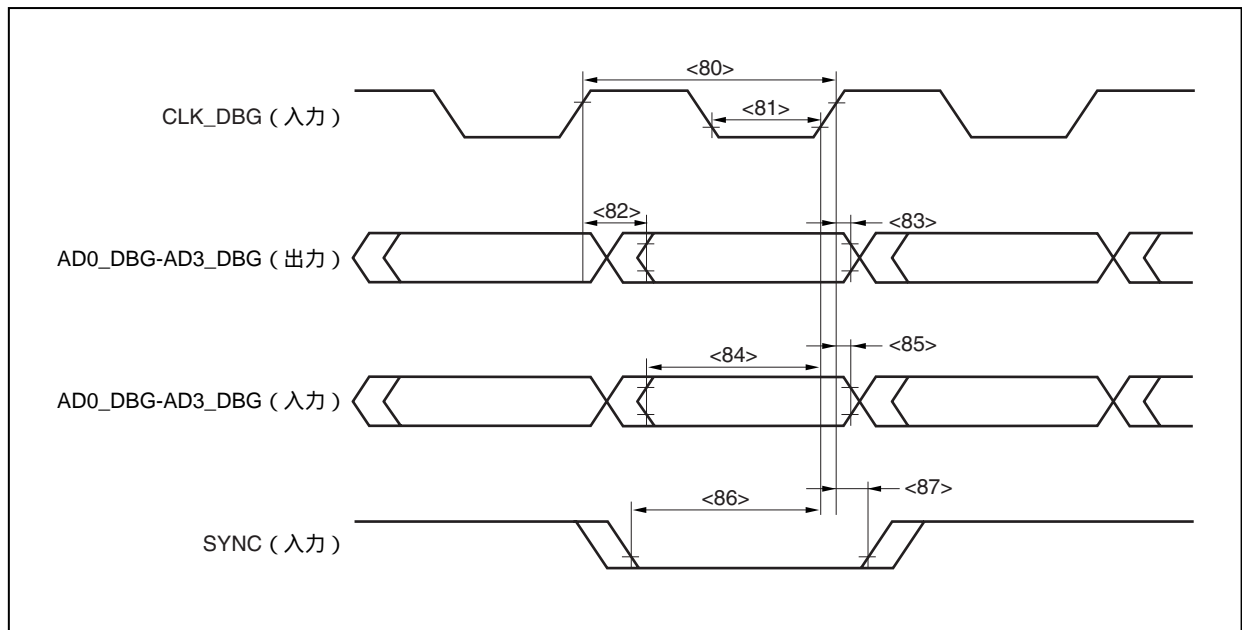


(12) NBDタイミング ( $\mu$ PD70F3116のみ)

( $T_A = 0 \sim +40 \text{ }^\circ\text{C}$ ,  $V_{DD3} = CV_{DD} = 3.0 \sim 3.6 \text{ V}$ ,  $V_{DD5} = 5 \text{ V} \pm 0.5 \text{ V}$ ,  $V_{SS3} = V_{SS5} = CV_{SS} = 0 \text{ V}$ ,

出力端子の負荷容量:  $C_L = 100 \text{ pF}$ )

項目	略号	条件	MIN.	MAX.	単位
NBD周期	$t_{NDCYC}$	<80>	80		ns
NBD周期口ウ・レベル幅	$t_{NDL}$	<81>	35		ns
NBDデータ出力遅延時間	$t_{NDD}$	<82>	5	$t_{NDCYC} - 20$	ns
NBDデータ出力保持時間	$t_{NDHD}$	<83>	2		ns
NBDデータ入力設定時間	$t_{NDS}$	<84>	20		ns
NBDデータ入力保持時間	$t_{NDH}$	<85>	5		ns
SYNC入力設定時間	$t_{NDSYS}$	<86>	20		ns
SYNC入力保持時間	$t_{NDSYH}$	<87>	5		ns



A/Dコンバータ特性

( $T_A = -40 \sim +85$  ...  $\mu$ PD703116, 703116(A), 70F3116, 70F3116(A) ,

$T_A = -40 \sim +110$  ...  $\mu$ PD703116(A1), 70F3116(A1) ,

$V_{DD3} = CV_{DD} = 3.0 \sim 3.6$  V,  $AV_{DD} = V_{DD5} = 5$  V  $\pm$  0.5 V,  $AV_{SS} = V_{SS3} = V_{SS5} = CV_{SS} = 0$  V,  $C_L = 50$  pF )

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	-		10			bit
総合誤差 <sup>注1</sup>	-				$\pm 5$	LSB
量子化誤差	-				$\pm 1/2$	LSB
変換時間	t <sub>CONV</sub>		5		10	$\mu$ s
サンプリング時間	t <sub>SAMP</sub>		833			ns
ゼロスケール誤差 <sup>注1</sup>	-				$\pm 3$	LSB
フルスケール誤差 <sup>注1</sup>	-				$\pm 3$	LSB
微分直線性誤差 <sup>注1</sup>	-				$\pm 3$	LSB
積分直線性誤差 <sup>注1</sup>	-				$\pm 5$	LSB
アナログ入力電圧	V <sub>IAN</sub>		- 0.3		AV <sub>REFn</sub> + 0.3	V
アナログ基準電圧	AV <sub>REF</sub>	AV <sub>REFn</sub> = AV <sub>DD</sub>	4.5		5.5	V
AV <sub>REFn</sub> 入力電流 <sup>注2</sup>	AI <sub>REF</sub>			1	2	mA
AV <sub>DD</sub> 電源電流 <sup>注2</sup>	AI <sub>DD</sub>			3	6	mA

注 1. 量子化誤差 (  $\pm 0.5$  LSB ) は含みません。

2. V850E/IA1 は, A/D コンバータを 2 回路搭載しています。この値は 1 回路の規格です。

備考1. LSB : Least Significant Bit

2. n = 0, 1

## 18.2 フラッシュ・メモリ・プログラミング・モード ( $\mu$ PD70F3116のみ)

基本特性 ( $T_A = 0 \sim 70$  (書き換え時),

$T_A = -40 \sim +85$  (書き換え時以外) ...  $\mu$ PD70F3116, 70F3116(A),

$T_A = -40 \sim +110$  (書き換え時以外) ...  $\mu$ PD70F3116(A1),

$V_{DD3} = CV_{DD} = 3.0 \sim 3.6$  V,  $V_{DD5} = 5$  V  $\pm$  0.5 V,  $V_{SS3} = V_{SS5} = CV_{SS} = 0$  V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	$f_x$		4		50	MHz
$V_{PP}$ 電源電圧	$V_{PP1}$	フラッシュ・メモリ・プログラミング時	7.5	7.8	8.1	V
	$V_{PPL}$	$V_{PP}$ ロウ・レベル検出	-0.3		$0.2 V_{DD3}$	V
	$V_{PPM}$	$V_{PP}, V_{DD3}$ レベル検出	$0.65 V_{DD3}$		$V_{DD3} + 0.3$	V
	$V_{PPH}$	$V_{PP}$ 高電圧レベル検出	7.5	7.8	8.1	V
$V_{DD3}$ 電源電流	$I_{DD1}$	$V_{PP} = V_{PP1}$			$4.5 f_x$	mA
$V_{PP}$ 電源電流	$I_{PP}$	$V_{PP} = 7.8$ V			100	mA
ステップ消去時間	$t_{ER}$	注1	0.398	0.4	0.402	s
1エリアあたり総消去時間	$t_{ERA}$	ステップ消去時間 = 0.4 s時, 注2			40	s/ エリア
ライトバック時間	$t_{WB}$	注3	0.99	1	1.01	ms
1ライトバック・コマンドあたり ライトバック回数	$C_{WB}$	ライトバック時間 = 1 ms時, 注4			300	回/ライトバ ック・コマ ンド
消去-ライトバック回数	$C_{ERWB}$				16	回
ステップ書き込み時間	$t_{WT}$	注5	18	20	22	$\mu$ s
1ワードあたり総書き込み時間	$t_{WTW}$	ステップ書き込み時間 = 20 $\mu$ s設定 (1ワード = 4バイト), 注6	20		200	$\mu$ s/ ワード
1エリアあたり書き換え回数	$C_{ERWR}$	消去1回 + 消去後の書き込み1回 = 書き換え1回とする, 注7	100			回/ エリア

注1. ステップ消去時間の推奨設定値 = 0.4 sです。

2. 消去前のプリライトおよび消去ベリファイ時間 (ライトバック時間) は含まれません。

3. ライトバック時間の推奨設定値 = 1 msです。

4. ライトバック・コマンドの発行により, ライトバックは1回実行されます。したがって, リトライ回数設定値はこの値からコマンド発行回数をマイナスした値にしてください。

5. ステップ書き込み時間の推奨設定値 = 20  $\mu$ sです。

6. 実際の1ワードあたりの書き込み時間は20  $\mu$ sが加算されます。書き込み中および書き込み後の内部ベリファイ時間は含まれません。

7. 出荷品に対する初回書き込み時, 「消去 書き込み」の場合も「書き込みのみ」の場合も, 書き換え1回となります。

例 (P: 書き込み E: 消去)

出荷品 ----- P E P E P : 書き換え回数3回

出荷品 E P E P E P : 書き換え回数3回

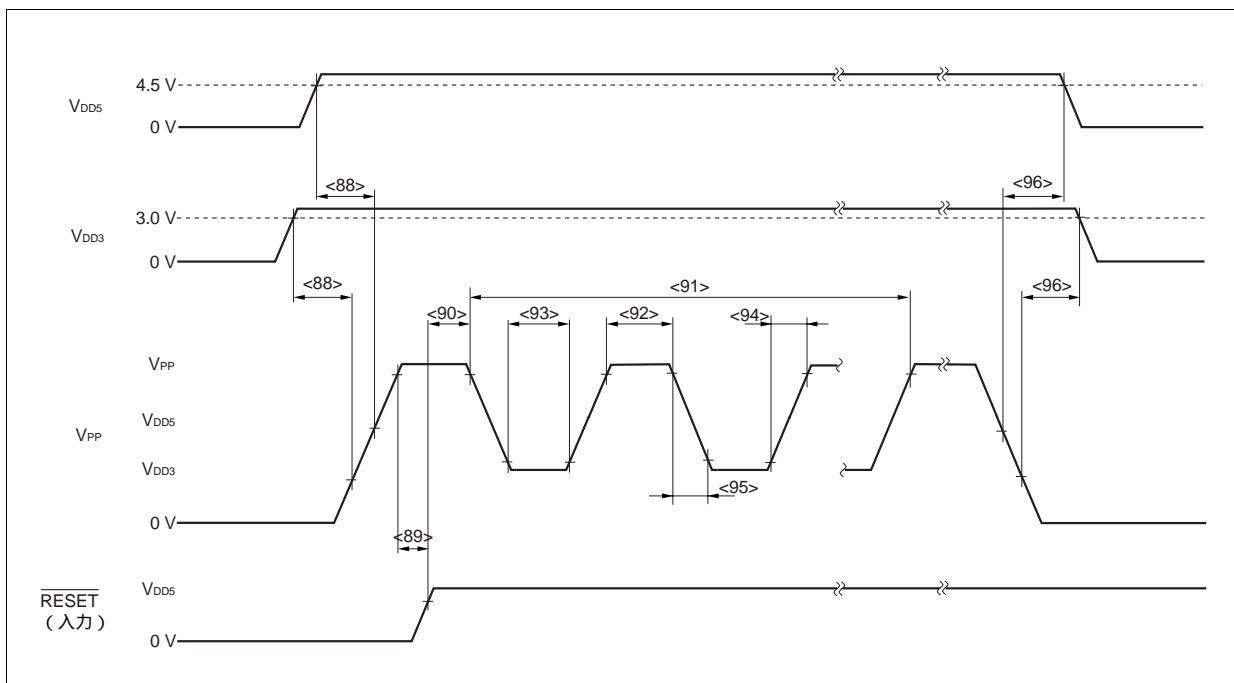
備考1. PG-FP4, PG-FP5 使用時は, パラメータ・ファイルのダウンロードによって書き込み/消去に必要な時間パラメータが自動設定されます。特に指示のない場合は設定値を変更しないでください。

2. エリア0 = 00000H-1FFFFH, エリア1 = 20000H-3FFFFH

シリアル書き込みオペレーション特性 ( $T_A = 0 \sim 70$  ,  $V_{DD3} = CV_{DD} = 3.0 \sim 3.6$  V,  
 $V_{DD5} = 5$  V  $\pm$  0.5 V,  $V_{SS3} = V_{SS5} = CV_{SS} = 0$  V)

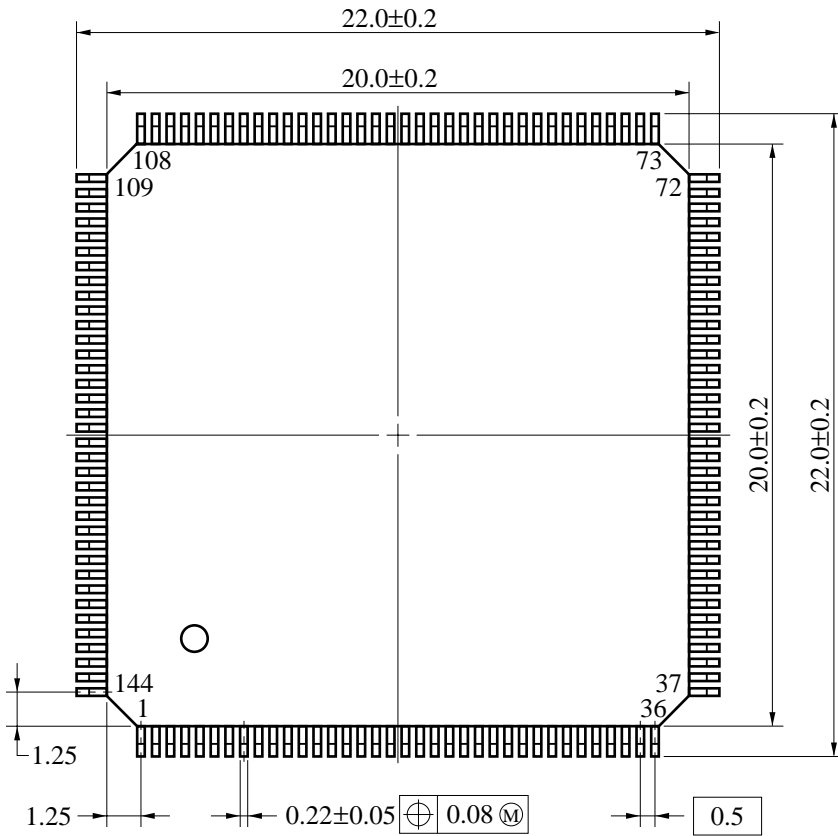
項目	略号	条件	MIN.	TYP.	MAX.	単位
$V_{DD3}, V_{DD5} -V_{PP}$ セット時間	<88>	$t_{DRPSR}$	10			$\mu$ S
$V_{PP} -\overline{RESET}$ セット時間	<89>	$t_{PSRRF}$	1			$\mu$ S
$\overline{RESET} -V_{PP}$ カウンタ開始時間	<90>	$t_{RFOF}$	$V_{PP} = 7.8$ V	$10T + 1500$		ns
カウンタ実行時間	<91>	$t_{COUNT}$			15	ms
$V_{PP}$ カウンタ・ハイ・レベル幅	<92>	$t_{CH}$	1			$\mu$ S
$V_{PP}$ カウンタ・ロウ・レベル幅	<93>	$t_{CL}$	1			$\mu$ S
$V_{PP}$ カウンタ立ち上がり時間	<94>	$t_R$			1	$\mu$ S
$V_{PP}$ カウンタ立ち下がり時間	<95>	$t_F$			1	$\mu$ S
$V_{PP} - V_{DD3}, V_{DD5}$ リセット時間	<96>	$t_{PFDR}$	10			$\mu$ S

備考 T = t<sub>cyk</sub>

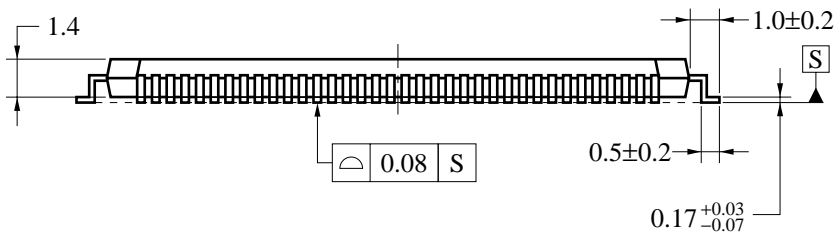
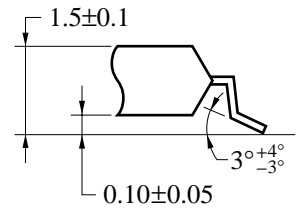


# 第19章 外形図

144ピン・プラスチック LQFP (ファインピッチ)(20x20) 外形図 (単位: mm)



端子先端形状詳細図



S144GJ-50-UEN

## 第20章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。  
半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」( <http://www.necel.com/pkg/ja/jissou/index.html> )



表20 - 1 表面実装タイプの半田付け条件

(1)  $\mu$  PD703116GJ-xxx-UEN 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

$\mu$ PD703116GJ(A)-xxx-UEN	〃
$\mu$ PD703116GJ(A1)-xxx-UEN	〃
$\mu$ PD70F3116GJ-UEN	〃
$\mu$ PD70F3116GJ(A)-UEN	〃
$\mu$ PD70F3116GJ(A1)-UEN	〃

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：230 ，時間：30秒以内（210 以上），回数：2回以内 制限日数：3日間 <sup>注</sup> （以降は125 プリバーク10～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	IR30-103-2
VPS	パッケージ・ピーク温度：215 ，時間：25～40秒（200 以上），回数：2回以内， 制限日数：3日間 <sup>注</sup> （以降は125 プリバーク10～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません	VP15-103-2
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	—

(2)  $\mu$  PD70F3116GJ-UEN-A 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

$\mu$ PD70F3116GJ(A1)-UEN-A	〃
-----------------------------	---

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内（220 以上），回数：3回以内 制限日数：3日間 <sup>注</sup> （以降は125 プリバーク20～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	IR60-203-3
ウェーブ・ソルダ リング	詳細については，当社販売員にお問い合わせください。	-
端子部分加熱	端子温度：350 以下，時間：3 秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考1. オーダ名称末尾「-A」の製品は，鉛フリー製品です。

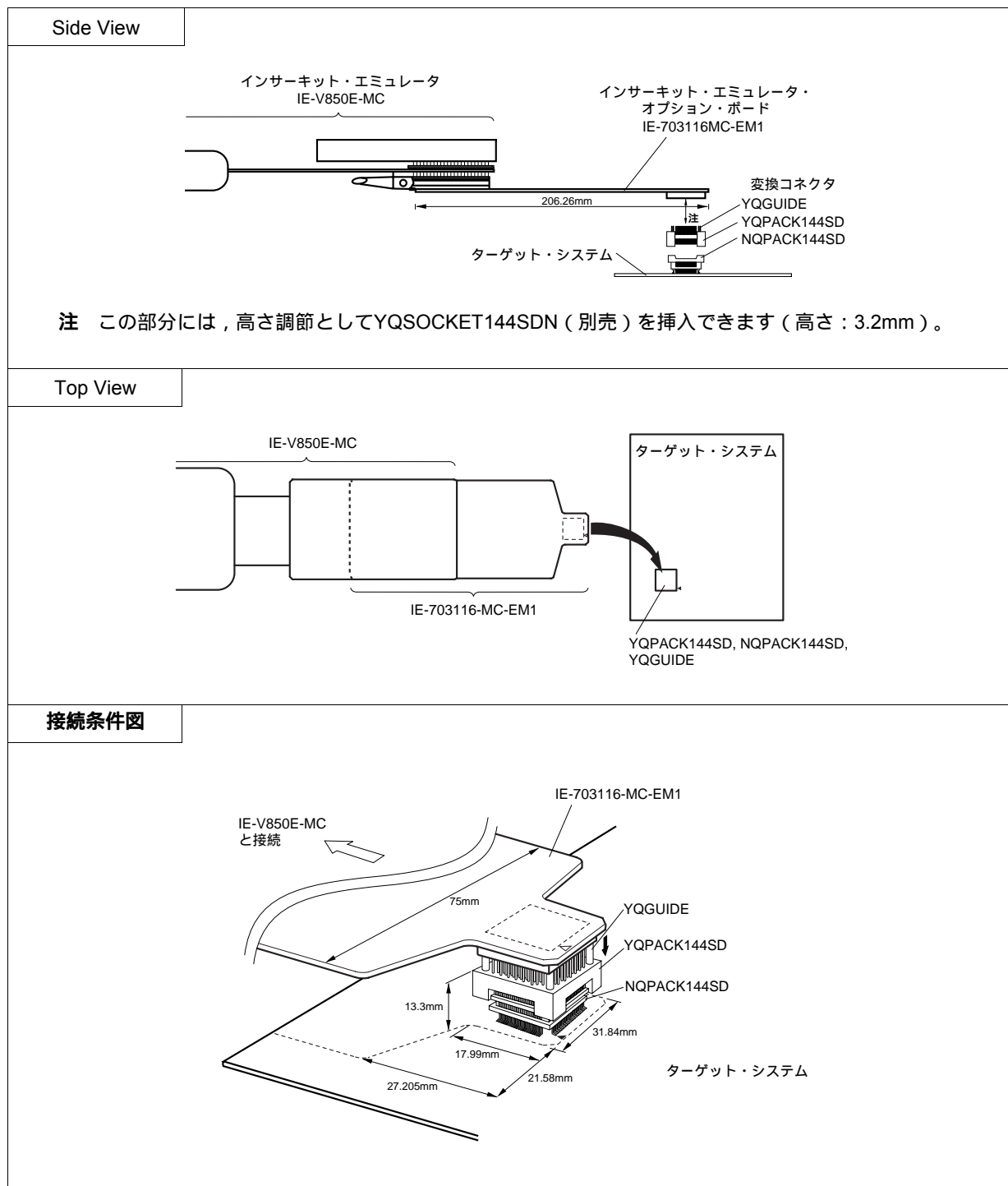
2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

3.  $\mu$  PD703116GJ-xxx-UEN-A, 703116GJ(A)-xxx-UEN-A, 703116GJ(A1)-xxx-UEN-A, 70F3116GJ(A)-UEN-A  
の半田付け条件については，当社販売員にお問い合わせください。

## 付録A ターゲット・システム設計上の注意

インサーキット・エミュレータ・オプション・ボードと変換コネクタの接続条件図を次に示します。この構成を基にターゲット・システム上に実装する部品の形状などを考慮してシステム設計をしてください。

図A - 1 144ピン・プラスチックLQFP（ファインピッチ）（20×20）の場合



## 付録B レジスタ索引

(1/10)

略号	名称	ユニット	ページ
ADCR00	A/D変換結果レジスタ00	ADC	658
ADCR01	A/D変換結果レジスタ01	ADC	658
ADCR02	A/D変換結果レジスタ02	ADC	658
ADCR03	A/D変換結果レジスタ03	ADC	658
ADCR04	A/D変換結果レジスタ04	ADC	658
ADCR05	A/D変換結果レジスタ05	ADC	658
ADCR06	A/D変換結果レジスタ06	ADC	658
ADCR07	A/D変換結果レジスタ07	ADC	658
ADCR10	A/D変換結果レジスタ10	ADC	658
ADCR11	A/D変換結果レジスタ11	ADC	658
ADCR12	A/D変換結果レジスタ12	ADC	658
ADCR13	A/D変換結果レジスタ13	ADC	658
ADCR14	A/D変換結果レジスタ14	ADC	658
ADCR15	A/D変換結果レジスタ15	ADC	658
ADCR16	A/D変換結果レジスタ16	ADC	658
ADCR17	A/D変換結果レジスタ17	ADC	658
ADETM0	A/D電圧検出モード・レジスタ0	ADC	657
ADETM0H	A/D電圧検出モード・レジスタ0H	ADC	657
ADETM0L	A/D電圧検出モード・レジスタ0L	ADC	657
ADETM1	A/D電圧検出モード・レジスタ1	ADC	657
ADETM1H	A/D電圧検出モード・レジスタ1H	ADC	657
ADETM1L	A/D電圧検出モード・レジスタ1L	ADC	657
ADIC0	割り込み制御レジスタ	INTC	174
ADIC1	割り込み制御レジスタ	INTC	174
ADSCM00	A/Dスキャン・モード・レジスタ00	ADC	654
ADSCM00H	A/Dスキャン・モード・レジスタ00H	ADC	654
ADSCM00L	A/Dスキャン・モード・レジスタ00L	ADC	654
ADSCM01	A/Dスキャン・モード・レジスタ01	ADC	656
ADSCM01H	A/Dスキャン・モード・レジスタ01H	ADC	656
ADSCM01L	A/Dスキャン・モード・レジスタ01L	ADC	656
ADSCM10	A/Dスキャン・モード・レジスタ10	ADC	654
ADSCM10H	A/Dスキャン・モード・レジスタ10H	ADC	654
ADSCM10L	A/Dスキャン・モード・レジスタ10L	ADC	654
ADSCM11	A/Dスキャン・モード・レジスタ11	ADC	656
ADSCM11H	A/Dスキャン・モード・レジスタ11H	ADC	656
ADSCM11L	A/Dスキャン・モード・レジスタ11L	ADC	656
ASIF0	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ0	UART0	418
ASIM0	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	UART0	414
ASIM10	アシンクロナス・シリアル・インタフェース・モード・レジスタ10	UART1	445

略号	名称	ユニット	ページ
ASIM11	アシンクロナス・シリアル・インタフェース・モード・レジスタ11	UART1	447
ASIM20	アシンクロナス・シリアル・インタフェース・モード・レジスタ20	UART2	445
ASIM21	アシンクロナス・シリアル・インタフェース・モード・レジスタ21	UART2	447
ASIS0	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	UART0	417
ASIS1	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	UART1	448
ASIS2	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2	UART2	448
AWC	アドレス・ウエイト制御レジスタ	BCU	114
BCC	バス・サイクル・コントロール・レジスタ	BCU	116
BCT0	バス・サイクル・タイプ・コンフィギュレーション・レジスタ0	BCU	104
BCT1	バス・サイクル・タイプ・コンフィギュレーション・レジスタ1	BCU	104
BFCM00	バッファ・レジスタCM00	TM00	225
BFCM01	バッファ・レジスタCM01	TM00	225
BFCM02	バッファ・レジスタCM02	TM00	225
BFCM03	バッファ・レジスタCM03	TM00	226
BFCM10	バッファ・レジスタCM10	TM01	225
BFCM11	バッファ・レジスタCM11	TM01	225
BFCM12	バッファ・レジスタCM12	TM01	225
BFCM13	バッファ・レジスタCM13	TM01	226
BPC	周辺エリア選択コントロール・レジスタ	CPU	83
BRGC0	ポー・レート・ジェネレータ・コントロール・レジスタ0	UART0	436
BSC	バス・サイズ・コンフィギュレーション・レジスタ	BCU	106
C1BA	CAN1バス・アクティブ・レジスタ	FCAN	594
C1BRP	CAN1ビット・レート・プリスケラ・レジスタ	FCAN	595
C1CTRL	CAN1コントロール・レジスタ	FCAN	581
C1DEF	CAN1定義レジスタ	FCAN	585
C1DINF	CAN1バス診断情報レジスタ	FCAN	598
C1ERC	CAN1エラー・カウント・レジスタ	FCAN	590
C1IE	CAN1割り込み許可レジスタ	FCAN	591
C1INTP	CAN1割り込み保留レジスタ	FCAN	567
C1LAST	CAN1情報レジスタ	FCAN	589
C1MASKH0	CAN1アドレス・マスク0レジスタH	FCAN	579
C1MASKH1	CAN1アドレス・マスク1レジスタH	FCAN	579
C1MASKH2	CAN1アドレス・マスク2レジスタH	FCAN	579
C1MASKH3	CAN1アドレス・マスク3レジスタH	FCAN	579
C1MASKL0	CAN1アドレス・マスク0レジスタL	FCAN	579
C1MASKL1	CAN1アドレス・マスク1レジスタL	FCAN	579
C1MASKL2	CAN1アドレス・マスク2レジスタL	FCAN	579
C1MASKL3	CAN1アドレス・マスク3レジスタL	FCAN	579
C1SYNC	CAN1同期コントロール・レジスタ	FCAN	599
CANIC0	割り込み制御レジスタ	INTC	173
CANIC1	割り込み制御レジスタ	INTC	173
CANIC2	割り込み制御レジスタ	INTC	173
CANIC3	割り込み制御レジスタ	INTC	173
CC100	キャプチャ/コンペア・レジスタ100	TM10	311

略号	名称	ユニット	ページ
CC101	キャプチャ/コンペア・レジスタ101	TM10	312
CC10IC0	割り込み制御レジスタ	INTC	173
CC10IC1	割り込み制御レジスタ	INTC	173
CC110	キャプチャ/コンペア・レジスタ110	TM11	311
CC111	キャプチャ/コンペア・レジスタ111	TM11	312
CC11IC0	割り込み制御レジスタ	INTC	173
CC11IC1	割り込み制御レジスタ	INTC	173
CC2IC0	割り込み制御レジスタ	INTC	173
CC2IC1	割り込み制御レジスタ	INTC	173
CC2IC2	割り込み制御レジスタ	INTC	173
CC2IC3	割り込み制御レジスタ	INTC	173
CC2IC4	割り込み制御レジスタ	INTC	173
CC2IC5	割り込み制御レジスタ	INTC	173
CC30	キャプチャ/コンペア・レジスタ30	TM3	377
CC31	キャプチャ/コンペア・レジスタ31	TM3	377
CC3IC0	割り込み制御レジスタ	INTC	173
CC3IC1	割り込み制御レジスタ	INTC	173
CCINTP	CAN割り込み保留レジスタ	FCAN	565
CCR0	キャプチャ/コンペア・コントロール・レジスタ0	TM10	303
CCR1	キャプチャ/コンペア・コントロール・レジスタ1	TM11	303
CCSTATE0	タイマ2キャプチャ/コンペア1-4ステータス・レジスタ0	TM2	350
CCSTATE0H	タイマ2キャプチャ/コンペア1-4ステータス・レジスタ0H	TM2	350
CCSTATE0L	タイマ2キャプチャ/コンペア1-4ステータス・レジスタ0L	TM2	350
CGCS	CANメイン・クロック選択レジスタ	FCAN	573
CGIE	CANグローバル割り込み許可レジスタ	FCAN	572
CGINTP	CANグローバル割り込み保留レジスタ	FCAN	566
CGMSR	CANメッセージ検索結果レジスタ	FCAN	577
CGMSS	CANメッセージ検索開始レジスタ	FCAN	577
CGST	CANグローバル・ステータス・レジスタ	FCAN	569
CGTSC	CANタイム・スタンプ・カウント・レジスタ	FCAN	576
CKC	クロック・コントロール・レジスタ	CG	201
CKSR0	クロック選択レジスタ0	UART0	435
CM000	コンペア・レジスタ000	TM00	225
CM001	コンペア・レジスタ001	TM00	225
CM002	コンペア・レジスタ002	TM00	225
CM003	コンペア・レジスタ003	TM00	225
CM010	コンペア・レジスタ010	TM01	225
CM011	コンペア・レジスタ011	TM01	225
CM012	コンペア・レジスタ012	TM01	225
CM013	コンペア・レジスタ013	TM01	225
CM03IC0	割り込み制御レジスタ	INTC	173
CM03IC1	割り込み制御レジスタ	INTC	173
CM100	コンペア・レジスタ100	TM10	310
CM101	コンペア・レジスタ101	TM10	310

略号	名称	ユニット	ページ
CM10IC0	割り込み制御レジスタ	INTC	173
CM10IC1	割り込み制御レジスタ	INTC	173
CM110	コンペア・レジスタ110	TM11	310
CM111	コンペア・レジスタ111	TM11	310
CM11IC0	割り込み制御レジスタ	INTC	173
CM11IC1	割り込み制御レジスタ	INTC	173
CM4	コンペア・レジスタ4	TM4	402
CM4IC0	割り込み制御レジスタ	INTC	173
CMSE050	タイマ2サブチャネル0, 5キャプチャ/コンペア制御レジスタ	TM2	344
CMSE120	タイマ2サブチャネル1, 2キャプチャ/コンペア制御レジスタ	TM2	345
CMSE340	タイマ2サブチャネル3, 4キャプチャ/コンペア制御レジスタ	TM2	347
CSC0	チップ・エリア選択コントロール・レジスタ0	BCU	101
CSC1	チップ・エリア選択コントロール・レジスタ1	BCU	101
CSCE0	タイマ2ソフトウェア・イベント・キャプチャ・レジスタ	TM2	352
CSE0	タイマ2カウント・クロック/制御エッジ選択レジスタ0	TM2	336
CSE0H	タイマ2カウント・クロック/制御エッジ選択レジスタ0H	TM2	336
CSE0L	タイマ2カウント・クロック/制御エッジ選択レジスタ0L	TM2	336
CSIC0	クロック同期式シリアル・インタフェース・クロック選択レジスタ0	CSI0	484
CSIC1	クロック同期式シリアル・インタフェース・クロック選択レジスタ1	CSI1	484
CSIIC0	割り込み制御レジスタ	INTC	173
CSIIC1	割り込み制御レジスタ	INTC	173
CSIM0	クロック同期式シリアル・インタフェース・モード・レジスタ0	CSI0	482
CSIM1	クロック同期式シリアル・インタフェース・モード・レジスタ1	CSI1	482
CSL10	CC101キャプチャ入力選択レジスタ	TM10	309
CSL11	CC111キャプチャ入力選択レジスタ	TM11	309
CSTOP	CANストップ・レジスタ	FCAN	568
CVPE10	タイマ2サブチャネル1主キャプチャ/コンペア・レジスタ	TM2	333
CVPE20	タイマ2サブチャネル2主キャプチャ/コンペア・レジスタ	TM2	333
CVPE30	タイマ2サブチャネル3主キャプチャ/コンペア・レジスタ	TM2	333
CVPE40	タイマ2サブチャネル4主キャプチャ/コンペア・レジスタ	TM2	333
CVSE00	タイマ2サブチャネル0キャプチャ/コンペア・レジスタ	TM2	333
CVSE10	タイマ2サブチャネル1副キャプチャ/コンペア・レジスタ	TM2	334
CVSE20	タイマ2サブチャネル2副キャプチャ/コンペア・レジスタ	TM2	334
CVSE30	タイマ2サブチャネル3副キャプチャ/コンペア・レジスタ	TM2	334
CVSE40	タイマ2サブチャネル4副キャプチャ/コンペア・レジスタ	TM2	334
CVSE50	タイマ2サブチャネル5キャプチャ/コンペア・レジスタ	TM2	334
DADC0	DMAアドレッシング・コントロール・レジスタ0	DMAC	133
DADC1	DMAアドレッシング・コントロール・レジスタ1	DMAC	133
DADC2	DMAアドレッシング・コントロール・レジスタ2	DMAC	133
DADC3	DMAアドレッシング・コントロール・レジスタ3	DMAC	133
DBC0	DMA転送カウント・レジスタ0	DMAC	132
DBC1	DMA転送カウント・レジスタ1	DMAC	132
DBC2	DMA転送カウント・レジスタ2	DMAC	132
DBC3	DMA転送カウント・レジスタ3	DMAC	132

略号	名称	ユニット	ページ
DCHC0	DMAチャンネル・コントロール・レジスタ0	DMAC	135
DCHC1	DMAチャンネル・コントロール・レジスタ1	DMAC	135
DCHC2	DMAチャンネル・コントロール・レジスタ2	DMAC	135
DCHC3	DMAチャンネル・コントロール・レジスタ3	DMAC	135
DDA0H	DMAデスティネーション・アドレス・レジスタ0H	DMAC	130
DDA0L	DMAデスティネーション・アドレス・レジスタ0L	DMAC	131
DDA1H	DMAデスティネーション・アドレス・レジスタ1H	DMAC	130
DDA1L	DMAデスティネーション・アドレス・レジスタ1L	DMAC	131
DDA2H	DMAデスティネーション・アドレス・レジスタ2H	DMAC	130
DDA2L	DMAデスティネーション・アドレス・レジスタ2L	DMAC	131
DDA3H	DMAデスティネーション・アドレス・レジスタ3H	DMAC	130
DDA3L	DMAデスティネーション・アドレス・レジスタ3L	DMAC	131
DDIS	DMAディスエーブル・ステータス・レジスタ	DMAC	137
DETC0	割り込み制御レジスタ	INTC	173
DETC1	割り込み制御レジスタ	INTC	173
DMAIC0	割り込み制御レジスタ	INTC	173
DMAIC1	割り込み制御レジスタ	INTC	173
DMAIC2	割り込み制御レジスタ	INTC	173
DMAIC3	割り込み制御レジスタ	INTC	173
DRST	DMAリスタート・レジスタ	DMAC	137
DSA0H	DMAソース・アドレス・レジスタ0H	DMAC	128
DSA0L	DMAソース・アドレス・レジスタ0L	DMAC	129
DSA1H	DMAソース・アドレス・レジスタ1H	DMAC	128
DSA1L	DMAソース・アドレス・レジスタ1L	DMAC	129
DSA2H	DMAソース・アドレス・レジスタ2H	DMAC	128
DSA2L	DMAソース・アドレス・レジスタ2L	DMAC	129
DSA3H	DMAソース・アドレス・レジスタ3H	DMAC	128
DSA3L	DMAソース・アドレス・レジスタ3L	DMAC	129
DTFR0	DMAトリガ要因レジスタ0	DMAC	138
DTFR1	DMAトリガ要因レジスタ1	DMAC	138
DTFR2	DMAトリガ要因レジスタ2	DMAC	138
DTFR3	DMAトリガ要因レジスタ3	DMAC	138
DTM00	デッド・タイム・タイマ00	TM00	224
DTM01	デッド・タイム・タイマ01	TM00	224
DTM02	デッド・タイム・タイマ02	TM00	224
DTM10	デッド・タイム・タイマ10	TM01	224
DTM11	デッド・タイム・タイマ11	TM01	224
DTM12	デッド・タイム・タイマ12	TM01	224
DTRR0	デッド・タイム・タイマ・リロード・レジスタ0	TM00	224
DTRR1	デッド・タイム・タイマ・リロード・レジスタ1	TM01	224
DWC0	データ・ウェイト・コントロール・レジスタ0	BCU	113
DWC1	データ・ウェイト・コントロール・レジスタ1	BCU	113
FEM0	タイマ2入力フィルタ・モード・レジスタ0	TM2	184, 730
FEM1	タイマ2入力フィルタ・モード・レジスタ1	TM2	184, 730

略号	名称	ユニット	ページ
FEM2	タイマ2入力フィルタ・モード・レジスタ2	TM2	184, 730
FEM3	タイマ2入力フィルタ・モード・レジスタ3	TM2	184, 730
FEM4	タイマ2入力フィルタ・モード・レジスタ4	TM2	184, 730
FEM5	タイマ2入力フィルタ・モード・レジスタ5	TM2	184, 730
FLPMC	フラッシュ・プログラミング・モード・コントロール・レジスタ	CPU	761
IMR0	割り込みマスク・レジスタ0	INTC	175
IMR0H	割り込みマスク・レジスタ0H	INTC	175
IMR0L	割り込みマスク・レジスタ0L	INTC	175
IMR1	割り込みマスク・レジスタ1	INTC	175
IMR1H	割り込みマスク・レジスタ1H	INTC	175
IMR1L	割り込みマスク・レジスタ1L	INTC	175
IMR2	割り込みマスク・レジスタ2	INTC	175
IMR2H	割り込みマスク・レジスタ2H	INTC	175
IMR2L	割り込みマスク・レジスタ2L	INTC	175
IMR3	割り込みマスク・レジスタ3	INTC	175
IMR3H	割り込みマスク・レジスタ3H	INTC	175
IMR3L	割り込みマスク・レジスタ3L	INTC	175
INTM0	外部割り込みモード・レジスタ0	INTC	163
INTM1	外部割り込みモード・レジスタ1	INTC	179
INTM2	外部割り込みモード・レジスタ2	INTC	179
ISPR	インサースビス・プライオリティ・レジスタ	INTC	176
ITRG0	A/D内部トリガ選択レジスタ	ADC	661
LOCKR	ロック・レジスタ	CPU	204
M_CONF00- M_CONF31	CANメッセージ構成レジスタ00-31	FCAN	558
M_CTRL00- M_CTRL31	CANメッセージ・コントロール・レジスタ00-31	FCAN	550
M_DATA0- M_DATA7	CANメッセージ・データ・レジスタn0-n7 ( n = 00-31 )	FCAN	554
M_DLC00- M_DLC31	CANメッセージ・データ長レジスタ00-31	FCAN	548
M_IDH00- M_IDH31	CANメッセージIDレジスタH00-H31	FCAN	556
M_IDL00- M_IDL31	CANメッセージIDレジスタL00-L31	FCAN	556
M_STAT00- M_STAT31	CANメッセージ・ステータス・レジスタ00-31	FCAN	560
M_TIME00- M_TIME31	CANメッセージ・タイム・スタンプ・レジスタ00-31	FCAN	553
NBDH	RAMアクセス用データ・バッファ・レジスタH	NBD	642
NBDHL	RAMアクセス用データ・バッファ・レジスタHL	NBD	642
NBDHU	RAMアクセス用データ・バッファ・レジスタHU	NBD	642
NBDL	RAMアクセス用データ・バッファ・レジスタL	NBD	641
NBDLL	RAMアクセス用データ・バッファ・レジスタLL	NBD	641



略号	名称	ユニット	ページ
NBDLU	RAMアクセス用データ・バッファ・レジスタLU	NBD	641
NBDMDH	DMAデスティネーション・アドレス設定レジスタDH	NBD	644
NBDMDL	DMAデスティネーション・アドレス設定レジスタDL	NBD	643
NBDMSH	DMAソース・アドレス設定レジスタSH	NBD	643
NBDMSL	DMAソース・アドレス設定レジスタSL	NBD	642
NRC10	タイマ10ノイズ除去時間選択レジスタ	TM10	726
NRC11	タイマ11ノイズ除去時間選択レジスタ	TM11	727
NRC3	タイマ3ノイズ除去時間選択レジスタ	TM3	728
OCTLE0	タイマ2出力制御レジスタ0	TM2	341
OCTLE0H	タイマ2出力制御レジスタ0H	TM2	341
OCTLE0L	タイマ2出力制御レジスタ0L	TM2	341
ODELE0	タイマ2出力遅延レジスタ0	TM2	350
ODELE0H	タイマ2出力遅延レジスタ0H	TM2	350
ODELE0L	タイマ2出力遅延レジスタ0L	TM2	350
P0	ポート0	ポート	701
P0IC0	割り込み制御レジスタ	INTC	173
P0IC1	割り込み制御レジスタ	INTC	173
P0IC2	割り込み制御レジスタ	INTC	173
P0IC3	割り込み制御レジスタ	INTC	173
P0IC4	割り込み制御レジスタ	INTC	173
P0IC5	割り込み制御レジスタ	INTC	173
P0IC6	割り込み制御レジスタ	INTC	173
P1	ポート1	ポート	702
P2	ポート2	ポート	705
P3	ポート3	ポート	708
P4	ポート4	ポート	711
PCM	ポートCM	ポート	720
PCS	ポートCS	ポート	716
PCT	ポートCT	ポート	718
PDH	ポートDH	ポート	712
PDL	ポートDL	ポート	714
PDLH	ポートDLH	ポート	714
PDLL	ポートDLL	ポート	714
PFC1	ポート1ファンクション・コントロール・レジスタ	ポート	704
PFC2	ポート2ファンクション・コントロール・レジスタ	ポート	707
PHCMD	ペリフェラル・コマンド・レジスタ	CPU	200
PHS	ペリフェラル・ステータス・レジスタ	CPU	203
PM1	ポート1モード・レジスタ	ポート	702
PM2	ポート2モード・レジスタ	ポート	705
PM3	ポート3モード・レジスタ	ポート	708
PM4	ポート4モード・レジスタ	ポート	710
PMC1	ポート1モード・コントロール・レジスタ	ポート	703
PMC2	ポート2モード・コントロール・レジスタ	ポート	706
PMC3	ポート3モード・コントロール・レジスタ	ポート	709

略号	名称	ユニット	ページ
PMC4	ポート4モード・コントロール・レジスタ	ポート	711
PMCCM	ポートCMモード・コントロール・レジスタ	ポート	721
PMCCS	ポートCSモード・コントロール・レジスタ	ポート	717
PMCCT	ポートCTモード・コントロール・レジスタ	ポート	719
PMCDH	ポートDHモード・コントロール・レジスタ	ポート	713
PMCDL	ポートDLモード・コントロール・レジスタ	ポート	715
PMCDLH	ポートDLモード・コントロール・レジスタH	ポート	715
PMCDLL	ポートDLモード・コントロール・レジスタL	ポート	715
PMCM	ポートCMモード・レジスタ	ポート	721
PMCS	ポートCSモード・レジスタ	ポート	717
PMCT	ポートCTモード・レジスタ	ポート	718
PMDH	ポートDHモード・レジスタ	ポート	712
PMDL	ポートDLモード・レジスタ	ポート	715
PMDLH	ポートDLモード・レジスタH	ポート	715
PMDLL	ポートDLモード・レジスタL	ポート	715
POER0	PWM出力イネーブル・レジスタ0	TM00	240
POER1	PWM出力イネーブル・レジスタ1	TM01	240
PRCMD	コマンド・レジスタ	CPU	207
PRM01	タイマ0クロック選択レジスタ	TM0	227
PRM02	タイマ1/タイマ2クロック選択レジスタ	TM1/TM2	300, 335
PRM03	タイマ3クロック選択レジスタ	TM3	379
PRM04	FCANクロック選択レジスタ	FCAN	547
PRM10	プリスケラ・モード・レジスタ10	TM10	306
PRM11	プリスケラ・モード・レジスタ11	TM11	306
PRSCM1	プリスケラ・コンペア・レジスタ1	UART1	472
PRSCM2	プリスケラ・コンペア・レジスタ2	UART2	472
PRSCM3	プリスケラ・コンペア・レジスタ3	CSI0, CSI1	512
PRSM1	プリスケラ・モード・レジスタ1	UART1	471
PRSM2	プリスケラ・モード・レジスタ2	UART2	471
PRSM3	プリスケラ・モード・レジスタ3	CSI0, CSI1	512
PSC	パワー・セーブ・コントロール・レジスタ	CPU	208
PSMR	パワー・セーブ・モード・レジスタ	CPU	207
PSTO0	PWMソフトウェア・タイミング出力レジスタ0	TM00	241
PSTO1	PWMソフトウェア・タイミング出力レジスタ1	TM01	241
RXB0	受信バッファ・レジスタ0	UART0	419
RXB1	2フレーム連続受信バッファ・レジスタ1	UART1	450
RXB2	2フレーム連続受信バッファ・レジスタ2	UART2	450
RXBL1	受信バッファ・レジスタL1	UART1	450
RXBL2	受信バッファ・レジスタL2	UART2	450
SC_STAT00- SC_STAT31	CANステータス・セット/クリア・レジスタ00-31	FCAN	563
SEIC0	割り込み制御レジスタ	INTC	173
SESA10	シグナル・エッジ選択レジスタ10	INTC, TM10	180, 304
SESA11	シグナル・エッジ選択レジスタ11	INTC, TM11	180, 304

略号	名称	ユニット	ページ
SESC	有効エッジ選択レジスタ	INTC, TM3	183, 384
SESE0	タイマ2サブチャネル入力イベント・エッジ選択レジスタ0	TM2	337
SESE0H	タイマ2サブチャネル入力イベント・エッジ選択レジスタ0H	TM2	337
SESE0L	タイマ2サブチャネル入力イベント・エッジ選択レジスタ0L	TM2	337
SIO0	シリアルI/Oシフト・レジスタ0	CSI0	493
SIO1	シリアルI/Oシフト・レジスタ1	CSI1	493
SIOL0	シリアルI/Oシフト・レジスタL0	CSI0	494
SIOL1	シリアルI/Oシフト・レジスタL1	CSI1	494
SIRB0	クロック同期式シリアル・インタフェース受信バッファ・レジスタ0	CSI0	485
SIRB1	クロック同期式シリアル・インタフェース受信バッファ・レジスタ1	CSI1	485
SIRBE0	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ0	CSI0	487
SIRBE1	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ1	CSI1	487
SIRBEL0	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタL0	CSI0	488
SIRBEL1	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタL1	CSI1	488
SIRBL0	クロック同期式シリアル・インタフェース受信バッファ・レジスタL0	CSI0	486
SIRBL1	クロック同期式シリアル・インタフェース受信バッファ・レジスタL1	CSI1	486
SOTB0	クロック同期式シリアル・インタフェース送信バッファ・レジスタ0	CSI0	489
SOTB1	クロック同期式シリアル・インタフェース送信バッファ・レジスタ1	CSI1	489
SOTBF0	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ0	CSI0	491
SOTBF1	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ1	CSI1	491
SOTBFL0	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタL0	CSI0	492
SOTBFL1	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタL1	CSI1	492
SOTBL0	クロック同期式シリアル・インタフェース送信バッファ・レジスタL0	CSI0	490
SOTBL1	クロック同期式シリアル・インタフェース送信バッファ・レジスタL1	CSI1	490
SPEC0	TOMR書き込み許可レジスタ0	TM00	250
SPEC1	TOMR書き込み許可レジスタ1	TM01	250
SRIC0	割り込み制御レジスタ	INTC	173
SRIC1	割り込み制御レジスタ	INTC	173
SRIC2	割り込み制御レジスタ	INTC	173
STATUS0	ステータス・レジスタ0	TM10	308
STATUS1	ステータス・レジスタ1	TM11	308
STIC0	割り込み制御レジスタ	INTC	173
STIC1	割り込み制御レジスタ	INTC	173
STIC2	割り込み制御レジスタ	INTC	173
STOPTE0	タイマ2クロック停止レジスタ0	TM2	335
STOPTE0H	タイマ2クロック停止レジスタ0H	TM2	335
STOPTE0L	タイマ2クロック停止レジスタ0L	TM2	335
TBSTATE0	タイマ2タイム・ベース・ステータス・レジスタ0	TM2	349
TBSTATE0H	タイマ2タイム・ベース・ステータス・レジスタ0H	TM2	349
TBSTATE0L	タイマ2タイム・ベース・ステータス・レジスタ0L	TM2	349
TCRE0	タイマ2タイム・ベース制御レジスタ0	TM2	338
TCRE0H	タイマ2タイム・ベース制御レジスタ0H	TM2	338
TCRE0L	タイマ2タイム・ベース制御レジスタ0L	TM2	338
TM00	タイマ00	TM00	223

略号	名称	ユニット	ページ
TM01	タイマ01	TM01	223
TM0IC0	割り込み制御レジスタ	INTC	173
TM0IC1	割り込み制御レジスタ	INTC	173
TM10	タイマ10	TM10	298
TM11	タイマ11	TM11	298
TM20	タイマ20	TM2	332
TM21	タイマ21	TM2	332
TM2IC0	割り込み制御レジスタ	INTC	173
TM2IC1	割り込み制御レジスタ	INTC	173
TM3	タイマ3	TM3	376
TM3IC0	割り込み制御レジスタ	INTC	173
TM4	タイマ4	TM4	401
TMC00	タイマ・コントロール・レジスタ00	TM00	228
TMC00H	タイマ・コントロール・レジスタ00H	TM00	228
TMC00L	タイマ・コントロール・レジスタ00L	TM00	228
TMC01	タイマ・コントロール・レジスタ01	TM01	228
TMC01H	タイマ・コントロール・レジスタ01H	TM01	228
TMC01L	タイマ・コントロール・レジスタ01L	TM01	228
TMC10	タイマ・コントロール・レジスタ10	TM10	302
TMC11	タイマ・コントロール・レジスタ11	TM11	302
TMC30	タイマ・コントロール・レジスタ30	TM3	380
TMC31	タイマ・コントロール・レジスタ31	TM3	382
TMC4	タイマ・コントロール・レジスタ4	TM4	404
TMIC0	タイマ接続選択レジスタ0	TM1/TM2	409
TOMR0	タイマ出力モード・レジスタ0	TM00	235
TOMR1	タイマ出力モード・レジスタ1	TM01	235
TUC00	タイマ・ユニット・コントロール・レジスタ00	TM00	234
TUC01	タイマ・ユニット・コントロール・レジスタ01	TM01	234
TUM0	タイマ・ユニット・モード・レジスタ0	TM10	301
TUM1	タイマ・ユニット・モード・レジスタ1	TM11	301
TXB0	送信バッファ・レジスタ0	UART0	420
TXS1	2フレーム連続送信用シフト・レジスタ1	UART1	453
TXS2	2フレーム連続送信用シフト・レジスタ2	UART2	453
TXSL1	送信シフト・レジスタL1	UART1	453
TXSL2	送信シフト・レジスタL2	UART2	453
VSWC	システム・ウェイト・コントロール・レジスタ	BCU	97

## 付録C 命令セット一覧

### C.1 凡 例

#### (1) オペランド記述に使われる略号

略号	説明
reg1	汎用レジスタ (ソース・レジスタとして使用)
reg2	汎用レジスタ (おもにデスティネーション・レジスタとして使用。一部の命令で、ソース・レジスタとしても使用。)
reg3	汎用レジスタ (おもに除算結果の余り、乗算結果の上位32ビットを格納)
bit#3	ビット・ナンバ指定用3ビット・データ
imm x	xビット・イミューディエト・データ
disp x	xビット・ディスプレイースメント・データ
regID	システム・レジスタ番号
vector	トラップ・ベクタ (00H-1FH) を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ
sp	スタック・ポインタ (r3)
ep	エレメント・ポインタ (r30)
list x	x個のレジスタ・リスト

#### (2) オペランドに使われる略号

略号	説明
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
w	reg3を指定するコードの1ビット分データ
d	ディスプレイースメントの1ビット分データ
l	イミューディエトの1ビット分データ (イミューディエトの上位ビットを示す)
i	イミューディエトの1ビット分データ
cccc	条件コードを示す4ビット・データ
CCCC	Bcond命令の条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定用3ビット・データ
L	レジスタ・リスト中のプログラム・レジスタを指定する1ビット分データ
S	レジスタ・リスト中のシステム・レジスタを指定する1ビット分データ

## (3) オペレーションに使われる略号

略号	説明
	代入
GR[ ]	汎用レジスタ
SR[ ]	システム・レジスタ
zero-extend (n)	nをワード長までゼロ拡張する。
sign-extend (n)	nをワード長まで符号拡張する。
load-memory (a, b)	アドレス「a」からサイズ「b」のデータを読み出す。
store-memory (a, b, c)	アドレス「a」に、データ「b」をサイズ「c」で書き込む。
load-memory-bit (a, b)	アドレス「a」のビット「b」を読み出す。
store-memory-bit (a, b, c)	アドレス「a」のビット「b」に「c」を書き込む。
saturated (n)	nの飽和処理を行う (nは2の補数)。 nが計算の結果、n 7FFFFFFFHとなった場合、n = 7FFFFFFFHとする。 nが計算の結果、n 80000000Hとなった場合、n = 80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト (8ビット)
Half-word	ハーフワード (16ビット)
Word	ワード (32ビット)
+	加算
-	減算
	ビット連結
×	乗算
÷	除算
%	除算結果の余り
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

## (4) 実行クロックに使われる略号

略号	説明
i	命令実行直後にほかの命令を実行する場合 (issue)
r	命令実行直後に同一命令を繰り返す場合 (repeat)
l	命令実行結果を命令実行直後の命令で利用する場合 (latency)

## (5) フラグの動作に使われる略号

略号	説明
(ブランク)	変化なし
0	0にクリア
x	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

## (6) 条件コード

条件名 ( cond )	条件コード ( cccc )	条件式	説 明
V	0000	$OV = 1$	Overflow
NV	1000	$OV = 0$	No overflow
C/L	0001	$CY = 1$	Carry Lower ( Less than )
NC/NL	1001	$CY = 0$	No carry No lower ( Greater than or equal )
Z/E	0010	$Z = 1$	Zero Equal
NZ/NE	1010	$Z = 0$	Not zero Not equal
NH	0011	$( CY \text{ or } Z ) = 1$	Not higher ( Less than or equal )
H	1011	$( CY \text{ or } Z ) = 0$	Higher ( Greater than )
N	0100	$S = 1$	Negative
P	1100	$S = 0$	Positive
T	0101	-	Always ( 無条件 )
SA	1101	$SAT = 1$	Saturated
LT	0110	$( S \text{ xor } OV ) = 1$	Less than signed
GE	1110	$( S \text{ xor } OV ) = 0$	Greater than or equal signed
LE	0111	$( ( S \text{ xor } OV ) \text{ or } Z ) = 1$	Less than or equal signed
GT	1111	$( ( S \text{ xor } OV ) \text{ or } Z ) = 0$	Greater than signed

## C.2 インストラクション・セット (アルファベット順)

(1/5)

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2] GR[reg2] + GR[reg1]	1	1	1	x	x	x	x	
	imm5, reg2	rrrrr010010iiii	GR[reg2] GR[reg2] + sign-extend (imm5)	1	1	1	x	x	x	x	
ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1	x	x	x	x	
AND	reg1, reg2	rrrrr001010RRRRR	GR[reg2] GR[reg2] AND GR[reg1]	1	1	1		0	x	x	
ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] AND zero-extend (imm16)	1	1	1		0	0	x	
Bcond	disp9	dddd1011ddcccc 注1	if conditions are satisfied	条件成立時	3	3	3				
			then PC PC + sign-extend (disp9)	注2	注2	注2					
			条件不成立時	1	1	1					
BSH	reg2, reg3	rrrrr1111100000 WWWW01101000010	GR[reg3] GR[reg2] (23:16) GR[reg2] (31:24) GR [reg2] (7:0) GR[reg2] (15:8)	1	1	1	x	0	x	x	
BSW	reg2, reg3	rrrrr1111100000 WWWW01101000000	GR[reg3] GR[reg2] (7:0) GR[reg2] (15:8) GR[reg2] (23:16) GR[reg2] (31:24)	1	1	1	x	0	x	x	
CALLT	imm6	000001000iiii	CTPC PC + 2 (return PC) CTPSW PSW adr CTBP + zero-extend (imm6 logically shift left by 1) PC CTBP + zero-extend(Load-memory (adr,Half-word))	5	5	5					
CLR1	bit#3,disp16[reg1]	10bbb11110RRRRR dddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 0)	3	3	3				x	
	reg2, [reg1]	10bbb11110RRRRR dddddddddddddd	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 0)	3	3	3				x	
CMOV	cccc, imm5, reg2, reg3	rrrrr11111iiii WWWW011000cccc0	if conditions are satisfied then GR[reg3] sign-extend (imm5) else GR[reg3] GR[reg2]	1	1	1					
	cccc, reg1, reg2, reg3	rrrrr11111RRRRR WWWW011001cccc0	if conditions are satisfied then GR[reg3] GR[reg1] else GR[reg3] GR[reg2]	1	1	1					
CMP	reg1, reg2	rrrrr001111RRRRR	result GR[reg2] - GR[reg1]	1	1	1	x	x	x	x	
	imm5, reg2	rrrrr010011iiii	result GR[reg2] - sign-extend (imm5)	1	1	1	x	x	x	x	
CTRET		000001111100000 0000000101000100	PC CTPC PSW CTPSW	4	4	4	R	R	R	R	R
DBRET		000001111100000 0000000101000110	PC DBPC PSW DBPSW	4	4	4	R	R	R	R	R
DBTRAP		1111100001000000	DBPC PC + 2 (復帰PC) DBPSW PSW PSW.NP 1 PSW.EP 1 PSW.ID 1 PC 00000060H	4	4	4					
DI		000001111100000 0000000101100000	PSW.ID 1	1	1	1					



二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
DISPOSE	imm5, list12	0000011001iiiiL LLLLLLLLLLLL00000	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until regs in list12 is loaded	n+1 注4	n+1 注4	n+1 注4						
	imm5, list12 [reg1]	0000011001iiiiL LLLLLLLLLLLLRRRRR 注5	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until regs in list12 is loaded PC GR[reg1]	n+3 注4	n+3 注4	n+3 注4						
DIV	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01011000000	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x		
DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2] GR[reg2] ÷ GR[reg1] <sup>注6</sup>	35	35	35		x	x	x		
	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01010000000	GR[reg2] GR[reg2] ÷ GR[reg1] <sup>注6</sup> GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x		
DIVHU	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01010000010	GR[reg2] GR[reg2] ÷ GR[reg1] <sup>注6</sup> GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x		
DIVU	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01011000010	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x		
EI		100001111100000 0000000101100000	PSW.ID 0	1	1	1						
HALT		000001111100000 0000000100100000	停止する	1	1	1						
HSW	reg2, reg3	rrrrr1111100000 WWWWW01101000100	GR[reg3] GR[reg2] (15:0) GR[reg2] (31:16)	1	1	1	x	0	x	x		
JARL	disp22, reg2	rrrrr11110dddddd dddddddddddddd0 注7	GR[reg2] PC + 4 PC PC + sign-extend(disp22)	3	3	3						
JMP	[reg1]	0000000011RRRRR	PC GR[reg1]	4	4	4						
JR	disp22	0000011110dddddd dddddddddddddd0 注7	PC PC + sign-extend(disp22)	3	3	3						
LD.B	disp16[reg1], reg2	rrrrr111000RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Byte) )	1	1	注11						
LD.BU	disp16[reg1], reg2	rrrrr11110bRRRRR ddddddddddddddd1 注8, 10	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Byte) )	1	1	注11						
LD.H	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd0 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Halfword) )	1	1	注11						
LDSR	reg2, regID	rrrrr11111RRRRR 000000000100000 注12	SR[regID] GR[reg2]	regID = PSW以外	1	1	1					
				regID = PSW	1	1	1	x	x	x	x	x
LD.HU	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Halfword) )	1	1	注11						

モニタック	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
LD.W	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend (disp16) GR[reg2] Load-memory (adr, Word)	1	1	注11						
MOV	reg1, reg2	rrrrr00000RRRRR	GR[reg2] GR[reg1]	1	1	1						
	imm5, reg2	rrrrr010000iiii	GR[reg2] sign-extend (imm5)	1	1	1						
	imm32, reg1	00000110001RRRRR iiiiiiiiiiiiiiii IIIIIIIIIIIIIIII	GR[reg1] imm32	2	2	2						
MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1						
MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + (imm16 0 <sup>16</sup> )	1	1	1						
MUL <sup>注22</sup>	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01000100000	GR[reg3] GR[reg2] GR[reg2] × GR[reg1] reg1 reg2 reg3, reg3 r0	1	2	2						注14
	imm9, reg2, reg3	rrrrr11111iiii WWWWW01001IIII00 注13	GR[reg3] GR[reg2] GR[reg2] × sign-extend (imm9)	1	2	2						注14
MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2] GR[reg2] <sup>注6</sup> × GR[reg1] <sup>注6</sup>	1	1	2						
	imm5, reg2	rrrrr010111iiii	GR[reg2] GR[reg2] <sup>注6</sup> × sign-extend (imm5)	1	1	2						
MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] <sup>注6</sup> × imm16	1	1	2						
MULU <sup>注22</sup>	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01000100010	GR[reg3] GR[reg2] GR[reg2] × GR[reg1] reg1 reg2 reg3, reg3 r0	1	2	2						注14
	imm9, reg2, reg3	rrrrr11111iiii WWWWW01001IIII10 注13	GR[reg3] GR[reg2] GR[reg2] × zero-extend (imm9)	1	2	2						注14
NOP		0000000000000000	何もせず最低1クロック費やします	1	1	1						
NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2] NOT ( GR[reg1] )	1	1	1		0	x	x		
NOT1	bit#3, disp16[reg1]	01bbb11110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3) ) Store-memory-bit (adr, bit#3, Zフラグ)	3	3	3						x
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100010	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2) ) Store-memory-bit (adr, reg2, Zフラグ)	3	3	3						x
					注3	注3	注3					
OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2] GR[reg2] OR GR[reg1]	1	1	1		0	x	x		
ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] OR zero-extend (imm16)	1	1	1		0	x	x		
PREPARE	list12, imm5	0000011110iiiiL LLLLLLLLLLL00001	Store-memory (sp - 4, GR[reg in list12], Word) sp sp - 4 repeat 1 steps above until regs in list12 is stored sp sp-zero-extend (imm5)	n+1 注4	n+1 注4	n+1 注4						
	list12, imm5, sp/imm <sup>注15</sup>	0000011110iiiiL LLLLLLLLLLLff011 imm16/imm32 注16	Store-memory (sp - 4, GR[reg in list12], Word) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until regs in list12 is loaded PC GR[reg1]	n+2 注4	n+2 注4	n+2 注4						

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
RETI		0000011111100000 0000000101000000	if PSW.EP = 1 then PC EIPC PSW EIPSW else if PSW.NP = 1 then PC FEPC PSW FEPSW else PC EIPC PSW EIPSW	4	4	4	R	R	R	R	R
SAR	reg1, reg2	rrrrr11111RRRRR 0000000101000000	GR[reg2] GR[reg2] arithmetically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010101iiii	GR[reg2] GR[reg2] arithmetically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SASF	cccc, reg2	rrrrr111110cccc 0000001000000000	if conditions are satisfied then GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000001H else GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000000H	1	1	1					
SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2] saturated (GR[reg2] + GR[reg1] )	1	1	1	x	x	x	x	x
	imm5, reg2	rrrrr010001iiii	GR[reg2] saturated (GR[reg2] + sign-extend (imm5) )	1	1	1	x	x	x	x	x
SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2] saturated (GR[reg2] - GR[reg1])	1	1	1	x	x	x	x	x
SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2] saturated (GR[reg1] - sign-extend (imm16) )	1	1	1	x	x	x	x	x
SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2] saturated (GR[reg1] - GR[reg2])	1	1	1	x	x	x	x	x
SETF	cccc, reg2	rrrrr111110cccc 0000000000000000	if conditions are satisfied then GR[reg2] 0000001H else GR[reg2] 0000000H	1	1	1					
SET1	bit#3, disp16 [reg1]	00bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3) ) Store-memory-bit (adr, bit#3, 1)	3	3	3					x
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100000	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2) ) Store-memory-bit (adr, reg2, 1)	3	3	3					x
SHL	reg1, reg2	rrrrr11111RRRRR 0000000011000000	GR[reg2] GR[reg2] logically shift left by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010110iiii	GR[reg2] GR[reg2] logically shift left by zero-extend (imm5)	1	1	1	x	0	x	x	
SHR	reg1, reg2	rrrrr11111RRRRR 0000000010000000	GR[reg2] GR[reg2] logically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010100iiii	GR[reg2] GR[reg2] logically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SLD.B	disp7 [ep] , reg2	rrrrr0110ddddddd	adr ep + zero-extend (disp7) GR[reg2] sign-extend (Load-memory (adr, Byte) )	1	1	注9					
SLD.BU	disp4 [ep] , reg2	rrrrr0000110ddd 注18	adr ep + zero-extend (disp4) GR[reg2] zero-extend (Load-memory (adr, Byte) )	1	1	注9					
SLD.H	disp8 [ep] , reg2	rrrrr1000ddddddd 注19	adr ep + zero-extend (disp8) GR[reg2] sign-extend (Load-memory (adr, Halfword) )	1	1	注9					

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SLD.HU	disp5 [ep] , reg2	rrrrr0000111ddd 注18, 20	adr ep + zero-extend (disp5) GR[reg2] zero-extend (Load-memory (adr, Halfword) )	1	1	注9					
SLD.W	disp8 [ep] , reg2	rrrrr1010dddddd0 注21	adr ep + zero-extend (disp8) GR[reg2] Load-memory (adr, Word)	1	1	注9					
SST.B	reg2, disp7 [ep]	rrrrr0111ddddddd	adr ep + zero-extend (disp7) Store-memory (adr, GR[reg2], Byte)	1	1	1					
SST.H	reg2, disp8 [ep]	rrrrr1001ddddddd 注19	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
SST.W	reg2, disp8 [ep]	rrrrr1010ddddddd1 注21	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Word)	1	1	1					
ST.B	reg2, disp16 [reg1]	rrrrr111010RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Byte)	1	1	1					
ST.H	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd0 注3	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
ST.W	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend(disp16) Store-memory (adr, GR[reg2], Word)	1	1	1					
STSR	regID, reg2	rrrrr11111RRRRR 000000001000000	GR[reg2] SR[regID]	1	1	1					
SUB	reg1, reg2	rrrrr001101RRRRR	GR[reg2] GR[reg2] - GR[reg1]	1	1	1	x	x	x	x	
SUBR	reg1, reg2	rrrrr001100RRRRR	GR[reg2] GR[reg1] - GR[reg2]	1	1	1	x	x	x	x	
SWITCH	reg1	0000000010RRRRR	adr (PC + 2) + (GR[reg1] logically shift left by 1) PC (PC + 2) + (sign-extend (Load-memory (adr, Halfword))) logically shift left by 1	5	5	5					
SXB	reg1	0000000101RRRRR	GR[reg1] sign-extend (GR[reg1] (7 : 0) )	1	1	1					
SXH	reg1	0000000111RRRRR	GR[reg1] sign-extend (GR[reg1] (15 : 0) )	1	1	1					
TRAP	vector	0000011111111111 0000000100000000	EIPC PC + 4 (復帰PC) EIPSW PSW ECR.EICC 例外コード (40H-4FH, 50H-5FH) PSW.EP 1 PSW.ID 1 PC 0000040H (vectorが00H-0FH (例外コード : 40H-4FH) のとき) 0000050H (vectorが10H-1FH (例外コード : 50H-5FH) のとき)	4	4	4					
TST	reg1, reg2	rrrrr001011RRRRR	result GR[reg2] AND GR[reg1]	1	1	1		0	x	x	
TST1	bit#3, disp16 [reg1]	11bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3) )	3	3	3	注3	注3	注3		x
	reg2, [reg1]	rrrrr11111RRRRR 000000011100110	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2) )	3	3	3	注3	注3	注3		x
XOR	reg1, reg2	rrrrr001001RRRRR	GR[reg2] GR[reg2] XOR GR[reg1]	1	1	1		0	x	x	
XORI	imm16, reg1, reg2	rrrrr110101RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] XOR zero-extend (imm16)	1	1	1		0	x	x	
ZXB	reg1	0000000100RRRRR	GR[reg1] zero-extend (GR[reg1] (7 : 0) )	1	1	1					
ZXH	reg1	0000000110RRRRR	GR[reg1] zero-extend (GR[reg1] (15 : 0) )	1	1	1					

- 注1. ddddddddはdisp9の上位8ビットです。
2. 直前にPSWの内容を書き換える命令がある場合は4。
  3. ウェイト・ステートがない場合 (3+リード・アクセス・ウェイト・ステート数)
  4. nはlist12のロード・レジスタの合計数 (ウェイト・ステート数による。ウェイト・ステートがない場合, nはlist12のレジスタ合計数。n = 0の場合, n = 1と同じ動作)
  5. RRRRR : 00000以外
  6. 下位ハーフワード・データだけ有効
  7. ddddddddddddddddddddはdisp22の上位21ビットです。
  8. ddddddddddddddddはdisp16の上位15ビットです。
  9. ウェイト・ステート数による (ウェイト・ステートがない場合は1)
  10. b : disp16のビット0
  11. ウェイト・ステート数による (ウェイト・ステートがない場合は2)
  12. この命令ではニモニクの記述の都合上, ソース・レジスタをreg2としていますが, オペコード上はreg1のフィールドを使用しています。したがって, ニモニク記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。
    - rrrrr = regID指定
    - RRRRR = reg2指定
  13. iiii : imm9の下位5ビット  
IIII : imm9の上位4ビット
  14. reg2 = reg3 (結果の下位32ビットがレジスタに書き込まれない), またはreg3 = r0 (結果の上位32ビットはレジスタに書き込まれない) 場合は1クロック短縮されます。
  15. sp/imm : サブオペコードのビット19, 20で指定
  16. ff = 00 : spをepにロード
    - 01 : 符号拡張した16ビット・イミューディエト・データ (ビット47-32) をepにロード
    - 10 : 16ビット論理左シフトした16ビット・イミューディエト・データ (ビット47-32) をepにロード
    - 11 : 32ビット・イミューディエト・データ (ビット63-32) をepにロード
  17. imm = imm32の場合はn + 3クロック
  18. rrrrr : 00000以外
  19. dddddddはdisp8の上位7ビットです。
  20. ddddはdisp5の上位4ビットです。
  21. dddddddはdisp8の上位6ビットです。
  22. 「MUL reg1, reg2, reg3」命令, 「MULU reg1, reg2, reg3」命令において, 次の条件をすべて満たすレジスタの組み合わせは行わないでください。この条件に当てはまる命令を実行した場合の動作は保証しません。
    - reg1 = reg3
    - reg1 reg2
    - reg1 r0
    - reg3 r0

## 付録D 改版履歴

### D.1 本版で改訂された主な箇所

箇所	内容
p.52	表3-2 システム・レジスタ番号 記述変更
p.57	3.2.2(6) 例外/デバッグ・トラップ時状態退避レジスタ (DBPC, DBPSW) 記述変更
p.128	6.3.1 DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3) 記述変更
p.130	6.3.2 DMAデスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3) 記述変更
p.132	6.3.3 DMA転送カウント・レジスタ0-3 (DBC0-DBC3) 記述変更
p.135	6.3.5 DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3) 注意追加
p.138, 139, 141	6.3.8 DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3) 記述追加および記述変更
p.154	6.14(3) CPUへのバス・アービトレーション 記述変更
p.154	6.14(4) DMAの起動要因 記述変更
p.174	7.3.4 割り込み制御レジスタ (xxICn) 記述追加
p.191	7.5.1(2) 復帰 記述追加
p.343	9.3.4(6)(b) トグル・モード0時のタイマ出力について 追加
p.478	10.4.1 特徴 記述変更
p.678	13.10.7 タイマ・トリガの発生と外部トリガ入力の競合による制限事項 追加
p.679	13.10.8 スキャン・モード (A/Dトリガ・モード, A/Dトリガ・ポーリング・モード, タイマ・トリガ・モード, 外部トリガ・モード), セレクト・モード (A/Dトリガ・ポーリング・モード) の強制中断時の終了方法について 追加
p.679	13.10.9 A/D変換結果のばらつき 追加
p.679	13.10.10 A/D変換のヒステリシス特性 追加
p.725	図14-14 ノイズ除去タイミング例 記述変更
p.742	図16-1 フラッシュ・メモリにプログラムを書き込むための環境 図変更
p.742	図16-2 専用フラッシュ・メモリ・プログラマとの通信 (UART0) 図変更
p.743	図16-3 専用フラッシュ・メモリ・プログラマとの通信 (CSI0) 図変更
p.743	図16-4 専用フラッシュ・メモリ・プログラマとの通信 (ハンドシェイク対応CSI通信方式) 図変更
p.748	図16-9 フラッシュ・メモリの操作手順 記述変更
p.750	図16-11 通信コマンド 図変更
p.800	18.1 AC特性(11) CANタイミング 追加
p.803	18.2 フラッシュ・メモリ・プログラミング・モード ( $\mu$ PD70F3116のみ) 基本特性 記述追加

## D.2 前版までの改版履歴

前版までの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/12)

版数	前版までの改版内容	適用箇所
第2版	<ul style="list-style-type: none"> <li>・ 次の製品を削除 μ PD703117GJ-xxx-UEN</li> <li>・ 次の製品を追加 μ PD703116GJ-xxx-UEN, 703116GJ(A)-xxx-UEN, 703116GJ(A1)-xxx-UEN, 70F3116GJ(A)-UEN, 70F3116GJ(A1)-UEN</li> <li>・ 次の製品が開発中 開発済み μ PD70F3116GJ-UEN</li> <li>・ デバイス・ファイルで予約語に定義されているビットを明記(ビット番号を で囲んである ビット)</li> </ul>	全般
	表1-1 V850E/IA1とV850E/IA2の製品間の違い 追加	第1章 インタロダクション
	表1-2 V850E/IA1とV850E/IA2のレジスタ設定値の違い 追加	
	1.3 応用分野 記述変更	
	1.4 オーダ情報 記述変更	
	1.5 端子接続図 注意変更	
	1.7 各製品の相違点 追加	
	2.2 端子状態 ASTB (PCT6) 端子, HLDRQ (PCM3) 端子の端子状態変更	第2章 端子機能
	2.4 端子の入出力回路タイプと未使用時の処理 記述変更	第3章 CPU機能
	2.5 端子の入出力回路 タイプ5-Kをタイプ5-ACに変更	
	3.4.5(1)(a)メモリ・マップ 記述変更	
	3.4.5(2)内蔵RAM領域 記述変更	
	3.4.5(3)内蔵周辺I/O領域 注追加および注意変更	
	3.4.7(1)プログラム空間 一部記述削除	
	3.4.7(2)データ空間 ラップ・アラウンドを利用した応用例一部記述変更	
	図3-6 推奨メモリ・マップ 変更	
	3.4.8 周辺I/Oレジスタ 記述変更	
	3.4.9 プログラマブル周辺I/Oレジスタ 記述変更	
	3.4.9(1)周辺エリア選択コントロール・レジスタ(BPC) ビット名変更	
	3.4.9 プログラマブル周辺I/Oレジスタ プログラマブル周辺I/Oレジスタ領域の記述変更	
	3.4.11 システム・ウェイト・コントロール・レジスタ(VSWC) 操作可能ビットの記述変更, 表の記述変更, 備考追加	
	4.2.1 内蔵ROM, 内蔵RAM, 周辺I/Oアクセス時の端子状態 記述追加および変更	第4章 バス制御機能
	4.3 メモリ・ブロック機能 注追加	能
	4.3.1(1)チップ・エリア選択コントロール・レジスタ0, 1(CSC0, CSC1) 注意追加	
	4.5.1 アクセス・クロック数 表の記述変更	
	4.6.1(2)アドレス・ウェイト制御レジスタ(AWC) 注意追加	
	図4-2 ウェイト挿入例 タイミング・チャート変更	
	4.8.1 機能概要 記述追加	
	4.9 バスの優先順位 記述変更	
	4.10.1 プログラム空間 (1)記述変更	

版数	前版までの改版内容	適用箇所
第2版	図5-1 SRAM, 外部ROM, 外部I/Oアクセス・タイミング タイミング・チャート変更	第5章 メモリ・アクセス制御機能
	6.3.3 DMA転送カウント・レジスタ0-3 (DBC0-DBC3) 記述追加	第6章 DMA機能 (DMAコントローラ)
	6.3.4 DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3) 注意追加, ビットの設定変更	
	6.3.5 DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3) 記述変更, 注意変更	
	6.3.6 DMAディスエーブル・ステータス・レジスタ (DDIS) 操作可能ビットの記述変更	
	6.3.7 DMAリスタート・レジスタ (DRST) 操作可能ビットの記述変更	
	6.3.8 DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3) 記述変更, ビット名およびビット説明追加	
	6.5.1 シングル転送モード 記述追加	
	6.5.2 シングルステップ転送モード 記述追加	
	6.6.1 2サイクル転送 注意追加	
	6.7.1 転送の種類と転送対象 記述変更	
	表6-1 転送の種類と転送対象の関係 記述変更	
	表6-2 DMA転送(2サイクル転送)時の外部バス・サイクル 記述追加および削除	
	6.8 DMAチャンネルの優先順位 注意追加	
	6.13 強制終了 備考の記述一部追加	
	6.14(3) DMA転送に関する各種時間 記述変更	
	6.14(5) DMAの起動要因 追加	
	第7章 割り込み/例外処理機能 記述変更	第7章 割り込み/例外処理機能
	表7-1 割り込み/例外要因一覧 記述変更	
	図7-2 ノンマスクブル割り込み要求の受け付け動作 記述変更	
	7.3.5 割り込みマスク・レジスタ0-3 (IMR0-IMR3) 注意追加	
	7.3.8(2) シグナル・エッジ選択レジスタ10, 11 (SESA10, SESA11) 注意追加およびビット説明変更	
	7.3.8(3) 有効エッジ選択レジスタ (SESC) 注意追加	
	7.3.8(4) タイマ2入力フィルタ・モード・レジスタ0-5 (FEM0-FEM5) 注意追加, ビット説明に注意追加	
	図7-14 割り込み要求受け付け時のパイプライン動作(概要) 記述変更	
	7.8 割り込みが受け付けられない期間 記述追加および変更	
	8.3.1 ダイレクト・モード 記述変更	第8章 クロック発生機能
8.3.2 PLLモード 注意の記述追加		
8.3.4 クロック・コントロール・レジスタ (CKC) 操作可能ビットおよびCKCへのデータ設定シーケンスの記述変更, 注意変更		
8.4 PLLロックアップ レジスタの略号および初期値変更		
図8-1 パワー・セーブ・モード状態遷移図 注変更		
8.5.2(3) パワー・セーブ・コントロール・レジスタ (PSC) PSCへのデータ設定シーケンスの記述変更, 注意変更		
8-4 IDLEモード時の動作状態 記述変更		
8.5.4(2) IDLEモードの解除 注追加, 記述追加および変更		
表8-6 ソフトウェアSTOPモード時の動作状態 記述変更		
8.5.5(2) ソフトウェアSTOPモードの解除 注追加, 記述追加および変更		



版 数	前版までの改版内容	適用箇所
第2版	8. 6. 1 (1) 内蔵タイム・ベース・カウンタで時間を確保する場合 記述追加および変更, タイミング・チャートの変更	第8章 クロック発生機能
	8. 6. 1 (2) 信号レベル幅で時間を確保する場合 ( $\overline{\text{RESET}}$ 端子入力) タイミング・チャートの変更	
	表8 - 8 カウント時間例 ( $f_{\text{ox}} = 10 \times f_x$ ) 記述変更	
	図9 - 1 タイマ0のブロック図 (モード0: 対称三角波, モード1: 非対称三角波) 変更	第9章 タイマ / カウンタ機能 (リアルタイム・パルス・ユニット)
	図9 - 2 タイマ0のブロック図 (モード2: のこぎり波) 変更	
	表9 - 1 タイマ0の動作モード 注意追加	
	9. 1. 3 (3) デッド・タイム・タイム・リロード・レジスタ0, 1 (DTRR0, DTRR1) 注意追加	
	9. 1. 4 (2) タイマ・コントロール・レジスタ00, 01 (TMC00, TMC01) ビット名変更	
	9. 1. 4 (3) タイマ・ユニット・コントロール・レジスタ00, 01 (TUC00, TUC01) 記述追加, ビット名変更, ビット説明に注意追加	
	9. 1. 4 (4) タイマ出力モード・レジスタ0, 1 (TOMR0, TOMR1) ビット名およびビット説明追加	
	図9 - 7 PWMモード0 (対称三角波) 時のTO000とTO001の出力波形 (デッド・タイムがない (TM0CED0ビット = 1) 場合) 追加	
	図9 - 8 PWMモード0 (対称三角波) 時のTO000とTO001の出力波形 (デッド・タイムがある (TM0CED0ビット = 0) 場合) 追加	
	9. 1. 4 (5) PWM出力イネーブル・レジスタ0, 1 (POER0, POER1) ビット名変更	
	9. 1. 4 (6) PWMソフトウエア・タイミング出力レジスタ0, 1 (PSTO0, PSTO1) 注意追加, ビット名およびビット説明変更, 図9 - 9から図9 - 14まで追加	
	9. 1. 5 動作 備考追加	
	図9 - 30 PWMモード2 (のこぎり波) の動作タイミング 備考追加	
	図9 - 45 タイマ1のブロック図 変更	
	9. 2. 4 (3) タイマ・コントロール・レジスタ10, 11 (TMC10, TMC11) ビット名変更, ビット説明に注意追加	
	9. 2. 4 (5) シグナル・エッジ選択レジスタ10, 11 (SESA10, SESA11) ビット説明変更	
	9. 2. 4 (7) ステータス・レジスタ0, 1 (STATUS0, STATUS1) ビット名変更	
	表9 - 8 タイマ2の構成一覧 記述変更	
	表9 - 9 キャプチャ / コンペア動作要因 追加	
	表9 - 10 タイマ出力時の出力レベル要因 追加	
	図9 - 62 タイマ2のブロック図 変更	
	9. 3. 3 (3) タイマ2サブチャンネルn主キャプチャ / コンペア・レジスタ (CVPE <sub>n</sub> ) (n = 1-4) 注意追加	
	9. 3. 3 (4) タイマ2サブチャンネルn副キャプチャ / コンペア・レジスタ (CVSE <sub>n</sub> ) (n = 1-4) 注意追加	
	9. 3. 4 (2) タイマ2クロック停止レジスタ0 (STOPTE0) 操作可能ビットの記述変更	
	9. 3. 4 (3) タイマ2カウント・クロック / 制御エッジ選択レジスタ0 (CSE0) 操作可能ビットの記述変更	
	9. 3. 4 (4) タイマ2サブチャンネル入力イベント・エッジ選択レジスタ0 (SESE0) 操作可能ビットの記述変更	
	9. 3. 4 (5) タイマ2タイム・ベース制御レジスタ0 (TCRE0) 操作可能ビットの記述変更, 注意追加, ビット説明に注意追加	

版数	前版までの改版内容	適用箇所
第2版	9.3.4(6) タイマ2出力制御レジスタ0 (OCTLE0) 操作可能ビットの記述変更	第9章 タイマ / カウンタ機能 (リアルタイム・パルス・ユニット)
	9.3.4(8) タイマ2サブチャネル1, 2キャプチャ / コンペア制御レジスタ (CMSE120) ビット説明に注意追加	
	9.3.4(9) タイマ2サブチャネル3, 4キャプチャ / コンペア制御レジスタ (CMSE340) ビット説明に注意追加	
	9.3.4(10) タイマ2タイム・ベース・ステータス・レジスタ0 (TBSTATE0) 操作可能ビットの記述変更, 初期値変更	
	9.3.4(11) タイマ2キャプチャ / コンペア1-4ステータス・レジスタ0 (CCSTATE0) 操作可能ビットの記述変更	
	9.3.4(12) タイマ2出力遅延レジスタ0 (ODELE0) 操作可能ビットの記述変更	
	9.4.3(1)(a) 外部カウント・クロックを選択 注意変更	
	9.4.4(2) タイマ・コントロール・レジスタ30 (TMC30) 注意追加, ビット名変更	
	9.4.5(1) カウント動作 注意追加	
	図9-88 コンペア動作例 変更	
	図9-95 周期測定動作タイミング例 注追加および注意削除	
	図9-97 TM4動作中のタイミング例 変更	
	9.5.4(1) タイマ・コントロール・レジスタ4 (TMC4) ビット名変更	
	図9-98 TM4コンペア動作例 変更	
	10.2.3(1) アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) 注意追加, ビット名およびビット説明変更	第10章 シリアル・インタフェース機能
	10.2.3(2) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) 操作可能ビットの記述変更	
	10.2.3(3) アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ0 (ASIF0) ビット名変更, ビット説明に注意追加	
	10.2.3(4) 受信バッファ・レジスタ0 (RXB0) 操作可能ビットの記述変更	
	10.2.3(5) 送信バッファ・レジスタ0 (TXB0) 操作可能ビットの記述変更	
	10.2.5(3) 連続送信動作 記述追加および変更	
	図10-4 連続送信の処理フロー 追加	
	図10-5 連続送信の開始手順 注追加, 表の記述変更	
	図10-6 連続送信の終了手順 表の記述変更	
図10-7 アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング 注意追加		
10.2.6(2)(a) クロック選択レジスタ0 (CKSR0) 操作可能ビットの記述変更, 注意追加		
10.2.6(2)(b) ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) 操作可能ビットの記述変更		
表10-3 ポー・レート・ジェネレータ設定データ ポー・レートの項目追加		
10.2.7 注意事項 (2) 追加		
10.3.3(1) アシンクロナス・シリアル・インタフェース・モード・レジスタ10, 20 (ASIM10, ASIM20) ビット名変更		
10.3.3(3) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1, 2 (ASIS1, ASIS2) ビット名変更		
10.3.3(4) 2フレーム連続受信バッファ・レジスタ1, 2 (RXB1, RXB2) / 受信バッファ・レジスタL1, L2 (RXBL1, RXBL2) 操作可能ビットの記述変更		

版数	前版までの改版内容	適用箇所
第2版	10.3.4(1)受信完了割り込み (INTSRn) 注意追加	第10章 シリアル・インタフェース機能
	10.3.5(3)3フレーム以上の連続送信 追加	
	10.3.7(2)(b)プリスケラ・モード・レジスタ1,2 (PRSM1, PRSM2) ビット名変更	
	10.3.7(2)(c)プリスケラ・コンペア・レジスタ1,2 (PRSCM1, PRSCM2) 操作可能ビットの記述変更	
	10.3.7(3)受信時の許容ボー・レート範囲 追加	
	10.3.7(4)2フレーム連続受信時の転送レート 追加	
	10.4.3(1)クロック同期式シリアル・インタフェース・モード・レジスタ0,1 (CSIM0, CSIM1) ビット名変更	
	10.4.3(4)クロック同期式シリアル・インタフェース受信バッファ・レジスタL0, L1 (SIRBL0, SIRBL1) 操作可能ビットの記述変更	
	10.4.3(6)クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタL0, L1 (SIRBEL0, SIRBEL1) 操作可能ビットの記述変更	
	10.4.3(8)クロック同期式シリアル・インタフェース送信バッファ・レジスタL0, L1 (SOTBL0, SOTBL1) 操作可能ビットの記述変更	
	10.4.3(10)クロック同期式シリアル・インタフェース初段送信バッファ・レジスタL0, L1 (SOTBFL0, SOTBFL1) 操作可能ビットの記述変更	
	10.4.3(12)シリアルI/Oシフト・レジスタL0, L1 (SIOL0, SIOL1) 操作可能ビットの記述変更	
	10.4.6(2)(c)プリスケラ・コンペア・レジスタ3 (PRSCM3) 操作可能ビットの記述変更	
	図11-1 FCANのブロック図 変更	
11.5 メッセージ処理 記述追加		
表11-6 データ・レングス・コードの設定 記述変更		
11.8.7(1)プリスケラ 記述変更		
11.8.7(2)ノミナル・ビット・タイム (8-25 Time Quantum) 記述変更		
11.10(2)CANメッセージ・データ長レジスタ00-31 (M_DLC00-M_DLC31) 注意追加, ビット説明変更		
11.10(3)CANメッセージ・コントロール・レジスタ00-31 (M_CTRL00-M_CTRL31) ビットの注一部削除, ビット説明に注意追加および変更		
11.10(4)CANメッセージ・タイム・スタンプ・レジスタ00-31 (M_TIME00-M_TIME31) ビット説明に注意の記述追加		
11.10(6)CANメッセージIDレジスタL00-L31, H00-H31 (M_IDL00-M_IDL31, M_IDH00-M_IDH31) 記述変更		
11.10(7)CANメッセージ構成レジスタ00-31 (M_CONF00-M_CONF31) ビット説明の記述一部削除		
11.10(8)CANメッセージ・ステータス・レジスタ00-31 (M_STAT00-M_STAT31) ビット説明に記述追加		
11.10(14)CANグローバル・ステータス・レジスタ (CGST) 操作可能ビットの記述変更, ビット説明の注意変更および注追加		
11.10(15)CANグローバル割り込み許可レジスタ (CGIE) 操作可能ビットの記述変更		
図11-25 FCANのクロック 変更		
11.10(18)CANメッセージ検索開始/結果レジスタ (CGMSS (ライト時)/CGMSR (リード時)) ビット説明変更		

版数	前版までの改版内容	適用箇所
第2版	11. 10 (19) CAN1アドレス・マスクレジスタL, H (C1MASKLa, C1MASKHa) 注意追加, ビット説明の記述一部削除	第11章 FCANコントローラ
	11. 10 (20) CAN1コントロール・レジスタ (C1CTRL) 注意追加, ビット説明に記述追加	
	11. 10 (21) CAN1定義レジスタ (C1DEF) 操作可能ビットの記述変更, ビット説明の記述追加および削除, ビット説明の注意削除および変更	
	11. 10 (24) CAN1割り込み許可レジスタ (C1IE) 操作可能ビットの記述変更	
	11. 10 (25) CAN1バス・アクティブ・レジスタ (C1BA) ビットの設定変更	
	11. 10 (28) CAN1同期制御レジスタ (C1SYNC) 注意変更, ビットの設定変更	
	図11 - 28 CANグローバル割り込み許可レジスタ (CGIE) 変更	
	図11 - 35 CAN1アドレス・マスクレジスタL, H (C1MASKLa, C1MASKHa) (a = 0-3) の設定 変更	
	11. 11. 3 受信の設定 変更	
	図11 - 44 CANストップ・モードの設定 変更	
	図11 - 45 CANストップ・モードの解除 変更	
	11. 12 ボー・レートを正しく設定するための規則について 記述変更	
	11. 14. 2 パースト・リード・モード 記述変更	
	11. 15. 1 FCANコントローラで発生する割り込み 記述追加	
	11. 15. 2 グローバルCANインタフェースで発生する割り込み 記述変更	
	11. 17 使用上の注意 , 追加	
	12. 1 (2) イベント検出機能 記述追加	第12章 NBD機能 ( $\mu$ PD70F3116)
	図12 - 1 NBD空間のイメージ図 変更	
	12. 4. 1 (1) (b) リード・コマンド 記述追加	
	12. 4. 2 (1) (b) NBDイベント・アドレス・レジスタ (EVTU_A) 注意追加	
12. 5 (1) RAMアクセス用データ・バッファ・レジスタL (NBDL) NBDLLの記述追加, 操作可能ビットの記述変更, 備考一部削除		
12. 5 (2) RAMアクセス用データ・バッファ・レジスタH (NBDH) NBDHLの記述追加, 操作可能ビットの記述変更, 備考一部削除		
12. 6. 1 全般的な制限事項 (1) に記述追加		
12. 6. 3 NBDのイベント・トリガ機能に関する制限事項 (4) に記述追加, 注意追加		
13. 3 (1) A/Dスキャン・モード・レジスタ00, 10 (ADSCM00, ADSCM10) 操作可能ビットの記述変更, ビット名変更, ビット説明の記述追加	第13章 A/Dコンバータ	
13. 3 (2) A/Dスキャン・モード・レジスタ01, 11 (ADSCM01, ADSCM11) 操作可能ビットの記述変更, ビット説明の記述変更		
13. 3 (3) A/D電圧検出モード・レジスタ0, 1 操作可能ビットの記述変更, ビット名変更		
13. 10. 4 (1) HALTモード 記述追加		
13. 10. 4 (2) IDLEモード, ソフトウェアSTOPモード 記述変更		
13. 10. 6 A/D変換結果が不定になるタイミング 追加		
13. 11 A/Dコンバータ特性表の読み方 追加		
14. 2 (1) 各ポートの機能 ブロック・タイプ変更および注意追加	第14章 ポート機能	
図14 - 2 タイプBのブロック図 変更		
図14 - 3 タイプCのブロック図 変更		
図14 - 4 タイプDのブロック図 変更		
図14 - 5 タイプEのブロック図 追加		
図14 - 8 タイプHのブロック図 変更		

版数	前版までの改版内容	適用箇所
第2版	図14 - 9 タイプJのブロック図 変更	第14章 ポート機能
	図14 - 10 タイプMのブロック図 変更	
	図14 - 11 タイプNのブロック図 変更	
	図14 - 12 タイプOのブロック図 変更	
	図14 - 13 タイプPのブロック図 追加	
	14.3.2(1) コントロール・モード時の動作 ブロック・タイプ変更	
	14.3.6(1) コントロール・モード時の動作 ブロック・タイプ変更	
	14.3.9(1) コントロール・モード時の動作 ブロック・タイプ変更	
	14.3.10(1) コントロール・モード時の動作 ブロック・タイプ変更	
	14.4.3(1) タイマ2入力フィルタ・モード・レジスタ0-5 (FEM0-FEM5) 注意追加, ビット説明に注意追加	
	表15 - 2 CPU, 内蔵RAM, 内蔵周辺I/Oのリセット後の初期値 記述追加および変更	第15章 リセット機能
	16.2 フラッシュ・ライタによる書き込み方法 注意追加	第16章 フラッシュ・メモリ ( $\mu$ PD70F3116)
	表16 - 1 V850E/IA1フラッシュ書き込み用アダプタ (FA-144GJ-8EU) の配線表 注追加	
	表16 - 4 フラッシュ・メモリ制御用コマンド 消去の項目に一括消去コマンド追加	
	16.7.3 セルフ・プログラミング・インタフェースの概要 追加	
	16.7.5 ソフトウェア環境 追加	
	16.7.6 セルフ・プログラミング機能番号 追加	
	16.7.7 呼び出しパラメータ 追加	
	16.7.8 RAMパラメータの内容 追加	
	16.7.9 セルフ・プログラミング時のエラー 追加	
	16.7.10 フラッシュ情報 追加	
	16.7.11 エリア番号 追加	
	16.7.12 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) 初期値00H追加および注意変更	
	16.7.13 デバイス内部処理の呼び出し 追加	
16.7.14 フラッシュ・メモリの消去フロー 追加		
16.7.15 連続書き込みフロー 追加		
16.7.16 内部ベリファイ・フロー 追加		
16.7.17 フラッシュ情報取得フロー 追加		
16.7.18 セルフ・プログラミング・ライブラリ 追加		
16.8 フラッシュ製品とマスクROM製品の判別方法 注意変更		
第17章 電源投入 / 電源遮断 追加	第17章 電源投入 / 電源遮断	
B.2 インストラクション・セット (アルファベット順) 記述変更	付録B 命令セット一覧	
第3版	4.2.1 内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態 記述変更	第4章 バス制御機能
	6.3.1 DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3) 記述追加	第6章 DMA機能 (DMAコントローラ)
	6.3.1(1) DMAソース・アドレス・レジスタ0H-3H (DSA0H-DSA3H) 記述追加	
	6.3.2 DMAデスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3) 記述追加	
	6.3.2(1) DMAデスティネーション・アドレス・レジスタ0H-3H (DDA0H-DDA3H) 記述追加	

版数	前版までの改版内容	適用箇所
第3版	6.3.3 DMA転送カウント・レジスタ0-3 (DBC0-DBC3) 記述追加	第6章 DMA機能 (DMAコントローラ)
	6.3.4 DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3) 記述追加	
	6.3.5 DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3) 記述追加	
	6.3.6 DMAディスエーブル・ステータス・レジスタ (DDIS) 記述追加および変更	
	6.3.7 DMAリスタート・レジスタ (DRST) 記述追加	
	6.3.8 DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3) 記述追加	
	表6-1 転送の種類と転送対象の関係 記述変更	
	6.7.1 転送の種類と転送対象 備考の記述変更	
	6.9 ネクスト・アドレス設定機能 記述変更および追加	
	6.11 強制中断 記述変更	
	6.14(4) CPUへのバス・アービトレーション 記述変更	
	6.14(6) 内蔵RAMでのプログラム実行とDMA転送 追加	
	7.3.4 割り込み制御レジスタ (xxlCn) 注意追加	第7章 割り込み/ 例外処理機能
	7.3.6 インサースビス・プライオリティ・レジスタ (ISPR) 注意追加	
	9.1.5(2) PWMモード0:三角波変調(左右対称波形制御) 備考の記述変更	第9章 タイマ/カウンタ機能(リアルタイム・パルス・ユニット)
	14.2(1) 各ポートの機能 注意追加	第14章 ポート機能
	図14-14 ノイズ除去タイミング例 記述変更	
	第18章 電気的特性 追加	第18章 電気的特性
	第19章 外形図 追加	第19章 外形図
	第20章 半田付け推奨条件 追加	第20章 半田付け推奨条件
付録A ターゲット・システム設計上の注意 追加	付録A ターゲット・システム設計上の注意	
付録E 改版履歴 追加	付録E 改版履歴	
第4版	表1-1 V850E/IA1とV850E/IA2の製品間の違い 注追加	第1章 イントロダクション
	表1-2 V850E/IA1とV850E/IA2のレジスタ設定値の違い 注1,2追加	
	1.4 オーダ情報 注追加	
	1.5 端子接続図(Top View) 注3追加	
	3.4.5(3) 内蔵周辺I/O領域 注意追加	第3章 CPU機能
	3.4.9 プログラマブル周辺I/Oレジスタ 注意追加, 操作可能ビットおよび初期値修正	
	3.4.11 システム・ウェイト・コントロール・レジスタ (VSWC) 記述変更	
	4.4(1) バス・サイクル・タイプ・コンフィギュレーション・レジスタ0,1 (BCT0, BCT1) 注追加	第4章 バス制御機能
	6.3.1(1) DMAソース・アドレス・レジスタ0H-3H (DSA0H-DSA3H) 注意2追加	第6章 DMA機能 (DMAコントローラ)
	6.3.2(1) DMAデスティネーション・アドレス・レジスタ0H-3H (DDA0H-DDA3H) 注意2追加	
	6.3.3 DMA転送カウント・レジスタ0-3 (DBC0-DBC3) 注意1,2追加	

版数	前版までの改版内容	適用箇所
第4版	6.3.5 DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3) 注意の記述変更 / 追加	第6章 DMA機能 (DMAコントローラ)
	表6-2 DMA転送(2サイクル転送)時の外部バス・サイクル 注削除	
	6.9 ネクスト・アドレス設定機能 説明変更および注追加	
	6.10 DMA転送起動要因 注意1,2追加	
	6.13.1 DMA転送強制終了に関する制限事項 追加	
	6.14 DMA転送に関する各種時間 記述変更	
	6.15(5) DCHCnレジスタのTCnビットの自動クリアに関する制限事項, (6) DSA <sub>n</sub> , DDA <sub>n</sub> レジスタの読み出し値 追加	
	第7章 割り込み / 例外処理機能 説明変更	第7章 割り込み / 例外処理機能
	9.1.5(2) PWMモード0:三角波変調(左右対称波形制御) 注意2追加	第9章 タイマ / カウンタ機能(リアルタイム・パルス・ユニット)
	9.2.4(1) タイマ1/タイマ2クロック選択レジスタ (PRM02) 注1,2追加	
	9.3.4(1) タイマ1/タイマ2クロック選択レジスタ (PRM02) 注1,2追加	
	9.3.4(3) タイマ2カウント・クロック / 制御エッジ選択レジスタ0 (CSE0) 注1,2追加	
	9.3.6 タイマ2のコンペア・モード動作におけるPWM出力動作 追加	
	図9-92 TM3コンペア動作例(セット / リセット出力モード) 記述変更	
	10.2.3(1) アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM0) 注意2追加	
	10.2.5(3) 連続送信動作 注意追加	
	10.3.1 特徴 転送速度の記述追加	
	10.3.3(1) アシンクロナス・シリアル・インタフェース・モード・レジスタ10, 20 (ASIM10, ASIM20) 注意1,2の記述変更	
	10.3.7(2)(c) プリスケアラ・コンペア・レジスタ1, 2 (PRSCM1, PRSCM2) 注意3追加	
	表10-8 ボー・レート・ジェネレータ設定データ (BRG = f <sub>xx</sub> /2) 記述変更	
	表11-2 メッセージとバッファの構成 注意追加	第11章 FCANコントローラ
	11.5 メッセージ処理 記述追加	
	図11-21 ノミナル・ビット・タイム 注の記述追加	
	11.10(2) CANメッセージ・データ長レジスタ00-31 (M_DLC00-M_DLC31) 記述変更, 注追加	
	11.10(3) CANメッセージ・コントロール・レジスタ00-31 (M_CTRL00-M_CTRL31) 記述変更, 注追加	
	11.10(8) CANメッセージ・ステータス・レジスタ00-31 (M_STAT00-M_STAT31) 記述変更	
	11.10(11) CANグローバル割り込み保留レジスタ (CGINTP) 記述変更	
	11.10(12) CAN1割り込み保留レジスタ (C1INTP) 記述変更	
	11.10(13) CANストップ・レジスタ (CSTOP) 注意追加	
	11.10(14) CANグローバル・ステータス・レジスタ (CGST) 記述変更, 注, 注意の記述追加	
	11.10(16) CANメイン・クロック選択レジスタ (CGCS) 記述追加, 注, 注意の記述追加	
	11.10(18) CANメッセージ検索開始 / 結果レジスタ (CGMSS (ライト時) / CGMSR (リード時)) 注意追加	

版数	前版までの改版内容	適用箇所
第4版	11. 10 (19) CAN1アドレス・マスクレジスタL, H (C1MASKLa, C1MASKHa) 記述追加	第11章 FCANコントローラ
	11. 10 (20) CAN1コントロール・レジスタ (C1CTRL) 注意の記述追加	
	11. 10 (21) CAN1定義レジスタ (C1DEF) 注意の記述追加	
	11. 10 (24) CAN1割り込み許可レジスタ (C1IE) 記述追加	
	11. 10 (28) CAN1同期コントロール・レジスタ (C1SYNC) 記述追加, 注追加	
	図11 - 27 初期設定処理 記述追加	
	図11 - 32 CAN1同期コントロール・レジスタ (C1SYNC) の設定 注追加	
	図11 - 37 メッセージ・バッファの設定 記述追加	
	図11 - 40 CANメッセージ・ステータス・レジスタ00-31 (M_STAT00-M_STAT31) の設定追加	
	図11 - 42 受信完了割り込みと受信ポーリングによる受信動作の設定 記述変更	
	図11 - 43 CANメッセージ検索開始 / 結果レジスタ (CGMSS/CGMSR) の設定 追加	
	図11 - 47 CANストップ・モードの設定 記述追加	
	図11 - 48 CANストップ・モードの解除 記述追加	
	11. 12 ボー・レートを正しく設定するための規則について 記述変更	
	図11 - 50 シーケンシャル・データ・リード 記述変更	
	11. 13. 2 パースト・リード・モード 注意の記述追加	
	11. 16 使用上の注意 記述追加	
	14. 4 ポート機能の動作 追加	第14章 ポート機能
	18. 1 (4) (c) リード・サイクル (CLKOUT同期 / 非同期, 1ウエイト) 注意追加	第18章 電気的特性
	18. 1 (4) (d) ライト・サイクル (CLKOUT同期 / 非同期, 1ウエイト) 注意追加	
18. 1 (4) (e) バス・ホールド 注意追加		
18. 1 (7) タイマ動作周波数 注1, 2追加		
18. 2 フラッシュ・メモリ・プログラミング・モード ( $\mu$ PD70F3116) 基本特性 V <sub>PP</sub> 電源電圧 (V <sub>PPL</sub> ) 記述変更		
C. 2 インストラクション・セット (アルファベット順) MUL, MULUに注22追加	付録C 命令セット一覧	
付録D 改版履歴 記述変更	付録D 改版履歴	
第5版	次の鉛フリー製品を追加 $\mu$ PD703116GJ-xxx-UEN-A, 70F3116GJ-UEN-A, 703116GJ(A)-xxx-UEN-A, 70F3116GJ(A)-UEN-A, 703116GJ(A1)-xxx-UEN-A, 70F3116GJ(A1)-UEN-A	全般
	1. 2 特 徴 命令数を変更	第1章 インTRODクション
	表3 - 2 システム・レジスタ番号 注追加	第3章 CPU機能
	3. 2. 2 (1) 割り込み時状態退避レジスタ (EIPC, EIPSW), (2) NMI時状態退避レジスタ (FEPC, FEPSW), (5) CALLT実行時状態退避レジスタ (CTPC, CTPSW), (6) 例外/ディバグ・トラップ時状態退避レジスタ (DBPC, DBPSW), (7) CALLTベース・ポインタ (CTBP) 追加	
	図3 - 8 プログラマブル周辺I/Oレジスタの配置アドレス設定例 追加	
	3. 4. 9 プログラマブル周辺I/Oレジスタ 操作可能ビットおよび初期値変更	
	3. 4. 11 システム・ウエイト・コントロール・レジスタ (VSWC) 表記変更	
	3. 4. 12 (2) sld命令と割り込み競合に関する制限事項 追加	



版数	前版までの改版内容	適用箇所
第5版	6.3.5 DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3) 記述変更	第6章 DMA機能 (DMAコントローラ)
	6.3.7 DMAリスタート・レジスタ (DRST) 記述変更	
	6.3.8 DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3) 記述変更および注意追加	
	図6-7 ブロック転送例 追加	
	6.5.1 2サイクル転送 注意記述変更	
	表6-1 転送の種類と転送対象の関係 注追加	
	6.7 DMAチャンネルの優先順位 記述一部削除	
	6.8 ネクスト・アドレス設定機能 記述変更	
	図6-9 DMA転送の強制終了例 追加	
	6.14(2) ミス・アライン・データの転送, (4) DMAの起動要因 記述変更	
	6.14(5) 内蔵RAMでのプログラム実行とDMA転送 追加	
	7.1 特徴 注意追加	第7章 割り込み / 例外処理機能
	表7-1 割り込み / 例外要因一覧 注および備考追加	
	7.3.8(4) タイマ2入力フィルタ・モード・レジスタ0-5 (FEM0-FEM5) 注意追加	
	7.5.2(2) 復帰 注意追加	
	7.8 CPUが割り込みを受け付けない期間 記述変更	第8章 クロック発 生機能
	8.5.2(3) パワー・セーブ・コントロール・レジスタ (PSC) 記述変更	
	表8-4 IDLEモード時の動作状態 記述追加	
	8.5.4(2)(a) ノンマスカブル割り込み要求, マスクされていないマスカブル割り込み要求による解除 注意追加	
表8-6 ソフトウェアSTOPモード時の動作状態 記述追加		
8.5.5(2)(a) ノンマスカブル割り込み要求, マスクされていないマスカブル割り込み要求による解除 注意追加		
9.1.5(4) [設定値に対する出力波形幅] (d) DTMnx = 000HまたはTM0CEDnビット= 1時にBFCMnx = 0000Hを設定した場合 追加	第9章 タイマ / カ ウンタ機能 (リアル タイム・パルス・ユ ニット)	
9.1.5(4) [設定値に対する出力波形幅] (e) BFCMnx = CM0n3 = aを設定した場合 追加		
9.2.3(1) タイマ10, 11 (TM10, TM11) 注意追加		
9.2.4(1) タイマ1/タイマ2クロック選択レジスタ (PRM02) 注削除および注記述変更		
9.2.4(6)(b) UDCモード (TUMnレジスタのCMDビット= 1)時 表記述変更		
表9-7 UDCモードのカウンタ動作一覧 記述変更		
9.3.4(1) タイマ1/タイマ2クロック選択レジスタ (PRM02) 注削除および注記述変更		
9.3.4(3) タイマ2カウント・クロック / 制御エッジ選択レジスタ0 (CSE0) 記述変更		
9.3.4(6)(a) PWM出力変化タイミングについての注意事項 追加		

版 数	前版までの改版内容	適用箇所
第5版	図10 - 1 アシクロナス・シリアル・インタフェース0のブロック図 備考追加	第10章 シリアル・インタフェース機能
	10. 2. 3 (2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) 記述一部削除および注意追加	
	10. 2. 6 (5) 連続送信時の転送レート 記述追加	
	10. 2. 7 注意事項 (2) に記述追加	
	図10 - 19 アシクロナス・シリアル・インタフェース受信完了割り込みタイミング 図変更	
	11. 10 (11) CANグローバル割り込み保留レジスタ (CGINTP) 記述変更	第11章 FCANコントローラ
	11. 10 (12) CAN1割り込み保留レジスタ (C1INTP) 記述変更	
	14. 5. 2 (1) タイマ10ノイズ除去時間選択レジスタ (NRC10) 注意追加	第14章 ポート機能
	14. 5. 2 (2) タイマ11ノイズ除去時間選択レジスタ (NRC11) 注意追加	
	14. 5. 2 (3) タイマ3ノイズ除去時間選択レジスタ (NRC3) 注意追加	
	14. 5. 3 (1) タイマ2入力フィルタ・モード・レジスタ0-5 (FEM0-FEM5) 注意追加	
	図16 - 10 フラッシュ・メモリ・プログラミング・モード 記述変更	第16章 フラッシュ・メモリ ( $\mu$ PD70F3116)
	表20 - 1 表面実装タイプの半田付け条件 (2) 追加	第20章 半田付け推奨条件

[メモ]

## 【発 行】

### NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

---

## 【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

---

## 【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : [info@necel.com](mailto:info@necel.com)

---

## 【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。

---