

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

μPD78F0711, 78F0712, 78F0714

**8 ビット・シングルチップ・マイクロコントローラ
フラッシュ・メモリ・セルフ・プログラミング**

μPD78F0711

μPD78F0712

μPD78F0714

[メモ]

目次要約

第1章	フラッシュ・メモリ・セルフ・プログラミング概要	...	10
第2章	セルフ・プログラミング機能	...	15
第3章	フラッシュ・メモリへのアクセス	...	31
第4章	CC78K0 セルフ書き込み拡張機能	...	61

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力ノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

EEPROM は、NEC エレクトロニクス株式会社の商標です。

- 本資料に記載されている内容は2007年9月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っておりません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないように、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

（注）

- （１）本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- （２）本事項において使用されている「当社製品」とは、（１）において定義された当社の開発、製造製品をいう。

はじめに

対 象 者 このユーザーズ・マニュアルは、 μ PD78F0711, 78F0712, 78F0714 のセルフ・プログラミング機能を理解し、それを用いたアプリケーション・システムを設計するユーザを対象としています。

目 的 このユーザーズ・マニュアルは、 μ PD78F0711, 78F0712, 78F0714 の内蔵フラッシュ・メモリを操作するアプリケーション・プログラムの作成方法を理解していただくことを目的としています。

構 成 このマニュアルは、大きく分けて次の内容で構成しています。

- ・フラッシュ環境の説明
- ・フラッシュ・メモリ制御ファームウェアの説明

読 み 方 このマニュアルの読者には、電気、論理回路、マイクロコントローラ、およびアセンブラ、C 言語に関する一般知識が必要です。

□一通りの機能を理解しようとするとき

→目次に従って読んでください。

□ μ PD78F0711, 78F0712, 78F0714 のハードウェア機能を知りたいとき

→ μ PD78F0711, 78F0712 ユーザーズ・マニュアル (U17890J) または μ PD78F0714 ユーザーズ・マニュアル (U16928J) を参照してください。

凡 例	データ表記の重み	: 左が上位桁, 右が下位桁
	アクティブ・ロウの表記	: $\overline{\times \times \times}$ (端子, 信号名称に上線)
	注	: 本文中につけた注の説明
	注意	: 気をつけて読んでいただきたい内容
	備考	: 本文の補足説明
	数の表記	: 2 進数 ... $\times \times \times \times$ または $\times \times \times \times B$
		10 進数 ... $\times \times \times \times$
		16 進数 ... $\times \times \times \times H$

用 語 このマニュアルで使用する用語について、その意味を次に示します。

- ・セルフ・プログラミング

ユーザ・プログラム自身によるフラッシュ・メモリへの書き込み動作です。

- ・フラッシュ・メモリ・コントロール・ファームウェア

μPD78F0711, 78F0712, 78F0714 が内蔵するソフトウェアによるフラッシュ・メモリ操作のためのインタフェースです。本文中ではファームウェアと略しています。

- ・フラッシュ環境

フラッシュ・メモリの操作が可能である状態です。通常のプログラムの実行とは異なる制限事項があります。

- ・ブロック番号

フラッシュ・メモリのブロックを示す番号です。消去やブランク・チェックの操作単位です。

- ・ブート・クラスタ (μPD78F0714 のみ対応)

ブート・スワップに使用するブート領域です。ブート・クラスタ 0 とブート・クラスタ 1 があり、ブートするクラスタを選択できます。

- ・エントリ RAM

フラッシュ関数が操作を行うために使用する RAM 領域です。ユーザ・プログラムが領域の確保を行い、フラッシュ関数を呼び出す際にその領域の先頭アドレスを指定します。

- ・内部ベリファイ

フラッシュ・メモリへの書き込み後、内部での信号レベルのチェックを行い、読み出しが正常に行われることを確認することです。内部ベリファイでエラーとなった場合、そのデバイスは故障していると判断されます。

目 次

第 1 章	フラッシュ・メモリ・セルフ・プログラミング概要	... 10
1.1	フラッシュ・メモリ・コントロール・ファームウェアの機能	... 10
1.2	フラッシュ・メモリ・コントロール・ファームウェアの制御	... 11
1.3	セルフ・プログラミング・モード	... 12
1.4	ハードウェア環境	... 13
1.5	ソフトウェア環境	... 14
第 2 章	セルフ・プログラミング機能	... 15
2.1	セルフ・プログラミングを制御するレジスタ	... 15
2.1.1	フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)	... 15
2.1.2	フラッシュ・プロテクト・コマンド・レジスタ (PFCMD)	... 18
2.1.3	フラッシュ・ステータス・レジスタ (PFS)	... 19
2.2	FLMD0 端子操作	... 20
2.3	セルフ・プログラミング・モードと FLMD0 端子の制御	... 21
2.4	フラッシュ・メモリ・コントロール・ファームウェアの機能	... 22
2.5	フラッシュ・メモリ・コントロール・ファームウェアの環境	... 23
2.6	フラッシュ・メモリ・コントロール・ファームウェアを制御するパラメータ	... 24
2.6.1	レジスタ・バンク 3	... 25
2.6.2	エントリ RAM	... 26
2.6.3	データ・バッファ	... 28
2.6.4	フラッシュ・メモリのブロック番号	... 29
2.6.5	RAM のメモリ・マップ	... 30
第 3 章	フラッシュ・メモリへのアクセス	... 31
3.1	全体フロー	... 31
3.2	初期設定	... 33
3.3	イニシャライズ	... 33
3.4	モード・チェック	... 36
3.5	ブロック・ブランク・チェック	... 38
3.6	ブロック・イレース	... 40
3.7	ワード・ライト	... 42
3.8	ブロック・ベリファイ	... 45

3.9	ゲット・インフォメーション	...	47
3.10	セット・インフォメーション	...	51
3.11	EEPROM ライト	...	53
3.12	EEPROM イレース	...	56
3.13	ステータス一覧	...	58
3.14	ブート・スワップ機能 (μ PD78F0714 のみ対応)	...	59
第4章	CC78K0 セルフ書き込み拡張機能	...	61

第 1 章 フラッシュ・メモリ・セルフ・プログラミング概要

μ PD78F0711, 78F0712, 78F0714 は、フラッシュ・メモリの書き換えを行うための、フラッシュ・メモリ・コントロール・ファームウェアをサポートしています。このファームウェアを制御することにより、アプリケーション・プログラムからのフラッシュ・メモリの書き換えが可能になります。

このセルフ・プログラミングの用途として次のようなものが考えられます。

- ・アプリケーション・プログラムによるプログラムの書き換え（フィールドでのプログラムのアップグレードなど）
- ・EEPROMTM エミュレーションとしての利用（アプリケーションによる定数データ書き換えなど）

1.1 フラッシュ・メモリ・コントロール・ファームウェアの機能

μ PD78F0711, 78F0712, 78F0714 には、フラッシュ・メモリ・コントロール・ファームウェアが内蔵されており^注、このファームウェアが提供する機能で、フラッシュ・メモリの消去や書き込みを行うことが可能になります。

注 ユーザがアクセスできないメモリ領域に配置

表1-1 ファームウェアの機能（コマンド）一覧

機能（コマンド）	内 容	
イニシャライズ	初期化	セルフ・プログラミングの準備を行います。
ブロック・イレース	ブロック消去	指定した 1 ブロック（2K バイト）を消去します。
ワード・ライト	ワード書き込み	RAM 上のデータを、フラッシュ・メモリに書き込みます。一度に最大 256 バイト（4 バイト単位）の書き込みを行います。
EEPROM ライト	EEPROM エミュレーション用データ書き込み	EEPROM エミュレーション時に、RAM 上のデータをフラッシュ・メモリに書き込みます。一度に最大 256 バイト（4 バイト単位）の書き込みを行います。
ブロック・ベリファイ	ベリファイ	指定したブロック（2K バイト）のベリファイを行います。
ブロック・ブランク・チェック	ブランク・チェック	指定したブロック（2K バイト）のブランク・チェックを行います。
モード・チェック	FLMD0 電圧チェック	FLMD0 端子の電圧レベルをチェックします。
ゲット・インフォメーション	情報取得	フラッシュ・メモリの設定情報を読み出します。
セット・インフォメーション	情報設定	セキュリティ、ブート・スワップ ^注 の設定をします。
EEPROM イレース	EEPROM エミュレーション用データ消去	EEPROM エミュレーション時に、指定した 1 ブロック中のメモリを、任意の時間（10 ms 単位）分だけ消去します。

注 ブート・スワップ機能は、μ PD78F0714 のみ対応しています。

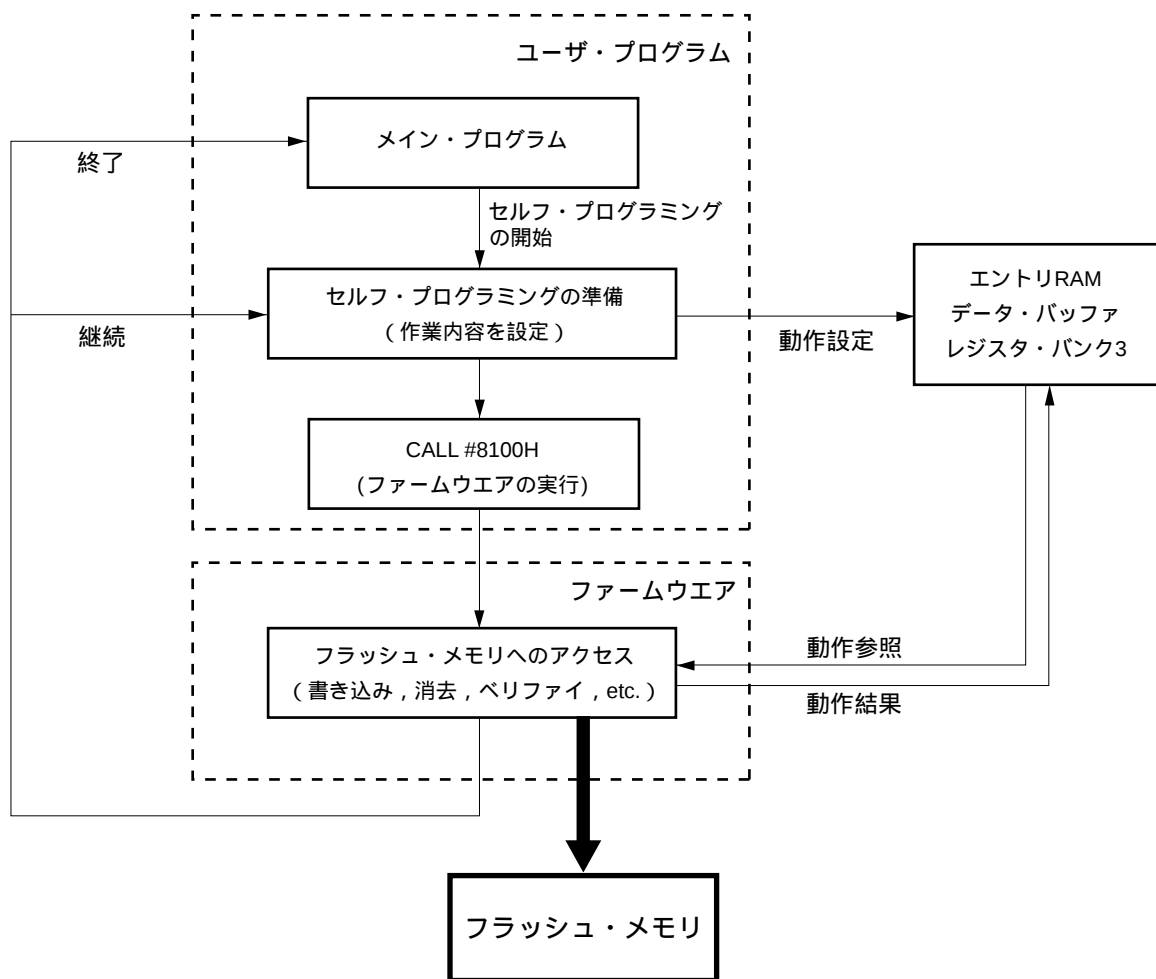
1.2 フラッシュ・メモリ・コントロール・ファームウェアの制御

ユーザはフラッシュ・メモリへの書き込みや消去を、フラッシュ・メモリ・コントロール・ファームウェア経由で行います。ユーザのアプリケーション・プログラムから、ファームウェアにセルフ・プログラミングの動作内容を指示し、ファームウェアがフラッシュ・メモリへの書き込みや消去を行います。動作内容は、メモリ領域（エントリ RAM、データ・バッファ、レジスタ・バンク 3）に設定します。

なお、ファームウェア動作中、アプリケーション・プログラムはウエイト状態です。

セルフ・プログラミングの概要を図 1 - 1 に示します。

図1 - 1 セルフ・プログラミングの概要



1.3 セルフ・プログラミング・モード

セルフ・プログラミング・モードは、FLSPM 値（FLPMC レジスタのビット 1, 0 の値）により決まります。

通常モード

ユーザ・アプリケーションを実行するモードです。

リセット解除時は、この通常モードで動作を開始します。

セルフ・プログラミング・モード

セルフ・プログラミングの準備 / 設定を行うモードです。

フラッシュ・メモリ・コントロール・ファームウェアを実行（CALL !8100H）することができます。

- 注意 1. ファームウェアを実行する前に、必ずセルフ・プログラミング・モードにしてください。
2. セルフ・プログラミングの作業がすべて終了したら、必ず通常モードにしてください。
3. セルフ・プログラミング・モードでは、8000H 番地以降のアドレスはファームウェアに割り当てられます。フラッシュ・メモリを制御するプログラムは 0000H ~ 7FFFH 番地に配置してください。

表1 - 2 セルフ・プログラミング・モード

モード	FLSPMC レジスタ		ファームウェアの実行 (CALL !8100H)	ユーザ・プログラムの実行
	FLSPM1	FLSPM0		
通常モード	0	0	-	○
セルフ・プログラミング・モード	0	1	○	○注

注 0000H ~ 7FFFH の範囲のみ、アクセス（命令フェッチ、データのリード）が可能です。

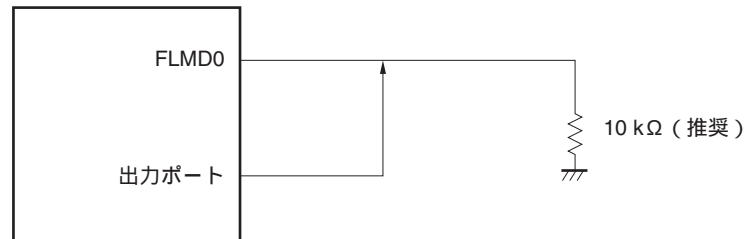
注意 FLSPM1, FLSPM0 = 1, 0 または 1, 1 は設定禁止です。

備考 ○ : 可能, - : 不可

1.4 ハードウェア環境

FLMD0 端子の電圧は、通常動作中はロウ・レベル、セルフ・プログラミング中はハイ・レベルにする必要があります。図 1 - 2 は、ポートを操作することにより、FLMD0 端子の電圧を切り替える回路の例です。

図 1 - 2 FLMD0 電圧の生成回路の例



1.5 ソフトウェア環境

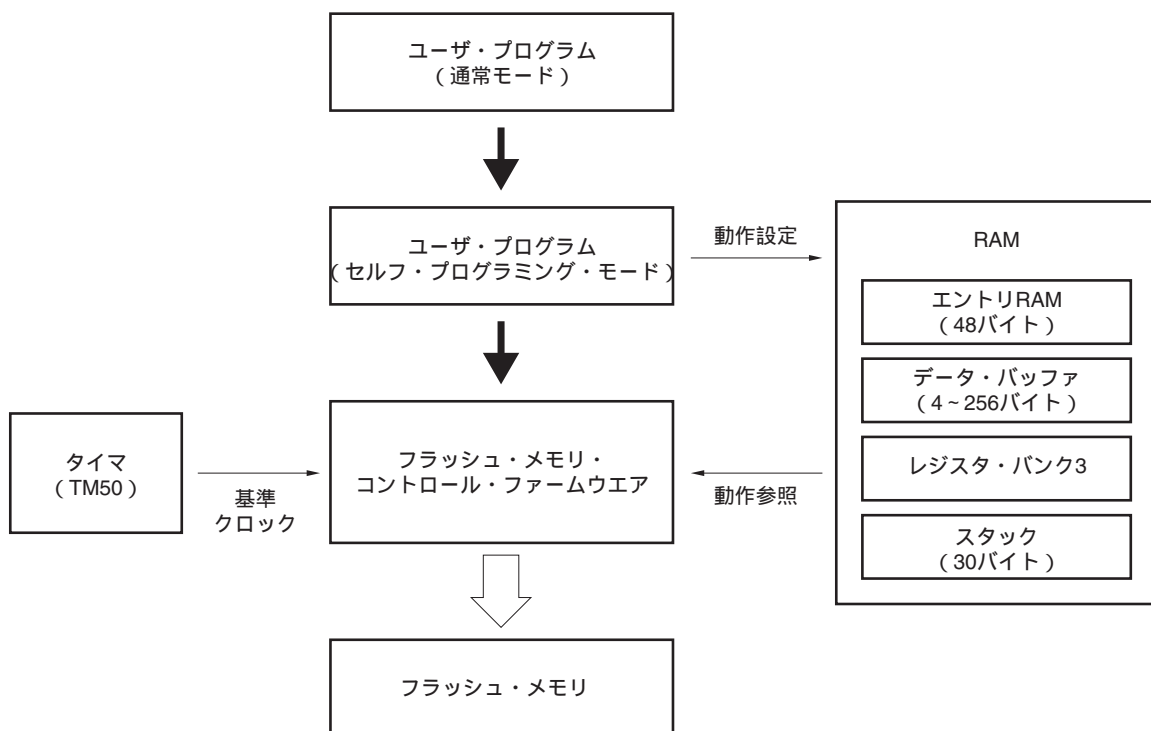
セルフ・プログラミングを行うときに、次の表 1 - 3、図 1 - 3 で示すリソースが必要になります。

項目の詳細については、2.6 フラッシュ・メモリ・コントロール・ファームウェアを制御するパラメータを参照してください。

表 1 - 3 ソフトウェア・リソース

項 目	内 容
レジスタ・バンク	レジスタ・バンク 3
タイマ	8 ビット・タイマ (TM50)
データ・バッファ	4 ~ 256 バイト (4 バイト単位で設定可能)
エントリ RAM	48 バイト
スタック	最大 30 バイト (ユーザ・プログラムと同一スタック領域を使用)

図 1 - 3 ソフトウェア環境



第2章 セルフ・プログラミング機能

2.1 セルフ・プログラミングを制御するレジスタ

2.1.1 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)

フラッシュ・メモリへのアクセス（書き込み／消去など）の禁止／許可と，セルフ・プログラミング動作のモードを指示するレジスタです。

このレジスタは，ノイズや誤動作で不用意に設定できないようにするため，特定シーケンスによってのみ書き込み可能です。特定シーケンスについては，2.1.2 フラッシュ・プロテクト・コマンド・レジスタ (PFCMD) を参照してください。

リセット値：08H R/W^注

略号	7	6	5	4	3	2	1	0
FLPMC	0	0	0	0	FWEDIS	FWEPR	FLSPM1	FLSPM0

注 ビット2はRead onlyです。

[FWEDIS]

フラッシュ・メモリへのアクセス（書き込み／消去など）の許可／禁止をソフトウェア的に制御するフラグです。このフラグの初期値は“1”であり，“0”を書き込むことによってフラッシュ・メモリへのアクセスが許可となります。

FWEDIS	内 容
0	許可
1	禁止

[FWEPR]

フラッシュ・メモリへのアクセス（書き込み／消去など）の許可／禁止をハードウェア的に制御するフラグで，FLMD0端子の電圧を直接反映します。

FLMD0 端子の電圧	FWEPR ^注	内 容
ロウ・レベル (V _{SS})	0	禁止
ハイ・レベル (V _{DD})	1	許可

注 FWEPR ビットはRead onlyです。ソフトウェアで値の変更はできません。

ただし，インサーキット・エミュレータを使用した場合は，上書きによっても値が変わります。

FWEDIS と FWEPR の組み合わせで、フラッシュ・メモリのアクセスが可能になります。

FWEDIS	FWEPR	フラッシュ・メモリの書き込み / 消去の可否
0	1	書き込み / 消去 可能
上記以外		書き込み / 消去 不可

注意 1. フラッシュ・メモリの書き込み / 消去など、フラッシュ・メモリ・コントロール・ファームウェアを実行するときは、必ず FWEDIS を “ 0 ” に設定してください。

2. 通常モード時は必ず FWEDIS を “ 1 ” に設定してください。

[FLSPM0, FLSPM1]

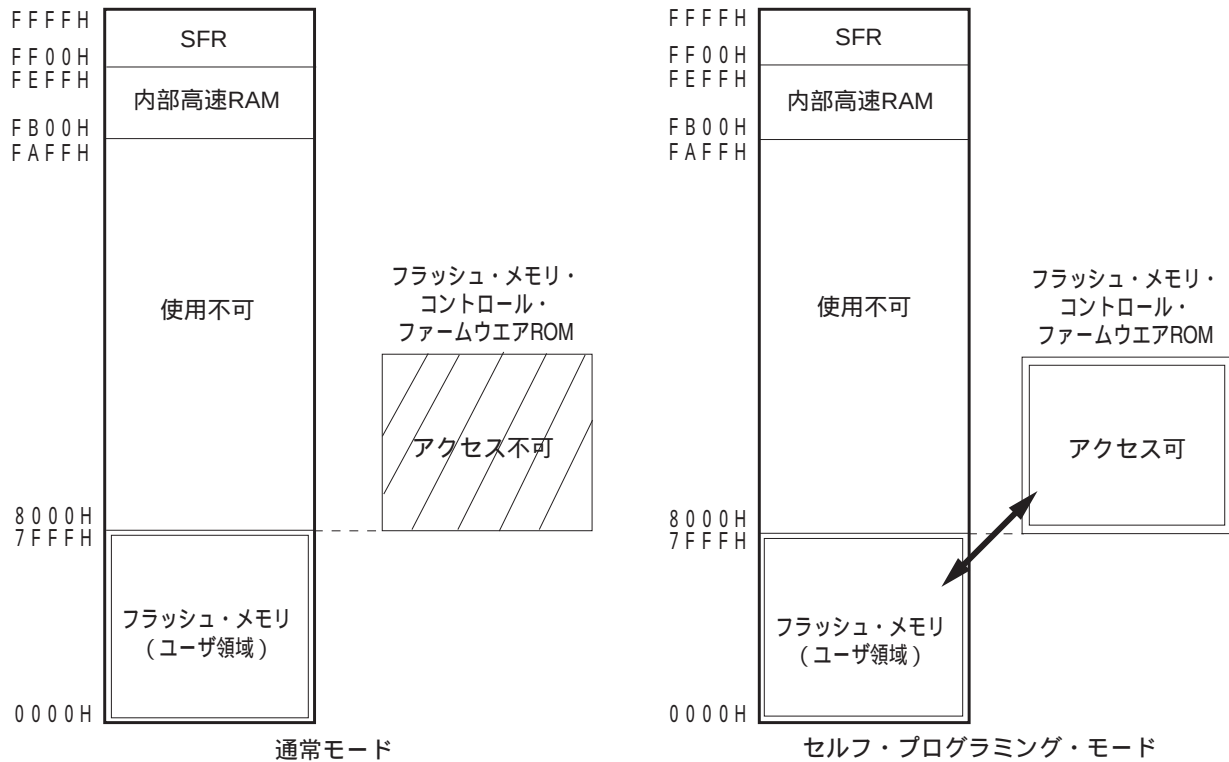
セルフ・プログラミングの動作モードを選択するための制御フラグです。このフラグにより、セルフ・プログラミング・モードが選択できます。

FLSPM1	FLSPM0	モード選択
0	0	通常モード ・フラッシュ・メモリの全アドレス領域に対して、アクセス（命令のフェッチ，データのリード）が可能
0	1	セルフ・プログラミング・モード ・ファームウェアの実行 “ CALL #8100H ” が可能 ・フラッシュ・メモリに対して、アクセス（命令フェッチ，データのリード）が可能

注意 FLSPM1, FLSPM0 = 1, 0 または 1, 1 は設定禁止です。

セルフ・プログラミングの動作モードとメモリ・マップを図2-1に示します。

図2-1 セルフ・プログラミングの動作モードとメモリ・マップ (μPD78F0714の場合)



注意 フラッシュ・メモリ・コントロール・ファームウェアを制御するプログラムは0000H~7FFFHの範囲に配置してください。

2.1.2 フラッシュ・プロテクト・コマンド・レジスタ (PFCMD)

プログラムの暴走などによるフラッシュ・メモリへの誤った書き込みや消去を防ぐため、このレジスタによりフラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) の書き込みにプロテクションを施します。

FLPMC は特定レジスタであり、次に示す特定シーケンスで書き込み動作を行った場合のみ、書き込みが有効となります。

PFCMD レジスタに特定の値 (= A5H) を書き込む。

FLPMC レジスタに、設定したい値を書き込む (このステップでの書き込みは無効)。

FLPMC レジスタに、設定したい値の反転値を書き込む (このステップでの書き込みは無効)。

FLPMC レジスタに、設定したい値を書き込む (このステップでの書き込みが有効)。

注意 FLPMC レジスタを変更する場合は、そのたびに上記シーケンスを実行する必要があります。

リセット値：不定 W

略号	7	6	5	4	3	2	1	0
PFCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

< 特定シーケンスの記述例 >

FLPMC に 05H を書き込む場合

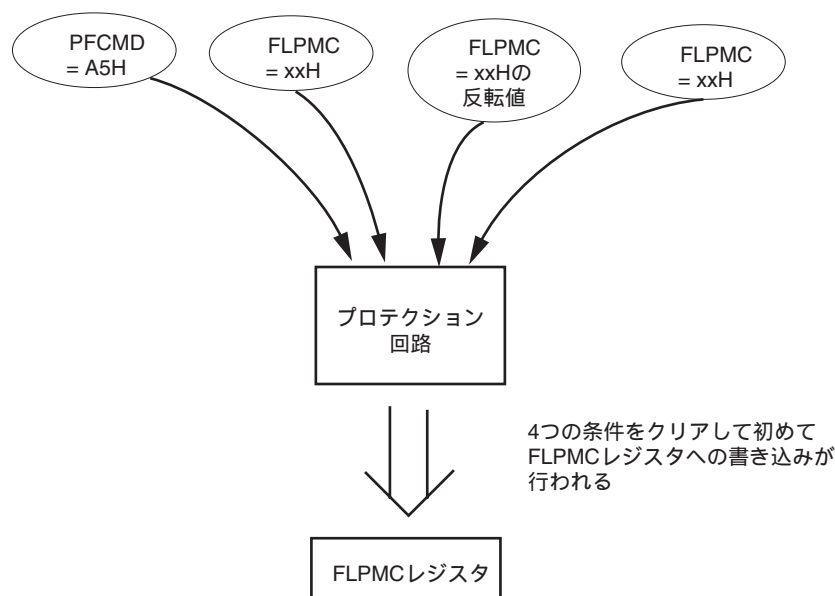
MOV PFCMD, #0A5H ; PFCMD に A5H を書き込む。

MOV FLPMC, #05H ; FLPMC に 05H を書き込む。

MOV FLPMC, #0FAH ; FLPMC に 0FAH (05H の反転) を書き込む。

MOV FLPMC, #05H ; FLPMC に 05H を書き込む。

図2-2 書き込みのプロテクション



2.1.3 フラッシュ・ステータス・レジスタ (PFS)

フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) に対して、正しいシーケンスで書き込みを行わなかった場合、FLPMC レジスタの設定は行われず、プロテクション・エラーが発生します。このとき、PFS レジスタのビット 0 (FPRERR) がセット (1) されます。

このフラグは、蓄積フラグです。

リセット値：00H R/W

略号	7	6	5	4	3	2	1	0
PFS	0	0	0	0	0	0	0	FPRERR

FPRERR フラグの動作条件を次に示します。

< セット条件 >

- ・最近の周辺レジスタに対するストア命令動作が、PFCMD レジスタへの特定値 (= A5H) の書き込み動作ではない状態で、PFCMD レジスタへの書き込みを行ったとき。
- ・後の最初のストア命令動作が、FLPMC レジスタ以外の周辺レジスタに対するとき。
- ・後の最初のストア命令動作が、FLPMC レジスタ以外の周辺レジスタに対するとき。
- ・後の最初のストア命令動作で、FLPMC レジスタに設定したい値の反転値以外の値を書き込んだとき。
- ・後の最初のストア命令動作が、FLPMC レジスタ以外の周辺レジスタに対するとき。
- ・後の最初のストア命令動作で、FLPMC レジスタに、設定したい値 (の書き込み値) 以外の値を書き込んだとき。

備考 上記の丸数字は、前述 2.1.2 の丸数字と対応しています。

< リセット条件 >

- ・PFS レジスタのビット 0 (FPRERR) に "0" を書き込んだとき。
- ・システム・リセットを行ったとき。

2.2 FLMD0 端子操作

セルフ・プログラミングにおいて、FLMD0 端子のレベルを変化させる必要があります。

なお、ファームウェアの実行には、FLMD0 端子のハイ・レベル入力のほか、FWEDIS = 0 の条件も必要です。

表2 - 1 フラッシュ書き込みモードによるFLMD0の端子レベル

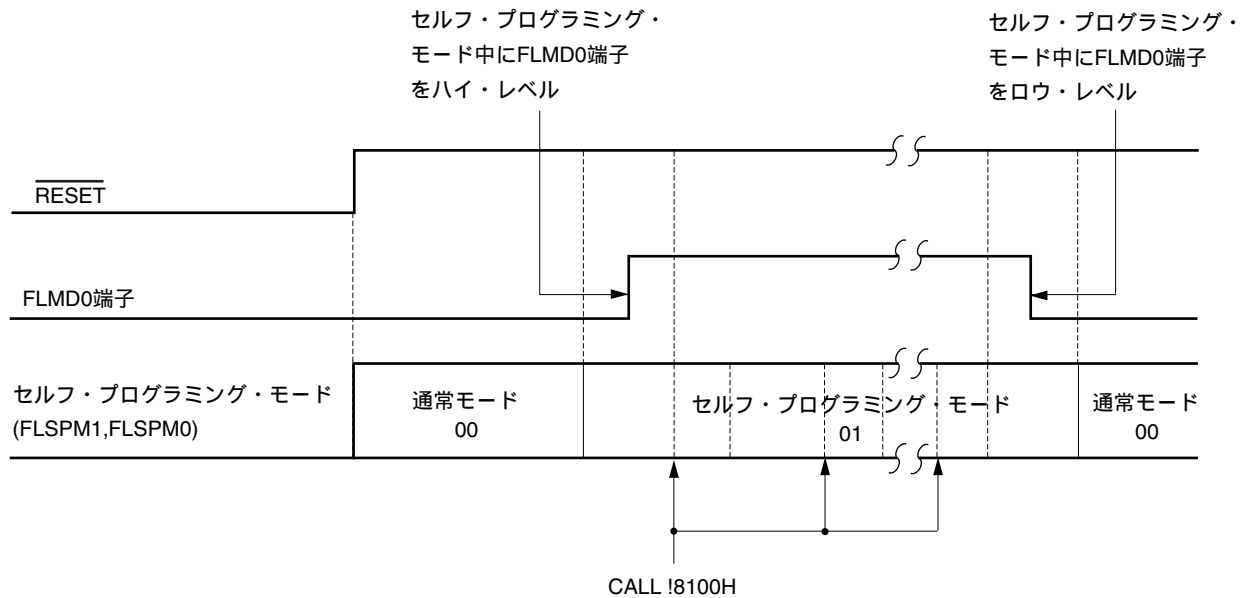
端子名称	通常モード (FLSPM1, FLSPM0 = 0, 0)	セルフ・プログラミング・モード (FLSPM1, FLSPM0 = 0, 1)
FLMD0	ロウ・レベル	ハイ・レベル

注意 FLMD0 端子はテスト端子と兼用しているため、リセット解除時の FLMD0 端子の電圧は V_{SS} にしてください。

2.3 セルフ・プログラミング・モードとFLMD0 端子の制御

実際の、各レジスタとFLMD0 端子の電圧変化のタイミングは図2-3 のようになります。

図2-3 セルフ・プログラミング・モードとFLMD0信号のタイミング



注意 リセットの解除は、FLMD0 端子にロウ・レベルを入力した状態で行ってください。

セルフ・プログラミング・モード設定後、ファームウェアの実行 (CALL !8100H) 前に、FLMD0 端子にハイ・レベルを入力し、ファームウェアの動作が終了するまで固定させてください。また通常モードに戻る前に、FLMD0 端子にロウ・レベルを入力してください。

2.4 フラッシュ・メモリ・コントロール・ファームウェアの機能

フラッシュ・メモリ・コントロール・ファームウェアの機能（コマンド）一覧を表2-2に示します。

これらの機能は、セルフ・プログラミング・モードで機能番号を指定します。

各機能の詳細については、第3章 フラッシュ・メモリへのアクセスを参照してください。

表2-2 ファームウェア機能（コマンド）一覧

機能番号	機能（コマンド）	内 容	
00H	イニシャライズ	初期化	セルフ・プログラミングの初期設定を行います。
01H	予約		
02H	予約		
03H	ブロック・イレース	ブロック消去	指定した1ブロック（2Kバイト）のデータを消去します。
04H	ワード・ライト	ワード書き込み	RAM上のデータをフラッシュ・メモリに書き込みます。一度に最大256バイト（4バイト単位）の書き込みを行います。
05H	予約		
06H	ブロック・ベリファイ	ベリファイ	指定した1ブロック（2Kバイト）のベリファイを行います。
07H	予約		
08H	ブロック・ブランク・チェック	ブランク・チェック	指定した1ブロック（2Kバイト）のブランク・チェックを行います。
09H	ゲット・インフォメーション	情報取得	フラッシュ・メモリの設定情報を読み出します。
0AH	セット・インフォメーション	情報設定	セキュリティ、ブート・スワップ ^注 などの設定をします。
0BH	予約		
0CH	予約		
0DH	予約		
0EH	モード・チェック	FLMD0 電圧チェック	FLMD0 端子の電圧レベルをチェックします。
0FH-16H	予約		
17H	EEPROM ライト	EEPROM エミュレーション用データ書き込み	EEPROM エミュレーション時に、RAM上のデータをフラッシュ・メモリに書き込みます。一度に最大256バイト（4バイト単位）の書き込みを行います。
1CH	EEPROM イレース	EEPROM エミュレーション用データ消去	EEPROM エミュレーション時に、指定した1ブロック中のメモリを、任意の時間（10 ms 単位）分だけ消去します。

注 ブート・スワップ機能は、 μ PD78F0714 のみ対応しています。

2.5 フラッシュ・メモリ・コントロール・ファームウェアの環境

フラッシュ・メモリ・コントロール・ファームウェア動作時に必要とされる条件を表2-3に示します。

表2-3 ファームウェア動作時の条件

項 目	内 容
エントリ RAM 領域の確保	ファームウェア動作時、エントリ RAM 領域として 48 バイトが必要です。このエントリ RAM 領域は、内部高速 RAM 上の任意のアドレスを指定することができます。
スタック領域の確保	ファームウェア動作時、ユーザ・プログラムが使用しているスタックを継承して使用します。ファームウェア実行開始時のスタック・アドレスから、さらに 30 バイトのスタック領域が必要です。
データ・バッファの確保	フラッシュ・メモリへの書き込みにおいて、書き込むデータを一時的に保持する領域が必要です。これをデータ・バッファとして、内部高速 RAM 上の任意のアドレスと任意のサイズ（4～256 バイト：4 の倍数のみ）を指定することができます。
汎用レジスタ値の保存	ファームウェア動作時、レジスタ・バンク 3 の値を書き換えるため。必要に応じてレジスタ・バンク 3 の値の保存と復帰を行ってください。
タイマ（TM50）	内蔵タイマ（TM50）はファームウェアが使用するため、ファームウェア動作中に TM50 をユーザ・プログラムで使用できません。必ず TM50 の割り込みをマスクしてください。また TM50 はファームウェア動作終了後に初期化されるので、ユーザ・プログラムで使用する場合は、再設定が必要です。
WDT の動作	ファームウェアは、定期的に WDT のウォッチドック・タイマ・イネーブル・レジスタをリフレッシュします。 ファームウェア実行中に WDT によるリセットなどは発生しません。
割り込みのマスク	ファームウェア実行前に、すべての割り込みを禁止してください。割り込みの禁止は、割り込みマスク・フラグ・レジスタか DI 命令によって行ってください。ただし TM50 は必ず割り込みマスク・フラグ・レジスタでマスクしてください。
セルフ・プログラミングのプログラムの配置	セルフ・プログラミング・モードでは、0～7FFFH までの命令が実行できます。
FLMD0 電圧の操作	ファームウェアを実行する前に、FLMD0 端子への電圧を V_{DD} 電圧で安定させてください。通常モードに移行する前に、FLMD0 端子への電圧を V_{SS} にしてください。
リセット	ファームウェア動作時にこのマイコンをリセットすると、リセット発生時にアクセスしているフラッシュ・メモリのデータが不定となります。 ^注
電源切断 / 電源瞬断	ファームウェア動作時は安定した電圧をマイコンに供給してください。電源切断 / 電源瞬断時にアクセスしているフラッシュ・メモリのデータが不定となります。 ^注

注 電源瞬断の対策には、3.14 ブート・スワップ機能（ μ PD78F0714 のみ対応）を参照してください。

2.6 フラッシュ・メモリ・コントロール・ファームウェアを制御するパラメータ

前述したように、フラッシュ・メモリへの消去や書き込みは、ファームウェアが行います。

ユーザ・アプリケーションからファームウェアへの動作指示は、RAM 上のパラメータ経由で行われます。

制御パラメータとして、次の3種類のパラメータがあります。

- ・レジスタ・バンク 3
- ・エントリ RAM
- ・データ・バッファ

次に各パラメータの内容を説明します。

2.6.1 レジスタ・バンク 3

フラッシュ・メモリ・コントロール・ファームウェアを実行する際、ファームウェアの機能番号をレジスタ・バンク 3 の C レジスタに、エントリ RAM の先頭アドレスを HL レジスタに設定します。

なお、ファームウェアの実行結果は B レジスタで確認します。

表2-4 レジスタ・バンク3のパラメーター一覧

レジスタ 機能名	C レジスタ 機能番号	B レジスタ 実行結果（戻り値）	HL レジスタ	AX レジスタ	DE レジスタ
イニシャライズ	00H	00H：正常終了 05H：パラメータ・エラー	エントリ RAM の先頭アドレス ^注	未使用 (ファームウェアが使用)	
ブロック・イレース	03H	00H：正常終了 05H：パラメータ・エラー 1AH：消去エラー			
ワード・ライト	04H	00H：正常終了 05H：パラメータ・エラー 18H：FLMD0 エラー 1CH：ライト・エラー			
ブロック・ベリファイ	06H	00H：正常終了 05H：パラメータ・エラー 1BH：内部ベリファイ・エラー			
ブロック・ブランク・チェック	08H	00H：正常終了 05H：パラメータ・エラー 1BH：ブランク・チェック・エラー			
ゲット・インフォメーション	09H	00H：正常終了 05H：パラメータ・エラー			
セット・インフォメーション	0AH	00H：正常終了 05H：パラメータ・エラー 18H：FLMD0 エラー 1BH：内部ベリファイ・エラー 1CH：ライト・エラー			
モード・チェック	0EH	00H：正常終了 01H：エラー			
EEPROM ライト	17H	00H：正常終了 05H：パラメータ・エラー 18H：FLMD0 エラー 1CH：ライト・エラー 1DH：内部ベリファイ・エラー 1EH：ブランク・エラー			
EEPROM イレース	1CH	00H：正常終了 05H：パラメータ・エラー 1AH：消去エラー			

注 内部高速 RAM 上の任意のアドレスを設定できます。ただし 48 バイトの領域を確保してください。

2.6.2 エントリ RAM

エントリ RAM は、ファームウェアの機能を設定する 48 バイトの領域です。その設定内容はファームウェアの機能によって異なります。

エントリ RAM は、内部高速 RAM 上の任意のアドレスに配置でき、レジスタ・バンク 3 の HL レジスタで、エントリ RAM の先頭アドレスを設定します。また表 2 - 5 のように各パラメータは、「エントリ RAM の先頭アドレス + オフセット値」に配置されます。

エントリ RAM は、ファームウェアのワーク・エリアとしても使用します。このためセルフ・プログラミング中に、パラメータ以外のデータを変更しないでください。

表2-5 エントリRAMのパラメータ一覧

オフセット値 機能名 (Cレジスタ)	機能 番号	+00H	+01H	+02H	+03H	+04H ~ +06H	+07H	+08H, +09H	+0AH	+0BH	+0CH ~ +2FH
イニシャライズ	00H	00H: 正常終了 05H: パラメータ・エラー						データ・ バッファ 先頭アドレス			
ブロック・イレ- ース	03H	00H: 正常終了 05H: パラメータ・エラー 1AH: 消去エラー					ブロ- ック 番号				
ワード・ライト	04H	00H: 正常終了 05H: パラメータ・エラー 18H: FLMD0 エラー 1CH: ライト・エラー	フラッシュ・メモリ 先頭アドレス 下位 上位 最上位 注				ワー- ド数	データ・ バッファ 先頭アドレス			
ブロック・ベリ- ファイ	06H	00H: 正常終了 05H: パラメータ・エラー 1BH: 内部ベリファイ・エラー					ブロ- ック 番号				
ブロック・ブラン- ク・チェック	08H	00H: 正常終了 05H: パラメータ・エラー 1BH: ブランク・エラー					ブロ- ック 番号				
ゲット・インフ- ォメーション	09H	00H: 正常終了 05H: パラメータ・エラー	ブロ- ック 番号				オブ- ショ- ン値	データ・ バッファ 先頭アドレス			
セット・インフ- ォメーション	0AH	00H: 正常終了 05H: パラメータ・エラー 18H: FLMD0 エラー 1BH: 内部ベリファイ・エラー 1CH: ライト・エラー						データ・ バッファ 先頭アドレス			
モード・チェッ- ク	0EH	00H: 正常終了 01H: エラー									
EEPROM ライト	17H	00h: 正常終了 05H: パラメータ・エラー 18H: FLMD0 エラー 1CH: ライト・エラー 1DH: 内部ベリファイ・エラー 1EH: ブランク・エラー	フラッシュ・メモリ 先頭アドレス 下位 上位 最上位 注				ワー- ド数	データ・ バッファ 先頭アドレ- ス			
EEPROM イレ- ース	1CH	00H: 正常終了 05H: パラメータ・エラー 1AH: 消去エラー					ブロ- ック 番号			リト- ライ 回数	

注 最上位アドレスは 00H を設定してください。

2.6.3 データ・バッファ

データ・バッファはフラッシュに書き込むデータや設定情報の受け渡しに使用する領域で、その内容はファームウェアの機能によって異なります。

データ・バッファは内部高速 RAM 上の任意のアドレスに配置でき、エントリ RAM でその先頭アドレスを指定します。またデータ・バッファのサイズは機能により異なり、4～256 バイトの領域が必要です^注。

注 ワード・ライトを行うときのみ、データ・バッファのサイズをエントリ RAM で設定します。4～256 バイトの範囲（4 バイト単位）で一度に書き込むデータのサイズを設定可能です。

表2-6 データ・バッファのパラメーター一覧

機能名		機能番号	データ・バッファのサイズ (バイト)	データ・バッファの内容					
				+00H	+01H	+02H	+03H	+04H ~ +FFH	
	オプション値 エントリー RAM								
イニシャライズ		00H	4	周波数データ	データ 1	データ 2	データ 3	データ 4	未使用
ブロック・イレース		03H	-	-	未使用				
ワード・ライト		04H	4-256	書き込みデータ	書き込みデータ				
ブロック・ベリファイ		06H	-	-	未使用				
ブロック・ブランク・チェック		08H	-	-	未使用				
ゲット・インフォメーション	03H	09H	1	セキュリティ・フラグ	ビット 1, 0:ブロック消去禁止(1, 1 以外) / 許可(1, 1) ビット 3, 2:チップ消去禁止(1, 1 以外) / 許可(1, 1) ビット 5, 4:書き込み禁止(1, 1 以外) / 許可(1, 1) 注 1	未使用			
	04H		1	ブート・フラグ	00H:ブート領域の入れ替えを行っている 01H:ブート領域の入れ替えを行っていない	未使用			
	05H		3	指定ブロックの最終アドレス	下位アドレス	上位アドレス	最上位アドレス 注 2	未使用	
セット・インフォメーション		0AH	1	情報フラグ	ビット 0:ブート・スワップを行う(0) / 行わない(1) 注 3 ビット 1:チップ消去禁止(0) / 許可(1) ビット 2:ブロック消去禁止(0) / 許可(1) ビット 3:書き込み禁止(0) / 許可(1)	未使用			
モード・チェック		0EH	-	-	未使用				
EEPROM ライト		17H	4-256	書き込みデータ	書き込みデータ				
EEPROM イレース		1CH	-	-	未使用				

注 1. ビット 6, 7 は 1 を設定してください。

2. 最上位アドレスは 00H を設定してください。

3. ビット 0 の設定は、μ PD78F0714 のみ対応しています。

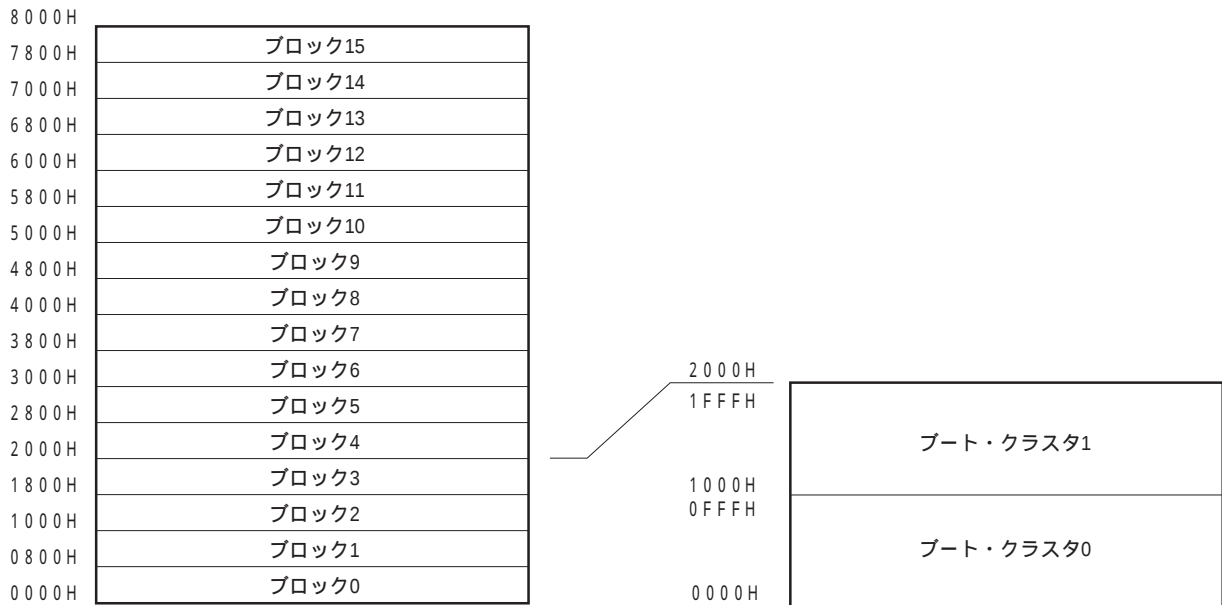
2.6.4 フラッシュ・メモリのブロック番号

ブランク・チェック，消去，ベリファイを行う領域は，ブロック（2 K バイト）単位で指定します。

ブート・スワップ（ μ PD78F0714 のみ対応）は，クラスタ（4 K バイト）単位で行います。

注意 製品が内蔵するフラッシュ・メモリ以外の領域（バンク）へのアクセスはできません。

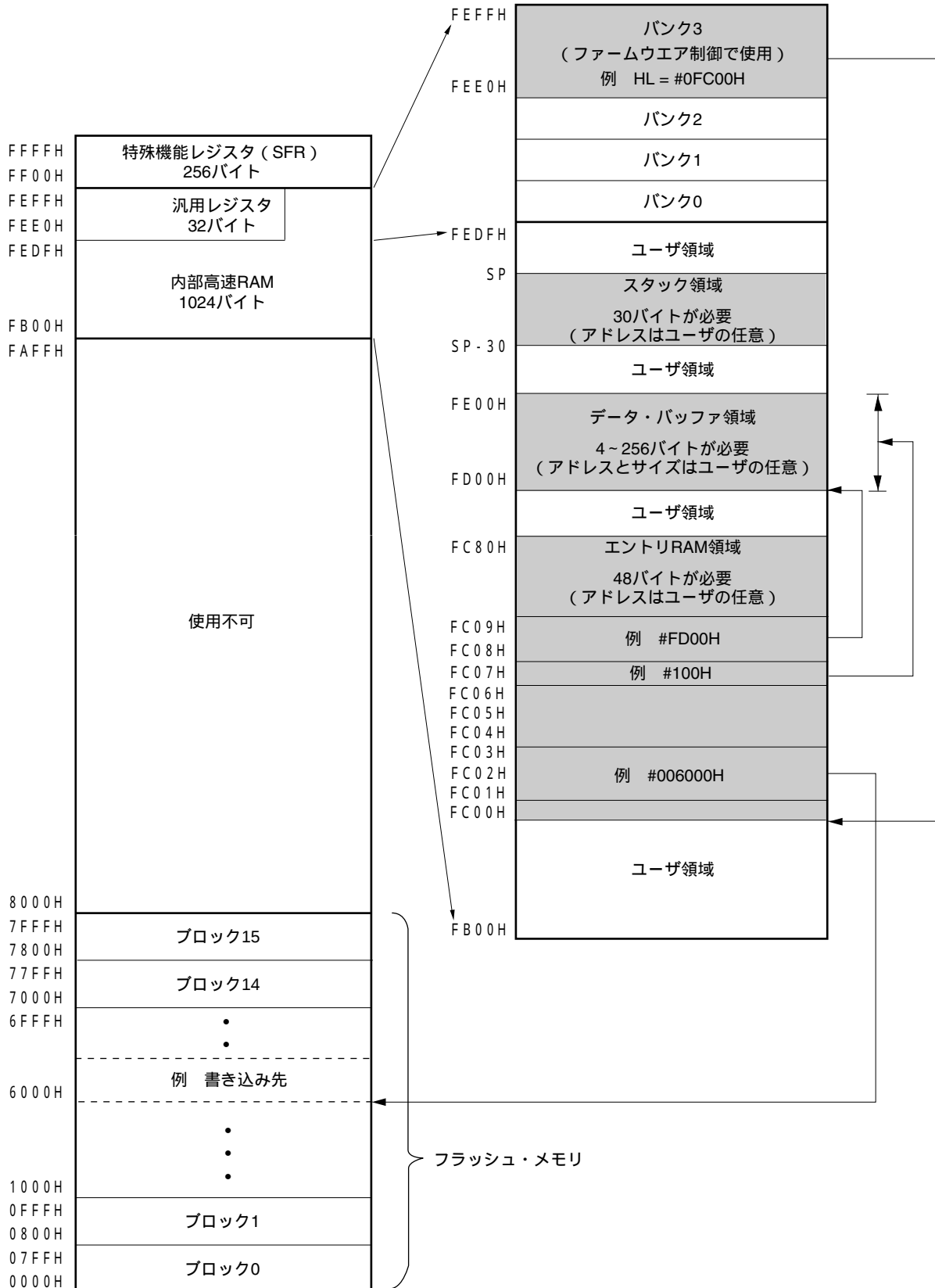
図2 - 4 ブロック番号の割り付け（ μ PD78F0714の場合）



2.6.5 RAM のメモリ・マップ

フラッシュ・プログラミング中のメモリ・マップです。

図2-5 フラッシュ・プログラミング（ワード・ライト）中のメモリ・マップ
（ μ PD78F0714での一例）



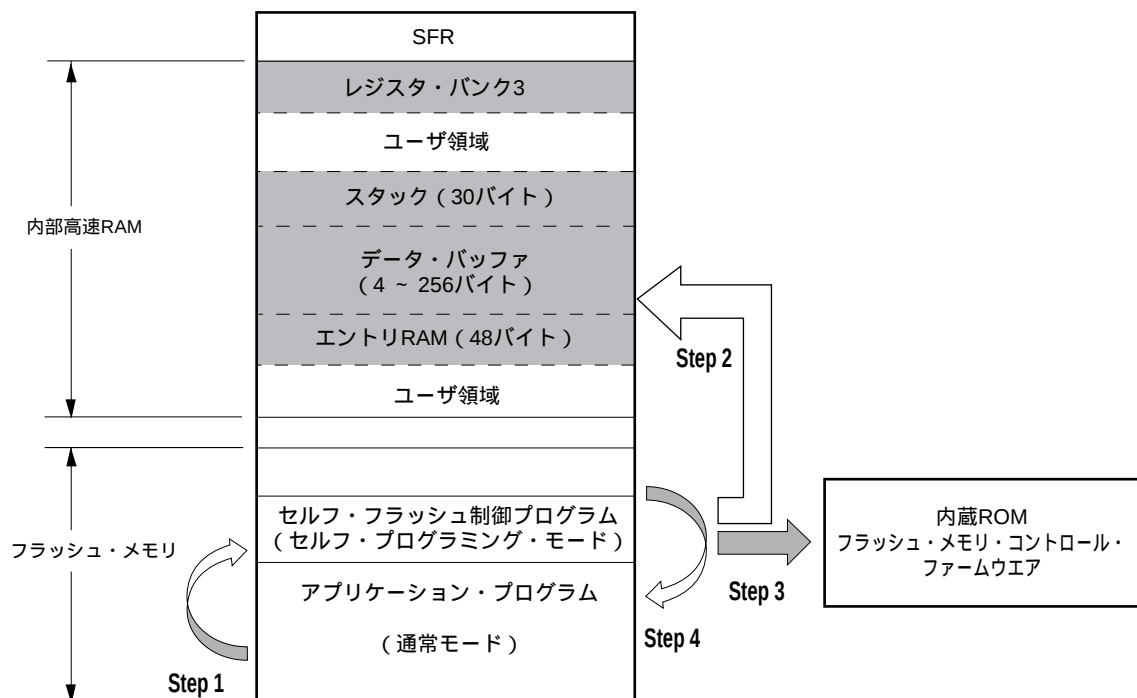
第3章 フラッシュ・メモリへのアクセス

この章では、フラッシュ・メモリへのアクセス方法の手順について説明します。

3.1 全体フロー

エントリ・プログラムからフラッシュ・メモリを操作する大まかなフローです。それぞれのフローにおいては、ハードウェアとソフトウェアの使用条件をすべて満たし、必要なパラメータを設定してからフラッシュ・メモリ・コントロール・ファームウェアを呼び出します。

図3 - 1 全体フロー（概要）



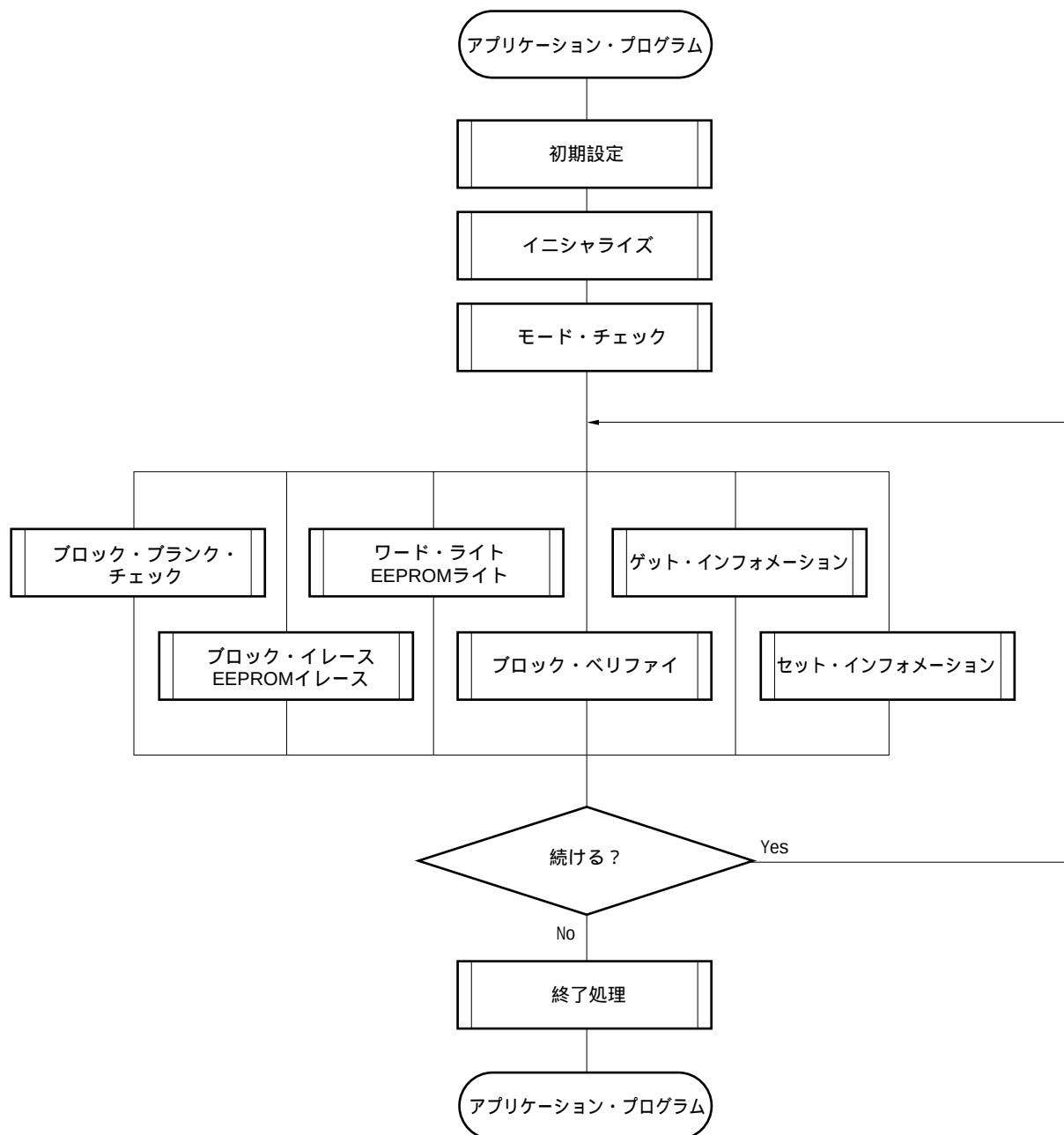
- Step 1 セルフ・フラッシュ制御プログラムの実行
- Step 2 各種の設定を行う
- Step 3 ファームウェアの実行 (CALL #8100H)
- Step 4 通常動作へ復帰

注意 セルフ・フラッシュ制御プログラムは 0000H ~ 7FFFH の範囲に配置してください。

図3-2はセルフ・フラッシュ用プログラミング部分の概要です。

フラッシュ・メモリへの書き込み/消去を行う前に、「初期設定」→「イニシャライズ」→「モード・チェック」を順に行ってください。それ以降は必要な機能を繰り返し行います。

図3-2 セルフ・フラッシュ用プログラミング（概要）



3.2 初期設定

使用条件を確認し、セルフ・プログラミングを許可します。

すべての割り込みをマスクする（割り込みマスク・フラグで割り込みをマスク，または DI 命令で実行）
TM50 を使用していない（ファームウェアが TM50 を使用します）

エントリ RAM 領域が確保可能か（RAM 上の任意アドレスに 48 バイトの領域を確保します）

スタック領域が確保可能か（ファームウェアが使用する 30 バイトのスタック領域が必要です。必要なデータは退避してください）

データ・バッファ領域が確保可能か（RAM 上の任意のアドレスに 4～256 バイトの領域を確保します）

レジスタ・バンク 3 を選択する（レジスタ・バンク 3 はファームウェア制御に使用しますので，必要なデータは退避してください）

FLPMC レジスタ[※]を変更し，セルフ・プログラミング・モード&書き込み/消去の許可モードへ移行する

FLPMC レジスタの書き換えが，正しいシーケンスで行われたか確認する（PFS レジスタが 1 にセットされている場合はエラー）

FLMD0 端子に V_{DD} を入力する（フラッシュ・メモリへのアクセスがすべて終了するまで V_{DD} 安定させる）

FWEDIS フラグが 0 に，FWEPR フラグが 1 にセットされていることを確認する

注 FLPMC レジスタのアクセスには，特別なシーケンスが必要です。詳細は 2.1.2 フラッシュ・プロテクト・コマンド・レジスタ（PFCMD）を参照してください。

3.3 イニシャライズ

（1）機能

- ・フラッシュ・ファームウェアの初期設定を行います。
- ・データ・バッファに設定する周波数データを元に，ファームウェアが使用するパラメータを算出し，エントリ RAM 上の「ファーム使用領域」に格納する。

（2）引数

項 目	内 容
機能番号	C レジスタに 00H を設定
エントリ RAM の先頭アドレス	HL レジスタに内部高速 RAM 上の任意のアドレスを設定
データ・バッファの先頭アドレス	エントリ RAM（+08H, +09H）に内部高速 RAM 上の任意のアドレスを設定
周波数データ	データ・バッファ（+00H, +01H, +02H, +03H）に周波数データを設定

(3) 戻り値

戻り値 ^注	内 容
00H	正常終了
05H	パラメータ・エラー 周波数データが設定可能範囲外の場合に発生。

注 戻り値 = B レジスタ，またはエントリ RAM 内 (+00H)

(4) ファームウェア実行後のレジスタ・メモリ状態

- ・エントリ RAM の先頭アドレス (HL レジスタ) を保持

(5) スタック・サイズ

- ・26 バイト

(6) その他

- ・周波数データ：データ・バッファに周波数データ (Hz) を 4 桁の 16 進数で設定する。

表3 - 1 発振周波数データ・フォーマット

オフセット	内 容
+0	1 桁目
+1	2 桁目
+2	3 桁目
+3	4 桁目

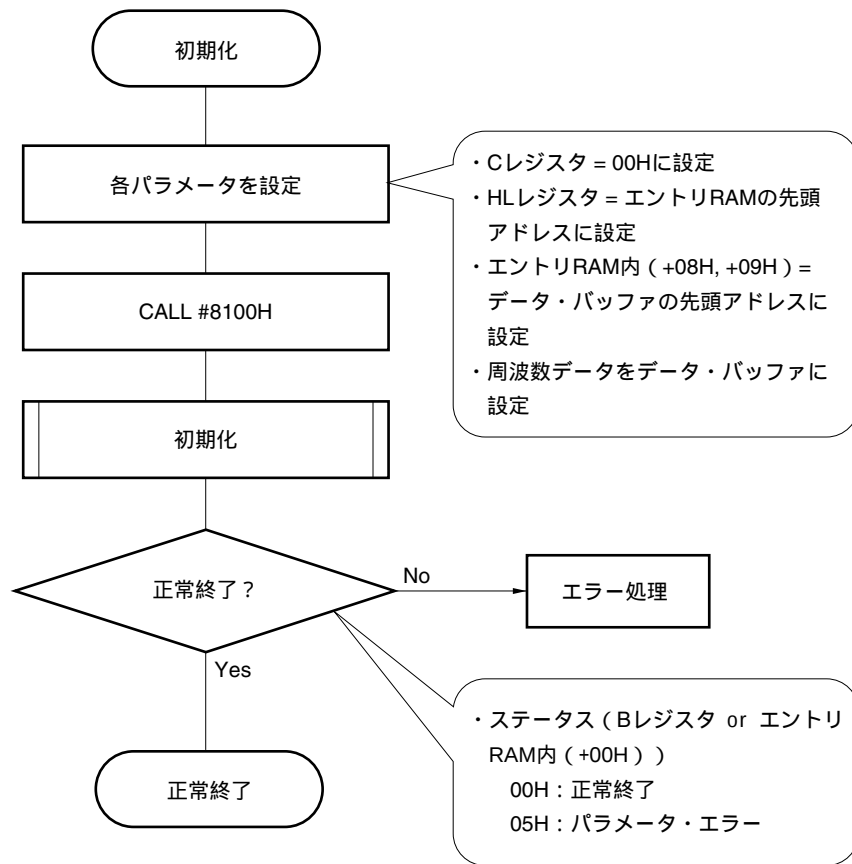
発振周波数 (Hz) = 4 桁目 × 1000000H + 3 桁目 × 10000H + 2 桁目 × 100H + 1 桁目

例 5MHz = 5000000Hz = 004C4B40H

オフセット	内 容
+0	40H : 1 桁目
+1	4BH : 2 桁目
+2	4CH : 3 桁目
+3	00H : 4 桁目

(7) フロー・チャート例

図3-3 イニシャライズ・フロー



(8) 呼び出し例

MOV C,#00H	;00H→C レジスタ イニシャライズ機能を選択
MOVW HL,#0FC00H	;0FC00H→HL レジスタ エントリ RAM の先頭アドレスを 0FC00H
	;に設定
MOVW AX,#0FD00H	;0FD00H→AX レジスタ
MOVW !0FC08H,AX	;0FD00H→エントリ RAM (+08H,+09H) データ・バッファの先頭ア
	;ドレスを 0FD00H に設定
PUSH HL	;HL レジスタを退避
MOVW HL,AX	;AX レジスタ→HL レジスタ
MOV A,#60H	;周波数データ 8.38 MHz=007FDE60H を設定
MOV [HL+0],A	;00H→0FB50H(+00H)
MOV A,#DEH	;DEH→A レジスタ
MOV [HL+1],A	;DEH→0FB51H(+01H)
MOV A,#7FH	;7FH→A レジスタ
MOV [HL+2],A	;7FH→0FB52H(+02H)
MOV A,#00H	;00H→A レジスタ
MOV [HL+3],A	;00H→0FB53H(+03H)
POP HL	;HL レジスタを復帰
CALL !8100H	;フラッシュ・ファームウェアを実行

3.4 モード・チェック

(1) 機能

- ・ FLMD0 端子のレベル（ハイ・レベル / ロウ・レベル）をチェックする。

注意 FLMD0 端子がロウ・レベルの場合，フラッシュ・メモリの消去，書き込みなどの操作が行えません。
したがってセルフ・プログラミングでフラッシュ・メモリの書き込みを行う場合には，イニシャライズ後にこのサブルーチンを実行してください。

(2) 引数

項 目	内 容
機能番号	C レジスタに 0EH を設定
エントリ RAM の先頭アドレス	HL レジスタに内部高速 RAM 上の任意のアドレスを設定

(3) 戻り値

戻り値 ^注	内 容	
00H	正常終了	
01H	エラー	FWEPR (FLPMC.2) = 0 ならばエラーを設定する。

注 戻り値 = B レジスタ，またはエントリ RAM 内 (+00H)

(4) ファームウェア実行後のレジスタ・メモリ状態

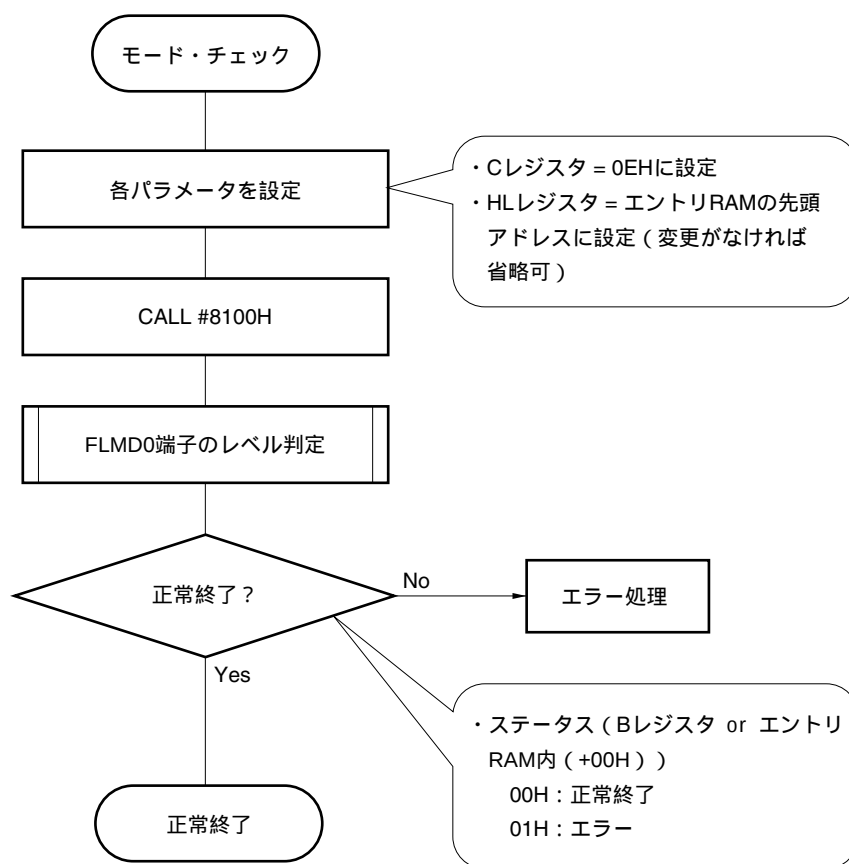
- ・ エントリ RAM の先頭アドレス (HL レジスタ) を保持

(5) スタック・サイズ

- ・ 12 バイト

(6) フロー・チャート例

図3-4 モード・チェック・フロー



(7) 呼び出し例

MOV C,#0EH	;0EH→C レジスタ モード・チェック機能を選択
MOVW HL,#0FC00H	;0FC00H→HL レジスタ エントリ RAM の先頭アドレスを 0FC00H に設定
CALL !8100H	;フラッシュ・ファームウェアを実行

3.5 ブロック・ブランク・チェック

(1) 機能

- ・指定された1ブロックのブランク・チェックを行います。

(2) 引数

項 目	内 容
機能番号	C レジスタに 08H を設定
エントリ RAM の先頭アドレス	HL レジスタに内部高速 RAM 上の任意のアドレスを設定
ブランク・チェック・ブロック	エントリ RAM (+07H) にブランク・チェックするブロックの番号を設定

(3) 戻り値

戻り値 ^注	内 容	
00H	正常終了	
05H	パラメータ・エラー	指定ブロック番号が設定可能範囲外（総ブロック数以上）の場合に発生。
1BH	ブランク・チェック・エラー	書き込みワード数分の空き領域がなかった場合に発生。

注 戻り値 = B レジスタ，またはエントリ RAM 内 (+00H)

(4) ファームウェア実行後のレジスタ・メモリ状態

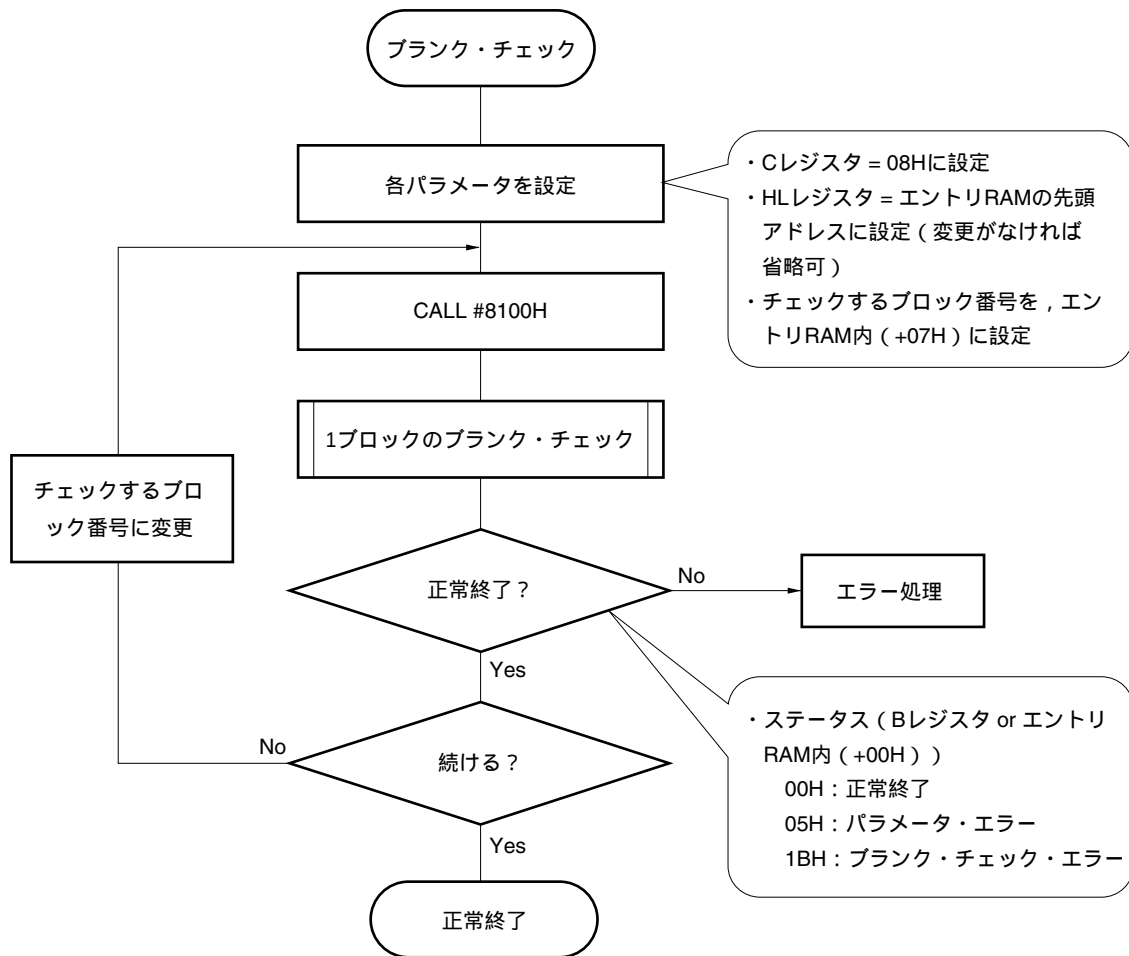
- ・エントリ RAM の先頭アドレス（HL レジスタ）を保持

(5) スタック・サイズ

- ・14 バイト

(6) フロー・チャート

図3 - 5 ブロック・ブランク・チェック・フロー



(7) 呼び出し例

MOV C,#08H	;08H→C レジスタ ブロック・ブランク・チェック機能を選択
MOVW HL,#0FC00H	;0FC00H→HL レジスタ エントリ RAM の先頭アドレスを 0FC00H に設定
MOV A,#0	;00H→A レジスタ
MOV [HL+7],A	;00H→エントリ RAM (+07H) ブランク・チェックを行う領域をブロック 0 に指定
CALL !8100H	;フラッシュ・ファームウェアを実行

3.6 ブロック・イレース

(1) 機能

- ・指定された 1 ブロックを消去する。

(2) 引数

項 目	内 容
機能番号	C レジスタに 03H を設定
エントリ RAM の先頭アドレス	HL レジスタに内部高速 RAM 上の任意のアドレスを設定
消去ブロック	エントリ RAM (+07H) に消去するブロックの番号を設定

(3) 戻り値

戻り値 ^注	内 容	
00H	正常終了	
05H	パラメータ・エラー	指定ブロック番号が設定可能範囲外（総ブロック数以上）の場合に発生。
1AH	消去エラー	消去処理により消去できなかった場合に発生。

注 戻り値 = B レジスタ，またはエントリ RAM 内 (+00H)

(4) ファームウェア実行後のレジスタ・メモリ状態

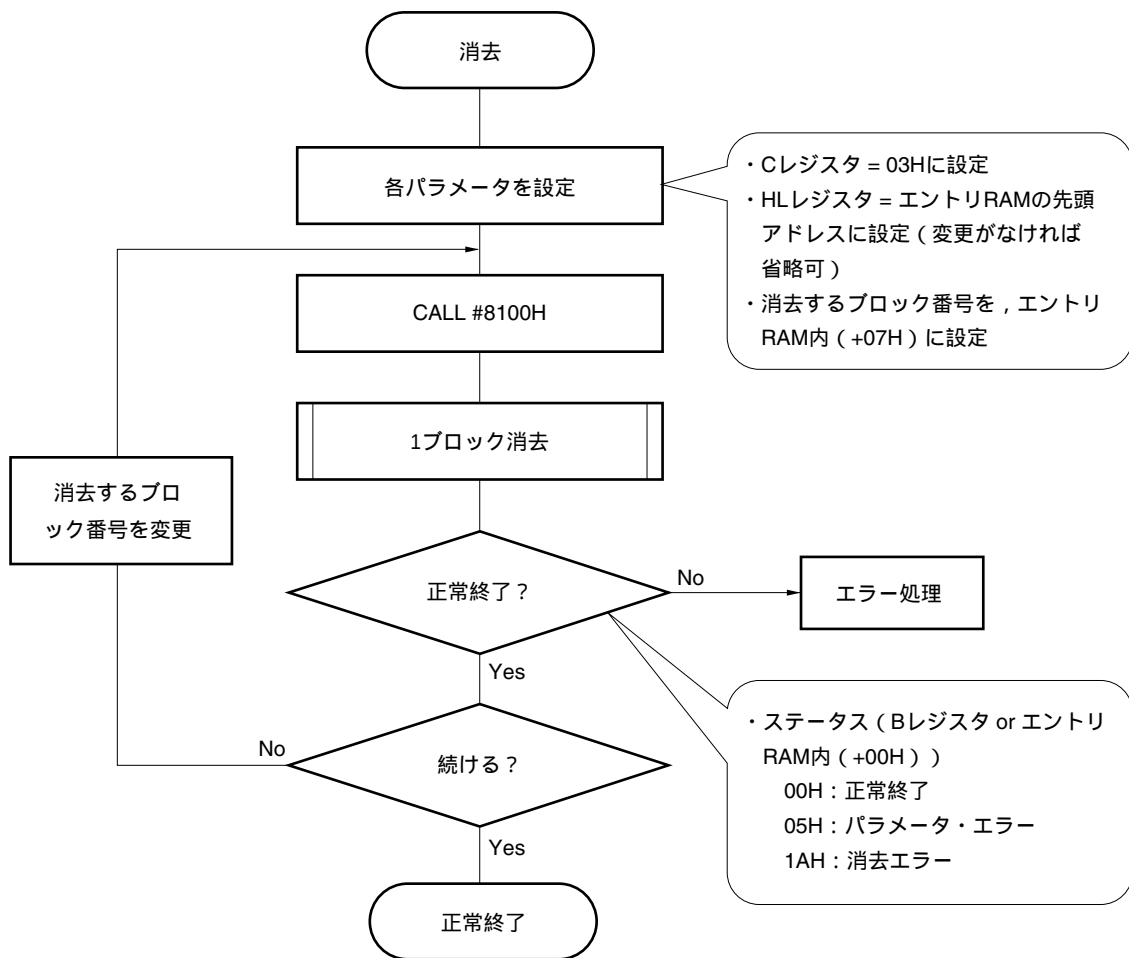
- ・エントリ RAM の先頭アドレス（HL レジスタ）を保持

(5) スタック・サイズ

- ・30 バイト

(6) フロー・チャート

図3 - 6 ブロック・イレース・フロー



(7) 呼び出し例

MOV C,#03H	;03H→C レジスタ ブロック・イレース機能を選択
MOVW HL,#0FC00H	;0FC00H→HL レジスタ エントリ RAM の先頭アドレスを 0FC00H に設定
MOV A,#0	;00H→A レジスタ
MOV [HL+7],A	;00H→エントリ RAM(+07H) ブロック・イレースを行う領域をブロック 0 に指定
CALL !8100H	;フラッシュ・ファームウェアを実行

3.7 ワード・ライト

(1) 機能

- ・フラッシュ・メモリに、データを書き込みます。
- ・プログラムの書き込みに使用します。

(2) 引数

項 目	内 容
機能番号	C レジスタに 04H を設定
エントリ RAM の先頭アドレス	HL レジスタに内部高速 RAM 上の任意のアドレスを設定
データ・バッファの先頭アドレス	エントリ RAM (+08H,+09H) に内部高速 RAM 上の任意のアドレスを設定
書き込み先の先頭アドレス (フラッシュ・メモリの先頭アドレス)	エントリ RAM (+01H,+02H,+03H) ^{注1} に内部高速 RAM 上の任意のアドレスを設定 ^{注2}
書き込むデータのサイズ	エントリ RAM (+07H) に任意のワード数を設定 ^{注3}
書き込むデータ	データ・バッファに配置

注 1. +01H：下位 +02H：上位 +03H：最上位

2. 4 バイトの倍数のアドレスで設定します。

3. 1～64 ワードの範囲で設定します（1 ワードは、4 バイト）。

(3) 戻り値

戻り値 ^注	内 容
00H	正常終了
05H	パラメータ・エラー ・開始アドレスが1ワード（4バイト）の倍数以外の場合に発生。 ・ワード数が0ワードの場合に発生。 ・ワード数が64ワードを越えている場合に発生。 ・開始アドレスとワード数から計算される終了アドレスが、フラッシュ・メモリ領域を越える場合に発生。
18H	FLMD0 エラー FLMD0 端子の入力電圧が異常な場合に発生。
1CH	ライト・エラー READ レベルでベリファイに異常が発生した場合に発生

注 戻り値=B レジスタ、またはエントリ RAM 内（+00H）

(4) ファームウェア実行後のレジスタ・メモリ状態

- ・エントリ RAM の先頭アドレス（HL レジスタ）を保持

(5) スタック・サイズ

- ・18 バイト

(6) フロー・チャート

図3-7 ワード・ライト・フロー

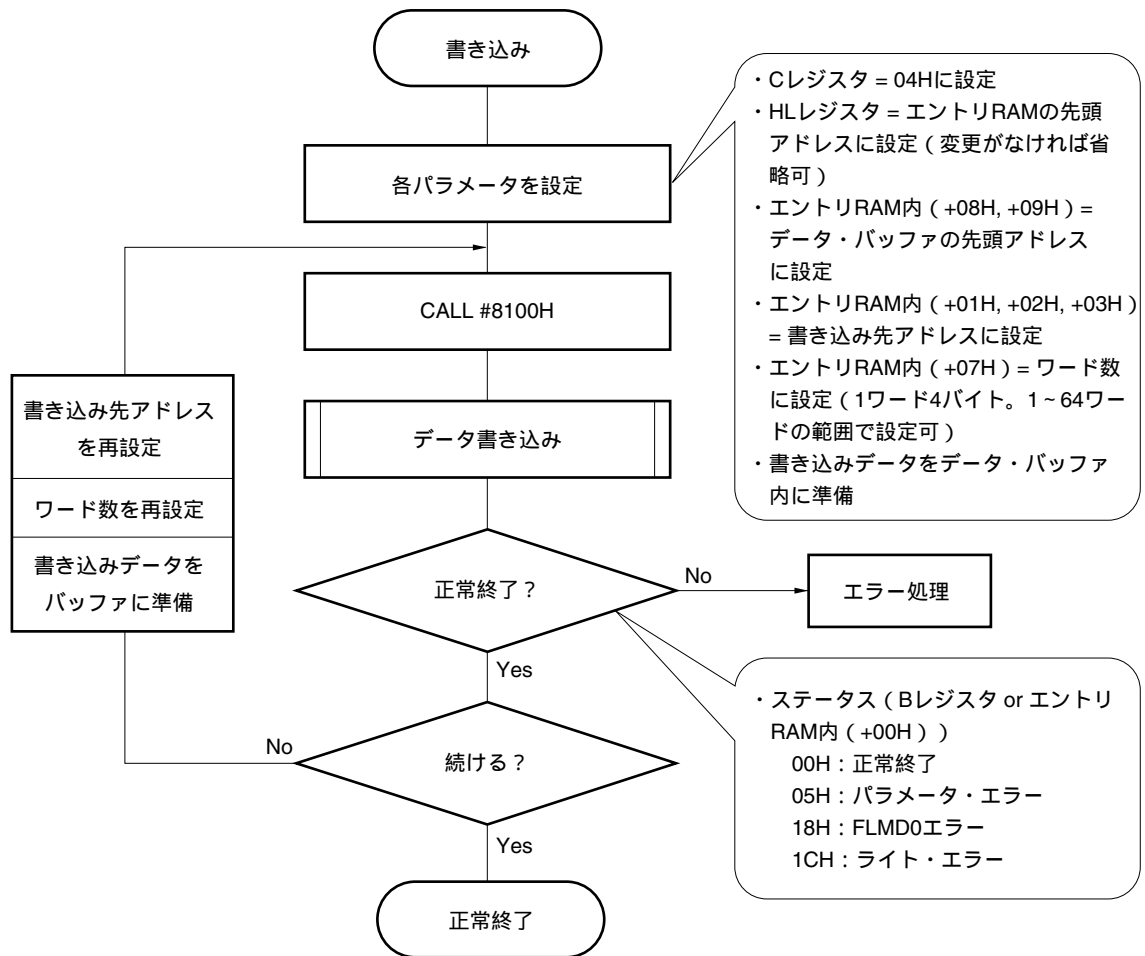
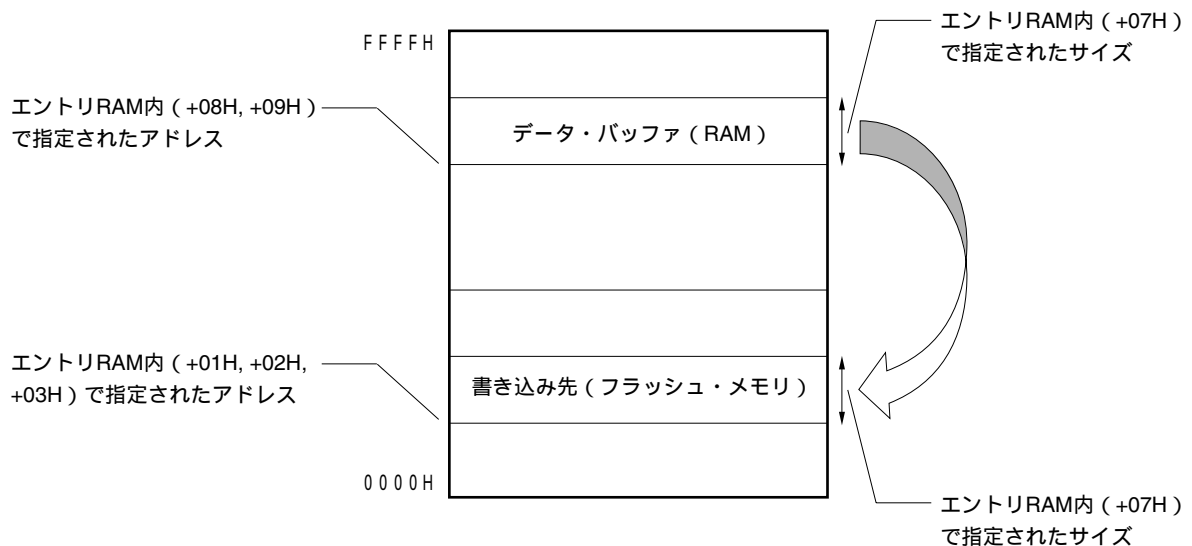


図3-8 メモリ・マップ



(7) 呼び出し例

MOV C,#04H	;04H→C レジスタ ワード・ライト機能を選択
MOVW HL,#0FC00H	;0FC00H→HL レジスタ エントリ RAM の先頭アドレスを 0FC00H に設定
MOVW AX,#0FD00H	;0FD00H→AX レジスタ
MOVW !0FC08H,AX	;0FD00H→エントリ RAM(+08H,09H) データ・バッファの先頭アドレスを ;0FD00H に設定
MOV A,#00H	;00H→A レジスタ
MOV [HL+1],A	;00H→エントリ RAM (+01H) 書き込み先の先頭アドレス(下位)を 00H に ;設定
MOV A,#60H	;60H→A レジスタ
MOV [HL+2],A	;A レジスタ→エントリ RAM (+02H) 書き込み先の先頭アドレス(上位)を ;60H に設定
MOV A,#00H	;00H→A レジスタ
MOV [HL+3],A	;A レジスタ→エントリ RAM (+03H) 書き込み先の先頭アドレス(最上位)を ;00H に設定
MOV A,#08H	;08H→A レジスタ
MOV [HL+7],A	;08H→エントリ RAM (+07H) 書き込むサイズを 8 ワード(8×4 バイト)に ;設定
CALL !8100H	;フラッシュ・ファームウェアを実行

3.8 ブロック・ベリファイ

(1) 機能

- ・指定された 1 ブロックの内部ベリファイを行います^注。
- ・書き込みを行ったあと、書き込みを行った範囲を含むブロックに対して内部ベリファイを行ってください。

注 内部ベリファイとはフラッシュ・メモリに書き込まれているデータが、十分なレベルで書き込まれているかをチェックするベリファイ機能です。データを比較するベリファイではありません。

(2) 引数

項 目	内 容
機能番号	C レジスタに 06H を設定
エントリ RAM の先頭アドレス	HL レジスタに内部高速 RAM 上の任意のアドレスを設定
ベリファイ・ブロック	エントリ RAM (+07H) にベリファイするブロック番号を設定

(3) 戻り値

戻り値 ^注	内 容	
00H	正常終了	
05H	パラメータ・エラー	ブロック番号が設定可能範囲外（総ブロック数以上）の場合に発生。
1BH	内部ベリファイ・エラー	内部ベリファイ処理でエラーとなった場合に発生。

注 戻り値 = B レジスタ，またはエントリ RAM 内 (+00H)

(4) ファームウェア実行後のレジスタ・メモリ状態

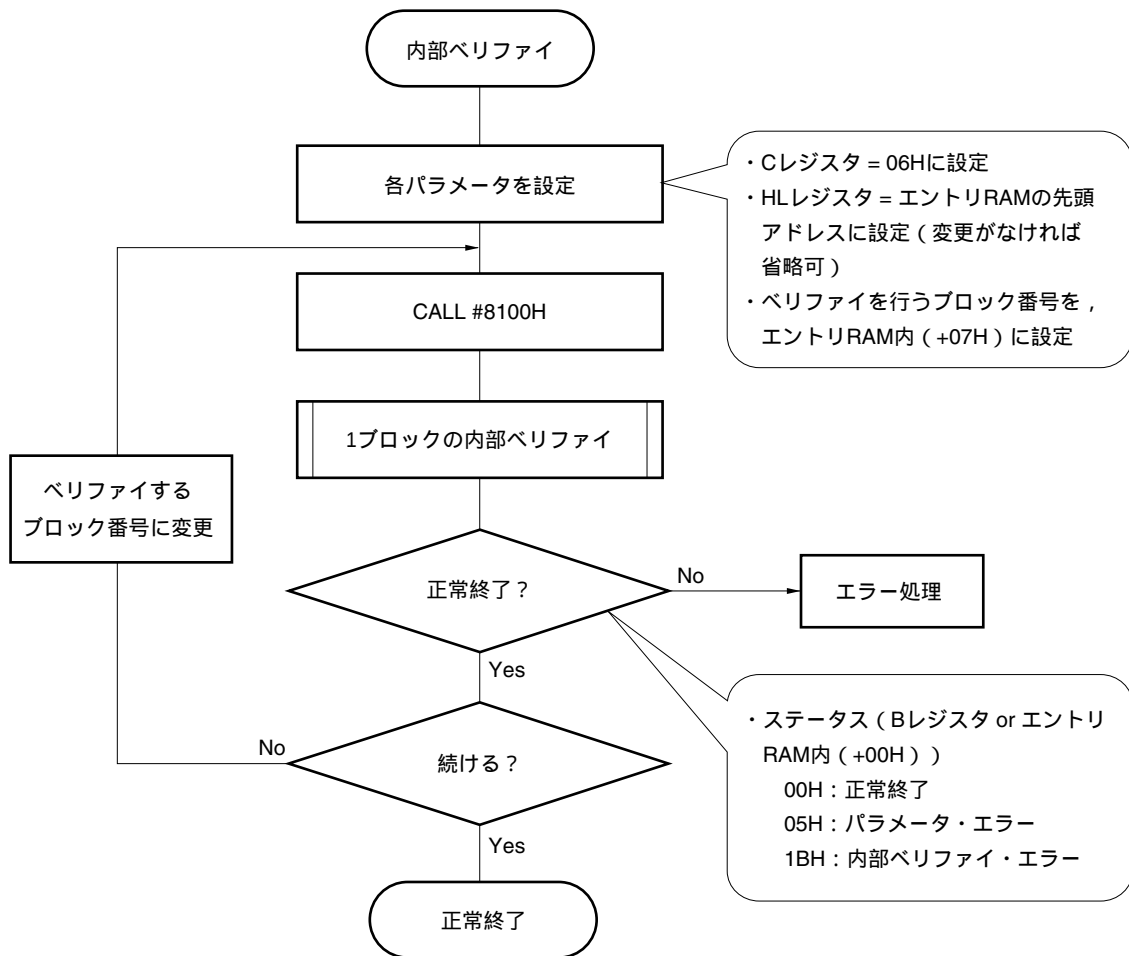
- ・エントリ RAM の先頭アドレス（HL レジスタ）を保持

(5) スタック・サイズ

- ・14 バイト

(6) フロー・チャート

図3-9 ブロック・ベリファイ・フロー



(7) 呼び出し例

MOV C,#06H	;06H→C レジスタ ブロック・ベリファイ機能を選択
MOVW HL,#0FC00H	;0FC00H→HL レジスタ エントリ RAM の先頭アドレスを 0FC00H に設定
MOV A,#0	;00H→A レジスタ
MOV [HL+7],A	;00H→エントリ RAM (+07H) ベリファイを行う領域をブロック 0 に指定
CALL I8100H	;フラッシュ・ファームウェアを実行

3.9 ゲット・インフォメーション

ファームウェアのフラッシュ読み出し機能を使用して、各種情報を読み出します。

読み出した情報が、これからフラッシュ・メモリ操作を行うにあたり、問題ないかどうかチェックします。

(1) 機能

- ・各種設定情報を取得する。

(2) 引数

項 目	内 容
機能番号	C レジスタに 09H を設定
エントリ RAM の先頭アドレス	HL レジスタに内部高速 RAM 上の任意のアドレスを設定
データ・バッファの先頭アドレス	エントリ RAM (+08H,+09H) に内部高速 RAM 上の任意のアドレスを設定
オプション値	エントリ RAM (+07H) にどの情報を取得するかを設定 03H: セキュリティ・フラグ情報 04H: ブート・フラグ情報 05H: 指定ブロックの最終アドレス情報
情報取得ブロック ^注	エントリ RAM (+01H) に指定ブロックの番号を設定

注 オプション値 = 05H の場合のみ有効です。

(3) 戻り値

戻り値 ^注	内 容
00H	正常終了
05H	パラメータ・エラー オプション値が範囲外の場合に発生。

注 戻り値 = B レジスタ, またはエントリ RAM 内 (+00H)

(4) ファームウェア実行後のレジスタ・メモリ状態

- ・エントリ RAM の先頭アドレス (HL レジスタ) を保持
- ・データ・バッファ内に取得情報を保持

(5) スタック・サイズ

- ・22 バイト

(6) オプション値ごとの取得情報

オプション値で選択された情報はデータ・バッファに格納されます。

セキュリティ・フラグ情報（オプション値：03H）

データ・バッファの先頭から 1 バイト分のデータで、オンボード^注での書き込み / 消去の禁止 / 許可ステータスを取得します。

注 オンボードとは、フラッシュ・ライタなどの外部ツールによる書き込み / 消去を指します。

表3 - 2 セキュリティ・フラグ・データ・フォーマット

オフセット	内 容
+0	セキュリティ・フラグ情報

ビット番号	内容
セキュリティ・フラグ情報-ビット 1, 0	ブロック消去許可フラグ 1, 1 以外：オンボードでのブロック消去禁止 1, 1 : オンボードでのブロック消去許可
セキュリティ・フラグ情報-ビット 3, 2	チップ消去許可フラグ 1, 1 以外：オンボードでのチップ消去禁止 1, 1 : オンボードでのチップ消去許可
セキュリティ・フラグ情報-ビット 5, 4	書き込み許可フラグ 1, 1 以外：オンボードでの書き込み禁止 1, 1 : オンボードでの書き込み許可
セキュリティ・フラグ情報-ビット 6	1
セキュリティ・フラグ情報-ビット 7	1

ブート・フラグ情報（オプション値：04H）

データ・バッファの先頭から 1 バイト分のデータで、ブート・フラグ・エリアの状態を取得します。

表3 - 3 ブート・フラグ・データ・フォーマット

オフセット	内 容
+0	ブート・フラグ情報 00H：ブート・クラスタ 0 (0000H-0FFFH, ブロック 0, 1) が選択されている 01H：ブート・クラスタ 1 (1000H-1FFFH, ブロック 2, 3) が選択されている

指定ブロックの最終アドレス（オプション値：05H）

データ・バッファの先頭から3バイト分のデータで、指定したブロックの最終アドレスを取得します。

表3-4 最終アドレス・データ・フォーマット

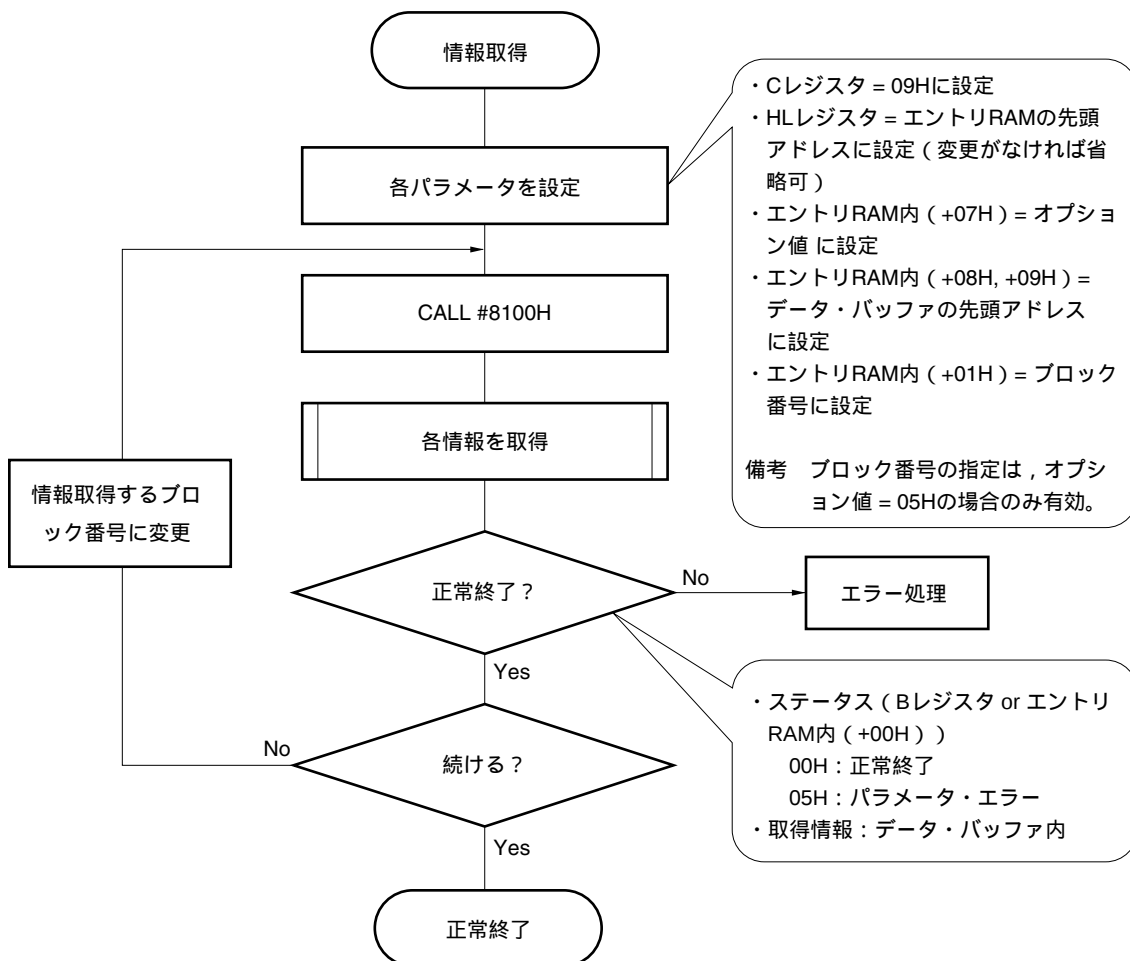
オフセット	内 容
+0	ブロック最終アドレスの下位アドレス
+1	ブロック最終アドレスの上位アドレス
+2	ブロック最終アドレスの最上位アドレス

例 ブロック0（最終アドレスが0007FFH）の場合

オフセット	内 容
+0	FFH
+1	07H
+2	00H

(7) フロー・チャート

図3-10 ゲット・インフォメーション・フロー



(8) 呼び出し例

MOV C,#09H	;09H→C レジスタ ゲット・インフォメーション機能を選択
MOVW HL,#0FC00H	;0FC00H→HL レジスタ エントリ RAM の先頭アドレスを 0FC00H に設定
MOVW AX,#0FD00H	;0FD00H→AX レジスタ
MOVW !0FC08H,AX	;0FD00H→エントリ RAM(+08H,09H) データ・バッファの先頭アドレスを ;0FD00H に設定
MOV A,#03H	;03H→A レジスタ
MOV [HL+7],A	;03H→エントリ RAM(+07H) 取得する情報としてセキュリティ・フラグ情報 ;を設定
CALL !8100H	;フラッシュ・ファームウェアを実行

3.10 セット・インフォメーション

(1) 機能

- ・ブート・フラグを設定する。これによりブート領域の入れ替えが可能になります（ブート・スワップ機能^注）。

注 ブート・スワップ機能は、 μ PD78F0714 のみ対応しています。

(2) 引数

項 目	内 容
機能番号	C レジスタに A0H を設定
エントリ RAM の先頭アドレス	HL レジスタに内部高速 RAM 上の任意のアドレスを設定
データ・バッファの先頭アドレス	エントリ RAM (+08H,+09H) に内部高速 RAM 上の任意のアドレスを設定
オプション値	データ・バッファ内の先頭 1 バイト (+00H) にオプション値を設定 ビット 0→0: ブート・スワップを行わない 1: ブート・スワップを行う ^{注1} ビット 1→0: オンボードでのチップ消去禁止 1: オンボードでのチップ消去許可 ^{注2,3} ビット 2→0: オンボードでのブロック消去禁止 1: オンボードでのブロック消去許可 ^{注2,3} ビット 3→0: オンボードでの書き込み禁止 1: オンボードでの書き込み許可 ^{注2,3}

注 1. 「ブート・スワップを行う」に設定後のリセットによって、ブート・クラスタ 0 (0000H-0FFFFH) とブート・クラスタ 1 (1000H-1FFFFH) が入れ替わります。詳細については、**3.14 ブート・スワップ機能 (μ PD78F0714 のみ対応)** を参照してください。

- ブート・スワップ・ビットを書き換える場合は、同じ値を上書きしてください。違う値を書き込むとすると、パラメータ・エラーが発生します（値は書き換わりません）（ μ PD78F0714 のみ）。
- セルフ・プログラミングによる書き込み／消去に関しては、このセキュリティ・フラグによる制限を受けません。

(3) 戻り値

戻り値 ^注	内 容	
00H	正常終了	
05H	パラメータ・エラー	引き数のオプション値（ビット1，ビット2，ビット3）が，現在設定されているセキュリティ値と異なる場合に発生。
18H	FLMD0 エラー	FLMD0 端子の入力電圧が異常な場合に発生。
1BH	内部ベリファイ・エラー	内部ベリファイ処理でエラーとなった場合に発生。
1CH	ライト・エラー	READ レベルでベリファイに異常が発生した場合に発生。

注 戻り値 = B レジスタ, またはエントリ RAM 内 (+00H)

(4) ファームウェア実行後のレジスタ・メモリ状態

- ・エントリ RAM の先頭アドレス (HL レジスタ) を保持

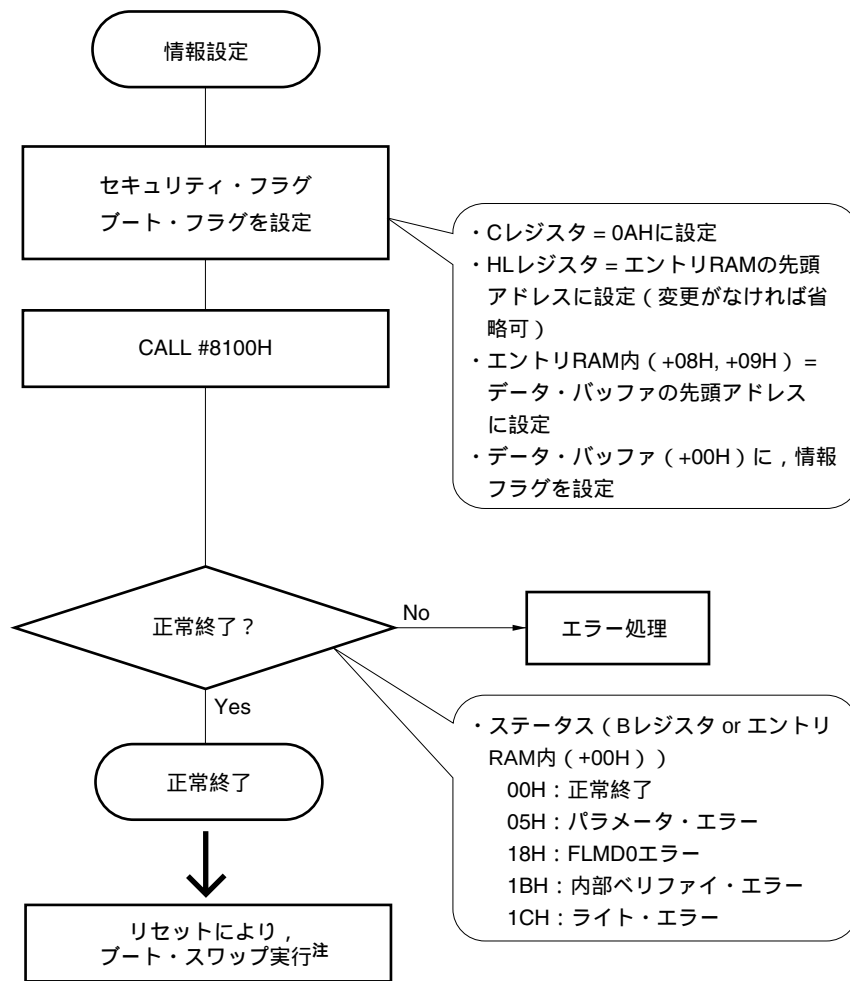
(5) スタック・サイズ

- ・12 バイト

注意 セキュリティ・フラグの設定回数は最大 100 回までです。

(6) フロー・チャート

図3 - 11 セット・インフォメーション・フロー



注 ブート・スワップ機能は、 μ PD78F0714 のみ対応しています。

(7) 呼び出し例

```

MOV C,#0AH          ;0AH→C レジスタ セット・インフォメーション機能を選択
MOVW HL,#0FC00H      ;0FC00H→HL レジスタ エントリ RAM の先頭アドレスを 0FC00H に設定
MOVW AX,#0FD00H      ;0FD00H→AX レジスタ
MOVW !0FC08H,AX      ;0FD00H→エントリ RAM(+08H,09H) データ・バッファの先頭アドレスを
                    ;0FD00H に設定
MOV A,#00H           ;00H→A レジスタ
MOV [HL],A           ;00H→エントリ RAM(+00H) オプション値を 00H に設定
CALL !8100H          ;フラッシュ・ファームウェアを実行
  
```

3.11 EEPROM ライト

(1) 機能

- ・EEPROM エミュレーション時に、フラッシュ・メモリにデータを書き込みます。
- ・データの書き込みに使用します。

備考 データ保持期間と書き換え回数については、 μ PD78F0711, 78F0712 ユーザーズ・マニュアル (U17890J) または μ PD78F0714 ユーザーズ・マニュアル (U16928J) を参照してください。

(2) 引数

項 目	内 容
機能番号	C レジスタに 17H を設定
エントリ RAM の先頭アドレス	HL レジスタに内部高速 RAM 上の任意のアドレスを設定
データ・バッファの先頭アドレス	エントリ RAM (+08H,+09H) に内部高速 RAM 上の任意のアドレスを設定
書き込み先の先頭アドレス (フラッシュ・メモリの先頭アドレス)	エントリ RAM (+01H,+02H,+03H) ^{注1} に内部高速 RAM 上の任意のアドレスを設定 ^{注2}
書き込むデータのサイズ	エントリ RAM (+07H) に任意のワード数を設定 ^{注3}
書き込むデータ	データ・バッファに配置

注 1. +01H: 下位 +02H: 上位 +03H: 最上位

2. 4 バイトの倍数のアドレスで設定します。

3. 1~64 ワードの範囲で設定します (1 ワードは、4 バイト)。

(3) 戻り値

戻り値 ^注	内 容	
00H	正常終了	
05H	パラメータ・エラー	・先頭アドレスが 1 ワード (4 バイト) の倍数以外の場合に発生。 ・ワード数が 0 ワードの場合に発生。 ・ワード数が 64 ワードを越えている場合に発生。 ・先頭アドレスとワード数から計算される終了アドレスが、フラッシュ・メモリ領域を越える場合に発生。
18H	FLMD0 エラー	FLMD0 端子の入力電圧が異常な場合に発生。
1CH	ライト・エラー	READ レベルでベリファイに異常が発生した場合に発生
1DH	内部ベリファイ・エラー	内部ベリファイ処理でエラーとなった場合に発生。
1EH	ブランク・チェック・エラー	書き込みワード数分の空き領域がなかった場合に発生。

注 戻り値 = B レジスタ, またはエントリ RAM 内 (+00H)

(4) ファームウェア実行後のレジスタ・メモリ状態

- ・ エントリ RAM の先頭アドレス (HL レジスタ) を保持

(5) スタック・サイズ

- ・ 15 バイト

(6) フロー・チャート

図3 - 12 EEPROMライト・フロー

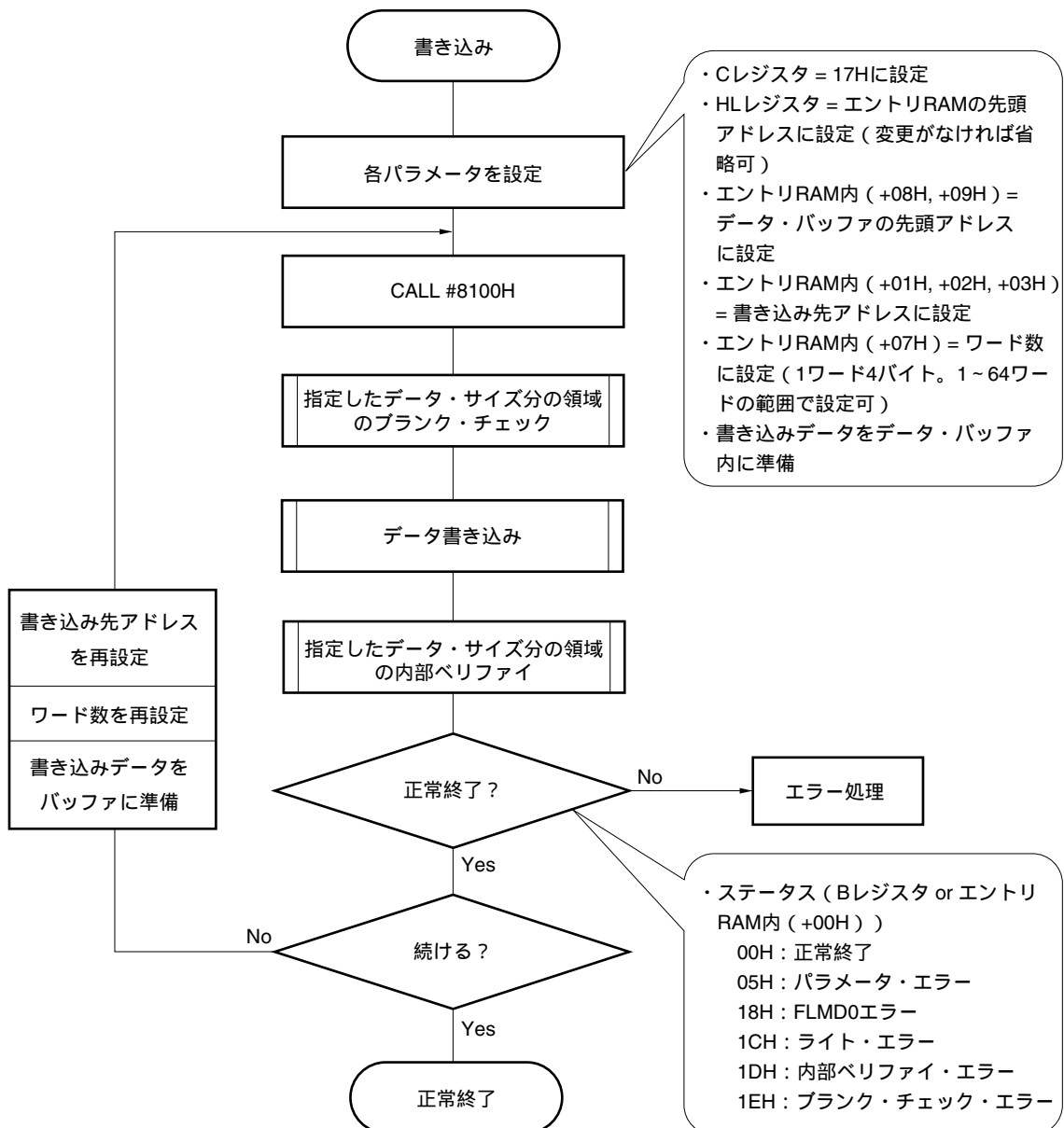
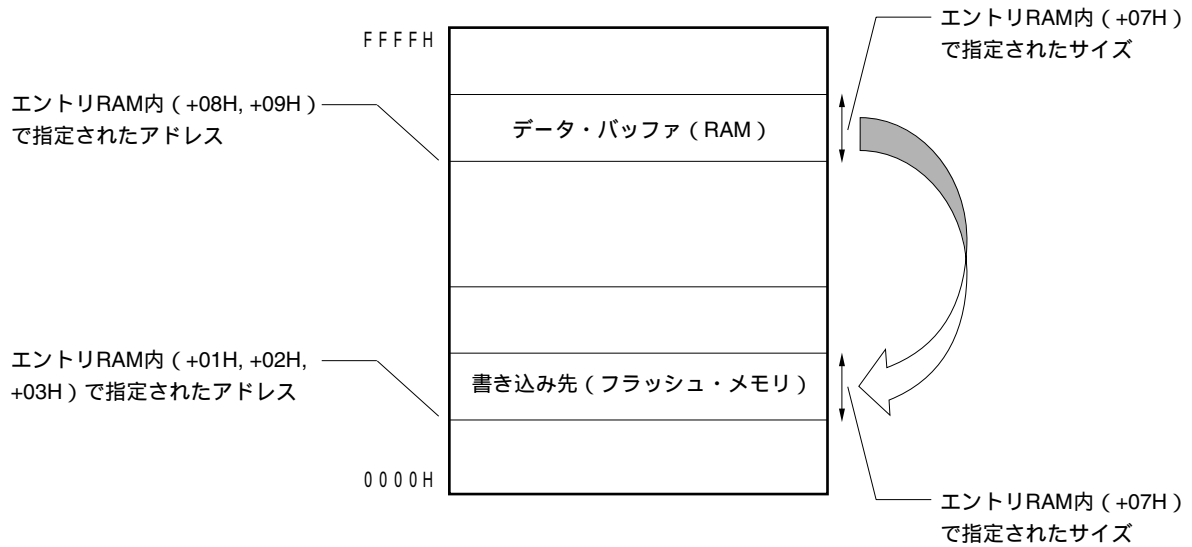


図3 - 13 メモリ・マップ



(7) 呼び出し例

```

MOV C,#17H      ;17H→C レジスタ  EEPROM ライト機能を選択
MOVW HL,#0FC00H ;0FC00H→HL レジスタ エントリ RAM の先頭アドレスを 0FC00H に設定
MOVW AX,#0FD00H ;0FD00H→AX レジスタ
MOVW !0FC08H,AX ;0FD00H→エントリ RAM(+08H,09H) データ・バッファの先頭アドレスを
                ;0FD00H に設定
MOV A,#00H      ;00H→A レジスタ
MOV [HL+1],A    ;00H→エントリ RAM (+01H) 書き込み先の先頭アドレス (下位) を 00H に
                ;設定
MOV A,#60H      ;60H→A レジスタ
MOV [HL+2],A    ;A レジスタ→エントリ RAM (+02H) 書き込み先の先頭アドレス (上位) を
                ;60H に設定
MOV A,#00H      ;00H→A レジスタ
MOV [HL+3],A    ;A レジスタ→エントリ RAM (+03H) 書き込み先の先頭アドレス (最上位) を
                ;00H に設定
MOV A,#08H      ;08H→A レジスタ
MOV [HL+7],A    ;08H→エントリ RAM (+07H) 書き込むサイズを 8 ワード (8×4 バイト) に
                ;設定
CALL !8100H     ;フラッシュ・ファームウェアを実行

```

3.12 EEPROM イレース

(1) 機能

- ・EEPROM エミュレーション時に、指定されたブロック中のメモリを任意の時間分（10 ms 単位）だけ消去します。これにより、1 ブロックの消去を、何回かの短い消去処理に分割して実施することが可能になります。
- ・データの消去に使用します。

(2) 引数

項 目	内 容
機能番号	C レジスタに 1CH を設定
エントリ RAM の先頭アドレス	HL レジスタに内部高速 RAM 上の任意のアドレスを設定
消去ブロック	エントリ RAM (+07H) に消去するブロックの番号を設定
リトライ回数	エントリ RAM (+0BH) にリトライ回数を設定して、消去時間を決定 消去時間 = リトライ回数 × 10 ms

- 備考**
1. 消去中は、ユーザ・プログラムは中断状態（割り込み禁止）となります。したがって、ユーザ・プログラムが中断しても問題ない時間内に消去時間を設定してください。
 2. 指定したブロックへの書き込みを実施するまでに、EEPROM イレースによる累積消去時間が 1 ブロック分の消去時間に達するようにしておくことを推奨します（1 ブロックの消去時間は、各マイコンのユーザズ・マニュアルの電気的特性を参照してください）。
 3. 指定ブロックに対する消去が完了すると、それ以上そのブロックへの消去処理があってもキャンセルされます。したがって、消し過ぎなどの問題は発生しません。

(3) 戻り値

戻り値 ^注	内 容	
00H	正常終了	
05H	パラメータ・エラー	指定ブロック番号が設定可能範囲外（総ブロック数以上）の場合に発生。
1AH	消去エラー	消去処理により消去できなかった場合に発生。

注 戻り値 = B レジスタ、またはエントリ RAM 内 (+00H)

(4) ファームウェア実行後のレジスタ・メモリ状態

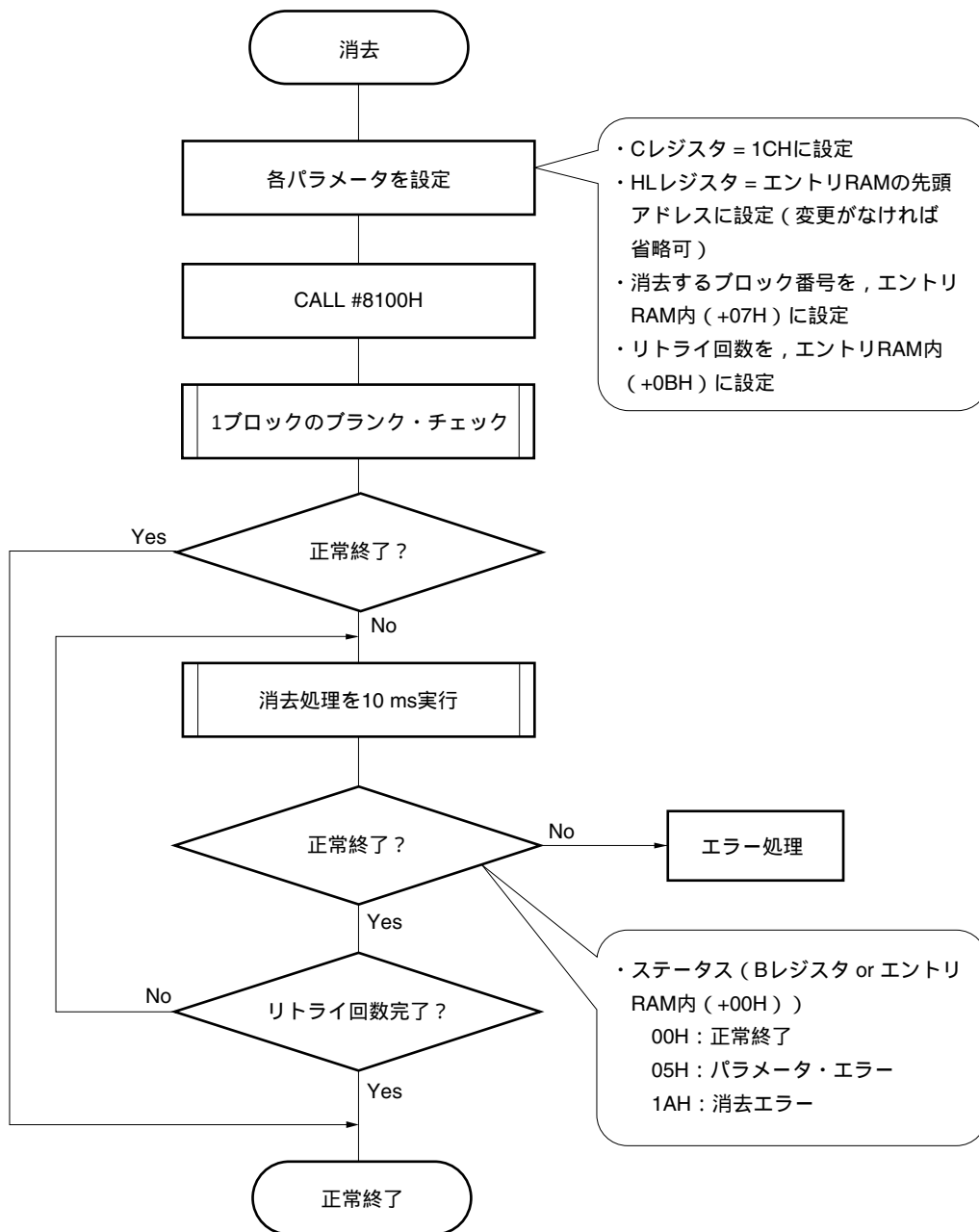
- ・エントリ RAM の先頭アドレス（HL レジスタ）を保持

(5) スタック・サイズ

- ・17 バイト

(6) フロー・チャート

図3 - 14 EEPROMイレース・フロー



(7) 呼び出し例

MOV C,#1CH	;1CH→C レジスタ EEPROM イレース機能を選択
MOVW HL,#0FC00H	;0FC00H→HL レジスタ エントリ RAM の先頭アドレスを 0FC00H に設定
MOV A,#0	;00H→A レジスタ
MOV [HL+7],A	;00H→エントリ RAM(+07H) EEPROM イレースを行う領域をブロック 0 に指定
MOV A,#02H	;02H→A レジスタ
MOV [HL+0BH],A	;02H→エントリ RAM(+0BH) リトライ回数を 2 回に設定（消去時間：20 ms）
CALL !8100H	;フラッシュ・ファームウェアを実行

3.13 ステータス一覧

ファームウェア機能のステータス（戻り値）の一覧を表3-5に示します。

表3-5 ステータス一覧

ステータス	内 容
00H	正常終了
05H	パラメータ・エラー（パラメータ設定エラー）
18H	FLMD0 エラー（FLMD0 のレベル異常による書き込みエラー）
1AH	MRG10 エラー（消去エラー）
1BH	MRG11 エラー（内部ベリファイ・エラー，ブランク・チェック・エラー）
1CH	ライト・エラー（READ レベルでのベリファイ異常による書き込みエラー）
1DH	MRG11 エラー（内部ベリファイ・エラー） 【EEPROM ライト時】
1EH	MRG11 エラー（ブランク・チェック・エラー） 【EEPROM ライト時】

3.14 ブート・スワップ機能 (μPD78F0714 のみ対応)

ブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートができなくなります。

この問題を回避するために、ブート・スワップ機能があります。

セルフ・プログラミングにてブート・プログラム領域であるブート・クラスタ0[※]の書き換えを行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したあと、ファームウェアのセット・インフォメーション機能で、このブート・クラスタ1とブート・クラスタ0をスワップし、ブート・クラスタ1をブート領域にします。

これによってブート・プログラミング領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、スワップ対象のブート・クラスタ1からブートを行うため、正常にプログラムが動作します。このあと、必要があれば、本来のブート・プログラム領域であるブート・クラスタ0へ消去や書き込みを行うこともできます。

注 ブート・クラスタは4Kバイトの領域で、ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

ブート・クラスタ0 (0000H~0FFFH) : 本来のブート・プログラム領域です。

ブート・クラスタ1 (1000H~1FFFH) : ブート・スワップ対象の領域です。

図3-15, 3-16 にブート・スワップの実行例を示します。

図3-15 ブート・スワップの実行例1

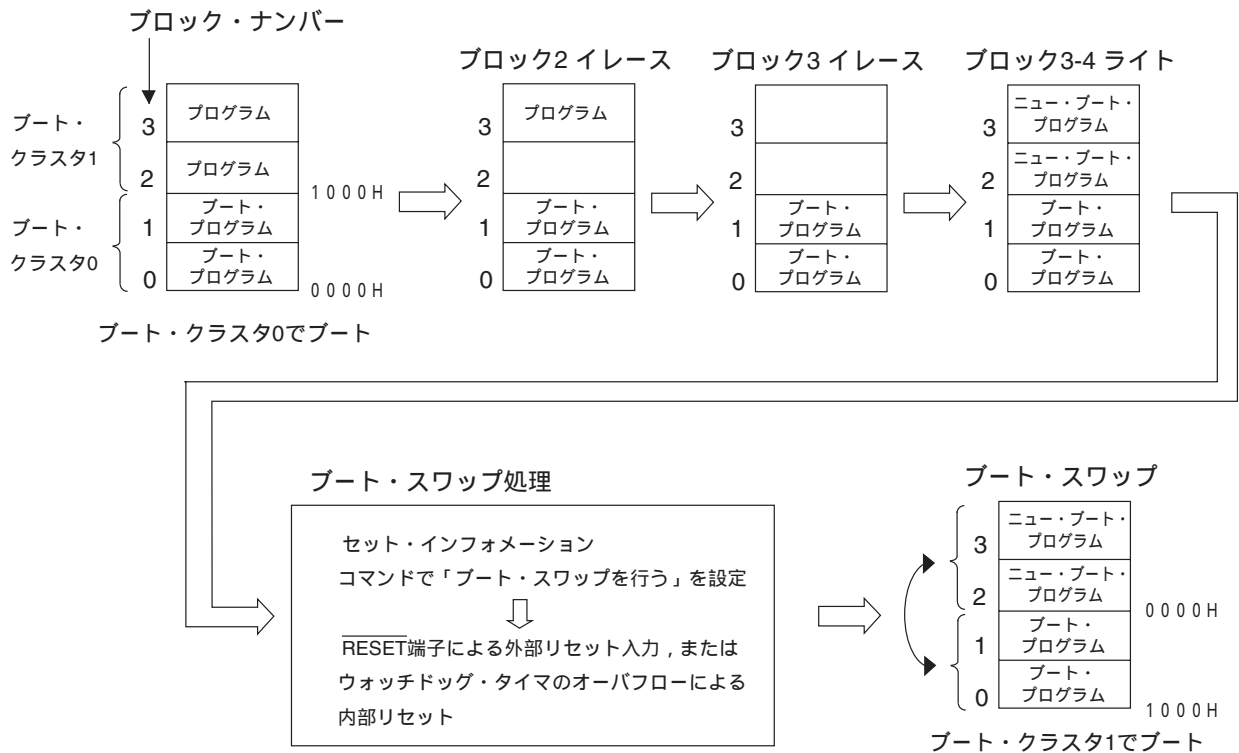
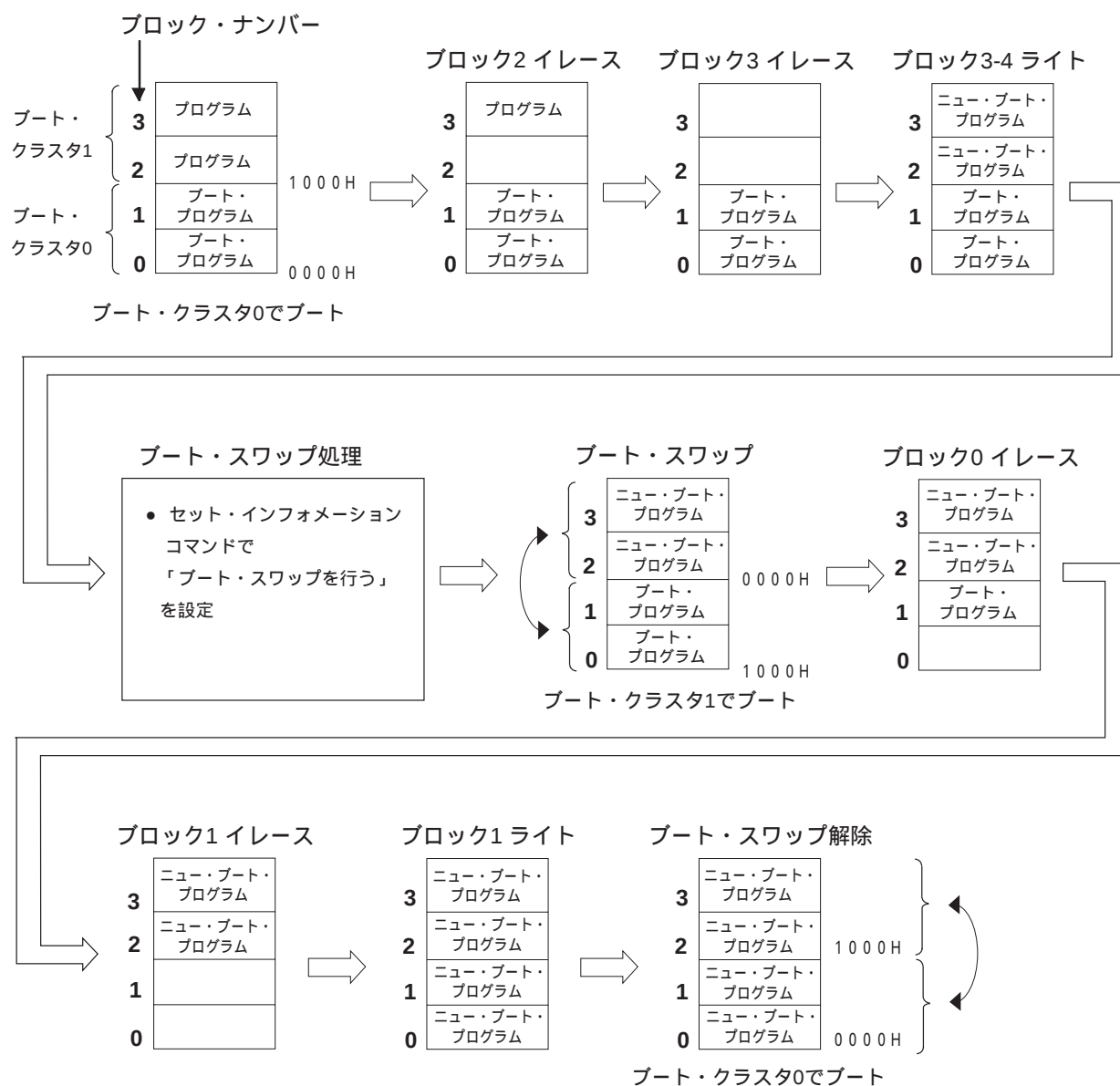


図3 - 16 ブート・スワップの実行例2



備考 この実行例2の方法では、リセットしないでブート領域の変更ができます。

第 4 章 CC78K0 セルフ書き込み拡張機能

CC78K0 には、「ファームウェア内蔵セルフ書き込みサブルーチン直接呼び出し機能」があります。

その中の「__hromcall 関数」を使用することにより、フラッシュ・メモリ・コントロール・ファームウェアを呼び出すことが可能になります。

__hromcall 関数は、レジスタ・バンクを一時的にバンク 3 に切り替え、C レジスタに機能番号、HL レジスタにエントリ RAM のアドレスを設定して、指定したアドレスをコールします。B レジスタの値を戻り値とします。

```
unsigned char __hromcall ( unsigned int entryaddr, unsigned char funcno, void *entrydata);
```

「#pragma hromcall」の記述が必要です。

一時的にレジスタ・バンク 3 に切り替えて、entrydata を HL レジスタ、funcno を C レジスタに設定して entryaddr のアドレスをコールします。

B レジスタの値を戻り値とします。

第一引数、第二引数は定数のみ指定可能です。

例 機能番号 0x3 の機能で、ファームウェアを実行 (CALL #8100H) する場合

【C ソース】

```
#pragma hromcall
unsigned char entrydata[48];
unsigned char ret;
__hromcall(0x8100,0x03,entrydata);
```

【出力アセンブラ】

```
push    psw
sel      rb3
movw    hl,#_entrydata
mov     c,#03H
call    !08100H
pop     psw
mov     a,0FEE3H
mov     !_ret,a
```

各機能番号に対応した関数を作成する場合には、#define を使用して次のように記載することも可能です。

CC78K0 では下記の例と同名の関数をサポートしていますが、そのまま使用すると機能番号が違う可能性がありますので注意してください。

例

```
#define __FlashEnv(entrydata_addr)      __hromcall(0x8100,0x00,entrydata_addr)
#define __FlashBlockErase(entrydata_addr) __hromcall(0x8100,0x03,entrydata_addr)
#define __FlashWordWrite(entrydata_addr) __hromcall(0x8100,0x04,entrydata_addr)
#define __FlashBlockIVerify(entrydata_addr) __hromcall(0x8100,0x06,entrydata_addr)
#define __FlashBlockBlankCheck(entrydata_addr) __hromcall(0x8100,0x08,entrydata_addr)
#define __FlashGetInfo(entrydata_addr)    __hromcall(0x8100,0x09,entrydata_addr)
#define __FlashSetInfo(entrydata_addr)    __hromcall(0x8100,0x0a,entrydata_addr)
#define __FlashCheckFLMD(entrydata_addr)  __hromcall(0x8100,0x0e,entrydata_addr)
```

[メモ]

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL（アドレス） <http://www.necel.co.jp/>

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00，午後 1:00～5:00）

電 話 ： 044-435-9494

E-mail ： info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。