お客様各位

# カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

# ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

RENESAS

ユーザーズ・マニュアル

# μPD78F0711, 78F0712

## ８ビット・シングルチップ・マイクロコントローラ

---

μPD78F0711
μPD78F0712

資料番号　U17890JJ2V0UD00（第２版）
発行年月　August 2007 N

© NEC Electronics Corporation 2006

〔メ　モ〕

# 目次要約

第１章　概　　説　…　15
第２章　端子機能　…　22
第３章　CPUアーキテクチャ　…　30
第４章　ポート機能　…　58
第５章　クロック発生回路　…　74
第６章　10ビット・インバータ制御用タイマ　…　100
第７章　16ビット・タイマ／イベント・カウンタ00　…　116
第８章　8ビット・タイマ／イベント・カウンタ50, 51　…　155
第９章　ウォッチドッグ・タイマ　…　174
第10章　リアルタイム出力ポート　…　184
第11章　DCインバータ制御機能　…　197
第12章　Hi-Z出力制御回路　…　198
第13章　A/Dコンバータ　…　202
第14章　シリアル・インタフェースUART00　…　232
第15章　乗除算器　…　254
第16章　割り込み機能　…　264
第17章　スタンバイ機能　…　283
第18章　リセット機能　…　299
第19章　パワーオン・クリア回路　…　306
第20章　低電圧検出回路　…　310
第21章　オプション・バイト　…　320
第22章　フラッシュ・メモリ　…　321
第23章　オンチップ・ディバグ機能　…　338
第24章　命令セットの概要　…　339
第25章　電気的特性　…　354
第26章　外 形 図　…　366
第27章　ウエイトに関する注意事項　…　367
付録Ａ　開発ツール　…　370
付録Ｂ　レジスタ索引　…　379
付録Ｃ　改版履歴　…　386

## CMOSデバイスの一般的注意事項

### ① 入力端子の印加波形

**入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。**

CMOSデバイスの入力がノイズなどに起因して，$V_{IL}$（MAX.）から$V_{IH}$（MIN.）までの領域にとどまるような場合は，誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん，$V_{IL}$（MAX.）から$V_{IH}$（MIN.）までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### ② 未使用入力の処理

**CMOSデバイスの未使用端子の入力レベルは固定してください。**

未使用端子入力については，CMOSデバイスの入力に何も接続しない状態で動作させるのではなく，プルアップかプルダウンによって入力レベルを固定してください。また，未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると，個別に抵抗を介して$V_{DD}$またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については，その内容を守ってください。

### ③ 静電気対策

**MOSデバイス取り扱いの際は静電気防止を心がけてください。**

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には，当社が出荷梱包に使用している導電性のトレーやマガジン・ケース，または導電性の緩衝材，金属ケースなどを利用し，組み立て工程にはアースを施してください。プラスチック板上に放置したり，端子を触ったりしないでください。

また，MOSデバイスを実装したボードについても同様の扱いをしてください。

### ④ 初期化以前の状態

**電源投入時，MOSデバイスの初期状態は不定です。**

電源投入時の端子の出力状態や入出力設定，レジスタ内容などは保証しておりません。ただし，リセット動作やモード設定で定義している項目については，これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は，まずリセット動作を実行してください。

### ⑤ 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合，原則として内部電源を投入した後に外部電源を投入してください。切断の際には，原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により，内部素子に過電圧が印加され，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については，その内容を守ってください。

### ⑥ 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に，入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については，その内容を守ってください。

EEPROM, IECUBE, MINICUBEは，NECエレクトロニクス株式会社の登録商標です。

Windows, Windows NTおよびWindows XPは，米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは，米国IBM社の商標です。

HP9000シリーズ700, HP-UXは，米国ヒューレット・パッカード社の商標です。

SPARCstationは，米国SPARC International, Inc.の商標です。

Solaris, SunOSは，米国サン・マイクロシステムズ社の商標です。

TRONは，The Realtime Operating system Nucleusの略称です。

ITRONは，Industrial TRONの略称です。

SuperFlashは，米国Silicon Storage Technology, Inc.の米国，日本などの国における登録商標です。

**注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。**

- 本資料に記載されている内容は2007年8月現在のもので，今後，予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は，本資料の誤りに関し，一切その責を負いません。
- 当社は，本資料に記載された当社製品の使用に関連し発生した第三者の特許権，著作権その他の知的財産権の侵害等に関し，一切その責を負いません。当社は，本資料に基づき当社または第三者の特許権，著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路，ソフトウエアおよびこれらに関する情報は，半導体製品の動作例，応用例を説明するものです。お客様の機器の設計において，回路，ソフトウエアおよびこれらに関する情報を使用する場合には，お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し，当社は，一切その責を負いません。
- 当社は，当社製品の品質，信頼性の向上に努めておりますが，当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命，身体および財産に対する損害の危険を最小限度にするために，冗長設計，延焼対策設計，誤動作防止設計等安全設計を行ってください。
- 当社は，当社製品の品質水準を「標準水準」，「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また，各品質水準は，以下に示す用途に製品が使われることを意図しておりますので，当社製品の品質水準をご確認ください。

  標準水準：コンピュータ，OA機器，通信機器，計測機器，AV機器，家電，工作機械，パーソナル機器，産業用ロボット

  特別水準：輸送機器（自動車，電車，船舶等），交通用信号機器，防災・防犯装置，各種安全装置，生命維持を目的として設計されていない医療機器

  特定水準：航空機器，航空宇宙機器，海底中継機器，原子力制御システム，生命維持のための医療機器，生命維持のための装置またはシステム等

当社製品のデータ・シート，データ・ブック等の資料で特に品質水準の表示がない場合は，標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には，事前に当社販売窓口までお問い合わせください。

（注）

（1）本事項において使用されている「当社」とは，NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

（2）本事項において使用されている「当社製品」とは，（1）において定義された当社の開発，製造製品をいう。

M8E　02.11

# はじめに

**対 象 者**　このマニュアルはμPD78F0711, 78F0712の機能を理解し，その応用システムや応用プログラムを設計，開発するユーザのエンジニアを対象としています。

対象製品は，次に示す各製品です。

・μPD78F0711, 78F0712

**目　　的**　このマニュアルは，次の構成に示す機能をユーザに理解していただくことを目的としています。

**構　　成**　μPD78F0711, 78F0712のマニュアルは，このマニュアルと命令編（78K/0シリーズ共通）の2冊に分かれています。

| μPD78F0711, 78F0712<br>ユーザーズ・マニュアル | 78K/0シリーズ<br>ユーザーズ・マニュアル<br>命令編 |
|---|---|
| ●端子機能 | ●CPU機能 |
| ●内部ブロック機能 | ●命令セット |
| ●割り込み | ●命令の説明 |
| ●その他の内蔵周辺機能 | |
| ●電気的特性 | |

**読 み 方**　このマニュアルを読むにあたっては，電気，論理回路，マイクロコントローラの一般知識を必要とします。

□一通りの機能を理解しようとするとき

→目次に従って読んでください。本文欄外の★印は，本版で改訂された主な箇所を示しています。この“★”をPDF上でコピーして「検索する文字列」に指定することによって，改版箇所を容易に検索できます。

□レジスタ・フォーマットの見方

→ビット番号を□で囲んでいるものは，そのビット名称がアセンブラでは予約語に，Cコンパイラでは#pragma sfr指令でsfr変数として定義されているものです。

□レジスタ名が分かっていてレジスタの詳細を確認するとき

→付録Ｂ　レジスタ索引を利用してください。

□78K/0シリーズの命令機能の詳細を知りたいとき

→別冊の78K/0シリーズ　ユーザーズ・マニュアル　命令編（U12326J）を参照してください。

**凡　　例**

| | |
|---|---|
| データ表記の重み | ：左が上位桁，右が下位桁 |
| アクティブ・ロウの表記 | ：$\overline{\times\times\times}$（端子，信号名称に上線） |
| 注 | ：本文中につけた注の説明 |
| 注意 | ：気をつけて読んでいただきたい内容 |
| 備考 | ：本文の補足説明 |
| 数の表記 | ：2進数…××××または××××B<br>10進数…××××<br>16進数…××××H |

## 関連資料

関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

### デバイスの関連資料

| 資　料　名 | 資料番号 | |
|---|---|---|
| | 和　文 | 英　文 |
| μPD78F0711, 78F0712　ユーザーズ・マニュアル | このマニュアル | U17890E |
| 78K/0シリーズ　ユーザーズ・マニュアル　命令編 | U12326J | U12326E |

### 開発ツール（ソフトウエア）の資料（ユーザーズ・マニュアル）

| 資　料　名 | | 資料番号 | |
|---|---|---|---|
| | | 和　文 | 英　文 |
| RA78K0 Ver.3.80　アセンブラ・パッケージ | 操作編 | U17199J | U17199E |
| | アセンブリ言語編 | U17198J | U17198E |
| | 構造化アセンブリ言語編 | U17197J | U17197E |
| CC78K0 Ver.3.70　Cコンパイラ | 操作編 | U17201J | U17201E |
| | 言語編 | U17200J | U17200E |
| ID78K0-QB　Ver.2.94　統合デバッガ | 操作編 | U18330J | U18330E |
| PM plus　Ver.5.20 | | U16934J | U16934E |

### 開発ツール（ハードウエア）の資料（ユーザーズ・マニュアル）

| 資　料　名 | 資料番号 | |
|---|---|---|
| | 和　文 | 英　文 |
| QB-780714　インサーキット・エミュレータ | U17081J | U17081E |
| QB-78K0MINI　オンチップ・ディバグ・エミュレータ | U17029J | U17029E |
| ★ QB-MINI2　プログラミング機能付きオンチップ・デバッグ・エミュレータ | U18371J | U18371E |

### フラッシュ・メモリ書き込み用の資料

| 資　料　名 | 資料番号 | |
|---|---|---|
| | 和　文 | 英　文 |
| PG-FP4　フラッシュ・メモリ・プログラマ　ユーザーズ・マニュアル | U15260J | U15260E |

**注意　上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。**

**その他の資料**

| 資　料　名 | 資料番号 | |
|---|---|---|
| | 和　　文 | 英　　文 |
| SEMICONDUCTOR SELECTION GUIDE -Products and Packages- | X13769X | |
| 半導体デバイス　実装マニュアル | 注 | |
| NEC半導体デバイスの品質水準 | C11531J | C11531E |
| NEC半導体デバイスの信頼性品質管理 | C10983J | C10983E |
| 静電気放電（ESD）破壊対策ガイド | C11892J | C11892E |
| 半導体　品質／信頼性ハンドブック | C12769J | － |
| マイクロコンピュータ関連製品ガイド　社外メーカ編 | U11416J | － |

**注**　「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：http://www.necel.com/pkg/ja/jissou/index.html

英文：http://www.necel.com/pkg/en/mount/index.html

**注意　上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。**

# 目　次


**第１章　概　　説** … 15

**1.1　特　　徴** … 16
**1.2　応用分野** … 17
**1.3　オーダ情報** … 17
**1.4　端子接続図（Top View）** … 18
**1.5　ブロック図** … 19
**1.6　機能概要** … 20

**第２章　端子機能** … 22

**2.1　端子機能一覧** … 22
**2.2　端子機能の説明** … 24
2.2.1　P00-P03（Port 0） … 24
2.2.2　P13, P14, P16, P17（Port 1） … 25
2.2.3　P20-P23（Port 2） … 25
2.2.4　P50, P53, P54（Port 5） … 26
2.2.5　TW0TO0/RTP10-TW0TO5/RTP15 … 26
2.2.6　$AV_{REF}$ … 26
2.2.7　$AV_{SS}$ … 27
2.2.8　$\overline{RESET}$ … 27
2.2.9　X1, X2 … 27
2.2.10　$V_{DD}$ … 27
2.2.11　$V_{SS}$ … 27
2.2.12　FLMD0 … 27
**2.3　端子の入出力回路と未使用端子の処理** … 28

**第３章　CPUアーキテクチャ** … 30

**3.1　メモリ空間** … 30
3.1.1　内部プログラム・メモリ空間 … 33
3.1.2　内部データ・メモリ空間 … 34
3.1.3　特殊機能レジスタ（SFR：Special Function Register）領域 … 34
3.1.4　データ・メモリ・アドレシング … 34
**3.2　プロセッサ・レジスタ** … 37
3.2.1　制御レジスタ … 37
3.2.2　汎用レジスタ … 40
3.2.3　特殊機能レジスタ（SFR：Special Function Register） … 42
**3.3　命令アドレスのアドレシング** … 46
3.3.1　レラティブ・アドレシング … 46
3.3.2　イミーディエト・アドレシング … 47
3.3.3　テーブル・インダイレクト・アドレシング … 48
3.3.4　レジスタ・アドレシング … 48
**3.4　オペランド・アドレスのアドレシング** … 49
3.4.1　インプライド・アドレシング … 49
3.4.2　レジスタ・アドレシング … 50
3.4.3　ダイレクト・アドレシング … 51
3.4.4　ショート・ダイレクト・アドレシング … 52

3.4.5　特殊機能レジスタ（SFR）アドレシング　…　53
3.4.6　レジスタ・インダイレクト・アドレシング　…　54
3.4.7　ベースト・アドレシング　…　55
3.4.8　ベースト・インデクスト・アドレシング　…　56
3.4.9　スタック・アドレシング　…　57

**第4章　ポート機能**　…　58

4.1　ポートの機能　…　58
4.2　ポートの構成　…　60
4.2.1　ポート0　…　60
4.2.2　ポート1　…　61
4.2.3　ポート2　…　65
4.2.4　ポート5　…　66
4.3　ポート機能を制御するレジスタ　…　68
4.4　ポート機能の動作　…　72
4.4.1　入出力ポートへの書き込み　…　72
4.4.2　入出力ポートからの読み出し　…　72
4.4.3　入出力ポートでの演算　…　72
4.5　ポート・レジスタn（Pn）に対する1ビット・メモリ操作命令に関する注意事項　…　73

**第5章　クロック発生回路**　…　74

5.1　クロック発生回路の機能　…　74
5.2　クロック発生回路の構成　…　75
5.3　クロック発生回路を制御するレジスタ　…　77
5.4　システム・クロック発振回路　…　85
5.4.1　X1発振回路　…　85
5.4.2　発振子の接続の悪い例　…　86
5.4.3　高速内蔵発振回路　…　87
5.4.4　低速内蔵発振回路　…　87
5.4.5　プリスケーラ　…　87
5.5　クロック発生回路の動作　…　88
5.6　低速内蔵発振クロックと高速システム・クロックの切り替えに要する時間　…　94
5.7　CPUクロックの切り替えに要する時間　…　95
5.8　クロック切り替えのフロー・チャートとレジスタ設定　…　96
5.8.1　低速内蔵発振クロックから高速システム・クロックへの切り替え　…　96
5.8.2　高速システム・クロックから低速内蔵発振クロックへの切り替え　…　98
5.8.3　レジスタ設定　…　99

**第6章　10ビット・インバータ制御用タイマ**　…　100

6.1　10ビット・インバータ制御用タイマの概要　…　100
6.2　10ビット・インバータ制御用タイマの機能　…　100
6.3　10ビット・インバータ制御用タイマの構成　…　100
6.4　10ビット・インバータ制御用タイマを制御するレジスタ　…　104
6.5　10ビット・インバータ制御用タイマの動作　…　109

**第7章　16ビット・タイマ／イベント・カウンタ00**　…　116

7.1　16ビット・タイマ／イベント・カウンタ00の機能　…　116
7.2　16ビット・タイマ／イベント・カウンタ00の構成　…　117

7.3　16ビット・タイマ／イベント・カウンタ00を制御するレジスタ　…　121
7.4　16ビット・タイマ／イベント・カウンタ00の動作　…　127
7.4.1　インターバル・タイマとしての動作　…　127
7.4.2　PPG出力としての動作　…　130
7.4.3　パルス幅測定としての動作　…　133
7.4.4　外部イベント・カウンタとしての動作　…　141
7.4.5　方形波出力としての動作　…　144
7.4.6　ワンショット・パルス出力としての動作　…　146
7.5　16ビット・タイマ／イベント・カウンタ00の注意事項　…　151

第８章　8ビット・タイマ／イベント・カウンタ50, 51　…　155

8.1　8ビット・タイマ／イベント・カウンタ50, 51の機能　…　155
8.2　8ビット・タイマ／イベント・カウンタ50, 51の構成　…　157
8.3　8ビット・タイマ／イベント・カウンタ50, 51を制御するレジスタ　…　159
8.4　8ビット・タイマ／イベント・カウンタ50, 51の動作　…　164
8.4.1　インターバル・タイマとしての動作　…　164
8.4.2　外部イベント・カウンタとしての動作（タイマ50のみ）　…　167
8.4.3　方形波出力としての動作（タイマ50のみ）　…　168
8.4.4　PWM出力としての動作（タイマ50のみ）　…　169
8.5　8ビット・タイマ／イベント・カウンタ50, 51の注意事項　…　173

第９章　ウォッチドッグ・タイマ　…　174

9.1　ウォッチドッグ・タイマの機能　…　174
9.2　ウォッチドッグ・タイマの構成　…　176
9.3　ウォッチドッグ・タイマを制御するレジスタ　…　177
9.4　ウォッチドッグ・タイマの動作　…　179
9.4.1　オプション・バイトで「低速内蔵発振器は停止不可」を選択した場合のウォッチドッグ・タイマ動作　…　179
9.4.2　オプション・バイトで「低速内蔵発振器はソフトウエアにより停止可能」を選択した場合のウォッチドッグ・タイマ動作　…　180
9.4.3　STOPモード時の動作（オプション・バイトで「低速内蔵発振器はソフトウエアにより停止可能」を選択した場合）　…　181
9.4.4　HALTモード時の動作（オプション・バイトで「低速内蔵発振器はソフトウエアにより停止可能」を選択した場合）　…　183

第10章　リアルタイム出力ポート　…　184

10.1　リアルタイム出力ポートの機能　…　184
10.2　リアルタイム出力ポートの構成　…　184
10.3　リアルタイム出力ポートを制御するレジスタ　…　187
10.4　リアルタイム出力ポートの動作　…　191
10.5　リアルタイム出力ポートの使用方法　…　196
10.6　リアルタイム出力ポートの注意事項　…　196

第11章　DCインバータ制御機能　…　197

第12章　Hi-Z出力制御回路　…　198

12.1　Hi-Z出力制御回路の機能　…　198
12.2　Hi-Z出力制御回路の構成　…　198

12.3 Hi-Z出力制御回路を制御するレジスタ … 199
12.4 Hi-Z出力制御回路の動作 … 201

第13章 A/Dコンバータ … 202

13.1 A/Dコンバータの機能 … 202
13.2 A/Dコンバータの構成 … 204
13.3 A/Dコンバータで使用するレジスタ … 206
13.4 アナログ入力電圧とA/D変換結果の関係 … 214
13.5 A/Dコンバータの動作 … 215
13.5.1 A/Dコンバータの基本動作 … 215
13.5.2 トリガ・モード … 217
13.5.3 動作モード … 218
13.5.4 パワーフェイル監視機能 … 221
13.6 A/Dコンバータの特性表の読み方 … 225
13.7 A/Dコンバータの注意事項 … 228

第14章 シリアル・インタフェースUART00 … 232

14.1 シリアル・インタフェースUART00の機能 … 232
14.2 シリアル・インタフェースUART00の構成 … 233
14.3 シリアル・インタフェースUART00を制御するレジスタ … 236
14.4 シリアル・インタフェースUART00の動作 … 241
14.4.1 動作停止モード … 241
14.4.2 アシンクロナス・シリアル・インタフェース（UART）モード … 242
14.4.3 専用ボー・レート・ジェネレータ … 248

第15章 乗除算器 … 254

15.1 乗除算器の機能 … 254
15.2 乗除算器の構成 … 254
15.3 乗除算器を制御するレジスタ … 259
15.4 乗除算器の動作 … 260
15.4.1 乗算動作 … 260
15.4.2 除算動作 … 262

第16章 割り込み機能 … 264

16.1 割り込み機能の種類 … 264
16.2 割り込み要因と構成 … 264
16.3 割り込み機能を制御するレジスタ … 268
16.4 割り込み処理動作 … 276
16.4.1 マスカブル割り込み要求の受け付け動作 … 276
16.4.2 ソフトウエア割り込み要求の受け付け動作 … 279
16.4.3 多重割り込み処理 … 279
16.4.4 割り込み要求の保留 … 282

第17章 スタンバイ機能 … 283

17.1 スタンバイ機能と構成 … 283
17.1.1 スタンバイ機能 … 283
17.1.2 スタンバイ機能を制御するレジスタ … 285

17.2　スタンバイ機能の動作　…　288
17.2.1　HALTモード　…　288
17.2.2　STOPモード　…　293

第18章　リセット機能　…　299

18.1　リセット要因を確認するレジスタ　…　305

第19章　パワーオン・クリア回路　…　306

19.1　パワーオン・クリア回路の機能　…　306
19.2　パワーオン・クリア回路の構成　…　307
19.3　パワーオン・クリア回路の動作　…　307
19.4　パワーオン・クリア回路の注意事項　…　308

第20章　低電圧検出回路　…　310

20.1　低電圧検出回路の機能　…　310
20.2　低電圧検出回路の構成　…　310
20.3　低電圧検出回路を制御するレジスタ　…　311
20.4　低電圧検出回路の動作　…　312
20.5　低電圧検出回路の注意事項　…　316

第21章　オプション・バイト　…　320

第22章　フラッシュ・メモリ　…　321

22.1　メモリ・サイズ切り替えレジスタ　…　321
22.2　フラッシュ・メモリ・プログラマによる書き込み方法　…　322
22.3　プログラミング環境　…　324
22.4　通信方式　…　324
22.5　オンボード上の端子処理　…　326
22.5.1　FLMD0端子　…　326
22.5.2　FLMD1端子　…　326
22.5.3　シリアル・インタフェース端子　…　327
22.5.4　$\overline{\text{RESET}}$端子　…　329
22.5.5　ポート端子　…　329
22.5.6　その他の信号端子　…　329
22.5.7　電　　源　…　329
22.6　プログラミング方法　…　330
22.6.1　フラッシュ・メモリ制御　…　330
22.6.2　フラッシュ・メモリ・プログラミング・モード　…　330
22.6.3　通信方式の選択　…　331
22.6.4　通信コマンド　…　331
22.7　セルフ書き込みによるフラッシュ・メモリ・プログラミング　…　333
22.7.1　セルフ・プログラミング機能で使用するレジスタ　…　334

第23章　オンチップ・ディバグ機能　…　338

**第24章　命令セットの概要** … 339

**24.1　凡　　例** … 340
24.1.1　オペランドの表現形式と記述方法 … 340
24.1.2　オペレーション欄の説明 … 341
24.1.3　フラグ動作欄の説明 … 341
**24.2　オペレーション一覧** … 342
**24.3　アドレシング別命令一覧** … 350

**第25章　電気的特性** … 354

**第26章　外 形 図** … 366

**第27章　ウエイトに関する注意事項** … 367

**27.1　ウエイトに関する注意事項** … 367
**27.2　ウエイトが発生する周辺ハードウエア** … 368
**27.3　ウエイト発生例** … 369

**付録A　開発ツール** … 370

**A.1　ソフトウエア・パッケージ** … 374
**A.2　言語処理用ソフトウエア** … 374
**A.3　制御ソフトウエア** … 375
**A.4　フラッシュ・メモリ書き込み用ツール** … 376
A.4.1　フラッシュ・メモリ・プログラマ　PG-FP5, FL-PR5, PG-FP4, FL-PR4, PG-FPLを使用する場合 … 376
A.4.2　プログラミング機能付きオンチップ・ディバグ・エミュレータ　QB-MINI2を使用する場合 … 376
**A.5　ディバグ用ツール（ハードウエア）** … 377
A.5.1　インサーキット・エミュレータ　QB-780714を使用する場合 … 377
A.5.2　オンチップ・ディバグ・エミュレータ　QB-78K0MINIを使用する場合 … 377
A.5.3　プログラミング機能付きオンチップ・ディバグ・エミュレータ　QB-MINI2を使用する場合 … 378
**A.6　ディバグ用ツール（ソフトウエア）** … 378

**付録B　レジスタ索引** … 379

**B.1　レジスタ索引（50音順）** … 379
**B.2　レジスタ索引（アルファベット順）** … 382

**付録C　改版履歴** … 386

**C.1　本版で改訂された主な箇所** … 386

# 第1章　概　　説

μPD78F0711, 78F0712は，78K/0 CPUコアを使用し，ROM/RAM，タイマ／カウンタ，シリアル・インタフェース，A/Dコンバータ，ウォッチドッグ・タイマなどの周辺機能を内蔵した8ビット・シングルチップ・マイクロコントローラです。

μPD78F0711, 78F0712は，2チップで制御を行うモータ・アプリケーション用に開発された，モータ制御に特化した製品シリーズです。デッド・タイム付きPWM出力が可能な10ビット・インバータ制御用タイマ（第6章）や，フェイルセーフ用に6相PWMのハイ・インピーダンス（Hi-Z）を制御するHi-Z出力制御回路（第12章）などを内蔵しています。

また，ステッピング・モータやDCインバータ（120度通電）の制御用にリアルタイム出力ポート（第10章）も備えており，様々なモータ・アプリケーションで高いコスト・パフォーマンスを実現できます。

# 1.1 特　徴

○高速（0.1 μs：X1入力クロック20 MHz動作時）から低速（8.33 μs：低速内蔵発振クロック240 kHz動作時）まで最小命令実行時間を変更可能

○高速内蔵発振器を搭載（8 MHz（TYP.））

○汎用レジスタ：8ビット×32レジスタ（8ビット×8レジスタ×4バンク）

○乗除算器内蔵

・16ビット×16ビット = 32ビット（乗算）

・32ビット÷16ビット = 32ビット　剰余16ビット（除算）

○ROM, RAM容量

| 項　目<br>品　名 | プログラム・メモリ（ROM） | | データ・メモリ（内部高速RAM） |
|---|---|---|---|
| μPD78F0712 | フラッシュ・メモリ | 16 Kバイト | 768バイト |
| μPD78F0711 | | 8 Kバイト | |

○単電源のフラッシュ・メモリ内蔵

○セルフ・プログラミング内蔵

○オンチップ・ディバグ機能内蔵

○パワーオン・クリア（POC）回路，低電圧検出（LVI）回路内蔵

○内蔵低速発振器によるCPUディフォールト・スタートにより，ショート・スタート・アップが可能

○ウォッチドッグ・タイマ（低速内蔵発振クロックで動作可能）内蔵

○リアルタイム出力ポート内蔵

○I/Oポート：15本

○タイマ：5チャネル

○シリアル・インタフェース：1チャネル

（UART：1チャネル）

○10ビット分解能A/Dコンバータ：4チャネル

○電源電圧：$V_{DD}$ = 4.0～5.5 V

○動作周囲温度：$T_A$ = −40～＋85 ℃

## 1.2 応用分野

○家電製品

・冷蔵庫（コンプレッサ）

・洗濯機，乾燥機（ドラム）

・エアコン（ファン・コントロール）

○産業機器

・ポンプ・コントロール　　など

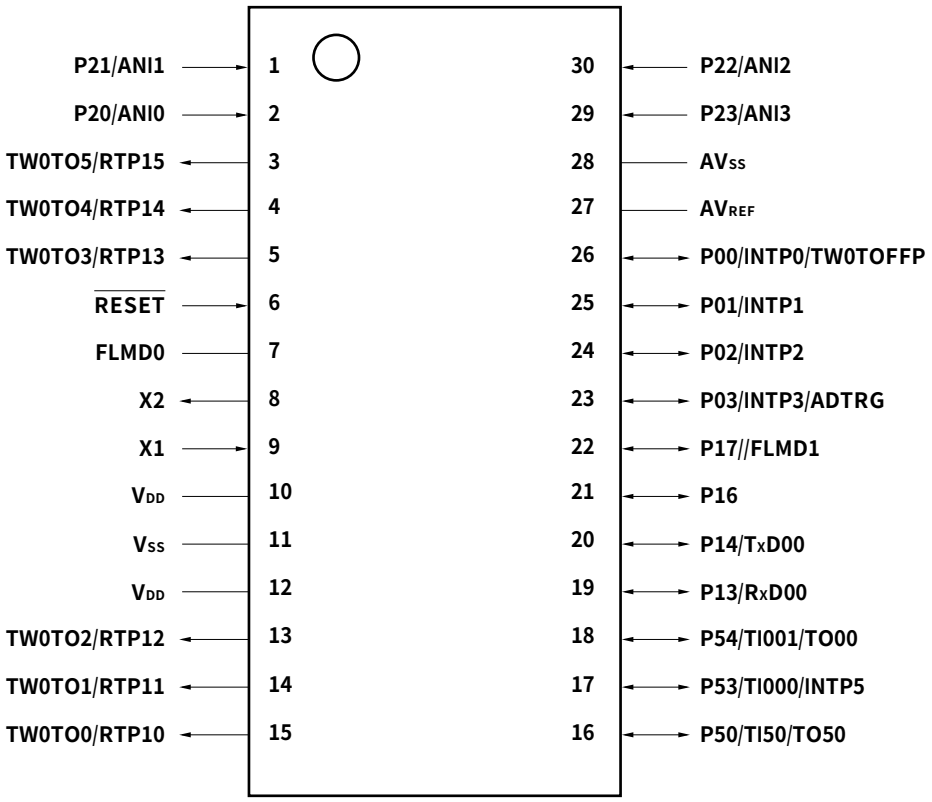
## 1.3 オーダ情報

| オーダ名称 | パッケージ |
|---|---|
| μPD78F0712MC-5A4-A | 30ピン・プラスチックSSOP（7.62 mm（300）） |
| μPD78F0711MC-5A4-A | 〃 |

備考　オーダ名称末尾「-A」の製品は，鉛フリー製品です。

# 1. 4 端子接続図（Top View）

・30ピン・プラスチックSSOP（7.62 mm（300））

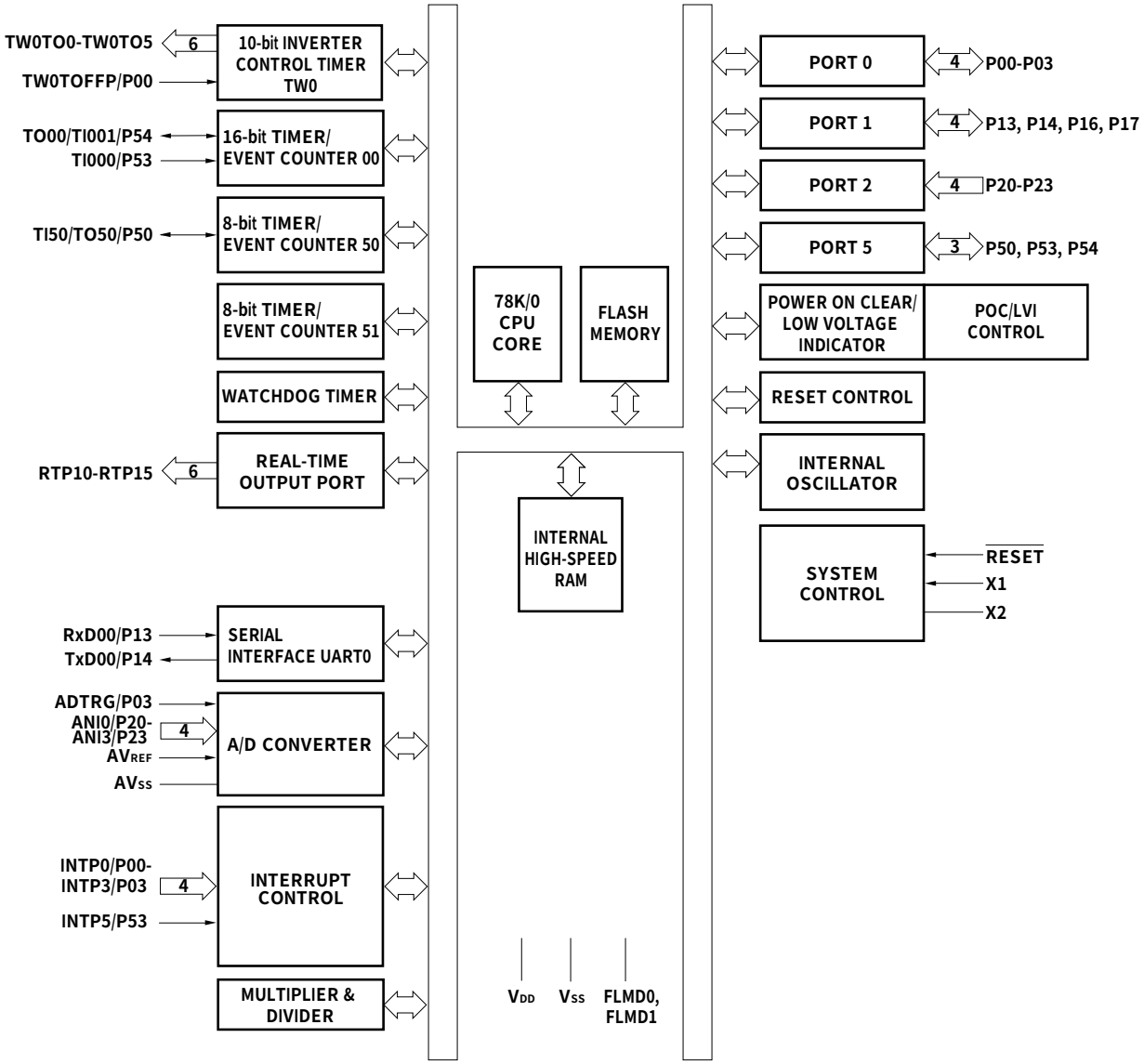



**注意**　AVSS**端子は**VSS**に接続してください。**

**端子名称**

| | | | |
|---|---|---|---|
| ADTRG | ：A/D Trigger Input | RTP10-RTP15 | ：Real-time Output Port |
| ANI0-ANI3 | ：Analog Input | RxD00 | ：Receive Data |
| AVREF | ：Analog Reference Voltage | TI000, TI001 | ：Timer Input |
| AVSS | ：Analog Ground | TI50 | ：Timer Input |
| FLMD0, FLMD1 | ：Flash Programming Mode | TO00 | ：Timer Output |
| INTP0-INTP3 | ：External Interrupt Input | TO50 | ：Timer Output |
| INTP5 | ：External Interrupt Input | TW0TO0-TW0TO5 | ：Timer Output |
| P00-P03 | ：Port 0 | TW0TOFFP | ：Timer Output Off |
| P13, P14, P16, P17 | ：Port 1 | TxD00 | ：Transmit Data |
| P20-P23 | ：Port 2 | VDD | ：Power Supply |
| P50, P53, P54 | ：Port 5 | VSS | ：Ground |
| RESET | ：Reset | X1, X2 | ：Crystal Oscillator (X1 Input Clock) |

# 1.5 ブロック図


TW0TO0-TW0TO5
6
10-bit INVERTER CONTROL TIMER TW0
TW0TOFFP/P00
TO00/TI001/P54
TI000/P53
16-bit TIMER/ EVENT COUNTER 00
TI50/TO50/P50
8-bit TIMER/ EVENT COUNTER 50
8-bit TIMER/ EVENT COUNTER 51
WATCHDOG TIMER
RTP10-RTP15
6
REAL-TIME OUTPUT PORT
78K/0 CPU CORE
FLASH MEMORY
INTERNAL HIGH-SPEED RAM
PORT 0
4
P00-P03
PORT 1
4
P13, P14, P16, P17
PORT 2
4
P20-P23
PORT 5
3
P50, P53, P54
POWER ON CLEAR/ LOW VOLTAGE INDICATOR
POC/LVI CONTROL
RESET CONTROL
INTERNAL OSCILLATOR
SYSTEM CONTROL
RESET
X1
X2
RxD00/P13
TxD00/P14
SERIAL INTERFACE UART0
ADTRG/P03
ANI0/P20-ANI3/P23
4
AVREF
AVSS
A/D CONVERTER
INTP0/P00-INTP3/P03
4
INTP5/P53
INTERRUPT CONTROL
MULTIPLIER & DIVIDER
VDD
VSS
FLMD0, FLMD1

# 1.6 機能概要

| 項　目 | | μPD78F0711 | μPD78F0712 |
|---|---|---|---|
| 内部メモリ | フラッシュ・メモリ（セルフ・プログラミング対応） | 8 Kバイト | 16 Kバイト |
| | 高速RAM | 768バイト | |
| メモリ空間 | | 64 Kバイト | |
| X1入力クロック | | セラミック発振子／水晶振動子／外部クロック<br>〔20 MHz（$V_{DD}$ = 4.0～5.5 V）〕 | |
| 高速内蔵発振クロック | | 高速内蔵発振器（8 MHz（TYP.））| |
| 低速内蔵発振クロック | | 低速内蔵発振器（240 kHz（TYP.））| |
| 汎用レジスタ | | 8ビット×32レジスタ（8ビット×8レジスタ×4バンク） | |
| 最小命令実行時間 | | 0.1 μs/0.2 μs /0.4 μs/0.8 μs/1.6 μs（X1入力クロック：$f_{XP}$ = 20 MHz動作時） | |
| | | 8.3 μs/16.6 μs/33.2 μs/66.4 μs/132.8 μs（TYP.）（低速内蔵発振クロック：$f_R$ = 240 kHz（TYP.）動作時） | |
| 命令セット | | ・16ビット演算<br>・乗除算（8ビット×8ビット，16ビット÷8ビット）<br>・ビット操作（セット，リセット，テスト，ブール演算）<br>・BCD補正など | |
| I/Oポート | | 合計　：15本<br>CMOS入出力　：11本<br>CMOS入力　：4本 | |
| タイマ | | ・10ビット・インバータ制御用タイマ　：1チャネル<br>・16ビット・タイマ／イベント・カウンタ　：1チャネル<br>・8ビット・タイマ／イベント・カウンタ　：2チャネル<br>・ウォッチドッグ・タイマ　：1チャネル | |
| | タイマ出力 | 8本（インバータ制御用PWM出力：6本） | |
| リアルタイム出力ポート | | 6ビット×1または4ビット×1 | |
| A/Dコンバータ | | 10ビット分解能×4チャネル | |
| シリアル・インタフェース | | UARTモード：1チャネル | |
| 乗除算器 | | ・16ビット×16ビット = 32ビット（乗算）<br>・32ビット÷16ビット = 32ビット　剰余16ビット（除算） | |
| ベクタ割り込み要因 | 内部 | 14 | |
| | 外部 | 5 | |
| リセット | | ・$\overline{\text{RESET}}$端子によるリセット<br>・ウォッチドッグ・タイマによる内部リセット<br>・パワーオン・クリアによる内部リセット<br>・低電圧検出回路による内部リセット | |
| 電源電圧 | | $V_{DD}$ = 4.0～5.5 V | |
| 動作周囲温度 | | $T_A$ = −40～+85 ℃ | |
| パッケージ | | 30ピン・プラスチックSSOP（7.62 mm（300）） | |

次にタイマの概要を示します。

| | | 10ビット・インバータ制御用タイマW0 | 16ビット・タイマ／イベント・カウンタ00 | 8ビット・タイマ／イベント・カウンタ50, 51 | | ウォッチドッグ・タイマ |
|---|---|---|---|---|---|---|
| | | | | TM50 | TM51 | |
| 動作モード | インターバル・タイマ | 1チャネル | 1チャネル | 1チャネル | 1チャネル | − |
| | 外部イベント・カウンタ | − | 1チャネル | 1チャネル | − | − |
| 機能 | タイマ出力 | 6出力 | 1出力 | 1出力 | − | − |
| | PPG出力 | − | 1出力 | − | − | − |
| | PWM出力 | 6出力 | − | 1出力 | − | − |
| | パルス幅測定 | − | 2入力 | − | − | − |
| | 方形波出力 | − | 1出力 | 1出力 | − | − |
| | ウォッチドッグ・タイマ | − | − | − | − | 1チャネル |
| | 割り込み要因 | 4 | 2 | 1 | 1 | − |

# 第2章　端子機能

## 2. 1　端子機能一覧

端子の入出力バッファ電源には，$AV_{REF}$, $V_{DD}$の2系統があります。それぞれの電源と端子の関係を次に示します。

表2－1　各端子の入出力バッファ電源

| 電　　源 | 対応する端子 |
|---|---|
| $AV_{REF}$ | P20-P23[注] |
| $V_{DD}$ | P20-P23以外の端子 |

★ 注　ポート2をディジタル・ポートとして使用する場合は，
$AV_{REF}$を$V_{DD}$に接続してください。

(1) ポート端子

| 端子名称 | 入出力 | 機　　能 | リセット時 | 兼用端子 |
|---|---|---|---|---|
| P00 | 入出力 | ポート0。 | 入力 | INTP0/TW0TOFFP |
| P01 | | 4ビット入出力ポート。 | | INTP1 |
| P02 | | 1ビット単位で入力／出力の指定可能。 | | INTP2 |
| P03 | | ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 | | INTP3/ADTRG |
| P13 | 入出力 | ポート1。 | 入力 | RxD00 |
| P14 | | 4ビット入出力ポート。 | | TxD00 |
| P16 | | 1ビット単位で入力／出力の指定可能。 | | － |
| P17 | | ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 | | FLMD1 |
| P20-P23 | 入力 | ポート2。<br>4ビット入力専用ポート。 | 入力 | ANI0-ANI3 |
| P50 | 入出力 | ポート5。 | 入力 | TI50/TO50 |
| P53 | | 3ビット入出力ポート。 | | TI000/INTP5 |
| P54 | | 1ビット単位で入力／出力の指定可能。<br>ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 | | TI001/TO00 |

(2) ポート以外の端子

| 端子名称 | 入出力 | 機　　能 | リセット時 | 兼用端子 |
|---|---|---|---|---|
| INTP0 | 入力 | 有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力 | 入力 | P00/TW0TOFFP |
| INTP1 | | | | P01 |
| INTP2 | | | | P02 |
| INTP3 | | | | P03/ADTRG |
| INTP5 | | | | P53/TI000 |
| RxD00 | 入力 | アシンクロナス・シリアル・インタフェース用シリアル・データ入力 | 入力 | P13 |
| TxD00 | 出力 | アシンクロナス・シリアル・インタフェース用シリアル・データ出力 | 入力 | P14 |
| TW0TOFFP | 入力 | 10ビット・インバータ制御用タイマの出力停止外部入力 | 入力 | P00/INTP0 |
| TW0TO0-TW0TO5 | 出力 | 10ビット・インバータ制御用タイマ出力 | 出力 | RTP10-RTP15 |
| TI000 | 入力 | 16ビット・タイマ／イベント・カウンタ00への外部カウント・クロック入力<br>16ビット・タイマ／イベント・カウンタ00のキャプチャ・レジスタ（CR00, CR01）へのキャプチャ・トリガ入力 | 入力 | P53/INTP5 |
| TI001 | | 16ビット・タイマ／イベント・カウンタ00のキャプチャ・レジスタ（CR00）へのキャプチャ・トリガ入力 | | P54/TO00 |
| TO00 | 出力 | 16ビット・タイマ／イベント・カウンタ00出力 | 入力 | P54/TI001 |
| TI50 | 入力 | 8ビット・タイマ／イベント・カウンタ50への外部カウント・クロック入力 | 入力 | P50/TO50 |
| TO50 | 出力 | 8ビット・タイマ／イベント・カウンタ50出力 | 入力 | P50/TI50 |
| RTP10-RTP15 | 出力 | リアルタイム出力ポート1出力 | 出力 | TW0TO0-TW0TO5 |
| ADTRG | 入力 | A/Dコンバータのトリガ入力 | 入力 | P03/INTP3 |
| ANI0-ANI3 | 入力 | A/Dコンバータのアナログ入力 | 入力 | P20-P23 |
| $AV_{REF}$ | 入力 | A/Dコンバータの基準電圧入力およびポート2の正電源 | − | − |
| $AV_{SS}$ | − | A/Dコンバータのグランド電位。$V_{SS}$と同電位にしてください。 | − | − |
| $\overline{RESET}$ | 入力 | システム・リセット入力 | − | − |
| X1 | 入力 | X1入力クロック用発振子接続 | − | − |
| X2 | − | | − | − |
| $V_{DD}$ | − | 正電源（ポート部を除く） | − | − |
| $V_{SS}$ | − | グランド電位（ポート部を除く） | − | − |
| FLMD0 | − | フラッシュ・メモリ・プログラミング・モード引き込み | − | − |
| FLMD1 | 入力 | | 入力 | P17 |

# 2. 2　端子機能の説明

## 2. 2. 1　P00-P03（Port0）

4ビットの入出力ポートです。入出力ポートのほかに，外部割り込み要求入力，タイマ出力停止外部入力，A/Dコンバータの外部トリガ信号入力機能があります。

1ビット単位で次のような動作モードを指定できます。

**（1）ポート・モード**

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ0（PM0）により，1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0（PU0）により，内蔵プルアップ抵抗を使用できます。

**（2）コントロール・モード**

外部割り込み要求入力，タイマ出力停止外部入力，A/Dコンバータの外部トリガ信号入力として機能します。

（a）INTP0-INTP3

有効エッジ（立ち上がりエッジ，立ち下がりエッジ，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。また，INTP2は，有効エッジの入力により，リアルタイム出力ポートの外部トリガ信号入力端子にもなります。

（b）TW0TOFFP

タイマ出力（TW0TO0-TW0TO5）停止外部入力端子です。

（c）ADTRG

A/Dコンバータへの外部トリガ信号入力端子です。

### 2. 2. 2　P13, P14, P16, P17（Port 1）

4ビットの入出力ポートです。入出力ポートのほかに，シリアル・インタフェースのデータ入出力，フラッシュ・メモリ・プログラミング・モード引き込み機能があります。

1ビット単位で次のような動作モードを指定できます。

**（1）ポート・モード**

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ1（PM1）の設定により，1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ1（PU1）の設定により，内蔵プルアップ抵抗を使用できます。

**（2）コントロール・モード**

シリアル・インタフェースのデータ入出力，フラッシュ・メモリ・プログラミング・モード引き込みとして機能します。

（a）RxD00

アシンクロナス・シリアル・インタフェースのシリアル・データの入力端子です。

（b）TxD00

アシンクロナス・シリアル・インタフェースのシリアル・データの出力端子です。

（c）FLMD1

フラッシュ・メモリ・プログラミング・モード引き込み用端子です。

### 2. 2. 3　P20-P23（Port 2）

4ビットの入力専用ポートです。入力ポートのほかにA/Dコンバータのアナログ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

**（1）ポート・モード**

4ビットの入力専用ポートとして機能します[注]。

★　**注**　ポート2をディジタル・ポートとして使用する場合は，$AV_{REF}$を$V_{DD}$に接続してください。

**（2）コントロール・モード**

A/Dコンバータのアナログ入力端子（ANI0-ANI3）として機能します。アナログ入力端子として使用する場合，13. 7　A/D**コンバータの注意事項**（5）ANI0/P20-ANI3/P23を参照してください。

### 2. 2. 4　P50, P53, P54（Port 5）

3ビットの入出力ポートです。入出力ポートのほかに外部割り込み要求入力，タイマ入出力機能があります。
次のような動作モードを指定できます。

**（1）ポート・モード**

3ビットの入出力ポートとして機能します。ポート・モード・レジスタ5（PM5）の設定により，1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ5（PU5）の設定により，内蔵プルアップ抵抗を使用できます。

**（2）コントロール・モード**

外部割り込み要求入力，タイマの入出力として機能します。

（a）INTP5

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

（b）TI50

8ビット・タイマ／イベント・カウンタ50への外部カウント・クロック入力端子です。

（c）TO50

8ビット・タイマ／イベント・カウンタ50のタイマ出力端子です。

（d）TI000

16ビット・タイマ／イベント・カウンタ00への外部カウント・クロック入力端子およびキャプチャ・レジスタ（CR00, CR01）へのキャプチャ・トリガ信号入力端子です。

（e）TI001

16ビット・タイマ／イベント・カウンタ00のキャプチャ・レジスタ（CR00）へのキャプチャ・トリガ信号入力端子です。

（f）TO00

16ビット・タイマ／イベント・カウンタ00のタイマ出力端子です。

### 2. 2. 5　TW0TO0/RTP10-TW0TO5/RTP15

10ビット・インバータ制御用タイマ出力端子です。
また，リアルタイム出力ポート端子としても機能します。

### 2. 2. 6　AVREF

A/Dコンバータの基準電圧入力端子です。
A/Dコンバータを使用しない場合は，$V_{DD}$に直接接続してください[注]。

**注**　ポート2をディジタル・ポートとして使用する場合は，$V_{DD}$に直接接続してください。

### 2. 2. 7　AVSS

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも，常にVSS端子と同電位で使用してください。

### 2. 2. 8　$\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

### 2. 2. 9　X1, X2

X1入力クロック用発振子接続端子です。

外部クロックを供給するときは，X1に入力し，X2にその反転信号を入力してください。

**備考**　$\mu$PD78F0711, 78F0712のX1, X2は，オンチップ・ディバグ機能を使用するとき，オンチップ・ディバグ・モード引き込み用端子として使用できます。詳細は，**第23章　オンチップ・ディバグ機能**を参照してください。

### 2. 2. 10　VDD

正電源供給端子です。

### 2. 2. 11　VSS

グランド電位端子です。

### 2. 2. 12　FLMD0

フラッシュ・メモリ・プログラミング・モード引き込み用端子です。

フラッシュ・メモリ・プログラミング・モード時には，フラッシュ・メモリ・プログラマと必ず接続してください。

通常動作モード時には，FLMD0をVssに接続してください。

# 2. 3　端子の入出力回路と未使用端子の処理

各端子の入出力タイプと，未使用端子の処理を表2－2に示します。
また，各タイプの入出力回路の構成は，図2－1を参照してください。

**表2－2　各端子の入出力回路タイプ**

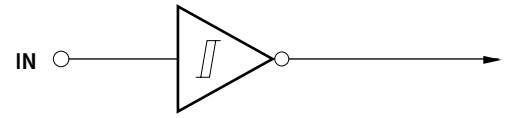
| 端子名称 | 入出力回路タイプ | 入出力 | 未使用時の推奨接続方法 |
|---|---|---|---|
| P00/INTP0/TW0TOFFP | 8-C | 入出力 | 入力時：個別に抵抗を介して，$V_{DD}$または$V_{SS}$に接続してください。<br>出力時：オープンにしてください。 |
| P01/INTP1 | | | |
| P02/INTP2 | | | |
| P03/INTP3/ADTRG | | | |
| P13/RxD00 | | | |
| P14/TxD00 | 5-H | | |
| P16 | 5-H | | |
| P17/FLMD1 | 5-H | | |
| P20/ANI0-P23/ANI3 | 9-C | 入力 | $V_{DD}$または$V_{SS}$に接続してください。 |
| P50/TI50/TO50 | 8-C | 入出力 | 入力時：個別に抵抗を介して，$V_{DD}$または$V_{SS}$に接続してください。<br>出力時：オープンにしてください。 |
| P53/TI000/INTP5 | | | |
| P54/TI001/TO00 | | | |
| TW0TO0/RTP10-<br>TW0TO5/RTP15 | 4-B | 出力 | オープンにしてください。 |
| $\overline{\text{RESET}}$ | 2 | 入力 | － |
| $AV_{REF}$ | － | | $V_{DD}$に直接接続してください[注1]。 |
| $AV_{SS}$ | | | $V_{SS}$に直接接続してください。 |
| FLMD0 | | | $V_{SS}$に接続してください[注2]。 |

**注**1. ポート2をディジタル・ポートとして使用する場合，$V_{DD}$に直接接続してください。

2. FLMD0は，フラッシュ・メモリにデータを書き込むときに使用する端子です。オンボードでフラッシュ・メモリのデータを書き換える場合は，抵抗（10 kΩ：推奨）を介して，$V_{SS}$に接続してください。

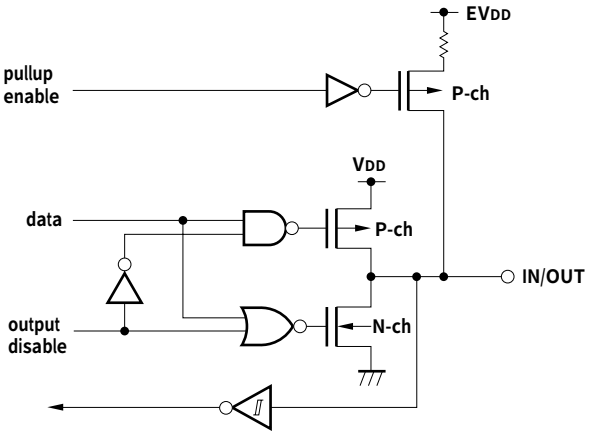
**図2－1　端子の入出力回路一覧**

**タイプ2**

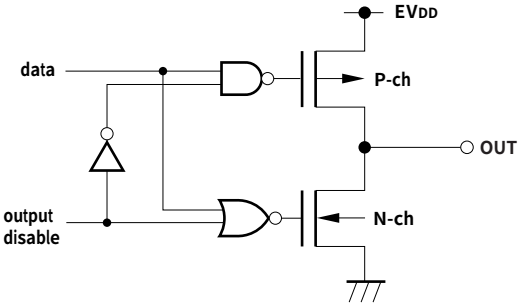



ヒステリシス特性を有するシュミット・トリガ入力となっています。

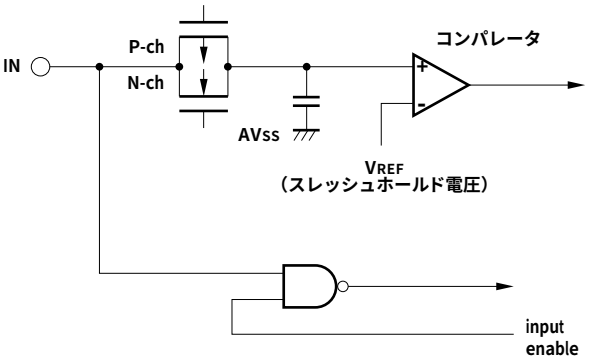
**タイプ8-C**



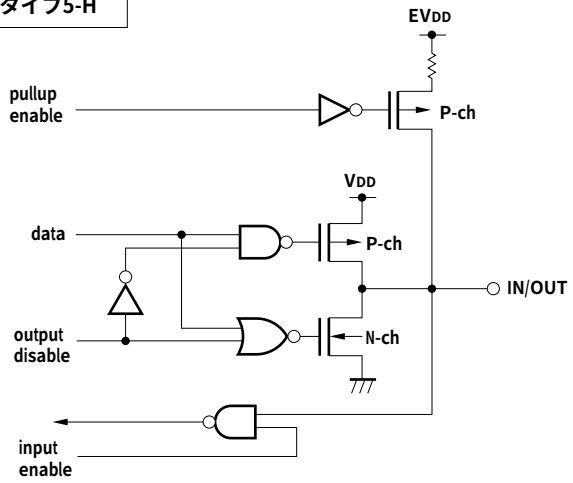

**タイプ4-B**




**タイプ9-C**




**タイプ5-H**



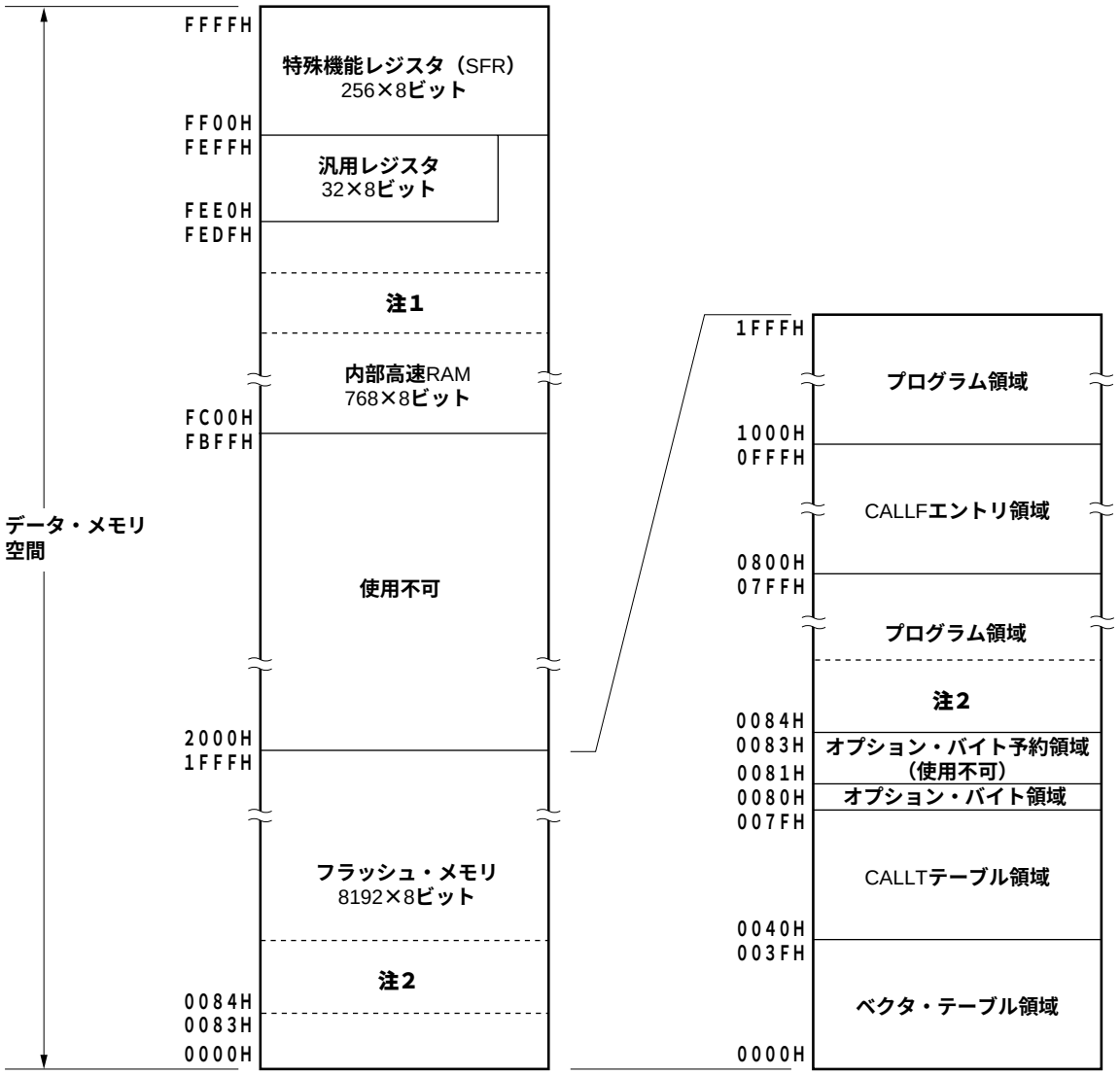
# 第3章　CPUアーキテクチャ

## 3. 1　メモリ空間

μPD78F0711, 78F0712は，それぞれ64 Kバイトのメモリ空間をアクセスできます。図3－1, 3－2に，メモリ・マップを示します。

**注意　メモリ・サイズ切り替えレジスタ（IMS）の初期値は，CFHとなっているため，初期設定で02H（μPD78F0711）または04H（μPD78F0712）に設定してください。**

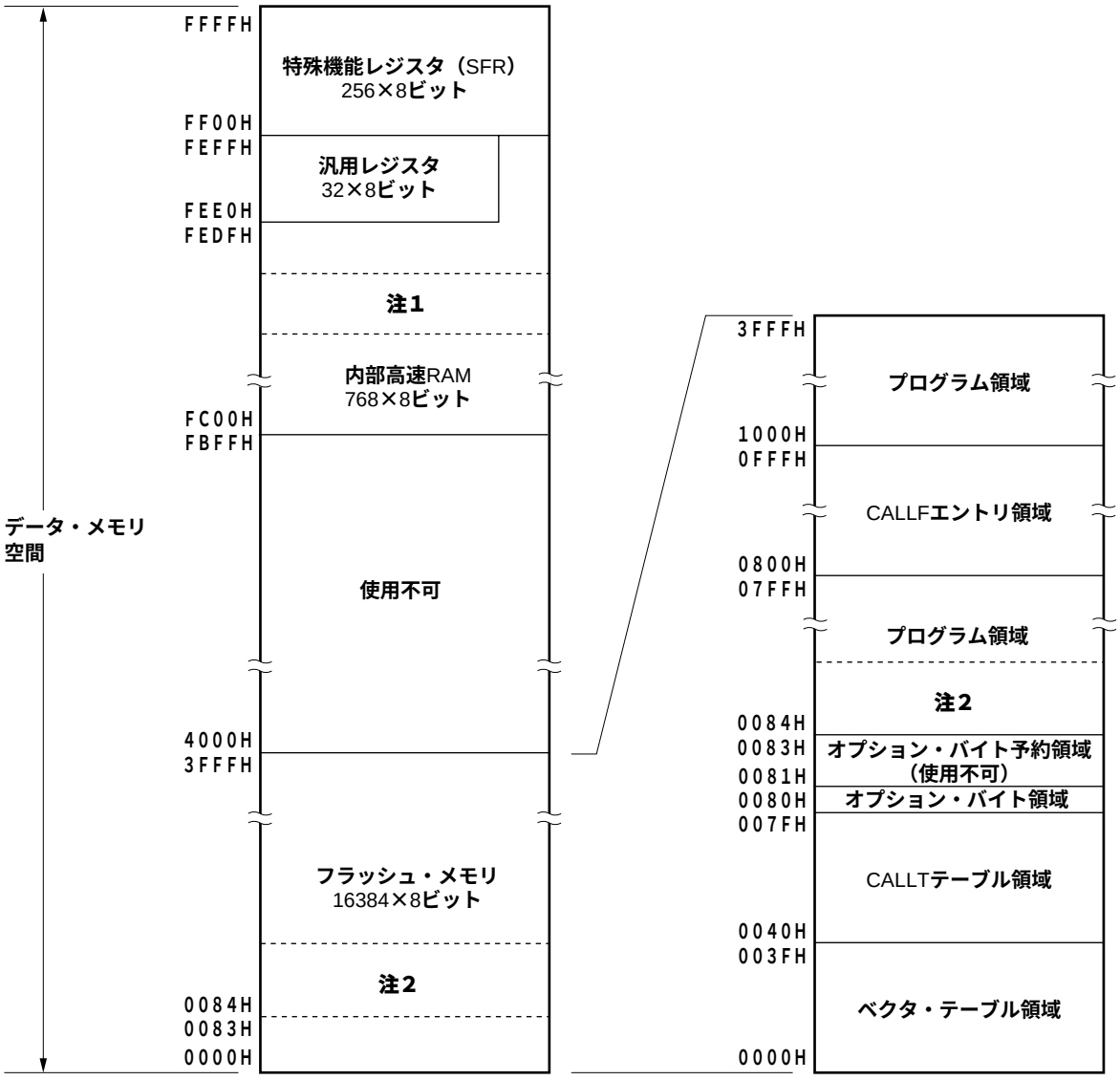
**図3－1　メモリ・マップ（μPD78F0711）**




**注**1. **オンチップ・ディバグ時は，通信時のユーザ・データのバックアップ領域として，9バイト（予定）使用します。**

2. **オンチップ・ディバグ時は，通信コマンド用領域（256バイト～1 Kバイト）となるため，使用不可になります。**

**図3－2　メモリ・マップ（μPD78F0712）**




**注**1. **オンチップ・ディバグ時は，通信時のユーザ・データのバックアップ領域として，9バイト（予定）使用します。**

2. **オンチップ・ディバグ時は，通信コマンド用領域（256バイト～1 Kバイト）となるため，使用不可になります。**

### 3. 1. 1　内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなど格納します。通常，プログラム・カウンタ（PC）でアドレスします。

μPD78F0711, 78F0712は，次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表3－1　内部ROM容量

| 製　品 | 内部ROM | |
|---|---|---|
| | 構　造 | 容　量 |
| μPD78F0711 | フラッシュ・メモリ | 8192×8ビット（0000H-1FFFH） |
| μPD78F0712 | | 16384×8ビット（0000H-3FFFH） |

内部プログラム・メモリ空間には，次に示す領域を割り付けています。

**(1) ベクタ・テーブル領域**

0000H-003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には，リセット信号入力，各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。

16ビット・アドレスのうち下位8ビットが偶数アドレスに，上位8ビットが奇数アドレスに格納されます。

表3－2　ベクタ・テーブル

| ベクタ・テーブル・アドレス | 割り込み要因 | ベクタ・テーブル・アドレス | 割り込み要因 |
|---|---|---|---|
| 0000H | $\overline{\text{RESET}}$入力，POC, LVI, WDT | 0020H | －注 |
| 0004H | INTLVI | 0022H | －注 |
| 0006H | INTP0 | 0024H | －注 |
| 0008H | INTP1 | 0026H | －注 |
| 000AH | INTP2 | 0028H | INTTM00 |
| 000CH | INTP3 | 002AH | INTTM01 |
| 000EH | －注 | 002CH | INTSRE00 |
| 0010H | INTP5 | 002EH | INTSR00 |
| 0012H | －注 | 0030H | INTST00 |
| 0014H | －注 | 0032H | INTTM50 |
| 0016H | INTTW0UD | 0034H | INTTM51 |
| 0018H | INTTW0CM3 | 0036H | －注 |
| 001AH | INTTW0CM4 | 0038H | －注 |
| 001CH | INTTW0CM5 | 003AH | INTDMU |
| 001EH | －注 | 003CH | INTAD |

注　このベクタ・テーブル・アドレスに該当する割り込み要求はありません。

**(2)** CALLT**命令テーブル領域**

0040H-007FHの64**バイト領域には，**1**バイト・コール命令（**CALLT**）のサブルーチン・エントリ・アドレスを格納することができます。**

**(3) オプション・バイト領域**

0080H**の**1**バイト領域にオプション・バイト領域を用意しています。詳細は，第**21**章　オプション・バイトを参照してください。**

**(4)** CALLF**命令エントリ領域**

0800H-0FFFH**の領域は，**2**バイト・コール命令（**CALLF**）で直接サブルーチン・コールすることができます。**

## 3. 1. 2　内部データ・メモリ空間

$\mu$PD78F0711, 78F0712**は，次に示す**RAM**を内蔵しています。**

**(1) 内部高速**RAM

FC00H-FEFFH**の**768×8**ビット構成となっています。**

**このうち**FEE0H-FEFFH**の**32**バイトの領域には，**8**ビット・レジスタ**8**個を**1**バンクとする汎用レジスタが，**4**バンク割り付けられます。**

**プログラム領域として命令を書いて実行することはできません。**

**また，内部高速**RAM**はスタック・メモリとしても使用できます。**

## 3. 1. 3　特殊機能レジスタ（SFR：Special Function Register）領域

FF00H-FFFFH**の領域には，オンチップ周辺ハードウエアの特殊機能レジスタ（**SFR**）が割り付けられています（**3. 2. 3　**特殊機能レジスタ（**SFR：Special Function Register**）の表**3－3　**特殊機能レジスター覧参照）。**

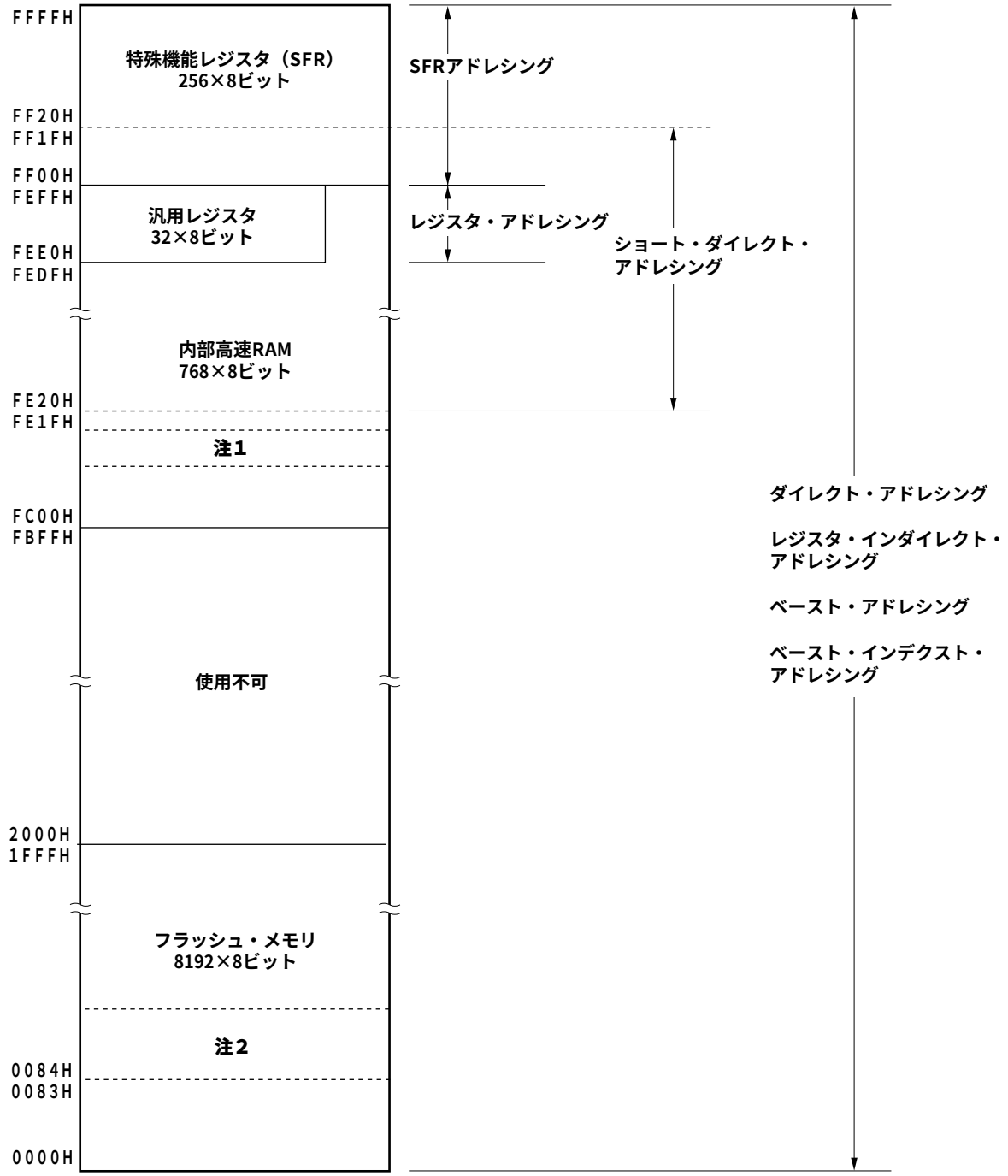
**注意**　SFR**が割り付けられていないアドレスにアクセスしないでください。**

## 3. 1. 4　データ・メモリ・アドレシング

**次に実行する命令のアドレスを指定したり，命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定する方法をアドレシングといいます。**

**命令を実行する際に操作対象となるメモリのアドレシングについて，**$\mu$PD78F0711, 78F0712**では，その操作性などを考慮して豊富なアドレシング・モードを備えました。特にデータ・メモリを内蔵している領域では，特殊機能レジスタ（**SFR**）や汎用レジスタなど，それぞれのもつ機能にあわせて特有のアドレシングが可能です。図**3－3, 3－4**にデータ・メモリとアドレシングの対応を示します。各アドレシングの詳細については，**3. 4 **オペランド・アドレスのアドレシング**を参照してください。**

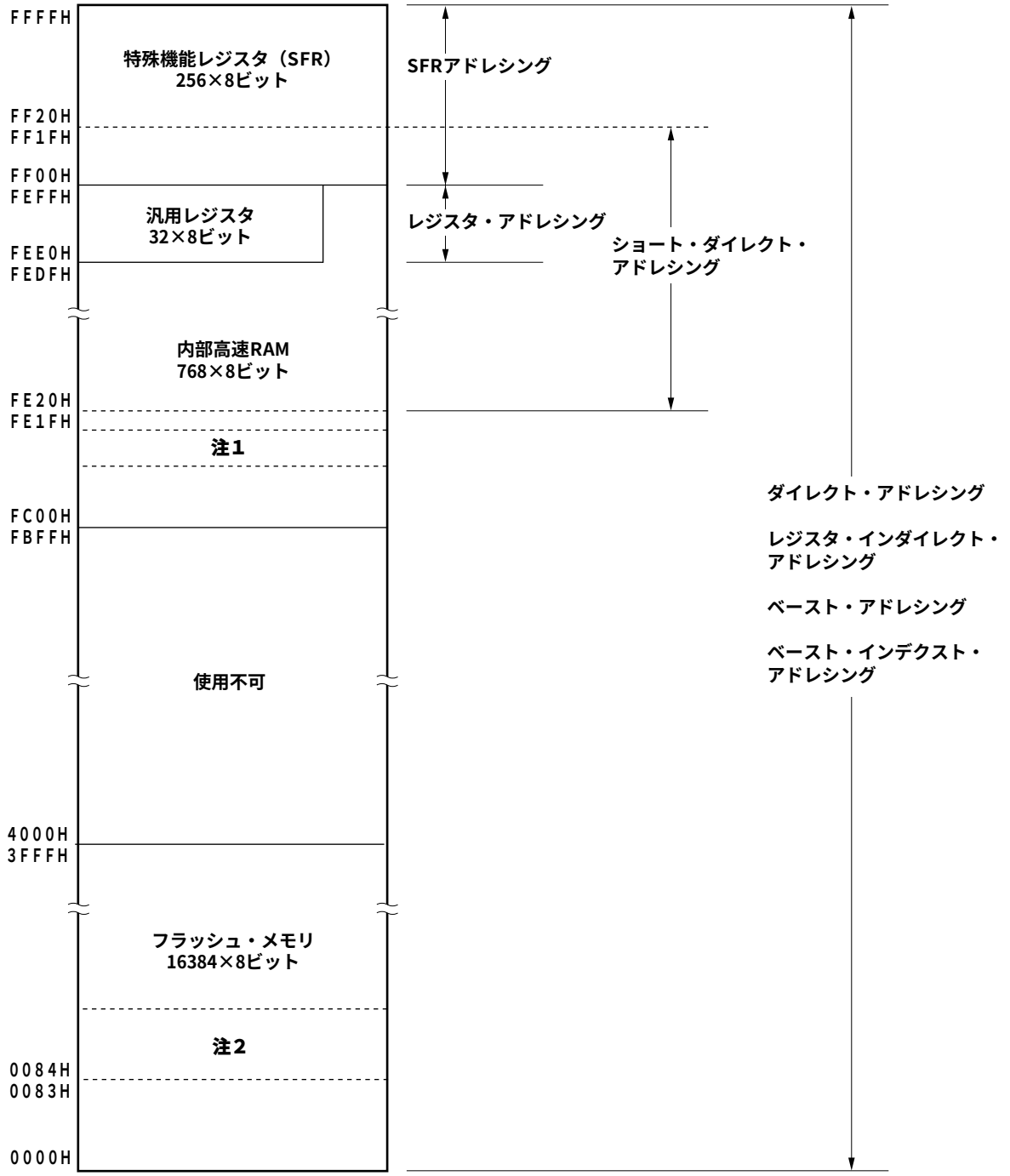
**図3－3　データ・メモリとアドレシングの対応（μPD78F0711）**




**注**1. **オンチップ・ディバグ時は，通信時のユーザ・データのバックアップ領域として，9バイト（予定）使用します。**

2. **オンチップ・ディバグ時は，通信コマンド用領域（256バイト～1 Kバイト）となるため，使用不可になります。**

**図3－4　データ・メモリとアドレシングの対応（μPD78F0712）**




**注**1. **オンチップ・ディバグ時は，通信時のユーザ・データのバックアップ領域として，9バイト（予定）使用します。**

2. **オンチップ・ディバグ時は，通信コマンド用領域（256バイト～1 Kバイト）となるため，使用不可になります。**

# 3. 2　プロセッサ・レジスタ

μPD78F0711, 78F0712は，次のプロセッサ・レジスタを内蔵しています。

## 3. 2. 1　制御レジスタ

プログラム・シーケンス，ステータス，スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには，プログラム・カウンタ（PC），プログラム・ステータス・ワード（PSW），スタック・ポインタ（SP）があります。

**(1) プログラム・カウンタ（PC）**

プログラム・カウンタは，次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には，フェッチする命令のバイト数に応じて，自動的にインクリメントされます。分岐命令実行時には，イミーディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$入力により，0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

**図3－5　プログラム・カウンタの構成**

| | 15 | | | | | | | | | | | | | | | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| PC | PC15 | PC14 | PC13 | PC12 | PC11 | PC10 | PC9 | PC8 | PC7 | PC6 | PC5 | PC4 | PC3 | PC2 | PC1 | PC0 |

**(2) プログラム・ステータス・ワード（PSW）**

プログラム・ステータス・ワードは，命令の実行によってセット，リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は，割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ，RETB, RETI命令およびPOP PSW命令の実行時に復帰されます。

$\overline{\text{RESET}}$入力により，02Hになります。

**図3－6　プログラム・ステータス・ワードの構成**

| | 7 | | | | | | | 0 |
|---|---|---|---|---|---|---|---|---|
| PSW | IE | Z | RBS1 | AC | RBS0 | 0 | ISP | CY |

**(a) 割り込み許可フラグ（IE）**

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり，マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このとき割り込み要求の受け付けは，インサービス・プライオリティ・フラグ（ISP），各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは，DI命令の実行または割り込みの受け付けでリセット（0）され，EI命令の実行によりセット（1）されます。

(b) **ゼロ・フラグ（Z）**

**演算結果がゼロのときセット（1）され，それ以外のときにリセット（0）されるフラグです。**

(c) **レジスタ・バンク選択フラグ（**RBS0, RBS1**）**

**4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。**

**SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。**

(d) **補助キャリー・フラグ（**AC**）**

**演算結果が，ビット3からキャリーがあったとき，またはビット3へのボローがあったときセット（1）され，それ以外のときリセット（0）されるフラグです。**

(e) **インサービス・プライオリティ・フラグ（**ISP**）**

**受け付け可能なマスカブル・ベクタ割り込みの優先順位を管理するフラグです。**ISP = 0**のときは優先順位指定フラグ・レジスタ（**PR0L, PR0H, PR1L, PR1H**）（**19. 3 **（**3**）優先順位指定フラグ・レジスタ（**PR0L, PR0H, PR1L, PR1H**）参照）で低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお，実際に割り込み要求が受け付けられるかどうかは，割り込み許可フラグ（**IE**）の状態により制御されます。**

(f) **キャリー・フラグ（**CY**）**

**加減算命令実行時のオーバフロー，アンダフローを記憶するフラグです。また，ローテート命令実行時はシフト・アウトされた値を記憶し，ビット演算命令実行時には，ビット・アキュームレータとして機能します。**

(3) **スタック・ポインタ（**SP**）**

**メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。**

**図3－7　スタック・ポインタの構成**

| | 15 | | | | | | | | | | | | | | | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SP | SP15 | SP14 | SP13 | SP12 | SP11 | SP10 | SP9 | SP8 | SP7 | SP6 | SP5 | SP4 | SP3 | SP2 | SP1 | SP0 |

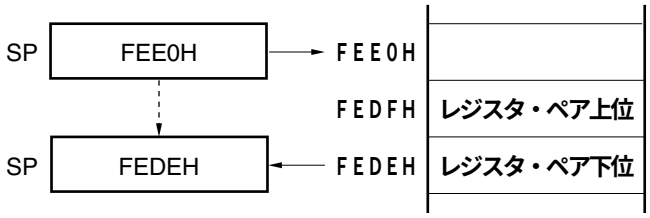
**スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ，スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。**

**各スタック動作によって退避／復帰されるデータは図**3－8, 3－9**のようになります。**

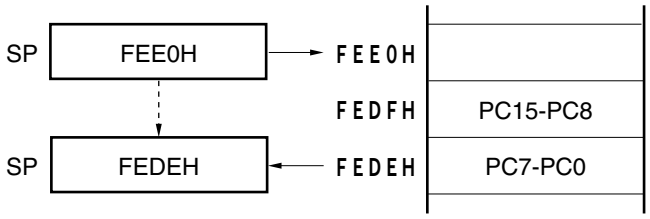
**注意** SP**の内容は**$\overline{\text{RESET}}$**入力により，不定になりますので，必ずスタック使用前にイニシャライズしてください。**

**図3－8　スタック・メモリへ退避されるデータ**

**（a）**PUSH rp**命令（**SP**が**FEE0H**の場合）**




**（b）**CALL, CALLF, CALLT**命令（**SP**が**FEE0H**の場合）**




**（c）割り込み，**BRK**命令（**SP**が**FEE0H**の場合）**

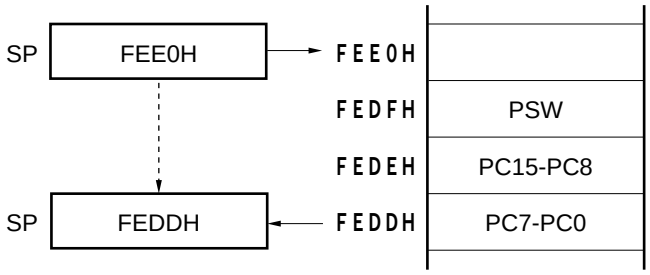
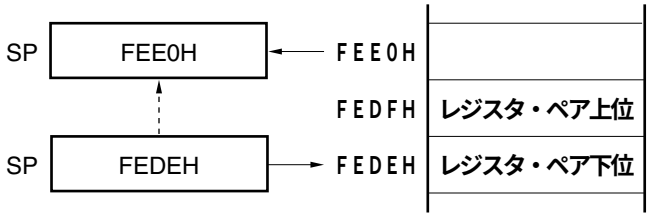
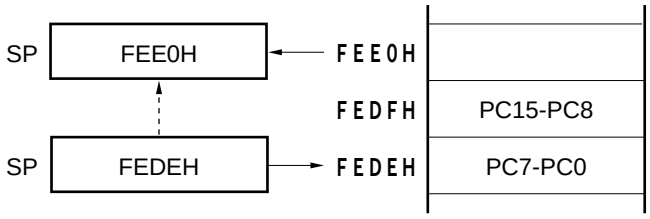


**図3－9　スタック・メモリから復帰されるデータ**

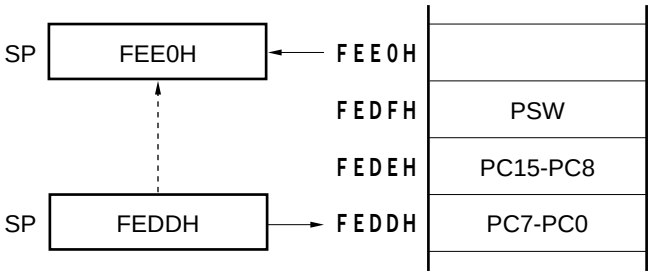
**（a）POP rp命令（SPがFEDEHの場合）**




**（b）RET命令（SPがFEDEHの場合）**




**（c）RETI, RETB命令（SPがFEDDHの場合）**




## 3. 2. 2　汎用レジスタ

**汎用レジスタは，データ・メモリの特定番地（FEE0H-FEFFH）にマッピングされており，8ビット・レジスタ8個（X, A, C, B, E, D, L, H）を1バンクとして4バンクのレジスタで構成されています。**

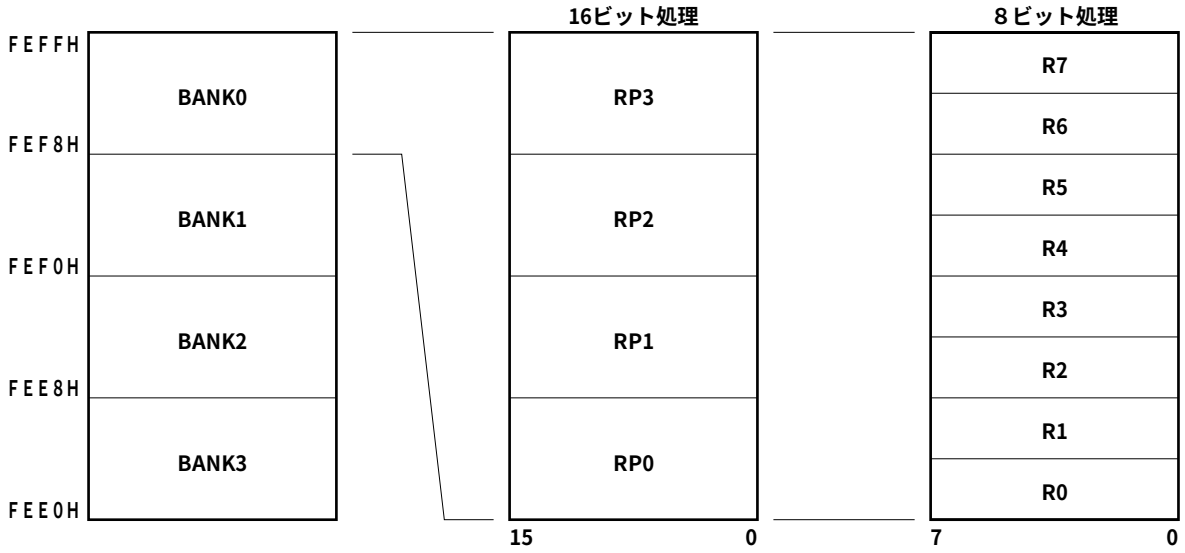
**各レジスタは，それぞれ8ビット・レジスタとして使用できるほか，2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。**

**また，機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか，絶対名称（R0-R7, RP0-RP3）ででも記述できます。**

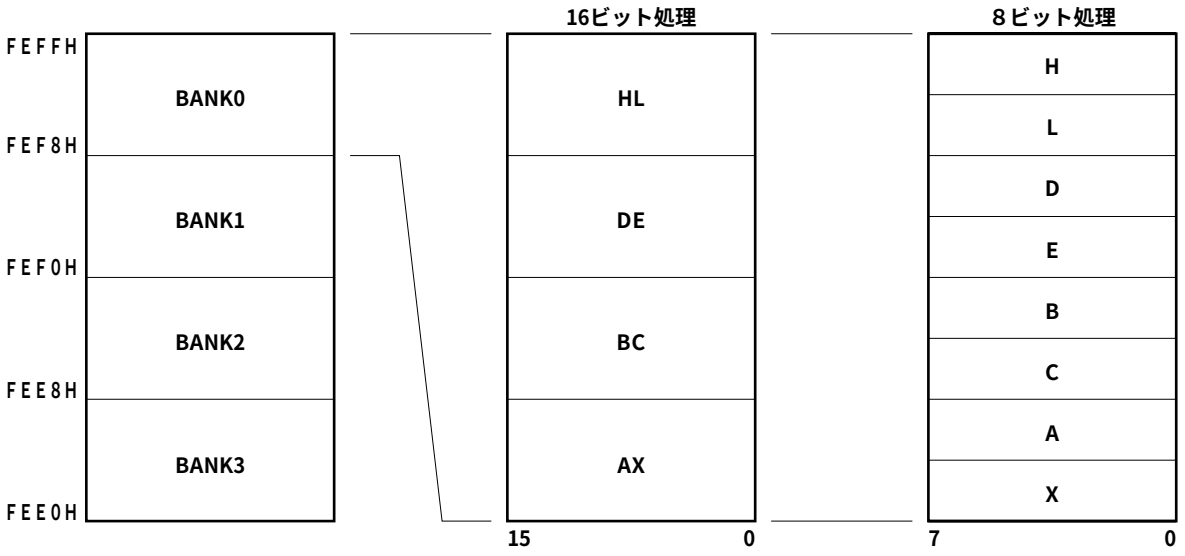
**命令実行時に使用するレジスタ・バンクは，CPU制御命令（SEL RBn）によって設定します。4レジスタ・バンク構成になっていますので，通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより，効率のよいプログラムを作成できます。**

図3－10　汎用レジスタの構成

(a) 絶対名称




(b) 機能名称



### 3. 2. 3　特殊機能レジスタ（SFR：Special Function Register）

特殊機能レジスタは，汎用レジスタとは異なり，それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの領域に割り付けられています。

特殊機能レジスタは，演算命令，転送命令，ビット操作命令などにより，汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は，各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

- **1ビット操作**

  1ビット操作命令のオペランド（sfr.bit）にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **8ビット操作**

  8ビット操作命令のオペランド（sfr）にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **16ビット操作**

  16ビット操作命令のオペランド（sfrp）にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3－3に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- **略号**

  特殊機能レジスタのアドレスを示す略号です。RA78K0で予約語に，CC78K0では#pragma sfr指令で，sfr変数として定義されているものです。RA78K0およびID78K0-QB使用時に命令のオペランドとして記述できます。

- R/W

  該当する特殊機能レジスタが読み出し（Read）／書き込み（Write）可能かどうかを示します。

  R/W　：読み出し／書き込みがともに可能

  R　　：読み出しのみ可能

  W　　：書き込みのみ可能

- **操作可能ビット単位**

  操作可能なビット単位（1, 8, 16）を○で示します。－は操作できないビット単位であることを示します。

- **リセット時**

  $\overline{\text{RESET}}$入力時の各レジスタの状態を示します。

表3－3　特殊機能レジスター覧（1/4）

| アドレス | 特殊機能レジスタ（SFR）名称 | 略　号 | | R/W | 操作可能ビット範囲 | | | リセット時 |
|---|---|---|---|---|---|---|---|---|
| | | | | | 1ビット | 8ビット | 16ビット | |
| FF00H | ポート・レジスタ0 | P0 | | R/W | ○ | ○ | － | 00H |
| FF01H | ポート・レジスタ1 | P1 | | R/W | ○ | ○ | － | 00H |
| FF02H | ポート・レジスタ2 | P2 | | R | ○ | ○ | － | 不定 |
| FF05H | ポート・レジスタ5 | P5 | | R/W | ○ | ○ | － | 00H |
| FF08H | 10ビット・バッファ・レジスタ0 | TW0BFCM0 | TW0BFCM0L | R/W | － | ○ | ○ | 0000H |
| FF09H | | | － | | | － | | |
| FF0AH | 10ビット・バッファ・レジスタ1 | TW0BFCM1 | TW0BFCM1L | R/W | － | ○ | ○ | 0000H |
| FF0BH | | | － | | | － | | |
| FF0CH | 10ビット・バッファ・レジスタ2 | TW0BFCM2 | TW0BFCM2L | R/W | － | ○ | ○ | 0000H |
| FF0DH | | | － | | | － | | |
| FF0EH | 10ビット・バッファ・レジスタ3 | TW0BFCM3 | TW0BFCM3L | R/W | － | ○ | ○ | 00FFH |
| FF0FH | | | － | | | － | | |
| FF16H | 16ビット・タイマ・カウンタ00 | TM00 | | R | － | － | ○ | 0000H |
| FF17H | | | | | | | | |
| FF18H | 受信バッファ・レジスタ00 | RXB00 | | R | － | ○ | － | FFH |
| FF19H | 送信シフト・レジスタ00 | TXS00 | | W | － | ○ | － | FFH |
| FF1AH | A/D変換結果レジスタ | ADCR | | R | － | － | ○ | 不定 |
| FF1BH | | | | | | | | |
| FF20H | ポート・モード・レジスタ0 | PM0 | | R/W | ○ | ○ | － | FFH |
| FF21H | ポート・モード・レジスタ1 | PM1 | | R/W | ○ | ○ | － | FFH |
| FF25H | ポート・モード・レジスタ5 | PM5 | | R/W | ○ | ○ | － | FFH |
| FF2CH | 8ビット・タイマ・カウンタ50 | TM50 | | R | － | ○ | － | 00H |
| FF2DH | 8ビット・タイマ・コンペア・レジスタ50 | CR50 | | R/W | － | ○ | － | 00H |
| FF2EH | タイマ・クロック選択レジスタ50 | TCL50 | | R/W | － | ○ | － | 00H |
| FF2FH | 8ビット・タイマ・モード・コントロール・レジスタ50 | TMC50 | | R/W | ○ | ○ | － | 00H |
| FF30H | プルアップ抵抗オプション・レジスタ0 | PU0 | | R/W | ○ | ○ | － | 00H |
| FF31H | プルアップ抵抗オプション・レジスタ1 | PU1 | | R/W | ○ | ○ | － | 00H |
| FF35H | プルアップ抵抗オプション・レジスタ5 | PU5 | | R/W | ○ | ○ | － | 00H |
| FF38H | DC制御レジスタ01 | DCCTL01 | | R/W | ○ | ○ | － | 00H |
| FF39H | PWM選択レジスタ | DCCTL02 | | R/W | ○ | ○ | － | 00H |
| FF3CH | 8ビット・タイマ・カウンタ51 | TM51 | | R | － | ○ | － | 00H |
| FF3DH | 8ビット・タイマ・コンペア・レジスタ51 | CR51 | | R/W | － | ○ | － | 00H |
| FF3EH | タイマ・クロック選択レジスタ51 | TCL51 | | R/W | － | ○ | － | 00H |
| FF3FH | 8ビット・タイマ・モード・コントロール・レジスタ51 | TMC51 | | R/W | ○ | ○ | － | 00H |
| FF48H | 外部割り込み立ち上がりエッジ許可レジスタ | EGP | | R/W | ○ | ○ | － | 00H |
| FF49H | 外部割り込み立ち下がりエッジ許可レジスタ | EGN | | R/W | ○ | ○ | － | 00H |

表3－3　特殊機能レジスター覧（2/4）

| アドレス | 特殊機能レジスタ（SFR）名称 | 略　号 | | R/W | 操作可能ビット範囲 | | | リセット時 |
|---|---|---|---|---|---|---|---|---|
| | | | | | 1ビット | 8ビット | 16ビット | |
| FF50H | 10ビット・バッファ・レジスタ4 | TW0BFCM4 | TW0BFCM4L | R/W | － | ○ | ○ | 0000H |
| FF51H | | | － | | | － | | |
| FF52H | 10ビット・バッファ・レジスタ5 | TW0BFCM5 | TW0BFCM5L | R/W | － | ○ | ○ | 0000H |
| FF53H | | | － | | | － | | |
| FF54H | 10ビット・コンペア・レジスタ0 | TW0CM0 | | R/W | － | － | ○ | 0000H |
| FF55H | | | | | | | | |
| FF56H | 10ビット・コンペア・レジスタ1 | TW0CM1 | | R/W | － | － | ○ | 0000H |
| FF57H | | | | | | | | |
| FF58H | 10ビット・コンペア・レジスタ2 | TW0CM2 | | R/W | － | － | ○ | 0000H |
| FF59H | | | | | | | | |
| FF5AH | 10ビット・コンペア・レジスタ3 | TW0CM3 | | R/W | － | － | ○ | 00FFH |
| FF5BH | | | | | | | | |
| FF5CH | 10ビット・コンペア・レジスタ4 | TW0CM4 | | R/W | － | － | ○ | 0000H |
| FF5DH | | | | | | | | |
| FF5EH | 10ビット・コンペア・レジスタ5 | TW0CM5 | | R/W | － | － | ○ | 0000H |
| FF5FH | | | | | | | | |
| FF60H | 剰余データ・レジスタ0 | SDR0 | SDR0L | R | － | ○ | ○ | 00H |
| FF61H | | | SDR0H | | － | ○ | | 00H |
| FF62H | 乗除算データ・レジスタA0 | MDA0L | MDA0LL | R/W | － | ○ | ○ | 00H |
| FF63H | | | MDA0LH | | － | ○ | | 00H |
| FF64H | | MDA0H | MDA0HL | R/W | － | ○ | ○ | 00H |
| FF65H | | | MDA0HH | | － | ○ | | 00H |
| FF66H | 乗除算データ・レジスタB0 | MDB0 | MDB0L | R/W | － | ○ | ○ | 00H |
| FF67H | | | MDB0H | | － | ○ | | 00H |
| FF68H | 乗除算器コントロール・レジスタ0 | DMUC0 | | R/W | ○ | ○ | － | 00H |
| FF69H | ハイ・インピーダンス出力制御レジスタ0 | HZAOCTL0 | | R/W | ○ | ○ | － | 00H |
| FF6AH | キャプチャ／コンペア・コントロール・レジスタ00 | CRC00 | | R/W | ○ | ○ | － | 00H |
| FF6BH | 16ビット・タイマ出力コントロール・レジスタ00 | TOC00 | | R/W | ○ | ○ | － | 00H |
| FF6CH | A/Dコンバータ・モード・レジスタ | ADM | | R/W | ○ | ○ | － | 00H |
| FF6DH | アナログ入力チャネル指定レジスタ | ADS | | R/W | ○ | ○ | － | 00H |
| FF6EH | パワーフェイル比較モード・レジスタ | PFM | | R/W | ○ | ○ | － | 00H |
| FF6FH | パワーフェイル比較しきい値レジスタ | PFT | | R/W | － | ○ | － | 00H |
| FF70H | アシンクロナス・シリアル・インタフェース動作モード・レジスタ00 | ASIM00 | | R/W | ○ | ○ | － | 01H |
| FF71H | ボー・レート・ジェネレータ・コントロール・レジスタ00 | BRGC00 | | R/W | － | ○ | － | 1FH |
| FF73H | アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ00 | ASIS00 | | R | － | ○ | － | 00H |
| FF78H | 低電圧検出レジスタ | LVIM | | R/W | ○ | ○ | － | 00H[注] |

**注**　LVIによるリセット時のみ83Hとなります。

表3－3　特殊機能レジスター覧（3/4）

| アドレス | 特殊機能レジスタ（SFR）名称 | 略　号 | | R/W | 操作可能ビット範囲 | | | リセット時 |
|---|---|---|---|---|---|---|---|---|
| | | | | | 1ビット | 8ビット | 16ビット | |
| FF7AH<br>FF7BH | 16ビット・タイマ・キャプチャ／コンペア・レジスタ00 | CR00 | | R/W | － | － | ○ | 0000H |
| FF7CH<br>FF7DH | 16ビット・タイマ・キャプチャ／コンペア・レジスタ01 | CR01 | | R/W | － | － | ○ | 0000H |
| FF7EH | 16ビット・タイマ・モード・コントロール・レジスタ00 | TMC00 | | R/W | ○ | ○ | － | 00H |
| FF7FH | プリスケーラ・モード・レジスタ00 | PRM00 | | R/W | ○ | ○ | － | 00H |
| FF88H | インバータ・タイマ・コントロール・レジスタ | TW0C | | R/W | ○ | ○ | － | 00H |
| FF89H | インバータ・タイマ・モード・レジスタ | TW0M | | R/W | ○ | ○ | － | 00H |
| FF8AH | デッド・タイム・リロード・レジスタ | TW0DTIME | | R/W | － | ○ | － | FFH |
| FF8BH | A/Dトリガ選択レジスタ | TW0TRGS | | R/W | ○ | ○ | － | 00H |
| FF8CH | インバータ・タイマ出力制御レジスタ | TW0OC | | R/W | ○ | ○ | － | 00H |
| FF98H | ウォッチドッグ・タイマ・モード・レジスタ | WDTM | | R/W | － | ○ | － | 67H |
| FF99H | ウォッチドッグ・タイマ・イネーブル・レジスタ | WDTE | | R/W | － | ○ | － | 9AH |
| FFA0H | 内蔵発振モード・レジスタ | RCM | | R/W | ○ | ○ | － | 00H |
| FFA1H | メイン・クロック・モード・レジスタ | MCM | | R/W | ○ | ○ | － | 00H |
| FFA2H | メインOSCコントロール・レジスタ | MOC | | R/W | ○ | ○ | － | 00H |
| FFA3H | 発振安定時間カウンタ状態レジスタ | OSTC | | R | ○ | ○ | － | 00H |
| FFA4H | 発振安定時間選択レジスタ | OSTS | | R/W | － | ○ | － | 05H |
| FFACH | リセット・コントロール・フラグ・レジスタ | RESF | | R | － | ○ | － | 00H[注1] |
| FFB8H | リアルタイム出力バッファ・レジスタ1L | RTBL01 | | R/W | ○ | ○ | － | 00H |
| FFBAH | リアルタイム出力バッファ・レジスタ1H | RTBH01 | | R/W | ○ | ○ | － | 00H |
| FFBCH | リアルタイム出力ポート・モード・レジスタ1 | RTPM01 | | R/W | ○ | ○ | － | 00H |
| FFBDH | リアルタイム出力ポート・コントロール・レジスタ1 | RTPC01 | | R/W | ○ | ○ | － | 00H |
| FFC0H | フラッシュ・プロテクト・コマンド・レジスタ | PFCMD | | W | × | ○ | × | 不定 |
| FFC2H | フラッシュ・ステータス・レジスタ | PFS | | R/W | ○ | ○ | × | 00H |
| FFC4H | フラッシュ・プログラミング・モード・コントロール・レジスタ | FLPMC | | R/W | ○ | ○ | × | 0XH[注2] |
| FFE0H | 割り込み要求フラグ・レジスタ0L | IF0 | IF0L | R/W | ○ | ○ | ○ | 00H |
| FFE1H | 割り込み要求フラグ・レジスタ0H | | IF0H | R/W | ○ | ○ | | 00H |
| FFE2H | 割り込み要求フラグ・レジスタ1L | IF1 | IF1L | R/W | ○ | ○ | ○ | 00H |
| FFE3H | 割り込み要求フラグ・レジスタ1H | | IF1H | R/W | ○ | ○ | | 00H |
| FFE4H | 割り込みマスク・フラグ・レジスタ0L | MK0 | MK0L | R/W | ○ | ○ | ○ | FFH |
| FFE5H | 割り込みマスク・フラグ・レジスタ0H | | MK0H | R/W | ○ | ○ | | FFH |
| FFE6H | 割り込みマスク・フラグ・レジスタ1L | MK1 | MK1L | R/W | ○ | ○ | ○ | FFH |
| FFE7H | 割り込みマスク・フラグ・レジスタ1H | | MK1H | R/W | ○ | ○ | | DFH |

注1.　リセット要因により変化します。

2.　動作モードにより異なります。

・ユーザ・モード　　：08H

・オンボード・モード　：0CH

表3－3　特殊機能レジスター覧（4/4）

| | アドレス | 特殊機能レジスタ（SFR）名称 | 略　号 | | R/W | 操作可能ビット範囲 | | | リセット時 |
|---|---|---|---|---|---|---|---|---|---|
| | | | | | | 1ビット | 8ビット | 16ビット | |
| | FFE8H | 優先順位指定フラグ・レジスタ0L | PR0 | PR0L | R/W | ○ | ○ | ○ | FFH |
| | FFE9H | 優先順位指定フラグ・レジスタ0H | | PR0H | R/W | ○ | ○ | | FFH |
| | FFEAH | 優先順位指定フラグ・レジスタ1L | PR1 | PR1L | R/W | ○ | ○ | ○ | FFH |
| | FFEBH | 優先順位指定フラグ・レジスタ1H | | PR1H | R/W | ○ | ○ | | FFH |
| | FFF0H | メモリ・サイズ切り替えレジスタ注 | IMS | | R/W | － | ○ | － | CFH |
| | FFFBH | プロセッサ・クロック・コントロール・レジスタ | PCC | | R/W | ○ | ○ | － | 00H |
| ★ | FFFDH | システム・ウエイト制御レジスタ | VSWC | | R/W | ○ | ○ | － | 00H |

注　メモリ・サイズ切り替えレジスタ（IMS）の初期値は，CFHとなっているため，初期設定で02H（μPD78F0711）または04H（μPD78F0712）に設定してください。

# 3. 3　命令アドレスのアドレシング

命令アドレスは，プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は，通常，命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して＋1）されます。しかし，分岐を伴う命令を実行する際には，次に示すようなアドレシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0シリーズ　ユーザーズ・マニュアル　命令編（U12326J）を参照してください）。

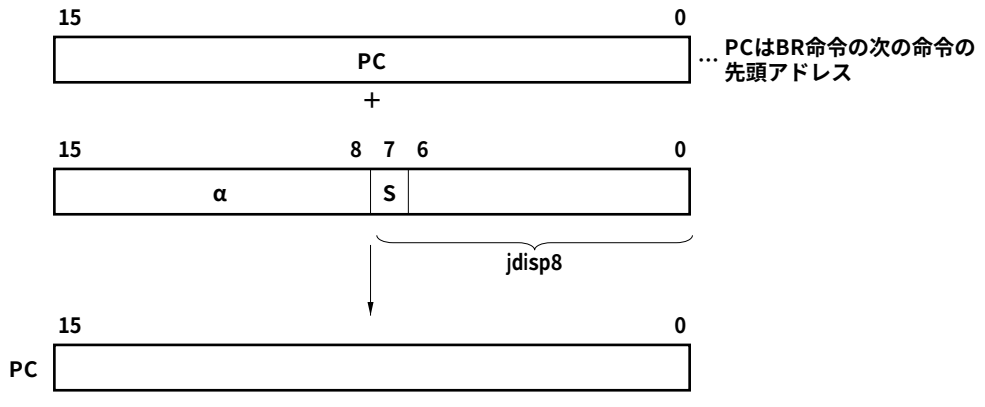
## 3. 3. 1　レラティブ・アドレシング

【機　　能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミーディエト・データ（ディスプレースメント値：jdisp8）を加算した値が，プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は，符号付きの2の補数データ（－128～＋127）として扱われ，ビット7が符号ビットとなります。つまり，レラティブ・アドレシングでは，次に続く命令の先頭アドレスから相対的に－128～＋127の範囲に分岐するということです。

BR $addr16命令および条件付き分岐命令を実行する際に行われます。

【図　　解】




S = 0のとき，αは全ビット0

S = 1のとき，αは全ビット1

## 3. 3. 2　イミーディエト・アドレシング

**【機　　能】**

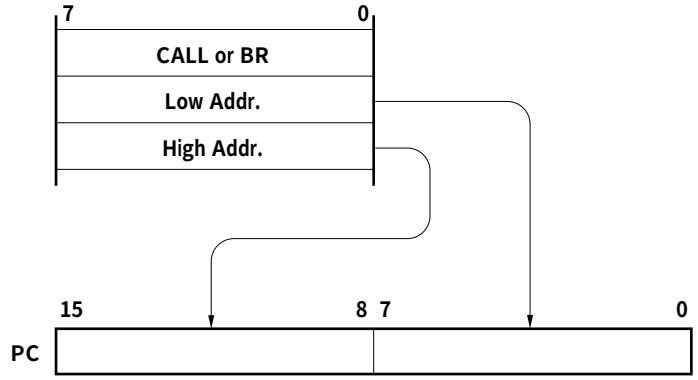
**命令語中のイミーディエト・データがプログラム・カウンタ（PC）に転送され，分岐します。**

CALL !addr16, BR !addr16, CALLF !addr11**命令を実行する際に行われます。**

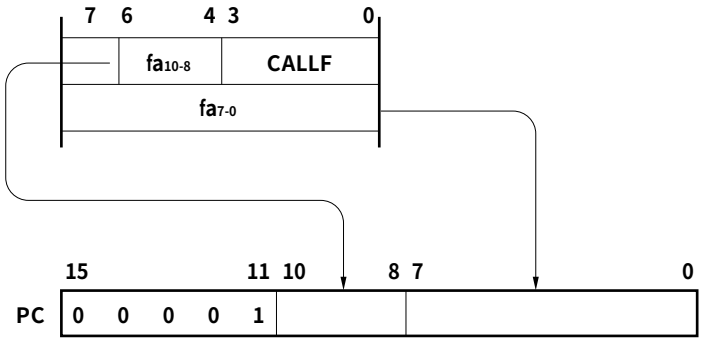
CALL !addr16, BR !addr16**命令は，全メモリ空間に分岐できます。**CALLF !addr11**命令は，**0800H-0FFFH**の領域に分岐します。**

**【図　　解】**

CALL !addr16, BR !addr16**命令の場合**




CALLF !addr11**命令の場合**



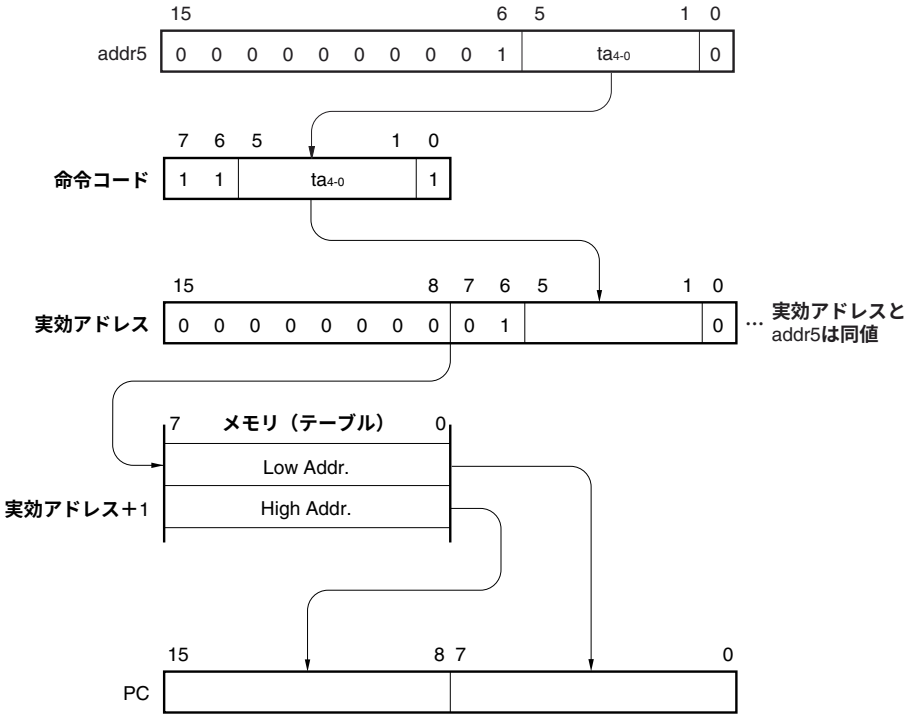
## ★　3. 3. 3　テーブル・インダイレクト・アドレシング

**【機　　能】**

**命令コードのビット1からビット5のイミーディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され，分岐します。**

CALLT［addr5］**命令を実行する際にテーブル・インダイレクト・アドレシングが行われます。この命令ではaddr5で示す0040H-007FHのメモリ・テーブルに格納されたアドレスを参照し，全メモリ空間に分岐できます。**

**【図　　解】**



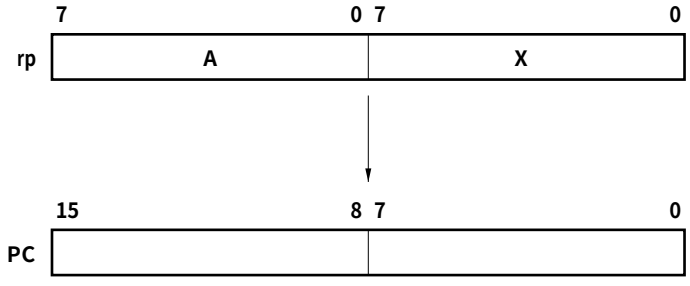

## 3. 3. 4　レジスタ・アドレシング

**【機　　能】**

**命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され，分岐します。**

BR AX**命令を実行する際に行われます。**

**【図　　解】**



# 3. 4　オペランド・アドレスのアドレシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレシング）として次に示すいくつかの方法があります。

## 3. 4. 1　インプライド・アドレシング

**【機　　能】**

汎用レジスタの領域にあるアキュームレータ（A, AX）として機能するレジスタを自動的（暗黙的）にアドレスするアドレシングです。

μPD78F0711, 78F0712の命令語中でインプライド・アドレシングを使用する命令は次のとおりです。

| 命　令 | インプライド・アドレシングで指定されるレジスタ |
|---|---|
| MULU | 被乗数としてAレジスタ，積が格納されるレジスタとしてAXレジスタ |
| DIVUW | 被除数および商を格納するレジスタとしてAXレジスタ |
| ADJBA/ADJBS | 10進補正の対象となる数値を格納するレジスタとしてAレジスタ |
| ROR4/ROL4 | ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ |

**【オペランド形式】**

命令によって自動的に使用できるため，特定のオペランド形式を持ちません。

**【記　述　例】**

MULU Xの場合

8ビット×8ビットの乗算命令において，AレジスタとXレジスタの積をAXに格納する。ここで，A, AXレジスタがインプライド・アドレシングで指定されている。

## 3.4.2　レジスタ・アドレシング

**【機　　能】**

**オペランドとして汎用レジスタをアクセスするアドレシングです。アクセスされる汎用レジスタは，レジスタ・バンク選択フラグ（**RBS0, RBS1**）および，命令コード中のレジスタ指定コード（**Rn, RPn**）により指定されます。**

**レジスタ・アドレシングは，次に示すオペランド形式を持つ命令を実行する際に行われ，8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。**

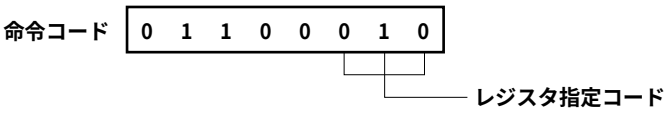
**【オペランド形式】**

| 表現形式 | 記　述　方　法 |
|---|---|
| r | X, A, C, B, E, D, L, H |
| rp | AX, BC, DE, HL |

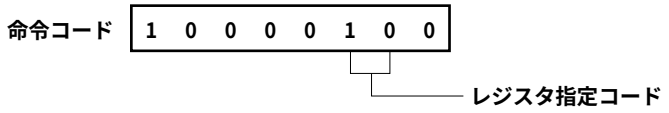
**r**, rp**は，機能名称（**X, A, C, B, E, D, L, H, AX, BC, DE, HL**）のほかに絶対名称（**R0-R7, RP0-RP3**）で記述できます。**

**【記　述　例】**

MOV A, C**；r**にC**レジスタを選択する場合**




INCW DE**；rp**にDE**レジスタ・ペアを選択する場合**



## 3.4.3　ダイレクト・アドレシング

**【機　　能】**

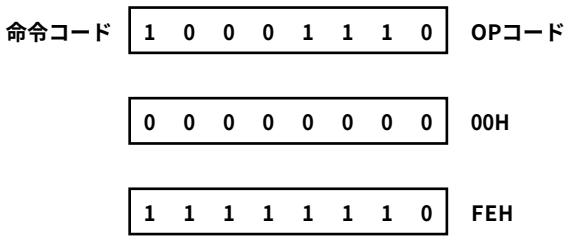
命令語中のイミーディエト・データが示すメモリを直接アドレスするアドレシングです。

**【オペランド形式】**

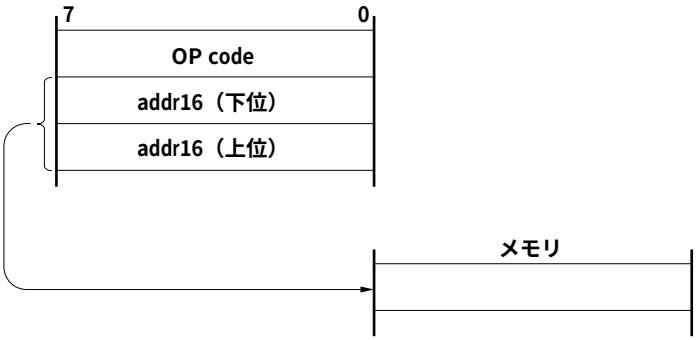
| 表現形式 | 記　述　方　法 |
|---|---|
| addr16 | レーベルまたは16ビット・イミーディエト・データ |

**【記　述　例】**

MOV A, !0FE00H；!addr16をFE00Hとする場合




**【図　　解】**



## 3.4.4　ショート・ダイレクト・アドレシング

**【機　　能】**

命令語中の8ビット・データで，固定空間の操作対象メモリを直接アドレスするアドレシングです。

このアドレシングが適用される固定空間とは，FE20H-FF1FHの256バイト空間です。FE20H-FEFFHには内部RAMが，FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレシングが適用されるSFR領域（FF00H-FF1FH）は，全SFR領域の一部分です。この領域には，プログラム上でひんぱんにアクセスされるポートや，タイマ／イベント・カウンタのコンペア・レジスタ，キャプチャ・レジスタがマッピングされており，短いバイト数，短いクロック数でこれらのSFRを操作できます。

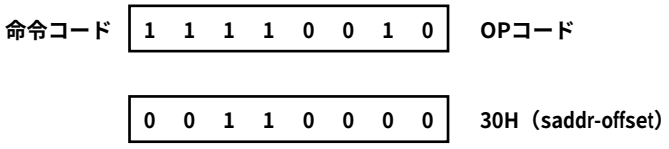
実効アドレスのビット8は，8ビット・イミーディエト・データが20H-FFHの場合は0になり，00H-1FHの場合は1になります。【図解】を参照してください。

**【オペランド形式】**

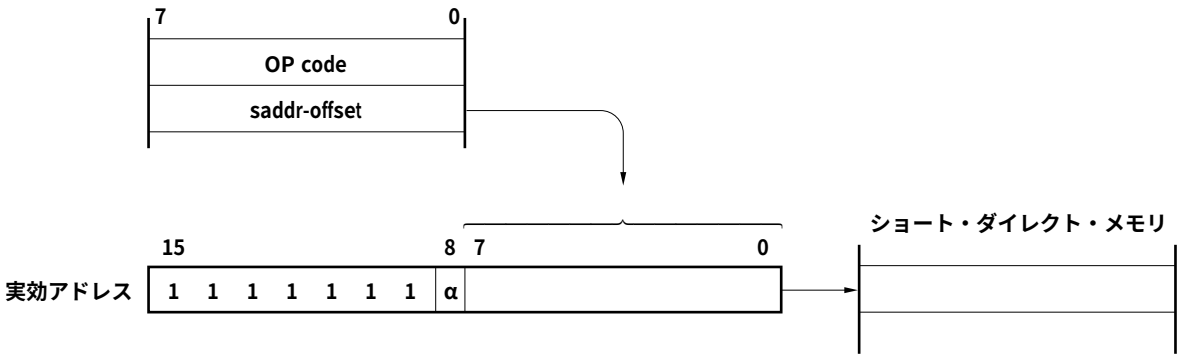
| 表現形式 | 記　述　方　法 |
|---|---|
| saddr | レーベルまたはFE20H-FF1FHを示すイミーディエト・データ |
| saddrp | レーベルまたはFE20H-FF1EHを示すイミーディエト・データ（偶数アドレスのみ） |

**【記　　述　　例】**

MOV 0FE30H, A；saddr（FE30H）にAレジスタの値を転送する場合




**【図　　解】**




8ビット・イミーディエト・データが20H-FFHのとき，α＝0

8ビット・イミーディエト・データが00H-1FHのとき，α＝1

## 3.4.5　特殊機能レジスタ（SFR）アドレシング

**【機　　能】**

命令語中の8ビット・イミーディエト・データでメモリ・マッピングされている特殊機能レジスタ（SFR）をアドレスするアドレシングです。

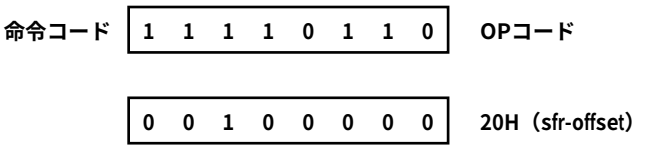
このアドレシングが適用されるのはFF00H-FFCFH，FFE0H-FFFFHの240バイト空間です。ただし，FF00H-FF1FHにマッピングされているSFRは，ショート・ダイレクト・アドレシングでもアクセスできます。

**【オペランド形式】**

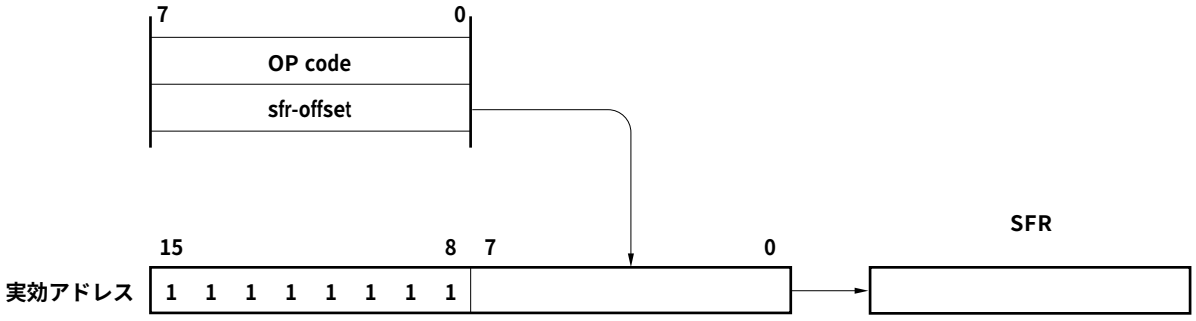
| 表現形式 | 記　述　方　法 |
|---|---|
| sfr | 特殊機能レジスタ名 |
| sfrp | 16ビット操作可能な特殊機能レジスタ名（偶数アドレスのみ） |

**【記　　述　　例】**

MOV PM0, A；sfrにPM0（FF20H）を選択する場合




**【図　　解】**



## 3.4.6　レジスタ・インダイレクト・アドレシング

**【機　　能】**

**オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレシングです。アクセスされるレジスタ・ペアは，レジスタ・バンク選択フラグ（**RBS0, RBS1**）および，命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレシングできます。**

**【オペランド形式】**

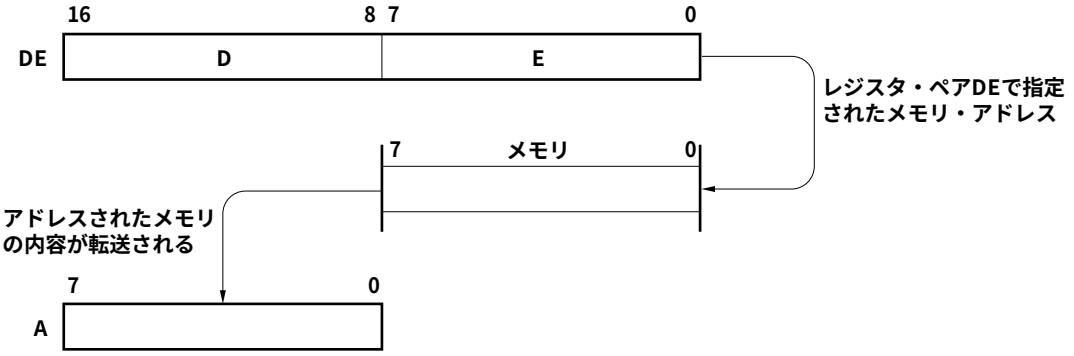
| 表現形式 | 記　述　方　法 |
|---|---|
| － | ［DE］，［HL］ |

**【記　　述　　例】**

MOV A, ［DE］**；レジスタ・ペアに**［DE］**を選択する場合**

| 命令コード | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 |
|---|---|---|---|---|---|---|---|---|

**【図　　解】**



## 3.4.7　ベースト・アドレシング

**【機　　能】**

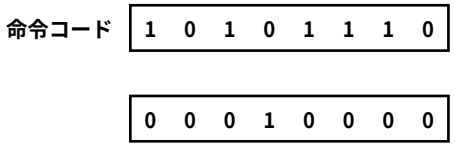
HLレジスタ・ペアをベース・レジスタとし，この内容に8ビットのイミーディエト・データを加算した結果でメモリをアドレスするアドレシングです。アクセスされるHLレジスタ・ペアは，レジスタ・バンク選択フラグ（RBS0, RBS1）で指定されるレジスタ・バンク中のものです。加算は，オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上がりは無視します。すべてのメモリ空間に対してアドレシングできます。

**【オペランド形式】**

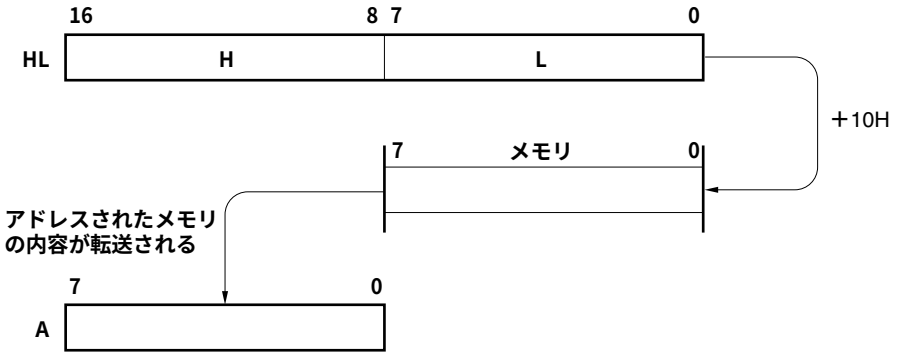
| 表現形式 | 記　述　方　法 |
|---|---|
| − | [HL＋byte] |

**【記　　述　　例】**

MOV A, ［HL＋10H］；byteを10Hとする場合




**【図　　解】**



## 3.4.8　ベースト・インデクスト・アドレシング

**【機　　能】**

HLレジスタ・ペアをベース・レジスタとし，この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレシングです。アクセスされるHL, B, Cレジスタは，レジスタ・バンク選択フラグ（RBS0, RBS1）で指定されるレジスタ・バンク中のレジスタです。加算は，BレジスタまたはCレジスタの内容を正の数として16ビットに拡張して行います。16ビット目からの桁上がりは無視します。すべてのメモリ空間に対してアドレシングできます。

**【オペランド形式】**

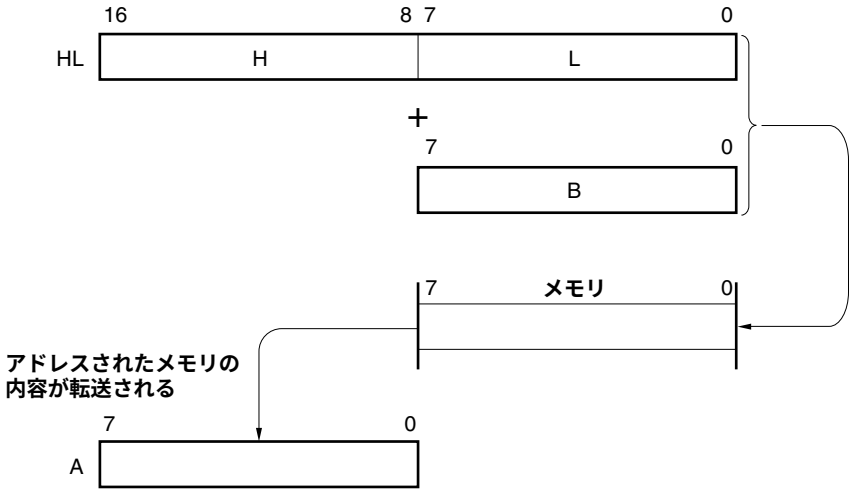
| 表現形式 | 記　述　方　法 |
|---|---|
| − | [HL＋B]，[HL＋C] |

**【記　述　例】**

MOV A, **[**HL＋B**]（**Bレジスタを選択**）の場合**

| 命令コード | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 |
|---|---|---|---|---|---|---|---|---|

**【図　　解】**



## 3.4.9　スタック・アドレシング

**【機　　能】**

**スタック・ポインタ（SP）の内容により，スタック領域を間接的にアドレスするアドレシングです。**

PUSH, POP**，サブルーチン・コール，リターン命令の実行時および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。**

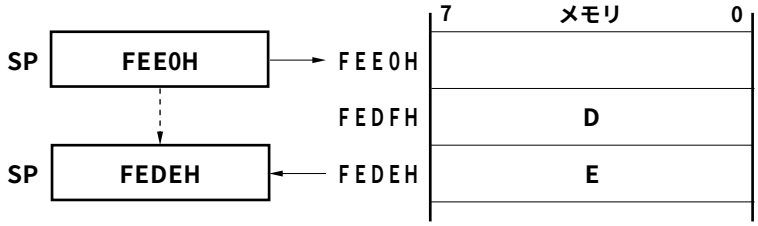
**スタック・アドレシングは，内部高速RAM領域のみアクセスできます。**

**【記　述　例】**

PUSH DE**（DEレジスタをセーブ）の場合**

| 命令コード | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 1 |
|---|---|---|---|---|---|---|---|---|

**【図　　解】**



# 第4章　ポート機能

## 4.1　ポートの機能

ポート端子の入出力バッファ電源には，$AV_{REF}$, $V_{DD}$の2系統があります。それぞれの電源と端子の関係を次に示します。

表4－1　各ポート端子の入出力バッファ電源

| 電源 | 対応する端子 |
|---|---|
| $AV_{REF}$ | P20-P23[注] |
| $V_{DD}$ | P20-P23以外のポート端子 |

★ 注　ポート2をディジタル・ポートとして使用する場合は，$AV_{REF}$を$V_{DD}$に接続してください。

$\mu$PD78F0711, 78F0712は，図4－1に示すポートを備えており，多様な制御を行うことができます。各ポートの機能は表4－2のとおりです。

また，ディジタル入出力ポートとしての機能以外に，各種兼用機能を備えています。兼用機能については，第2章　端子機能を参照してください。

図4－1　ポートの種類

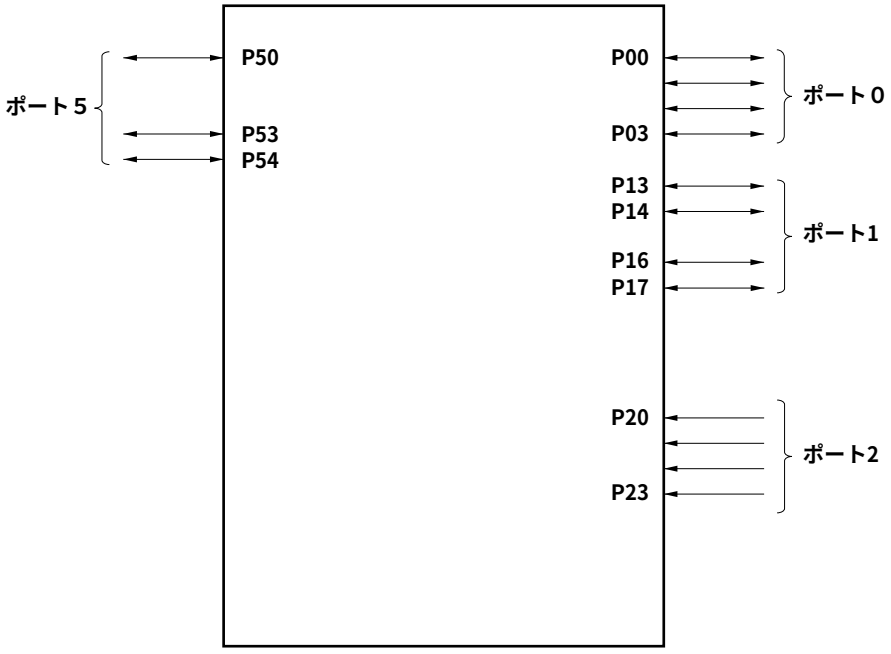


表4－2　ポートの機能

| 端子名称 | 入出力 | 機　　能 | リセット時 | 兼用端子 |
|---|---|---|---|---|
| P00 | 入出力 | ポート0。 | 入力 | INTP0/TW0TOFFP |
| P01 | | 4ビット入出力ポート。 | | INTP1 |
| P02 | | 1ビット単位で入力／出力の指定可能。 | | INTP2 |
| P03 | | ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 | | INTP3/ADTRG |
| P13 | 入出力 | ポート1。 | 入力 | RxD00 |
| P14 | | 4ビット入出力ポート。 | | TxD00 |
| P16 | | 1ビット単位で入力／出力の指定可能。 | | － |
| P17 | | ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 | | FLMD1 |
| P20-P23 | 入力 | ポート2。<br>4ビット入力専用ポート。 | 入力 | ANI0-ANI3 |
| P50 | 入出力 | ポート5。 | 入力 | TI50/TO50 |
| P53 | | 3ビット入出力ポート。 | | TI000/INTP5 |
| P54 | | 1ビット単位で入力／出力の指定可能。<br>ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 | | TI001/TO00 |

# 4. 2　ポートの構成

ポートは，次のハードウエアで構成しています。

表4－3　ポートの構成

| 項　　目 | 構　　成 |
|---|---|
| 制御レジスタ | ポート・モード・レジスタ（PM0, PM1, PM5）<br>ポート・レジスタ（P0, P1, P2, P5）<br>プルアップ抵抗オプション・レジスタ（PU0, PU1, PU5） |
| ポート | 合計：15本（CMOS入出力：11本，CMOS入力：4本） |
| プルアップ抵抗 | 合計：11本（ソフトウエア制御：11本） |

## 4. 2. 1　ポート0

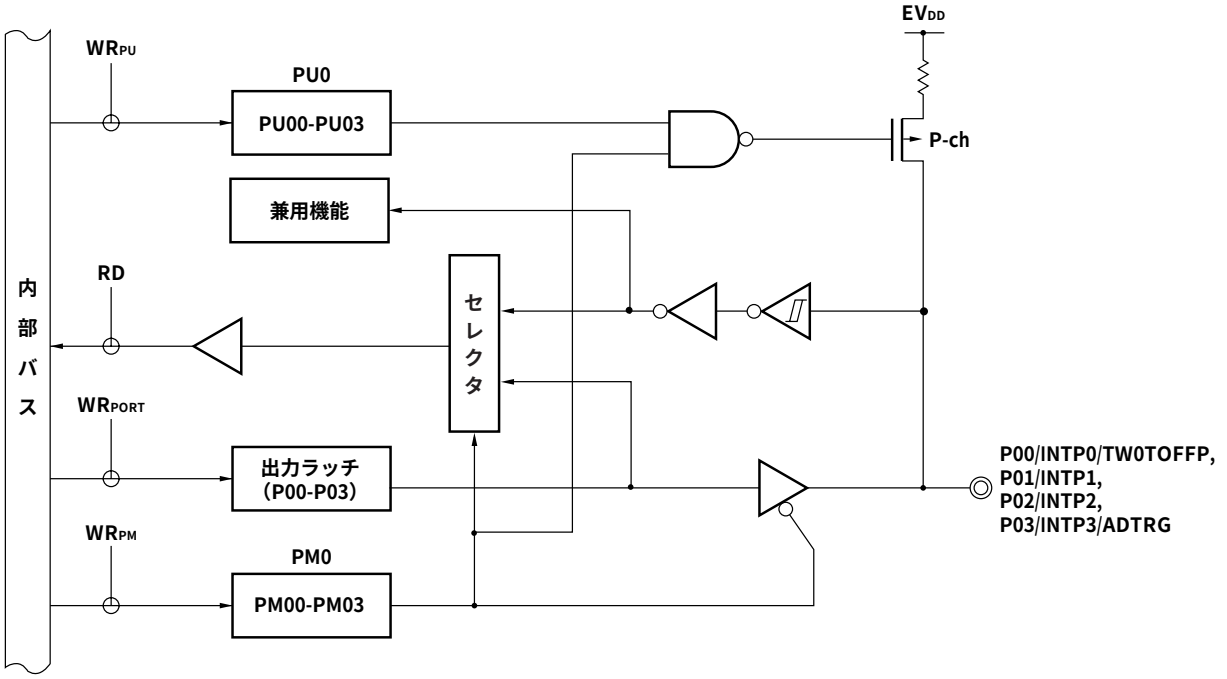
出力ラッチ付き4ビットの入出力ポートです。ポート・モード・レジスタ0（PM0）により1ビット単位で入力モード／出力モードの指定ができます。P00-P03端子を入力ポートとして使用するとき，プルアップ抵抗オプション・レジスタ0（PU0）により1ビット単位で内蔵プルアップ抵抗を使用できます。

また，兼用機能として外部割り込み要求入力，タイマ出力停止外部入力，A/Dコンバータの外部トリガ信号入力があります。

$\overline{\text{RESET}}$入力により，入力モードになります。

図4－2にポート0のブロック図を示します。

図4－2　P00-P03のブロック図




PU0　：プルアップ抵抗オプション・レジスタ0

PM0　：ポート・モード・レジスタ0

RD　：リード信号

WR××：ライト信号

## 4.2.2　ポート1

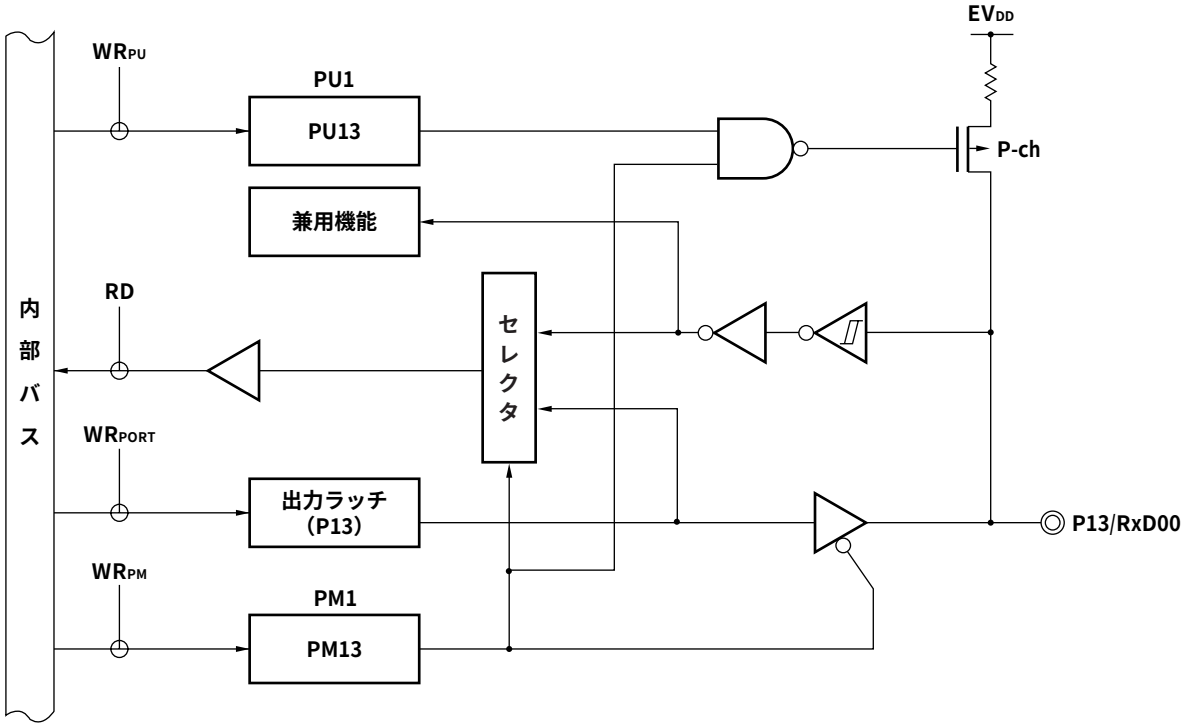
出力ラッチ付き4ビットの入出力ポートです。ポート・モード・レジスタ1（PM1）により1ビット単位で入力モード／出力モードの指定ができます。P13, P14, P16, P17端子を入力ポートとして使用するとき，プルアップ抵抗オプション・レジスタ1（PU1）により1ビット単位で内蔵プルアップ抵抗を使用できます。

また，兼用機能としてシリアル・インタフェースのデータ入出力，フラッシュ・メモリ・プログラミング・モード引き込みがあります。

$\overline{\text{RESET}}$入力により，入力モードになります。

図4－3～図4－6にポート1のブロック図を示します。

**図4－3　P13のブロック図**



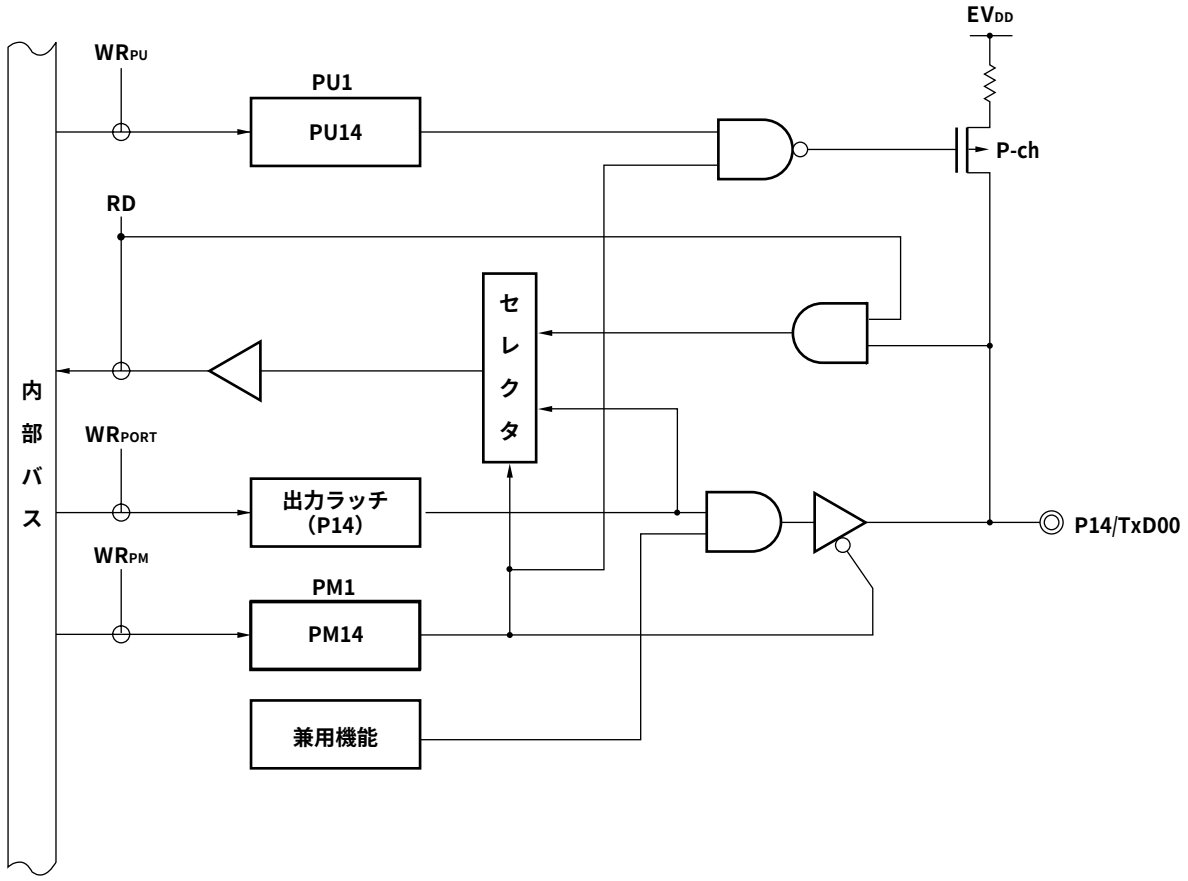

PU1　　：プルアップ抵抗オプション・レジスタ1

PM1　　：ポート・モード・レジスタ1

RD　　：リード信号

WR××：ライト信号

**図4－4　P14のブロック図**



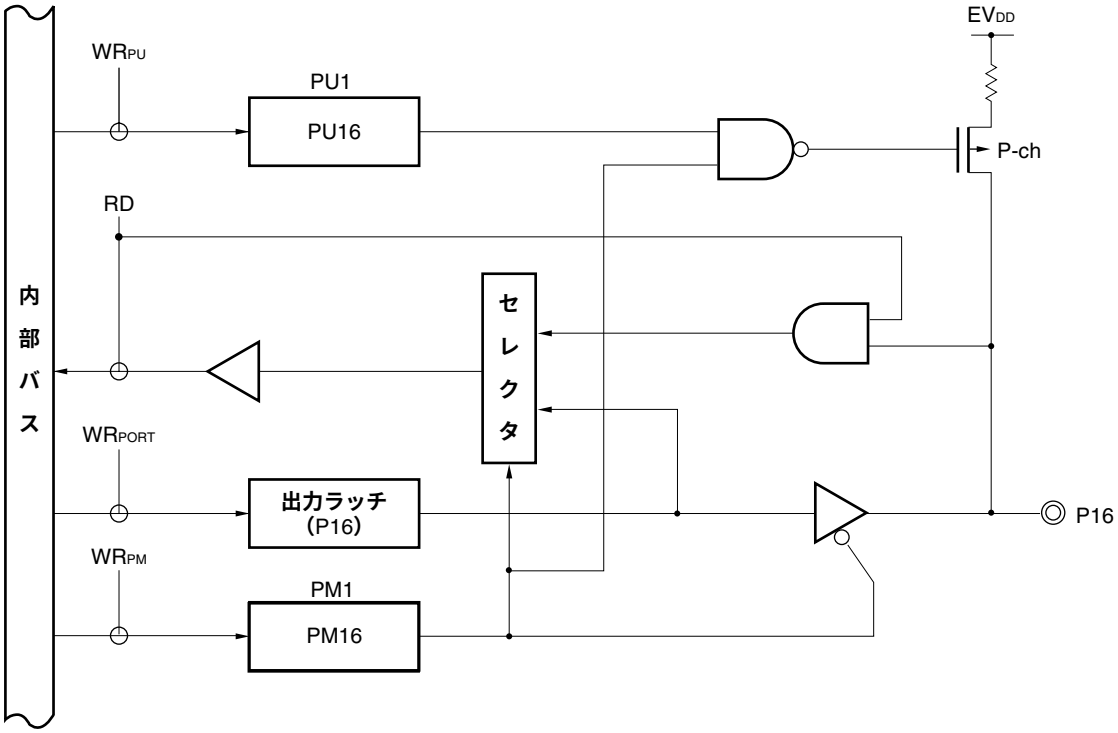

PU1　　：プルアップ抵抗オプション・レジスタ1

PM1　　：ポート・モード・レジスタ1

RD　　：リード信号

WR××：ライト信号

**図4－5　P16のブロック図**



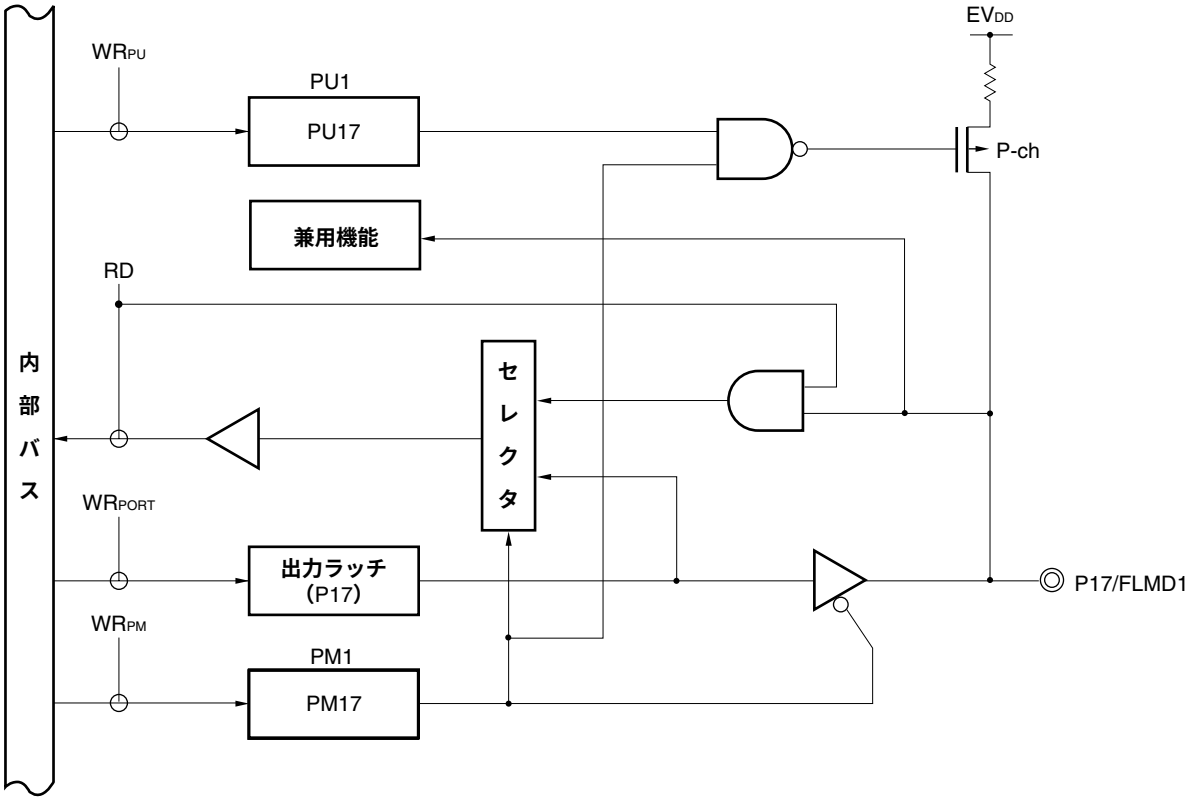

PU1　　：プルアップ抵抗オプション・レジスタ1

PM1　　：ポート・モード・レジスタ1

RD　　：リード信号

WR××：ライト信号

**図4－6　P17のブロック図**




PU1　　：プルアップ抵抗オプション・レジスタ1

PM1　　：ポート・モード・レジスタ1

RD　　：リード信号

WR××：ライト信号

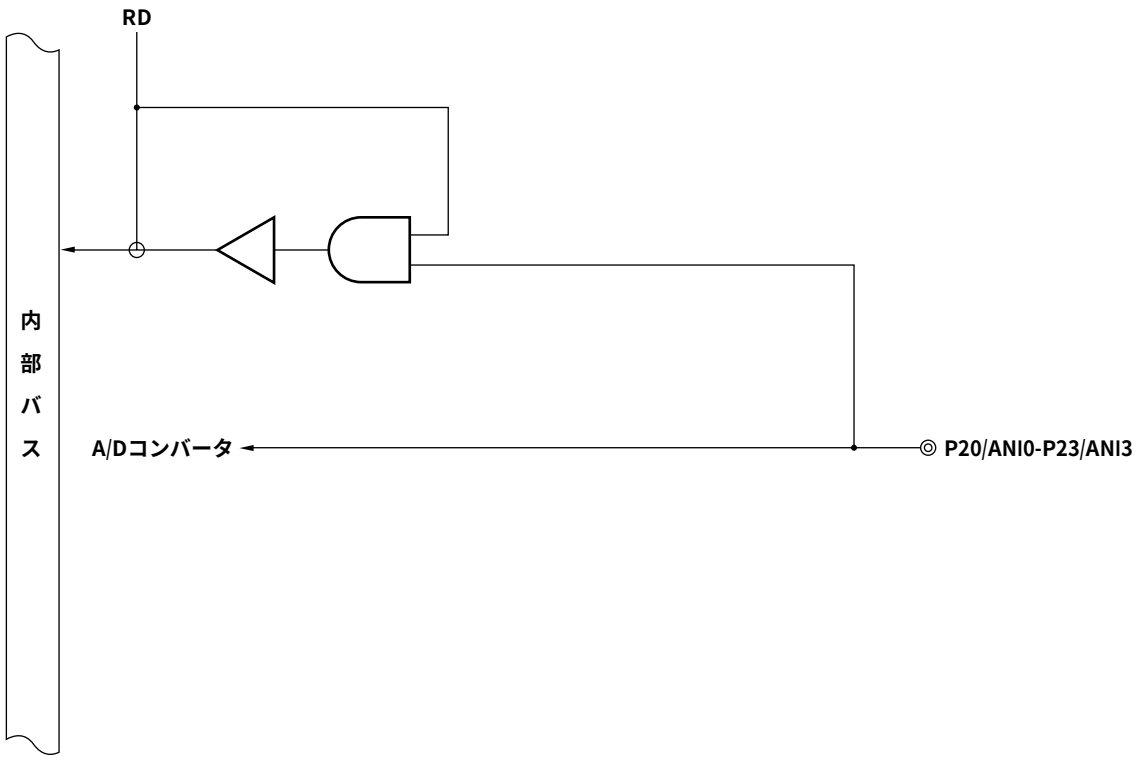
### 4. 2. 3　ポート2

4ビットの入力専用ポートです。

また，兼用機能としてA/Dコンバータのアナログ入力があります。

図4－7にポート2のブロック図を示します。

図4－7　P20-P23のブロック図




RD ：リード信号

★　注意　ポート2をディジタル・ポートとして使用する場合は，$AV_{REF}$を$V_{DD}$に接続してください。

### 4.2.4　ポート5

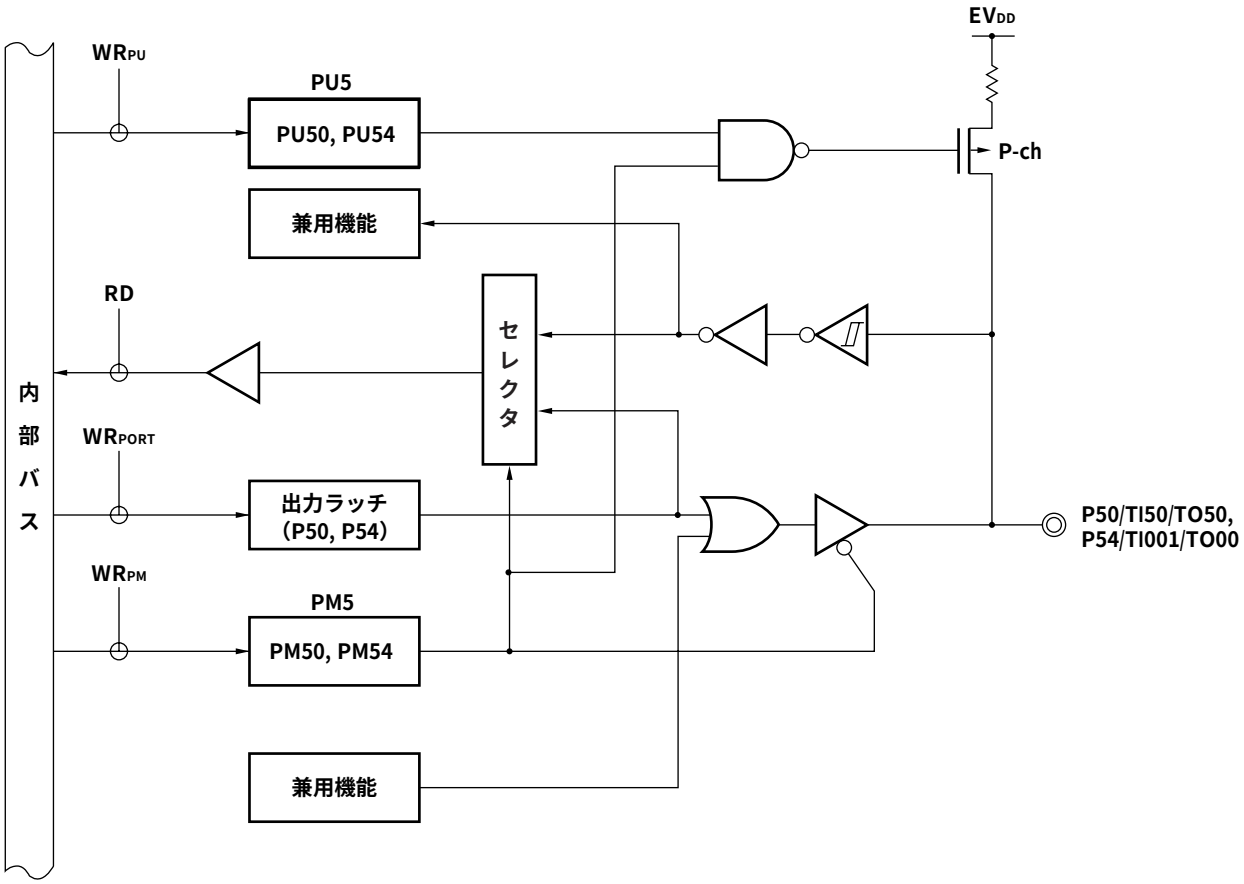
出力ラッチ付き3ビット入出力ポートです。ポート・モード・レジスタ5（PM5）により1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ5（PU5）により1ビット単位で内蔵プルアップ抵抗を使用できます。

また，兼用機能として外部割り込み要求入力，タイマ入出力機能があります。

$\overline{\text{RESET}}$入力により，入力モードになります。

図4－8, 4－9にポート5のブロック図を示します。

図4－8　P50, P54のブロック図



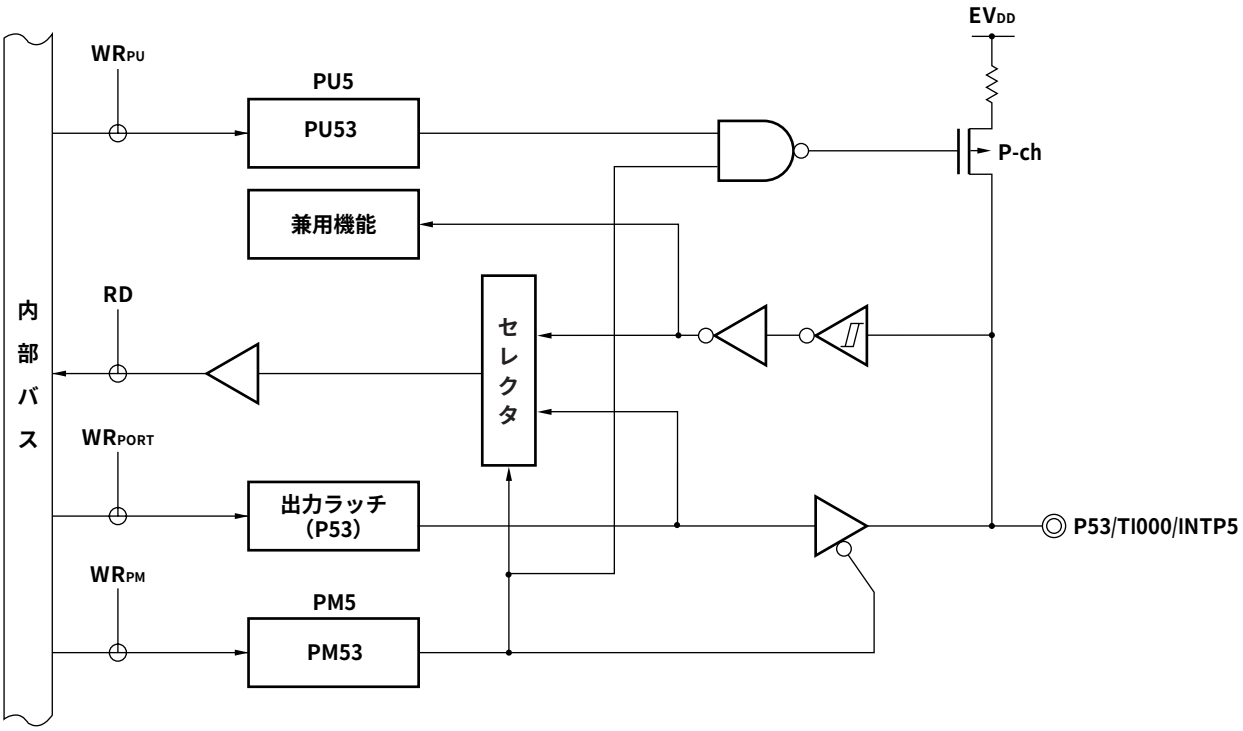

PU5　　：プルアップ抵抗オプション・レジスタ5

PM5　　：ポート・モード・レジスタ5

RD　　：リード信号

WR××：ライト信号

**図4－9　P53のブロック図**




PU5　　：**プルアップ抵抗オプション・レジスタ**5

PM5　　：**ポート・モード・レジスタ**5

RD　　：**リード信号**

WR××：**ライト信号**

# 4. 3　ポート機能を制御するレジスタ

ポートは，次の3種類のレジスタで制御します。

- ポート・モード・レジスタ（PM0, PM1, PM5）
- ポート・レジスタ（P0, P1, P2, P5）
- プルアップ抵抗オプション・レジスタ（PU0, PU1, PU5）

**（1）ポート・モード・レジスタ（PM0, PM1, PM5）**

ポートの入力／出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，FFHになります。

ポート端子を兼用機能の端子として使用する場合，ポート・モード・レジスタ，出力ラッチを表4－4のように設定してください。

**図4－10　ポート・モード・レジスタのフォーマット**

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
|---|---|---|---|---|---|---|---|---|---|---|---|
| PM0 | 1 | 1 | 1 | 1 | PM03 | PM02 | PM01 | PM00 | FF20H | FFH | R/W |
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | | |
| PM1 | PM17 | PM16 | 1 | PM14 | PM13 | 1 | 1 | 1 | FF21H | FFH | R/W |
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | | |
| PM5 | 1 | 1 | 1 | PM54 | PM53 | 1 | 1 | PM50 | FF25H | FFH | R/W |

| PMmn | Pmn端子の入出力モードの選択（m = 0, 1, 5 ; n = 0-7） |
|---|---|
| 0 | 出力モード（出力バッファ・オン） |
| 1 | 入力モード（出力バッファ・オフ） |

表4－4　兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

| 端子名称 | 兼用機能 | | PM×× | P×× |
|---|---|---|---|---|
| | 名　　称 | 入出力 | | |
| P00 | INTP0 | 入力 | 1 | × |
| | TW0TOFFP | 入力 | 1 | × |
| P01 | INTP1 | 入力 | 1 | × |
| P02 | INTP2 | 入力 | 1 | × |
| P03 | INTP3 | 入力 | 1 | × |
| | ADTRG | 入力 | 1 | × |
| P13 | RxD00 | 入力 | 1 | × |
| P14 | TxD00 | 出力 | 0 | 1 |
| P17 | FLMD1 | 入力 | 1 | × |
| P20-P23 | ANI0-ANI3 | 入力 | 1 | × |
| P50 | TI50 | 入力 | 1 | × |
| | TO50 | 出力 | 0 | 0 |
| P53 | INTP5 | 入力 | 1 | × |
| | TI000 | 入力 | 1 | × |
| P54 | TI001 | 入力 | 1 | × |
| | TO00 | 出力 | 0 | 0 |

**備考**　×　　：don't care

PM××　：ポート・モード・レジスタ

P××　：ポートの出力ラッチ

**(2) ポート・レジスタ (P0, P1, P2, P5)**

ポート出力時にチップ外に出力するデータをライトするレジスタです。

リードする場合，入力モード時は端子レベルが，出力モード時はポートの出力ラッチの値が読み出されます。

P0, P1, P2, P5は，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00H（P2のみ不定）になります。

**図4－11　ポート・レジスタのフォーマット**

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
|---|---|---|---|---|---|---|---|---|---|---|---|
| P0 | 0 | 0 | 0 | 0 | P03 | P02 | P01 | P00 | FF00H | 00H（出力ラッチ） | R/W |
| P1 | P17 | P16 | 0 | P14 | P13 | 0 | 0 | 0 | FF01H | 00H（出力ラッチ） | R/W |
| P2 | 0 | 0 | 0 | 0 | P23 | P22 | P21 | P20 | FF02H | 不定 | R |
| P5 | 0 | 0 | 0 | P54 | P53 | 0 | 0 | P50 | FF05H | 00H（出力ラッチ） | R/W |

| Pmn | m = 0-2, 5 : n = 0-7 | |
|---|---|---|
| | 出力データの制御（出力モード時） | 入力データの読み出し（入力モード時） |
| 0 | 0を出力 | ロウ・レベルを入力 |
| 1 | 1を出力 | ハイ・レベルを入力 |

### (3) プルアップ抵抗オプション・レジスタ（PU0, PU1, PU5）

P00-P03, P13, P14, P16, P17, P50, P53, P54の内蔵プルアップ抵抗を使用するか，しないかを設定するレジスタです。PU0, PU1, PU5で内蔵プルアップ抵抗の使用を指定した端子で，入力モードに設定したビットにのみ，ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは，PU0, PU1, PU5の設定にかかわらず，内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときも同様です。

PU0, PU1, PU5は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

**図4－12　プルアップ抵抗オプション・レジスタのフォーマット**

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
|---|---|---|---|---|---|---|---|---|---|---|---|
| PU0 | 0 | 0 | 0 | 0 | PU03 | PU02 | PU01 | PU00 | FF30H | 00H | R/W |

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|
| PU1 | PU17 | PU16 | 0 | PU14 | PU13 | 0 | 0 | 0 | FF31H | 00H | R/W |

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|
| PU5 | 0 | 0 | 0 | PU54 | PU53 | 0 | 0 | PU50 | FF35H | 00H | R/W |

| PUmn | Pmnの内蔵プルアップ抵抗の選択（m = 0, 1, 5；n = 0-7） |
|---|---|
| 0 | 内蔵プルアップ抵抗を接続しない |
| 1 | 内蔵プルアップ抵抗を接続する |

# 4.4　ポート機能の動作

ポートの動作は，次に示すように入出力モードの設定によって異なります。

**注意**　1ビット・メモリ操作命令の場合，操作対象は1ビットですが，ポートを8ビット単位でアクセスします。したがって，入力／出力が混在しているポートでは，操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

## 4.4.1　入出力ポートへの書き込み

**(1) 出力モードの場合**

転送命令により，出力ラッチに値を書き込めます。また，出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

リセットによって，出力ラッチのデータはクリアされます。

**(2) 入力モードの場合**

転送命令により，出力ラッチに値を書き込めます。しかし，出力バッファがオフしていますので，端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

## 4.4.2　入出力ポートからの読み出し

**(1) 出力モードの場合**

転送命令により，出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

**(2) 入力モードの場合**

転送命令により，端子の状態が読み出せます。出力ラッチの内容は変化しません。

## 4.4.3　入出力ポートでの演算

**(1) 出力モードの場合**

出力ラッチの内容と演算を行い，結果を出力ラッチに書き込みます。また，出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

リセットによって，出力ラッチのデータはクリアされます。

**(2) 入力モードの場合**

端子レベルをリードし，その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし，出力バッファがオフしていますので，端子の状態は変化しません。

# ★ 4.5　ポート・レジスタn（Pn）に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合，操作対象のビットだけでなく，操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため，任意のポートを入力モードから出力モードに切り替える前には，出力ラッチの値を書き直すことを推奨します。

＜例＞ P13は出力ポート，P14, P16, P17は入力ポート（端子状態はすべてハイ・レベル）で，かつポート1の出力ラッチの値が“00H”のとき，出力ポートP13の出力を1ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると，ポート1の出力ラッチの値は，“D8H”になります。

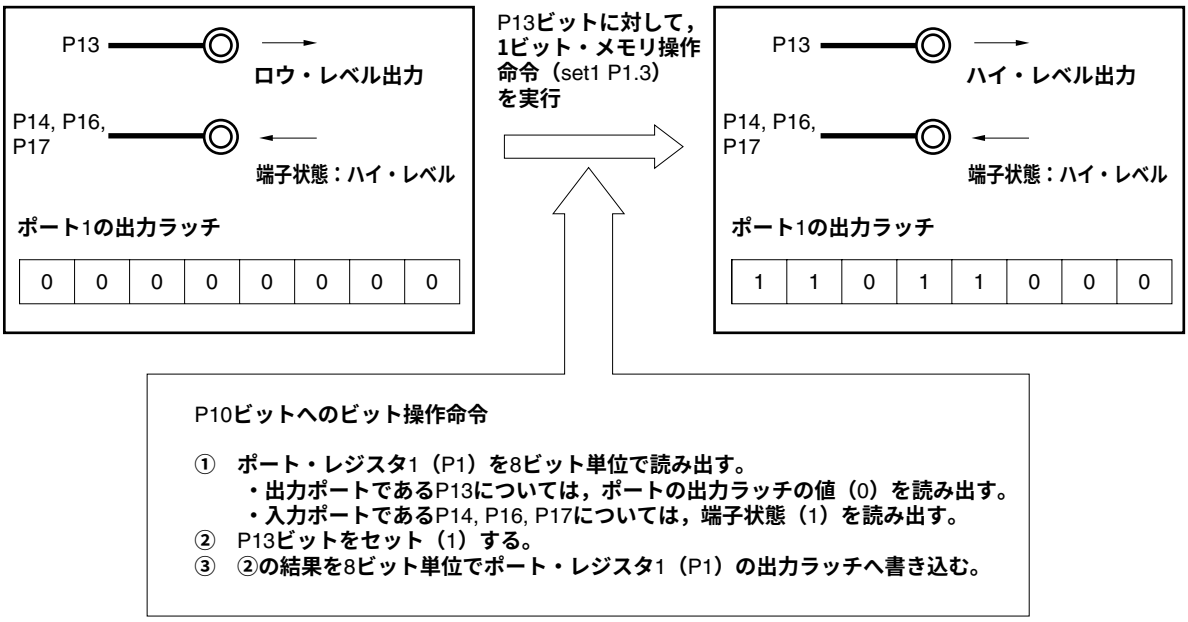
説明：PMnmビット = 1であるポートのPnレジスタへの書き込みの対象は出力ラッチ，読み出しの対象は端子状態です。

1ビット・メモリ操作命令はμPD78F0711, 78F0712内部で，次の順序で行われます。

<1> Pnレジスタを8ビット単位で読み出し
<2> 対象の1ビットを操作
<3> Pnレジスタへ8ビット単位で書き込み

<1> のとき，出力ポートであるP13は出力ラッチの値（0）を読み出し，入力ポートであるP14, P16, P17は端子状態を読み出します。このときP14, P16, P17の端子状態が“ハイ・レベル”とすると，読み出し値は“D0H”となります。
<2> の操作で，値は“D8H”となります。
<3> の操作で，出力ラッチに“D8H”が書き込まれます。

**図4－13　1ビット・メモリ操作命令（P13の場合）**



# 第5章　クロック発生回路

## 5. 1　クロック発生回路の機能

クロック発生回路は，CPUおよび周辺ハードウエアに供給するクロックを発生する回路です。
システム・クロックおよびクロック発振回路には，次の種類があります。

(1) 高速システム・クロック

① X1発振回路

X1, X2に発振子を接続することにより，$f_X$ = 5～20 MHzのクロックを発振します。また，X1, X2端子から外部メイン・システム・クロック（5～20 MHz）を供給することができます。STOP命令の実行またはメインOSCコントロール・レジスタ（MOC）により，発振を停止することができます。

② 高速内蔵発振回路

$f_{RH}$ = 8 MHz（TYP.）のクロックを発振します。STOP命令の実行またはメインOSCコントロール・レジスタ（MOC）の設定により，発振を停止することができます。

高速システム・クロックは，オプション・バイトでX1クロックか高速内蔵発振クロックを選択できます。
オプション・バイトで選択されなかった発振回路は動作停止となります。

(2) 低速内蔵発振クロック

・低速内蔵発振回路

$f_{RL}$ = 240kHz（TYP.）のクロックを発振します。リセット解除後，必ず低速内蔵発振クロックは動作を開始します。

オプション・バイトで「低速内蔵発振器をソフトウエアにより停止可能」に設定した場合，内蔵発振モード・レジスタ（RCM）を設定することで，発振を停止することができます。

低速内蔵発振クロックはCPUクロックとして使用することもできます。低速内蔵発振クロックで動作するハードウエアは次のとおりです。

・CPU（低速内蔵発振クロック選択時）
・ウォッチドッグ・タイマ（低速内蔵発振クロック選択時）
・8ビット・タイマ51（$f_{RL}/2^7$選択時）

備考1. $f_X$　：X1クロック発振周波数
2. $f_{RH}$　：高速内蔵発振クロック周波数
3. $f_{RL}$　：低速内蔵発振クロック周波数

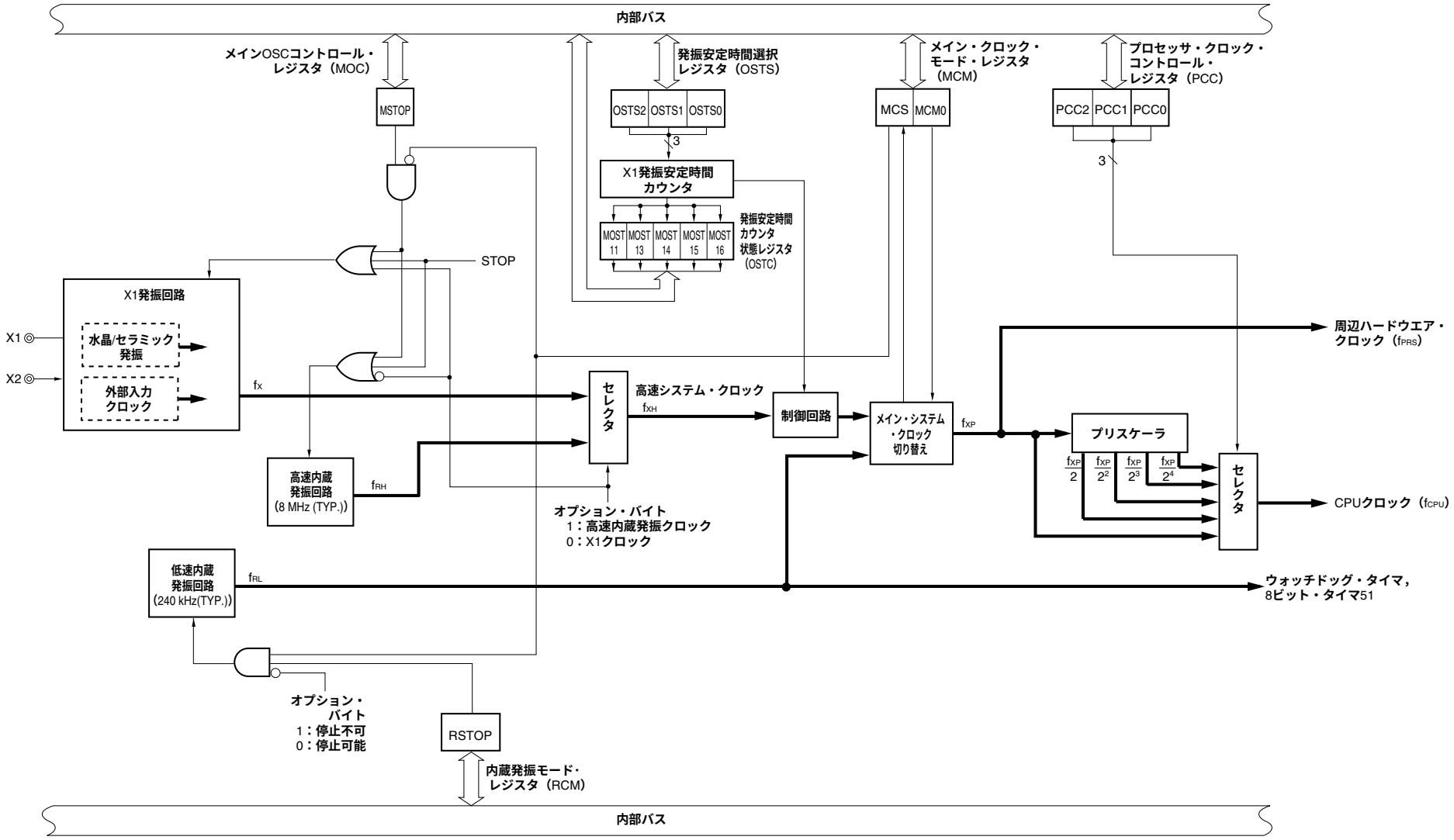
# 5. 2　クロック発生回路の構成

クロック発生回路は，次のハードウエアで構成しています。

表5－1　クロック発生回路の構成

| 項　　目 | 構　　成 |
|---|---|
| 制御レジスタ | プロセッサ・クロック・コントロール・レジスタ（PCC） |
| | 内蔵発振モード・レジスタ（RCM） |
| | メインOSCコントロール・レジスタ（MOC） |
| | メイン・クロック・モード・レジスタ（MCM） |
| | 発振安定時間カウンタ状態レジスタ（OSTC） |
| | 発振安定時間選択レジスタ（OSTS） |
| ★ | システム・ウエイト制御レジスタ（VSWC） |
| 発振回路 | X1発振回路 |
| | 高速内蔵発振回路 |
| | 低速内蔵発振回路 |

**図5－1　クロック発生回路のブロック図**



**備考**1. $f_X$　　**：X1クロック発振周波数**

2. $f_{RH}$　　**：高速内蔵発振クロック周波数**

3. $f_{XH}$　　**：高速システム・クロック周波数**

5. $f_{XP}$　　**：メイン・システム・クロック周波数**

6. $f_{PRS}$　　**：周辺ハードウエア・クロック周波数**

7. $f_{CPU}$　　**：CPUクロック周波数**

8. $f_{RL}$　　**：低速内蔵発振クロック周波数**

## 5.3　クロック発生回路を制御するレジスタ

**クロック発生回路は，次の6種類のレジスタで制御します。**

- **プロセッサ・クロック・コントロール・レジスタ**（PCC）
- **内蔵発振モード・レジスタ**（RCM）
- **メインOSCコントロール・レジスタ**（MOC）
- **メイン・クロック・モード・レジスタ**（MCM）
- **発振安定時間カウンタ状態レジスタ**（OSTC）
- **発振安定時間選択レジスタ**（OSTS）
- ★ **システム・ウエイト制御レジスタ**（VSWC）

**(1) プロセッサ・クロック・コントロール・レジスタ（PCC）**

CPUクロックの選択，分周比を設定するレジスタです。

PCCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

**図5－2　プロセッサ・クロック・コントロール・レジスタ（PCC）のフォーマット**

アドレス：FFFBH　　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PCC | 0 | 0 | 0 | 0 | 0 | PCC2 | PCC1 | PCC0 |

| PCC2 | PCC1 | PCC0 | CPUクロック（$f_{CPU}$）の選択 | | |
|---|---|---|---|---|---|
| | | | | MCM0 = 1 | MCM0 = 0 |
| 0 | 0 | 0 | $f_{XP}$ | $f_X$または$f_{RH}$ | $f_{RL}$ |
| 0 | 0 | 1 | $f_{XP}/2$ | $f_X/2$または$f_{RH}/2$ | $f_{RL}/2$ |
| 0 | 1 | 0 | $f_{XP}/2^2$ | $f_X/2^2$または$f_{RH}/2^2$ | 設定禁止 |
| 0 | 1 | 1 | $f_{XP}/2^3$ | $f_X/2^3$または$f_{RH}/2^3$ | 設定禁止 |
| 1 | 0 | 0 | $f_{XP}/2^4$ | $f_X/2^4$または$f_{RH}/2^4$ | 設定禁止 |
| 上記以外 | | | 設定禁止 | | |

**注意　ビット3-7には，必ず0を設定してください。**

**備考**　$f_{XP}$　：メイン・システム・クロック周波数

78K0シリーズの一番速い命令はCPUクロック2クロックで実行されます。したがって，CPUクロック（$f_{CPU}$）と最小命令実行時間の関係は，表5－2のようになります。

**表5－2　CPUクロックと最小命令実行時間の関係**

| CPUクロック（$f_{CPU}$） | 最小命令実行時間：$2/f_{CPU}$ | | | |
|---|---|---|---|---|
| | 高速システム・クロック[注1] | | | 低速内蔵発振クロック[注1] |
| | X1クロック[注2] | | 高速内蔵発振クロック[注2] | 240 kHz（TYP.）動作時 |
| | 20 MHz動作時 | 16 MHz動作時 | 8 MHz（TYP.）動作時 | |
| $f_{XP}$ | 0.1 μs | 0.125 μs | 0.25 μs | 8.3 μs（TYP.） |
| $f_{XP}/2$ | 0.2 μs | 0.25 μs | 0.5 μs | 16.6 μs（TYP.） |
| $f_{XP}/2^2$ | 0.4 μs | 0.5 μs | 1.0 μs | －[注3] |
| $f_{XP}/2^3$ | 0.8 μs | 1.0 μs | 2.0 μs | －[注3] |
| $f_{XP}/2^4$ | 1.6 μs | 2.0 μs | 4.0 μs | －[注3] |

**注**1. CPUクロックに供給するメイン・システム・クロックの設定（高速システム・クロック／低速内蔵発振クロック）は，メイン・クロック・モード・レジスタ（MCM）で行います（図5－5参照）。

2. 高速システム・クロックの選択（X1クロック／高速内蔵発振クロック）は，オプション・バイトで行います。

3. 設定禁止です。

(2) 内蔵発振モード・レジスタ（RCM）

低速内蔵発振器の動作モードを設定するレジスタです。

RCMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図5－3　内蔵発振モード・レジスタ（RCM）のフォーマット

アドレス：FFA0H　　リセット時：00H　R/W[注]

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| RCM | 0 | 0 | 0 | 0 | 0 | 0 | 0 | RSTOP |

| RSTOP | 低速内蔵発振器の発振／停止 |
|---|---|
| 0 | 低速内蔵発振器の発振 |
| 1 | 低速内蔵発振器の停止 |

注　ビット1-7は，Read Onlyです。

注意　RSTOPに1を設定するとき，必ずCPUクロックが高速システム・クロックで動作していること（MCS = 1）を確認してください。
また，低速内蔵発振クロックで動作している周辺ハードウエアを停止してから，RSTOPに1を設定してください。

### (3) メインOSCコントロール・レジスタ（MOC）

高速システム・クロックを生成する，X1発振回路または高速内蔵発振器の動作制御をするレジスタです。

このレジスタは，低速内蔵発振クロックによるCPU動作時に，高速システム・クロックを停止する場合に使用します。

MOCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

**図5－4　メインOSCコントロール・レジスタ（MOC）のフォーマット**

アドレス：FFA2H　　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| MOC | MSTOP | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

| MSTOP | 高速システム・クロック（X1発振回路，高速内蔵発振器）の動作制御 |
|---|---|
| 0 | 発振許可 |
| 1 | 発振停止 |

**注意**1. MSTOPに1を設定するとき，必ずCPUクロックが低速内蔵発振クロックで動作していること（MCS = 0）を確認してください。
また，高速システム・クロックで動作している周辺ハードウエアを停止してから，MSTOPに1を設定してください。

2. 周辺ハードウエア・クロックに高速システム・クロックを選択している場合，高速システム・クロックを停止すると，周辺ハードウエアは動作不可となります。周辺ハードウエア・クロックを発振再開する場合は，周辺ハードウエアを初期化してください。

### (4) メイン・クロック・モード・レジスタ（MCM）

メイン・システム・クロック（$f_{XP}$）を選択するレジスタです。

メイン・システム・クロックは，CPUや周辺ハードウエアへのソース・クロックとなります。

MCMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

**図5－5　メイン・クロック・モード・レジスタ（MCM）のフォーマット**

アドレス：FFA1H　　リセット時：00H　　R/W[注]

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| MCM | 0 | 0 | 0 | 0 | 0 | 0 | MCS | MCM0 |

| MCS | CPUへのソース・クロック（メイン・システム・クロック（$f_{XP}$））のステータス |
|---|---|
| 0 | 低速内蔵発振クロックで動作 |
| 1 | 高速システム・クロックで動作 |

| MCM0 | CPUへのソース・クロック（メイン・システム・クロック（$f_{XP}$））選択 |
|---|---|
| 0 | 低速内蔵発振クロック（$f_{RL}$） |
| 1 | 高速システム・クロック（$f_{XH}$） |

**注**　ビット1はRead Onlyです。

**注意**　CPUへのソース・クロックに低速内蔵発振クロックを選択する場合，周辺ハードウエアに供給されるクロックは，低速内蔵発振クロック（$f_{RL}$）の分周クロックが供給されます（$f_{RL}$ = 240 kHz（TYP.）となります）。しかし低速内蔵発振クロックによる周辺ハードウエアの動作保証はできませんので，CPUへのソース・クロックに低速内蔵発振クロックを選択する場合は，周辺ハードウエアを使用しないでください。また，CPUへのソース・クロックを高速システム・クロックから低速内蔵発振クロックに切り替える場合は，周辺ハードウエアを停止したあとに行ってください。ただし次の周辺ハードウエアは，CPUが低速内蔵発振クロックで動作している場合でも使用可能です。

- ウォッチドッグ・タイマ（低速内蔵発振クロックを選択時）
- 8ビット・タイマ51（カウント・クロックに「$f_{RL}/2^7$」を選択時）
- クロック・ソースに外部クロックを選択している周辺ハードウエア
  （ただし，16ビット・タイマ／イベント・カウンタ00の外部カウント・クロック選択時は使用不可）

(5) 発振安定時間カウンタ状態レジスタ（OSTC）

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。CPUクロックが低速内蔵発振クロックで，X1クロックの発振を開始したとき，X1クロックの発振安定時間を確認することができます。

OSTCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生（$\overline{\text{RESET}}$入力，POC, LVI, WDTによるリセット），STOP命令，MSTOP（MOCレジスタのビット7）= 1により，00Hになります。

図5－6　発振安定時間カウンタ状態レジスタ（OSTC）のフォーマット

アドレス：FFA3H　　リセット時：00H　　R

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| OSTC | 0 | 0 | 0 | MOST11 | MOST13 | MOST14 | MOST15 | MOST16 |

| MOST11 | MOST13 | MOST14 | MOST15 | MOST16 | 発振安定時間のステータス | | |
|---|---|---|---|---|---|---|---|
| | | | | | | fx = 20 MHz時 | fx = 16 MHz時 |
| 1 | 0 | 0 | 0 | 0 | $2^{11}$/fx以上 | 102.4 μs以上 | 128 μs以上 |
| 1 | 1 | 0 | 0 | 0 | $2^{13}$/fx以上 | 409.6 μs以上 | 512 μs以上 |
| 1 | 1 | 1 | 0 | 0 | $2^{14}$/fx以上 | 819.2 μs以上 | 1.02 ms以上 |
| 1 | 1 | 1 | 1 | 0 | $2^{15}$/fx以上 | 1.64 ms以上 | 2.04 ms以上 |
| 1 | 1 | 1 | 1 | 1 | $2^{16}$/fx以上 | 3.27 ms以上 | 4.09 ms以上 |

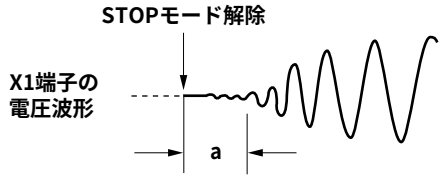
注意1．上記時間経過後，MOST11から順番に“1”となっていき，そのまま“1”を保持します。

2．発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが低速内蔵発振クロック時に，STOPモードに入り，解除するときは，OSTSの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間≦OSTSで設定する発振安定時間

したがって，STOPモード解除後のOSTCは，OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。

3．X1クロックの発振安定時間は，クロック発振を開始するまでの時間（下図a）は含みません。




4．オプション・バイトで，高速システム・クロックに高速内蔵発振クロックを選択している場合は，OSTCは使用不可です。

350 μsのウエイト時間をソフトウエアで確保してください。

備考　fx：X1クロック発振周波数

**(6) 発振安定時間選択レジスタ（OSTS）**

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合，STOPモード解除後は，OSTSで設定した時間をウエイトします。

CPUクロックに低速内蔵発振クロックを選択した場合，STOPモード解除後は，OSTCで発振安定時間が経過したかを確認してください。OSTCでは，あらかじめOSTSで設定した時間までの確認ができます。

CPUクロックに高速内蔵発振クロックを選択した場合，STOPモード解除後は，350 $\mu$ sウエイトしてください（OSTCは使用できません）。

OSTSは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，05Hになります。

**図5－7　発振安定時間選択レジスタ（OSTS）のフォーマット**

アドレス：FFA4H　　リセット時：05H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| OSTS | 0 | 0 | 0 | 0 | 0 | OSTS2 | OSTS1 | OSTS0 |

| OSTS2 | OSTS1 | OSTS0 | 発振安定時間の選択 | | |
|---|---|---|---|---|---|
| | | | | $f_X$ = 20 MHz時 | $f_X$ = 16 MHz時 |
| 0 | 0 | 1 | $2^{11}/f_X$ | 102.4 $\mu$ s | 128 $\mu$ s |
| 0 | 1 | 0 | $2^{13}/f_X$ | 409.6 $\mu$ s | 512 $\mu$ s |
| 0 | 1 | 1 | $2^{14}/f_X$ | 819.2 $\mu$ s | 1.02 ms |
| 1 | 0 | 0 | $2^{15}/f_X$ | 1.64 ms | 2.04 ms |
| 1 | 0 | 1 | $2^{16}/f_X$ | 3.27 ms | 4.09 ms |
| 上記以外 | | | 設定禁止 | | |

**注意**1．CPUクロックがX1クロック時にSTOPモードへ移行する場合は，STOP命令を実行する前にOSTSを設定してください。

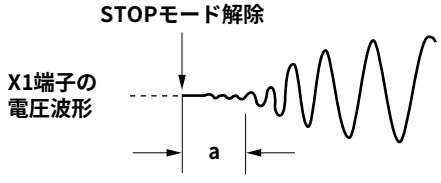
2．X1クロックの発振安定時間中は，OSTSレジスタを変更しないでください。

3．発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。
CPUクロックが低速内蔵発振クロック時に，STOPモードに入り，解除するときは，OSTSの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間≦OSTSで設定する発振安定時間

したがって，STOPモード解除後のOSTCは，OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。

4．X1クロックの発振安定時間は，クロック発振を開始するまでの時間（下図a）は含みません。




**備考**　$f_X$：X1クロック発振周波数

★　（7）システム・ウエイト制御レジスタ（VSWC）

CPUの高速化に伴い，低速な周辺I/Oとの接続用にウエイト制御を行うレジスタです。

VSWCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により00Hになります。

図5－8　システム・ウエイト制御レジスタ（VSWC）のフォーマット

アドレス：FFFDH　　リセット時：00H　　R/W

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| VSWC | 0 | 0 | 0 | 0 | 0 | 0 | PDW1 | 0 |

| PDW1 | システム・クロックのデータ・ウエイト制御 |
|---|---|
| 0 | ウエイトなし |
| 1 | 2ウエイト・ステート挿入 |

注意1．最小命令実行時間が0.125 $\mu$ s以下（$f_{XP}$ = 16 MHz以上）のとき，必ず2ウエイト・ステートを挿入してください。

2．ビット0, 2-7には必ず0を設定してください。

# 5. 4　システム・クロック発振回路

## 5. 4. 1　X1発振回路

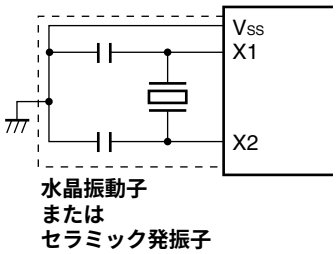
X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（標準：20 MHz）によって発振します。メインOSCコントロール・レジスタ（MOC）にて発振を制御できます。

また，外部クロックを入力することもできます。その場合，X1端子にクロック信号を入力し，X2端子には，その反転した信号を入力してください。

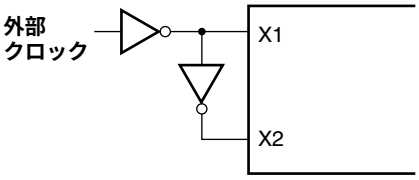
図5－9にX1発振回路の外付け回路例を示します。

図5－9　X1発振回路の外付け回路例（水晶，セラミック発振）

（a）水晶，セラミック発振




（b）外部クロック




**注意**　X1発振回路を使用する場合は，配線容量などの影響を避けるために，図5－9の破線の部分を次のように配線してください。

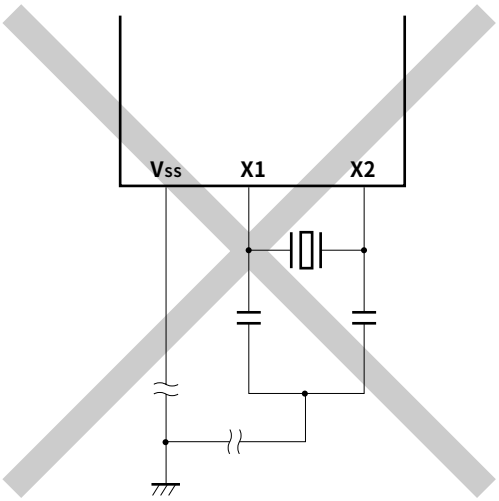
- 配線は極力短くする。
- 他の信号線と交差させない。また，変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接地点は，常にVssと同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

## 5. 4. 2　発振子の接続の悪い例

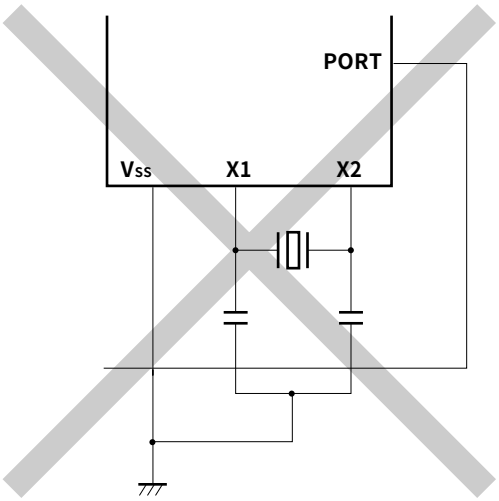
図5－10に発振子の接続の悪い例を示します。

**図5－10　発振子の接続の悪い例（1/2）**

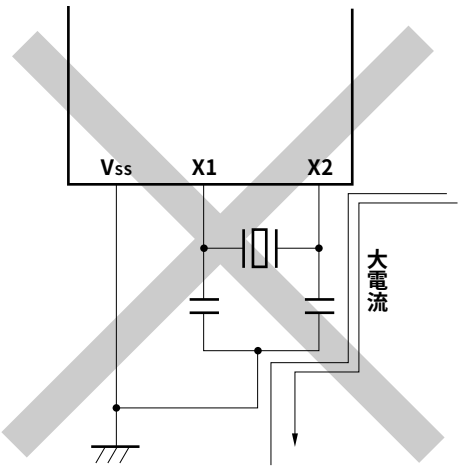
（a）接続回路の配線が長い




（b）信号線が交差している




（c） 変化する大電流が信号線に
近接している




（d） 発振回路部のグランド・ライン上に電流が流れる
（A点，B点，C点の電位が変動する）

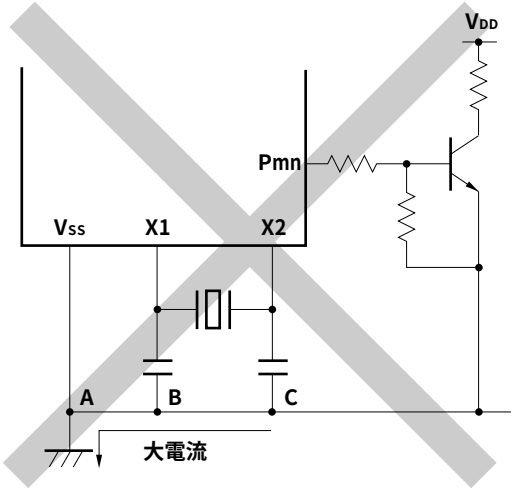
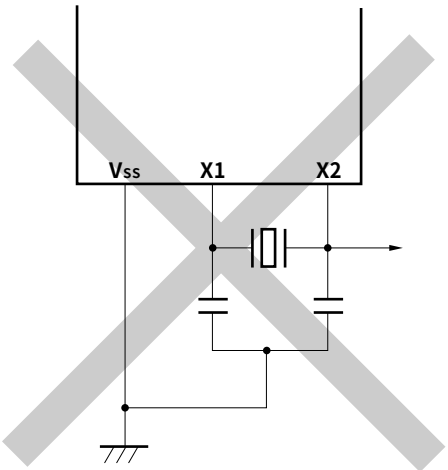


図5－10　発振子の接続の悪い例（2/2）

（e）信号を取り出している




## 5.4.3　高速内蔵発振回路

μPD78F0711, 78F0712は，高速内蔵発振回路を内蔵しています。メインOSCコントロール・レジスタ（MOC）にて発振を制御できます。

オプション・バイトで高速システム・クロックに高速内蔵発振クロックを選択してる場合，リセット解除後，高速内蔵発振回路は自動的に発振を開始します（8 MHz（TYP.））。

## 5.4.4　低速内蔵発振回路

μPD78F0711, 78F0712は，低速内蔵発振回路を内蔵しています。内蔵発振モード・レジスタ（RCM）にて発振を制御できます。

低速内蔵発振クロックは，CPUクロック，ウォッチドッグ・タイマ，8ビット・タイマH1のクロックとして使用します。

オプション・バイトで「ソフトウエアにより停止可能」または「停止不可」を選択できます。「ソフトウエアにより停止可能」に選択した場合，内蔵発振モード・レジスタ（RCM）にて発振を制御できます。

リセット解除後，低速内蔵発振回路は自動的に発振を開始します（240 kHz（TYP.））。

## 5.4.5　プリスケーラ

プリスケーラは，メイン・システム・クロック分周して，CPUクロックを生成します。

# 5. 5　クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し，かつ，スタンバイ・モードなどのCPUの動作モードを制御します（図5－1を参照）。

○メイン・システム・クロック　$f_{XP}$
　・高速システム・クロック　$f_{XH}$
　　X1クロック　$f_X$
　　高速内蔵発振クロック　$f_{RH}$
　・低速内蔵発振クロック　$f_{RL}$
○CPUクロック　$f_{CPU}$
○周辺ハードウエア・クロック　$f_{PRS}$

$\mu$PD78F0711, 78F0712では，リセット解除後，CPUは低速内蔵発振回路の出力により動作を開始します。これにより次のことが可能となります。

(1) セキュリティ機能の強化

リセット解除後に破壊や接続不良などでX1クロックが動かないとき，ディフォールトでCPUクロックがX1クロックの場合では，デバイスはその時点で動作不能となってしまいます。しかしCPUのスタート・クロックが低速内蔵発振クロックの場合，リセット解除後に低速内蔵発振クロックで起動することができます。これにより，リセットの要因をソフトウエアで認識したり，異常時にセーフティ処理を行うなど，最低限の動作でシステムを安全に終了することが可能となります。

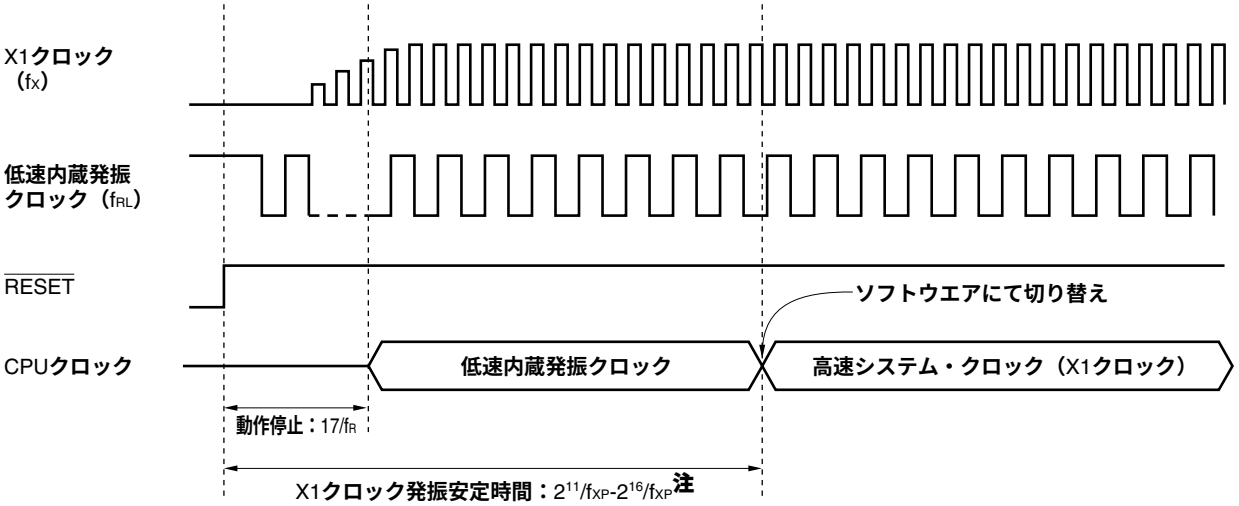
(2) パフォーマンスの向上

X1クロックの発振安定時間を待たずにCPUを起動できるため，トータル・パフォーマンスの向上が可能です。

電源電圧投入時のクロック発生回路の動作を，図5－11に示します。

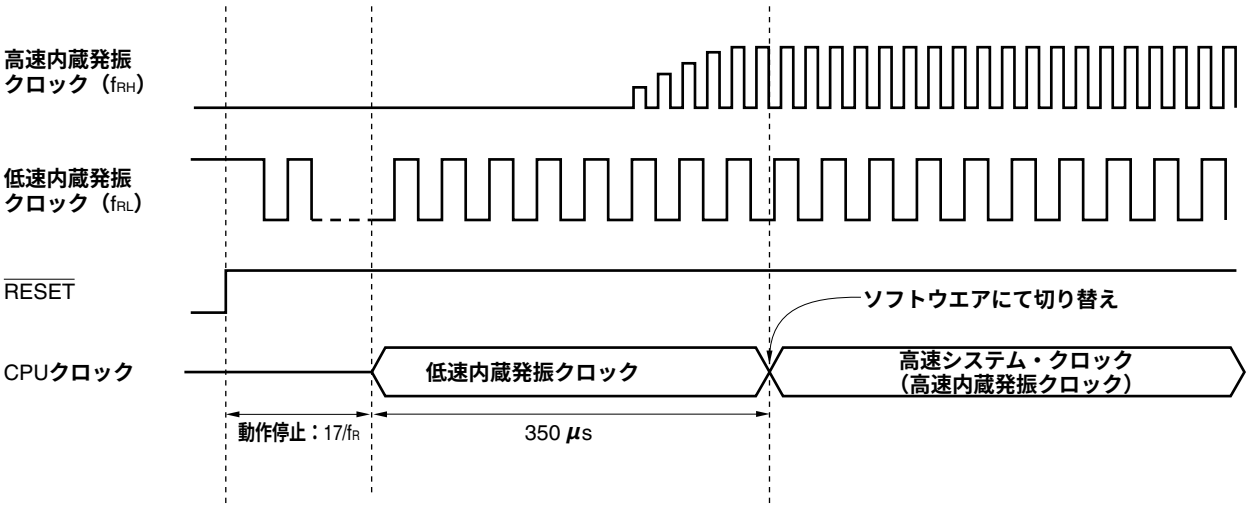
図5－11　低速内蔵発振器によるCPUディフォールト・スタートのタイミング図

（a）高速システム・クロックにX1クロック選択時




注　発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

（b）高速システム・クロックに高速内蔵発振クロック選択時



(a) $\overline{\text{RESET}}$信号発生により，メイン・クロック・モード・レジスタ（MCM）のビット0が0になり， CPUクロックが低速内蔵発振クロックになります。ただし，$\overline{\text{RESET}}$解除後に低速内蔵発振クロックが17クロック経過してからCPUに対しクロック供給を行います（または17クロック間はCPUクロックの供給を停止します）。$\overline{\text{RESET}}$期間中は，高速システム・クロックと低速内蔵発振クロックの発振は停止します。

(b) $\overline{\text{RESET}}$解除後，高速システム・クロックの発振安定時間が経過してから，メイン・クロック・モード・レジスタ（MCM）のビット0（MCM0）にて，CPUクロックを低速内蔵発振クロックから高速システム・クロックに切り替えることができます。このとき，X1クロックの場合は，発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してから，CPUクロックを切り替えてください。高速内蔵発振クロックの場合は，ウエイト時間（350 $\mu$s）をソフトウエアで確保してから，CPUクロックを切り替えてください。CPUクロックの状態はMCMのビット1（MCS）で確認できます。

(c) オプション・バイトで低速内蔵発振器を「ソフトウエアにより停止可能」に設定し，CPUクロックが高速システム・クロックの場合，低速内蔵発振クロックの停止／発振を内蔵発振モード・レジスタ（RCM）で設定できます。このときMCSが1であることを必ず確認してください。

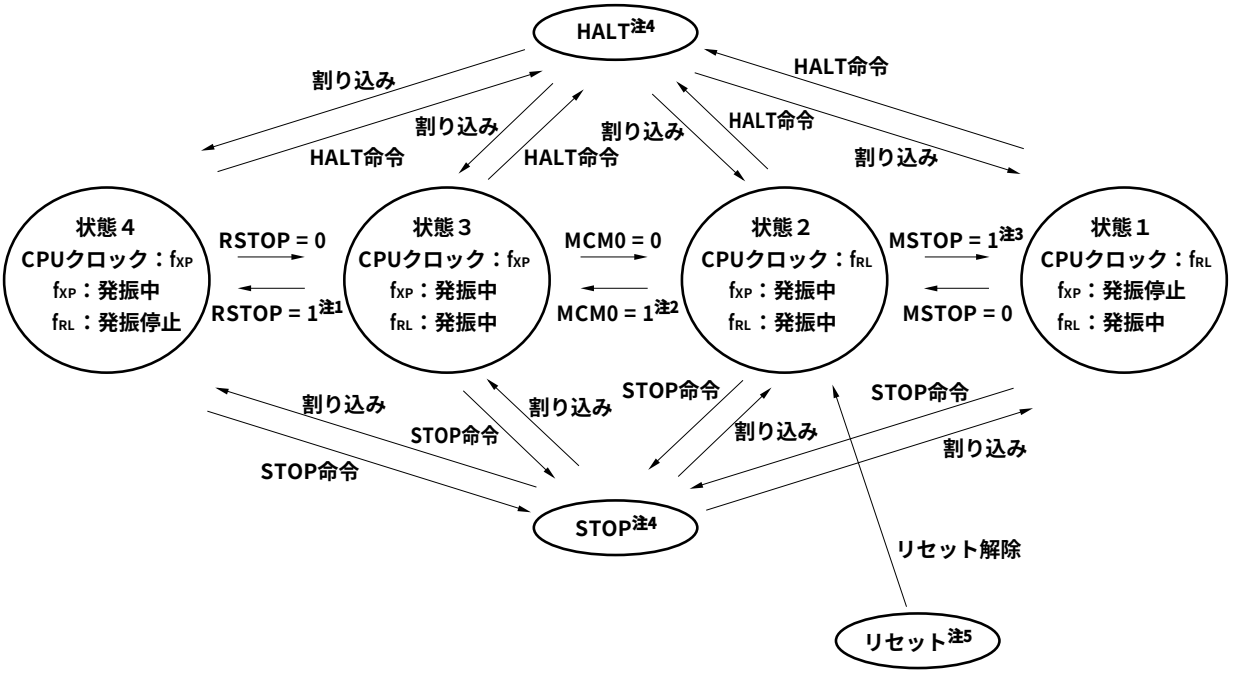
(d) CPUクロックが低速内蔵発振クロックの場合，高速システム・クロックの停止／発振をメインOSCコントロール・レジスタ（MOC）で設定できます。このときMCSが0であることを必ず確認してください。

(e) CPUクロックが高速システム・クロックである場合のSTOPモード解除時は，発振安定時間選択レジスタ（OSTS）で選択した発振安定時間（$2^{11}/f_{XP}$, $2^{13}/f_{XP}$, $2^{14}/f_{XP}$, $2^{15}/f_{XP}$, $2^{16}/f_{XP}$）が確保されます。
またRESET解除時およびCPUクロックが低速内蔵発振クロックである場合のSTOPモード解除時は，発振安定時間のウエイトは行われません。
CPUクロックを高速システム・クロックに切り替えるとき，X1クロックの場合は発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。高速内蔵発振クロックの場合は，ウエイト時間（350 $\mu$s）をソフトウエアで確保してください。

この製品の状態遷移図を図5－12に，各動作状態における動作クロックの関係を表5－3に，発振制御フラグと各クロックの発振状態を表5－4に示します。

**図5－12　状態遷移図（1/2）**

**（1）オプション・バイトで「ソフトウエアにより低速内蔵発振器を停止可能」に選択した場合**




**注**1．状態3から状態4に移行する場合は，メイン・クロック・モード・レジスタ（MCM）のビット1（MCS）が1であることを必ず確認してください。

2．リセット解除時およびSTOP解除時に状態2から状態3に移行するときは，X1クロックの場合は発振安定時間の状態を発振安定時間カウンタ状態レジスタ（OSTC）で確認してから行ってください。高速内蔵発振クロックの場合は，ウエイト時間（350 $\mu$ s）をソフトウエアで確保してください。

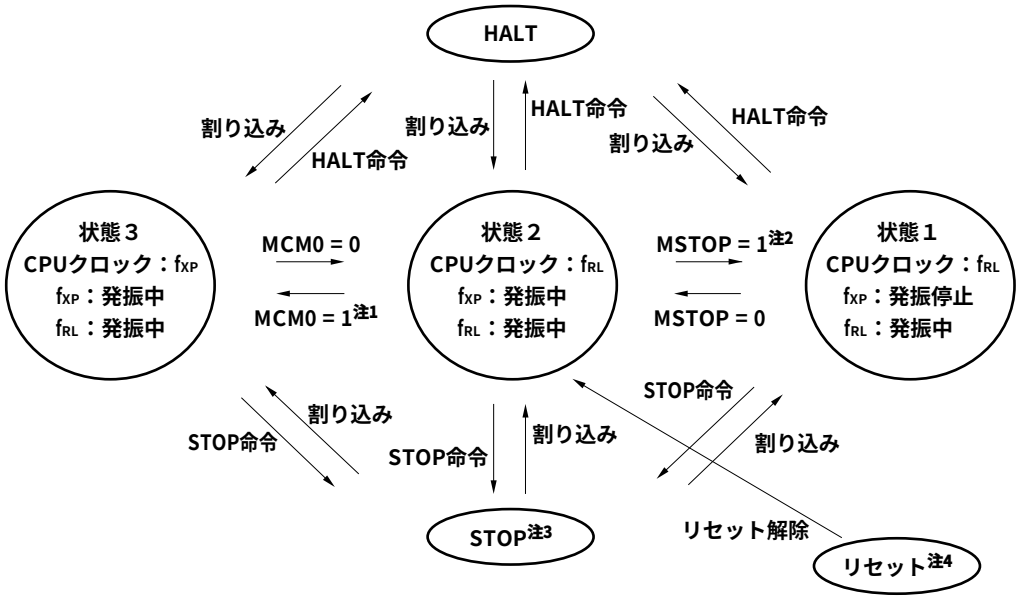
3．状態2から状態1に移行する場合は，MCSが0であることを必ず確認してください。

4．オプション・バイトで「ソフトウエアにより低速内蔵発振器を停止可能」に選択した場合，ウォッチドッグ・タイマのソース・クロックにかかわらず，HALTモード，STOPモード中のウォッチドッグ・タイマの動作は停止します。ただし，低速内蔵発振器の発振はRSTOP = 0ならばHALTモード， STOPモード中も停止しません。

5．すべてのリセット要因（$\overline{\text{RESET}}$入力，POC, LVI, WDT）です。

図5－12　状態遷移図（2/2）

（2）オプション・バイトで「低速内蔵発振器を停止不可」に選択した場合




注1．リセット解除時およびSTOP解除時に状態2から状態3に移行するときは，X1クロックの場合は発振安定時間の状態を発振安定時間カウンタ状態レジスタ（OSTC）で確認してから行ってください。高速内蔵発振クロックの場合は，ウエイト時間（350 $\mu$ s）をソフトウエアで確保してください。

2．状態2から状態1に移行する場合は，MCSが0であることを必ず確認してください。

3．オプション・バイトで「低速内蔵発振器を停止不可」に選択した場合，ウォッチドッグ・タイマはSTOPモード中でも低速内蔵発振クロックで動作しています。8ビット・タイマ51（TM51）はカウント・ソースに低速内蔵発振クロックの分周を選択できますので，ウォッチドッグ・タイマのオーバフロー発生前にTM51の割り込み要求を使用して，ウォッチドッグ・タイマをクリアしてください。この処理を行わない場合は，STOP命令実行後，ウォッチドッグ・タイマのオーバフローが発生した時点で内部リセット信号を発生します。

4．すべてのリセット要因（$\overline{\text{RESET}}$入力，POC, LVI, WDT）です。

**表5－3　各動作状態における動作クロックの関係**

| ステータス / 動作モード | 高速システム・クロック発振回路 | | 低速内蔵発振器 | | | 解除後のCPUクロック | 周辺へ供給されるプリスケーラのクロック | |
|---|---|---|---|---|---|---|---|---|
| | | | 注1 | 注2 | | | | |
| | MSTOP = 0 | MSTOP = 1 | | RSTOP = 0 | RSTOP = 1 | | MCM0 = 0 | MCM0 = 1 |
| リセット | 停　止 | | 停　止 | | | 低速内蔵発振クロック | 停　止 | |
| STOP | | | 発　振 | 発　振 | 停　止 | 注3 | 停　止 | |
| HALT | 発　振 | 停　止 | | | | 注4 | 低速内蔵発振クロック | 高速システム・クロック |

**注**1．オプション・バイトで低速内蔵発振器を「停止不可」に選択時

2．オプション・バイトで低速内蔵発振器を「ソフトウエアにより停止可能」に選択時

3．STOP命令実行時のCPUクロックにて動作します。

4．HALT命令実行時のCPUクロックにて動作します。

**注意**　RSTOPの設定は，オプション・バイトで低速内蔵発振器を「ソフトウエアにより停止可能」時にのみ有効です。

**備考**　MSTOP　：メインOSCコントロール・レジスタ（MOC）のビット7
RSTOP　：内蔵発振モード・レジスタ（RCM）のビット0
MCM0　：メイン・クロック・モード・レジスタ（MCM）のビット0

**表5－4　発振制御フラグと各クロックの発振状態**

| | | 高速システム・クロック発振回路 | 低速内蔵発振器 |
|---|---|---|---|
| MSTOP = 1 | RSTOP = 0 | 停　止 | 発　振 |
| | RSTOP = 1 | 設定禁止 | |
| MSTOP = 0 | RSTOP = 0 | 発　振 | 発　振 |
| | RSTOP = 1 | | 停　止 |

**注意**　RSTOPの設定は，オプション・バイトで低速内蔵発振器を「ソフトウエアにより停止可能」時にのみ有効です。

**備考**　MSTOP　：メインOSCコントロール・レジスタ（MOC）のビット7
RSTOP　：内蔵発振モード・レジスタ（RCM）のビット0

# 5. 6　低速内蔵発振クロックと高速システム・クロックの切り替えに要する時間

低速内蔵発振クロックと高速システム・クロックは，メイン・クロック・モード・レジスタ（MCM）のビット0（MCM0）により切り替えることができます。

実際の切り替え動作は，MCM0を書き換えた直後ではなく，MCM0を切り替えたのち，数命令は切り替え前のクロックで動作します（表5－5参照）。

低速内蔵発振クロックで動作しているのか，高速システム・クロックで動作しているのかは，MCMのビット1（MCS）で判定できます。

クロック切り替え後，元のクロックを停止する場合は，表5－5に示すクロック分ウエイトしてから停止してください。

**表5－5　低速内蔵発振クロックと高速システム・クロックの切り替えに要する最大時間**

| PCC | | | 切り替えに要する最大時間 | |
|---|---|---|---|---|
| PCC2 | PCC1 | PCC0 | 高速システム・クロック<br>→ 低速内蔵発振クロック | 低速内蔵発振クロック<br>→ 高速システム・クロック |
| 0 | 0 | 0 | $f_{XP}/f_{RL}$＋1クロック | 2クロック |
| 0 | 0 | 1 | $f_{XP}/2f_{RL}$＋1クロック | |

**注意　最大時間を計算する場合は，$f_{RL}$ = 120 kHzで行ってください。**

**備考**1．PCC：プロセッサ・クロック・コントロール・レジスタ

2．$f_{XP}$：高速システム・クロック発振周波数

3．$f_{RL}$：低速内蔵発振クロック発振周波数

4．最大時間は，切り替え前のCPUクロックによるクロック数です。

# 5. 7　CPUクロックの切り替えに要する時間

CPUクロックは，プロセッサ・クロック・コントロール・レジスタ（PCC）のビット0-2（PCC0-PCC2）により切り替えることができます。

実際の切り替え動作は，PCCを書き換えた直後ではなく，PCCを変更したのち，数命令は切り替え前のクロックで動作します（表5ー6参照）。

表5ー6　CPUクロックの切り替えに要する最大時間

| 切り替え前の設定値 | | | 切り替え後の設定値 | | | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| PCC2 | PCC1 | PCC0 | PCC2 | PCC1 | PCC0 | PCC2 | PCC1 | PCC0 | PCC2 | PCC1 | PCC0 | PCC2 | PCC1 | PCC0 | PCC2 | PCC1 | PCC0 |
| | | | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| 0 | 0 | 0 | | | | 16クロック | | | 16クロック | | | 16クロック | | | 16クロック | | |
| 0 | 0 | 1 | 8クロック | | | | | | 8クロック | | | 8クロック | | | 8クロック | | |
| 0 | 1 | 0 | 4クロック | | | 4クロック | | | | | | 4クロック | | | 4クロック | | |
| 0 | 1 | 1 | 2クロック | | | 2クロック | | | 2クロック | | | | | | 2クロック | | |
| 1 | 0 | 0 | 1クロック | | | 1クロック | | | 1クロック | | | 1クロック | | | | | |

**注意**　CPUが低速内蔵発振クロックで動作している場合，次の値は設定禁止です。

- PCC2, PCC1, PCC0 = 0, 1, 0
- PCC2, PCC1, PCC0 = 0, 1, 1
- PCC2, PCC1, PCC0 = 1, 0, 0

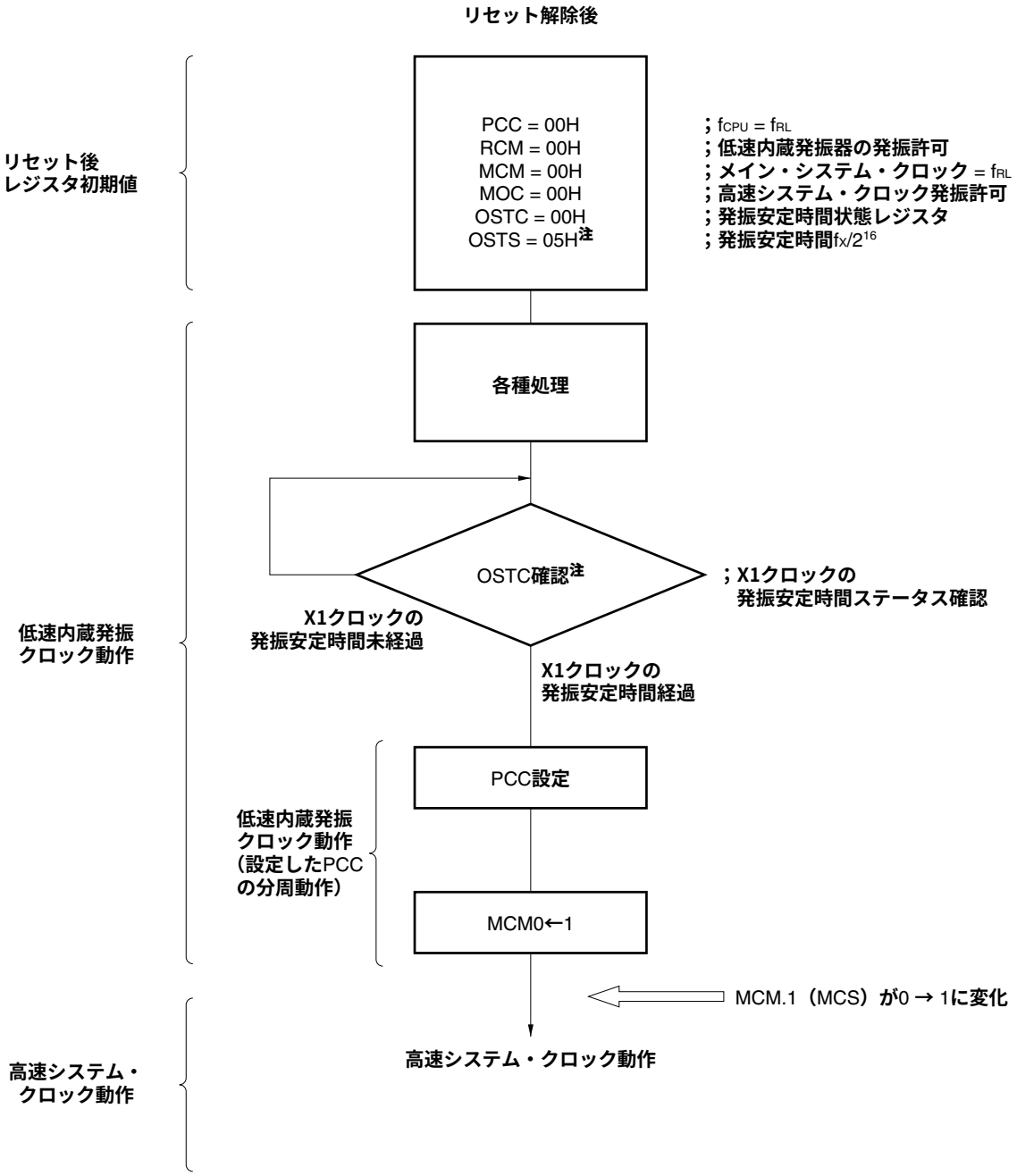
**備考**　最大時間は，切り替え前のCPUクロックのクロック数です。

# 5. 8　クロック切り替えのフロー・チャートとレジスタ設定

## 5. 8. 1　低速内蔵発振クロックから高速システム・クロックへの切り替え

**図5－13　低速内蔵発振クロックから高速システム・クロックへの切り替え（フロー・チャート）（1/2）**

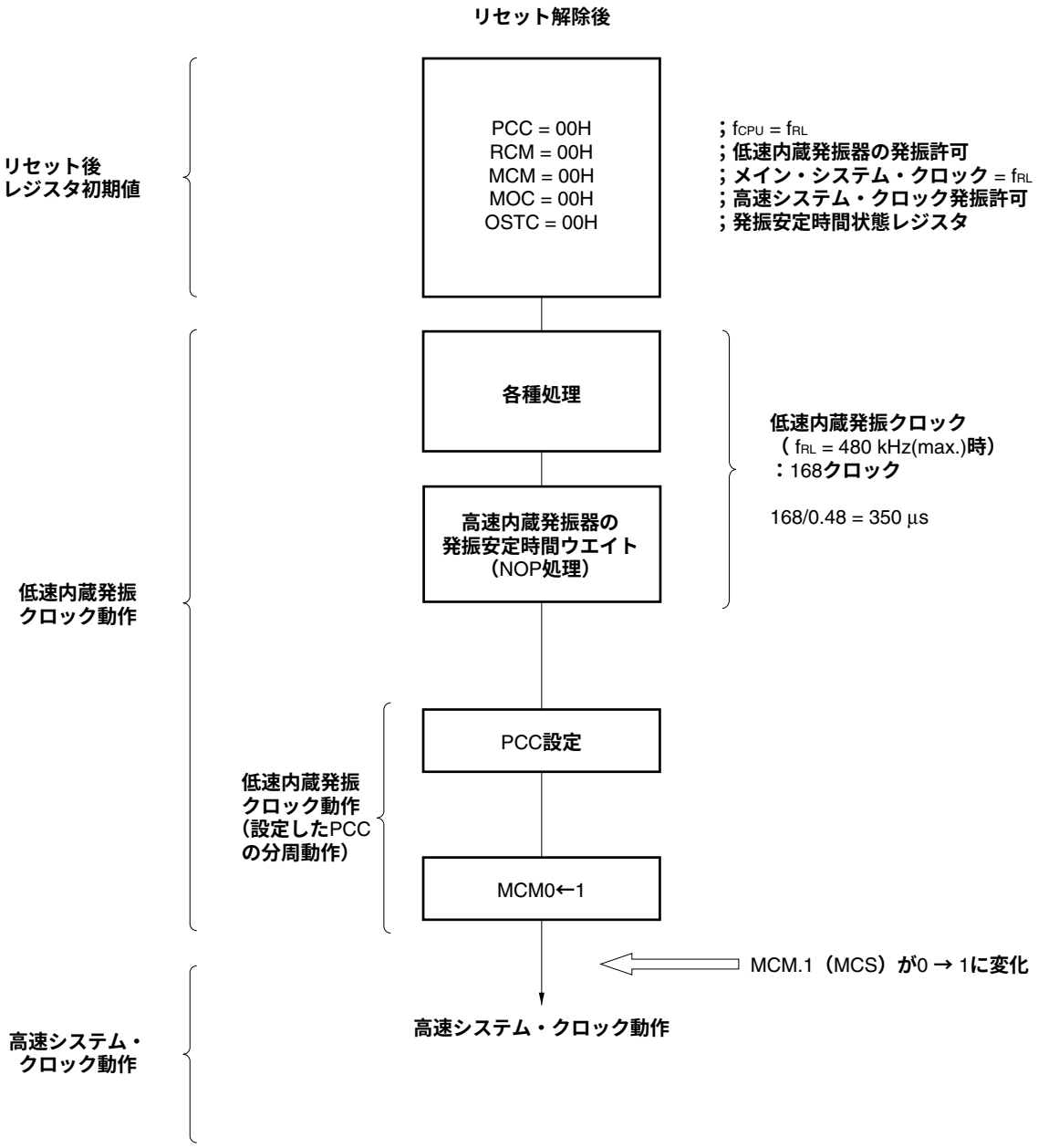
**（a）オプション・バイトで高速システム・クロックにX1クロック選択時**




**注**　**リセット解除後のX1クロック発振回路の発振安定待ち時間は，OSTCレジスタにより確認を行い，任意の発振安定待ち時間経過後に高速システム・クロック動作に切り替えてください。なお，OSTSレジスタの設定は，高速システム・クロック動作時のSTOPモードを割り込みで解除したあとのみ有効となります。**

**図5－13　低速内蔵発振クロックから高速システム・クロックへの切り替え（フロー・チャート）（2/2）**

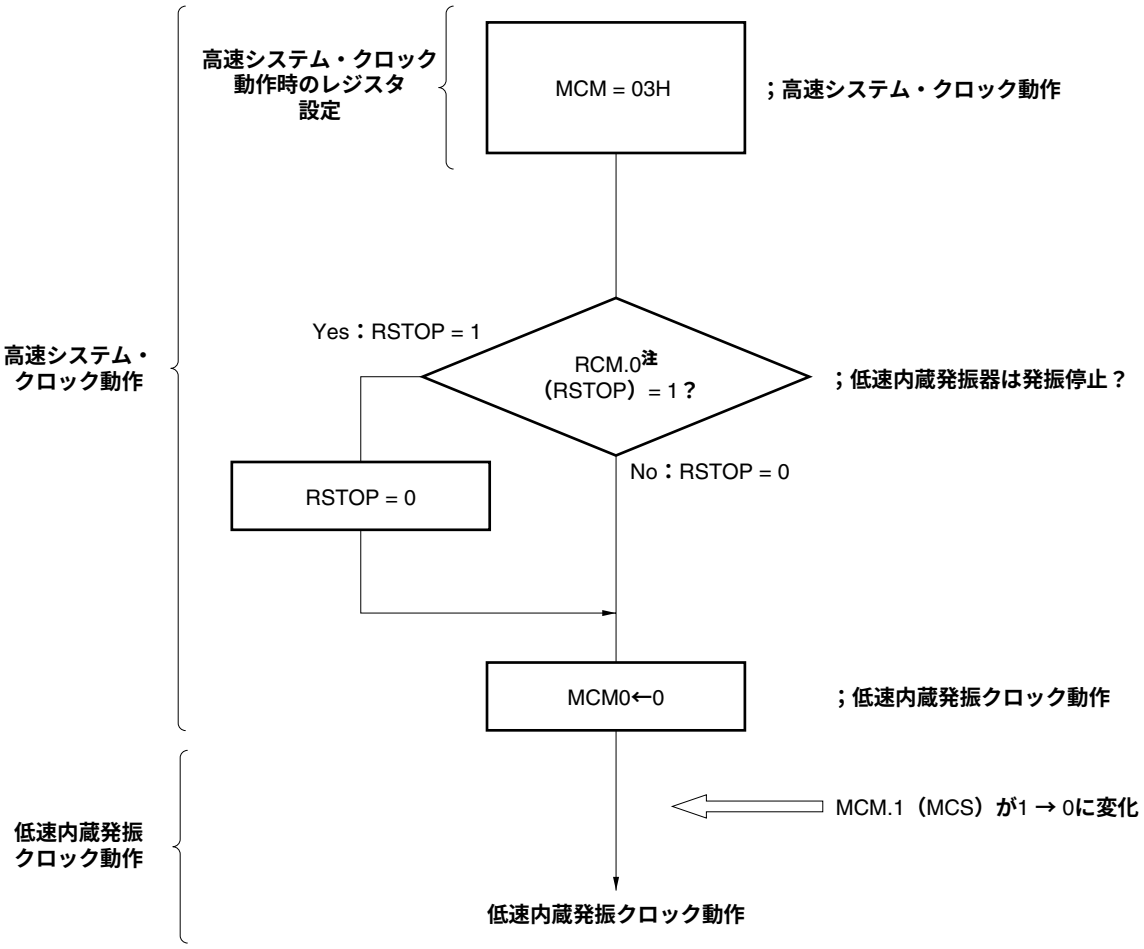
**（b）オプション・バイトで高速システム・クロックに高速内蔵発振クロック選択時**




**備考**　**リセット解除後の高速内蔵発振器の発振安定待ち時間（350 μs）は，ソフトウエアにより確保してください。**

## 5. 8. 2　高速システム・クロックから低速内蔵発振クロックへの切り替え

**図5－14　高速システム・クロックから低速内蔵発振クロックへの切り替え（フロー・チャート）**




**注　オプション・バイトで低速内蔵発振器を「ソフトウエアにより停止可能」を選択した場合のみ必要となります。**

## 5.8.3　レジスタ設定

各モードに設定した場合の各設定フラグとステータス・フラグの状態を示します。

表5－7　クロックとレジスタの設定

| $f_{CPU}$ | モード | 設定フラグ | | | ステータス・フラグ |
|---|---|---|---|---|---|
| | | MCM レジスタ | MOC レジスタ | RCM レジスタ | MCM レジスタ |
| | | MCM0 | MSTOP | RSTOP[注1] | MCS |
| 高速システム・クロック[注2] | 低速内蔵発振クロック発振継続 | 1 | 0 | 0 | 1 |
| | 低速内蔵発振クロック停止 | 1 | 0 | 1 | 1 |
| 低速内蔵発振クロック[注3] | 高速システム・クロック発振継続 | 0 | 0 | 0 | 0 |
| | 高速システム・クロック停止 | 0 | 1 | 0 | 0 |

注1．オプション・バイトで低速内蔵発振器を「ソフトウエアにより停止可能」を選択した場合のみ有効となります。

2．CPUが高速システム・クロック動作中にMSTOP = 1に設定しないでください（MSTOP = 1に設定しても，高速システム・クロックの発振は停止しません）。

3．CPUが低速内蔵発振クロック動作中にRSTOP = 1に設定しないでください（RSTOP = 1に設定しても，低速内蔵発振クロックの発振は停止しません）。

# 第６章　10ビット・インバータ制御用タイマ

## ６.１　10ビット・インバータ制御用タイマの概要

インバータ制御を実現するタイマです。８ビットのデッド・タイム生成用のタイマを内蔵しており，アクティブ・レベルの重ならない波形を出力できます。

## ６.２　10ビット・インバータ制御用タイマの機能

10ビット・インバータ制御用タイマは，インバータ制御を実現するタイマです。

８ビットのデッド・タイム生成用のタイマを内蔵しており，アクティブ・レベルの重ならない波形を出力できます。正相，逆相あわせて６チャネルのパルス出力を行います。また，アクティブ・レベルの変更機能，および外部入力（TW0TOFFP）による出力オフ機能を備えています。

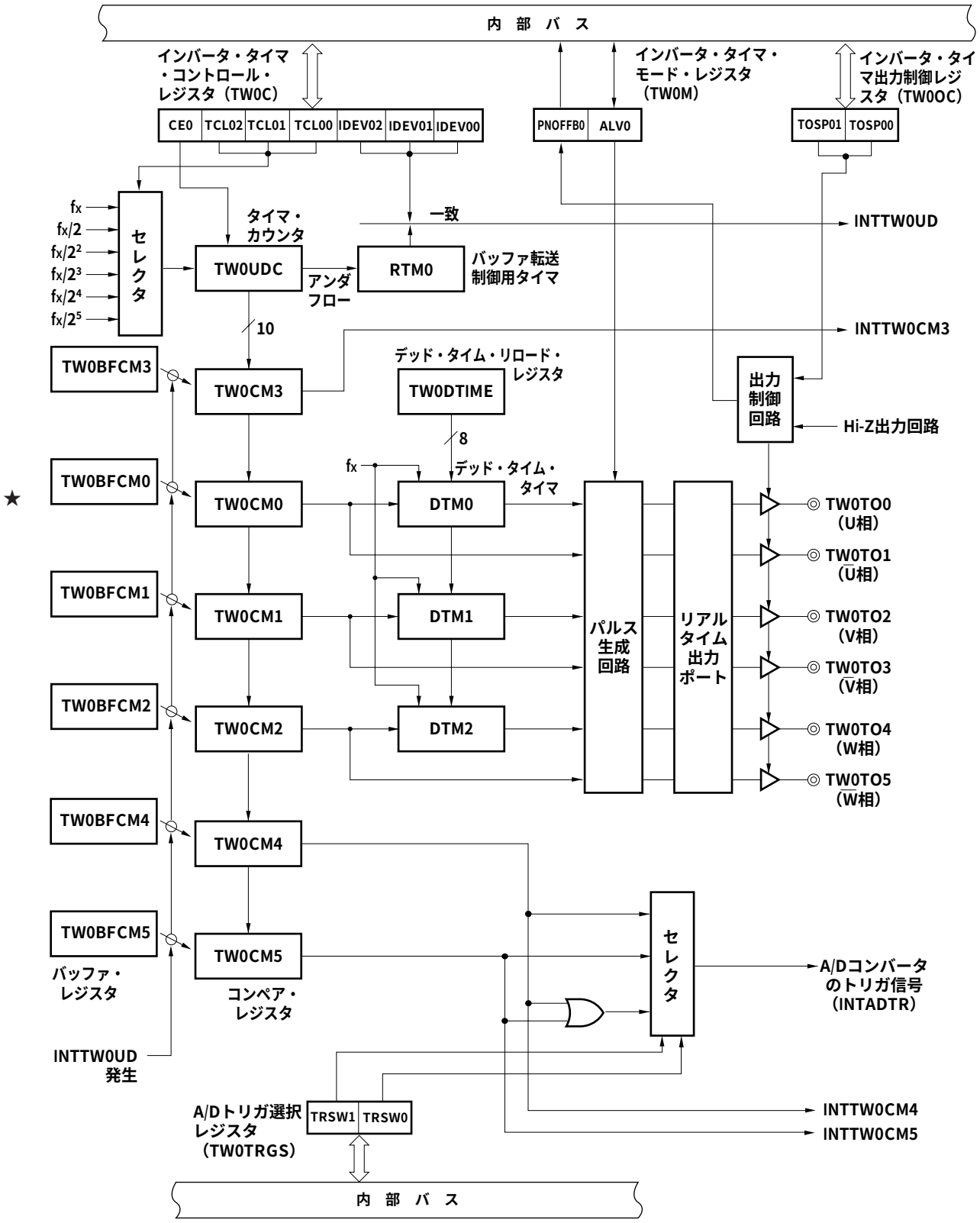
## ６.３　10ビット・インバータ制御用タイマの構成

10ビット・インバータ制御用タイマは，次のハードウエアで構成されています。

表６－１　10ビット・インバータ制御用タイマの構成

| 項　　目 | 構　　成 |
|---|---|
| タイマ・カウンタ | 10ビット・アップ／ダウン・カウンタ×１本（TW0UDC）<br>デッド・タイム・タイマ×３本（DTM0, DTM1, DTM2）<br>バッファ転送制御用タイマ×１本（RTM0） |
| レジスタ | 10ビット・コンペア・レジスタ×６本（TW0CM0-TW0CM5）<br>10ビット・バッファ・レジスタ×６本（TW0BFCM0-TW0BFCM5）<br>デッド・タイム・リロード・レジスタ×１本（TW0DTIME） |
| タイマ出力 | ６本（TW0TO0, TW0TO1, TW0TO2, TW0TO3, TW0TO4, TW0TO5） |
| 制御レジスタ | インバータ・タイマ・コントロール・レジスタ（TW0C）<br>インバータ・タイマ・モード・レジスタ（TW0M）<br>A/Dトリガ選択レジスタ（TW0TRGS）<br>インバータ・タイマ出力制御レジスタ（TW0OC） |

## 図６－１　10ビット・インバータ制御用タイマのブロック図



### （1）10ビット・アップ／ダウン・カウンタ（TW0UDC）

TW0UDCは，カウント・パルスをカウントする10ビットのアップ／ダウン・カウンタです。

カウント・クロックの立ち上がりに同期してカウント動作を行います。タイマをスタートさせると０からインクリメントし，あらかじめ設定されたコンペア・レジスタ３（TW0CM3）の値とTW0UDCのカウント値が一致すると，ダウン・カウント動作に切り替わります。

ダウン・カウント動作中に000Hになるとアンダフロー信号を発生し，割り込み要求信号INTTW0UDを発生します。アンダフローが発生すると，ダウン・カウント動作からアップ・カウント動作に切り替わります。INTTW0UDは通常アンダフローごとに発生しますが，インバータ・タイマ・コントロール・レジスタ（TW0C）のIDEV00-IDEV02ビットにより発生回数を分周できます。

TW0UDCは，リード／ライトできません。

TW0UDCの周期はTM0CM3によって制御されます。

カウント・クロックは，fx, fx/2, fx/4, fx/8, fx/16, fx/32の６種類から選択できます。

$\overline{\text{RESET}}$入力，またはTW0CのCE0ビットをクリアすることにより000Hとなります。

### （2）10ビット・コンペア・レジスタ 0-2（TW0CM0-TW0CM2）

TW0CM0-TW0CM2は，10ビットのコンペア・レジスタで，TW0UDCと常に比較を行い，それぞれ一致するとフリップフロップの内容を変化させます。

また，TW0CM0-TW0CM2は，それぞれバッファ・レジスタ（TW0BFCM0-TW0BFCM2）を備えており，割り込み要求信号INTTW0UDの発生タイミングでバッファの内容をTW0CM0-TW0CM2に転送します。

TW0CM0-TW0CM2への書き込みは，TW0UDCが停止時にのみ可能です。

出力タイミングは，TW0BFCM0-TW0BFCM2に対し，データを書き込んで設定してください。

$\overline{\text{RESET}}$入力，またはTW0CのCE0ビットをクリアすることにより000Hとなります。

### （3）10ビット・コンペア・レジスタ３（TW0CM3）

TW0CM3は，10ビットのコンペア・レジスタで，TW0UDCの上限値を制御しています。TW0UDCのカウント値が，TW0CM3または０と一致すると，次のカウント・クロックでTW0UDCのアップ・カウント／ダウン・カウントを切り替えます。

また，TW0CM3はバッファ・レジスタ（TW0BFCM3）を備えており，割り込み要求信号INTTW0UDの発生タイミングでバッファの内容をTW0CM3に転送します。

TW0CM3への書き込みは，TW0UDCが停止時にのみ可能です。

TW0UDCへの周期は，TW0BFCM3に対しデータを書き込んで設定してください。

TW0CM3は$\overline{\text{RESET}}$入力により0FFHとなります。

TW0CM3には，000Hは設定しないでください。

### （4）10ビット・コンペア・レジスタ４，５（TW0CM4, TW0CM5）

TW0CM4, TW0CM5は，10ビットのコンペア・レジスタで，TW0UDCと常に比較を行い，それぞれ一致すると割り込み要求信号を発生します。

また，TW0CM4, TW0CM5は，それぞれバッファ・レジスタ（TW0BFCM4, TW0BFCM5）を備えており，割り込み要求信号INTTW0UDの発生タイミングでバッファの内容をTW0CM4, TW0CM5に転送します。

TW0CM4, TW0CM5への書き込みは，TW0UDCが停止時にのみ可能です。

出力タイミングは，TW0BFCM4, TW0BFCM5に対し，データを書き込んで設定してください。

$\overline{\text{RESET}}$入力，またはTW0CのCE0ビットをクリアすることにより000Hとなります。

### （５）10ビット・バッファ・レジスタ 0-5（TW0BFCM0-TW0BFCM5）

TW0BFCM0-TW0BFCM5は，10ビットのレジスタです。割り込み要求信号INTTW0UDの発生タイミングで各バッファ・レジスタに対応したコンペア・レジスタ（TW0CM0-TW0CM5）にデータを転送します。

TW0BFCM0-TW0BFCM5はTW0UDCのカウント停止中／動作中にかかわらずリード／ライトが可能です。

$\overline{\text{RESET}}$入力により，TW0BFCM0-TW0BFCM2, TW0BFCM4, TW0BFCM5は000H，TW0BFCM3は0FFHとなります。

TW0BFCM0-TW0BFCM5は，ワード単位だけでなく，バイト単位でのリード／ライトも可能です。８ビット以下でリード／ライトする場合はTW0BFCM0L-TW0BFCM5Lを使用します。

### （６）デッド・タイム・リロード・レジスタ（TW0DTIME）

TW0DTIMEは，８ビットのデッド・タイム設定用のレジスタで，３つのデッド・タイム・タイマ（DTM0-DTM2）に対して共通です。ただし，TW0DTIMEからDTM0-DTM2へデータをロードするタイミングはそれぞれ独立して行われます。

TW0DTIMEはTW0UDCのカウント停止中のみライト可能です。タイマ動作中にTW0DTIMEを書き換える命令を実行しても，データは書き換わりません。

TW0DTIMEは$\overline{\text{RESET}}$入力によりFFHとなります。

TW0DTIMEに00Hを設定した場合でも，1/fxのデッド・タイムを持った出力が行われます。

### （７）デッド・タイム・タイマ 0-2（DTM0-DTM2）

DTM0-DTM2は，８ビットのダウン・カウンタで，デッド・タイムを生成します。

TW0CM0-TW0CM2とTW0UDCのコンペア一致タイミングで，デッド・タイム・リロード・レジスタ（TW0DTIME）の値がリロードされ，ダウン・カウントを開始します。DTM0-DTM2は，それぞれ00H→FFHに変化すると，アンダフロー信号を発生し，FFHで停止します。

カウント・クロックはfxです。

DTM0-DTM2は，リード／ライトできません。

$\overline{\text{RESET}}$入力，またはTW0CのCE0ビットをクリアすることによりFFHとなります。

### （８）バッファ転送制御用タイマ（RTM0）

RTM0は３ビットのアップ・カウンタです。割り込み要求信号INTTW0UDを分周する機能を持ちます。

TW0UDCのアンダフロー信号によりインクリメントを行い，TW0CのIDEV00-IDEV02ビットで設定した分周回数値と一致するとINTTW0UDを発生します。

RTM0は，リード／ライトできません。

$\overline{\text{RESET}}$入力により7Hとなります。また，INTTW0UDの発生，TW0CのCE0ビットのクリアによっても，7Hとなります。

# ６.４　10ビット・インバータ制御用タイマを制御するレジスタ

10ビット・インバータ制御用タイマを制御するレジスタには，次の４種類があります。

・インバータ・タイマ・コントロール・レジスタ（TW0C）
・インバータ・タイマ・モード・レジスタ（TW0M）
・A/Dトリガ選択レジスタ（TW0TRGS）
・インバータ・タイマ出力制御レジスタ（TW0OC）

### （1）インバータ・タイマ・コントロール・レジスタ（TW0C）

TW0Cは，TW0UDC，デッド・タイム・タイマ0-2（DTM0-DTM2），およびバッファ転送制御用タイマ（RTM0）の動作制御，TW0UDCのカウント・クロックの指定，コンペア・レジスタ転送周期の選択を行うレジスタです。

TW0Cは，１ビット・メモリ操作命令または８ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

## 図６－２　インバータ・タイマ・コントロール・レジスタのフォーマット

アドレス：FF88H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TW0C | CE0 | 0 | TCL02 | TCL01 | TCL00 | IDEV02 | IDEV01 | IDEV00 |

| CE0 | TW0UDC, DTM0-DTM2, RTM0の動作制御 |
|---|---|
| 0 | クリア＆停止（TW0TO0-TW0TO5はHi-Z） |
| 1 | カウント許可 |

| TCL02 | TCL01 | TCL00 | カウント・クロックの選択 | | |
|---|---|---|---|---|---|
| | | | | $f_X$ = 20 MHz動作時 | $f_X$ = 16 MHz動作時 |
| 0 | 0 | 0 | $f_X$ | 20 MHz | 16 MHz |
| 0 | 0 | 1 | $f_X/2$ | 10 MHz | 8 MHz |
| 0 | 1 | 0 | $f_X/2^2$ | 5 MHz | 4 MHz |
| 0 | 1 | 1 | $f_X/2^3$ | 2.5 MHz | 2 MHz |
| 1 | 0 | 0 | $f_X/2^4$ | 1.25 MHz | 1 MHz |
| 1 | 0 | 1 | $f_X/2^5$ | 625 kHz | 500 kHz |
| 上記以外 | | | 設定禁止 | | |

| IDEV02 | IDEV01 | IDEV00 | INTTW0UDの発生頻度の選択 |
|---|---|---|---|
| 0 | 0 | 0 | TW0UDCのアンダフローごとに発生（毎回） |
| 0 | 0 | 1 | TW0UDCのアンダフロー２回につき１回発生 |
| 0 | 1 | 0 | TW0UDCのアンダフロー３回につき１回発生 |
| 0 | 1 | 1 | TW0UDCのアンダフロー４回につき１回発生 |
| 1 | 0 | 0 | TW0UDCのアンダフロー５回につき１回発生 |
| 1 | 0 | 1 | TW0UDCのアンダフロー６回につき１回発生 |
| 1 | 1 | 0 | TW0UDCのアンダフロー７回につき１回発生 |
| 1 | 1 | 1 | TW0UDCのアンダフロー８回につき１回発生 |

**備考**　$f_X$：システム・クロック発振周波数

### （2）インバータ・タイマ・モード・レジスタ（TW0M）

TW0Mは，TW0TO0-TW0TO5出力のアクティブ・レベル指定，動作制御を設定するレジスタです。

TW0Mは，１ビット・メモリ操作命令または８ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

**図６－３　インバータ・タイマ・モード・レジスタのフォーマット**

アドレス：FF89H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TW0M | 0 | 0 | 0 | PNOFFB0注 | ALV0 | 0 | 0 | 0 |

| PNOFFB0注 | TW0TO0-TW0TO5への出力制御状態フラグ |
|---|---|
| 0 | 出力禁止状態（TW0TO0-TW0TO5はHi-Z） |
| 1 | 出力許可状態 |

| ALV0 | TW0TO0-TW0TO5出力のアクティブ・レベルの指定 |
|---|---|
| 0 | ロウ・レベル |
| 1 | ハイ・レベル |

注　PNOFFB0ビットは，読み出し専用フラグです。ソフトウエアによるセット／リセットはできません。

PNOFFB0ビットは，以下の場合にリセットされます。

- TW0UDCの停止時（CE0 = 0）
- TW0UDCの動作中（CE0 = 1）にTW0TOFFPによる出力停止が発生

**注意　TW0Mのビット0-2, 5-7には，必ず０を設定してください。**

**備考１．** TW0TO0-TW0TO5は，次の場合にHi-Z状態になります。ただし，CE0 =１であれば，TW0UDC, DTM0-DTM2, RTM0の各タイマは停止しません。

・TOSPP0 =１で，TW0TOFFP端子へ有効エッジが入力された場合

TW0TO0-TW0TO5出力を復帰させる場合は次の手順で行います。

① CE0に０を書き込み，各タイマを停止させます。
② 使用している出力停止機能のフラグに０を書き込みます。
③ 再度各レジスタの初期設定を行います。

**２．** PNOFFB0, ALV0, CE0, TW0TO0-TW0TO5は，次のような関係になります。

| PNOFFB0 | ALV0 | CE0 | TW0TO0, TW0TO2, TW0TO4 | TW0TO1, TW0TO3, TW0TO5 |
|---|---|---|---|---|
| 0 | 0 | 0 | Hi-Z | Hi-Z |
| 0 | 1 | 0 | Hi-Z | Hi-Z |
| 0 | 0/1 | 1 | Hi-Z | Hi-Z |
| 1 | 0/1 | 1 | PWM波形出力 | PWM波形出力 |

### （３）A/Dトリガ選択レジスタ（TW0TRGS）

コンペア・レジスタTW0CM4，TW0CM5とタイマ・カウンタの一致により発生したINTTW0CM4，INTTW0CM5から，A/Dコンバータのトリガ信号を選択するレジスタです。

TW0TRGSは，１ビット・メモリ操作命令または８ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

**図６－４　A/Dトリガ選択レジスタのフォーマット**

アドレス：FF8BH　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TW0TRGS | 0 | 0 | 0 | 0 | 0 | 0 | TRSW1 | TRSW0 |

| TRSW1 | TRSW0 | A/Dトリガの選択 |
|---|---|---|
| 0 | 0 | 非出力（INTADTRは“Ｌ”レベル） |
| 0 | 1 | INTTW0CM4 |
| 1 | 0 | INTTW0CM5 |
| 1 | 1 | INTTW0CM4とINTTW0CM5のOR |

### （４）インバータ・タイマ出力制御レジスタ（TW0OC）

TW0OCは，各相（U相，V相，W相）単位でタイマ出力の停止を設定するレジスタです。

TW0OCは，１ビット・メモリ操作命令または８ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

**図６－５　インバータ・タイマ出力制御レジスタのフォーマット**

アドレス：FF8CH　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TW0OC | 0 | 0 | 0 | 0 | 0 | 0 | TOSP01 | TOSP00 |

| TOSP01 | TOSP00 | PWM出力の出力制御 |
|---|---|---|
| 0 | 0 | TW0TO0-TW0TO5は出力許可 |
| 0 | 1 | TW0TO0, TW0TO1の出力を禁止（U相オフ） |
| 1 | 0 | TW0TO2, TW0TO3の出力を禁止（V相オフ） |
| 1 | 1 | TW0TO4, TW0TO5の出力を禁止（W相オフ） |

# ６.５　10ビット・インバータ制御用タイマの動作

## （１）設定手順

（ａ）インバータ・タイマ・コントロール・レジスタ（TW0C）のTCL00-TCL02ビットでTW0UDCのカウント・クロックを設定し，IDEV00-IDEV02ビットで割り込み要求信号INTTW0UDの発生頻度を設定します。

（ｂ）インバータ・タイマ・モード・レジスタ（TW0M）のALV0ビットでTW0TO0-TW0TO5端子のアクティブ・レベルを設定します。

（ｃ）10ビット・コンペア・レジスタ３（TW0CM3）に第１PWM周期の半周期幅を設定します。

・PWM周期＝TW0CM3値×２×TW0UDCのクロック・レート

（TW0UDCのクロック・レートはTW0Cで設定します）

（ｄ）10ビット・バッファ・レジスタ３（TW0BFCM3）に第２PWM周期の半周期幅を設定します。

（ｅ）デッド・タイム・リロード・レジスタ（TW0DTIME）にデッド・タイム幅を設定します。

・デッド・タイム幅＝（TW0DTIME＋１）×1/fx

fx：内部システム・クロック

（ｆ）10ビット・コンペア・レジスタ０-２（TW0CM0-TW0CM2）に第１周期で使うF/Fのセット／リセット・タイミングを設定します。

（ｇ）TW0BFCM3に第２周期で使うF/Fのセット／リセット・タイミングを設定します。

（ｈ）TW0CのCE0ビットをセット（１）してTW0UDC, デッド・タイム・タイマ０-２（DTM0-DTM2），バッファ転送制御用タイマ（RTM0）の動作を許可します。

**注意　CE0ビットの設定には，必ずビット操作命令を使用してください。**

（ｉ）TW0UDCの動作中は，TW0BFCM0-TW0BFCM5に次の周期で使うF/Fのセット／リセット・タイミングを設定します。

（ｊ）TW0UDCの動作を停止する場合は，TW0CのCE0＝０に設定します。

**注意　CE0ビットの設定と同時にほかのビットを書き換えることはできません。**

### （２）設定値に対する出力波形幅

・PWM周期 = TW0CM3×２×$T_{TW0}$

・デッド・タイム幅　$T_{DTM}$ =（TW0DTIME＋１）×1/$f_X$

・正相（TW0TO0, TW0TO2, TW0TO4端子）のアクティブ幅

= {（TW0CM3－$TW0CM_{up}$）＋（TW0CM3－$TW0CM_{down}$）} ×$T_{TW0}$－$T_{DTM}$

・逆相（TW0TO1, TW0TO3, TW0TO5端子）のアクティブ幅

=（$TW0CM_{down}$＋$TW0CM_{up}$）×$T_{TW0}$－$T_{DTM}$

$f_X$　　：システム・クロック発振周波数

$T_{TW0}$　　：TW0UDCのカウント・クロック

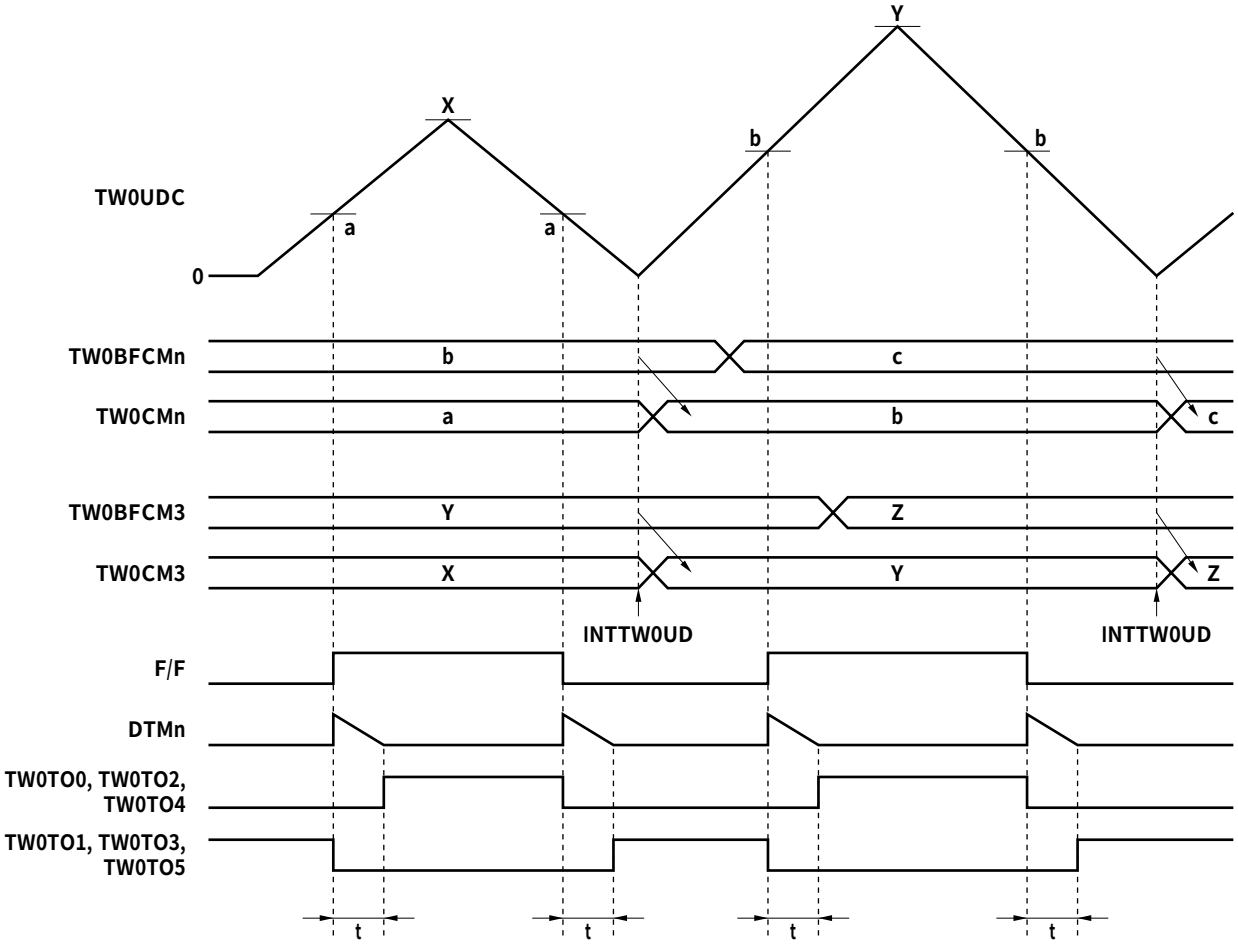
$TW0CM_{up}$　：TW0UDCがアップ・カウント時のTW0CM0-TW0CM2の設定値

$TW0CM_{down}$：TW0UDCがダウン・カウント時のTW0CM0-TW0CM2の設定値

**注意**　正相または逆相のアクティブ幅が上記の式の計算式で“０”または“マイナス”になるような値を設定した場合，TW0TO0-TW0TO5は，アクティブ幅“０”でインアクティブ・レベル固定の波形を出力します（図６－７参照）。
しかし，TW0CMn = 0, TW0BFCMn≧TW0CM3を設定した場合はアクティブ・レベルを出力します。

### （３）動作タイミング

図６－６　TW0UDCの動作タイミング（基本動作）



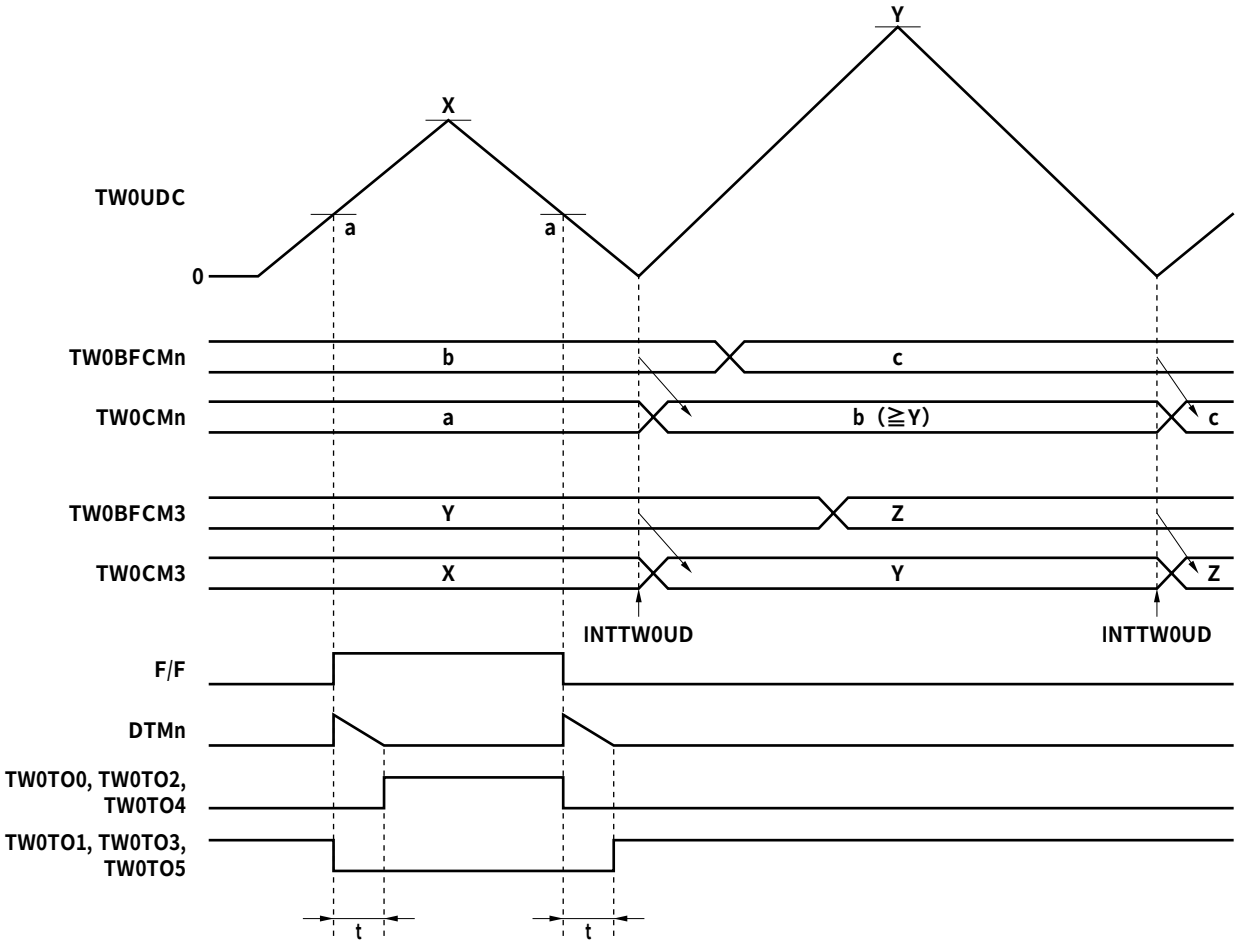

**備考１．** n = 0-2

**２．** t：デッド・タイム＝（TW0DTIME＋１）×1/fx

（fx：システム・クロック発振周波数）

**３．** 上図は，アクティブ・ハイで，INTTW0UDの発生を分周しない場合です。

**図６－７　TW0UDCの動作タイミング（TW0CMn（TW0BFCMn）≧TW0CM3（TW0BFCM3））**




**備考１．** n = 0-2

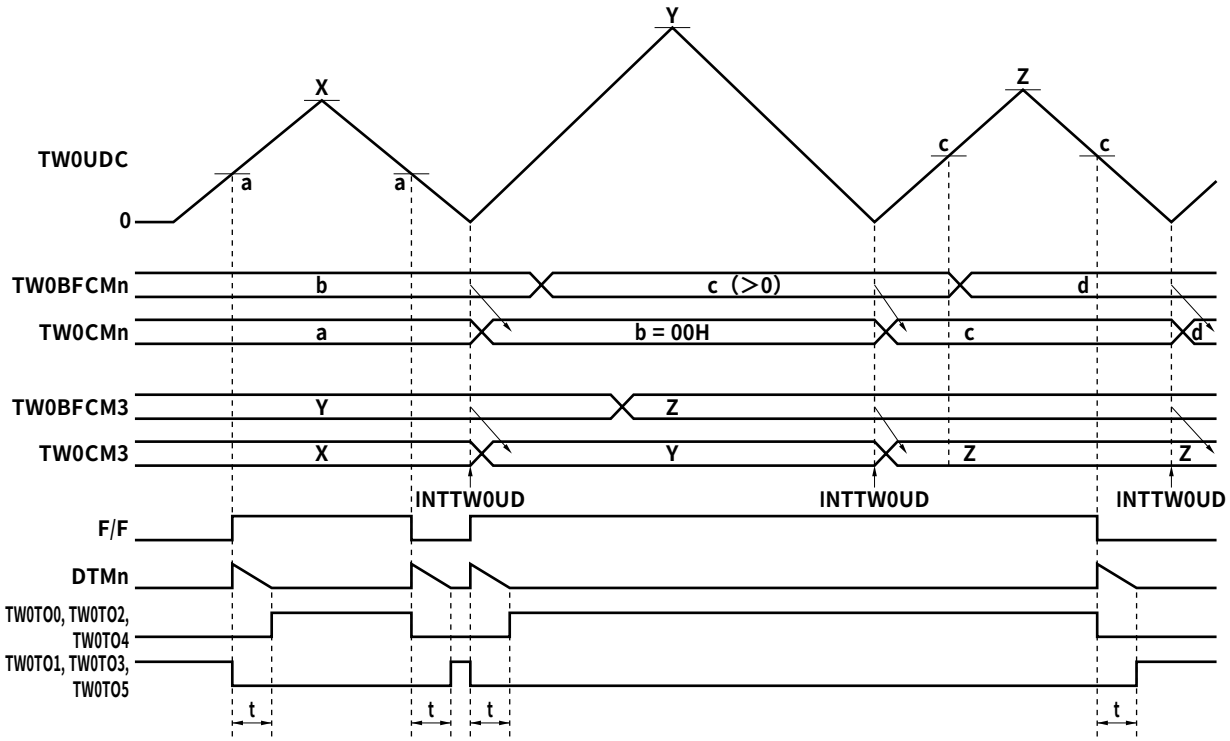
**２．** t：デッド・タイム =（TW0DTIME＋１）×1/fx

（fx：システム・クロック発振周波数）

**３．** 上図は，アクティブ・ハイで，INTTW0UDの発生を分周しない場合です。

TW0BFCMnにTW0CM3より大きい値を設定した場合，正相側（TW0TO0，TW0TO2，TW0TO4端子）はロウ・レベルを出力し，逆相側（TW0TO1，TW0TO3，TW0TO5端子）はハイ・レベルを出力し続けます。インバータ制御などにおいて，PWM周期を越えるロウ幅，ハイ幅を出力したい場合にこの設定は有効です。

**図６－８　TW0UDCの動作タイミング（TW0CMn（TW0BFCMn）＝000H）**




**備考１．** n = 0-2

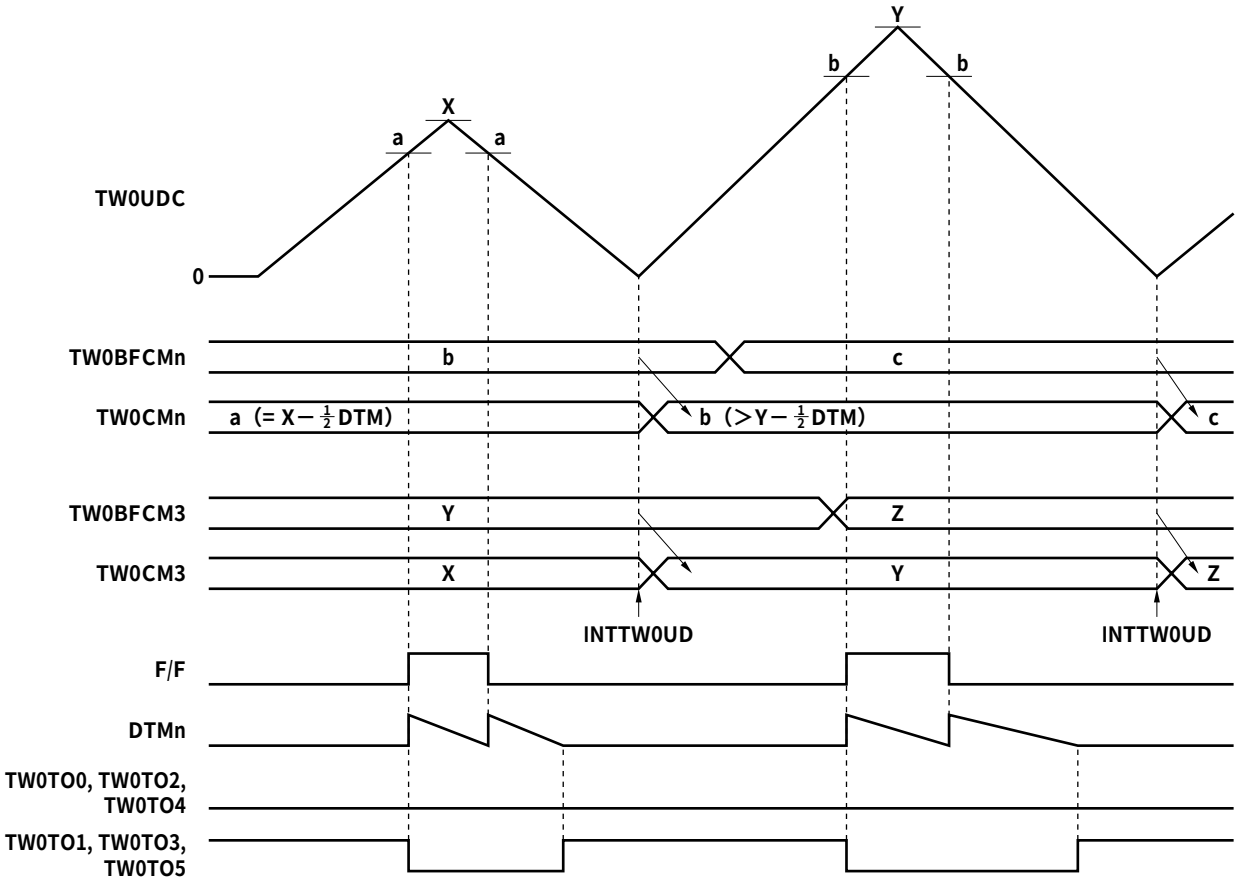
**２．** t：デッド・タイム＝（TW0DTIME＋１）×1/fx

（fx：システム・クロック発振周波数）

**３．** 上図は，アクティブ・ハイで，INTTW0UDの発生を分周しない場合です。

**図６－９　TW0UDCの動作タイミング**

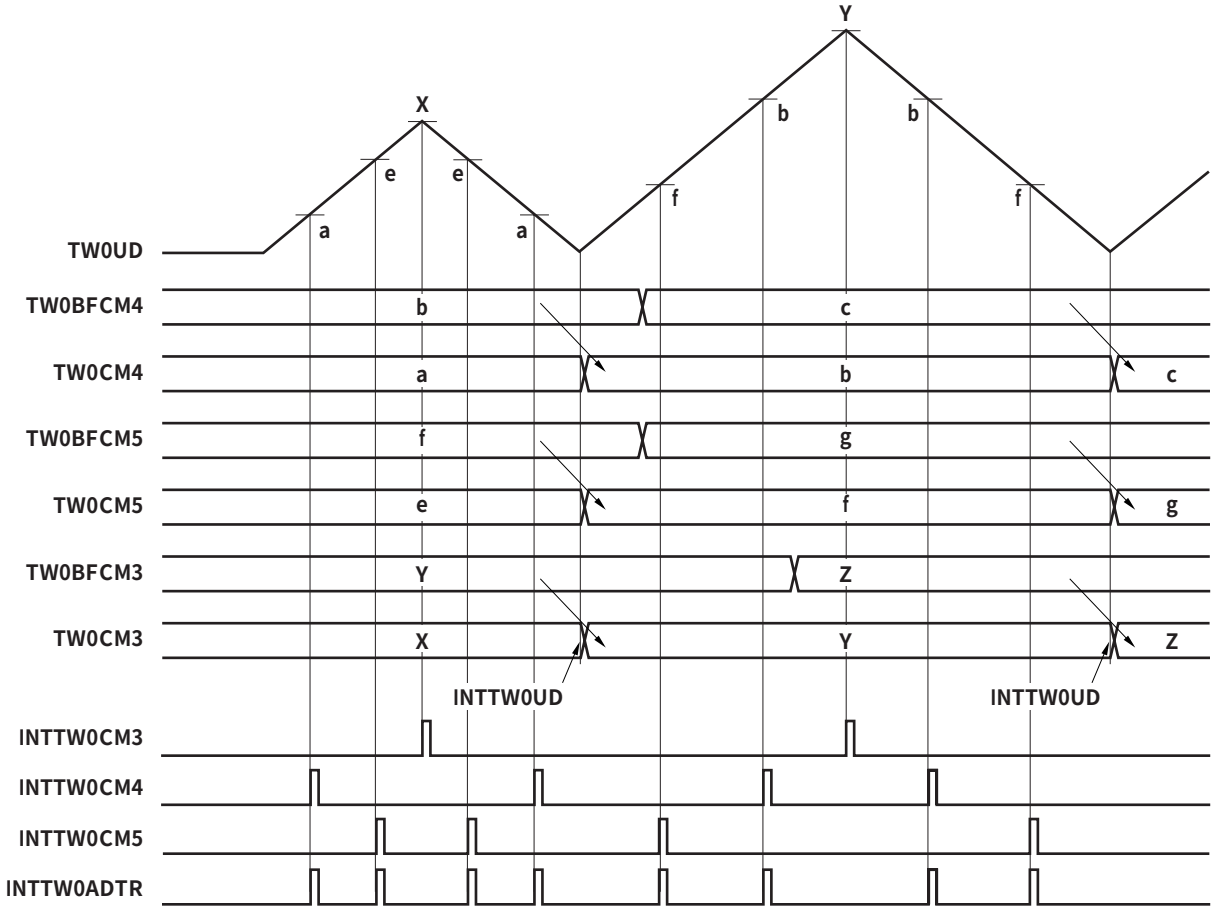
**（TW0CMn（TW0BFCMn）＝TW0CM3－1/2DTM，TW0CMn（TW0BFCMn）＞TW0CM3－1/2DTM）**




**備考１．** n = 0-2

**２．上図は，アクティブ・ハイで，INTTW0UDの発生を分周しない場合です。**

図６－10　TW0UDCの動作タイミング（IDEV02-IDEV00 = 000B, TW0TRGS = 03H）



# 第7章　16ビット・タイマ／イベント・カウンタ00

## 7.1　16ビット・タイマ／イベント・カウンタ00の機能

16ビット・タイマ／イベント・カウンタ00には，次のような機能があります。

- インターバル・タイマ
- PPG出力
- パルス幅測定
- 外部イベント・カウンタ
- 方形波出力
- ワンショット・パルス出力

**（1）インターバル・タイマ**

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

**（2）PPG出力**

周波数と出力パルス幅を任意に設定できる矩形波を出力できます。

**（3）パルス幅測定**

外部から入力される信号のパルス幅を測定できます。

**（4）外部イベント・カウンタ**

外部から入力される信号のパルス数を測定できます。

**（5）方形波出力**

任意の周波数の方形波出力が可能です。

**（6）ワンショット・パルス出力**

出力パルス幅を任意に設定できるワンショット・パルスを出力できます。

# ７.２　16ビット・タイマ／イベント・カウンタ00の構成

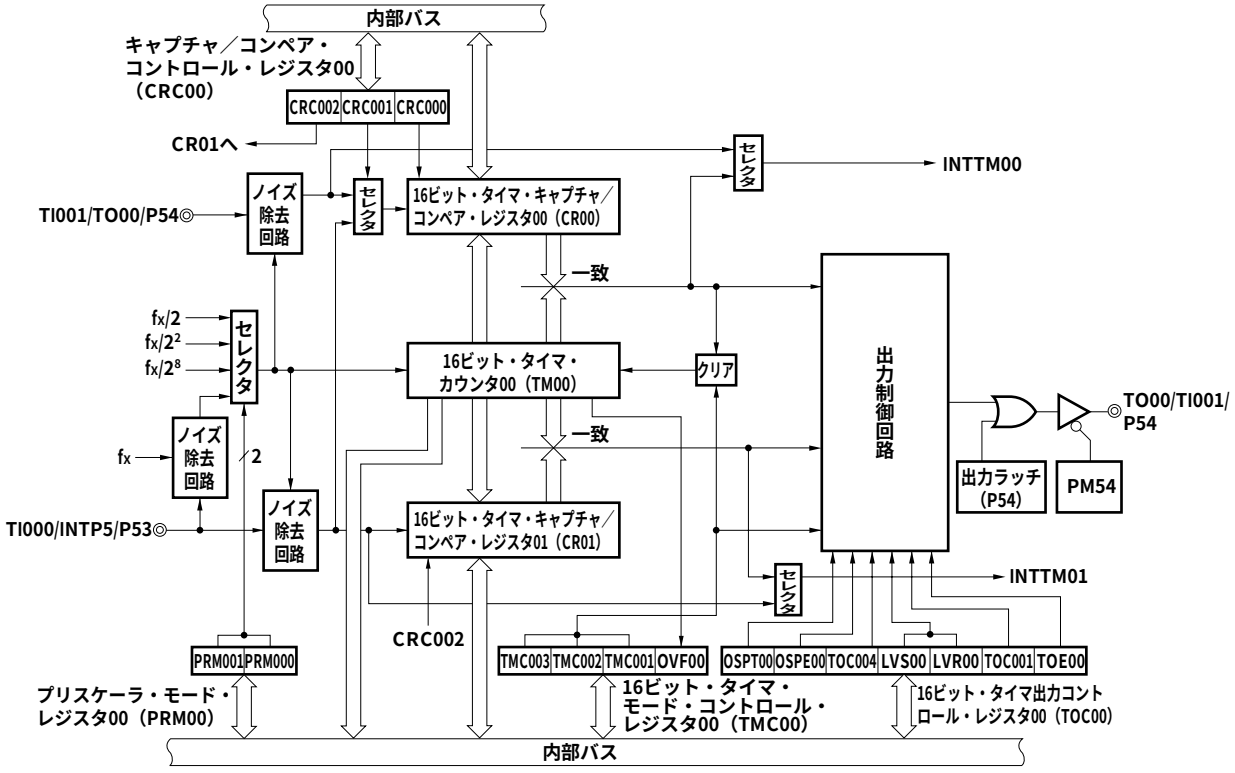
16ビット・タイマ／イベント・カウンタ00は，次のハードウエアで構成されています。

**表７－１　16ビット・タイマ／イベント・カウンタ00の構成**

| 項　　目 | 構　　成 |
|---|---|
| タイマ／カウンタ | 16ビット（TM00） |
| レジスタ | 16ビット・タイマ・キャプチャ／コンペア・レジスタ：16ビット（CR00, CR01） |
| タイマ入力 | TI000, TI001 |
| タイマ出力 | TO00，出力制御回路 |
| 制御レジスタ | 16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）<br>16ビット・タイマ・キャプチャ／コンペア・コントロール・レジスタ00（CRC00）<br>16ビット・タイマ出力コントロール・レジスタ00（TOC00）<br>プリスケーラ・モード・レジスタ00（PRM00）<br>ポート・モード・レジスタ５（PM5）<br>ポート・レジスタ５（P5） |

図７－１にブロック図を示します。

**図７－１　16ビット・タイマ／イベント・カウンタ00のブロック図**



### （1）16ビット・タイマ・カウンタ00(TM00)

TM00は，カウント・パルスをカウントする16ビットのリード専用レジスタです。

入力クロックの立ち上がりに同期して，カウンタをインクリメントします。

**図７－２　16ビット・タイマ・カウンタ00（TM00）のフォーマット**

アドレス：FF16H, FF17H　　リセット時：0000H　　R

| 略号 | FF17H | | | | | | | | FF16H | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TM00 | | | | | | | | | | | | | | | | |

次の場合，カウント値は0000Hになります。

① $\overline{\text{RESET}}$入力
② TMC003, TMC002をクリア
③ TI000端子の有効エッジ入力でクリア＆スタート・モード時にTI000端子の有効エッジが入力されたとき
④ CR00の一致でクリア＆スタート・モード時のTM00とCR00の一致
⑤ ワンショット・パルス出力モードで，OSPT00をセット

### （2）16ビット・タイマ・キャプチャ／コンペア・レジスタ00（CR00）

CR00は，キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ／コンペア・コントロール・レジスタ00（CRC00）のビット0（CRC000）により，キャプチャ・レジスタとして使用するのか，コンペア・レジスタとして使用するのかを設定します。

CR00は，16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，0000Hになります。

**図７－３　16ビット・タイマ・キャプチャ／コンペア・レジスタ00（CR00）のフォーマット**

アドレス：FF7AH, FF7BH　　リセット時：0000H　　R/W

| 略号 | FF7BH | | | | | | | | FF7AH | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| CR00 | | | | | | | | | | | | | | | | |

**・CR00をコンペア・レジスタとして使用するとき**

CR00に設定した値と16ビット・タイマ・カウンタ00（TM00）のカウント値を常に比較し，一致したときに割り込み要求（INTTM00）を発生します。CR00を書き換えるまで，設定した値を保持します。

**・CR00をキャプチャ・レジスタとして使用するとき**

キャプチャ・トリガとしてTI000端子，またはTI001端子の有効エッジが選択できます。TI000, TI001端子の有効エッジは，プリスケーラ・モード・レジスタ00（PRM00）で設定します（**表７－２**を参照）。

表７－２　CR00のキャプチャ・トリガとTI000端子とTI001端子の有効エッジ

（１）キャプチャ・トリガとしてTI000端子の有効エッジを選択（CRC001 = 1, CRC000 = 1）

| CR00のキャプチャ・トリガ | TI000端子の有効エッジ | | |
|---|---|---|---|
| | | ES001 | ES000 |
| 立ち下がりエッジ | 立ち上がりエッジ | 0 | 1 |
| 立ち上がりエッジ | 立ち下がりエッジ | 0 | 0 |
| キャプチャ動作しない | 立ち上がり，立ち下がりの両エッジ | 1 | 1 |

（２）キャプチャ・トリガとしてTI001端子の有効エッジを選択（CRC001 = 0, CRC000 = 1）

| CR00のキャプチャ・トリガ | TI001端子の有効エッジ | | |
|---|---|---|---|
| | | ES101 | ES100 |
| 立ち下がりエッジ | 立ち下がりエッジ | 0 | 0 |
| 立ち上がりエッジ | 立ち上がりエッジ | 0 | 1 |
| 立ち上がり，立ち下がりの両エッジ | 立ち上がり，立ち下がりの両エッジ | 1 | 1 |

備考１．ES001, ES000 = 1, 0およびES101, ES100 = 1, 0は設定禁止です。

２．ES001, ES000　：プリスケーラ・モード・レジスタ00（PRM00）のビット5，4

ES101, ES100　：プリスケーラ・モード・レジスタ00（PRM00）のビット7，6

CRC001, CRC000 ：キャプチャ／コンペア・コントロール・レジスタ00（CRC00）のビット１，０

注意１．TM00とCR00の一致でクリア＆スタート・モードでは，CR00には0000H以外の値を設定してください。

２．フリー・ランニング・モードおよびTI000端子の有効エッジのクリア・モードにおいて，CR00に0000Hを設定した場合は，オーバフロー（FFFFH）後，0000Hから0001Hになるときに割り込み要求（INTTM00）を発生します。またTM00とCR00の一致後，TI000端子の有効エッジ検出後，ワンショット・トリガによるクリア後にINTTM00を発生します。

３．P54をTI001端子の有効エッジの入力として使用するときは，タイマ出力（TO00）として使用できません。また，TO00として使用するときは，TI001端子の有効エッジの入力として使用できません。

４．CR00をキャプチャ・レジスタとして使用時，レジスタ・リード期間とキャプチャ・トリガの入力が競合した場合，リード・データは不定となります（キャプチャ・データ自体は正常値）。また，カウント停止の入力とキャプチャ・トリガの入力が競合した場合，キャプチャ・データは不定となります。

５．TM00動作中にCR00を書き換えないでください。

### （３）16ビット・タイマ・キャプチャ／コンペア・レジスタ01（CR01）

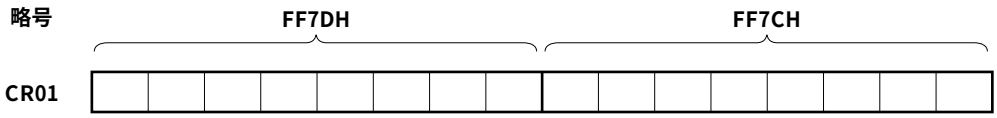
キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ／コンペア・コントロール・レジスタ00（CRC00）のビット２（CRC002）により，キャプチャ・レジスタとして使用するのか，コンペア・レジスタとして使用するのかを設定します。

CR01は，16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により0000Hになります。

**図７－４　16ビット・タイマ・キャプチャ／コンペア・レジスタ01（CR01）のフォーマット**

アドレス：FF7CH, FF7DH　　リセット時：0000H　　R/W




・CR01をコンペア・レジスタとして使用するとき

CR01に設定した値と16ビット・タイマ・カウンタ00（TM00）のカウント値を常に比較し，一致したときに割り込み要求（INTTM01）を発生します。CR01を書き換えるまで，設定した値を保持します。

・CR01をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI000端子の有効エッジが選択できます。TI000端子の有効エッジは，プリスケーラ・モード・レジスタ00（PRM00）で設定します（**表７－３**を参照）。

**表７－３　CR01のキャプチャ・トリガとTI000端子の有効エッジ（CRC002 = 1）**

| CR01のキャプチャ・トリガ | TI000端子の有効エッジ | | |
|---|---|---|---|
| | | ES001 | ES000 |
| 立ち下がりエッジ | 立ち下がりエッジ | 0 | 0 |
| 立ち上がりエッジ | 立ち上がりエッジ | 0 | 1 |
| 立ち上がり，立ち下がりの両エッジ | 立ち上がり，立ち下がりの両エッジ | 1 | 1 |

**備考１．** ES001, ES000 = 1, 0は設定禁止です。

**２．** ES001, ES000 ：プリスケーラ・モード・レジスタ00（PRM00）のビット５，４

CRC002　　：キャプチャ／コンペア・コントロール・レジスタ00（CRC00）のビット２

**注意１．CR01レジスタに0000Hを設定した場合，TM00レジスタのオーバフロー後，TM00レジスタとCR00レジスタの一致でクリア＆スタート後，TI000端子の有効エッジによりクリア後，あるいはワンショット・トリガによるクリア後に割り込み要求（INTTM01）を発生します。**

**２．CR01をキャプチャ・レジスタとして使用時，レジスタ・リード期間とキャプチャ・トリガの入力が競合した場合，リード・データは不定となります（キャプチャ・データ自体は正常値）。また，カウント停止の入力とキャプチャ・トリガの入力が競合した場合，キャプチャ・データは不定となります。**

**３．TM00動作中にCR01を書き換えることができます。書き換え方法の詳細は図７－15の注意２を参照してください。**

## 7.3　16ビット・タイマ／イベント・カウンタ00を制御するレジスタ

16ビット・タイマ／イベント・カウンタ00を制御するレジスタには，次の６種類があります。

- 16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）
- キャプチャ／コンペア・コントロール・レジスタ00（CRC00）
- 16ビット・タイマ出力コントロール・レジスタ00（TOC00）
- プリスケーラ・モード・レジスタ00（PRM00）
- ポート・モード・レジスタ５（PM5）
- ポート・レジスタ５（P5）

### （1）16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）

16ビット・タイマの動作モード，16ビット・タイマ・カウンタ00（TM00）のクリア・モード，出力タイミングの設定およびオーバフローを検出するレジスタです。

TMC00は，１ビット・メモリ操作命令または８ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により00Hになります。

**注意　16ビット・タイマ・カウンタ00（TM00）は，TMC002, TMC003に0, 0（動作停止モード）以外の値を設定した時点で動作を開始します。動作を停止させるには，TMC002, TMC003に０，０を設定してください。**

## 図７－５　16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）のフォーマット

アドレス：FF7EH　　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TMC00 | 0 | 0 | 0 | 0 | TMC003 | TMC002 | TMC001 | OVF00 |

| TMC003 | TMC002 | TMC001 | 動作モードおよびクリア・モードの選択 | TO00の反転タイミングの選択 | 割り込み要求の発生 |
|---|---|---|---|---|---|
| 0 | 0 | 0 | 動作停止（TM00は０にクリア） | 変化なし | 発生しない |
| 0 | 0 | 1 | | | |
| 0 | 1 | 0 | フリー・ランニング・モード | TM00とCR00の一致またはTM00とCR01の一致 | TM00とCR00の一致または<br>TM00とCR01の一致で発生 |
| 0 | 1 | 1 | | TM00とCR00の一致，TM00とCR01の一致またはTI000端子の有効エッジ | |
| 1 | 0 | 0 | TI000端子の有効エッジでクリア＆スタート | － | |
| 1 | 0 | 1 | | | |
| 1 | 1 | 0 | TM00とCR00の一致でクリア＆スタート | TM00とCR00の一致またはTM00とCR01の一致 | |
| 1 | 1 | 1 | | TM00とCR00の一致，TM00とCR01の一致またはTI000端子の有効エッジ | |

| OVF00 | 16ビット・タイマ・カウンタ00（TM00）のオーバフロー検出 |
|---|---|
| 0 | オーバフローなし |
| 1 | オーバフローあり |

**注意１．OVF00フラグ以外のビットには，タイマ動作を停止してから書き込んでください。**

**２．TI000/P53端子の有効エッジは，プリスケーラ・モード・レジスタ00(PRM00)で設定します。**

**３．TM00とCR00の一致でクリア＆スタート，TI000端子の有効エッジでクリア＆スタート，フリー・ランニングのいずれかのモードを選択した場合，CR00の設定値がFFFFHで，TM00の値がFFFFHから0000Hに変化するとき，OVF00フラグが１に設定されます。**

**備考**　TO00：16ビット・タイマ／イベント・カウンタ00の出力端子

TI000：16ビット・タイマ／イベント・カウンタ00の入力端子

TM00：16ビット・タイマ・カウンタ00

CR00：16ビット・タイマ・キャプチャ／コンペア・レジスタ00

CR01：16ビット・タイマ・キャプチャ／コンペア・レジスタ01

### （２）キャプチャ／コンペア・コントロール・レジスタ00（CRC00）

16ビット・タイマ・キャプチャ／コンペア・レジスタ（CR00, CR01）の動作を制御するレジスタです。

CRC00は，１ビット・メモリ操作命令または８ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により00Hになります。

**図７－６　キャプチャ／コンペア・コントロール・レジスタ00（CRC00）のフォーマット**

アドレス：FF6AH　　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| CRC00 | 0 | 0 | 0 | 0 | 0 | CRC002 | CRC001 | CRC000 |

| CRC002 | CR01の動作モードの選択 |
|---|---|
| 0 | コンペア・レジスタとして動作 |
| 1 | キャプチャ・レジスタとして動作 |

| CRC001 | CR00のキャプチャ・トリガの選択 |
|---|---|
| 0 | TI001端子の有効エッジでキャプチャする |
| 1 | TI000端子の有効エッジの逆相でキャプチャする |

| CRC000 | CR00の動作モードの選択 |
|---|---|
| 0 | コンペア・レジスタとして動作 |
| 1 | キャプチャ・レジスタとして動作 |

**注意１．CRC00は，必ずタイマ動作を停止させてから設定してください。**

**２．16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）で，TM00とCR00の一致でクリア＆スタート・モードを選択したとき，CR00をキャプチャ・レジスタに指定しないでください。**

**３．TI000端子の有効エッジに，立ち上がり，立ち下がりの両エッジを選択した場合には，キャプチャは動作しません。**

**４．キャプチャを確実に行うためのキャプチャ・トリガは，プリスケーラ・モード・レジスタ00（PRM00）で選択したカウント・クロックの２周期分より長いパルスを必要とします。**

### （３）16ビット・タイマ出力コントロール・レジスタ00（TOC00）

16ビット・タイマ／イベント・カウンタ00出力制御回路の動作を制御するレジスタです。タイマ出力F/Fのセット／リセット，出力の反転許可／禁止，16ビット・タイマ／イベント・カウンタ00のタイマ出力許可／禁止，ワンショット・パルス出力動作の許可／禁止およびソフトウエアによるワンショット・パルスの出力トリガを設定します。

TOC00は，１ビット・メモリ操作命令または８ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により00Hになります。

## 図７－７　16ビット・タイマ出力コントロール・レジスタ00(TOC00)のフォーマット

アドレス：FF6BH　　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TOC00 | 0 | OSPT00 | OSPE00 | TOC004 | LVS00 | LVR00 | TOC001 | TOE00 |

| OSPT00 | ソフトウエアによるワンショット・パルスの出力トリガの制御 |
|---|---|
| 0 | ワンショット・パルス・トリガなし |
| 1 | ワンショット・パルス・トリガあり |

| OSPE00 | ワンショット・パルス出力動作の制御 |
|---|---|
| 0 | 連続パルス出力モード |
| 1 | ワンショット・パルス出力モード注 |

| TOC004 | CR01とTM00の一致によるタイマ出力F/Fの制御 |
|---|---|
| 0 | 反転動作禁止 |
| 1 | 反転動作許可 |

| LVS00 | LVR00 | タイマ出力F/Fの状態の設定 |
|---|---|---|
| 0 | 0 | 変化しない |
| 0 | 1 | タイマ出力F/Fをリセット(0) |
| 1 | 0 | タイマ出力F/Fをセット(1) |
| 1 | 1 | 設定禁止 |

| TOC001 | CR00とTM00の一致によるタイマ出力F/Fの制御 |
|---|---|
| 0 | 反転動作禁止 |
| 1 | 反転動作許可 |

| TOE00 | タイマ出力の制御 |
|---|---|
| 0 | 出力禁止(出力は0レベルに固定) |
| 1 | 出力許可 |

**注**　ワンショット・パルス出力モードは，フリー・ランニング・モード，TI000端子の有効エッジでクリア＆スタート・モードでのみ正常動作します。TM00レジスタとCR00レジスタの一致でクリア＆スタート・モードでは，オーバフローしないためワンショット・パルス出力はできません。

**注意１．TOC004以外は，必ずタイマ動作を停止させてから設定してください。**

**２．LVS00, LVR00は読み出すと，０になっています。**

**３．OSPT00は，データ設定後に自動的にクリアされますので，読み出すと０になっています。**

**４．OSPT00は，ワンショット・パルス出力モード以外でセット（１）しないでください。**

**５．OSPT00に連続してライトするとき，プリスケーラ・モード・レジスタ00（PRM00）で選択したカウント・クロック２周期分以上のライト間隔が必要です。**

**６．TOE00より先にLVS00に“１”をセットしないでください。また，LVS00とTOE00に同時に“１”をセットしないでください。**

### （４）プリスケーラ・モード・レジスタ00（PRM00）

16ビット・タイマ・カウンタ00（TM00）のカウント・クロックおよびTI000, TI001端子入力の有効エッジを設定するレジスタです。PRM00は，１ビット・メモリ操作命令または８ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により00Hになります。

**図７－８　プリスケーラ・モード・レジスタ00（PRM00）のフォーマット**

アドレス：FF7FH　　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PRM00 | ES101 | ES100 | ES001 | ES000 | 0 | 0 | PRM001 | PRM000 |

| ES101 | ES100 | TI001端子の有効エッジの選択 |
|---|---|---|
| 0 | 0 | 立ち下がりエッジ |
| 0 | 1 | 立ち上がりエッジ |
| 1 | 0 | 設定禁止 |
| 1 | 1 | 立ち上がり，立ち下がりの両エッジ |

| ES001 | ES000 | TI000端子の有効エッジの選択 |
|---|---|---|
| 0 | 0 | 立ち下がりエッジ |
| 0 | 1 | 立ち上がりエッジ |
| 1 | 0 | 設定禁止 |
| 1 | 1 | 立ち上がり，立ち下がりの両エッジ |

| PRM001 | PRM000 | カウント・クロックの選択[注1] | | |
|---|---|---|---|---|
| | | | 20 MHz動作時 | 16 MHz動作時 |
| 0 | 0 | $f_X/2$ | 10 MHz | 8 MHz |
| 0 | 1 | $f_X/2^2$ | 5 MHz | 4 MHz |
| 1 | 0 | $f_X/2^8$ | 78.125 kHz | 62.5 kHz |
| 1 | 1 | TI000端子の有効エッジ[注2] | | |

**注１．**カウント・クロックは次の条件を満たすように設定してください。

・$V_{DD}$ = 4.0～5.5 V：カウント・クロック≦10 MHz

**２．**外部クロックは内部クロック（$f_X$）の２周期分より長いパルスを必要とします。

**注意１．CPUへのソース・クロックに低速内蔵発振クロックを選択する場合，カウント・クロックに低速内蔵発振器の分周クロックが供給されます。カウント・クロックが低速内蔵発振クロックの場合，16ビット・タイマ／イベント・カウンタ00の動作は保証されません。また外部クロックの場合も，CPUへのソース・クロックに低速内蔵発振クロックを選択する場合，ノイズ除去のためのサンプリング・クロックに低速内蔵発振クロックが供給されるため，同様に16ビット・タイマ／イベント・カウンタ00の動作は保証されません。**

**２．PRM00は，必ずタイマ動作を停止させてからデータを設定してください。**

**３．カウント・クロックにTI000端子の有効エッジを設定する場合，TI000端子の有効エッジでクリア＆スタート・モードおよびキャプチャ・トリガに設定しないでください。**

**注意４．システム・リセット直後にTI000端子またはTI001端子がハイ・レベルの場合，TI000端子またはTI001端子の有効エッジを立ち上がりまたは両エッジに指定し，16ビット・タイマ・カウンタ00（TM00）の動作を許可すると，その直後に立ち上がりエッジを検出します。TI000端子またはTI010端子をプルアップしている場合などは注意してください。ただし，いったん動作を停止させたあとの再動作許可時には，立ち上がりエッジは検出されません。**

**５．P54をTI001端子の有効エッジとして使用するときは，タイマ出力（TO00）として使用できません。また，TO00として使用するときは，TI001端子の有効エッジとして使用できません。**

**備考１．**fx：**X1入力クロック発振周波数**

**２．TI000, TI001：16ビット・タイマ／イベント・カウンタ00の入力端子**

### （５）ポート・モード・レジスタ５（PM5）

ポート５の入力／出力を１ビット単位で設定するレジスタです。

P54/TI001/TO00端子をタイマ出力として使用するとき，PM54およびP54の出力ラッチに０を設定してください。

P53/TI000/INTP5, P54/TI001/TO00端子をタイマ入力として使用するとき，PM53, PM54に１を設定してください。このときP53, P54の出力ラッチは，０または１のどちらでもかまいません。

PM5は，１ビット・メモリ操作命令または８ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，FFHになります。

**図７－９　ポート・モード・レジスタ５（PM5）のフォーマット**

アドレス：FF25H　　リセット時：FFH　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PM5 | PM57 | PM56 | PM55 | PM54 | PM53 | PM52 | PM51 | PM50 |

| PM5n | P5n端子の入出力モードの選択（n = 0-7） |
|---|---|
| 0 | 出力モード（出力バッファ・オン） |
| 1 | 入力モード（出力バッファ・オフ） |

# ７.４　16ビット・タイマ／イベント・カウンタ00の動作

## ７.４.１　インターバル・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）と，キャプチャ／コンペア・コントロール・レジスタ00（CRC00）を図７－10のように設定することにより，インターバル・タイマとして動作します。

**設定方法**

基本的な動作設定手順例は次のようになります。

① CRC00レジスタの設定（設定値については**図７－10参照**）
② CR00レジスタに任意の値を設定
③ PRM00レジスタによりカウント・クロック設定
④ TMC00レジスタ設定：動作開始（設定値については**図７－10参照**）

**注意　TM00動作中にCR00を書き換えることはできません。**

**備考**　INTTM00割り込み許可の設定については，**第16章　割り込み機能**を参照してください。

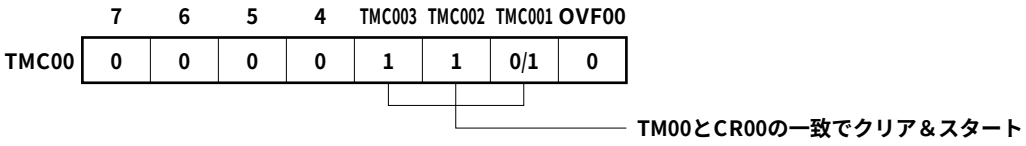
16ビット・タイマ・キャプチャ／コンペア・レジスタ00（CR00）にあらかじめ設定したカウント値をインターバルとし，繰り返し割り込み要求を発生します。

16ビット・タイマ・カウンタ00（TM00）のカウント値がCR00に設定した値と一致したとき，TM00の値を０にクリアしてカウントを継続するとともに割り込み要求信号（INTTM00）を発生します。

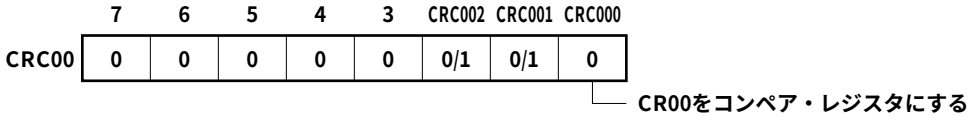
プリスケーラ・モード・レジスタ00（PRM00）のビット０，１（PRM000, PRM001）で16ビット・タイマ／イベント・カウンタ00のカウント・クロックを選択できます。

図７－10　インターバル・タイマ動作時の制御レジスタ設定内容

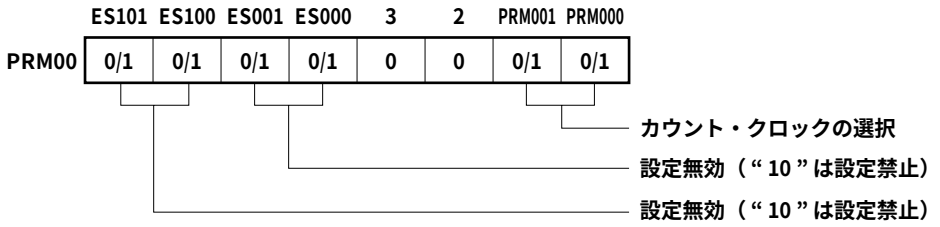
（a）16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)




（b）キャプチャ／コンペア・コントロール・レジスタ00(CRC00)

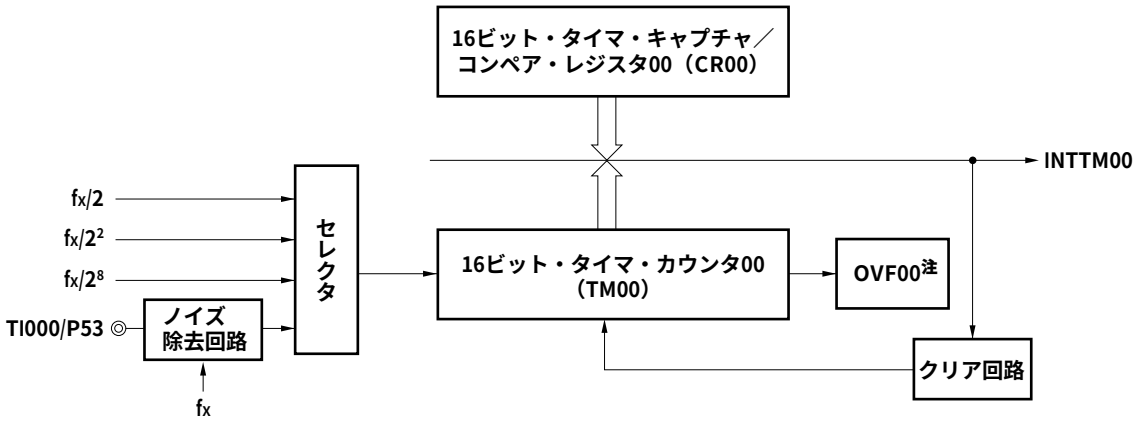



（c）プリスケーラ・モード・レジスタ00(PRM00)



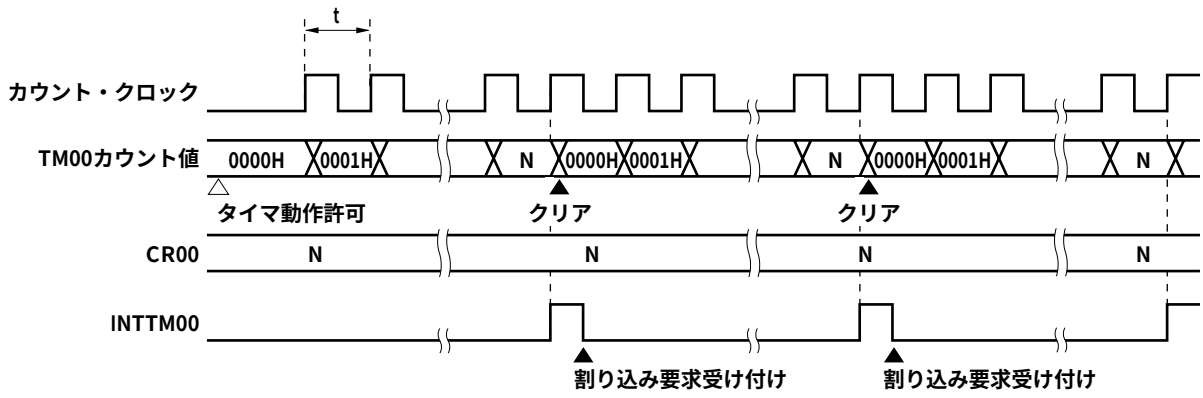

**備考**　0/1：０または１を設定することにより，インターバル・タイマと同時にほかの機能を使用できます。
詳細は，各制御レジスタの説明を参照してください。

図７－11　インターバル・タイマの構成図




注　16ビット・タイマ・キャプチャ／コンペア・レジスタ00にFFFFHを設定した場合のみ，OVF00は１になります。

図７－12　インターバル・タイマ動作のタイミング




備考　インターバル時間 =（N＋1）×t

N = 0001H-FFFFH

## ７.４.２　PPG出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)と，キャプチャ／コンペア・コントロール・レジスタ00(CRC00)を図７－13のように設定することにより，PPG(Programmable Pulse Generator)出力として動作します。

設定方法

基本的な動作設定手順例は次のようになります。

① CRC00 レジスタの設定（設定値については**図７－13** 参照）
② CR00 レジスタに周期となる任意の値を設定
③ CR01 レジスタにデューティとなる任意の値を設定
④ TOC00 レジスタの設定（設定値は**図７－13** 参照）
⑤ PRM00 レジスタによりカウント・クロック設定
⑥ TMC00 レジスタ設定：動作開始（設定値については**図７－13** 参照）

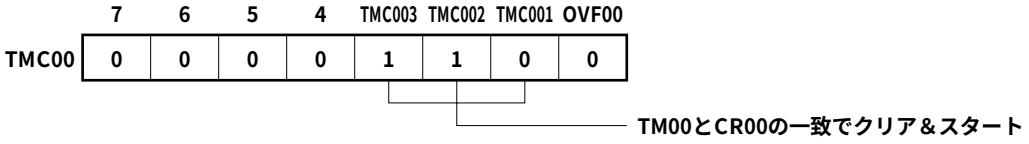
**注意　動作中にデューティの値（CR01レジスタ）を変更する場合は，図７－15　PPG出力動作のタイミングの注意２を参照してください。**

**備考１．**TO00端子の設定については，**７.３(５)ポート・モード・レジスタ５(PM5)**を参照してください。
**２．**INTTM00割り込み許可の設定については，**第16章　割り込み機能**を参照してください。

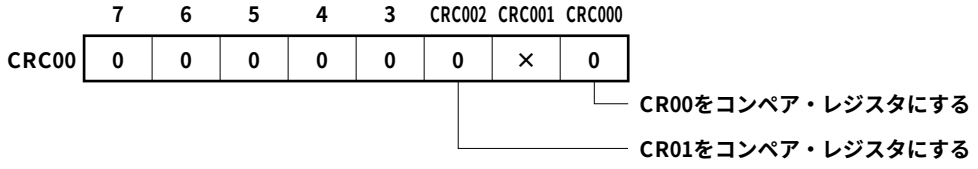
PPG出力パルスは，16ビット・タイマ・キャプチャ／コンペア・レジスタ00(CR00)にあらかじめ設定したカウント値を１周期とし，16ビット・タイマ・キャプチャ／コンペア・レジスタ01(CR01)にあらかじめ設定したカウント値をパルス幅とする矩形波をTO00端子から出力します。

図７－13　PPG出力動作時の制御レジスタ設定内容

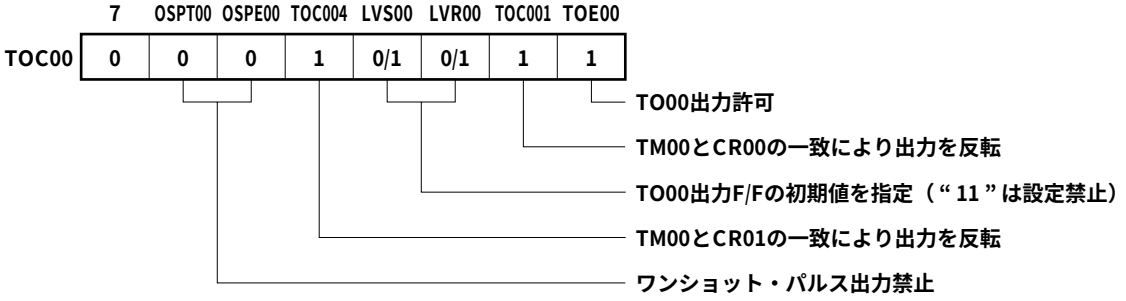
（a）16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）



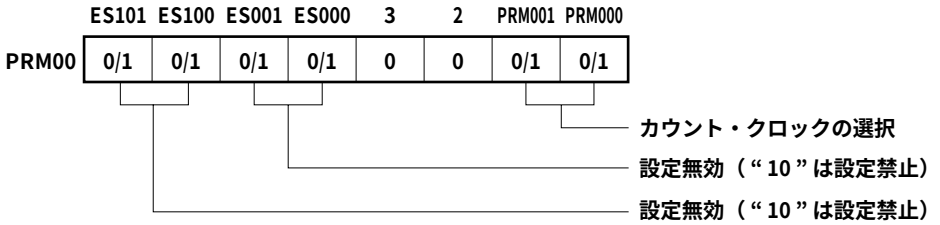

（b）キャプチャ／コンペア・コントロール・レジスタ00（CRC00）




（c）16ビット・タイマ出力コントロール・レジスタ00（TOC00）




（d）プリスケーラ・モード・レジスタ00（PRM00）




**注意１．CR00とCR01には次の範囲の値を設定してください。**

**0000H≦CR01＜CR00≦FFFFH**

**２．PPG出力によって生成されるパルスの周期は（CR00の設定値＋１），デューティは（CR01の設定値＋１）／（CR00の設定値＋１）になります。**

**備考**　×：don't care

図７－14　PPG出力の構成図

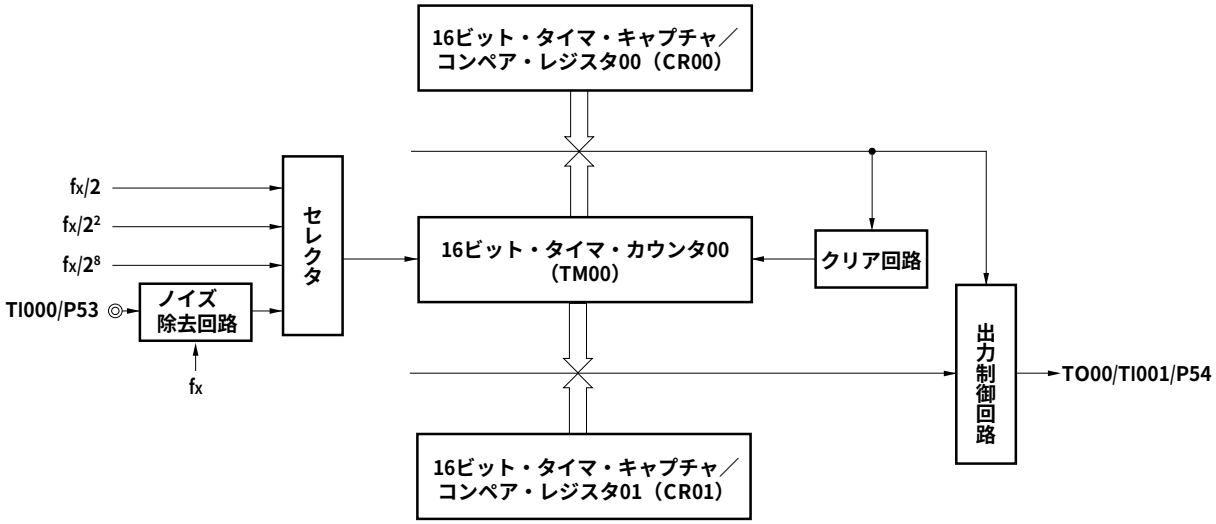
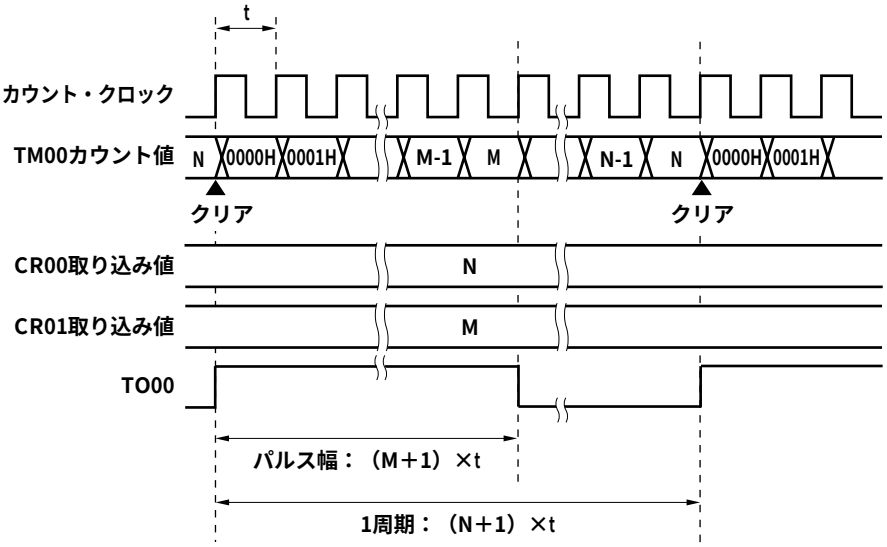



図７－15　PPG出力動作のタイミング




注意１．TM00動作中にCR00を書き換えることはできません。

２．PPG出力動作において，TM00の動作中にパルス幅を変更する（CR01を書き換える）場合は，次の手順で行ってください。

① TM00とCR01の一致によるタイマ出力反転動作を禁止する（TOC004＝0）

② INTTM01の割り込みを禁止する（TMMK01＝1）

③ CR01を書き換える

④ TM00のカウント・クロックの1周期分をウエイトする

⑤ TM00とCR01の一致によるタイマ出力反転動作を許可する（TOC004＝1）

⑥ INTTM01の割り込み要求フラグをクリアする（TMIF01＝0）

⑦ INTTM01の割り込みを許可する（TMMK01＝0）

備考　0000H≦M＜N≦FFFFH

## ７.４.３　パルス幅測定としての動作

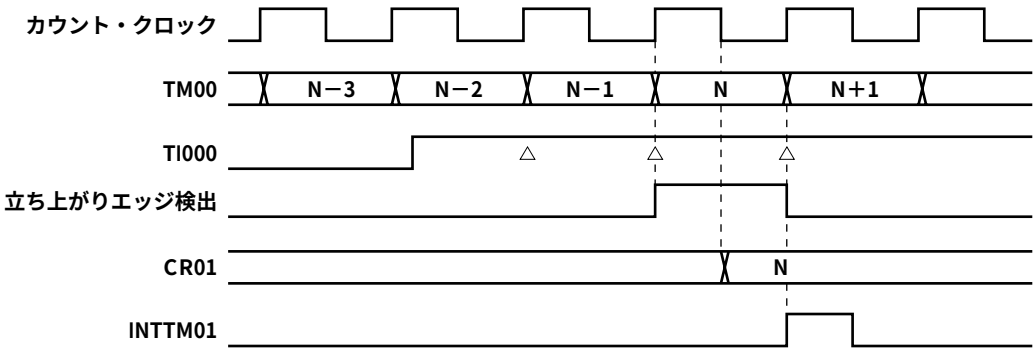
16ビット・タイマ・カウンタ00（TM00）を使用し，TI000端子およびTI001端子に入力される信号のパルス幅を測定できます。

測定方法は，TM00をフリー・ランニングさせて測定する方法とTI000端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

割り込みが発生したら，有効なキャプチャ・レジスタの値を読み込み，オーバフロー・フラグを確認したあと，必要なパルス幅を計算してください。オーバフロー・フラグは，確認後クリアしてください。

プリスケーラ・モード・レジスタ00（PRM00）で選択したカウント・クロック周期でサンプリングを行い，TI000端子またはTI001端子の有効レベルを２回検出することではじめてキャプチャ動作を行うため，短いパルス幅のノイズを除去できます。

**図７－16　立ち上がりエッジ指定時のCR001キャプチャ動作**




設定方法

基本的な動作設定手順例は次のようになります。

① CRC00レジスタの設定（設定値については**図７－17，７－20，７－22，７－24**参照）
② PRM00レジスタによりカウント・クロック設定
③ TMC00レジスタ設定：動作開始（設定値については**図７－17，７－20，７－22，７－24**参照）

**注意　キャプチャ・レジスタを２本使用する場合は，TI000およびTI001端子の設定を行ってください。**

**備考１．**TI000（もしくはTI001）端子の設定については，**７.３（５）ポート・モード・レジスタ５（PM5）**を参照してください。

**２．**INTTM00（もしくはINTTM01）割り込み許可の設定については，**第16章　割り込み機能**を参照してください。

### （1）フリー・ランニング・カウンタとキャプチャ・レジスタ１本によるパルス幅測定

16ビット・タイマ・カウンタ00（TM00）をフリー・ランニングで動作させているとき，TI000端子にプリスケーラ・モード・レジスタ00（PRM00）で指定したエッジが入力されるとTM00の値を16ビット・タイマ・キャプチャ／コンペア・レジスタ01（CR01）に取り込み，外部割り込み要求信号（INTTM01）をセットします。

TI000端子のエッジはPRM00のビット４，５（ES000, ES001）で，立ち上がり，立ち下がりの両エッジを指定します。

PRM00で選択したカウント・クロックでサンプリングを行い，TI000端子の有効レベルを２回検出することではじめてキャプチャ動作を行うため，短いパルス幅のノイズを除去できます。

**図７－17　フリー・ランニング・カウンタとキャプチャ・レジスタ１本による**
**パルス幅測定時の制御レジスタ設定内容（TI000とCR01を使用した場合）**

**（a）16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）**

| | 7 | 6 | 5 | 4 | TMC003 | TMC002 | TMC001 | OVF00 |
|---|---|---|---|---|---|---|---|---|
| TMC00 | 0 | 0 | 0 | 0 | 0 | 1 | 0/1 | 0 |

フリー・ランニング・モード

**（b）キャプチャ／コンペア・コントロール・レジスタ00（CRC00）**

| | 7 | 6 | 5 | 4 | 3 | CRC002 | CRC001 | CRC000 |
|---|---|---|---|---|---|---|---|---|
| CRC00 | 0 | 0 | 0 | 0 | 0 | 1 | 0/1 | 0 |

CR00をコンペア・レジスタにする

CR01をキャプチャ・レジスタにする

**（c）プリスケーラ・モード・レジスタ00（PRM00）**

| | ES101 | ES100 | ES001 | ES000 | 3 | 2 | PRM001 | PRM000 |
|---|---|---|---|---|---|---|---|---|
| PRM00 | 0/1 | 0/1 | 1 | 1 | 0 | 0 | 0/1 | 0/1 |

カウント・クロックの選択（“11”は設定禁止）

パルス幅検出の両エッジ指定

設定無効（“10”は設定禁止）

**備考**　0/1：０または１を設定することにより，パルス幅測定と同時にほかの機能を使用できます。詳細は，各制御レジスタの説明を参照してください。

図７－18　フリー・ランニング・カウンタによるパルス幅測定の構成図

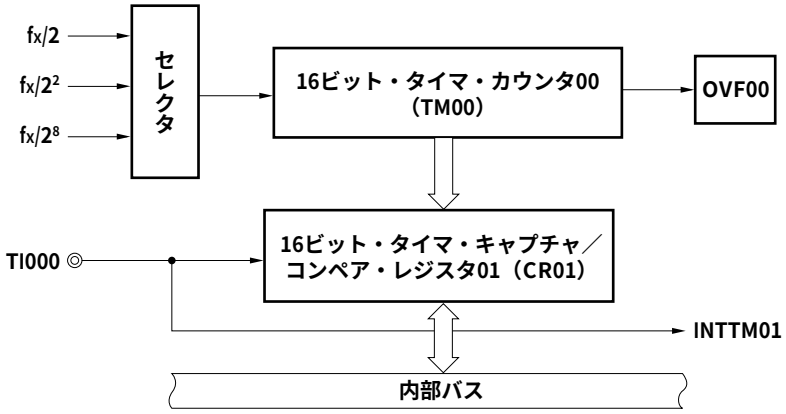
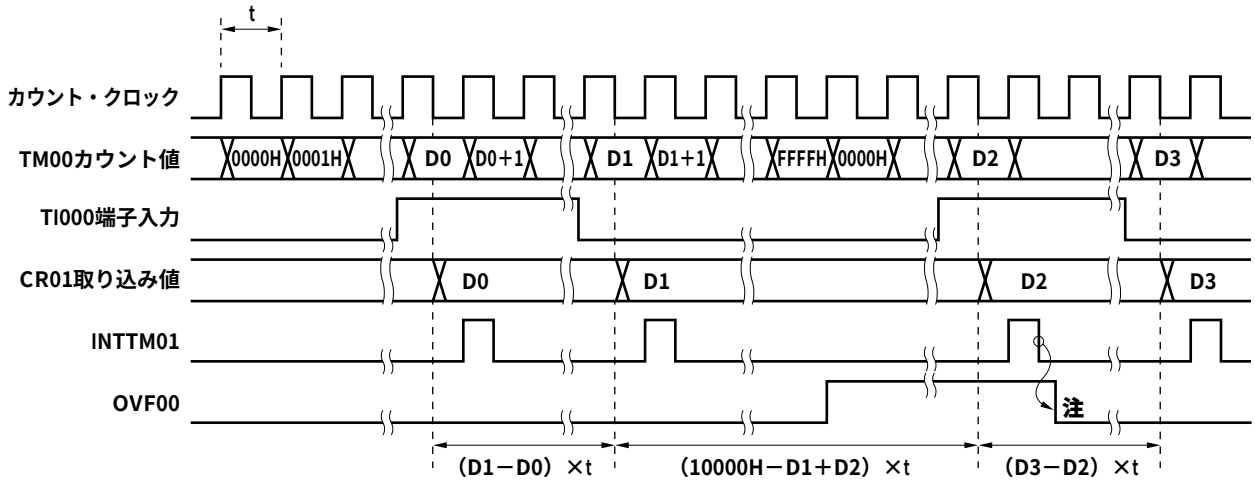



図７－19　フリー・ランニング・カウンタとキャプチャ・レジスタ１本によるパルス幅測定動作のタイミング
（両エッジ指定時）




注　OVF00のクリアはソフトウエアで行ってください。

### （２）フリー・ランニング・カウンタによる２つのパルス幅測定

16ビット・タイマ・カウンタ00（TM00）をフリー・ランニングで動作させているとき，TI000端子およびTI001端子に入力される２つの信号のパルス幅を同時に測定できます。

TI000端子にプリスケーラ・モード・レジスタ00（PRM00）のビット４，５（ES000, ES001）で指定したエッジが入力されると，TM00の値を16ビット・タイマ・キャプチャ／コンペア・レジスタ01（CR01）に取り込み，割り込み要求信号（INTTM01）をセットします。

また，TI001端子にPRM00のビット６，７（ES100, ES101）で指定したエッジが入力されると，TM00の値を16ビット・タイマ・キャプチャ／コンペア・レジスタ00（ＣＲ００）に取り込み，割り込み要求信号（INTTM000）をセットします。

TI000端子とTI001端子のエッジは，PRM00のビット４，５（ES000, ES001）およびビット６，７（ES100, ES101）で，立ち上がり，立ち下がりの両エッジを指定します。

プリスケーラ・モード・レジスタ00（PRM00）で選択したカウント・クロック周期でサンプリングを行い，TI000端子またはTI001端子の有効レベルを２回検出することではじめてキャプチャ動作を行うため，短いパルス幅のノイズを除去できます。

**図７－20　フリー・ランニング・カウンタによる２つのパルス幅測定時の制御レジスタ設定内容**

**（ａ）16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）**

| | 7 | 6 | 5 | 4 | TMC003 | TMC002 | TMC001 | OVF00 |
|---|---|---|---|---|---|---|---|---|
| TMC00 | 0 | 0 | 0 | 0 | 0 | 1 | 0/1 | 0 |

フリー・ランニング・モード

**（ｂ）キャプチャ／コンペア・コントロール・レジスタ00（CRC00）**

| | 7 | 6 | 5 | 4 | 3 | CRC002 | CRC001 | CRC000 |
|---|---|---|---|---|---|---|---|---|
| CRC00 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 |

CR00をキャプチャ・レジスタにする
TI001端子の有効エッジでCR00にキャプチャする
CR01をキャプチャ・レジスタにする

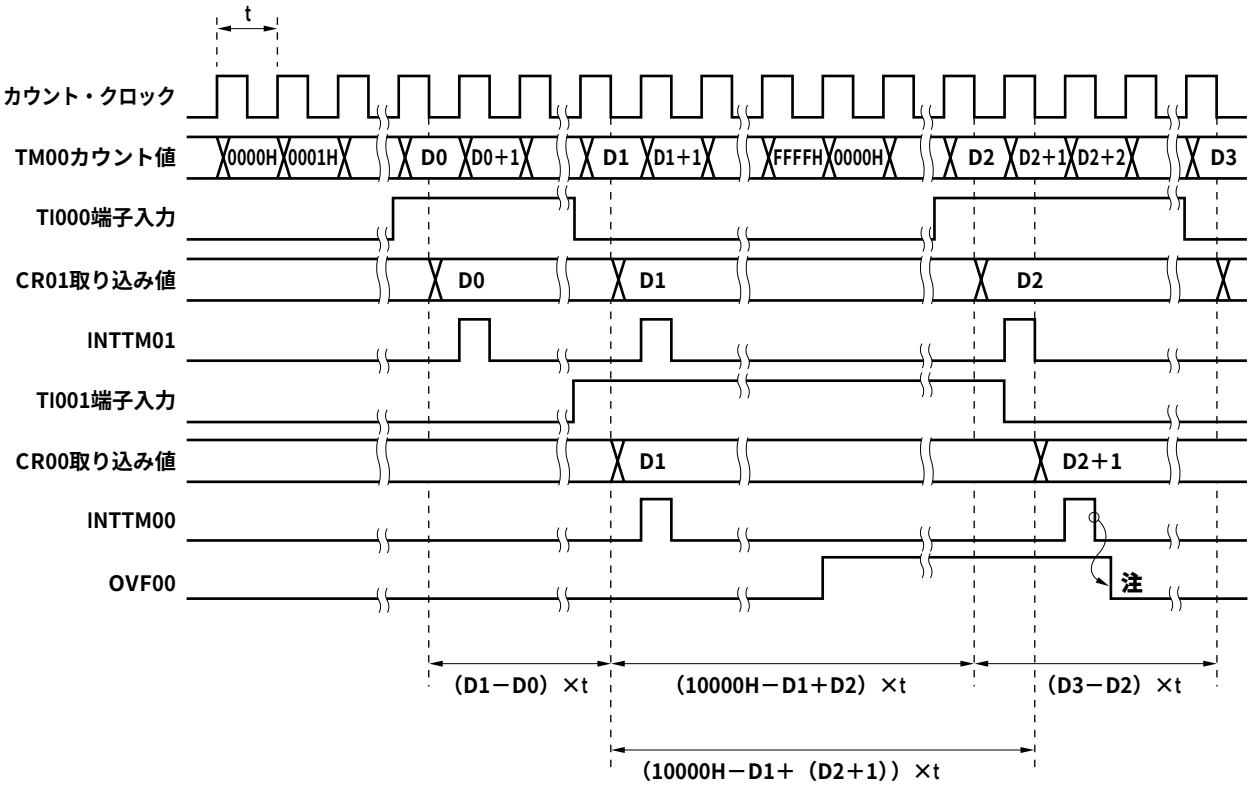
**（ｃ）プリスケーラ・モード・レジスタ00（PRM00）**

| | ES101 | ES100 | ES001 | ES000 | 3 | 2 | PRM001 | PRM000 |
|---|---|---|---|---|---|---|---|---|
| PRM00 | 1 | 1 | 1 | 1 | 0 | 0 | 0/1 | 0/1 |

カウント・クロックの選択（“11”は設定禁止）
パルス幅検出の両エッジ指定
パルス幅検出の両エッジ指定

**備考**　0/1：０または１を設定することにより，パルス幅測定と同時にほかの機能を使用できます。詳細は，各制御レジスタの説明を参照してください。

図７－21　フリー・ランニング・カウンタによるパルス幅測定動作のタイミング（両エッジ指定時）




注　OVF00のクリアはソフトウエアで行ってください。

### （３）フリー・ランニング・カウンタとキャプチャ・レジスタ２本によるパルス幅測定

16ビット・タイマ・カウンタ00（TM00）をフリー・ランニングで動作させているとき，TI000端子に入力する信号のパルス幅を測定できます。

TI000端子にプリスケーラ・モード・レジスタ00（PRM00）のビット４，５（ES000, ES001）で指定した立ち上がりまたは立ち下がりエッジが入力されると，TM00の値を16ビット・タイマ・キャプチャ／コンペア・レジスタ01（CR01）に取り込み，割り込み要求信号（INTTM01）をセットします。

また，CR01へのキャプチャ動作と逆のエッジ入力で，TM00の値を16ビット・タイマ・キャプチャ／コンペア・レジスタ00（CR00）に取り込みます。

プリスケーラ・モード・レジスタ00（PRM00）で選択したカウント・クロック周期でサンプリングを行い，TI000端子の有効レベルを２回検出することではじめてキャプチャ動作を行うため，短いパルス幅のノイズを除去できます。

**図７－22　フリー・ランニング・カウンタとキャプチャ・レジスタ２本による パルス幅測定時の制御レジスタ設定内容（立ち上がりエッジ指定時）**

**（a）16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）**

| | 7 | 6 | 5 | 4 | TMC003 | TMC002 | TMC001 | OVF00 |
|---|---|---|---|---|---|---|---|---|
| TMC00 | 0 | 0 | 0 | 0 | 0 | 1 | 0/1 | 0 |

フリー・ランニング・モード

**（b）キャプチャ／コンペア・コントロール・レジスタ00（CRC00）**

| | 7 | 6 | 5 | 4 | 3 | CRC002 | CRC001 | CRC000 |
|---|---|---|---|---|---|---|---|---|
| CRC00 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |

CR00をキャプチャ・レジスタにする

TI000端子の有効エッジと逆のエッジでCR00にキャプチャする

CR01をキャプチャ・レジスタにする

**（c）プリスケーラ・モード・レジスタ00（PRM00）**

| | ES101 | ES100 | ES001 | ES000 | 3 | 2 | PRM001 | PRM000 |
|---|---|---|---|---|---|---|---|---|
| PRM00 | 0/1 | 0/1 | 0 | 1 | 0 | 0 | 0/1 | 0/1 |

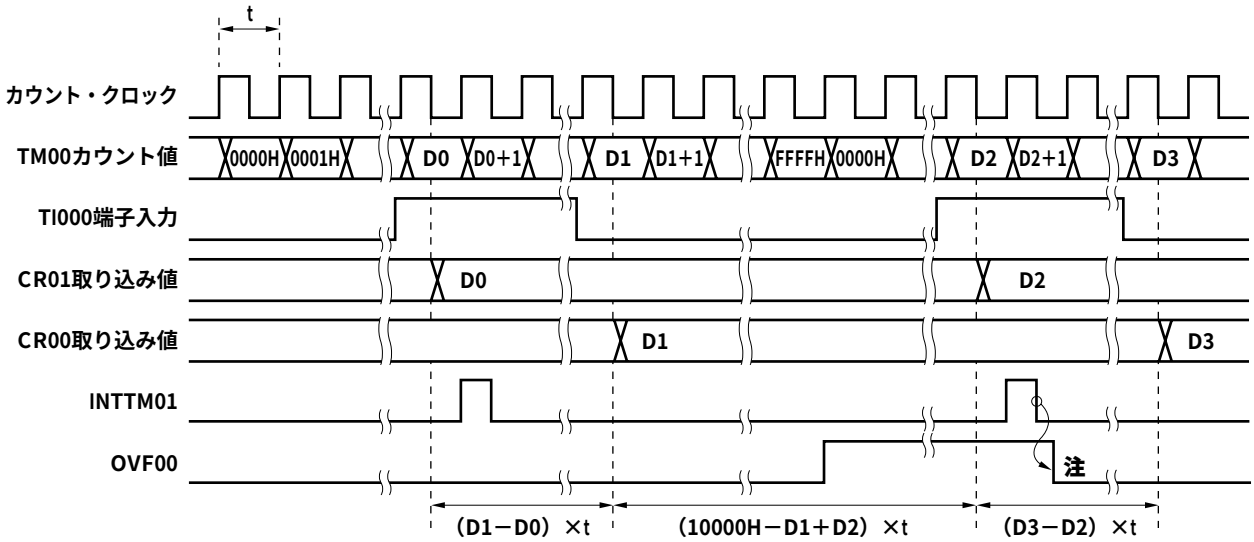
カウント・クロックの選択（“11”は設定禁止）

パルス幅検出の立ち上がりエッジ指定

設定無効（“10”は設定禁止）

**備考**　0/1：０または１を設定することにより，パルス幅測定と同時にほかの機能を使用できます。詳細は，各制御レジスタの説明を参照してください。

図７－23　フリー・ランニング・カウンタとキャプチャ・レジスタ２本によるパルス幅測定動作のタイミング
（立ち上がりエッジ指定時）




注　OVF00のクリアはソフトウエアで行ってください。

（４）リスタートによるパルス幅測定

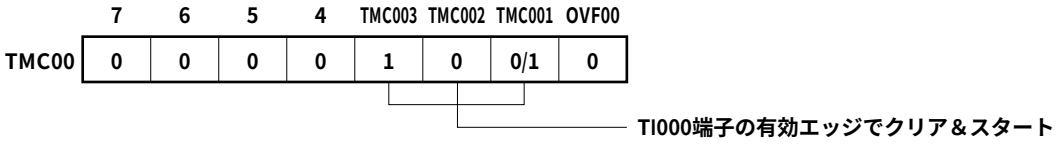
TI000端子への有効エッジを検出したとき，16ビット・タイマ・カウンタ00（TM00）のカウント値を16ビット・タイマ・キャプチャ／コンペア・レジスタ01（CR01）に取り込んだあと，TM00をクリアしてカウントを再開することにより，TI000端子に入力された信号のパルス幅を測定します。

エッジ指定は，プリスケーラ・モード・レジスタ00（PRM00）のビット４，５（ES000, ES001）により，立ち上がりエッジまたは立ち下がりエッジの選択ができます。

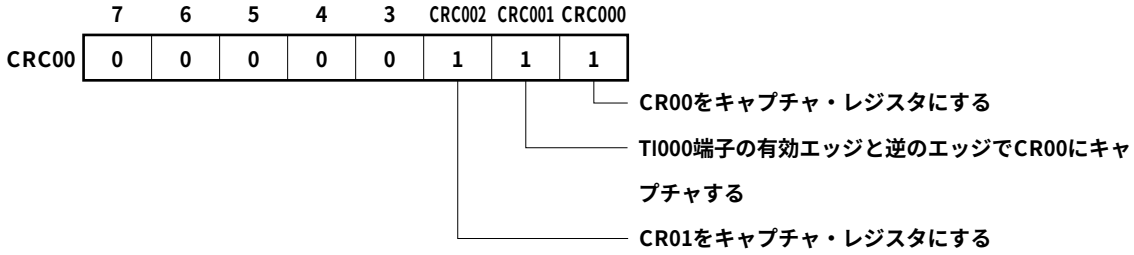
プリスケーラ・モード・レジスタ00（PRM00）で選択したカウント・クロック周期でサンプリングを行い，TI000端子の有効レベルを２回検出することではじめてキャプチャ動作を行うため，短いパルス幅のノイズを除去できます。

図７－24　リスタートによるパルス幅測定時の制御レジスタ設定内容（立ち上がりエッジ指定時）

（a）16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)




（b）キャプチャ／コンペア・コントロール・レジスタ00(CRC00)




（c）プリスケーラ・モード・レジスタ00（PRM00）

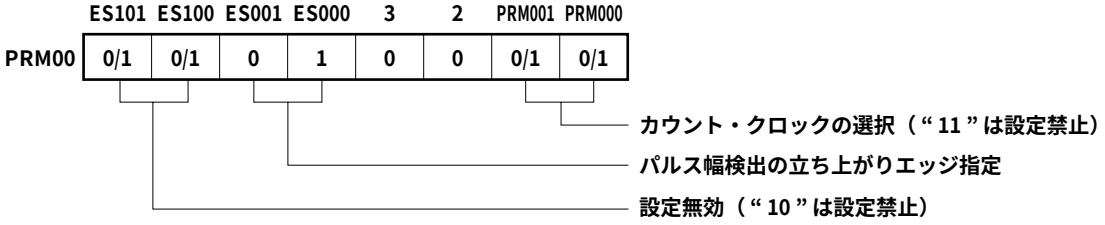
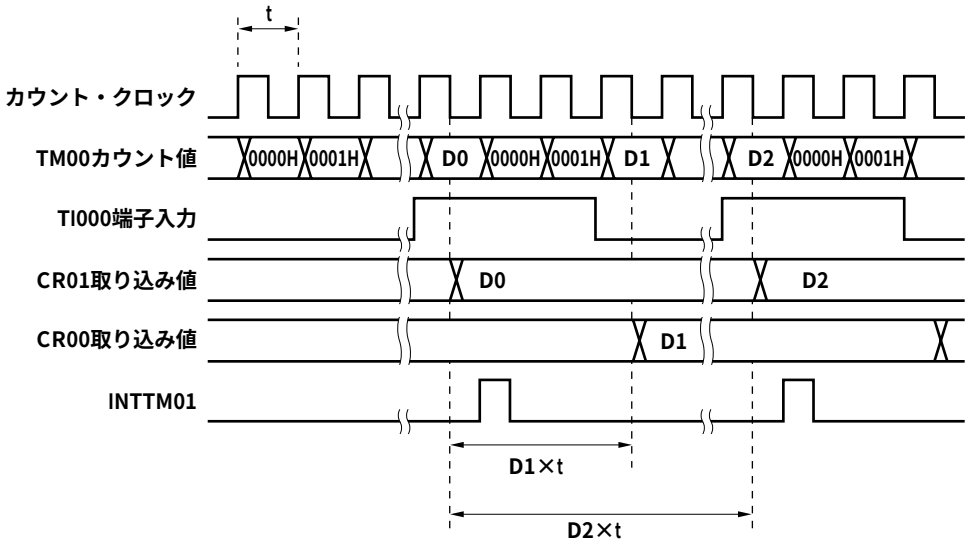



図７－25　リスタートによるパルス幅測定動作のタイミング(立ち上がりエッジ指定時)



## ７.４.４　外部イベント・カウンタとしての動作

**設定方法**

基本的な動作設定手順例は次のようになります。

① CRC00 レジスタの設定（設定値については**図７－26**参照）
② PRM00 レジスタによりカウント・クロック設定
③ CR00 レジスタに任意の値（0000H は設定できません）を設定
④ TMC00 レジスタ設定：動作開始（設定値については**図７－26**参照）

**備考１．**TI000端子の設定については，**７.３(５)ポート・モード・レジスタ５(PM5)**を参照してください。
**２．**INTTM00割り込み許可の設定については，**第16章　割り込み機能**を参照してください。

外部イベント・カウンタは，TI000端子に入力される外部からのクロック・パルス数を16ビット・タイマ・カウンタ00(TM00)でカウントするものです。

プリスケーラ・モード・レジスタ00(PRM00)で指定した有効エッジが入力されるたびに，TM00がインクリメントされます。

TM00の計数値が16ビット・タイマ・キャプチャ／コンペア・レジスタ00(CR00)の値と一致すると，TM00は０にクリアされ，割り込み要求信号(INTTM00)が発生します。

なお，CR00には0000H以外の値を入れてください（１パルスのカウント動作はできません）。

エッジ指定は，プリスケーラ・モード・レジスタ00(PRM00)のビット４，５(ES000, ES001)により，立ち上がり，立ち下がり，両エッジの３種類から選択できます。

内部クロック(fx)でサンプリングを行い，TI000端子の有効レベルを２回検出することではじめて動作するため，短いパルス幅のノイズを除去できます。

図７－26　外部イベント・カウンタ・モード時の制御レジスタ設定内容（立ち上がりエッジ指定時）

（a）16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）

| | 7 | 6 | 5 | 4 | TMC003 | TMC002 | TMC001 | OVF00 |
|---|---|---|---|---|---|---|---|---|
| TMC00 | 0 | 0 | 0 | 0 | 1 | 1 | 0/1 | 0 |

TM00とCR00の一致でクリア＆スタート

（b）キャプチャ／コンペア・コントロール・レジスタ00（CRC00）

| | 7 | 6 | 5 | 4 | 3 | CRC002 | CRC001 | CRC000 |
|---|---|---|---|---|---|---|---|---|
| CRC00 | 0 | 0 | 0 | 0 | 0 | 0/1 | 0/1 | 0 |

CR00をコンペア・レジスタにする

（c）プリスケーラ・モード・レジスタ00（PRM00）

| | ES101 | ES100 | ES001 | ES000 | 3 | 2 | PRM001 | PRM000 |
|---|---|---|---|---|---|---|---|---|
| PRM00 | 0/1 | 0/1 | 0 | 1 | 0 | 0 | 1 | 1 |

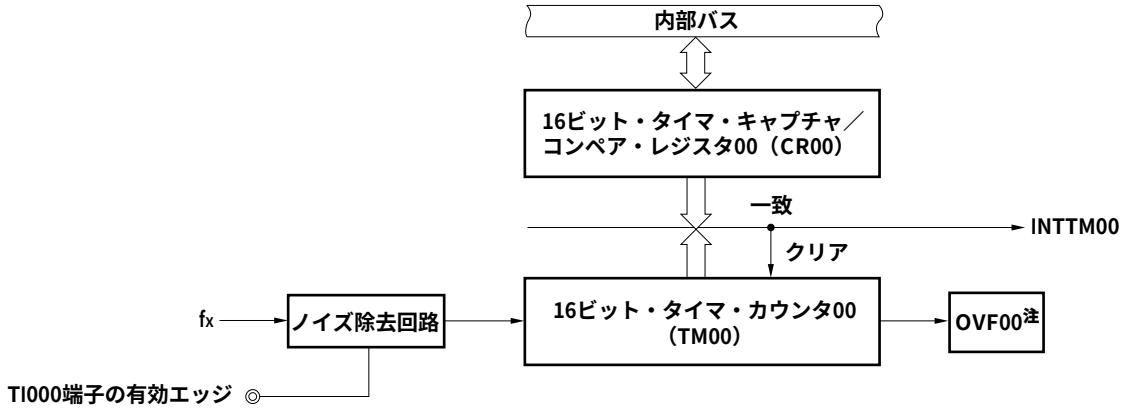
外部クロックを選択

パルス幅検出の立ち上がりエッジ指定

設定無効（“10”は設定禁止）

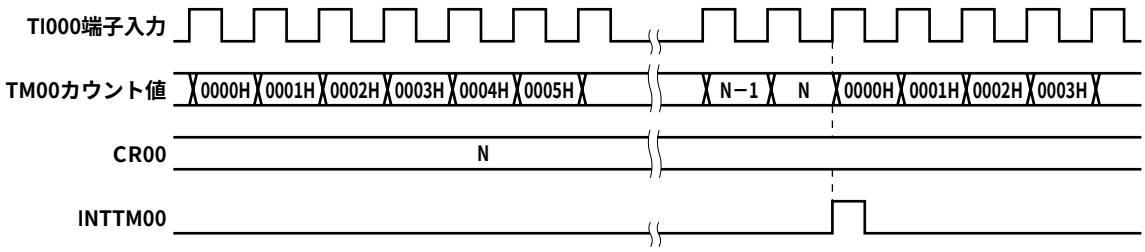
**備考**　0/1：0または1を設定することにより，外部イベント・カウンタと同時にほかの機能を使用できます。
詳細は，各制御レジスタの説明を参照してください。

図７－27　外部イベント・カウンタの構成図




注　CR00にFFFFHを設定した場合のみ，OVF00は１になります。

図７－28　外部イベント・カウンタ動作のタイミング（立ち上がりエッジ指定時）




注意　外部イベント・カウンタのカウント値を読み出す場合は，TM00を読み出してください。

## ７.４.５　方形波出力としての動作

**設定方法**

基本的な動作設定手順例は次のようになります。

① PRM00 レジスタによりカウント・クロック設定
② CRC00 レジスタの設定（設定値については**図７－29** 参照）
③ TOC00 レジスタの設定（設定値については**図７－29** 参照）
④ CR00 レジスタに任意の値（0000H は設定できません）を設定
⑤ TMC00 レジスタ設定：動作開始（設定値については**図７－29** 参照）

**注意　TM00動作中にCR00を書き換えることはできません。**

**備考１．**TO00端子の設定については，**７.３(５)ポート・モード・レジスタ５(PM5)**を参照してください。
**２．**INTTM00割り込み許可の設定については，**第16章　割り込み機能**を参照してください。

16ビット・タイマ・キャプチャ／コンペア・レジスタ00（CR00）にあらかじめ設定したカウント値で決まるインターバルの，任意の周波数の方形波出力として動作します。

16ビット・タイマ出力コントロール・レジスタ00（TOC00）のビット０（TOE00）とビット１（TOC001）に１を設定することにより，CR00にあらかじめ設定したカウント値＋１で決まるインターバルでTO00端子の出力状態が反転します。これによって，任意の周波数の方形波出力が可能です。

**図７－29　方形波出力モード時の制御レジスタ設定内容（1/2）**

**（a）16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)**

| | 7 | 6 | 5 | 4 | TMC003 | TMC002 | TMC001 | OVF00 |
|---|---|---|---|---|---|---|---|---|
| TMC00 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 |

TM00とCR00の一致でクリア＆スタート

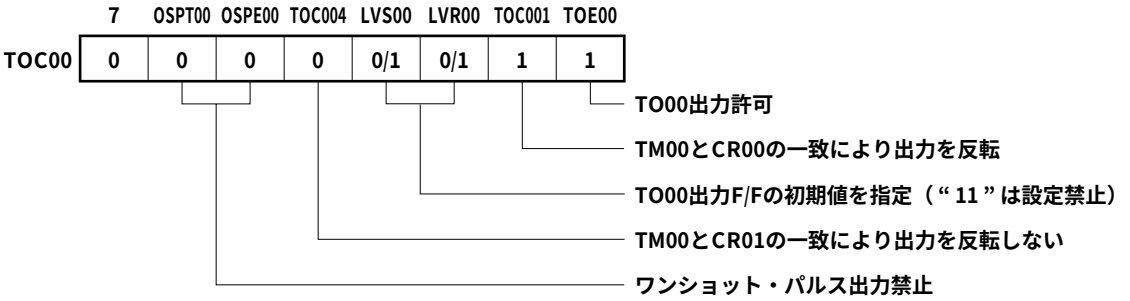
**（b）キャプチャ／コンペア・コントロール・レジスタ00(CRC00)**

| | 7 | 6 | 5 | 4 | 3 | CRC002 | CRC001 | CRC000 |
|---|---|---|---|---|---|---|---|---|
| CRC00 | 0 | 0 | 0 | 0 | 0 | 0/1 | 0/1 | 0 |

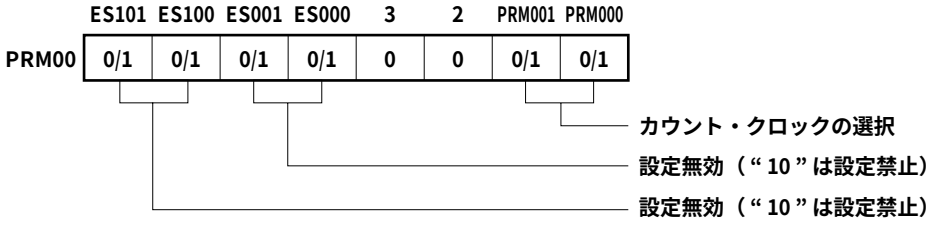
CR00をコンペア・レジスタにする

図７－29　方形波出力モード時の制御レジスタ設定内容（2/2）

（c）16ビット・タイマ出力コントロール・レジスタ00(TOC00)

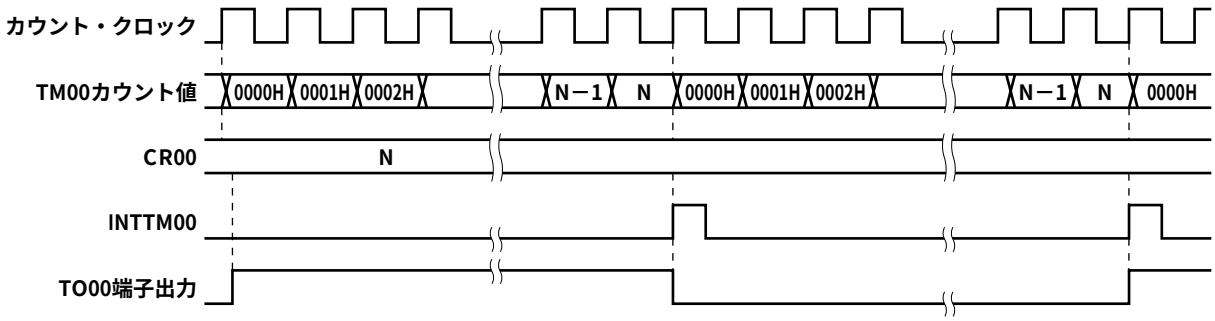



（d）プリスケーラ・モード・レジスタ00(PRM00)




**備考**　0/1：０または１を設定することにより，方形波出力と同時にほかの機能を使用できます。詳細は，各制御レジスタの説明を参照してください。

図７－30　方形波出力動作のタイミング



## ７.４.６　ワンショット・パルス出力としての動作

ソフトウエア・トリガおよび外部トリガ（TI000端子入力）に同期したワンショット・パルスを出力できます。

設定方法

基本的な動作設定手順例は次のようになります。

① PRM00 レジスタによりカウント・クロック設定
② CRC00 レジスタの設定（設定値については**図７－31，７－33** 参照）
③ TOC00 レジスタの設定（設定値については**図７－31，７－33** 参照）
④ CR00, CR01 レジスタに任意の値（0000H は設定できません）を設定
⑤ TMC00 レジスタ設定：動作開始（設定値については**図７－31，７－33** 参照）

**備考１．** TO00端子の設定については，**７.３（５）ポート・モード・レジスタ５（PM5）**を参照してください。

**２．** INTTM00（および必要な場合はINTTM01）割り込み許可の設定については，**第16章　割り込み機能**を参照してください。

### （１）ソフトウエア・トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタ00（TMC00），キャプチャ／コンペア・コントロール・レジスタ00（CRC00）および16ビット・タイマ出力コントロール・レジスタ00（TOC00）を図７－31のように設定し，ソフトウエアでTOC00レジスタのビット６（OSPT00）を１にセットすることにより，ワンショット・パルスをTO00端子から出力します。

OSPT00ビットを１にセットすることにより，16ビット・タイマ／イベント・カウンタ00がクリア＆スタートし，16ビット・タイマ・キャプチャ／コンペア・レジスタ01（CR01）にあらかじめ設定したカウント値（N）で出力がアクティブになります。その後，16ビット・タイマ・キャプチャ／コンペア・レジスタ00（CR00）にあらかじめ設定したカウント値（M）で出力がインアクティブとなります[注]。

ワンショット・パルス出力後も，TM00レジスタは動作を継続しています。TM00レジスタを停止させるためには，TMC00レジスタのTMC003, TMC002ビットに00を設定する必要があります。

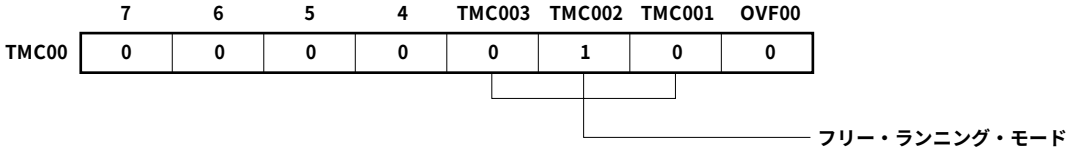
**注**　ここではN＜Mの場合の例です。N＞MのときはCR00レジスタで出力がアクティブになり，CR01レジスタでインアクティブとなります。N=Mは設定しないでください。

**注意１．ワンショット・パルスを出力しているときに，再度OSPT00ビットを１にセットしないでください。再度ワンショット・パルスを出力したいときは，現在のワンショット・パルス出力が終了したあとで行ってください。**

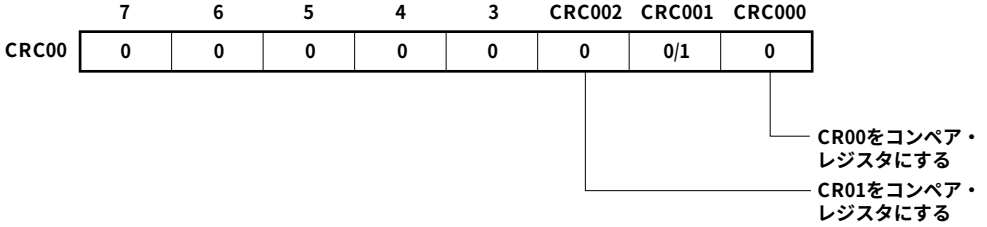
**２．16ビット・タイマ／イベント・カウンタ00のワンショット・パルス出力をソフトウエア・トリガで使用する場合，TI000端子またはその兼用ポート端子のレベルを変化させないでください。この場合でも外部トリガは有効となっているので，TI000端子またはその兼用ポート端子のレベルでもタイマがクリア＆スタートしてしまい，意図しないタイミングでパルスが出力されてしまいます。**

図７－31　ソフトウエア・トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容

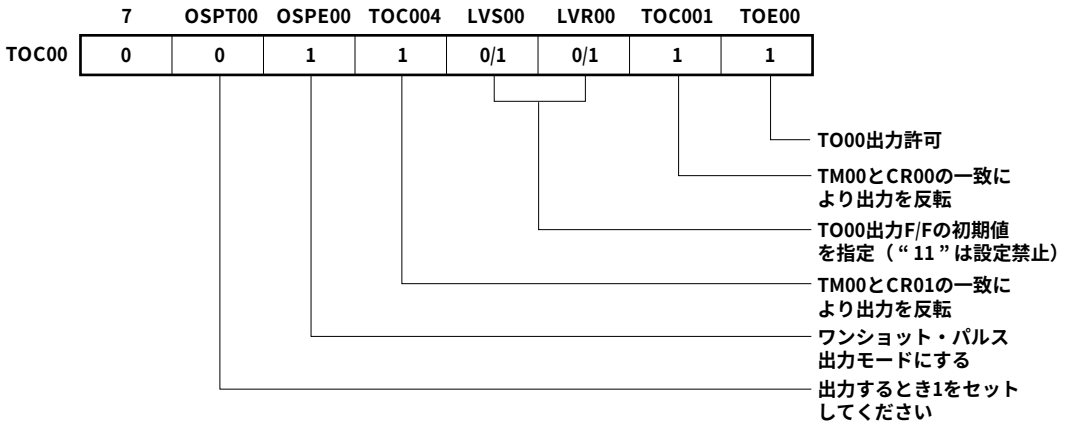
（a）16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）



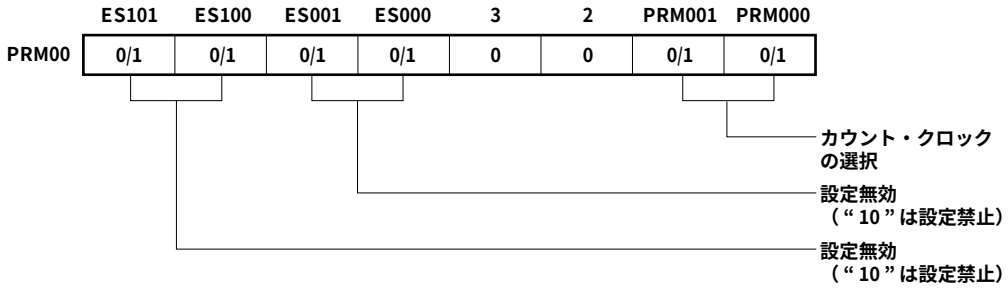

（b）キャプチャ／コンペア・コントロール・レジスタ00（CRC00）




（c）16ビット・タイマ出力コントロール・レジスタ00（TOC00）

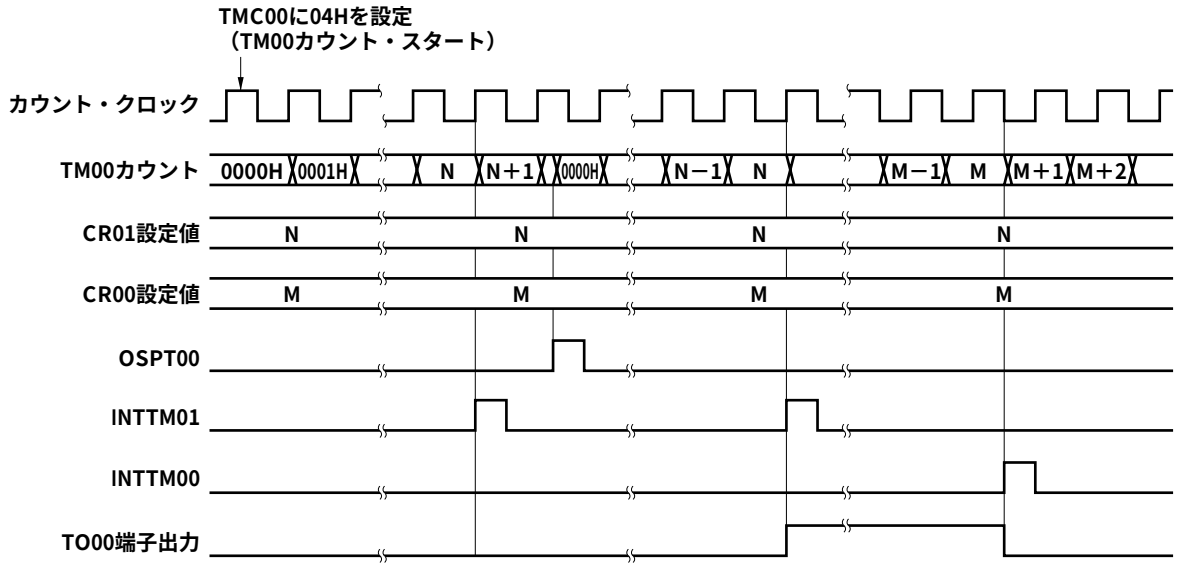



（d）プリスケーラ・モード・レジスタ00（PRM00）




**注意　CR00レジスタとCR01レジスタに0000Hを設定しないでください。**

図７－32　ソフトウエア・トリガによるワンショット・パルス出力動作のタイミング




**注意　16ビット・タイマ・カウンタ00は，TMC003, TMC002ビットに00（動作停止モード）以外の値を設定した時点で動作を開始します。**

**備考**　N＜M

### （2）外部トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタ00（TMC00），キャプチャ／コンペア・コントロール・レジスタ00（CRC00）および16ビット・タイマ出力コントロール・レジスタ00（TOC00）を図７－33のように設定し，TI000端子の有効エッジを外部トリガとしてワンショット・パルスをTO00端子から出力します。

TI000端子の有効エッジ指定は，プリスケーラ・モード・レジスタ00（PRM00）のビット４，５（ES000, ES001）で行い，立ち上がり，立ち下がり，両エッジの３種類の選択ができます。

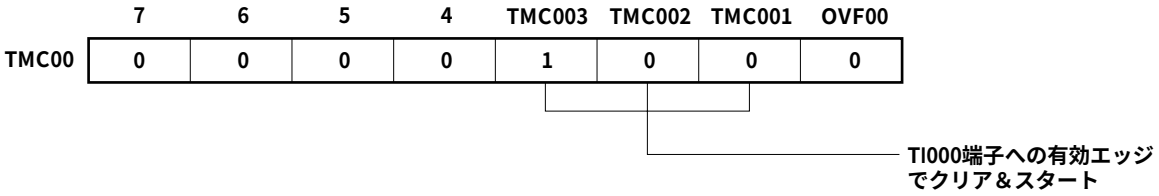
TI000端子への有効エッジで16ビット・タイマ／イベント・カウンタがクリア＆スタートし，16ビット・タイマ・キャプチャ／コンペア・レジスタ01（CR01）にあらかじめ設定したカウント値で出力がアクティブになります。その後，16ビット・タイマ・キャプチャ／コンペア・レジスタ00（CR00）にあらかじめ設定したカウント値で出力がインアクティブとなります[注]。

**注**　ここではN＜Mの場合の例です。N＞MのときはCR00レジスタで出力がアクティブになり，CR01レジスタでインアクティブとなります。N=Mは設定しないでください。

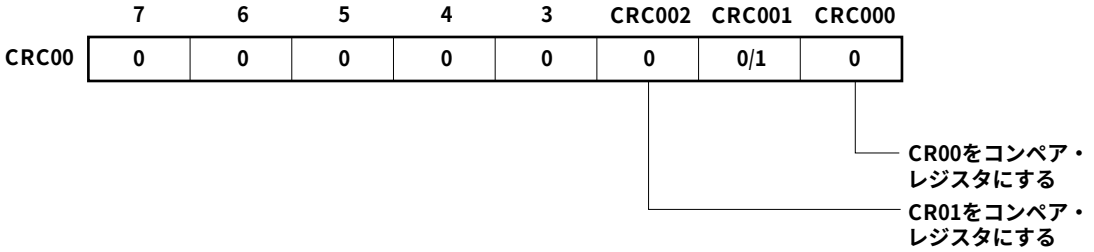
**注意　ワンショット・パルスを出力しているときに，再度外部トリガを入力しないでください。再度ワンショット・パルスを出力したいときは，現在のワンショット・パルス出力が終了したあとで行ってください。**

図７－33　外部トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容（立ち上がりエッジ指定時）

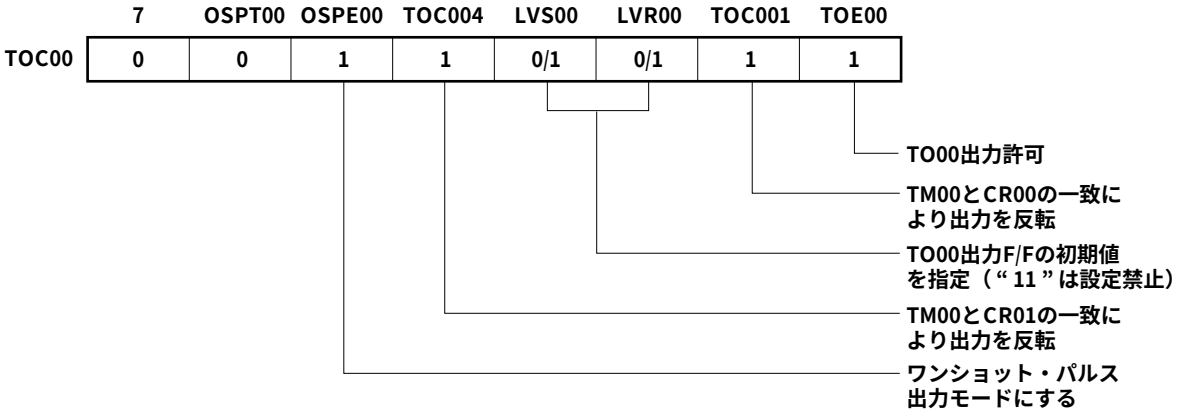
（a）16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）



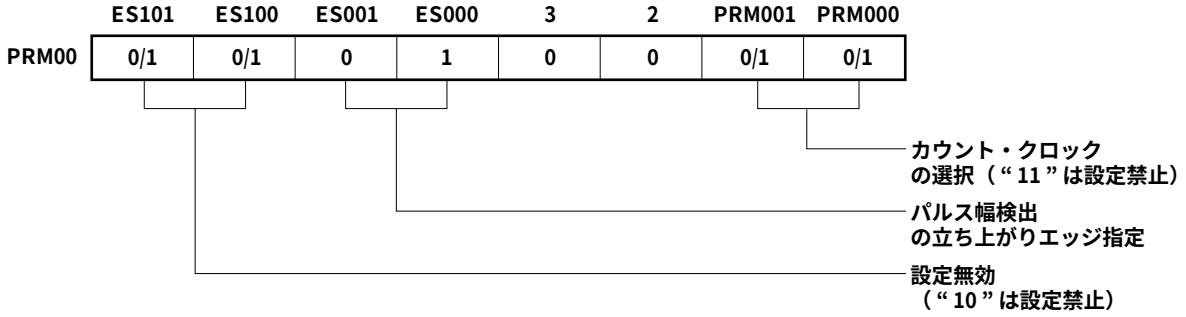

（b）キャプチャ／コンペア・コントロール・レジスタ00（CRC00）




（c）16ビット・タイマ出力コントロール・レジスタ00（TOC00）

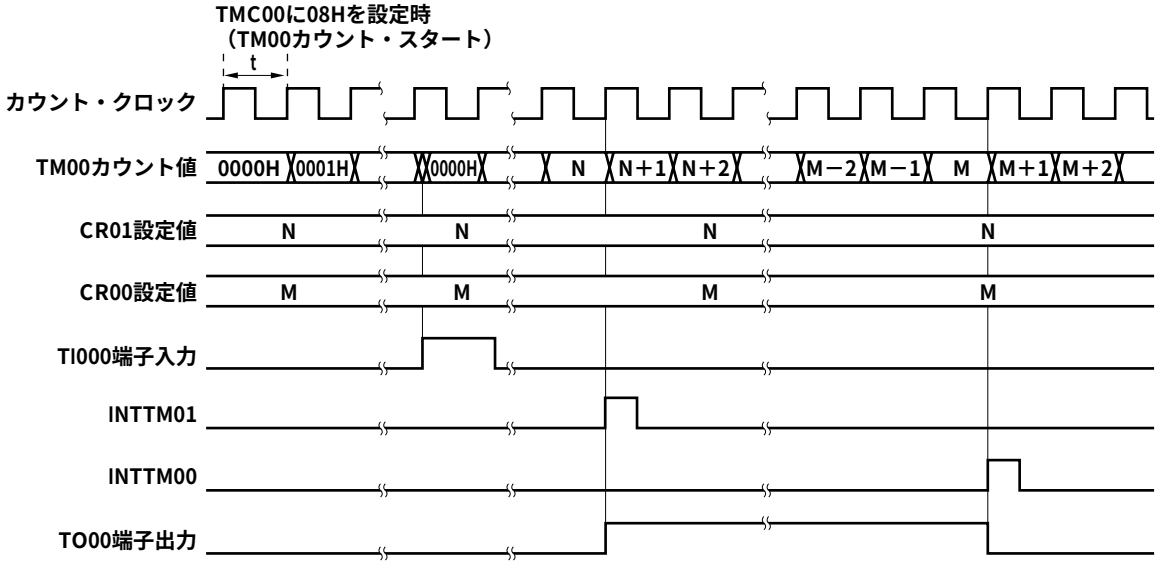



（d）プリスケーラ・モード・レジスタ00（PRM00）




注意　CR00レジスタとCR01レジスタに0000Hを設定しないでください。

図７－34　外部トリガによるワンショット・パルス出力動作のタイミング（立ち上がりエッジ指定時）




注意　16ビット・タイマ・カウンタ00は，TMC003, TMC002ビットに00（動作停止モード）以外の値を設定した時点で動作を開始します。

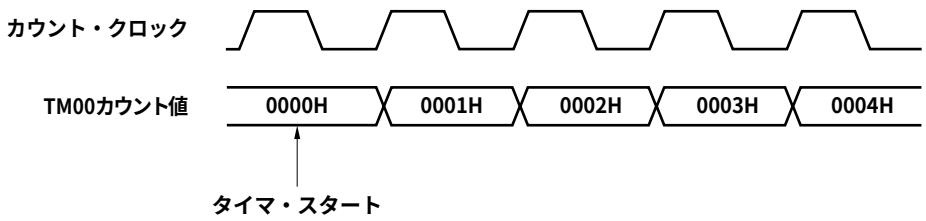
備考　N＜M

# ７.５　16ビット・タイマ／イベント・カウンタ00の注意事項

**（１）タイマ・スタート時の誤差**

タイマ・スタート後，一致信号が発生するまでの時間は，最大で１クロック分の誤差が生じます。これはカウント・クロックに対して16ビット・タイマ・カウンタ00（TM00）が非同期でスタートするためです。

**図７－35　16ビット・タイマ・カウンタ00（TM00）のスタート・タイミング**




**（２）16ビット・タイマ・キャプチャ／コンペア・レジスタ00の設定**

TM00とCR00の一致でクリア＆スタート・モードの場合，16ビット・タイマ・キャプチャ／コンペア・レジスタ00（CR00）には，0000H以外の値を設定してください。したがって，外部イベント・カウンタとして使用時，１パルスのカウント動作はできません。

**（３）キャプチャ・レジスタのデータ保持**

16ビット・タイマ／イベント・カウンタ00停止後の，16ビット・タイマ・キャプチャ／コンペア・レジスタ00, 01（CR00, CR01）の値は保証されません。

**（４）有効エッジの設定**

TI000端子の有効エッジは，16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）のビット２,３（TMC002, TMC003）に0, 0を設定し，タイマ動作を停止させたあとに設定してください。有効エッジは，プリスケーラ・モード・レジスタ00（PRM00）のビット４,５（ES000, ES001）で設定します。

### （５）ワンショット・パルスの再トリガ

#### （ａ）ソフトウエアによるワンショット・パルス出力

ワンショット・パルスを出力しているときに，再度OSPT00ビットを１にセットしないでください。再度ワンショット・パルスを出力したいときは，現在のワンショット・パルス出力が終了したあとで行ってください。

#### （ｂ）外部トリガによるワンショット・パルス出力

ワンショット・パルスを出力しているときに，再度外部トリガを入力しないでください。

再度ワンショット・パルスを出力したいときは，現在のワンショット・パルス出力が終了したあとで行ってください。

#### （ｃ）ワンショット・パルス出力機能について

16ビット・タイマ／イベント・カウンタ00のワンショット・パルス出力をソフトウエア・トリガで使用する場合，TI000端子またはその兼用ポート端子のレベルを変化させないでください。

この場合でも外部トリガは有効となっているので，TI000端子またはその兼用ポート端子のレベルでもタイマがクリア＆スタートしてしまい，意図しないタイミングでパルスが出力されてしまいます。

### （６）OVF00フラグの動作

① OVF00フラグは，次のときにも“１”に設定されます。

TM00とCR00の一致でクリア＆スタート，TI000端子の有効エッジでクリア＆スタート，フリー・ランニングのいずれかのモードを選択

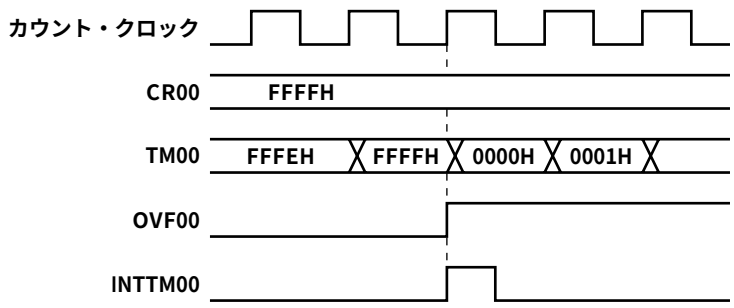
↓

CR00をFFFFHに設定

↓

TM00がFFFFHから0000Hにカウント・アップするとき

**図７－36　OVF00フラグの動作タイミング**



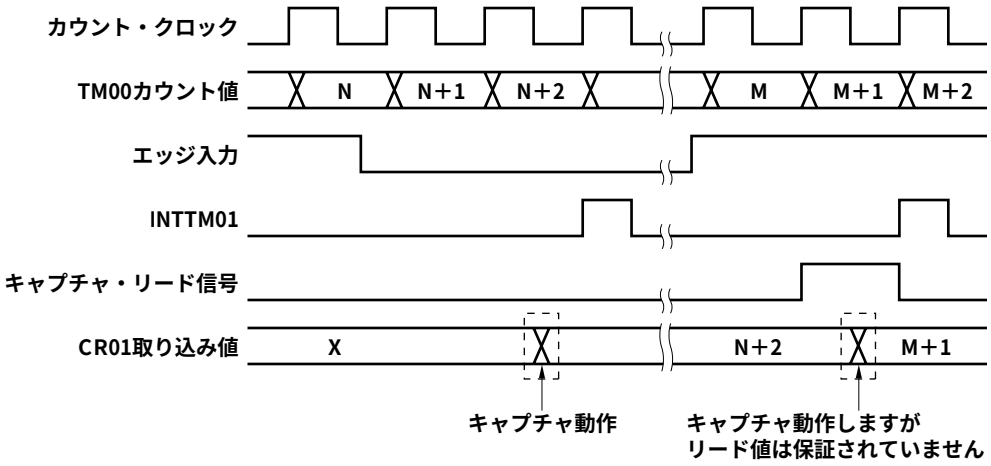

② TM00がオーバフロー後，次のカウント・クロックがカウントされる（TM00が0001Hになる）前にOVF00フラグをクリアしても，再度セットされ，クリアは無効となります。

### （７）競合動作について

16ビット・タイマ・キャプチャ／コンペア・レジスタ（CR00/CR01）のリード期間とキャプチャ・トリガ入力の競合（CR00/CR01はキャプチャ・レジスタとして使用）

キャプチャ・トリガ入力が優先されます。CR00/CR01のリード・データは不定となります。

図７－37　キャプチャ・レジスタのデータ保持タイミング




### （８）タイマ動作について

① 16ビット・タイマ・カウンタ00（TM00）をリードしても，16ビット・タイマ・キャプチャ／コンペア・レジスタ01（CR01）にはキャプチャしません。

② CPUの動作モードに関係なく，タイマが停止していると，TI000/TI001端子への入力信号は受け付けられません。

③ ワンショット・パルス出力は，フリー・ランニング・モードまたはTI000端子の有効エッジでクリア＆スタート・モードでのみ正常に動作します。TM00とCR00の一致でクリア＆スタート・モードでは，オーバフローしないため，ワンショット・パルス出力ができません。

### （９）キャプチャ動作について

① カウント・クロックにTI000端子の有効エッジを指定した場合，TI000をトリガに指定したキャプチャ・レジスタは正常に動作できません。

② 確実にキャプチャするためのキャプチャ・トリガは，プリスケーラ・モード・レジスタ00（PRM00）で選択したカウント・クロックの２周期分より長いパルスを必要とします。

③ キャプチャ動作はカウント・クロックの立ち下がりで行われますが，割り込み要求入力（INTTM00/INTTM01）は次のカウント・クロックの立ち上がりで発生します。

**（10）コンペア動作について**

**コンペア・モードに設定したCR00/CR01は，キャプチャ・トリガが入力されてもキャプチャ動作を行いません。**

**（11）エッジ検出について**

**①　システム・リセット直後にTI000端子またはTI001端子がハイ・レベルの場合，TI000端子またはTI001端子の有効エッジを立ち上がりまたは両エッジに指定し，16ビット・タイマ・カウンタ00（TM00）の動作を許可すると，その直後に立ち上がりエッジを検出します。TI000端子またはTI001端子をプルアップしている場合などは注意してください。ただし，いったん動作を停止させたあとの再動作許可時には，立ち上がりエッジは検出されません。**

**②　TI000端子の有効エッジをカウント・クロックで使用する場合とキャプチャ・トリガとして使用する場合とで，ノイズ除去のためのサンプリング・クロックが異なります。前者は$f_X$で，後者はプリスケーラ・モード・レジスタ00（PRM00）で選択したカウント・クロックでサンプリングします。有効エッジをサンプリングして，有効レベルを２回検出することではじめてキャプチャ動作するため，短いパルス幅のノイズを除去できます。**

# 第８章　８ビット・タイマ／イベント・カウンタ50, 51

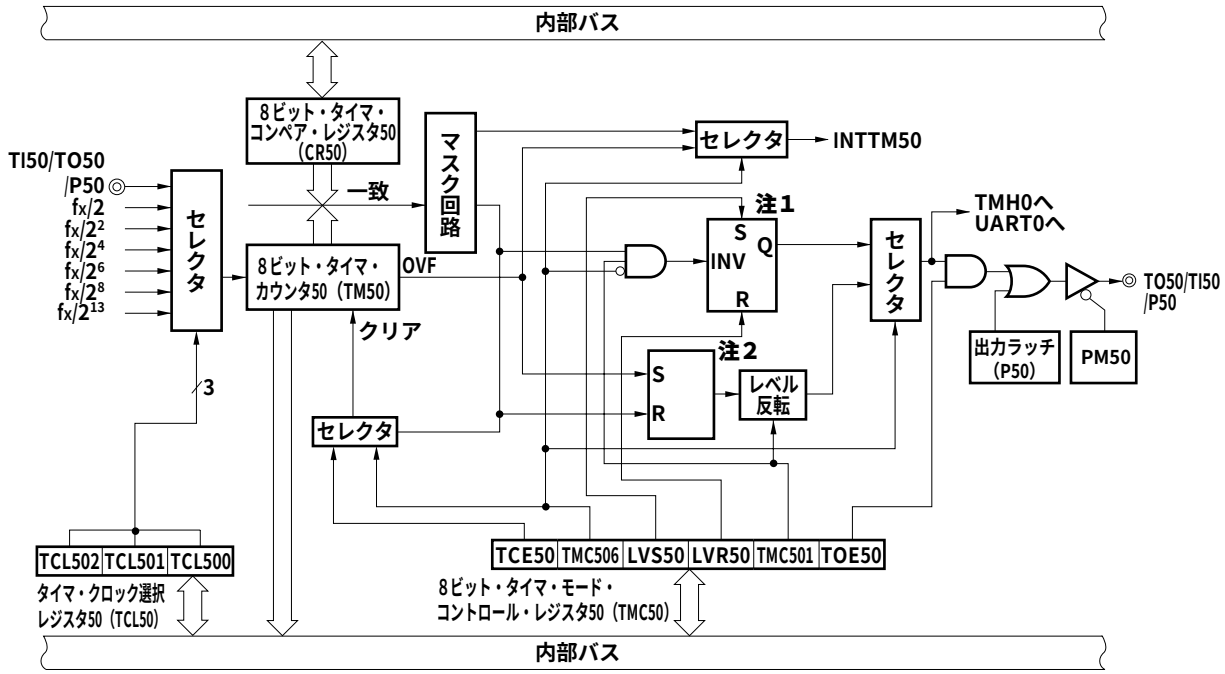
## ８.１　８ビット・タイマ／イベント・カウンタ50, 51の機能

８ビット・タイマ／イベント・カウンタ50, 51は，次のような機能として使用できます。

- インターバル・タイマ（タイマ50, 51）
- 外部イベント・カウンタ（タイマ50のみ）
- 方形波出力（タイマ50のみ）
- PWM出力（タイマ50のみ）

図８－１，図８－２に，８ビット・タイマ／イベント・カウンタ50, 51のブロック図を示します。

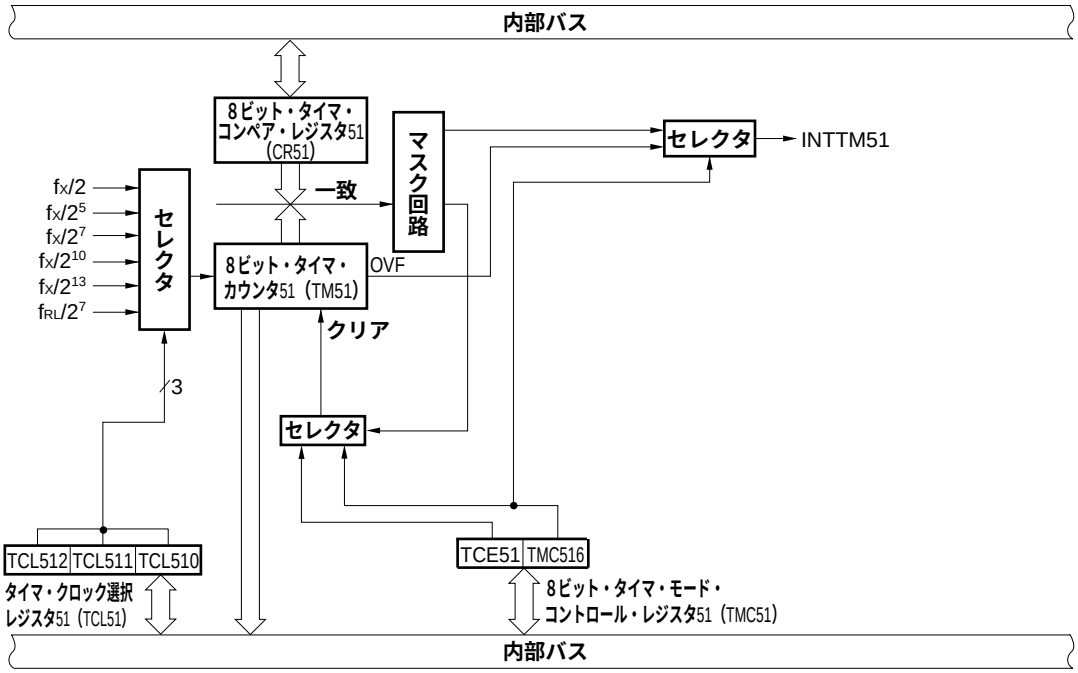
**図８－１　８ビット・タイマ／イベント・カウンタ50のブロック図**




**注１．**タイマ出力F/F

**２．**PWM出力F/F

図8－2　8ビット・タイマ／イベント・カウンタ51のブロック図



# ８.２　８ビット・タイマ／イベント・カウンタ50, 51の構成

８ビット・タイマ／イベント・カウンタ50, 51は，次のハードウエアで構成されています。

表８－１　８ビット・タイマ／イベント・カウンタ50, 51の構成

| 項　　目 | 構　　成 |
|---|---|
| タイマ・レジスタ | ８ビット・タイマ・カウンタ5n（TM5n） |
| レジスタ | ８ビット・タイマ・コンペア・レジスタ5n（CR5n） |
| タイマ入力 | TI50 |
| タイマ出力 | TO50 |
| 制御レジスタ | タイマ・クロック選択レジスタ5n（TCL5n）<br>８ビット・タイマ・モード・コントロール・レジスタ5n（TMC5n）<br>ポート・モード・レジスタ５（PM5）<br>ポート・レジスタ５（P5） |

### （１）８ビット・タイマ・カウンタ5n（TM5n）

TM5nは，カウント・パルスをカウントする８ビットのリード専用レジスタです。

カウント・クロックの立ち上がりに同期して，カウンタをインクリメントします。

図８－３　８ビット・タイマ・カウンタ5n（TM5n）のフォーマット

アドレス：FF2CH（TM50），FF3CH（TM51）　リセット時：00H　　R

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TM5n<br>(n = 0, 1) | | | | | | | | |

次の場合，カウント値は00Hになります。

① $\overline{\text{RESET}}$入力

② TCE5nをクリア

③ TM5nとCR5nの一致でクリア＆スタート・モード時のTM5nとCR5nの一致

### （２）８ビット・タイマ・コンペア・レジスタ5n（CR5n）

CR5nは，８ビット・メモリ操作でリード／ライト可能なレジスタです。

PWMモード以外ではCR5nに設定した値と，８ビット・タイマ・カウンタ5n（TM5n）のカウント値を常に比較し，その２つの値が一致したときに，割り込み要求（INTTM5n）を発生します。

PWMモード時は，TM5nのオーバフローによりTO50端子がアクティブ・レベルになり，TM5nとCR5nの値が一致するとTO50端子はインアクティブ・レベルになります。

CR5nの値は，00H-FFHの範囲で設定できます。

$\overline{\text{RESET}}$入力により，00Hになります。

図８－４　８ビット・タイマ・コンペア・レジスタ5n（CR5n）のフォーマット

アドレス：FF2DH（CR50），FF3DH（CR51）　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| CR5n<br>（n = 0, 1） | | | | | | | | |

注意１．TM5nとCR5nの一致でクリア＆スタート・モード（TMC5n6 = 0）時は，動作中にCR5nに異なる値を書き込まないでください。

２．PWMモード時は，CR5nの書き換え間隔をカウント・クロック（TCL5nで選択したクロック）の３カウント・クロック以上にしてください。

備考　n = 0, 1

# ８.３　８ビット・タイマ／イベント・カウンタ50, 51を制御するレジスタ

８ビット・タイマ／イベント・カウンタ50, 51を制御するレジスタには，次の４種類があります。

・タイマ・クロック選択レジスタ5n（TCL5n）
・８ビット・タイマ・モード・コントロール・レジスタ5n（TMC5n）
・ポート・モード・レジスタ５（PM5）
・ポート・レジスタ５（P5）

### （１）タイマ・クロック選択レジスタ5n（TCL5n）

８ビット・タイマ／イベント・カウンタ5nのカウント・クロックおよびTI50端子入力の有効エッジを設定するレジスタです。

TCL5nは，８ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により00Hになります。

**備考**　n = 0, 1

**図８－５　タイマ・クロック選択レジスタ50（TCL50）のフォーマット**

アドレス：FF2EH　　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TCL50 | 0 | 0 | 0 | 0 | 0 | TCL502 | TCL501 | TCL500 |

| TCL502 | TCL501 | TCL500 | カウント・クロックの選択[注] | | |
|---|---|---|---|---|---|
| | | | | $f_X$ = 20 MHz時 | $f_X$ = 16 MHz時 |
| 0 | 0 | 0 | TI50端子の立ち下がりエッジ | | |
| 0 | 0 | 1 | TI50端子の立ち上がりエッジ | | |
| 0 | 1 | 0 | $f_X/2$ | 10 MHz | 8 MHz |
| 0 | 1 | 1 | $f_X/2^2$ | 5 MHz | 4 MHz |
| 1 | 0 | 0 | $f_X/2^4$ | 1.25 MHz | 1 MHz |
| 1 | 0 | 1 | $f_X/2^6$ | 312.5 kHz | 250 kHz |
| 1 | 1 | 0 | $f_X/2^8$ | 78.125 kHz | 62.5 kHz |
| 1 | 1 | 1 | $f_X/2^{13}$ | 2.44 kHz | 1.953 kHz |

**注**　カウント・クロックは次の条件を満たすように設定してください。
・$V_{DD}$ = 4.0～5.5 V：カウント・クロック≦10 MHz

**注意１．CPUへのソース・クロックに低速内蔵発振クロックを選択する場合，カウント・クロックに低速内蔵発振器の分周クロックが供給されます。カウント・クロックが低速内蔵発振クロックの場合，8ビット・タイマ／イベント・カウンタ50の動作は保証されません。**
**２．TCL50を同一データ以外に書き換える場合は，いったんタイマ動作を停止させてから書き換えてください。**
**３．ビット３-７には必ず“０”を設定してください。**

**備考**　$f_X$：X1入力クロック発振周波数

**図８－６　タイマ・クロック選択レジスタ51（TCL51）のフォーマット**

アドレス：FF3EH　　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TCL51 | 0 | 0 | 0 | 0 | 0 | TCL512 | TCL511 | TCL510 |

| TCL512 | TCL511 | TCL510 | | カウント・クロックの選択[注1] | |
|---|---|---|---|---|---|
| | | | | $f_X$ = 20 MHz時 | $f_X$ = 16 MHz時 |
| 0 | 1 | 0 | $f_X/2$ | 10 MHz | 8 MHz |
| 0 | 1 | 1 | $f_X/2^5$ | 625 kHz | 500 kHz |
| 1 | 0 | 0 | $f_X/2^7$ | 156.25 kHz | 125 kHz |
| 1 | 0 | 1 | $f_X/2^{10}$ | 19.53 kHz | 15.625 kHz |
| 1 | 1 | 0 | $f_X/2^{13}$ | 2.44 kHz | 1.953 kHz |
| 1 | 1 | 1 | $f_{RL}/2^7$ | 1.88 kHz[注2] | |
| 上記以外 | | | 設定禁止 | | |

**注１．**カウント・クロックは次の条件を満たすように設定してください。

・$V_{DD}$ = 4.0～5.5 V：カウント・クロック≦10 MHz

**２．**$f_{RL}$ = 240 kHz（TYP.）動作時。

**注意１．CPUへのソース・クロックに低速内蔵発振クロックを選択する場合，カウント・クロックに低速内蔵発振器の分周クロックが供給されます。カウント・クロックが低速内蔵発振クロックの場合，8ビット・タイマ／イベント・カウンタ51の動作は保証されません。**

**２．TCL51を同一データ以外に書き換える場合は，いったんタイマ動作を停止させてから書き換えてください。**

**３．ビット３-７には必ず“０”を設定してください。**

**備考１．**$f_X$：X1入力クロック発振周波数

**２．**$f_R$：低速内蔵発振クロック発振周波数

### （２）８ビット・タイマ・モード・コントロール・レジスタ5n（TMC5n）

TMC5nは，次の５種類の設定を行うレジスタです。

① ８ビット・タイマ・カウンタ5n（TM5n）のカウント動作制御
② ８ビット・タイマ・カウンタ5n（TM5n）の動作モードの選択
③ タイマ出力F/F（フリップフロップ）の状態設定
④ タイマF/Fの制御またはPWM（フリー・ランニング）モード時のアクティブ・レベルの選択
⑤ タイマ出力の制御

TMC5nは，１ビット・メモリ操作命令または８ビット・メモリ操作命令で設定します。
$\overline{\text{RESET}}$入力により00Hになります。

**備考**　n = 0, 1

**図８－７　８ビット・タイマ・モード・コントロール・レジスタ 50（TMC50）のフォーマット**

アドレス：FF2FH　　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TMC50 | TCE50 | TMC506 | 0 | 0 | LVS50 | LVR50 | TMC501 | TOE50 |

| TCE50 | TM50のカウント動作制御 |
|---|---|
| 0 | カウンタを０にクリア後，カウント動作禁止（カウンタ停止） |
| 1 | カウント動作開始 |

| TMC506 | TM50の動作モード選択 |
|---|---|
| 0 | TM50とCR50の一致でクリア＆スタート・モード |
| 1 | PWM（フリー・ランニング）モード |

| LVS50 | LVR50 | タイマ出力F/Fの状態設定 |
|---|---|---|
| 0 | 0 | 変化しない |
| 0 | 1 | タイマ出力F/Fをリセット（０） |
| 1 | 0 | タイマ出力F/Fをセット（１） |
| 1 | 1 | 設定禁止 |

| TMC501 | PWMモード以外（TMC506 = 0） | PWMモード（TMC506 = 1） |
|---|---|---|
| | タイマF/Fの制御 | アクティブ・レベルの選択 |
| 0 | 反転動作禁止 | ハイ・アクティブ |
| 1 | 反転動作許可 | ロウ・アクティブ |

| TOE50 | タイマ出力の制御 |
|---|---|
| 0 | 出力禁止（TM50の出力はロウ・レベル出力） |
| 1 | 出力許可 |

**注意１．LVS50とLVR50の設定は，PWMモード時以外で有効になります。**

**２．次のビットを同時に書き換えないでください。**

- **TMC501とTOE50**
- **TMC506とTOE50**
- **TMC501とTMC506**
- **TMC506とLVS50, LVR50**
- **TOE50とLVS50, LVR50**

**３．TMC506を書き換える場合は，動作を停止してから行ってください。**

**備考１．PWMモード時は，TCE50 = 0により，PWM出力はインアクティブ・レベルになります。**

**２．LVS50，LVR50は読み出すと，0になっています。**

**３．TMC506, LVS50, LVR50, TMC501, TOE50の各ビットの値は，TCE50の値に関係なくTO50端子に反映されます。**

図８－８　８ビット・タイマ・モード・コントロール・レジスタ 51（TMC51）のフォーマット

アドレス：FF3FH　　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| TMC51 | TCE51 | TMC516 | 0 | 0 | 0 | 0 | 0 | 0 |

| TCE51 | TM51のカウント動作制御 |
|---|---|
| 0 | カウンタを０にクリア後，カウント動作禁止（カウンタ停止） |
| 1 | カウント動作開始 |

| TMC516 | TM51の動作モード選択 |
|---|---|
| 0 | TM51とCR51の一致でクリア＆スタート・モード |
| 1 | PWM（フリー・ランニング）モード |

**注意１．ビット5-0には，必ず0を設定してください。**

**２．TMC516を書き換える場合は，動作を停止してから行ってください。**

**備考**　PWMモード時は，TCE51 = 0により，PWM出力はインアクティブ・レベルになります。

### （３）ポート・モード・レジスタ５（PM5）

ポート５の入力／出力を１ビット単位で設定するレジスタです。

P50/TO50/TI50端子をタイマ出力として使用するとき，PM50およびP50の出力ラッチに０を設定してください。

P50/TO50/TI50端子をタイマ入力として使用するとき，PM50に１を設定してください。このとき，P50の出力ラッチは０または１のどちらでもかまいません。

PM5は，１ビット・メモリ操作命令または８ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，FFHになります。

図８－９　ポート・モード・レジスタ５（PM5）のフォーマット

アドレス：FF25H　　リセット時：FFH　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PM5 | 0 | 0 | 0 | PM54 | PM53 | 0 | 0 | PM50 |

| PM50 | P50端子の入出力モードの選択 |
|---|---|
| 0 | 出力モード（出力バッファ・オン） |
| 1 | 入力モード（出力バッファ・オフ） |

# 8.4　8ビット・タイマ／イベント・カウンタ50, 51の動作

## 8.4.1　インターバル・タイマとしての動作

8ビット・タイマ・コンペア・レジスタ5n（CR5n）にあらかじめ設定したカウント値をインターバルとし，繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

8ビット・タイマ・カウンタ5n（TM5n）のカウント値がCR5nに設定した値と一致したとき，TM5nの値を0にクリアしてカウントを継続すると同時に，割り込み要求信号（INTTM5n）を発生します。

タイマ・クロック選択レジスタ5n（TCL5n）のビット0-2（TCL50n-TCL52n）でTM5nのカウント・クロックを選択できます。

**設定方法**

① 各レジスタの設定を行います。

- TCL5n　：カウント・クロックの選択
- CR5n　：コンペア値
- TMC5n　：カウント動作停止，TM5nとCR5nの一致でクリア＆スタート・モードを選択
  （TMC5n = 0000×××0B　× = don't care）

② TCE5n = 1を設定すると，カウント動作を開始します。

③ TM5nとCR5nの値が一致すると，INTTM5nが発生します（TM5nは00Hにクリアされます）。

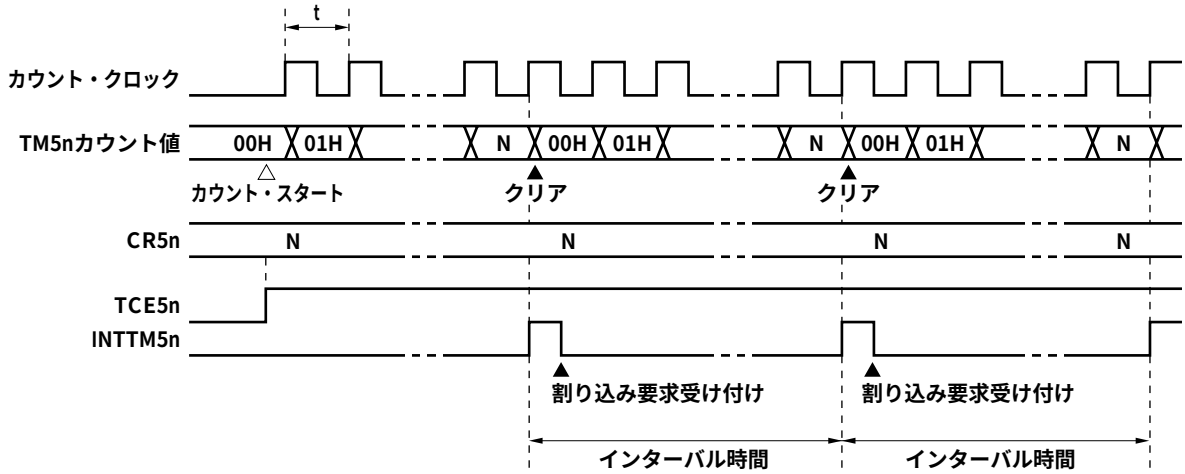
④ 以後，同一間隔でINTTM5nが繰り返し発生します。カウント動作を停止するときは，TCE5n = 0にしてください。

**注意　動作中にCR5nに異なる値を書き込まないでください。**

**備考**　n = 0, 1

図８－10　インターバル・タイマ動作のタイミング（1/2）

（a）基本動作



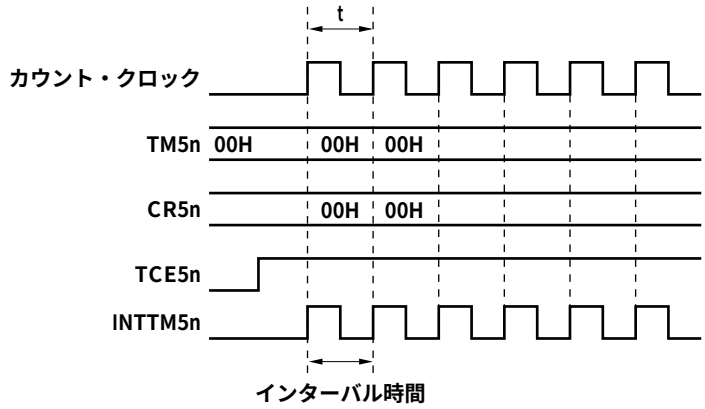

備考　インターバル時間 =（N＋1）×t

N = 00H-FFH

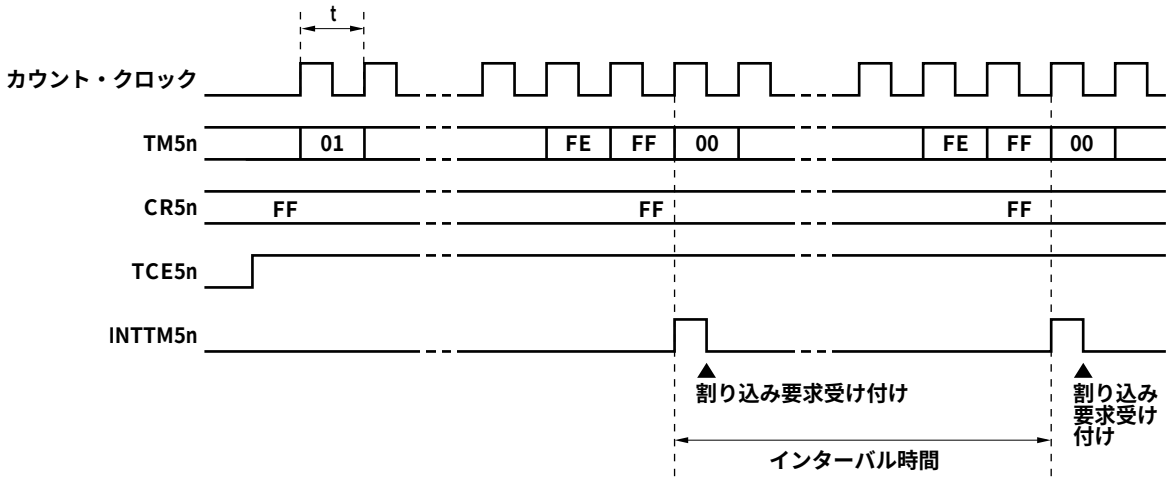
n = 0, 1

図８－10　インターバル・タイマ動作のタイミング（2/2）

（ｂ）CR5n = 00Hの場合




（ｃ）CR5n = FFHの場合




備考　n = 0, 1

## ８.４.２　外部イベント・カウンタとしての動作（タイマ50のみ）

外部イベント・カウンタは，TI50端子に入力される外部からのクロック・パルス数を８ビット・タイマ・カウンタ50（TM50）でカウントするものです。

タイマ・クロック選択レジスタ50（TCL50）で指定した有効エッジが入力されるたびに，TM50がインクリメントされます。エッジ指定は，立ち上がりまたは立ち下がりのいずれかを選択できます。

TM50の計数値が８ビット・タイマ・コンペア・レジスタ50（CR50）の値と一致すると，TM50は０にクリアされ，割り込み要求信号（INTTM50）が発生します。

以後，TM50の値とCR50の値が一致するたびに，INTTM50が発生します。

設定方法

① 各レジスタの設定を行います。

・ポート・モード・レジスタ（PM50）に“１”を設定

・TCL50 ：TI50端子入力のエッジ選択

TI50端子の立ち下がり→TCL50 = 00H

TI50端子の立ち上がり→TCL50 = 01H

・CR50 ：コンペア値

・TMC50：カウント動作停止，TM50端子とCR50の一致でクリア＆スタート・モード選択，タイマF/F反転動作禁止，タイマ出力禁止

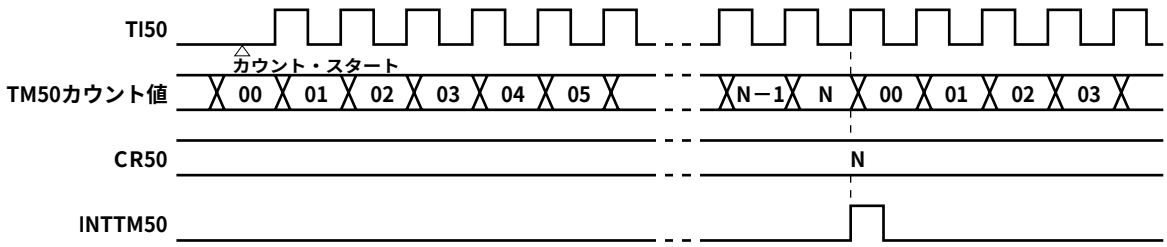
（TMC50 = 0000××00B　× = don't care）

② TCE50 = 1を設定すると，TI50端子から入力されるパルス数をカウントします。

③ TM50とCR50の値が一致すると，INTTM50が発生します（TM50は00Hにクリアされます）。

④ 以後，TM50とCR50の値が一致するたびに，INTTM50が発生します。

図８－11　外部イベント・カウンタ動作のタイミング（立ち上がりエッジ指定時）




**備考**　N = 00H-FFH

## ８.４.３　方形波出力としての動作（タイマ50のみ）

８ビット・タイマ・コンペア・レジスタ50（CR50）にあらかじめ設定した値で決まるインターバルの，任意の周波数の方形波出力として動作します。

８ビット・タイマ・モード・コントロール・レジスタ50（TMC50）のビット０（TOE50）に１を設定することにより，CR50にあらかじめ設定したカウント値で決まるインターバルでTO50の出力状態が反転します。これにより，任意の周波数の方形波出力（デューティ= 50%）が可能です。

設定方法

① 各レジスタの設定を行います。

・ポートの出力ラッチ（P50），ポート・モード・レジスタ（PM50）に“ 0 ”を設定

・TCL50　：カウント・クロックの選択

・CR50　：コンペア値

・TMC50　：カウント動作停止，TM50とCR50の一致でクリア＆スタート・モードを選択

| LVS50 | LVR50 | タイマ出力F/Fの状態設定 |
|---|---|---|
| 1 | 0 | ハイ・レベル出力 |
| 0 | 1 | ロウ・レベル出力 |

タイマ出力F/Fの反転許可

タイマ出力許可

（TMC50 = 00001011Bまたは00000111B）

② TCE50 = 1を設定すると，カウント動作を開始します。

③ TM50とCR50の値が一致すると，タイマ出力F/Fが反転します。

また，INTTM50が発生し，TM50は00Hにクリアされます。

④ 以後，同一間隔でタイマ出力F/Fが反転し，TO50から方形波が出力されます。

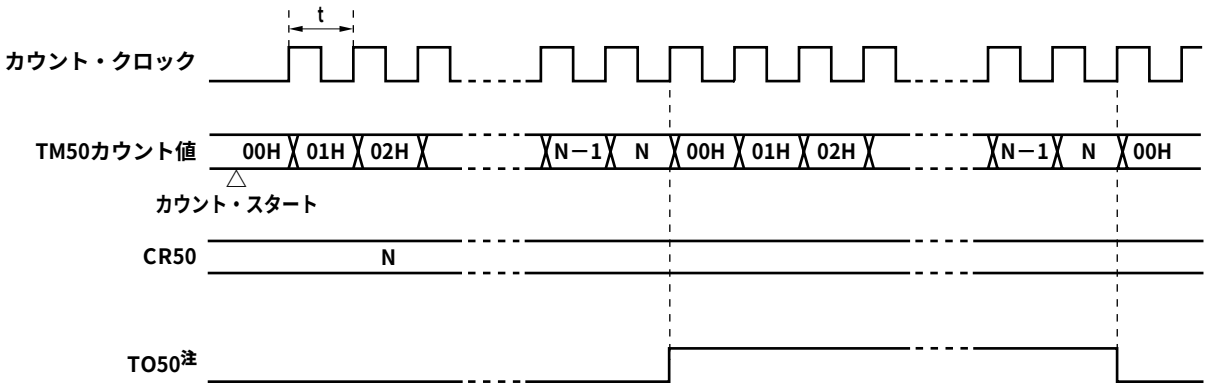
周波数は次のようになります。

・周波数 = 1/2 t（N＋1）

（N：00H-FFH）

**注意　動作中にCR50に異なる値を書き込まないでください。**

図８－12　方形波出力動作のタイミング




注　TO50出力の初期値は，８ビット・タイマ・モード・コントロール・レジスタ50（TMC50）のビット２，３（LVR50, LVS50）で設定できます。

## ８.４.４　PWM出力としての動作（タイマ50のみ）

８ビット・タイマ・モード・コントロール・レジスタ50（TMC50）のビット６（TMC506）を“１”に設定することにより，PWM出力として動作します。

８ビット・タイマ・コンペア・レジスタ50（CR50）に設定した値で決まるデューティのパルスを，TO50から出力します。

PWMパルスのアクティブ・レベルの幅は，CR50に設定してください。また，アクティブ・レベルは，TMC50のビット１（TMC501）により選択できます。

カウント・クロックは，タイマ・クロック選択レジスタ50（TCL50）のビット０-２（TCL500-TCL502）で選択できます。

TMC50のビット０（TOE50）により，PWM出力の許可／禁止が選択できます。

**注意　PWMモード時は，CR50の書き換え間隔をカウント・クロック（TCL50で選択したクロック）の３カウント・クロック以上にしてください。**

### （１）PWM出力の基本動作

**設定方法**

① 各レジスタの設定を行います。

・ポートの出力ラッチ（P50），ポート・モード・レジスタ（PM50）に“ 0 ”を設定

・TCL50 ：カウント・クロックの選択

・CR50 ：コンペア値

・TMC50 ：カウント動作停止，PWMモード選択，タイマ出力F/F変化なし

| TMC501 | アクティブ・レベルの選択 |
|---|---|
| 0 | ハイ・アクティブ |
| 1 | ロウ・アクティブ |

タイマ出力許可

（TMC50 = 01000001Bまたは01000011B）

② TCE50 = 1に設定すると，カウント動作を開始します。

カウント動作を停止するときは，TCE50に“ 0 ”を設定してください。

**PWM出力の動作**

① PWM出力（TO50からの出力）はオーバフローが発生するまでインアクティブ・レベルを出力します。

② オーバフローが発生すると，アクティブ・レベルを出力します。アクティブ・レベルは，CR50と８ビット・タイマ・カウンタ50（TM50）のカウント値が一致するまで出力されます。

③ CR50とカウント値が一致すると，インアクティブ・レベルを出力し，再度オーバフローが発生するまでインアクティブ・レベルを出力します。

④ 以後，カウント動作が停止されるまで②，③を繰り返します。

⑤ TCE50 = 0によりカウント動作を停止すると，PWM出力はインアクティブ・レベルになります。

詳細なタイミングについては，図８－13，９－14を参照してください。

周期，アクティブ・レベル幅，デューティは次のようになります。

・周期 = $2^8$t

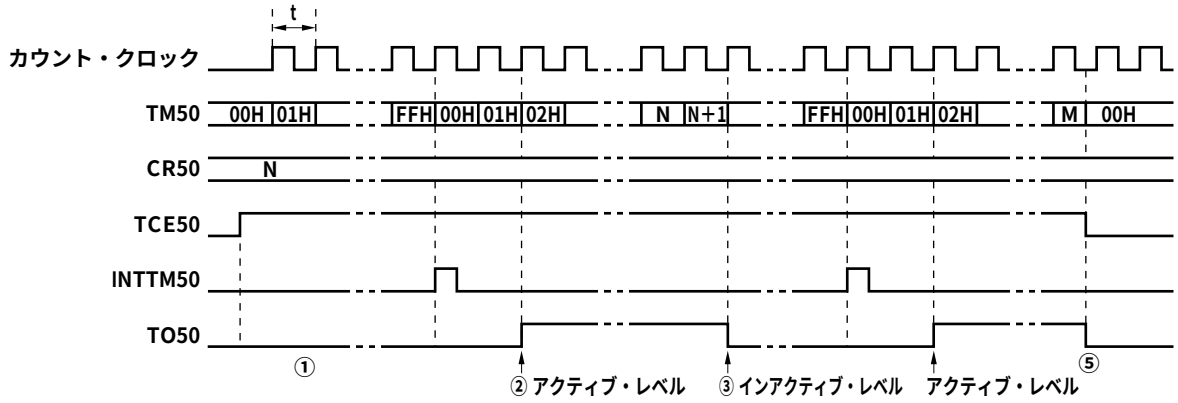
・アクティブ・レベル幅 = Nt

・デューティ= N/$2^8$

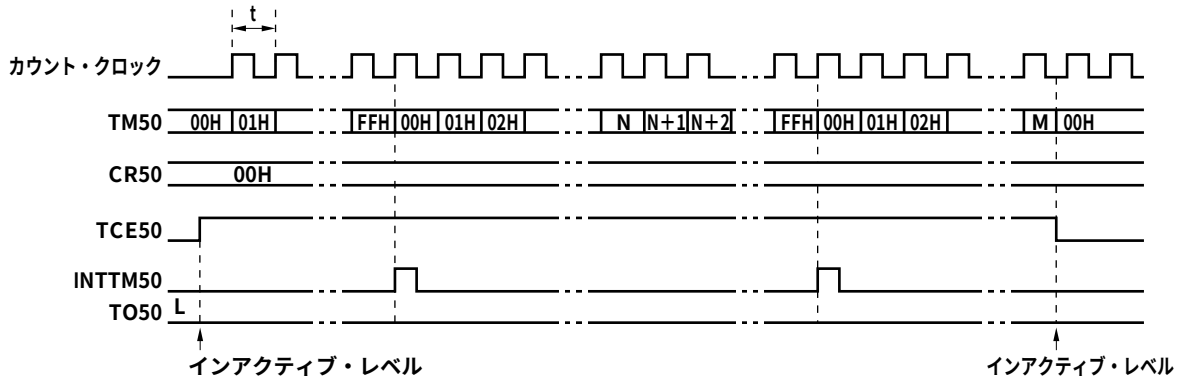
（N = 00H-FFH）

図８－13　PWM出力動作のタイミング

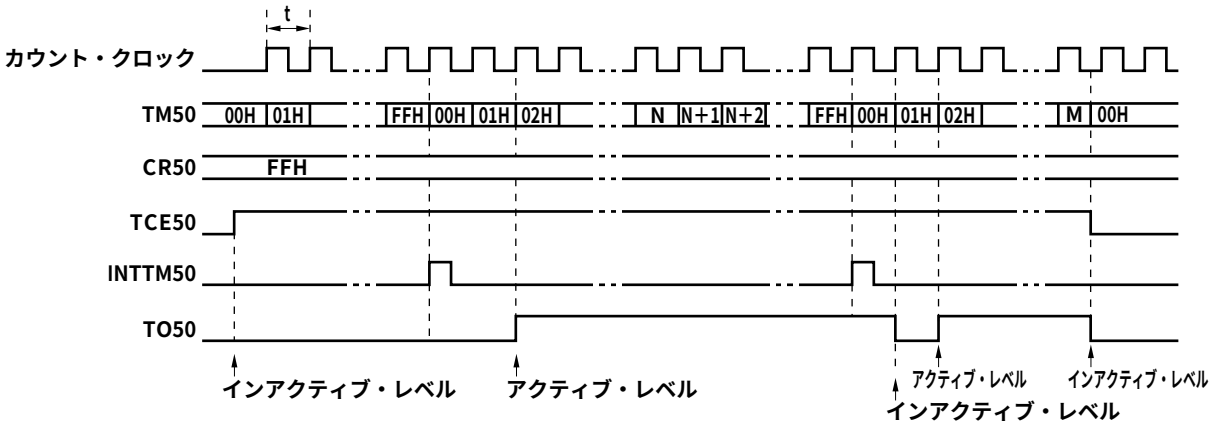
（a）基本動作（アクティブ・レベル＝Hのとき）




（b）CR50＝00Hの場合




（c）CR50＝FFHの場合

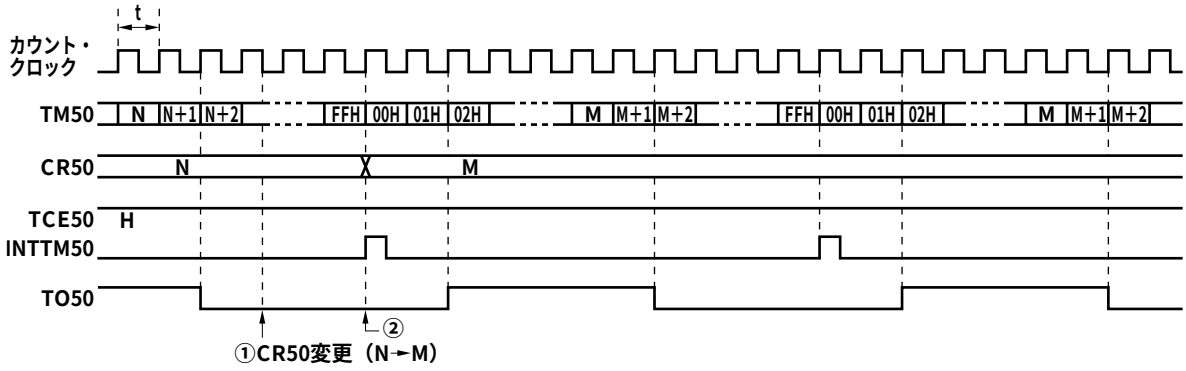



**備考**　図８－13（a）の①-③，⑤は，8.4.4（1）PWM出力の基本動作 PWM出力の動作 の①-③，⑤と対応しています。

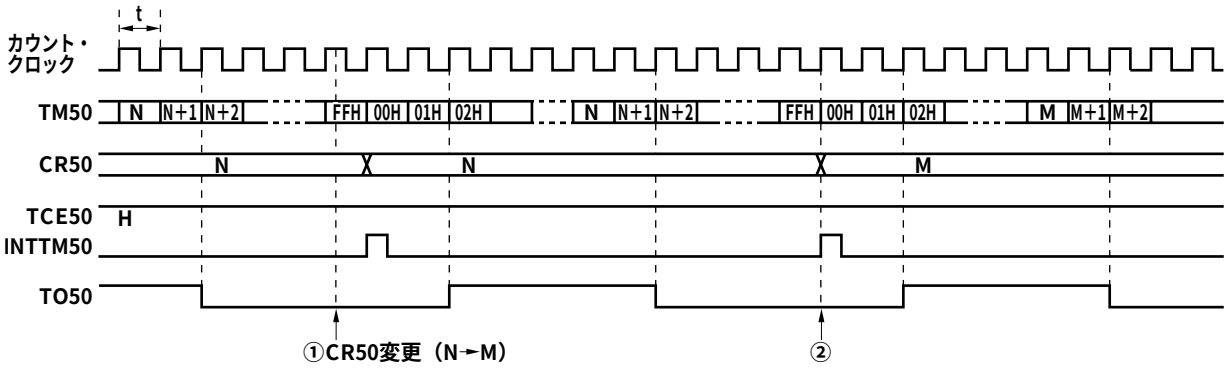
### （２）CR50変更による動作

図８－14　CR50変更による動作のタイミング

（ａ）CR50の値をFFHのクロック立ち上がりエッジよりも手前にN→Mに変更した場合
→直後のオーバフローでCR50に値が転送されます




（ｂ）CR50の値をFFHのクロック立ち上がりエッジよりも後にN→Mに変更した場合
→２回目のオーバフローでCR50に値が転送されます



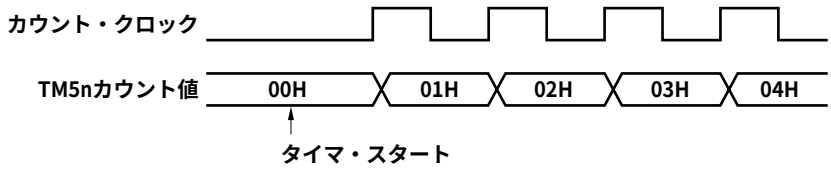

注意　図８－14の①から②の間でCR50からリードする場合，実際に動作する値と異なります（リード値：M，実際のCR50の値：N）。

# ８.５　８ビット・タイマ／イベント・カウンタ50, 51の注意事項

### （１）タイマ・スタート時の誤差

タイマ・スタート後，一致信号が発生するまでの時間は，最大で１クロック分の誤差が生じます。これは，カウント・クロックに対して８ビット・タイマ・カウンタ50, 51（TM50, TM51）が非同期でスタートするためです。

**図８－15　８ビット・タイマ・カウンタ5nのスタート・タイミング**




**備考**　n = 0, 1

# 第９章　ウォッチドッグ・タイマ

## ９.１　ウォッチドッグ・タイマの機能

プログラムの暴走を検出するために使用します。暴走検出時，内部リセット信号を発生します。

ウォッチドッグ・タイマによるリセットが発生した場合，リセット・コントロール・フラグ・レジスタ（RESF）のビット4（WDTRF）がセット（1）されます。RESFの詳細については**第18章　リセット機能**を参照してください。

**表９－１　ウォッチドッグ・タイマの暴走検出時間**

| 暴走検出時間 | | | | |
|---|---|---|---|---|
| 低速内蔵発振クロック動作時 | | X1入力クロック動作時 | | |
| | $f_{RL}$ = 240 kHz（TYP.）時 | | $f_{XP}$ = 20 MHz時 | $f_{XP}$ = 16 MHz時 |
| $f_{RL}/2^{11}$ | 8.53 ms | $f_{XP}/2^{13}$ | 409.6 μs | 512 μs |
| $f_{RL}/2^{12}$ | 17.07 ms | $f_{XP}/2^{14}$ | 819.2 μs | 1.02 ms |
| $f_{RL}/2^{13}$ | 34.13 ms | $f_{XP}/2^{15}$ | 1.64 ms | 2.04 ms |
| $f_{RL}/2^{14}$ | 68.27 ms | $f_{XP}/2^{16}$ | 3.28 ms | 4.09 ms |
| $f_{RL}/2^{15}$ | 136.53 ms | $f_{XP}/2^{17}$ | 6.55 ms | 8.19 ms |
| $f_{RL}/2^{16}$ | 273.07 ms | $f_{XP}/2^{18}$ | 13.11 ms | 16.38 ms |
| $f_{RL}/2^{17}$ | 546.13 ms | $f_{XP}/2^{19}$ | 26.21 ms | 32.77 ms |
| $f_{RL}/2^{18}$ | 1.09 s | $f_{XP}/2^{20}$ | 52.43 ms | 65.54 ms |

**備考１．** $f_{RL}$：低速内蔵発振クロック発振周波数

**２．** $f_{XP}$：X1入力クロック発振周波数

低速内蔵発振器のオプション・バイト設定により，ウォッチドッグ・タイマ（WDT）の動作モードが表９－２に示すように変わります。

表９－２　オプション・バイトの設定とウォッチドッグ・タイマの動作モード

| | オプション・バイト | |
|---|---|---|
| | 低速内蔵発振器停止不可 | 低速内蔵発振器をソフトウエアにより停止可能 |
| ウォッチドッグ・タイマのクロック・ソース | $f_{RL}$固定[注1] | ・ソフトで選択可（$f_{XP}$または$f_{RL}$または停止）<br>・リセット解除時：$f_{RL}$ |
| リセット後の動作 | 最長インターバル（$f_{RL}/2^{18}$）で動作開始 | 最長インターバル（$f_{RL}/2^{18}$）で動作開始 |
| 動作モード選択 | オーバフロー時間を一度だけ変更可能 | クロック選択／オーバフロー時間を一度だけ変更可能 |
| 特　徴 | ウォッチドッグ・タイマ停止不可 | ウォッチドッグ・タイマ停止可能[注2] |

**注１．**電源が供給されているかぎり，低速内蔵発振器の発振を絶対に停止することができません（リセット期間中は除く）。

**２．**ウォッチドッグ・タイマのクロック・ソースに応じて，ウォッチドッグ・タイマへのクロック供給停止の条件は異なります。

① クロック・ソースが$f_{XP}$の場合，次の条件のときにウォッチドッグ・タイマへのクロック供給停止

- $f_{XP}$停止時
- HALT/STOPモード時
- 発振安定時間中

② クロック・ソースが$f_{RL}$の場合，次の条件のときにウォッチドッグ・タイマへのクロック供給停止

- CPUクロックが$f_{XP}$で，STOP命令実行前に$f_{RL}$をソフトウエアで停止した場合
- HALT/STOPモード時

**備考１．**$f_{RL}$：低速内蔵発振クロック発振周波数

**２．**$f_{XP}$：X1入力クロック発振周波数

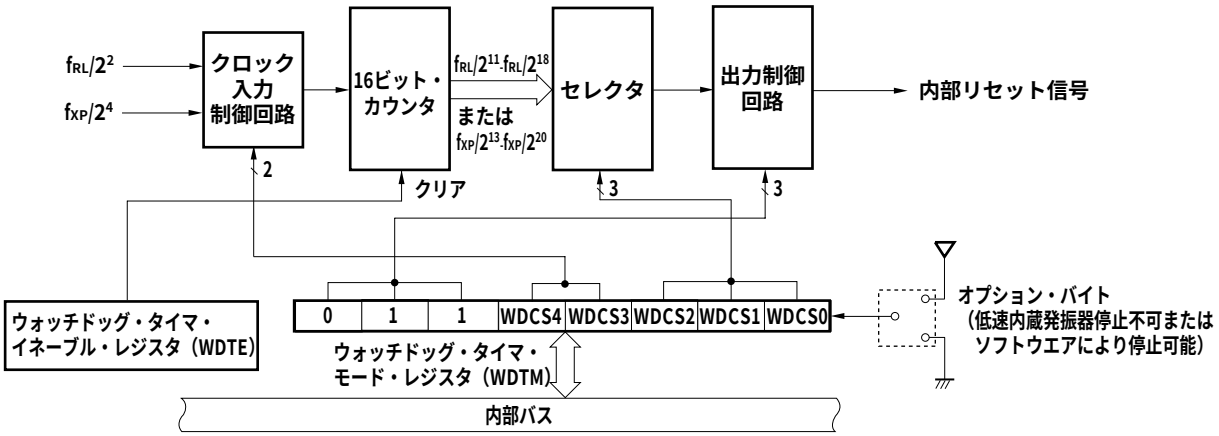
# ９.２　ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは，次のハードウエアで構成されています。

表９－３　ウォッチドッグ・タイマの構成

| 項　　目 | 構　　成 |
|---|---|
| 制御レジスタ | ウォッチドッグ・タイマ・モード・レジスタ（WDTM）<br>ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE） |

図９－１　ウォッチドッグ・タイマのブロック図



# 9.3　ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマを制御するには，次の2種類があります。

・ウォッチドッグ・タイマ・モード・レジスタ（WDTM）
・ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

### （1）ウォッチドッグ・タイマ・モード・レジスタ（WDTM）

ウォッチドッグ・タイマのオーバフロー時間および動作クロックを設定するレジスタです。

WDTMは8ビット・メモリ操作命令で設定します。読み出しは何回でもできますが，書き込みはリセット解除後に1回のみできます。

$\overline{\text{RESET}}$入力により67Hになります。

**図9－2　ウォッチドッグ・タイマ・モード・レジスタ（WDTM）のフォーマット**

アドレス：FF98H　リセット時：67H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| WDTM | 0 | 1 | 1 | WDCS4 | WDCS3 | WDCS2 | WDCS1 | WDCS0 |

| WDCS4[注1] | WDCS3[注1] | 動作クロックの選択 |
|---|---|---|
| 0 | 0 | 低速内蔵発振クロック（$f_{RL}$） |
| 0 | 1 | X1入力クロック（$f_{XP}$） |
| 1 | × | ウォッチドッグ・タイマ動作停止 |

| WDCS2[注2] | WDCS1[注2] | WDCS0[注2] | オーバフロー時間の設定 | |
|---|---|---|---|---|
| | | | 低速内蔵発振クロック動作時 | X1入力クロック動作時 |
| 0 | 0 | 0 | $f_{RL}/2^{11}$（8.53 ms） | $f_{XP}/2^{13}$（409.6 μs） |
| 0 | 0 | 1 | $f_{RL}/2^{12}$（17.07 ms） | $f_{XP}/2^{14}$（819.2 μs） |
| 0 | 1 | 0 | $f_{RL}/2^{13}$（34.13 ms） | $f_{XP}/2^{15}$（1.64 ms） |
| 0 | 1 | 1 | $f_{RL}/2^{14}$（68.27 ms） | $f_{XP}/2^{16}$（3.28 ms） |
| 1 | 0 | 0 | $f_{RL}/2^{15}$（136.53 ms） | $f_{XP}/2^{17}$（6.55 ms） |
| 1 | 0 | 1 | $f_{RL}/2^{16}$（273.07 ms） | $f_{XP}/2^{18}$（13.11 ms） |
| 1 | 1 | 0 | $f_{RL}/2^{17}$（546.13 ms） | $f_{XP}/2^{19}$（26.21 ms） |
| 1 | 1 | 1 | $f_{RL}/2^{18}$（1.09 s） | $f_{XP}/2^{20}$（52.43 ms） |

**注1．**オプション・バイトで「低速内蔵発振器は停止不可」を選択した場合は，設定できません。どんな値を書いても低速内蔵発振クロックが選択されます。

**2．**リセット解除時は最大周期（WDCS2,1,0 = 1,1,1）となります。

**注意1．**WDTMにデータを書き込むと，ウエイトが発生します。詳細は「第27章　ウエイトに関する注意事項」を参照してください。

**2．**ビット7, 6, 5にはそれぞれ“0”“1”“1”を設定してください（オプション・バイトで「低速内蔵発振器は停止不可」を選択した場合は，違う値を書いても無視されます）。

注意３．リセット解除後，WDTMへの書き込みは8ビット・メモリ操作命令で１回のみ行うことができます。2回目の書き込みを実行しようとした場合，その時点で内部リセット信号が発生します。

４．WDTMは1ビット・メモリ操作命令では設定できません。

備考１．$f_{RL}$：低速内蔵発振クロック発振周波数

２．$f_{XP}$：X1入力クロック発振周波数

３．×：don't care

４．（　）内は，$f_{XP}$ = 20 MHz動作時，$f_{RL}$ = 240 kHz（TYP.）動作時

### （2）ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

WDTEに“ACH”を書き込むことにより，ウォッチドッグ・タイマのカウンタをクリアし，再びカウント開始します。

WDTEは8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により9AHになります。

図９－３　ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）のフォーマット

アドレス：FF99H　リセット時：9AH　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| WDTE | | | | | | | | |

注意１．WDTEに“ACH”以外の値を書き込んだ場合，内部リセット信号を発生します。

２．WDTEに1ビット・メモリ操作命令を実行した場合，内部リセット信号を発生します。

３．WDTEのリード値は，“9AH”（書き込んだ値（“ACH”）とは異なる値）になります。

# ９.４　ウォッチドッグ・タイマの動作

## ９.４.１　オプション・バイトで「低速内蔵発振器は停止不可」を選択した場合のウォッチドッグ・タイマ動作

ウォッチドッグ・タイマの動作クロックは低速内蔵発振クロックに固定となります。

リセット解除後は，最大周期（ウォッチドッグ・タイマ・モード・レジスタ（WDTM）のビット2，1，0（WDCS2，WDCS1，WDCS0）= 1, 1, 1）で動作を開始します。ウォッチドッグ・タイマの動作を停止することはできません。

次にリセット解除からのウォッチドッグ・タイマの動作を示します。

１．リセット解除時の状態は次のようになります。
- ・動作クロック：低速内蔵発振クロック
- ・周期：$f_{RL}/2^{18}$（1.09 s：$f_{RL}$ = 240 kHz（TYP.）動作時）
- ・カウント開始

２．ウォッチドッグ・タイマ・モード・レジスタ（WDTM）に次の内容を8ビット・メモリ操作命令で設定してください[注1, 2]。
- ・周期：ビット2-0（WDCS2- WDCS0）で設定

３．以後，WDTEに“ ACH ”を書き込むことによりカウントをクリア（0）し，再カウントすることができます。

注１．動作クロック（低速内蔵発振クロック）を変更することはできません。WDTMのビット3，4（WDCS3，WDCS4）にどんな値を書き込んでも無視されます。

２．WDTMへの書き込みを実行した時点でウォッチドッグ・タイマのカウンタはいったんクリアされます。

**注意　このモードでは，STOP命令実行時でも絶対にウォッチドッグ・タイマの動作を停止できません。8ビット・タイマ51（TM51）はカウント・ソースに低速内蔵発振クロックの分周を選択できますので，STOP命令実行後はウォッチドッグ・タイマのオーバフロー発生前にTM51の割り込み要求を使用して，ウォッチドッグ・タイマをクリアしてください。この処理を行わない場合は，STOP命令実行後，ウォッチドッグ・タイマのオーバフローが発生した時点で内部リセット信号を発生します。**

### 9.4.2　オプション・バイトで「低速内蔵発振器はソフトウエアにより停止可能」を選択した場合のウォッチドッグ・タイマ動作

ウォッチドッグ・タイマの動作クロックを低速内蔵発振クロックまたはX1入力クロックに選択できます。

リセット解除後は，低速内蔵発振クロックの最大周期（ウォッチドッグ・タイマ・モード・レジスタ（WDTM）のビット2，1，0（WDCS2，WDCS1，WDCS0）= 1, 1, 1）で動作を開始します。

次にリセット解除からのウォッチドッグ・タイマの動作を示します。

1．リセット解除時の状態は次のようになります。
- 動作クロック：低速内蔵発振クロック（$f_{RL}$）
- 周期：$f_{RL}/2^{18}$（1.09 s：$f_{RL}$ = 240 kHz（TYP.）動作時）
- カウント開始

2．ウォッチドッグ・タイマ・モード・レジスタ（WDTM）に次の内容を8ビット・メモリ操作命令で設定してください[注1, 2, 3]。
- 動作クロック：ビット3, 4（WDCS3, WDCS4）で次のうちのいずれかを選択
  - 低速内蔵発振クロック（$f_{RL}$）
  - X1入力クロック（$f_{XP}$）
  - ウォッチドッグ・タイマ動作停止
- 周期：ビット2-0（WDCS2- WDCS0）で設定

3．以後，WDTEに“ACH”を書き込むことによりカウントをクリア（0）し，再カウントすることができます。

注1．WDTMへの書き込みを実行した時点でウォッチドッグ・タイマのカウンタはいったんクリアされます。

2．ビット7, 6, 5にはそれぞれ“0”,“1”,“1”を設定してください。それ以外の値を設定しないでください。

3．WDCS4，WDCS3にそれぞれ“1”,“×”を設定しウォッチドッグ・タイマを停止した場合，次の内容を実行しても内部リセット信号は発生しません。
- WDTMへの2回目の書き込み
- WDTEへの1ビット・メモリ操作命令実行
- WDTEへの“ACH”以外の値の書き込み

**注意　このモードでは，HALT/STOP命令実行時のウォッチドッグ・タイマ動作は停止します。HALT/STOPモード解除後，HALT/STOP命令実行前にWDTMで設定したウォッチドッグ・タイマの動作クロックでカウントを再開します。このとき，カウントはクリア（0）されず，値を保持します。**

各状態におけるSTOPモードおよびHALTモード中のウォッチドッグ・タイマ動作については**9.4.3 STOPモード時の動作**，**9.4.4　HALTモード時の動作**を参照してください。

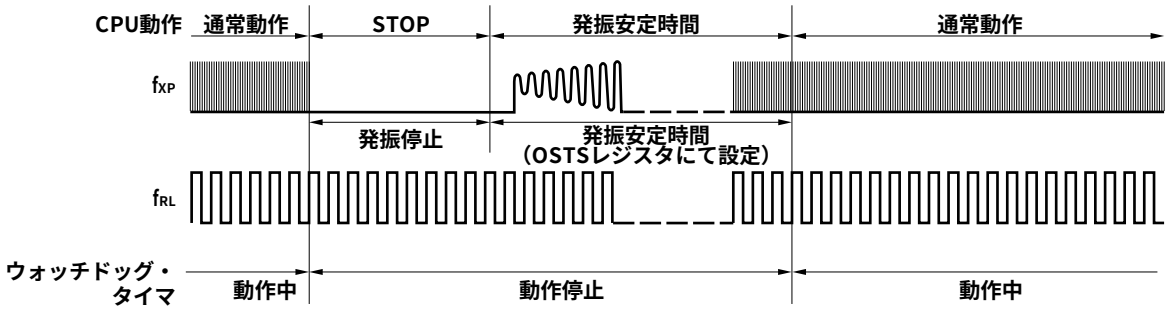
### ９.４.３　STOPモード時の動作（オプション・バイトで「低速内蔵発振器はソフトウエアにより停止可能」を選択した場合）

X1入力クロック動作時，低速内蔵発振クロック動作時にかかわらず，STOP命令実行時にウォッチドッグ・タイマはカウントを停止します。

#### （１）STOP実行時のCPUクロックとウォッチドッグ・タイマの動作クロックがX1入力クロック（$f_{XP}$）の場合

STOP命令実行時は，ウォッチドッグ・タイマの動作を停止します。STOPモード解除後は，発振安定時間選択レジスタ（OSTS）で設定した発振安定時間分カウント停止したあとに，動作停止前の動作クロックでカウントを再開します。このとき，カウンタはクリア（0）されず，値を保持します。

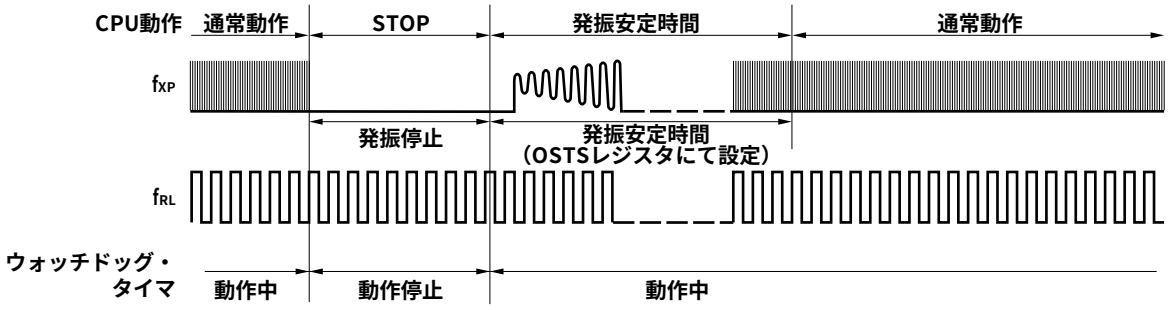
図９－４　STOPモード時の動作（CPUクロックとWDT動作クロック：X1入力クロック）




#### （２）STOP実行時のCPUクロックがX1入力クロック（$f_{XP}$），ウォッチドッグ・タイマの動作クロックが低速内蔵発振クロック（$f_{RL}$）の場合

STOP命令実行時は，ウォッチドッグ・タイマの動作を停止します。STOPモード解除後は，動作停止前の動作クロックでカウントを再開します。このとき，カウンタはクリア（0）されず，値を保持します。

図９－５　STOPモード時の動作
（CPUクロック：X1入力クロック，WDT動作クロック：低速内蔵発振クロック）



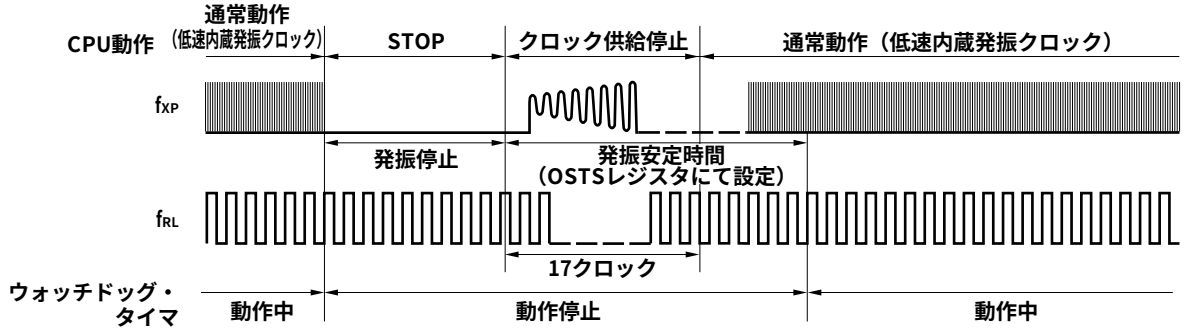
### （３）STOP実行時のCPUクロックが低速内蔵発振クロック（$f_{RL}$），ウォッチドッグ・タイマの動作クロックがX1入力クロック（$f_{XP}$）の場合

STOP命令実行時は，ウォッチドッグ・タイマの動作を停止します。STOPモード解除後は，①または②のうち早いほうのタイミングまでカウントを停止したあとに，動作停止前の動作クロックでカウントを開始します。このとき，カウンタはクリア（0）されず，値を保持します。

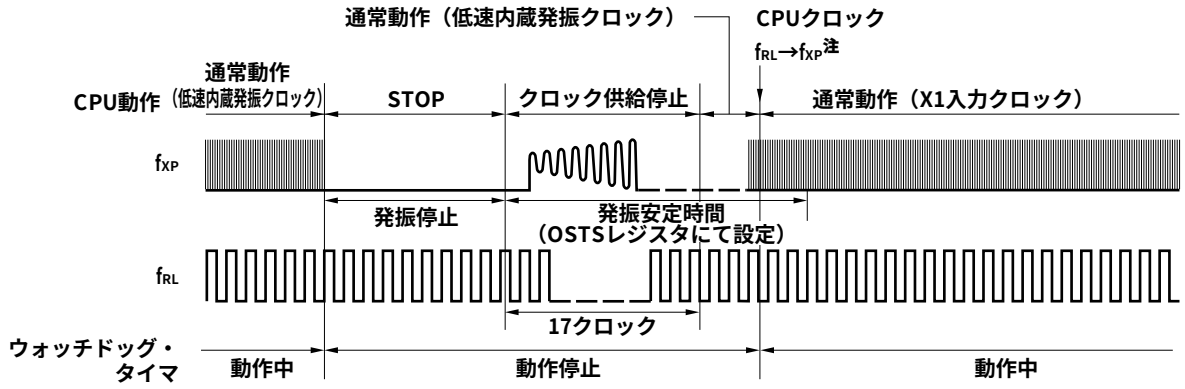
① 発振安定時間選択レジスタ（OSTS）で設定した発振安定時間経過
② CPUクロックをX1入力クロック（$f_{XP}$）に切り替え

**図９－６　STOPモード時の動作**
**（CPUクロック：低速内蔵発振クロック，WDT動作クロック：X1入力クロック）**

**① 発振安定時間選択レジスタ（OSTS）で設定した発振安定時間経過後にカウント開始した場合のタイミング**




**② CPUクロックをX1入力クロック（$f_{XP}$）に切り替え後にカウント開始した場合のタイミング**

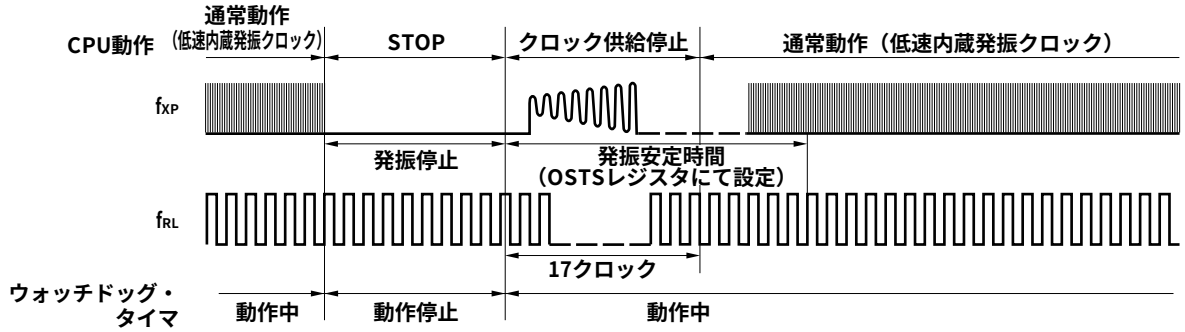



**注**　$f_{XP}$の発振安定時間は，発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

（４）STOP実行時のCPUクロックとウォッチドッグ・タイマの動作クロックが低速内蔵発振クロック（$f_{RL}$）の場合

STOP命令実行時は，ウォッチドッグ・タイマの動作を停止します。STOPモード解除後は動作停止前の動作クロックでカウントを再開します。このとき，カウンタはクリア（0）されず，値を保持します。

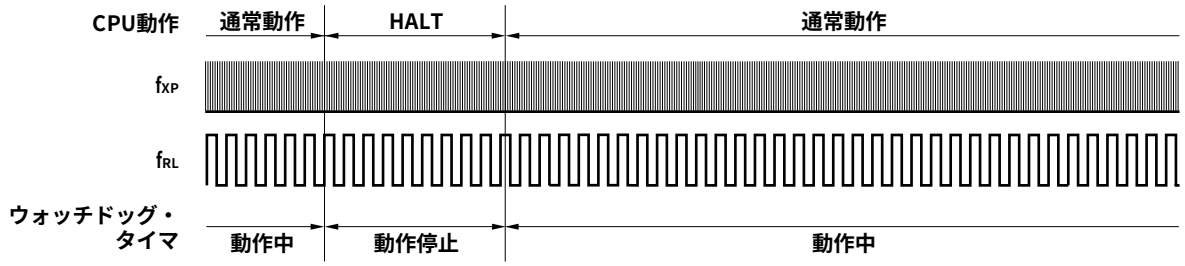
図９－７　STOPモード時の動作（CPUクロックとWDT動作クロック：低速内蔵発振クロック）




## ９.４.４　HALTモード時の動作（オプション・バイトで「低速内蔵発振器はソフトウエアにより停止可能」を選択した場合）

CPUクロックがX1入力クロック（$f_{XP}$），低速内蔵発振クロック（$f_{RL}$），およびウォッチドッグ・タイマの動作クロックがX1入力クロック（$f_{XP}$），低速内蔵発振クロック（$f_{RL}$）にかかわらず，HALT命令実行時は，ウォッチドッグ・タイマの動作を停止します。HALTモード解除後は，動作停止前の動作クロックでカウントを再開します。このとき，カウンタはクリア（0）されず，値を保持します。

図９－８　HALTモード時の動作



# 第10章　リアルタイム出力ポート

## 10.1　リアルタイム出力ポートの機能

リアルタイム出力バッファ・レジスタにあらかじめ設定したデータを，タイマ割り込み要求の発生と同時にハードウエアで出力ラッチに転送して，外部に出力することをリアルタイム出力機能といいます。また，外部へ出力する端子をリアルタイム出力ポートと呼びます。

リアルタイム出力ポートを使用することにより，ジッタのない信号が出力できます。したがって，任意の間隔で任意パターンを出力する応用（ステッピング・モータの開ループ制御など）に最適です。

また，出力パターンに対して，特定の端子にPWM変調をかけることができます。

μPD78F0711, 78F0712は，次に示すリアルタイム出力ポートを内蔵しています。１ビット単位でリアルタイム出力ポートに指定可能です。

・６ビット×１または４ビット×１…リアルタイム出力ポート１

## 10.2　リアルタイム出力ポートの構成

リアルタイム出力ポートは，次のハードウエアで構成しています。

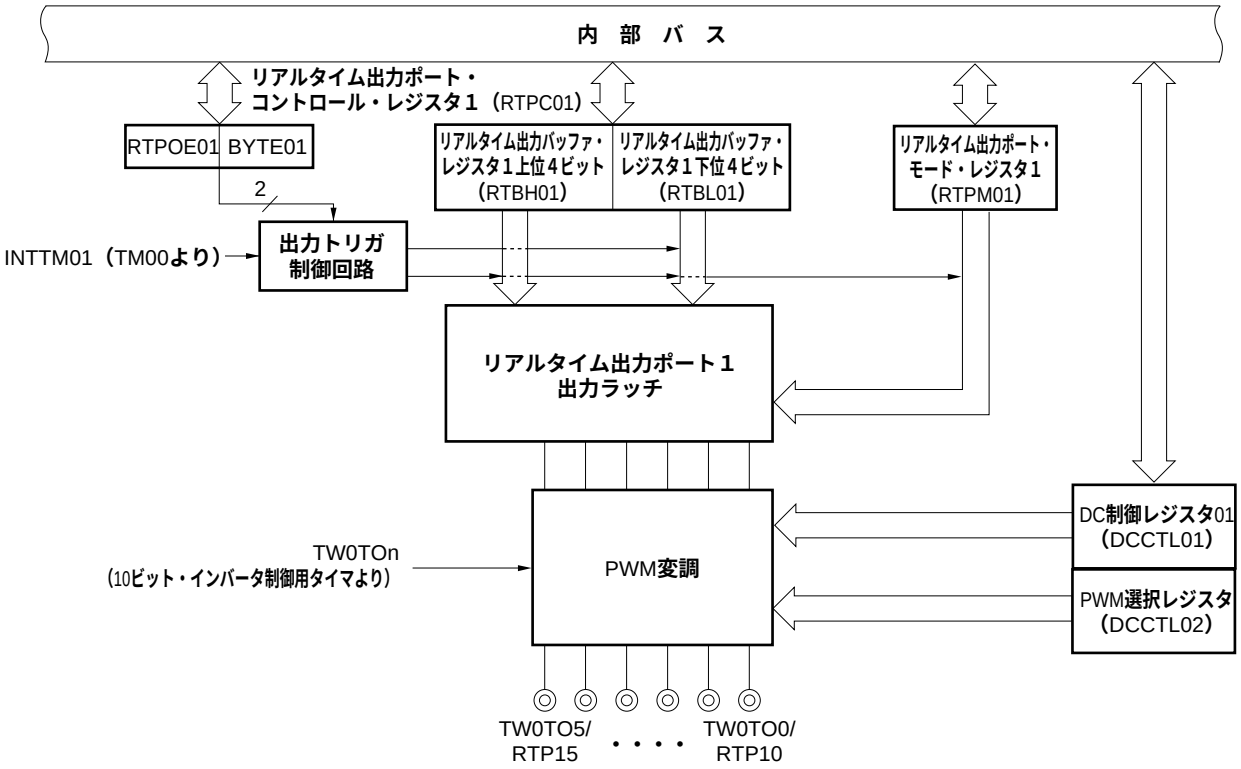
表10－１　リアルタイム出力ポートの構成

| 項　　目 | 構　　成 |
|---|---|
| レジスタ | リアルタイム出力バッファ・レジスタ１（RTBL01，RTBH01） |
| 制御レジスタ | リアルタイム出力ポート・モード・レジスタ１（RTPM01）<br>リアルタイム出力ポート・コントロール・レジスタ１（RTPC01）<br>DC制御レジスタ01（DCCTL01）<br>PWM選択レジスタ（DCCTL02） |

図10－1　リアルタイム出力ポートのブロック図

## リアルタイム出力ポート1（6ビット×1または4ビット×1）

★




**備考**　n = 0-5

### （1）リアルタイム出力バッファ・レジスタ１（RTBL01，RTBH01）

出力データをあらかじめ保持しておく４ビット[注]のレジスタです。

RTBL01，RTBH01は，図10－２に示すように特殊機能レジスタ（SFR）領域内でそれぞれ独立したアドレスにマッピングされています。

４ビット×１チャネルの動作モードを指定したときは，RTBL01にデータを設定します。

６ビット×１チャネルの動作モードを指定したときは，RTBL01，RTBH01のどちらか一方に６ビット・データを書き込むことにより，RTBL01，RTBH01それぞれにデータを設定できます。また，RTBL01，RTBH01のどちらのアドレスを指定しても両方のデータを一括して読み出せます。

図10－２にRTBL01, RTBH01の構成を，表10－２にRTBL01，RTBH01に対する操作時の動作を示します。

**注**　RTBH01は４ビットのうち，２ビットのみ有効です。

**図10－２　リアルタイム出力バッファ・レジスタ１の構成**

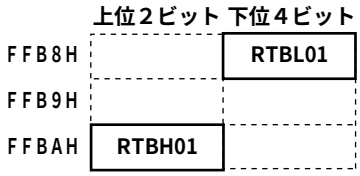



**表10－２　リアルタイム出力バッファ・レジスタ１に対する操作時の動作**

| 動作モード | 操作対象レジスタ | リード時 | | ライト時[注] | |
|---|---|---|---|---|---|
| | | 上位２ビット | 下位４ビット | 上位２ビット | 下位４ビット |
| ４ビット×１チャネル | RTBL01 | 無効 | RTBL01 | 無効 | RTBL01 |
| ６ビット×１チャネル | RTBL01 | RTBH01 | RTBL01 | RTBH01 | RTBL01 |
| | RTBH01 | RTBH01 | RTBL01 | RTBH01 | RTBL01 |

**注**　リアルタイム出力トリガが発生するまでにRTBL01，RTBH01に出力データを設定してください。

# 10.3　リアルタイム出力ポートを制御するレジスタ

リアルタイム出力ポートは，次の４種類のレジスタで制御します。

・リアルタイム出力ポート・モード・レジスタ１（RTPM01）
・リアルタイム出力ポート・コントロール・レジスタ１（RTPC01）
・DC制御レジスタ01（DCCTL01）
・PWM選択レジスタ（DCCTL02）

### （1）リアルタイム出力ポート・モード・レジスタ１（RTPM01）

リアルタイム出力ポート・モードの設定をあらかじめ１ビット単位で設定するレジスタです。
対象の出力はRTP10-RTP15です。
RTPM01は，１ビット・メモリ操作命令または８ビット・メモリ操作命令で設定します。
$\overline{\text{RESET}}$入力により，00Hになります。

**図10－３　リアルタイム出力ポート・モード・レジスタ１のフォーマット**

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
|---|---|---|---|---|---|---|---|---|---|---|---|
| RTPM01 | 0 | 0 | RTPM015 | RTPM014 | RTPM013 | RTPM012 | RTPM011 | RTPM010 | FFBCH | 00H | R/W |

| RTPM01n | リアルタイム出力ポートの選択（n = 0-5） |
|---|---|
| 0 | リアルタイム出力バッファ無効 |
| 1 | リアルタイム出力バッファ有効 |

**注意**　RTPM01のビット６，７には，必ず０を設定してください。

**備考**　リアルタイム出力ポートとして使用する場合，RTP10-RTP15が対象の出力となります。

＜開発ツールでの注意事項＞

★　μPD78F0711, 78F0712の実デバイスでは，RTPOE01 = 1の場合，RTPM01の値をリアルタイム出力トリガに同期させています。

リアルタイム出力トリガに同期したこの機能は，IECUBE®（インサーキット・エミュレータ）ではサポートしておりません。この機能の確認はMINICUBE®（オンチップ・ディバグ・エミュレータ）をご使用ください。

### （2）リアルタイム出力ポート・コントロール・レジスタ１（RTPC01）

リアルタイム出力ポートの動作モード，および動作の許可／禁止を設定するレジスタです。

対象の出力はRTP10-RTP15です。

リアルタイム出力ポートの動作モードと出力トリガについては表10－３に示すような関係があります。

RTPC01は，１ビット・メモリ操作命令または８ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

**図10－４　リアルタイム出力ポート・コントロール・レジスタ１のフォーマット**

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | リセット時 | R/W |
|---|---|---|---|---|---|---|---|---|---|---|---|
| RTPC01 | RTPOE01 | 0 | BYTE01 | 0 | 0 | 0 | 0 | 0 | FFBDH | 00H | R/W |

| RTPOE01 | リアルタイム出力ポートの動作制御 |
|---|---|
| 0 | 動作禁止[注] |
| 1 | 動作許可 |

| BYTE01 | リアルタイム出力ポートの動作モード |
|---|---|
| 0 | ４ビット×１チャネル |
| 1 | ６ビット×１チャネル |

**注**　RTPM01n（リアルタイム出力ポート・モード・レジスタ１（RTPM01）のビットn（n = 0-5））＝１で，INV01（DC制御レジスタ01（DCCTL01）のビット４）＝０のときに，リアルタイム出力動作禁止（RTPOE01＝０）にした場合は，RTP10-RTP15は“０”を出力します。

★ **表10－３　リアルタイム出力ポートの動作モードと出力トリガ**

| BYTE01 | 動作モード | RTBH01→ポート出力 | RTBL01→ポート出力 |
|---|---|---|---|
| 0 | ４ビット×１チャネル | － | INTTM01 |
| 1 | ６ビット×１チャネル | INTTM01 | |

### （3）DC制御レジスタ01（DCCTL01）

リアルタイム出力ポートのPWM変調動作の許可／禁止，および出力波形の反転許可／禁止を設定するレジスタです。

対象の出力はRTP10-RTP15です。

DCCTL01は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

**図10－5　DC制御レジスタ01のフォーマット**

アドレス：FF38H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| DCCTL01 | DCEN01 | PWMCH01 | PWMCL01 | INV01 | 0 | 0 | 0 | 0 |

| DCEN01 | 出力動作の指定 |
|---|---|
| 0 | インバータ・タイマ出力（TW0TO0-TW0TO5） |
| 1 | 変調RTP出力（RTP10-RTP15） |

| PWMCH01 | PWM変調動作の指定（RTP10, RTP12, RTP14の出力指定） |
|---|---|
| 0 | PWM変調動作禁止 |
| 1 | PWM変調動作許可[注] |

| PWMCL01 | PWM変調動作の指定（RTP11, RTP13, RTP15の出力指定） |
|---|---|
| 0 | PWM変調動作禁止 |
| 1 | PWM変調動作許可[注] |

| INV01 | 出力波形の指定 |
|---|---|
| 0 | 反転禁止 |
| 1 | 反転許可 |

**注**　PWM信号はインバータ・タイマ出力（TW0TO0またはTW0TO0-TW0TO5）を使用します。

**備考1.** 対象の出力はRTP10-RTP15です。

**2.** PWMCH01, PWMCL01, INV01の設定は，DCEN01 = 1のときのみ有効です。

### （4）PWM選択レジスタ（DCCTL02）

PWM変調動作時のPWM信号を選択するレジスタです。

DCCTL02は，１ビット・メモリ操作命令または８ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

★ **図10－６　PWM選択レジスタ（DCCTL02）のフォーマット**

アドレス：FF39H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| DCCTL02 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | PWMSEL |

| PWMSEL | PWM変調用の信号選択 |
|---|---|
| 0 | TW0TO0 |
| 1 | TW0TO0-TW0TO5[注] |

**注**　IECUBEでは，この設定はサポートしていません。この機能のテストの際には、MINICUBEをご使用ください。

# 10.4　リアルタイム出力ポートの動作

**（1）リアルタイム出力ポートとしてRTP10-RTP15を使用する場合…リアルタイム出力ポート1（6ビット×1または4ビット×1）**

リアルタイム出力ポート・コントロール・レジスタ1（RTPC01）のビット7（RTPOE01）= 1でリアルタイム出力動作を許可した場合，INTTM01の発生に同期して，リアルタイム出力バッファ・レジスタ1（RTBH01, RTBL01）のデータが出力ラッチに転送されます。転送されたデータのうちリアルタイム出力ポート・モード・レジスタ1（RTPM01）の設定により，リアルタイム出力ポートに指定されたビットのデータのみがRTP10-RTP15のそれぞれのビットから出力されます。DCEN01でインバータ・タイマ出力に指定した場合は，RTP10-RTP15をインバータ・タイマ出力として使用できます。

動作モードは，BYTE01の設定により6ビット×1または4ビット×1を選択できます。

INV01の設定により，出力波形を反転させることができます。また，PWMCL01, PWMCH01の設定により，出力パターンにPWM変調をかけることができます。

RTPM01n = 1で，INV01 = 0のときに，リアルタイム出力動作禁止（RTPOE01 = 0）にした場合は，RTP10-RTP15はTW0TO0またはTW0TO0-TW0TO5を出力します。

制御レジスタの各ビットの設定とリアルタイム出力の関係を表10－4に，動作タイミング例を図10－7に示します。

**備考**　BYTE01　：リアルタイム出力ポート・コントロール・レジスタ1（RTPC01）のビット5
DCEN01　：DC制御レジスタ1（DCCTL1）のビット7
INV01　：〃　のビット4
PWMCL01：〃　のビット5
PWMCH01：〃　のビット6
RTPM01n ：リアルタイム出力ポート・モード・レジスタ1（RTPM01）のビットn（n=0-5）

★ **表10－４　制御レジスタの各ビットの設定とリアルタイム出力の関係**

| CE0 | DCEN01 | INV01 | PWMCH01/ PWMCL01 | RTPOE01 | RTPM01n | RTBH01m/ RTBL01m | TW0TOn端子の状態 | |
|---|---|---|---|---|---|---|---|---|
| | | | | | | | PWMSEL = 0 | PWMSEL = 1注 |
| 0 | × | × | × | × | × | × | Hi-Z | Hi-Z |
| 1 | 0 | × | × | × | × | × | TW0TOn | TW0TOn |
| | 1 | 0 | 0 | 0 | × | × | “low”出力 | “low”出力 |
| | | | | 1 | 0 | × | “low”出力 | “low”出力 |
| | | | | | 1 | 0 | “low”出力 | “low”出力 |
| | | | | | | 1 | “high”出力 | “high”出力 |
| | | | 1 | 0 | 0 | × | “low”出力注 | “low”出力 |
| | | | | | 1 | × | TW0TO0 | TW0TOn |
| | | | | 1 | 0 | × | “low”出力注 | “low”出力 |
| | | | | | 1 | 0 | TW0TO0 | TW0TOn |
| | | | | | | 1 | “high”出力 | “high”出力 |
| | | 1 | 0 | 0 | × | × | “high”出力 | “high”出力 |
| | | | | 1 | 0 | × | “high”出力 | “high”出力 |
| | | | | | 1 | 0 | “high”出力 | “high”出力 |
| | | | | | | 1 | “low”出力 | “low”出力 |
| | | | 1 | 0 | 0 | × | “high”出力注 | “high”出力 |
| | | | | | 1 | × | $\overline{\text{TW0TO0}}$ | $\overline{\text{TW0TOn}}$ |
| | | | | 1 | 0 | × | “high”出力注 | “high”出力 |
| | | | | | 1 | 0 | $\overline{\text{TW0TO0}}$ | $\overline{\text{TW0TOn}}$ |
| | | | | | | 1 | “low”出力 | “low”出力 |

CE0　　：インバータ・タイマ・コントロール・レジスタ（TW0C）のビット７

DCEN01　：DC制御レジスタ01（DCCTL01）のビット７

INV01　　：DCCTL01のビット４

PWMCH01：DCCTL01のビット６

PWMCL01：DCCTL01のビット５

RTPOE01：リアルタイム出力ポート・コントロール・レジスタ１（RTPC01）のビット７

RTPM01n：リアルタイム出力ポート・モード・レジスタ１（RTPM01）のビットn

RTBH01m：リアルタイム出力バッファ・レジスタ1H（RTBH01）のビットm

RTBL01m：リアルタイム出力バッファ・レジスタ1L（RTBL01）のビットm

n = 0-5

m = 0-3

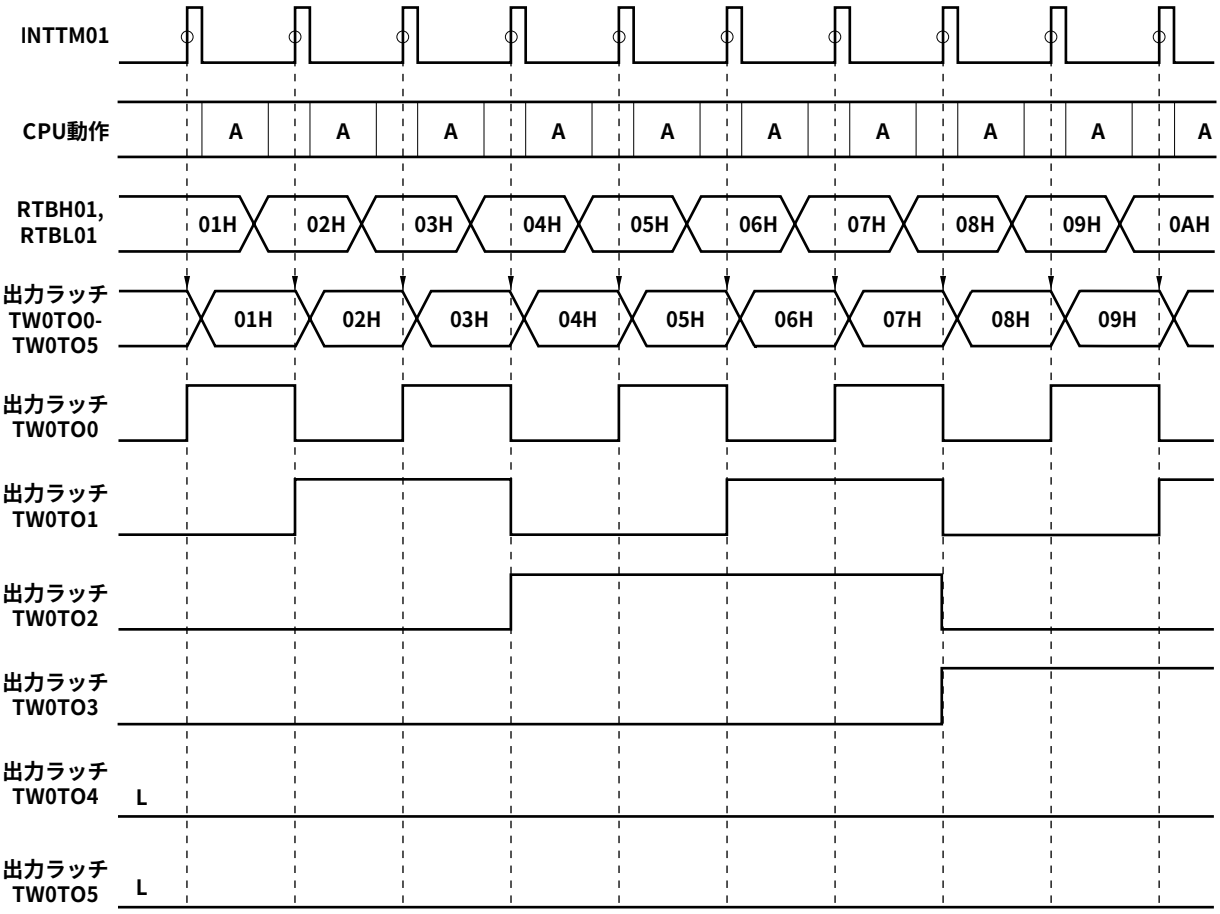
×：don't care

**注**　IECUBE非対応

図10－7　リアルタイム出力ポートの動作タイミング例（６ビット×１）（1/3）

（a）６ビット×１チャネル，反転出力禁止，PWM変調なし

（BYTE01 = 1, INV01 = 0, PWMCH01 = 0, PWMCL01 = 0）

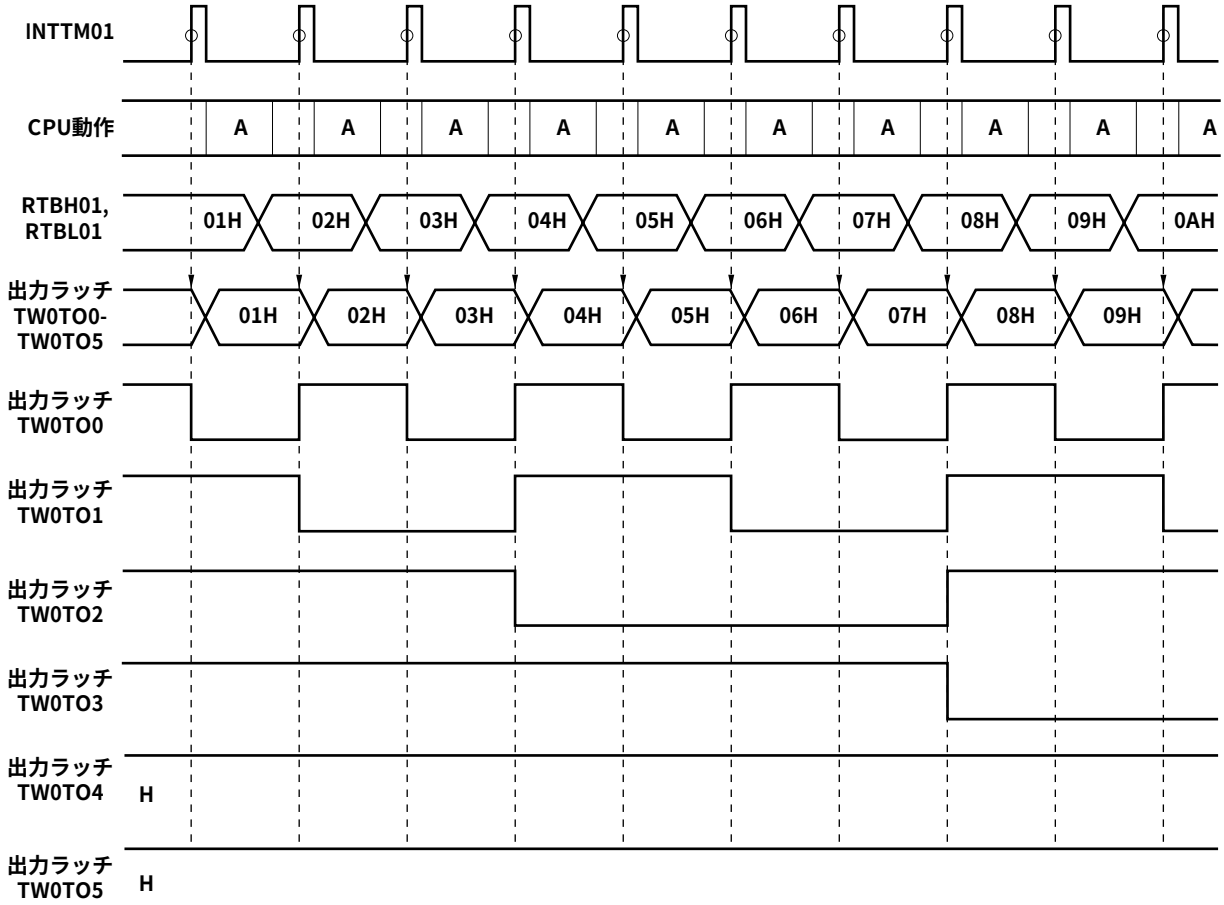



A：INTTM01によるソフトウエア処理（RTBH01, RTBL01ライト）

図10－7　リアルタイム出力ポートの動作タイミング例（６ビット×１）（2/3）

（b）６ビット×１チャネル，反転出力許可，PWM変調なし

（BYTE01 = 1, INV01 = 1, PWMCH01 = 0, PWMCL01 = 0）

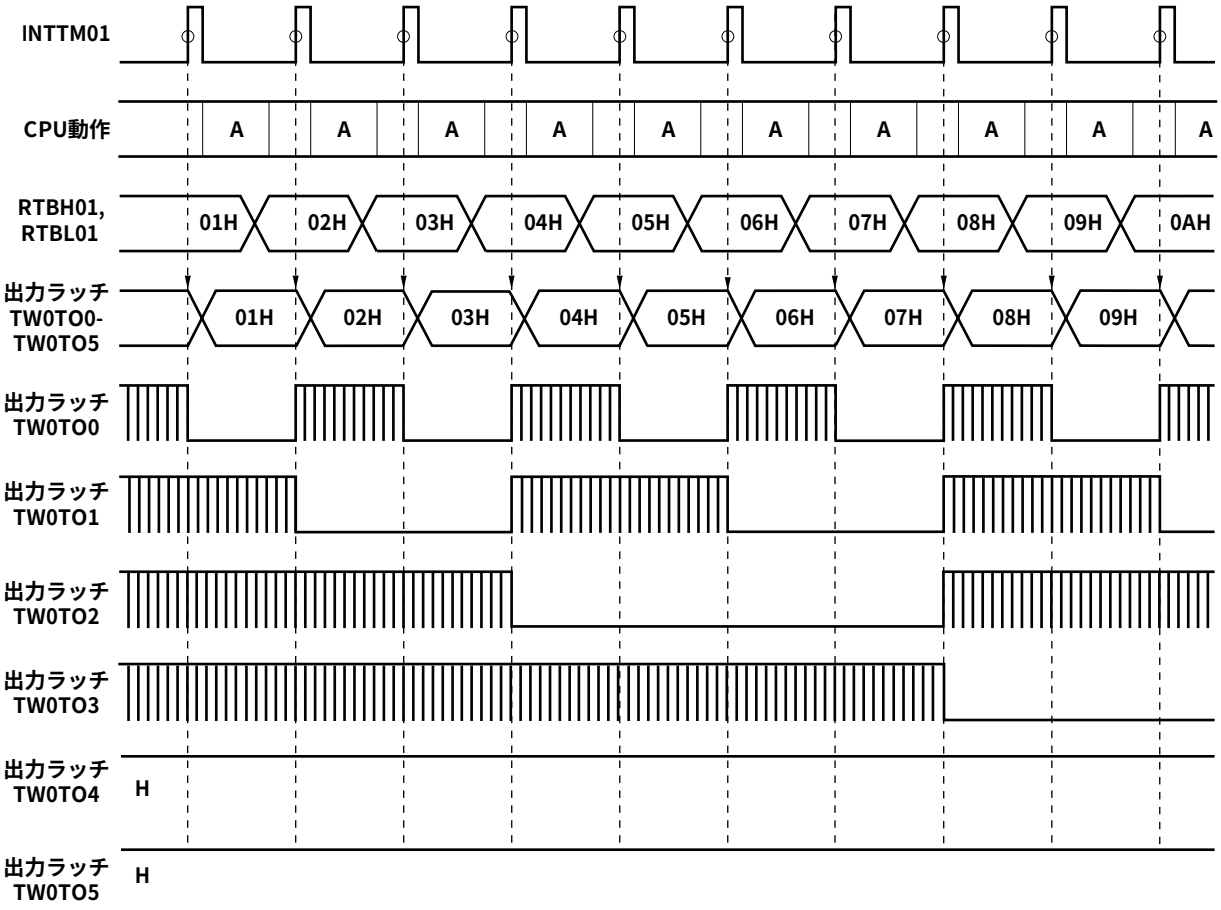



A：INTTM01によるソフトウエア処理（RTBH01, RTBL01ライト）

図10－7　リアルタイム出力ポートの動作タイミング例（６ビット×１）（3/3）

（ｃ）６ビット×１チャネル，反転出力許可，PWM変調あり

（BYTE01 = 1, INV01 = 1, PWMCH01 = 1, PWMCL01 = 1）




A：INTTM01によるソフトウエア処理（RTBH01, RTBL01ライト）

## 10.5　リアルタイム出力ポートの使用方法

リアルタイム出力ポートを使用するときには，次の手順で設定してください。

（1）リアルタイム出力動作を禁止。
　　リアルタイム出力ポート・コントロール・レジスタ1（RTPC01）のビット７（RTPOE01）＝０に設定。

（2）初期設定
　・ビット単位でリアルタイム出力ポート・モードを指定。
　　リアルタイム出力ポート・モード・レジスタ1（RTPM01）を設定。
　・動作モード（トリガおよび有効エッジ）を選択。
　　RTPC01のビット５（BYTE01）を設定。
　・初期値をリアルタイム出力バッファ・レジスタ１（RTBH01, RTBL01）に設定。
　・DC制御レジスタ01（DCCTL01）を設定。

（3）リアルタイム出力動作を許可。
　　RTPOE01＝１

（4）選択した転送トリガが発生するまでに，次の出力をRTBH01，RTBL01に設定。

（5）選択したトリガに対応する割り込み処理により，順次，次のリアルタイム出力値をRTBH01，RTBL01に設定。

## 10.6　リアルタイム出力ポートの注意事項

（1）初期設定は，リアルタイム出力ポート・コントロール・レジスタ1（RTPC01）のビット７（RTPOE01）を０にし，リアルタイム出力動作を禁止してから行ってください。

（2）一度リアルタイム出力動作を禁止（ＲＴＰＯＥ０１ ＝０）した場合は，リアルタイム出力動作を許可（RTPOE01＝０→１）する前に，必ず出力ラッチと同じ初期値をリアルタイム出力バッファ・レジスタ1（RTBH01, RTBL01）に設定してください。

# 第11章　DCインバータ制御機能

μPD78F0711, 78F0712では，10ビット・インバータ制御用タイマとリアルタイム出力ポートを組み合わせることで，３相PWMのDCインバータ制御を実現できます。

以下の章をご参照ください。

●第６章　10ビット・インバータ制御用タイマ

●第10章　リアルタイム出力ポート

# 第12章　Hi-Z出力制御回路

## 12. 1　Hi-Z出力制御回路の機能

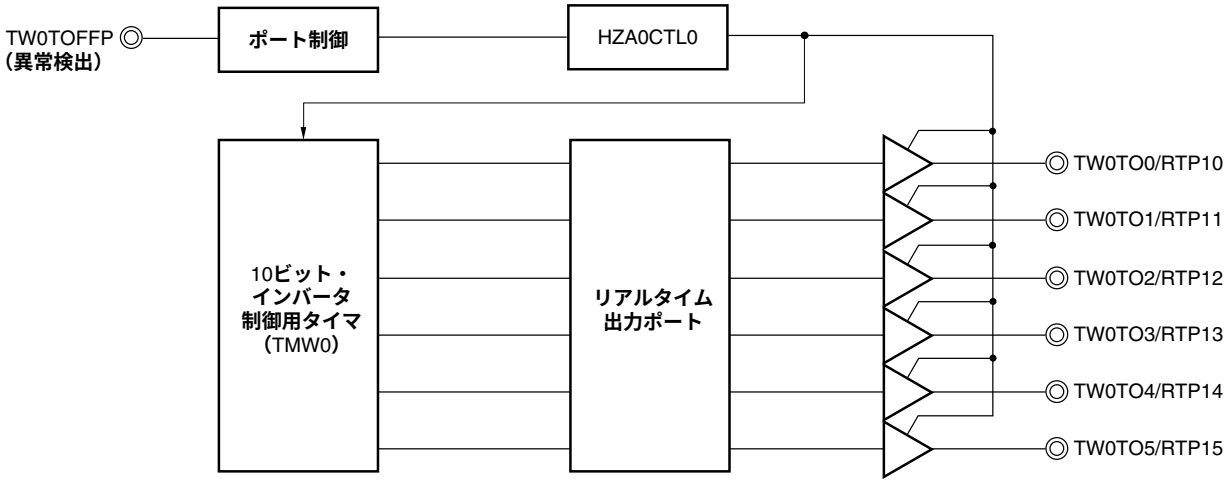
このHi-Z出力制御回路は，モータの異常を検出したときに，その異常検出信号をTW0TOFFP端子に入力することで，強制的に3相インバータ制御用タイマの出力をすべて停止（Hi-Z）させることができます。

- 強制出力停止機能（TW0TOFFP端子への有効エッジ入力によるTW0TO0-TW0TO5端子の出力停止）
- 強制出力停止からの解除機能

## 12. 2　Hi-Z出力制御回路の構成

★

図12－1　Hi-Z出力制御回路のブロック図




Hi-Z出力制御回路は次のハードウエアで構成されています。

| 項　目 | 構　成 |
|---|---|
| 制御レジスタ | ハイ・インピーダンス出力制御レジスタ0（HZA0CTL0） |

＜開発ツールでの注意事項＞

Hi-Z出力制御回路の機能は，IECUBE（インサーキット・エミュレータ）ではサポートしておりません。この機能の確認はMINICUBE（オンチップ・ディバグ・エミュレータ）をご使用ください。

# 12. 3　Hi-Z出力制御回路を制御するレジスタ

**(1) ハイ・インピーダンス出力制御レジスタ0（HZA0CTL0）**

HZA0CTL0レジスタは，TW0TO0-TW0TO5端子の出力バッファのハイ・インピーダンス制御をする8ビットのレジスタです。

HZA0CTL0レジスタは，1ビット操作命令または8ビット操作命令で設定します。ただしHZA0DCF0ビットは，リードのみ可能で，ライト動作を行っても書き込めません。

リセット入力により00Hになります。

HZA0CTL0レジスタは，常時ソフトウエアでの同値書き込みが可能です。

**図12−2　ハイ・インピーダンス出力制御レジスタ0のフォーマット（1/2）**

リセット時：00H　　R/W　　アドレス：FF69H

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| HZA0CTL0 | HZA0DCE0 | HZA0DCM0 | HZA0DCN0 | HZA0DCP0 | HZA0DCT0 | HZA0DCC0 | 0 | HZA0DCF0 |

| HZA0DCE0 | ハイ・インピーダンス出力の制御 |
|---|---|
| 0 | ハイ・インピーダンス出力制御動作禁止。対象端子出力可能 |
| 1 | ハイ・インピーダンス出力制御動作許可 |

| HZA0DCM0 | HZA0DCC0ビットによるハイ・インピーダンス解除の条件 |
|---|---|
| 0 | TW0TOFFP端子入力に関係なく，HZA0DCC0ビットの設定が有効 |
| 1 | TW0TOFFP端子入力が異常検出したレベル（アクティブ・レベル）を保持している期間はHZA0DCC0ビットの設定が無効。 |
| HZA0DCM0ビットを書き換える場合はHZA0DCE0ビット = 0のとき行ってください。 | |

| HZA0DCN0 | HZA0DCP0 | TW0TOFFP端子の入力エッジ指定 |
|---|---|---|
| 0 | 0 | 有効エッジなし<br>（TW0TOFFP端子入力によるHZA0DCF0ビットのセット禁止） |
| 0 | 1 | TW0TOFFP端子の入力の立ち上がりエッジを有効<br>（ハイ・レベル入力で異常検出） |
| 1 | 0 | TW0TOFFP端子の入力の立ち下がりエッジを有効<br>（ロウ・レベル入力で異常検出） |
| 1 | 1 | 設定禁止 |
| HZA0DCN0, HZA0DCP0ビットを書き換える場合はHZA0DCE0ビット = 0のとき行ってください。 | | |

| HZA0DCT0 | ハイ・インピーダンス出力トリガ・ビット |
|---|---|
| 0 | 非動作 |
| 1 | ソフトウエアで対象端子をハイ・インピーダンスにして，HZA0DCF0ビットがセット（1）されます。 |
| ・TW0TOFFP端子に異常を示すレベルが入力（HZA0DCN0, HZA0DCP0ビットの設定により検出）された場合，HZA0DCT0ビットに1を設定しても無効です。<br>・HZA0DCT0ビットはソフトウエア・トリガ・ビットなのでリードすると必ず0が読み出されます。<br>・HZA0DCE0ビット = 0のとき，HZA0DCT0ビットに1を設定しても無効です。<br>・HZA0DCT0ビットとHZA0DCC0ビットを同時に1に設定することは禁止です。 | |

**図12－2　ハイ・インピーダンス出力制御レジスタ0のフォーマット（2/2）**

| HZA0DCC0 | ハイ・インピーダンス出力制御クリア・ビット |
|---|---|
| 0 | 非動作 |
| 1 | ハイ・インピーダンス状態の対象端子をソフトウエアで出力許可状態にして，HZA0DCF0ビットがクリア（0）されます。 |

- HZA0DCMビット = 0 のとき，TW0TOFFP端子の状態にかかわらず対象端子の出力が可能です。
- HZA0DCMビット = 1 のとき，TW0TOFFP端子に異常を示すレベルが入力（HZA0DCN0, HZA0DCP0ビットの設定により検出）された場合，HZA0DCC0ビットに1を設定しても無効です。
- HZA0DCC0ビットはリードすると必ず0が読み出されます。
- HZA0DCE0ビット = 0のとき，HZA0DCT0ビットに1を設定しても無効です。
- HZA0DCT0ビットとHZA0DCC0ビットを同時に1に設定することは禁止です。

| HZA0DCF0 | ハイ・インピーダンス出力状態フラグ |
|---|---|
| クリア（0） | 対象端子の出力が可能状態であることを示します。<br>・HZA0DCE0ビット = 0によりクリア（0）されます。<br>・HZA0DCC0ビット = 1によりクリア（0）されます。 |
| セット（1） | 対象端子の出力がハイ・インピーダンス状態であることを示します。<br>・HZA0DCT0ビット = 1によりセット（1）されます。<br>・TW0TOFFP端子に異常を示すレベルが入力（HZA0DCN0, HZA0DCP0ビットの設定により検出）された場合，セット（1）されます。 |

# 12. 4　Hi-Z出力制御回路の動作

**(1) ハイ・インピーダンス制御動作を設定する方法**

＜設定手順＞

① HZA0DCM0, HZA0DCN0, HZA0DCP0ビットの設定

② HZA0DCE0ビット = 1（ハイ・インピーダンス制御の許可）

**(2) ハイ・インピーダンス制御許可設定後に変更する方法**

＜設定手順＞

① HZA0DCE0ビット = 0　（ハイ・インピーダンス制御動作の停止）。

② HZA0DCM0, HZA0DCN0, HZA0DCP0ビットの変更設定。

③ HZA0DCE0ビット = 1　（ハイ・インピーダンス制御の再許可）。

**(3) 端子がハイ・インピーダンス状態のとき，出力を再開する方法**

HZA0DCM0ビット = 1の場合，TW0TOFFP端子の有効エッジ検出後，ハイ・インピーダンス状態の解除のためHZA0DCC0ビットに1をセットしますが，TW0TOFFP端子の入力レベルがインアクティブ状態のときにセットしなければハイ・インピーダンス状態の解除はできません。

＜設定手順＞

① HZA0DCC0ビット = 1（ハイ・インピーダンス状態の解除命令信号）。

② HZA0DCF0ビットをリードし，フラグの状態を確認。

③ HZA0DCF0ビット = 1ならば<1> の操作に戻る。TW0TOFFP端子の入力レベルの確認が必要。
HZA0DCF0ビット = 0ならば端子出力可能。

**(4) ソフトウエアにより端子をハイ・インピーダンスにする方法**

ソフトウエアによりHZA0DCT0ビット = 1を設定し，端子をハイ・インピーダンスにするには，TW0TOFFP端子の入力レベルがインアクティブ状態のときにセットしなければなりません。次の手順は，HZA0DCM0ビットの設定に依存しない例です。

＜設定手順＞

① HZA0DCT0ビット = 1（ハイ・インピーダンス出力命令）。

② HZA0DCF0ビットをリードし，フラグの状態を確認。

③ HZA0DCF0ビット = 0ならば<1>の操作に戻る。TW0TOFFP端子の入力レベルの確認が必要。
HZA0DCF0ビット = 1ならばハイ・インピーダンス状態。

ただし，HZA0DCP0ビット = 0, HZA0DCN0ビット = 0に設定し，TW0TOFFP端子入力を使用しない場合は，HZA0DCT0ビットに1をセットすることでハイ・インピーダンス状態になります。

# 第13章　A/Dコンバータ

## 13.1　A/Dコンバータの機能

A/Dコンバータは，アナログ入力をディジタル値に変換する10ビット分解能のコンバータで，最大４チャネル（ANI0-ANI3）のアナログ入力を制御できる構成になっています。

A/Dコンバータには，次のような機能があります。

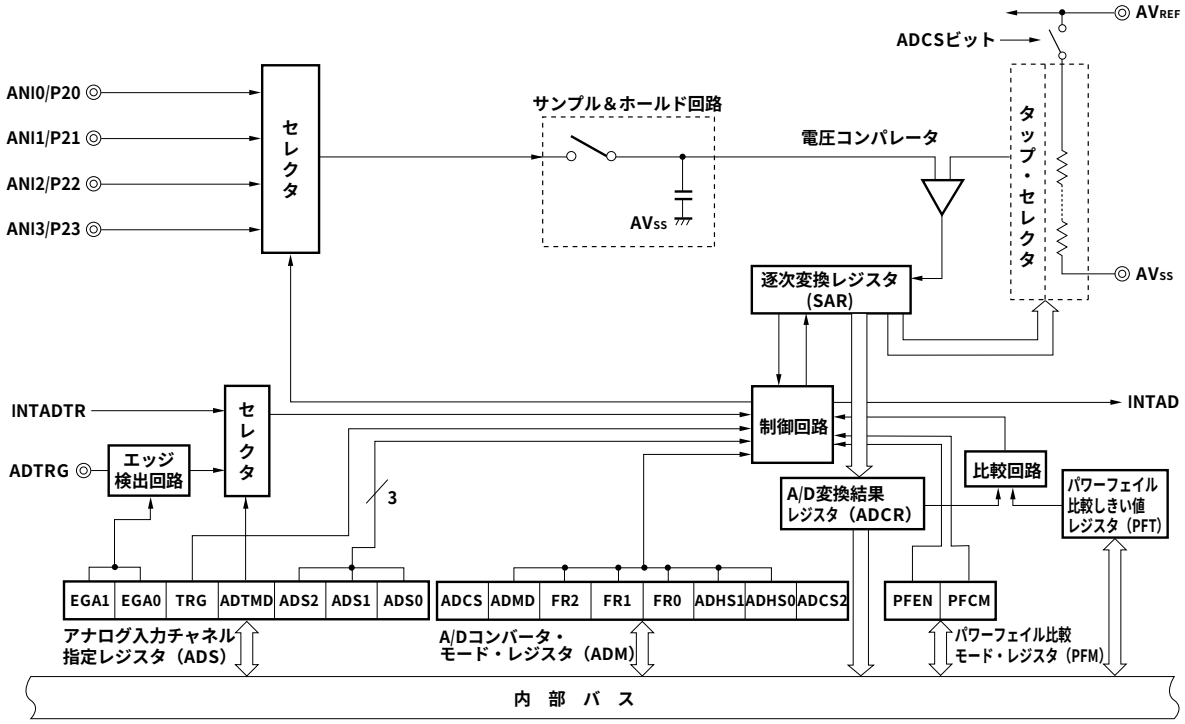
**（1）10ビット分解能A/D変換**

アナログ入力をANI0-ANI3から１チャネル選択し，10ビット分解能のA/D変換動作を繰り返します。A/D変換を１回終了するたびに，割り込み要求（INTAD）を発生します。

**（2）パワーフェイル検出機能**

バッテリ電圧低下を検出するための機能です。A/D変換結果（ADCRレジスタ値）とパワーフェイル比較しきい値レジスタ（PFT）の値との大小比較を行い，比較条件に合致した場合のみINTADを発生します。

## 図13－1　A/Dコンバータのブロック図



# 13.2　A/Dコンバータの構成

A/Dコンバータは，次のハードウエアで構成しています。

表13－1　ソフトウエア上で使用するA/Dコンバータのレジスタ

| 項　　目 | 構　　成 |
|---|---|
| レジスタ | 逐次変換レジスタ（SAR） |
| | A/D変換結果レジスタ（ADCR） |
| | A/Dコンバータ・モード・レジスタ（ADM） |
| | アナログ入力チャネル指定レジスタ（ADS） |
| | パワーフェイル比較モード・レジスタ（PFM） |
| | パワーフェイル比較しきい値レジスタ（PFT） |

**（1）ANI0-ANI3端子**

A/Dコンバータへの４チャネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力チャネル指定レジスタ（ADS）でアナログ入力として選択した端子以外は，入力ポートとして使用できます。

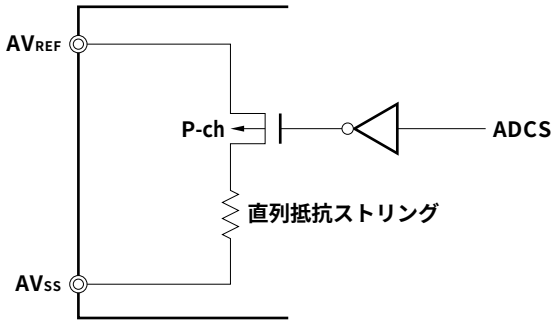
**（2）サンプル＆ホールド回路**

サンプル＆ホールド回路は，セレクタで選択されたアナログ入力端子の入力信号をA/D変換開始時にサンプリングし，そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

**（3）直列抵抗ストリング**

直列抵抗ストリングは$AV_{REF}$-$AV_{SS}$間に接続されており，アナログ入力と比較する電圧を発生します。

図13－2　直列抵抗ストリングの回路構成




**（4）電圧コンパレータ**

電圧コンパレータは，サンプリングしたアナログ入力電圧と直列抵抗ストリングの出力電圧を比較します。

**（5）逐次変換レジスタ（SAR）**

サンプリングされたアナログ電圧値と直列抵抗ストリングからの電圧値を比較し，その結果を最上位ビット（MSB）から変換するレジスタです。

最下位ビット（LSB）までディジタル値に変換すると（A/D変換終了），SARレジスタの内容はA/D変換結果レジスタ（ADCR）に転送されます。

**（6）A/D変換結果レジスタ（ADCR）**

A/D 変換が終了するたびに，逐次変換レジスタから変換結果がロードされ，A/D 変換結果を上位10 ビットに保持します（下位６ビットは０に固定）。

**（7）制御回路**

A/D変換が終了するか，パワーフェイル検出機能使用時，A/D変換結果（ADCRレジスタ値）とパワーフェイル比較しきい値レジスタ（PFT）の値との大小比較を行い，比較条件に合致した場合のみINTAD発生します。

**（8）$AV_{REF}$端子**

A/Dコンバータのアナログ電源端子／基準電圧を入力する端子です。A/Dコンバータを使用しないときでも，常に$V_{DD}$端子と同電位で使用してください。

$AV_{REF}$, $AV_{SS}$間にかかる電圧に基づいて，ANI0-ANI3に入力される信号をディジタル信号に変換します。

**（9）$AV_{SS}$端子**

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも，常に$V_{SS}$端子と同電位で使用してください。

**（10）A/Dコンバータ・モード・レジスタ（ADM）**

A/D変換するアナログ入力の変換時間，変換動作の開始／停止を設定するレジスタです。

**（11）アナログ入力チャネル指定レジスタ（ADS）**

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

**（12）パワーフェイル比較モード・レジスタ（PFM）**

パワーフェイル監視モードを設定するレジスタです。

**（13）パワーフェイル比較しきい値レジスタ（PFT）**

A/D変換結果レジスタ（ADCR）と大小比較する場合のしきい値を設定するレジスタです。

# 13.3　A/Dコンバータで使用するレジスタ

A/Dコンバータは，次の５種類のレジスタを使用します。

- A/Dコンバータ・モード・レジスタ（ADM）
- アナログ入力チャネル指定レジスタ（ADS）
- A/D変換結果レジスタ（ADCR）
- パワーフェイル比較モード・レジスタ（PFM）
- パワーフェイル比較しきい値レジスタ（PFT）

### （1）A/Dコンバータ・モード・レジスタ（ADM）

A/D変換するアナログ入力の変換時間，変換動作の開始／停止を設定するレジスタです。

ADMは，１ビット・メモリ操作命令または８ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

## 図13－３　A/Dコンバータ・モード・レジスタ（ADM）のフォーマット

アドレス：FF6CH　　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| ADM | ADCS | ADMD | FR2注1 | FR1注1 | FR0注1 | ADHS1注1 | ADHS0注1 | ADCS2 |

| ADCS | A/D変換動作の制御 |
|---|---|
| 0 | 変換動作停止 |
| 1 | 変換動作許可 |

| ADMD | 動作モードの制御 |
|---|---|
| 0 | セレクト・モード |
| 1 | スキャン・モード |

| FR2 | FR1 | FR0 | ADHS1 | ADHS0 | A/D変換時間の選択 |
|---|---|---|---|---|---|
| × | × | × | 0 | 0 | 設定禁止 |
| 0 | 0 | 0 | 0 | 1 | 96/fx |
| 0 | 0 | 1 | 0 | 1 | 72/fx |
| 0 | 1 | 0 | 0 | 1 | 48/fx |
| 0 | 1 | 1 | 0 | 1 | 24/fx |
| 1 | 0 | 0 | 0 | 1 | 224/fx |
| 1 | 0 | 1 | 0 | 1 | 168/fx |
| 1 | 1 | 0 | 0 | 1 | 112/fx |
| 1 | 1 | 1 | 0 | 1 | 56/fx |
| 0 | 0 | 0 | 1 | 0 | 72/fx |
| 0 | 0 | 1 | 1 | 0 | 54/fx |
| 0 | 1 | 0 | 1 | 0 | 36/fx |
| 0 | 1 | 1 | 1 | 0 | 18/fx |
| 1 | × | × | 1 | 0 | 設定禁止 |
| × | × | × | 1 | 1 | 設定禁止 |

| ADCS2 | 昇圧基準電圧生成回路の動作制御注2 |
|---|---|
| 0 | 基準電圧生成回路の動作停止 |
| 1 | 基準電圧生成回路の動作許可 |

**注１．** FR2-FR0, ADHS1, ADHS0を組み合わせてA/D変換時間を選択します。
A/D変換時間に関する詳細は，**表13－３**を参照してください。

**２．** 低電圧動作を実現するために，昇圧回路を内蔵しています。昇圧の基準となる基準電圧を生成する回路は，ADCS2で動作制御され，動作開始から安定するまでに，1μsかかります。このため，ADCS2に1を設定してから1μs以上経過したあとに，ADCSに1を設定することで，最初の変換結果より有効となります。

**備考**　fx：X1入力クロック発振周波数

### （a）昇圧基準電圧生成回路の制御

ADCS2ビット = 0時，A/Dコンバータはパワーダウン状態となります。ADCS2ビット = 0→1設定後，1μs以上のセットアップ時間が必要です。

このため，ADCS2ビット = 0→1にし，1μs以上経過したあとにADCSビット = 0→1にすることで最初のA/D変換結果から有効となります。

**表13－2　ADCSとADCS2の設定**

| ADCS | ADCS2 | A/D変換動作 |
|---|---|---|
| 0 | 0 | 停止状態（DC電力消費パスは存在しません） |
| 0 | 1 | 変換待機モード（基準電圧生成回路のみ電力を消費） |
| 1 | 0 | 変換モード（基準電圧生成回路動作停止[注1]） |
| 1 | 1 | 変換モード（基準電圧生成回路動作[注2]） |

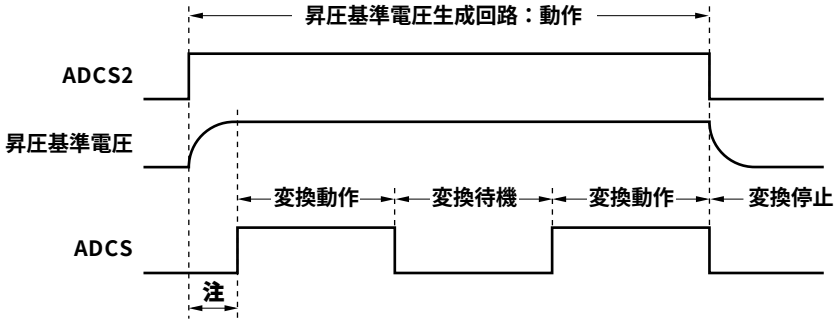
**注１．** ADCS, ADCS2ビット = 00B→10Bに設定した場合，昇圧用基準電圧生成回路は自動的にオンになります。また，ADCS2ビット = 0のまま，ADCSビット = 1→0に設定した場合，昇圧用基準電圧生成回路は自動的にオフになります。なお，ソフトウエア・トリガ・モード（ADS.TRGビット = 0）の場合，１回目のA/D変換結果は使用禁止です。

また，ハードウエア・トリガ・モード（ADS.TRGビット = 1）の場合，昇圧用基準電圧生成回路の安定時間経過後にA/D変換スタートしたA/D変換結果のみを使用してください。

**２．** ADCS, ADCS2ビット = 00B→11Bに設定した場合，昇圧用基準電圧生成回路は自動的にオンになります。また，ADCS2 ビット = 1のまま，ADCSビット = 1→0に設定した場合，昇圧用基準電圧生成回路はオンのままとなります。なお，ソフトウエア・トリガ・モード（ADS.TRGビット = 0）の場合，１回目のA/D変換結果は使用禁止です。

また，ハードウエア・トリガ・モード（ADS.TRGビット = 1）の場合，昇圧用基準電圧生成回路の安定時間経過後にA/D変換スタートしたA/D変換結果のみを使用してください。

**図13－4　昇圧基準電圧生成回路使用時のタイミング・チャート**




**注**　ADCS2ビットの立ち上がりから，ADCSビットの立ち上がりまでの時間は基準電圧安定のため1μs以上必要です。

**注意１．** FR0-FR2, ADHS0, ADHS1を同一データ以外に書き換える場合は，いったんA/D変換動作を停止させたのちに行ってください。

**２．** ADM にデータを書き込むと，ウエイトが発生します。詳細は「第 27 章　ウエイトに関する注意事項」を参照してください。

表13－３　A/D変換時間

| FR2 | FR1 | FR0 | ADHS1 | ADHS0 | A/D変換時間〔μs〕：$t_{CONV}$ | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|
| | | | | | | $f_X$ = 20 MHz | $f_X$ = 16 MHz | $f_X$ = 10 MHz | $f_X$ = 8.38 MHz | $f_X$ = 5 MHz |
| × | × | × | 0 | 0 | 設定禁止 | 設定禁止 | 設定禁止 | 設定禁止 | 設定禁止 | 設定禁止 |
| 0 | 0 | 0 | 0 | 1 | 96/$f_X$ | 4.8 | 6 | 9.6 | 11.5 | 19.2 |
| 0 | 0 | 1 | 0 | 1 | 72/$f_X$ | 3.6注 | 4.5注 | 7.2 | 8.6 | 14.4 |
| 0 | 1 | 0 | 0 | 1 | 48/$f_X$ | 設定禁止 | 設定禁止 | 4.8 | 5.8 | 9.6 |
| 0 | 1 | 1 | 0 | 1 | 24/$f_X$ | 設定禁止 | 設定禁止 | 設定禁止 | 設定禁止 | 4.8 |
| 1 | 0 | 0 | 0 | 1 | 224/$f_X$ | 11.2 | 14 | 22.4 | 26.8 | 44.8 |
| 1 | 0 | 1 | 0 | 1 | 168/$f_X$ | 8.4 | 10.5 | 16.8 | 20.1 | 33.6 |
| 1 | 1 | 0 | 0 | 1 | 112/$f_X$ | 5.6 | 7 | 11.2 | 13.4 | 22.4 |
| 1 | 1 | 1 | 0 | 0 | 56/$f_X$ | 設定禁止 | 4.5注 | 5.6 | 6.7 | 11.2 |
| 0 | 0 | 0 | 1 | 0 | 72/$f_X$ | 3.6注 | 設定禁止 | 7.2 | 8.6 | 14.4 |
| 0 | 0 | 1 | 1 | 0 | 54/$f_X$ | 設定禁止 | 設定禁止 | 5.4 | 6.5 | 10.8 |
| 0 | 1 | 0 | 1 | 0 | 36/$f_X$ | 設定禁止 | 設定禁止 | 3.6注 | 4.3注 | 7.2 |
| 0 | 1 | 1 | 1 | 0 | 18/$f_X$ | 設定禁止 | 設定禁止 | 設定禁止 | 設定禁止 | 3.6注 |
| 1 | × | × | 1 | 0 | 設定禁止 | 設定禁止 | 設定禁止 | 設定禁止 | 設定禁止 | 設定禁止 |
| × | × | × | 1 | 1 | 設定禁止 | 設定禁止 | 設定禁止 | 設定禁止 | 設定禁止 | 設定禁止 |

**注**　A/D変換時間（$t_{CONV}$）が3.6μs≦$t_{CONV}$＜4.8μsのときは，$AV_{REF}$≧4.5Vの場合のみ設定可能です。

**備考**　$f_X$：X1入力クロック発振周波数

### （2）アナログ入力チャネル指定レジスタ（ADS）

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

ADSは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

**図13－5　アナログ入力チャネル指定レジスタ（ADS）のフォーマット**

アドレス：FF6DH　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| ADS | EGA1 | EGA0 | TRG | ADTMD | 0 | ADS2 | ADS1 | ADS0 |

| EGA1[注1] | EGA0[注1] | 外部トリガ信号（ADTRG）エッジ指定 |
|---|---|---|
| 0 | 0 | エッジ検出なし |
| 0 | 1 | 立ち下がりエッジ |
| 1 | 0 | 立ち上がりエッジ |
| 1 | 1 | 両エッジ |

| TRG | トリガ・モードの選択 |
|---|---|
| 0 | ソフトウエア・トリガ・モード |
| 1 | ハードウエア・トリガ・モード |

| ADTMD[注2] | ハードウエア・トリガ・モードの指定 |
|---|---|
| 0 | 外部トリガ（ADTRG端子入力） |
| 1 | タイマ・トリガ（INTADTR発生） |

| ADS2 | ADS1 | ADS0 | アナログ入力チャネルの指定 | |
|---|---|---|---|---|
| | | | セレクト・モード | スキャン・モード |
| 0 | 0 | 0 | ANI0 | ANI0 |
| 0 | 0 | 1 | ANI1 | ANI0-ANI1 |
| 0 | 1 | 0 | ANI2 | ANI0-ANI2 |
| 0 | 1 | 1 | ANI3 | ANI0-ANI3 |
| 1 | × | × | 設定禁止 | 設定禁止 |

注1．EGA1, EGA0ビットはハードウエア・トリガ・モード（TRG = 1）かつ，外部トリガ・モード（ADTRG端子：ADTMD = 1）を選択した場合のみ有効です。

2．ADTMDビットはハードウエア・トリガ・モード（TRG = 1）を選択した場合のみ有効です。

**注意1．ビット2，3には必ず0を設定してください。**

**2．ADSにデータを書き込むと，ウエイトが発生します。詳細は「第27章　ウエイトに関する 注意事項」を参照してください。**

### （3）A/D変換結果レジスタ（ADCR）

A/D変換結果を保持する16ビットのレジスタです。A/D変換が終了するたびに，逐次変換レジスタから変換結果がロードされます。

下位6ビットは“0”固定です。ADCRには最上位ビット（MSB）から順に格納されます。FF1BHには変換結果の上位8ビットが，FF1AHには変換結果の下位2ビットが入ります。

ADCRは，16ビット・メモリ操作命令で読み出せます。

$\overline{\text{RESET}}$入力により，不定になります。

図13－6　A/D変換結果レジスタ（ADCR）のフォーマット

アドレス：FF1AH, FF1BH　リセット値：不定　R

| 略号 | FF1BH | | | | | | | | FF1AH | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| ADCR | | | | | | | | | | | 0 | 0 | 0 | 0 | 0 | 0 |

注意1．A/Dコンバータ・モード・レジスタ（ADM），アナログ入力チャネル指定レジスタ（ADS）に対して書き込み動作を行ったとき，ADCRの内容は不定となることがあります。変換結果は，変換動作終了後，ADM, ADS に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

2．ADCRからデータを読み出すと，ウエイトが発生します。詳細は「第27章 ウエイトに関する注意事項」を参照してください。

### （4）パワーフェイル比較モード・レジスタ（PFM）

パワーフェイル比較モード・レジスタ（PFM）は，A/D変換結果（ADCRレジスタ値）とパワーフェイル比較しきい値レジスタ（PFT）の値との大小比較の動作を制御するレジスタです。

PFMは，１ビット・メモリ操作命令または８ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

**図13－７　パワーフェイル比較モード・レジスタ（PFM）のフォーマット**

アドレス：FF6EH　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PFM | PFEN | PFCM | 0 | 0 | 0 | 0 | 0 | 0 |

| PFEN | パワーフェイル比較許可 |
|---|---|
| 0 | パワーフェイル比較停止（通常のA/Dコンバータとして使用） |
| 1 | パワーフェイル比較許可（パワーフェイル検出として使用） |

| PFCM | | パワーフェイル比較モードの選択 |
|---|---|---|
| 0 | ADCRの上位８ビット≧PFT | 割り込み要求信号（INTAD）発生 |
| | ADCRの上位８ビット＜PFT | INTAD発生なし |
| 1 | ADCRの上位８ビット≧PFT | INTAD発生なし |
| | ADCRの上位８ビット＜PFT | INTAD発生 |

**注意　PFMにデータを書き込むと，ウエイトが発生します。詳細は「第27章　ウエイトに関する注意事項」を参照してください。**

### （5）パワーフェイル比較しきい値レジスタ（PFT）

パワーフェイル比較しきい値レジスタ（PFT）は，A/Dの変換結果と大小比較を行う場合のしきい値を設定するレジスタです。

PFTの８ビット・データとA/D変換結果10ビットの上位８ビット（FF1BH）が比較されます。

PFTは，８ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

**図13－８　パワーフェイル比較しきい値レジスタ（PFT）のフォーマット**

アドレス：FF6FH　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PFT | PFT7 | PFT6 | PFT5 | PFT4 | PFT3 | PFT2 | PFT1 | PFT0 |

**注意　PFTにデータを書き込むと，ウエイトが発生します。詳細は「第27章　ウエイトに関する注意事項」を参照してください。**

# 13.4　アナログ入力電圧とA/D変換結果の関係

アナログ入力端子（ANI0-ANI3）に入力されたアナログ入力電圧と理論上のA/D変換結果（A/D変換結果レジスタ（ADCR））には次式に示す関係があります。

$$SAR = INT\left(\frac{V_{AIN}}{AV_{REF}} \times 1024 + 0.5\right)$$

$$ADCR = SAR \times 64$$

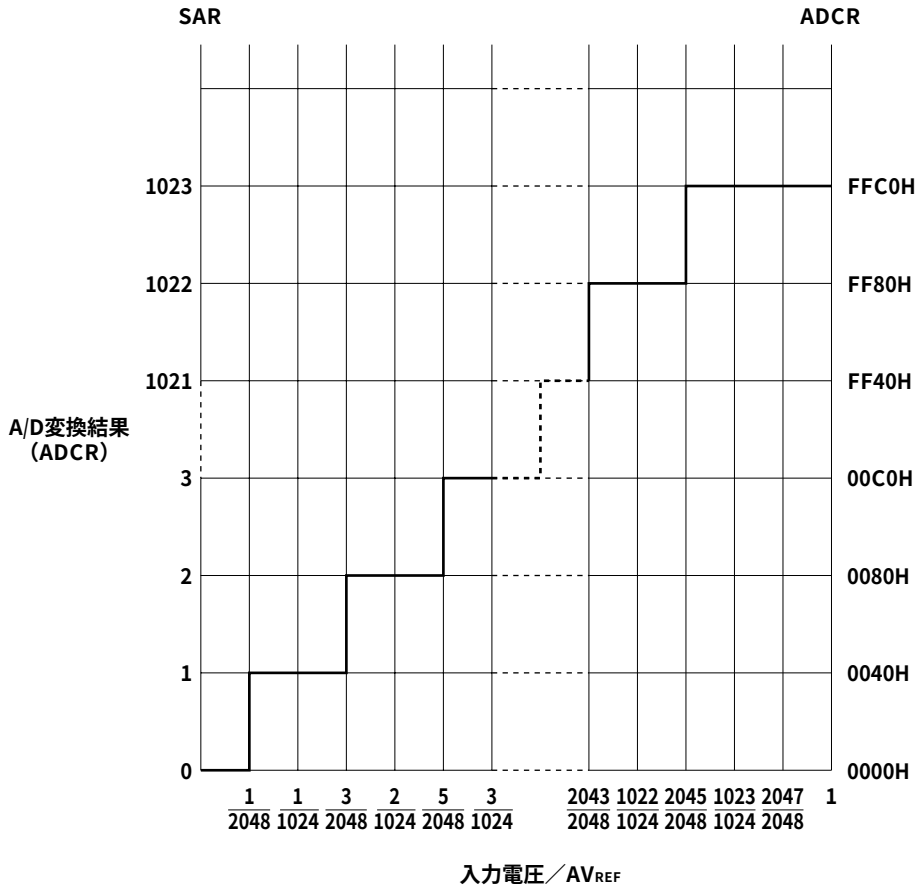
または，

$$(ADCR - 0.5) \times \frac{AV_{REF}}{1024} \leqq V_{AIN} < (ADCR + 0.5) \times \frac{AV_{REF}}{1024}$$

INT（　）：（　）内の値の整数部を返す関数
$V_{AIN}$　：アナログ入力電圧
$AV_{REF}$　：$AV_{REF}$端子電圧
ADCR　：A/D変換結果レジスタ（ADCR）の値
SAR　：逐次変換レジスタ

図13－９にアナログ入力電圧とA/D変換結果の関係を示します。

図13－９　アナログ入力電圧とA/D変換結果の関係



# 13.5　A/Dコンバータの動作

## 13.5.1　A/Dコンバータの基本動作

① A/D変換するチャネルをアナログ入力チャネル指定レジスタ（ADS）で１チャネル選択してください。
A/Dコンバータ・モード・レジスタ（ADM）のFR2-FR0, ADHS1, ADHS0で変換時間を選択してください。

② ADCS2をセット（1）し，1μs以上ウエイトしてください。

③ ADCSをセット（1）し，変換動作を開始します。
（④から⑩までハードウエアでの動作）

④ 選択したアナログ入力チャネルに入力している電圧を，サンプル＆ホールド回路でサンプリングします。

⑤ 一定時間サンプリングを行うとサンプル＆ホールド回路はホールド状態となり，入力したアナログ電圧をA/D変換が終了するまで保持します。

⑥ 逐次変換レジスタ（SAR）のビット９をセットし，タップ・セレクタは直列抵抗ストリングの電圧タップを（1/2）$AV_{REF}$にします。

⑦ 直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし，アナログ入力が（1/2）$AV_{REF}$よりも大きければ，SARのMSBをセットしたままです。また，（1/2）$AV_{REF}$よりも小さければ，MSBはリセットします。

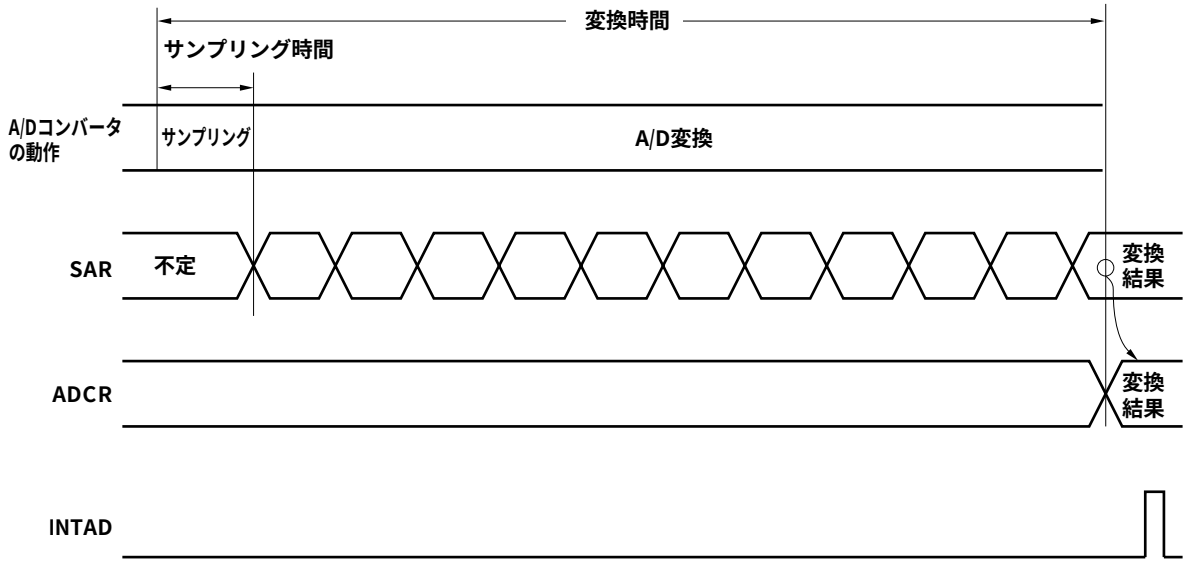
⑧ 次にSARのビット８が自動的にセットし，次の比較に移ります。ここではすでに結果がセットしているビット９の値によって，次に示すように直列抵抗ストリングの電圧タップを選択します。
・ビット９＝１：（3/4）$AV_{REF}$
・ビット９＝０：（1/4）$AV_{REF}$
この電圧タップとアナログ入力電圧を比較し，その結果でSARのビット８を次のように操作します。
・アナログ入力電圧≧電圧タップ：ビット８＝１
・アナログ入力電圧＜電圧タップ：ビット８＝０

⑨ このような比較をSARのビット０まで続けます。

⑩ 10ビットの比較が終了したとき，SARには有効なディジタルの結果が残り，その値がA/D変換結果レジスタ（ADCR）に転送され，ラッチします。
同時に，A/D変換終了割り込み要求（INTAD）を発生させることができます。

⑪ 以降④から⑩までの動作をADCS＝０になるまで繰り返します。
A/Dコンバータを停止する場合は，ADCS＝０にしてください。
ADCS2＝１の状態から，再度A/D変換する場合は，③から開始してください。ただしADCS2＝０の状態から，再度A/Dコンバータを動作させる場合は，②から行ってください。

図13－10　A/Dコンバータの基本動作




A/D変換動作は，ソフトウエアによりA/Dコンバータ・モード・レジスタ（ADM）のビット7（ADCS）をリセット（0）するまで連続的に行われます。

A/D変換動作中に，ADM，アナログ入力チャネル指定レジスタ（ADS），パワーフェイル比較モード・レジスタ（PFM），パワーフェイル比較しきい値レジスタ（PFT）のいずれかに対して書き込み操作を行うと変換動作は初期化され，ADCSビットがセット（1）されていれば，最初から変換を開始します。

A/D変換結果レジスタ（ADCR）は，$\overline{\text{RESET}}$により不定となります。

## 13.5.2　トリガ・モード

A/D変換の開始タイミングを設定するトリガ・モードには，次の３つのモードがあります。これらのトリガ・モードは，ADSレジスタで設定します。

・ソフトウエア・トリガ・モード
・外部トリガ・モード（ハードウエア・トリガ・モード）
・タイマ・トリガ・モード（ハードウエア・トリガ・モード）

### （1）ソフトウエア・トリガ・モード

ADS.TRGビット = 0に設定した状態で，ADCSビット = 1に設定することによりA/D変換を開始するモードです。

A/D変換終了後は，ADCSビット = 0に設定しない限り連続してA/D変換を繰り返し行います。

変換動作中にADM, ADS, PFM, PFTレジスタに書き込みを行った場合，A/D変換は中断され，再度最初からA/D変換を行います。

### （2）外部トリガ・モード（ハードウエア・トリガ・モード）

ADS.TRGビット = 1, ADTMDビット = 0に設定した状態で，ADM.ADCSビット = 1に設定後，トリガ（ADTRG）検出によりA/D変換を開始するモードです。

ADCSビット = 0→1設定後，トリガ（ADTRG）待機状態となります。

ADTRG信号は，ADS.EGA1, EGA0ビットによりエッジ検出を行い，エッジ検出するとA/D変換を開始します。

A/D変換終了後は，再びトリガ（ADTRG）待機状態となります。

なお，A/D変換中にADTRG信号が入力された場合，トリガ検出は行わず変換動作を継続します。

また，変換動作中にADM, ADS, PFM, PFTレジスタに書き込みを行った場合，A/D変換は中断され，トリガ（ADTRG）待機状態になります。

### （3）タイマ・トリガ・モード（ハードウエア・トリガ・モード）

ADS.TRGビット = 1，ADTMDビット = 1に設定した状態で，ADM.ADCSビット = 1に設定後，トリガ（INTADTR）検出によりA/D変換を開始するモードです。

ADCSビット = 0→1設定後，トリガ（INTADTR）待機状態となります。

INTADTRが発生すると，A/D変換を開始します。

A/D変換終了後は，再びトリガ（INTADTR）待機状態となります。

なお，A/D変換中にINTADTRが発生した場合，トリガ検出は行わず変換動作を継続します。

また，変換動作中にADM, ADS, PFM, PFTレジスタに書き込みを行った場合，A/D変換は中断され，トリガ（INTADTR）待機状態になります。

## 13.5.3　動作モード

動作モードには，次の２つのモードがあります。これらの動作モードは，ADMレジスタで設定します。

・セレクト・モード

・スキャン・モード

### （1）セレクト・モード

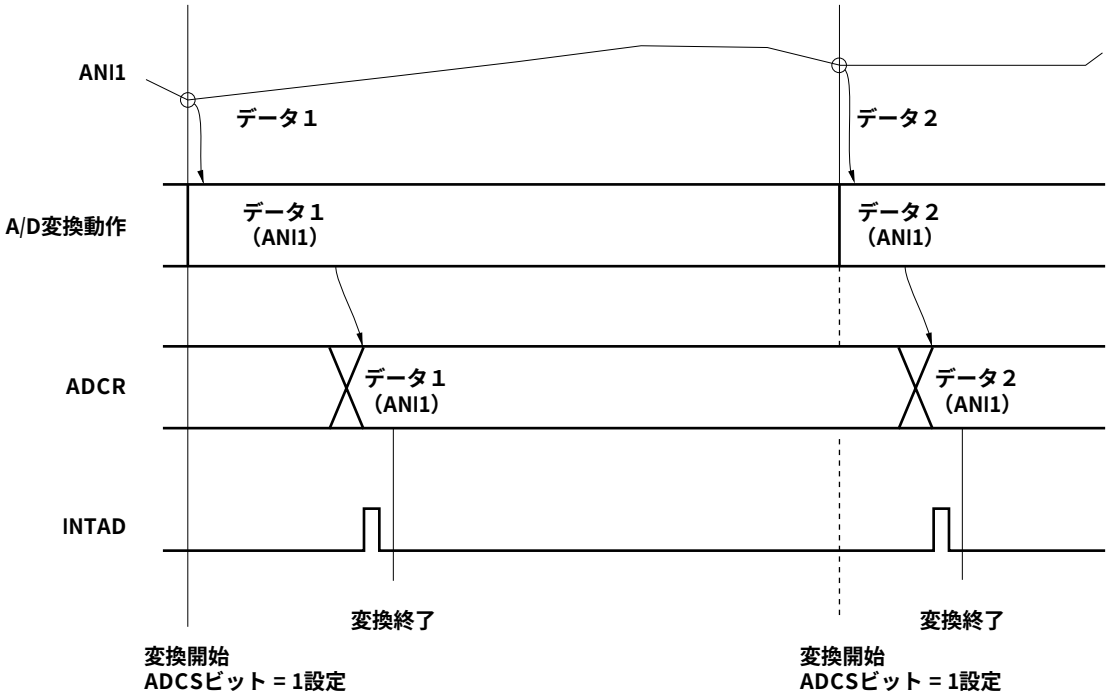
ADM.ADMDビット = 0の状態で，ADSレジスタで指定された１つのアナログ入力のA/D変換を行います。

A/D変換が終了すると，変換結果をADCRレジスタに格納します。

また，同時にA/D変換終了割り込み要求信号（INTAD）を発生します。ただし，INTADの発生は，PFM, PFTレジスタの設定に依存します。詳細は，**13.5.4　パワーフェイル監視機能**を参照してください。

変換動作中にADM, ADS, PFM, PFTレジスタに書き込みを行った場合，A/D変換は中断され，ソフトウエア・トリガ・モードの場合，再度最初からA/D変換を行い，ハードウエア・トリガ・モードの場合も再度最初からA/D変換を行います。

**図13－11　セレクト・モード動作タイミング例（ADS.ADS2-ADS0 = 001B）**



### （2）スキャン・モード

ADM. ADMDビット = 1の状態で，ANI0端子からADSレジスタで指定されたアナログ入力を順に選択し，A/D変換を行います。

１つのアナログ入力のA/D変換が終了すると，変換結果をADCRレジスタに格納します。

また，同時にA/D変換終了割り込み要求信号（INTAD）を発生します。

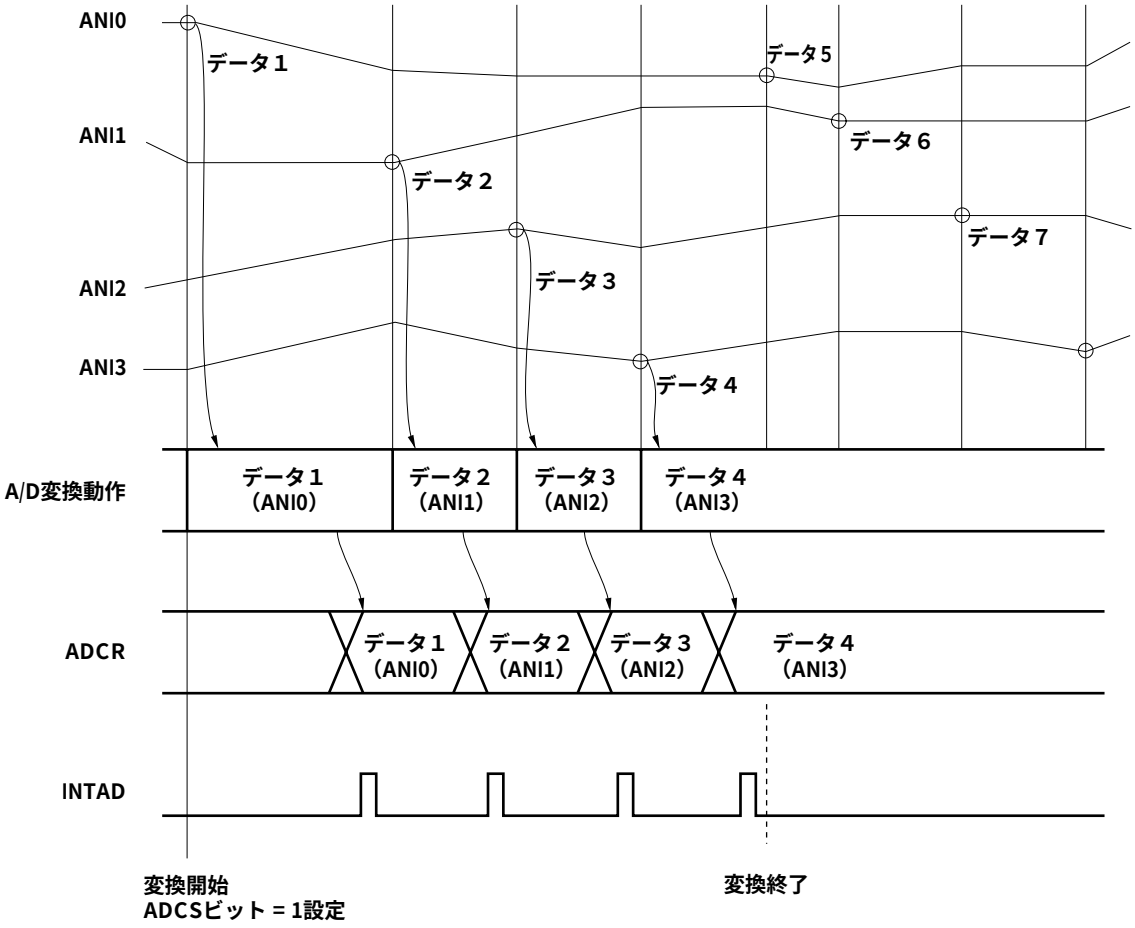
なお，すべてのアナログ入力のA/D変換結果は，ADCRレジスタに格納されるので，１つのアナログ入力のA/D変換が終了したら，ADCRレジスタの内容をRAMなどに転送することで退避することを推奨します。

ハードウエア・トリガ・モード（ADS.TRGビット = 1）の場合，ANI0端子からADSレジスタで指定されたアナログ入力までのA/D変換が終了すると，トリガ待機状態になります。

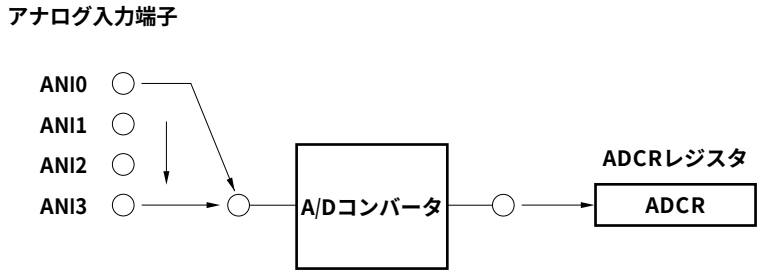
変換動作中にADM, ADS, PFM, PFTレジスタに書き込みを行った場合，A/D変換は中断され，ソフトウエア・トリガ・モードの場合，再度最初からA/D変換を行い，ハードウエア・トリガ・モードの場合も，再度最初からA/D変換を行います。なお，再変換する場合は，ANI0からになります。

図13－12　スキャン・モード動作のタイミング例（ADS.ADS2-ADS0 = 011 B）

（a）タイミング例




（b）ブロック図



## 13.5.4　パワーフェイル監視機能

パワーフェイル比較モード・レジスタ（PFM）のビット７（PFEN）の設定により，次の２種類の機能を選択できます。

・通常の10ビットA/Dコンバータ（PFEN＝0）
・パワーフェイル検出機能（PFEN＝1）

**（1）通常のA/D変換動作（PFEN＝0の場合）**

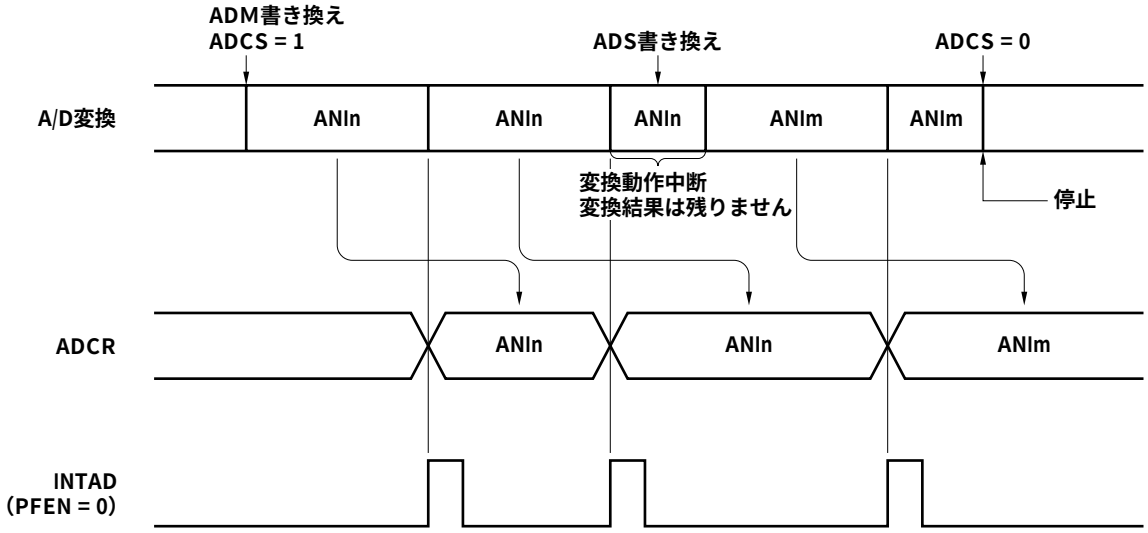
A/Dコンバータ・モード・レジスタ（ADM）のビット７（ADCS）に１，パワーフェイル比較モード・レジスタ（PFM）のビット７（PFEN）に0を設定することにより，アナログ入力チャネル指定レジスタ（ADS）で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると，変換結果をA/D変換結果レジスタ（ADCR）に格納し，割り込み要求信号（INTAD）を発生します。A/D変換動作が一度起動し，１回のA/D変換が終了すると，ただちに次のA/D変換動作を開始します。新たなデータをADSに書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に，ADM, ADS，パワーフェイル比較モード・レジスタ（PFM），パワーフェイル比較しきい値レジスタ（PFT）を書き換えると，そのとき行っていたA/D変換動作を中断し，再度，最初からA/D変換動作を開始します。

また，A/D変換動作中に，ADCSに0を書き込むと，ただちにA/D変換動作を停止します。このとき変換結果は不定となります。

**図13－13　A/D変換動作**




**備考１．** n = 0-3
**２．** m = 0-3

### （2）パワーフェイル検出機能（PFEN＝1の場合）

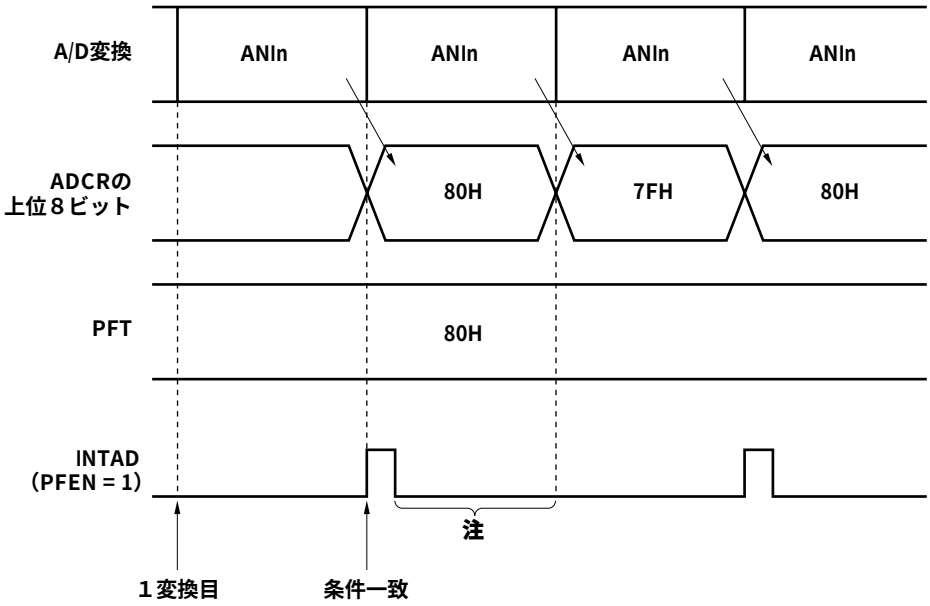
A/Dコンバータ・モード・レジスタ（ADM）のビット7（ADCS）に1，パワーフェイル比較モード・レジスタ（PFM）のビット7（PFEN）に1を設定することにより，アナログ入力チャネル指定レジスタ（ADS）で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると，変換結果をA/D変換結果レジスタ（ADCR）に格納し，パワーフェイル比較しきい値レジスタ（PFT）との大小比較を行い，PFMのビット6（PFCM）に指定された条件のもとで割り込み要求信号（INTAD）が発生します。

① PFEN = 1かつPFCM = 0の場合
A/D変換終了のタイミングで，ADCRの上位8ビットとPFTの値を比較し，ADCRの上位8ビット≧PFTの場合のみINTADを発生します。

② PFEN = 1かつPFCM = 1の場合
A/D変換終了のタイミングで，ADCRの上位8ビットとPFTの値を比較し，ADCRの上位8ビット＜PFTの場合のみINTADを発生します。

図13－14　パワーフェイル検出（PFEN = 1かつPFCM = 0の場合）




注　INTADが出力されてから次の変換終了までの間に変換結果を読み出さないと，次の変換結果に変わってしまいます。

備考　n = 0-3

### （3）設定方法

次に設定方法を説明します。

・通常のA/D変換動作として使用する場合

① A/Dコンバータ・モード・レジスタ（ADM）のビット0（ADCS2）をセット（1）

② アナログ入力チャネル指定レジスタ（ADS）のビット2-0（ADS2-ADS0）とADMのビット5-1（FR2-FR0, ADHS1, ADHS0）で，チャネルと変換時間を選択

③ ADMのビット7（ADCS）をセット（1）し，A/D変換動作開始

④ 割り込み要求信号（INTAD）発生

⑤ A/D変換データをA/D変換結果レジスタ（ADCR）に転送

＜チャネルを変更する＞

⑥ ADSのビット2-0（ADS2-ADS0）で，チャネルを変更し，A/D変換動作開始

⑦ 割り込み要求信号（INTAD）発生

⑧ A/D変換データをA/D変換結果レジスタ（ADCR）に転送

＜A/D変換を終了する＞

⑨ ADCSをクリア（0）

⑩ ADCS2をクリア（0）

**注意1．①から③までの間は1μs以上空けてください。**

**2．①と②の順番が逆でも問題ありません。**

**3．①は省略可能です。ただし，この場合には③のあとの1回目のA/D変換結果は使用しないでください。**

**4．④から⑦までの時間は，ADMのビット5-1（FR2-FR0, ADHS1, ADHS0）で設定した変換時間とは異なります。⑥から⑦までの時間が，FR2-FR0, ADHS1, ADHS0で設定した変換時間となります。**

・パワーフェイル検出機能として使用する場合

① パワーフェイル比較モード・レジスタ（PFM）のビット７（PFEN）をセット（１）
② PFMのビット６（PFCM）でパワーフェイル比較条件を設定
③ A/Dコンバータ・モード・レジスタ（ADM）のビット０（ADCS2）をセット（１）
④ アナログ入力チャネル指定レジスタ（ADS）のビット2-0（ADS2-ADS0）とADMのビット5-1（FR2-FR0, ADHS1, ADHS0）で，チャネルと変換時間を選択
⑤ パワーフェイル比較しきい値レジスタ（PFT）にしきい値を設定
⑥ ADMのビット７（ADCS）をセット（１）
⑦ A/D変換データをA/D変換結果レジスタ（ADCR）に転送
⑧ ADCRの上位８ビットとPFTとの大小比較を行い，条件が一致した場合に割り込み要求信号（INTAD）発生

＜チャネルを変更する＞

⑨ ADSのビット2-0（ADS2-ADS0）で，チャネルを変更
⑩ A/D変換データをA/D変換結果レジスタ（ADCR）に転送
⑪ ADCRの上位８ビットとパワーフェイル比較しきい値レジスタ（PFT）との大小比較を行い，条件が一致した場合に割り込み要求信号（INTAD）発生

＜A/D変換を終了する＞

⑫ ADCSをクリア（０）
⑬ ADCS2をクリア（０）

**注意１．③から⑥までの間は1 μs以上空けてください。**
**２．③，④，⑤の順番が入れ替わっても問題ありません。**
**３．パワーフェイル検出機能を使用する場合，③を省略することはできません。**
**４．⑦から⑪までの時間は，ADMのビット5-1（FR2-FR0, ADHS1, ADHS0）で設定した変換時間とは異なります。⑨から⑪までの時間が，FR2-FR0, ADHS1, ADHS0で設定した変換時間となります。**

**備考**　セレクト・モード，スキャン・モードにかかわらず，パワーフェイル検出機能の動作を許可していれば，すべてのA/D変換結果に対して比較動作を行います。

# 13.6　A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

**（1）分 解 能**

識別可能な最小アナログ入力電圧，つまり，ディジタル出力１ビットあたりのアナログ入力電圧の比率を1LSB（Least Significant Bit）といいます。1LSBのフルスケールに対する比率を%FSR（Full Scale Range）で表します。

分解能10ビットのとき

$$1LSB = 1/2^{10} = 1/1024$$
$$= 0.098\%FSR$$

精度は分解能とは関係なく，総合誤差によって決まります。

**（2）総合誤差**

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお，特性表の総合誤差には量子化誤差は含まれていません。

**（3）量子化誤差**

アナログ値をディジタル値に変換するとき，必然的に生じる±1/2LSBの誤差です。A/Dコンバータでは，±1/2LSBの範囲にあるアナログ入力電圧は，同じディジタル・コードに変換されるため，量子化誤差を避けることはできません。

なお，特性表の総合誤差，ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差には含まれていません。

図13－15　総合誤差

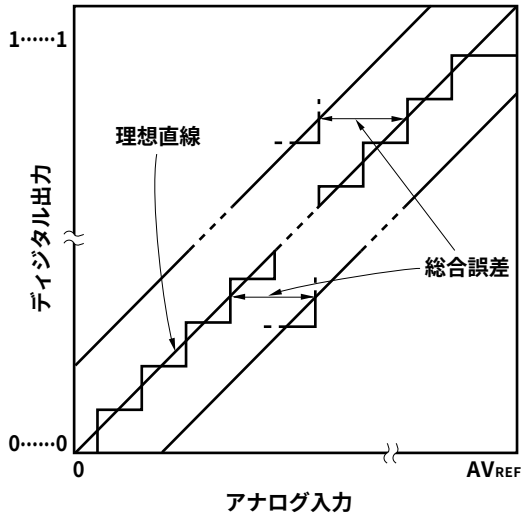
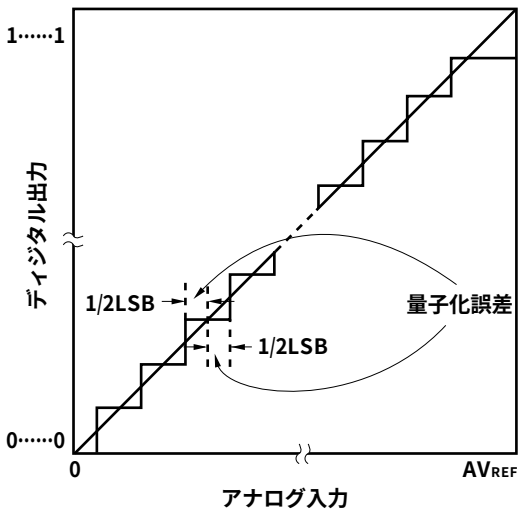



図13－16　量子化誤差



**（4）ゼロスケール誤差**

ディジタル出力が0……000から0……001に変化するときの，アナログ入力電圧の実測値と理論値（1/2LSB）との差を表します。実測値が理論値よりも大きい場合は，ディジタル出力が0……001から0……010に変化するときの，アナログ入力電圧の実測値と理論値（3/2LSB）との差を表します。

**（5）フルスケール誤差**

ディジタル出力が1……110から1……111に変化するときの，アナログ入力電圧の実測値と理論値（フルスケール－3/2LSB）との差を表します。

**（6）積分直線性誤差**

変換特性が，理想的な直線関係から外れている程度を表します。ゼロスケール誤差，フルスケール誤差を0としたときの，実測値と理想直線との差の最大値を表します。

**（7）微分直線性誤差**

理想的にはあるコードを出力する幅は1LSBですが，あるコードを出力する幅の実測値と理想値との差を表します。

図13－17　ゼロスケール誤差

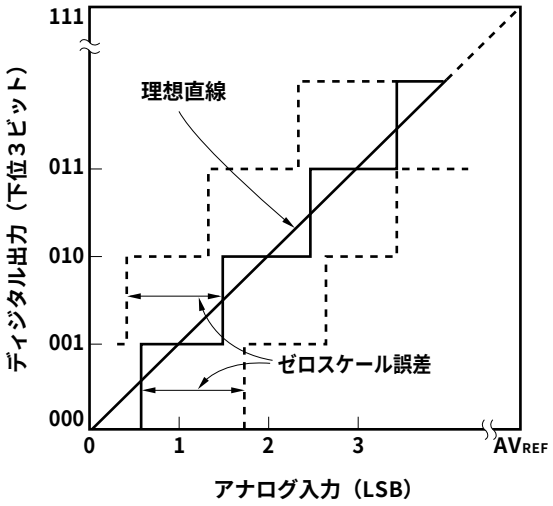



図13－18　フルスケール誤差

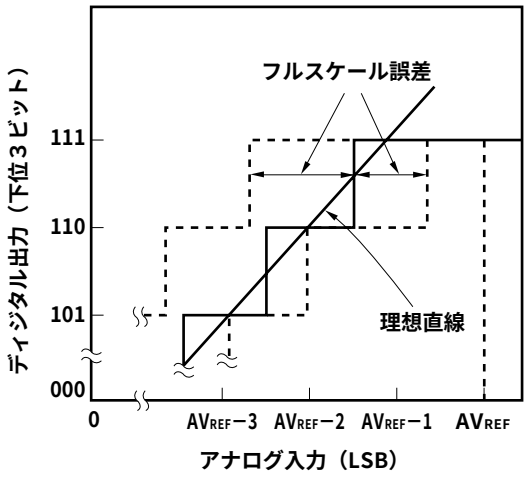


図13－19　積分直線性誤差

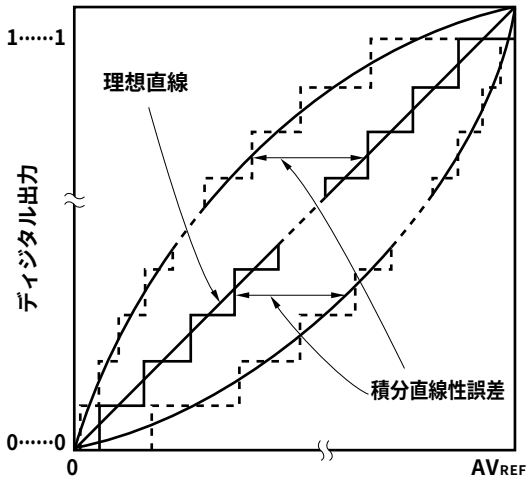
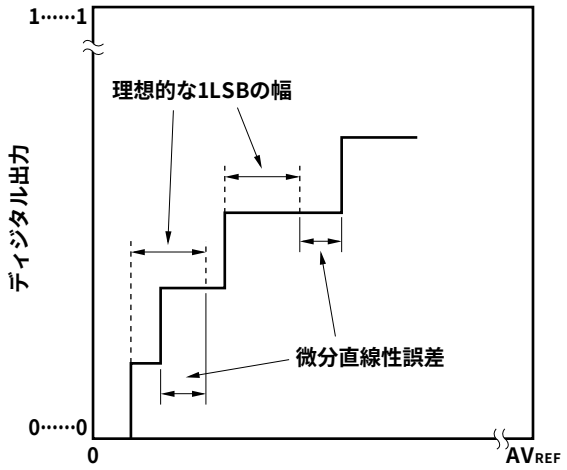



図13－20　微分直線性誤差



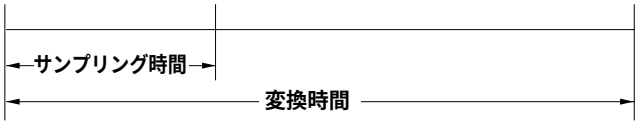

**（8）変換時間**

サンプリングを開始してから，ディジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

**（9）サンプリング時間**

アナログ電圧をサンプル＆ホールド回路に取り込むため，アナログ・スイッチがオンしている時間です。



# 13.7　A/Dコンバータの注意事項

**（1）スタンバイ・モード時の動作電流について**

A/Dコンバータは，スタンバイ・モード時には動作が停止します。このときA/Dコンバータ・モード・レジスタ（ADM）のビット7（ADCS）=0にすることにより，動作電流を低減させることができます（**図13－2**を参照）。

**（2）ANI0-ANI3入力範囲について**

ANI0-ANI3入力電圧は規格の範囲内でご使用ください。特に$AV_{REF}$以上，$AV_{SS}$以下（絶対最大定格の範囲内でも）の電圧が入力されると，そのチャネルの変換値が不定となります。また，ほかのチャネルの変換値にも影響を与えることがあります。

**（3）競合動作について**

① 変換終了時のA/D変換結果レジスタ（ADCR）ライトと命令によるADCRリードとの競合

ADCRリードが優先されます。リードしたあと，新しい変換結果がADCRにライトされます。

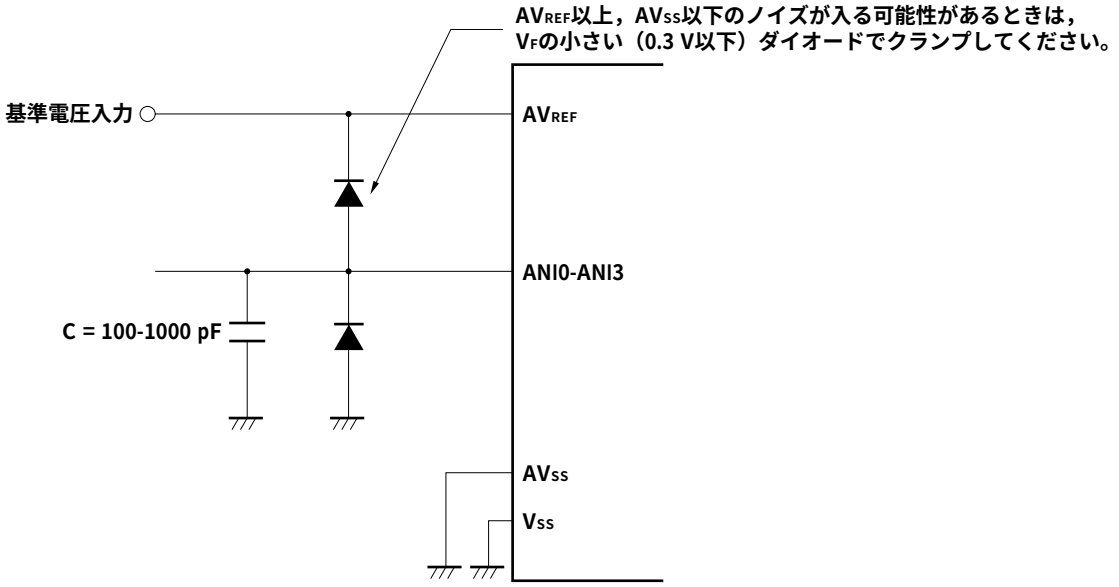
② 変換終了時のADCRライトとA/Dコンバータ・モード・レジスタ（ADM）ライト，またはアナログ入力チャネル指定レジスタ（ADS）ライトの競合

ADMまたはADSへのライトが優先されます。ADCRへのライトはされません。また，変換終了割り込み信号（INTAD）も発生しません。

### （4）ノイズ対策について

10ビット分解能を保つためには，$AV_{REF}$, ANI0-ANI3端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので，ノイズを低減するために図13－21のようにCを外付けすることを推奨します。

**図13－21　アナログ入力端子の処理**




### （5）ANI0/P20-ANI3/P23

① アナログ入力（ANI0-ANI3）端子は入力ポート（P20-P23）端子と兼用になっています。

ANI0-ANI3のいずれかを選択してA/D変換をする場合，変換中にポート２に対してアクセスしないでください。変換分解能が低下することがあります。

② A/D変換中の端子に隣接する端子へディジタル・パルスを印加すると，カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって，A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

### （6）ANI0-ANI3端子の入力インピーダンスについて

このA/Dコンバータでは，内部のサンプリング・コンデンサに充電して，サンプリングを行っています。

したがって，サンプリング中以外はリーク電流だけであり，サンプリング中にはコンデンサに充電するための電流も流れるので，入力インピーダンスは変動して意味がありません。

ただし，十分にサンプリングするためには，アナログ入力源の出力インピーダンスを10 kΩ以下にするか，ANI0-ANI3端子に100 pF程度のコンデンサを付けることを推奨します（**図13－21**参照）。

### （7）$AV_{REF}$端子の入力インピーダンスについて

$AV_{REF}$端子と$AV_{SS}$端子の間には数十kΩの直列抵抗ストリングが接続されています。

したがって，基準電圧源の出力インピーダンスが高い場合，$AV_{REF}$端子と$AV_{SS}$端子の間の直列抵抗ストリングと直列接続することになり，基準電圧の誤差が大きくなります。

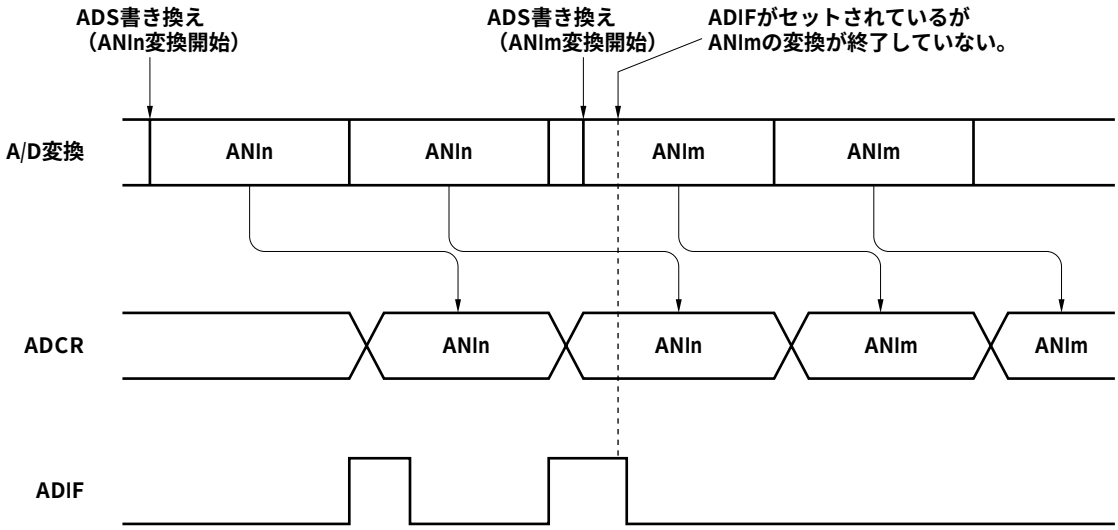
### （8）割り込み要求フラグ（ADIF）について

アナログ入力チャネル指定レジスタ（ADS）を変更しても割り込み要求フラグ（ADIF）はクリアされません。

したがって，A/D変換中にアナログ入力端子の変更を行った場合，ADS書き換え直前に，変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。ADS書き換え直後にADIFを読み出すと，変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることになりますので注意してください。

また，A/D変換を一度停止させて再開する場合は，再開する前にADIFをクリアしてください。

**図13－22　A/D変換終了割り込み要求発生タイミング**




**備考１．** n = 0-3

**２．** m = 0-3

### （9）A/D変換スタート直後の変換結果について

ADCS2ビット＝１にしてから，1μs以内にADCSビット＝１にした場合，もしくはADCS2ビット＝０の状態で，ADCSビット＝１にした場合は，A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求（INTAD）をポーリングし，最初の変換結果を廃棄するなどの対策を行ってください。

### （10）A/D変換結果レジスタ（ADCR）の読み出しについて

A/Dコンバータ・モード・レジスタ（ADM），アナログ入力チャネル指定レジスタ（ADS）に対して書き込み動作を行ったとき，ADCRの内容は不定となることがあります。変換結果は，変換動作終了後，ADM, ADSに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

### （11）内部等価回路について

アナログ入力部の等価回路を次に示します。

図13－23　ANIn端子内部等価回路

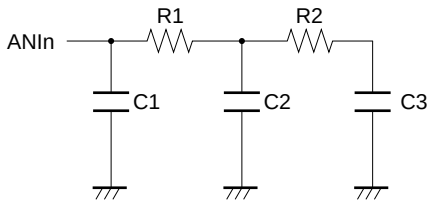



表13－４　等価回路の各抵抗と容量値（参考値）

| $AV_{REF}$ | R1 | R2 | C1 | C2 | C3 |
|---|---|---|---|---|---|
| 4.5 V | 4 kΩ | 2.7 kΩ | 8 pF | 1.4 pF | 0.6 pF |

**備考１．**表13－４の各抵抗と容量値は保証値ではありません。

**２．**n = 0-3

# 第14章　シリアル・インタフェースUART00

## 14.1　シリアル・インタフェースUART00の機能

シリアル・インタフェースUART00には，次の2種類のモードがあります。

（1）動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減できます。

詳細については**14.4.1　動作停止モード**を参照してください。

（2）アシンクロナス・シリアル・インタフェース（UART）モード

機能の概要を次に示します。

詳細については**14.4.2　アシンクロナス・シリアル・インタフェース（UART）モード**，**14.4.3　専用ボー・レート・ジェネレータ**を参照してください。

- 2端子構成　TxD00：送信データの出力端子
  RxD00：受信データの入力端子
- 通信データのデータ長は7ビット／8ビット可変
- 専用の5ビット・ボー・レート・ジェネレータを内蔵していることにより，任意のボー・レートが設定可能
- 送信動作と受信動作は独立して動作することが可能
- 動作クロックは，4本のクロック入力選択可能
- 通信データの先頭ビットは，LSB固定

注意１．シリアル・インタフェースUART00へのソース・クロックが停止しない場合（例：HALTモード）は，正常動作が続きます。シリアル・インタフェースUART00へのソース・クロックが停止する場合（例：STOPモード）では，各レジスタは，クロック停止直前の値を保持したまま動作を停止します。TxD00端子出力も同様に，クロック停止直前の値を保持し出力します。ただし，クロック供給再開後の動作は保証していないので，再開後はPOWER00 = 0，RXE00 = 0，TXE00 = 0となるように回路をリセットしてください。

２．通信開始する場合，POWER00 = 1に設定後，TXE00 = 1（送信）またはRXE00 = 1（受信）に設定してください。

３．TXE00とRXE00は，BRGC00で設定した基本クロック（$f_{XCLK0}$）により，同期化されています。再び送信動作または受信動作を許可する場合は，TXE00 = 0またはRXE00 = 0に設定してから基本クロック2クロック以降にTXE00 = 1またはRXE00 = 1を設定してください。基本クロック2クロック以内に設定すると，送信回路または受信回路を初期化できない場合があります。

★ ４．TXE00 = 1に設定したあと，基本クロック（$f_{XCLK0}$）2クロック以上待ってから，TXS00に送信データを設定してください。

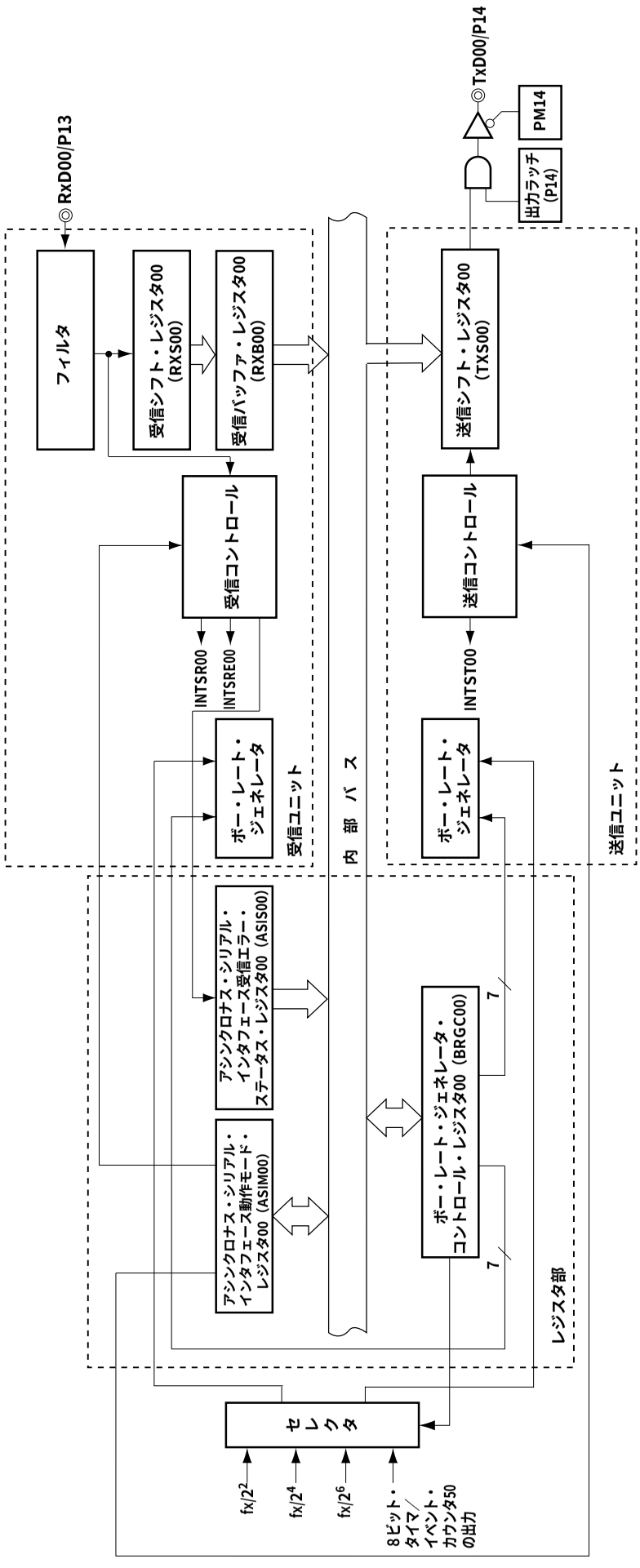
# 14.2　シリアル・インタフェースUART00の構成

シリアル・インタフェースUART00は，次のハードウエアで構成しています。

表14－1　シリアル・インタフェースUART00の構成

| 項　　目 | 構　　成 |
|---|---|
| レジスタ | 受信バッファ・レジスタ00（RXB00） |
| | 受信シフト・レジスタ00（RXS00） |
| | 送信シフト・レジスタ00（TXS00） |
| 制御レジスタ | アシンクロナス・シリアル・インタフェース動作モード・レジスタ00（ASIM00） |
| | アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ00（ASIS00） |
| | ボー・レート・ジェネレータ・コントロール・レジスタ00（BRGC00） |
| | ポート・モード・レジスタ1（PM1） |
| | ポート・レジスタ1（P1） |

図14－1　シリアル・インタフェースUART00のブロック図



### （1）受信バッファ・レジスタ00（RXB00）

受信シフト・レジスタ00（RXS00）で変換したパラレル・データを格納するための8ビット・レジスタです。

データを1バイト受信するごとに新たな受信データが転送されます。

データ長を7ビットに指定した場合，受信データはRXB00のビット0-6に転送され，RXB00のMSBは必ず0になります。

オーバラン・エラー（OVE00）が発生した場合，そのときの受信データはRXB00には転送されません。

RXB00は8ビット・メモリ操作命令で読み出せます。書き込みはできません。

$\overline{\text{RESET}}$入力，POWER00 = 0によりFFHとなります。

### （2）受信シフト・レジスタ00（RXS00）

RxD00端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。

RXS00はプログラムで直接操作できません。

### （3）送信シフト・レジスタ00（TXS00）

送信データを設定するためのレジスタです。TXS00にデータを書き込むことにより，送信動作が起動し，シリアル・データをTxD00端子から送信します。

TXS00は8ビット・メモリ操作命令で書き込めます。読み出しはできません。

$\overline{\text{RESET}}$入力，POWER00 = 0，TXE00 = 0によりFFHとなります。

★ 注意１．TXE00 = 1に設定したあと，基本クロック（$f_{XCLK0}$）2クロック以上待ってから，TXS00に送信データを設定してください。

２．TXS00に送信データを書き込んでから送信完了割り込み信号（INTST00）が発生するまで，次の送信データを書き込まないでください。

# 14.3　シリアル・インタフェースUART00を制御するレジスタ

シリアル・インタフェースUART00は，次の5種類のレジスタで制御します。

・アシンクロナス・シリアル・インタフェース動作モード・レジスタ00（ASIM00）
・アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ00（ASIS00）
・ボー・レート・ジェネレータ・コントロール・レジスタ00（BRGC00）
・ポート・モード・レジスタ1（PM1）
・ポート・レジスタ1（P1）

### （1）アシンクロナス・シリアル・インタフェース動作モード・レジスタ00（ASIM00）

シリアル・インタフェースUART00のシリアル通信動作を制御する８ビット・レジスタです。
ASIM00は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
$\overline{\text{RESET}}$入力により，01Hになります。

**図14－２　アシンクロナス・シリアル・インタフェース動作モード・レジスタ00（ASIM00）のフォーマット（1/2）**

アドレス：FF70H　リセット時：01H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| ASIM00 | POWER00 | TXE00 | RXE00 | PS001 | PS000 | CL00 | SL00 | 1 |

| POWER00 | 内部動作クロックの動作許可／禁止 |
|---|---|
| 0[注1] | 内部動作クロックの動作禁止（ロウ・レベル固定），内部回路を非同期リセットする[注2]。 |
| 1 | 内部動作クロックの動作許可 |

| TXE00 | 送信動作許可／禁止 |
|---|---|
| 0 | 送信動作禁止（送信回路を同期リセットする） |
| 1 | 送信動作許可 |

| RXE00 | 受信動作許可／禁止 |
|---|---|
| 0 | 受信動作禁止（受信回路を同期リセットする） |
| 1 | 受信動作許可 |

**注１．** POWER00 = 0で，RxD00端子からの入力はハイ・レベルに固定されます。

**２．** リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ00（ASIS00），送信シフト・レジスタ00（TXS00），受信バッファ・レジスタ00（RXB00）です。

図14－2　アシンクロナス・シリアル・インタフェース動作モード・レジスタ00（ASIM00）のフォーマット（2/2）

| PS001 | PS000 | 送信動作 | 受信動作 |
|---|---|---|---|
| 0 | 0 | パリティ・ビットを出力しない | パリティなしで受信 |
| 0 | 1 | 0パリティを出力 | 0パリティとして受信注 |
| 1 | 0 | 奇数パリティを出力 | 奇数パリティとして判定を行う |
| 1 | 1 | 偶数パリティを出力 | 偶数パリティとして判定を行う |

| CL00 | 送受信データのキャラクタ長指定 |
|---|---|
| 0 | データのキャラクタ長＝7ビット |
| 1 | データのキャラクタ長＝8ビット |

| SL00 | 送信データのストップ・ビット数指定 |
|---|---|
| 0 | ストップ・ビット数＝1 |
| 1 | ストップ・ビット数＝2 |

注　「0パリティとして受信」を設定すると，パリティ判定を行いません。したがって，アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ00（ASIS00）のビット2（PE00）はセットされないため，エラー割り込みも発生しません。

注意１．起動時はPOWER00＝1にしてから，TXE00＝1としてください。動作を停止するときにはTXE00＝0にしてから，POWER00＝0としてください。

２．起動時はPOWER00＝1にしてから，RXE00＝1としてください。動作を停止するときにはRXE00＝0にしてから，POWER00＝0としてください。

３．RxD00端子にハイ・レベルが入力された状態でPOWER00＝1→RXE00＝1 と設定してください。ロウ・レベルのときにPOWER00＝1→RXE00＝1 と設定すると，受信を開始してしまいます。

４．TXE00とRXE00は， BRGC00で設定した基本クロック（$f_{XCLK0}$）により，同期化されています。再び送信動作または受信動作を許可する場合は，TXE00＝0またはRXE00＝0に設定してから基本クロック2クロック以降にTXE00＝1またはRXE00＝1を設定してください。基本クロック2クロック以内に設定すると，送信回路または受信回路を初期化できない場合があります。

★ ５．TXE00＝1に設定したあと，基本クロック（$f_{XCLK0}$）2クロック以上待ってから，TXS00に送信データを設定してください。

６．PS001，PS000，CL00ビットを書き換えるときは，TXE00，RXE00ビットをクリア（0）してから行ってください。

７．SL00ビットを書き換えるときは，TXE00をクリア（0）してから行ってください。また，受信は常に“ストップ・ビット数＝1”として動作するので，SL00ビットの設定値の影響は受けません。

８．ビット0には必ず1を設定してください。

### （2）アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ00（ASIS00）

シリアル・インタフェースUART00の受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ（PE00, FE00, OVE00）で構成されています。

ASIS00は，8ビット・メモリ操作命令で読み出しのみ可能です。

$\overline{\text{RESET}}$入力，ASIM00のビット7（POWER00）= 0，ビット5（RXE00）= 0により，00Hになります。また，読み出しにより，00Hになります。

**図14－3　アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ00（ASIS00）のフォーマット**

アドレス：FF73H　リセット時：00H　R

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| ASIS00 | 0 | 0 | 0 | 0 | 0 | PE00 | FE00 | OVE00 |

| PE00 | パリティ・エラーを示すステータス・フラグ |
|---|---|
| 0 | POWER00 = 0およびRXE00 = 0に設定したとき，または，ASIS00レジスタのリード |
| 1 | 受信完了時，送信データのパリティとパリティ・ビットが一致しないとき |

| FE00 | フレーミング・エラーを示すステータス・フラグ |
|---|---|
| 0 | POWER00 = 0およびRXE00 = 0に設定したとき，または，ASIS00レジスタのリード |
| 1 | 受信完了時，ストップ・ビットが検出されないとき |

| OVE00 | オーバラン・エラーを示すステータス・フラグ |
|---|---|
| 0 | POWER00 = 0およびRXE00 = 0に設定したとき，または，ASIS00レジスタのリード |
| 1 | RXB00レジスタに受信データがセットされ，それを読み出す前に次の受信動作が完了したとき |

**注意１．PE00ビットの動作は，アシンクロナス・シリアル・インタフェース動作モード・レジスタ00（ASIM00）のPS001，PS000ビットの設定値により異なります。**

**２．受信データのストップ・ビットはストップ・ビット数に関係なく最初の１ビットだけをチェックします。**

**３．オーバラン・エラーが発生した場合，次の受信データは受信バッファ・レジスタ00（RXB00）には書き込まれず，データは破棄されます。**

**４．ASIS00からデータを読み出すと，ウエイトが発生します。詳細は「第27章　ウエイトに関する注意事項」を参照してください。**

### （3）ボー・レート・ジェネレータ・コントロール・レジスタ00（BRGC00）

シリアル・インタフェースUART00の基本クロックの選択と5ビット・カウンタの分周値を設定するレジスタです。

BRGC00は，8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，1FHになります。

**図14－4　　ボー・レート・ジェネレータ・コントロール・レジスタ00（BRGC00）のフォーマット**

アドレス：FF71H　リセット時：1FH　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| BRGC00 | TPS001 | TPS000 | 0 | MDL004 | MDL003 | MDL002 | MDL001 | MDL000 |

| TPS001 | TPS000 | 基本クロック（$f_{XCLK0}$）選択[注1] | | |
|---|---|---|---|---|
| | | | $f_X$ = 20 MHz動作時 | $f_X$ = 16 MHz動作時 |
| 0 | 0 | TM50の出力[注2] | | |
| 0 | 1 | $f_X/2^2$ | 5 MHz | 4 MHz |
| 1 | 0 | $f_X/2^4$ | 1.25 MHz | 1 MHz |
| 1 | 1 | $f_X/2^6$ | 312.5 kHz | 250 kHz |

| MDL004 | MDL003 | MDL002 | MDL001 | MDL000 | k | 5ビット・カウンタの出力クロック選択 |
|---|---|---|---|---|---|---|
| 0 | 0 | × | × | × | × | 設定禁止 |
| 0 | 1 | 0 | 0 | 0 | 8 | $f_{XCLK0}/8$ |
| 0 | 1 | 0 | 0 | 1 | 9 | $f_{XCLK0}/9$ |
| 0 | 1 | 0 | 1 | 0 | 10 | $f_{XCLK0}/10$ |
| ・ | ・ | ・ | ・ | ・ | ・ | ・ |
| ・ | ・ | ・ | ・ | ・ | ・ | ・ |
| ・ | ・ | ・ | ・ | ・ | ・ | ・ |
| ・ | ・ | ・ | ・ | ・ | ・ | ・ |
| ・ | ・ | ・ | ・ | ・ | ・ | ・ |
| 1 | 1 | 0 | 1 | 1 | 27 | $f_{XCLK0}/27$ |
| 1 | 1 | 1 | 0 | 0 | 28 | $f_{XCLK0}/28$ |
| 1 | 1 | 1 | 0 | 1 | 29 | $f_{XCLK0}/29$ |
| 1 | 1 | 1 | 1 | 0 | 30 | $f_{XCLK0}/30$ |
| 1 | 1 | 1 | 1 | 1 | 31 | $f_{XCLK0}/31$ |

**注1．**基本クロックは次の条件を満たすように設定してください。

・$V_{DD}$ = 4.0～5.5 V：基本クロック≦10 MHz

**2．**TM50の出力をカウント・クロックとして選択する場合，次の内容に注意してください。

・PWMモード（TMC506 = 1）のとき

デューティ50 %のクロックになるように設定し，事前に8ビット・タイマ／イベント・カウンタ50の動作を開始してください。

・TM50とCR50の一致でクリア＆スタート・モード（TMC506 = 0）のとき

タイマF/Fの反転動作を許可（TMC501 = 1）し，事前に8ビット・タイマ／イベント・カウンタ50の動作を開始してください。

どちらのモードの場合でも，TO50端子をタイマ出力許可する必要はありません。

**注意１．CPUへのソース・クロックに低速内蔵発振クロックを選択する場合，カウント・クロックに低速内蔵発振器の分周クロックが供給されます。基本クロックが低速内蔵発振クロックの場合，シリアル・インタフェースUART00の動作は保証されません。**

**２．MDL004-MDL000ビットを書き換える場合は，ASIM00レジスタのビット6（TXE00）= 0，ビット5（RXE00）= 0にしてから行ってください。**

**３．5ビット・カウンタの出力クロックをさらに1/2分周したものが，ボー・レート値となります。**

**備考１．$f_{XCLK0}$：TPS001, TPS000ビットで選択した基本クロックの周波数**

**２．$f_X$　：X1入力クロック発振周波数**

**３．k　：MDL004-MDL000ビットで設定した値（k = 8, 9, 10，…，31）**

**４．×　：任意**

**５．TMC506：８ビット・タイマ・モード・コントロール・レジスタ50（TMC50）のビット６**
**TMC501：８ビット・タイマ・モード・コントロール・レジスタ50（TMC50）のビット１**

### （4）ポート・モード・レジスタ１（PM1）

ポート１の入力／出力を１ビット単位で設定するレジスタです。

P14/TxD00端子をシリアル・インタフェースのデータ出力として使用するとき，PM14に０を，P14の出力ラッチに１を設定してください。

P13/RxD00端子をシリアル・インタフェースのデータ入力として使用するとき，PM13に１を設定してください。このときP13の出力ラッチは，０または１のどちらでもかまいません。

PM1は，１ビット・メモリ操作命令または８ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，FFHになります。

**図14－５　ポート・モード・レジスタ１（PM1）のフォーマット**

アドレス：FF21H　リセット時：FFH　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PM1 | PM17 | PM16 | PM15 | PM14 | PM13 | PM12 | PM11 | PM10 |

| PM1n | P1n端子の入出力モードの選択（n = 0-7） |
|---|---|
| 0 | 出力モード（出力バッファ・オン） |
| 1 | 入力モード（出力バッファ・オフ） |

# 14.4　シリアル・インタフェースUART00の動作

シリアル・インタフェースUART00は，次の2種類のモードがあります。

・動作停止モード
・アシンクロナス・シリアル・インタフェース（UART）モード

## 14.4.1　動作停止モード

動作停止モードでは，シリアル通信を行いませんので，消費電力を低減できます。また，動作停止モードでは，端子を通常のポートとして使用できます。動作停止モードにする場合は，ASIM00のビット7, 6, 5（POWER00, TXE00, RXE00）に0を設定してください。

### （1）使用するレジスタ

動作停止モードの設定は，アシンクロナス・シリアル・インタフェース動作モード・レジスタ00（ASIM00）で行います。

ASIM00は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，01Hになります。

アドレス：FF70H　リセット時：01H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| ASIM00 | POWER00 | TXE00 | RXE00 | PS001 | PS000 | CL00 | SL00 | 1 |

| POWER00 | 内部動作クロックの動作許可／禁止 |
|---|---|
| 0[注1] | 内部動作クロックの動作禁止（ロウ・レベル固定），内部回路を非同期リセットする[注2]。 |

| TXE00 | 送信動作許可／禁止 |
|---|---|
| 0 | 送信動作禁止（送信回路を同期リセットする） |

| RXE00 | 受信動作許可／禁止 |
|---|---|
| 0 | 受信動作禁止（受信回路を同期リセットする） |

注1．POWER00 = 0で，RxD00端子からの入力はハイ・レベルに固定されます。

2．リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ00（ASIS00），送信シフト・レジスタ00（TXS00），受信バッファ・レジスタ00（RXB00）です。

**注意　動作停止モードにするときはTXE00 = 0, RXE00 = 0にしてから，POWER00 = 0 にしてください。起動時はPOWER00 = 1にしてから，TXE00 = 1, RXE00 = 1にしてください。**

**備考**　RxD00/P13, TxD00/P14端子を汎用ポートとして使用する場合は，**第4章　ポート機能**を参照してください。

## 14.4.2　アシンクロナス・シリアル・インタフェース（UART）モード

スタート・ビットに続く1バイトのデータを送受信するモードで，全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており，広範囲な任意のボー・レートで通信できます。

### （1）使用するレジスタ

・アシンクロナス・シリアル・インタフェース動作モード・レジスタ00（ASIM00）
・アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ00（ASIS00）
・ボー・レート・ジェネレータ・コントロール・レジスタ00（BRGC00）
・ポート・モード・レジスタ1（PM1）
・ポート・レジスタ1（P1）

UARTモードの基本的な動作設定手順例は次のようになります。

① BRGC00レジスタを設定（**図14－4**を参照）
② ASIM00レジスタのビット1-4（SL00, CL00, PS000, PS001）を設定（**図14－2**を参照）
③ ASIM00レジスタのビット7（POWER00）をセット（1）
④ ASIM00レジスタのビット6（TXE00）をセット（1）→ 送信可能
　ASIM00レジスタのビット5（RXE00）をセット（1）→ 受信可能
★ ⑤ ④の設定後，2クロック以上待ってからTXS00レジスタにデータを書き込み → データ送信開始

**注意　ポート・モード・レジスタとポート・レジスタの設定手順は，通信相手との関係を考慮して，行ってください。**

レジスタの設定と端子の関係を次に示します。

**表14－2　レジスタの設定と端子の関係**

| POWER00 | TXE00 | RXE00 | PM14 | P14 | PM13 | P13 | UART00の動作 | 端子機能 | |
|---|---|---|---|---|---|---|---|---|---|
| | | | | | | | | TxD00/P14 | RxD00/P13 |
| 0 | 0 | 0 | ×注 | ×注 | ×注 | ×注 | 停止 | P14 | P13 |
| 1 | 0 | 1 | ×注 | ×注 | 1 | × | 受信 | P14 | RxD00 |
| | 1 | 0 | 0 | 1 | ×注 | ×注 | 送信 | TxD00 | P13 |
| | 1 | 1 | 0 | 1 | 1 | × | 送受信 | TxD00 | RxD00 |

**注**　ポート機能として設定することができます。

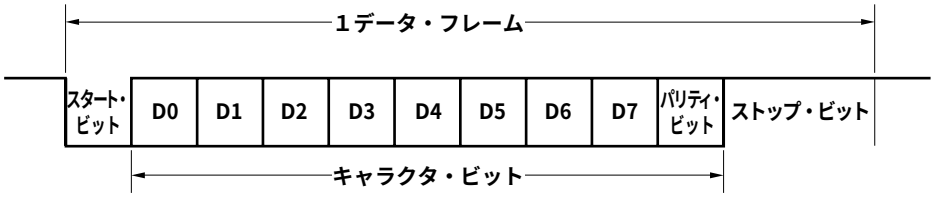
**備考**　×　　：don't care
POWER00：アシンクロナス・シリアル・インタフェース動作モード・レジスタ00（ASIM00）のビット7
TXE00　：ASIM00のビット6
RXE00　：ASIM00のビット5
PM1×　：ポート・モード・レジスタ
P1×　　：ポートの出力ラッチ

### （2）通信動作

#### （a）通常送受信データ・フォーマットと波形例

通常送受信データのフォーマットと波形例を図14－６，16－７に示します。

図14－６　通常UART送受信データのフォーマット



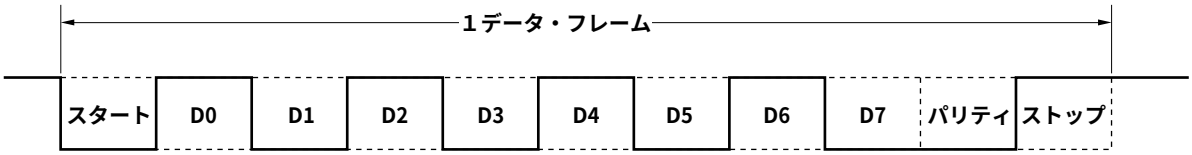

1データ・フレームは次に示すビットで構成されています。

- スタート・ビット …… 1ビット
- キャラクタ・ビット … 7ビット／8ビット（LSBファースト）
- パリティ・ビット …… 偶数パリティ／奇数パリティ／０パリティ／パリティなし
- ストップ・ビット …… １ビット／２ビット

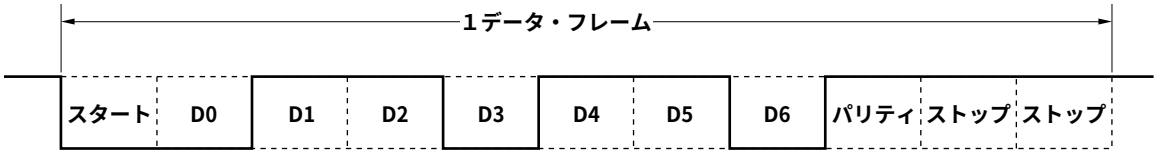
1データ・フレーム内のキャラクタ・ビット長の指定，パリティ選択，ストップ・ビット長の指定は，アシンクロナス・シリアル・インタフェース動作モード・レジスタ00（ASIM00）によって行います。

図14－７　通常UART送受信データの波形例

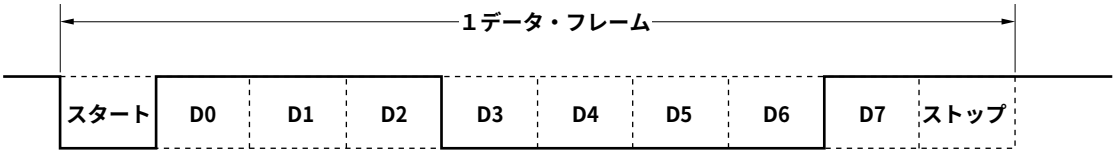
1. データ長：8ビット，パリティ：偶数パリティ，ストップ・ビット：1ビット，通信データ：55H




2. データ長：7ビット，パリティ：奇数パリティ，ストップ・ビット：２ビット，通信データ：36H




3. データ長：8ビット，パリティ：パリティなし，ストップ・ビット：１ビット，通信データ：87H



### （b）パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は，送信側と受信側のパリティ・ビットは同一の種類のものを使用します。偶数パリティと奇数パリティでは，1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしとでは，誤りを検出することはできません。

#### （i）偶数パリティ

・送信時

パリティ・ビットを含めた送信データ中の，値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に，値が“1”のビット数が奇数個：1
送信データ中に，値が“1”のビット数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の，値が“1”のビット数をカウントし，奇数個であった場合にパリティ・エラーを発生します。

#### （ii）奇数パリティ

・送信時

偶数パリティとは逆に，パリティ・ビットを含めた送信データ中の値に含まれる“1”のビット数を奇数個になるように制御します。

送信データ中に，値が“1”のビット数が奇数個：0
送信データ中に，値が“1”のビット数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の，値が“1”のビット数をカウントし，偶数個であった場合にパリティ・エラーを発生します。

#### (iii) 0パリティ

送信時には，送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検出を行いません。したがって，パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

#### (iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため，パリティ・エラーを発生しません。

### （c）送信

アシンクロナス・シリアル・インタフェース動作モード・レジスタ00（ASIM00）のビット7（POWER00）をセット（1）すると，TxD00端子からハイ・レベル出力されます。次にASIM00のビット6（TXE00）をセット（1）すると送信許可状態になります。TXE00をセット（1）したあと，基本クロック（$f_{XCLK0}$）2クロック以上待ってから送信シフト・レジスタ00（TXS00）に送信データを書き込むことによって送信動作は起動します。スタート・ビット，パリティ・ビット，ストップ・ビットは自動的に付加されます。 ★

送信動作の開始により，スタート・ビットがTxD00端子から出力され，続いてLSBより順次出力されます。送信が完了すると，ASIM00で設定したパリティ・ビット，ストップ・ビットが付加され，最後に送信完了割り込み要求（INTST00）が発生します。

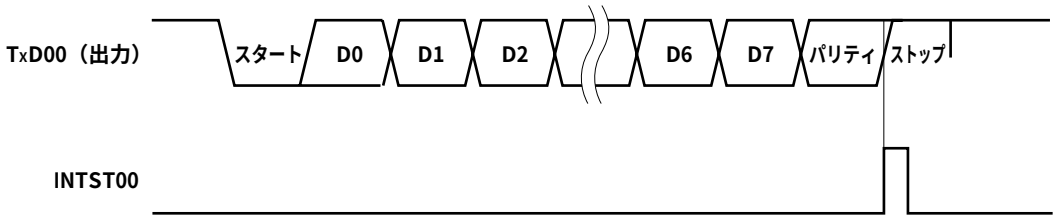
次に送信するデータをTXS00に書き込むまで，送信動作は中断します。

送信完了割り込み要求（INTST00）のタイミングを図14－８に示します。INTST00は，最後のストップ・ビット出力と同時に発生します。

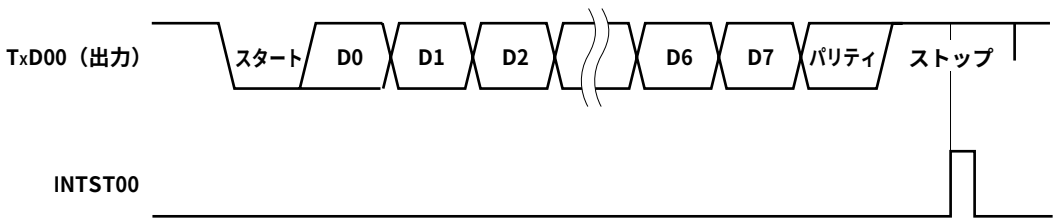
**注意　TXS00に送信データを書き込んでから送信完了割り込み信号（INTST00）が発生するまで，次の送信データを書き込まないでください。**

**図14－８　送信完了割り込み要求タイミング**

**１．ストップ・ビット長：１**




**２．ストップ・ビット長：２**



（d）受信

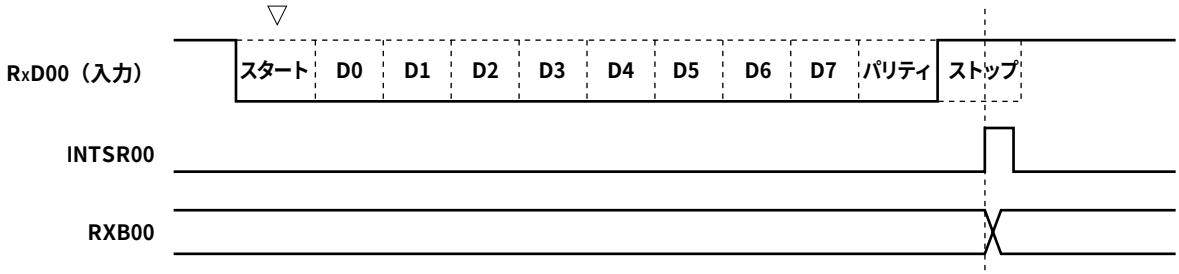
アシンクロナス・シリアル・インタフェース動作モード・レジスタ00（ASIM00）のビット7（POWER00）をセット（1）し，次にASIM00のビット5（RXE00）をセット（1）すると受信許可状態となり，RxD00端子入力のサンプリングを行います。

RxD00端子入力の立ち下がりを検出すると，ボー・レート・ジェネレータの5ビット・カウンタがカウントを開始し，ボー・レート・ジェネレータ・コントロール・レジスタ00（BRGC00）の設定値をカウントした時点で，再度RxD00端子入力をサンプリング（図14－9の▽印に相当）した結果，RxD00端子がロウ・レベルであれば，スタート・ビットと認識します。

スタート・ビットを検出したら，受信動作を開始し，設定されたボー・レートに合わせて，シリアル・データを順次，受信シフト・レジスタ00（RXS00）に格納していきます。ストップ・ビットを受信したら，受信完了割り込み（INTSR00）を発生すると同時に，RXS00のデータは受信バッファ・レジスタ00（RXB00）に書き込まれます。ただし，オーバラン・エラー（OVE00）が発生した場合，そのときの受信データはRXB00に書き込まれません。

受信途中に，パリティ・エラー（PE00）が発生しても，ストップ・ビットの受信位置までは，受信を継続し，受信完了後にエラー割り込み（INTSRE00）を発生します。

図14－9　受信完了割り込み要求タイミング




注意1．受信エラー発生時にも受信バッファ・レジスタ00（RXB00）は必ず読み出してください。RXB00を読み出さないと，次のデータ受信時にオーバラン・エラーが発生し，いつまでも受信エラーの状態が続いてしまいます。

2．受信は，常に「ストップ・ビット数＝1」として動作します。2ビット目のストップ・ビットは，無視されます。

3．RXB00を読み出す前に，必ずアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ00（ASIS00）を読み出してください。

### （e）受信エラー

受信動作時のエラーは，パリティ・エラー，フレーミング・エラー，オーバラン・エラーの３種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ00（ASIS00）内に立つと，受信エラー割り込み要求（INTSRE00）を発生します。

受信エラー割り込み処理内（INTSRE00）で，ASIS00の内容を読み出すことによって，いずれのエラーが受信時に発生したかを検出することができます（**図14－３参照**）。

ASIS00の内容は，ASIS00を読み出すことによって，リセット（0）されます。

**表14－３　受信エラーの要因**

| 受信エラー | 要　　因 |
|---|---|
| パリティ・エラー | 送信時のパリティ指定と受信データのパリティが一致しない |
| フレーミング・エラー | ストップ・ビットが検出されない |
| オーバラン・エラー | 受信バッファ・レジスタ00（RXB00）からデータを読み出す前に次のデータ受信完了 |

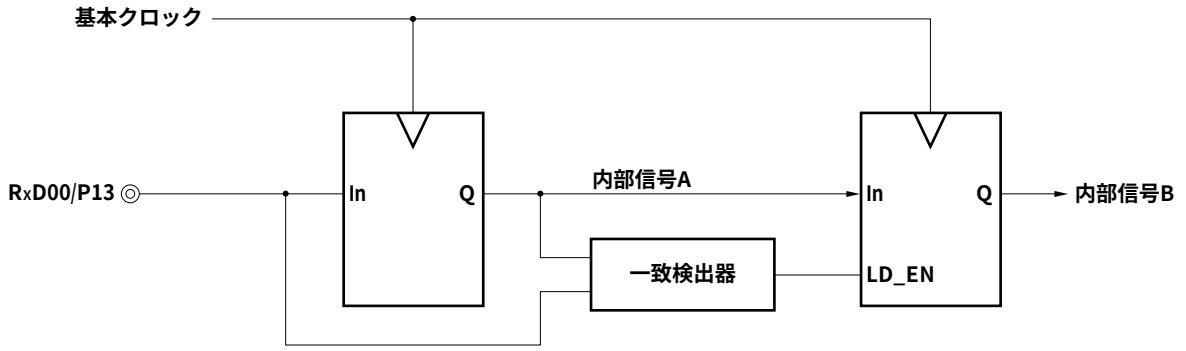
### （f）受信データのノイズ・フィルタ

プリスケーラ部出力の基本クロックでRxD00信号をサンプリングします。

サンプリング値が同じ値を２回取ると，一致検出器の出力が変化し，入力データとしてサンプリングされます。

また，回路は図14－10のようになっているため，受信動作の内部での処理は，外部の信号状態より2クロック分遅れて動作することになります。

**図14－10　ノイズ・フィルタ回路**



## 14.4.3　専用ボー・レート・ジェネレータ

専用ボー・レート・ジェネレータは，ソース・クロック・セレクタ部と5ビットのプログラマブル・カウンタにより構成され，UART00における送受信時のシリアル・クロックを生成します。

なお，5ビット・カウンタは送信用と受信用が別々に存在します。

### （1）ボー・レート・ジェネレータの構成

・基本クロック

アシンクロナス・シリアル・インタフェース・モード動作レジスタ00（ASIM00）のビット7（POWER00）= 1のとき，ボー・レート・ジェネレータ・コントロール・レジスタ00（BRGC00）のビット7, 6（TPS001，TPS000）で選択したクロックを各モジュールに供給します。このクロックを基本クロックと呼び，その周波数を$f_{XCLK0}$と呼びます。POWER00 = 0のときは，基本クロックはロウ・レベルに固定となります。

・送信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ00（ASIM00）のビット7（POWER00）= 0またはビット6（TXE00）= 0のときはクリア（0）の状態で動作を停止します。

POWER00 = 1かつTXE00 = 1でカウントをスタートします。

最初の送信では送信シフト・レジスタ00（TXS00）への書き込みでカウンタをクリア（0）します。

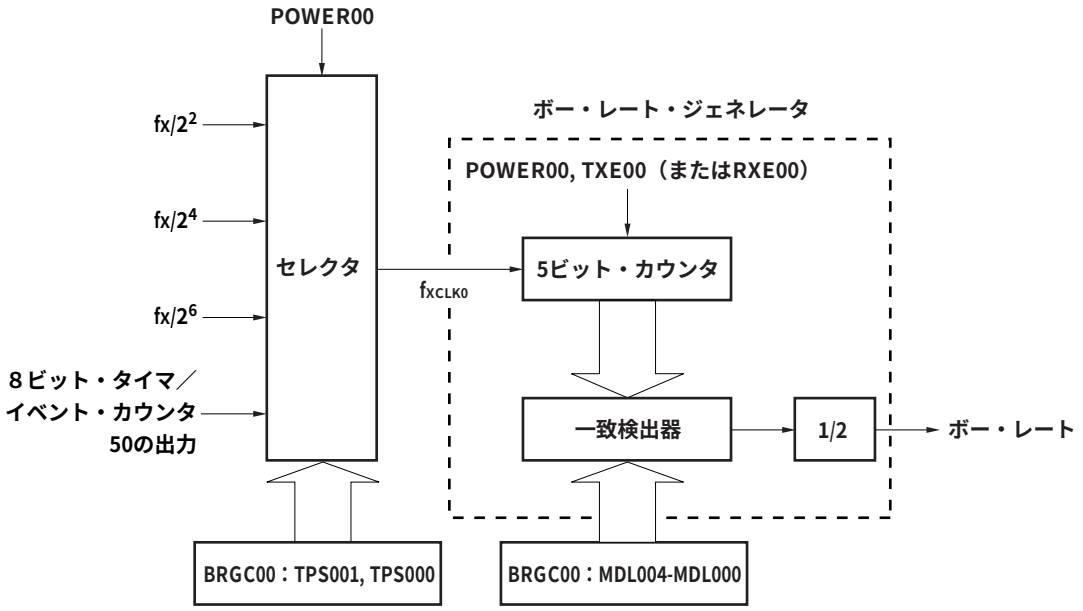
・受信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ00（ASIM00）のビット7（POWER00）= 0またはビット5（RXE00）= 0のときはクリア（0）の状態で動作を停止します。

スタート・ビット検出によりカウントをスタートします。

１フレーム受信後は次のスタート・ビット検出まで動作を停止します。

図14－11　ボー・レート・ジェネレータの構成




**備考**　POWER00：アシンクロナス・シリアル・インタフェース動作モード・レジスタ00（ASIM00）のビット7
TXE00　：ASIM00のビット6
RXE00　：ASIM00のビット5
BRGC00　：ボー・レート・ジェネレータ・コントロール・レジスタ00

### （2）シリアル・クロックの生成

ボー・レート・ジェネレータ・コントロール・レジスタ00（BRGC00）の設定により，シリアル・クロックを生成できます。

BRGC00のビット7, 6（TPS001, TPS000）により，5ビット・カウンタへの入力クロックの選択を，ビット4-0（MDL004-MDL000）により，5ビット・カウンタの分周値を設定できます。

#### （a）ボー・レート

ボー・レートは次の式によって求められます。

・ボー・レート = $\frac{f_{XCLK0}}{2\times k}$ [bps]

$f_{XCLK0}$：BRGC00レジスタのTPS001, TPS000ビットで選択した基本クロックの周波数
k　　：BRGC00レジスタのMDL004-MDL000ビットで設定した値（k = 8, 9, 10，…，31）

#### （b）ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

・誤差（%） = $\left(\frac{\text{実際のボー・レート（誤差のあるボー・レート）}}{\text{希望するボー・レート（正常なボー・レート）}} - 1\right)\times 100$ [%]

**注意１．送信時のボー・レート誤差は，受信先の許容誤差以内にしてください。**
**２．受信時のボー・レート誤差は，（4）受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。**

例　基本クロックの周波数 = 2.5 MHz = 2,500,000 Hz
BRGC00レジスタのMDL004-MDL000ビットの設定値 = 10000B（k = 16）
目標ボー・レート = 76800 bps

ボー・レート = 2.5 M/（2×16）
= 2,500,000 /（2×16） = 78125［bps］

誤差 =（78125 / 76800－1）×100
= 1.725［%］

### （3）ボー・レート設定例

表14－4　ボー・レート・ジェネレータ設定データ

| ボー・レート [bps] | $f_X$ = 20.0 MHz | | | | $f_X$ = 16.0 MHz | | | |
|---|---|---|---|---|---|---|---|---|
| | TPS001, TPS000 | k | 算出値 | ERR［%］ | TPS001, TPS000 | k | 算出値 | ERR［%］ |
| 2400 | － | － | － | － | － | － | － | － |
| 4800 | － | － | － | － | 3 | 26 | 4808 | 0.16 |
| 9600 | 3 | 16 | 9766 | 1.73 | 3 | 13 | 9615 | 0.16 |
| 10400 | 3 | 15 | 10417 | 0.16 | 3 | 12 | 10417 | 0.16 |
| 19200 | 3 | 8 | 19531 | 1.73 | 2 | 26 | 19231 | 0.16 |
| 31250 | 2 | 20 | 31250 | 0 | 2 | 16 | 31250 | 0 |
| 38400 | 2 | 16 | 39063 | 1.73 | 2 | 13 | 38462 | 0.16 |
| 76800 | 2 | 8 | 78125 | 1.73 | 1 | 26 | 76923 | 0.16 |
| 115200 | 1 | 22 | 113636 | －1.36 | 1 | 17 | 117647 | 2.12 |
| 153600 | 1 | 16 | 156250 | 1.73 | 1 | 13 | 153846 | 0.16 |
| 230400 | 1 | 11 | 227273 | －1.36 | － | － | － | － |

**備考**　TPS001, TPS000：ボー・レート・ジェネレータ・コントロール・レジスタ00（BRGC00）のビット7, 6（基本クロック（$f_{XCLK0}$）設定）

k　：BRGC00のMDL004-MDL000ビットで設定した値（k = 8，9，10，…，31）

$f_X$　：X1入力クロック発振周波数

ERR　：ボー・レート誤差

### （4）受信時の許容ボー・レート範囲

受信の際に，送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

**注意**　受信時のボー・レート誤差は，下記に示す算出式を使用して，必ず許容誤差範囲内になるように設定してください。

図14－12　受信時の許容ボー・レート範囲

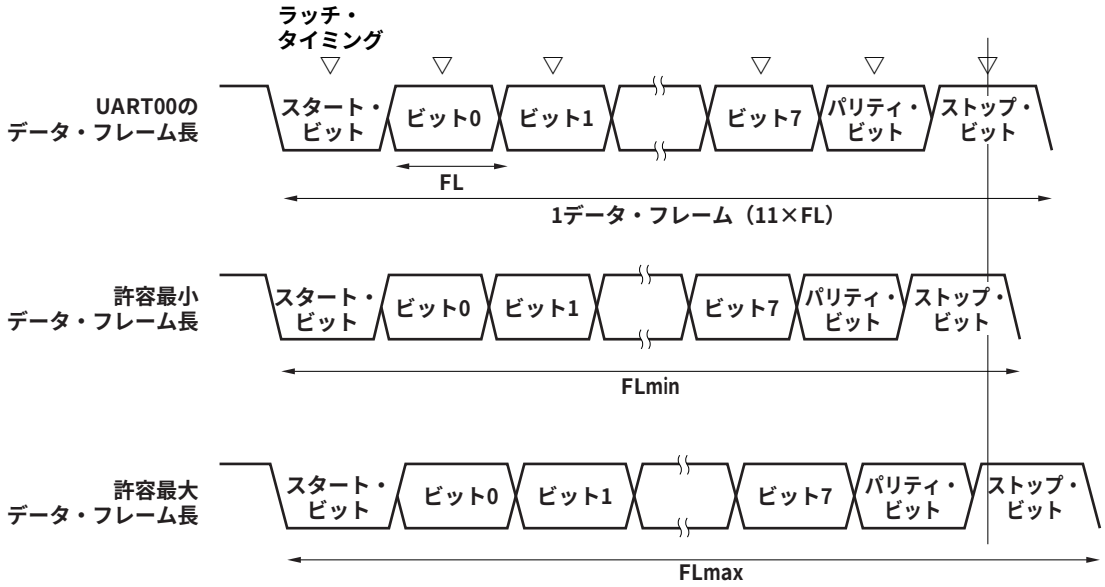


図14－12に示すように，スタート・ビット検出後はボー･レート・ジェネレータ・コントロール・レジスタ00（BRGC00）で設定したカウンタにより，受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上，次のようになります。

$$FL = (Brate)^{-1}$$

Brate：UART00のボー・レート
k　　：BRGC00の設定値
FL　：1ビット・データ長
ラッチ・タイミングのマージン：2クロック

許容最小データ・フレーム長：$FLmin = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$

したがって，受信可能な送信先の最大ボー・レートは次のようになります。

$$BRmax = (FLmin/11)^{-1} = \frac{22k}{21k+2} Brate$$

同様に，許容最大データ・フレーム長を求めると，次のようになります。

$$\frac{10}{11} \times FLmax = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FLmax = \frac{21k-2}{20k} FL \times 11$$

したがって，受信可能な送信先の最小ボー・レートは次のようになります。

$$BRmin = (FLmax/11)^{-1} = \frac{20k}{21k-2} Brate$$

前述の最小／最大ボー・レート値の算出式から，UART00と送信先とのボー・レートの許容誤差を求めると次のようになります。

表14－５　許容最大／最小ボー・レート誤差

| 分周比（k） | 許容最大ボー・レート誤差 | 許容最小ボー・レート誤差 |
|---|---|---|
| 8 | ＋3.53 % | －3.61 % |
| 16 | ＋4.14 % | －4.19 % |
| 24 | ＋4.34 % | －4.38 % |
| 31 | ＋4.44 % | －4.47 % |

備考１．受信の許容誤差は，1フレーム・ビット数，入力クロック周波数，分周比（k）に依存します。入力クロック周波数が高く，分周比（k）が大きくなるほど許容誤差は大きくなります。

２．k：BRGC00の設定値

# 第15章　乗除算器

## 15.1　乗除算器の機能

乗除算器には，次のような機能を持ちます。

- 16ビット×16ビット = 32ビット（乗算）
- 32ビット÷16ビット = 32ビット　剰余16ビット（除算）

## 15.2　乗除算器の構成

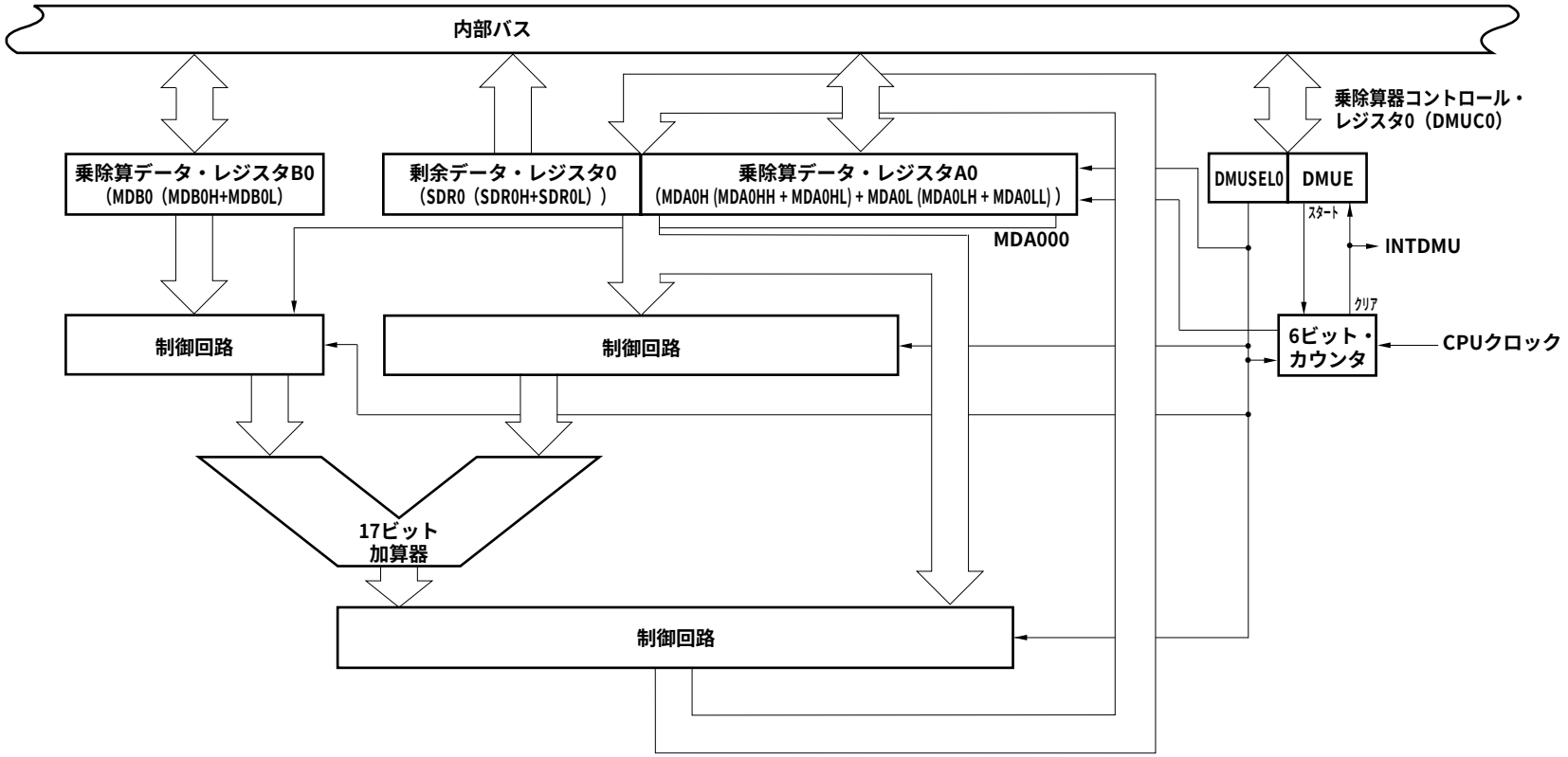
乗除算器は，次のハードウエアで構成されています。

表15－1　乗除算器の構成

| 項　目 | 構　成 |
|---|---|
| レジスタ | 剰余データ・レジスタ0（SDR0） |
| | 乗除算デ―タ・レジスタA0（MDA0H, MDA0L） |
| | 乗除算データ・レジスタB0（MDB0） |
| 制御レジスタ | 乗除算器コントロール・レジスタ0（DMUC0） |

乗除算器のブロック図を図15－1に示します。

図15－1　乗除算器のブロック図



### （1）剰余データ・レジスタ0（SDR0）

SDR0は，剰余データ格納用の16ビット・レジスタです。乗算モード時は“ 0 ”を，除算モード時は演算結果の“ 剰余 ”を格納します。

SDR0は８ビット・メモリ命令または16ビット・メモリ命令で読み出せます。

$\overline{\text{RESET}}$入力により，0000Hになります。

図15－２　剰余データ・レジスタ0（SDR0）のフォーマット

アドレス：FF60H, FF61H　リセット時：0000H　R

| 略号 | FF61H（SDR0H） | | | | | | | | FF60H（SDR0L） | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SDR0 | SDR015 | SDR014 | SDR013 | SDR012 | SDR011 | SDR010 | SDR009 | SDR008 | SDR007 | SDR006 | SDR005 | SDR004 | SDR003 | SDR002 | SDR001 | SDR000 |

注意１．演算処理中（乗除算器コントロール・レジスタ0（DMUC0）のビット７（DMUE）が１のとき）にSDR0の値を読み出した場合，その値は保証されません。

２．演算開始時（DMUEを１に設定するとき），SDR0はリセットされます。

### （2）乗除算データ・レジスタA0（MDA0H, MDA0L）

MDA0は，乗算モード時は16ビットの乗数Ａを，除算モード時は32ビットの被除数を設定し，32ビットの演算結果を格納するレジスタです（上位16ビット：MDA0H，下位16ビット：MDA0L）。

図15－３　乗除算データ・レジスタA0（MDA0H, MDA0L）のフォーマット

アドレス：FF62H, FF63H, FF64H, FF65H　リセット時：0000H, 0000H　R/W

| 略号 | FF65H（MDA0HH） | | | | | | | | FF64H（MDA0HL） | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| MDA0H | MDA 031 | MDA 030 | MDA 029 | MDA 028 | MDA 027 | MDA 026 | MDA 025 | MDA 024 | MDA 023 | MDA 022 | MDA 021 | MDA 020 | MDA 019 | MDA 018 | MDA 017 | MDA 016 |

| 略号 | FF63H（MDA0LH） | | | | | | | | FF62H（MDA0LL） | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| MDA0L | MDA 015 | MDA 014 | MDA 013 | MDA 012 | MDA 011 | MDA 010 | MDA 009 | MDA 008 | MDA 007 | MDA 006 | MDA 005 | MDA 004 | MDA 003 | MDA 002 | MDA 001 | MDA 000 |

注意１．乗算モードでの演算開始時（乗除算器コントロール・レジスタ０（DMUC0）を81Hに設定するとき），MDA0Hはクリア（０）されます。

２．演算処理中（乗除算器コントロール・レジスタ０（DMUC0）のビット７（DMUE）が１のとき）に，MDA0の値を書き換えないでください。この場合でも演算は実施しますが，演算結果は不定となります。

３．演算処理中（DMUEが１のとき）にMDA0の値を読み出した場合，その値は保証しません。

MDA0の演算実行時の機能を次に示します。

表15－２　MDA0の演算実行時の機能

| DMUSEL0 | 演算モード | 設定 | 演算結果 |
|---|---|---|---|
| 0 | 除算モード | 被除数 | 除算結果（商） |
| 1 | 乗算モード | 上位16ビット：“０”，下位16ビット：乗数A | 乗算結果（積） |

乗算時と除算時のレジスタ構成を次に示します。

・乗算時のレジスタ構成

＜乗数A＞　　＜乗数B＞　　＜積＞

MDA0（ビット15-0）×MDB0（ビット15-0）= MDA0（ビット31-0）

・除算時のレジスタ構成

＜被除数＞　　＜除数＞　　＜商＞　　＜剰余＞

MDA0（ビット31-0）÷MDB0（ビット15-0）= MDA0（ビット31-0）…SDR0（ビット15-0）

MDA0は乗除算器コントロール・レジスタ０（DMUC0）のビット７（DMUE）が１に設定されている間，クロック入力と同時に計算結果をフェッチします。

MDA0H, MDA0Lは８ビット・メモリ命令または16ビット・メモリ命令で設定します。

$\overline{\text{RESET}}$入力により，0000Hになります。

### （3）乗除算データ・レジスタB0（MDB0）

MDB0は，乗算モード時は16ビットの乗数Bを，除算モード時は16ビットの除数を格納するレジスタです。

MDB0は８ビット・メモリ命令または16ビット・メモリ命令で設定します。

$\overline{\text{RESET}}$入力により，0000Hになります。

図15－４　乗除算データ・レジスタB0（MDB0）のフォーマット

アドレス：FF66H, FF67H　リセット時：0000H　R/W

| 略号 | FF67H（MDB0H） | | | | | | | | FF66H（MDB0L） | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| MDB0 | MDB 015 | MDB 014 | MDB 013 | MDB 012 | MDB 011 | MDB 010 | MDB 009 | MDB 008 | MDB 007 | MDB 006 | MDB 005 | MDB 004 | MDB 003 | MDB 002 | MDB 001 | MDB 000 |

注意１．演算処理中（乗除算器コントロール・レジスタ０（DMUC0）のビット７（DMUE）が１のとき）に，MDB0の値を書き換えないでください。この場合でも演算は実施しますが，演算結果は不定となります。

２．除算モード時は，MDB0に0000Hを設定しないでください。設定した場合，演算結果が不定値となってMDA0, SDR0に格納します。

# 15.3　乗除算器を制御するレジスタ

乗除算器は，乗除算器コントロール・レジスタ０（DMUC0）で制御します。

**（1）乗除算器コントロール・レジスタ０（DMUC0）**

DMUC0は，乗除算器の動作を制御する８ビット・レジスタです。

DMUC0は１ビット・メモリ命令または８ビット・メモリ命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

**図15－５　乗除算器コントロール・レジスタ０（DMUC0）のフォーマット**

アドレス：FF68H　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| DMUC0 | DMUE | 0 | 0 | 0 | 0 | 0 | 0 | DMUSEL0 |

| DMUE注 | 演算動作の開始／停止 |
|---|---|
| 0 | 演算動作停止 |
| 1 | 演算動作開始 |

| DMUSEL0 | 演算モード（乗算／除算）の選択 |
|---|---|
| 0 | 除算モード |
| 1 | 乗算モード |

注　DMUEをセット（１）すると，演算動作を開始します。演算終了後は自動的にDMUEがクリア（０）されます。

**注意１．演算処理中（DMUEが１のとき）にDMUEを０に設定した場合には，演算結果は保証されません。ただしクリア命令中に演算が終了した場合には，割り込みフラグがセットされ，演算結果は保証されます。**

**２．演算処理中（DMUEが１のとき）に，DMUSEL0を書き換えないでください。書き換えた場合，演算結果が不定値となって乗除算データ・レジスタA0（MDA0），剰余データ・レジスタ０（SDR0）に格納されます。**

**３．演算処理中（DMUEが１のとき）にDMUEを０に設定すると，演算処理は停止します。再度演算処理を行う場合は乗除算データ・レジスタA0（MDA0），乗除算データ・レジスタB0（MDB0），乗除算器コントロール・レジスタ０（DMUC0）を設定し，演算動作を開始（DMUE＝1）してください。**

# 15.4　乗除算器の動作

## 15.4.1　乗算動作

・初期設定

１．乗除算データ・レジスタA0L（MDA0L）と乗除算データ・レジスタB0（MDB0）に演算データを設定してください。

２．乗除算器コントロール・レジスタ０（DMUC0）のビット０（DMUSEL0）とビット７（DMUE）にそれぞれ１を設定してください。 演算動作が開始します。

・演算処理中

３．演算開始から内部クロックの16クロックで演算は終了します（演算処理中にMDA0Lレジスタ，MDA0Hレジスタに格納されるデータは演算途中データであるため，リード値は保証しません）。

・演算終了

４．MDA0Lレジスタ，MDA0Hレジスタに，演算結果データが格納されます。

５．DMUE がクリア（０）されます（演算終了）。

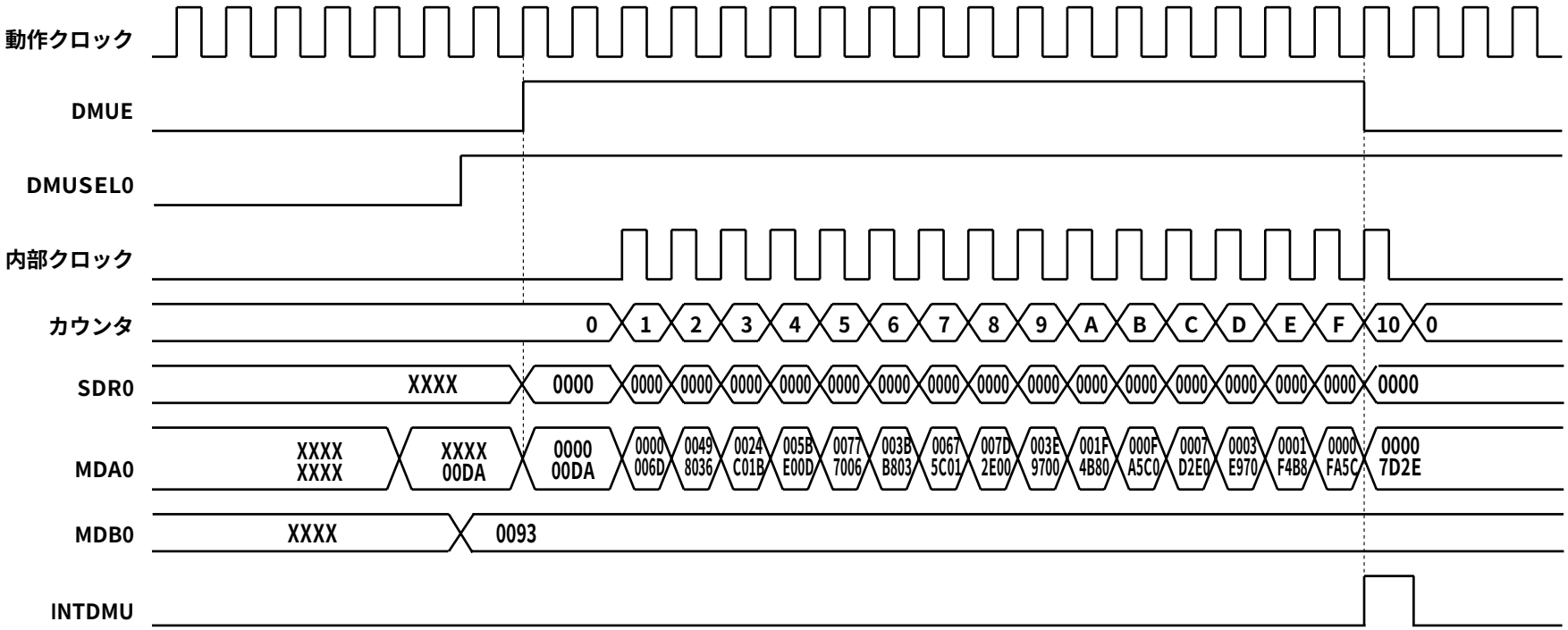
６．演算終了後，割り込み要求信号（INTDMU）が発生されます。

・次回演算

７．次に乗算を行う場合は，**15.4.1　乗算動作**の初期設定から行ってください。

８．次に除算を行う場合は，**15.4.2　除算動作**の初期設定から行ってください。

図15－6　乗算動作のタイミング図（00DAH×0093H）



## 15.4.2　除算動作

・初期設定

１．乗除算データ・レジスタA0（MDA0L, MDA0H），乗除算データ・レジスタB0（MDB0）に演算データを設定してください。

２．乗除算コントロール・レジスタ０（DMUC0）のビット０（DMUSEL0）に０，ビット７（DMUE）に１を設定してください。演算動作が開始します。

・演算処理中

３．演算開始から内部クロックの32クロックで演算は終了します（演算処理中にMDA0Lレジスタ，MDA0Hレジスタ，剰余データ・レジスタ０（SDR0）に格納されるデータは演算途中データであるため，リード値は保証しません）。

・演算終了

４．MDA0Lレジスタ，MDA0Hレジスタ，SDR0レジスタに，演算結果データが格納されます。

５．DMUE がクリア（０）されます（演算終了）。

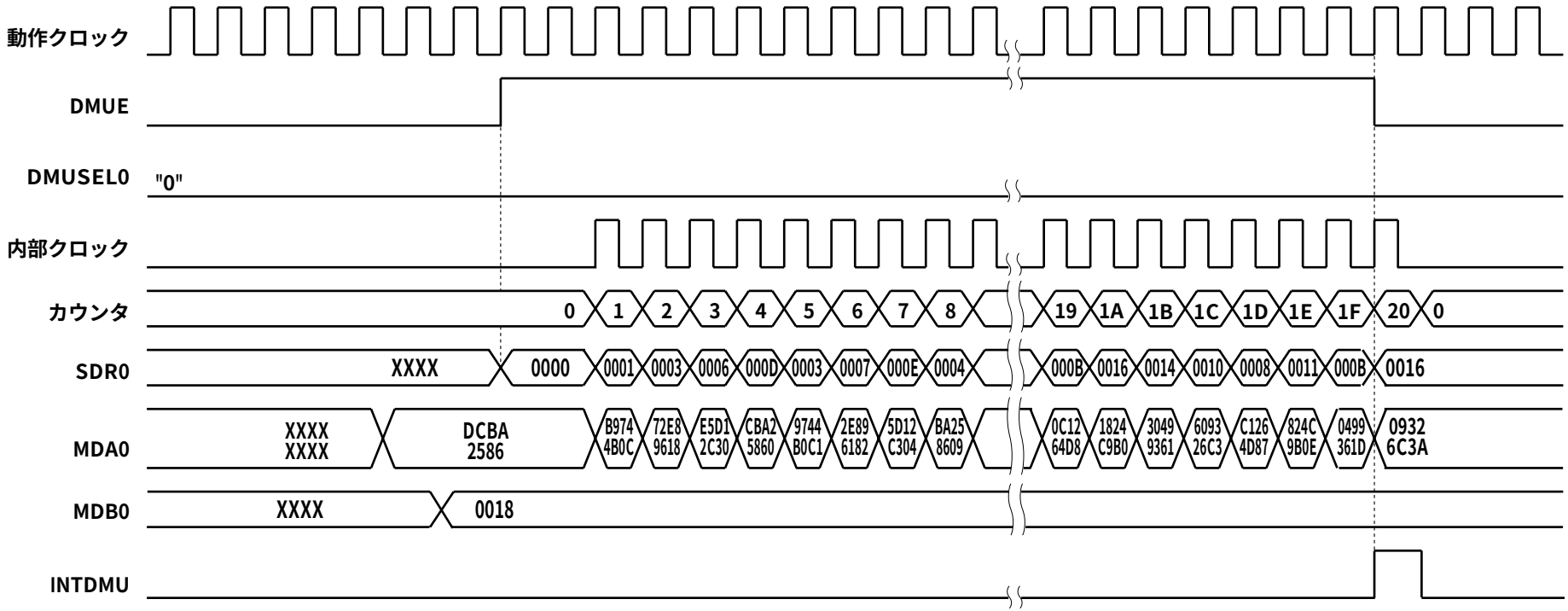
６．演算終了後，割り込み要求信号（INTDMU）が発生されます。

・次回演算

７．次に乗算を行う場合は，**15.4.1　乗算動作**の初期設定から行ってください。

８．次に除算を行う場合は，**15.4.2　除算動作**の初期設定から行ってください。

図15－7　除算動作のタイミング図（DCBA2586H÷0018H）



# 第16章　割り込み機能

## 16.1　割り込み機能の種類

割り込み機能には，次の２種類があります。

（1）マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ（PR0L, PR0H, PR1L, PR1H）の設定により，割り込み優先順位を高い優先順位のグループと低い優先順位のグループに分けることができます。高い優先順位の割り込みは，低い優先順位の割り込みに対して，多重割り込みをすることができます。また，同一優先順位を持つ複数の割り込み要求が同時に発生しているときの優先順位が決められています（**表16－１**参照）。

スタンバイ・リリース信号を発生し，STOPモード，HALTモードを解除します。

マスカブル割り込みには，外部割り込み要求が５要因，内部割り込み要求が14要因あります。

（2）ソフトウエア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また，割り込み優先順位制御の対象になりません。

## 16.2　割り込み要因と構成

割り込み要因には，マスカブル割り込み，ソフトウエア割り込みをあわせて，合計20要因あります（**表16－１**参照）。

表16－１　割り込み要因一覧

| 割り込みの種類 | ディフォールト・プライオリティ[注1] | 割り込み要因 | | 内部／外部 | ベクタ・テーブル・アドレス | 基本構成タイプ[注2] |
|---|---|---|---|---|---|---|
| | | 名　称 | トリガ | | | |
| マスカブル | 0 | INTLVI | 低電圧検出[注3] | 内部 | 0004H | （A） |
| | 1 | INTP0 | 端子入力エッジ検出 | 外部 | 0006H | （B） |
| | 2 | INTP1 | | | 0008H | |
| | 3 | INTP2 | | | 000AH | |
| | 4 | INTP3 | | | 000CH | |
| | － | － | － | | 000EH[注4] | |
| | 5 | INTP5 | 端子入力エッジ検出 | | 0010H | |
| | － | － | － | | 0012H[注4] | |
| | － | － | | | 0014H[注4] | |
| | 6 | INTTW0UD | TW0UDCのアンダフロー | 内部 | 0016H | （A） |
| | 7 | INTTW0CM3 | TW0UDCとTW0CM3の一致 | | 0018H | |
| | 8 | INTTW0CM4 | TW0UDCとTW0CM4の一致 | | 001AH | |
| | 9 | INTTW0CM5 | TW0UDCとTW0CM5の一致 | | 001CH | |
| | － | － | － | | 001EH[注4] | |
| | － | － | － | | 0020H[注4] | |
| | － | － | － | | 0022H[注4] | |
| | － | － | － | | 0024H[注4] | |
| | － | － | － | | 0026H[注4] | |
| | 10 | INTTM00 | TM00とCR00の一致（コンペア・レジスタ指定時），TI001有効エッジ検出（キャプチャ・レジスタ指定時） | | 0028H | |
| | 11 | INTTM01 | TM00とCR01の一致（コンペア・レジスタ指定時），TI000有効エッジ検出（キャプチャ・レジスタ指定時） | | 002AH | |
| | 12 | INTSRE00 | UART00の受信エラー発生 | | 002CH | |
| | 13 | INTSR00 | UART00受信完了 | | 002EH | |
| | 14 | INTST00 | UART00送信完了 | | 0030H | |
| | 15 | INTTM50 | TM50とCR50の一致 | | 0032H | |
| | 16 | INTTM51 | TM51とCR51の一致 | | 0034H | |
| | － | － | － | | 0036H[注4] | |
| | － | － | － | | 0038H[注4] | |
| | 17 | INTDMU | 乗除算演算終了 | | 003AH | |
| | 18 | INTAD | A/Dの変換終了 | | 003CH | |
| ソフトウエア | － | BRK | BRK命令の実行 | － | 003EH | （C） |
| リセット | － | RESET | リセット入力 | － | 0000H | － |
| | | POC | パワーオン・クリア | | | |
| | | LVI | 低電圧検出[注5] | | | |
| | | WDT | WDTのオーバフロー | | | |

**注１．**ディフォールト・プライオリティは，複数のマスカブル割り込みが同時に発生している場合に優先する順位で，０が最高順位，18が最低順位です。

**２．**基本構成タイプの（A）-（C）は，それぞれ図16－１の（A）-（C）に対応しています。

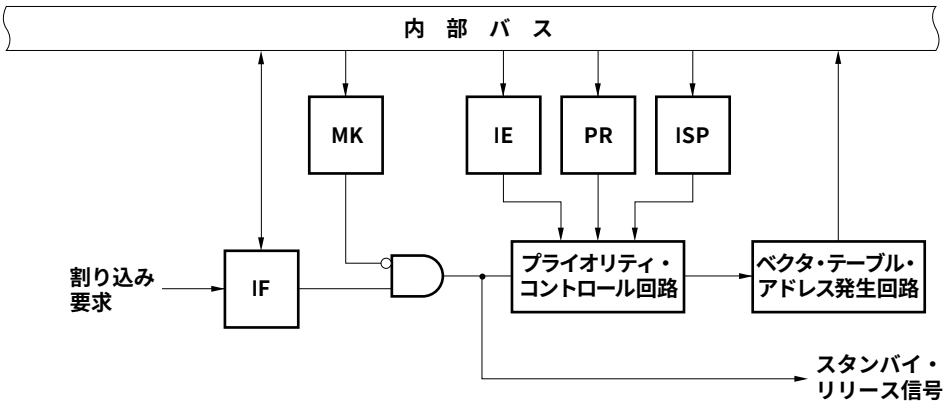
**３．**低電圧検出レジスタ（LVIM）のビット１（LVIMD）= 0選択時。

**４．**ベクタ・テーブル・アドレスの000EH, 0012H-0014H, 001EH-0026H, 0036H-0038Hに該当する割り込み要因はありません。

**５．**低電圧検出レジスタ（LVIM）のビット１（LVIMD）=１選択時。

図16－1　割り込み機能の基本構成（1/2）

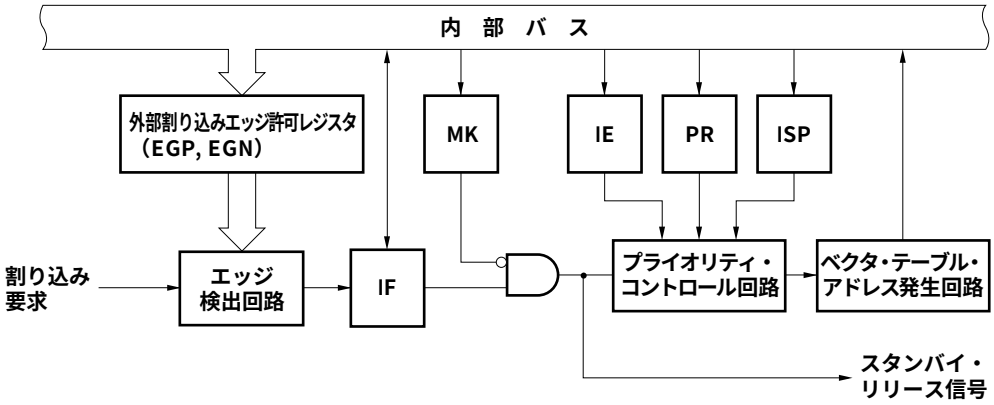
（A）内部マスカブル割り込み



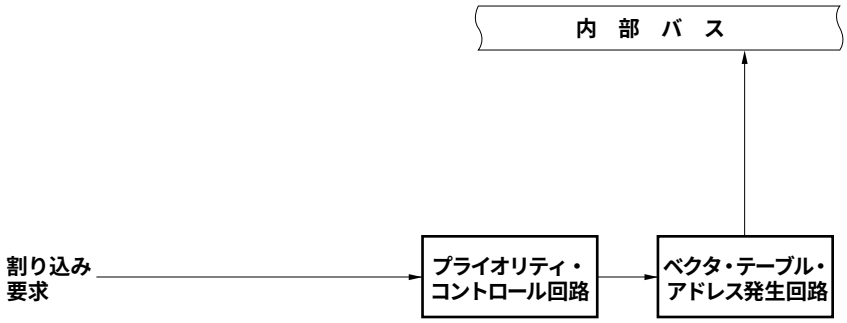

IF　：割り込み要求フラグ
IE　：割り込み許可フラグ
ISP　：インサービス・プライオリティ・フラグ
MK　：割り込みマスク・フラグ
PR　：優先順位指定フラグ

図16－1　割り込み機能の基本構成（2/2）

（B）外部マスカブル割り込み（INTP0-INTP3, INTP5）




（C）ソフトウエア割り込み




IF　：割り込み要求フラグ
IE　：割り込み許可フラグ
ISP　：インサービス・プライオリティ・フラグ
MK　：割り込みマスク・フラグ
PR　：優先順位指定フラグ

## 16.3　割り込み機能を制御するレジスタ

割り込み機能は，次の６種類のレジスタで制御します。

- 割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H）
- 割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H）
- 優先順位指定フラグ・レジスタ（PR0L, PR0H, PR1L, PR1H）
- 外部割り込み立ち上がりエッジ許可レジスタ（EGP）
- 外部割り込み立ち下がりエッジ許可レジスタ（EGN）
- プログラム・ステータス・ワード（PSW）

各割り込み要求ソースに対応する割り込み要求フラグ，割り込みマスク・フラグ，優先順位指定フラグ名称を表16－２に示します。

表16－2　割り込み要求ソースに対応する各種フラグ

| 割り込み要因 | 割り込み要求フラグ | | 割り込みマスク・フラグ | | 優先順位指定フラグ | |
|---|---|---|---|---|---|---|
| | | レジスタ | | レジスタ | | レジスタ |
| INTLVI | LVIIF | IF0L | LVIMK | MK0L | LVIPR | PR0L |
| INTP0 | PIF0 | | PMK0 | | PPR0 | |
| INTP1 | PIF1 | | PMK1 | | PPR1 | |
| INTP2 | PIF2 | | PMK2 | | PPR2 | |
| INTP3 | PIF3 | | PMK3 | | PPR3 | |
| － | － | | － | | － | |
| INTP5 | PIF5 | | PMK5 | | PPR5 | |
| － | － | | － | | － | |
| － | － | IF0H | － | MK0H | － | PR0H |
| INTTW0UD | UDIFW0 | | UDMKW0 | | UDPRW0 | |
| INTTW0CM3 | CM3IFW0 | | CM3MKW0 | | CM3PRW0 | |
| INTTW0CM4 | CM4IFW0 | | CM4MKW0 | | CM4PRW0 | |
| INTTW0CM5 | CM5IFW0 | | CM5MKW0 | | CM5PRW0 | |
| － | － | | － | | － | |
| － | － | | － | | － | |
| － | － | | － | | － | |
| － | － | IF1L | － | MK1L | － | PR1L |
| INTTM00 | TMIF00 | | TMMK00 | | TMPR00 | |
| INTTM01 | TMIF01 | | TMMK01 | | TMPR01 | |
| INTSRE00 | SREIF00 | | SREMK00 | | SREPR00 | |
| INTSR00 | SRIF00 | | SRMK00 | | SRPR00 | |
| INTST00 | STIF00 | | STMK00 | | STPR00 | |
| INTTM50 | TMIF50 | | TMMK50 | | TMPR50 | |
| INTTM51 | TMIF51 | IF1H | TMMK51 | MK1H | TMPR51 | PR1H |
| － | － | | － | | － | |
| － | － | | － | | － | |
| INTDMU | DMUIF | | DMUMK | | DMUPR | |
| INTAD | ADIF | | ADMK | | ADPR | |

### （1）割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H）

割り込み要求フラグは，対応する割り込み要求の発生または命令の実行によりセット（1）され，割り込み要求受け付け時，$\overline{\text{RESET}}$ 入力時，命令の実行によりクリア（0）されるフラグです。

割り込みが受け付けられた場合，まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1Hは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，IF0LとIF0H, IF1LとIF1Hをあわせて16ビット・レジスタIF0, IF1として使用するときは，16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

**図16－2　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H）のフォーマット**

アドレス：FFE0H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| IF0L | 0注 | PIF5 | 0注 | PIF3 | PIF2 | PIF1 | PIF0 | LVIIF |

アドレス：FFE1H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| IF0H | 0注 | 0注 | 0注 | CM5IFW0 | CM4IFW0 | CM3IFW0 | UDIFW0 | 0注 |

アドレス：FFE2H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| IF1L | TMIF50 | STIF00 | SRIF00 | SREIF00 | TMIF01 | TMIF00 | 0注 | 0注 |

アドレス：FFE3H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| IF1H | 0注 | 0注 | 0注 | ADIF | DMUIF | 0注 | 0注 | TMIF51 |

| XXIFX | 割り込み要求フラグ |
|---|---|
| 0 | 割り込み要求信号が発生していない |
| 1 | 割り込み要求信号が発生し，割り込み要求状態 |

**注**　IF0Lのビット5，7，IF0Hのビット0，5-7，IF1Lのビット0，1，IF1Hのビット1，2，5-7には，必ず0を設定してください。

**注意１．タイマ，シリアル・インタフェース，A/Dコンバータなどをスタンバイ解除後に動作させる場合，いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。**

**２．割り込み要求フラグ・レジスタのフラグ操作には，１ビット・メモリ操作命令（CLR1）を使用してください。C言語での記述の場合は，コンパイルされたアセンブラが１ビット・メモリ操作命令（CLR1）になっている必要があるため，「IF0L.0 = 0；」や「_asm（"clr1 IF0L, 0"）；」のようなビット操作命令を使用してください。**
**なお，C言語で「IF0L &= 0xfe；」のように８ビット・メモリ操作命令で記述した場合，コンパイルすると３命令のアセンブラになります。**

```
mov   a, IF0L
and   a, #0FEH
mov   IF0L, a
```

**この場合，「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで，同一の割り込み要求フラグ・レジスタ（IF0L）の他ビットの要求フラグがセット（１）されても，「mov IF0L, a」でクリア（０）されます。したがって，C言語で８ビット・メモリ操作命令を使用する場合は注意が必要です。**

### （2）割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H）

割り込みマスク・フラグは，対応するマスカブル割り込み処理の許可／禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1Hは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，MK0LとMK0H, MK1LとMK1Hをあわせて16ビット・レジスタMK0, MK1として使用するときは，16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，MK0L, MK0H, MK1LはFFHに，MK1HはDFHになります。

**図16－3　割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H）のフォーマット**

アドレス：FFE4H　リセット時：FFH　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| MK0L | 1注 | PMK5 | 1注 | PMK3 | PMK2 | PMK1 | PMK0 | LVIMK |

アドレス：FFE5H　リセット時：FFH　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| MK0H | 1注 | 1注 | 1注 | CM5MKW0 | CM4MKW0 | CM3MKW0 | UDMKW0 | 1注 |

アドレス：FFE6H　リセット時：FFH　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| MK1L | TMMK50 | STMK00 | SRMK00 | SREMK00 | TMMK01 | TMMK00 | 1注 | 1注 |

アドレス：FFE7H　リセット時：DFH　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| MK1H | 1注 | 1注 | 0注 | ADMK | DMUMK | 1注 | 1注 | TMMK51 |

| XXMKX | 割り込み処理の制御 |
|---|---|
| 0 | 割り込み処理許可 |
| 1 | 割り込み処理禁止 |

**注**　MK0Lのビット5，7，MK0Hのビット0，5-7，MK1Lのビット0，1，MK1Hのビット1，2，6，7には必ず1を，MK1Hのビット5には必ず0を設定してください。

### （3）優先順位指定フラグ・レジスタ（PR0L, PR0H, PR1L, PR1H）

優先順位指定フラグは，対応するマスカブル割り込みの優先順位を設定するフラグです。

PR0L, PR0H, PR1L, PR1Hは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，PR0LとPR0H, PR1LとPR1Hをあわせて16ビット・レジスタPR0, PR1として使用するときは，16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，FFHになります。

**図16－4　優先順位指定フラグ・レジスタ（PR0L, PR0H, PR1L, PR1H）のフォーマット**

アドレス：FFE8H　リセット時：FFH　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PR0L | 1注 | PPR5 | 1注 | PPR3 | PPR2 | PPR1 | PPR0 | LVIPR |

アドレス：FFE9H　リセット時：FFH　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PR0H | 1注 | 1注 | 1注 | CM5PRW0 | CM4PRW0 | CM3PRW0 | UDPRW0 | 1注 |

アドレス：FFEAH　リセット時：FFH　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PR1L | TMPR50 | STPR00 | SRPR00 | SREPR00 | TMPR01 | TMPR00 | 1注 | 1注 |

アドレス：FFEBH　リセット時：FFH　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PR1H | 1注 | 1注 | 1注 | ADPR | DMUPR | 1注 | 1注 | TMPR51 |

| XXPRX | 優先順位レベルの選択 |
|---|---|
| 0 | 高優先順位レベル |
| 1 | 低優先順位レベル |

**注**　PR1Lのビット1，PR1Hのビット5-7には，必ず1を設定してください。

### （4）外部割り込み立ち上がりエッジ許可レジスタ（EGP），外部割り込み立ち下がりエッジ許可レジスタ（EGN）

INTP0-INTP3, INTP5の有効エッジを設定するレジスタです。

EGP, EGNは，それぞれ１ビット・メモリ操作命令または８ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

**図16－５　外部割り込み立ち上がりエッジ許可レジスタ（EGP），外部割り込み立ち下がりエッジ許可レジスタ（EGN）のフォーマット**

アドレス：FF48H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| EGP | 0 | 0 | EGP5 | 0 | EGP3 | EGP2 | EGP1 | EGP0 |

アドレス：FF49H　リセット時：00H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| EGN | 0 | 0 | EGN5 | 0 | EGN3 | EGN2 | EGN1 | EGN0 |

| EGPn | EGNn | INTPn端子の有効エッジの選択（n = 0-7, 3, 5） |
|---|---|---|
| 0 | 0 | エッジ検出禁止 |
| 0 | 1 | 立ち下がりエッジ |
| 1 | 0 | 立ち上がりエッジ |
| 1 | 1 | 立ち上がり，立ち下がりの両エッジ |

EGPnとEGNnに対応するポートを表16－３に示します。

**表16－３　EGPnとEGNnに対応するポート**

| 検出許可レジスタ | | エッジ検出ポート | 割り込み要求信号 |
|---|---|---|---|
| EGP0 | EGN0 | P00 | INTP0 |
| EGP1 | EGN1 | P01 | INTP1 |
| EGP2 | EGN2 | P02 | INTP2 |
| EGP3 | EGN3 | P03 | INTP3 |
| EGP5 | EGN5 | P53 | INTP5 |

**注意**　外部割り込み機能からポート機能に切り替える場合に，エッジ検出を行う可能性があるため，EGPnとEGNnを０に設定してからポート・モードに切り替えてください。

**備考**　n = 0-3，5

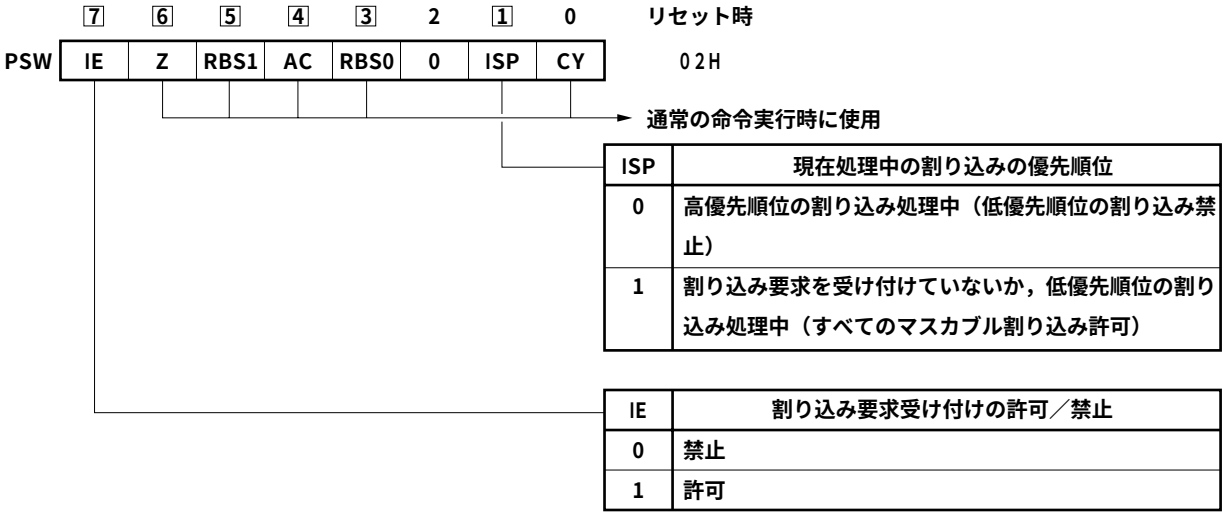
### （5）プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは，命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可／禁止を設定するIEフラグと多重割り込み処理の制御を行うISPフラグがマッピングされています。

８ビット単位で読み出し／書き込み操作ができるほか，ビット操作命令や専用命令（EI, DI）により操作ができます。また，ベクタ割り込み要求受け付け時および，BRK命令実行時には，PSWの内容は自動的にスタックに退避され，IEフラグはリセット（0）されます。また，マスカブル割り込み要求受け付け時には，受け付けた割り込みの優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI，RETB，POP PSW命令により，スタックから復帰します。

$\overline{\text{RESET}}$入力により，PSWは02Hとなります。

**図16－6　プログラム・ステータス・ワードの構成**




| ISP | 現在処理中の割り込みの優先順位 |
|---|---|
| 0 | 高優先順位の割り込み処理中（低優先順位の割り込み禁止） |
| 1 | 割り込み要求を受け付けていないか，低優先順位の割り込み処理中（すべてのマスカブル割り込み許可） |

| IE | 割り込み要求受け付けの許可／禁止 |
|---|---|
| 0 | 禁止 |
| 1 | 許可 |

# 16.4　割り込み処理動作

## 16.4.1　マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は，割り込み要求フラグがセット（1）され，その割り込み要求のマスク（MK）フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み要求は，割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。ただし，優先順位の高い割り込みを処理中（ISPフラグがリセット（0）されているとき）に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してから割り込み処理が行われるまでの時間は表16－4のようになります。

割り込み要求の受け付けタイミングについては，図16－8，16－9を参照してください。

**表16－4　マスカブル割り込み要求発生から処理までの時間**

| | 最小時間 | 最大時間[注] |
|---|---|---|
| ××PR＝0のとき | 7クロック | 32クロック |
| ××PR＝1のとき | 8クロック | 33クロック |

**注**　除算命令の直前に割り込み要求が発生したとき，ウエイトする時間が最大となります。

**備考**　1クロック：1/$f_{CPU}$（$f_{CPU}$：CPUクロック）

複数のマスカブル割り込み要求が同時に発生したときは，優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また，優先順位指定フラグで同一優先順位に指定されているときは，ディフォールト優先順位の高い割り込みから受け付けられます。

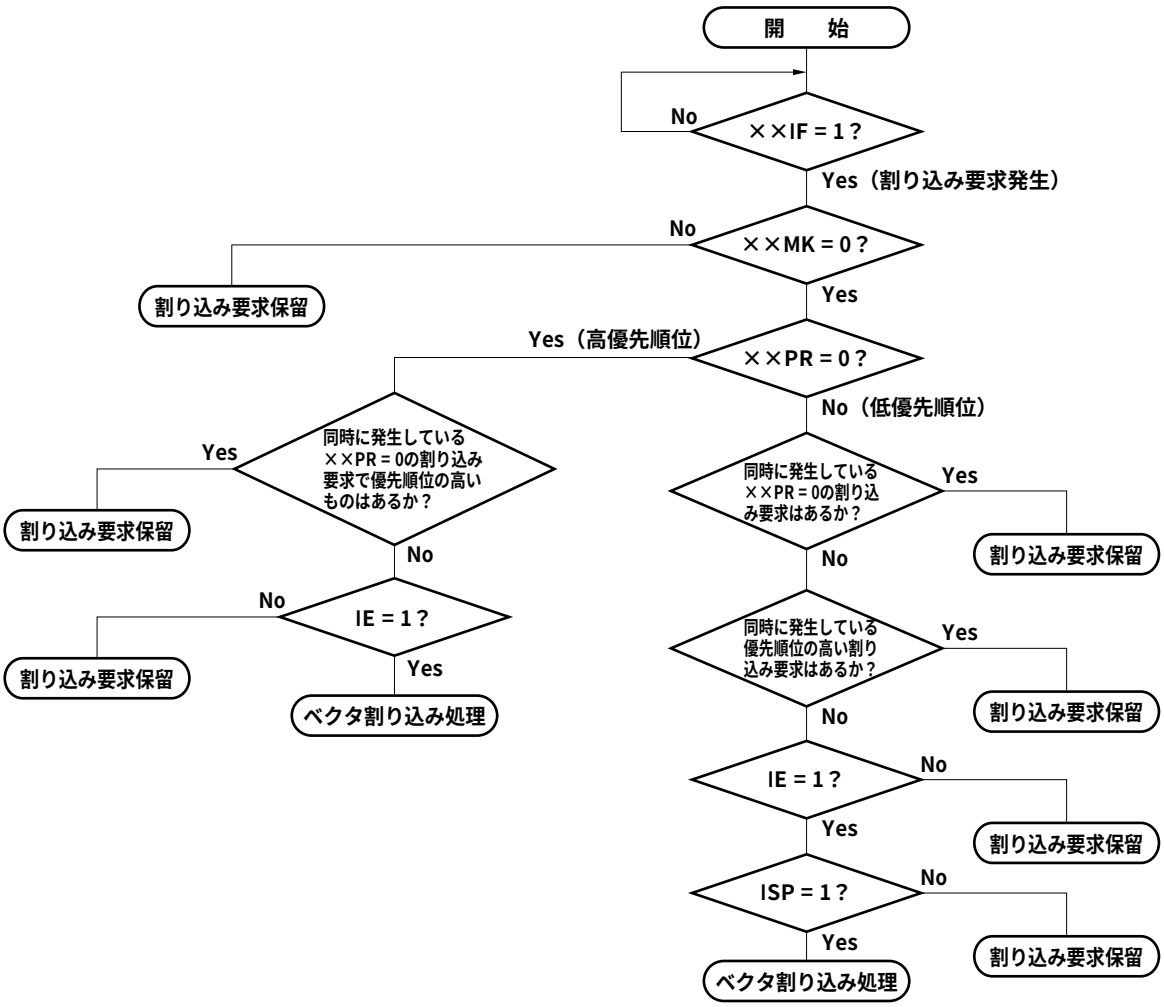
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図16－7に示します。

マスカブル割り込み要求が受け付けられると，プログラム・ステータス・ワード（PSW），プログラム・カウンタ（PC）の順に内容をスタックに退避し，IEフラグをリセット（0）し，受け付けた割り込みの優先順位指定フラグの内容をISPフラグへ転送します。さらに，割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし，分岐します。

RETI命令によって，割り込みから復帰できます。

図16－7　割り込み要求受け付け処理アルゴリズム




××IF　：割り込み要求フラグ

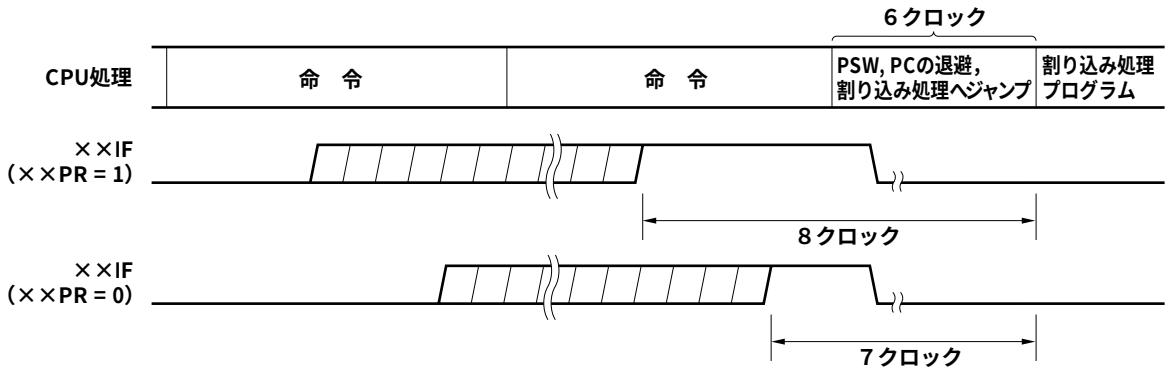
××MK：割り込みマスク・フラグ

××PR：優先順位指定フラグ

IE　　：マスカブル割り込み要求の受け付けを制御するフラグ（1 = 許可，0 = 禁止）

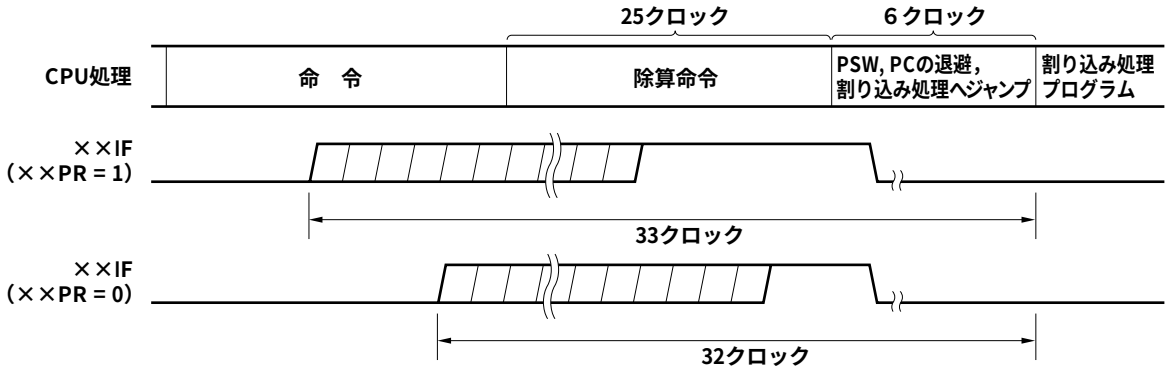
ISP　：現在処理中の割り込みの優先順位を示すフラグ（0 = 高優先順位の割り込み処理中，1 = 割り込み要求を受け付けていない，または低優先順位の割り込み処理中）

図16－8　割り込み要求の受け付けタイミング（最小時間）




備考　1クロック：1/$f_{CPU}$（$f_{CPU}$：CPUクロック）

図16－9　割り込み要求の受け付けタイミング（最大時間）




備考　1クロック：1/$f_{CPU}$（$f_{CPU}$：CPUクロック）

## 16.4.2　ソフトウエア割り込み要求の受け付け動作

ソフトウエア割り込み要求はBRK命令の実行により受け付けられます。ソフトウエア割り込みは禁止することはできません。

ソフトウエア割り込み要求が受け付けられると，プログラム・ステータス・ワード（PSW），プログラム・カウンタ（PC）の順に内容をスタックに退避し，IEフラグをリセット（0）し，ベクタ・テーブル（003EH，003FH）の内容をPCにロードして分岐します。

RETB命令によって，ソフトウエア割り込みから復帰できます。

**注意　ソフトウエア割り込みからの復帰にRETI命令を使用しないでください。**

## 16.4.3　多重割り込み処理

割り込み処理中に，さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは，割り込み要求受け付け許可状態（IE = 1）になっていなければ発生しません。割り込み要求が受け付けられた時点で，割り込み要求は受け付け禁止状態（IE = 0）になります。したがって，多重割り込みを許可するには，割り込み処理中にEI命令によってIEフラグをセット（1）して，割り込み許可状態にする必要があります。

また，割り込み許可状態であっても，多重割り込みが許可されない場合がありますが，これは割り込みの優先順位によって制御されます。割り込みの優先順位には，ディフォールト優先順位とプログラマブル優先順位の2つがありますが，多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で，現在処理中の割り込みと同レベルか，それよりも高い優先順位の割り込み要求が発生した場合には，多重割り込みとして受け付けられます。現在処理中の割り込みより低い優先順位の割り込み要求が発生した場合には，多重割り込みとして受け付けられません。

割り込み禁止，または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして，現在の割り込み処理終了後，メイン処理の命令を1命令実行後に受け付けられます。

表16－5に多重割り込み可能な割り込み要求の関係を，図16－10に多重割り込みの例を示します。

**表16－5　割り込み処理中に多重割り込み可能な割り込み要求の関係**

| 処理中の割り込み ＼ 多重割り込み要求 | | マスカブル割り込み要求 | | | | ソフトウエア割り込み要求 |
|---|---|---|---|---|---|---|
| | | PR = 0 | | PR = 1 | | |
| | | IE = 1 | IE = 0 | IE = 1 | IE = 0 | |
| マスカブル割り込み | ISP = 0 | ○ | × | × | × | ○ |
| | ISP = 1 | ○ | × | ○ | × | ○ |
| ソフトウエア割り込み | | ○ | × | ○ | × | ○ |

**備考1．**○：多重割り込み可能。

**2．**×：多重割り込み不可能。

**3．**ISP, IEはPSWに含まれるフラグです。

ISP = 0：高優先順位の割り込み処理中

ISP = 1：割り込み要求を受け付けていないか，低優先順位の割り込み処理中

IE = 0　：割り込み要求受け付け禁止

IE = 1　：割り込み要求受け付け許可

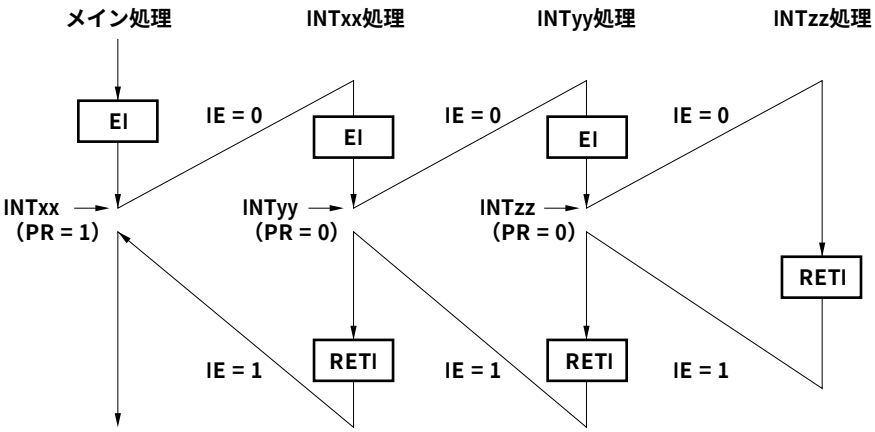
**4．**PRはPR0L, PR0H, PR1L, PR1Hに含まれるフラグです。

PR = 0 ：高優先順位レベル

PR = 1 ：低優先順位レベル

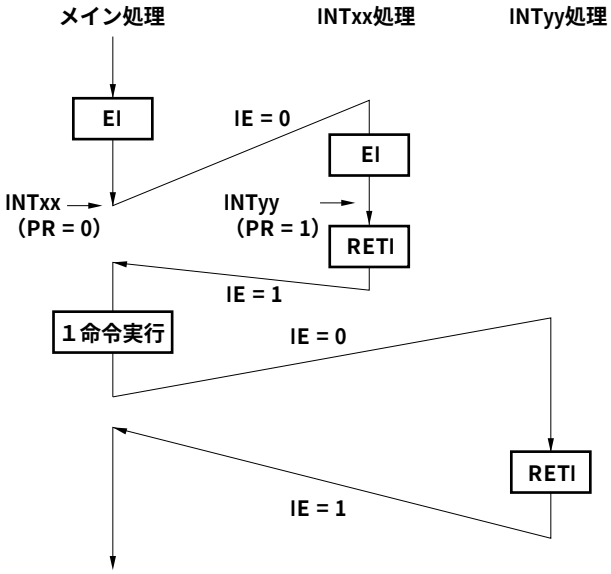
図16－10　多重割り込みの例（1/2）

例１．多重割り込みが２回発生する例




割り込みINTxx処理中に，２つの割り込み要求INTyy，INTzzが受け付けられ，多重割り込みが発生する。各割り込み要求受け付けの前には，必ずEI命令を発行し，割り込み要求受け付け許可状態になっている。

例２．優先順位制御により，多重割り込みが発生しない例

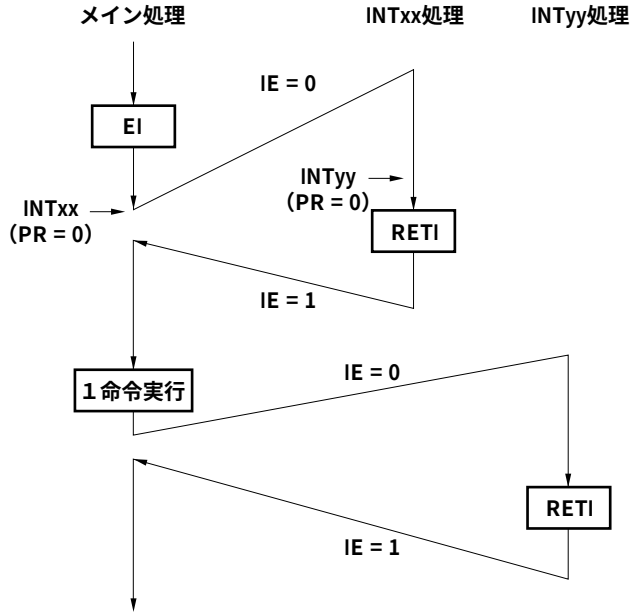



割り込みINTxx処理中に発生した割り込み要求INTyyは，割り込みの優先順位がINTxxより低いため受け付けられず，多重割り込みは発生しない。INTyy要求は保留され，メイン処理１命令実行後に受け付けられる。

PR = 0 ：高優先順位レベル
PR = 1 ：低優先順位レベル
IE = 0 ：割り込み要求受け付け禁止

図16－10　多重割り込みの例（2/2）

例３．割り込みが許可されてないため，多重割り込みが発生しない例




割り込みINTxx処理では割り込みが許可されていない（EI命令が発行されていない）ので，割り込み要求INTyyは受け付けられず，多重割り込みは発生しない。INTyy要求は保留され，メイン処理１命令実行後に受け付けられる。

PR = 0：高優先順位レベル
IE = 0　：割り込み要求受け付け禁止

## 16.4.4　割り込み要求の保留

命令の中には，実行中に割り込み要求が発生しても，次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- MOV PSW, #byte
- MOV A, PSW
- MOV PSW, A
- MOV1 PSW. bit, CY
- MOV1 CY, PSW. bit
- AND1 CY, PSW. bit
- OR1 CY, PSW. bit
- XOR1 CY, PSW. bit
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- PUSH PSW
- POP PSW
- BT PSW. bit, $addr16
- BF PSW. bit, $addr16
- BTCLR PSW. bit, $addr16
- EI
- DI
- IF0L, IF0H, IF1L, IF1H, MK0L, MK0H, MK1L, MK1H, PR0L, PR0H, PR1L, PR1Hの各レジスタに対する操作命令

**注意　BRK命令は，上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウエア割り込みでは，IEフラグが0にクリアされます。したがって，BRK命令実行中にマスカブル割り込み要求が発生しても，割り込み要求を受け付けません。**

割り込み要求が保留されるタイミングを図16－11に示します。

**図16－11　割り込み要求の保留**

**備考１．**命令N：割り込み要求の保留命令

**２．**命令M：割り込み要求の保留命令以外の命令

**３．**××IF（割り込み要求）の動作は，××PR（優先順位レベル）の値の影響を受けません。

★

# 第17章　スタンバイ機能

## 17.1　スタンバイ機能と構成

### 17.1.1　スタンバイ機能

表17－1　各動作状態における動作クロックの関係

| ステータス / 動作モード | 高速システム・クロック注1 | | 低速内蔵発振器 | | | 解除後のCPUクロック | 周辺へ供給されるプリスケーラのクロック | |
|---|---|---|---|---|---|---|---|---|
| | MSTOP = 0 | MSTOP = 1 | 注2 | 注3 | | | | |
| | | | | RSTOP = 0 | RSTOP = 1 | | MCM0 = 0 | MCM0 = 1 |
| リセット | 停　止 | | 停　止 | | | 低速内蔵発振クロック | 停　止 | |
| STOP | | | 発　振 | 発　振 | 停　止注5 | 注6 | 停　止 | |
| HALT | 発　振 | 停　止注4 | | | | 注7 | 低速内蔵発振クロック | 高速システム・クロック |

注1．高速システム・クロックの選択（X1クロック／高速内蔵発振クロック）は，オプション・バイトで行います。

2．オプション・バイトにて低速内蔵発振器を「停止不可」に選択時

3．オプション・バイトにて低速内蔵発振器を「ソフトウエアにより停止可能」に選択時

4．低速内蔵発振器発振時のみ

5．X1発振／高速内蔵発振クロック時のみ

6．STOP命令実行時のCPUクロックにて動作します。

7．HALT命令実行時のCPUクロックにて動作します。

注意　RSTOPの設定は，オプション・バイトにて低速内蔵発振器を「ソフトウエアにより停止可能」時にのみ有効です。

備考　MSTOP ：メインOSCコントロール・レジスタ（MOC）のビット7
RSTOP ：低速内蔵発振モード・レジスタ（RCM）のビット0
MCM0 ：メイン・クロック・モード・レジスタ（MCM）のビット0

スタンバイ機能は，システムの動作電流をより低減するための機能で，次の2種類のモードがあります。

（1）HALTモード

HALT命令の実行により，HALTモードとなります。HALTモードは，CPUの動作クロックを停止させるモードです。HALTモード設定前にX1発振回路，高速内蔵発振器，低速内蔵発振器が動作している場合，それぞれのクロックは発振を継続します。このモードでは，STOPモードほどの動作電流の低減はできませんが，割り込み要求により，すぐに処理を再開したい場合や，間欠動作をさせたい場合に有効です。

（2）STOPモード

STOP命令の実行により，STOPモードとなります。STOPモードは，高速システム・クロックを停止させ，システム全体が停止するモードです。CPUの動作電流を，かなり低減することができます。

さらに，割り込み要求によって解除できるため，間欠動作も可能です。ただし，STOPモード解除時に発振安定時間確保のためのウエイト時間がとられるため，割り込み要求によって，すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも，スタンバイ・モードに設定される直前のレジスタ，フラグ，データ・メモリの内容はすべて保持されます。また，入出力ポートの出力ラッチ，出力バッファの状態も保持されます。

注意１．STOP, HALTモードはCPUが高速システム・クロック，低速内蔵発振クロックのどちらかの動作状態で使用できます。ただし，低速内蔵発振クロック動作時にSTOP命令を実行した場合，X1発振回路／高速内蔵発振器は停止しますが，低速内蔵発振器は停止しません。

２．高速内蔵発振クロック動作時にSTOPモードには設定禁止です。その場合には、いったん低速内蔵発振クロックに切り替えてからSTOPモードに設定してください。

３．STOPモードに移行するとき，必ず周辺ハードウエアの動作を停止させたのち，STOP命令を実行してください。

４．A/Dコンバータ部の動作電流を低減させるためには，A/Dコンバータ・モード・レジスタ（ADM）のビット7（ADCS）を0にクリアし，A/D変換動作を停止させてから，HALT命令またはSTOP命令を実行してください。

５．STOPモード設定前に低速内蔵発振器が動作している場合，STOPモードでは低速内蔵発振クロックの発振を停止することはできません。ただしCPUクロックが低速内蔵発振クロックの場合，STOP動作解除後21/$f_{RL}$（s）間はCPU動作停止になります。

## 17.1.2　スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタには，次の2種類があります。

・発振安定時間カウンタ状態レジスタ（OSTC）
・発振安定時間選択レジスタ（OSTS）

**備考**　クロックの動作／停止，切り替えを制御するレジスタについては，**第５章　クロック発生回路**を参照してください。

### （1）発振安定時間カウンタ状態レジスタ（OSTC）

X1入力クロックの発振安定時間カウンタの状態レジスタです。CPUクロックが低速内蔵発振クロックの場合に，X1入力クロックの発振安定時間を確認することができます。

OSTCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット解除時（$\overline{\text{RESET}}$入力，POC, LVI, WDTによるリセット），STOP命令，MSTOP（MOCレジスタのビット７）= 1により，00Hになります。

**図17－１　発振安定時間カウンタ状態レジスタ（OSTC）のフォーマット**

アドレス：FFA3H　リセット時：00H　R

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| OSTC | 0 | 0 | 0 | MOST11 | MOST13 | MOST14 | MOST15 | MOST16 |

| MOST11 | MOST13 | MOST14 | MOST15 | MOST16 | 発振安定時間のステータス | | |
|---|---|---|---|---|---|---|---|
| | | | | | | $f_X$ = 20 MHz時 | $f_X$ = 16 MHz時 |
| 1 | 0 | 0 | 0 | 0 | $2^{11}/f_X$以上 | 102.4 μs以上 | 128 μs以上 |
| 1 | 1 | 0 | 0 | 0 | $2^{13}/f_X$以上 | 409.6 μs以上 | 512 μs以上 |
| 1 | 1 | 1 | 0 | 0 | $2^{14}/f_X$以上 | 819.2 μs以上 | 1.02 ms以上 |
| 1 | 1 | 1 | 1 | 0 | $2^{15}/f_X$以上 | 1.64 ms以上 | 2.04 ms以上 |
| 1 | 1 | 1 | 1 | 1 | $2^{16}/f_X$以上 | 3.27 ms以上 | 4.09 ms以上 |

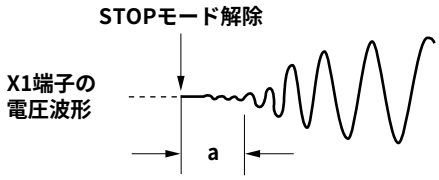
**注意１．上記時間経過後，MOST11から順番に“１”となっていき，そのまま“１”を保持します。**

**２．発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが低速内蔵発振クロック時に，STOPモードに入り，解除するときは，発振安定時間を次のように設定してください。**

**・期待するOSTCの発振安定時間≦OSTSで設定する発振安定時間**

**したがって，STOPモード解除後のOSTCは，OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。**

**３．STOPモード解除時のウエイト時間は，$\overline{\text{RESET}}$入力による場合も，割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間（下図ａ）は含みません。**




**４．オプション・バイトで，高速システム・クロックに高速内蔵発振クロックを選択している場合は，OSTCは使用不可です。**

**350 μsのウエイト時間をソフトウエアで確保してください。**

**備考**　$f_X$：X1入力クロック発振周波数

### （2）発振安定時間選択レジスタ（OSTS）

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合，STOPモード解除後は，OSTSで設定した時間をウエイトします。

CPUクロックに低速内蔵発振クロックを選択した場合，STOPモード解除後は，OSTCで発振安定時間が経過したかを確認してください。OSTCでは，あらかじめOSTSで設定した時間までの確認ができます。

CPUクロックに高速内蔵発振クロックを選択した場合，STOPモード解除後は，350 $\mu$ sウエイトしてください（OSTCは使用できません）。

OSTSは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，05Hになります。

**図17－2　発振安定時間選択レジスタ（OSTS）のフォーマット**

アドレス：FFA4H　リセット時：05H　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| OSTS | 0 | 0 | 0 | 0 | 0 | OSTS2 | OSTS1 | OSTS0 |

| OSTS2 | OSTS1 | OSTS0 | 発振安定時間の選択 | | |
|---|---|---|---|---|---|
| | | | | $f_X$ = 20 MHz時 | $f_X$ = 16 MHz時 |
| 0 | 0 | 1 | $2^{11}/f_X$ | 102.4 μs | 128 μs |
| 0 | 1 | 0 | $2^{13}/f_X$ | 409.6 μs | 512 μs |
| 0 | 1 | 1 | $2^{14}/f_X$ | 819.2 μs | 1.02 ms |
| 1 | 0 | 0 | $2^{15}/f_X$ | 1.64 ms | 2.04 ms |
| 1 | 0 | 1 | $2^{16}/f_X$ | 3.27 ms | 4.09 ms |
| 上記以外 | | | 設定禁止 | | |

**注意１．CPUクロックがX1クロック時にSTOPモードへ移行する場合は，STOP命令を実行する前にOSTSを設定してください。**

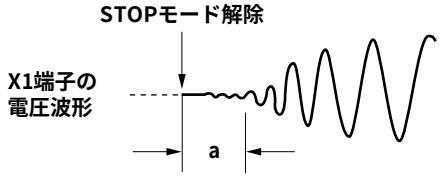
**２．X1クロックの発振安定時間中は，OSTSレジスタを変更しないでください。**

**３．発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが低速内蔵発振クロック時に，STOPモードに入り，解除するときは，OSTSの発振安定時間を次のように設定してください。**

**・期待するOSTCの発振安定時間≦OSTSで設定する発振安定時間**

**したがって，STOPモード解除後のOSTCは，OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。**

**４．X1クロックの発振安定時間は，クロック発振を開始するまでの時間（下図a）は含みません。**




**備考**　$f_X$：X1入力クロック発振周波数

# 17.2　スタンバイ機能の動作

## 17.2.1　HALTモード

**（1）HALTモード**

HALTモードは，HALT命令の実行により設定されます。設定前のCPUクロックは，高速システム・クロック，低速内蔵発振クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

表17－2　HALTモード時の動作状態

| HALTモードの設定 ／ 項目 | | 高速システム・クロックでCPU動作中のHALT命令実行時 | | 低速内蔵発振クロックでCPU動作中のHALT命令実行時 | |
|---|---|---|---|---|---|
| | | 低速内蔵発振クロック発振継続時 | 低速内蔵発振クロック発振停止時[注1] | 高速システム・クロック発振継続時 | 高速システム・クロック発振停止時 |
| システム・クロック | | CPUへのクロック供給は停止。 | | | |
| CPU | | 動作停止 | | | |
| ポート（ラッチ） | | HALTモード設定前の状態を保持 | | | |
| 10ビット・インバータ制御用タイマ | | 動作可能 | | 動作保証不可 | |
| 16ビット・タイマ／イベント・カウンタ00 | | 動作可能 | | 動作保証不可 | |
| 8ビット・タイマ／イベント・カウンタ50 | | 動作可能 | | カウント・クロックにTI50選択時以外は動作保証不可 | |
| 8ビット・タイマ／イベント・カウンタ51 | | 動作可能 | | カウント・クロックに$f_{RL}/2^7$選択時以外は動作保証不可 | |
| ウォッチドッグ・タイマ | 低速内蔵発振器停止不可[注2] | 動作可能 | － | 動作可能 | |
| | 低速内蔵発振器停止可[注2] | 動作停止 | | | |
| Hi-Z出力制御回路 | | 動作可能 | | | |
| リアルタイム出力ポート | | 動作可能 | | 動作保証不可 | |
| A/Dコンバータ | | 動作可能 | | 動作保証不可 | |
| シリアル・インタフェース | UART00 | 動作可能 | | ８ビット・タイマ／イベント・カウンタ50動作時に，シリアル・クロックをTM50出力選択時以外は動作保証不可 | |
| 乗除算器 | | 動作可能 | | 動作保証不可 | |
| パワーオン・クリア機能 | | 動作可能 | | | |
| 低電圧検出機能 | | 動作可能 | | | |
| 外部割り込み | | 動作可能 | | | |

**注１．オプション・バイトで低速内蔵発振器を「ソフトウエアにより停止可能」を選択し，ソフトウエアで低速内蔵発振器を停止した場合（オプション・バイトについては第21章　オプション・バイト参照）。**

**２．オプション・バイトで低速内蔵発振器を「停止不可」または「ソフトウエアにより停止可能」を選択できます。**

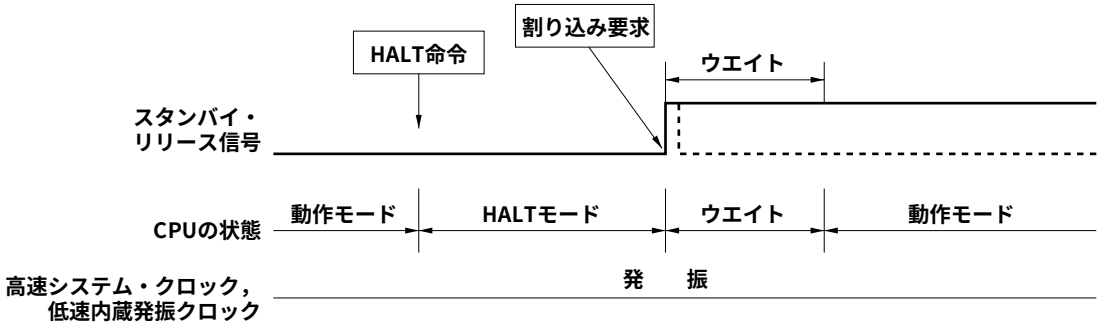
### （2）HALTモードの解除

HALTモードは，次の２種類のソースによって解除できます。

#### （a）マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると，HALTモードは解除されます。そして，割り込み受け付け許可状態であれば，ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば，次のアドレスの命令が実行されます。

**図17－３　HALTモードの割り込み要求発生による解除**




**備考１．**破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

**２．**ウエイト時間は次のようになります。

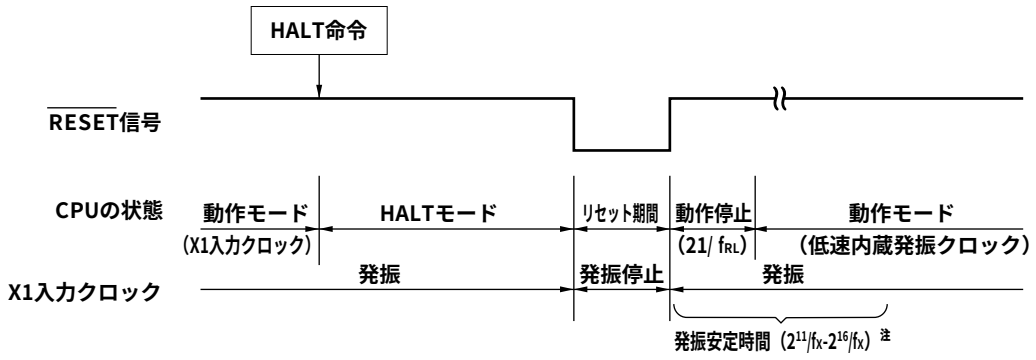
- ベクタ割り込み処理を行う場合　　：８～９クロック
- ベクタ割り込み処理を行わない場合：２～３クロック

### （b）$\overline{\text{RESET}}$入力による解除

$\overline{\text{RESET}}$信号の入力があると，HALTモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

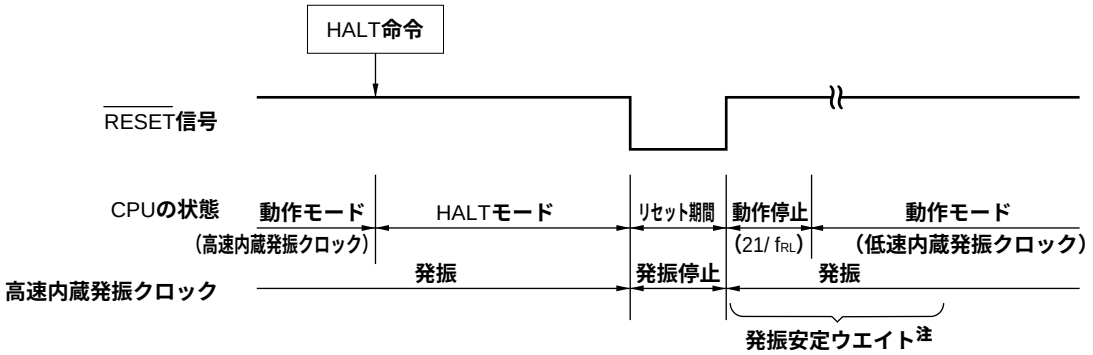
**図17－4　HALTモードの$\overline{\text{RESET}}$入力による解除**

**（1）CPUクロックがX1入力クロックの場合**




**注**　外部入力クロックを使用する場合，発振安定時間のウエイトは必要ありません。したがって，OSTCの値を読み出さずに，CPUクロックを切り替えてもかまいません。

**（2）CPUクロックが高速内蔵発振クロックの場合**

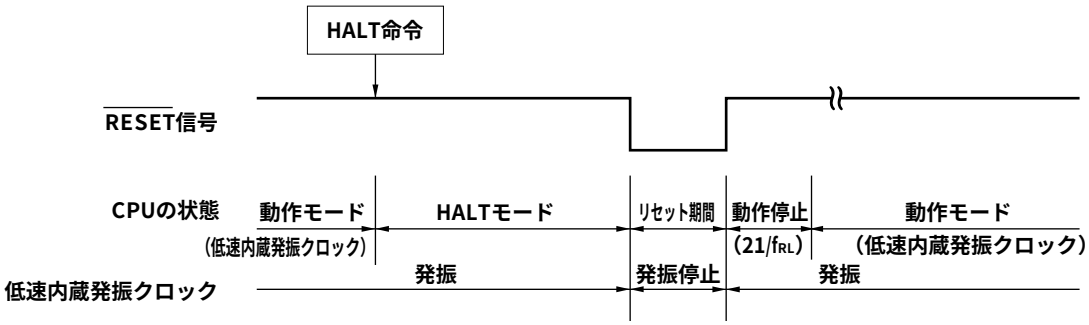



**注**　高速システム・クロックに高速内蔵発振クロックを選択した場合，リセット解除後，基準電圧安定時間（300 $\mu$s (MAX.)）と発振安定時間（50 $\mu$s (MAX.)）をソフトウエアでウエイトしたあと，MCMのMCM0ビットにて，CPUクロックを低速内蔵発振クロックから高速システム・クロックに切り替えることができます。このとき，OSTCは使用できないので，低速内蔵発振クロック発振周波数の最大値（480 kHz）により，NOP命令を85命令実行し，安定時間を確保してから，CPUクロックを切り替えを行ってください。

**備考1.**　$f_X$ ：X1入力クロック発振周波数

**2.**　$f_{RL}$：低速内蔵発振クロック周波数

### （3）CPUクロックが低速内蔵発振クロックの場合




**備考**　$f_{RL}$：低速内蔵発振クロック発振周波数

**表17－3　HALTモード時の割り込み要求に対する動作**

| 解除ソース | MK×× | PR×× | IE | ISP | 動　　作 |
|---|---|---|---|---|---|
| マスカブル割り込み要求 | 0 | 0 | 0 | × | 次アドレス命令実行 |
| | 0 | 0 | 1 | × | 割り込み処理実行 |
| | 0 | 1 | 0 | 1 | 次アドレス命令実行 |
| | 0 | 1 | × | 0 | |
| | 0 | 1 | 1 | 1 | 割り込み処理実行 |
| | 1 | × | × | × | HALTモード保持 |
| RESET入力 | － | － | × | × | リセット処理 |

×：don't care

## 17.2.2　STOPモード

**（1）STOPモードの設定および動作状態**

STOPモードは，STOP命令の実行により設定されます。設定前のCPUクロックは，高速システム・クロック，低速内蔵発振クロックのいずれの場合でも設定可能です。

**注意　スタンバイ・モードの解除に割り込み要求信号が用いられるため，割り込み要求フラグがセット，割り込みマスク・フラグがリセットされている割り込みソースがある場合には，スタンバイ・モードに入ってもただちに解除されます。したがって，STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウエイトしたあと動作モードに戻ります。**

次にSTOPモード時の動作状態を示します。

表17－4　STOPモード時の動作状態

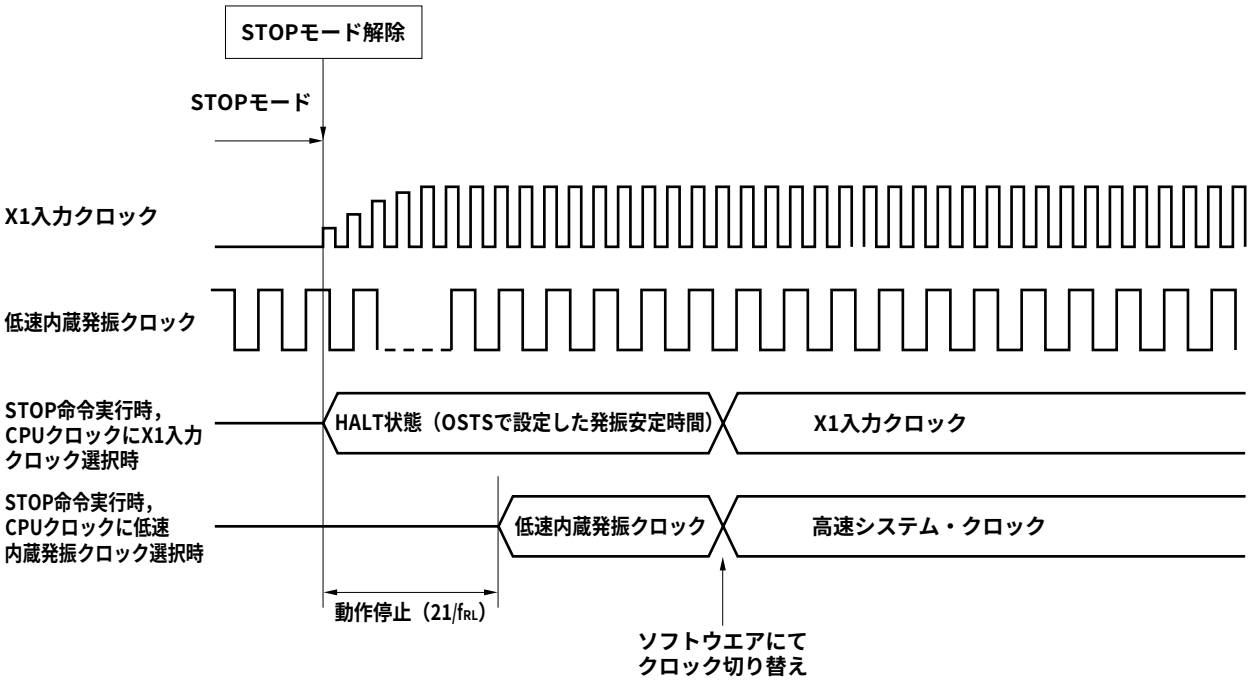
| STOPモードの設定 ＼ 項　目 | | 高速システム・クロックでCPU動作中のSTOP命令実行時 | | 低速内蔵発振クロックでCPU動作中のSTOP命令実行時 |
|---|---|---|---|---|
| | | 低速内蔵発振クロック発振継続時 | 低速内蔵発振クロック発振停止時[注1] | |
| システム・クロック | | X1発振回路／高速内蔵発振器のみ発振停止。<br>CPUへのクロック供給は停止。 | | |
| CPU | | 動作停止 | | |
| ポート（ラッチ） | | STOPモード設定前の状態を保持 | | |
| 10ビット・インバータ制御用タイマ | | 動作停止 | | |
| 16ビット・タイマ／イベント・カウンタ00 | | 動作停止 | | |
| 8ビット・タイマ／イベント・カウンタ50 | | カウント・クロックをTI50選択時のみ動作可能 | | |
| 8ビット・タイマ／イベント・カウンタ51 | | 動作停止 | | |
| ウォッチドッグ・タイマ | 低速内蔵発振器停止不可[注2] | 動作可能 | － | 動作可能 |
| | 低速内蔵発振器停止可[注2] | 動作停止 | | |
| Hi-Z出力制御回路 | | 動作可能 | | |
| リアルタイム出力ポート | | 動作停止 | | |
| A/Dコンバータ | | 動作停止 | | |
| シリアル・インタフェース | UART00 | TM50動作時に，シリアル・クロックをTM50出力選択時のみ動作可能 | | |
| 乗除算器 | | 動作停止 | | |
| パワー・オン・クリア機能 | | 動作可能 | | |
| 低電圧検出機能 | | 動作可能 | | |
| 外部割り込み | | 動作可能 | | |

**注1．**オプション・バイトで低速内蔵発振器を「ソフトウエアにより停止可能」を選択し，ソフトウエアで低速内蔵発振器を停止した場合（オプション・バイトについては**第21章　オプション・バイト**参照）

**2．**オプション・バイトで低速内蔵発振器を「停止不可」または「ソフトウエアにより停止可能」を選択できます。

### （2）STOPモードの解除

図17－5　STOPモード解除時の動作タイミング




**備考**　高速内蔵発振クロック動作時にSTOPモードには設定禁止です。その場合には、いったん低速内蔵発振クロックに切り替えてからSTOPモードに設定してください。

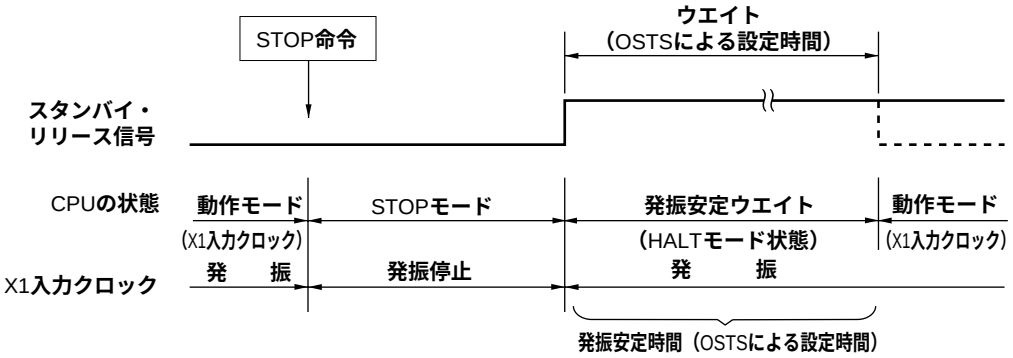
STOPモードは，次の2種類のソースによって解除することができます。

### （a）マスクされていない割り込み要求による解除

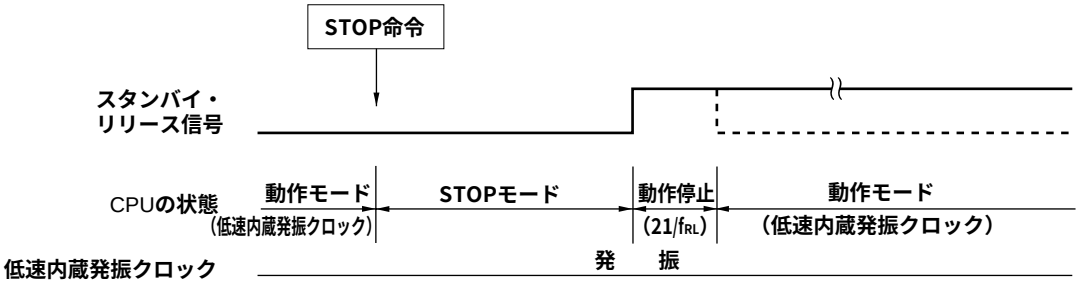
マスクされていない割り込み要求による解除の場合，STOPモードを解除します。発振安定時間経過後，割り込み受け付け許可状態であれば，ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば，次のアドレスの命令を実行します。

**図17－6　STOPモードの割り込み要求発生による解除**

**（1）CPUクロックがX1入力クロックの場合**




**（2）CPUクロックが内蔵発振クロックの場合**




**備考１．**破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

**２．**低速内蔵発振クロックが発振停止（RSTOP = 1）しているときにSTOP命令を実行した場合，STOPモード解除後の低速内蔵発振クロックは引き続き発振停止します。

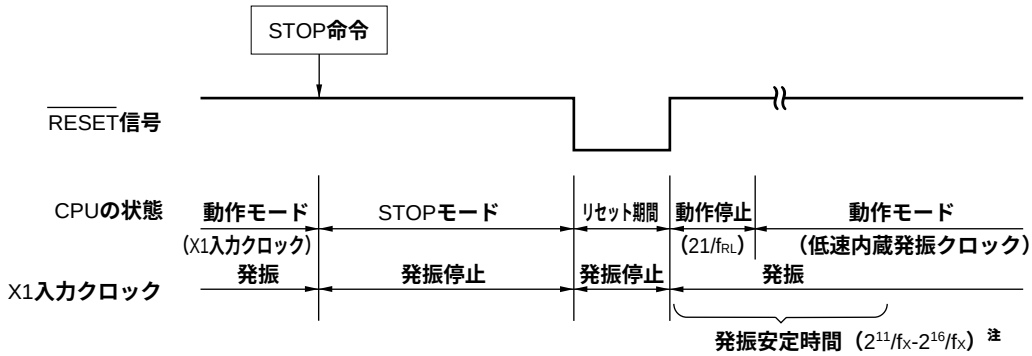
**３．**$f_{RL}$：低速内蔵発振クロック発振周波数

### （b）$\overline{\text{RESET}}$入力による解除

STOPモードを解除し，発振安定時間経過後リセット動作を行います。

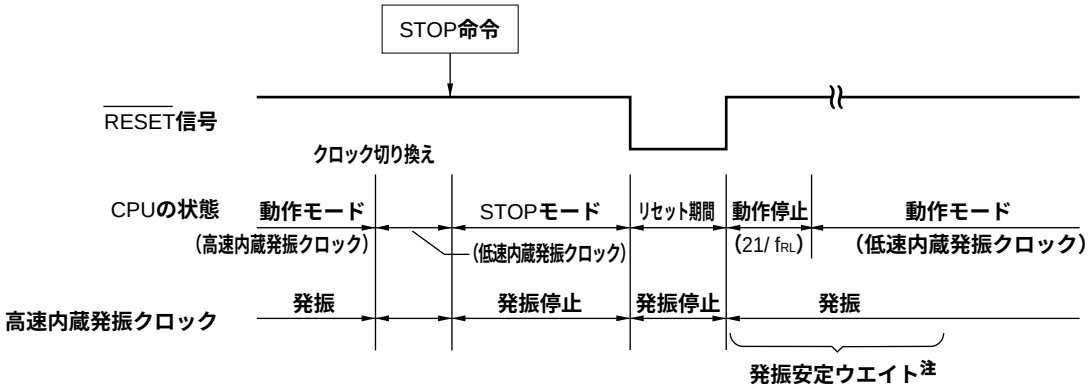
**図17－7　STOPモードの$\overline{\text{RESET}}$入力による解除**

**（1）CPUクロックがX1入力クロックの場合**




注　外部入力クロックを使用する場合，発振安定時間のウエイトは必要ありません。したがって，OSTCの値を読み出さずに，CPUクロックを切り替えてもかまいません。

**（2）CPUクロックが高速内蔵発振クロックの場合**

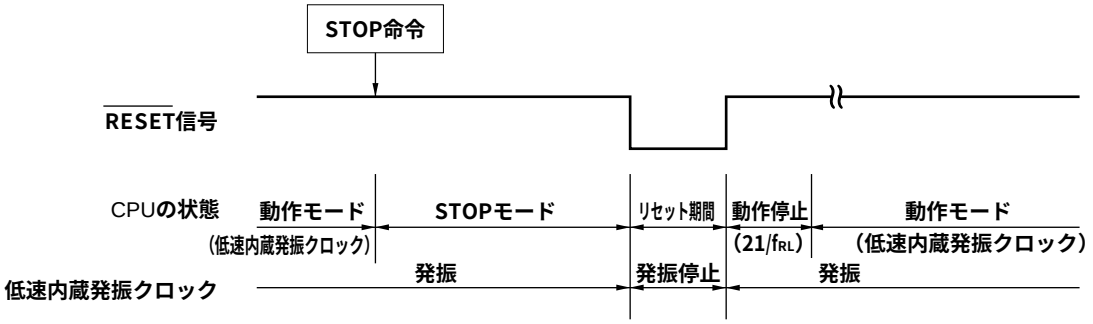



注　高速システム・クロックに高速内蔵発振クロックを選択した場合，リセット解除後，基準電圧安定時間（300 μs (MAX.)）と発振安定時間（50 μs (MAX.)）をソフトウエアでウエイトしたあと，MCMのMCM0ビットにて，CPUクロックを低速内蔵発振クロックから高速システム・クロックに切り替えることができます。このとき，OSTCは使用できないので，低速内蔵発振クロック発振周波数の最大値（480 kHz）により，NOP命令を85命令実行し，安定時間を確保してから，CPUクロックを切り替えを行ってください。

**備考1.**　$f_X$　：X1入力クロック発振周波数

**2.**　$f_{RL}$　：低速内蔵発振クロック周波数

### （3）CPUクロックが低速内蔵発振クロックの場合




**備考**　$f_{RL}$：低速内蔵発振クロック発振周波数

**表17－5　STOPモード時の割り込み要求に対する動作**

| 解除ソース | MK×× | PR×× | IE | ISP | 動　　作 |
|---|---|---|---|---|---|
| マスカブル割り込み要求 | 0 | 0 | 0 | × | 次アドレス命令実行 |
| | 0 | 0 | 1 | × | 割り込み処理実行 |
| | 0 | 1 | 0 | 1 | 次アドレス命令実行 |
| | 0 | 1 | × | 0 | |
| | 0 | 1 | 1 | 1 | 割り込み処理実行 |
| | 1 | × | × | × | STOPモード保持 |
| RESET入力 | − | − | × | × | リセット処理 |

×：don't care

# 第18章　リセット機能

リセット信号を発生させる方法には，次の４種類があります。

（１）$\overline{\text{RESET}}$端子による外部リセット入力
（２）ウォッチドッグ・タイマの暴走時間検出による内部リセット
（３）パワーオン・クリア（POC）回路の電源電圧と検出電圧との比較による内部リセット
（４）低電源検出回路（LVI）の電源電圧と検出電圧との比較による内部リセット

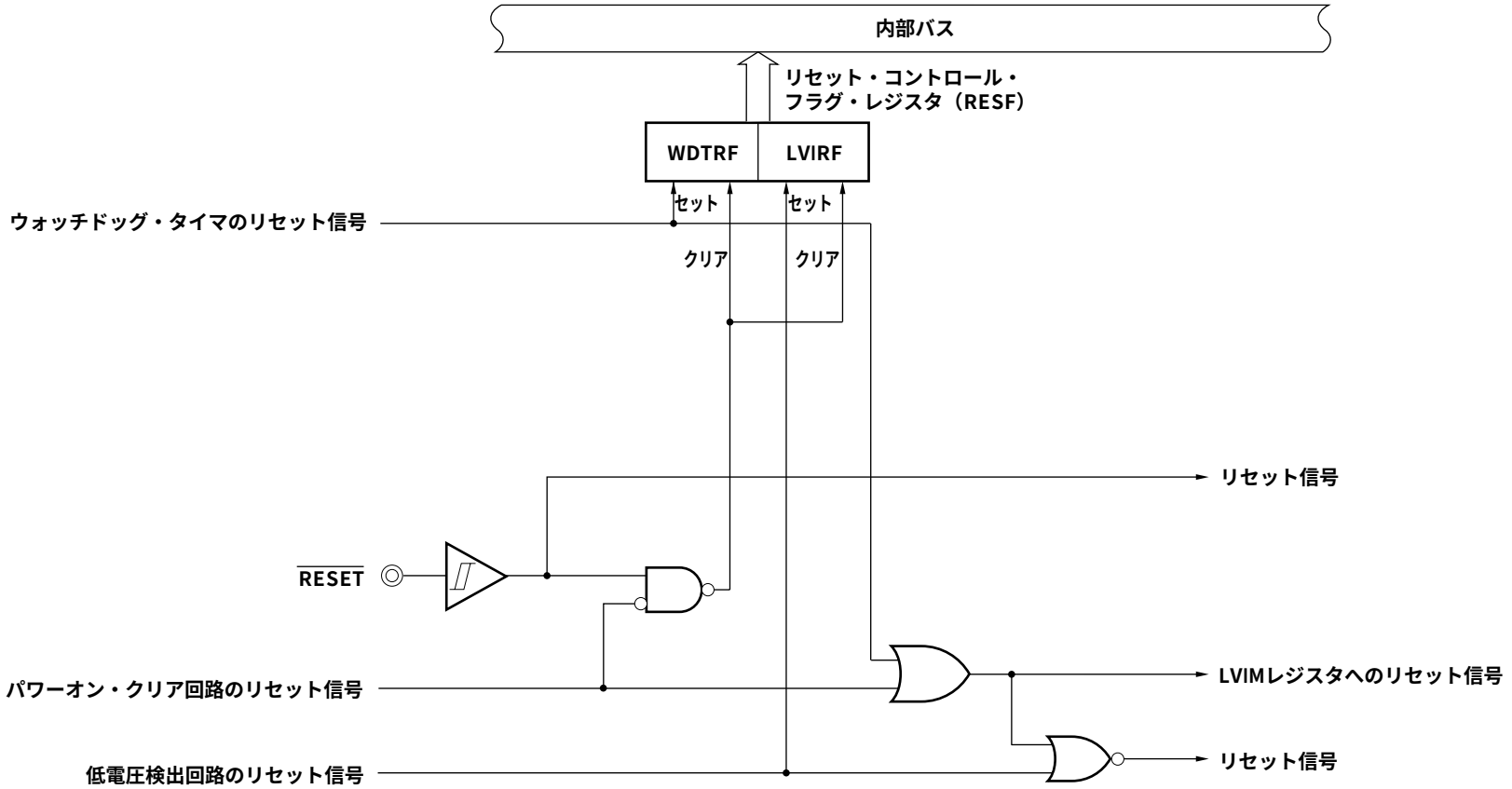
外部リセットと内部リセットは機能面での差はなく，リセット信号入力により，ともに0000H，0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$端子にロウ・レベルが入力されるか，ウォッチドッグ・タイマのオーバフローが発生するか，またはPOC回路，LVI回路の電圧検出により，リセットがかかり，各ハードウエアは表18－１に示すような状態になります。また，リセット入力中およびリセット解除直後の発振安定時間中の各ポート端子の状態は，ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$端子にハイ・レベルが入力されると，リセットが解除され，21/$f_{RL}$（s）間CPUクロック動作停止後，低速内蔵発振クロックでプログラムの実行を開始します。ウォッチドック・タイマによるリセットは，リセット後，自動的にリセットが解除され，21/$f_{RL}$（s）間CPUクロック動作停止後，低速内蔵発振クロックでプログラムの実行を開始します（図18－２から図18－４参照）。POC回路，LVI回路の電源検出によるリセットは，リセット後$V_{DD}$＞$V_{POC}$または$V_{DD}$＞$V_{LVI}$になったときにリセットが解除され，21/$f_{RL}$（s）間CPUクロック動作停止後，低速内蔵発振クロックでプログラムの実行を開始します（**第19章　パワーオン・クリア回路**と**第20章　低電圧検出回路**参照）。

**注意１．外部リセットを行う場合，$\overline{\text{RESET}}$端子に10 $\mu$s以上のロウ・レベルを入力してください。**
**２．リセット入力中は，X1入力クロック，低速内蔵発振クロックともに発振を停止します。**
**３．リセットでSTOPモードを解除するとき，リセット入力中はSTOPモード時の内容を保持します。ただし，ポート端子はハイ・インピーダンスとなります。**

**図18－1　リセット機能のブロック図**




**注意　LVI回路の内部リセットの場合，LVI回路はリセットされません。**

**備考　**LVIM：低電圧検出レジスタ

図18－2　$\overline{\text{RESET}}$入力によるリセット・タイミング

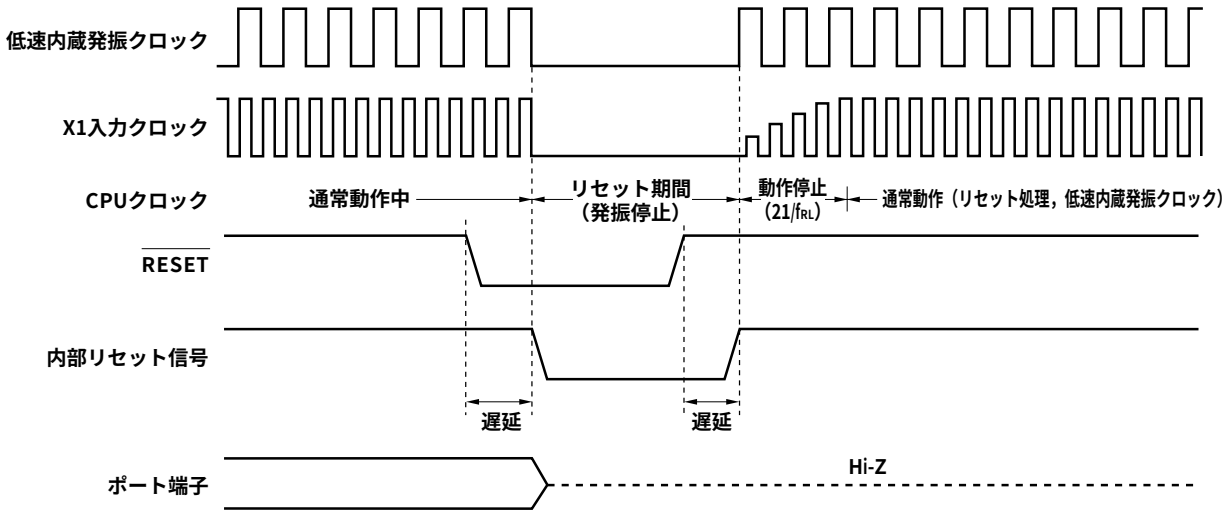
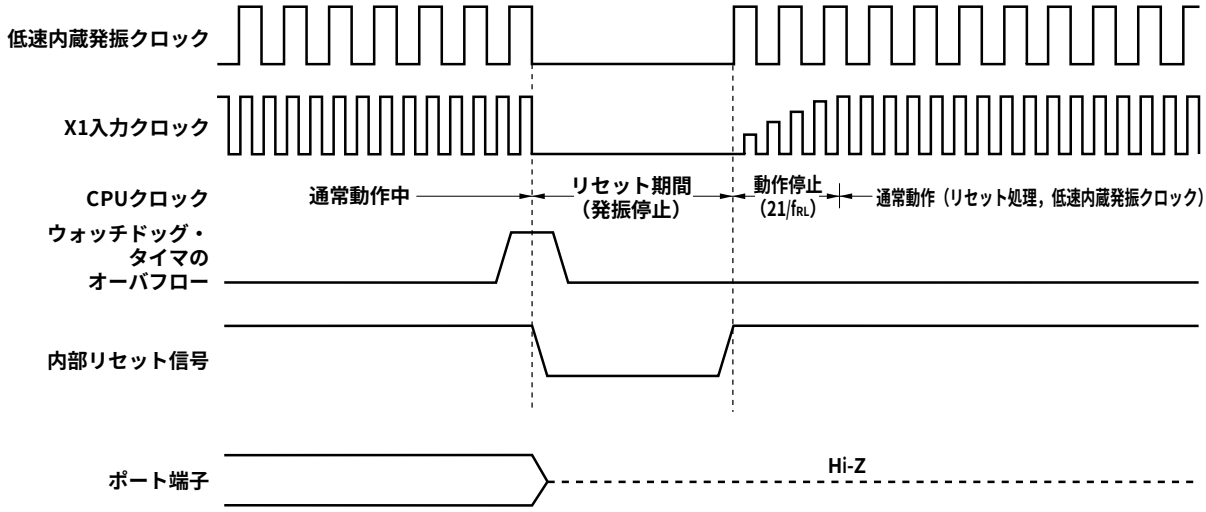
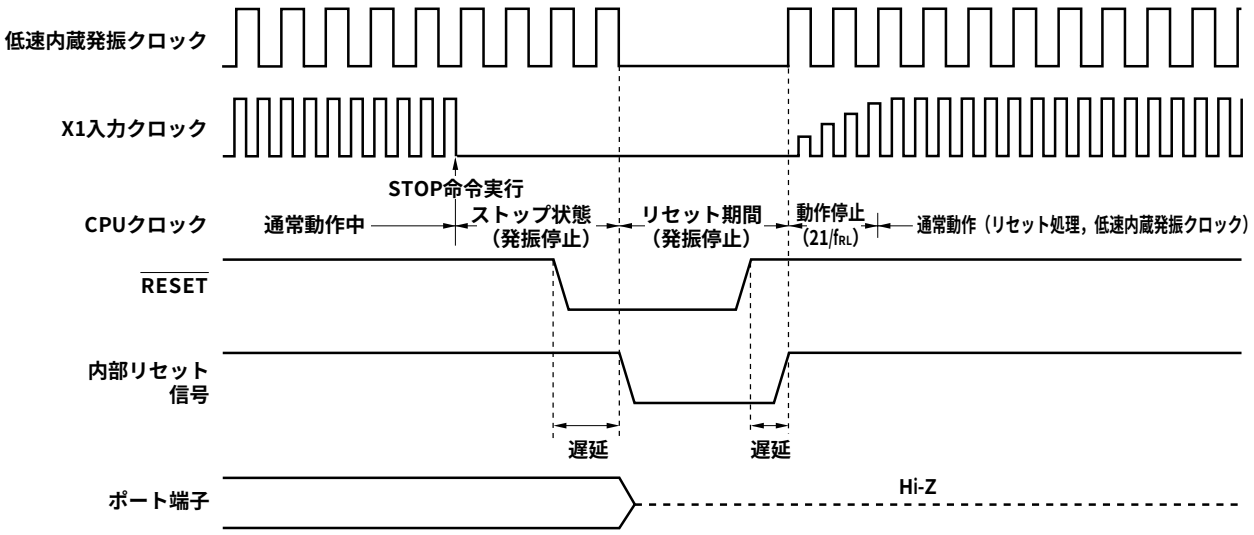



図18－3　ウォッチドッグ・タイマのオーバフローによるリセット・タイミング




**注意　ウォッチドッグ・タイマの内部リセットの場合，ウォッチドッグ・タイマもリセットされます。**

図18－4　STOPモード中の$\overline{\text{RESET}}$入力によるリセット・タイミング




**備考**　パワーオン・クリア回路と低電圧検出回路のリセット・タイミングは，**第19章　パワーオン・クリア回路**と**第20章　低電圧検出回路**を参照してください。

表18－1　各ハードウエアのリセット受け付け後の状態（1/2）

| ハードウエア | | リセット受け付け後の状態[注1] |
|---|---|---|
| プログラム・カウンタ（PC） | | リセット・ベクタ・テーブル（0000H, 0001H）の内容がセットされる。 |
| スタック・ポインタ（SP） | | 不定 |
| プログラム・ステータス・ワード（PSW） | | 02H |
| RAM | データ・メモリ | 不定[注2] |
| | 汎用レジスタ | 不定[注2] |
| ポート・レジスタ（P0, P1, P2, P5）（出力ラッチ） | | 00H（P2のみ不定） |
| ポート・モード・レジスタ（PM0, PM1, PM5） | | FFH |
| プルアップ抵抗オプション・レジスタ（PU0, PU1, PU5） | | 00H |
| メモリ・サイズ切り替えレジスタ（IMS） | | CFH |
| プロセッサ・クロック・コントロール・レジスタ（PCC） | | 00H |
| 内蔵発振モード・レジスタ（RCM） | | 00H |
| メイン・クロック・モード・レジスタ（MCM） | | 00H |
| メインOSCコントロール・レジスタ（MOC） | | 00H |
| 発振安定時間選択レジスタ（OSTS） | | 05H |
| 発振安定時間カウンタ状態レジスタ（OSTC） | | 00H |
| 10ビット・インバータ制御用タイマ | コンペア・レジスタ（TW0CM0-TW0CM2, TW0CM4, TW0CM5） | 000H |
| | コンペア・レジスタ（TW0CM3） | 0FFH |
| | バッファ・レジスタ（TW0BFCM0-TW0BFCM2, TW0BFCM4, TW0BFCM5） | 000H |
| | バッファ・レジスタ（TW0BFCM3） | 0FFH |
| | デッド・タイム・リロード・レジスタ（TW0DTIME） | FFH |
| | コントロール・レジスタ（TW0C） | 00H |
| | モード・レジスタ（TW0M） | 00H |
| | A/Dトリガ選択レジスタ（TW0TRGS） | 00H |
| | 出力制御レジスタ（TW0OC） | 00H |
| 16ビット・タイマ／イベント・カウンタ00 | タイマ・カウンタ00（TM00） | 0000H |
| | キャプチャ／コンペア・レジスタ00, 01（CR00, CR01） | 0000H |
| | モード・コントロール・レジスタ00（TMC00） | 00H |
| | プリスケーラ・モード・レジスタ00（PRM00） | 00H |
| | キャプチャ／コンペア・コントロール・レジスタ00（CRC00） | 00H |
| | タイマ出力コントロール・レジスタ00（TOC00） | 00H |
| 8ビット・タイマ／イベント・カウンタ50, 51 | タイマ・カウンタ50, 51（TM50, TM51） | 00H |
| | コンペア・レジスタ50, 51（CR50, CR51） | 00H |
| | タイマ・クロック選択レジスタ50, 51（TCL50, TCL51） | 00H |
| | モード・コントロール・レジスタ50, 51（TMC50, TMC51） | 00H |
| ウォッチドッグ・タイマ | モード・レジスタ（WDTM） | 67H |
| | イネーブル・レジスタ（WDTE） | 9AH |

注1．リセット入力中および発振安定時間ウエイト中の各ハードウエアの状態は，PCの内容のみ不定となります。その他は，リセット後の状態と変わりありません。

2．スタンバイ・モード時でのリセット後の状態は保持となります。

表18－1　各ハードウエアのリセット受け付け後の状態（2/2）

| ハードウエア | | リセット受け付け後の状態 |
|---|---|---|
| リアルタイム出力ポート | バッファ・レジスタ（RTBL01, RTBH01） | 00H |
| | モード・レジスタ（RTPM01） | 00H |
| | コントロール・レジスタ（RTPC01） | 00H |
| | DC制御レジスタ（DCCTL01） | 00H |
| | PWM選択レジスタ（DCCTL02） | 00H |
| Hi-Z出力制御回路 | ハイ・インピーダンス出力制御レジスタ0（HZA0CTL0） | 00H |
| A/Dコンバータ | 変換結果レジスタ（ADCR） | 不定 |
| | モード・レジスタ（ADM） | 00H |
| | アナログ入力チャネル指定レジスタ（ADS） | 00H |
| | パワーフェイル比較モード・レジスタ（PFM） | 00H |
| | パワーフェイル比較しきい値レジスタ（PFT） | 00H |
| シリアル・インタフェース UART00 | 受信バッファ・レジスタ00（RXB00） | FFH |
| | 送信シフト・レジスタ00（TXS00） | FFH |
| | アシンクロナス・シリアル・インタフェース動作モード・レジスタ00（ASIM00） | 01H |
| | アシンクロナス・シリアル・インタフェース受信エラー・ステイタス・レジスタ00（ASIS00） | 00H |
| | ボー・レート・ジェネレータ・コントロール・レジスタ00（BRGC00） | 1FH |
| 乗除算器 | 剰余データ・レジスタ0（SDR0） | 0000H |
| | 乗除算データ・レジスタA0（MDA0H, MDA0L） | 0000H |
| | 乗除算データ・レジスタB0（MDB0） | 0000H |
| | 乗除算器コントロール・レジスタ0（DMUC0） | 00H |
| リセット機能 | リセット・コントロール・フラグ・レジスタ（RESF） | 00H[注1] |
| 低電圧検出回路 | 低電圧検出レジスタ（LVIM） | 00H[注1] |
| 割り込み | 要求フラグ・レジスタ0L, 0H, 1L, 1H（IF0L, IF0H, IF1L, IF1H） | 00H |
| | マスク・フラグ・レジスタ0L, 0H, 1L（MK0L, MK0H, MK1L） | FFH |
| | マスク・フラグ・レジスタ1H（MK1H） | DFH |
| | 優先順位指定フラグ・レジスタ0L, 0H, 1L, 1H（PR0L, PR0H, PR1L, PR1H） | FFH |
| | 外部割り込み立ち上がりエッジ許可レジスタ（EGP） | 00H |
| | 外部割り込み立ち下がりエッジ許可レジスタ（EGN） | 00H |

**注1．**リセット要因により，次のように変化します。

| リセット要因 ＼ レジスタ | $\overline{\text{RESET}}$入力 | POCによるリセット | WDTによるリセット | LVIによるリセット |
|---|---|---|---|---|
| RESF | 表18－2を参照 | | | |
| LVIM | クリア（00H） | クリア（00H） | クリア（00H） | 保持 |

**2．**動作モードにより異なります。

・ユーザ・モード　　：08H

・オンボード・モード：0CH

# 18.1　リセット要因を確認するレジスタ

μPD78F0711, 78F0712は内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ（RESF）は，どの要因から発生したリセット要求かを格納するレジスタです。

RESFは，8ビット・メモリ操作命令で，読み出すことができます。

$\overline{\text{RESET}}$入力，パワーオン・クリア（POC）回路によるリセット入力およびRESFのデータを読み出すことにより，00Hになります。

**図18－5　リセット・コントロール・フラグ・レジスタ（RESF）のフォーマット**

アドレス：FFACH　リセット時：00H[注]　R

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| RESF | 0 | 0 | 0 | WDTRF | 0 | 0 | 0 | LVIRF |

| WDTRF | ウォッチドッグ・タイマ（WDT）による内部リセット要求 |
|---|---|
| 0 | 内部リセット要求は発生していない，またはRESFをクリアした |
| 1 | 内部リセット要求は発生した |

| LVIRF | 低電圧検出（LVI）回路による内部リセット要求 |
|---|---|
| 0 | 内部リセット要求は発生していない，またはRESFをクリアした |
| 1 | 内部リセット要求は発生した |

注　リセット要因により異なります。

**注意　1ビット・メモリ操作命令でデータを読み出さないでください。**

リセット要求時のRESFの状態を表18－2に示します。

**表18－2　リセット要求時のRESFの状態**

| リセット要因 / レジスタ | $\overline{\text{RESET}}$入力 | POCによるリセット | WDTによるリセット | LVIによるリセット |
|---|---|---|---|---|
| WDTRF | クリア（0） | クリア（0） | セット（1） | 保持 |
| LVIRF | | | 保持 | セット（1） |

# 第19章　パワーオン・クリア回路

## 19.1　パワーオン・クリア回路の機能

パワーオン・クリア（POC）回路は次のような機能を持ちます。

- 電源投入時に内部リセット信号を発生します。
- 電源電圧（$V_{DD}$）と検出電圧（$V_{POC}$ = 3.5 V±0.2 V[注]）を比較し，$V_{DD}$＜$V_{POC}$になったとき，内部リセット信号を発生します。

**注**　評価後，変更の可能性があります。

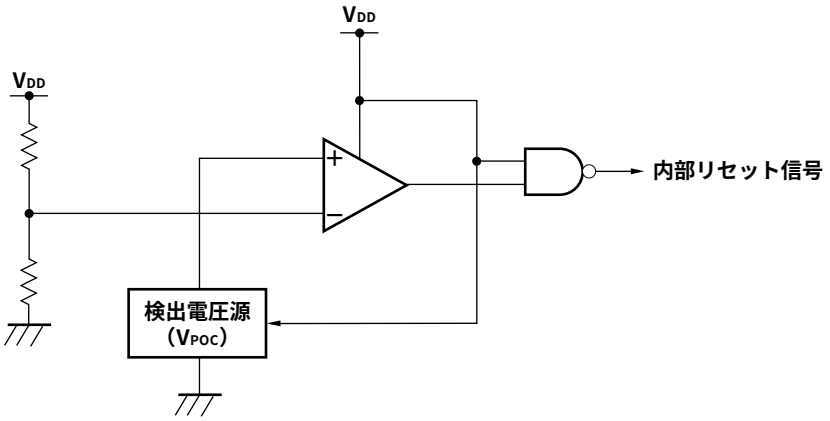
**注意**　**POC回路で内部リセット信号が発生した場合，リセット・コントロール・フラグ・レジスタ（RESF）がクリア（00H）されます。**

**備考**　本製品には内部リセット信号を発生するハードウエアが複数内蔵されています。ウォッチドッグ・タイマ（WDT）／低電圧検出（LVI）回路による内部リセット信号が発生した場合，そのリセット要因を示すためのフラグがリセット・コントロール・フラグ・レジスタ（RESF）に配置されています。RESFはWDT／LVIのいずれかによる内部リセット信号が発生した場合は，クリア（00H）されずフラグがセット（1）されます。RESFの詳細については，**第18章　リセット機能**を参照してください。

## 19.2　パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を図19－１に示します。

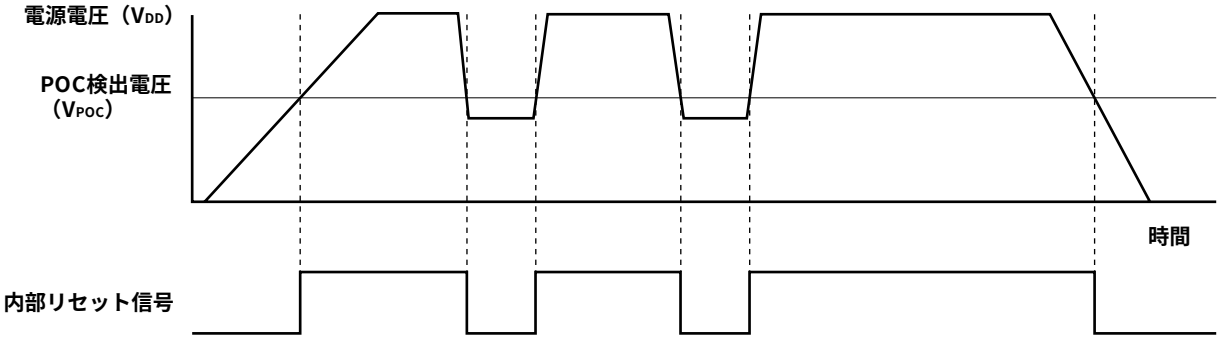
図19－１　パワーオン・クリア回路のブロック図




## 19.3　パワーオン・クリア回路の動作

パワーオン・クリア回路では，電源電圧（$V_{DD}$）と検出電圧（$V_{POC}$）を比較し，$V_{DD}$＜$V_{POC}$のとき内部リセット信号を発生します。

図19－２　パワーオン・クリア回路の内部リセット信号発生のタイミング



# 19.4　パワーオン・クリア回路の注意事項

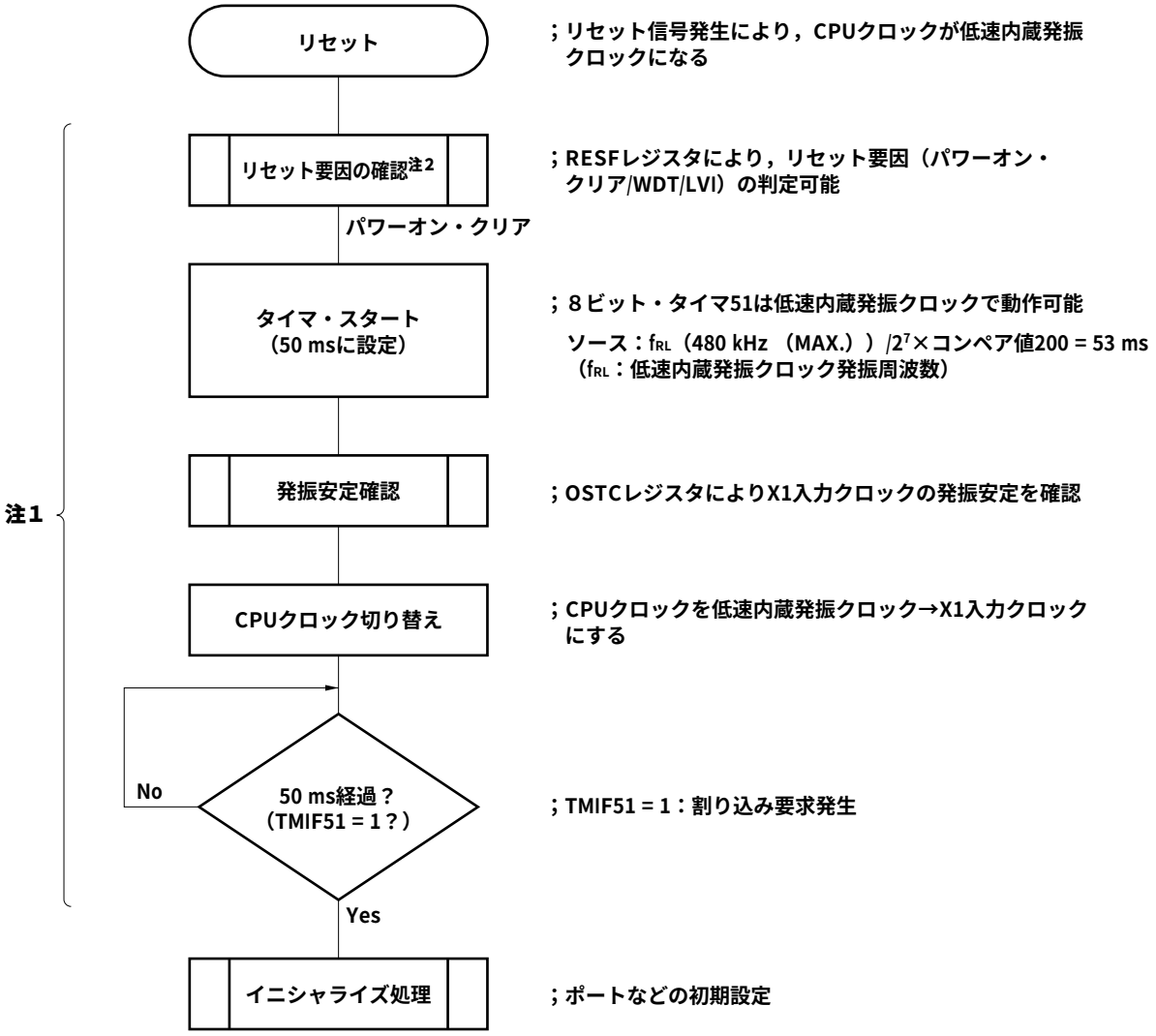
電源電圧（$V_{DD}$）がPOC検出電圧（$V_{POC}$）付近で，ある期間ふらつくような構成のシステムでは，リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって，リセット解除からマイコン動作開始までの時間を任意に設定できます。

＜処　置＞

リセット解除後，タイマなどを使用するソフトウエア・カウンタにて，システムごとに異なる電源電圧変動期間をウエイトしてから，ポートなどを初期設定してください。

図19－３　リセット解除後のソフト処理例（1/2）

・POC検出電圧付近での電源電圧変動が50 ms以下の場合

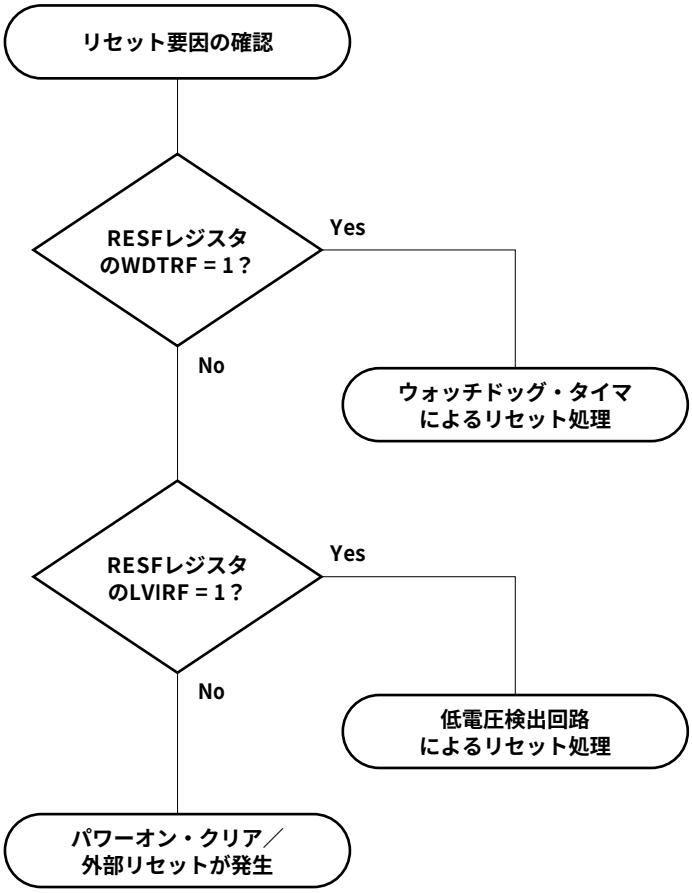



注１．この間に再度リセットが発生した場合，イニシャライズ処理には移行しません。

２．次頁にフロー・チャートを示します。

図19－３　リセット解除後のソフト処理例（2/2）

・リセット要因の確認



# 第20章　低電圧検出回路

## 20.1　低電圧検出回路の機能

低電圧検出（LVI）回路は次のような機能を持ちます。

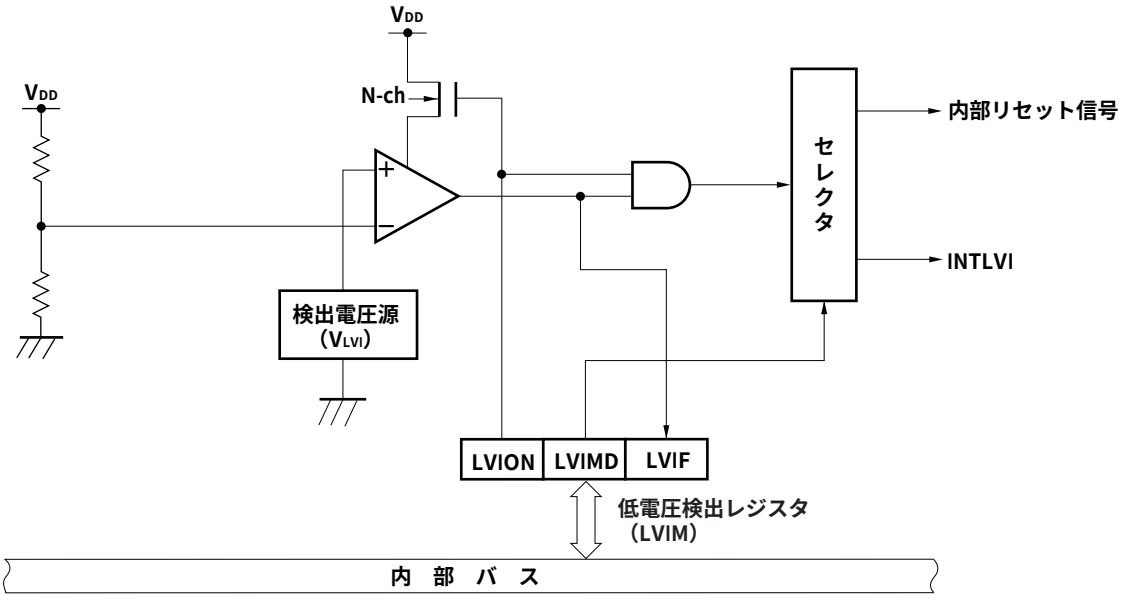
- 電源電圧（$V_{DD}$）と検出電圧（$V_{LVI}$ = 4.3±0.2 V）を比較し，$V_{DD}$＜$V_{LVI}$になったとき，内部割り込み信号もしくは内部リセット信号を発生します。
- 割り込み／リセットをソフトウエアにて選択できます。
- STOPモード時において動作可能です。

低電圧検出回路をリセットとして使用した場合に，リセットが発生するとリセット・コントロール・フラグ・レジスタ（RESF）のビット0（LVIRF）がセット（1）されます。RESFについての詳細は，**第18章　リセット機能**を参照してください。

## 20.2　低電圧検出回路の構成

低電圧検出回路のブロック図を図20－１に示します。

**図20－１　低電圧検出回路のブロック図**



# 20.3　低電圧検出回路を制御するレジスタ

低電圧検出回路は次のレジスタで制御します。

・低電圧検出レジスタ（LVIM）

## （1）低電圧検出レジスタ（LVIM）

低電圧検出，動作モードを設定するレジスタです。

LVIMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

**図20－2　低電圧検出レジスタ（LVIM）のフォーマット**

アドレス：FF78H　リセット時：00H　R/W[注1]

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| LVIM | LVION | 0 | 0 | 0 | 0 | 0 | LVIMD | LVIF |

| LVION[注2, 3] | 低電圧検出動作許可 |
|---|---|
| 0 | 動作禁止 |
| 1 | 動作許可 |

| LVIMD[注2] | 低電圧検出の動作モード選択 |
|---|---|
| 0 | 電源電圧（$V_{DD}$）＜検出電圧（$V_{LVI}$）時に割り込み信号発生 |
| 1 | 電源電圧（$V_{DD}$）＜検出電圧（$V_{LVI}$）時に内部リセット信号発生 |

| LVIF[注4] | 低電圧検出フラグ |
|---|---|
| 0 | 電源電圧（$V_{DD}$）＞検出電圧（$V_{LVI}$），または動作禁止時 |
| 1 | 電源電圧（$V_{DD}$）＜検出電圧（$V_{LVI}$） |

**注１．**ビット0はRead Onlyです。

**２．**LVION，LVIMDはLVIリセット以外のリセット時にクリア（0）されます。LVIリセットではクリア（0）されません。

**３．**LVIONをセット（1）すると，LVI回路内のコンパレータの動作を開始します。LVIONをセット（1）してからLVIFで電圧を確認するまでに0.2 ms以上ソフトウエアでウエイトしてください。

**４．**LVIFの値は，LVION = 1かつLVIMD = 0の場合に，割り込み要求信号INTLVIとして出力されます。

**注意**　LVIを停止する場合は，次のいずれかの手順を行ってください。

・8ビット・メモリ操作命令の場合：LVIMに“ 00H ”を書き込む

・1ビット・メモリ操作命令の場合：LVIMDをクリア（0）→LVIONをクリア（0）

# 20.4　低電圧検出回路の動作

低電圧検出回路は，次の2種類の動作モードがあります。

・リセットとして使用
　電源電圧（$V_{DD}$）と検出電圧（$V_{LVI}$）を比較し，$V_{DD}$＜$V_{LVI}$のとき内部リセット信号を発生します。
・割り込みとして使用
　電源電圧（$V_{DD}$）と検出電圧（$V_{LVI}$）を比較し，$V_{DD}$＜$V_{LVI}$のとき割り込み信号（INTLVI）を発生します。

動作設定方法は次のとおりです。

**（1）リセットとして使用する場合**

●動作開始時

① LVIの割り込みをマスクする（LVIMK = 1）
② LVIMのビット7（LVION）に“1”（LVI動作許可）を設定する
③ 0.2 ms以上ソフトウエアでウエイトする
④ LVIMのビット0（LVIF）で，「電源電圧（$V_{DD}$）＞検出電圧（$V_{LVI}$）」であることを確認するまで待つ
⑤ LVIMのビット1（LVIMD）に“1”（電源電圧（$V_{DD}$）＜検出電圧（$V_{LVI}$）時に，内部リセット信号発生）を設定する

図20－4に，①～⑤と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

**注意1．①は必ず行ってください。LVIMK = 0になっている場合，②の処理を行った時点で割り込みが発生する場合があります。**
**2．LVIM = 1とした時点で，「電源電圧（$V_{DD}$）＞検出電圧（$V_{LVI}$）」であれば内部リセット信号は発生しません。**

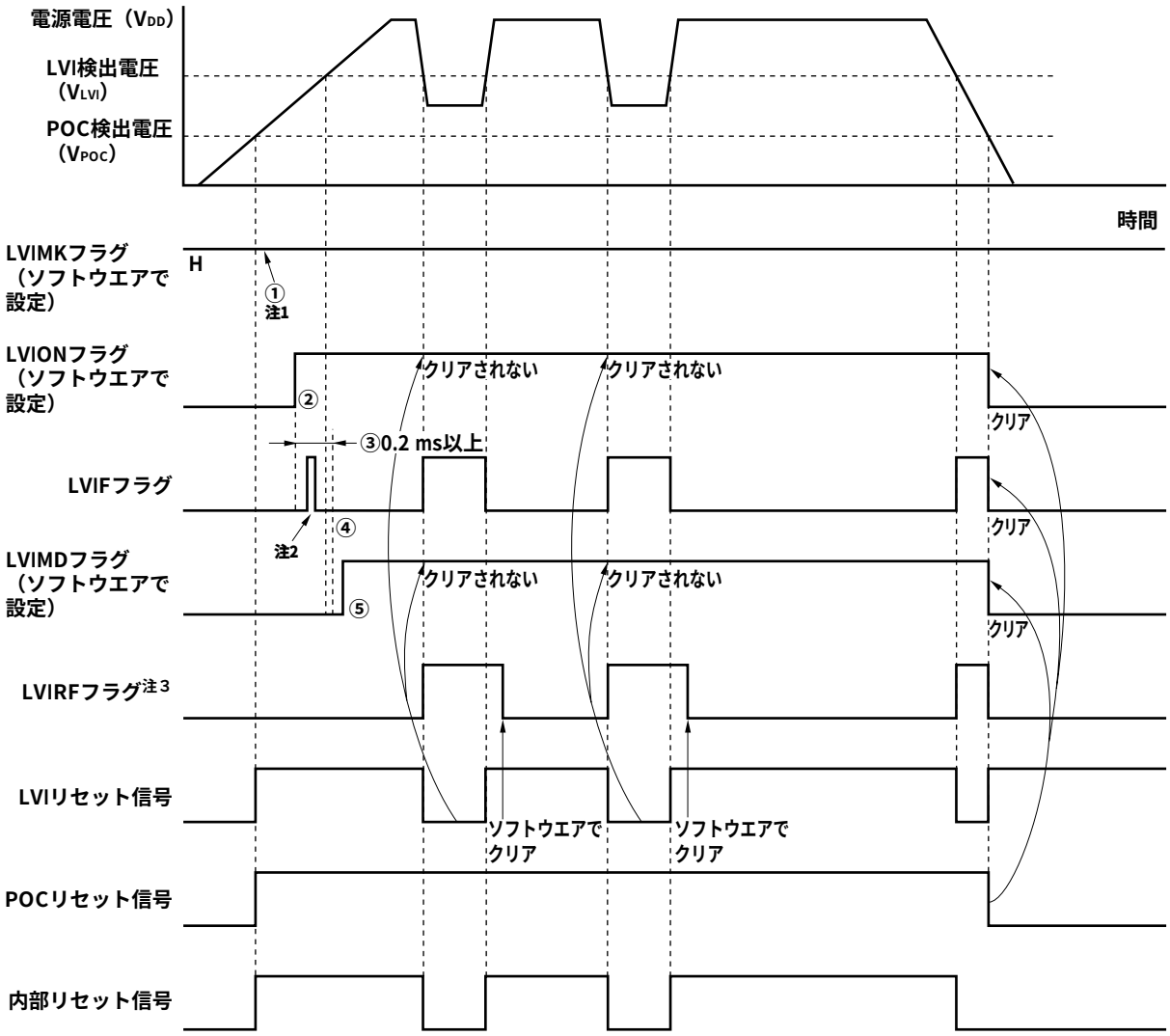
●動作停止時

次のいずれかの手順を，必ず実行してください。

・8ビット・メモリ操作命令の場合：
　LVIMに“00H”を書き込む

・1ビット・メモリ操作命令の場合：
　LVIMDをクリア（0）→LVIONをクリア（0）

図20－３　低電圧検出回路の内部リセット信号発生のタイミング




**注１．** LVIMKフラグは$\overline{\text{RESET}}$入力により，“１”になっています。

**２．** LVIFフラグがセット（１）される可能性があります。

**３．** LVIRFはリセット・コントロール・フラグ・レジスタ（RESF）のビット0です。RESFについての詳細は，**第18章　リセット機能**を参照してください。

**備考**　図20－３の①～⑤は，**20.4（１）リセットとして使用する場合　●動作開始時**の①～⑤と対応しています。

### （2）割り込みとして使用する場合

●動作開始時

① LVIの割り込みをマスクする（LVIMK = 1）

② LVIMのビット7（LVION）に“1”（LVI動作許可）を設定する

③ 0.2 ms以上ソフトウエアでウエイトする

④ LVIMのビット0（LVIF）で，「電源電圧（$V_{DD}$）＞検出電圧（$V_{LVI}$）」であることを確認するまで待つ

⑤ LVIの割り込み要求フラグ（LVIIF）をクリア（0）する

⑥ LVIの割り込みマスク・フラグ（LVIMK）を解除する

⑦ （ベクタ割り込みを使用する場合）EI命令を実行する

図20－4に，①～⑥と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

●動作停止時

次のいずれかの手順を，必ず実行してください。

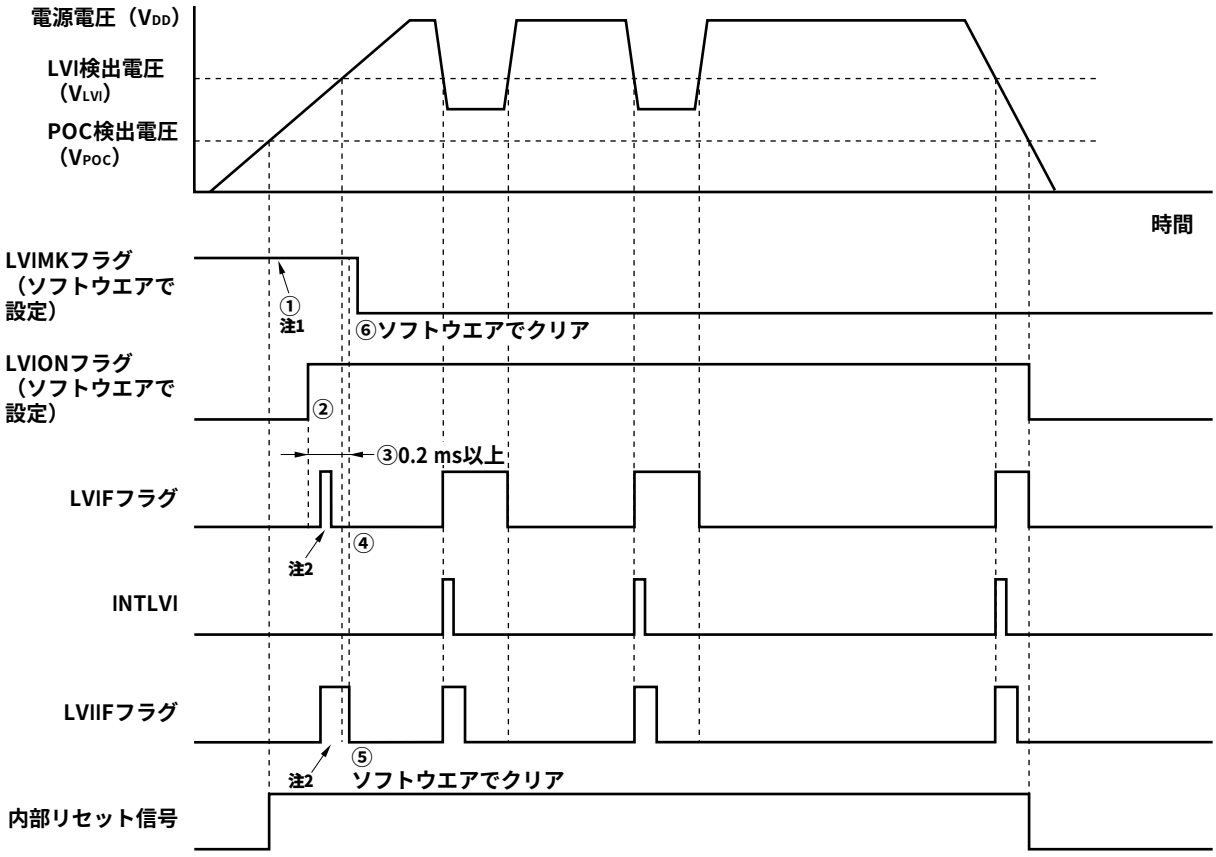
・8ビット・メモリ操作命令の場合：

LVIMに“00H”を書き込む

・1ビット・メモリ操作命令の場合：

LVIONをクリア（0）

図20－４　低電圧検出回路の割り込み信号発生のタイミング




**注１．** LVIMKフラグは$\overline{\text{RESET}}$入力により，“１”になっています。

**２．** LVIFフラグ，LVIIFフラグがセット（１）される可能性があります。

**備考**　図20－４の①～⑥は，20.4（２）割り込みとして使用する場合　●動作開始時の①～⑥と対応しています。

# 20.5　低電圧検出回路の注意事項

電源電圧（$V_{DD}$）がLVI検出電圧（$V_{LVI}$）付近で，ある期間ふらつくような構成のシステムでは，低電圧検出回路の使用方法により，次のような動作となります。

**（1）リセットとして使用する場合**

リセット状態／リセット解除状態を繰り返すことがあります。

後述の処置（1）に示す処理を行うことにより，リセット解除からマイコン動作開始までの時間を任意に設定できます。

**（2）割り込みとして使用する場合**

割り込み要求が頻繁に発生することがあります。後述の処置（2）に示す処理を行うようにしてください。

このようなシステム構成の場合，次の処置をしてください。

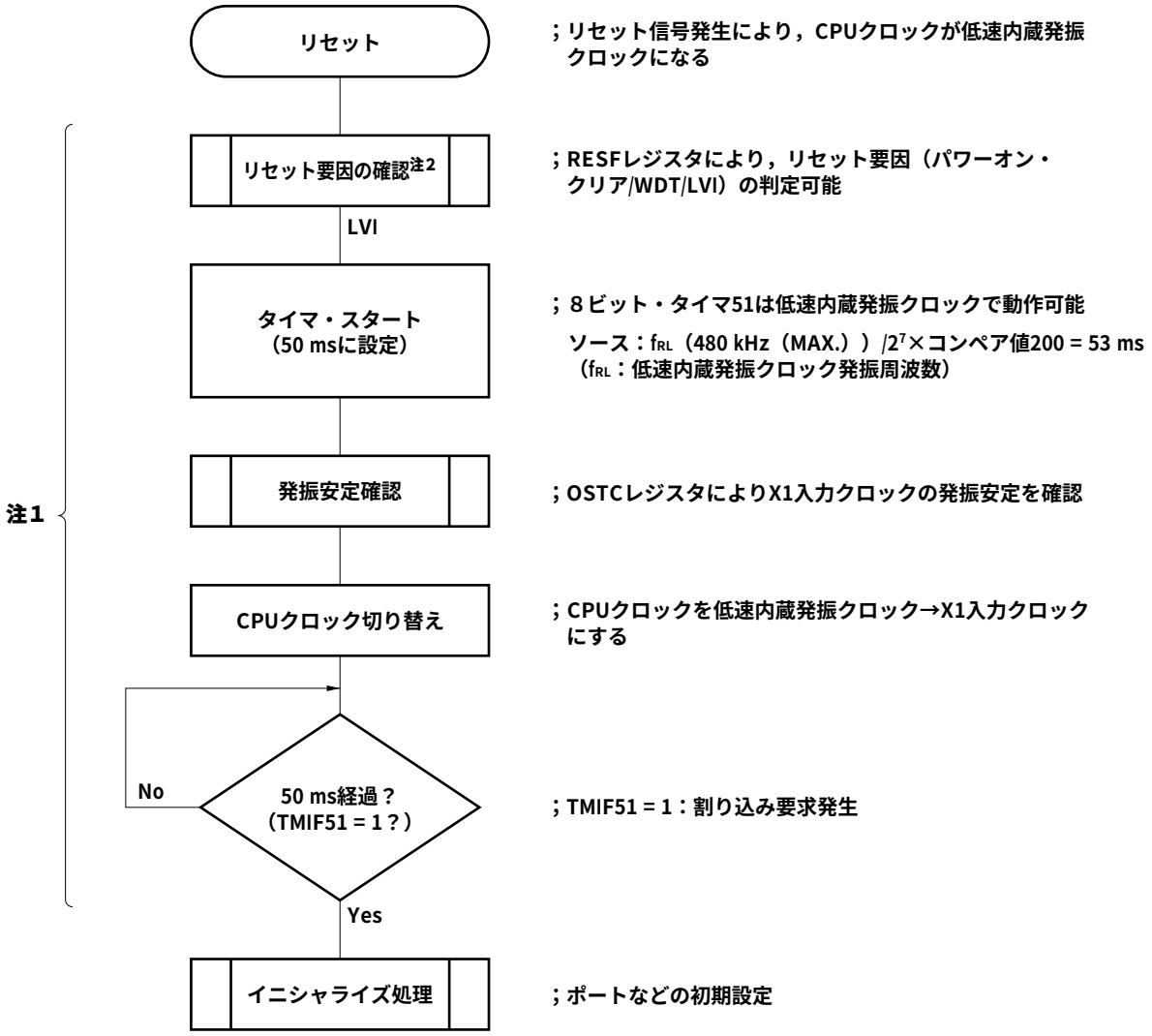
＜処　置＞

**（1）リセットとして使用する場合**

リセット解除後，タイマなどを使用するソフトウエア・カウンタにて，システムごとに異なる電源電圧変動期間をウエイトしてから，ポートなどを初期設定してください。

図20－５　リセット解除後のソフト処理例（1/2）

・LVI検出電圧付近での電源電圧変動が50 ms以下の場合

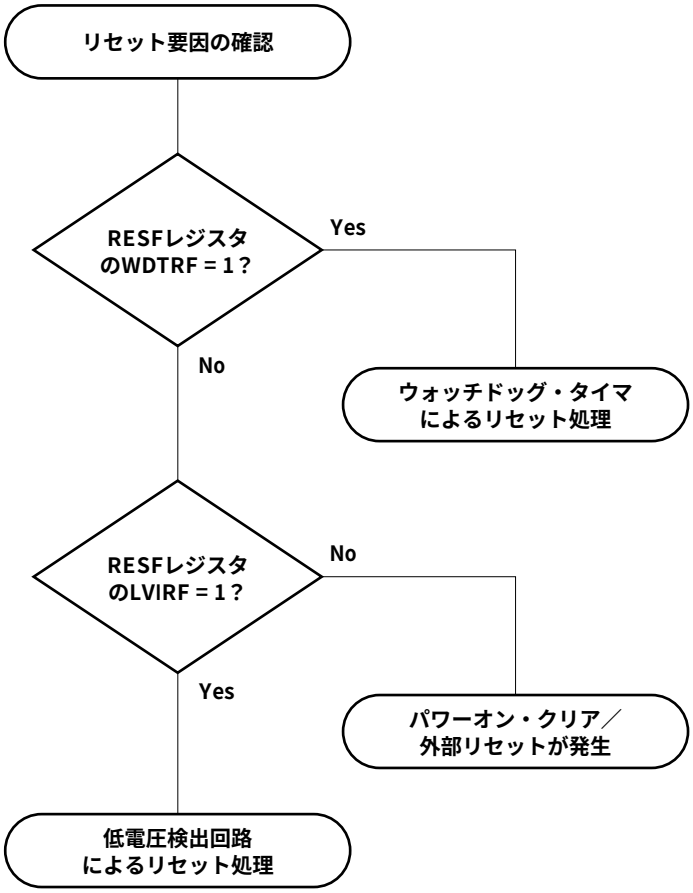



**注１．この間に再度リセットが発生した場合，イニシャライズ処理には移行しません。**

**２．次頁にフロー・チャートを示します。**

図20－５　リセット解除後のソフト処理例（2/2）

・リセット要因の確認



### （2）割り込みとして使用する場合

LVI割り込みの処理ルーチン内で，低電圧検出レジスタ（LVIM）のビット0（LVIF）で，“ 電源電圧（$V_{DD}$）＞検出電圧（$V_{LVI}$）” を確認し，割り込み要求フラグ・レジスタ0L（IF0L）のビット0（LVIIF）をクリア（0）してから，EI（割り込み許可）にしてください。

また，LVI検出電圧付近での電源電圧変動期間が長いシステムの場合は，電源電圧変動期間をウエイトしたあとに，LVIFフラグで “ 電源電圧（$V_{DD}$）＞検出電圧（$V_{LVI}$）” を確認してから，EI（割り込み許可）にしてください。

# 第21章　オプション・バイト

μPD78F0711, 78F0712では，高速システム・クロックの選択と，低速内蔵発振器停止可／不可の選択を，オプション・バイトでの設定で実現できます。

フラッシュ・メモリの0080Hに，オプション・バイトを用意しています。

製品使用の際には，必ずオプション・バイトを設定してください。

図21－1　オプション・バイトの位置

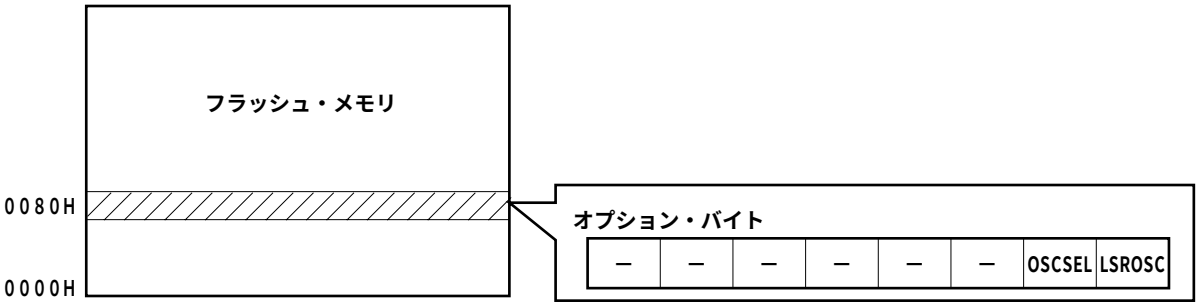



図21－2　オプション・バイトのフォーマット

アドレス：0080H

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| － | － | － | － | － | － | OSCSEL | LSROSC |

| OSCSEL | 高速システム・クロックの選択 |
|---|---|
| 0 | 水晶／セラミック発振クロック（X1クロック） |
| 1 | 高速内蔵発振クロック |

| LSROSC | 低速内蔵発振器の動作 |
|---|---|
| 0 | ソフトウエアにより停止可能 |
| 1 | 停止不可 |

**注意**　ビット2-7には必ず0を書き込んでください。

**備考**　オプション・バイト設定のソフトウエア記述例を次に示します。

```
OPT       CSEG    AT 0080H
OPTION：DB        01H         ；オプション・バイトに設定
                                （高速システム・クロック = 高速内蔵発振クロック，
                                 低速内蔵発振器停止不可）
```

# 第22章　フラッシュ・メモリ

μPD78F0711, 78F0712は，基板に実装した状態でプログラムの書き込み，消去，再書き込み可能なフラッシュ・メモリを搭載した製品です。

## 22.1　メモリ・サイズ切り替えレジスタ

メモリ・サイズ切り替えレジスタ（IMS）により，内部メモリ容量を設定します。

IMSは，８ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，CFHになります。

**注意　メモリ・サイズ切り替えレジスタ（IMS）の初期値は，CFHとなっているため，初期設定で02H（μPD78F0711）または04H（μPD78F0712）に設定してください。**

**図22－１　メモリ・サイズ切り替えレジスタ（IMS）のフォーマット**

アドレス：FFF0H　　リセット時：CFH　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| IMS | RAM2 | RAM1 | RAM0 | 0 | ROM3 | ROM2 | ROM1 | ROM0 |

| RAM2 | RAM1 | RAM0 | 内部高速RAM容量の選択 |
|---|---|---|---|
| 0 | 0 | 0 | 768バイト |
| 上記以外 | | | 設定禁止 |

| ROM3 | ROM2 | ROM1 | ROM0 | 内部ROM容量の選択 |
|---|---|---|---|---|
| 0 | 0 | 1 | 0 | ８Kバイト |
| 0 | 1 | 0 | 0 | 16 Kバイト |
| 上記以外 | | | | 設定禁止 |

## 22.2　フラッシュ・メモリ・プログラマによる書き込み方法

専用フラッシュ・メモリ・プログラマにより，オンボードまたはオフボードで書き込みができます。

（1）オンボード・プログラミング

ターゲット・システム上にμPD78F0711, 78F0712を実装後，フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には，専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

（2）オフボード・プログラミング

ターゲット・システム上にμPD78F0711, 78F0712を実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

備考　FAシリーズは，（株）内藤電誠町田製作所の製品です。

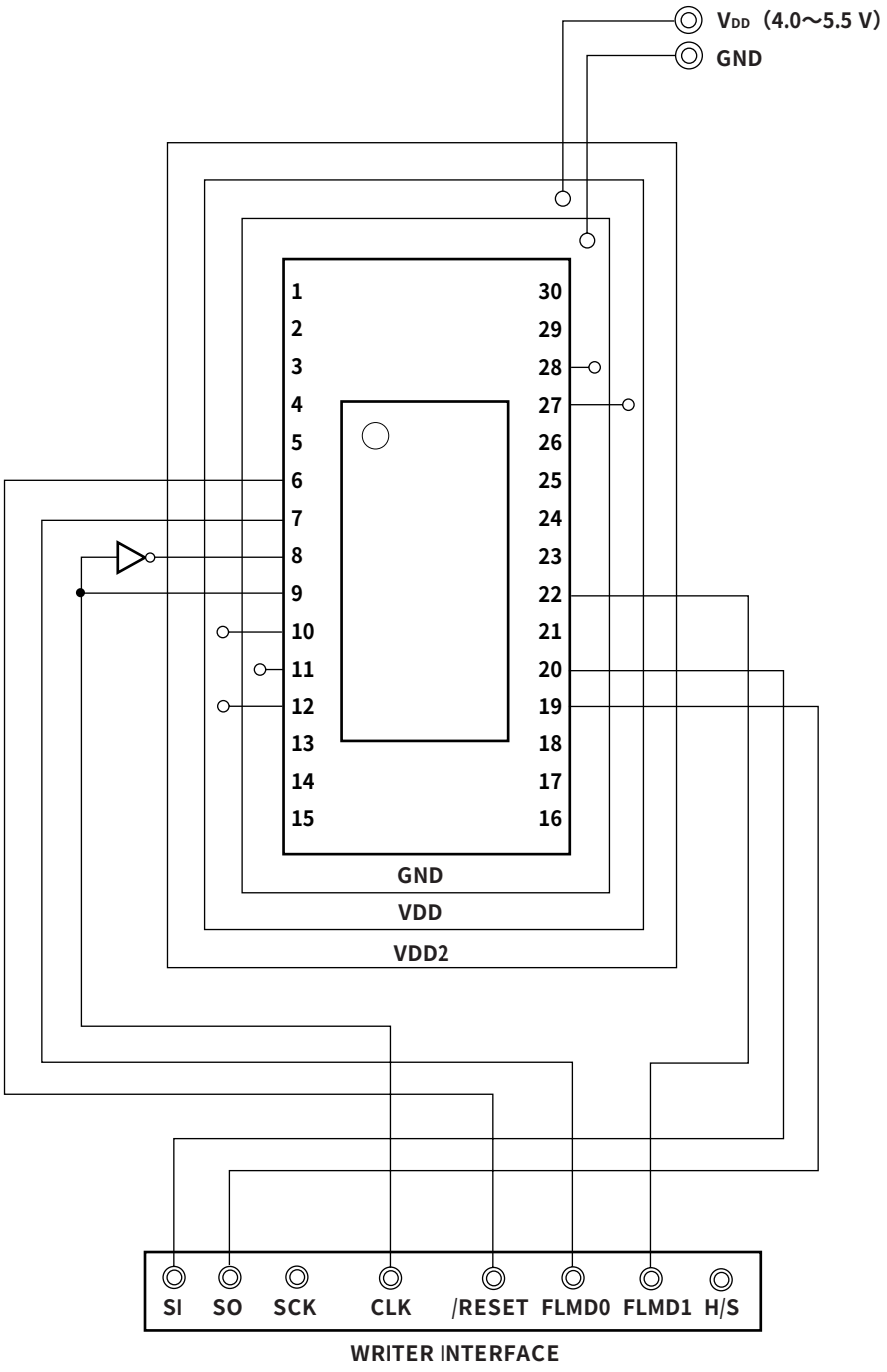
表22－1　μPD78F0711, 78F0712と専用フラッシュ・メモリ・プログラマの配線表

| 専用フラッシュ・メモリ・プログラマ接続端子 | | | UART00使用時 | |
|---|---|---|---|---|
| 信号名 | 入出力 | 端子機能 | 端子名 | ピン番号 |
| SI/RxD | 入力 | 受信信号 | TxD00/P14 | 20 |
| SO/TxD | 出力 | 送信信号 | RxD00/P13 | 19 |
| SCK | 出力 | 転送クロック | 必要なし | 必要なし |
| CLK | 出力 | μPD78F0711, 78F0712へのクロック | X1 | 9 |
| | | | X2[注] | 8 |
| /RESET | 出力 | リセット信号 | $\overline{\text{RESET}}$ | 6 |
| FLMD0 | 出力 | モード信号 | FLMD0 | 7 |
| FLMD1 | 出力 | モード信号 | FLMD1/P17 | 22 |
| H/S | 入力 | ハンドシェーク信号 | 必要なし | 必要なし |
| $V_{DD}$ | 入出力 | $V_{DD}$電圧生成 | $V_{DD}$ | 10, 12 |
| | | | $AV_{REF}$ | 27 |
| GND | － | グランド | $V_{SS}$ | 11 |
| | | | $AV_{SS}$ | 28 |

注　フラッシュ・メモリ・プログラマのクロック・アウトを使用する際は，ライタのCLKとX１を接続し，X2にはその反転信号を接続してください。

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図22－2　UART（UART0）方式でのフラッシュ書き込み用アダプタ配線例



## 22.3　プログラミング環境

μPD78F0711, 78F0712のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図22－3　フラッシュ・メモリにプログラムを書き込むための環境

専用フラッシュ・メモリ・プログラマには，これを制御するホスト・マシンが必要です。

また，専用フラッシュ・メモリ・プログラマとμPD78F0711, 78F0712とのインタフェースはUART00を使用して，書き込み，消去等の操作を行います。オフボードで書き込む場合は，専用プログラム・アダプタ（FAシリーズ）が必要です。

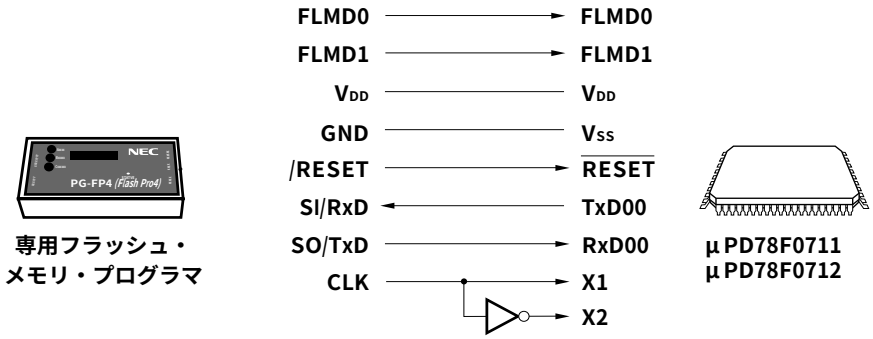
## 22.4　通信方式

専用フラッシュ・メモリ・プログラマとμPD78F0711, 78F0712との通信は，μPD78F0711, 78F0712のUART00によるシリアル通信で行います。

（1）UART00

転送レート：4800～76800 bps

図22－4　専用フラッシュ・メモリ・プログラマとの通信（UART00）




専用フラッシュ・メモリ・プログラマとしてFlashpro IVを使用した場合，Flashpro IVはμPD78F0711, 78F0712に対して次の信号を生成します。詳細はFlashproIVのマニュアルを参照してください。

表22－２　端子接続一覧

| FlashproIV | | | μPD78F0711, μPD78F0712 | 接続時の処置 |
|---|---|---|---|---|
| 信号名 | 入出力 | 端子機能 | 端子名 | UART00 |
| FLMD0 | 出力 | モード信号 | FLMD0 | ◎ |
| FLMD1 | 出力 | モード信号 | FLMD1 | ○ |
| $V_{DD}$ | 入出力 | $V_{DD}$電圧生成 | $V_{DD}$, $AV_{REF}$ | ◎ |
| GND | ー | グランド | $V_{SS}$, $AV_{SS}$ | ◎ |
| CLK | 出力 | μPD78F0711, 78F0712へのクロック出力 | X1, X2[注1] | ○[注2] |
| /RESET | 出力 | リセット信号 | $\overline{\text{RESET}}$ | ◎ |
| SI/RxD | 入力 | 受信信号 | TxD00 | ◎ |
| SO/TxD | 出力 | 送信信号 | RxD00 | ◎ |
| SCK | 出力 | 転送クロック | ー | × |
| H/S | 入力 | ハンドシェーク信号 | ー | × |

注１．フラッシュ・メモリ・プログラマのクロック・アウトを使用する際は，ライタのCLKとＸ１を接続し，X2にはその反転信号を接続してください。

２．ただし，高速内蔵発振クロックを使用する場合は，必ずCLKとX1, X2を接続してください。

備考　◎：必ず接続してください。

○：ターゲット・ボード上で生成されていれば，接続の必要はありません。

×：接続の必要はありません。

△：ハンドシェーク・モード時

# 22.5　オンボード上の端子処理

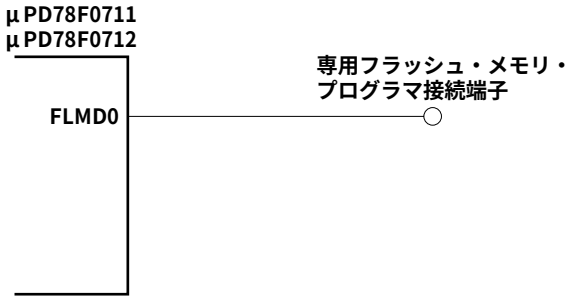
オンボード書き込みを行う場合は，ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また，オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

## 22.5.1　FLMD0端子

通常動作モード時は，FLMD0端子に0 Vを入力します。また，フラッシュ・メモリ・プログラミング・モード時は，FLMD0端子に$V_{DD}$の書き込み電圧を供給します。FLMD0端子の接続例を次に示します。

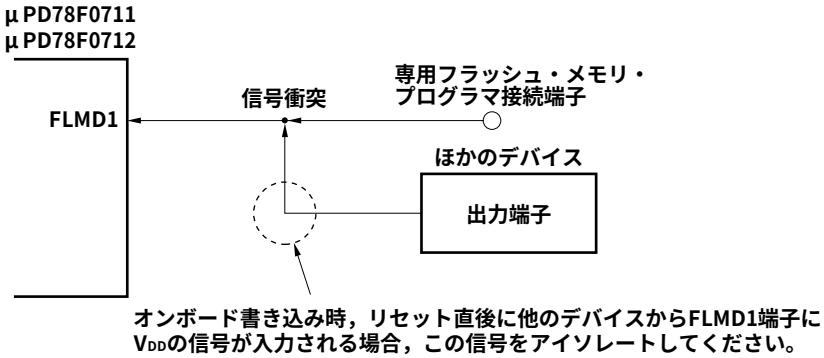
図22－5　FLMD0端子の接続例




## 22.5.2　FLMD1端子

FLMD0端子に０Vを入力された場合，FLMD1端子は機能しません。FLMD0端子に$V_{DD}$が供給された場合，フラッシュ・メモリ・プログラミング・モードに引き込むため，FLMD1端子を$V_{SS}$と同じ電圧にする必要があります。FLMD1端子の接続例を次に示します。

図22－6　FLMD1端子の接続例



## 22.5.3　シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表22－3　各シリアル・インタフェースが使用する端子

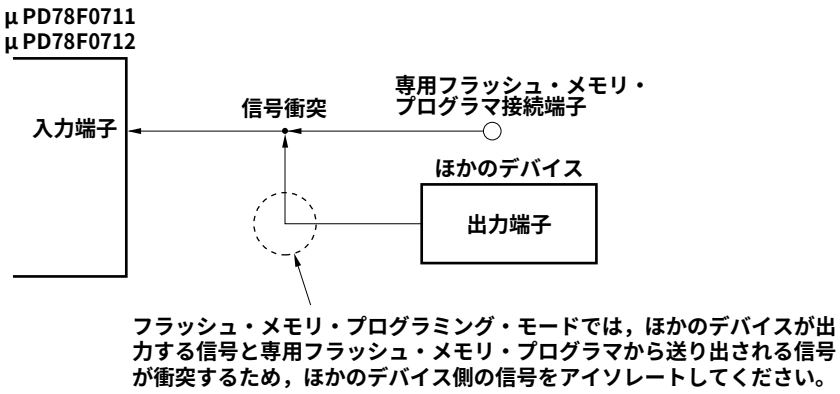
| シリアル・インタフェース | 使用端子 |
|---|---|
| UART00 | TxD00, RxD00 |

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に，専用フラッシュ・メモリ・プログラマを接続する場合，信号の衝突，ほかのデバイスの異常動作などに注意してください。

（1）信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に，専用フラッシュ・メモリ・プログラマ（出力）を接続すると，信号の衝突が発生します。この信号の衝突を避けるため，ほかのデバイスとの接続をアイソレートするか，またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

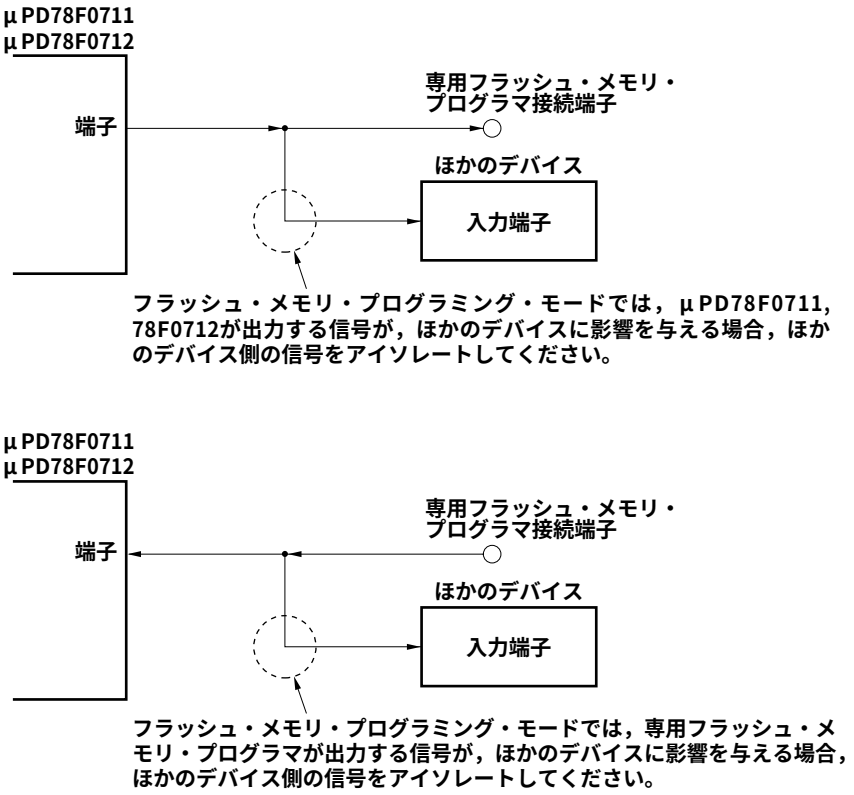
図22－7　信号の衝突（シリアル・インタフェースの入力端子）



（2）ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に，専用フラッシュ・メモリ・プログラマ（出力または入力）を接続する場合，ほかのデバイスに信号が出力され，異常動作を起こす可能性があります。この異常動作を避けるため，ほかのデバイスとの接続をアイソレートしてください。

図22－8　ほかのデバイスの異常動作

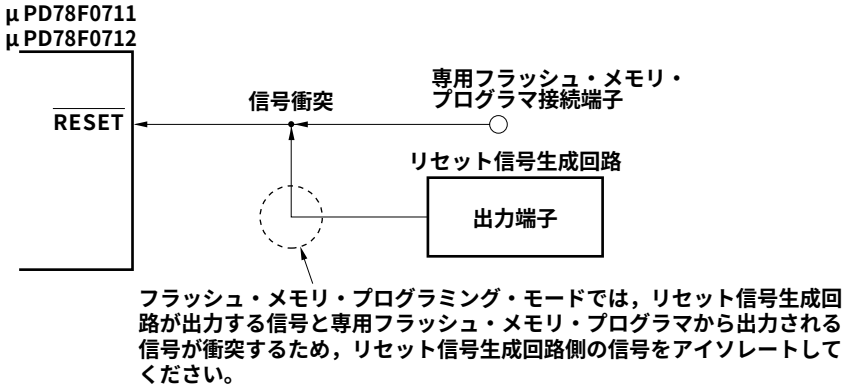


### 22.5.4　$\overline{\text{RESET}}$端子

オンボード上で，リセット信号生成回路と接続している$\overline{\text{RESET}}$端子に，専用フラッシュ・メモリ・プログラマのリセット信号を接続する場合，信号の衝突が発生します。この信号の衝突を避けるため，リセット信号生成回路との接続をアイソレートしてください。

また，フラッシュ・メモリ・プログラミング・モード期間中に，ユーザ・システムからリセット信号を入力した場合，正常なプログラミング動作が行われなくなるので，専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図22－9　信号の衝突（$\overline{\text{RESET}}$端子）




### 22.5.5　ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，各ポートに接続された外部デバイスが，リセット直後のポート状態を認めない場合は，抵抗を介して$V_{DD}$に接続するか，または抵抗を介して$V_{SS}$に接続するなどの端子処理が必要です。

### 22.5.6　その他の信号端子

オンボード上のクロックを使用する場合，X1, X2は，通常動作モード時と同じ状態に接続してください。

ただし，ライタから動作クロックを入力する場合，ライタのクロック・アウト（CLK）とX1を，またX2には，その反転信号を接続してください。

**注意　高速内蔵発振クロックを使用する場合は，必ずライタから動作クロックを入力してください。**

### 22.5.7　電　　源

フラッシュ・メモリ・プログラマの電源出力を使用する場合は，$V_{DD}$端子はフラッシュ・メモリ・プログラマの$V_{DD}$に，$V_{SS}$端子はフラッシュ・メモリ・プログラマの$V_{SS}$に，それぞれ接続してください。

オンボード上の電源を使用する場合は，通常動作モード時に準拠した接続にしてください。

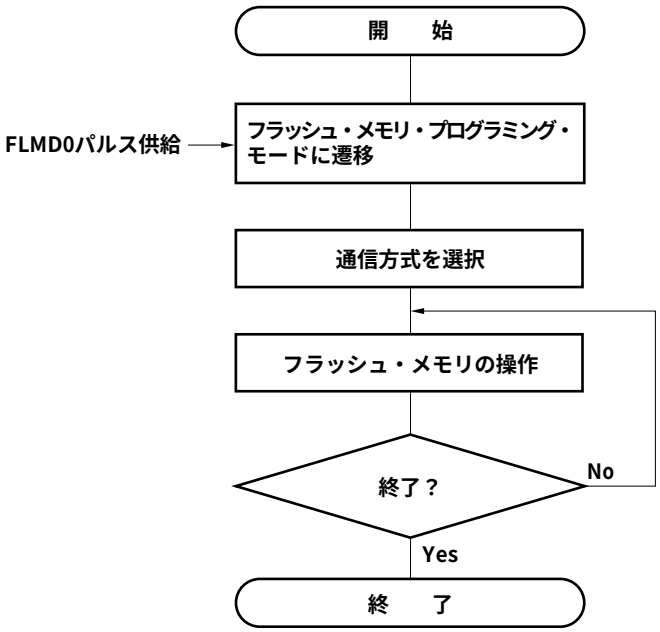
その他の電源（$AV_{REF}$, $AV_{SS}$）は，通常動作モード時と同じ電源を供給してください。

# 22.6　プログラミング方法

## 22.6.1　フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図22－10　フラッシュ・メモリの操作手順




## 22.6.2　フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・メモリ・プログラマを使用してフラッシュ・メモリの内容を書き換えるときは，μPD78F0711, 78F0712をフラッシュ・メモリ・プログラミング・モードにしてください。モードへ遷移するには，FLMD0端子を$V_{DD}$に設定後，リセットを解除します。

オンボード書き込みを行うときは，ジャンパ等でモードを切り替えてください。

図22－11　フラッシュ・メモリ・プログラミング・モード

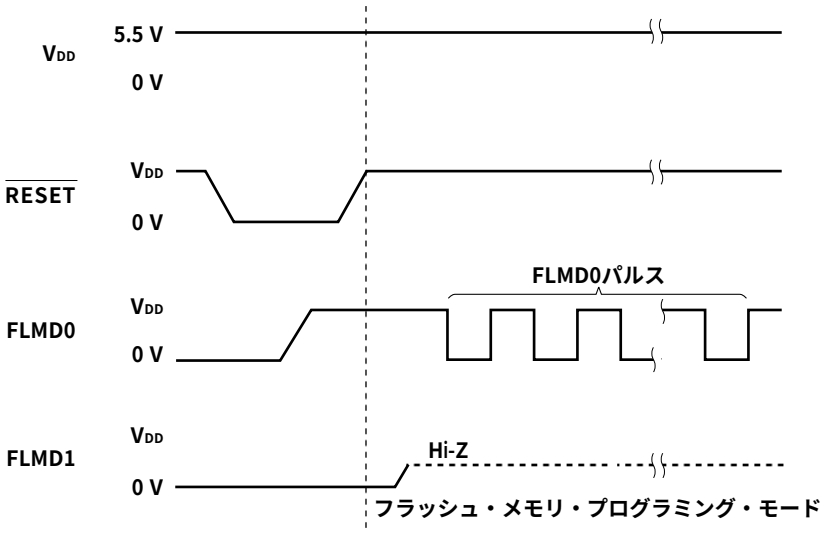


表22－４　FLMD0, FLMD1端子の動作モードの関係

| FLMD0 | FLMD1 | 動作モード |
|---|---|---|
| 0 | × | 通常動作モード |
| $V_{DD}$ | 0 | フラッシュ・メモリ・プログラミング・モード |
| $V_{DD}$ | $V_{DD}$ | 設定禁止 |

## 22.6.3　通信方式の選択

μPD78F0711, 78F0712では，フラッシュ・メモリ・プログラミング・モードに遷移後，FLMD0端子にパルス（最大11パルス）を入力することで通信方式を選択します。このFLMD0パルスは専用フラッシュ・メモリ・プログラマが生成します。

パルス数と通信方式の関係を次に示します。

表22－５　通信方式一覧

| 通信方式 | Standard設定[注1] | | | | | 使用端子 | FLMD0 |
|---|---|---|---|---|---|---|---|
| | Port | Speed | On Target | Frequency | Mutiply Rate | | パルス数 |
| UART（UART0） | UART-ch0 | 9600, 19200, 31250, 38400, 76800, 153600[注3] bps[注4] | 任意 | 5 M-20 MHz[注2] | 1.0 | TxD00, RxD00 | 0 |

注１．FlashproIV上のStandard設定における設定項目です。

２．電圧により設定可能な範囲が異なります。詳細は電気的特性の章を参照してください。

３．周辺ハードウエア・クロック周波数が2.5 MHz以下の場合は，選択できません。

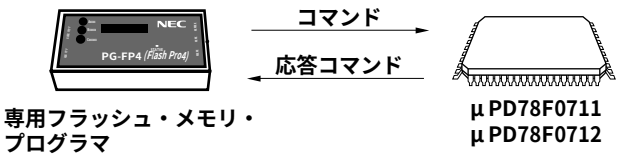
４．UART通信にはボー・レート誤差のほかに，信号波形の鈍りなどが影響するため，評価のうえ使用してください。

**注意　UART0選択時，受信クロックは，FLMD0パルス受信後に専用フラッシュ・メモリ・プログラマから送られてくるリセット・コマンドを基準に計算します。**

## 22.6.4　通信コマンド

μPD78F0711, 78F0712と専用フラッシュ・メモリ・プログラマは，コマンドを介して通信します。専用フラッシュ・メモリ・プログラマからμPD78F0711, 78F0712へ送られる信号を「コマンド」と呼び，μPD78F0711, 78F0712から専用フラッシュ・メモリ・プログラマへ送られる応答信号を「応答コマンド」と呼びます。

図22－12　通信コマンド




μPD78F0711, 78F0712のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてライタから発行され，μPD78F0711, 78F0712がコマンドに対応した各処理を行います。

表22－6　フラッシュ・メモリ制御用コマンド

| 分　類 | コマンド名称 | 機　　能 |
|---|---|---|
| ベリファイ | 一括ベリファイ・コマンド | 全メモリの内容と入力したデータを比較 |
| 消去 | 一括消去コマンド | 全メモリの内容を消去 |
| ブランク・チェック | 一括ブランク・チェック・コマンド | 全メモリの消去状態を確認 |
| データ・ライト | 高速書き込みコマンド | 書き込みアドレス，書き込みバイト数の指定によりデータを書き込み，ベリファイ・チェックを実行 |
| | 連続書き込みコマンド | 直前に実行された高速書き込みコマンドに続くアドレスからデータを書き込み，ベリファイ・チェックを実行 |
| システム設定，制御 | ステータス読み出しコマンド | 動作状況のステータスを得る |
| | 発振周波数設定コマンド | 発振周波数の設定 |
| | 消去時間設定コマンド | 一括消去の消去時間設定 |
| | 書き込み時間設定コマンド | データ書き込み時の書き込み時間設定 |
| | ボー・レート設定コマンド | UART使用時のボー・レート設定 |
| | シリコン・シグネチャ・コマンド | シリコン・シグネチャ情報を読み出す |
| | リセット・コマンド | 各状態からの脱出 |

また，μPD78F0711, 78F0712は，専用フラッシュ・メモリ・プログラマから発行されたコマンドに対して，応答コマンドを返します。μPD78F0711, 78F0712が送出する応答コマンドを次に示します。

表22－7　応答コマンド

| 応答コマンド名称 | 機　　能 |
|---|---|
| ACK | コマンド／データなどのアクノリッジ |
| NAK | 不正なコマンド／データなどのアクノリッジ |

# 22.7　セルフ書き込みによるフラッシュ・メモリ・プログラミング

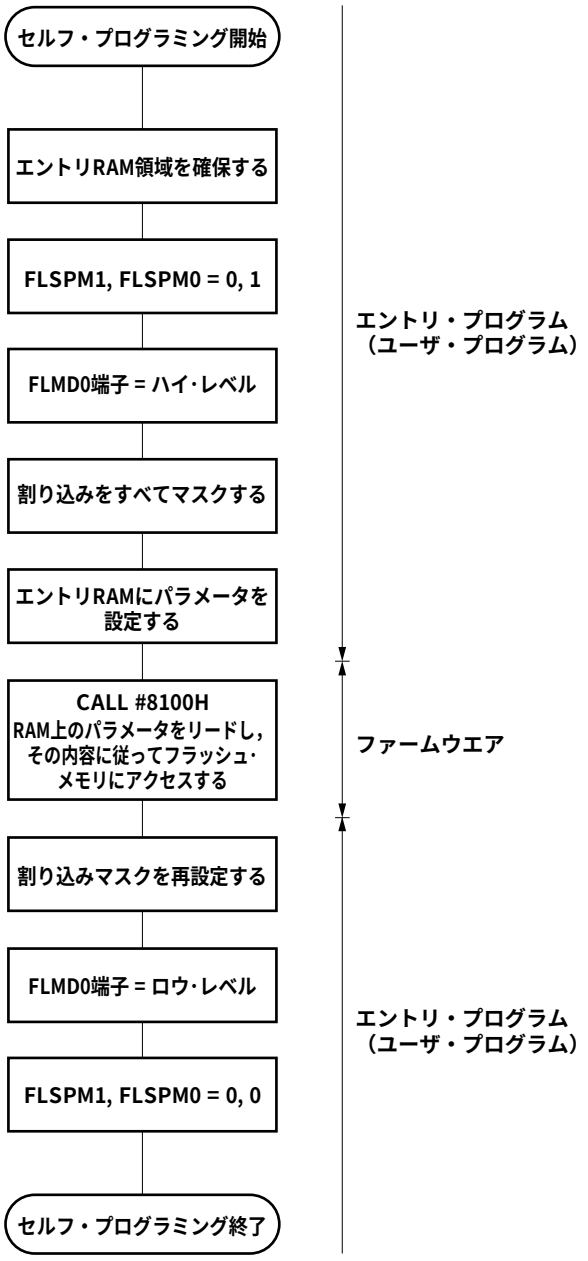
μPD78F0711, 78F0712は，ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ･プログラミング機能をサポートしています。この機能により，ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので，フィールドでのプログラムのアップグレードなどができるようになります。

プログラミング・モードの切り替えは，フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）のビット０，１（FLSPM0, FLSPM1）で行います。

セルフ・プログラミングの手順を，次に示します。

★　**備考**　セルフ・プログラミング機能の詳細については，発行予定の別ドキュメント（資料名：μPD78F0711, 78F0712，78F0714　ユーザーズ・マニュアル　フラッシュ・メモリ・セルフ・プログラミング（U18886J））を参照してください。

**図22－13　セルフ・プログラミングの手順**



## 22.7.1　セルフ・プログラミング機能で使用するレジスタ

セルフ・プログラミング機能は，次の３種類のレジスタを使用します。

・フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）
・フラッシュ・プロテクト・コマンド・レジスタ（PFCMD）
・フラッシュ・ステータス・レジスタ（PFS）

### （1）フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）

セルフ・プログラミング時のフラッシュ・メモリへの書き込み／消去の可否，セルフ書き込み時の動作モードを設定するレジスタです。

FLPMCは，ノイズやプログラムの暴走などの誤動作によって，応用システムが不用意に停止しないようにするため，特定シーケンス（**22.7.1（2）フラッシュ・プロテクト・コマンド・レジスタ**を参照）で書き込み動作を行った場合のみ，FLPMCへの書き込みが有効となります。

FLPMCは，１ビット・メモリ操作命令または８ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，0×H[注]になります。

**注**　動作モードにより異なります。
・ユーザ・モード　　：08H
・オンボード・モード　：0CH

## 図22－14　フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）のフォーマット

アドレス：FFC4H　　リセット時：0×H[注1]　　R/W[注2]

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| FLPMC | 0 | 0 | 0 | 0 | FWEDIS | FWEPR | FLSPM1 | FLSPM0 |

| FWEDIS | フラッシュ・メモリの書き込み／消去の制御 |
|---|---|
| 0 | 書き込み／消去許可[注3] |
| 1 | 書き込み／消去禁止 |

| FWEPR | FLMD0端子のステータス |
|---|---|
| 0 | ロウ・レベル |
| 1 | ハイ・レベル[注3] |

| FLSPM1[注4] | FLSPM0[注4] | セルフ書き込み時の動作モード選択 |
|---|---|---|
| 0 | 0 | 通常モード<br>すべてのアドレスにおいて，フラッシュ・メモリの命令のフェッチが可能です。 |
| 0 | 1 | セルフ・プログラミング・モードA1<br>ファームウエアの呼び出し（CALL #8100H）が可能です。 |
| 1 | 1 | セルフ・プログラミング・モードA2<br>ファームROMからの命令フェッチを行います。<br>ファームウエア内で設定されるモードで，ユーザはこのモードを設定できません。 |
| 1 | 0 | 設定禁止 |

注１．動作モードにより異なります。

・ユーザ・モード　　：08H

・オンボード・モード　：0CH

２．ビット２（FWEPR）はRead Onlyてす。

３．実際の書き込み／消去は，FWEDIS = 0となるほかに，FLMD0端子がハイ･レベル（FWEPR = 1）になっていなければなりません。

| FWEDIS | FWEPR | フラッシュ・メモリの書き込み／消去の可否 |
|---|---|---|
| 0 | 1 | 書き込み／消去可能 |
| 上記以外 | | 書き込み／消去不可 |

４．FLSPM1とFLSPM0により，ユーザROM（フラッシュ・メモリ）とファー ムROMの切り替えが制御でき，応用システム上でモード端子を通して， 設定されている動作モードとセルフ・プログラミング・モードとの切り替えが可能です。

注意１．フラッシュ・メモリの書き込みおよび消去が終了するまで，必ずFWEDISを０にしてください。

２．通常モード時は，必ずFWEDIS = 1にしてください。

３．FLSPM1とFLSPM0は，内蔵RAMに分岐してから，操作を行ってください。
フラッシュ・メモリのアドレス指定は，FLSPM1 = 0のときはCPUからのアドレス信号，FLSPM1 = 1のときは，書き込みのファームウエアの設定値になります。また，オンボード・モード時には，FLSPM1とFLSPM0の指定は無視されます。

### （2）フラッシュ・プロテクト・コマンド・レジスタ（PFCMD）

ノイズやプログラムの暴走などの誤動作によって，応用システムが不用意に停止した場合，フラッシュ･プログラミング・モード・コントロール・レジスタ（FLPMC）への書き込み動作はシステムに重大な影響を与える可能性があります。PFCMDは，このFLPMCへの書き込み動作に対して，応用システムが不用意に停止しないようにプロテクションを施すために使用するレジスタです。

次に示す特定シーケンスで書き込み動作を行った場合のみ，FLPMCへの書き込みが有効となります。

① PFCMDに特定の値（PFCMD = A5H）を書き込む
② FLPMCに，設定したい値を書き込む（このステップでの書き込みは無効）
③ FLPMCに，設定したい値の反転値を書き込む（このステップでの書き込みは無効）
④ FLPMCに，設定したい値を書き込む（このステップでの書き込みは有効）

これにより，レジスタの値が書き換えられ，不正な書き込み動作ができなくなります。

不正なストア動作の発生は，フラッシュ・ステータス・レジスタ（PFS）のビット0（FPRERR）で確認できます。

なお，FLPMCを変更するたび，PFCMDにA5Hを書き込む必要があります。

PFCMDは，8ビット・メモリ操作命令で書き込みます。

$\overline{\text{RESET}}$入力により，不定になります。

**図22－15　フラッシュ・プロテクト・コマンド・レジスタ（PFCMD）のフォーマット**

アドレス：FFC0H　　リセット時：不定　　W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PFCMD | REG7 | REG6 | REG5 | REG4 | REG3 | REG2 | REG1 | REG0 |

### （3）フラッシュ・ステータス・レジスタ（PFS）

プロテクション対象のフラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）に対して，正しいシーケンス（フラッシュ・プロテクト・コマンド・レジスタ（PFCMD）への書き込みを含む）で書き込み動作を行わなかった場合，FLPMCへの書き込みは行われず，プロテクション・エラーが発生します。このとき，PFSのビット0（FPRERR）がセット（1）されます。

このフラグが蓄積フラグです。FPRERRをチェックしたあと，0を書き込むことによって，FPRERRをクリアします。

PFSは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

**図22－16　フラッシュ・ステータス・レジスタ（PFS）のフォーマット**

アドレス：FFC2H　　リセット時：00H　　R/W

| 略号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|
| PFS | 0 | 0 | 0 | 0 | 0 | 0 | 0 | FPRERR |

FPRERRフラグの動作条件を次に示します。

＜セット条件＞

・最近の周辺レジスタに対するストア命令動作が，PFCMDへの特定値（PFCMD = A5H）の書き込み動作ではない状態で，PFCMDへの書き込みを行ったとき
・①後の最初のストア命令動作が，FLPMC以外の周辺レジスタに対するとき
・②後の最初のストア命令動作が，FLPMC以外の周辺レジスタに対するとき
・②後の最初のストア命令動作で，FLPMCに設定したい値の反転値以外の値を書き込んだとき
・③後の最初のストア命令動作が，FLPMC以外の周辺レジスタに対するとき
・③後の最初のストア命令動作で，FLPMCに設定したい値（②の書き込み値）以外の値を書き込んだとき

**備考**　上記の丸数字は，前述の**（2）フラッシュ・プロテクト・コマンド・レジスタ（PFCMD）**の丸数字と対応しています。

＜リセット条件＞

・FPRERRフラグに0を書き込んだとき
・$\overline{\text{RESET}}$入力したとき

＜特定シーケンスの記述例＞

FLPMCに05Hを書き込む場合

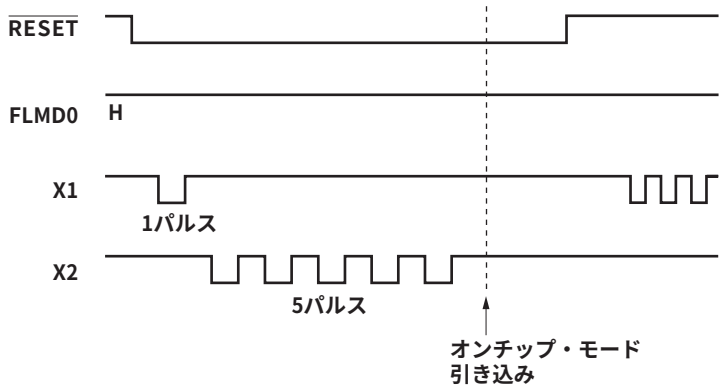
```
MOV     PFCMD, #0A5H      ; PFCMDにA5Hを書き込む。
MOV     FLPMC, #05H       ; FLPMCに05Hを書き込む。
MOV     FLPMC, #0FAH      ; FLPMCに0FAH（05Hの反転）を書き込む。
MOV     FLPMC, #05H       ; FLPMCに05Hを書き込む。
```

# 第23章　オンチップ・ディバグ機能

★　μPD78F0711, 78F0712は，オンチップ・ディバグ用のオンチップ・ディバグ・エミュレータ（QB-78K0MINIまたは，QB-MINI2）を介して，ホスト・マシンとの通信を行う場合，$V_{DD}$, FLMD0, $\overline{RESET}$, X1, X2, $V_{SS}$端子を使用します。

★　**備考**　オンチップ・ディバグ機能の詳細については，QB-78K0MINI　ユーザーズ・マニュアル（U17029J）またはQB-MINI2　ユーザーズ・マニュアル（U18371J）を参照してください。

**図23－1　オンチップ・ディバグ・モード引き込みタイミング図**



# 第24章　命令セットの概要

μPD78F0711, 78F0712の命令セットを一覧表にして示します。なお，各命令の詳細な動作および機械語（命令コード）については，**78K/0シリーズ　ユーザーズ・マニュアル　命令編（U12326J）**を参照してください。

# 24.1　凡　　例

## 24.1.1　オペランドの表現形式と記述方法

各命令のオペランド欄には，その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は，アセンブラ仕様による）。記述方法の中で複数個あるものは，それらの要素の１つを選択します。大文字で書かれた英字および＃，！，＄，［　］の記号はキー・ワードであり，そのまま記述します。記号の説明は，次のとおりです。

・＃　　：イミーディエト・データ指定
・！　　：絶対アドレス指定
・＄　　：相対アドレス指定
・［　］：間接アドレス指定

イミーディエト・データのときは，適当な数値またはレーベルを記述します。レーベルで記述する際も＃，！，＄，［　］記号は必ず記述してください。

また，オペランドのレジスタの記述形式ｒ，rpには，機能名称（Ｘ，Ａ，Ｃなど），絶対名称（下表の中のカッコ内の名称，R0, R1, R2など）のいずれの形式でも記述可能です。

**表24－１　オペランドの表現形式と記述方法**

| 表現形式 | 記　述　方　法 |
|---|---|
| r | Ｘ（R0），Ａ（R1），Ｃ（R2），Ｂ（R3），Ｅ（R4），Ｄ（R5），Ｌ（R6），Ｈ（R7） |
| rp | AX（RP0），BC（RP1），DE（RP2），HL（RP3） |
| sfr | 特殊機能レジスタ略号[注] |
| sfrp | 特殊機能レジスタ略号（16ビット操作可能なレジスタの偶数アドレスのみ）[注] |
| saddr | FE20H-FF1FH　イミーディエト・データまたはレーベル |
| saddrp | FE20H-FF1EH　イミーディエト・データまたはレーベル（偶数アドレスのみ） |
| addr16 | 0000H-FFFFH　イミーディエト・データまたはレーベル<br>（16ビット・データ転送命令時は偶数アドレスのみ） |
| addr11 | 0800H-0FFFH　イミーディエト・データまたはレーベル |
| addr5 | 0040H-007EH　イミーディエト・データまたはレーベル（偶数アドレスのみ） |
| word | 16ビット・イミーディエト・データまたはレーベル |
| byte | ８ビット・イミーディエト・データまたはレーベル |
| bit | ３ビット・イミーディエト・データまたはレーベル |
| RBn | RB0-RB3 |

**注**　FFD0H-FFDFHは，アドレスできません。

**備考**　特殊機能レジスタの略号は**表３－３　特殊機能レジスター覧**を参照してください。

## 24.1.2　オペレーション欄の説明

| | |
|---|---|
| A | ：Aレジスタ；8ビット・アキュームレータ |
| X | ：Xレジスタ |
| B | ：Bレジスタ |
| C | ：Cレジスタ |
| D | ：Dレジスタ |
| E | ：Eレジスタ |
| H | ：Hレジスタ |
| L | ：Lレジスタ |
| AX | ：AXレジスタ・ペア；16ビット・アキュームレータ |
| BC | ：BCレジスタ・ペア |
| DE | ：DEレジスタ・ペア |
| HL | ：HLレジスタ・ペア |
| PC | ：プログラム・カウンタ |
| SP | ：スタック・ポインタ |
| PSW | ：プログラム・ステータス・ワード |
| CY | ：キャリー・フラグ |
| AC | ：補助キャリー・フラグ |
| Z | ：ゼロ・フラグ |
| RBS | ：レジスタ・バンク選択フラグ |
| IE | ：割り込み要求許可フラグ |
| NMIS | ：ノンマスカブル割り込み処理中フラグ |
| （　） | ：（　）内のアドレスまたはレジスタの内容で示されるメモリの内容 |
| $\times_H$, $\times_L$ | ：16ビット・レジスタの上位8ビット，下位8ビット |
| ∧ | ：論理積（AND） |
| ∨ | ：論理和（OR） |
| ⊻ | ：排他的論理和（exclusive OR） |
| $\overline{\quad}$ | ：反転データ |
| addr16 | ：16ビット・イミーディエト・データまたはレーベル |
| addr11 | ：イミーディエト・データまたはレーベル |
| addr5 | ：イミーディエト・データまたはレーベル（偶数アドレスのみ） |
| jdisp8 | ：符号付き8ビット・データ（ディスプレースメント値） |

## 24.1.3　フラグ動作欄の説明

| | |
|---|---|
| （ブランク） | ：変化なし |
| 0 | ：0にクリアされる |
| 1 | ：1にセットされる |
| × | ：結果に従ってセット／クリアされる |
| R | ：以前に退避した値がストアされる |

# 24.2　オペレーション一覧

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|---|---|---|---|---|---|---|---|---|---|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 8ビット・データ転送 | MOV | r, #byte | 2 | 4 | − | r←byte | | | |
| | | saddr, #byte | 3 | 6 | 7 | (saddr)←byte | | | |
| | | sfr, #byte | 3 | − | 7 | sfr←byte | | | |
| | | A, r 注3 | 1 | 2 | − | A←r | | | |
| | | r, A 注3 | 1 | 2 | − | r←A | | | |
| | | A, saddr | 2 | 4 | 5 | A←(saddr) | | | |
| | | saddr, A | 2 | 4 | 5 | (saddr)←A | | | |
| | | A, sfr | 2 | − | 5 | A←sfr | | | |
| | | sfr, A | 2 | − | 5 | sfr←A | | | |
| | | A, !addr16 | 3 | 8 | 9 | A←(addr16) | | | |
| | | !addr16, A | 3 | 8 | 9 | (addr16)←A | | | |
| | | PSW, #byte | 3 | − | 7 | PSW←byte | × | × | × |
| | | A, PSW | 2 | − | 5 | A←PSW | | | |
| | | PSW, A | 2 | − | 5 | PSW←A | × | × | × |
| | | A, [DE] | 1 | 4 | 5 | A←(DE) | | | |
| | | [DE], A | 1 | 4 | 5 | (DE)←A | | | |
| | | A, [HL] | 1 | 4 | 5 | A←(HL) | | | |
| | | [HL], A | 1 | 4 | 5 | (HL)←A | | | |
| | | A, [HL＋byte] | 2 | 8 | 9 | A←(HL＋byte) | | | |
| | | [HL＋byte], A | 2 | 8 | 9 | (HL＋byte)←A | | | |
| | | A, [HL＋B] | 1 | 6 | 7 | A←(HL＋B) | | | |
| | | [HL＋B], A | 1 | 6 | 7 | (HL＋B)←A | | | |
| | | A, [HL＋C] | 1 | 6 | 7 | A←(HL＋C) | | | |
| | | [HL＋C], A | 1 | 6 | 7 | (HL＋C)←A | | | |
| | XCH | A, r 注3 | 1 | 2 | − | A←→r | | | |
| | | A, saddr | 2 | 4 | 6 | A←→(saddr) | | | |
| | | A, sfr | 2 | − | 6 | A←→sfr | | | |
| | | A, !addr16 | 3 | 8 | 10 | A←→(addr16) | | | |
| | | A, [DE] | 1 | 4 | 6 | A←→(DE) | | | |
| | | A, [HL] | 1 | 4 | 6 | A←→(HL) | | | |
| | | A, [HL＋byte] | 2 | 8 | 10 | A←→(HL＋byte) | | | |
| | | A, [HL＋B] | 2 | 8 | 10 | A←→(HL＋B) | | | |
| | | A, [HL＋C] | 2 | 8 | 10 | A←→(HL＋C) | | | |

**注1．** 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

**2．** 内部高速RAM以外の領域をアクセスしたとき。

**3．** r = Aを除く。

**備考1．** 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（$f_{CPU}$）の1クロック分です。

**2．** クロック数は内部ROM領域にプログラムがある場合です。

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|---|---|---|---|---|---|---|---|---|---|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 16ビット・データ転送 | MOVW | rp, #word | 3 | 6 | − | rp←word | | | |
| | | saddrp, #word | 4 | 8 | 10 | (saddrp)←word | | | |
| | | sfrp, #word | 4 | − | 10 | sfrp←word | | | |
| | | AX, saddrp | 2 | 6 | 8 | AX←(saddrp) | | | |
| | | saddrp, AX | 2 | 6 | 8 | (saddrp)←AX | | | |
| | | AX, sfrp | 2 | − | 8 | AX←sfrp | | | |
| | | sfrp, AX | 2 | − | 8 | sfrp←AX | | | |
| | | AX, rp 注3 | 1 | 4 | − | AX←rp | | | |
| | | rp, AX 注3 | 1 | 4 | − | rp←AX | | | |
| | | AX, !addr16 | 3 | 10 | 12 | AX←(addr16) | | | |
| | | !addr16, AX | 3 | 10 | 12 | (addr16)←AX | | | |
| | XCHW | AX, rp 注3 | 1 | 4 | − | AX⟷rp | | | |
| 8ビット演算 | ADD | A, #byte | 2 | 4 | − | A, CY←A＋byte | × | × | × |
| | | saddr, #byte | 3 | 6 | 8 | (saddr), CY←(saddr)＋byte | × | × | × |
| | | A，r 注4 | 2 | 4 | − | A, CY←A＋r | × | × | × |
| | | r，A | 2 | 4 | − | r, CY←r＋A | × | × | × |
| | | A, saddr | 2 | 4 | 5 | A, CY←A＋(saddr) | × | × | × |
| | | A, !addr16 | 3 | 8 | 9 | A, CY←A＋(addr16) | × | × | × |
| | | A, ［HL］ | 1 | 4 | 5 | A, CY←A＋(HL) | × | × | × |
| | | A, ［HL＋byte］ | 2 | 8 | 9 | A, CY←A＋(HL＋byte) | × | × | × |
| | | A, ［HL＋B］ | 2 | 8 | 9 | A, CY←A＋(HL＋B) | × | × | × |
| | | A, ［HL＋C］ | 2 | 8 | 9 | A, CY←A＋(HL＋C) | × | × | × |
| | ADDC | A, #byte | 2 | 4 | − | A, CY←A＋byte＋CY | × | × | × |
| | | saddr, #byte | 3 | 6 | 8 | (saddr), CY←(saddr)＋byte＋CY | × | × | × |
| | | A，r 注4 | 2 | 4 | − | A, CY←A＋r＋CY | × | × | × |
| | | r，A | 2 | 4 | − | r, CY←r＋A＋CY | × | × | × |
| | | A, saddr | 2 | 4 | 5 | A, CY←A＋(saddr)＋CY | × | × | × |
| | | A, !addr16 | 3 | 8 | 9 | A, CY←A＋(addr16)＋CY | × | × | × |
| | | A, [HL] | 1 | 4 | 5 | A, CY←A＋(HL)＋CY | × | × | × |
| | | A, [HL＋byte] | 2 | 8 | 9 | A, CY←A＋(HL＋byte)＋CY | × | × | × |
| | | A, [HL＋B] | 2 | 8 | 9 | A, CY←A＋(HL＋B)＋CY | × | × | × |
| | | A, [HL＋C] | 2 | 8 | 9 | A, CY←A＋(HL＋C)＋CY | × | × | × |

**注1．** 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

**2．** 内部高速RAM以外の領域をアクセスしたとき。

**3．** rp = BC, DE, HLのときのみ。

**4．** r = Aを除く。

**備考1．** 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（$f_{CPU}$）の1クロック分です。

**2．** クロック数は内部ROM領域にプログラムがある場合です。

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|---|---|---|---|---|---|---|---|---|---|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 8ビット演算 | SUB | A，#byte | 2 | 4 | − | A，CY←A−byte | × | × | × |
| | | saddr, #byte | 3 | 6 | 8 | (saddr)，CY←(saddr)−byte | × | × | × |
| | | A，r 注3 | 2 | 4 | − | A，CY←A−r | × | × | × |
| | | r，A | 2 | 4 | − | r，CY←r−A | × | × | × |
| | | A，saddr | 2 | 4 | 5 | A，CY←A−(saddr) | × | × | × |
| | | A，!addr16 | 3 | 8 | 9 | A，CY←A−(addr16) | × | × | × |
| | | A，[HL] | 1 | 4 | 5 | A，CY←A−(HL) | × | × | × |
| | | A，[HL+byte] | 2 | 8 | 9 | A，CY←A−(HL+byte) | × | × | × |
| | | A，[HL+B] | 2 | 8 | 9 | A，CY←A−(HL+B) | × | × | × |
| | | A，[HL+C] | 2 | 8 | 9 | A，CY←A−(HL+C) | × | × | × |
| | SUBC | A，#byte | 2 | 4 | − | A，CY←A−byte−CY | × | × | × |
| | | saddr, #byte | 3 | 6 | 8 | (saddr)，CY←(saddr)−byte−CY | × | × | × |
| | | A，r 注3 | 2 | 4 | − | A，CY←A−r−CY | × | × | × |
| | | r，A | 2 | 4 | − | r，CY←r−A−CY | × | × | × |
| | | A，saddr | 2 | 4 | 5 | A，CY←A−(saddr)−CY | × | × | × |
| | | A，!addr16 | 3 | 8 | 9 | A，CY←A−(addr16)−CY | × | × | × |
| | | A，[HL] | 1 | 4 | 5 | A，CY←A−(HL)−CY | × | × | × |
| | | A，[HL+byte] | 2 | 8 | 9 | A，CY←A−(HL+byte)−CY | × | × | × |
| | | A，[HL+B] | 2 | 8 | 9 | A，CY←A−(HL+B)−CY | × | × | × |
| | | A，[HL+C] | 2 | 8 | 9 | A，CY←A−(HL+C)−CY | × | × | × |
| | AND | A，#byte | 2 | 4 | − | A←A ∧ byte | × | | |
| | | saddr, #byte | 3 | 6 | 8 | (saddr)←(saddr) ∧ byte | × | | |
| | | A，r 注3 | 2 | 4 | − | A←A ∧ r | × | | |
| | | r，A | 2 | 4 | − | r←r ∧ A | × | | |
| | | A，saddr | 2 | 4 | 5 | A←A ∧ (saddr) | × | | |
| | | A，!addr16 | 3 | 8 | 9 | A←A ∧ (addr16) | × | | |
| | | A，[HL] | 1 | 4 | 5 | A←A ∧(HL) | × | | |
| | | A，[HL+byte] | 2 | 8 | 9 | A←A ∧ (HL+byte) | × | | |
| | | A，[HL+B] | 2 | 8 | 9 | A←A ∧ (HL+B) | × | | |
| | | A，[HL+C] | 2 | 8 | 9 | A←A ∧ (HL+C) | × | | |

**注1．** 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

**2．** 内部高速RAM以外の領域をアクセスしたとき。

**3．** r = Aを除く。

**備考1．** 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（$f_{CPU}$）の1クロック分です。

**2．** クロック数は内部ROM領域にプログラムがある場合です。

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|---|---|---|---|---|---|---|---|---|---|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 8ビット演算 | OR | A，#byte | 2 | 4 | − | A←A ∨ byte | × | | |
| | | saddr, #byte | 3 | 6 | 8 | (saddr)←(saddr) ∨ byte | × | | |
| | | A，r 注3 | 2 | 4 | − | A←A ∨ r | × | | |
| | | r，A | 2 | 4 | − | r←r ∨ A | × | | |
| | | A，saddr | 2 | 4 | 5 | A←A ∨ (saddr) | × | | |
| | | A，!addr16 | 3 | 8 | 9 | A←A ∨ (addr16) | × | | |
| | | A，[HL] | 1 | 4 | 5 | A←A ∨ (HL) | × | | |
| | | A，[HL＋byte] | 2 | 8 | 9 | A←A ∨ (HL＋byte) | × | | |
| | | A，[HL＋B] | 2 | 8 | 9 | A←A ∨ (HL＋B) | × | | |
| | | A，[HL＋C] | 2 | 8 | 9 | A←A ∨ (HL＋C) | × | | |
| | XOR | A，#byte | 2 | 4 | − | A←A ∀ byte | × | | |
| | | saddr, #byte | 3 | 6 | 8 | (saddr)←(saddr) ∀ byte | × | | |
| | | A，r 注3 | 2 | 4 | − | A←A ∀ r | × | | |
| | | r，A | 2 | 4 | − | r←r ∀ A | × | | |
| | | A，saddr | 2 | 4 | 5 | A←A ∀ (saddr) | × | | |
| | | A，!addr16 | 3 | 8 | 9 | A←A ∀ (addr16) | × | | |
| | | A，[HL] | 1 | 4 | 5 | A←A ∀ (HL) | × | | |
| | | A，[HL＋byte] | 2 | 8 | 9 | A←A ∀ (HL＋byte) | × | | |
| | | A，[HL＋B] | 2 | 8 | 9 | A←A ∀ (HL＋B) | × | | |
| | | A，[HL＋C] | 2 | 8 | 9 | A←A ∀ (HL＋C) | × | | |
| | CMP | A，#byte | 2 | 4 | − | A−byte | × | × | × |
| | | saddr, #byte | 3 | 6 | 8 | (saddr)−byte | × | × | × |
| | | A，r 注3 | 2 | 4 | − | A−r | × | × | × |
| | | r，A | 2 | 4 | − | r−A | × | × | × |
| | | A，saddr | 2 | 4 | 5 | A−(saddr) | × | × | × |
| | | A，!addr16 | 3 | 8 | 9 | A−(addr16) | × | × | × |
| | | A，[HL] | 1 | 4 | 5 | A−(HL) | × | × | × |
| | | A，[HL＋byte] | 2 | 8 | 9 | A−(HL＋byte) | × | × | × |
| | | A，[HL＋B] | 2 | 8 | 9 | A−(HL＋B) | × | × | × |
| | | A，[HL＋C] | 2 | 8 | 9 | A−(HL＋C) | × | × | × |
| 16ビット演算 | ADDW | AX, #word | 3 | 6 | − | AX, CY←AX＋word | × | × | × |
| | SUBW | AX, #word | 3 | 6 | − | AX, CY←AX−word | × | × | × |
| | CMPW | AX, #word | 3 | 6 | − | AX−word | × | × | × |
| 乗除算 | MULU | X | 2 | 16 | − | AX←A×X | | | |
| | DIVUW | C | 2 | 25 | − | AX(商)，C(余り)←AX÷C | | | |

**注1．**内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

**2．**内部高速RAM以外の領域をアクセスしたとき。

**3．**r = Aを除く。

**備考1．**命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（$f_{CPU}$）の1クロック分です。

**2．**クロック数は内部ROM領域にプログラムがある場合です。

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|---|---|---|---|---|---|---|---|---|---|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 増減 | INC | r | 1 | 2 | − | r←r＋1 | × | × | |
| | | saddr | 2 | 4 | 6 | (saddr)←(saddr)＋1 | × | × | |
| | DEC | r | 1 | 2 | − | r←r−1 | × | × | |
| | | saddr | 2 | 4 | 6 | (saddr)←(saddr)−1 | × | × | |
| | INCW | rp | 1 | 4 | − | rp←rp＋1 | | | |
| | DECW | rp | 1 | 4 | − | rp←rp−1 | | | |
| ローテート | ROR | A，1 | 1 | 2 | − | (CY, $A_7$←$A_0$, $A_{m-1}$←$A_m$)×1回 | | | × |
| | ROL | A，1 | 1 | 2 | − | (CY, $A_0$←$A_7$, $A_{m+1}$←$A_m$)×1回 | | | × |
| | RORC | A，1 | 1 | 2 | − | (CY←$A_0$, $A_7$←CY, $A_{m-1}$←$A_m$)×1回 | | | × |
| | ROLC | A，1 | 1 | 2 | − | (CY←$A_7$, $A_0$←CY, $A_{m+1}$←$A_m$)×1回 | | | × |
| | ROR4 | [HL] | 2 | 10 | 12 | $A_{3-0}$←$(HL)_{3-0}$, $(HL)_{7-4}$←$A_{3-0}$, $(HL)_{3-0}$←$(HL)_{7-4}$ | | | |
| | ROL4 | [HL] | 2 | 10 | 12 | $A_{3-0}$←$(HL)_{7-4}$, $(HL)_{3-0}$←$A_{3-0}$, $(HL)_{7-4}$←$(HL)_{3-0}$ | | | |
| BCD補正 | ADJBA | | 2 | 4 | − | Decimal Adjust Accumulator after Addition | × | × | × |
| | ADJBS | | 2 | 4 | − | Decimal Adjust Accumulator after Subtract | × | × | × |
| ビット操作 | MOV1 | CY, saddr.bit | 3 | 6 | 7 | CY←(saddr.bit) | | | × |
| | | CY, sfr.bit | 3 | − | 7 | CY←sfr.bit | | | × |
| | | CY, A.bit | 2 | 4 | − | CY←A.bit | | | × |
| | | CY, PSW.bit | 3 | − | 7 | CY←PSW.bit | | | × |
| | | CY, [HL].bit | 2 | 6 | 7 | CY←(HL).bit | | | × |
| | | saddr.bit, CY | 3 | 6 | 8 | (saddr.bit)←CY | | | |
| | | sfr.bit, CY | 3 | − | 8 | sfr.bit←CY | | | |
| | | A.bit, CY | 2 | 4 | − | A.bit←CY | | | |
| | | PSW.bit, CY | 3 | − | 8 | PSW.bit←CY | × | × | |
| | | [HL].bit, CY | 2 | 6 | 8 | (HL).bit←CY | | | |
| | AND1 | CY, saddr.bit | 3 | 6 | 7 | CY←CY ∧ (saddr.bit) | | | × |
| | | CY, sfr.bit | 3 | − | 7 | CY←CY ∧ sfr.bit | | | × |
| | | CY, A.bit | 2 | 4 | − | CY←CY ∧ A.bit | | | × |
| | | CY, PSW.bit | 3 | − | 7 | CY←CY ∧ PSW.bit | | | × |
| | | CY, [HL].bit | 2 | 6 | 7 | CY←CY ∧ (HL).bit | | | × |
| | OR1 | CY, saddr.bit | 3 | 6 | 7 | CY←CY ∨ (saddr.bit) | | | × |
| | | CY, sfr.bit | 3 | − | 7 | CY←CY ∨ sfr.bit | | | × |
| | | CY, A.bit | 2 | 4 | − | CY←CY ∨ A.bit | | | × |
| | | CY, PSW.bit | 3 | − | 7 | CY←CY ∨ PSW.bit | | | × |
| | | CY, [HL].bit | 2 | 6 | 7 | CY←CY ∨ (HL).bit | | | × |

**注1．** 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

**2．** 内部高速RAM以外の領域をアクセスしたとき。

**備考1．** 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（$f_{CPU}$）の1クロック分です。

**2．** クロック数は内部ROM領域にプログラムがある場合です。

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ | | |
|---|---|---|---|---|---|---|---|---|---|
| | | | | 注1 | 注2 | | Z | AC | CY |
| ビット操作 | XOR1 | CY, saddr.bit | 3 | 6 | 7 | CY←CY ∀ (saddr.bit) | | | × |
| | | CY, sfr.bit | 3 | − | 7 | CY←CY ∀ sfr.bit | | | × |
| | | CY, A.bit | 2 | 4 | − | CY←CY ∀ A.bit | | | × |
| | | CY, PSW.bit | 3 | − | 7 | CY←CY ∀ PSW.bit | | | × |
| | | CY, [HL].bit | 2 | 6 | 7 | CY←CY ∀ (HL).bit | | | × |
| | SET1 | saddr.bit | 2 | 4 | 6 | (saddr.bit)←1 | | | |
| | | sfr.bit | 3 | − | 8 | sfr.bit←1 | | | |
| | | A.bit | 2 | 4 | − | A.bit←1 | | | |
| | | PSW.bit | 2 | − | 6 | PSW.bit←1 | × | × | × |
| | | [HL].bit | 2 | 6 | 8 | (HL).bit←1 | | | |
| | CLR1 | saddr.bit | 2 | 4 | 6 | (saddr.bit)←0 | | | |
| | | sfr.bit | 3 | − | 8 | sfr.bit←0 | | | |
| | | A.bit | 2 | 4 | − | A.bit←0 | | | |
| | | PSW.bit | 2 | − | 6 | PSW.bit←0 | × | × | × |
| | | [HL].bit | 2 | 6 | 8 | (HL).bit←0 | | | |
| | SET1 | CY | 1 | 2 | − | CY←1 | | | 1 |
| | CLR1 | CY | 1 | 2 | − | CY←0 | | | 0 |
| | NOT1 | CY | 1 | 2 | − | CY←$\overline{CY}$ | | | × |
| コール・リターン | CALL | !addr16 | 3 | 7 | − | (SP−1)←(PC+3)$_H$, (SP−2)←(PC+3)$_L$, PC←addr16, SP←SP−2 | | | |
| | CALLF | !addr11 | 2 | 5 | − | (SP−1)←(PC+2)$_H$, (SP−2)←(PC+2)$_L$, PC$_{15-11}$←00001, PC$_{10-0}$←addr11, SP←SP−2 | | | |
| ★ | CALLT | [addr5] | 1 | 6 | − | (SP−1)←(PC+1)$_H$, (SP−2)←(PC+1)$_L$, PC$_H$←(addr5+1), PC$_L$←(addr5), SP←SP−2 | | | |
| | BRK | | 1 | 6 | − | (SP−1)←PSW, (SP−2)←(PC+1)$_H$, (SP−3)←(PC+1)$_L$, PC$_H$←(003FH), PC$_L$←(003EH), SP←SP−3, IE←0 | | | |
| | RET | | 1 | 6 | − | PC$_H$←(SP+1), PC$_L$←(SP), SP←SP+2 | | | |
| | RETI | | 1 | 6 | − | PC$_H$←(SP+1), PC$_L$←(SP), PSW←(SP+2), SP←SP+3 | R | R | R |
| | RETB | | 1 | 6 | − | PC$_H$←(SP+1), PC$_L$←(SP), PSW←(SP+2), SP←SP+3 | R | R | R |

**注1．** 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

**2．** 内部高速RAM以外の領域をアクセスしたとき。

**備考1．** 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（$f_{CPU}$）の1クロック分です。

**2．** クロック数は内部ROM領域にプログラムがある場合です。

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ |
|---|---|---|---|---|---|---|---|
| | | | | 注1 | 注2 | | Z AC CY |
| スタック操作 | PUSH | PSW | 1 | 2 | − | (SP−1)←PSW, SP←SP−1 | |
| | | rp | 1 | 4 | − | (SP−1)←$rp_H$, (SP−2)←$rp_L$, SP←SP−2 | |
| | POP | PSW | 1 | 2 | − | PSW←(SP), SP←SP+1 | R R R |
| | | rp | 1 | 4 | − | $rp_H$←(SP+1), $rp_L$←(SP), SP←SP+2 | |
| | MOVW | SP, #word | 4 | − | 10 | SP←word | |
| | | SP, AX | 2 | − | 8 | SP←AX | |
| | | AX, SP | 2 | − | 8 | AX←SP | |
| 無条件分岐 | BR | !addr16 | 3 | 6 | − | PC←addr16 | |
| | | $addr16 | 2 | 6 | − | PC←PC+2+jdisp8 | |
| | | AX | 2 | 8 | − | $PC_H$←A, $PC_L$←X | |
| 条件付き分岐 | BC | $addr16 | 2 | 6 | − | PC←PC+2+jdisp8 if CY = 1 | |
| | BNC | $addr16 | 2 | 6 | − | PC←PC+2+jdisp8 if CY = 0 | |
| | BZ | $addr16 | 2 | 6 | − | PC←PC+2+jdisp8 if Z = 1 | |
| | BNZ | $addr16 | 2 | 6 | − | PC←PC+2+jdisp8 if Z = 0 | |
| | BT | saddr.bit, $addr16 | 3 | 8 | 9 | PC←PC+3+jdisp8 if (saddr.bit) = 1 | |
| | | sfr.bit, $addr16 | 4 | − | 11 | PC←PC+4+jdisp8 if sfr.bit = 1 | |
| | | A.bit, $addr16 | 3 | 8 | − | PC←PC+3+jdisp8 if A.bit = 1 | |
| | | PSW.bit, $addr16 | 3 | − | 9 | PC←PC+3+jdisp8 if PSW.bit = 1 | |
| | | [HL].bit, $addr16 | 3 | 10 | 11 | PC←PC+3+jdisp8 if (HL).bit = 1 | |
| | BF | saddr.bit, $addr16 | 4 | 10 | 11 | PC←PC+4+jdisp8 if (saddr.bit) = 0 | |
| | | sfr.bit, $addr16 | 4 | − | 11 | PC←PC+4+jdisp8 if sfr.bit = 0 | |
| | | A.bit, $addr16 | 3 | 8 | − | PC←PC+3+jdisp8 if A.bit = 0 | |
| | | PSW.bit, $addr16 | 4 | − | 11 | PC←PC+4+jdisp8 if PSW.bit = 0 | |
| | | [HL].bit, $addr16 | 3 | 10 | 11 | PC←PC+3+jdisp8 if (HL).bit = 0 | |
| | BTCLR | saddr.bit, $addr16 | 4 | 10 | 12 | PC←PC+4+jdisp8 if (saddr.bit) = 1<br>then reset (saddr.bit) | |
| | | sfr.bit, $addr16 | 4 | − | 12 | PC←PC+4+jdisp8 if sfr.bit = 1<br>then reset sfr.bit | |
| | | A.bit, $addr16 | 3 | 8 | − | PC←PC+3+jdisp8 if A.bit = 1<br>then reset A.bit | |
| | | PSW.bit, $addr16 | 4 | − | 12 | PC←PC+4+jdisp8 if PSW.bit = 1<br>then reset PSW.bit | × × × |
| | | [HL].bit, $addr16 | 3 | 10 | 12 | PC←PC+3+jdisp8 if (HL).bit = 1<br>then reset (HL).bit | |

**注1．内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。**

**2．内部高速RAM以外の領域をアクセスしたとき。**

**備考1．命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（$f_{CPU}$）の1クロック分です。**

**2．クロック数は内部ROM領域にプログラムがある場合です。**

| 命令群 | ニモニック | オペランド | バイト | クロック | | オペレーション | フラグ |
|---|---|---|---|---|---|---|---|
| | | | | 注1 | 注2 | | Z AC CY |
| 条件付き分岐 | DBNZ | B, $addr16 | 2 | 6 | − | B←B−1, then<br>PC←PC＋2＋jdisp8 if B ≠ 0 | |
| | | C, $addr16 | 2 | 6 | − | C←C−1, then<br>PC←PC＋2＋jdisp8 if C ≠ 0 | |
| | | saddr, $addr16 | 3 | 8 | 10 | (saddr)←(saddr)−1, then<br>PC←PC＋3＋jdisp8 if (saddr)≠ 0 | |
| CPU制御 | SEL | RBn | 2 | 4 | − | RBS1, 0←n | |
| | NOP | | 1 | 2 | − | No Operation | |
| | EI | | 2 | − | 6 | IE←1(Enable Interrupt) | |
| | DI | | 2 | − | 6 | IE←0(Disable Interrupt) | |
| | HALT | | 2 | 6 | − | Set HALT Mode | |
| | STOP | | 2 | 6 | − | Set STOP Mode | |

**注1．**内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

**2．**内部高速RAM以外の領域をアクセスしたとき。

**備考1．**命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（$f_{CPU}$）の1クロック分です。

**2．**クロック数は内部ROM領域にプログラムがある場合です。

## 24.3　アドレシング別命令一覧

### （1）8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

| 第２オペランド / 第１オペランド | #byte | A | r[注] | sfr | saddr | !addr16 | PSW | [DE] | [HL] | [HL+byte]<br>[HL+B]<br>[HL+C] | $addr16 | 1 | なし |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| A | ADD<br>ADDC<br>SUB<br>SUBC<br>AND<br>OR<br>XOR<br>CMP | | MOV<br>XCH<br>ADD<br>ADDC<br>SUB<br>SUBC<br>AND<br>OR<br>XOR<br>CMP | MOV<br>XCH | MOV<br>XCH<br>ADD<br>ADDC<br>SUB<br>SUBC<br>AND<br>OR<br>XOR<br>CMP | MOV<br>XCH<br>ADD<br>ADDC<br>SUB<br>SUBC<br>AND<br>OR<br>XOR<br>CMP | MOV | MOV<br>XCH | MOV<br>XCH<br>ADD<br>ADDC<br>SUB<br>SUBC<br>AND<br>OR<br>XOR<br>CMP | MOV<br>XCH<br>ADD<br>ADDC<br>SUB<br>SUBC<br>AND<br>OR<br>XOR<br>CMP | | ROR<br>ROL<br>RORC<br>ROLC | |
| r | MOV | MOV<br>ADD<br>ADDC<br>SUB<br>SUBC<br>AND<br>OR<br>XOR<br>CMP | | | | | | | | | | | INC<br>DEC |
| B, C | | | | | | | | | | | DBNZ | | |
| sfr | MOV | MOV | | | | | | | | | | | |
| saddr | MOV<br>ADD<br>ADDC<br>SUB<br>SUBC<br>AND<br>OR<br>XOR<br>CMP | MOV | | | | | | | | | DBNZ | | INC<br>DEC |
| !addr16 | | MOV | | | | | | | | | | | |
| PSW | MOV | MOV | | | | | | | | | | | PUSH<br>POP |
| [DE] | | MOV | | | | | | | | | | | |
| [HL] | | MOV | | | | | | | | | | | ROR4<br>ROL4 |
| [HL+byte]<br>[HL+B]<br>[HL+C] | | MOV | | | | | | | | | | | |
| X | | | | | | | | | | | | | MULU |
| C | | | | | | | | | | | | | DIVUW |

**注**　r = Aは除く。

### （2）16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

| 第1オペランド ＼ 第2オペランド | #word | AX | rp[注] | sfrp | saddrp | !addr16 | SP | なし |
|---|---|---|---|---|---|---|---|---|
| AX | ADDW<br>SUBW<br>CMPW | | MOVW<br>XCHW | MOVW | MOVW | MOVW | MOVW | |
| rp | MOVW | MOVW[注] | | | | | | INCW<br>DECW<br>PUSH<br>POP |
| sfrp | MOVW | MOVW | | | | | | |
| saddrp | MOVW | MOVW | | | | | | |
| !addr16 | | MOVW | | | | | | |
| SP | MOVW | MOVW | | | | | | |

**注**　rp = BC, DE, HLのときのみ。

### （3）ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

| 第1オペランド ＼ 第2オペランド | A.bit | sfr.bit | saddr.bit | PSW.bit | [HL].bit | CY | $addr16 | なし |
|---|---|---|---|---|---|---|---|---|
| A.bit | | | | | | MOV1 | BT<br>BF<br>BTCLR | SET1<br>CLR1 |
| sfr.bit | | | | | | MOV1 | BT<br>BF<br>BTCLR | SET1<br>CLR1 |
| saddr.bit | | | | | | MOV1 | BT<br>BF<br>BTCLR | SET1<br>CLR1 |
| PSW.bit | | | | | | MOV1 | BT<br>BF<br>BTCLR | SET1<br>CLR1 |
| [HL].bit | | | | | | MOV1 | BT<br>BF<br>BTCLR | SET1<br>CLR1 |
| CY | MOV1<br>AND1<br>OR1<br>XOR1 | MOV1<br>AND1<br>OR1<br>XOR1 | MOV1<br>AND1<br>OR1<br>XOR1 | MOV1<br>AND1<br>OR1<br>XOR1 | MOV1<br>AND1<br>OR1<br>XOR1 | | | SET1<br>CLR1<br>NOT1 |

### （4）コール命令／分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

| 第２オペランド / 第１オペランド | AX | !addr16 | !addr11 | [addr5] | $addr16 |
|---|---|---|---|---|---|
| 基本命令 | BR | CALL<br>BR | CALLF | CALLT | BR<br>BC<br>BNC<br>BZ<br>BNZ |
| 複合命令 | | | | | BT<br>BF<br>BTCLR<br>DBNZ |

### （5）その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

# 第25章　電気的特性

★ **注意**　μPD78F0711, 78F0712**はオンチップ・ディバグ機能搭載品です。オンチップ・ディバグ機能使用後，フラッシュ・メモリの書き換え回数の制限の観点から，信頼性について保証できないため，量産用としては使用しないでください。またクレーム受け付け対象外の製品です。**

**絶対最大定格（**$T_A$ = 25 **℃）**

| 項　目 | 略　号 | 条　件 | | 定　格 | 単　位 |
|---|---|---|---|---|---|
| 電源電圧 | $V_{DD}$ | | | −0.3〜+6.5 | V |
| | $V_{SS}$ | | | −0.3〜+0.3 | V |
| | $AV_{REF}$ | | | −0.3〜$V_{DD}$+0.3[注] | V |
| | $AV_{SS}$ | | | −0.3〜+0.3 | V |
| 入力電圧 | $V_I$ | P00-P03, P13, P14, P16, P17, P20-P23, P50, P53, P54, X1, X2, $\overline{\text{RESET}}$ | | −0.3〜$V_{DD}$+0.3[注] | V |
| 出力電圧 | $V_O$ | | | −0.3〜$V_{DD}$+0.3[注] | V |
| アナログ入力電圧 | $V_{AN}$ | | | $AV_{SS}$−0.3〜$AV_{REF}$+0.3[注]<br>**かつ**−0.3〜$V_{DD}$+0.3[注] | |
| ハイ・レベル出力電流 | $I_{OH}$ | 1端子 | | −10 | mA |
| | | 端子合計<br>−60 mA | P00-P03, P50, P53, P54 | −30 | mA |
| | | | P13, P14, P16, P17, TW0TO0-TW0TO5 | −30 | mA |
| ロウ・レベル出力電流 | $I_{OL}$ | 1端子 | P00-P03, P13, P14, P16, P17 | 20 | mA |
| | | | P50, P53, P54, TW0TO0-TW0TO5 | 30 | mA |
| | | 端子合計<br>280 mA | P00-P03 | 30 | mA |
| | | | P13, P14, P16, P17 | 50 | mA |
| | | | TW0TO0-TW0TO5 | 100 | mA |
| | | | P50, P53, P54 | 100 | mA |
| 動作周囲温度 | $T_A$ | 通常動作時 | | −40〜+85 | ℃ |
| | | フラッシュ・メモリ・プログラミング時 | | −10〜+85 | |
| 保存温度 | $T_{stg}$ | | | −40〜+125 | ℃ |

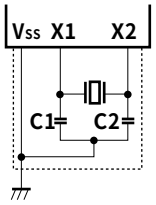
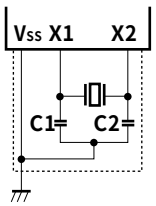
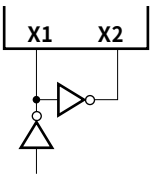
**注**　6.5 V**以下であること**

**注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。**

**備考　特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。**

### X1発振回路特性

（$T_A$ = −40〜+85 ℃，4.0 V≦$V_{DD}$≦5.5 V, 4.0 V≦$AV_{REF}$≦$V_{DD}$, $V_{SS}$ = $AV_{SS}$ = 0 V）

| 発振子 | 推奨回路 | 項　目 | 条　件 | MIN. | TYP. | MAX. | 単位 |
|---|---|---|---|---|---|---|---|
| セラミック発振子 |  | 発振周波数（$f_{XP}$）注 | 4.0 V≦$V_{DD}$≦5.5 V | 5.0 | | 20 | MHz |
| 水晶振動子 |  | 発振周波数（$f_{XP}$）注 | 4.0 V≦$V_{DD}$≦5.5 V | 5.0 | | 20 | MHz |
| 外部クロック |  | X1入力周波数（$f_{XP}$）注 | 4.0 V≦$V_{DD}$≦5.5 V | 5.0 | | 20 | MHz |
| | | X1入力ハイ，ロウ・レベル幅（$t_{XPH}$, $t_{XPL}$） | 4.0 V≦$V_{DD}$≦5.5 V | 24 | | 100 | ns |

注　発振回路の特性だけを示すものです。命令実行時間については，AC特性を参照してください。

注意1.　X1発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は，常に$V_{SS}$と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2.　リセット解除後は，低速内蔵発振クロックによりCPUが起動されるため，X1入力クロックの発振安定時間を発振安定時間状態レジスタ（OSTC）で確認してください。また使用する発振子で発振安定時間を十分に評価してから，OSTCレジスタ，発振安定時間選択レジスタ（OSTS）の発振安定時間を決定してください。

備考　発振子の選択および発振回路定数についてはお客様において発振評価していただくか，発振子メーカに評価を依頼してください。

### 内蔵発振器特性

（$T_A$ = −40〜+85 ℃，4.0 V≦$V_{DD}$≦5.5 V, 4.0 V≦$AV_{REF}$≦$V_{DD}$, $V_{SS}$ = $AV_{SS}$ = 0 V）

| 発振子 | 項　目 | 条　件 | MIN. | TYP. | MAX. | 単位 |
|---|---|---|---|---|---|---|
| 低速内蔵発振器 | 発振周波数（$f_{RL}$） | | 120 | 240 | 480 | kHz |
| ★ 高速内蔵発振器 | 発振周波数（$f_{RH}$） | | 7.6 | 8.0 | 8.4 | MHz |

DC特性（1/3）

（$T_A$ = −40〜+85 ℃，4.0 V≦$V_{DD}$≦5.5 V, 4.0 V≦$AV_{REF}$≦$V_{DD}$, $V_{SS}$ = $AV_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|
| ハイ・レベル出力電流 | $I_{OH}$ | 1端子 | 4.0 V≦$V_{DD}$≦5.5 V | | | −5 | mA |
| | | P00-P03, P50, P53, P54　合計 | 4.0 V≦$V_{DD}$≦5.5 V | | | −25 | mA |
| | | P13, P14, P16, P17, TW0TO0-TW0TO5　合計 | 4.0 V≦$V_{DD}$≦5.5 V | | | −25 | mA |
| ロウ・レベル出力電流 | $I_{OL}$ | P00-P03, P13, P14, P16, P17 1端子 | 4.0 V≦$V_{DD}$≦5.5 V | | | 10 | mA |
| | | P50, P53, P54, TW0TO0-TW0TO5　1端子 | 4.0 V≦$V_{DD}$≦5.5 V | | | 15 | mA |
| | | P00-P03　合計 | 4.0 V≦$V_{DD}$≦5.5 V | | | 15 | mA |
| | | P13, P14, P16, P17　合計 | 4.0 V≦$V_{DD}$≦5.5 V | | | 25 | mA |
| | | TW0TO0-TW0TO5　合計 | 4.0 V≦$V_{DD}$≦5.5 V | | | 70 | mA |
| | | P50, P53, P54　合計 | 4.0 V≦$V_{DD}$≦5.5 V | | | 70 | mA |
| ハイ・レベル入力電圧 | $V_{IH1}$ | P14, P16, P17 | 4.0 V≦$V_{DD}$≦5.5 V | 0.7$V_{DD}$ | | $V_{DD}$ | V |
| | $V_{IH2}$ | P00-P03, P13, P50, P53, P54, $\overline{\text{RESET}}$ | 4.0 V≦$V_{DD}$≦5.5 V | 0.8$V_{DD}$ | | $V_{DD}$ | V |
| | $V_{IH3}$ | P20-P23[注] | 4.0 V≦$V_{DD}$≦5.5 V | 0.7$AV_{REF}$ | | $AV_{REF}$ | V |
| | $V_{IH4}$ | X1, X2 | 4.0 V≦$V_{DD}$≦5.5 V | $V_{DD}$−0.5 | | $V_{DD}$ | V |
| ロウ・レベル入力電圧 | $V_{IL1}$ | P14, P16, P17 | 4.0 V≦$V_{DD}$≦5.5 V | 0 | | 0.3$V_{DD}$ | V |
| | $V_{IL2}$ | P00-P03, P13, P50, P53, P54, $\overline{\text{RESET}}$ | 4.0 V≦$V_{DD}$≦5.5 V | 0 | | 0.2$V_{DD}$ | V |
| | $V_{IL3}$ | P20-P23[注] | 4.0 V≦$V_{DD}$≦5.5 V | 0 | | 0.3$AV_{REF}$ | V |
| | $V_{IL4}$ | X1, X2 | 4.0 V≦$V_{DD}$≦5.5 V | 0 | | 0.4 | V |

**注**　ディジタル入力ポートとして使用する場合は，$AV_{REF}$ = $V_{DD}$にしてください。

**備考**　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性（2/3）

（$T_A$ = −40〜+85 ℃，4.0 V≦$V_{DD}$≦5.5 V, 4.0 V≦$AV_{REF}$≦$V_{DD}$, $V_{SS}$ = $AV_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|
| ハイ・レベル出力電圧 | $V_{OH}$ | P00-P03, P13, P14, P16, P17 | 4.0 V≦$V_{DD}$≦5.5 V, $I_{OH}$ = −5 mA | $V_{DD}$−1.0 | | | V |
| | | P50, P53, P54, TW0TO0-TW0TO5 | 4.0 V≦$V_{DD}$≦5.5 V, $I_{OH}$ = −1 mA | $V_{DD}$−1.0 | | | V |
| | | $I_{OH}$ = −100 μA | 4.0 V≦$V_{DD}$≦5.5 V | $V_{DD}$−0.5 | | | V |
| ロウ・レベル出力電圧 | $V_{OL}$ | P50, P53, P54, TW0TO0-TW0TO5 | 4.0 V≦$V_{DD}$≦5.5 V, $I_{OL}$ = 15 mA | | 0.4 | 2.0 | V |
| | | P00-P03, P13, P14, P16, P17　合計$I_{OL}$ = 20 mA | 4.0 V≦$V_{DD}$≦5.5 V, $I_{OL}$ = 10 mA | | | 1.5 | V |
| | | $I_{OL}$ = 400 μA | 4.0 V≦$V_{DD}$≦5.5 V | | | 0.5 | V |
| ハイ・レベル入力リーク電流 | $I_{LIH1}$ | $V_I$ = $V_{DD}$ | P00-P03, P13, P14, P16, P17, P50, P53, P54, $\overline{\text{RESET}}$ | | | 3 | μA |
| | | $V_I$ = $AV_{REF}$ | P20-P23 | | | 3 | μA |
| | $I_{LIH2}$ | $V_I$ = $V_{DD}$ | X1, X2[注] | | | 20 | μA |
| ロウ・レベル入力リーク電流 | $I_{LIL1}$ | $V_I$ = 0 V | P00-P03, P13, P14, P16, P17, P20-P23, P50, P53, P54, $\overline{\text{RESET}}$ | | | −3 | μA |
| | $I_{LIL2}$ | | X1, X2[注] | | | −20 | μA |
| ハイ・レベル出力リーク電流 | $I_{LOH}$ | $V_O$ = $V_{DD}$ | | | | 3 | μA |
| ロウ・レベル出力リーク電流 | $I_{LOL}$ | $V_O$ = 0 V | | | | −3 | μA |
| プルアップ抵抗値 | $R_L$ | $V_I$ = 0 V | | 10 | 30 | 100 | kΩ |
| FLMD0電源電圧 | Flmd | 通常動作時 | | 0 | | 0.2$V_{DD}$ | V |

**注**　X2にX1の反転入力レベルを印加している場合。

**備考**　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

★ DC特性（3/3）

（$T_A$ = −40～+85 ℃，4.0 V≦$V_{DD}$≦5.5 V, 4.0 V≦$AV_{REF}$≦$V_{DD}$, $V_{SS}$ = $AV_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | | | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|---|
| 電源電流[注1] | $I_{DD1}$ | X1水晶発振クロック動作モード[注2] | $f_{XP}$ = 20 MHz<br>$V_{DD}$ = 5.0 V±10 %[注3] | A/Dコンバータ停止時 | | 17 | 34 | mA |
| | | | | A/Dコンバータ動作時[注4] | | 18 | 36 | mA |
| | $I_{DD2}$ | X1水晶発振クロックHALTモード | $f_{XP}$ = 20 MHz<br>$V_{DD}$ = 5.0 V±10 % | 周辺機能停止時 | | 4.0 | 7 | mA |
| | | | | 周辺機能動作時 | | | 14 | mA |
| | $I_{DD3}$ | 低速内蔵発振クロック・モード[注5] | $V_{DD}$ = 5.0 V±10 % | | | 2 | 4 | mA |
| | $I_{DD4}$ | 高速内蔵発振クロック動作モード | $V_{DD}$ = 5.0 V±10 %[注3] | A/Dコンバータ停止時 | | 8 | 20 | mA |
| | | | | A/Dコンバータ動作時[注4] | | 9 | 22 | mA |
| | $I_{DD5}$ | 高速内蔵発振クロックHALTモード | $V_{DD}$ = 5.0 V±10 % | 周辺機能停止時 | | 3 | 6.3 | mA |
| | | | | 周辺機能動作時 | | | 9.7 | mA |
| | $I_{DD6}$ | STOPモード | $V_{DD}$ = 5.0 V±10 % | 低速内蔵発振器：OFF | | 4 | 20 | μA |
| | | | | 低速内蔵発振器：ON | | 16 | 40 | μA |

**注**1. 内部電源（$V_{DD}$）に流れるトータル電流です。周辺動作電流を含みます（ただし，ポートのプルアップ抵抗に流れる電流は含みません）。

2. $I_{DD1}$は周辺動作電流を含みます。
3. PCC = 00Hに設定したとき。
4. $AV_{REF}$端子に流れる電流を含みます。
5. X1発振停止時。

## AC特性

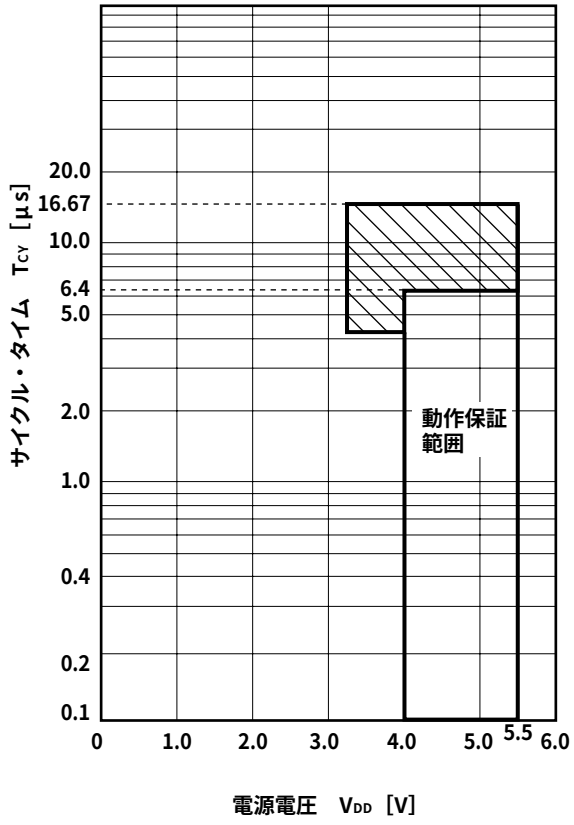
### (1) 基本動作

(TA = −40〜+85 ℃, 4.0 V≦VDD≦5.5 V, 4.0 V≦AVREF≦VDD, VSS = AVSS = 0 V)

| 項　目 | 略　号 | 条　件 | | | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|---|
| 命令サイクル（最小命令実行時間） | $T_{CY}$ | メイン・システム・クロック動作 | X1入力クロック | 4.0 V≦VDD≦5.5 V | 0.1 | | 6.4 | μs |
| | | | 低速内蔵発振クロック | 3.3 V≦VDD≦5.5 V | 4.17 | 8.33 | 16.67 | μs |
| TI000, TI001入力ハイ・レベル幅，ロウ・レベル幅 | $t_{TIH0}$, $t_{TIL0}$ | 4.0 V≦VDD≦5.5 V | | | $2/f_{sam1}$ +0.1[注] | | | μs |
| TI50入力周波数 | $f_{TI5}$ | 4.0 V≦VDD≦5.5 V | | | | | 10 | MHz |
| TI50入力ハイ・レベル幅，ロウ・レベル幅 | $t_{TIH5}$, $t_{TIL5}$ | 4.0 V≦VDD≦5.5 V | | | 50 | | | ns |
| 割り込み入力ハイ・レベル幅，ロウ・レベル幅 | $t_{INTH}$, $t_{INTL}$ | 4.0 V≦VDD≦5.5 V | | | 1 | | | μs |
| ADTRG入力ハイ・レベル幅，ロウ・レベル幅 | $t_{ADTIH}$, $t_{ADTIL}$ | 4.0 V≦VDD≦5.5 V | | | 1 | | | μs |
| $\overline{\text{RESET}}$ロウ・レベル幅 | $t_{RSL}$ | 4.0 V≦VDD≦5.5 V | | | 10 | | | μs |

**注　プリスケーラ・モード・レジスタ00(PRM00)のビット0, 1(PRM000, PRM001)により，$f_{sam1}$ = $f_{XP}$/2, $f_{XP}$/4, $f_{XP}$/256の選択が可能です。ただし，カウント・クロックとしてTI000有効エッジを選択した場合は，$f_{sam1}$ = $f_{XP}$となります。**

TCY vs VDD（メイン・システム・クロック動作時）




**備考**　斜線の部分は低速内蔵発振クロック選択時のみです。

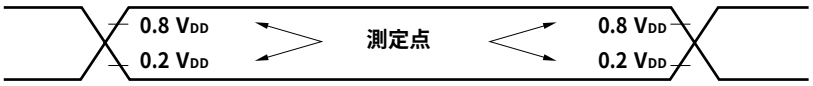
### (2) シリアル・インタフェース

（TA = −40～+85 ℃，4.0 V≦VDD≦5.5 V, 4.0 V≦AVREF≦VDD, VSS = AVSS = 0 V）

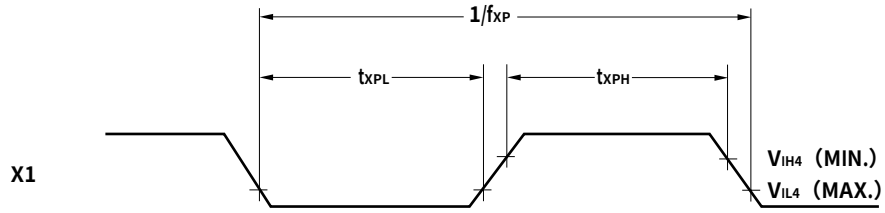
#### (a) UARTモード（UART0，専用ボー・レート・ジェネレータ出力）

| 項　目 | 略　号 | 条　件 | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|
| 転送レート | | | | | 312.5 | kbps |

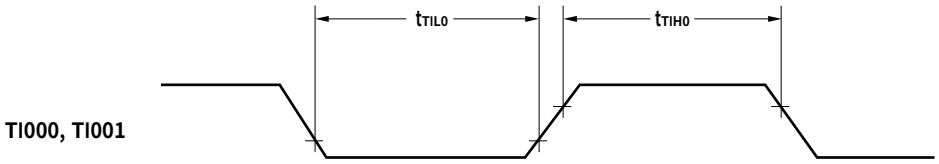
### ACタイミング測定点（X1入力を除く）

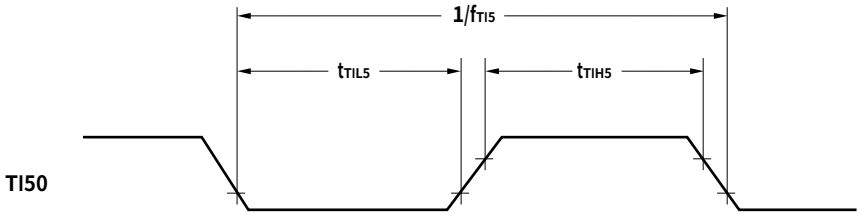



### クロック・タイミング

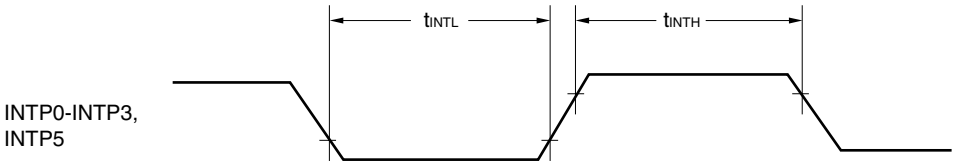



### TIタイミング

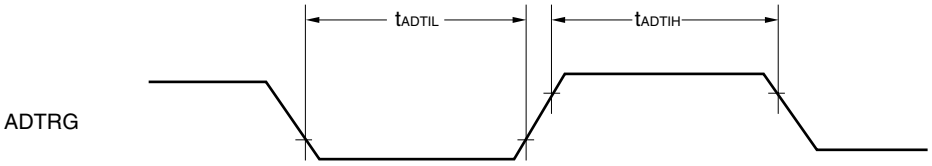


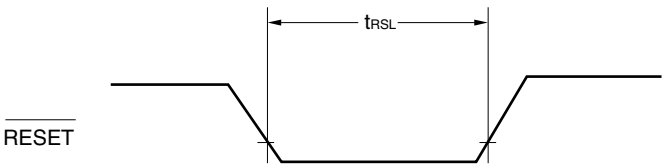
### 割り込み要求入力タイミング




### A/D トリガ入力タイミング




### $\overline{\text{RESET}}$ 入力タイミング



## A/Dコンバータ特性

（$T_A$ = －40～＋85 ℃，4.0 V≦$V_{DD}$≦5.5 V, 4.0 V≦$AV_{REF}$≦$V_{DD}$, $V_{SS}$ = $AV_{SS}$ = 0 V）

| 項　目 | 略　号 | 条　件 | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|
| 分解能 | | | 10 | 10 | 10 | Bit |
| 総合誤差注1, 2 | | 4.0 V≦$AV_{REF}$≦5.5 V | | ±0.2 | ±0.4 | %FSR |
| 変換時間 | $t_{CONV}$ | 4.5 V≦$AV_{REF}$≦5.5 V | 3.6 | | 100 | μs |
| | | 4.0 V≦$AV_{REF}$≦5.5 V | 4.8 | | 100 | μs |
| ゼロスケール誤差注1, 2 | | 4.0 V≦$AV_{REF}$≦5.5 V | | | ±0.4 | %FSR |
| フルスケール誤差注1, 2 | | 4.0 V≦$AV_{REF}$≦5.5 V | | | ±0.4 | %FSR |
| 積分直線性誤差注1 | | 4.0 V≦$AV_{REF}$≦5.5 V | | | ±2.5 | LSB |
| 微分直線性誤差注1 | | 4.0 V≦$AV_{REF}$≦5.5 V | | | ±1.5 | LSB |
| アナログ入力電圧 | $V_{IAN}$ | | $AV_{SS}$ | | $AV_{REF}$ | V |

注1. 量子化誤差（±1/2LSB）を含みません。

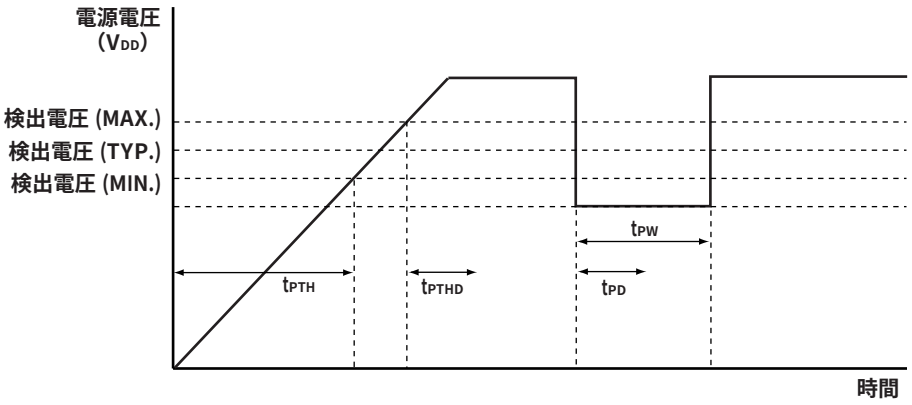
2. フルスケール値に対する比率（%FSR）で表します。

## POC回路特性（$T_A$ =－40～＋85 ℃）

| 項　目 | 略　号 | 条　件 | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|
| 検出電圧 | $V_{POC}$ | | 3.3 | 3.5 | 3.7 | V |
| 電源立ち上げ時間 | $t_{PTH}$ | $V_{DD}$ = 0 V→3.3 V | 0.002 | | | ms |
| 応答ディレイ時間1注 | $t_{PTHD}$ | 電源立ち上げ時，検出電圧（MAX.）に達したあと | | | 3.0 | ms |
| 応答ディレイ時間2注 | $t_{PD}$ | $V_{DD}$降下時 | | | 1.0 | ms |
| 最小パルス幅 | $t_{PW}$ | | 0.2 | | | ms |

注　検出電圧を検出してからリセットを解除するまでの時間です。

## POC回路タイミング



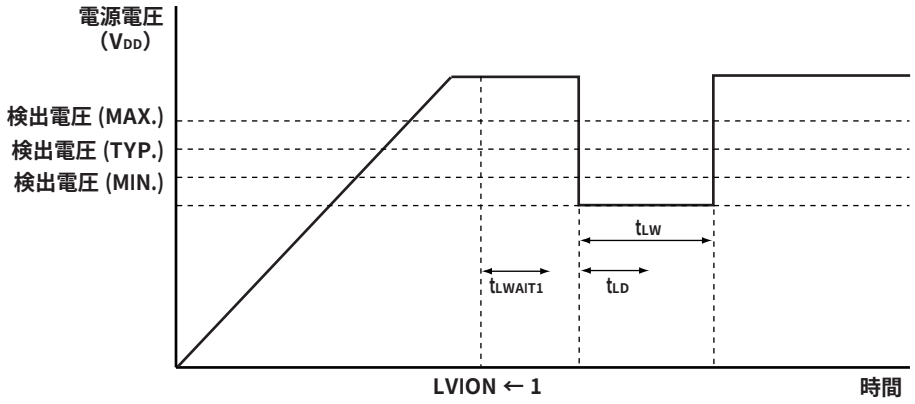
### LVI回路特性（$T_A$ =－40～＋85 ℃）

| 項　　目 | 略　号 | 条　　件 | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|
| 検出電圧 | $V_{LVI}$ | | 4.1 | 4.3 | 4.5 | V |
| 応答時間[注1] | $t_{LD}$ | | | 0.2 | 2.0 | ms |
| 最小パルス幅 | $t_{LW}$ | | 0.2 | | | ms |
| 動作安定待ち時間[注2] | $t_{LWAIT1}$ | | | 0.1 | 0.2 | ms |

**注**1.　検出電圧を検出して割り込みまたは内部リセットを出力するまでの時間です。

2.　LVIONに1を設定してから，動作が安定するまでの時間です。

### LVI回路タイミング




### データ・メモリSTOPモード低電源電圧データ保持特性（$T_A$ =－40～＋85 ℃）

| 項　　目 | 略　号 | 条　　件 | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|
| データ保持電源電圧 | $V_{DDDR}$ | | 2.0 | | 5.5 | V |
| リリース信号セット時間 | $t_{SREL}$ | | 0 | | | μs |

## フラッシュ・メモリ・プログラミング特性

（$T_A$ = −10〜+85 ℃，4.0 V≦$V_{DD}$≦5.5 V, 4.0 V≦$AV_{REF}$≦$V_{DD}$, $V_{SS}$ = 0 V）

### （1）基本特性

| 項　目 | | 略　号 | 条　件 | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|---|
| $V_{DD}$電源電流 | | $I_{DD}$ | $f_X$ = 20 MHz, $V_{DD}$ = 5.0 V時 | | | 42 | mA |
| ステップ消去時間 | | $T_{erass}$ | | | 10 | | ms |
| 消去時間[注1] | チップ単位 | $T_{eraca}$ | | | 0.01 | 2.55 | s |
| | セクタ単位 | $T_{erasa}$ | | | 0.01 | 2.55 | s |
| 書き込み時間 | | $T_{wrwa}$ | | | 50 | 500 | μs |
| ★ 1チップあたりの書き換え回数 | | $C_{erwr}$ | 過去1回＋消去後の書き込み1回 = 書き換え回数1回とする[注2] | | | 100 | 回 |

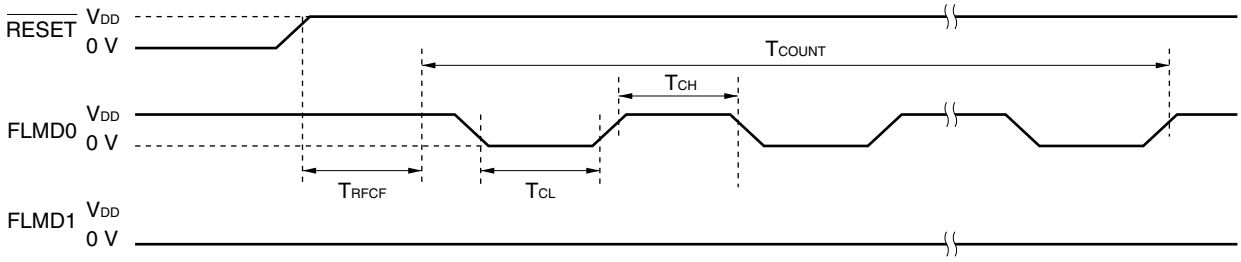
**注**1. 消去ベリファイ時間（ライトバック時間）は含まれません。

2. あるセクタ（2 Kバイト）に，1ワード単位で512回に分けて書き込みを行ったあとセクター消去を行った場合，書き換え回数は1回となります。消去1回に対し，同一番地に2回以上の書き込みは禁止です。

### （2）シリアル書き込みオペレーション特性

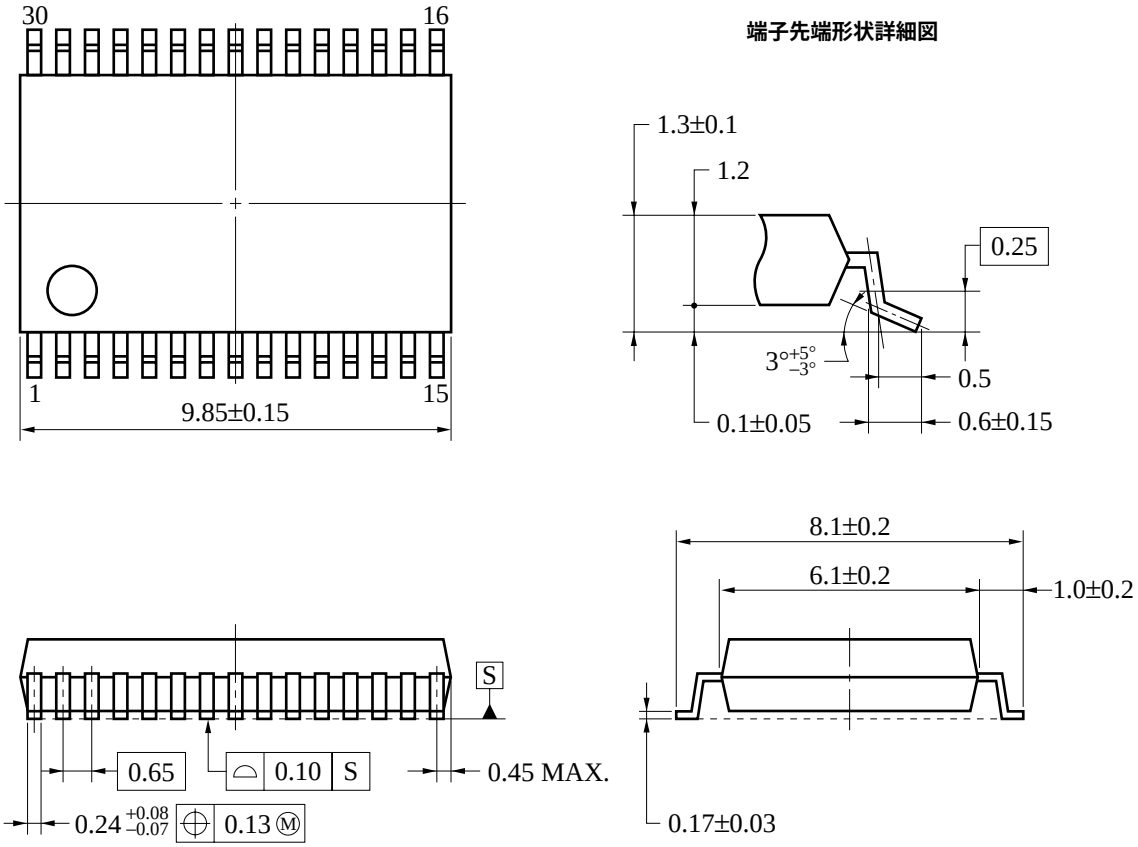
| 項　目 | 略　号 | 条　件 | MIN. | TYP. | MAX. | 単　位 |
|---|---|---|---|---|---|---|
| $\overline{RESET}$ ↑ →FLMD0カウント開始時間 | $T_{RFCF}$ | | $2^{19}/f_X+\alpha$ | | | μs |
| カウント実行時間 | $T_{COUNT}$ | | | | 10 | ms |
| FLMD0カウンタ ハイ／ロウ・レベル幅 | $T_{CH}/T_{CL}$ | | 10 | | 100 | μs |

## シリアル書き込みオペレーション



# 第26章　外 形 図

**30ピン・プラスチック・SSOP（7.62 mm（300））外形図（単位：mm）**




S30MC-65-5A4-2

# 第27章　ウエイトに関する注意事項

## 27.1　ウエイトに関する注意事項

この製品は，内部に２種類のシステム・バスを有しています。

１つはCPU用バスで，もう１つは低速周辺ハードウエアとのインタフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期の関係となるため，CPUと周辺ハードウエアとのアクセス間に競合が発生した場合は，予期せぬ不正データの受け渡しが行われる可能性があります。

したがって，競合の恐れがある周辺ハードウエアへのアクセス時には，CPUは正しいデータの受け渡しが行われるまで，処理を繰り返し実行します。

その結果，CPUは次の命令処理に移行せず，CPU処理としてウエイト状態となるため，このウエイトが発生した場合，命令の実行クロック数がウエイト・クロック数分長くなります（ウエイト・クロック数については**表27－1**を参照）。リアルタイム性が要求される処理を行う場合は，注意してください。

## 27.2　ウエイトが発生する周辺ハードウエア

CPUからのアクセス時にウエイト要求が発生するレジスタとCPUのウエイト・クロック数（VSWC = 0の場合）を表27－１に示します。

**表27－１　ウエイトが発生するレジスタとCPUのウエイト・クロック数（VSWC = 0の場合）**

| 周辺ハードウエア | 対象レジスタ | 対象アクセス | ウエイト・クロック数 |
|---|---|---|---|
| ウォッチドッグ・タイマ | WDTM | ライト | 3クロック（固定） |
| シリアル・インタフェースUART00 | ASIS00 | リード | 1クロック（固定） |
| A/Dコンバータ | ADM | ライト | 1～5クロック注<br>（ADM.5 = “１”選択時）<br>1～9クロック注<br>（ADM.5 = “０”選択時） |
| | ADS | ライト | |
| | PFM | ライト | |
| | PFT | ライト | |
| | ADCR | リード | 1～5クロック<br>（ADM.5フラグ = “１”選択時）<br>1～9クロック<br>（ADM.5フラグ = “０”選択時） |
| | 〈最大ウエイト・クロック数算出式〉<br>{(1/$f_{MACRO}$)×2／(1/$f_{CPU}$)}＋1<br>※小数点以下は，（1/ $f_{CPU}$）をかけて$t_{CPUL}$以下であれば切り捨て，$t_{CPUL}$を越える場合には切り上げる。<br>$f_{MACRO}$ ：マクロ動作周波数<br>（ADMのビット5（FR2）= “１”のとき：$f_X$/2 , ADMのビット5（FR2）= “０”のとき：$f_X$/$2^2$）<br>$f_{CPU}$ ：CPUクロック周波数<br>$t_{CPUL}$ ：CPUクロックのロウ・レベル幅 | | |

注　算出式によりウエイト・クロック数が1クロックとなる場合は，CPUに対するウエイトは発生しません。

備考　クロックは，CPUクロック（$f_{CPU}$）を示します。

# 27.3　ウエイト発生例

①ウォッチドッグ・タイマ

〈MOV　WDTM , A　実行時〉

実行クロック数：８クロック

（ウエイトが発生しないレジスタへの書き込み時は（MOV　sfr，A）の場合，５クロック）

〈MOV　WDTM , #byte　実行時〉

実行クロック数：10クロック

（ウエイトが発生しないレジスタへの書き込み時は（MOV　sfr，#byte）の場合，７クロック）

②シリアル・インタフェースUART00

〈MOV　A , ASIS00　実行時〉

実行クロック数：６クロック

（ウエイトが発生しないレジスタからの読み出し時は（MOV　A，sfr）の場合，５クロック）

③A/Dコンバータ

**表27－２　ウエイト発生時のウエイト・クロック数と実行クロック数（A/Dコンバータ）**

＜MOV ADM，A実行時，MOV ADS，A実行時，MOV A，ADCR実行時＞

・$f_X$ = 10 MHz, $t_{CPUL}$ = 50 ns時

| ADMレジスタのビット5（FR2）の値 | $f_{CPU}$ | ウエイト・クロック数 | 実行クロック数 |
|---|---|---|---|
| 0 | $f_X$ | ９クロック | 14クロック |
| | $f_X/2$ | ５クロック | 10クロック |
| | $f_X/2^2$ | ３クロック | ８クロック |
| | $f_X/2^3$ | ２クロック | ７クロック |
| | $f_X/2^4$ | ０クロック（１クロック注） | ５クロック（６クロック注） |
| 1 | $f_X$ | ５クロック | 10クロック |
| | $f_X/2$ | ３クロック | ８クロック |
| | $f_X/2^2$ | ２クロック | ７クロック |
| | $f_X/2^3$ | ０クロック（１クロック注） | ５クロック（６クロック注） |
| | $f_X/2^4$ | ０クロック（１クロック注） | ５クロック（６クロック注） |

注　MOV A, ADCR実行時。

備考　クロックは，CPUクロック（$f_{CPU}$）を示します。

$f_X$　：X1入力クロック周波数

$t_{CPUL}$　：CPUクロックのロウ・レベル幅

★

# 付録A　開発ツール

μPD78F0711, 78F0712を使用するシステム開発のために次のような開発ツールを用意しています。
図A－１に開発ツール構成を示します。

**●PC98-NXシリーズへの対応について**

特に断りのないかぎり，IBM PC/AT™互換機でサポートされている製品については，PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は，IBM PC/AT互換機の説明を参照してください。

**●Windows®について**

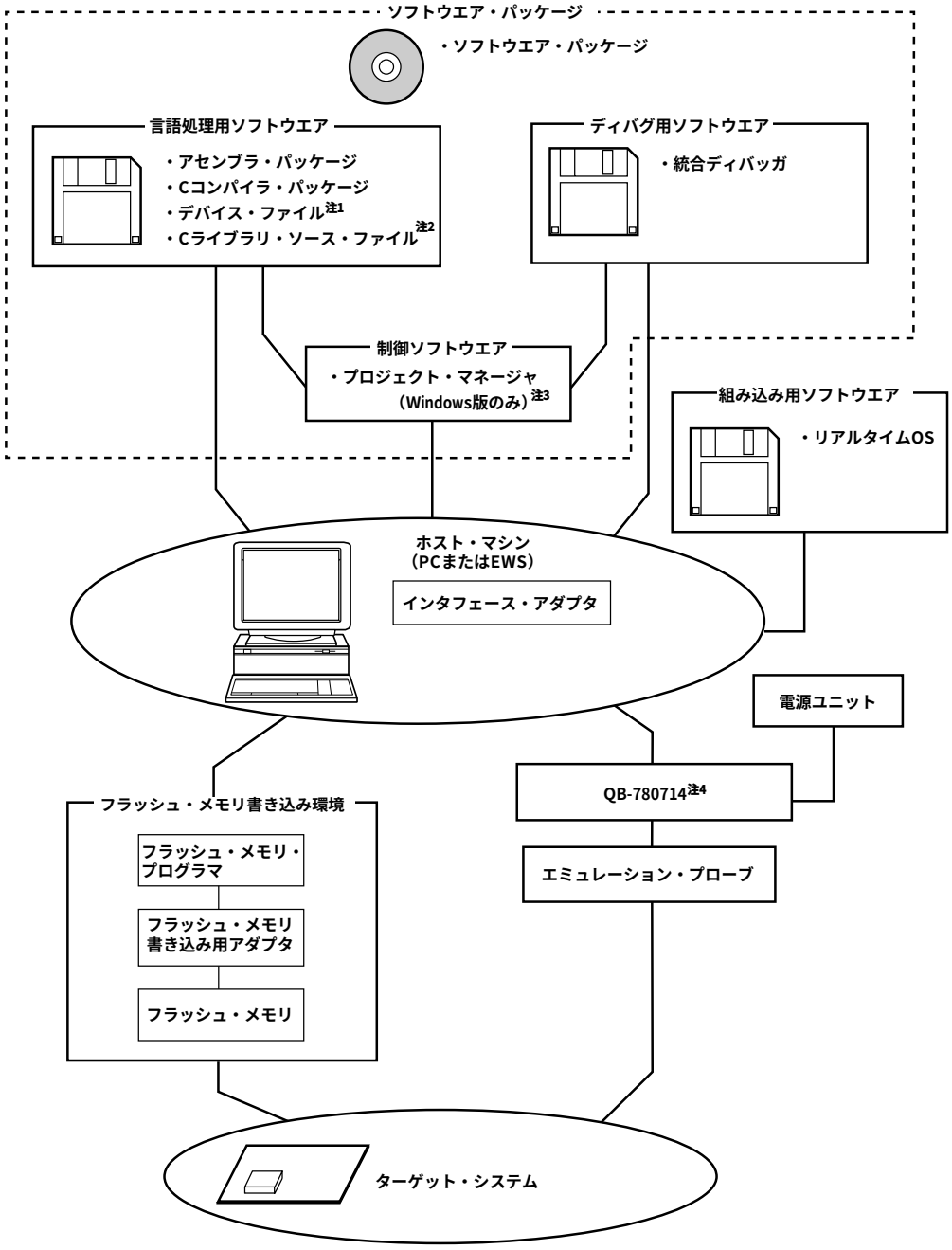
特に断りのないかぎり，「Windows」は次のOSを示しています。

- Windows 3.1
- Windows 95, Windows 98, Windows 2000, Windows XP
- Winsows NT® Ver. 4.0

**注意　μPD78F0711, 78F0712の開発ツールについては，当社販売員にお問い合わせください。**

図A－1　開発ツール構成（1/3）

（1）インサーキット・エミュレータ　QB-780714を使用する場合




**注1．**μPD78F0711, 78F0712用のデバイス・ファイル（DF780714）は，開発ツールのダウンロード・サイト（http://www.necel.com/micro/ods/jpn/index.html）より入手してください。

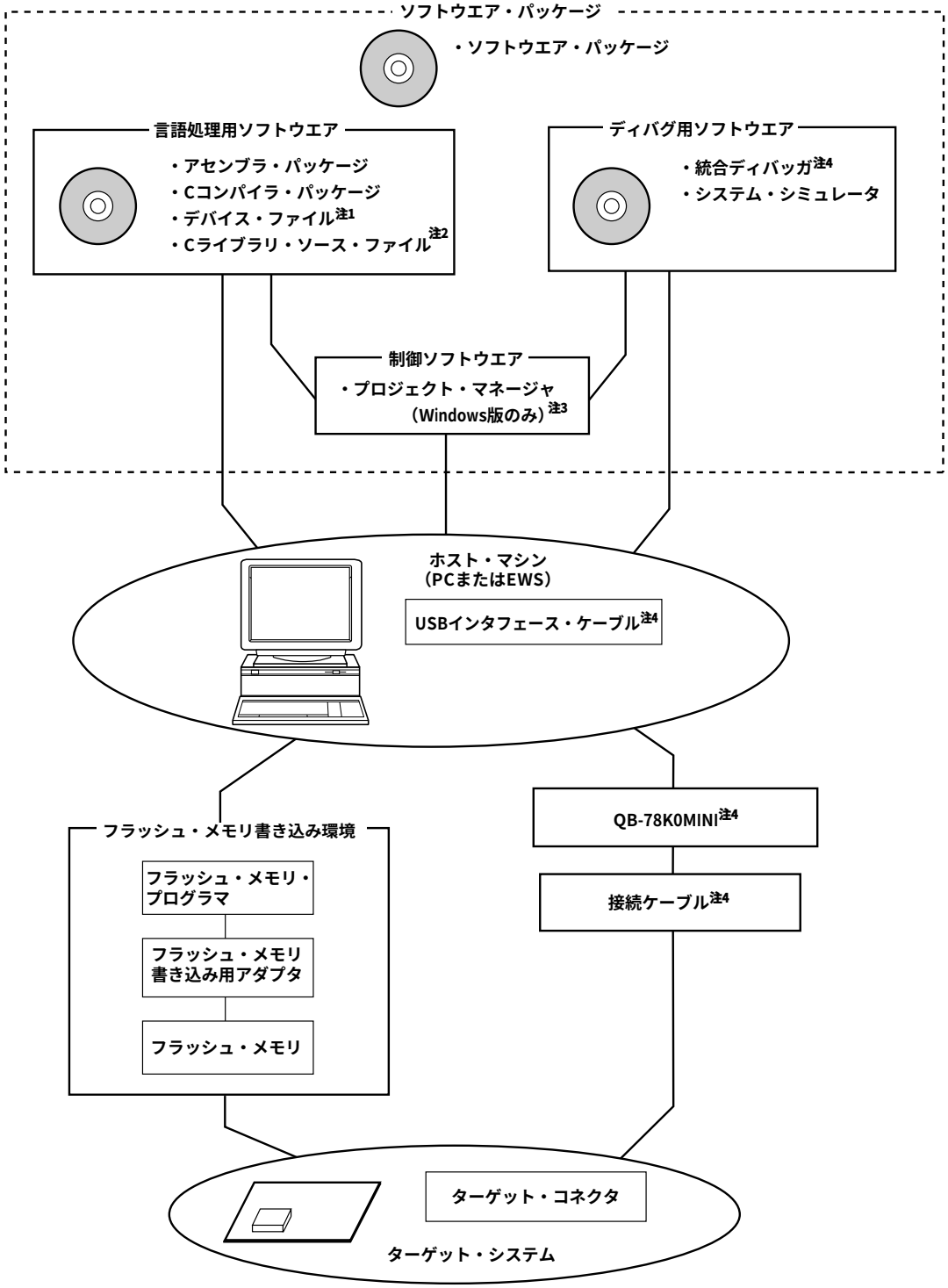
**2．**Cライブラリ・ソース・ファイルは，ソフトウエア・パッケージには含まれていません。

**3．**プロジェクト・マネージャ　PM+は，アセンブラ・パッケージに入っています。
また，Windows以外ではPM+は使用しません。

**4．**インサーキット・エミュレータQB-780714は，統合ディバッガ　ID78K0-QB，フラッシュ・メモリ・プログラマ　PG-FPL（またはQB-MINI2），電源ユニットとUSBインタフェース・ケーブルを添付しています。それ以外の製品はオプションです。QB-MINI2を使用する場合，QB-MINI2を操作するためのソフトウエアを，MINICUBE2のホームページ（http://www.necel.com/micro/ja/development/asia/minicube2/minicube2.html）より入手してください。

図A－1　開発ツール構成（2/3）

（2）オンチップ・ディバグ・エミュレータ　QB-78K0MINIを使用する場合




**注1．**μPD78F0711, 78F0712用のデバイス・ファイル（DF780714）は，開発ツールのダウンロード・サイト（http://www.necel.com/micro/ods/jpn/index.html）より入手してください。

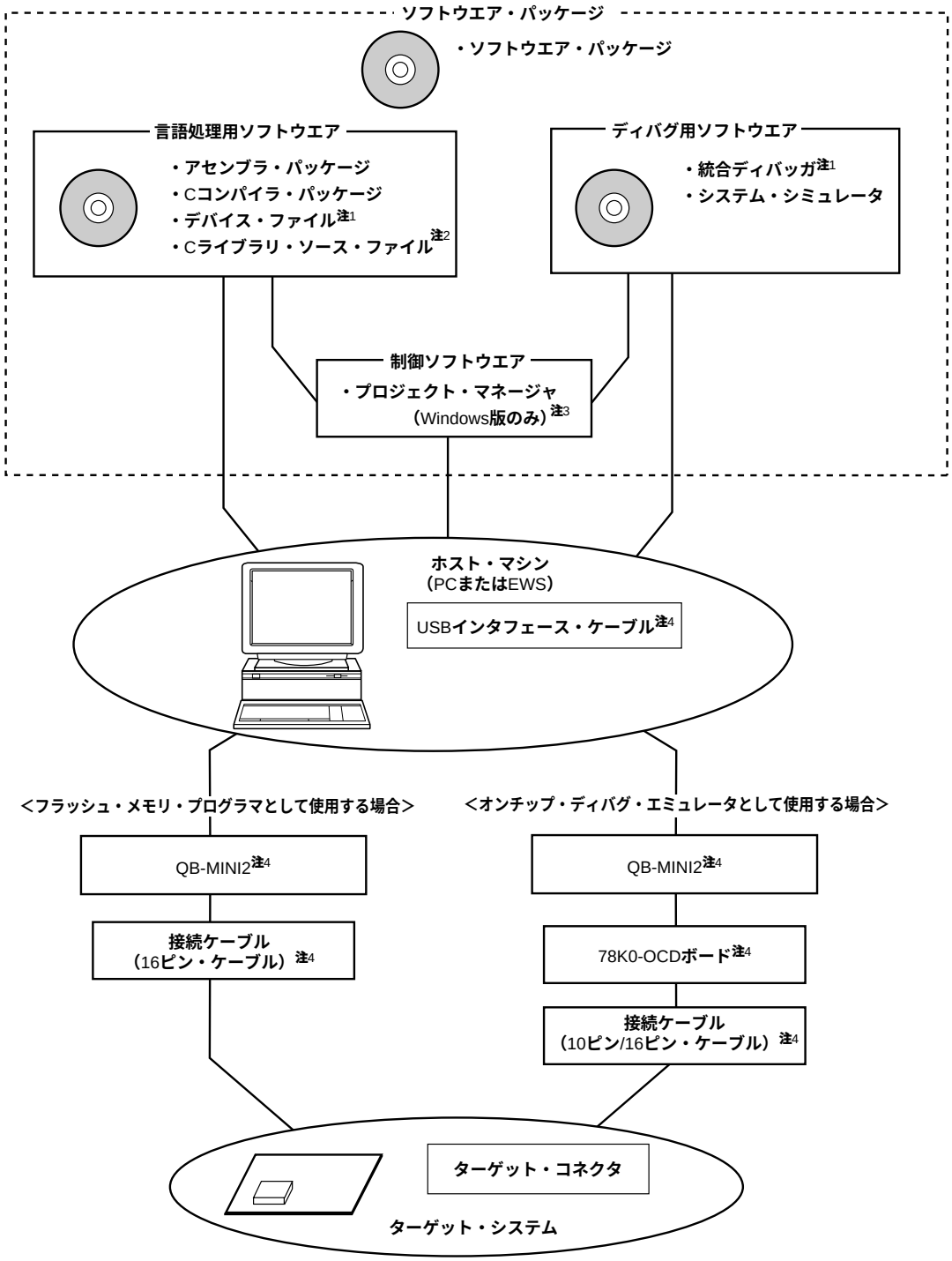
**2．**Cライブラリ・ソース・ファイルは，ソフトウエア・パッケージには含まれていません。

**3．**プロジェクト・マネージャ　PM+は，アセンブラ・パッケージに入っています。
また，Windows以外ではPM+は使用しません。

**4．**オンチップ・ディバグ・エミュレータQB-78K0MINIは，統合ディバッガ　ID78K0-QB, USBインタフェース・ケーブル，接続ケーブルを添付しています。それ以外の製品はオプションです。

図A－1　開発ツール構成（3/3）

(3) プログラミング機能付きオンチップ・ディバグ・エミュレータ　QB-MINI2を使用する場合




**注1．**μPD78F0711, 78F0712用のデバイス・ファイル（DF780714）および統合ディバッガ　ID78K0-QBは，開発ツールのダウンロード・サイト（http://www.necel.com/micro/ods/jpn/index.html）より入手してください。

**2．**Cライブラリ・ソース・ファイルは，ソフトウエア・パッケージには含まれていません。

**3．**プロジェクト・マネージャ PM+は，アセンブラ・パッケージに入っています。
また，Windows以外ではPM+は使用しません。

**4．**QB-MINI2は，USBインタフェース・ケーブル，接続ケーブル（10ピン・ケーブル，16ピン・ケーブル），78K0-OCDボードを添付しています。それ以外の製品はオプションです。また，QB-MINI2を操作するためのソフトウエアを，MINICUBE2のホームページ（http://www.necel.com/micro/ja/development/asia/minicube2/minicube2.html）より入手してください。

# A.1　ソフトウエア・パッケージ

| | |
|---|---|
| SP78K0<br>78K/0シリーズ・ソフトウエア・<br>パッケージ | 78K/0シリーズ共通の開発ツール（ソフトウエア）を１つのパッケージにした製品です。 |
| | オーダ名称：μS××××SP78K0 |

**備考**　オーダ名称の××××は，使用するホスト・マシン，OSにより異なります。

μS××××SP78K0

| ×××× | ホスト・マシン | OS | 供給媒体 |
|---|---|---|---|
| AB17 | PC-9800シリーズ，<br>IBM PC/AT互換機 | 日本語Windows | CD-ROM |
| BB17 | | 英語Windows | |

# A.2　言語処理用ソフトウエア

| | |
|---|---|
| RA78K0<br>アセンブラ・パッケージ | ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。<br>このほかに，シンボル・テーブルの生成，分岐命令の最適化処理などを自動的に行う機能を備えています。<br>別売のデバイス・ファイル（DF780714）と組み合わせて使用します。<br>**＜PC環境で使用する場合の注意＞**<br>アセンブラ・パッケージはDOSベースのアプリケーションですが，Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより，Windows環境でも使用できます。 |
| | オーダ名称：μS××××RA78K0 |
| CC78K0<br>Cコンパイラ・パッケージ | C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。<br>別売のアセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。<br>**＜PC環境で使用する場合の注意＞**<br>Cコンパイラ・パッケージはDOSベースのアプリケーションですが，Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより，Windows環境でも使用できます。 |
| | オーダ名称：μS××××CC78K0 |
| DF780714[注1]<br>デバイス・ファイル | デバイス固有の情報が入ったファイルです。<br>別売の各ツール（RA78K0, CC78K0, ID78K0-QB）と組み合わせて使用します。<br>対応OS，ホスト・マシンは組み合わされる各ツールに依存します。 |
| | オーダ名称：μS××××DF780714 |
| CC78K0-L[注2]<br>Cライブラリ・ソース・<br>ファイル | Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。<br>Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。<br>ソース・ファイルのため，動作環境はOSに依存しません。 |
| | オーダ名称：μS××××CC78K0-L |

**注1．**DF780714は，RA78K0, CC78K0, ID78K0-QBのすべての製品に共通に使用できます。開発ツールのダウンロード・サイト（http:www.necel.com/micro/ods/jpn/index.html）より入手してください。

**2．**CC78K0-Lは，ソフトウエア・パッケージ（SP78K0）には含まれていません。

**備考**　オーダ名称の××××は，使用ソフト・マシン，OSにより異なります。

μS××××RA78K0
μS××××CC78K0
μS××××CC78K0-L

| ×××× | ホスト・マシン | OS | 供給媒体 |
|---|---|---|---|
| AB17 | PC-9800シリーズ，<br>IBM PC/AT互換機 | 日本語Windows | CD-ROM |
| BB17 | | 英語Windows | |
| 3P17 | HP9000シリーズ700™ | HP-UX™（Rel.10.10） | |
| 3K17 | SPARCstation™ | SunOS™（Rel.４.１.４），<br>Solaris™（Rel.２.５.１） | |

μS××××DF780714

| ×××× | ホスト・マシン | OS | 供給媒体 |
|---|---|---|---|
| AB13 | PC-9800シリーズ，<br>IBM PC/AT互換機 | 日本語Windows | 3.5インチ2HD FD |
| BB13 | | 英語Windows | |

## A.3　制御ソフトウエア

| | |
|---|---|
| PM+<br>プロジェクト・マネージャ | Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウエアです。プロジェクト・マネージャ上から，エディタの起動，ビルド，ディバッガの起動など，ユーザ・プログラム開発の一連の作業を行うことができます。<br>＜注意＞<br>プロジェクト・マネージャはアセンブラ・パッケージ（RA78K0）の中に入っています。<br>Windows以外の環境では使用できません。 |

# A.4　フラッシュ・メモリ書き込み用ツール

## A.4.1　フラッシュ・メモリ・プログラマ　PG-FP5, FL-PR5, PG-FP4, FL-PR4, PG-FPLを使用する場合

| | |
|---|---|
| FL-PR4, PG-FP4, FL-PR5, PG-FP5<br>フラッシュ・メモリ・プログラマ | フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。 |
| PG-FPLフラッシュ・メモリ・プログラマ | フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。<br>インサーキット・エミュレータQB-780714の付属品です。 |
| FA-30MC-5A4-A<br>フラッシュ・メモリ書き込み用アダプタ | フラッシュ・メモリ書き込み用アダプタです。フラッシュ・メモリ・プログラマに接続して使用します。<br>・FA-30MC-5A4-A：<br>30ピン・プラスチックSSOP（MC-5A4タイプ）用 |

**備考１．** FL-PR5, FL-PR4, FA-30MC-5A4-Aは，株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（TEL（042）750-4172）

**２．** フラッシュ・メモリ書き込み用アダプタは，最新のものをお使いください。

## A.4.2　プログラミング機能付きオンチップ・ディバグ・エミュレータ　QB-MINI2を使用する場合

| | |
|---|---|
| QB-MINI2<br>プログラミング機能付きオンチップ・ディバグ・エミュレータ | フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。<br>μPD78F0711, 78F0712を使用する応用システムを開発する際に，ハードウエア，ソフトウエアをディバグするためのオンチップ・ディバグ・エミュレータとしても使用できます。<br>添付の接続ケーブル（16ピン・ケーブル），およびホスト・マシンと接続するためのUSBインタフェース・ケーブルを使用します。 |
| ターゲット・コネクタの仕様 | 2.54 mmピッチの16ピン汎用コネクタ |

**備考１．** QB-MINI2は，USBインタフェース・ケーブル，接続ケーブル（10ピン・ケーブル，16ピン・ケーブル），78K0-OCDボードを添付しています。そのうち，接続ケーブル（10ピン・ケーブル）と78K0-OCDボードは，オンチップ・ディバグ時のみに使用します。

**２．** QB-MINI2を操作するためのソフトウエアを，MINICUBE2のホームページ（http://www.necel.com/micro/ja/development/asia/minicube2/minicube2.html）より入手してください。

# A.5　ディバグ用ツール（ハードウエア）

## A. 5.1　インサーキット・エミュレータ　QB-780714を使用する場合

| | |
|---|---|
| QB-780714[注]<br>インサーキット・エミュレータ | μPD78F0711, 78F0712を使用する応用システムを開発する際に，ハードウエア，ソフトウエアをディバグするためのインサーキット・エミュレータです。統合ディバッガ（ID78K0-QB）に対応しています。電源ユニット，およびエミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は，USBを使用します。 |
| QB-144-CA-01<br>チェック・ピン・アダプタ | オシロスコープなどで波形観測を行う際に使用するアダプタです。 |
| QB-80-EP-01T<br>エミュレーション・プローブ | インサーキット・エミュレータとターゲット・システムを接続するためのフレキシブル・タイプのプローブです。 |
| QB-30MC-EA-03T<br>エクスチェンジ・アダプタ | インサーキット・エミュレータからターゲット･コネクタへピン変換を行うアダプタです。<br>・QB-30MC-EA-03T：30ピン・プラスチックSSOP（MC-5A4タイプ）用 |
| QB-30MC-YS-01T<br>スペース・アダプタ | ターゲット・システムとインサーキット・エミュレータ間の高さを必要に応じて調節するアダプタです。<br>・QB-30MC-YS-01T：30ピン・プラスチックSSOP（MC-5A4タイプ）用 |
| QB-30MC-YQ-01T<br>YQコネクタ | ターゲット・コネクタとエクスチェンジ・アダプタを接続するコネクタです。<br>・QB--30MC-YQ-01T：30ピン・プラスチックSSOP（MC-5A4タイプ）用 |
| QB-30MC-HQ-01T<br>マウント・アダプタ | 対象デバイスをソケット実装するためのアダプタです。<br>・QB-30MC-HQ-01T：30ピン・プラスチックSSOP（MC-5A4タイプ），オンチップ・ディバグ機能ありのデバイス用 |
| QB-30MC-NQ-01T<br>ターゲット・コネクタ | ターゲット・システムへ実装するためのコネクタです。<br>・QB-30MC-NQ-01T：30ピン・プラスチックSSOP（MC-5A4タイプ）用 |

**注**　QB-780714は，電源ユニット，USBインタフェース・ケーブル，フラッシュ・メモリ・プログラマ　PG-FPLを添付しています。また，コントロール・ソフトウエアとして，統合ディバッガ　ID78K0-QBを添付しています。

**備考**　オーダ名称により，梱包内容は次のように異なります。

| 梱包内容 / オーダ名称 | インサーキット・エミュレータ | エミュレーション・プローブ | エクスチェンジ・アダプタ | YQコネクタ | ターゲット・コネクタ |
|---|---|---|---|---|---|
| QB-780714-ZZZ | QB-780714 | なし | | | |
| QB-780714-T30MC | | QB-80-EP-01T | QB-30MC-EA-03T | QB-30MC-YQ-01T | QB-30MC-NQ-01T |

## A. 5.2　オンチップ・ディバグ・エミュレータ　QB-78K0MINIを使用する場合

| | |
|---|---|
| QB-78K0MINI[注]<br>オンチップ・ディバグ・エミュレータ | μPD78F0711, 78F0712を使用する応用システムを開発する際に，ハードウエア，ソフトウエアをディバグするためのオンチップ・ディバグ・エミュレータです。付属の統合ディバッガ（ID78K0-QB）に対応しています。付属の接続ケーブル，およびホスト・マシンと接続するためのUSBインタフェース・ケーブルを使用します。 |
| ターゲット・コネクタの仕様 | 2.54 mmピッチの10ピン汎用コネクタ |

**注**　QB-78K0MINIは，USBインタフェース・ケーブル，接続ケーブル，統合ディバッガ　ID78K0-QBを添付しています。

### A.5.3　プログラミング機能付きオンチップ・ディバグ・エミュレータ　QB-MINI2を使用する場合

| | |
|---|---|
| QB-MINI2<br>プログラミング機能付きオンチップ・ディバグ・エミュレータ | μPD78F0711, 78F0712を使用する応用システムを開発する際に，ハードウエア，ソフトウエアをディバグするためのオンチップ・ディバグ・エミュレータです。フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマとしても使用できます。<br>添付の接続ケーブル（10ピンまたは16ピン・ケーブル），ホスト・マシンと接続するためのUSBインタフェース・ケーブルおよび78K0-OCDボードを使用します。 |
| ターゲット・コネクタの仕様 | 2.54 mmピッチの10ピン汎用コネクタまたは2.54 mmピッチの16ピン汎用コネクタ |

**備考１．** QB-MINI2は，USBインタフェース・ケーブル，接続ケーブル（10ピン・ケーブル，16ピン・ケーブル），78K0-OCDボードを添付しています。そのうち，接続ケーブル（10ピン・ケーブル）と78K0-OCDボードは，オンチップ・ディバグ時のみに使用します。

**２．** QB-MINI2を操作するためのソフトウエアを，MINICUBE2のホームページ（http://www.necel.com/micro/ja/development/asia/minicube2/minicube2.html）より入手してください。

## A.6　ディバグ用ツール（ソフトウエア）

| | |
|---|---|
| ID78K0-QB<br>統合ディバッガ | 78K/0マイクロコントローラ用のインサーキット・エミュレータに対応したディバッガです。ID78K0-QBは，Windowsベースのソフトウエアです。<br>C言語対応のディバグ機能を強化しており，ソース・プログラムや逆アセンブル表示，メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより，トレース結果をソース・プログラムと対応させて表示することもできます。<br>別売のデバイス・ファイルと組み合わせて使用します。 |
| | オーダ名称：μS××××ID78K0-QB |

**備考**　オーダ名称の××××は，使用するホスト・マシン，OSにより異なります。

μS××××ID78K0-QB

| ×××× | ホスト・マシン | OS | 供給媒体 |
|---|---|---|---|
| AB17 | PC-9800シリーズ，<br>IBM PC/AT互換機 | 日本語Windows | CD-ROM |
| BB17 | | 英語Windows | |

# 付録B　レジスタ索引

## B.1　レジスタ索引（50音順）


[あ行]

アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ00（ASIS00）…　238
アシンクロナス・シリアル・インタフェース動作モード・レジスタ00（ASIM00）…　236
アナログ入力チャネル指定レジスタ（ADS）…　210
インバータ・タイマ・コントロール・レジスタ（TW0C）　…　104
インバータ・タイマ出力制御レジスタ（TW0OC）　…　108
インバータ・タイマ・モード・レジスタ（TW0M）　…　106
ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）…　178
ウォッチドッグ・タイマ・モード・レジスタ（WDTM）…　177
A/Dコンバータ・モード・レジスタ（ADM）…　206
A/Dトリガ選択レジスタ（TW0TRGS）　…　107
A/D変換結果レジスタ（ADCR）…　211

[か行]

外部割り込み立ち上がりエッジ許可レジスタ（EGP）…　274
外部割り込み立ち下がりエッジ許可レジスタ（EGN）…　274
キャプチャ／コンペア・コントロール・レジスタ00（CRC00）…　123

[さ行]

システム・ウエイト制御レジスタ（VSWC）　…　84
10ビット・アップ／ダウン・カウンタ（TW0UDC）　…　102
10ビット・コンペア・レジスタ0（TW0CM0）　…　102
10ビット・コンペア・レジスタ1（TW0CM1）　…　102
10ビット・コンペア・レジスタ2（TW0CM2）　…　102
10ビット・コンペア・レジスタ3（TW0CM3）　…　102
10ビット・コンペア・レジスタ4（TW0CM4）　…　102
10ビット・コンペア・レジスタ5（TW0CM5）　…　102
10ビット・バッファ・レジスタ0（TW0BFCM0）　…　103
10ビット・バッファ・レジスタ1（TW0BFCM1）　…　103
10ビット・バッファ・レジスタ2（TW0BFCM2）　…　103
10ビット・バッファ・レジスタ3（TW0BFCM3）　…　103
10ビット・バッファ・レジスタ4（TW0BFCM4）　…　103
10ビット・バッファ・レジスタ5（TW0BFCM5）　…　103
16ビット・タイマ・カウンタ00（TM00）…　118
16ビット・タイマ・キャプチャ／コンペア・レジスタ00（CR00）…　118
16ビット・タイマ・キャプチャ／コンペア・レジスタ01（CR01）…　120
16ビット・タイマ出力コントロール・レジスタ00（TOC00）…　123

16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）… 121
受信バッファ・レジスタ00（RXB00）… 235
乗除算器コントロール・レジスタ0（DMUC0）… 259
乗除算データ・レジスタA0（MDA0H, MDA0L）… 257
乗除算データ・レジスタB0（MDB0）… 258
剰余データ・レジスタ0（SDR0）… 256
送信シフト・レジスタ00（TXS00）… 235

[た行]
タイマ・クロック選択レジスタ50（TCL50）… 159
タイマ・クロック選択レジスタ51（TCL51）… 159
低電圧検出レジスタ（LVIM）… 311
DC制御レジスタ01（DCCTL01）… 189
デッド・タイム・リロード・レジスタ（TW0DTIME）… 103
デッド・タイム・タイマ0（DTM0）… 103
デッド・タイム・タイマ1（DTM1）… 103
デッド・タイム・タイマ2（DTM2）… 103

[な行]
内蔵発振モード・レジスタ（RCM）… 79

[は行]
ハイ・インピーダンス出力制御レジスタ0（HZAOCTL0）… 199
8ビット・タイマ・カウンタ50（TM50）… 157
8ビット・タイマ・カウンタ51（TM51）… 157
8ビット・タイマ・コンペア・レジスタ50（CR50）… 157
8ビット・タイマ・コンペア・レジスタ51（CR51）… 157
8ビット・タイマ・モード・コントロール・レジスタ50（TMC50）… 161
8ビット・タイマ・モード・コントロール・レジスタ51（TMC51）… 161
発振安定時間カウンタ状態レジスタ（OSTC）… 82, 286
発振安定時間選択レジスタ（OSTS）… 83, 287
バッファ転送制御用タイマ（RTM0）… 103
パワーフェイル比較しきい値レジスタ（PFT）… 213
パワーフェイル比較モード・レジスタ（PFM）… 212
PWM選択レジスタ（DCCTL02）… 190
フラッシュ・ステータス・レジスタ（PFS）… 336
フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）… 334
フラッシュ・プロテクト・コマンド・レジスタ（PFCMD）… 336
プリスケーラ・モード・レジスタ00（PRM00）… 125
プルアップ抵抗オプション・レジスタ0（PU0）… 71
プルアップ抵抗オプション・レジスタ1（PU1）… 71
プルアップ抵抗オプション・レジスタ5（PU5）… 71
プロセッサ・クロック・コントロール・レジスタ（PCC）… 78

ボー・レート・ジェネレータ・コントロール・レジスタ00（BRGC00）…　239
ポート・モード・レジスタ0（PM0）…　68
ポート・モード・レジスタ1（PM1）…　68
ポート・モード・レジスタ5（PM5）…　68
ポート・レジスタ0（P0）…　60, 70
ポート・レジスタ1（P1）…　61, 70
ポート・レジスタ2（P2）…　65, 70
ポート・レジスタ5（P5）…　66, 70

[ま行]

メインOSCコントロール・レジスタ（MOC）…　80
メイン・クロック・モード・レジスタ（MCM）…　81
メモリ・サイズ切り替えレジスタ（IMS）…　321

[や行]

優先順位指定フラグ・レジスタ0H（PR0H）…　273
優先順位指定フラグ・レジスタ0L（PR0L）…　273
優先順位指定フラグ・レジスタ1H（PR1H）…　273
優先順位指定フラグ・レジスタ1L（PR1L）…　273

[ら行]

リアルタイム出力バッファ・レジスタ1H（RTBH01）…　186
リアルタイム出力バッファ・レジスタ1L（RTBL01）…　186
リアルタイム出力ポート・コントロール・レジスタ１（RTPC01）…　188
リアルタイム出力ポート・モード・レジスタ１（RTPM01）…　187
リセット・コントロール・フラグ・レジスタ（RESF）…　305

[わ行]

割り込みマスク・フラグ・レジスタ0H（MK0H）…　272
割り込みマスク・フラグ・レジスタ0L（MK0L）…　272
割り込みマスク・フラグ・レジスタ1H（MK1H）…　272
割り込みマスク・フラグ・レジスタ1L（MK1L）…　272
割り込み要求フラグ・レジスタ0H（IF0H）…　270
割り込み要求フラグ・レジスタ0L（IF0L）…　270
割り込み要求フラグ・レジスタ1H（IF1H）…　270
割り込み要求フラグ・レジスタ1L（IF1L）…　270

# B.2　レジスタ索引（アルファベット順）

[A]
ADCR　：A/D変換結果レジスタ　…　211
ADM　：A/Dコンバータ・モード・レジスタ　…　206
ADS　：アナログ入力チャネル指定レジスタ　…　210
ASIM00　：アシンクロナス・シリアル・インタフェース動作モード・レジスタ00　…　236
ASIS00　：アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ00　…　238

[B]
BRGC00　：ボー・レート・ジェネレータ・コントロール・レジスタ00　…　239

[C]
CR00　：16ビット・タイマ・キャプチャ／コンペア・レジスタ00　…　118
CR01　：16ビット・タイマ・キャプチャ／コンペア・レジスタ01　…　120
CR50　：8ビット・タイマ・コンペア・レジスタ50　…　157
CR51　：8ビット・タイマ・コンペア・レジスタ51　…　157
CRC00　：キャプチャ／コンペア・コントロール・レジスタ00　…　123

[D]
DCCTL01　：DC制御レジスタ01　…　189
DCCTL02　：PWM選択レジスタ　…　190
DMUC0　：乗除算器コントロール・レジスタ0　…　259
DTM0　：デッド・タイム・タイマ0　…　103
DTM1　：デッド・タイム・タイマ1　…　103
DTM2　：デッド・タイム・タイマ2　…　103

[E]
EGN　：外部割り込み立ち下がりエッジ許可レジスタ　…　274
EGP　：外部割り込み立ち上がりエッジ許可レジスタ　…　274

[F]
FLPMC　：フラッシュ・プログラミング・モード・コントロール・レジスタ　…　334

[H]
HZAOCTL0　：ハイ・インピーダンス出力制御レジスタ０　…　199

[I]
IF0H　：割り込み要求フラグ・レジスタ0H　…　270
IF0L　：割り込み要求フラグ・レジスタ0L　…　270
IF1H　：割り込み要求フラグ・レジスタ1H　…　270
IF1L　：割り込み要求フラグ・レジスタ1L　…　270
IMS　：メモリ・サイズ切り替えレジスタ　…　321

[L]

LVIM　：低電圧検出レジスタ　…　311

[M]

MCM　：メイン・クロック・モード・レジスタ　…　81
MDA0H　：乗除算データ・レジスタA0　…　257
MDA0L　：乗除算データ・レジスタA0　…　257
MDB0　：乗除算データ・レジスタB0　…　258
MK0H　：割り込みマスク・フラグ・レジスタ0H　…　272
MK0L　：割り込みマスク・フラグ・レジスタ0L　…　272
MK1H　：割り込みマスク・フラグ・レジスタ1H　…　272
MK1L　：割り込みマスク・フラグ・レジスタ1L　…　272
MOC　：メインOSCコントロール・レジスタ　…　80

[O]

OSTC　：発振安定時間カウンタ状態レジスタ　…　82, 286
OSTS　：発振安定時間選択レジスタ　…　83, 287

[P]

P0　：ポート・レジスタ0　…　60, 70
P1　：ポート・レジスタ1　…　61, 70
P2　：ポート・レジスタ2　…　65, 70
P5　：ポート・レジスタ5　…　66, 70
PCC　：プロセッサ・クロック・コントロール・レジスタ　…　78
PFCMD　：フラッシュ・プロテクト・コマンド・レジスタ　…　336
PFM　：パワーフェイル比較モード・レジスタ　…　212
PFS　：フラッシュ・ステータス・レジスタ　…　336
PFT　：パワーフェイル比較しきい値レジスタ　…　213
PM0　：ポート・モード・レジスタ0　…　68
PM1　：ポート・モード・レジスタ1　…　68
PM5　：ポート・モード・レジスタ5　…　68
PR0H　：優先順位指定フラグ・レジスタ0H　…　273
PR0L　：優先順位指定フラグ・レジスタ0L　…　273
PR1H　：優先順位指定フラグ・レジスタ1H　…　273
PR1L　：優先順位指定フラグ・レジスタ1L　…　273
PRM00　：プリスケーラ・モード・レジスタ00　…　125
PU0　：プルアップ抵抗オプション・レジスタ0　…　71
PU1　：プルアップ抵抗オプション・レジスタ1　…　71
PU5　：プルアップ抵抗オプション・レジスタ5　…　71

[R]

RCM　：内蔵発振モード・レジスタ　…　79
RESF　：リセット・コントロール・フラグ・レジスタ　…　305

RTBH01　：リアルタイム出力バッファ・レジスタ1H　…　186
RTBL01　：リアルタイム出力バッファ・レジスタ1L　…　186
RTM0　：バッファ転送制御用タイマ　…　103
RTPC01　：リアルタイム出力ポート・コントロール・レジスタ1　…　188
RTPM01　：リアルタイム出力ポート・モード・レジスタ1　…　187
RXB00　：受信バッファ・レジスタ00　…　235

[S]
SDR0　：剰余データ・レジスタ0　…　256

[T]
TCL50　：タイマ・クロック選択レジスタ50　…　159
TCL51　：タイマ・クロック選択レジスタ51　…　159
TM00　：16ビット・タイマ・カウンタ00　…　118
TM50　：8ビット・タイマ・カウンタ50　…　157
TM51　：8ビット・タイマ・カウンタ51　…　157
TMC00　：16ビット・タイマ・モード・コントロール・レジスタ00　…　121
TMC50　：8ビット・タイマ・モード・コントロール・レジスタ50　…　161
TMC51　：8ビット・タイマ・モード・コントロール・レジスタ51　…　161
TOC00　：16ビット・タイマ出力コントロール・レジスタ00　…　123
TW0BFCM0　：10ビット・バッファ・レジスタ0　…　103
TW0BFCM1　：10ビット・バッファ・レジスタ1　…　103
TW0BFCM2　：10ビット・バッファ・レジスタ2　…　103
TW0BFCM3　：10ビット・バッファ・レジスタ3　…　103
TW0BFCM4　：10ビット・バッファ・レジスタ4　…　103
TW0BFCM5　：10ビット・バッファ・レジスタ5　…　103
TW0C　：インバータ・タイマ・コントロール・レジスタ　…　104
TW0CM0　：10ビット・コンペア・レジスタ0　…　102
TW0CM1　：10ビット・コンペア・レジスタ1　…　102
TW0CM2　：10ビット・コンペア・レジスタ2　…　102
TW0CM3　：10ビット・コンペア・レジスタ3　…　102
TW0CM4　：10ビット・コンペア・レジスタ4　…　102
TW0CM5　：10ビット・コンペア・レジスタ5　…　102
TW0DTIME　：デッド・タイム・リロード・レジスタ　…　103
TW0M　：インバータ・タイマ・モード・レジスタ　…　106
TW0OC　：インバータ・タイマ出力制御レジスタ　…　108
TW0TRGS　：A/Dトリガ選択レジスタ　…　107
TW0UDC　：10ビット・アップ／ダウン・カウンタ　…　102
TXS00　：送信シフト・レジスタ00　…　235

[V]
VSWC　：システム・ウエイト制御レジスタ　…　84

[W]

WDTE　：ウォッチドッグ・タイマ・イネーブル・レジスタ　…　178
WDTM　：ウォッチドッグ・タイマ・モード・レジスタ　…　177

★

# 付録C　改版履歴

## C. 1　本版で改訂された主な箇所

(1/2)

| 箇　所 | 内　容 | 分類 |
|---|---|---|
| **はじめに** | | |
| p.7 | **開発ツール（ハードウエア）の資料（ユーザーズ・マニュアル）を変更** | (e) |
| **第1章　概　説** | | |
| p.15 | **説明を追加** | (c) |
| **第2章　端子機能** | | |
| p.22 | **表2－1　各端子の入出力バッファ電源に注を追加** | (c) |
| p.25 | **2. 2. 3（1）ポート・モードに注を追加** | (c) |
| **第3章　CPUアーキテクチャ** | | |
| p.46 | **表3－3　特殊機能レジスター覧（4/4）にレジスタを追加** | (b) |
| p.48 | **3. 3. 3　テーブル・インダイレクト・アドレシングを変更** | (b) |
| **第4章　ポート機能** | | |
| p.58 | **表4－1　各ポート端子の入出力バッファ電源に注を追加** | (c) |
| p.65 | **4. 2. 3　ポート2に注意を追加** | (c) |
| p.73 | **4. 5　ポート・レジスタn（Pn）に対する1ビット・メモリ操作命令に関する注意事項を追加** | (c) |
| **第5章　クロック発生回路** | | |
| pp.75, 77, 84 | **次の箇所にVSWCレジスタを追加**<br>**表5－1　クロック発生回路の構成**<br>**5. 3　クロック発生回路を制御するレジスタ** | (b) |
| **第6章　10ビット・インバータ制御用タイマ** | | |
| p.101 | **図6－1　10ビット・インバータ制御用タイマのブロック図を変更** | (a) |
| **第10章　リアルタイム出力ポート** | | |
| p.185 | **図10－1　リアルタイム出力ポートのブロック図を変更** | (a) |
| p.187 | **10. 3（1）リアルタイム出力ポート・モード・レジスタ1の＜開発ツールでの注意事項＞に説明を変更** | (c) |
| p.188 | **表10－3　リアルタイム出力バッファ・レジスタ1に対する操作時の動作の注1を削除** | (c) |
| p.190 | **図10－6　リアルタイム出力ポート・モード・レジスタ1のフォーマットを変更** | (c) |
| p.192 | **表10－4　制御レジスタの各ビットの設定とリアルタイム出力の関係を変更** | (a) |
| **第12章　Hi-Z出力制御回路** | | |
| p.198 | **図12－1　Hi-Z出力制御回路のブロック図を変更** | (a) |
| **第14章　シリアル・インタフェースUART00** | | |
| p.232 | **14. 1（2）アシンクロナス・シリアル・インタフェース（UART）モードに注意を追加** | (c) |
| p.235 | **14. 2（3）送信シフト・レジスタ00（TXS00）に注意を追加** | (c) |
| p.237 | **図14－2　アシンクロナス・シリアル・インタフェース動作モード・レジスタ00（ASIM00）のフォーマットに注意を追加** | (c) |
| p.242 | **14. 4. 2（1）使用するレジスタの動作設定手順例を変更** | (c) |
| p.245 | **14. 4. 2（1）（c）送信に説明を追加** | (c) |

**備考**　表中の「分類」により，改訂内容を次のように区分しています。

（a）：誤記訂正，（b）：仕様（スペック含む）の追加／変更，（c）：説明，注意事項の追加／変更，

（d）：パッケージ，オーダ名称，管理区分の追加／変更，（e）：関連資料の追加／変更

（2/2）

| 箇　所 | 内　容 | 分類 |
|---|---|---|
| **第17章　スタンバイ機能** | | |
| 全般 | 高速内蔵発振回路の説明を追加 | (c) |
| **第22章　フラッシュ・メモリ** | | |
| p.333 | 22. 7　**セルフ書き込みによるフラッシュ・メモリ・プログラミング**の備考を変更 | (e) |
| **第23章　オンチップ・ディバグ機能** | | |
| p.338 | 説明、備考を変更 | (c, e) |
| **第25章　電気的特性** | | |
| p.354 | 注意を変更 | (c) |
| p.355 | **内蔵発振器特性**を変更 | (b) |
| p.358 | DC**特性**（3/3）の電源電流を変更 | (b) |
| p.365 | **フラッシュ・メモリ・プログラミング特性（1）基本特性**を変更 | (b) |
| **付録A　開発ツール** | | |
| 全般 | 全般を変更 | (c) |
| **付録C　改版履歴** | | |
| p.370 | 章を追加 | (c) |

**備考**　表中の「分類」により，改訂内容を次のように区分しています。

（a）：誤記訂正，（b）：仕様（スペック含む）の追加／変更，（c）：説明，注意事項の追加／変更，

（d）：パッケージ，オーダ名称，管理区分の追加／変更，（e）：関連資料の追加／変更

【発　行】
NECエレクトロニクス株式会社
〒211-8668　神奈川県川崎市中原区下沼部1753
電話（代表）：044(435)5111

お問い合わせ先

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。
URL（アドレス）　http://www.necel.co.jp/

【営業関係，技術関係お問い合わせ先】

半導体ホットライン
（電話：午前 9:00～12:00，午後 1:00～5:00）
電　話　：044−435−9494
E-mail　：info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。