

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザース・マニュアル

μPD789862サブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

μPD789862

μPD78E9862

(メモ)

目次要約

第1章	概 説	...	23
第2章	端子機能	...	31
第3章	CPUアーキテクチャ	...	39
第4章	EEPROM (データ・メモリ)	...	60
第5章	ポート機能	...	69
第6章	クロック発生回路	...	84
第7章	16ビット・タイマ/イベント・カウンタ0	...	91
第8章	16ビット・タイマD	...	119
第9章	8ビット・タイマ/イベント・カウンタ5	...	127
第10章	ウォッチドッグ・タイマ	...	141
第11章	シリアル・インタフェース2	...	147
第12章	パワーオン・クリア回路	...	180
第13章	ビット・シーケンシャル・バッファ	...	189
第14章	キー・リターン回路	...	194
第15章	割り込み機能	...	197
第16章	スタンバイ機能	...	211
第17章	リセット機能	...	219
第18章	μ PD78E9862	...	223
第19章	マスク・オプション	...	234
第20章	命令セットの概要	...	235
第21章	電気的特性 (μ PD789862)	...	246
第22章	電気的特性 (μ PD78E9862)	...	258
第23章	外形図	...	270
第24章	半田付け推奨条件	...	271
付録A	開発ツール	...	273
付録B	レジスタ索引	...	281
付録C	改版履歴	...	285

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

FIPIは、NECエレクトロニクス株式会社の登録商標です。

EEPROMは、NECエレクトロニクス株式会社の商標です。

WindowsおよびWindows NTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μ PD78E9862

ユーザ判定品 : μ PD789862

- 本資料に記載されている内容は2003年5月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E 02.11

本版で改訂された主な箇所

箇 所	内 容
p.24 p.26	第1章 概 説 ・ 1.3 オーダ情報 注を修正 ・ 1.5 78K/0Sシリーズの展開 更新
p.63 p.66	第4章 EEPROM (データ・メモリ) ・ 表4 - 1 EEPROMの書き込み時間 修正 ・ 4.5 EEPROM書き込み時の注意事項(3)のプログラム例を修正
p.115	第7章 16ビット・タイマ/イベント・カウンタ0 7.5(2) タイマ・カウント動作中のコンペア・レジスタの変更禁止について 追加
p.158	第11章 シリアル・インタフェース2 11.3(4)(c) システム・クロックによる3線式シリアルI/Oモードのシリアル・クロックの生成 追加
p.184 p.187 p.188	第12章 パワーオン・クリア回路 ・ 12.4.1 パワーオン・クリア(POC)回路の動作 記述修正,注を追加 ・ 12.4.2 低電圧検出回路(LVI)の動作 注意を追加 ・ 図12-9 LVI回路の動作タイミング 修正
p.190	第13章 ビット・シーケンシャル・バッファ 13.3(2) ポート・モード・レジスタ2(PM2) 追加
p.223 p.225	第18章 μPD78E9862 ・ 表18-1 μ PD78E9862とマスクROM製品の違い 注1を修正 ・ 表18-2 通信方式一覧 変更
p.258 p.268	第22章 電気的特性 (μPD78E9862) ・ 注意を追加 ・ AC特性(3) EEPROM 注2を修正
p.271	第24章 半田付け推奨条件 表24-1 表面実装タイプの半田付け条件 変更

本文欄外の★印は、本版で改訂された主な箇所を示しています。

はじめに

- 対象者** このマニュアルは μ PD789862サブシリーズの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
- 目的** このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。
- 構成** μ PD789862サブシリーズのマニュアルは、このマニュアルと命令編（78K/0Sシリーズ共通）の2冊に分かれています。

μ PD789862サブシリーズ
ユーザズ・マニュアル

端子機能
内部ブロック機能
割り込み
その他の内蔵周辺機能
電気的特性

78K/0Sシリーズ
ユーザズ・マニュアル
命令編

CPU機能
命令セット
命令の説明

- 読み方** このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。一通りの機能を理解しようとするとき
目次に従って読んでください。
レジスタ・フォーマットの見方
ビット番号で囲んでいるものは、そのビット名称がアセンブラでは予約語に、Cコンパイラではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。
レジスタ名が分かっていてレジスタの詳細を確認するとき
付録B レジスタ索引を利用してください。
78K/0Sシリーズの命令機能の詳細を知りたいとき
別冊の**78K/0Sシリーズ ユーザズ・マニュアル 命令編 (U11047J)**を参照してください。
 μ PD789862サブシリーズの電気的特性を知りたいとき
各電気的特性の章を参照してください。

- 凡例** データ表記の重み：左が上位桁，右が下位桁
アクティブ・ロウの表記： $\overline{\text{xxx}}$ （端子，信号名称に上線）
注：本文中につけた注の説明
注意：気をつけて読んでいただきたい内容
備考：本文の補足説明
数の表記：
2進数... xxx または xxx B
10進数... xxx
16進数... xxx H

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
μ PD789862サブシリーズ ユーザーズ・マニュアル	このマニュアル	U15852E
78K0Sシリーズ ユーザーズ・マニュアル 命令編	U11047J	U11047E

開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号		
	和文	英文	
RA78K0S アセンブラ・パッケージ	操作編	U14876J	U14876E
	言語編	U14877J	U14877E
	構造化アセンブリ言語編	U11623J	U11623E
CC78K0S Cコンパイラ	操作編	U14871J	U14871E
	言語編	U14872J	U14872E
ID78Kシリーズ 統合ディバッガ Ver.2.30以上	操作編（Windows®ベース）	U15185J	U15185E
プロジェクト・マネージャ Ver.3.12以上（Windowsベース）	U14610J	U14610E	

開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号	
	和文	英文
IE-78K0S-NS インサーキット・エミュレータ	U13549J	U13549E
IE-78K0S-NS-A インサーキット・エミュレータ	U15207J	U15207E
IE-789862-NS-EM1 エミュレーション・ボード	U16297J	U16297E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

フラッシュ・メモリ書き込み用の資料

資料名	資料番号	
	和文	英文
PG-FP3 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U13502J	U13502E
PG-FP4 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U15260J	U15260E

その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカー編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

目 次

第1章 概 説 ... 23

- 1.1 特 徴 ... 23
- 1.2 応用分野 ... 23
- 1.3 オーダ情報 ... 24
- 1.4 端子接続図 (Top View) ... 25
- 1.5 78K/0Sシリーズの展開 ... 26
- 1.6 ブロック図 ... 29
- 1.7 機能概要 ... 30

第2章 端子機能 ... 31

- 2.1 端子機能一覧 ... 31
- 2.2 端子機能の説明 ... 33
 - 2.2.1 P00-P03 (Port 0) ... 33
 - 2.2.2 P10, P11 (Port 1) ... 33
 - 2.2.3 P20-P24 (Port 2) ... 33
 - 2.2.4 P30-P33 (Port 3) ... 34
 - 2.2.5 P40-P45 (Port 4) ... 34
 - 2.2.6 P70 (Port 7) ... 35
 - 2.2.7 EEWE ... 35
 - 2.2.8 KRREN ... 35
 - 2.2.9 RESET ... 35
 - 2.2.10 X1, X2 ... 35
 - 2.2.11 VDD ... 35
 - 2.2.12 VSS ... 35
 - 2.2.13 VPP (μ PD78E9862のみ) ... 35
 - 2.2.14 IC (マスクROM製品のみ) ... 36
- 2.3 端子の入出力回路と未使用端子の処理 ... 37

第3章 CPUアーキテクチャ ... 39

- 3.1 メモリ空間 ... 39
 - 3.1.1 内部プログラム・メモリ空間 ... 41
 - 3.1.2 内部データ・メモリ空間 ... 41
 - 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 42
 - 3.1.4 データ・メモリ・アドレッシング ... 42
- 3.2 プロセッサ・レジスタ ... 44
 - 3.2.1 制御レジスタ ... 44
 - 3.2.2 汎用レジスタ ... 47
 - 3.2.3 特殊機能レジスタ (SFR) ... 48
- 3.3 命令アドレスのアドレッシング ... 51
 - 3.3.1 レラティブ・アドレッシング ... 51

3.3.2	イミューディエト・アドレッシング	...	52
3.3.3	テーブル・インダイレクト・アドレッシング	...	53
3.3.4	レジスタ・アドレッシング	...	53
3.4	オペランド・アドレスのアドレッシング	...	54
3.4.1	ダイレクト・アドレッシング	...	54
3.4.2	ショート・ダイレクト・アドレッシング	...	55
3.4.3	特殊機能レジスタ (SFR) アドレッシング	...	56
3.4.4	レジスタ・アドレッシング	...	57
3.4.5	レジスタ・インダイレクト・アドレッシング	...	58
3.4.6	ベースト・アドレッシング	...	59
3.4.7	スタック・アドレッシング	...	59
第4章	EEPROM (データ・メモリ)	...	60
4.1	メモリ空間	...	60
4.2	EEPROMの構成	...	60
4.3	EEPROMを制御するレジスタ	...	62
4.4	8ビット・タイマ80	...	64
4.4.1	8ビット・タイマ80の構成	...	64
4.4.2	8ビット・タイマ80を制御するレジスタ	...	65
4.5	EEPROM書き込み時の注意事項	...	66
第5章	ポート機能	...	69
5.1	ポートの機能	...	69
5.2	ポートの構成	...	71
5.2.1	ポート0	...	71
5.2.2	ポート1	...	72
5.2.3	ポート2	...	73
5.2.4	ポート3	...	76
5.2.5	ポート4	...	79
5.2.6	ポート7	...	80
5.3	ポート機能を制御するレジスタ	...	81
5.4	ポート機能の動作	...	83
5.4.1	入出力ポートへの書き込み	...	83
5.4.2	入出力ポートからの読み出し	...	83
5.4.3	入出力ポートでの演算	...	83
第6章	クロック発生回路	...	84
6.1	クロック発生回路の機能	...	84
6.2	クロック発生回路の構成	...	84
6.3	クロック発生回路を制御するレジスタ	...	85
6.4	システム・クロック発振回路	...	86
6.4.1	システム・クロック発振回路	...	86
6.4.2	発振子の接続の悪い例	...	87
6.4.3	分周回路	...	89
6.5	クロック発生回路の動作	...	89
6.6	CPUクロックの設定の変更	...	90

- 6.6.1 CPUクロックの切り替えに要する時間 ... 90
- 6.6.2 CPUクロックの切り替え手順 ... 90

第7章 16ビット・タイマ/イベント・カウンタ0 ... 91

- 7.1 16ビット・タイマ/イベント・カウンタ0の機能 ... 91
- 7.2 16ビット・タイマ/イベント・カウンタ0の構成 ... 92
- 7.3 16ビット・タイマ/イベント・カウンタ0を制御するレジスタ ... 95
- 7.4 16ビット・タイマ/イベント・カウンタ0の動作 ... 101
 - 7.4.1 インターバル・タイマとしての動作 ... 101
 - 7.4.2 PPG出力としての動作 ... 103
 - 7.4.3 パルス幅測定としての動作 ... 105
 - 7.4.4 外部イベント・カウンタとしての動作 ... 112
 - 7.4.5 方形波出力としての動作 ... 113
- 7.5 16ビット・タイマ/イベント・カウンタ0の注意事項 ... 115

第8章 16ビット・タイマD ... 119

- 8.1 特 徴 ... 119
- 8.2 機能概要 ... 119
- 8.3 16ビット・タイマDの基本構成 ... 119
- 8.4 16ビット・タイマD ... 120
- 8.5 16ビット・タイマDの制御レジスタ ... 123
- 8.6 16ビット・タイマDの動作 ... 124
- 8.7 使用例 ... 126
- 8.8 注意事項 ... 126

第9章 8ビット・タイマ/イベント・カウンタ5 ... 127

- 9.1 8ビット・タイマ/イベント・カウンタ5の機能 ... 127
- 9.2 8ビット・タイマ/イベント・カウンタ5の構成 ... 128
- 9.3 8ビット・タイマ/イベント・カウンタ5を制御するレジスタ ... 129
- 9.4 8ビット・タイマ/イベント・カウンタ5の動作 ... 132
 - 9.4.1 インターバル・タイマ（8ビット）としての動作 ... 132
 - 9.4.2 外部イベント・カウンタとしての動作 ... 135
 - 9.4.3 方形波出力（8ビット分解能）としての動作 ... 136
 - 9.4.4 PWM出力としての動作 ... 137
- 9.5 8ビット・タイマ/イベント・カウンタ5の注意事項 ... 140

第10章 ウォッチドッグ・タイマ ... 141

- 10.1 ウォッチドッグ・タイマの機能 ... 141
- 10.2 ウォッチドッグ・タイマの構成 ... 142
- 10.3 ウォッチドッグ・タイマを制御するレジスタ ... 143
- 10.4 ウォッチドッグ・タイマの動作 ... 145
 - 10.4.1 ウォッチドッグ・タイマとしての動作 ... 145
 - 10.4.2 インターバル・タイマとしての動作 ... 146

第11章	シリアル・インタフェース2	...	147
11.1	シリアル・インタフェース2の機能	...	147
11.2	シリアル・インタフェース2の構成	...	148
11.3	シリアル・インタフェース2を制御するレジスタ	...	152
11.4	シリアル・インタフェース2の動作	...	159
11.4.1	動作停止モード	...	159
11.4.2	アシンクロナス・シリアル・インタフェース (UART) モード	...	161
11.4.3	3線式シリアルI/Oモード	...	174
第12章	パワーオン・クリア回路	...	180
12.1	パワーオン・クリア回路の機能	...	180
12.2	パワーオン・クリア回路の構成	...	181
12.3	パワーオン・クリア回路を制御するレジスタ	...	182
12.4	パワーオン・クリア回路の動作	...	184
12.4.1	パワーオン・クリア (POC) 回路の動作	...	184
12.4.2	低電圧検出回路 (LVI) の動作	...	187
第13章	ビット・シーケンシャル・バッファ	...	189
13.1	ビット・シーケンシャル・バッファの機能	...	189
13.2	ビット・シーケンシャル・バッファの構成	...	189
13.3	ビット・シーケンシャル・バッファを制御するレジスタ	...	190
13.4	ビット・シーケンシャル・バッファの動作	...	191
13.5	補足事項	...	193
第14章	キー・リターン回路	...	194
14.1	キー・リターン回路の機能	...	194
14.2	キー・リターン回路の構成と動作	...	195
第15章	割り込み機能	...	197
15.1	割り込み機能の種類	...	197
15.2	割り込み要因と構成	...	197
15.3	割り込み機能を制御するレジスタ	...	200
15.4	割り込み処理動作	...	205
15.4.1	ノンマスカブル割り込み要求の受け付け動作	...	205
15.4.2	マスカブル割り込み要求の受け付け動作	...	207
15.4.3	多重割り込み処理	...	209
15.4.4	割り込み要求の保留	...	210
第16章	スタンバイ機能	...	211
16.1	スタンバイ機能と構成	...	211
16.1.1	スタンバイ機能	...	211
16.1.2	スタンバイ機能を制御するレジスタ	...	212

16.2	スタンバイ機能の動作	...	213
16.2.1	HALTモード	...	213
16.2.2	STOPモード	...	216
第17章	リセット機能	...	219
第18章	μPD78E9862	...	223
18.1	EEPROM (プログラム・メモリ) の特徴	...	224
18.1.1	プログラミング環境	...	224
18.1.2	通信方式	...	225
18.1.3	オンボード上の端子処理	...	228
18.1.4	EEPROM書き込み用アダプタ上の接続	...	231
第19章	マスク・オプション	...	234
第20章	命令セットの概要	...	235
20.1	オペレーション	...	235
20.1.1	オペランドの表現形式と記述方法	...	235
20.1.2	オペレーション欄の説明	...	236
20.1.3	フラグ動作欄の説明	...	236
20.2	オペレーション一覧	...	237
20.3	アドレッシング別命令一覧	...	243
第21章	電気的特性 (μPD789862)	...	246
第22章	電気的特性 (μPD78E9862)	...	258
第23章	外形図	...	270
第24章	半田付け推奨条件	...	271
付録A	開発ツール	...	273
A.1	ソフトウェア・パッケージ	...	275
A.2	言語処理用ソフトウェア	...	275
A.3	制御ソフトウェア	...	276
A.4	EEPROM (プログラム・メモリ) 書き込み用ツール	...	276
A.5	ディバグ用ツール	...	277
A.5.1	ハードウェア	...	277
A.5.2	ソフトウェア	...	278
A.6	ターゲット・システム設計上の注意	...	279

付録B レジスタ索引 ... 281

B.1 レジスタ索引（50音順） ... 281

B.2 レジスタ索引（アルファベット順） ... 283

付録C 改版履歴 ... 285

図の目次 (1/5)

図番号	タイトル, ページ
2 - 1	端子の入出力回路一覧 ... 38
3 - 1	メモリ・マップ (μ PD789862) ... 39
3 - 2	メモリ・マップ (μ PD78E9862) ... 40
3 - 3	データ・メモリのアドレッシング (μ PD789862) ... 42
3 - 4	データ・メモリのアドレッシング (μ PD78E9862) ... 43
3 - 5	プログラム・カウンタの構成 ... 44
3 - 6	プログラム・ステータス・ワードの構成 ... 44
3 - 7	スタック・ポインタの構成 ... 46
3 - 8	スタック・メモリへ退避されるデータ ... 46
3 - 9	スタック・メモリから復帰されるデータ ... 46
3 - 10	汎用レジスタの構成 ... 47
4 - 1	EEPROMのブロック図 ... 61
4 - 2	8ビット・タイマ80のブロック図 ... 61
4 - 3	EEPROMライト・コントロール・レジスタ10のフォーマット ... 62
4 - 4	8ビット・タイマ・モード・コントロール・レジスタ80のフォーマット ... 65
5 - 1	ポートの種類 ... 69
5 - 2	P00-P03のブロック図 ... 71
5 - 3	P10, P11のブロック図 ... 72
5 - 4	P20, P21のブロック図 ... 73
5 - 5	P22, P23のブロック図 ... 74
5 - 6	P24のブロック図 ... 75
5 - 7	P30のブロック図 ... 76
5 - 8	P31のブロック図 ... 77
5 - 9	P32, P33のブロック図 ... 78
5 - 10	P40-P45のブロック図 ... 79
5 - 11	P70のブロック図 ... 80
5 - 12	ポート・モード・レジスタのフォーマット ... 82
5 - 13	プルアップ抵抗オプション・レジスタのフォーマット ... 82
6 - 1	クロック発生回路のブロック図 ... 84
6 - 2	プロセッサ・クロック・コントロール・レジスタのフォーマット ... 85
6 - 3	システム・クロック発振回路の外付け回路 ... 86
6 - 4	発振子の接続の悪い例 ... 87
6 - 5	CPUクロックの切り替え ... 90
7 - 1	16ビット・タイマ/イベント・カウンタ0のブロック図 ... 92

図の目次 (2/5)

図番号	タイトル, ページ
7 - 2	16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) のフォーマット ... 96
7 - 3	キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のフォーマット ... 97
7 - 4	16ビット・タイマ出力コントロール・レジスタ0 (TOC0) のフォーマット ... 98
7 - 5	プリスケアラ・モード・レジスタ0 (PRM0) のフォーマット ... 99
7 - 6	ポート・モード・レジスタ2 (PM2) のフォーマット ... 100
7 - 7	インターバル・タイマ動作時の制御レジスタ設定内容 ... 101
7 - 8	インターバル・タイマの構成図 ... 102
7 - 9	インターバル・タイマ動作のタイミング ... 102
7 - 10	PPG出力動作時の制御レジスタ設定内容 ... 103
7 - 11	PPG出力の構成図 ... 104
7 - 12	PPG出力動作のタイミング ... 104
7 - 13	フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容 ... 105
7 - 14	フリー・ランニング・カウンタによるパルス幅測定の構成図 ... 106
7 - 15	フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時) ... 106
7 - 16	フリー・ランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容 ... 107
7 - 17	立ち上がりエッジ指定時のCR01キャプチャ動作 ... 108
7 - 18	フリー・ランニング・カウンタによるパルス幅測定動作のタイミング (両エッジ指定時) ... 108
7 - 19	フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容 ... 109
7 - 20	フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング (立ち上がりエッジ指定時) ... 110
7 - 21	リスタートによるパルス幅測定時の制御レジスタ設定内容 ... 111
7 - 22	リスタートによるパルス幅測定動作のタイミング (立ち上がりエッジ指定時) ... 111
7 - 23	外部イベント・カウンタ・モード時の制御レジスタ設定内容 ... 112
7 - 24	外部イベント・カウンタの構成図 ... 113
7 - 25	外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) ... 113
7 - 26	方形波出力モード時の制御レジスタ設定内容 ... 114
7 - 27	方形波出力動作のタイミング ... 114
7 - 28	16ビット・タイマ・カウンタ0 (TM0) のスタート・タイミング ... 115
7 - 29	キャプチャ・レジスタのデータ保持タイミング ... 115
7 - 30	OVF0フラグの動作タイミング ... 116
8 - 1	16ビット・タイマDのブロック図 ... 119
8 - 2	TMD動作中のタイミング例 ... 122
8 - 3	16ビット・タイマ・モード・コントロール・レジスタD (TMCD) のフォーマット ... 123
8 - 4	TMDコンペア動作例 ... 124

図の目次 (3/5)

図番号	タイトル, ページ
9 - 1	8ビット・タイマ/イベント・カウンタ5のブロック図 ... 127
9 - 2	タイマ・クロック選択レジスタ5 (TCL5) のフォーマット ... 129
9 - 3	8ビット・タイマ・モード・コントロール・レジスタ5 (TMC5) のフォーマット ... 130
9 - 4	ポート・モード・レジスタ2 (PM2) のフォーマット ... 131
9 - 5	インターバル・タイマ動作のタイミング ... 133
9 - 6	外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) ... 135
9 - 7	方形波出力動作のタイミング ... 136
9 - 8	PWM出力の動作タイミング ... 138
9 - 9	CR5変更による動作のタイミング ... 139
9 - 10	8ビット・タイマ・カウンタ5のスタート・タイミング ... 140
10 - 1	ウォッチドッグ・タイマのブロック図 ... 141
10 - 2	ウォッチドッグ・タイマ・クロック選択レジスタのフォーマット ... 143
10 - 3	ウォッチドッグ・タイマ・モード・レジスタのフォーマット ... 144
11 - 1	シリアル・インタフェース2のブロック図 ... 149
11 - 2	ボー・レート・ジェネレータのブロック図 ... 150
11 - 3	シリアル動作モード・レジスタ2のフォーマット ... 152
11 - 4	アシンクロナス・シリアル・インタフェース・モード・レジスタ2のフォーマット ... 153
11 - 5	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2のフォーマット ... 155
11 - 6	ボー・レート・ジェネレータ・コントロール・レジスタ2のフォーマット ... 156
11 - 7	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット ... 167
11 - 8	アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング ... 169
11 - 9	アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング ... 170
11 - 10	受信エラー・タイミング ... 171
11 - 11	3線式シリアルI/Oモードのタイミング ... 178
12 - 1	パワーオン・クリア回路のブロック図 ... 181
12 - 2	低電圧検出回路のブロック図 ... 181
12 - 3	パワーオン・クリア・レジスタのフォーマット ... 182
12 - 4	低電圧検出レジスタのフォーマット ... 183
12 - 5	低電圧検出レベル選択レジスタのフォーマット ... 183
12 - 6	POC回路常時動作時の内部リセット信号発生のタイミング ... 185
12 - 7	POC回路常時停止時の内部リセット信号発生のタイミング ... 185
12 - 8	POC切り替え回路時の内部リセット信号発生のタイミング ... 186
12 - 9	LVI回路の動作タイミング ... 188
13 - 1	ビット・シーケンシャル・バッファのブロック図 ... 189

図の目次 (4/5)

図番号	タイトル, ページ
13 - 2	ビット・シーケンシャル・バッファ1出力コントロール・レジスタのフォーマット ... 190
13 - 3	ポート・モード・レジスタ2 (PM2) のフォーマット ... 190
13 - 4	ビット・シーケンシャル・バッファの動作タイミング ... 192
13 - 5	16ビット・タイマDの一致信号 ... 193
14 - 1	キー・リターン回路のブロック図 ... 195
14 - 2	キー・リターン・エッジ検出レジスタのフォーマット ... 196
15 - 1	割り込み機能の基本構成 ... 199
15 - 2	割り込み要求フラグ・レジスタのフォーマット ... 201
15 - 3	割り込みマスク・フラグ・レジスタのフォーマット ... 202
15 - 4	外部割り込みモード・レジスタ0のフォーマット ... 203
15 - 5	プログラム・ステータス・ワードの構成 ... 204
15 - 6	ノンマスクابل割り込み要求発生から受け付けまでのフロー・チャート (INTWDTの場合) ... 206
15 - 7	ノンマスクابل割り込み要求の受け付けタイミング ... 206
15 - 8	ノンマスクابل割り込み要求の受け付け動作 ... 206
15 - 9	割り込み要求受け付け処理アルゴリズム ... 207
15 - 10	割り込み要求の受け付けタイミング (MOV A, rの例) ... 208
15 - 11	割り込み要求の受け付けタイミング (命令実行中の最終クロックで割り込み要求フラグが発生したとき) ... 208
15 - 12	多重割り込みの例 ... 209
16 - 1	発振安定時間選択レジスタのフォーマット ... 212
16 - 2	HALTモードの割り込み発生による解除 ... 214
16 - 3	HALTモードのRESET入力による解除 ... 215
16 - 4	STOPモードの割り込み発生による解除 ... 217
16 - 5	STOPモードのRESET入力による解除 ... 218
17 - 1	リセット機能のブロック図 ... 219
17 - 2	RESET入力によるリセット・タイミング ... 220
17 - 3	ウォッチドッグ・タイマのオーバフローによるリセット・タイミング ... 220
17 - 4	STOPモード中のRESET入力によるリセット・タイミング ... 220
18 - 1	EEPROM (プログラム・メモリ) にプログラムを書き込むための環境 ... 224
18 - 2	通信方式選択フォーマット ... 225
18 - 3	専用フラッシュ・ライタとの接続例 ... 226
18 - 4	V _{PP} 端子の接続例 ... 228
18 - 5	信号の衝突 (シリアル・インタフェースの入力端子) ... 229

図の目次 (5/5)

図番号	タイトル, ページ
18 - 6	ほかのデバイスの異常動作 ... 229
18 - 7	信号の衝突 (RESET端子) ... 230
18 - 8	3線式シリアルI/O方式でのEEPROM書き込み用アダプタ配線例 ... 231
18 - 9	UART方式でのEEPROM書き込み用アダプタ配線例 ... 232
18 - 10	疑似3線式方式でのEEPROM書き込み用アダプタ配線例 ... 233
A - 1	開発ツール構成 ... 274
A - 2	インサーキット・エミュレータから変換アダプタまでの距離 ... 279
A - 3	ターゲット・システムの接続条件 ... 280

表の目次 (1/2)

表番号	タイトル, ページ
2 - 1	各端子の入出力回路タイプと未使用端子の処理 ... 37
3 - 1	内部ROM容量 ... 41
3 - 2	ベクタ・テーブル ... 41
3 - 3	特殊機能レジスタ一覧 ... 49
4 - 1	EEPROMの書き込み時間 ... 63
4 - 2	8ビット・タイマ80の構成 ... 64
5 - 1	ポートの機能 ... 70
5 - 2	ポートの構成 ... 71
5 - 3	兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定 ... 81
6 - 1	クロック発生回路の構成 ... 84
6 - 2	CPUクロックの切り替えに要する最大時間 ... 90
7 - 1	16ビット・タイマ/イベント・カウンタ0の構成 ... 92
7 - 2	TI00/TO0/P23端子の有効エッジとCR00, CR01のキャプチャ・トリガ ... 93
7 - 3	TI01/P24/INTP0端子の有効エッジとCR00のキャプチャ・トリガ ... 93
8 - 1	16ビット・タイマDの構成一覧 ... 119
9 - 1	8ビット・タイマ/イベント・カウンタ5の構成 ... 128
10 - 1	ウォッチドッグ・タイマの暴走検出時間 ... 141
10 - 2	インターバル時間 ... 141
10 - 3	ウォッチドッグ・タイマの構成 ... 142
10 - 4	ウォッチドッグ・タイマの暴走検出時間 ... 145
10 - 5	インターバル・タイマのインターバル時間 ... 146
11 - 1	シリアル・インタフェース2の構成 ... 148
11 - 2	シリアル・インタフェース2の動作モードの設定一覧 ... 154
11 - 3	システム・クロックとポー・レートの関係例 ... 157
11 - 4	ASCK2端子入力周波数とポー・レートの関係 (BRGC2 = 80H設定時) ... 158
11 - 5	システム・クロックとポー・レートの関係例 ... 165
11 - 6	ASCK2端子入力周波数とポー・レートの関係 (BRGC2 = 80H設定時) ... 165
11 - 7	受信エラーの要因 ... 171
13 - 1	ビット・シーケンシャル・バッファの構成 ... 189

表の目次 (2/2)

表番号	タイトル, ページ
13 - 2	16ビット・タイマDのカウント・クロックと一致信号のハイ・レベル幅 ... 193
15 - 1	割り込み要因一覧 ... 198
15 - 2	割り込み要求信号名に対する各種フラグ ... 200
15 - 3	マスカブル割り込み要求発生から処理までの時間 ... 207
16 - 1	HALTモード時の動作状態 ... 213
16 - 2	HALTモードの解除後の動作 ... 215
16 - 3	STOPモード時の動作状態 ... 216
16 - 4	STOPモードの解除後の動作 ... 218
17 - 1	各ハードウェアのリセット後の状態 ... 221
18 - 1	μPD78E9862とマスクROM製品の違い ... 223
18 - 2	通信方式一覧 ... 225
18 - 3	端子接続一覧 ... 227
20 - 1	オペランドの表現形式と記述方法 ... 235
24 - 1	表面実装タイプの半田付け条件 ... 271

第1章 概 説

1.1 特 徴

ROM, RAM容量

品 名	項 目	プログラム・メモリ (ROM)		データ・メモリ	
				内部高速RAM	EEPROM™
μ PD789862	マスクROM	16 Kバイト	512バイト	256バイト	
μ PD78E9862	EEPROM	16 Kバイト			

システム・クロック：セラミック/クリスタル発振

高速(0.4 μ s)から低速(1.6 μ s)まで最小命令実行時間を変更可能(システム・クロック：5.0 MHz動作時)

I/Oポート：22本

タイマ：4チャンネル

- ・16ビット・タイマ : 2チャンネル
- ・8ビット・タイマ : 1チャンネル
- ・ウォッチドッグ・タイマ : 1チャンネル

シリアル・インタフェース : 1チャンネル

3線式シリアルI/Oモード/UARTモード選択可能

キー・リターン回路内蔵

パワーオン・クリア回路内蔵

ビット・シーケンシャル・バッファ内蔵

ベクタ割り込み要因 : 13

電源電圧： $V_{DD} = 1.8 \sim 5.5$ V

動作周囲温度： $T_A = -40 \sim +85$ (μ PD789862)

$T_A = -40 \sim +70$ (μ PD78E9862)

1.2 応用分野

キーレス・エントリなどの自動車電装など

1.3 オーダ情報

オーダ名称	パッケージ	内部ROM
μ PD789862MC- $\times \times \times$ -5A4	30ピン・プラスチックSSOP (7.62 mm (300))	マスクROM
μ PD78E9862MC-5A4 [※]	"	EEPROM

- ★ 注 μ PD78E9862はプログラム開発専用で、製品寿命、信頼性は保証していません。
そのため、信頼性試験用および量産用には μ PD789862を使用してください。

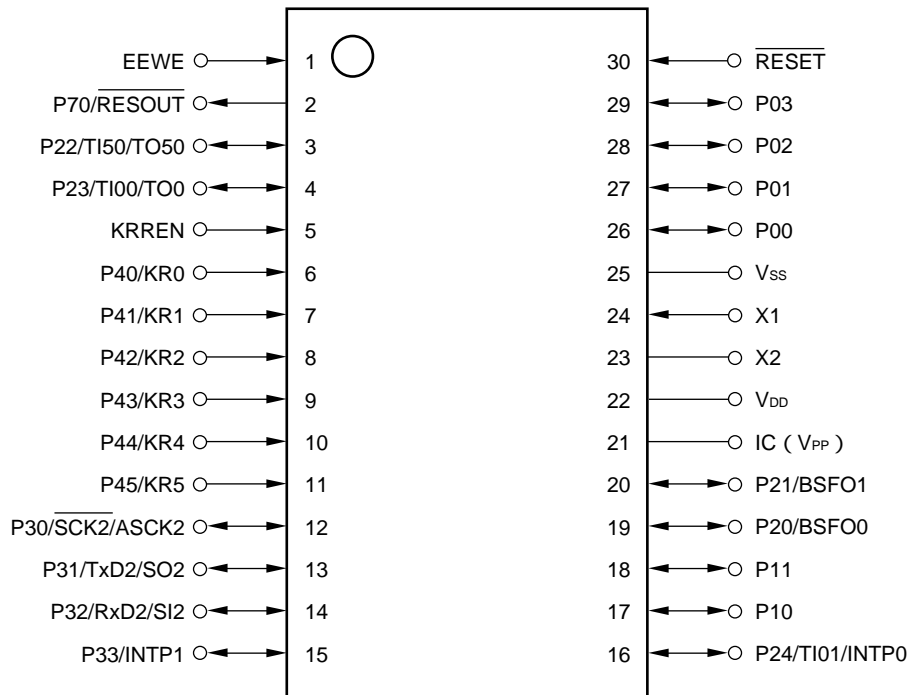
備考 $\times \times \times$ はROMコード番号です。

1.4 端子接続図 (Top View)

30ピン・プラスチックSSOP (7.62 mm (300))

μ PD789862MC- x x x -5A4

μ PD78E9862MC-5A4



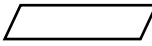

注意 IC (Internally Connected) 端子はV_{SS}に直接接続してください。

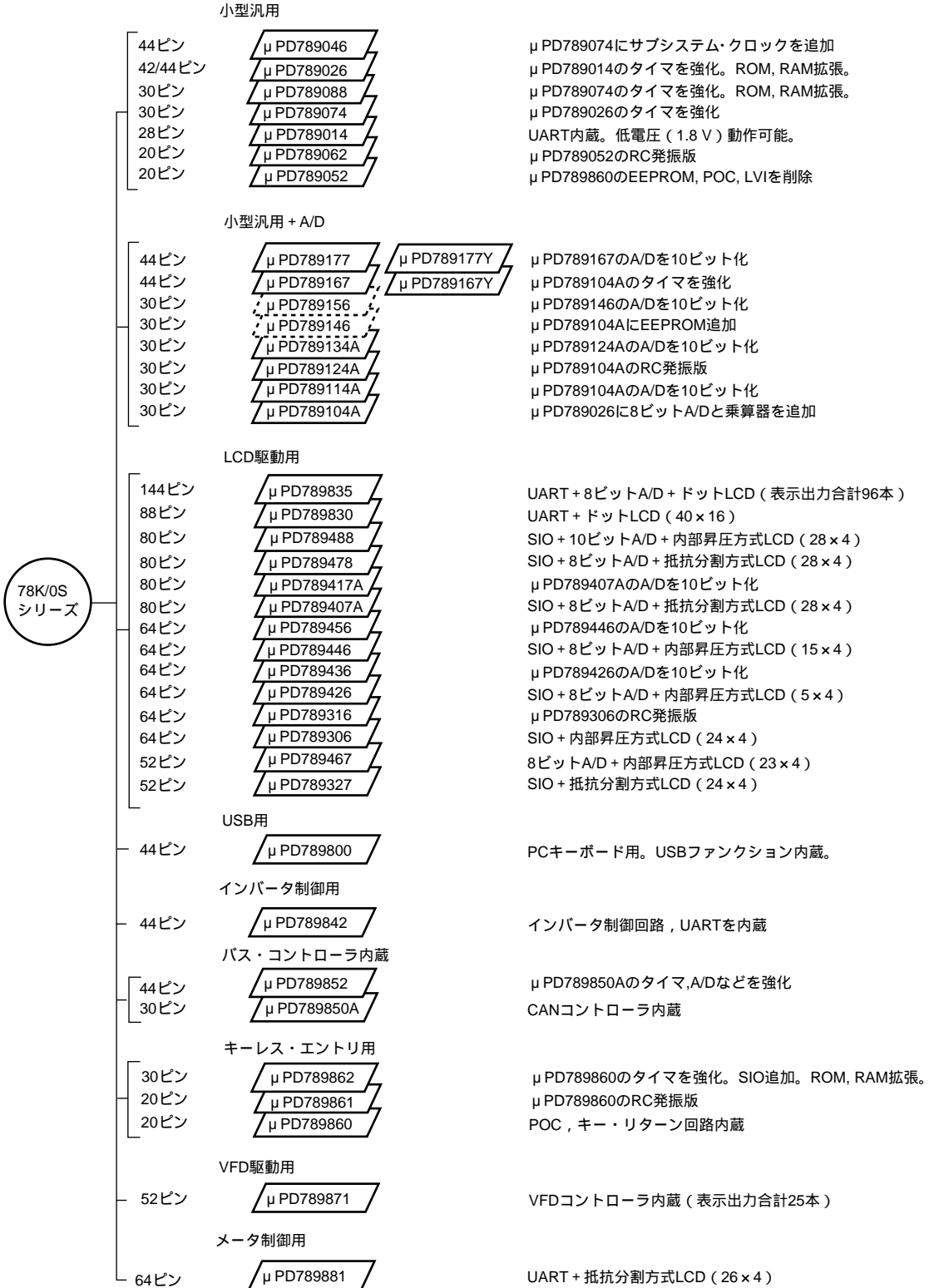
備考 () 内は, μ PD78E9862のとき

ASCK	: Asynchronous Serial Input	RESET	: Reset
BSFO0, BSFO1	: Bit Sequential Buffer Output	RESOUT	: Reset Output
EEWE	: EEPROM Write Enable	RxD2	: Receive Data
IC	: Internally Connected	SCK2	: Serial Clock
INTP0, INTP1	: Interrupt from Peripherals	SI2	: Serial Input
KR0-KR5	: Key Return	SO2	: Serial Output
KRREN	: Key Return Reset Enable	TI00, TI01, TI50	: Timer Input
P00-P03	: Port 0	TO0, TO50	: Timer Output
P10, P11	: Port 1	TxD2	: Transmit Data
P20-P24	: Port 2	V _{DD}	: Power Supply
P30-P33	: Port 3	V _{PP}	: Programming Power Supply
P40-P45	: Port 4	V _{SS}	: Ground
P70	: Port 7	X1, X2	: Crystal/ceramic Oscillator

★ 1.5 78K/0Sシリーズの展開

78K/0Sシリーズの製品展開を次に示します。枠内はサブシリーズ名称です。

 量産中の製品  開発中の製品
YサブシリーズはSMB対応の製品です。



備考 蛍光表示管の一般的な英語名称はVFD (Vacuum Fluorescent Display) ですが、ドキュメントによってはFIP[®] (Fluorescent Indicator Panel) と記述しているものがあります。VFDとFIPは同等の機能です。

各サブシリーズ間の主な機能の違いを次に示します。

汎用，LCD駆動用シリーズ

サブシリーズ名	機 能	ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考		
			8-bit	16-bit	時計	WDT	A/D	A/D			最小値			
小型 汎用	μPD789046	16 K	1 ch	1 ch	1 ch	1 ch	-	-	1 ch (UART : 1ch)	34本	1.8 V	-		
	μPD789026	4 K-16 K												
	μPD789088	16 K-32 K	3 ch							24本				
	μPD789074	2 K-8 K	1 ch											
	μPD789014	2 K-4 K	2 ch	-						22本				
	μPD789062	4 K							-	14本		RC発振版		
	μPD789052											-		
小型 汎用 + A/D	μPD789177	16 K-24 K	3 ch	1 ch	1 ch	1ch	-	8 ch	1 ch (UART : 1ch)	31本	1.8 V	-		
	μPD789167						8 ch	-				-		
	μPD789156	8 K-16 K	1 ch				-	4 ch		20本			EEPROM内蔵	
	μPD789146						4 ch	-					-	
	μPD789134A	2 K-8 K					-	4 ch					RC発振版	
	μPD789124A						4 ch	-					-	
	μPD789114A						-	4 ch					-	-
	μPD789104A						4 ch	-					-	-
LCD 駆動用	μPD789835	24 K-60 K	6 ch	-	1 ch	1 ch	3 ch	-	1 ch (UART : 1ch)	37本	1.8 V ^注	ドットLCD		
	μPD789830	24 K	1 ch	1 ch			-					30本	2.7 V	対応
	μPD789488	32 K-48 K	3 ch				8 ch	-	2 ch (UART : 1ch)	45本	1.8 V	-		
	μPD789478	24 K-48 K					8 ch	-						
	μPD789417A	12 K-24 K	2 ch				-	7 ch	1 ch (UART : 1ch)	43本				
	μPD789407A						7 ch	-						
	μPD789456	12 K-16 K					-	6 ch					30本	
	μPD789446						6 ch	-						
	μPD789436						-	6 ch					40本	
	μPD789426						6 ch	-						
	μPD789316	8 K-16 K					-		2 ch (UART : 1ch)	23本		RC発振版		
	μPD789306						-							
	μPD789467	4 K-24 K					1 ch	-				18本		
	μPD789327			-			-		1 ch	21本		-		

注 フラッシュ・メモリ版 : 3.0 V

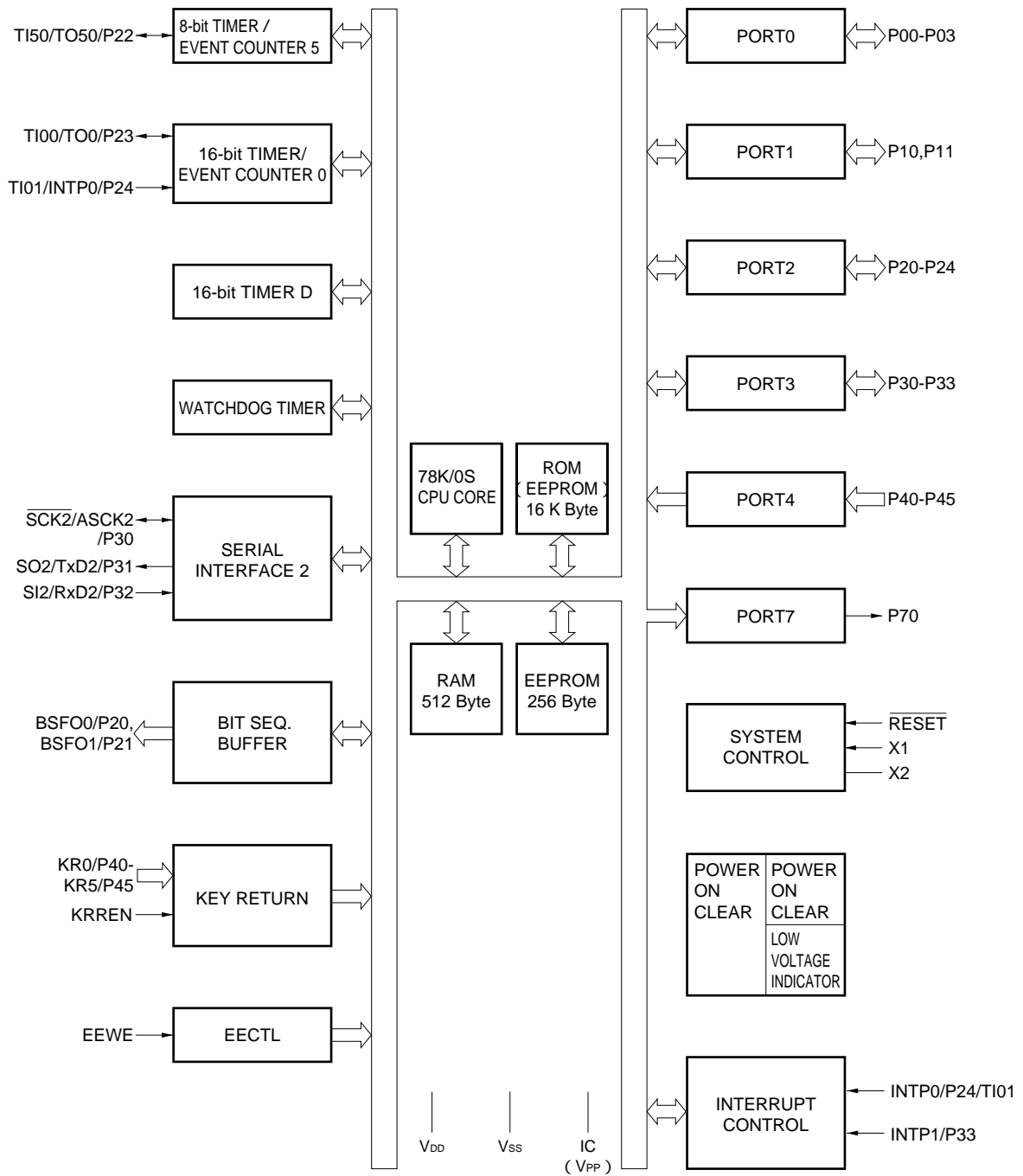
ASSP用シリーズ

機能 サブシリーズ名	ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考
		8-bit	16-bit	時計	WDT	A/D	A/D			最小値	
USB用 μPD789800	8K	2 ch	-	-	1 ch	-	-	2 ch (USB : 1 ch)	31本	4.0 V	-
インバー タ制御用 μPD789842	8 K-16 K	3 ch	注1	1 ch	1 ch	8 ch	-	1 ch (UART : 1ch)	30本	4.0 V	-
バス・コント ローラ内蔵 μPD789852	24 K-32 K	3 ch	1 ch	-	1 ch	-	8ch	3 ch (UART : 2ch)	31本	4.0 V	-
μPD789850A	16 K	1 ch				4 ch	-	2 ch (UART : 1ch)	18本		
キース ・エント リ用 μPD789861	4 K	2 ch	-	-	1 ch	-	-	-	14本	1.8 V	RC発振版, EEPROM内蔵
μPD789860											
μPD789862	16 K	1 ch									
VFD 駆動用 μPD789871	4 K-8 K	3 ch	-	1 ch	1 ch	-	-	1 ch	33本	2.7 V	-
メータ 制御用 μPD789881	16 K	2 ch	1 ch	-	1 ch	-	-	1 ch (UART : 1ch)	28本	2.7 V ^{注2}	-

注1. 10ビット・タイマ : 1チャンネル

2. フラッシュ・メモリ版 : 3.0 V

1.6 ブロック図



備考 ()内は、 μ PD78E9862のとき

1.7 機能概要

項目		品名	
		μ PD789862	μ PD78E9862
内部メモリ	ROM	マスクROM	EEPROM
		16 Kバイト	
	高速RAM	512バイト	
	EEPROM	256バイト	
発振回路		セラミック/クリスタル発振回路	
最小命令実行時間		0.4 μ s/0.8 μ s/1.6 μ s (システム・クロック : 5.0 MHz動作時)	
汎用レジスタ		8ビット×8レジスタ	
命令セット		<ul style="list-style-type: none"> ・ 16ビット演算 ・ ビット操作 (セット, リセット, テスト) など 	
I/Oポート		合計 : 22本 CMOS入出力 : 13本 CMOS入力 : 6本 CMOS出力 : 1本 N-chオープン・ドレイン : 2本	
タイマ		<ul style="list-style-type: none"> ・ 16ビット・タイマ : 2チャンネル ・ 8ビット・タイマ : 1チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル 	
シリアル・インタフェース		3線式シリアルI/Oモード / UARTモード選択可能 : 1チャンネル	
パワーオン・クリア回路	POC回路	電源電圧と検出電圧の比較により内部リセット信号を発生	
	LVI回路	電源電圧と検出電圧の比較により割り込み要求信号を発生	
ビット・シーケンシャル・バッファ		8ビット+8ビット = 16ビット	
キー・リターン機能		立ち下がリエッジ検出により、キー・リターン信号を発生 (1本のみエッジ選択可能)	
要因	ベクタ割り込み	マスカブル : 内部 : 9, 外部 : 2	
	ノンマスカブル	内部 : 1, 外部 : 1	
電源電圧		$V_{DD} = 1.8 \sim 5.5 V$	
動作周囲温度		$T_A = -40 \sim +85$	$T_A = -40 \sim +70$
パッケージ		30ピン・プラスチックSSOP (7.62 mm (300))	

第2章 端子機能

2.1 端子機能一覧

(1) ポート端子

端子名称	入出力	機 能	リセット時	兼用端子
P00-P03	入出力	ポート0。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0(PUB0)の設定により、内蔵プルアップ抵抗を使用可能。	入力	-
P10, P11	入出力	ポート1。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ1(PUB1)の設定により、内蔵プルアップ抵抗を使用可能。	入力	-
P20	入出力	ポート2。 5ビット入出力ポート(P20, P21はN-chオープン・ドレイン入出力ポート)。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ2(PUB2)の設定により、内蔵プルアップ抵抗を使用可能。	入力	BSFO0
P21				BSFO1
P22				TI50/TO50
P23				TI00/TO0
P24				TI01/INTP0
P30	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ3(PUB3)の設定により、内蔵プルアップ抵抗を使用可能。	入力	SCK2/ASCK2
P31				TxD2/SO2
P32				RxD2/SI2
P33				INTP1
P40-P45	入力	ポート4。 6ビット入力専用ポート。 プルアップ抵抗を内蔵。	入力	KR0-KR5
P70	出力	ポート7。 1ビット出力専用ポート。	出力	RESOUT

(2) ポート以外の端子

端子名称	入出力	機能	リセット時	兼用端子
BSFO0, BSFO1	出力	ビット・シーケンシャル・バッファ出力。	入力	P20, P21
TI50	入力	8ビット・タイマ (TM5) 入力。	入力	P22/TO50
TO50	出力	8ビット・タイマ (TM5) 出力。	入力	P22/TI50
TI00	入力	16ビット・タイマ (TM0) 入力。	入力	P23/TO0
TI01				P24/INTP0
TO0	出力	16ビット・タイマ (TM0) 出力。	入力	P23/TI00
SCK2	入出力	シリアル・インタフェースのシリアル・クロック入力/出力。	入力	P30/ASCK2
SI2	入力	シリアル・インタフェースのシリアル・データ入力。	入力	P32/RxD2
SO2	出力	シリアル・インタフェースのシリアル・データ出力。	入力	P31/TxD2
ASCK2	入力	アシンクロナス・シリアル・インタフェース用シリアル・クロック入力。	入力	P30/ $\overline{\text{SCK2}}$
RxD2	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力。	入力	P32/SI2
TxD2	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力。	入力	P31/SO2
KR0-KR5	入力	キー・リターン入力。	入力	P40-P45
KRREN	入力	キー・リターンのノンマスカブル割り込み/リセット切り替え入力。	入力	-
INTP0	入力	有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み入力。	入力	P24/TI01
INTP1				P33
RESOUT	出力	リセット信号出力。	出力	P70
EEWE	入力	EEPROMマスタ・データ領域書き込み許可入力。	入力	-
X1	入力	システム・クロック発振用セラミック/クリスタル接続	-	-
X2	-		-	-
RESET	入力	システム・リセット入力	入力	-
V _{DD}	-	正電源	-	-
V _{SS}	-	グランド電位	-	-
IC	-	内部接続されています。V _{SS} に直接接続してください。	-	-
V _{PP}	-	EEPROMプログラミング・モード設定。プログラム書き込み/ベリファイ時の高電圧印加。	-	-

2.2 端子機能の説明

2.2.1 P00-P03 (Port 0)

4ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PUB0) の設定により、内蔵プルアップ抵抗を使用できます。

2.2.2 P10, P11 (Port 1)

2ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ1 (PUB1) の設定により、内蔵プルアップ抵抗を使用できます。

2.2.3 P20-P24 (Port 2)

5ビット入出力ポートです。入出力ポートのほかにタイマの入出力、外部割り込み入力、ビット・シーケンシャル・バッファの出力機能があります。

P20, P21はN-chオープン・ドレイン入出力ポートです。

(1) ポート・モード

5ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ2 (PUB2) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマ入出力、外部割り込み入力、ビット・シーケンシャル・バッファの出力として機能します。

(a) BSFO0, BSFO1

ビット・シーケンシャル・バッファの出力端子です。

(b) TI50, TO50

8ビット・タイマ/イベント・カウンタ5の入出力端子です。

(c) TI00, TI01, TO0

16ビット・タイマ/イベント・カウンタ0の入出力端子です。

(d) INTPO

有効エッジ (立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりおよび立ち下がりエッジの両エッジ) 指定可能な外部割り込み入力端子です。

2.2.4 P30-P33 (Port 3)

4ビット入出力ポートです。入出力ポートのほかに外部割り込み入力、シリアル・インタフェースのデータ入出力、クロック入出力機能があります。

(1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ3 (PUB3) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み入力、シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

(a) SI2, SO2

シリアル・インタフェースのシリアル・データの入出力端子です。

(b) $\overline{\text{SCK2}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(c) RxD2, TxD2

アシンクロナス・シリアル・インタフェース用シリアル・データの入出力端子です。

(d) ASCK2

アシンクロナス・シリアル・インタフェース用シリアル・クロック入力端子です。

注意 シリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については表11-2 シリアル・インタフェース2の動作モードの設定一覧を参照してください。

(e) INTP1

有効エッジ（立ち上がりエッジ，立ち下がりエッジ，立ち上がりおよび立ち下がりエッジの両エッジ）指定可能な外部割り込み入力端子です。

2.2.5 P40-P45 (Port 4)

6ビット入力専用ポートです。汎用入力ポートのほかに、キー・リターン入力機能があります。プルアップ抵抗を内蔵しています。

(1) ポート・モード

6ビットの入力専用ポートとして機能します。

(2) コントロール・モード

キー・リターン入力 (KR0-KR5) として機能します。

2.2.6 P70 (Port 7)

1ビット出力専用ポートです。汎用出力ポートのほかに、リセット出力機能があります。

(1) ポート・モード

1ビットの出力専用ポートとして機能します。

(2) コントロール・モード

リセット出力 ($\overline{\text{RESOUT}}$) として機能します。

2.2.7 EEWE

EEPROMマスタ・データ領域書き込み許可入力端子です。

2.2.8 KRREN

キー・リターンのノンマスクブル割り込み/リセット切り替え入力端子です。

2.2.9 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2.2.10 X1, X2

システム・クロック発振用クリスタル振動子/セラミック発振子接続端子です。

外部クロックを供給するときは、X1に入力し、X2にその反転信号を入力してください。

2.2.11 VDD

正電源供給端子です。

2.2.12 VSS

グランド電位端子です。

2.2.13 VPP (μ PD78E9862のみ)

EEPROMプログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。

次のどちらかの端子処理をしてください。

個別に10 k Ω のプルダウン抵抗を接続する

ボード上のジャンパで、プログラミング・モード時は専用フラッシュ・ライタに、通常動作モード時はVSSに直接接続するように切り替える

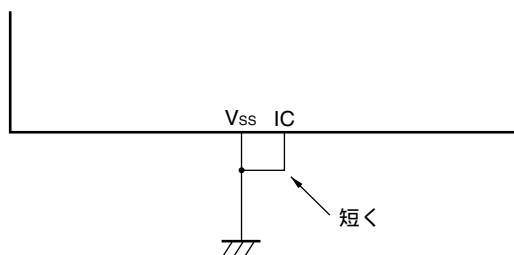
VPP端子とVSS端子間の配線の引き回しが長い場合や、VPP端子に外来ノイズが加わったときには、お客様のプログラムが正常に動作しないことがあります。

2.2.14 IC (マスクROM製品のみ)

IC (Internally Connected) 端子は、当社出荷時に μ PD789862を検査するためのテスト・モードに設定するための端子です。通常動作時には、IC端子をV_{SS}に直接接続し、その配線長を極力短くしてください。

IC端子とV_{SS}端子間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子とV_{SS}端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

IC端子をV_{SS}端子に直接接続してください。



2.3 端子の入出力回路と未使用端子の処理

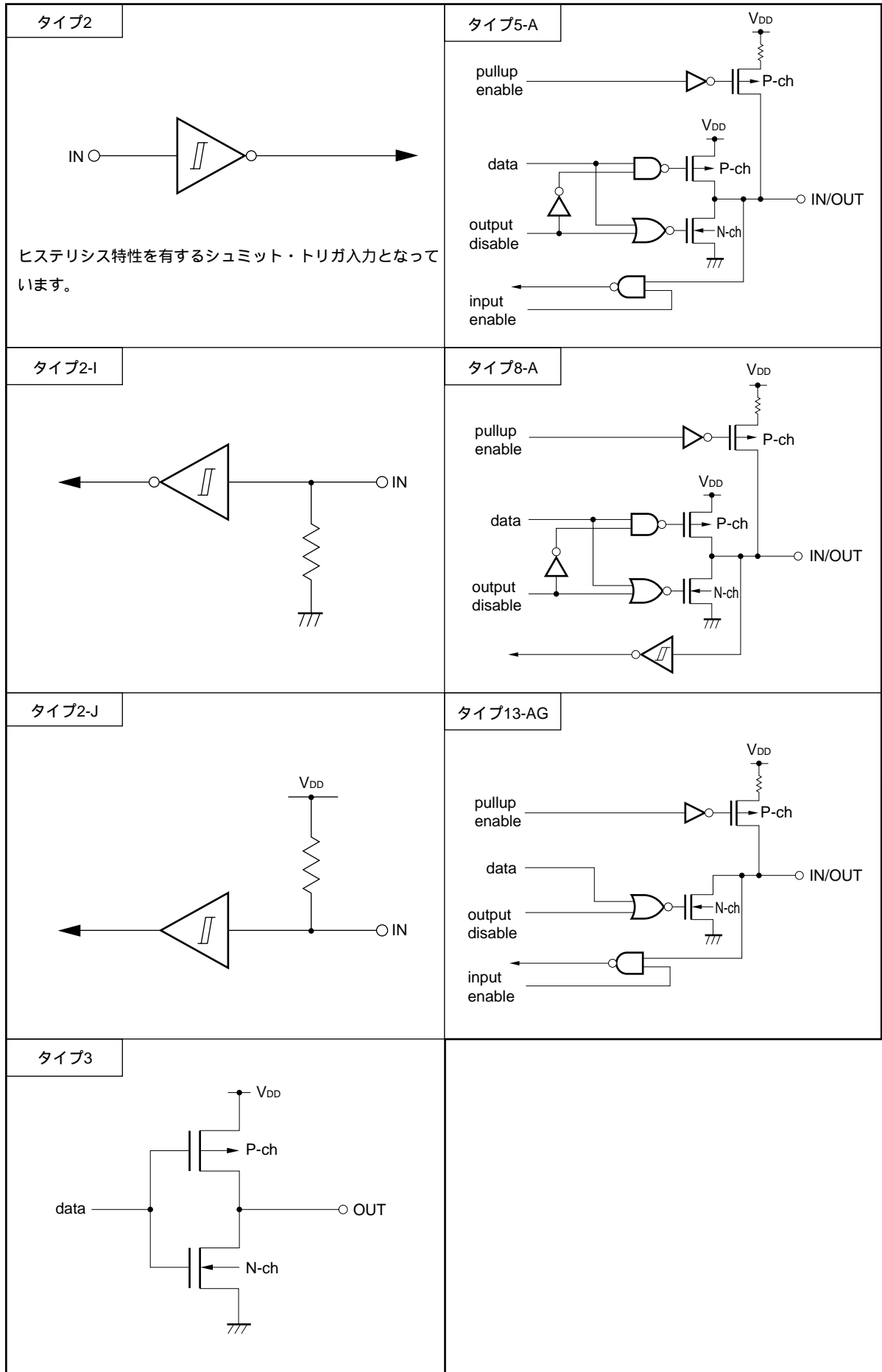
各端子の入出力回路タイプと、未使用端子の処理を表2 - 1に示します。

また、各タイプの入出力回路の構成は、図2 - 1を参照してください。

表2 - 1 各端子の入出力回路タイプと未使用端子の処理

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法				
P00-P03	5-A	入出力	入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。				
P10, P11							
P20/BSFO0	13-AG		入力時：個別に抵抗を介して、 V_{SS} に接続してください。 出力時：オープンにしてください。				
P21/BSFO1							
P22/TI50/TO50	8-A			入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。			
P23/TI00/TO0							
P24/TI01/INTP0	5-A				入力時：個別に抵抗を介して、 V_{SS} に接続してください。 出力時：オープンにしてください。		
P30/SCK2/ASCK2							
P31/TxD2/SO2	8-A					入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。	
P32/RxD2/SI2							
P33/INTP1	2-J	入力時：個別に抵抗を介して、 V_{SS} に接続してください。 出力時：オープンにしてください。					
P40/KR0-P45/KR5							
P70/RESOUT	3		出力				オープンにしてください。
EEWE	2-I		入力				V_{SS} に直接接続してください。
KRREN	2		入力				
RESET	2-J		入力	-			
IC	-		-	V_{SS} に直接接続してください。			
V_{PP}				個別に10 k Ω のブルダウン抵抗を接続するか、 V_{SS} に直接接続してください。			

図2 - 1 端子の入出力回路一覧



第3章 CPUアーキテクチャ

3.1 メモリ空間

μPD789862サブシリーズは、64 Kバイトのメモリ空間をアクセスできます。図3 - 1、図3 - 2に、メモリ・マップを示します。

図3 - 1 メモリ・マップ (μPD789862)

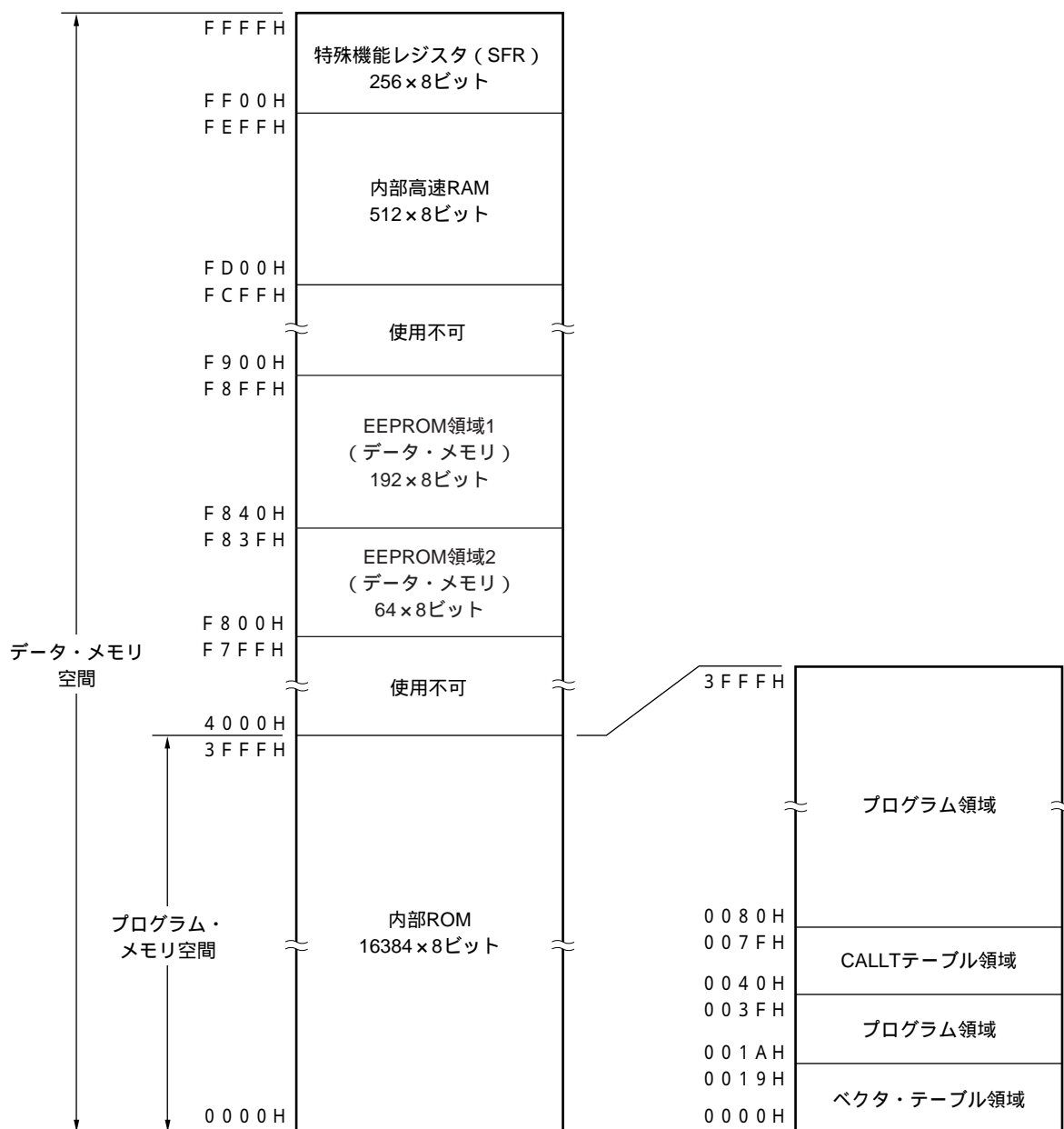
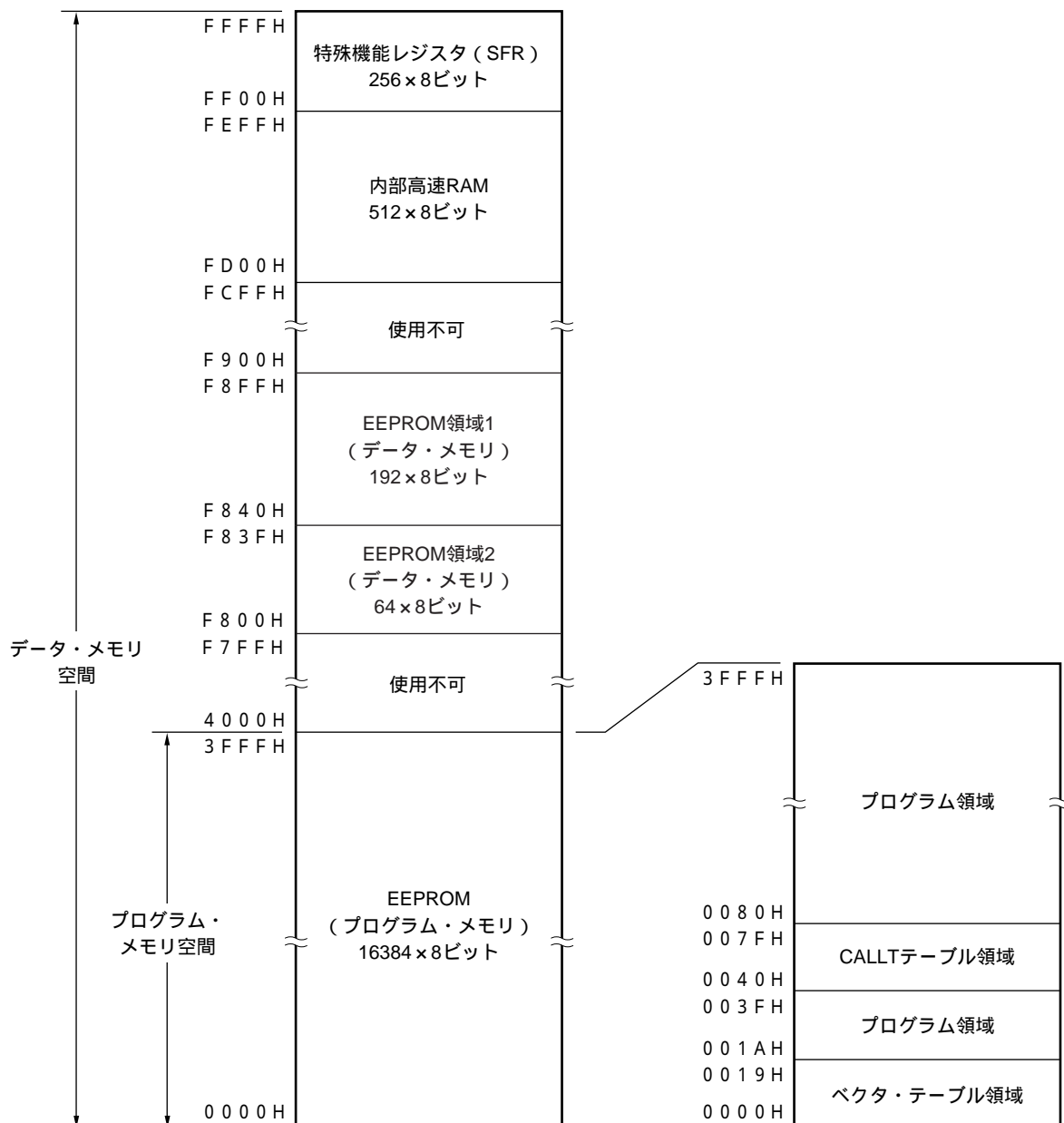


図3-2 メモリ・マップ(μ PD78E9862)



3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間には、プログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

μPD789862サブシリーズでは、各製品ごとに次の容量の内部ROM（またはEEPROM）を内蔵しています。

表3-1 内部ROM容量

品名	内部ROM	
	構造	容量
μPD789862	マスクROM	16384×8ビット
μPD78E9862	EEPROM	

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-0019Hの26バイトの領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、 $\overline{\text{RESET}}$ 入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要求	ベクタ・テーブル・アドレス	割り込み要求
0000H	RESET入力	000EH	INTTM01
0002H	INTKR00	0010H	INTTM50
0004H	INTWDT	0012H	INTSR20/INTCSI20
0006H	INTP0	0014H	INTST20
0008H	INTP1	0016H	INTLVI1
000AH	INTCMD	0018H	INTEE0
000CH	INTTM00		

(2) CALLT命令テーブル領域

0040H-007FHの64バイトの領域には、1バイト・コール命令（CALLT）のサブルーチン・エン트리・アドレスを格納することができます。

3.1.2 内部データ・メモリ空間

μPD789862サブシリーズの製品には、次に示すRAMを内蔵しています。

(1) 内部高速RAM

FD00H-FEFFFHの領域には、内部高速RAMを内蔵しています。

内部高速RAMはスタックとしても使用できます。

(2) EEPROM

F800H-F8FFFHの領域には、EEPROMを内蔵しています。

EEPROMについての詳細は、第4章 EEPROM（データ・メモリ）を参照してください。

3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (表3 - 3参照)。

3.1.4 データ・メモリ・アドレッシング

μ PD789862サブシリーズは、メモリの操作性などを考慮した豊富なアドレッシング・モードを備えています。特にデータ・メモリを内蔵している領域 (FD00H-FFFFH) では、特殊機能レジスタ (SFR) など、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図3 - 3、図3 - 4にデータ・メモリのアドレッシングを示します。

図3 - 3 データ・メモリのアドレッシング (μ PD789862)

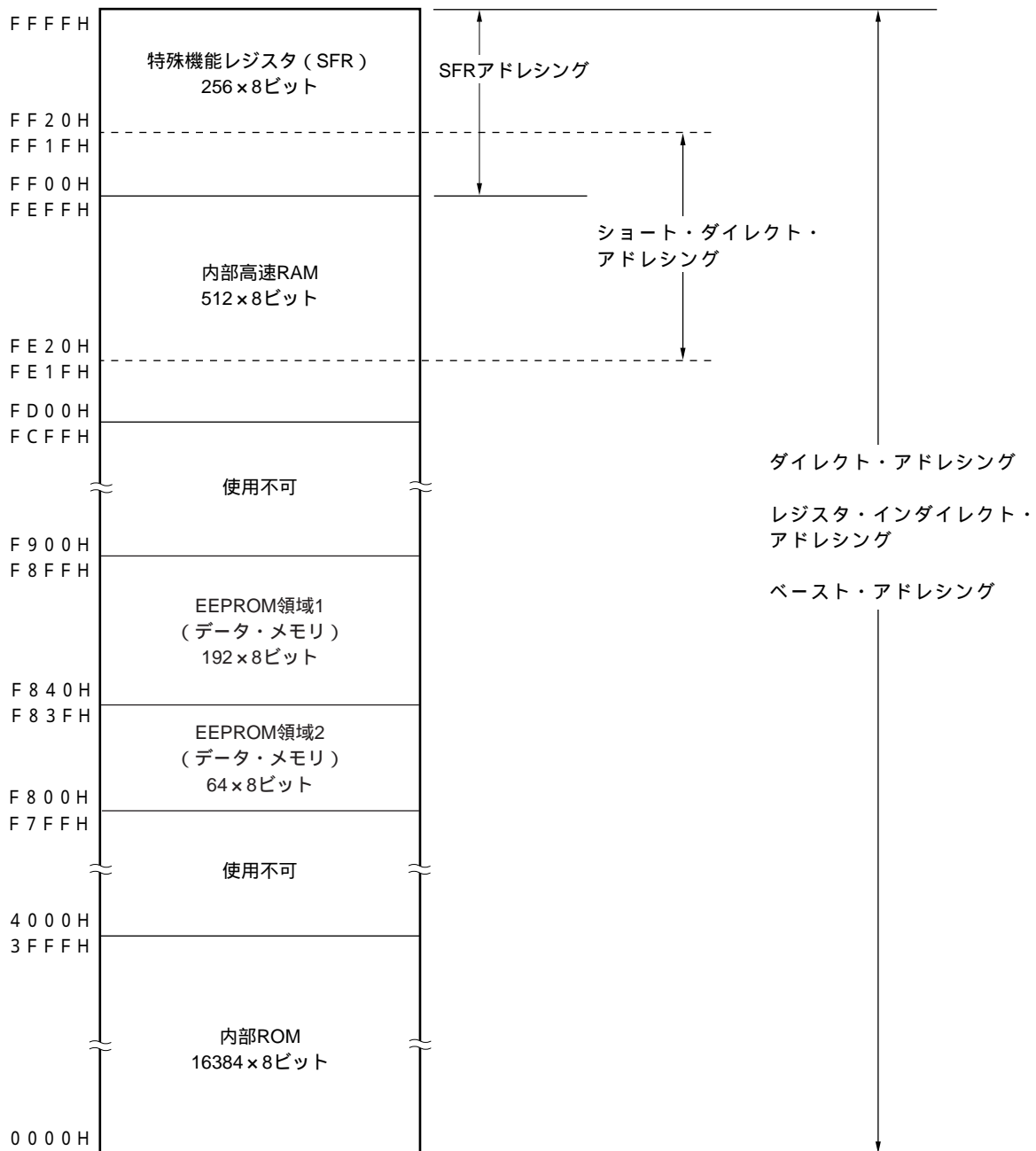
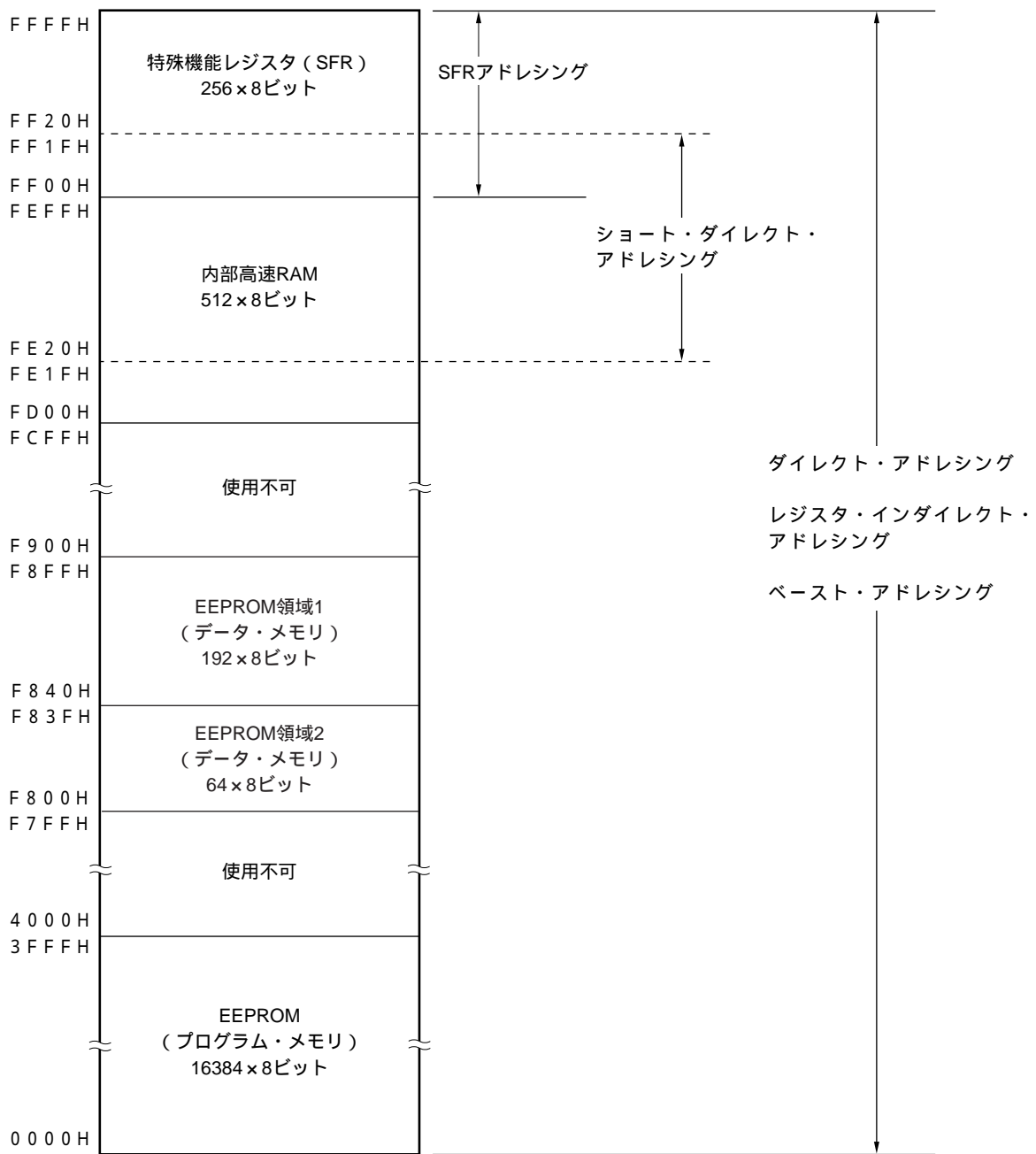


図3-4 データ・メモリのアドレッシング (μ PD78E9862)



3.2 プロセッサ・レジスタ

μ PD789862サブシリーズは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス・ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ、プログラム・ステータス・ワード、スタック・ポインタがあります。

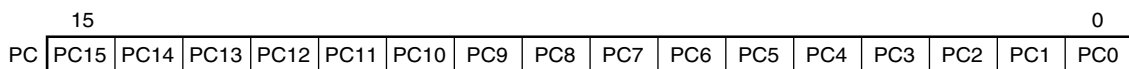
(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3 - 5 プログラム・カウンタの構成



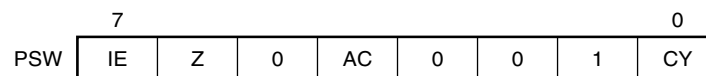
(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETI命令およびPOP PSW命令の実行時に自動的に復帰されます。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図3 - 6 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、ノンマスクابل割り込み以外の割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このときの割り込み要求の受け付けは、各割り込み要因に対する割り込みマスク・フラグにより制御されます。

このフラグはDI命令実行または割り込みの受け付けでリセット (0) され、EI命令実行によりセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

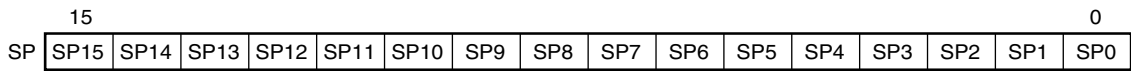
(d) キャリー・フラグ (CY)

加減算命令実行時のオーバーフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図3 - 7 スタック・ポインタの構成



スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

各スタック動作によって退避 / 復帰されるデータは図3 - 8 , 図3 - 9のようになります。

注意 SPの内容はRESET入力により、不定になりますので、必ず命令実行前にイニシャライズしてください。

図3 - 8 スタック・メモリへ退避されるデータ

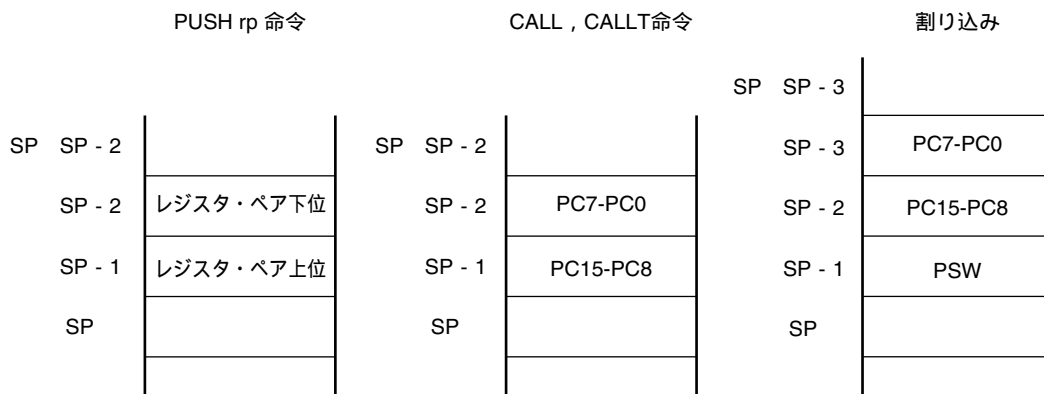
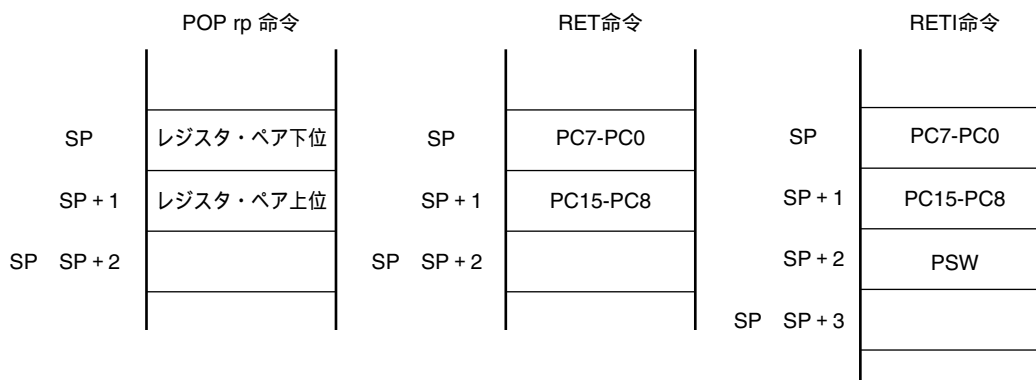


図3 - 9 スタック・メモリから復帰されるデータ



3.2.2 汎用レジスタ

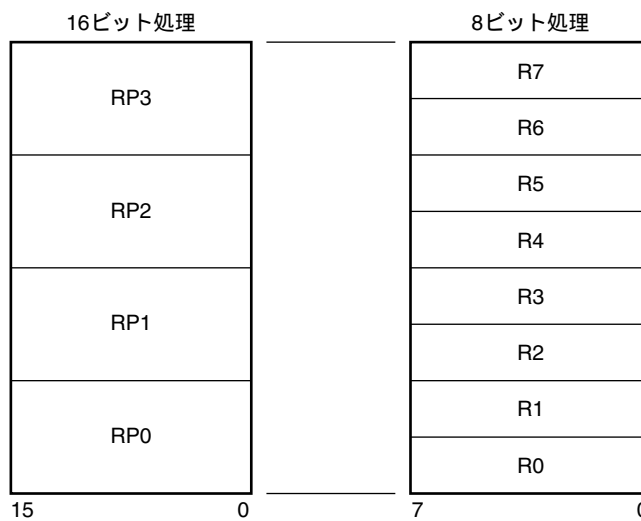
汎用レジスタは、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）で構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

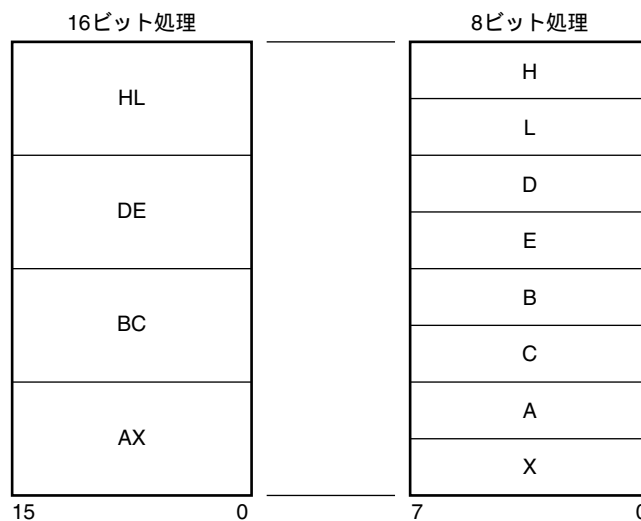
また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）でも記述できます。

図3 - 10 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



3.2.3 特殊機能レジスタ (SFR)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの256バイトの空間に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとに指定方法を次に示します。

- ・1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・16ビット操作

16ビット操作命令のオペランドにアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-3に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- ・略号

内蔵された特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、Cコンパイラではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。アセンブラ、統合ディバッガ使用時に命令のオペランドとして記述できます。

- ・R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を示します。

- ・リセット時

$\overline{\text{RESET}}$ 入力時の各レジスタの状態を示します。

表3-3 特殊機能レジスタ一覧(1/2)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
FF00H	ポート0	P0		R/W			-	00H
FF01H	ポート1	P1					-	
FF02H	ポート2	P2					-	
FF03H	ポート3	P3					-	
FF04H	ポート4	P4			R			
FF07H	ポート7	P7		R/W			-	
FF10H	ビット・シーケンシャル・バッファ1データ・レジスタL	BSFRL10	BSFR10	W	-			不定
FF11H	ビット・シーケンシャル・バッファ1データ・レジスタH	BSFRH10			-			
FF12H	16ビット・タイマ・カウンタ0	TM0		R	-	-		0000H
FF13H								
FF14H	16ビット・タイマ・キャプチャ/コンペア・レジスタ00	CR00		R/W	-	-		
FF15H								
FF16H	16ビット・タイマ・キャプチャ/コンペア・レジスタ01	CR01			-	-		
FF17H								
FF18H	16ビット・タイマ・カウンタD	TMD		R	-	-		
FF19H								
FF1AH	16ビット・コンペア・レジスタD	CMD		R/W	-	-		
FF1BH								
FF20H	ポート・モード・レジスタ0	PM0					-	FFH
FF21H	ポート・モード・レジスタ1	PM1					-	
FF22H	ポート・モード・レジスタ2	PM2					-	
FF23H	ポート・モード・レジスタ3	PM3					-	
FF30H	ブルアップ抵抗オプション・レジスタ0	PUB0					-	
FF31H	ブルアップ抵抗オプション・レジスタ1	PUB1				-		
FF32H	ブルアップ抵抗オプション・レジスタ2	PUB2				-		
FF33H	ブルアップ抵抗オプション・レジスタ3	PUB3				-		
FF42H	ウォッチドッグ・タイマ・クロック選択レジスタ	WDCS			-	-		
FF50H	8ビット・タイマ・カウンタ5	TM5		R	-	-		
FF51H	8ビット・タイマ・コンペア・レジスタ5	CR5		R/W	-	-		
FF52H	タイマ・クロック選択レジスタ5	TCL5			-	-		
FF53H	8ビット・タイマ・モード・コントロール・レジスタ5	TMC5					-	
FF5CH	16ビット・タイマ・モード・コントロール・レジスタD	TMCD					-	
FF60H	ビット・シーケンシャル・バッファ1出力コントロール・レジスタ	BSF1C					-	
FF70H	アシンクロナス・シリアル・インタフェース・モード・レジスタ2	ASIM2				-		
FF71H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2	ASIS2		R			-	
FF72H	シリアル動作モード・レジスタ2	CSIM2		R/W			-	
FF73H	ポー・レート・ジェネレータ・コントロール・レジスタ2	BRGC2			-	-		
FF74H	送信シフト・レジスタ2	TXS2	SIO2 ^{注1}	W	-	-	-	FFH
	受信バッファ・レジスタ2	RXB2		R	-	-	-	不定
FF80H	パワーオン・クリア・レジスタ	POCF		R/W			-	00H ^{注2}

注1. SIO2レジスタは、リード/ライトともに可能です。

2. パワーオン・クリアによるリセット時のみ04Hとなります。

表3 - 3 特殊機能レジスタ一覧 (2/2)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FF81H	低電圧検出レジスタ	LVIF	R/W			-	00H
FF82H	低電圧検出レベル選択レジスタ	LVIS				-	
FF90H	キー・リターン・エッジ検出レジスタ	EDG				-	注1
FFA6H	16ビット・タイマ・モード・コントロール・レジスタ0	TMC0				-	00H
FFA7H	プリスケアラ・モード・レジスタ0	PRM0		-		-	
FFA8H	キャプチャ/コンペア・コントロール・レジスタ0	CRC0				-	
FFA9H	16ビット・タイマ出力コントロール・レジスタ0	TOC0				-	
FFD7H	8ビット・タイマ・モード・コントロール・レジスタ80	TMC80				-	
FFD8H	8ビット・タイマ・コンペア・レジスタ80	CR80	W	-	-	不定	
FFD9H	8ビット・タイマ・カウンタ80	TM80	R	-	-	00H	
FFDCH	EEPROMライト・コントロール・レジスタ10	EEWC10	R/W			-	08H ^{注2}
FFE0H	割り込み要求フラグ・レジスタ0	IF0				-	00H
FFE1H	割り込み要求フラグ・レジスタ1	IF1				-	
FFE4H	割り込みマスク・フラグ・レジスタ0	MK0				-	FFH
FFE5H	割り込みマスク・フラグ・レジスタ1	MK1				-	
FFECH	外部割り込みモード・レジスタ0	INTM0		-		-	00H
FFF9H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM				-	
FFFAH	発振安定時間選択レジスタ	OSTS		-		-	04H
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC				-	02H

- 注1. キー・リターン・リセットの場合1000000×B (ビット0はキー・リターン・リセットが入る前の値を保持), それ以外のリセットの場合00Hになります。
2. ビット7 (EEWEM10) の初期値は, EEWE端子の状態に依存します。

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行することにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0Sシリーズ ユーザーズ・マニュアル 命令編（U11047J）を参照してください）。

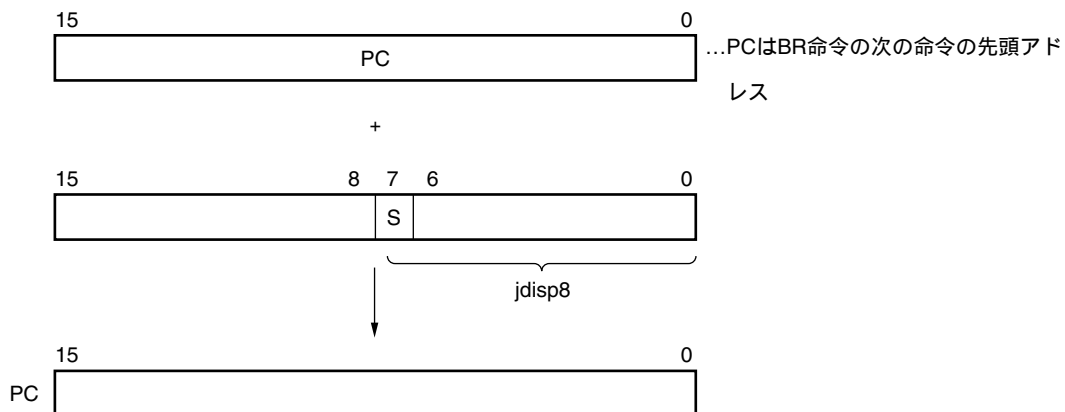
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエト・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



S = 0 のとき、 は全ビット 0

S = 1 のとき、 は全ビット 1

3.3.2 イミディエト・アドレッシング

【機能】

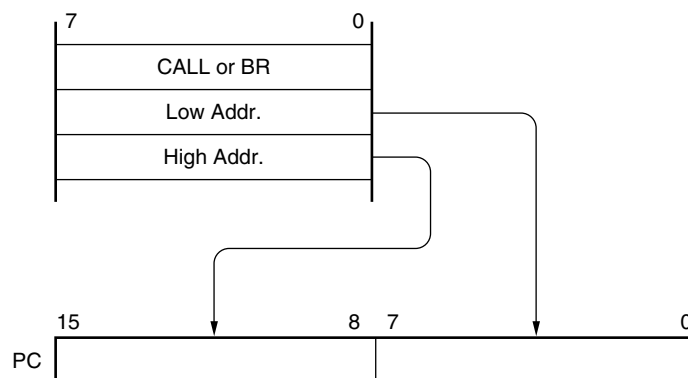
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16命令を実行する際に行われます。

CALL !addr16, BR !addr16命令は、全メモリに分岐できます。

【図解】

CALL !addr16, BR !addr16命令の場合



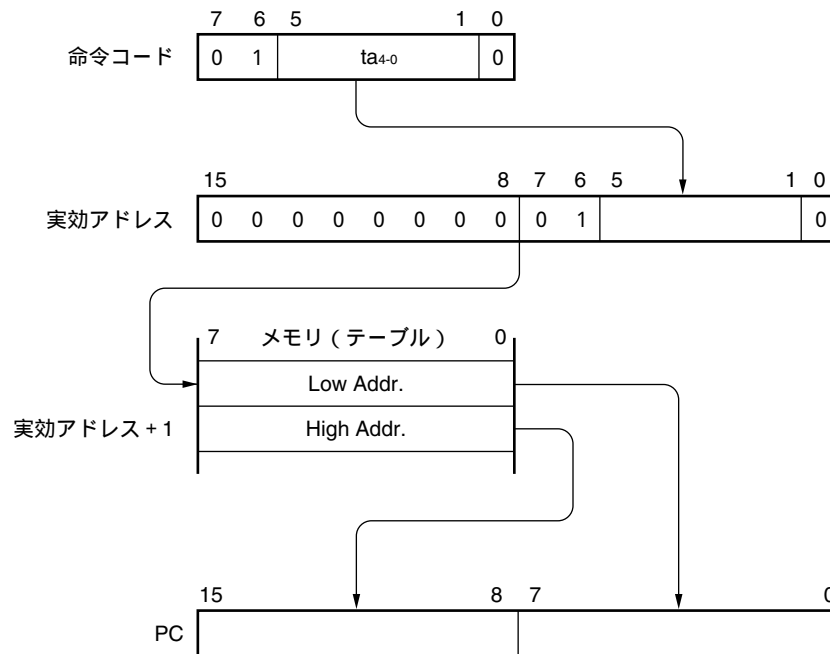
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H～7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



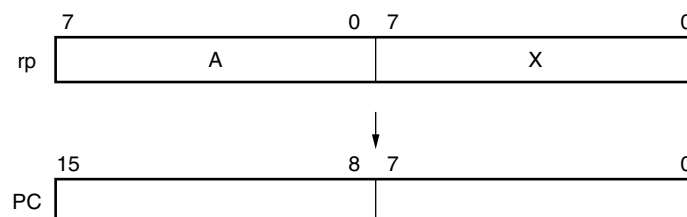
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 ダイレクト・アドレッシング

【機能】

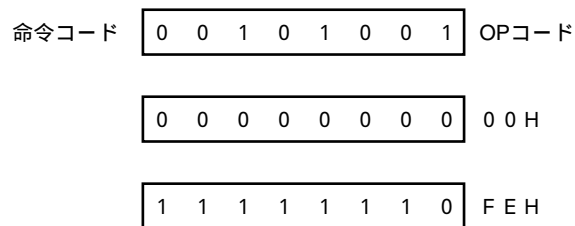
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

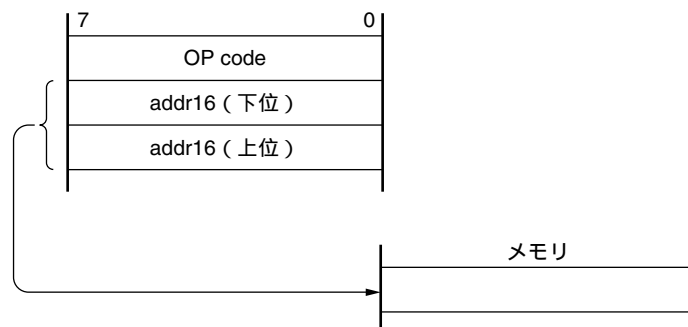
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !FE00H ; laddr16をFE00Hとする場合



【図解】



3.4.2 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部高速RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ・カウンタのコンペア・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作することができます。

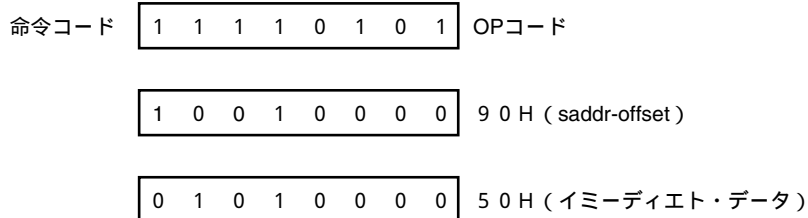
実効アドレスのビット8には、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。次の【図解】を参照してください。

【オペランド形式】

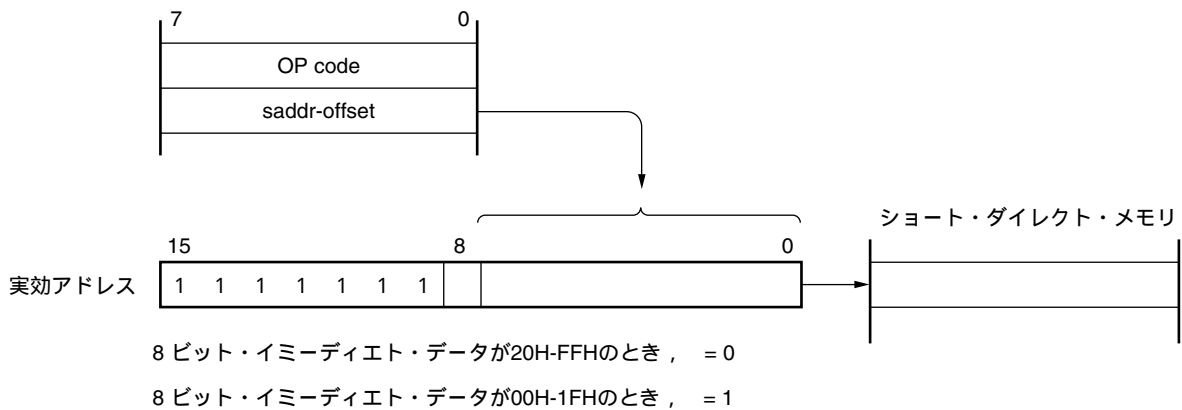
表現形式	記述方法
saddr	ラベルまたはFE20H-FF1FHのイミディエト・データ
saddrp	ラベルまたはFE20H-FF1FHのイミディエト・データ（偶数アドレスのみ）

【記述例】

MOV FE90H, #50H ; saddrをFE90H、イミディエト・データを50Hとする場合



【図解】



3.4.3 特殊機能レジスタ (SFR) アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

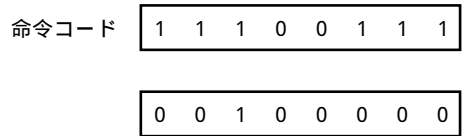
このアドレッシングが適用されるのはFF00H-FFFFHの256バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

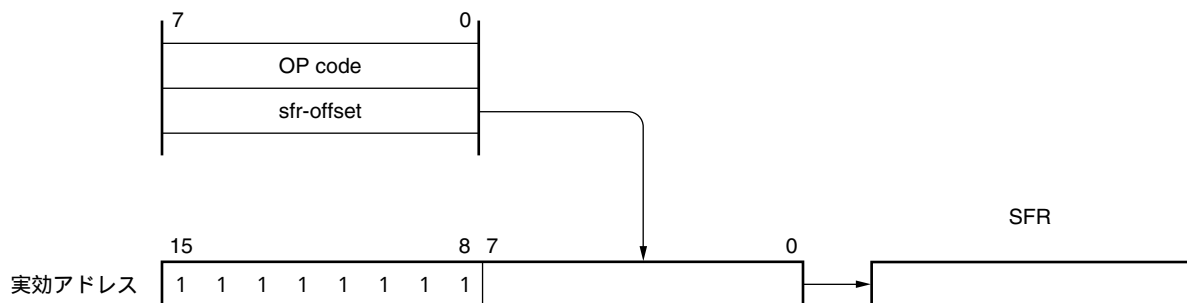
表現形式	記述方法
sfr	特殊機能レジスタ名

【記述例】

MOV PM0, A ; sfrにPM0を選択する場合



【図解】



3.4.4 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。

アクセスされる汎用レジスタは、命令コード中のレジスタ指定コードや機能名称で指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

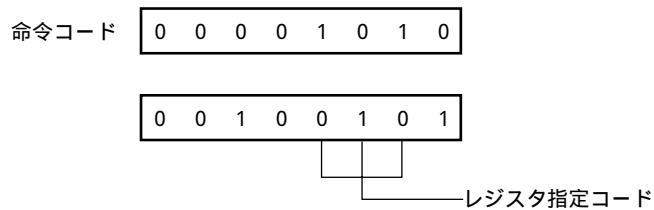
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

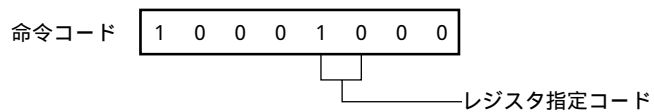
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.5 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

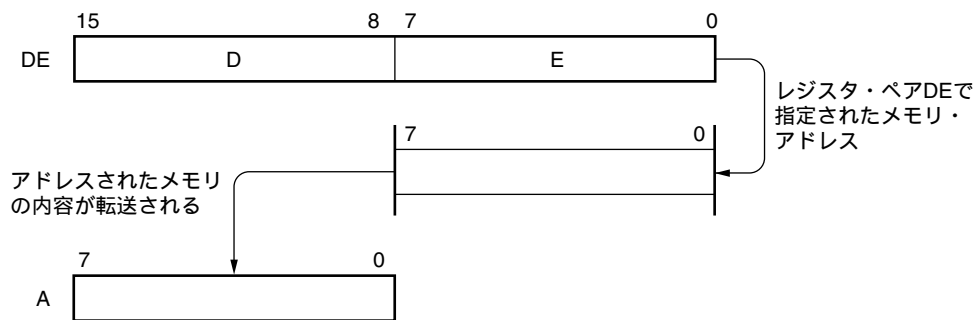
【記述例】

MOV A, [DE] ; レジスタ・ペア [DE] を選択する場合

命令コード

0 0 1 0 1 0 1 1

【図解】



3.4.6 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + byte]

【記述例】

MOV A, [HL + 10H] ; byteを10Hとする場合

命令コード

0	0	1	0	1	1	0	1
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

3.4.7 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の内容により、スタック領域を間接的にアドレスするアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスすることができます。

【記述例】

PUSH DEの場合

命令コード

1	0	1	0	1	0	1	0
---	---	---	---	---	---	---	---

第4章 EEPROM (データ・メモリ)

4.1 メモリ空間

μ PD789862サブシリーズは、データ・メモリとして、内部高速RAMのほかに、256 × 8ビットのEEPROM (Electrically Erasable PROM) を内蔵しています。

EEPROMは、通常のRAMとは異なり、電源を切ってもその内容を保持できます。また、EPROMとは異なり、電氣的に内容を消去することができます。

4.2 EEPROMの構成

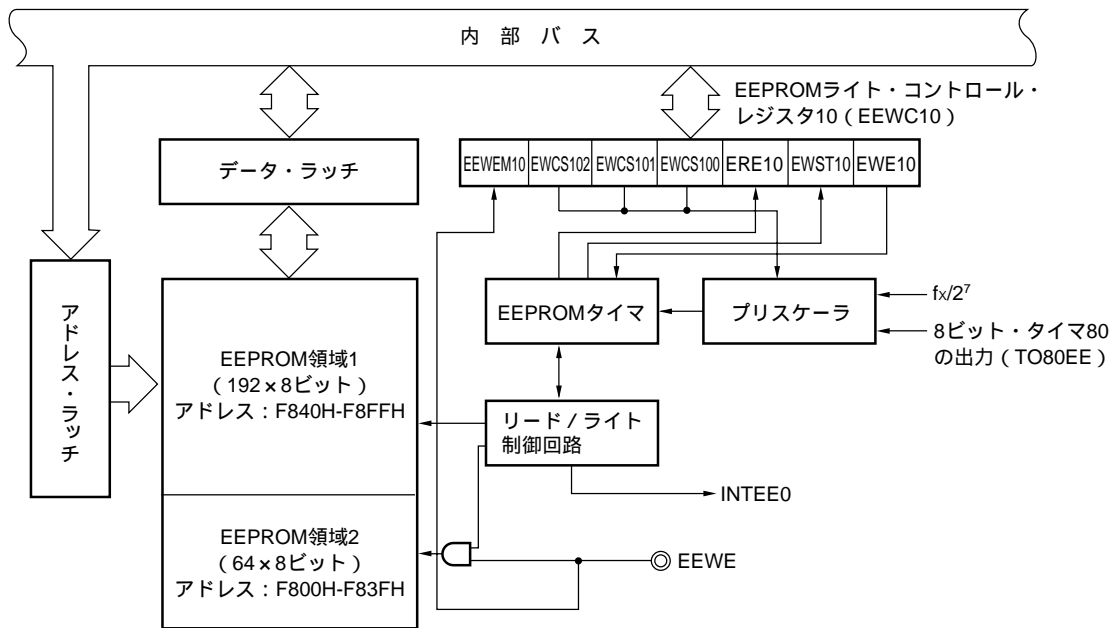
EEPROMは、EEPROM本体と、コントロール部で構成されています。

コントロール部は、EEPROMの書き込みを制御するEEPROMライト・コントロール・レジスタ10 (EEWC10) と、書き込み終了を検出して割り込み要求信号 (INTEE0) を発生する部分で構成されています。

また、EEPROM書き込み専用タイマとして、8ビット・タイマ80があります。詳細は、4.4 8ビット・タイマ80を参照してください。

EEPROMのブロック図を図4 - 1に、8ビット・タイマ80のブロック図を図4 - 2に示します。

図4 - 1 EEPROMのブロック図



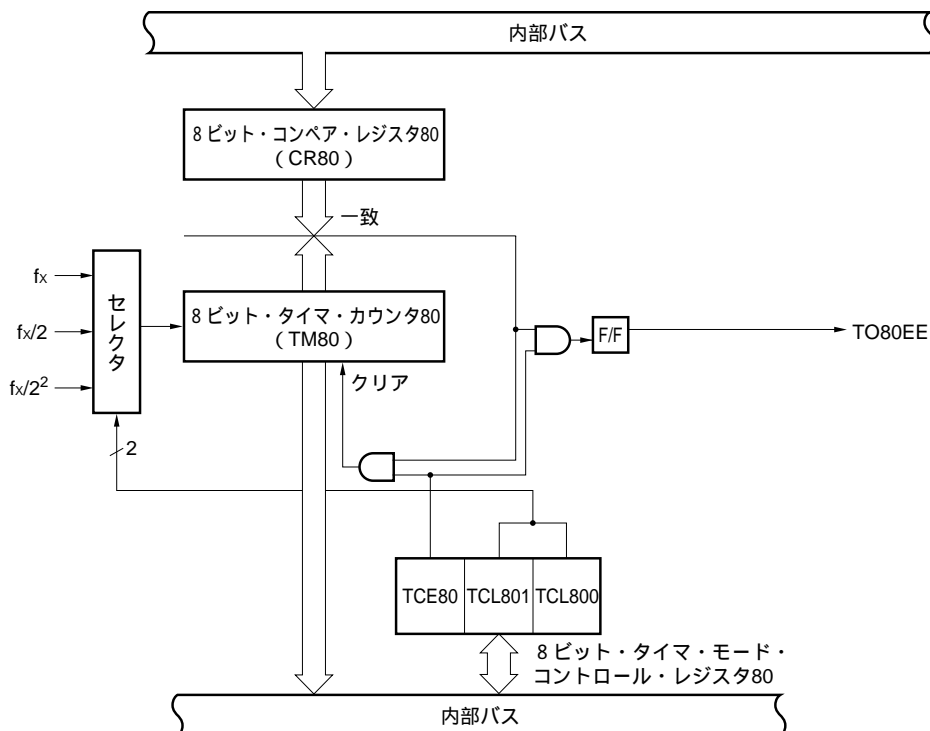
注意 EEWL端子の状態がロウ・レベルの場合、EEPROM領域2 (64バイト) への書き込みはできません。読み出しのみ可能です。EEWL端子がロウ・レベルのときにEEPROM領域2 (64バイト) への書き込みを実行しても、その命令は無視されます。

EEWL端子の状態がハイ・レベルの場合のみ、EEPROM領域2 (64バイト) への書き込みが可能です。

EEPROM領域1 (192バイト) は、EEWL端子の状態によらずリード/ライトできます。

EEPROM領域2 (64バイト) への書き込み中は、EEWL端子をハイ・レベルに保持してください。書き込み中にEEWL端子がロウ・レベルに立ち下ると、そのアドレスのEEPROMセル値が不定になります。

図4 - 2 8ビット・タイマ80のブロック図



4.3 EEPROMを制御するレジスタ

EEPROMは、EEPROMライト・コントロール・レジスタ10 (EEWC10) で制御します。

EEWC10は、EEPROMのカウント・クロックの選択、EEPROMへの書き込みの制御などを設定するレジスタです。

EEWC10は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、08Hになります。

図4 - 3にEEPROMライト・コントロール・レジスタ10のフォーマット図を、表4 - 1にEEPROM書き込み時間を示します。

図4 - 3 EEPROMライト・コントロール・レジスタ10のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
EEWC10	EEWEM10	EWCS102	EWCS101	EWCS100	1	ERE10	EWST10	EWE10	FFDCH	08H ^{注1}	R/W ^{注2}

EWCS102	EWCS101	EWCS100	EEPROMタイマのカウント・クロックの選択		
				fx = 5.0 MHz動作時	fx = 3.0 MHz動作時
1	0	0	fx/2 ⁷	39.1 kHz	23.4 kHz
1	1	0	8ビット・タイマ80の出力		
上記以外			設定禁止		

ERE10	EWE10	書き込み	読み出し	備考
0	0	禁止	禁止	EEPROMはスタンバイ状態 (低消費電力モード)
0	1	設定禁止		
1	0	禁止	許可	
1	1	許可	許可	

EWST10	EEPROMの書き込みステータス・フラグ
0	EEPROMへの書き込み中ではない (EEPROMへの書き込み / 読み出しが可能。ただし、EWE10 = 0のときは書き込み禁止)
1	EEPROMへの書き込み中 (EEPROMへの書き込み / 読み出しはできない)

EEWEM10	EEWE端子のステータス・フラグ
0	ロウ・レベル (EEPROM領域2 (64バイト) への書き込み不可)
1	ハイ・レベル (EEPROM領域2 (64バイト) への書き込み可)

注1. ビット7 (EEWEM10) の初期値はEEWE端子の状態に依存します。

2. ビット1, 7はRead Onlyです。

注意 ビット3には必ず1を設定してください。

備考 fx : システム・クロック発振周波数

★

表4 - 1 EEPROMの書き込み時間

EWCS102	EWCS101	EWCS100	EEPROMタイマのカウンタ・クロック		EEPROMへのデータ書き込み時間 ^注			
			$f_x = 5.0 \text{ MHz}$ 動作時	$f_x = 3.0 \text{ MHz}$ 動作時	$f_x = 5.0 \text{ MHz}$ 動作時	$f_x = 3.0 \text{ MHz}$ 動作時		
1	0	0	$f_x/2^7$	39.1 kHz	23.4 kHz	$2^7/f_x \times 145$	3.71 ms	6.18 ms
1	1	0	8ビット・タイマ80の出力			8ビット・タイマ80の出力 × 145		
上記以外			設定禁止					

注 EEPROM書き込み時間は必ず3.3 ~ 6.6 msの範囲内に設定してください。

備考 f_x : システム・クロック発振周波数

4.4 8ビット・タイマ80

4.4.1 8ビット・タイマ80の構成

8ビット・タイマ80は、次のハードウェアで構成しています。

表4 - 2 8ビット・タイマ80の構成

項 目	構 成
タイマ・カウンタ	8ビット×1本 (TM80)
レジスタ	コンペア・レジスタ: 8ビット×1本 (CR80)
制御レジスタ	8ビット・タイマ・モード・コントロール・レジスタ80 (TMC80)

(1) 8ビット・タイマ・コンペア・レジスタ80 (CR80)

CR80に設定した値と8ビット・タイマ・カウンタ80 (TM80) のカウント値を常に比較し、一致したときにTO80のF/Fの反転信号を発生する8ビットのレジスタです。

CR80は、8ビット・メモリ操作命令で設定します。00H-FFHの値が設定可能です。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 タイマ・カウンタ動作モード時にCR80を書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。タイマ動作を許可している状態でCR80を書き換えた場合、その時点で一致割り込み要求信号が発生する場合があります。

(2) 8ビット・タイマ・カウンタ80 (TM80)

カウント・パルスをカウントする8ビットのレジスタです。

TM80は、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

4.4.2 8ビット・タイマ80を制御するレジスタ

8ビット・タイマ80は、次のレジスタで制御します。

・8ビット・タイマ・モード・コントロール・レジスタ80 (TMC80)

(1) 8ビット・タイマ・モード・コントロール・レジスタ80 (TMC80)

8ビット・タイマ・カウンタ80 (TM80) の動作許可 / 停止の制御, TM80のカウンタ・クロックの設定をするレジスタです。

TMC80は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図4 - 4 8ビット・タイマ・モード・コントロール・レジスタ80のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
TMC80	TCE80	0	0	0	0	TCL801	TCL800	0	FFD7H	00H	R/W

TCE80	8ビット・タイマ・カウンタ80の動作の制御
0	動作停止 (TM80は0にクリア)
1	動作許可

TCL801	TCL800	8ビット・タイマ・カウンタ80のカウンタ・クロックの選択
0	0	f_x
0	1	$f_x/2$
1	0	$f_x/2^2$
1	1	設定禁止

注意1. TMC80の設定は、必ずタイマ動作を停止させたのちに行ってください。

2. ビット0, 3-6には必ず0を設定してください。

備考 f_x : システム・クロック発振周波数

4.5 EEPROM書き込み時の注意事項

EEPROMへの書き込みに関する注意を次に示します。

- (1) EEPROMから命令フェッチする場合、およびシステム・クロック発振回路を停止する場合には、必ずEEPROMへの書き込みを禁止に設定 (EWE10 = 0) してから行ってください。
- (2) カウント・クロックの設定は、選択するクロックが動作 (発振) している状態で行ってください。選択したカウント・クロックが停止していた場合、その後、クロックの動作を開始させ、EEPROMへの書き込み許可に設定 (EWE10 = 1) しても、書き込み可能状態に移りません。
- (3) EEPROMへの書き込み時間は、必ず3.3 ~ 6.6 msの範囲内に設定してください。

例 8ビット・タイマ80を使用してEEPROMへの書き込み時間を3.4 msに設定する場合

(条件: $f_x = 4$ MHz時)

```

MOV TMC80, #00H           ; カウント・クロック =  $f_x$ に設定
★ MOV CR80, #2EH          ; TM80の周期 =  $1/4$  MHz  $\times$  47 = 11.75  $\mu$ s
                               EEPROMへのクロックはTM80の周期の2倍となる (フリップ
                               フロップ出力)のでEEPROMタイマへのカウント・クロック =
                               11.75  $\mu$ s  $\times$  2 = 23.5  $\mu$ s
MOV EEWC10, #01101000B   ; EEPROMへの書き込み時間 = 23.5  $\mu$ s  $\times$  145 = 3.4 ms

```

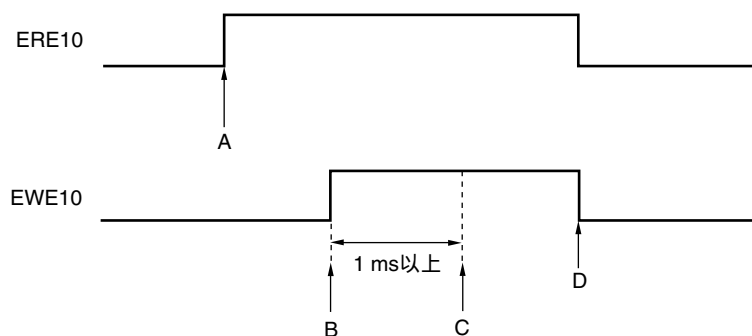
- (4) ERE10, EWE10をセットする場合は必ず次の手順で行ってください。次の手順以外で設定を行うとEEPROMへの書き込み可能状態に移りません。

ERE10 = 1に設定 (このときEWE10 = 0の状態である)

EWE10 = 1に設定 (このときERE10 = 1の状態である)

ソフトウェアで1 ms以上ウエイトする

EEPROMへの書き込み可能状態に移



A (ERE10 = 1) : 読み出し可能な状態に移ります。

B (EWE10 = 1) : これ以前にカウント・クロックの設定を行ってください。

C : 書き込み可能な状態に移ります。

D : ERE10をクリア (ERE10 = 0) にするとEWE10もクリア (EWE10 = 0) されます。この状態で読み出し / 書き込みはできません。

(5) EEPROMへの書き込みを行う際、EWST10 = 0であることを確認してから実行してください。EWST10 = 1のときEEPROMへの書き込みを実行しても、その命令は無視されます。

(6) EEPROMへの書き込み中に次の動作を実行しないでください。実行した場合、そのアドレスのEEPROMセル値が不定になります。

- ・電源を立ち下げる
- ・リセットを実行する
- ・ERE10 = 0に設定する
- ・EWE10 = 0に設定する
- ・EEPROMタイマのカウント・クロックを切り替える

(7) EEPROMタイマのカウント・クロックにシステム・クロックの分周を選択して、EEPROMへの書き込み中であるとき、次の動作を実行しないでください。実行した場合、そのアドレスのEEPROMセル値が不定になります。

- ・STOP命令を実行する

(8) EEPROMタイマのカウント・クロックに8ビット・タイマ80の出力を選択して、EEPROMへの書き込み中であるとき、次の動作を実行しないでください。実行した場合、そのアドレスのEEPROMセル値が不定になります。

- ・STOP命令を実行する
- ・8ビット・タイマ80のタイマ出力を停止する
- ・8ビット・タイマ80の動作を停止する

(9) EEPROMへの書き込み / 読み出しを行うとき、次の動作を実行しないでください。実行した場合、次に読み出すEEPROMのデータが不定になり、CPUが暴走する可能性があります。

- ・ERE10 = 0に設定する
- ・EEPROMへの書き込みを実行する

(10) EEPROMへの書き込み / 読み出しを行わない場合、ERE10 = 0に設定することで低消費モードにすることができます。ERE10 = 1の状態では、常に約0.27 mA ($V_{DD} = 3.6\text{ V}$)の電流が流れます。このとき、EEPROMからの読み出し命令を実行した場合には、さらに0.9 mAの電流が加わり約1.17 mA ($V_{DD} = 3.6\text{ V}$)の電流が流れます。ERE10 = 1、EWE10 = 1の状態では、常に約0.3 mA ($V_{DD} = 3.6\text{ V}$)の電流が流れます。このとき、EEPROMへの書き込み命令を実行した場合には、さらに0.7 mAの電流が加わり約1.0 mA ($V_{DD} = 3.6\text{ V}$)の電流が、EEPROMへの読み出し命令を実行した場合には、0.9 mAの電流が加わり約1.2 mA ($V_{DD} = 3.6\text{ V}$)の電流がそれぞれ流れます。

(11) STOP命令を実行した場合、ERE10、EWE10の設定にかかわらず、自動的に低消費電力モードになります。このとき、ERE10、EWE10の状態は保持されます。また、STOP解除時のウェイト時間中は約300 μA ($V_{DD} = 3.6\text{ V}$)の電流が流れます。HALT命令を実行した場合は低消費電力モードになりません。

(12) EEW端子の状態がロウ・レベルの場合、EEPROM領域2 (64バイト) への書き込みはできません。読み出しのみ可能です。EEWE端子がロウ・レベルのときにEEPROM領域2 (64バイト) への書き込みを実行しても、その命令は無視されます。

EEWE端子の状態がハイ・レベルの場合のみ、EEPROM領域2 (64バイト) への書き込みが可能です。

EEPROM領域1 (192バイト) は、EEWE端子の状態によらずリード/ライトできます。

EEPROM領域2 (64バイト) への書き込み中は、EEWE端子をハイ・レベルに保持してください。書き込み中にEEWE端子がロウ・レベルに立ち下がると、そのアドレスのEEPROMセル値が不定になります。

第5章 ポート機能

5.1 ポートの機能

μPD789862サブシリーズは図5 - 1に示すポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

図5 - 1 ポートの種類

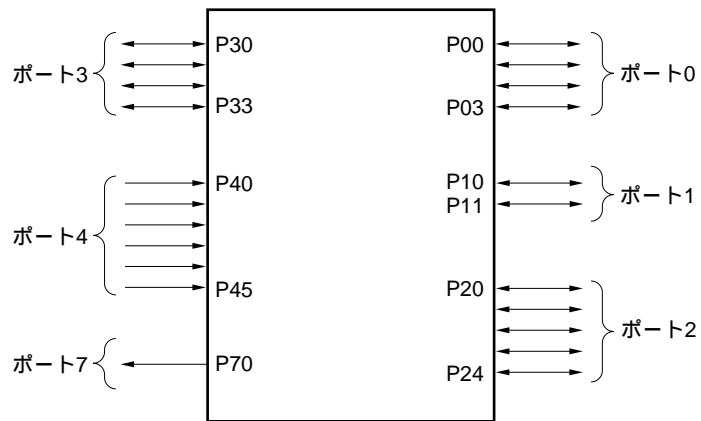


表5 - 1 ポートの機能

端子名称	入出力	機 能	リセット時	兼用端子
P00-P03	入出力	ポート0。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0(PUB0)の設定により、内蔵プルアップ抵抗を使用可能。	入力	-
P10, P11	入出力	ポート1。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ1(PUB1)の設定により、内蔵プルアップ抵抗を使用可能。	入力	-
P20	入出力	ポート2。 5ビット入出力ポート (P20, P21はN-chオープン・ドレイン入出力ポート)。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ2(PUB2)の設定により、内蔵プルアップ抵抗を使用可能。	入力	BSFO0
P21				BSFO1
P22				TI50/TO50
P23				TI00/TO0
P24				TI01/INTP0
P30	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ3(PUB3)の設定により、内蔵プルアップ抵抗を使用可能。	入力	SCK2/ASCK2
P31				TxD2/SO2
P32				RxD2/SI2
P33				INTP1
P40-P45	入力	ポート4。 6ビット入力専用ポート。 プルアップ抵抗を内蔵。	入力	KR0-KR5
P70	出力	ポート7。 1ビット出力専用ポート。	出力	RESOUT

5.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表5-2 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PM _m : m = 0-3) プルアップ抵抗オプション・レジスタ (PUB _m : m = 0-3)
ポート	合計 : 22本 (入力 : 6本, 出力 : 1本, 入出力 : 15本)
プルアップ抵抗	合計 : 15本 (ソフトウェア制御のみ)

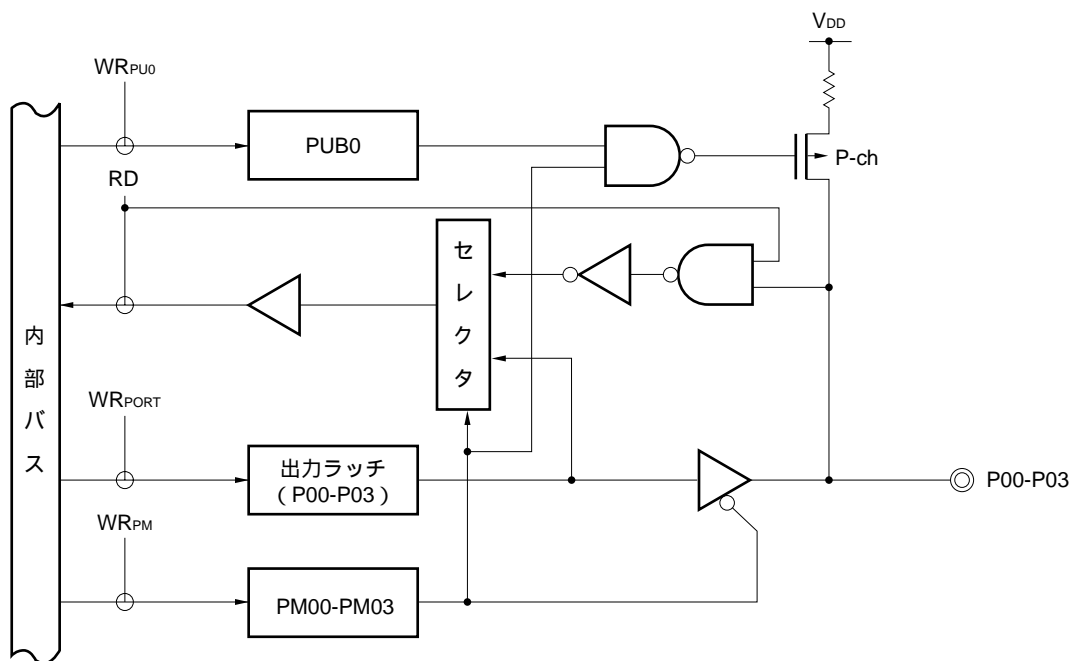
5.2.1 ポート0

出力ラッチ付き4ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード / 出力モードの指定ができます。P00-P03端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0 (PUB0) により4ビット単位で内蔵プルアップ抵抗を使用できます。

RESET入力により、入力モードになります。

図5-2にポート0のブロック図を示します。

図5-2 P00-P03のブロック図



PUB0 : プルアップ抵抗オプション・レジスタ0

PM : ポート・モード・レジスタ

RD : ポート0のリード信号

WR : ポート0のライト信号

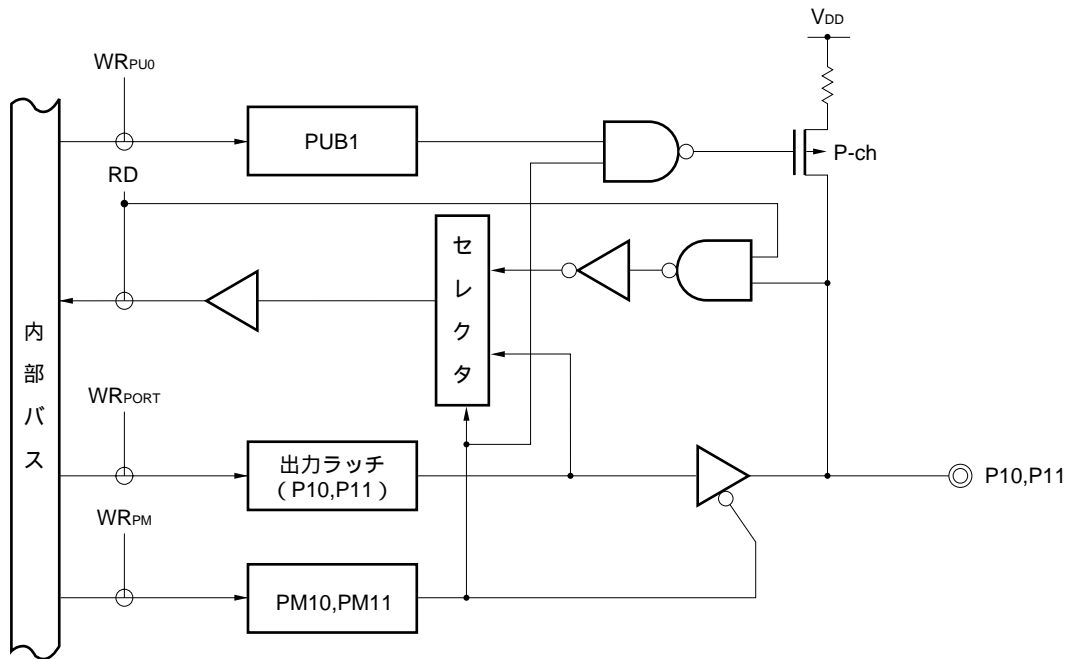
5.2.2 ポート1

出力ラッチ付き2ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード / 出力モードの指定ができます。P10, P11端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ1 (PUB1) により2ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図5-3にポート1のブロック図を示します。

図5-3 P10, P11のブロック図



PUB1 : プルアップ抵抗オプション・レジスタ1

PM : ポート・モード・レジスタ

RD : ポート1のリード信号

WR : ポート1のライト信号

5.2.3 ポート2

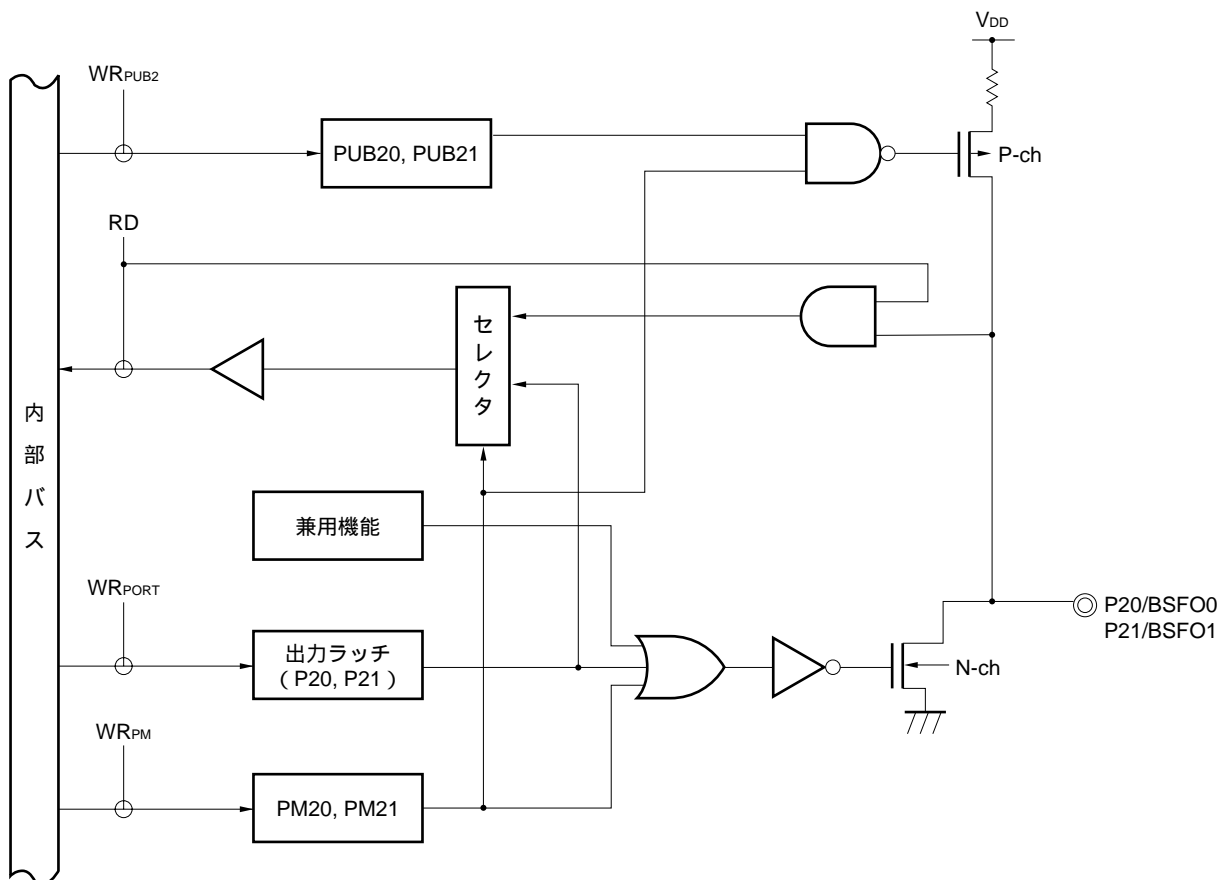
出力ラッチ付き5ビットの入出力ポートです。P20, P21はN-chオープン・ドレイン出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード/出力モードの指定ができます。P20-P24端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ2 (PUB2) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてタイマ入出力、外部割り込み入力、ビット・シーケンシャル・バッファ出力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図5 - 4から図5 - 6にポート2のブロック図を示します。

図5 - 4 P20, P21のブロック図



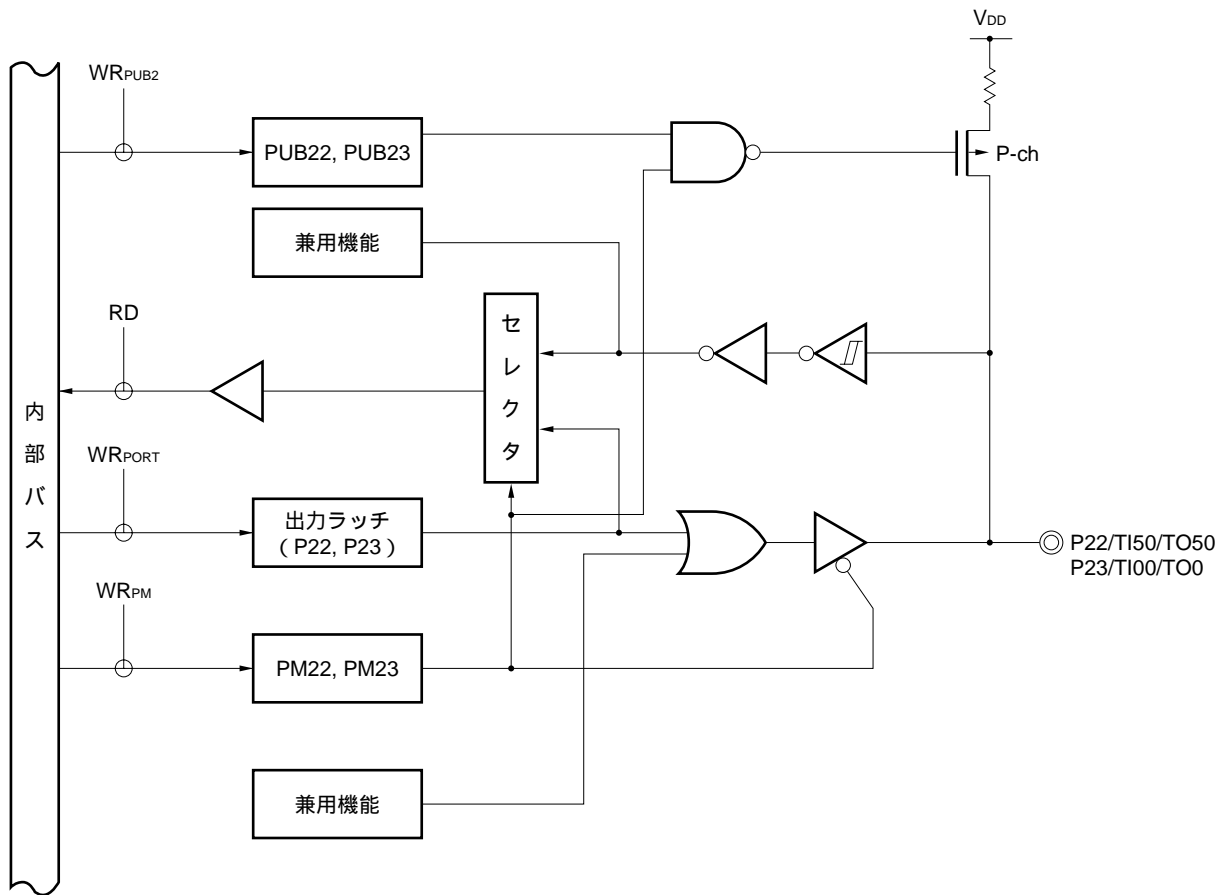
PUB2 : プルアップ抵抗オプション・レジスタ2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図5 - 5 P22, P23のブロック図



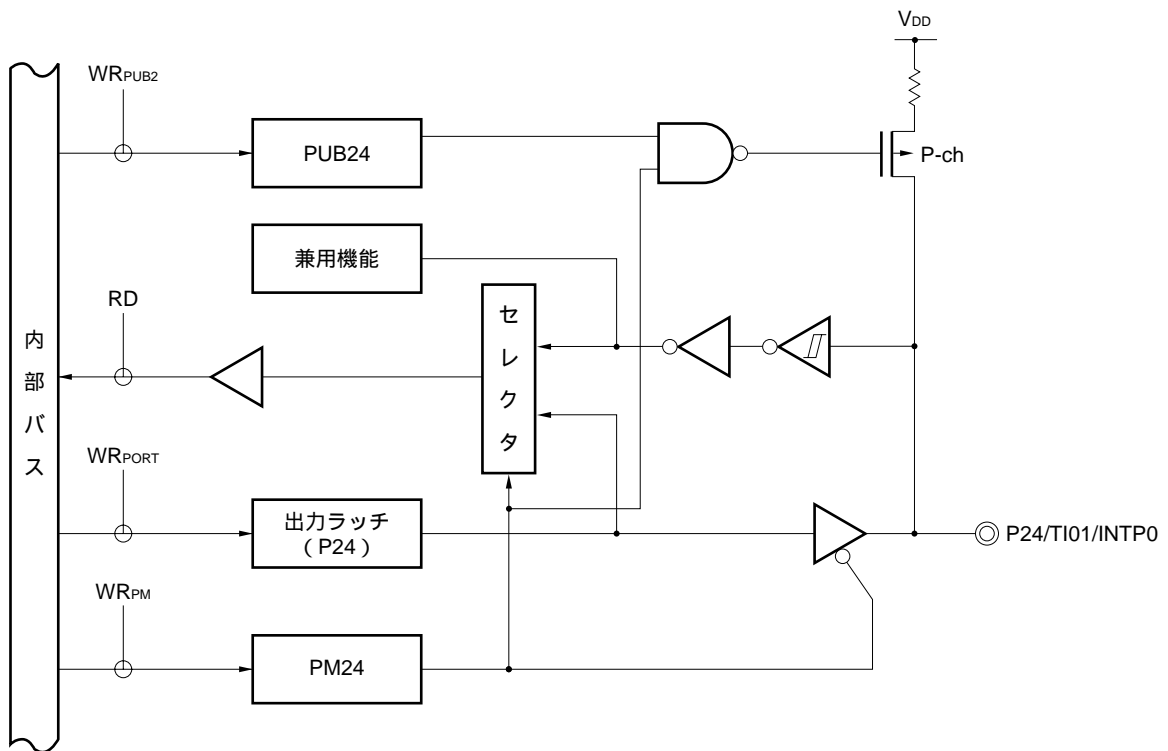
PUB2 : プルアップ抵抗オプション・レジスタ2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図5 - 6 P24のブロック図



PUB2 : プルアップ抵抗オプション・レジスタ2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

5.2.4 ポート3

出力ラッチ付き4ビットの入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力モード / 出力モードの指定ができます。P30-P33端子は、プルアップ抵抗オプション・レジスタ3 (PUB3) により1ビット単位で内蔵プルアップ抵抗を使用できます。

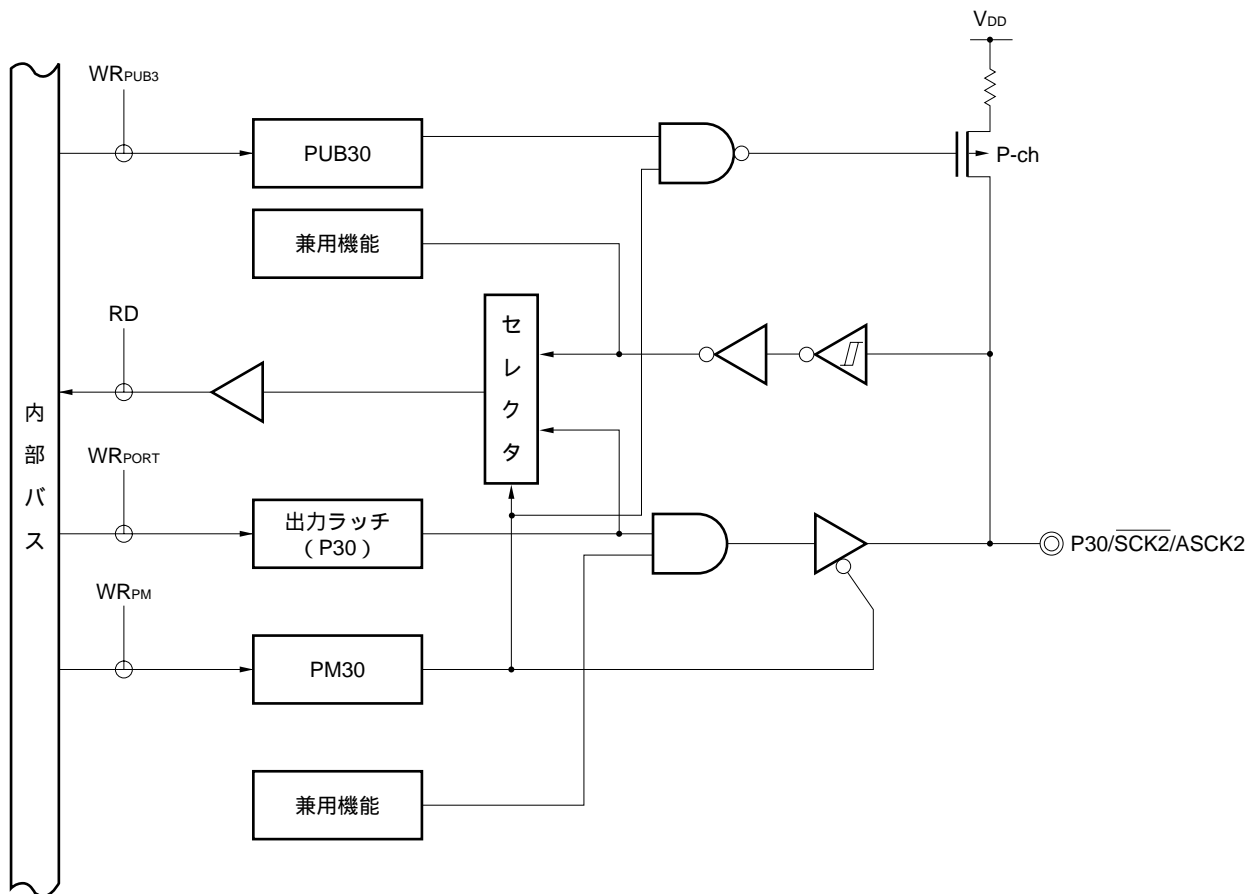
また、兼用機能としてシリアル・インタフェースの入出力、クロックの入出力、外部割り込み入力があります。

RESET入力により、入力モードになります。

図5 - 7から図5 - 9にポート3のブロック図を示します。

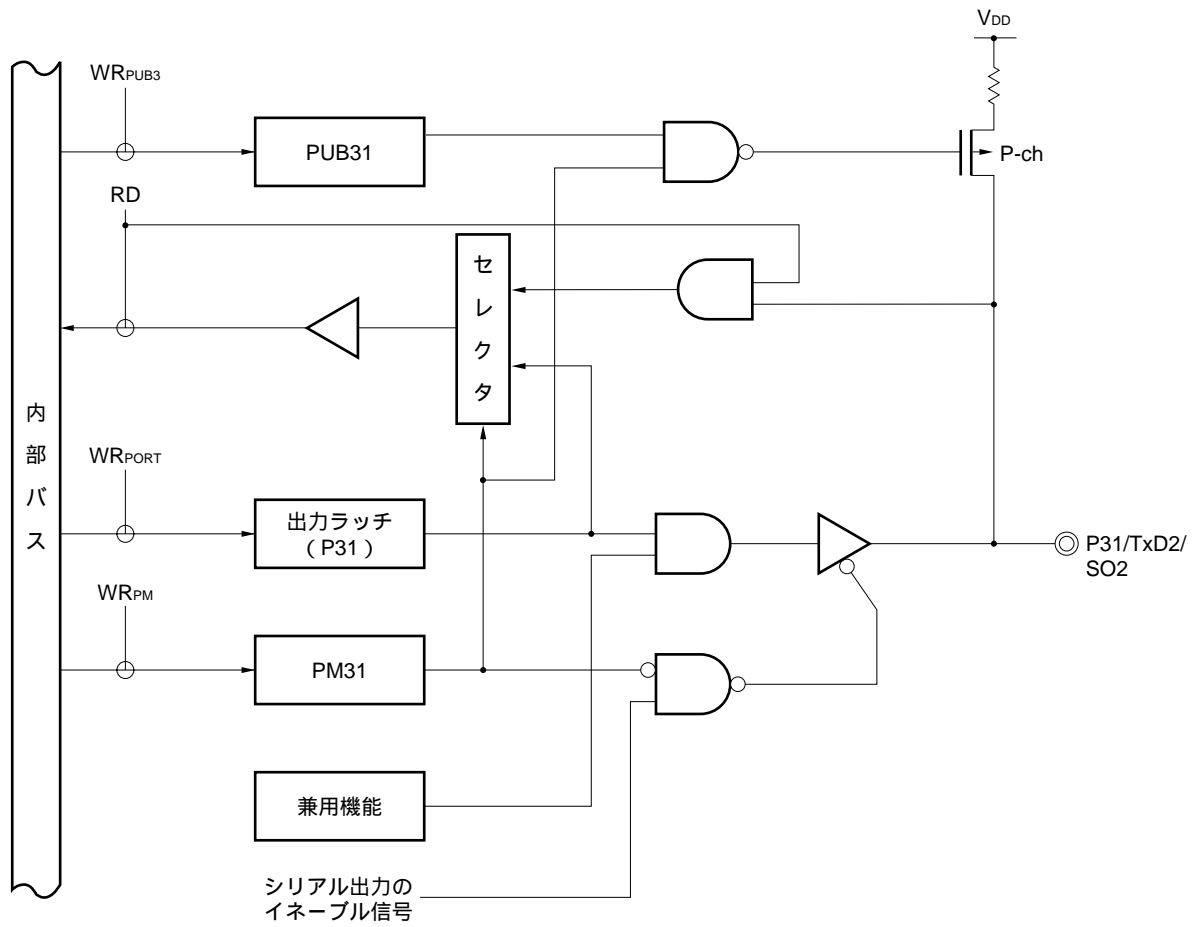
注意 シリアル・インタフェースとして使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要になります。設定方法については、表11 - 2 シリアル・インタフェース2の動作モードの設定一覧を参照してください。

図5 - 7 P30のブロック図



- PUB3 : プルアップ抵抗オプション・レジスタ3
- PM : ポート・モード・レジスタ
- RD : ポート3のリード信号
- WR : ポート3のライト信号

図5 - 8 P31のブロック図



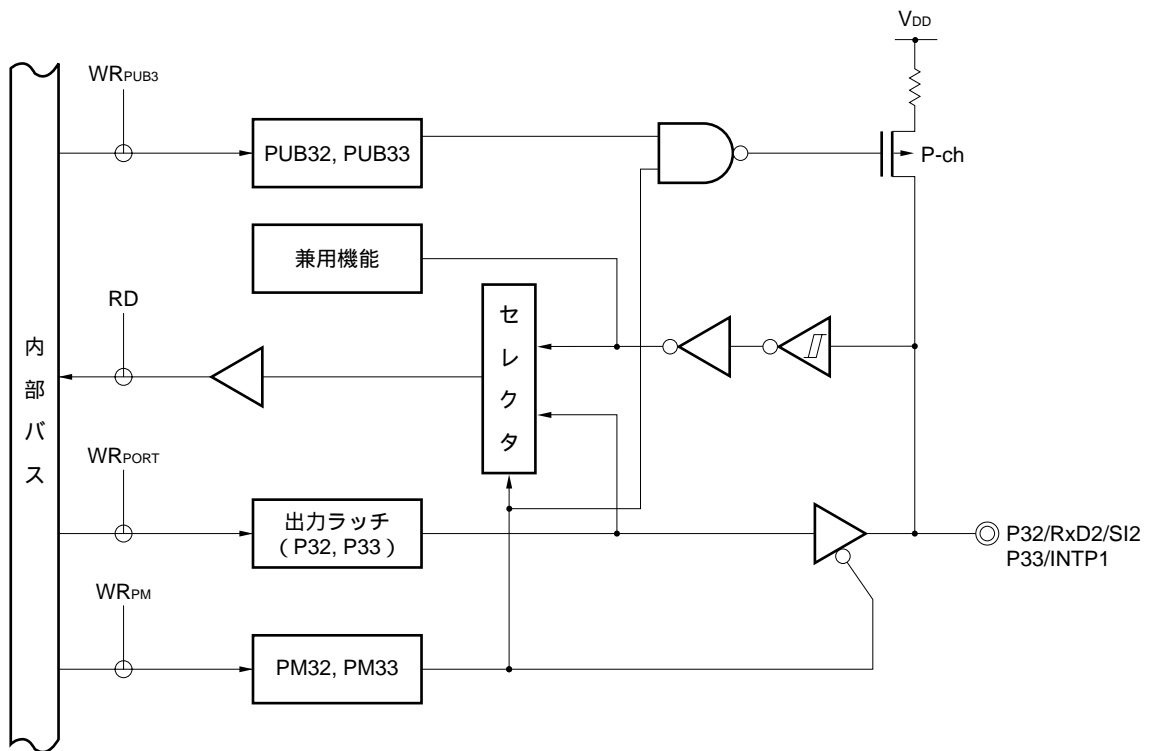
PUB3 : プルアップ抵抗オプション・レジスタ3

PM : ポート・モード・レジスタ

RD : ポート3のリード信号

WR : ポート3のライト信号

図5 - 9 P32, P33のブロック図



PUB3 : プルアップ抵抗オプション・レジスタ3

PM : ポート・モード・レジスタ

RD : ポート3のリード信号

WR : ポート3のライト信号

5.2.5 ポート4

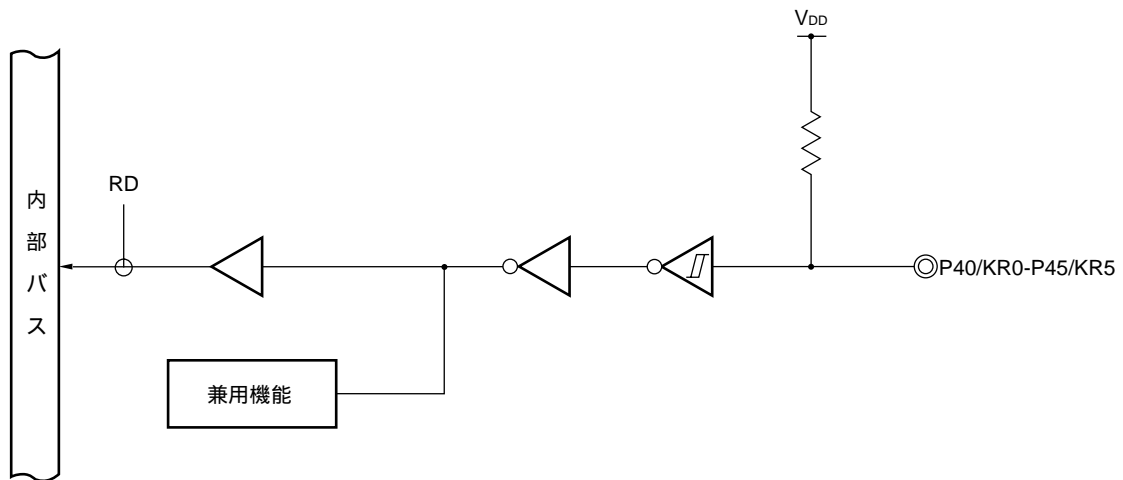
6ビット入力専用ポートです。プルアップ抵抗を内蔵しています。

兼用機能としてキー・リターン入力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図5 - 10にポート4のブロック図を示します。

図5 - 10 P40-P45のブロック図



RD : ポート4のリード信号

5.2.6 ポート7

1ビット出力専用ポートです。

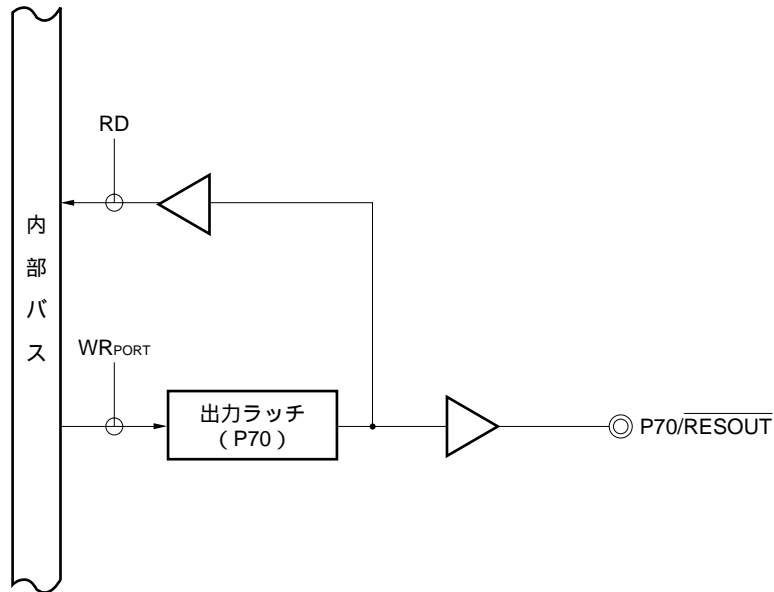
兼用機能としてリセット出力があります。

$\overline{\text{RESET}}$ 入力により、出力モードになります。

リード時は、出力ラッチの値が読み出せます。

図5 - 11にポート7のブロック図を示します。

図5 - 11 P70のブロック図



RD : ポート7のリード信号

WR : ポート7のライト信号

5.3 ポート機能を制御するレジスタ

ポートは、次の2種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0-PM3)
- ・プルアップ抵抗オプション・レジスタ (PUB0-PUB3)

(1) ポート・モード・レジスタ (PM0-PM3)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表5-3のように設定してください。

注意 ポート2, 3は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

表5-3 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

端子名称	兼用機能		PM x x	P x x
	名称	入出力		
P20	BSFO0	出力	0	0
P21	BSFO1	出力	0	0
P22	TI50	入力	1	x
	TO50	出力	0	0
P23	TI00	入力	1	x
	TO0	出力	0	0
P24	TI01	入力	1	x
	INTP0	入力	1	x
P33	INTP1	入力	1	x

注意 ポート3をシリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、表11-2 シリアル・インタフェース2の動作モードの設定一覧を参照してください。

備考 x : don't care

PM x x : ポート・モード・レジスタ

P x x : ポートの出力ラッチ

図5 - 12 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM1	1	1	1	1	1	1	PM11	PM10	FF21H	FFH	R/W
PM2	1	1	1	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	1	1	1	1	PM33	PM32	PM31	PM30	FF23H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-3, n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(2) プルアップ抵抗オプション・レジスタ (PUBm : m = 0-3)

各ポートの内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。PUBmで内蔵プルアップ抵抗の使用を指定したポートで、入力モードに設定したビットにのみ、内部でプルアップ抵抗が使用できます。出力モードに設定したビットは、PUBmの設定にかかわらず、内蔵プルアップ抵抗を使用できません。兼用機能の出力端子として使用するときも同様です。

PUBmは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図5 - 13 プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PUB0	0	0	0	0	PUB03	PUB02	PUB01	PUB00	FF30H	00H	R/W
PUB1	0	0	0	0	0	0	PUB11	PUB10	FF31H	00H	R/W
PUB2	0	0	0	PUB24	PUB23	PUB22	PUB21	PUB20	FF32H	00H	R/W
PUB3	0	0	0	0	PUB33	PUB32	PUB31	PUB30	FF33H	00H	R/W

PUBm	Pmの内蔵プルアップ抵抗の選択 (m = 0-3)
0	内蔵プルアップ抵抗を使用しない
1	内蔵プルアップ抵抗を使用する

5.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

5.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

5.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

5.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

第6章 クロック発生回路

6.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。
システム・クロック発生回路には、次の1種類があります。

- ・システム・クロック（クリスタル/セラミック）発振回路
1.0～5.0 MHzの周波数を発振します。STOP命令の実行により、発振を停止できます。

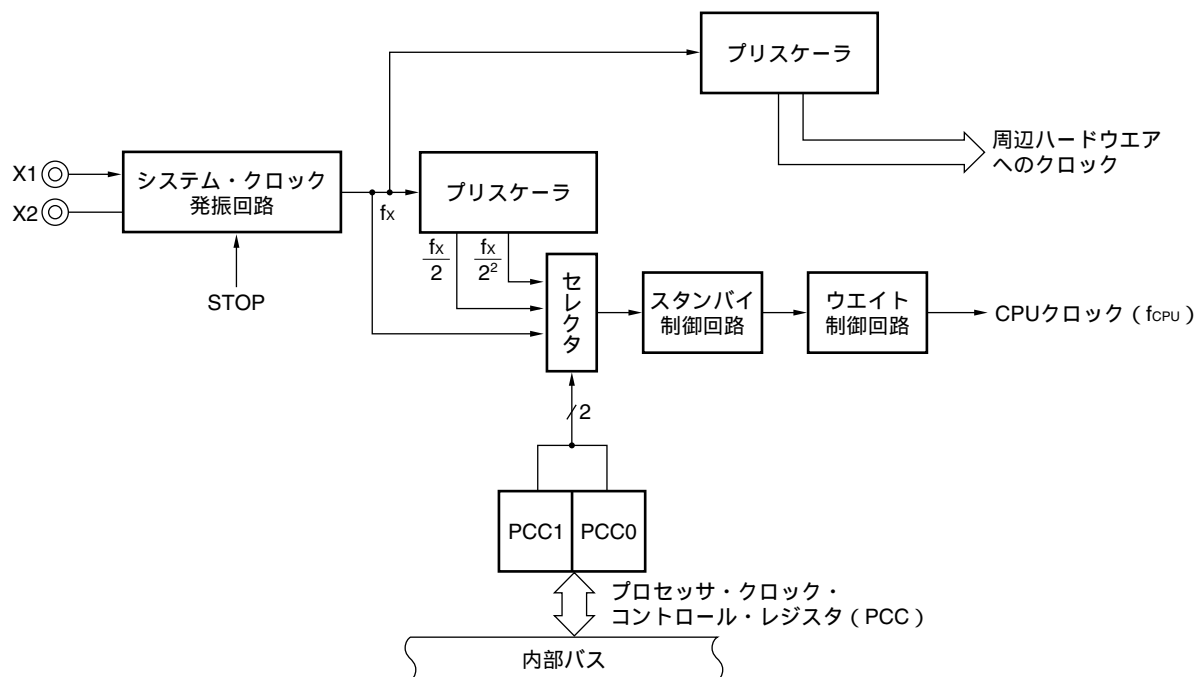
6.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表6-1 クロック発生回路の構成

項目	構成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ（PCC）
発振回路	クリスタル/セラミック発振回路

図6-1 クロック発生回路のブロック図



6.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次のレジスタで制御します。

- ・ プロセッサ・クロック・コントロール・レジスタ (PCC)

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択, 分周比を設定するレジスタです。

PCCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図6-2 プロセッサ・クロック・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PCC	0	0	0	0	0	0	PCC1	PCC0	FFFBH	02H	R/W

PCC1	PCC0	CPUクロック (f_{CPU}) の選択	最小命令実行時間: $2/f_{\text{CPU}}$
			$f_x = 5.0 \text{ MHz}$ 動作時
0	0	f_x	$0.4 \mu\text{s}$
0	1	$f_x/2$	$0.8 \mu\text{s}$
1	0	$f_x/2^2$	$1.6 \mu\text{s}$
1	1	設定禁止	

注意 ビット2-7には必ず0を設定してください。

備考 f_x : システム・クロック発振周波数

6.4 システム・クロック発振回路

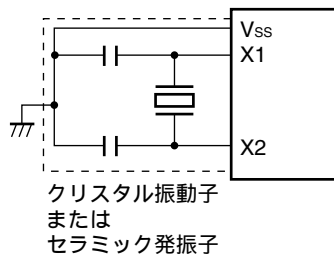
6.4.1 システム・クロック発振回路

システム・クロック発振回路はX1, X2端子に接続されたクリスタル振動子またはセラミック発振子（標準：5.0 MHz）によって発振します。

図6 - 3にシステム・クロック発振回路の外付け回路を示します。

図6 - 3 システム・クロック発振回路の外付け回路

クリスタル，セラミック発振



注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図6 - 3の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

6.4.2 発振子の接続の悪い例

図6-4に発振子の接続の悪い例を示します。

図6-4 発振子の接続の悪い例 (1/2)

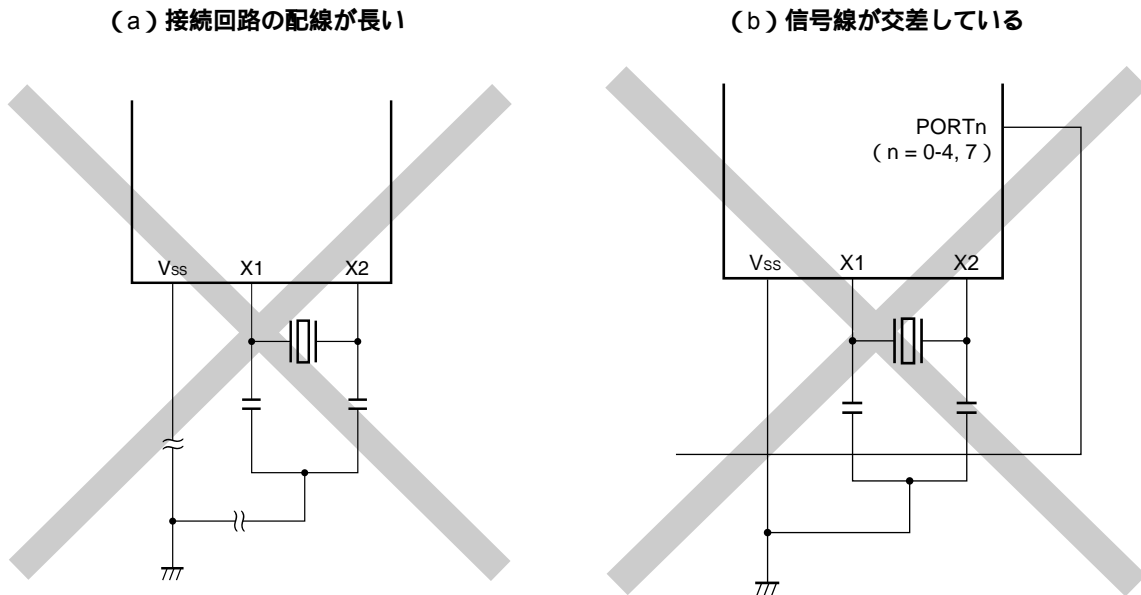
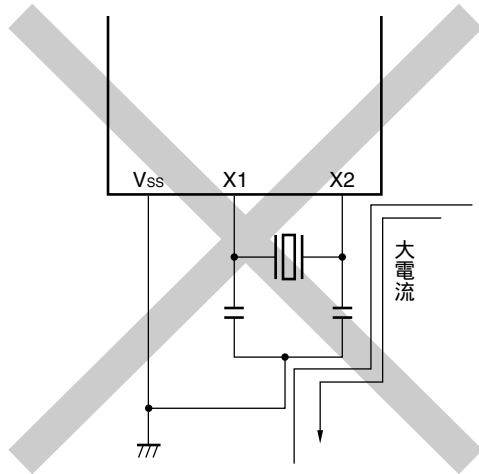
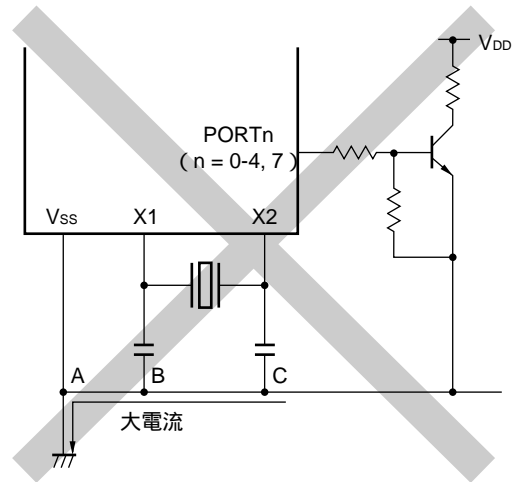


図6-4 発振子の接続の悪い例 (2/2)

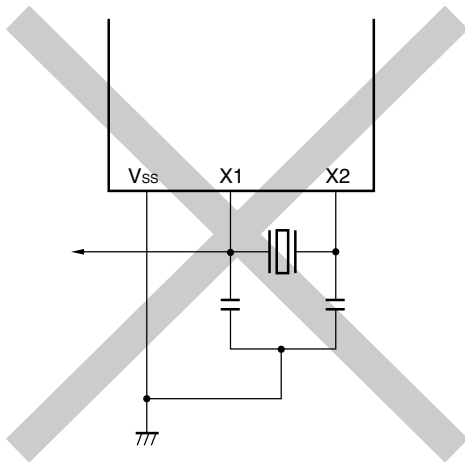
(c) 変化する大電流が信号線に近接している



(d) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(e) 信号を取り出している



6.4.3 分周回路

分周回路は、システム・クロック発振回路出力 (f_x) を分周して、各種クロックを生成します。

6.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・システム・クロック f_x
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ (PCC) により決定され、次のような機能、動作となります。

- (a) \overline{RESET} 信号発生によりシステム・クロックの低速モード ($1.6 \mu s : 5.0 \text{ MHz}$ 動作時) が選択されま
す (PCC = 02H)。なお、 \overline{RESET} 端子にロウ・レベルを入力している間、システム・クロックの発
振は停止します。
- (b) PCCの設定により3段階の最小命令実行時間 ($0.4 \mu s, 0.8 \mu s, 1.6 \mu s : 5.0 \text{ MHz}$ 動作時) を選択する
ことができます。
- (c) STOPモード、HALTモードの2つのスタンバイ・モードが使用できます。
- (d) 周辺ハードウェアへのクロックはシステム・クロックを分周して供給されます。このため、システ
ム・クロックを停止させたときは周辺ハードウェアも停止します (ただし、外部からの入力クロッ
ク動作は除く)。

6.6 CPUクロックの設定の変更

6.6.1 CPUクロックの切り替えに要する時間

CPUクロックは、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット0, 1 (PCC0, PCC1) により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します (表6-2参照)。

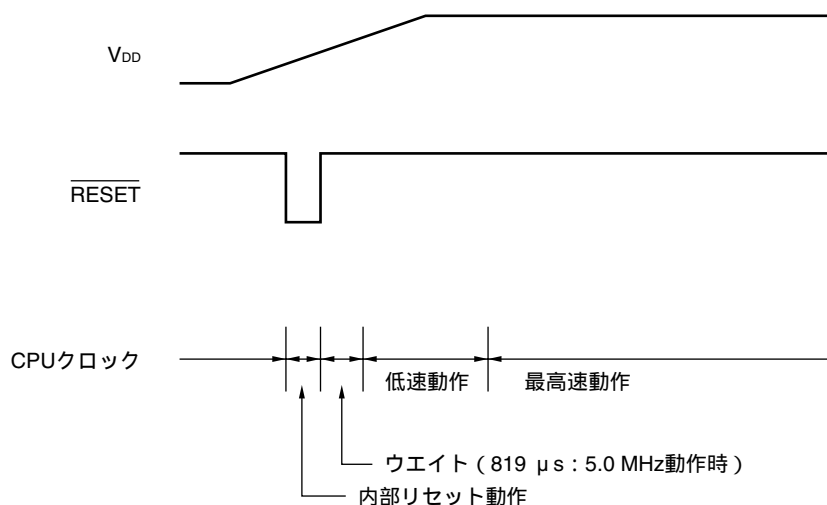
表6-2 CPUクロックの切り替えに要する最大時間

切り替え前の設定値		切り替え後の設定値					
PCC1	PCC0	PCC1	PCC0	PCC1	PCC0	PCC1	PCC0
		0	0	0	1	1	0
0	0	2命令		4命令		4命令	
0	1			2命令		2命令	
1	0	1命令		1命令			

6.6.2 CPUクロックの切り替え手順

CPUクロックの切り替えについて説明します。

図6-5 CPUクロックの切り替え



電源投入後、RESET端子をロウ・レベルにすることでCPUにリセットがかかります。その後、RESET端子をハイ・レベルにするとリセットが解除され、システム・クロックが発振開始します。このとき、自動的に発振安定時間 ($2^{12}/f_x$) を確保します。

その後、CPUはシステム・クロックの低速 ($1.6 \mu s$: 5.0 MHz動作時) で命令の実行を開始します。V_{DD}電圧が最高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ (PCC) を書き換えて最高速動作を行います。

第7章 16ビット・タイマ/イベント・カウンタ0

7.1 16ビット・タイマ/イベント・カウンタ0の機能

16ビット・タイマ/イベント・カウンタ0には、次のような機能があります。

- ・ インターバル・タイマ
- ・ PPG出力
- ・ パルス幅測定
- ・ 外部イベント・カウンタ
- ・ 方形波出力

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

(2) PPG出力

周波数と出力パルス幅を任意に設定できる矩形波を出力できます。

(3) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

(4) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(5) 方形波出力

任意の周波数の方形波出力が可能です。

7.2 16ビット・タイマ/イベント・カウンタ0の構成

16ビット・タイマ/イベント・カウンタ0は、次のハードウェアで構成されています。

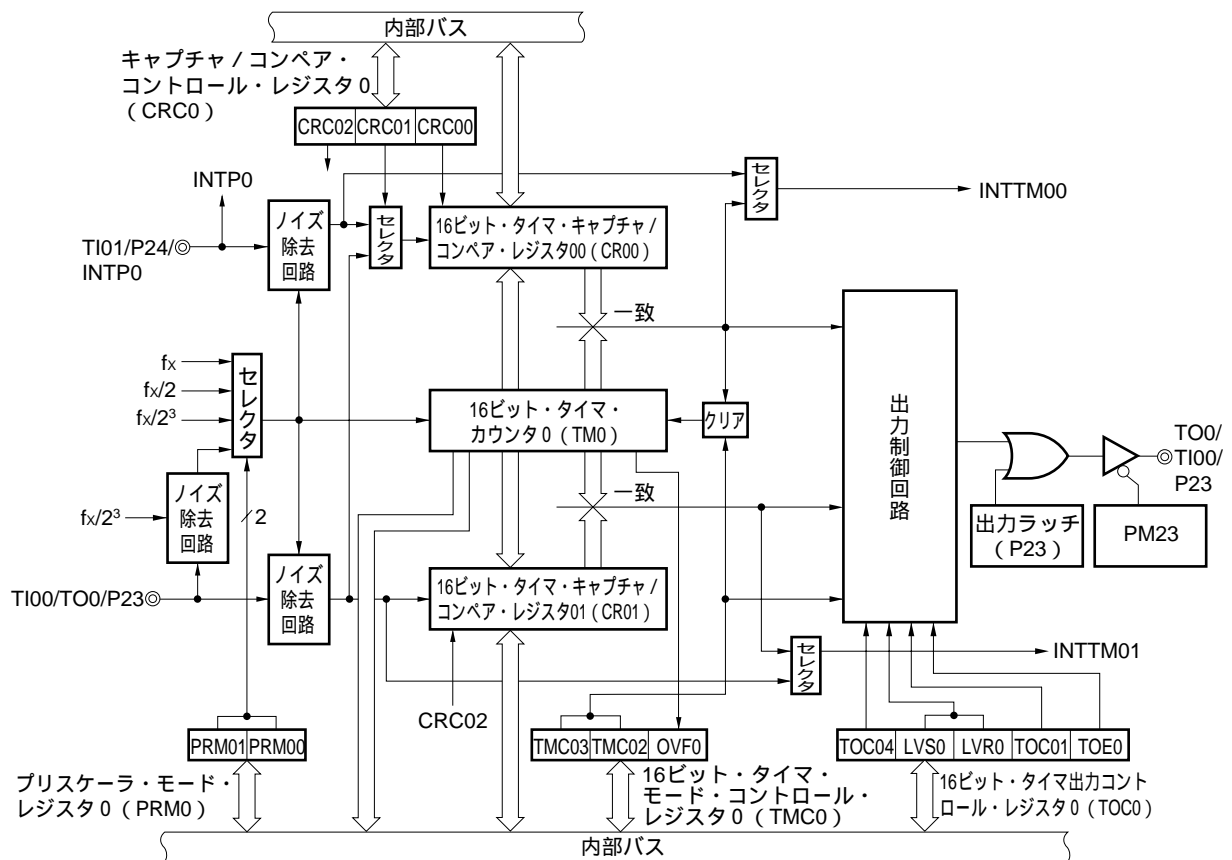
表7-1 16ビット・タイマ/イベント・カウンタ0の構成

項目	構成
タイマ/カウンタ	16ビット×1本 (TM0)
レジスタ	16ビット・タイマ・キャプチャ/コンペア・レジスタ: 16ビット×2本 (CR00, CR01)
タイマ出力	1本 (TO0)
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) 16ビット・タイマ出力コントロール・レジスタ0 (TOC0) プリスケアラ・モード・レジスタ0 (PRM0) ポート・モード・レジスタ2 (PM2) ^注 ポート2 (P2) ^注

注 図5-5 P22, P23のブロック図, 図5-6 P24のブロック図を参照してください。

図7-1にブロック図を示します。

図7-1 16ビット・タイマ/イベント・カウンタ0のブロック図



(1) 16ビット・タイマ・カウンタ0 (TM0)

TM0は、カウント・パルスをカウントする16ビットのリード専用レジスタです。

入クロックの立ち上がり同期して、カウンタをインクリメントします。次の場合、カウント値は0000Hになります。

RESET入力

TMC03, TMC02をクリア

TI00有効エッジ入力でクリア&スタート・モード時のTI00有効エッジが入力されたとき

CR00の一致でクリア&スタート・モード時のTM0とCR00の一致

(2) 16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00)

CR00は、キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のビット0 (CRC00) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

- ・CR00をコンペア・レジスタとして使用するとき

CR00に設定した値と16ビット・タイマ・カウンタ0 (TM0) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM00) を発生します。TM0をインターバル・タイマ動作に設定したとき、インターバル時間を保持するレジスタとしても使用できます。

- ・CR00をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI00/TO0/P23端子、またはTI01/P24/INTP0端子の有効エッジが選択できます。TI00、TI01の有効エッジは、プリスケラ・モード・レジスタ0 (PRM0) で設定します。キャプチャ・トリガをTI00/TO0/P23端子の有効エッジに指定したときは表7 - 2、キャプチャ・トリガをTI01/P24/INTP0端子の有効エッジに指定したときは表7 - 3のようになります。

表7 - 2 TI00/TO0/P23端子の有効エッジとCR00, CR01のキャプチャ・トリガ

ES01	ES00	TI00/TO0/P23端子の有効エッジ	CR00のキャプチャ・トリガ	CR01のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち上がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち下がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止	設定禁止
1	1	立ち上がり、立ち下がり両エッジ	キャプチャ動作しない	立ち上がり、立ち下がり両エッジ

表7 - 3 TI01/P24/INTP0端子の有効エッジとCR00のキャプチャ・トリガ

ES11	ES10	TI01/P24/INTP0端子の有効エッジ	CR00のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり、立ち下がり両エッジ	立ち上がり、立ち下がり両エッジ

CR00は、16ビット・メモリ操作命令で設定します。

RESET入力により、0000Hになります。

- 注意1. TM0とCR00の一致でクリア&スタート・モードでは、CR00には0000H以外の値を設定してください。ただし、フリー・ランニング・モードおよびTI00の有効エッジのクリア・モードにおいて、CR00に0000Hを設定した場合は、オーバフロー（FFFFH）後、0000Hから0001Hになるときに割り込み要求（INTTM00）を発生します。
2. P23をTI00有効エッジの入力端子として使用するときは、タイマ出力（TO0）として使用できません。また、TO0として使用するときは、TI00有効エッジの入力端子として使用できません。
 3. CR00をキャプチャ・レジスタとして使用时、レジスタ・リード期間とキャプチャ・トリガの入力が競合した場合、リード・データは不定となります（キャプチャ・データ自体は正常値）。また、カウント停止の入力とキャプチャ・トリガの入力が競合した場合、キャプチャ・データは不定となります。
 4. TM0動作中にCR00を書き換えないでください。

(3) 16ビット・タイマ・キャプチャ/コンペア・レジスタ01（CR01）

キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ0（CRC0）のビット2（CRC02）により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

- ・ CR01をコンペア・レジスタとして使用するとき
CR01に設定した値と16ビット・タイマ・カウンタ0（TM0）のカウント値を常に比較し、一致したときに割り込み要求（INTTM01）を発生します。
- ・ CR01をキャプチャ・レジスタとして使用するとき
キャプチャ・トリガとしてTI00/TO0/P23端子の有効エッジが選択できます。TI00/TO0/P23の有効エッジは、プリスケラ・モード・レジスタ0（PRM0）で設定します。

CR01は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、0000Hになります。

- 注意1. CR01は0000Hを設定することができます。
ただし、フリー・ランニング・モードおよびTI00の有効エッジのクリア・モードにおいて、CR01に0000Hを設定した場合は、オーバフロー（FFFFH）後、0000Hから0001Hになるときに割り込み要求（INTTM01）を発生します。
2. CR01をキャプチャ・レジスタとして使用时、レジスタ・リード期間とキャプチャ・トリガの入力が競合した場合、リード・データは不定となります（キャプチャ・データ自体は正常値）。また、カウント停止の入力とキャプチャ・トリガの入力が競合した場合、キャプチャ・データは不定となります。
 3. TM0動作中にCR01を書き換えることができます。詳細は図7 - 12の備考2を参照してください。

7.3 16ビット・タイマ/イベント・カウンタ0を制御するレジスタ

16ビット・タイマ/イベント・カウンタ0を制御するレジスタには、次の6種類があります。

- ・16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)
- ・キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)
- ・16ビット・タイマ出力コントロール・レジスタ0 (TOC0)
- ・プリスケアラ・モード・レジスタ0 (PRM0)
- ・ポート・モード・レジスタ2 (PM2)
- ・ポート2 (P2)

(1) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)

16ビット・タイマの動作モード，16ビット・タイマ・カウンタ0 (TM0) のクリア・モード，出力タイミングの設定およびオーバフローを検出するレジスタです。

TMC0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

注意 16ビット・タイマ・カウンタ0 (TM0) は，TMC02, TMC03に0, 0 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには，TMC02, TMC03に0, 0を設定してください。

図7-2 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) のフォーマット

アドレス : FFA6H リセット時 : 00H R/W

略号	7	6	5	4	③	②	1	①
TMC0	0	0	0	0	TMC03	TMC02	0	OVF0

TMC03	TMC02	動作モードおよび クリア・モードの選択	TO0の出力 タイミングの選択	割り込み要求の発生
0	0	動作停止 (TM0は0にクリア)	変化なし	発生しない
0	1	フリー・ランニング・モード	TM0とCR00の一致または TM0とCR01の一致	TM0とCR00の一致 または TM0とCR01の一致 で発生
1	0	TI00の有効エッジで クリア&スタート	-	
1	1	TM0とCR00の一致で クリア&スタート	TM0とCR00の一致または TM0とCR01の一致	

OVF0	16ビット・タイマ・カウンタ0 (TM0) のオーバフロー検出
0	オーバフローなし
1	オーバフローあり

- 注意1.** OVF0フラグ以外のビットには、タイマ動作を停止してから書き込んでください。
- TI00/TO0/P23端子の有効エッジは、プリスケラ・モード・レジスタ0 (PRM0) で設定します。
 - TM0とCR00の一致でクリア&スタート、TI00の有効エッジでクリア&スタート、フリー・ランニングのいずれかのモードを選択した場合、CR00の設定値がFFFFHで、TM0の値がFFFFHから0000Hに変化するとき、OVF0フラグが1に設定されます。
 - ビット1, 4-7には必ず0を設定してください。

- 備考**
- TO0 : 16ビット・タイマ/イベント・カウンタ0の出力端子
 - TI00 : 16ビット・タイマ/イベント・カウンタ0の入力端子
 - TM0 : 16ビット・タイマ・カウンタ0
 - CR00 : 16ビット・タイマ・キャプチャ/コンペア・レジスタ00
 - CR01 : 16ビット・タイマ・キャプチャ/コンペア・レジスタ01

(2) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

16ビット・タイマ・キャプチャ/コンペア・レジスタ (CR00, CR01) の動作を制御するレジスタです。CRC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により00Hになります。

図7-3 キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のフォーマット

アドレス: FFA8H リセット時: 00H R/W

略号	7	6	5	4	3	②	①	①
CRC0	0	0	0	0	0	CRC02	CRC01	CRC00

CRC02	CR01の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC01	CR00のキャプチャ・トリガの選択
0	TI01の有効エッジでキャプチャする
1	TI00の有効エッジの逆相でキャプチャする ^注

CRC00	CR00の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

注 TI00の有効エッジに立ち上がり, 立ち下りの両エッジを選択した場合には, CR00はキャプチャ動作しません。

注意1. CRC0は、必ずタイマ動作を停止させてから設定してください。

- 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) で, TM0とCR00の一致でクリア & スタート・モードを選択したとき, CR00をキャプチャ・レジスタに指定しないでください。
- キャプチャを確実にを行うためにキャプチャ・トリガは, プリスケアラ・モード・レジスタ0 (PRM0) で選択したカウント・クロックの2周期分より長いパルスが必要とします。

(3) 16ビット・タイマ出力コントロール・レジスタ0 (TOC0)

16ビット・タイマ/イベント・カウンタ0出力制御回路の動作を制御するレジスタです。R-S型フリップフロップ (LV0) のセット/リセット, 出力の反転許可/禁止, 16ビット・タイマ/イベント・カウンタ0のタイマ出力許可/禁止を設定します。

TOC0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図7-4に, TOC0のフォーマットを示します。

図7-4 16ビット・タイマ出力コントロール・レジスタ0 (TOC0) のフォーマット

アドレス: FFA9H リセット時: 00H R/W

略号	7	6	5	④	③	②	①	①
TOC0	0	0	0	TOC04	LVS0	LVR0	TOC01	TOE0

TOC04	CR01とTM0の一致によるタイマ出力F/Fの制御
0	反転動作禁止
1	反転動作許可

LVS0	LVR0	16ビット・タイマ/イベント・カウンタ0のタイマ出力F/Fの状態の設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット(0)
1	0	タイマ出力F/Fをセット(1)
1	1	設定禁止

TOC01	CR00とTM0の一致によるタイマ出力F/Fの制御
0	反転動作禁止
1	反転動作許可

TOE0	16ビット・タイマ/イベント・カウンタ0の出力の制御
0	出力禁止(出力は0レベルに固定)
1	出力許可

注意1. TOC0は, 必ずタイマ動作を停止させてから設定してください。

2. LVS0, LVR0は読み出すと, 0になっています。

★

3. TOE0より先にLVS0に“1”をセットしないでください。また, LVS0とTOE0に同時に“1”をセットしないでください。

(4) プリスケーラ・モード・レジスタ0 (PRM0)

16ビット・タイマ・カウンタ0 (TM0) のカウント・クロックおよびTI00, TI01入力の有効エッジを設定するレジスタです。PRM0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図7-5 プリスケーラ・モード・レジスタ0 (PRM0) のフォーマット

アドレス: FFA7H リセット時: 00H R/W

略号	⑦	⑥	⑤	④	3	2	①	①
PRM0	ES11	ES10	ES01	ES00	0	0	PRM01	PRM00

ES11	ES10	TI01有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がり両エッジ

ES01	ES00	TI00有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がり両エッジ

PRM01	PRM00	カウント・クロックの選択
0	0	f_x (0.2 μs)
0	1	$f_x/2$ (0.4 μs)
1	0	$f_x/2^3$ (1.6 μs)
1	1	TI00有効エッジ注

注 外部クロックは内部クロック ($f_x/2^3$) の2周期分より長いパルスが必要とします。

注意1. PRM0は、必ずタイマ動作を停止させてからデータを設定してください。

2. カウント・クロックにTI00の有効エッジを設定する場合、TI00有効エッジでクリア&スタート・モードおよびキャプチャ・トリガに設定しないでください。
3. システム・リセット直後にTI00端子またはTI01端子がハイ・レベルの場合、TI00端子またはTI01端子の有効エッジを立ち上がりまたは両エッジに指定し、16ビット・タイマ・カウンタ0 (TM0) の動作を許可すると、その直後に立ち上がりエッジを検出します。TI00端子またはTI01端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。
4. P23をTI00有効エッジの入力端子として使用するときは、タイマ出力 (TO0) として使用できません。また、TO0として使用するときは、TI00有効エッジの入力端子として使用できません。

備考1. f_x : システム・クロック発振周波数

2. TI00, TI01: 16ビット・タイマ/イベント・カウンタ0の入力端子
3. () 内は、 $f_x = 5.0 \text{ MHz}$ 動作時。

(5) ポート・モード・レジスタ2 (PM2)

ポート2の入力/出力を1ビット単位で設定するレジスタです。

P23/TO0/TI00端子をタイマ出力として使用するとき、PM23およびP23の出力ラッチに0を設定してください。

P23/TO0/TI00端子をタイマの入力として使用するとき、PM23に0を設定してください。このときP23の出力ラッチは、0または1のどちらでもかまいません。

PM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図7-6 ポート・モード・レジスタ2 (PM2) のフォーマット

アドレス：FF22H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	1	1	1	PM24	PM23	PM22	PM21	PM20

PM2n	P2n端子の入出力モードの選択 (n = 0-4)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

7.4 16ビット・タイマ/イベント・カウンタ0の動作

7.4.1 インターバル・タイマとしての動作

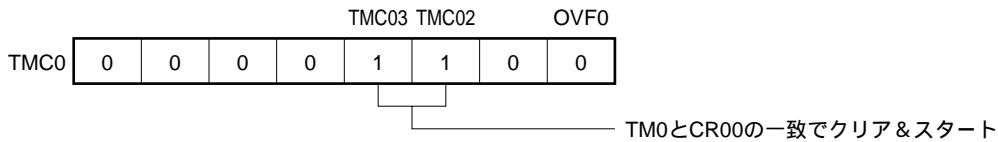
16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) と、キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) を図7-7のように設定することにより、インターバル・タイマとして動作します。16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生します。

16ビット・タイマ・カウンタ0 (TM0) のカウント値がCR00に設定した値と一致したとき、TM0の値を0にクリアしてカウントを継続するとともに割り込み要求信号 (INTTM00) を発生します。

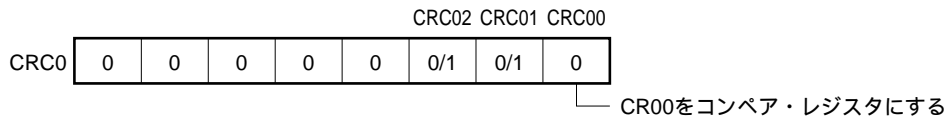
プリスケアラ・モード・レジスタ0 (PRM0) のビット0, 1 (PRM00, PRM01) で16ビット・タイマ/イベント・カウンタのカウント・クロックを選択できます。

図7-7 インターバル・タイマ動作時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)

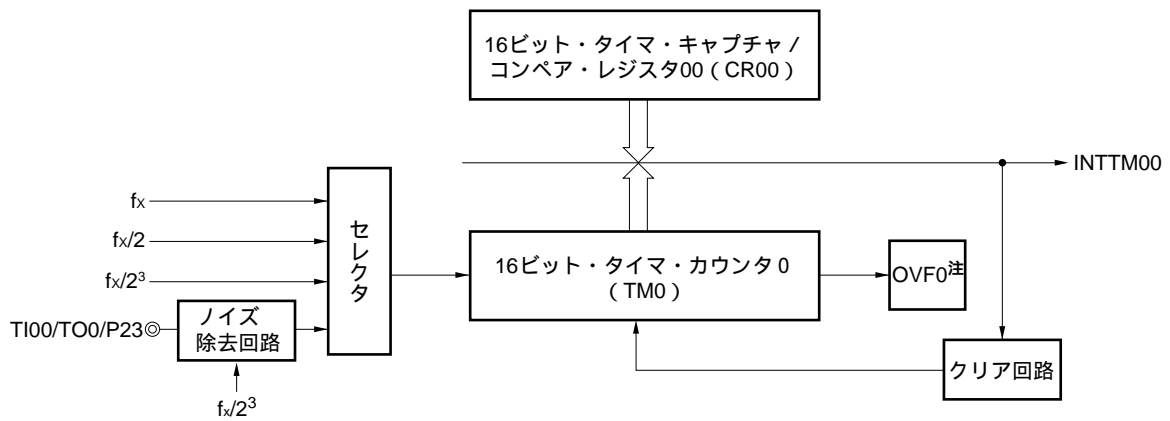


(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



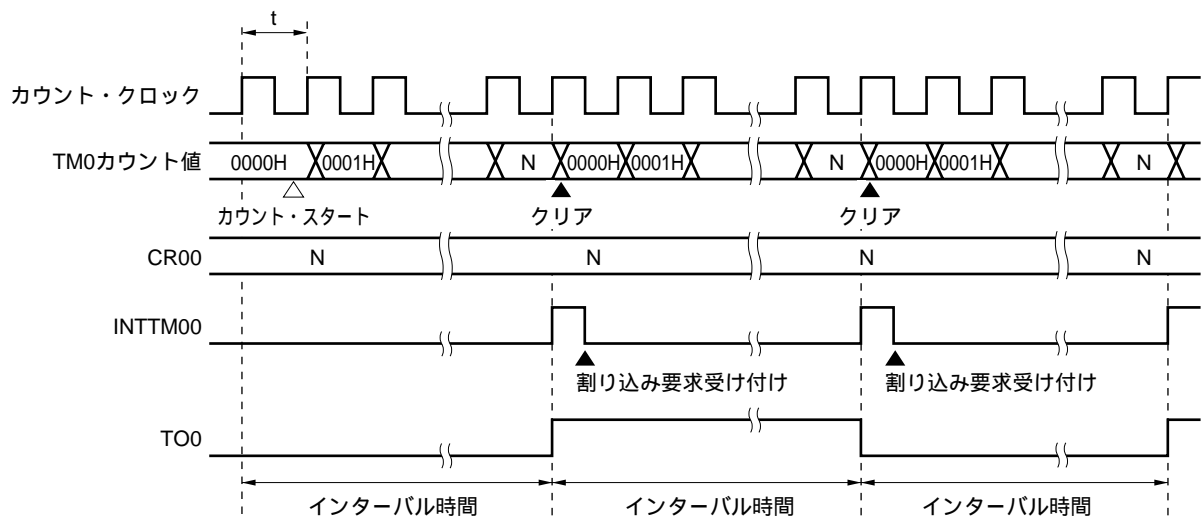
備考 0/1: 0または1を設定することにより、インターバル・タイマと同時にほかの機能を使用できます。詳細は、図7-3を参照してください。

図7-8 インターバル・タイマの構成図



注 CR00にFFFFHを設定した場合のみ、OVF0は1になります。

図7-9 インターバル・タイマ動作のタイミング



備考 インターバル時間 = (N + 1) × t

N = 0001H-FFFFH

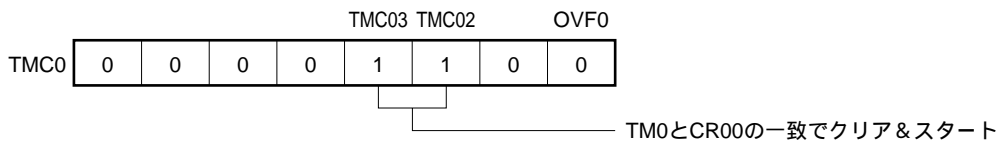
7.4.2 PPG出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) と、キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) を図7-10のように設定することにより、PPG (Programmable Pulse Generator) 出力として動作します。

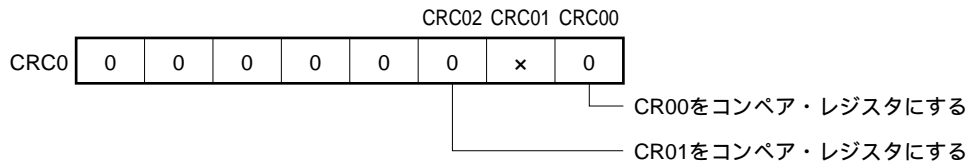
PPG出力パルスは、16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) にあらかじめ設定したカウント値を1周期とし、16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) にあらかじめ設定したカウント値をパルス幅とする矩形波をTO0/TI00/P23端子から出力します。

図7-10 PPG出力動作時の制御レジスタ設定内容

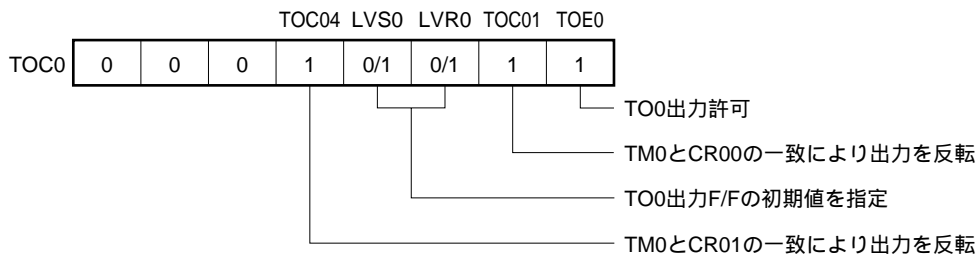
(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



(c) 16ビット・タイマ出力コントロール・レジスタ0 (TOC0)



注意1. CR00とCR01には次の範囲の値を設定してください。

0000H CR01 < CR00 FFFFH

2. PPG出力によって生成されるパルスの周期は (CR00の設定値 + 1) , デューティは (CR01の設定値 + 1) / (CR00の設定値 + 1) になります。

備考 x : don't care

図7 - 11 PPG出力の構成図

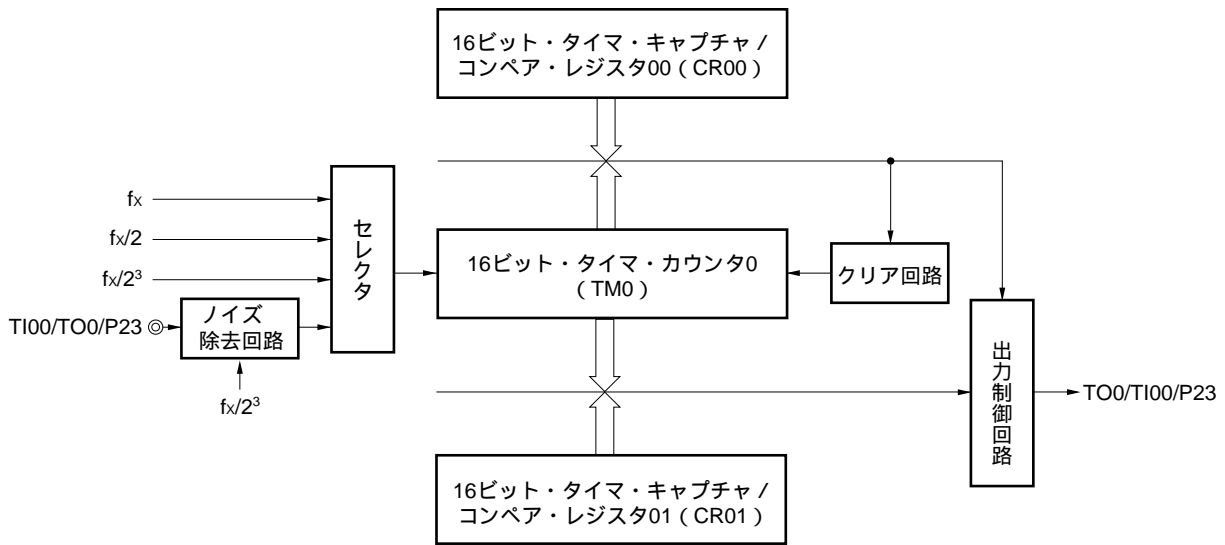
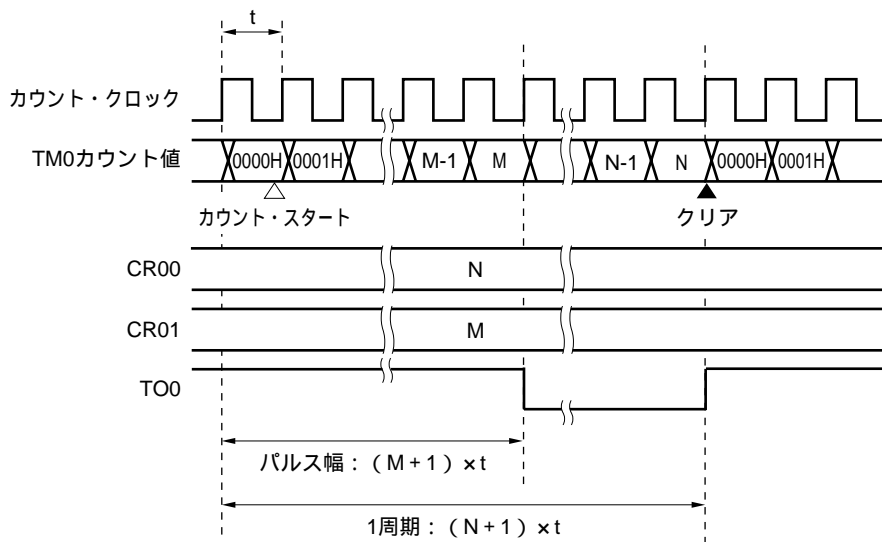


図7 - 12 PPG出力動作のタイミング



注意 TM0動作中にCR00を書き換えることはできません。

備考1. 0000H M < N FFFFH

2. PPG出力動作において、TM0の動作中にパルス幅を変更する（CR01を書き換える）場合は、次の手順で行ってください。

TM0とCR01の一致によるタイマ出力反転動作を禁止する（TOC04 = 0）

INTTM01の割り込みを禁止する（TMMK01 = 1）

CR01を書き換える

TM0のカウント・クロックを1周期分ウエイトする

TM0とCR01の一致によるタイマ出力反転動作を許可する（TOC04 = 1）

INTTM01の割り込み要求フラグをクリアする（TMIF01 = 0）

INTTM01の割り込みを許可する（TMMK01 = 0）

7.4.3 パルス幅測定としての動作

16ビット・タイマ・カウンタ0 (TM0) を使用し、TI00/TO0/P23端子およびTI01/P24/INTP0端子に入力される信号のパルス幅を測定できます。

測定方法は、TM0をフリー・ランニングさせて測定する方法とTI00/TO0/P23端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

(1) フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定

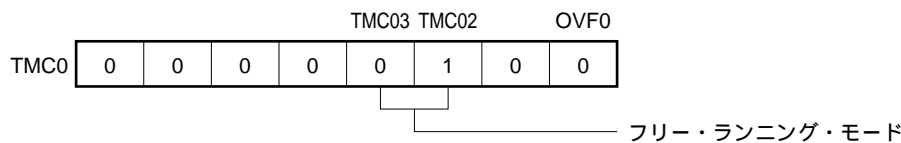
16ビット・タイマ・カウンタ0 (TM0) をフリー・ランニングで動作させているとき、TI00/TO0/P23端子にプリスケアラ・モード・レジスタ0 (PRM0) で指定したエッジが入力されるとTM0の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) に取り込み、外部割り込み要求信号 (INTTM01) をセットします。

エッジはPRM0のビット4, 5 (ES00, ES01) で指定し、立ち上がり、立ち下がり、両エッジの3種類の選択ができます。

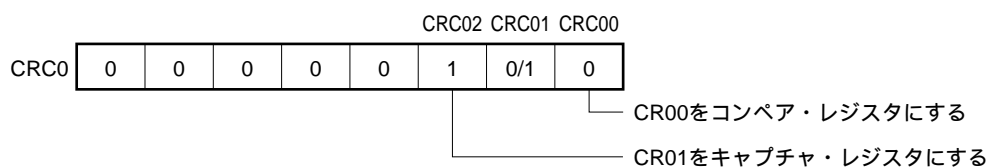
PRM0で選択したカウント・クロックでサンプリングを行い、TI00/TO0/P23端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

図7-13 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



備考 0/1: 0または1を設定することにより、パルス幅測定と同時にほかの機能を使用できます。詳細は、図7-2、図7-3を参照してください。

図7-14 フリー・ランニング・カウンタによるパルス幅測定の構成図

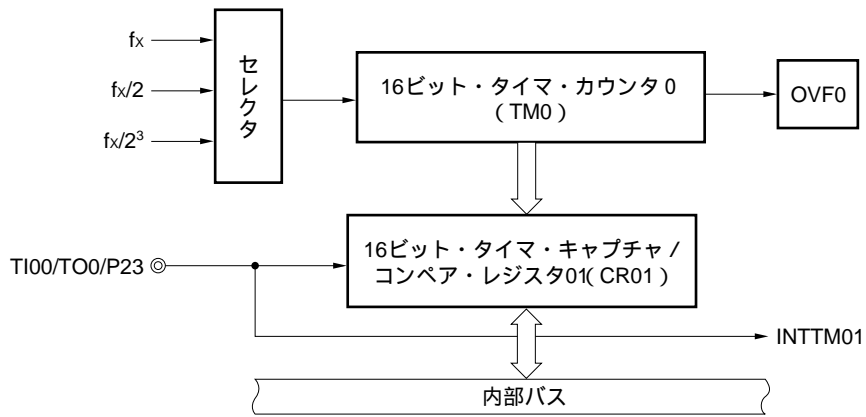
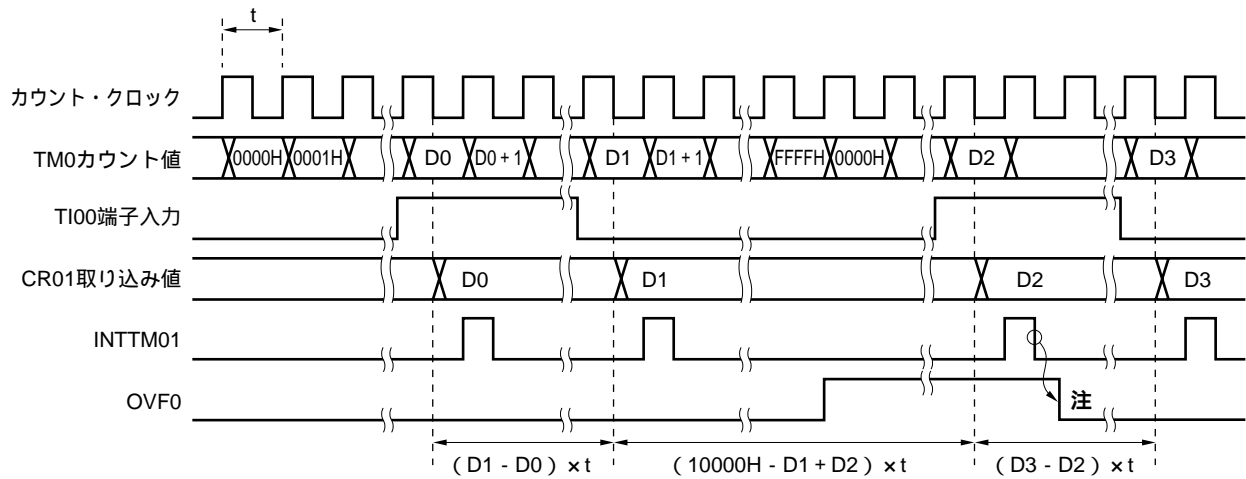


図7-15 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時)



注 OVF0のクリアはソフトウェアで行ってください。

(2) フリー・ランニング・カウンタによる2つのパルス幅測定

16ビット・タイマ・カウンタ0 (TM0) をフリー・ランニングで動作させているとき、TI00/TO0/P23端子およびTI01/P24/INTP0端子に入力される2つの信号のパルス幅を同時に測定できます。

TI00/TO0/P23端子にプリスケアラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) で指定したエッジが入力されると、TM0の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) に取り込み、割り込み要求信号 (INTTM01) をセットします。

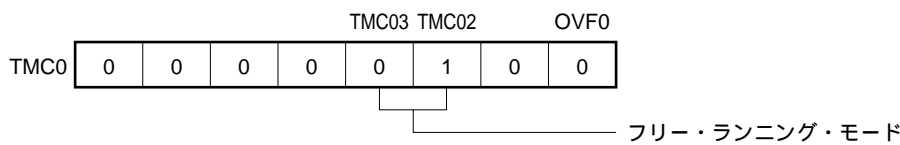
また、TI01/P24/INTP0端子にPRM0のビット6, 7 (ES10, ES11) で指定したエッジが入力されると、TM0の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) に取り込み、割り込み要求信号 (INTTM00) をセットします。

TI00/TO0/P23端子とTI01/P24/INTP0端子のエッジは、PRM0のビット4, 5 (ES00, ES01) およびビット6, 7 (ES10, ES11) でそれぞれ指定し、立ち上がり、立ち下がり、両エッジの3種類の選択ができます。

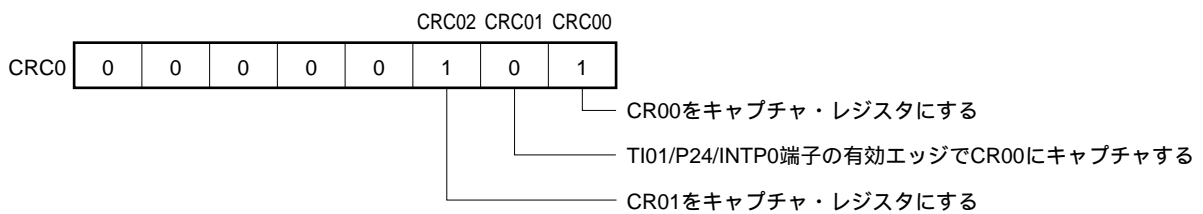
プリスケアラ・モード・レジスタ0 (PRM0) で選択したカウント・クロック周期でサンプリングを行い、TI00/TO0/P23端子またはTI01/P24/INTP0端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

図7 - 16 フリー・ランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



- ・キャプチャ動作について（フリー・ランニング・モード）
キャプチャ・トリガが入力されたときのキャプチャ・レジスタの動作を示します。

図7 - 17 立ち上がりエッジ指定時のCR01キャプチャ動作

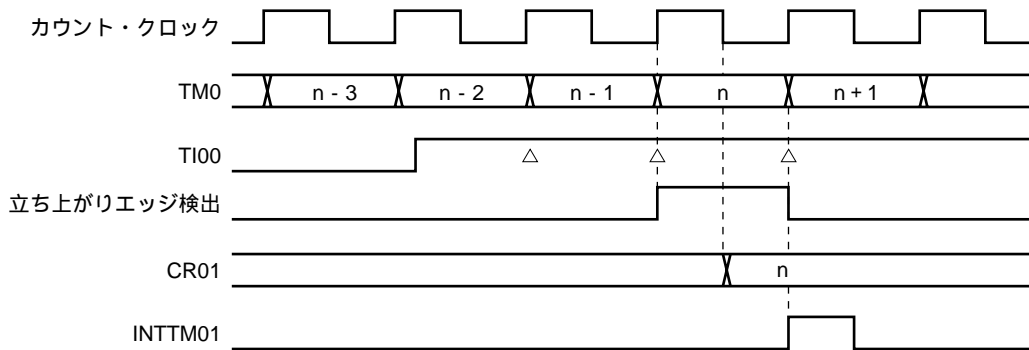
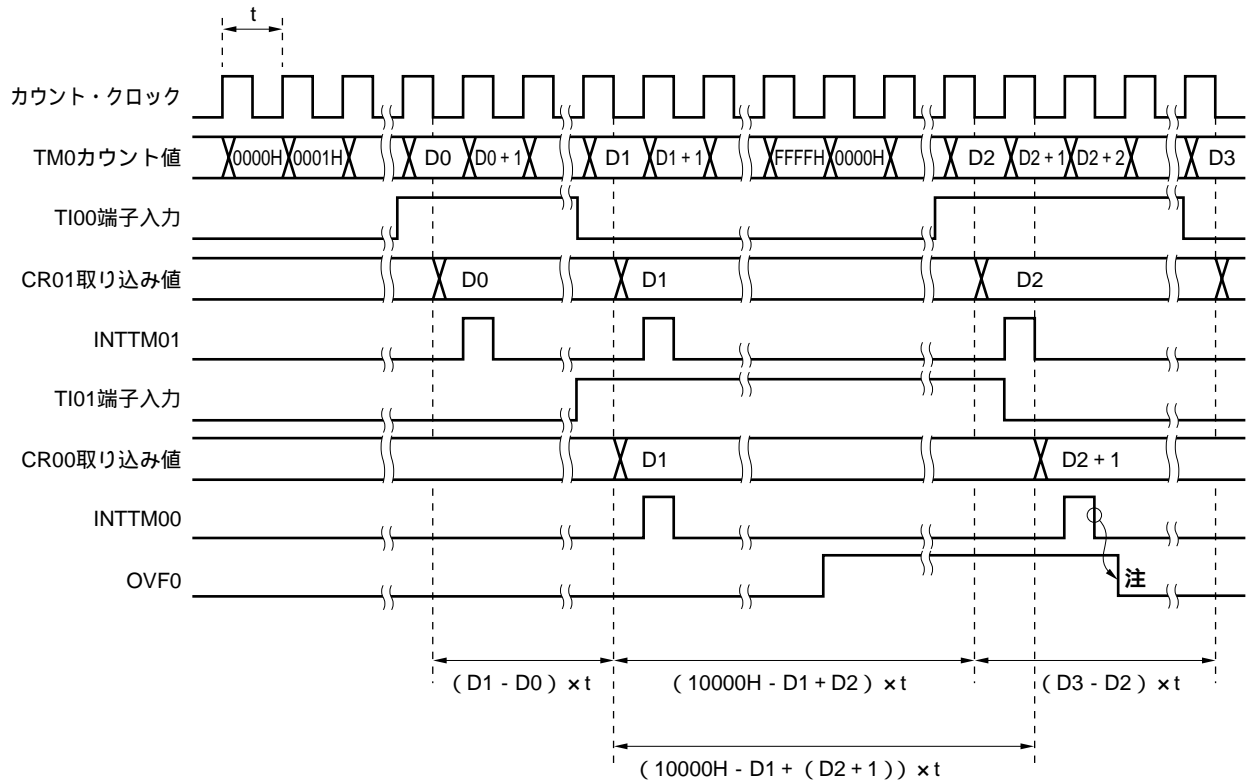


図7 - 18 フリー・ランニング・カウンタによるパルス幅測定動作のタイミング（両エッジ指定時）



注 OVF0のクリアはソフトウェアで行ってください。

(3) フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定

16ビット・タイマ・カウンタ0 (TM0) をフリー・ランニングで動作させているとき、TI00/TO0/P23端子に入力する信号のパルス幅を測定できます。

TI00/TO0/P23端子にプリスケラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) で指定したエッジが入力されると、TM0の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) に取り込み、割り込み要求信号 (INTTM01) をセットします。

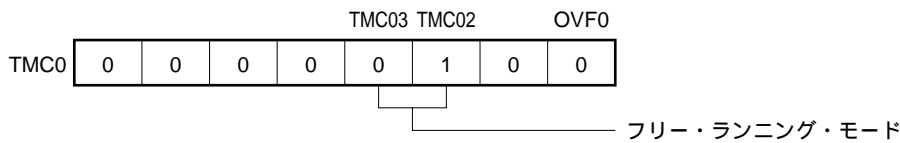
また、CR01へのキャプチャ動作と逆のエッジ入力で、TM0の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) に取り込みます。

TI00/TO0/P23端子のエッジは、プリスケラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) で指定し、立ち上がりエッジまたは立ち下がりエッジの選択ができます。

プリスケラ・モード・レジスタ0 (PRM0) で選択したカウント・クロック周期でサンプリングを行い、TI00/TO0/P23端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

図7 - 19 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

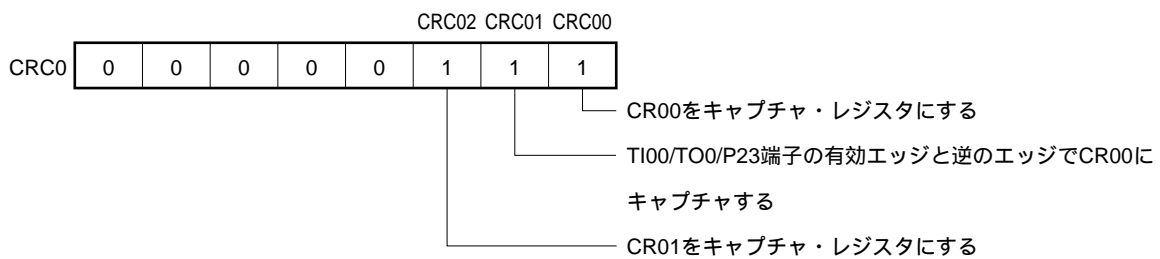
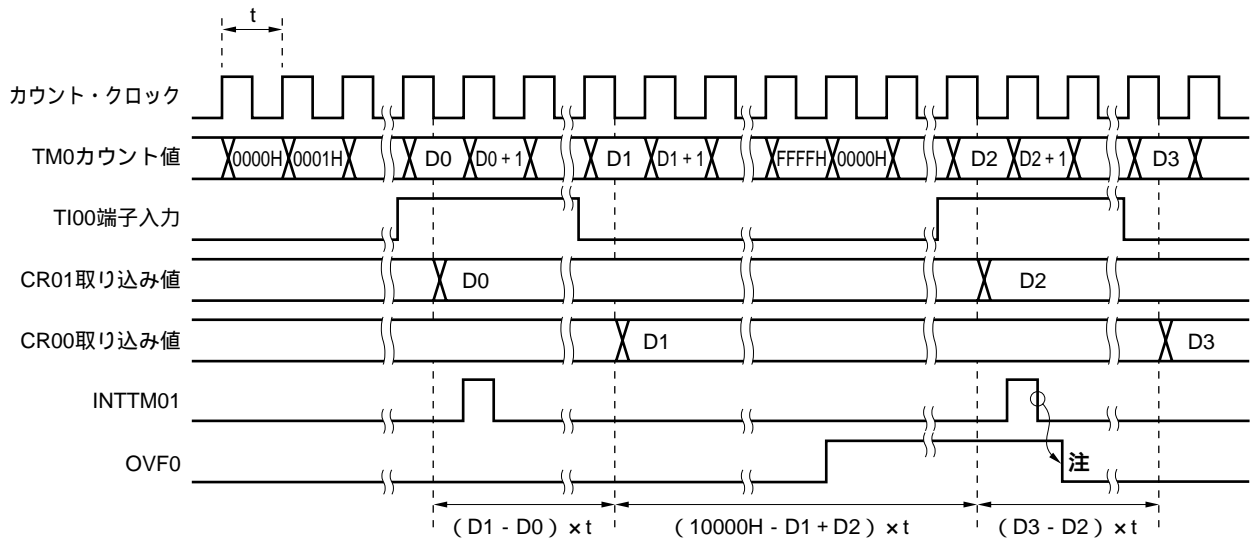


図7-20 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング
(立ち上がりエッジ指定時)



注 OVF0のクリアはソフトウェアで行ってください。

(4) リスタートによるパルス幅測定

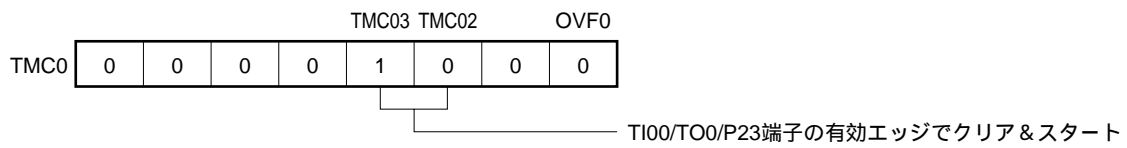
TI00/TO0/P23端子への有効エッジを検出したとき、16ビット・タイマ・カウンタ0 (TM0) のカウント値を16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) に取り込んだあと、TM0をクリアしてカウントを再開することにより、TI00/TO0/P23端子に入力された信号のパルス幅を測定します。

エッジ指定は、プリスケラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) により、立ち上がりエッジまたは立ち下がりエッジの選択ができます。

プリスケラ・モード・レジスタ0 (PRM0) で選択したカウント・クロック周期でサンプリングを行い、TI00/TO0/P23端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

図7 - 21 リスタートによるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

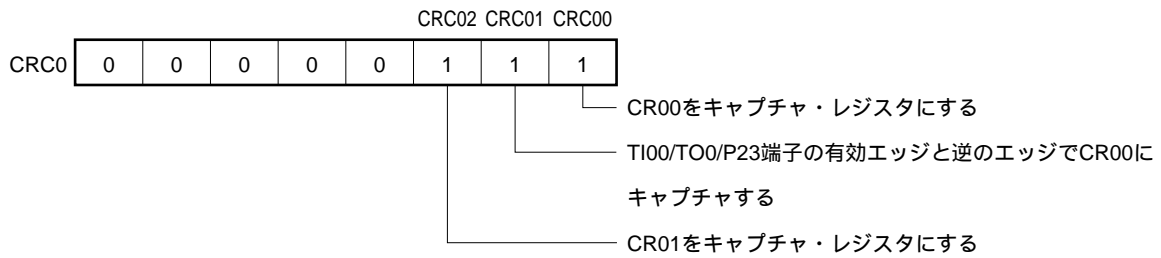
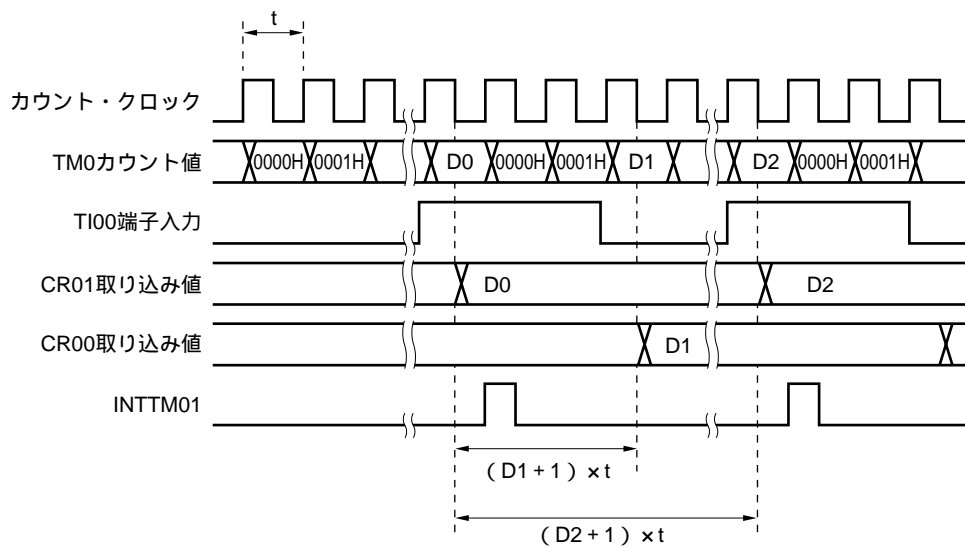


図7 - 22 リスタートによるパルス幅測定動作のタイミング (立ち上がりエッジ指定時)



7.4.4 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI00/TO0/P23端子に入力される外部からのクロック・パルス数を16ビット・タイマ/カウンタ0 (TM0) でカウントするものです。

プリスケアラ・モード・レジスタ0 (PRM0) で指定した有効エッジが入力されるたびに、TM0がインクリメントされます。

TM0の計数値が16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) の値と一致すると、TM0は0にクリアされ、割り込み要求信号 (INTTM00) が発生します。

なお、CR00には0000H以外の値を入れてください (1パルスのカウント動作はできません)。

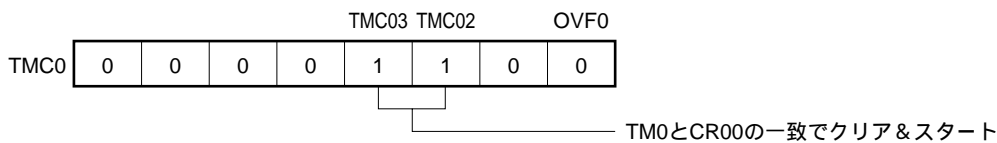
エッジ指定は、プリスケアラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) により、立ち上がり、立ち下がり、両エッジの3種類から選択できます。

内部クロック ($f_x/2^3$) でサンプリングを行い、TI00/TO0/P23端子の有効レベルを2回検出することではじめて動作するため、短いパルス幅のノイズを除去できます。

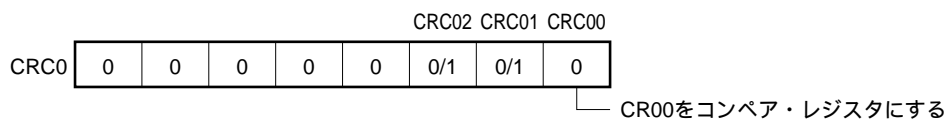
注意 外部イベント・カウンタとして使用するとき、P23/TI00/TO0端子をタイマ出力 (TO0) として使用できません。

図7-23 外部イベント・カウンタ・モード時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)

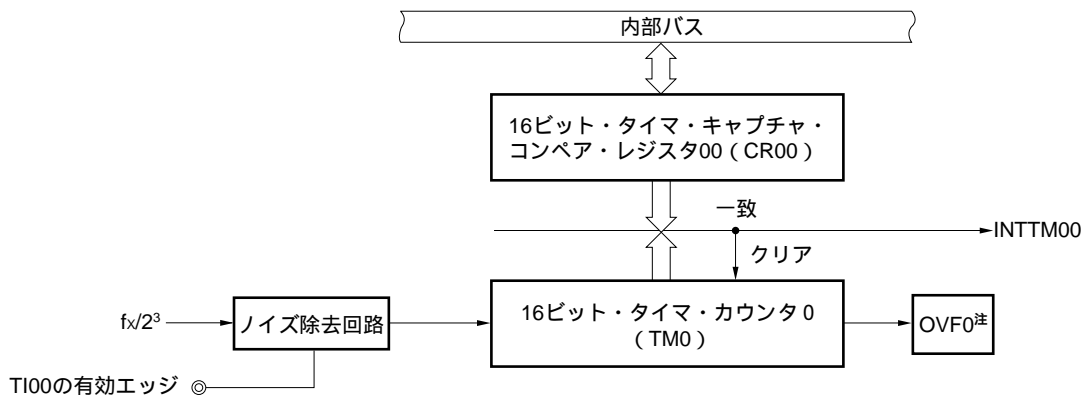


(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



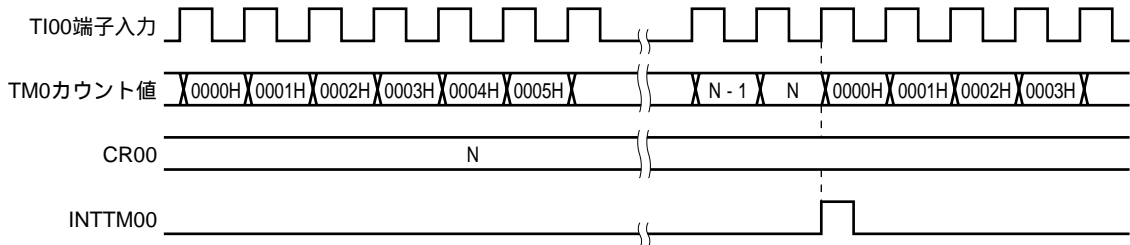
備考 0/1:0または1を設定することにより、外部イベント・カウンタと同時にほかの機能を使用できます。詳細は、図7-2、図7-3を参照してください。

図7-24 外部イベント・カウンタの構成図



注 CR00にFFFFHを設定した場合のみ、OVF0は1になります。

図7-25 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



注意 外部イベント・カウンタのカウンタ値を読み出す場合は、TM0を読み出してください。

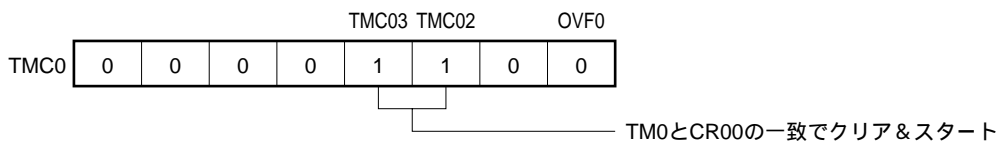
7.4.5 方形波出力としての動作

16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) にあらかじめ設定したカウンタ値で決まるインターバルの、任意の周波数の方形波出力として動作します。

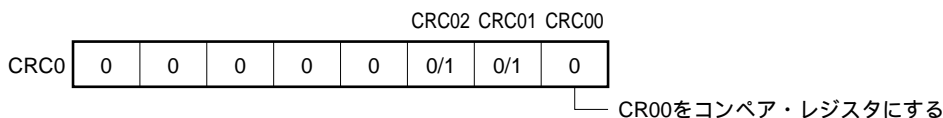
16ビット・タイマ出力コントロール・レジスタ0 (TOC0) のビット0 (TOE0) とビット1 (TOC01) に1を設定することにより、CR00にあらかじめ設定したカウンタ値で決まるインターバルでTO0端子の出力状態が反転します。これによって、任意の周波数の方形波出力が可能です。

図7 - 26 方形波出力モード時の制御レジスタ設定内容

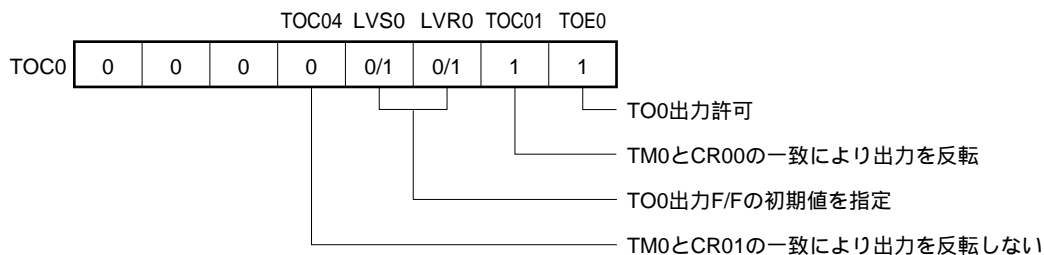
(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

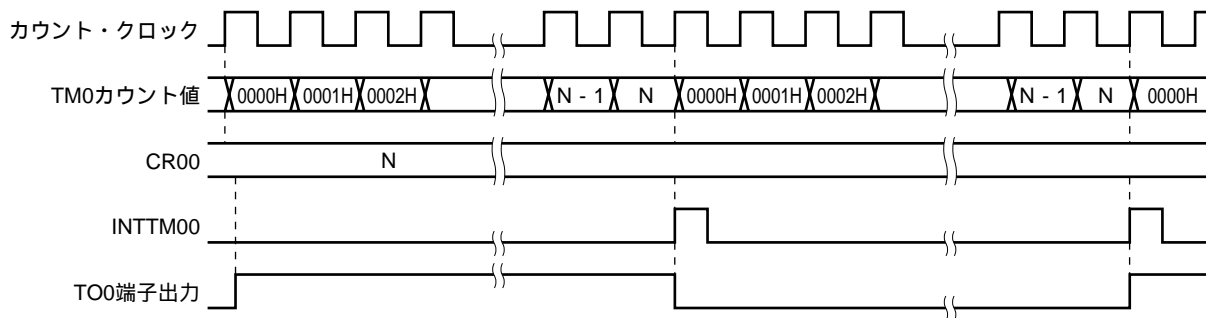


(c) 16ビット・タイマ出力コントロール・レジスタ0 (TOC0)



備考 0/1 : 0または1を設定することにより, 方形波出力と同時にほかの機能を使用できます。詳細は, 図7 - 3および図7 - 4を参照してください。

図7 - 27 方形波出力動作のタイミング

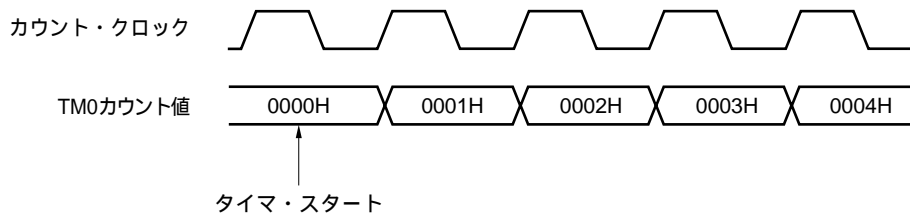


7.5 16ビット・タイマ/イベント・カウンタ0の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後，一致信号が発生するまでの時間は，最大で1クロック分の誤差が生じます。これはカウント・クロックに対して16ビット・タイマ・カウンタ0 (TM0) が非同期でスタートするためです。

図7-28 16ビット・タイマ・カウンタ0 (TM0) のスタート・タイミング



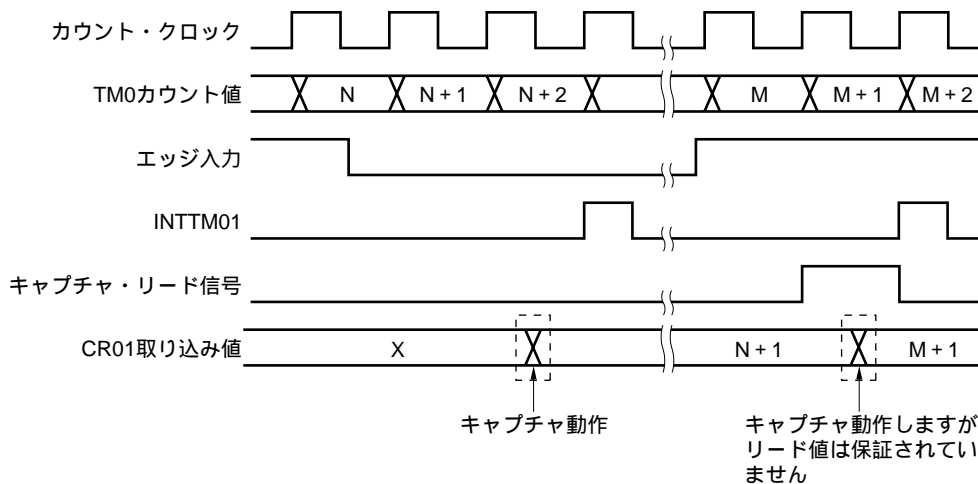
★ (2) タイマ・カウント動作中のコンペア・レジスタの変更禁止について

TM0動作中にCR00を書き換えないでください。

(3) キャプチャ・レジスタのデータ保持タイミング

16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) の読み出し中にTI00/TO0/P23端子の有効エッジが入力したとき，CR01はキャプチャ動作を行います，このときのリード値は保証されません。ただし，有効エッジの検出による割り込み要求信号 (INTTM01) は発生します。

図7-29 キャプチャ・レジスタのデータ保持タイミング



16ビット・タイマ/イベント・カウンタ0停止後の，16ビット・タイマ・キャプチャ/コンペア・レジスタ00, 01 (CR00, CR01) の値は保証されません。

(4) 有効エッジの設定

TI00/TO0/P23端子の有効エッジは、16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) のビット2, 3 (TMC02, TMC03) に0, 0を設定し、タイマ動作を停止させたあとに設定してください。有効エッジは、プリスケアラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) で設定します。

(5) OVF0フラグの動作

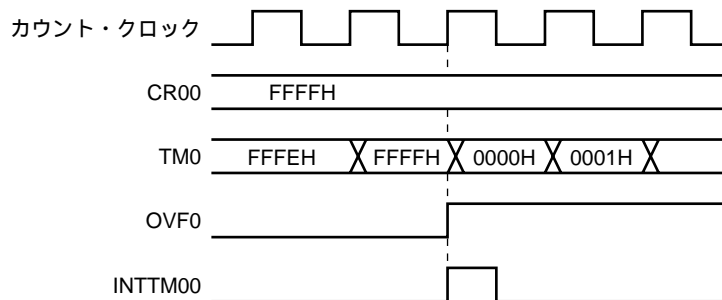
OVF0フラグは、次のときにも“1”に設定されます。

TM0とCR00の一致でクリア&スタート、TI00の有効エッジでクリア&スタート、フリー・ランニングのいずれかのモードを選択

CR00をFFFFHに設定

TM0がFFFFHから0000Hにカウント・アップするとき

図7 - 30 OVF0フラグの動作タイミング



TM0がオーバーフロー後、次のカウント・クロックがカウントされる (TM0が0001Hになる) 前にOVF0フラグをクリアしても、再度セットされ、クリアは無効となります。

(6) タイマ動作について

16ビット・タイマ・カウンタ0 (TM0) をリードしても、16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) にはキャプチャしません。

CPUの動作モードに関係なく、タイマが停止していると、TI00/TI01端子への入力信号は受け付けられません。

(7) キャプチャ動作について

カウント・クロックにTI00の有効エッジを指定した場合、TI00をトリガに指定したキャプチャ・レジスタは正常に動作できません。

TI00の有効エッジに立ち上がり、立ち下がりの両エッジを選択した場合には、CR00はキャプチャ動作しません。

確実にキャプチャするためのキャプチャ・トリガは、プリスケアラ・モード・レジスタ0 (PRM0) で選択したカウント・クロックの2周期分より長いパルスが必要とします。

キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み要求入力 (INTTM0n) は次のカウント・クロックの立ち上がりで発生します。

(8) コンペア動作について

コンペア・モードに設定したCR00/CR01は、キャプチャ・トリガが入力されてもキャプチャ動作を行いません。

(9) エッジ検出について

システム・リセット直後にTI00端子またはTI01端子がハイ・レベルの場合、TI00端子またはTI01端子の有効エッジを立ち上がりまたは両エッジに指定し、16ビット・タイマ・カウンタ0 (TM0) の動作を許可すると、その直後に立ち上がりエッジを検出します。TI00端子またはTI01端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。

TI00の有効エッジをカウント・クロックで使用する場合とキャプチャ・トリガとして使用する場合とで、ノイズ除去のためのサンプリング・クロックが異なります。前者は $f_x/2^3$ で、後者はプリスケラ・モード・レジスタ0 (PRM0) で選択したカウント・クロックでサンプリングします。有効エッジをサンプリングして、有効レベルを2回検出することではじめてキャプチャ動作するため、短いパルス幅のノイズを除去できます。

第8章 16ビット・タイマD

8.1 特 徴

16ビット・タイマDは、16ビットのインターバル・タイマとして機能します。

8.2 機能概要

16ビット・インターバル・タイマ

コンペア・レジスタ：1本

割り込み要求ソース：1要因

カウント・クロックはシステム・クロックの分周から選択

8.3 16ビット・タイマDの基本構成

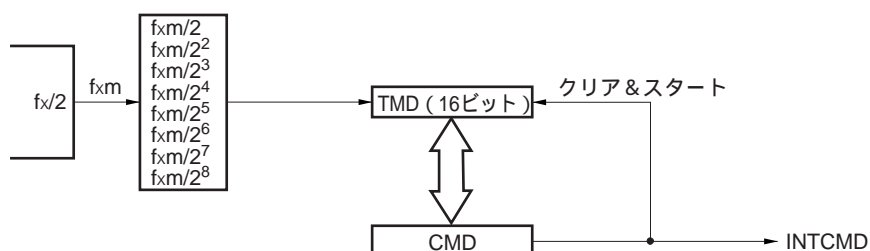
表8-1 16ビット・タイマDの構成一覧

タイマ	カウント・クロック	レジスタ	リード/ライト	発生する 割り込み信号	キャプチャ・ トリガ	タイマ出力 S/R	その他の機能
16ビット・ タイマD	$fx/2, fx/2^2, fx/2^3, fx/2^4,$	TMD	リード	-	-	-	-
	$fx/2^5, fx/2^6, fx/2^7, fx/2^8$	CMD	リード/ライト	INTCMD	-	-	-

備考 fx ：システム・クロック

S/R：セット/リセット

図8-1 16ビット・タイマDのブロック図



備考 fx ：システム・クロック

8.4 16ビット・タイマD

(1) 16ビット・タイマ・カウンタD (TMD)

TMDは、16ビット・タイマです。おもに、ソフトウェアのためのインターバル・タイマとして利用できます。

TMDのスタートおよびストップは、タイマ・モード・コントロール・レジスタD (TMCD) のCEビットによって制御します。

カウント・クロックは、プリスケラによる分周を、TMCDレジスタのCS0-CS2ビットにより $f_x/2$, $f_x/2^2$, $f_x/2^3$, $f_x/2^4$, $f_x/2^5$, $f_x/2^6$, $f_x/2^7$, $f_x/2^8$ から選択できます (f_x : システム・クロック)。

TMDは16ビット単位でリードだけ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TMD																	FF18H	0000H

TMDレジスタが0000Hになる条件を次に示します。

- RESET入力
- CAEビット = 0
- CEビット = 0
- TMDレジスタとCMDレジスタの一致
- オーバフロー

- 注意1.** TMCDレジスタのCAEビットをクリア(0)すると、非同期でリセットされます。
2. TMCDレジスタのCEビットをクリア(0)すると、内部クロックに同期してリセットされます。CMDレジスタとの一致後、オーバフロー後も同様です。
 3. タイマ動作中はカウント・クロックを変更しないでください。書き換えるときは、CEビットをクリア(0)したあとに書き換えてください。
 4. CEビットに設定後、設定値が内部に伝わるまで最大4クロックかかります。したがって、カウント動作開始時、0000Hから0001Hのカウント周期は、その後のカウント周期と異なります。
 5. コンペアー一致が発生したあと、タイマは次のカウント・クロックでクリアされるため、分周比が大きいときは、一致割り込み発生直後にタイマの値を読み出しても、タイマの値が0でない場合があります。

(2) 16ビット・コンペア・レジスタD (CMD)

CMDは、TMDレジスタ・カウント値との比較を行い、一致すると割り込み要求信号 (INTCMD) を発生します。この一致に同期してTMDをクリアします。TMCDレジスタのCAEビットを0にすると、非同期にリセットがかかり初期化されます。

CMDレジスタはマスタ/スレーブ構成になっています。CMDレジスタにライトすると、まず、マスタ・レジスタにライトされ、続いてマスタ・レジスタのデータがスレーブ・レジスタに転送されます。コンペア動作においては、スレーブ・レジスタの値とTMDレジスタのカウント値を比較します。CMDをリードした場合は、マスタ側の値が読み出されます。

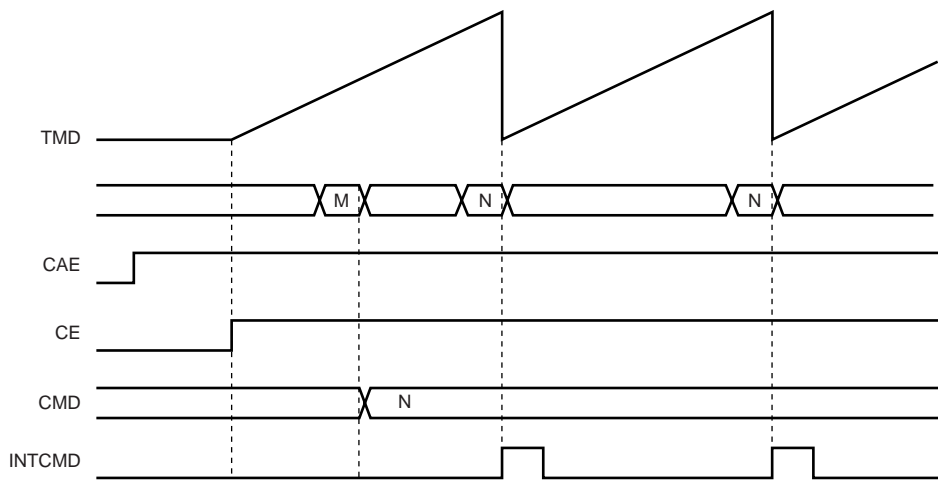
CMDは16ビット単位でリード/ライト可能です。

- 注意1. CMDレジスタへのライト動作は、CMDレジスタに設定した値が内部に伝わるまで4クロックかかります。CMDレジスタに連続して書き込みを行う場合、4クロック以上の時間間隔を確保してください。
2. CMDレジスタの書き換えは、TMDレジスタの1周期 (0000HからTMDレジスタとCMDレジスタが一致してINTCMD割り込みが発生するまで) に1回のみ可能です。それをアプリケーションで確保できない場合は、動作中にCMDレジスタを書き換えしないでください。
3. TMDレジスタ動作中、そのカウンタ値以下の値をCMDレジスタに書き込むと、オーバフローしたあとINTCMD割り込みが発生するため注意してください (図8-2)。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CMD																	FF1AH	0000H

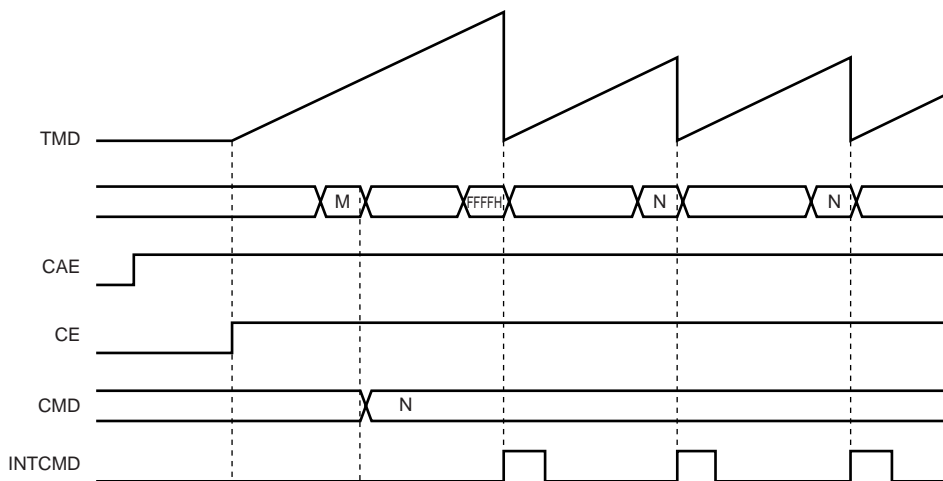
図8 - 2 TMD動作中のタイミング例

(a) TMD < CMDの場合



備考 M = 書き換え時のTMDの値
 N = 書き換え後のCMDの値
 M < N

(b) TMD > CMDの場合



備考 M = 書き換え時のTMDの値
 N = 書き換え後のCMDの値
 M > N

8.5 16ビット・タイマDの制御レジスタ

(1) 16ビット・タイマ・モード・コントロール・レジスタD (TMCD)

TMCDレジスタは、16ビット・タイマDの動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

注意 CAEビットとその他のビットは同時にはセットできません。必ずCAEビットをセットしたあとにその他のビットおよびその他のTMDユニットのレジスタを設定してください。

図8-3 16ビット・タイマ・モード・コントロール・レジスタD (TMCD) のフォーマット

アドレス : FF5CH リセット時 : 00H R/W

	7	⑥	⑤	④	3	2	①	⑦
TMCD	0	CS2	CS1	CS0	0	0	CE	CAE

CS2	CS1	CS0	カウント・クロックの選択
0	0	0	$f_x/2$ (0.4 μ s)
0	0	1	$f_x/2^2$ (0.8 μ s)
0	1	0	$f_x/2^3$ (1.6 μ s)
0	1	1	$f_x/2^4$ (3.2 μ s)
1	0	0	$f_x/2^5$ (6.4 μ s)
1	0	1	$f_x/2^6$ (12.8 μ s)
1	1	0	$f_x/2^7$ (25.6 μ s)
1	1	1	$f_x/2^8$ (51.2 μ s)

CE	TMDの動作の制御
0	カウント禁止 (0000Hで停止し、動作しない)
1	カウント動作

CAE	カウント・クロックの制御
0	TMDユニット全体を非同期リセットし、TMDユニットへのクロック供給を停止
1	クロックをTMDユニットへ供給

- 注意1.** タイマ動作中にCS2-CS0ビットを変更しないでください。変更する場合にはCEビット = 0にしてから行ってください。動作中に書き換えた場合、その動作は保証できません。
2. CEビットはコンペア動作中で一致を検出してもクリアされません。カウント動作を停止する場合は、CEビットをクリアしてください。
 3. CAEビット = 0の場合は、TMDユニットはリセット状態なので、TMDを動作させる場合には、まずCAEビット = 1にしてください。
 4. CAEビットを1から0にした場合は、TMDユニットのすべてのレジスタが初期化されます。再度CAEビット = 1にする場合には、CAE = 1設定後、必ずTMDユニットのすべてのレジスタを再設定してください。

- 備考1.** f_x : システム・クロック発振周波数
2. () 内は、 $f_x = 5.0$ MHz動作時。

8.6 16ビット・タイマDの動作

(1) コンペア動作

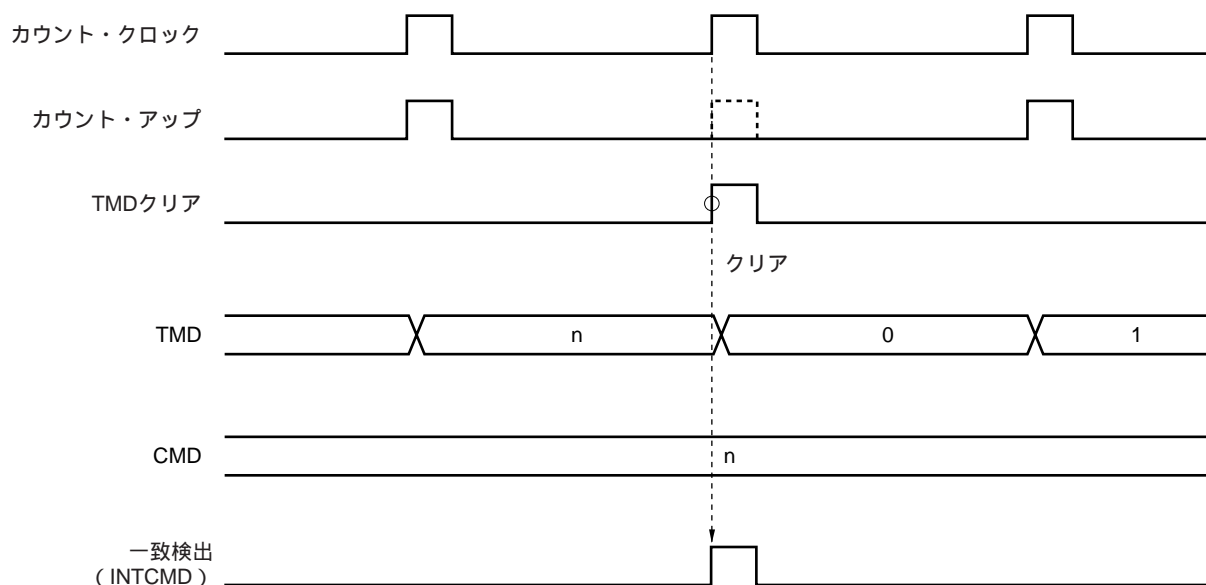
TMDでは、コンペア・レジスタ (CMD) に設定した値とTMDのカウント値を比較するコンペア動作を行います。

コンペア動作で一致を検出すると割り込み (INTCMD) を発生します。割り込み発生により、次のカウント・タイミングでTMDはクリア (0) されます。この機能により、16ビット・タイマDをインターバル・タイマとして使用します。

CMDには0を設定することもできます。この場合はオーバーフローしてTMDが0になるとともに一致を検出しINTCMDが発生します。次のカウント・タイミングでTMDの値をクリア (0) しますが、この一致では、INTCMDは発生しません。

図8-4 TMDコンペア動作例 (1/2)

(a) CMDにn (0以外) を設定した場合

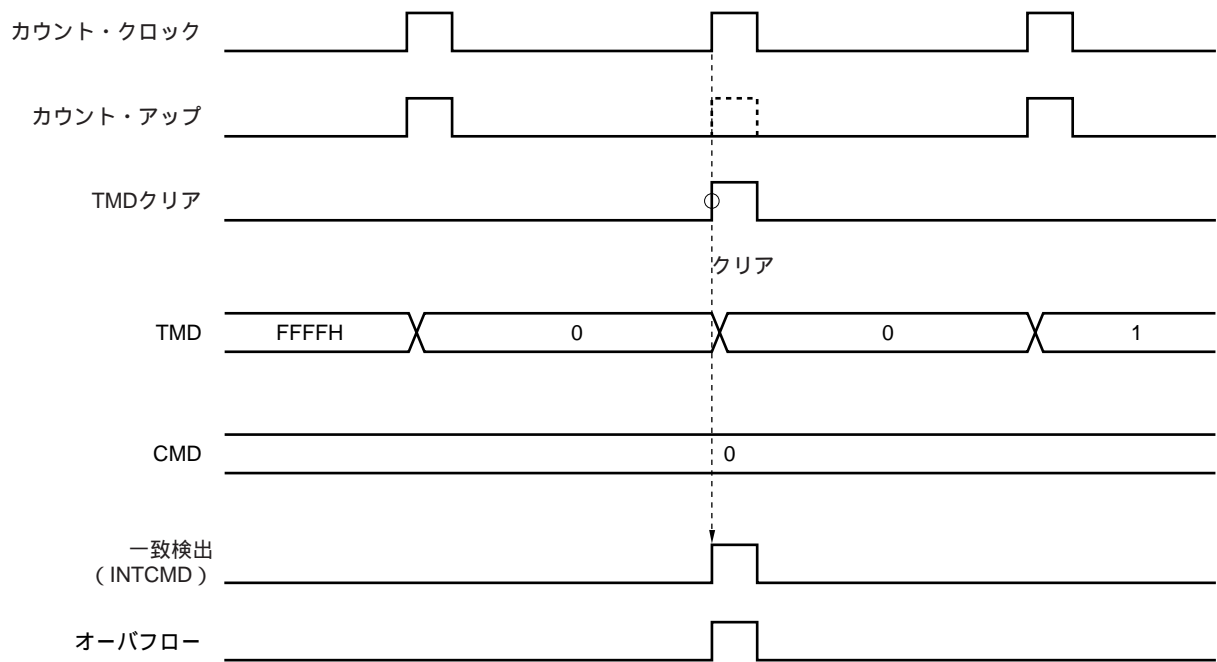


備考 インターバル時間 = $(n+1) \times$ カウント・クロック周期

$n = 1-65536$ (FFFFH)

図8 - 4 TMDコンペア動作例 (2/2)

(b) CMDに0を設定した場合



備考 インターバル時間 = (FFFFH + 2) × カウント・クロック周期

8.7 使用例

(1) インターバル・タイマ

16ビット精度でインターバル・タイマとして使用する例について説明します。

同一間隔で割り込み要求 (INTCMD) を出力します (図8-4 TMDコンペア動作例参照)。設定方法を次に示します。

CAEビットをセット (1) します。

各レジスタの設定を行います。

- ・ TMCMDレジスタのCS0-CS2ビットでカウント・クロックを選択します。
- ・ CMDレジスタにコンペア値を設定します。

CEビットをセット (1) し、カウントをスタートさせます。

TMDレジスタとCMDレジスタの値が一致すると、INTCMD割り込みが発生します。

以後、同一間隔でINTCMD割り込みが発生します。

8.8 注意事項

16ビット・タイマDについての注意事項を次に示します。

- (1) TMDを動作させる場合には、最初にCAEビットをセット (1) してください。
- (2) CEビットに設定後、設定した値が内部に伝わるまでに最大4クロックかかります。カウント動作開始時、0000Hから0001Hのカウント周期は、その後のカウント周期と異なります。
- (3) TMDレジスタの状態を初期化し再度カウントを開始する場合、CEビットをクリア (0) し、4クロックを経過したら、CEビットをセット (1) してください。
- (4) CMDレジスタに設定した値が内部に伝わるまでに最大4クロックかかります。CMDレジスタに連続して書き込みを行う場合、4クロック以上の時間を確保してください。
- (5) タイマ / カウンタ動作中のCMDレジスタの書き換えは、タイマ / カウンタの1周期 (0000HからTMDレジスタとCMDレジスタが一致してINTCMD割り込みが発生するまで) に1回のみ可能です。それをアプリケーションで確保できない場合は、動作中にCMDレジスタを書き換えないでください。
- (6) タイマ動作中はカウント・クロックを変更できません。書き換えは、CEビットをクリア (0) したあとに行ってください。動作中に書き換えた場合の動作は保証できません。
- (7) TMDレジスタが動作中、そのカウンタ値以下の値をCMDレジスタに書き込むと、オーバフローしたあとINTCMD割り込みが発生します。

第9章 8ビット・タイマ/イベント・カウンタ5

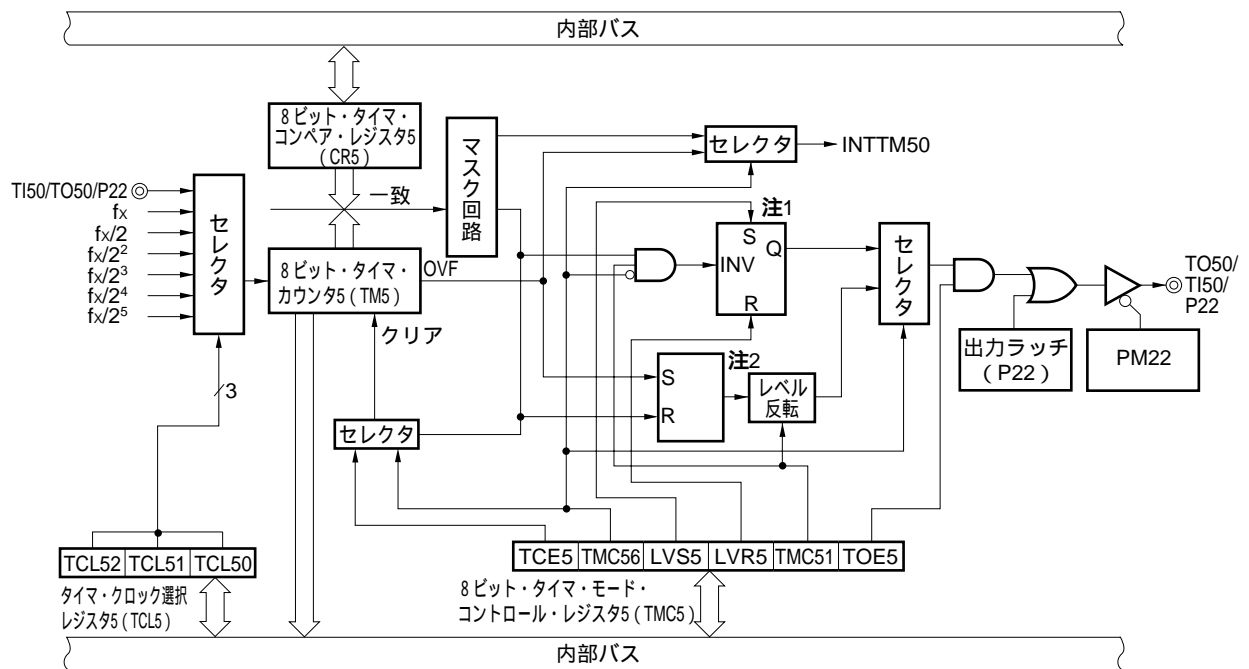
9.1 8ビット・タイマ/イベント・カウンタ5の機能

8ビット・タイマ/イベント・カウンタ5は、次のような機能として使用できます。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・方形波出力
- ・PWM出力

図9-1に、8ビット・タイマ/イベント・カウンタ5のブロック図を示します。

図9-1 8ビット・タイマ/イベント・カウンタ5のブロック図



注1. タイマ出力F/F

2. PWM出力F/F

9.2 8ビット・タイマ/イベント・カウンタ5の構成

8ビット・タイマ/イベント・カウンタ5は、次のハードウェアで構成されています。

表9-1 8ビット・タイマ/イベント・カウンタ5の構成

項 目	構 成
タイマ・レジスタ	8ビット・タイマ・カウンタ5 (TM5)
レジスタ	8ビット・タイマ・コンペア・レジスタ5 (CR5)
タイマ出力	2本 (TO5)
制御レジスタ	タイマ・クロック選択レジスタ5 (TCL5) 8ビット・タイマ・モード・コントロール・レジスタ5 (TMC5) ポート・モード・レジスタ2 (PM2) ^注 ポート2 (P2) ^注

注 図5-5 P22, P23のブロック図を参照してください。

(1) 8ビット・タイマ・カウンタ5 (TM5)

TM5は、カウント・パルスをカウントする8ビットのリード専用レジスタです。

カウント・クロックの立ち上がりに同期して、カウンタをインクリメントします。

動作中にカウント値を読み出した場合、カウント・クロックの入力を一時停止し、その時点でのカウント値を読み出します。

次の場合、カウント値は00Hになります。

RESET入力

TCE5をクリア

TM5とCR5の一致でクリア&スタート・モード時のTM5とCR5の一致

(2) 8ビット・タイマ・コンペア・レジスタ5 (CR5)

CR5は、8ビット・メモリ操作でリード/ライト可能なレジスタです。

PWMモード以外ではCR5に設定した値と、8ビット・タイマ・カウンタ5 (TM5) のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求 (INTTM50) を発生します。

PWMモード時は、TM5のオーパフローによりTO50端子がアクティブ・レベルになり、TM5とCR5の値が一致するとTO50端子はインアクティブ・レベルになります。

CR5の値は、00H-FFHの範囲で設定できます。

RESET入力により、00Hになります。

注意1. TM5とCR5の一致でクリア&スタート・モード (TMC56 = 0) 時は、動作中にCR5に異なる値を書き込まないでください。

2. PWMモード時は、CR5の書き換え間隔をカウント・クロック (TCL5で選択したクロック) の3カウント・クロック以上にしてください。

9.3 8ビット・タイマ/イベント・カウンタ5を制御するレジスタ

8ビット・タイマ/イベント・カウンタ5を制御するレジスタには、次の4種類があります。

- ・タイマ・クロック選択レジスタ5 (TCL5)
- ・8ビット・タイマ・モード・コントロール・レジスタ5 (TMC5)
- ・ポート・モード・レジスタ2 (PM2)
- ・ポート2 (P2)

(1) タイマ・クロック選択レジスタ5 (TCL5)

8ビット・タイマ/イベント・カウンタ5のカウント・クロックおよびTI50入力の有効エッジを設定するレジスタです。

TCL5は、8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図9-2 タイマ・クロック選択レジスタ5 (TCL5) のフォーマット

アドレス : FF52H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TCL5	0	0	0	0	0	TCL52	TCL51	TCL50

TCL52	TCL51	TCL50	カウント・クロックの選択
0	0	0	TI50の立ち下がりエッジ
0	0	1	TI50の立ち上がりエッジ
0	1	0	f_x (0.2 μ s)
0	1	1	$f_x/2$ (0.4 μ s)
1	0	0	$f_x/2^2$ (0.8 μ s)
1	0	1	$f_x/2^3$ (1.6 μ s)
1	1	0	$f_x/2^4$ (3.2 μ s)
1	1	1	$f_x/2^5$ (6.4 μ s)

注意1. TCL5を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2. ビット3-7には必ず“0”を設定してください。

備考1. f_x : システム・クロック発振周波数

2. ()内は、 $f_x = 5.0$ MHz動作時。

(2) 8ビット・タイマ・モード・コントロール・レジスタ5 (TMC5)

TMC5は、次の5種類の設定を行うレジスタです。

- 8ビット・タイマ・カウンタ5 (TM5) のカウント動作制御
- 8ビット・タイマ・カウンタ5 (TM5) の動作モードの選択
- タイマ出力F/F (フリップフロップ) の状態設定
- タイマF/Fの制御またはPWM (フリー・ランニング) モード時のアクティブ・レベルの選択
- タイマ出力の制御

TMC5は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図9 - 3に、TMC5のフォーマットを示します。

図9 - 3 8ビット・タイマ・モード・コントロール・レジスタ5 (TMC5) のフォーマット

アドレス : FF53H リセット時 : 00H R/W^注

略号	⑦	⑥	5	4	③	②	①	①
TMC5	TCE5	TMC56	0	0	LVS5	LVR5	TMC51	TOE5

TCE5	TM5のカウント動作制御
0	カウンタを0にクリア後、カウント動作禁止 (カウンタ停止)
1	カウント動作開始

TMC56	TM5の動作モード選択
0	TM5とCR5の一致でクリア&スタート・モード
1	PWM (フリーランニング) モード

LVS5	LVR5	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット (0)
1	0	タイマ出力F/Fをセット (1)
1	1	設定禁止

TMC51	PWMモード以外 (TMC56 = 0)	PWMモード (TMC56 = 1)
	タイマF/Fの制御	アクティブ・レベルの選択
0	反転動作禁止	ハイ・アクティブ
1	反転動作許可	ロウ・アクティブ

TOE5	タイマ出力の制御
0	出力禁止 (TM50の出力はロウ・レベル出力)
1	出力許可

注 ビット2, 3はWrite Onlyです。

- 注意1. LVS5とLVR5の設定は、PWMモード時以外で有効になります。
2. TMC51とTOE5を同時に書き換えしないでください。
 3. PWMモードに切り替える場合は、TMC56とLVS5, LVR5を同時に書き換えしないでください。
 4. TMC56を書き換える場合は、動作を停止してから行ってください。

- 備考1. PWMモード時は、TCE5 = 0により、PWM出力はインアクティブ・レベルになります。
2. データ設定後にLVS5, LVR5を読み出すと、0が読み出せます。
 3. TMC56, LVS5, LVR5, TMC51, TOE5の各ビットの値は、TCE5の値に関係なくTO50端子に反映されます。

(3) ポート・モード・レジスタ2 (PM2)

ポート2の入力/出力を1ビット単位で設定するレジスタです。

P22/TO50/TI50端子をタイマ出力として使用するとき、PM22およびP22の出力ラッチに0を設定してください。

P22/TO50/TI50端子をタイマ入力として使用するとき、PM22に1を設定してください。このとき、P22の出力ラッチは0または1のどちらでもかまいません。

PM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力によりFFHになります。

図9 - 4 ポート・モード・レジスタ2 (PM2) のフォーマット

アドレス : FF22H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	1	1	1	PM24	PM23	PM22	PM21	PM20

PM2n	P2n端子の入出力モードの選択 (n = 0-4)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

9.4 8ビット・タイマ/イベント・カウンタ5の動作

9.4.1 インターバル・タイマ(8ビット)としての動作

8ビット・タイマ・コンペア・レジスタ5 (CR5) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

8ビット・タイマ・カウンタ5 (TM5) のカウント値がCR5に設定した値と一致したとき、TM5の値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM50) を発生します。

タイマ・クロック選択レジスタ5 (TCL5) のビット0-2 (TCL50-TCL52) でTM5のカウント・クロックを選択できます。

[設定方法]

各レジスタの設定を行います。

- ・TCL5 : カウント・クロックの選択
- ・CR5 : コンペア値
- ・TMC5 : カウント動作停止, TM5とCR5の一致でクリア&スタート・モード, タイマ出力禁止を選択

(TMC5 = 0000 x x x 0B x = don't care)

TCE5 = 1を設定すると、カウント動作を開始します。

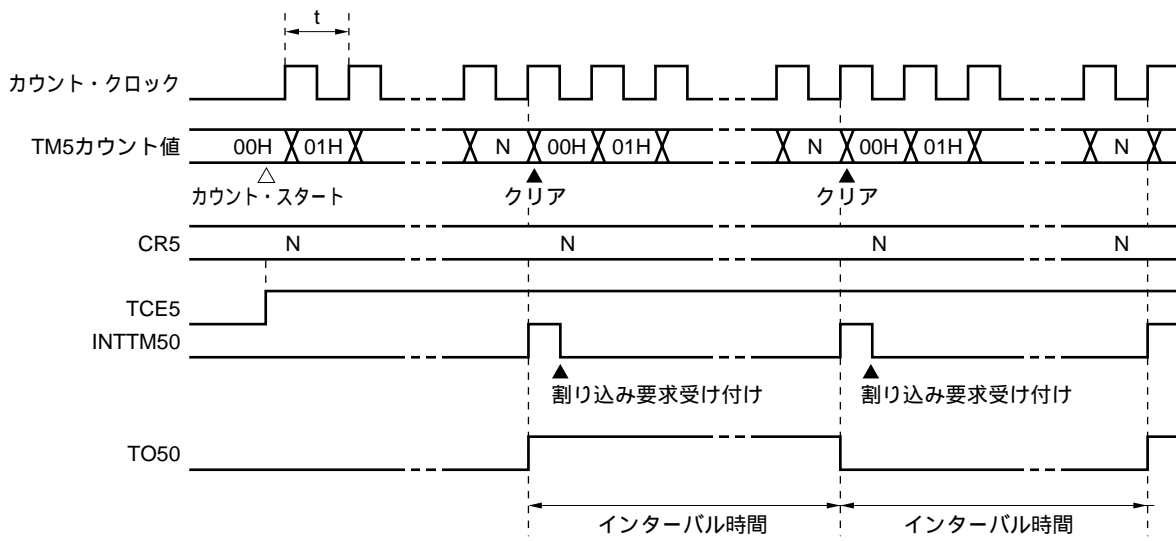
TM5とCR5の値が一致すると、INTTM50が発生します (TM5は00Hにクリアされます)。

以後、同一間隔でINTTM50が繰り返し発生します。カウント動作を停止するときは、TCE5 = 0にしてください。

注意 動作中にCR5に異なる値を書き込まないでください。

図9-5 インターバル・タイマ動作のタイミング (1/2)

(a) 基本動作

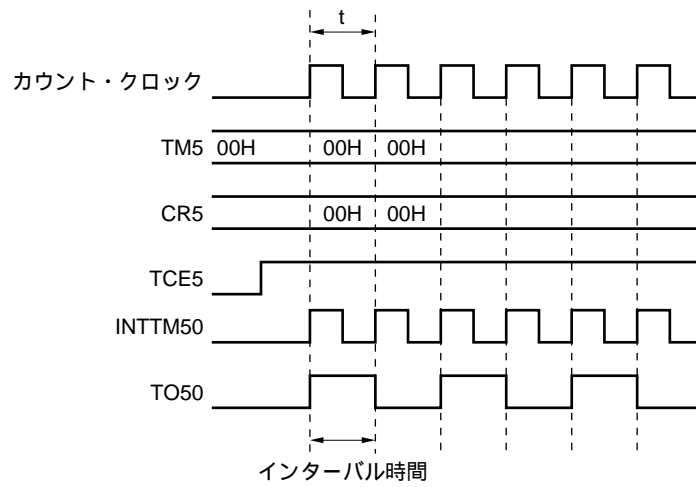


備考 インターバル時間 = $(N + 1) \times t$

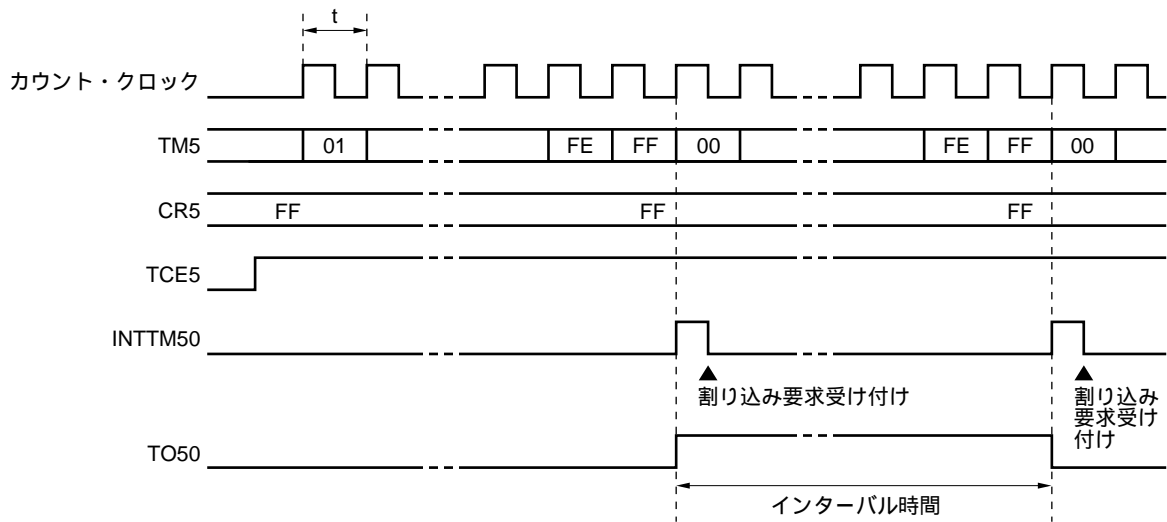
N = 00H-FFH

図9-5 インターバル・タイマ動作のタイミング (2/2)

(b) CR5 = 00Hの場合



(c) CR5 = FFHの場合



9.4.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI50に入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ5 (TM5) でカウントするものです。

タイマ・クロック選択レジスタ5 (TCL5) で指定した有効エッジが入力されるたびに、TM5がインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりのいずれかを選択できます。

TM5の計数値が8ビット・タイマ・コンペア・レジスタ5 (CR5) の値と一致すると、TM5は0にクリアされ、割り込み要求信号 (INTTM50) が発生します。

以後、TM5の値とCR5の値が一致するたびに、INTTM50が発生します。

[設定方法]

各レジスタの設定を行います。

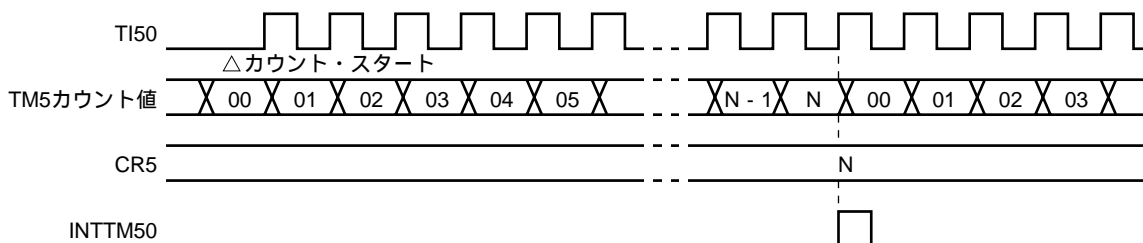
- ・ TCL5 : TI50入力のエッジ選択
 TI50の立ち下がり TCL5 = 00H
 TI50の立ち上がり TCL5 = 01H
- ・ CR5 : コンペア値
- ・ TMC5 : カウント動作停止, TM5とCR5の一致でクリア&スタート・モード選択, タイマF/F反転動作禁止, タイマ出力禁止を選択
 (TMC5 = 0000 x x 00B x = don't care)

TCE5 = 1を設定すると、TI50から入力されるパルス数をカウントします。

TM5とCR5の値が一致すると、INTTM50が発生します (TM5は00Hにクリアされます)。

以後、TM5とCR5の値が一致するたびに、INTTM50が発生します。

図9-6 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



N = 00H-FFH

9.4.3 方形波出力（8ビット分解能）としての動作

8ビット・タイマ・コンペア・レジスタ5（CR5）にあらかじめ設定した値で決まるインターバルの、任意の周波数の方形波出力として動作します。

8ビット・タイマ・モード・コントロール・レジスタ5（TMC5）のビット0（TOE5）に1を設定することにより、CR5にあらかじめ設定したカウント値で決まるインターバルでTO50の出力状態が反転します。これにより、任意の周波数の方形波出力（デューティ= 50%）が可能です。

[設定方法]

各レジスタの設定を行います。

- ・ポート・ラッチ（P22），ポート・モード・レジス（PM22）に“0”を設定
- ・TCL5 : カウント・クロックの選択
- ・CR5 : コンペア値
- ・TMC5 : カウント動作停止

TM5とCR5の一致でクリア&スタート・モード

LVS5	LVR5	タイマ出力F/Fの状態設定
1	0	ハイ・レベル出力
0	1	ロウ・レベル出力

タイマ出力F/Fの反転許可

タイマ出力許可

（TMC5 = 00001011Bまたは00000111B）

TCE5 = 1を設定すると、カウント動作を開始します。

TM5とCR5の値が一致すると、タイマ出力F/Fが反転します。

また、INTTM50が発生し、TM5は00Hにクリアされます。

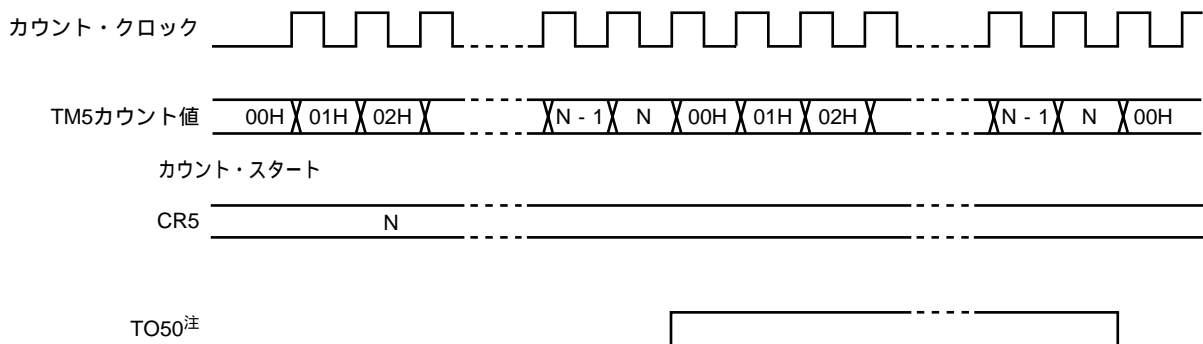
以後、同一間隔でタイマ出力F/Fが反転し、TO50から方形波が出力されます。

周波数は次のようになります。

- ・周波数 = $f_{CNT}/2(N+1)$
- （N : 00-FFH, f_{CNT} : カウント・クロック）

注意 動作中にCR5に異なる値を書き込まないでください。

図9-7 方形波出力動作のタイミング



注 TO50出力の初期値は、8ビット・タイマ・モード・コントロール・レジスタ5（TMC5）のビット2, 3（LVR5, LVS5）で設定できます。

9.4.4 PWM出力としての動作

8ビット・タイマ・モード・コントロール・レジスタ5 (TMC5) のビット6 (TMC56) を“1” に設定することにより、PWM出力として動作します。

8ビット・タイマ・コンペア・レジスタ5 (CR5) に設定した値で決まるデューティ比のパルスを、TO50から出力します。

PWMパルスのアクティブ・レベルの幅は、CR5に設定してください。また、アクティブ・レベルは、TMC5のビット1 (TMC51) により選択できます。

カウント・クロックは、タイマ・クロック選択レジスタ5 (TCL5) のビット0-2 (TCL50-TCL52) で選択できます。

TMC5のビット0 (TOE5) により、PWM出力の許可/禁止が選択できます。

注意 PWMモード時は、CR5の書き換え間隔をカウント・クロック (TCL5で選択したクロック) の3カウント・クロック以上にしてください。

(1) PWM出力の基本動作

[設定方法]

各レジスタの設定を行います。

- ・ポート・ラッチ (P22) , ポート・モード・レジスタ2 (PM22) に“0”を設定
- ・TCL5 : カウント・クロックの選択
- ・CR5 : コンペア値
- ・TMC5 : カウント動作停止, PWMモード選択, タイマ出力F/F変化なし

TMC51	アクティブ・レベルの選択
0	ハイ・アクティブ
1	ロウ・アクティブ

タイマ出力許可

(TMC5 = 01000001Bまたは01000011B)

TCE5 = 1に設定すると、カウント動作を開始します。

カウント動作を停止するときは、TCE5に“0”を設定してください。

[PWM出力の動作]

カウント動作を開始すると、PWM出力 (TO50からの出力) はオーバフローが発生するまでインアクティブ・レベルを出力します。

オーバフローが発生すると、アクティブ・レベルを出力します。アクティブ・レベルは、CR5と8ビット・タイマ・カウンタ5 (TM5) のカウント値が一致するまで出力されます。

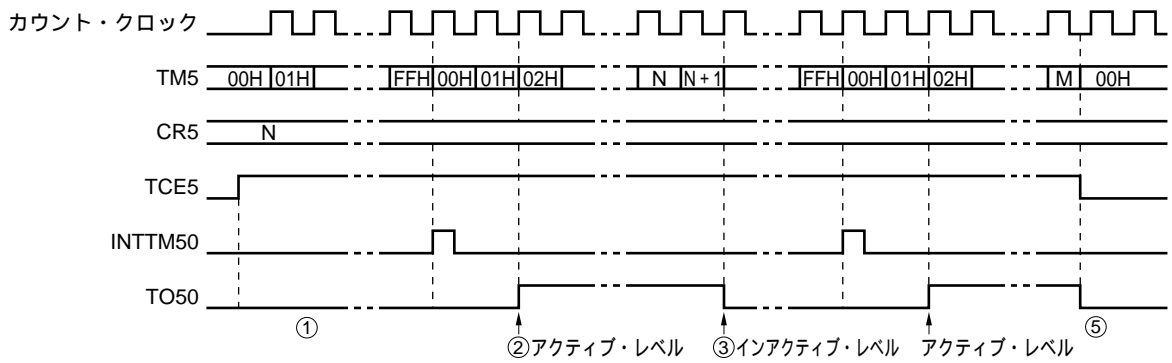
CR5とカウント値が一致すると、インアクティブ・レベルを出力し、再度オーバフローが発生するまでインアクティブ・レベルを出力します。

以後、カウント動作が停止されるまで、を繰り返します。

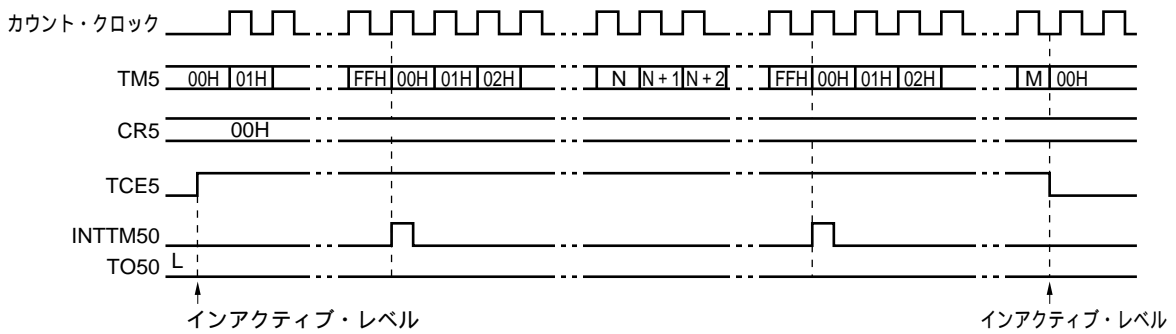
TCE5 = 0によりカウント動作を停止すると、PWM出力はインアクティブ・レベルになります。

図9-8 PWM出力の動作タイミング

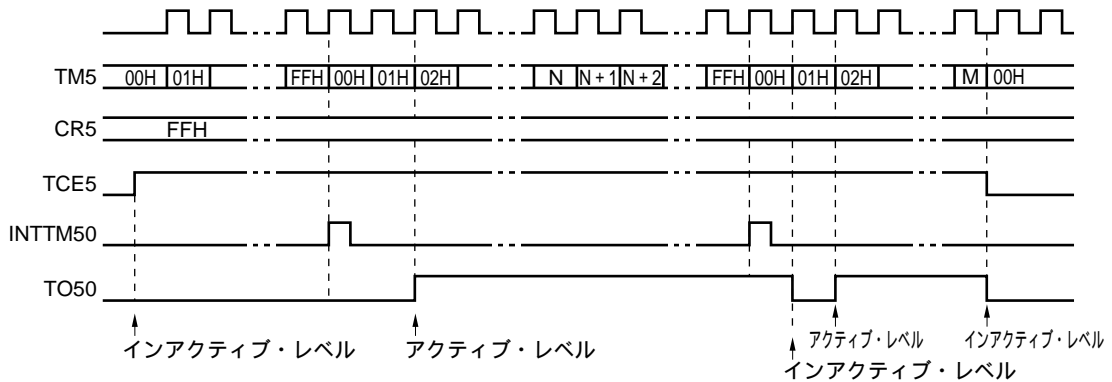
(a) 基本動作 (アクティブ・レベル = Hのとき)



(b) CR5 = 00Hの場合



(c) CR5 = FFHの場合

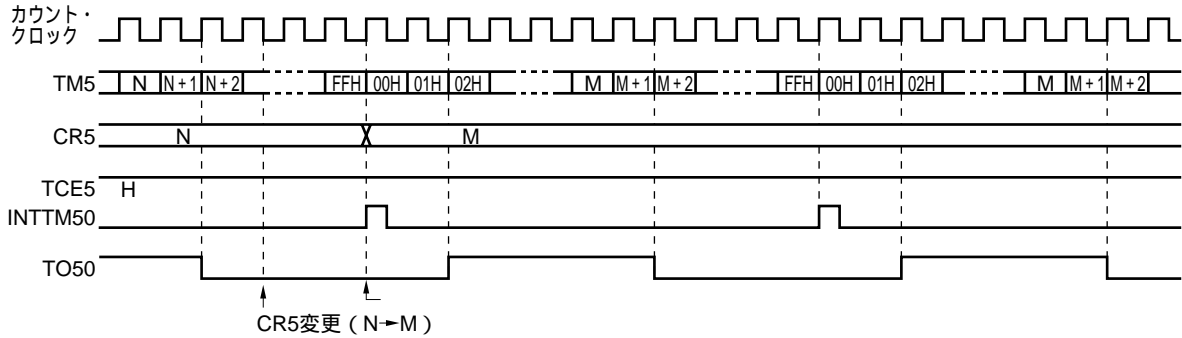


備考 図9-8(a)の - , は, 9.4.4(1) PWM出力の基本動作 [PWM出力の動作] の - , と対応しています。

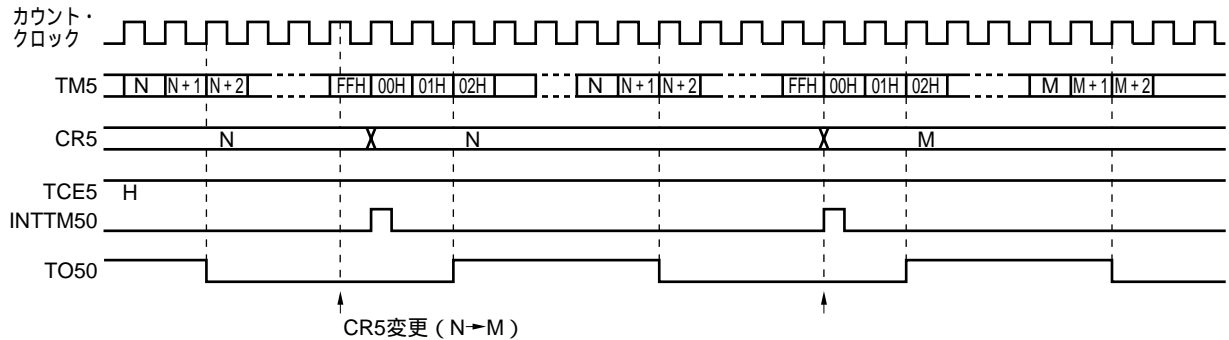
(2) CR5変更による動作

図9 - 9 CR5変更による動作のタイミング

(a) CR5の値をFFHのクロック立ち上がりエッジよりも手前にN Mに変更した場合
直後のオーバーフローでCR5に値がリロードされます。



(b) CR5の値をFFHのクロック立ち上がりエッジよりもあとにN Mに変更した場合
2回目のオーバーフローでCR5に値がリロードされます。



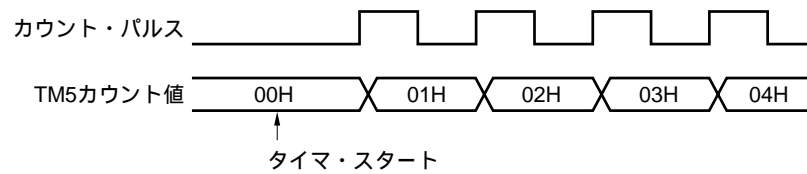
注意 図9 - 9の から の間でCR5からリードする場合、実際に動作する値と異なります(リード値 : M, 実際のCR5の値 : N)。

9.5 8ビット・タイマ/イベント・カウンタ5の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・パルスに対して8ビット・タイマ・カウンタ5 (TM5) が非同期でスタートするためです。

図9 - 10 8ビット・タイマ・カウンタ5のスタート・タイミング



第10章 ウォッチドッグ・タイマ

10.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

注意 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください。

(1) ウォッチドッグ・タイマ

プログラムの暴走を検出します。暴走検出時、ノンマスクابل割り込みまたは $\overline{\text{RESET}}$ を発生することができます。

表10-1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	$f_x = 5.0 \text{ MHz}$ 動作時
$2^{11} \times 1/f_x$	410 μs
$2^{13} \times 1/f_x$	1.64 ms
$2^{15} \times 1/f_x$	6.55 ms
$2^{17} \times 1/f_x$	26.2 ms

f_x : システム・クロック発振周波数

(2) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

表10-2 インターバル時間

インターバル時間	$f_x = 5.0 \text{ MHz}$ 動作時
$2^{11} \times 1/f_x$	410 μs
$2^{13} \times 1/f_x$	1.64 ms
$2^{15} \times 1/f_x$	6.55 ms
$2^{17} \times 1/f_x$	26.2 ms

f_x : システム・クロック発振周波数

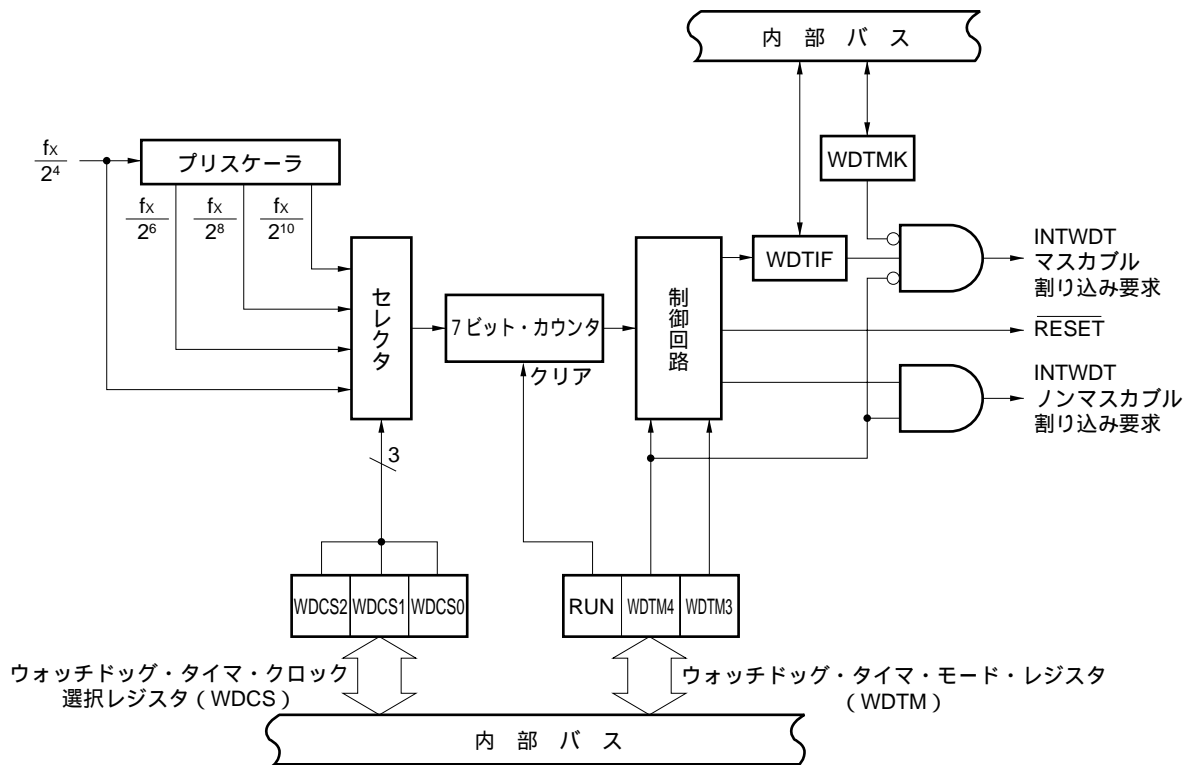
10.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成しています。

表10-3 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

図10-1 ウォッチドッグ・タイマのブロック図



備考 f_x : システム・クロック発振周波数

10.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、次の2種類のレジスタで制御します。

- ・ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

(1) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)

ウォッチドッグ・タイマのカウント・クロックを設定するレジスタです。

WDCSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図10-2 ウォッチドッグ・タイマ・クロック選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDCS	0	0	0	0	0	WDCS2	WDCS1	WDCS0	FF42H	00H	R/W

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのカウント・クロックの選択	インターバル時間
0	0	0	$f_x/2^4$ (313 kHz)	$2^{11}/f_x$ (410 μ s)
0	1	0	$f_x/2^6$ (78.1 kHz)	$2^{13}/f_x$ (1.64 ms)
1	0	0	$f_x/2^8$ (19.5 kHz)	$2^{15}/f_x$ (6.55 ms)
1	1	0	$f_x/2^{10}$ (4.88 kHz)	$2^{17}/f_x$ (26.2 ms)
上記以外			設定禁止	

備考1. f_x : システム・クロック発振周波数

2. () 内は、 $f_x = 5.0$ MHz動作時。

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード，カウント許可 / 禁止を設定するレジスタです。
 WDTMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 RESET入力により，00Hになります。

図10-3 ウォッチドッグ・タイマ・モード・レジスタのフォーマット

略号		6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	0	FFF9H	00H	R/W

RUN	ウォッチドッグ・タイマの動作の選択 ^{注1}
0	カウントの停止
1	カウンタをクリアし，カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 ^{注2}
0	0	動作停止
0	1	インターバル・タイマ・モード (オーバーフロー発生時，マスクブル割り込み発生) ^{注3}
1	0	ウォッチドッグ・タイマ・モード1 (オーバーフロー発生時，ノンマスクブル割り込み発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバーフロー発生時，リセット動作を起動)

- 注1. RUNは，一度セット (1) されると，ソフトウェアでクリア (0) することはできません。したがって，カウントを開始すると，RESET入力以外で停止させることはできません。
2. WDTM3, WDTM4は，一度セット (1) されると，ソフトウェアでクリア (0) することはできません。
3. RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

- 注意1. RUNに1を設定し，ウォッチドッグ・タイマをクリアしたとき，実際のオーバーフロー時間は，ウォッチドッグ・タイマ・クロック選択レジスタ (WDGS) で設定した時間より最大0.8%短くなります。
2. ウォッチドッグ・タイマ・モード1, 2を使用する場合は，WDTIF (割り込み要求フラグ・レジスタ0 (IF0) のビット0) が0になっていることを確認してからWDTM4を1にセットしてください。WDTIFが1の状態では，ウォッチドッグ・タイマ・モード1, 2を選択すると書き換え終了と同時にノンマスクブル割り込みが発生します。

10.4 ウォッチドッグ・タイマの動作

10.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のビット0-2 (WDCS0-WDCS2) でウォッチドッグ・タイマのカウント・クロック (暴走検出時間間隔) を選択できます。WDTMのビット7 (RUN) に1を設定することにより、ウォッチドッグ・タイマはスタートします。ウォッチドッグ・タイマがスタートしたあと、設定した暴走検出時間間隔内にRUNに1を設定してください。RUNに1を設定することにより、ウォッチドッグ・タイマをクリアし、カウントを開始させることができます。RUNに1がセットされず、暴走検出時間を越えてしまったときは、WDTMのビット3 (WDTM3) の値により、システム・リセットまたはノンマスカブル割り込みが発生します。

ウォッチドッグ・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP命令を実行してください。

注意 実際の暴走検出時間は設定時間に対して最大0.8%短くなる場合があります。

表10-4 ウォッチドッグ・タイマの暴走検出時間

WDCS2	WDCS1	WDCS0	暴走検出時間	$f_x = 5.0 \text{ MHz}$ 時
0	0	0	$2^{11} \times 1/f_x$	410 μs
0	1	0	$2^{13} \times 1/f_x$	1.64 ms
1	0	0	$2^{15} \times 1/f_x$	6.55 ms
1	1	0	$2^{17} \times 1/f_x$	26.2 ms

f_x : システム・クロック発振周波数

10.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に0, ビット3 (WDTM3) に1を設定することにより, あらかじめ設定したカウント値をインターバルとし, 繰り返し割り込みを発生するインターバル・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のビット0-2 (WDCS0-WDCS2) でカウント・クロック (インターバル時間) を選択できます。WDTMのビット7 (RUN) に1を設定することにより, インターバル・タイマとして動作を開始します。

インターバル・タイマとして動作しているとき, 割り込みマスク・フラグ (WDTMK) が有効となり, マスカブル割り込み (INTWDT) を発生させることができます。INTWDTの優先順位は, マスカブル割り込みの中で最も高く設定されています。

インターバル・タイマは, HALTモード時では動作を継続しますが, STOPモード時では動作を停止します。したがって, STOPモードに入る前にRUNを1に設定し, インターバル・タイマをクリアしたあと, STOP命令を実行してください。

- 注意1. 一度WDTMのビット4 (WDTM4) に1をセットする (ウォッチドッグ・タイマ・モードを選択する) と $\overline{\text{RESET}}$ 入力されないかぎり, インターバル・タイマ・モードになりません。
2. WDTMで設定した直後のインターバル時間は, 設定時間に対して最大0.8 %短くなる場合があります。

表10 - 5 インターバル・タイマのインターバル時間

WDCS2	WDCS1	WDCS0	インターバル時間	$f_x = 5.0 \text{ MHz}$ 時
0	0	0	$2^{11} \times 1/f_x$	410 μ s
0	1	0	$2^{13} \times 1/f_x$	1.64 ms
1	0	0	$2^{15} \times 1/f_x$	6.55 ms
1	1	0	$2^{17} \times 1/f_x$	26.2 ms

f_x : システム・クロック発振周波数

第11章 シリアル・インタフェース2

11.1 シリアル・インタフェース2の機能

シリアル・インタフェース2には、次の3種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード
- ・3線式シリアルI/Oモード

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減することができます。

(2) アシンクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

また、ASCK2端子への入力クロックを分周してボー・レートを定義することもできます。

(3) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ($\overline{\text{SCK2}}$) と、シリアル・データ (SI2, SO2) の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続ができます。

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵するICや表示コントローラなどを接続するときに使用できます。

11.2 シリアル・インタフェース2の構成

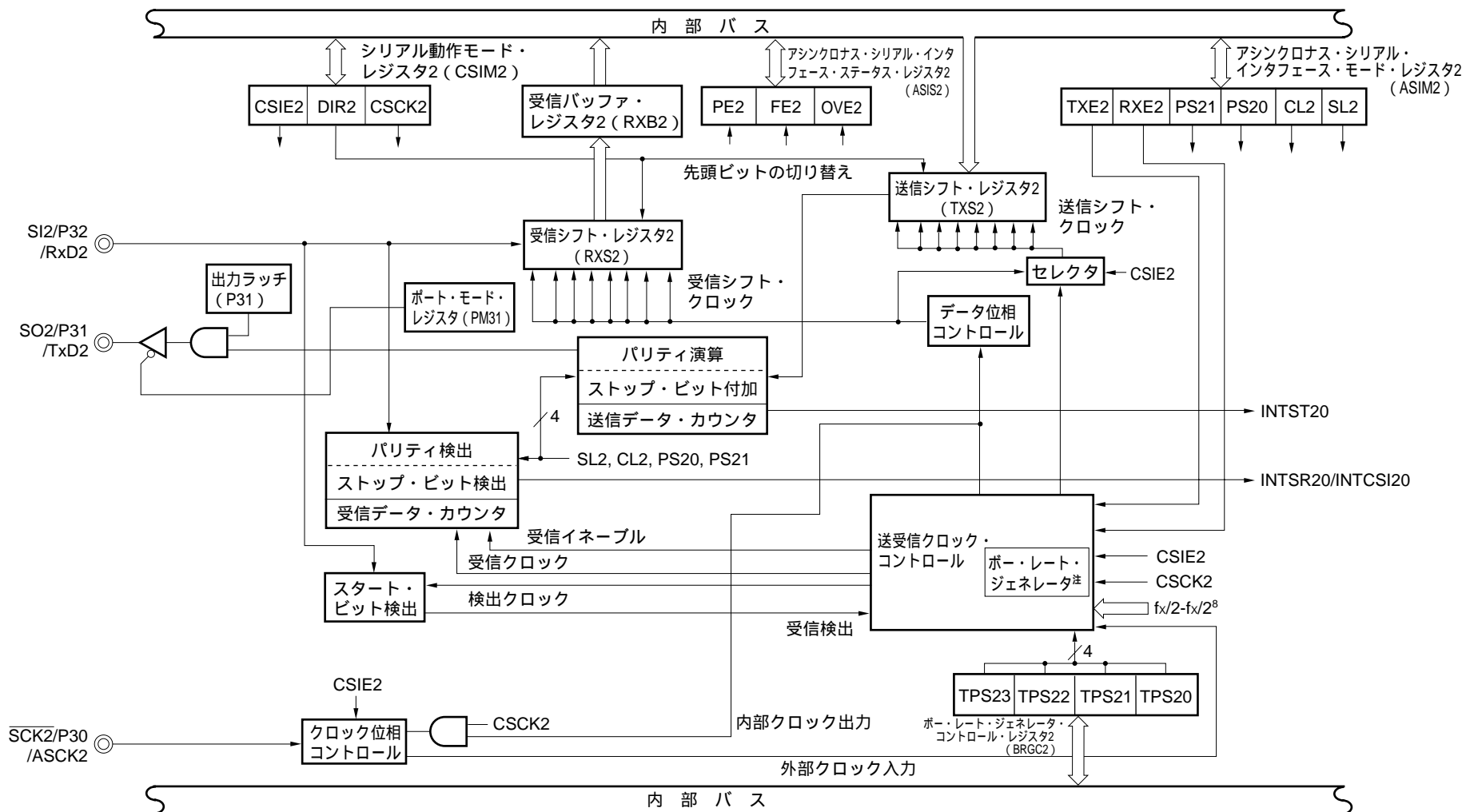
シリアル・インタフェース2は、次のハードウェアで構成しています。

表11-1 シリアル・インタフェース2の構成

項 目	構 成
レジスタ	送信シフト・レジスタ2 (TXS2) 受信シフト・レジスタ2 (RXS2) 受信バッファ・レジスタ2 (RXB2)
制御レジスタ	シリアル動作モード・レジスタ2 (CSIM2) アシンクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2 (ASIS2) ポー・レート・ジェネレータ・コントロール・レジスタ2 (BRGC2) ポート・モード・レジスタ3 (PM3) ^注 ポート3 (P3) ^注

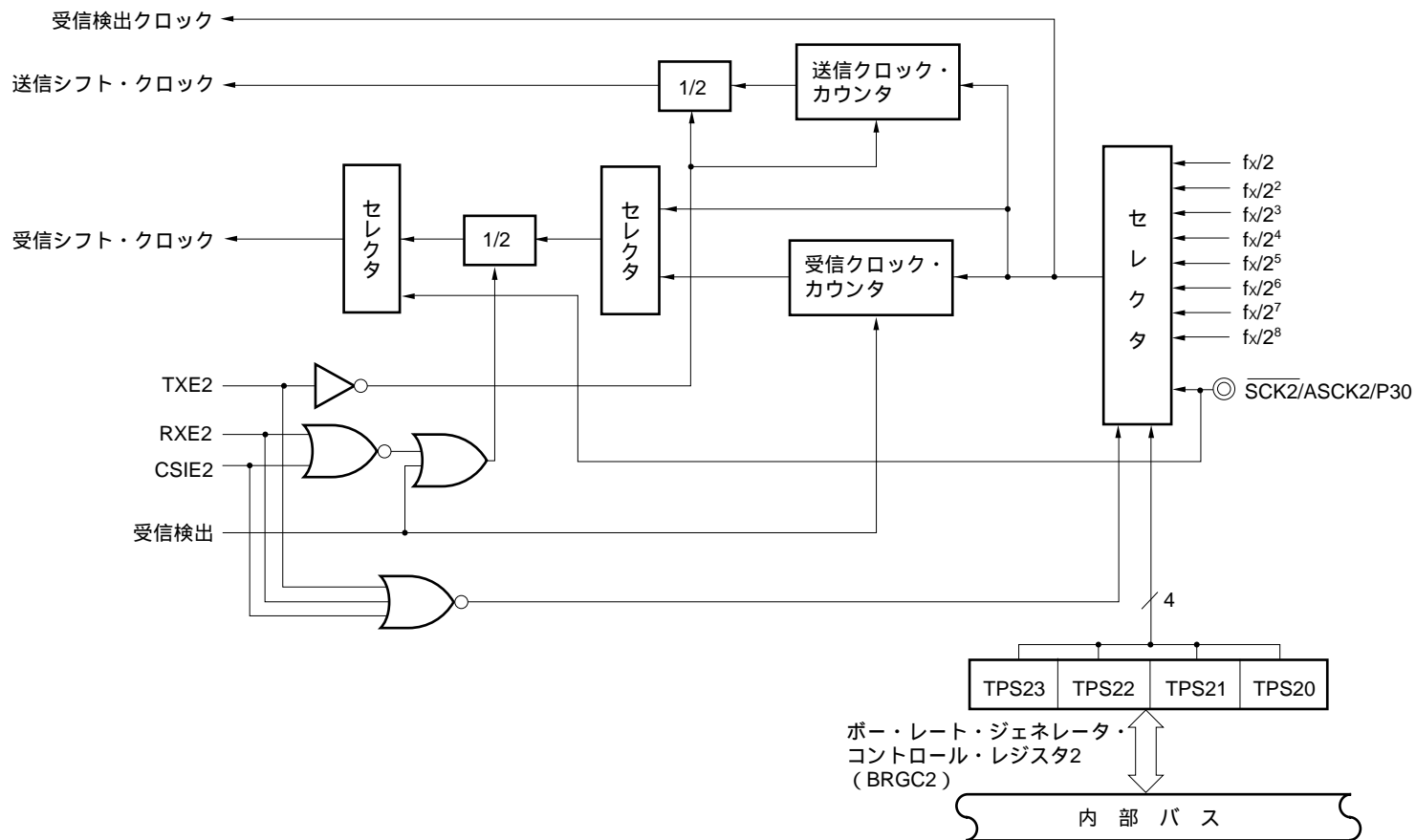
注 図5-7 P30のブロック図, 図5-8 P31のブロック図, 図5-9 P32, P33のブロック図を参照してください。

図11-1 シリアル・インタフェース2のブロック図



注 ポー・レート・ジェネレータの構成は、図11-2を参照してください。

図11-2 ポー・レート・ジェネレータのブロック図



(1) 送信シフト・レジスタ2 (TXS2)

送信データを設定するレジスタです。TXS2に書き込まれたデータをシリアル・データとして送信します。

データ長を7ビットに指定した場合、TXS2に書き込んだデータのビット0-6が送信データとして転送されます。TXS2にデータを書き込むことにより、送信動作を開始します。

TXS2は、8ビット・メモリ操作命令で書き込みます。読み出しはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注意 送信動作中は、TXS2への書き込みを行わないでください。

TXS2と受信バッファ・レジスタ2 (RXB2) は同一アドレスに割り当てられており、読み出しを行った場合にはRXB2の値が読み出されます。

(2) 受信シフト・レジスタ2 (RXS2)

RxD2端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。1バイト分のデータを受信すると、受信データを受信バッファ・レジスタ2 (RXB2) へ転送します。

RXS2はプログラムで直接操作することはできません。

(3) 受信バッファ・レジスタ2 (RXB2)

受信データを保持するレジスタです。データを1バイト受信することに受信シフト・レジスタ2 (RXS2) から新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXB2のビット0-6に転送され、RXB2のMSBは必ず0になります。

RXB2は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 RXB2と送信シフト・レジスタ2 (TXS2) は同一アドレスに割り当てられており、書き込みを行った場合にはTXS2に値が書き込まれます。

(4) 送信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2) に設定された内容に従って、送信シフト・レジスタ2 (TXS2) に書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットの付加などの送信動作の制御を行います。

(5) 受信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2) に設定された内容に従って、受信動作を制御します。また受信動作中にパリティ・エラーなどのエラー・チェックも行い、エラーを検出したときにはエラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ2 (ASIS2) にセットします。

11.3 シリアル・インタフェース2を制御するレジスタ

シリアル・インタフェース2は、次の6種類のレジスタで制御します。

- ・シリアル動作モード・レジスタ2 (CSIM2)
- ・アシンクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2)
- ・アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2 (ASIS2)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ2 (BRGC2)
- ・ポート・モード・レジスタ3 (PM3)
- ・ポート3 (P3)

(1) シリアル動作モード・レジスタ2 (CSIM2)

シリアル・インタフェース2を3線式シリアル/I/Oモードで使用するときを設定するレジスタです。

CSIM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図11-3 シリアル動作モード・レジスタ2のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM2	CSIE2	0	0	0	0	DIR2	CSCK2	0	FF72H	00H	R/W

CSIE2	3線式シリアル/I/Oモード時の動作の制御
0	動作停止
1	動作許可

DIR2	先頭ビットの指定
0	MSB
1	LSB

CSCK2	3線式シリアル/I/Oモード時のクロックの選択
0	SCK2端子への外部からの入力クロック
1	専用ポー・レート・ジェネレータの出力

- 注意1.** ビット0, 3-6には、必ず0を設定してください。
2. UARTモード選択時は、CSIM2に00Hを設定してください。
 3. 動作モードは、シリアル送受信動作を停止させたのちに切り替えてください。

(2) アシクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2)

シリアル・インタフェース2をアシクロナス・シリアル・インタフェース・モードで使用するとき設定するレジスタです。

ASIM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図11-4 アシクロナス・シリアル・インタフェース・モード・レジスタ2のフォーマット

略号		5	4	3	2	1	0	アドレス	リセット時	R/W	
ASIM2	TXE2	RXE2	PS21	PS20	CL2	SL2	0	0	FF70H	00H	R/W

TXE2	送信動作の制御	
0	送信動作停止	
1	送信動作許可	

RXE2	受信動作の制御	
0	受信動作停止	
1	受信動作許可	

PS21	PS20	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない(パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL2	送信データのキャラクタ長の指定
0	7ビット
1	8ビット

SL2	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

注意1. ビット0, 1には必ず0を設定してください。

2. 3線式シリアルI/Oモード選択時は、ASIM2に00Hを設定してください。

3. 動作モードは、シリアル送受信動作を停止させたのちに切り替えてください。

表11-2 シリアル・インタフェース2の動作モードの設定一覧

(1) 動作停止モード

ASIM2		CSIM2			PM32	P32	PM31	P31	PM30	P30	先頭ビット	シフト・クロック	P32/SI2/RxD2 端子の機能	P31/SO2/TxD2 端子の機能	P30/SCK2/ASCK2 端子の機能
TXE2	RXE2	CSIE2	DIR2	CSCCK2											
0	0	0	x	x	x注1	x注1	x注1	x注1	x注1	x注1	-	-	P32	P31	P30
上記以外											設定禁止				

(2) 3線式シリアル/Oモード

ASIM2		CSIM2			PM32	P32	PM31	P31	PM30	P30	先頭ビット	シフト・クロック	P32/SI2/RxD2 端子の機能	P31/SO2/TxD2 端子の機能	P30/SCK2/ASCK2 端子の機能
TXE2	RXE2	CSIE2	DIR2	CSCCK2											
0	0	1	0	0	1注2	x注2	0	1	1	x	MSB	外部 クロック	SI2注2	SO2 (CMOS出力)	SCK2入力
				0					1	内部 クロック		SCK2出力			
				1					x	LSB	外部 クロック	SCK2入力			
				0					1		内部 クロック	SCK2出力			
上記以外											設定禁止				

(3) アシクロナス・シリアル・インタフェース・モード

ASIM		CSIM2			PM32	P32	PM31	P31	PM30	P30	先頭ビット	シフト・クロック	P32/SI2/RxD2 端子の機能	P31/SO2/TxD2 端子の機能	P30/SCK2/ASCK2 端子の機能
TXE2	RXE2	CSIE2	DIR2	CSCCK2											
1	0	0	0	0	x注1	x注1	0	1	1	x	LSB	外部 クロック	P32	TxD2 (CMOS出力)	ASCK2入力
									x注1	x注1		内部 クロック			P30
0	1	0	0	0	1	x	x注1	x注1	1	x	外部 クロック	RxD2	P31	ASCK2入力	
									x注1	x注1		内部 クロック			P30
1	1	0	0	0	1	x	0	1	1	x	外部 クロック	P32	TxD2 (CMOS出力)	ASCK2入力	
									x注1	x注1				内部 クロック	P30
上記以外											設定禁止				

注1. ポート機能として自由に使用できます。

2. 送信のみ使用する場合は、P32 (CMOS入出力) として使用できます。

備考 x : don't care

(3) アシクロナス・シリアル・インタフェース・ステータス・レジスタ2 (ASIS2)

アシクロナス・シリアル・インタフェース・モードで受信エラー発生時、エラーの種類を表示するレジスタです。

ASIS2は、1ビット・メモリ操作命令または、8ビット・メモリ操作命令で読み出します。

3線式シリアルI/Oモードでは、ASIS2の内容は不定となります。

RESET入力により、00Hになります。

図11-5 アシクロナス・シリアル・インタフェース・ステータス・レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIS2	0	0	0	0	0	PE2	FE2	OVE2	FF71H	00H	R

PE2	パリティ・エラー・フラグ
0	パリティ・エラー未発生
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FE2	フレーミング・エラー・フラグ
0	フレーミング・エラー未発生
1	フレーミング・エラー発生 (ストップ・ビットが検出されないとき) 注1

OVE2	オーバラン・エラー・フラグ
0	オーバラン・エラー未発生
1	オーバラン・エラー発生注2 (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)

注1. アシクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2) のビット2 (SL2) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ2 (RXB2) を必ず読み出してください。

RXB2を読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

(4) ボー・レート・ジェネレータ・コントロール・レジスタ2 (BRGC2)

シリアル・インタフェース2のシリアル・クロックを設定するレジスタです。

BRGC2は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図11-6 ボー・レート・ジェネレータ・コントロール・レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC2	TPS23	TPS22	TPS21	TPS20	0	0	0	0	FF73H	00H	R/W

TPS23	TPS22	TPS21	TPS20	3ビット・カウンタのソース・クロックの選択	n
0	0	0	0	$f_x/2$ (2.5 MHz)	1
0	0	0	1	$f_x/2^2$ (1.25 MHz)	2
0	0	1	0	$f_x/2^3$ (625 kHz)	3
0	0	1	1	$f_x/2^4$ (313 kHz)	4
0	1	0	0	$f_x/2^5$ (156 kHz)	5
0	1	0	1	$f_x/2^6$ (78.1 kHz)	6
0	1	1	0	$f_x/2^7$ (39.1 kHz)	7
0	1	1	1	$f_x/2^8$ (19.5 kHz)	8
1	0	0	0	ASCK2端子への外部からの入力クロック ^注	—
上記以外				設定禁止	

注 UARTモード時にのみ使用できます。

注意1. 通信動作中にBRGC2への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGC2への書き込みを行わないでください。

2. UARTモード時で $f_x > 3$ MHzの場合、 $n = 1$ はボー・レートの規格値を越えてしまうため選択しないでください。

3. 外部からの入力クロックを選択したときは、ポート・モード・レジスタ3 (PM3) を入力モードに設定してください。

備考1. f_x : システム・クロック発振周波数

2. n : TPS20-TPS23で決定される値 (1 n 8)

3. () 内は、 $f_x = 5.0$ MHz動作時。

生成するボー・レート用の送受信クロックは、システム・クロックを分周した信号か、ASCK2端子から入力したクロックを分周した信号になります。

(a) システム・クロックによるボー・レート用の送受信クロックの生成

システム・クロックを分周して送受信クロックを生成します。システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_x}{2^{n+1} \times 8} \text{ [Hz]}$$

f_x : システム・クロック発振周波数

n : TPS20-TPS23の設定で決定される図11 - 6中の値 (2 ~ 8)

表11 - 3 システム・クロックとボー・レートの関係例

ボー・レート (bps)	n	BRGC2の設定値	誤差 (%)	
			$f_x = 5.0 \text{ MHz}$	$f_x = 4.9152 \text{ MHz}$
1200	8	70H	1.73	0
2400	7	60H		
4800	6	50H		
9600	5	40H		
19200	4	30H		
38400	3	20H		
76800	2	10H		

注意 $f_x > 3 \text{ MHz}$ の場合、 $n = 1$ はボー・レートの規格値を越えてしまうため選択しないでください。

(b) ASCK2端子からの外部クロックによるボー・レート用の送受信クロックの生成

ASCK2端子から入力したクロックを分周して送受信クロックを生成します。ASCK2端子から入力したクロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_{\text{ASCK}}}{16} [\text{Hz}]$$

f_{ASCK} : ASCK2端子に入力したクロックの周波数

表11-4 ASCK2端子入力周波数とボー・レートの関係 (BRGC2 = 80H設定時)

ボー・レート (bps)	ASCK2端子入力周波数 (kHz)
75	1.2
150	2.4
300	4.8
600	9.6
1200	19.2
2400	38.4
4800	76.8
9600	153.6
19200	307.2
31250	500.0
38400	614.4

★

(c) システム・クロックによる3線式シリアルI/Oモードのシリアル・クロックの生成

システム・クロックを分周してシリアル・クロックを生成します。シリアル・クロック周波数は、次の式によって求められます。外部からSCK2端子にシリアル・クロックを入力する場合はBRGC2の設定は必要ありません。

$$\text{シリアル・クロック周波数} = \frac{f_x}{2^{n+1}} [\text{Hz}]$$

f_x : システム・クロック発振周波数

n : TPS20-TPS23の設定で決定される図11-6中の値 (1 ~ 8)

11.4 シリアル・インタフェース2の動作

シリアル・インタフェース2は、次の3種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード
- ・3線式シリアルI/Oモード

11.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減することができます。また、動作停止モードでは、P30/ $\overline{\text{SCK2}}$ /ASCK2, P31/SO2/TxD2, P32/SI2/RxD2端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ2 (CSIM2) とアシンクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2) で行います。

(a) シリアル動作モード・レジスタ2 (CSIM2)

CSIM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM2	CSIE2	0	0	0	0	DIR2	CCK2	0	FF72H	00H	R/W

CSIE2	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

注意 ビット0, 3-6には、必ず0を設定してください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2)

ASIM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	5	4	3	2	1	0	アドレス	リセット時	R/W		
ASIM2	TXE2	RXE2	PS21	PS20	CL2	SL2	0	0	FF70H	00H	R/W

TXE2	送信動作の制御
0	送信動作停止
1	送信動作許可

RXE2	受信動作の制御
0	受信動作停止
1	受信動作許可

注意 ビット0, 1には必ず0を設定してください。

11.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。また、ASCK2端子への入力クロックを分周してポー・レートを定義することもできます。

UART専用ポー・レート・ジェネレータを利用してMIDI規格のポー・レート (31.25 kbps) を使用することもできます。

(1) レジスタの設定

UARTモードの設定は、シリアル動作モード・レジスタ2 (CSIM2)、アシクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2)、アシクロナス・シリアル・インタフェース・ステータス・レジスタ2 (ASIS2)、ポー・レート・ジェネレータ・コントロール・レジスタ2 (BRGC2)、ポート・モード・レジスタ3 (PM3)、ポート3 (P3) で行います。

(a) シリアル動作モード・レジスタ2 (CSIM2)

CSIM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

UARTモード選択時は、CSIM2に00Hを設定してください。

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM2	CSIE2	0	0	0	0	DIR2	CSCCK2	0	FF72H	00H	R/W

CSIE2	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

DIR2	先頭ビットの指定
0	MSB
1	LSB

CSCCK2	3線式シリアルI/Oモード時のクロックの選択
0	SCK2端子への外部からの入力クロック
1	専用ポー・レート・ジェネレータの出力

注意1. ビット0, 3-6には、必ず0を設定してください。

2. 動作モードは、シリアル送受信動作を停止させたのちに切り替えてください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2)

ASIM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号			5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM2	TXE2	RXE2	PS21	PS20	CL2	SL2	0	0	FF70H	00H	R/W

TXE2	送信動作の制御
0	送信動作停止
1	送信動作許可

RXE2	受信動作の制御
0	受信動作停止
1	受信動作許可

PS21	PS20	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない(パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL2	キャラクタ長の指定
0	7ビット
1	8ビット

SL2	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

注意1. ビット0, 1には、必ず0を設定してください。

2. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

(c) アシクロナス・シリアル・インタフェース・ステータス・レジスタ2 (ASIS2)

ASIS2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

RESET入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIS2	0	0	0	0	0	PE2	FE2	OVE2	FF71H	00H	R

PE2	パリティ・エラー・フラグ
0	パリティ・エラー未発生
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FE2	フレーミング・エラー・フラグ
0	フレーミング・エラー未発生
1	フレーミング・エラー発生 (ストップ・ビットが検出されないとき) ^{注1}

OVE2	オーバラン・エラー・フラグ
0	オーバラン・エラー未発生
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)

- 注1. アシクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2) のビット2 (SL2) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。
2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ (RXB2) を必ず読み出してください。RXB2を読み出すまでデータ受信のたびにオーバラン・エラーが発生し続けます。

(d) ボー・レート・ジェネレータ・コントロール・レジスタ2 (BRGC2)

BRGC2は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC2	TPS23	TPS22	TPS21	TPS20	0	0	0	0	FF73H	00H	R/W

TPS23	TPS22	TPS21	TPS20	3ビット・カウンタのソース・クロックの選択	n
0	0	0	0	$f_x/2$ (2.5 MHz)	1
0	0	0	1	$f_x/2^2$ (1.25 MHz)	2
0	0	1	0	$f_x/2^3$ (625 kHz)	3
0	0	1	1	$f_x/2^4$ (313 kHz)	4
0	1	0	0	$f_x/2^5$ (156 kHz)	5
0	1	0	1	$f_x/2^6$ (78.1 kHz)	6
0	1	1	0	$f_x/2^7$ (39.1 kHz)	7
0	1	1	1	$f_x/2^8$ (19.5 kHz)	8
1	0	0	0	ASCK2端子への外部からの入力クロック	
上記以外				設定禁止	

- 注意1. 通信動作中にBRGC2への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGC2への書き込みを行わないでください。
2. f_x 3 MHzなので、 $n=1$ はボー・レートの規格値を越えてしまうため選択しないでください。
3. 外部からの入力クロックを選択したときは、ポート・モード・レジスタ3 (PM3) を入力モードに設定してください。

- 備考1. f_x : システム・クロック発振周波数
2. n : TPS20-TPS23の設定で決定される値 (1 n 8)
3. () 内は、 $f_x = 5.0$ MHz動作時。

生成するボー・レート用の送受信クロックは、システム・クロックを分周した信号か、ASCK2端子から入力したクロックを分周した信号になります。

(i) システム・クロックによるボー・レート用の送受信クロックの生成

システム・クロックを分周して送受信クロックを生成します。システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_x}{2^{n+1} \times 8} [\text{Hz}]$$

f_x : システム・クロック発振周波数

n : TPS20-TPS23の設定で決定される上記の表中の値 (2 n 8)

表11 - 5 システム・クロックとボー・レートの関係例

ボー・レート (bps)	n	BRGC2の設定値	誤差 (%)	
			f _x = 5.0 MHz	f _x = 4.9152 MHz
1200	8	70H	1.73	0
2400	7	60H		
4800	6	50H		
9600	5	40H		
19200	4	30H		
38400	3	20H		
76800	2	10H		

注意 f_x 3 MHzなので n = 1はボー・レートの規格値を越えてしまうため選択しないでください。

(ii) ASCK2端子からの外部クロックによるボー・レート用の送受信クロックの生成

ASCK2端子から入力したクロックを分周して送受信クロックを生成します。ASCK2端子から入力したクロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_{\text{ASCK}}}{16} [\text{Hz}]$$

f_{ASCK} : ASCK2端子に入力したクロックの周波数

表11 - 6 ASCK2端子入力周波数とボー・レートの関係 (BRGC2 = 80H設定時)

ボー・レート (bps)	ASCK2端子入力周波数 (kHz)
75	1.2
150	2.4
300	4.8
600	9.6
1200	19.2
2400	38.4
4800	76.8
9600	153.6
19200	307.2
31250	500.0
38400	614.4

(e) ポート・モード・レジスタ3 (PM3)

ポート3の入力/出力を1ビット単位で設定するレジスタです。

P31/TxD2/SO2端子をシリアル・インタフェースのデータ出力として使用するとき、PM31に0を、P31の出力ラッチに1を設定してください。

P32/RxD2/SI2端子をシリアル・インタフェースのデータ入力として使用するとき、PM32に1を設定してください。このときP32の出力ラッチは、0または1のどちらでもかまいません。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力によりFFHになります。

アドレス：FF23H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(2) 通信動作

(a) データ・フォーマット

送受信データのフォーマットは図11-7に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2) によって行います。

図11-7 アシンクロナス・シリアル・インタフェースの送受信データのフォーマット



- ・スタート・ビット.....1ビット
- ・キャラクタ・ビット.....7ビット / 8ビット
- ・パリティ・ビット.....偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ストップ・ビット.....1ビット / 2ビット

キャラクタ・ビットとして7ビットを選択した場合、下位7ビット (ビット0-ビット6) のみが有効となり、送信の場合は最上位ビット (ビット7) は無視され、受信の場合は必ず最上位ビット (ビット7) は“0”になります。

シリアル転送レートの設定は、ボー・レート・ジェネレータ・コントロール・レジスタ2 (BRGC2) によって行います。

また、シリアル・データの受信エラーが発生した場合、アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2 (ASIS2) の状態を読むことによって受信エラーの内容を判定することができます。

(b) パリティの種類と動作

パリティ・ビットは、通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

(i) 偶数パリティ**・送信時**

パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：1

送信データ中に、値が“1”のビットの数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(ii) 奇数パリティ**・送信時**

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：0

送信データ中に、値が“1”のビットの数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

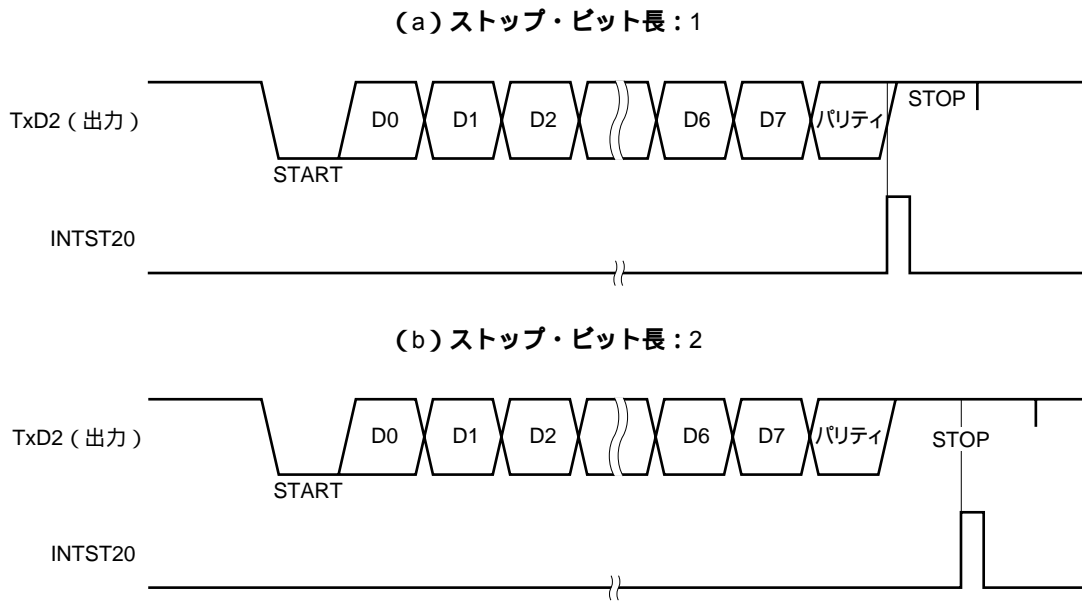
受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 送信

送信シフト・レジスタ2 (TXS2) に送信データを書き込むことによって送信動作は起動します。スタート・ビット, パリティ・ビット, ストップ・ビットは自動的に付加されます。

送信動作の開始により, TXS2内のデータがシフト・アウトされ, TXS2が空になると送信完了割り込み (INTST20) が発生します。

図11 - 8 アシクロナス・シリアル・インタフェース送信完了割り込みタイミング



注意 送信動作中にはアシクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2) の書き換えは行わないでください。送信中にASIM2レジスタの書き換えを行うと、それ以降の送信動作ができなくなる場合があります (RESET入力により, 正常になります)。送信中かどうかは, 送信完了割り込み (INTST20) またはINTST20によりセットされる割り込み要求フラグ (STIF20) を用いて, ソフトウェアにより判断することができます。

(d) 受信

受信動作は、アシンクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2) のビット6 (RXE2) ビットがセット (1) されると許可状態となり、RxD2端子入力のサンプリングを行います。

RxD2端子入力のサンプリングはBRGC2で指定したシリアル・クロックで行います。

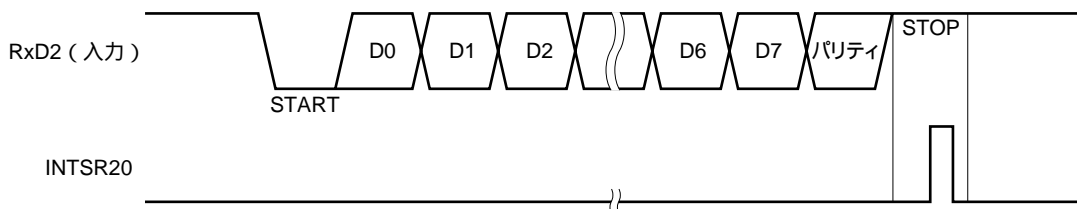
RxD2端子入力が高レベルになると、3ビット・カウンタがカウントを開始し、設定したボー・レートの半分の時間が経過したところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD2端子入力をサンプリングした結果、高レベルであれば、スタート・ビットとして認識し、3ビット・カウンタを初期化してカウントを開始し、データのサンプリングを行います。スタート・ビットに続いて、キャラクタ・データ、パリティ・ビットおよび1ビットのストップ・ビットが検出されると、1フレームのデータ受信が終了します。

1フレームのデータ受信が終了すると、シフト・レジスタ内の受信データを受信バッファ・レジスタ2 (RXB2) に転送し、受信完了割り込み (INTSR20) を発生します。

また、エラーが発生しても、RXB2にエラーの発生した受信データを転送し、INTSR20を発生します。

なお、受信動作中にRXE2ビットをリセット (0) すると、ただちに受信動作を停止します。このとき、RXB2およびアシンクロナス・シリアル・インタフェース・ステータス・レジスタ2 (ASIS2) の内容は変化せず、また、INTSR20も発生しません。

図11 - 9 アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング



注意 受信エラー発生時にも、受信バッファ・レジスタ2 (RXB2) は必ず読み出してください。RXB2を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

(e) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース・ステータス・レジスタ2 (ASIS2) 内に立ちます。受信エラーの要因を表11-7に示します。

受信エラー割り込み処理内で、ASIS2の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます(図11-9, 図11-10参照)。

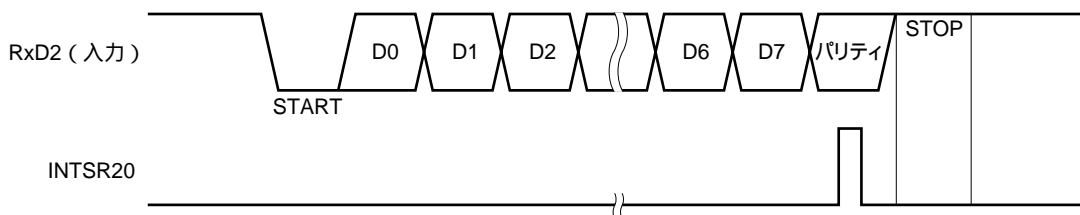
ASIS2の内容は、受信バッファ・レジスタ2 (RXB2) を読み出すか、次のデータを受信することでリセット(0)されます(次のデータにエラーがあれば、そのエラー・フラグがセットされます)。

表11-7 受信エラーの要因

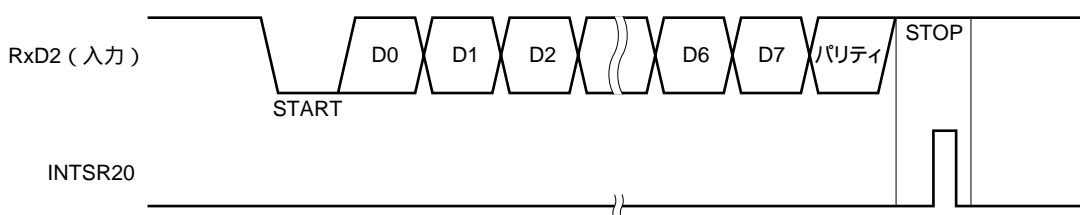
受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファ・レジスタからデータを読み出す前に次のデータ受信完了

図11-10 受信エラー・タイミング

(a) パリティ・エラー発生時



(b) フレーミング・エラー, オーバラン・エラー発生時



- 注意1. ASIS2レジスタの内容は、受信バッファ・レジスタ2 (RXB2) を読み出すか、次のデータを受信することにより、リセット(0)されます。エラーの内容が知りたい場合には、必ずRXB2を読み出す前にASIS2を読み出してください。
2. 受信エラー発生時にも、受信バッファ・レジスタ2 (RXB2) は必ず読み出してください。RXB2を読み出さないと次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

(f) 受信データの読み出し

受信完了割り込み (INTSR20) が発生したら、受信バッファ・レジスタ2 (RXB2) の値をリードすることで受信データを読み出します。

受信バッファ・レジスタ2 (RXB2) に格納された受信データをリードするときには、受信動作許可 (RXE2 = 1) の状態で読み出してください。

備考 ただし、受信動作停止 (RXE2 = 0) してから受信データを読み出す必要がある場合は、次のどちらかの方法で行ってください。

(a) BRGC2で選択したソース・クロックの1周期分以上のウェイト後にRXE2 = 0にして、リードする。

(b) シリアル動作モード・レジスタ2 (CSIM2) のビット2 (DIR2) をセット (1) して、リードする。

(a) のプログラム例 (BRGC2 = 00H (ソース・クロック = $f_x/2$) の場合)

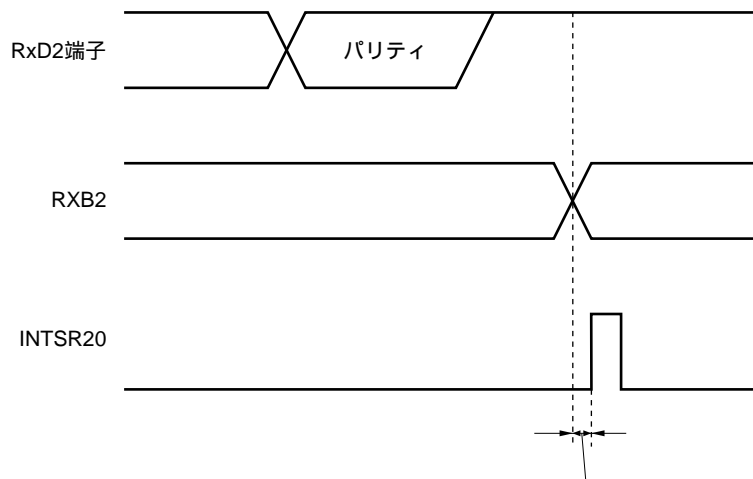
```
INTRXE:                ; <受信完了割り込みルーチン>
NOP                    ; 2クロック
CLR1 RXE2              ; 受信動作停止
MOV A, RXB2            ; 受信データをリード
```

(b) のプログラム例

```
INTRXE:                ; <受信完了割り込みルーチン>
SET1 CSIM2.2           ; DIR2フラグをLSBファーストに設定
CLR1 RXE2              ; 受信動作停止
MOV A, RXB2            ; 受信データをリード
```

(3) UARTモードの注意事項

- (a) 送信中にアシンクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2) のビット7 (TXE2) をクリアした場合、次の送信を行う前に必ず送信シフト・レジスタ2 (TXS2) にFFHを設定したのちに、TXE2に1を設定してください。
- (b) 受信中にアシンクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2) のビット6 (RXE2) をクリアした場合、受信バッファ・レジスタ2 (RXB2)、受信完了割り込み20 (INTSR20) は、次のようになります。



- の区間でRXE2に0を設定した場合、RXB2は前のデータを保持し、INTSR20も発生しません。
- の区間でRXE2に0を設定した場合、RXB2はデータを更新し、INTSR20は発生しません。
- の区間でRXE2に0を設定した場合、RXB2はデータを更新し、INTSR20も発生します。

11.4.3 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

シリアル・クロック ($\overline{\text{SCK2}}$)、シリアル出力 (SO2)、シリアル入力 (SI2) の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ2 (CSIM2)、アシンクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2)、ポー・レート・ジェネレータ・コントロール・レジスタ2 (BRGC2)、ポート・モード・レジスタ3 (PM3)、ポート3 (P3) で行います。

(a) シリアル動作モード・レジスタ2 (CSIM2)

CSIM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM2	CSIE2	0	0	0	0	DIR2	CSCCK2	0	FF72H	00H	R/W

CSIE2	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

DIR2	先頭ビットの指定
0	MSB
1	LSB

CSCCK2	3線式シリアルI/Oモード時のクロックの選択
0	$\overline{\text{SCK2}}$ 端子への外部からの入力クロック
1	専用ポー・レート・ジェネレータの出力

注意1. ビット0, 3-6には、必ず0を設定してください。

2. 動作モードは、シリアル送受信動作を停止させたのちに切り替えてください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2)

ASIM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

3線式シリアルI/Oモード選択時は、ASIM2に00Hを設定してください。

略号			5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM2	TXE2	RXE2	PS21	PS20	CL2	SL2	0	0	FF70H	00H	R/W

TXE2	送信動作の制御	
0	送信動作停止	
1	送信動作許可	

RXE2	受信動作の制御	
0	受信動作停止	
1	受信動作許可	

PS21	PS20	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない(パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL2	キャラクタ長の指定
0	7ビット
1	8ビット

SL2	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

注意1. ビット0, 1には、必ず0を設定してください。

2. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

(c) ボー・レート・ジェネレータ・コントロール・レジスタ2 (BRGC2)

BRGC2は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC2	TPS23	TPS22	TPS21	TPS20	0	0	0	0	FF73H	00H	R/W

TPS23	TPS22	TPS21	TPS20	3ビット・カウンタのソース・クロックの選択	n
0	0	0	0	$f_x/2$ (2.5 MHz)	1
0	0	0	1	$f_x/2^2$ (1.25 MHz)	2
0	0	1	0	$f_x/2^3$ (625 kHz)	3
0	0	1	1	$f_x/2^4$ (313 kHz)	4
0	1	0	0	$f_x/2^5$ (156 kHz)	5
0	1	0	1	$f_x/2^6$ (78.1 kHz)	6
0	1	1	0	$f_x/2^7$ (39.1 kHz)	7
0	1	1	1	$f_x/2^8$ (19.5 kHz)	8
上記以外				設定禁止	

注意1. 通信動作中にBRGC2の書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGC2への書き込みを行わないでください。

2. 外部からの入力クロックを選択したときは、ポート・モード・レジスタ3 (PM3) を入力モードに設定してください。

備考1. f_x : システム・クロック発振周波数

2. n : TPS20-TPS23で決定される値 (1 n 8)

3. () 内は、 $f_x = 5.0$ MHz動作時。

3線式シリアルI/Oモードのシリアル・クロックに内部クロックを使用する場合、TPS20-TPS23でシリアル・クロック周波数を設定します。シリアル・クロック周波数は、次の式によって求められます。外部からシリアル・クロックを入力する場合はBRGC2の設定は必要ありません。

$$\text{シリアル・クロック周波数} = \frac{f_x}{2^{n+1}} \text{ [Hz]}$$

f_x : システム・クロック発振周波数

n : TPS20-TPS23の設定で決定される上記の表中の値 (1 n 8)

(d) ポート・モード・レジスタ3 (PM3)

ポート3の入力/出力を1ビット単位で設定するレジスタです。

P30/SCK2/ASCK2端子をクロック出力として、P31/TxD2/SO2端子をシリアル・インタフェースのデータ出力として使用するとき、PM30, PM31に0を、P30, P31の出力ラッチに1を設定してください。

P30/SCK2/ASCK2端子をクロック入力として、P32/RxD2/SI2端子をシリアル・インタフェースのデータ入力として使用するとき、PM30, PM32に1を設定してください。このときP30, P32の出力ラッチは、0または1のどちらでもかまいません。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力によりFFHになります。

アドレス：FF23H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(2) 通信動作

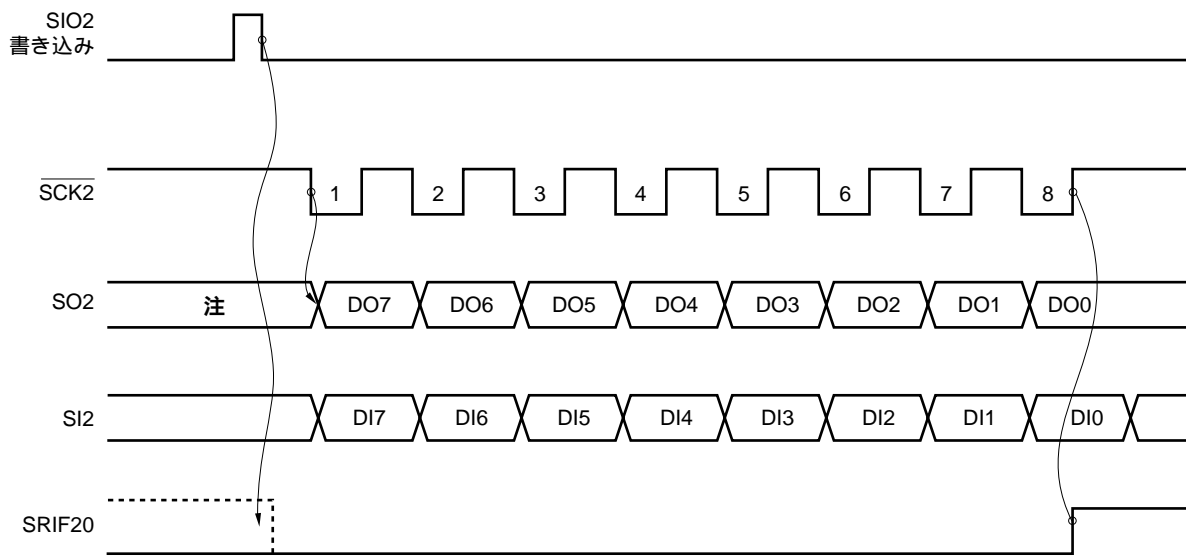
3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

送信シフト・レジスタ (TXS2/SIO2)、受信シフト・レジスタ (RXS2) のシフト動作は、シリアル・クロック ($\overline{\text{SCK2}}$) の立ち下がりに同期して行われます。そして、送信データがSO2ラッチに保持され、SO2端子から出力されます。また、 $\overline{\text{SCK2}}$ の立ち上がりで、SI2端子に入力された受信データが受信バッファ・レジスタ (RXB2/SIO2) にラッチされます。

8ビット転送終了により、TXS2/SIO2, RXS2の動作は自動的に停止し、割り込み要求信号 (INTCSI20) を発生します。

図11 - 11 3線式シリアルI/Oモードのタイミング (1/2)

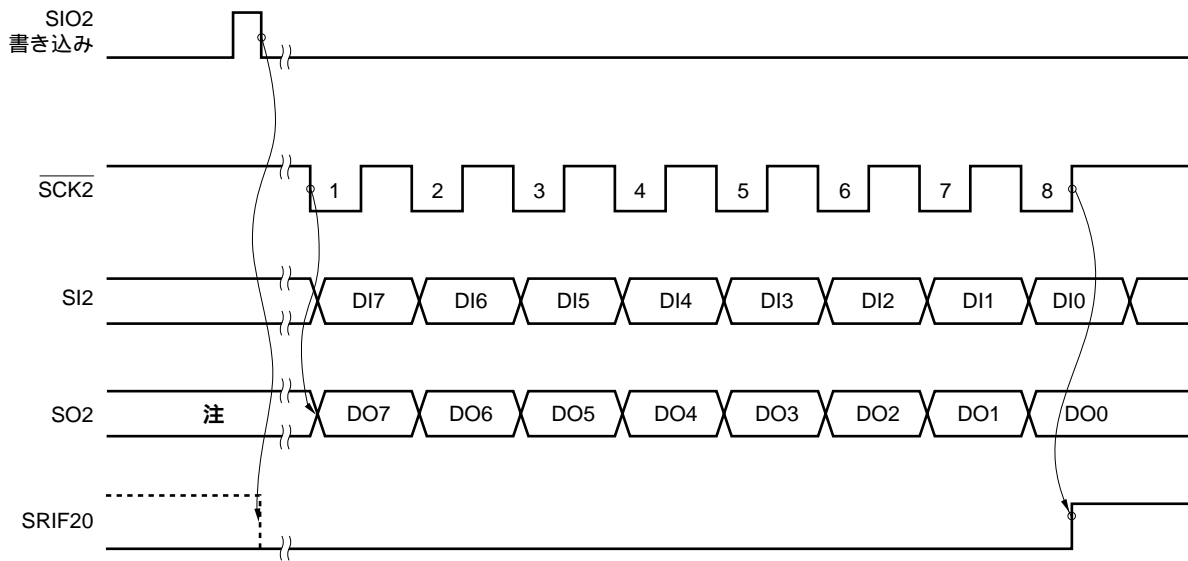
(i) マスタ動作タイミング



注 前回出力した最終ビットの値が出力されます。

図11 - 11 3線式シリアルI/Oモードのタイミング (2/2)

(ii) スレーブ動作タイミング



注 前回出力した最終ビットの値が出力されます。

(3) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、送信シフト・レジスタ (TXS2/SIO2) に転送データをセットすることで開始します。

- ・シリアル動作モード・レジスタ2 (CSIM2) のビット7 (CSIE2) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはSCK2がハイ・レベルの状態

注意 TXS2/SIO2にデータを書き込んだあと、CSIE2を“1”にしても、転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求信号 (INTCSI20) を発生します。

第12章 パワーオン・クリア回路

12.1 パワーオン・クリア回路の機能

パワーオン・クリア回路には2つの回路があり、それぞれ次のような機能を持ちます。

(1) パワーオン・クリア (POC) 回路

- ・電源電圧 (V_{DD}) と検出電圧 (V_{POC}) を比較し、 $V_{DD} < V_{POC}$ になったとき、内部リセット信号を発生します。
- ・マスクROM製品は、マスク・オプションにより、POC切り替え回路、POC回路常時動作またはPOC回路常時停止を選択可能です。POC切り替え回路を選択した場合、ソフトウェアによりPOCの動作を制御できます (第19章 マスク・オプション参照)。
- ・STOPモード時でも動作可能です。

(2) 低電圧検出 (LVI) 回路

- ・電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ になったとき、割り込み要求信号 (INTLVI1) を発生します。
- ・8レベルの検出電圧をソフトウェアにより選択できます。
- ・STOPモード時、動作停止になります。

12.2 パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を図12-1、図12-2に示します。

図12-1 パワーオン・クリア回路のブロック図

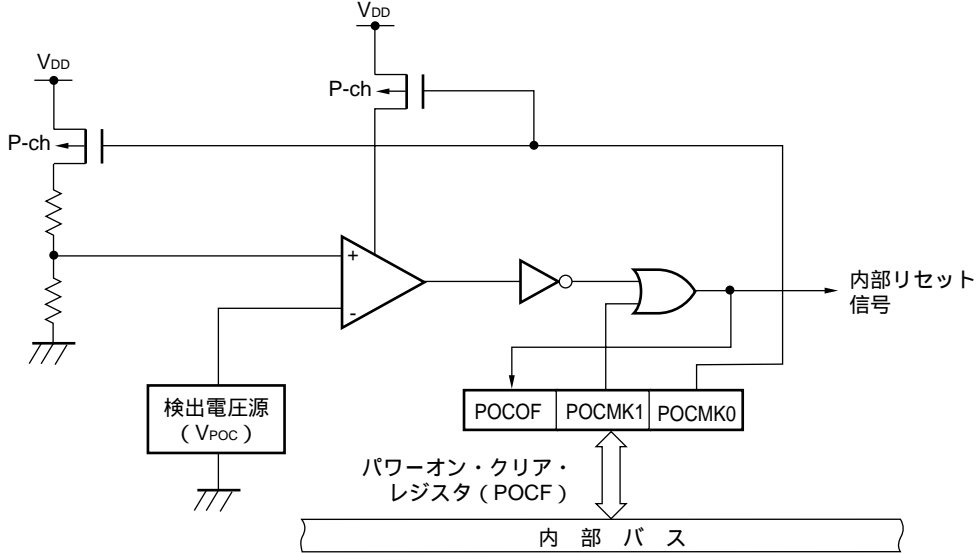
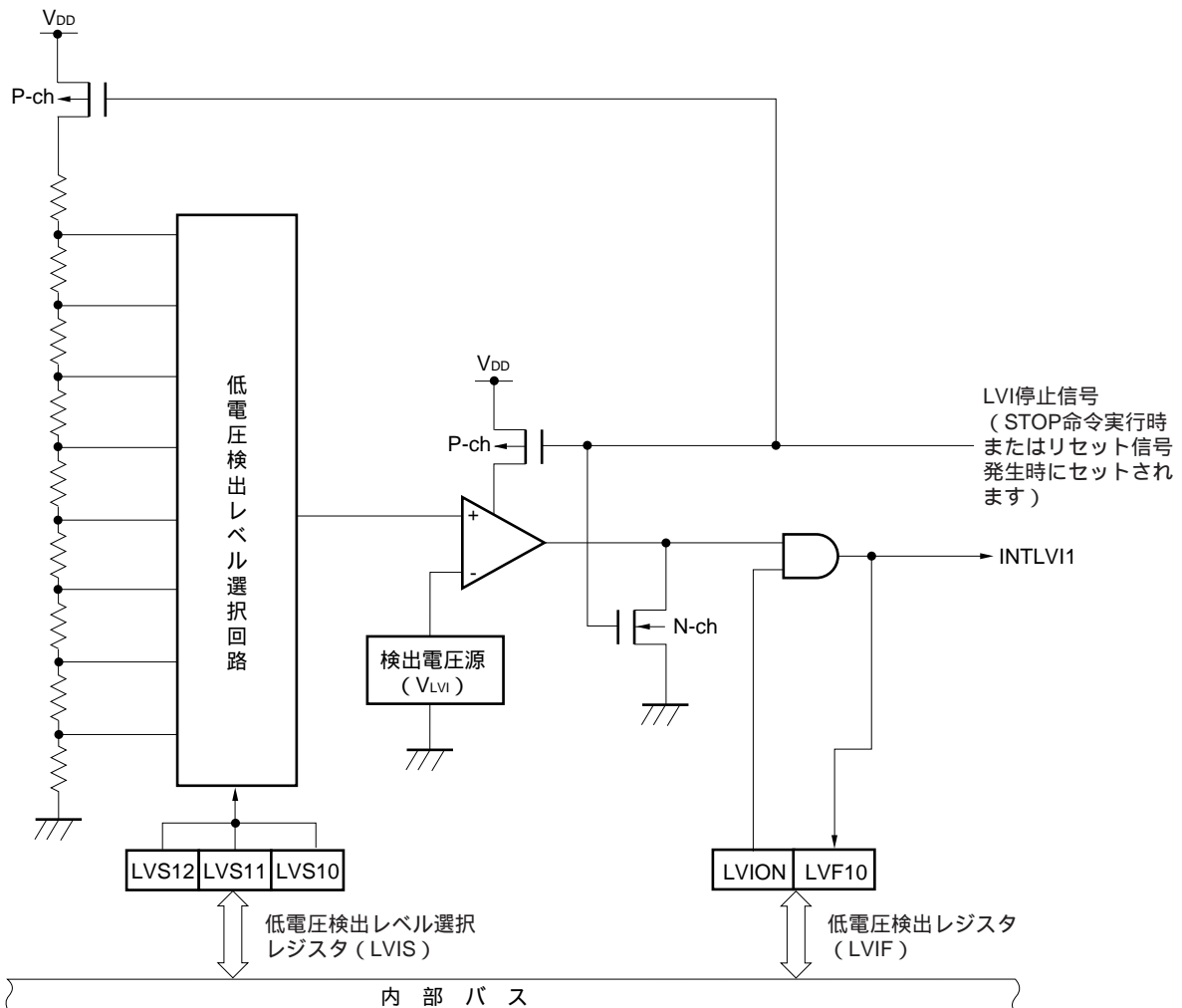


図12-2 低電圧検出回路のブロック図



12.3 パワーオン・クリア回路を制御するレジスタ

パワーオン・クリア回路を制御するレジスタには、次の3種類があります。

- ・パワーオン・クリア・レジスタ (POCF)
- ・低電圧検出レジスタ (LVIF)
- ・低電圧検出レベル選択レジスタ (LVIS)

(1) パワーオン・クリア・レジスタ (POCF)

POC回路の動作を制御するレジスタです。

POCFは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

図12-3 パワーオン・クリア・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POCF	0	0	0	0	0	POCOF	POCMK1	POCMK0	FF80H	00H ^注	R/W

POCOF	POC出力検出フラグ
0	POCによるリセット信号未発生またはPOCFへの書き込みによってクリアされた状態
1	POCによるリセット信号発生

POCMK1	POCの制御
0	POCによるリセット信号の発生を許可
1	POCによるリセット信号の発生を禁止

POCMK0	POC動作の制御
0	POC動作
1	POC停止

注 パワーオン・クリアによるリセット時のみ、04Hとなります。

注意 マスクROM製品では、POCMK0、POCMK1はマスク・オプションでPOC切り替え回路を選択したときのみ有効となります。

(2) 低電圧検出レジスタ (LVIF)

LVI回路の動作を制御するレジスタです。

LVIFは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図12-4 低電圧検出レジスタのフォーマット

略号		6	5	4	3	2	1	0	アドレス	リセット時	R/W
LVIF	LVION	0	0	0	0	0	0	LVF10	FF81H	00H	R/W ^注

LVION	LVI動作許可フラグ
0	LVI禁止
1	LVI許可

LVF10	LVI出力検出フラグ
0	電源電圧 (V_{DD}) > LVI検出電圧 (V_{LVI}) または動作禁止時
1	$V_{DD} < V_{LVI}$

注 ビット0は、Read Onlyです。

(3) 低電圧検出レベル選択レジスタ (LVIS)

検出電圧 (V_{LVI}) のレベルを選択するレジスタです。

LVISは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図12-5 低電圧検出レベル選択レジスタのフォーマット

略号	7	6	5	4	3		0	アドレス	リセット時	R/W	
LVIS	0	0	0	0	0	LVS12	LVS11	LVS10	FF82H	00H	R/W

LVS12	LVS11	LVS10	検出電圧 (V_{LVI}) レベル ^注 の選択
0	0	0	V_{LVI0}
0	0	1	V_{LVI1}
0	1	0	V_{LVI2}
0	1	1	V_{LVI3}
1	0	0	V_{LVI4}
1	0	1	V_{LVI5}
1	1	0	V_{LVI6}
1	1	1	V_{LVI7}

注 検出電圧のスペックについては各電気的特性の章を参照してください。

注意 検出電圧レベル(V_{LVI})を変更した場合、LVIの出力が安定するまで約2 msの動作安定時間を要します。

動作が安定するまではLVIを動作許可にしないでください。

12.4 パワーオン・クリア回路の動作

12.4.1 パワーオン・クリア (POC) 回路の動作

POC回路では、電源電圧 (V_{DD}) と検出電圧 (V_{POC}) を比較し、 $V_{DD} < V_{POC}$ のとき内部リセット信号を発生します。

マスクROM製品は、マスク・オプションにより、POC切り替え回路、POC回路常時動作またはPOC回路常時停止の選択することができます。POC切り替え回路を選択した場合、ソフトウェアにより、POCの動作を制御できます。 μ PD78E9862はPOC切り替え回路になります (マスク・オプションによる選択はできません)。

POC切り替え回路により、POC動作の切り替えを行う場合は、必ず次の手順をお守りください。

(1) POC停止 POC動作に切り替える場合

POCMK1 = 1であることを確認する

POCMK0 = 0に設定し、POC動作状態にする

動作安定時間をウエイトする (出力信号が不安定のため、POCによるリセット信号の発生を禁止状態にしておく)

POCMK1 = 0に設定し、POCによるリセット信号の発生を許可する

(2) POC動作 POC停止に切り替える場合

POCMK1 = 1に設定し、POCによるリセット信号の発生を禁止状態にする

POCMK0 = 1に設定し、POC停止状態にする

POCによるリセット信号の発生はPOCOFフラグを読み込むことによって判断できます。POCOFはPOCによるリセット信号が発生した場合、1にセット、POCFへの書き込みで0にクリアされます^注。

POC回路を使用する場合は、あらかじめPOCOFをクリアしておいてください。

★ **注** POCOFは、POCFレジスタ内のビット0-2のいずれかに書き込みをすることでクリアされます。

図12 - 6 ~ 図12 - 8にPOCによるリセット信号の発生タイミングを示します。

図12 - 6 POC回路常時動作時の内部リセット信号発生タイミング

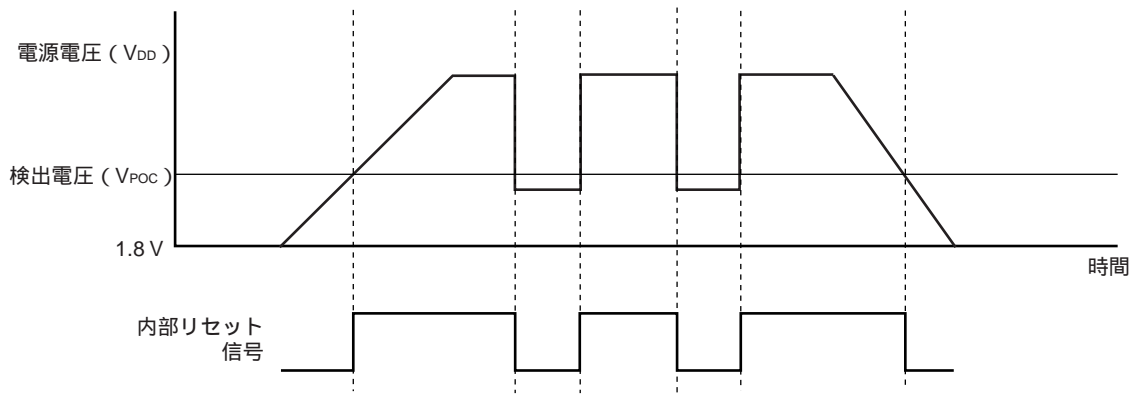


図12 - 7 POC回路常時停止時の内部リセット信号発生タイミング

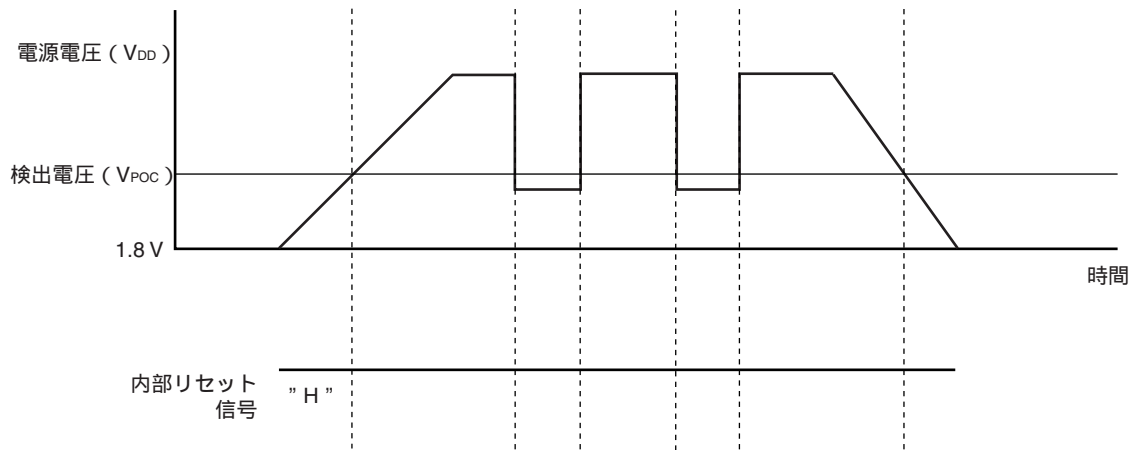
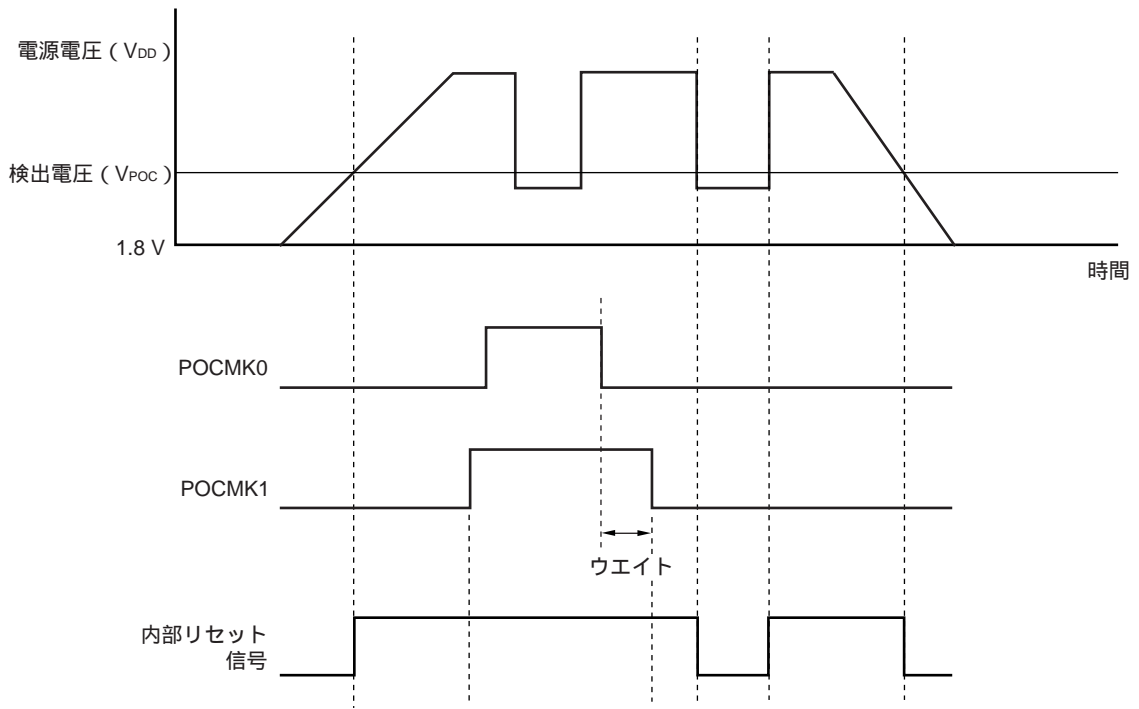


図12 - 8 POC切り替え回路時の内部リセット信号発生タイミング



12.4.2 低電圧検出回路 (LVI) の動作

LVI回路では、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ (LVI回路動作時) のとき割り込み要求信号 (INTLVI1) を発生します。

図12-2 低電圧検出回路のブロック図にあるように、LVI回路の分割抵抗およびコンパレータはリセット信号の発生またはSTOPモード時にOFFとなります。リセット解除後、LVI動作はLVION (低電圧検出レジスタ (LVIF) のビット7) をセットすることにより開始されます。この際、LVI回路の動作が安定するまで約2 ms必要となります。

一度LVI動作が開始されるとLVIONをクリアした場合でも分割抵抗およびコンパレータはSTOP命令またはリセット信号が発生しない限りOFFになりませんので、再度LVION1をセットした直後から低電圧検出が可能です。

★ **注意** LVI回路の分割抵抗およびコンパレータはリセット解除後ONとなります。

また、常時低電圧を監視する場合は次のいずれかの方法で行ってください。

LVI検出割り込みを使用せず、LVF10 (低電圧検出レジスタ (LVIF) のビット0) のモニタリングによる低電圧監視

LVI検出割り込みを使用して低電圧監視。この場合、割り込みを許可 (LVIMK1 = 0) する前に一度LVI動作禁止 許可の処理 (LVION = 0 1) を行う。

LVI検出割り込みを使用して、常時低電圧を監視する場合のプログラム例を次に示します。

(a) リセット解除時の処理

```
DI
MOV    LVIS, #xxH    ; LVI検出電圧の設定
SET1   LVIMK1        ; LVI割り込み禁止
SET1   LVION         ; LVI動作許可
CALL   !WAIT_2ms     ; 2 msウエイト
CLR1   LVIF1
CLR1   LVION         ; LVI動作禁止
SET1   LVION         ; LVI動作許可
CLR1   LVIMK1        ; LVI割り込み許可
EI
```

(b) STOPモード解除時の処理

```
SET1   LVIMK1        ; LVI割り込み禁止
STOP
CALL   !WAIT         ; 発振安定時間と合計で2 msウエイト
CLR1   LVIF1
CLR1   LVION         ; LVI動作禁止
SET1   LVION         ; LVI動作許可
CLR1   LVIMK1        ; LVI割り込み許可
EI
```

(c) LVI割り込み処理後，再度LVI割り込みを許可する処理

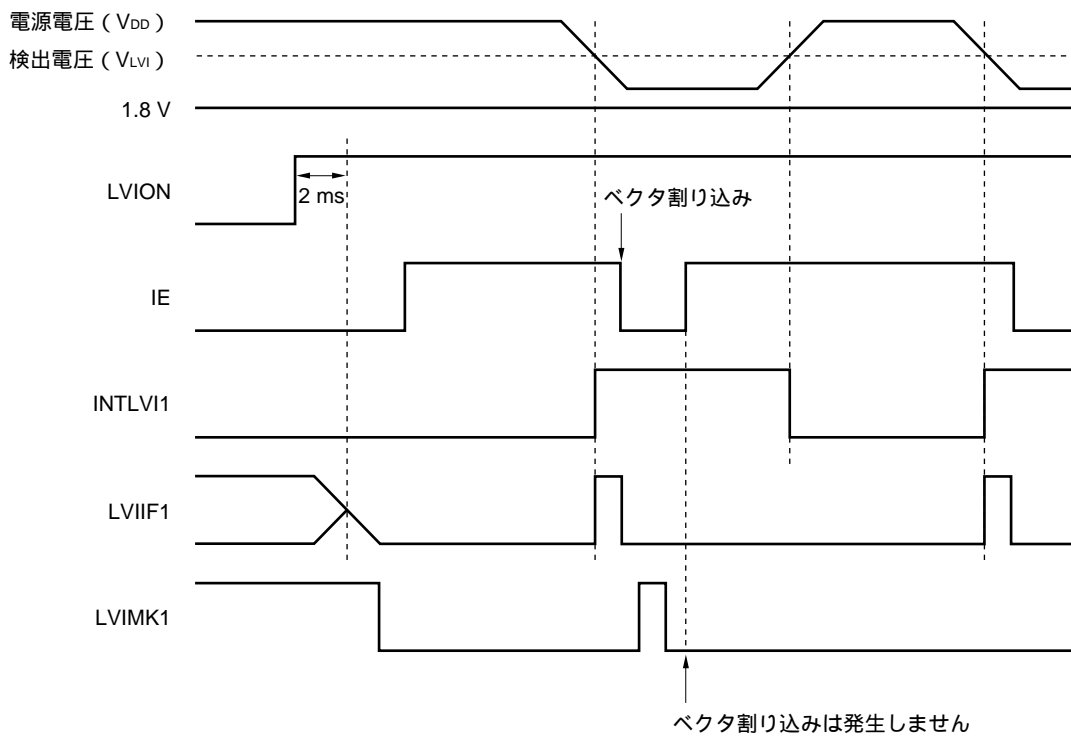
```

SET1    LVIMK1    ; LVI割り込み禁止
CLR1    LVION     ; LVI動作禁止
SET1    LVION     ; LVI動作許可
CLR1    LVIMK1    ; LVI割り込み許可
EI
    
```

図12 - 9にLVI回路の動作タイミングを示します。

★

図12 - 9 LVI回路の動作タイミング



注意 低電圧検出の割り込み要求フラグ (LVIIF1) は，LVI回路のコンパレータ出力信号 (INTLVI1) の立ち上がりでセットされます。したがって，LVI動作中に電源電圧 (V_{DD}) が検出電圧 (V_{LVI}) 以下となり，INTLVI1が発生した以降も継続している場合，LVIIF1はセットされません。低電圧検出後，いったんV_{DD} > V_{LVI}となり，再度V_{DD} < V_{LVI}となった場合は，LVIIF1はセットされます。

第13章 ビット・シーケンシャル・バッファ

13.1 ビット・シーケンシャル・バッファの機能

μPD789862サブシリーズには8ビット+8ビット = 16ビットのビット・シーケンシャル・バッファを内蔵しています。ビット・シーケンシャル・バッファの機能を次に示します。

- ・ビット・シーケンシャル・バッファ1データ・レジスタ (BSFRL10, BSFRH10) の値を1ビット下位側へシフトすると同時にLSBをポートへ出力可能
- ・8ビット・メモリ操作命令または16ビット操作命令により, BSFRL10, BSFRH10への書き込みが可能 (リードは不可)
- ・上位8ビット (BSFRH10) のみシフト動作中に書き換えを許可 (ただし, シフト・クロックがロウ・レベルの期間)

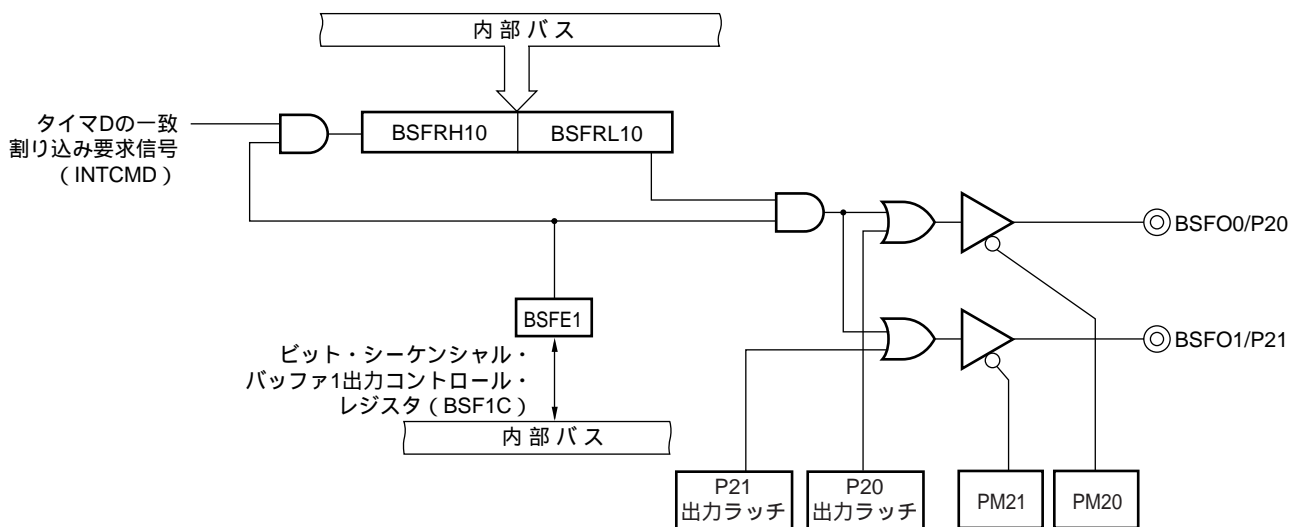
13.2 ビット・シーケンシャル・バッファの構成

ビット・シーケンシャル・バッファは次のハードウェアで構成しています。

表13 - 1 ビット・シーケンシャル・バッファの構成

項目	構成
データ・レジスタ	ビット・シーケンシャル・バッファ : 8ビット×8ビット = 16ビット
制御レジスタ	ビット・シーケンシャル・バッファ1出力コントロール・レジスタ (BSF1C) ポート・モード・レジスタ2 (PM2) ポート2 (P2)

図13 - 1 ビット・シーケンシャル・バッファのブロック図



13.3 ビット・シーケンシャル・バッファを制御するレジスタ

ビット・シーケンシャル・バッファは次のレジスタで制御します。

- ・ビット・シーケンシャル・バッファ1出力コントロール・レジスタ (BSF1C)
- ・ポート・モード・レジスタ2 (PM2)
- ・ポート2 (P2)

(1) ビット・シーケンシャル・バッファ1出力コントロール・レジスタ (BSF1C)

ビット・シーケンシャル・バッファの動作制御をするレジスタです。

BSF1Cは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図13-2 ビット・シーケンシャル・バッファ1出力コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BSF1C	0	0	0	0	0	0	0	BSFE1	FF60H	00H	R/W

BSFE1	ビット・シーケンシャル・バッファの動作制御
0	動作禁止
1	動作許可

★ (2) ポート・モード・レジスタ2 (PM2)

ポート2の入力 / 出力を1ビット単位で設定するレジスタです。

P20/BSFO0, P21/BSFO1端子をビット・シーケンシャル・バッファのデータ出力として使用するとき、PM20, PM21およびP20, P21の出力ラッチに0を設定してください。

PM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図13-3 ポート・モード・レジスタ2 (PM2) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM2	1	1	1	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W

PM2n	P2n端子の入出力モードの選択 (n=0-4)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

13.4 ビット・シーケンシャル・バッファの動作

ビット・シーケンシャル・バッファを動作させるには次の設定を行います。

ビット・シーケンシャル・バッファ1データ・レジスタL, H (BSFRL10, BSFRH10) に値を設定

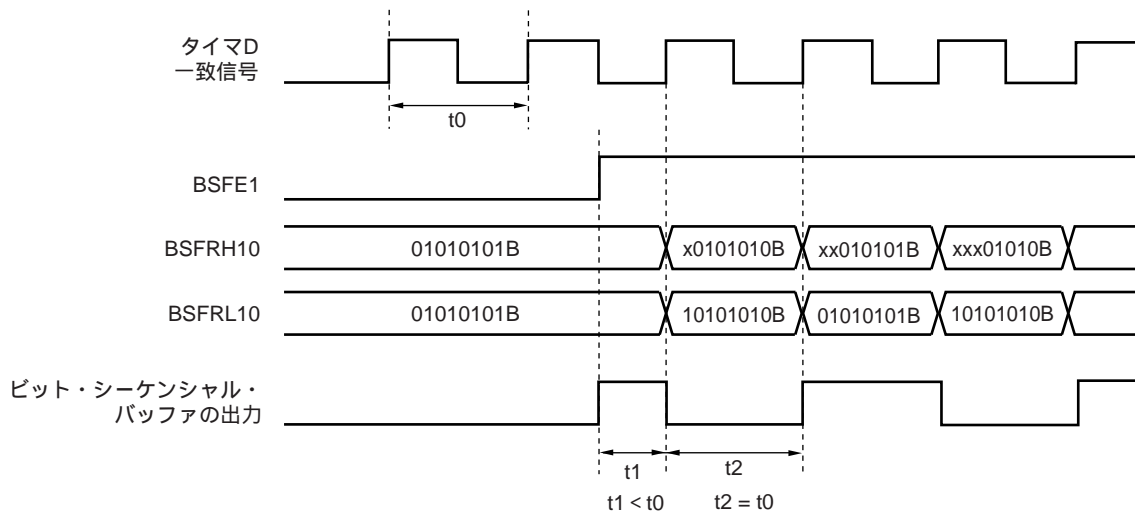
ビット・シーケンシャル・バッファの動作を許可に設定 (BSFE1 = 1)

BSFRL10のLSBをP20/BSFO0に出力する場合は、P20を出力モード (PM20 = 0) , P20の出力ラッチを0に設定

BSFRL10のLSBをP21/BSFO1に出力する場合は、P21を出力モード (PM21 = 0) , P21の出力ラッチを0に設定

クロック動作を開始する

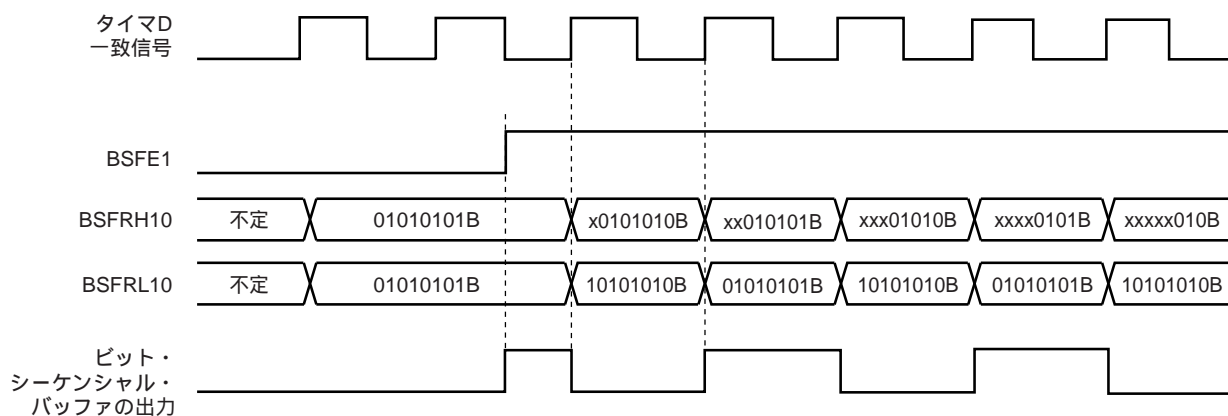
ビット・シーケンシャル・バッファの動作前にクロックを入力した場合、次の図のように出力開始時のスタート・ビットの出力時間がクロックの1周期より短くなることがあります。



備考 x : 不定

図13 - 4にビット・シーケンシャル・バッファの動作タイミングを示します。

図13-4 ビット・シーケンシャル・バッファの動作タイミング



注意1. ビット・シーケンシャル・バッファの動作中に、データ・レジスタの上位8ビット (BSFRH10) の書き換えは可能です。データ・レジスタへの書き込み動作を行った場合にも、シフト・クロックは停止しません。

データ・レジスタへの書き込みは、シフト・クロック (16ビット・タイマDの一致信号) のロウ・レベルの期間に行ってください (13.5 補足事項参照)。

2. シフト後のデータ・レジスタの値は不定になります。

備考 x: 不定

13.5 補足事項

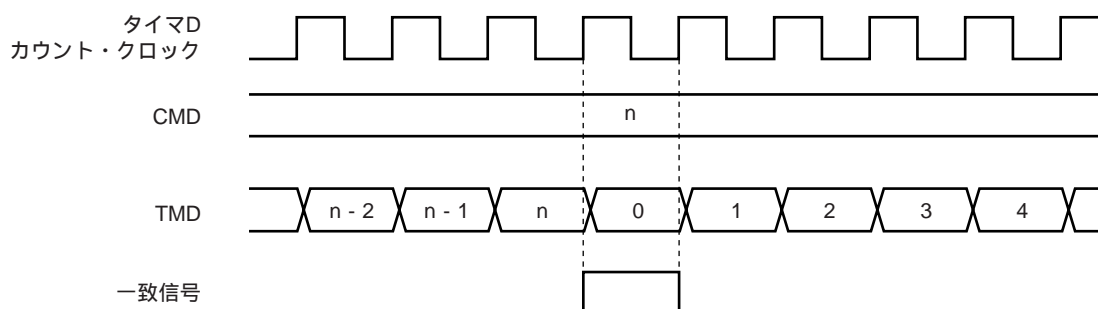
ビット・シーケンシャル・バッファの動作中にデータ・レジスタの上位8ビット（BSFRH10）の書き換えを行う場合、シフト・クロック（16ビット・タイマDの一致信号）のロウ・レベルの期間に行う必要があります。

16ビット・タイマDの一致信号は、16ビット・タイマ・モード・コントロール・レジスタD（TMCD）のビット6-4（CS2-CS0）により選択したカウント・クロックの1周期の間ハイ・レベルとなります。

表13 - 2 16ビット・タイマDのカウント・クロックと一致信号のハイ・レベル幅

TMCDのビット6-4			カウント・クロック	一致信号のハイ・レベル幅
CS2	CS1	CS0		
0	0	0	$f_x/2$	$f_x/2$
0	0	1	$f_x/2^2$	$f_x/2^2$
0	1	0	$f_x/2^3$	$f_x/2^3$
0	1	1	$f_x/2^4$	$f_x/2^4$
1	0	0	$f_x/2^5$	$f_x/2^5$
1	0	1	$f_x/2^6$	$f_x/2^6$
1	1	0	$f_x/2^7$	$f_x/2^7$
1	1	1	$f_x/2^8$	$f_x/2^8$

図13 - 5 16ビット・タイマDの一致信号



第14章 キー・リターン回路

14.1 キー・リターン回路の機能

次の2つの動作を選択できます。

KRREN端子 = ハイ・レベルのとき

KR0-KR5の立ち下がりエッジ入力により、内部ノンマスクابل割り込みを発生します。

- ・ KR0 : KR1-KR5の状態によらず独立して立ち下がりエッジを検出可能
- ・ KR1-KR4 : 4本の入力のORで立ち下がりエッジを検出
- ・ KR5 : EDGレジスタにより立ち上がり / 立ち下がりエッジを選択可能
KR0-KR4の状態によらず独立してエッジを検出可能

KRREN端子 = ロウ・レベルのとき

STOPモード時、KR0-KR5の立ち下がりエッジ入力により、内部リセット信号を発生します。

- ・ KR0 : KR1-KR5の状態によらず独立して立ち下がりエッジを検出可能
- ・ KR1-KR4 : 4本の入力のORで立ち下がりエッジを検出
- ・ KR5 : EDGレジスタにより立ち上がり / 立ち下がりエッジを選択可能
KR0-KR4の状態によらず独立してエッジを検出可能

注意 KRREN端子をロウ・レベルにして使用した場合、STOPモード時にキー・リターンが発生すると内部リセット信号が発生します。STOPモード時以外のときにキー・リターンが発生すると、ノンマスクابل割り込み(NMI)が発生し、ベクタ・アドレスに分岐します。NMIを使用しない場合、NMIベクタ・ルーチンにおいて次の処理を実行してください。

(INTNMI : キー・リターンのNMIベクタ処理)

INTNMI : RETI

14.2 キー・リターン回路の構成と動作

キー・リターン回路のブロック図を図14-1、キー・リターン・エッジ検出レジスタのフォーマットを図14-2に示します。

図14-1 キー・リターン回路のブロック図

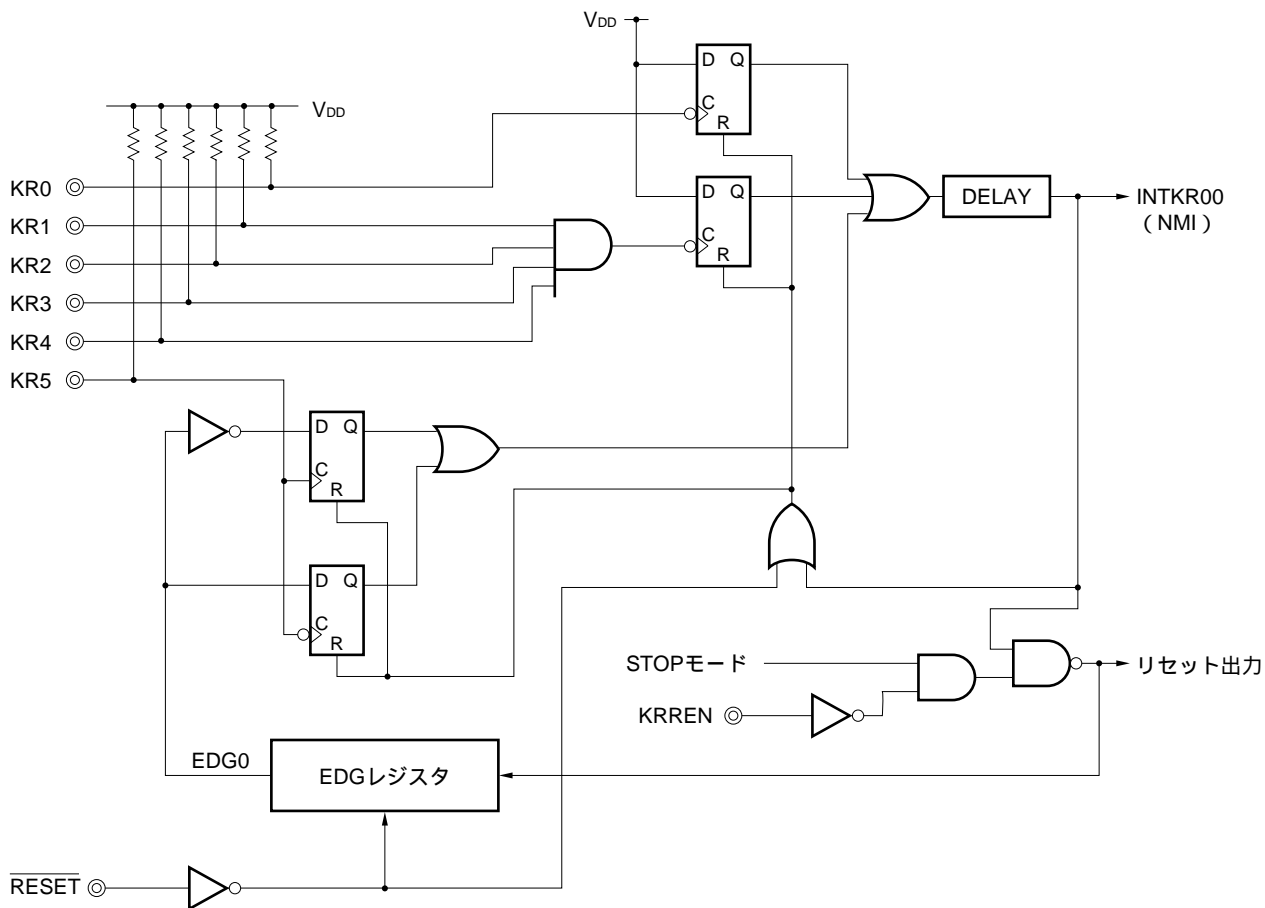


図14 - 2 キー・リターン・エッジ検出レジスタのフォーマット

略号	⑦	6	5	4	3	2	1	⑩	アドレス	リセット時	R/W
EDG	KRRES	0	0	0	0	0	0	EDG0	FF90H	注	R/W

EDG0	KR5端子のエッジ検出切り替え
0	立ち下がりエッジ検出
1	立ち上がりエッジ検出

KRRES	リセット出力の種類
0	キー・リターン回路以外の要因からのリセット出力
1	キー・リターン回路からのリセット出力

注 キー・リターン・リセットの場合1000000×B(ビット0はキー・リターン・リセットが入る前の値を保持), それ以外のリセットの場合00Hになります。

注意 エッジ検出を切り替える際は, EDG0ビットを操作してから入力波形を変えてください。

第15章 割り込み機能

15.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) ノンマスカブル割り込み

割り込み禁止状態でも無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みは、外部割り込みが1要因、内部割り込みが1要因あります。

(2) マスカブル割り込み

マスク制御を受ける割り込みです。複数の割り込み要求が同時に発生しているときの優先順位（プライオリティ）は、表15 - 1のように決められています。

スタンバイ・リリース信号を発生します。

マスカブル割り込みは、外部割り込みが2要因、内部割り込みが9要因あります。

15.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込みをあわせて、合計13要因あります（表15 - 1参照）。

表15 - 1 割り込み要因一覧

割り込みタイプ	プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・ テーブル・ アドレス	基本構成タイプ ^{注2}
		名 称	トリガ			
ノンマスクابل	-	INTKR00	キー・リターン入力立ち下がりエッジ検出時(KR5は立ち上がり / 立ち下がり両エッジ, 検出可能)	外部	0002H	(A)
		INTWDT	ウォッチドッグ・タイマのオーバーフロー(ウォッチドッグ・タイマ・モード1選択時)	内部	0004H	
マスクابل	0	INTWDT	ウォッチドッグ・タイマのオーバーフロー(インターバル・タイマ・モード選択時)			(B)
	1	INTP0	端子入力エッジ検出	外部	0006H	(C)
	2	INTP1			0008H	
	3	INTCMD	TMDとCMDの一致	内部	000AH	(B)
	4	INTTM00	TM0とCR00の一致(CR00をコンペア・レジスタに指定したとき) TI01端子の有効エッジ検出(CR00をキャプチャ・レジスタに指定したとき)		000CH	
	5	INTTM01	TM0とCR01の一致(CR01をコンペア・レジスタに指定したとき) TI00端子の有効エッジ検出(CR01をキャプチャ・レジスタに指定したとき)		000EH	
	6	INTTM50	TM5とCR5の一致		0010H	
	7	INTSR20	シリアル・インタフェース2のUART受信終了		0012H	
		INTCSI20	シリアル・インタフェース2の3線式転送終了			
	8	INTST20	シリアル・インタフェース2のUART送信終了		0014H	
9	INTLVI1	LVI割り込み検出時	0016H			
10	INTEE0	EEPROM書き込み終了信号	0018H			

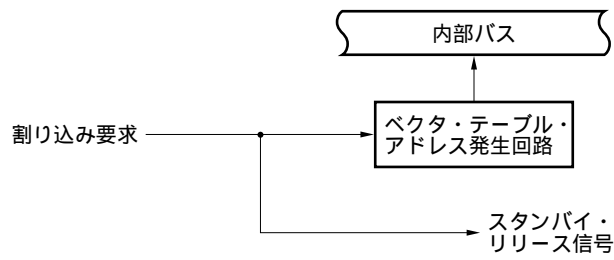
注1. プライオリティは、複数のマスクابل割り込みが同時に発生している場合に、優先する順位です。0が最高順位，10が最低順位です。

2. 基本構成タイプの(A)-(C)は、それぞれ図15-1の(A)-(C)に対応しています。

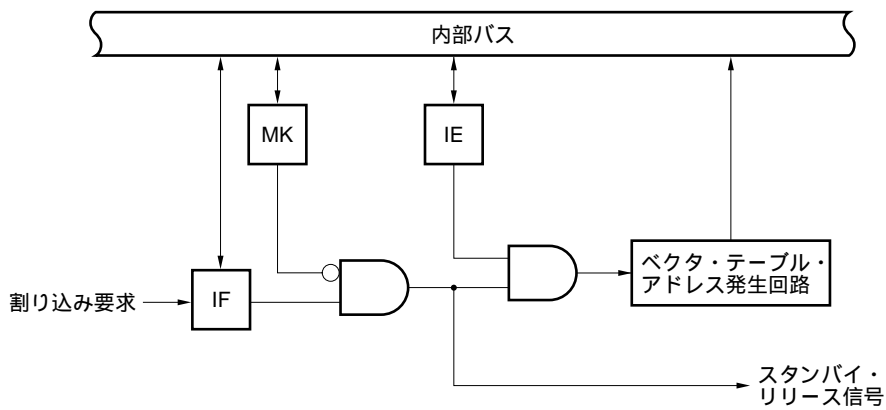
備考 ウォッチドッグ・タイマの割り込み要因(INTWDT)には、ノンマスクابل割り込みとマスクابل割り込み(内部)の2種類があり、どちらか1種類のみ選択できます。

図15 - 1 割り込み機能の基本構成

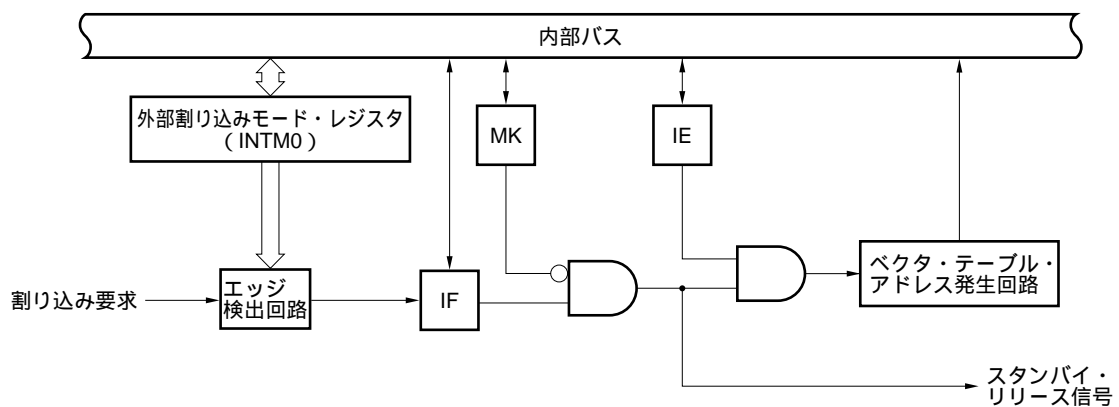
(A) 外部 / 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- MK : 割り込みマスク・フラグ

15.3 割り込み機能を制御するレジスタ

割り込み機能は、次の4種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0, IF1)
- ・割り込みマスク・フラグ・レジスタ (MK0, MK1)
- ・外部割り込みモード・レジスタ (INTM0)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求に対する割り込み要求フラグ、割り込みマスク・フラグ名称を、表15 - 2に示します。

表15 - 2 割り込み要求信号名に対する各種フラグ

割り込み要求信号名	割り込み要求フラグ	割り込みマスク・フラグ
INTWDT	WDTIF	WDTMK
INTP0	PIF0	PMK0
INTP1	PIF1	PMK1
INTCMD	TMIFD	TMMKD
INTTM00	TMIF00	TMMK00
INTTM01	TMIF01	TMMK01
INTTM50	TMIF50	TMMK50
INTSR20/INTCSI20	SRIF20	SRMK20
INTST20	STIF20	STMK20
INTLV11	LVIF1	LVIMK1
INTEE0	EEIF0	EEMK0

(1) 割り込み要求フラグ・レジスタ (IF0, IF1)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時およびRESET入力時、命令の実行によりクリア (0) されるフラグです。

IF0, IF1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図15 - 2 割り込み要求フラグ・レジスタのフォーマット

略号								0	アドレス	リセット時	R/W
IF0	SRIF20	TMIF50	TMIF01	TMIF00	TMIFD	PIF1	PIF0	WDTIF	F F E 0 H	0 0 H	R/W

	7	6	5	4	3			0	アドレス	リセット時	R/W
IF1	0	0	0	0	0	EEIF0	LVIF1	STIF20	F F E 1 H	0 0 H	R/W

XXIFX	割り込み要求フラグ	
0	割り込み要求信号が発生していない	
1	割り込み要求信号が発生し、割り込み要求状態	

- 注意1. WDTIFフラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1, 2で使用する場合は、WDTIFフラグに0を設定してください。
2. ポート2, 3は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。
3. 割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

(2) 割り込みマスク・フラグ・レジスタ (MK0, MK1)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。
 MK0, MK1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、FFHになります。

図15 - 3 割り込みマスク・フラグ・レジスタのフォーマット

略号								0	アドレス	リセット時	R/W
MK0	SRMK20	TMMK50	TMMK01	TMMK00	TMMKD	PMK1	PMK0	WDTMK	FFE4H	FFH	R/W
	7	6	5	4	3			0	アドレス	リセット時	R/W
MK1	1	1	1	1	1	EEMK0	LVIMK1	STMK20	FFE5H	FFH	R/W

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

- 注意1. ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1, 2で使用しているとき、WDTMKフラグを読み出すと不定になっています。
2. ポート2, 3は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

(3) 外部割り込みモード・レジスタ0 (INTM0)

INTP0, INTP1の有効エッジを設定するレジスタです。

INTM0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図15-4 外部割り込みモード・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM0	0	0	ES11	ES10	ES01	ES00	0	0	FFECH	00H	R/W

ES11	ES10	INTP1の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がり両エッジ

ES01	ES00	INTP0の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がり両エッジ

注意1. ビット0, 1, 6, 7には必ず0を設定してください。

2. INTM0レジスタの設定は、必ず該当する割り込みマスク・フラグをセット ($\times \times \text{MK} \times = 1$) し、割り込みを禁止してから行ってください。その後、割り込み要求フラグをクリア ($\times \times \text{IF} \times = 0$) してから、割り込みマスク・フラグをクリア ($\times \times \text{MK} \times = 0$) し、割り込みを許可してください。

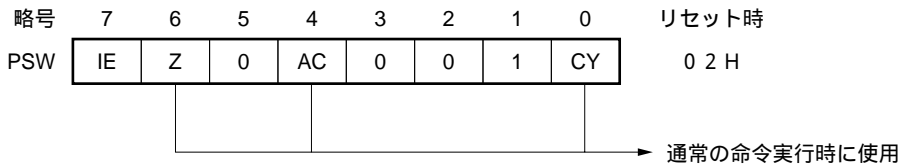
(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスク可能割り込みの許可/禁止を設定するIEフラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時には、PSWは自動的にスタックに退避され、IEフラグはリセット (0) されます。RETI, POP PSW命令により、スタックから復帰します。

$\overline{\text{RESET}}$ 入力により、PSWは02Hになります。

図15 - 5 プログラム・ステータス・ワードの構成



IE	割り込み受け付けの許可/禁止
0	禁止
1	許可

15.4 割り込み処理動作

15.4.1 ノンマスクابل割り込み要求の受け付け動作

ノンマスクابل割り込み要求は、割り込み受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスクابل割り込み要求が受け付けられると、PSW、PCの順にスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブルの内容をPCへロードし分岐します。

ノンマスクابل割り込み要求発生から受け付けまでのフロー・チャートを図15-6に、ノンマスクابل割り込み要求の受け付けタイミングを図15-7に、ノンマスクابل割り込みが多量に発生した場合の受け付け動作を図15-8に示します。

注意 μ PD789862サブシリーズには、2つのノンマスクابل割り込み要因が存在するため、ノンマスクابل割り込みサービス・プログラム実行中は、RETI命令を実行するまで、新たなノンマスクابل割り込み要求を受け付けなくなっています。割り込みサービス・プログラム実行後は、必ずRETI命令を実行するようにしてください。

なお、ウォッチドッグ・タイマをノンマスクابل割り込みとして使用する場合は、RETI命令を実行する前に復帰先のアドレスをPUSHするようにしてください。復帰先をPUSHしないでRETI命令を実行すると、不正アドレスへジャンプします。次にプログラム例を示します。

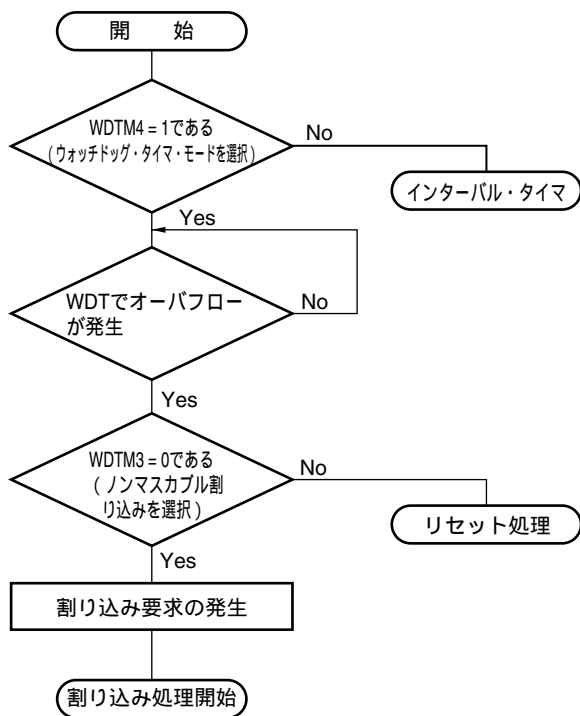
例) ウォッチドッグ・タイマをノンマスクابل割り込みとして使用し、割り込み発生時リセット・ベクタへ分岐するようにする場合のプログラム例

```

XVECT          CSEG      AT 0000H
DW  IRESET          ;(00)   RESET
DW  IKR              ;(02)   KeyReturn
DW  IWDT              ;(04)   INTWDT
:
XRST          CSEG      AT 0080H
IRESET:  DI
          MOVW  AX, #0FEFFH
          MOVW  SP, AX
:
:
IWDT:
          ( 割り込み処理 )
:
          MOVW  AX, #0080H
          PUSH  AX
          RETI

```

図15 - 6 ノンマスクابل割り込み要求発生から受け付けまでのフロー・チャート (INTWDTの場合)

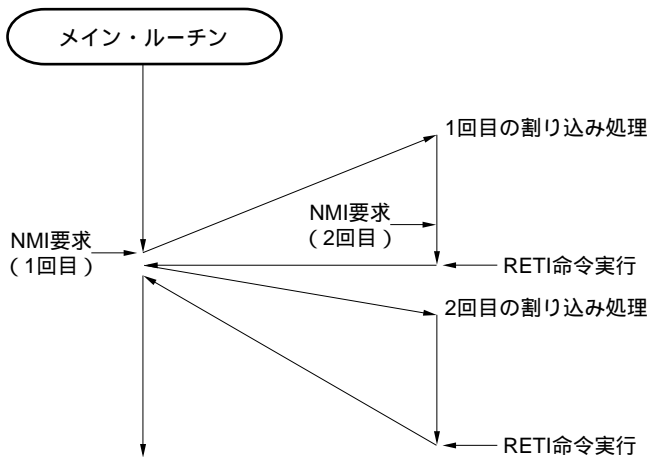


WDTM : ウォッチドッグ・タイマ・モード・レジスタ
 WDT : ウォッチドッグ・タイマ

図15 - 7 ノンマスクابل割り込み要求の受け付けタイミング



図15 - 8 ノンマスクابل割り込み要求の受け付け動作



15.4.2 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込みの割り込みマスク・フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。

マスカブル割り込み要求が発生してから割り込み処理が行われる時間は表15-3のようになります。割り込み要求の受け付けのタイミングについては、図15-10、図15-11を参照してください。

表15-3 マスカブル割り込み要求発生から処理までの時間

最小時間	最大時間 ^注
9クロック	19クロック

注 BT, BF命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック： $\frac{1}{f_{CPU}}$ (f_{CPU}: CPUクロック)

マスカブル割り込み要求が同時に発生したときは、優先順位の高い割り込み要求から受け付けられます。

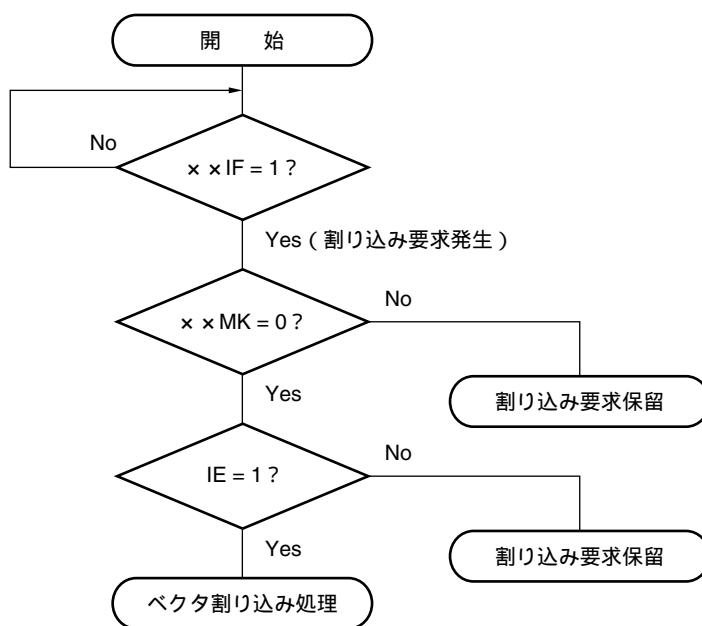
保留された割り込みは受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図15-9に示します。

マスカブル割り込み要求が受け付けられると、PSW, PCの順に内容をスタックに退避し、IEフラグをリセット(0)し、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図15-9 割り込み要求受け付け処理アルゴリズム

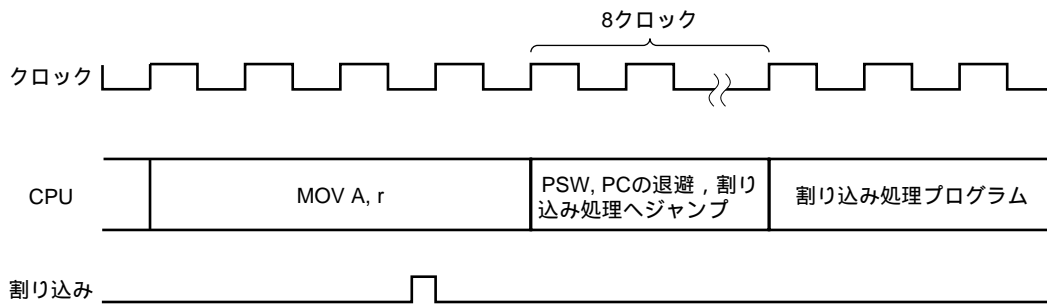


x x IF : 割り込み要求フラグ

x x MK : 割り込みマスク・フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

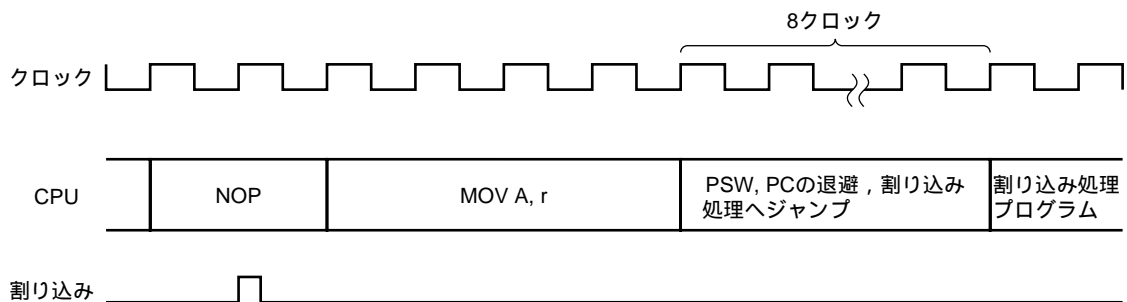
図15 - 10 割り込み要求の受け付けタイミング (MOV A, rの例)



割り込みは実行中の命令クロック n ($n = 4-10$) が $n - 1$ までに割り込み要求フラグ ($\times \times IF$) が発生すると、実行中の命令終了後に割り込み受け付け処理となります。図15 - 10では8ビット・データ転送命令MOV A, rの例です。この命令は4クロックで実行するので実行してから3クロックの間に割り込みが発生するとMOV A, rの終了後、割り込み受け付け処理を行います。

図15 - 11 割り込み要求の受け付けタイミング

(命令実行中の最終クロックで割り込み要求フラグが発生したとき)



割り込み要求フラグ ($\times \times IF$) が命令の最後のクロックのときに発生すると、次の命令の実行後に割り込み受け付け処理を始めます。

図15 - 11ではNOP (2クロックの命令) の2クロック目に発生した場合の例です。この場合、NOP命令のあとのMOV A, rを実行後、割り込みの受け付けの処理を行います。

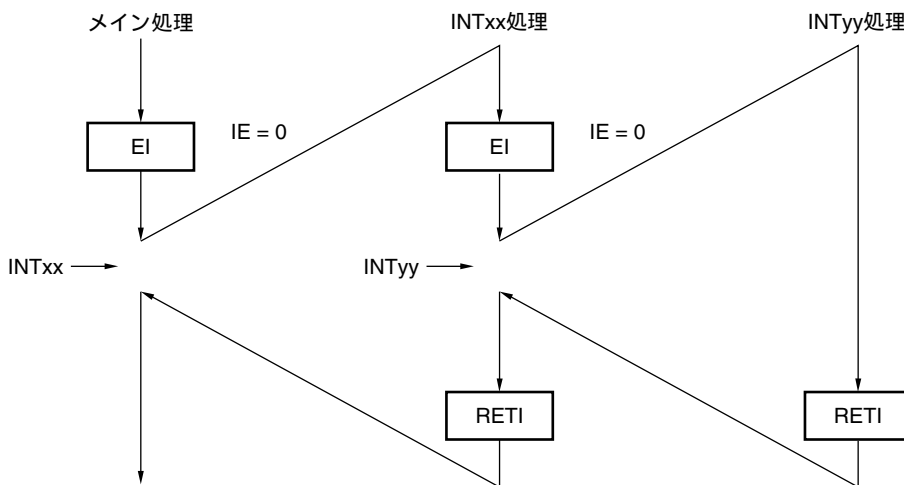
注意 割り込み要求フラグ・レジスタ (IF0, IF1) または割り込みマスク・フラグ・レジスタ (MK0, MK1) にアクセス中は割り込み要求は保留されます。

15.4.3 多重割り込み処理

割り込み処理中にさらに別の割り込みを受け付ける多重割り込みは、優先順位によって処理できます。複数の割り込みが同時に発生しているとき、各割り込み要求にあらかじめ割り付けてある優先順位に従って割り込み処理を行います（表15-1参照）。

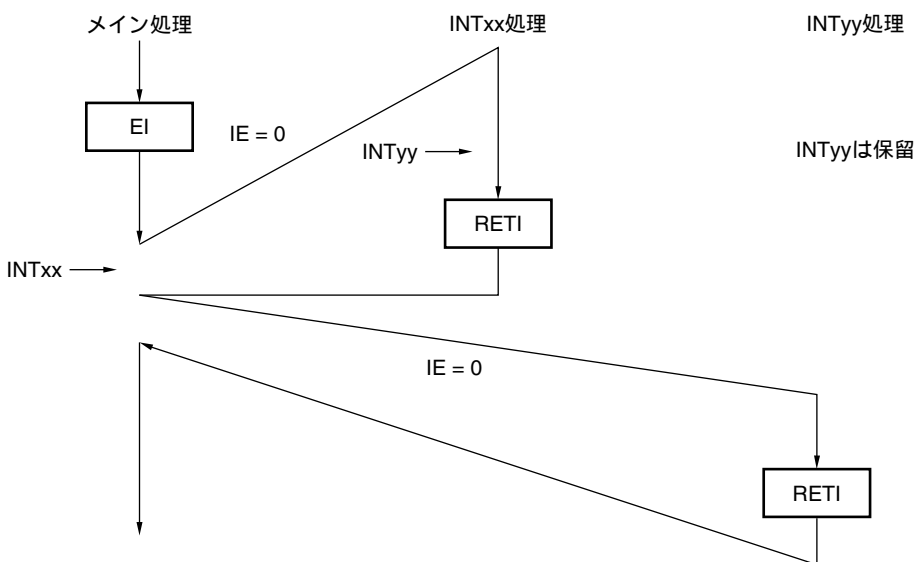
図15-12 多重割り込みの例

例1. 多重割り込みが受け付けられる例



割り込みINTxx処理中に、割り込み要求INTyyが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている。

例2. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、INTxx処理終了後に受け付けられる。

IE = 0 : 割り込み要求受け付け禁止

15.4.4 割り込み要求の保留

命令の中には、実行中に割り込み要求（マスカブル割り込み、ノンマスカブル割り込み、外部割り込み）が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・割り込み要求フラグ・レジスタ（IF0, IF1）に対する操作命令
- ・割り込みマスク・フラグ・レジスタ（MK0, MK1）に対する操作命令

第16章 スタンバイ機能

16.1 スタンバイ機能と構成

16.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。このモードでは、STOPモードほどの消費電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、メイン・システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電流を、かなり低減することができます。

また、データ・メモリの低電圧 ($V_{DD} = 1.8 \text{ V}$ まで) 保持が可能です。したがって、超低消費電流でデータ・メモリの内容を保持する場合に有効です。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意 STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。

16.1.2 スタンバイ機能を制御するレジスタ

割り込み要求でSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ (OSTS) で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

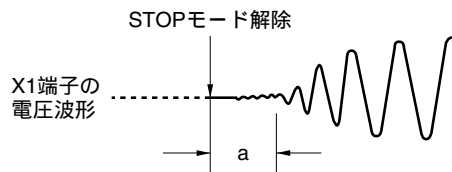
$\overline{\text{RESET}}$ 入力により、04Hになります。ただし、 $\overline{\text{RESET}}$ 解除後の発振安定時間はOSTSに依存せず $2^{12}/f_x$ になります。

図16 - 1 発振安定時間選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	FFFAH	04H	R/W

OSTS2	OSTS1	OSTS0	発振安定時間の選択
0	0	0	$2^{12}/f_x$ (819 μ s)
0	1	0	$2^{15}/f_x$ (6.55 ms)
1	0	0	$2^{17}/f_x$ (26.2 ms)
上記以外			設定禁止

注意 STOPモード解除時のウェイト時間は、 $\overline{\text{RESET}}$ 入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間(下図a)は含みません。



備考1. f_x : システム・クロック発振周波数 (セラミック / 水晶発振)

2. () 内は、 $f_x = 5.0$ MHz動作時

16.2 スタンバイ機能の動作

16.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。

次にHALTモード時の動作状態を示します。

表16-1 HALTモード時の動作状態

項 目	HALTモード時の動作状態	
システム・クロック	システム・クロックの発振が可能 CPUへのクロック供給が停止	
CPU	動作停止	
EEPROM	動作可能 ^{注1}	
ポート（出力ラッチ）	HALTモード設定前の状態を保持	
16ビット・タイマ/イベント・カウンタ0	動作可能	
16ビット・タイマD	動作可能	
8ビット・タイマ/イベント・カウンタ5	動作可能	
8ビット・タイマ80	動作可能	
ウォッチドッグ・タイマ	動作可能	
シリアル・インタフェース2	動作可能	
パワーオン・クリア 回路	POC	動作可能 ^{注2}
	LVI	動作可能
ビット・シーケンシャル・バッファ	動作可能	
キー・リターン回路	動作可能	
外部割り込み	動作可能 ^{注3}	

- ★ 注1. 書き込み命令実行後、HALTモード設定可能。書き込み中はHALTモードでウェイト可能です。書き込み終了検出による割り込み要求信号（INTEE0）でスタンバイ・リリースする場合にはEEMK0 = 0に設定してください。
2. マスク・オプションでPOC切り替え回路を選択し、ソフトウェアでPOC回路を動作可能に設定した場合、またはマスク・オプションでPOC回路常時動作に選択した場合（マスク・オプションについては第19章 マスク・オプション参照）。
3. マスクされていないマスカブル割り込み。

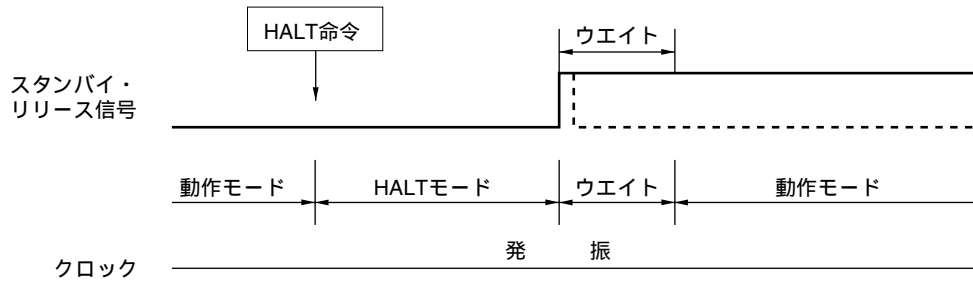
(2) HALTモードの解除

HALTモードは、次の3種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、HALTモードを解除します。割り込み要求受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図16 - 2 HALTモードの割り込み発生による解除



備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウェイト時間は次のようになります。

- ・ベクタに分岐した場合 : 9~10クロック
- ・ベクタに分岐しなかった場合 : 1~2クロック

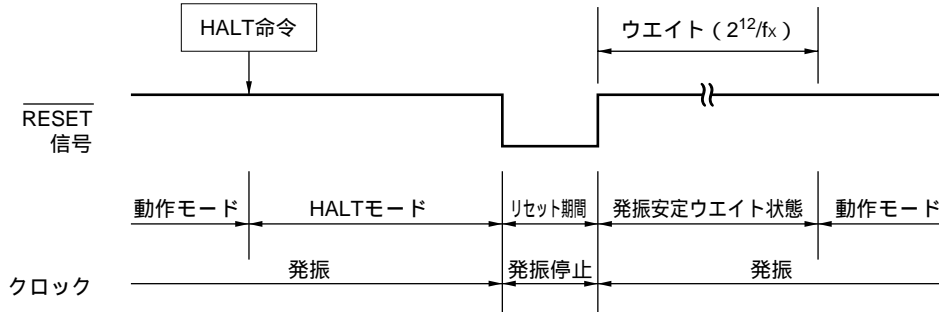
(b) ノンマスクابل割り込み要求による解除

割り込み受け付け許可、禁止の状態に関係なく、HALTモードを解除し、ベクタ割り込み処理を行います。

(c) $\overline{\text{RESET}}$ 入力による解除

通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムを実行します。

図16-3 HALTモードの $\overline{\text{RESET}}$ 入力による解除



備考 f_x : システム・クロック発振周波数

表16-2 HALTモードの解除後の動作

解除ソース	MK × ×	IE	動作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	×	HALTモード保持
ノンマスカブル割り込み要求	-	×	割り込み処理実行
RESET入力	-	-	リセット処理

× : don't care

16.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。

注意 スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表16-3 STOPモード時の動作状態

項 目	STOPモード時の動作状態	
システム・クロック	システム・クロックの発振が停止 CPUへのクロック供給が停止	
CPU	動作停止	
EEPROM	動作停止	
ポート（出力ラッチ）	STOPモード設定前の状態を保持	
16ビット・タイマ/イベント・カウンタ0	動作停止	
16ビット・タイマD	動作停止	
8ビット・タイマ/イベント・カウンタ5	動作可能 ^{注1}	
8ビット・タイマ80	動作停止	
ウォッチドッグ・タイマ	動作停止	
シリアル・インタフェース2	動作可能 ^{注2}	
パワーオン・クリア回路	POC	動作可能 ^{注3}
	LVI	動作停止
ビット・シーケンシャル・バッファ	動作停止	
キー・リターン回路	動作可能	
外部割り込み	動作可能 ^{注4}	

注1. カウント・クロックに外部クロックを選択したときのみ動作可能

2. 外部クロック時は3線式シリアルI/Oモード，UARTモードともに動作可能。

3. マスク・オプションでPOC切り替え回路を選択し，ソフトウェアでPOC回路を動作可能に設定した場合，またはマスク・オプションでPOC回路常時動作に選択した場合（マスク・オプションについては第19章 マスク・オプション参照）。

4. マスクされていないマスカブル割り込み

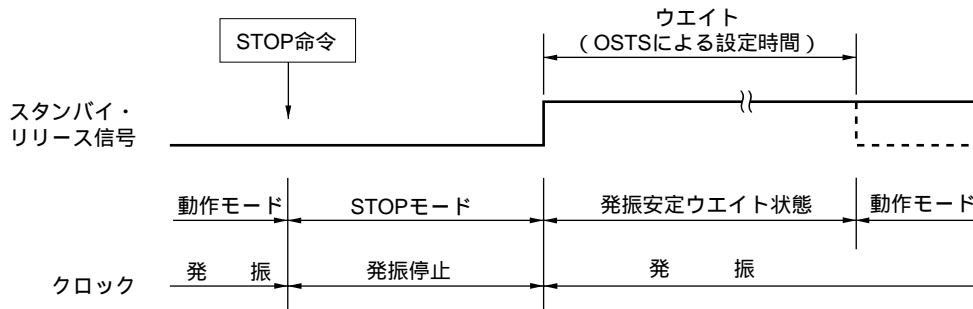
(2) STOPモードの解除

STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図16 - 4 STOPモードの割り込み発生による解除



備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

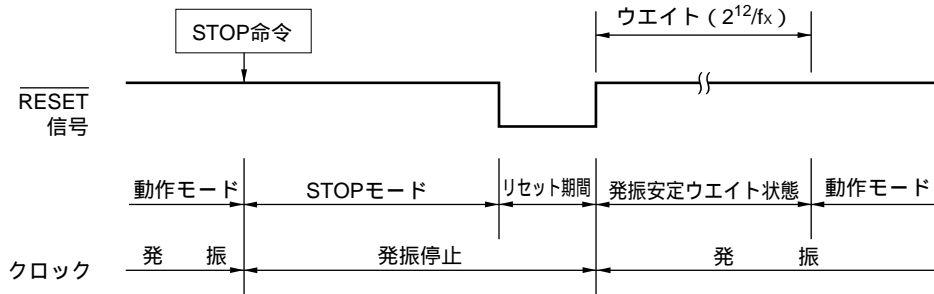
★ (b) ノンマスクابل割り込み要求による解除

割り込み受け付け許可、禁止の状態に関係なく、STOPモードを解除し、ベクタ割り込み処理を行います。

(c) RESET入力による解除

STOPモードを解除し、発振安定時間経過後リセット動作を行います。

図16 - 5 STOPモードのRESET入力による解除



備考1. f_x : システム・クロック発振周波数

表16 - 4 STOPモードの解除後の動作

解除ソース	MK x x	IE	動作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	x	STOPモード保持
ノンマスカブル割り込み要求	-	x	割り込み処理実行
RESET入力	-	-	リセット処理

x : don't care

★

第17章 リセット機能

リセット信号を発生させる方法には、次の4種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット
- (3) POC回路の電源電圧と検出電圧との比較による内部リセット
- (4) キー入力による内部リセット

外部リセットと内部リセットは機能面での差はなく、リセット信号入力により、ともに0000H、0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、またはウォッチドッグ・タイマのオーバーフローが発生する、またはPOC回路の電圧検出により、またはKRREN端子がロウ・レベルかつSTOPモード時にいずれかのキー入力の有効エッジが検出された場合、リセットがかかり、各ハードウェアは表17-1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、発振安定時間経過後にプログラムの実行を開始します。また、ウォッチドッグ・タイマのオーバーフロー発生によるリセットは、リセット後、自動的にリセットが解除され、発振安定時間経過後にプログラムの実行を開始します（[図17-2](#)～[図17-4](#)参照）。

- 注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。
2. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、ハイ・インピーダンスとなります。

図17-1 リセット機能のブロック図

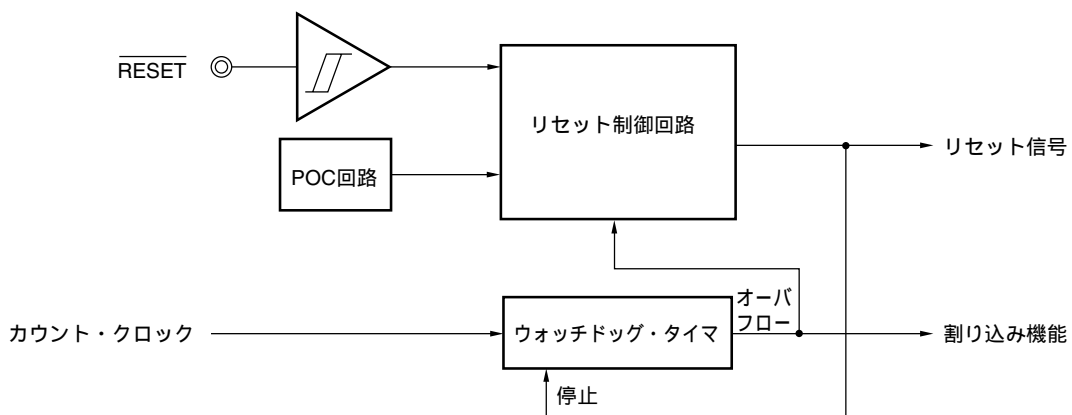


図17-2 RESET入力によるリセット・タイミング

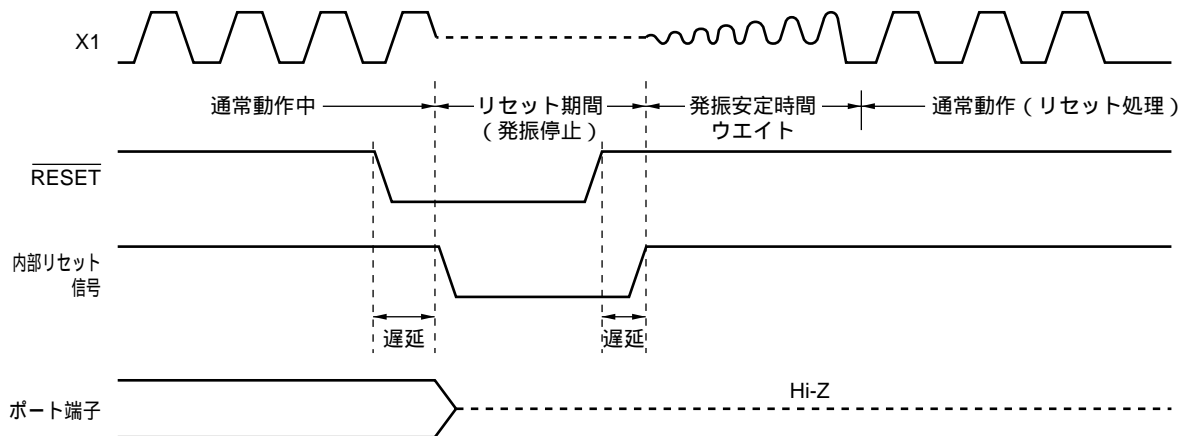


図17-3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

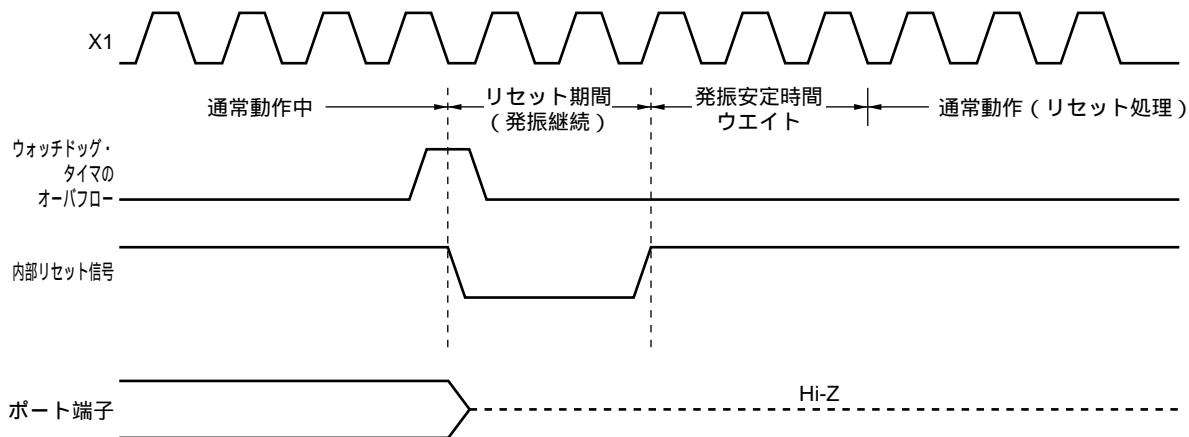


図17-4 STOPモード中のRESET入力によるリセット・タイミング

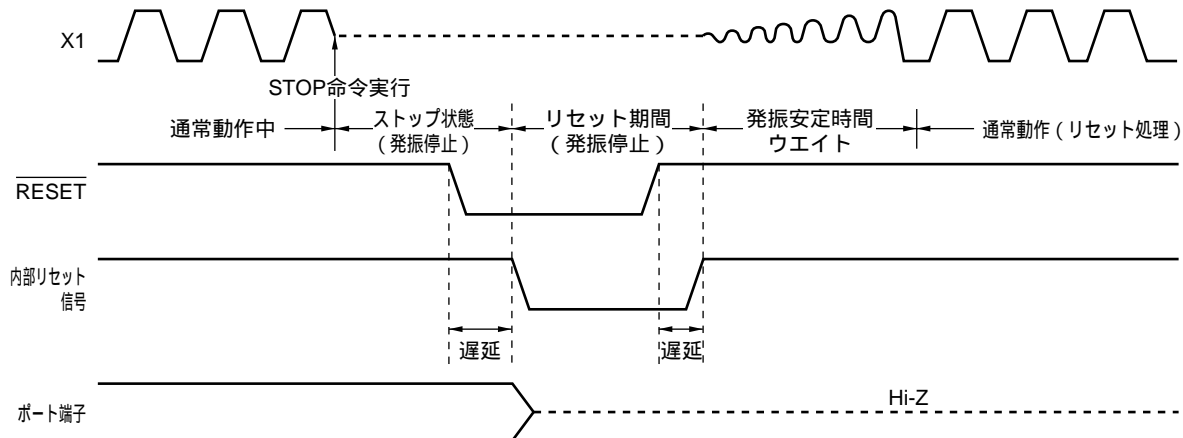


表17-1 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) ^{注1}		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
EEPROM	ライト・コントロール・レジスタ (EEWC10)	08H ^{注2}
RAM	データ・メモリ	不定 ^{注3}
	汎用レジスタ	不定 ^{注3}
ポート (P0-P03, P7) (出力ラッチ)		00H
ポート・モード・レジスタ (PM-PM3)		FFH
プルアップ抵抗オプション・レジスタ (PUB0-PUB3)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		02H
発振安定時間選択レジスタ (OSTS)		04H
16ビット・タイマ/イベント・カウンタ0	タイマ・カウンタ (TM0)	0000H
	キャプチャ/コンペア・レジスタ (CR00, CR01)	0000H
	プリスケアラ・モード・レジスタ (PRM0)	00H
	モード・コントロール・レジスタ (TMC0)	00H
	出力コントロール・レジスタ (TOC0)	00H
16ビット・タイマD	タイマ・カウンタ (TMD)	0000H
	コンペア・レジスタ (CMD)	0000H
	モード・コントロール・レジスタ (TMCD)	00H
8ビット・タイマ/イベント・カウンタ5	タイマ・カウンタ (TM5)	00H
	コンペア・レジスタ (CR5)	00H
	タイマ・クロック選択レジスタ (TCL5)	00H
	モード・コントロール・レジスタ (TMC5)	00H
8ビット・タイマ80	タイマ・カウンタ (TM80)	00H
	コンペア・レジスタ (CR80)	不定
	モード・コントロール・レジスタ (TMC80)	00H
ウォッチドッグ・タイマ	タイマ・クロック選択レジスタ (WDCS)	00H
	モード・レジスタ (WDTM)	00H
シリアル・インタフェース2	モード・レジスタ (CSIM2)	00H
	アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM2)	00H
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS2)	00H
	ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC2)	00H
	送信シフト・レジスタ (TXS2)	FFH
	受信バッファ・レジスタ (RXB2)	不定

- 注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。
- ビット7 (EEWEM10) の初期値は、EEWE端子の状態に依存します。
 - スタンバイ・モード時でのリセット後の状態は保持となります。

表17-1 各ハードウェアのリセット後の状態 (2/2)

ハードウェア		リセット後の状態
パワーオン・クリア回路	パワーオン・クリア・レジスタ (POCF)	00H ^{注1}
	低電圧検出レジスタ (LVIF)	00H
	低電圧検出レベル選択レジスタ (LVIS)	00H
ビット・シーケンシャル・パッ ア	データ・レジスタ (BSFRL10, BSFRH10)	不定
	出力コントロール・レジスタ (BSFIC)	00H
キー・リターン回路	キー・リターン・エッジ検出レジスタ (EDG)	注2
割り込み	要求フラグ・レジスタ (IF0, IF1)	00H
	マスク・フラグ・レジスタ (MK0, MK1)	FFH
	外部割り込みモード・レジスタ (INTM0)	00H

注1. パワーオン・クリアによるリセット時のみ, 04Hとなります。

2. キー・リターン・リセットの場合1000000×B (ビット0はキー・リターン・リセットが入る前の値を保持), それ以外のリセットの場合00Hになります。

第18章 μ PD78E9862

μ PD789862サブシリーズのEEPROM製品には、 μ PD78E9862があります。

μ PD78E9862は、 μ PD789862の内部ROMをEEPROMに置き換えた製品です。 μ PD78E9862とマスクROM製品の違いを表18 - 1に示します。

表18 - 1 μ PD78E9862とマスクROM製品の違い

品 名			EEPROM製品	マスクROM製品
			μ PD78E9862 ^{注1}	μ PD789862
内部 メモリ	プログラム・ メモリ	ROM構成	EEPROM	マスクROM
		ROM容量	16 Kバイト	
	データ・ メモリ	高速RAM	512バイト	
		EEPROM	256バイト	
システム・クロック			セラミック/クリスタル発振	
IC端子			なし	あり
V _{PP} 端子			あり	なし
マスク・オプションによるPOC回路の 選択			なし ^{注2}	あり
電気的特性			EEPROM製品とマスクROM製品で異なる場合があります	

- ★ 注1. μ PD78E9862はプログラム開発専用で、製品寿命、信頼性は保証していません。
そのため、信頼性試験用および量産用には μ PD789862を使用してください。
2. POC切り替え回路（ソフトウェアでPOC回路の動作制御が可能）となっています。

注意 EEPROM製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でEEPROM製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品（ES製品でなく）で十分な評価をしてください。

18.1 EEPROM (プログラム・メモリ) の特徴

μ PD78E9862に内蔵されているプログラム・メモリはEEPROMです。

この章ではプログラム・メモリ領域に内蔵されているEEPROMの機能について説明します。データ・メモリに内蔵されているEEPROMについては第4章 EEPROM (データ・メモリ) を参照してください。

EEPROMへの書き込みは、ターゲット・システムに実装した状態 (オンボード) で行うことができます。専用フラッシュ・ライタ (Flashpro (型番FL-PR3, PG-FP3) /Flashpro (型番 FL-PR4, PG-FP4)) をホスト・マシンおよびターゲット・システムに接続して書き込みます。

備考 FL-PR3, FL-PR4は、株式会社内藤電誠町田製作所 (TEL (045) 475-4191) の製品です。

EEPROMによるプログラミングには、次のような利点があります。

- ターゲット・システムにマイコンを半田実装後、ソフトウェアの変更可能
- ソフトウェアを区別することで少量多品種生産が容易
- 量産立ち上げ時のデータ調整が容易

18.1.1 プログラミング環境

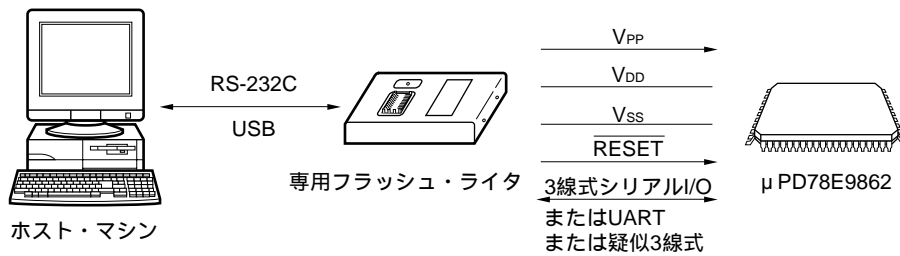
μ PD78E9862のEEPROMプログラミングに必要な環境を示します。

専用フラッシュ・ライタとして (Flashpro (型番 FL-PR3, PG-FP3) /Flashpro (型番 FL-PR4, PG-FP4)) を使用した場合、専用フラッシュ・ライタには、これを制御するホスト・マシンが必要です。ホスト・マシンとフラッシュ・ライタ間の通信は、RS-232C/USB (Rev1.1) で行います。

詳細はFlashpro /Flashpro のマニュアルを参照してください。

備考 USBはFlashpro のみ対応

図18-1 EEPROM (プログラム・メモリ) にプログラムを書き込むための環境



18.1.2 通信方式

専用フラッシュ・ライタと μ PD78E9862との通信は、表18 - 2に示す通信方式から選択して行います。

★

表18 - 2 通信方式一覧

通信方式	TYPE設定 ^{注1}					使用端子	V _{PP} パルス数
	COMM PORT	SIOクロック	CPU CLOCK		Multiple Rate		
			In Flashpro	On Target Board			
3線式シリアル I/O	SIO ch-0 (3wired, sync.)	100 Hz-1.25 MHz	4 MHz 5 MHz ^{注2}	3 ~ 5 MHz	1.0	SI2/RxD2/P32 SO2/TxD2/P31 SCK2/ASCK2/P30	0
UART	UART ch-0 (Async.)	4800-76800 bps	5 MHz ^{注3}	4.91, 5 MHz	1.0	RxD2/SI2/P32 TxD2/SO2/P31	8
疑似3線式	Port A (Pseudo-3 wired)	100 Hz-1 kHz	4 MHz 5 MHz ^{注2}	3 ~ 5 MHz	1.0	P02 (シリアル・データ入力) P01 (シリアル・データ出力) P00 (シリアル・クロック入力)	12

注1. 専用フラッシュ・ライタ (Flashpro (型番 FL-PR3, PG-FP3) / Flashpro (型番 FL-PR4, PG-FP4)) 上のTYPE設定における選択項目です。

- 2. Flashpro は4 MHzのみ。
- 3. Flashpro の場合のみ選択可。

図18 - 2 通信方式選択フォーマット

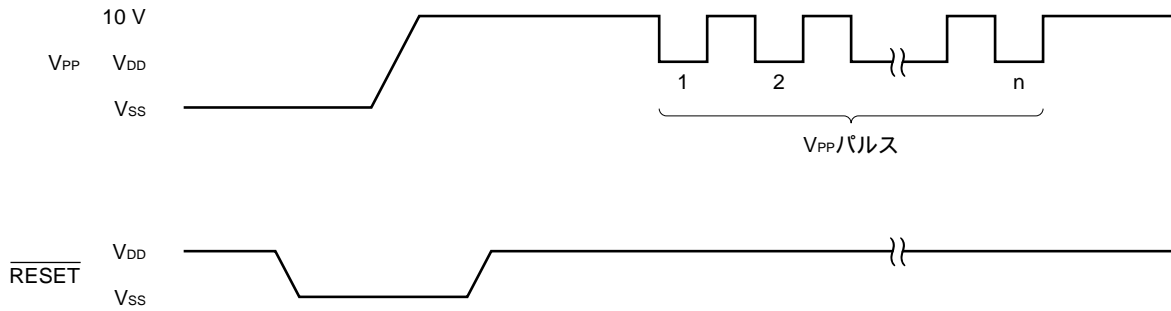
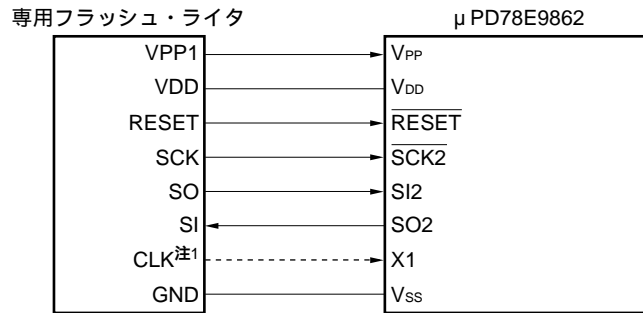
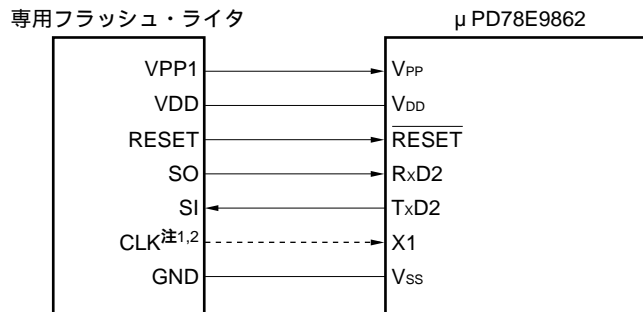


図18 - 3 専用フラッシュ・ライタとの接続例

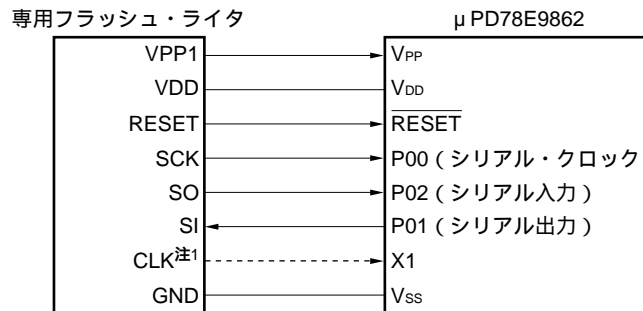
(a) 3線式シリアルI/O



(b) UART



(c) 疑似3線式



注1. 専用フラッシュ・ライタからシステム・クロックを供給する場合に接続します。X1端子にすでに振動子が接続されている場合は、CLK端子と接続する必要はありません。

2. Flashpro でUARTを使用する場合は必ずX1端子に接続された振動子のクロックを使わなければならないので、CLK端子と接続する必要はありません。

注意 V_{DD}端子は、すでに電源が接続されている場合でも、必ず専用フラッシュ・ライタのVDD端子と接続してください。またその電源を使用する場合は、必ずプログラミング開始前に電圧を供給してください。

専用フラッシュ・ライターとしてFlashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4）を使用した場合、 μ PD78E9862に対して次の信号を生成します。詳細はFlashpro /Flashpro のマニュアルを参照してください。

表18 - 3 端子接続一覧

信号名	入出力	端子機能	端子名	3線式シリアルI/O	UART	疑似3線式
VPP1	出力	書き込み電圧	V _{PP}			
VPP2	-	-	-	x	x	x
VDD	入出力	V _{DD} 電圧生成 / 電圧監視	V _{DD}	注	注	注
GND	-	グランド	V _{SS}			
CLK	出力	クロック出力	X1			
RESET	出力	リセット信号	RESET			
SI	入力	受信信号	SO2/TxD2 (P01)			
SO	出力	送信信号	SI2/RxD2 (P02)			
SCK	出力	転送クロック	SCK2 (P00)		x	
HS	入力	ハンドシェーク信号	-	x	x	x

注 V_{DD}電圧はプログラミング開始前に供給する必要があります。

備考 : 必ず接続してください。

: ターゲット・ボード上で供給されていれば、接続の必要はありません。

x : 接続の必要はありません。

() 内は、疑似3線式の場合。

18.1.3 オンボード上の端子処理

ターゲット・システム上でプログラミングを行う場合は、ターゲット・システム上に専用フラッシュ・ライターと接続するためのコネクタを設けます。

また、オンボード上に通常動作モードからEEPROMプログラミング・モードへの切り替え機能が必要になる場合があります。

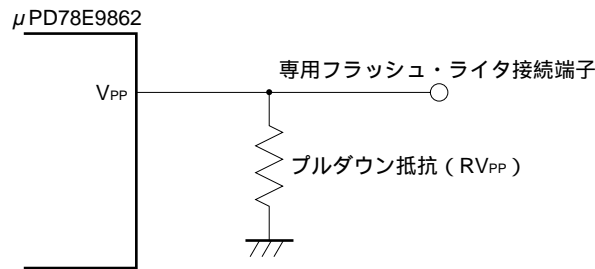
<V_{PP}端子>

通常動作モード時は、V_{PP}端子に0 Vを入力します。またEEPROMプログラミング・モード時は、V_{PP}端子に10.0 V (TYP.) の書き込み電圧を供給しますので、次に示す(1)か(2)の端子処理を行ってください。

- (1) V_{PP}端子にプルダウン抵抗R_{VPP} = 10 k Ω を接続してください。
- (2) ボード上のジャンパで、V_{PP}端子の入力をライター側または直接GNDのどちらかに切り替えてください。

V_{PP}端子の接続例を次に示します。

図18-4 V_{PP}端子の接続例



<シリアル・インタフェース端子>

各シリアル・インタフェースが使用する端子を次に示します。

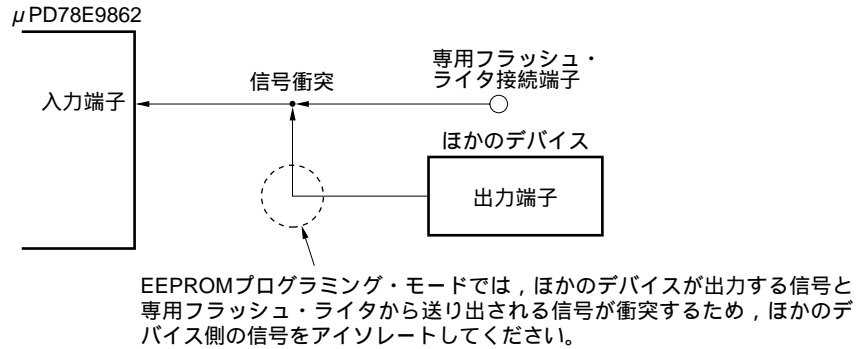
シリアル・インタフェース	使用端子
3線式シリアルI/O	SI2, SO2, SCK2
UART	RxD2, TxD2
疑似3線式	P02, P01, P00

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライターを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライタ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

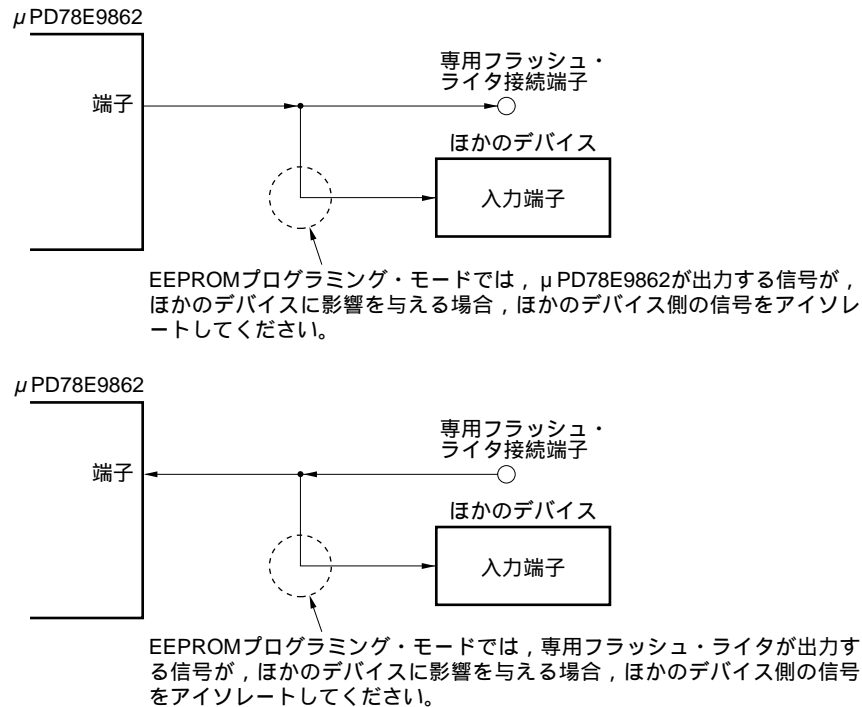
図18 - 5 信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・ライタ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスへの入力信号を無視するように設定してください。

図18 - 6 ほかのデバイスの異常動作

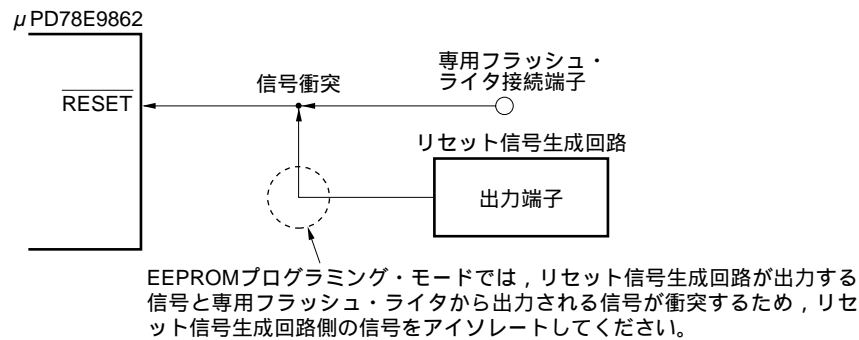


<RESET端子>

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、EEPROMプログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図18-7 信号の衝突 (RESET端子)

**<ポート端子>**

EEPROMプログラミング・モードに移行すると、フラッシュ・ライタと通信する端子を除くすべての端子は、すべてリセット直後と同じ状態になります。

したがって、外部デバイスが出力ハイ・インピーダンス状態などの初期状態を認めない場合は、抵抗を介して V_{DD} に接続する、または抵抗を介して V_{SS} に接続するなどの処置をしてください。

<発振端子>

オンボード上のクロックを使用する場合、X1, X2は、通常動作モード時に準拠した接続をしてください。

フラッシュ・ライタのクロック出力を使用する場合は、オンボード上の発振子を切り離し、X1端子に直接接続し、X2端子はオープンにしてください。

<電 源>

フラッシュ・ライタの電源出力を使用する場合は、 V_{DD} 端子はフラッシュ・ライタのVDDに、 V_{SS} 端子はフラッシュ・ライタのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。ただし、フラッシュ・ライタで電圧監視をするので、フラッシュ・ライタのVDDは必ず接続してください。

18.1.4 EEPROM書き込み用アダプタ上の接続

EEPROM書き込み用アダプタ使用時の推奨接続例を示します。

図18 - 8 3線式シリアル/I/O方式でのEEPROM書き込み用アダプタ配線例

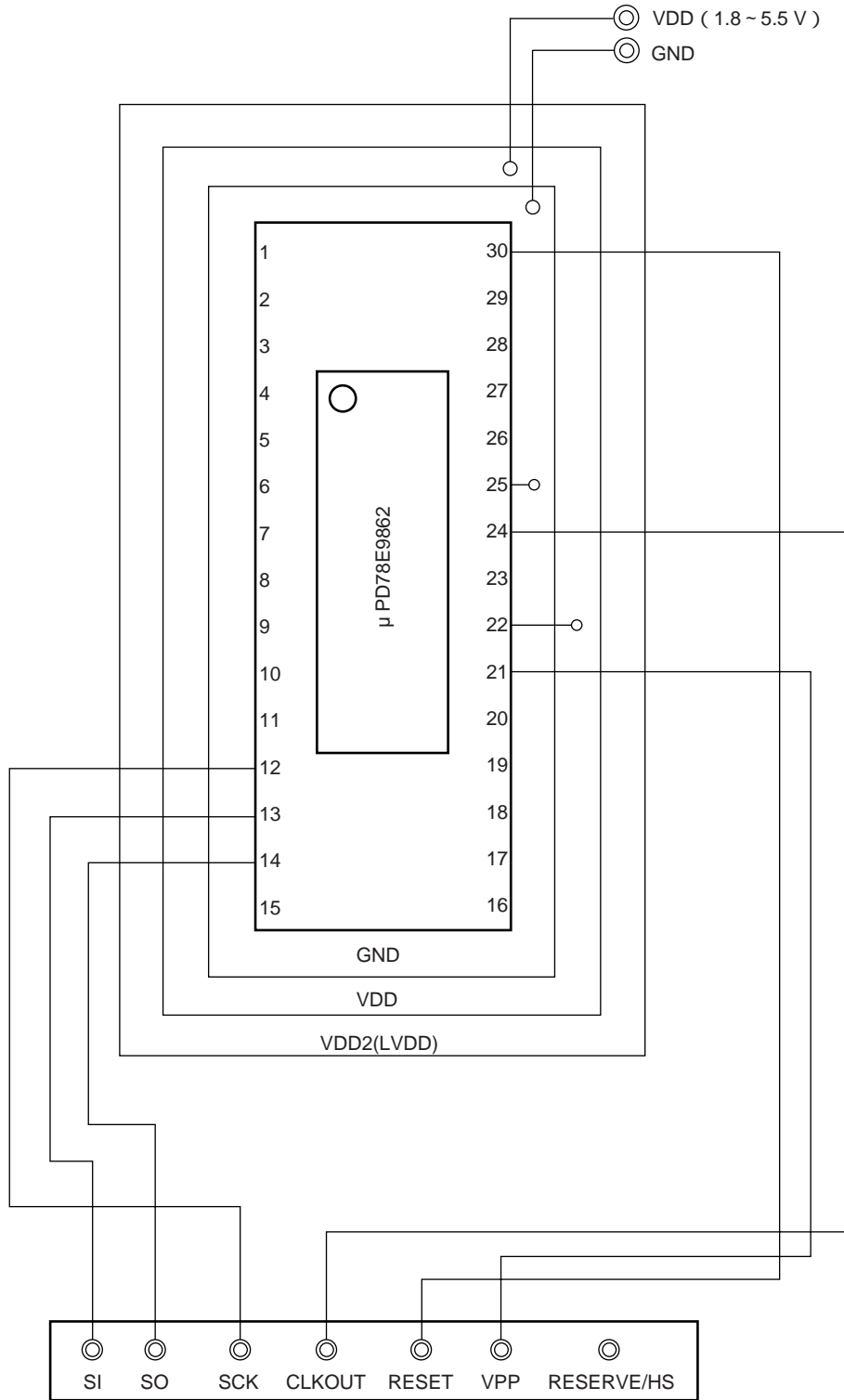


図18 - 9 UART方式でのEEPROM書き込み用アダプタ配線例

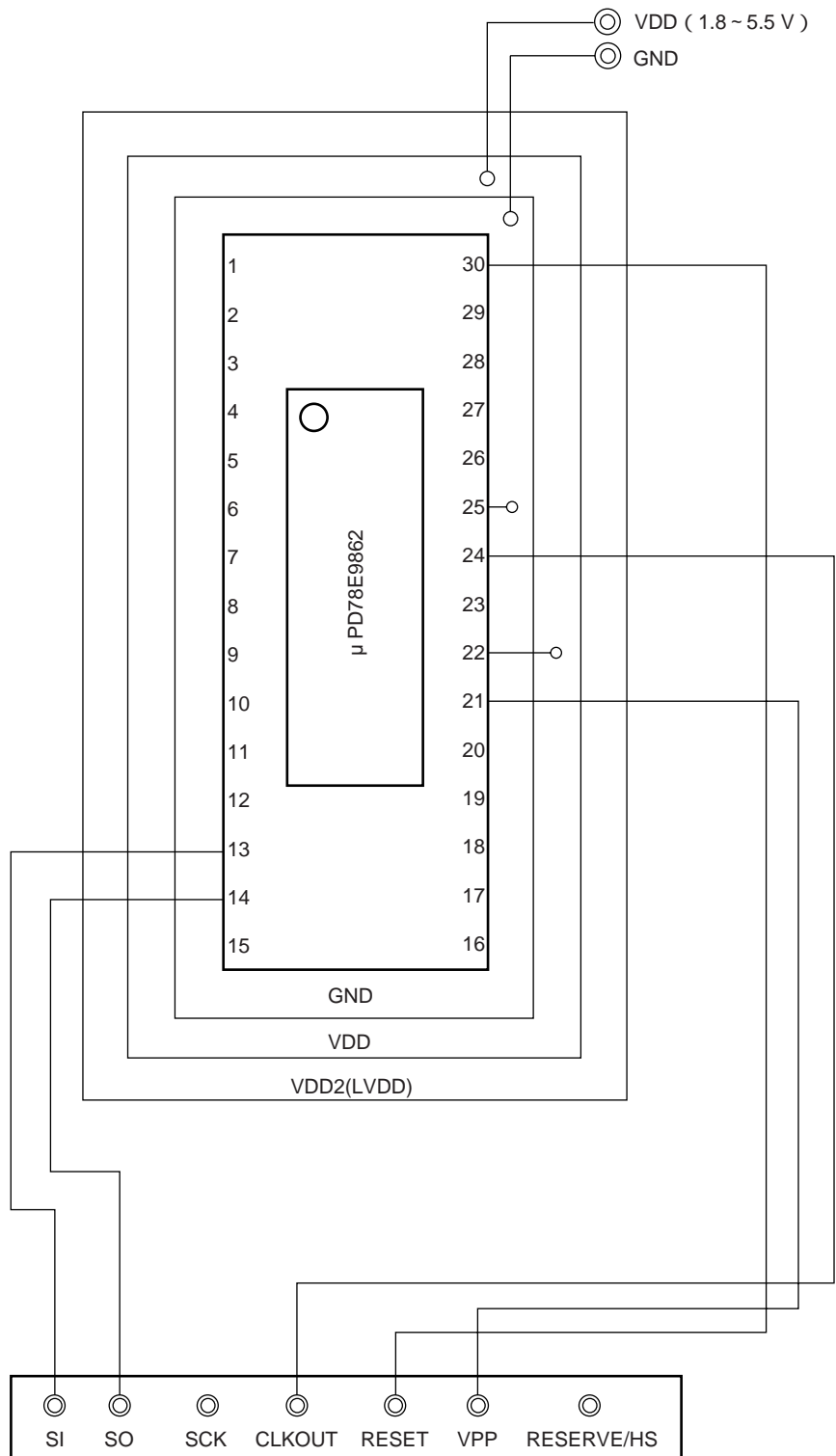
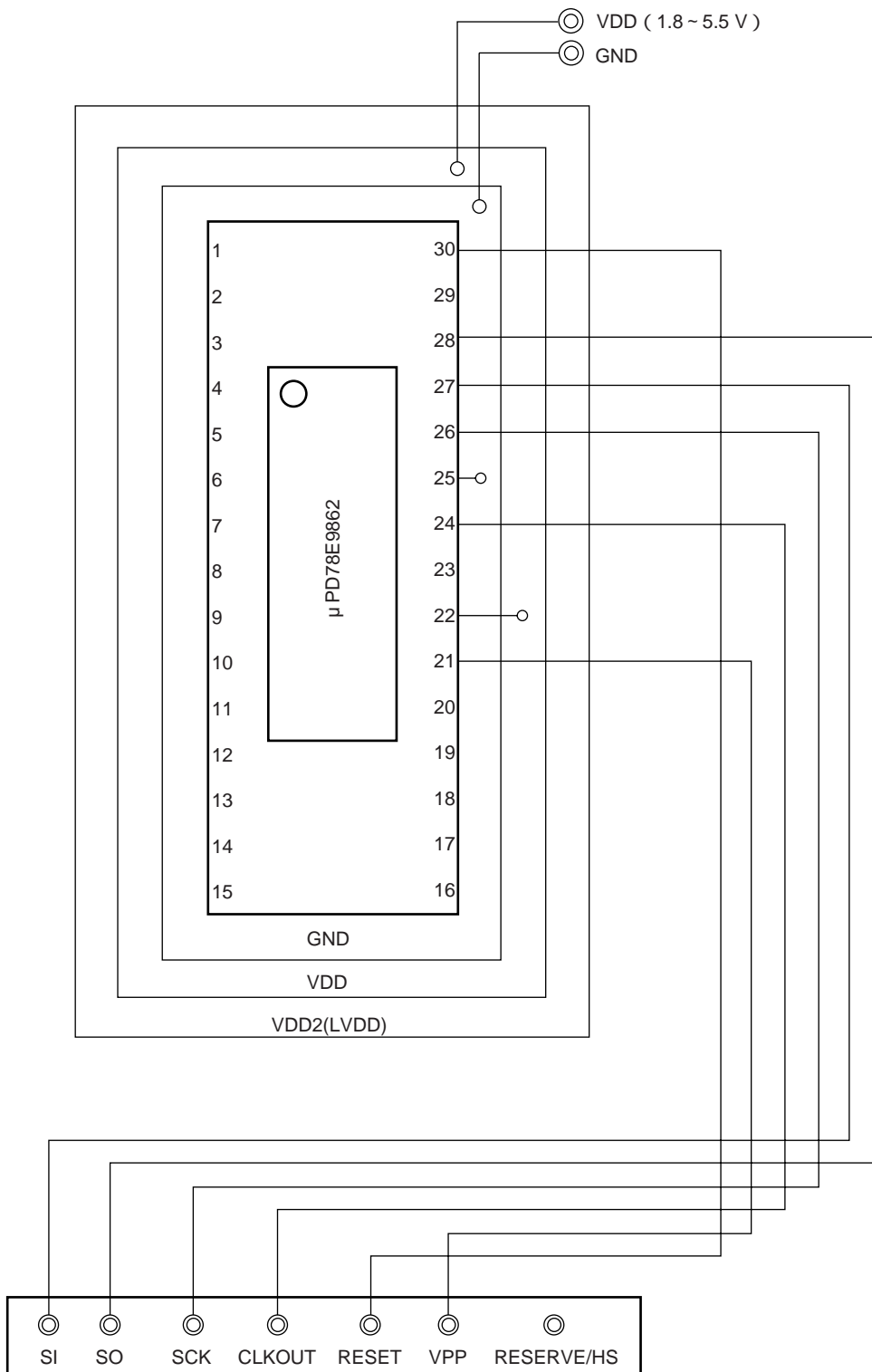


図18 - 10 疑似3線式方式でのEEPROM書き込み用アダプタ配線例



第19章 マスク・オプション

μ PD789862には、次のマスク・オプションがあります。

POC回路のマスク・オプション

POC回路を選択可能

POC切り替え回路を選択（ソフトウェアでPOC回路の動作制御が可能）する

POC回路を常時動作に選択する

POC回路を常時停止に選択する

第20章 命令セットの概要

μPD789862サブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0Sシリーズ ユーザーズ・マニュアル 命令編（U11047J）を参照してください。

20.1 オペレーション

20.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・#：イミディエト・データ指定
- ・\$：相対アドレス指定
- ・!：絶対アドレス指定
- ・[]：間接アドレス指定

イミディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X、A、Cなど）、絶対名称（下表の中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表20-1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X (R0), A (R1), C (R2), B (R3), E (R4), D (R5), L (R6), H (R7)
rp	AX (RP0), BC (RP1), DE (RP2), HL (RP3)
sfr	特殊機能レジスタ略号
saddr	FE20H-FF1FH イミディエト・データまたはラベル
saddrp	FE20H-FF1FH イミディエト・データまたはラベル（偶数アドレスのみ）
addr16	0000H-FFFFH イミディエト・データまたはラベル （16ビット・データ転送命令時は偶数アドレスのみ）
addr5	0040H-007FH イミディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミディエト・データまたはラベル
byte	8ビット・イミディエト・データまたはラベル
bit	3ビット・イミディエト・データまたはラベル

備考 特殊機能レジスタの略号は表3-3 特殊機能レジスタ一覧を参照してください。

20.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
IE	: 割り込み要求許可フラグ
NMIS	: ノンマスカブル割り込み処理中フラグ
()	: ()内のアドレスまたはレジスタの内容で示されるメモリの内容
x _H , x _L	: 16ビット・レジスタの上位8ビット, 下位8ビット
∧	: 論理積 (AND)
∨	: 論理和 (OR)
⊕	: 排他的論理和 (exclusive OR)
——	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

20.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

20.2 オペレーション一覧

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOV	r, #byte	3	6	r byte			
	saddr, #byte	3	6	(saddr) byte			
	sfr, #byte	3	6	sfr byte			
	A, r <small>注1</small>	2	4	A r			
	r, A <small>注1</small>	2	4	r A			
	A, saddr	2	4	A (saddr)			
	saddr, A	2	4	(saddr) A			
	A, sfr	2	4	A sfr			
	sfr, A	2	4	sfr A			
	A, laddr16	3	8	A (addr16)			
	laddr16, A	3	8	(addr16) A			
	PSW, #byte	3	6	PSW byte	x	x	x
	A, PSW	2	4	A PSW			
	PSW, A	2	4	PSW A	x	x	x
	A, [DE]	1	6	A (DE)			
	[DE], A	1	6	(DE) A			
	A, [HL]	1	6	A (HL)			
	[HL], A	1	6	(HL) A			
	A, [HL + byte]	2	6	A (HL + byte)			
[HL + byte], A	2	6	(HL + byte) A				
XCH	A, X	1	4	A X			
	A, r <small>注2</small>	2	6	A r			
	A, saddr	2	6	A (saddr)			
	A, sfr	2	6	A sfr			
	A, [DE]	1	8	A (DE)			
	A, [HL]	1	8	A (HL)			
	A, [HL, byte]	2	8	A (HL + byte)			

注1. r = Aを除く。

2. r = A, Xを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOVW	rp, #word	3	6	rp word			
	AX, saddrp	2	6	AX (saddrp)			
	saddrp, AX	2	8	(saddrp) AX			
	AX, rp <small>注</small>	1	4	AX rp			
	rp, AX <small>注</small>	1	4	rp AX			
XCHW	AX, rp <small>注</small>	1	8	AX rp			
ADD	A, #byte	2	4	A, CY A + byte	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) + byte	x	x	x
	A, r	2	4	A, CY A + r	x	x	x
	A, saddr	2	4	A, CY A + (saddr)	x	x	x
	A, laddr16	3	8	A, CY A + (addr16)	x	x	x
	A, [HL]	1	6	A, CY A + (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte)	x	x	x
ADDC	A, #byte	2	4	A, CY A + byte + CY	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) + byte + CY	x	x	x
	A, r	2	4	A, CY A + r + CY	x	x	x
	A, saddr	2	4	A, CY A + (saddr) + CY	x	x	x
	A, laddr16	3	8	A, CY A + (addr16) + CY	x	x	x
	A, [HL]	1	6	A, CY A + (HL) + CY	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte) + CY	x	x	x
SUB	A, #byte	2	4	A, CY A - byte	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) - byte	x	x	x
	A, r	2	4	A, CY A - r	x	x	x
	A, saddr	2	4	A, CY A - (saddr)	x	x	x
	A, laddr16	3	8	A, CY A - (addr16)	x	x	x
	A, [HL]	1	6	A, CY A - (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte)	x	x	x

注 rp = BC, DE, HLのときのみ。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
SUBC	A, #byte	2	4	A, CY A - byte - CY	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) - byte - CY	x	x	x
	A, r	2	4	A, CY A - r - CY	x	x	x
	A, saddr	2	4	A, CY A - (saddr) - CY	x	x	x
	A, laddr16	3	8	A, CY A - (addr16) - CY	x	x	x
	A, [HL]	1	6	A, CY A - (HL) - CY	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte) - CY	x	x	x
AND	A, #byte	2	4	A A ∧ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∧ byte	x		
	A, r	2	4	A A ∧ r	x		
	A, saddr	2	4	A A ∧ (saddr)	x		
	A, laddr16	3	8	A A ∧ (addr16)	x		
	A, [HL]	1	6	A A ∧ (HL)	x		
	A, [HL + byte]	2	6	A A ∧ (HL + byte)	x		
OR	A, #byte	2	4	A A ∨ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∨ byte	x		
	A, r	2	4	A A ∨ r	x		
	A, saddr	2	4	A A ∨ (saddr)	x		
	A, laddr16	3	8	A A ∨ (addr16)	x		
	A, [HL]	1	6	A A ∨ (HL)	x		
	A, [HL + byte]	2	6	A A ∨ (HL + byte)	x		
XOR	A, #byte	2	4	A A ∨ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∨ byte	x		
	A, r	2	4	A A ∨ r	x		
	A, saddr	2	4	A A ∨ (saddr)	x		
	A, laddr16	3	8	A A ∨ (addr16)	x		
	A, [HL]	1	6	A A ∨ (HL)	x		
	A, [HL + byte]	2	6	A A ∨ (HL + byte)	x		

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
CMP	A, #byte	2	4	A - byte	x	x	x
	saddr, #byte	3	6	(saddr) - byte	x	x	x
	A, r	2	4	A - r	x	x	x
	A, saddr	2	4	A - (saddr)	x	x	x
	A, laddr16	3	8	A - (addr16)	x	x	x
	A, [HL]	1	6	A - (HL)	x	x	x
	A, [HL + byte]	2	6	A - (HL + byte)	x	x	x
ADDW	AX, #word	3	6	AX, CY AX + word	x	x	x
SUBW	AX, #word	3	6	AX, CY AX - word	x	x	x
CMPW	AX, #word	3	6	AX - word	x	x	x
INC	r	2	4	r r + 1	x	x	
	saddr	2	4	(saddr) (saddr) + 1	x	x	
DEC	r	2	4	r r - 1	x	x	
	saddr	2	4	(saddr) (saddr) - 1	x	x	
INCW	rp	1	4	rp rp + 1			
DECW	rp	1	4	rp rp - 1			
ROR	A, 1	1	2	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1回			x
ROL	A, 1	1	2	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1回			x
RORC	A, 1	1	2	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1回			x
ROLC	A, 1	1	2	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1回			x
SET1	saddr.bit	3	6	(saddr.bit) 1			
	sfr.bit	3	6	sfr.bit 1			
	A.bit	2	4	A.bit 1			
	PSW.bit	3	6	PSW.bit 1	x	x	x
	[HL].bit	2	10	(HL).bit 1			
CLR1	saddr.bit	3	6	(saddr.bit) 0			
	sfr.bit	3	6	sfr.bit 0			
	A.bit	2	4	A.bit 0			
	PSW.bit	3	6	PSW.bit 0	x	x	x
	[HL].bit	2	10	(HL).bit 0			
SET1	CY	1	2	CY 1			1
CLR1	CY	1	2	CY 0			0

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
NOT1	CY	1	2	CY $\overline{\text{CY}}$			x
CALL	!addr16	3	6	(SP - 1) (PC + 3) _H , (SP - 2) (PC + 3) _L , PC addr16, SP SP - 2			
CALLT	[addr5]	1	8	(SP - 1) (PC + 1) _H , (SP - 2) (PC + 1) _L , PC _H (00000000, addr5 + 1), PC _L (00000000, addr5), SP SP - 2			
RET		1	6	PC _H (SP + 1), PC _L (SP), SP SP + 2			
RETI		1	8	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3, NMIS 0	R	R	R
PUSH	PSW	1	2	(SP - 1) PSW, SP SP - 1			
	rp	1	4	(SP - 1) rp _H , (SP - 2) rp _L , SP SP - 2			
POP	PSW	1	4	PSW (SP), SP SP + 1	R	R	R
	rp	1	6	rp _H (SP + 1), rp _L (SP), SP SP + 2			
MOVW	SP, AX	2	8	SP AX			
	AX, SP	2	6	AX SP			
BR	!addr16	3	6	PC addr16			
	\$addr16	2	6	PC PC + 2 + jdisp8			
	AX	1	6	PC _H A, PC _L X			
BC	\$saddr16	2	6	PC PC + 2 + jdisp8 if CY = 1			
BNC	\$saddr16	2	6	PC PC + 2 + jdisp8 if CY = 0			
BZ	\$saddr16	2	6	PC PC + 2 + jdisp8 if Z = 1			
BNZ	\$saddr16	2	6	PC PC + 2 + jdisp8 if Z = 0			
BT	saddr.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if (saddr.bit) = 1			
	sfr.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if sfr.bit = 1			
	A.bit, \$addr16	3	8	PC PC + 3 + jdisp8 if A.bit = 1			
	PSW.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if PSW.bit = 1			

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
BF	saddr.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if (saddr.bit) = 0			
	sfr.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if sfr.bit = 0			
	A.bit, \$saddr16	3	8	PC PC + 3 + jdisp8 if A.bit = 0			
	PSW.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if PSW.bit = 0			
DBNZ	B, \$saddr16	2	6	B B - 1, then PC PC + 2 + jdisp8 if B 0			
	C, \$saddr16	2	6	C C - 1, then PC PC + 2 + jdisp8 if C 0			
	saddr, \$saddr16	3	8	(saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if (saddr) 0			
NOP		1	2	No Operation			
EI		3	6	IE 1 (Enable Interrupt)			
DI		3	6	IE 0 (Disable Interrupt)			
HALT		1	2	Set HALT Mode			
STOP		1	2	Set STOP Mode			

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

20.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, INC, DEC, ROR, ROL, RORC, ROLC, PUSH, POP, DBNZ

第2オペランド	#byte	A	r	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL + byte]	\$addr16	1	なし
第1オペランド													
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV ^注 XCH ^注	MOV XCH	MOV XCH	MOV	MOV	MOV XCH	MOV XCH	MOV XCH		ROR ROL RORC ROLC	
r	MOV	MOV											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											
[HL + byte]		MOV											

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド 第1オペランド	#word	AX	rp ^注	saddrp	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	
rp	MOVW	MOVW ^注				INCW DECW PUSH POP
saddrp		MOVW				
sp		MOVW				

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

SET1, CLR1, NOT1, BT, BF

第2オペランド 第1オペランド	\$addr16	なし
A.bit	BT BF	SET1 CLR1
sfr.bit	BT BF	SET1 CLR1
saddr.bit	BT BF	SET1 CLR1
PSW.bit	BT BF	SET1 CLR1
[HL] .bit		SET1 CLR1
CY		SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL, CALLT, BR, BC, BNC, BZ, BNZ, DBNZ

第2オペランド 第1オペランド	AX	!addr16	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLT	BR BC BNC BZ BNZ
複合命令				DBNZ

(5) その他の命令

RET, RETI, NOP, EI, DI, HALT, STOP

第21章 電気的特性 (μPD789862)

絶対最大定格 (TA = 25)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.3 ~ + 6.5	V
入力電圧	V _I		- 0.3 ~ V _{DD} + 0.3 ^注	V
出力電圧	V _O		- 0.3 ~ V _{DD} + 0.3 ^注	V
ハイ・レベル出力電流	I _{OH}	1端子	- 10	mA
		全端子合計	- 30	mA
ロウ・レベル出力電流	I _{OL}	1端子	30	mA
		全端子合計	80	mA
動作周囲温度	T _A		- 40 ~ + 85	
保存温度	T _{stg}		- 40 ~ + 125	

注 6.5 V以下

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がない限り、兼用端子の特性はポート端子の特性と同じです。

システム・クロック発振回路特性 (T_A = -40 ~ +85 , V_{DD} = 1.8 ~ 5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (f _x) ^{注1}	V _{DD} = 発振電圧範囲	3		5	MHz
		発振安定時間 ^{注2}	V _{DD} が 発 振 電 圧 範 囲 の MIN. に 達 した 後		80		μs
水晶発振子		発振周波数 (f _x) ^{注1}	V _{DD} = 発振電圧範囲	3		5	MHz
		発振安定時間 ^{注2}	V _{DD} が 発 振 電 圧 範 囲 の MIN. に 達 した 後		8		ms

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

- リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。発振ウェイト時間内に発振安定する振動子を使用してください。

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

推奨発振回路定数

セラミック発振子 ($T_A = -40 \sim +85$)

メーカー	品名	周波数 (MHz)	推奨回路定数 (pF)		発振電圧範囲 (V_{DD})		備考
			C1	C2	MIN.	MAX.	
村田製作所	CSTCR4M00G53-R0	4.000	-	-	1.8	5.5	コンデンサ内蔵品
	CSTLS4M00G53-B0						
	CSTCR4M19G53-R0	4.195					
	CSTLS4M19G53-B0						
	CSTCR5M00G53-R0	5.000					
	CSTLS5M00G53-B0						

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、 μ PD789862の内部動作条件についてはDC、AC特性の規格内で使用してください。

DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流	IOL	1端子				2.5	mA
		全端子				80.0	mA
ハイ・レベル出力電流	IOH	1端子				- 0.5	mA
		全端子				- 15.0	mA
ハイ・レベル入力電圧	VIH1	P22-P24, P30, P32, P33, P40-P45, RESET, KRREN	2.7 V VDD 5.5 V	0.8VDD		VDD	V
			1.8 V VDD < 2.7 V	0.9VDD		VDD	V
	VIH2	P00-P03, P10, P11, P20, P21, P31	2.7 V VDD 5.5 V	0.7VDD		VDD	V
			1.8 V VDD < 2.7 V	0.9VDD		VDD	V
	VIH3	X1, X2		VDD - 0.1		VDD	V
	VIH4	EEWE		0.9VDD		VDD	V
ロウ・レベル入力電圧	VIL1	P22-P24, P30, P32, P33, P40-P45, RESET, KRREN, EEWE	2.7 V VDD 5.5 V	0		0.2VDD	V
			1.8 V VDD < 2.7 V	0		0.1VDD	V
	VIL2	P00-P03, P10, P11, P20, P21, P31	2.7 V VDD 5.5 V	0		0.3VDD	V
			1.8 V VDD < 2.7 V	0		0.1VDD	V
	VIL3	X1, X2		0		0.1	V
ハイ・レベル出力電圧	VOH1	IOH = - 100 μA		VDD - 0.5			V
	VOH2	IOH = - 500 μA		VDD - 0.7			V
ロウ・レベル出力電圧	VOL1	P00-P03, P10, P11, P22-P24, P30-P33, P70	IOI = 400 μA			0.5	V
	VOL2	P00-P03, P10, P11, P22-P24, P30-P33, P70	IOI = 2 mA			0.7	V
	VOL3	P20, P21	IOI = 2.5 mA			0.5	V
ハイ・レベル入力リーク電流	ILIH1	P00-P03, P10, P11, P20-P24, P30-P33, P40-P45, RESET, KRREN	VI = VDD			3	μA
	ILIH2	X1, X2	VI = VDD			20	μA
ロウ・レベル入力リーク電流	ILIL1	P00-P03, P10, P11, P20-P24, P30-P33, KRREN, EEWE	VI = 0 V			- 3	μA
	ILIL2	X1, X2	VI = 0 V			- 20	μA
プルアップ抵抗値	R1	P20, P21以外	VI = 0 V	50	100	200	kΩ
	R3	P20, P21	VI = 0 V	10	30	60	kΩ
プルダウン抵抗値	R2	EEWE	VI = VDD	2	5	10	kΩ

備考 特に指定がない限り，兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD1	5.0 MHz発振 動作モード ^{注2}	EEPROM動作	VDD = 5.0 V ± 10 %	2.7	5.4	mA
				VDD = 3.0 V ± 10 %	1.2	2.4	mA
	IDD2	(C1 = C2 = 22pF)	EEPROM停止	VDD = 5.0 V ± 10 %	2.3	4.6	mA
				VDD = 3.0 V ± 10 %	1.1	2.2	mA
	IDD3	5.0 MHz発振 HALTモード ^{注2} (C1 = C2 = 22pF)	EEPROM停止	VDD = 5.0 V ± 10 %	1.0	2.0	mA
				VDD = 3.0 V ± 10 %	0.5	1.0	mA
	IDD4	STOPモード	EEPROM停止	VDD = 5.0 V ± 10 %	1.0	14.0	μA
			POC動作	VDD = 3.0 V ± 10 %	0.9	7.0	μA
IDD5		EEPROM停止	VDD = 5.0 V ± 10 %	0.1	10.0	μA	
		POC停止	VDD = 3.0 V ± 10 %	0.05	5.0	μA	
POC	検出電圧	VPOC	応答時間2 ms	1.8	1.9	2.0	V
LVI	LVI7検出電圧	VLVI7	応答時間2 ms	2.4	2.6	2.8	V
	LVI6検出電圧	VLVI6	応答時間2 ms		2.5		V
	LVI5検出電圧	VLVI5	応答時間2 ms		2.4		V
	LVI4検出電圧	VLVI4	応答時間2 ms		2.3		V
	LVI3検出電圧	VLVI3	応答時間2 ms		2.2		V
	LVI2検出電圧	VLVI2	応答時間2 ms		2.1		V
	LVI1検出電圧	VLVI1	応答時間2 ms		2.0		V
	LVI0検出電圧	VLVI0	応答時間2 ms	1.7	1.9	2.1	V

注1. ポート電流 (内蔵プリアップ抵抗に流れる電流も含む) は含みません。

2. 高速モード動作時 (プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに設定したとき)

備考 VLVI7 > VLVI6 > VLVI5 > VLVI4 > VLVI3 > VLVI2 > VLVI1 > VLVI0

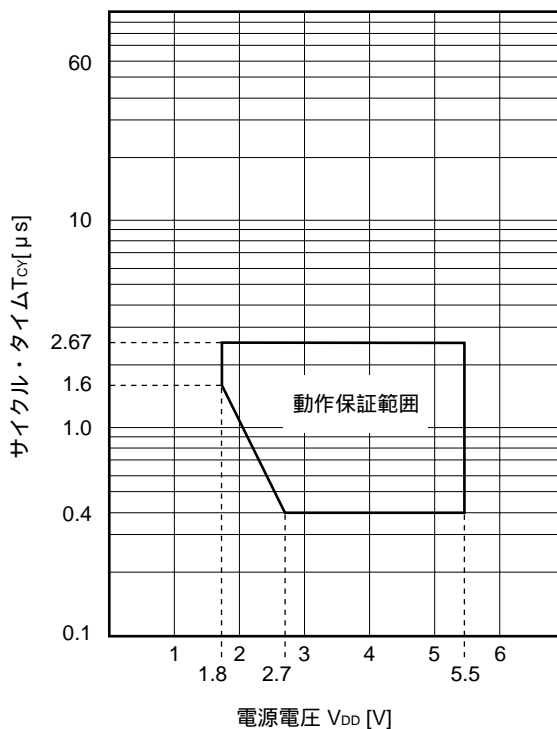
AC特性

(1) 基本動作 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
命令サイクル (最小命令実行時間)	Tcy	2.7 V VDD 5.5 V	0.4		2.67	μs
		1.8 V VDD < 2.7 V	1.6		2.67	μs
TI00, TI01入力ハイ・レベル幅, ロウ・レベル幅	tTIOH, tTIOL	2.7 V VDD 5.5 V	2/fsam + 0.2			μs
		1.8 V VDD < 2.7 V	2/fsam + 0.4			μs
TI50入力ハイ・レベル幅, ロウ・レベル幅	tTIH, tTIL	2.7 V VDD 5.5 V	100			ns
		1.8 V VDD < 2.7 V	400			ns
キー入力端子ハイ・レベル幅	tKRIH	KR5	10			μs
キー入力端子ロウ・レベル幅	tKRIL	KR0-KR5	10			μs
割り込み入力ハイ・レベル幅, ロウ・レベル幅	tINTH, tINTL	INTP0, INTP1	10			μs
RESETロウ・レベル幅	tRST		10			μs

備考 fsam : タイマ・カウント・クロック (ただし, タイマ・カウント・クロックとしてTI00, TI01有効エッジを選択した場合はfsam = fx/8となります (図7-1 16ビット・タイマ/イベント・カウンタ0のブロック図参照))

Tcy vs VDD (メイン・システム・クロック)



(2) シリアル・インタフェース2 (V_{DD} = 1.8 ~ 5.5 V, T_A = -40 ~ +85)

(a) 3線式シリアル/Oモード (SCK2...内部クロック)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK2サイクル・タイム	t _{KCY1}	2.7 V V _{DD} 5.5 V	800			ns
		1.8 V V _{DD} < 2.7 V	3200			ns
SCK2ハイ, ロウ・レベル幅	t _{KH1} ,	2.7 V V _{DD} 5.5 V	t _{KCY1} /2 - 50			ns
	t _{KL1}	1.8 V V _{DD} < 2.7 V	t _{KCY1} /2 - 150			ns
SI2セット・アップ時間 (対SCK2)	t _{SIK1}	2.7 V V _{DD} 5.5 V	150			ns
		1.8 V V _{DD} < 2.7 V	500			ns
SI2ホールド時間 (対SCK2)	t _{KSI1}	2.7 V V _{DD} 5.5 V	400			ns
		1.8 V V _{DD} < 2.7 V	600			ns
SCK2 SO2 出力遅延時間	t _{KSO1}	R = 1kΩ, C = 100 pF ^注 2.7 V V _{DD} 5.5 V	0		250	ns
		1.8 V V _{DD} < 2.7 V	0		1000	ns

注 R, CはSO2出力ラインの負荷抵抗, 負荷容量です。

(b) 3線式シリアル/Oモード (SCK2...外部クロック)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK2サイクル・タイム	t _{KCY2}	2.7 V V _{DD} 5.5 V	800			ns
		1.8 V V _{DD} < 2.7 V	3200			ns
SCK2ハイ, ロウ・レベル幅	t _{KH2} ,	2.7 V V _{DD} 5.5 V	400			ns
	t _{KL2}	1.8 V V _{DD} < 2.7 V	1600			ns
SI2セット・アップ時間 (対SCK2)	t _{SIK2}	2.7 V V _{DD} 5.5 V	100			ns
		1.8 V V _{DD} < 2.7 V	150			ns
SI2ホールド時間 (対SCK2)	t _{KSI2}	2.7 V V _{DD} 5.5 V	400			ns
		1.8 V V _{DD} < 2.7 V	600			ns
SCK2 SO2 出力遅延時間	t _{KSO2}	R = 1 kΩ, C = 100 pF ^注 2.7 V V _{DD} 5.5 V	0		300	ns
		1.8 V V _{DD} < 2.7 V	0		1000	ns

注 R, CはSO2出力ラインの負荷抵抗, 負荷容量です。

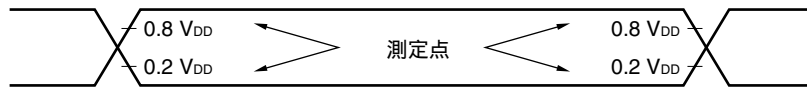
(c) UARTモード (専用ボー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		2.7 V V _{DD} 5.5 V			78125	bps
		1.8 V V _{DD} < 2.7 V			19531	bps

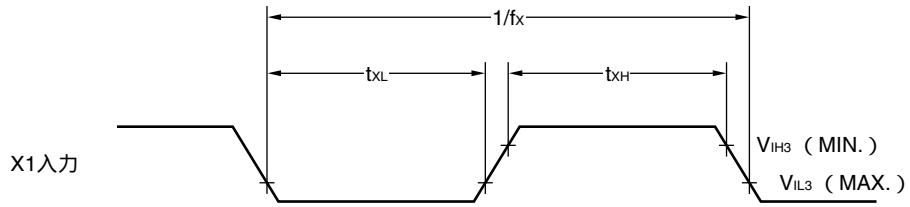
(d) UARTモード (外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ASCK2サイクル・タイム	t _{KCY3}	2.7 V V _{DD} 5.5 V	800			ns
		1.8 V V _{DD} < 2.7 V	3200			ns
ASCK2ハイ, ロウ・レベル幅	t _{KH3} ,	2.7 V V _{DD} 5.5 V	400			ns
	t _{KL3}	1.8 V V _{DD} < 2.7 V	1600			ns
転送レート		2.7 V V _{DD} 5.5 V			39063	bps
		1.8 V V _{DD} < 2.7 V			9766	bps
ASCK2立ち上がり, 立ち下がり時間	t _R , t _F				1	μs

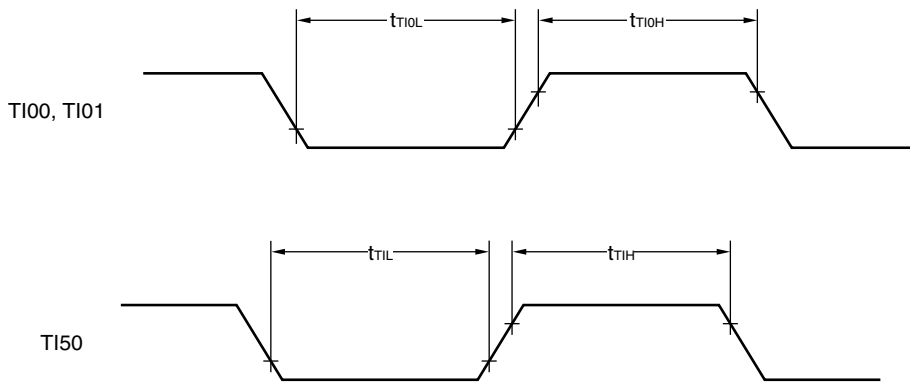
ACタイミング測定点 (X1入力を除く)



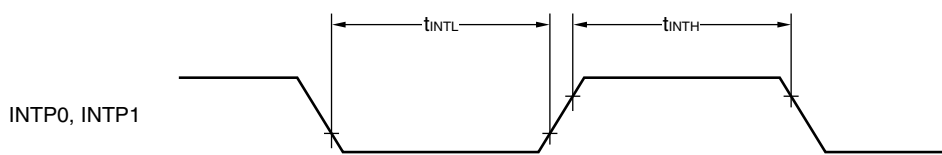
クロック・タイミング



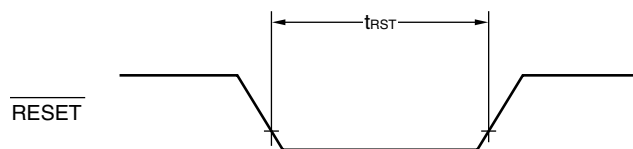
TIタイミング



割り込み入力タイミング

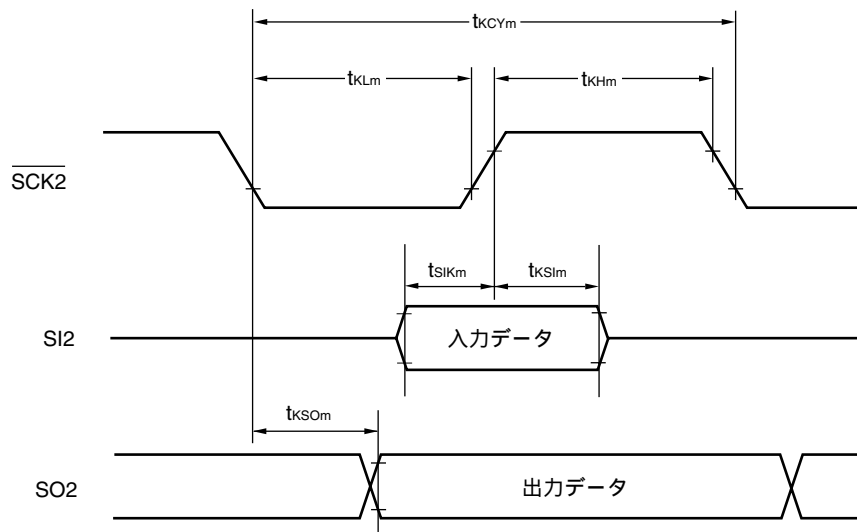


RESET入力タイミング



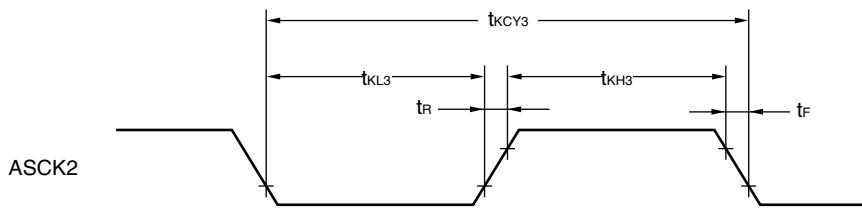
シリアル転送タイミング

3線式シリアルI/Oモード :



備考 m = 1, 2

UARTモード (外部クロック入力) :



(3) EEPROM (T_A = -40 ~ +85 , V_{DD} = 1.8 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
書き込み時間 ^注			3.3		6.6	ms
書き換え回数		バイトごと			100000	回

注 書き込み時間 = T × 145 (T : EWCS10-EWCS12で選択したクロックの1周期の時間)

(4) 電源立ち上げ (T_A = -40 ~ +85 , V_{DD} = 1.8 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源立ち上げ時間1	t _{PTH1}	POC切り替え回路使用 (V _{DD} : 0 V ~ 1.8 V)	0.01		100	ms
電源立ち上げ時間2	t _{PTH2}	POC常時使用 (V _{DD} : 0 V ~ 1.8 V)	0.01		100	ms

メモリ格納データ保持特性 (T_A = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.8		5.5	V
リリース信号セット時間	t _{SREL}		0			μs

発振ウエイト時間 (T_A = -40 ~ +85 , V_{DD} = 1.8 ~ 5.5 V)

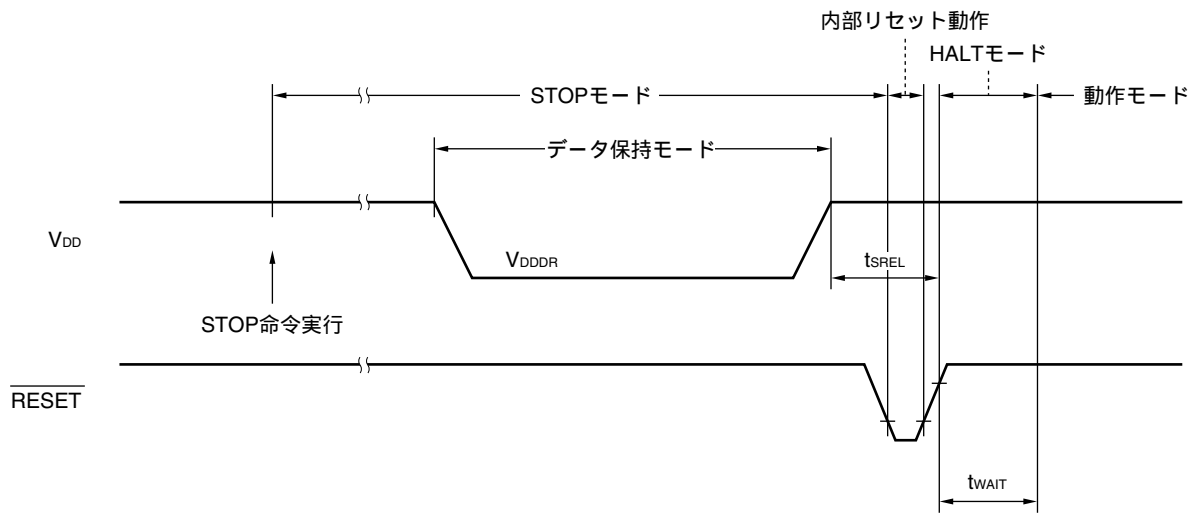
項目	略号	条件	MIN.	TYP.	MAX.	単位
発振安定ウエイト時間 ^{注1}	t _{WAIT}	RESET端子, POCによる解除		2 ¹² /f _x		s
		割り込みによる解除		注2		s

注1. 発振安定ウエイト時間は, 発振開始時の不安定な動作を防ぐため, CPUの動作を停止しておく時間です。

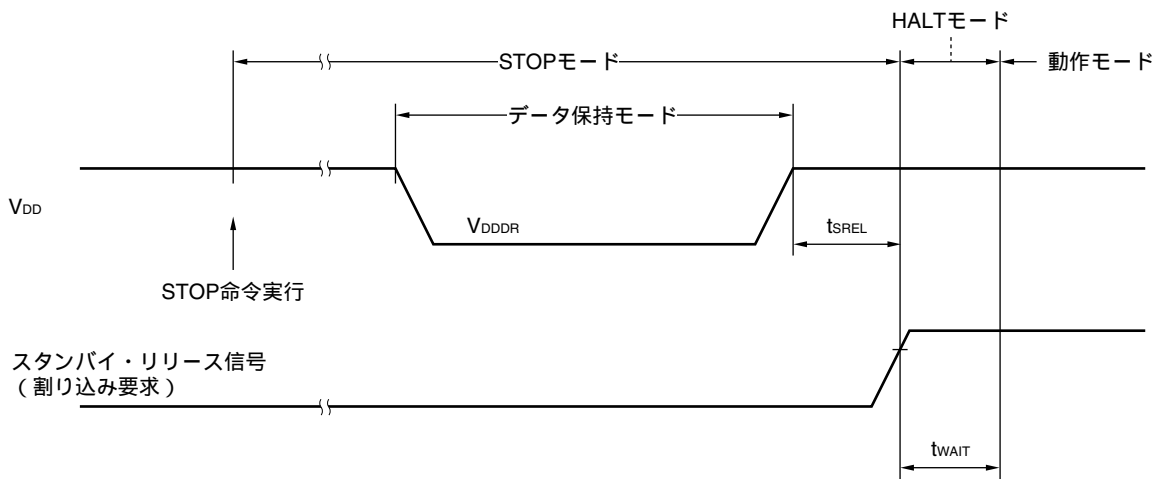
2. 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により, 2¹²/f_x, 2¹⁵/f_x, 2¹⁷/f_xの選択が可能です。

備考 f_x : システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



第22章 電気的特性 (μ PD78E9862)

- ★ 注意 μ PD78E9862はプログラム開発専用で、製品寿命、信頼性は保証していません。
そのため、信頼性試験用および量産用にはμ PD789862を使用してください。

絶対最大定格 (T_A = 25)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.3 ~ + 6.5	V
	V _{PP}		- 0.3 ~ + 10.5	V
入力電圧	V _I		- 0.3 ~ V _{DD} + 0.3 ^注	V
出力電圧	V _O		- 0.3 ~ V _{DD} + 0.3 ^注	V
ハイ・レベル出力電流	I _{OH}	1端子	- 10	mA
		全端子合計	- 30	mA
ロウ・レベル出力電流	I _{OL}	1端子	30	mA
		全端子合計	80	mA
動作周囲温度	T _A		- 40 ~ + 70	
保存温度	T _{stg}		- 40 ~ + 125	

注 6.5 V以下

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がない限り、兼用端子の特性はポート端子の特性と同じです。

システム・クロック発振回路特性 ($T_A = -40 \sim +70$, $V_{DD} = 1.8 \sim 5.5$ V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (f_x) ^{注1}	$V_{DD} =$ 発振電圧範囲	3		5	MHz
		発振安定時間 ^{注2}	V_{DD} が 発 振 電 圧 範 囲 の MIN.に達したあと		80		μ s
水晶発振子		発振周波数 (f_x) ^{注1}	$V_{DD} =$ 発振電圧範囲	3		5	MHz
		発振安定時間 ^{注2}	V_{DD} が 発 振 電 圧 範 囲 の MIN.に達したあと		8		ms

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

- リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。発振ウェイト時間内に発振安定する振動子を使用してください。

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

推奨発振回路定数

セラミック発振子 ($T_A = -40 \sim +70$)

メーカー	品名	周波数 (MHz)	推奨回路定数 (pF)		発振電圧範囲 (V_{DD})		備考
			C1	C2	MIN.	MAX.	
村田製作所	CSTCR4M00G53-R0	4.000	-	-	1.8	5.5	コンデンサ内蔵品
	CSTLS4M00G53-B0						
	CSTCR4M19G53-R0	4.195					
	CSTLS4M19G53-B0						
	CSTCR5M00G53-R0	5.000					
	CSTLS5M00G53-B0						

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、 μ PD78E9862の内部動作条件についてはDC、AC特性の規格内で使用してください。

DC特性 (TA = -40 ~ +70 , VDD = 1.8 ~ 5.5 V) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流	IOL	1端子				2.5	mA
		全端子				80.0	mA
ハイ・レベル出力電流	IOH	1端子				- 0.5	mA
		全端子				- 15.0	mA
ハイ・レベル入力電圧	VIH1	P22-P24, P30, P32, P33, P40-P45, RESET, KRREN	2.7 V VDD 5.5 V	0.8VDD		VDD	V
			1.8 V VDD < 2.7 V	0.9VDD		VDD	V
	VIH2	P00-P03, P10, P11, P20, P21, P31	2.7 V VDD 5.5 V	0.7VDD		VDD	V
			1.8 V VDD < 2.7 V	0.9VDD		VDD	V
	VIH3	X1, X2		VDD - 0.1		VDD	V
	VIH4	EEWE		0.9VDD		VDD	V
ロウ・レベル入力電圧	VIL1	P22-P24, P30, P32, P33, P40-P45, RESET, KRREN	2.7 V VDD 5.5 V	0		0.2VDD	V
			1.8 V VDD < 2.7 V	0		0.1VDD	V
	VIL2	P00-P03, P10, P11, P20, P21, P31	2.7 V VDD 5.5 V	0		0.3VDD	V
			1.8 V VDD < 2.7 V	0		0.1VDD	V
	VIL3	X1, X2		0		0.1	V
ハイ・レベル出力電圧	VOH1	IOH = - 100 μA		VDD - 0.5			V
	VOH2	IOH = - 500 μA		VDD - 0.7			V
ロウ・レベル出力電圧	VOL1	P00-P03, P10, P11, P22-P24, P30-P33, P70	IOL = 400 μA			0.5	V
	VOL2	P00-P03, P10, P11, P22-P24, P30-P33, P70	IOL = 2 mA			0.7	V
	VOL3	P20, P21	IOL = 2.5 mA			0.5	V
ハイ・レベル入力リーク電流	IIH1	P00-P03, P10, P11, P20-P24, P30-P33, P40-P45, RESET, KRREN	VI = VDD			3	μA
	IIH2	X1, X2	VI = VDD			20	μA
ロウ・レベル入力リーク電流	IIIL1	P00-P03, P10, P11, P20-P24, P30-P33, KRREN, EEWE	VI = 0 V			- 3	μA
	IIIL2	X1, X2	VI = 0 V			- 20	μA
ブルアップ抵抗値	R1	P20, P21以外	VI = 0 V	50	100	200	kΩ
	R3	P20, P21	VI = 0 V	10	30	60	kΩ
ブルダウン抵抗値	R2	EEWE	VI = VDD	2	5	10	kΩ

備考 特に指定がない限り、兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +70 , VDD = 1.8 ~ 5.5 V) (2/2)

項目		略号	条件		MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD1	5.0 MHz発振 動作モード ^{注2}	EEPROM動作	VDD = 5.0 V ± 10 %		3.1	6.2	mA
				VDD = 3.0 V ± 10 %		1.5	3.0	mA
	IDD2	(C1 = C2 = 22pF)	EEPROM停止	VDD = 5.0 V ± 10 %		2.9	5.8	mA
				VDD = 3.0 V ± 10 %		1.4	2.8	mA
	IDD3	5.0 MHz発振 HALTモード ^{注2} (C1 = C2 = 22pF)	EEPROM停止	VDD = 5.0 V ± 10 %		1.6	3.2	mA
				VDD = 3.0 V ± 10 %		0.7	1.4	mA
	IDD4	STOPモード	EEPROM停止	VDD = 5.0 V ± 10 %		1.0	26.0	μA
				POC動作	VDD = 3.0 V ± 10 %		0.9	13.0
IDD5		EEPROM停止	VDD = 5.0 V ± 10 %		0.1	22.0	μA	
			POC停止	VDD = 3.0 V ± 10 %		0.05	11.0	μA
POC	検出電圧	VPOC	応答時間2 ms		1.8	1.9	2.0	V
LVI	LVI7検出電圧	VLVI7	応答時間2 ms		2.4	2.6	2.8	V
	LVI6検出電圧	VLVI6	応答時間2 ms			2.5		V
	LVI5検出電圧	VLVI5	応答時間2 ms			2.4		V
	LVI4検出電圧	VLVI4	応答時間2 ms			2.3		V
	LVI3検出電圧	VLVI3	応答時間2 ms			2.2		V
	LVI2検出電圧	VLVI2	応答時間2 ms			2.1		V
	LVI1検出電圧	VLVI1	応答時間2 ms			2.0		V
	LVI0検出電圧	VLVI0	応答時間2 ms		1.7	1.9	2.1	V

注1. ポート電流 (内蔵プルアップ抵抗に流れる電流も含む) は含みません。

2. 高速モード動作時 (プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに設定したとき)

備考 VLVI7 > VLVI6 > VLVI5 > VLVI4 > VLVI3 > VLVI2 > VLVI1 > VLVI0

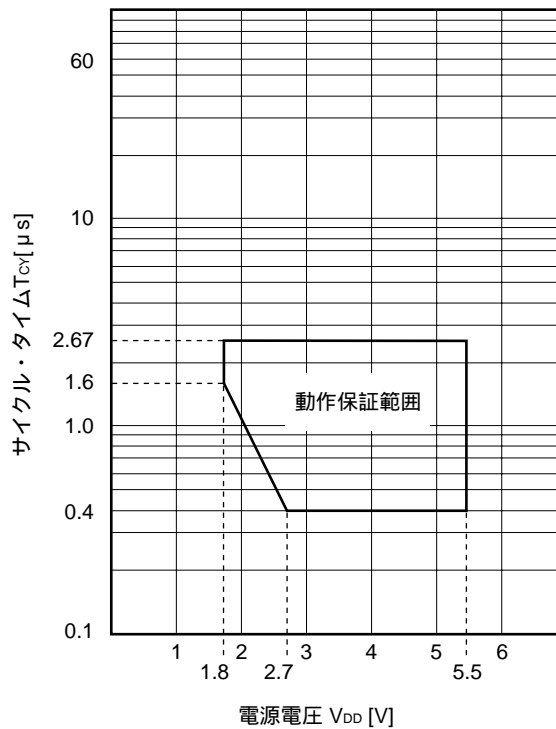
AC特性

(1) 基本動作 (TA = -40 ~ +70 , VDD = 1.8 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
命令サイクル (最小命令実行時間)	Tcy	2.7 V VDD 5.5 V	0.4		2.67	μs
		1.8 V VDD < 2.7 V	1.6		2.67	μs
TI00, TI01入力ハイ・レベル幅, ロウ・レベル幅	tTIOH, tTIOL	2.7 V VDD 5.5 V	2/fsam + 0.2			μs
		1.8 V VDD < 2.7 V	2/fsam + 0.4			μs
TI50入力ハイ・レベル幅, ロウ・レベル幅	tTIH, tTIL	2.7 V VDD 5.5 V	100			ns
		1.8 V VDD < 2.7 V	400			ns
キー入力端子ハイ・レベル幅	tKRIH	KR5	10			μs
キー入力端子ロウ・レベル幅	tKRIL	KR0-KR5	10			μs
割り込み入力ハイ・レベル幅, ロウ・レベル幅	tINTH, tINTL	INTP0, INTP1	10			μs
RESETロウ・レベル幅	tRST		10			μs

備考 fsam : タイマ・カウント・クロック (ただし、タイマ・カウント・クロックとしてTI00, TI01有効エッジを選択した場合はfsam = fx/8となります (図7-1 16ビット・タイマ/イベント・カウンタ0のブロック図参照))

Tcy vs VDD (メイン・システム・クロック)



(2) シリアル・インタフェース2 ($V_{DD} = 1.8 \sim 5.5 \text{ V}$, $T_A = -40 \sim +70$)

(a) 3線式シリアル/Oモード (SCK2...内部クロック)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK2サイクル・タイム	t _{KCY1}	2.7 V V_{DD} 5.5 V	800			ns
		1.8 V $V_{DD} < 2.7 \text{ V}$	3200			ns
SCK2ハイ, ロウ・レベル幅	t _{KH1} ,	2.7 V V_{DD} 5.5 V	t _{KCY1} /2 - 50			ns
	t _{KL1}	1.8 V $V_{DD} < 2.7 \text{ V}$	t _{KCY1} /2 - 150			ns
SI2セット・アップ時間 (対SCK2)	t _{SIK1}	2.7 V V_{DD} 5.5 V	150			ns
		1.8 V $V_{DD} < 2.7 \text{ V}$	500			ns
SI2ホールド時間 (対SCK2)	t _{KSI1}	2.7 V V_{DD} 5.5 V	400			ns
		1.8 V $V_{DD} < 2.7 \text{ V}$	600			ns
SCK2 SO2 出力遅延時間	t _{KSO1}	R = 1kΩ, C = 100 pF ^注 2.7 V V_{DD} 5.5 V	0		250	ns
		1.8 V $V_{DD} < 2.7 \text{ V}$	0		1000	ns

注 R, CはSO2出力ラインの負荷抵抗, 負荷容量です。

(b) 3線式シリアル/Oモード (SCK2...外部クロック)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK2サイクル・タイム	t _{KCY2}	2.7 V V_{DD} 5.5 V	800			ns
		1.8 V $V_{DD} < 2.7 \text{ V}$	3200			ns
SCK2ハイ, ロウ・レベル幅	t _{KH2} ,	2.7 V V_{DD} 5.5 V	400			ns
	t _{KL2}	1.8 V $V_{DD} < 2.7 \text{ V}$	1600			ns
SI2セット・アップ時間 (対SCK2)	t _{SIK2}	2.7 V V_{DD} 5.5 V	100			ns
		1.8 V $V_{DD} < 2.7 \text{ V}$	150			ns
SI2ホールド時間 (対SCK2)	t _{KSI2}	2.7 V V_{DD} 5.5 V	400			ns
		1.8 V $V_{DD} < 2.7 \text{ V}$	600			ns
SCK2 SO2 出力遅延時間	t _{KSO2}	R = 1 kΩ, C = 100 pF ^注 2.7 V V_{DD} 5.5 V	0		300	ns
		1.8 V $V_{DD} < 2.7 \text{ V}$	0		1000	ns

注 R, CはSO2出力ラインの負荷抵抗, 負荷容量です。

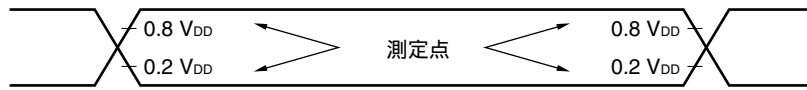
(c) UARTモード (専用ボー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		2.7 V V_{DD} 5.5 V			78125	bps
		1.8 V $V_{DD} < 2.7 \text{ V}$			19531	bps

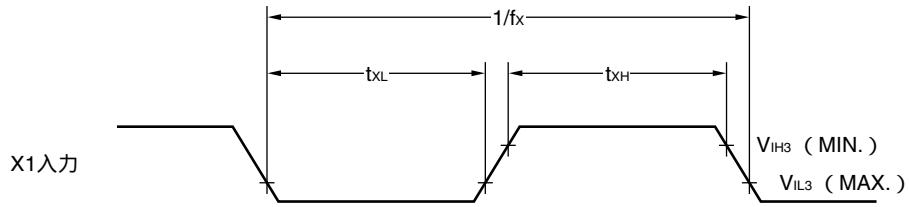
(d) UARTモード (外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ASCK2サイクル・タイム	t _{KCY3}	2.7 V V _{DD} 5.5 V	800			ns
		1.8 V V _{DD} < 2.7 V	3200			ns
ASCK2ハイ, ロウ・レベル幅	t _{KH3} ,	2.7 V V _{DD} 5.5 V	400			ns
	t _{KL3}	1.8 V V _{DD} < 2.7 V	1600			ns
転送レート		2.7 V V _{DD} 5.5 V			39063	bps
		1.8 V V _{DD} < 2.7 V			9766	bps
ASCK2立ち上がり, 立ち下がり時間	t _R , t _F				1	μs

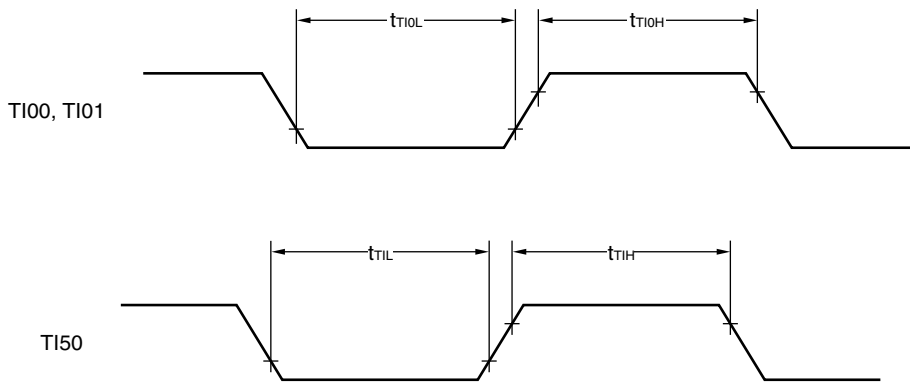
ACタイミング測定点 (X1入力を除く)



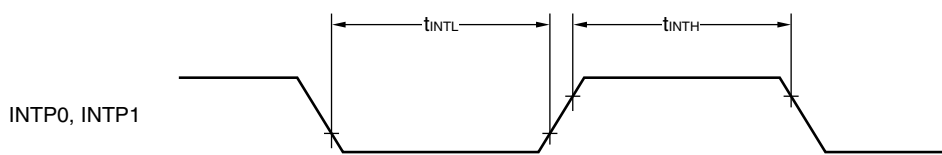
クロック・タイミング



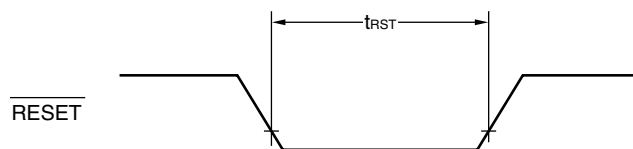
TIタイミング



割り込み入力タイミング

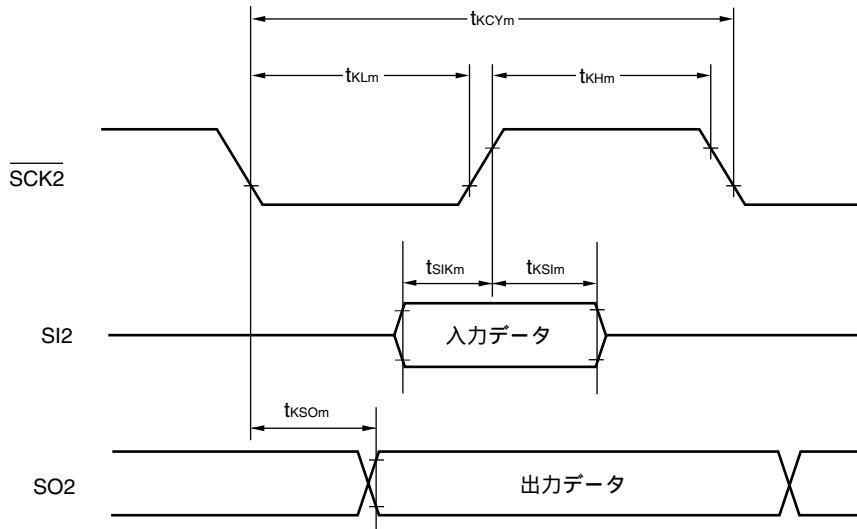


RESET入力タイミング



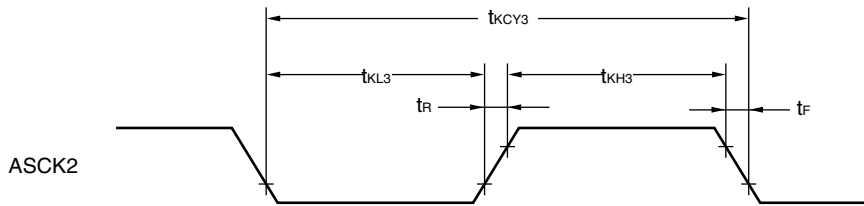
シリアル転送タイミング

3線式シリアルI/Oモード :



備考 $m = 1, 2$

UARTモード (外部クロック入力) :



(3) EEPROM ($T_A = -40 \sim +70$, $V_{DD} = 1.8 \sim 5.5$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
書き込み時間 ^{注1}			3.3		6.6	ms
書き換え回数		バイトごと			注2	回

注1. 書き込み時間 = $T \times 145$ (T: EWCS10-EWCS12で選択したクロックの1周期の時間)

- ★ 2. μ PD78E9862はプログラム開発専用のため、EEPROMの書き換え回数は保証いたしません。

(4) 電源立ち上げ ($T_A = -40 \sim +70$, $V_{DD} = 1.8 \sim 5.5$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源立ち上げ時間1	t_{PTH1}	POC切り替え回路使用 ($V_{DD} : 0$ V 1.8 V)	0.01		100	ms
電源立ち上げ時間2	t_{PTH2}	POC常時使用 ($V_{DD} : 0$ V 1.8 V)	0.01		100	ms

メモリ格納データ保持特性 ($T_A = -40 \sim +70$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V_{DDDR}		1.8		5.5	V
リリース信号セット時間	t_{SREL}		0			μ s

発振ウエイト時間 ($T_A = -40 \sim +70$, $V_{DD} = 1.8 \sim 5.5$ V)

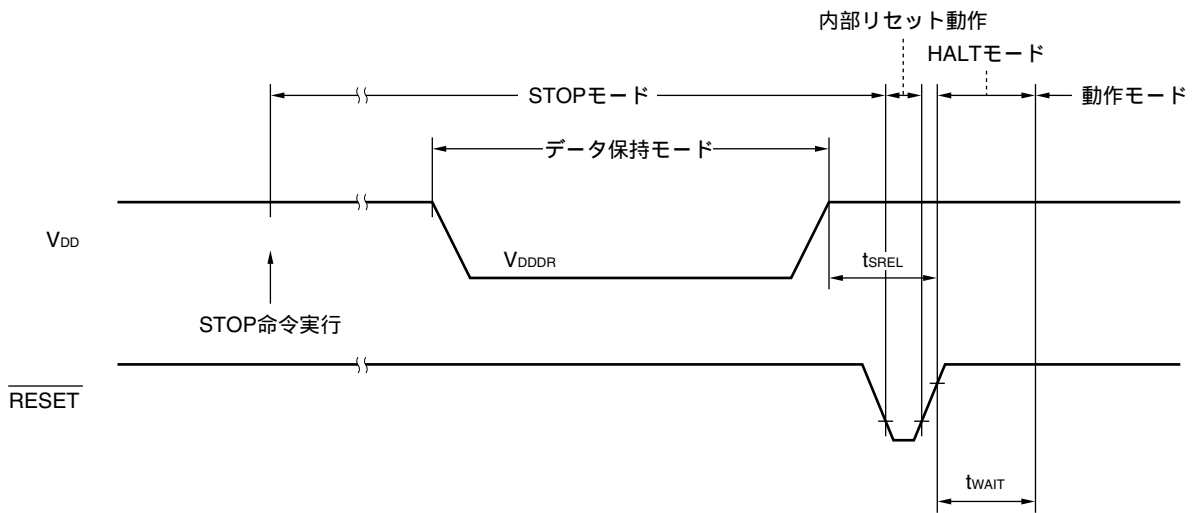
項目	略号	条件	MIN.	TYP.	MAX.	単位
発振安定ウエイト時間 ^{注1}	t_{WAIT}	RESET端子, POCによる解除		$2^{12}/f_x$		s
		割り込みによる解除		注2		s

注1. 発振安定ウエイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

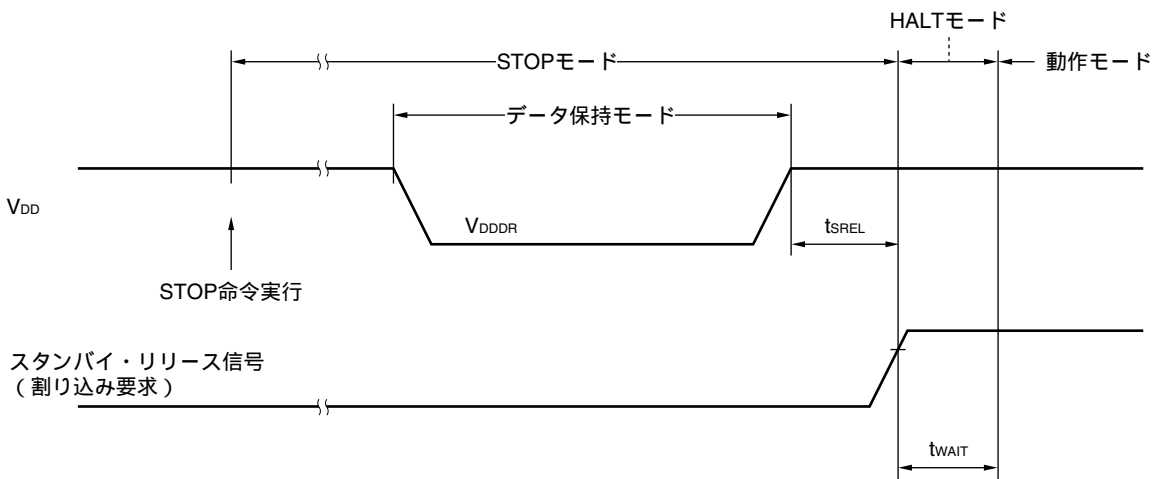
2. 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により、 $2^{12}/f_x$ 、 $2^{15}/f_x$ 、 $2^{17}/f_x$ の選択が可能です。

備考 f_x : システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)

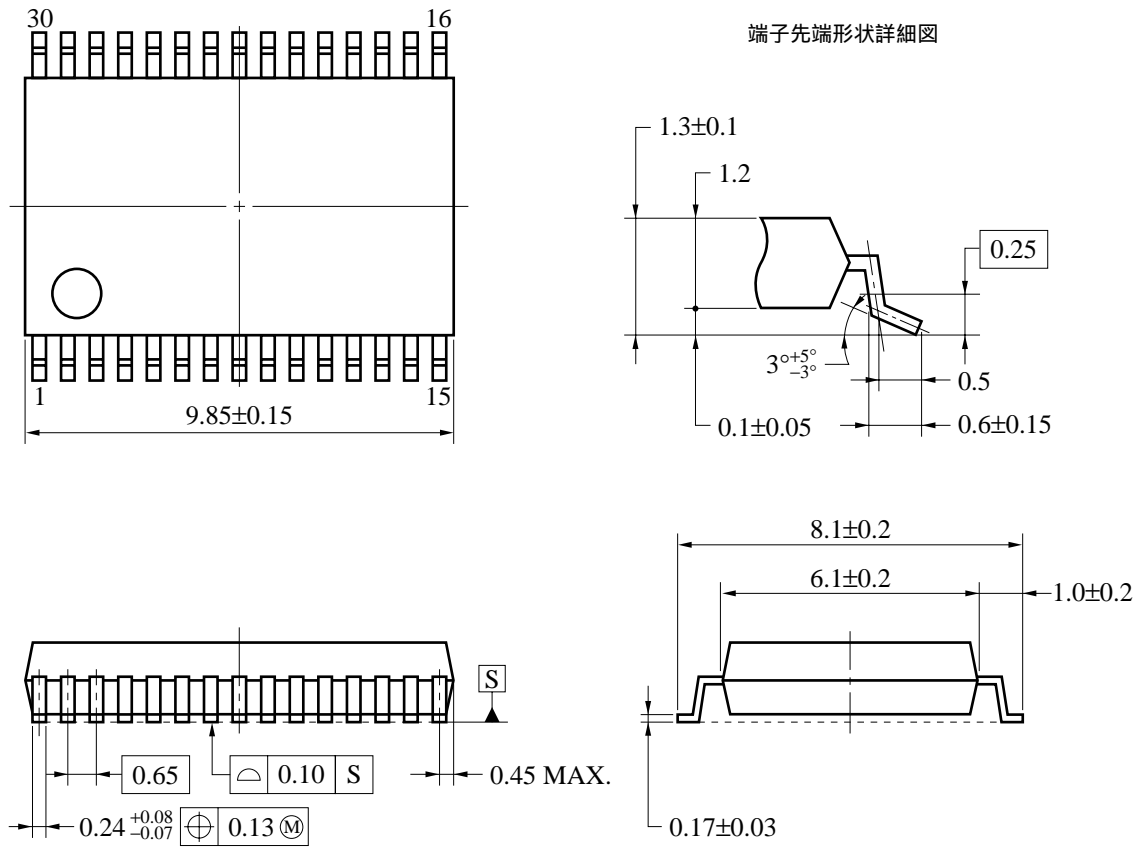


データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



第23章 外形図

30ピン・プラスチック・SSOP (7.62 mm (300)) 外形図 (単位: mm)



S30MC-65-5A4-2

第24章 半田付け推奨条件

μPD789862サブシリーズの半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表24 - 1 表面実装タイプの半田付け条件 (1/2)

(1) μPD789862MC- x x x -5A4 : 30ピン・プラスチックSSOP (7.62 mm (300))

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：2回以内， 制限日数：7日間 ^注 （以降は125℃プリベーク 20時間必要） （留意事項） 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-207-2
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），回数：2回以内， 制限日数：7日間 ^注 （以降は125℃プリベーク 20時間必要） （留意事項） 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-207-2
ウェーブ・ソルダリング	半田槽温度：260℃以下，時間：10秒以内，回数1回， 予備加熱温度：120℃MAX.（パッケージ表面温度）， 制限日数：7日間 ^注 （以降は125℃プリベーク 20時間必要）	WS60-207-1
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイス一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

表24 - 1 表面実装タイプの半田付け条件 (2/2)

(2) μ PD78E9862MC-5A4 : 30ピン・プラスチックSSOP (7.62 mm (300))

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：3回以内， 制限日数：7日間 [※] （以降は125℃プリベーク 10時間必要） （留意事項） 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-107-3
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），回数：3回以内， 制限日数：7日間 [※] （以降は125℃プリベーク 10時間必要） （留意事項） 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-107-3
ウエーブ・ソルダーリング	半田槽温度：260℃以下，時間：10秒以内，回数1回， 予備加熱温度：120℃MAX.（パッケージ表面温度）， 制限日数：7日間 [※] （以降は125℃プリベーク 10時間必要）	WS60-107-1
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイス一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

付録A 開発ツール

μ PD789862サブシリーズを使用するシステム開発のために次のような開発ツールを用意しております。図A - 1に開発ツール構成を示します。

PC98-NXシリーズへの対応について

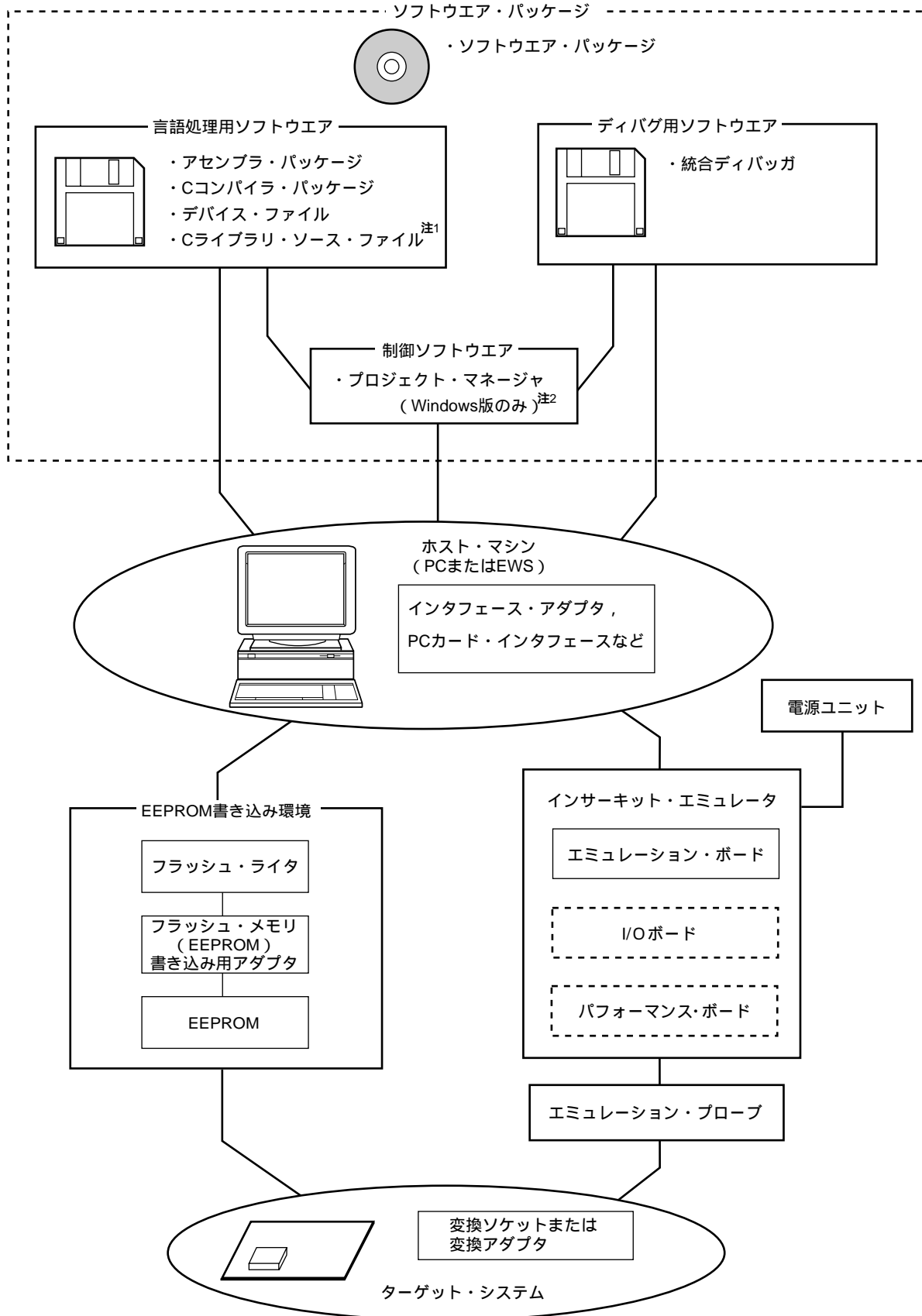
特に断りのないかぎり、IBM PC/ATTM互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

Windowsについて

特に断りのないかぎり、「Windows」は次のOSを示しています。

- ・ Windows 3.1
- ・ Windows 95
- ・ Windows 98
- ・ Windows 2000
- ・ Windows NTTMVersion 4.0

図A-1 開発ツール構成



注1. Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

2. プロジェクト・マネージャは、アセンブラ・パッケージに入っています。
また、Windows以外ではプロジェクト・マネージャは使用しません。

A.1 ソフトウェア・パッケージ

SP78K0S ソフトウェア・パッケージ	78K0Sシリーズ開発用の各種ソフトウェア・ツールを1つにパッケージングしたものです。 次のツールが入っています。 RA78K0S, CC78K0S, ID78K0S-NS, デバイス・ファイル各種 オーダ名称: $\mu S \times \times \times \times$ SP78K0S
-------------------------	---

備考 オーダ名称の $\times \times \times \times$ は、使用するOSにより異なります。

$\mu S \times \times \times \times$ SP78K0S

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.2 言語処理用ソフトウェア

RA78K0S アセンブラ・パッケージ	ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。別売のデバイス・ファイル (DF789862) と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: $\mu S \times \times \times \times$ RA78K0S
CC78K0S Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージ (RA78K0S) およびデバイス・ファイル (DF789862) と組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: $\mu S \times \times \times \times$ CC78K0S
DF789862 ^{注1} デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のRA78K0S, CC78K0S, ID78K0S-NSと組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ DF789862
CC78K0S-L ^{注2} Cライブラリ・ソース・ファイル	Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。 Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。 ソース・ファイルのため、動作環境はOSに依存しません。 オーダ名称: $\mu S \times \times \times \times$ CC78K0S-L

注1. DF789862は、RA78K0S, CC78K0Sのすべての製品に共通に使用できます。

2. CC78K0S-Lは、ソフトウェア・パッケージ (SP78K0S) には含まれていません。

備考 オータ名称の××××は、使用するホスト・マシン，OSにより異なります。

μS××××RA78K0S

μS××××CC78K0S

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700™	HP-UX™ (Rel.10.10)	
3K17	SPARCstation™	SunOS™ (Rel.4.1.4) ， Solaris™ (Rel.2.5.1)	

μS××××DF789862

μS××××CC78K0S-L

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT
3K13	SPARCstation	SunOS (Rel.4.1.4) ，	3.5インチ2HD FD
3K15		Solaris (Rel.2.5.1)	1/4インチCGMT

A. 3 制御ソフトウェア

プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。プロジェクト・マネージャ上から、エディタの起動、ビルド、ディバッガの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> プロジェクト・マネージャはアセンブラ・パッケージ (RA78K0S) の中に入っています。 Windows以外の環境では使用できません。
--------------	--

A. 4 EEPROM (プログラム・メモリ) 書き込み用ツール

Flashpro (型番FL-PR3, PG-FP3) Flashpro (型番FL-PR4, PG-FP4) フラッシュ・ライター	フラッシュ・メモリ (EEPROM) 内蔵マイコン専用のフラッシュ・ライターです。
FA-30MC フラッシュ・メモリ (EEPROM) 書き込み用アダプタ	フラッシュ・メモリ (EEPROM) 書き込み用アダプタです。Flashpro /Flashpro に接続して使用します。

備考 FL-PR3, FL-PR4, FA-30MCは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

A.5 ディバグ用ツール

A.5.1 ハードウェア

IE-78K0S-NS インサーキット・エミュレータ	78K/0Sシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのインサーキット・エミュレータです。統合ディバグ（ID78K0S-NS）に対応しています。電源ユニット、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-78K0S-NS-A インサーキット・エミュレータ	IE-78K0S-NSの機能を拡張したインサーキット・エミュレータです。 カバレッジ機能が追加され、トレーサ機能、タイマ機能が強化されるなど、ディバグ機能がより強化されます。
IE-70000-MC-PS-B 電源ユニット	AC100～240Vのコンセントから電源を供給するためのアダプタです。
IE-70000-98-IF-C インタフェース・アダプタ	IE-78K0S-NSのホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときに必要なアダプタです（Cバス対応）。
IE-70000-CD-IF-A PCカード・インタフェース	IE-78K0S-NSのホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブルです（PCMCIAソケット対応）。
IE-70000-PC-IF-C インタフェース・アダプタ	IE-78K0S-NSのホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです（ISAバス対応）。
IE-70000-PCI-IF-A インタフェース・アダプタ	IE-78K0S-NSのホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。
IE-789862-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。インサーキット・エミュレータと組み合わせて使用します。
NP-30MC エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。 NSPACK30BK, YSPACK30BKと組み合わせて使用します。
NSPACK30BK YSPACK30BK 変換アダプタ	30ピン・プラスチックSSOPを実装できるように作られたターゲット・システムの基板とNP-30MCを接続するための変換アダプタです。

備考1. NP-30MCは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（TEL（045）475-4191）

2. NSPACK30BK, YSPACK30BKは、東京エレクトック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部（TEL（03）3820-7112）

大阪電子部（TEL（06）6244-6672）

A. 5.2 ソフトウェア

ID78K0S-NS 統合ディバッガ (インサーキット・エミュレータ IE-78K0S-NS, IE-78K0S-NS-A 対 応)	78K/0Sシリーズをディバグするためのコントロール・プログラムです。 グラフィカル・ユーザ・インタフェースとしてWindowsを採用し、それらに準拠した外観と操作性を提供しています。また、C言語対応のディバグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をC言語レベルで表示させることも可能です。その他、タスク・ディバッガやシステム・パフォーマンス・アナライザなどの機能拡張モジュールを取り込むことにより、リアルタイムOSを使用したプログラムのディバグ効率を向上させることができます。 別売のデバイス・ファイル (DF789862) と組み合わせて使用します。 オーダ名称: μ S × × × × ID78K0S-NS
--	--

備考 オーダ名称の × × × × は、使用するホスト・マシン、OSにより異なります。

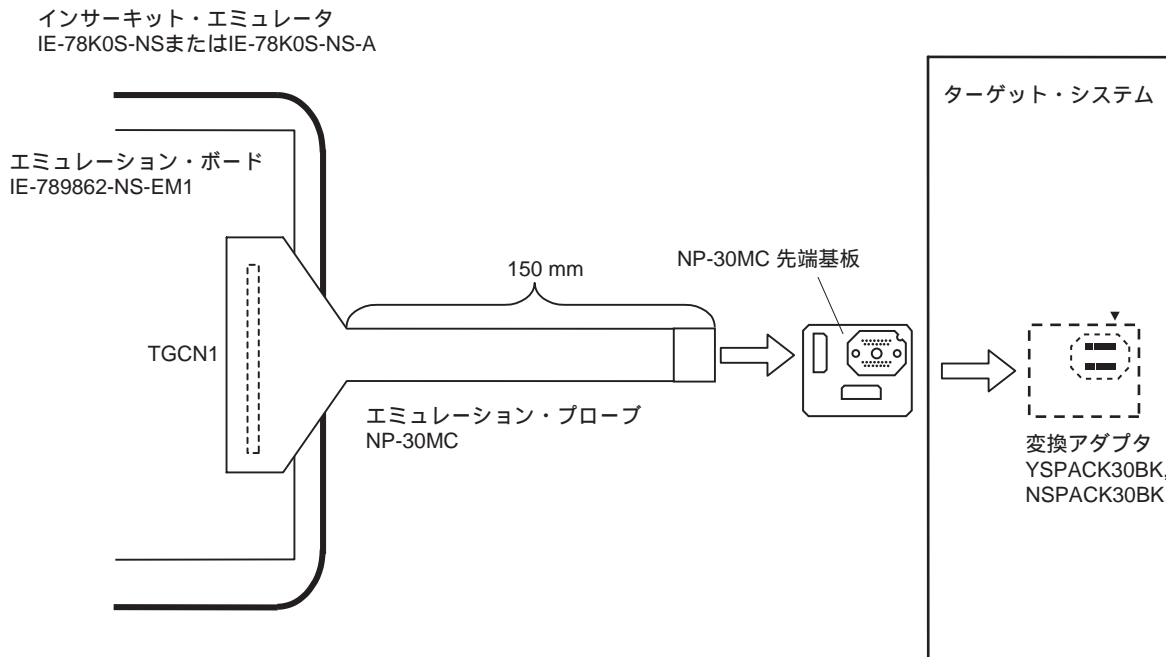
μ S × × × × ID78K0S-NS

× × × ×	ホスト・マシン	OS	供給媒体
AB13	IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	

A.6 ターゲット・システム設計上の注意

エミュレーション・プローブと変換アダプタとの接続条件図を以下に示します。ターゲット・システム上に実装する部品の形状などを考慮したうえで、この構成によってシステム設計をしてください。

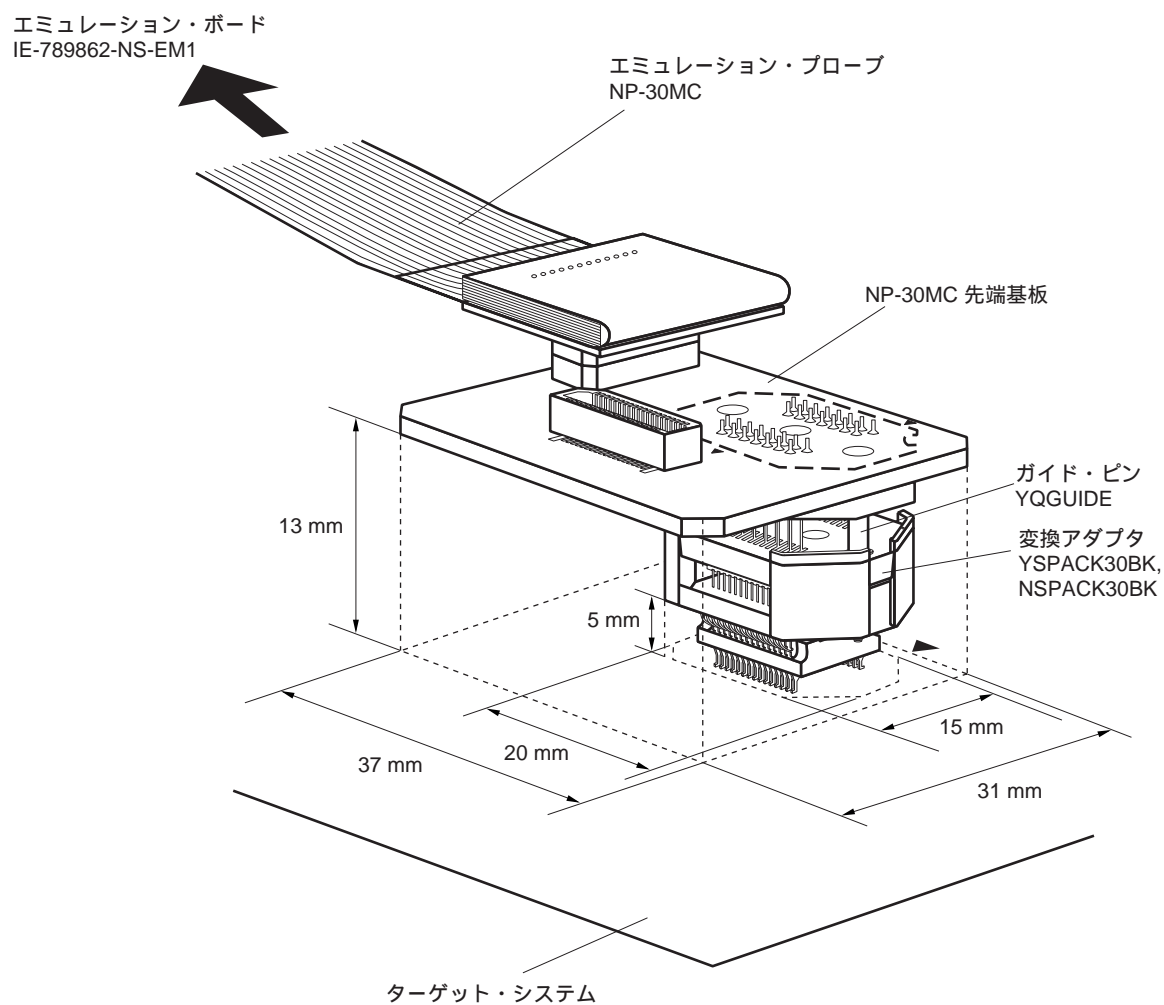
図A-2 インサーキット・エミュレータから変換アダプタまでの距離



備考 NP-30MCは、株式会社内藤電誠町田製作所の製品です。

YSPACK30BK, NSPACK30BKは、東京エレテック株式会社の製品です。

図A-3 ターゲット・システムの接続条件



備考 NP-30MCは、株式会社内藤電誠町田製作所の製品です。

YSPACK30BK, NSPACK30BK, YQGUIDEは、東京エレクトック株式会社の製品です。

付録B レジスタ索引

B.1 レジスタ索引 (50音順)

【あ行】

- アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2 (ASIS2) ... 155, 163
- アシンクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2) ... 153, 160, 162, 175
- EEPROMライト・コントロール・レジスタ10 (EEWC10) ... 62
- ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ... 143
- ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ... 144

【か行】

- 外部割り込みモード・レジスタ0 (INTM0) ... 203
- キー・リターン・エッジ検出レジスタ (EDG) ... 196
- キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) ... 97

【さ行】

- 16ビット・コンペア・レジスタD (CMD) ... 121
- 16ビット・タイマ・カウンタ0 (TM0) ... 93
- 16ビット・タイマ・カウンタD (TMD) ... 120
- 16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) ... 93
- 16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) ... 94
- 16ビット・タイマ出力コントロール・レジスタ0 (TOC0) ... 98
- 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) ... 95
- 16ビット・タイマ・モード・コントロール・レジスタD (TMCD) ... 123
- 受信バッファ・レジスタ2 (RXB2) ... 151
- シリアル動作モード・レジスタ2 (CSIM2) ... 152, 159, 161, 174
- 送信シフト・レジスタ2 (TXS2) ... 151

【た行】

- タイマ・クロック選択レジスタ5 (TCL5) ... 129
- 低電圧検出レジスタ (LVIF) ... 183
- 低電圧検出レベル選択レジスタ (LVIS) ... 183

【は行】

- 8ビット・タイマ・カウンタ5 (TM5) ... 128
- 8ビット・タイマ・カウンタ80 (TM80) ... 64
- 8ビット・タイマ・コンペア・レジスタ5 (CR5) ... 128
- 8ビット・タイマ・コンペア・レジスタ80 (CR80) ... 64
- 8ビット・タイマ・モード・コントロール・レジスタ5 (TMC5) ... 130

8ビット・タイマ・モード・コントロール・レジスタ80 (TMC80) ...	65
発振安定時間選択レジスタ (OSTS) ...	212
パワーオン・クリア・レジスタ (POCF) ...	182
ビット・シーケンシャル・バッファ1出力コントロール・レジスタ (BSF1C) ...	190
ビット・シーケンシャル・バッファ1データ・レジスタL, H (BSFRL10, BSFRH10) ...	189
プリスケラ・モード・レジスタ0 (PRM0) ...	99
ブルアップ抵抗オプション・レジスタ0-3 (PUB0-PUB3) ...	82
プロセッサ・クロック・コントロール・レジスタ (PCC) ...	85
ポー・レート・ジェネレータ・コントロール・レジスタ2 (BRGC2) ...	156, 164, 176
ポート・モード・レジスタ0 (PM0) ...	81
ポート・モード・レジスタ1 (PM1) ...	81
ポート・モード・レジスタ2 (PM2) ...	81, 100, 131, 190
ポート・モード・レジスタ3 (PM3) ...	81, 166, 177
ポート0 (P0) ...	71
ポート1 (P1) ...	72
ポート2 (P2) ...	73
ポート3 (P3) ...	76
ポート4 (P4) ...	79
ポート7 (P7) ...	80

[わ行]

割り込みマスク・フラグ・レジスタ0, 1 (MK0, MK1) ...	202
割り込み要求フラグ・レジスタ0, 1 (IF0, IF1) ...	201

B.2 レジスタ索引 (アルファベット順)

[A]

- ASIM2 : アシクロナス・シリアル・インタフェース・モード・レジスタ2 ... 153, 160, 162, 175
ASIS2 : アシクロナス・シリアル・インタフェース・ステータス・レジスタ2 ... 155, 163

[B]

- BRGC2 : ボー・レート・ジェネレータ・コントロール・レジスタ2 ... 156, 164, 176
BSF1C : ビット・シーケンシャル・バッファ1出力コントロール・レジスタ ... 190
BSFRL10, : ビット・シーケンシャル・バッファ1データ・レジスタL, H ... 189
BSFRH10

[C]

- CMD : 16ビット・コンペア・レジスタD ... 121
CR00 : 16ビット・タイマ・キャプチャ/コンペア・レジスタ00 ... 93
CR01 : 16ビット・タイマ・キャプチャ/コンペア・レジスタ01 ... 94
CR5 : 8ビット・タイマ・コンペア・レジスタ5 ... 128
CR80 : 8ビット・タイマ・コンペア・レジスタ80 ... 64
CRC0 : キャプチャ/コンペア・コントロール・レジスタ0 ... 97
CSIM2 : シリアル動作モード・レジスタ2 ... 152, 159, 161, 174

[E]

- EDG : キー・リターン・エッジ検出レジスタ ... 196
EEWC10 : EEPROMライト・コントロール・レジスタ10 ... 62

[I]

- IF0, IF1 : 割り込み要求フラグ・レジスタ0, 1 ... 201
INTM0 : 外部割り込みモード・レジスタ0 ... 203

[L]

- LVIF : 低電圧検出レジスタ ... 183
LVIS : 低電圧検出レベル選択レジスタ ... 183

[M]

- MK0, MK1 : 割り込みマスク・フラグ・レジスタ0, 1 ... 202

[O]

- OSTS : 発振安定時間選択レジスタ ... 212

[P]

- P0 : ポート0 ... 71
P1 : ポート1 ... 72
P2 : ポート2 ... 73

P3	: ポート3 ...	76
P4	: ポート4 ...	79
P7	: ポート7 ...	80
PCC	: プロセッサ・クロック・コントロール・レジスタ ...	85
PM0	: ポート・モード・レジスタ0 ...	81
PM1	: ポート・モード・レジスタ1 ...	81
PM2	: ポート・モード・レジスタ2 ...	81, 100, 131, 190
PM3	: ポート・モード・レジスタ3 ...	81
POCF	: パワーオン・クリア・レジスタ ...	182
PRM0	: プリスケーラ・モード・レジスタ0 ...	99
PUB0-PUB3	: プルアップ抵抗オプション・レジスタ0-3 ...	82

[R]

RXB2	: 受信バッファ・レジスタ2 ...	151
------	--------------------	-----

[T]

TCL5	: タイマ・クロック選択レジスタ5 ...	129
TM0	: 16ビット・タイマ・カウンタ0 ...	93
TM5	: 8ビット・タイマ・カウンタ5 ...	128
TM80	: 8ビット・タイマ・カウンタ80 ...	64
TMC0	: 16ビット・タイマ・モード・コントロール・レジスタ0 ...	95
TMC5	: 8ビット・タイマ・モード・コントロール・レジスタ5 ...	130
TMC80	: 8ビット・タイマ・モード・コントロール・レジスタ80 ...	65
TMCD	: 16ビット・タイマ・モード・コントロール・レジスタD ...	123
TMD	: 16ビット・タイマ・カウンタD ...	120
TOC0	: 16ビット・タイマ出力コントロール・レジスタ0 ...	98
TXS2	: 送信シフト・レジスタ2 ...	151

[W]

WDCS	: ウォッチドッグ・タイマ・クロック選択レジスタ ...	143
WDTM	: ウォッチドッグ・タイマ・モード・レジスタ ...	144

付録C 改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/3)

版 数	前版からの改版内容	適用箇所
第2版	1. 5 78K/0Sシリーズの展開 更新	第1章 概 説
	表2 - 1 各端子の入出力回路タイプと未使用端子の処理 記述変更	第2章 端子機能
	図2 - 1 端子の入出力回路一覧 記述変更	
	4. 5 EEPROM書き込み時の注意事項 記述追加	第4章 EEPROM (データ・メモリ)
	図9 - 2 タイマ・クロック選択レジスタ5(TCL5)のフォーマット 記述変更	第9章 8ビット・タイマ / イベント・カウンタ5
	図12 - 5 低電圧検出レベル選択レジスタのフォーマット 記述修正	第12章 パワーオン・クリア回路
	図15 - 2 割り込み要求フラグ・レジスタのフォーマット 注意追加	第15章 割り込み機能
	18. 1 EEPROM (プログラム・メモリ) 記述変更および追加	第18章 μ PD78E9862
	記述変更および追加	第21章 電気的特性 (ターゲット)
	A. 4 EEPROM (プログラム・メモリ) 書き込み用ツール 記述追加	付録A 開発ツール
	章を追加	付録C 改版履歴
第3版	・ μ PD789862 開発中 開発済み ・ μ PD78E9862はES製品 (開発評価用) のみ	全般
	・ 1. 5 78K/0Sシリーズの展開 更新 ・ 1. 7 機能概要 動作周囲温度の記述を変更	第1章 概 説
	・ 2. 1 (2) ポート以外の端子 V_{PP} 端子の記述を変更 ・ 2. 2. 13 V_{PP} (μ PD78E9862のみ) 記述を変更 ・ 表2 - 1 各端子の入出力回路タイプと未使用端子の処理 V_{PP} 端子の記述を変更	第2章 端子機能
	3. 4. 4 レジスタ・アドレッシング 【記 述 例】を修正	第3章 CPUアーキテクチャ

版 数	前版からの主な改版内容	適用箇所
第3版	<ul style="list-style-type: none"> ・表7 - 1 16ビット・タイマ/イベント・カウンタ0の構成 記述追加 ・図7 - 1 16ビット・タイマ/イベント・カウンタ0のブロック図 修正 ・7. 2(2)16ビット・タイマ・キャプチャ/コンペア・レジスタ0(CR00) 注意を修正 ・7. 2(3)16ビット・タイマ・キャプチャ/コンペア・レジスタ01(CR01) 注意を修正 ・7. 3 16ビット・タイマ/イベント・カウンタ0を制御するレジスタ 記述追加 ・図7 - 2 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)のフォーマット 注意を修正 ・図7 - 5 プリスケラ・モード・レジスタ0 (PRM0)のフォーマット 注意を追加 ・7. 3(5)ポート・モード・レジスタ2 (PM2) 記述追加 ・図7 - 8 インターバル・タイマの構成図 注を追加 ・図7 - 10 PPG出力動作時の制御レジスタ設定内容 注意を修正 ・図7 - 11 PPG出力の構成図 追加 ・図7 - 12 PPG出力動作のタイミング 追加 ・図7 - 15 フリー・ランニング・カウンタとキャプチャ・レジスタ1 本によるパルス幅測定動作のタイミング(両エッジ指定時) 注を追加 ・図7 - 18 フリー・ランニング・カウンタによるパルス幅測定動作のタイミング(両エッジ指定時) 注を追加 ・図7 - 20 フリー・ランニング・カウンタとキャプチャ・レジスタ2 本によるパルス幅測定動作のタイミング(立ち上がりエッジ指定時) 注を追加 ・図7 - 24 外部イベント・カウンタの構成図 修正 ・7. 5(4)キャプチャ・レジスタのデータ保持タイミング 記述修正 ・図7 - 30 キャプチャ・レジスタのデータ保持タイミング 修正 	第7章 16ビット・タイマ/イベント・カウンタ0
	<ul style="list-style-type: none"> ・図9 - 1 8ビット・タイマ/イベント・カウンタ5のブロック図 修正 ・表9 - 1 8ビット・タイマ/イベント・カウンタ5の構成 記述追加 ・9. 2(2)8ビット・タイマ・コンペア・レジスタ5 (CR5) 記述追加 ・9. 3 8ビット・タイマ/イベント・カウンタ5を制御するレジスタ 記述追加 ・図9 - 2 タイマ・クロック選択レジスタ5 (TCL5)のフォーマット 変更 ・9. 3(3)ポート・モード・レジスタ2 (PM2) 記述追加 ・図9 - 5 インターバル・タイマ動作のタイミング 修正 ・図9 - 8 PWM出力の動作タイミング 備考を追加 	第9章 8ビット・タイマ/イベント・カウンタ5

版 数	前版からの主な改版内容	適用箇所
第3版	<ul style="list-style-type: none"> ・表11 - 1 シリアル・インタフェース2の構成 記述追加 ・11.3 シリアル・インタフェース2を制御するレジスタ 記述追加 ・11.4.2(1)(e) ポート・モード・レジスタ3 (PM3) 追加 ・11.4.3(1)(d) ポート・モード・レジスタ3 (PM3) 追加 	第11章 シリアル・インタフェース2
	<ul style="list-style-type: none"> ・図12 - 1 パワーオン・クリア回路のブロック図 修正 ・図12 - 2 低電圧検出回路のブロック図 修正 	第12章 パワーオン・クリア回路
	記述変更	第18章 μ PD78E9862
	<ul style="list-style-type: none"> ・推奨発振回路定数 追加 ・DC特性 ハイ・レベル入力電圧, 電源電流を変更 ・AC特性(4) 電源立ち上げ 変更 	第21章 電気的特性 (μ PD789862)
	<ul style="list-style-type: none"> ・絶対最大定格 動作周囲温度を変更 ・推奨発振回路定数 追加 ・DC特性 ハイ・レベル入力電圧を変更 ・AC特性(4) 電源立ち上げ 変更 	第22章 電気的特性 (暫定) (μ PD78E9862)
	章を追加	第24章 半田付け推奨条件
	<ul style="list-style-type: none"> ・A.5.1 ハードウェア 記述変更 ・A.6 ターゲット・システム設計上の注意 追加 	付録A 開発ツール
第4版	<ul style="list-style-type: none"> ・1.3 オータ情報 注を修正 ・1.5 78K/0Sシリーズの展開 更新 	第1章 概 説
	<ul style="list-style-type: none"> ・表4 - 1 EEPROMの書き込み時間 修正 ・4.5 EEPROM書き込み時の注意事項 (3)のプログラム例を修正 	第4章 EEPROM (データ・メモリ)
	7.5(2) タイマ・カウント動作中のコンペア・レジスタの変更禁止について 追加	第7章 16ビット・タイマ / イベント・カウンタ0
	11.3(4)(c) システム・クロックによる3線式シリアルI/Oモードのシリアル・クロックの生成 追加	第11章 シリアル・インタフェース2
	<ul style="list-style-type: none"> ・12.4.1 パワーオン・クリア (POC) 回路の動作 記述修正, 注を追加 ・12.4.2 低電圧検出回路 (LVI) の動作 注意を追加 ・図12 - 9 LVI回路の動作タイミング 修正 	第12章 パワーオン・クリア回路
	13.3(2) ポート・モード・レジスタ2 (PM2) 追加	第13章 ビット・シーケンシャル・バッファ
	<ul style="list-style-type: none"> ・表18 - 1 μ PD78E9862とマスクROM製品の違い 注1を修正 ・表18 - 2 通信方式一覧 変更 	第18章 μ PD78E9862
	<ul style="list-style-type: none"> ・注意を追加 ・AC特性(3) EEPROM 注2を修正 	第22章 電気的特性 (μ PD78E9862)
表24 - 1 表面実装タイプの半田付け条件 変更	第24章 半田付け推奨条件	

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクス特約店へお申し付けください。
