

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザース・マニュアル

# $\mu$ PD789830サブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

---

$\mu$ PD789830

$\mu$ PD78F9831

(メモ)

## 目次要約

第1章	概 説	...	21
第2章	端子機能	...	33
第3章	CPUアーキテクチャ	...	46
第4章	ポート機能	...	68
第5章	クロック発生回路	...	85
第6章	16ビット・タイマ40	...	97
第7章	8ビット・タイマ00	...	104
第8章	時計用タイマ	...	110
第9章	ウォッチドッグ・タイマ	...	115
第10章	クロック出力回路	...	121
第11章	シリアル・インタフェースUART00	...	126
第12章	LCDコントローラ/ドライバ	...	146
第13章	割り込み機能	...	156
第14章	スタンバイ機能	...	172
第15章	リセット機能	...	179
第16章	$\mu$ PD78F9831	...	182
第17章	命令セットの概要	...	190
第18章	電気的特性	...	201
第19章	外形図	...	214
第20章	半田付け推奨条件	...	215
付録A	開発ツール	...	216
付録B	レジスタ索引	...	223
付録C	改版履歴	...	227

## CMOSデバイスの一般的注意事項

### 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

FIPIは、NECエレクトロニクスの登録商標です。

EEPROMは、NECエレクトロニクスの商標です。

WindowsおよびWindowsNTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700、HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

**本製品のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。**

非該当品：μ PD78F9831

ユーザ判定品：μ PD789830

- 本資料に記載されている内容は2005年8月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

(1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。

(2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E 02.11

## 本版で改訂された主な箇所

箇 所	内 容
U13679JJ1V0UD00	U13679JJ2V0UD00
p.32	1.7 機能概要にタイムの説明を追加
p.41	2.3.14 $V_{PP}$ に端子処理の説明を追加
p.42	表2 - 1 各端子の入出力回路タイプと未使用端子の処理 ( $\mu$ PD789830) を修正
p.43	表2 - 2 各端子の入出力回路タイプと未使用端子の処理 ( $\mu$ PD78F9831) を修正
p.88	5.3 (2) サブ発振モード・レジスタ (SCKM) に注を追加
p.98	6.2 (1) 16ビット・コンペア・レジスタ40 (CR40) に注意を追加
p.100	6.4.1 インターバル・タイマとしての動作に注意を追加
p.106	7.3 8ビット・タイマ00を制御するレジスタに説明を追加
p.118	9.3 (2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM) の注意を修正
p.182	第16章 $\mu$ PD78F9831の内容を全面改訂
p.201	第18章 電気的特性を追加
p.214	第19章 外形図を追加
p.215	第20章 半田付け推奨条件を追加
p.216	付録A 開発ツールの内容を全面改訂
p.227	付録C 改版履歴を追加
旧版 p.209	付録B 組み込み用ソフトウェアを削除
U13679JJ2V0UD00	U13679JJ2V1UD00
p.22	1.3 オータ情報に鉛フリー製品を追加
p.215	第20章 半田付け推奨条件に鉛フリー製品を追加

本文欄外の★印は、本版で改訂された主な箇所を示しています。

# はじめに

**対象者** このマニュアルは $\mu$ PD789830サブシリーズの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

・ $\mu$ PD789830サブシリーズ： $\mu$ PD789830, 78F9831

**目的** このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

**構成**  $\mu$ PD789830サブシリーズのマニュアルは、このマニュアルと命令編（78K/0Sシリーズ共通）の2冊に分かれています。

μPD789830サブシリーズ  ユーザーズ・マニュアル	78K/0Sシリーズ ユーザーズ・マニュアル 命令編
端子機能	CPU機能
内部ブロック機能	命令セット
割り込み	命令の説明
その他の内蔵周辺機能	
電気的特性	

**読み方** このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

一通りの機能を理解しようとするとき

目次に従って読んでください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がアセンブラでは予約語に、Cコンパイラではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。

レジスタ名が分かっているレジスタの詳細を確認するとき

**付録B レジスタ索引**を利用してください。

78K/0Sシリーズの命令機能の詳細を知りたいとき

別冊の**78K/0Sシリーズ ユーザーズ・マニュアル 命令編 (U11047J)**を参照してください。

$\mu$ PD789830サブシリーズの電気的特性を知りたいとき

**第18章 電気的特性**を参照してください。

<b>凡例</b>	データ表記の重み	: 左が上位桁, 右が下位桁
	アクティブ・ロウの表記	: $\overline{\text{xxx}}$ (端子, 信号名称に上線)
	注	: 本文中につけた注の説明
	注意	: 気をつけて読んでいただきたい内容
	備考	: 本文の補足説明
	数の表記	: 2進数... $\text{xxx}$ または $\text{xxx}$ B
		10進数... $\text{xxx}$
		16進数... $\text{xxx}$ H

- ★ **関連資料** 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

#### デバイスの関連資料

資料名	資料番号	
	和文	英文
μ PD789830サブシリーズ ユーザーズ・マニュアル	このマニュアル	U13679E
78K/0Sシリーズ ユーザーズ・マニュアル 命令編	U11047J	U11047E

#### 開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号		
	和文	英文	
RA78K0S アセンブラ・パッケージ	操作編	U14876J	U14876E
	言語編	U14877J	U14877E
	構造化アセンブリ言語編	U11623J	U11623E
CC78K0S Cコンパイラ	操作編	U14871J	U14871E
	言語編	U14872J	U14872E
SM78K0S, SM78K0 システム・シミュレータ Ver.2.10以上	操作編（Windows®ベース）	U14611J	U14611E
SM78Kシリーズ システム・シミュレータ Ver.2.10以上	外部部品ユーザ・オープン・ インタフェース仕様編	U15006J	U15006E
ID78K0-NS, ID78K0S-NS 統合デバッグ Ver.2.20以上	操作編（Windowsベース）	U14910J	U14910E
プロジェクト・マネージャ Ver.3.12以上（Windowsベース）		U14610J	U14610E

#### 開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号	
	和文	英文
IE-78K0S-NS インサーキット・エミュレータ	U13549J	U13549E
IE-78K0S-NS-A インサーキット・エミュレータ	U15207J	U15207E
IE-789831-NS-EM1 エミュレーション・ボード	U14202J	U14202E

#### フラッシュ・メモリ書き込み用の資料

資料名	資料番号	
	和文	英文
PG-FP3 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U13502J	U13502E

**注意** 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

## その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE - Products and Packages -	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

# 目 次

<b>第1章 概 説</b> ...	21
1.1 特 徴 ...	21
1.2 応用分野 ...	21
1.3 オーダ情報 ...	22
1.4 端子接続図 (Top View) ...	23
1.5 78K/0Sシリーズの展開 ...	28
1.6 ブロック図 ...	31
1.7 機能概要 ...	32
<b>第2章 端子機能</b> ...	33
2.1 端子機能一覧 ...	33
2.2 端子機能の説明 ( $\mu$ PD789830) ...	36
2.2.1 P00-P07 (Port0) ...	36
2.2.2 P10, P11 (Port1) ...	36
2.2.3 P20-P26 (Port2) ...	36
2.2.4 P30-P34 (Port3) ...	37
2.2.5 P50-P57 (Port5) ...	37
2.2.6 S0-S31 ...	37
2.2.7 COM0-COM15 ...	37
2.2.8 $\overline{\text{RESET}}$ ...	37
2.2.9 X1, X2 ...	37
2.2.10 XT1, XT2 ...	37
2.2.11 $V_{DD0}$ , $V_{DD1}$ ...	37
2.2.12 $V_{SS0}$ , $V_{SS1}$ ...	37
2.2.13 IC0 ...	38
2.3 端子機能の説明 ( $\mu$ PD78F9831) ...	39
2.3.1 P00-P07 (Port0) ...	39
2.3.2 P10-P17 (Port1) ...	39
2.3.3 P20-P26 (Port2) ...	39
2.3.4 P30-P34 (Port3) ...	40
2.3.5 P40, P41 (Port4) ...	40
2.3.6 P50-P57 (Port5) ...	40
2.3.7 S0-S31 ...	40
2.3.8 COM0-COM15 ...	40
2.3.9 $\overline{\text{RESET}}$ ...	40
2.3.10 X1, X2 ...	40
2.3.11 XT1, XT2 ...	40
2.3.12 $V_{DD0}$ , $V_{DD1}$ ...	41
2.3.13 $V_{SS0}$ , $V_{SS1}$ ...	41
2.3.14 $V_{PP}$ ...	41
2.3.15 IC0 ...	41

- 2.3.16 IC2 ... 41
- 2.3.17 NC ... 41
- 2.4 端子の入出力回路と未使用端子の処理 ... 42

## 第3章 CPUアーキテクチャ ... 46

- 3.1 メモリ空間 ... 46
  - 3.1.1 内部プログラム・メモリ空間 ... 48
  - 3.1.2 内部データ・メモリ空間 ... 49
  - 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 49
  - 3.1.4 データ・メモリ・アドレッシング ... 50
- 3.2 プロセッサ・レジスタ ... 52
  - 3.2.1 制御レジスタ ... 52
  - 3.2.2 汎用レジスタ ... 55
  - 3.2.3 特殊機能レジスタ (SFR) ... 56
- 3.3 命令アドレスのアドレッシング ... 59
  - 3.3.1 レラティブ・アドレッシング ... 59
  - 3.3.2 イミディエト・アドレッシング ... 60
  - 3.3.3 テーブル・インダイレクト・アドレッシング ... 61
  - 3.3.4 レジスタ・アドレッシング ... 61
- 3.4 オペランド・アドレスのアドレッシング ... 62
  - 3.4.1 ダイレクト・アドレッシング ... 62
  - 3.4.2 ショート・ダイレクト・アドレッシング ... 63
  - 3.4.3 特殊機能レジスタ (SFR) アドレッシング ... 64
  - 3.4.4 レジスタ・アドレッシング ... 65
  - 3.4.5 レジスタ・インダイレクト・アドレッシング ... 66
  - 3.4.6 ベースト・アドレッシング ... 67
  - 3.4.7 スタック・アドレッシング ... 67

## 第4章 ポート機能 ... 68

- 4.1 ポートの機能 ... 68
- 4.2 ポートの構成 ... 71
  - 4.2.1 ポート0 ... 72
  - 4.2.2 ポート1 :  $\mu$ PD789830 ... 73
  - 4.2.3 ポート1 :  $\mu$ PD78F9831 ... 74
  - 4.2.4 ポート2 ... 75
  - 4.2.5 ポート3 ... 78
  - 4.2.6 ポート4 :  $\mu$ PD78F9831 ... 79
  - 4.2.7 ポート5 ... 80
- 4.3 ポート機能を制御するレジスタ ... 81
- 4.4 ポート機能の動作 ... 84
  - 4.4.1 入出力ポートへの書き込み ... 84
  - 4.4.2 入出力ポートからの読み出し ... 84
  - 4.4.3 入出力ポートでの演算 ... 84

## 第5章 クロック発生回路 ... 85

- 5.1 クロック発生回路の機能 ... 85

5.2	クロック発生回路の構成	...	85
5.3	クロック発生回路を制御するレジスタ	...	87
5.4	システム・クロック発振回路	...	90
5.4.1	メイン・システム・クロック発振回路	...	90
5.4.2	サブシステム・クロック発振回路	...	91
5.4.3	分周回路	...	93
5.4.4	サブシステム・クロックを使用しない場合	...	93
5.5	クロック発生回路の動作	...	94
5.6	システム・クロックとCPUクロックの設定の変更	...	95
5.6.1	システム・クロックとCPUクロックの切り替えに要する時間	...	95
5.6.2	システム・クロックとCPUクロックの切り替え手順	...	96
<b>第6章</b>	<b>16ビット・タイマ40</b>	...	<b>97</b>
6.1	16ビット・タイマ40の機能	...	97
6.2	16ビット・タイマ40の構成	...	97
6.3	16ビット・タイマ40を制御するレジスタ	...	99
6.4	16ビット・タイマ40の動作	...	100
6.4.1	インターバル・タイマとしての動作	...	100
6.4.2	フリーランニング・タイマとしての動作	...	101
6.5	16ビット・タイマ40の注意事項	...	103
<b>第7章</b>	<b>8ビット・タイマ00</b>	...	<b>104</b>
7.1	8ビット・タイマ00の機能	...	104
7.2	8ビット・タイマ00の構成	...	104
7.3	8ビット・タイマ00を制御するレジスタ	...	106
7.4	8ビット・タイマ00の動作	...	107
7.4.1	インターバル・タイマとしての動作	...	107
7.5	8ビット・タイマ00の注意事項	...	109
<b>第8章</b>	<b>時計用タイマ</b>	...	<b>110</b>
8.1	時計用タイマの機能	...	110
8.2	時計用タイマの構成	...	111
8.3	時計用タイマを制御するレジスタ	...	112
8.4	時計用タイマの動作	...	113
8.4.1	時計用タイマとしての動作	...	113
8.4.2	インターバル・タイマとしての動作	...	113
<b>第9章</b>	<b>ウォッチドッグ・タイマ</b>	...	<b>115</b>
9.1	ウォッチドッグ・タイマの機能	...	115
9.2	ウォッチドッグ・タイマの構成	...	116
9.3	ウォッチドッグ・タイマを制御するレジスタ	...	117
9.4	ウォッチドッグ・タイマの動作	...	119
9.4.1	ウォッチドッグ・タイマとしての動作	...	119
9.4.2	インターバル・タイマとしての動作	...	120

<b>第10章</b>	<b>クロック出力回路</b>	...	121
10.1	クロック出力回路の機能	...	121
10.2	クロック出力回路の構成	...	121
10.3	クロック出力回路を制御するレジスタ	...	122
10.4	クロック出力回路の動作	...	124
10.4.1	PCL出力としての動作	...	124
10.4.2	ブザー出力としての動作	...	125
<b>第11章</b>	<b>シリアル・インタフェースUART00</b>	...	126
11.1	シリアル・インタフェースUART00の機能	...	126
11.2	シリアル・インタフェースUART00の構成	...	127
11.3	シリアル・インタフェースUART00を制御するレジスタ	...	129
11.4	シリアル・インタフェースUART00の動作	...	133
11.4.1	動作停止モード	...	133
11.4.2	アシンクロナス・シリアル・インタフェース (UART) モード	...	134
<b>第12章</b>	<b>LCDコントローラ/ドライバ</b>	...	146
12.1	LCDコントローラ/ドライバの機能	...	146
12.2	LCDコントローラ/ドライバの構成	...	146
12.3	LCDコントローラ/ドライバを制御するレジスタ	...	148
12.4	LCDコントローラ/ドライバの設定	...	151
12.5	LCD表示データ・メモリ	...	151
12.6	LCD駆動用電圧の供給	...	154
12.7	LCD表示	...	155
<b>第13章</b>	<b>割り込み機能</b>	...	156
13.1	割り込み機能の種類	...	156
13.2	割り込み要因と構成	...	157
13.3	割り込み機能を制御するレジスタ	...	159
13.4	割り込み処理動作	...	166
13.4.1	ノンマスカブル割り込み要求の受け付け動作	...	166
13.4.2	マスカブル割り込みの受け付け動作	...	168
13.4.3	多重割り込み処理	...	170
13.4.4	割り込み要求の保留	...	171
<b>第14章</b>	<b>スタンバイ機能</b>	...	172
14.1	スタンバイ機能と構成	...	172
14.1.1	スタンバイ機能	...	172
14.1.2	スタンバイ機能を制御するレジスタ	...	173
14.2	スタンバイ機能の動作	...	174
14.2.1	HALTモード	...	174
14.2.2	STOPモード	...	177

<b>第15章</b>	<b>リセット機能</b>	...	179	
<b>第16章</b>	<b>μPD78F9831</b>	...	182	
16.1	<b>フラッシュ・メモリ・プログラミング</b>	...	183	
16.1.1	通信方式の選択	...	183	
16.1.2	フラッシュ・メモリ・プログラミングの機能	...	184	
16.1.3	Flashpro の接続	...	185	
16.1.4	Flashpro での設定	...	186	
★	16.1.5 オンボード上の端子処理	...	187	
<b>第17章</b>	<b>命令セットの概要</b>	...	190	
17.1	<b>オペレーション</b>	...	190	
17.1.1	オペランドの表現形式と記述方法	...	190	
17.1.2	オペレーション欄の説明	...	191	
17.1.3	フラグ動作欄の説明	...	191	
17.2	<b>オペレーション一覧</b>	...	192	
17.3	<b>アドレッシング別命令一覧</b>	...	198	
★	<b>第18章 電気的特性</b>	...	201	
★	<b>第19章 外形図</b>	...	214	
★	<b>第20章 半田付け推奨条件</b>	...	215	
<b>付録A</b>	<b>開発ツール</b>	...	216	
★	A.1	ソフトウェア・パッケージ	...	218
	A.2	言語処理用ソフトウェア	...	218
★	A.3	制御ソフトウェア	...	219
	A.4	フラッシュ・メモリ書き込み用ツール	...	219
	A.5	ディバグ用ツール(ハードウェア)	...	220
★	A.6	ディバグ用ツール(ソフトウェア)	...	221
★	A.7	変換アダプタ(TGC-100SDW)の外形図	...	222
<b>付録B</b>	<b>レジスタ索引</b>	...	223	
	B.1	レジスタ索引(50音順)	...	223
	B.2	レジスタ索引(アルファベット順)	...	225
★	<b>付録C 改版履歴</b>	...	227	

## 図の目次 (1/4)

図番号	タイトル, ページ
2 - 1	端子の入出力回路一覧 ... 44
3 - 1	メモリ・マップ ( $\mu$ PD789830) ... 46
3 - 2	メモリ・マップ ( $\mu$ PD78F9831) ... 47
3 - 3	データ・メモリのアドレッシング ( $\mu$ PD789830) ... 50
3 - 4	データ・メモリのアドレッシング ( $\mu$ PD78F9831) ... 51
3 - 5	プログラム・カウンタの構成 ... 52
3 - 6	プログラム・ステータス・ワードの構成 ... 52
3 - 7	スタック・ポインタの構成 ... 54
3 - 8	スタック・メモリへ退避されるデータ ... 54
3 - 9	スタック・メモリから復帰されるデータ ... 54
3 - 10	汎用レジスタの構成 ... 55
4 - 1	ポートの種類 ( $\mu$ PD789830) ... 68
4 - 2	ポートの種類 ( $\mu$ PD78F9831) ... 69
4 - 3	P00-P07のブロック図 ... 72
4 - 4	P10, P11のブロック図 ( $\mu$ PD789830) ... 73
4 - 5	P10-P17のブロック図 ( $\mu$ PD78F9831) ... 74
4 - 6	P20, P21, P26のブロック図 ... 75
4 - 7	P22のブロック図 ... 76
4 - 8	P23, P25のブロック図 ... 76
4 - 9	P24のブロック図 ... 77
4 - 10	P30-P34のブロック図 ... 78
4 - 11	P40, P41のブロック図 ( $\mu$ PD78F9831) ... 79
4 - 12	P50-P57のブロック図 ... 80
4 - 13	ポート・モード・レジスタのフォーマット ( $\mu$ PD789830) ... 82
4 - 14	ポート・モード・レジスタのフォーマット ( $\mu$ PD78F9831) ... 82
4 - 15	プルアップ抵抗オプション・レジスタ0のフォーマット ... 83
5 - 1	クロック発生回路のブロック図 ... 86
5 - 2	プロセッサ・クロック・コントロール・レジスタのフォーマット ... 87
5 - 3	サブ発振モード・レジスタのフォーマット ... 88
5 - 4	サブクロック・コントロール・レジスタのフォーマット ... 89
5 - 5	メイン・システム・クロック発振回路の外付け回路 ... 90
5 - 6	サブシステム・クロック発振回路の外付け回路 ... 91
5 - 7	発振子の接続の悪い例 ... 92
5 - 8	システム・クロックとCPUクロックの切り替え ... 96
6 - 1	16ビット・タイマ40のブロック図 ... 98

## 図の目次 (2/4)

図番号	タイトル, ページ
6 - 2	タイマ40コントロール・レジスタのフォーマット ... 99
6 - 3	インターバル・タイマ動作時のタイマ40コントロール・レジスタの設定内容 ... 100
6 - 4	16ビット・タイマ40のインターバル・タイマ動作のタイミング ... 101
6 - 5	フリーランニング・タイマ動作時のタイマ40コントロール・レジスタの設定内容 ... 101
6 - 6	16ビット・タイマ40のフリーランニング・タイマ動作のタイミング ... 102
6 - 7	16ビット・タイマ・カウンタ40のスタート・タイミング ... 103
7 - 1	8ビット・タイマ00のブロック図 ... 105
7 - 2	8ビット・タイマ・モード・コントロール・レジスタ00のフォーマット ... 106
7 - 3	インターバル・タイマ動作時の8ビット・タイマ・モード・コントロール・レジスタ00の設定内容 ... 107
7 - 4	8ビット・タイマ00のインターバル・タイマ動作のタイミング ... 108
7 - 5	8ビット・タイマ・カウンタ00のスタート・タイミング ... 109
8 - 1	時計用タイマのブロック図 ... 110
8 - 2	時計用タイマ・モード・コントロール・レジスタのフォーマット ... 112
8 - 3	時計用タイマ/インターバル・タイマの動作タイミング ... 114
9 - 1	ウォッチドッグ・タイマのブロック図 ... 116
9 - 2	タイマ・クロック選択レジスタ2のフォーマット ... 117
9 - 3	ウォッチドッグ・タイマ・モード・レジスタのフォーマット ... 118
10 - 1	クロック出力回路のブロック図 ... 121
10 - 2	PCL/BUZコントロール・レジスタ0のフォーマット ... 122
10 - 3	ポート・モード・レジスタ2のフォーマット ... 123
10 - 4	PCL出力動作時のPCL/BUZコントロール・レジスタ0の設定内容 ... 124
10 - 5	PCL出力のタイミング ... 124
10 - 6	ブザー出力動作時のPCL/BUZコントロール・レジスタ0の設定内容 ... 125
11 - 1	シリアル・インタフェースUART00のブロック図 ... 126
11 - 2	アシンクロナス・シリアル・インタフェース・モード・レジスタ00のフォーマット ... 130
11 - 3	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00のフォーマット ... 131
11 - 4	ボー・レート・ジェネレータ・コントロール・レジスタ00のフォーマット ... 132
11 - 5	サンプリング誤差を考慮したボー・レートの許容誤差 (k = 0の場合) ... 140
11 - 6	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット ... 141
11 - 7	アシンクロナス・シリアル・インタフェース送信完了割り込み要求タイミング ... 143
11 - 8	アシンクロナス・シリアル・インタフェース受信完了割り込み要求タイミング ... 144
11 - 9	受信エラー・タイミング ... 145

## 図の目次 (3/4)

図番号	タイトル, ページ
12 - 1	LCDコントローラ/ドライバのブロック図 ... 147
12 - 2	LCD20モード・レジスタのフォーマット ... 148
12 - 3	兼用ポート機能切り替えレジスタのフォーマット ... 149
12 - 4	LCD20クロック選択レジスタのフォーマット ... 150
12 - 5	LCD表示データ・メモリの内容とセグメント出力/コモン出力の関係 ... 151
12 - 6	セグメント信号とコモン信号間のLCD駆動波形例 ... 153
12 - 7	LCD駆動用電源の接続 ... 154
12 - 8	LCDパネルの接続例 ... 155
13 - 1	割り込み機能の基本構成 ... 158
13 - 2	割り込み要求フラグ・レジスタのフォーマット ( $\mu$ PD789830) ... 160
13 - 3	割り込み要求フラグ・レジスタのフォーマット ( $\mu$ PD78F9831) ... 160
13 - 4	割り込みマスク・フラグ・レジスタのフォーマット ( $\mu$ PD789830) ... 161
13 - 5	割り込みマスク・フラグ・レジスタのフォーマット ( $\mu$ PD78F9831) ... 161
13 - 6	外部割り込みモード・レジスタ0のフォーマット ... 162
13 - 7	外部割り込みモード・レジスタ1のフォーマット ( $\mu$ PD78F9831) ... 163
13 - 8	プログラム・ステータス・ワードの構成 ... 164
13 - 9	キー・リターン・モード・レジスタ00のフォーマット ... 164
13 - 10	立ち下がりエッジ検出回路のブロック図 ... 165
13 - 11	ノンマスクブル割り込み要求発生からの受け付けまでのフロー・チャート ... 167
13 - 12	ノンマスクブル割り込み要求の受け付けタイミング ... 167
13 - 13	ノンマスクブル割り込み要求の受け付け動作 ... 167
13 - 14	割り込み要求受け付け処理アルゴリズム ... 168
13 - 15	割り込み要求の受け付けタイミング (MOV A, rの例) ... 169
13 - 16	割り込み要求の受け付けタイミング (命令実行中の最終クロックで割り込み要求フラグが発生したとき) ... 169
13 - 17	多重割り込みの例 ... 170
14 - 1	発振安定時間選択レジスタのフォーマット ... 173
14 - 2	HALTモードの割り込み発生による解除 ... 175
14 - 3	HALTモードの $\overline{\text{RESET}}$ 入力による解除 ... 176
14 - 4	STOPモードの割り込み発生による解除 ... 178
14 - 5	STOPモードの $\overline{\text{RESET}}$ 入力による解除 ... 178
15 - 1	リセット機能のブロック図 ... 179
15 - 2	$\overline{\text{RESET}}$ 入力によるリセット・タイミング ... 180
15 - 3	ウォッチドッグ・タイマのオーバフローによるリセット・タイミング ... 180
15 - 4	STOPモード中の $\overline{\text{RESET}}$ 入力によるリセット・タイミング ... 180

## 図の目次 (4/4)

図番号	タイトル, ページ
16 - 1	通信方式選択フォーマット ... 183
16 - 2	Flashpro との接続例 ... 185
16 - 3	V <sub>PP</sub> 端子の接続例 ... 187
16 - 4	信号の衝突 (シリアル・インタフェースの入力端子) ... 188
16 - 5	ほかのデバイスの異常動作 ... 188
16 - 6	信号の衝突 ( $\overline{\text{RESET}}$ 端子) ... 189
A - 1	開発ツール構成 ... 217
A - 2	TGC-100SDW 外形図 (参考) (単位: mm) ... 222

## 表の目次 (1/2)

表番号	タイトル, ページ
2 - 1	各端子の入出力回路タイプと未使用端子の処理 ( $\mu$ PD789830) ... 42
2 - 2	各端子の入出力回路タイプと未使用端子の処理 ( $\mu$ PD78F9831) ... 43
3 - 1	内部ROM容量 ... 48
3 - 2	ベクタ・テーブル ... 48
3 - 3	内部RAM容量 ... 49
3 - 4	特殊機能レジスタ一覧 ... 57
4 - 1	ポートの機能 ( $\mu$ PD789830) ... 70
4 - 2	ポートの機能 ( $\mu$ PD78F9831) ... 70
4 - 3	ポートの構成 ... 71
4 - 4	兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定 ... 81
5 - 1	クロック発生回路の構成 ... 85
5 - 2	CPUクロックの切り替えに要する最大時間 ... 95
6 - 1	16ビット・タイマ40のインターバル時間 ... 97
6 - 2	16ビット・タイマ40の構成 ... 97
6 - 3	16ビット・タイマ40のインターバル時間 ... 100
7 - 1	8ビット・タイマ00のインターバル時間 ... 104
7 - 2	8ビット・タイマ00の構成 ... 104
7 - 3	8ビット・タイマ00のインターバル時間 ... 107
8 - 1	インターバル・タイマのインターバル時間 ... 111
8 - 2	時計用タイマの構成 ... 111
8 - 3	インターバル・タイマのインターバル時間 ... 113
9 - 1	ウォッチドッグ・タイマの暴走検出時間 ... 115
9 - 2	インターバル時間 ... 115
9 - 3	ウォッチドッグ・タイマの構成 ... 116
9 - 4	ウォッチドッグ・タイマの暴走検出時間 ... 119
9 - 5	インターバル・タイマのインターバル時間 ... 120
11 - 1	シリアル・インタフェースUART00の構成 ... 127
11 - 2	5ビット・カウンタのソース・クロックとnの値との関係 ... 138
11 - 3	メイン・システム・クロックとボー・レートとの関係 ... 139
11 - 4	受信エラーの要因 ... 145

## 表の目次 (2/2)

表番号	タイトル, ページ
12 - 1	LCDコントローラ/ドライバの構成 ... 146
12 - 2	LCDフレーム周波数 ... 150
12 - 3	LCD駆動電圧 ... 152
13 - 1	$\mu$ PD789830サブシリーズのマスカブル割り込み要因数 ... 156
13 - 2	割り込み要因一覧 ... 157
13 - 3	割り込み要求信号名に対する各種フラグ ... 159
13 - 4	マスカブル割り込み要求発生から処理までの時間 ... 168
14 - 1	HALTモード時の動作状態 ... 174
14 - 2	HALTモードの解除後の動作 ... 176
14 - 3	STOPモード時の動作状態 ... 177
14 - 4	STOPモードの解除後の動作 ... 178
15 - 1	各ハードウェアのリセット後の状態 ... 181
16 - 1	$\mu$ PD78F9831と $\mu$ PD789830の違い ... 182
16 - 2	通信方式一覧 ... 183
16 - 3	フラッシュ・メモリ・プログラミングの主な機能 ... 184
16 - 4	Flashpro での設定 ... 186
17 - 1	オペランドの表現形式と記述方法 ... 190
20 - 1	表面実装タイプの半田付け条件 ... 215

# 第1章 概 説

## 1.1 特 徴

ROM, RAM容量

品 名	プログラム・メモリ	データ・メモリ	
		RAM	LCD表示用RAM
$\mu$ PD789830	24 Kバイト (マスクROM)	1 Kバイト	80バイト
$\mu$ PD78F9831	48 Kバイト (フラッシュ・メモリ)	2 Kバイト	

高速 (0.56  $\mu$ s : メイン・システム・クロック3.58 MHz動作時) と超低速 (122  $\mu$ s : サブシステム・クロック32.768 kHz動作時) に最小命令実行時間を変更可能

I/Oポート

- ・30本 (N-chオープン・ドレイン1本) :  $\mu$ PD789830
- ・38本 (N-chオープン・ドレイン1本) :  $\mu$ PD78F9831

シリアル・インタフェース (UART00) : 1チャンネル

タイマ : 4チャンネル

- ・16ビット・タイマ : 1チャンネル
- ・8ビット・タイマ : 1チャンネル
- ・時計用タイマ : 1チャンネル
- ・ウォッチドッグ・タイマ : 1チャンネル

パルス出力 : クロック出力 / ブザー出力

LCDコントローラ / ドライバ

- ・セグメント信号出力 : 最大40本
- ・コモン信号出力 : 最大16本
- ・1/5バイアス・モード

ベクタ割り込み要因

- ・15 :  $\mu$ PD789830
- ・17 :  $\mu$ PD78F9831

キー・リターン信号検出回路内蔵

電源電圧 :  $V_{DD} = 2.7 \sim 5.5$  V

出荷形態

- ・88ピン・ヘアチップ :  $\mu$ PD789830
- ・100ピン・プラスチックLQFP (ファインピッチ) :  $\mu$ PD78F9831

## 1.2 応用分野

カード・リーダー機器など

## ★ 1.3 オーダ情報

オーダ名称	出荷形態	内部ROM
$\mu$ PD789830P- $\times \times \times$	88ピン・ペアチップ	マスクROM
$\mu$ PD78F9831GC-8EU	100ピン・プラスチックLQPF (ファインピッチ) (14x14)	フラッシュ・メモリ
$\mu$ PD78F9831GC-8EU-A	"	"

備考1.  $\times \times \times$ はROMコード番号です。

2. オーダ名称末尾「-A」の製品は、鉛フリー製品です。

## 1.4 端子接続図 (Top View)

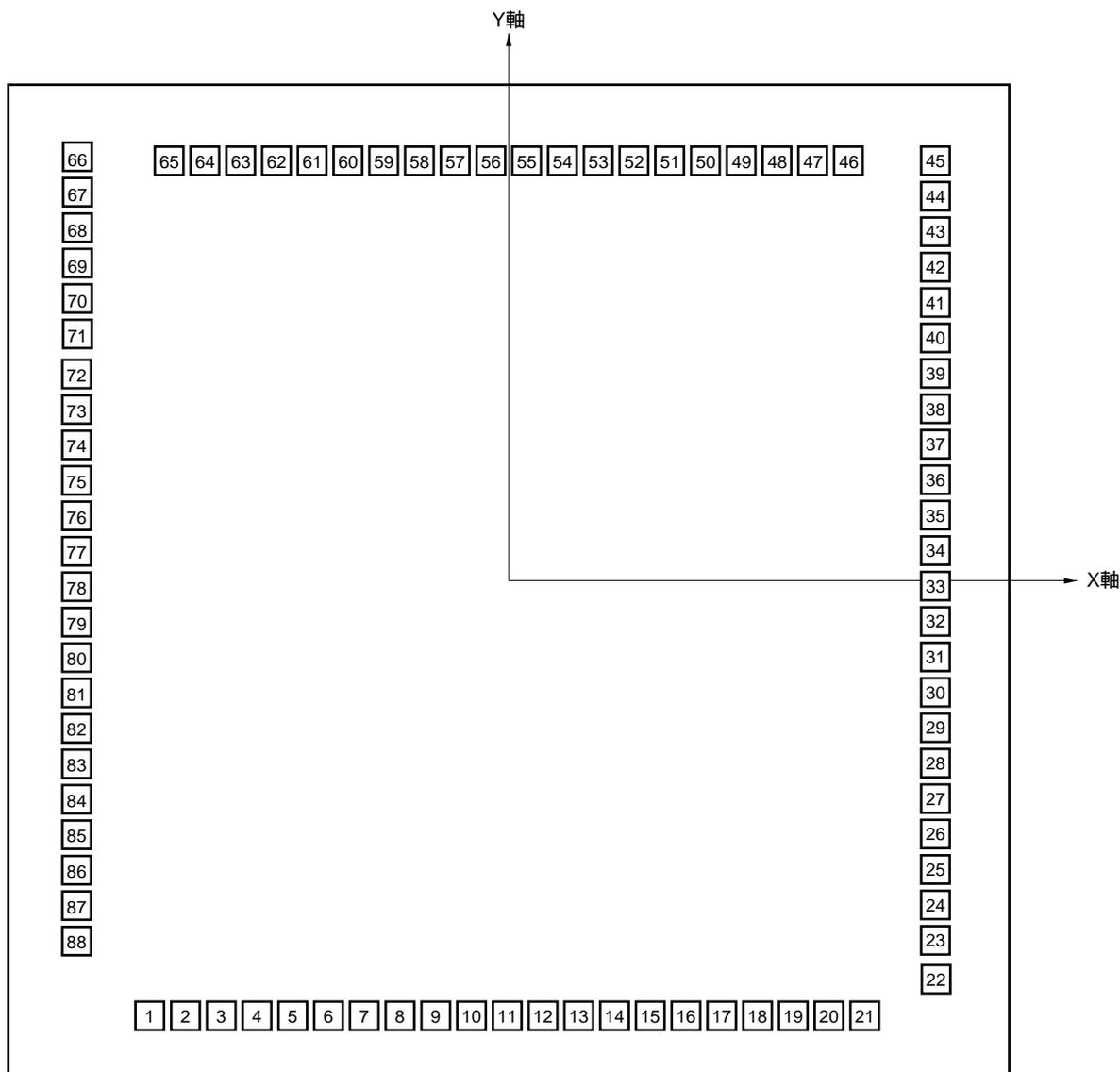
(1)  $\mu$  PD789830

・ 88ピン・ベアチップ

$\mu$  PD789830P-x x x

最小パッド間隔 : 110.04  $\mu$ m

パッドの開口部寸法 : 80.04  $\mu$ m



端子名

No.	端子名	No.	端子名	No.	端子名
1	COM14	31	S28	61	RESET
2	COM15	32	S29	62	X2
3	S0	33	S30	63	X1
4	S1	34	S31	64	V <sub>SS0</sub>
5	S2	35	P57/S32	65	V <sub>DD0</sub>
6	S3	36	P56/S33	66	XT2
7	S4	37	P55/S34	67	XT1
8	S5	38	P54/S35	68	P26/RxD00
9	S6	39	P53/S36	69	P25/TxD00
10	S7	40	P52/S37	70	P24
11	S8	41	P51/S38	71	P23/PCL
12	S9	42	P50/S39	72	P22/INTP2/BUZ
13	S10	43	P11	73	P21/INTP1
14	S11	44	P10	74	P20/INTP0
15	S12	45	V <sub>DD1</sub>	75	COM0
16	S13	46	V <sub>SS1</sub>	76	COM1
17	S14	47	P34	77	COM2
18	S15	48	P33	78	COM3
19	S16	49	P32	79	COM4
20	S17	50	P31	80	COM5
21	S18	51	P30	81	COM6
22	S19	52	P07	82	COM7
23	S20	53	P06	83	COM8
24	S21	54	P05	84	COM9
25	S22	55	P04	85	COM10
26	S23	56	P03	86	COM11
27	S24	57	P02	87	COM12
28	S25	58	P01	88	COM13
29	S26	59	P00		
30	S27	60	IC0		

**備考** 各端子のパッド座標に関しましては、弊社販売員にお問い合わせください。

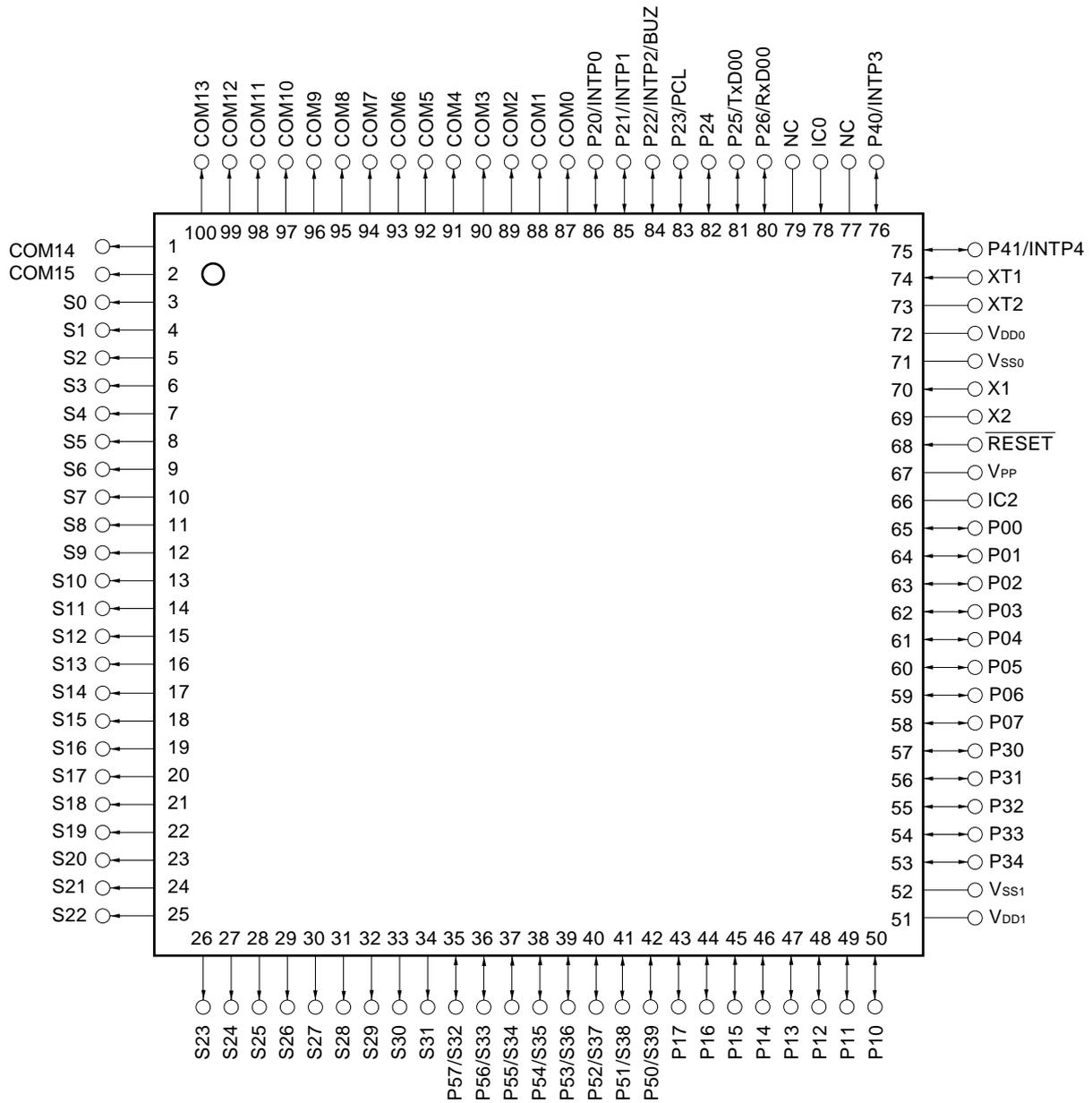
BUZ	: Buzzer Clock	PCL	: Programming Clock
COM0-COM15	: RC Oscillator	<u>RESET</u>	: Reset
IC0	: Internally Connected	RxD00	: Receive Data
INTP0-INTP2	: Interrupt from Peripherals	S0-S39	: Segment Output
P00-P07	: Port0	TxD00	: Transmit Data
P10, P11	: Port1	V <sub>DD0</sub> , V <sub>DD1</sub>	: Power Supply
P20-P26	: Port2	V <sub>SS0</sub> , V <sub>SS1</sub>	: Ground
P30-P34	: Port3	X1, X2	: Crystal ( Main system Clock )
P50-P57	: Port5	XT1, XT2	: Crystal ( Subsystem Clock )

(2)  $\mu$  PD78F9831

・100ピン・プラスチックLQFP (ファインピッチ) (14x14)

$\mu$  PD78F9831GC-8EU

$\mu$  PD78F9831GC-8EU-A



注意1.  $V_{PP}$ 端子は通常動作モード時,  $V_{SS0}$ または $V_{SS1}$ に直接接続してください。

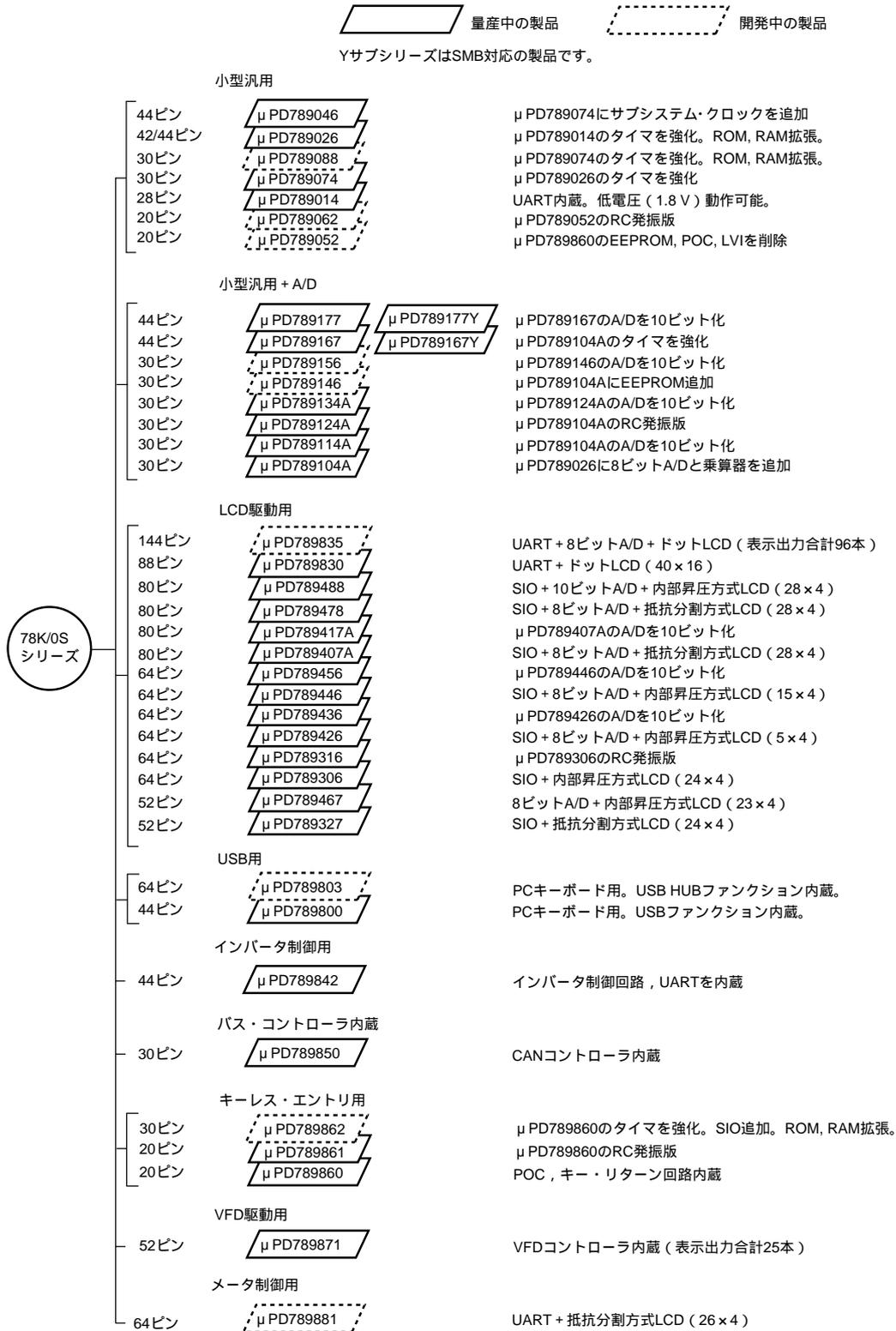
2. IC0端子は $V_{SS0}$ または $V_{SS1}$ に直接接続してください。

3. IC2端子はオープンにしてください。

BUZ	: Buzzer Clock	PCL	: Programming Clock
COM0-COM15	: RC Oscillator	<u>RESET</u>	: Reset
IC0, IC2	: Internally Connected	RxD00	: Receive Data
INTP0-INTP4	: Interrupt from Peripherals	S0-S39	: Segment Output
NC	: Non-connection	TxD00	: Transmit Data
P00-P07	: Port0	V <sub>DD0</sub> , V <sub>DD1</sub>	: Power Supply
P10-P17	: Port1	V <sub>PP</sub>	: Programming Power Supply
P20-P26	: Port2	V <sub>SS0</sub> , V <sub>SS1</sub>	: Ground
P30-P34	: Port3	X1, X2	: Crystal ( Main system Clock )
P40, P41	: Port4	XT1, XT2	: Crystal ( Subsystem Clock )
P50-P57	: Port5		

★ 1.5 78K/0Sシリーズの展開

78K/0Sシリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



**備考** 蛍光表示管の一般的な英語名称はVFD（Vacuum Fluorescent Display）ですが、ドキュメントによってはFIP<sup>®</sup>（Fluorescent Indicator Panel）と記述しているものがあります。VFDとFIPは同等の機能です。

各サブシリーズ間の主な機能の違いを次に示します。

汎用，LCD駆動用シリーズ

サブシリーズ名	機 能	ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V <sub>DD</sub>	備考		
			8-bit	16-bit	時計	WDT	A/D	A/D			最小値			
小型 汎用	μPD789046	16 K	1 ch	1 ch	1 ch	1 ch	-	-	1 ch (UART : 1ch)	34本	1.8 V	-		
	μPD789026	4 K-16 K												
	μPD789088	16 K-32 K	3 ch							24本				
	μPD789074	2 K-8 K	1 ch											
	μPD789014	2 K-4 K	2 ch	-						22本				
	μPD789062	4 K							-	14本		RC発振版		
	μPD789052											-		
小型 汎用 + A/D	μPD789177	16 K-24 K	3 ch	1 ch	1 ch	1ch	-	8 ch	1 ch (UART : 1ch)	31本	1.8 V	-		
	μPD789167						8 ch	-				-		
	μPD789156	8 K-16 K	1 ch				-	4 ch		20本		EEPROM内蔵		
	μPD789146						4 ch	-				-		
	μPD789134A	2 K-8 K					-	4 ch				RC発振版		
	μPD789124A						4 ch	-				-		
	μPD789114A						-	4 ch				-	-	
	μPD789104A						4 ch	-				-	-	
LCD 駆動用	μPD789835	24 K-60 K	6 ch	-	1 ch	1 ch	3 ch	-	1 ch (UART : 1ch)	37本	1.8 V <sup>注</sup>	ドットLCD		
	μPD789830	24 K	1 ch	1 ch			-			30本		2.7 V	対応	
	μPD789488	32 K	3 ch					8 ch	2 ch (UART : 1ch)	45本	1.8 V	-		
	μPD789478	24 K-32 K						8 ch					-	
	μPD789417A	12 K-24 K	2 ch					-	7 ch	1 ch (UART : 1ch)	43本			
	μPD789407A							7 ch	-					
	μPD789456	12 K-16 K						-	6 ch				30本	
	μPD789446							6 ch	-					
	μPD789436							-	6 ch					40本
	μPD789426							6 ch	-					
	μPD789316	8 K-16 K						-	2 ch (UART : 1ch)	23本	RC発振版			
	μPD789306													
	μPD789467	4 K-24 K						-						
	μPD789327							-		1 ch	21本			

注 フラッシュ・メモリ版 : 3.0 V

ASSP用シリーズ

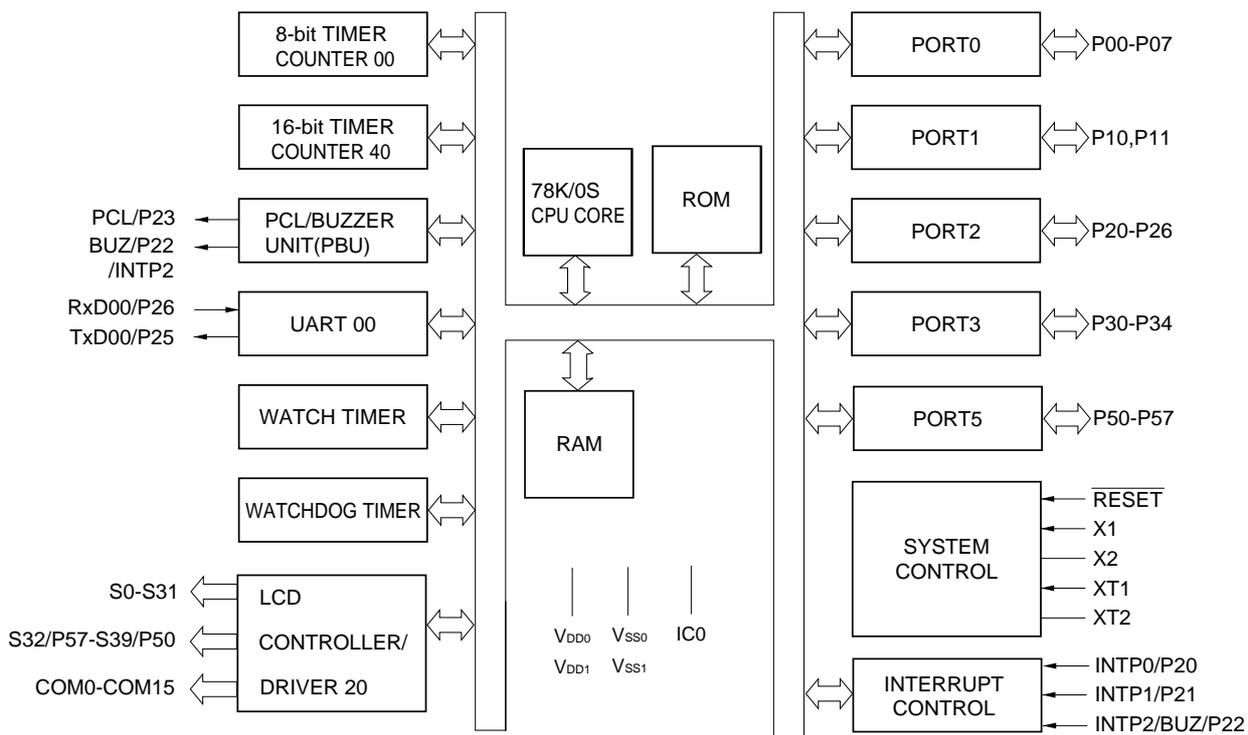
機能 サブシリーズ名	ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V <sub>DD</sub>	備考	
		8-bit	16-bit	時計	WDT	A/D	A/D			最小値		
USB用 μPD789803	8K-16K	2 ch	-	-	1 ch	-	-	2 ch (USB : 1 ch)	41本	3.6 V	-	
	μPD789800	8 K							31本	4.0 V		
インバー タ制御用	μPD789842	8 K-16 K	3 ch	注1	1 ch	1 ch	8 ch	-	1 ch (UART : 1ch)	30本	4.0 V	-
バス・コント ローラ内蔵	μPD789850	16 K	1 ch	1 ch	-	1 ch	4 ch	-	2 ch (UART : 1ch)	18本	4.0 V	-
キーレス ・エント リ用	μPD789861	4 K	2 ch	-	-	1 ch	-	-	-	14本	1.8 V	RC発振版, EEPROM内蔵
	μPD789860											
	μPD789862	16 K	1 ch	2 ch					1 ch (UART : 1ch)	22本		
VFD 駆動用	μPD789871	4 K-8 K	3 ch	-	1 ch	1 ch	-	-	1 ch	33本	2.7 V	-
メータ 制御用	μPD789881	16 K	2 ch	1 ch	-	1 ch	-	-	1 ch (UART : 1ch)	28本	2.7 V <sup>注2</sup>	-

注1. 10ビット・タイマ : 1チャンネル

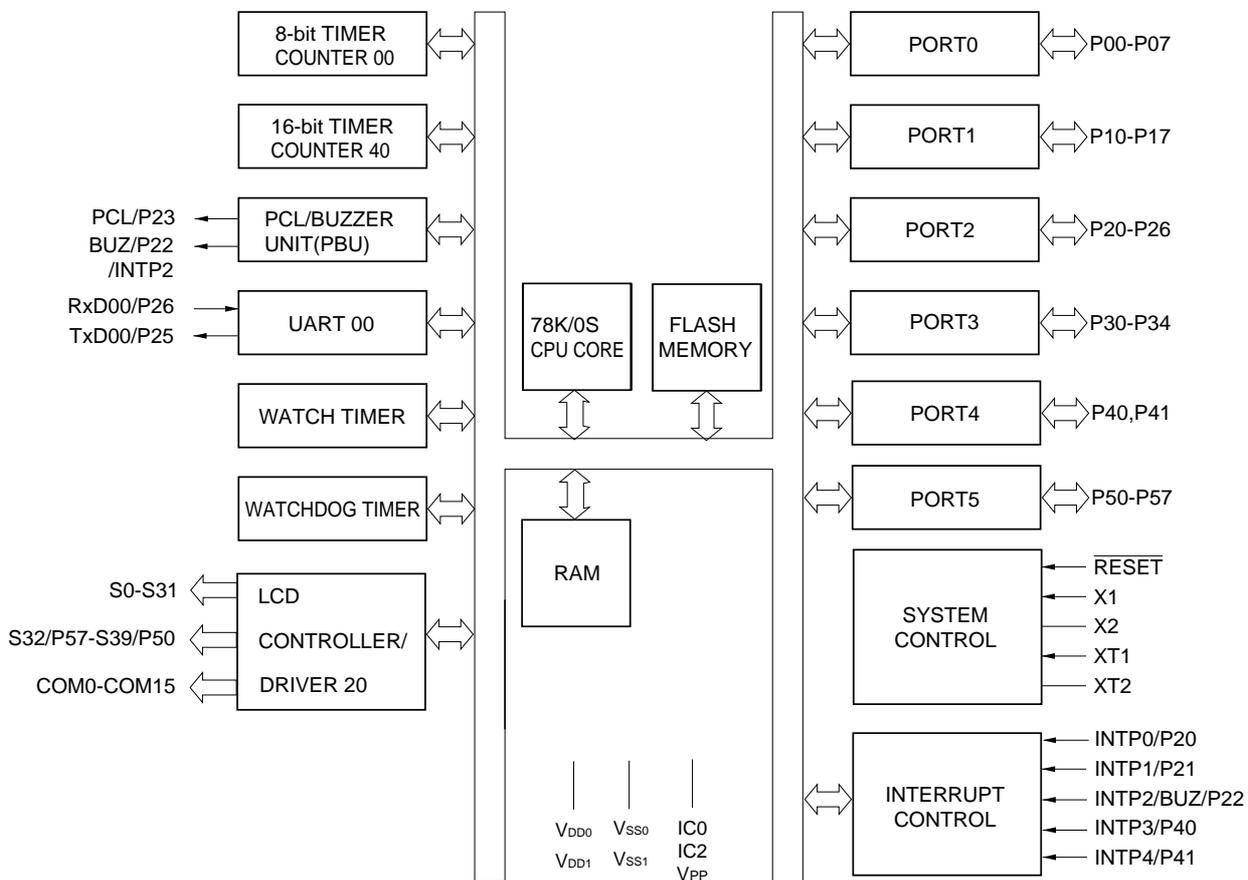
2. フラッシュ・メモリ版 : 3.0 V

## 1.6 ブロック図

(1)  $\mu$ PD789830



(2)  $\mu$ PD78F9831



## 1.7 機能概要

項 目		μ PD789830	μ PD78F9831
内部メモリ	ROM構造	マスクROM	フラッシュ・メモリ
	ROM	24 Kバイト	48 Kバイト
	RAM	1 Kバイト	2 Kバイト
	LCD表示用RAM	80バイト	
最小命令実行時間		・0.56 μs/2.23 μs (メイン・システム・クロック : 3.58 MHz動作時) ・122 μs (サブシステム・クロック : 32.768 kHz動作時)	
命令セット		・16ビット演算 ・ビット操作 (セット, リセット, テスト) など	
I/Oポート		合計 : 30本 CMOS入出力 : 29本 N-chオープン・ドレイン入出力 : 1本	合計 : 38本 CMOS入出力 : 37本 N-chオープン・ドレイン入出力 : 1本
シリアル・インタフェース		UART : 1チャンネル	
タイマ		・16ビット・タイマ : 1チャンネル ・8ビット・タイマ : 1チャンネル ・時計用タイマ : 1チャンネル ・ウォッチドッグ・タイマ : 1チャンネル	
パルス出力		クロック出力 / ブザー出力	
LCDコントローラ / ドライバ		・セグメント信号出力 : 最大40本 ・コモン信号出力 : 最大16本 ・1/5バイアス・モード	
ベクタ	マスカブル	内部 : 10, 外部 : 4	内部 : 10, 外部 : 6
割り込み要因	ノンマスカブル	内部 : 1	
電源電圧		V <sub>DD</sub> = 2.7 ~ 5.5 V	
動作周囲温度		T <sub>A</sub> = -20 ~ +60	
出荷形態		88ピン・ベアチップ	100ピン・プラスチックLQFP (ファインピッチ) (14x14)

★ 次にタイマの概要を示します。

		16ビット・タイマ40	8ビット・タイマ00	時計用タイマ	ウォッチドッグ・タイマ
動作モード	インターバル・タイマ	1チャンネル	1チャンネル	1チャンネル <sup>注1</sup>	1チャンネル <sup>注2</sup>
	外部イベント・カウンタ	-	-	-	-
機能	タイマ出力	-	-	-	-
	方形波出力	-	-	-	-
	キャプチャ	-	-	-	-
	割り込み要因	3	1	2	2

注1. 時計用タイマは時計用タイマとインターバル・タイマの機能を同時に使用可能です。

2. ウォッチドッグ・タイマはウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

## 第2章 端子機能

### 2.1 端子機能一覧

#### (1) ポート端子 (μPD789830)

端子名称	入出力	機 能	リセット時	兼用端子
P00-P07	入出力	ポート0。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用可能。	入力	-
P10, P11	入出力	ポート1。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用可能。	入力	-
P20	入出力	ポート2。 7ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P24はN-chオープン・ドレイン入出力ポート。	入力	INTP0
P21				INTP1
P22				INTP2/BUZ
P23				PCL
P24				-
P25				TxD00
P26				RxD00
P30-P34	入出力	ポート3。 5ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用可能。	入力	-
P50-P57	入出力	ポート5。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	入力	S39-S32

## (2) ポート端子 (μPD78F9831)

端子名称	入出力	機能	リセット時	兼用端子
P00-P07	入出力	ポート0。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用可能。	入力	-
P10-P17	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用可能。	入力	-
P20	入出力	ポート2。 7ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P24はN-chオープン・ドレイン入出力ポート。	入力	INTP0
P21				INTP1
P22				INTP2/BUZ
P23				PCL
P24				-
P25				TxD00
P26				RxD00
P30-P34	入出力	ポート3。 5ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用可能。	入力	-
P40	入出力	ポート4。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。		INTP3
P41				INTP4
P50-P57	入出力	ポート5。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	入力	S39-S32

(3) ポート以外の端子

端子名称	入出力	機能	リセット時	兼用端子
INTP0	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がり の両エッジ）指定可能な外部割り込み入力	入力	P20
INTP1				P21
INTP2				P22/BUZ
INTP3 <sup>注</sup>				P40
INTP4 <sup>注</sup>				P41
RxD00	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ 入力	入力	P26
TxD00	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ 出力	入力	P25
BUZ	出力	ブザー出力	入力	P22/INTP2
PCL	出力	クロック出力	入力	P23
S0-S31	出力	LCDコントローラ/ドライバのセグメント信号出力	出力	-
S32-S39				P57-P50
COM0-COM1 5	出力	LCDコントローラ/ドライバのコモン信号出力	出力	-
X1	入力	メイン・システム・クロック発振用クリスタル接続	-	-
X2	-		-	-
XT1	入力	サブシステム・クロック発振用クリスタル接続	-	-
XT2	-		-	-
RESET	入力	システム・リセット入力	入力	-
V <sub>DD0</sub>	-	ポート部の正電源	-	-
V <sub>DD1</sub>		正電源（ポート部を除く）		-
V <sub>SS0</sub>	-	ポート部のグランド電位	-	-
V <sub>SS1</sub>		グランド電位（ポート部を除く）		-
IC0	-	内部接続されています。V <sub>SS0</sub> またはV <sub>SS1</sub> に直接接続してください。	-	-
IC2 <sup>注</sup>		内部接続されています。オープンにしてください。		-
NC <sup>注</sup>	-	内部接続していません。V <sub>SS0</sub> またはV <sub>SS1</sub> に接続（オープンも可）し てください。	-	-
V <sub>PP</sub> <sup>注</sup>	-	フラッシュ・メモリ・プログラミング・モード設定。 プログラム書き込み/ベリファイ時の高電圧印加。	-	-

注 μPD78F9831のみ

## 2.2 端子機能の説明 (μPD789830)

### 2.2.1 P00-P07 (Port0)

8ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用できます。

### 2.2.2 P10, P11 (Port1)

2ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用できます。

### 2.2.3 P20-P26 (Port2)

7ビットの入出力ポートです。入出力ポートのほかに、外部割り込み入力、ブザー出力、パルス出力、UARTのデータ入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

7ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。P24はN-chオープン・ドレイン入出力ポートです。

#### (2) コントロール・モード

外部割り込み入力、ブザー出力、パルス出力、UARTのデータ入出力として機能します。

##### (a) INTP0-INTP2

有効エッジ (立ち上がりエッジ, 立ち下がりエッジおよび立ち上がり立ち下がりの両エッジ) 指定可能な外部割り込み入力端子です。

##### (b) PCL

クロック出力回路のパルス出力端子です。

##### (c) BUZ

クロック出力回路のブザー出力端子です。

##### (c) RxD00, TxD00

UARTのシリアル・データの入出力端子です。

**注意** UARTのデータ入出力端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については11.3 (1) アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) を参照してください。

### 2.2.4 P30-P34 (Port3)

5ビットの入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用できます。また、1ビット単位でキー・リターン信号の検出が可能です。

### 2.2.5 P50-P57 (Port5)

8ビットの入出力ポートです。入出力ポートのほかにLCDコントローラ/ドライバのセグメント信号出力があります。1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ5 (PM5) により、1ビット単位で入力ポートまたは出力ポートとして指定できます。

#### (2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力 (S32-S39) として機能します。

### 2.2.6 S0-S31

LCDコントローラ/ドライバのセグメント信号出力端子です。

### 2.2.7 COM0-COM15

LCDコントローラ/ドライバのコモン信号出力端子です。

### 2.2.8 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

### 2.2.9 X1, X2

メイン・システム・クロック発振用クリスタル振動子接続端子です。

### 2.2.10 XT1, XT2

サブシステム・クロック発振用クリスタル振動子接続端子です。

### 2.2.11 $V_{DD0}$ , $V_{DD1}$

$V_{DD0}$ は、ポート部の正電源供給端子です。

$V_{DD1}$ は、ポート部以外の正電源供給端子です。

### 2.2.12 $V_{SS0}$ , $V_{SS1}$

$V_{SS0}$ は、ポート部のグランド電位端子です。

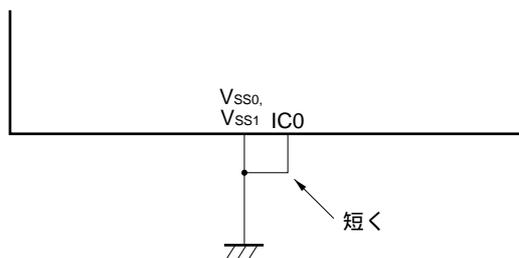
$V_{SS1}$ は、ポート部以外のグランド電位端子です。

## 2.2.13 IC0

IC0 (Internally Connected) 端子は、当社出荷時に $\mu$ PD789830サブシリーズを検査するためのテスト・モードに設定するための端子です。通常動作時には、IC0端子をV<sub>SS0</sub>またはV<sub>SS1</sub>端子に直接接続し、その配線長を極力短くしてください。

IC0端子とV<sub>SS0</sub>またはV<sub>SS1</sub>端子間の配線の引き回しが長い場合や、IC0端子に外来ノイズが加わった場合などで、IC0端子とV<sub>SS0</sub>またはV<sub>SS1</sub>端子間に電位差が生じたときは、お客様のプログラムが正常に動作しないことがあります。

**IC0端子をV<sub>SS0</sub>またはV<sub>SS1</sub>端子に直接接続してください。**



## 2.3 端子機能の説明 (μPD78F9831)

### 2.3.1 P00-P07 (Port0)

8ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用できます。

### 2.3.2 P10-P17 (Port1)

8ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用できます。

### 2.3.3 P20-P26 (Port2)

7ビットの入出力ポートです。入出力ポートのほかに、外部割り込み入力、ブザー出力、パルス出力、UARTのデータ入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

7ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。P24はN-chオープン・ドレイン入出力ポートです。

#### (2) コントロール・モード

外部割り込み入力、ブザー出力、パルス出力、UARTのデータ入出力として機能します。

##### (a) INTP0-INTP2

有効エッジ (立ち上がりエッジ, 立ち下がりエッジおよび立ち上がり立ち下がりの両エッジ) 指定可能な外部割り込み入力端子です。

##### (b) PCL

クロック出力回路のパルス出力端子です。

##### (c) BUZ

クロック出力回路のブザー出力端子です。

##### (c) RxD00, TxD00

UARTのシリアル・データの入出力端子です。

**注意** UARTのデータ入出力端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については11.3 (1) アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) を参照してください。

### 2.3.4 P30-P34 (Port3)

5ビットの入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用できます。また、1ビット単位でキー・リターン信号の検出が可能です。

### 2.3.5 P40, P41 (Port4)

2ビットの入出力ポートです。入出力ポートのほかに外部割り込み入力機能があります。1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

2ビットの入出力ポートとして機能します。ポート・モード・レジスタ4 (PM4) により、1ビット単位で入力ポートまたは出力ポートとして指定できます。

#### (2) コントロール・モード

外部割り込み入力 (INTP3, INTP4) として機能します。

### 2.3.6 P50-P57 (Port5)

8ビットの入出力ポートです。入出力ポートのほかにLCDコントローラ/ドライバのセグメント信号出力があります。1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ5 (PM5) により、1ビット単位で入力ポートまたは出力ポートとして指定できます。

#### (2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力 (S32-S39) として機能します。

### 2.3.7 S0-S31

LCDコントローラ/ドライバのセグメント信号出力端子です。

### 2.3.8 COM0-COM15

LCDコントローラ/ドライバのコモン信号出力端子です。

### 2.3.9 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

### 2.3.10 X1, X2

メイン・システム・クロック発振用クリスタル振動子接続端子です。

### 2.3.11 XT1, XT2

サブシステム・クロック発振用クリスタル振動子接続端子です。

### 2.3.12 VDD0, VDD1

VDD0は、ポート部の正電源供給端子です。

VDD1は、ポート部以外の正電源供給端子です。

### 2.3.13 VSS0, VSS1

VSS0は、ポート部のグランド電位端子です。

VSS1は、ポート部以外のグランド電位端子です。

### 2.3.14 VPP

フラッシュ・メモリ・プログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。

★

次のどちらかの端子処理をしてください。

- ・個別に10 k のプルダウン抵抗を接続する
- ・ボード上のジャンパで、プログラミング・モード時は専用フラッシュ・ライターに、通常動作モード時はVSS0またはVSS1に直接接続するように切り替える

### 2.3.15 IC0

IC0端子は内部接続されています。VSS0またはVSS1に接続してください。

### 2.3.16 IC2

IC2端子は内部接続されています。オープンにしてください。

### 2.3.17 NC

NC (Non-connection) 端子は内部接続されていません。VSS0またはVSS1に接続 (オープンも可) してください。

## 2.4 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表2 - 1, 表2 - 2に示します。

また、各タイプの入出力回路の構成は、図2 - 1を参照してください。

★

表2 - 1 各端子の入出力回路タイプと未使用端子の処理 (μ PD789830)

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法	
P00-P07 P10, P11	5 - H	入出力	入力時：個別に抵抗を介して、 $V_{DD0}$ , $V_{DD1}$ , $V_{SS0}$ , $V_{SS1}$ のいずれかに接続してください 出力時：オープンにしてください	
P20/INTP0 P21/INTP1 P22/INTP2/BUZ	8 - H		入力時：個別に抵抗を介して、 $V_{SS0}$ または $V_{SS1}$ に接続してください 出力時：オープンにしてください	
P23/PCL	5 - S		入力時：個別に抵抗を介して、 $V_{DD0}$ , $V_{DD1}$ , $V_{SS0}$ , $V_{SS1}$ のいずれかに接続してください 出力時：オープンにしてください	
P24	13 - AB		入力時：個別に抵抗を介して、 $V_{DD0}$ または $V_{DD1}$ に接続してください 出力時：オープンにしてください	
P25/TxD00 P26/RxD00	5 - S 8 - H		入力時：個別に抵抗を介して、 $V_{DD0}$ , $V_{DD1}$ , $V_{SS0}$ , $V_{SS1}$ のいずれかに接続してください 出力時：オープンにしてください	
P30-P34 P50/S39-P57/S32	8 - C 17 - I		出力時：オープンにしてください	
S0-S31 COM0-COM15	17 - H 18 - C		出力	オープンにしてください
XT1 XT2	16		入力	$V_{SS0}$ または $V_{SS1}$ に直接接続してください
			-	オープンにしてください
RESET	2		入力	-
IC0	-	-	$V_{SS0}$ または $V_{SS1}$ に直接接続してください	

★

表2 - 2 各端子の入出力回路タイプと未使用端子の処理 ( $\mu$ PD78F9831)

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00-P07	5 - H	入出力	入力時：個別に抵抗を介して， $V_{DD0}$ ， $V_{DD1}$ ， $V_{SS0}$ ， $V_{SS1}$ のいずれかに接続してください 出力時：オープンにしてください
P10-P17			
P20/INTP0	8 - H	入出力	入力時：個別に抵抗を介して， $V_{SS0}$ または $V_{SS1}$ に接続してください 出力時：オープンにしてください
P21/INTP1			
P22/INTP2/BUZ			
P23/PCL	5 - S	入出力	入力時：個別に抵抗を介して， $V_{DD0}$ ， $V_{DD1}$ ， $V_{SS0}$ ， $V_{SS1}$ のいずれかに接続してください 出力時：オープンにしてください
P24	13 - AB	入出力	入力時：個別に抵抗を介して， $V_{DD0}$ または $V_{DD1}$ に接続してください 出力時：オープンにしてください
P25/TxD00	5 - S	入出力	入力時：個別に抵抗を介して， $V_{DD0}$ ， $V_{DD1}$ ， $V_{SS0}$ ， $V_{SS1}$ のいずれかに接続してください 出力時：オープンにしてください
P26/RxD00	8 - H		
P30-P34	8 - C		
P40/INTP3	8-H		
P41/INTP4			
P50/S39-P57/S32	17 - I		
S0-S31	17 - H		
COM0-COM15	18 - C	出力	オープンにしてください
XT1	16	入力	$V_{SS0}$ または $V_{SS1}$ に直接接続してください
XT2		-	オープンにしてください
RESET	2	入力	-
IC0	2 - B		$V_{SS0}$ または $V_{SS1}$ に直接接続してください
IC2	-		オープンにしてください
NC	-	-	オープンにしてください
$V_{PP}$	-	-	個別に10 k のプルダウン抵抗を接続するか， $V_{SS0}$ または $V_{SS1}$ に直接接続してください

図2 - 1 端子の入出力回路一覧 (1/2)

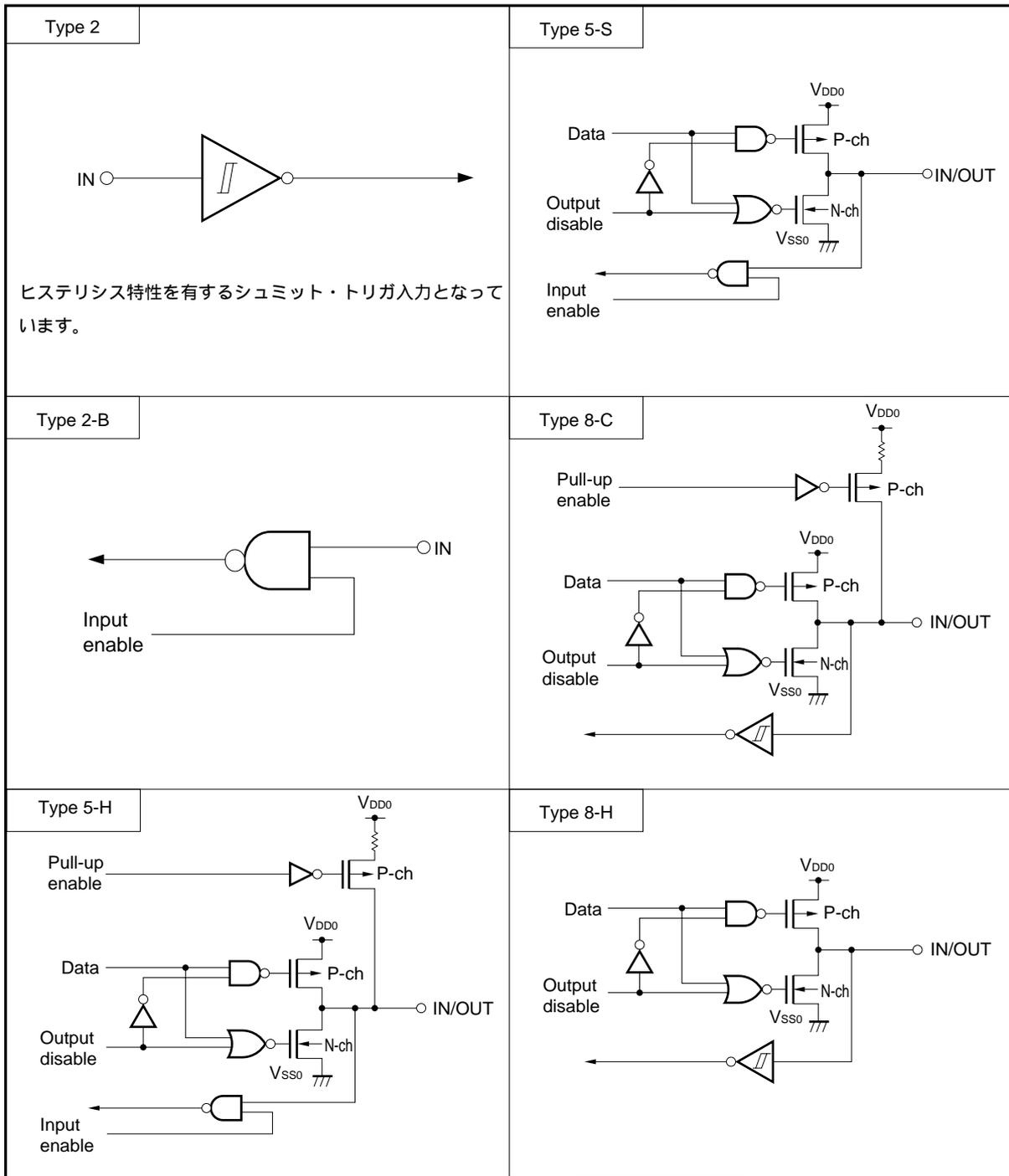
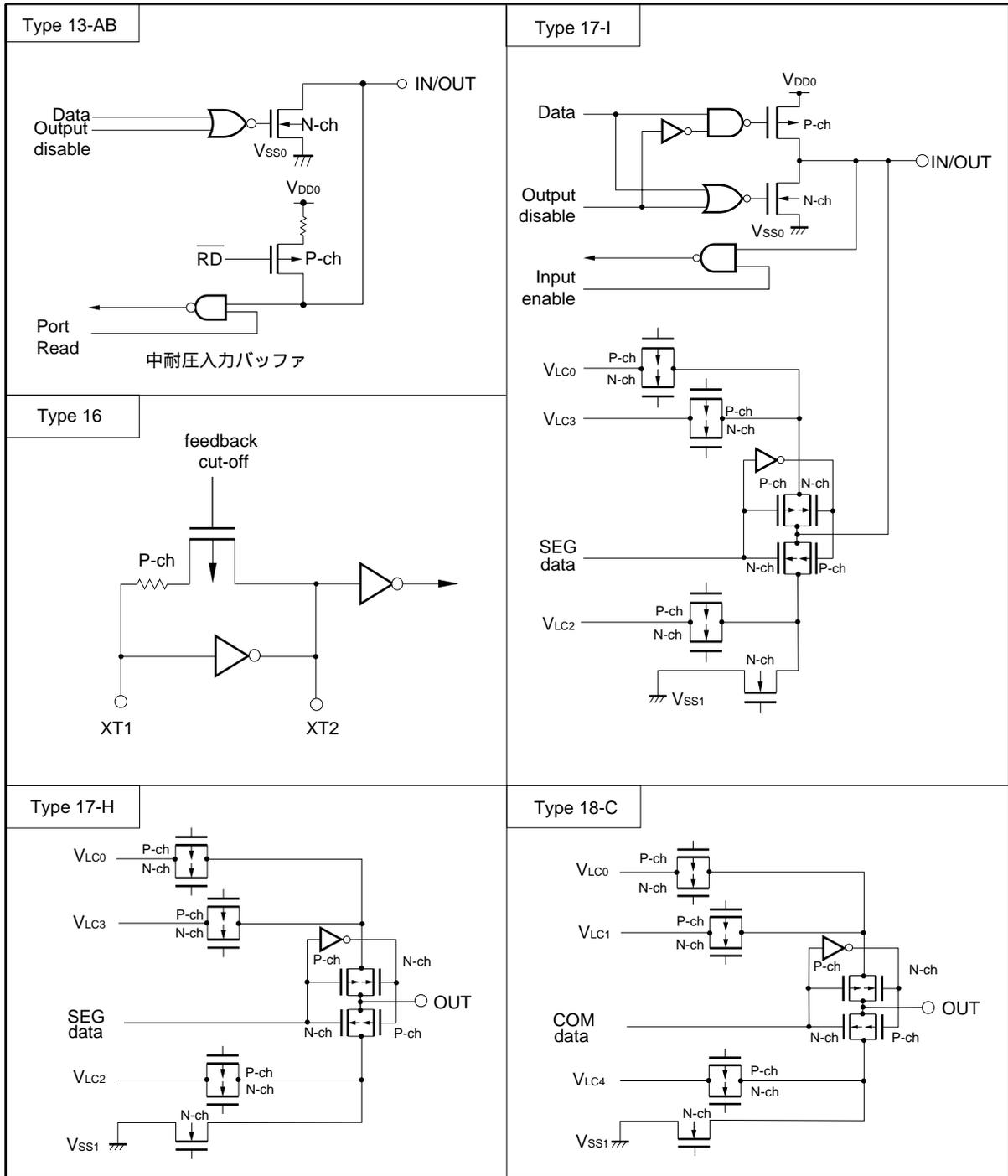


図2 - 1 端子の入出力回路一覧 (2/2)



# 第3章 CPUアーキテクチャ

## 3.1 メモリ空間

μ PD789830サブシリーズは、64 Kバイトのメモリ空間をアクセスできます。

図3 - 1, 図3 - 2にメモリ・マップを示します。

図3 - 1 メモリ・マップ (μ PD789830)

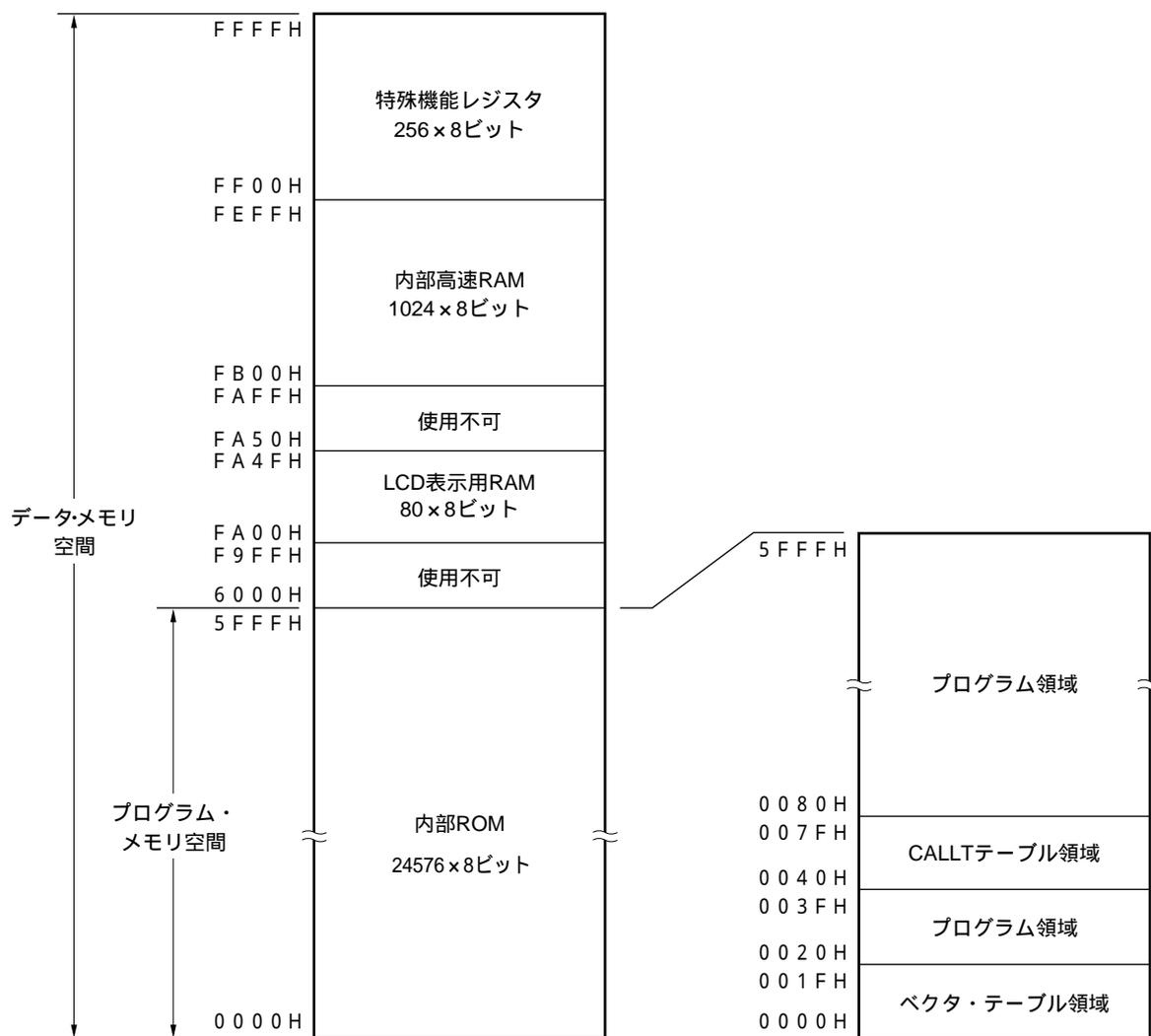
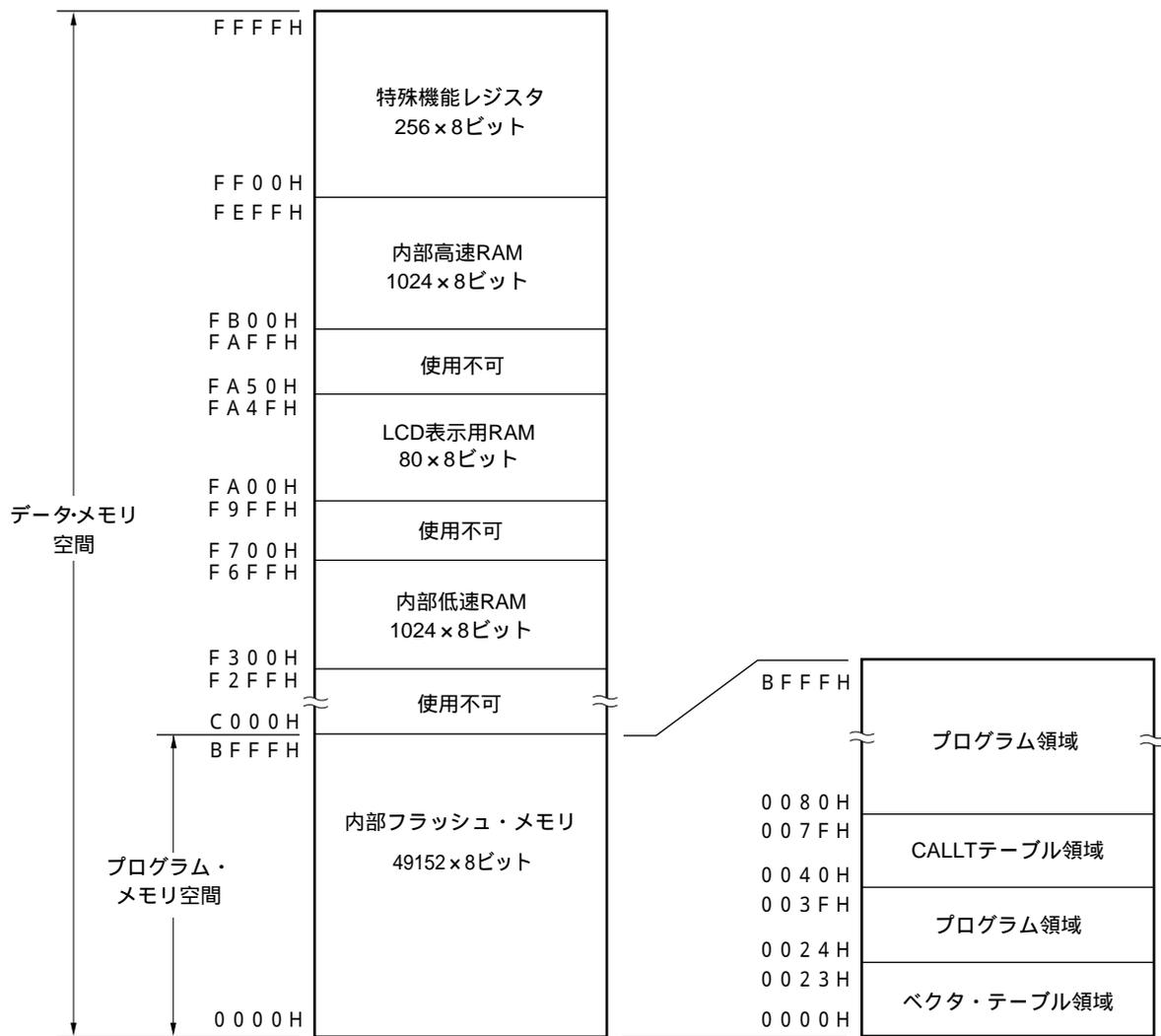


図3 - 2 メモリ・マップ (μ PD78F9831)



### 3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間には、プログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

μPD789830サブシリーズでは、各製品ごとに次の容量の内部ROM（またはフラッシュ・メモリ）を内蔵しています。

表3 - 1 内部ROM容量

品名	内部ROM	
	構造	容量
μPD789830	マスクROM	24576×8ビット
μPD78F9831	フラッシュ・メモリ	49152×8ビット

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

#### (1) ベクタ・テーブル領域

0000H-001FHの32バイトの領域（μPD789830）、または0000H-0023Hの36バイトの領域（μPD78F9831）はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、RESET入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3 - 2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要求	ベクタ・テーブル・アドレス	割り込み要求
0000H	RESET入力	0014H	INTTM41
0004H	INTWDT	0016H	INTTM4
0006H	INTP0	0018H	INTTM00
0008H	INTP1	001AH	INTWTI
000AH	INTP2	001CH	INTWT
000CH	INTSER00	001EH	INTKR00
000EH	INTSR00	0020H <sup>注</sup>	INTP3 <sup>注</sup>
0010H	INTST00	0022H <sup>注</sup>	INTP4 <sup>注</sup>
0012H	INTTM40		

注 μPD78F9831のみ

#### (2) CALLT命令テーブル領域

0040H-007FHの64バイトの領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納できます。

### 3.1.2 内部データ・メモリ空間

μPD789830サブシリーズでは、次に示すRAMを内蔵しています。

#### (1) 内部RAM

μPD789830サブシリーズでは、各製品ごとに次のように内部RAMを内蔵しています。

表3 - 3 内部RAM容量

品名	容量	アドレス
μPD789830	1024×8ビット	FB00H-FEFFFH
μPD78F9831	2048×8ビット	FB00H-FEFFFH (1024×8ビット)
		F300H-F6FFFH (1024×8ビット)

内部RAMはスタックとしても使用できます。

#### (2) LCD表示用RAM

FA00H-FA4FHの領域には、LCD表示用RAMが割り付けられています。LCD表示用RAMは、通常のRAMとしても使用できます。

### 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (表3 - 4参照)。

### 3.1.4 データ・メモリ・アドレッシング

μPD789830サブシリーズは、メモリの操作性などを考慮した豊富なアドレッシング・モードを備えています。特にデータ・メモリを内蔵している領域 (FB00H-FFFFH) では、特殊機能レジスタ (SFR) など、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図3 - 3、図3 - 4にデータ・メモリのアドレッシングを示します。

図3 - 3 データ・メモリのアドレッシング (μPD789830)

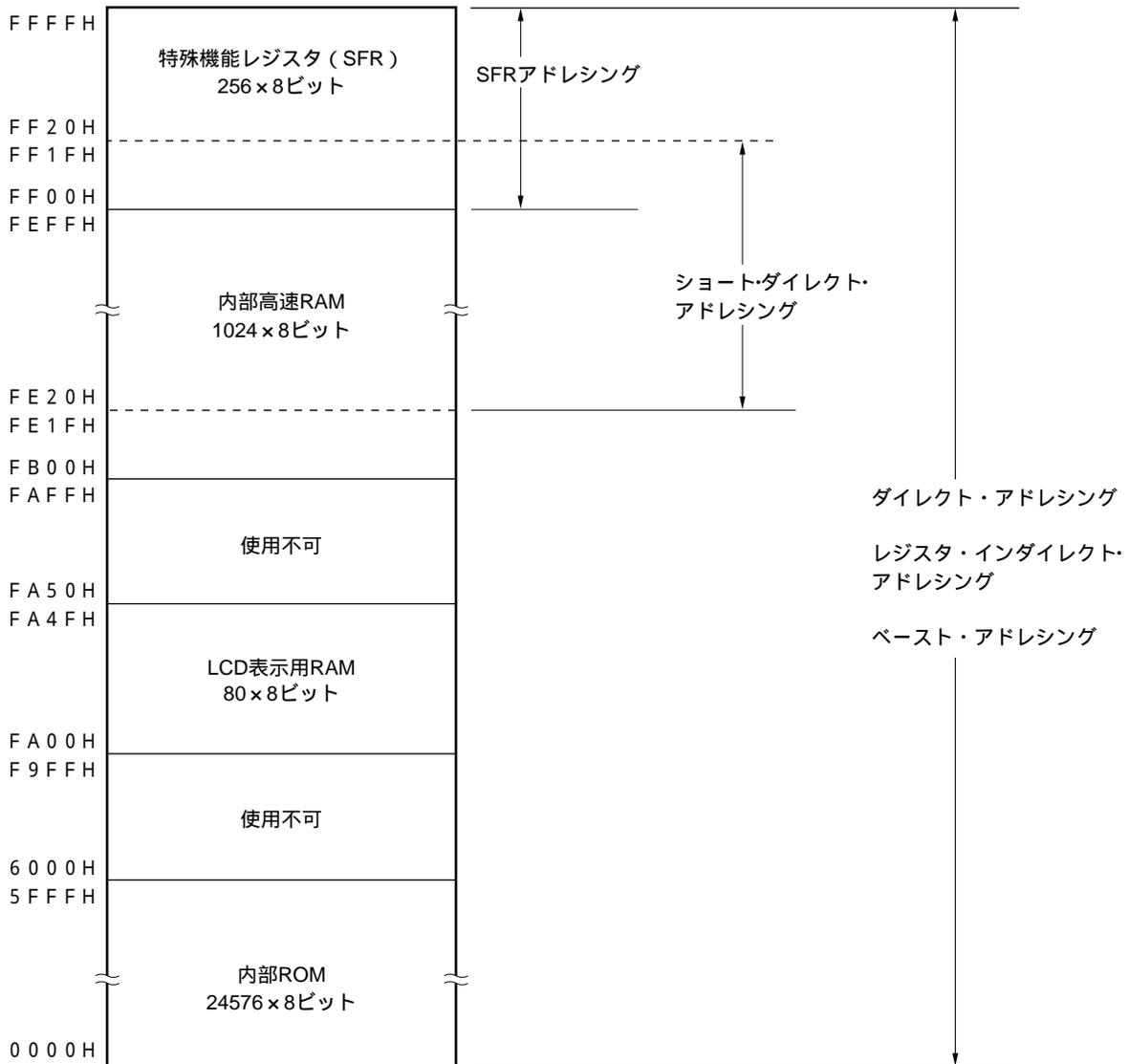
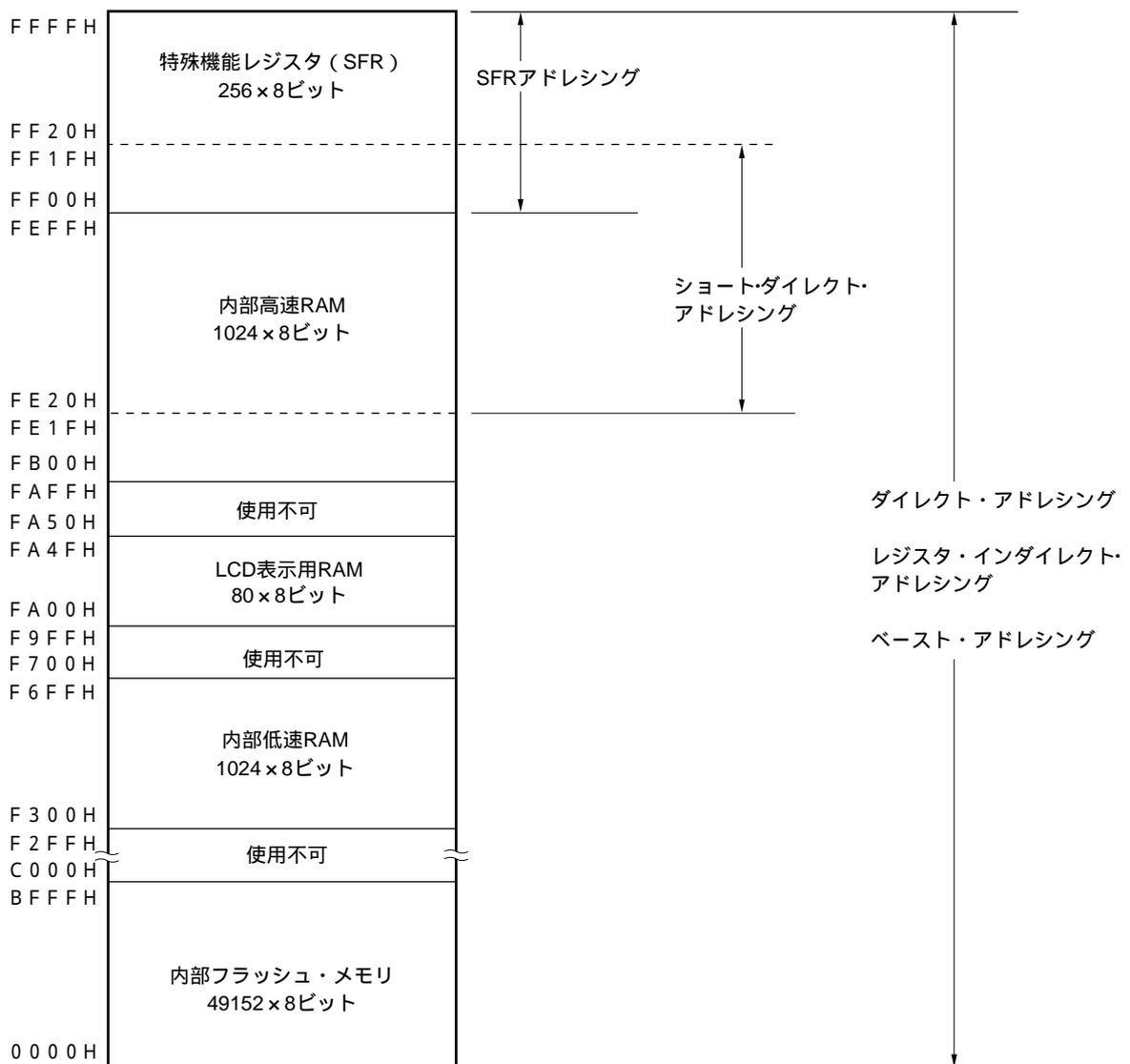


図3-4 データ・メモリのアドレッシング ( $\mu$ PD78F9831)



## 3.2 プロセッサ・レジスタ

$\mu$ PD789830サブシリーズは、次のプロセッサ・レジスタを内蔵しています。

### 3.2.1 制御レジスタ

プログラム・シーケンス・ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ、プログラム・ステータス・ワード、スタック・ポインタがあります。

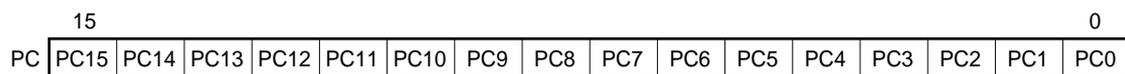
#### (1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3 - 5 プログラム・カウンタの構成



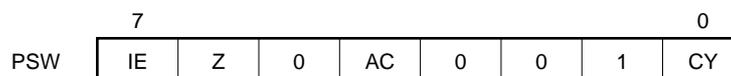
#### (2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RET命令およびPOP PSW命令の実行時に自動的に復帰されます。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図3 - 6 プログラム・ステータス・ワードの構成



**(a) 割り込み許可フラグ (IE)**

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、ノンマスクابل割り込み以外の割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このときの割り込み要求の受け付けは、各割り込み要因に対する割り込みマスク・フラグにより制御されます。

このフラグはDI命令実行または割り込みの受け付けでリセット (0) され、EI命令実行によりセット (1) されます。

**(b) ゼロ・フラグ (Z)**

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

**(c) 補助キャリー・フラグ (AC)**

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

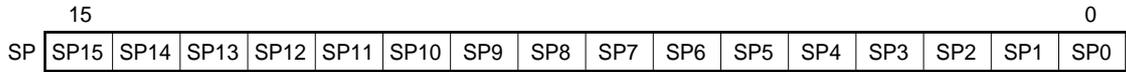
**(d) キャリー・フラグ (CY)**

加減算命令実行時のオーバーフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図3 - 7 スタック・ポインタの構成



スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

各スタック動作によって退避／復帰されるデータは図3 - 8，図3 - 9のようになります。

**注意** SPの内容はRESET入力により、不定になりますので、必ず命令実行前にイニシャライズしてください。

図3 - 8 スタック・メモリへ退避されるデータ

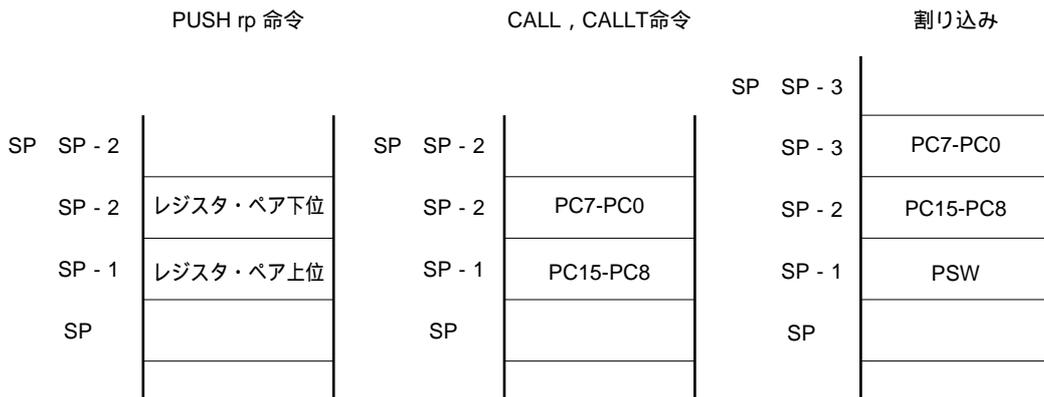
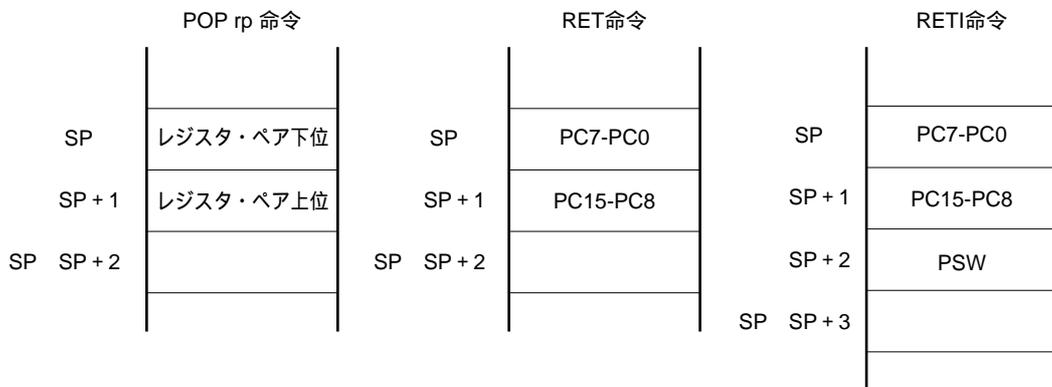


図3 - 9 スタック・メモリから復帰されるデータ



### 3.2.2 汎用レジスタ

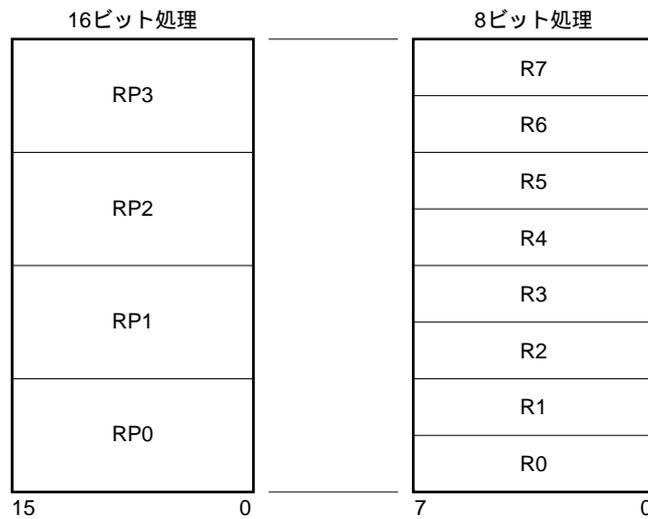
汎用レジスタは、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) で構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

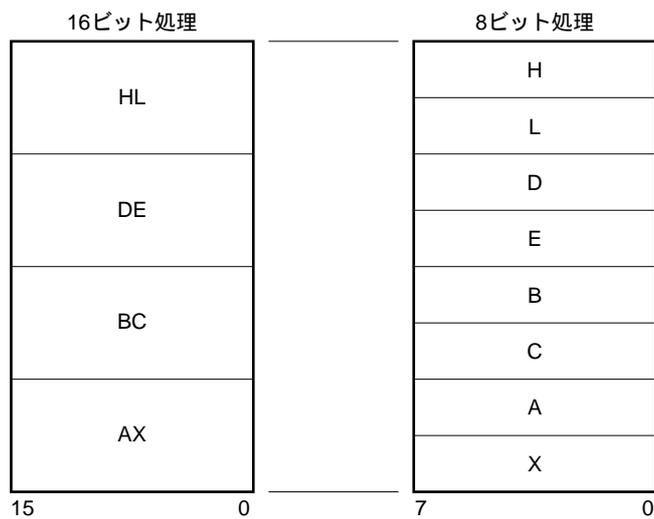
また、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほか、絶対名称 (R0-R7, RP0-RP3) でも記述できます。

図3 - 10 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



### 3.2.3 特殊機能レジスタ (SFR)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの256バイトの空間に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとに指定方法を次に示します。

- ・ 1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ 8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ 16ビット操作

16ビット操作命令のオペランドにアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 4に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- ・ 略号

内蔵された特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、Cコンパイラではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。アセンブラ、統合ディバッガ使用時に命令のオペランドとして記述できます。

- ・ R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・ 操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を示します。

- ・ リセット時

$\overline{\text{RESET}}$ 入力時の各レジスタの状態を示します。

表3-4 特殊機能レジスタ一覧(1/2)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FF00H	ポート0	P0	R/W			-	00H
FF01H	ポート1	P1				-	
FF02H	ポート2	P2				-	
FF03H	ポート3	P3				-	
FF04H	ポート4 <sup>注1</sup>	P4				-	
FF05H	ポート5	P5				-	
FF16H	16ビット・コンペア・レジスタ40	CR40L	CR40	-		注2	0000H
FF17H		CR40H					
FF20H	ポート・モード・レジスタ0	PM0			-	FFH	
FF21H	ポート・モード・レジスタ1	PM1			-		
FF22H	ポート・モード・レジスタ2	PM2			-		
FF23H	ポート・モード・レジスタ3	PM3			-		
FF24H	ポート・モード・レジスタ4 <sup>注1</sup>	PM4			-		
FF25H	ポート・モード・レジスタ5	PM5			-		
FF40H	PCL/BUZコントロール・レジスタ0	PBS0			-	00H	
FF42H	タイマ・クロック選択レジスタ2	TCL2	-		-		
FF4AH	時計用タイマ・モード・コントロール・レジスタ	WTM			-		
FF50H	8ビット・コンペア・レジスタ00	CR00	W	-	-	不定	
FF51H	8ビット・タイマ・カウンタ00	TM00	R	-	-	00H	
FF53H	8ビット・タイマ・モード・コントロール・レジスタ00	TMC00	R/W				-
FF5BH	タイマ40コントロール・レジスタ	TMC40					-
FFA0H	アシンクロナス・シリアル・インタフェース・モード・レジスタ00	ASIM00					-
FFA1H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00	ASIS00	R				-
FFA2H	ポー・レート・ジェネレータ・コントロール・レジスタ00	BRGC00	R/W	-			-
FFA3H	送信シフト・レジスタ00	TXS00	W	-		-	FFH
	受信バッファ・レジスタ00	RXB00	R	-		-	
FFB0H	LCD20モード・レジスタ	LCDM20	R/W			-	00H
FFB1H	兼用ポート機能切り替えレジスタ	PF5		-		-	
FFB2H	LCD20クロック選択レジスタ	LCDC20		-		-	
FFE0H	割り込み要求フラグ・レジスタ0	IF0				-	
FFE1H	割り込み要求フラグ・レジスタ1	IF1				-	
FFE4H	割り込みマスク・フラグ・レジスタ0	MK0				-	
FFE5H	割り込みマスク・フラグ・レジスタ1	MK1			-		
FFECH	外部割り込みモード・レジスタ0	INTM0		-		-	00H
FFEDH	外部割り込みモード・レジスタ1 <sup>注1</sup>	INTM1		-		-	
FFF0H	サブ発振モード・レジスタ	SCKM				-	
FFF2H	サブクロック・コントロール・レジスタ	CSS				-	

注1. μPD78F9831のみ

2. ショート・ダイレクト・アドレッシングでのみ16ビット・アクセス可能です。

表3 - 4 特殊機能レジスタ一覧 (2/2)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FFF5H	キー・リターン・モード・レジスタ00	KRM00	R/W	-		-	00H
FFF7H	プルアップ抵抗オプション・レジスタ0	PU0				-	
FFF9H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM				-	
FFFAH	発振安定時間選択レジスタ	OSTS		-		-	04H
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC				-	02H

### 3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0Sシリーズ ユーザーズ・マニュアル命令編（U11047J）を参照してください）。

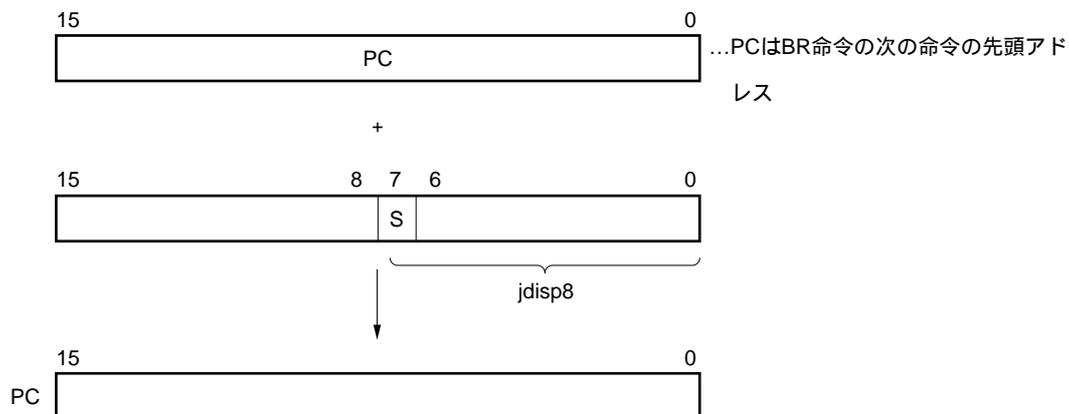
#### 3.3.1 レラティブ・アドレッシング

##### 【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエト・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

##### 【図解】



S = 0 のとき、は全ビット 0

S = 1 のとき、は全ビット 1

## 3.3.2 イミューディエト・アドレッシング

## 【機能】

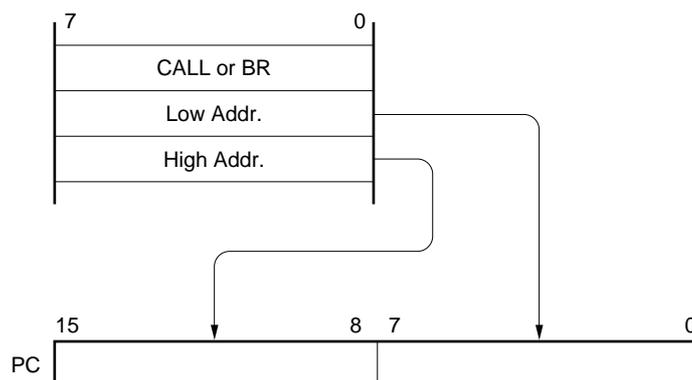
命令語中のイミューディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16命令を実行する際に行われます。

CALL !addr16, BR !addr16命令は、全メモリに分岐できます。

## 【図解】

CALL !addr16, BR !addr16命令の場合



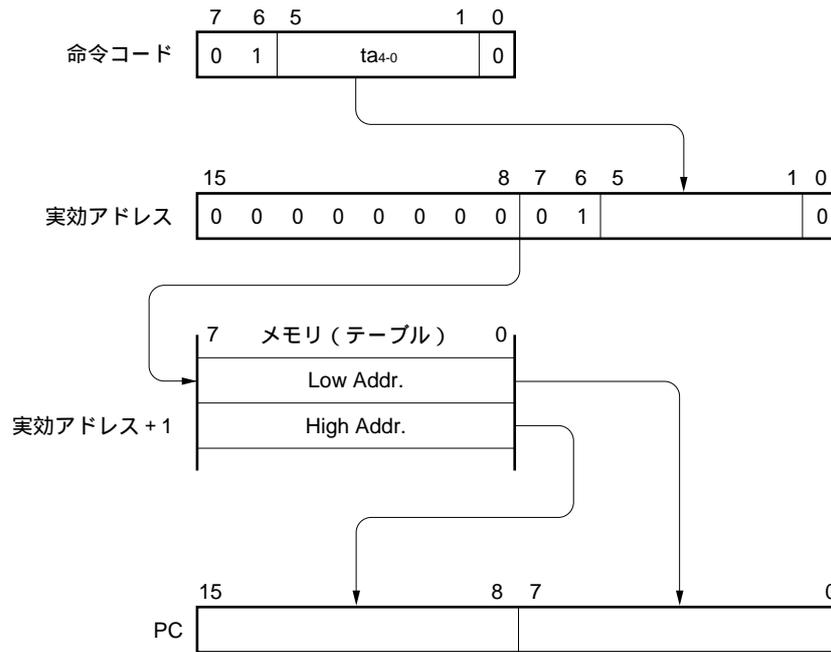
### 3.3.3 テーブル・インダイレクト・アドレッシング

**【機能】**

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [ addr5 ] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H～7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

**【図解】**



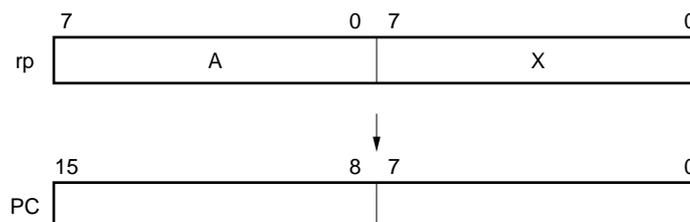
### 3.3.4 レジスタ・アドレッシング

**【機能】**

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

**【図解】**



## 3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

### 3.4.1 ダイレクト・アドレッシング

#### 【機能】

命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

#### 【オペランド形式】

表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

#### 【記述例】

MOV A, !FE00H ; laddr16をFE00Hとする場合

命令コード 

0	0	1	0	1	0	0	1
---	---	---	---	---	---	---	---

 OPコード

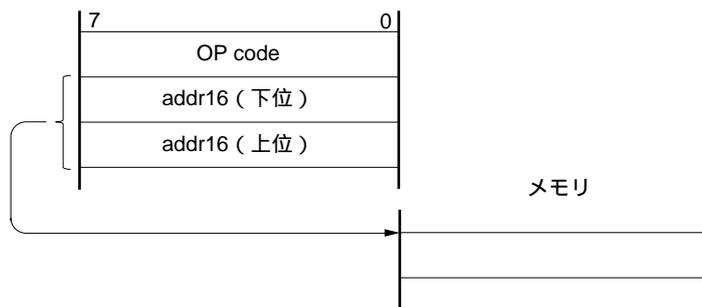
0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

 00H

1	1	1	1	1	1	1	0
---	---	---	---	---	---	---	---

 FEH

#### 【図解】



### 3.4.2 ショート・ダイレクト・アドレッシング

**【機能】**

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部高速RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作することができます。

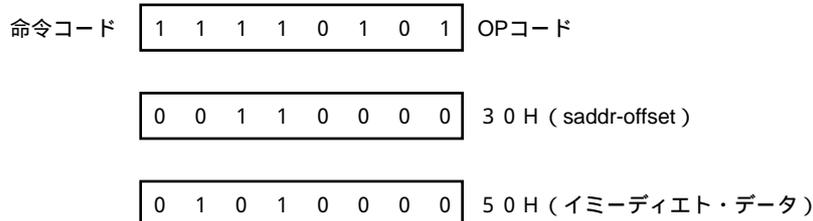
実効アドレスのビット8には、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。次の【図解】を参照してください。

**【オペランド形式】**

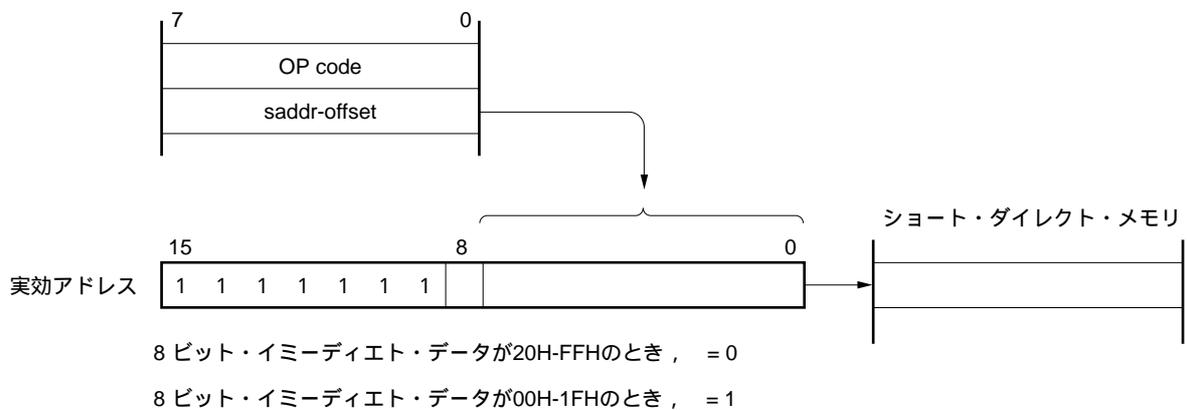
表現形式	記述方法
saddr	ラベルまたはFE20H-FF1FHのイミディエト・データ
saddrp	ラベルまたはFE20H-FF1FHのイミディエト・データ（偶数アドレスのみ）

**【記述例】**

MOV FE30H, #50H ; saddrをFE30H、イミディエト・データを50Hとする場合



**【図解】**



### 3.4.3 特殊機能レジスタ (SFR) アドレッシング

**【機能】**

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

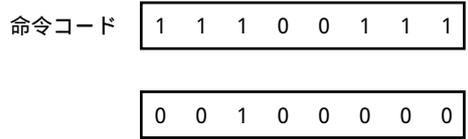
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

**【オペランド形式】**

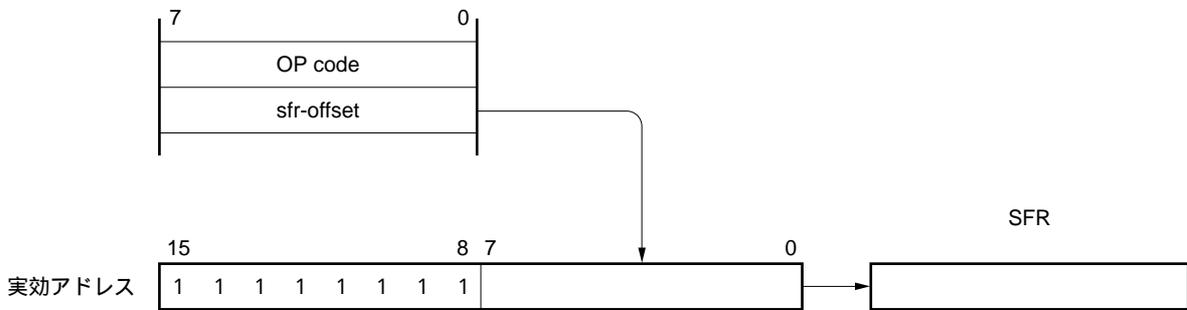
表現形式	記述方法
sfr	特殊機能レジスタ名

**【記述例】**

MOV PM0, A ; sfrにPM0を選択する場合



**【図解】**



## 3.4.4 レジスタ・アドレッシング

## 【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。

アクセスされる汎用レジスタは、命令コード中のレジスタ指定コードや機能名称で指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

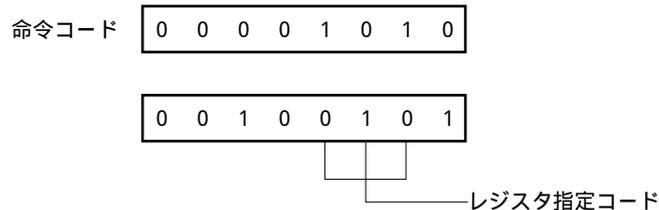
## 【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

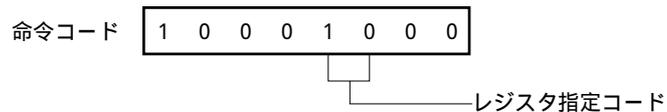
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

## 【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



## 3.4.5 レジスタ・インダイレクト・アドレッシング

## 【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

## 【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

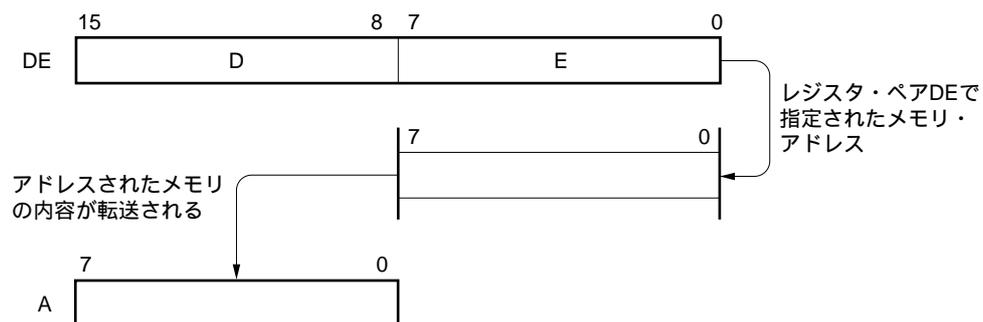
## 【記述例】

MOV A, [DE] ; レジスタ・ペア [DE] を選択する場合

命令コード 

0	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

## 【図解】



### 3.4.6 ベース・アドレッシング

#### 【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

#### 【オペランド形式】

表現形式	記述方法
-	[ HL + byte ]

#### 【記述例】

MOV A, [ HL + 10H ] ; byteを10Hとする場合

命令コード 

0	0	1	0	1	1	0	1
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

### 3.4.7 スタック・アドレッシング

#### 【機能】

スタック・ポインタ (SP) の内容により、スタック領域を間接的にアドレスするアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスすることができます。

#### 【記述例】

PUSH DEの場合

命令コード 

1	0	1	0	1	0	1	0
---	---	---	---	---	---	---	---

## 第4章 ポート機能

### 4.1 ポートの機能

$\mu$ PD789830サブシリーズは図4 - 1, 図4 - 2に示すポートを備えており, 多様な制御を行うことができます。各ポートの機能は表4 - 1, 表4 - 2のとおりです。

また, デジタル入出力ポートとしての機能以外に, 各種兼用機能を備えています。兼用機能については, **第2章 端子機能**を参照してください。

図4 - 1 ポートの種類 ( $\mu$ PD789830)

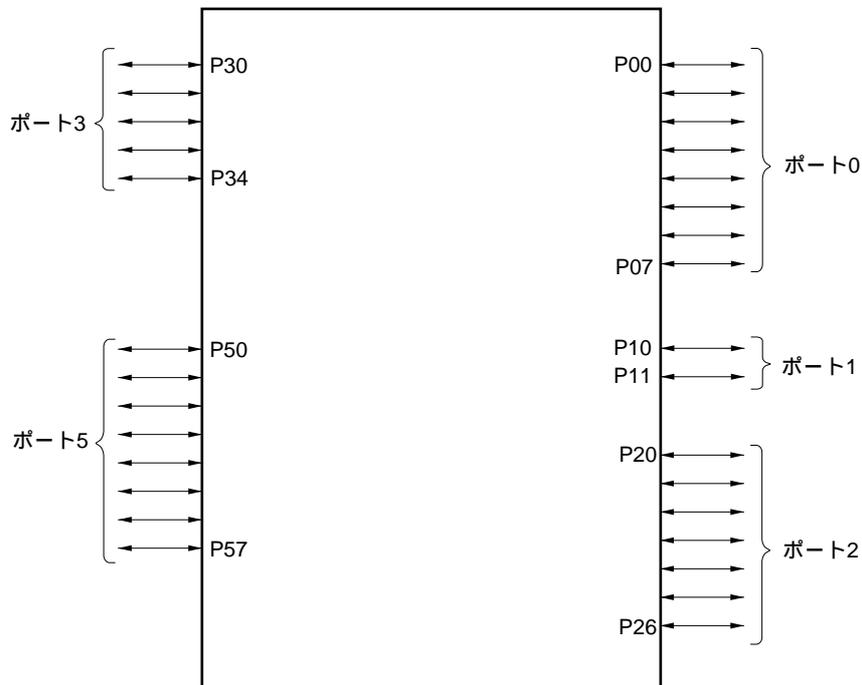


図4 - 2 ポートの種類 (μ PD78F9831)

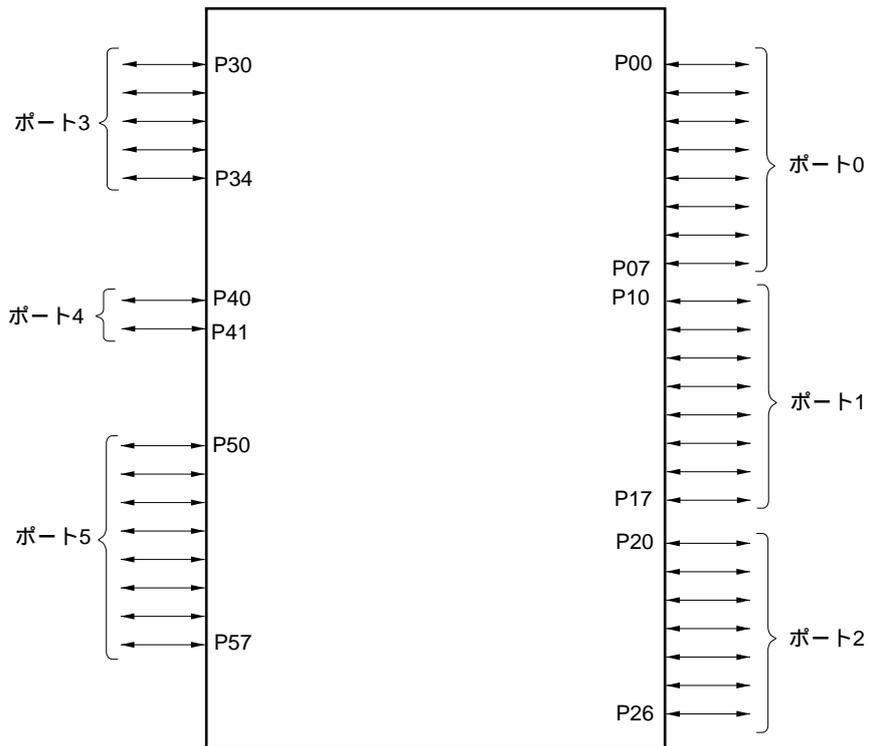


表4 - 1 ポートの機能 ( $\mu$ PD789830)

名 称	端子名称	機 能
ポート0	P00-P07	入出力ポート。1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用可能。
ポート1	P10, P11	入出力ポート。1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用可能。
ポート2	P20-P26	入出力ポート。1ビット単位で入力 / 出力の指定可能。 P24はN-chオープン・ドレイン入出力ポート。
ポート3	P30-P34	入出力ポート。1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用可能。
ポート5	P50-P57	入出力ポート。1ビット単位で入力 / 出力の指定可能。

表4 - 2 ポートの機能 ( $\mu$ PD78F9831)

名 称	端子名称	機 能
ポート0	P00-P07	入出力ポート。1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用可能。
ポート1	P10-P17	入出力ポート。1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用可能。
ポート2	P20-P26	入出力ポート。1ビット単位で入力 / 出力の指定可能。 P24はN-chオープン・ドレイン入出力ポート。
ポート3	P30-P34	入出力ポート。1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用可能。
ポート4	P40, P41	入出力ポート。1ビット単位で入力 / 出力の指定可能
ポート5	P50-P57	入出力ポート。1ビット単位で入力 / 出力の指定可能

## 4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-3 ポートの構成

項 目	構 成
制御レジスタ	ポート・モード・レジスタ (PMm) m = 0-3, 5 (μPD789830) m = 0-5 (μPD78F9831)
	プルアップ抵抗オプション・レジスタ (PU0)
ポート	<ul style="list-style-type: none"> <li>・ μPD789830 合計30本 (CMOS入出力: 29本, N-chオープン・ドレイン入出力: 1本)</li> <li>・ μPD78F9831 合計38本 (CMOS入出力: 37本, N-chオープン・ドレイン入出力: 1本)</li> </ul>
プルアップ抵抗	<ul style="list-style-type: none"> <li>・ μPD789830 合計15本 (ソフトウェア制御: 15本)</li> <li>・ μPD78F9831 合計21本 (ソフトウェア制御: 21本)</li> </ul>

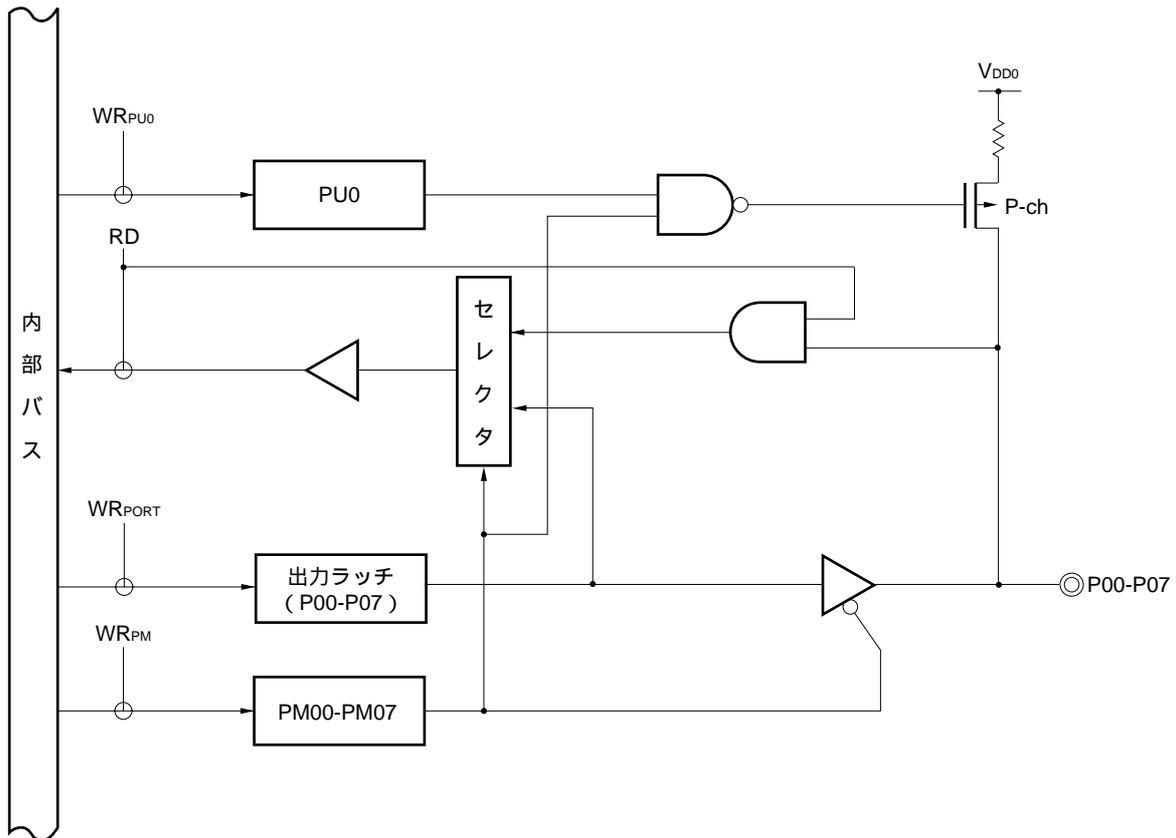
## 4.2.1 ポート0

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード / 出力モードの指定ができます。P00-P07端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により8ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 3にポート0のブロック図を示します。

図4 - 3 P00-P07のブロック図



PU0 : プルアップ抵抗オプション・レジスタ0

PM : ポート・モード・レジスタ

RD : ポート0のリード信号

WR : ポート0のライト信号

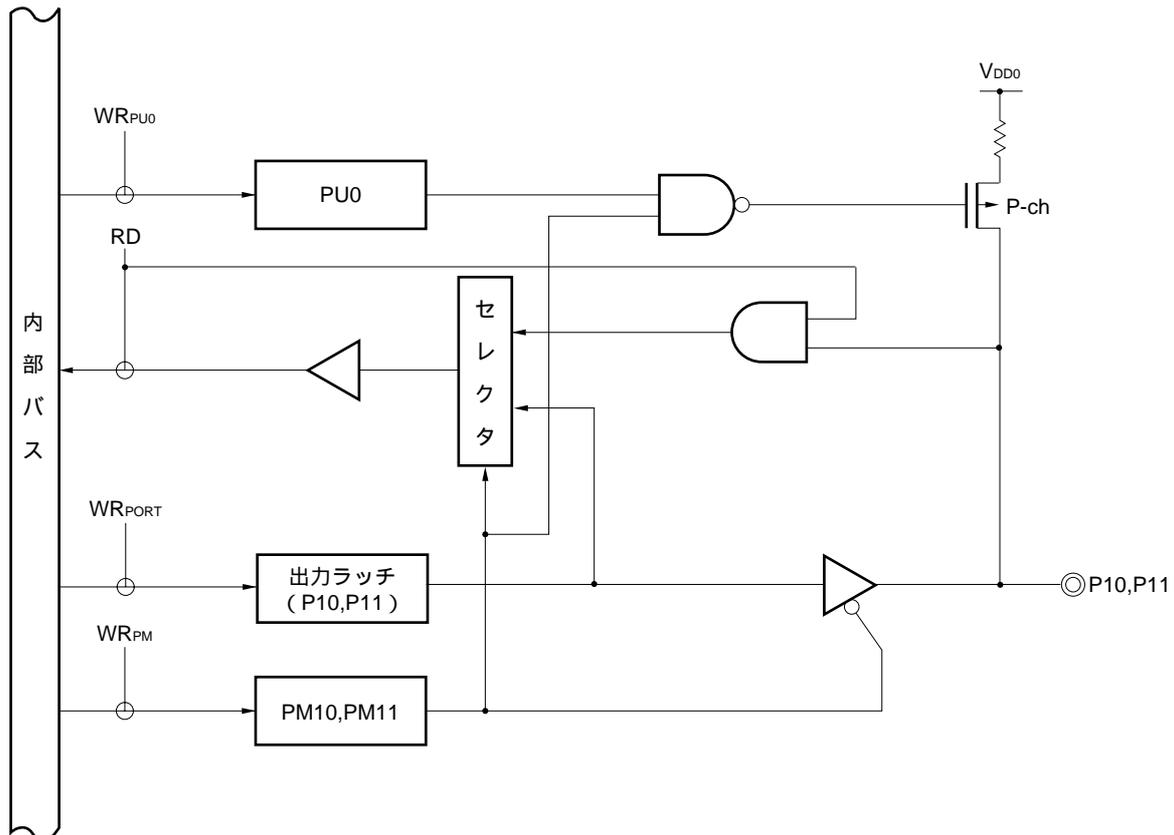
4.2.2 ポート1:  $\mu$ PD789830

出力ラッチ付き2ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード / 出力モードの指定ができます。P10, P11端子を入力ポートとして使用するとき, プルアップ抵抗オプション・レジスタ0 (PU0) の設定により2ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により, 入力モードになります。

図4 - 4にポート1のブロック図を示します。

図4 - 4 P10, P11のブロック図 ( $\mu$ PD789830)



PU0 : プルアップ抵抗オプション・レジスタ0

PM : ポート・モード・レジスタ

RD : ポート1のリード信号

WR : ポート1のライト信号

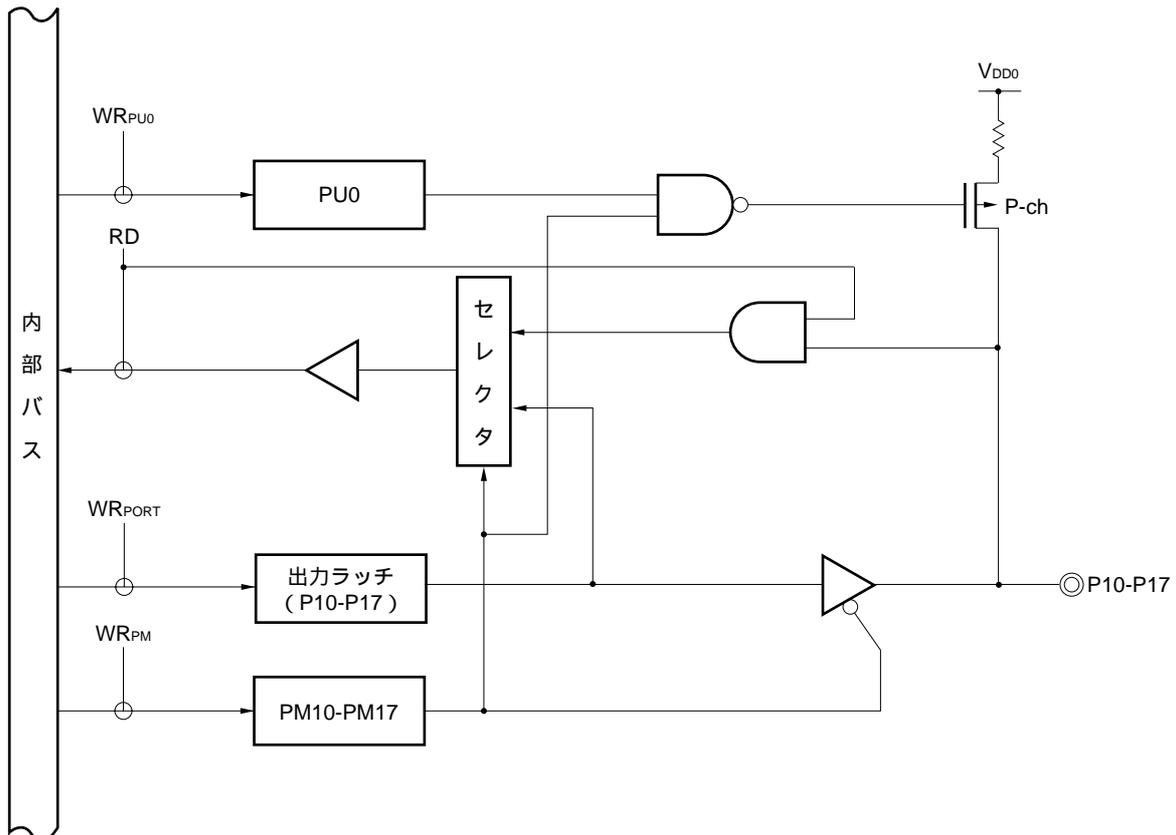
4.2.3 ポート1:  $\mu$ PD78F9831

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード / 出力モードの指定ができます。P10-P17端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により8ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 5にポート1のブロック図を示します。

図4 - 5 P10-P17のブロック図 ( $\mu$ PD78F9831)



PU0 : プルアップ抵抗オプション・レジスタ0

PM : ポート・モード・レジスタ

RD : ポート1のリード信号

WR : ポート1のライト信号

## 4.2.4 ポート2

出力ラッチ付き7ビットの入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード / 出力モードの指定ができます。

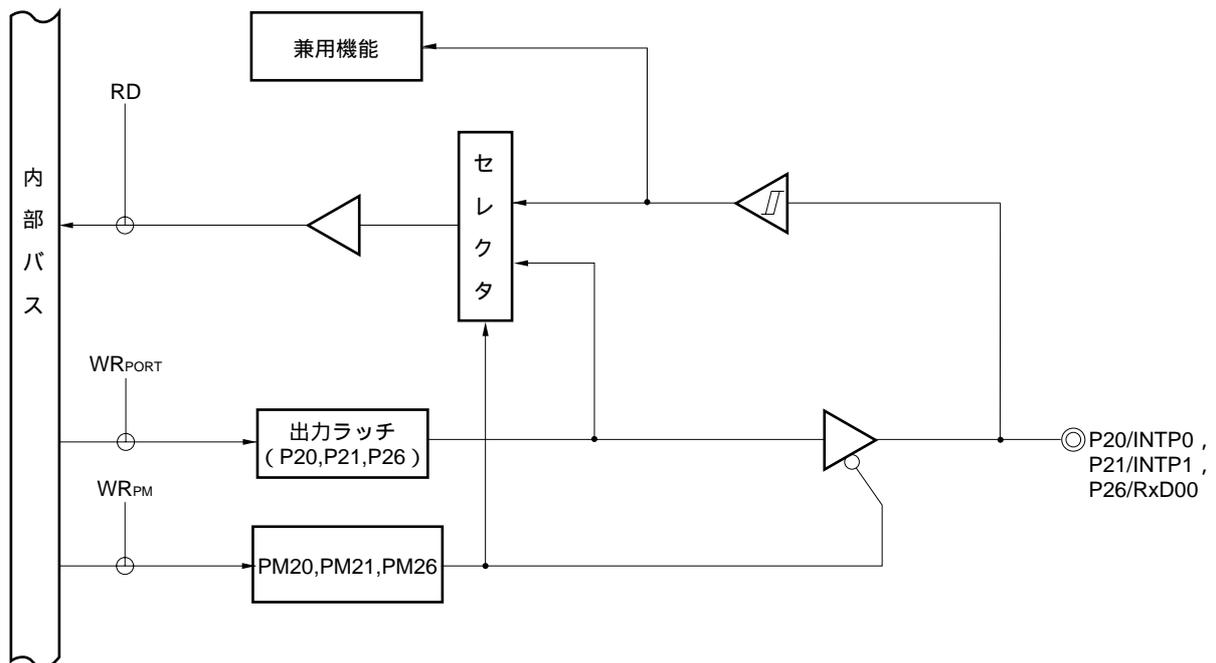
P24はN-chオープン・ドレイン入出力ポートです。P24はリード時にV<sub>DD0</sub>にプルアップされます。

また、兼用端子として外部割り込み入力、パルス出力、クロック出力、アシンクロナス・シリアル・インタフェースのデータ入出力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 6から図4 - 9にポート2のブロック図を示します。

図4 - 6 P20, P21, P26のブロック図



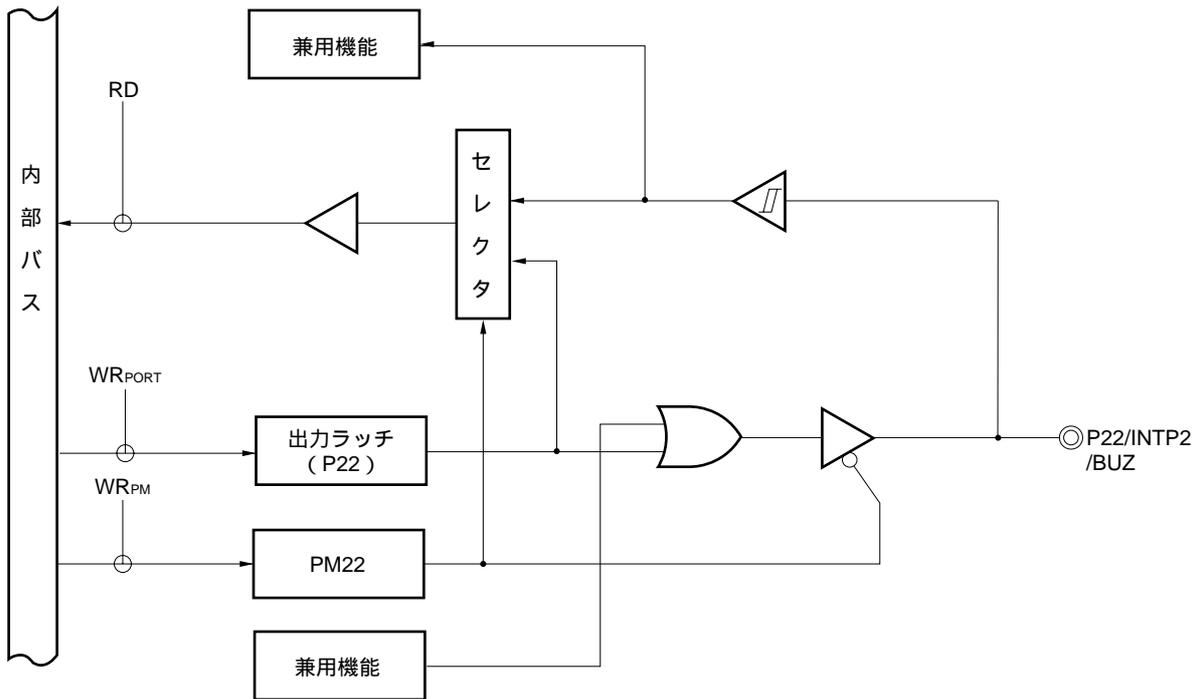
PU0 : プルアップ抵抗オプション・レジスタ0

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 7 P22のブロック図

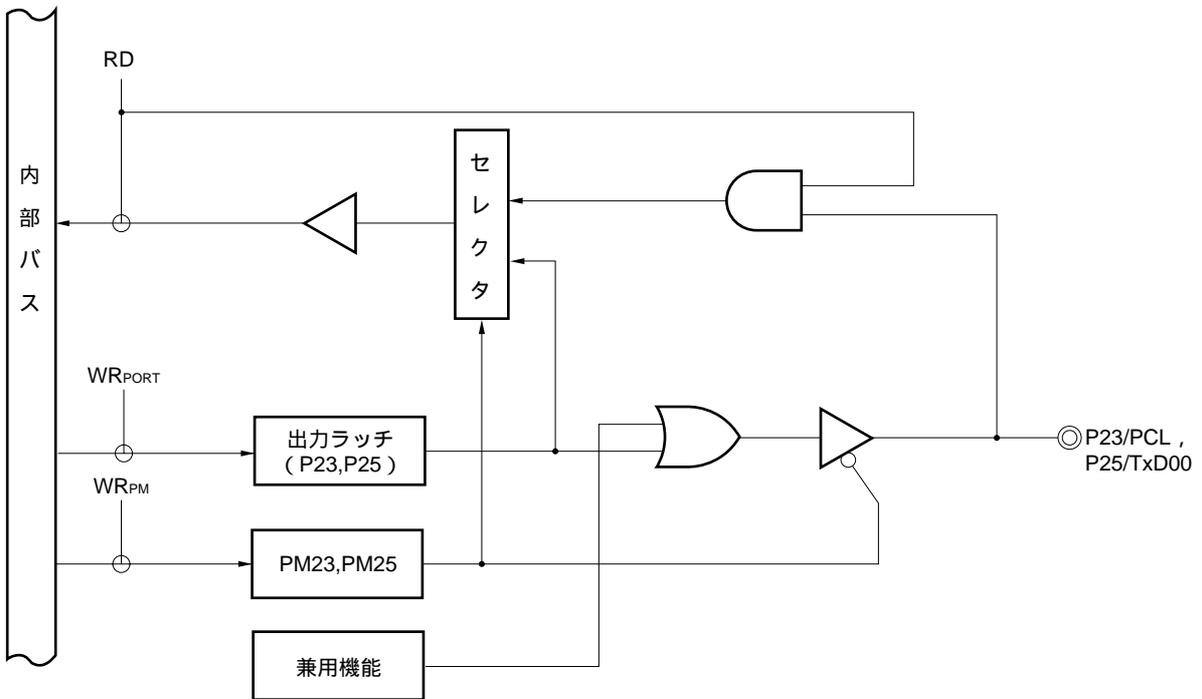


PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 8 P23, P25のブロック図

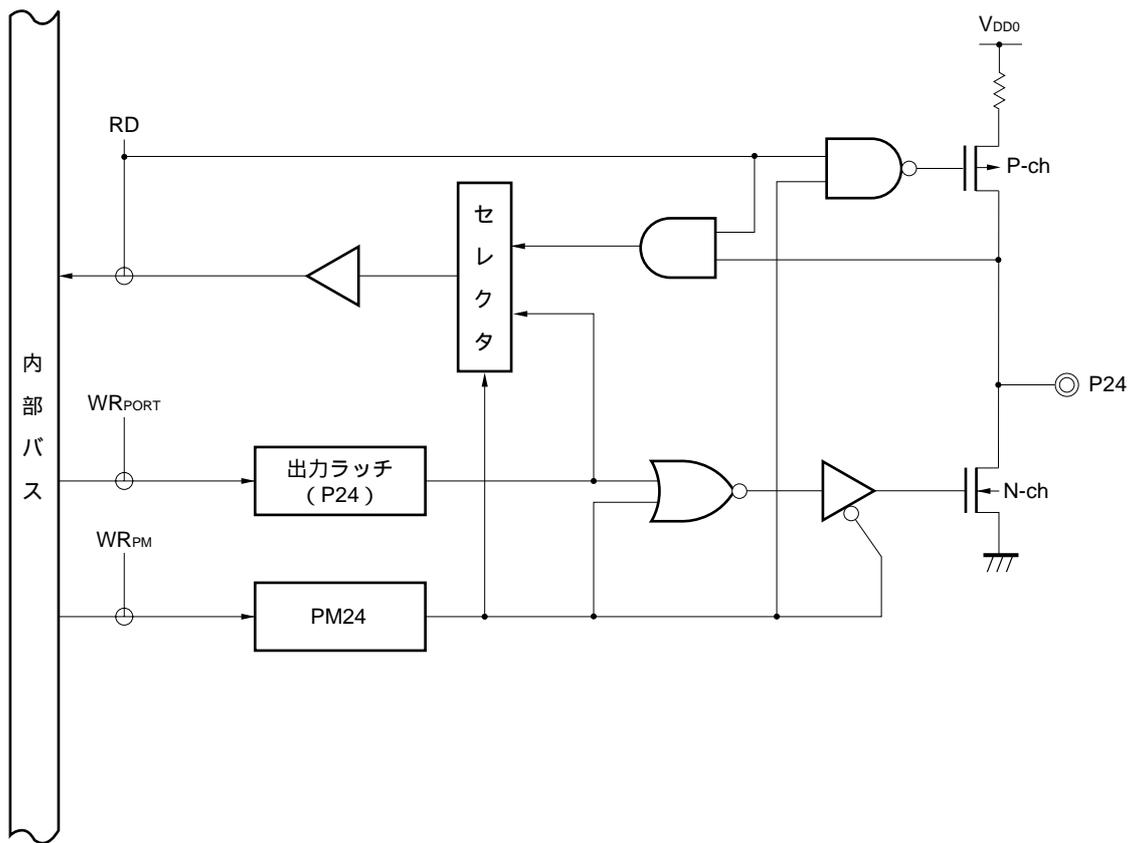


PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 9 P24のブロック図



- PM : ポート・モード・レジスタ
- RD : ポート2のリード信号
- WR : ポート2のライト信号

## 4.2.5 ポート3

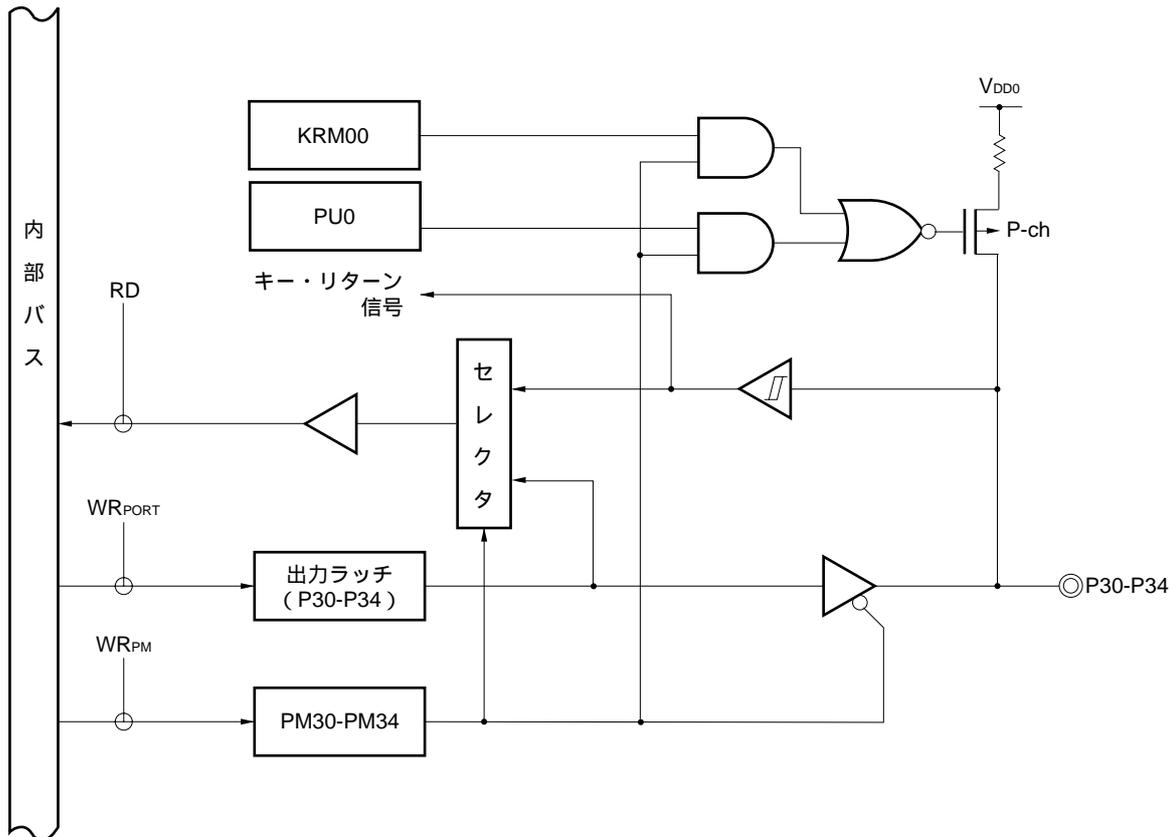
出力ラッチ付き5ビット入出力ポートです。ポート・モード・レジスタ3 (PM3) により、1ビット単位で入力モード/出力モードの指定ができます。

また、1ビット単位でキー・リターン検出が可能です。設定方法については13.3 (6) キー・リターン・モード・レジスタ00 (KRM00) を参照してください。

RESET入力により、入力モードになります。

図4 - 10にポート3のブロック図を示します。

図4 - 10 P30-P34のブロック図



PU0 : プルアップ抵抗オプション・レジスタ0

KRM00 : キー・リターン・モード・レジスタ00

PM : ポート・モード・レジスタ

RD : ポート3のリード信号

WR : ポート3のライト信号

### 4.2.6 ポート4 : $\mu$ PD78F9831

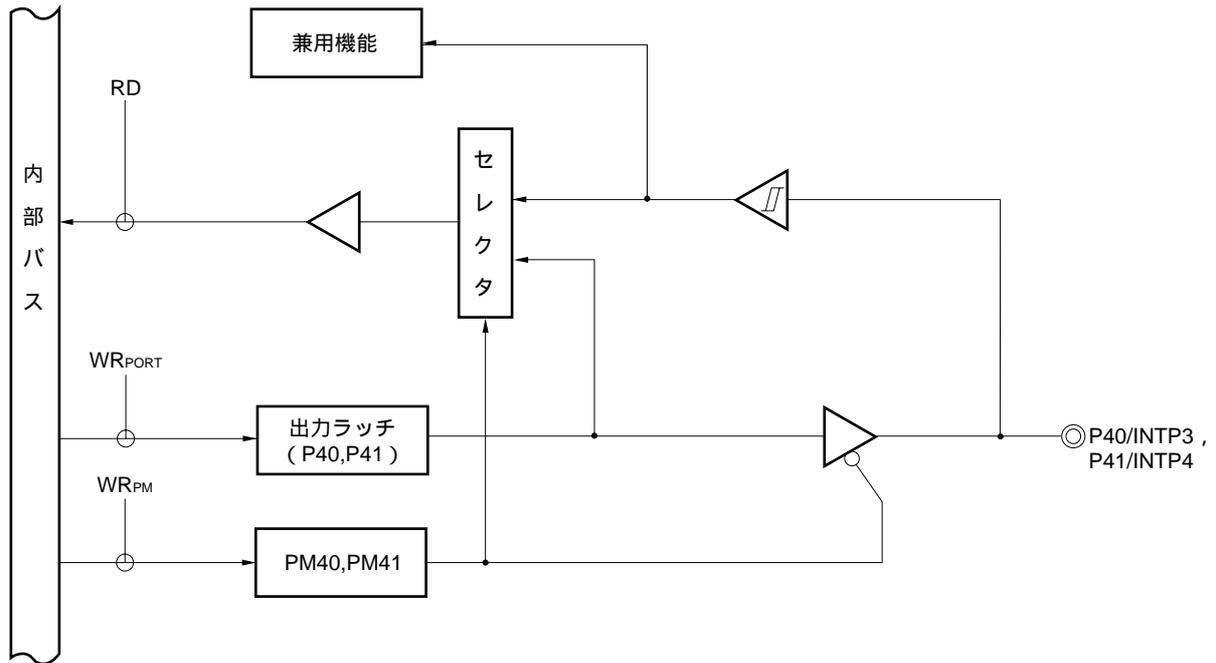
出力ラッチ付き2ビット入出力ポートです。ポート・モード・レジスタ4 (PM4) により, 1ビット単位で入力モード / 出力モードの指定ができます。

また, 兼用機能として外部割り込み入力があります。

$\overline{\text{RESET}}$ 入力により, 入力モードになります。

図4 - 11にポート4のブロック図を示します。

図4 - 11 P40, P41のブロック図 ( $\mu$ PD78F9831)



PM : ポート・モード・レジスタ

RD : ポート4のリード信号

WR : ポート4のライト信号

### 4.2.7 ポート5

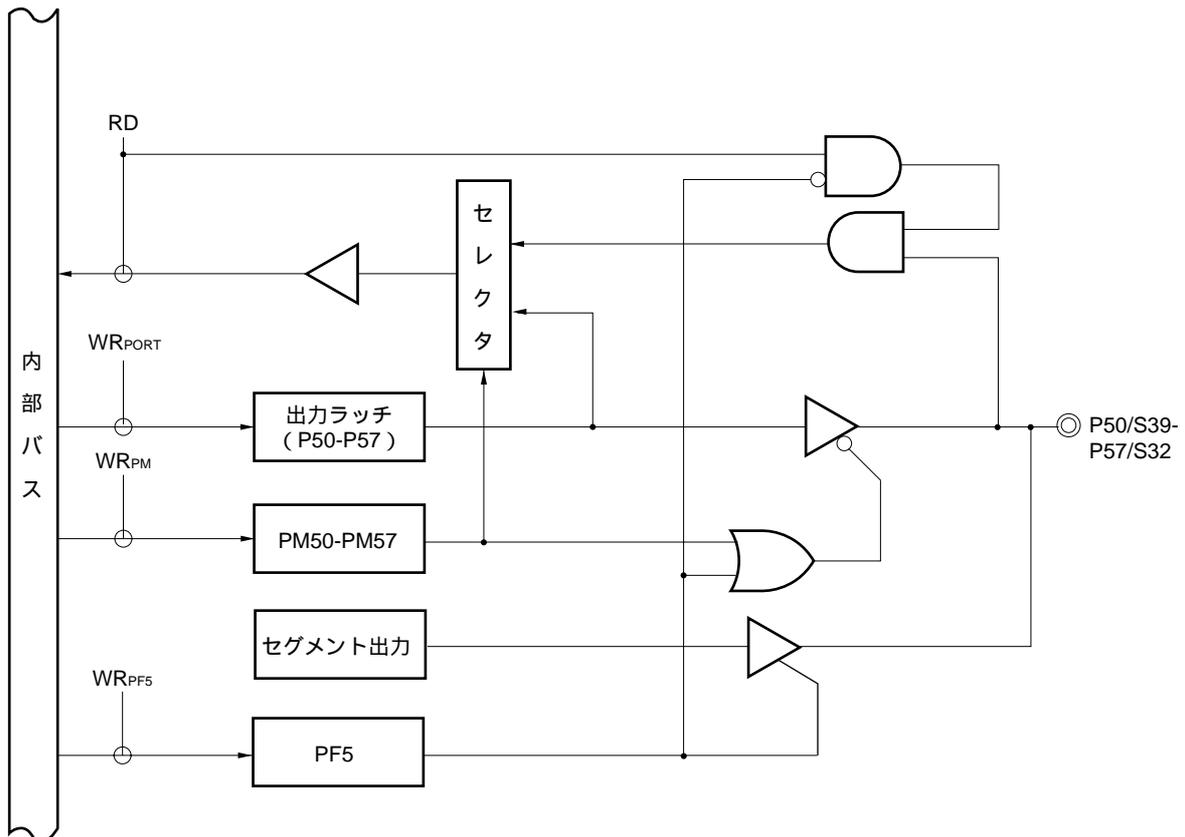
出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ5 (PM5) により, 1ビット単位で入力モード / 出力モードの指定ができます。

また, 兼用機能としてセグメント出力があります。

$\overline{\text{RESET}}$ 入力により, 入力モードになります。

図4 - 12にポート5のブロック図を示します。

図4 - 12 P50-P57のブロック図



PF5 : 兼用ポート機能切り替えレジスタ

PM : ポート・モード・レジスタ

RD : ポート5のリード信号

WR : ポート5のライト信号

### 4.3 ポート機能を制御するレジスタ

ポートは、次の2種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0-PM5<sup>注</sup>)
- ・ブルアップ抵抗オプション・レジスタ0 (PU0)

#### (1) ポート・モード・レジスタ (PM0-PM5<sup>注</sup>)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表4-4のように設定してください。

**注意** ポート2, 4<sup>注</sup>は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

注 PM4, ポート4は $\mu$ PD78F9831のみ。

表4-4 兼用機能使用時のポート・モード・レジスタ、出力ラッチの設定

端子名称	兼用機能		PM x x	P x x
	名称	入出力		
P20	INTP0	入力	1	x
P21	INTP1	入力	1	x
P22	INTP2	入力	1	x
	BUZ	出力	0	0
P23	PCL	出力	0	0
P40 <sup>注1</sup>	INTP3	入力	1	x
P41 <sup>注1</sup>	INTP4	入力	1	x
P50-P57	S39-S32 <sup>注2</sup>	出力	x	x

注1.  $\mu$ PD78F9831のみ

2. 兼用機能使用時は、兼用ポート機能切り替えレジスタ (PF5) に1を設定してください (12.3 (2) 兼用ポート機能切り替えレジスタ (PF5) 参照)。

**注意** ポート2をシリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、11.3 (1) アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) を参照してください。

**備考** x : don't care

PM x x : ポート・モード・レジスタ

P x x : ポートの出力ラッチ

図4 - 13 ポート・モード・レジスタのフォーマット (μPD789830)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM1	1	1	1	1	1	1	PM11	PM10	FF21H	FFH	R/W
PM2	1	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	1	1	1	PM34	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FF25H	FFH	R/W
PMmn	Pmn端子の入出力モードの選択 (m = 0-3, 5 n = 0-7)										
0	出力モード (出力バッファ・オン)										
1	入力モード (出力バッファ・オフ)										

図4 - 14 ポート・モード・レジスタのフォーマット (μPD78F9831)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM2	1	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	1	1	1	PM34	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM4	1	1	1	1	1	1	PM41	PM40	FF24H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FF25H	FFH	R/W
PMmn	Pmn端子の入出力モードの選択 (m = 0-5 n = 0-7)										
0	出力モード (出力バッファ・オン)										
1	入力モード (出力バッファ・オフ)										

(2) プルアップ抵抗オプション・レジスタ0 (PU0)

ポート0, 1, 3の内蔵プルアップ抵抗を使用するか, しないかを設定するレジスタです。PU0で内蔵プルアップ抵抗の使用を指定したポートで, 入力モードに設定したビットにのみ, 内部でプルアップ抵抗が使用できます。出力モードに設定したビットは, PU0の設定にかかわらず, 内蔵プルアップ抵抗を使用できません。兼用機能の出力端子として使用するときも同様です。

PU0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図4 - 15 プルアップ抵抗オプション・レジスタ0のフォーマット

略号	7	6	5	4	2	0	アドレス	リセット時	R/W		
PU0	0	0	0	0	PU03	0	PU01	PU00	FFF7H	00H	R/W

PU0m	Pmの内蔵プルアップ抵抗の選択 (m = 0, 1, 3)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

**注意** ビット2, 4-7には, 必ず0を設定してください。

## 4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

### 4.4.1 入出力ポートへの書き込み

#### (1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

#### (2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

**注意** 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

### 4.4.2 入出力ポートからの読み出し

#### (1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

#### (2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

### 4.4.3 入出力ポートでの演算

#### (1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

#### (2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

**注意** 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

# 第5章 クロック発生回路

## 5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。  
システム・クロック発振回路には、次の2種類があります。

- ・メイン・システム・クロック発振回路

2.0 ~ 5.0 MHzの周波数を発振します。STOP命令の実行またはプロセッサ・クロック・コントロール・レジスタ (PCC) の設定により、発振を停止できます。

- ・サブシステム・クロック発振回路

32.768 kHzの周波数を発振します。サブ発振モード・レジスタ (SCKM) により発振の停止ができます。

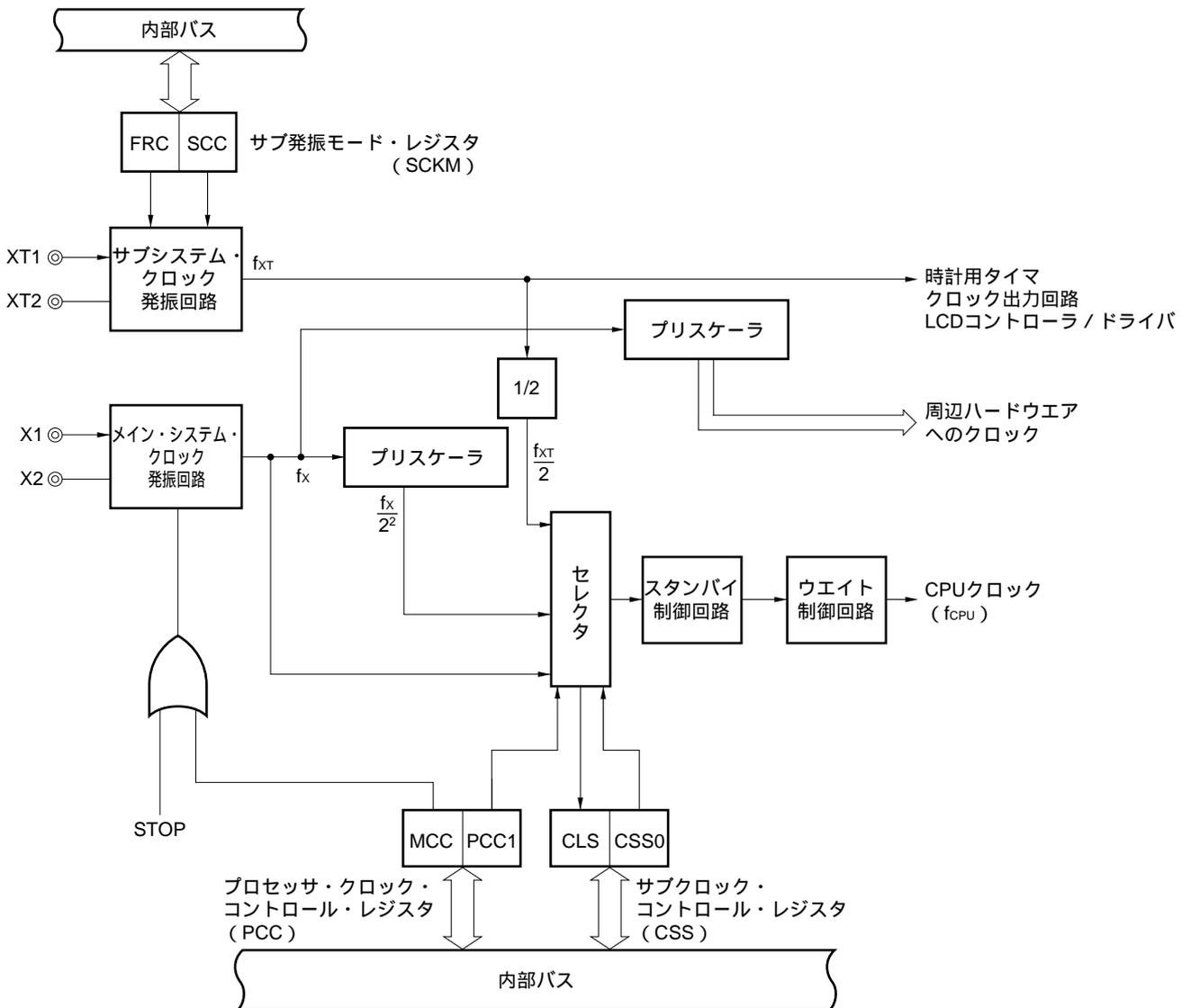
## 5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5 - 1 クロック発生回路の構成

項 目	構 成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ (PCC) サブ発振モード・レジスタ (SCKM) サブクロック・コントロール・レジスタ (CSS)
発振回路	メイン・システム・クロック発振回路 サブシステム・クロック発振回路

図5 - 1 クロック発生回路のブロック図



### 5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次のレジスタで制御します。

- ・ プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・ サブ発振モード・レジスタ (SCKM)
- ・ サブクロック・コントロール・レジスタ (CSS)

#### (1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択，分周比を設定するレジスタです。

PCCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により，02Hになります。

図5 - 2 プロセッサ・クロック・コントロール・レジスタのフォーマット

略号	6	5	4	3	2	0	アドレス	リセット時	R/W
PCC	MCC	0	0	0	0	PCC1	FFF BH	02 H	R/W

MCC	メイン・システム・クロック発振回路の動作の制御
0	動作許可
1	動作停止

CSS0	PCC1	CPUクロック (f <sub>CPU</sub> ) の選択 <sup>注</sup>
0	0	f <sub>x</sub> (0.28 μs)
0	1	f <sub>x</sub> /2 <sup>2</sup> (1.12 μs)
1	0	f <sub>xT</sub> /2 (61 μs)
1	1	

**注** CPUクロックの選択は，プロセッサ・クロック・コントロール・レジスタ (PCC) のPCC1フラグとサブクロック・コントロール・レジスタ (CSS) のCSS0フラグの両方を組み合わせて設定します (5.3. (3) サブクロック・コントロール・レジスタ (CSS) を参照)。

**注意 1.** ビット0, 2-6には必ず0を設定してください。

2. MCCのセットはCPUクロックがサブシステム・クロックを選択しているときのみ設定できます。

3. 外部クロックを入力しているとき，MCCをセットしないでください。これはX2端子がV<sub>DD0</sub>, V<sub>DD1</sub>にプルアップされるためです。

**備考 1.** f<sub>x</sub> : メイン・システム・クロック発振周波数

2. f<sub>xT</sub> : サブシステム・クロック発振周波数

3. ( ) 内は，f<sub>x</sub> = 3.58 MHz動作時またはf<sub>xT</sub> = 32.768 kHz動作時

4. 最小命令実行時間 : 2f<sub>CPU</sub>

・ f<sub>CPU</sub> = 0.28 μsのとき0.56 μs

・ f<sub>CPU</sub> = 1.12 μsのとき2.23 μs

・ f<sub>CPU</sub> = 61 μsのとき122 μs

(2) サブ発振モード・レジスタ (SCKM)

サブシステム・クロックのフィードバック抵抗の選択，発振を制御するレジスタです。  
 SCKMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
 $\overline{\text{RESET}}$ 入力により，00Hになります。

図5-3 サブ発振モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SCKM	0	0	0	0	0	0	FRC	SCC	FFF0H	00H	R/W

FRC	フィードバック抵抗の選択 <sup>※</sup>
0	内蔵フィードバック抵抗を使用する
1	内蔵フィードバック抵抗を使用しない

SCC	サブシステム・クロック発振回路の動作の制御
0	動作許可
1	動作停止

★ 注 フィードバック抵抗は発振波形のバイアス点を電源電圧の中間付近に調整するために必要なものです。サブクロックを使用しない場合のみ，FRC = 1に設定することでSTOPモード時の消費電流をさらに抑えることが可能です。

注意1．ビット2-7には必ず0を設定してください。

2．外部クロックを入力しているとき，SCCをセットしないでください。

これはXT2端子が $V_{DD0}$ 、 $V_{DD1}$ にプルアップされるためです。

(3) サブクロック・コントロール・レジスタ (CSS)

メイン・システム・クロック発振回路とサブシステム・クロック発振回路の選択，CPUクロックの動作状態を示すレジスタです。

CSSは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により，00Hになります。

図5 - 4 サブクロック・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSS	0	0	CLS	CSS0	0	0	0	0	FFF2H	00H	R/W <sup>注</sup>

CLS	CPUクロックの動作状態
0	メイン・システム・クロックの(分周)出力で動作
1	サブシステム・クロックの出力で動作

CSS0	メイン・システム・クロック発振回路とサブシステム・クロック発振回路の選択
0	メイン・システム・クロック発振回路の(分周)出力
1	サブシステム・クロックの発振回路の出力

注 ビット5は，Read Onlyです。

注意 ビット0-3, 6, 7には必ず0を設定してください。

## 5.4 システム・クロック発振回路

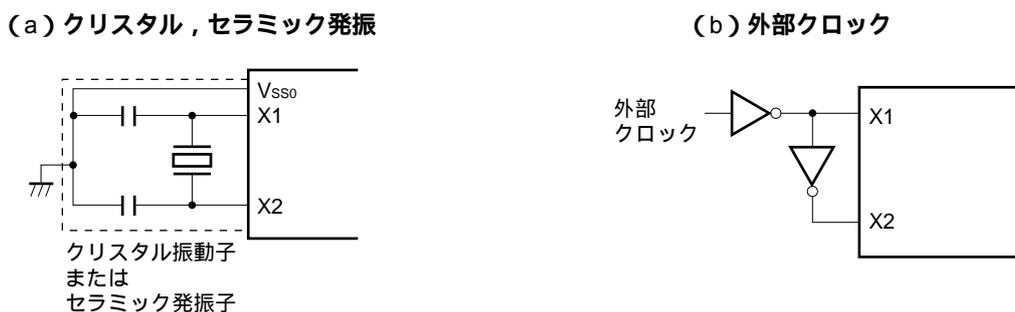
### 5.4.1 メイン・システム・クロック発振回路

メイン・システム・クロック発振回路はX1, X2端子に接続されたクリスタル振動子またはセラミック発振子（標準：3.58 MHz）によって発振します。

また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力し、X2端子には、その反転した信号を入力してください。

図5 - 5にメイン・システム・クロック発振回路の外付け回路を示します。

図5 - 5 メイン・システム・クロック発振回路の外付け回路



**注意1** .外部クロックを入力しているとき,STOP命令およびMCC(プロセッサ・クロック・コントロール・レジスタ(PCC)のビット7)に1を設定しないでください。STOP命令およびMCCに1を設定するとメイン・システム・クロックの動作が停止され,X2端子が $V_{DD0}$ ,  $V_{DD1}$ にプルアップされるためです。

2. メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 5、図5 - 6の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に $V_{SS0}$ と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

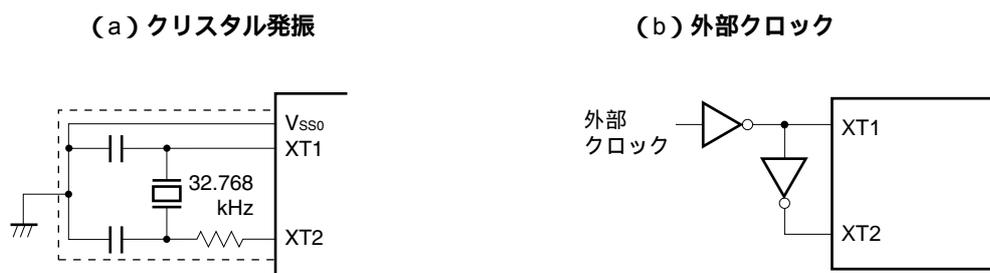
## 5.4.2 サブシステム・クロック発振回路

サブシステム・クロック発振回路はXT1, XT2端子に接続されたクリスタル振動子（標準：32.768 kHz）によって発振します。

また、外部クロックを入力することもできます。その場合、XT1端子にクロック信号を入力し、XT2端子には、その反転した信号を入力してください。

図5 - 6にサブシステム・クロック発振回路の外付け回路を示します。

図5 - 6 サブシステム・クロック発振回路の外付け回路



**注意1**．外部クロックを入力しているとき、SCC（サブ発振モード・レジスタ（SCKM）のビット0）に1を設定しないでください。SCCに1を設定するとサブシステム・クロック発振回路の動作が停止され、XT2端子が $V_{DD0}$ または $V_{DD1}$ にプルアップされるためです。

**2**．メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 5、図5 - 6の破線の部分を次のように配線してください。

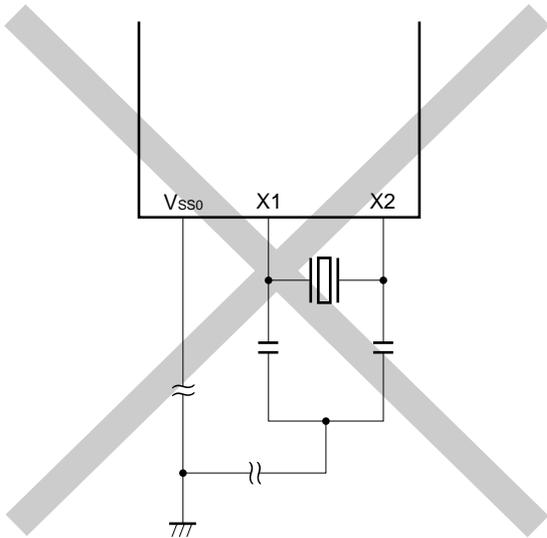
- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に $V_{SS0}$ と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

特に、サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっていますのでご注意ください。

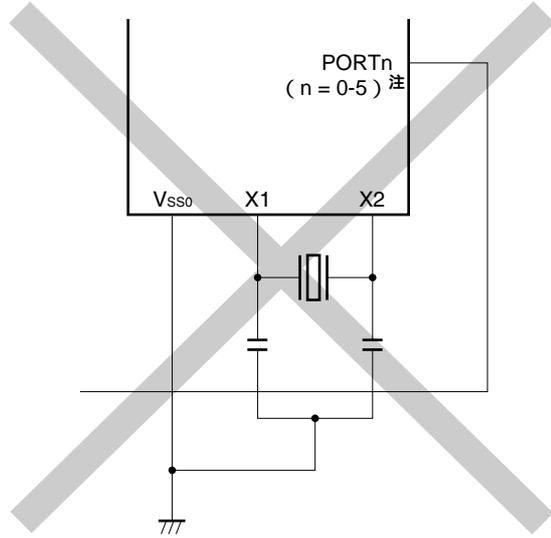
図5 - 7に発振子の接続の悪い例を示します。

図5-7 発振子の接続の悪い例 (1/2)

(a) 接続回路の配線が長い

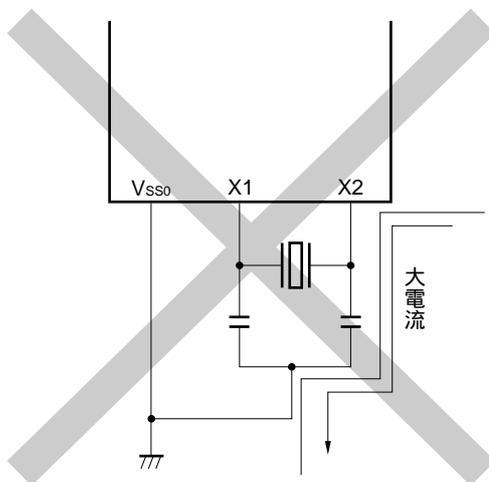


(b) 信号線が交差している

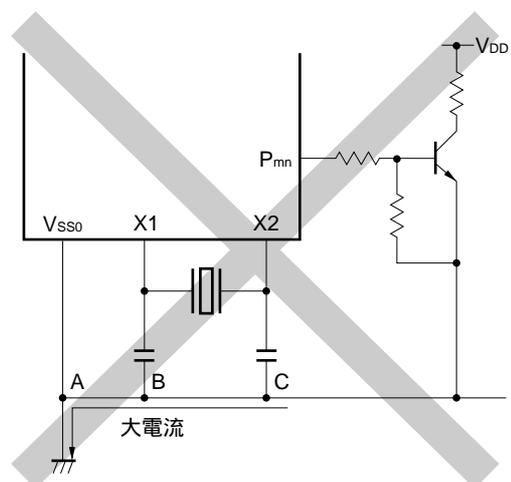


注  $\mu$ PD789830にPORT4はありません。

(c) 変化する大電流が信号線に近接している

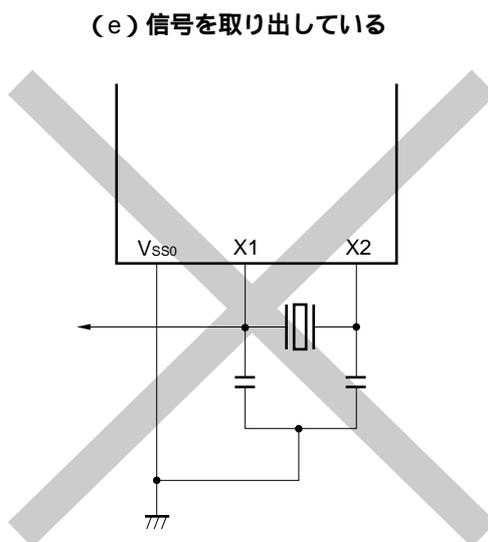


(d) 発振回路部のグランド・ライン上に電流が流れる  
(A点, B点, C点の電位が変動する)



**備考** サブシステム・クロックをご使用の場合は, X1, X2をXT1, XT2と読み替えてください。また, XT2側に直列に抵抗を接続してください。

図5-7 発振子の接続の悪い例 (2/2)



**備考** サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。またXT2側に直列に抵抗を接続してください。

### 5.4.3 分周回路

分周回路は、メイン・システム・クロック発振回路出力 (fx) を分周して、各種クロックを生成します。

### 5.4.4 サブシステム・クロックを使用しない場合

低消費電力動作や時計動作等のためにサブシステム・クロックを使用する必要のない場合、XT1, XT2端子を次のように処置してください。

XT1 : Vss0またはVss1に接続

XT2 : オープン

ただし、この状態では、メイン・システム・クロックの停止時に、サブシステム・クロック発振回路の内蔵フィードバック抵抗を介して若干のリーク電流を流してしまいます。これを抑えるには、サブ発振モード・レジスタ (SCKM) のビット1 (FRC) により上述の内蔵フィードバック抵抗を使用しない設定をしてください。このときも、XT1, XT2端子の処理は上記と同じです。

## 5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・メイン・システム・クロック  $f_x$
- ・サブシステム・クロック  $f_{XT}$
- ・CPUクロック  $f_{CPU}$
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ (PCC)、サブ発振モード・レジスタ (SCKM)、サブクロック・コントロール・レジスタ (CSS) により決定され、次のような機能、動作となります。

- (a)  $\overline{\text{RESET}}$ 信号発生によりメイン・システム・クロックの低速モード $2f_{CPU}$  ( $2.23 \mu\text{s}$  :  $3.58 \text{ MHz}$ 動作時) が選択されます (PCC = 02H)。なお、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力している間、メイン・システム・クロックの発振は停止します。
- (b) PCCとSCKMとCSSの設定により3段階のCPUクロック $f_{CPU}$  ( $0.28 \mu\text{s}$ ,  $1.12 \mu\text{s}$  : メイン・システム・クロック ( $3.58 \text{ MHz}$ 動作時),  $61 \mu\text{s}$  : サブシステム・クロック ( $32.768 \text{ kHz}$ 動作時)) を選択することができます。
- (c) メイン・システム・クロックを選択した状態でSTOPモード、HALTモードの2つのスタンバイ・モードが使用できます。また、サブシステム・クロックを使用していないシステムの場合、SCKMのビット1 (FRC) で内蔵フィードバック抵抗を使用しない設定にすることにより、STOPモード時の消費電流をさらに低減することができます。サブシステム・クロックを使用しているシステムの場合、SCKMのビット0を1に設定することにより、サブシステム・クロックの発振を停止できます。
- (d) CSSのビット4 (CSS0) により、サブシステム・クロックを選択し、低消費電流で動作する ( $122 \mu\text{s}$  :  $32.768 \text{ kHz}$ 動作時) ことができます。
- (e) サブシステム・クロックを選択した状態で、PCCのビット7 (MCC) によりメイン・システム・クロックの発振を停止することができます。また、HALTモードを使用することができます。しかし、STOPモードを使用することはできません。
- (f) 周辺ハードウェアへのクロックはメイン・システム・クロックを分周して供給されますが、クロック出力回路、LCDコントローラ/ドライバ、時計用タイマにのみサブシステム・クロックを供給しています。このため、スタンバイ状態でもクロック出力回路、LCDコントローラ/ドライバ、時計機能は、継続して使用することができます。しかし、そのほかの周辺ハードウェアはメイン・システム・クロックによって動作していますので、メイン・システム・クロックを停止させたときは周辺ハードウェアも停止します (ただし、外部からの入力クロック動作は除く)。

## 5.6 システム・クロックとCPUクロックの設定の変更

### 5.6.1 システム・クロックとCPUクロックの切り替えに要する時間

CPUクロックは、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット1 (PCC1) とサブクロック・コントロール・レジスタ (CSS) のビット4 (CSS0) により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します (表5 - 2参照)。

表5 - 2 CPUクロックの切り替えに要する最大時間

切り替え前の設定値		切り替え後の設定値					
CSS0	PCC1	CSS0	PCC1	CSS0	PCC1	CSS0	PCC1
		0	0	0	1	1	x
0	0	2クロック		4クロック		2fx/fxTクロック (219クロック)	
	1			fx/2fxTクロック (55クロック)			
1	x	2クロック		2クロック			

備考1. 2クロックは、切り替え前のCPUクロックの最小命令実行時間となります。

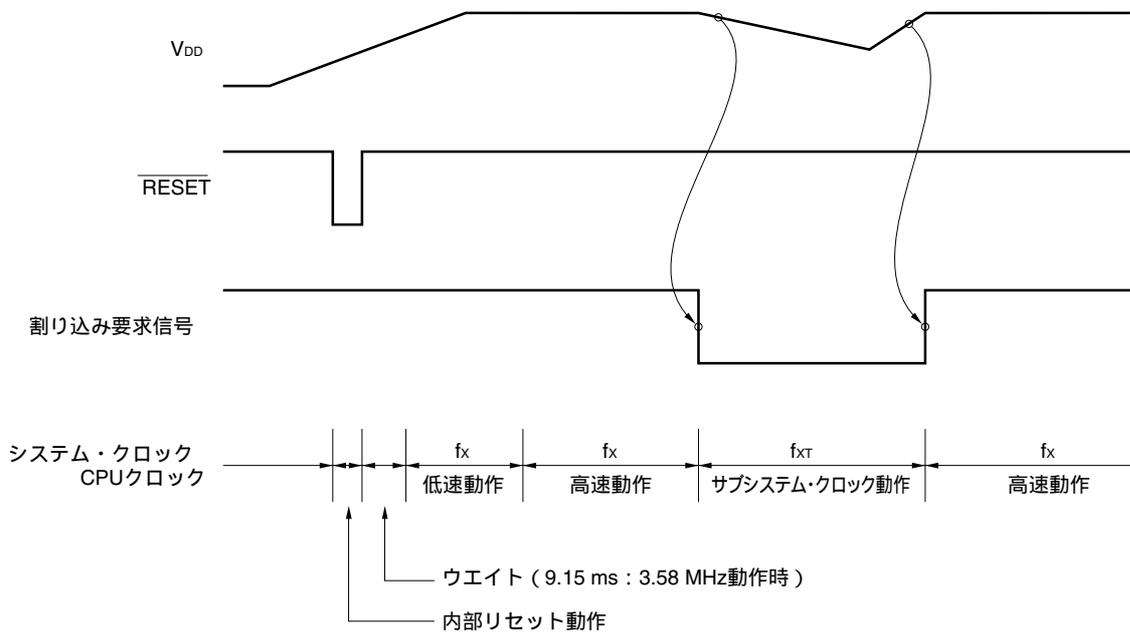
2. ( ) 内は、fx = 3.58 MHz動作時またはfxT = 32.768 kHz動作時

3. x : don't care

## 5.6.2 システム・クロックとCPUクロックの切り替え手順

システム・クロックとCPUクロックの切り替えについて説明します。

図5 - 8 システム・クロックとCPUクロックの切り替え



電源投入後、 $\overline{\text{RESET}}$ 端子をロウ・レベルにすることでCPUにリセットがかかります。その後、 $\overline{\text{RESET}}$ 端子をハイ・レベルにするとリセットが解除され、メイン・システム・クロックが発振開始します。このとき、自動的に発振安定時間 ( $2^{15}/f_x$ ) を確保します。

その後、CPUはメイン・システム・クロックの低速 ( $2.23 \mu\text{s} : 3.58 \text{ MHz}$ 動作時) で命令の実行を開始します。

V<sub>DD</sub>電圧が高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット1 (PCC1) とサブクロック・コントロール・レジスタ (CSS) のビット4 (CSS0) を書き換えて高速動作を行います。

V<sub>DD</sub>電圧が低下したことを割り込み要求信号などにより検出し、サブシステム・クロックに切り替えます (このとき、サブシステム・クロックが発振安定状態になっていなければなりません)。

V<sub>DD</sub>電圧が復帰したことを割り込み要求信号などにより検出し、PCCのビット7 (MCC) に0を設定してメイン・システム・クロックを発振開始させ、発振が安定するのに必要な時間経過後、PCC1、CSS0を書き換えて高速動作に戻します。

**注意** メイン・システム・クロックを停止させサブシステム・クロックで動作させている場合に、再度メイン・システム・クロックに切り替えるときには、プログラムで発振安定時間を確保したあとに切り替えてください。

## 第6章 16ビット・タイマ40

### 6.1 16ビット・タイマ40の機能

16ビット・タイマ40には、次のような機能があります。

#### (1) インターバル・タイマ

カウント値とコンペア値の一致で割り込み (INTTM40) を発生します。

表6 - 1 16ビット・タイマ40のインターバル時間

最小インターバル時間	最大インターバル時間	分解能
$1/f_x$ (0.28 $\mu$ s)	$2^{16}/f_x$ (18.3 ms)	$1/f_x$ (0.28 $\mu$ s)
$2^2/f_x$ (1.12 $\mu$ s)	$2^{18}/f_x$ (73.2 ms)	$2^2/f_x$ (1.12 $\mu$ s)
$2^5/f_x$ (8.94 $\mu$ s)	$2^{21}/f_x$ (585.8 ms)	$2^5/f_x$ (8.94 $\mu$ s)
$2^{10}/f_x$ (286.0 $\mu$ s)	$2^{26}/f_x$ (18.7 s)	$2^{10}/f_x$ (286.0 $\mu$ s)

備考1.  $f_x$ : メイン・システム・クロック発振周波数

2. ( ) 内は,  $f_x = 3.58$  MHz動作時

#### (2) フリーランニング・タイマ

タイマのオーバフロー発生タイミングで割り込み (INTTM41) を発生します。

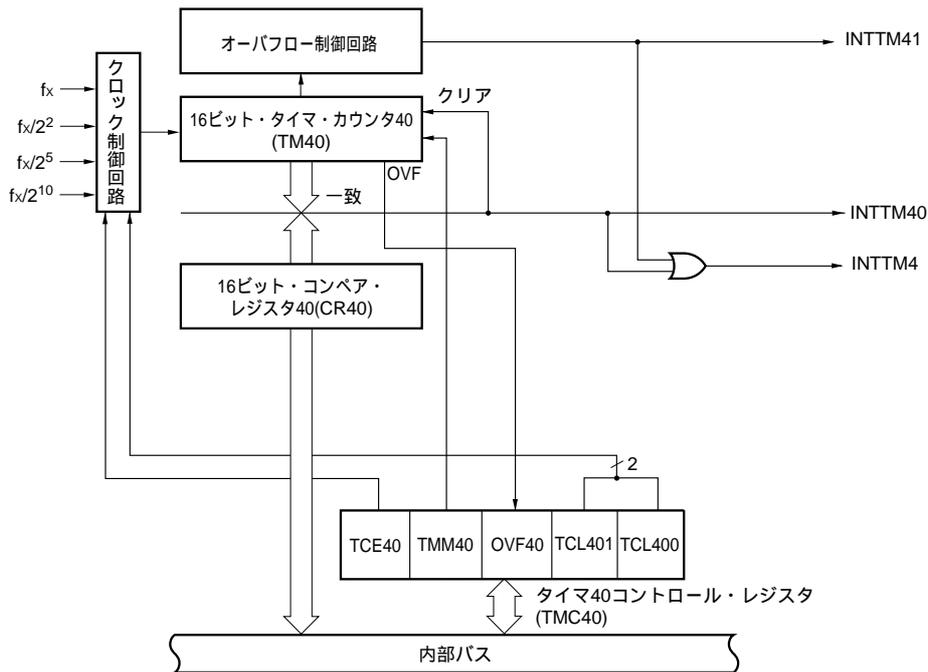
### 6.2 16ビット・タイマ40の構成

16ビット・タイマ40は、次のハードウェアで構成しています。

表6 - 2 16ビット・タイマ40の構成

項目	構成
タイマ・カウンタ	16ビット×1本 (TM40)
レジスタ	コンペア・レジスタ: 16ビット×1本 (CR40)
制御レジスタ	タイマ40コントロール・レジスタ (TMC40)

図6-1 16ビット・タイマ40のブロック図



### (1) 16ビット・コンペア・レジスタ40 (CR40)

CR40に設定した値と16ビット・タイマ・カウンタ40 (TM40) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM40) を発生する16ビットのレジスタです。

CR40は、16ビット・メモリ操作命令<sup>注</sup>で設定します。0000H-FFFFHの値が設定可能です。

$\overline{\text{RESET}}$ 入力により、0000Hになります。

注 ショート・ダイレクト・アドレッシングでのみアクセス可能です。

注意1. カウント動作中にCR40の書き換え動作を行わないでください。タイマ・カウンタが正常に動作しないことがあります。

2. フリーランニング・タイマとして使用しているとき、CR40に0000H, FFFE Hを設定しないでください。割り込み要求信号 (INTTM4) 発生時にノイズが出る場合があります。

★

3. カウント動作中にCR40を書き換える場合は、あらかじめ、割り込みマスク・フラグ・レジスタ0, 1 (MK0, 1) で割り込み禁止にしてください。割り込みを許可している状態でCR40を書き換えた場合、その時点で割り込み要求が発生することがあります。

### (2) 16ビット・タイマ・カウンタ40 (TM40)

カウント・パルスをカウントする16ビットのレジスタです。

TM40は、読み出し / 書き込みともできません。

TM40が0000Hになる条件を次に示します。

- ・  $\overline{\text{RESET}}$ 入力
- ・ TCE40 (タイマ40コントロール・レジスタ (TMC40) のビット7) = 0
- ・ クリア&スタート・モード時 (TMM40 (TMC40のビット6) ) でTM40とCR40の一致直後
- ・ フリーランニング・モード時 (TMM40 = 1) でTM40のオーバーフロー発生直後

## 6.3 16ビット・タイマ40を制御するレジスタ

16ビット・タイマ40は、次のレジスタで制御します。

- ・タイマ40コントロール・レジスタ (TMC40)

### (1) タイマ40コントロール・レジスタ (TMC40)

タイマ40コントロール・レジスタ (TMC40) は、16ビット・タイマ40のカウンタ・クロックの設定および動作モードの設定などを制御するレジスタです。

TMC40は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図6-2 タイマ40コントロール・レジスタのフォーマット

略号	6	5	4	2	1	0	アドレス	リセット時	R/W		
TMC40	TCE40	TMM40	0	0	OVF40	0	TCL401	TCL400	FF5BH	00H	R/W <sup>注</sup>

TCE40	16ビット・タイマ40のカウンタ動作の設定
0	TM40のカウンタ動作停止 (TM40 = 0000H)
1	TM40のカウンタ動作許可

TMM40	16ビット・タイマ40の動作モードの設定
0	クリア (TM40とCR40の一致直後) & スタート・モード
1	フリーランニング・モード

OVF40	オーバフロー・ステータス
0	OVF40 = 1の状態からタイマのオーバフロー発生時
1	OVF40 = 0の状態からタイマのオーバフロー発生時

TCL401	TCL400	16ビット・タイマ40のカウンタ・クロックの選択
0	0	$f_x$ (3.58 MHz)
0	1	$f_x/2^2$ (895 kHz)
1	0	$f_x/2^5$ (112 kHz)
1	1	$f_x/2^{10}$ (3.50 kHz)

注 ビット3は、Read Onlyです。

注意1 . ビット2, 4, 5には、必ず0を設定してください。

- 2 . タイマ動作中にTMM40, TCL400, TLC401を書き換えしないでください。書き換える場合は、あらかじめTM40のカウンタ動作を停止 (TCE40 = 0) してから行ってください。

備考1 .  $f_x$  : メイン・システム・クロック発振周波数

- 2 . ( ) 内は、 $f_x = 3.58 \text{ MHz}$ 動作時

## 6.4 16ビット・タイマ40の動作

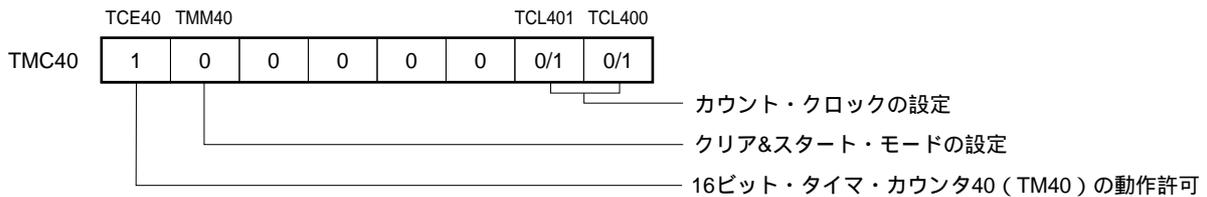
### 6.4.1 インターバル・タイマとしての動作

インターバル・タイマは、あらかじめ16ビット・コンペア・レジスタ40 (CR40) に設定したカウント値をインターバルとし、繰り返し割り込みを発生させることができます。

16ビット・タイマ40をインターバル・タイマとして動作させるには次の設定をします。

- ・CR40にカウント値を設定
- ・タイマ40コントロール・レジスタ (TMC40) を図6 - 3のように設定

図6 - 3 インターバル・タイマ動作時のタイマ40コントロール・レジスタの設定内容



16ビット・タイマ・カウンタ40 (TM40) のカウント値がCR40に設定した値と一致したとき、TM40の値を0000Hにクリアしてカウントを継続するとともに、割り込み要求信号 (INTTM40) を発生します。

表6 - 3にインターバル時間を、図6 - 4にインターバル・タイマ動作のタイミングを示します。

注意1. インターバル・タイマとして使用するとき、16ビット・タイマ40の動作モードをクリア&スタート・モード (TMM40 = 0) に設定してください。

★

2. カウント動作中にCR40を書き換える場合は必ず次の処理を行ってください。

・割り込みを禁止 (TMMK40 (割り込みマスク・フラグ・レジスタ0 (MK0) のビット7) = 1) に設定

割り込みを許可している状態でCR40を書き換えた場合、その時点で割り込み要求が発生することがあります。

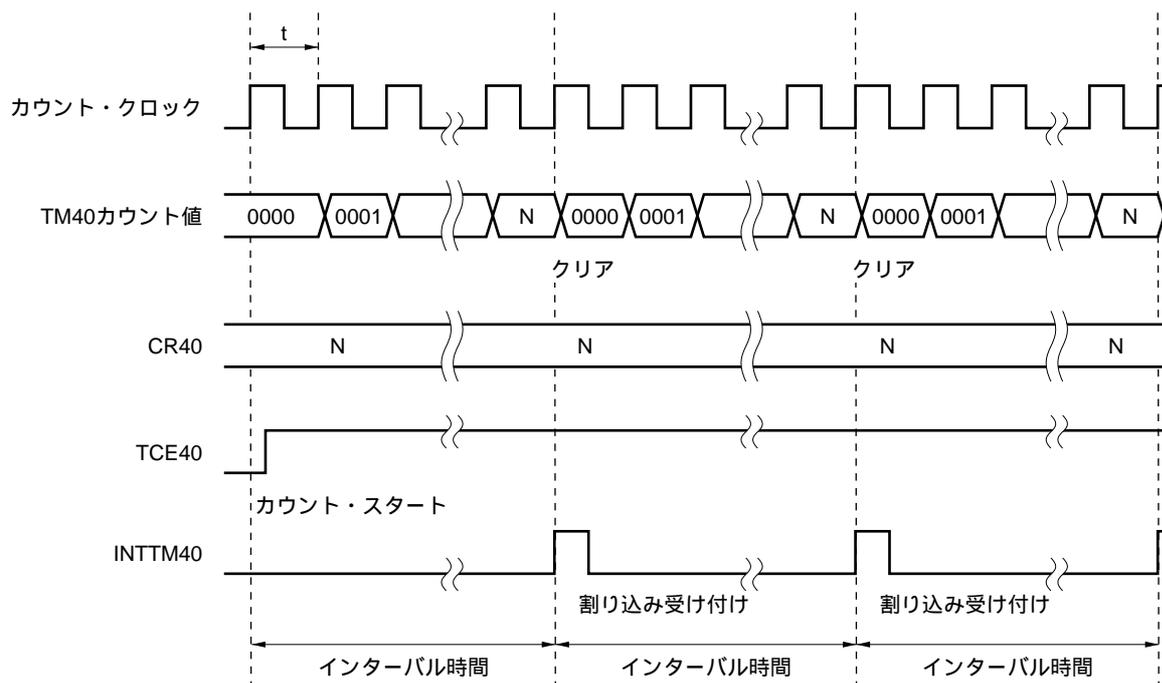
表6 - 3 16ビット・タイマ40のインターバル時間

TCL400	TCL401	最小インターバル時間	最大インターバル時間	分解能
0	0	$1/f_x$ (0.28 $\mu$ s)	$2^{16}/f_x$ (18.3 ms)	$1/f_x$ (0.28 $\mu$ s)
0	1	$2^2/f_x$ (1.12 $\mu$ s)	$2^{18}/f_x$ (73.2 ms)	$2^2/f_x$ (1.12 $\mu$ s)
1	0	$2^5/f_x$ (8.94 $\mu$ s)	$2^{21}/f_x$ (586 ms)	$2^5/f_x$ (8.94 $\mu$ s)
1	1	$2^{10}/f_x$ (286 $\mu$ s)	$2^{26}/f_x$ (18.7 s)	$2^{10}/f_x$ (286 $\mu$ s)

備考1.  $f_x$ : メイン・システム・クロック発振周波数

2. ( ) 内は、 $f_x = 3.58$  MHz動作時

図6-4 16ビット・タイマ40のインターバル・タイマ動作のタイミング



備考 インターバル時間 = (N+1) × t : N = 0000H-FFFFH

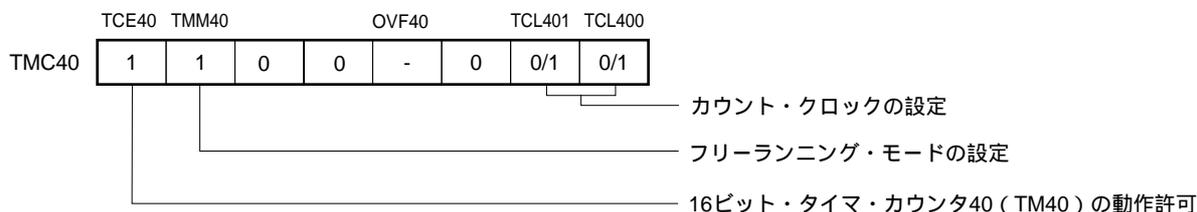
### 6.4.2 フリーランニング・タイマとしての動作

フリーランニング・タイマは、TCL400とTCL401で設定した値をインターバル時間とし、16ビット・コンパリア・レジスタ40 (CR40) にあらかじめ設定した値で繰り返し割り込みを発生させることができます。

16ビット・タイマ40をフリーランニング・タイマとして動作させるには次の設定をします。

- ・CR40にカウント値を設定
- ・タイマ40コントロール・レジスタ (TMC40) を図6-5 のように設定

図6-5 フリーランニング・タイマ動作時のタイマ40コントロール・レジスタの設定内容

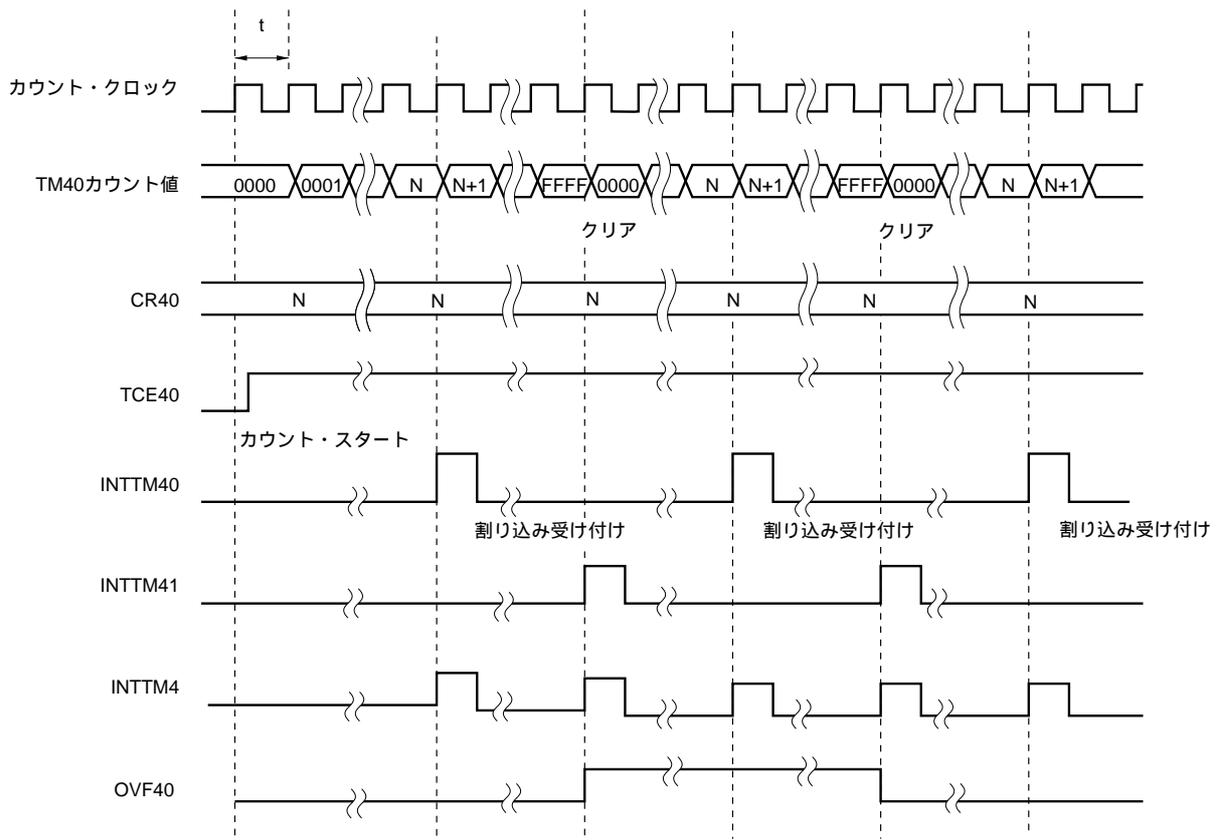


16ビット・タイマ・カウンタ40 (TM40) のカウント値がCR40に設定した値と一致したとき、TM40のカウント値をそのまま継続するとともに、割り込み要求信号 (INTTM40) を発生します。そして動作を継続していたTM40のカウント値がオ - バフローしたとき、割り込み要求信号 (INTTM41) を発生します。また、INTTM40とINTTM41の論理和により、割り込み要求信号 (INTTM4) が同時に発生します。

- 注意1. フリーランニング・タイマとして使用するとき, 16ビット・タイマ40の動作モードをフリーランニング・モード (TMM40 = 1) に設定してください。
2. CR40をFFFFHに設定したとき, 割り込み要求信号 (INTTM40) を発生させることはできません。
3. フリーランニング・タイマとして使用しているとき, CR40に0000H, FFEHを設定しないでください。割り込み要求信号 (INTTM4) 発生時にノイズが出る場合があります。

図6 - 6にフリーランニング・タイマの動作タイミングを示します。

図6 - 6 16ビット・タイマ40のフリーランニング・タイマ動作のタイミング

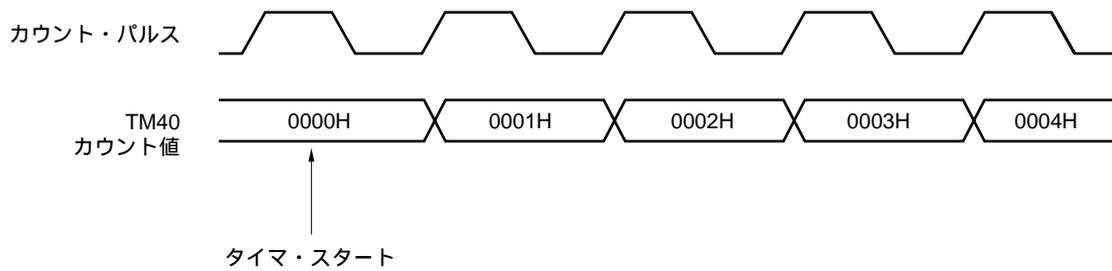


## 6.5 16ビット・タイマ40の注意事項

### (1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して16ビット・タイマ・カウンタ40 (TM40) のスタートが非同期で行われるためです。

図6-7 16ビット・タイマ・カウンタ40のスタート・タイミング



## 第7章 8ビット・タイマ00

### 7.1 8ビット・タイマ00の機能

8ビット・タイマ00には、次のような機能があります。

#### (1) インターバル・タイマ

あらかじめ設定した任意の間隔で割り込みを発生します。

表7-1 8ビット・タイマ00のインターバル時間

最小インターバル時間	最大インターバル時間	分解能
$1/f_x$ (0.28 $\mu$ s)	$2^8/f_x$ (71.5 $\mu$ s)	$1/f_x$ (0.28 $\mu$ s)
$2^5/f_x$ (8.94 $\mu$ s)	$2^{13}/f_x$ (2.23 ms)	$2^5/f_x$ (8.94 $\mu$ s)

備考1.  $f_x$ : メイン・システム・クロック発振周波数

2. ( )内は,  $f_x = 3.58$  MHz動作時

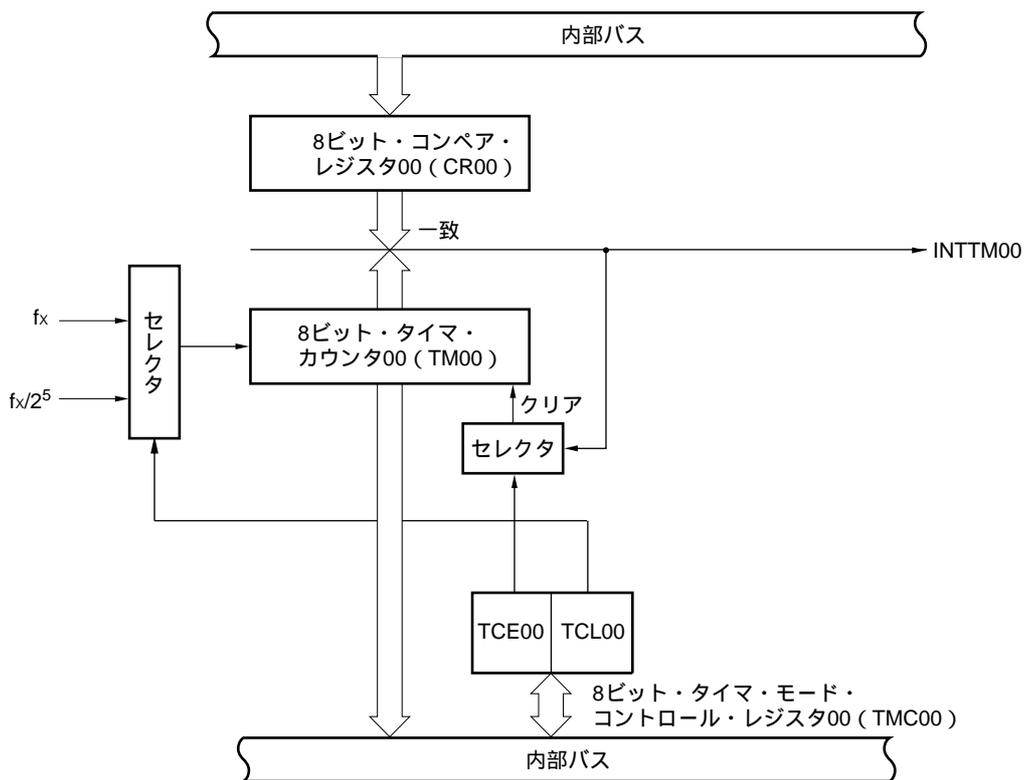
### 7.2 8ビット・タイマ00の構成

8ビット・タイマ00は、次のハードウェアで構成しています。

表7-2 8ビット・タイマ00の構成

項目	構成
タイマ・カウンタ	8ビット×1本 (TM00)
レジスタ	コンペア・レジスタ: 8ビット×1本 (CR00)
制御レジスタ	8ビット・タイマ・コントロール・レジスタ00 (TMC00)

図7-1 8ビット・タイマ00のブロック図



#### (1) 8ビット・コンペア・レジスタ00 (CR00)

CR00に設定した値と8ビット・タイマ・カウンタ00 (TM00) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM00) を発生する8ビットのレジスタです。

CR00は、8ビット・メモリ操作命令で設定します。00H-FFHの値が設定可能です。

$\overline{\text{RESET}}$ 入力により、不定になります。

**注意** CR00を書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。タイマ動作を許可している状態でCR00を書き換えた場合、その時点で一致割り込み要求信号が発生する場合があります。

#### (2) 8ビット・タイマ・カウンタ00 (TM00)

カウント・パルスをカウントする8ビットのレジスタです。

TM00は、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

### 7.3 8ビット・タイマ00を制御するレジスタ

8ビット・タイマ00は、次のレジスタで制御します。

・8ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

★ (1) 8ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

8ビット・タイマ・カウンタ00 (TM00) の動作許可 / 停止, 8ビット・タイマ00のカウント・クロックの設定をするレジスタです。

TMC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図7 - 2 8ビット・タイマ・モード・コントロール・レジスタ00のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
TMC00	TCE00	0	0	0	0	0	TCL00	0	FF53H	00H	R/W

TCE00	8ビット・タイマ00のカウント動作の設定
0	動作停止(TM00は0にクリア)
1	動作許可

TCL00	8ビット・タイマ00の動作モードの設定
0	$f_x$ (3.58 MHz)
1	$f_x/2^5$ (112 kHz)

**注意** TMC00の設定は、必ずタイマ動作を停止させたのちに行ってください。

**備考**1.  $f_x$  : メイン・システム・クロック発振周波数

2. ( ) 内は、 $f_x = 3.58 \text{ MHz}$ 動作時

## 7.4 8ビット・タイマ00の動作

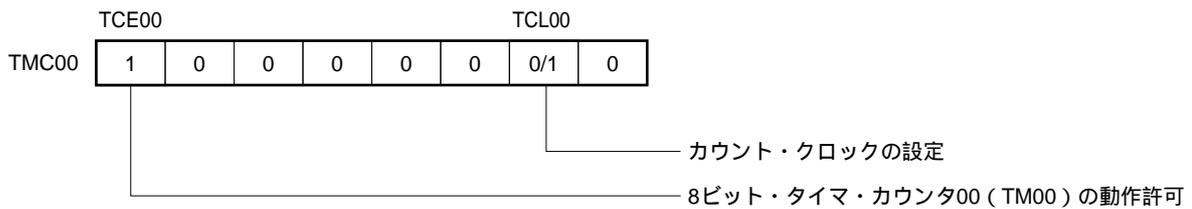
### 7.4.1 インターバル・タイマとしての動作

インターバル・タイマは、あらかじめ8ビット・コンペア・レジスタ00 (CR00) に設定したカウント値をインターバルとし、繰り返し割り込みを発生させることができます。

8ビット・タイマ00をインターバル・タイマとして動作させるには次の設定をします。

- ・CR00にカウント値を設定
- ・8ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) を図7 - 3のように設定

図7 - 3 インターバル・タイマ動作時の8ビット・タイマ・モード・コントロール・レジスタ00の設定内容



8ビット・タイマ・カウンタ00 (TM00) のカウント値がCR00に設定した値と一致したとき、TM00の値を00Hにクリアしてカウントを継続するとともに、割り込み要求信号 (INTTM00) を発生します。

表7 - 3にインターバル時間を、図7 - 4にインターバル・タイマ動作のタイミングを示します。

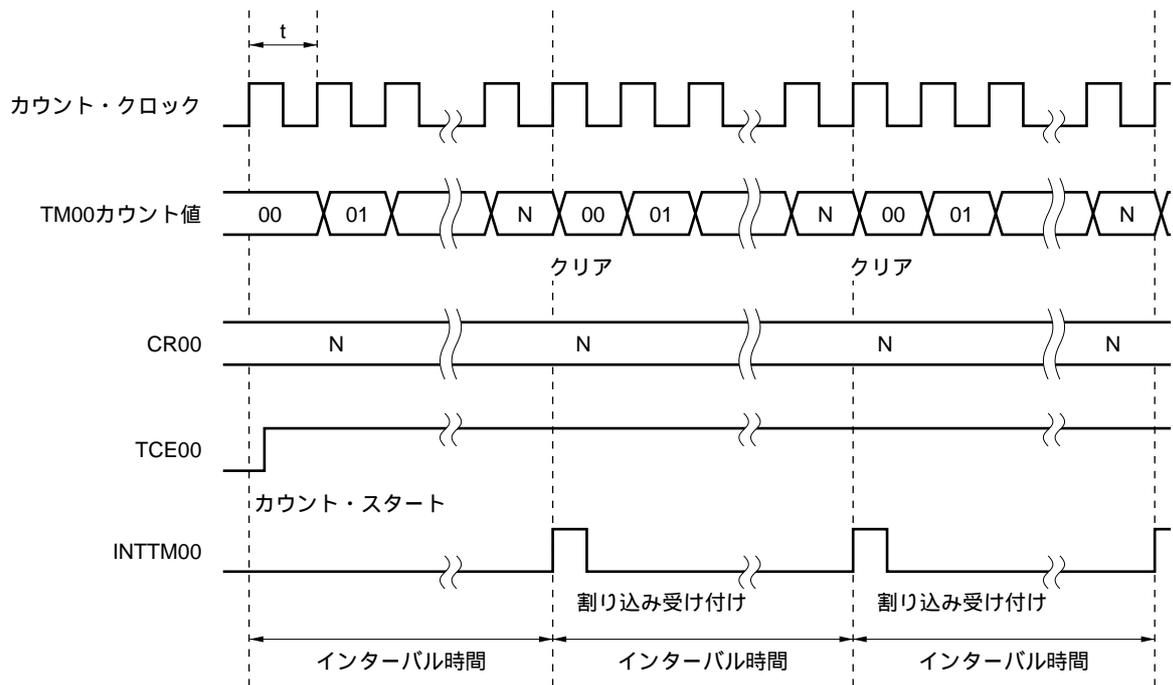
表7 - 3 8ビット・タイマ00のインターバル時間

TCL00	最小インターバル時間	最大インターバル時間	分解能
0	$1/f_x$ (0.28 $\mu$ s)	$2^8/f_x$ (71.5 $\mu$ s)	$1/f_x$ (0.28 $\mu$ s)
1	$2^5/f_x$ (8.94 $\mu$ s)	$2^{13}/f_x$ (2.23 ms)	$2^5/f_x$ (8.94 $\mu$ s)

備考1.  $f_x$ : メイン・システム・クロック発振周波数

2. ( ) 内は、 $f_x = 3.58$  MHz動作時

図7-4 8ビット・タイマ00のインターバル・タイマ動作のタイミング



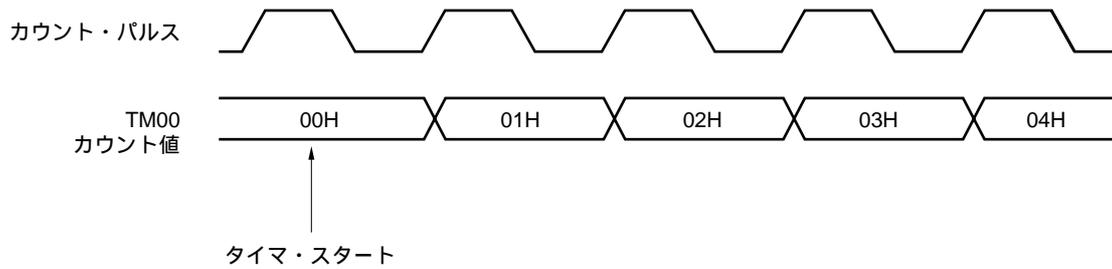
備考 インターバル時間 =  $(N + 1) \times t$ :  $N = 00H-FFH$

## 7.5 8ビット・タイマ00の注意事項

### (1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して8ビット・タイマ・カウンタ00 (TM00) のスタートが非同期で行われるためです。

図7-5 8ビット・タイマ・カウンタ00のスタート・タイミング



# 第8章 時計用タイマ

## 8.1 時計用タイマの機能

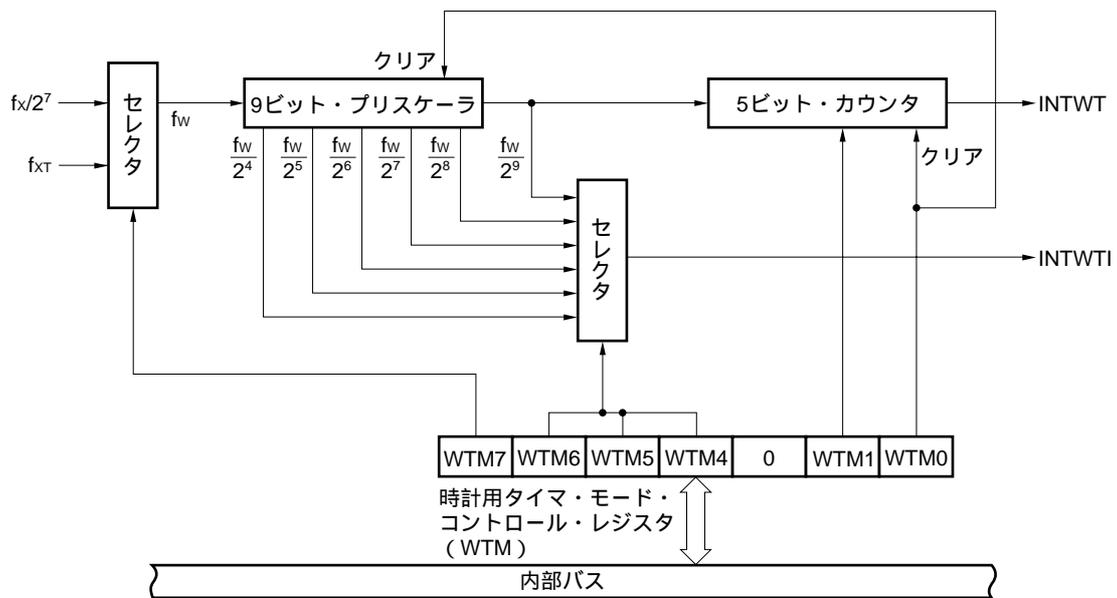
時計用タイマには、次のような機能があります。

- ・時計用タイマ
- ・インターバル・タイマ

時計用タイマとインターバル・タイマは、同時に使用できます。

図8 - 1に、時計用タイマのブロック図を示します。

図8 - 1 時計用タイマのブロック図



(1) 時計用タイマ

4.19 MHzのメイン・システム・クロックまたは32.768 kHzのサブシステム・クロックを使用することで、0.5秒の時間間隔で割り込み要求 (INTWT) を発生します。

**注意** 3.58 MHzのメイン・システム・クロックでは、0.5秒の時間間隔を作ることができません。  
32.768 kHzのサブシステム・クロックに切り替えて、0.5秒の時間間隔を作ってください。

(2) インターバル・タイマ

あらかじめ設定した時間間隔で、割り込み要求 (INTWTI) を発生します。

表8 - 1 インターバル・タイマのインターバル時間

インターバル時間	$f_x = 3.58 \text{ MHz}$ 動作時	$f_x = 4.19 \text{ MHz}$ 動作時	$f_{XT} = 32.768 \text{ kHz}$ 動作時
$2^4 \times 1/f_w$	572 $\mu\text{s}$	489 $\mu\text{s}$	488 $\mu\text{s}$
$2^5 \times 1/f_w$	1.14 ms	978 $\mu\text{s}$	977 $\mu\text{s}$
$2^6 \times 1/f_w$	2.29 ms	1.96 ms	1.95 ms
$2^7 \times 1/f_w$	4.58 ms	3.91 ms	3.91 ms
$2^8 \times 1/f_w$	9.15 ms	7.82 ms	7.81 ms
$2^9 \times 1/f_w$	18.3 ms	15.6 ms	15.6 ms

**備考**  $f_w$  : 時計用タイマ・クロック周波数 ( $f_x/2^7$ または $f_{XT}$ )  
 $f_x$  : メイン・システム・クロック発振周波数  
 $f_{XT}$  : サブシステム・クロック発振周波数

## 8.2 時計用タイマの構成

時計用タイマは、次のハードウェアで構成されています。

表8 - 2 時計用タイマの構成

項目	構成
カウンタ	5ビット×1本
プリスケアラ	9ビット×1本
制御レジスタ	時計用タイマ・モード・コントロール・レジスタ (WTM)

### 8.3 時計用タイマを制御するレジスタ

時計用タイマは次のレジスタで制御します。

・時計用タイマ・モード・コントロール・レジスタ (WTM)

時計用タイマのカウンタ・クロックおよび動作の許可 / 禁止, プリスケーラのインターバル時間, 5ビット・カウンタの動作制御を設定するレジスタです。

WTMは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図8-2 時計用タイマ・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	0	アドレス	リセット時	R/W	
WTM	WTM7	WTM6	WTM5	WTM4	0	0	WTM1	WTM0	FF4AH	00H	R/W

WTM7	時計用タイマのカウンタ・クロック選択
0	$f_x/2^7$ (27.9 kHz)
1	$f_{XT}$ (32.768 kHz)

WTM6	WTM5	WTM4	プリスケーラのインターバル時間の選択
0	0	0	$2^4/f_w$
0	0	1	$2^5/f_w$
0	1	0	$2^6/f_w$
0	1	1	$2^7/f_w$
1	0	0	$2^8/f_w$
1	0	1	$2^9/f_w$
上記以外			設定禁止

WTM1	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTM0	時計用タイマの動作許可
0	動作停止 (プリスケーラ, タイマともにクリア)
1	動作許可

備考1.  $f_w$  : 時計用タイマ・クロック周波数 ( $f_x/2^7$ または $f_{XT}$ )

2.  $f_x$  : メイン・システム・クロック発振周波数

3.  $f_{XT}$  : サブシステム・クロック発振周波数

4. ( ) 内は,  $f_x = 3.58$  MHz動作時または $f_{XT} = 32.768$  kHz動作時

## 8.4 時計用タイマの動作

### 8.4.1 時計用タイマとしての動作

メイン・システム・クロック(4.19 MHz:セラミック/クリスタル発振)またはサブシステム・クロック(32.768 kHz)を使用することで、0.5秒の時間間隔の時計用タイマとして動作します。

時計用タイマは、一定の時間間隔ごとに、割り込み要求を発生します。

時計用タイマ・モード・コントロール・レジスタ(WTM)のビット0(WTM0)とビット1(WTM1)に1を設定するとカウント動作がスタートし、0を設定することにより、5ビット・カウンタがクリアされ、カウント動作が停止します。

また、インターバル・タイマを同時に動作させているときは、WTM1に0を設定することにより、時計用タイマのみをゼロ秒スタートさせることができます。ただし、この場合、9ビット・プリスケアラはクリアされないため、時計用タイマのゼロ秒スタート後のオーバフロー(INTWT)には、最大で $2^9 \times 1/f_w$ 秒の誤差が発生します。

### 8.4.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

時計用タイマ・モード・コントロール・レジスタ(WTM)のビット4-6(WTM4-WTM6)により、インターバル時間を選択できます。

表8-3 インターバル・タイマのインターバル時間

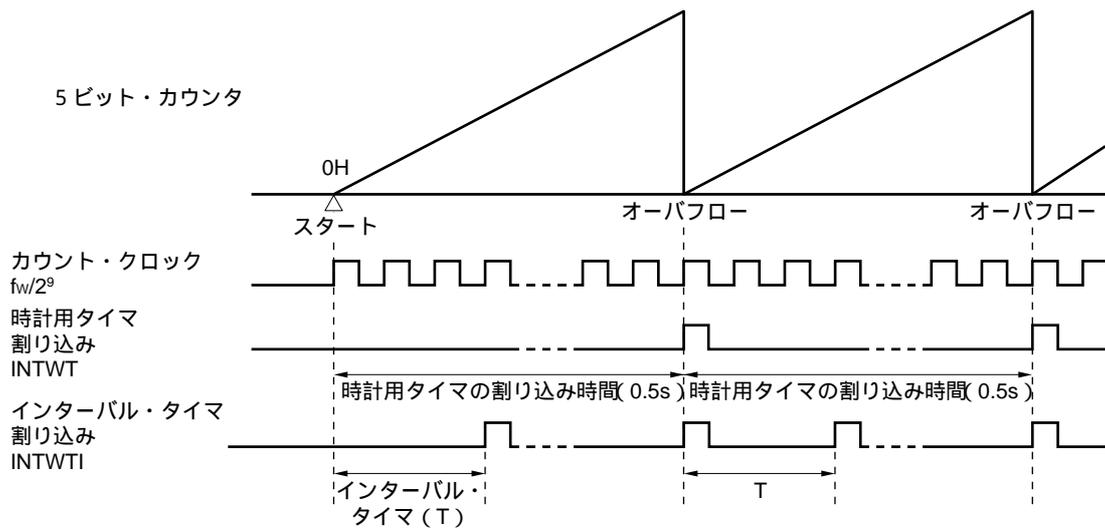
WTM6	WTM5	WTM4	インターバル時間	$f_x = 3.58 \text{ MHz}$ 動作時	$f_{XT} = 32.768 \text{ kHz}$ 動作時
0	0	0	$2^4 \times 1/f_w$	572 $\mu\text{s}$	488 $\mu\text{s}$
0	0	1	$2^5 \times 1/f_w$	1.14 ms	977 $\mu\text{s}$
0	1	0	$2^6 \times 1/f_w$	2.29 ms	1.95 ms
0	1	1	$2^7 \times 1/f_w$	4.58 ms	3.91 ms
1	0	0	$2^8 \times 1/f_w$	9.15 ms	7.81 ms
1	0	1	$2^9 \times 1/f_w$	18.3 ms	15.6 ms
上記以外			設定禁止		

備考  $f_x$  : メイン・システム・クロック発振周波数

$f_{XT}$  : サブシステム・クロック発振周波数

$f_w$  : 時計用タイマ・クロック周波数 ( $f_x/2^7$ または $f_{XT}$ )

図8 - 3 時計用タイマ/インターバル・タイマの動作タイミング



**備考**  $f_w$  : 時計用タイマ・クロック周波数

( ) 内は,  $f_w = 32.768 \text{ kHz}$ 動作時

## 第9章 ウォッチドッグ・タイマ

### 9.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

**注意** ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください。

#### (1) ウォッチドッグ・タイマ

プログラムの暴走を検出します。暴走検出時、ノンマスクابل割り込み要求またはRESETを発生することができます。

表9 - 1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	$f_x = 3.58 \text{ MHz}$ 動作時
$2^{11} \times 1/f_x$	572 $\mu\text{s}$
$2^{13} \times 1/f_x$	2.29 ms
$2^{15} \times 1/f_x$	9.15 ms
$2^{17} \times 1/f_x$	36.6 ms

$f_x$  : メイン・システム・クロック発振周波数

#### (2) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

表9 - 2 インターバル時間

インターバル時間	$f_x = 3.58 \text{ MHz}$ 動作時
$2^{11} \times 1/f_x$	572 $\mu\text{s}$
$2^{13} \times 1/f_x$	2.29 ms
$2^{15} \times 1/f_x$	9.15 ms
$2^{17} \times 1/f_x$	36.6 ms

$f_x$  : メイン・システム・クロック発振周波数

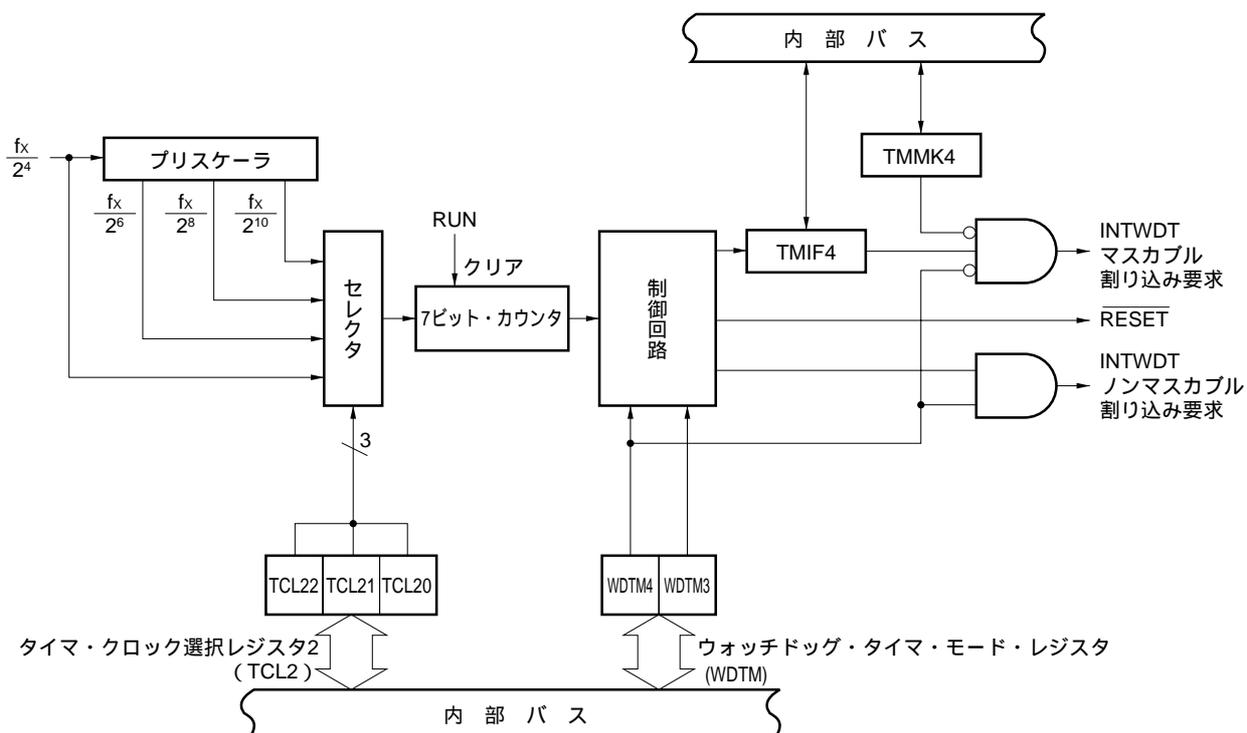
## 9.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成しています。

表9-3 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	タイマ・クロック選択レジスタ2 (TCL2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

図9-1 ウォッチドッグ・タイマのブロック図



### 9.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、次の2種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ2 (TCL2)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

#### (1) タイマ・クロック選択レジスタ2 (TCL2)

ウォッチドッグ・タイマのカウント・クロックを設定するレジスタです。

TCL2は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図9-2 タイマ・クロック選択レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL2	0	0	0	0	0	TCL22	TCL21	TCL20	FF42H	00H	R/W

TCL22	TCL21	TCL20	ウォッチドッグ・タイマのカウント・クロックの選択	インターバル時間
0	0	0	$f_x/2^4$ (223.8 kHz)	$2^{11}/f_x$ (572 $\mu$ s)
0	1	0	$f_x/2^6$ (55.9 kHz)	$2^{13}/f_x$ (2.29 ms)
1	0	0	$f_x/2^8$ (14.0 kHz)	$2^{15}/f_x$ (9.15 ms)
1	1	0	$f_x/2^{10}$ (3.50 kHz)	$2^{17}/f_x$ (36.6 ms)
上記以外			設定禁止	

備考1.  $f_x$  : メイン・システム・クロック発振周波数

2. ( ) 内は、 $f_x = 3.58$  MHz動作時

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード，カウント許可 / 禁止を設定するレジスタです。  
 WDTMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
 $\overline{\text{RESET}}$ 入力により，00Hになります。

図9-3 ウォッチドッグ・タイマ・モード・レジスタのフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	FFF9H	00H	R/W

RUN	ウォッチドッグ・タイマの動作の選択 <sup>注1</sup>
0	カウントの停止
1	カウンタをクリアし，カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 <sup>注2</sup>
0	0	動作停止
0	1	インターバル・タイマ・モード (オーバーフロー発生時，マスカブル割り込み要求発生) <sup>注3</sup>
1	0	ウォッチドッグ・タイマ・モード1 (オーバーフロー発生時，ノンマスカブル割り込み要求発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバーフロー発生時，リセット動作を起動)

- 注1 . RUNは，一度セット (1) されると，ソフトウェアでクリア (0) することはできません。したがって，カウントを開始すると， $\overline{\text{RESET}}$ 入力以外で停止させることはできません。
- 2 . WDTM3, WDTM4は，一度セット (1) されると，ソフトウェアでクリア (0) することはできません。
- 3 . RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

- 注意1 . RUNに1を設定し，ウォッチドッグ・タイマをクリアしたとき，実際のオーバーフロー時間は，タイマ・クロック選択レジスタ2 (TCL2) で設定した時間より最大0.8 %短くなります。
- 2 . ウォッチドッグ・タイマ・モード1, 2を使用する場合は，WDTIF (割り込み要求フラグ・レジスタ0 (IF0) のビット0) が0になっていることを確認してからWDTM4を1にセットしてください。WDTIFが1の状態では，ウォッチドッグ・タイマ・モード1, 2を選択すると書き換え終了と同時にノンマスカブル割り込み要求が発生します。

## 9.4 ウォッチドッグ・タイマの動作

### 9.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

タイマ・クロック選択レジスタ2 (TCL2) のビット0-2 (TCL20-TCL22) でウォッチドッグ・タイマのカウント・クロック (暴走検出時間間隔) を選択できます。WDTMのビット7 (RUN) に1を設定することにより、ウォッチドッグ・タイマはスタートします。ウォッチドッグ・タイマがスタートしたあと、設定した暴走検出時間間隔内にRUNに1を設定してください。RUNに1を設定することにより、ウォッチドッグ・タイマをクリアし、カウントを開始させることができます。RUNに1がセットされず、暴走検出時間を越えてしまったときは、WDTMのビット3 (WDTM3) の値により、システム・リセットまたはノンマスカブル割り込み要求が発生します。

ウォッチドッグ・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP命令を実行してください。

**注意** 実際の暴走検出時間は設定時間に対して最大0.8%短くなる場合があります。

表9-4 ウォッチドッグ・タイマの暴走検出時間

TCL22	TCL21	TCL20	暴走検出時間	$f_x = 3.58 \text{ MHz}$ 動作時
0	0	0	$2^{11} \times 1/f_x$	572 $\mu$ s
0	1	0	$2^{13} \times 1/f_x$	2.29 ms
1	0	0	$2^{15} \times 1/f_x$	9.15 ms
1	1	0	$2^{17} \times 1/f_x$	36.6 ms

$f_x$ : メイン・システム・クロック発振周波数

### 9.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に0, ビット3 (WDTM3) に1を設定することにより, あらかじめ設定したカウント値をインターバルとし, 繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

タイマ・クロック選択レジスタ2 (TCL2) のビット0-2 (TCL20-TCL22) でカウント・クロック (インターバル時間) を選択できます。WDTMのビット7 (RUN) に1を設定することにより, インターバル・タイマとして動作を開始します。

インターバル・タイマとして動作しているとき, 割り込みマスク・フラグ (WDTMK: 割り込みマスク・フラグ・レジスタ0 (MK0) のビット0) が有効となり, マスカブル割り込み要求 (INTWDT) を発生させることができます。INTWDTの優先順位は, マスカブル割り込みの中で最も高く設定されています。

インターバル・タイマは, HALTモード時では動作を継続しますが, STOPモード時では動作を停止します。したがって, STOPモードに入る前にRUNを1に設定し, インターバル・タイマをクリアしたあと, STOP命令を実行してください。

- 注意1. 一度WDTMのビット4 (WDTM4) に1をセットする (ウォッチドッグ・タイマ・モードを選択する) と $\overline{\text{RESET}}$ 入力されないかぎり, インターバル・タイマ・モードになりません。
2. WDTMで設定した直後のインターバル時間は, 設定時間に対して最大0.8 %短くなるときがあります。

表9 - 5 インターバル・タイマのインターバル時間

TCL22	TCL21	TCL20	インターバル時間	$f_x = 3.58 \text{ MHz}$ 動作時
0	0	0	$2^{11} \times 1/f_x$	572 $\mu\text{s}$
0	1	0	$2^{13} \times 1/f_x$	2.29 ms
1	0	0	$2^{15} \times 1/f_x$	9.15 ms
1	1	0	$2^{17} \times 1/f_x$	36.6 ms

$f_x$ : メイン・システム・クロック発振周波数

# 第10章 クロック出力回路

## 10.1 クロック出力回路の機能

クロック出力回路 (PBU) には、次のような機能があります。

### (1) PCL出力

PCL/P23端子よりパルス・クロックを出力し、周辺LSIにパルス・クロックを供給します。

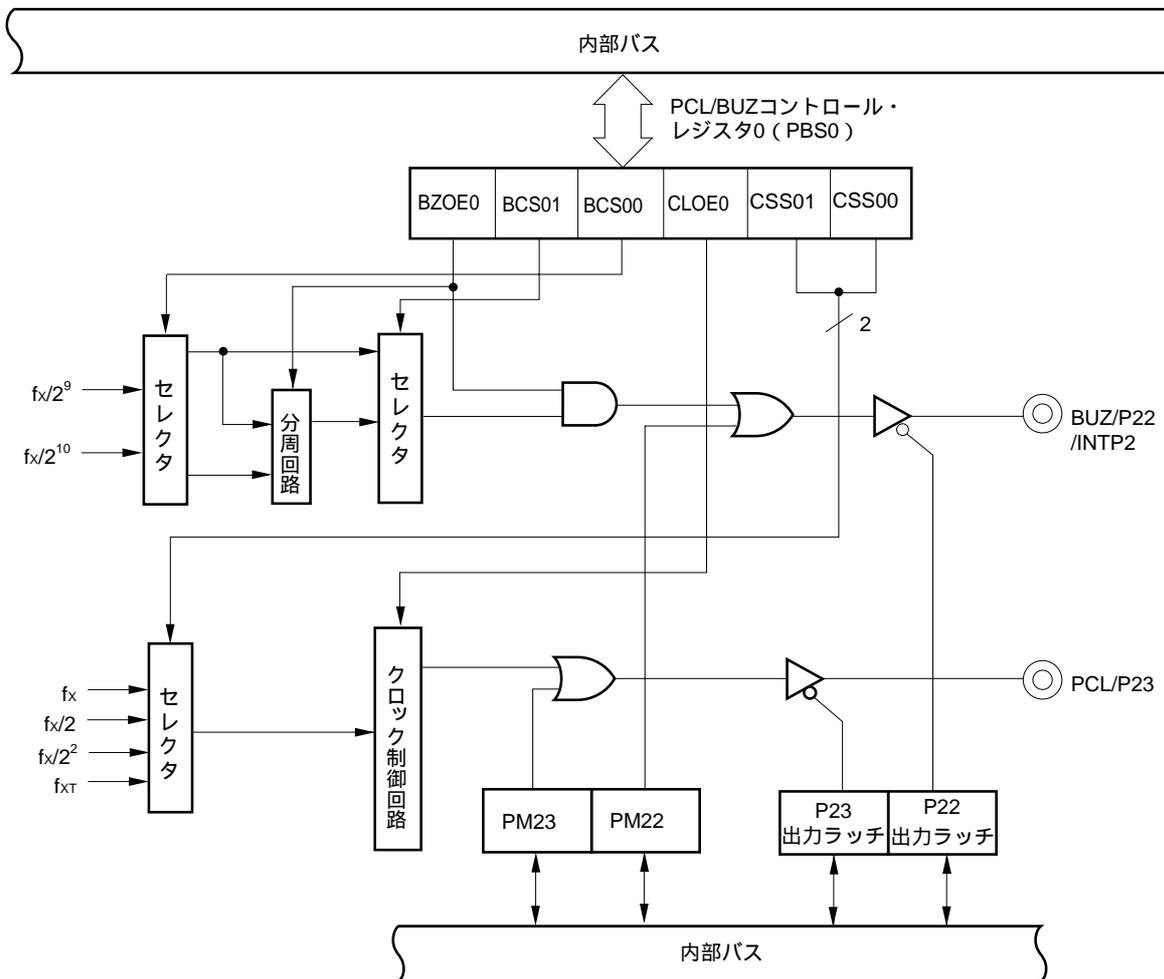
### (2) ブザー出力

BUZ/P22/INTP2端子よりブザー周波数を出力します。

## 10.2 クロック出力回路の構成

クロック出力回路 (PBU) のブロック図を次に示します。

図10 - 1 クロック出力回路のブロック図



## 10.3 クロック出力回路を制御するレジスタ

クロック出力回路（PBU）は、次の2種類のレジスタで制御します。

- ・PCL/BUZコントロール・レジスタ0（PBS0）
- ・ポート・モード・レジスタ2（PM2）

### (1) PCL/BUZコントロール・レジスタ0（PBS0）

PCL/BUZコントロール・レジスタ0（PBS0）は、パルス・クロックの出力および、ブザー周波数の出力を制御するレジスタです。

PBS0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図10 - 2 PCL/BUZコントロール・レジスタ0のフォーマット

略号	6	5	3	2	1	0	アドレス	リセット時	R/W		
PBS0	BZOE0	BCS01	BCS00	CLOE0	0	0	CSS01	CSS00	FF40H	00H	R/W

BZOE0	ブザー周波数の出力の制御
0	クロック分周回路は動作停止，ブザー周波数出力禁止
1	クロック分周回路は動作可能，ブザー周波数出力許可

BCS01	カウント・クロックの選択
0	BCS00（PBS0のビット5）で選択したカウント・クロック
1	BCS00で選択したカウント・クロックの4分周

BCS00	ブザー周波数のカウント・クロックの選択
0	$f_x/2^9$ （6.9 kHz）
1	$f_x/2^{10}$ （3.5 kHz）

CLOE0	パルス・クロックの出力の制御
0	パルス・クロック出力禁止
1	パルス・クロック出力許可

CSS01	CSS00	パルス・クロックのカウント・クロックの選択
0	0	$f_x$ （3.58 MHz）
0	1	$f_x/2$ （1.79 kHz）
1	0	$f_x/2^2$ （895 kHz）
1	1	$f_{XT}$ （32.768 kHz）

注意1. ビット2, 3には, 必ず0を設定してください。

2. ブザー出力, パルス・クロック出力中にカウント・クロックを書き換えないでください。カウント・クロックを変更する場合はブザー出力を禁止 (BZOE0 = 0), パルス・クロック出力を禁止 (CLOE0 = 0) してから行ってください。

備考1.  $f_x$  : メイン・システム・クロック発振周波数

2.  $f_{XT}$  : サブシステム・クロック発振周波数

3. ( ) 内は,  $f_x = 3.58 \text{ MHz}$ 動作時または $f_{XT} = 32.768 \text{ kHz}$ 動作時

(2) ポート・モード・レジスタ2 (PM2)

ポート2の入力 / 出力を1ビット単位で設定するレジスタです。P22/BUZ/INTP2端子をブザー出力として使用するとき, PM22およびP22の出力ラッチにそれぞれ0を設定してください。

P23/PCL端子をパルス・クロック出力として使用するとき, PM23およびP23の出力ラッチにそれぞれ0を設定してください。

PM2は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図10-3 ポート・モード・レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM2	1	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W

PM22	P22端子の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

PM23	P23端子の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

## 10.4 クロック出力回路の動作

### 10.4.1 PCL出力としての動作

PCL/P23端子よりパルス・クロックを出力し、周辺LSIにパルス・クロックを出力します。

クロック出力回路をPCL出力として動作させるには、次の設定をします。

- ・P23を出力モード (PM23 = 0) に設定
- ・P23の出力ラッチに0を設定
- ・PCL/BUZコントロール・レジスタ0 (PBS0) を図10 - 4のように設定

図10 - 4 PCL出力動作時のPCL/BUZコントロール・レジスタ0の設定内容

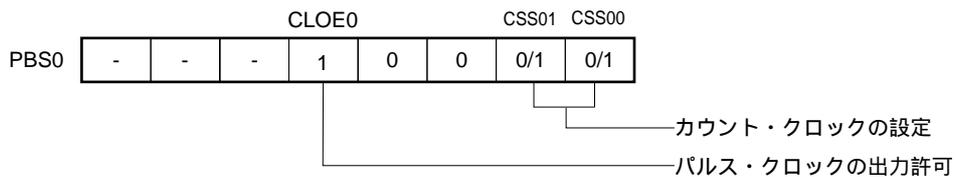
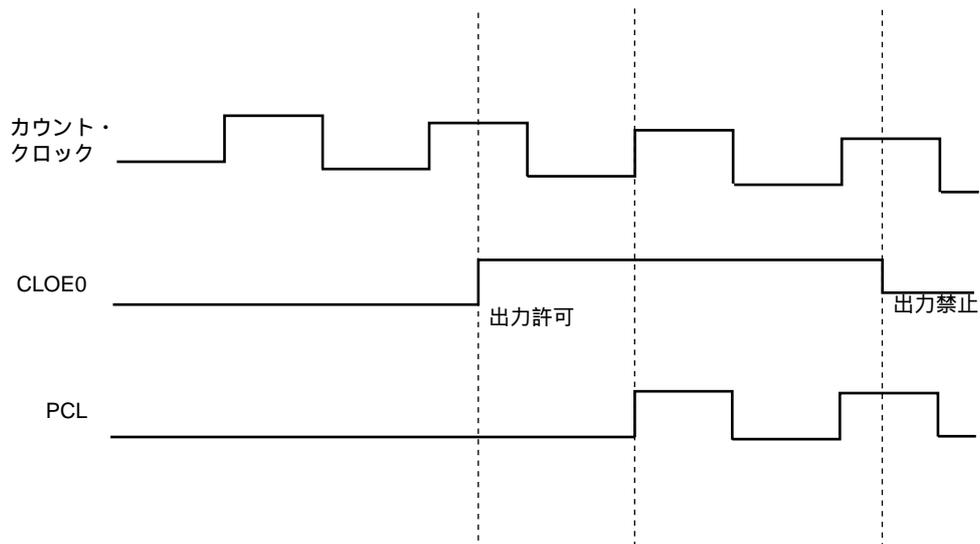


図10 - 5にPCL出力のタイミングを示します。

図10 - 5 PCL出力のタイミング



カウント・クロックのロウ・レベルでパルス・クロック出力許可信号をラッチするため、非同期に出力を許可 (CLOE0 = 1) しても必ず、カウント・クロックのロウ・レベルから出力を開始します。

また、非同期に出力禁止 (CLOE0 = 0) された場合、カウント・クロックのハイ・レベルを保証してから出力を停止します。

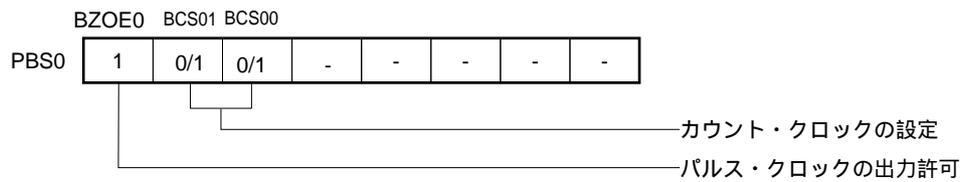
### 10.4.2 ブザー出力としての動作

BUZ/P22/INTP2端子よりブザー周波数を出力します。

クロック出力回路をブザー出力として動作させるには次の設定をします。

- ・ P22を出力モード (PM22 = 0) に設定
- ・ P22の出力ラッチに0を設定
- ・ PCL/BUZコントロール・レジスタ0 (PBS0) を図10 - 6のように設定

図10 - 6 ブザー出力動作時のPCL/BUZコントロール・レジスタ0の設定内容



# 第11章 シリアル・インタフェースUART00

## 11.1 シリアル・インタフェースUART00の機能

シリアル・インタフェースUART00には、次の2種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード

### (1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

### (2) アシンクロナス・シリアル・インタフェース (UART) モード

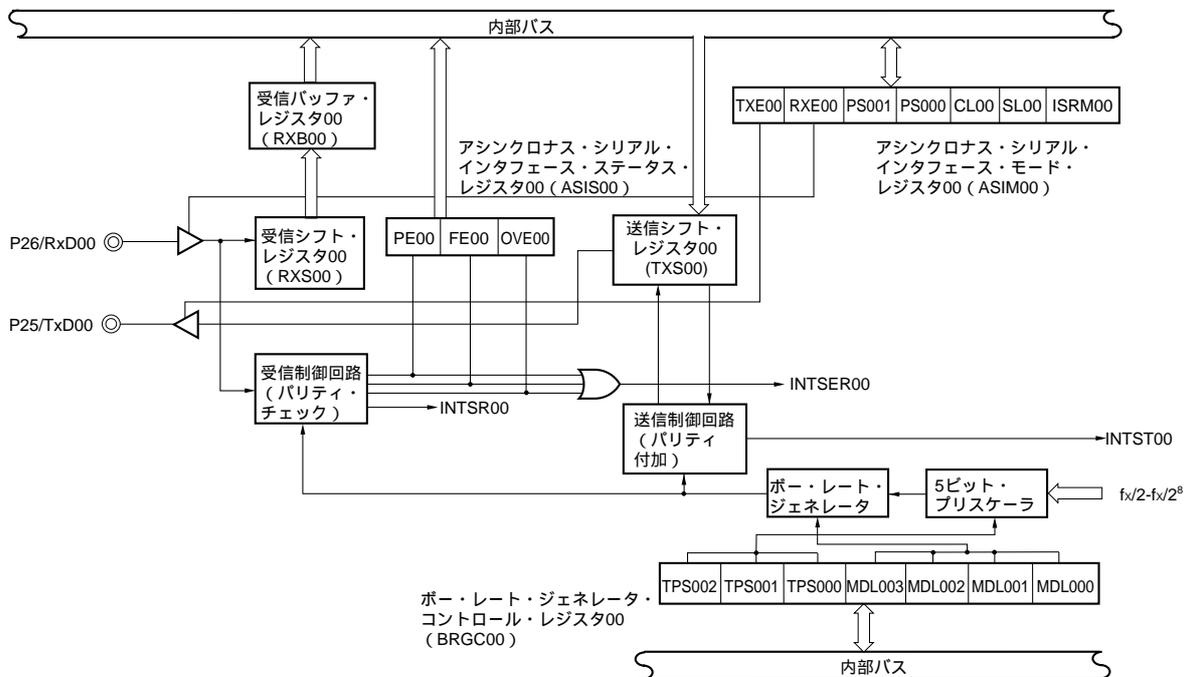
スタート・ビットに続く1バイトのデータを送受信するモードで全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

UART専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート (31.25 kbps) を使用することもできます。

図11 - 1にシリアル・インタフェースUART00のブロック図を示します。

図11 - 1 シリアル・インタフェースUART00のブロック図



## 11.2 シリアル・インタフェースUART00の構成

シリアル・インタフェースUART00は、次のハードウェアで構成しています。

表11-1 シリアル・インタフェースUART00の構成

項目	構成
レジスタ	送信シフト・レジスタ00 (TXS00) 受信シフト・レジスタ00 (RXS00) 受信バッファ・レジスタ00 (RXB00)
制御レジスタ	アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) ポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)

### (1) 送信シフト・レジスタ00 (TXS00)

送信データを設定するレジスタです。TXS00に書き込まれたデータをシリアル・データとして送信します。

データ長を7ビットに指定した場合、TXS00に書き込んだデータのビット0-6が送信データとして転送されます。TXS00にデータを書き込むことにより、送信動作を開始します。

TXS00は、8ビット・メモリ操作命令で書き込みます。読み出しはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

**注意** 送信動作中は、TXS00への書き込みを行わないでください。

TXS00と受信バッファ・レジスタ00 (RXB00) は同一アドレスに割り当てられており、読み出しを行った場合にはRXB00の値が読み出されます。

### (2) 受信シフト・レジスタ00 (RXS00)

RxD00端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。1バイト分のデータを受信すると、受信データを受信バッファ・レジスタ00 (RXB00) へ転送します。

RXS00はプログラムで直接操作することはできません。

### (3) 受信バッファ・レジスタ00 (RXB00)

受信データを保持するレジスタです。データを1バイト受信するごとに受信シフト・レジスタ00 (RXS00) から新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXB00のビット0-6に転送され、RXB00のMSBは必ず0になります。

RXB00は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

**注意** RXB00と送信シフト・レジスタ00 (TXS00) は同一アドレスに割り当てられており、書き込みを行った場合にはTXS00に値が書き込まれます。

**(4) 送信制御回路**

アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) に設定された内容に従って、送信シフト・レジスタ00 (TXS00) に書き込まれたデータにスタート・ビット, パリティ・ビット, ストップ・ビットの付加などの送信動作の制御を行います。

**(5) 受信制御回路**

アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) に設定された内容に従って、受信動作を制御します。また受信動作中にパリティ・エラーなどのエラー・チェックも行い、エラーを検出したときにはエラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) にセットします。

## 11.3 シリアル・インタフェースUART00を制御するレジスタ

シリアル・インタフェースUART00は、次の3種類のレジスタで制御します。

- ・アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)
- ・アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)

### (1) アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)

シリアル・インタフェースUART00のシリアル転送動作を制御する8ビットのレジスタです。

ASIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

**注意** UARTモード時、ポート・モード・レジスタ (PM $\times$  $\times$ ) を次のように設定してください。また、出力ラッチはそれぞれ0に設定してください。

- ・受信時  
P26 (RxD00) を入力モード (PM26 = 1) に設定
- ・送信時  
P25 (TxD00) を出力モード (PM25 = 0) に設定
- ・送受信時  
P26を入力モード、P25を出力モードにそれぞれ設定

図11-2 アシクロナス・シリアル・インタフェース・モード・レジスタ00のフォーマット

略号			5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM00	TXE00	RXE00	PS001	PS000	CL00	SL00	ISRM00	0	FFA0H	00H	R/W

TXE00	RXE00	動作モード	RxD00/P26端子の機能	TxD00/P25端子の機能
0	0	動作停止	ポート機能 (P26)	ポート機能 (P25)
0	1	UARTモード (受信のみ)	シリアル機能 (RxD00)	
1	0	UARTモード (送信のみ)	ポート機能 (P26)	シリアル機能 (TxD00)
1	1	UARTモード (送受信)	シリアル機能 (RxD00)	

PS001	PS000	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時, 常に0パリティ不可 受信時, パリティの検査をしない (パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL00	キャラクタ長の指定
0	7ビット
1	8ビット

SL00	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRM00	エラー発生時の受信完了割り込み制御
0	エラー発生時, 受信完了割り込み要求を発生する
1	エラー発生時, 受信完了割り込み要求を発生しない

注意1. ビット0には, 必ず0を設定してください。

2. 動作モードの切り替えは, シリアル送受信動作を停止させたのちに行ってください。

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00)

UARTモードで受信エラー発生時，エラーの種類を表示するレジスタです。

ASIS00は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図11-3 アシクロナス・シリアル・インタフェース・ステータス・レジスタ00のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIS00	0	0	0	0	0	PE00	FE00	OVE00	FFA1H	00H	R

PE00	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (送信パリティと受信パリティが一致しないとき)

FE00	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 <sup>注1</sup> (ストップ・ビットが検出されないとき)

OVE00	オーバラン・エラー・フラグ
0	オーバラン・エラーなし
1	オーバラン・エラー発生 <sup>注2</sup> (受信バッファ・レジスタ00からデータを読み出す前に次の受信動作が完了したとき)

注1. アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) のビット2 (SL00) でストップ・ビット長を2ビットに設定した場合も，受信時のストップ・ビット検出は1ビットのみです。

2. オーバラン・エラーが発生したとき，受信バッファ・レジスタ00 (RXB00) を必ず読み出してください。RXB00を読み出すまで，データ受信のたびにオーバラン・エラーが発生し続けます。

(3) ボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)

シリアル・インタフェースのシリアル・クロックを選択するレジスタです。

BRGC00は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図11-4 ボー・レート・ジェネレータ・コントロール・レジスタ00のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC00	0	TPS002	TPS001	TPS000	MDL003	MDL002	MDL001	MDL000	FFA2H	00H	R/W

TPS002	TPS001	TPS000	5ビット・カウンタのソース・クロックの選択
0	0	0	$f_x/2$ (1.79 MHz)
0	0	1	$f_x/2^2$ (895 kHz)
0	1	0	$f_x/2^3$ (448 kHz)
0	1	1	$f_x/2^4$ (224 kHz)
1	0	0	$f_x/2^5$ (112 kHz)
1	0	1	$f_x/2^6$ (56 kHz)
1	1	0	$f_x/2^7$ (28 kHz)
1	1	1	$f_x/2^8$ (14 kHz)

MDL003	MDL002	MDL001	MDL000	ボー・レート・ジェネレータの入力クロックの選択
0	0	0	0	$f_{\text{sck}}/16$
0	0	0	1	$f_{\text{sck}}/17$
0	0	1	0	$f_{\text{sck}}/18$
0	0	1	1	$f_{\text{sck}}/19$
0	1	0	0	$f_{\text{sck}}/20$
0	1	0	1	$f_{\text{sck}}/21$
0	1	1	0	$f_{\text{sck}}/22$
0	1	1	1	$f_{\text{sck}}/23$
1	0	0	0	$f_{\text{sck}}/24$
1	0	0	1	$f_{\text{sck}}/25$
1	0	1	0	$f_{\text{sck}}/26$
1	0	1	1	$f_{\text{sck}}/27$
1	1	0	0	$f_{\text{sck}}/28$
1	1	0	1	$f_{\text{sck}}/29$
1	1	1	0	$f_{\text{sck}}/30$
1	1	1	1	設定禁止

注意1. ビット7には必ず0を設定してください。

2. 通信動作中にBRGC00への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGC00への書き込みを行わないでください。

備考1.  $f_x$  : メイン・システム・クロック発振周波数

2. ( ) 内は、 $f_x = 3.58$  MHz動作時

3.  $f_{\text{sck}}$  : 5ビット・カウンタのソース・クロック

## 11.4 シリアル・インタフェースUART00の動作

シリアル・インタフェースUART00は、次の2種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード

### 11.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いませんので、消費電力を低減できます。また、動作停止モードでは、端子を通常の入出力ポートとして使用できます。

#### (1) レジスタの設定

動作モードの設定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)で行います。

ASIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	5	4	3	2	1	0	アドレス	リセット時	R/W		
ASIM00	TXE00	RXE00	PS001	PS000	CL00	SL00	ISRM00	0	FFA0H	00H	R/W

TXE00	RXE00	動作モード	RxD00/P26端子の機能	TxD00/P25端子の機能
0	0	動作停止	ポート機能 (P26)	ポート機能 (P25)
0	1	UARTモード (受信のみ)	シリアル機能 (RxD00)	
1	0	UARTモード (送信のみ)	ポート機能 (P26)	シリアル機能 (TxD00)
1	1	UARTモード (送受信)	シリアル機能 (RxD00)	

**注意** 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

## 11.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

UART専用のボー・レート・ジェネレータを利用してMIDI規格のボー・レート (31.25 kbps) を使用することもできます。

### (1) レジスタの設定

UARTモードの設定は、アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)、アシクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00)、ボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) で行います。

#### (a) アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)

ASIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

**注意** UARTモード時、ポート・モード・レジスタ2 (PM2) を次のように設定してください。また、出力ラッチはそれぞれ0に設定してください。

- ・受信時

P26 (RxD00) を入力モード (PM26 = 1) に設定

- ・送信時

P25 (TxD00) を出力モード (PM25 = 0) に設定

- ・送受信時

P26を入力モード、P25を出力モードにそれぞれ設定

略号			5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM00	TXE00	RXE00	PS001	PS000	CL00	SL00	ISRM00	0	FFA0H	00H	R/W

TXE00	RXE00	動作モード	RxD00/P26端子の機能	TxD00/P25端子の機能
0	0	動作停止	ポート機能 (P26)	ポート機能 (P25)
0	1	UARTモード (受信のみ)	シリアル機能 (RxD00)	
1	0	UARTモード (送信のみ)	ポート機能 (P26)	シリアル機能 (TxD00)
1	1	UARTモード (送受信)	シリアル機能 (RxD00)	

PS001	PS000	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時, 常に0パリティ不可 受信時, パリティの検査をしない (パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL00	キャラクタ長の指定
0	7ビット
1	8ビット

SL00	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRM00	エラー発生時の受信完了割り込み制御
0	エラー発生時, 受信完了割り込み要求を発生する
1	エラー発生時, 受信完了割り込み要求を発生しない

注意1. ビット0には, 必ず0を設定してください。

2. 動作モードの切り替えは, シリアル送受信動作を停止させたのちに行ってください。

(b) アシクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00)

ASIS00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIS00	0	0	0	0	0	PE00	FE00	OVE00	FFA1H	00H	R

PE00	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FE00	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 <sup>注1</sup> (ストップ・ビットが検出されないとき)

OVE00	オーバラン・エラー・フラグ
0	オーバラン・エラーなし
1	オーバラン・エラー発生 <sup>注2</sup> (受信バッファ・レジスタ00からデータを読み出す前に次の受信動作が完了したとき)

注1. アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) のビット2 (SL00) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ00 (RXB00) を必ず読み出してください。RXB00を読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

**注意** ビット3-7には、必ず0を設定してください。

(c) ボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)

BRGC00は、8ビット・メモリ操作命令で操作します。

RESET入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC00	0	TPS002	TPS001	TPS000	MDL003	MDL002	MDL001	MDL000	FFA2H	00H	R/W

TPS002	TPS001	TPS000	5ビット・カウンタのソース・クロックの選択	n
0	0	0	$f_x/2$ (1.79 MHz)	0
0	0	1	$f_x/2^2$ (895 kHz)	1
0	1	0	$f_x/2^3$ (448 kHz)	2
0	1	1	$f_x/2^4$ (224 kHz)	3
1	0	0	$f_x/2^5$ (112 kHz)	4
1	0	1	$f_x/2^6$ (56 kHz)	5
1	1	0	$f_x/2^7$ (28 kHz)	6
1	1	1	$f_x/2^8$ (14 kHz)	7

MDL003	MDL002	MDL001	MDL000	ボー・レート・ジェネレータの入力クロックの選択	k
0	0	0	0	$f_{sck}/16$	0
0	0	0	1	$f_{sck}/17$	1
0	0	1	0	$f_{sck}/18$	2
0	0	1	1	$f_{sck}/19$	3
0	1	0	0	$f_{sck}/20$	4
0	1	0	1	$f_{sck}/21$	5
0	1	1	0	$f_{sck}/22$	6
0	1	1	1	$f_{sck}/23$	7
1	0	0	0	$f_{sck}/24$	8
1	0	0	1	$f_{sck}/25$	9
1	0	1	0	$f_{sck}/26$	10
1	0	1	1	$f_{sck}/27$	11
1	1	0	0	$f_{sck}/28$	12
1	1	0	1	$f_{sck}/29$	13
1	1	1	0	$f_{sck}/30$	14
1	1	1	1	設定禁止	15

注意1. ビット7には必ず0を設定してください。

2. 通信動作中にBRGC00への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGC00への書き込みを行わないでください。

備考1.  $f_x$  : メイン・システム・クロック発振周波数

2. ( ) 内は、 $f_x = 3.58$  MHz動作時

3.  $f_{sck}$  : 5ビット・カウンタのソース・クロック

生成するボー・レート用の送受信クロックは、メイン・システム・クロックを分周した信号になります。

- ・メイン・システム・クロックによるボー・レート用の送受信クロックの生成  
メイン・システム・クロックを分周して送受信クロックを生成します。メイン・システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_x}{2^{n+1}(k+16)} [\text{Hz}]$$

$f_x$  : メイン・システム・クロック発振周波数

BRGC00のビット4-6 (TPS000-TPS002) に割り当てた5ビット・カウンタのソース・クロックとnの値との関係を表11 - 2に示します。

表11 - 2 5ビット・カウンタのソース・クロックとnの値との関係

TPS002	TPS001	TPS000	5ビット・カウンタのソース・クロックの選択	n
0	0	0	$f_x/2$ ( 1.79 MHz )	0
0	0	1	$f_x/2^2$ ( 895 kHz )	1
0	1	0	$f_x/2^3$ ( 448 kHz )	2
0	1	1	$f_x/2^4$ ( 224 kHz )	3
1	0	0	$f_x/2^5$ ( 112 kHz )	4
1	0	1	$f_x/2^6$ ( 56 kHz )	5
1	1	0	$f_x/2^7$ ( 28 kHz )	6
1	1	1	$f_x/2^8$ ( 14 kHz )	7

備考1 .  $f_x$  : メイン・システム・クロック発振周波数

2 . ( ) 内は、 $f_x = 3.58 \text{ MHz}$ 動作時

・ボー・レートの許容誤差範囲

ボー・レートの許容範囲は、1フレームのビット数、およびカウンタの分周比  $[1/(16+k)]$  に依存します。

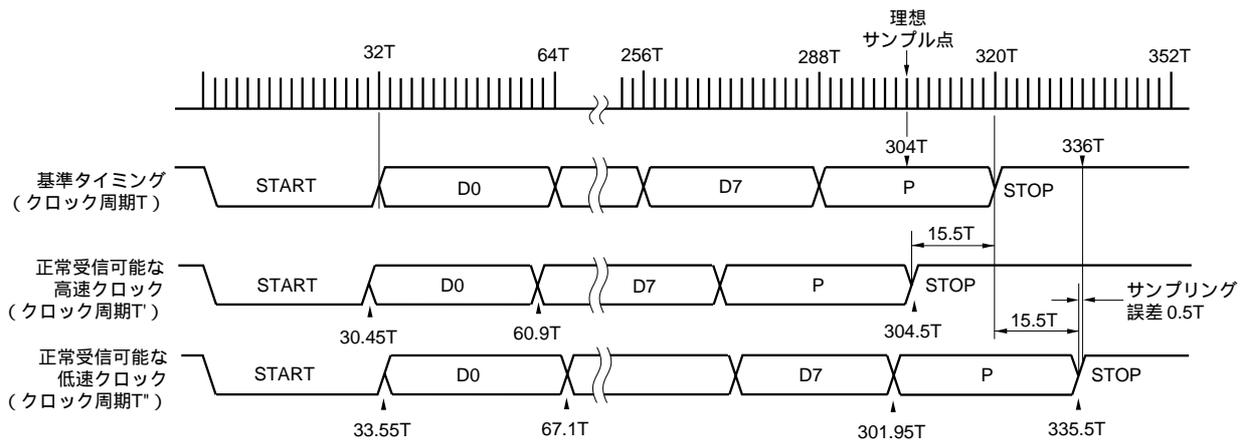
表11 - 3にメイン・システム・クロックとボー・レートの関係を示し、図11 - 5にボー・レートの許容誤差の例を示します。

表11 - 3 メイン・システム・クロックとボー・レートの関係

ボー・レート [bps]	fx = 5.0 MHz		fx = 4.1943 MHz		fx = 3.58 MHz	
	BRGC00	誤差 (%)	BRGC00	誤差 (%)	BRGC00	誤差 (%)
75	-	-	-	-	-	-
110	-	-	-	-	-	-
150	-	-	-	-	-	-
300	-	-	7BH	1.14	77H	1.33
600	70H	1.73	6BH	1.14	67H	1.33
1200	60H	1.73	5BH	1.14	57H	1.33
2400	50H	1.73	4BH	1.14	47H	1.33
4800	40H	1.73	3BH	1.14	37H	1.33
9600	30H	1.73	2BH	1.14	27H	1.33
19200	20H	1.73	1BH	1.14	17H	1.33
31250	14H	0.00	11H	- 1.31	0CH	- 1.24
38400	10H	1.73	0BH	1.14	07H	1.33
76800	00H	1.73	-	-	-	-
115200	-	-	-	-	-	-

備考 fx: メイン・システム・クロック発振周波数

図11 - 5 サンプルング誤差を考慮したボー・レートの許容誤差 (k = 0の場合)



**備考** T : 5ビット・カウンタのソース・クロック周期

$$\text{ボー・レート許容範囲誤差 (k = 0の場合)} = \frac{\pm 15.5}{320} \times 100 = 4.8438 (\%)$$

## (2) 通信動作

## (a) データ・フォーマット

送受信データのフォーマットを図11 - 6に示します。

図11 - 6 アシクロナス・シリアル・インタフェースの送受信データのフォーマット



1データ・フレームは、次に示す各ビットで構成されます。

- ・スタート・ビット : 1ビット
- ・キャラクタ・ビット : 7ビット / 8ビット
- ・パリティ・ビット : 偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ストップ・ビット : 1ビット / 2ビット

1データ・フレーム内のキャラクタ・ビット長の指定, パリティ選択, ストップ・ビット長の指定は, アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) によって行います。

キャラクタ・ビットとして7ビットを選択した場合, 下位7ビット(ビット0 - 6)のみが有効となり, 送信の場合は最上位ビット(ビット7)は無視され, 受信の場合は必ず最上位ビット(ビット7)は“0”になります。

シリアル転送レートの設定は, ASIM00とポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) によって行います。

また, シリアル・データの受信エラーが発生した場合, アシクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) の状態を読むことによって受信エラーの内容を判定できます。

## (b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は, 送信側と受信側のパリティ・ビットは同一のものを使用します。偶数パリティと奇数パリティは, 1ビット(奇数個)の誤りを検出できます。0パリティとパリティなしとでは, 誤りを検出できません。

## ( ) 偶数パリティ

## ・送信時

パリティ・ビットを含めた送信データ中の値が“1”のビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：1

送信データ中に、値が“1”のビットの数が偶数個：0

## ・受信時

パリティ・ビットを含めた受信データ中の値が“1”のビットの数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

## ( ) 奇数パリティ

## ・送信時

偶数パリティとは逆にパリティ・ビットを含めた送信データ中の値が“1”のビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に値が“1”のビットの数が奇数個：0

送信データ中に値が“1”のビットの数が偶数個：1

## ・受信時

パリティ・ビットを含めた受信データ中の値が“1”のビットの数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

## ( ) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

## ( ) パリティなし

送信データにパリティ・エラーを付加しません。

受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 送信

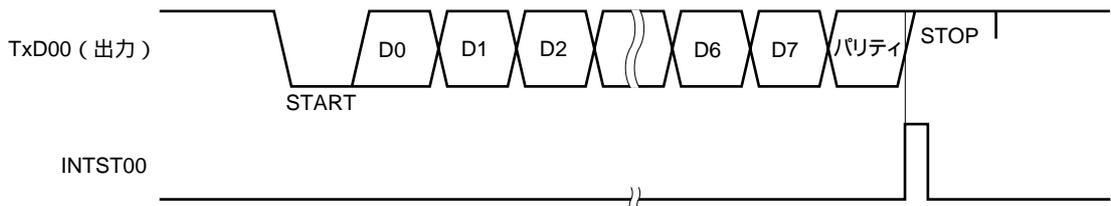
送信シフト・レジスタ00 (TXS00) に送信データを書き込むことによって送信動作は起動します。スタート・ビット, パリティ・ビット, ストップ・ビットは自動的に付加されます。

送信動作の開始により, TXS00内のデータがシフト・アウトされTXS00が空になると, 送信完了割り込み要求 (INTST00) が発生します。

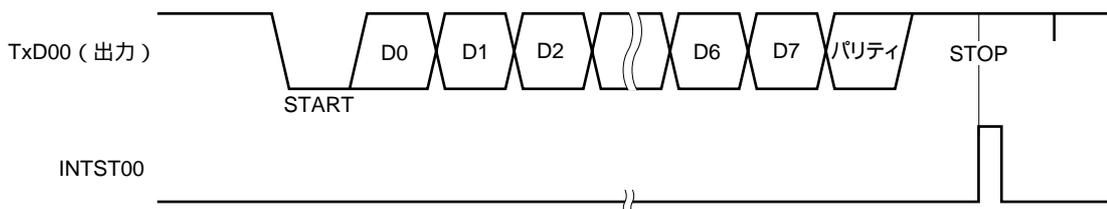
送信完了割り込みのタイミングを図11 - 7に示します。

図11 - 7 アシクロナス・シリアル・インタフェース送信完了割り込み要求タイミング

( ) ストップ・ビット長 : 1



( ) ストップ・ビット長 : 2



**注意** 送信動作中にはアシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) を書き換えしないでください。送信中にASIM00レジスタを書き換えると, それ以降の送信動作ができなくなる場合があります (RESET入力により, 正常になります)。

送信中かどうかは, 送信完了割り込み要求 (INTST00) またはINTST00によってセットされる割り込み要求フラグ (STIF00) を用いて, ソフトウェアにより判断できます。

(d) 受信

受信動作はアシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) のビット6 (RXE00) がセット (1) されると許可状態となり, RxD00端子入力のサンプリングを行います。

RxD00端子入力のサンプリングは, ASIM00で指定したシリアル・クロックで行います。

RxD00端子入力がロウ・レベルになると, ポー・レート・ジェネレータの5ビット・カウンタがカウントを開始し, 設定したポー・レートの半分の時間が経過したところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD00端子入力をサンプリングした結果, ロウ・レベルであれば, スタート・ビットとして認識し, 5ビット・カウンタを初期化してカウントを開始し, データのサンプリングを行います。スタート・ビットに続いて, キャラクタ・データ, パリティ・ビットおよび1ビットのストップ・ビットが検出されると, 1フレームのデータ受信が終了します。

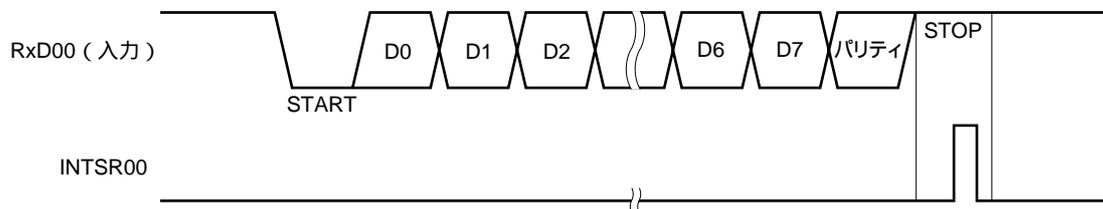
1フレームのデータ受信が終了すると, シフト・レジスタ内の受信データを受信バッファ・レジスタ00 (RXB00) に転送し, 受信完了割り込み要求 (INTSR00) を発生します。

また, エラーが発生しても, RXB00にエラーの発生した受信データを転送します。エラー発生時, ASIM00のビット1 (ISRM00) がクリア (0) されている場合は, INTSR00は発生しません (図11-9参照)。ISRM00ビットがセット (1) されている場合は, INTSR00は発生しません。

なお, 受信動作中にRXE00ビットをクリア (0) すると, ただちに受信動作を停止します。このとき, RXB00およびASIS00の内容は変化せず, また, INTSR00, INTSER00も発生しません。

図11-8にアシンクロナス・シリアル・インタフェース受信完了割り込み要求タイミングを示します。

図11-8 アシンクロナス・シリアル・インタフェース受信完了割り込み要求タイミング



**注意** 受信エラー発生時にも受信バッファ・レジスタ00 (RXB00) は必ず読み出してください。RXB00を読み出さないと, 次のデータ受信時にオーバラン・エラーが発生し, いつまでも受信エラーの状態が続いてしまいます。

(e) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果、エラー・フラグがアシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) 内に立つと、受信エラー割り込み要求 (INTSER00) を発生します。受信エラー割り込みは、受信完了割り込み要求 (INTSR00) より先に発生します。受信エラー要因を表11 - 4に示します。

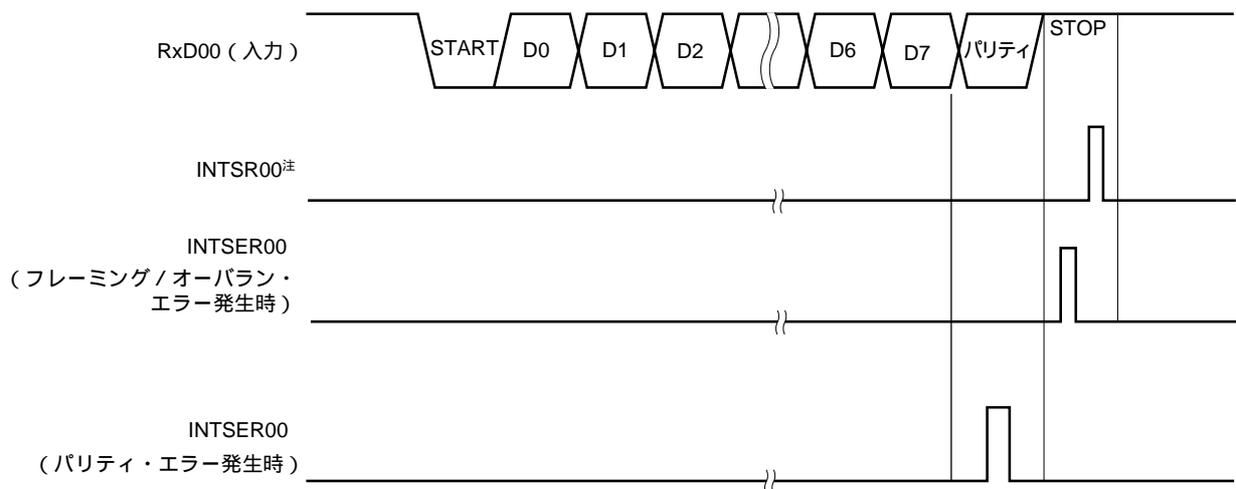
受信エラー割り込み処理 (INTSER00) 内でASIS00の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出できます (表11 - 4, 図11 - 9参照)。

ASIS00の内容は、受信バッファ・レジスタ00 (RXB00) を読み出すか、次のデータを受信することによってクリア (0) されます (次のデータにエラーがあれば、そのエラー・フラグがセットされます)。

表11 - 4 受信エラーの要因

受信エラー	要因	ASIS00の値
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない	04H
フレーミング・エラー	ストップ・ビットが検出されない	02H
オーバラン・エラー	受信バッファ・レジスタ00からデータを読み出す前に次のデータ受信完了	01H

図11 - 9 受信エラー・タイミング



注 ISRM00ビットがセット (1) されている場合に受信エラーが発生したときは、INTSR00は発生しません。

- 注意1. アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) の内容は、受信バッファ・レジスタ00 (RXB00) を読み出すか、次のデータを受信することにより、クリア (0) されます。エラーの内容が知りたい場合には、必ずRXB00を読み出す前にASIS00を読み出してください。
2. 受信エラー発生時にも受信バッファ・レジスタ00 (RXB00) は必ず読み出してください。RXB00を読み出さないと次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

## 第12章 LCDコントローラ/ドライバ

### 12.1 LCDコントローラ/ドライバの機能

LCDコントローラ/ドライバ(LCD20)には、次のような機能があります。

- (1) 表示データ・メモリの自動読み出しによるセグメント信号とコモン信号の自動出力が可能
- (2) 1/16デューティ(1/5バイアス)による表示モードで動作  
最大表示画素数640(40セグメント×16コモン)
- (3) 4種類のフレーム周波数を選択可能
- (4) セグメント信号出力は最大40本(S0-S39)、コモン信号出力は16本(COM0-COM15)  
セグメント信号出力のうち8本は、1ビット単位で入出力ポートに切り替え可能(P50/S39-P57/S32)
- (5) サブシステム・クロックによる動作も可能

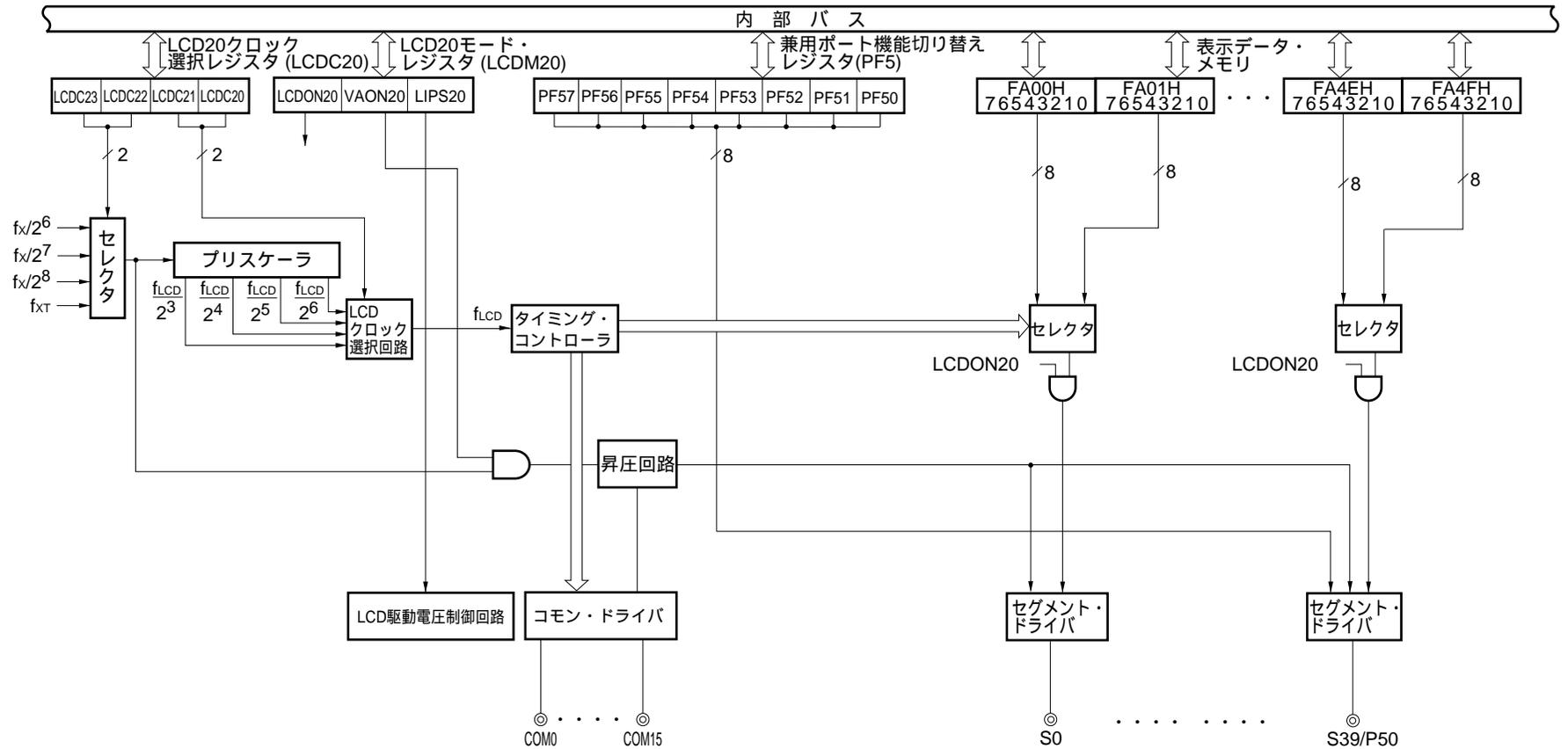
### 12.2 LCDコントローラ/ドライバの構成

LCDコントローラ/ドライバ(LCD20)は、次のハードウェアで構成しています。

表12-1 LCDコントローラ/ドライバの構成

項目	構成
表示出力	セグメント信号：合計40本 (セグメント信号専用：32本、セグメント信号/入出力ポート兼用：8本) コモン信号：16本
制御レジスタ	LCD20モード・レジスタ(LCDM20) 兼用ポート機能切り替えレジスタ(PF5) LCD20クロック選択レジスタ(LCDC20)

図12 - 1 LCDコントローラ/ドライバのブロック図



## 12.3 LCDコントローラ/ドライバを制御するレジスタ

LCDコントローラ/ドライバ (LCD20) は、次の3種類のレジスタで制御します。

- ・LCD20モード・レジスタ (LCDM20)
- ・兼用ポート機能切り替えレジスタ (PF5)
- ・LCD20クロック選択レジスタ (LCDC20)

### (1) LCD20モード・レジスタ (LCDM20)

LCD20モード・レジスタ (LCDM20) は、表示動作の許可/禁止、動作モード、LCD駆動用電源を設定するレジスタです。

LCDM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図12-2 LCD20モード・レジスタのフォーマット

略号			5			3	2	1	0	アドレス	リセット時	R/W
LCDM20	LCDON20	VAON20	0	LIPS20	0	0	0	0	0	FFB0H	00H	R/W

LCDON20	LCD表示の許可/禁止
0	表示OFF
1	表示ON

VAON20	LCDコントローラ/ドライバの動作モード <sup>注</sup>
0	通常動作
1	低電圧動作

LIPS20	LCD駆動用電源の供給
0	LCD駆動用電源を供給しない
1	LCD駆動用電源を供給する

注 LCD表示を行わないときは消費電力を低減させるため、VAON20 = 0に設定してください。

注意1. ビット0-3,5には、必ず0を設定してください。

2. VAON20を操作する場合、必ずLCDON20 = 0に設定し、LCD表示をオフにしてから行ってください。

(2) 兼用ポート機能切り替えレジスタ (PF5)

ポートとセグメント信号出力の切り替えを制御するレジスタです。

PF5は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図12 - 3 兼用ポート機能切り替えレジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PF5	PF57	PF56	PF55	PF54	PF53	PF52	PF51	PF50	FFB1H	00H	R/W

	PF57	PF56	PF55	PF54	PF53	PF52	PF51	PF50
	P57/S32	P56/S33	P55/S34	P54/S35	P53/S36	P52/S37	P51/S38	P50/S39
0	ポート (P5n) として使用							
1	セグメント (Sx) として使用							

備考 n=0-7, x =32-39

(3) LCD20クロック選択レジスタ (LCDC20)

LCD20クロック選択レジスタ (LCDC20) は、LCDクロック、LCDフレーム周波数を設定するレジスタです。

LCDC20は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図12 - 4 LCD20クロック選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
LCDC20	0	0	0	0	LCDC203	LCDC202	LCDC201	LCDC200	FFB2H	00H	R/W

LCDC203	LCDC202	LCDクロック( $f_{LCD}$ )の選択
0	0	$f_x/2^6$ (55.9 kHz)
0	1	$f_x/2^7$ (28.0 kHz)
1	0	$f_x/2^8$ (14.0 kHz)
1	1	$f_{XT}$ (32.768 kHz)

LCDC201	LCDC200	LCDクロック周波数の選択
0	0	$f_{LCD}/2^3$
0	1	$f_{LCD}/2^4$
1	0	$f_{LCD}/2^5$
1	1	$f_{LCD}/2^6$

**注意** ビット4-7には、必ず0を設定してください。

**備考1**  $f_x$  : メイン・システム・クロック発振周波数

2.  $f_{XT}$  : サブシステム・クロック発振周波数

3. ( ) 内は、 $f_x = 3.58$  MHz動作時または $f_{XT} = 32.768$  kHz動作時

LCDクロック ( $f_{LCD}$ ) に $f_{XT}$  (32.768kHz) をつないだときのフレーム周波数を表12 - 2に示します。

表12 - 2 LCDフレーム周波数

LCDC201	LCDC200	LCDクロック周波数	フレーム周波数
0	0	4096 Hz	256 Hz
0	1	2048 Hz	128 Hz
1	0	1024 Hz	64 Hz
1	1	512 Hz	32 Hz

## 12.4 LCDコントローラ/ドライバの設定

LCDコントローラ/ドライバの設定は、次のように行ってください。

表示データ・メモリ (FA00H-FA4FH) に初期値を設定する。

兼用ポート機能切り替えレジスタ (PF5) にセグメント出力として使用する端子を設定する。

LCD20モード・レジスタ (LCDM20) にLCD表示の許可、動作モードを設定する。

LCD20クロック選択レジスタ (LCDC20) にLCDクロックを選択する。

## 12.5 LCD表示データ・メモリ

LCD表示データ・メモリは、FA00H-FA4FH番地にマッピングしています。LCD表示データ・メモリに格納したデータは、LCDコントローラ/ドライバによりLCDパネルに表示することができます。

図12 - 5にLCD表示データ・メモリの内容とセグメント出力/コモン出力の関係を示します。

また、表示に使用しない領域は、通常のRAMとして使用できます。

図12 - 5 LCD表示データ・メモリの内容とセグメント出力/コモン出力の関係

	S0	S1	S2	.....	S37/P52	S38/P51	S39/P50	
b7								COM15
b6								COM14
b5								COM13
b4								COM12
b3								COM11
b2								COM10
b1								COM9
b0								COM8
アドレス	FA01H	FA03H	FA05H	.....	FA4BH	FA4DH	FA4FH	
b7								COM7
b6								COM6
b5								COM5
b4								COM4
b3								COM3
b2								COM2
b1								COM1
b0								COM0
アドレス	FA00H	FA02H	FA04H	.....	FA4AH	FA4CH	FA4EH	

LCDパネルの各画素は、それに対応するコモン信号とセグメント信号の電位差が一定電圧 ( $2V_{LCD}$ ) 以上になると点灯し、電位差が $2V_{LCD}$ 未満になると消灯します (詳しくは (1) コモン信号とセグメント信号の出力波形を参照)。

セグメント信号は、各表示データ・メモリの各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に選択されてセグメント端子 (S0-S39) に出力されます (ただし、S32-S39は入出力ポートと兼用になっています)。

以上のことから、LCD表示データ・メモリには使用するLCDパネルの前面電極 (セグメント信号に対応) と背面電極 (コモン信号に対応) がどのような組み合わせで表示パターンを形成するのかを確認のうえ、表示したいパターンに1対1に対応するビット・データを書き込むようにしてください。

LCDパネルは、コモン信号とセグメント信号にDC電圧が加えられると劣化するため、AC電圧によって駆動します。

(1) コモン信号とセグメント信号の出力波形

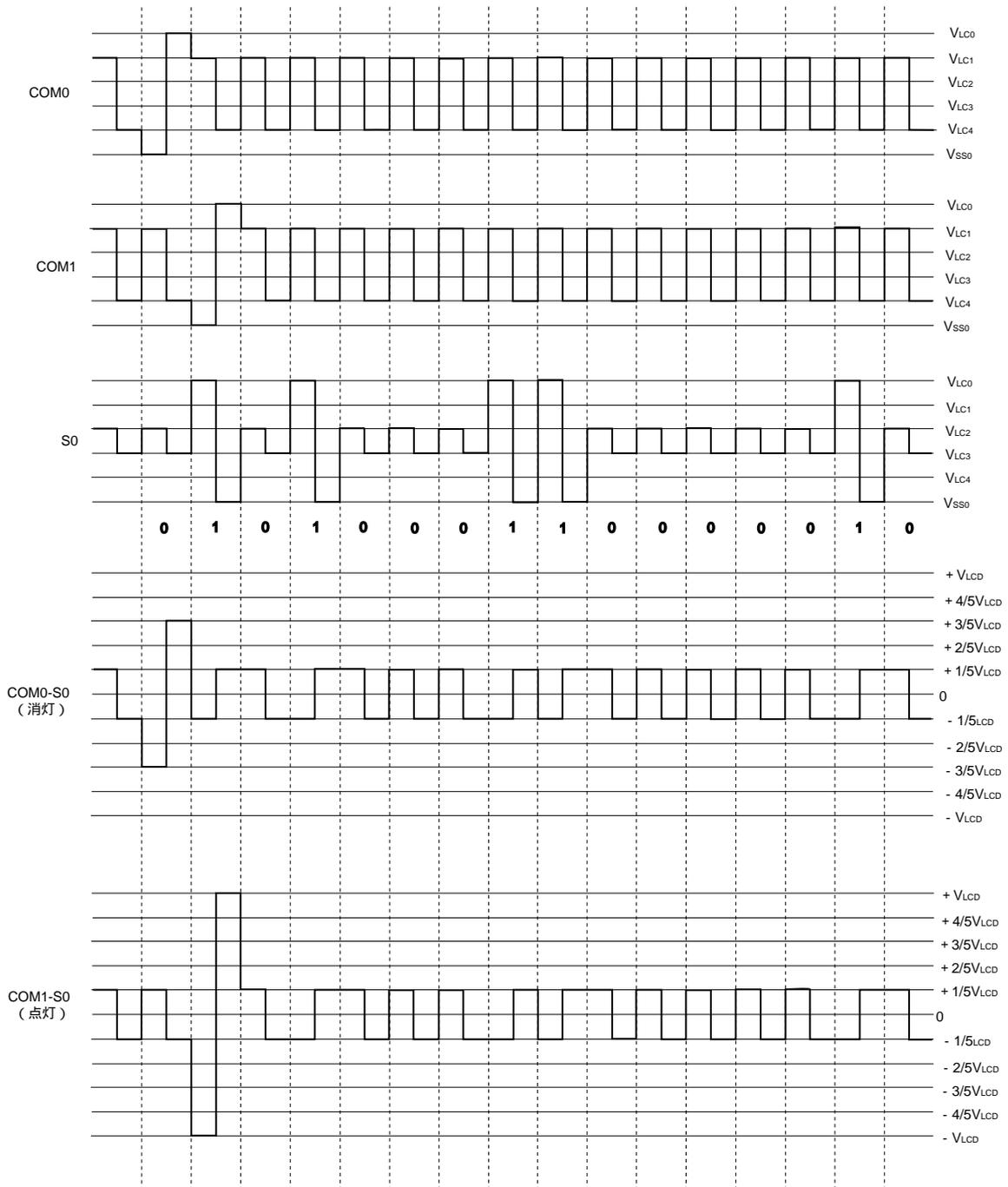
コモン信号とセグメント信号には表12 - 3に示す電圧が出力されます。

コモン信号およびセグメント信号がともに選択電圧になったときのみ  $\pm V_{LCD}$  の点灯電圧となり、それ以外の組み合わせでは消灯電圧となります。図12 - 6にセグメント信号とコモン信号間のLCD駆動波形例を示します。

表12 - 3 LCD駆動電圧

セグメント信号		選択信号レベル	非選択信号レベル
		$V_{SS0}/V_{LC0}$	$V_{LC3}/V_{LC2}$
コモン信号			
選択信号レベル	$V_{LC0}/V_{SS0}$	$+ V_{LCD}/ - V_{LCD}$	$+ \frac{3}{5} V_{LCD}/ - \frac{3}{5} V_{LCD}$
非選択信号レベル	$V_{LC4}/V_{LC1}$	$+ \frac{1}{5} V_{LCD}/ - \frac{1}{5} V_{LCD}$	$- \frac{1}{5} V_{LCD}/ + \frac{1}{5} V_{LCD}$

図12-6 セグメント信号とコモン信号間のLCD駆動波形例



## 12.6 LCD駆動用電圧の供給

μPD789830サブシリーズには、LCD駆動用電源を作るための分割抵抗を内蔵しています。

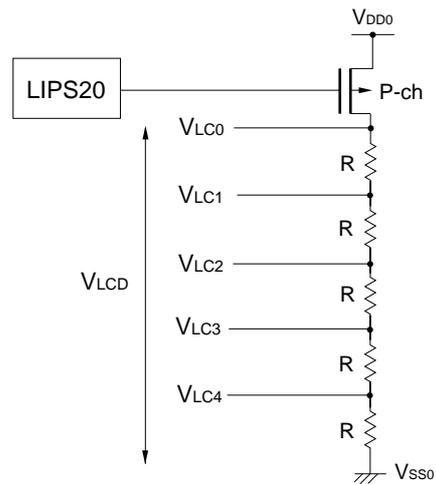
LCD駆動電圧は、LIPS20 (LCD20モード・レジスタ (LCDM20) のビット4) の操作により設定します。

LIPS20 = 0に設定したとき、分割抵抗に流れる電流をカットします。

LIPS20 = 1に設定したとき、電源電位 $V_{DD}$ を分割抵抗により、LCD駆動用電圧 $V_{LC0}$ - $V_{LC4}$ を供給します。

図12 - 7にLCD駆動用電源の接続を示します。

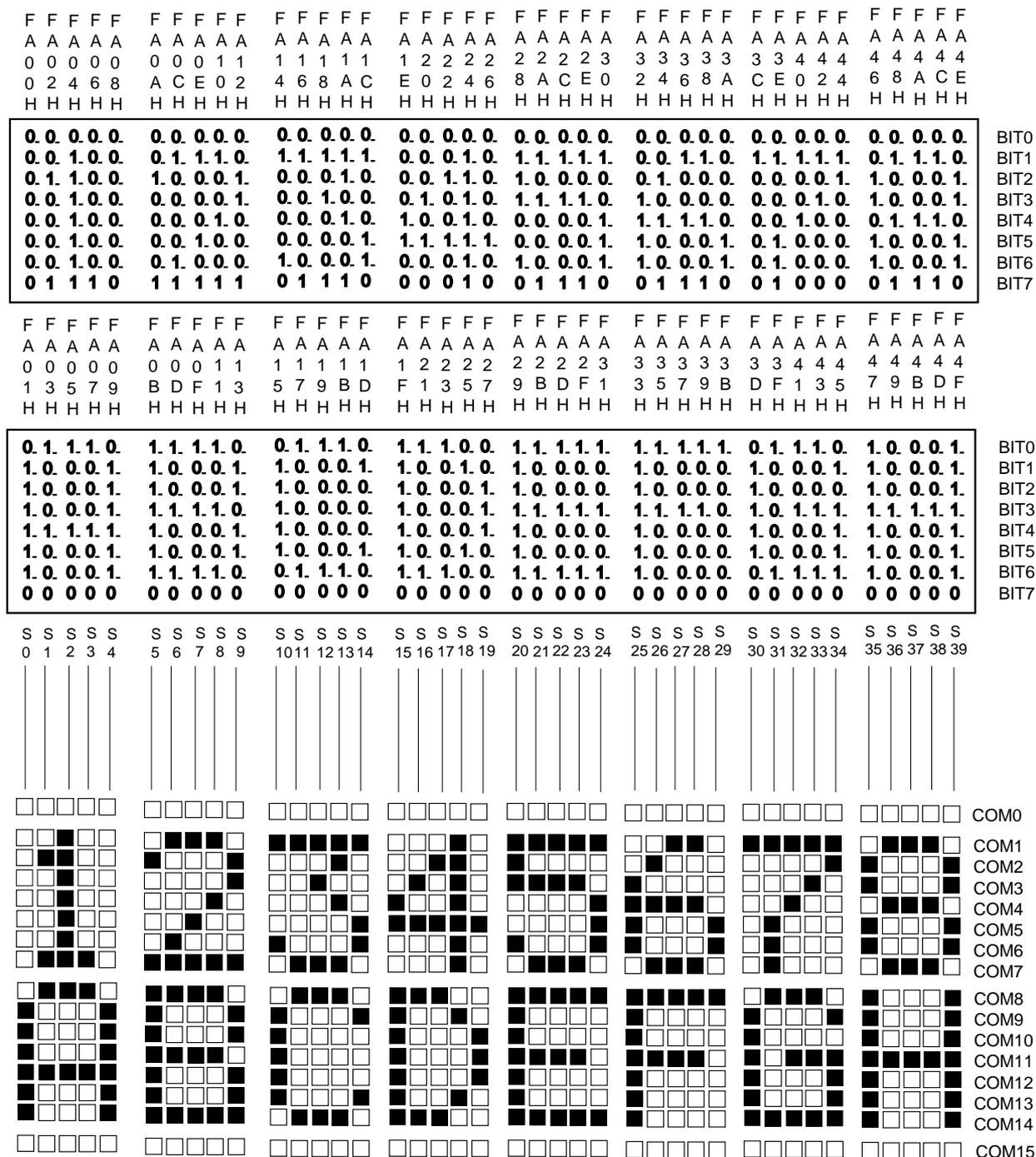
図12 - 7 LCD駆動用電源の接続



## 12.7 LCD表示

μ PD789830サブシリーズでは、8桁×2行の表示をLCDパネルに表すことができます。表示例は1行目が12345678、2行目がABCDEFGHで表示データ・メモリ（FA00H-FA4FH）の内容はこれに対応しています。8桁×2行のLCDパネルとセグメント信号（S0-S39）およびコモン信号（COM0-COM15）との接続を図12-8に示します。

図12-8 LCDパネルの接続例



## 第13章 割り込み機能

### 13.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

#### (1) ノンマスカブル割り込み

割り込み禁止状態でも無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みは、ウォッチドッグ・タイマからの割り込み要求が1要因あります。

#### (2) マスカブル割り込み

マスク制御を受ける割り込みです。同時に複数の割り込み要求が同時に発生しているときの優先順位(プライオリティ)は、表13 - 2のように決められています。

スタンバイ・リリース信号を発生します。

$\mu$ PD789830サブシリーズでは表13 - 1に示すマスカブル要因数があります。

表13 - 1  $\mu$ PD789830サブシリーズのマスカブル割り込み要因数

	外部割り込み要因数	外部割り込み要因数	合計
$\mu$ PD789830	4	10	14
$\mu$ PD78F9831	6		16

## 13.2 割り込み要因と構成

表13-2 割り込み要因一覧

割り込みタイプ	プライオリティ <sup>注1</sup>	割り込み要因		内部 / 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ <sup>注2</sup>
		名称	トリガ			
ノンマスクابل	-	INTWDT	ウォッチドッグ・タイマのオーバフロー (ウォッチドッグ・タイマ・モード1選択時)	内部	0004H	(A)
マスクابل	0	INTWDT	ウォッチドッグ・タイマのオーバフロー (インターバル・タイマ・モード選択時)	外部	0006H 0008H 000AH	(B)
	1	INTP0	端子入力エッジ検出			(C)
	2	INTP1				
	3	INTP2				
	4	INTSER00	シリアル・インタフェース (UART00) の受信エラー発生	内部	000CH	(B)
	5	INTSR00	シリアル・インタフェース (UART00) の受信完了		000EH	
	6	INTST00	シリアル・インタフェース (UART00) の送信完了		0010H	
	7	INTTM40	16ビット・タイマ・カウンタ40の一致信号発生		0012H	
	8	INTTM41	16ビット・タイマ・カウンタ40のオーバフロー発生		0014H	
	9	INTTM4	16ビット・タイマ・カウンタ40の一致信号とオーバフロー信号の論理和		0016H	
	10	INTTM00	8ビット・タイマ・カウンタ00の一致信号発生		0018H	
	11	INTWTI	時計用タイマのインターバル・タイマ割り込み		001AH	
	12	INTWT	時計用タイマ割り込み		001CH	
	13	INTKR00	キー・リターン信号検出		外部	
	14 <sup>注3</sup>	INTP3	端子入力エッジ検出	0020H		
15 <sup>注3</sup>	INTP4	0022H				

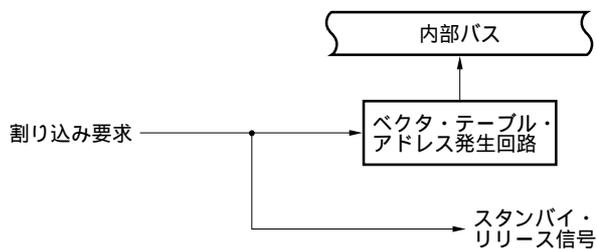
注1. プライオリティは、複数のマスクابل割り込みが同時に発生している場合に、優先する順位です。μPD789830では0が最高順位、13が最低順位、μPD78F9831では0が最高順位、15が最低順位です。

2. 基本構成タイプの(A) - (C)は、それぞれ図13-1の(A) - (C)に対応しています。

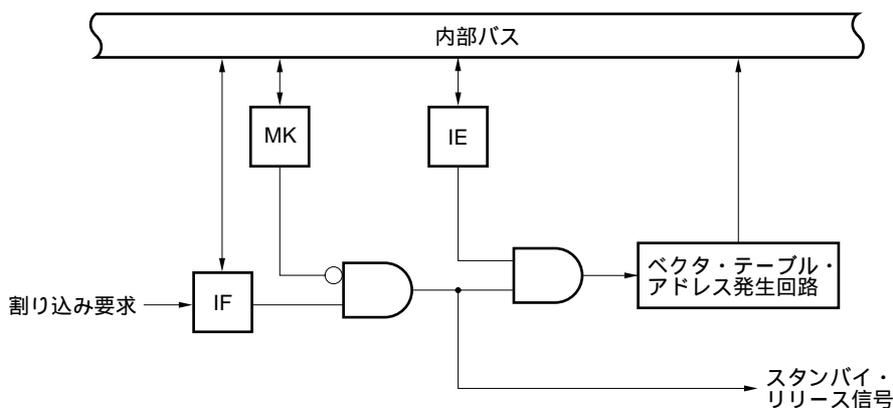
3. μPD78F9831のみ

図13 - 1 割り込み機能の基本構成

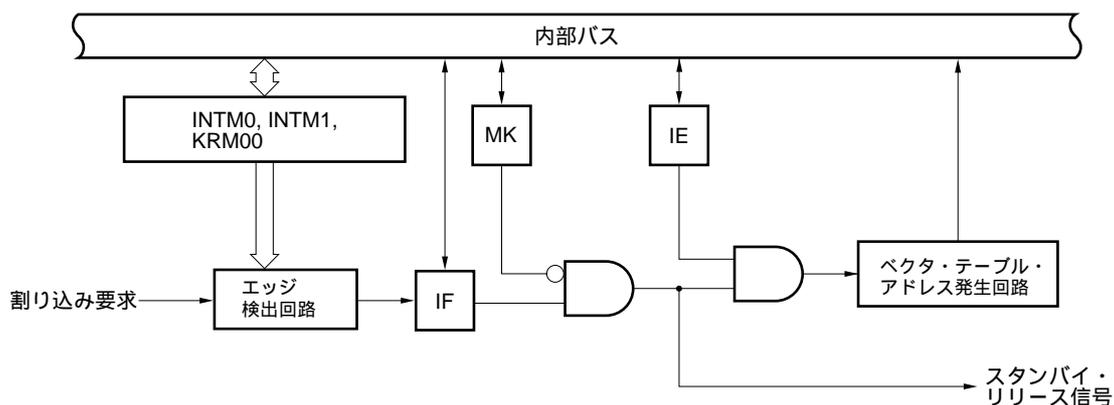
(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み



- INTM0 : 外部割り込みモード・レジスタ0
- INTM1<sup>注</sup> : 外部割り込みモード・レジスタ1
- KRM00 : キー・リターン・モード・レジスタ00
- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- MK : 割り込みマスク・フラグ

注  $\mu$  PD78F9831のみ

## 13.3 割り込み機能を制御するレジスタ

割り込み機能は、次の4種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ0, 1 (IF0, IF1)
- ・割り込みマスク・フラグ・レジスタ0, 1 (MK0, MK1)
- ・外部割り込みモード・レジスタ0, 1 (INTM0, INTM1<sup>注</sup>)
- ・プログラム・ステータス・ワード (PSW)

注  $\mu$ PD78F9831のみ

各割り込み要求に対する割り込み要求フラグ、割り込みマスク・フラグ名称を表13 - 3に示します。

表13 - 3 割り込み要求信号名に対する各種フラグ

割り込み要求信号名	割り込み要求フラグ	割り込みマスク・フラグ
INTWDT	WDTIF	WDTMK
INTP0	PIF0	PMK0
INTP1	PIF1	PMK1
INTP2	PIF2	PMK2
INTSER00	SERIF00	SERMK00
INTSR00	SRIF00	SRMK00
INTST00	STIF00	STMK00
INTTM40	TMIF40	TMMK40
INTTM41	TMIF41	TMMK41
INTTM4	TMIF4	TMMK4
INTTM00	TMIF00	TMMK00
INTWT1	WTIIF	WTIMK
INTWT	WTIF	WTMK
INTKR00	KRIF00	KRMK00
INTP3 <sup>注</sup>	PIF3 <sup>注</sup>	PMK3 <sup>注</sup>
INTP4 <sup>注</sup>	PIF4 <sup>注</sup>	PMK4 <sup>注</sup>

注  $\mu$ PD78F9831のみ

(1) 割り込み要求フラグ・レジスタ0, 1 (IF0, IF1)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時およびRESET入力時、命令の実行によりクリア (0) されるフラグです。

IF0, IF1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図13 - 2 割り込み要求フラグ・レジスタのフォーマット (μPD789830)

略号								0	アドレス	リセット時	R/W
IF0	TMIF40	STIF00	SRIF00	SERIF00	PIF2	PIF1	PIF0	WDTIF	FFE0H	00H	R/W
	7	6						0			
IF1	0	0	KRIF00	WTIF	WTIIF	TMIF00	TMIF4	TMIF41	FFE1H	00H	R/W

x x IF	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1 . IF1のビット6, 7には、必ず0を設定してください。

- 2 . WDTIFフラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1, 2で使用する場合は、WDTIFフラグに0を設定してください。
- 3 . ポート2は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

図13 - 3 割り込み要求フラグ・レジスタのフォーマット (μPD78F9831)

略号								0	アドレス	リセット時	R/W
IF0	TMIF40	STIF00	SRIF00	SERIF00	PIF2	PIF1	PIF0	WDTIF	FFE0H	00H	R/W
								0			
IF1	PIF4	PIF3	KRIF00	WTIF	WTIIF	TMIF00	TMIF4	TMIF41	FFE1H	00H	R/W

x x IF	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1 . WDTIFフラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1, 2で使用する場合は、WDTIFフラグに0を設定してください。

- 2 . ポート2, 4は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

(2) 割り込みマスク・フラグ・レジスタ0, 1 (MK0, MK1)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。  
MK0, MK1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
 $\overline{\text{RESET}}$ 入力により、FFHになります。

図13 - 4 割り込みマスク・フラグ・レジスタのフォーマット ( $\mu$  PD789830)

略号	0							アドレス	リセット時	R/W	
MK0	TMMK40	STMK00	SRMK00	SERMK00	PMK2	PMK1	PMK0	WDTMK	FFE4H	FFH	R/W
	7	6						0			
MK1	1	1	KRMK00	WTMK	WTIMK	TMMK00	TMMK4	TMMK41	FFE5H	FFH	R/W

x x MK	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意1 . MK1のビット6, 7には、必ず0を設定してください。

- 2 . WDTMKフラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1, 2で使用する場合は、WDTMKフラグに0を設定してください。
- 3 . ポート2は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

図13 - 5 割り込みマスク・フラグ・レジスタのフォーマット ( $\mu$  PD78F9831)

略号	0							アドレス	リセット時	R/W	
MK0	TMMK40	STMK00	SRMK00	SERMK00	PMK2	PMK1	PMK0	WDTMK	FFE4H	FFH	R/W
								0			
MK1	PMK4	PMK3	KRMK00	WTMK	WTIMK	TMMK00	TMMK4	TMMK41	FFE5H	FFH	R/W

x x MK	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意1 . WDTMKフラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1, 2で使用する場合は、WDTMKフラグに0を設定してください。

- 2 . ポート2, 4は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

(3) 外部割り込みモード・レジスタ0 (INTM0)

INTP0-INTP2の有効エッジを設定するレジスタです。

INTM0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図13 - 6 外部割り込みモード・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM0	ES21	ES20	ES11	ES10	ES01	ES00	0	0	FFECH	00H	R/W

ES21	ES20	INTP2の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がり両エッジ

ES11	ES10	INTP1の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がり両エッジ

ES01	ES00	INTP0の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がり両エッジ

注意1. ビット0, 1には必ず0を設定してください。

2. INTM0レジスタの設定は、必ず該当する割り込みマスク・フラグをセット(1)し、割り込みを禁止してから行ってください。その後、割り込み要求フラグをクリア(0)してから、割り込みマスク・フラグをクリア(0)し、割り込みを許可してください。

(4) 外部割り込みモード・レジスタ1 (INTM1)<sup>注</sup>

INTP3, INTP4の有効エッジを設定するレジスタです。

INTM1は, 8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

注  $\mu$ PD78F9831のみ

図13-7 外部割り込みモード・レジスタ1のフォーマット ( $\mu$ PD78F9831)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM1	0	0	0	0	ES41	ES40	ES31	ES30	FFEDH	00H	R/W

ES41	ES40	INTP4の有効エッジの選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

ES31	ES30	INTP3の有効エッジの選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

注意1. ビット4-7には必ず0を設定してください。

2. INTM1レジスタの設定は, 必ず該当する割り込みマスク・フラグをセット(1)し, 割り込みを禁止してから行ってください。その後, 割り込み要求フラグをクリア(0)してから, 割り込みマスク・フラグをクリア(0)し, 割り込みを許可してください。

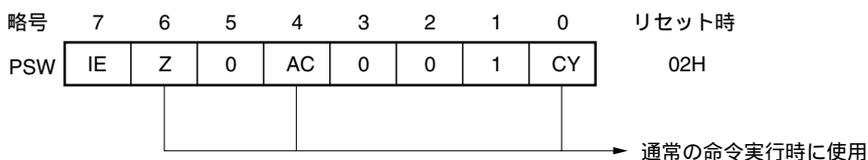
(5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスクブル割り込みの許可/禁止を設定するIEフラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み受け付け時には、PSWは自動的にスタックに退避され、IEフラグはリセット (0) されます。

RESET入力により、PSWは02Hになります。

図13-8 プログラム・ステータス・ワードの構成



IE	割り込み受け付けの許可/禁止
0	禁止
1	許可

(6) キー・リターン・モード・レジスタ00 (KRM00)

キー・リターン信号 (ポート3の立ち下がりエッジ) を検出する端子を設定するレジスタです。

KRM00は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図13-9 キー・リターン・モード・レジスタ00のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
KRM00	0	0	0	KRM004	KRM003	KRM002	KRM001	KRM000	FFF5H	00H	R/W

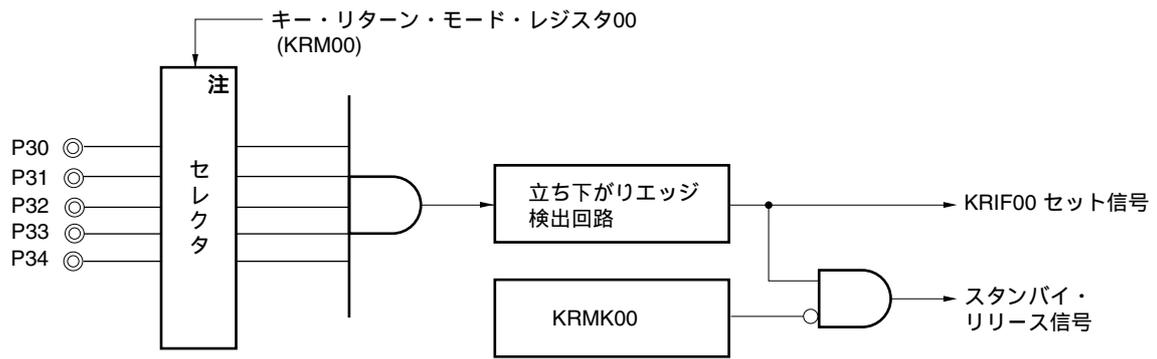
KRM00n	P3nのキー・リターン信号検出の選択
0	未検出
1	検出 (ポート3の立ち下がりエッジ検出)

注意1. ビット5-7には、必ず0を設定してください。

2. KRM00の設定は、必ずMK1のビット5をセット (KRMK00 = 1) し、割り込みを禁止してから行ってください。KRM00の設定後、IF1のビット5をクリア (KRIF00 = 1) にしてから、KRMK00をクリアし、割り込みを許可してください。

備考 n = 0-4

図13 - 10 立ち下がりエッジ検出回路のブロック図



注 立ち下がりエッジ入力として使用する端子を選択するセレクタ

## 13.4 割り込み処理動作

### 13.4.1 ノンマスクابل割り込み要求の受け付け動作

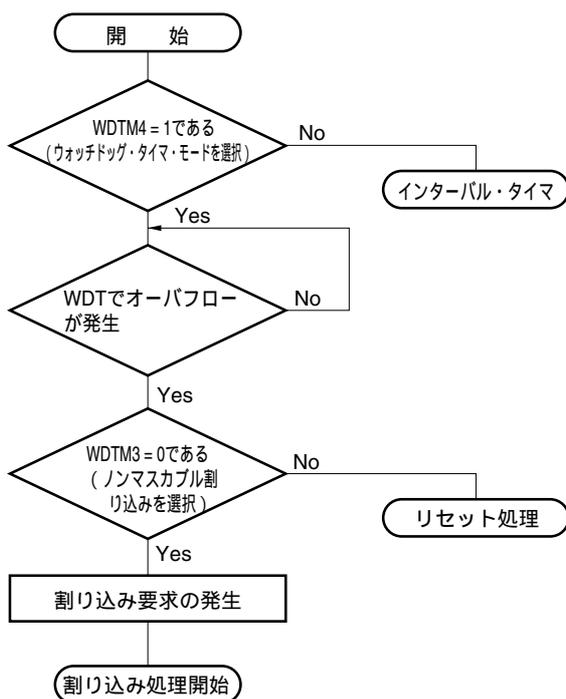
ノンマスクابل割り込みは、割り込み受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスクابل割り込み要求が受け付けられると、PSW、PCの順にスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブルの内容をPCへロードし分岐します。

ノンマスクابل割り込み要求発生から受け付けまでのフロー・チャートを図13 - 11に、ノンマスクابل割り込み要求の受け付けタイミングを図13 - 12に、ノンマスクابل割り込みが多量に発生した場合の受け付け動作を図13 - 13に示します。

**注意** ノンマスクابل割り込みサービス・プログラム実行中に新たなノンマスクابل割り込み要求をしないでください。割り込みサービス・プログラム実行中でも新たに発生したノンマスクابل割り込み要求を受け付けてしまいます。

図13 - 11 ノンマスクابل割り込み要求発生からの受け付けまでのフロー・チャート



WDTM : ウォッチドッグ・タイマ・モード・レジスタ  
 WDT : ウォッチドッグ・タイマ

図13 - 12 ノンマスクابل割り込み要求の受け付けタイミング

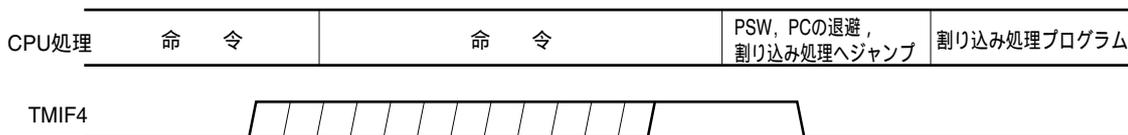
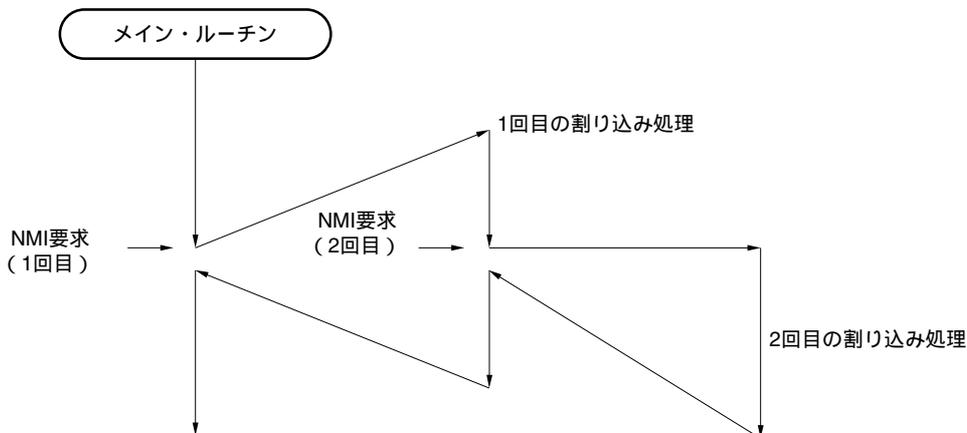


図13 - 13 ノンマスクابل割り込み要求の受け付け動作



### 13.4.2 マスカブル割り込みの受け付け動作

マスカブル割り込みは、割り込み要求フラグがセット（1）され、その割り込みの割り込みマスク・フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込みは、割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。

マスカブル割り込み要求が発生してから割り込み処理が行われる時間は表13 - 4のようになります。割り込み要求の受け付けのタイミングについては、図13 - 15、図13 - 16を参照してください。

表13 - 4 マスカブル割り込み要求発生から処理までの時間

最小時間	最大時間 <sup>注</sup>
9クロック	19クロック

注 BT, BF命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック： $\frac{1}{f_{CPU}}$ （ $f_{CPU}$ ：CPUクロック）

マスカブル割り込み要求が同時に発生したときは、優先順位の高い割り込み要求から受け付けられます。

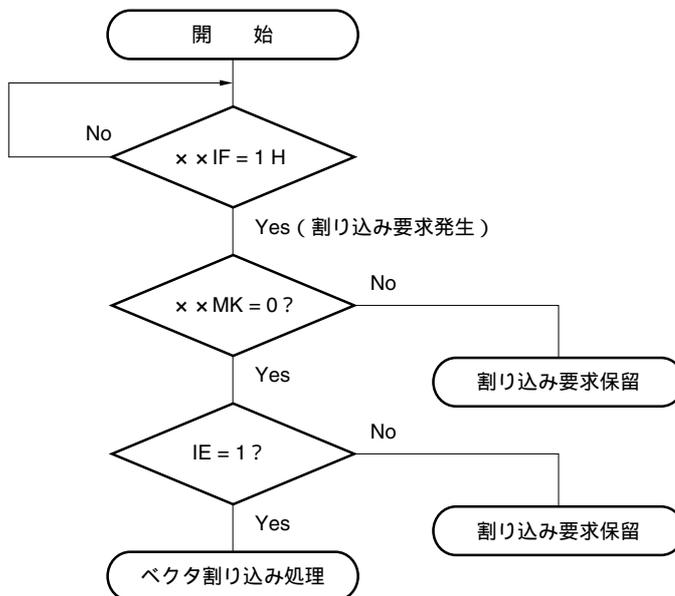
保留された割り込みは受け付け可能な状態になると受け付けられます。

割り込み受け付けのアルゴリズムを図13 - 14に示します。

マスカブル割り込み要求が受け付けられると、PSW, PCの順にスタックに退避し、IEフラグをリセット（0）し、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし分岐します。

RETI命令によって、割り込みから復帰はできます。

図13 - 14 割り込み要求受け付け処理アルゴリズム

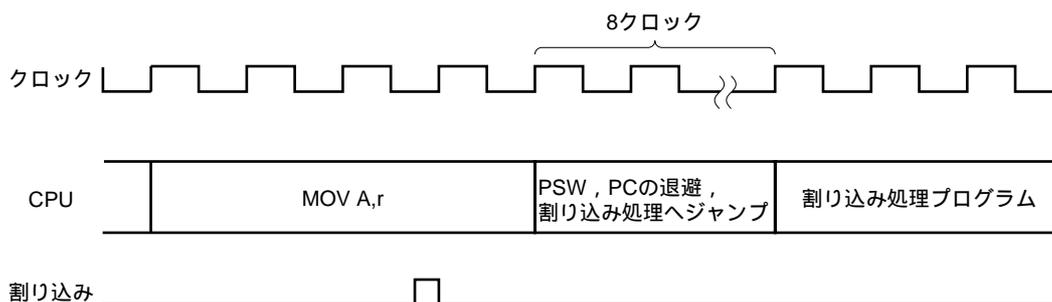


x x IF : 割り込み要求フラグ

x x MK : 割り込みマスク・フラグ

IF : マスカブル割り込み要求の受け付けを制御するフラグ（1 = 許可，0 = 禁止）

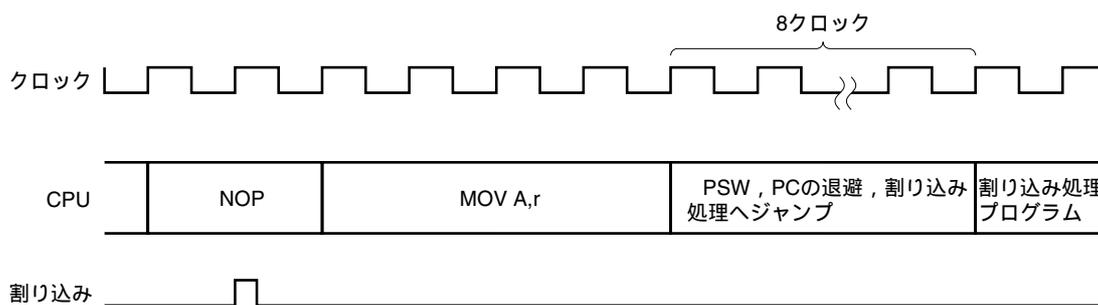
図13 - 15 割り込み要求の受け付けタイミング (MOV A, rの例)



割り込みは実行中の命令クロック $n$  ( $n = 4-10$ ) が $n - 1$ までに割り込み要求フラグ ( $\times \times IF$ ) が発生すると、実行中の命令終了後に割り込み受け付け処理となります。図13 - 15では8ビット・データ転送命令MOV A, rの例です。この命令は4クロックで実行するので実行してから3クロックの間に割り込みが発生するとMOV A, rの終了後、割り込み受け付け処理を行います。

図13 - 16 割り込み要求の受け付けタイミング

(命令実行中の最終クロックで割り込み要求フラグが発生したとき)



割り込み要求フラグ ( $\times \times IF$ ) が命令の最後のクロックで発生すると、次の命令の実行後に割り込み受け付け処理を始めます。

図13 - 16ではNOP (2クロックの命令) の2クロック目に発生した場合の例です。この場合、NOP命令のあとのMOV A, rを実行後、割り込みの受け付けの処理を行います。

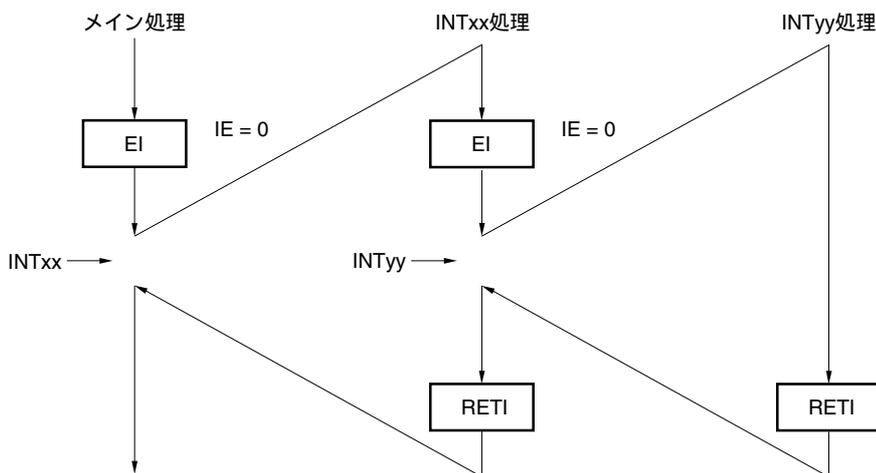
**注意** 割り込み要求フラグ・レジスタ0, 1 (IF0, IF1) または割り込みマスク・フラグ・レジスタ0, 1 (MK0, MK1) にアクセス中は割り込み要求は保留されます。

### 13.4.3 多重割り込み処理

割り込み要求処理中に、さらに別の割り込み要求を受け付ける多重割り込みは、優先順位によって処理できます。複数の割り込みが同時に発生しているとき、各割り込み要求にあらかじめ割り付けてある優先順位に従って割り込み処理を行います（表13 - 2参照）。

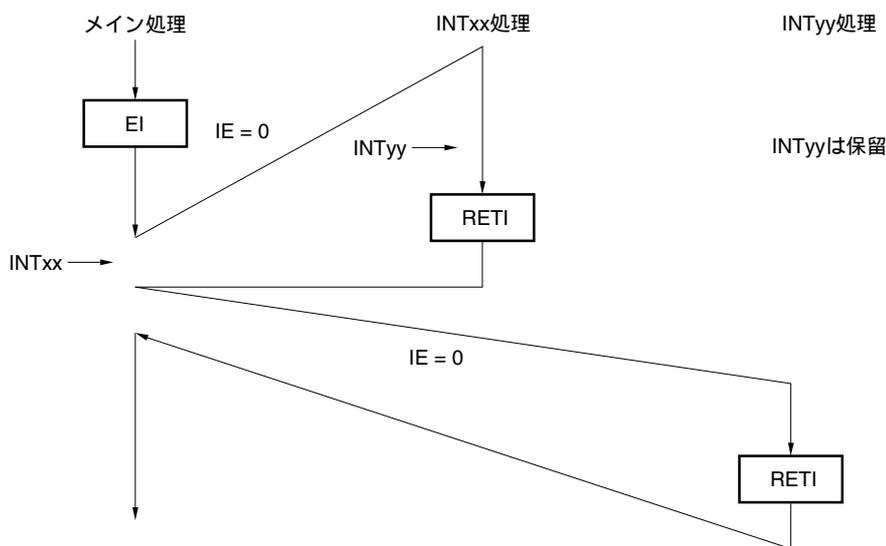
図13 - 17 多重割り込みの例

#### 例1．多重割り込みが受け付けられる例



割り込みINTxx処理中に、割り込み要求INTyyが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている。

#### 例2．割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、INTxx処理終了後に受け付けられる。

IE = 0 : 割り込み要求受け付け動作

#### 13.4.4 割り込み要求の保留

命令の中には、実行中に割り込み要求（マスカブル割り込み、ノンマスカブル割り込み、外部割り込み）が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・割り込み要求フラグ・レジスタ0, 1 (IF0, IF1) に対する操作命令
- ・割り込みマスク・フラグ・レジスタ0, 1 (MK0, MK1) に対する操作命令

## 第14章 スタンバイ機能

### 14.1 スタンバイ機能と構成

#### 14.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

##### (1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。このモードでは、STOPモードほどの消費電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、間欠動作をさせたい場合に有効です。

##### (2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電流を、かなり低減することができます。

また、データ・メモリの低電圧( $V_{DD} = 1.8\text{ V}$ まで)保持が可能です。したがって、低消費電流でデータ・メモリの内容を保持する場合に有効です。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

**注意** STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。

### 14.1.2 スタンバイ機能を制御するレジスタ

割り込み要求でSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ (OSTS) で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

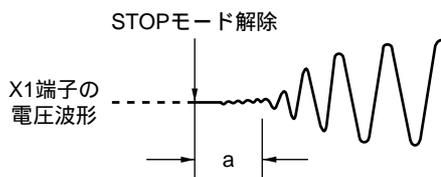
$\overline{\text{RESET}}$ 入力により、04Hになります。ただし、 $\overline{\text{RESET}}$ 入力後の発振安定時間は $2^{15}/f_x$ となります。

図14 - 1 発振安定時間選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	FFFAH	04H	R/W

OSTS2	OSTS1	OSTS0	発振安定時間の選択
0	0	0	$2^{12}/f_x$ (1.02 ms)
0	1	0	$2^{15}/f_x$ (8.19 ms)
1	0	0	$2^{17}/f_x$ (32.8 ms)
上記以外			設定禁止

**注意** STOPモード解除時のウェイト時間は、 $\overline{\text{RESET}}$ 入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間は(下図a)は含みません。



備考1.  $f_x$ : メイン・システム・クロック発振周波数

2. ( )内は、 $f_x = 3.58$  MHz動作時

## 14.2 スタンバイ機能の動作

### 14.2.1 HALTモード

#### (1) HALTモードの設定および動作状態

HALTモードは、HALT命令の実行により設定されます。

次にHALTモード時の動作状態を示します。

表14 - 1 HALTモード時の動作状態

項 目	メイン・システム・クロック動作中のHALTモードの動作状態		サブシステム・クロック動作中のHALTモードの動作状態	
	サブシステム・クロック動作	サブシステム・クロック停止	メイン・システム・クロック動作	メイン・システム・クロック停止
メイン・システム・クロック	発振可能			発振停止
CPU	動作停止			
ポート（出力ラッチ）	HALTモード設定前の状態を保持			
16ビット・タイマ・カウンタ	動作可能			動作停止
8ビット・タイマ・カウンタ	動作可能			動作停止
時計用タイマ	動作可能	動作可能 <sup>注1</sup>	動作可能	動作可能 <sup>注2</sup>
ウォッチドッグ・タイマ	動作可能		動作停止	
クロック出力回路	動作可能	動作可能 <sup>注1</sup>	動作可能	動作可能 <sup>注3</sup>
シリアル・インタフェース	動作可能			動作停止
LCDコントローラ/ドライバ	動作可能	動作可能 <sup>注1</sup>	動作可能	動作可能 <sup>注2</sup>
外部割り込み	動作可能 <sup>注4</sup>			

注1．メイン・システム・クロック選択時は動作可能

2．サブシステム・クロック選択時は動作可能

3．サブシステム・クロック選択時、パルス・クロック出力回路は動作可能

4．マスクされていないマスカブル割り込み

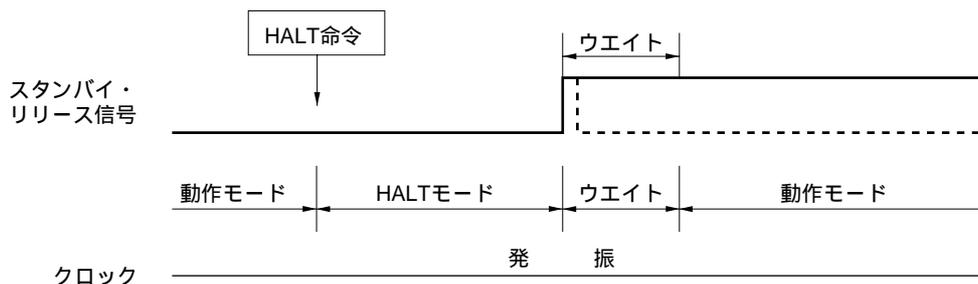
## (2) HALTモードの解除

HALTモードは、次の3種類のソースによって解除することができます。

## (a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、HALTモードを解除します。割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図14 - 2 HALTモードの割り込み発生による解除



備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウェイト時間は次のようになります。

- ・ベクタに分岐した場合 : 9~10クロック
- ・ベクタに分岐しなかった場合 : 1~2クロック

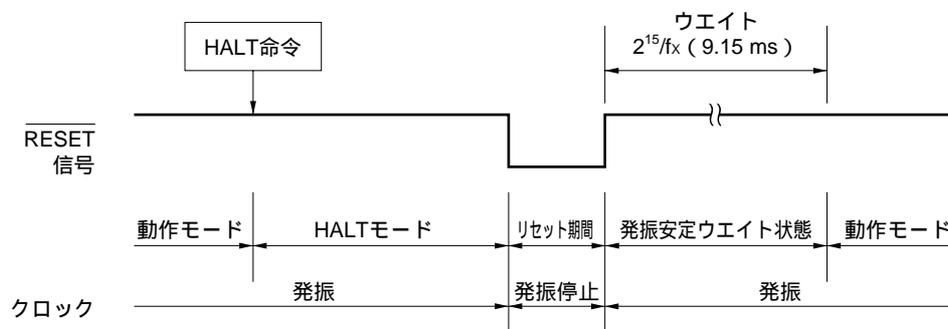
## (b) ノンマスクابل割り込み要求による解除

割り込み受け付け許可、禁止の状態に関係なく、HALTモードを解除し、ベクタ割り込み処理を行います。

(c)  $\overline{\text{RESET}}$ 入力による解除

通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムを実行します。

図14 - 3 HALTモードの $\overline{\text{RESET}}$ 入力による解除



備考1 .  $f_x$  : メイン・システム・クロック発振周波数

2 . ( ) 内は,  $f_x = 3.58 \text{ MHz}$ 動作時

表14 - 2 HALTモードの解除後の動作

解除ソース	MK x x	IE	動作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	x	HALTモード保持
ノンマスカブル割り込み要求	-	x	割り込み処理実行
$\overline{\text{RESET}}$ 入力	-	-	リセット処理

x : don't care

## 14.2.2 STOPモード

## (1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。

注意1. STOPモードに設定すると、発振回路部のリークを抑えるためにX2端子が内部でV<sub>DD0</sub>またはV<sub>DD1</sub>にプルアップされます。したがって、システム・クロックに外部クロックを使用するシステムでは、STOPモードは使用しないでください。

2. スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ(OSTS)による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表14 - 3 STOPモード時の動作状態

項 目	メイン・システム・クロック動作中のSTOPモードの動作状態	
	サブシステム・クロック動作	サブシステム・クロック停止
メイン・システム・クロック	発振停止	
CPU	動作停止	
ポート(出力ラッチ)	STOPモード設定前の状態を保持	
16ビット・タイマ・カウンタ	動作停止	
8ビット・タイマ・カウンタ	動作停止	
時計用タイマ	動作可能 <sup>注1</sup>	動作停止
ウォッチドッグ・タイマ	動作停止	
クロック出力回路	動作可能 <sup>注2</sup>	動作停止
シリアル・インタフェース	動作停止	
LCDコントローラ/ドライバ	動作可能 <sup>注1</sup>	動作停止
外部割り込み	動作可能 <sup>注3</sup>	

注1. サブシステム・クロック選択時は動作可能

2. サブシステム・クロック選択時、パルス・クロック出力回路は動作可能

3. マスクされていないマスクブル割り込み

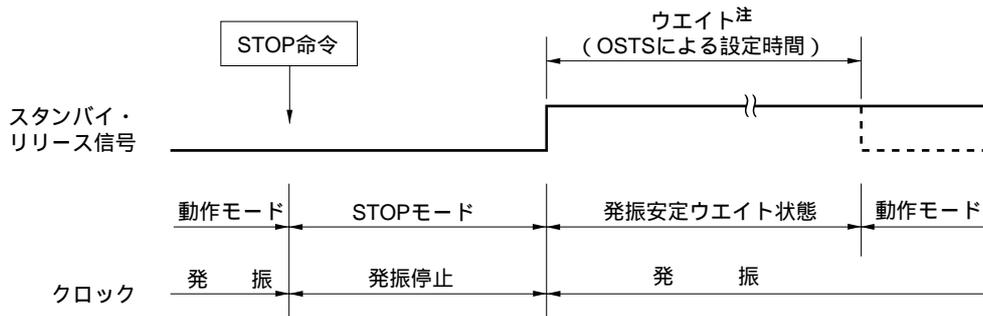
(2) STOPモードの解除

STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図14 - 4 STOPモードの割り込み発生による解除

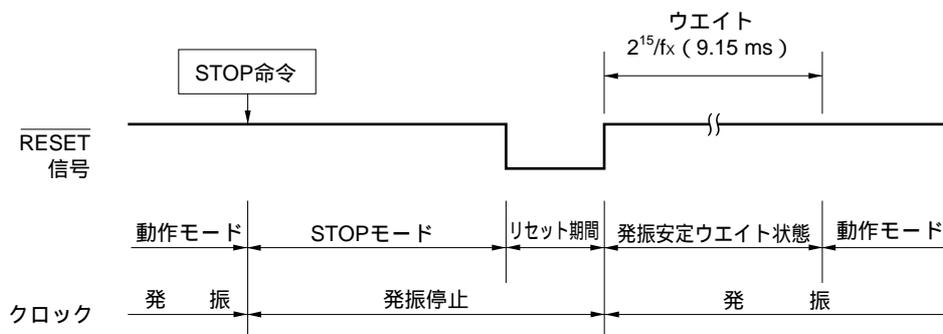


備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) RESET入力による解除

STOPモードを解除し、発振安定時間経過後リセット動作を行います。

図14 - 5 STOPモードのRESET入力による解除



備考1.  $f_x$  : メイン・システム・クロック発振周波数  
 2. ( ) 内は、 $f_x = 3.58 \text{ MHz}$ 動作時

表14 - 4 STOPモードの解除後の動作

解除ソース	MK x x	IE	動作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	x	STOPモード保持
RESET入力	-	-	リセット処理

x : don't care

# 第15章 リセット機能

リセット信号を発生させる方法には、次の2種類があります。

- (1)  $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

外部リセットと内部リセットは機能面での差はなく、リセット信号入力により、ともに0000H、0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、またはウォッチドッグ・タイマのオーバフローが発生することによってリセットがかかり、各ハードウェアは表15 - 1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、発振安定時間経過後 ( $2^{15}/f_x$ ) プログラムの実行を開始します。また、ウォッチドッグ・タイマのオーバフロー発生によるリセットは、リセット後、自動的にリセットが解除され、発振安定時間経過後 ( $2^{15}/f_x$ ) プログラムの実行を開始します ( 図15 - 2 ~ 図15 - 4参照 )。

- 注意1 . 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10  $\mu$ s以上のロウ・レベルを入力してください。
- 2 . リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、ハイ・インピーダンスとなります。

図15 - 1 リセット機能のブロック図

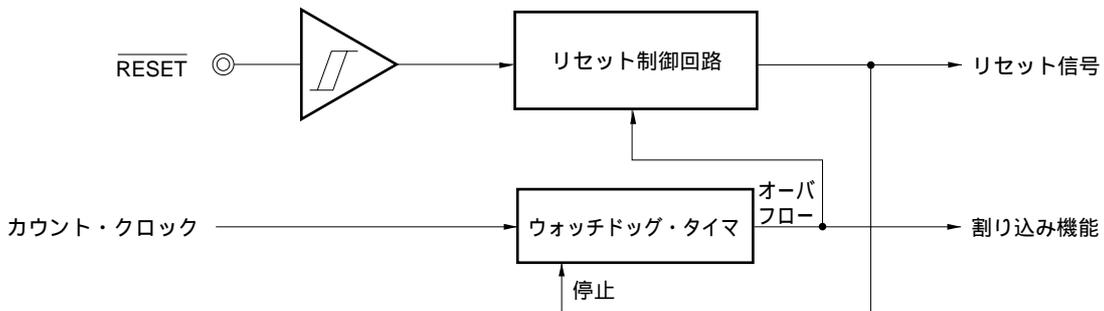


図15-2  $\overline{\text{RESET}}$ 入力によるリセット・タイミング

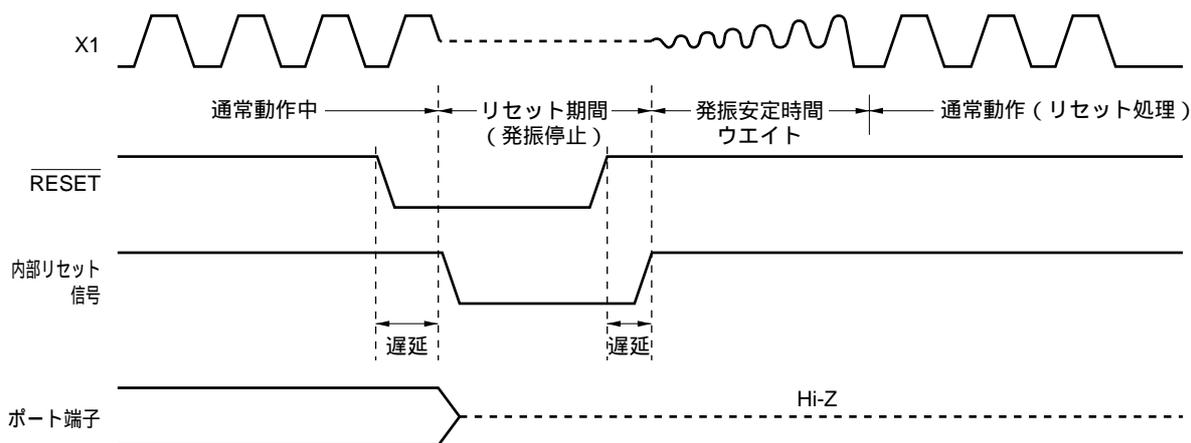


図15-3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

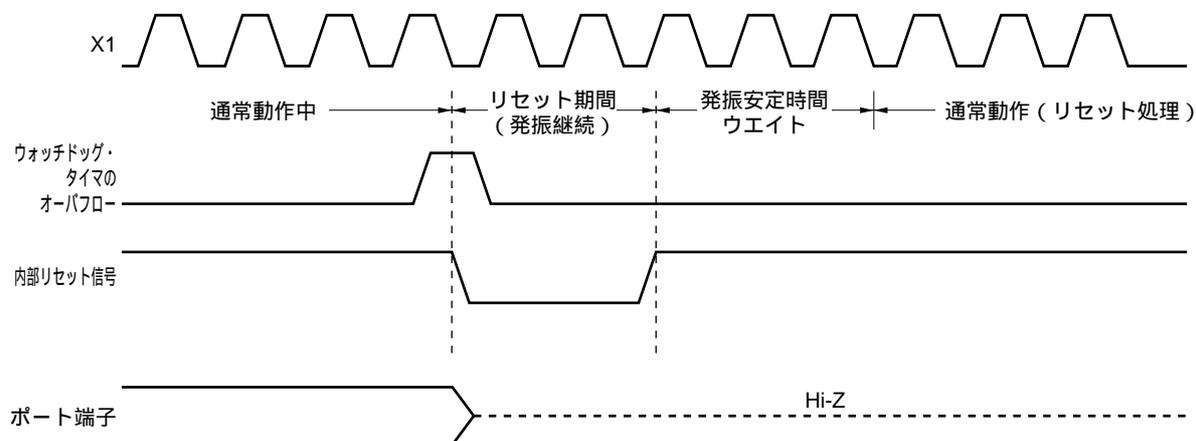


図15-4 STOPモード中の $\overline{\text{RESET}}$ 入力によるリセット・タイミング

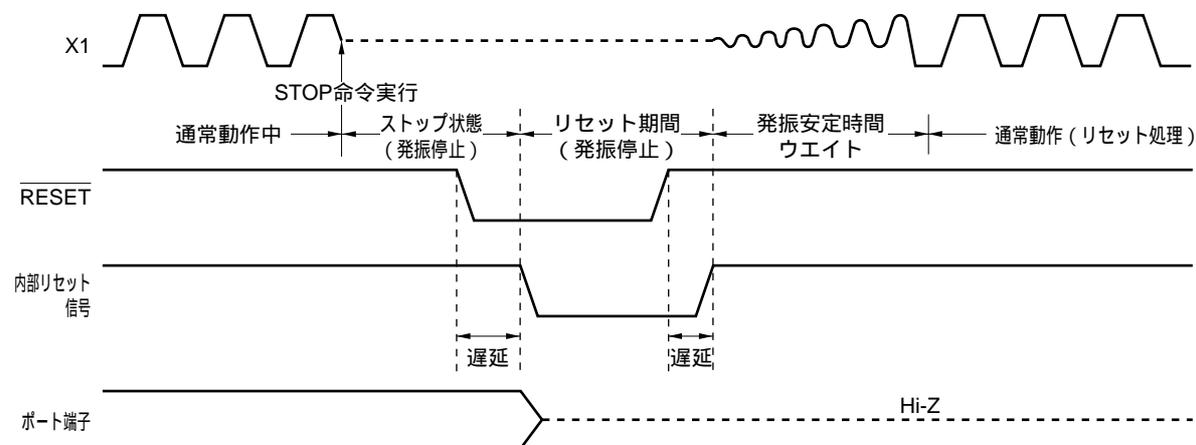


表15-1 各ハードウェアのリセット後の状態

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) <sup>注1</sup>		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 <sup>注2</sup>
	汎用レジスタ	不定 <sup>注2</sup>
ポート (P0-P3, P4 <sup>注3</sup> , P5) (出力ラッチ)		00H
ポート・モード・レジスタ (PM0-PM3, PM4 <sup>注3</sup> , PM5)		FFH
ブルアップ抵抗オプション・レジスタ (PU0)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		02H
サブ発振モード・レジスタ (SCKM)		00H
サブクロック・コントロール・レジスタ (CSS)		00H
発振安定時間選択レジスタ (OSTS)		04H
16ビット・タイマ・カウンタ	コンペア・レジスタ (CR40)	0000H
	コントロール・レジスタ (TMC40)	00H
8ビット・タイマ・カウンタ	タイマ・レジスタ (TM00)	00H
	コンペア・レジスタ (CR00)	不定
	モード・コントロール・レジスタ (TMC00)	00H
時計用タイマ	モード・コントロール・レジスタ (WTM)	00H
ウォッチドッグ・タイマ	タイマ・クロック選択レジスタ (TCL2)	00H
	モード・レジスタ (WDTM)	00H
クロック出力回路	コントロール・レジスタ (PBS0)	00H
シリアル・インタフェース	アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM00)	00H
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS00)	00H
	ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC00)	00H
	送信シフト・レジスタ (TXS00)	FFH
	受信バッファ・レジスタ (RXB00)	FFH
LCDコントローラ/ドライバ	モード・レジスタ (LCDM20)	00H
	兼用ポート機能切り替えレジスタ (PF5)	00H
	クロック選択レジスタ (LCDC20)	00H
割り込み	要求フラグ・レジスタ (IF0, IF1)	00H
	マスク・フラグ・レジスタ (MK0, MK1)	FFH
	外部割り込みモード・レジスタ (INTM0)	00H
	外部割り込みモード・レジスタ (INTM1) <sup>注3</sup>	00H
	キー・リターン・モード・レジスタ (KRM00)	00H

注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。

その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

3. μPD78F9831のみ

## 第16章 $\mu$ PD78F9831

$\mu$  PD78F9831は、マスクROM製品である $\mu$  PD789830の内部ROMを拡張してフラッシュ・メモリに置き換え、I/Oポートを追加した製品です。また、出荷形態もマスク製品のベアチップと違い、パッケージとして100ピン・プラスチックLQFPを用意しています。 $\mu$  PD78F9831と $\mu$  PD789830の違いを表16 - 1に示します。

表16 - 1  $\mu$  PD78F9831と $\mu$  PD789830の違い

項目		フラッシュ・メモリ製品	マスクROM製品
		$\mu$ PD78F9831	$\mu$ PD789830
内部メモリ	ROM	48 Kバイト (フラッシュ・メモリ)	24 Kバイト (マスクROM)
	RAM	2 Kバイト	1 Kバイト
	LCD表示用RAM	80バイト	
I/Oポート		合計：38本 P00-P07,P10-P17,P20-P26,P30-P34,P40,P41,P50-P57	合計：30本 P00-P07,P10,P11,P20-P26,P30-P34,P50-P57
外部割り込み入力端子		合計：5本 INTP0-INTP4	合計：3本 INTP0-INTP2
V <sub>PP</sub> 端子		あり	なし
出荷形態		100ピン・プラスチックLQFP	88ピン・ベアチップ
電気的特性		第18章 電気的特性を参照してください。	

## 16.1 フラッシュ・メモリ・プログラミング

$\mu$ PD78F9831に内蔵されているプログラム・メモリはフラッシュ・メモリです。

フラッシュ・メモリへの書き込みは、ターゲット・システムに実装した状態（オンボード）で行うことができます。専用フラッシュ・ライター（Flashpro（型番 PG-FR3））をホスト・マシンおよびターゲット・システムに接続して書き込みます。

### 16.1.1 通信方式の選択

フラッシュ・メモリへの書き込みは、Flashpro を使用し、シリアル通信で行います。表16 - 2に示す通信方式から選択して書き込みを行います。この通信方式の選択は、図16 - 1に示すようなフォーマットを用います。表16 - 2に示す $V_{PP}$ パルス数で、それぞれの通信方式が選択されます。

表16 - 2 通信方式一覧

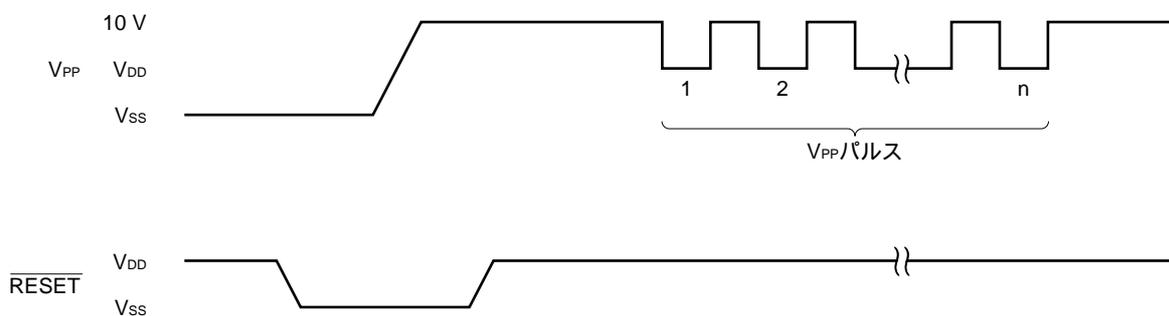
通信方式	使用端子 <sup>注1</sup>	$V_{PP}$ パルス数
UART	TxD00/P25 RxD00/P26	8
疑似3線式 <sup>注2</sup>	P10（シリアル・クロック入力） P11（シリアル・データ出力） P12（シリアル・データ入力）	12

★

- 注1. フラッシュ・メモリ・プログラミング・モードに移行すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介して $V_{DD}$ に接続するか、または抵抗を介して $V_{SS}$ に接続するなどの端子処理が必要です。
2. ポートをソフトウェアで制御してシリアル転送を行います。

**注意** 通信方式は、必ず表16 - 2に示す $V_{PP}$ パルス数で選択してください。

図16 - 1 通信方式選択フォーマット



### 16.1.2 フラッシュ・メモリ・プログラミングの機能

選択された通信方式による各種コマンド/データ送受信により、フラッシュ・メモリの書き込みなどの動作を行います。主な機能を表16-3に示します。

表16-3 フラッシュ・メモリ・プログラミングの主な機能

機 能	説 明
一括消去	全メモリの内容を消去します。
一括ブランク・チェック	全メモリの消去状態を確認します。
データ・ライト	書き込み開始アドレスおよび書き込みデータ数(バイト数)をもとに、フラッシュ・メモリに書き込みを行います。
一括ベリファイ	全メモリの内容と入力したデータを確認します。

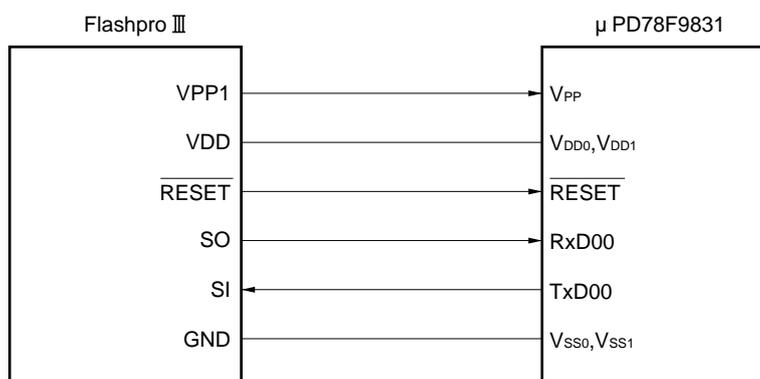
## 16.1.3 Flashpro の接続

Flashpro と $\mu$ PD78F9831との接続は、通信方式（UART，疑似3線式）によって異なります。それぞれの場合の接続図を図16 - 2に示します。

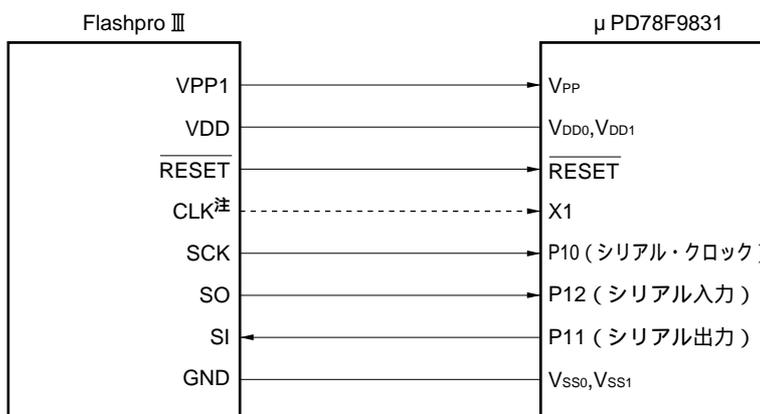
★

図16 - 2 Flashpro との接続例

(a) UART



(b) 疑似3線式



**注** 専用フラッシュ・ライタからシステム・クロックを供給する場合に接続します。X1端子にすでに振動子が接続されている場合は、CLK端子と接続する必要はありません。

**注意**  $V_{DD}$ 端子は、すでに電源が接続されている場合でも、必ずFlashpro のVDD端子と接続してください。またその電源を使用する場合は、必ずプログラミング開始前に電圧を供給してください。

**備考** Flashpro でUARTを使用する場合は、必ずX1端子に接続された振動子のクロックを使わなければならないので、CLK端子と接続する必要はありません。

## 16.1.4 Flashpro での設定

Flashpro を使用してフラッシュ・メモリへ書き込む場合は、表16 - 4に示すとおりに設定してください。

表16 - 4 Flashpro での設定

通信方式	Flashpro での設定		V <sub>PP</sub> パルス数 <sup>注1</sup>	
UART	Type	78 K(2)	8	
	RAM	128		
	ROM	Flash		
	START ADDRESS	0		
	END ADDRESS	BFFF		
	COMM PORT	UART ch-0		
	CPU CLK	On Target Board		
	On Target Board	4.91/5.0 MHz		
	UART BPS	9600 bps <sup>注2</sup>		
疑似3線式	Type	78K(2)	12	
	RAM	128		
	ROM	Flash		
	START ADDRESS	0		
	END ADDRESS	BFFF		
	COMM PORT	Port A		
	CPU CLK	On Target Board		
		In Flashpro		
	On Target Board	4.1/5.0 MHz		
	On Target Board : 5.0MHz	SIO CLK		3.6 kHz ( MAX. )
	On Target Board : 4.1MHz	SIO CLK		3.1 kHz ( MAX. )
	In Flashpro	1.56 MHz		
	SIO CLK	1 kHz		

注1 . シリアル通信のイニシャライズ時にFlashpro から供給されるV<sub>PP</sub>パルス数です。このパルス数によって通信に使用する端子が決定されます。

2 . 9600 bps, 19200 bps, 38400 bps, 76800 bpsの中からいずれかを選択してください。

**備考** COMM PORT : シリアル・ポートの選択  
 SIO CLK : シリアル・クロック周波数の選択  
 CPU CLK : 入力されるCPUクロック源の選択

### ★ 16.1.5 オンボード上の端子処理

ターゲット・システム上でプログラミングを行う場合は、ターゲット・システム上に専用フラッシュ・ライタと接続するためのコネクタを設けます。

また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能が必要になる場合があります。

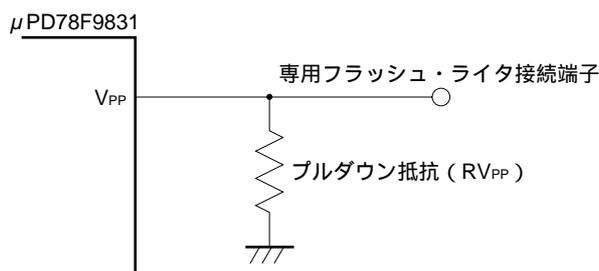
#### <V<sub>PP</sub>端子>

通常動作モード時は、V<sub>PP</sub>端子に0 Vを入力します。またフラッシュ・メモリ・プログラミング・モード時は、V<sub>PP</sub>端子に10.0 V (TYP.) の書き込み電圧を供給しますので、次に示す(1)か(2)の端子処理を行ってください。

- (1) V<sub>PP</sub>端子にプルダウン抵抗RV<sub>PP</sub> = 10 k $\Omega$ を接続してください。
- (2) ボード上のジャンパで、V<sub>PP</sub>端子の入力をライタ側または直接GNDのどちらかに切り替えてください。

V<sub>PP</sub>端子の接続例を次に示します。

図16 - 3 V<sub>PP</sub>端子の接続例



#### <シリアル・インタフェース端子>

各シリアル・インタフェースが使用する端子を次に示します。

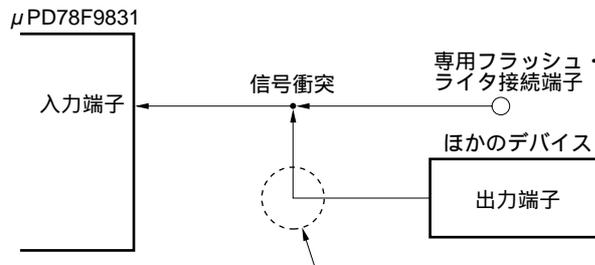
シリアル・インタフェース	使用端子
UART	TxD00/P25, RxD00/P26
疑似3線式	P10, P11, P12

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライタを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

## (1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライタ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

図16 - 4 信号の衝突（シリアル・インタフェースの入力端子）

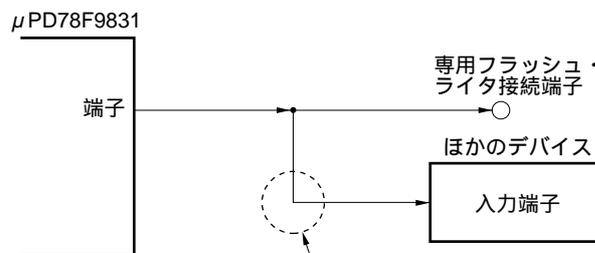


フラッシュ・メモリ・プログラミング・モードでは、ほかのデバイスが出力する信号と専用フラッシュ・ライタから送り出される信号が衝突するため、ほかのデバイス側の信号をアイソレートしてください。

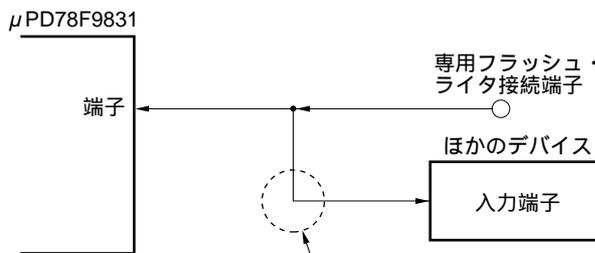
## (2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・ライタ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスへの入力信号を無視するように設定してください。

図16 - 5 ほかのデバイスの異常動作



フラッシュ・メモリ・プログラミング・モードでは、 $\mu$ PD78F9831が出力する信号が、ほかのデバイスに影響を与える場合、ほかのデバイス側の信号をアイソレートしてください。



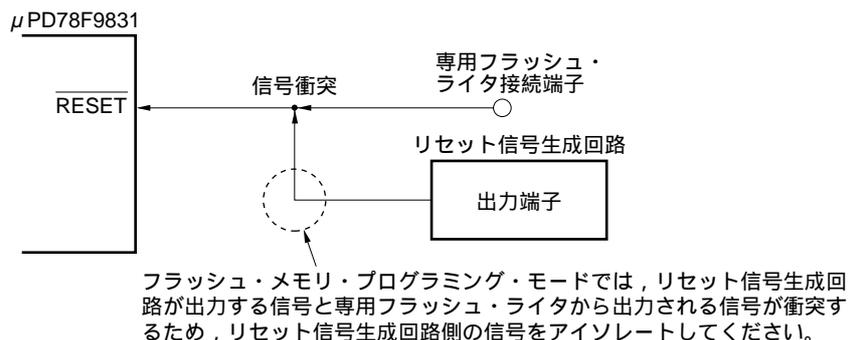
フラッシュ・メモリ・プログラミング・モードでは、専用フラッシュ・ライタが出力する信号が、ほかのデバイスに影響を与える場合、ほかのデバイス側の信号をアイソレートしてください。

**<RESET端子>**

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図16 - 6 信号の衝突 (RESET端子)

**<ポート端子>**

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングと通信する端子を除くすべての端子は、すべてリセット直後と同じ状態になります。

したがって、外部デバイスが出力ハイ・インピーダンス状態などの初期状態を認めない場合は、抵抗を介して $V_{DD0}$ に接続する、または抵抗を介して $V_{SS0}$ に接続するなどの処置をしてください。

**<発振端子>**

オンボード上のクロックを使用する場合、X1, X2は、通常動作モード時に準拠した接続をしてください。

フラッシュ・ライタのクロック出力を使用する場合は、オンボード上のメイン発振子を切り離し、X1端子に直接接続し、X2端子はオープンにしてください。サブクロック (XT1, XT2) に関しては通常動作モードに準拠します。

**<電 源>**

フラッシュ・ライタの電源出力を使用する場合は、 $V_{DD0}$ ,  $V_{DD1}$ 端子はフラッシュ・ライタのVDDに、 $V_{SS0}$ ,  $V_{SS1}$ 端子はフラッシュ・ライタのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。ただし、フラッシュ・ライタで電圧監視をするので、フラッシュ・ライタのVDDは必ず接続してください。

**<その他の端子>**

その他の端子 (S0-S31, COM0-COM15) は、通常動作モード時と同じ処理をしてください。

## 第17章 命令セットの概要

μPD789830サブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0Sシリーズ ユーザーズ・マニュアル 命令編（U11047J）を参照してください。

### 17.1 オペレーション

#### 17.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[ ]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・#：イミューディエト・データ指定
- ・\$：相対アドレス指定
- ・!：絶対アドレス指定
- ・[ ]：間接アドレス指定

イミューディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[ ]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X、A、Cなど）、絶対名称（下表の中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表17-1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X (R0), A (R1), C (R2), B (R3), E (R4), D (R5), L (R6), H (R7)
rp	AX (RP0), BC (RP1), DE (RP2), HL (RP3)
sfr	特殊機能レジスタ略号
saddr	FE20H-FF1FH イミューディエト・データまたはラベル
saddrp	FE20H-FF1FH イミューディエト・データまたはラベル（偶数アドレスのみ）
addr16	0000H-FFFFH イミューディエト・データまたはラベル （16ビット・データ転送命令時は偶数アドレスのみ）
addr5	0040H-007FH イミューディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミューディエト・データまたはラベル
byte	8ビット・イミューディエト・データまたはラベル
bit	3ビット・イミューディエト・データまたはラベル

備考 特殊機能レジスタの略号は表3-4 特殊機能レジスタ一覧を参照してください。

### 17.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
IE	: 割り込み要求許可フラグ
NMIS	: ノンマスカブル割り込み処理中フラグ
( )	: ( )内のアドレスまたはレジスタの内容で示されるメモリの内容
x <sub>H</sub> , x <sub>L</sub>	: 16ビット・レジスタの上位8ビット, 下位8ビット
∧	: 論理積 (AND)
∨	: 論理和 (OR)
⊕	: 排他的論理和 (exclusive OR)
——	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

### 17.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

## 17.2 オペレーション一覧

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOV	r, #byte	3	6	r byte			
	saddr, #byte	3	6	(saddr) byte			
	sfr, #byte	3	6	sfr byte			
	A, r <small>注1</small>	2	4	A r			
	r, A <small>注1</small>	2	4	r A			
	A, saddr	2	4	A (saddr)			
	saddr, A	2	4	(saddr) A			
	A, sfr	2	4	A sfr			
	sfr, A	2	4	sfr A			
	A, laddr16	3	8	A (addr16)			
	laddr16, A	3	8	(addr16) A			
	PSW, #byte	3	6	PSW byte	x	x	x
	A, PSW	2	4	A PSW			
	PSW, A	2	4	PSW A	x	x	x
	A, [DE]	1	6	A (DE)			
	[DE], A	1	6	(DE) A			
	A, [HL]	1	6	A (HL)			
	[HL], A	1	6	(HL) A			
	A, [HL + byte]	2	6	A (HL + byte)			
[HL + byte], A	2	6	(HL + byte) A				
XCH	A, X	1	4	A X			
	A, r <small>注2</small>	2	6	A r			
	A, saddr	2	6	A (saddr)			
	A, sfr	2	6	A sfr			
	A, [DE]	1	8	A (DE)			
	A, [HL]	1	8	A (HL)			
	A, [HL, byte]	2	8	A (HL + byte)			

注1 . r = Aを除く。

2 . r = A, Xを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f<sub>cpu</sub>) の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOVW	rp, #word	3	6	rp word			
	AX, saddrp	2	6	AX (saddrp)			
	saddrp, AX	2	8	(saddrp) AX			
	AX, rp <small>注</small>	1	4	AX rp			
	rp, AX <small>注</small>	1	4	rp AX			
XCHW	AX, rp <small>注</small>	1	8	AX rp			
ADD	A, #byte	2	4	A, CY A + byte	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) + byte	x	x	x
	A, r	2	4	A, CY A + r	x	x	x
	A, saddr	2	4	A, CY A + (saddr)	x	x	x
	A, laddr16	3	8	A, CY A + (addr16)	x	x	x
	A, [HL]	1	6	A, CY A + (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte)	x	x	x
ADDC	A, #byte	2	4	A, CY A + byte + CY	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) + byte + CY	x	x	x
	A, r	2	4	A, CY A + r + CY	x	x	x
	A, saddr	2	4	A, CY A + (saddr) + CY	x	x	x
	A, laddr16	3	8	A, CY A + (addr16) + CY	x	x	x
	A, [HL]	1	6	A, CY A + (HL) + CY	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte) + CY	x	x	x
SUB	A, #byte	2	4	A, CY A - byte	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) - byte	x	x	x
	A, r	2	4	A, CY A - r	x	x	x
	A, saddr	2	4	A, CY A - (saddr)	x	x	x
	A, laddr16	3	8	A, CY A - (addr16)	x	x	x
	A, [HL]	1	6	A, CY A - (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte)	x	x	x

注 rp = BC, DE, HLのときのみ。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f<sub>cpu</sub>) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
SUBC	A, #byte	2	4	A, CY A - byte - CY	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) - byte - CY	x	x	x
	A, r	2	4	A, CY A - r - CY	x	x	x
	A, saddr	2	4	A, CY A - (saddr) - CY	x	x	x
	A, laddr16	3	8	A, CY A - (addr16) - CY	x	x	x
	A, [HL]	1	6	A, CY A - (HL) - CY	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte) - CY	x	x	x
AND	A, #byte	2	4	A A ∧ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∧ byte	x		
	A, r	2	4	A A ∧ r	x		
	A, saddr	2	4	A A ∧ (saddr)	x		
	A, laddr16	3	8	A A ∧ (addr16)	x		
	A, [HL]	1	6	A A ∧ (HL)	x		
	A, [HL + byte]	2	6	A A ∧ (HL + byte)	x		
OR	A, #byte	2	4	A A ∨ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∨ byte	x		
	A, r	2	4	A A ∨ r	x		
	A, saddr	2	4	A A ∨ (saddr)	x		
	A, laddr16	3	8	A A ∨ (addr16)	x		
	A, [HL]	1	6	A A ∨ (HL)	x		
	A, [HL + byte]	2	6	A A ∨ (HL + byte)	x		
XOR	A, #byte	2	4	A A ∨ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∨ byte	x		
	A, r	2	4	A A ∨ r	x		
	A, saddr	2	4	A A ∨ (saddr)	x		
	A, laddr16	3	8	A A ∨ (addr16)	x		
	A, [HL]	1	6	A A ∨ (HL)	x		
	A, [HL + byte]	2	6	A A ∨ (HL + byte)	x		

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f<sub>cpu</sub>) の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
CMP	A, #byte	2	4	A - byte	x	x	x
	saddr, #byte	3	6	(saddr) - byte	x	x	x
	A, r	2	4	A - r	x	x	x
	A, saddr	2	4	A - (saddr)	x	x	x
	A, laddr16	3	8	A - (addr16)	x	x	x
	A, [HL]	1	6	A - (HL)	x	x	x
	A, [HL + byte]	2	6	A - (HL + byte)	x	x	x
ADDW	AX, #word	3	6	AX, CY AX + word	x	x	x
SUBW	AX, #word	3	6	AX, CY AX - word	x	x	x
CMPW	AX, #word	3	6	AX - word	x	x	x
INC	r	2	4	r r + 1	x	x	
	saddr	2	4	(saddr) (saddr) + 1	x	x	
DEC	r	2	4	r r - 1	x	x	
	saddr	2	4	(saddr) (saddr) - 1	x	x	
INCW	rp	1	4	rp rp + 1			
DECW	rp	1	4	rp rp - 1			
ROR	A, 1	1	2	(CY, A <sub>7</sub> A <sub>0</sub> , A <sub>m-1</sub> A <sub>m</sub> ) × 1回			x
ROL	A, 1	1	2	(CY, A <sub>0</sub> A <sub>7</sub> , A <sub>m+1</sub> A <sub>m</sub> ) × 1回			x
RORC	A, 1	1	2	(CY A <sub>0</sub> , A <sub>7</sub> CY, A <sub>m-1</sub> A <sub>m</sub> ) × 1回			x
ROLC	A, 1	1	2	(CY A <sub>7</sub> , A <sub>0</sub> CY, A <sub>m+1</sub> A <sub>m</sub> ) × 1回			x
SET1	saddr.bit	3	6	(saddr.bit) 1			
	sfr.bit	3	6	sfr.bit 1			
	A.bit	2	4	A.bit 1			
	PSW.bit	3	6	PSW.bit 1	x	x	x
	[HL].bit	2	10	(HL).bit 1			
CLR1	saddr.bit	3	6	(saddr.bit) 0			
	sfr.bit	3	6	sfr.bit 0			
	A.bit	2	4	A.bit 0			
	PSW.bit	3	6	PSW.bit 0	x	x	x
	[HL].bit	2	10	(HL).bit 0			
SET1	CY	1	2	CY 1			1
CLR1	CY	1	2	CY 0			0
NOT1	CY	1	2	CY $\overline{CY}$			x

**備考** 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f<sub>cpu</sub>) の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
CALL	laddr16	3	6	(SP - 1) (PC + 3) <sub>H</sub> , (SP - 2) (PC + 3) <sub>L</sub> , PC addr16, SP SP - 2			
CALLT	[ addr5 ]	1	8	(SP - 1) (PC + 1) <sub>H</sub> , (SP - 2) (PC + 1) <sub>L</sub> , PC <sub>H</sub> ( 00000000, addr5 + 1 ), PC <sub>L</sub> ( 00000000, addr5 ), SP SP - 2			
RET		1	6	PC <sub>H</sub> (SP + 1), PC <sub>L</sub> (SP), SP SP + 2			
RETI		1	8	PC <sub>H</sub> (SP + 1), PC <sub>L</sub> (SP), PSW (SP + 2), SP SP + 3, NMIS 0	R	R	R
PUSH	PSW	1	2	(SP - 1) PSW, SP SP - 1			
	rp	1	4	(SP - 1) rp <sub>H</sub> , (SP - 2) rp <sub>L</sub> , SP SP - 2			
POP	PSW	1	4	PSW (SP), SP SP + 1	R	R	R
	rp	1	6	rp <sub>H</sub> (SP + 1), rp <sub>L</sub> (SP), SP SP + 2			
MOVW	SP, AX	2	8	SP AX			
	AX, SP	2	6	AX SP			
BR	laddr16	3	6	PC addr16			
	\$addr16	2	6	PC PC + 2 + jdisp8			
	AX	1	6	PC <sub>H</sub> A, PC <sub>L</sub> X			
BC	\$saddr16	2	6	PC PC + 2 + jdisp8 if CY = 1			
BNC	\$saddr16	2	6	PC PC + 2 + jdisp8 if CY = 0			
BZ	\$saddr16	2	6	PC PC + 2 + jdisp8 if Z = 1			
BNZ	\$saddr16	2	6	PC PC + 2 + jdisp8 if Z = 0			
BT	saddr.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if (saddr.bit) = 1			
	sfr.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if sfr.bit = 1			
	A.bit, \$addr16	3	8	PC PC + 3 + jdisp8 if A.bit = 1			
	PSW.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if PSW.bit = 1			

**備考** 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f<sub>cpu</sub>) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
BF	saddr.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if ( saddr.bit ) = 0			
	sfr.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if sfr.bit = 0			
	A.bit, \$saddr16	3	8	PC PC + 3 + jdisp8 if A.bit = 0			
	PSW.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if PSW.bit = 0			
DBNZ	B, \$saddr16	2	6	B B - 1, then PC PC + 2 + jdisp8 if B 0			
	C, \$saddr16	2	6	C C - 1, then PC PC + 2 + jdisp8 if C 0			
	saddr, \$saddr16	3	8	( saddr ) ( saddr ) - 1, then PC PC + 3 + jdisp8 if ( saddr ) 0			
NOP		1	2	No Operation			
EI		3	6	IE 1 ( Enable Interrupt )			
DI		3	6	IE 0 ( Disable interrupt )			
HALT		1	2	Set HALT Mode			
STOP		1	2	Set STOP Mode			

**備考** 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f<sub>cpu</sub>) の1クロック分です。

## 17.3 アドレッシング別命令一覧

### (1) 8ビット命令

MOV , XCH , ADD , ADDC , SUB , SUBC , AND , OR , XOR , CMP , INC , DEC , ROR , ROL , RORC ,  
 ROLC , PUSH , POP , DBNZ

第2オペランド 第1オペランド	#byte	A	r	sfr	saddr	!addr16	PSW	[ DE ]	[ HL ]	[ HL + byte ]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV <sup>注</sup> XCH <sup>注</sup>	MOV XCH	MOV XCH	MOV	MOV	MOV XCH	MOV XCH	MOV XCH		ROR ROL RORC ROLC	
r	MOV	MOV											INC DEC
B , C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[ DE ]		MOV											
[ HL ]		MOV											
[ HL + byte ]		MOV											

注 r = Aは除く。

(2) 16ビット命令

MOVW , XCHW , ADDW , SUBW , CMPW , PUSH , POP , INCW , DECW

第2オペランド 第1オペランド	#word	AX	rp <sup>注</sup>	saddrp	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	
rp	MOVW	MOVW <sup>注</sup>				INCW DECW PUSH POP
saddrp		MOVW				
sp		MOVW				

注 rp = BC , DE , HLのときのみ。

(3) ビット操作命令

SET1 , CLR1 , NOT1 , BT , BF

第2オペランド 第1オペランド	\$addr16	なし
A.bit	BT BF	SET1 CLR1
sfr.bit	BT BF	SET1 CLR1
saddr.bit	BT BF	SET1 CLR1
PSW.bit	BT BF	SET1 CLR1
[ HL ] .bit		SET1 CLR1
CY		SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL , CALLT , BR , BC , BNC , BZ , BNZ , DBNZ

第2オペランド 第1オペランド	AX	!addr16	[ addr5 ]	\$addr16
基本命令	BR	CALL BR	CALLT	BR BC BNC BZ BNZ
複合命令				DBNZ

(5) その他の命令

RET , RETI , NOP , EI , DI , HALT , STOP

## 第18章 電気的特性

### 絶対最大定格 (T<sub>A</sub> = 25 ) (μPD789830)

項目	略号	条件	定格	単位
電源電圧	V <sub>DD</sub>		- 0.3 ~ + 6.5	V
入力電圧	V <sub>I1</sub>	P00-P07, P10, P11, P20-P23, P25, P26, P30-P34, P50-P57, X1, X2, XT1, XT2, RESET	- 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注</sup>	V
	V <sub>I2</sub>	P24 (N-chオープン・ドレイン)	- 0.3 ~ + 13	V
出力電圧	V <sub>O</sub>		- 0.3 ~ V <sub>DD</sub> + 0.3 <sup>注</sup>	V
ハイ・レベル出力電流	I <sub>OH</sub>	1端子	- 10	mA
		全端子合計	- 30	mA
ロウ・レベル出力電流	I <sub>OL</sub>	1端子	30	mA
		全端子合計	160	mA
動作周囲温度	T <sub>A</sub>		- 20 ~ + 60	
保存温度	T <sub>stg</sub>		- 65 ~ + 150	

注 6.5 V以下

**注意** 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。

つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

**備考** 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

絶対最大定格 ( $T_A = 25$ ) ( $\mu$ PD78F9831)

項目	略号	条件	定格	単位
電源電圧	$V_{DD}$		- 0.3 ~ + 6.5	V
	$V_{PP}$		- 0.3 ~ + 10.5	V
入力電圧	$V_{I1}$	P00-P07, P10-P17, P20-P23, P25, P26, P30-P34, P40, P41, P50-P57, X1, X2, XT1, XT2, RESET	- 0.3 ~ $V_{DD} + 0.3$ <sup>注</sup>	V
	$V_{I2}$	P24 (N-chオープン・ドレイン)	- 0.3 ~ + 13	V
出力電圧	$V_O$		- 0.3 ~ $V_{DD} + 0.3$ <sup>注</sup>	V
ハイ・レベル出力電流	$I_{OH}$	1端子	- 10	mA
		全端子合計	- 30	mA
ロウ・レベル出力電流	$I_{OL}$	1端子	30	mA
		全端子合計	160	mA
動作周囲温度	$T_A$	通常動作時	- 20 ~ + 60	
		フラッシュ・メモリ・プログラミング時	10 ~ 40	
保存温度	$T_{stg}$		- 40 ~ + 125	

注 6.5 V以下

**注意** 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

**備考** 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

メイン・システム・クロック発振回路特性 (TA = -20 ~ +60 , VDD = 2.7 ~ 5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (fx) 注1	VDD = 発振電圧範囲	2.0		5.0	MHz
		発振安定時間注2	VDD が発振電圧範囲のMIN.に達したあと			4	ms
水晶振動子		発振周波数 (fx) 注1		2.0		5.0	MHz
		発振安定時間注2	VDD = 4.5 ~ 5.5 V			10	ms
			VDD = 2.7 ~ 5.5 V			30	ms
外部クロック		X1入力周波数 (fx) 注1		2.0		5.0	MHz
		X1入力ハイ,ロウ・レベル幅 (txH, txL)		85		250	ns

注1 . 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

- リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。発振ウエイト時間内に発振安定する発振子、振動子を使用してください。

注意1 . メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にVSS0と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

- メイン・システム・クロックを停止させサブシステム・クロックで動作させているときに、再度メイン・システム・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

サブシステム・クロック発振回路特性 (T<sub>A</sub> = -20 ~ +60 , V<sub>DD</sub> = 2.7 ~ 5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f <sub>XT</sub> ) <sup>注1</sup>		32	32.768	35	kHz
		発振安定時間 <sup>注2</sup>	V <sub>DD</sub> = 4.5 ~ 5.5 V		1.2	2	s
			V <sub>DD</sub> = 2.7 ~ 5.5 V			10	s
外部クロック		XT1入力周波数 (f <sub>XT</sub> ) <sup>注1</sup>		32		35	kHz
		XT1入力ハイ、ロウ・レベル幅 (t <sub>XTH</sub> , t <sub>XTL</sub> )		14.3		15.6	μs

注1．発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

- V<sub>DD</sub>が発振電圧範囲のMIN.に達したあと、発振が安定するのに必要な時間です。発振ウエイト時間内に発振安定する振動子を使用してください。

注意1．サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にV<sub>SS0</sub>と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

- サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い設計になっており、ノイズによる誤動作がメイン・システム・クロック発振回路より起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

DC特性 (TA = -20 ~ +60 , VDD = 2.7 ~ 5.5 V) (μPD789830) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流	IOH	1端子あたり				- 1	mA
		全端子合計				- 15	mA
ロウ・レベル出力電流	IOL	1端子あたり				10	mA
		全端子合計				80	mA
ハイ・レベル入力電圧	VIH1	P00-P07, P10, P11, P23, P25, P50-P57		0.7 VDD		VDD	V
	VIH2	RESET, P20-P22, P26, P30-P34		0.8 VDD		VDD	V
	VIH3	P24 (N-chオープン・ドレイン)		0.7 VDD		12	V
	VIH4	X1, X2, XT1, XT2		VDD - 0.1		VDD	V
ロウ・レベル入力電圧	VIL1	P00-P07, P10, P11, P23, P25, P50-P57		0		0.3 VDD	V
	VIL2	RESET, P20-P22, P26, P30-P34		0		0.2 VDD	V
	VIL3	P24 (N-chオープン・ドレイン)		0		0.3 VDD	V
	VIL4	X1, X2, XT1, XT2		0		0.1	V
ハイ・レベル出力電圧	VOH	VDD = 4.5 ~ 5.5 V, IOH = - 1 mA		VDD - 1.0			V
		VDD = 2.7 ~ 5.5 V IOH = - 100 μA		VDD - 0.5			V
ロウ・レベル出力電圧	VOL1	P24以外の端子	VDD = 4.5 ~ 5.5 V, IOL = 10mA			1.0	V
			VDD = 2.7 ~ 5.5 V IOL = 400 μA			0.5	V
	VOL2	P24 (N-chオープン・ドレイン)	VDD = 4.5 ~ 5.5 V, IOL = 10mA			1.0	V
			VDD = 2.7 ~ 5.5 V, IOL = 1.6 mA			0.4	V

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -20 ~ +60 , VDD = 2.7 ~ 5.5 V) (μPD789830) (2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	ILIH1	VIN = VDD	P00-P07, P10, P11, P20-P23, P25, P26, P30-P34, P50-P57, RESET			3	μA
	ILIH2		X1, X2, XT1, XT2			20	μA
	ILIH3	VIN = 12 V	P24 (N-chオープン・ドレイン)			20	μA
ロウ・レベル入力リーク電流	ILIL1	VIN = 0 V	P00-P07, P10, P11, P20-P23, P25, P26, P30-P34, P50-P57, RESET, P24 (N-chオープン・ドレイン) リード時以外			- 3	μA
	ILIL2		X1, X2, XT1, XT2			- 20	μA
	ILIL3		P24 (N-chオープン・ドレイン) リード時			- 30	μA
ハイ・レベル出力リーク電流	ILOH	VOUT = VDD				3	μA
ロウ・レベル出力リーク電流	ILOL	VOUT = 0 V				- 3	μA
ソフトウェア・プルアップ抵抗	R1	VIN = 0 V, P00-P07, P10, P11, P30-P34		50	100	200	kΩ
電源電流 <sup>注1</sup>	IDD1	5.0 MHz水晶発振動作モード	VDD = 5.0 V ± 10 % <sup>注2</sup>		1.7	3.2	mA
			VDD = 3.0 V ± 10 % <sup>注3</sup>		0.45	0.9	mA
	IDD2	5.0 MHz水晶発振HALTモード	VDD = 5.0 V ± 10 % <sup>注2</sup>		0.6	1.2	mA
			VDD = 3.0 V ± 10 % <sup>注3</sup>		0.3	0.6	mA
	IDD3	32.768 kHz水晶発振動作モード <sup>注4</sup>	VDD = 5.0 V ± 10 %		25	50	μA
			VDD = 3.0 V ± 10 %		12	35	μA
	IDD4	32.768 kHz水晶発振HALTモード <sup>注4</sup>	VDD = 5.0 V ± 10 %		17	34	μA
			VDD = 3.0 V ± 10 %		5	17	μA
IDD5	STOPモード	VDD = 5.0 V ± 10 %		0.1	10	μA	
		VDD = 3.0 V ± 10 %		0.05	5.0	μA	

注1 . LCD動作時 (LCDON20 (LCD20モード・レジスタ (LCDM20) のビット7) = 1, LIPS20 (LCDM20のビット4) = 1) およびポート電流 (内蔵プルアップ抵抗に流れる電流も含む) は含みません。LCD動作時の電流についてはLCD特性のLCD動作電流を参照してください。

- 2 . 高速モード動作時 (プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに設定したとき)
- 3 . 低速モード動作時 (PCC = 02Hに設定したとき)
- 4 . メイン・システム・クロック停止時

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -20 ~ +60 , VDD = 2.7 ~ 5.5 V) (μPD78F9831) (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流	IOH	1端子あたり			- 1	mA	
		全端子合計			- 15	mA	
ロウ・レベル出力電流	IOL	1端子あたり			10	mA	
		全端子合計			80	mA	
ハイ・レベル入力電圧	VIH1	P00-P07, P10-P17, P23, P25, P50-P57	0.7 VDD		VDD	V	
	VIH2	RESET, P20-P22, P26, P30-P34, P40, P41	0.8 VDD		VDD	V	
	VIH3	P24 (N-chオープン・ドレイン)	0.7 VDD		12	V	
	VIH4	X1, X2, XT1, XT2	VDD = 4.5 ~ 5.5 V	VDD - 0.5		VDD	V
			VDD = 2.7 ~ 5.5 V	VDD - 0.1		VDD	V
ロウ・レベル入力電圧	VIL1	P00-P07, P10-P17, P23, P25, P50-P57	0		0.3 VDD	V	
	VIL2	RESET, P20-P22, P26, P30-P34, P40, P41	0		0.2 VDD	V	
	VIL3	P24 (N-chオープン・ドレイン)	0		0.3 VDD	V	
	VIL4	X1, X2, XT1, XT2	VDD = 4.5 ~ 5.5 V	0		0.4	V
			VDD = 2.7 ~ 5.5 V	0		0.1	V
ハイ・レベル出力電圧	VOH	IOH = - 1 mA	VDD = 4.5 ~ 5.5 V	VDD - 1.0		V	
		IOH = - 100 μA	VDD = 2.7 ~ 5.5 V	VDD - 0.5		V	
ロウ・レベル出力電圧	VOL1	P24以外の端子	4.5 VDD < 5.5 V, IOL = 10 mA			1.0	V
			2.7 VDD < 4.5 V, IOL = 400 μA			0.5	V
	VOL2	P24 (N-chオープン・ドレイン)	VDD = 4.5 ~ 5.5 V, IOL = 10 mA			1.0	V
			2.7 VDD < 4.5 V, IOL = 1.6 mA			0.4	V
ハイ・レベル入力リーク電流	ILI1	VIN = VDD	P00-P07, P10-P17, P20-P23, P25, P26, P30-P34, P40, P41, P50-P57, RESET			3	μA
	ILI2		X1, X2, XT1, XT2			20	μA
	ILI3	VIN = 12 V	P24 (N-chオープン・ドレイン)			20	μA
ロウ・レベル入力リーク電流	ILIL1	VIN = 0 V	P00-P07, P10-P17, P20-P23, P25, P26, P30-P34, P40, P41, P50-P57, RESET, P24 (入力命令実行時以外)			- 3	μA
	ILIL2		X1, X2, XT1, XT2			- 20	μA
	ILIL3		P24 (N-chオープン・ドレイン) 入力命令実行時			- 30	μA

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -20 ~ +60 , VDD = 2.7 ~ 5.5 V) (μPD78F9831) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力リーク電流	ILOH	VOUT = VDD			3	μA	
ロウ・レベル出力リーク電流	ILOL	VOUT = 0 V			- 3	μA	
ソフトウェア・プルアップ抵抗	R1	VIN = 0 V, P00-P07, P10-P17, P30-P34	50	100	200	kΩ	
電源電流 <sup>注1</sup>	IDD1	5.0 MHz 水晶発振動作モード	VDD = 5.0 V ± 10 % <sup>注2</sup>		5	10	mA
			VDD = 3.0 V ± 10 % <sup>注3</sup>		3	6	mA
	IDD2	5.0 MHz 水晶発振HALTモード	VDD = 5.0 V ± 10 % <sup>注2</sup>		0.8	1.6	mA
			VDD = 3.0 V ± 10 % <sup>注3</sup>		0.4	0.8	mA
	IDD3	32.768 kHz 水晶発振動作モード <sup>注4</sup>	VDD = 5.0 V ± 10 %		120	240	μA
			VDD = 3.0 V ± 10 %		80	160	μA
	IDD4	32.768 kHz 水晶発振HALTモード <sup>注4</sup>	VDD = 5.0 V ± 10 %		25	55	μA
			VDD = 3.0 V ± 10 %		10	20	μA
IDD5	STOPモード	VDD = 5.0 V ± 10 %		0.1	10	μA	
		VDD = 3.0 V ± 10 %		0.05	10	μA	

注1 . LCD動作時 (LCDON20 = 1, LIPS20 = 1) の電源電流およびポート電流 (内蔵プルアップ抵抗に流れる電流も含む) は含みません。

- 2 . 高速モード動作時 (プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに設定したとき)。
- 3 . 低速モード動作時 (PCCを02Hに設定したとき)。
- 4 . メイン・システム・クロック停止時

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

LCD特性 (TA = -20 ~ +60 , VDD = 2.7 ~ 5.5 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
LCD駆動電圧	VLCD	VDD = VLCD	VAON20 = 0	3.5		5.5	V
			VAON20 = 1	2.7		5.5	V
セグメント出力電圧 <sup>注1</sup>	VODS	VLc0 出力レベル時		VLCD			V
		VLc2 出力レベル時		3/5VLCD			V
		VLc3 出力レベル時		2/5VLCD			V
コモン出力電圧 <sup>注1</sup>	VODC	VLc0 出力レベル時		VLCD			V
		VLc1 出力レベル時		4/5VLCD			V
		VLc4 出力レベル時		1/5VLCD			V
セグメント出力オン抵抗	RSEG	VLcn Sp, lo = 20 μA		5.0	12.5	kΩ	
コモン出力オン抵抗	RCOM	VLcn COMq, lo = 20 μA		4.0	10.0	kΩ	
LCD入力周波数	fLCD	VAON20 = 1	32		78.13	kHz	
		VAON20 = 0	7.81		78.13	kHz	
LCD動作電流 <sup>注2</sup> (μPD789830)	ILCD1	VDD = 5.0 V ± 10% , VAON20 = 0		25	50	μA	
	ILCD2	VDD = 3.0 V ± 10% , VAON20 = 1		13	30	μA	
LCD動作電流 <sup>注2</sup> (μPD78F9831)	ILCD1	VDD = 5.0 V ± 10% , VAON20 = 0		30	65	μA	
	ILCD2	VDD = 3.0 V ± 10% , VAON20 = 1		17	40	μA	

注1. 無負荷時の電圧

2. VDD0に流れるトータル電流です (LCD分割抵抗に流れる電流も含む)。

LCDON20 = 0, LIPS20 = 0設定時 (表示オフ, 内部駆動電源供給オフの場合) の電源電流はDC特性 電源電流のIDD5 (STOPモード) に含まれます。

備考 n = 0-4

p = 0-39

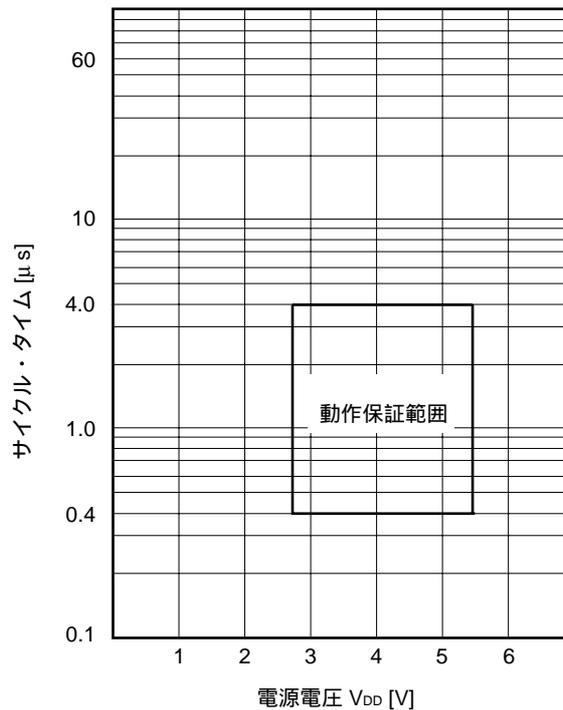
q = 0-15

AC特性

(1) 基本動作 ( $T_A = -20 \sim +60$  ,  $V_{DD} = 2.7 \sim 5.5$  V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	T <sub>CY</sub>	メイン・システム・クロックで動作	0.4		4.0	μs
		サブシステム・クロックで動作	114	122	125	μs
割り込み入力 ハイ, ロウ・レベル幅	t <sub>INTH</sub> ,	INTP0-INTP2 (μPD789830)	10			μs
	t <sub>INTL</sub>	INTP0-INTP4 (μPD78F9831)	10			μs
RESET入力 ロウ・レベル幅	t <sub>RSL</sub>		10			μs

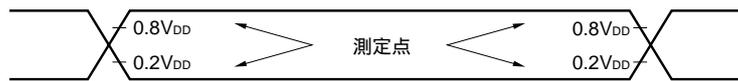
T<sub>CY</sub> VS V<sub>DD</sub> (メイン・システム・クロック)



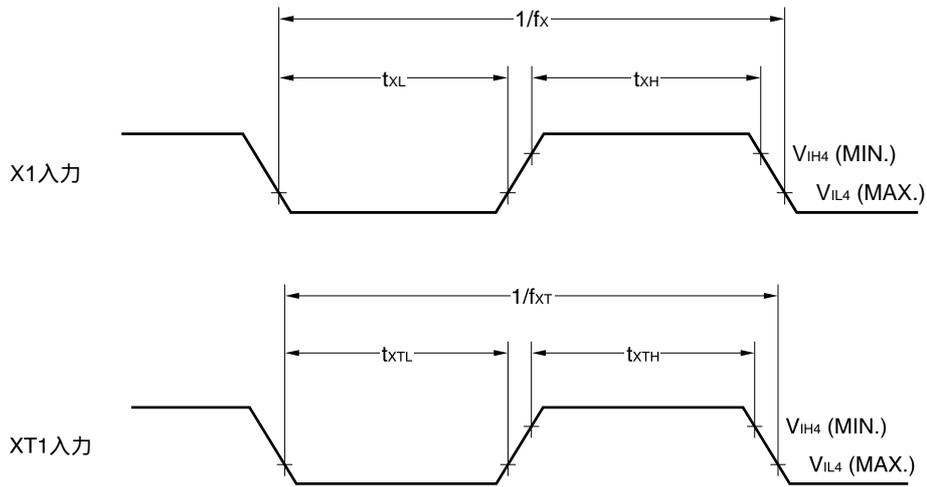
(2) シリアル・インタフェース (UART0) ( $T_A = -20 \sim +60$  ,  $V_{DD} = 2.7 \sim 5.5$  V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		f <sub>x</sub> = 5.0 MHz動作時			78125	bps

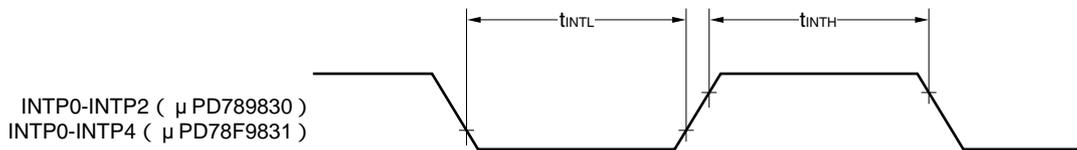
ACタイミング測定点 (X1, XT1入力を除く)



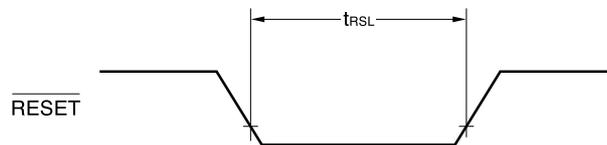
クロック・タイミング



割り込み入力タイミング



RESET入力タイミング



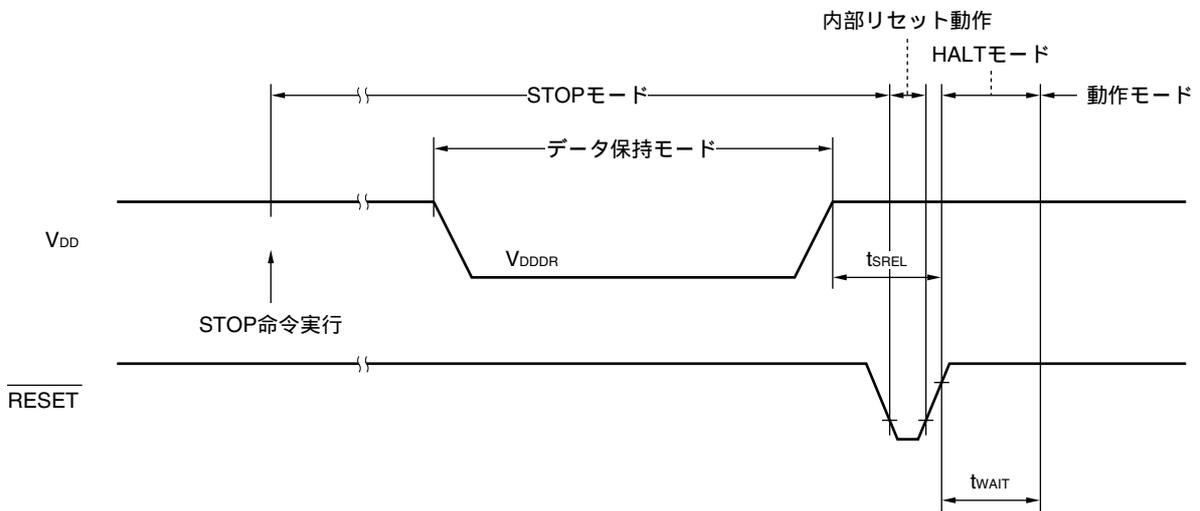
データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -20 ~ +60 )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V <sub>DDDR</sub>		1.8		5.5	V
リリース信号セット時間	t <sub>SREL</sub>		0			μs
発振安定ウエイト時間 <sup>注1</sup>	t <sub>WAIT</sub>	RESETによる解除		2 <sup>15</sup> /f <sub>x</sub>		ms
		割り込み要求による解除		注2		ms

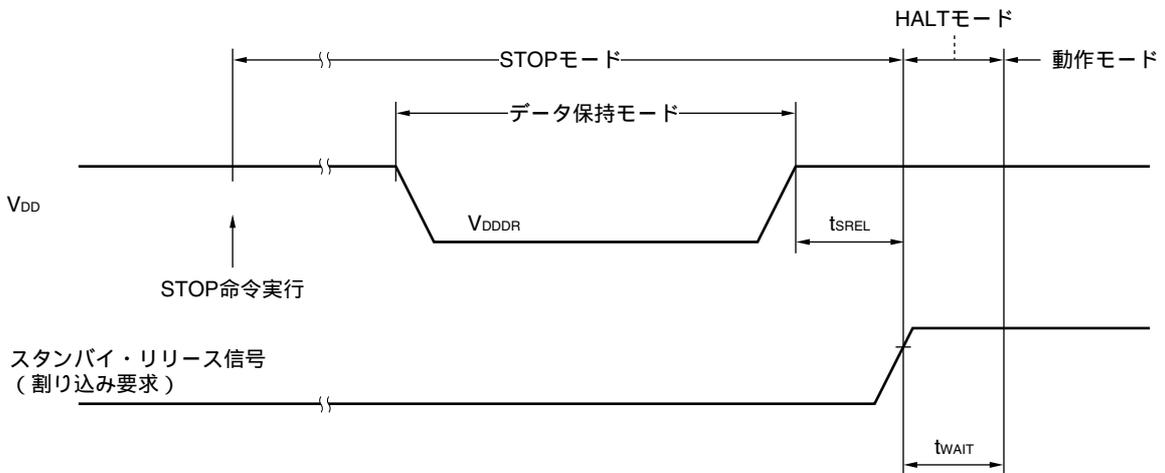
- 注1. 発振安定ウエイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。  
 2. 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により、2<sup>12</sup>/f<sub>x</sub>、2<sup>15</sup>/f<sub>x</sub>、2<sup>17</sup>/f<sub>x</sub>の選択が可能です。

備考 f<sub>x</sub> : メイン・システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



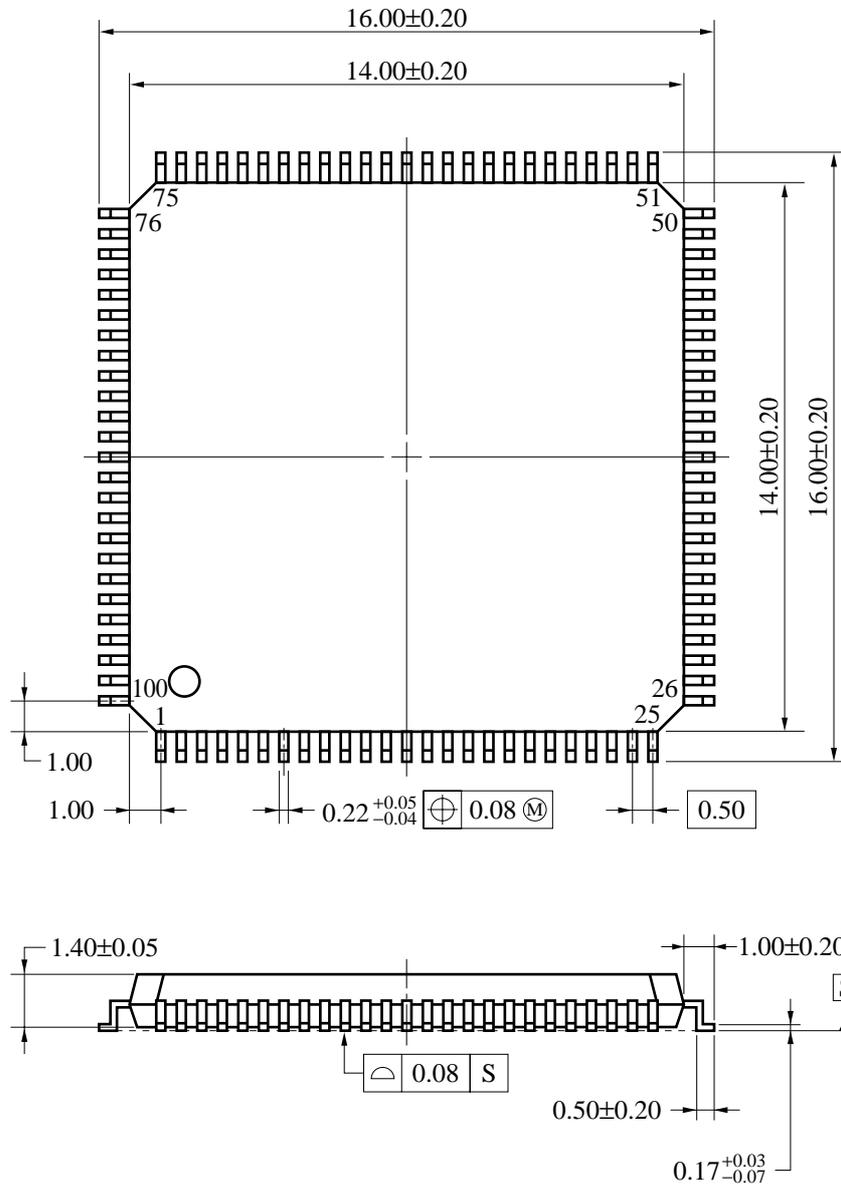
フラッシュ・メモリ書き込み/消去特性 ( $T_A = 10 \sim 40$  ,  $V_{DD} = 2.7 \sim 5.5$  V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f <sub>x</sub>		2		5	MHz
書き込み電流 <sup>注</sup> (V <sub>DD</sub> 端子)	I <sub>DDW</sub>	V <sub>PP</sub> 電源電圧= V <sub>PP1</sub> 時 5.0 MHz水晶発振動作モード			13	mA
書き込み電流 <sup>注</sup> (V <sub>PP</sub> 端子)	I <sub>PPW</sub>	V <sub>PP</sub> 電源電圧= V <sub>PP1</sub> 時			20	mA
消去電流 <sup>注</sup> (V <sub>DD</sub> 端子)	I <sub>DDE</sub>	V <sub>PP</sub> 電源電圧= V <sub>PP1</sub> 時 5.0 MHz水晶発振動作モード			13	mA
消去電流 <sup>注</sup> (V <sub>PP</sub> 端子)	I <sub>PPE</sub>	V <sub>PP</sub> 電源電圧= V <sub>PP1</sub> 時			100	mA
消去時間	t <sub>er</sub>				20	s
書き込み回数		消去/書き込みを1サイクルとする			20	回
V <sub>PP</sub> 電源電圧	V <sub>PP0</sub>	通常動作時	0		0.2 V <sub>DD</sub>	V
	V <sub>PP1</sub>	フラッシュ・メモリ・プログラミング時	9.7	10.0	10.3	V

注 ポート電流（内蔵プルアップ抵抗に流れる電流を含む）は含みません。

## 第19章 外形図

100ピン・プラスチック LQFP (ファインピッチ)(14x14) 外形図 (単位: mm)



S100GC-50-8EU, 8EA-2

## 第20章 半田付け推奨条件

μ PD78F9831の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表20 - 1 表面実装タイプの半田付け条件

### (1) μ PD78F9831GC-8EU

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上）， 回数：2回以内	IR35-00-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上）， 回数：2回以内	VP15-00-2
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイス一辺当たり）	-

### (2) μ PD78F9831GC-8EU-A

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内（220 以上）， 回数：3回以内，制限日数：7日間 <sup>注</sup> （以降は125 プリベーク20～72時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は、包装状態での ベーキングができません。	IR60-207-3
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で、保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

備考 オーダ名称末尾「-A」の製品は、鉛フリー製品です。

## 付録A 開発ツール

μPD789830サブシリーズを使用するシステム開発のために次のような開発ツールを用意しております。図A - 1に開発ツール構成を示します。

### PC98-NXシリーズへの対応について

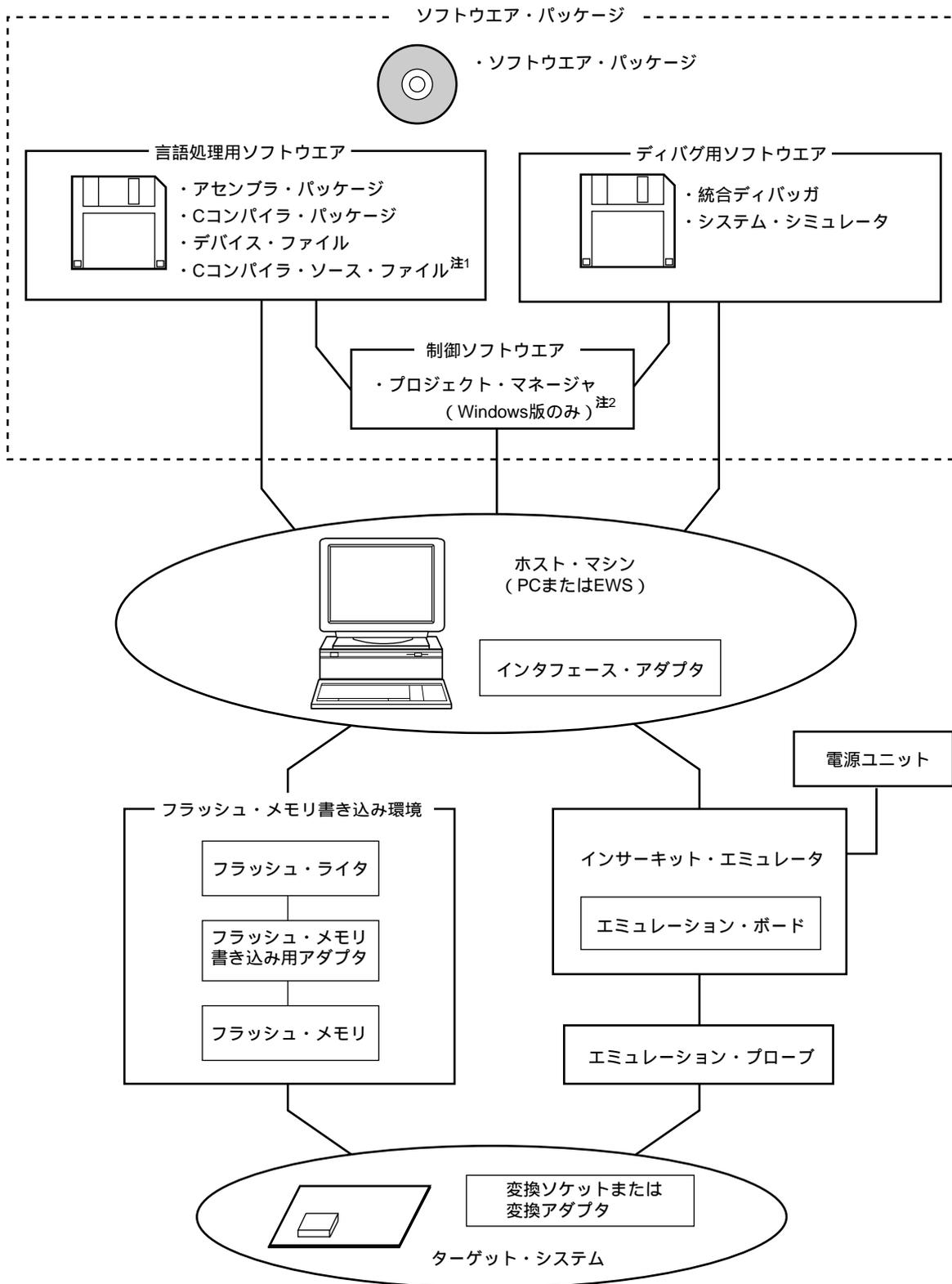
特に断りのないかぎり、IBM PC/AT<sup>TM</sup>互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

### Windowsについて

特に断りのないかぎり、「Windows」は次のOSを示しています。

- ・ Windows 3.1
- ・ Windows 95, 98, 2000
- ・ Windows NT<sup>TM</sup>Version 4.0

図A-1 開発ツール構成



注1. Cコンパイラ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

2. プロジェクト・マネージャは、アセンブラ・パッケージに入っています。  
また、Windows以外ではプロジェクト・マネージャは使用しません。

## A.1 ソフトウェア・パッケージ

SP78K0S ソフトウェア・パッケージ	78K0Sシリーズ開発用の各種ソフトウェア・ツールを1つにパッケージングしたものです。 以下のツールが入っています。 RA78K0S, CC78K0S, ID78K0-NS, SM78K0S, デバイス・ファイル各種 オーダ名称: $\mu S \times \times \times \times$ SP78K0S
-------------------------	--------------------------------------------------------------------------------------------------------------------------------------------------------------------------

備考 オーダ名称の  $\times \times \times \times$  は、使用するOSにより異なります。

$\mu S \times \times \times \times$  SP78K0S

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

## A.2 言語処理用ソフトウェア

RA78K0S アセンブラ・パッケージ	二モニクで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。別売のデバイス・ファイル (DF789831) と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: $\mu S \times \times \times \times$ RA78K0S
CC78K0S Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージ (RA78K0S) およびデバイス・ファイル (DF789831) と組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: $\mu S \times \times \times \times$ CC78K0S
DF789831 <sup>注1</sup> デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ DF789831
CC78K0S-L <sup>注2</sup> Cコンパイラ・ソース・ファイル	Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。 Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。 ソース・ファイルのため、動作環境はOSに依存しません。 オーダ名称: $\mu S \times \times \times \times$ CC78K0S-L

注1. DF789831は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

2. CC78K0S-Lは、ソフトウェア・パッケージ (SP78K0S) の中には含まれていません。

備考 オーダ名称の××××は、使用するホスト・マシン，OSにより異なります。

μS××××RA78K0S

μS××××CC78K0S

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700 <sup>TM</sup>	HP-UX <sup>TM</sup> ( Rel.10.10 )	
3K17	SPARCstation <sup>TM</sup>	SunOS <sup>TM</sup> ( Rel.4.1.1 ) ， Solaris <sup>TM</sup> ( Rel.2.5.1 )	

μS××××DF789831

μS××××CC78K0S-L

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
3P16	HP9000シリーズ700	HP-UX ( Rel.10.10 )	DAT
3K13	SPARCstation	SunOS ( Rel.4.1.1 ) ，	3.5インチ2HD FD
3K15		Solaris ( Rel.2.5.1 )	1/4インチCGMT

### A.3 制御ソフトウェア

プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。プロジェクト・マネージャ上から，エディタの起動，ビルド，ディバッガの起動など，ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> プロジェクト・マネージャはアセンブラ・パッケージ ( RA78K0S ) の中に入っています。 Windows以外の環境では使用できません。
--------------	--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

### A.4 フラッシュ・メモリ書き込み用ツール

Flashpro ( 型番FL-PR3, PG-FP3 ) フラッシュ・ライター	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライター
FA-100GC フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。Flashpro に接続して使用します。 100ピン・プラスチックLQFP用

備考 FL-PR3，FA-100GCは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 ( TEL ( 045 ) 475-4191 )

## A.5 デバッグ用ツール（ハードウェア）

IE-78K0S-NS インサーキット・エミュレータ	78K/0Sシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータ。統合デバッグ（ID78K0S-NS）に対応しています。ACアダプタ、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。	
IE-78K0S-NS-A インサーキット・エミュレータ	IE-78K0S-NSの機能を拡張したインサーキット・エミュレータです。 カバレッジ機能が追加され、トレーサ機能、タイマ機能が強化されるなど、デバッグ機能がより強化されています。	
IE-70000-MC-PS-B ACアダプタ	AC100～240 Vのコンセントから電源を供給するためのアダプタ	
IE-70000-98-IF-C インタフェース・アダプタ	ホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときに必要なアダプタ（Cバス対応）	
IE-70000-CD-IF-A PCカード・インタフェース	ホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブル（PCMCIAソケット対応）	
IE-70000-PC-IF-C インタフェース・アダプタ	ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタ（ISAバス対応）	
IE-70000-PCI-IF-A インタフェース・アダプタ	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタ	
IE-789831-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボード。インサーキット・エミュレータと組み合わせて使用します。	
NP-100GC エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのケーブルです。 100ピン・プラスチックLQFPに対応させるときは、TGC-100SDWと組み合わせて使用します。	
	TGC-100SDW 変換アダプタ	100ピン・プラスチックLQFPを実装できるように作られたターゲット・システムの基板と、NP-100GCを接続するための変換アダプタです。

備考1. NP-100GCは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（TEL（045）475-4191）

2. TGC-100SDWは、東京エレクトック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部（TEL（03）3820-7112）

大阪電子部（TEL（06）6244-6672）

## A.6 デバッグ用ツール（ソフトウェア）

ID78K0S-NS 統合ディバッガ	78K/0Sシリーズ用のインサーキット・エミュレータ IE-78K0S-NS, IE-78K0S-NS-Aに対応したディバッガです。ID78K0S-NSは、Windowsベースのソフトウェアです。 C言語対応のディバグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイル（DF789831）と組み合わせて使用します。 オーダ名称：μS××××ID78K0S-NS
SM78K0S システム・シミュレータ	78K/0Sシリーズ用のシステム・シミュレータです。SM78K0Sは、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのディバグが可能です。SM78K0Sを使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 別売のデバイス・ファイル（DF789831）と組み合わせて使用します。 オーダ名称：μS××××SM78K0S
DF789831 <sup>注</sup> デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。 オーダ名称：μS××××DF789831

注 DF789831は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

備考 オーダ名称の××××は、使用するOS、供給媒体により異なります。

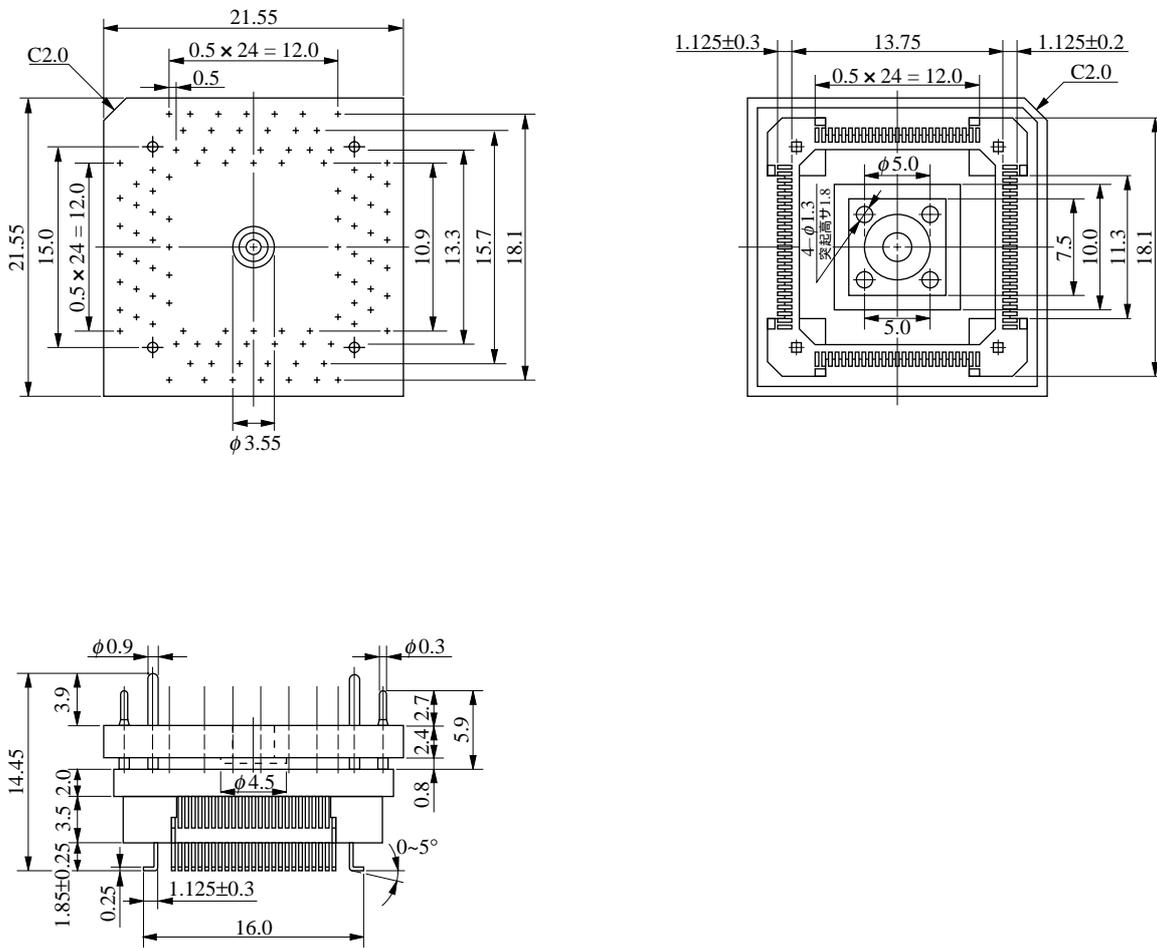
μS××××ID78K0S-NS

μS××××SM78K0S

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	

## A.7 変換アダプタ (TGC-100SDW) の外形図

図A - 2 TGC-100SDW 外形図 (参考) (単位 : mm)



TGC-100SDW-G1

注 : 東京エレクトック (株) 製

## 付録B レジスタ索引

### B.1 レジスタ索引 (50音順)

#### 〔あ行〕

アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) ... 131, 136  
アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) ... 129, 133, 134  
ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ... 118

#### 〔か行〕

外部割り込みモード・レジスタ0 (INTM0) ... 162  
外部割り込みモード・レジスタ1 (INTM1) ... 163  
キー・リターン・モード・レジスタ00 (KRM00) ... 164  
兼用ポート機能切り替えレジスタ (PF5) ... 149

#### 〔さ行〕

サブ発振モード・レジスタ (SCKM) ... 88  
サブクロック・コントロール・レジスタ (CSS) ... 89  
16ビット・コンペア・レジスタ40 (CR40) ... 98  
受信バッファ・レジスタ00 (RXB00) ... 127  
送信シフト・レジスタ00 (TXS00) ... 127

#### 〔た行〕

タイマ40コントロール・レジスタ (TMC40) ... 99  
タイマ・クロック選択レジスタ2 (TCL2) ... 117  
時計用タイマ・モード・コントロール・レジスタ (WTM) ... 112

#### 〔は行〕

8ビット・コンペア・レジスタ00 (CR00) ... 105  
8ビット・タイマ・カウンタ00 (TM00) ... 105  
8ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) ... 106  
発振安定時間選択レジスタ (OSTS) ... 173  
プルアップ抵抗オプション・レジスタ0 (PU0) ... 83  
プロセッサ・クロック・コントロール・レジスタ (PCC) ... 87  
ポート0 (P0) ... 72

ポート1 (P1) ...	73, 74
ポート2 (P2) ...	75
ポート3 (P3) ...	78
ポート4 (P4) ...	79
ポート5 (P5) ...	80
ポート・モード・レジスタ0 (PM0) ...	81
ポート・モード・レジスタ1 (PM1) ...	81
ポート・モード・レジスタ2 (PM2) ...	81, 123
ポート・モード・レジスタ3 (PM3) ...	81
ポート・モード・レジスタ4 (PM4) ...	81
ポート・モード・レジスタ5 (PM5) ...	81
ポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) ...	132, 137

## 【わ行】

割り込みマスク・フラグ・レジスタ0 (MK0) ...	161
割り込みマスク・フラグ・レジスタ1 (MK1) ...	161
割り込み要求フラグ・レジスタ0 (IF0) ...	160
割り込み要求フラグ・レジスタ1 (IF1) ...	160

## 【L】

LCD20クロック選択レジスタ (LCDC20) ...	150
LCD20モード・レジスタ (LCDM20) ...	148

## 【P】

PCL/BUZコントロール・レジスタ0 (PBS0) ...	122
--------------------------------	-----

## B.2 レジスタ索引（アルファベット順）

### 【A】

ASIM00 : アシクロナス・シリアル・インタフェース・モード・レジスタ00 ... 129, 133, 134  
ASIS00 : アシクロナス・シリアル・インタフェース・ステータス・レジスタ00 ... 131, 136

### 【B】

BRGC00 : ボー・レート・ジェネレータ・コントロール・レジスタ00 ... 132, 137

### 【C】

CR00 : 8ビット・コンペア・レジスタ00 ... 105  
CR40 : 16ビット・コンペア・レジスタ40 ... 98  
CSS : サブクロック・コントロール・レジスタ ... 89

### 【I】

IFO : 割り込み要求フラグ・レジスタ0 ... 160  
IF1 : 割り込み要求フラグ・レジスタ1 ... 160  
INTM0 : 外部割り込みモード・レジスタ0 ... 162  
INTM1 : 外部割り込みモード・レジスタ1 ... 163

### 【K】

KRM00 : キー・リターン・モード・レジスタ00 ... 164

### 【L】

LCDC20 : LCD20クロック選択レジスタ ... 150  
LCDM20 : LCD20モード・レジスタ ... 148

### 【M】

MK0 : 割り込みマスク・フラグ・レジスタ0 ... 161  
MK1 : 割り込みマスク・フラグ・レジスタ1 ... 161

### 【O】

OSTS : 発振安定時間選択レジスタ ... 173

### 【P】

P0	: ポート0 ...	72
P1	: ポート1 ...	73, 74
P2	: ポート2 ...	75
P3	: ポート3 ...	78
P4	: ポート4 ...	79
P5	: ポート5 ...	80
PBS0	: PCL/BUZコントロール・レジスタ0 ...	122
PCC	: プロセッサ・クロック・コントロール・レジスタ ...	87
PF5	: 兼用ポート機能切り替えレジスタ ...	149
PM0	: ポート・モード・レジスタ0 ...	81
PM1	: ポート・モード・レジスタ1 ...	81
PM2	: ポート・モード・レジスタ2 ...	81, 123
PM3	: ポート・モード・レジスタ3 ...	81
PM4	: ポート・モード・レジスタ4 ...	81
PM5	: ポート・モード・レジスタ5 ...	81
PU0	: プルアップ抵抗オプション・レジスタ0 ...	83

## 【R】

RXB00	: 受信バッファ・レジスタ00 ...	127
-------	---------------------	-----

## 【S】

SCKM	: サブ発振モード・レジスタ ...	88
------	--------------------	----

## 【T】

TCL2	: タイマ・クロック選択レジスタ2 ...	117
TM00	: 8ビット・タイマ・カウンタ 00 ...	105
TMC00	: 8ビット・タイマ・モード・コントロール・レジスタ00 ...	106
TMC40	: タイマ40コントロール・レジスタ ...	99
TXS00	: 送信バッファ・レジスタ00 ...	127

## 【W】

WDTM	: ウォッチドッグ・タイマ・モード・レジスタ ...	118
WTM	: 時計用タイマ・モード・コントロール・レジスタ ...	112

## 付録C 改版履歴

これまでの改版履歴を次に示します。なお，適用箇所は各版での章を示します。

版 数	前版からの改版内容	適用箇所
第2版	タイマの概要表を追加	第1章 概 説
	V <sub>PP</sub> 端子の処理説明を追加	第2章 端子機能
	各端子の入出力回路タイプと未使用端子の処理の表を修正	
	サブ発振モード・レジスタ (SCKM) の説明に注を追加	第5章 クロック発生回路
	16ビット・コンペア・レジスタ40 (CR40) の説明に注意を追加	第6章 16ビット・タイマ40
	インターバル・タイマの動作の説明に注意を追加	
	8ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) の説明を追加	第7章 8ビット・タイマ00
	ウォッチドッグ・タイマ・モード・レジスタ (WDTM) の注意を修正	第9章 ウォッチドッグ・タイマ
	μPD78F9831の内容を全面改訂	第16章 μPD78F9831
	電気的特性を追加	第18章 電気的特性
	外形図を追加	第19章 外形図
	半田付け推奨条件を追加	第20章 半田付け推奨条件
	開発ツールの内容を全面改訂	付録A 開発ツール
	改版履歴を追加	付録C 改版履歴
付録B 割り込み用ソフトウェアを削除	-	
第2版 (修正版)	オーダ情報に鉛フリー製品を追加	第1章 概 説
	半田付け推奨条件に鉛フリー製品を追加	第20章 半田付け推奨条件

## 【発 行】

### NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

---

## 【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

---

## 【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : [info@necel.com](mailto:info@necel.com)

---

## 【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。

---