

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## μPD789407A, 789417A サブシリーズ

### 8ビット・シングルチップ・マイクロコンピュータ

---

μPD789405A

μPD789415A

μPD789406A

μPD789416A

μPD789407A

μPD789417A

μPD78F9418A

〔メモ〕

## 目次要約

|      |                                        |     |     |
|------|----------------------------------------|-----|-----|
| 第1章  | 概 説                                    | ... | 24  |
| 第2章  | 端子機能                                   | ... | 34  |
| 第3章  | CPUアーキテクチャ                             | ... | 45  |
| 第4章  | ポート機能                                  | ... | 71  |
| 第5章  | クロック発生回路                               | ... | 90  |
| 第6章  | 16ビット・タイマ50                            | ... | 102 |
| 第7章  | 8ビット・タイマ/イベント・カウンタ00-02                | ... | 115 |
| 第8章  | 時計用タイマ                                 | ... | 130 |
| 第9章  | ウォッチドッグ・タイマ                            | ... | 135 |
| 第10章 | 8ビットA/Dコンバータ ( $\mu$ PD789407Aサブシリーズ)  | ... | 141 |
| 第11章 | 10ビットA/Dコンバータ ( $\mu$ PD789417Aサブシリーズ) | ... | 154 |
| 第12章 | コンパレータ                                 | ... | 167 |
| 第13章 | シリアル・インタフェース00                         | ... | 172 |
| 第14章 | LCDコントローラ/ドライバ                         | ... | 203 |
| 第15章 | 割り込み機能                                 | ... | 229 |
| 第16章 | スタンバイ機能                                | ... | 245 |
| 第17章 | リセット機能                                 | ... | 253 |
| 第18章 | $\mu$ PD78F9418A                       | ... | 257 |
| 第19章 | マスク・オプション                              | ... | 268 |
| 第20章 | 命令セットの概要                               | ... | 269 |
| 第21章 | 電気的特性                                  | ... | 280 |
| 第22章 | 特性曲線 (参考値)                             | ... | 296 |
| 第23章 | 外形図                                    | ... | 299 |
| 第24章 | 半田付け推奨条件                               | ... | 301 |
| 付録A  | 開発ツール                                  | ... | 304 |
| 付録B  | ターゲット・システム設計上の注意                       | ... | 314 |
| 付録C  | レジスタ索引                                 | ... | 318 |
| 付録D  | 改版履歴                                   | ... | 322 |

### 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

FIPは、NECエレクトロニクス株式会社の登録商標です。

EEPROMは、NECエレクトロニクス株式会社の商標です。

WindowsおよびWindowsNTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700、HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 :  $\mu$  PD78F9418A

ユーザ判定品 :  $\mu$  PD789405A, 789406A, 789407A

$\mu$  PD789415A, 789416A, 789417A

- 本資料に記載されている内容は2005年8月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

（注）

（１）本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

（２）本事項において使用されている「当社製品」とは、（１）において定義された当社の開発、製造製品をいう。

## 本版で改訂された主な箇所

| 箇 所                               | 内 容                                                                                |
|-----------------------------------|------------------------------------------------------------------------------------|
| U13952JJ2V0UD00 → U13952JJ3V0UD00 |                                                                                    |
| p.40, 42                          | 第2章 端子機能で、AV <sub>REF</sub> 端子、V <sub>PP</sub> 端子の端子処理を変更                          |
| p.93                              | 図5 - 3 サブ発振モード・レジスタのフォーマットに、フィードバック抵抗に関する注を追加                                      |
| p.113, 114                        | 6. 5 16ビット・タイマ50の注意事項を追加                                                           |
| p.152, 165                        | 10. 5 8ビットA/Dコンバータの注意事項, 11. 5 10ビットA/Dコンバータの注意事項に(8) ANI0-ANI6端子の入カインピーダンスについてを追加 |
| p.155                             | 11. 2 10ビットA/Dコンバータの構成で、(2) A/D変換結果レジスタ0 (ADCR0) の説明を修正                            |
| p.197                             | 13. 4. 2 アシンクロナス・シリアル・インタフェース (UART) モードに、UARTの受信データ読み出しの説明を追加                     |
| p.233                             | 図15 - 2 割り込み要求フラグ・レジスタのフォーマットに注意文を追加                                               |
| p.238                             | 図15 - 7 キー・リターン・モード・レジスタ00のフォーマットに注意文を追加                                           |
| p.257                             | 表18 - 1 $\mu$ PD78F9418AとマスクROM製品の違いで、プルアップ抵抗とLCD駆動用分割抵抗の記述を追加                     |
| p.258-267                         | フラッシュ・メモリ・プログラミングに関する内容を、18. 1 フラッシュ・メモリの特徴として全面改訂                                 |
| p.280-295                         | 第21章 電気的特性を追加                                                                      |
| p.296-298                         | 第22章 特性曲線 (参考値) を追加                                                                |
| p.299, 300                        | 第23章 外形図を追加                                                                        |
| p.301, 302                        | 第24章 半田付け推奨条件を追加                                                                   |
| p.304-313                         | 付録A 開発ツールの内容を全面改訂<br>組み込み用ソフトウェアを削除                                                |
| p.314-317                         | 付録B ターゲット・システム設計上の注意を追加                                                            |
| U13952JJ3V0UD00 → U13952JJ3V1UD00 |                                                                                    |
| p.25                              | 1.3 オーク情報を変更                                                                       |
| p.303                             | 表24 - 1 表面実装タイプの半田付け条件 (3/3) を追加                                                   |

本文欄外の★印は、本版で改訂された主な箇所を示しています。

# はじめに

**対 象 者** このマニュアルは $\mu$ PD789407A, 789417Aサブシリーズの機能を理解し,その応用システムや応用プログラムを設計,開発するユーザのエンジニアを対象としています。

対象製品は,次に示すサブシリーズの各製品です。

- ・ $\mu$ PD789407Aサブシリーズ:  $\mu$ PD789405A, 789406A, 789407A
- ・ $\mu$ PD789417Aサブシリーズ:  $\mu$ PD789415A, 789416A, 789417A, 78F9418A

**目 的** このマニュアルは,次の構成に示す機能をユーザに理解していただくことを目的としています。

**構 成**  $\mu$ PD789407A, 789417Aサブシリーズのマニュアルは,このマニュアルと命令編(78K/0Sシリーズ共通)の2冊に分かれています。

$\mu$ PD789407A, 789417Aサブシリーズ  
ユーザーズ・マニュアル

- 端子機能
- 内部ブロック機能
- 割り込み
- その他の内蔵周辺機能
- 電気的特性

78K/0Sシリーズ  
ユーザーズ・マニュアル  
命令編

- CPU機能
- 命令セット
- 命令の説明

**読 み 方** このマニュアルを読むにあたっては,電気,論理回路,マイクロコンピュータの一般知識を必要とします。

- 一通りの機能を理解しようとするとき  
→ 目次に従って読んでください。
- レジスタ・フォーマットの見方  
→ ビット番号を○で囲んでいるものは,そのビット名称がアセンブラでは予約語に,Cコンパイラではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。
- レジスタ名が分かっていてレジスタの詳細を確認するとき  
→ 付録C レジスタ索引を利用してください。
- 78K/0Sシリーズの命令機能の詳細を知りたいとき  
→ 別冊の78K/0Sシリーズ ユーザーズ・マニュアル 命令編(U11047J)を参照してください。
- $\mu$ PD789407A, 789417Aサブシリーズの電気的特性を知りたいとき  
→ 第21章 電気的特性を参照してください。

|     |             |                                                                                                                                                                |
|-----|-------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 凡 例 | データ表記の重み    | : 左が上位桁, 右が下位桁                                                                                                                                                 |
|     | アクティブ・ロウの表記 | : $\overline{\times \times \times}$ (端子, 信号名称に上線)                                                                                                              |
|     | 注           | : 本文中につけた注の説明                                                                                                                                                  |
|     | 注意          | : 気をつけて読んでいただきたい内容                                                                                                                                             |
|     | 備考          | : 本文の補足説明                                                                                                                                                      |
|     | 数の表記        | : 2進数... $\times \times \times \times$ または $\times \times \times \times B$<br>10進数... $\times \times \times \times$<br>16進数... $\times \times \times \times H$ |

**関連資料** 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

#### デバイスの関連資料

| 資 料 名                                      | 資料番号    |         |
|--------------------------------------------|---------|---------|
|                                            | 和 文     | 英 文     |
| $\mu$ PD789407A, 789417Aサブシリーズ ユーザーズ・マニュアル | このマニュアル | U13952E |
| 78K0Sシリーズ ユーザーズ・マニュアル 命令編                  | U11047J | U11047E |

#### 開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）

| 資 料 名                                |                         | 資料番号    |         |
|--------------------------------------|-------------------------|---------|---------|
|                                      |                         | 和 文     | 英 文     |
| RA78K0S アセンブラ・パッケージ                  | 操作編                     | U14876J | U14876E |
|                                      | 言語編                     | U14877J | U14877E |
|                                      | 構造化アセンブリ言語編             | U11623J | U11623E |
| CC78K0S Cコンパイラ                       | 操作編                     | U14871J | U14871E |
|                                      | 言語編                     | U14872J | U14872E |
| SM78Kシリーズ システム・シミュレータ Ver.2.30以上     | 操作編 (Windows®ベース)       | U15373J | U15373E |
|                                      | 外部部品ユーザ・オープン・インタフェース仕様編 | U15802J | U15802E |
| ID78Kシリーズ 統合ディバッガ Ver.2.30以上         | 操作編 (Windowsベース)        | U15185J | U15185E |
| プロジェクト・マネージャ Ver.3.12以上 (Windowsベース) |                         | U14610J | U14610E |

#### 開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

| 資 料 名                         | 資料番号    |         |
|-------------------------------|---------|---------|
|                               | 和 文     | 英 文     |
| IE-78K0S-NS インサーキット・エミュレータ    | U13549J | U13549E |
| IE-78K0S-NS-A インサーキット・エミュレータ  | U15207J | U15207E |
| IE-789418-NS-EM1 エミュレーション・ボード | U14364J | U14364E |

**注意** 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

## フラッシュ・メモリ書き込み用の資料

| 資 料 名                              | 資料番号    |         |
|------------------------------------|---------|---------|
|                                    | 和 文     | 英 文     |
| PG-FP3 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル | U13502J | U13502E |
| PG-FP4 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル | U15260J | U15260E |

## その他の資料

| 資 料 名                                                   | 資料番号    |         |
|---------------------------------------------------------|---------|---------|
|                                                         | 和 文     | 英 文     |
| SEMICONDUCTOR SELECTION GUIDE - Products and Packages - | X13769X |         |
| 半導体デバイス 実装マニュアル                                         | 注       |         |
| NEC半導体デバイスの品質水準                                         | C11531J | C11531E |
| NEC半導体デバイスの信頼性品質管理                                      | C10983J | C10983E |
| 静電気放電（ESD）破壊対策ガイド                                       | C11892J | C11892E |
| 半導体 品質 / 信頼性ハンドブック                                      | C12769J | -       |
| マイクロコンピュータ関連製品ガイド 社外メーカ編                                | U11416J | -       |

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

# 目 次

## 第1章 概 説 ... 24

- 1.1 特 徴 ... 24
- 1.2 応用分野 ... 24
- 1.3 オーダ情報 ... 25
- 1.4 端子接続図 (Top View) ... 26
- 1.5 78K/0Sシリーズの展開 ... 28
- 1.6 ブロック図 ... 31
- 1.7 機能概要 ... 32

## 第2章 端子機能 ... 34

- 2.1 端子機能一覧 ... 34
- 2.2 端子機能の説明 ... 37
  - 2.2.1 P00-P03 (Port0) ... 37
  - 2.2.2 P20-P27 (Port2) ... 37
  - 2.2.3 P40-P47 (Port4) ... 38
  - 2.2.4 P50-P53 (Port5) ... 38
  - 2.2.5 P60-P66 (Port6) ... 38
  - 2.2.6 P80-P87 (Port8) ... 39
  - 2.2.7 P90-P93 (Port9) ... 39
  - 2.2.8 S0-S15 ... 39
  - 2.2.9 COM0-COM3 ... 39
  - 2.2.10 VLC0-VLC2 ... 39
  - 2.2.11 BIAS ... 39
  - 2.2.12 AVREF ... 40
  - 2.2.13 AVDD ... 40
  - 2.2.14 AVSS ... 40
  - 2.2.15 RESET ... 40
  - 2.2.16 X1, X2 ... 40
  - 2.2.17 XT1, XT2 ... 40
  - 2.2.18 VDD0, VDD1 ... 40
  - 2.2.19 VSS0, VSS1 ... 40
  - 2.2.20 VPP ( $\mu$ PD78F9418Aのみ) ... 40
  - 2.2.21 IC (マスクROM製品のみ) ... 41
- 2.3 端子の入出力回路と未使用端子の処理 ... 42

## 第3章 CPUアーキテクチャ ... 45

- 3.1 メモリ空間 ... 45
  - 3.1.1 内部プログラム・メモリ空間 ... 49
  - 3.1.2 内部データ・メモリ空間 ... 50
  - 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 50
  - 3.1.4 データ・メモリ・アドレッシング ... 51

|       |                        |     |    |
|-------|------------------------|-----|----|
| 3.2   | プロセッサ・レジスタ             | ... | 55 |
| 3.2.1 | 制御レジスタ                 | ... | 55 |
| 3.2.2 | 汎用レジスタ                 | ... | 58 |
| 3.2.3 | 特殊機能レジスタ (SFR)         | ... | 59 |
| 3.3   | 命令アドレスのアドレッシング         | ... | 62 |
| 3.3.1 | レラティブ・アドレッシング          | ... | 62 |
| 3.3.2 | イミディエイト・アドレッシング        | ... | 63 |
| 3.3.3 | テーブル・インダイレクト・アドレッシング   | ... | 64 |
| 3.3.4 | レジスタ・アドレッシング           | ... | 64 |
| 3.4   | オペランド・アドレスのアドレッシング     | ... | 65 |
| 3.4.1 | ダイレクト・アドレッシング          | ... | 65 |
| 3.4.2 | ショート・ダイレクト・アドレッシング     | ... | 66 |
| 3.4.3 | 特殊機能レジスタ (SFR) アドレッシング | ... | 67 |
| 3.4.4 | レジスタ・アドレッシング           | ... | 68 |
| 3.4.5 | レジスタ・インダイレクト・アドレッシング   | ... | 69 |
| 3.4.6 | ベースト・アドレッシング           | ... | 70 |
| 3.4.7 | スタック・アドレッシング           | ... | 70 |

## 第4章 ポート機能 ... 71

|       |                |     |    |
|-------|----------------|-----|----|
| 4.1   | ポートの機能         | ... | 71 |
| 4.2   | ポートの構成         | ... | 73 |
| 4.2.1 | ポート0           | ... | 73 |
| 4.2.2 | ポート2           | ... | 74 |
| 4.2.3 | ポート4           | ... | 79 |
| 4.2.4 | ポート5           | ... | 81 |
| 4.2.5 | ポート6           | ... | 82 |
| 4.2.6 | ポート8           | ... | 84 |
| 4.2.7 | ポート9           | ... | 85 |
| 4.3   | ポート機能を制御するレジスタ | ... | 86 |
| 4.4   | ポート機能の動作       | ... | 89 |
| 4.4.1 | 入出力ポートへの書き込み   | ... | 89 |
| 4.4.2 | 入出力ポートからの読み出し  | ... | 89 |
| 4.4.3 | 入出力ポートでの演算     | ... | 89 |

## 第5章 クロック発生回路 ... 90

|       |                              |     |     |
|-------|------------------------------|-----|-----|
| 5.1   | クロック発生回路の機能                  | ... | 90  |
| 5.2   | クロック発生回路の構成                  | ... | 90  |
| 5.3   | クロック発生回路を制御するレジスタ            | ... | 92  |
| 5.4   | システム・クロック発振回路                | ... | 95  |
| 5.4.1 | メイン・システム・クロック発振回路            | ... | 95  |
| 5.4.2 | サブシステム・クロック発振回路              | ... | 96  |
| 5.4.3 | 発振子の接続の悪い例                   | ... | 97  |
| 5.4.4 | 分周回路                         | ... | 98  |
| 5.4.5 | サブシステム・クロックを使用しない場合          | ... | 98  |
| 5.5   | クロック発生回路の動作                  | ... | 99  |
| 5.6   | システム・クロックとCPUクロックの設定の変更      | ... | 100 |
| 5.6.1 | システム・クロックとCPUクロックの切り替えに要する時間 | ... | 100 |

|                                |     |
|--------------------------------|-----|
| 5.6.2 システム・クロックとCPUクロックの切り替え手順 | 101 |
|--------------------------------|-----|

## 第6章 16ビット・タイマ50 ... 102

|                                     |     |
|-------------------------------------|-----|
| 6.1 16ビット・タイマ50の機能                  | 102 |
| 6.2 16ビット・タイマ50の構成                  | 103 |
| 6.3 16ビット・タイマ50を制御するレジスタ            | 105 |
| 6.4 16ビット・タイマ50の動作                  | 108 |
| 6.4.1 タイマ割り込みとしての動作                 | 108 |
| 6.4.2 タイマ出力としての動作                   | 110 |
| 6.4.3 キャプチャ動作                       | 111 |
| 6.4.4 16ビット・タイマ・カウンタ50の読み出し         | 112 |
| ★ 6.5 16ビット・タイマ50の注意事項              | 113 |
| 6.5.1 16ビット・コンペア・レジスタ50を書き換える際の制限事項 | 113 |

## 第7章 8ビット・タイマ/イベント・カウンタ00-02 ... 115

|                                        |     |
|----------------------------------------|-----|
| 7.1 8ビット・タイマ/イベント・カウンタ00-02の機能         | 115 |
| 7.2 8ビット・タイマ/イベント・カウンタ00-02の構成         | 116 |
| 7.3 8ビット・タイマ/イベント・カウンタ00-02を制御するレジスタ   | 119 |
| 7.4 8ビット・タイマ/イベント・カウンタ00-02の動作         | 123 |
| 7.4.1 インターバル・タイマとしての動作                 | 123 |
| 7.4.2 外部イベント・カウンタとしての動作（タイマ00，タイマ01のみ） | 126 |
| 7.4.3 方形波出力としての動作（タイマ02のみ）             | 127 |
| 7.5 8ビット・タイマ/イベント・カウンタ00-02の注意事項       | 129 |

## 第8章 時計用タイマ ... 130

|                        |     |
|------------------------|-----|
| 8.1 時計用タイマの機能          | 130 |
| 8.2 時計用タイマの構成          | 131 |
| 8.3 時計用タイマを制御するレジスタ    | 132 |
| 8.4 時計用タイマの動作          | 133 |
| 8.4.1 時計用タイマとしての動作     | 133 |
| 8.4.2 インターバル・タイマとしての動作 | 133 |

## 第9章 ウォッチドッグ・タイマ ... 135

|                          |     |
|--------------------------|-----|
| 9.1 ウォッチドッグ・タイマの機能       | 135 |
| 9.2 ウォッチドッグ・タイマの構成       | 136 |
| 9.3 ウォッチドッグ・タイマを制御するレジスタ | 137 |
| 9.4 ウォッチドッグ・タイマの動作       | 139 |
| 9.4.1 ウォッチドッグ・タイマとしての動作  | 139 |
| 9.4.2 インターバル・タイマとしての動作   | 140 |

## 第10章 8ビットA/Dコンバータ（ $\mu$ PD789407Aサブシリーズ） ... 141

|                            |     |
|----------------------------|-----|
| 10.1 8ビットA/Dコンバータの機能       | 141 |
| 10.2 8ビットA/Dコンバータの構成       | 141 |
| 10.3 8ビットA/Dコンバータを制御するレジスタ | 144 |

|             |                                               |     |     |
|-------------|-----------------------------------------------|-----|-----|
| 10.4        | 8ビットA/Dコンバータの動作                               | ... | 146 |
| 10.4.1      | 8ビットA/Dコンバータの基本動作                             | ... | 146 |
| 10.4.2      | 入力電圧と変換結果                                     | ... | 147 |
| 10.4.3      | 8ビットA/Dコンバータの動作モード                            | ... | 149 |
| 10.5        | 8ビットA/Dコンバータの注意事項                             | ... | 150 |
| <b>第11章</b> | <b>10ビットA/Dコンバータ (μPD789417Aサブシリーズ)</b>       | ... | 154 |
| 11.1        | 10ビットA/Dコンバータの機能                              | ... | 154 |
| 11.2        | 10ビットA/Dコンバータの構成                              | ... | 154 |
| 11.3        | 10ビットA/Dコンバータを制御するレジスタ                        | ... | 157 |
| 11.4        | 10ビットA/Dコンバータの動作                              | ... | 159 |
| 11.4.1      | 10ビットA/Dコンバータの基本動作                            | ... | 159 |
| 11.4.2      | 入力電圧と変換結果                                     | ... | 161 |
| 11.4.3      | 10ビットA/Dコンバータの動作モード                           | ... | 162 |
| 11.5        | 10ビットA/Dコンバータの注意事項                            | ... | 163 |
| <b>第12章</b> | <b>コンパレータ</b>                                 | ... | 167 |
| 12.1        | コンパレータの機能                                     | ... | 167 |
| 12.2        | コンパレータの構成                                     | ... | 168 |
| 12.3        | コンパレータを制御するレジスタ                               | ... | 169 |
| 12.4        | コンパレータの動作                                     | ... | 170 |
| <b>第13章</b> | <b>シリアル・インタフェース00</b>                         | ... | 172 |
| 13.1        | シリアル・インタフェース00の機能                             | ... | 172 |
| 13.2        | シリアル・インタフェース00の構成                             | ... | 173 |
| 13.3        | シリアル・インタフェース00を制御するレジスタ                       | ... | 177 |
| 13.4        | シリアル・インタフェース00の動作                             | ... | 184 |
| 13.4.1      | 動作停止モード                                       | ... | 184 |
| 13.4.2      | アシンクロナス・シリアル・インタフェース (UART) モード               | ... | 186 |
| 13.4.3      | 3線式シリアルI/Oモード                                 | ... | 199 |
| <b>第14章</b> | <b>LCDコントローラ/ドライバ</b>                         | ... | 203 |
| 14.1        | LCDコントローラ/ドライバの機能                             | ... | 203 |
| 14.2        | LCDコントローラ/ドライバの構成                             | ... | 204 |
| 14.3        | LCDコントローラ/ドライバを制御するレジスタ                       | ... | 206 |
| 14.4        | LCDコントローラ/ドライバの設定                             | ... | 209 |
| 14.5        | LCD表示データ・メモリ                                  | ... | 209 |
| 14.6        | コモン信号とセグメント信号                                 | ... | 210 |
| 14.7        | LCD駆動電圧 $V_{LC0}$ , $V_{LC1}$ , $V_{LC2}$ の供給 | ... | 214 |
| 14.8        | 表示モード                                         | ... | 216 |
| 14.8.1      | スタティック表示例                                     | ... | 216 |
| 14.8.2      | 2時分割表示例                                       | ... | 219 |
| 14.8.3      | 3時分割表示例                                       | ... | 222 |
| 14.8.4      | 4時分割表示例                                       | ... | 226 |

## 第15章 割り込み機能 ... 229

- 15.1 割り込み機能の種類 ... 229
- 15.2 割り込み要因と構成 ... 229
- 15.3 割り込み機能を制御するレジスタ ... 232
- 15.4 割り込み処理動作 ... 239
  - 15.4.1 ノンマスカブル割り込みの受け付け動作 ... 239
  - 15.4.2 マスカブル割り込みの受け付け動作 ... 241
  - 15.4.3 多重割り込み処理 ... 243
  - 15.4.4 割り込み要求の保留 ... 244

## 第16章 スタンバイ機能 ... 245

- 16.1 スタンバイ機能と構成 ... 245
  - 16.1.1 スタンバイ機能 ... 245
  - 16.1.2 スタンバイ機能を制御するレジスタ ... 246
- 16.2 スタンバイ機能の動作 ... 247
  - 16.2.1 HALTモード ... 247
  - 16.2.2 STOPモード ... 250

## 第17章 リセット機能 ... 253

## 第18章 $\mu$ PD78F9418A ... 257

- 18.1 フラッシュ・メモリの特徴 ... 258
  - 18.1.1 プログラミング環境 ... 258
  - 18.1.2 通信方式 ... 259
  - 18.1.3 オンボード上の端子処理 ... 262
  - 18.1.4 フラッシュ書き込み用アダプタ上の接続 ... 265

## 第19章 マスク・オプション ... 268

- 19.1 端子のマスク・オプション ... 268
- 19.2 LCD駆動用分割抵抗のマスク・オプション ... 268

## 第20章 命令セットの概要 ... 269

- 20.1 オペレーション ... 269
  - 20.1.1 オペランドの表現形式と記述方法 ... 269
  - 20.1.2 オペレーション欄の説明 ... 270
  - 20.1.3 フラグ動作欄の説明 ... 270
- 20.2 オペレーション一覧 ... 271
- 20.3 アドレッシング別命令一覧 ... 277

## ★ 第21章 電気的特性 ... 280

|   |       |                                       |     |     |
|---|-------|---------------------------------------|-----|-----|
| ★ | 第22章  | 特性曲線（参考値）                             | ... | 296 |
|   | 22.1  | マスクROM製品の特性曲線                         | ... | 296 |
|   | 22.2  | μPD78F9418Aの特性曲線                      | ... | 298 |
| ★ | 第23章  | 外形図                                   | ... | 299 |
| ★ | 第24章  | 半田付け推奨条件                              | ... | 301 |
|   | 付録A   | 開発ツール                                 | ... | 304 |
| ★ | A.1   | ソフトウェア・パッケージ                          | ... | 306 |
|   | A.2   | 言語処理用ソフトウェア                           | ... | 306 |
| ★ | A.3   | 制御ソフトウェア                              | ... | 307 |
|   | A.4   | フラッシュ・メモリ書き込み用ツール                     | ... | 307 |
|   | A.5   | ディバグ用ツール（ハードウェア）                      | ... | 308 |
|   | A.6   | ディバグ用ツール（ソフトウェア）                      | ... | 309 |
|   | A.7   | 変換ソケット，変換アダプタの外形図                     | ... | 310 |
|   | A.7.1 | 変換ソケット（EV-9200GC-80）の外形図と基板取り付け推奨パターン | ... | 310 |
|   | A.7.2 | 変換アダプタ（TGK-080SDW）の外形図                | ... | 312 |
|   | A.7.3 | 変換アダプタ（TGC-080SBP）の外形図                | ... | 313 |
| ★ | 付録B   | ターゲット・システム設計上の注意                      | ... | 314 |
|   | 付録C   | レジスタ索引                                | ... | 318 |
|   | C.1   | レジスタ索引（50音順）                          | ... | 318 |
|   | C.2   | レジスタ索引（アルファベット順）                      | ... | 320 |
|   | 付録D   | 改版履歴                                  | ... | 322 |

## 図の目次 (1/5)

| 図番号    | タイトル, ページ                                          |
|--------|----------------------------------------------------|
| 2 - 1  | 端子の入出力回路一覧 ... 43                                  |
| 3 - 1  | メモリ・マップ ( $\mu$ PD789405A, 789415A) ... 45         |
| 3 - 2  | メモリ・マップ ( $\mu$ PD789406A, 789416A) ... 46         |
| 3 - 3  | メモリ・マップ ( $\mu$ PD789407A, 789417A) ... 47         |
| 3 - 4  | メモリ・マップ ( $\mu$ PD78F9418A) ... 48                 |
| 3 - 5  | データ・メモリのアドレッシング ( $\mu$ PD789405A, 789415A) ... 51 |
| 3 - 6  | データ・メモリのアドレッシング ( $\mu$ PD789406A, 789416A) ... 52 |
| 3 - 7  | データ・メモリのアドレッシング ( $\mu$ PD789407A, 789417A) ... 53 |
| 3 - 8  | データ・メモリのアドレッシング ( $\mu$ PD78F9418A) ... 54         |
| 3 - 9  | プログラム・カウンタの構成 ... 55                               |
| 3 - 10 | プログラム・ステータス・ワードの構成 ... 55                          |
| 3 - 11 | スタック・ポインタの構成 ... 57                                |
| 3 - 12 | スタック・メモリへ退避されるデータ ... 57                           |
| 3 - 13 | スタック・メモリから復帰されるデータ ... 57                          |
| 3 - 14 | 汎用レジスタの構成 ... 58                                   |
| 4 - 1  | ポートの種類 ... 71                                      |
| 4 - 2  | P00-P03のブロック図 ... 73                               |
| 4 - 3  | P20のブロック図 ... 74                                   |
| 4 - 4  | P21のブロック図 ... 75                                   |
| 4 - 5  | P22, P24のブロック図 ... 76                              |
| 4 - 6  | P23のブロック図 ... 77                                   |
| 4 - 7  | P25-P27のブロック図 ... 78                               |
| 4 - 8  | P40-P45のブロック図 ... 79                               |
| 4 - 9  | P46, P47のブロック図 ... 80                              |
| 4 - 10 | P50-P53のブロック図 ... 81                               |
| 4 - 11 | P60, P61のブロック図 ... 82                              |
| 4 - 12 | P62-P66のブロック図 ... 83                               |
| 4 - 13 | P80-P87のブロック図 ... 84                               |
| 4 - 14 | P90-P93のブロック図 ... 85                               |
| 4 - 15 | ポート・モード・レジスタのフォーマット ... 87                         |
| 4 - 16 | ブルアップ抵抗オプション・レジスタ0のフォーマット ... 88                   |
| 4 - 17 | ブルアップ抵抗オプション・レジスタ1のフォーマット ... 88                   |
| 4 - 18 | ブルアップ抵抗オプション・レジスタ2のフォーマット ... 88                   |
| 5 - 1  | クロック発生回路のブロック図 ... 91                              |
| 5 - 2  | プロセッサ・クロック・コントロール・レジスタのフォーマット ... 92               |
| 5 - 3  | サブ発振モード・レジスタのフォーマット ... 93                         |

## 図の目次 (2/5)

| 図番号    | タイトル, ページ                                              |
|--------|--------------------------------------------------------|
| 5 - 4  | サブクロック・コントロール・レジスタのフォーマット ... 94                       |
| 5 - 5  | メイン・システム・クロック発振回路の外付け回路 ... 95                         |
| 5 - 6  | サブシステム・クロック発振回路の外付け回路 ... 96                           |
| 5 - 7  | 発振子の接続の悪い例 ... 97                                      |
| 5 - 8  | システム・クロックとCPUクロックの切り替え ... 101                         |
| 6 - 1  | 16ビット・タイマ50のブロック図 ... 103                              |
| 6 - 2  | 16ビット・タイマ・モード・コントロール・レジスタ50のフォーマット ... 106             |
| 6 - 3  | ポート・モード・レジスタ2のフォーマット ... 107                           |
| 6 - 4  | タイマ割り込み動作時の16ビット・タイマ・モード・コントロール・レジスタ50の設定内容<br>... 108 |
| 6 - 5  | タイマ割り込み動作のタイミング ... 109                                |
| 6 - 6  | タイマ出力動作時の16ビット・タイマ・モード・コントロール・レジスタ50の設定内容 ... 110      |
| 6 - 7  | タイマ出力のタイミング ... 110                                    |
| 6 - 8  | キャプチャ動作時の16ビット・タイマ・モード・コントロール・レジスタ50の設定内容 ... 111      |
| 6 - 9  | キャプチャ動作のタイミング (CPT5端子の両エッジ指定時) ... 111                 |
| 6 - 10 | 16ビット・タイマ・カウンタ50の読み出しのタイミング ... 112                    |
| 7 - 1  | 8ビット・タイマ/イベント・カウンタ00のブロック図 ... 117                     |
| 7 - 2  | 8ビット・タイマ/イベント・カウンタ01のブロック図 ... 117                     |
| 7 - 3  | 8ビット・タイマ02のブロック図 ... 118                               |
| 7 - 4  | 8ビット・タイマ・モード・コントロール・レジスタ00のフォーマット ... 119              |
| 7 - 5  | 8ビット・タイマ・モード・コントロール・レジスタ01のフォーマット ... 120              |
| 7 - 6  | 8ビット・タイマ・モード・コントロール・レジスタ02のフォーマット ... 121              |
| 7 - 7  | ポート・モード・レジスタ2のフォーマット ... 122                           |
| 7 - 8  | タイマ00, タイマ01のインターバル・タイマ動作のタイミング ... 124                |
| 7 - 9  | タイマ02のインターバル・タイマ動作のタイミング ... 125                       |
| 7 - 10 | 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) ... 126              |
| 7 - 11 | 方形波出力のタイミング ... 128                                    |
| 7 - 12 | 8ビット・タイマ・カウンタ00, 01, 02のスタート・タイミング ... 129             |
| 7 - 13 | 外部イベント・カウンタとしての動作時のタイミング ... 129                       |
| 8 - 1  | 時計用タイマのブロック図 ... 130                                   |
| 8 - 2  | 時計用タイマ・モード・コントロール・レジスタのフォーマット ... 132                  |
| 8 - 3  | 時計用タイマ/インターバル・タイマの動作タイミング ... 134                      |
| 9 - 1  | ウォッチドッグ・タイマのブロック図 ... 136                              |
| 9 - 2  | タイマ・クロック選択レジスタ2のフォーマット ... 137                         |
| 9 - 3  | ウォッチドッグ・タイマ・モード・レジスタのフォーマット ... 138                    |

## 図の目次 (3/5)

| 図番号     | タイトル, ページ                                        |
|---------|--------------------------------------------------|
| 10 - 1  | 8ビットA/Dコンバータのブロック図 ... 142                       |
| 10 - 2  | A/Dコンバータ・モード・レジスタ0のフォーマット ... 144                |
| 10 - 3  | A/D入力選択レジスタ0のフォーマット ... 145                      |
| 10 - 4  | 8ビットA/Dコンバータの基本動作 ... 147                        |
| 10 - 5  | アナログ入力電圧とA/D変換結果の関係 ... 148                      |
| 10 - 6  | ソフトウェア・スタートによるA/D変換動作 ... 149                    |
| 10 - 7  | スタンバイ・モード時の消費電流を低減させる方法例 ... 150                 |
| 10 - 8  | 変換結果を読み出すタイミング (変換結果が不定値の場合) ... 151             |
| 10 - 9  | 変換結果を読み出すタイミング (変換結果が正常値の場合) ... 151             |
| 10 - 10 | アナログ入力端子の処理 ... 151                              |
| 10 - 11 | A/D変換終了割り込み要求発生タイミング ... 153                     |
| 10 - 12 | AV <sub>DD</sub> 端子の処理 ... 153                   |
| 11 - 1  | 10ビットA/Dコンバータのブロック図 ... 155                      |
| 11 - 2  | A/Dコンバータ・モード・レジスタ0のフォーマット ... 157                |
| 11 - 3  | A/D入力選択レジスタ0のフォーマット ... 158                      |
| 11 - 4  | 10ビットA/Dコンバータの基本動作 ... 160                       |
| 11 - 5  | アナログ入力電圧とA/D変換結果の関係 ... 161                      |
| 11 - 6  | ソフトウェア・スタートによるA/D変換動作 ... 162                    |
| 11 - 7  | スタンバイ・モード時の消費電流を低減させる方法例 ... 163                 |
| 11 - 8  | 変換結果を読み出すタイミング (変換結果が不定値の場合) ... 164             |
| 11 - 9  | 変換結果を読み出すタイミング (変換結果が正常値の場合) ... 164             |
| 11 - 10 | アナログ入力端子の処理 ... 164                              |
| 11 - 11 | A/D変換終了割り込み要求発生タイミング ... 166                     |
| 11 - 12 | AV <sub>DD</sub> 端子の処理 ... 166                   |
| 12 - 1  | コンパレータのブロック図 ... 168                             |
| 12 - 2  | コンパレータ・モード・レジスタ0のフォーマット ... 169                  |
| 12 - 3  | コンパレータ動作時のコンパレータ・モード・レジスタ0の設定内容 ... 170          |
| 12 - 4  | INTCMP0発生時の外部割り込みモード・レジスタ1の設定内容 ... 170          |
| 12 - 5  | コンパレータの動作のタイミング ... 171                          |
| 13 - 1  | シリアル・インタフェース00のブロック図 ... 174                     |
| 13 - 2  | ボー・レート・ジェネレータのブロック図 ... 175                      |
| 13 - 3  | シリアル動作モード・レジスタ00のフォーマット ... 177                  |
| 13 - 4  | アシンクロナス・シリアル・インタフェース・モード・レジスタ00のフォーマット ... 178   |
| 13 - 5  | アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00のフォーマット ... 180 |
| 13 - 6  | ボー・レート・ジェネレータ・コントロール・レジスタ00のフォーマット ... 181       |
| 13 - 7  | アシンクロナス・シリアル・インタフェースの送受信データのフォーマット ... 192       |

## 図の目次 (4/5)

| 図番号     | タイトル, ページ                                 |
|---------|-------------------------------------------|
| 13 - 8  | アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング ... 194 |
| 13 - 9  | アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング ... 195 |
| 13 - 10 | 受信エラー・タイミング ... 196                       |
| 13 - 11 | 3線式シリアルI/Oモードのタイミング ... 202               |
| 14 - 1  | LCDコントローラ/ドライバのブロック図 ... 205              |
| 14 - 2  | LCD表示モード・レジスタ0のフォーマット ... 206             |
| 14 - 3  | LCDポート・セクタ0のフォーマット ... 207                |
| 14 - 4  | LCDクロック制御レジスタ0のフォーマット ... 208             |
| 14 - 5  | LCD表示データ・メモリの内容とセグメント出力/コモン出力の関係 ... 209  |
| 14 - 6  | コモン信号波形 ... 212                           |
| 14 - 7  | コモン信号とセグメント信号の電圧と位相 ... 213               |
| 14 - 8  | LCD駆動用電源の接続例(分割抵抗内蔵時) ... 215             |
| 14 - 9  | スタティックLCDの表示パターンと電極結線 ... 216             |
| 14 - 10 | スタティックLCDパネルの結線例 ... 217                  |
| 14 - 11 | スタティックLCD駆動波形例 ... 218                    |
| 14 - 12 | 2時分割LCD表示パターンと電極結線 ... 219                |
| 14 - 13 | 2時分割LCDパネルの結線例 ... 220                    |
| 14 - 14 | 2時分割LCD駆動波形例(1/2バイアス法) ... 221            |
| 14 - 15 | 3時分割LCD表示パターンと電極結線 ... 222                |
| 14 - 16 | 3時分割LCDパネルの結線例 ... 223                    |
| 14 - 17 | 3時分割LCD駆動波形例(1/2バイアス法) ... 224            |
| 14 - 18 | 3時分割LCD駆動波形例(1/3バイアス法) ... 225            |
| 14 - 19 | 4時分割LCD表示パターンと電極結線 ... 226                |
| 14 - 20 | 4時分割LCDパネルの結線例 ... 227                    |
| 14 - 21 | 4時分割LCD駆動波形例(1/3バイアス法) ... 228            |
| 15 - 1  | 割り込み機能の基本構成 ... 231                       |
| 15 - 2  | 割り込み要求フラグ・レジスタのフォーマット ... 233             |
| 15 - 3  | 割り込みマスク・フラグ・レジスタのフォーマット ... 234           |
| 15 - 4  | 外部割り込みモード・レジスタ0のフォーマット ... 235            |
| 15 - 5  | 外部割り込みモード・レジスタ1のフォーマット ... 236            |
| 15 - 6  | プログラム・ステータス・ワードの構成 ... 237                |
| 15 - 7  | キー・リターン・モード・レジスタ00のフォーマット ... 238         |
| 15 - 8  | 立ち上がりエッジの検出回路のブロック図 ... 238               |
| 15 - 9  | ノンマスクابل割り込み要求の受け付けフロー・チャート ... 240       |
| 15 - 10 | ノンマスクابل割り込み要求の受け付けタイミング ... 240          |
| 15 - 11 | ノンマスクابل割り込み要求の受け付け動作 ... 240             |
| 15 - 12 | 割り込み受け付け処理アルゴリズム ... 241                  |

## 図の目次 (5/5)

| 図番号     | タイトル, ページ                                                |
|---------|----------------------------------------------------------|
| 15 - 13 | 割り込み要求の受け付けタイミング (MOV A, rの例) ... 242                    |
| 15 - 14 | 割り込み要求の受け付けタイミング (命令実行中の最終クロックで割り込み要求フラグが発生したとき) ... 242 |
| 15 - 15 | 多重割り込みの例 ... 243                                         |
| 16 - 1  | 発振安定時間選択レジスタのフォーマット ... 246                              |
| 16 - 2  | HALTモードの割り込み発生による解除 ... 248                              |
| 16 - 3  | HALTモードのRESET入力による解除 ... 249                             |
| 16 - 4  | STOPモードの割り込み発生による解除 ... 251                              |
| 16 - 5  | STOPモードのRESET入力による解除 ... 252                             |
| 17 - 1  | リセット機能のブロック図 ... 253                                     |
| 17 - 2  | RESET入力によるリセット・タイミング ... 254                             |
| 17 - 3  | ウォッチドッグ・タイマのオーバフローによるリセット・タイミング ... 254                  |
| 17 - 4  | STOPモード中のRESET入力によるリセット・タイミング ... 254                    |
| 18 - 1  | フラッシュ・メモリにプログラムを書き込むための環境 ... 258                        |
| 18 - 2  | 通信方式選択フォーマット ... 259                                     |
| 18 - 3  | 専用フラッシュ・ライタとの接続例 ... 260                                 |
| 18 - 4  | V <sub>PP</sub> 端子の接続例 ... 262                           |
| 18 - 5  | 信号の衝突 (シリアル・インタフェースの入力端子) ... 263                        |
| 18 - 6  | ほかのデバイスの異常動作 ... 263                                     |
| 18 - 7  | 信号の衝突 (RESET端子) ... 264                                  |
| 18 - 8  | 3線式シリアルI/O方式でのフラッシュ書き込み用アダプタ配線例 ... 265                  |
| 18 - 9  | UART方式でのフラッシュ書き込み用アダプタ配線例 ... 266                        |
| 18 - 10 | 疑似3線式方式でのフラッシュ書き込み用アダプタ配線例 (P0を使用する場合) ... 267           |
| A - 1   | 開発ツール構成 ... 305                                          |
| A - 2   | EV-9200GC-80 外形図 (参考) (単位: mm) ... 310                   |
| A - 3   | EV-9200GC-80 基板取り付け推奨パターン (参考) (単位: mm) ... 311          |
| A - 4   | TGK-080SDW 外形図 (参考) (単位: mm) ... 312                     |
| A - 5   | TGC-080SBP 外形図 (参考) (単位: mm) ... 313                     |
| B - 1   | インサーキット・エミュレータから変換ソケットまでの距離 (80GCの場合) ... 314            |
| B - 2   | ターゲット・システムの接続条件 (NP-80GC-TQの場合) ... 315                  |
| B - 3   | インサーキット・エミュレータから変換アダプタまでの距離 (80GKの場合) ... 316            |
| B - 4   | ターゲット・システムの接続条件 (NP-80GKの場合) ... 317                     |

## 表の目次 (1/3)

| 表番号    | タイトル, ページ                             |
|--------|---------------------------------------|
| 2 - 1  | 各端子の入出力回路タイプ ... 42                   |
| 3 - 1  | 内部ROM容量 ... 49                        |
| 3 - 2  | ベクタ・テーブル ... 49                       |
| 3 - 3  | 特殊機能レジスタ一覧 ... 60                     |
| 4 - 1  | ポートの機能 ... 72                         |
| 4 - 2  | ポートの構成 ... 73                         |
| 4 - 3  | 兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定 ... 86 |
| 5 - 1  | クロック発生回路の構成 ... 90                    |
| 5 - 2  | CPUクロックの切り替えに要する最大時間 ... 100          |
| 6 - 1  | 16ビット・タイマ50の構成 ... 103                |
| 6 - 2  | 16ビット・タイマ50のインターバル時間 ... 108          |
| 6 - 3  | キャプチャ・エッジの設定内容 ... 111                |
| 7 - 1  | 8ビット・タイマ/イベント・カウンタ00のインターバル時間 ... 115 |
| 7 - 2  | 8ビット・タイマ/イベント・カウンタ01のインターバル時間 ... 115 |
| 7 - 3  | 8ビット・タイマ02のインターバル時間 ... 115           |
| 7 - 4  | 8ビット・タイマ02の方形波出力範囲 ... 116            |
| 7 - 5  | 8ビット・タイマ/イベント・カウンタ00-02の構成 ... 116    |
| 7 - 6  | 8ビット・タイマ/イベント・カウンタ00のインターバル時間 ... 123 |
| 7 - 7  | 8ビット・タイマ/イベント・カウンタ01のインターバル時間 ... 123 |
| 7 - 8  | 8ビット・タイマ02のインターバル時間 ... 124           |
| 7 - 9  | 8ビット・タイマ02の方形波出力範囲 ... 127            |
| 8 - 1  | インターバル・タイマのインターバル時間 ... 131           |
| 8 - 2  | 時計用タイマの構成 ... 131                     |
| 8 - 3  | インターバル・タイマのインターバル時間 ... 133           |
| 9 - 1  | ウォッチドッグ・タイマの暴走検出時間 ... 135            |
| 9 - 2  | インターバル時間 ... 135                      |
| 9 - 3  | ウォッチドッグ・タイマの構成 ... 136                |
| 9 - 4  | ウォッチドッグ・タイマの暴走検出時間 ... 139            |
| 9 - 5  | インターバル・タイマのインターバル時間 ... 140           |
| 10 - 1 | 8ビットA/Dコンバータの構成 ... 141               |

## 表の目次 (2/3)

| 表番号     | タイトル, ページ                                        |
|---------|--------------------------------------------------|
| 11 - 1  | 10ビットA/Dコンバータの構成 ... 154                         |
| 12 - 1  | INTCMP0の有効エッジの選択内容 ... 170                       |
| 13 - 1  | シリアル・インタフェース00の構成 ... 173                        |
| 13 - 2  | シリアル・インタフェース00の動作モードの設定一覧 ... 179                |
| 13 - 3  | メイン・システム・クロックとボー・レートの関係例 ... 182                 |
| 13 - 4  | ASCK端子入力周波数とボー・レートの関係 (BRGC00 = 80 H設定時) ... 183 |
| 13 - 5  | メイン・システム・クロックとボー・レートの関係例 ... 190                 |
| 13 - 6  | ASCK端子入力周波数とボー・レートの関係 (BRGC00 = 80 H設定時) ... 191 |
| 13 - 7  | 受信エラーの要因 ... 196                                 |
| 14 - 1  | 最大表示画素数 ... 203                                  |
| 14 - 2  | LCDコントローラ/ドライバの構成 ... 204                        |
| 14 - 3  | フレーム周波数 (Hz) ... 208                             |
| 14 - 4  | COM信号 ... 210                                    |
| 14 - 5  | LCD駆動電圧 ... 211                                  |
| 14 - 6  | LCD駆動電圧 (分割抵抗内蔵時) ... 214                        |
| 14 - 7  | 選択, 非選択電圧 (COM0) ... 216                         |
| 14 - 8  | 選択, 非選択電圧 (COM0, COM1) ... 219                   |
| 14 - 9  | 選択, 非選択電圧 (COM0-COM2) ... 222                    |
| 14 - 10 | 選択, 非選択電圧 (COM0-COM3) ... 226                    |
| 15 - 1  | 割り込み要因一覧 ... 230                                 |
| 15 - 2  | 割り込み要求信号名に対する各種フラグ ... 232                       |
| 15 - 3  | マスカブル割り込み要求発生から処理までの時間 ... 241                   |
| 16 - 1  | HALTモード時の動作状態 ... 247                            |
| 16 - 2  | HALTモードの解除後の動作 ... 249                           |
| 16 - 3  | STOPモード時の動作状態 ... 250                            |
| 16 - 4  | STOPモードの解除後の動作 ... 252                           |
| 17 - 1  | 各ハードウェアのリセット後の状態 ... 255                         |
| 18 - 1  | $\mu$ PD78F9418AとマスクROM製品の違い ... 257             |
| 18 - 2  | 通信方式一覧 ... 259                                   |
| 18 - 3  | 端子接統一覧 ... 261                                   |
| 19 - 1  | 端子のマスク・オプションの選択 ... 268                          |
| 19 - 2  | 選択可能なLCD駆動用分割抵抗の組み合わせ ... 268                    |

## 表の目次 (3/3)

| 表番号    | タイトル, ページ               |
|--------|-------------------------|
| 20 - 1 | オペランドの表現形式と記述方法 ... 269 |
| 24 - 1 | 表面実装タイプの半田付け条件 ... 301  |

# 第1章 概 説

## 1.1 特 徴

### ○ ROM, RAM容量

| 品 名 \ 項 目                |  | プログラム・メモリ |         | データ・メモリ |           |
|--------------------------|--|-----------|---------|---------|-----------|
|                          |  |           |         | 内部高速RAM | LCD表示用RAM |
| $\mu$ PD789405A, 789415A |  | ROM       | 12 Kバイト | 512バイト  | 28×4ビット   |
| $\mu$ PD789406A, 789416A |  |           | 16 Kバイト |         |           |
| $\mu$ PD789407A, 789417A |  |           | 24 Kバイト |         |           |
| $\mu$ PD78F9418A         |  | フラッシュ・メモリ | 32 Kバイト |         |           |

- 高速（0.4  $\mu$ s：メイン・システム・クロック5.0 MHz動作時）から超低速（122  $\mu$ s：サブシステム・クロック32.768 kHz動作時）に最小命令実行時間を変更可能
- I/Oポート：43本
- シリアル・インタフェース：1チャンネル  
3線式シリアルI/Oモード / UARTモード選択可能
- LCDコントローラ / ドライバ
  - ・セグメント信号出力：最大28本
  - ・コモン信号出力：最大4本
  - ・1/2, 1/3バイアス切り替え可能
- 8ビット分解能A/Dコンバータ：7チャンネル（ $\mu$  PD789407Aサブシリーズのみ）
- 10ビット分解能A/Dコンバータ：7チャンネル（ $\mu$  PD789417Aサブシリーズのみ）
- タイマ：6チャンネル
  - ・16ビット・タイマ：1チャンネル
  - ・8ビット・タイマ / イベント・カウンタ：2チャンネル
  - ・8ビット・タイマ：1チャンネル
  - ・時計用タイマ：1チャンネル
  - ・ウォッチドッグ・タイマ：1チャンネル
- ベクタ割り込み要因：17
- 電源電圧：V<sub>DD</sub> = 1.8 ~ 5.5 V
- 動作周囲温度：T<sub>A</sub> = - 40 ~ + 85

## 1.2 応用分野

APSコンパクト・カメラ，血圧計，炊飯器など

## ★ 1.3 オータ情報

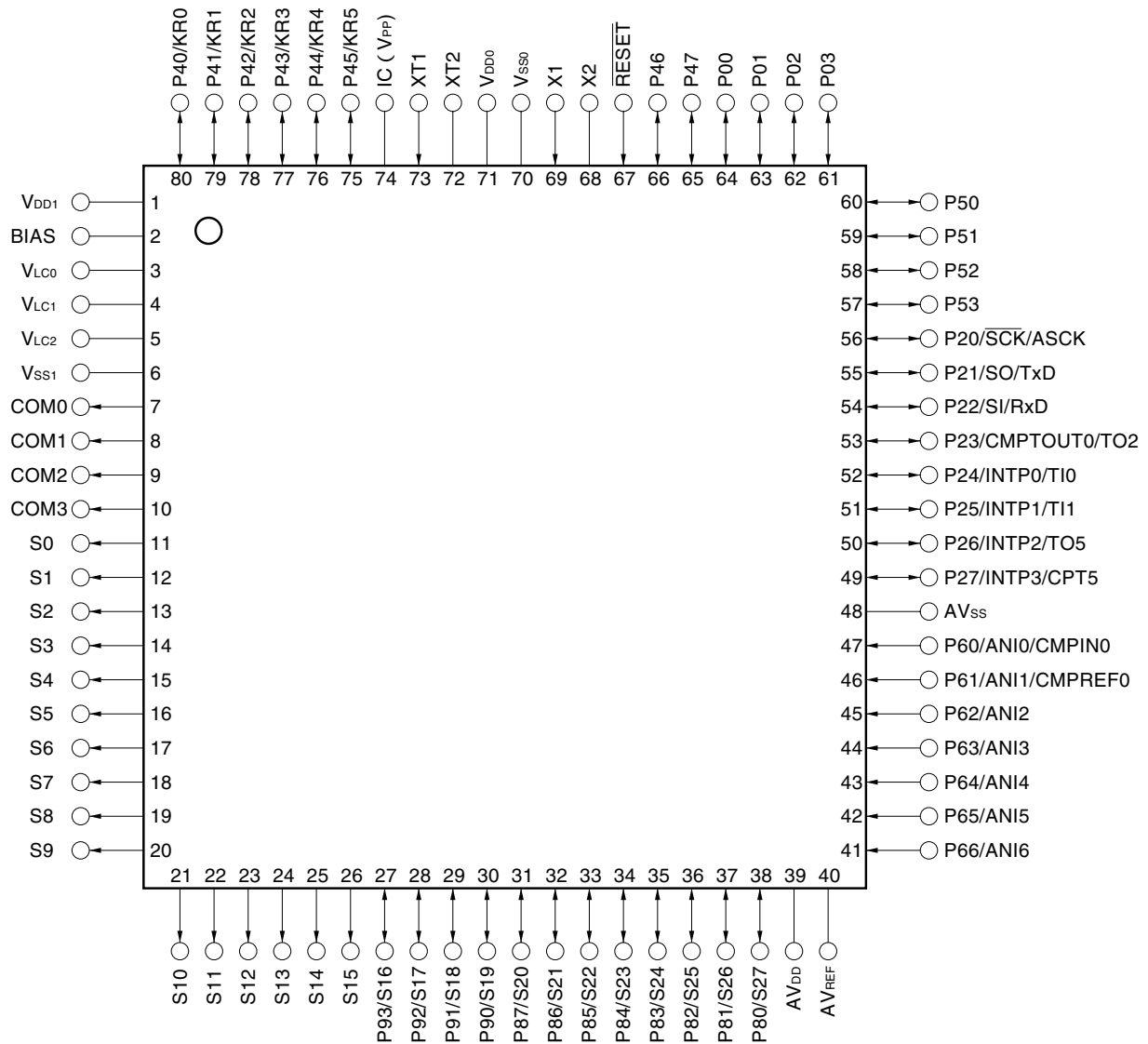
| オーダ名称                  | パッケージ                             | 内部ROM     |
|------------------------|-----------------------------------|-----------|
| μPD789405AGC-×××-8BT   | 80ピン・プラスチックQFP (14x14)            | マスクROM    |
| μPD789405AGK-×××-9EU   | 80ピン・プラスチックTQFP (ファインピッチ) (12x12) | "         |
| μPD789406AGC-×××-8BT   | 80ピン・プラスチックQFP (14x14)            | "         |
| μPD789406AGK-×××-9EU   | 80ピン・プラスチックTQFP (ファインピッチ) (12x12) | "         |
| μPD789407AGC-×××-8BT   | 80ピン・プラスチックQFP (14x14)            | "         |
| μPD789407AGK-×××-9EU   | 80ピン・プラスチックTQFP (ファインピッチ) (12x12) | "         |
| μPD789415AGC-×××-8BT   | 80ピン・プラスチックQFP (14x14)            | "         |
| μPD789415AGK-×××-9EU   | 80ピン・プラスチックTQFP (ファインピッチ) (12x12) | "         |
| μPD789416AGC-×××-8BT   | 80ピン・プラスチックQFP (14x14)            | "         |
| μPD789416AGK-×××-9EU   | 80ピン・プラスチックTQFP (ファインピッチ) (12x12) | "         |
| μPD789417AGC-×××-8BT   | 80ピン・プラスチックQFP (14x14)            | "         |
| μPD789417AGK-×××-9EU   | 80ピン・プラスチックTQFP (ファインピッチ) (12x12) | "         |
| μPD78F9418AGC-8BT      | 80ピン・プラスチックQFP (14x14)            | フラッシュ・メモリ |
| μPD78F9418AGK-9EU      | 80ピン・プラスチックTQFP (ファインピッチ) (12x12) | "         |
| μPD789405AGC-×××-8BT-A | 80ピン・プラスチックQFP (14x14)            | マスクROM    |
| μPD789405AGK-×××-9EU-A | 80ピン・プラスチックTQFP (ファインピッチ) (12x12) | "         |
| μPD789406AGC-×××-8BT-A | 80ピン・プラスチックQFP (14x14)            | "         |
| μPD789406AGK-×××-9EU-A | 80ピン・プラスチックTQFP (ファインピッチ) (12x12) | "         |
| μPD789407AGC-×××-8BT-A | 80ピン・プラスチックQFP (14x14)            | "         |
| μPD789407AGK-×××-9EU-A | 80ピン・プラスチックTQFP (ファインピッチ) (12x12) | "         |
| μPD789415AGC-×××-8BT-A | 80ピン・プラスチックQFP (14x14)            | "         |
| μPD789415AGK-×××-9EU-A | 80ピン・プラスチックTQFP (ファインピッチ) (12x12) | "         |
| μPD789416AGC-×××-8BT-A | 80ピン・プラスチックQFP (14x14)            | "         |
| μPD789416AGK-×××-9EU-A | 80ピン・プラスチックTQFP (ファインピッチ) (12x12) | "         |
| μPD789417AGC-×××-8BT-A | 80ピン・プラスチックQFP (14x14)            | "         |
| μPD789417AGK-×××-9EU-A | 80ピン・プラスチックTQFP (ファインピッチ) (12x12) | "         |
| μPD78F9418AGC-8BT-A    | 80ピン・プラスチックQFP (14x14)            | フラッシュ・メモリ |
| μPD78F9418AGK-9EU-A    | 80ピン・プラスチックTQFP (ファインピッチ) (12x12) | "         |

備考1. ×××はROMコード番号です。

2. オータ名称末尾「-A」の製品は、鉛フリー製品です。

## 1.4 端子接続図 (Top View)

- ・ 80ピン・プラスチックQFP (14x14)
- ・ 80ピン・プラスチックTQFP (ファインピッチ) (12x12)



注意1. IC (Internally Connected) 端子はVSS0またはVSS1に直接接続してください。

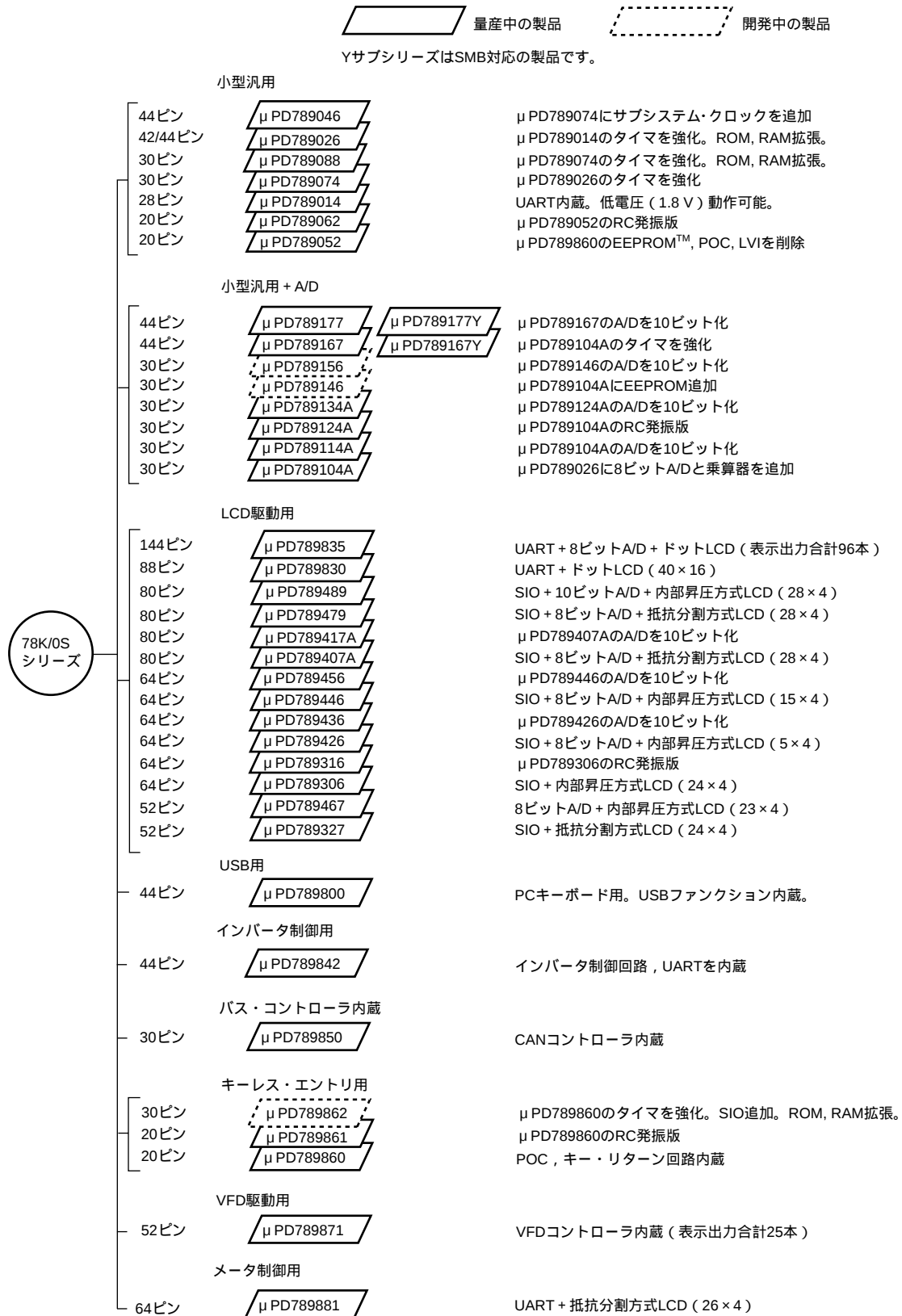
2. AVDD端子はVDD0に接続してください。
3. AVSS端子はVSS0に接続してください。

備考 ( ) 内は,  $\mu$  PD78F9418Aのとき

|                   |                                 |                                     |                                 |
|-------------------|---------------------------------|-------------------------------------|---------------------------------|
| ANI0-ANI6         | : Analog Input                  | P60-P66                             | : Port6                         |
| ASCK              | : Asynchronous Serial Input     | P80-P87                             | : Port8                         |
| AV <sub>DD</sub>  | : Analog Power Supply           | P90-P93                             | : Port9                         |
| AV <sub>REF</sub> | : Analog Reference Voltage      | $\overline{\text{RESET}}$           | : Reset                         |
| AV <sub>SS</sub>  | : Analog Ground                 | RxD                                 | : Receive Data                  |
| BIAS              | : LCD Power Supply Bias Control | S0-S27                              | : Segment Output                |
| CMPIN0            | : Comparator Input              | $\overline{\text{SCK}}$             | : Serial Clock                  |
| CMPREF0           | : Comparator Reference          | SI                                  | : Serial Input                  |
| CMPTOUT0          | : Comparator Output             | SO                                  | : Serial Output                 |
| COM0-COM3         | : Common Output                 | TI0, TI1                            | : Timer Input                   |
| CPT5              | : Capture Trigger Input         | TO2, TO5                            | : Timer Output                  |
| IC                | : Internally Connected          | TxD                                 | : Transmit Data                 |
| INTP0-INTP3       | : Interrupt from Peripherals    | V <sub>DD0</sub> , V <sub>DD1</sub> | : Power Supply                  |
| KR0-KR5           | : Key Return                    | V <sub>LC0</sub> -V <sub>LC2</sub>  | : LCD Power Supply              |
| P00-P03           | : Port0                         | V <sub>PP</sub>                     | : Programming Power Supply      |
| P20-P27           | : Port2                         | V <sub>SS0</sub> , V <sub>SS1</sub> | : Ground                        |
| P40-P47           | : Port4                         | X1, X2                              | : Crystal ( Main System Clock ) |
| P50-P53           | : Port5                         | XT1, XT2                            | : Crystal ( Subsystem Clock )   |

## ★ 1.5 78K/0Sシリーズの展開

78K/0Sシリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



各サブシリーズ間の主な機能の違いを次に示します。

## 汎用，LCD駆動用シリーズ

| 機 能<br>サブシリーズ名    |            | ROM容量<br>(バイト) | タイマ   |        |      |      | 8-bit | 10-bit | シリアル・<br>インタフェース  | I/O | V <sub>DD</sub>    | 備考       |
|-------------------|------------|----------------|-------|--------|------|------|-------|--------|-------------------|-----|--------------------|----------|
|                   |            |                | 8-bit | 16-bit | 時計   | WDT  | A/D   | A/D    |                   |     | 最小値                |          |
| 小型<br>汎用          | μPD789046  | 16 K           | 1 ch  | 1 ch   | 1 ch | 1 ch | -     | -      | 1 ch (UART : 1ch) | 34本 | 1.8 V              | -        |
|                   | μPD789026  | 4 K-16 K       |       |        | -    |      |       |        |                   |     |                    |          |
|                   | μPD789088  | 16 K-32 K      | 3 ch  |        |      |      |       |        |                   | 24本 |                    |          |
|                   | μPD789074  | 2 K-8 K        | 1 ch  |        |      |      |       |        |                   |     |                    |          |
|                   | μPD789014  | 2 K-4 K        | 2 ch  | -      |      |      |       |        |                   | 22本 |                    |          |
|                   | μPD789062  | 4 K            |       |        |      |      |       |        | -                 | 14本 |                    | RC発振版    |
|                   | μPD789052  |                |       |        |      |      |       |        |                   |     |                    | -        |
| 小型<br>汎用<br>+ A/D | μPD789177  | 16 K-24 K      | 3 ch  | 1 ch   | 1 ch | 1ch  | -     | 8 ch   | 1 ch (UART : 1ch) | 31本 | 1.8 V              | -        |
|                   | μPD789167  |                |       |        |      |      | 8 ch  | -      |                   |     |                    |          |
|                   | μPD789156  | 8 K-16 K       | 1 ch  |        | -    |      | -     | 4 ch   |                   | 20本 |                    | EEPROM内蔵 |
|                   | μPD789146  |                |       |        |      |      | 4 ch  | -      |                   |     |                    |          |
|                   | μPD789134A | 2 K-8 K        |       |        |      |      | -     | 4 ch   |                   |     |                    | RC発振版    |
|                   | μPD789124A |                |       |        |      |      | 4 ch  | -      |                   |     |                    |          |
|                   | μPD789114A |                |       |        |      |      | -     | 4 ch   |                   |     |                    | -        |
|                   | μPD789104A |                |       |        |      |      | 4 ch  | -      |                   |     |                    |          |
| LCD<br>駆動用        | μPD789835  | 24 K-60 K      | 6 ch  | -      | 1 ch | 1 ch | 3 ch  | -      | 1 ch (UART : 1ch) | 37本 | 1.8 V <sup>注</sup> | ドットLCD   |
|                   | μPD789830  | 24 K           | 1 ch  | 1 ch   |      |      | -     |        |                   | 30本 | 2.7 V              | 対応       |
|                   | μPD789489  | 32 K-48 K      | 3 ch  |        |      |      |       | 8 ch   | 2 ch (UART : 1ch) | 45本 | 1.8 V              | -        |
|                   | μPD789479  | 24 K-48 K      |       |        |      |      | 8 ch  | -      |                   |     |                    |          |
|                   | μPD789417A | 12 K-24 K      |       |        |      |      | -     | 7 ch   | 1 ch (UART : 1ch) | 43本 |                    |          |
|                   | μPD789407A |                |       |        |      |      | 7 ch  | -      |                   |     |                    |          |
|                   | μPD789456  | 12 K-16 K      | 2 ch  |        |      |      | -     | 6 ch   |                   | 30本 |                    |          |
|                   | μPD789446  |                |       |        |      |      | 6 ch  | -      |                   |     |                    |          |
|                   | μPD789436  |                |       |        |      |      | -     | 6 ch   |                   | 40本 |                    |          |
|                   | μPD789426  |                |       |        |      |      | 6 ch  | -      |                   |     |                    |          |
|                   | μPD789316  | 8 K-16 K       |       |        |      |      | -     |        | 2 ch (UART : 1ch) | 23本 |                    | RC発振版    |
|                   | μPD789306  |                |       |        |      |      |       |        |                   |     |                    | -        |
|                   | μPD789467  | 4 K-24 K       |       | -      |      |      | 1 ch  |        | -                 | 18本 |                    |          |
|                   | μPD789327  |                |       |        |      |      | -     |        | 1 ch              | 21本 |                    |          |

注 フラッシュ・メモリ版 : 3.0 V

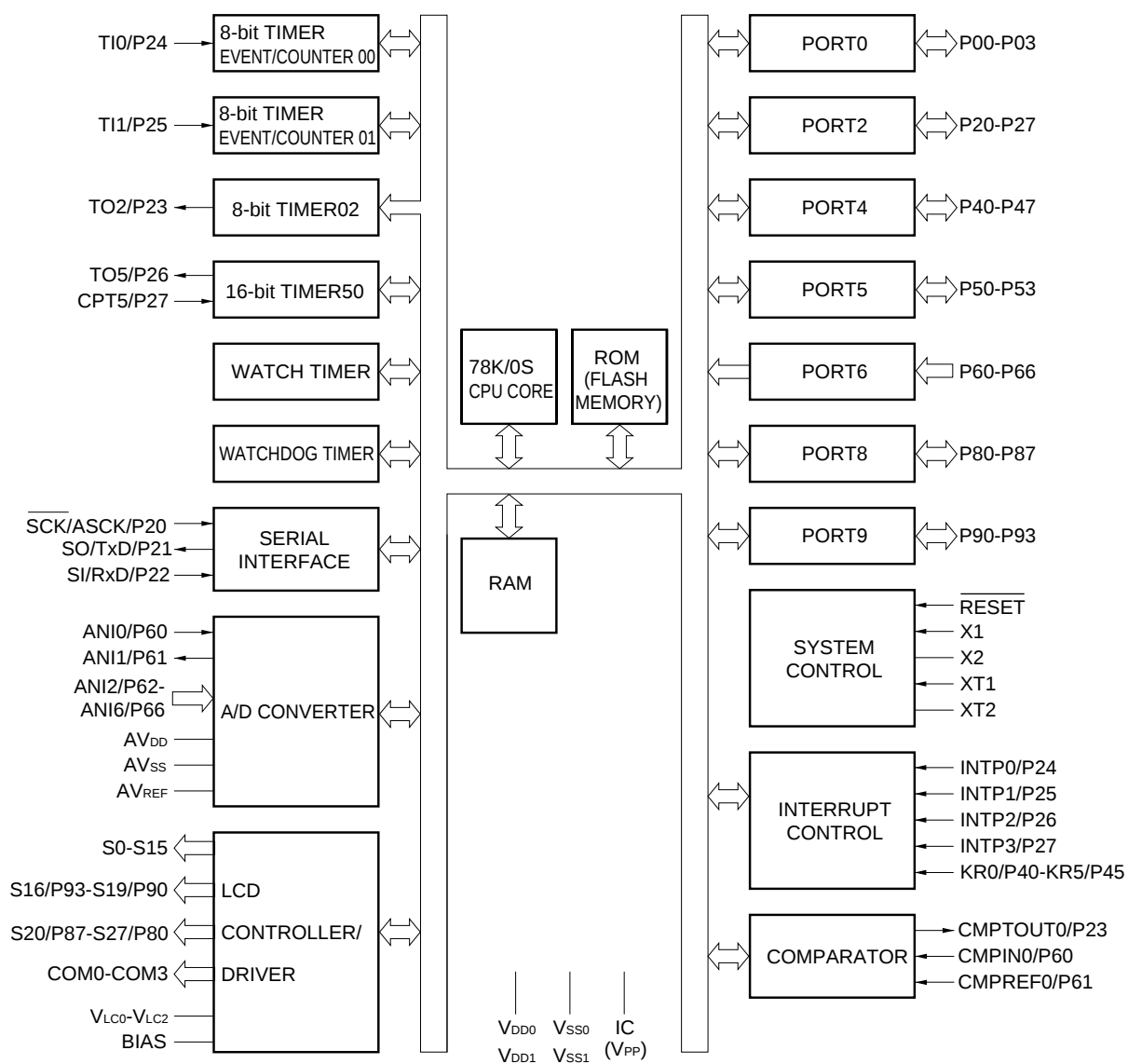
## ASSP用シリーズ

| 機 能<br>サブシリーズ名                 | ROM容量<br>(バイト) | タイマ   |        |      |      | 8-bit | 10-bit | シリアル・<br>インタフェース  | I/O | V <sub>DD</sub>     | 備考                             |
|--------------------------------|----------------|-------|--------|------|------|-------|--------|-------------------|-----|---------------------|--------------------------------|
|                                |                | 8-bit | 16-bit | 時計   | WDT  | A/D   | A/D    |                   |     | 最小値                 |                                |
| USB用 $\mu$ PD789800            | 8K             | 2 ch  | -      | -    | 1 ch | -     | -      | 2 ch (USB : 1 ch) | 31本 | 4.0 V               | -                              |
| インバー<br>タ制御用 $\mu$ PD789842    | 8 K-16 K       | 3 ch  | 注1     | 1 ch | 1 ch | 8 ch  | -      | 1 ch (UART : 1ch) | 30本 | 4.0 V               | -                              |
| バス・コント<br>ローラ内蔵 $\mu$ PD789850 | 16 K           | 1 ch  | 1 ch   | -    | 1 ch | 4 ch  | -      | 2 ch (UART : 1ch) | 18本 | 4.0 V               | -                              |
| キーレス・<br>エントリ用                 | $\mu$ PD789861 | 2 ch  | -      | -    | 1 ch | -     | -      | -                 | 14本 | 1.8 V               | RC発振版，<br>EEPROM内蔵<br>EEPROM内蔵 |
|                                | $\mu$ PD789860 |       |        |      |      |       |        |                   |     |                     |                                |
|                                | $\mu$ PD789862 | 16 K  | 1 ch   | 2 ch |      |       |        | 1 ch (UART : 1ch) | 22本 |                     |                                |
| VFD<br>駆動用 $\mu$ PD789871      | 4 K-8 K        | 3 ch  | -      | 1 ch | 1 ch | -     | -      | 1 ch              | 33本 | 2.7 V               | -                              |
| メータ<br>制御用 $\mu$ PD789881      | 16 K           | 2 ch  | 1 ch   | -    | 1 ch | -     | -      | 1 ch (UART : 1ch) | 28本 | 2.7 V <sup>注2</sup> | -                              |

注1. 10ビット・タイマ : 1チャンネル

2. フラッシュ・メモリ版 : 3.0 V

## 1.6 ブロック図



備考1. 内部ROM容量は製品によって異なります。

2. ( ) 内は,  $\mu$  PD78F9418Aのとき

## 1.7 機能概要

| 項 目              |           | 品 名                                                                                                                           |         | $\mu$ PD789405A | $\mu$ PD789406A | $\mu$ PD789407A | $\mu$ PD78F9418A |
|------------------|-----------|-------------------------------------------------------------------------------------------------------------------------------|---------|-----------------|-----------------|-----------------|------------------|
|                  |           |                                                                                                                               |         | $\mu$ PD789415A | $\mu$ PD789416A | $\mu$ PD789417A |                  |
| 内部メモリ            | ROM       | マスクROM                                                                                                                        |         |                 |                 |                 | フラッシュ・メモリ        |
|                  |           | 12 Kバイト                                                                                                                       | 16 Kバイト | 24 Kバイト         | 32 Kバイト         |                 |                  |
|                  | 高速RAM     | 512バイト                                                                                                                        |         |                 |                 |                 |                  |
|                  | LCD表示用RAM | 28×4ビット                                                                                                                       |         |                 |                 |                 |                  |
| 最小命令実行時間         |           | 0.4 $\mu$ s/1.6 $\mu$ s (メイン・システム・クロック : 5.0 MHz動作時)<br>122 $\mu$ s (サブシステム・クロック : 32.768 kHz動作時)                             |         |                 |                 |                 |                  |
| 汎用レジスタ           |           | 8ビット×8レジスタ                                                                                                                    |         |                 |                 |                 |                  |
| 命令セット            |           | ・ 16ビット演算<br>・ ビット操作 (セット, リセット, テスト) など                                                                                      |         |                 |                 |                 |                  |
| I/Oポート           |           | 合計 : 43本<br>・ CMOS入力 : 7本<br>・ CMOS入出力 : 32本<br>・ N-chオープン・ドレイン (12 V耐圧) : 4本                                                 |         |                 |                 |                 |                  |
| A/Dコンバータ         |           | ・ 8ビット分解能×7チャンネル ( $\mu$ PD789407Aサブシリーズ)<br>・ 10ビット分解能×7チャンネル ( $\mu$ PD789417Aサブシリーズ)                                       |         |                 |                 |                 |                  |
| コンパレータ           |           | タイマ出力制御も可能                                                                                                                    |         |                 |                 |                 |                  |
| シリアル・インタフェース     |           | 3線式シリアルI/Oモード / UARTモード選択可能 : 1チャンネル                                                                                          |         |                 |                 |                 |                  |
| LCDコントローラ / ドライバ |           | ・ セグメント信号出力 : 最大28本<br>・ コモン信号出力 : 最大4本<br>・ 1/2, 1/3バイアス切り替え可能                                                               |         |                 |                 |                 |                  |
| タイマ              |           | ・ 16ビット・タイマ : 1チャンネル<br>・ 8ビット・タイマ : 1チャンネル<br>・ 8ビット・タイマ / イベント・カウンタ : 2チャンネル<br>・ 時計用タイマ : 1チャンネル<br>・ ウォッチドッグ・タイマ : 1チャンネル |         |                 |                 |                 |                  |
| タイマ出力            |           | 2本                                                                                                                            |         |                 |                 |                 |                  |
| ベクタ割り込み要因        | マスカブル     | 内部 : 11, 外部 : 5                                                                                                               |         |                 |                 |                 |                  |
|                  | ノンマスカブル   | 内部 : 1                                                                                                                        |         |                 |                 |                 |                  |
| 電源電圧             |           | $V_{DD} = 1.8 \sim 5.5$ V                                                                                                     |         |                 |                 |                 |                  |
| 動作周囲温度           |           | $T_A = -40 \sim +85$                                                                                                          |         |                 |                 |                 |                  |
| パッケージ            |           | ・ 80ピン・プラスチックQFP (14x14)<br>・ 80ピン・プラスチックTQFP (ファインピッチ) (12x12)                                                               |         |                 |                 |                 |                  |

次にタイマの概要を示します。

|       |                 | 16ビット・<br>タイマ50 | 8ビット・タイマ<br>ノイベント・<br>カウンタ00, 01 | 8ビット・タイマ02 | 時計用タイマ               | ウォッチドッ<br>グ・タイマ      |
|-------|-----------------|-----------------|----------------------------------|------------|----------------------|----------------------|
| 動作モード | インターバル・<br>タイマ  | -               | 1チャンネル                           | 1チャンネル     | 1チャンネル <sup>注1</sup> | 1チャンネル <sup>注2</sup> |
|       | 外部イベント・<br>カウンタ | -               | 1チャンネル                           | -          | -                    | -                    |
| 機能    | タイマ出力           | 1出力             | -                                | 1出力        | -                    | -                    |
|       | 方形波出力           | -               | -                                | 1出力        | -                    | -                    |
|       | キャプチャ           | 1入力             | -                                | -          | -                    | -                    |
|       | 割り込み要因          | 1               | 1                                | 1          | 2                    | 2                    |

注1. 時計用タイマは時計用タイマとインターバル・タイマの機能を同時に使用可能です。

2. ウォッチドッグ・タイマはウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

## 第2章 端子機能

### 2.1 端子機能一覧

#### (1) ポート端子

| 端子名称     | 入出力 | 機 能                                                                                                            | リセット時 | 兼用端子         |
|----------|-----|----------------------------------------------------------------------------------------------------------------|-------|--------------|
| P00-P03  | 入出力 | ポート0。<br>4ビット入出力ポート。<br>1ビット単位で入力 / 出力の指定可能。<br>入力ポートとして使用する場合，プルアップ抵抗オプション・レジスタ0 (PU0) の設定により，内蔵プルアップ抵抗を使用可能。 | 入力    | -            |
| P20      | 入出力 | ポート2。<br>8ビット入出力ポート。<br>1ビット単位で入力 / 出力の指定可能。<br>入力ポートとして使用する場合，プルアップ抵抗オプション・レジスタ1 (PU1) の設定により，内蔵プルアップ抵抗を使用可能。 | 入力    | SCK/ASCK     |
| P21      |     |                                                                                                                |       | SO/TxD       |
| P22      |     |                                                                                                                |       | SI/RxD       |
| P23      |     |                                                                                                                |       | CMPTOUT0/TO2 |
| P24      |     |                                                                                                                |       | INTP0/TI0    |
| P25      |     |                                                                                                                |       | INTP1/TI1    |
| P26      |     |                                                                                                                |       | INTP2/TO5    |
| P27      |     |                                                                                                                |       | INTP3/CPT5   |
| P40-P45  | 入出力 | ポート4。<br>8ビット入出力ポート。<br>1ビット単位で入力 / 出力の指定可能。<br>入力ポートとして使用する場合，プルアップ抵抗オプション・レジスタ0 (PU0) の設定により，内蔵プルアップ抵抗を使用可能。 | 入力    | KR0-KR5      |
| P46, P47 |     |                                                                                                                |       | -            |
| P50-P53  | 入出力 | ポート5。<br>4ビットN-chオープン・ドレイン入出力ポート。<br>1ビット単位で入力 / 出力の指定可能。<br>マスクROM製品はマスク・オプションにより，プルアップ抵抗の内蔵を指定可能。            | 入力    | -            |
| P60      | 入力  | ポート6。<br>7ビット入力専用ポート。                                                                                          | 入力    | ANI0/CMPIN0  |
| P61      |     |                                                                                                                |       | ANI1/CMPREF0 |
| P62-P66  |     |                                                                                                                |       | ANI2-ANI6    |
| P80-P87  | 入出力 | ポート8。<br>8ビット入出力ポート。<br>1ビット単位で入力 / 出力の指定可能。<br>入力ポートとして使用する場合，プルアップ抵抗オプション・レジスタ2 (PU2) の設定により，内蔵プルアップ抵抗を使用可能。 | 入力    | S27-S20      |
| P90-P93  | 入出力 | ポート9。<br>4ビット入出力ポート。<br>1ビット単位で入力 / 出力の指定可能。<br>入力ポートとして使用する場合，プルアップ抵抗オプション・レジスタ2 (PU2) の設定により，内蔵プルアップ抵抗を使用可能。 | 入力    | S19-S16      |

## (2) ポート以外の端子 (1/2)

| 端子名称                               | 入出力 | 機 能                                                    | リセット時 | 兼用端子         |
|------------------------------------|-----|--------------------------------------------------------|-------|--------------|
| INTP0                              | 入力  | 有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下<br>がりの両エッジ）指定可能な外部割り込み入力 | 入力    | P24/TI0      |
| INTP1                              |     |                                                        |       | P25/TI1      |
| INTP2                              |     |                                                        |       | P26/TO5      |
| INTP3                              |     |                                                        |       | P27/CPT5     |
| KR0-KR5                            | 入力  | キー・リターン信号検出                                            | 入力    | P40-P45      |
| SI                                 | 入力  | シリアル・インタフェースのシリアル・データ入力                                | 入力    | P22/RxD      |
| SO                                 | 出力  | シリアル・インタフェースのシリアル・データ出力                                | 入力    | P21/TxD      |
| SCK                                | 入出力 | シリアル・インタフェースのシリアル・クロック入力/出力                            | 入力    | P20/ASCK     |
| ASCK                               | 入力  | アシンクロナス・シリアル・インタフェース用シリアル・クロッ<br>ク入力                   | 入力    | P20/SCK      |
| RxD                                | 入力  | アシンクロナス・シリアル・インタフェース用シリアル・デー<br>タ入力                    | 入力    | P22/SI       |
| TxD                                | 出力  | アシンクロナス・シリアル・インタフェース用シリアル・デー<br>タ出力                    | 入力    | P21/SO       |
| TI0                                | 入力  | 8ビット・タイマ（TM00）への外部カウント・クロック入力                          | 入力    | P24/INTP0    |
| TI1                                | 入力  | 8ビット・タイマ（TM01）への外部カウント・クロック入力                          | 入力    | P25/INTP1    |
| TO2                                | 出力  | 8ビット・タイマ（TM02）出力                                       | 入力    | P23/CMPTOUT0 |
| TO5                                | 出力  | 16ビット・タイマ（TM50）出力                                      | 入力    | P26/INTP2    |
| CPT5                               | 入力  | キャプチャ・エッジ入力                                            | 入力    | P27/INTP3    |
| CMPTOUT0                           | 出力  | コンパレータ出力                                               | 入力    | P23/TO2      |
| CMPIN0                             | 入力  | コンパレータ入力                                               | 入力    | P60/ANI0     |
| CMPREF0                            | 入力  | コンパレータ基準電圧入力                                           | 入力    | P61/ANI1     |
| ANI0                               | 入力  | A/Dコンバータのアナログ入力                                        | 入力    | P60/CMPIN0   |
| ANI1                               |     |                                                        |       | P61/CMPREF0  |
| ANI2-ANI6                          |     |                                                        |       | P62-P66      |
| AV <sub>REF</sub>                  | -   | A/Dコンバータの基準電圧                                          | -     | -            |
| AV <sub>SS</sub>                   | -   | A/Dコンバータのグランド電位                                        | -     | -            |
| AV <sub>DD</sub>                   | -   | A/Dコンバータのアナログ電源                                        | -     | -            |
| S0-S15                             | 出力  | LCDコントローラ/ドライバのセグメント信号出力                               | 出力    | -            |
| S16-S19                            |     |                                                        | 入力    | P93-P90      |
| S20-S27                            |     |                                                        |       | P87-P80      |
| COM0-COM3                          | 出力  | LCDコントローラ/ドライバのコモン信号出力                                 | 出力    | -            |
| V <sub>LC0</sub> -V <sub>LC2</sub> | -   | LCD駆動用電圧                                               | -     | -            |
| BIAS                               | -   | LCD駆動用電源電圧供給                                           | -     | -            |
| X1                                 | 入力  | メイン・システム・クロック発振用クリスタル接続                                | -     | -            |
| X2                                 | -   |                                                        | -     | -            |
| XT1                                | 入力  | サブシステム・クロック発振用クリスタル接続                                  | -     | -            |
| XT2                                | -   |                                                        | -     | -            |
| RESET                              | 入力  | システム・リセット入力                                            | 入力    | -            |

## (2) ポート以外の端子 (2/2)

| 端子名称             | 入出力 | 機 能                                                          | リセット時 | 兼用端子 |
|------------------|-----|--------------------------------------------------------------|-------|------|
| V <sub>DD0</sub> | -   | ポート部の正電源                                                     | -     | -    |
| V <sub>DD1</sub> | -   | 正電源（ポート部を除く）                                                 | -     | -    |
| V <sub>SS0</sub> | -   | ポート部のグランド電位                                                  | -     | -    |
| V <sub>SS1</sub> | -   | グランド電位（ポート部を除く）                                              | -     | -    |
| IC               | -   | 内部接続されています。V <sub>SS0</sub> またはV <sub>SS1</sub> に直接接続してください。 | -     | -    |
| V <sub>PP</sub>  | -   | フラッシュ・メモリ・プログラミング・モード設定。<br>プログラム書き込み／ベリファイ時の高電圧印加。          | -     | -    |

## 2.2 端子機能の説明

### 2.2.1 P00-P03 (Port0)

4ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用できます。

### 2.2.2 P20-P27 (Port2)

8ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力、外部割り込み入力、タイマ入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ1 (PU1) の設定により内蔵プルアップ抵抗を使用できます。

#### (2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

##### (a) SI, SO

シリアル・インタフェースのシリアル・データの入出力端子です。

##### (b) $\overline{\text{SCK}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

##### (c) RxD, TxD

アシンクロナス・シリアル・インタフェース用シリアル・データ入出力端子です。

##### (d) ASCK

アシンクロナス・シリアル・インタフェース用シリアル・クロック入力端子です。

##### (e) TI0, TI1

8ビット・タイマ/イベント・カウンタへの外部クロック入力端子です。

##### (f) TO2

8ビット・タイマ出力端子です。

##### (g) TO5

16ビット・タイマ出力端子です。

## (h) CPT5

キャプチャ・エッジ入力端子です。

## (i) INTP0-INTP3

有効エッジ（立ち上がりエッジ，立ち下がりエッジ，立ち上がり立ち下がりの両エッジ）指定可能な外部割り込み入力端子です。

## (j) CMPTOUT0

コンパレータ出力端子です。

**注意** シリアル・インタフェースの端子として使用する場合，その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については表13-2 シリアル・インタフェース00の動作モードの設定一覧を参照してください。

### 2.2.3 P40-P47 (Port4)

8ビットの入出力ポートです。入出力ポートのほかに，キー・リターン信号検出機能があります。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ4 (PM4) により，1ビット単位で入力ポート，または出力ポートに指定できます。入力ポートとして使用するとき，プルアップ抵抗オプション・レジスタ0 (PU0) の設定により内蔵プルアップ抵抗を使用できます。

#### (2) コントロール・モード

キー・リターン信号検出端子 (KR0-KR5) として機能します。

### 2.2.4 P50-P53 (Port5)

4ビットのN-chオープン・ドレイン入出力ポートとして機能します。マスクROM製品のみはマスク・オプションにより，プルアップ抵抗の内蔵を指定できます。

### 2.2.5 P60-P66 (Port6)

7ビットの入力専用ポートです。汎用入力ポートのほかに，A/Dコンバータ・アナログ入力，コンパレータ入力機能があります。

#### (1) ポート・モード

7ビットの入力専用ポートとして機能します。

#### (2) コントロール・モード

A/Dコンバータのアナログ入力，コンパレータ入力として機能します。

## (a) ANI0-ANI6

A/Dコンバータのアナログ入力端子です。

**(b) CMPIN0**

コンパレータの入力端子です。

**(c) CMPREF0**

コンパレータ基準電圧入力端子です。

**2.2.6 P80-P87 (Port8)**

8ビットの入出力ポートです。入出力ポートのほかにLCDコントローラ/ドライバのセグメント信号出力機能があります。

1ビット単位で次のような動作モードを指定できます。

**(1) ポート・モード**

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ8 (PM8) により, 1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき, プルアップ抵抗オプション・レジスタ2 (PU2) の設定により内蔵プルアップ抵抗を使用できます。

**(2) コントロール・モード**

LCDコントローラ/ドライバのセグメント信号出力端子 (S20-S27) として機能します。

**2.2.7 P90-P93 (Port9)**

4ビットの入出力ポートです。入出力ポートのほかにLCDコントローラ/ドライバのセグメント信号出力機能があります。

1ビット単位で次のような動作モードを指定できます。

**(1) ポート・モード**

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ9 (PM9) により, 1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき, プルアップ抵抗オプション・レジスタ2 (PU2) の設定により内蔵プルアップ抵抗を使用できます。

**(2) コントロール・モード**

LCDコントローラ/ドライバのセグメント信号出力端子 (S16-S19) として機能します。

**2.2.8 S0-S15**

LCDコントローラ/ドライバのセグメント信号出力端子です。

**2.2.9 COM0-COM3**

LCDコントローラ/ドライバのコモン信号出力端子です。

**2.2.10 V<sub>LC0</sub>-V<sub>LC2</sub>**

LCD駆動用電源電圧端子です。

**2.2.11 BIAS**

LCD駆動用電源供給端子です。

### 2. 2. 12 AVREF

- ★ A/Dコンバータの基準電圧端子です。A/Dコンバータを使用しない場合は $V_{DD0}$ 、 $V_{DD1}$ 、 $V_{SS0}$ 、 $V_{SS1}$ のいずれかに接続してください。

### 2. 2. 13 AVDD

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常に $V_{DD0}$ 端子と同電位で使用してください。

### 2. 2. 14 AVss

A/Dコンバータのグラウンド電位端子です。A/Dコンバータを使用しないときでも、常に $V_{SS0}$ 端子と同電位で使用してください。

### 2. 2. 15 RESET

ロウ・レベル・アクティブのシステム・リセット入力端子です。

### 2. 2. 16 X1, X2

メイン・システム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、X1に入力し、X2にその反転信号を入力してください。

### 2. 2. 17 XT1, XT2

サブシステム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、XT1に入力し、XT2にその反転信号を入力してください。

### 2. 2. 18 VDD0, VDD1

$V_{DD0}$ はポートの正電源供給端子です。

$V_{DD1}$ は、ポート部以外の正電源供給端子です。

### 2. 2. 19 VSS0, VSS1

$V_{SS0}$ はポート部のグラウンド電位端子です。

$V_{SS1}$ はポート部以外のグラウンド電位端子です。

### 2. 2. 20 VPP (μPD78F9418Aのみ)

フラッシュ・メモリ・プログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。

- ★ 次のどちらかの端子処理をしてください。
- 個別に10 kΩのプルダウン抵抗を接続する
  - ボード上のジャンパで、プログラミング・モード時は専用フラッシュ・ライタに、通常動作モード時は $V_{SS0}$ または $V_{SS1}$ に直接接続するように切り替える

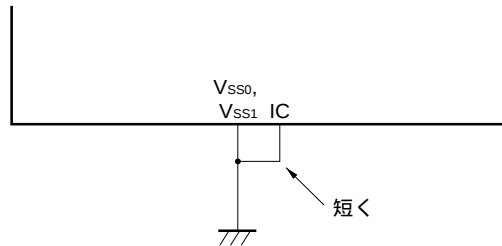
$V_{PP}$ 端子と $V_{SS0}$ 、 $V_{SS1}$ 端子間の配線の引き回しが長い場合や、 $V_{PP}$ 端子に外来ノイズが加わったときには、お客様のプログラムが正常に動作しないことがあります。

### 2. 2. 21 IC（マスクROM製品のみ）

IC（Internally Connected）端子は、当社出荷時に $\mu$ PD789407A, 789417Aサブシリーズを検査するためのテスト・モードに設定するための端子です。通常動作時には、IC端子を $V_{SS0}$ 端子または $V_{SS1}$ 端子に直接接続し、その配線長を極力短くしてください。

IC端子と $V_{SS0}$ 、 $V_{SS1}$ 端子間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子と $V_{SS0}$ 、 $V_{SS1}$ 端子間に電位差が生じたときは、お客様のプログラムが正常に動作しないことがあります。

- IC端子を $V_{SS0}$ 端子または $V_{SS1}$ 端子に直接接続してください。



## 2.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表2 - 1に示します。

また、各タイプの入出力回路の構成は図2 - 1を参照してください。

表2 - 1 各端子の入出力回路タイプ

| 端子名                                | 入出力回路タイプ | 入出力  | 未使用時の推奨接続方法                                                                                                              |                                                                                          |
|------------------------------------|----------|------|--------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------|
| P00-P03                            | 5-H      | 入出力  | 入力時：個別に抵抗を介して，V <sub>DD0</sub> ，V <sub>DD1</sub> ，V <sub>SS0</sub> ，V <sub>SS1</sub> のいずれかに接続してください。<br>出力時：オープンにしてください。 |                                                                                          |
| P20/SCK/ASCK                       | 8-C      |      |                                                                                                                          |                                                                                          |
| P21/SO/TxD                         |          |      |                                                                                                                          |                                                                                          |
| P22/SI/RxD                         |          |      |                                                                                                                          |                                                                                          |
| P23/CMPTOUT0/TO2                   | 10-B     |      |                                                                                                                          |                                                                                          |
| P24/INTP0/TI0                      | 8-C      |      | 入力時：個別に抵抗を介して，V <sub>SS0</sub> またはV <sub>SS1</sub> に接続してください。<br>出力時：オープンにしてください。                                        |                                                                                          |
| P25/INTP1/TI1                      |          |      |                                                                                                                          |                                                                                          |
| P26/INTP2/TO5                      |          |      |                                                                                                                          |                                                                                          |
| P27/INTP3/CPT5                     |          |      |                                                                                                                          |                                                                                          |
| P40/KR0-P45/KR5                    | 5-H      |      | 入力時：個別に抵抗を介して，V <sub>DD0</sub> ，V <sub>DD1</sub> ，V <sub>SS0</sub> ，V <sub>SS1</sub> のいずれかに接続してください。<br>出力時：オープンにしてください。 |                                                                                          |
| P46，P47                            |          |      |                                                                                                                          |                                                                                          |
| P50-P53<br>(マスクROM製品)              |          | 13-U |                                                                                                                          | 入力時：個別に抵抗を介して，V <sub>DD0</sub> またはV <sub>DD1</sub> に接続してください。<br>出力時：オープンにしてください。        |
| P50-P53<br>(μPD78F9418A)           | 13-T     |      |                                                                                                                          |                                                                                          |
| P60/ANI0/CMPIN0                    | 9-D      | 入力   | V <sub>DD0</sub> ，V <sub>DD1</sub> ，V <sub>SS0</sub> ，V <sub>SS1</sub> のいずれかに直接接続してください。                                 |                                                                                          |
| P61/ANI1/CMPREF0                   | 9-C      |      |                                                                                                                          |                                                                                          |
| P62/ANI2-P66/ANI6                  |          |      |                                                                                                                          |                                                                                          |
| P80/S27-P87/S20                    | 17-F     | 入出力  | 入力時：個別に抵抗を介して，V <sub>DD0</sub> ，V <sub>DD1</sub> ，V <sub>SS0</sub> ，V <sub>SS1</sub> のいずれかに接続してください。<br>出力時：オープンにしてください。 |                                                                                          |
| P90/S19-P93/S16                    |          |      |                                                                                                                          |                                                                                          |
| S0-S15                             | 17-B     | 出力   | オープンにしてください。                                                                                                             |                                                                                          |
| COM0-COM3                          | 18-A     |      |                                                                                                                          |                                                                                          |
| V <sub>LC0</sub> -V <sub>LC2</sub> | -        | -    | オープンにしてください。ただし，V <sub>LC0</sub> -V <sub>LC2</sub> のすべてが未使用のとき，個別に抵抗を介して，V <sub>SS0</sub> またはV <sub>SS1</sub> に接続してください。 |                                                                                          |
| BIAS                               |          |      |                                                                                                                          |                                                                                          |
| AV <sub>DD</sub>                   |          |      |                                                                                                                          | V <sub>DD0</sub> またはV <sub>DD1</sub> に直接接続してください。                                        |
| AV <sub>REF</sub>                  |          |      |                                                                                                                          | V <sub>DD0</sub> ，V <sub>DD1</sub> ，V <sub>SS0</sub> ，V <sub>SS1</sub> のいずれかに直接接続してください。 |
| AV <sub>SS</sub>                   |          |      |                                                                                                                          | V <sub>SS0</sub> またはV <sub>SS1</sub> に直接接続してください。                                        |
| XT1                                |          | 入力   | V <sub>SS0</sub> またはV <sub>SS1</sub> に直接接続してください。                                                                        |                                                                                          |
| XT2                                |          | -    | オープンにしてください。                                                                                                             |                                                                                          |
| RESET                              | 2        | 入力   | -                                                                                                                        |                                                                                          |
| IC (マスクROM製品)                      | -        | -    | V <sub>SS0</sub> またはV <sub>SS1</sub> に直接接続してください。                                                                        |                                                                                          |
| V <sub>PP</sub> (μPD78F9418A)      |          |      | 個別に10 kΩのプルダウン抵抗を接続するか，V <sub>SS0</sub> またはV <sub>SS1</sub> に直接接続してください。                                                 |                                                                                          |

図2 - 1 端子の入出力回路一覧 (1/2)

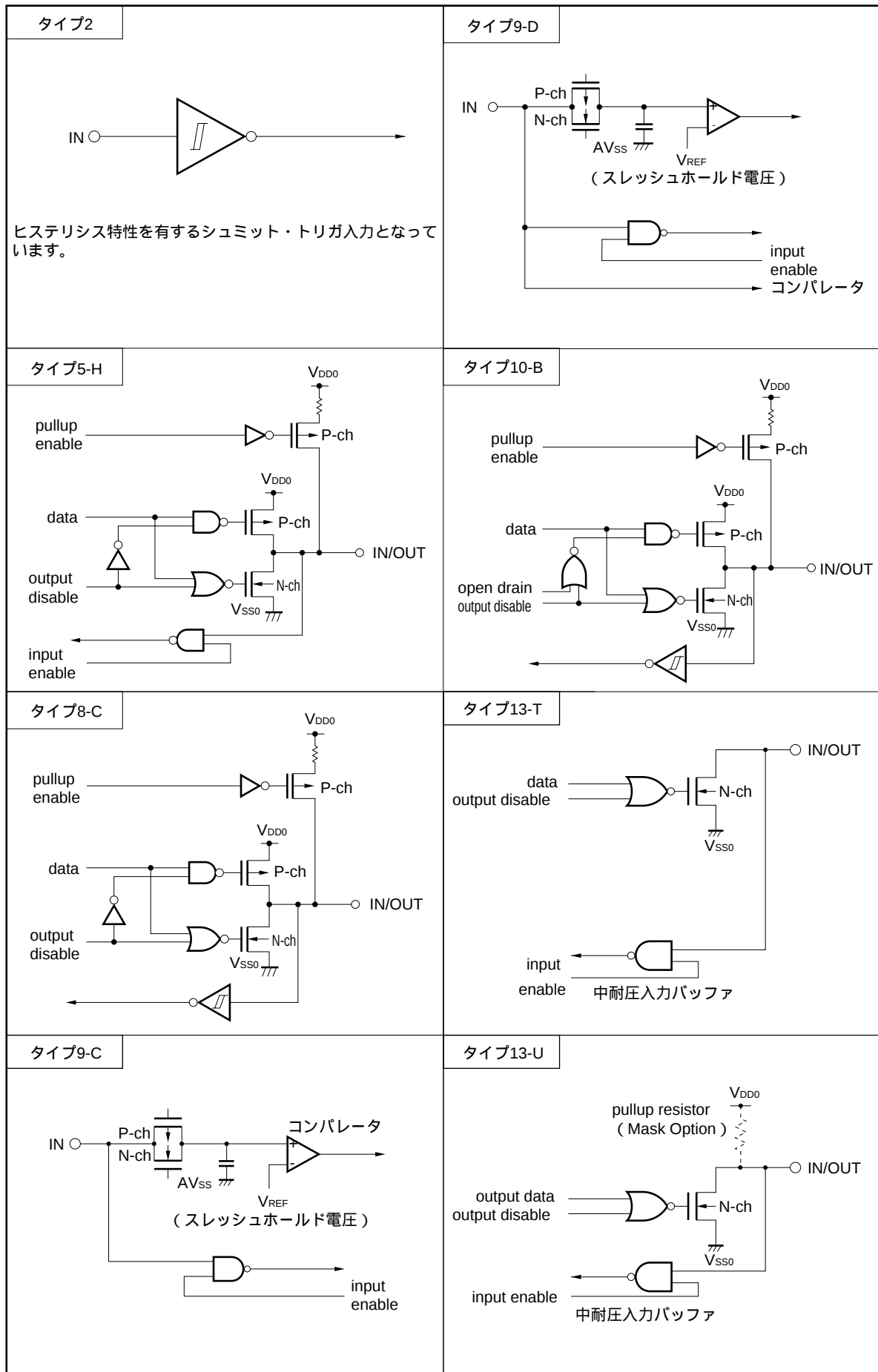
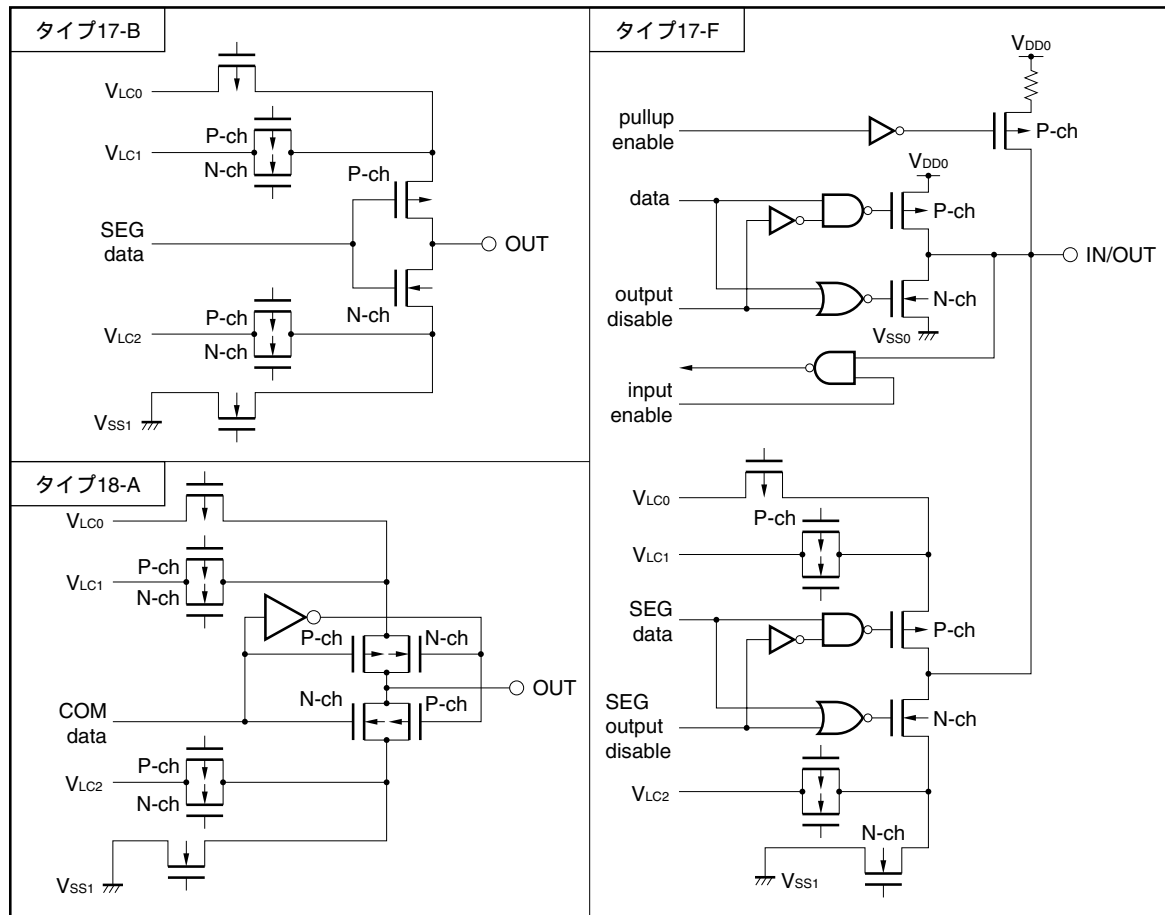


図2 - 1 端子の入出力回路一覧 (2/2)



## 第3章 CPUアーキテクチャ

### 3.1 メモリ空間

$\mu$ PD789407A, 789417Aサブシリーズは、64 Kバイトのメモリ空間をアクセスできます。図3 - 1から図3 - 4に、メモリ・マップを示します。

図3 - 1 メモリ・マップ ( $\mu$ PD789405A, 789415A)

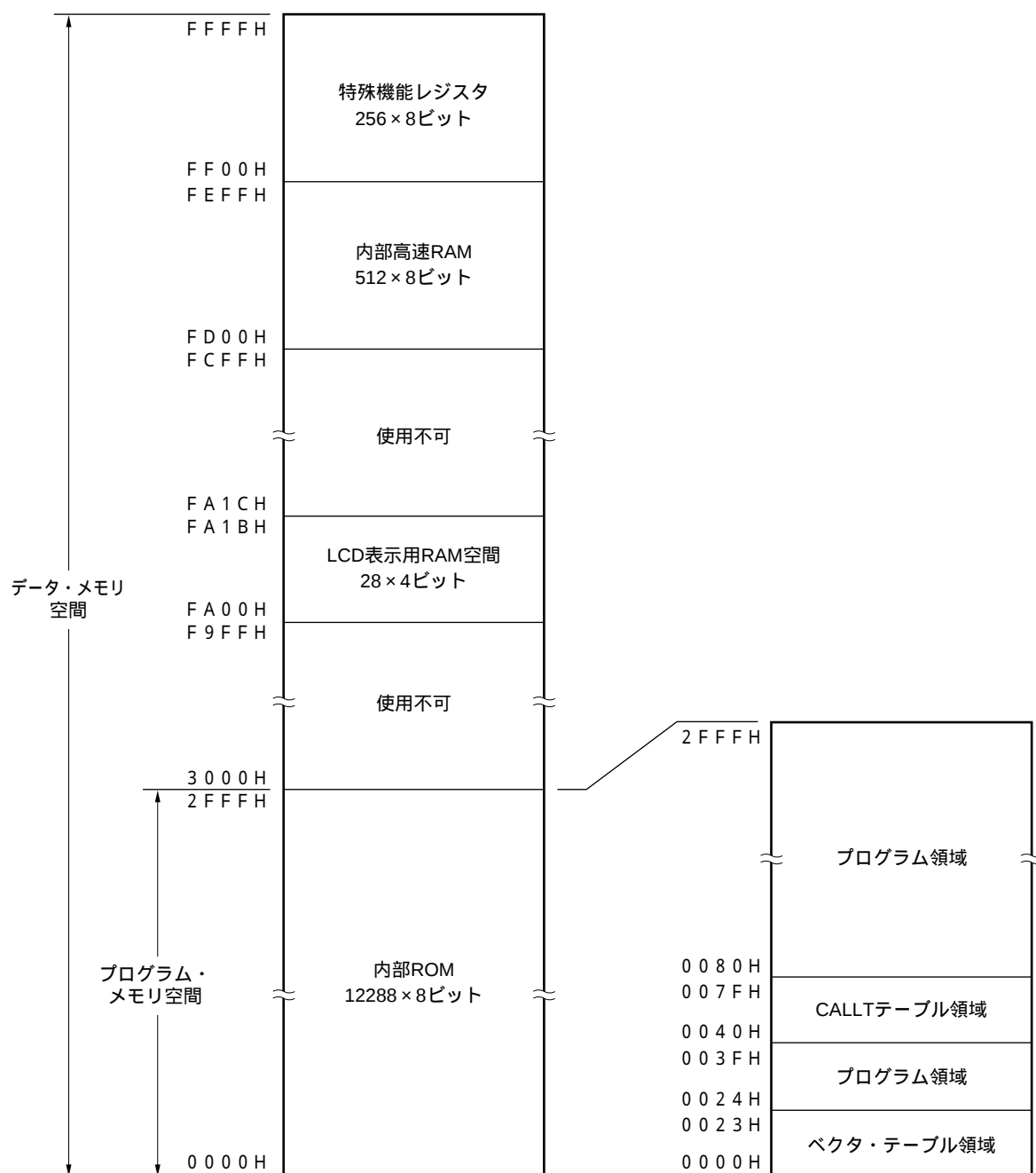


図3 - 2 メモリ・マップ (μPD789406A, 789416A)

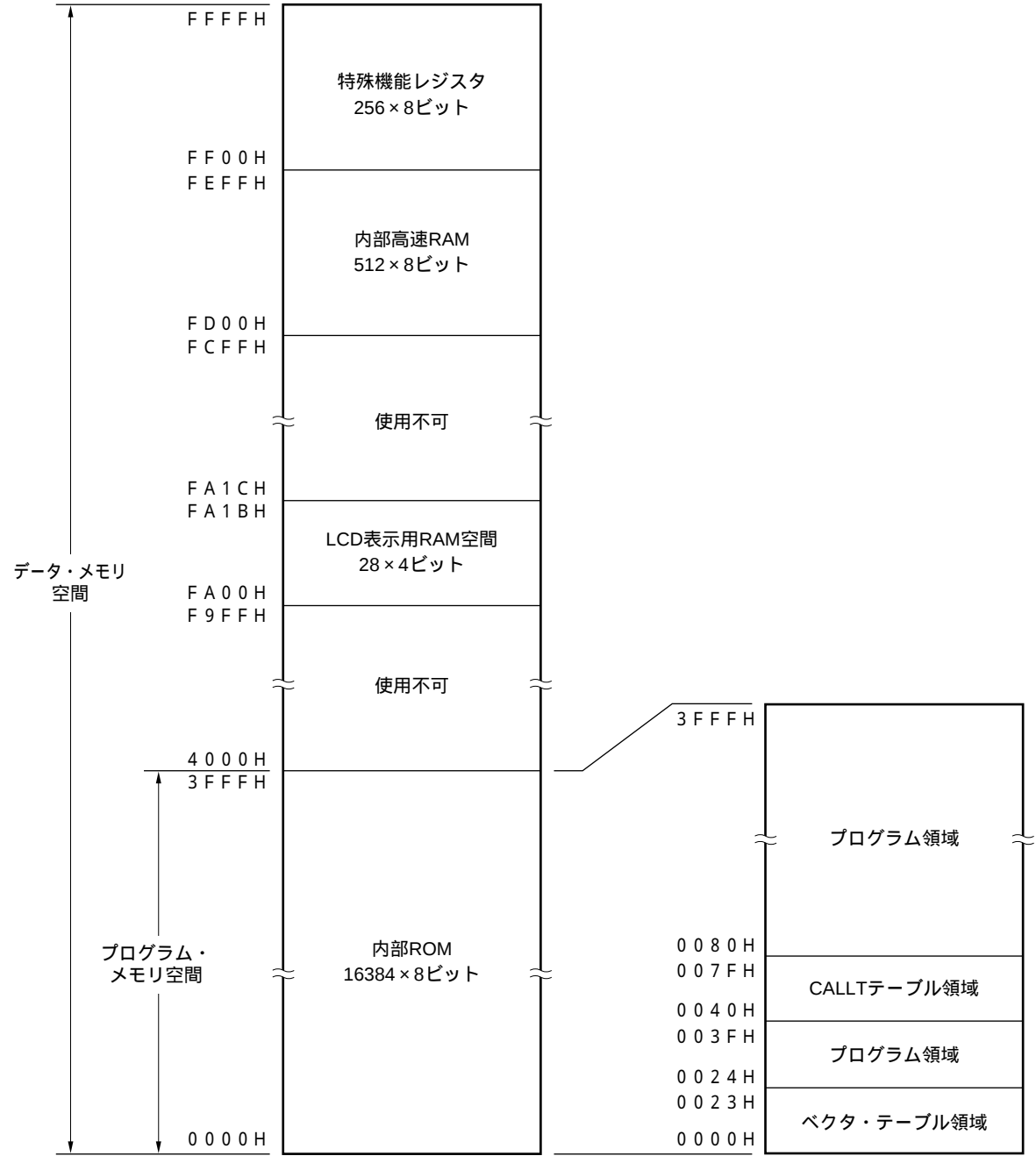


図3 - 3 メモリ・マップ (μPD789407A, 789417A)

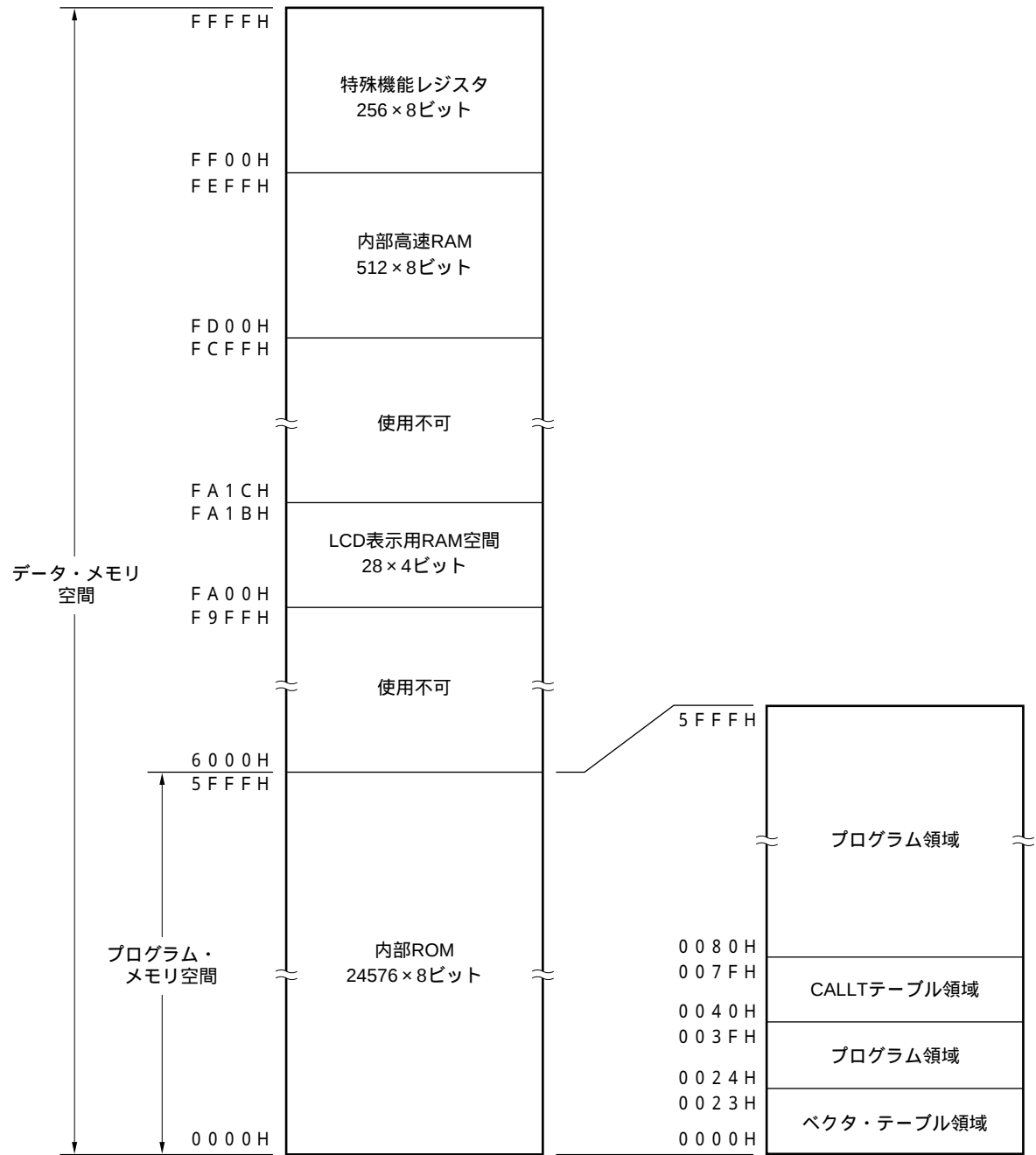
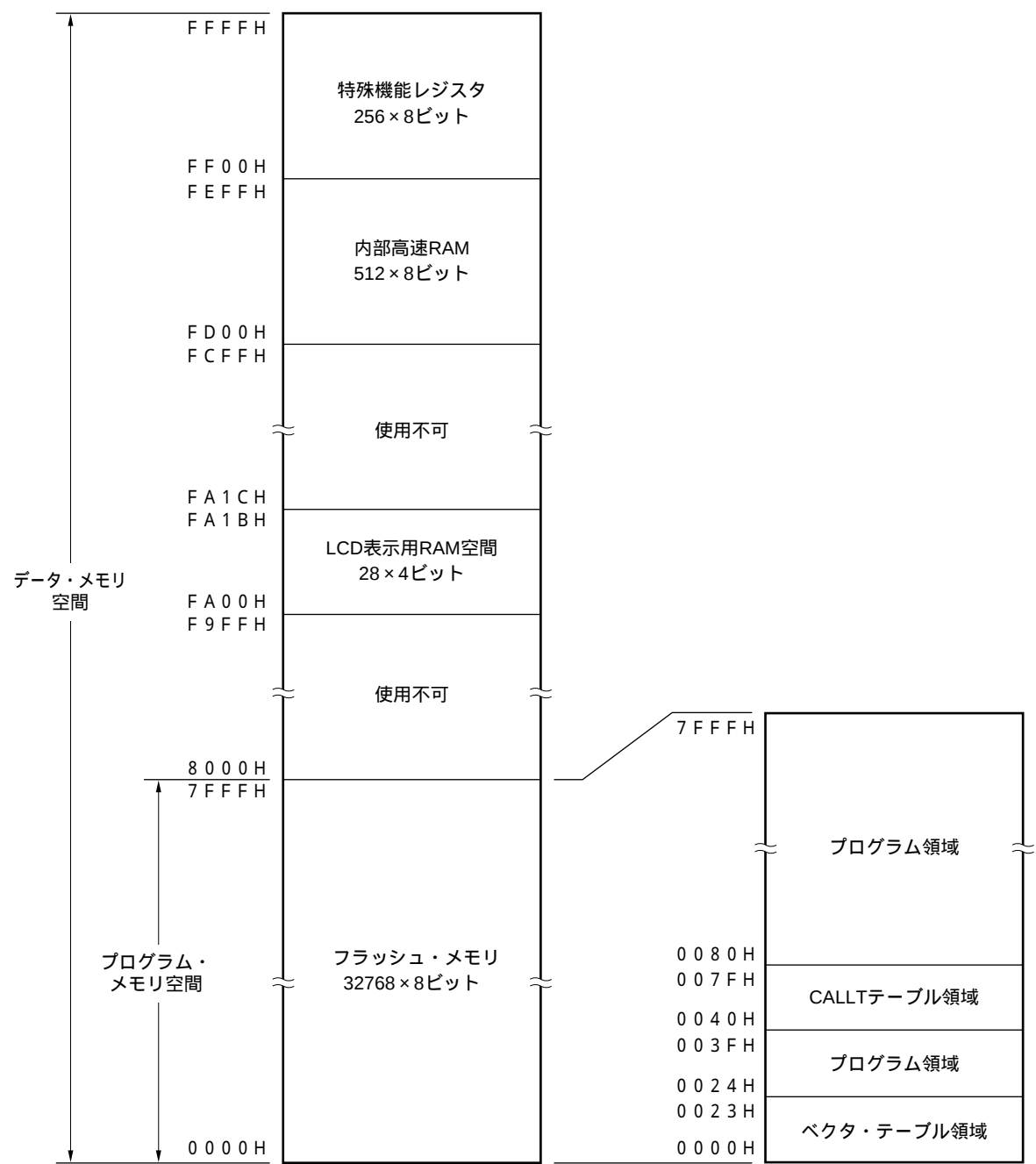


図3 - 4 メモリ・マップ (μPD78F9418A)



### 3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間には、プログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

μPD789407A, 789417Aサブシリーズでは、各製品ごとに次の容量の内部ROM（またはフラッシュ・メモリ）を内蔵しています。

表3 - 1 内部ROM容量

| 品 名                 | 内部ROM     |              |
|---------------------|-----------|--------------|
|                     | 構 造       | 容 量          |
| μPD789405A, 789415A | マスクROM    | 12288 × 8ビット |
| μPD789406A, 789416A |           | 16384 × 8ビット |
| μPD789407A, 789417A |           | 24576 × 8ビット |
| μPD78F9418A         | フラッシュ・メモリ | 32768 × 8ビット |

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

#### （1）ベクタ・テーブル領域

0000H-0023Hの36バイトの領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、RESET入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3 - 2 ベクタ・テーブル

| ベクタ・テーブル・アドレス | 割り込み要求           | ベクタ・テーブル・アドレス | 割り込み要求  |
|---------------|------------------|---------------|---------|
| 0000H         | RESET入力          | 0014H         | INTWTI  |
| 0004H         | INTWDT           | 0016H         | INTTM00 |
| 0006H         | INTP0            | 0018H         | INTTM01 |
| 0008H         | INTP1            | 001AH         | INTTM02 |
| 000AH         | INTP2            | 001CH         | INTTM50 |
| 000CH         | INTP3            | 001EH         | INTKR00 |
| 000EH         | INTSR00/INTCSI00 | 0020H         | INTAD0  |
| 0010H         | INTST00          | 0022H         | INTCMP0 |
| 0012H         | INTWT            |               |         |

#### （2）CALLT命令テーブル領域

0040H-007FHの64バイトの領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

### 3.1.2 内部データ・メモリ空間

μ PD789407A, 789417Aサブシリーズには、次に示すRAMを内蔵しています。

#### (1) 内部高速RAM

FD00H-FEFFFHの領域には、内部高速RAMを内蔵しています。

内部高速RAMはスタックとしても使用します。

#### (2) LCD表示用RAM

FA00H-FA1BHの領域には、LCD表示用RAMが割り付けられています。

LCD表示用RAMは、通常のRAMとしても使用できます。

### 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (表3 - 3参照)。

### 3.1.4 データ・メモリ・アドレッシング

$\mu$ PD789407A, 789417Aサブシリーズは、メモリの操作性などを考慮した豊富なアドレッシング・モードを備えています。特にデータ・メモリを内蔵している領域 (FD00H-FFFFH) では、特殊機能レジスタ (SFR) など、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図3 - 5から図3 - 8にデータ・メモリのアドレッシングを示します。

図3 - 5 データ・メモリのアドレッシング ( $\mu$ PD789405A, 789415A)

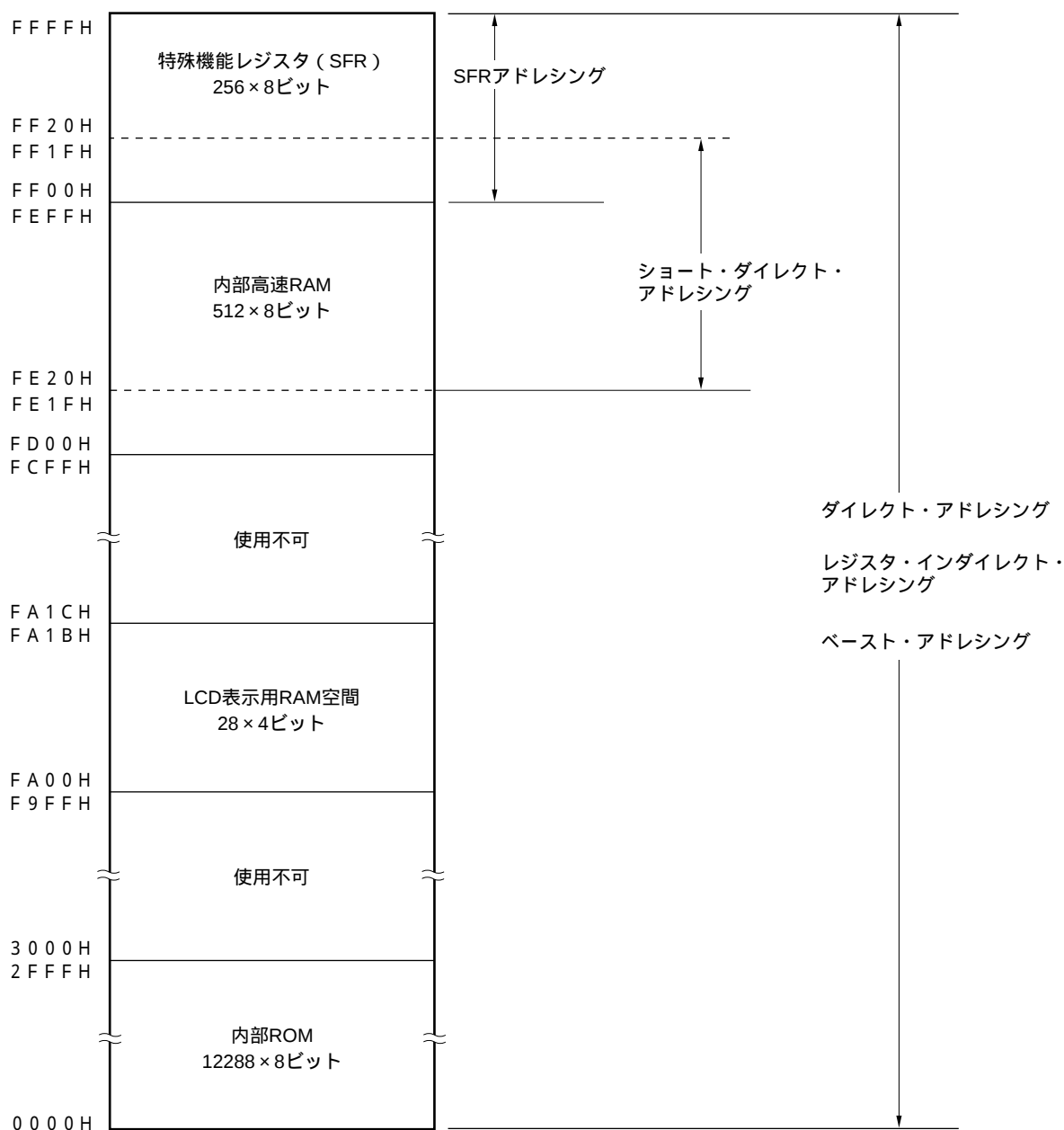


図3 - 6 データ・メモリのアドレッシング (μ PD789406A, 789416A)

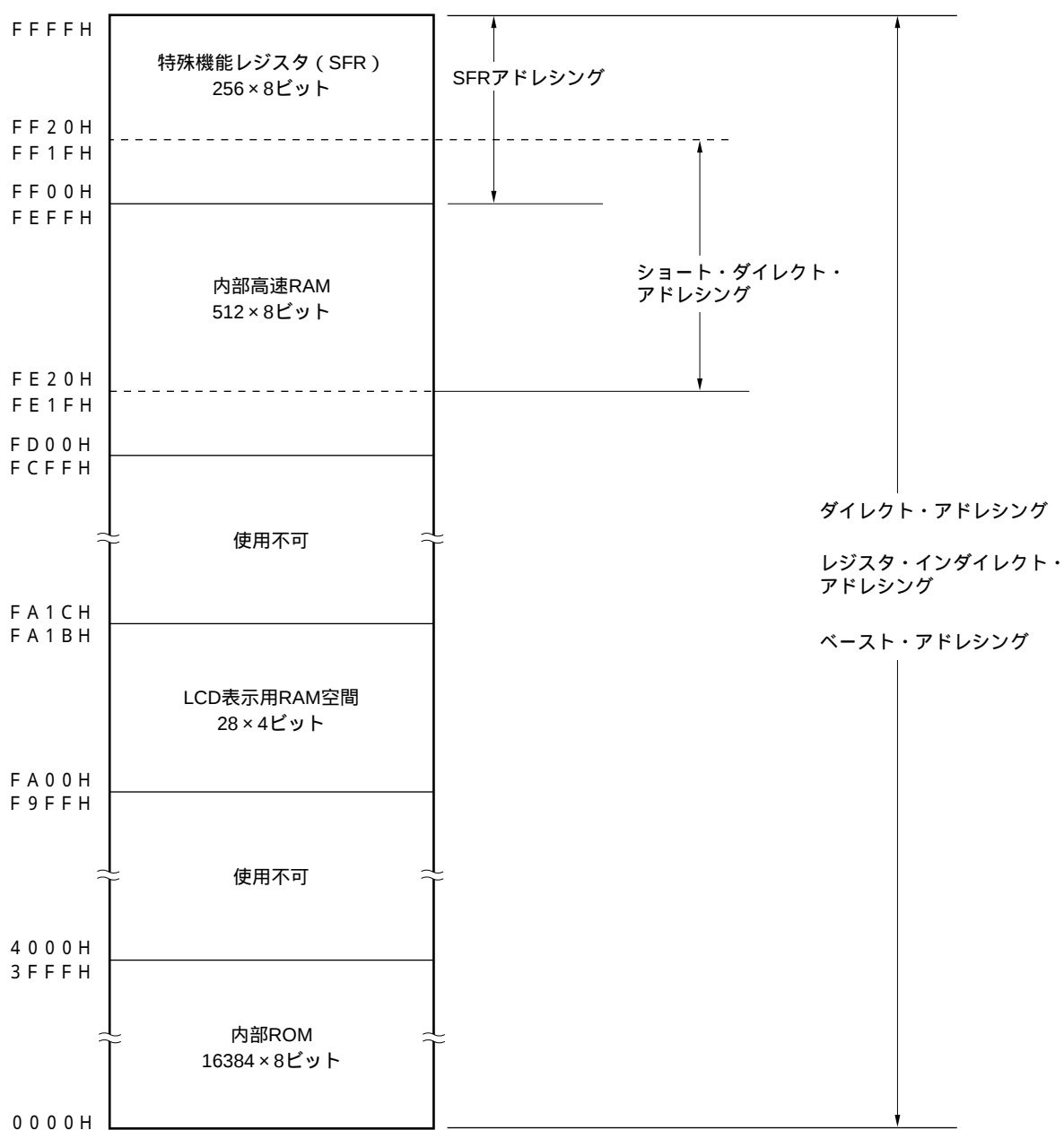


図3 - 7 データ・メモリのアドレッシング (μ PD789407A, 789417A)

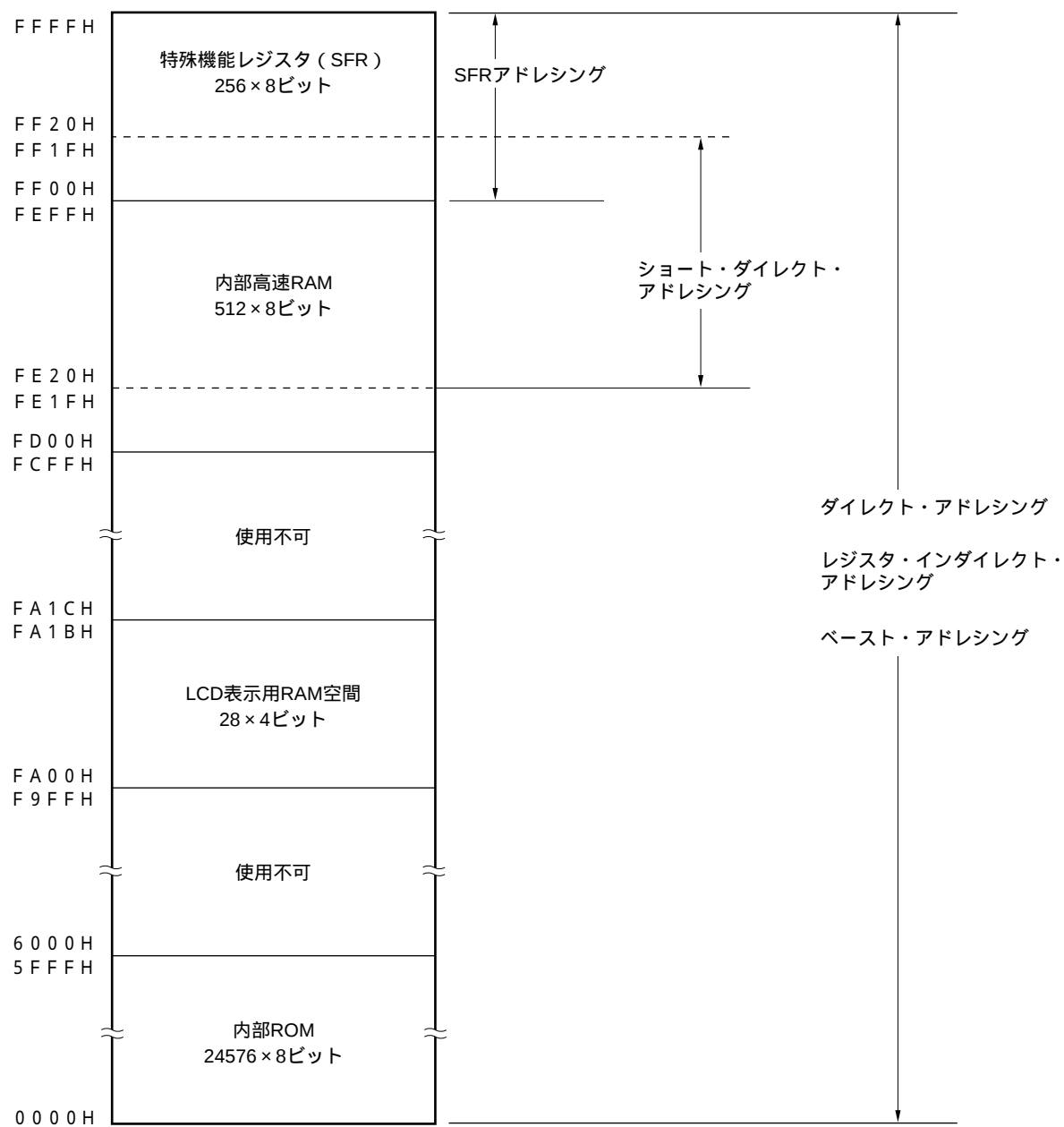
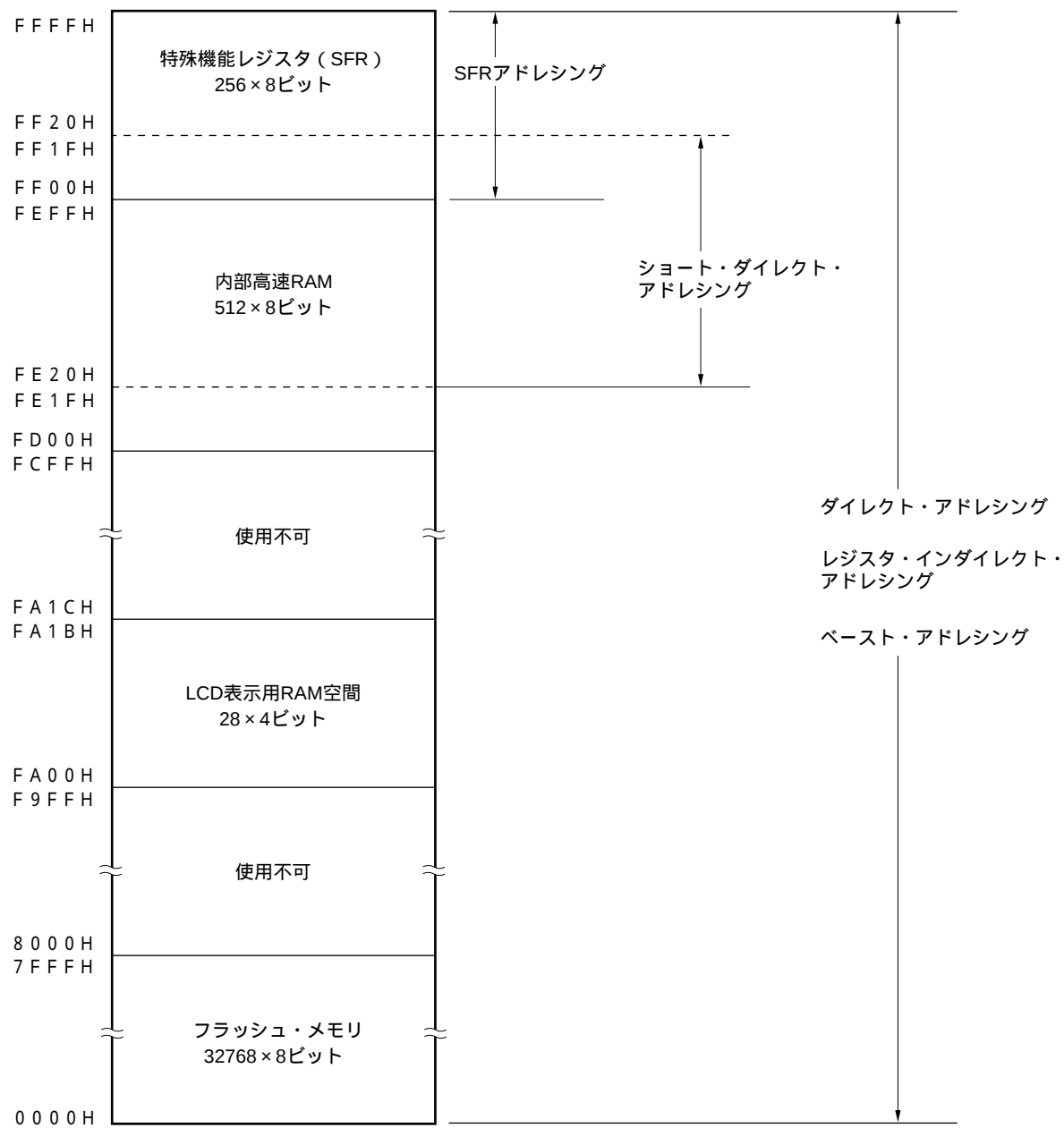


図3 - 8 データ・メモリのアドレッシング (μ PD78F9418A)



## 3.2 プロセッサ・レジスタ

$\mu$ PD789407A, 789417Aサブシリーズは、次のプロセッサ・レジスタを内蔵しています。

### 3.2.1 制御レジスタ

プログラム・シーケンス・ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ、プログラム・ステータス・ワード、スタック・ポインタがあります。

#### (1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3 - 9 プログラム・カウンタの構成

|    |      |      |      |      |      |      |     |     |     |     |     |     |     |     |     |     |
|----|------|------|------|------|------|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
|    | 15   |      |      |      |      |      |     |     |     |     |     |     |     |     |     | 0   |
| PC | PC15 | PC14 | PC13 | PC12 | PC11 | PC10 | PC9 | PC8 | PC7 | PC6 | PC5 | PC4 | PC3 | PC2 | PC1 | PC0 |

#### (2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETI命令およびPOP PSW命令の実行時に自動的に復帰されます。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図3 - 10 プログラム・ステータス・ワードの構成

|  |    |   |   |    |   |   |    |
|--|----|---|---|----|---|---|----|
|  | 7  |   |   |    |   |   | 0  |
|  | IE | Z | 0 | AC | 0 | 0 | 1  |
|  |    |   |   |    |   |   | CY |

**(a) 割り込み許可フラグ (IE)**

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、ノンマスカブル割り込み以外の割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このときの割り込み要求の受け付けは、各割り込み要因に対する割り込みマスク・フラグにより制御されます。

このフラグはDI命令実行または割り込みの受け付けでリセット (0) され、EI命令実行によりセット (1) されます。

**(b) ゼロ・フラグ (Z)**

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

**(c) 補助キャリー・フラグ (AC)**

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

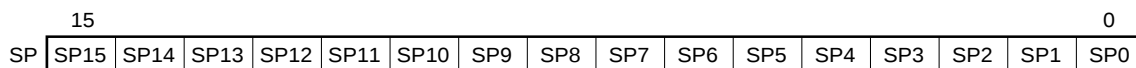
**(d) キャリー・フラグ (CY)**

加減算命令実行時のオーバーフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

## (3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図3 - 11 スタック・ポインタの構成



スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

各スタック動作によって退避／復帰されるデータは図3 - 12, 3 - 13のようになります。

**注意** SPの内容はRESET入力により、不定になりますので、必ず命令実行前にイニシャライズしてください。

図3 - 12 スタック・メモリへ退避されるデータ

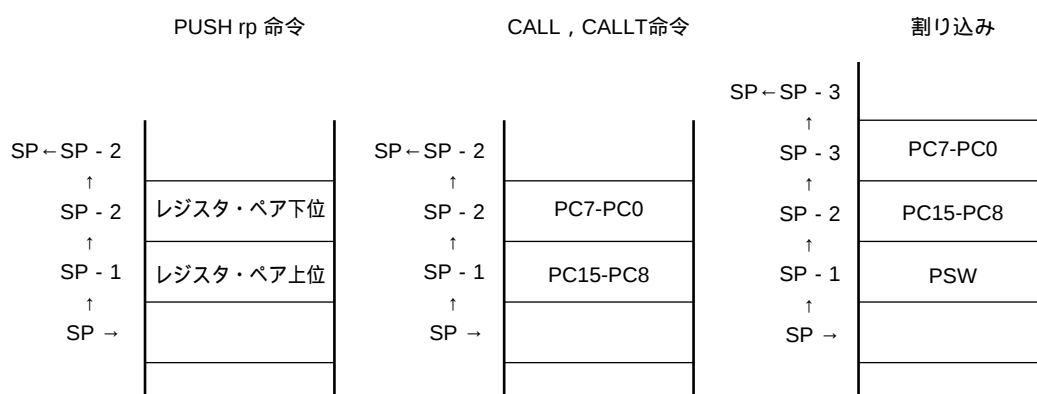
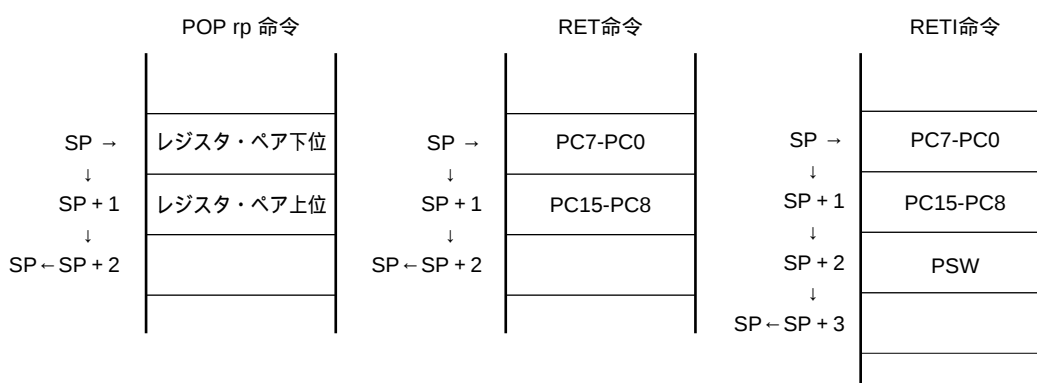


図3 - 13 スタック・メモリから復帰されるデータ



3. 2. 2 汎用レジスタ

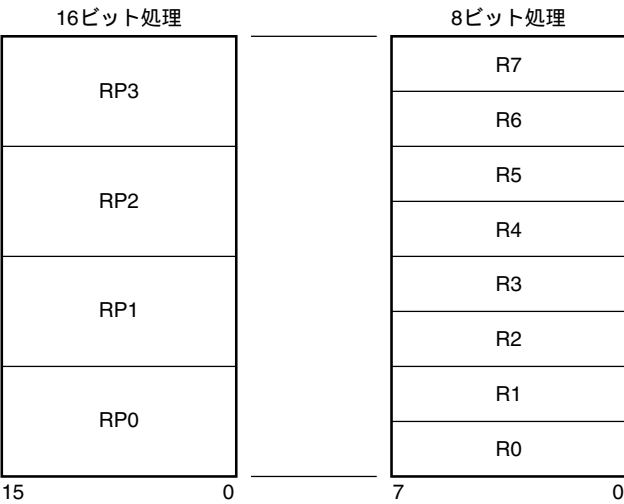
汎用レジスタは、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）で構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

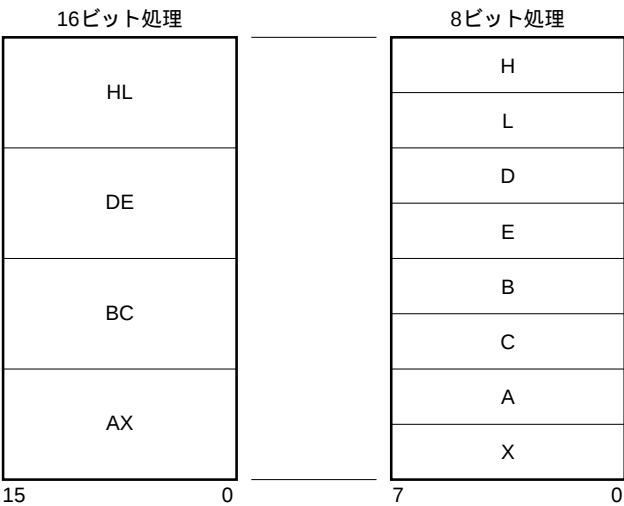
また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）でも記述できます。

図3 - 14 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



### 3.2.3 特殊機能レジスタ (SFR)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの256バイトの空間に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとに指定方法を次に示します。

- ・ 1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ 8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ 16ビット操作

16ビット操作命令のオペランドにアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 3に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- ・ 略号

内蔵された特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、Cコンパイラではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。アセンブラ、統合ディバッガ使用時に命令のオペランドとして記述できます。

- ・ R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・ 操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を示します。

- ・ リセット時

RESET入力時の各レジスタの状態を示します。

表3-3 特殊機能レジスタ一覧(1/2)

| アドレス  | 特殊機能レジスタ (SFR) 名称           | 略号     | R/W | 操作可能ビット単位 |                 |                   | リセット時 |
|-------|-----------------------------|--------|-----|-----------|-----------------|-------------------|-------|
|       |                             |        |     | 1ビット      | 8ビット            | 16ビット             |       |
| FF00H | ポート0                        | P0     | R/W | ○         | ○               | -                 | 00H   |
| FF02H | ポート2                        | P2     |     | ○         | ○               | -                 |       |
| FF04H | ポート4                        | P4     |     | ○         | ○               | -                 |       |
| FF05H | ポート5                        | P5     |     | ○         | ○               | -                 |       |
| FF06H | ポート6                        | P6     | R   | ○         | ○               | -                 | FFH   |
| FF08H | ポート8                        | P8     | R/W | ○         | ○               | -                 |       |
| FF09H | ポート9                        | P9     |     | ○         | ○               | -                 |       |
| FF10H | 送信シフト・レジスタ00                | TXS00  | W   | -         | ○               | -                 | FFH   |
|       | 受信バッファ・レジスタ00               | RXB00  |     | -         | ○               | -                 |       |
| FF14H | A/D変換結果レジスタ0                | ADCR0  |     | -         | ○ <sup>注1</sup> | ○ <sup>注2</sup>   | 不定    |
| FF15H |                             |        |     |           |                 |                   |       |
| FF16H | 16ビット・コンペア・レジスタ50           | CR50L  | W   | -         | -               | ○ <sup>注2,3</sup> | FFFFH |
| FF17H |                             | CR50H  |     |           |                 |                   |       |
| FF18H | 16ビット・タイマ・カウンタ50            | TM50L  | R   | -         | -               | ○ <sup>注2,3</sup> | 0000H |
| FF19H |                             | TM50H  |     |           |                 |                   |       |
| FF1AH | 16ビット・キャプチャ・レジスタ50          | TCP50L | TCP | -         | -               | ○ <sup>注2,3</sup> | 不定    |
| FF1BH |                             | TCP50H |     |           |                 |                   |       |
| FF20H | ポート・モード・レジスタ0               | PM0    | R/W | ○         | ○               | -                 | FFH   |
| FF22H | ポート・モード・レジスタ2               | PM2    |     | ○         | ○               | -                 |       |
| FF24H | ポート・モード・レジスタ4               | PM4    |     | ○         | ○               | -                 |       |
| FF25H | ポート・モード・レジスタ5               | PM5    |     | ○         | ○               | -                 |       |
| FF28H | ポート・モード・レジスタ8               | PM8    |     | ○         | ○               | -                 |       |
| FF29H | ポート・モード・レジスタ9               | PM9    |     | ○         | ○               | -                 |       |
| FF42H | タイマ・クロック選択レジスタ2             | TCL2   |     | -         | ○               | -                 | 00H   |
| FF48H | 16ビット・タイマ・モード・コントロール・レジスタ50 | TMC50  |     | ○         | ○               | -                 |       |
| FF4AH | 時計用タイマ・モード・コントロール・レジスタ      | WTM    |     | ○         | ○               | -                 |       |
| FF4EH | コンパレータ・モード・レジスタ0            | CMPRM0 |     | ○         | ○               | -                 |       |
| FF50H | 8ビット・コンペア・レジスタ00            | CR00   | W   | -         | ○               | -                 | 不定    |
| FF51H | 8ビット・タイマ・カウンタ00             | TM00   | R   | -         | ○               | -                 | 00H   |
| FF53H | 8ビット・タイマ・モード・コントロール・レジスタ00  | TMC00  | R/W | ○         | ○               | -                 |       |

注1. 8ビットA/Dコンバータ( $\mu$ PD789407Aサブシリーズ)として使用する場合,8ビット・アクセスのみ可能です。

このときアドレスはFF15Hとなります。

10ビットA/Dコンバータ( $\mu$ PD789417Aサブシリーズ)として使用する場合,16ビット・アクセスのみ可能です。 $\mu$ PD78F9418Aを $\mu$ PD789405A, 789406A, 789407Aのフラッシュ・メモリとして使用する場合は,8ビット・アクセスが可能です。ただし, $\mu$ PD789405A, 789406A, 789407Aでアセンブルしたオブジェクト・ファイルに限ります。

2. ショート・ダイレクト・アドレッシングでのみ16ビット・アクセスが可能です。

3. CR50, TM50, TCP50は16ビット・アクセス専用のレジスタですが,8ビット・アクセスも可能です。8ビット・アクセスをするときは,ダイレクト・アドレッシングでアクセスしてください。

表3-3 特殊機能レジスタ一覧(2/2)

| アドレス  | 特殊機能レジスタ (SFR) 名称                 | 略号     | R/W | 操作可能ビット単位 |      |       | リセット時 |
|-------|-----------------------------------|--------|-----|-----------|------|-------|-------|
|       |                                   |        |     | 1ビット      | 8ビット | 16ビット |       |
| FF54H | 8ビット・コンペア・レジスタ01                  | CR01   | W   | -         | ○    | -     | 不定    |
| FF55H | 8ビット・タイマ・カウンタ01                   | TM01   | R   | -         | ○    | -     | 00H   |
| FF57H | 8ビット・タイマ・モード・コントロール・レジスタ01        | TMC01  | R/W | ○         | ○    | -     |       |
| FF58H | 8ビット・コンペア・レジスタ02                  | CR02   | W   | -         | ○    | -     | 不定    |
| FF59H | 8ビット・タイマ・カウンタ02                   | TM02   | R   | -         | ○    | -     | 00H   |
| FF5BH | 8ビット・タイマ・モード・コントロール・レジスタ02        | TMC02  | R/W | ○         | ○    | -     |       |
| FF70H | アシンクロナス・シリアル・インタフェース・モード・レジスタ00   | ASIM00 | R   | ○         | ○    | -     |       |
| FF71H | アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 | ASIS00 |     | ○         | ○    | -     |       |
| FF72H | シリアル動作モード・レジスタ00                  | CSIM00 | R/W | ○         | ○    | -     |       |
| FF73H | ボー・レート・ジェネレータ・コントロール・レジスタ00       | BRGC00 |     | -         | ○    | -     |       |
| FF80H | A/Dコンバータ・モード・レジスタ0                | ADM0   |     | ○         | ○    | -     |       |
| FF84H | A/D入力選択レジスタ0                      | ADS0   |     | ○         | ○    | -     |       |
| FFB0H | LCD表示モード・レジスタ0                    | LCDM0  |     | ○         | ○    | -     |       |
| FFB1H | LCDポート・セクタ0                       | LPS0   |     | ○         | ○    | -     |       |
| FFB2H | LCDクロック制御レジスタ0                    | LCDC0  |     | ○         | ○    | -     |       |
| FFE0H | 割り込み要求フラグ・レジスタ0                   | IF0    |     | ○         | ○    | -     |       |
| FFE1H | 割り込み要求フラグ・レジスタ1                   | IF1    |     | ○         | ○    | -     |       |
| FFE4H | 割り込みマスク・フラグ・レジスタ0                 | MK0    |     | ○         | ○    | -     | FFH   |
| FFE5H | 割り込みマスク・フラグ・レジスタ1                 | MK1    |     | ○         | ○    | -     |       |
| FFECH | 外部割り込みモード・レジスタ0                   | INTM0  |     | -         | ○    | -     | 00H   |
| FFEDH | 外部割り込みモード・レジスタ1                   | INTM1  |     | -         | ○    | -     |       |
| FFF0H | サブ発振モード・レジスタ                      | SCKM   |     | ○         | ○    | -     |       |
| FFF2H | サブクロック・コントロール・レジスタ                | CSS    |     | ○         | ○    | -     |       |
| FFF3H | プルアップ抵抗オプション・レジスタ1                | PU1    |     | ○         | ○    | -     |       |
| FFF4H | プルアップ抵抗オプション・レジスタ2                | PU2    |     | ○         | ○    | -     |       |
| FFF5H | キー・リターン・モード・レジスタ00                | KRM00  |     | ○         | ○    | -     |       |
| FFF7H | プルアップ抵抗オプション・レジスタ0                | PU0    |     | ○         | ○    | -     |       |
| FFF9H | ウォッチドッグ・タイマ・モード・レジスタ              | WDTM   |     | ○         | ○    | -     |       |
| FFFAH | 発振安定時間選択レジスタ                      | OSTS   |     | -         | ○    | -     | 04H   |
| FFFBH | プロセッサ・クロック・コントロール・レジスタ            | PCC    |     | ○         | ○    | -     | 02H   |

### 3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行することにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0Sシリーズ ユーザーズ・マニュアル命令編（U11047J）を参照してください）。

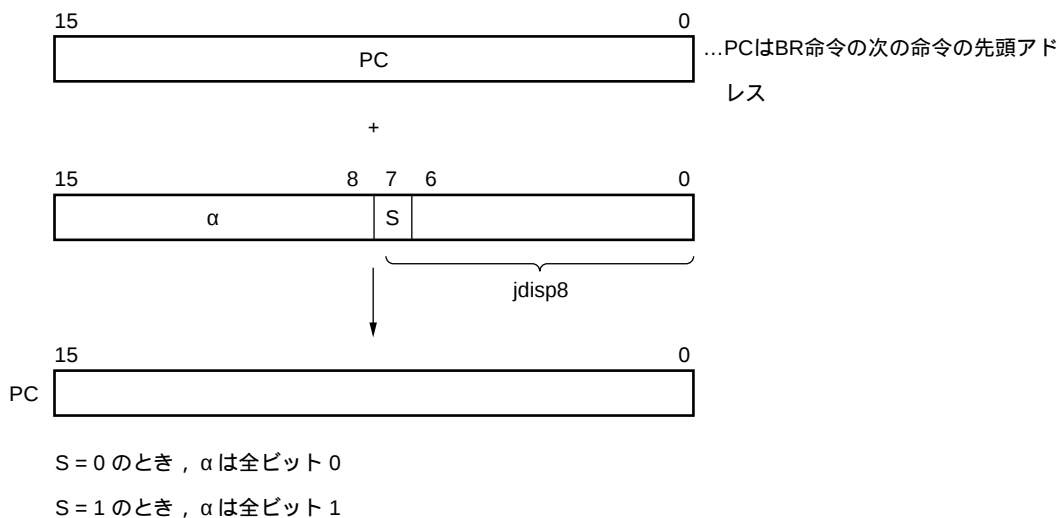
#### 3.3.1 レラティブ・アドレッシング

##### 【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエート・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

##### 【図解】



### 3.3.2 イミディエト・アドレッシング

#### 【機能】

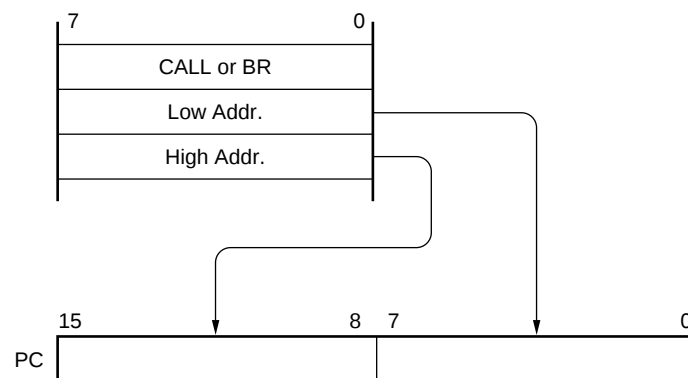
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16命令を実行する際に行われます。

CALL !addr16, BR !addr16命令は、全メモリに分岐できます。

#### 【図解】

CALL !addr16, BR !addr16命令の場合



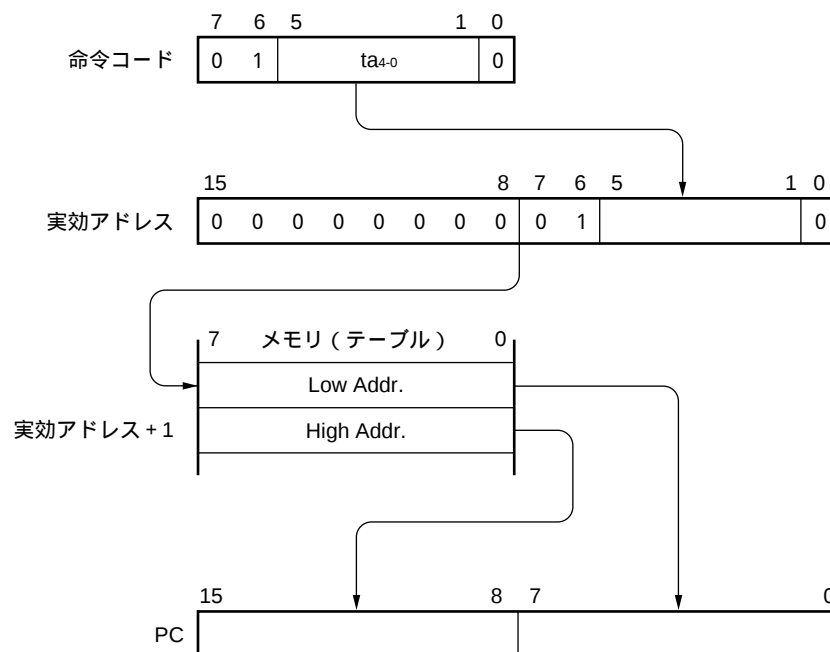
### 3.3.3 テーブル・インダイレクト・アドレッシング

#### 【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [ addr5 ] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H～7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

#### 【図解】



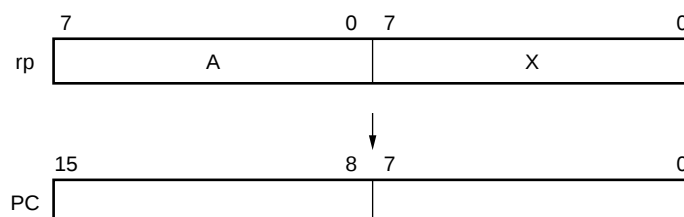
### 3.3.4 レジスタ・アドレッシング

#### 【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

#### 【図解】



## 3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

### 3.4.1 ダイレクト・アドレッシング

#### 【機能】

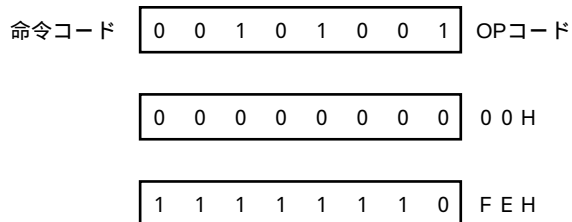
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

#### 【オペランド形式】

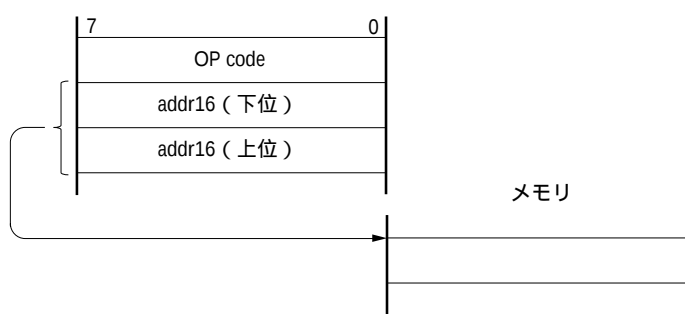
| 表現形式   | 記述方法                   |
|--------|------------------------|
| addr16 | ラベルまたは16ビット・イミディエト・データ |

#### 【記述例】

MOV A, !FE00H ; !addr16をFE00Hとする場合



#### 【図解】



## 3.4.2 ショート・ダイレクト・アドレッシング

## 【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部高速RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作することができます。

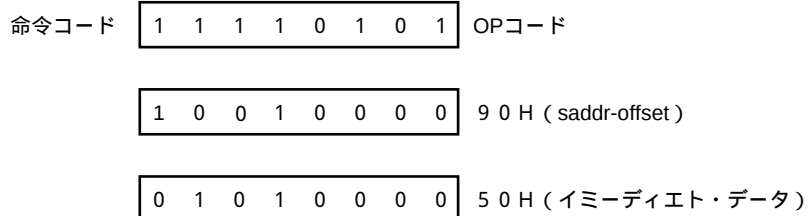
実効アドレスのビット8には、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。次の【図解】を参照してください。

## 【オペランド形式】

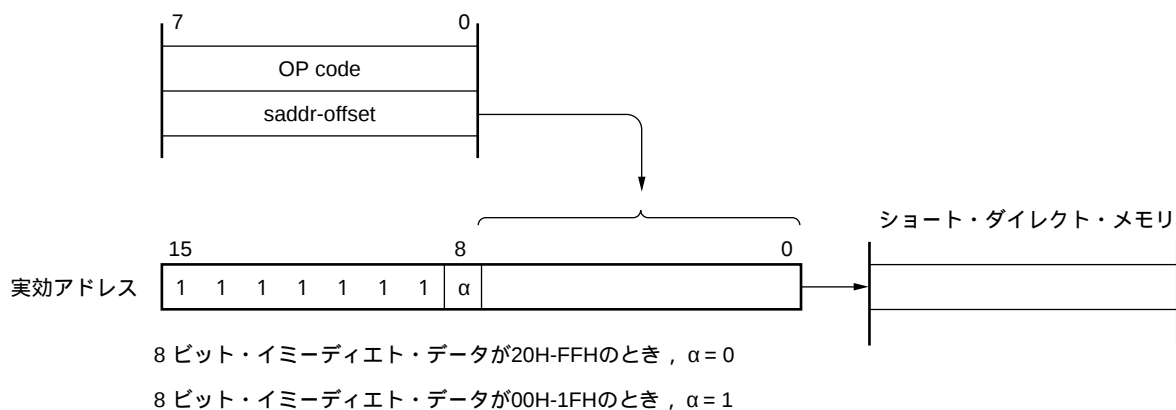
| 表現形式   | 記述方法                                   |
|--------|----------------------------------------|
| saddr  | ラベルまたはFE20H-FF1FHのイミディエト・データ           |
| saddrp | ラベルまたはFE20H-FF1FHのイミディエト・データ（偶数アドレスのみ） |

## 【記述例】

MOV FE30H, #50H ; saddrをFE30H、イミディエト・データを50Hとする場合



## 【図解】



### 3.4.3 特殊機能レジスタ (SFR) アドレッシング

#### 【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

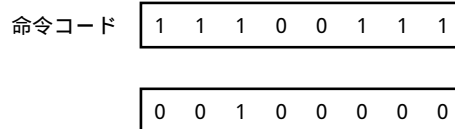
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

#### 【オペランド形式】

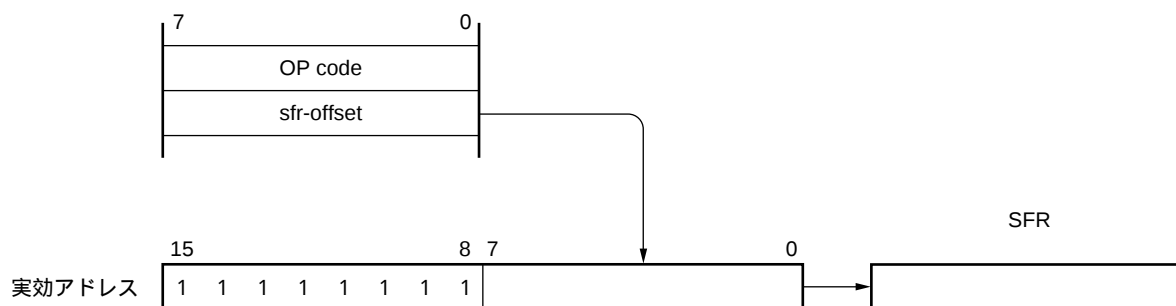
| 表現形式 | 記述方法      |
|------|-----------|
| sfr  | 特殊機能レジスタ名 |

#### 【記述例】

MOV PM0, A ; sfrにPM0を選択する場合



#### 【図解】



### 3.4.4 レジスタ・アドレッシング

#### 【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。

アクセスされる汎用レジスタは、命令コード中のレジスタ指定コードや機能名称で指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

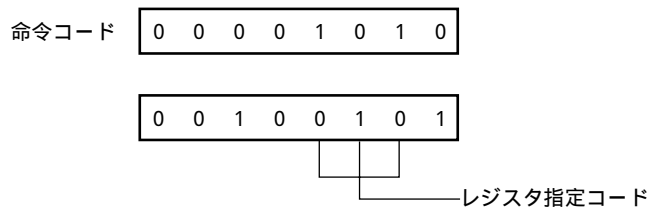
#### 【オペランド形式】

| 表現形式 | 記 述 方 法                |
|------|------------------------|
| r    | X, A, C, B, E, D, L, H |
| rp   | AX, BC, DE, HL         |

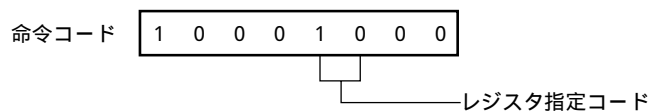
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

#### 【記 述 例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



## 3.4.5 レジスタ・インダイレクト・アドレッシング

## 【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

## 【オペランド形式】

| 表現形式 | 記述方法           |
|------|----------------|
| -    | [ DE ], [ HL ] |

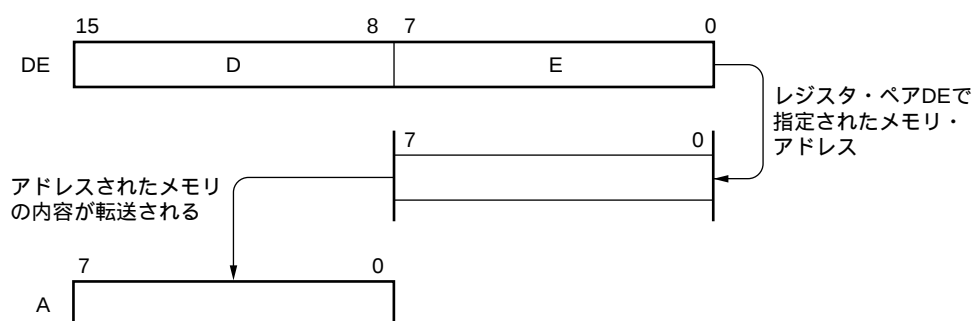
## 【記述例】

MOV A, [ DE ] ; レジスタ・ペア [ DE ] を選択する場合

命令コード 

|   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 |
|---|---|---|---|---|---|---|---|

## 【図解】



### 3.4.6 ベース・アドレッシング

#### 【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

#### 【オペランド形式】

| 表現形式 | 記述方法          |
|------|---------------|
| -    | [ HL + byte ] |

#### 【記述例】

MOV A, [ HL + 10H ] ; byteを10Hとする場合

命令コード 

|   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 |
|---|---|---|---|---|---|---|---|

|   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
|---|---|---|---|---|---|---|---|

### 3.4.7 スタック・アドレッシング

#### 【機能】

スタック・ポインタ (SP) の内容により、スタック領域を間接的にアドレスするアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスすることができます。

#### 【記述例】

PUSH DEの場合

命令コード 

|   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 |
|---|---|---|---|---|---|---|---|

## 第4章 ポート機能

### 4.1 ポートの機能

$\mu$ PD789407A, 789417Aサブシリーズは図4 - 1に示すポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、**第2章 端子機能**を参照してください。

図4 - 1 ポートの種類

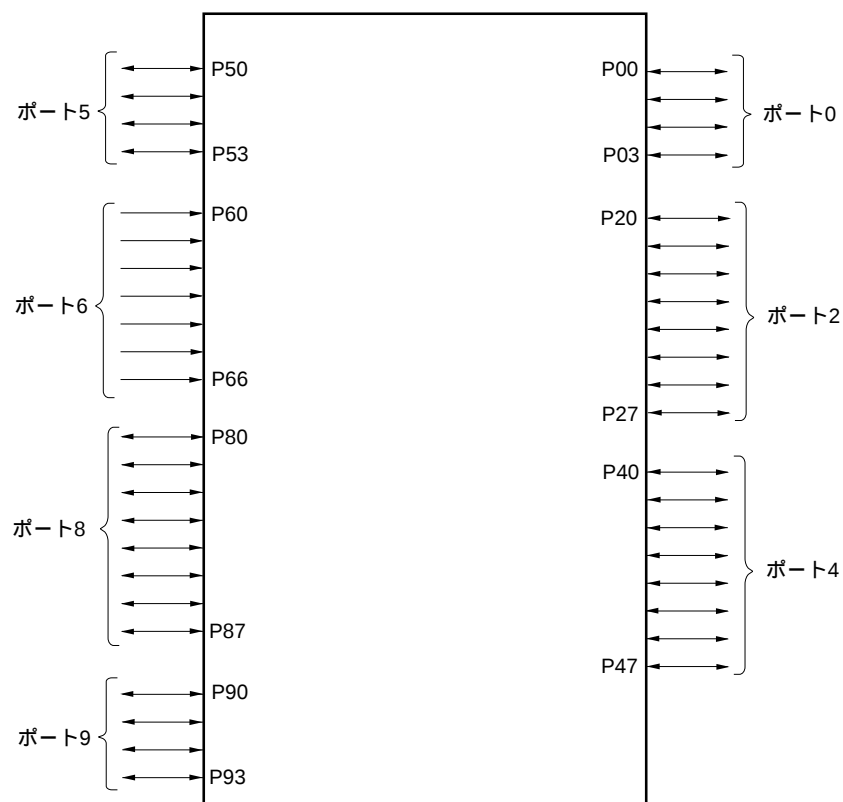


表4 - 1 ポートの機能

| 端子名称     | 入出力 | 機 能                                                                                                            | リセット時 | 兼用端子         |
|----------|-----|----------------------------------------------------------------------------------------------------------------|-------|--------------|
| P00-P03  | 入出力 | ポート0。<br>4ビット入出力ポート。<br>1ビット単位で入力 / 出力の指定可能。<br>入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用可能。 | 入力    | -            |
| P20      | 入出力 | ポート2。<br>8ビット入出力ポート。<br>1ビット単位で入力 / 出力の指定可能。<br>入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ1 (PU1) の設定により、内蔵プルアップ抵抗を使用可能。 | 入力    | SCK/ASCK     |
| P21      |     |                                                                                                                |       | SO/TxD       |
| P22      |     |                                                                                                                |       | SI/RxD       |
| P23      |     |                                                                                                                |       | CMPTOUT0/TO2 |
| P24      |     |                                                                                                                |       | INTP0/TI0    |
| P25      |     |                                                                                                                |       | INTP1/TI1    |
| P26      |     |                                                                                                                |       | INTP2/TO5    |
| P27      |     |                                                                                                                |       | INTP3/CPT5   |
| P40-P45  | 入出力 | ポート4。<br>8ビット入出力ポート。<br>1ビット単位で入力 / 出力の指定可能。<br>入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用可能。 | 入力    | KR0-KR5      |
| P46, P47 |     |                                                                                                                |       | -            |
| P50-P53  | 入出力 | ポート5。<br>4ビットN-chオープン・ドレイン入出力ポート。<br>1ビット単位で入力 / 出力の指定可能。<br>マスクROM製品はマスク・オプションにより、プルアップ抵抗の内蔵を指定可能。            | 入力    | -            |
| P60      | 入力  | ポート6。<br>7ビット入力専用ポート。                                                                                          | 入力    | ANI0/CMPIN0  |
| P61      |     |                                                                                                                |       | ANI1/CMPREF0 |
| P62-P66  |     |                                                                                                                |       | ANI2-ANI6    |
| P80-P87  | 入出力 | ポート8。<br>8ビット入出力ポート。<br>1ビット単位で入力 / 出力の指定可能。<br>入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ2 (PU2) の設定により、内蔵プルアップ抵抗を使用可能。 | 入力    | S27-S20      |
| P90-P93  | 入出力 | ポート9。<br>4ビット入出力ポート。<br>1ビット単位で入力 / 出力の指定可能。<br>入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ2 (PU2) の設定により、内蔵プルアップ抵抗を使用可能。 | 入力    | S19-S16      |

## 4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4 - 2 ポートの構成

| 項 目     | 構 成                                                                                                 |
|---------|-----------------------------------------------------------------------------------------------------|
| 制御レジスタ  | ポート・モード・レジスタ (PMm : m = 0, 2, 4, 5, 8, 9)<br>プルアップ抵抗オプション・レジスタ (PUm : m = 0-2)                      |
| ポート     | 合計 : 43本 (入力 : 7本, 入出力 : 36本)                                                                       |
| プルアップ抵抗 | ・ マスクROM製品<br>合計 : 36本 (ソフトウェア制御 : 32本, マスク・オプション制御 : 4本)<br>・ フラッシュ・メモリ製品<br>合計 : 32本 (ソフトウェア制御のみ) |

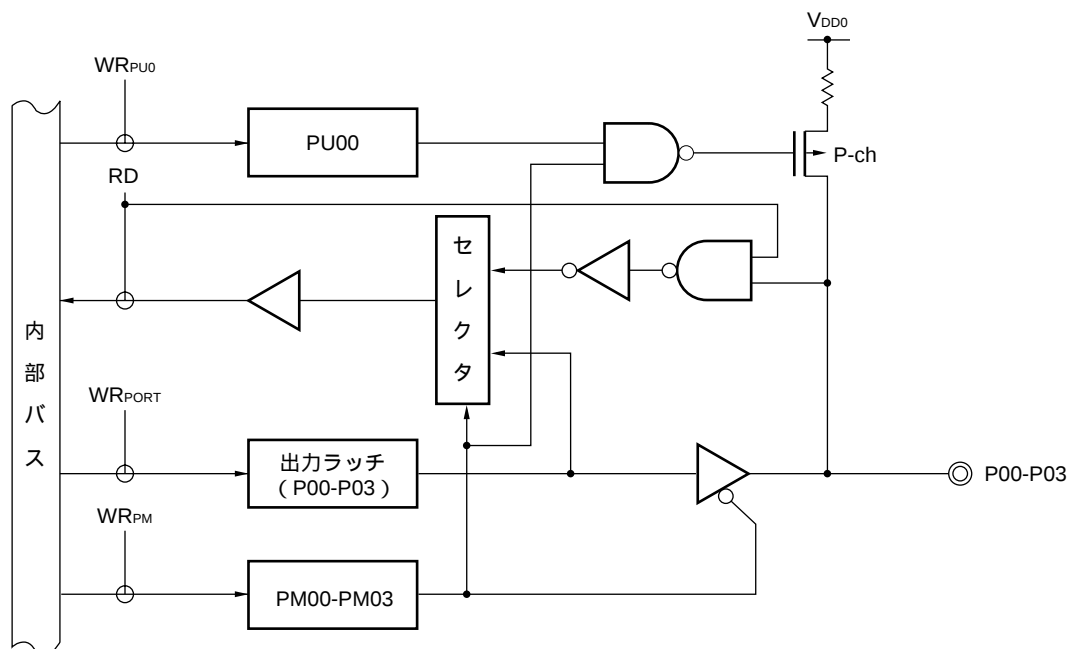
### 4.2.1 ポート0

出力ラッチ付き4ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード / 出力モードの指定ができます。P00-P03端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0 (PU0) により4ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 2にポート0のブロック図を示します。

図4 - 2 P00-P03のブロック図



PU0 : プルアップ抵抗オプション・レジスタ0

PM : ポート・モード・レジスタ

RD : ポート0のリード信号

WR : ポート0のライト信号

### 4.2.2 ポート2

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード / 出力モードの指定ができます。P20-P27端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ1 (PU1) の設定により1ビット単位で内蔵プルアップ抵抗を使用できます。

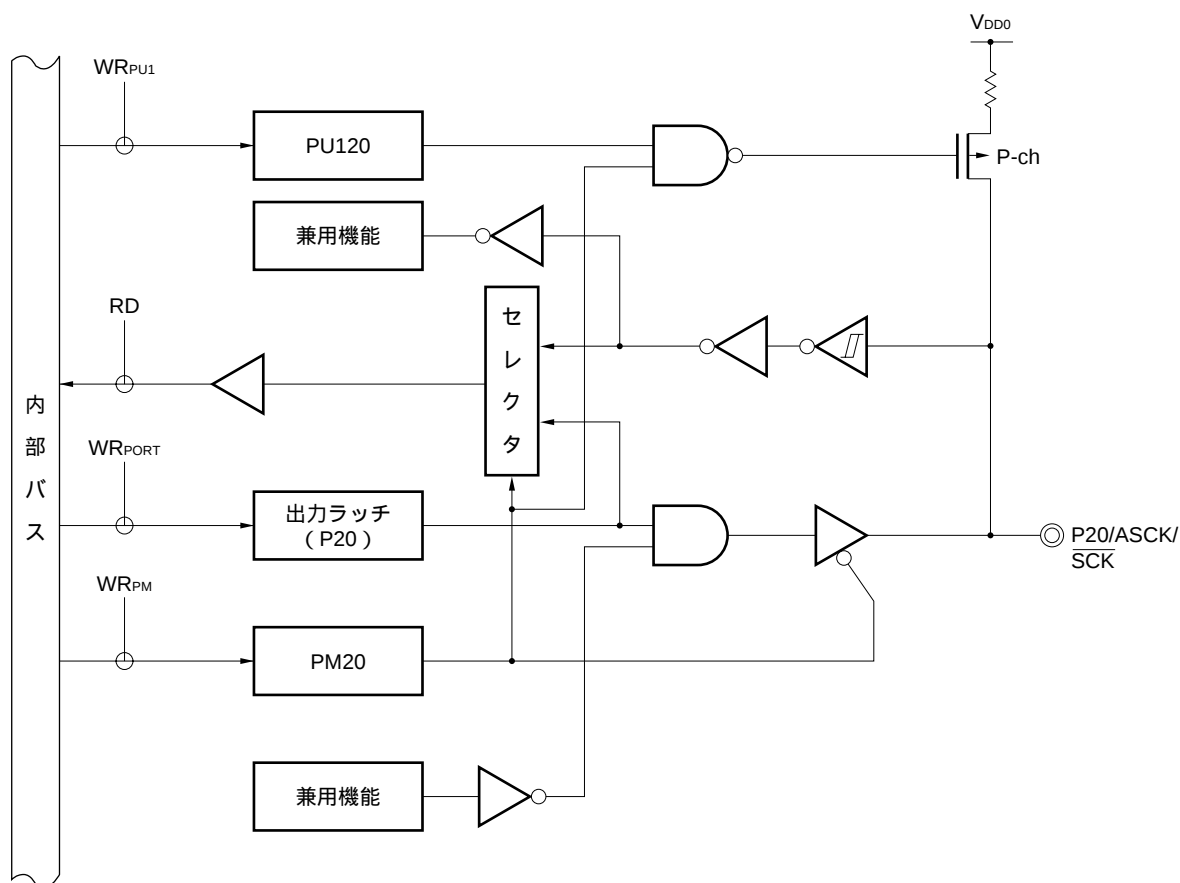
また、兼用機能としてシリアル・インタフェースの入出力、クロックの入出力、タイマ入出力、外部割り込み入力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 3から図4 - 7にポート2のブロック図を示します。

**注意** シリアル・インタフェースとして使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要になります。設定方法については、表13 - 2 シリアル・インタフェース00の動作モードの設定一覧を参照してください。

図4 - 3 P20のブロック図



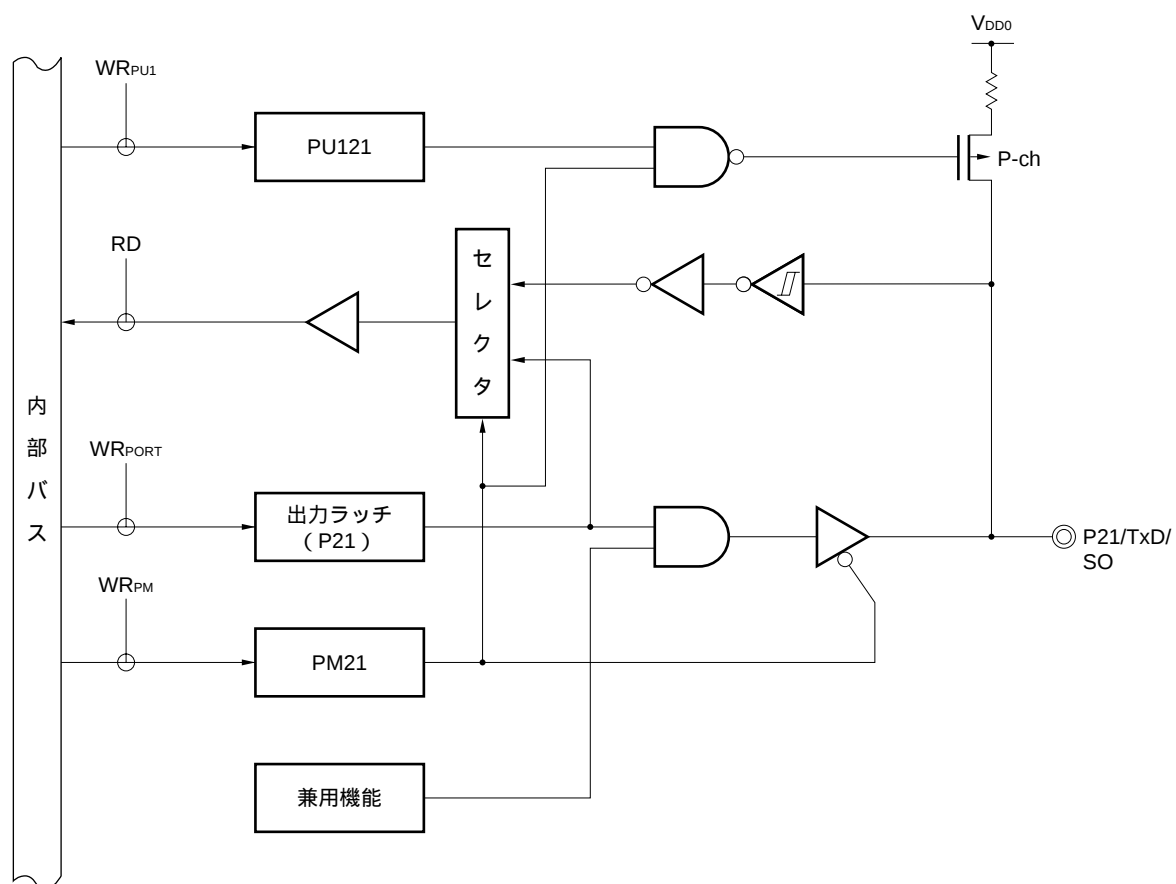
PU1 : プルアップ抵抗オプション・レジスタ1

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 4 P21のブロック図



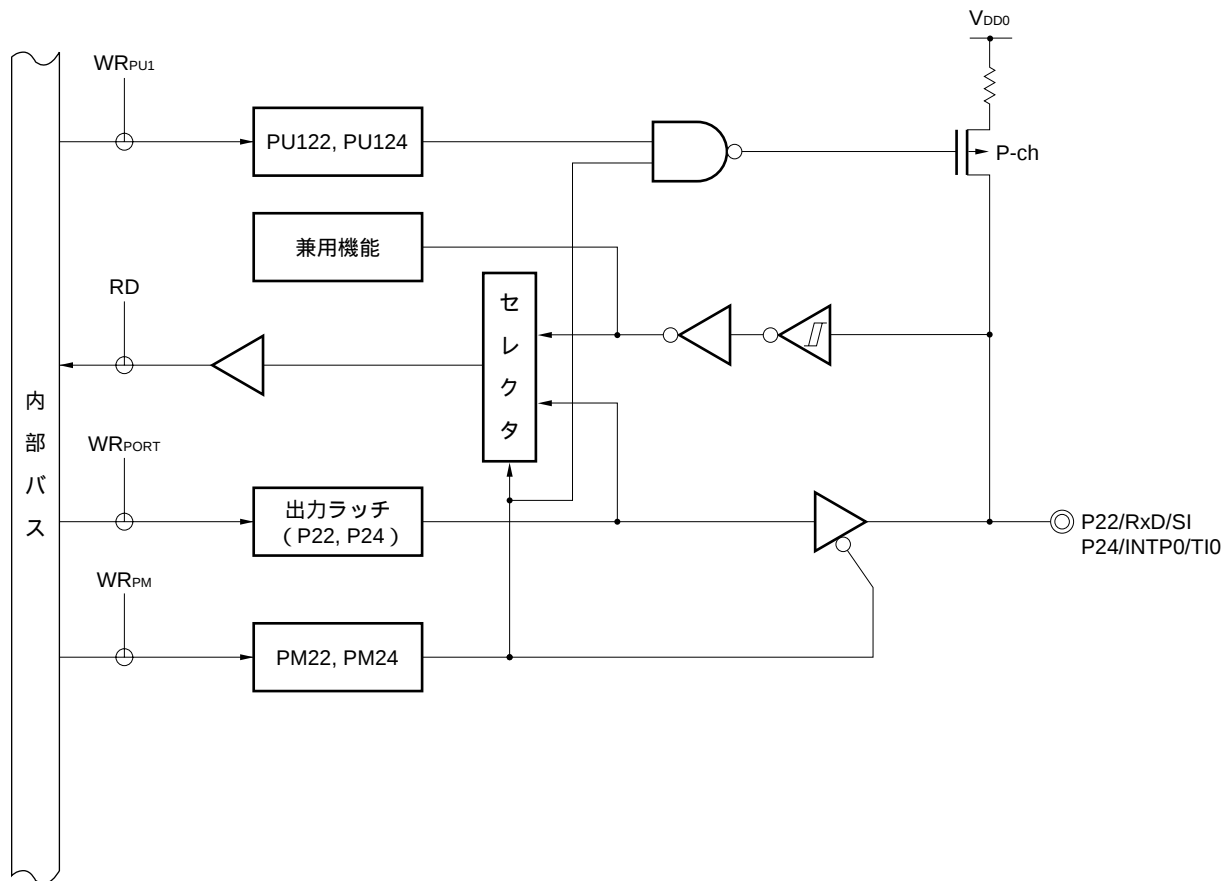
PU1 : プルアップ抵抗オプション・レジスタ1

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 5 P22, P24のブロック図



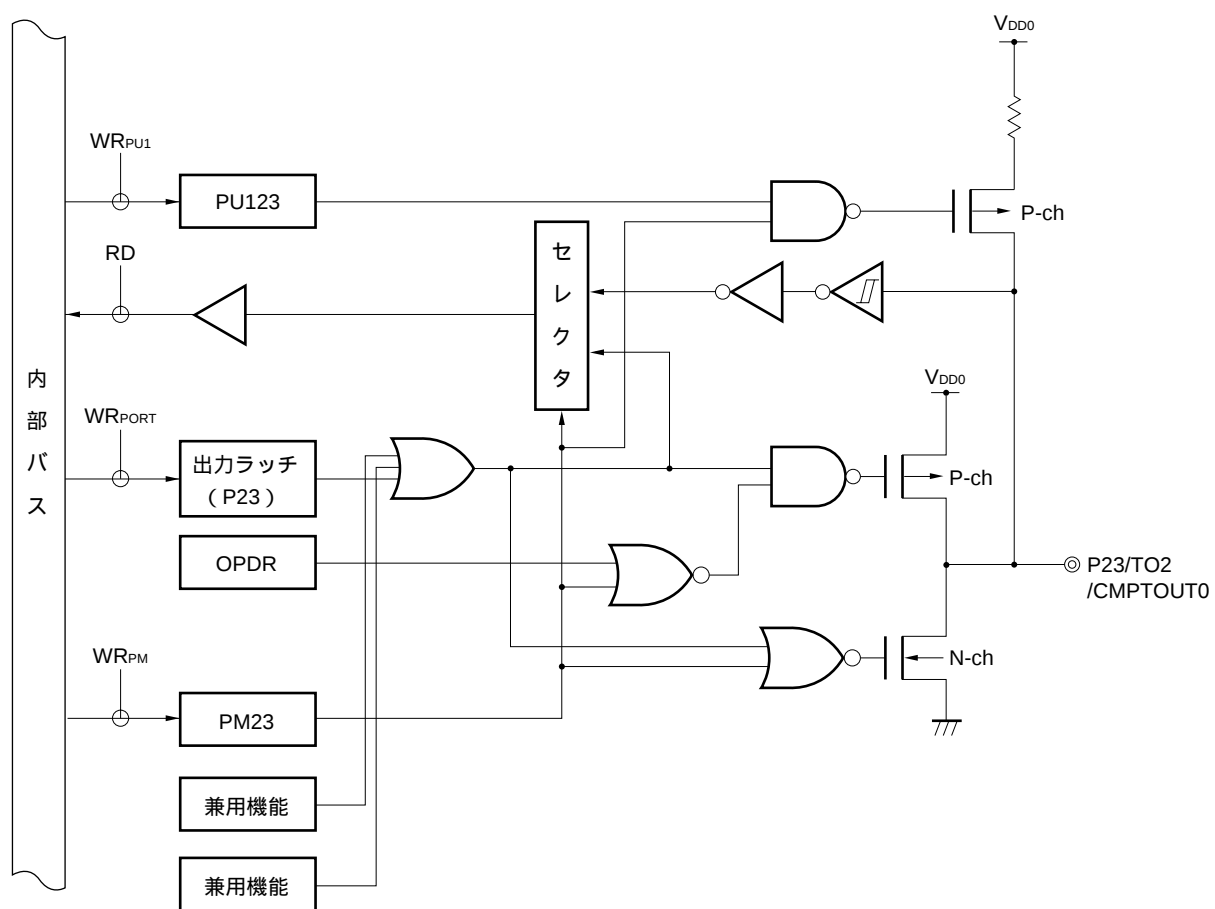
PU1 : プルアップ抵抗オプション・レジスタ1

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 6 P23のブロック図



OPDR : コンパレータ・モード・レジスタ0のビット1 , N-chオープン・ドレイン出力の選択

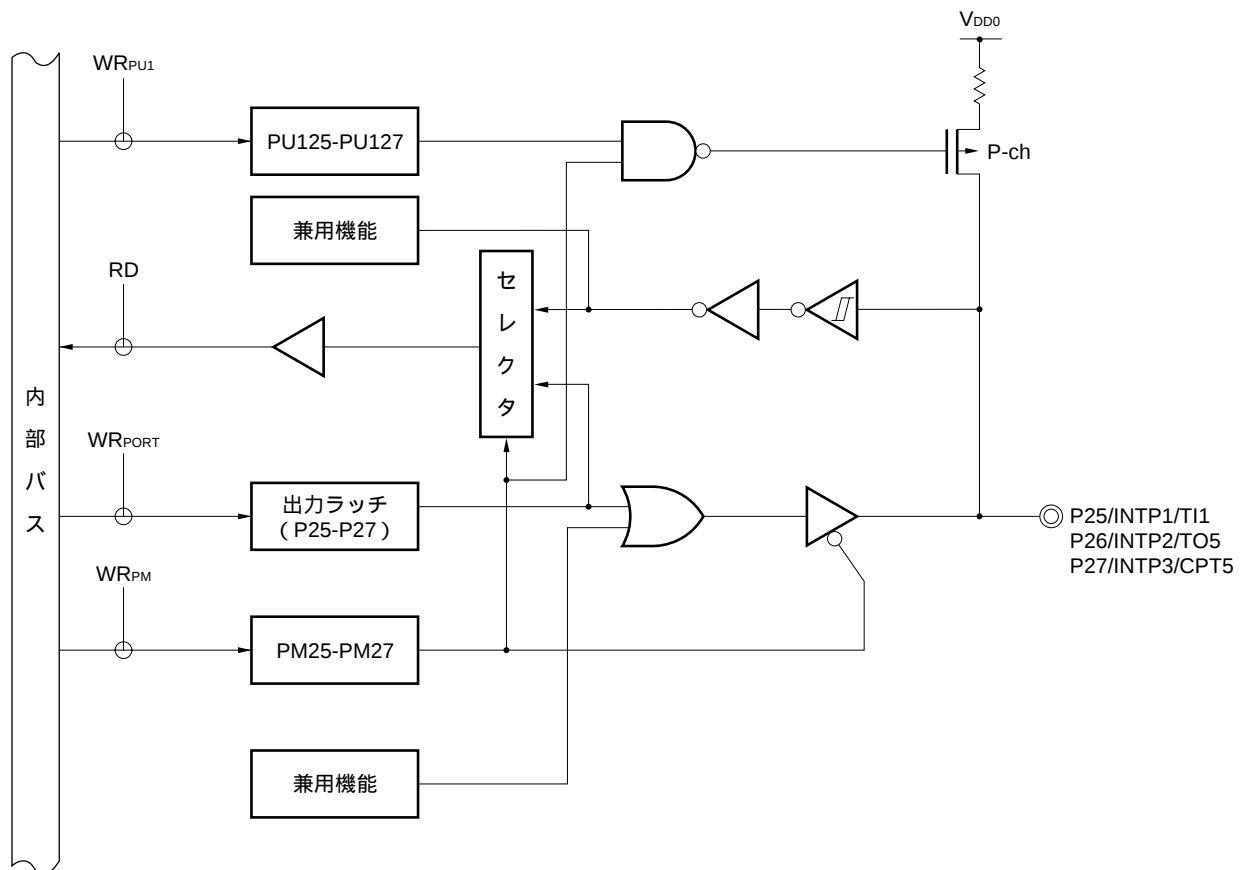
PU1 : プルアップ抵抗オプション・レジスタ1

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 7 P25-P27のブロック図



PU1 : プルアップ抵抗オプション・レジスタ1

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

### 4.2.3 ポート4

出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ4 (PM4) により, 1ビット単位で入力モード / 出力モードの指定ができます。P40-P47端子を入力ポートとして使用するとき, プルアップ抵抗オプション・レジスタ0 (PU0) の設定により, 8ビット単位で内蔵プルアップ抵抗を使用できます。

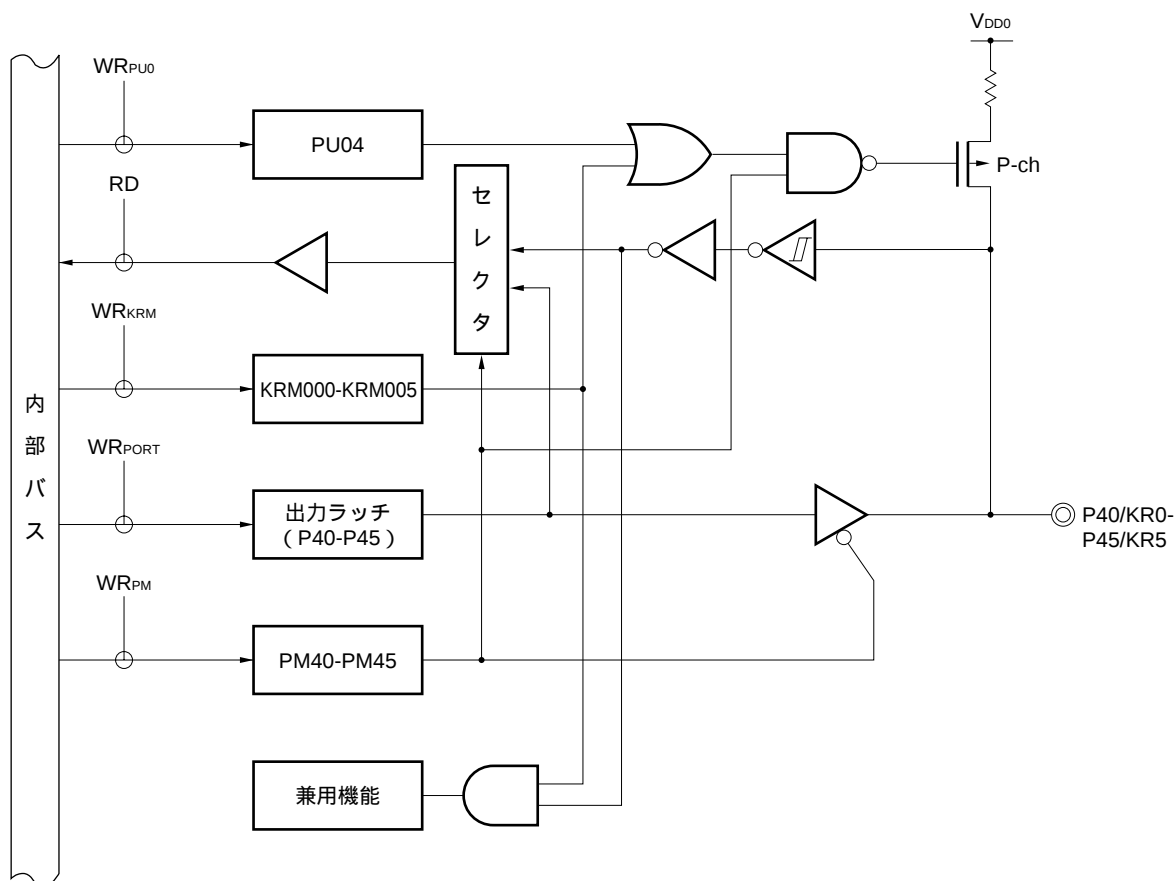
また, 兼用機能としてキー・リターン入力があります。

RESET入力により, 入力モードになります。

図4 - 8, 図4 - 9にポート4のブロック図を示します。

**注意** キー・リターンとして使用する場合は, その機能に応じてキー・リターン・モード・レジスタの設定が必要になります。設定方法については, 15.3(6)キー・リターン・モード・レジスタ00(KRM00)を参照してください。

図4 - 8 P40-P45のブロック図



KRM00 : キー・リターン・モード・レジスタ00

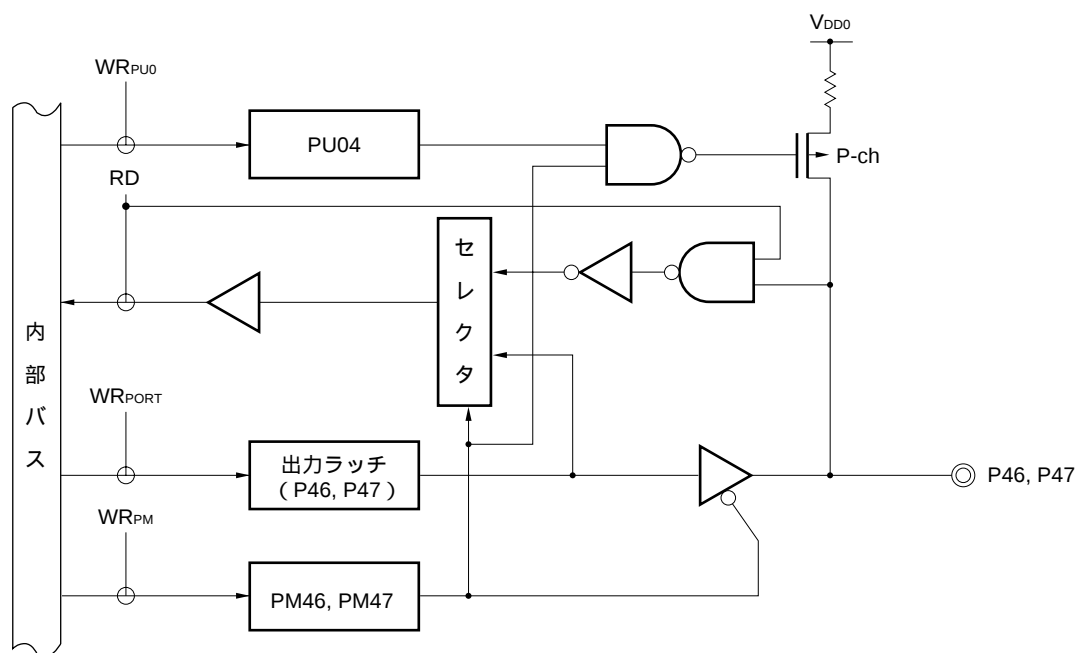
PU0 : プルアップ抵抗オプション・レジスタ0

PM : ポート・モード・レジスタ

RD : ポート4のリード信号

WR : ポート4のライト信号

図4 - 9 P46, P47のブロック図



PU0 : プルアップ抵抗オプション・レジスタ0

PM : ポート・モード・レジスタ

RD : ポート4のリード信号

WR : ポート4のライト信号

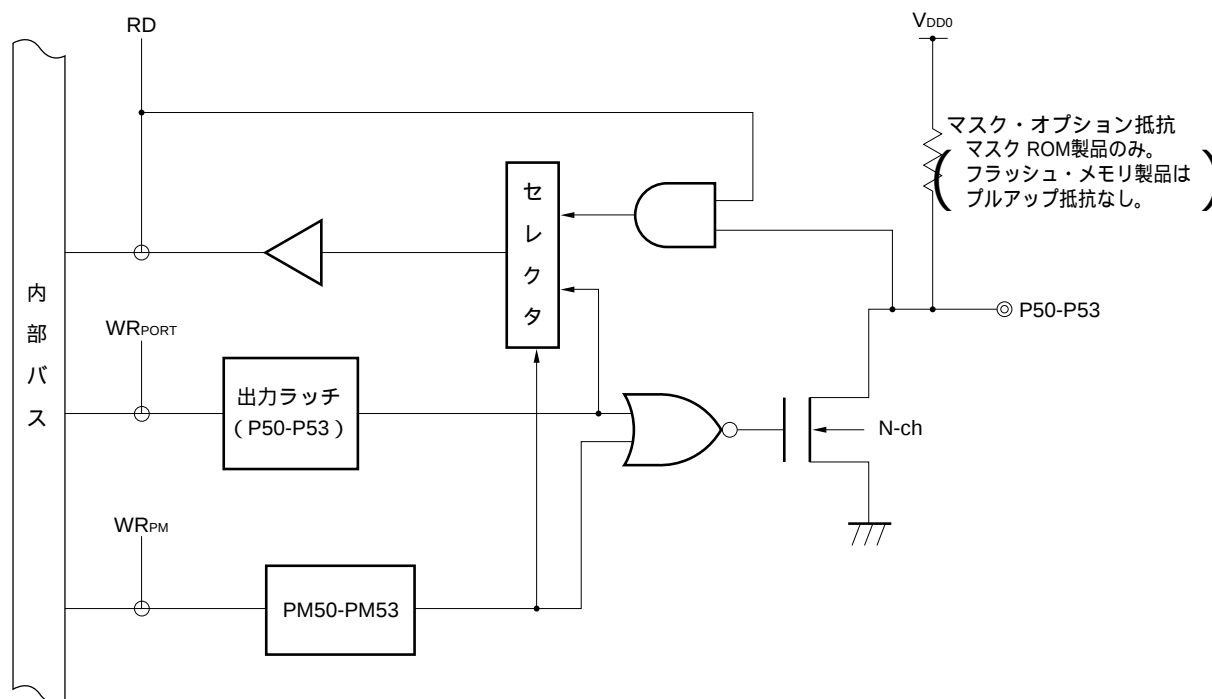
#### 4.2.4 ポート5

出力ラッチ付き4ビットN-chオープン・ドレイン入出力ポートです。ポート・モード・レジスタ5 (PM5) により、1ビット単位で入力モード/出力モードの指定ができます。マスクROM製品はマスク・オプションにより、プルアップ抵抗の内蔵を指定できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 10にポート5のブロック図を示します。

図4 - 10 P50-P53のブロック図



PM : ポート・モード・レジスタ

RD : ポート5のリード信号

WR : ポート5のライト信号

#### 4.2.5 ポート6

7ビット入力専用ポートです。

兼用機能としてA/Dコンバータのアナログ入力，コンパレータ入力があります。

RESET入力により，入力モードになります。

図4 - 11 , 図4 - 12にポート6のブロック図を示します。

図4 - 11 P60, P61のブロック図

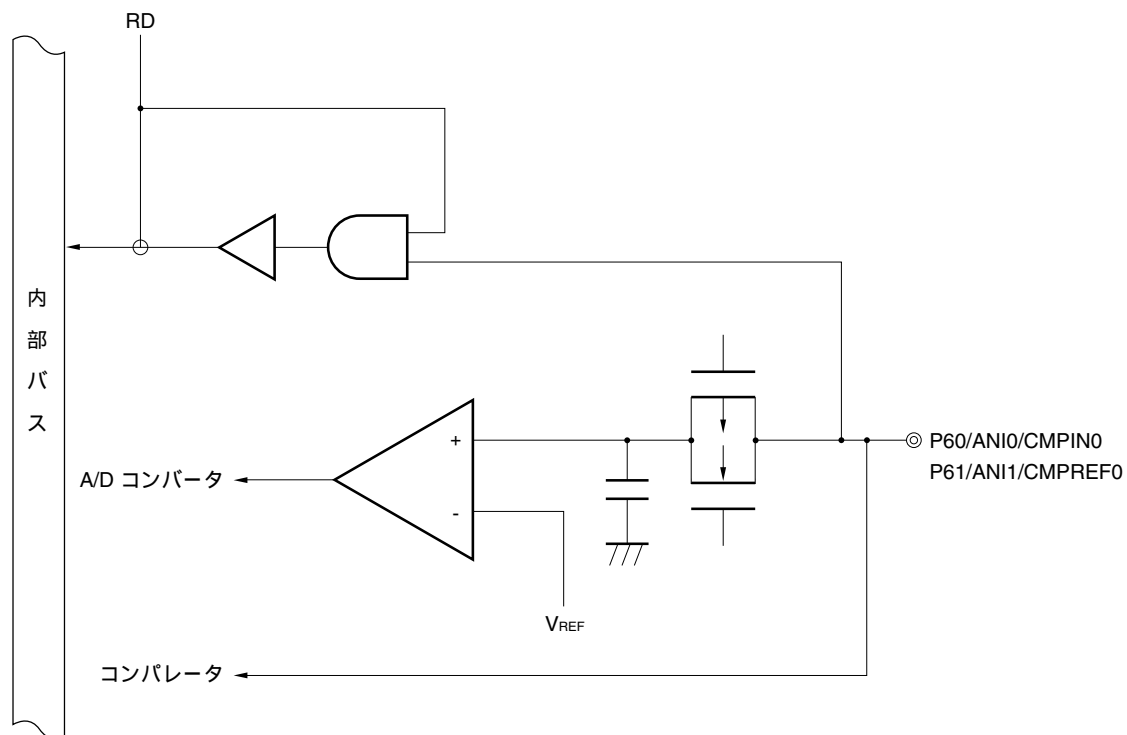
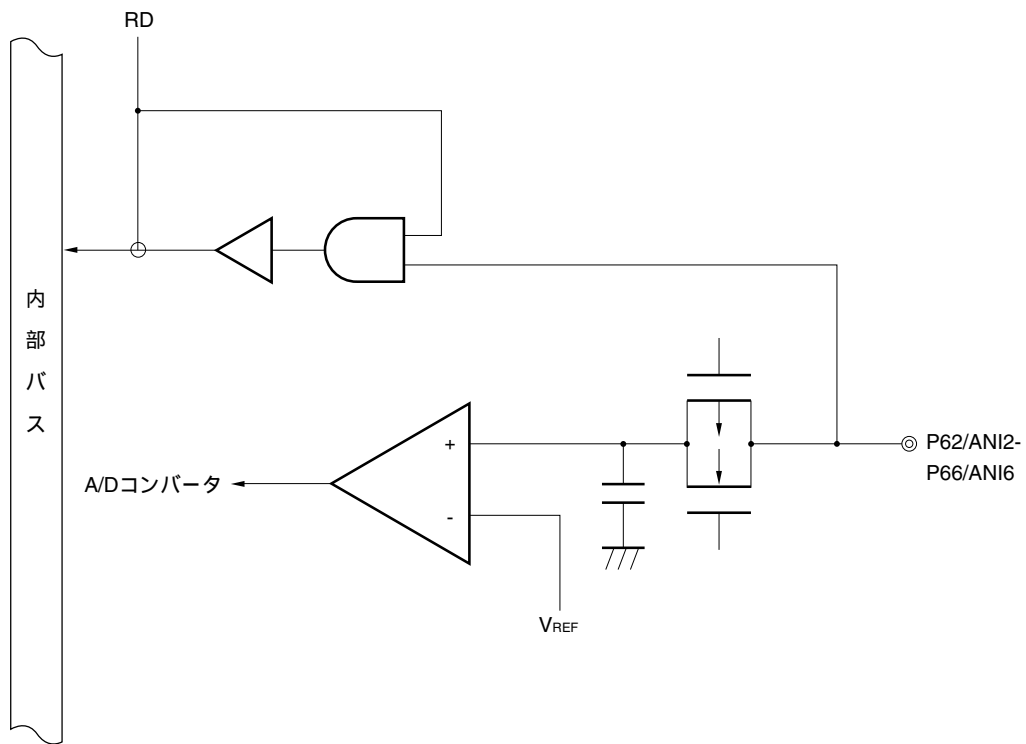


図4 - 12 P62-P66のブロック図



### 4.2.6 ポート8

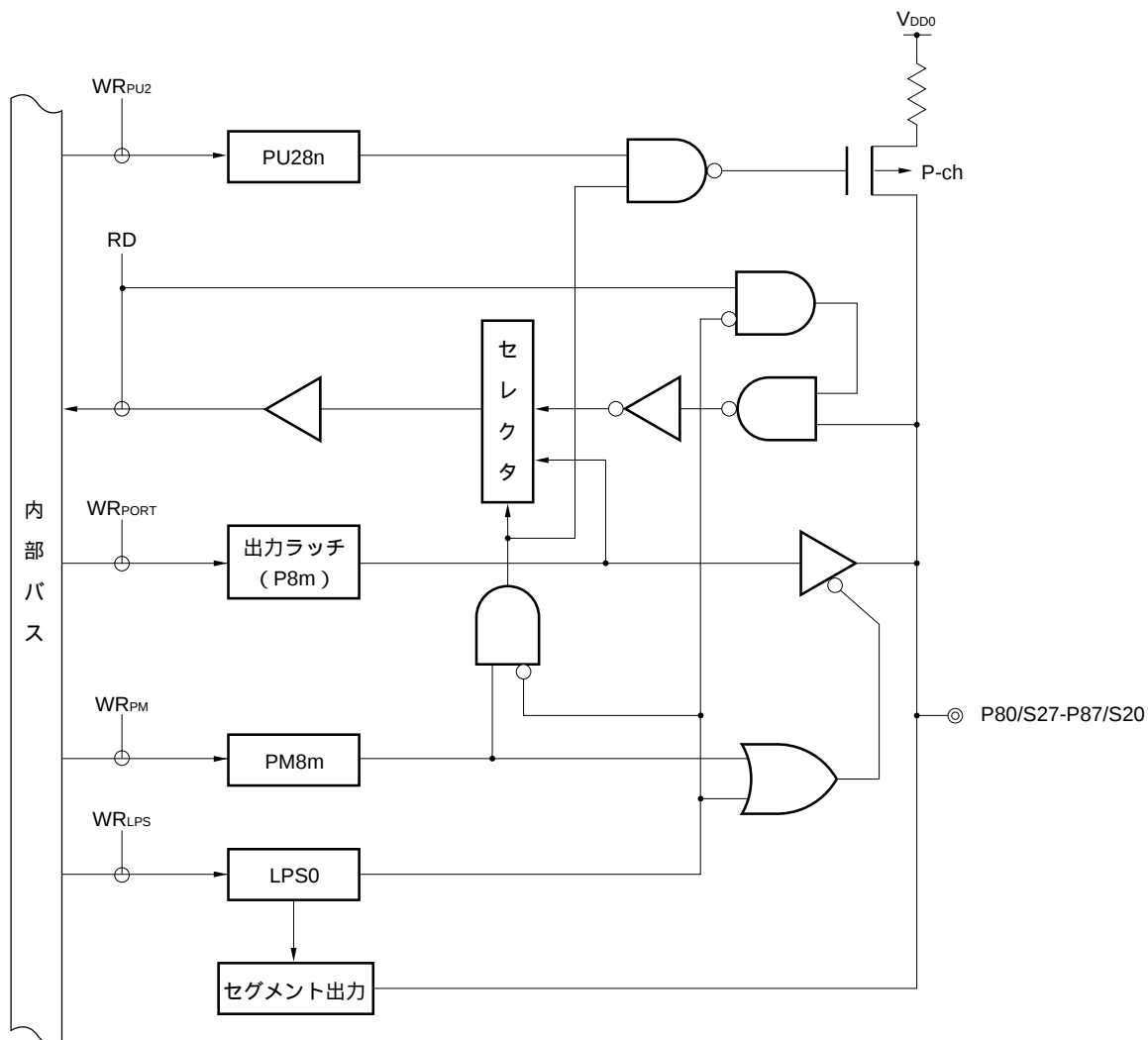
出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ8 (PM8) により, 1ビット単位で入力 / 出力モードの指定ができます。P80-P87端子を入力ポートとして使用するとき, プルアップ抵抗オプション・レジスタ2 (PU2) により, 2ビット単位で内蔵プルアップ抵抗を使用できます。

また, 兼用機能としてLCDコントローラ/ドライバのセグメント信号出力があります。

RESET入力により, 入力モードになります。

図4 - 13にポート8のブロック図を示します。

図4 - 13 P80-P87のブロック図



PU2 : プルアップ抵抗オプション・レジスタ2

PM : ポート・モード・レジスタ

RD : ポート8のリード信号

WR : ポート8のライト信号

LPS0 : LCDポート・セクタ0

$n = 0, 2, 4, 6, m = 0-7$

### 4.2.7 ポート9

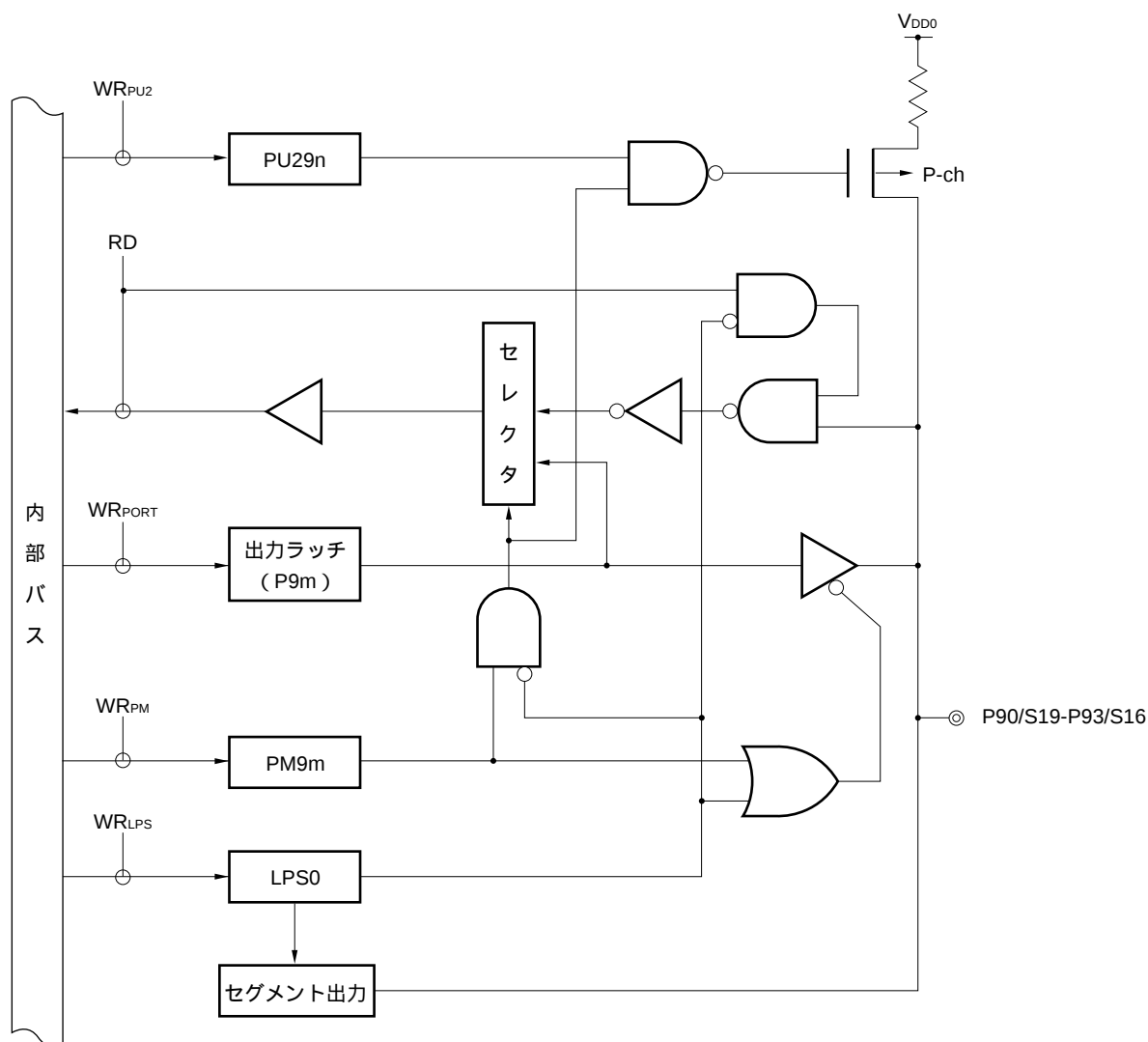
出力ラッチ付き4ビット入出力ポートです。ポート・モード・レジスタ9 (PM9) により, 1ビット単位で入力 / 出力モードの指定ができます。P90-P93端子を入力ポートとして使用するとき, プルアップ抵抗オプション・レジスタ2 (PU2) により, 2ビット単位で内蔵プルアップ抵抗を使用できます。

また, 兼用機能としてLCDコントローラ / ドライバのセグメント信号出力があります。

RESET入力により, 入力モードになります。

図4 - 14にポート9のブロック図を示します。

図4 - 14 P90-P93のブロック図



PU2 : プルアップ抵抗オプション・レジスタ2

PM : ポート・モード・レジスタ

RD : ポート9のリード信号

WR : ポート9のライト信号

LPS0 : LCDポート・セレクタ0

$n = 0, 2, m = 0-3$

### 4.3 ポート機能を制御するレジスタ

ポートは、次の2種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0, PM2, PM4, PM5, PM8, PM9)
- ・ブルアップ抵抗オプション・レジスタ (PU0-PU2)

#### (1) ポート・モード・レジスタ (PM0, PM2, PM4, PM5, PM8, PM9)

ポートの入力 / 出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。 $\overline{\text{RESET}}$ 入力により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表4-3のように設定してください。

**注意** ポート2は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

表4-3 兼用機能使用時のポート・モード・レジスタ、出力ラッチの設定

| 端子名称                 | 兼用機能     |     | PM × × | P × × |
|----------------------|----------|-----|--------|-------|
|                      | 名 称      | 入出力 |        |       |
| P23                  | CMPTOUT0 | 出力  | 0      | 0     |
|                      | TO2      | 出力  | 0      | 0     |
| P24                  | INTP0    | 入力  | 1      | ×     |
|                      | TI0      | 入力  | 1      | ×     |
| P25                  | INTP1    | 入力  | 1      | ×     |
|                      | TI1      | 入力  | 1      | ×     |
| P26                  | INTP2    | 入力  | 1      | ×     |
|                      | TO5      | 出力  | 0      | 0     |
| P27                  | INTP3    | 入力  | 1      | ×     |
|                      | CPT5     | 入力  | 1      | ×     |
| P40-P45 <sup>注</sup> | KR0-KR5  | 入力  | 1      | ×     |
| P80-P87              | S27-S20  | 出力  | 0      | 0     |
| P90-P93              | S19-S16  | 出力  | 0      | 0     |

**注** 兼用機能使用時は、キー・リターン・モード・レジスタ00 (KRM00) に1を設定してください (15.3(6)キー・リターン・モード・レジスタ00 (KRM00) 参照)。

**注意** ポート2をシリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、表13-2 シリアル・インタフェース00の動作モードの設定一覧を参照してください。

**備考** × : don't care

PM × × : ポート・モード・レジスタ

P × × : ポートの出力ラッチ

図4 - 15 ポート・モード・レジスタのフォーマット

| 略号  | 7    | 6    | 5    | 4    | 3    | 2    | 1    | 0    | アドレス  | リセット時 | R/W |
|-----|------|------|------|------|------|------|------|------|-------|-------|-----|
| PM0 | 1    | 1    | 1    | 1    | PM03 | PM02 | PM01 | PM00 | FF20H | FFH   | R/W |
| PM2 | PM27 | PM26 | PM25 | PM24 | PM23 | PM22 | PM21 | PM20 | FF22H | FFH   | R/W |
| PM4 | PM47 | PM46 | PM45 | PM44 | PM43 | PM42 | PM41 | PM40 | FF24H | FFH   | R/W |
| PM5 | 1    | 1    | 1    | 1    | PM53 | PM52 | PM51 | PM50 | FF25H | FFH   | R/W |
| PM8 | PM87 | PM86 | PM85 | PM84 | PM83 | PM82 | PM81 | PM80 | FF28H | FFH   | R/W |
| PM9 | 1    | 1    | 1    | 1    | PM93 | PM92 | PM91 | PM90 | FF29H | FFH   | R/W |

| PMmn | Pmn端子の入出力モードの選択<br>$\left( \begin{array}{l} m = 0, 5, 9 : n = 0-3 \\ m = 2, 4, 8 : n = 0-7 \end{array} \right)$ |
|------|-----------------------------------------------------------------------------------------------------------------|
| 0    | 出力モード（出力バッファ・オン）                                                                                                |
| 1    | 入力モード（出力バッファ・オフ）                                                                                                |

## （2）プルアップ抵抗オプション・レジスタ（PU0-PU2）

各ポートの内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。PU0-PU2で内蔵プルアップ抵抗の使用を指定したポートで、入力モードに設定したビットにのみ、内部でプルアップ抵抗が使用できます。出力モードに設定したビットは、PU0-PU2の設定にかかわらず、内蔵プルアップ抵抗を使用できません。兼用機能の端子として使用する時も同様です。

PU0-PU2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図4 - 16 ブルアップ抵抗オプション・レジスタ0のフォーマット

| 略号  | 7 | 6 | 5 | 3    | 2 | 1 | 0 | アドレス | リセット時 | R/W     |
|-----|---|---|---|------|---|---|---|------|-------|---------|
| PU0 | 0 | 0 | 0 | PU04 | 0 | 0 | 0 | PU00 | FFF7H | 00H R/W |

| PU0m | Pmの内蔵ブルアップ抵抗の選択 <sup>注</sup><br>(m = 0, 4) |
|------|--------------------------------------------|
| 0    | 内蔵ブルアップ抵抗を接続しない                            |
| 1    | 内蔵ブルアップ抵抗を接続する                             |

注 PU0は8ビット単位で内蔵ブルアップ抵抗の接続を選択します(ただし,ポート0はP00-P03の4ビットが内蔵ブルアップ抵抗の接続対象)。

注意 ビット1-3, 5-7には, 必ず0を設定してください。

図4 - 17 ブルアップ抵抗オプション・レジスタ1のフォーマット

| 略号  | 0                                               | アドレス  | リセット時 | R/W |
|-----|-------------------------------------------------|-------|-------|-----|
| PU1 | PU127 PU126 PU125 PU124 PU123 PU122 PU121 PU120 | FFF3H | 00H   | R/W |

| PU12m | P2の内蔵ブルアップ抵抗の選択 <sup>注</sup><br>(m = 0-7) |
|-------|-------------------------------------------|
| 0     | 内蔵ブルアップ抵抗を接続しない                           |
| 1     | 内蔵ブルアップ抵抗を接続する                            |

注 PU1は1ビット単位で内蔵ブルアップ抵抗の接続を選択します。

図4 - 18 ブルアップ抵抗オプション・レジスタ2のフォーマット

| 略号  | 7 | 6 | 0                                   | アドレス  | リセット時 | R/W |
|-----|---|---|-------------------------------------|-------|-------|-----|
| PU2 | 0 | 0 | PU292 PU290 PU286 PU284 PU282 PU280 | FFF4H | 00H   | R/W |

| PU2mn | Pmの内蔵ブルアップ抵抗の選択 <sup>注</sup><br>(m = 8, 9, n = 0, 2, 4, 6) |
|-------|------------------------------------------------------------|
| 0     | 内蔵ブルアップ抵抗を接続しない                                            |
| 1     | 内蔵ブルアップ抵抗を接続する                                             |

注 PU2は2ビット単位(ビットn, ビットn+1)で内蔵ブルアップ抵抗の接続を選択します。

注意 ビット6, 7には, 必ず0を設定してください。

## 4. 4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

### 4. 4. 1 入出力ポートへの書き込み

#### (1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

#### (2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

**注意** 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

### 4. 4. 2 入出力ポートからの読み出し

#### (1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

#### (2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

### 4. 4. 3 入出力ポートでの演算

#### (1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

#### (2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

**注意** 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

## 第5章 クロック発生回路

### 5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。  
システム・クロック発振回路には、次の2種類があります。

- ・メイン・システム・クロック発振回路

1.0～5.0 MHzの周波数を発振します。STOP命令の実行またはプロセッサ・クロック・コントロール・レジスタ（PCC）の設定により、発振を停止できます。

- ・サブシステム・クロック発振回路

32.768 kHzの周波数を発振します。サブ発振モード・レジスタ（SCKM）により発振の停止ができます。

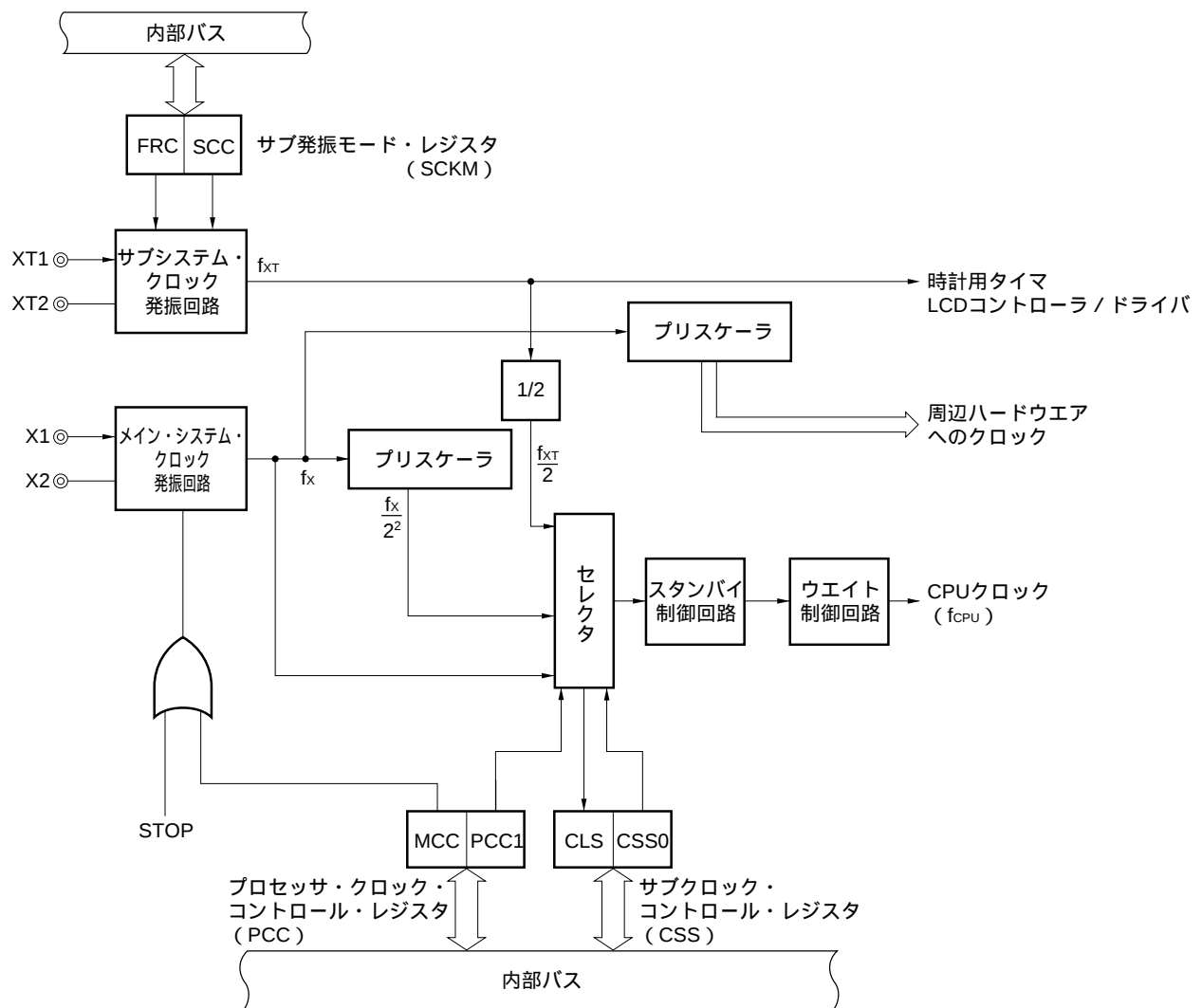
### 5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5 - 1 クロック発生回路の構成

| 項 目    | 構 成                                                                          |
|--------|------------------------------------------------------------------------------|
| 制御レジスタ | プロセッサ・クロック・コントロール・レジスタ（PCC）<br>サブ発振モード・レジスタ（SCKM）<br>サブクロック・コントロール・レジスタ（CSS） |
| 発振回路   | メイン・システム・クロック発振回路<br>サブシステム・クロック発振回路                                         |

図5 - 1 クロック発生回路のブロック図



### 5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次のレジスタで制御します。

- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・サブ発振モード・レジスタ (SCKM)
- ・サブクロック・コントロール・レジスタ (CSS)

#### (1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択、分周比を設定するレジスタです。

PCCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図5-2 プロセッサ・クロック・コントロール・レジスタのフォーマット

| 略号  | 7   | 6 | 5 | 4 | 3 | 2 | 1    | 0 | アドレス      | リセット時 | R/W |
|-----|-----|---|---|---|---|---|------|---|-----------|-------|-----|
| PCC | MCC | 0 | 0 | 0 | 0 | 0 | PCC1 | 0 | F F F B H | 0 2 H | R/W |

| MCC | メイン・システム・クロック発振回路の動作の制御 |
|-----|-------------------------|
| 0   | 動作許可                    |
| 1   | 動作停止                    |

| CSS0 | PCC1 | CPUクロック ( $f_{\text{CPU}}$ ) の選択 <sup>注</sup> | 最小命令実行時間: $2/f_{\text{CPU}}$                                         |
|------|------|-----------------------------------------------|----------------------------------------------------------------------|
|      |      |                                               | $f_x = 5.0 \text{ MHz}$ または $f_{\text{XT}} = 32.768 \text{ kHz}$ 動作時 |
| 0    | 0    | $f_x$                                         | $0.4 \mu\text{s}$                                                    |
| 0    | 1    | $f_x/2^2$                                     | $1.6 \mu\text{s}$                                                    |
| 1    | 0    | $f_{\text{XT}}/2$                             | $122 \mu\text{s}$                                                    |
| 1    | 1    |                                               |                                                                      |

**注** CPUクロックの選択は、プロセッサ・クロック・コントロール・レジスタ (PCC) のPCC1フラグとサブクロック・コントロール・レジスタ (CSS) のCSS0フラグの両方を組み合わせて設定します (5.3(3) サブクロック・コントロール・レジスタ (CSS) を参照)。

**注意1.** ビット0, 2-6には必ず0を設定してください。

2. MCCのセットはCPUクロックがサブシステム・クロックを選択しているときのみ設定できます。

**備考1.**  $f_x$ : メイン・システム・クロック発振周波数

2.  $f_{\text{XT}}$ : サブシステム・クロック発振周波数

## (2) サブ発振モード・レジスタ (SCKM)

サブシステム・クロックのフィードバック抵抗の選択，発振を制御するレジスタです。

SCKMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図5 - 3 サブ発振モード・レジスタのフォーマット

| 略号   | 7 | 6 | 5 | 4 | 3 | 2 | 1   | 0   | アドレス  | リセット時 | R/W |
|------|---|---|---|---|---|---|-----|-----|-------|-------|-----|
| SCKM | 0 | 0 | 0 | 0 | 0 | 0 | FRC | SCC | FFF0H | 00H   | R/W |

| FRC | フィードバック抵抗の選択 <sup>※</sup> |
|-----|---------------------------|
| 0   | 内蔵フィードバック抵抗を使用する          |
| 1   | 内蔵フィードバック抵抗を使用しない         |

| SCC | サブシステム・クロック発振回路の動作の制御 |
|-----|-----------------------|
| 0   | 動作許可                  |
| 1   | 動作停止                  |

- ★ 注 フィードバック抵抗は発振波形のバイアス点を電源電圧の中間付近に調整するために必要なものです。  
サブクロックを使用しない場合のみ，FRC = 1に設定することでSTOPモード時の消費電流をさらに抑えることが可能です。

- 注意1. ビット2-7には必ず0を設定してください。
2. 外部クロックを入力しているとき，SCCをセットしないでください。  
これはXT2端子が $V_{DD0}$ ， $V_{DD1}$ にプルアップされるためです。

## (3) サブクロック・コントロール・レジスタ (CSS)

メイン・システム・クロック発振回路とサブシステム・クロック発振回路の選択，CPUクロックの動作状態を示すレジスタです。

CSSは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図5 - 4 サブクロック・コントロール・レジスタのフォーマット

| 略号  | 7 | 6 | 5   | 4    | 3 | 2 | 1 | 0 | アドレス  | リセット時 | R/W              |
|-----|---|---|-----|------|---|---|---|---|-------|-------|------------------|
| CSS | 0 | 0 | CLS | CSS0 | 0 | 0 | 0 | 0 | FFF2H | 00H   | R/W <sup>注</sup> |

| CLS | CPUクロックの動作状態            |
|-----|-------------------------|
| 0   | メイン・システム・クロックの（分周）出力で動作 |
| 1   | サブシステム・クロックの出力で動作       |

| CSS0 | メイン・システム・クロック発振回路とサブシステム・クロック発振回路の選択 |
|------|--------------------------------------|
| 0    | メイン・システム・クロック発振回路の（分周）出力             |
| 1    | サブシステム・クロックの発振回路の出力                  |

注 ビット5は，Read Onlyです。

注意 ビット0-3, 6, 7には必ず0を設定してください。

## 5.4 システム・クロック発振回路

### 5.4.1 メイン・システム・クロック発振回路

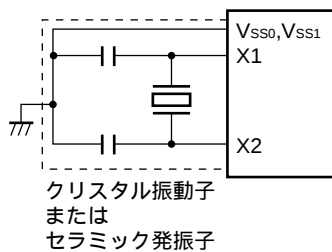
メイン・システム・クロック発振回路はX1, X2端子に接続されたクリスタル振動子またはセラミック発振子（標準：5.0 MHz）によって発振します。

また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力し、X2端子には、その反転した信号を入力してください。

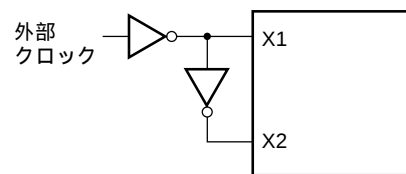
図5 - 5にメイン・システム・クロック発振回路の外付け回路を示します。

図5 - 5 メイン・システム・クロック発振回路の外付け回路

(a) クリスタル，セラミック発振



(b) 外部クロック



**注意** メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 5、5 - 6の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に $V_{SS0}$ 、 $V_{SS1}$ と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

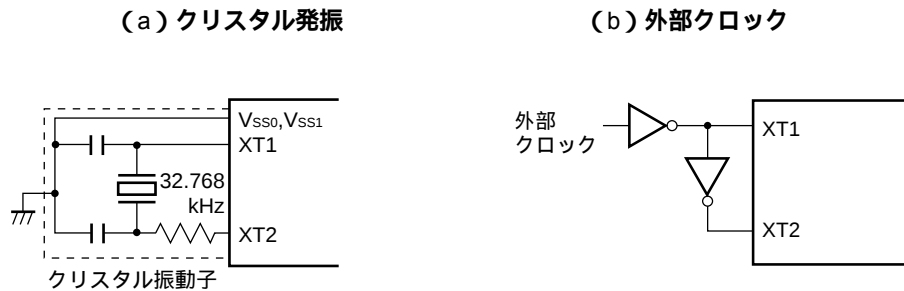
### 5.4.2 サブシステム・クロック発振回路

サブシステム・クロック発振回路はXT1, XT2端子に接続されたクリスタル振動子（標準：32.768 kHz）によって発振します。

また,外部クロックを入力することもできます。その場合,XT1端子にクロック信号を入力し,XT2端子には,その反転した信号を入力してください。

図5 - 6にサブシステム・クロック発振回路の外付け回路を示します。

図5 - 6 サブシステム・クロック発振回路の外付け回路



**注意** メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は,配線容量などの影響を避けるために,図5 - 5, 5 - 6の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また,変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は,常に $V_{SS0}$ ,  $V_{SS1}$ と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

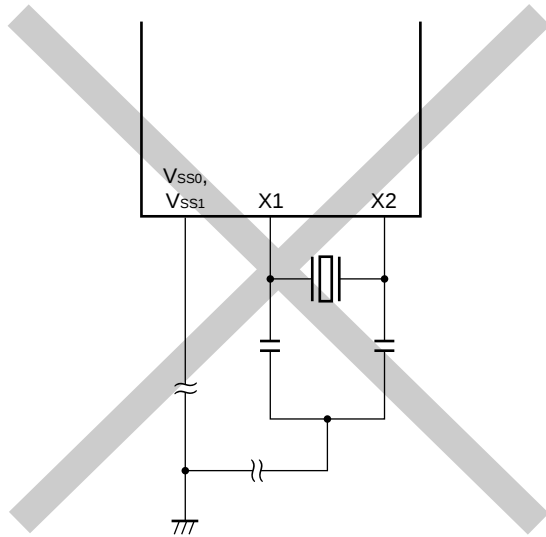
特に,サブシステム・クロック発振回路は,低消費電流にするために増幅度の低い回路になっていますのでご注意ください。

## 5.4.3 発振子の接続の悪い例

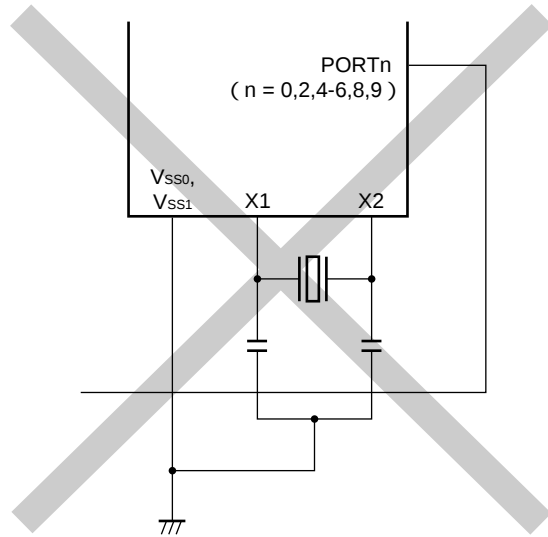
図5 - 7に発振子の接続の悪い例を示します。

図5 - 7 発振子の接続の悪い例 (1/2)

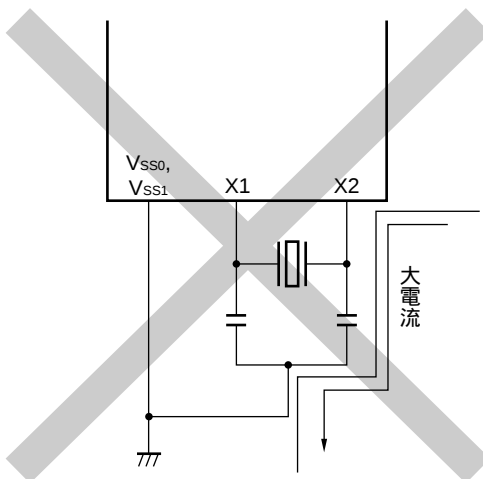
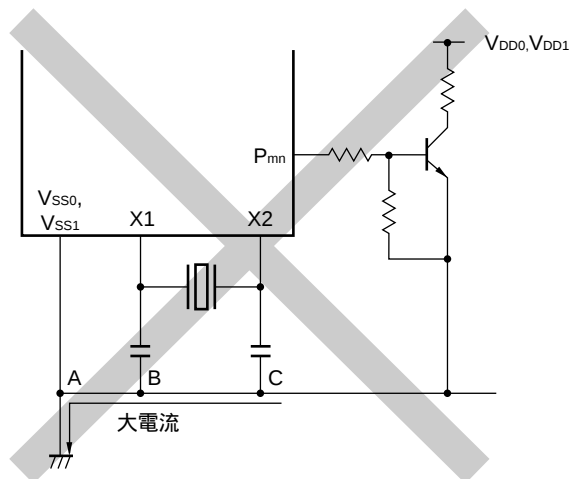
(a) 接続回路の配線が長い



(b) 信号線が交差している

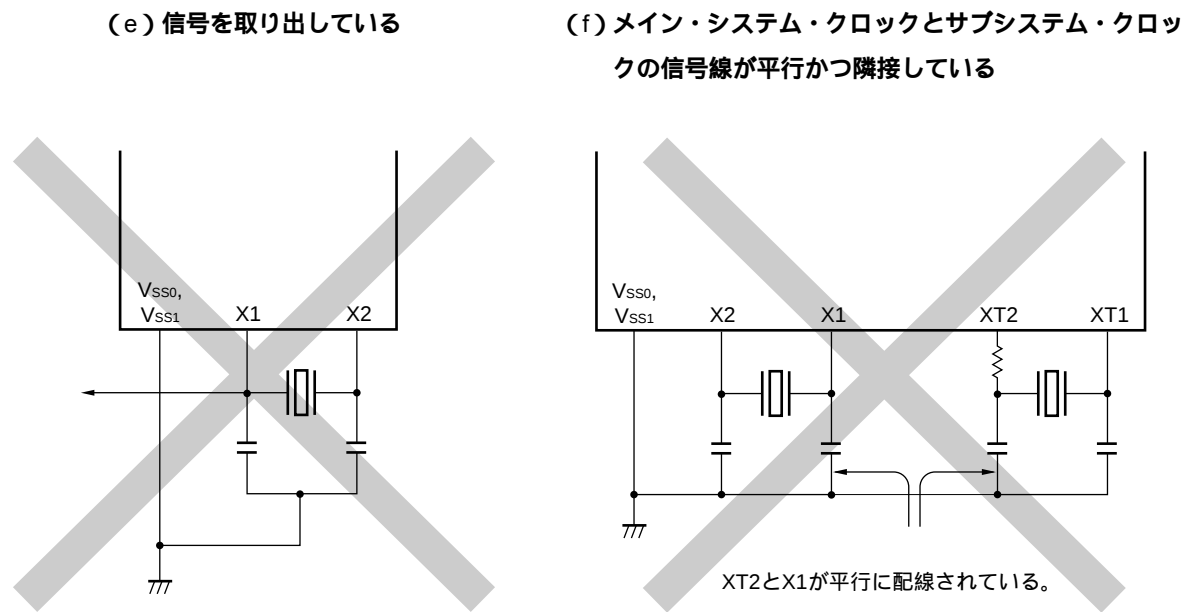


(c) 変化する大電流が信号線に近接している

(d) 発振回路部のグランド・ライン上に電流が流れる  
(A点, B点, C点の電位が変動する)

**備考** サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を接続してください。

図5 - 7 発振子の接続の悪い例 (2/2)



**備考** サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。またXT2側に直列に抵抗を接続してください。

**注意** X1とXT2が平行に配線されている場合、X1のクロストーク・ノイズがXT2に相乗し誤動作を引き起こすことがあります。

これを避けるために、X1とXT2の配線を平行にしないでください。

#### 5. 4. 4 分周回路

分周回路は、メイン・システム・クロック発振回路出力 (fx) を分周して、各種クロックを生成します。

#### 5. 4. 5 サブシステム・クロックを使用しない場合

低消費電力動作や時計動作等のためにサブシステム・クロックを使用する必要のない場合、XT1, XT2端子を次のように処置してください。

XT1 : VSS0またはVSS1に直接接続

XT2 : オープン

ただし、この状態では、メイン・システム・クロックの停止時に、サブシステム・クロック発振回路の内蔵フィードバック抵抗を介して若干のリーク電流を流してしまいます。これを抑えるには、サブ発振モード・レジスタ (SCKM) のビット1 (FRC) により上述の内蔵フィードバック抵抗を使用しない設定をしてください。このときも、XT1, XT2端子の処理は上記と同じです。

## 5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・メイン・システム・クロック  $f_x$
- ・サブシステム・クロック  $f_{XT}$
- ・CPUクロック  $f_{CPU}$
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ（PCC）、サブ発振モード・レジスタ（SCKM）、サブクロック・コントロール・レジスタ（CSS）により決定され、次のような機能、動作となります。

- (a)  $\overline{\text{RESET}}$ 信号発生によりメイン・システム・クロックの低速モード（ $1.6 \mu\text{s}$ ：5.0 MHz動作時）が選択されます（PCC = 02H）。なお、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力している間、メイン・システム・クロックの発振は停止します。
- (b) PCCとSCKMとCSSの設定により3段階の最小命令実行時間（ $0.4 \mu\text{s}$ ,  $1.6 \mu\text{s}$ ：メイン・システム・クロック（5.0 MHz動作時）、 $122 \mu\text{s}$ ：サブシステム・クロック（32.768 kHz動作時））を選択することができます。
- (c) メイン・システム・クロックを選択した状態でSTOPモード、HALTモードの2つのスタンバイ・モードが使用できます。また、サブシステム・クロックを使用していないシステムの場合、SCKMのビット1（FRC）で内蔵フィードバック抵抗を使用しない設定にすることにより、STOPモード時の消費電流をさらに低減することができます。サブシステム・クロックを使用しているシステムの場合、SCKMのビット0を1に設定することにより、サブシステム・クロックの発振を停止できます。
- (d) CSSのビット4（CSS0）により、サブシステム・クロックを選択し、低消費電流で動作する（ $122 \mu\text{s}$ ：32.768 kHz動作時）ことができます。
- (e) サブシステム・クロックを選択した状態で、PCCのビット7（MCC）によりメイン・システム・クロックの発振を停止することができます。また、HALTモードを使用することができます。しかし、STOPモードを使用することはできません。
- (f) 周辺ハードウェアへのクロックはメイン・システム・クロックを分周して供給されますが、8ビット・タイマ02、時計用タイマ、LCDコントローラ/ドライバにのみサブシステム・クロックを供給しています。このため、スタンバイ状態でも8ビット・タイマ02（サブシステム・クロック動作時でカウント・クロックに時計用タイマ出力を選択したとき）、時計機能は、継続して使用することができます。しかし、そのほかの周辺ハードウェアはメイン・システム・クロックによって動作していますので、メイン・システム・クロックを停止させたときは周辺ハードウェアも停止します（ただし、外部からの入力クロック動作は除く）。

## 5.6 システム・クロックとCPUクロックの設定の変更

### 5.6.1 システム・クロックとCPUクロックの切り替えに要する時間

CPUクロックは、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット1（PCC1）とサブクロック・コントロール・レジスタ（CSS）のビット4（CSS0）により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します（表5 - 2参照）。

表5 - 2 CPUクロックの切り替えに要する最大時間

| 切り替え前の設定値 |      | 切り替え後の設定値 |      |       |      |                                                    |      |
|-----------|------|-----------|------|-------|------|----------------------------------------------------|------|
| CSS0      | PCC1 | CSS0      | PCC1 | CSS0  | PCC1 | CSS0                                               | PCC1 |
|           |      | 0         | 0    | 0     | 1    | 1                                                  | ×    |
| 0         | 0    |           |      | 4クロック |      | 2f <sub>x</sub> /f <sub>XT</sub> クロック<br>(306クロック) |      |
|           | 1    |           |      | 2クロック |      | f <sub>x</sub> /2f <sub>XT</sub> クロック<br>(76クロック)  |      |
| 1         | ×    | 2クロック     |      | 2クロック |      |                                                    |      |

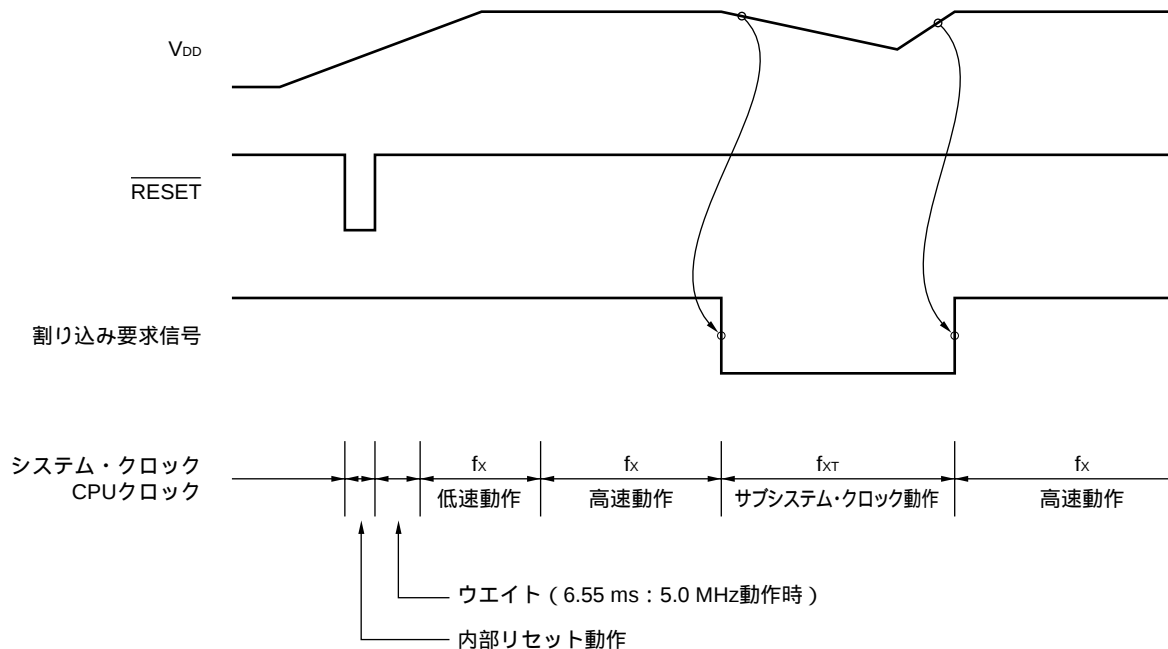
備考1. 2クロックは、切り替え前のCPUクロックの最小命令実行時間となります。

2. ( ) 内は、f<sub>x</sub> = 5.0 MHz, f<sub>XT</sub> = 32.768 kHz
3. × : don't care

### 5.6.2 システム・クロックとCPUクロックの切り替え手順

システム・クロックとCPUクロックの切り替えについて説明します。

図5 - 8 システム・クロックとCPUクロックの切り替え



電源投入後、 $\overline{RESET}$ 端子をロウ・レベルにすることでCPUにリセットがかかります。その後、 $\overline{RESET}$ 端子をハイ・レベルにするとリセットが解除され、メイン・システム・クロックが発振開始します。このとき、自動的に発振安定時間 ( $2^{15}/f_x$ ) を確保します。

その後、CPUはメイン・システム・クロックの低速 ( $1.6 \mu s$ : 5.0 MHz動作時) で命令の実行を開始します。

$V_{DD}$ 電圧が高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット1 (PCC1) とサブクロック・コントロール・レジスタ (CSS) のビット4 (CSS0) を書き換えて高速動作を行います。

$V_{DD}$ 電圧が低下したことを割り込み要求信号などにより検出し、サブシステム・クロックに切り替えます (このとき、サブシステム・クロックが発振安定状態になっていなければなりません)。

$V_{DD}$ 電圧が復帰したことを割り込み要求信号などにより検出し、PCCのビット7 (MCC) に0を設定してメイン・システム・クロックを発振開始させ、発振が安定するのに必要な時間経過後、PCC1, CSS0を書き換えて高速動作に戻します。

**注意** メイン・システム・クロックを停止させサブシステム・クロックで動作させている場合に、再度メイン・システム・クロックに切り替えるときには、プログラムで発振安定時間を確保したあとに切り替えてください。

## 第6章 16ビット・タイマ50

フリーランニング・カウンタを基準とし、タイマ割り込み、タイマ出力などの機能があります。また、キャプチャ・トリガ端子によるカウント値のキャプチャができます。

### 6.1 16ビット・タイマ50の機能

16ビット・タイマ50には、次のような機能があります。

- ・タイマ割り込み
- ・タイマ出力
- ・カウント値のキャプチャ

#### (1) タイマ割り込み

カウント値とコンペア値の一致で割り込みを発生します。

#### (2) タイマ出力

カウント値とコンペア値の一致でタイマ出力制御が可能です。

#### (3) カウント値のキャプチャ

キャプチャ・トリガに同期して16ビット・タイマ・カウンタ50 ( TM50 ) のカウント値をキャプチャ・レジスタに取り込み、保持します。

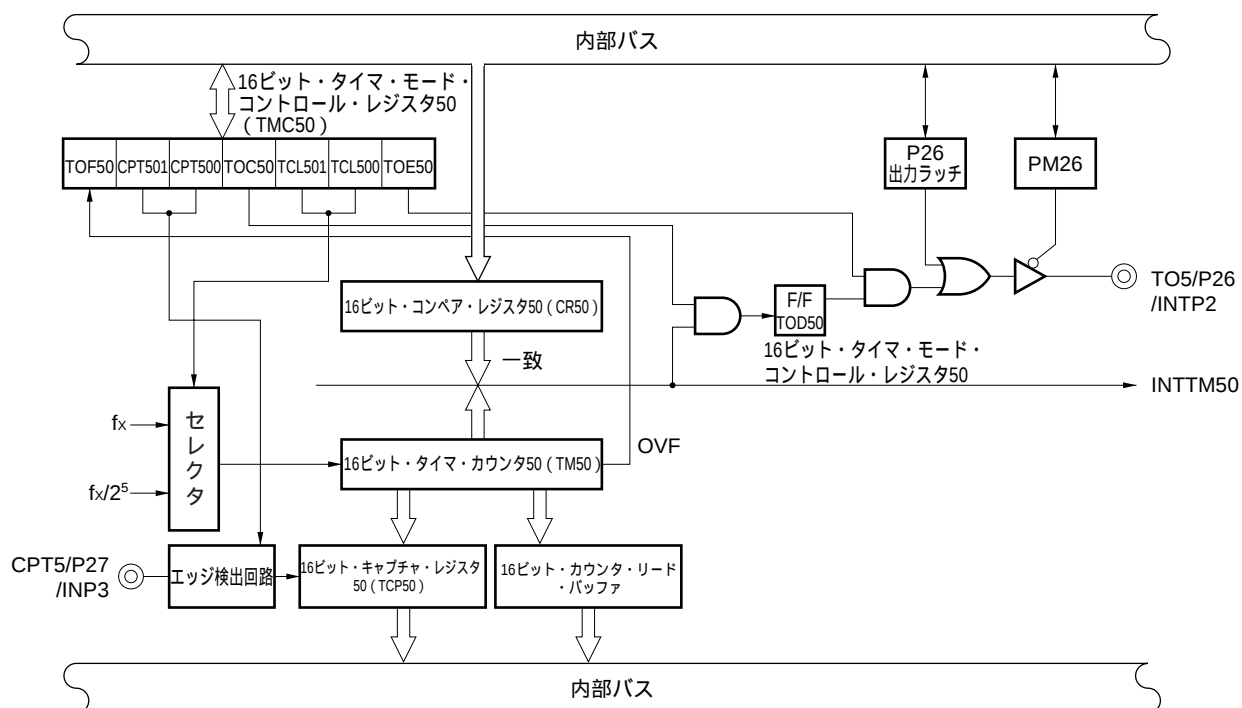
## 6.2 16ビット・タイマ50の構成

16ビット・タイマ50は、次のハードウェアで構成しています。

表6 - 1 16ビット・タイマ50の構成

| 項 目      | 構 成                                                          |
|----------|--------------------------------------------------------------|
| タイマ・カウンタ | 16ビット×1本 (TM50)                                              |
| レジスタ     | コンペア・レジスタ : 16ビット×1本 (CR50)<br>キャプチャ・レジスタ : 16ビット×1本 (TCP50) |
| タイマ出力    | 1本 (TO5)                                                     |
| 制御レジスタ   | 16ビット・タイマ・モード・コントロール・レジスタ50 (TMC50)<br>ポート・モード・レジスタ2 (PM2)   |

図6 - 1 16ビット・タイマ50のブロック図



**(1) 16ビット・コンペア・レジスタ50 (CR50)**

CR50に設定した値と16ビット・タイマ・カウンタ50 (TM50) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM50) を発生する16ビットのレジスタです。

CR50は、16ビット・メモリ操作命令で設定します。0000H-FFFFHの設定が可能です。

$\overline{\text{RESET}}$ 入力により、FFFFHになります。

- 注意1.** 16ビット・メモリ操作命令で操作するレジスタですが、8ビット・メモリ操作命令も使用できます。ただし、8ビット・メモリ操作命令をするときは、ダイレクト・アドレッシングでアクセスしてください。
- 2.** カウント動作中にCR50を書き換える場合は、あらかじめ、割り込みマスク・フラグ・レジスタ1 (MK1) で割り込み禁止にしてください。また、16ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) でタイマ出力データを反転禁止に設定してください。割り込みを許可している状態でCR50を書き換えた場合、その時点で割り込み要求が発生することがあります。

**(2) 16ビット・タイマ・カウンタ50 (TM50)**

カウント・パルスをカウントする16ビットのレジスタです。

TM50は、16ビット・メモリ操作命令で読み出します。

カウント・クロックが入力されている間、フリーランニングします。

$\overline{\text{RESET}}$ 入力により、0000Hになり、再びフリーランニングします。

- 注意1.** ストップ解除後のカウント値は、発振安定時間中にカウント動作するため不定となります。
- 2.** 16ビット・メモリ操作命令で操作するレジスタですが、8ビット・メモリ操作命令も使用できます。ただし、8ビット・メモリ操作命令をするときは、ダイレクト・アドレッシングでアクセスしてください。
- 3.** 8ビット・メモリ操作命令を使用する場合、下位バイト→上位バイトの順で必ずペアで読み出してください。

**(3) 16ビット・キャプチャ・レジスタ50 (TCP50)**

16ビット・タイマ・カウンタ50 (TM50) の内容をキャプチャする16ビットのレジスタです。

TCP50は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

- 注意** 16ビット・メモリ操作命令で操作するレジスタですが、8ビット・メモリ操作命令も使用できます。ただし、8ビット・メモリ操作命令をするときは、ダイレクト・アドレッシングでアクセスしてください。

**(4) 16ビット・カウンタ・リード・バッファ**

16ビット・タイマ・カウンタ50 (TM50) のカウンタ値をラッチし、カウント値を保持します。

## 6.3 16ビット・タイマ50を制御するレジスタ

16ビット・タイマ50は、次の2種類のレジスタで制御します。

- ・ 16ビット・タイマ・モード・コントロール・レジスタ50 (TMC50)
- ・ ポート・モード・レジスタ2 (PM2)

### (1) 16ビット・タイマ・モード・コントロール・レジスタ50 (TMC50)

16ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) は、カウント・クロック設定、キャプチャ・エッジなどの設定を制御するレジスタです。

TMC50は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図6-2 16ビット・タイマ・モード・コントロール・レジスタ50のフォーマット

| 略号    | 7     | 5     | 4      | 3      | 2     | 1      | 0      | アドレス  | リセット時 | R/W                   |
|-------|-------|-------|--------|--------|-------|--------|--------|-------|-------|-----------------------|
| TMC50 | TOD50 | TOF50 | CPT501 | CPT500 | TOC50 | TCL501 | TCL500 | TOE50 | FF48H | 00H R/W <sup>注1</sup> |

| TOD50 | タイマ出力データ     |
|-------|--------------|
| 0     | タイマ出力データが“0” |
| 1     | タイマ出力データが“1” |

| TOF50 | オーバフロー・フラグのセット       |
|-------|----------------------|
| 0     | リセットおよびソフトウェアでクリア    |
| 1     | 16ビット・タイマのオーバフローでセット |

| CPT501 | CPT500 | キャプチャ・エッジの選択    |
|--------|--------|-----------------|
| 0      | 0      | キャプチャ動作禁止       |
| 0      | 1      | CPT5端子の立ち上がりエッジ |
| 1      | 0      | CPT5端子の立ち下がりエッジ |
| 1      | 1      | CPT5端子の両エッジ     |

| TOC50 | タイマ出力データの反転制御 |
|-------|---------------|
| 0     | 反転禁止          |
| 1     | 反転許可          |

| TCL501 | TCL500 | 16ビット・タイマ50のカウント・クロックの選択            |
|--------|--------|-------------------------------------|
| 0      | 0      | $f_x$ (5.0 MHz) <sup>注2</sup>       |
| 0      | 1      | $f_x/2^5$ (156.3 kHz) <sup>注3</sup> |
| 上記以外   |        | 設定禁止                                |

| TOE50 | 16ビット・タイマ50の出力の制御 |
|-------|-------------------|
| 0     | 出力禁止 (ポート・モード)    |
| 1     | 出力許可              |

注1. ビット7は、Read Onlyです。

2. カウント・クロックを $f_x$ に設定した場合 (TCL501 = 0, TCL500 = 0), キャプチャ機能は使用できません。読み出す場合はCPUクロックをメイン・システム・クロックの高速 (PCC1 = 0, CSS0 = 0) に設定してください (図5-2 プロセッサ・クロック・コントロール・レジスタのフォーマットを参照)。
3. 読み出す場合は、CPUクロックをメイン・システム・クロック (PCC1 = 0, CSS0 = 0またはPCC1 = 1, CSS0 = 0) に設定してください (図5-2 プロセッサ・クロック・コントロール・レジスタのフォーマットを参照)。

備考1.  $f_x$ : メイン・システム・クロック発振周波数

2. ( ) 内は、 $f_x = 5.0$  MHz動作時

(2) ポート・モード・レジスタ2 (PM2)

ポート2の入力 / 出力を1ビット単位で設定するレジスタです。

P26/INTP2/TO5端子をタイマ出力として使用するとき，PM26およびP26の出力ラッチに0を設定してください。

PM2は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により，FFHになります。

図6 - 3 ポート・モード・レジスタ2のフォーマット

| 略号  | 7    | 6    | 5    | 4    | 3    | 2    | 1    | 0    | アドレス  | リセット時 | R/W |
|-----|------|------|------|------|------|------|------|------|-------|-------|-----|
| PM2 | PM27 | PM26 | PM25 | PM24 | PM23 | PM22 | PM21 | PM20 | FF22H | FFH   | R/W |

|      |                  |
|------|------------------|
| PM26 | P26端子の入出力モードの選択  |
| 0    | 出力モード（出力バッファ・オン） |
| 1    | 入力モード（出力バッファ・オフ） |

## 6.4 16ビット・タイマ50の動作

### 6.4.1 タイマ割り込みとしての動作

タイマ割り込みは、TCL501とTCL500で設定した値をインターバル時間とし、あらかじめ16ビット・コンペア・レジスタ50（CR50）に設定したカウント値で繰り返し割り込みを発生することができます。

16ビット・タイマをタイマ割り込みとして動作させるには次の設定をします。

- ・CR50にカウンタ値を設定
- ・16ビット・タイマ・モード・コントロール・レジスタ50（TMC50）を図6 - 4のように設定

図6 - 4 タイマ割り込み動作時の16ビット・タイマ・モード・コントロール・レジスタ50の設定内容

|       | TOD50 | TOF50 | CPT501 | CPT500 | TOC50 | TCL501 | TCL500 | TOE50 |
|-------|-------|-------|--------|--------|-------|--------|--------|-------|
| TMC50 | -     | 0/1   | 0/1    | 0/1    | 0/1   | 0      | 0/1    | 0/1   |

——— カウント・クロックの設定（表6 - 2参照）

**注意** CPT501フラグとCPT500フラグの両方に0を設定するとキャプチャ・エッジは動作禁止になります。

16ビット・タイマ・カウンタ50（TM50）のカウント値がCR50に設定した値と一致したとき、TM50のカウントをそのまま継続するとともに、割り込み要求信号（INTTM50）を発生します。

表6 - 2にインターバル時間を、図6 - 5にタイマ割り込み動作のタイミングを示します。

**注意** カウント動作中にCR50を書き換える場合は必ず次の処理を行ってください。

割り込みを禁止（TMMK50（割り込みマスク・フラグ・レジスタ1（MK1）のビット4）= 1）に設定

タイマ出力データの反転制御を禁止（TOC50 = 0）に設定

割り込みを許可している状態でCR50を書き換えた場合、その時点で割り込み要求が発生することがあります。

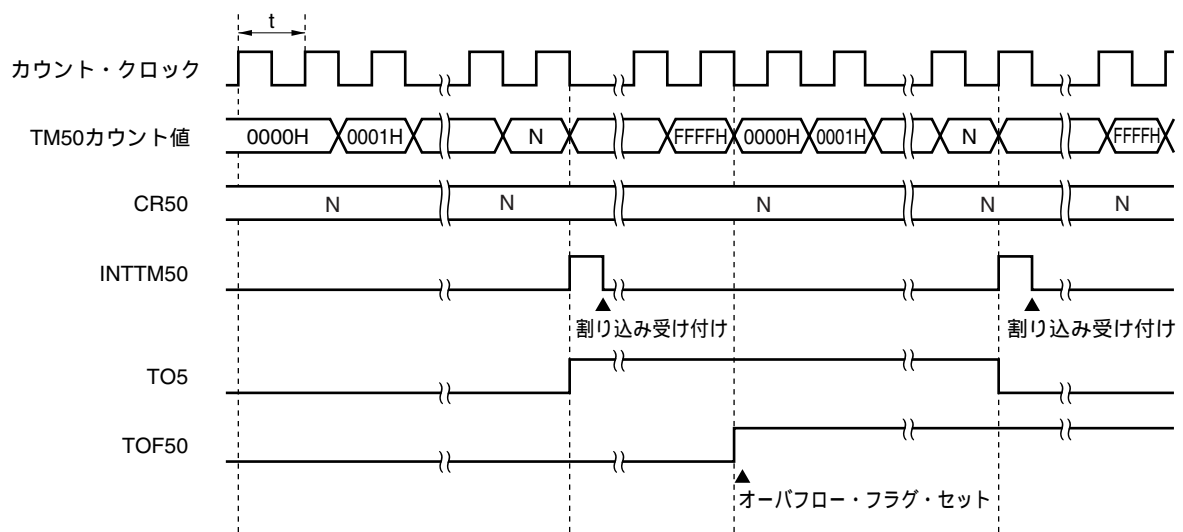
表6 - 2 16ビット・タイマ50のインターバル時間

| TCL501 | TCL500 | カウント・クロック               | インターバル時間                |
|--------|--------|-------------------------|-------------------------|
| 0      | 0      | $1/f_x$ (0.2 $\mu$ s)   | $2^{16}/f_x$ (13.1 ms)  |
| 0      | 1      | $2^5/f_x$ (6.4 $\mu$ s) | $2^{21}/f_x$ (419.4 ms) |
| 上記以外   |        | 設定禁止                    |                         |

備考1.  $f_x$  : メイン・システム・クロック発振周波数

2. ( ) 内は、 $f_x = 5.0$  MHz動作時

図6 - 5 タイマ割り込み動作のタイミング



備考 N = 0000H-FFFFH

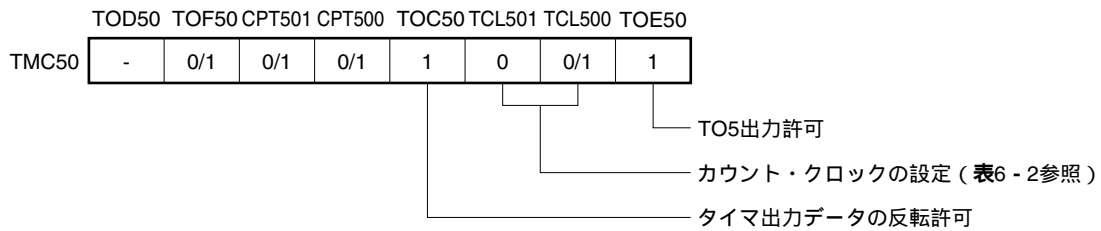
### 6.4.2 タイマ出力としての動作

TCL501とTCL500で設定した値をインターバル時間とし、あらかじめ16ビット・コンペア・レジスタ50 (CR50) に設定したカウント値で繰り返しタイマを出力させることができます。

16ビット・タイマをタイマ出力として動作させるには次の設定をします。

- ・P26を出力モード (PM26 = 0) に設定
- ・P26の出力ラッチに0を設定
- ・CR50にカウント値を設定
- ・16ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) を図6-6のように設定

図6-6 タイマ出力動作時の16ビット・タイマ・モード・コントロール・レジスタ50の設定内容

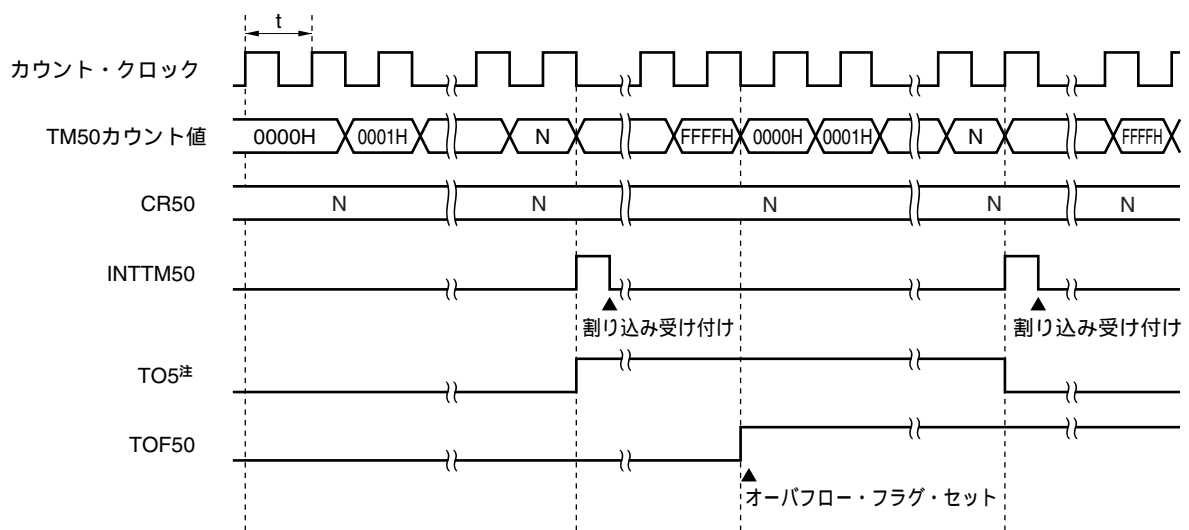


**注意** CPT501フラグとCPT500フラグの両方に0を設定するとキャプチャ・エッジは動作禁止になります。

16ビット・タイマ・カウンタ50 (TM50) のカウント値がCR50に設定した値と一致したとき、TO5/INTP2/P26端子の出力状態が反転します。これによりタイマ出力が可能です。また、このとき、TM50のカウントをそのまま継続するとともに、割り込み要求信号 (INTTM50) を発生します。

図6-7にタイマ出力のタイミングを示します (16ビット・タイマ50のインターバル時間は表6-2を参照してください)。

図6-7 タイマ出力のタイミング



**注** 出力許可 (TOE50 = 1) 時のTO5の初期値はロウ・レベルになります。

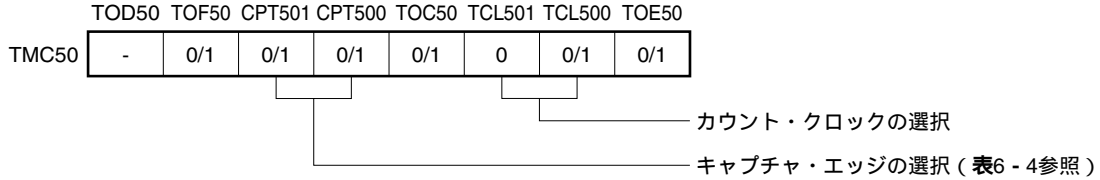
**備考** N = 0000H-FFFFH

### 6.4.3 キャプチャ動作

キャプチャ・トリガに同期して、16ビット・タイマ・カウンタ50 ( TM50 ) のカウント値をキャプチャ・レジスタに取り込み、カウント値を保持するキャプチャ動作を行います。

16ビット・タイマをキャプチャ動作させるには図6 - 8のように設定します。

図6 - 8 キャプチャ動作時の16ビット・タイマ・モード・コントロール・レジスタ50の設定内容



16ビット・キャプチャ・レジスタ50 ( TCP50 ) は、CPT5のキャプチャ・トリガ・エッジが検出されたあと、キャプチャ動作を開始し、16ビット・タイマ・カウンタ50 ( TM50 ) のカウント値をラッチし、保持します。TCP50は、2クロック以内にカウント値をフェッチし、次のキャプチャ・エッジが検出されるまでカウント値を保持します。

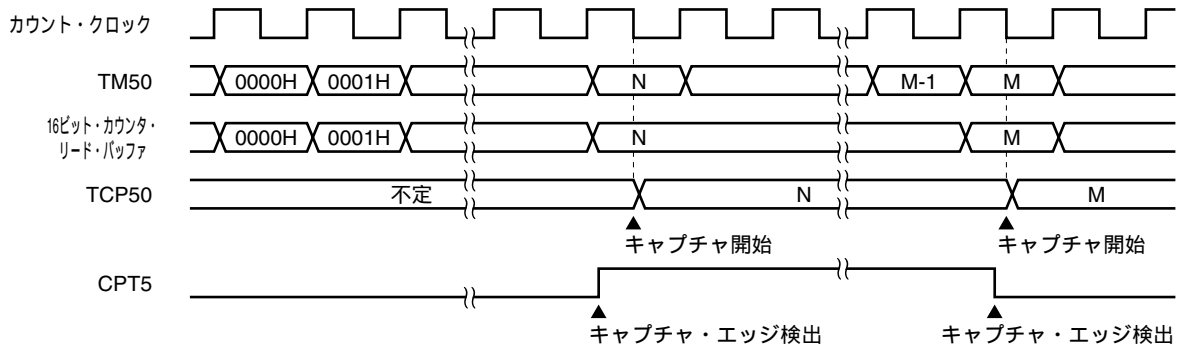
表6 - 3にキャプチャ・エッジの設定内容を、図6 - 9にキャプチャ動作のタイミングを示します。

表6 - 3 キャプチャ・エッジの設定内容

| CPT501 | CPT500 | キャプチャ・エッジの選択    |
|--------|--------|-----------------|
| 0      | 0      | キャプチャ動作禁止       |
| 0      | 1      | CPT5端子の立ち上がりエッジ |
| 1      | 0      | CPT5端子の立ち下がりエッジ |
| 1      | 1      | CPT5端子の両エッジ     |

**注意** TCP50のリード期間中にキャプチャ・トリガ・エッジが検出されると、TCP50は書き換えられるので、TCP50のリード期間中はキャプチャ・トリガ・エッジ検出を禁止にしてください。

図6 - 9 キャプチャ動作のタイミング ( CPT5端子の両エッジ指定時 )



#### 6.4.4 16ビット・タイマ・カウンタ50の読み出し

16ビット・タイマ・カウンタ50 (TM50) のカウント値は16ビット操作命令で読み出します。

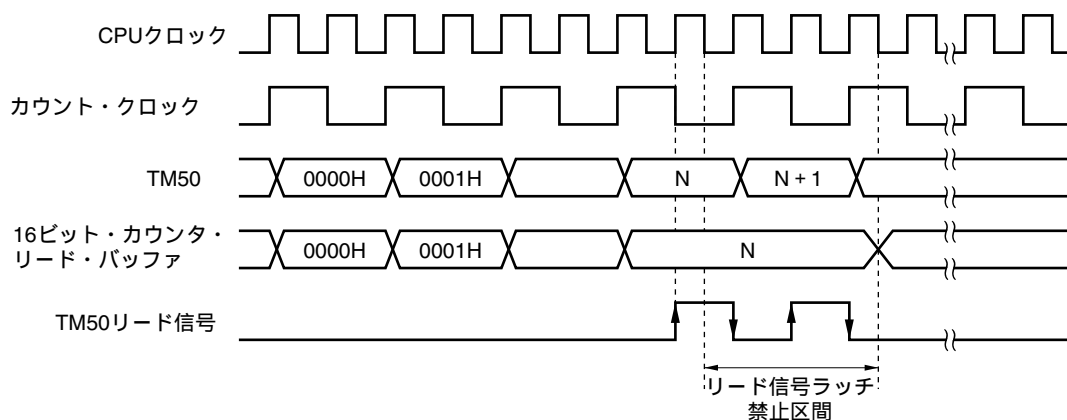
TM50の読み出しは、16ビット・カウンタ・リード・バッファを介して行います。16ビット・カウンタ・リード・バッファはTM50のカウント値をラッチします。そして、TM50の下位バイトのリード信号が立ち上がったあとのCPUクロックの立ち下がりによってバッファ動作を保留し、カウント値を保持します。この保持状態の16ビット・カウンタ・リード・バッファの値をカウント値として読み出すことができます。

保留の解除は、TM50の上位バイトのリード信号が立ち下がったあとのCPUクロックの立ち下がりで行います。TM50は、 $\overline{\text{RESET}}$ 入力により0000Hになり、再びフリーランニングします。

図6-10に16ビット・タイマ・カウンタ50の読み出しのタイミングを示します。

- 注意1. ストップ解除後のカウント値は、発振安定時間中にカウント動作をするため不定となります。
- TM50は16ビット転送命令専用のレジスタですが、8ビット転送命令も使用できます。  
8ビット転送命令を使用する場合、ダイレクト・アドレッシングで行ってください。
  - 8ビット転送命令を使用するとき、下位バイト→上位バイトの順で必ずペアで行ってください。下位バイトのみの読み出しは、16ビット・カウンタ・リード・バッファの保留状態が解除されず、また、上位バイトのみの読み出しは不定となったカウント値を読み込んでしまいます。

図6-10 16ビット・タイマ・カウンタ50の読み出しのタイミング



## ★ 6.5 16ビット・タイマ50の注意事項

### 6.5.1 16ビット・コンペア・レジスタ50を書き換える際の制限事項

(1) コンペア・レジスタ (CR50) を書き換える場合は、必ず割り込みを禁止 (TMMK50 = 1) し、タイマ出力の反転制御を禁止 (TOC50 = 0) してから行ってください。

割り込みを許可している状態で、CR50を書き換えた場合、その時点で割り込み要求が発生することがあります。

(2) コンペア・レジスタ (CR50) を書き換えるタイミングによっては、インターバル時間が意図する時間の2倍となる場合があります。同様に、タイマ出力波形が意図する出力よりも短い波形や2倍の波形が出力されてしまう場合があります。

これを回避するために、次のどちらかの手順で書き換えを行ってください。

#### <回避策A> 8ビット・アクセスで書き換える場合

割り込みを禁止 (TMMK50 = 1) し、タイマ出力の反転制御を禁止 (TOC50 = 0) に設定

先にCR50 (16ビット) の上位1バイトを書き換える

次にCR50 (16ビット) の下位1バイトを書き換える

割り込み要求フラグ (TMIF50) をクリアする

割り込みの先頭からカウント・クロックの半周期分以上経過した後で、

タイマ割り込み許可 / タイマ出力反転許可する。

#### <プログラム例A> (カウント・クロック = 32/f<sub>x</sub>, CPUクロック = f<sub>x</sub>の場合)

|                |            |                         |                               |
|----------------|------------|-------------------------|-------------------------------|
| TM50_VCT: SET1 | TMMK50     | ; タイマ割り込み禁止 (6クロック)     | } 合計16クロック<br>以上 <sup>注</sup> |
| CLR1           | TMC50.3    | ; タイマ出力反転禁止 (6クロック)     |                               |
| MOV            | A, #xxH    | ; 上位バイト書き換え値設定 (6クロック)  |                               |
| MOV            | !0FF17H, A | ; CR50上位バイト書き換え (8クロック) |                               |
| MOV            | A, #yyH    | ; 下位バイト書き換え値設定 (6クロック)  |                               |
| MOV            | !0FF16H, A | ; CR50下位バイト書き換え (8クロック) |                               |
| CLR1           | TMIF50     | ; 割り込み要求フラグをクリア (6クロック) |                               |
| CLR1           | TMMK50     | ; タイマ割り込み許可 (6クロック)     |                               |
| SET1           | TMC50.3    | ; タイマ出力反転許可             |                               |

**注** INTTM50信号は、割り込み発生してからカウント・クロックの半周期の期間、ハイ・レベルになっているので、この期間にTOC50を1にセットすると出力が反転してしまうため。

**<回避策B> 16ビット・アクセスで書き換える場合**

割り込みを禁止 (TMMK50 = 1) し、タイマ出力の反転制御を禁止 (TOC50 = 0) に設定  
 CR50 (16ビット) を書き換える  
 カウント・クロックの1周期分以上ウエイトする  
 割り込み要求フラグ (TMIF50) をクリアする  
 タイマ割り込み許可 / タイマ出力反転許可する。

**<プログラム例B> (カウント・クロック =  $32/f_x$ , CPUクロック =  $f_x$ の場合)**

```

TM50_VCT  SET1  TMMK50      ; タイマ割り込み禁止
          CLR1  TMC50.3     ; タイマ出力反転禁止
          MOVW  AX, #xyyH   ; CR50書き換え値設定
          MOVW  CR50, AX    ; CR50書き換え

          NOP
          NOP
          :
          NOP
          NOP
          } ; NOP16個 (32/fx分のウエイト)注
          CLR1  TMIF50      ; 割り込み要求フラグをクリア
          CLR1  TMMK50      ; タイマ割り込み許可
          SET1  TMC50.3     ; タイマ出力反転許可

```

**注** CR50を書き換える命令 (MOVW CR50, AX) から、カウント・クロックの1周期分以上ウエイトしたあとで、割り込み要求フラグ (TMIF50) をクリアしてください。

## 第7章 8ビット・タイマ/イベント・カウンタ00-02

### 7.1 8ビット・タイマ/イベント・カウンタ00-02の機能

8ビット・タイマ/イベント・カウンタ00-02には、次のような機能があります。

- ・インターバル・タイマ（タイマ00，タイマ01，タイマ02）
- ・外部イベント・カウンタ（タイマ00，タイマ01のみ）
- ・方形波出力（タイマ02のみ）

$\mu$ PD789407A, 789417Aサブシリーズでは、8ビット・タイマ/イベント・カウンタを2チャンネル（タイマ00，タイマ01），8ビット・タイマを1チャンネル（タイマ02）内蔵しています。タイマ02の説明としてお読みになる場合、タイマ/イベント・カウンタをタイマ・カウンタと読み替えてください。

#### （1）8ビット・インターバル・タイマ

あらかじめ設定した任意の間隔で割り込みを発生します。

表7-1 8ビット・タイマ/イベント・カウンタ00のインターバル時間

| 最小インターバル時間                | 最大インターバル時間             | 分解能                       |
|---------------------------|------------------------|---------------------------|
| $2^6/f_x$ (12.8 $\mu$ s)  | $2^{14}/f_x$ (3.28 ms) | $2^6/f_x$ (12.8 $\mu$ s)  |
| $2^9/f_x$ (102.4 $\mu$ s) | $2^{17}/f_x$ (26.2 ms) | $2^9/f_x$ (102.4 $\mu$ s) |

備考1.  $f_x$ ：メイン・システム・クロック発振周波数

2. ( ) 内は、 $f_x = 5.0$  MHz動作時

表7-2 8ビット・タイマ/イベント・カウンタ01のインターバル時間

| 最小インターバル時間               | 最大インターバル時間                   | 分解能                      |
|--------------------------|------------------------------|--------------------------|
| $2^4/f_x$ (3.2 $\mu$ s)  | $2^{12}/f_x$ (819.2 $\mu$ s) | $2^4/f_x$ (3.2 $\mu$ s)  |
| $2^8/f_x$ (51.2 $\mu$ s) | $2^{16}/f_x$ (13.1 ms)       | $2^8/f_x$ (51.2 $\mu$ s) |

備考1.  $f_x$ ：メイン・システム・クロック発振周波数

2. ( ) 内は、 $f_x = 5.0$  MHz動作時

表7-3 8ビット・タイマ02のインターバル時間

| 最小インターバル時間                | 最大インターバル時間                   | 分解能                       |
|---------------------------|------------------------------|---------------------------|
| $2^3/f_x$ (1.6 $\mu$ s)   | $2^{11}/f_x$ (409.6 $\mu$ s) | $2^3/f_x$ (1.6 $\mu$ s)   |
| $2^7/f_x$ (25.6 $\mu$ s)  | $2^{15}/f_x$ (6.55 ms)       | $2^7/f_x$ (25.6 $\mu$ s)  |
| $1/f_{XT}$ (30.5 $\mu$ s) | $2^8/f_{XT}$ (7.81 ms)       | $1/f_{XT}$ (30.5 $\mu$ s) |

備考1.  $f_x$ ：メイン・システム・クロック発振周波数

2.  $f_{XT}$ ：サブシステム・クロック発振周波数

3. ( ) 内は、 $f_x = 5.0$  MHz動作時または $f_{XT} = 32.768$  kHz動作時

**(2) 外部イベント・カウンタ**

外部から入力される信号のパルス数を測定できます。

**(3) 方形波出力**

任意の周波数の方形波出力が可能です。

表7 - 4 8ビット・タイマ02の方形波出力範囲

| 最小パルス幅                      | 最大パルス幅                         | 分解能                         |
|-----------------------------|--------------------------------|-----------------------------|
| $2^3/f_x$ ( 1.6 $\mu$ s )   | $2^{11}/f_x$ ( 409.6 $\mu$ s ) | $2^3/f_x$ ( 1.6 $\mu$ s )   |
| $2^7/f_x$ ( 25.6 $\mu$ s )  | $2^{15}/f_x$ ( 6.55 ms )       | $2^7/f_x$ ( 25.6 $\mu$ s )  |
| $1/f_{XT}$ ( 30.5 $\mu$ s ) | $2^8/f_{XT}$ ( 7.81 ms )       | $1/f_{XT}$ ( 30.5 $\mu$ s ) |

備考1.  $f_x$  : メイン・システム・クロック発振周波数

2.  $f_{XT}$  : サブシステム・クロック発振周波数

3. ( ) 内は,  $f_x = 5.0$  MHz動作時または $f_{XT} = 32.768$  kHz動作時

## 7.2 8ビット・タイマ/イベント・カウンタ00-02の構成

8ビット・タイマ/イベント・カウンタ00-02は, 次のハードウェアで構成しています。

表7 - 5 8ビット・タイマ/イベント・カウンタ00-02の構成

| 項 目      | 構 成                                                                                 |
|----------|-------------------------------------------------------------------------------------|
| タイマ・カウンタ | 8ビット×3本 ( TM00, TM01, TM02 )                                                        |
| レジスタ     | コンペア・レジスタ : 8ビット×3本 ( CR00, CR01, CR02 )                                            |
| タイマ出力    | 1本 ( TO2 )                                                                          |
| 制御レジスタ   | 8ビット・タイマ・モード・コントロール・レジスタ00, 01, 02 ( TMC00, TMC01, TMC02 )<br>ポート・モード・レジスタ2 ( PM2 ) |

図7-1 8ビット・タイマ/イベント・カウンタ00のブロック図

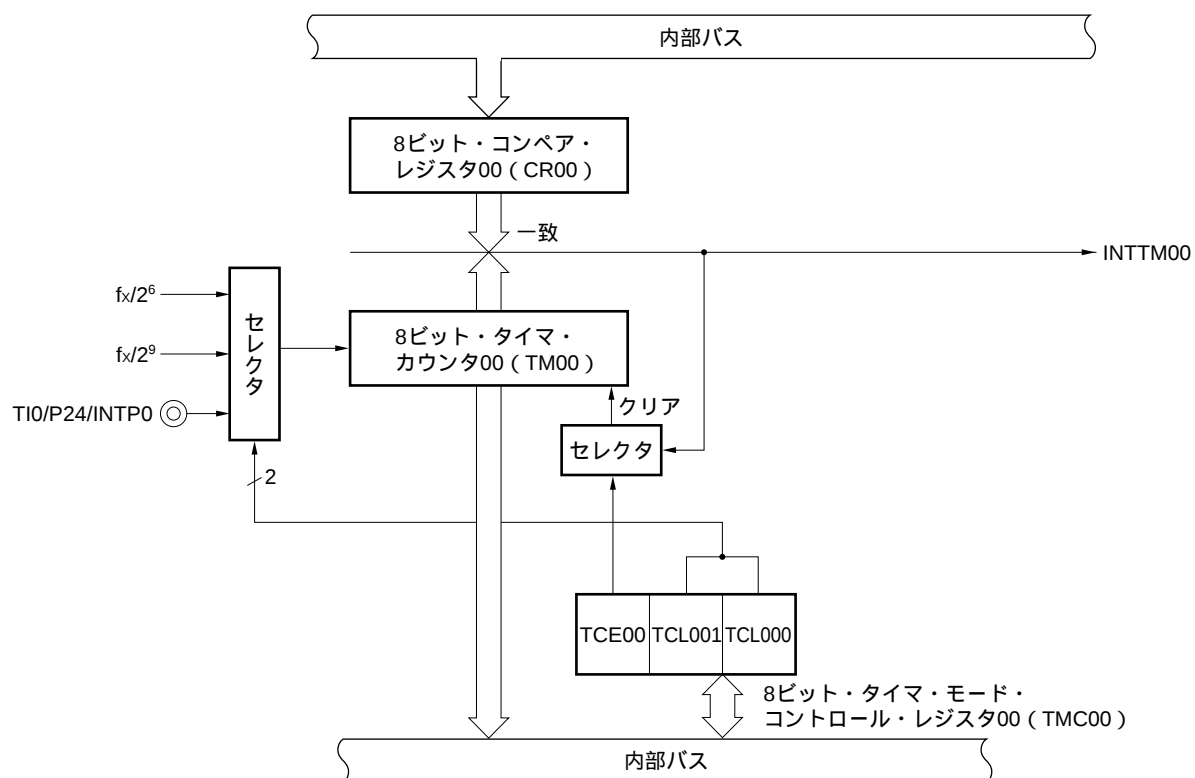


図7-2 8ビット・タイマ/イベント・カウンタ01のブロック図

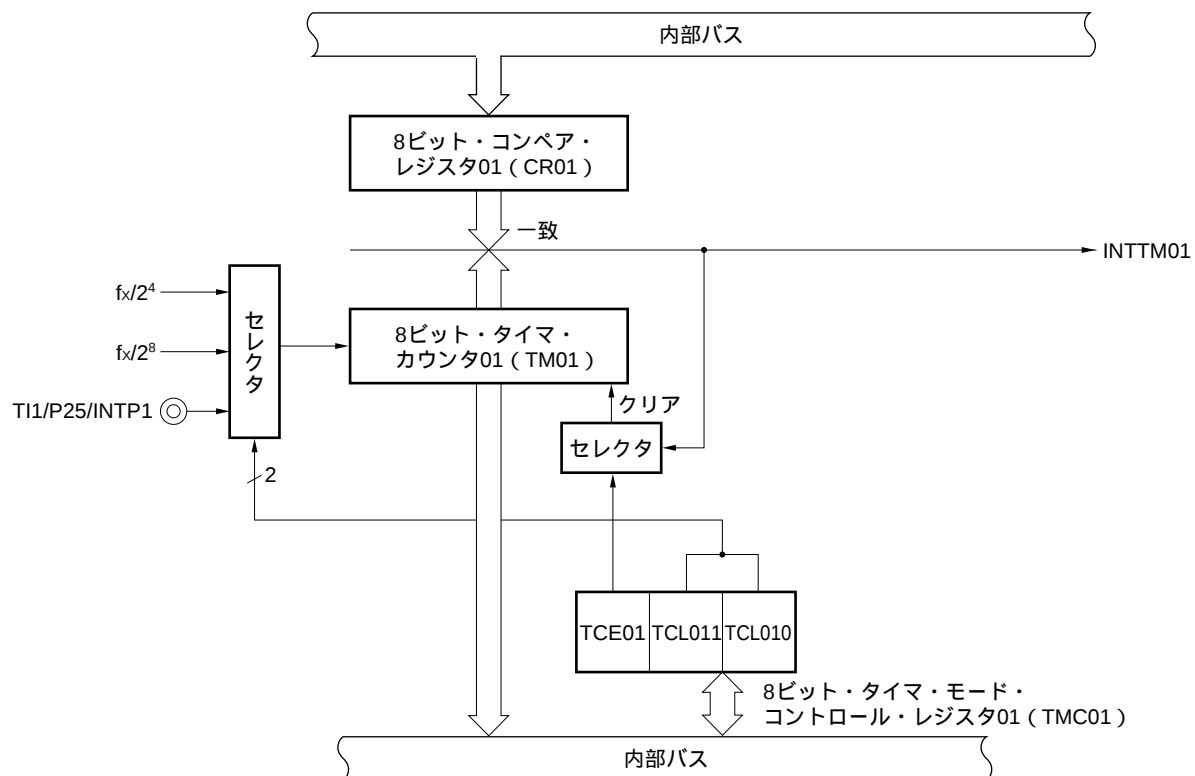
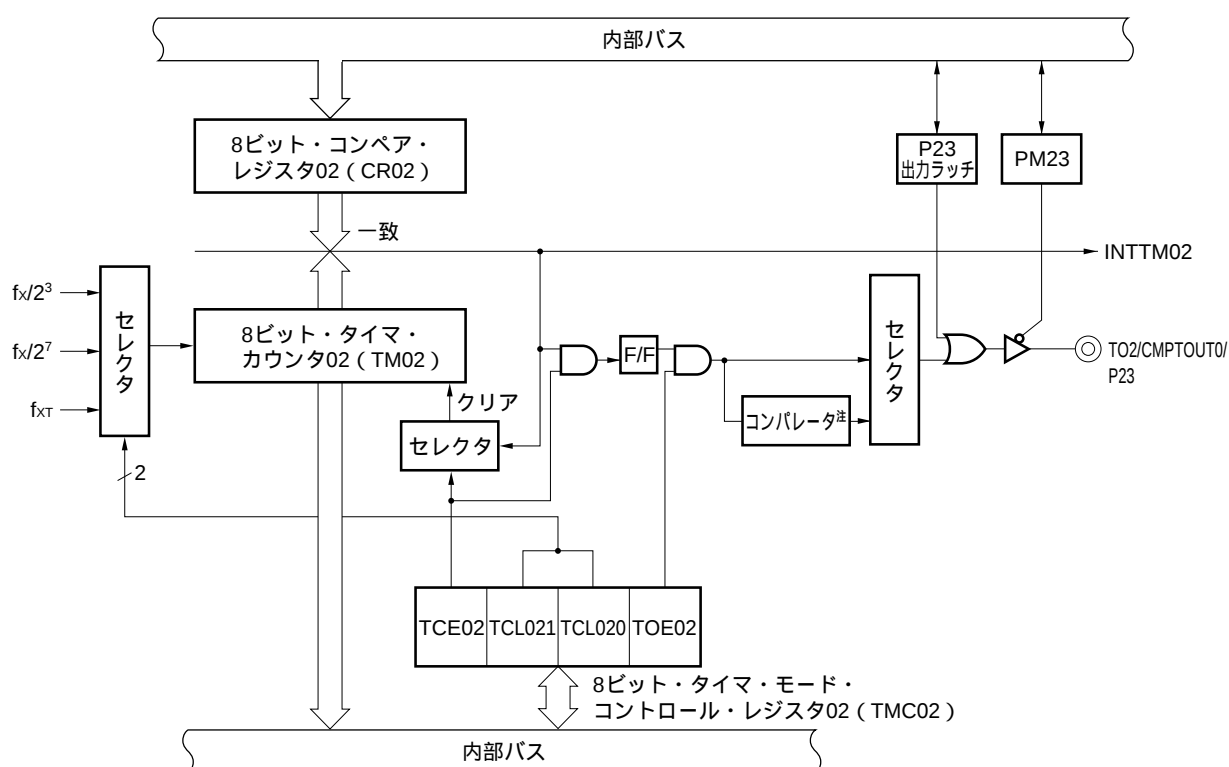


図7-3 8ビット・タイマ02のブロック図



注 コンパレータの説明については第12章 コンパレータを参照してください。

#### (1) 8ビット・コンペア・レジスタ0n (CR0n)

CR0nに設定した値と8ビット・タイマ・カウンタ0n (TM0n) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM0n) を発生する8ビットのレジスタです。

CR0nは、8ビット・メモリ操作命令で設定します。00H-FFHの値が設定可能です。

$\overline{\text{RESET}}$ 入力により、不定になります。

**注意** CR0nを書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。タイマ動作を許可している状態でCR0nを書き換えた場合、その時点で一致割り込み要求信号が発生する場合があります。

**備考** n = 0-2

#### (2) 8ビット・タイマ・カウンタ0n (TM0n)

カウント・パルスをカウントする8ビットのレジスタです。

TM0nは、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

**備考** n = 0-2

7.3 8ビット・タイマ/イベント・カウンタ00-02を制御するレジスタ

8ビット・タイマ/イベント・カウンタ00-02は、次の2種類のレジスタで制御します。

- ・8ビット・タイマ・モード・コントロール・レジスタ00, 01, 02 ( TMC00, TMC01, TMC02 )
- ・ポート・モード・レジスタ2 ( PM2 )

(1) 8ビット・タイマ・モード・コントロール・レジスタ00 ( TMC00 )

8ビット・タイマ・カウンタ00 ( TM00 ) の動作許可/停止, TM00のカウント・クロックを設定するレジスタです。

TMC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図7 - 4 8ビット・タイマ・モード・コントロール・レジスタ00のフォーマット

| 略号    | 6     |   | 5 |   | 4 |   | 3      |        | 2 |  | 1 |  | 0 |  | アドレス  | リセット時 | R/W |
|-------|-------|---|---|---|---|---|--------|--------|---|--|---|--|---|--|-------|-------|-----|
| TMC00 | TCE00 | 0 | 0 | 0 | 0 | 0 | TCL001 | TCL000 | 0 |  |   |  |   |  | FF53H | 00H   | R/W |

| TCE00 | 8ビット・タイマ・カウンタ00の動作の制御 |
|-------|-----------------------|
| 0     | 動作停止 ( TM00は00Hにクリア ) |
| 1     | 動作許可                  |

| TCL001 | TCL000 | 8ビット・タイマ/イベント・カウンタ00のカウント・クロックの選択 |
|--------|--------|-----------------------------------|
| 0      | 0      | $f_x/2^6$ ( 78.1 kHz )            |
| 0      | 1      | $f_x/2^9$ ( 9.76 kHz )            |
| 1      | 0      | TI0の立ち上がりエッジ                      |
| 1      | 1      | TI0の立ち下がりエッジ                      |

**注意** TMC00の設定は、必ずタイマ動作を停止させたのちに行ってください。

- 備考**1.  $f_x$  : メイン・システム・クロック発振周波数
2. (    ) 内は、 $f_x = 5.0 \text{ MHz}$ 動作時

## (2) 8ビット・タイマ・モード・コントロール・レジスタ01 (TMC01)

8ビット・タイマ・カウンタ01 (TM01) の動作許可/停止, 8ビット・タイマ/イベント・カウンタ01のカウンタ・クロックの設定をするレジスタです。

TMC01は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図7-5 8ビット・タイマ・モード・コントロール・レジスタ01のフォーマット

| 略号    |       | 6 | 5 | 4 | 3 | 2      | 1      | 0 | アドレス  | リセット時 | R/W |
|-------|-------|---|---|---|---|--------|--------|---|-------|-------|-----|
| TMC01 | TCE01 | 0 | 0 | 0 | 0 | TCL011 | TCL010 | 0 | FF57H | 00H   | R/W |

| TCE01 | 8ビット・タイマ・カウンタ01の動作の制御 |
|-------|-----------------------|
| 0     | 動作停止 (TM01は00Hにクリア)   |
| 1     | 動作許可                  |

| TCL011 | TCL010 | 8ビット・タイマ/イベント・カウンタ01のカウンタ・クロックの選択 |
|--------|--------|-----------------------------------|
| 0      | 0      | $f_x/2^4$ (312.5 kHz)             |
| 0      | 1      | $f_x/2^8$ (19.5 kHz)              |
| 1      | 0      | TI1の立ち上がりエッジ                      |
| 1      | 1      | TI1の立ち下がりエッジ                      |

**注意** TMC01の設定は, 必ずタイマ動作を停止させたのちに行ってください。

**備考1.**  $f_x$ : メイン・システム・クロック発振周波数

2. ( ) 内は,  $f_x = 5.0 \text{ MHz}$ 動作時

## (3) 8ビット・タイマ・モード・コントロール・レジスタ02 (TMC02)

8ビット・タイマ・カウンタ02 (TM02) の動作許可/停止, 8ビット・タイマ02のカウント・クロックの設定, および出力制御回路の動作を制御するレジスタです。

TMC02は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図7-6 8ビット・タイマ・モード・コントロール・レジスタ02のフォーマット

| 略号    | 6     |   | 5 |   | 4 |   | 3      |        | 2     |       | 1   |     | 0 |  | アドレス | リセット時 | R/W |
|-------|-------|---|---|---|---|---|--------|--------|-------|-------|-----|-----|---|--|------|-------|-----|
| TMC02 | TCE02 | 0 | 0 | 0 | 0 | 0 | TCL021 | TCL020 | TOE02 | FF5BH | 00H | R/W |   |  |      |       |     |

| TCE02 | 8ビット・タイマ・カウンタ02の動作の制御 |
|-------|-----------------------|
| 0     | 動作停止 (TM02は00Hにクリア)   |
| 1     | 動作許可                  |

| TCL021 | TCL020 | 8ビット・タイマ02のカウント・クロックの選択 |
|--------|--------|-------------------------|
| 0      | 0      | $f_x/2^3$ (625 kHz)     |
| 0      | 1      | $f_x/2^7$ (39.1 kHz)    |
| 1      | 0      | $f_{XT}$ (32.768 kHz)   |
| 1      | 1      | 設定禁止                    |

| TOE02 | 8ビット・タイマ02の動作の制御 |
|-------|------------------|
| 0     | 出力禁止 (ポート・モード)   |
| 1     | 出力許可             |

**注意** TMC02の設定は, 必ずタイマ動作を停止させたのちに行ってください。

**備考**1.  $f_x$ : メイン・システム・クロック発振周波数

2.  $f_{XT}$ : サブシステム・クロック発振周波数

3. ( ) 内は,  $f_x = 5.0 \text{ MHz}$ 動作時または $f_{XT} = 32.768 \text{ kHz}$ 動作時

(4) ポート・モード・レジスタ2 (PM2)

ポート2の入力 / 出力を1ビット単位で設定するレジスタです。

P23/COMPTOUT0/TO2端子をタイマ出力として使用するとき ,PM23およびP23の出力ラッチに0を設定してください。

PM2は , 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により , FFHになります。

図7 - 7 ポート・モード・レジスタ2のフォーマット

| 略号  | 7    | 6    | 5    | 4    | 3    | 2    | 1    | 0    | アドレス  | リセット時 | R/W |
|-----|------|------|------|------|------|------|------|------|-------|-------|-----|
| PM2 | PM27 | PM26 | PM25 | PM24 | PM23 | PM22 | PM21 | PM20 | FF22H | FFH   | R/W |

|      |                   |
|------|-------------------|
| PM23 | P23端子の入出力モードの設定   |
| 0    | 出力モード (出力バッファ・オン) |
| 1    | 入力モード (出力バッファ・オフ) |

## 7.4 8ビット・タイマ/イベント・カウンタ00-02の動作

### 7.4.1 インターバル・タイマとしての動作

インターバル・タイマは、あらかじめ8ビット・コンペア・レジスタ00, 01, 02 (CR00, CR01, CR02) に設定したカウント値をインターバルとし、繰り返し割り込みを発生させることができます。

8ビット・タイマ/イベント・カウンタをインターバル・タイマとして動作させるには次の順序で設定をします。

8ビット・タイマ・カウンタ0n (TM0n) を動作禁止 (TCE0n (8ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) のビット7) = 0) に設定

8ビット・タイマ/イベント・カウンタのカウント・クロックを選択 (表7-6 ~ 表7-8参照)

CR0nにカウント値を設定

TM0nを動作許可 (TCE0n = 1) に設定

8ビット・タイマ・カウンタ0n (TM0n) のカウント値がCR0nに設定した値と一致したとき、TM0nの値を00Hにクリアしてカウントを継続するとともに、割り込み要求信号 (INTTM0n) を発生します。

表7-6から表7-8にインターバル時間を、図7-8、図7-9にインターバル・タイマ動作のタイミングを示します。

**注意** TMC0nでカウント・クロックの設定とTM0nの動作許可を8ビット・メモリ操作命令により同時に設定した場合、タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります。  
そのため、インターバル・タイマとして動作させる際には、必ず上記の順序で操作してください。

**備考** n = 0-2

表7-6 8ビット・タイマ/イベント・カウンタ00のインターバル時間

| TCL001 | TCL000 | 最小インターバル時間                | 最大インターバル時間             | 分解能                       |
|--------|--------|---------------------------|------------------------|---------------------------|
| 0      | 0      | $2^6/f_x$ (12.8 $\mu$ s)  | $2^{14}/f_x$ (3.28 ms) | $2^6/f_x$ (12.8 $\mu$ s)  |
| 0      | 1      | $2^9/f_x$ (102.4 $\mu$ s) | $2^{17}/f_x$ (26.2 ms) | $2^9/f_x$ (102.4 $\mu$ s) |
| 1      | 0      | TI0入力周期                   | $2^8 \times$ TI0入力周期   | TI0入力エッジ周期                |
| 1      | 1      | TI0入力周期                   | $2^8 \times$ TI0入力周期   | TI0入力エッジ周期                |

備考1.  $f_x$  : メイン・システム・クロック発振周波数

2. ( ) 内は、 $f_x = 5.0$  MHz動作時

表7-7 8ビット・タイマ/イベント・カウンタ01のインターバル時間

| TCL011 | TCL010 | 最小インターバル時間               | 最大インターバル時間                   | 分解能                      |
|--------|--------|--------------------------|------------------------------|--------------------------|
| 0      | 0      | $2^4/f_x$ (3.2 $\mu$ s)  | $2^{12}/f_x$ (819.2 $\mu$ s) | $2^4/f_x$ (3.2 $\mu$ s)  |
| 0      | 1      | $2^6/f_x$ (51.2 $\mu$ s) | $2^{16}/f_x$ (13.1 ms)       | $2^6/f_x$ (51.2 $\mu$ s) |
| 1      | 0      | TI1入力周期                  | $2^8 \times$ TI1入力周期         | TI1入力エッジ周期               |
| 1      | 1      | TI1入力周期                  | $2^8 \times$ TI1入力周期         | TI1入力エッジ周期               |

備考1.  $f_x$  : メイン・システム・クロック発振周波数

2. ( ) 内は、 $f_x = 5.0$  MHz動作時

表7-8 8ビット・タイマ02のインターバル時間

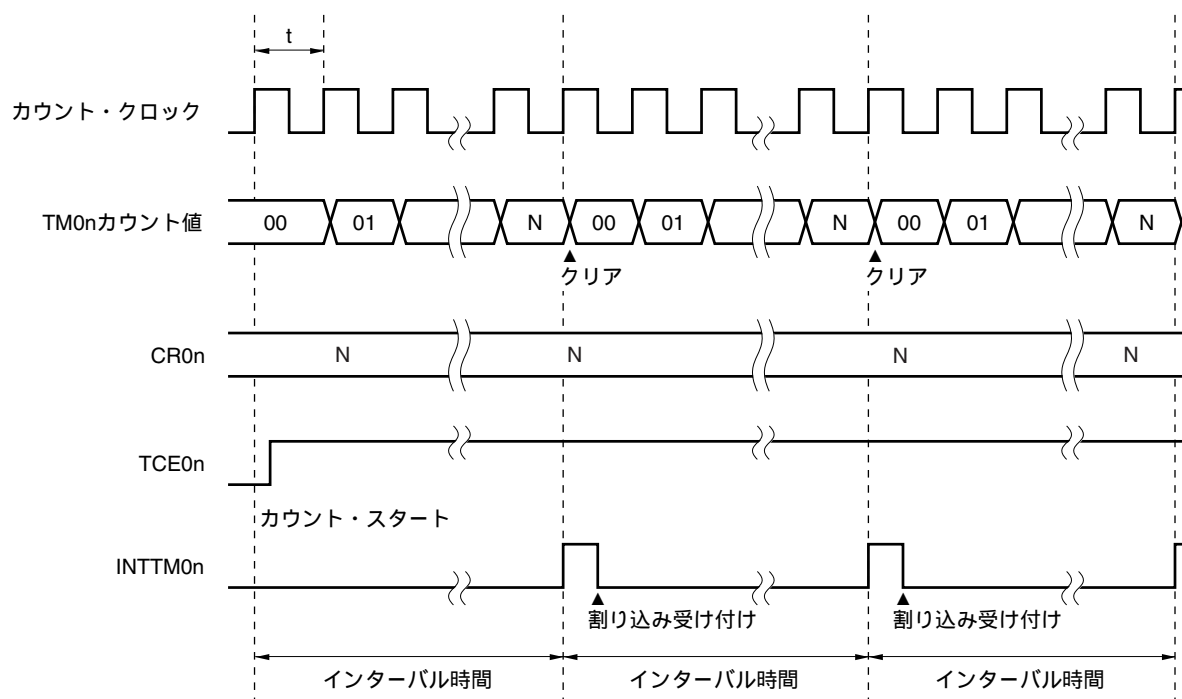
| TCL021 | TCL020 | 最小インターバル時間                | 最大インターバル時間                   | 分解能                       |
|--------|--------|---------------------------|------------------------------|---------------------------|
| 0      | 0      | $2^3/f_x$ (1.6 $\mu$ s)   | $2^{11}/f_x$ (409.6 $\mu$ s) | $2^3/f_x$ (1.6 $\mu$ s)   |
| 0      | 1      | $2^7/f_x$ (25.6 $\mu$ s)  | $2^{15}/f_x$ (6.55 ms)       | $2^7/f_x$ (25.6 $\mu$ s)  |
| 1      | 0      | $1/f_{XT}$ (30.5 $\mu$ s) | $2^8/f_{XT}$ (7.81 ms)       | $1/f_{XT}$ (30.5 $\mu$ s) |
| 1      | 1      | 設定禁止                      |                              |                           |

備考1.  $f_x$  : メイン・システム・クロック発振周波数

2.  $f_{XT}$  : サブシステム・クロック発振周波数

3. ( ) 内は,  $f_x = 5.0$  MHz動作時または $f_{XT} = 32.768$  kHz動作時

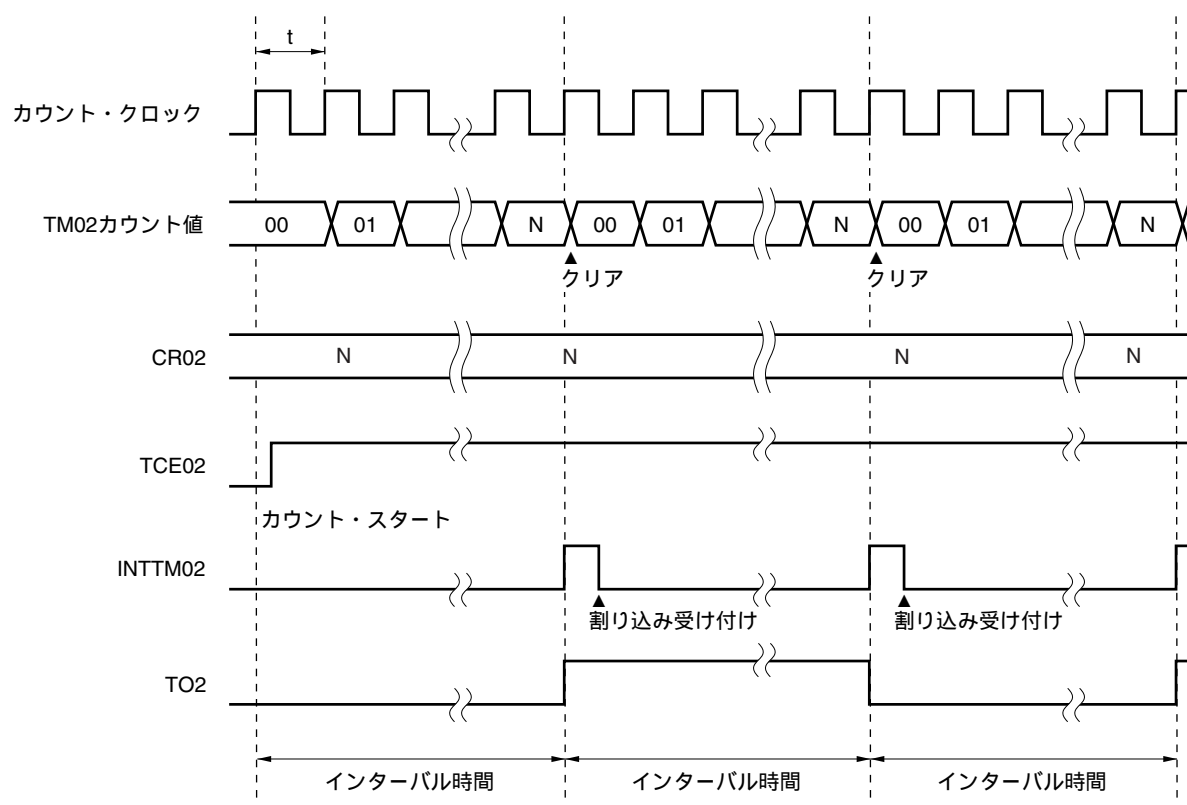
図7-8 タイマ00, タイマ01のインターバル・タイマ動作のタイミング



備考1. インターバル時間 =  $(N + 1) \times t$  :  $N = 00H-FFH$

2.  $n = 0, 1$

図7 - 9 タイマ02のインターバル・タイマ動作のタイミング



備考 インターバル時間 =  $(N + 1) \times t$  :  $N = 00H\text{--}FFH$

### 7.4.2 外部イベント・カウンタとしての動作（タイマ00，タイマ01のみ）

外部イベント・カウンタは，TI0/P24/INTP0，TI1/P25/INTP1端子に入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ00，01（TM00，TM01）でカウントするものです。

8ビット・タイマ/イベント・カウンタ00，01を外部イベント・カウンタとして動作させるには次の順序で設定をします。

P24，P25を入力モード（PM24 = 1，PM25 = 1）に設定

8ビット・タイマ・カウンタ0n（TM0n）を動作禁止（TCE0n（8ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）のビット7）= 0）に設定

TInの立ち上がり/立ち下がりエッジを指定（表7-6，表7-7参照）

CR0nにカウント値を設定

TM0nを動作許可（TCE0n = 1）に設定

TMC0nのビット1（TCL0n0）で指定した有効エッジが入力されるたびに8ビット・タイマ・カウンタ0n（TM0n）がインクリメントされます。

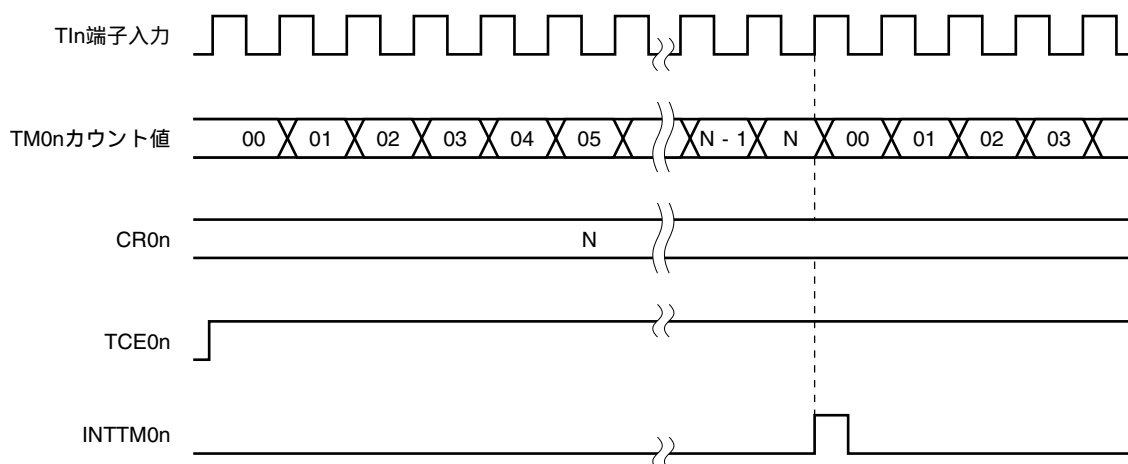
TM0nのカウント値がCR0nに設定した値と一致したとき，TM0nの値を00Hにクリアしてカウントを継続するとともに，割り込み要求信号（INTTM0n）を発生します。

図7-10に外部イベント・カウンタ動作のタイミング（立ち上がりエッジ指定時）を示します。

**注意** TMC0nでカウント・クロックの設定とTM0nの動作許可を8ビット・メモリ操作命令により同時に設定した場合，タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります。  
そのため，外部イベント・カウンタとして動作させる際には，必ず上記の順序で操作してください。

**備考** n = 0, 1

図7-10 外部イベント・カウンタ動作のタイミング（立ち上がりエッジ指定時）



**備考1.** N = 00H-FFH

**備考2.** n = 0, 1

### 7.4.3 方形波出力としての動作（タイマ02のみ）

8ビット・コンペア・レジスタ02（CR02）にあらかじめ設定した値をインターバルとし、任意の周波数の方形波出力を発生させることができます。

8ビット・タイマ02を方形波出力として動作させるには次の順序で設定をします。

P23を出力モード（PM23 = 0）に、P23の出力ラッチを0に設定

8ビット・タイマ・カウンタ02（TM02）を動作禁止（TCE02（8ビット・タイマ・モード・コントロール・レジスタ02（TMC02）のビット0）= 1）に設定

8ビット・タイマ02のカウント・クロックを設定（表7 - 9参照）し、TO2を出力許可（TOE02（TMC02のビット0）= 1）に設定

CR02にカウント値を設定

TM02を動作許可（TCE02 = 1）に設定

8ビット・タイマ・カウンタ02（TM02）のカウント値がCR02に設定した値と一致したとき、TO2/P23/CMPTOUT0端子の出力状態が反転します。これにより任意の周波数の方形波出力が可能です。また、このとき、TM02の値は、00Hにクリアされてカウントを継続するとともに、割り込み要求信号（INTTM02）を発生します。

方形波出力は、TMC02のビット7（TCE02）に0を設定するとクリア（0）されます。

表7 - 9に方形波出力範囲を、図7 - 11に方形波出力のタイミングを示します。

**注意** TMC02でカウント・クロックの設定とTM02の動作許可を8ビット・メモリ操作命令により同時に設定した場合、タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります。そのため、方形波出力として動作させる際には、必ず上記の順序で操作してください。

表7 - 9 8ビット・タイマ02の方形波出力範囲

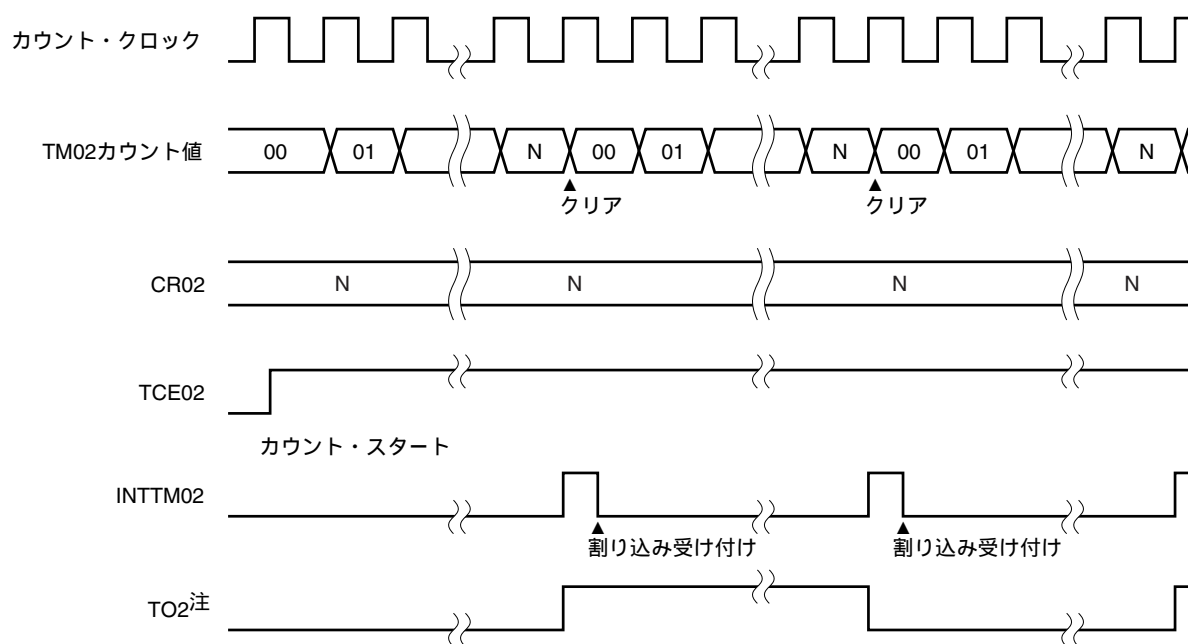
| TCL021 | TCL020 | 最小パルス幅                    | 最大パルス幅                       | 分解能                       |
|--------|--------|---------------------------|------------------------------|---------------------------|
| 0      | 0      | $2^3/f_x$ (1.6 $\mu$ s)   | $2^{11}/f_x$ (409.6 $\mu$ s) | $2^3/f_x$ (1.6 $\mu$ s)   |
| 0      | 1      | $2^7/f_x$ (25.6 $\mu$ s)  | $2^{15}/f_x$ (6.55 ms)       | $2^7/f_x$ (25.6 $\mu$ s)  |
| 1      | 0      | $1/f_{XT}$ (30.5 $\mu$ s) | $2^8/f_{XT}$ (7.81 ms)       | $1/f_{XT}$ (30.5 $\mu$ s) |
| 1      | 1      | 設定禁止                      |                              |                           |

備考1.  $f_x$  : メイン・システム・クロック発振周波数

2.  $f_{XT}$  : サブシステム・クロック発振周波数

3. ( ) 内は、 $f_x = 5.0$  MHz動作時または $f_{XT} = 32.768$  kHz動作時

図7 - 11 方形波出力のタイミング



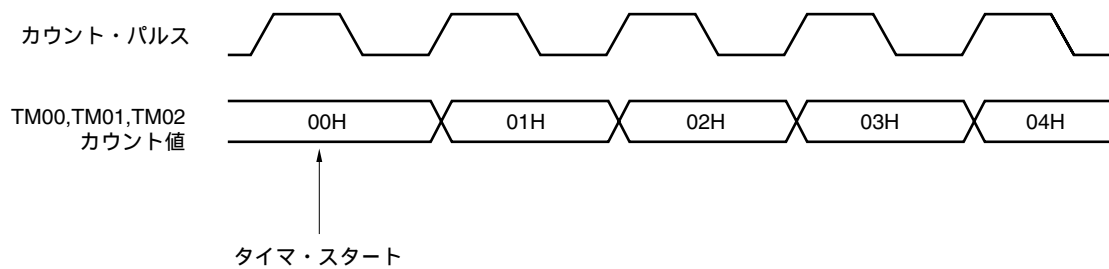
**注** 出力許可 (TOE02 = 1) 時のTO2の初期値は、ロウ・レベルになります。

## 7.5 8ビット・タイマ/イベント・カウンタ00-02の注意事項

### (1) タイマ・スタート時の誤差

タイマ・スタート後，一致信号が発生するまでの時間は，最大で1クロック分の誤差が生じます。これはカウント・パルスに対して8ビット・タイマ・カウンタ00, 01, 02 ( TM00, TM01, TM02 ) のスタートが非同期で行われるためです。

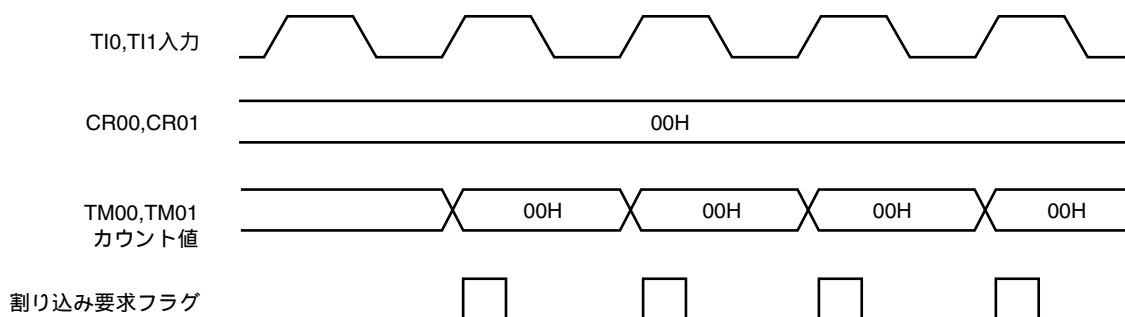
図7 - 12 8ビット・タイマ・カウンタ00, 01, 02のスタート・タイミング



### (2) 8ビット・コンペア・レジスタの設定

8ビット・コンペア・レジスタ00, 01, 02 ( CR00, CR01, CR02 ) には，00Hの設定が可能です。したがって，イベント・カウンタとして使用时，1パルスのカウント動作が可能です。

図7 - 13 外部イベント・カウンタとしての動作時のタイミング



## 第8章 時計用タイマ

### 8.1 時計用タイマの機能

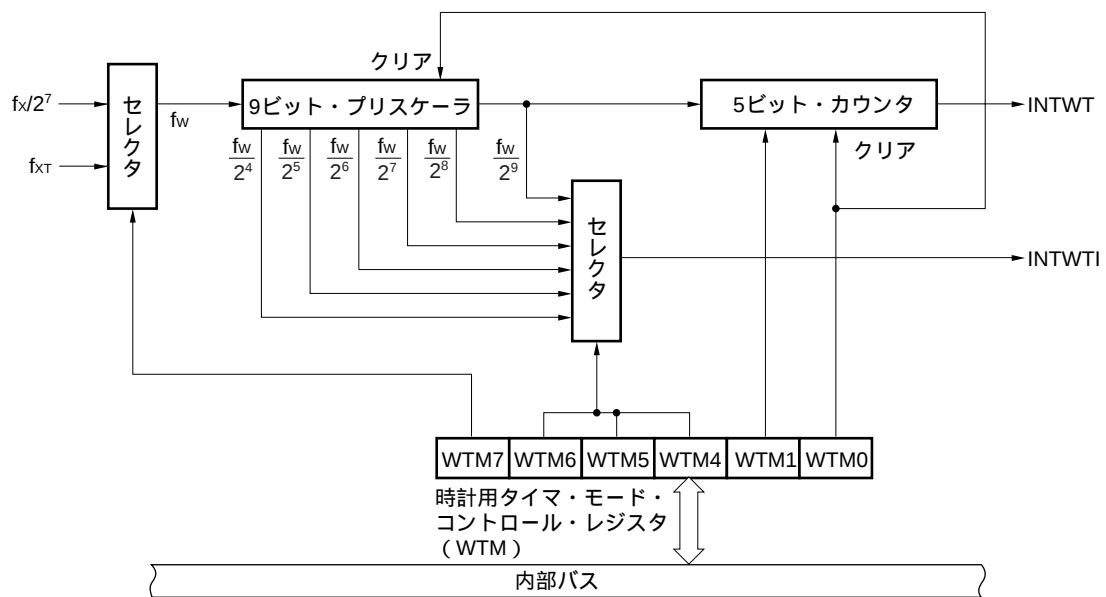
時計用タイマには、次のような機能があります。

- ・時計用タイマ
- ・インターバル・タイマ

時計用タイマとインターバル・タイマは、同時に使用できます。

図8 - 1に、時計用タイマのブロック図を示します。

図8 - 1 時計用タイマのブロック図



## (1) 時計用タイマ

4.19 MHzのメイン・システム・クロックまたは32.768 kHzのサブシステム・クロックを使用することで、0.5秒の時間間隔で割り込み要求（INTWT）を発生します。

**注意** 5.0 MHzのメイン・システム・クロックでは、0.5秒の時間間隔を作ることができません。  
32.768 kHzのサブシステム・クロックに切り替えて、0.5秒の時間間隔を作ってください。

## (2) インターバル・タイマ

あらかじめ設定した時間間隔で、割り込み要求（INTWT）を発生します。

表8 - 1 インターバル・タイマのインターバル時間

| インターバル時間           | $f_x = 5.0 \text{ MHz}$ 動作時 | $f_x = 4.19 \text{ MHz}$ 動作時 | $f_{XT} = 32.768 \text{ kHz}$ 動作時 |
|--------------------|-----------------------------|------------------------------|-----------------------------------|
| $2^4 \times 1/f_w$ | 409.6 $\mu\text{s}$         | 489 $\mu\text{s}$            | 488 $\mu\text{s}$                 |
| $2^5 \times 1/f_w$ | 819.2 $\mu\text{s}$         | 978 $\mu\text{s}$            | 977 $\mu\text{s}$                 |
| $2^6 \times 1/f_w$ | 1.64 ms                     | 1.96 ms                      | 1.95 ms                           |
| $2^7 \times 1/f_w$ | 3.28 ms                     | 3.91 ms                      | 3.91 ms                           |
| $2^8 \times 1/f_w$ | 6.55 ms                     | 7.82 ms                      | 7.81 ms                           |
| $2^9 \times 1/f_w$ | 13.1 ms                     | 15.6 ms                      | 15.6 ms                           |

**備考**  $f_w$  : 時計用タイマ・クロック周波数 ( $f_x/2^7$ または $f_{XT}$ )

$f_x$  : メイン・システム・クロック発振周波数

$f_{XT}$  : サブシステム・クロック発振周波数

## 8.2 時計用タイマの構成

時計用タイマは、次のハードウェアで構成されています。

表8 - 2 時計用タイマの構成

| 項 目    | 構 成                          |
|--------|------------------------------|
| カウンタ   | 5ビット×1本                      |
| プリスケアラ | 9ビット×1本                      |
| 制御レジスタ | 時計用タイマ・モード・コントロール・レジスタ (WTM) |

## 8.3 時計用タイマを制御するレジスタ

時計用タイマを制御するレジスタには、時計用タイマ・モード・コントロール・レジスタ (WTM) があります。

### ・時計用タイマ・モード・コントロール・レジスタ (WTM)

時計用タイマのカウント・クロックおよび動作の許可 / 禁止、プリスケアラのインターバル時間、5ビット・カウンタの動作制御を設定するレジスタです。

WTMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図8-2 時計用タイマ・モード・コントロール・レジスタのフォーマット

| 略号  | 7    | 6    | 5    | 4    | 3 | 2 | 1    | 0    | アドレス  | リセット時 | R/W |
|-----|------|------|------|------|---|---|------|------|-------|-------|-----|
| WTM | WTM7 | WTM6 | WTM5 | WTM4 | 0 | 0 | WTM1 | WTM0 | FF4AH | 00H   | R/W |

| WTM7 | 時計用タイマのカウント・クロック選択    |
|------|-----------------------|
| 0    | $f_x/2^7$ (39.1 kHz)  |
| 1    | $f_{XT}$ (32.768 kHz) |

| WTM6 | WTM5 | WTM4 | プリスケアラのインターバル時間の選択      |
|------|------|------|-------------------------|
| 0    | 0    | 0    | $2^4/f_w$ (488 $\mu$ s) |
| 0    | 0    | 1    | $2^5/f_w$ (977 $\mu$ s) |
| 0    | 1    | 0    | $2^6/f_w$ (1.95 ms)     |
| 0    | 1    | 1    | $2^7/f_w$ (3.91 ms)     |
| 1    | 0    | 0    | $2^8/f_w$ (7.81 ms)     |
| 1    | 0    | 1    | $2^9/f_w$ (15.6 ms)     |
| 上記以外 |      |      | 設定禁止                    |

| WTM1 | 5ビット・カウンタの動作制御 |
|------|----------------|
| 0    | 動作停止後クリア       |
| 1    | スタート           |

| WTM0 | 時計用タイマの動作許可              |
|------|--------------------------|
| 0    | 動作停止 (プリスケアラ, タイマともにクリア) |
| 1    | 動作許可                     |

備考1.  $f_w$  : 時計用タイマ・クロック周波数 ( $f_x/2^7$ または $f_{XT}$ )

2.  $f_x$  : メイン・システム・クロック発振周波数

3.  $f_{XT}$  : サブシステム・クロック発振周波数

4. ( ) 内は,  $f_w = 32.768$  kHz動作時

## 8.4 時計用タイマの動作

### 8.4.1 時計用タイマとしての動作

メイン・システム・クロック (4.19 MHz) またはサブシステム・クロック (32.768 kHz) を使用することで、0.5秒の時間間隔の時計用タイマとして動作します。

時計用タイマは、一定の時間間隔ごとに、割り込み要求を発生します。

時計用タイマ・モード・コントロール・レジスタ (WTM) のビット0 (WTM0) とビット1 (WTM1) に1を設定するとカウント動作がスタートし、0を設定することにより、5ビット・カウンタがクリアされ、カウント動作が停止します。

また、インターバル・タイマを同時に動作させているときは、WTM1に0を設定することにより、時計用タイマのみをゼロ秒スタートさせることができます。ただし、この場合、9ビット・プリスケアラはクリアされないため、時計用タイマのゼロ秒スタート後の最初のオーバフロー (INTWT) には、最大で $2^9 \times 1/f_w$ 秒の誤差が発生します。

### 8.4.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

時計用タイマ・モード・コントロール・レジスタ (WTM) のビット4-6 (WTM4-WTM6) により、インターバル時間を選択できます。

表8-3 インターバル・タイマのインターバル時間

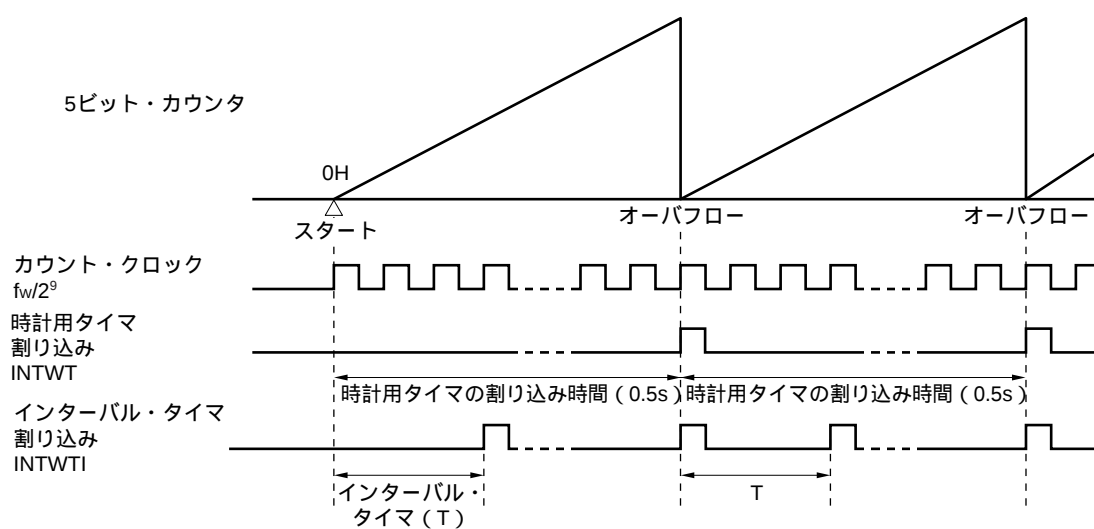
| WTM6 | WTM5 | WTM4 | インターバル時間           | $f_x = 5.0 \text{ MHz}$ 動作時 | $f_x = 4.19 \text{ MHz}$ 動作時 | $f_{XT} = 32.768 \text{ kHz}$ 動作時 |
|------|------|------|--------------------|-----------------------------|------------------------------|-----------------------------------|
| 0    | 0    | 0    | $2^4 \times 1/f_w$ | 409.6 $\mu\text{s}$         | 489 $\mu\text{s}$            | 488 $\mu\text{s}$                 |
| 0    | 0    | 1    | $2^5 \times 1/f_w$ | 819.2 $\mu\text{s}$         | 978 $\mu\text{s}$            | 977 $\mu\text{s}$                 |
| 0    | 1    | 0    | $2^6 \times 1/f_w$ | 1.64 ms                     | 1.96 ms                      | 1.95 ms                           |
| 0    | 1    | 1    | $2^7 \times 1/f_w$ | 3.28 ms                     | 3.91 ms                      | 3.91 ms                           |
| 1    | 0    | 0    | $2^8 \times 1/f_w$ | 6.55 ms                     | 7.82 ms                      | 7.81 ms                           |
| 1    | 0    | 1    | $2^9 \times 1/f_w$ | 13.1 ms                     | 15.6 ms                      | 15.6 ms                           |
| 上記以外 |      |      | 設定禁止               |                             |                              |                                   |

**備考**  $f_x$  : メイン・システム・クロック発振周波数

$f_{XT}$  : サブシステム・クロック発振周波数

$f_w$  : 時計用タイマ・クロック周波数

図8 - 3 時計用タイマ/インターバル・タイマの動作タイミング



**備考**  $f_w$  : 時計用タイマ・クロック周波数

( ) 内は,  $f_w = 32.768 \text{ kHz}$ 動作時

## 第9章 ウォッチドッグ・タイマ

### 9.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

**注意** ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください。

#### (1) ウォッチドッグ・タイマ

プログラムの暴走を検出します。暴走検出時、ノンマスクابل割り込みまたはRESETを発生することができます。

表9 - 1 ウォッチドッグ・タイマの暴走検出時間

| 暴走検出時間                | $f_x = 5.0 \text{ MHz}$ 動作時 |
|-----------------------|-----------------------------|
| $2^{11} \times 1/f_x$ | $410 \mu\text{s}$           |
| $2^{13} \times 1/f_x$ | $1.64 \text{ ms}$           |
| $2^{15} \times 1/f_x$ | $6.55 \text{ ms}$           |
| $2^{17} \times 1/f_x$ | $26.2 \text{ ms}$           |

$f_x$  : メイン・システム・クロック発振周波数

#### (2) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

表9 - 2 インターバル時間

| インターバル時間              | $f_x = 5.0 \text{ MHz}$ 動作時 |
|-----------------------|-----------------------------|
| $2^{11} \times 1/f_x$ | $410 \mu\text{s}$           |
| $2^{13} \times 1/f_x$ | $1.64 \text{ ms}$           |
| $2^{15} \times 1/f_x$ | $6.55 \text{ ms}$           |
| $2^{17} \times 1/f_x$ | $26.2 \text{ ms}$           |

$f_x$  : メイン・システム・クロック発振周波数

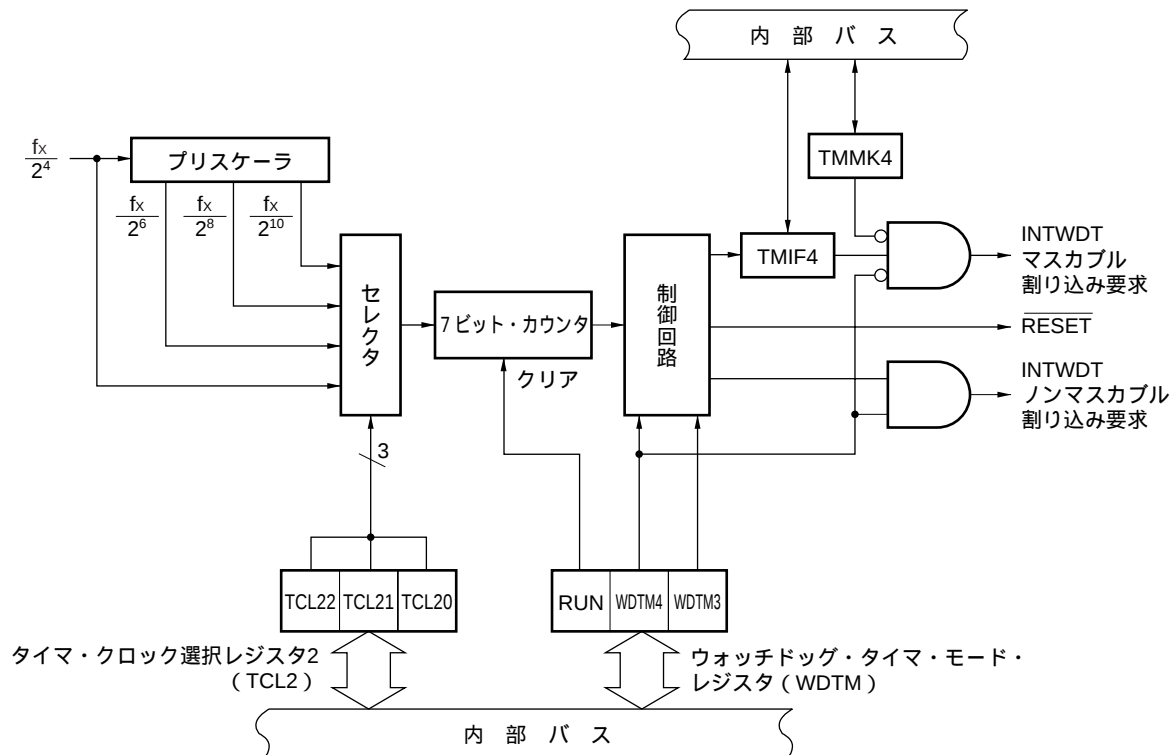
## 9.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成しています。

表9-3 ウォッチドッグ・タイマの構成

| 項 目    | 構 成                                                   |
|--------|-------------------------------------------------------|
| 制御レジスタ | タイマ・クロック選択レジスタ2 (TCL2)<br>ウォッチドッグ・タイマ・モード・レジスタ (WDTM) |

図9-1 ウォッチドッグ・タイマのブロック図



### 9.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、次の2種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ2 (TCL2)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

#### (1) タイマ・クロック選択レジスタ2 (TCL2)

ウォッチドッグ・タイマのカウント・クロックを設定するレジスタです。

TCL2は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図9 - 2 タイマ・クロック選択レジスタ2のフォーマット

| 略号   | 7 | 6 | 5 | 4 | 3 | 2     | 1     | 0     | アドレス  | リセット時 | R/W |
|------|---|---|---|---|---|-------|-------|-------|-------|-------|-----|
| TCL2 | 0 | 0 | 0 | 0 | 0 | TCL22 | TCL21 | TCL20 | FF42H | 00H   | R/W |

| TCL22 | TCL21 | TCL20 | ウォッチドッグ・タイマのカウント・クロックの選択 | インターバル時間                   |
|-------|-------|-------|--------------------------|----------------------------|
| 0     | 0     | 0     | $f_x/2^4$ (312.5 kHz)    | $2^{11}/f_x$ (410 $\mu$ s) |
| 0     | 1     | 0     | $f_x/2^6$ (78.1 kHz)     | $2^{13}/f_x$ (1.64 ms)     |
| 1     | 0     | 0     | $f_x/2^8$ (19.5 kHz)     | $2^{15}/f_x$ (6.55 ms)     |
| 1     | 1     | 0     | $f_x/2^{10}$ (4.88 kHz)  | $2^{17}/f_x$ (26.2 ms)     |
| 上記以外  |       |       | 設定禁止                     |                            |

備考1.  $f_x$  : メイン・システム・クロック発振周波数

2. ( ) 内は、 $f_x = 5.0$  MHz動作時

## (2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード、カウント許可 / 禁止を設定するレジスタです。

WDTMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図9-3 ウォッチドッグ・タイマ・モード・レジスタのフォーマット

| 略号   | 6   | 5 | 4 | 3     | 2     | 1 | 0 | アドレス | リセット時 | R/W     |
|------|-----|---|---|-------|-------|---|---|------|-------|---------|
| WDTM | RUN | 0 | 0 | WDTM4 | WDTM3 | 0 | 0 | 0    | FFF9H | 00H R/W |

| RUN | ウォッチドッグ・タイマの動作の選択 <sup>注1</sup> |
|-----|---------------------------------|
| 0   | カウントの停止                         |
| 1   | カウンタをクリアし、カウントを開始               |

| WDTM4 | WDTM3 | ウォッチドッグ・タイマの動作モードの選択 <sup>注2</sup>                    |
|-------|-------|-------------------------------------------------------|
| 0     | 0     | 動作停止                                                  |
| 0     | 1     | インターバル・タイマ・モード (オーバーフロー発生時、マスカブル割り込み発生) <sup>注3</sup> |
| 1     | 0     | ウォッチドッグ・タイマ・モード1 (オーバーフロー発生時、ノンマスカブル割り込み発生)           |
| 1     | 1     | ウォッチドッグ・タイマ・モード2 (オーバーフロー発生時、リセット動作を起動)               |

注1. RUNは、一度セット (1) されると、ソフトウェアでクリア (0) することはできません。したがって、カウントを開始すると、 $\overline{\text{RESET}}$ 入力以外で停止させることはできません。

2. WDTM3, WDTM4は、一度セット (1) されると、ソフトウェアでクリア (0) することはできません。

3. RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

注意1. RUNに1を設定し、ウォッチドッグ・タイマをクリアしたとき、実際のオーバーフロー時間は、タイマ・クロック選択レジスタ2 (TCL2) で設定した時間より最大0.8%短くなります。

2. ウォッチドッグ・タイマ・モード1, 2を使用する場合は、TMIF4 (割り込み要求フラグ・レジスタ0 (IF0) のビット0) が0になっていることを確認してからWDTM4を1にセットしてください。TMIF4が1の状態で、ウォッチドッグ・タイマ・モード1, 2を選択すると書き換え終了と同時にノンマスカブル割り込みが発生します。

## 9.4 ウォッチドッグ・タイマの動作

### 9.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

タイマ・クロック選択レジスタ2 (TCL2) のビット0-2 (TCL20-TCL22) でウォッチドッグ・タイマのカウント・クロック (暴走検出時間間隔) を選択できます。WDTMのビット7 (RUN) に1を設定することにより、ウォッチドッグ・タイマはスタートします。ウォッチドッグ・タイマがスタートしたあと、設定した暴走検出時間間隔内にRUNに1を設定してください。RUNに1を設定することにより、ウォッチドッグ・タイマをクリアし、カウントを開始させることができます。RUNに1がセットされず、暴走検出時間を越えてしまったときは、WDTMのビット3 (WDTM3) の値により、システム・リセットまたはノンマスカブル割り込みが発生します。

ウォッチドッグ・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP命令を実行してください。

注意1. 実際の暴走検出時間は設定時間に対して最大0.8%短くなる場合があります。

2. CPUクロックにサブシステム・クロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止します。

表9 - 4 ウォッチドッグ・タイマの暴走検出時間

| TCL22 | TCL21 | TCL20 | 暴走検出時間                | $f_x = 5.0 \text{ MHz}$ 時 |
|-------|-------|-------|-----------------------|---------------------------|
| 0     | 0     | 0     | $2^{11} \times 1/f_x$ | 410 $\mu\text{s}$         |
| 0     | 1     | 0     | $2^{13} \times 1/f_x$ | 1.64 ms                   |
| 1     | 0     | 0     | $2^{15} \times 1/f_x$ | 6.55 ms                   |
| 1     | 1     | 0     | $2^{17} \times 1/f_x$ | 26.2 ms                   |

$f_x$ : メイン・システム・クロック発振周波数

### 9.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に0, ビット3 (WDTM3) に1を設定することにより, あらかじめ設定したカウント値をインターバルとし, 繰り返し割り込みを発生するインターバル・タイマとして動作します。

タイマ・クロック選択レジスタ2 (TCL2) のビット0-2 (TCL20-TCL22) でカウント・クロック (インターバル時間) を選択できます。WDTMのビット7 (RUN) に1を設定することにより, インターバル・タイマとして動作を開始します。

インターバル・タイマとして動作しているとき, 割り込みマスク・フラグ (TMMK4) が有効となり, マスカブル割り込み (INTWDT) を発生させることができます。INTWDTの優先順位は, マスカブル割り込みの中で最も高く設定されています。

インターバル・タイマは, HALTモード時では動作を継続しますが, STOPモード時では動作を停止します。したがって, STOPモードに入る前にRUNを1に設定し, インターバル・タイマをクリアしたあと, STOP命令を実行してください。

- 注意1. 一度WDTMのビット4 (WDTM4) に1をセットする (ウォッチドッグ・タイマ・モードを選択する) とRESET入力されないかぎり, インターバル・タイマ・モードになりません。
2. WDTMで設定した直後のインターバル時間は, 設定時間に対して最大0.8%短くなるときがあります。

表9 - 5 インターバル・タイマのインターバル時間

| TCL22 | TCL21 | TCL20 | インターバル時間              | $f_x = 5.0 \text{ MHz}$ 時 |
|-------|-------|-------|-----------------------|---------------------------|
| 0     | 0     | 0     | $2^{11} \times 1/f_x$ | 410 $\mu\text{s}$         |
| 0     | 1     | 0     | $2^{13} \times 1/f_x$ | 1.64 ms                   |
| 1     | 0     | 0     | $2^{15} \times 1/f_x$ | 6.55 ms                   |
| 1     | 1     | 0     | $2^{17} \times 1/f_x$ | 26.2 ms                   |

$f_x$ : メイン・システム・クロック発振周波数

## 第10章 8ビットA/Dコンバータ ( $\mu$ PD789407Aサブシリーズ)

### 10.1 8ビットA/Dコンバータの機能

8ビットA/Dコンバータは、アナログ入力をデジタル値に変換する8ビット分解能コンバータで、7チャンネル（ANI0-ANI6）のアナログ入力を制御できる構成になっています。

A/D変換動作の起動方法は、ソフトウェア・スタートのみです。

アナログ入力をANI0-ANI6から1チャンネル選択し、A/D変換を行います。A/D変換の動作は繰り返し行い、A/D変換を1回終了するたびに割り込み要求（INTAD0）を発生します。

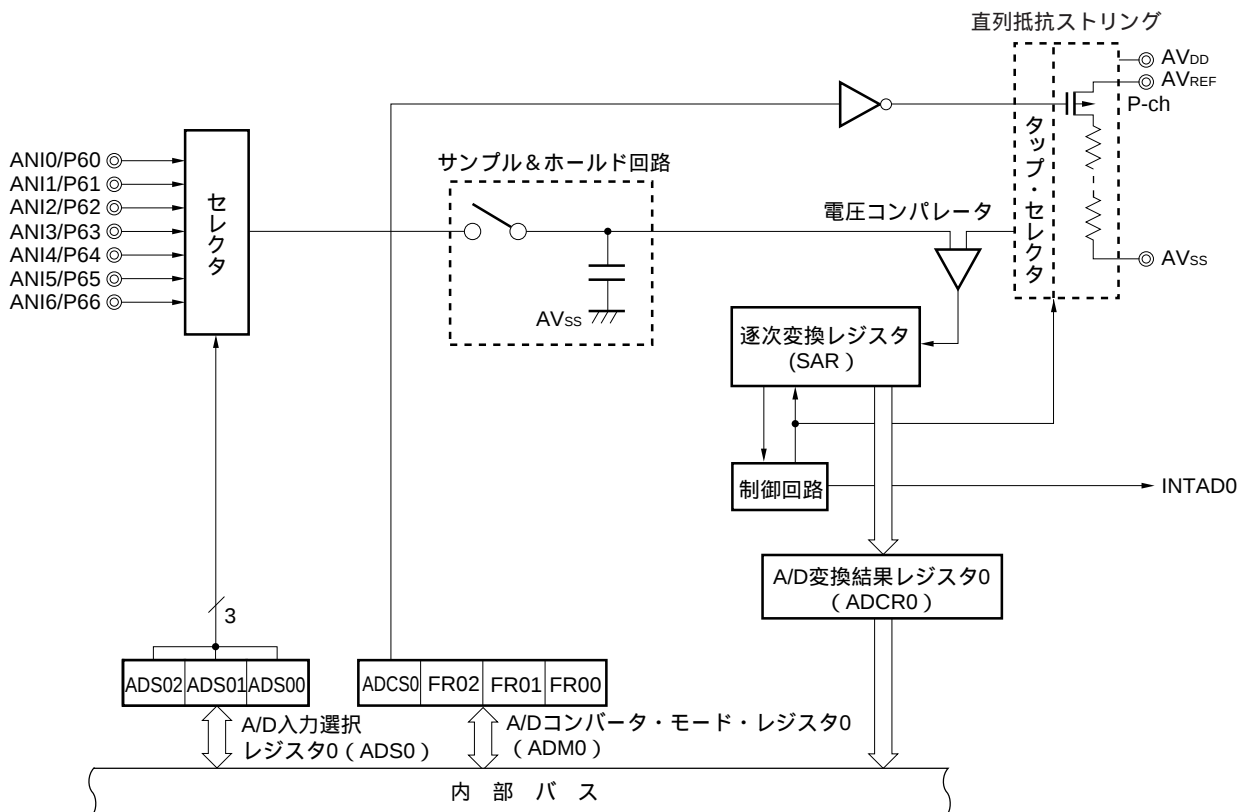
### 10.2 8ビットA/Dコンバータの構成

8ビットA/Dコンバータは、次のハードウェアで構成しています。

表10 - 1 8ビットA/Dコンバータの構成

| 項 目    | 構 成                                            |
|--------|------------------------------------------------|
| アナログ入力 | 7チャンネル（ANI0-ANI6）                              |
| レジスタ   | 逐次変換レジスタ（SAR）<br>A/D変換結果レジスタ0（ADCR0）           |
| 制御レジスタ | A/Dコンバータ・モード・レジスタ0（ADM0）<br>A/D入力選択レジスタ0（ADS0） |

図10 - 1 8ビットA/Dコンバータのブロック図

**(1) 逐次変換レジスタ (SAR)**

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ (比較電圧) の値を比較し、その結果を最上位ビット (MSB) から保持するレジスタです。

最下位ビット (LSB) まで設定すると (A/D変換終了), SARの内容はA/D変換結果レジスタ0 (ADCR0) に転送されます。

**(2) A/D変換結果レジスタ0 (ADCR0)**

A/D変換結果を保持します。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/Dの変換結果を保持する8ビットのレジスタです。

ADCR0は、8ビット・メモリ操作命令で読み出します。

RESET入力により、不定になります。

**(3) サンプル&ホールド回路**

サンプル&ホールド回路は、入力回路から順次送られてくるアナログ入力を1つ1つサンプリングし、電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

**(4) 電圧コンパレータ**

電圧コンパレータは、アナログ入力と直列抵抗ストリングの出力電圧を比較します。

**(5) 直列抵抗ストリング**

直列抵抗ストリングはAVREF-AVSS間に入っており、アナログ入力と比較する電圧を発生します。

**(6) ANI0-ANI6端子**

A/Dコンバータへの7チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。

**注意** ANI0-ANI6入力電圧は規格の範囲内でご使用ください。特に $AV_{REF}$ 以上、 $AV_{SS}$ 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

**(7)  $AV_{REF}$ 端子**

A/Dコンバータの基準電圧端子です。

$AV_{REF}$ 、 $AV_{SS}$ 間にかかる電圧に基づいて、ANI0-ANI6に入力される信号をデジタル信号に変換します。

**(8)  $AV_{SS}$ 端子**

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常に $V_{SS0}$ 端子と同電位で使用してください。

**(9)  $AV_{DD}$ 端子**

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常に $V_{DD0}$ 端子と同電位で使用してください。

## 10.3 8ビットA/Dコンバータを制御するレジスタ

8ビットA/Dコンバータを制御するレジスタには、次の2種類があります。

- ・ A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・ A/D入力選択レジスタ0 (ADS0)

### (1) A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始 / 停止を設定するレジスタです。

ADM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図10 - 2 A/Dコンバータ・モード・レジスタ0のフォーマット

| 略号   | 6     |   | 5    |      | 4    |   | 3 |   | 2 |   | 1 |   | 0 |       | アドレス | リセット時 | R/W |
|------|-------|---|------|------|------|---|---|---|---|---|---|---|---|-------|------|-------|-----|
| ADM0 | ADCS0 | 0 | FR02 | FR01 | FR00 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | FF80H | 00H  | R/W   |     |

| ADCS0 | A/D変換動作の制御 |
|-------|------------|
| 0     | 変換動作停止     |
| 1     | 変換動作許可     |

| FR02 | FR01 | FR00 | A/D変換時間の選択 <sup>注1</sup>                |
|------|------|------|-----------------------------------------|
| 0    | 0    | 0    | 144/f <sub>x</sub> (28.8 μs)            |
| 0    | 0    | 1    | 120/f <sub>x</sub> (24 μs)              |
| 0    | 1    | 0    | 96/f <sub>x</sub> (19.2 μs)             |
| 1    | 0    | 0    | 72/f <sub>x</sub> (14.4 μs)             |
| 1    | 0    | 1    | 60/f <sub>x</sub> (設定禁止 <sup>注2</sup> ) |
| 1    | 1    | 0    | 48/f <sub>x</sub> (設定禁止 <sup>注2</sup> ) |
| 上記以外 |      |      | 設定禁止                                    |

注1. A/D変換時間が14 μs以上になるように設定してください。

2. A/D変換時間が14 μs未満となりますので、設定禁止です。

注意1. ビット7 (ADCS0) をセット直後の変換結果は不定になります。

2. ADCS0のクリア後の変換結果が不定になることがあります (詳しくは、10.5 (5) A/D変換結果が不定になるタイミングを参照)。

備考1. f<sub>x</sub> : メイン・システム・クロック発振周波数

2. ( ) 内は、f<sub>x</sub> = 5.0 MHz動作時

## (2) A/D入力選択レジスタ0 (ADS0)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

ADS0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図10 - 3 A/D入力選択レジスタ0のフォーマット

| 略号   | 7 | 6 | 5 | 4 | 3 | 2     | 1     | 0     | アドレス  | リセット時 | R/W |
|------|---|---|---|---|---|-------|-------|-------|-------|-------|-----|
| ADS0 | 0 | 0 | 0 | 0 | 0 | ADS02 | ADS01 | ADS00 | FF84H | 00H   | R/W |

| ADS02 | ADS01 | ADS00 | アナログ入力チャネルの指定 |
|-------|-------|-------|---------------|
| 0     | 0     | 0     | ANI0          |
| 0     | 0     | 1     | ANI1          |
| 0     | 1     | 0     | ANI2          |
| 0     | 1     | 1     | ANI3          |
| 1     | 0     | 0     | ANI4          |
| 1     | 0     | 1     | ANI5          |
| 1     | 1     | 0     | ANI6          |
| 1     | 1     | 1     | 設定禁止          |

**注意** ビット3-7には、必ず0を設定してください。

## 10.4 8ビットA/Dコンバータの動作

### 10.4.1 8ビットA/Dコンバータの基本動作

A/D変換するチャンネルをA/D入力選択レジスタ0 (ADS0) で1チャンネル選択してください。

選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット7をセットし、タップ・セレクトは直列抵抗ストリングの電圧タップを  $(1/2) AV_{REF}$  にします。

直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力が  $(1/2) AV_{REF}$  よりも大きければ、SARのMSBをセットしたままです。また、 $(1/2) AV_{REF}$  よりも小さければMSBをリセットします。

次にSARのビット6が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット7の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。

- ・ビット7 = 1 :  $(3/4) AV_{REF}$
- ・ビット7 = 0 :  $(1/4) AV_{REF}$

この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット6が次のように操作されます。

- ・アナログ入力電圧  $\geq$  電圧タップ : ビット6 = 1
- ・アナログ入力電圧 < 電圧タップ : ビット6 = 0

このような比較をSARのビット0まで続けます。

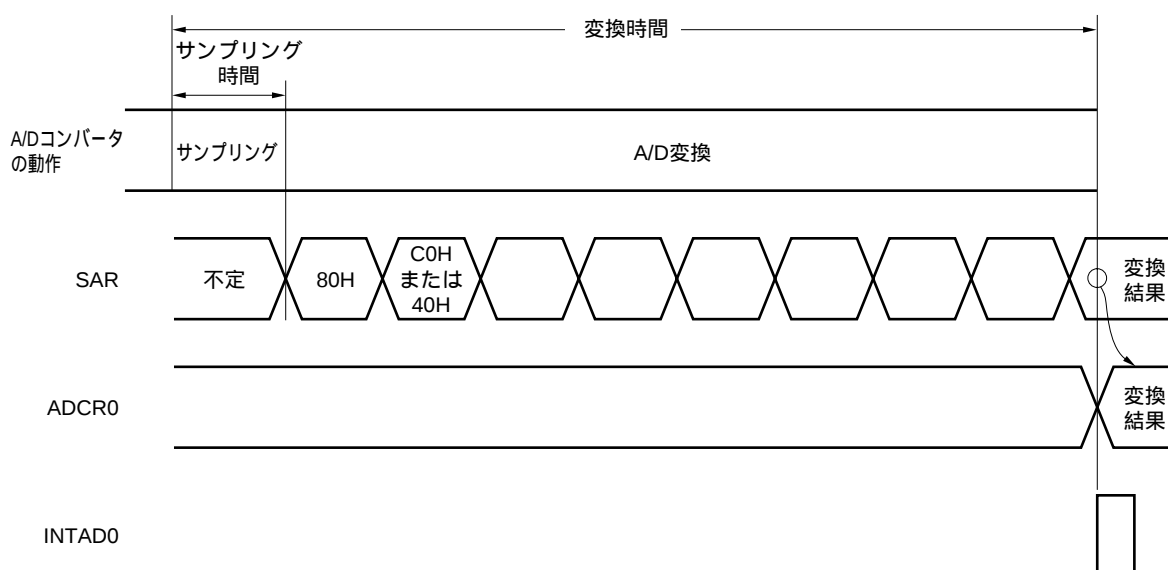
8ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ0 (ADCR0) に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求 (INTAD0) を発生させることができます。

**注意1.** A/D変換動作をスタートした直後の最初のA/D変換値は不定になることがあります。

**2.** スタンバイ・モード時、A/Dコンバータは動作停止となります。

図10 - 4 8ビットA/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、ADM0, A/D入力選択レジスタ0 (ADS0) に対する書き込み操作を行うと変換動作は初期化され、ADCS0がセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ0 (ADCR0) は、RESETにより不定となります。

#### 10. 4. 2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI6) に入力されたアナログ入力電圧とA/D変換結果 (A/D変換結果レジスタ0 (ADCR0) ) には次式に示す関係があります。

$$\text{ADCR0} = \text{INT} \left( \frac{V_{\text{IN}}}{V_{\text{REF}}} \times 256 + 0.5 \right)$$

または、

$$(\text{ADCR0} - 0.5) \times \frac{V_{\text{REF}}}{256} \leq V_{\text{IN}} < (\text{ADCR0} + 0.5) \times \frac{V_{\text{REF}}}{256}$$

INT ( ) : ( ) 内の値の整数部を返す関数

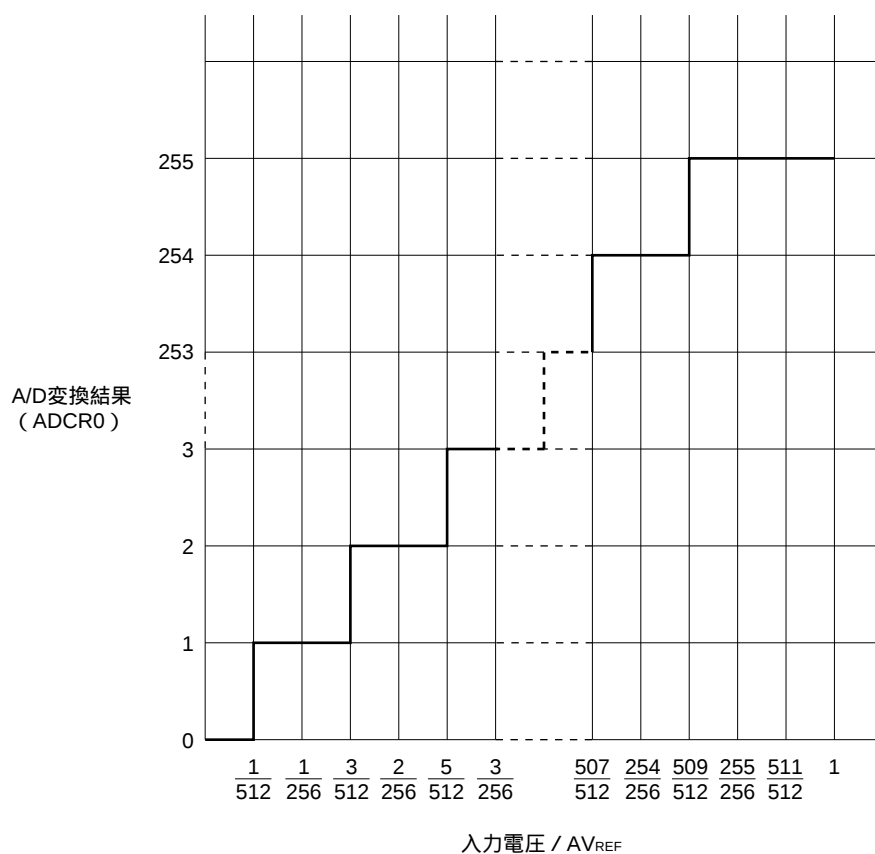
$V_{\text{IN}}$  : アナログ入力電圧

$V_{\text{REF}}$  :  $V_{\text{REF}}$  端子電圧

ADCR0 : A/D変換結果レジスタ0 (ADCR0) の値

図10 - 5にアナログ入力電圧とA/D変換結果の関係を示します。

図10 - 5 アナログ入力電圧とA/D変換結果の関係



### 10.4.3 8ビットA/Dコンバータの動作モード

動作モードは、セレクト・モードになっています。A/D入力選択レジスタ0 (ADS0) によってANI0-ANI6からアナログ入力を1チャンネル選択し、A/D変換を行います。

A/D変換動作の起動方法は、ソフトウェア・スタート (A/Dコンバータ・モード・レジスタ0 (ADM0) を設定することにより開始) のみです。

また、A/D変換結果は、A/D変換結果レジスタ0 (ADCR0) に格納され、同時に割り込み要求信号 (INTAD0) が発生します。

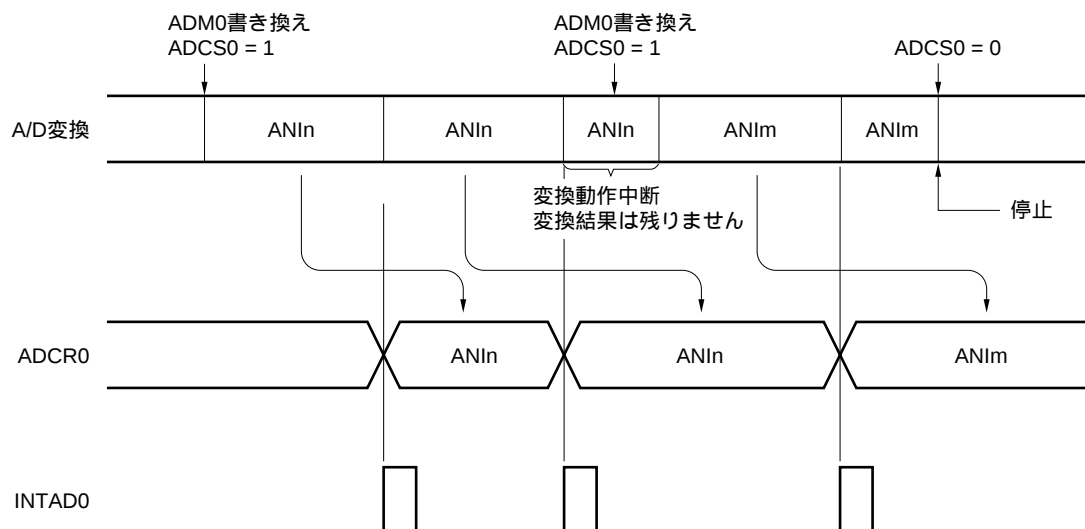
#### ・ソフトウェア・スタートによるA/D変換動作

A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) に1を設定することにより、A/D入力選択レジスタ0 (ADS0) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ0 (ADCR0) に格納し、割り込み要求信号 (INTAD0) が発生します。A/D変換動作が一度起動し、1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。新たなデータをADM0に書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に、再度ADCS0が1であるデータをADM0に書き込むと、そのとき行っていたA/D変換動作を中断し、新たに書き込んだデータのA/D変換動作を開始します。

また、A/D変換動作中にADCS0が0であるデータをADM0に書き込むと、ただちにA/D変換動作を停止します。

図10 - 6 ソフトウェア・スタートによるA/D変換動作



- 備考1.  $n = 0, 1, \dots, 6$   
 2.  $m = 0, 1, \dots, 6$

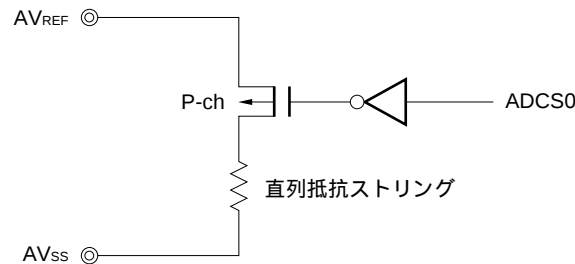
## 10.5 8ビットA/Dコンバータの注意事項

### (1) スタンバイ・モード時の消費電流について

A/Dコンバータは、スタンバイ・モード時には動作が停止します。このとき変換動作停止 (A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) = 0) にすることにより、消費電流を低減させることができます。

スタンバイ・モード時の消費電流を低減させる方法例を図10 - 7に示します。

図10 - 7 スタンバイ・モード時の消費電流を低減させる方法例



### (2) ANI0-ANI6入力範囲について

ANI0-ANI6入力電圧は規格の範囲内でご使用ください。特にAVREF以上、AVSS以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

### (3) 競合動作について

変換終了時のA/D変換結果レジスタ0 (ADCR0) ライトと命令によるADCR0リードとの競合  
ADCR0リードが優先されます。リードしたあと、新しい変換結果がADCR0にライトされます。

変換終了時のADCR0ライトとA/Dコンバータ・モード・レジスタ0 (ADM0) ライト、またはA/D入力選択レジスタ0 (ADS0) ライトの競合

ADM0またはADS0へのライトが優先されます。ADCR0へのライトはされません。また、A/D変換終了割り込み要求信号 (INTAD0) も発生しません。

### (4) A/D変換スタート直後の変換結果について

A/D変換動作をスタートした直後の最初のA/D変換値は不定になることがあります。A/D変換終了割り込み要求 (INTAD0) をポーリングし、最初の変換結果を廃棄するなどの処理を行ってください。

### (5) A/D変換結果が不定になるタイミング

A/D変換終了のタイミングとA/D変換動作を停止するタイミングが競合するとA/D変換値は不定になることがあります。そのため、A/D変換結果を読み出す場合は、A/D変換動作中に行ってください。また、A/D変換動作を停止してから変換結果を読み出す場合は、次の変換結果が終了するまでにA/D変換動作を停止してから行ってください。

変換結果を読み出すタイミングを図10 - 8、図10 - 9に示します。

図10 - 8 変換結果を読み出すタイミング (変換結果が不定値の場合)

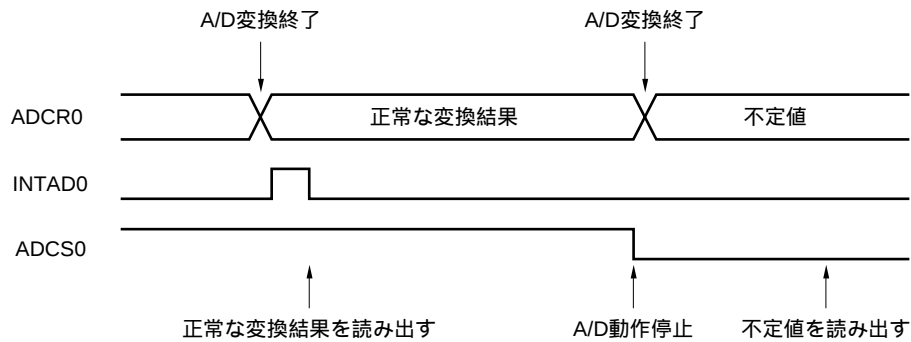
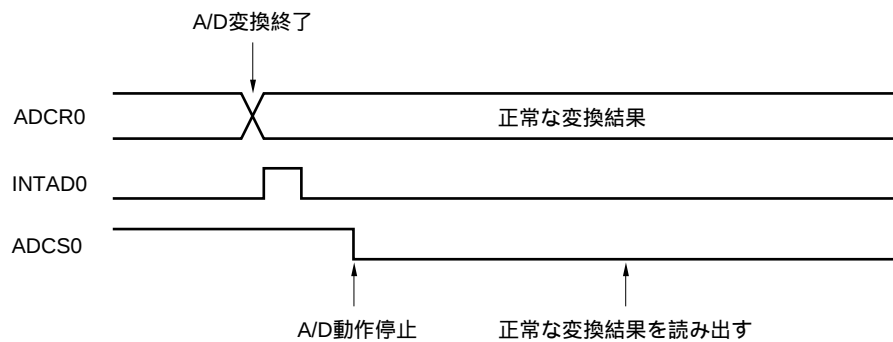


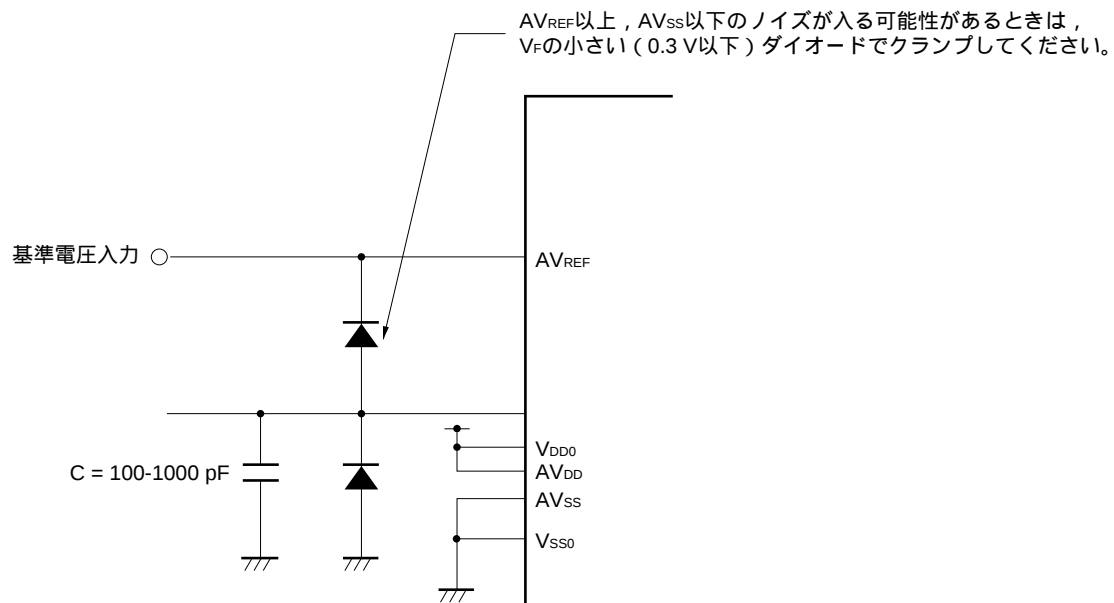
図10 - 9 変換結果を読み出すタイミング (変換結果が正常値の場合)



#### (6) ノイズ対策について

8ビット分解能を保つためには、 $AV_{REF}$ 、ANI0-ANI6端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図10 - 10のようにCを外付けすることを推奨します。

図10 - 10 アナログ入力端子の処理



**(7) ANI0-ANI6**

アナログ入力 (ANI0-ANI6) 端子はポート端子 (P60-P66) と兼用になっています。

ANI0-ANI6のいずれかを選択してA/D変換をする場合、変換中にポートの入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

**★ (8) ANI0-ANI6端子の入力インピーダンスについて**

このA/Dコンバータでは、変換時間の約1/10程度の間、内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスは変動して意味がありません。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを10 k $\Omega$ 以下にするか、ANI0-ANI6端子に100 pF程度のコンデンサを付けることを推奨します (図10 - 10参照)。

**(9) AV<sub>REF</sub>端子の入力インピーダンスについて**

AV<sub>REF</sub>端子とAV<sub>SS</sub>端子の間には約数十k $\Omega$ の直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスの高い場合、AV<sub>REF</sub>端子とAV<sub>SS</sub>端子の間の直列抵抗ストリングと並列接続することになり、基準電圧の誤差が大きくなります。

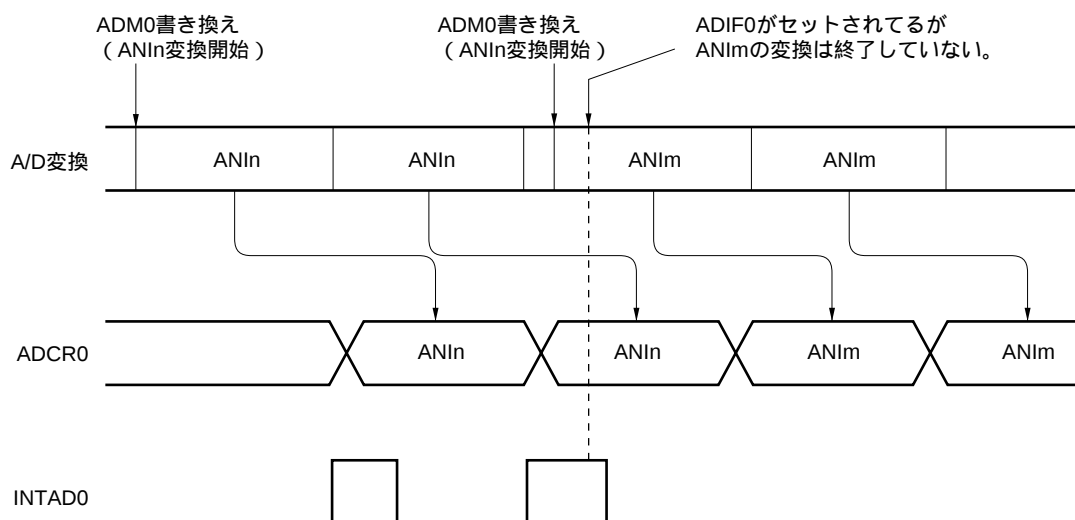
**(10) 割り込み要求フラグ (ADIF0) について**

A/Dコンバータ・モード・レジスタ0 (ADM0) を変更しても割り込み要求フラグ (ADIF0) はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADM0書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があり、ADM0書き換え直後にADIF0を読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIF0がセットされている場合がありますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIF0をクリアしてください。

図10 - 11 A/D変換終了割り込み要求発生タイミング

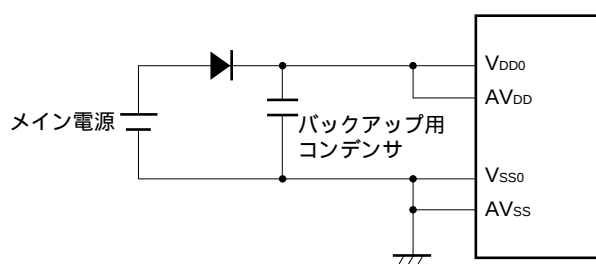


- 備考1.  $n = 0, 1, \dots, 6$
2.  $m = 0, 1, \dots, 6$

#### (11) AV<sub>DD</sub>端子について

AV<sub>DD</sub>端子はアナログ回路の電源端子であり、ANI0-ANI6の入力回路にも電源を供給しています。

したがって、バックアップ電源に切り替えるようなアプリケーションにおいても、図10 - 12のように必ずV<sub>DD0</sub>端子と同レベルの電位を印加してください。

図10 - 12 AV<sub>DD</sub>端子の処理

## 第11章 10ビットA/Dコンバータ ( $\mu$ PD789417Aサブシリーズ)

### 11.1 10ビットA/Dコンバータの機能

10ビットA/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能コンバータで、7チャンネル（ANI0-ANI6）のアナログ入力を制御できる構成になっています。

A/D変換動作の起動方法は、ソフトウェア・スタートのみです。

アナログ入力をANI0-ANI6から1チャンネル選択し、A/D変換を行います。A/D変換の動作は繰り返し行い、A/D変換を1回終了するたびに割り込み要求（INTAD0）を発生します。

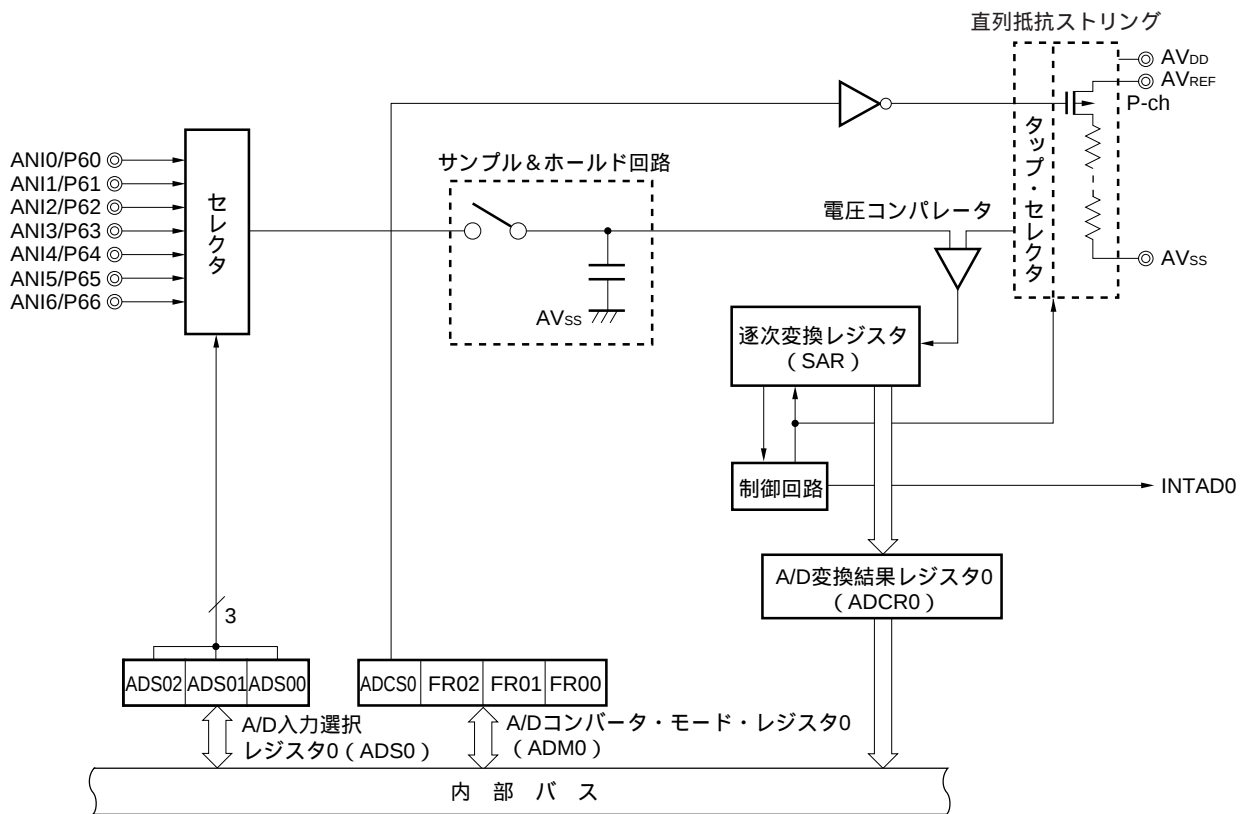
### 11.2 10ビットA/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

表11 - 1 10ビットA/Dコンバータの構成

| 項 目    | 構 成                                            |
|--------|------------------------------------------------|
| アナログ入力 | 7チャンネル（ANI0-ANI6）                              |
| レジスタ   | 逐次変換レジスタ（SAR）<br>A/D変換結果レジスタ0（ADCR0）           |
| 制御レジスタ | A/Dコンバータ・モード・レジスタ0（ADM0）<br>A/D入力選択レジスタ0（ADS0） |

図11 - 1 10ビットA/Dコンバータのブロック図



(1) 逐次変換レジスタ (SAR)

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ (比較電圧) の値を比較し、その結果を最上位ビット (MSB) から保持するレジスタです。

最下位ビット (LSB) まで設定すると (A/D変換終了)、SARの内容はA/D変換結果レジスタ0 (ADCRO) に転送されます。

(2) A/D変換結果レジスタ0 (ADCRO)

- ★ A/D変換結果を保持する16ビットのレジスタです。下位6ビットは、0固定です。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。ADCROには最上位ビット (MSB) から順に格納されます。FF15Hには変換結果の上位8ビットが入ります。FF14Hには変換結果の下位2ビットが入ります。ADCROは、16ビット・メモリ操作命令で読み出します。  
RESET入力により、不定になります。

| 略号    | FF15H                                                                                               | FF14H                                                                                                     | アドレス         | リセット時 | R/W |
|-------|-----------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------|--------------|-------|-----|
| ADCRO | <div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div></div> | <div><div></div><div></div><div>0</div><div>0</div><div>0</div><div>0</div><div>0</div><div>0</div></div> | FF14H, FF15H | 不定    | R   |

**注意** μ PD78F9418Aをμ PD789405A, 789406A, 789407Aのフラッシュ・メモリとして使用する場合は、8ビット・アクセスが可能です。ただし、μ PD789405A, 789406A, 789407Aでアセンブルしたオブジェクト・ファイルに限ります。

**(3) サンプル&ホールド回路**

サンプル&ホールド回路は、入力回路から順次送られてくるアナログ入力を1つ1つサンプリングし、電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

**(4) 電圧コンパレータ**

電圧コンパレータは、アナログ入力と直列抵抗ストリングの出力電圧を比較します。

**(5) 直列抵抗ストリング**

直列抵抗ストリングは $AV_{REF}$ - $AV_{SS}$ 間に入っており、アナログ入力と比較する電圧を発生します。

**(6) ANI0-ANI6端子**

A/Dコンバータへの7チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。

**注意** ANI0-ANI6入力電圧は規格の範囲内でご使用ください。特に $AV_{REF}$ 以上、 $AV_{SS}$ 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

**(7)  $AV_{REF}$ 端子**

A/Dコンバータの基準電圧端子です。

$AV_{REF}$ 、 $AV_{SS}$ 間にかかる電圧に基づいて、ANI0-ANI6に入力される信号をデジタル信号に変換します。

**(8)  $AV_{SS}$ 端子**

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常に $V_{SS0}$ 端子と同電位で使用してください。

**(9)  $AV_{DD}$ 端子**

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常に $V_{DD0}$ 端子と同電位で使用してください。

## 11.3 10ビットA/Dコンバータを制御するレジスタ

10ビットA/Dコンバータを制御するレジスタには、次の2種類があります。

- ・A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・A/D入力選択レジスタ0 (ADS0)

### (1) A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始 / 停止を設定するレジスタです。

ADM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図11-2 A/Dコンバータ・モード・レジスタ0のフォーマット

| 略号   | 6     |   | 5    |      | 4    |   | 3 |   | 2 |   | 1 |   | 0 |       | アドレス | リセット時 | R/W |
|------|-------|---|------|------|------|---|---|---|---|---|---|---|---|-------|------|-------|-----|
| ADM0 | ADCS0 | 0 | FR02 | FR01 | FR00 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | FF80H | 00H  | R/W   |     |

| ADCS0 | A/D変換動作の制御 |
|-------|------------|
| 0     | 変換動作停止     |
| 1     | 変換動作許可     |

| FR02 | FR01 | FR00 | A/D変換時間の選択 <sup>注1</sup>                |
|------|------|------|-----------------------------------------|
| 0    | 0    | 0    | 144/f <sub>x</sub> (28.8 μs)            |
| 0    | 0    | 1    | 120/f <sub>x</sub> (24 μs)              |
| 0    | 1    | 0    | 96/f <sub>x</sub> (19.2 μs)             |
| 1    | 0    | 0    | 72/f <sub>x</sub> (14.4 μs)             |
| 1    | 0    | 1    | 60/f <sub>x</sub> (設定禁止 <sup>注2</sup> ) |
| 1    | 1    | 0    | 48/f <sub>x</sub> (設定禁止 <sup>注2</sup> ) |
| 上記以外 |      |      | 設定禁止                                    |

注1. A/D変換時間が14 μs以上になるように設定してください。

2. A/D変換時間が14 μs未満となりますので、設定禁止です。

注意1. ビット7 (ADCS0) をセット直後の変換結果は不定になります。

2. ADCS0のクリア後の変換結果が不定になることがあります (詳しくは11.5 (5) A/D変換結果が不定になるタイミングを参照)。

備考1. f<sub>x</sub>: メイン・システム・クロック発振周波数

2. ( ) 内は、f<sub>x</sub> = 5.0 MHz動作時

(2) A/D入力選択レジスタ0 (ADS0)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。  
ADS0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
 $\overline{\text{RESET}}$ 入力により、00Hになります。

図11 - 3 A/D入力選択レジスタ0のフォーマット

| 略号   | 7 | 6 | 5 | 4 | 3 | 2     | 1     | 0     | アドレス  | リセット時 | R/W |
|------|---|---|---|---|---|-------|-------|-------|-------|-------|-----|
| ADS0 | 0 | 0 | 0 | 0 | 0 | ADS02 | ADS01 | ADS00 | FF84H | 00H   | R/W |

| ADS02 | ADS01 | ADS00 | アナログ入力チャネルの指定 |
|-------|-------|-------|---------------|
| 0     | 0     | 0     | ANI0          |
| 0     | 0     | 1     | ANI1          |
| 0     | 1     | 0     | ANI2          |
| 0     | 1     | 1     | ANI3          |
| 1     | 0     | 0     | ANI4          |
| 1     | 0     | 1     | ANI5          |
| 1     | 1     | 0     | ANI6          |
| 1     | 1     | 1     | 設定禁止          |

注意 ビット3-7には必ず0を設定してください。

## 11.4 10ビットA/Dコンバータの動作

### 11.4.1 10ビットA/Dコンバータの基本動作

A/D変換するチャンネルをA/D入力選択レジスタ0 (ADS0) で1チャンネル選択してください。

選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット9をセットし、タップ・セレクトは直列抵抗ストリングの電圧タップを  $(1/2) AV_{REF}$  にします。

直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力  $> (1/2) AV_{REF}$  よりも大きければ、SARのMSBをセットしたままです。また、 $(1/2) AV_{REF}$  よりも小さければMSBをリセットします。

次にSARのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。

- ・ ビット9 = 1 :  $(3/4) AV_{REF}$
- ・ ビット9 = 0 :  $(1/4) AV_{REF}$

この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット8が次のように操作されます。

- ・ アナログ入力電圧 > 電圧タップ : ビット8 = 1
- ・ アナログ入力電圧 < 電圧タップ : ビット8 = 0

このような比較をSARのビット0まで続けます。

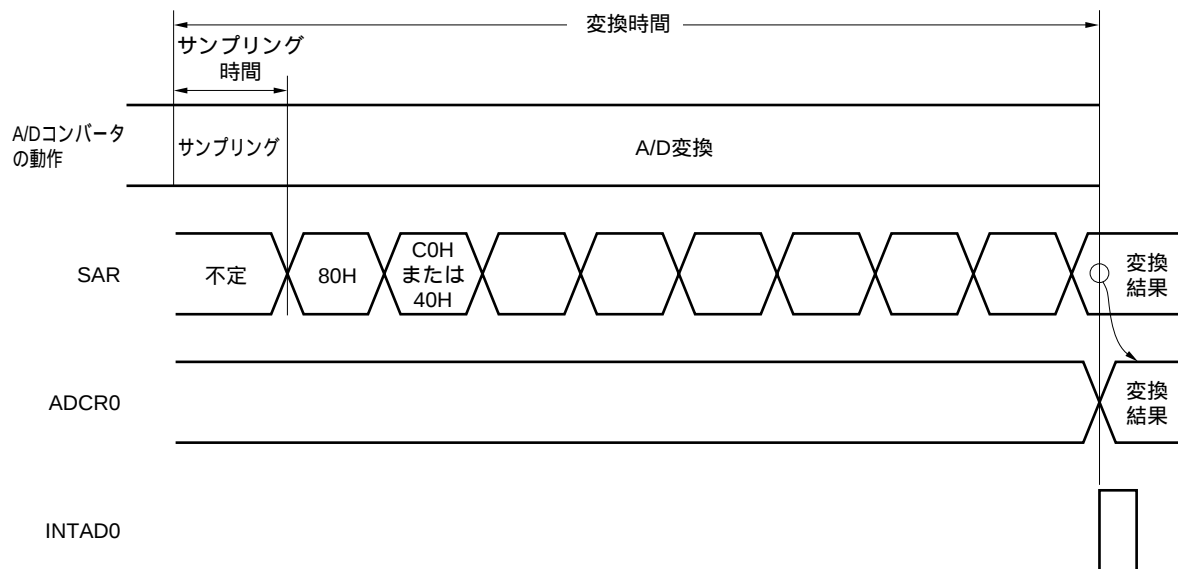
10ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ0 (ADCR0) に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求 (INTAD0) を発生させることができます。

**注意1.** A/D変換動作をスタートした直後の最初のA/D変換値は不定になることがあります。

**2.** スタンバイ・モード時、A/Dコンバータは動作停止となります。

図11 - 4 10ビットA/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、ADM0, A/D入力選択レジスタ0 (ADS0) に対する書き込み操作を行うと変換動作は初期化され、ADCS0がセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ0 (ADCR0) は、 $\overline{\text{RESET}}$ により不定となります。

### 11.4.2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI6) に入力されたアナログ入力電圧とA/D変換結果 (A/D変換結果レジスタ0 (ADCR0)) には次式に示す関係があります。

$$\text{ADCR0} = \text{INT} \left( \frac{V_{\text{IN}}}{V_{\text{REF}}} \times 1024 + 0.5 \right)$$

または,

$$(\text{ADCR0} - 0.5) \times \frac{V_{\text{REF}}}{1024} \leq V_{\text{IN}} < (\text{ADCR0} + 0.5) \times \frac{V_{\text{REF}}}{1024}$$

INT ( ) : ( ) 内の値の整数部を返す関数

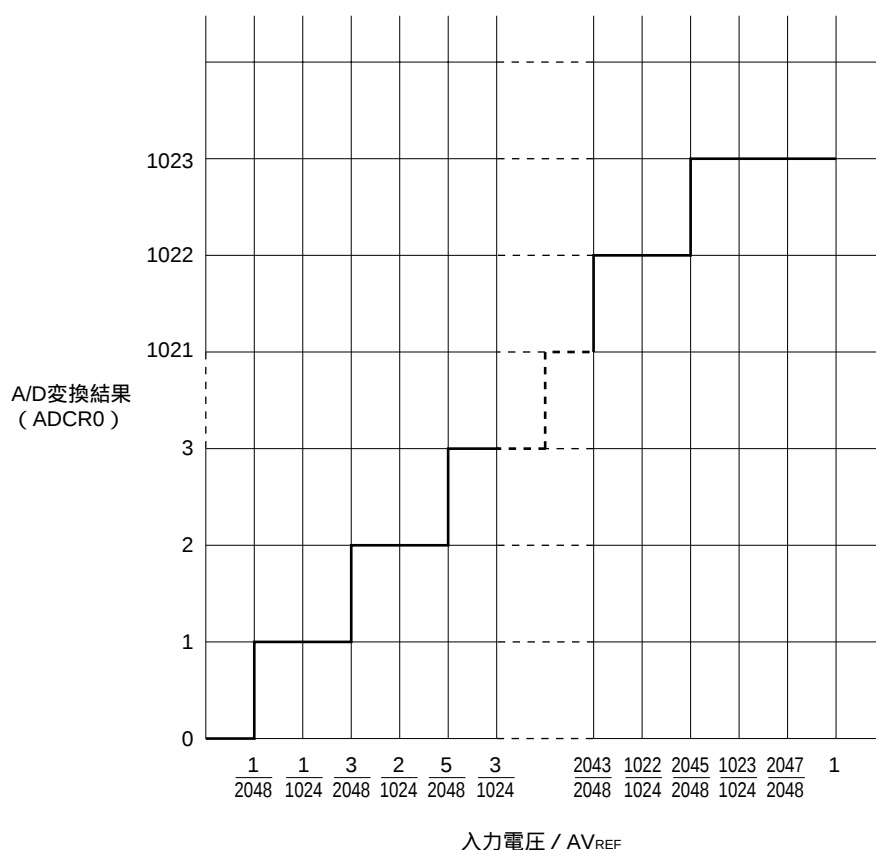
$V_{\text{IN}}$  : アナログ入力電圧

$V_{\text{REF}}$  :  $V_{\text{REF}}$ 端子電圧

ADCR0 : A/D変換結果レジスタ0 (ADCR0) の値

図11 - 5にアナログ入力電圧とA/D変換結果の関係を示します。

図11 - 5 アナログ入力電圧とA/D変換結果の関係



### 11.4.3 10ビットA/Dコンバータの動作モード

動作モードは、セレクト・モードになっています。A/D入力選択レジスタ0 (ADS0) によってANI0-ANI6からアナログ入力を1チャンネル選択し、A/D変換を行います。

A/D変換動作の起動方法は、ソフトウェア・スタート (A/Dコンバータ・モード・レジスタ0 (ADM0) を設定することにより開始) のみです。

また、A/D変換結果は、A/D変換結果レジスタ0 (ADCR0) に格納され、同時に割り込み要求信号 (INTAD0) が発生します。

#### ・ソフトウェア・スタートによるA/D変換動作

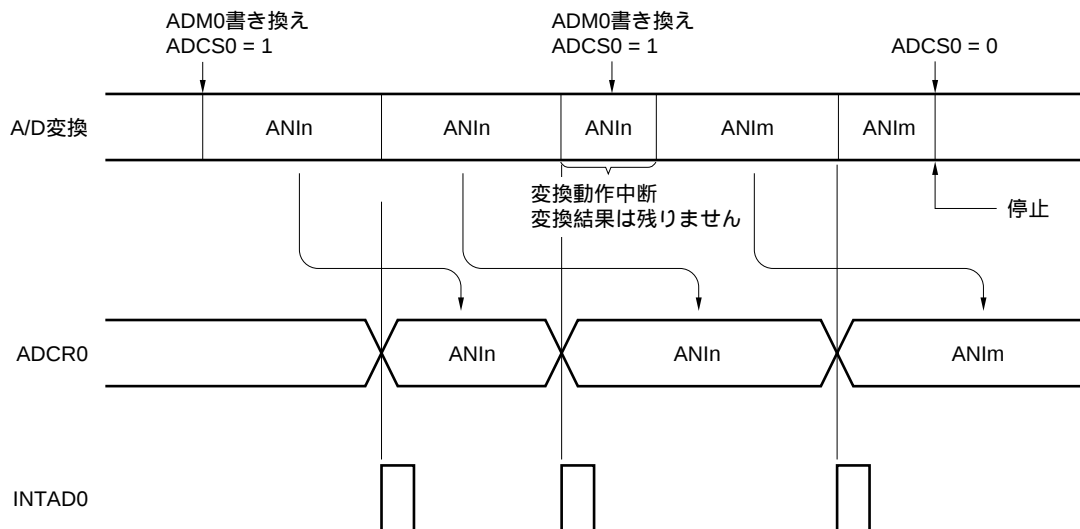
A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) に1を設定することにより、A/D入力選択レジスタ0 (ADS0) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ0 (ADCR0) に格納し、割り込み要求信号 (INTAD0) が発生します。A/D変換動作が一度起動し、1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。新たなデータをADM0に書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に、再度ADCS0が1であるデータをADM0に書き込むと、そのとき行っていたA/D変換動作を中断し、新たに書き込んだデータのA/D変換動作を開始します。

また、A/D変換動作中にADCS0が0であるデータをADM0に書き込むと、ただちにA/D変換動作を停止します。

図11-6 ソフトウェア・スタートによるA/D変換動作



備考1.  $n = 0, 1, \dots, 6$

2.  $m = 0, 1, \dots, 6$

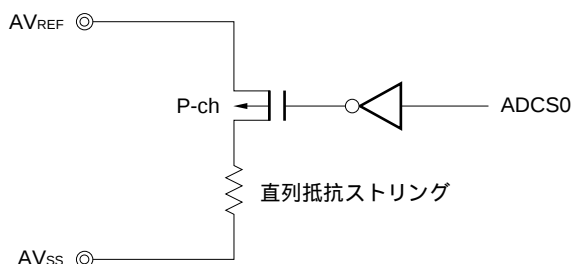
## 11.5 10ビットA/Dコンバータの注意事項

### (1) スタンバイ・モード時の消費電流について

A/Dコンバータは、スタンバイ・モード時には動作が停止します。このときA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) = 0にすることにより、消費電流を低減させることができます。

スタンバイ・モード時の消費電流を低減させる方法例を図11 - 7に示します。

図11 - 7 スタンバイ・モード時の消費電流を低減させる方法例



### (2) ANI0-ANI6入力範囲について

ANI0-ANI6入力電圧は規格の範囲内でご使用ください。特にAVREF以上、AVSS以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

### (3) 競合動作について

変換終了時のA/D変換結果レジスタ0 (ADCR0) ライトと命令によるADCR0リードとの競合  
ADCR0リードが優先されます。リードしたあと、新しい変換結果がADCR0にライトされます。

変換終了時のADCR0ライトとA/Dコンバータ・モード・レジスタ0 (ADM0) ライト、またはA/D入力選択レジスタ0 (ADS0) ライトの競合

ADM0またはADS0へのライトが優先されます。ADCR0へのライトはされません。また、A/D変換終了割り込み要求信号 (INTAD0) も発生しません。

### (4) A/D変換スタート直後の変換結果について

A/D変換動作をスタートした直後の最初のA/D変換値は不定になることがあります。A/D変換終了割り込み要求 (INTAD0) をポーリングし、最初の変換結果を廃棄するなどの処理を行ってください。

### (5) A/D変換結果が不定になるタイミング

A/D変換終了のタイミングとA/D変換動作を停止するタイミングが競合するとA/D変換値は不定になることがあります。そのため、A/D変換結果を読み出す場合は、A/D変換動作中に行ってください。また、A/D変換動作を停止してから変換結果を読み出す場合は、次の変換結果が終了するまでにA/D変換動作を停止してから行ってください。

変換結果を読み出すタイミングを図11 - 8、図11 - 9に示します。

図11 - 8 変換結果を読み出すタイミング (変換結果が不定値の場合)

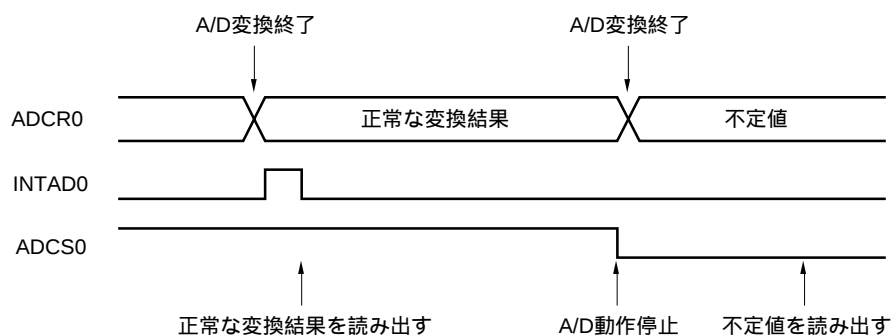
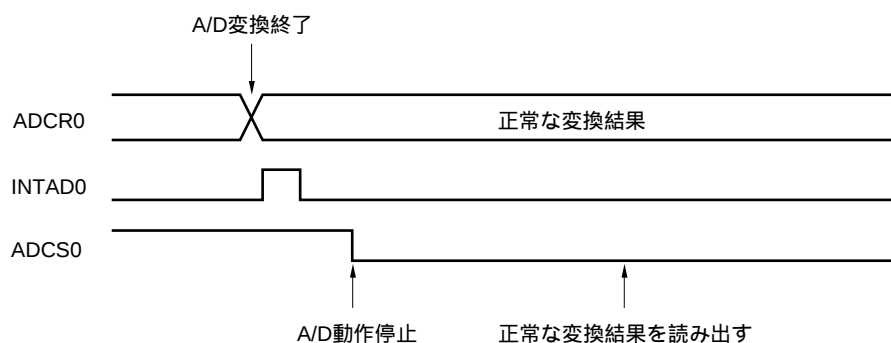


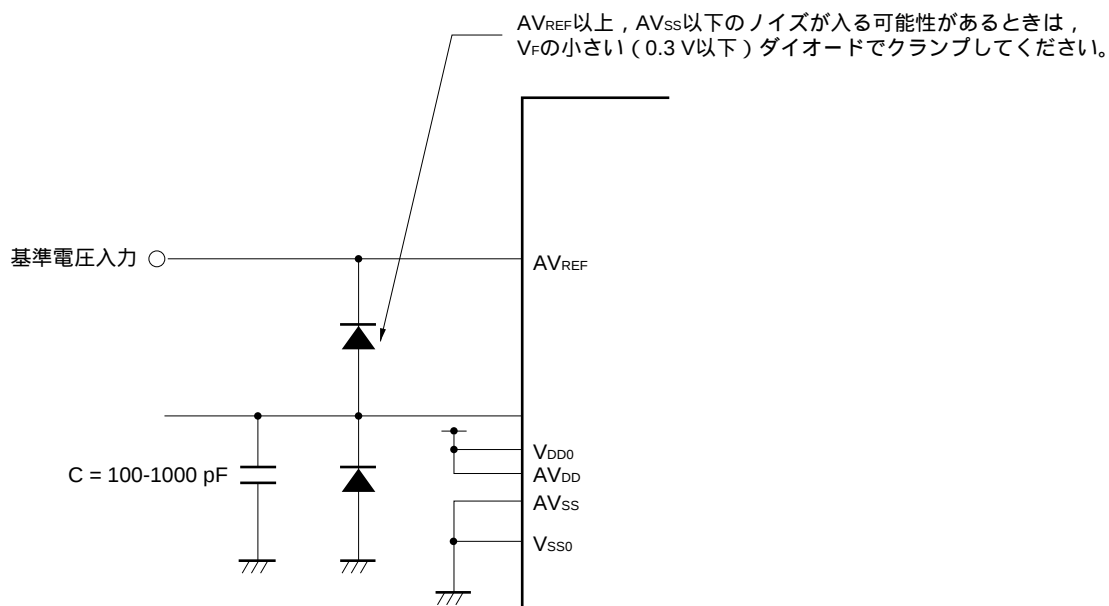
図11 - 9 変換結果を読み出すタイミング (変換結果が正常値の場合)



#### (6) ノイズ対策について

10ビット分解能を保つためには、 $AV_{REF}$ 、ANI0-ANI6端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図11 - 10のようにCを外付けすることを推奨します。

図11 - 10 アナログ入力端子の処理



**(7) ANI0-ANI6**

アナログ入力 (ANI0-ANI6) 端子はポート端子 (P60-P66) と兼用になっています。

ANI0-ANI6のいずれかを選択してA/D変換をする場合、変換中にポートの入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

**★ (8) ANI0-ANI6端子の入力インピーダンスについて**

このA/Dコンバータでは、変換時間の約1/10程度の間、内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスは変動して意味がありません。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを10 kΩ以下にするか、ANI0-ANI6端子に100 pF程度のコンデンサを付けることを推奨します (図11 - 10参照)。

**(9) AV<sub>REF</sub>端子の入力インピーダンスについて**

AV<sub>REF</sub>端子とAV<sub>SS</sub>端子の間には約十 kΩの直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスの高い場合、AV<sub>REF</sub>端子とAV<sub>SS</sub>端子の間の直列抵抗ストリングと並列接続することになり、基準電圧の誤差が大きくなります。

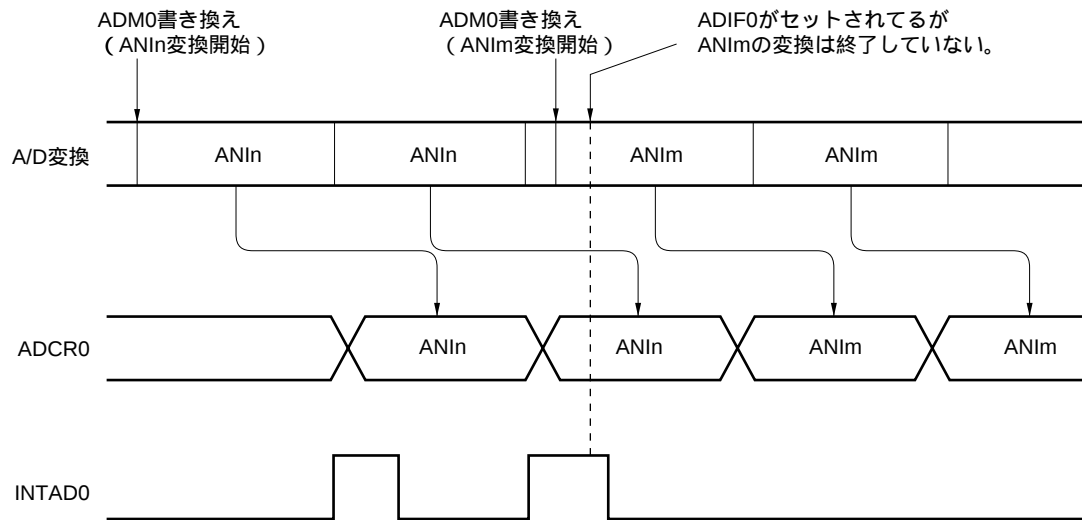
**(10) 割り込み要求フラグ (ADIF0) について**

A/Dコンバータ・モード・レジスタ0 (ADM0) を変更しても割り込み要求フラグ (ADIF0) はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADM0書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があり、ADM0書き換え直後にADIF0を読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIF0がセットされている場合がありますので注意してください。

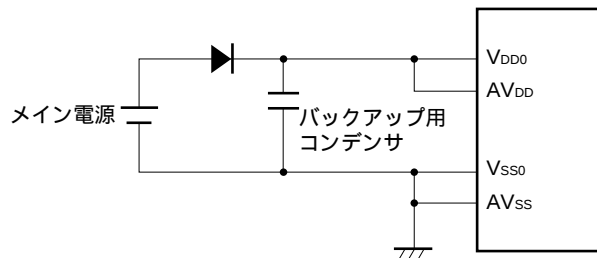
また、A/D変換を一度停止させて再開する場合は、再開する前にADIF0をクリアしてください。

図11 - 11 A/D変換終了割り込み要求発生タイミング

備考1.  $n = 0, 1, \dots, 6$ 2.  $m = 0, 1, \dots, 6$ (11) AV<sub>DD</sub>端子について

AV<sub>DD</sub>端子はアナログ回路の電源端子であり、ANI0-ANI6の入力回路にも電源を供給しています。

したがって、バックアップ電源に切り替えるようなアプリケーションにおいても、図11 - 12のように必ずV<sub>DD0</sub>端子と同レベルの電位を印加してください。

図11 - 12 AV<sub>DD</sub>端子の処理

## 第12章 コンパレータ

### 12.1 コンパレータの機能

コンパレータには次のような機能があります。

#### (1) コンパレータによる入力電圧の比較

基準電圧入力端子 (CMPREF0) の入力電圧と、コンパレータ入力端子 (CMPIN0) の入力電圧がコンパレータにより比較され、その結果をメモリ操作命令によって読み出すことができます。

#### (2) コンパレータ出力による割り込みの発生

コンパレータの出力で割り込み要求信号<sup>注</sup> (INTCMP0) を発生させます。

**注** 外部割り込みモード・レジスタ1 (INTM1) の設定により、立ち上がりエッジ、立ち下がりエッジ、立ち上がり立ち下がりの両エッジ指定可能

#### (3) クロック出力

CMPREF0 > CMPIN0 のとき、8ビット・タイマ・カウンタ02 (TM02) の出力をCMPTOUT0端子に出力します。

#### (4) オープン・ドレーンの選択

コンパレータ・モード・レジスタ0 (CMPRM0) により、ポートをN-chオープン・ドレーンにすることができます。

## 12.2 コンパレータの構成

コンパレータは次のハードウェアで構成されています。

### (1) CMPIN0

コンパレータ入力端子です。

### (2) CMPTOUT0

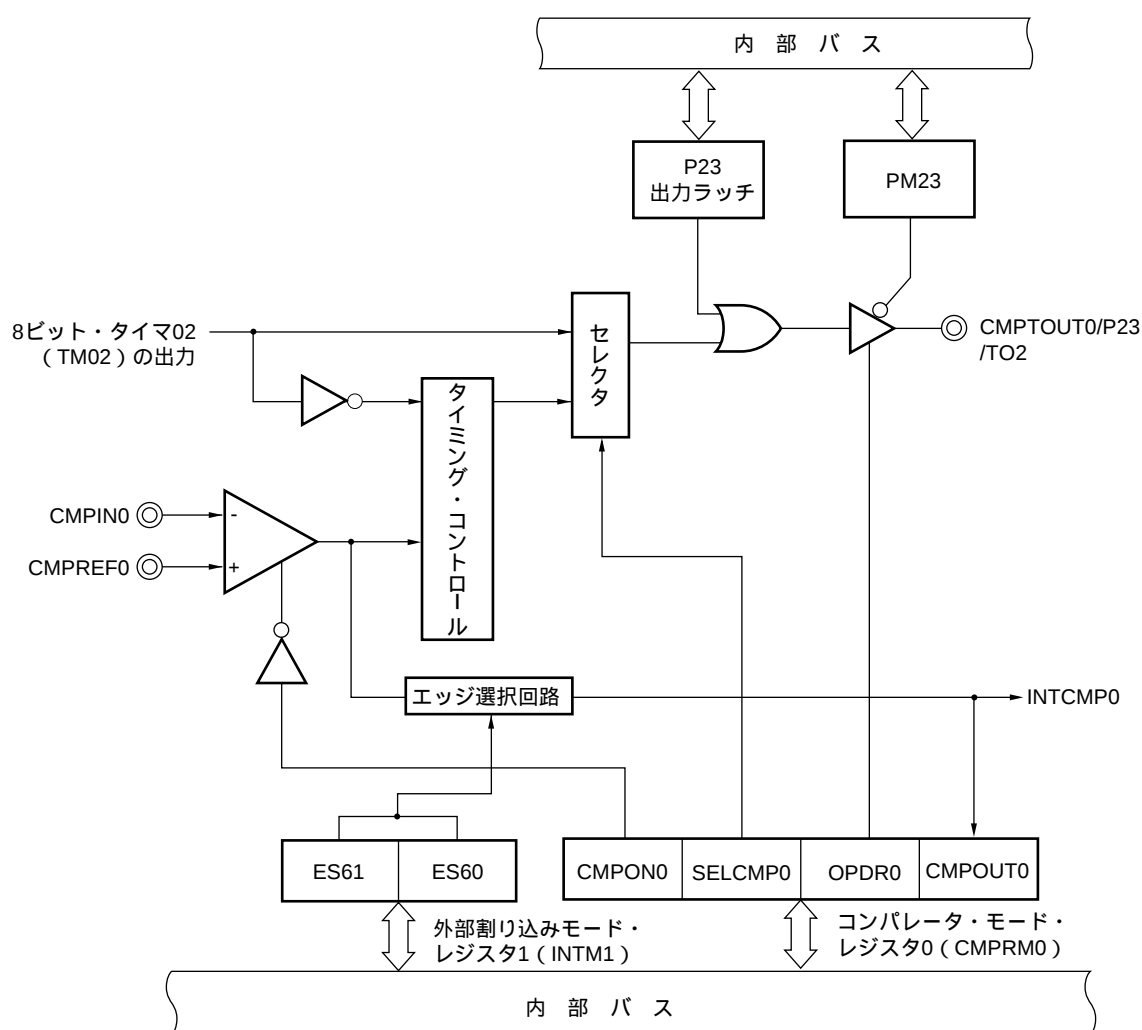
コンパレータ出力端子です。

### (3) CMPREF0

コンパレータ基準電圧入力端子です。

図12 - 1にコンパレータのブロック図を示します。

図12 - 1 コンパレータのブロック図



## 12.3 コンパレータを制御するレジスタ

コンパレータは次のレジスタで制御します。

### (1) コンパレータ・モード・レジスタ0 (CMPRM0)

コンパレータの電源の制御，クロック出力の制御，オープン・ドレインの選択などを設定するレジスタです。

CMPRM0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により，00Hになります。

図12-2 コンパレータ・モード・レジスタ0のフォーマット

| 略号     | 7 | 6 | 5 | 4 | 3      | 2       | 1     | 0       | アドレス  | リセット時 | R/W              |
|--------|---|---|---|---|--------|---------|-------|---------|-------|-------|------------------|
| CMPRM0 | 0 | 0 | 0 | 0 | CMPON0 | SELCMP0 | OPDR0 | CMPOUT0 | FF4EH | 00H   | R/W <sup>注</sup> |

| CMPON0 | コンパレータの電源のON/OFFの制御 |
|--------|---------------------|
| 0      | コンパレータの電源OFF        |
| 1      | コンパレータの電源ON         |

| SELCMP0 | クロック出力の制御                                      |
|---------|------------------------------------------------|
| 0       | 8ビット・タイマ02 (TM02) を出力                          |
| 1       | CMPREF0 > CMPIN0のとき，8ビット・タイマ・カウンタ02 (TM02) を出力 |

| OPDR0 | オープン・ドレインの選択    |
|-------|-----------------|
| 0     | CMOS出力          |
| 1     | N-chオープン・ドレイン出力 |

| CMPOUT0 | コンパレータの出力を読み出します。 |
|---------|-------------------|
|---------|-------------------|

注 ビット0は，Read Onlyです。

注意1. ビット4-7は，必ず0を設定してください。

2. コンパレータをイネーブル (CMPON0 = 1) にしたとき，ノイズが出る場合があります。コンパレータの出力で割り込み要求信号INTCMP0を発生させる場合，コンパレータをイネーブル (CMPON0 = 1) にし，その後割り込み要求フラグ (CMPIF0) をクリア (0) してから割り込みを許可してください。
3. コンパレータの出力をポートに出力する場合も同様に，コンパレータをイネーブル (CMPON0 = 1) にしてから，ポートを出力に設定してください。

## 12.4 コンパレータの動作

コンパレータを介して、8ビット・タイマ02の出力を制御し、CMPTOUT0/P23/TO2端子に出力させることができます。

コンパレータを動作させるには、次の設定をします。

- ・P23を出力モード（PM23 = 0）に設定
- ・コンパレータ・モード・レジスタ0（CMPRM0）を図12 - 3のように設定
- ・外部割り込みモード・レジスタ1（INTM1）を図12 - 4のように設定し、INTCMP0の有効エッジを選択する

図12 - 3 コンパレータ動作時のコンパレータ・モード・レジスタ0の設定内容

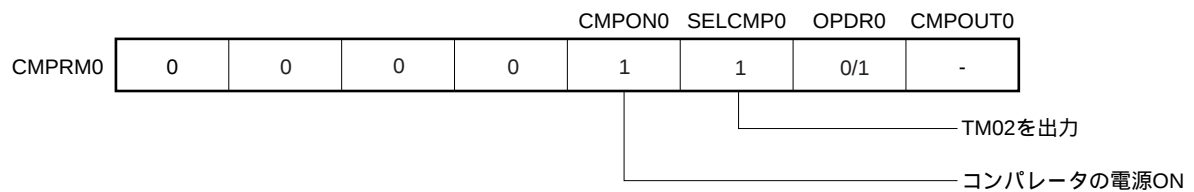


図12 - 4 INTCMP0発生時の外部割り込みモード・レジスタ1の設定内容

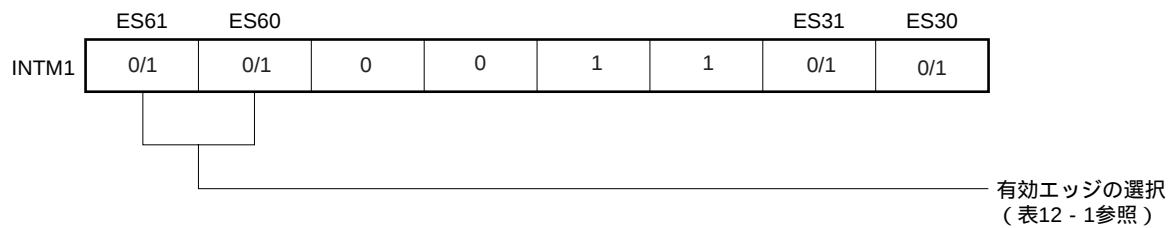
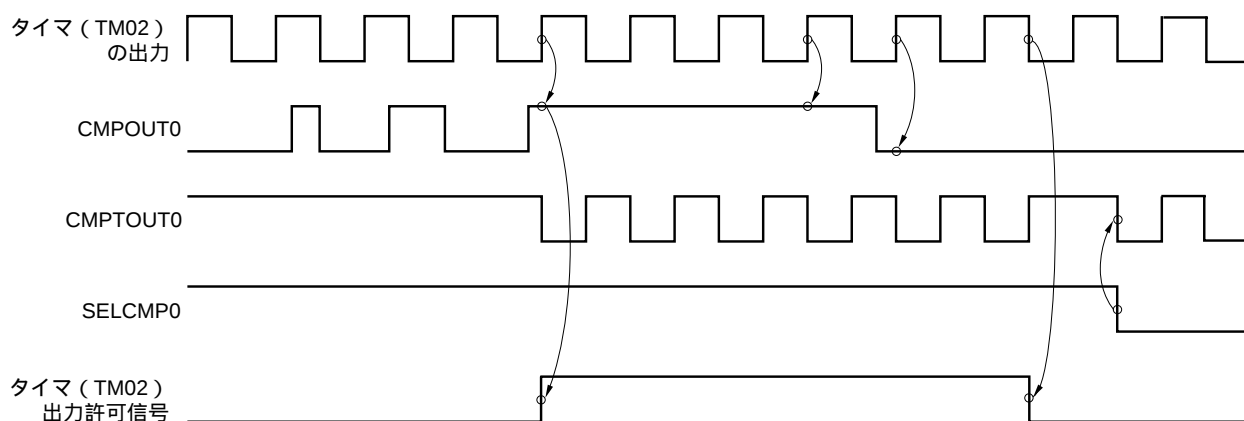


表12 - 1にINTCMP0の有効エッジの選択内容、図12 - 5にコンパレータの動作のタイミングを示します。

表12 - 1 INTCMP0の有効エッジの選択内容

| ES61 | ES60 | INTCMP0の有効エッジの選択 |
|------|------|------------------|
| 0    | 0    | 立ち下がりエッジ         |
| 0    | 1    | 立ち上がりエッジ         |
| 1    | 0    | 設定禁止             |
| 1    | 1    | 立ち上がり，立ち下がりの両エッジ |

図12 - 5 コンパレータの動作のタイミング (1/2)

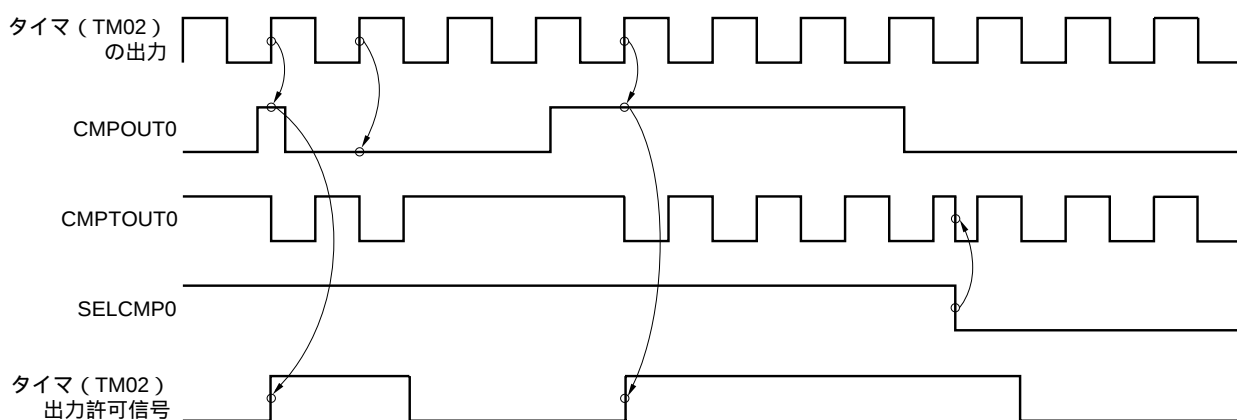


TM02の出力の立ち上がりでCMPOUT0をラッチし、CMPTOUT0/P23/TO2端子への出力の許可信号を作ります。TM02の出力の立ち上がりで、CMPOUT0がハイ・レベルのとき、TM02の出力の波形がCMPTOUT0/P23/TO2端子へ出力されます。

また、CMPOUT0がロウ・レベルのときにはCMPTOUT0は出力されません。

TM02の出力は、SELCMP0がロウ・レベルのとき、CMPOUT0のレベルによらずCMPTOUT0/P23/TO2端子へ出力されます。

図12 - 5 コンパレータの動作のタイミング (2/2)



TM02の出力の立ち上がりでCMPOUT0のハイ・レベルをラッチしたら、CMPOUT0がすぐに立ち下がっても、2クロックはCMPTOUT0/P23/TO2端子へ出力されます。

CMPTOUT0の出力中にSELCMP0をハイ・レベルからロウ・レベルに切り替えると、CMPTOUT0出力波形が乱れることがあります。

## 第13章 シリアル・インタフェース00

### 13.1 シリアル・インタフェース00の機能

シリアル・インタフェース00には、次の3種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード
- ・3線式シリアルI/Oモード

#### (1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減することができます。

#### (2) アシンクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

また、ASCK端子への入力クロックを分周してボー・レートを定義することもできます。

#### (3) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ( $\overline{SCK}$ ) と、シリアル・データ (SI, SO) の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続ができます。

3線式シリアルI/Oモードは、75XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

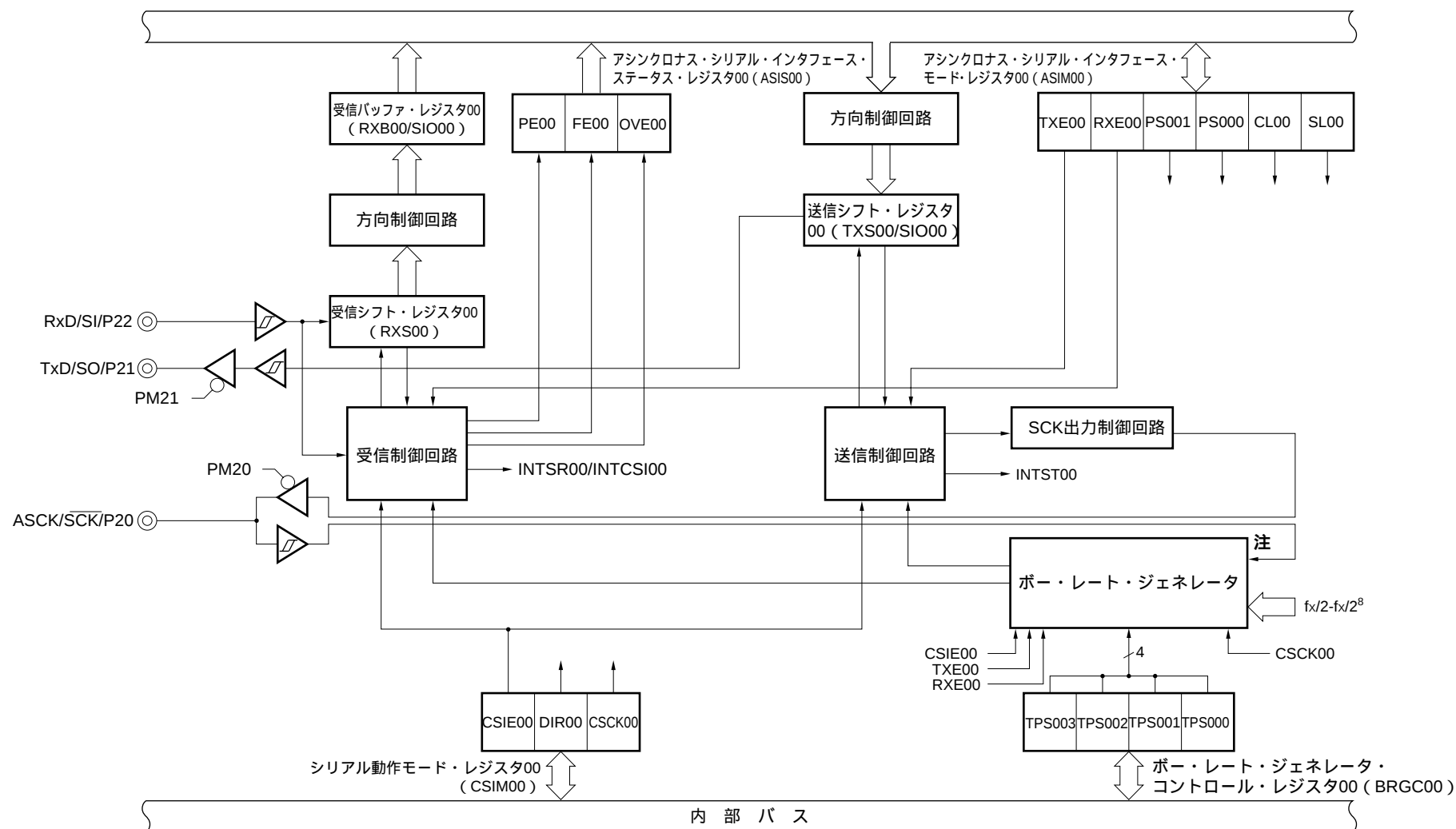
## 13.2 シリアル・インタフェース00の構成

シリアル・インタフェース00は、次のハードウェアで構成しています。

表13 - 1 シリアル・インタフェース00の構成

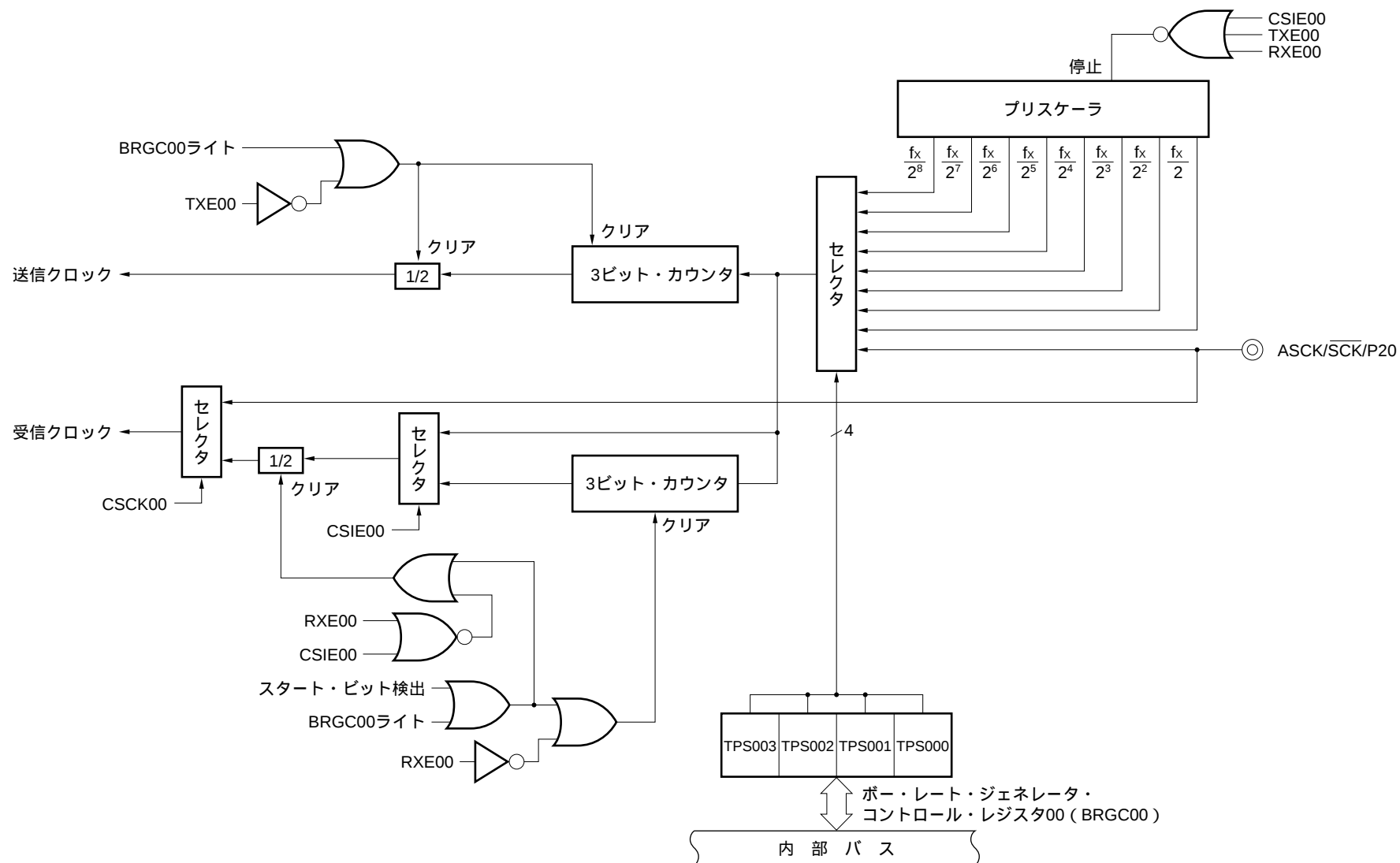
| 項 目    | 構 成                                                                                                                                                         |
|--------|-------------------------------------------------------------------------------------------------------------------------------------------------------------|
| レジスタ   | 送信シフト・レジスタ00 (TXS00)<br>受信シフト・レジスタ00 (RXS00)<br>受信バッファ・レジスタ00 (RXB00)                                                                                       |
| 制御レジスタ | シリアル動作モード・レジスタ00 (CSIM00)<br>アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)<br>アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00)<br>ポー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) |

図13 - 1 シリアル・インタフェース00のブロック図



注 ポー・レート・ジェネレータの構成は、図13 - 2を参照してください。

図13 - 2 ポー・レート・ジェネレータのブロック図



**(1) 送信シフト・レジスタ00 (TXS00)**

送信データを設定するレジスタです。TXS00に書き込まれたデータをシリアル・データとして送信します。

データ長を7ビットに指定した場合、TXS00に書き込んだデータのビット0-6が送信データとして転送されます。TXS00にデータを書き込むことにより、送信動作を開始します。

TXS00は、8ビット・メモリ操作命令で書き込みます。読み出しはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

**注意** 送信動作中は、TXS00への書き込みを行わないでください。

TXS00と受信バッファ・レジスタ00 (RXB00) は同一アドレスに割り当てられており、読み出しを行った場合にはRXB00の値が読み出されます。

**(2) 受信シフト・レジスタ00 (RXS00)**

RxD端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。1バイト分のデータを受信すると、受信データを受信バッファ・レジスタ00 (RXB00) へ転送します。

RXS00はプログラムで直接操作することはできません。

**(3) 受信バッファ・レジスタ00 (RXB00)**

受信データを保持するレジスタです。データを1バイト受信するごとに受信シフト・レジスタ00 (RXS00) から新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXB00のビット0-6に転送され、RXB00のMSBは必ず0になります。

RXB00は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

$\overline{\text{RESET}}$ 入力により、不定になります。

**注意** RXB00と送信シフト・レジスタ00 (TXS00) は同一アドレスに割り当てられており、書き込みを行った場合にはTXS00に値が書き込まれます。

**(4) 送信制御回路**

アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) に設定された内容に従って、送信シフト・レジスタ00 (TXS00) に書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットの付加などの送信動作の制御を行います。

**(5) 受信制御回路**

アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) に設定された内容に従って、受信動作を制御します。また受信動作中にパリティ・エラーなどのエラー・チェックも行い、エラーを検出したときにはエラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) にセットします。

### 13.3 シリアル・インタフェース00を制御するレジスタ

シリアル・インタフェース00は、次の4種類のレジスタで制御します。

- ・シリアル動作モード・レジスタ00 (CSIM00)
- ・アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)
- ・アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00)
- ・ボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)

#### (1) シリアル動作モード・レジスタ00 (CSIM00)

シリアル・インタフェース00を3線式シリアルI/Oモードで使用するときを設定するレジスタです。

CSIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図13-3 シリアル動作モード・レジスタ00のフォーマット

| 略号     | 6      | 5 | 4 | 3 | 2 | 1     | 0      | アドレス | リセット時 | R/W     |
|--------|--------|---|---|---|---|-------|--------|------|-------|---------|
| CSIM00 | CSIE00 | 0 | 0 | 0 | 0 | DIR00 | CSCK00 | 0    | FF72H | 00H R/W |

|        |                      |
|--------|----------------------|
| CSIE00 | 3線式シリアルI/Oモード時の動作の制御 |
| 0      | 動作停止                 |
| 1      | 動作許可                 |

|       |          |
|-------|----------|
| DIR00 | 先頭ビットの指定 |
| 0     | MSB      |
| 1     | LSB      |

|        |                        |
|--------|------------------------|
| CSCK00 | 3線式シリアルI/Oモード時のクロックの選択 |
| 0      | SCK端子への外部からの入力クロック     |
| 1      | 専用ボー・レート・ジェネレータの出力     |

- 注意1. ビット0, 3-6には、必ず0を設定してください。
2. UARTモード選択時は、CSIM00に00Hを設定してください。

## (2) アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)

シリアル・インタフェース00をアシクロナス・シリアル・インタフェース・モードで使用するときに設定するレジスタです。

ASIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図13 - 4 アシクロナス・シリアル・インタフェース・モード・レジスタ00のフォーマット

| 略号     | 5     | 4     | 3     | 2     | 1    | 0    | アドレス | リセット時 | R/W           |
|--------|-------|-------|-------|-------|------|------|------|-------|---------------|
| ASIM00 | TXE00 | RXE00 | PS001 | PS000 | CL00 | SL00 | 0    | 0     | FF70H 00H R/W |

| TXE00 | 送信動作の制御 |
|-------|---------|
| 0     | 送信動作停止  |
| 1     | 送信動作許可  |

| RXE00 | 受信動作の制御 |
|-------|---------|
| 0     | 受信動作停止  |
| 1     | 受信動作許可  |

| PS001 | PS000 | パリティ・ビットの指定                                       |
|-------|-------|---------------------------------------------------|
| 0     | 0     | パリティなし                                            |
| 0     | 1     | 送信時、常に0パリティ付加<br>受信時、パリティの検査をしない (パリティ・エラーを発生しない) |
| 1     | 0     | 奇数パリティ                                            |
| 1     | 1     | 偶数パリティ                                            |

| CL00 | キャラクタ長の指定 |
|------|-----------|
| 0    | 7ビット      |
| 1    | 8ビット      |

| SL00 | 送信データのストップ・ビット長の指定 |
|------|--------------------|
| 0    | 1ビット               |
| 1    | 2ビット               |

注意1. ビット0, 1には、必ず0を設定してください。

2. 3線式シリアルI/Oモード選択時は、ASIM00に00Hを設定してください。

3. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

表13-2 シリアル・インタフェース00の動作モードの設定一覧

## (1) 動作停止モード

| ASIM00 |       | CSIM00 |       |       | PM22            | P22             | PM21            | P21             | PM20            | P20             | 先頭ビット | シフト・クロック | P22/SI/RxD<br>端子の機能 | P21/SO/TxD<br>端子の機能 | P20/SCK/ASCK<br>端子の機能 |
|--------|-------|--------|-------|-------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-------|----------|---------------------|---------------------|-----------------------|
| TXE00  | RXE00 | CSIE0  | DIR00 | CSCk0 |                 |                 |                 |                 |                 |                 |       |          |                     |                     |                       |
|        |       | 0      |       | 0     |                 |                 |                 |                 |                 |                 |       |          |                     |                     |                       |
| 0      | 0     | 0      | x     | x     | x <sup>注1</sup> | x <sup>注1</sup> | x <sup>注1</sup> | x <sup>注1</sup> | x <sup>注1</sup> | x <sup>注1</sup> | —     | —        | P22                 | P21                 | P20                   |
| 上記以外   |       |        |       |       |                 |                 |                 |                 |                 |                 | 設定禁止  |          |                     |                     |                       |

## (2) アシクロナス・シリアル・インタフェース・モード

| ASIM00 |       | CSIM00 |       |       | PM22            | P22             | PM21            | P21             | PM20            | P20             | 先頭<br>ビット | シフト・<br>クロック | P22/SI/RxD<br>端子の機能 | P21/SO/TxD<br>端子の機能 | P20/SCK/ASCK<br>端子の機能 |
|--------|-------|--------|-------|-------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------|--------------|---------------------|---------------------|-----------------------|
| TXE00  | RXE00 | CSIE0  | DIR00 | CSCK0 |                 |                 |                 |                 |                 |                 |           |              |                     |                     |                       |
|        |       | 0      |       | 0     |                 |                 |                 |                 |                 |                 |           |              |                     |                     |                       |
| 1      | 0     | 0      | 0     | 0     | × <sup>注1</sup> | × <sup>注1</sup> | 0               | 1               | 1               | ×               | LSB       | 外部<br>クロック   | P22                 | TxD<br>(CMOS出力)     | ASCK入力                |
|        |       |        |       |       |                 |                 |                 |                 | × <sup>注1</sup> | × <sup>注1</sup> |           | 内部<br>クロック   |                     |                     | P20                   |
| 0      | 1     | 0      | 0     | 0     | 1               | ×               | × <sup>注1</sup> | × <sup>注1</sup> | 1               | ×               |           | 外部<br>クロック   | RxD                 | P21                 | ASCK入力                |
|        |       |        |       |       |                 |                 |                 |                 | × <sup>注1</sup> | × <sup>注1</sup> |           | 内部<br>クロック   |                     |                     | P20                   |
| 1      | 1     | 0      | 0     | 0     | 1               | ×               | 0               | 1               | 1               | ×               |           | 外部<br>クロック   |                     | TxD<br>(CMOS出力)     | ASCK入力                |
|        |       |        |       |       |                 |                 |                 |                 | × <sup>注1</sup> | × <sup>注1</sup> |           | 内部<br>クロック   |                     |                     | P20                   |
| 上記以外   |       |        |       |       |                 |                 |                 |                 |                 |                 | 設定禁止      |              |                     |                     |                       |

## (3) 3線式シリアルI/Oモード

| ASIM00 |       | CSIM00 |       |       | PM22            | P22             | PM21 | P21 | PM20 | P20        | 先頭<br>ビット | シフト・<br>クロック | P22/SI/RxD<br>端子の機能 | P21/SO/TxD<br>端子の機能 | P20/SCK/ASCK<br>端子の機能 |       |
|--------|-------|--------|-------|-------|-----------------|-----------------|------|-----|------|------------|-----------|--------------|---------------------|---------------------|-----------------------|-------|
| TXE00  | RXE00 | CSIE0  | DIR00 | CSCk0 |                 |                 |      |     |      |            |           |              |                     |                     |                       |       |
|        |       | 0      |       | 0     |                 |                 |      |     |      |            |           |              |                     |                     |                       |       |
| 0      | 0     | 1      | 0     | 0     | 1 <sup>注2</sup> | × <sup>注2</sup> | 0    | 1   | 1    | ×          | MSB       | 外部<br>クロック   | SI <sup>注2</sup>    | SO<br>(CMOS出力)      | SCK入力                 |       |
|        |       |        |       |       |                 |                 |      |     |      | 内部<br>クロック |           | SCK出力        |                     |                     |                       |       |
|        |       |        |       |       |                 |                 |      |     |      | 1          | ×         | LSB          |                     |                     | 外部<br>クロック            | SCK入力 |
|        |       |        |       |       |                 |                 |      |     |      | 1          | 1         |              |                     |                     | 内部<br>クロック            | SCK出力 |
| 上記以外   |       |        |       |       |                 |                 |      |     |      |            | 設定禁止      |              |                     |                     |                       |       |

注1. ポート機能として自由に使用できます。

2. 送信のみ使用の場合は、P22 (CMOS入出力) として使用できます。

備考 x : don't care

## (3) アシクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00)

アシクロナス・シリアル・インタフェース・モードで受信エラー発生時、エラーの種類を表示するレジスタです。

ASIS00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

3線式シリアルI/Oモードでは、ASIS00の内容は不定となります。

RESET入力により、00Hになります。

図13 - 5 アシクロナス・シリアル・インタフェース・ステータス・レジスタ00のフォーマット

| 略号     | 7 | 6 | 5 | 4 | 3 | 2    | 1    | 0     | アドレス  | リセット時 | R/W |
|--------|---|---|---|---|---|------|------|-------|-------|-------|-----|
| ASIS00 | 0 | 0 | 0 | 0 | 0 | PE00 | FE00 | OVE00 | FF71H | 00H   | R   |

| PE00 | パリティ・エラー・フラグ                       |
|------|------------------------------------|
| 0    | パリティ・エラー未発生                        |
| 1    | パリティ・エラー発生 (送信パリティと受信パリティが一致しないとき) |

| FE00 | フレーミング・エラー・フラグ                                 |
|------|------------------------------------------------|
| 0    | フレーミング・エラー未発生                                  |
| 1    | フレーミング・エラー発生 (ストップ・ビットが検出されないとき) <sup>注1</sup> |

| OVE00 | オーバラン・エラー・フラグ                                                         |
|-------|-----------------------------------------------------------------------|
| 0     | オーバラン・エラー未発生                                                          |
| 1     | オーバラン・エラー発生 <sup>注2</sup><br>(受信バッファ・レジスタ00からデータを読み出す前に次の受信動作が完了したとき) |

- 注1. アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) のビット2 (SL00) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。
2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ00 (RXB00) を必ず読み出してください。RXB00を読み出すまでデータ受信のたびにオーバラン・エラーが発生し続けます。

## (4) ボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)

シリアル・インタフェース00のシリアル・クロックを設定するレジスタです。

BRGC00は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図13 - 6 ボー・レート・ジェネレータ・コントロール・レジスタ00のフォーマット

| 略号   | 7      | 6      | 5      | 4      | 3 | 2 | 1 | 0 | アドレス  | リセット時 | R/W |
|------|--------|--------|--------|--------|---|---|---|---|-------|-------|-----|
| BRGC | TPS003 | TPS002 | TPS001 | TPS000 | 0 | 0 | 0 | 0 | FF73H | 00H   | R/W |

| TPS003 | TPS002 | TPS001 | TPS000 | 3ビット・カウンタのソース・クロックの選択            | n |
|--------|--------|--------|--------|----------------------------------|---|
| 0      | 0      | 0      | 0      | $f_x/2$ ( 2.5 MHz )              | 1 |
| 0      | 0      | 0      | 1      | $f_x/2^2$ ( 1.25 MHz )           | 2 |
| 0      | 0      | 1      | 0      | $f_x/2^3$ ( 625 kHz )            | 3 |
| 0      | 0      | 1      | 1      | $f_x/2^4$ ( 313 kHz )            | 4 |
| 0      | 1      | 0      | 0      | $f_x/2^5$ ( 156 kHz )            | 5 |
| 0      | 1      | 0      | 1      | $f_x/2^6$ ( 78.1 kHz )           | 6 |
| 0      | 1      | 1      | 0      | $f_x/2^7$ ( 39.1 kHz )           | 7 |
| 0      | 1      | 1      | 1      | $f_x/2^8$ ( 19.5 kHz )           | 8 |
| 1      | 0      | 0      | 0      | ASCK端子への外部からの入力クロック <sup>注</sup> | — |
| 上記以外   |        |        |        | 設定禁止                             |   |

注 UARTモード時にのみ使用できます。

注意1. 通信動作中にBRGC00への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGC00への書き込みを行わないでください。

2.  $f_x = 5.0$  MHz動作時、 $n = 1$ はボー・レートの規格値を越えてしまうため選択しないでください。

備考1.  $f_x$  : メイン・システム・クロック発振周波数

2.  $n$  : TPS000-TPS003の設定で決定される値 ( 1 ~ 8 )

3. ( ) 内は、 $f_x = 5.0$  MHz動作時

生成するボー・レート用の送受信クロックは、メイン・システム・クロックを分周した信号か、ASCK端子から入力したクロックを分周した信号になります。

#### (a) メイン・システム・クロックによるボー・レート用の送受信クロックの生成

メイン・システム・クロックを分周して送受信クロックを生成します。メイン・システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_x}{2^{n+1} \times 8} [\text{Hz}]$$

$f_x$  : メイン・システム・クロック発振周波数

$n$  : TPS000-TPS003の設定で決定される図13 - 6中の値 (  $2 \leq n \leq 8$  )

表13 - 3 メイン・システム・クロックとボー・レートの関係例

| ボー・レート<br>( bps ) | BRGC00の設定値 | 誤差 ( % )                |                            |
|-------------------|------------|-------------------------|----------------------------|
|                   |            | $f_x = 5.0 \text{ MHz}$ | $f_x = 4.9152 \text{ MHz}$ |
| 1200              | 70H        | 1.73                    | 0                          |
| 2400              | 60H        |                         |                            |
| 4800              | 50H        |                         |                            |
| 9600              | 40H        |                         |                            |
| 19200             | 30H        |                         |                            |
| 38400             | 20H        |                         |                            |
| 76800             | 10H        |                         |                            |

## (b) ASCK端子からの外部クロックによるボー・レート用の送受信クロックの生成

ASCK端子から入力したクロックを分周して送受信クロックを生成します。ASCK端子から入力したクロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_{\text{ASCK}}}{16} [\text{Hz}]$$

$f_{\text{ASCK}}$  : ASCK端子に入力したクロックの周波数

表13 - 4 ASCK端子入力周波数とボー・レートの関係 (BRGC00 = 80H設定時)

| ボー・レート (bps) | ASCK端子入力周波数 (kHz) |
|--------------|-------------------|
| 75           | 1.2               |
| 150          | 2.4               |
| 300          | 4.8               |
| 600          | 9.6               |
| 1200         | 19.2              |
| 2400         | 38.4              |
| 4800         | 76.8              |
| 9600         | 153.6             |
| 19200        | 307.2             |
| 31250        | 500.0             |
| 38400        | 614.4             |

13.4 シリアル・インタフェース00の動作

シリアル・インタフェース00は、次の3種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース（UART）モード
- ・3線式シリアルI/Oモード

13.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減することができます。また、動作停止モードでは、P20/ $\overline{\text{SCK}}$ /ASCK, P21/SO/TxD, P22/SI/RxD端子を通常の入出力ポートとして使用できます。

（1）レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ00（CSIM00）とアシンクロナス・シリアル・インタフェース・モード・レジスタ00（ASIM00）で行います。

（a）シリアル動作モード・レジスタ00（CSIM00）

CSIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
 $\overline{\text{RESET}}$ 入力により、00Hになります。

| 略号     | 6      | 5 | 4 | 3 | 2 | 1     | 0      | アドレス | リセット時     | R/W       |
|--------|--------|---|---|---|---|-------|--------|------|-----------|-----------|
| CSIM00 | CSIE00 | 0 | 0 | 0 | 0 | DIR00 | CSCK00 | 0    | F F 7 2 H | 0 0 H R/W |

| CSIE00 | 3線式シリアルI/Oモード時の動作の制御 |
|--------|----------------------|
| 0      | 動作停止                 |
| 1      | 動作許可                 |

注意 ビット0, 3-6には、必ず0を設定してください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)

ASIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
RESET入力により、00Hになります。

| 略号     | 5     | 4     | 3     | 2     | 1    | 0    | アドレス | リセット時 | R/W           |
|--------|-------|-------|-------|-------|------|------|------|-------|---------------|
| ASIM00 | TXE00 | RXE00 | PS001 | PS000 | CL00 | SL00 | 0    | 0     | FF70H 00H R/W |

|       |         |
|-------|---------|
| TXE00 | 送信動作の制御 |
| 0     | 送信動作停止  |
| 1     | 送信動作許可  |

|       |         |
|-------|---------|
| RXE00 | 受信動作の制御 |
| 0     | 受信動作停止  |
| 1     | 受信動作許可  |

注意 ビット0, 1には必ず0を設定してください。

13. 4. 2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。また、ASCK端子への入力クロックを分周してボー・レートを定義することもできます。

UART専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート (31.25 kbps) を使用することもできます。

(1) レジスタの設定

UARTモードの設定は、シリアル動作モード・レジスタ00 (CSIM00)、アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)、アシクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00)、ボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) で行います。

(a) シリアル動作モード・レジスタ00 (CSIM00)

CSIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

UARTモード選択時は、CSIM00に00Hを設定してください。

| 略号     | 6      | 5 | 4 | 3 | 2 | 1     | 0      | アドレス | リセット時     | R/W       |
|--------|--------|---|---|---|---|-------|--------|------|-----------|-----------|
| CSIM00 | CSIE00 | 0 | 0 | 0 | 0 | DIR00 | CSCK00 | 0    | F F 7 2 H | 0 0 H R/W |

|        |                      |
|--------|----------------------|
| CSIE00 | 3線式シリアルI/Oモード時の動作の制御 |
| 0      | 動作停止                 |
| 1      | 動作許可                 |

|       |          |
|-------|----------|
| DIR00 | 先頭ビットの指定 |
| 0     | MSB      |
| 1     | LSB      |

|        |                        |
|--------|------------------------|
| CSCK00 | 3線式シリアルI/Oモード時のクロックの選択 |
| 0      | SCK端子への外部からの入力クロック     |
| 1      | 専用ボー・レート・ジェネレータの出力     |

注意 ビット0, 3-6には、必ず0を設定してください。

## (b) アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)

ASIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

| 略号     | 5     | 4     | 3     | 2     | 1    | 0    | アドレス | リセット時 | R/W           |
|--------|-------|-------|-------|-------|------|------|------|-------|---------------|
| ASIM00 | TXE00 | RXE00 | PS001 | PS000 | CL00 | SL00 | 0    | 0     | FF70H 00H R/W |

| TXE00 | 送信動作の制御 |
|-------|---------|
| 0     | 送信動作停止  |
| 1     | 送信動作許可  |

| RXE00 | 受信動作の制御 |
|-------|---------|
| 0     | 受信動作停止  |
| 1     | 受信動作許可  |

| PS001 | PS000 | パリティ・ビットの指定                                      |
|-------|-------|--------------------------------------------------|
| 0     | 0     | パリティなし                                           |
| 0     | 1     | 送信時、常に0パリティ付加<br>受信時、パリティの検査をしない(パリティ・エラーを発生しない) |
| 1     | 0     | 奇数パリティ                                           |
| 1     | 1     | 偶数パリティ                                           |

| CL00 | キャラクタ長の指定 |
|------|-----------|
| 0    | 7ビット      |
| 1    | 8ビット      |

| SL00 | 送信データのストップ・ビット長の指定 |
|------|--------------------|
| 0    | 1ビット               |
| 1    | 2ビット               |

注意1. ビット0, 1には、必ず0を設定してください。

2. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

## (c) アシクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00)

ASIS00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

RESET入力により、00Hになります。

| 略号     | 7 | 6 | 5 | 4 | 3 | 2    | 1    | 0     | アドレス  | リセット時 | R/W |
|--------|---|---|---|---|---|------|------|-------|-------|-------|-----|
| ASIS00 | 0 | 0 | 0 | 0 | 0 | PE00 | FE00 | OVE00 | FF71H | 00H   | R   |

| PE00 | パリティ・エラー・フラグ                    |
|------|---------------------------------|
| 0    | パリティ・エラー未発生                     |
| 1    | パリティ・エラー発生 (送信データのパリティが一致しないとき) |

| FE00 | フレーミング・エラー・フラグ                                 |
|------|------------------------------------------------|
| 0    | フレーミング・エラー未発生                                  |
| 1    | フレーミング・エラー発生 (ストップ・ビットが検出されないとき) <sup>注1</sup> |

| OVE00 | オーバラン・エラー・フラグ                                                       |
|-------|---------------------------------------------------------------------|
| 0     | オーバラン・エラー未発生                                                        |
| 1     | オーバラン・エラー発生 <sup>注2</sup><br>(受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき) |

- 注1. アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) のビット2 (SL00) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。
2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ00 (RXB00) を必ず読み出してください。RXB00を読み出すまでデータ受信のたびにオーバラン・エラーが発生し続けます。

## (d) ボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)

BRGC00は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

| 略号     | 7      | 6      | 5      | 4      | 3 | 2 | 1 | 0 | アドレス  | リセット時 | R/W |
|--------|--------|--------|--------|--------|---|---|---|---|-------|-------|-----|
| BRGC00 | TPS003 | TPS002 | TPS001 | TPS000 | 0 | 0 | 0 | 0 | FF73H | 00H   | R/W |

| TPS003 | TPS002 | TPS001 | TPS000 | 3ビット・カウンタのソース・クロックの選択 | n |
|--------|--------|--------|--------|-----------------------|---|
| 0      | 0      | 0      | 0      | $f_x/2$ (2.5 MHz)     | 1 |
| 0      | 0      | 0      | 1      | $f_x/2^2$ (1.25 MHz)  | 2 |
| 0      | 0      | 1      | 0      | $f_x/2^3$ (625 kHz)   | 3 |
| 0      | 0      | 1      | 1      | $f_x/2^4$ (313 kHz)   | 4 |
| 0      | 1      | 0      | 0      | $f_x/2^5$ (156 kHz)   | 5 |
| 0      | 1      | 0      | 1      | $f_x/2^6$ (78.1 kHz)  | 6 |
| 0      | 1      | 1      | 0      | $f_x/2^7$ (39.1 kHz)  | 7 |
| 0      | 1      | 1      | 1      | $f_x/2^8$ (19.5 kHz)  | 8 |
| 1      | 0      | 0      | 0      | ASCK端子への外部からの入力クロック   | — |
| 上記以外   |        |        |        | 設定禁止                  |   |

注意1. 通信動作中にBRGC00への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGC00への書き込みを行わないでください。

2.  $f_x = 5.0$  MHz動作時、 $n = 1$ はボー・レートの規格値を越えてしまうため選択しないでください。

備考1.  $f_x$  : メイン・システム・クロック発振周波数

2.  $n$  : TPS000-TPS003の設定で決定される値 (1 ~ 8)

3. ( ) 内は、 $f_x = 5.0$  MHz動作時

生成するボー・レート用の送受信クロックは、メイン・システム・クロックを分周した信号か、ASCK端子から入力したクロックを分周した信号になります。

## (i) メイン・システム・クロックによるボー・レート用の送受信クロックの生成

メイン・システム・クロックを分周して送受信クロックを生成します。メイン・システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_x}{2^{n+1} \times 8} [\text{Hz}]$$

$f_x$  : メイン・システム・クロック発振周波数

$n$  : TPS000-TPS003の設定で決定される上記の表中の値 (2 ~ 8)

表13 - 5 メイン・システム・クロックとボー・レートの関係例

| ボー・レート<br>( bps ) | BRGC00の設定値 | 誤差 ( % )                 |                             |
|-------------------|------------|--------------------------|-----------------------------|
|                   |            | f <sub>x</sub> = 5.0 MHz | f <sub>x</sub> = 4.9152 MHz |
| 1200              | 70H        | 1.73                     | 0                           |
| 2400              | 60H        |                          |                             |
| 4800              | 50H        |                          |                             |
| 9600              | 40H        |                          |                             |
| 19200             | 30H        |                          |                             |
| 38400             | 20H        |                          |                             |
| 76800             | 10H        |                          |                             |

## (ii) ASCK端子からの外部クロックによるボー・レート用の送受信クロックの生成

ASCK端子から入力したクロックを分周して送受信クロックを生成します。ASCK端子から入力したクロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_{\text{ASCK}}}{16} [\text{Hz}]$$

$f_{\text{ASCK}}$  : ASCK端子に入力したクロックの周波数

表13 - 6 ASCK端子入力周波数とボー・レートの関係 (BRGC00 = 80H設定時)

| ボー・レート (bps) | ASCK端子入力周波数 (kHz) |
|--------------|-------------------|
| 75           | 1.2               |
| 150          | 2.4               |
| 300          | 4.8               |
| 600          | 9.6               |
| 1200         | 19.2              |
| 2400         | 38.4              |
| 4800         | 76.8              |
| 9600         | 153.6             |
| 19200        | 307.2             |
| 31250        | 500.0             |
| 38400        | 614.4             |

## (2) 通信動作

## (a) データ・フォーマット

送受信データのフォーマットは図13 - 7に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) によって行います。

図13 - 7 アシンクロナス・シリアル・インタフェースの送受信データのフォーマット



- ・スタート・ビット.....1ビット
- ・キャラクタ・ビット.....7ビット / 8ビット
- ・パリティ・ビット.....偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ストップ・ビット.....1ビット / 2ビット

キャラクタ・ビットとして7ビットを選択した場合、下位7ビット (ビット0-6) のみが有効となり、送信の場合は最上位ビット (ビット7) は無視され、受信の場合は必ず最上位ビット (ビット7) は“0”になります。

シリアル転送レートの設定は、ASIM00とボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) によって行います。

また、シリアル・データの受信エラーが発生した場合、アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) の状態を読むことによって受信エラーの内容を判定することができます。

**(b) パリティの種類と動作**

パリティ・ビットは、通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

**(i) 偶数パリティ****・送信時**

パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：1

送信データ中に、値が“1”のビットの数が偶数個：0

**・受信時**

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

**(ii) 奇数パリティ****・送信時**

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：0

送信データ中に、値が“1”のビットの数が偶数個：1

**・受信時**

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

**(iii) 0パリティ**

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

**(iv) パリティなし**

送信データにパリティ・ビットを付加しません。

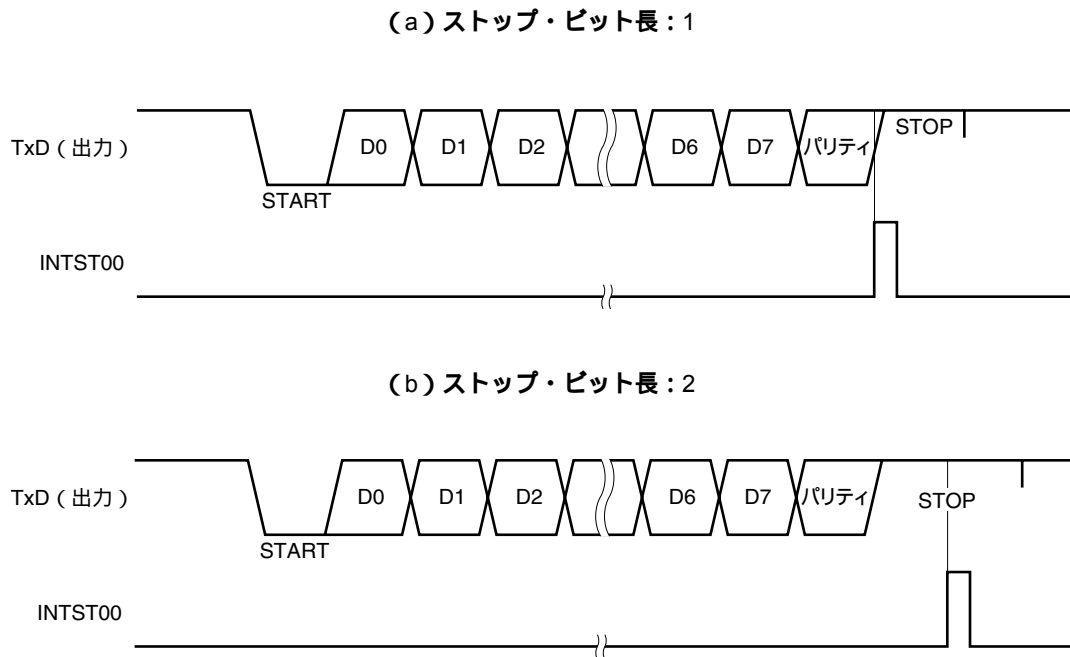
受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

**(c) 送信**

送信シフト・レジスタ00 (TXS00) に送信データを書き込むことによって送信動作は起動します。スタート・ビット, パリティ・ビット, ストップ・ビットは自動的に付加されます。

送信動作の開始により, TXS00内のデータがシフト・アウトされ, TXS00が空になると送信完了割り込み (INTST00) が発生します。

図13 - 8 アシクロナス・シリアル・インタフェース送信完了割り込みタイミング



**注意** 送信動作中にはアシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) の書き換えは行わないでください。送信中にASIM00レジスタの書き換えを行うと, それ以降の送信動作ができなくなる場合があります (RESET入力により, 正常になります)。

送信中かどうかは, 送信完了割り込み (INTST00) またはINTST00によりセットされる割り込み要求フラグ (STIF00) を用いて, ソフトウェアにより判断することができます。

## (d) 受信

受信動作は、アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) のビット6 (RXE00) ビットがセット (1) されると許可状態となり、RxD端子入力のサンプリングを行います。

RxD端子入力のサンプリングはASIM00で指定したシリアル・クロックで行います。

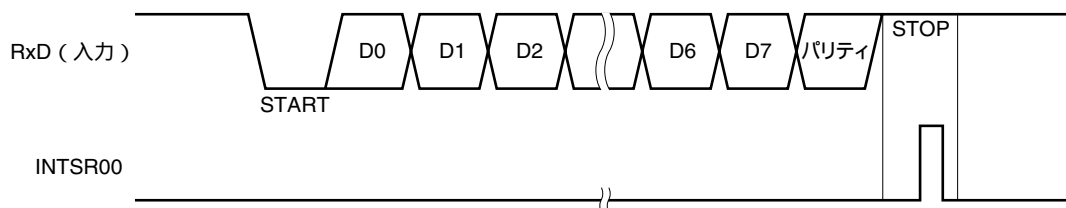
RxD端子入力がロウ・レベルになると、3ビット・カウンタがカウントを開始し、設定したボー・レートの半分の時間が経過したところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD端子入力をサンプリングした結果、ロウ・レベルであれば、スタート・ビットとして認識し、3ビット・カウンタを初期化してカウントを開始し、データのサンプリングを行います。スタート・ビットに続いて、キャラクタ・データ、パリティ・ビットおよび1ビットのストップ・ビットが検出されると、1フレームのデータ受信が終了します。

1フレームのデータ受信が終了すると、シフト・レジスタ内の受信データを受信バッファ・レジスタ00 (RXB00) に転送し、受信完了割り込み (INTSR00) を発生します。

また、エラーが発生しても、RXB00にエラーの発生した受信データを転送し、INTSRを発生します。

なお、受信動作中にRXE00ビットをリセット (0) すると、ただちに受信動作を停止します。このとき、RXB00およびアシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) の内容は変化せず、また、INTSR00も発生しません。

図13 - 9 アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング



**注意** 受信エラー発生時にも、受信バッファ・レジスタ00 (RXB00) は必ず読み出してください。

RXB00を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

## (e) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) 内に立ちます。受信エラーの要因を表13 - 7に示します。

受信エラー割り込み処理内で、ASIS00の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます (図13 - 9, 図13 - 10参照)。

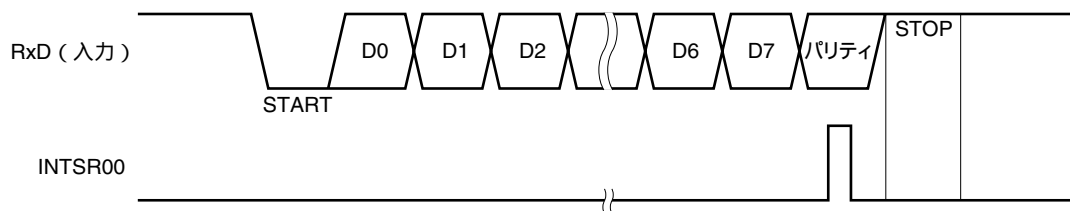
ASIS00の内容は、受信バッファ・レジスタ00 (RXB00) を読み出すか、次のデータを受信することでリセット (0) されます (次のデータにエラーがあれば、そのエラー・フラグがセットされます)。

表13 - 7 受信エラーの要因

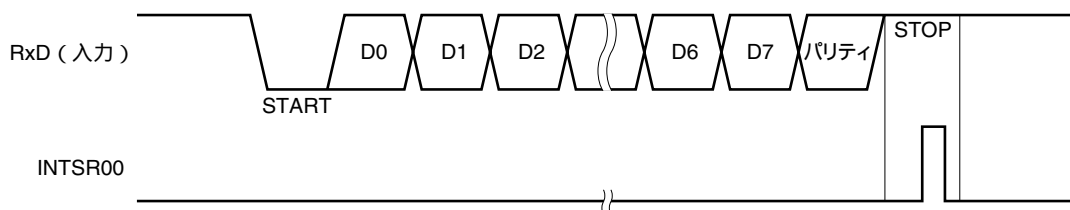
| 受信エラー      | 要 因                              |
|------------|----------------------------------|
| パリティ・エラー   | 送信時のパリティ指定と受信データのパリティが一致しない      |
| フレーミング・エラー | ストップ・ビットが検出されない                  |
| オーバラン・エラー  | 受信バッファ・レジスタからデータを読み出す前に次のデータ受信完了 |

図13 - 10 受信エラー・タイミング

## (a) パリティ・エラー発生時



## (b) フレーミング・エラー, オーバラン・エラー発生時



- 注意1. ASIS00レジスタの内容は、受信バッファ・レジスタ00 (RXB00) を読み出すか、次のデータを受信することにより、リセット (0) されます。エラーの内容が知りたい場合には、必ずRXB00を読み出す前にASIS00を読み出してください。
2. 受信エラー発生時にも、受信バッファ・レジスタ00 (RXB00) は必ず読み出してください。RXB00を読み出さないと次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

## ★ (f) 受信データの読み出し

受信完了割り込み (INTSR00) が発生したら、受信バッファ・レジスタ00 (RXB00) の値をリードすることで受信データを読み出します。

受信バッファ・レジスタ00 (RXB00) に格納された受信データをリードするときには、受信動作許可 (RXE00 = 1) の状態で読み出してください。

**備考** ただし、受信動作停止 (RXE00 = 0) してから受信データを読み出す必要がある場合は、次のどちらかの方法で行ってください。

(a) BRGC00で選択したソース・クロックの1周期分以上のウェイト後にRXE00 = 0にして、リードする。

(b) シリアル動作モード・レジスタ00 (CSIM00) のビット2 (DIR00) をセット (1) して、リードする。

(a) のプログラム例 (BRGC00 = 00H (ソース・クロック =  $f_x/2$ ) の場合)

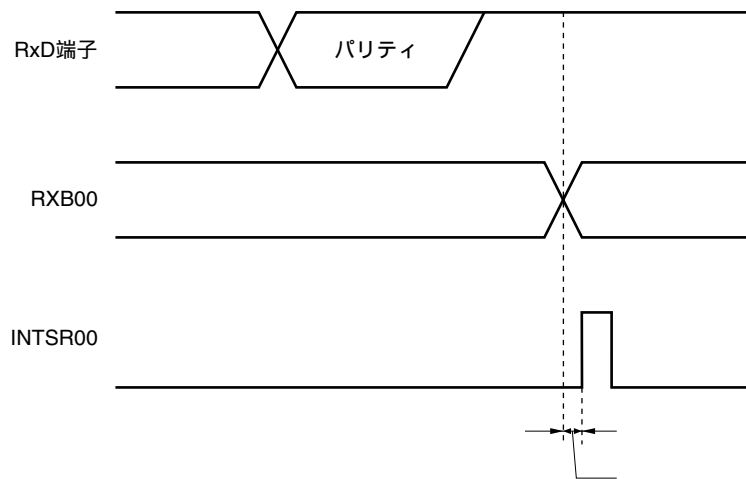
```
INTRXE:                                ; < 受信完了割り込みルーチン >
      NOP                               ; 2クロック
      CLR1 RXE00                        ; 受信動作停止
      MOV  A, RXB00                     ; 受信データをリード
```

(b) のプログラム例

```
INTRXE:                                ; < 受信完了割り込みルーチン >
      SET1 CSIM00.2                     ; DIR00フラグをLSBファーストに設定
      CLR1 RXE00                        ; 受信動作停止
      MOV  A, RXB00                     ; 受信データをリード
```

## (3) UARTモードの注意事項

- (a) 送信中にアシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) のビット7 (TXE00) をクリアした場合、次の送信を行う前に必ず送信シフト・レジスタ00 (TXS00) にFFHを設定したのちに、TXE00に1を設定してください。
- (b) 受信中にアシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) のビット6 (RXE00) をクリアした場合、受信バッファ・レジスタ00 (RXB00)、受信完了割り込み (INTSR00) は、次のようになります。



の区間でRXE00に0を設定した場合、RXB00は前のデータを保持し、INTSR00も発生しません。

の区間でRXE00に0を設定した場合、RXB00はデータを更新し、INTSR00は発生しません。

の区間でRXE00に0を設定した場合、RXB00はデータを更新し、INTSR00も発生します。

13. 4. 3 3線式シリアルI/Oモード

3線式シリアルI/Oモードは ,75XLシリーズ ,78Kシリーズ ,17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック ( $\overline{\text{SCK}}$ ) , シリアル出力 (SO) , シリアル入力 (SI) の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアルI/Oモードの設定は , シリアル動作モード・レジスタ00 (CSIM00) , アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00) , ボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) で行います。

(a) シリアル動作モード・レジスタ00 (CSIM00)

CSIM00は , 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により , 00Hになります。

| 略号     | 6      | 5 | 4 | 3 | 2 | 1     | 0      | アドレス | リセット時 | R/W |     |
|--------|--------|---|---|---|---|-------|--------|------|-------|-----|-----|
| CSIM00 | CSIE00 | 0 | 0 | 0 | 0 | DIR00 | CSCK00 | 0    | FF72H | 00H | R/W |

|        |                      |
|--------|----------------------|
| CSIE00 | 3線式シリアルI/Oモード時の動作の制御 |
| 0      | 動作停止                 |
| 1      | 動作許可                 |

|       |          |
|-------|----------|
| DIR00 | 先頭ビットの指定 |
| 0     | MSB      |
| 1     | LSB      |

|        |                        |
|--------|------------------------|
| CSCK00 | 3線式シリアルI/Oモード時のクロックの選択 |
| 0      | SCK端子への外部からの入力クロック     |
| 1      | 専用ボー・レート・ジェネレータの出力     |

**注意** ビット0, 3-6には , 必ず0を設定してください。

## (b) アシクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)

ASIM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

3線式シリアルI/Oモード選択時は、ASIM00に00Hを設定してください。

| 略号     | 5     | 4     | 3     | 2     | 1    | 0    | アドレス | リセット時 | R/W           |
|--------|-------|-------|-------|-------|------|------|------|-------|---------------|
| ASIM00 | TXE00 | RXE00 | PS001 | PS000 | CL00 | SL00 | 0    | 0     | FF70H 00H R/W |

| TXE00 | 送信動作の制御 |
|-------|---------|
| 0     | 送信動作停止  |
| 1     | 送信動作許可  |

| RXE00 | 受信動作の制御 |
|-------|---------|
| 0     | 受信動作停止  |
| 1     | 受信動作許可  |

| PS001 | PS000 | パリティ・ビットの指定                                      |
|-------|-------|--------------------------------------------------|
| 0     | 0     | パリティなし                                           |
| 0     | 1     | 送信時、常に0パリティ付加<br>受信時、パリティの検査をしない(パリティ・エラーを発生しない) |
| 1     | 0     | 奇数パリティ                                           |
| 1     | 1     | 偶数パリティ                                           |

| CL00 | キャラクタ長の指定 |
|------|-----------|
| 0    | 7ビット      |
| 1    | 8ビット      |

| SL00 | 送信データのストップ・ビット長の指定 |
|------|--------------------|
| 0    | 1ビット               |
| 1    | 2ビット               |

注意1. ビット0, 1には、必ず0を設定してください。

2. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

## (c) ボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00)

BRGC00は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

| 略号     | 7      | 6      | 5      | 4      | 3 | 2 | 1 | 0 | アドレス  | リセット時 | R/W |
|--------|--------|--------|--------|--------|---|---|---|---|-------|-------|-----|
| BRGC00 | TPS003 | TPS002 | TPS001 | TPS000 | 0 | 0 | 0 | 0 | FF73H | 00H   | R/W |

| TPS003 | TPS002 | TPS001 | TPS000 | 3ビット・カウンタのソース・クロックの選択  | n |
|--------|--------|--------|--------|------------------------|---|
| 0      | 0      | 0      | 0      | $f_x/2$ ( 2.5 MHz )    | 1 |
| 0      | 0      | 0      | 1      | $f_x/2^2$ ( 1.25 MHz ) | 2 |
| 0      | 0      | 1      | 0      | $f_x/2^3$ ( 625 kHz )  | 3 |
| 0      | 0      | 1      | 1      | $f_x/2^4$ ( 313 kHz )  | 4 |
| 0      | 1      | 0      | 0      | $f_x/2^5$ ( 156 kHz )  | 5 |
| 0      | 1      | 0      | 1      | $f_x/2^6$ ( 78.1 kHz ) | 6 |
| 0      | 1      | 1      | 0      | $f_x/2^7$ ( 39.1 kHz ) | 7 |
| 0      | 1      | 1      | 1      | $f_x/2^8$ ( 19.5 kHz ) | 8 |
| 上記以外   |        |        |        | 設定禁止                   |   |

**注意1.** 通信動作中にBRGC00への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGC00への書き込みを行わないでください。

2.  $f_x = 5.0$  MHz動作時、 $n = 1$ はボー・レートの規格値を越えてしまうため選択しないでください。

**備考1.**  $f_x$  : メイン・システム・クロック発振周波数

2.  $n$  : TPS000-TPS003の設定で決定される上記の表中の値 ( 1  $n$  8 )

3. ( ) 内は、 $f_x = 5.0$  MHz動作時

3線式シリアルI/Oモードのシリアル・クロックに内部クロックを使用する場合、TPS000-TPS003でシリアル・クロック周波数を設定します。シリアル・クロック周波数は、次の式によって求められます。外部からシリアル・クロックを入力する場合はBRGC00の設定は必要ありません。

$$\text{シリアル・クロック周波数} = \frac{f_x}{2^{n+1}} [\text{Hz}]$$

$f_x$  : メイン・システム・クロック発振周波数

$n$  : TPS000-TPS003の設定で決定される上記の表中の値 ( 1  $n$  8 )

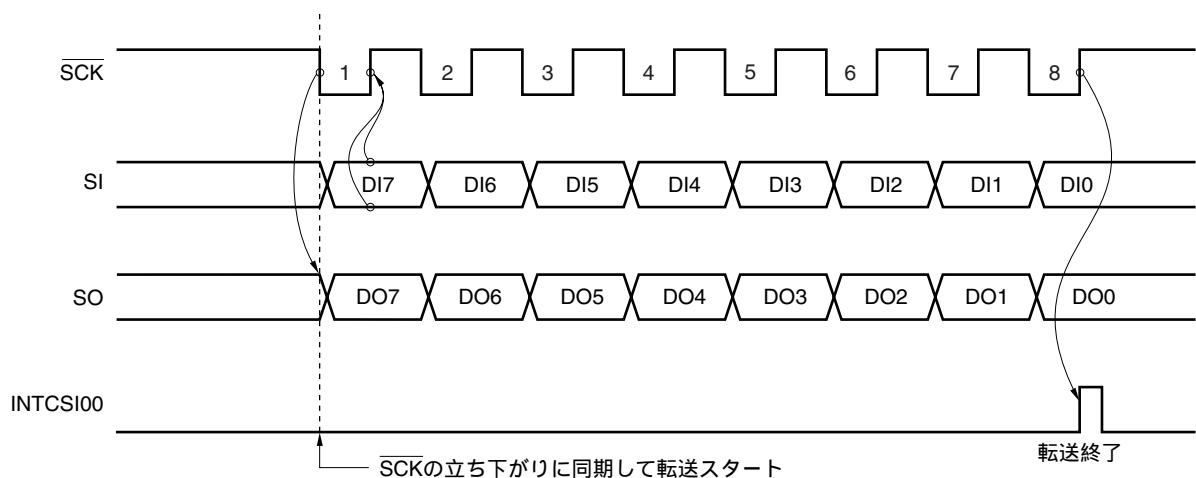
## (2) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

送信シフト・レジスタ00 (TXS00/SIO00)、受信シフト・レジスタ00 (RXS00) のシフト動作は、シリアル・クロック (SCK) の立ち下がりに同期して行われます。そして、送信データがSOラッチに保持され、SO端子から出力されます。また、SCKの立ち上がりで、SI端子に入力された受信データが受信バッファ・レジスタ00 (RXB00/SIO00) にラッチされます。

8ビット転送終了により、TXS00/SIO00、RXS00の動作は自動的に停止し、割り込み要求信号 (INTCSI00) を発生します。

図13 - 11 3線式シリアルI/Oモードのタイミング



## (3) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、送信シフト・レジスタ00 (TXS00/SIO00) に転送データをセットすることで開始します。

- ・シリアル動作モード・レジスタ00 (CSIM00) のビット7 (CSIE00) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはSCKがハイ・レベルの状態

**注意** TXS00/SIO00にデータを書き込んだあと、CSIE00を“1”にしても、転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求信号 (INTCSI00) を発生します。

## 第14章 LCDコントローラ／ドライバ

### 14.1 LCDコントローラ／ドライバの機能

μ PD789407A, 789417Aサブシリーズに内蔵しているLCDコントローラ／ドライバの機能を次に示します。

- (1) 表示データ・メモリの自動読み出しによるセグメント信号とコモン信号の自動出力が可能。
- (2) 5種類の表示モードが選択可能。
  - ・スタティック
  - ・1/2デューティ (1/2バイアス)
  - ・1/3デューティ (1/2バイアス)
  - ・1/3デューティ (1/3バイアス)
  - ・1/4デューティ (1/3バイアス)
- (3) 各表示モードにおいて、4種類のフレーム周波数を選択可能。
- (4) セグメント信号出力は最大28本 (S0-S27)、コモン信号出力は4本 (COM0-COM3)。  
セグメント信号出力のうち12本は、2本単位で入出力ポートに切り替え可能 (P80/S27-P87/S20, P90/S19-P93/S16)。
- (5) マスク・オプションによりLCD駆動電圧発生用の分割抵抗の内蔵可能。
- (6) サブシステム・クロックによる動作も可能。

各表示モードにおける表示可能な最大画素数を表14 - 1に示します。

表14 - 1 最大表示画素数

| バイアス法 | 時分割    | 使用コモン信号          | 最大表示画素数                          |
|-------|--------|------------------|----------------------------------|
| -     | スタティック | COM0 (COM1-COM3) | 28 (28セグメント×1コモン) <sup>注1</sup>  |
| 1/2   | 2      | COM0, COM1       | 56 (28セグメント×2コモン) <sup>注2</sup>  |
|       | 3      | COM0-COM2        | 84 (28セグメント×3コモン) <sup>注3</sup>  |
| 1/3   | 3      | COM0-COM2        | 112 (28セグメント×4コモン) <sup>注4</sup> |
|       | 4      | COM0-COM3        |                                  |

注1. ㇏形のLCDパネルで8セグメント／桁のものの3桁

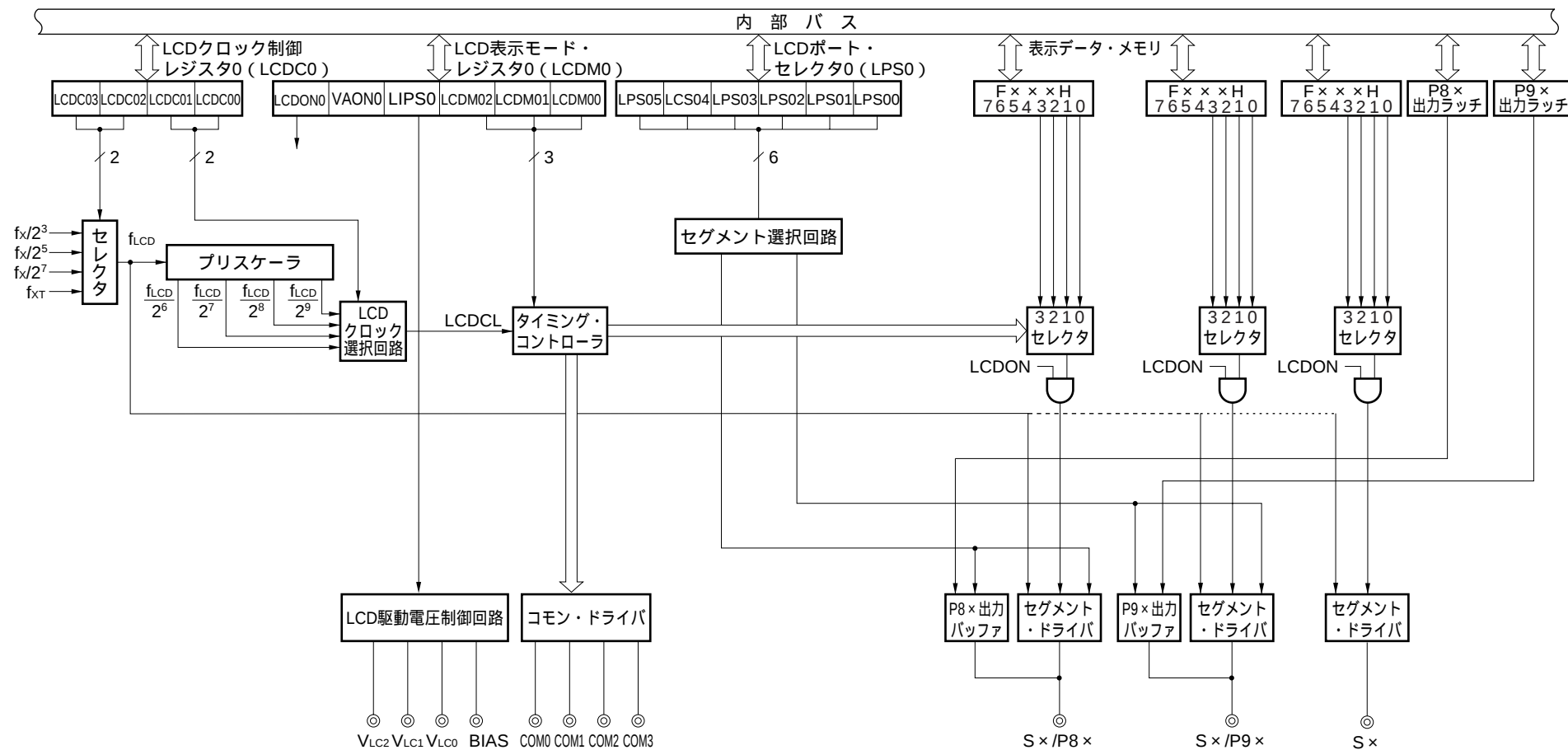
2. ㇏形のLCDパネルで4セグメント／桁のものの7桁

3. ㇏形のLCDパネルで3セグメント／桁のものの9桁

4. ㇏形のLCDパネルで2セグメント／桁のものの14桁



図14 - 1 LCDコントローラ / ドライバのブロック図



## 14.3 LCDコントローラ/ドライバを制御するレジスタ

LCDコントローラ/ドライバは、次の3種類のレジスタで制御します。

- ・LCD表示モード・レジスタ0 (LCDM0)
- ・LCDポート・セクタ0 (LPS0)
- ・LCDクロック制御レジスタ0 (LCDC0)

### (1) LCD表示モード・レジスタ0 (LCDM0)

表示動作の許可/禁止, 動作モード, LCD駆動用電源, 表示モードを設定するレジスタです。

LCDM0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図14 - 2 LCD表示モード・レジスタ0のフォーマット

| 略号    | 7      | 6     | 5 | 4     | 3 | 2      | 1      | 0      | アドレス  | リセット時 | R/W |
|-------|--------|-------|---|-------|---|--------|--------|--------|-------|-------|-----|
| LCDM0 | LCDON0 | VAON0 | 0 | LIPS0 | 0 | LCDM02 | LCDM01 | LCDM00 | FFB0H | 00H   | R/W |

| LCDON0 | LCD表示の許可/禁止               |
|--------|---------------------------|
| 0      | 表示オフ (セグメント出力はすべて非選択信号出力) |
| 1      | 表示オン                      |

| VAON0 | LCDコントローラ/ドライバの動作モード <sup>注</sup> |
|-------|-----------------------------------|
| 0     | 通常動作                              |
| 1     | 低電圧動作                             |

| LIPS0 | LCD駆動用電源の供給          |
|-------|----------------------|
| 0     | LCD駆動用電源を供給しない       |
| 1     | BIAS端子にLCD駆動用電源を供給する |

| LCDM02 | LCDM01 | LCDM00 | LCDコントローラ/ドライバの表示モードの選択 |       |
|--------|--------|--------|-------------------------|-------|
|        |        |        | 時分割数                    | バイアス法 |
| 0      | 0      | 0      | 4                       | 1/3   |
| 0      | 0      | 1      | 3                       | 1/3   |
| 0      | 1      | 0      | 2                       | 1/2   |
| 0      | 1      | 1      | 3                       | 1/2   |
| 1      | 0      | 0      | スタティック                  |       |
| 上記以外   |        |        | 設定禁止                    |       |

**注** LCD表示を行わないとき, 消費電力を低減させるため, VAON0に0, LIPS0に0を設定してください。

**注意** VAON0を操作する場合, 必ずLIPS0に0, LCDON0に0を設定し, LCD表示をオフにしてから行ってください。

## (2) LCDポート・セクタ0 (LPS0)

ポートとセグメント信号出力の切り替えを制御するレジスタです。

LPS0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図14 - 3 LCDポート・セクタ0のフォーマット

| 略号   | 7 | 6 | 5     | 4     | 3     | 2     | 1     | 0     | アドレス  | リセット時 | R/W |
|------|---|---|-------|-------|-------|-------|-------|-------|-------|-------|-----|
| LPS0 | 0 | 0 | LPS05 | LPS04 | LPS03 | LPS02 | LPS01 | LPS00 | FFB1H | 00H   | R/W |

|   | LPS05            | LPS04            | LPS03            | LPS02            | LPS01            | LPS00            |
|---|------------------|------------------|------------------|------------------|------------------|------------------|
|   | P93/S16, P92/S17 | P91/S18, P90/S19 | P87/S20, P86/S21 | P85/S22, P84/S23 | P83/S24, P82/S25 | P81/S26, P80/S27 |
| 0 | ポート (Pmn) として使用  |                  |                  |                  |                  |                  |
| 1 | セグメント (Sx) として使用 |                  |                  |                  |                  |                  |

注意1. ビット6, 7には必ず0を設定してください。

2. セグメントとして使用する場合, 必ずセグメント値の小さい方から連続して(LPS05→LPS04→...→LPS00) 使用してください。

備考 m = 8      n = 0-7

m = 9      n = 0-3

x = 16-27

## (3) LCDクロック制御レジスタ0 (LCDC0)

LCDソース・クロック，LCDクロックを設定するレジスタです。

LCDクロックと時分割数で，フレーム周波数が決まります。

LCDC0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により，00Hになります。

図14 - 4 LCDクロック制御レジスタ0のフォーマット

| 略号    | 7 | 6 | 5 | 4 | 3      | 2      | 1      | 0      | アドレス  | リセット時 | R/W |
|-------|---|---|---|---|--------|--------|--------|--------|-------|-------|-----|
| LCDC0 | 0 | 0 | 0 | 0 | LCDC03 | LCDC02 | LCDC01 | LCDC00 | FFB2H | 00H   | R/W |

| LCDC03 | LCDC02 | LCDソース・クロック周波数 ( $f_{LCD}$ ) の選択 <sup>注</sup> |
|--------|--------|-----------------------------------------------|
| 0      | 0      | $f_x/2^7$ (39.1 kHz)                          |
| 0      | 1      | $f_{XT}$ (32.768 kHz)                         |
| 1      | 0      | $f_x/2^5$ (156.3 kHz)                         |
| 1      | 1      | $f_x/2^3$ (625 kHz)                           |

| LCDC01 | LCDC00 | LCDクロック (LCDCL) 周波数の選択 |
|--------|--------|------------------------|
| 0      | 0      | $f_{LCD}/2^6$          |
| 0      | 1      | $f_{LCD}/2^7$          |
| 1      | 0      | $f_{LCD}/2^8$          |
| 1      | 1      | $f_{LCD}/2^9$          |

注 LCDソース・クロック ( $f_{LCD}$ ) には，32 kHz以上のクロックを設定してください。

備考1.  $f_x$  : メイン・システム・クロック発振周波数

2.  $f_{XT}$  : サブシステム・クロック発振周波数

3. ( ) 内は， $f_x = 5.0$  MHzまたは32.768 kHz動作時

例として，LCDソース・クロック ( $f_{LCD}$ ) に $f_{XT}$  (32.768 kHz) をつないだときのフレーム周波数を表14 - 3に示します。

表14 - 3 フレーム周波数 (Hz)

| LCDクロック (LCDCL) 周波数<br>時分割数 | $f_{XT}/2^9$<br>(64 Hz) | $f_{XT}/2^8$<br>(128 Hz) | $f_{XT}/2^7$<br>(256 Hz) | $f_{XT}/2^6$<br>(512 Hz) |
|-----------------------------|-------------------------|--------------------------|--------------------------|--------------------------|
| スタティック                      | 64                      | 128                      | 256                      | 512                      |
| 2                           | 32                      | 64                       | 128                      | 256                      |
| 3                           | 21                      | 43                       | 85                       | 171                      |
| 4                           | 16                      | 32                       | 64                       | 128                      |

## 14.4 LCDコントローラ/ドライバの設定

LCDコントローラ/ドライバの設定は、次のように行ってください。

LCD表示データ・メモリ (FA00H-FA1BH) に初期値を設定する。

LCDポート・セクタ0 (LPS0) にセグメント出力として使用する端子を設定する。

LCD表示モード・レジスタ0 (LCDM0) に表示モード、動作モードを設定する。

LCDクロック制御レジスタ0 (LCDC0) にLCDクロックを設定する。

以後、表示内容に応じてデータ・メモリにデータを設定してください。

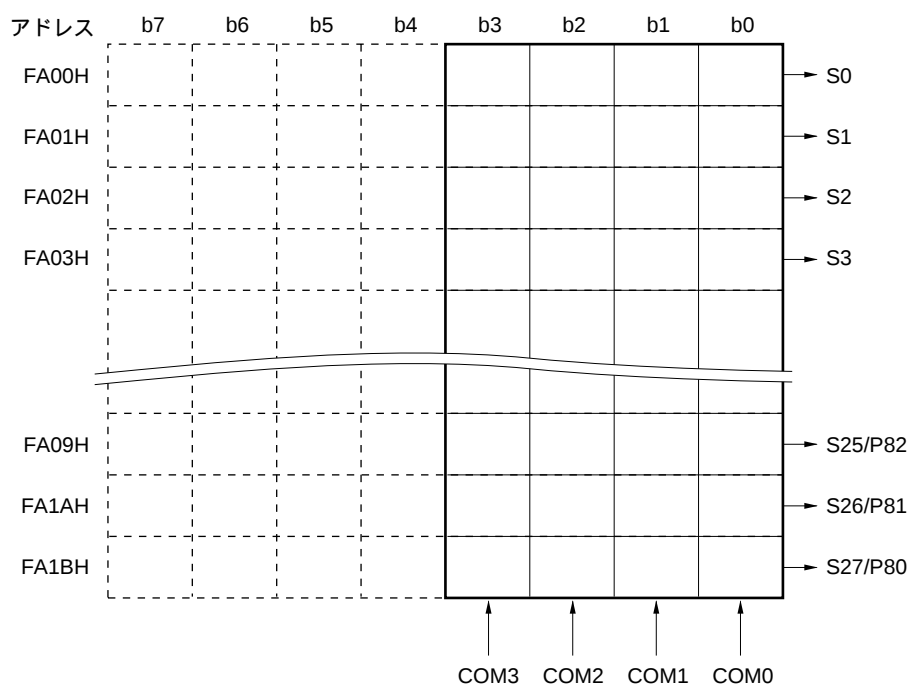
## 14.5 LCD表示データ・メモリ

LCD表示データ・メモリは、FA00H-FA1BH番地にマッピングしています。LCD表示データ・メモリに格納したデータは、LCDコントローラ/ドライバによりLCDパネルに表示することができます。

図14 - 5にLCD表示データ・メモリの内容とセグメント出力/コモン出力の関係を示します。

また、表示に使用しない領域は、通常のRAMとして使用できます。

図14 - 5 LCD表示データ・メモリの内容とセグメント出力/コモン出力の関係



**注意** LCD表示データ・メモリの上位4ビットはメモリを内蔵していません。必ず0を設定してください。

## 14.6 コモン信号とセグメント信号

LCDパネルの各画素は、それに対応するコモン信号とセグメント信号の電位差が一定電圧（LCD駆動電圧 $V_{LCD}$ ）以上になると点灯します。 $V_{LCD}$ 以下の電位差になると消灯します。

LCDパネルは、コモン信号とセグメント信号にDC電圧が加えられると劣化するため、AC電圧によって駆動されます。

### （1）コモン信号

コモン信号は、設定する時分割数に応じて表14 - 4に示す順序で選択タイミングとなり、それらを一周期として繰り返し動作を行います。スタティック・モードの場合はCOM0-COM3に同一信号が出力されます。

なお、2時分割の場合のCOM2、COM3端子および3時分割の場合のCOM3端子は、オープンにして使用してください。

表14 - 4 COM信号

| COM信号<br>時分割数 | COM0 | COM1 | COM2 | COM3 |
|---------------|------|------|------|------|
| スタティック        |      |      |      |      |
| 2 時分割         |      |      | オープン | オープン |
| 3 時分割         |      |      |      | オープン |
| 4 時分割         |      |      |      |      |

### （2）セグメント信号

セグメント信号は、28バイトのLCD表示データ・メモリ（FA00H-FA1BH）に対応しており、各表示データ・メモリのビット0がCOM0、ビット1がCOM1、ビット2がCOM2、ビット3がCOM3の各タイミングに同期して読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子（S0-S27）に出力されます（ただし、S16-S27は入出力ポートと兼用になっています）。

以上のことから、LCD表示データ・メモリには使用するLCDパネルの前面電極（セグメント信号に対応）と背面電極（コモン信号に対応）がどのような組み合わせで表示パターンを形成するのかを確認のうえ、表示したいパターンに1対1に対応するビット・データを書き込むようにしてください。

また、スタティック方式の場合のLCD表示データ・メモリのビット1、2、2時分割方式の場合のビット2、3、3時分割方式の場合のビット3はLCD表示に使用しませんので、表示以外の目的に使用できます。

なお、ビット4-7は0固定となっています。

## (3) コモン信号とセグメント信号の出力波形

コモン信号とセグメント信号には表14 - 5に示す電圧が出力されます。

コモン信号およびセグメント信号がともに選択電圧になったときのみ $\pm V_{LCD}$ の点灯電圧となり、それ以外の組み合わせでは消灯電圧となります。

表14 - 5 LCD駆動電圧

## (a) スタティック表示モード

| セグメント信号           |  | 選択信号レベル             | 非選択信号レベル          |
|-------------------|--|---------------------|-------------------|
| コモン信号             |  | $V_{SS0}/V_{LC0}$   | $V_{LC0}/V_{SS0}$ |
| $V_{LC0}/V_{SS0}$ |  | $-V_{LCD}/+V_{LCD}$ | 0 V/0 V           |

## (b) 1/2バイアス法

| セグメント信号  |                     | 選択信号レベル                                   | 非選択信号レベル                                  |
|----------|---------------------|-------------------------------------------|-------------------------------------------|
| コモン信号    |                     | $V_{SS0}/V_{LC0}$                         | $V_{LC0}/V_{SS0}$                         |
| 選択信号レベル  | $V_{LC0}/V_{SS0}$   | $-V_{LCD}/+V_{LCD}$                       | 0 V/0 V                                   |
| 非選択信号レベル | $V_{LC1} = V_{LC2}$ | $-\frac{1}{2}V_{LCD}/+\frac{1}{2}V_{LCD}$ | $+\frac{1}{2}V_{LCD}/-\frac{1}{2}V_{LCD}$ |

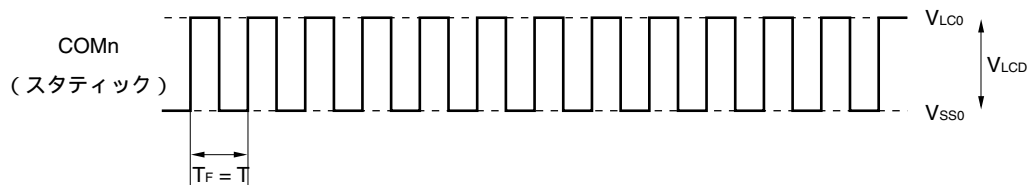
## (c) 1/3バイアス法

| セグメント信号  |                   | 選択信号レベル                                   | 非選択信号レベル                                  |
|----------|-------------------|-------------------------------------------|-------------------------------------------|
| コモン信号    |                   | $V_{SS0}/V_{LC0}$                         | $V_{LC1}/V_{LC2}$                         |
| 選択信号レベル  | $V_{LC0}/V_{SS0}$ | $-V_{LCD}/+V_{LCD}$                       | $-\frac{1}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$ |
| 非選択信号レベル | $V_{LC2}/V_{LC1}$ | $-\frac{1}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$ | $-\frac{1}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$ |

図14 - 6にコモン信号波形を，図14 - 7にコモン信号とセグメント信号の電圧と位相を示します。

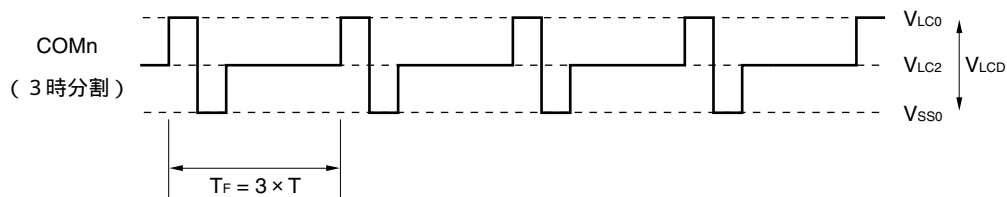
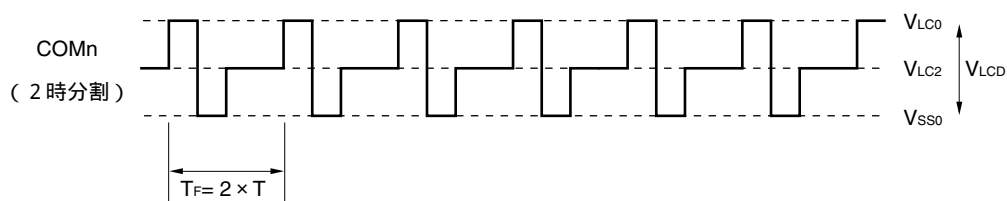
図14 - 6 コモン信号波形

(a) スタティック表示モード



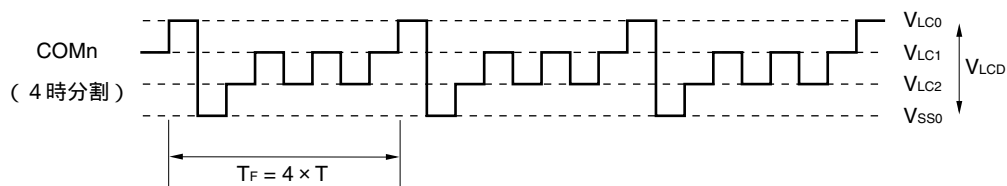
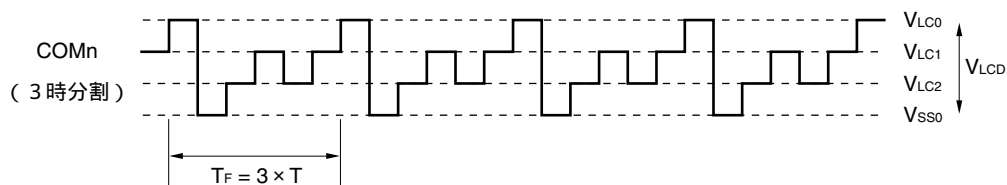
T : LCDクロックの1周期分       $T_F$  : フレーム周波数

(b) 1/2バイアス法



T : LCDクロックの1周期分       $T_F$  : フレーム周波数

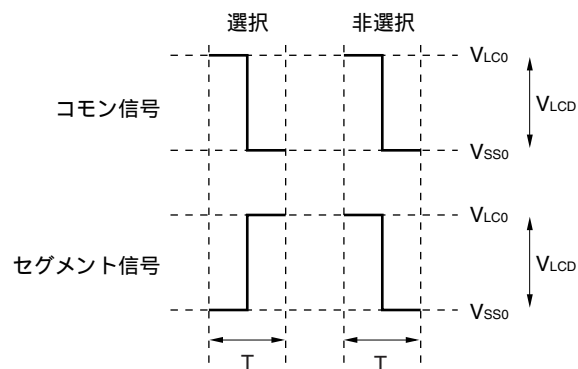
(c) 1/3バイアス法



T : LCDクロックの1周期分       $T_F$  : フレーム周波数

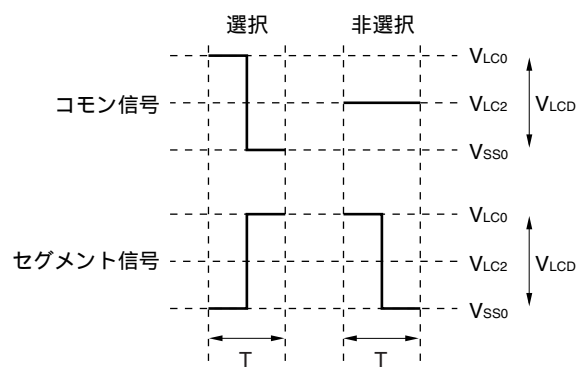
図14 - 7 コモン信号とセグメント信号の電圧と位相

## (a) スタティック表示モード



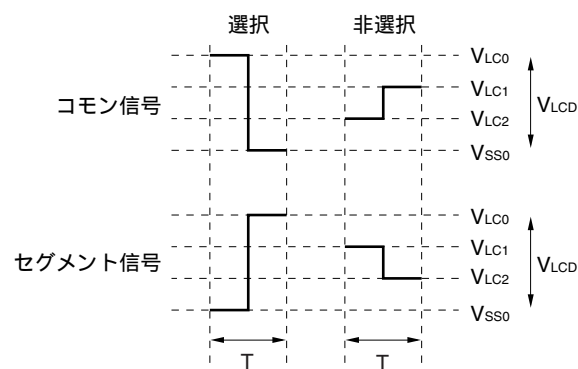
T : LCDクロックの1周期分

## (b) 1/2バイアス法



T : LCDクロックの1周期分

## (c) 1/3バイアス法



T : LCDクロックの1周期分

## 14.7 LCD駆動電圧 $V_{LC0}$ , $V_{LC1}$ , $V_{LC2}$ の供給

マスクROM製品は、LCD駆動用電源を作るための分割抵抗を、マスク・オプションにより内蔵することができます（ $\mu$ PD78F9418Aには、分割抵抗を内蔵していません）。分割抵抗を内蔵することにより、外付け分割抵抗なしで表14 - 6に示す各バイアス法に応じたLCD駆動電圧を作ることができます。

また、各種LCD駆動電圧に対応するために、BIAS端子にLCD駆動電圧を供給することができます。

表14 - 6 LCD駆動電圧（分割抵抗内蔵時）

| LCD駆動用電源端子 \ バイアス法 | バイアスなし<br>（スタティック）    | 1/2バイアス法                | 1/3バイアス法              |
|--------------------|-----------------------|-------------------------|-----------------------|
| $V_{LC0}$          | $V_{LCD}$             | $V_{LCD}$               | $V_{LCD}$             |
| $V_{LC1}$          | $\frac{2}{3} V_{LCD}$ | $\frac{1}{2} V_{LCD}$ 注 | $\frac{2}{3} V_{LCD}$ |
| $V_{LC2}$          | $\frac{1}{3} V_{LCD}$ |                         | $\frac{1}{3} V_{LCD}$ |

注 1/2バイアス法有的时候には、 $V_{LC1}$ 端子と $V_{LC2}$ 端子を外部で接続する必要があります。

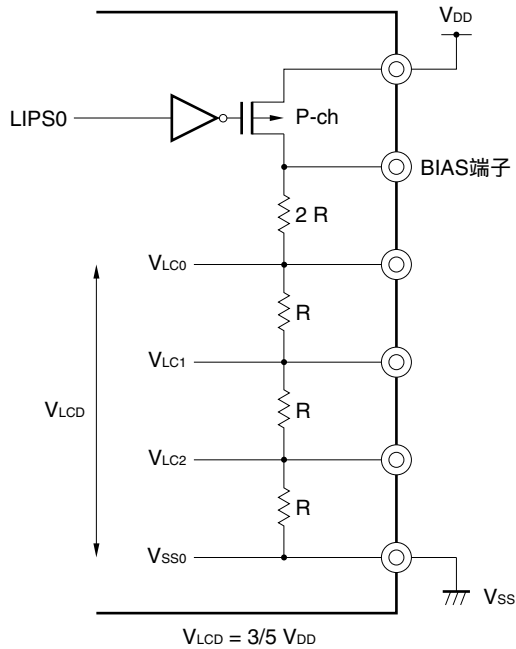
備考1. BIAS端子と $V_{LC0}$ 端子の開放時は、 $V_{LCD} = \frac{3}{5} V_{DD}$ となります（分割抵抗内蔵時）。

2. BIAS端子と $V_{LC0}$ 端子の結線時は、 $V_{LCD} = V_{DD}$ となります。

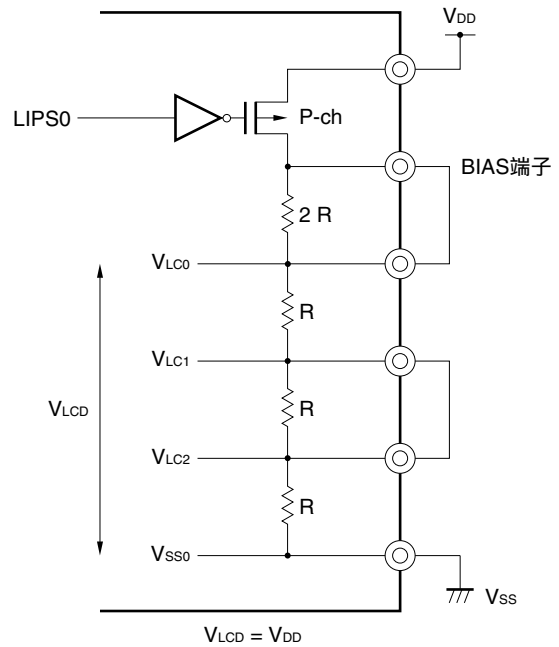
表14 - 6に従った内部からのLCD駆動電圧の供給例を図14 - 8に示します。

図14 - 8 LCD駆動用電源の接続例 (分割抵抗内蔵時)

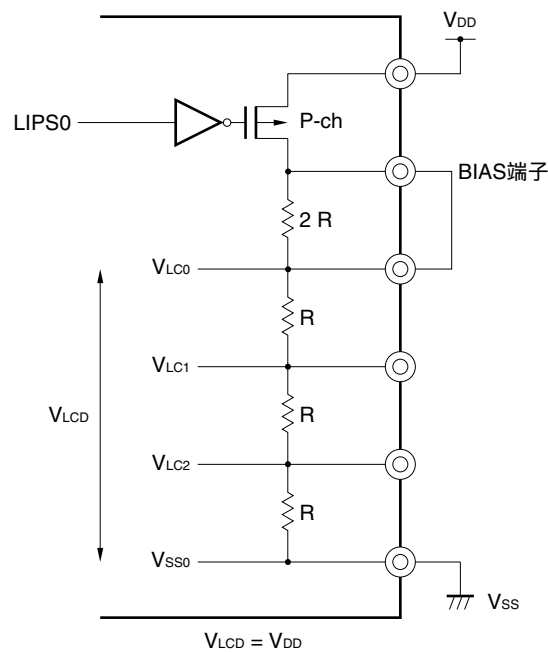
(a) 1/3バイアス法およびスタティック表示モード

(V<sub>DD</sub> = 5V, V<sub>LCD</sub> = 3Vの例)

(b) 1/2バイアス法

(V<sub>DD</sub> = 5V, V<sub>LCD</sub> = 5Vの例)

(c) 1/3バイアス法およびスタティック表示モード

(V<sub>DD</sub> = 5V, V<sub>LCD</sub> = 5Vの例)

LIPS0 : LCD表示モード・レジスタ0 (LCDM0) のビット4

## 14.8 表示モード

### 14.8.1 スタティック表示例

図14 - 10は、図14 - 9の表示パターンを持つスタティック方式の3桁のLCDパネルと $\mu$ PD789407A, 789417A サブシリーズのセグメント信号 (S0-S23) およびコモン信号 (COM0) との接続を示します。表示例は12.3で、表示データ・メモリ (FA00H-FA17H番地) の内容はこれに対応しています。

ここでは2桁目の2. (2.) を例にとって説明します。図14 - 9の表示パターンに従って、COM0のコモン信号のタイミングで表14 - 7に示すような選択、非選択電圧をS8-S15端子に出力する必要があります。

表14 - 7 選択、非選択電圧 (COM0)

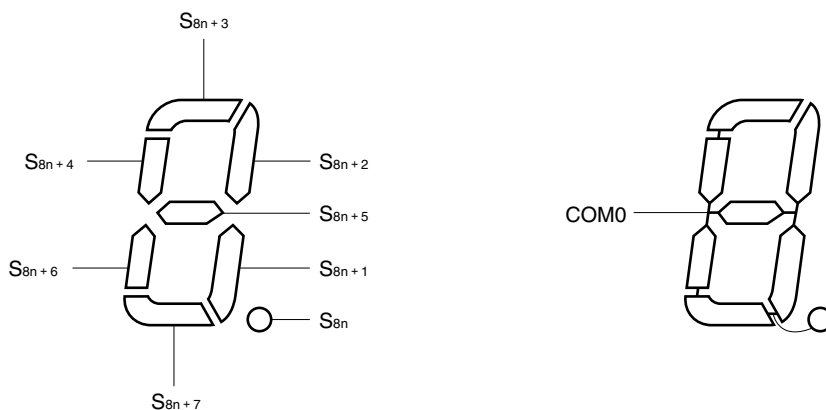
| セグメント<br>コモン | S8 | S9 | S10 | S11 | S12 | S13 | S14 | S15 |
|--------------|----|----|-----|-----|-----|-----|-----|-----|
| COM0         | 選  | 非  | 選   | 選   | 非   | 選   | 選   | 選   |

これによりS8-S15に対応する表示データ・メモリ (FA08H-FA0FH番地) のビット0には、10110111を用意すればよいことが分かります。

S11, S12とCOM0とのLCD駆動波形を図14 - 11に示します。COM0との選択タイミングでS11が選択電圧になるときに、LCD点灯レベルである  $+V_{LCD}/-V_{LCD}$  の交流矩形波が発生することが分かります。

COM1-COM3にはCOM0と同じ波形が出力されますので、COM0-COM3を接続してドライブ能力を上げることができます。

図14 - 9 スタティックLCDの表示パターンと電極結線



備考 n = 0-2

図14 - 10 スタティックLCDパネルの結線例

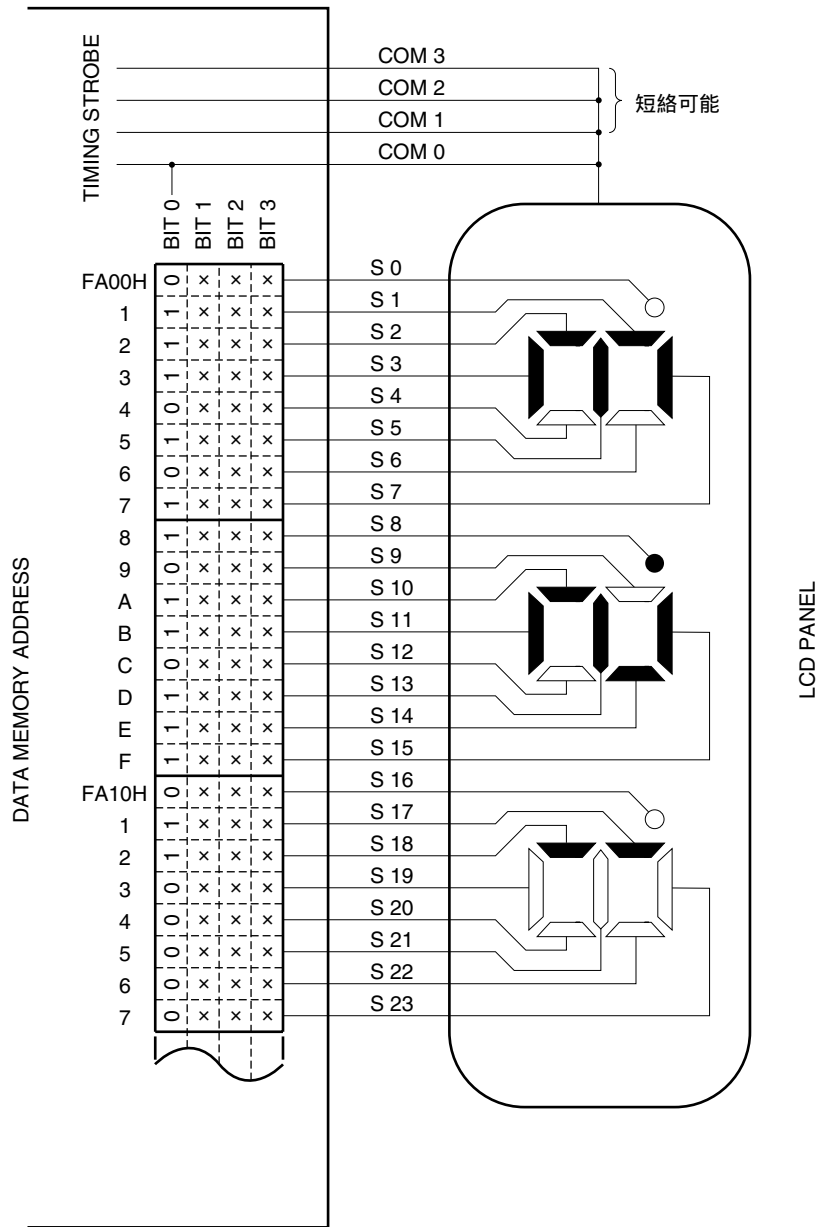
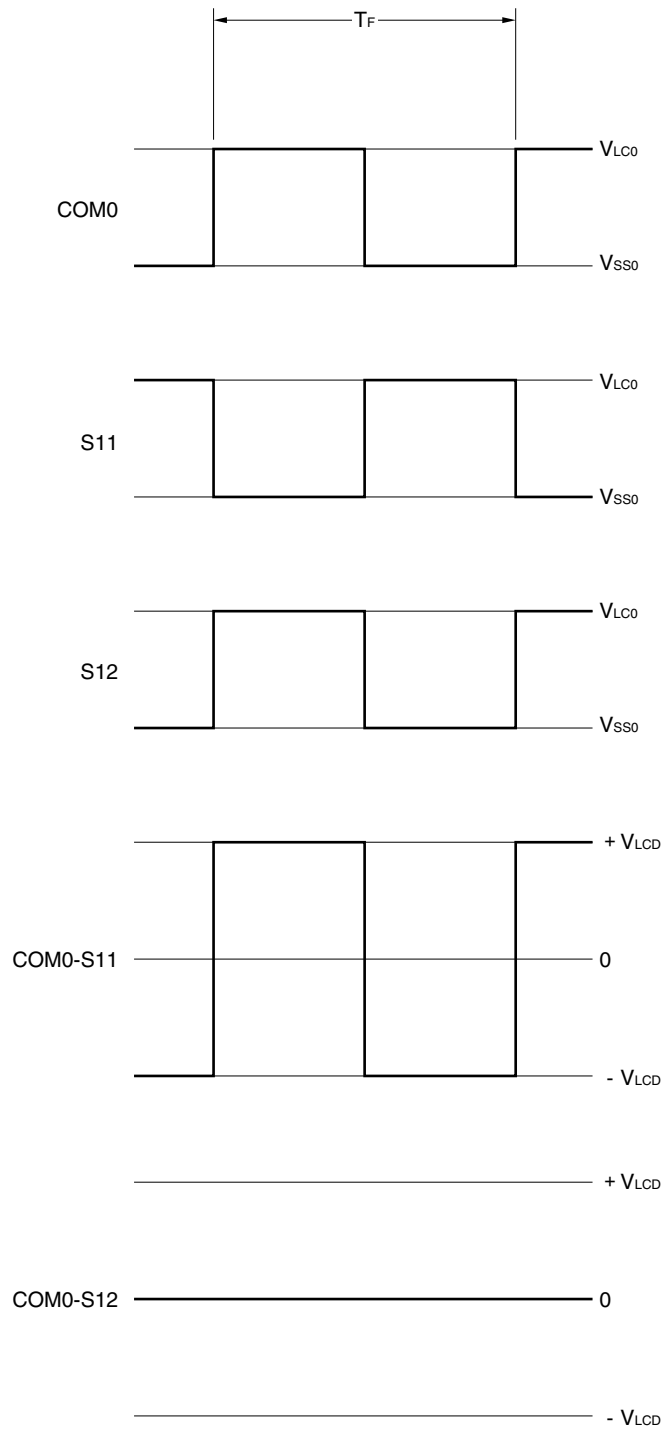


図14 - 11 スタティックLCD駆動波形例



### 14. 8. 2 2時分割表示例

図14 - 13は、図14 - 12の表示パターンを持つ2時分割方式の7桁LCDパネルと $\mu$ PD789407A, 789417Aサブシリーズのセグメント信号(S0-S27)およびコモン信号(COM0, COM1)との接続を示します。表示例は123456.7で、表示データ・メモリ(FA00H-FA1BH番地)の内容はそれらに対応しています。

ここでは5桁目の3(ヨ)を例にとって説明します。図14 - 12の表示パターンに従って、COM0, COM1の各コモン信号のタイミングで表14 - 8に示すような選択、非選択電圧をS16-S19端子に出力する必要があります。

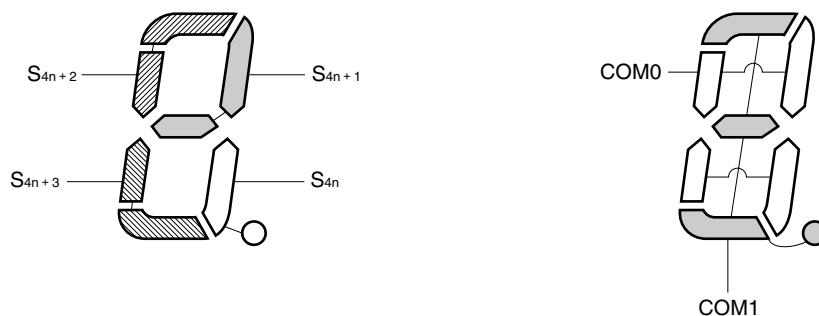
表14 - 8 選択、非選択電圧(COM0, COM1)

| セグメント<br>コモン | S16 | S17 | S18 | S19 |
|--------------|-----|-----|-----|-----|
| COM0         | 選   | 選   | 非   | 非   |
| COM1         | 非   | 選   | 選   | 選   |

これにより、たとえばS19に対応する表示データ・メモリ(FA13H番地)には、 $\times \times 10$ を用意すればよいことが分かります。

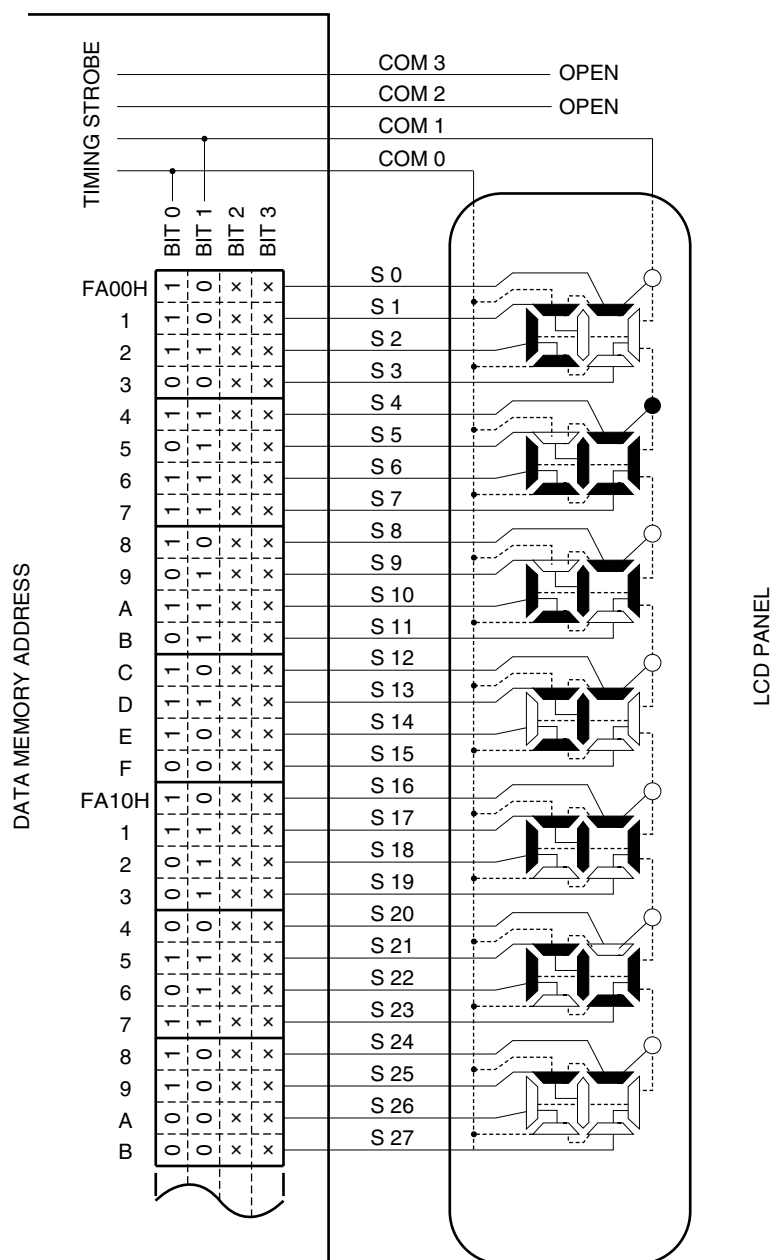
S19と各コモン信号間のLCD駆動波形例を図14 - 14に示します。COM1の選択タイミングでS19が選択電圧のときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

図14 - 12 2時分割LCD表示パターンと電極結線



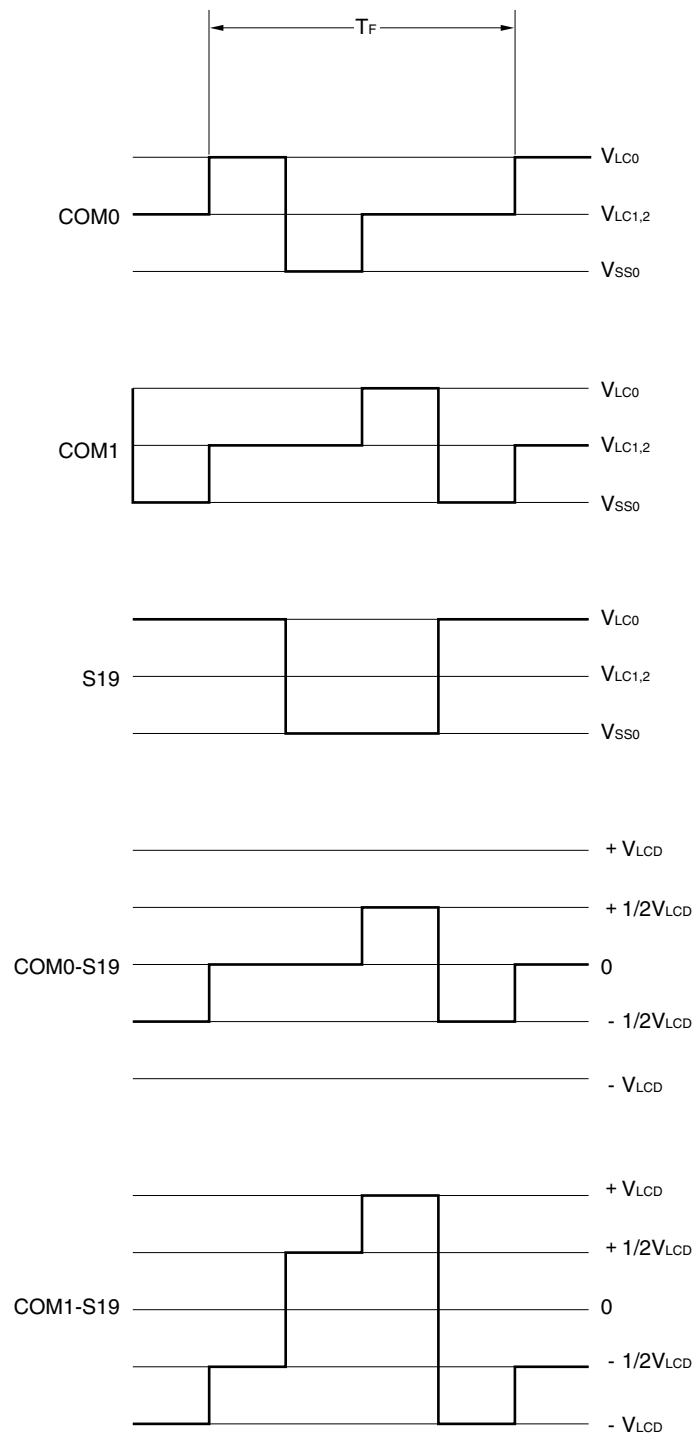
備考 n = 0-6

図14 - 13 2時分割LCDパネルの結線例



×：2時分割表示のため，常に任意のデータをストア可能です。

図14 - 14 2時分割LCD駆動波形例（1/2バイアス法）



## 14. 8. 3 3時分割表示例

図14 - 16は、図14 - 15の表示パターンを持つ3時分割方式の9桁LCDパネルと $\mu$ PD789407A, 789417Aサブシリーズのセグメント信号(S0-S26)およびコモン信号(COM0-COM2)との接続を示します。表示例は123456.789で、表示データ・メモリ(FA00H-FA1AH番地)の内容はこれに対応しています。

ここでは4桁目の6.( $\bar{6}$ )を例にとって説明します。図14 - 15の表示パターンに従って、COM0-COM2の各コモン信号のタイミングで表14 - 9に示すような選択、非選択電圧をS9-S11端子に出力する必要があります。

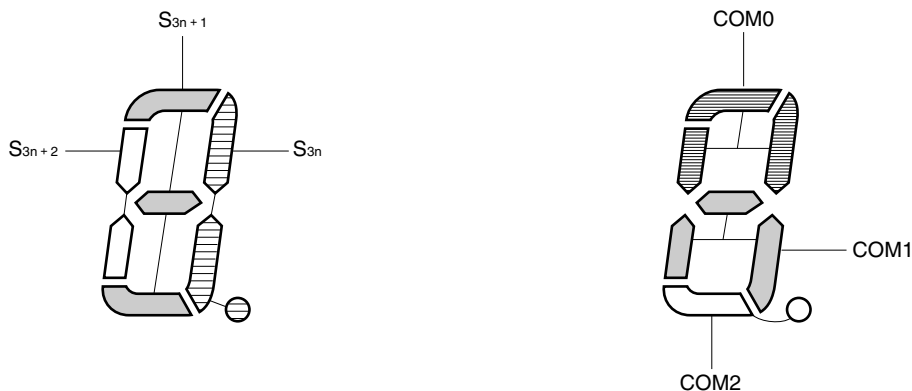
表14 - 9 選択、非選択電圧(COM0-COM2)

| セグメント<br>コモン | S9 | S10 | S11 |
|--------------|----|-----|-----|
| COM0         | 非  | 選   | 選   |
| COM1         | 選  | 選   | 選   |
| COM2         | 選  | 選   | —   |

これによりS9に対応する表示データ・メモリ(FA09H番地)には、 $\times 110$ を用意すればよいことが分かります。

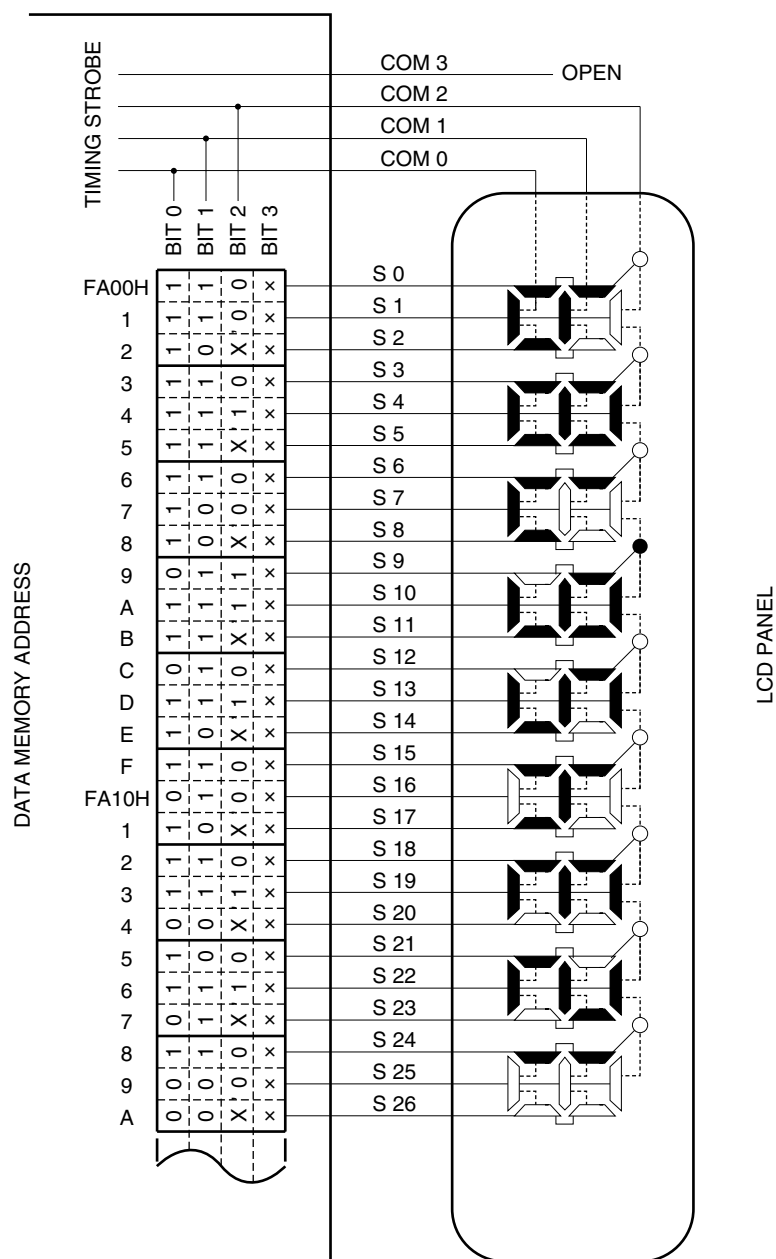
S9と各コモン信号間のLCD駆動波形例を図14 - 17(1/2バイアス法)、図14 - 18(1/3バイアス法)に示します。COM1の選択タイミングでS9が選択電圧のとき、およびCOM2の選択タイミングでS9が選択電圧のときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

図14 - 15 3時分割LCD表示パターンと電極結線



備考  $n = 0-8$

図14 - 16 3時分割LCDパネルの結線例



X' : LCDパネルに対応セグメントがないため任意のデータをストア可能です。

x : 3時分割表示のため、常に任意のデータをストア可能です。

図14 - 17 3時分割LCD駆動波形例 (1/2バイアス法)

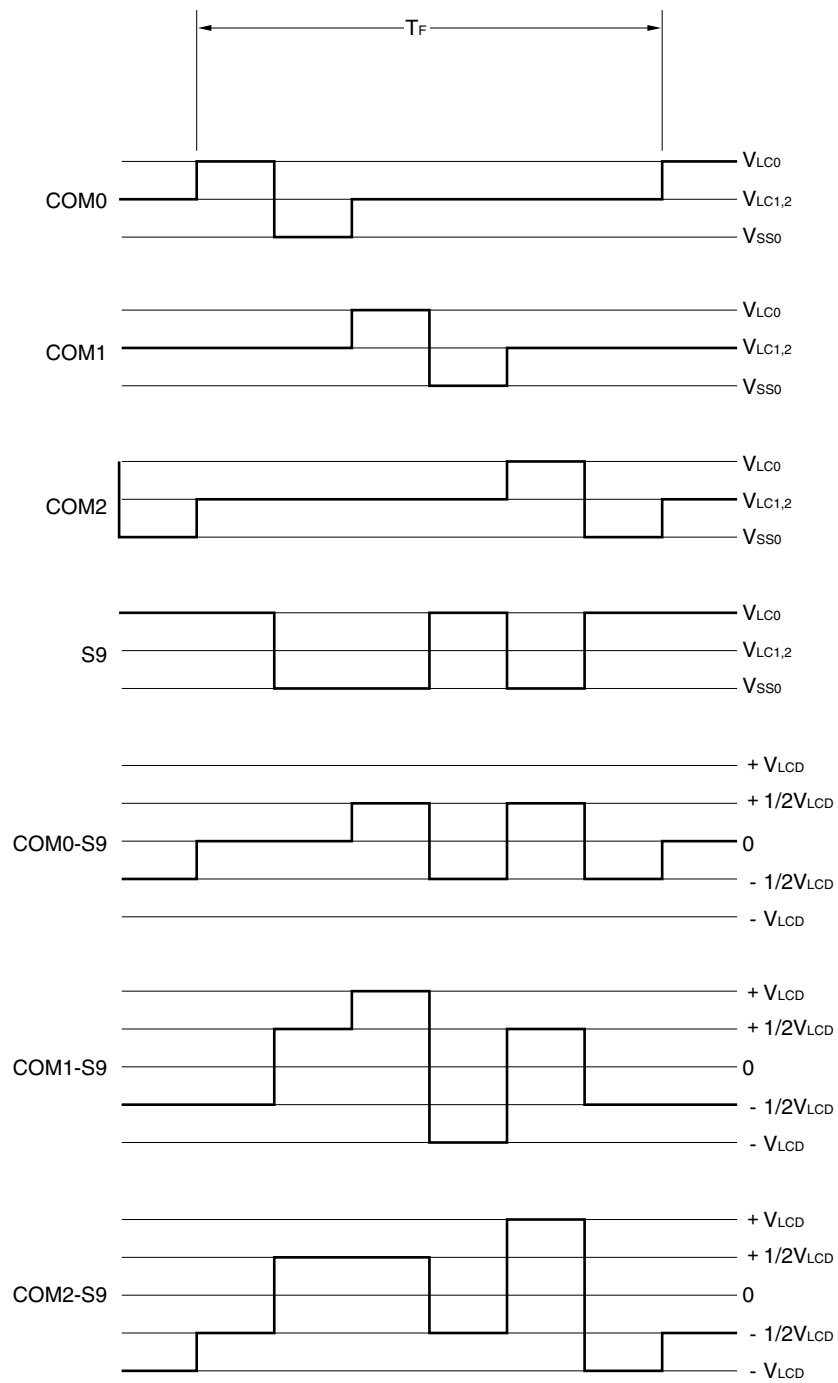
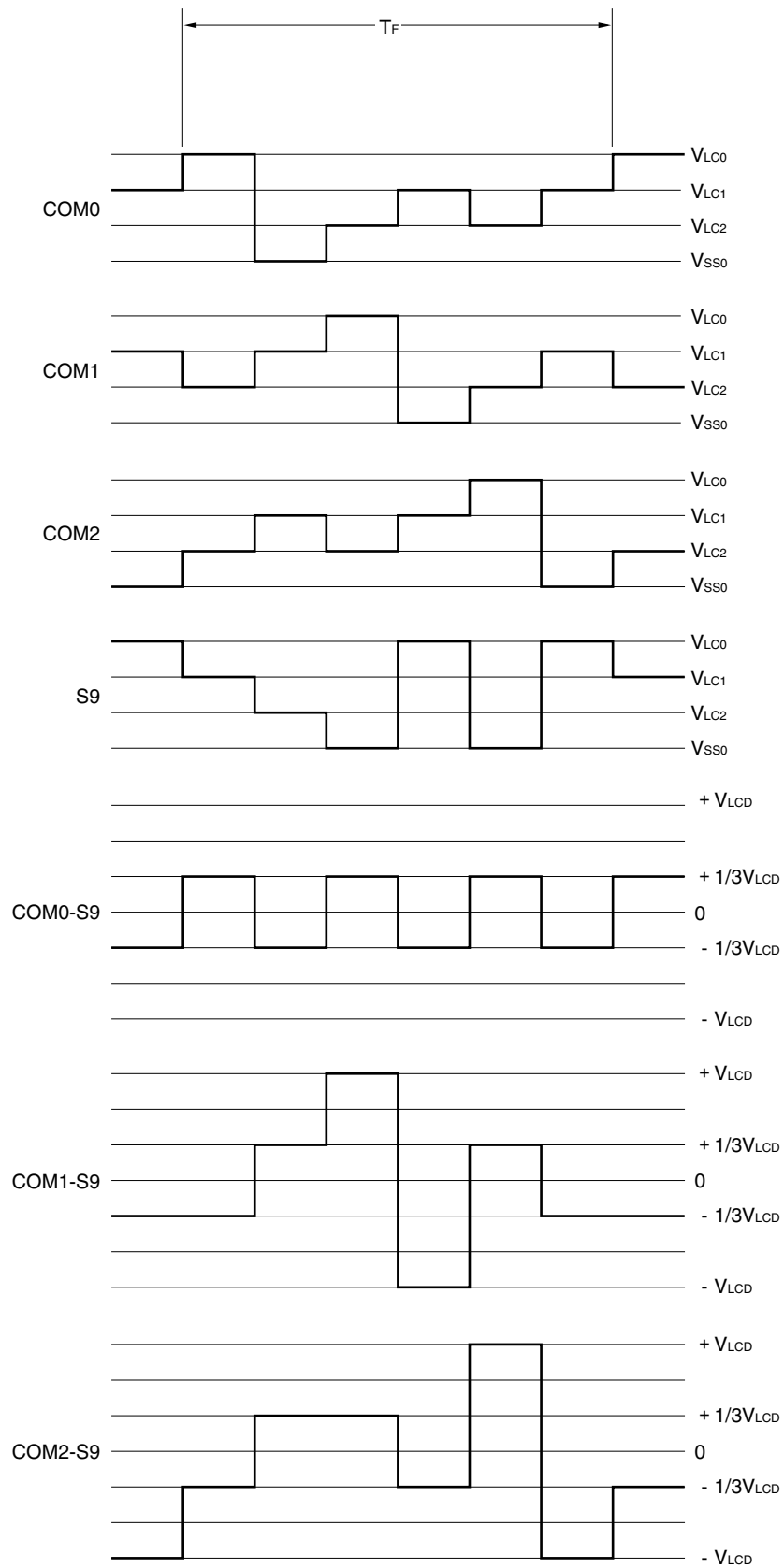


図14 - 18 3時分割LCD駆動波形例 (1/3バイアス法)



## 14. 8. 4 4時分割表示例

図14 - 20は、図14 - 19の表示パターンを持つ4時分割方式の14桁LCDパネルと $\mu$ PD789407A, 789417Aサブシリーズのセグメント信号（S0-S27）およびコモン信号（COM0-COM3）との接続を示します。表示例は123456.78901234で、表示データ・メモリ（FA00H-FA1BH番地）の内容はこれに対応しています。

ここでは9桁目の6. ( 6. ) を例にとって説明します。図14 - 19の表示パターンに従って、COM0-COM3の各コモン信号のタイミングで表14 - 10に示すような選択、非選択電圧をS16, S17端子に出力する必要があります。

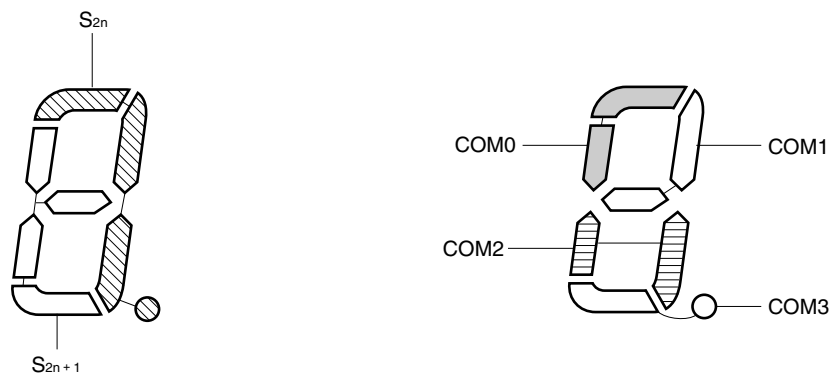
表14 - 10 選択、非選択電圧（COM0-COM3）

| セグメント<br>コモン | S16 | S17 |
|--------------|-----|-----|
| COM0         | 選   | 選   |
| COM1         | 非   | 選   |
| COM2         | 選   | 選   |
| COM3         | 選   | 選   |

これによりS16に対応する表示データ・メモリ（FA16H番地）には、1101を用意すればよいことが分かります。

S16と各コモン信号間のLCD駆動波形例を図14 - 21に示します。COM0の選択タイミングでS16が選択電圧になるときに、LCD点灯レベルである  $+V_{LCD}/-V_{LCD}$  の交流矩形波が発生することが分かります。

図14 - 19 4時分割LCD表示パターンと電極結線



備考  $n = 0-13$

図14 - 20 4時分割LCDパネルの結線例

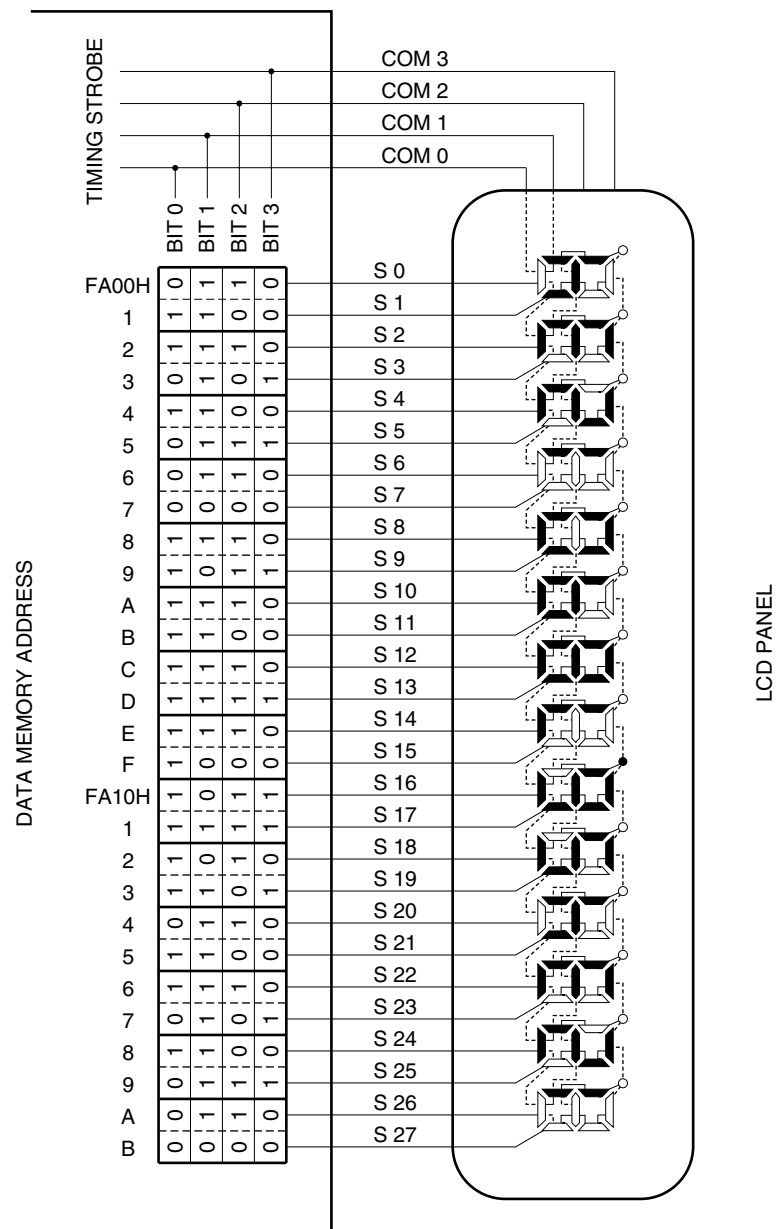
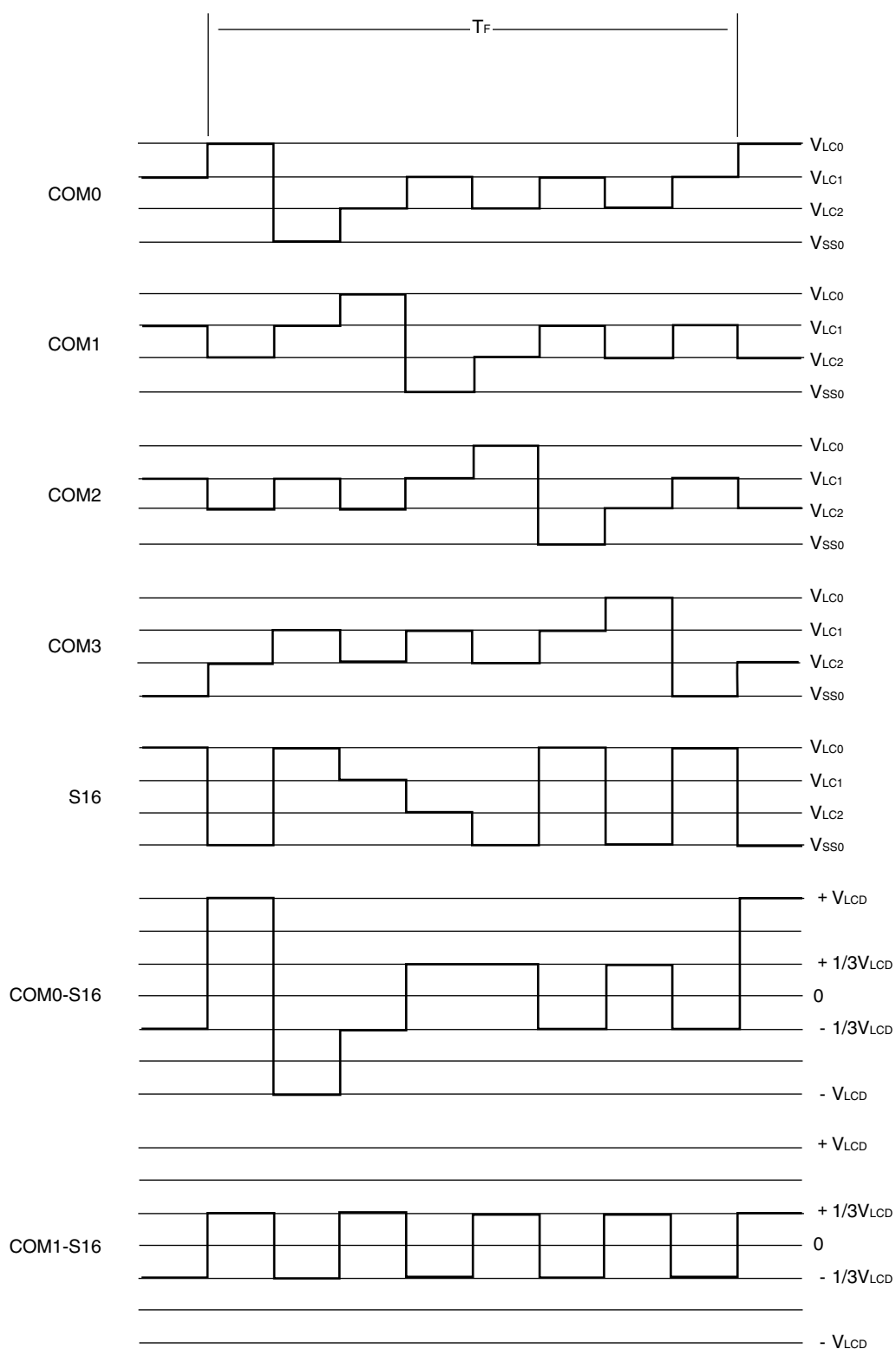


図14 - 21 4時分割LCD駆動波形例 (1/3バイアス法)



備考 COM2-S16とCOM3-S16の波形は省略

## 第15章 割り込み機能

### 15.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

#### (1) ノンマスカブル割り込み

割り込み禁止状態でも無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みは、ウォッチドッグ・タイマからの割り込みが1要因あります。

#### (2) マスカブル割り込み

マスク制御を受ける割り込みです。同時に複数の割り込み要求が同時に発生しているときの優先順位(プライオリティ)は、表15 - 1のように決められています。

スタンバイ・リリース信号を発生します。

マスカブル割り込みは、外部割り込みが5要因、内部割り込みが11要因あります。

### 15.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込みをあわせて、合計17要因あります(表15 - 1参照)。

表15 - 1 割り込み要因一覧

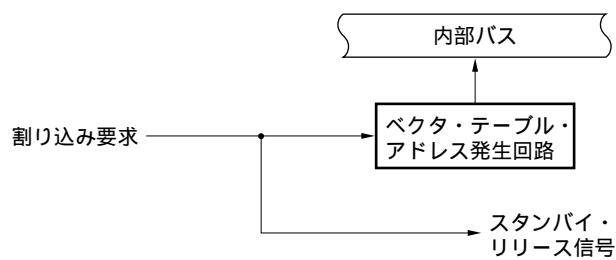
| 割り込みタイプ | プライオリティ <sup>注1</sup> | 割り込み要因   |                                         | 内部 / 外部 | ベクタ・<br>テーブル・<br>アドレス | 基本構成<br>タイプ <sup>注2</sup> |
|---------|-----------------------|----------|-----------------------------------------|---------|-----------------------|---------------------------|
|         |                       | 名 称      | トリガ                                     |         |                       |                           |
| ノンマスカブル | -                     | INTWDT   | ウォッチドッグ・タイマのオーバフロー（ウォッチドッグ・タイマ・モード1選択時） | 内部      | 0004H                 | (A)                       |
| マスカブル   | 0                     | INTWDT   | ウォッチドッグ・タイマのオーバフロー（インターバル・タイマ・モード選択時）   |         |                       | (B)                       |
|         | 1                     | INTP0    | 端子入力エッジ検出                               | 外部      | 0006H                 | (C)                       |
|         | 2                     | INTP1    |                                         |         | 0008H                 |                           |
|         | 3                     | INTP2    |                                         |         | 000AH                 |                           |
|         | 4                     | INTP3    |                                         |         | 000CH                 |                           |
|         | 5                     | INTSR00  | シリアル・インタフェース00のUART受信終了                 | 内部      | 000EH                 | (B)                       |
|         |                       | INTCSI00 | シリアル・インタフェース00の3線式SIO転送受信終了             |         |                       |                           |
|         | 6                     | INTST00  | シリアル・インタフェース00のUART送信終了                 |         | 0010H                 |                           |
|         | 7                     | INTWT    | 時計用タイマ割り込み                              |         | 0012H                 |                           |
|         | 8                     | INTWTI   | インターバル・タイマ割り込み                          |         | 0014H                 |                           |
|         | 9                     | INTTM00  | 8ビット・タイマ/イベント・カウンタ00の一致信号発生             |         | 0016H                 |                           |
|         | 10                    | INTTM01  | 8ビット・タイマ/イベント・カウンタ01の一致信号発生             |         | 0018H                 |                           |
|         | 11                    | INTTM02  | 8ビット・タイマ02の一致信号発生                       |         | 001AH                 |                           |
|         | 12                    | INTTM50  | 16ビット・タイマ50の一致信号発生                      |         | 001CH                 |                           |
|         | 13                    | INTKR00  | キー・リターン信号検出                             | 外部      | 001EH                 | (C)                       |
|         | 14                    | INTAD0   | A/D変換完了信号                               | 内部      | 0020H                 | (B)                       |
|         | 15                    | INTCMP0  | コンパレータ信号                                |         | 0022H                 |                           |

注1. プライオリティは、複数のマスカブル割り込みが同時に発生している場合に、優先する順位です。0が最高順位，15が最低順位です。

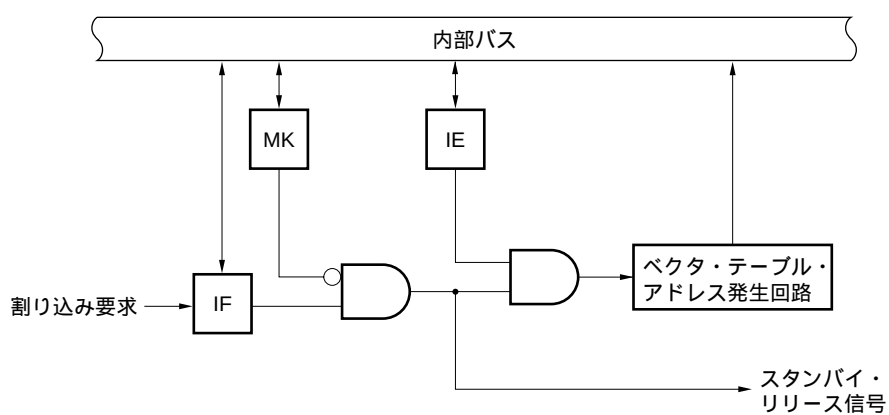
2. 基本構成タイプ(A)-(C)は、それぞれ図15 - 1の(A)-(C)に対応しています。

図15 - 1 割り込み機能の基本構成

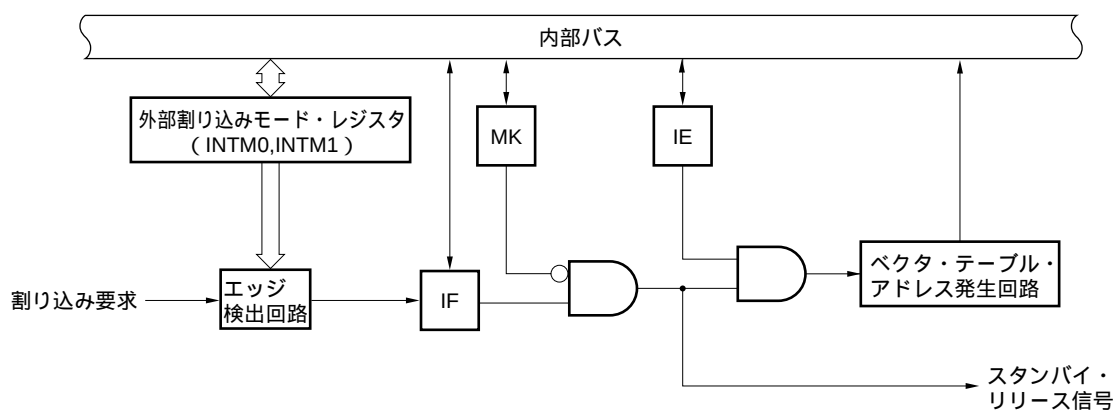
## (A) 内部ノンマスクابل割り込み



## (B) 内部マスクابل割り込み



## (C) 外部マスクابل割り込み



IF : 割り込み要求フラグ

IE : 割り込み許可フラグ

MK : 割り込みマスク・フラグ

### 15.3 割り込み機能を制御するレジスタ

割り込み機能は、次の5種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ0, 1 ( IF0, IF1 )
- ・割り込みマスク・フラグ・レジスタ0, 1 ( MK0, MK1 )
- ・外部割り込みモード・レジスタ0, 1 ( INTM0, INTM1 )
- ・プログラム・ステータス・ワード ( PSW )
- ・キー・リターン・モード・レジスタ00 ( KRM00 )

各割り込み要求に対する割り込み要求フラグ、割り込みマスク・フラグ名称を表15 - 2に示します。

表15 - 2 割り込み要求信号名に対する各種フラグ

| 割り込み要求信号名        | 割り込み要求フラグ | 割り込みマスク・フラグ |
|------------------|-----------|-------------|
| INTWDT           | TMIF4     | TMMK4       |
| INTP0            | PIF0      | PMK0        |
| INTP1            | PIF1      | PMK1        |
| INTP2            | PIF2      | PMK2        |
| INTP3            | PIF3      | PMK3        |
| INTSR00/INTCSI00 | SRIF00    | SRMK00      |
| INTST00          | STIF00    | STMK00      |
| INTWT            | WTIF      | WTMK        |
| INTWTI           | WTIIF     | WTIMK       |
| INTTM00          | TMIF00    | TMMK00      |
| INTTM01          | TMIF01    | TMMK01      |
| INTTM02          | TMIF02    | TMMK02      |
| INTTM50          | TMIF50    | TMMK50      |
| INTKR00          | KRIF00    | KRMK00      |
| INTAD0           | ADIF0     | ADMK0       |
| INTCMP0          | CMPIF0    | CMPMK0      |

(1) 割り込み要求フラグ・レジスタ0, 1 (IF0, IF1)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット（1）され、割り込み要求受け付け時およびRESET入力時、命令の実行によりクリア（0）されるフラグです。

IF0, IF1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図15 - 2 割り込み要求フラグ・レジスタのフォーマット

| 略号  | 0      |        |        |        |        |        |        | アドレス  | リセット時     | R/W       |
|-----|--------|--------|--------|--------|--------|--------|--------|-------|-----------|-----------|
| IF0 | WTIF   | STIF00 | SRIF00 | PIF3   | PIF2   | PIF1   | PIF0   | TMIF4 | F F E 0 H | 0 0 H R/W |
| 0   |        |        |        |        |        |        |        |       |           |           |
| IF1 | CMPIF0 | ADIF0  | KRIF00 | TMIF50 | TMIF02 | TMIF01 | TMIF00 | WTIIF | F F E 1 H | 0 0 H R/W |

| XXIFX | 割り込み要求フラグ             |
|-------|-----------------------|
| 0     | 割り込み要求信号が発生していない      |
| 1     | 割り込み要求信号が発生し、割り込み要求状態 |

- 注意1. TMIF4フラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1, 2で使用する場合は、TMIF4フラグに0を設定してください。
2. ポート2は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。
- ★ 3. 割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

(2) 割り込みマスク・フラグ・レジスタ0, 1 (MK0, MK1)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可 / 禁止を設定するフラグです。  
MK0, MK1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
 $\overline{\text{RESET}}$ 入力により、FFHになります。

図15 - 3 割り込みマスク・フラグ・レジスタのフォーマット

| 略号  | 0      |        |        |        |        |        |        | アドレス  | リセット時     | R/W       |
|-----|--------|--------|--------|--------|--------|--------|--------|-------|-----------|-----------|
| MK0 | WTMK   | STMK00 | SRMK00 | PMK3   | PMK2   | PMK1   | PMK0   | TMMK4 | F F E 4 H | F F H R/W |
|     | 0      |        |        |        |        |        |        |       |           |           |
| MK1 | CMPMK0 | ADMK0  | KRMK00 | TMMK50 | TMMK02 | TMMK01 | TMMK00 | WTIMK | F F E 5 H | F F H R/W |

| XXMKX | 割り込み処理の制御 |
|-------|-----------|
| 0     | 割り込み処理許可  |
| 1     | 割り込み処理禁止  |

- 注意1. ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1, 2で使用しているとき、TMMK4フラグを読み出すと不定になっています。
2. ポート2は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

## (3) 外部割り込みモード・レジスタ0 (INTM0)

INTP0-INTP2の有効エッジを設定するレジスタです。

INTM0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図15 - 4 外部割り込みモード・レジスタ0のフォーマット

| 略号    | 7    | 6    | 5    | 4    | 3    | 2    | 1 | 0 | アドレス      | リセット時 | R/W |
|-------|------|------|------|------|------|------|---|---|-----------|-------|-----|
| INTM0 | ES21 | ES20 | ES11 | ES10 | ES01 | ES00 | 0 | 0 | F F E C H | 0 0 H | R/W |

| ES21 | ES20 | INTP2の有効エッジの選択   |
|------|------|------------------|
| 0    | 0    | 立ち下がりエッジ         |
| 0    | 1    | 立ち上がりエッジ         |
| 1    | 0    | 設定禁止             |
| 1    | 1    | 立ち上がり、立ち下がりの両エッジ |

| ES11 | ES10 | INTP1の有効エッジの選択   |
|------|------|------------------|
| 0    | 0    | 立ち下がりエッジ         |
| 0    | 1    | 立ち上がりエッジ         |
| 1    | 0    | 設定禁止             |
| 1    | 1    | 立ち上がり、立ち下がりの両エッジ |

| ES01 | ES00 | INTP0の有効エッジの選択   |
|------|------|------------------|
| 0    | 0    | 立ち下がりエッジ         |
| 0    | 1    | 立ち上がりエッジ         |
| 1    | 0    | 設定禁止             |
| 1    | 1    | 立ち上がり、立ち下がりの両エッジ |

注意1. ビット0, 1には必ず0を設定してください。

- INTM0レジスタの設定は、必ず該当する割り込みマスク・フラグをセット ( $\times \times \text{MK} \times = 1$ ) し、割り込みを禁止してから行ってください。その後、割り込み要求フラグをクリア ( $\times \times \text{IF} \times = 0$ ) してから、割り込みマスク・フラグをクリア ( $\times \times \text{MK} \times = 0$ ) し、割り込みを許可してください。

(4) 外部割り込みモード・レジスタ1 (INTM1)

INTP3, INTCMP0の有効エッジを設定するレジスタです。  
INTM1は8ビット・メモリ操作命令で設定します。  
 $\overline{\text{RESET}}$ 入力により, 00Hになります。

図15 - 5 外部割り込みモード・レジスタ1のフォーマット

| 略号    | 7    | 6    | 5 | 4 | 3 | 2 | 1    | 0    | アドレス  | リセット時 | R/W |
|-------|------|------|---|---|---|---|------|------|-------|-------|-----|
| INTM1 | ES61 | ES60 | 0 | 0 | 0 | 0 | ES31 | ES30 | FFEDH | 00H   | R/W |

| ES61 | ES60 | INTCMP0の有効エッジの選択  |
|------|------|-------------------|
| 0    | 0    | 立ち下がりエッジ          |
| 0    | 1    | 立ち上がりエッジ          |
| 1    | 0    | 設定禁止              |
| 1    | 1    | 立ち上がり, 立ち下がりの両エッジ |

| ES31 | ES30 | INTP3の有効エッジの選択    |
|------|------|-------------------|
| 0    | 0    | 立ち下がりエッジ          |
| 0    | 1    | 立ち上がりエッジ          |
| 1    | 0    | 設定禁止              |
| 1    | 1    | 立ち上がり, 立ち下がりの両エッジ |

- 注意1. ビット2-5には, 必ず0を設定してください。
2. INTM1レジスタの設定は, 必ず割り込みマスク・フラグ・レジスタに1を設定し, 割り込みを禁止してから行ってください。
- その後, 割り込み要求フラグをクリア (0) してから, 割り込みマスク・フラグ・レジスタに0を設定し, 割り込みを許可してください。

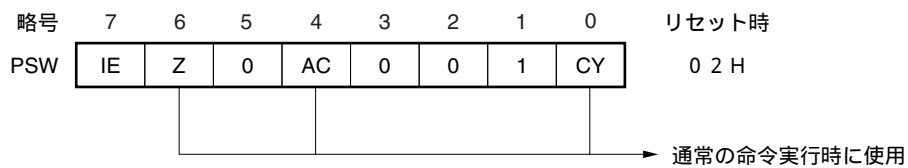
## (5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可 / 禁止を設定するIEフラグがマッピングされています。

8ビット単位で読み出し / 書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み受け付け時には、PSWは自動的にスタックに退避され、IEフラグはリセット (0) されます。

$\overline{\text{RESET}}$ 入力により、PSWは02Hになります。

図15 - 6 プログラム・ステータス・ワードの構成



|    |                  |
|----|------------------|
| IE | 割り込み受け付けの許可 / 禁止 |
| 0  | 禁止               |
| 1  | 許可               |

## (6) キー・リターン・モード・レジスタ00 (KRM00)

キー・リターン信号（ポート4の立ち下がりエッジ）を検出する端子を設定するレジスタです。

KRM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

ビット0 (KRM000) はKR0/P40-KR3/P43端子について4ビット単位で設定します。ビット4, 5 (KRM004, KRM005) は、それぞれKR4/P44, KR5/P45端子について1ビット単位で設定します。

RESET入力により、00Hになります。

図15 - 7にキー・リターン・モード・レジスタ00のフォーマットを、図15 - 8に立ち下がりエッジ検出回路のブロック図を示します。

図15 - 7 キー・リターン・モード・レジスタ00のフォーマット

| 略号    | 7 | 6 | 5      | 4      | 3 | 2 | 1 | 0      | アドレス   | リセット時 | R/W |
|-------|---|---|--------|--------|---|---|---|--------|--------|-------|-----|
| KRM00 | 0 | 0 | KRM005 | KRM004 | 0 | 0 | 0 | KRM000 | FFFF5H | 00H   | R/W |

| KRM00n | キー・リターン信号検出の選択      |
|--------|---------------------|
| 0      | 未検出                 |
| 1      | 検出（ポート4の立ち下がりエッジ検出） |

注意1. ビット1-3, 6, 7には、必ず0を設定してください。

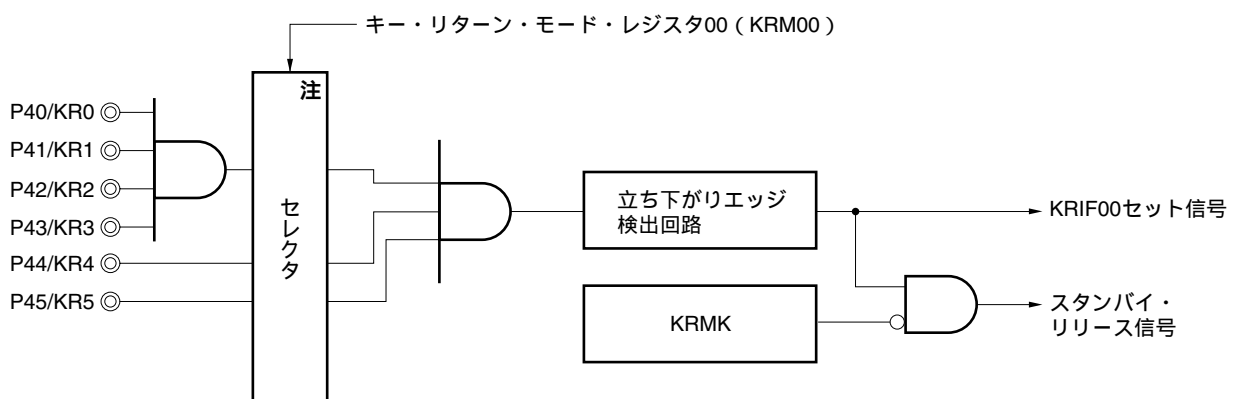
2. KRM00を（1）に設定すると強制的にプルアップ抵抗が接続されます。ただし、その端子が出力モードであればプルアップ抵抗は切断されます。

3. KRM00の設定は、必ずMK1のビット5をセット（KRMK00 = 1）し、割り込みを禁止してから行ってください。KRM00の設定後、IF1のビット5をクリア（KRIF00 = 0）にしてからMK1のビット5をクリア（KRMK00 = 0）し、割り込みを許可してください。

★ 4. キー・リターン信号の検出を指定した端子のうち1本でもロウ・レベルになっている間は、他のキー・リターン端子に立ち下がりエッジが発生してもキー・リターン信号を検出できません。

備考 n = 0, 4, 5

図15 - 8 立ち下がりエッジの検出回路のブロック図



注 立ち下がりエッジ入力として使用する端子を選択するセクタ

## 15.4 割り込み処理動作

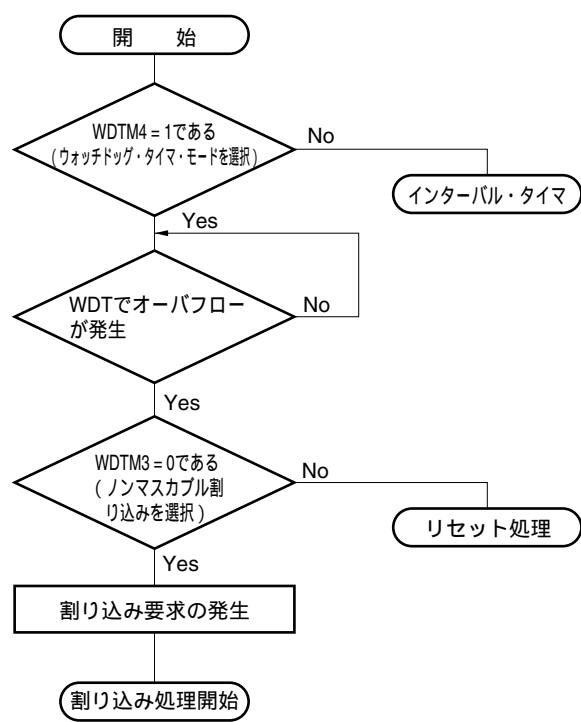
### 15.4.1 ノンマスカブル割り込みの受け付け動作

ノンマスカブル割り込みは、割り込み受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスカブル割り込み要求が受け付けられると、PSW, PCの順にスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブルの内容をPCへロードし分岐します。

**注意** ノンマスカブル割り込みサービス・プログラム実行中に新たなノンマスカブル割り込み要求をしないでください。割り込みサービス・プログラム実行中でも新たに発生したノンマスカブル割り込み要求を受け付けてしまいます。

図15 - 9 ノンマスカブル割り込み要求の受け付けフロー・チャート

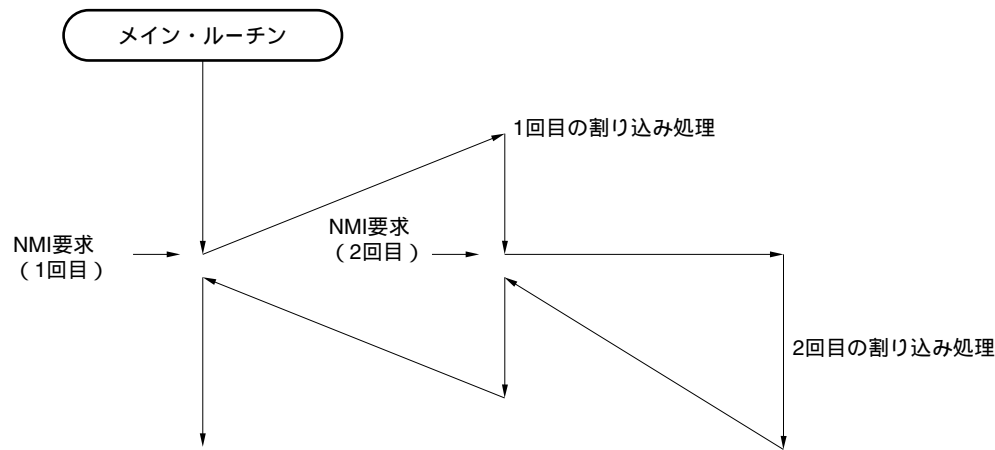


WDTM : ウォッチドッグ・タイマ・モード・レジスタ  
WDT : ウォッチドッグ・タイマ

図15 - 10 ノンマスカブル割り込み要求の受け付けタイミング



図15 - 11 ノンマスカブル割り込み要求の受け付け動作



### 15.4.2 マスカブル割り込みの受け付け動作

マスカブル割り込みは、割り込み要求フラグがセット（1）され、その割り込みの割り込みマスク・フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込みは、割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。

マスカブル割り込み要求が発生してから割り込み処理が行われる時間は次のようになります。

表15 - 3 マスカブル割り込み要求発生から処理までの時間

| 最小時間  | 最大時間 <sup>注</sup> |
|-------|-------------------|
| 9クロック | 19クロック            |

注 BT, BF命令の直前に割り込み要求が発生したとき、ウェイトする時間が最大となります。

備考 1クロック： $\frac{1}{f_{CPU}}$ （ $f_{CPU}$ ：CPUクロック）

マスカブル割り込み要求が同時に発生したときは、優先順位の高い割り込み要求から受け付けられます。

保留された割り込みは受け付け可能な状態になると受け付けられます。

割り込み受け付けのアルゴリズムを図15 - 12に示します。

マスカブル割り込み要求が受け付けられると、PSW, PCの順にスタックに退避し、IEフラグをリセット（0）し、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし分岐します。

RETI命令によって、割り込みから復帰はできます。

図15 - 12 割り込み受け付け処理アルゴリズム

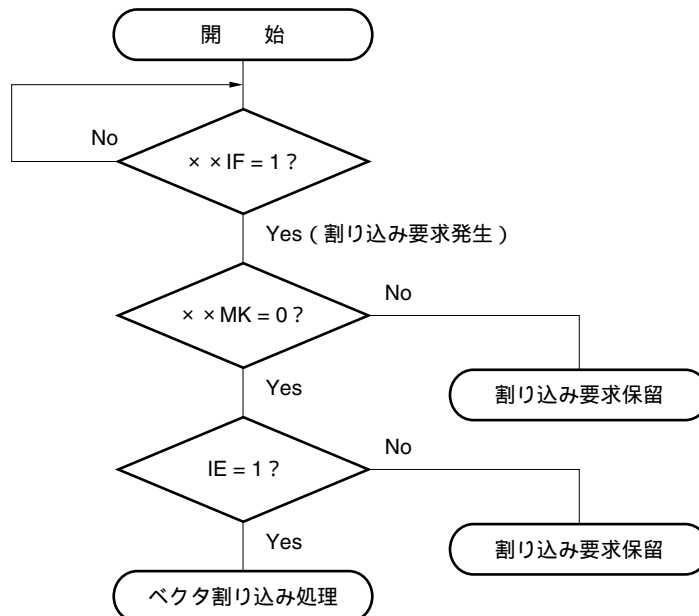
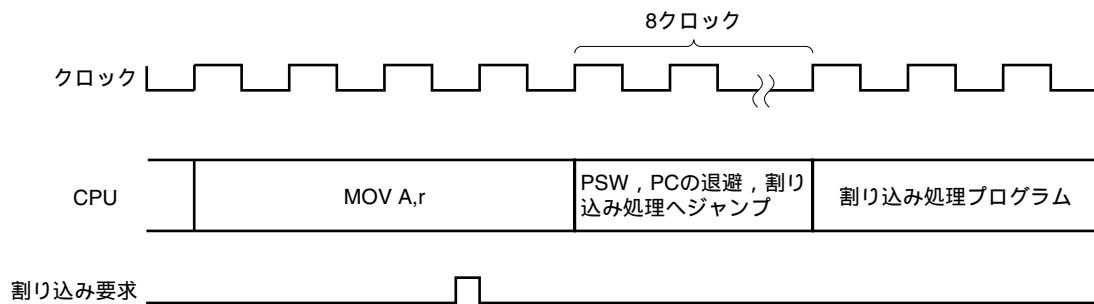


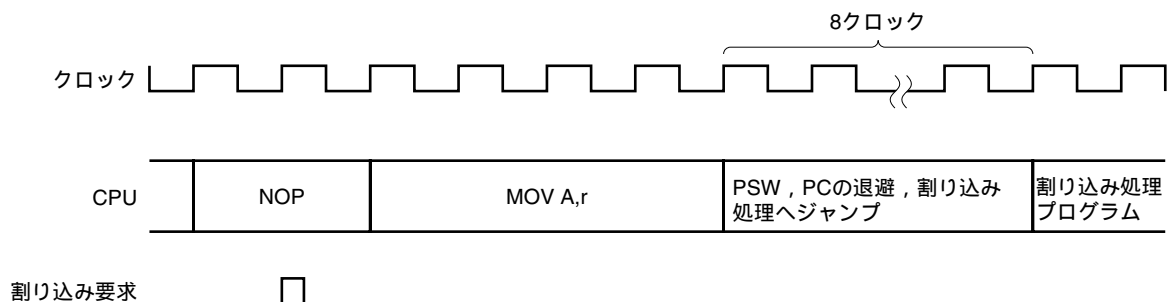
図15 - 13 割り込み要求の受け付けタイミング (MOV A, rの例)



割り込み要求は実行中の命令クロック $n$  ( $n = 4-10$ ) が $n - 1$ までに割り込み要求フラグ ( $\times \times IF$ ) が発生すると、実行中の命令終了後に割り込み要求受け付け処理となります。図15 - 13では8ビット・データ転送命令MOV A, rの例です。この命令は4クロックで実行するので実行してから3クロックの間に割り込み要求が発生するとMOV A, rの終了後、割り込み要求受け付け処理を行います。

図15 - 14 割り込み要求の受け付けタイミング

(命令実行中の最終クロックで割り込み要求フラグが発生したとき)



割り込み要求フラグ ( $\times \times IF$ ) が命令の最後のクロックで発生すると、次の命令の実行後に割り込み要求受け付け処理を始めます。

図15 - 14ではNOP (2クロックの命令) の2クロック目に発生した場合の例です。この場合、NOP命令のあとのMOV A, rを実行後、割り込み要求の受け付けの処理を行います。

**注意** 割り込み要求フラグ・レジスタ0, 1 (IF0, IF1) または割り込みマスク・フラグ・レジスタ0, 1 (MK0, MK1) にアクセス中は割り込み要求は保留されます。

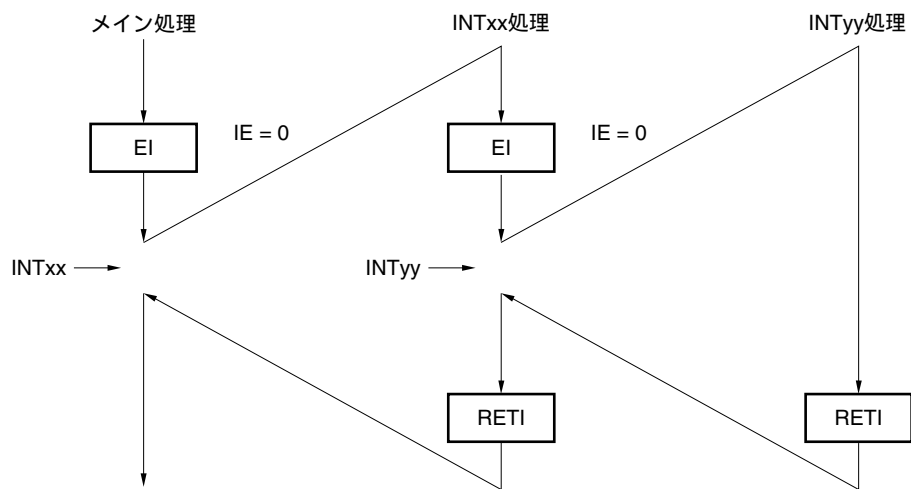
### 15.4.3 多重割り込み処理

割り込み要求処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 ( $IE = 1$ ) になっていなければ発生しません (ノンマスカブル割り込み要求を除く)。また、割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態 ( $IE = 0$ ) になります。したがって、多重割り込みを許可するには、割り込み要求処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

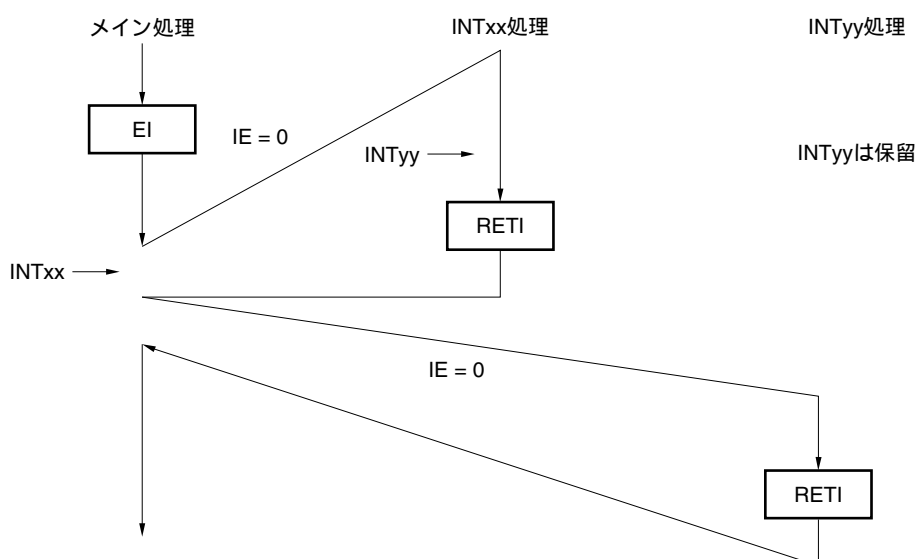
図15 - 15 多重割り込みの例

#### 例1. 多重割り込みが受け付けられる例



割り込みINTxx処理中に、割り込み要求INTyyが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている。

#### 例2. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、INTxx処理終了後に受け付けられる。

IE = 0 : 割り込み要求受け付け禁止

#### 15. 4. 4 割り込み要求の保留

命令の中には、実行中に割り込み要求（マスカブル割り込み、ノンマスカブル割り込み、外部割り込み）が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・割り込み要求フラグ・レジスタ0, 1（IF0, IF1）に対する操作命令
- ・割り込みマスク・フラグ・レジスタ0, 1（MK0, MK1）に対する操作命令

## 第16章 スタンバイ機能

### 16.1 スタンバイ機能と構成

#### 16.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

##### (1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。このモードでは、STOPモードほどの消費電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、間欠動作をさせたい場合に有効です。

##### (2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、メイン・システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電流を、かなり低減することができます。

また、データ・メモリの低電圧 ( $V_{DD} = 1.8\text{ V}$ まで) 保持が可能です。したがって、超低消費電流でデータ・メモリの内容を保持する場合に有効です。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

**注意** STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。

### 16. 1. 2 スタンバイ機能を制御するレジスタ

割り込み要求でSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ（OSTS）で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

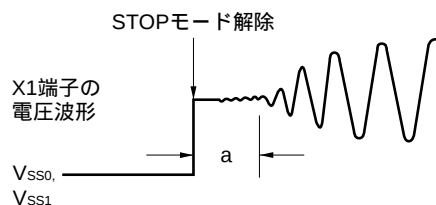
$\overline{\text{RESET}}$ 入力により、04Hになります。ただし、 $\overline{\text{RESET}}$ 入力でSTOPモードを解除するとき、解除するまでの時間は $2^{17}/f_x$ ではなく、 $2^{15}/f_x$ となります。

図16 - 1 発振安定時間選択レジスタのフォーマット

| 略号   | 7 | 6 | 5 | 4 | 3 | 2     | 1     | 0     | アドレス  | リセット時 | R/W |
|------|---|---|---|---|---|-------|-------|-------|-------|-------|-----|
| OSTS | 0 | 0 | 0 | 0 | 0 | OSTS2 | OSTS1 | OSTS0 | FFFAH | 04H   | R/W |

| OSTS2 | OSTS1 | OSTS0 | 発振安定時間の選択                    |
|-------|-------|-------|------------------------------|
| 0     | 0     | 0     | $2^{12}/f_x$ ( 819 $\mu$ s ) |
| 0     | 1     | 0     | $2^{15}/f_x$ ( 6.55 ms )     |
| 1     | 0     | 0     | $2^{17}/f_x$ ( 26.2 ms )     |
| 上記以外  |       |       | 設定禁止                         |

**注意** STOPモード解除時のウェイト時間は、 $\overline{\text{RESET}}$ 入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間は（下図a）は含みません。



**備考1.**  $f_x$  : メイン・システム・クロック発振周波数

2. ( ) 内は、 $f_x = 5.0$  MHz動作時

## 16.2 スタンバイ機能の動作

### 16.2.1 HALTモード

#### (1) HALTモード

HALTモードは、HALT命令の実行により設定されます。

次にHALTモード時の動作状態を示します。

表16 - 1 HALTモード時の動作状態

| 項 目                            | メイン・システム・クロック動作中のHALTモードの動作状態 |                    | サブシステム・クロック動作中のHALTモードの動作状態 |                    |
|--------------------------------|-------------------------------|--------------------|-----------------------------|--------------------|
|                                | サブシステム・クロック動作                 | サブシステム・クロック停止      | メイン・システム・クロック動作             | メイン・システム・クロック停止    |
| メイン・システム・クロック発生回路              | 発振可能                          |                    |                             | 停止                 |
| CPU                            | 動作停止                          |                    |                             |                    |
| ポート（出力ラッチ）                     | HALTモード設定前の状態を保持              |                    |                             |                    |
| 16ビット・タイマ（TM50）                | 動作可能                          |                    |                             | 動作停止               |
| 8ビット・タイマ/イベント・カウンタ（TM00, TM01） | 動作可能                          |                    |                             | 動作可能 <sup>注1</sup> |
| 8ビット・タイマ（TM02）                 | 動作可能                          | 動作可能 <sup>注2</sup> | 動作可能                        | 動作可能 <sup>注3</sup> |
| 時計用タイマ                         | 動作可能                          | 動作可能 <sup>注2</sup> | 動作可能                        | 動作可能 <sup>注3</sup> |
| ウォッチドッグ・タイマ                    | 動作可能                          |                    |                             | 動作停止               |
| シリアル・インタフェース                   | 動作可能                          |                    |                             | 動作可能 <sup>注4</sup> |
| A/Dコンバータ                       | 動作停止                          |                    |                             |                    |
| LCDコントローラ/ドライバ                 | 動作可能                          | 動作可能 <sup>注2</sup> | 動作可能                        | 動作可能 <sup>注3</sup> |
| コンパレータ                         | 動作可能 <sup>注5</sup>            |                    |                             |                    |
| 外部割り込み                         | 動作可能 <sup>注6</sup>            |                    |                             |                    |

注1. カウント・クロックにTI0, TI1選択時のみ動作可能

2. メイン・システム・クロック選択時は動作可能

3. サブシステム・クロック選択時は動作可能

4. 外部クロック時は3線式シリアルI/Oモード，UARTモードともに動作可能

5. TM02の動作時は動作可能，または外部割り込みとして動作可能

6. マスクされていないマスカブル割り込み

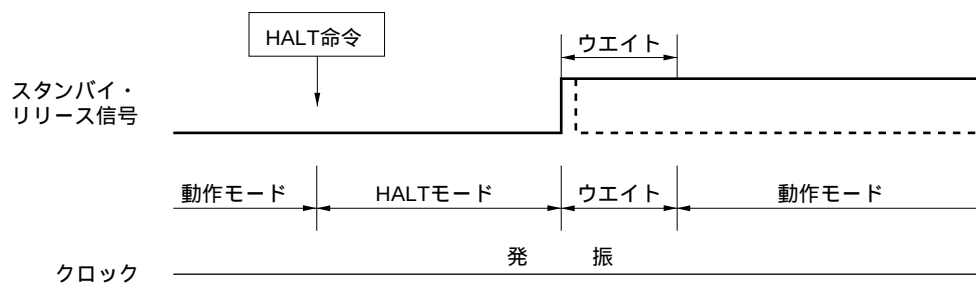
## (2) HALTモードの解除

HALTモードは、次の3種類のソースによって解除することができます。

## (a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、HALTモードを解除します。割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図16 - 2 HALTモードの割り込み発生による解除



**備考1.** 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウェイト時間は次のようになります。

- ・ベクタに分岐した場合 : 9～10クロック
- ・ベクタに分岐しなかった場合 : 1～2クロック

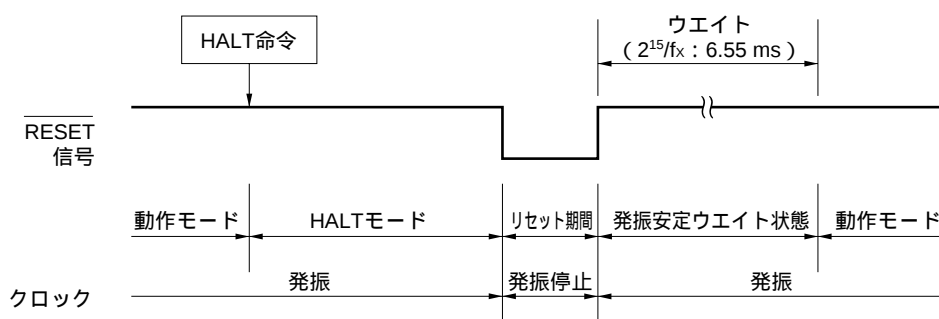
## (b) ノンマスカブル割り込み要求による解除

割り込み受け付け許可、禁止の状態に関係なく、HALTモードを解除し、ベクタ割り込み処理を行います。

## (c) RESET入力による解除

通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムを実行します。

図16 - 3 HALTモードのRESET入力による解除



備考1.  $f_x$  : メイン・システム・クロック発振周波数

2. ( ) 内は,  $f_x = 5.0 \text{ MHz}$ 動作時

表16 - 2 HALTモードの解除後の動作

| 解除ソース         | MK × × | IE | 動作        |
|---------------|--------|----|-----------|
| マスカブル割り込み要求   | 0      | 0  | 次アドレス命令実行 |
|               | 0      | 1  | 割り込み処理実行  |
|               | 1      | ×  | HALTモード保持 |
| ノンマスカブル割り込み要求 | -      | ×  | 割り込み処理実行  |
| RESET入力       | -      | -  | リセット処理    |

× : don't care

## 16.2.2 STOPモード

## (1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。

**注意** スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウェイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表16 - 3 STOPモード時の動作状態

| 項 目                            | メイン・システム・クロック動作中のSTOPモードの動作状態 |                    |
|--------------------------------|-------------------------------|--------------------|
|                                | サブシステム・クロック動作                 | サブシステム・クロック停止      |
| メイン・システム・クロック発生回路              | 発振停止                          |                    |
| CPU                            | 動作停止                          |                    |
| ポート（出力ラッチ）                     | STOPモード設定前の状態を保持              |                    |
| 16ビット・タイマ（TM50）                | 動作停止                          |                    |
| 8ビット・タイマ/イベント・カウンタ（TM00, TM01） | 動作可能 <sup>注1</sup>            |                    |
| 8ビット・タイマ（TM02）                 | 動作可能 <sup>注2</sup>            | 動作停止               |
| 時計用タイマ                         | 動作可能 <sup>注2</sup>            | 動作停止               |
| ウォッチドッグ・タイマ                    | 動作停止                          |                    |
| シリアル・インタフェース                   | 動作可能 <sup>注3</sup>            |                    |
| A/Dコンバータ                       | 動作停止                          |                    |
| LCDコントローラ/ドライバ                 | 動作可能 <sup>注2</sup>            | 動作停止               |
| コンパレータ                         | 動作可能 <sup>注5, 6</sup>         | 動作可能 <sup>注6</sup> |
| 外部割り込み                         | 動作可能 <sup>注4</sup>            |                    |

注1. カウント・クロックにTI0, TI1選択時のみ動作可能

2. サブシステム・クロック選択時は動作可能

3. 外部クロック時は3線式シリアルI/Oモード，UARTモードともに選択可能

4. マスクされていないマスカブル割り込み

5. TM02の動作時は動作可能

6. 外部割り込みとして動作可能

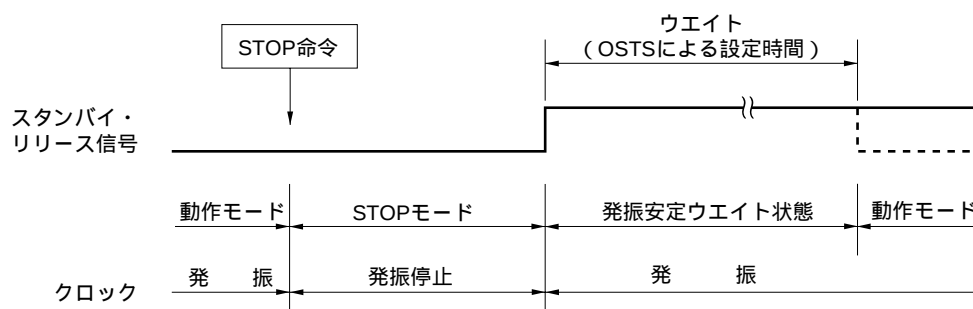
## (2) STOPモードの解除

STOPモードは、次の2種類のソースによって解除することができます。

## (a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図16 - 4 STOPモードの割り込み発生による解除

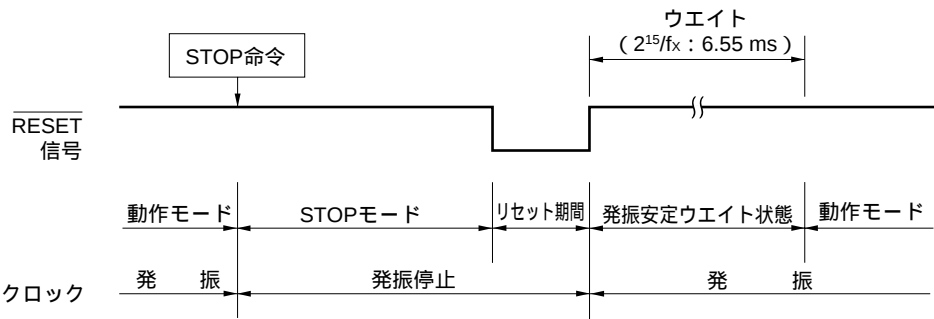


**備考** 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b)  $\overline{\text{RESET}}$ 入力による解除

STOPモードを解除し、発振安定時間経過後リセット動作を行います。

図16 - 5 STOPモードの $\overline{\text{RESET}}$ 入力による解除



- 備考1.  $f_x$  : メイン・システム・クロック発振周波数  
2. ( ) 内は,  $f_x = 5.0 \text{ MHz}$ 動作時

表16 - 4 STOPモードの解除後の動作

| 解除ソース                        | MK × × | IE | 動 作       |
|------------------------------|--------|----|-----------|
| マスカブル割り込み要求                  | 0      | 0  | 次アドレス命令実行 |
|                              | 0      | 1  | 割り込み処理実行  |
|                              | 1      | ×  | STOPモード保持 |
| $\overline{\text{RESET}}$ 入力 | -      | -  | リセット処理    |

× : don't care

## 第17章 リセット機能

リセット信号を発生させる方法には、次の2種類があります。

- (1)  $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

外部リセットと内部リセットは機能面での差はなく、リセット信号入力により、ともに0000H、0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、またはウォッチドッグ・タイマのオーバフローが発生することによってリセットがかかり、各ハードウェアは表17 - 1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、発振安定時間経過後 ( $2^{15}/f_x$ ) プログラムの実行を開始します。また、ウォッチドッグ・タイマのオーバフロー発生によるリセットは、リセット後、自動的にリセットが解除され、発振安定時間経過後 ( $2^{15}/f_x$ ) プログラムの実行を開始します (図17 - 2から図17 - 4参照)。

- 注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10  $\mu\text{s}$ 以上のロウ・レベルを入力してください。
2. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、ハイ・インピーダンスとなります。

図17 - 1 リセット機能のブロック図

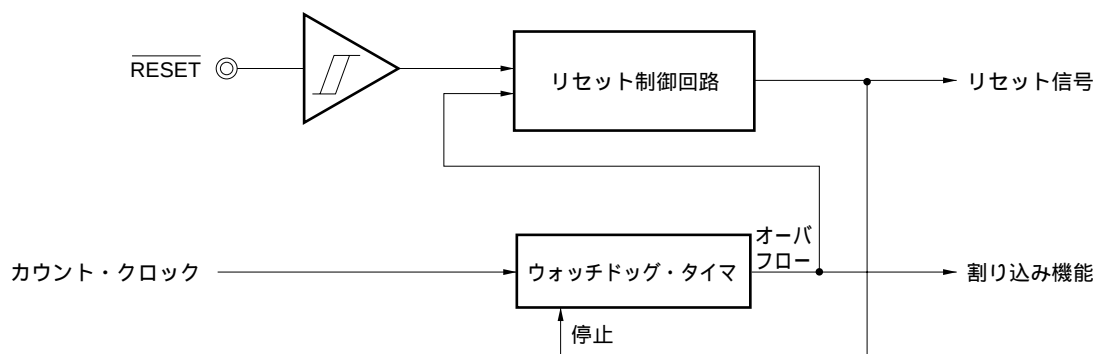


図17 - 2  $\overline{\text{RESET}}$ 入力によるリセット・タイミング

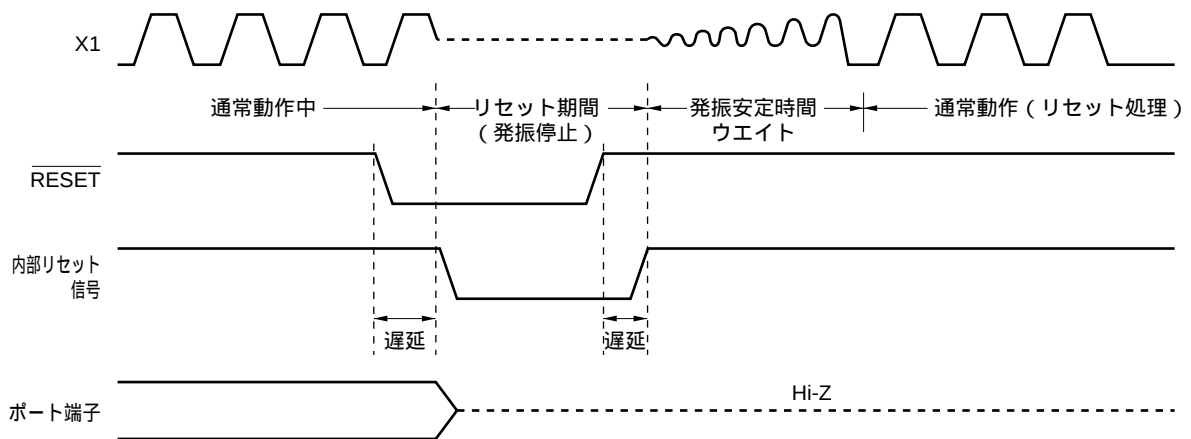


図17 - 3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

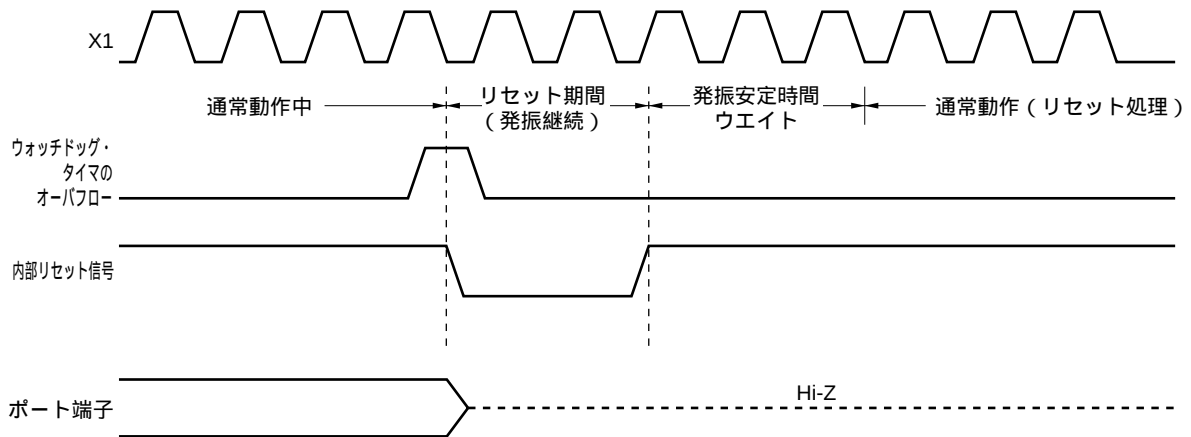


図17 - 4 STOPモード中の $\overline{\text{RESET}}$ 入力によるリセット・タイミング

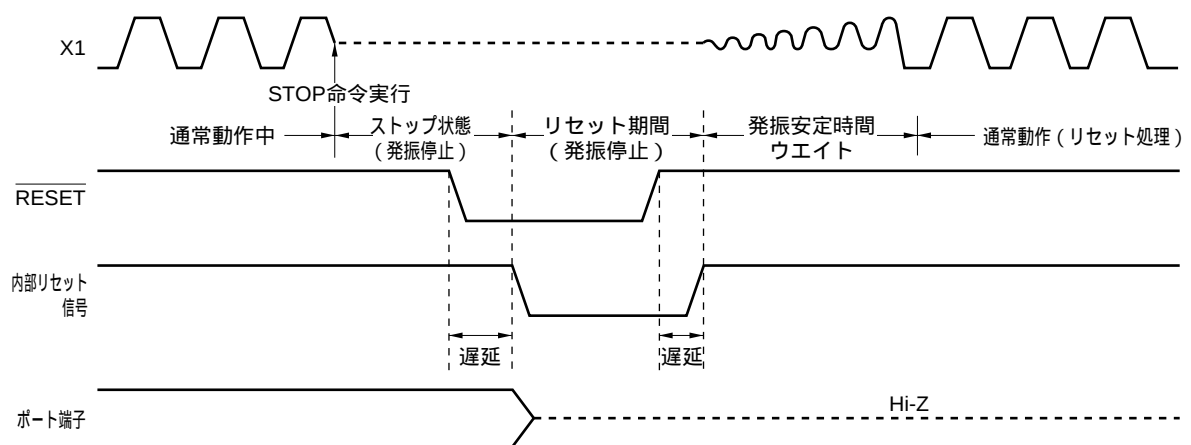


表17 - 1 各ハードウェアのリセット後の状態 (1/2)

| ハードウェア                                      |                                          | リセット後の状態                                 |
|---------------------------------------------|------------------------------------------|------------------------------------------|
| プログラム・カウンタ (PC) <sup>注1</sup>               |                                          | リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。 |
| スタック・ポインタ (SP)                              |                                          | 不定                                       |
| プログラム・ステータス・ワード (PSW)                       |                                          | 02H                                      |
| RAM                                         | データ・メモリ                                  | 不定 <sup>注2</sup>                         |
|                                             | 汎用レジスタ                                   | 不定 <sup>注2</sup>                         |
| ポート (P0, P2, P4, P5, P8, P9) (出力ラッチ)        |                                          | 00H                                      |
| ポート・モード・レジスタ (PM0, PM2, PM4, PM5, PM8, PM9) |                                          | FFH                                      |
| プルアップ抵抗オプション・レジスタ (PU0-PU2)                 |                                          | 00H                                      |
| プロセッサ・クロック・コントロール・レジスタ (PCC)                |                                          | 02H                                      |
| サブ発振モード・レジスタ (SCKM)                         |                                          | 00H                                      |
| サブクロック・コントロール・レジスタ (CSS)                    |                                          | 00H                                      |
| 発振安定時間選択レジスタ (OSTS)                         |                                          | 04H                                      |
| 16ビット・タイマ                                   | タイマ・カウンタ (TM50)                          | 0000H                                    |
|                                             | コンペア・レジスタ (CR50)                         | FFFFH                                    |
|                                             | キャプチャ・レジスタ (TCP50)                       | 不定                                       |
|                                             | モード・コントロール・レジスタ (TMC50)                  | 00H                                      |
| 8ビット・タイマ/イベント・カウンタ                          | タイマ・カウンタ (TM00, TM01, TM02)              | 00H                                      |
|                                             | コンペア・レジスタ (CR00, CR01, CR02)             | 不定                                       |
|                                             | モード・コントロール・レジスタ (TMC00, TMC01, TMC02)    | 00H                                      |
| 時計用タイマ                                      | モード・コントロール・レジスタ (WTM)                    | 00H                                      |
| ウォッチドッグ・タイマ                                 | タイマ・クロック選択レジスタ (TCL2)                    | 00H                                      |
|                                             | モード・レジスタ (WDTM)                          | 00H                                      |
| A/Dコンバータ                                    | モード・レジスタ (ADM0)                          | 00H                                      |
|                                             | A/D入力選択レジスタ (ADS0)                       | 00H                                      |
|                                             | A/D変換結果レジスタ (ADCR0)                      | 不定                                       |
| コンパレータ                                      | モード・レジスタ (CMPRM0)                        | 00H                                      |
| シリアル・インタフェース                                | モード・レジスタ (CSIM00)                        | 00H                                      |
|                                             | アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM00)   | 00H                                      |
|                                             | アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS00) | 00H                                      |
|                                             | ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC00)       | 00H                                      |
|                                             | 送信シフト・レジスタ (TXS00)                       | FFH                                      |
|                                             | 受信バッファ・レジスタ (RXB00)                      | 不定                                       |

- 注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。  
 その他は、リセット後の状態と変わりありません。
2. スタンバイ・モード時でのリセット後の状態は保持となります。

表17 - 1 各ハードウェアのリセット後の状態 (2/2)

| ハードウェア           |                               | リセット後の状態 |
|------------------|-------------------------------|----------|
| LCDコントローラ / ドライバ | LCD表示モード・レジスタ (LCDM0)         | 00H      |
|                  | LCDポート・セクタ (LPS0)             | 00H      |
|                  | LCDクロック制御レジスタ (LCDC0)         | 00H      |
| 割り込み             | 要求フラグ・レジスタ (IF0, IF1)         | 00H      |
|                  | マスク・フラグ・レジスタ (MK0, MK1)       | FFH      |
|                  | 外部割り込みモード・レジスタ (INTM0, INTM1) | 00H      |
|                  | キー・リターン・モード・レジスタ (KRM00)      | 00H      |

## 第18章 $\mu$ PD78F9418A

$\mu$  PD78F9418Aは、マスクROM製品の内部ROMをフラッシュ・メモリに置き換えた製品です。 $\mu$  PD78F9418AとマスクROM製品の違いを表18 - 1に示します。

表18 - 1  $\mu$  PD78F9418AとマスクROM製品の違い

| 項 目                |           | フラッシュ・メモリ製品            | マスクROM製品                             |                                    |                                    |
|--------------------|-----------|------------------------|--------------------------------------|------------------------------------|------------------------------------|
|                    |           | $\mu$ PD78F9418A       | $\mu$ PD789405A<br>$\mu$ PD789415A   | $\mu$ PD789406A<br>$\mu$ PD789416A | $\mu$ PD789407A<br>$\mu$ PD789417A |
| 内部メモリ              | ROM       | 32 Kバイト<br>(フラッシュ・メモリ) | 12 Kバイト                              | 16 Kバイト                            | 24 Kバイト                            |
|                    | 高速RAM     | 512バイト                 |                                      |                                    |                                    |
|                    | LCD表示用RAM | 28バイト                  |                                      |                                    |                                    |
| ブルアップ抵抗            |           | 32本 (ソフトウェア制御のみ)       | 36本 (ソフトウェア制御: 32本, マスク・オプション制御: 4本) |                                    |                                    |
| LCD駆動用分割抵抗         |           | なし                     | マスク・オプションにより, 内蔵を指定可能                |                                    |                                    |
| IC端子               |           | なし                     | あり                                   |                                    |                                    |
| V <sub>PP</sub> 端子 |           | あり                     | なし                                   |                                    |                                    |
| 電気的特性              |           | 第21章 電気的特性を参照してください。   |                                      |                                    |                                    |

- 注意1. フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品 (ES製品でなく) で十分な評価を行ってください。
2. A/D変換結果レジスタ0 (ADCR0) を8ビットA/Dコンバータ ( $\mu$  PD789407Aサブシリーズ) として使用するとき8ビット・メモリ操作命令で、10ビットA/Dコンバータ ( $\mu$  PD789417Aサブシリーズ) として使用するとき16ビット・メモリ操作命令で操作します。
- ただし、 $\mu$  PD78F9418Aは、 $\mu$  PD789405A, 789406A, 789407Aのフラッシュ・メモリとして使用するとき、ADCR0を8ビット・メモリ操作命令で操作できます。その場合、 $\mu$  PD789405A, 789406A, 789407Aでアセンブルしたオブジェクト・ファイルで行ってください。

## ★ 18.1 フラッシュ・メモリの特徴

フラッシュ・メモリへのプログラミングは、 $\mu$ PD78F9418Aを実装した状態（オンボード）のターゲット・システムに、専用のフラッシュ・ライタ（Flashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4））を接続して行います。またプログラミング専用のターゲット・ボードであるプログラム・アダプタ（FAアダプタ）を用意しています。

**備考** FL-PR3, FL-PR4, プログラム・アダプタは、株式会社内藤電誠町田製作所（TEL（045）475-4191）の製品です。

フラッシュ・メモリによるプログラミングには、次のような利点があります。

- ターゲット・システムにマイコンを半田実装後、ソフトウェアの変更可能
- ソフトウェアを区別することで少量多品種生産が容易
- 量産立ち上げ時のデータ調整が容易

### 18.1.1 プログラミング環境

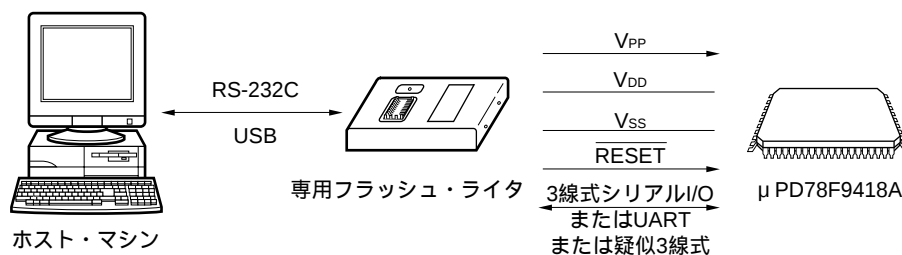
$\mu$ PD78F9418Aのフラッシュ・メモリ・プログラミングに必要な環境を示します。

専用フラッシュ・ライタとして（Flashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4））を使用した場合、専用フラッシュ・ライタには、これを制御するホスト・マシンが必要です。ホスト・マシンとフラッシュ・ライタ間の通信は、RS-232C/USB（Rev1.1）で行います。

詳細はFlashpro / Flashpro のマニュアルを参照してください。

**備考** USBはFlashpro のみ対応

図18 - 1 フラッシュ・メモリにプログラムを書き込むための環境



## 18. 1. 2 通信方式

専用フラッシュ・ライタと $\mu$  PD78F9418Aとの通信は、表18 - 2に示す通信方式から選択して行います。

表18 - 2 通信方式一覧

| 通信方式       | TYPE設定 <sup>注1</sup>            |                                    |                                    |                           |               | 使用端子                                     | V <sub>PP</sub> パルス数 |
|------------|---------------------------------|------------------------------------|------------------------------------|---------------------------|---------------|------------------------------------------|----------------------|
|            | COMM<br>PORT                    | SIOクロック                            | CPU CLOCK                          |                           | Multiple Rate |                                          |                      |
|            |                                 |                                    | In Flashpro                        | On Target Board           |               |                                          |                      |
| 3線式シリアルI/O | SIO ch-0<br>(3wired, sync.)     | 100 Hz-<br>1.25 MHz <sup>注2</sup>  | 1, 2, 4, 5<br>MHz <sup>注2, 3</sup> | 1-5 MHz <sup>注2</sup>     | 1.0           | SI/RxD/P22<br>SO/TxD/P21<br>SCK/ASCK/P20 | 0                    |
| UART       | UART ch-0<br>( Async. )         | 4800-76800<br>bps <sup>注2, 4</sup> | 5 MHz <sup>注5</sup>                | 4.91, 5 MHz <sup>注2</sup> | 1.0           | RxD/SI/P22<br>TxD/SO/P21                 | 8                    |
| 疑似3線式      | Port A<br>( Pseudo-<br>3wired ) | 100 Hz-<br>1 kHz                   | 1, 2, 4, 5<br>MHz <sup>注2, 3</sup> | 1-5 MHz <sup>注2</sup>     | 1.0           | P01<br>P02<br>P00                        | 12                   |
|            | Port B<br>( Pseudo-<br>3wired ) |                                    |                                    |                           |               | P40/KR0<br>P41/KR1<br>P42/KR2            | 13                   |

注1. 専用フラッシュ・ライタ（Flashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4））  
上のTYPE設定における選択項目です。

2. 電圧により設定可能な範囲が異なります。詳細は第21章 電気的特性を参照してください。
3. Flashpro の場合は、2, 4 MHzのみ
4. UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。
5. Flashpro の場合のみ。Flashpro の場合は必ずオンボード上の発振子のクロックを選択してください。  
Flashpro から供給されるクロックでは対応できません。

図18 - 2 通信方式選択フォーマット

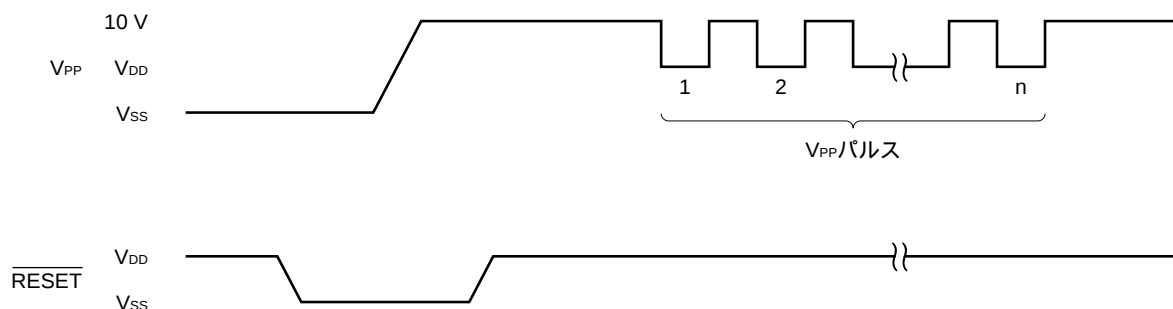
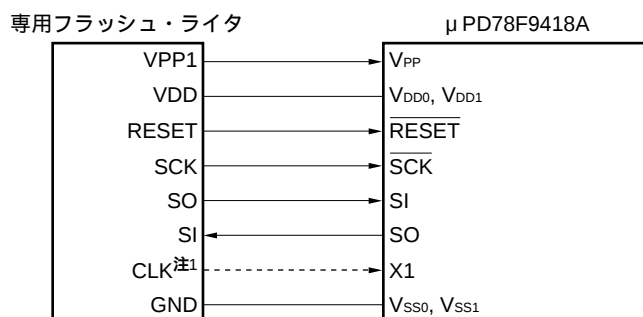
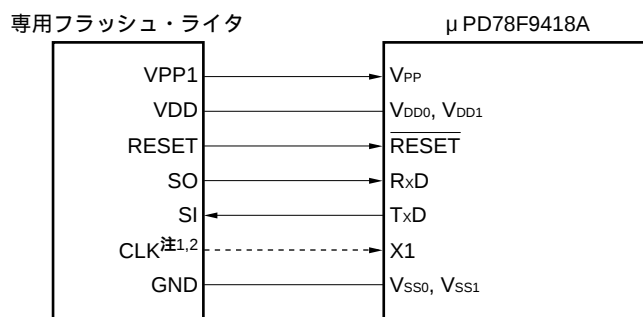


図18 - 3 専用フラッシュ・ライタとの接続例

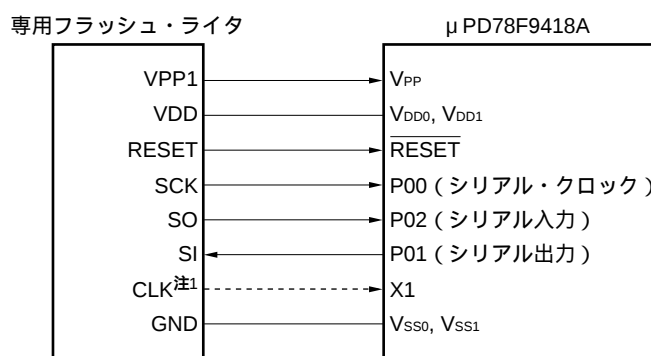
## (a) 3線式シリアルI/O



## (b) UART



## (c) 疑似3線式 (P0を使用する場合)



- 注1. 専用フラッシュ・ライタからシステム・クロックを供給する場合に接続します。X1端子にすでに振動子が接続されている場合は、CLK端子と接続しないでください。
2. Flashpro でUARTを使用する場合は必ずX1端子に接続された振動子のクロックを使わなければならないので、CLK端子と接続しないでください。

**注意** VDD端子は、すでに電源が接続されている場合でも、必ず専用フラッシュ・ライタのVDD端子と接続してください。またその電源を使用する場合は、必ずプログラミング開始前に電圧を供給してください。

専用フラッシュ・ライタとしてFlashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4）を使用した場合、 $\mu$ PD78F9418Aに対して次の信号を生成します。詳細はFlashpro / Flashpro のマニュアルを参照してください。

表18 - 3 端子接続一覧

| 信号名   | 入出力 | 端子機能                        | 端子名                                 | 3線式シリアルI/O | UART | 疑似3線式 |
|-------|-----|-----------------------------|-------------------------------------|------------|------|-------|
| VPP1  | 出力  | 書き込み電圧                      | V <sub>PP</sub>                     |            |      |       |
| VPP2  | -   | -                           | -                                   | ×          | ×    | ×     |
| VDD   | 入出力 | V <sub>DD</sub> 電圧生成 / 電圧監視 | V <sub>DD0</sub> , V <sub>DD1</sub> | 注          | 注    | 注     |
| GND   | -   | グランド                        | V <sub>SS0</sub> , V <sub>SS1</sub> |            |      |       |
| CLK   | 出力  | クロック出力                      | X1                                  | ○          | ○    | ○     |
| RESET | 出力  | リセット信号                      | RESET                               |            |      |       |
| SI    | 入力  | 受信信号                        | SO/TxD/P01/P41                      |            |      |       |
| SO    | 出力  | 送信信号                        | SI/RxD/P02/P42                      |            |      |       |
| SCK   | 出力  | 転送クロック                      | SCK/P00/P40                         |            | ×    |       |
| HS    | 入力  | ハンドシェーク信号                   | -                                   | ×          | ×    | ×     |

注 V<sub>DD</sub>電圧はプログラミング開始前に供給する必要があります。

**備考** : 必ず接続してください。

○ : ターゲット・ボード上で供給されていれば、接続の必要はありません。

× : 接続の必要はありません。

### 18.1.3 オンボード上の端子処理

ターゲット・システム上でプログラミングを行う場合は、ターゲット・システム上に専用フラッシュ・ライターと接続するためのコネクタを設けます。

また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能が必要になる場合があります。

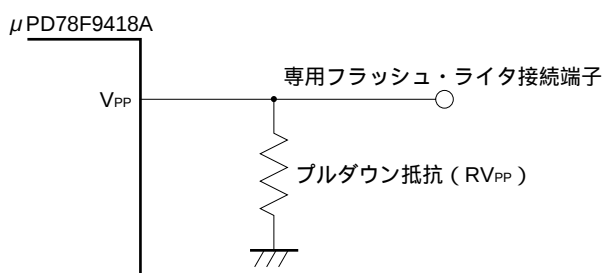
#### <V<sub>PP</sub>端子>

通常動作モード時は、V<sub>PP</sub>端子に0 Vを入力します。またフラッシュ・メモリ・プログラミング・モード時は、V<sub>PP</sub>端子に10.0 V (TYP.) の書き込み電圧を供給しますので、次に示す(1)か(2)の端子処理を行ってください。

- (1) V<sub>PP</sub>端子にプルダウン抵抗RV<sub>PP</sub> = 10 k $\Omega$ を接続してください。
- (2) ボード上のジャンパで、V<sub>PP</sub>端子の入力をライター側または直接GNDのどちらかに切り替えてください。

V<sub>PP</sub>端子の接続例を次に示します。

図18 - 4 V<sub>PP</sub>端子の接続例



#### <シリアル・インタフェース端子>

各シリアル・インタフェースが使用する端子を次に示します。

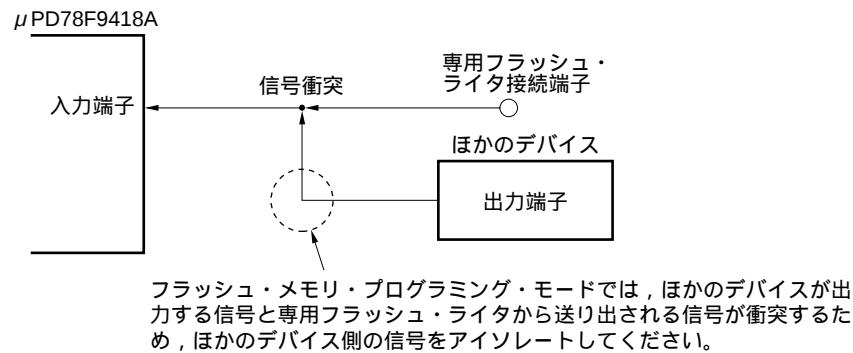
| シリアル・インタフェース | 使用端子          |
|--------------|---------------|
| 3線式シリアルI/O   | SI, SO, SCK   |
| UART         | RxD, TxD      |
| 疑似3線式        | P00, P01, P02 |
|              | P40, P41, P42 |

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライターを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

## (1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライタ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

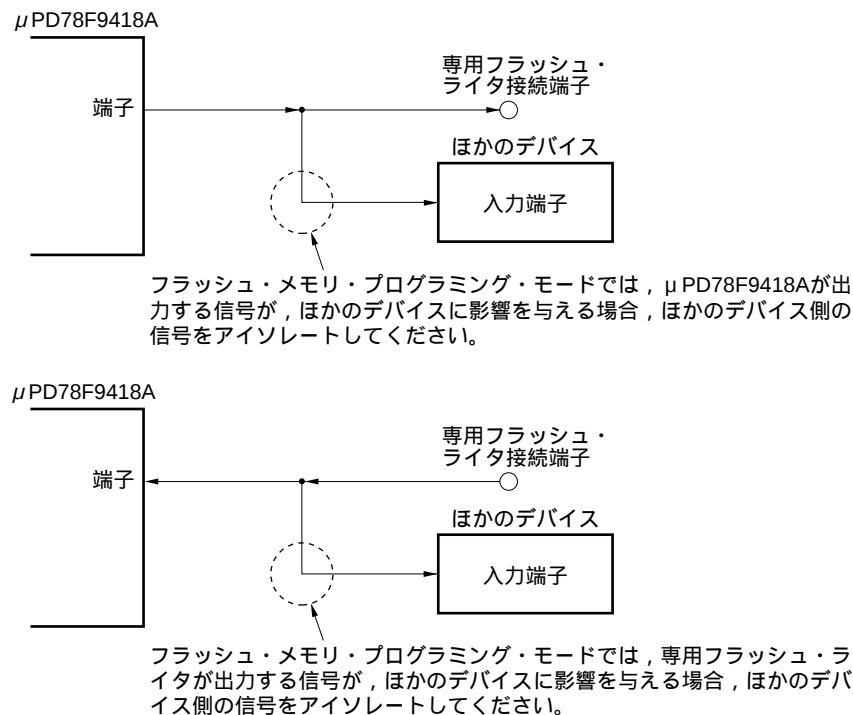
図18 - 5 信号の衝突（シリアル・インタフェースの入力端子）



## (2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・ライタ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスへの入力信号を無視するように設定してください。

図18 - 6 ほかのデバイスの異常動作

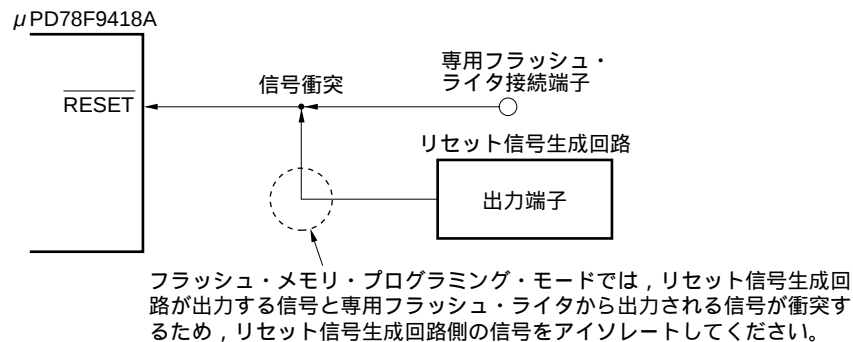


## &lt;RESET端子&gt;

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図18 - 7 信号の衝突 (RESET端子)



## &lt;ポート端子&gt;

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングと通信する端子を除くすべての端子は、すべてリセット直後と同じ状態になります。

したがって、外部デバイスが出力ハイ・インピーダンス状態などの初期状態を認めない場合は、抵抗を介して $V_{DD0}$ 、 $V_{DD1}$ 、 $V_{SS0}$ 、 $V_{SS1}$ のいずれかに接続するなどの処置をしてください。

## &lt;発振端子&gt;

オンボード上のクロックを使用する場合、X1、X2、XT1、XT2は、通常動作モード時に準拠した接続をしてください。

フラッシュ・ライタのクロック出力を使用する場合は、オンボード上のメイン発振子を切り離し、X1端子に直接接続し、X2端子はオープンにしてください。サブクロックに関しては通常動作モード時に準拠します。

## &lt;電 源&gt;

フラッシュ・ライタの電源出力を使用する場合は、 $V_{DD0}$ 、 $V_{DD1}$ 端子はフラッシュ・ライタのVDDに、 $V_{SS0}$ 、 $V_{SS1}$ 端子はフラッシュ・ライタのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。ただし、フラッシュ・ライタで電圧監視をするので、フラッシュ・ライタのVDDは必ず接続してください。

その他の電源 ( $AV_{DD}$ 、 $AV_{REF}$ 、 $AV_{SS}$ ) は、通常動作モード時と同じ電源を供給してください。

## &lt;その他の端子&gt;

その他の端子 (S0-S15, COM0-COM3,  $V_{LC0}$ - $V_{LC2}$ , BIAS) は、通常動作モード時と同じ処理をしてください。

## 18.1.4 フラッシュ書き込み用アダプタ上の接続

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図18 - 8 3線式シリアルI/O方式でのフラッシュ書き込み用アダプタ配線例

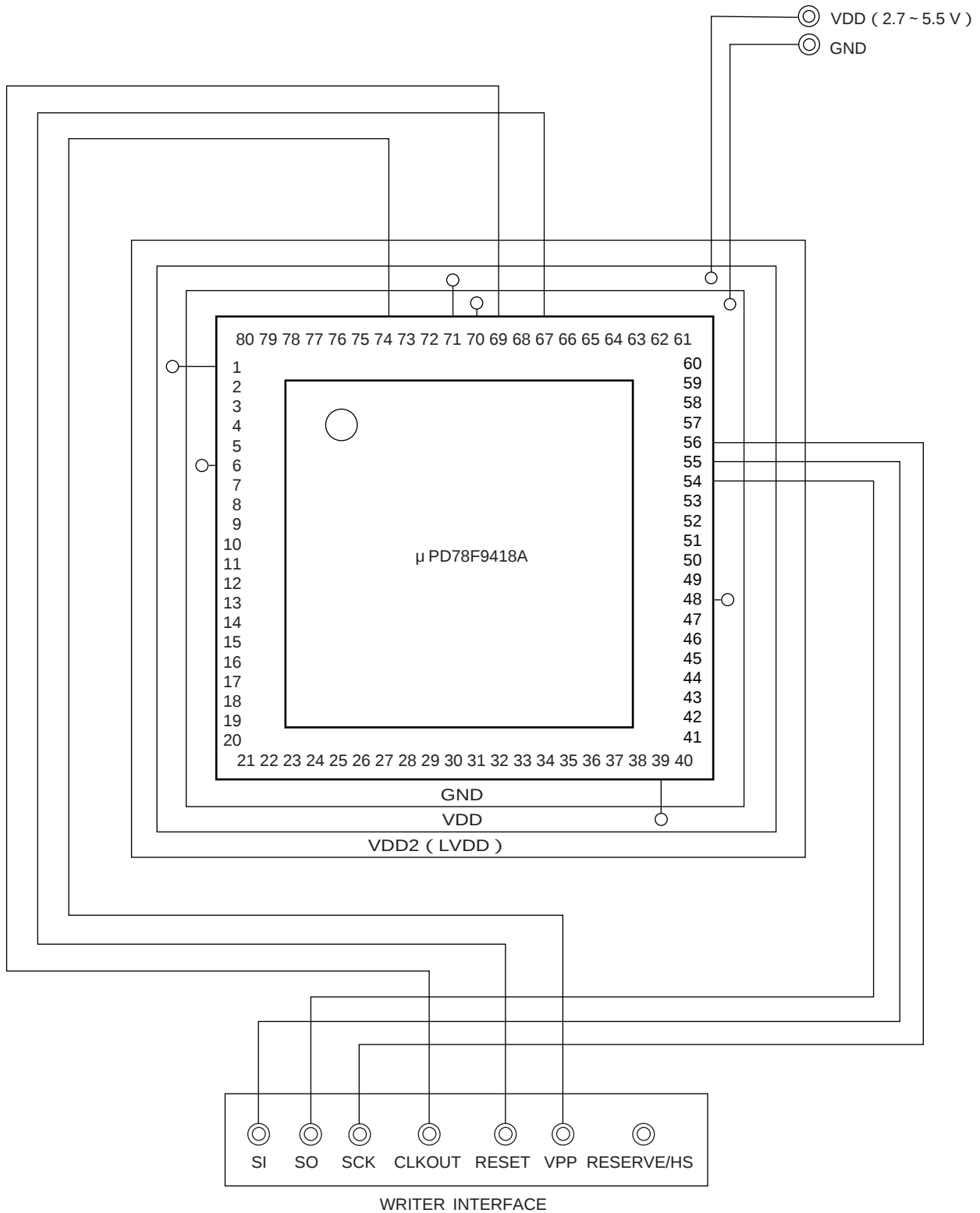


図18 - 9 UART方式でのフラッシュ書き込み用アダプタ配線例

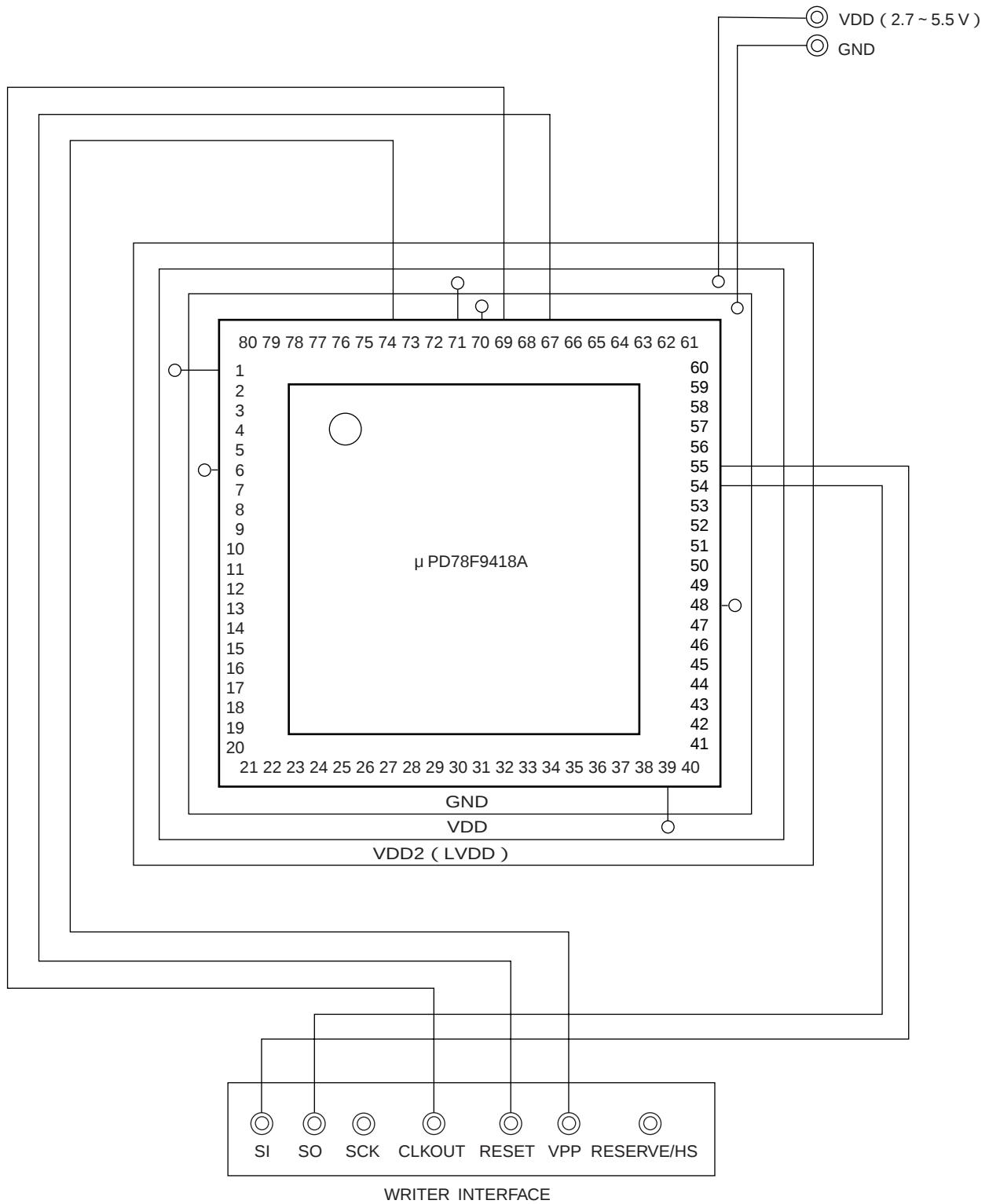
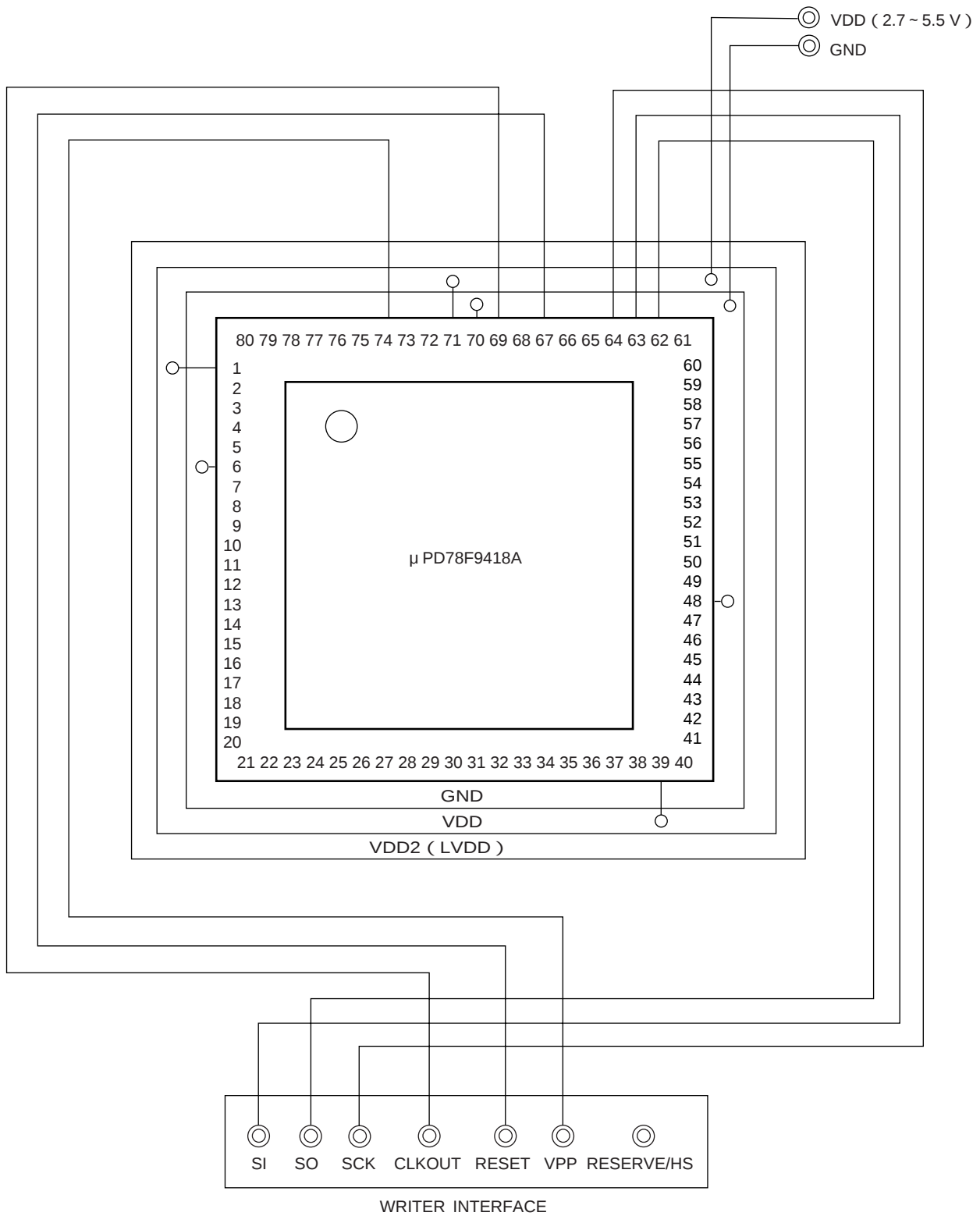


図18 - 10 疑似3線式でのフラッシュ書き込み用アダプタ配線例 (P0を使用する場合)



## 第19章 マスク・オプション

$\mu$  PD789407A, 789417サブシリーズのマスクROM製品には、次のマスク・オプションがあります。

**注意** フラッシュ・メモリ製品には、マスク・オプションはありません。

### 19.1 端子のマスク・オプション

表19 - 1 端子のマスク・オプションの選択

| 端 子     | マスク・オプション               |
|---------|-------------------------|
| P50-P53 | 1ビット単位でプルアップ抵抗の内蔵を指定可能。 |

P50-P53 (ポート5) は、マスク・オプションによりプルアップ抵抗の内蔵を指定することができます。マスク・オプションは1ビット単位で指定できます。

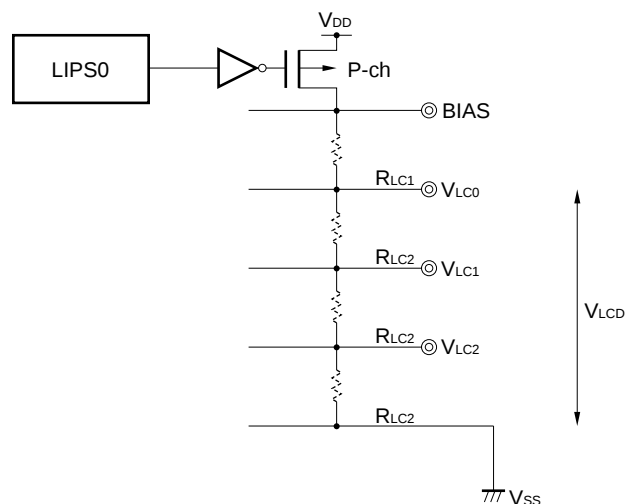
### 19.2 LCD駆動用分割抵抗のマスク・オプション

マスク・オプションにより、次の表に示すLCD駆動用分割抵抗の内蔵を選択可能です。

表19 - 2 選択可能なLCD駆動用分割抵抗の組み合わせ

|           |                | $R_{LC1} (2 \times R_{LC2})$ |               |                |
|-----------|----------------|------------------------------|---------------|----------------|
|           |                | なし                           | 20 k $\Omega$ | 200 k $\Omega$ |
| $R_{LC2}$ | なし             | ○                            | -             | -              |
|           | 10 k $\Omega$  | ○                            | ○             | -              |
|           | 100 k $\Omega$ | ○                            | -             | ○              |

○ : 選択可能      - : 選択不可



LIPS0 : LCD表示モード・レジスタ0 (LCDM0) のビット4

## 第20章 命令セットの概要

$\mu$ PD789407A, 789417Aサブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0Sシリーズ ユーザーズ・マニュアル 命令編（U11047J）を参照してください。

### 20.1 オペレーション

#### 20.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[ ]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・#：イミディエト・データ指定
- ・\$：相対アドレス指定
- ・!：絶対アドレス指定
- ・[ ]：間接アドレス指定

イミディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[ ]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X、A、Cなど）、絶対名称（下表の中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表20 - 1 オペランドの表現形式と記述方法

| 表現形式   | 記 述 方 法                                                                               |
|--------|---------------------------------------------------------------------------------------|
| r      | X ( R0 ) , A ( R1 ) , C ( R2 ) , B ( R3 ) , E ( R4 ) , D ( R5 ) , L ( R6 ) , H ( R7 ) |
| rp     | AX ( RP0 ) , BC ( RP1 ) , DE ( RP2 ) , HL ( RP3 )                                     |
| sfr    | 特殊機能レジスタ略号                                                                            |
| saddr  | FE20H-FF1FH イミディエト・データまたはラベル                                                          |
| saddrp | FE20H-FF1FH イミディエト・データまたはラベル（偶数アドレスのみ）                                                |
| addr16 | 0000H-FFFFH イミディエト・データまたはラベル<br>（16ビット・データ転送命令時は偶数アドレスのみ）                             |
| addr5  | 0040H-007FH イミディエト・データまたはラベル（偶数アドレスのみ）                                                |
| word   | 16ビット・イミディエト・データまたはラベル                                                                |
| byte   | 8ビット・イミディエト・データまたはラベル                                                                 |
| bit    | 3ビット・イミディエト・データまたはラベル                                                                 |

**備考** 特殊機能レジスタの略号は表3 - 3 特殊機能レジスタ一覧を参照してください。

### 20. 1. 2 オペレーション欄の説明

|                      |                                      |
|----------------------|--------------------------------------|
| A                    | : Aレジスタ ; 8ビット・アキュムレータ               |
| X                    | : Xレジスタ                              |
| B                    | : Bレジスタ                              |
| C                    | : Cレジスタ                              |
| D                    | : Dレジスタ                              |
| E                    | : Eレジスタ                              |
| H                    | : Hレジスタ                              |
| L                    | : Lレジスタ                              |
| AX                   | : AXレジスタ・ペア ; 16ビット・アキュムレータ          |
| BC                   | : BCレジスタ・ペア                          |
| DE                   | : DEレジスタ・ペア                          |
| HL                   | : HLレジスタ・ペア                          |
| PC                   | : プログラム・カウンタ                         |
| SP                   | : スタック・ポインタ                          |
| PSW                  | : プログラム・ステータス・ワード                    |
| CY                   | : キャリー・フラグ                           |
| AC                   | : 補助キャリー・フラグ                         |
| Z                    | : ゼロ・フラグ                             |
| IE                   | : 割り込み要求許可フラグ                        |
| NMIS                 | : ノンマスカブル割り込み処理中フラグ                  |
| (    )               | : (    ) 内のアドレスまたはレジスタの内容で示されるメモリの内容 |
| $\times_H, \times_L$ | : 16ビット・レジスタの上位8ビット, 下位8ビット          |
| $\wedge$             | : 論理積 (AND)                          |
| $\vee$               | : 論理和 (OR)                           |
| $\nabla$             | : 排他的論理和 (exclusive OR)              |
| ———                  | : 反転データ                              |
| addr16               | : 16ビット・イミディエイト・データまたはレーベル           |
| jdisp8               | : 符号付き8ビット・データ (ディスプレイメント値)          |

### 20. 1. 3 フラグ動作欄の説明

|          |                      |
|----------|----------------------|
| ( ブランク ) | : 変化なし               |
| 0        | : 0にクリアされる           |
| 1        | : 1にセットされる           |
| $\times$ | : 結果に従ってセット / クリアされる |
| R        | : 以前に退避した値がストアされる    |

## 20.2 オペレーション一覧

| 二モニック | オペランド            | バイト | クロック | オペレーション                                       | フラグ |    |    |
|-------|------------------|-----|------|-----------------------------------------------|-----|----|----|
|       |                  |     |      |                                               | Z   | AC | CY |
| MOV   | r, #byte         | 3   | 6    | $r \leftarrow \text{byte}$                    |     |    |    |
|       | saddr, #byte     | 3   | 6    | $(\text{saddr}) \leftarrow \text{byte}$       |     |    |    |
|       | sfr, #byte       | 3   | 6    | $\text{sfr} \leftarrow \text{byte}$           |     |    |    |
|       | A, r 注1          | 2   | 4    | $A \leftarrow r$                              |     |    |    |
|       | r, A 注1          | 2   | 4    | $r \leftarrow A$                              |     |    |    |
|       | A, saddr         | 2   | 4    | $A \leftarrow (\text{saddr})$                 |     |    |    |
|       | saddr, A         | 2   | 4    | $(\text{saddr}) \leftarrow A$                 |     |    |    |
|       | A, sfr           | 2   | 4    | $A \leftarrow \text{sfr}$                     |     |    |    |
|       | sfr, A           | 2   | 4    | $\text{sfr} \leftarrow A$                     |     |    |    |
|       | A, !addr16       | 3   | 8    | $A \leftarrow (\text{addr16})$                |     |    |    |
|       | !addr16, A       | 3   | 8    | $(\text{addr16}) \leftarrow A$                |     |    |    |
|       | PSW, #byte       | 3   | 6    | $\text{PSW} \leftarrow \text{byte}$           | x   | x  | x  |
|       | A, PSW           | 2   | 4    | $A \leftarrow \text{PSW}$                     |     |    |    |
|       | PSW, A           | 2   | 4    | $\text{PSW} \leftarrow A$                     | x   | x  | x  |
|       | A, [ DE ]        | 1   | 6    | $A \leftarrow (\text{DE})$                    |     |    |    |
|       | [ DE ], A        | 1   | 6    | $(\text{DE}) \leftarrow A$                    |     |    |    |
|       | A, [ HL ]        | 1   | 6    | $A \leftarrow (\text{HL})$                    |     |    |    |
|       | [ HL ], A        | 1   | 6    | $(\text{HL}) \leftarrow A$                    |     |    |    |
|       | A, [ HL + byte ] | 2   | 6    | $A \leftarrow (\text{HL} + \text{byte})$      |     |    |    |
|       | [ HL + byte ], A | 2   | 6    | $(\text{HL} + \text{byte}) \leftarrow A$      |     |    |    |
| XCH   | A, X             | 1   | 4    | $A \leftrightarrow X$                         |     |    |    |
|       | A, r 注2          | 2   | 6    | $A \leftrightarrow r$                         |     |    |    |
|       | A, saddr         | 2   | 6    | $A \leftrightarrow (\text{saddr})$            |     |    |    |
|       | A, sfr           | 2   | 6    | $A \leftrightarrow \text{sfr}$                |     |    |    |
|       | A, [ DE ]        | 1   | 8    | $A \leftrightarrow (\text{DE})$               |     |    |    |
|       | A, [ HL ]        | 1   | 8    | $A \leftrightarrow (\text{HL})$               |     |    |    |
|       | A, [ HL, byte ]  | 2   | 8    | $A \leftrightarrow (\text{HL} + \text{byte})$ |     |    |    |

注1. r = Aを除く

2. r = A, Xを除く

**備考** 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f<sub>cpu</sub>) の1クロック分です。

| ニモニック | オペランド            | バイト | クロック | オペレーション                                                           | フラグ |    |    |
|-------|------------------|-----|------|-------------------------------------------------------------------|-----|----|----|
|       |                  |     |      |                                                                   | Z   | AC | CY |
| MOVW  | rp, #word        | 3   | 6    | $rp \leftarrow \text{word}$                                       |     |    |    |
|       | AX, saddrp       | 2   | 6    | $AX \leftarrow (\text{saddrp})$                                   |     |    |    |
|       | saddrp, AX       | 2   | 8    | $(\text{saddrp}) \leftarrow AX$                                   |     |    |    |
|       | AX, rp 注         | 1   | 4    | $AX \leftarrow rp$                                                |     |    |    |
|       | rp, AX 注         | 1   | 4    | $rp \leftarrow AX$                                                |     |    |    |
| XCHW  | AX, rp 注         | 1   | 8    | $AX \leftrightarrow rp$                                           |     |    |    |
| ADD   | A, #byte         | 2   | 4    | $A, CY \leftarrow A + \text{byte}$                                | ×   | ×  | ×  |
|       | saddr, #byte     | 3   | 6    | $(\text{saddr}), CY \leftarrow (\text{saddr}) + \text{byte}$      | ×   | ×  | ×  |
|       | A, r             | 2   | 4    | $A, CY \leftarrow A + r$                                          | ×   | ×  | ×  |
|       | A, saddr         | 2   | 4    | $A, CY \leftarrow A + (\text{saddr})$                             | ×   | ×  | ×  |
|       | A, !addr16       | 3   | 8    | $A, CY \leftarrow A + (\text{addr16})$                            | ×   | ×  | ×  |
|       | A, [ HL ]        | 1   | 6    | $A, CY \leftarrow A + (HL)$                                       | ×   | ×  | ×  |
|       | A, [ HL + byte ] | 2   | 6    | $A, CY \leftarrow A + (HL + \text{byte})$                         | ×   | ×  | ×  |
| ADDC  | A, #byte         | 2   | 4    | $A, CY \leftarrow A + \text{byte} + CY$                           | ×   | ×  | ×  |
|       | saddr, #byte     | 3   | 6    | $(\text{saddr}), CY \leftarrow (\text{saddr}) + \text{byte} + CY$ | ×   | ×  | ×  |
|       | A, r             | 2   | 4    | $A, CY \leftarrow A + r + CY$                                     | ×   | ×  | ×  |
|       | A, saddr         | 2   | 4    | $A, CY \leftarrow A + (\text{saddr}) + CY$                        | ×   | ×  | ×  |
|       | A, !addr16       | 3   | 8    | $A, CY \leftarrow A + (\text{addr16}) + CY$                       | ×   | ×  | ×  |
|       | A, [ HL ]        | 1   | 6    | $A, CY \leftarrow A + (HL) + CY$                                  | ×   | ×  | ×  |
|       | A, [ HL + byte ] | 2   | 6    | $A, CY \leftarrow A + (HL + \text{byte}) + CY$                    | ×   | ×  | ×  |
| SUB   | A, #byte         | 2   | 4    | $A, CY \leftarrow A - \text{byte}$                                | ×   | ×  | ×  |
|       | saddr, #byte     | 3   | 6    | $(\text{saddr}), CY \leftarrow (\text{saddr}) - \text{byte}$      | ×   | ×  | ×  |
|       | A, r             | 2   | 4    | $A, CY \leftarrow A - r$                                          | ×   | ×  | ×  |
|       | A, saddr         | 2   | 4    | $A, CY \leftarrow A - (\text{saddr})$                             | ×   | ×  | ×  |
|       | A, !addr16       | 3   | 8    | $A, CY \leftarrow A - (\text{addr16})$                            | ×   | ×  | ×  |
|       | A, [ HL ]        | 1   | 6    | $A, CY \leftarrow A - (HL)$                                       | ×   | ×  | ×  |
|       | A, [ HL + byte ] | 2   | 6    | $A, CY \leftarrow A - (HL + \text{byte})$                         | ×   | ×  | ×  |

注 rp = BC, DE, HLのときのみ

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f<sub>CPU</sub>) の1クロック分です。

| ニモニック | オペランド            | バイト | クロック | オペレーション                                             | フラグ |    |    |
|-------|------------------|-----|------|-----------------------------------------------------|-----|----|----|
|       |                  |     |      |                                                     | Z   | AC | CY |
| SUBC  | A, #byte         | 2   | 4    | $A, CY \leftarrow A - \text{byte} - CY$             | ×   | ×  | ×  |
|       | saddr, #byte     | 3   | 6    | $(saddr), CY \leftarrow (saddr) - \text{byte} - CY$ | ×   | ×  | ×  |
|       | A, r             | 2   | 4    | $A, CY \leftarrow A - r - CY$                       | ×   | ×  | ×  |
|       | A, saddr         | 2   | 4    | $A, CY \leftarrow A - (saddr) - CY$                 | ×   | ×  | ×  |
|       | A, !addr16       | 3   | 8    | $A, CY \leftarrow A - (addr16) - CY$                | ×   | ×  | ×  |
|       | A, [ HL ]        | 1   | 6    | $A, CY \leftarrow A - (HL) - CY$                    | ×   | ×  | ×  |
|       | A, [ HL + byte ] | 2   | 6    | $A, CY \leftarrow A - (HL + \text{byte}) - CY$      | ×   | ×  | ×  |
| AND   | A, #byte         | 2   | 4    | $A \leftarrow A \wedge \text{byte}$                 | ×   |    |    |
|       | saddr, #byte     | 3   | 6    | $(saddr) \leftarrow (saddr) \wedge \text{byte}$     | ×   |    |    |
|       | A, r             | 2   | 4    | $A \leftarrow A \wedge r$                           | ×   |    |    |
|       | A, saddr         | 2   | 4    | $A \leftarrow A \wedge (saddr)$                     | ×   |    |    |
|       | A, !addr16       | 3   | 8    | $A \leftarrow A \wedge (addr16)$                    | ×   |    |    |
|       | A, [ HL ]        | 1   | 6    | $A \leftarrow A \wedge (HL)$                        | ×   |    |    |
|       | A, [ HL + byte ] | 2   | 6    | $A \leftarrow A \wedge (HL + \text{byte})$          | ×   |    |    |
| OR    | A, #byte         | 2   | 4    | $A \leftarrow A \vee \text{byte}$                   | ×   |    |    |
|       | saddr, #byte     | 3   | 6    | $(saddr) \leftarrow (saddr) \vee \text{byte}$       | ×   |    |    |
|       | A, r             | 2   | 4    | $A \leftarrow A \vee r$                             | ×   |    |    |
|       | A, saddr         | 2   | 4    | $A \leftarrow A \vee (saddr)$                       | ×   |    |    |
|       | A, !addr16       | 3   | 8    | $A \leftarrow A \vee (addr16)$                      | ×   |    |    |
|       | A, [ HL ]        | 1   | 6    | $A \leftarrow A \vee (HL)$                          | ×   |    |    |
|       | A, [ HL + byte ] | 2   | 6    | $A \leftarrow A \vee (HL + \text{byte})$            | ×   |    |    |
| XOR   | A, #byte         | 2   | 4    | $A \leftarrow A \vee \text{byte}$                   | ×   |    |    |
|       | saddr, #byte     | 3   | 6    | $(saddr) \leftarrow (saddr) \vee \text{byte}$       | ×   |    |    |
|       | A, r             | 2   | 4    | $A \leftarrow A \vee r$                             | ×   |    |    |
|       | A, saddr         | 2   | 4    | $A \leftarrow A \vee (saddr)$                       | ×   |    |    |
|       | A, !addr16       | 3   | 8    | $A \leftarrow A \vee (addr16)$                      | ×   |    |    |
|       | A, [ HL ]        | 1   | 6    | $A \leftarrow A \vee (HL)$                          | ×   |    |    |
|       | A, [ HL + byte ] | 2   | 6    | $A \leftarrow A \vee (HL + \text{byte})$            | ×   |    |    |

**備考** 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f<sub>CPU</sub>) の1クロック分です。

| ニモニック | オペランド            | バイト | クロック | オペレーション                                                                               | フラグ |    |    |
|-------|------------------|-----|------|---------------------------------------------------------------------------------------|-----|----|----|
|       |                  |     |      |                                                                                       | Z   | AC | CY |
| CMP   | A, #byte         | 2   | 4    | A - byte                                                                              | ×   | ×  | ×  |
|       | saddr, #byte     | 3   | 6    | ( saddr ) - byte                                                                      | ×   | ×  | ×  |
|       | A, r             | 2   | 4    | A - r                                                                                 | ×   | ×  | ×  |
|       | A, saddr         | 2   | 4    | A - ( saddr )                                                                         | ×   | ×  | ×  |
|       | A, laddr16       | 3   | 8    | A - ( addr16 )                                                                        | ×   | ×  | ×  |
|       | A, [ HL ]        | 1   | 6    | A - ( HL )                                                                            | ×   | ×  | ×  |
|       | A, [ HL + byte ] | 2   | 6    | A - ( HL + byte )                                                                     | ×   | ×  | ×  |
| ADDW  | AX, #word        | 3   | 6    | AX, CY ← AX + word                                                                    | ×   | ×  | ×  |
| SUBW  | AX, #word        | 3   | 6    | AX, CY ← AX - word                                                                    | ×   | ×  | ×  |
| CMPW  | AX, #word        | 3   | 6    | AX - word                                                                             | ×   | ×  | ×  |
| INC   | r                | 2   | 4    | r ← r + 1                                                                             | ×   | ×  |    |
|       | saddr            | 2   | 4    | ( saddr ) ← ( saddr ) + 1                                                             | ×   | ×  |    |
| DEC   | r                | 2   | 4    | r ← r - 1                                                                             | ×   | ×  |    |
|       | saddr            | 2   | 4    | ( saddr ) ← ( saddr ) - 1                                                             | ×   | ×  |    |
| INCW  | rp               | 1   | 4    | rp ← rp + 1                                                                           |     |    |    |
| DECW  | rp               | 1   | 4    | rp ← rp - 1                                                                           |     |    |    |
| ROR   | A, 1             | 1   | 2    | ( CY, A <sub>7</sub> ← A <sub>0</sub> , A <sub>m-1</sub> ← A <sub>m</sub> ) × 1回      |     |    | ×  |
| ROL   | A, 1             | 1   | 2    | ( CY, A <sub>0</sub> ← A <sub>7</sub> , A <sub>m+1</sub> ← A <sub>m</sub> ) × 1回      |     |    | ×  |
| RORC  | A, 1             | 1   | 2    | ( CY ← A <sub>0</sub> , A <sub>7</sub> ← CY, A <sub>m-1</sub> ← A <sub>m</sub> ) × 1回 |     |    | ×  |
| ROLC  | A, 1             | 1   | 2    | ( CY ← A <sub>7</sub> , A <sub>0</sub> ← CY, A <sub>m+1</sub> ← A <sub>m</sub> ) × 1回 |     |    | ×  |
| SET1  | saddr.bit        | 3   | 6    | ( saddr.bit ) ← 1                                                                     |     |    |    |
|       | sfr.bit          | 3   | 6    | sfr.bit ← 1                                                                           |     |    |    |
|       | A.bit            | 2   | 4    | A.bit ← 1                                                                             |     |    |    |
|       | PSW.bit          | 3   | 6    | PSW.bit ← 1                                                                           | ×   | ×  | ×  |
|       | [ HL ] .bit      | 2   | 10   | ( HL ) .bit ← 1                                                                       |     |    |    |
| CLR1  | saddr.bit        | 3   | 6    | ( saddr.bit ) ← 0                                                                     |     |    |    |
|       | sfr.bit          | 3   | 6    | sfr.bit ← 0                                                                           |     |    |    |
|       | A.bit            | 2   | 4    | A.bit ← 0                                                                             |     |    |    |
|       | PSW.bit          | 3   | 6    | PSW.bit ← 0                                                                           | ×   | ×  | ×  |
|       | [ HL ] .bit      | 2   | 10   | ( HL ) .bit ← 0                                                                       |     |    |    |
| SET1  | CY               | 1   | 2    | CY ← 1                                                                                |     |    | 1  |
| CLR1  | CY               | 1   | 2    | CY ← 0                                                                                |     |    | 0  |

**備考** 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック ( f<sub>CPU</sub> ) の1クロック分です。

| ニモニック | オペランド               | バイト | クロック | オペレーション                                                                                                                                                                                       | フラグ |    |    |
|-------|---------------------|-----|------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----|----|----|
|       |                     |     |      |                                                                                                                                                                                               | Z   | AC | CY |
| NOT1  | CY                  | 1   | 2    | $CY \leftarrow \overline{CY}$                                                                                                                                                                 |     |    | ×  |
| CALL  | laddr16             | 3   | 6    | $(SP - 1) \leftarrow (PC + 3)_H, (SP - 2) \leftarrow (PC + 3)_L,$<br>$PC \leftarrow \text{laddr16}, SP \leftarrow SP - 2$                                                                     |     |    |    |
| CALLT | [ addr5 ]           | 1   | 8    | $(SP - 1) \leftarrow (PC + 1)_H, (SP - 2) \leftarrow (PC + 1)_L,$<br>$PC_H \leftarrow (00000000, \text{addr5} + 1),$<br>$PC_L \leftarrow (00000000, \text{addr5}),$<br>$SP \leftarrow SP - 2$ |     |    |    |
| RET   |                     | 1   | 6    | $PC_H \leftarrow (SP + 1), PC_L \leftarrow (SP),$<br>$SP \leftarrow SP + 2$                                                                                                                   |     |    |    |
| RETI  |                     | 1   | 8    | $PC_H \leftarrow (SP + 1), PC_L \leftarrow (SP),$<br>$PSW \leftarrow (SP + 2), SP \leftarrow SP + 3,$<br>$NMIS \leftarrow 0$                                                                  | R   | R  | R  |
| PUSH  | PSW                 | 1   | 2    | $(SP - 1) \leftarrow PSW, SP \leftarrow SP - 1$                                                                                                                                               |     |    |    |
|       | rp                  | 1   | 4    | $(SP - 1) \leftarrow rp_H, (SP - 2) \leftarrow rp_L,$<br>$SP \leftarrow SP - 2$                                                                                                               |     |    |    |
| POP   | PSW                 | 1   | 4    | $PSW \leftarrow (SP), SP \leftarrow SP + 1$                                                                                                                                                   | R   | R  | R  |
|       | rp                  | 1   | 6    | $rp_H \leftarrow (SP + 1), rp_L \leftarrow (SP),$<br>$SP \leftarrow SP + 2$                                                                                                                   |     |    |    |
| MOVW  | SP, AX              | 2   | 8    | $SP \leftarrow AX$                                                                                                                                                                            |     |    |    |
|       | AX, SP              | 2   | 6    | $AX \leftarrow SP$                                                                                                                                                                            |     |    |    |
| BR    | laddr16             | 3   | 6    | $PC \leftarrow \text{laddr16}$                                                                                                                                                                |     |    |    |
|       | \$addr16            | 2   | 6    | $PC \leftarrow PC + 2 + \text{jdisp8}$                                                                                                                                                        |     |    |    |
|       | AX                  | 1   | 6    | $PC_H \leftarrow A, PC_L \leftarrow X$                                                                                                                                                        |     |    |    |
| BC    | \$saddr16           | 2   | 6    | $PC \leftarrow PC + 2 + \text{jdisp8}$ if CY = 1                                                                                                                                              |     |    |    |
| BNC   | \$saddr16           | 2   | 6    | $PC \leftarrow PC + 2 + \text{jdisp8}$ if CY = 0                                                                                                                                              |     |    |    |
| BZ    | \$saddr16           | 2   | 6    | $PC \leftarrow PC + 2 + \text{jdisp8}$ if Z = 1                                                                                                                                               |     |    |    |
| BNZ   | \$saddr16           | 2   | 6    | $PC \leftarrow PC + 2 + \text{jdisp8}$ if Z = 0                                                                                                                                               |     |    |    |
| BT    | saddr.bit, \$addr16 | 4   | 10   | $PC \leftarrow PC + 4 + \text{jdisp8}$<br>if (saddr.bit) = 1                                                                                                                                  |     |    |    |
|       | sfr.bit, \$addr16   | 4   | 10   | $PC \leftarrow PC + 4 + \text{jdisp8}$ if sfr.bit = 1                                                                                                                                         |     |    |    |
|       | A.bit, \$addr16     | 3   | 8    | $PC \leftarrow PC + 3 + \text{jdisp8}$ if A.bit = 1                                                                                                                                           |     |    |    |
|       | PSW.bit, \$addr16   | 4   | 10   | $PC \leftarrow PC + 4 + \text{jdisp8}$ if PSW.bit = 1                                                                                                                                         |     |    |    |

**備考** 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f<sub>CPU</sub>) の1クロック分です。

| ニモニック | オペランド               | バイト | クロック | オペレーション                                                                                                                    | フラグ |    |    |
|-------|---------------------|-----|------|----------------------------------------------------------------------------------------------------------------------------|-----|----|----|
|       |                     |     |      |                                                                                                                            | Z   | AC | CY |
| BF    | saddr.bit, \$addr16 | 4   | 10   | $PC \leftarrow PC + 4 + \text{jdisp8}$<br>if ( saddr.bit ) = 0                                                             |     |    |    |
|       | sfr.bit, \$addr16   | 4   | 10   | $PC \leftarrow PC + 4 + \text{jdisp8}$ if sfr.bit = 0                                                                      |     |    |    |
|       | A.bit, \$addr16     | 3   | 8    | $PC \leftarrow PC + 3 + \text{jdisp8}$ if A.bit = 0                                                                        |     |    |    |
|       | PSW.bit, \$addr16   | 4   | 10   | $PC \leftarrow PC + 4 + \text{jdisp8}$ if PSW.bit = 0                                                                      |     |    |    |
| DBNZ  | B, \$addr16         | 2   | 6    | $B \leftarrow B - 1$ , then<br>$PC \leftarrow PC + 2 + \text{jdisp8}$ if $B \neq 0$                                        |     |    |    |
|       | C, \$addr16         | 2   | 6    | $C \leftarrow C - 1$ , then<br>$PC \leftarrow PC + 2 + \text{jdisp8}$ if $C \neq 0$                                        |     |    |    |
|       | saddr, \$addr16     | 3   | 8    | $(\text{saddr}) \leftarrow (\text{saddr}) - 1$ , then<br>$PC \leftarrow PC + 3 + \text{jdisp8}$ if $(\text{saddr}) \neq 0$ |     |    |    |
| NOP   |                     | 1   | 2    | No Operation                                                                                                               |     |    |    |
| EI    |                     | 3   | 6    | $IE \leftarrow 1$ ( Enable Interrupt )                                                                                     |     |    |    |
| DI    |                     | 3   | 6    | $IE \leftarrow 0$ ( Disable interrupt )                                                                                    |     |    |    |
| HALT  |                     | 1   | 2    | Set HALT Mode                                                                                                              |     |    |    |
| STOP  |                     | 1   | 2    | Set STOP Mode                                                                                                              |     |    |    |

**備考** 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f<sub>CPU</sub>) の1クロック分です。

## 20.3 アドレッシング別命令一覧

### (1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, INC, DEC, ROR, ROL, RORC, ROLC,  
PUSH, POP, DBNZ

| 第2オペランド       | #byte                                                        | A   | r                                                                                                 | sfr                                               | saddr                                                                   | !addr16                                                          | PSW                                                           | [ DE ]                                                       | [ HL ]                                                              | [ HL +<br>byte ] | \$addr16 | 1                          | なし          |
|---------------|--------------------------------------------------------------|-----|---------------------------------------------------------------------------------------------------|---------------------------------------------------|-------------------------------------------------------------------------|------------------------------------------------------------------|---------------------------------------------------------------|--------------------------------------------------------------|---------------------------------------------------------------------|------------------|----------|----------------------------|-------------|
| 第1オペランド       |                                                              |     |                                                                                                   |                                                   |                                                                         |                                                                  |                                                               |                                                              |                                                                     |                  |          |                            |             |
| A             | ADD<br>ADDC<br>SUB<br>SUBC<br>AND<br>OR<br>XOR<br>CMP        |     | MOV <sup>注</sup><br>XCH <sup>注</sup><br><br>ADD<br>ADDC<br>SUB<br>SUBC<br>AND<br>OR<br>XOR<br>CMP | MOV<br>XCH<br><br><br><br><br><br><br><br><br>CMP | MOV<br>XCH<br><br>ADD<br>ADDC<br>SUB<br>SUBC<br>AND<br>OR<br>XOR<br>CMP | MOV<br><br>ADD<br>ADDC<br>SUB<br>SUBC<br>AND<br>OR<br>XOR<br>CMP | MOV<br><br><br>ADDC<br>SUB<br>SUBC<br>AND<br>OR<br>XOR<br>CMP | MOV<br>XCH<br><br><br>SUB<br>SUBC<br>AND<br>OR<br>XOR<br>CMP | MOV<br>XCH<br>ADD<br>ADDC<br>SUB<br>SUBC<br>AND<br>OR<br>XOR<br>CMP |                  |          | ROR<br>ROL<br>RORC<br>ROLC |             |
| r             | MOV                                                          | MOV |                                                                                                   |                                                   |                                                                         |                                                                  |                                                               |                                                              |                                                                     |                  |          |                            | INC<br>DEC  |
| B, C          |                                                              |     |                                                                                                   |                                                   |                                                                         |                                                                  |                                                               |                                                              |                                                                     |                  | DBNZ     |                            |             |
| sfr           | MOV                                                          | MOV |                                                                                                   |                                                   |                                                                         |                                                                  |                                                               |                                                              |                                                                     |                  |          |                            |             |
| saddr         | MOV<br>ADD<br>ADDC<br>SUB<br>SUBC<br>AND<br>OR<br>XOR<br>CMP | MOV |                                                                                                   |                                                   |                                                                         |                                                                  |                                                               |                                                              |                                                                     |                  | DBNZ     |                            | INC<br>DEC  |
| !addr16       |                                                              | MOV |                                                                                                   |                                                   |                                                                         |                                                                  |                                                               |                                                              |                                                                     |                  |          |                            |             |
| PSW           | MOV                                                          | MOV |                                                                                                   |                                                   |                                                                         |                                                                  |                                                               |                                                              |                                                                     |                  |          |                            | PUSH<br>POP |
| [ DE ]        |                                                              | MOV |                                                                                                   |                                                   |                                                                         |                                                                  |                                                               |                                                              |                                                                     |                  |          |                            |             |
| [ HL ]        |                                                              | MOV |                                                                                                   |                                                   |                                                                         |                                                                  |                                                               |                                                              |                                                                     |                  |          |                            |             |
| [ HL + byte ] |                                                              | MOV |                                                                                                   |                                                   |                                                                         |                                                                  |                                                               |                                                              |                                                                     |                  |          |                            |             |

注 r = Aは除く。

## (2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

| 第2オペランド<br>第1オペランド | #word                | AX                | rp <sup>注</sup> | saddrp | SP   | なし                          |
|--------------------|----------------------|-------------------|-----------------|--------|------|-----------------------------|
| AX                 | ADDW<br>SUBW<br>CMPW |                   | MOVW<br>XCHW    | MOVW   | MOVW |                             |
| rp                 | MOVW                 | MOVW <sup>注</sup> |                 |        |      | INCW<br>DECW<br>PUSH<br>POP |
| saddrp             |                      | MOVW              |                 |        |      |                             |
| sp                 |                      | MOVW              |                 |        |      |                             |

注 rp = BC, DE, HLのときのみ。

## (3) ビット操作命令

SET1, CLR1, NOT1, BT, BF

| 第2オペランド<br>第1オペランド | \$addr16 | なし                   |
|--------------------|----------|----------------------|
| A.bit              | BT<br>BF | SET1<br>CLR1         |
| sfr.bit            | BT<br>BF | SET1<br>CLR1         |
| saddr.bit          | BT<br>BF | SET1<br>CLR1         |
| PSW.bit            | BT<br>BF | SET1<br>CLR1         |
| [ HL ] .bit        |          | SET1<br>CLR1         |
| CY                 |          | SET1<br>CLR1<br>NOT1 |

## (4) コール命令 / 分岐命令

CALL, CALLT, BR, BC, BNC, BZ, BNZ, DBNZ

|                    |    |            |           |                              |
|--------------------|----|------------|-----------|------------------------------|
| 第2オペランド<br>第1オペランド | AX | !addr16    | [ addr5 ] | \$addr16                     |
| 基本命令               | BR | CALL<br>BR | CALLT     | BR<br>BC<br>BNC<br>BZ<br>BNZ |
| 複合命令               |    |            |           | DBNZ                         |

## (5) その他の命令

RET, RETI, NOP, EI, DI, HALT, STOP

## 第21章 電気的特性

### 絶対最大定格 (T<sub>A</sub> = 25 )

| 項 目        | 略 号               | 条 件                                                               | 定 格                           | 単 位 |
|------------|-------------------|-------------------------------------------------------------------|-------------------------------|-----|
| 電源電圧       | V <sub>DD</sub>   | AV <sub>DD</sub> - 0.3 V V <sub>DD</sub> AV <sub>DD</sub> + 0.3 V | - 0.3 ~ + 6.5                 | V   |
|            | AV <sub>DD</sub>  | AV <sub>REF</sub> V <sub>DD</sub> + 0.3 V                         |                               |     |
|            | AV <sub>REF</sub> | AV <sub>REF</sub> AV <sub>DD</sub> + 0.3 V                        |                               |     |
|            | V <sub>PP</sub>   | μ PD78F9418Aのみ 注                                                  | - 0.3 ~ + 10.5                | V   |
| 入力電圧       | V <sub>I1</sub>   | P50-P53以外の端子                                                      | - 0.3 ~ V <sub>DD</sub> + 0.3 | V   |
|            | V <sub>I2</sub>   | P50-P53 N-chオープン・ドレイン時                                            | - 0.3 ~ + 13                  | V   |
| 出力電圧       | V <sub>O</sub>    |                                                                   | - 0.3 ~ V <sub>DD</sub> + 0.3 | V   |
| ハイ・レベル出力電流 | I <sub>OH</sub>   | 1端子                                                               | - 10                          | mA  |
|            |                   | 全端子合計                                                             | - 30                          | mA  |
| ロウ・レベル出力電流 | I <sub>OL</sub>   | 1端子                                                               | 30                            | mA  |
|            |                   | 全端子合計                                                             | 160                           | mA  |
| 動作周囲温度     | T <sub>A</sub>    | 通常動作モード時                                                          | - 40 ~ + 85                   |     |
|            |                   | フラッシュ・メモリ・プログラミング時                                                | 10 ~ 40                       |     |
| 保存温度       | T <sub>stg</sub>  | マスクROM製品                                                          | - 65 ~ + 150                  |     |
|            |                   | μ PD78F9418A                                                      | - 40 ~ + 125                  |     |

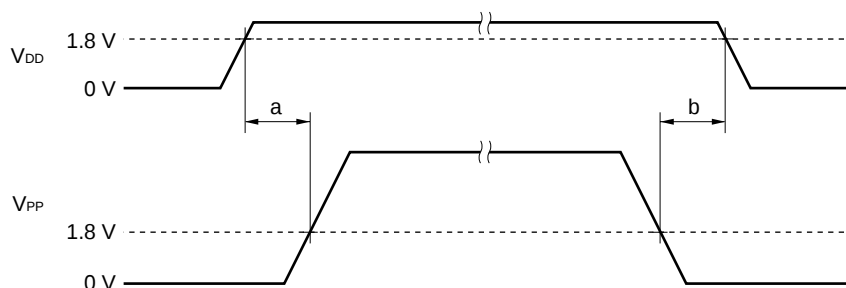
注 フラッシュ・メモリ書き込み時, V<sub>PP</sub>の電圧印加タイミングについては, 必ず次の条件を満たしてください。

#### ・電源電圧立ち上がり時

V<sub>DD</sub>が動作電圧範囲の下限電圧( 1.8 V )に達してから10 μs以上経過後, V<sub>PP</sub>がV<sub>DD</sub>を越えること( 下図のa )。

#### ・電源電圧立ち下がり時

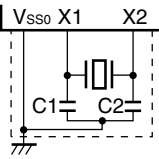
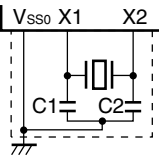
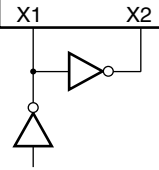
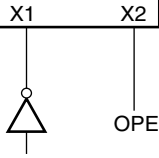
V<sub>PP</sub>がV<sub>DD</sub>の動作電圧範囲の下限電圧( 1.8 V )を下回ってから10 μs以上経過後, V<sub>DD</sub>を立ち下げること( 下図のb )。



**注意** 各項目のうち1項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で, 製品をご使用ください。

**備考** 特に指定がないかぎり, 兼用端子の特性はポート端子の特性と同じです。

メイン・システム・クロック発振回路特性 ( $T_A = -40 \sim +85$  ,  $V_{DD} = 1.8 \sim 5.5 \text{ V}$ )

| 発振子          | 推奨回路                                                                              | 項 目                                     | 条 件                               | MIN. | TYP. | MAX. | 単 位 |
|--------------|-----------------------------------------------------------------------------------|-----------------------------------------|-----------------------------------|------|------|------|-----|
| セラミック<br>発振子 |  | 発振周波数 ( $f_x$ ) <sup>注1</sup>           | $V_{DD}$ = 発振電圧範囲                 | 1.0  |      | 5.0  | MHz |
|              |                                                                                   | 発振安定時間 <sup>注2</sup>                    | $V_{DD}$ が発振開始電圧のMIN.に達したあと       |      |      | 4    | ms  |
| 水晶振動子        |  | 発振周波数 ( $f_x$ ) <sup>注1</sup>           |                                   | 1.0  |      | 5.0  | MHz |
|              |                                                                                   | 発振安定時間 <sup>注2</sup>                    | $V_{DD} = 4.5 \sim 5.5 \text{ V}$ |      |      | 10   | ms  |
|              |                                                                                   |                                         | $V_{DD} = 1.8 \sim 5.5 \text{ V}$ |      |      | 30   | ms  |
| 外部<br>クロック   |  | X1入力周波数 ( $f_x$ ) <sup>注1</sup>         |                                   | 1.0  |      | 5.0  | MHz |
|              |                                                                                   | X1入力ハイ, ロウ・レベル幅 ( $t_{xH}$ , $t_{xL}$ ) |                                   | 85   |      | 500  | ns  |
|              |  | X1入力周波数 ( $f_x$ ) <sup>注1</sup>         | $V_{DD} = 2.7 \sim 5.5 \text{ V}$ | 1.0  |      | 5.0  | MHz |
|              |                                                                                   | X1入力ハイ, ロウ・レベル幅 ( $t_{xH}$ , $t_{xL}$ ) | $V_{DD} = 2.7 \sim 5.5 \text{ V}$ | 85   |      | 500  | ns  |

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

- リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。発振ウエイト時間内に発振安定する振動子を使用してください。

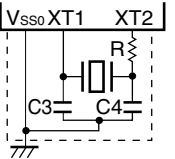
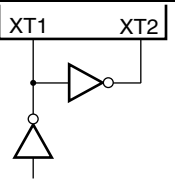
注意1. メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に $V_{SS0}$ と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

- メイン・システム・クロックを停止させサブシステム・クロックで動作させているときに、再度メイン・システム・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価をしていただくか、発振子メーカーに評価を依頼してください。

サブシステム・クロック発振回路特性 ( $T_A = -40 \sim +85$  ,  $V_{DD} = 1.8 \sim 5.5$  V)

| 発振子        | 推奨回路                                                                              | 項 目                                       | 条 件                       | MIN. | TYP.   | MAX. | 単 位     |
|------------|-----------------------------------------------------------------------------------|-------------------------------------------|---------------------------|------|--------|------|---------|
| 水晶振動子      |  | 発振周波数 ( $f_{XT}$ ) <sup>注1</sup>          |                           | 32   | 32.768 | 35   | kHz     |
|            |                                                                                   | 発振安定時間 <sup>注2</sup>                      | $V_{DD} = 4.5 \sim 5.5$ V |      | 1.2    | 2    | s       |
|            |                                                                                   |                                           | $V_{DD} = 1.8 \sim 5.5$ V |      |        | 10   | s       |
| 外部<br>クロック |  | XT1入力周波数 ( $f_{XT}$ ) <sup>注1</sup>       |                           | 32   |        | 35   | kHz     |
|            |                                                                                   | XT1入力ハイ、ロウ・レベル幅 ( $t_{XTH}$ , $t_{XTL}$ ) |                           | 14.3 |        | 15.6 | $\mu$ s |

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

- リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。発振ウエイト時間内に発振安定する振動子を使用してください。

注意1. サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に $V_{SS0}$ と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

- サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い設計になっており、ノイズによる誤動作がメイン・システム・クロック発振回路より起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価をしていただくか、発振子メーカーに評価を依頼してください。

DC特性 ( $T_A = -40 \sim +85$ ,  $V_{DD} = 1.8 \sim 5.5 \text{ V}$ ) (1/4)

| 項 目               | 略 号        | 条 件                                             |                                                                 | MIN.                              | TYP.         | MAX.         | 単 位           |
|-------------------|------------|-------------------------------------------------|-----------------------------------------------------------------|-----------------------------------|--------------|--------------|---------------|
| ハイ・レベル出力電流        | $I_{OH}$   | 1端子あたり                                          |                                                                 |                                   |              | - 1          | mA            |
|                   |            | 全端子合計                                           |                                                                 |                                   |              | - 15         | mA            |
| ロウ・レベル出力電流        | $I_{OL}$   | 1端子あたり                                          |                                                                 |                                   |              | 10           | mA            |
|                   |            | 全端子合計                                           |                                                                 |                                   |              | 80           | mA            |
| ハイ・レベル入力電圧        | $V_{IH1}$  | P00-P03, P46, P47, P60-P66,<br>P80-P87, P90-P93 | $V_{DD} = 2.7 \sim 5.5 \text{ V}$                               | $0.7 V_{DD}$                      |              | $V_{DD}$     | V             |
|                   |            |                                                 | $V_{DD} = 1.8 \sim 5.5 \text{ V}$                               | $0.9 V_{DD}$                      |              | $V_{DD}$     | V             |
|                   | $V_{IH2}$  | P50-P53                                         | N-chオープン・ド<br>レーン時                                              | $V_{DD} = 2.7 \sim 5.5 \text{ V}$ | $0.7 V_{DD}$ | 12           | V             |
|                   |            |                                                 |                                                                 | $V_{DD} = 1.8 \sim 5.5 \text{ V}$ | $0.9 V_{DD}$ | 12           | V             |
|                   |            |                                                 | ブルアップ抵抗内<br>蔵時                                                  | $V_{DD} = 2.7 \sim 5.5 \text{ V}$ | $0.7 V_{DD}$ | $V_{DD}$     | V             |
|                   |            |                                                 |                                                                 | $V_{DD} = 1.8 \sim 5.5 \text{ V}$ | $0.9 V_{DD}$ | $V_{DD}$     | V             |
|                   | $V_{IH3}$  | RESET, P20-P27, P40-P45                         | $V_{DD} = 2.7 \sim 5.5 \text{ V}$                               | $0.8 V_{DD}$                      |              | $V_{DD}$     | V             |
|                   |            |                                                 | $V_{DD} = 1.8 \sim 5.5 \text{ V}$                               | $0.9 V_{DD}$                      |              | $V_{DD}$     | V             |
|                   | $V_{IH4}$  | X1, X2, XT1, XT2                                | $V_{DD} = 1.8 \sim 5.5 \text{ V}$                               |                                   |              |              |               |
| ロウ・レベル入力電圧        | $V_{IL1}$  | P00-P03, P46, P47, P60-P66,<br>P80-P87, P90-P93 | $V_{DD} = 2.7 \sim 5.5 \text{ V}$                               | 0                                 |              | $0.3 V_{DD}$ | V             |
|                   |            |                                                 | $V_{DD} = 1.8 \sim 5.5 \text{ V}$                               | 0                                 |              | $0.1 V_{DD}$ | V             |
|                   | $V_{IL2}$  | P50-P53                                         | $V_{DD} = 2.7 \sim 5.5 \text{ V}$                               | 0                                 |              | $0.3 V_{DD}$ | V             |
|                   |            |                                                 | $V_{DD} = 1.8 \sim 5.5 \text{ V}$                               | 0                                 |              | $0.1 V_{DD}$ | V             |
|                   | $V_{IL3}$  | RESET, P20-P27, P40-P45                         | $V_{DD} = 2.7 \sim 5.5 \text{ V}$                               | 0                                 |              | $0.2 V_{DD}$ | V             |
|                   |            |                                                 | $V_{DD} = 1.8 \sim 5.5 \text{ V}$                               | 0                                 |              | $0.1 V_{DD}$ | V             |
|                   | $V_{IL4}$  | X1, X2, XT1, XT2                                | $V_{DD} = 1.8 \sim 5.5 \text{ V}$                               |                                   |              |              |               |
| ハイ・レベル出力電圧        | $V_{OH}$   | $I_{OH} = - 1 \text{ mA}$                       | $V_{DD} = 4.5 \sim 5.5 \text{ V}$                               | $V_{DD} - 1.0$                    |              |              | V             |
|                   |            | $I_{OH} = - 100 \mu\text{A}$                    | $V_{DD} = 1.8 \sim 5.5 \text{ V}$                               | $V_{DD} - 0.5$                    |              |              | V             |
| ロウ・レベル出力電圧        | $V_{OL1}$  | P50-P53以外の端子                                    | $V_{DD} = 4.5 \sim 5.5 \text{ V}$<br>$I_{OL} = 10 \text{ mA}$   |                                   |              | 1.0          | V             |
|                   |            |                                                 | $V_{DD} = 1.8 \sim 5.5 \text{ V}$<br>$I_{OL} = 400 \mu\text{A}$ |                                   |              | 0.5          | V             |
|                   | $V_{OL2}$  | P50-P53                                         | $V_{DD} = 4.5 \sim 5.5 \text{ V}$<br>$I_{OL} = 10 \text{ mA}$   |                                   |              | 1.0          | V             |
|                   |            |                                                 | $V_{DD} = 1.8 \sim 5.5 \text{ V}$<br>$I_{OL} = 1.6 \text{ mA}$  |                                   |              | 0.4          | V             |
| ハイ・レベル入力リーク<br>電流 | $I_{LIH1}$ | $V_{IN} = V_{DD}$                               | P50-P53 ( N-ch オ<br>ープン・ドレーン<br>時 ), X1, X2, XT1,<br>XT2以外の端子   |                                   |              | 3            | $\mu\text{A}$ |
|                   | $I_{LIH2}$ |                                                 | X1, X2, XT1, XT2                                                |                                   |              | 20           | $\mu\text{A}$ |
|                   | $I_{LIH3}$ | $V_{IN} = 12 \text{ V}$                         | P50-P53 ( N-ch オ<br>ープン・ドレーン<br>時 )                             |                                   |              | 20           | $\mu\text{A}$ |

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 ( $T_A = -40 \sim +85$  ,  $V_{DD} = 1.8 \sim 5.5 \text{ V}$ ) (2/4)

| 項 目                             | 略 号        | 条 件                                   | MIN. | TYP. | MAX.              | 単 位              |
|---------------------------------|------------|---------------------------------------|------|------|-------------------|------------------|
| ロウ・レベル入力リーク電流                   | $I_{LIL1}$ | $V_{IN} = 0 \text{ V}$                |      |      | - 3               | $\mu \text{ A}$  |
|                                 | $I_{LIL2}$ |                                       |      |      | - 20              | $\mu \text{ A}$  |
|                                 | $I_{LIL3}$ |                                       |      |      | - 3 <sup>注1</sup> | $\mu \text{ A}$  |
| ハイ・レベル出力リーク電流                   | $I_{LOH}$  | $V_{OUT} = V_{DD}$                    |      |      | 3                 | $\mu \text{ A}$  |
| ロウ・レベル出力リーク電流                   | $I_{LOL}$  | $V_{OUT} = 0 \text{ V}$               |      |      | - 3               | $\mu \text{ A}$  |
| ソフトウェア・プルアップ抵抗                  | $R_1$      | $V_{IN} = 0 \text{ V}$ , P50-P53以外の端子 | 50   | 100  | 200               | $\text{k}\Omega$ |
| マスク・オプション・プルアップ抵抗 <sup>注2</sup> | $R_2$      | $V_{IN} = 0 \text{ V}$ , P50-P53      | 15   | 30   | 60                | $\text{k}\Omega$ |

注1. P50-P53にプルアップ抵抗を内蔵しない場合（マスク・オプションにて指定）で、P50-P53を入力モードに設定している場合にP50-P53に対して読み出し命令を実行したときの1サイクル・タイム間のみ、ロウ・レベル入力リーク電流が - 30  $\mu \text{ A}$  (MAX.) 流れます。これ以外では - 3  $\mu \text{ A}$  (MAX.) です。

2. マスクROM製品のみ

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 ( $T_A = -40 \sim +85$ ,  $V_{DD} = 1.8 \sim 5.5 \text{ V}$ ) (3/4)

| 項 目                | 略 号                     | 条 件                                                                                                      | MIN.                                             | TYP. | MAX. | 単 位           |
|--------------------|-------------------------|----------------------------------------------------------------------------------------------------------|--------------------------------------------------|------|------|---------------|
| 電源電流<br>(マスクROM製品) | $I_{DD1}$ <sup>注1</sup> | 5.0 MHz水晶発振<br>動作モード<br>( $C1 = C2 = 22 \text{ pF}$ )                                                    | $V_{DD} = 5.0 \text{ V} \pm 10 \%$ <sup>注4</sup> | 2.0  | 4.0  | mA            |
|                    |                         |                                                                                                          | $V_{DD} = 3.0 \text{ V} \pm 10 \%$ <sup>注5</sup> | 0.6  | 1.2  | mA            |
|                    |                         |                                                                                                          | $V_{DD} = 2.0 \text{ V} \pm 10 \%$ <sup>注5</sup> | 0.3  | 0.6  | mA            |
|                    | $I_{DD2}$ <sup>注1</sup> | 5.0 MHz水晶発振<br>HALTモード<br>( $C1 = C2 = 22 \text{ pF}$ )                                                  | $V_{DD} = 5.0 \text{ V} \pm 10 \%$ <sup>注4</sup> | 1.1  | 2.2  | mA            |
|                    |                         |                                                                                                          | $V_{DD} = 3.0 \text{ V} \pm 10 \%$ <sup>注5</sup> | 0.4  | 0.8  | mA            |
|                    |                         |                                                                                                          | $V_{DD} = 2.0 \text{ V} \pm 10 \%$ <sup>注5</sup> | 0.2  | 0.4  | mA            |
|                    | $I_{DD3}$ <sup>注1</sup> | 32.768 kHz水晶発振<br>動作モード <sup>注3</sup><br>( $C3 = C4 = 22 \text{ pF}$ ,<br>$R1 = 220 \text{ k}\Omega$ )   | $V_{DD} = 5.0 \text{ V} \pm 10 \%$               | 30   | 90   | $\mu\text{A}$ |
|                    |                         |                                                                                                          | $V_{DD} = 3.0 \text{ V} \pm 10 \%$               | 9    | 50   | $\mu\text{A}$ |
|                    |                         |                                                                                                          | $V_{DD} = 2.0 \text{ V} \pm 10 \%$               | 4    | 25   | $\mu\text{A}$ |
|                    | $I_{DD4}$ <sup>注1</sup> | 32.768 kHz水晶発振<br>HALTモード <sup>注3</sup><br>( $C3 = C4 = 22 \text{ pF}$ ,<br>$R1 = 220 \text{ k}\Omega$ ) | $V_{DD} = 5.0 \text{ V} \pm 10 \%$               | 25   | 55   | $\mu\text{A}$ |
|                    |                         |                                                                                                          | $V_{DD} = 3.0 \text{ V} \pm 10 \%$               | 5    | 25   | $\mu\text{A}$ |
|                    |                         |                                                                                                          | $V_{DD} = 2.0 \text{ V} \pm 10 \%$               | 2.5  | 12.5 | $\mu\text{A}$ |
|                    | $I_{DD5}$ <sup>注1</sup> | 32.768 kHz水晶停止<br>STOPモード                                                                                | $V_{DD} = 5.0 \text{ V} \pm 10 \%$               | 0.1  | 10   | $\mu\text{A}$ |
|                    |                         |                                                                                                          | $V_{DD} = 3.0 \text{ V} \pm 10 \%$               | 0.05 | 5.0  | $\mu\text{A}$ |
|                    |                         |                                                                                                          | $T_A = 25$                                       | 0.05 | 3.0  | $\mu\text{A}$ |
|                    |                         |                                                                                                          | $V_{DD} = 2.0 \text{ V} \pm 10 \%$               | 0.05 | 3.0  | $\mu\text{A}$ |
|                    | $I_{DD6}$ <sup>注2</sup> | 5.0 MHz水晶発振<br>A/D動作モード<br>( $C1 = C2 = 22 \text{ pF}$ )                                                 | $V_{DD} = 5.0 \text{ V} \pm 10 \%$               | 2.6  | 6.0  | mA            |
|                    |                         |                                                                                                          | $V_{DD} = 3.0 \text{ V} \pm 10 \%$               | 1.2  | 3.6  | mA            |
|                    |                         |                                                                                                          | $V_{DD} = 2.0 \text{ V} \pm 10 \%$               | 0.9  | 2.7  | mA            |

- 注1.  $AV_{REF}$  (A/D動作オン ( $ADCS0 = 1$ ) 時) 電流,  $AV_{DD}$ 電流およびポート電流 (内蔵プルアップ抵抗に流れる電流含む) は含みません。
2.  $AV_{REF}$  (A/D動作オン ( $ADCS0 = 1$ ) 時) 電流およびポート電流 (内蔵プルアップ抵抗に流れる電流含む) は含みません。 $AV_{REF}$ に流れる電流は8ビットA/Dコンバータ特性, 10ビットA/Dコンバータ特性の「 $AV_{REF}-AV_{SS}$ 間抵抗」の項を参照してください。
3. メイン・システム・クロック停止時
4. 高速モード動作時 (プロセッサ・クロック・コントロール・レジスタ (PCC) = 00Hに設定したとき)
5. 低速モード動作時 (PCC = 02Hに設定したとき)

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 ( $T_A = -40 \sim +85$ ,  $V_{DD} = 1.8 \sim 5.5 \text{ V}$ ) (4/4)

| 項 目                         | 略 号                     | 条 件                                                                                                      | MIN.                                             | TYP. | MAX. | 単 位           |
|-----------------------------|-------------------------|----------------------------------------------------------------------------------------------------------|--------------------------------------------------|------|------|---------------|
| 電源電流<br>( $\mu$ PD78F9418A) | $I_{DD1}$ <sup>注1</sup> | 5.0 MHz水晶発振<br>動作モード<br>( $C1 = C2 = 22 \text{ pF}$ )                                                    | $V_{DD} = 5.0 \text{ V} \pm 10 \%$ <sup>注4</sup> | 5.0  | 14.0 | mA            |
|                             |                         |                                                                                                          | $V_{DD} = 3.0 \text{ V} \pm 10 \%$ <sup>注5</sup> | 2.0  | 5.0  | mA            |
|                             |                         |                                                                                                          | $V_{DD} = 2.0 \text{ V} \pm 10 \%$ <sup>注5</sup> | 1.5  | 3.0  | mA            |
|                             | $I_{DD2}$ <sup>注1</sup> | 5.0 MHz水晶発振<br>HALTモード<br>( $C1 = C2 = 22 \text{ pF}$ )                                                  | $V_{DD} = 5.0 \text{ V} \pm 10 \%$ <sup>注4</sup> | 2.0  | 6.0  | mA            |
|                             |                         |                                                                                                          | $V_{DD} = 3.0 \text{ V} \pm 10 \%$ <sup>注5</sup> | 1.0  | 3.0  | mA            |
|                             |                         |                                                                                                          | $V_{DD} = 2.0 \text{ V} \pm 10 \%$ <sup>注5</sup> | 0.7  | 2.0  | mA            |
|                             | $I_{DD3}$ <sup>注1</sup> | 32.768 kHz水晶発振<br>動作モード <sup>注3</sup><br>( $C3 = C4 = 22 \text{ pF}$ ,<br>$R1 = 220 \text{ k}\Omega$ )   | $V_{DD} = 5.0 \text{ V} \pm 10 \%$               | 200  | 600  | $\mu\text{A}$ |
|                             |                         |                                                                                                          | $V_{DD} = 3.0 \text{ V} \pm 10 \%$               | 150  | 450  | $\mu\text{A}$ |
|                             |                         |                                                                                                          | $V_{DD} = 2.0 \text{ V} \pm 10 \%$               | 100  | 300  | $\mu\text{A}$ |
|                             | $I_{DD4}$ <sup>注1</sup> | 32.768 kHz水晶発振<br>HALTモード <sup>注3</sup><br>( $C3 = C4 = 22 \text{ pF}$ ,<br>$R1 = 220 \text{ k}\Omega$ ) | $V_{DD} = 5.0 \text{ V} \pm 10 \%$               | 50   | 150  | $\mu\text{A}$ |
|                             |                         |                                                                                                          | $V_{DD} = 3.0 \text{ V} \pm 10 \%$               | 30   | 90   | $\mu\text{A}$ |
|                             |                         |                                                                                                          | $V_{DD} = 2.0 \text{ V} \pm 10 \%$               | 20   | 60   | $\mu\text{A}$ |
|                             | $I_{DD5}$ <sup>注1</sup> | 32.768 kHz水晶停止<br>STOPモード                                                                                | $V_{DD} = 5.0 \text{ V} \pm 10 \%$               | 0.1  | 10   | $\mu\text{A}$ |
|                             |                         |                                                                                                          | $V_{DD} = 3.0 \text{ V} \pm 10 \%$               | 0.05 | 5.0  | $\mu\text{A}$ |
|                             |                         |                                                                                                          | $T_A = 25$                                       | 0.05 | 3.0  | $\mu\text{A}$ |
|                             |                         |                                                                                                          | $V_{DD} = 2.0 \text{ V} \pm 10 \%$               | 0.05 | 3.0  | $\mu\text{A}$ |
|                             | $I_{DD6}$ <sup>注2</sup> | 5.0 MHz水晶発振<br>A/D動作モード<br>( $C1 = C2 = 22 \text{ pF}$ )                                                 | $V_{DD} = 5.0 \text{ V} \pm 10 \%$ <sup>注4</sup> | 6.0  | 16.0 | mA            |
|                             |                         |                                                                                                          | $V_{DD} = 3.0 \text{ V} \pm 10 \%$ <sup>注5</sup> | 3.0  | 7.0  | mA            |
|                             |                         |                                                                                                          | $V_{DD} = 2.0 \text{ V} \pm 10 \%$ <sup>注5</sup> | 2.5  | 5.0  | mA            |

- 注1.  $AV_{REF}$  (A/D動作オン ( $ADCS0 = 1$ ) 時) 電流,  $AV_{DD}$ 電流およびポート電流 (内蔵プルアップ抵抗に流れる電流含む) は含みません。
2.  $AV_{REF}$  (A/D動作オン ( $ADCS0 = 1$ ) 時) 電流およびポート電流 (内蔵プルアップ抵抗に流れる電流含む) は含みません。 $AV_{REF}$ に流れる電流は8ビットA/Dコンバータ特性, 10ビットA/Dコンバータ特性の「 $AV_{REF}-AV_{SS}$ 間抵抗」の項を参照してください。
3. メイン・システム・クロック停止時
4. 高速モード動作時 (プロセッサ・クロック・コントロール・レジスタ (PCC) = 00Hに設定したとき)
5. 低速モード動作時 (PCC = 02Hに設定したとき)

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

LCD特性 ( $T_A = -40 \sim +85$  ,  $V_{DD} = 2.2 \sim 5.5$  V)

| 項 目                                | 略 号       | 条 件                                                                                              | MIN.     | TYP. | MAX.      | 単 位        |
|------------------------------------|-----------|--------------------------------------------------------------------------------------------------|----------|------|-----------|------------|
| LCD駆動電圧                            | $V_{LCD}$ | VAON0 = 1                                                                                        | 2.2      |      | $V_{DD}$  | V          |
|                                    |           | VAON0 = 0 <sup>注1</sup>                                                                          | 1/3バイアス時 |      | $V_{DD}$  | V          |
|                                    |           |                                                                                                  | 1/2バイアス時 |      | $V_{DD}$  | V          |
| LCD分割抵抗 <sup>注2</sup>              | $R_{LCD}$ | マスク・オプションで100 k $\Omega$ 選択時                                                                     | 100      | 200  | 400       | k $\Omega$ |
|                                    |           | マスク・オプションで10 k $\Omega$ 選択時                                                                      | 10       | 20   | 40        | k $\Omega$ |
| LCD出力電圧偏差 <sup>注3</sup><br>(コモン)   | $V_{ODC}$ | $I_o = \pm 5 \mu A$<br>$V_{LCD0} = V_{LCD}$<br>$V_{LCD1} = V_{LCD} \times 2/3$                   | 0        |      | $\pm 0.2$ | V          |
| LCD出力電圧偏差 <sup>注3</sup><br>(セグメント) | $V_{ODS}$ | $I_o = \pm 1 \mu A$<br>2.2 V $V_{LCD}$ $V_{DD}$<br>$V_{LCD2} = V_{LCD} \times 1/3$ <sup>注1</sup> | 0        |      | $\pm 0.2$ | V          |

注1. 通常モード (VAON0 = 0) の場合,  $T_A = -10 \sim +85$

- マスクROM製品は, マスク・オプションにより, 10 k $\Omega$ , 100 k $\Omega$ または分割抵抗なしを選択可能。  
 $\mu$  PD78F9418Aは分割抵抗なしです。
- 電圧偏差とは, セグメント, コモン出力の理想値 ( $V_{LCDn}$ :  $n = 0-2$ ) に対する出力電圧との差です。

フラッシュ・メモリ書き込み/消去特性 ( $\mu$  PD78F9418Aのみ)

( $T_A = 10 \sim 40$  ,  $V_{DD} = 1.8 \sim 5.5$  V, 5.0 MHz水晶発振動作モード時)

| 項 目                                   | 略 号       | 条 件                         | MIN. | TYP. | MAX.         | 単 位 |
|---------------------------------------|-----------|-----------------------------|------|------|--------------|-----|
| 書き込み電流 <sup>注</sup><br>( $V_{DD}$ 端子) | $I_{DDW}$ | $V_{PP}$ 電源電圧 = $V_{PP1}$ 時 |      |      | 18           | mA  |
| 書き込み電流 <sup>注</sup><br>( $V_{PP}$ 端子) | $I_{PPW}$ | $V_{PP}$ 電源電圧 = $V_{PP1}$ 時 |      |      | 22.5         | mA  |
| 消去電流 <sup>注</sup><br>( $V_{DD}$ 端子)   | $I_{DDE}$ | $V_{PP}$ 電源電圧 = $V_{PP1}$ 時 |      |      | 18           | mA  |
| 消去電流 <sup>注</sup><br>( $V_{PP}$ 端子)   | $I_{PPE}$ | $V_{PP}$ 電源電圧 = $V_{PP1}$ 時 |      |      | 115          | mA  |
| 単位消去時間                                | $t_{er}$  |                             | 0.5  | 1    | 1            | s   |
| Total消去時間                             | $t_{era}$ |                             |      |      | 20           | s   |
| 書き込み回数                                |           | 消去 / 書き込みを1サイクルとする          |      |      | 20           | 回   |
| $V_{PP}$ 電源電圧                         | $V_{PP0}$ | 通常動作時                       | 0    |      | 0.2 $V_{DD}$ | V   |
|                                       | $V_{PP1}$ | フラッシュ・メモリ・プログラミング時          | 9.7  | 10.0 | 10.3         | V   |

注 ポート電流 (内蔵プルアップ抵抗に流れる電流も含む) は含みません。



(2) シリアル・インタフェース ( $T_A = -40 \sim +85$  ,  $V_{DD} = 1.8 \sim 5.5 \text{ V}$ )(a) 3線式シリアル/Oモード ( $\overline{\text{SCK}}$ ...内部クロック出力)

| 項 目                                                                | 略 号        | 条 件                                                          | MIN.                              | TYP. | MAX. | 単 位 |
|--------------------------------------------------------------------|------------|--------------------------------------------------------------|-----------------------------------|------|------|-----|
| SCKサイクル・タイム                                                        | $t_{KCY1}$ | $V_{DD} = 2.7 \sim 5.5 \text{ V}$                            | 800                               |      |      | ns  |
|                                                                    |            | $V_{DD} = 1.8 \sim 5.5 \text{ V}$                            | 3200                              |      |      | ns  |
| $\overline{\text{SCK}}$ ハイ, ロウ・レベル幅                                | $t_{KH1}$  | $V_{DD} = 2.7 \sim 5.5 \text{ V}$                            | $t_{KCY1}/2 - 50$                 |      |      | ns  |
|                                                                    | $t_{KL1}$  | $V_{DD} = 1.8 \sim 5.5 \text{ V}$                            | $t_{KCY1}/2 - 150$                |      |      | ns  |
| SIセット・アップ時間<br>(対 $\overline{\text{SCK}} \uparrow$ )               | $t_{SIK1}$ | $V_{DD} = 2.7 \sim 5.5 \text{ V}$                            | 150                               |      |      | ns  |
|                                                                    |            | $V_{DD} = 1.8 \sim 5.5 \text{ V}$                            | 500                               |      |      | ns  |
| SIホールド時間<br>(対 $\overline{\text{SCK}} \uparrow$ )                  | $t_{KSI1}$ | $V_{DD} = 2.7 \sim 5.5 \text{ V}$                            | 400                               |      |      | ns  |
|                                                                    |            | $V_{DD} = 1.8 \sim 5.5 \text{ V}$                            | 600                               |      |      | ns  |
| $\overline{\text{SCK}} \downarrow \rightarrow \text{SO}$<br>出力遅延時間 | $t_{KSO1}$ | $R = 1\text{k}\Omega$ ,<br>$C = 100 \text{ pF}$ <sup>注</sup> | $V_{DD} = 2.7 \sim 5.5 \text{ V}$ | 0    | 250  | ns  |
|                                                                    |            |                                                              | $V_{DD} = 1.8 \sim 5.5 \text{ V}$ | 0    | 1000 | ns  |

注 R, CはSO出力ラインの負荷抵抗, 負荷容量です。

(b) 3線式シリアル/Oモード ( $\overline{\text{SCK}}$ ...外部クロック入力)

| 項 目                                                                | 略 号        | 条 件                                                          | MIN.                              | TYP. | MAX. | 単 位 |
|--------------------------------------------------------------------|------------|--------------------------------------------------------------|-----------------------------------|------|------|-----|
| SCKサイクル・タイム                                                        | $t_{KCY2}$ | $V_{DD} = 2.7 \sim 5.5 \text{ V}$                            | 900                               |      |      | ns  |
|                                                                    |            | $V_{DD} = 1.8 \sim 5.5 \text{ V}$                            | 3500                              |      |      | ns  |
| $\overline{\text{SCK}}$ ハイ, ロウ・レベル幅                                | $t_{KH2}$  | $V_{DD} = 2.7 \sim 5.5 \text{ V}$                            | 400                               |      |      | ns  |
|                                                                    | $t_{KL2}$  | $V_{DD} = 1.8 \sim 5.5 \text{ V}$                            | 1600                              |      |      | ns  |
| SIセット・アップ時間<br>(対 $\overline{\text{SCK}} \uparrow$ )               | $t_{SIK2}$ | $V_{DD} = 2.7 \sim 5.5 \text{ V}$                            | 100                               |      |      | ns  |
|                                                                    |            | $V_{DD} = 1.8 \sim 5.5 \text{ V}$                            | 150                               |      |      | ns  |
| SIホールド時間<br>(対 $\overline{\text{SCK}} \uparrow$ )                  | $t_{KSI2}$ | $V_{DD} = 2.7 \sim 5.5 \text{ V}$                            | 400                               |      |      | ns  |
|                                                                    |            | $V_{DD} = 1.8 \sim 5.5 \text{ V}$                            | 600                               |      |      | ns  |
| $\overline{\text{SCK}} \downarrow \rightarrow \text{SO}$<br>出力遅延時間 | $t_{KSO2}$ | $R = 1\text{k}\Omega$ ,<br>$C = 100 \text{ pF}$ <sup>注</sup> | $V_{DD} = 2.7 \sim 5.5 \text{ V}$ | 0    | 300  | ns  |
|                                                                    |            |                                                              | $V_{DD} = 1.8 \sim 5.5 \text{ V}$ | 0    | 1000 | ns  |

注 R, CはSO出力ラインの負荷抵抗, 負荷容量です。

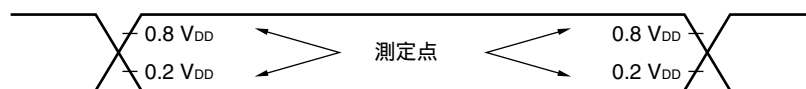
## (c) UARTモード (専用ボー・レート・ジェネレータ出力)

| 項 目   | 略 号 | 条 件                               | MIN. | TYP. | MAX.  | 単 位 |
|-------|-----|-----------------------------------|------|------|-------|-----|
| 転送レート |     | $V_{DD} = 2.7 \sim 5.5 \text{ V}$ |      |      | 78125 | bps |
|       |     | $V_{DD} = 1.8 \sim 5.5 \text{ V}$ |      |      | 19531 | bps |

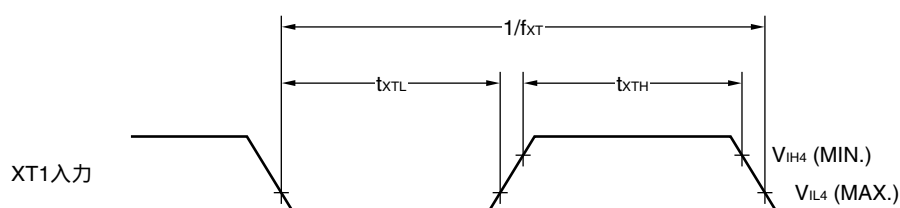
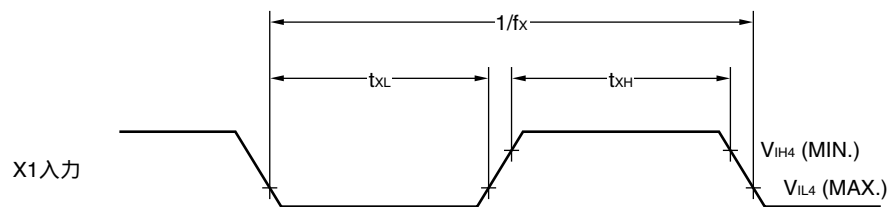
## (d) UARTモード (外部クロック入力)

| 項 目                | 略 号                                | 条 件                           | MIN. | TYP. | MAX.  | 単 位 |
|--------------------|------------------------------------|-------------------------------|------|------|-------|-----|
| ASCKサイクル・タイム       | t <sub>KCY3</sub>                  | V <sub>DD</sub> = 2.7 ~ 5.5 V | 900  |      |       | ns  |
|                    |                                    | V <sub>DD</sub> = 1.8 ~ 5.5 V | 3500 |      |       | ns  |
| ASCKハイ, ロウ・レベル幅    | t <sub>KH3</sub> ,                 | V <sub>DD</sub> = 2.7 ~ 5.5 V | 400  |      |       | ns  |
|                    | t <sub>KL3</sub>                   | V <sub>DD</sub> = 1.8 ~ 5.5 V | 1600 |      |       | ns  |
| 転送レート              |                                    | V <sub>DD</sub> = 2.7 ~ 5.5 V |      |      | 39063 | bps |
|                    |                                    | V <sub>DD</sub> = 1.8 ~ 5.5 V |      |      | 9766  | bps |
| ASCK立ち上がり, 立ち下がり時間 | t <sub>R</sub> ,<br>t <sub>F</sub> |                               |      |      | 1     | μs  |

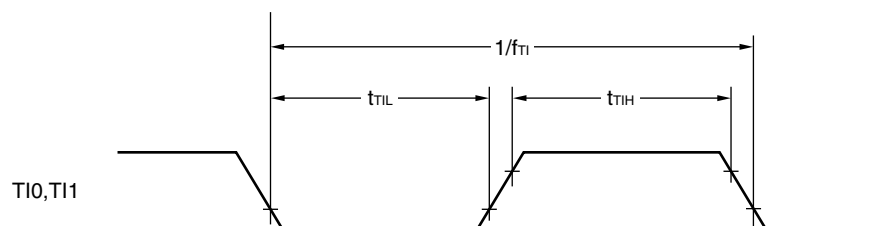
## ACタイミング測定点 (X1, XT1入力を除く)



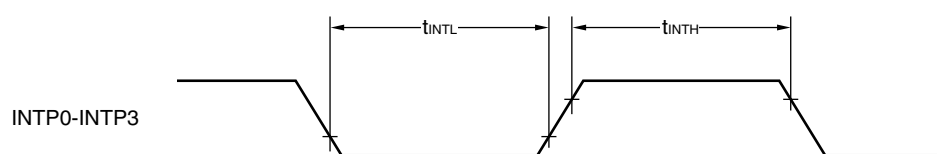
## クロック・タイミング



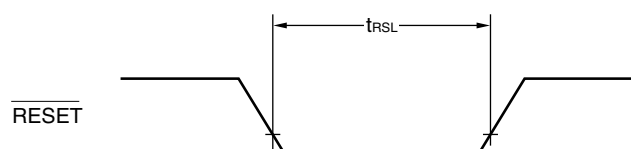
## TI タイミング



## 割り込み入力タイミング

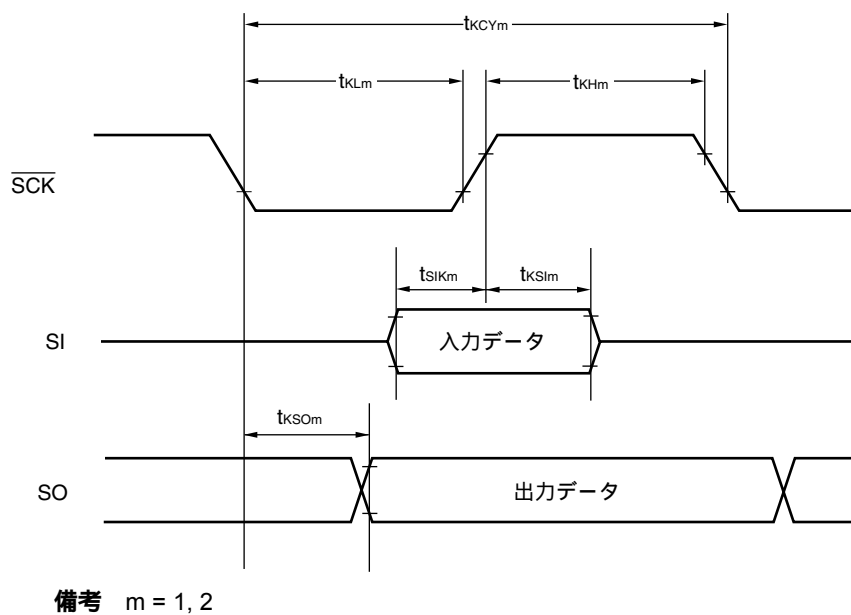


## RESET 入力タイミング

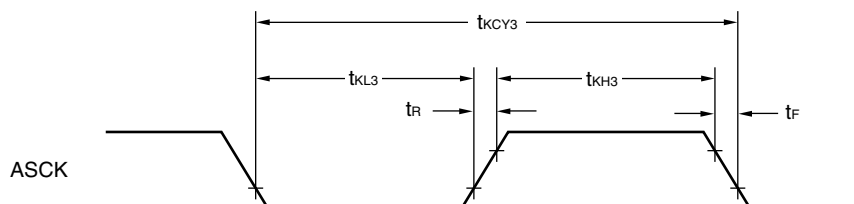


## シリアル転送タイミング

## 3線式シリアルI/Oモード：



## UARTモード（外部クロック入力）：



8ビットA/Dコンバータ特性 ( $\mu$ PD789405A, 789406A, 789407A)(T<sub>A</sub> = -40 ~ +85 , 1.8 V AV<sub>REF</sub> AV<sub>DD</sub> = V<sub>DD</sub> 5.5 V , AV<sub>SS</sub> = V<sub>SS</sub> = 0 V)

| 項 目                                     | 略 号                | 条 件                                            | MIN. | TYP.  | MAX.              | 単 位  |
|-----------------------------------------|--------------------|------------------------------------------------|------|-------|-------------------|------|
| 分解能                                     |                    |                                                | 8    | 8     | 8                 | bit  |
| 総合誤差 <sup>注</sup>                       |                    | 2.7 V AV <sub>REF</sub> AV <sub>DD</sub> 5.5 V |      | ± 0.4 | ± 0.6             | %FSR |
|                                         |                    |                                                |      | ± 0.8 | ± 1.2             | %FSR |
| 変換時間                                    | t <sub>CONV</sub>  | 2.7 V AV <sub>REF</sub> AV <sub>DD</sub> 5.5 V | 14   |       | 100               | μs   |
|                                         |                    |                                                | 28   |       | 100               | μs   |
| アナログ入力電圧                                | V <sub>IAN</sub>   |                                                | 0    |       | AV <sub>REF</sub> | V    |
| 基準電圧                                    | AV <sub>REF</sub>  |                                                | 1.8  |       | AV <sub>DD</sub>  | V    |
| AV <sub>REF</sub> -AV <sub>SS</sub> 間抵抗 | R <sub>ADREF</sub> |                                                | 20   | 40    |                   | kΩ   |

注 量子化誤差 (±0.2 % FSR) を含みません。

備考 FSR : フルスケール・レンジ

10ビットA/Dコンバータ特性 ( $\mu$ PD789415A, 789416A, 789417A, 78F9418A)(T<sub>A</sub> = -40 ~ +85 , 1.8 V AV<sub>REF</sub> AV<sub>DD</sub> = V<sub>DD</sub> 5.5 V , AV<sub>SS</sub> = V<sub>SS</sub> = 0 V)

| 項 目                                     | 略 号                | 条 件                                            | MIN. | TYP.  | MAX.              | 単 位  |
|-----------------------------------------|--------------------|------------------------------------------------|------|-------|-------------------|------|
| 分解能                                     |                    |                                                | 10   | 10    | 10                | bit  |
| 総合誤差 <sup>注</sup>                       |                    | 4.5 V AV <sub>REF</sub> AV <sub>DD</sub> 5.5 V |      | ± 0.2 | ± 0.4             | %FSR |
|                                         |                    | 2.7 V AV <sub>REF</sub> AV <sub>DD</sub> 5.5 V |      | ± 0.4 | ± 0.6             | %FSR |
|                                         |                    | 1.8 V AV <sub>REF</sub> AV <sub>DD</sub> 5.5 V |      | ± 0.8 | ± 1.2             | %FSR |
| 変換時間                                    | t <sub>CONV</sub>  | 4.5 V AV <sub>REF</sub> AV <sub>DD</sub> 5.5 V | 14   |       | 100               | μs   |
|                                         |                    | 2.7 V AV <sub>REF</sub> AV <sub>DD</sub> 5.5 V | 14   |       | 100               | μs   |
|                                         |                    | 1.8 V AV <sub>REF</sub> AV <sub>DD</sub> 5.5 V | 28   |       | 100               | μs   |
| ゼロ・スケール誤差 <sup>注</sup>                  | AINL               | 4.5 V AV <sub>REF</sub> AV <sub>DD</sub> 5.5 V |      |       | ± 0.4             | %FSR |
|                                         |                    | 2.7 V AV <sub>REF</sub> AV <sub>DD</sub> 5.5 V |      |       | ± 0.6             | %FSR |
|                                         |                    | 1.8 V AV <sub>REF</sub> AV <sub>DD</sub> 5.5 V |      |       | ± 1.2             | %FSR |
| フル・スケール誤差 <sup>注</sup>                  | AINL               | 4.5 V AV <sub>REF</sub> AV <sub>DD</sub> 5.5 V |      |       | ± 0.4             | %FSR |
|                                         |                    | 2.7 V AV <sub>REF</sub> AV <sub>DD</sub> 5.5 V |      |       | ± 0.6             | %FSR |
|                                         |                    | 1.8 V AV <sub>REF</sub> AV <sub>DD</sub> 5.5 V |      |       | ± 1.2             | %FSR |
| 非積分直線性 <sup>注</sup>                     | INL                | 4.5 V AV <sub>REF</sub> AV <sub>DD</sub> 5.5 V |      |       | ± 2.5             | LSB  |
|                                         |                    | 2.7 V AV <sub>REF</sub> AV <sub>DD</sub> 5.5 V |      |       | ± 4.5             | LSB  |
|                                         |                    | 1.8 V AV <sub>REF</sub> AV <sub>DD</sub> 5.5 V |      |       | ± 8.5             | LSB  |
| 非微分直線性 <sup>注</sup>                     | DNL                | 4.5 V AV <sub>REF</sub> AV <sub>DD</sub> 5.5 V |      |       | ± 1.5             | LSB  |
|                                         |                    | 2.7 V AV <sub>REF</sub> AV <sub>DD</sub> 5.5 V |      |       | ± 2.0             | LSB  |
|                                         |                    | 1.8 V AV <sub>REF</sub> AV <sub>DD</sub> 5.5 V |      |       | ± 3.5             | LSB  |
| アナログ入力電圧                                | V <sub>IAN</sub>   |                                                | 0    |       | AV <sub>REF</sub> | V    |
| 基準電圧                                    | AV <sub>REF</sub>  |                                                | 1.8  |       | AV <sub>DD</sub>  | V    |
| AV <sub>REF</sub> -AV <sub>SS</sub> 間抵抗 | R <sub>ADREF</sub> |                                                | 20   | 40    |                   | kΩ   |

注 量子化誤差 (±0.05 % FSR) を含みません。

備考 FSR : フルスケール・レンジ

コンパレータ特性 ( $T_A = -40 \sim +85$  ,  $V_{DD} = 1.8 \sim 5.5$  V)

| 項 目      | 略 号        | 条 件                       | MIN. | TYP. | MAX.      | 単 位 |
|----------|------------|---------------------------|------|------|-----------|-----|
| アナログ入力範囲 | $V_{CIN}$  |                           | 0    |      | $V_{DD}$  | V   |
| 基準電圧入力範囲 | $V_{CREF}$ | $V_{DD} = 2.7 \sim 5.5$ V | 1.35 | 1.6  | 1.85      | V   |
|          |            | $V_{DD} = 1.8 \sim 5.5$ V | 1.35 | 1.4  | 1.45      | V   |
| 精度       |            |                           |      |      | $\pm 100$ | mV  |

データ・メモリSTOPモード低電源電圧データ保持特性 ( $T_A = -40 \sim +85$  )

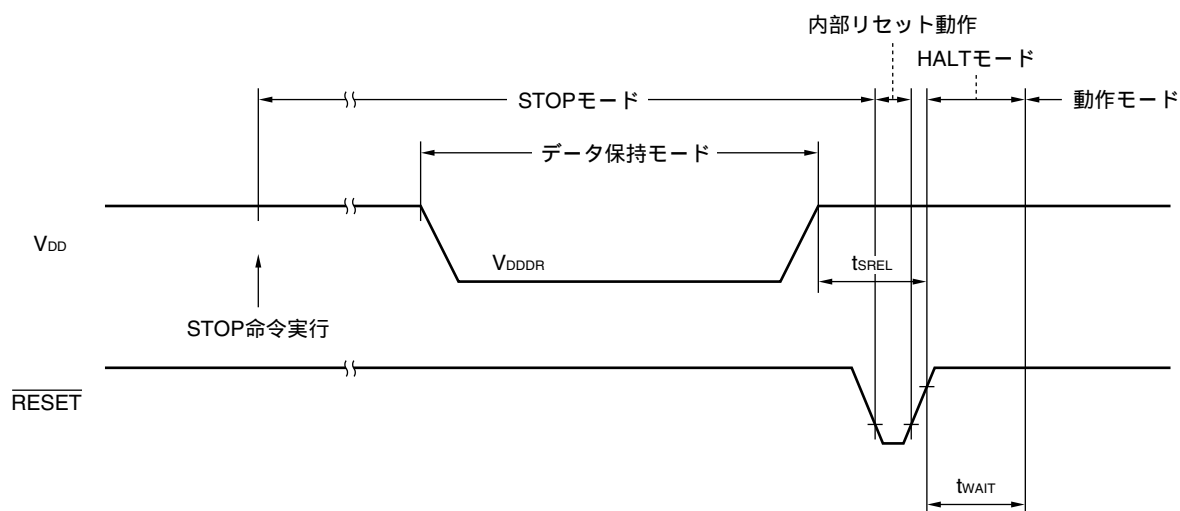
| 項 目                      | 略 号        | 条 件         | MIN. | TYP.         | MAX. | 単 位     |
|--------------------------|------------|-------------|------|--------------|------|---------|
| データ保持電源電圧                | $V_{DDDR}$ |             | 1.8  |              | 5.5  | V       |
| リリース信号セット時間              | $t_{SREL}$ |             | 0    |              |      | $\mu s$ |
| 発振安定ウエイト時間 <sup>注1</sup> | $t_{WAIT}$ | RESETによる解除  |      | $2^{15}/f_x$ |      | ms      |
|                          |            | 割り込み要求による解除 |      | 注2           |      | ms      |

注1. 発振安定ウエイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

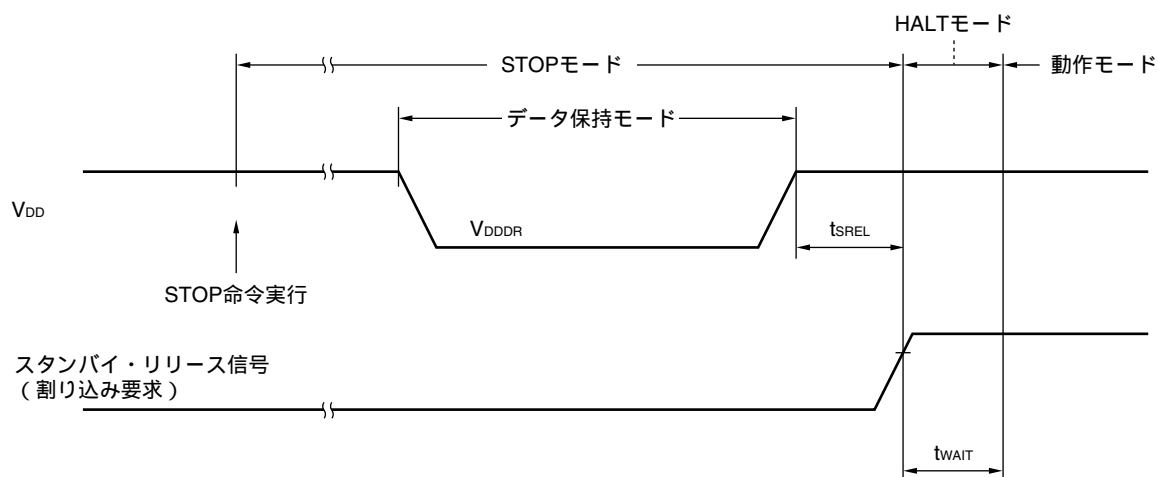
2. 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により、 $2^{12}/f_x$ ,  $2^{15}/f_x$ ,  $2^{17}/f_x$  の選択が可能です。

備考  $f_x$  : メイン・システム・クロック発振周波数

## データ保持タイミング (RESETによるSTOPモード解除)

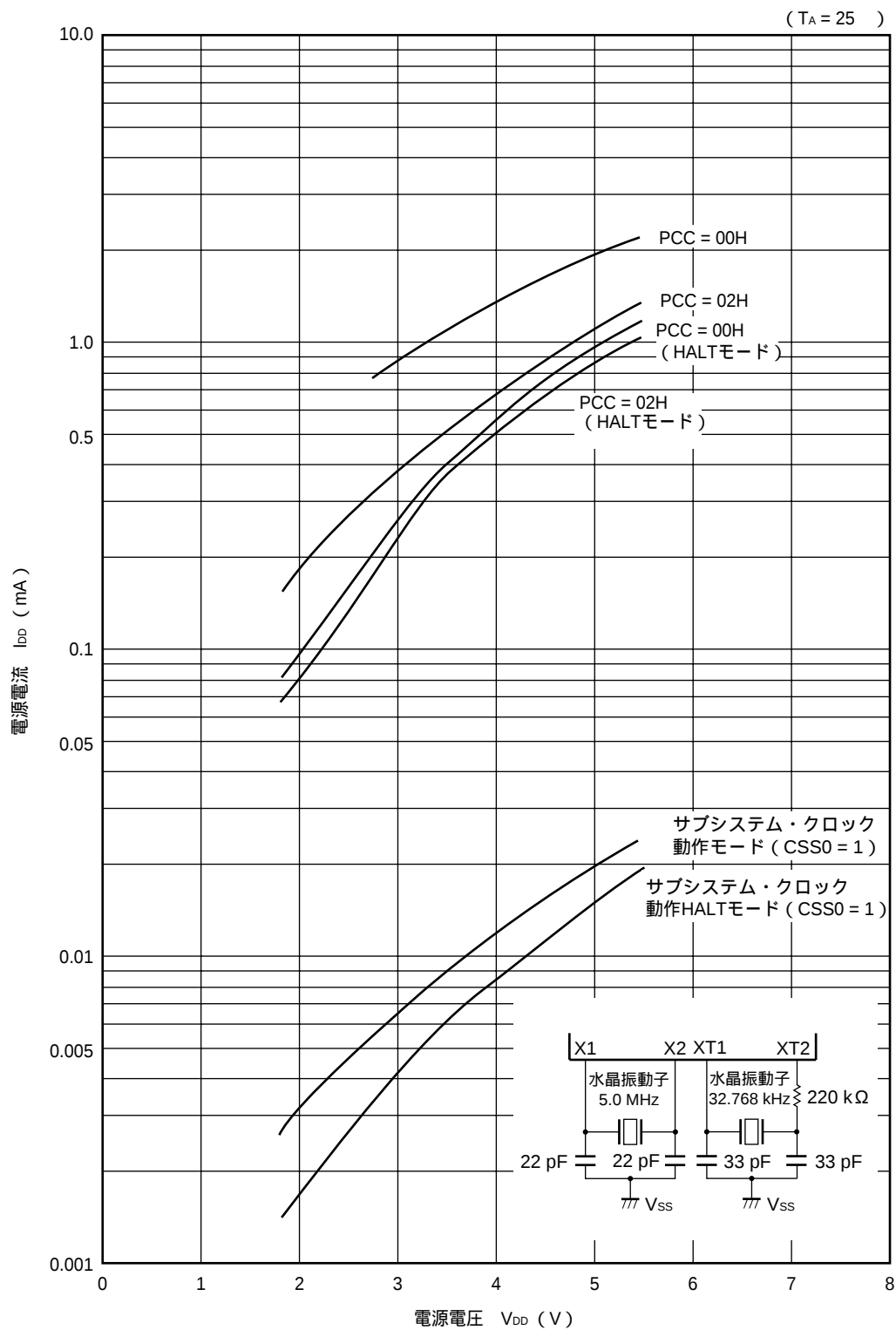


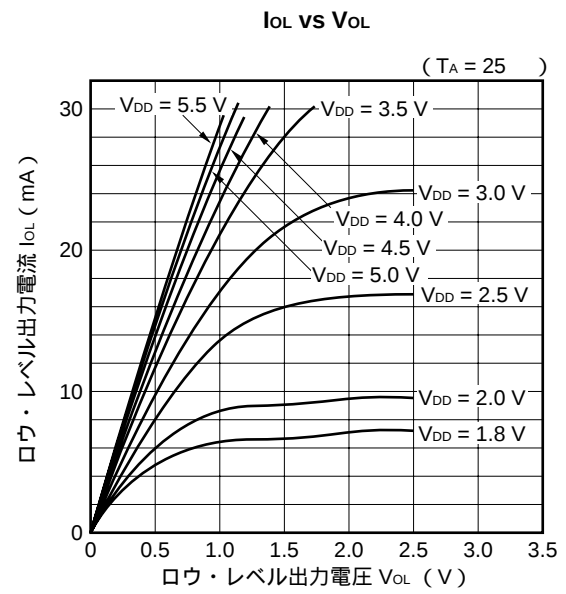
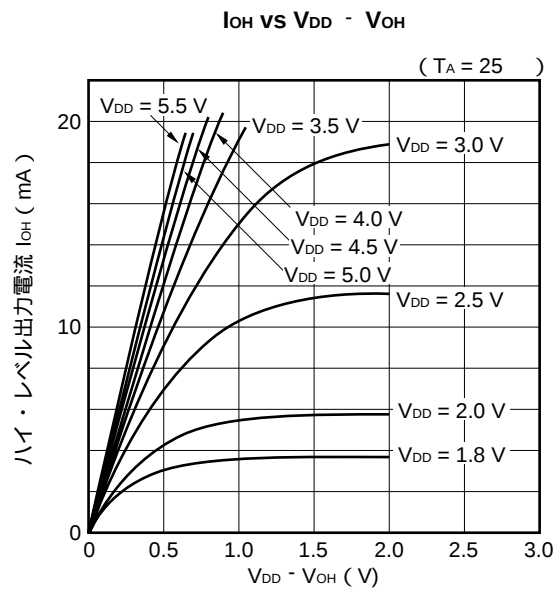
## データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)

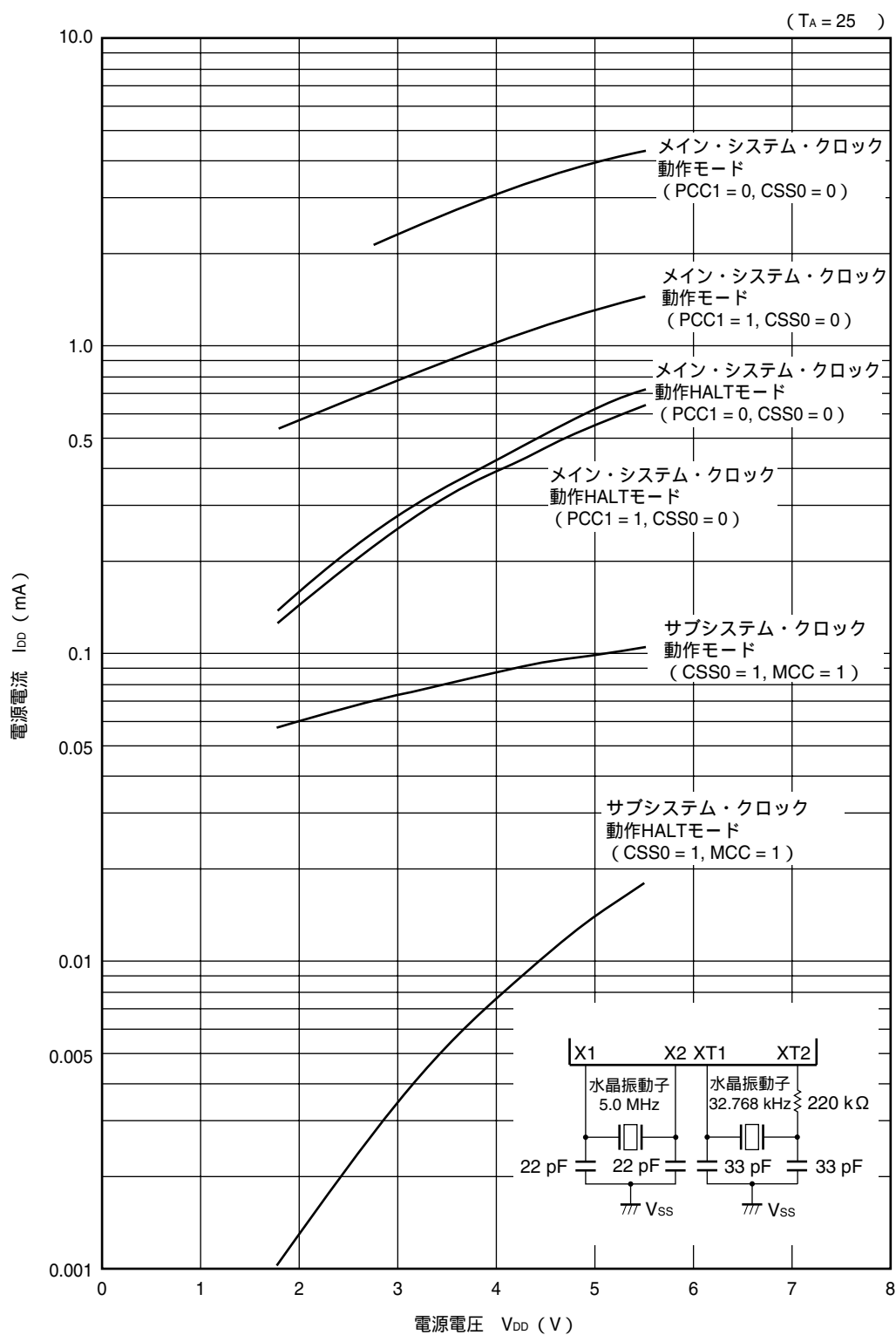


## 第22章 特性曲線（参考値）

### 22.1 マスクROM製品の特性曲線

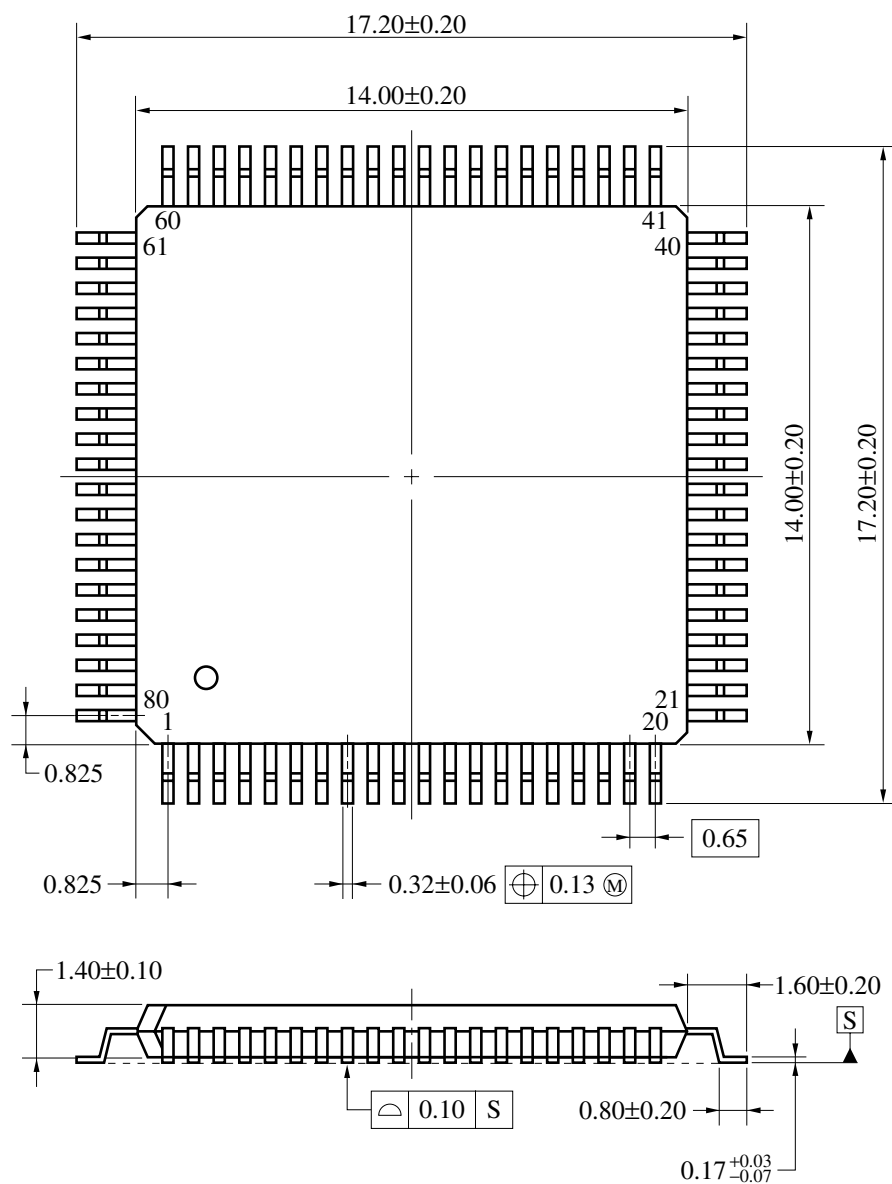




22.2  $\mu$ PD78F9418Aの特性曲線

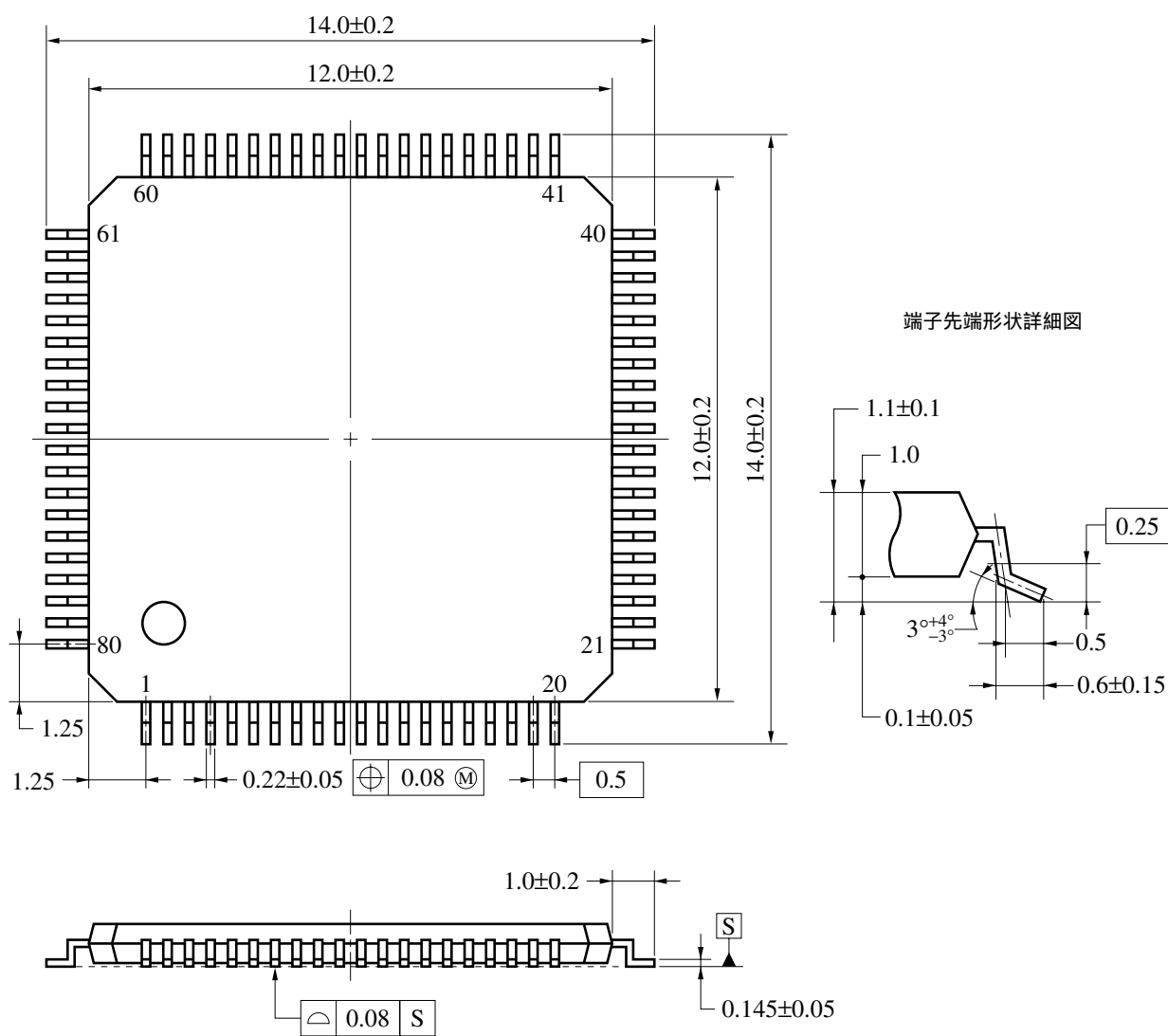
## 第23章 外形図

80ピン・プラスチック QFP (14x14) 外形図 (単位: mm)



P80GC-65-8BT-1

## 80ピン・プラスチック TQFP (ファインピッチ) (12x12) 外形図 (単位 : mm)



P80GK-50-9EU-1

## 第24章 半田付け推奨条件

μPD789407A, 789417Aサブシリーズの半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表24 - 1 表面実装タイプの半田付け条件 (1/3)

μPD789405AGC- × × × -8BT : 80ピン・プラスチックQFP (14x14)

μPD789406AGC- × × × -8BT : "

μPD789407AGC- × × × -8BT : "

μPD789415AGC- × × × -8BT : "

μPD789416AGC- × × × -8BT : "

μPD789417AGC- × × × -8BT : "

μPD78F9418AGC-8BT : "

| 半田付け方式       | 半田付け条件                                                      | 推奨条件記号    |
|--------------|-------------------------------------------------------------|-----------|
| 赤外線リフロ       | パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上） ，<br>回数：2回以内              | IR35-00-2 |
| VPS          | パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上） ，<br>回数：2回以内              | VP15-00-2 |
| ウェーブ・ソルダーリング | 半田槽温度：260 以下，時間：10秒以内，回数：1回 ，<br>予備加熱温度：120 MAX.（パッケージ表面温度） | WS60-00-1 |
| 端子部分加熱       | 端子温度：350 以下，時間：3秒以内（デバイス一辺当たり）                              | -         |

**注意** 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

表24 - 1 表面実装タイプの半田付け条件 (2/3)

μPD789405AGK- × × × -9EU : 80ピン・プラスチックTQFP (ファインピッチ) (12x12)

μPD789406AGK- × × × -9EU : "

μPD789407AGK- × × × -9EU : "

μPD789415AGK- × × × -9EU : "

μPD789416AGK- × × × -9EU : "

μPD789417AGK- × × × -9EU : "

μPD78F9418GK-9EU : "

| 半田付け方式 | 半田付け条件                                                                                                                                                     | 推奨条件記号     |
|--------|------------------------------------------------------------------------------------------------------------------------------------------------------------|------------|
| 赤外線リフロ | パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），<br>回数：2回以内，制限日数：7日間 <sup>注</sup> （以降は125℃プリベーク10時間必要）<br>< 留意事項 ><br>耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態での<br>ベーキングができません。 | IR35-107-2 |
| VPS    | パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），<br>回数：2回以内，制限日数：7日間 <sup>注</sup> （以降は125℃プリベーク10時間必要）<br>< 留意事項 ><br>耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態での<br>ベーキングができません。 | VP15-107-2 |
| 端子部分加熱 | 端子温度：350℃以下，時間：3秒以内（デバイス一辺当たり）                                                                                                                             | -          |

注 ドライパック開封後の保管日数で，保管条件は25℃，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

表24 - 1 表面実装タイプの半田付け条件 (3/3)

|                                                  |                                     |
|--------------------------------------------------|-------------------------------------|
| $\mu$ PD789405AGC- $\times \times \times$ -8BT-A | : 80ピン・プラスチックQFP (14x14)            |
| $\mu$ PD789406AGC- $\times \times \times$ -8BT-A | : "                                 |
| $\mu$ PD789407AGC- $\times \times \times$ -8BT-A | : "                                 |
| $\mu$ PD789415AGC- $\times \times \times$ -8BT-A | : "                                 |
| $\mu$ PD789416AGC- $\times \times \times$ -8BT-A | : "                                 |
| $\mu$ PD789417AGC- $\times \times \times$ -8BT-A | : "                                 |
| $\mu$ PD78F9418AGC-8BT-A                         | : "                                 |
| $\mu$ PD789405AGK- $\times \times \times$ -9EU-A | : 80ピン・プラスチックTQFP (ファインピッチ) (12x12) |
| $\mu$ PD789406AGK- $\times \times \times$ -9EU-A | : "                                 |
| $\mu$ PD789407AGK- $\times \times \times$ -9EU-A | : "                                 |
| $\mu$ PD789415AGK- $\times \times \times$ -9EU-A | : "                                 |
| $\mu$ PD789416AGK- $\times \times \times$ -9EU-A | : "                                 |
| $\mu$ PD789417AGK- $\times \times \times$ -9EU-A | : "                                 |
| $\mu$ PD78F9418GK-9EU-A                          | : "                                 |

| 半田付け方式      | 半田付け条件                                                                                                                                                               | 推奨条件記号     |
|-------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------|
| 赤外線リフロ      | パッケージ・ピーク温度: 260 , 時間: 60秒以内 (220 以上) , 回数: 3回以内 , 制限日数: 7日間 <sup>注</sup> (以降は125 プリベーク20~72時間必要)<br>< 留意事項 ><br>耐熱トレイ以外 (マガジン, テーピング, 非耐熱トレイ) は, 包装状態でのベーキングができません。 | IR60-207-3 |
| ウエーブ・ソルダリング | 0.65mmピッチ以上のパッケージでは, ウエーブ・ソルダリングも対応可能です。詳細については, 当社販売員にご相談ください。                                                                                                      | -          |
| 端子部分加熱      | 端子温度: 350 以下, 時間: 3秒以内 (デバイスの一辺当たり)                                                                                                                                  | -          |

注 ドライパック開封後の保管日数で, 保管条件は25 , 65 %RH以下。

注意 半田付け方式の併用はお避けください (ただし, 端子部分加熱方式は除く)。

備考 オーダ名称末尾「-A」の製品は, 鉛フリー製品です。

## 付録A 開発ツール

μ PD789407A, 789417Aサブシリーズを使用するシステム開発のために次のような開発ツールを用意しております。図A - 1に開発ツール構成を示します。

- PC98-NXシリーズへの対応について

特に断りのないかぎり、IBM PC/AT<sup>TM</sup>互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

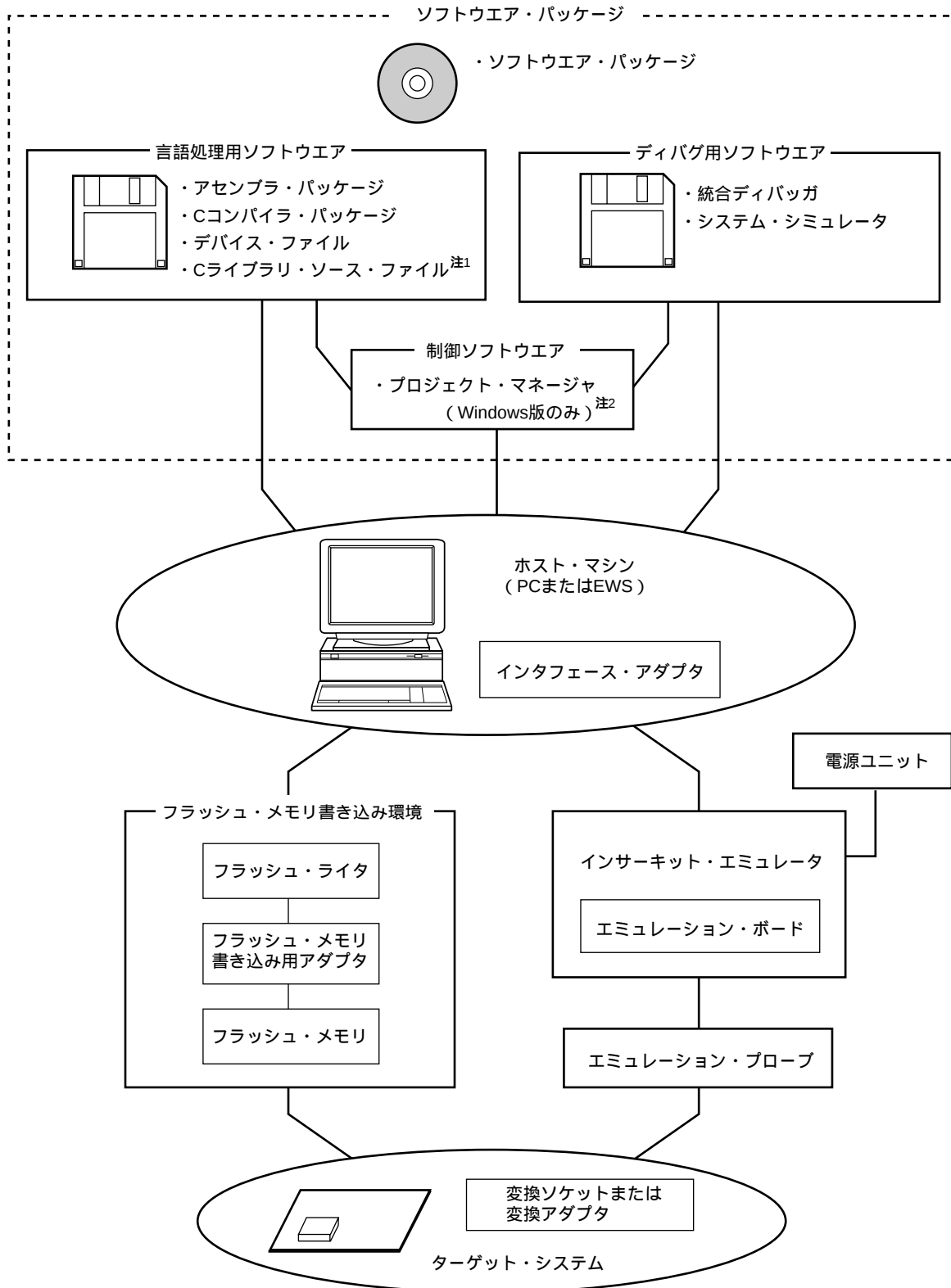
- Windowsについて

特に断りのないかぎり、「Windows」は次のOSを示しています。

- ・ Windows 3.1
- ・ Windows95, 98, 2000
- ・ WindowsNT<sup>TM</sup>Ver.4.0

★

図A - 1 開発ツール構成



注1. Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

2. プロジェクト・マネージャは、アセンブラ・パッケージに入っています。  
また、Windows以外ではプロジェクト・マネージャは使用しません。

## ★ A.1 ソフトウェア・パッケージ

|                         |                                                                                                                                                                           |
|-------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| SP78K0S<br>ソフトウェア・パッケージ | 78K/0Sシリーズ開発用の各種ソフトウェア・ツールを1つにパッケージングしたものです。<br>次のツールが入っています。<br>RA78K0S, CC78K0S, ID78K0S-NS, SM78K0S, デバイス・ファイル各種<br>オーダ名称: $\mu S \times \times \times \times$ SP78K0S |
|-------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------|

備考 オーダ名称の $\times \times \times \times$ は、使用するOSにより異なります。

$\mu S \times \times \times \times$  SP78K0S

| $\times \times \times \times$ | ホスト・マシン      | OS         | 供給媒体   |
|-------------------------------|--------------|------------|--------|
| AB17                          | PC-9800シリーズ, | 日本語Windows | CD-ROM |
| BB17                          | IBM PC/AT互換機 | 英語Windows  |        |

## A.2 言語処理用ソフトウェア

|                                            |                                                                                                                                                                                                                                                                                                                                                                          |
|--------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| RA78K0S<br>アセンブラ・パッケージ                     | <p>二モニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。別売のデバイス・ファイル (DF789418) と組み合わせて使用します。</p> <p>&lt;PC環境で使用する場合の注意&gt;</p> <p>アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。</p> <p>オーダ名称: <math>\mu S \times \times \times \times</math> RA78K0S</p> |
| CC78K0S<br>Cコンパイラ・パッケージ                    | <p>C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>別売のアセンブラ・パッケージ (RA78K0S) およびデバイス・ファイル (DF789418) と組み合わせて使用します。</p> <p>&lt;PC環境で使用する場合の注意&gt;</p> <p>Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。</p> <p>オーダ名称: <math>\mu S \times \times \times \times</math> CC78K0S</p>                         |
| DF789418 <sup>注1</sup><br>デバイス・ファイル        | <p>デバイス固有の情報が入ったファイルです。</p> <p>別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。</p> <p>オーダ名称: <math>\mu S \times \times \times \times</math> DF789418</p>                                                                                                                                                                                                           |
| CC78K0S-L <sup>注2</sup><br>Cライブラリ・ソース・ファイル | <p>Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。</p> <p>Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。</p> <p>ソース・ファイルのため、動作環境はOSに依存しません。</p> <p>オーダ名称: <math>\mu S \times \times \times \times</math> CC78K0S-L</p>                                                                                                                                       |

注1. DF789418は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

2. CC78K0S-Lは、ソフトウェア・パッケージ (SP78K0S) には含まれていません。

備考 オータ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××RA78K0S

μS××××CC78K0S

| ×××× | ホスト・マシン                      | OS                                                                         | 供給媒体         |
|------|------------------------------|----------------------------------------------------------------------------|--------------|
| AB13 | PC-9800シリーズ，<br>IBM PC/AT互換機 | 日本語Windows                                                                 | 3.5インチ2HD FD |
| BB13 |                              | 英語Windows                                                                  |              |
| AB17 |                              | 日本語Windows                                                                 | CD-ROM       |
| BB17 |                              | 英語Windows                                                                  |              |
| 3P17 | HP9000シリーズ700 <sup>TM</sup>  | HP-UX <sup>TM</sup> ( Rel.10.10 )                                          |              |
| 3K17 | SPARCstation <sup>TM</sup>   | SunOS <sup>TM</sup> ( Rel.4.1.4 ) ，<br>Solaris <sup>TM</sup> ( Rel.2.5.1 ) |              |

μS××××DF789418

μS××××CC78K0S-L

| ×××× | ホスト・マシン                      | OS                    | 供給媒体         |
|------|------------------------------|-----------------------|--------------|
| AB13 | PC-9800シリーズ，<br>IBM PC/AT互換機 | 日本語Windows            | 3.5インチ2HD FD |
| BB13 |                              | 英語Windows             |              |
| 3P16 | HP9000シリーズ700                | HP-UX ( Rel.10.10 )   | DAT          |
| 3K13 | SPARCstation                 | SunOS ( Rel.4.1.4 ) ， | 3.5インチ2HD FD |
| 3K15 |                              | Solaris ( Rel.2.5.1 ) | 1/4インチCGMT   |

## ★ A. 3 制御ソフトウェア

|              |                                                                                                                                                                                                            |
|--------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| プロジェクト・マネージャ | Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。プロジェクト・マネージャ上から、エディタの起動、ビルド、ディバッガの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。<br><br><注意><br>プロジェクト・マネージャはアセンブラ・パッケージ ( RA78K0S ) の中に入っています。<br>Windows以外の環境では使用できません。 |
|--------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|

## A. 4 フラッシュ・メモリ書き込み用ツール

|                                                                          |                                                                                                                                                        |
|--------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------|
| Flashpro ( FL-PR3, PG-FP3 )<br>Flashpro ( FL-PR4, PG-FP4 )<br>フラッシュ・ライター | フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライター                                                                                                                           |
| FA-80GC-8BT<br>FA-80GK-9EU<br>フラッシュ・メモリ書き込み用アダプタ                         | フラッシュ・メモリ書き込み用アダプタです。Flashpro またはFlashpro に接続して使用します。<br>FA-80GC-8BT : 80ピン・プラスチックQFP ( GC-8BTタイプ ) 用<br>FA-80GK-9EU : 80ピン・プラスチックTQFP ( GK-9EUタイプ ) 用 |

備考 FL-PR3, FL-PR4, FA-80GC-8BT, FA-80GK-9EUは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 ( TEL ( 045 ) 475-4191 )

## A.5 ディバグ用ツール（ハードウェア）

|                                            |                                                                                                                                                                |
|--------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------|
| IE-78K0S-NS<br>インサーキット・エミュレータ              | 78K/0Sシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのインサーキット・エミュレータ。統合ディバガ（ID78K0S-NS）に対応しています。ACアダプタ、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。 |
| IE-78K0S-NS-A<br>インサーキット・エミュレータ            | IE-78K0S-NSの機能を拡張したインサーキット・エミュレータです。<br>カバレッジ機能が追加され、トレーサ機能、タイマ機能が強化されるなど、ディバグ機能がより強化されます。                                                                     |
| IE-70000-MC-PS-B<br>ACアダプタ                 | AC100～240 Vのコンセントから電源を供給するためのアダプタ                                                                                                                              |
| IE-70000-98-IF-C<br>インタフェース・アダプタ           | IE-78K0S-NSのホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときに必要なアダプタです（Cバス対応）                                                                                         |
| IE-70000-CD-IF-A<br>PCカード・インタフェース          | IE-78K0S-NSのホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブルです（PCMCIAソケット対応）                                                                                    |
| IE-70000-PC-IF-C<br>インタフェース・アダプタ           | IE-78K0S-NSのホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです（ISAバス対応）                                                                                                   |
| IE-70000-PCI-IF-A<br>インタフェース・アダプタ          | IE-78K0S-NSのホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです                                                                                                          |
| IE-789418-NS-EM1<br>エミュレーション・ボード           | デバイスに固有な周辺ハードウェアをエミュレーションするためのボード。インサーキット・エミュレータと組み合わせて使用します。                                                                                                  |
| NP-80GC<br>エミュレーション・プローブ                   | インサーキット・エミュレータとターゲット・システムを接続するためのケーブルです。<br>EV-9200GC-80と組み合わせて使用します。                                                                                          |
| EV-9200GC-80<br>変換ソケット                     | 80ピン・プラスチックQFP（GC-8BTタイプ）を実装できるように作られたターゲット・システムの基板とNP-80GCを接続するための変換ソケットです                                                                                    |
| NP-80GC-TQ<br>NP-H80GC-TQ<br>エミュレーション・プローブ | インサーキット・エミュレータとターゲット・システムを接続するためのケーブルです。<br>TGC-080SBPと組み合わせて使用します。                                                                                            |
| TGC-080SBP<br>変換アダプタ                       | 80ピン・プラスチックQFP（GC-8BTタイプ）を実装できるように作られたターゲット・システムの基板とNP-80GC-TQまたはNP-H80GC-TQを接続するための変換アダプタです。                                                                  |
| NP-80GK<br>NP-H80GK-TQ<br>エミュレーション・プローブ    | インサーキット・エミュレータとターゲット・システムを接続するためのケーブルです。<br>TGK-080SDWと組み合わせて使用します。                                                                                            |
| TGK-080SDW<br>変換アダプタ                       | 80ピン・プラスチックTQFP（ファインピッチ）（GK-9EUタイプ）を実装できるように作られたターゲット・システムの基板とNP-80GKまたはNP-H80GK-TQを接続するための変換アダプタです。                                                           |

備考1. NP-80GC, NP-80GC-TQ, NP-H80GC-TQ, NP-80GK, NP-H80GK-TQは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（TEL（045）475-4191）

2. TGC-080SBP, TGK-080SDWは、東京エレクトック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部（TEL（03）3820-7112）

大阪電子部（TEL（06）6244-6672）

3. EV-9200GC-80は、5個を1組として1組単位で販売しています。

4. TGC-080SBP, TGK-080SDWは、1組単位で販売しています。

## A. 6 デバッグ用ツール（ソフトウェア）

|                                    |                                                                                                                                                                                                                                                                                                              |
|------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| ID78K0S-NS<br>統合ディバッガ              | <p>78K/0Sシリーズ用のインサーキット・エミュレータ IE-78K0S-NS, IE-78K0S-NS-Aに対応したディバッガです。ID78K0S-NSは、Windowsベースのソフトウェアです。</p> <p>C言語対応のディバグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。</p> <p>別売のデバイス・ファイル（DF789418）と組み合わせて使用します。</p> <p>オーダ名称：μS××××ID78K0S-NS</p>    |
| SM78K0S<br>システム・シミュレータ             | <p>78K/0Sシリーズ用のシステム・シミュレータです。SM78K0Sは、Windowsベースのソフトウェアです。</p> <p>ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのディバグが可能です。</p> <p>SM78K0Sを使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。</p> <p>別売のデバイス・ファイル（DF789418）と組み合わせて使用します。</p> <p>オーダ名称：μS××××SM78K0S</p> |
| DF789418 <sup>注</sup><br>デバイス・ファイル | <p>デバイス固有の情報が入ったファイルです。</p> <p>別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。</p> <p>オーダ名称：μS××××DF789418</p>                                                                                                                                                                                         |

注 DF789418は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

備考 オーダ名称の××××は、使用するOS、供給媒体により異なります。

μS××××ID78K0S-NS

μS××××SM78K0S

| ×××× | ホスト・マシン                      | OS         | 供給媒体         |
|------|------------------------------|------------|--------------|
| AB13 | PC-9800シリーズ,<br>IBM PC/AT互換機 | 日本語Windows | 3.5インチ2HD FD |
| BB13 |                              | 英語Windows  |              |
| AB17 |                              | 日本語Windows | CD-ROM       |
| BB17 |                              | 英語Windows  |              |

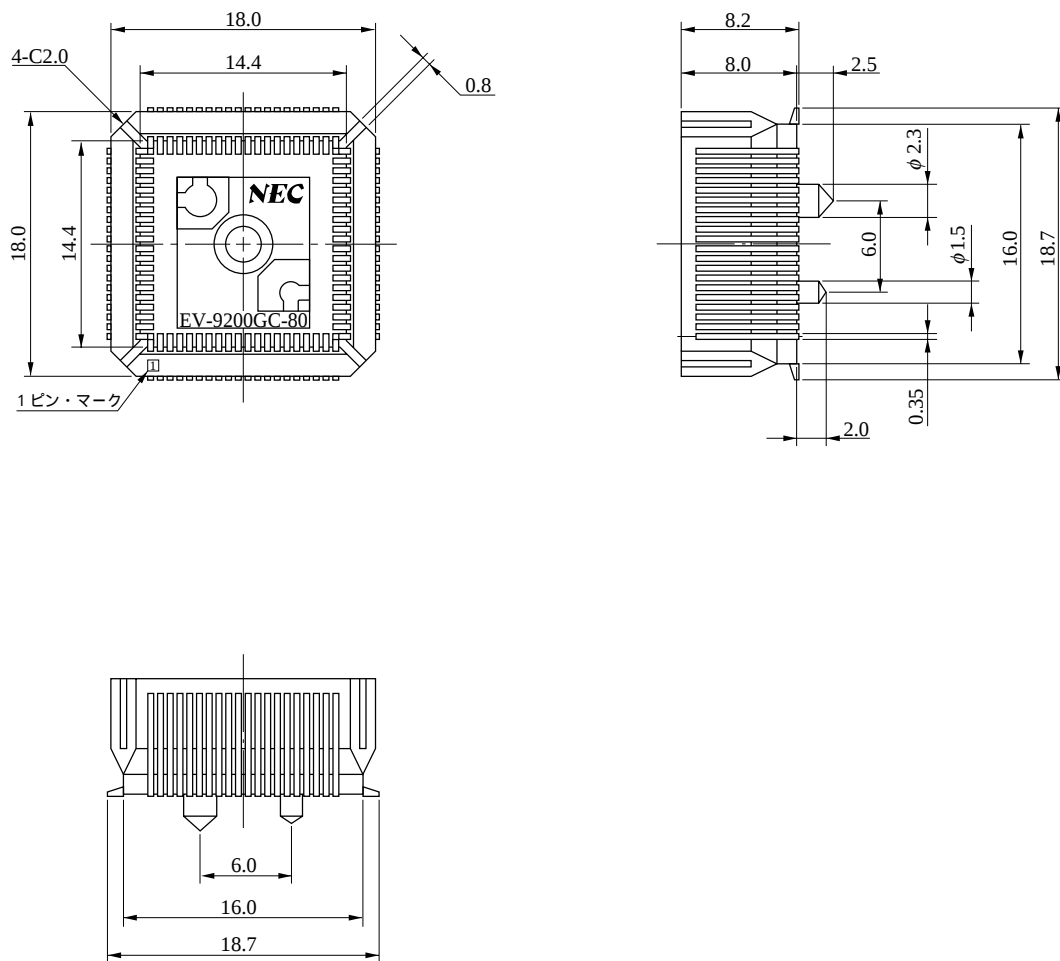
## A. 7 変換ソケット , 変換アダプタの外形図

### A. 7. 1 変換ソケット (EV-9200GC-80) の外形図と基板取り付け推奨パターン

図A - 2 EV-9200GC-80 外形図 (参考) (単位 : mm)

参考図 : EV-9200GC-80

(1)外形図 (単位 : mm)

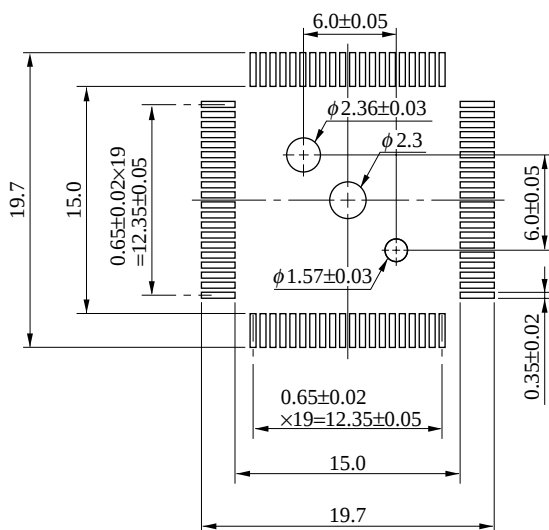


EV-9200GC-80-G0

図A-3 EV-9200GC-80 基板取り付け推奨パターン（参考）（単位：mm）

**参考図：**EV-9200GC-80

(2)パッド図(単位:mm)



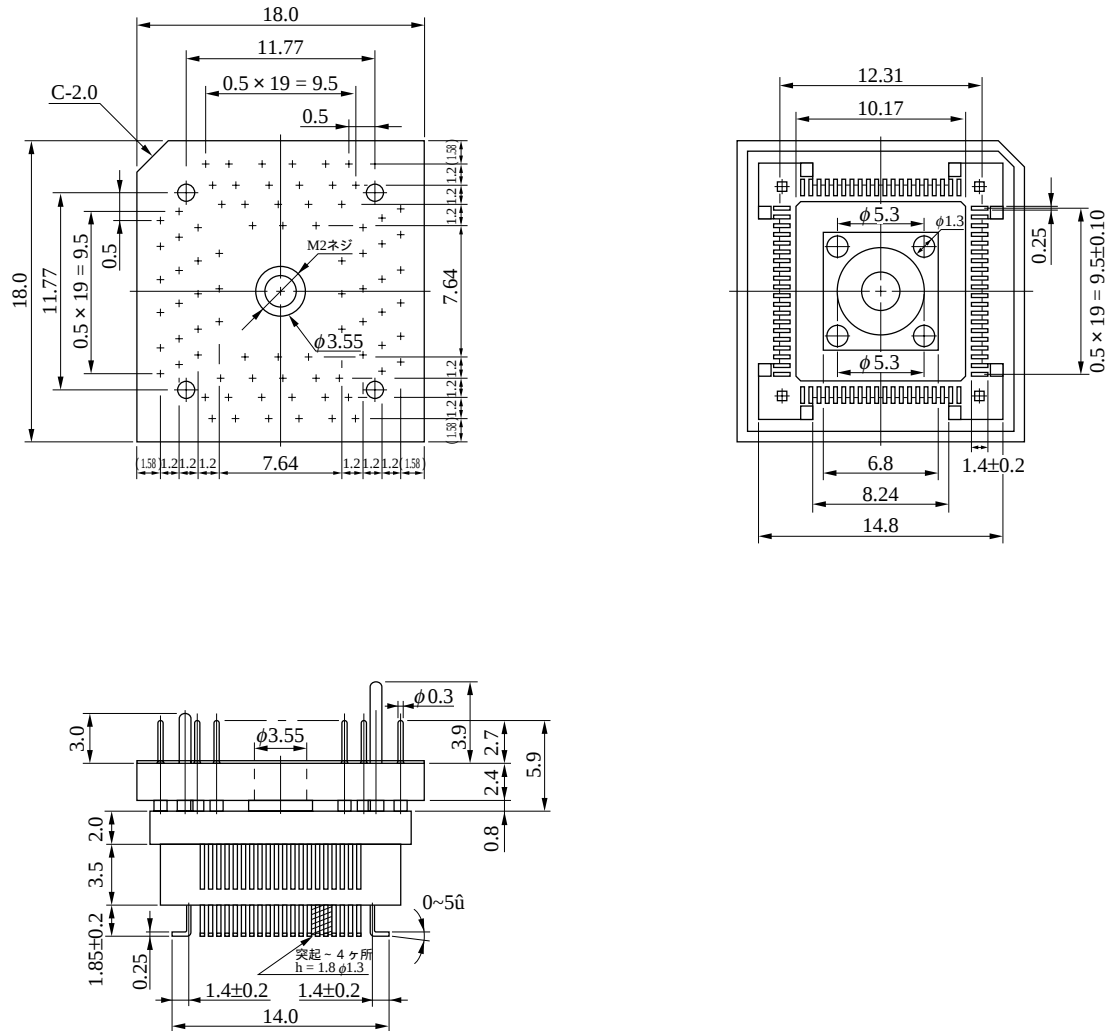
EV-9200GC-80-P1

**注意** EV-9200用のマウント・パッド寸法と、対象製品のマウント・パッド寸法（QFP用）は、その一部が異なる場合があります。QFP用の推奨マウント・パッド寸法は、「半導体デバイス実装マニュアル」のホーム・ページをご参照ください  
(<http://www.necel.com/pkg/ja/jissou/index.html>)。

## A. 7. 2 変換アダプタ (TGK-080SDW) の外形図

図A - 4 TGK-080SDW 外形図 (参考) (単位 : mm)

参考図 : TGK-080SDW (TQPACK080SD + TQSOCKET080SDW)  
外形図 (単位 : mm)



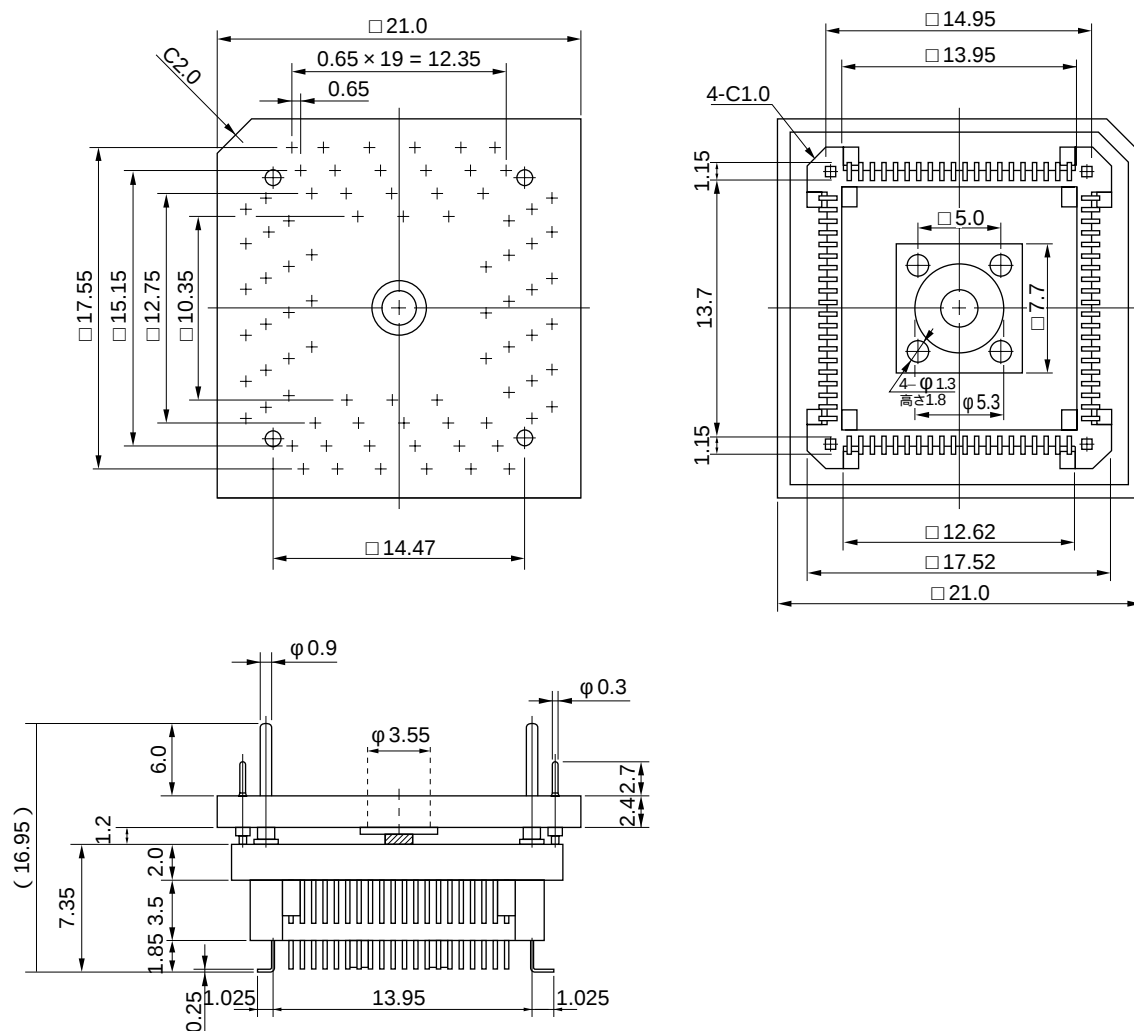
TGK-080SDW-G1

注 : 東京エレクトック (株) 製

### A. 7. 3 変換アダプタ (TGC-080SBP) の外形図

図A - 5 TGC-080SBP 外形図 (参考) (単位 : mm)

参考図 : TGC-080SBP (TQPACK080SB + TQSOCKET080SBP)  
外形図 (単位 : mm)



注 : 東京エレクトック (株) 製

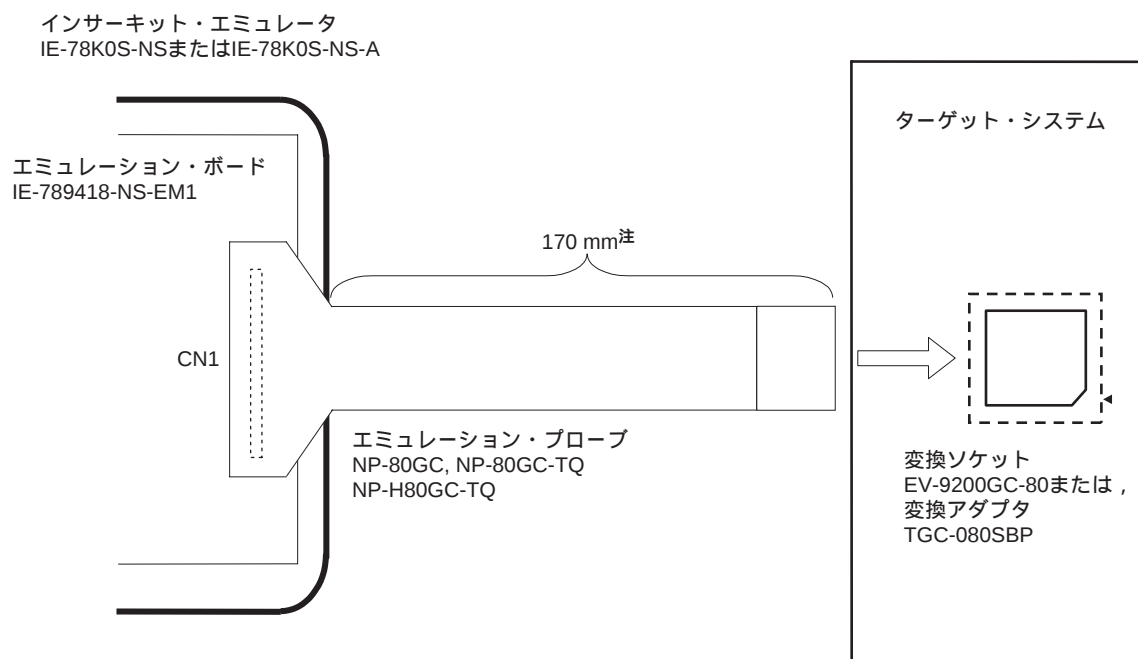
TGC-080SBP-G0

## 付録B ターゲット・システム設計上の注意

エミュレーション・プローブと変換ソケット，変換アダプタとの接続条件図を次に示します。ターゲット・システム上に実装する部品の形状などを考慮したうえで，この構成によってシステム設計を行ってください。

### (1) NP-80GC, NP-80GC-TQ, およびNP-H80GC-TQの場合

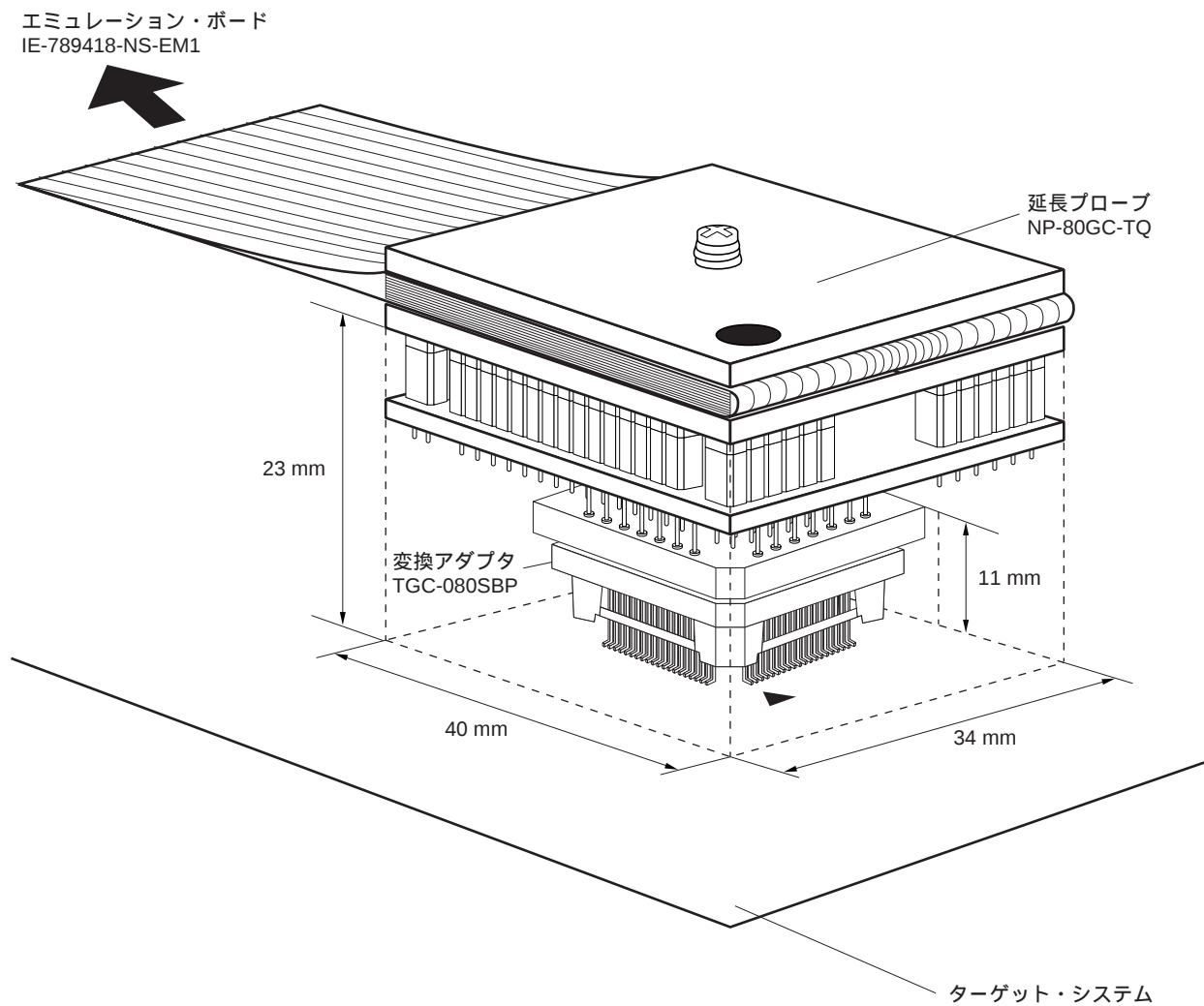
図B - 1 インサーキット・エミュレータから変換ソケットまでの距離（80GCの場合）



**注** NP-H80GC-TQでは370 mmになります。

**備考** NP-80GC，NP-80GC-TQおよびNP-H80GC-TQは，株式会社内藤電誠町田製作所の製品です。

図B - 2 ターゲット・システムの接続条件（NP-80GC-TQの場合）

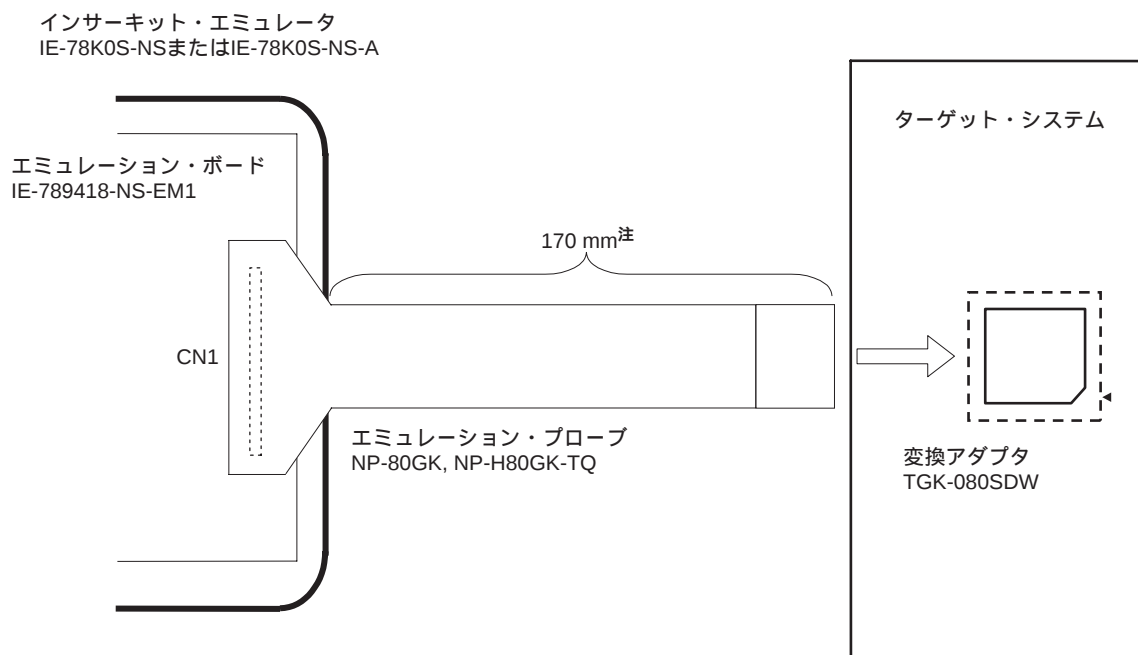


**備考** NP-80GC-TQは、株式会社内藤電誠町田製作所の製品です。

TGC-080SBPは、東京エレテック株式会社の製品です。

(2) NP-80GK, NP-H80GK-TQの場合

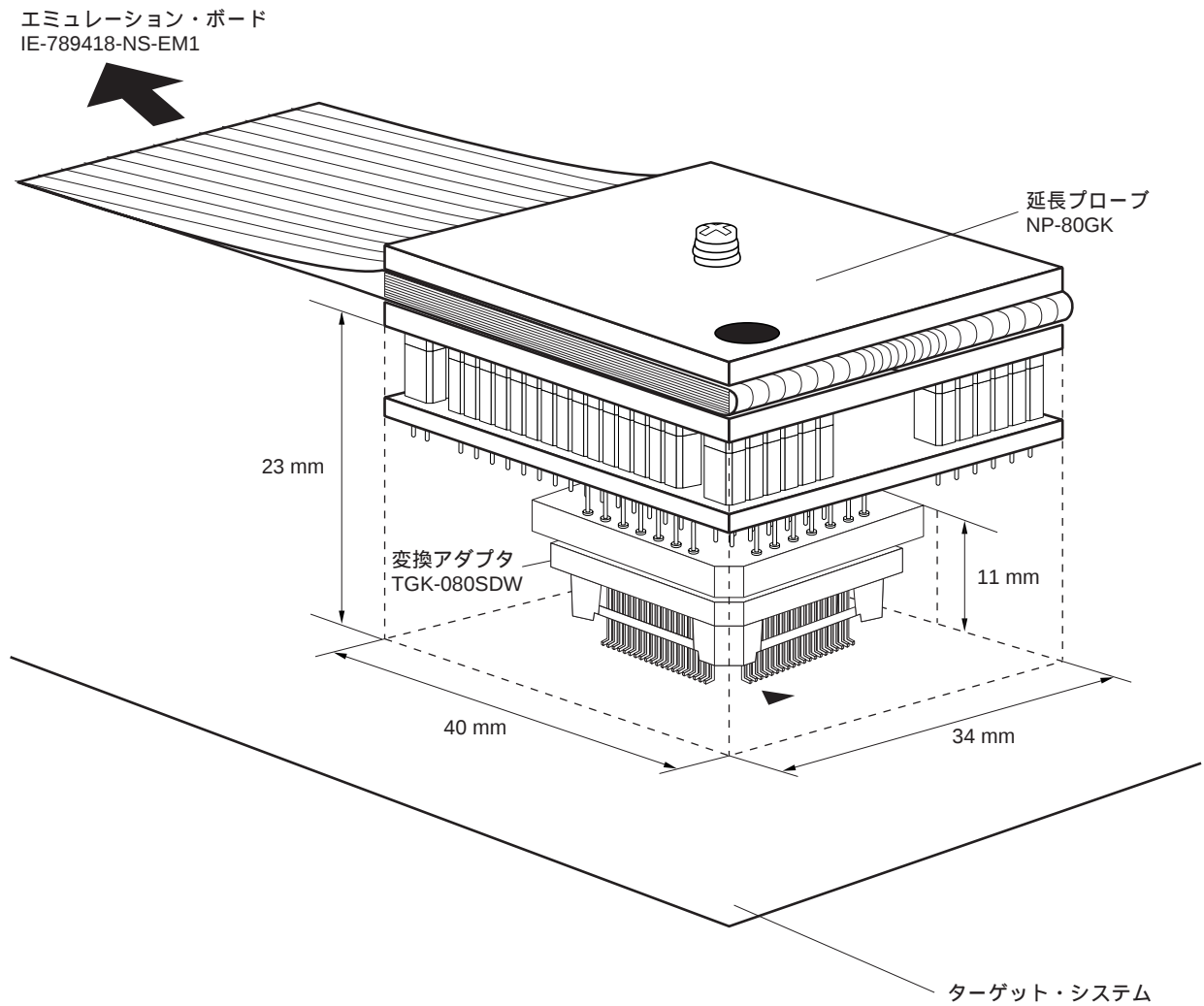
図B - 3 インサーキット・エミュレータから変換アダプタまでの距離 (80GKの場合)



**注** NP-H80GK-TQでは、370 mmになります。

**備考** NP-80GKおよびNP-H80GK-TQは、株式会社内藤電誠町田製作所の製品です。  
TGK-080SDWは、東京エレテック株式会社の製品です。

図B - 4 ターゲット・システムの接続条件（NP-80GKの場合）



**備考** NP-80GKは、株式会社内藤電誠町田製作所の製品です。  
TGK-080SDWは、東京エレテック株式会社の製品です。

## 付録C レジスタ索引

### C.1 レジスタ索引 (50音順)

#### 【あ行】

|                                            |     |          |
|--------------------------------------------|-----|----------|
| アシンクロナス・シリアル・インタフェース・ステータス・レジスタ00 (ASIS00) | ... | 180      |
| アシンクロナス・シリアル・インタフェース・モード・レジスタ00 (ASIM00)   | ... | 178      |
| ウォッチドッグ・タイマ・モード・レジスタ (WDTM)                | ... | 138      |
| A/Dコンバータ・モード・レジスタ0 (ADM0)                  | ... | 144, 157 |
| A/D変換結果レジスタ0 (ADCR0)                       | ... | 142, 155 |
| A/D入力選択レジスタ0 (ADS0)                        | ... | 145, 158 |
| LCDクロック制御レジスタ0 (LCDC0)                     | ... | 208      |
| LCD表示モード・レジスタ0 (LCDM0)                     | ... | 206      |
| LCDポート・セクタ0 (LPS0)                         | ... | 207      |

#### 【か行】

|                            |     |     |
|----------------------------|-----|-----|
| 外部割り込みモード・レジスタ0 (INTM0)    | ... | 235 |
| 外部割り込みモード・レジスタ1 (INTM1)    | ... | 236 |
| キー・リターン・モード・レジスタ00 (KRM00) | ... | 238 |
| コンパレータ・モード・レジスタ0 (CMPRM0)  | ... | 169 |

#### 【さ行】

|                                     |     |     |
|-------------------------------------|-----|-----|
| サブクロック・コントロール・レジスタ (CSS)            | ... | 94  |
| サブ発振モード・レジスタ (SCKM)                 | ... | 93  |
| 16ビット・キャプチャ・レジスタ50 (TCP50)          | ... | 104 |
| 16ビット・コンペア・レジスタ50 (CR50)            | ... | 104 |
| 16ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) | ... | 105 |
| 16ビット・タイマ・カウンタ50 (TM50)             | ... | 104 |
| 受信バッファ・レジスタ00 (RXB00)               | ... | 176 |
| シリアル動作モード・レジスタ00 (CSIM00)           | ... | 177 |
| 送信シフト・レジスタ00 (TXS00)                | ... | 176 |

#### 【た行】

|                              |     |     |
|------------------------------|-----|-----|
| タイマ・クロック選択レジスタ2 (TCL2)       | ... | 137 |
| 時計用タイマ・モード・コントロール・レジスタ (WTM) | ... | 132 |

#### 【は行】

|                         |     |     |
|-------------------------|-----|-----|
| 8ビット・コンペア・レジスタ00 (CR00) | ... | 118 |
| 8ビット・コンペア・レジスタ01 (CR01) | ... | 118 |
| 8ビット・コンペア・レジスタ02 (CR02) | ... | 118 |

|                                      |     |     |
|--------------------------------------|-----|-----|
| 8ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)   | ... | 119 |
| 8ビット・タイマ・モード・コントロール・レジスタ01 (TMC01)   | ... | 120 |
| 8ビット・タイマ・モード・コントロール・レジスタ02 (TMC02)   | ... | 121 |
| 8ビット・タイマ・カウンタ00 (TM00)               | ... | 118 |
| 8ビット・タイマ・カウンタ01 (TM01)               | ... | 118 |
| 8ビット・タイマ・カウンタ02 (TM02)               | ... | 118 |
| 発振安定時間選択レジスタ (OSTS)                  | ... | 246 |
| プルアップ抵抗オプション・レジスタ0 (PU0)             | ... | 87  |
| プルアップ抵抗オプション・レジスタ1 (PU1)             | ... | 87  |
| プルアップ抵抗オプション・レジスタ2 (PU2)             | ... | 87  |
| プロセッサ・クロック・コントロール・レジスタ (PCC)         | ... | 92  |
| ポート0 (P0)                            | ... | 73  |
| ポート2 (P2)                            | ... | 74  |
| ポート4 (P4)                            | ... | 79  |
| ポート5 (P5)                            | ... | 81  |
| ポート6 (P6)                            | ... | 82  |
| ポート8 (P8)                            | ... | 84  |
| ポート9 (P9)                            | ... | 85  |
| ポート・モード・レジスタ0 (PM0)                  | ... | 86  |
| ポート・モード・レジスタ2 (PM2)                  | ... | 86  |
| ポート・モード・レジスタ4 (PM4)                  | ... | 86  |
| ポート・モード・レジスタ5 (PM5)                  | ... | 86  |
| ポート・モード・レジスタ8 (PM8)                  | ... | 86  |
| ポート・モード・レジスタ9 (PM9)                  | ... | 86  |
| ボー・レート・ジェネレータ・コントロール・レジスタ00 (BRGC00) | ... | 181 |

#### 【わ行】

|                         |     |     |
|-------------------------|-----|-----|
| 割り込みマスク・フラグ・レジスタ0 (MK0) | ... | 234 |
| 割り込みマスク・フラグ・レジスタ1 (MK1) | ... | 234 |
| 割り込み要求フラグ・レジスタ0 (IF0)   | ... | 233 |
| 割り込み要求フラグ・レジスタ1 (IF1)   | ... | 233 |

## C.2 レジスタ索引 (アルファベット順)

### 【A】

- ADCR0 : A/D変換結果レジスタ0 ... 142, 155  
ADM0 : A/Dコンバータ・モード・レジスタ0 ... 144, 157  
ADS0 : A/D入力選択レジスタ0 ... 145, 158  
ASIM00 : アシクロナス・シリアル・インタフェース・モード・レジスタ00 ... 178  
ASIS00 : アシクロナス・シリアル・インタフェース・ステータス・レジスタ00 ... 180

### 【B】

- BRGC00 : ボー・レート・ジェネレータ・コントロール・レジスタ00 ... 181

### 【C】

- CMPRM0 : コンパレータ・モード・レジスタ0 ... 169  
CR00 : 8ビット・コンペア・レジスタ00 ... 118  
CR01 : 8ビット・コンペア・レジスタ01 ... 118  
CR02 : 8ビット・コンペア・レジスタ02 ... 118  
CR50 : 16ビット・コンペア・レジスタ50 ... 104  
CSIM00 : シリアル動作モード・レジスタ00 ... 177  
CSS : サブクロック・コントロール・レジスタ ... 94

### 【I】

- IF0 : 割り込み要求フラグ・レジスタ0 ... 233  
IF1 : 割り込み要求フラグ・レジスタ1 ... 233  
INTM0 : 外部割り込みモード・レジスタ0 ... 235  
INTM1 : 外部割り込みモード・レジスタ1 ... 236

### 【K】

- KRM00 : キー・リターン・モード・レジスタ00 ... 238

### 【L】

- LCDC0 : LCDクロック制御レジスタ0 ... 208  
LCDM0 : LCD表示モード・レジスタ0 ... 206  
LPS0 : LCDポート・セクタ0 ... 207

### 【M】

- MK0 : 割り込みマスク・フラグ・レジスタ0 ... 234  
MK1 : 割り込みマスク・フラグ・レジスタ1 ... 234

### 【O】

- OSTS : 発振安定時間選択レジスタ ... 246

### 【P】

|     |                              |    |
|-----|------------------------------|----|
| P0  | : ポート0 ...                   | 73 |
| P2  | : ポート2 ...                   | 74 |
| P4  | : ポート4 ...                   | 79 |
| P5  | : ポート5 ...                   | 81 |
| P6  | : ポート6 ...                   | 82 |
| P8  | : ポート8 ...                   | 84 |
| P9  | : ポート9 ...                   | 85 |
| PCC | : プロセッサ・クロック・コントロール・レジスタ ... | 92 |
| PM0 | : ポート・モード・レジスタ0 ...          | 86 |
| PM2 | : ポート・モード・レジスタ2 ...          | 86 |
| PM4 | : ポート・モード・レジスタ4 ...          | 86 |
| PM5 | : ポート・モード・レジスタ5 ...          | 86 |
| PM8 | : ポート・モード・レジスタ8 ...          | 86 |
| PM9 | : ポート・モード・レジスタ9 ...          | 86 |
| PU0 | : プルアップ抵抗オプション・レジスタ0 ...     | 87 |
| PU1 | : プルアップ抵抗オプション・レジスタ1 ...     | 87 |
| PU2 | : プルアップ抵抗オプション・レジスタ2 ...     | 87 |

## [R]

|       |                     |     |
|-------|---------------------|-----|
| RXB00 | : 受信バッファ・レジスタ00 ... | 176 |
|-------|---------------------|-----|

## [S]

|      |                    |    |
|------|--------------------|----|
| SCKM | : サブ発振モード・レジスタ ... | 93 |
|------|--------------------|----|

## [T]

|       |                                   |     |
|-------|-----------------------------------|-----|
| TCL2  | : タイマ・クロック選択レジスタ2 ...             | 137 |
| TCP50 | : 16ビット・キャプチャ・レジスタ50 ...          | 104 |
| TM00  | : 8ビット・タイマ・カウンタ00 ...             | 118 |
| TM01  | : 8ビット・タイマ・カウンタ01 ...             | 118 |
| TM02  | : 8ビット・タイマ・カウンタ02 ...             | 118 |
| TM50  | : 16ビット・タイマ・カウンタ50 ...            | 104 |
| TMC00 | : 8ビット・タイマ・モード・コントロール・レジスタ00 ...  | 119 |
| TMC01 | : 8ビット・タイマ・モード・コントロール・レジスタ01 ...  | 120 |
| TMC02 | : 8ビット・タイマ・モード・コントロール・レジスタ02 ...  | 121 |
| TMC50 | : 16ビット・タイマ・モード・コントロール・レジスタ50 ... | 105 |
| TXS00 | : 送信シフト・レジスタ00 ...                | 176 |

## [W]

|      |                              |     |
|------|------------------------------|-----|
| WDTM | : ウォッチドッグ・タイマ・モード・レジスタ ...   | 138 |
| WTM  | : 時計用タイマ・モード・コントロール・レジスタ ... | 132 |

## 付録D 改版履歴

これまでの改版履歴を次に示します。なお，適用箇所は各版での章を示します。

( 1/2 )

| 版数  | 前版からの改版内容                                                                                       | 適用箇所                                        |
|-----|-------------------------------------------------------------------------------------------------|---------------------------------------------|
| 第2版 | パッケージ変更<br>・ 80ピン・プラスチックTQFP（ファインピッチ）（GK-BE9タイプ）を削除<br>・ 80ピン・プラスチックTQFP（ファインピッチ）（GK-9EUタイプ）を追加 | 全般                                          |
|     | 表2 - 1 各端子の入出力回路タイプを変更                                                                          | 第2章 端子機能                                    |
|     | 表4 - 3 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定を修正                                                         | 第4章 ポート機能                                   |
|     | 6. 2 16ビット・タイマの構成（1）16ビット・コンペア・レジスタ50（CR50）で注意2を修正                                              | 第6章 16ビット・タイマ                               |
|     | 図6 - 2 16ビット・タイマ・モード・コントロール・レジスタ50のフォーマットを変更                                                    |                                             |
|     | 6. 4. 1 タイマ割り込みとしての動作に注意事項を追加                                                                   |                                             |
|     | 図6 - 8 キャプチャ動作時の16ビット・タイマ・モード・コントロール・レジスタ50の設定内容を修正                                             |                                             |
|     | 7. 4. 3 方形波出力としての動作に注意事項を追加                                                                     | 第7章 8ビット・タイマ / イベント・カウンタ                    |
|     | 10. 4. 1 8ビットA/Dコンバータの基本動作に注意事項を追加                                                              | 第10章 8ビットA/Dコンバータ                           |
|     | 11. 4. 1 10ビットA/Dコンバータの基本動作に注意を追加                                                               | 第11章 10ビットA/Dコンバータ                          |
|     | 表18 - 1 $\mu$ PD78F9418AとマスクROM製品の違いに注意を追加                                                      | 第18章 $\mu$ PD78F9418A                       |
|     | 表18 - 2 通信方式一覧の表を修正，注を追加                                                                        |                                             |
|     | 図18 - 4 擬似3線式でのFlashpro の接続例（P0を使用する場合）を修正                                                      |                                             |
|     | 表18 - 4 PG-FP3での設定例を変更                                                                          |                                             |
|     | A. 2 フラッシュ・メモリ書き込み用ツールでフラッシュ・メモリ書き込み用アダプタの品名を変更                                                 | 付録A 開発ツール                                   |
|     | A. 3. 1 ハードウェアで各エミュレーション・プローブに対応した変換アダプタの品名を追加                                                  |                                             |
| 第3版 | AV <sub>REF</sub> 端子，V <sub>PP</sub> 端子の端子処理を変更                                                 | 第2章 端子機能                                    |
|     | フィードバック抵抗に関する注を追加                                                                               | 第5章 クロック発生回路                                |
|     | 6. 5 16ビット・タイマ50の注意事項を追加                                                                        | 第6章 16ビット・タイマ50                             |
|     | 10. 5 8ビットA/Dコンバータの注意事項に（8）ANI0-ANI6端子の入カインピーダンスについてを追加                                         | 第10章 8ビットA/Dコンバータ（ $\mu$ PD78F9407Aサブシリーズ）  |
|     | 11. 2 10ビットA/Dコンバータの構成で，（2）A/D変換結果レジスタ0（ADCR0）の説明を修正                                            | 第11章 10ビットA/Dコンバータ（ $\mu$ PD78F9417Aサブシリーズ） |
|     | 11. 5 10ビットA/Dコンバータの注意事項に（8）ANI0-ANI6端子の入カインピーダンスについてを追加                                        |                                             |
|     | UARTの受信データ読み出しの説明を追加                                                                            | 第13章 シリアル・インタフェース00                         |

( 2/2 )

| 版数      | 前版からの改版内容                                                      | 適用箇所                  |
|---------|----------------------------------------------------------------|-----------------------|
| 第3版     | 図15 - 2 割り込み要求フラグ・レジスタのフォーマットに注意文を追加                           | 第15章 割り込み機能           |
|         | 図15 - 7 キー・リターン・モード・レジスタ00のフォーマットに注意文を追加                       |                       |
|         | 表18 - 1 $\mu$ PD78F9418AとマスクROM製品の違いで、プルアップ抵抗とLCD駆動用分割抵抗の記述を追加 | 第18章 $\mu$ PD78F9418A |
|         | フラッシュ・メモリ・プログラミングに関する内容を、18.1 フラッシュ・メモリの特徴として全面改訂              |                       |
|         | 電気的特性を追加                                                       | 第21章 電気的特性            |
|         | 特性曲線（参考値）を追加                                                   | 第22章 特性曲線（参考値）        |
|         | 外形図を追加                                                         | 第23章 外形図              |
|         | 半田付け推奨条件を追加                                                    | 第24章 半田付け推奨条件         |
|         | 開発ツールの内容を全面改訂<br>組み込み用ソフトウェアを削除                                | 付録A 開発ツール             |
|         | ターゲット・システム設計上の注意を追加                                            | 付録B ターゲット・システム設計上の注意  |
| 第3版     | 1.3 オータ情報を変更                                                   | 第1章 概 説               |
| ( 修正版 ) | 表24 - 1 表面実装タイプの半田付け条件 ( 3/3 ) を追加                             | 第24章 半田付け推奨条件         |

## 【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

---

## —— お問い合わせ先 ——

### 【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL（アドレス） <http://www.necel.co.jp/>

---

### 【営業関係，技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00，午後 1:00～5:00）

電 話 ： 044-435-9494

E-mail ： [info@necel.com](mailto:info@necel.com)

---

### 【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。