

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ユーザーズ・マニュアル

μPD780232 サブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

μPD780232

μPD780233

μPD78F0233

資料番号 U13364JJ2V0UD00 (第2版)

発行年月 August 2002 N CP(K)

© NEC Corporation 1998, 2002

[メモ]

目 次 要 約

第1章	概 説	...	22
第2章	端子機能	...	31
第3章	CPUアーキテクチャ	...	42
第4章	ポート機能	...	70
第5章	クロック発生回路	...	86
第6章	8ビット・リモコン・タイマ9	...	94
第7章	8ビット・タイマ80, 81	...	98
第8章	ウォッチドッグ・タイマ	...	106
第9章	A/Dコンバータ	...	113
第10章	シリアル・インタフェースSIO1	...	130
第11章	シリアル・インタフェースSIO3	...	171
第12章	VFDコントローラ/ドライバ	...	177
第13章	割り込み機能	...	193
第14章	スタンバイ機能	...	214
第15章	リセット機能	...	222
第16章	μ PD78F0233	...	226
第17章	命令セットの概要	...	237
第18章	電気的特性	...	252
第19章	外形図	...	319
第20章	半田付け推奨条件	...	320
付録A	μ PD780232, 780208サブシリーズ間の違い	...	321
付録B	開発ツール	...	323
付録C	ターゲット・システム設計上の注意	...	335
付録D	レジスタ索引	...	337
付録E	改版履歴	...	341

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

FIPは、日本電気株式会社の登録商標です。

IEBusは、日本電気株式会社の商標です。

WindowsおよびWindowsNTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

TRONは、The Realtime Operating system Nucleusの略称です。

ITRONは、Industrial TRONの略称です。

本製品のうち、外国為替および外国貿易管理法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品：μPD78F0233GC-8BT

ユーザ判定品：μPD780232GC- $x \times x$ -8BT, 780233GC- $x \times x$ -8BT

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
 - 文書による当社の承諾なしに本資料の転載複製を禁じます。
 - 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 - 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
 - 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 - 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

本版で改訂された主な箇所 (1/2)

版 数	内 容
全般	製品の追加 μ PD780233GC-x x x-8BT
	表記の変更 FIP®コントローラ / ドライバ VFDコントローラ / ドライバ
	電源電圧範囲拡張品 (V _{DD} = 2.7 ~ 5.5 VおよびV _{DD} = 3.0 ~ 5.5 V) についての記述を追加
p.30	1.8 マスク・オプションについてに注意を追加
p.33	2.1 端子機能一覧 (2) ポート以外の端子の「FIP0-FIP23」「FIP24-FIP31」「FIP32-FIP39」「FIP40-FIP47」「FIP48-FIP52」の説明にプルダウン抵抗についての記述を追加
p.37	2.2.7 FIP0-FIP23の説明にプルダウン抵抗についての記述を追加
p.39	表2-1 各端子の入出力回路タイプを変更
p.42	内部バッファRAMのアドレス値を変更
p.44	図3-1 メモリ・マップ (μ PD780232)
p.47	図3-3 メモリ・マップ (μ PD78F0233)
p.49	図3-4 データ・メモリのアドレッシング (μ PD780232)
p.49	図3-6 データ・メモリのアドレッシング (μ PD78F0233)
p.73	ブロック図の変更
p.74	図4-2 P00-P02のブロック図
p.75	図4-3 P20, P27のブロック図
p.76	図4-4 P21, P24-P26のブロック図
p.76	図4-5 P22, P23のブロック図
pp.77-80	4.2.3 ポート3 ~ 4.2.6 ポート6 に注意を追加
p.83	4.3 ポート機能を制御するレジスタ (2) プルアップ抵抗オプション・レジスタ (PU0, PU2) の説明文を変更, 注意を追加
p.85	表4-4 マスクROM製品のマスク・オプションとμ PD78F0233との比較を変更
pp.94, 95	6.2 8ビット・リモコン・タイマ9の構成, 6.3 8ビット・リモコン・タイマ9を制御するレジスタの説明の構成を変更
pp.103, 104	図7-5 インターバル・タイマ動作のタイミングを変更
p.105	図7-6 8ビット・タイマ・カウンタ8n (TM8n) のスタート・タイミングを変更
pp.106-112	第8章 ウォッチドッグ・タイマの章中にある注意を変更
p.122	9.5 A/Dコンバータ特性表の読み方を追加
p.125	9.6 A/Dコンバータの注意事項に次の項目を追加
p.128	(6) ANI0-ANI3端子の入力インピーダンスについて
p.128	(12) A/D変換結果が不定になるタイミング
p.128	(13) ボード設計上の注意
p.129	(14) ANI0-ANI3端子内部等価回路と許容信号源インピーダンス

本版で改訂された主な箇所 (2/2)

版 数	内 容
p.155	内蔵バッファRAMのアドレス値を変更
p.159	図10 - 9 6バイト分送受信するときのバッファRAMの動作 (基本送受信モード時)
p.163	図10 - 12 6バイト分送信するときのバッファRAMの動作 (基本送信モード時)
p.163	図10 - 15 6バイト分送信するときのバッファRAMの動作 (繰り返し送信モード時)
pp.153-170	10.4.3 自動送受信機能付き3線式シリアル・モードの(3)通信動作, (4)同期制御, (5)割り込み要求信号の発生タイミングの内容を変更
p.172	図11 - 1 シリアル・インタフェースSIO3のブロック図を変更
p.177	12.1 VFDコントローラ/ドライバの機能の(6)の説明を変更, 注を追加
p.180	図12 - 2 表示モード・レジスタ0のフォーマットを変更 (FOUT5-FOUT0の設定値とVFD出力本数を変更), 注意4を追加
p.183	図12 - 4 表示モード・レジスタ2のフォーマットを変更 (FCYC1, FCYC0で設定する表示サイクル値を変更)
p.186	図12 - 7 表示データ・メモリのアドレス配置とVFD出力の関係 (VFD出力42本, 14パターンの場合)を追加
p.192	図12 - 12 10セグメント-11桁表示時の表示データ・メモリの内容とVFD出力の関係を変更
p.194	表13 - 1 割り込み要因一覧に備考を追加
p.196	図13 - 1 割り込み機能の基本構成の(D)ソフトウェア割り込みを変更
p.198	図13 - 2 割り込み要求フラグ・レジスタのフォーマットに注意3, 4を追加
p.201	図13 - 5 外部割り込み立ち上がりエッジ許可レジスタ, 外部割り込み立ち下がり許可レジスタのフォーマットを変更 (旧版では別々にレジスタが説明されていたが, 本版では図を合わせて説明)
p.226	表16 - 1 μ PD78F0233とマスクROM製品の違いを変更
p.228	16.2 フラッシュ・メモリの特徴を追加
p.252	第18章 電気的特性を追加
p.319	第19章 外形図を追加
p.320	第20章 半田付け推奨条件を追加
p.321	表A - 1 μ PD780232, 780208サブシリーズ間の主な違いを変更
p.323	付録B 開発ツールを変更
p.335	付録C ターゲット・システム設計上の注意を追加
p.341	付録E 改版履歴を追加

本文欄外の★印は, 本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

はじめに

対象者 このマニュアルは、 μ PD780232サブシリーズの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 μ PD780232サブシリーズのマニュアルは、このマニュアルと命令編（78K/0シリーズ共通）の2冊に分かれています。

μ PD780232サブシリーズ
ユーザズ・マニュアル
(このマニュアル)

端子機能
内部ブロック機能
割り込み
その他の内蔵周辺機能
電気的特性

78K/0シリーズ
ユーザズ・マニュアル
命令編

CPU機能
命令セット
命令の説明

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

一通りの機能を理解しようとするとき

目次に従って読んでください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がRA78K0では予約語に、CC78K0ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。

レジスタ名が分かっている、レジスタの詳細を確認するとき

付録D レジスタ索引を利用してください。

μ PD780208サブシリーズとの違いを知りたいとき

付録A μ PD780232, 780208サブシリーズ間の違いを読んでください。

μ PD780232サブシリーズの命令機能の詳細を知りたいとき

別冊の78K/0シリーズ ユーザズ・マニュアル 命令編(U12326J)を参照してください。

- 凡 例 データ表記の重み : 左が上位桁, 右が下位桁
 アクティブ・ロウの表記 : $\overline{\text{xxx}}$ (端子, 信号名称に上線)
 注 : 本文中につけた注の説明
 注意 : 気をつけて読んでいただきたい内容
 備考 : 本文の補足説明
 数の表記 : 2進数... xxxxB
 10進数... xxx
 16進数... xxxH

★ 関連資料

関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
μPD780232サブシリーズ ユーザーズ・マニュアル	このマニュアル	U13364E
78K0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E

開発ツール(ソフトウェア)の資料(ユーザーズ・マニュアル)

資料名	資料番号		
	和文	英文	
RA78K0 アセンブラ・パッケージ	操作編	U14445J	U14445E
	言語編	U14446J	U14446E
	構造化アセンブリ言語編	U11789J	U11789E
CC78K0 Cコンパイラ	操作編	U14297J	U14297E
	言語編	U14298J	U14298E
SM78Kシリーズ システム・シミュレータ Ver.2.30以上	操作編 (Windows®ベース)	U15373J	U15373E
	外部部品ユーザ・オープン・ インタフェース仕様編	U15802J	U15802E
ID78Kシリーズ 統合ディバッガ Ver.2.30以上	操作編 (Windowsベース)	U15185J	U15185E
ID78K0 統合ディバッガ EWSベース	レファレンス編	U11151J	-
RX78K0 リアルタイムOS	基礎編	U11537J	U11537E
	インストール編	U11536J	U11536E
プロジェクト・マネージャ Ver.3.12以上 (Windowsベース)		U14610J	U14610E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

開発ツール(ハードウェア)の資料(ユーザズ・マニュアル)

資料名	資料番号	
	和文	英文
IE-78K0-NS インサーキット・エミュレータ	U13731J	U13731E
IE-78K0-NS-A インサーキット・エミュレータ	U14889J	U14889E
IE-780233-NS-EM4 エミュレーション・ボード	U14666J	U14666E
IE-78001-R-A インサーキット・エミュレータ	U14142J	U14142E
IE-78K0-R-EX1 インサーキット・エミュレータ	作成予定	作成予定

フラッシュ・メモリ書き込み用の資料

資料名	資料番号	
	和文	英文
PG-FP3 フラッシュ・メモリ・プログラマ ユーザズ・マニュアル	U13502J	U13502E
PG-FP4 フラッシュ・メモリ・プログラマ ユーザズ・マニュアル	U15260J	U15260E

その他の資料

資料名	資料番号	
	和文	英文
半導体総合セレクション・ガイド - 製品・パッケージ情報 -	X13769J	X13769E
半導体デバイス 実装マニュアル	注	C10535E
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照 (<http://www.ic.nec.co.jp/pkg/ja/jissou/index.html>)

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

目 次

第1章 概 説 ...	22
1.1 特 徴 ...	22
1.2 応用分野 ...	23
1.3 オータ情報 ...	23
1.4 端子接続図 (Top View) ...	24
1.5 78K/0シリーズの展開 ...	26
1.6 ブロック図 ...	28
1.7 機能概要 ...	29
1.8 マスク・オプションについて ...	30
第2章 端子機能 ...	31
2.1 端子機能一覧 ...	31
2.2 端子機能の説明 ...	34
2.2.1 P00-P02 (Port0) ...	34
2.2.2 P20-P27 (Port2) ...	34
2.2.3 P30-P37 (Port3) ...	35
2.2.4 P40-P47 (Port4) ...	35
2.2.5 P50-P57 (Port5) ...	36
2.2.6 P60-P64 (Port6) ...	36
2.2.7 FIP0-FIP23 ...	37
2.2.8 V _{LOAD} ...	37
2.2.9 AV _{DD} ...	37
2.2.10 AV _{SS} ...	37
2.2.11 $\overline{\text{RESET}}$...	37
2.2.12 X1, X2 ...	37
2.2.13 ANI0-ANI3 ...	37
2.2.14 V _{DD0} -V _{DD2} ...	37
2.2.15 V _{SS0} , V _{SS1} ...	37
2.2.16 V _{PP} (μ PD78F0233のみ) ...	37
2.2.17 IC (マスクROM製品のみ) ...	38
2.3 端子の入出力回路と未使用端子の処理 ...	39
第3章 CPUアーキテクチャ ...	42
3.1 メモリ空間 ...	42
3.1.1 内部プログラム・メモリ空間 ...	45
3.1.2 内部データ・メモリ空間 ...	46
3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 ...	46
3.1.4 データ・メモリ・アドレッシング ...	47
3.2 プロセッサ・レジスタ ...	50
3.2.1 制御レジスタ ...	50
3.2.2 汎用レジスタ ...	54
3.2.3 特殊機能レジスタ (SFR : Special Function Register) ...	55

3.3	命令アドレスのアドレッシング	...	58
3.3.1	レラティブ・アドレッシング	...	58
3.3.2	イミディエイト・アドレッシング	...	59
3.3.3	テーブル・インダイレクト・アドレッシング	...	60
3.3.4	レジスタ・アドレッシング	...	61
3.4	オペランド・アドレスのアドレッシング	...	62
3.4.1	インプライド・アドレッシング	...	62
3.4.2	レジスタ・アドレッシング	...	63
3.4.3	ダイレクト・アドレッシング	...	64
3.4.4	ショート・ダイレクト・アドレッシング	...	65
3.4.5	特殊機能レジスタ (SFR) アドレッシング	...	66
3.4.6	レジスタ・インダイレクト・アドレッシング	...	67
3.4.7	ベースト・アドレッシング	...	68
3.4.8	ベースト・インデクスト・アドレッシング	...	69
3.4.9	スタック・アドレッシング	...	69

第4章 ポート機能 ... 70

4.1	ポートの機能	...	70
4.2	ポートの構成	...	72
4.2.1	ポート0	...	72
4.2.2	ポート2	...	74
4.2.3	ポート3	...	77
4.2.4	ポート4	...	78
4.2.5	ポート5	...	79
4.2.6	ポート6	...	80
4.3	ポート機能を制御するレジスタ	...	81
4.4	ポート機能の動作	...	84
4.4.1	入出力ポートへの書き込み	...	84
4.4.2	入出力ポートからの読み出し	...	84
4.4.3	入出力ポートでの演算	...	85
4.5	マスク・オプションの選択	...	85

第5章 クロック発生回路 ... 86

5.1	クロック発生回路の機能	...	86
5.2	クロック発生回路の構成	...	86
5.3	クロック発生回路を制御するレジスタ	...	87
5.4	システム・クロック発振回路	...	88
5.4.1	メイン・システム・クロック発振回路	...	88
5.5	クロック発生回路の動作	...	91
5.6	CPUクロックの設定の変更	...	92
5.6.1	CPUクロックの切り替えに要する時間	...	92
5.6.2	CPUクロックの切り替え手順	...	93

第6章 8ビット・リモコン・タイマ9 ... 94

6.1	8ビット・リモコン・タイマ9の機能	...	94
6.2	8ビット・リモコン・タイマ9の構成	...	94
6.3	8ビット・リモコン・タイマ9を制御するレジスタ	...	95
6.4	8ビット・リモコン・タイマ9の動作	...	96

第7章 8ビット・タイマ80, 81 ... 98

- 7.1 8ビット・タイマ80, 81の機能 ... 98
- 7.2 8ビット・タイマ80, 81の構成 ... 98
- 7.3 8ビット・タイマ80, 81を制御するレジスタ ... 100
- 7.4 8ビット・タイマ80, 81の動作 ... 102
- 7.5 8ビット・タイマ80, 81の注意事項 ... 105

第8章 ウォッチドッグ・タイマ ... 106

- 8.1 ウォッチドッグ・タイマの機能 ... 106
- 8.2 ウォッチドッグ・タイマの構成 ... 107
- 8.3 ウォッチドッグ・タイマを制御するレジスタ ... 108
- 8.4 ウォッチドッグ・タイマの動作 ... 111
 - 8.4.1 ウォッチドッグ・タイマとしての動作 ... 111
 - 8.4.2 インターバル・タイマとしての動作 ... 112

第9章 A/Dコンバータ ... 113

- 9.1 A/Dコンバータの機能 ... 113
- 9.2 A/Dコンバータの構成 ... 113
- 9.3 A/Dコンバータを制御するレジスタ ... 116
- 9.4 A/Dコンバータの動作 ... 118
 - 9.4.1 A/Dコンバータの基本動作 ... 118
 - 9.4.2 入力電圧と変換結果 ... 120
 - 9.4.3 A/Dコンバータの動作モード ... 121
- ★ 9.5 A/Dコンバータ特性表の読み方 ... 122
- 9.6 A/Dコンバータの注意事項 ... 124

第10章 シリアル・インタフェースSIO1 ... 130

- 10.1 シリアル・インタフェースSIO1の機能 ... 130
- 10.2 シリアル・インタフェースSIO1の構成 ... 131
- 10.3 シリアル・インタフェースSIO1を制御するレジスタ ... 134
- 10.4 シリアル・インタフェースSIO1の動作 ... 141
 - 10.4.1 動作停止モード ... 141
 - 10.4.2 3線式シリアル・モード ... 142
 - 10.4.3 自動送受信機能付き3線式シリアル・モード ... 146

第11章 シリアル・インタフェースSIO3 ... 171

- 11.1 シリアル・インタフェースSIO3の機能 ... 171
- 11.2 シリアル・インタフェースSIO3の構成 ... 171
- 11.3 シリアル・インタフェースSIO3を制御するレジスタ ... 173
- 11.4 シリアル・インタフェースSIO3の動作 ... 174
 - 11.4.1 動作停止モード ... 174
 - 11.4.2 2線式シリアル・モード（送信のみ） ... 175

第12章 VFDコントローラ/ドライバ ... 177

- 12.1 VFDコントローラ/ドライバの機能 ... 177
- 12.2 VFDコントローラ/ドライバの構成 ... 178
- 12.3 VFDコントローラ/ドライバを制御するレジスタ ... 179
 - 12.3.1 制御レジスタ ... 179
 - 12.3.2 1表示期間とブランキング幅 ... 184
- 12.4 表示データ・メモリ ... 185
- 12.5 キー・スキャン・フラグとキー・スキャン・データ ... 187
 - 12.5.1 キー・スキャン・フラグ ... 187
 - 12.5.2 キー・スキャン・データ ... 187
- 12.6 蛍光表示管のまれ発光について ... 188
- 12.7 全損失の計算方法 ... 190

第13章 割り込み機能 ... 193

- 13.1 割り込み機能の種類 ... 193
- 13.2 割り込み要因と構成 ... 193
- 13.3 割り込み機能を制御するレジスタ ... 197
- 13.4 割り込み処理動作 ... 203
 - 13.4.1 ノンマスカブル割り込み要求の受け付け動作 ... 203
 - 13.4.2 マスカブル割り込み要求の受け付け動作 ... 206
 - 13.4.3 ソフトウェア割り込み要求の受け付け動作 ... 208
 - 13.4.4 多重割り込み処理 ... 209
 - 13.4.5 割り込み要求の保留 ... 212

第14章 スタンバイ機能 ... 214

- 14.1 スタンバイ機能と構成 ... 214
 - 14.1.1 スタンバイ機能 ... 214
 - 14.1.2 スタンバイ機能を制御するレジスタ ... 215
- 14.2 スタンバイ機能の動作 ... 216
 - 14.2.1 HALTモード ... 216
 - 14.2.2 STOPモード ... 219

第15章 リセット機能 ... 222

- 15.1 リセット機能 ... 222

第16章 μ PD78F0233 ... 226

- 16.1 メモリ・サイズ切り替えレジスタ ... 227
- ★ 16.2 フラッシュ・メモリの特徴 ... 228
 - 16.2.1 プログラミング環境 ... 228
 - 16.2.2 通信方式 ... 229
 - 16.2.3 オンボード上の端子処理 ... 232
 - 16.2.4 フラッシュ書き込み用アダプタの接続 ... 235

第17章 命令セットの概要 ... 237

- 17.1 凡 例 ... 238
 - 17.1.1 オペランドの表現形式と記述方法 ... 238
 - 17.1.2 オペレーション欄の説明 ... 239
 - 17.1.3 フラグ動作欄の説明 ... 239
- 17.2 オペレーション一覧 ... 240
- 17.3 アドレッシング別命令一覧 ... 248

★ 第18章 電気的特性 ... 252

- 18.1 μ PD780232, 78F0233の電気的特性 ... 252
 - 18.1.1 $V_{DD} = 4.5 \sim 5.5$ V品 ... 252
 - 18.1.2 $V_{DD} = 3.0 \sim 5.5$ V品 ... 264
 - 18.1.3 $V_{DD} = 2.7 \sim 5.5$ V品 ... 276
- 18.2 μ PD780233の電気的特性(暫定) ... 288
 - 18.2.1 $V_{DD} = 4.5 \sim 5.5$ V品 ... 288
 - 18.2.2 $V_{DD} = 3.0 \sim 5.5$ V品 ... 297
 - 18.2.3 $V_{DD} = 2.7 \sim 5.5$ V品 ... 306
- 18.3 タイミング・チャート ... 315

★ 第19章 外形図 ... 319

★ 第20章 半田付け推奨条件 ... 320

付録A μ PD780232, 780208サブシリーズ間の違い ... 321

付録B 開発ツール ... 323

- B.1 ソフトウェア・パッケージ ... 326
- B.2 言語処理用ソフトウェア ... 326
- B.3 制御ソフトウェア ... 327
- B.4 フラッシュ・メモリ書き込み用ツール ... 327
- B.5 デバッグ用ツール(ハードウェア) ... 328
 - B.5.1 インサーキット・エミュレータ IE-78K0-NS, IE-78K0-NS-Aを使用する場合 ... 328
 - B.5.2 インサーキット・エミュレータ IE-78001-R-Aを使用する場合 ... 329
- B.6 デバッグ用ツール(ソフトウェア) ... 330
- B.7 組み込み用ソフトウェア ... 331
- B.8 78K/0シリーズ用の旧タイプのインサーキット・エミュレータからIE-78001-R-Aへのシステム・アップ方法 ... 332
- B.9 変換ソケットの外形図 ... 333

★ 付録C ターゲット・システム設計上の注意 ... 335

付録D レジスタ索引 ... 337

- D.1 レジスタ索引(50音順) ... 337
- D.2 レジスタ索引(アルファベット順) ... 339

★ 付録E 改版履歴 ... 341

図の目次 (1/4)

図番号	タイトル, ページ
2 - 1	端子の入出力回路一覧 ... 40
3 - 1	メモリ・マップ (μ PD780232) ... 42
★ 3 - 2	メモリ・マップ (μ PD780233) ... 43
3 - 3	メモリ・マップ (μ PD78F0233) ... 44
3 - 4	データ・メモリのアドレッシング (μ PD780232) ... 47
★ 3 - 5	データ・メモリのアドレッシング (μ PD780233) ... 48
3 - 6	データ・メモリのアドレッシング (μ PD78F0233) ... 49
3 - 7	プログラム・カウンタの構成 ... 50
3 - 8	プログラム・ステータス・ワードの構成 ... 50
3 - 9	スタック・ポインタの構成 ... 52
3 - 10	スタック・メモリへ退避されるデータ ... 53
3 - 11	スタック・メモリから復帰されるデータ ... 53
3 - 12	汎用レジスタの構成 ... 54
4 - 1	ポートの種類 ... 70
4 - 2	P00-P02のブロック図 ... 73
4 - 3	P20, P27のブロック図 ... 74
4 - 4	P21, P24-P26のブロック図 ... 75
4 - 5	P22, P23のブロック図 ... 76
4 - 6	P30-P37のブロック図 ... 77
4 - 7	P40-P47のブロック図 ... 78
4 - 8	P50-P57のブロック図 ... 79
4 - 9	P60-P64のブロック図 ... 80
4 - 10	ポート・モード・レジスタのフォーマット ... 82
4 - 11	プルアップ抵抗オプション・レジスタのフォーマット ... 83
5 - 1	クロック発生回路のブロック図 ... 86
5 - 2	プロセッサ・クロック・コントロール・レジスタのフォーマット ... 87
5 - 3	メイン・システム・クロック発振回路の外付け回路 ... 88
5 - 4	発振子の接続の悪い例 ... 89
5 - 5	CPUクロックの切り替え ... 93
6 - 1	8ビット・リモコン・タイマ9のブロック図 ... 94
6 - 2	リモコン・タイマ・コントロール・レジスタ9のフォーマット ... 95
6 - 3	パルス幅測定 タイミング ... 96

図の目次 (2/4)

図番号	タイトル, ページ
7 - 1	8ビット・タイマ80のブロック図 ... 98
7 - 2	8ビット・タイマ81のブロック図 ... 99
7 - 3	8ビット・タイマ・コントロール・レジスタ80のフォーマット ... 100
7 - 4	8ビット・タイマ・コントロール・レジスタ81のフォーマット ... 101
7 - 5	インターバル・タイマ動作のタイミング ... 103
7 - 6	8ビット・タイマ・カウンタ8n (TM8n) のスタート・タイミング ... 105
8 - 1	ウォッチドッグ・タイマのブロック図 ... 107
8 - 2	発振安定時間選択レジスタのフォーマット ... 108
8 - 3	ウォッチドッグ・タイマ・クロック選択レジスタのフォーマット ... 109
8 - 4	ウォッチドッグ・タイマ・モード・レジスタのフォーマット ... 110
9 - 1	A/Dコンバータのブロック図 ... 114
9 - 2	A/Dコンバータ・モード・レジスタ0のフォーマット ... 116
9 - 3	アナログ入力チャンネル指定レジスタ0のフォーマット ... 117
9 - 4	A/Dコンバータの基本動作 ... 119
9 - 5	アナログ入力電圧とA/D変換結果の関係 ... 120
9 - 6	ソフトウェア・スタートによるA/D変換動作 ... 121
★ 9 - 7	総合誤差 ... 122
★ 9 - 8	量子化誤差 ... 122
9 - 9	直列抵抗ストリングの回路構成 ... 124
9 - 10	アナログ入力端子の処理 ... 125
9 - 11	A/D変換終了割り込み要求発生タイミング ... 126
9 - 12	AV _{DD} 端子の処理 ... 127
★ 9 - 13	変換結果を読み出すタイミング (変換結果が不定値の場合) ... 128
★ 9 - 14	変換結果を読み出すタイミング (変換結果が正常値の場合) ... 128
★ 9 - 15	ANI0-ANI3端子内部等価回路 ... 129
★ 9 - 16	信号源インピーダンスが高い場合の回路例 ... 129
10 - 1	シリアル・インタフェースSIO1のブロック図 ... 132
10 - 2	シリアル動作モード・レジスタ1 (CSIM1) のフォーマット ... 135
10 - 3	自動データ送受信コントロール・レジスタ (ADTC) のフォーマット ... 137
10 - 4	自動データ送受信転送間隔指定レジスタ (ADTI) のフォーマット ... 138
10 - 5	3線式シリアル・モードのタイミング ... 144
10 - 6	転送ビット順切り替え回路 ... 145
10 - 7	基本送受信モードの動作タイミング (マスタ・モード) ... 153
10 - 8	基本送受信モードのフロー・チャート ... 154

図の目次 (3/4)

図番号	タイトル, ページ
10 - 9	6バイト分送受信するときのバッファRAMの動作 (基本送受信モード時) ... 155
10 - 10	基本送信モードの動作タイミング (マスタ・モード) ... 157
10 - 11	基本送信モードのフロー・チャート ... 158
10 - 12	6バイト分送信するときのバッファRAMの動作 (基本送信モード時) ... 159
10 - 13	繰り返し送信モードの動作タイミング ... 161
10 - 14	繰り返し送信モードのフロー・チャート ... 162
10 - 15	6バイト分送信するときのバッファRAMの動作 (繰り返し送信モード時) ... 163
10 - 16	自動送受信の中断と再開 ... 165
10 - 17	ビジィ制御オプション使用時のシステム構成 ... 166
10 - 18	ビジィ制御オプションを使用したときの動作タイミング (BUSY0 = 0のとき) ... 167
10 - 19	ビジィ信号とウエイトの解除 (BUSY0 = 0のとき) ... 168
10 - 20	ビジィ信号によるビットずれ検出機能の動作タイミング (BUSY0 = 1のとき) ... 169
10 - 21	自動送受信のインターバル時間 ... 170
11 - 1	シリアル・インタフェースSIO3のブロック図 ... 172
11 - 2	シリアル動作モード・レジスタ3のフォーマット ... 173
11 - 3	2線式シリアル・モードのタイミング ... 176
12 - 1	VFDコントローラ/ドライバのブロック図 ... 178
12 - 2	表示モード・レジスタ0のフォーマット ... 180
12 - 3	表示モード・レジスタ1のフォーマット ... 182
12 - 4	表示モード・レジスタ2のフォーマット ... 183
12 - 5	VFD出力信号のブランキング幅 ... 184
12 - 6	表示データ・メモリのアドレス配置とVFD出力の関係 (VFD出力53本, 16パターンの場合) ... 185
★ 12 - 7	表示データ・メモリのアドレス配置とVFD出力の関係 (VFD出力42本, 14パターンの場合) ... 186
12 - 8	ブランキング時間が短いことによるもれ発光の概念図 ... 188
12 - 9	Cseによるもれ発光の説明図 ... 189
12 - 10	Cseによるもれ発光の概念図 ... 190
12 - 11	許容全損失 P_T ($T_A = -40 \sim +85$) ... 190
12 - 12	10セグメント-11桁表示時の表示データ・メモリの内容とVFD出力の関係 ... 192
13 - 1	割り込み機能の基本構成 ... 195
13 - 2	割り込み要求フラグ・レジスタのフォーマット ... 198
13 - 3	割り込みマスク・フラグ・レジスタのフォーマット ... 199
13 - 4	優先順位指定フラグ・レジスタのフォーマット ... 200
13 - 5	外部割り込み立ち上がりエッジ許可レジスタ, 外部割り込み立ち下がりエッジ許可レジスタのフォーマット ... 201
13 - 6	プログラム・ステータス・ワードの構成 ... 202

図の目次 (4/4)

図番号	タイトル, ページ
13 - 7	ノンマスクブル割り込みの要求発生から受け付けまでのフロー・チャート ... 204
13 - 8	ノンマスクブル割り込み要求の受け付けタイミング ... 204
13 - 9	ノンマスクブル割り込み要求の受け付け動作 ... 205
13 - 10	割り込み要求受け付け処理アルゴリズム ... 207
13 - 11	割り込み要求の受け付けタイミング (最小時間) ... 208
13 - 12	割り込み要求の受け付けタイミング (最大時間) ... 208
13 - 13	多重割り込みの例 ... 210
13 - 14	割り込み要求の保留 ... 213
14 - 1	発振安定時間選択レジスタのフォーマット ... 215
14 - 2	HALTモードの割り込み要求発生による解除 ... 217
14 - 3	HALTモードのRESET \bar 入力による解除 ... 218
14 - 4	STOPモードの割り込み要求発生による解除 ... 220
14 - 5	STOPモードのRESET \bar 入力による解除 ... 221
15 - 1	リセット機能のブロック図 ... 222
15 - 2	RESET \bar 入力によるリセット・タイミング ... 223
15 - 3	ウォッチドッグ・タイマのオーバフローによるリセット・タイミング ... 223
15 - 4	STOPモード中のRESET \bar 入力によるリセット・タイミング ... 223
16 - 1	メモリ・サイズ切り替えレジスタのフォーマット ... 227
★ 16 - 2	フラッシュ・メモリにプログラムを書き込むための環境 ... 228
★ 16 - 3	通信方式選択フォーマット ... 229
★ 16 - 4	専用フラッシュ・ライタとの接続例 ... 230
★ 16 - 5	V _{DD} 端子の接続例 ... 232
★ 16 - 6	信号の衝突 (シリアル・インタフェースの入力端子) ... 233
★ 16 - 7	ほかのデバイスの異常動作 ... 233
★ 16 - 8	信号の衝突 (RESET \bar 端子) ... 234
★ 16 - 9	3線式シリアルI/O (SIO1)でのフラッシュ書き込み用アダプタ配線例 ... 235
★ 16 - 10	疑似3線式シリアルI/Oでのフラッシュ書き込み用アダプタ配線例 ... 236
B - 1	開発ツール構成 ... 324
B - 2	EV-9200GC-80外形図 (参考) (単位: mm) ... 333
B - 3	EV-9200GC-80基本取り付け推奨パターン (参考) (単位: mm) ... 334
★ C - 1	インサーキット・エミュレータから変換ソケットまでの距離 ... 335
★ C - 2	ターゲット・システムの接続条件 (NP-80GC-TQの場合) ... 336

表の目次 (1/2)

表番号	タイトル, ページ
1 - 1	マスクROM製品のマスク・オプション一覧 ... 30
2 - 1	各端子の入出力回路タイプ ... 39
3 - 1	内部ROM容量 ... 45
3 - 2	ベクタ・テーブル ... 45
3 - 3	特殊機能レジスタ一覧 ... 56
4 - 1	ポートの機能 ... 71
4 - 2	ポートの構成 ... 72
4 - 3	兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定 ... 81
4 - 4	マスクROM製品のマスク・オプションと μ PD78F0233との比較 ... 85
5 - 1	クロック発生回路の構成 ... 86
5 - 2	CPUクロックと最小命令実行時間の関係 ... 87
5 - 3	CPUクロックの切り替えに要する最大時間 ... 92
6 - 1	8ビット・リモコン・タイマ9の構成 ... 94
7 - 1	8ビット・タイマ80, 81の構成 ... 98
8 - 1	ウォッチドッグ・タイマの暴走検出時間 ... 106
8 - 2	インターバル時間 ... 106
8 - 3	ウォッチドッグ・タイマの構成 ... 107
8 - 4	ウォッチドッグ・タイマの暴走検出時間 ... 111
8 - 5	インターバル・タイマのインターバル時間 ... 112
9 - 1	A/Dコンバータの構成 ... 113
★ 9 - 2	等価回路の各抵抗と容量値 (参考値) ... 129
10 - 1	シリアル・インタフェースSIO1の構成 ... 131
10 - 2	割り込み要求信号の発生タイミング ... 170
11 - 1	シリアル・インタフェースSIO3の構成 ... 171

表の目次 (2/2)

表番号	タイトル, ページ
12 - 1	VFD出力端子とポートの兼用端子対応表 ... 177
12 - 2	VFDコントローラ/ドライバの構成 ... 178
13 - 1	割り込み要因一覧 ... 194
13 - 2	割り込み要求ソースに対する各種フラグ ... 197
13 - 3	マスクابل割り込み要求発生から処理までの時間 ... 206
13 - 4	割り込み処理中に多重割り込み可能な割り込み要求 ... 209
14 - 1	HALTモード時の動作状態 ... 216
14 - 2	HALTモードの解除後の動作 ... 218
14 - 3	STOPモード時の動作状態 ... 219
14 - 4	STOPモードの解除後の動作 ... 221
15 - 1	各ハードウェアのリセット後の状態 ... 224
16 - 1	μPD78F0233とマスクROM製品の違い ... 226
16 - 2	メモリ・サイズ切り替えレジスタの設定値 ... 227
16 - 3	通信方式一覧 ... 229
★ 16 - 4	端子接続一覧 ... 231
17 - 1	オペランドの表現形式と記述方法 ... 238
★ 20 - 1	表面実装タイプの半田付け条件 ... 320
A - 1	μPD780232, 780208サブシリーズ間の主な違い ... 321
B - 1	78K/0シリーズ用の旧タイプのインサーキット・エミュレータからIE-78001-R-Aへのシステム・アップ方法 ... 332

第1章 概 説

1.1 特 徴

内部メモリ

品名	プログラム・メモリ		データ・メモリ		
	マスクROM	フラッシュ・メモリ	高速RAM	バッファRAM	VFD表示用RAM
μPD780232	16 Kバイト	-	768バイト	32バイト	112バイト
★ μPD780233 ^{注1}	24 Kバイト	-			
μPD78F0233	-	24 Kバイト ^{注2}			

注1．開発中

2．メモリ・サイズ切り替えレジスタ（IMS）により，16 K，24 Kバイトの選択可能。

高速（0.4 μs）から低速（6.4 μs）まで最小命令実行時間変更可能

I/Oポート：40本

VFDコントローラ/ドライバ：表示出力合計53本（ユニバーサル・グリッド対応）

・表示電流15 mA ：20本

・表示電流5 mA ：33本

8ビット分解能A/Dコンバータ：4チャンネル

・電源電圧（ $V_{DD} = 4.5 \sim 5.5 V$ ）

シリアル・インタフェース：2チャンネル

・3線式シリアル・モード（自動送受信機能付き）：1チャンネル

・2線式シリアル・モード（送信のみ）：1チャンネル

タイマ：4チャンネル

・8ビット・リモコン・タイマ：1チャンネル

・8ビット・タイマ：2チャンネル

・ウォッチドッグ・タイマ：1チャンネル

ベクタ割り込み要因：14

電源電圧： $V_{DD} = 4.5 \sim 5.5 V$ ^注

- ★ 注 電源電圧範囲を拡張した製品（ $V_{DD} = 2.7 \sim 5.5 V$ および $V_{DD} = 3.0 \sim 5.5 V$ ）をご用意しております。電気的特性が異なりますので，詳細は第18章 電気的特性を参照してください。

1.2 応用分野

一体型ミニコンポ，セパレート型ミニコンポ，チューナ，カセット・デッキ，CD/MDプレーヤ，オーディオ・アンプなど

1.3 オーダ情報

	オーダ名称	パッケージ	内部ROM
	μ PD780232GC- x x x -8BT	80ピン・プラスチックQFP (14x14)	マスクROM
★	μ PD780233GC- x x x -8BT ^注	〃	〃
	μ PD78F0233GC-8BT	〃	フラッシュ・メモリ

注 開発中

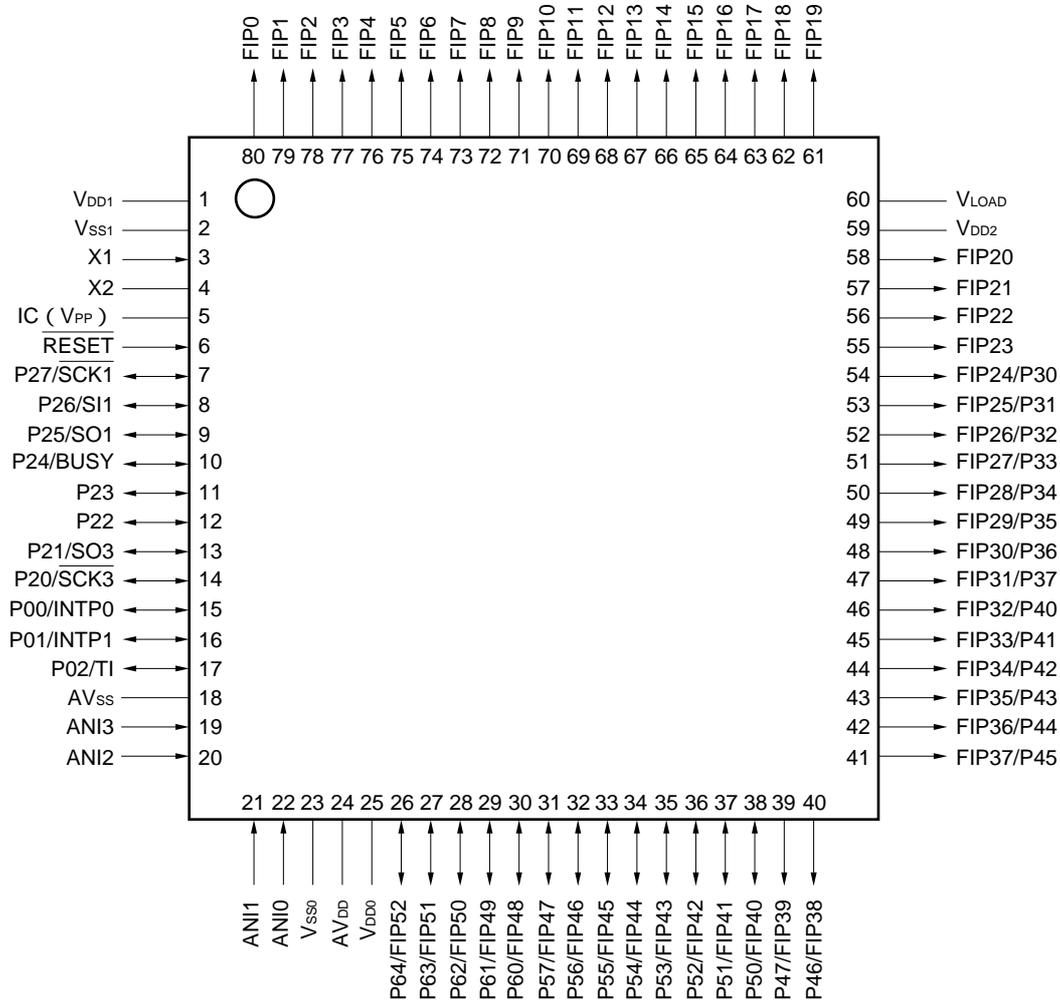
★ **注意** 電源電圧範囲拡張品と従来品ではROMコード番号が異なりますので，ご注文の際は販売員にお問い合わせください。

備考 x x x はROMコード番号です。

1.4 端子接続図 (Top View)

・80ピン・プラスチックQFP (14x14)

★ μ PD780232GC- $x \times x$ -8BT, 780233GC- $x \times x$ -8BT[※], 78F0233GC-8BT



注 開発中

注意 1 . 通常動作モード時は、IC (Internally Connected) 端子はVSS1に直接接続してください。

2 . AVDD端子はVDD1に接続してください。

3 . AVSS端子はVSS1に接続してください。

備考 1 . マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、VDD0とVDD1に個別の電源を供給し、VSS0とVSS1を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。

2 . () 内は μ PD78F0233のとき。

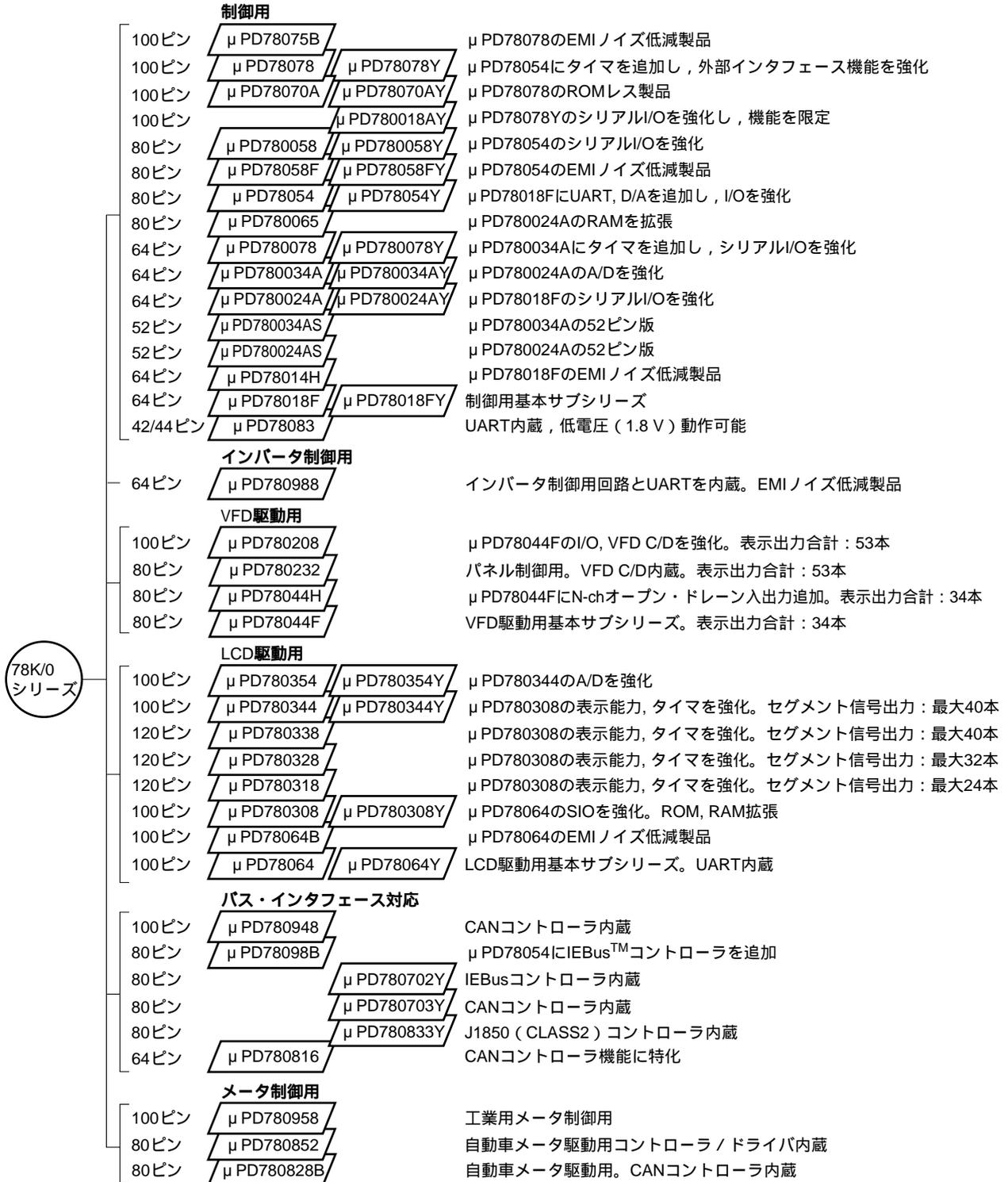
ANI0-ANI3	: Analog Input	P50-P57	: Port 5
AV _{DD}	: Analog Power Supply	P60-P64	: Port 6
AV _{SS}	: Analog Ground	$\overline{\text{RESET}}$: Reset
BUSY	: Busy	$\overline{\text{SCK1}}, \overline{\text{SCK3}}$: Serial Clock
FIP0-FIP52	: Fluorescent Indicator Panel	SI1	: Serial Input
IC	: Internally Connected	SO1, SO3	: Serial Output
INTP0, INTP1	: External Interrupt Input	TI	: Timer Input
P00-P02	: Port 0	V _{DD0} -V _{DD2}	: Power Supply
P20-P27	: Port 2	V _{LOAD}	: Negative Power Supply
P30-P37	: Port 3	V _{PP}	: Programming Power Supply
P40-P47	: Port 4	V _{SS0} , V _{SS1}	: Ground
		X1, X2	: Crystal

★ 1.5 78K/0シリーズの展開

78K/0シリーズの製品展開を示します。枠内はサブシリーズ名称です。



Yサブシリーズは、I²Cバス対応の製品です。



備考 蛍光表示管の一般的な英語名称はVFD (Vacuum Fluorescent Display) ですが、ドキュメントによってはFIP (Fluorescent Indicator Panel) と記述しているものがあります。VFDとFIPは同等の機能です。

各サブシリーズ間の主な機能の違いを次に示します。

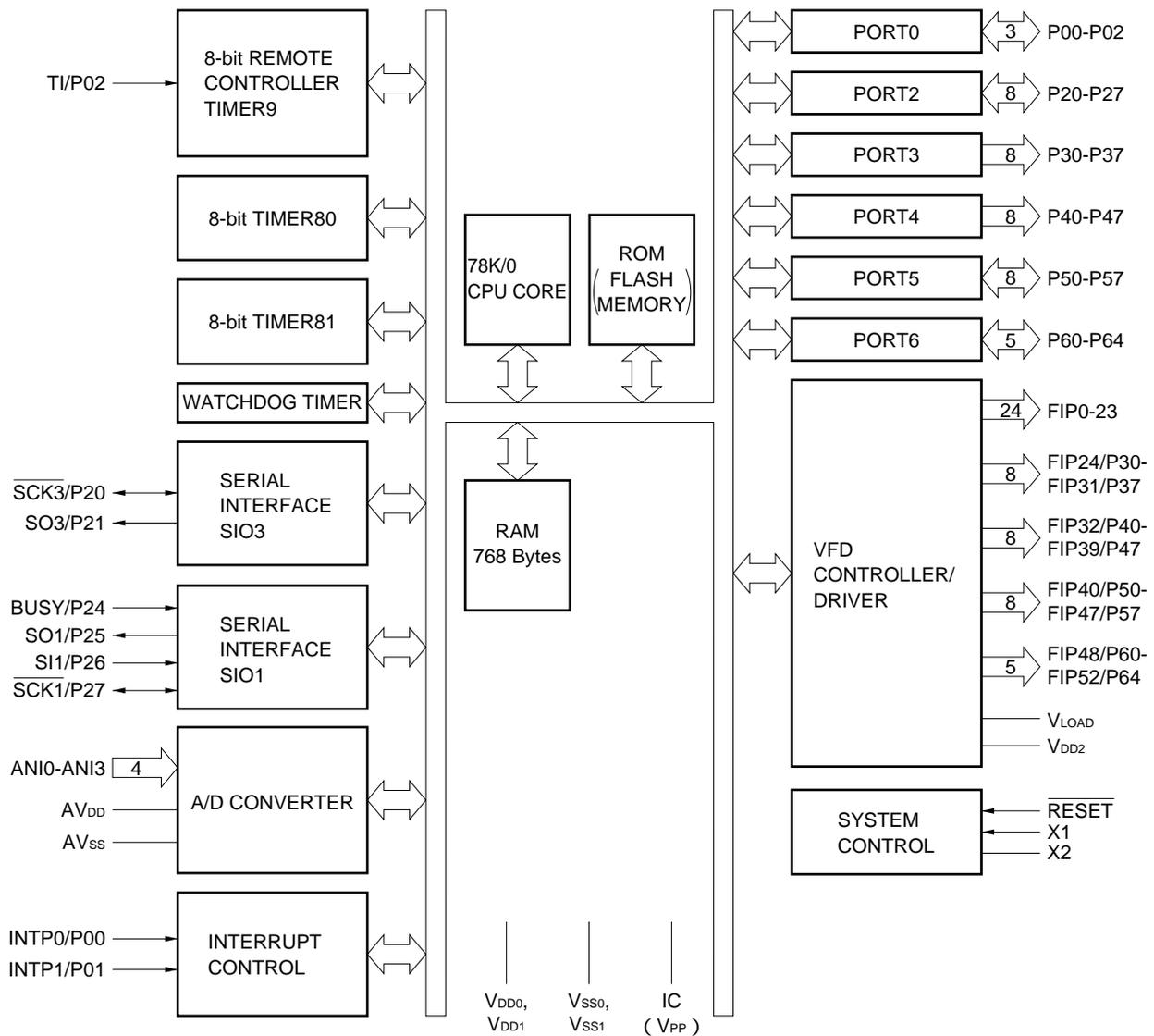
・ Yなしサブシリーズ

サブシリーズ名	機能	ROM容量 (バイト)	タイマ				8-bit A/D	10-bit A/D	8-bit D/A	シリアル・ インタフェース	I/O	V _{DD} MIN.値	外部 拡張
			8-bit	16-bit	時計	WDT							
制御用	μ PD78075B	32 K-40 K	4ch	1ch	1ch	1ch	8ch	-	2ch	3ch(UART:1ch)	88本	1.8 V	
	μ PD78078	48 K-60 K									61本	2.7 V	
	μ PD78070A	-	2ch	3ch(時分割UART:1ch)	68本	1.8 V							
	μ PD780058	24 K-60 K			69本	2.7 V							
	μ PD78058F	48 K-60 K	2ch	3ch(UART:1ch)	69本	2.7 V							
	μ PD78054	16 K-60 K			2.0 V								
	μ PD780065	40 K-48 K	2ch	3ch(UART:1ch)	60本	2.7 V							
	μ PD780078	48 K-60K			52本	1.8 V							
	μ PD780034A	8 K-32 K	1ch	3ch(UART:1ch)	51本								
	μ PD780024A		8ch		-								
	μ PD780034AS	8 K-32 K	1ch	3ch(UART:1ch)	39本								
	μ PD780024AS				-		4ch						
	μ PD78014H	8 K-60 K	1ch	3ch(UART:1ch)	53本								
	μ PD78018F				8ch		2ch						
μ PD78083	8 K-16 K	-	-	1ch(UART:1ch)	33本	-							
インバータ 制御用	μ PD780988	16 K-60 K	3ch	注	-	1ch	-	8ch	-	3ch(UART:2ch)	47本	4.0 V	
VFD 駆動用	μ PD780208	32 K-60 K	2ch	1ch	1ch	1ch	8ch	-	-	2ch	74本	2.7 V	-
	μ PD780232	16 K-24 K	3ch	-	-		4ch				40本	4.5 V	
	μ PD78044H	32 K-48 K	2ch	1ch	1ch		8ch			1ch	68本	2.7 V	
	μ PD78044F	16 K-40 K								2ch			
LCD 駆動用	μ PD780354	24K-32 K	4ch	1ch	1ch	1ch	-	8ch	-	3ch(UART:1ch)	66本	1.8 V	-
	μ PD780344						8ch	-					
	μ PD780338	48 K-60 K	3ch	2ch			-	10ch	1ch	2ch(UART:1ch)	54本		
	μ PD780328										62本		
	μ PD780318										70本		
	μ PD780308	48 K-60 K	2ch	1ch			8ch	-	-	3ch(時分割UART:1ch)	57本	2.0 V	
	μ PD78064B												
μ PD78064	16 K-32 K												
バス・イン タフェース 対応	μ PD780948	60 K	2ch	2ch	1ch	1ch	8ch	-	-	3ch(UART:1ch)	79本	4.0 V	
	μ PD78098B	40 K-60 K		1ch					2ch		69本	2.7 V	
	μ PD780816	32 K-60 K		2ch					12ch		-	2ch(UART:1ch)	
メータ 制御用	μ PD780958	48 K-60 K	4ch	2ch	-	1ch	-	-	-	2ch(UART:1ch)	69本	2.2 V	-
ダッシュ ボード制御用	μ PD780852	32 K-40 K	3ch	1ch	1ch	1ch	5ch	-	-	3ch(UART:1ch)	56本	4.0 V	-
	μ PD780828B	32 K-60 K									59本		

注 16ビット・タイマ：2チャンネル

10ビット・タイマ：1チャンネル

1.6 ブロック図



備考 1 . 内部ROM容量は製品によって異なります。

2 . () 内は μ PD78F0233のときのみ。

1.7 機能概要

品 名		μ PD780232	μ PD780233 ^{注1}	μ PD78F0233
項 目				
内部メモリ	ROM	マスクROM		フラッシュ・メモリ
		16 Kバイト	24 Kバイト	24 Kバイト ^{注2}
	高速RAM	768バイト		
	バッファRAM	32バイト		
	VFD表示用RAM	112バイト		
汎用レジスタ		8ビット×32レジスタ(8ビット×8レジスタ×4バンク)		
最小命令実行時間		0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs(メイン・システム・クロック:5.0 MHz動作時)		
命令セット		<ul style="list-style-type: none"> ・16ビット演算 ・乗除算(8ビット×8ビット, 16ビット÷8ビット) ・ビット操作(セット, リセット, テスト, ブール演算) ・BCD補正 など 		
I/Oポート (VFD兼用端子を含む)		合計 : 40本 ・CMOS入出力 : 11本 ・P-chオープン・ドレイン入出力 : 13本 ・P-chオープン・ドレイン出力 : 16本		
VFDコントローラ/ドライバ		表示出力合計 : 53本 ・表示電流15 mA : 20本 ・表示電流5 mA : 33本		
A/Dコンバータ		<ul style="list-style-type: none"> ・8ビット分解能×4チャンネル ・電源電圧: AV_{DD} = 4.5 ~ 5.5 V 		
シリアル・インタフェース		3線式シリアル・モード(自動送受信機能付き) : 1チャンネル 2線式シリアル・モード(送信のみ) : 1チャンネル		
タイマ		<ul style="list-style-type: none"> ・8ビット・リモコン・タイマ : 1チャンネル ・8ビット・タイマ : 2チャンネル ・ウォッチドッグ・タイマ : 1チャンネル 		
ベクタ割り込み 要因	マスカブル	内部: 10, 外部: 2		
	ノンマスカブル	内部: 1		
	ソフトウェア	1		
電源電圧		V _{DD} = 4.5 ~ 5.5 V ^{注3}		
パッケージ		80ピン・プラスチックQFP(14x14)		

注1．開発中

2．メモリ・サイズ切り替えレジスタ(IMS)により, 16 Kバイト, 24 Kバイトの選択可能。

★ 3．電源電圧範囲を拡張した製品(V_{DD} = 2.7 ~ 5.5 VおよびV_{DD} = 3.0 ~ 5.5 V)をご用意しております。電気的特性が異なりますので, 詳細は第18章 電気的特性を参照してください。

1.8 マスク・オプションについて

マスクROM製品（ μ PD780232, 780233）には、マスク・オプションがあります。オーダの際にマスク・オプションを指定することにより、表1 - 1に示すプルダウン抵抗を内蔵できます。プルダウン抵抗が必要なとき、これらのマスク・オプションを利用すると、部品点数の削減と実装面積の縮小を図ることができます。

μ PD780232サブシリーズで用意されているマスク・オプションを表1 - 1に示します。

表1 - 1 マスクROM製品のマスク・オプション一覧

端子名	マスク・オプション
FIP0-FIP23 P30/FIP24-P37/FIP31 P40/FIP32-P47/FIP39	1ビット単位で V_{LOAD} へのプルダウン抵抗を内蔵できます。
P50/FIP40-P57/FIP47 P60/FIP48-P64/FIP52	1ビット単位で V_{LOAD} または V_{SS0} へのプルダウン抵抗を内蔵できます。

- ★ **注意** 全損失（12.7 全損失の計算方法を参照）を越えないように、プルダウン抵抗の本数を調整してください。

第2章 端子機能

2.1 端子機能一覧

(1) ポート端子 (1/2)

端子名称	入出力	機 能	リセット時	兼用端子
P00	入出力	ポート0。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入 力	INTP0
P01				INTP1
P02				TI
P20	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	SCK3
P21				SO3
P22				-
P23				-
P24				BUSY
P25				SO1
P26				SI1
P27				SCK1
P30-P37	出力	ポート3。 P-chオープン・ドレイン8ビット高耐圧出力ポート。 マスクROM製品のみマスク・オプションにより、1ビット単位でV _{LOAD} へのプルダウン抵抗を使用可能。μPD78F0233は、プルダウン抵抗を内蔵していません。	出力	FIP24-FIP31
P40-P47	出力	ポート4。 P-chオープン・ドレイン8ビット高耐圧出力ポート。 マスクROM製品のみマスク・オプションにより、1ビット単位でV _{LOAD} へのプルダウン抵抗を使用可能。μPD78F0233は、プルダウン抵抗を内蔵していません。	出力	FIP32-FIP39
P50-P57	入出力	ポート5。 P-chオープン・ドレイン8ビット高耐圧入出力ポート。 1ビット単位で入力/出力の指定可能。 マスクROM製品のみマスク・オプションにより、1ビット単位でV _{LOAD} またはV _{SS0} へのプルダウン抵抗を使用可能。μPD78F0233は、プルダウン抵抗を内蔵していません。	出力	FIP40-FIP47

(1) ポート端子 (2/2)

端子名称	入出力	機 能	リセット時	兼用端子
P60-P64	入出力	ポート6。 P-chオープン・ドレイン5ビット高耐圧入出力ポート。 1ビット単位で入力/出力の指定可能。 マスクROM製品のみマスク・オプションにより、1ビット単位でV _{LOAD} またはV _{SS0} へのプルダウン抵抗を使用可能。μPD78F0233は、プルダウン抵抗を内蔵していません。	出 力	FIP48-FIP52

(2) ポート以外の端子

端子名称	入出力	機能	リセット時	兼用端子
INTP0	入 力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能。 外部割り込み要求入力。	入 力	P00
INTP1				P01
TI	入 力	8ビット・リモコン・タイマ9のタイマ入力。	入 力	P02
$\overline{\text{SCK3}}$	入出力	シリアル・インタフェースのシリアル・クロック入力/出力。	入 力	P20
SO3	出 力	シリアル・インタフェースのシリアル・データ出力。	入 力	P21
BUSY	入 力	シリアル・インタフェース自動送受信用ビジー信号入力。	入 力	P24
SO1	出 力	シリアル・インタフェースのシリアル・データ出力。	入 力	P25
SI1	入 力	シリアル・インタフェースのシリアル・データ入力。	入 力	P26
$\overline{\text{SCK1}}$	入出力	シリアル・インタフェースのシリアル・クロック入力/出力。	入 力	P27
★ FIP0-FIP23	出 力	VFDコントローラ/ドライバの高耐圧大電流出力。 マスクROM製品のみマスク・オプションにより，1ビット単位で V_{LOAD} へのプルダウン抵抗を使用可能。μPD78F0233はプルダウン抵抗を内蔵。	出 力	-
★ FIP24-FIP31		VFDコントローラ/ドライバの高耐圧大電流出力。		P30-P37
★ FIP32-FIP39		マスクROM製品のみマスク・オプションにより，1ビット単位で V_{LOAD} へのプルダウン抵抗を使用可能。μPD78F0233は，プルダウン抵抗を内蔵していません。		P40-P47
★ FIP40-FIP47		VFDコントローラ/ドライバの高耐圧大電流出力。		P50-P57
★ FIP48-FIP52	マスクROM製品のみマスク・オプションにより，1ビット単位で V_{LOAD} または V_{SS0} へのプルダウン抵抗を使用可能。μPD78F0233は，プルダウン抵抗を内蔵していません。	P60-P64		
V_{LOAD}	-	VFDコントローラ/ドライバのプルダウン抵抗接続。	-	-
★ $\overline{\text{RESET}}$	入 力	システム・リセット入力。	入 力	-
X1	入 力	メイン・システム・クロック発振用水晶接続。	-	-
X2	-		-	-
ANI0-ANI3	入 力	A/Dコンバータのアナログ入力。	入 力	-
AV_{DD}	-	A/Dコンバータのアナログ電源/基準電圧入力。 V_{DD1} と同電位にしてください。	-	-
AV_{SS}	-	A/Dコンバータのグランド電位。 V_{SS1} と同電位にしてください。	-	-
V_{DD0}	-	ポート部の正電源。	-	-
V_{DD1}	-	正電源（ポート，アナログ，VFDコントローラ/ドライバ部を除く）。	-	-
V_{DD2}	-	VFDコントローラ/ドライバ部の正電源。	-	-
V_{SS0}	-	ポート部のグランド電位。	-	-
V_{SS1}	-	グランド電位（ポート，アナログ部を除く）。	-	-
V_{PP}	-	プログラム書き込み/ベリファイ時の高電圧印加。通常動作モード時は， V_{SS1} に直接接続してください。	-	-
IC	-	内部接続されています。 V_{SS1} に直接接続してください。	-	-

2.2 端子機能の説明

2.2.1 P00-P02 (Port0)

3ビットの入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、タイマの入力機能があります。
1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

3ビットの入出力ポートとして機能します。

ポート・モード・レジスタ0 (PM0) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、タイマの入力として機能します。

(a) INTP0, INTP1

有効エッジ (立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) TI

8ビット・リモコン・タイマのタイマ入力端子です。

2.2.2 P20-P27 (Port2)

8ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力、自動送受信ビジー入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ2 (PU2) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力，クロック入出力，自動送受信用ビジー信号入力として機能します。

(a) SI1, SO1, SO3

シリアル・インタフェースのシリアル・データの入出力端子です。

(b) $\overline{\text{SCK1}}$, $\overline{\text{SCK3}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(c) BUSY

シリアル・インタフェース自動送受信用ビジー信号入力端子です。

2.2.3 P30-P37 (Port3)

8ビットの出力専用ポートです。出力ポートのほかにVFDコントローラ/ドライバの出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの出力専用ポートとして機能します。

P30-P37は、P-chオープン・ドレインになっています。マスクROM製品は、マスク・オプションにより、1ビット単位でプルダウン抵抗を内蔵できます。μPD78F0233は、プルダウン抵抗を内蔵していません。

(2) コントロール・モード

VFDコントローラ/ドライバの出力端子 (FIP24-FIP31) として機能します。

2.2.4 P40-P47 (Port4)

8ビットの出力専用ポートです。出力ポートのほかにVFDコントローラ/ドライバの出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの出力専用ポートとして機能します。

P40-P47は、P-chオープン・ドレインになっています。マスクROM製品は、マスク・オプションにより、1ビット単位でプルダウン抵抗を内蔵できます。μPD78F0233は、プルダウン抵抗を内蔵していません。

(2) コントロール・モード

VFDコントローラ/ドライバの出力端子 (FIP32-FIP39) として機能します。

2.2.5 P50-P57 (Port5)

8ビットの入出力ポートです。入出力ポートのほかにVFDコントローラ/ドライバの出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。

P50-P57は、P-chオープン・ドレインになっています。マスクROM製品は、マスク・オプションにより、プルダウン抵抗を内蔵できます。プルダウン抵抗は1ビット単位で V_{LOAD} または V_{SS0} への接続先の指定が可能です。 μ PD78F0233は、プルダウン抵抗を内蔵していません。

(2) コントロール・モード

VFDコントローラ/ドライバの出力端子 (FIP40-FIP47) として機能します。

2.2.6 P60-P64 (Port6)

5ビットの入出力ポートです。入出力ポートのほかにVFDコントローラ/ドライバの出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

5ビットの入出力ポートとして機能します。

P60-P64は、P-chオープン・ドレインになっています。マスクROM製品は、マスク・オプションにより、プルダウン抵抗を内蔵できます。プルダウン抵抗は1ビット単位で V_{LOAD} または V_{SS0} への接続先の指定が可能です。 μ PD78F0233は、プルダウン抵抗を内蔵していません。

(2) コントロール・モード

VFDコントローラ/ドライバの出力端子 (FIP48-FIP52) として機能します。

2.2.7 FIP0-FIP23

VFDコントローラ/ドライバの出力端子です。

- ★ マスクROM製品は、マスク・オプションにより、1ビット単位でプルダウン抵抗を内蔵できます。μPD78F0233は、プルダウン抵抗を内蔵しています。

2.2.8 VLOAD

VFDコントローラ/ドライバのプルダウン抵抗接続端子です。

2.2.9 AVDD

A/Dコンバータのアナログ電源端子です。

A/Dコンバータを使用しないときでも、常にVDD1端子と同電位で使用してください。

2.2.10 AVSS

A/Dコンバータのグランド電位端子です。

A/Dコンバータを使用しないときでも、常にVSS1端子と同電位で使用してください。

2.2.11 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2.2.12 X1, X2

メイン・システム・クロック発振用水晶振動子接続端子です。

外部クロックを供給するときは、X1に入力し、X2にその反転信号を入力してください。

2.2.13 ANI0-ANI3

A/Dコンバータのアナログ入力端子です。

2.2.14 VDD0-VDD2

VDD0は、ポート部の正電源供給端子です。

VDD1は、ポート、アナログ、VFDコントローラ/ドライバ部以外の正電源供給端子です。

VDD2は、VFDコントローラ/ドライバ部の正電源供給端子です。

2.2.15 VSS0, VSS1

VSS0は、ポート部のグランド電位端子です。

VSS1は、ポート、アナログ部以外のグランド電位端子です。

2.2.16 VPP (μPD78F0233のみ)

フラッシュ・メモリ・プログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。

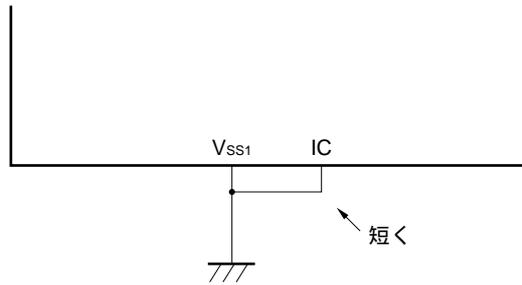
通常動作モード時は、VSS1に直接接続してください。

★ 2.2.17 IC (マスクROM製品のみ)

IC (Internally Connected) 端子は、当社出荷時に μ PD780232サブシリーズを検査するためのテスト・モードに設定するための端子です。通常動作モード時には、IC端子を V_{SS1} 端子に直接接続し、その配線長を極力短くしてください。

IC端子と V_{SS1} 端子間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子と V_{SS1} 端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

IC端子を V_{SS1} 端子に直接接続してください



2.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表2-1に示します。

また、各タイプの入出力回路の構成は、図2-1を参照してください。

★

表2-1 各端子の入出力回路タイプ

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/INTP0	8-C	入出力	入力時：個別に抵抗を介して、 V_{SS0} に接続してください。 出力時：オープンにしてください。
P01/INTP1			
P02/TI			
P20/SCK3			入力時：個別に抵抗を介して、 V_{DD0} または V_{SS0} に接続してください。 出力時：オープンにしてください。
P21/SO3			
P22, P23			
P24/BUSY			
P25/SO1			
P26/SI1			
P27/SCK1			
マスクROM製品 (μ PD780232, 780233)			
FIP0-FIP23	14-F	出力	オープンにしてください。
P30/FIP24-P37/FIP31			
P40/FIP32-P47/FIP39			
P50/FIP40-P57/FIP47	15-D	入出力	入力時：個別に抵抗を介して、 V_{DD0} または V_{SS0} に接続してください。 出力時：オープンにしてください。
P60/FIP48-P64/FIP52			
IC	-	-	V_{SS1} に直接接続してください。
フラッシュ・メモリ製品 (μ PD78F0233)			
FIP0-FIP23	14-C	出力	オープンにしてください。
P30/FIP24-P37/FIP31	14-E		
P40/FIP32-P47/FIP39			
P50/FIP40-P57/FIP47	15-E	入出力	入力時：個別に抵抗を介して、 V_{DD0} または V_{SS0} に接続してください。 出力時：オープンにしてください。
P60/FIP48-P64/FIP52			
V _{PP}	-	-	V_{SS1} に直接接続してください。
RESET	2	入力	-
ANI0-ANI3	7	入力	V_{DD0} または V_{SS0} に接続してください。
AV _{DD}	-	-	V_{DD1} に接続してください。
AV _{SS}			V_{SS1} に接続してください。
V _{LOAD}			

注 マスク・オプションによりプルダウン抵抗を内蔵している場合は、オープンにしてください。

図2-1 端子の入出力回路一覧(1/2)

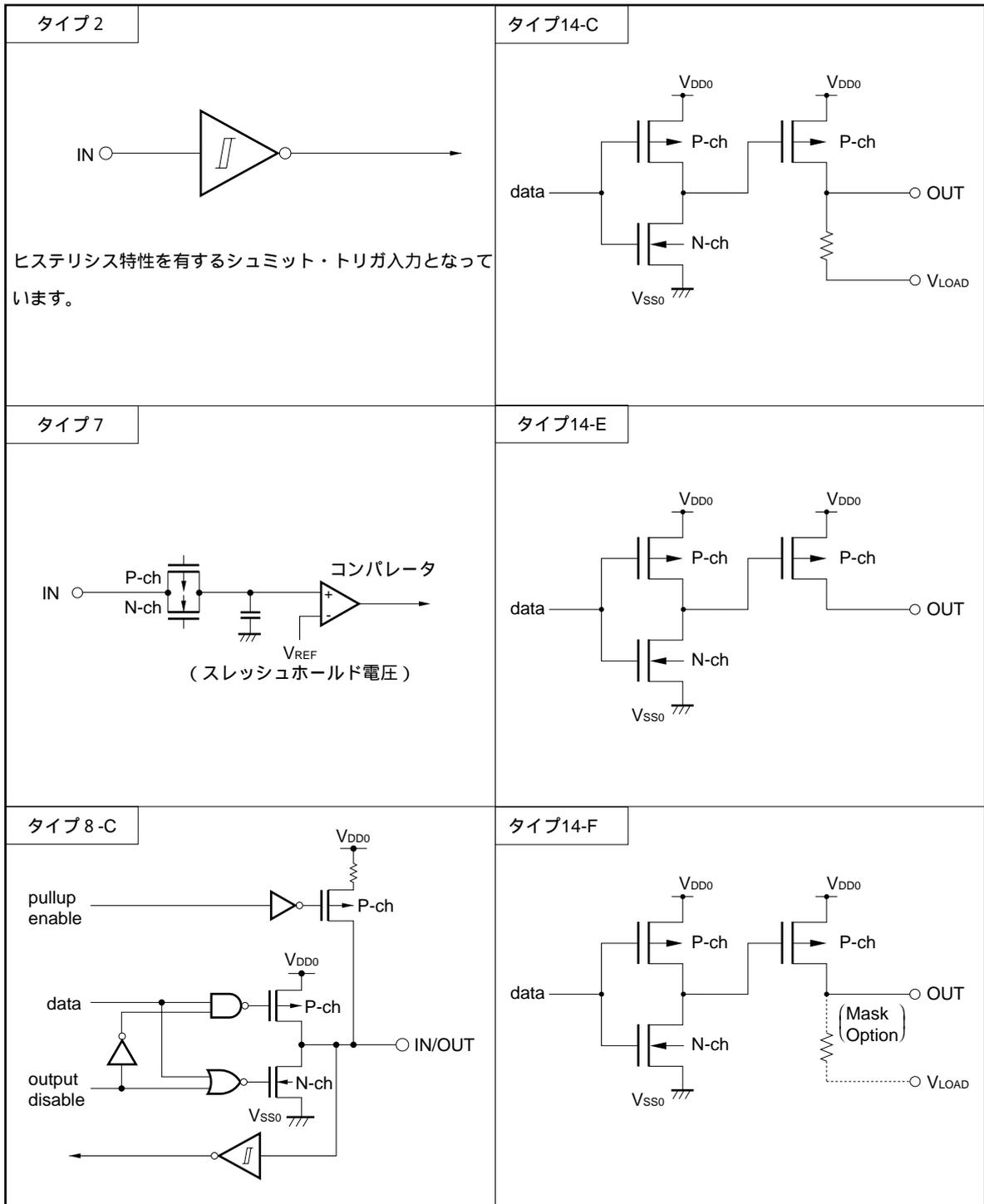
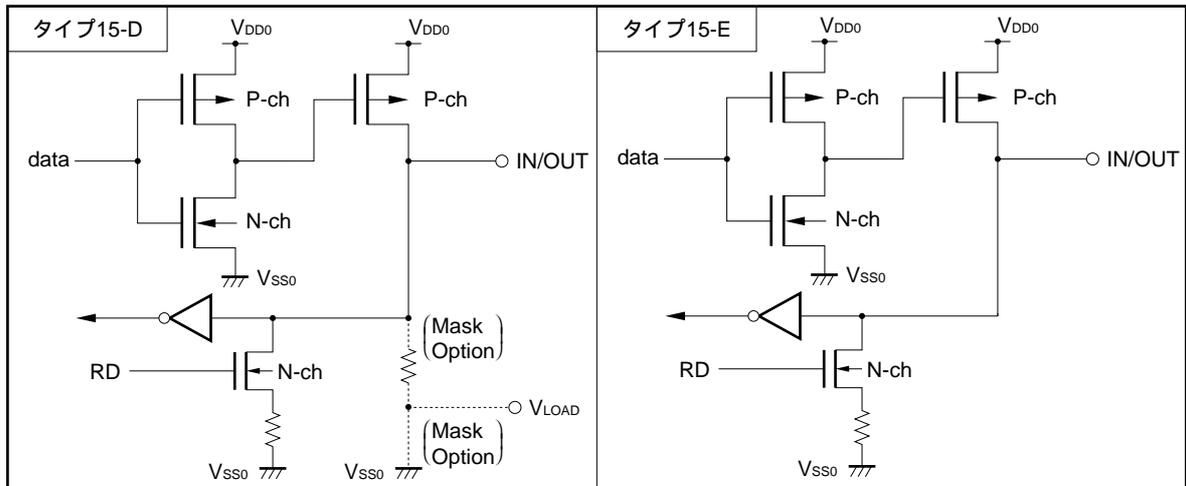


図2-1 端子の入出力回路一覧(2/2)



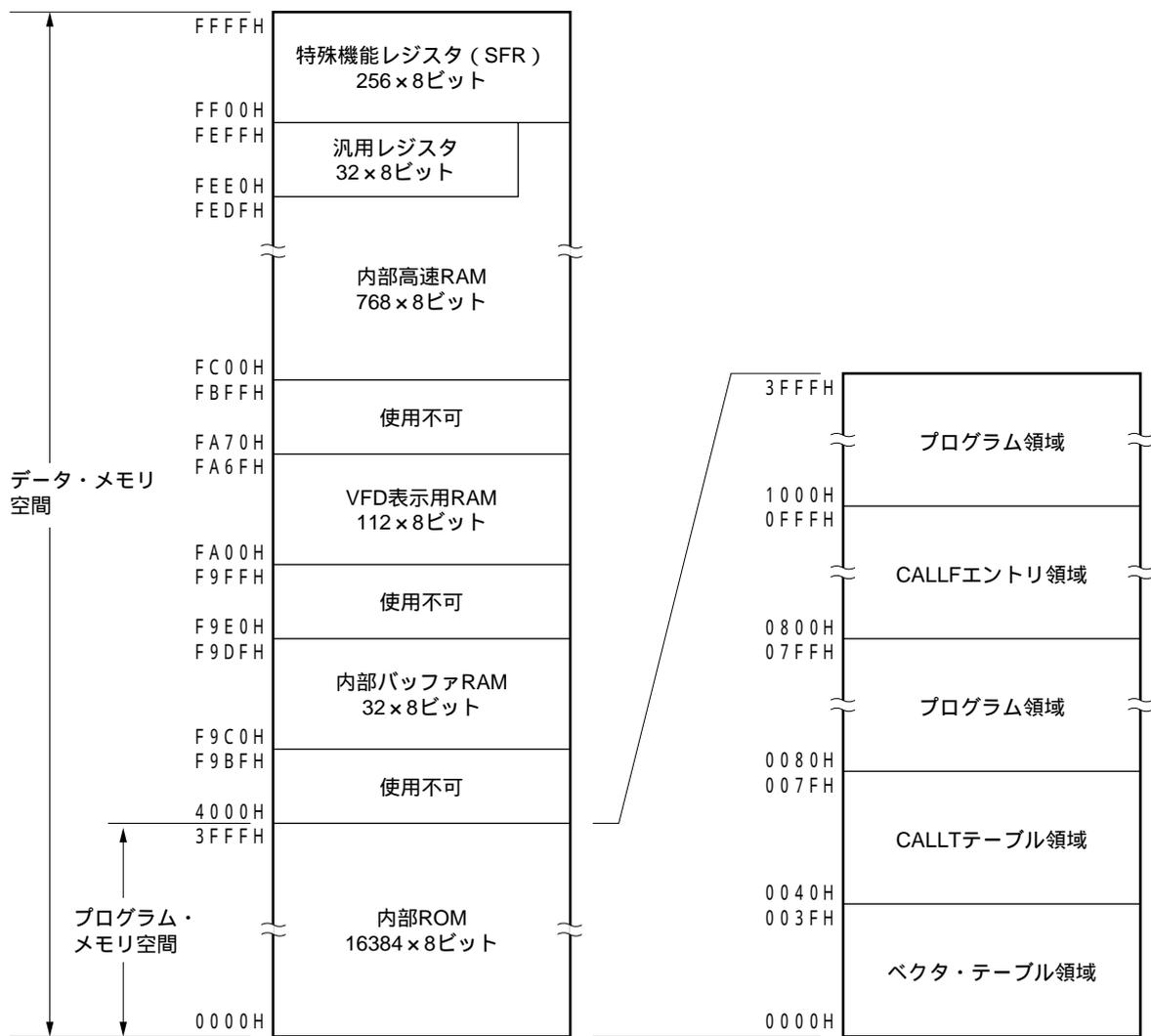
第3章 CPUアーキテクチャ

3.1 メモリ空間

μPD780232サブシリーズは、それぞれ64 Kバイトのメモリ空間をアクセスできます。図3 - 1から3 - 3に、メモリ・マップを示します。

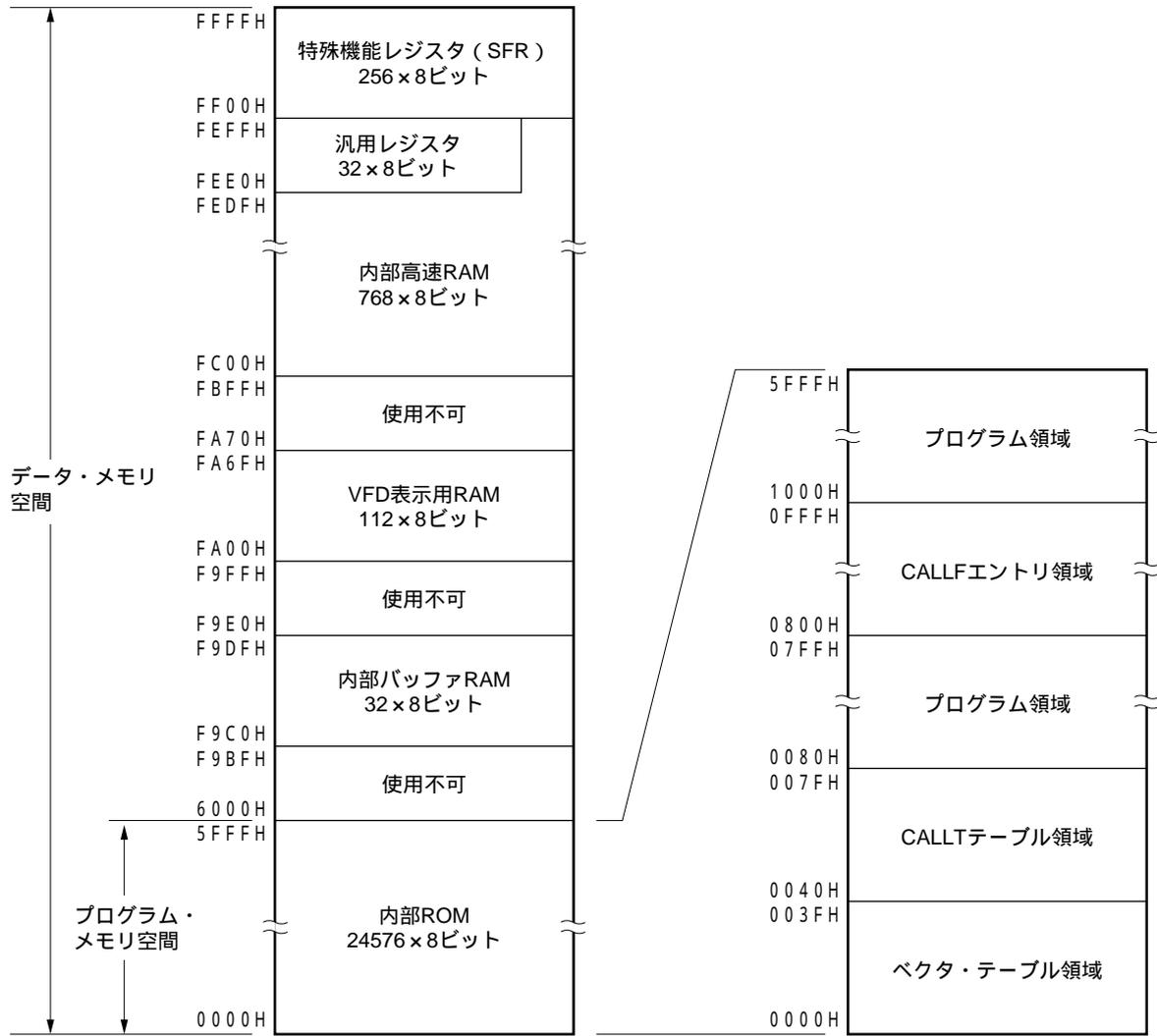
★

図3 - 1 メモリ・マップ (μPD780232)



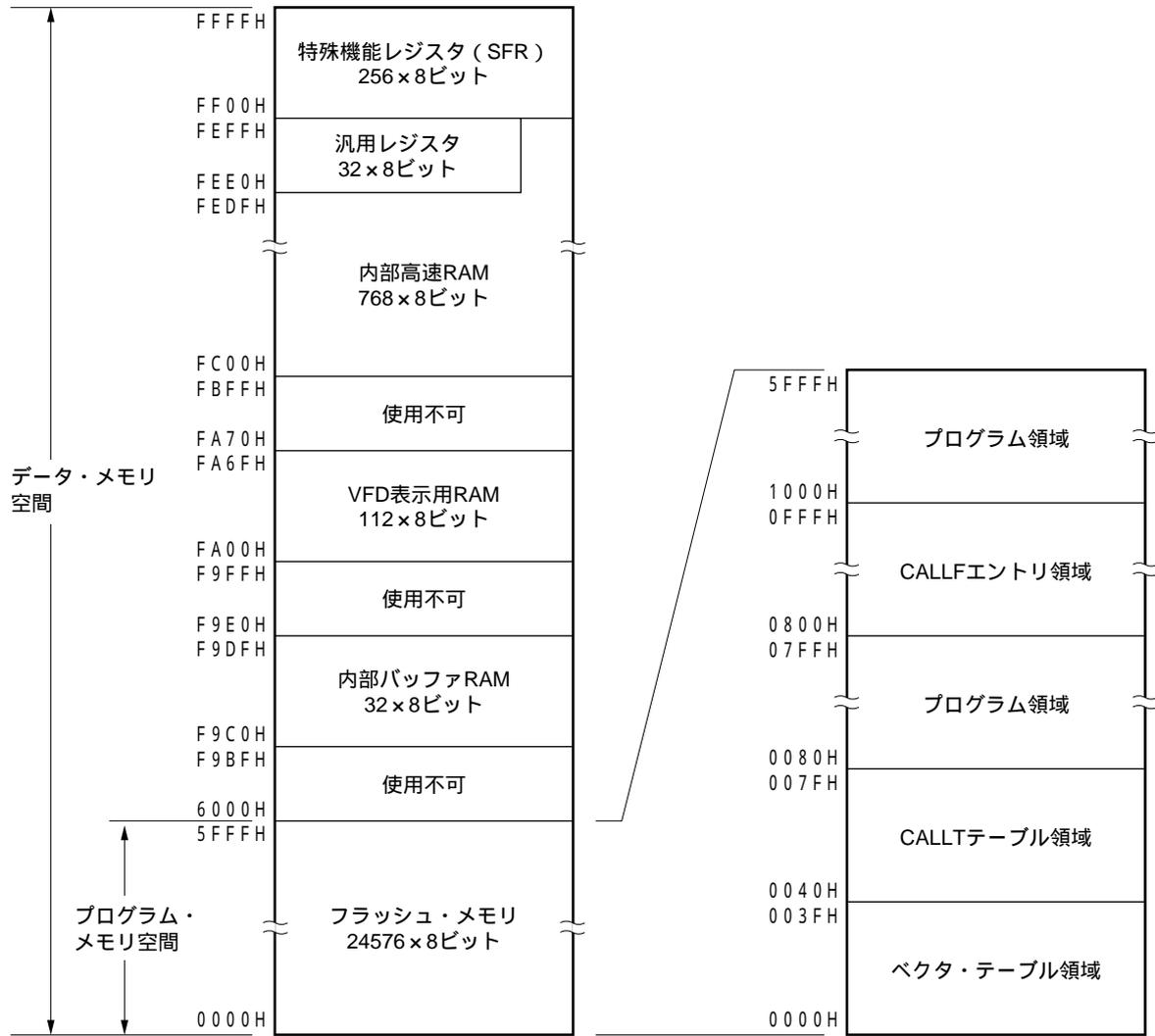
★

図3-2 メモリ・マップ (μPD780233)



★

図3-3 メモリ・マップ(μPD78F0233)



3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間には、プログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアクセスします。

μPD780232サブシリーズでは、各製品ごとに次の容量の内部ROM（またはフラッシュ・メモリ）を内蔵しています。

表3-1 内部ROM容量

品名	内部ROM	
	構造	容量
μPD780232	マスクROM	16384 × 8 ビット (0000H-3FFFH)
μPD780233		24576 × 8 ビット (0000H-5FFFH)
μPD78F0233	フラッシュ・メモリ	24576 × 8 ビット (0000H-5FFFH)

★

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、RESET入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうちの下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要求	ベクタ・テーブル・アドレス	割り込み要求
0000H	RESET入力	0010H	INTKS
0004H	INTWDT	0012H	INTCSI1
0006H	INTP0	0014H	INTCSI3
0008H	INTP1	0016H	INTTM80
000AH	INTTM90	0018H	INTTM81
000CH	INTTM91	001AH	INTAD
000EH	INTTM92	003EH	BRK

(2) CALLT命令テーブル領域

0040H-007FHの64バイト領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納できます。

(3) CALLF命令エントリ領域

0800H-0FFFHの領域は、2バイト・コール命令（CALLF）で直接サブルーチン・コールすることができます。

3.1.2 内部データ・メモリ空間

μPD780232サブシリーズは、次に示すRAMを内蔵しています。

(1) 内部高速RAM

FC00H-FEFFFHの768バイトの領域に、内部高速RAMが割り付けられています。

このうちFEE0H-FEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられています。

- ★ プログラム領域として命令を書いて実行することはできません。
また、内部高速RAMはスタック・メモリとしても使用できます。

★ (2) 内部バッファRAM

F9C0H-F9DFHの32バイトの領域には、内部バッファRAMが割り付けられています。内部バッファRAMは、3線式シリアル・モード（自動送受信機能付き）の送信/受信データを格納するために使用します。自動送受信機能付き3線式シリアル・モードを使用しない場合は、内部バッファRAMは通常のRAMとしても使用できます。

(3) VFD表示用RAM

FA00H-FA6FHの112バイトの領域には、VFD表示用RAMが割り付けられています。VFD表示用RAMは、通常のRAMとしても使用できます。

3.1.3 特殊機能レジスタ（SFR：Special Function Register）領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（3.2.3 特殊機能レジスタ（SFR：Special Function Register）の表3-3 特殊機能レジスタ一覧参照）。

注意 SFRを割り付けていないアドレスをアクセスしないでください。

3.1.4 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定する方法をアドレッシングといいます。

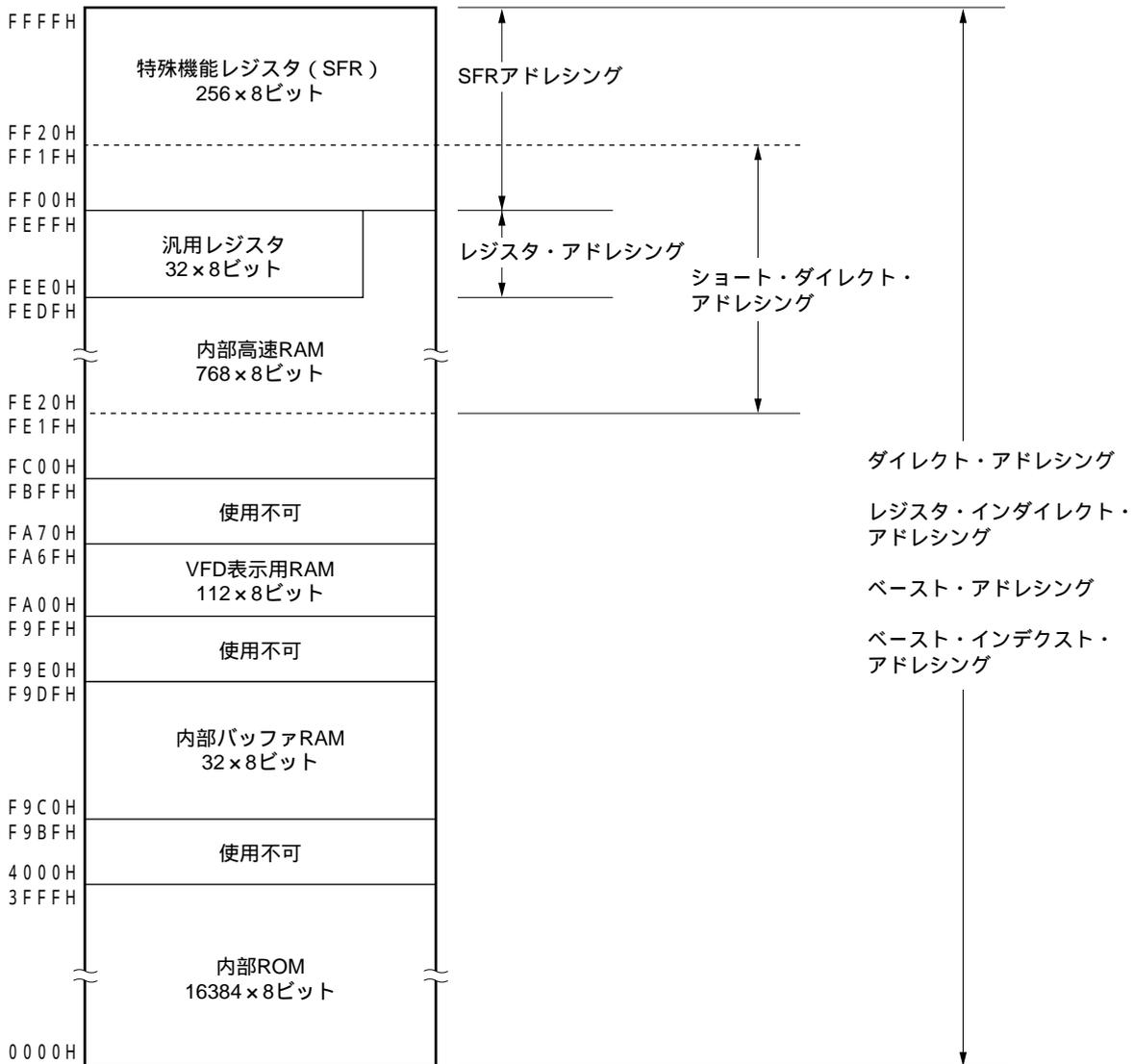
次に実行する命令のアドレスはプログラム・カウンタ（PC）によりアドレスされます（詳細については、3.3 命令アドレスのアドレッシングを参照してください）。

一方、命令を実行する際に操作対象となるメモリのアドレッシングについて、μPD780232サブシリーズでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ（SFR）や汎用レジスタなど、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。データ・メモリ空間は、0000H-FFFFHの64 Kバイトの全空間です。図3 - 4から3 - 6にデータ・メモリのアドレッシングを示します。

各アドレッシングの詳細は、3.4 オペランド・アドレスのアドレッシングを参照してください。

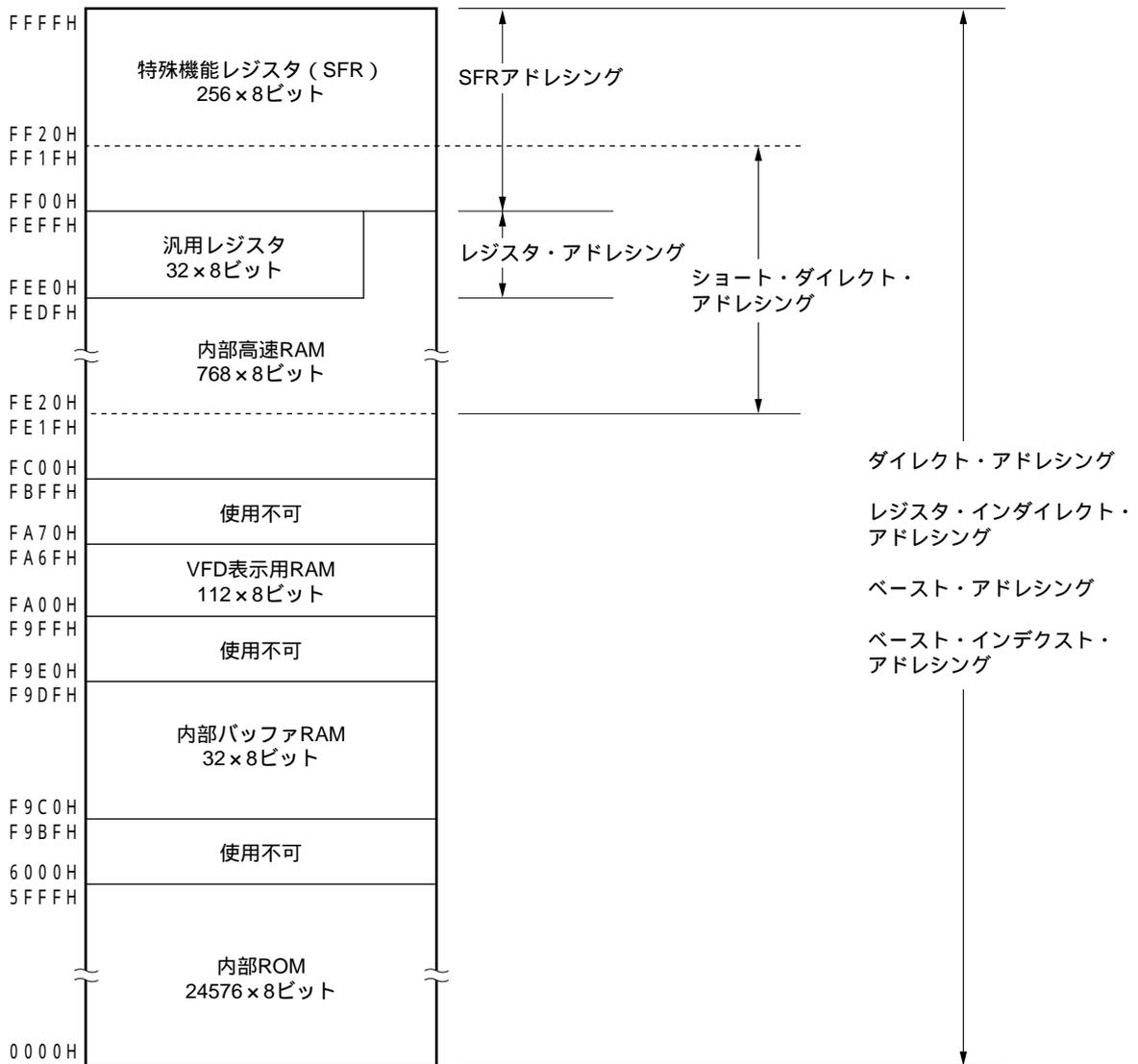
★

図3 - 4 データ・メモリのアドレッシング（μPD780232）



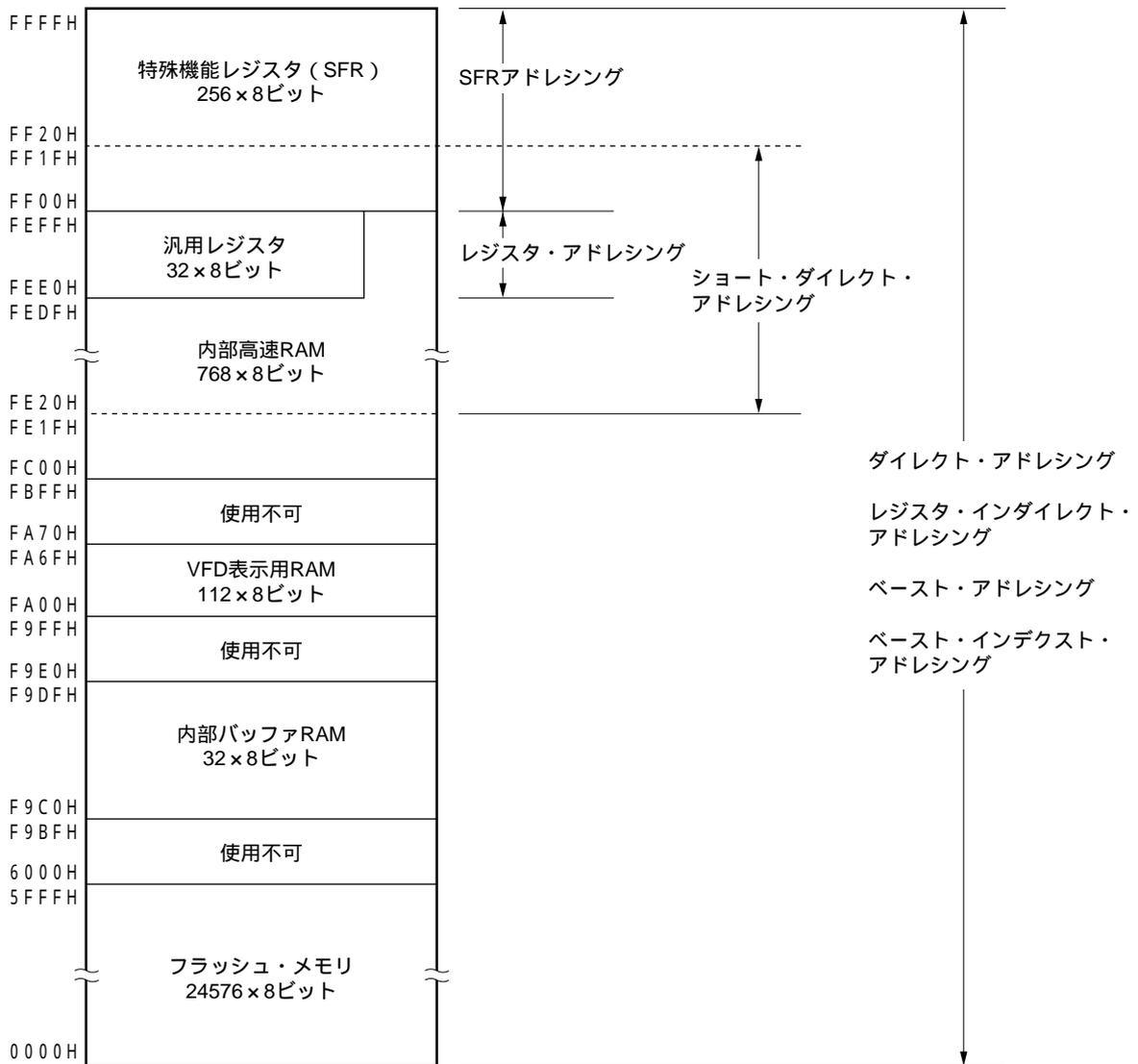
★

図3 - 5 データ・メモリのアドレッシング (μPD780233)



★

図3 - 6 データ・メモリのアドレッシング (μPD78F0233)



3.2 プロセッサ・レジスタ

μPD780232サブシリーズは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

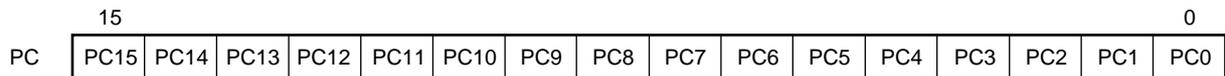
（1）プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミューディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3 - 7 プログラム・カウンタの構成



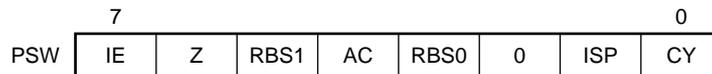
（2）プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RET B、RETI命令およびPOP PSW命令の実行時に自動的に復帰されます。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図3 - 8 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0 のときは割り込み禁止 (DI) 状態となり、ノンマスクブル割り込み以外の割り込みはすべて禁止されます。

IE = 1 のときは割り込み許可 (EI) 状態となります。このとき割り込み要求の受け付けは、インサース・プライオリティ・フラグ (ISP)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込み要求の受け付けでリセット (0) され、EI命令の実行によりリセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

(e) インサース・プライオリティ・フラグ (ISP)

受け付け可能なマスクブル・ベクタ割り込みの優先順位を管理するフラグです。

ISP = 0 のときは優先順位指定フラグ・レジスタ (PR0L, PR0H) (13.3 (3) **優先順位指定フラグ・レジスタ (PR0L, PR0H)** 参照) で低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

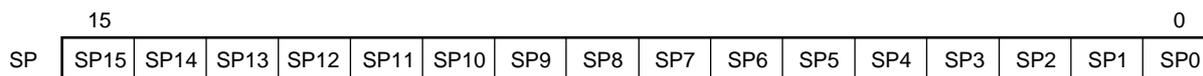
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域 (FC00H-FEFFFH) のみ設定可能です。

図3 - 9 スタック・ポインタの構成



スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

各スタック動作によって退避 / 復帰されるデータは図3 - 10, 3 - 11のようになります。

注意 SPの内容は $\overline{\text{RESET}}$ 入力により、不定になりますので、必ず命令実行前にイニシャライズしてください。

図3 - 10 スタック・メモリへ退避されるデータ

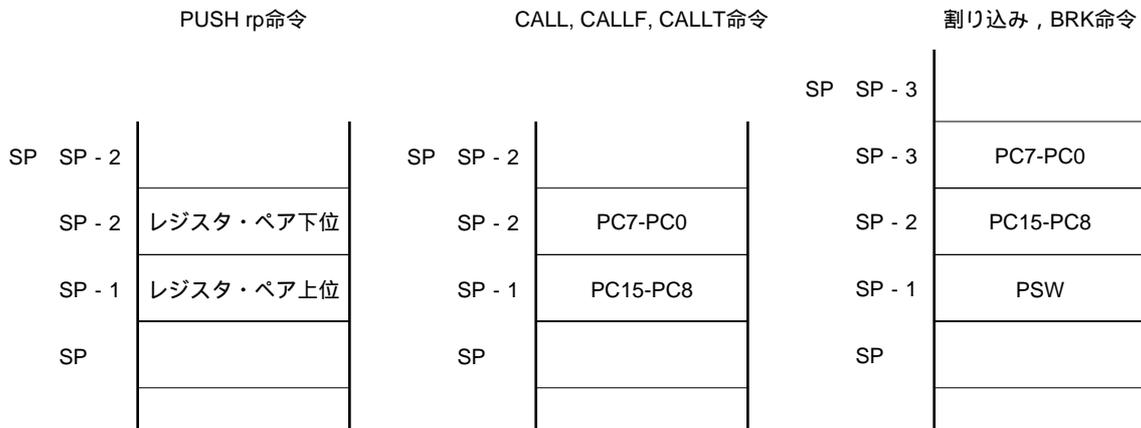
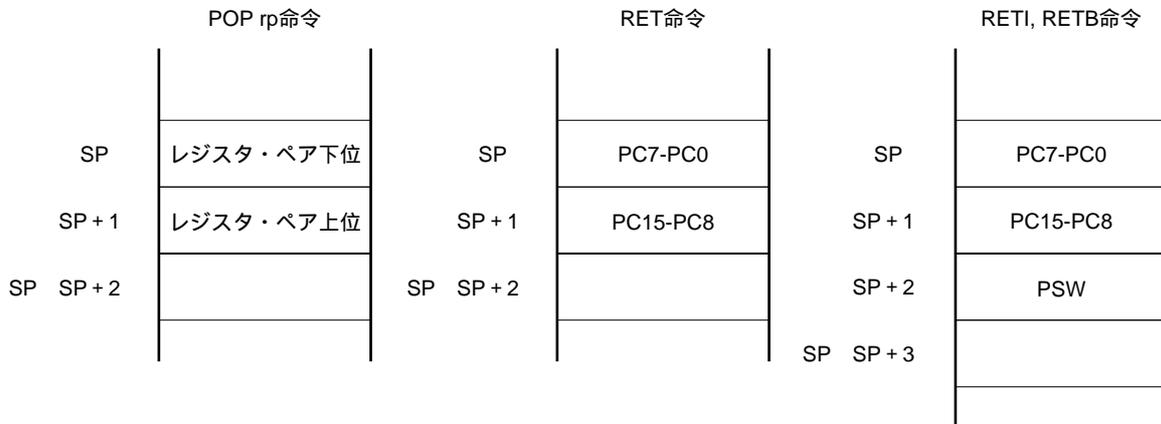


図3 - 11 スタック・メモリから復帰されるデータ



3.2.2 汎用レジスタ

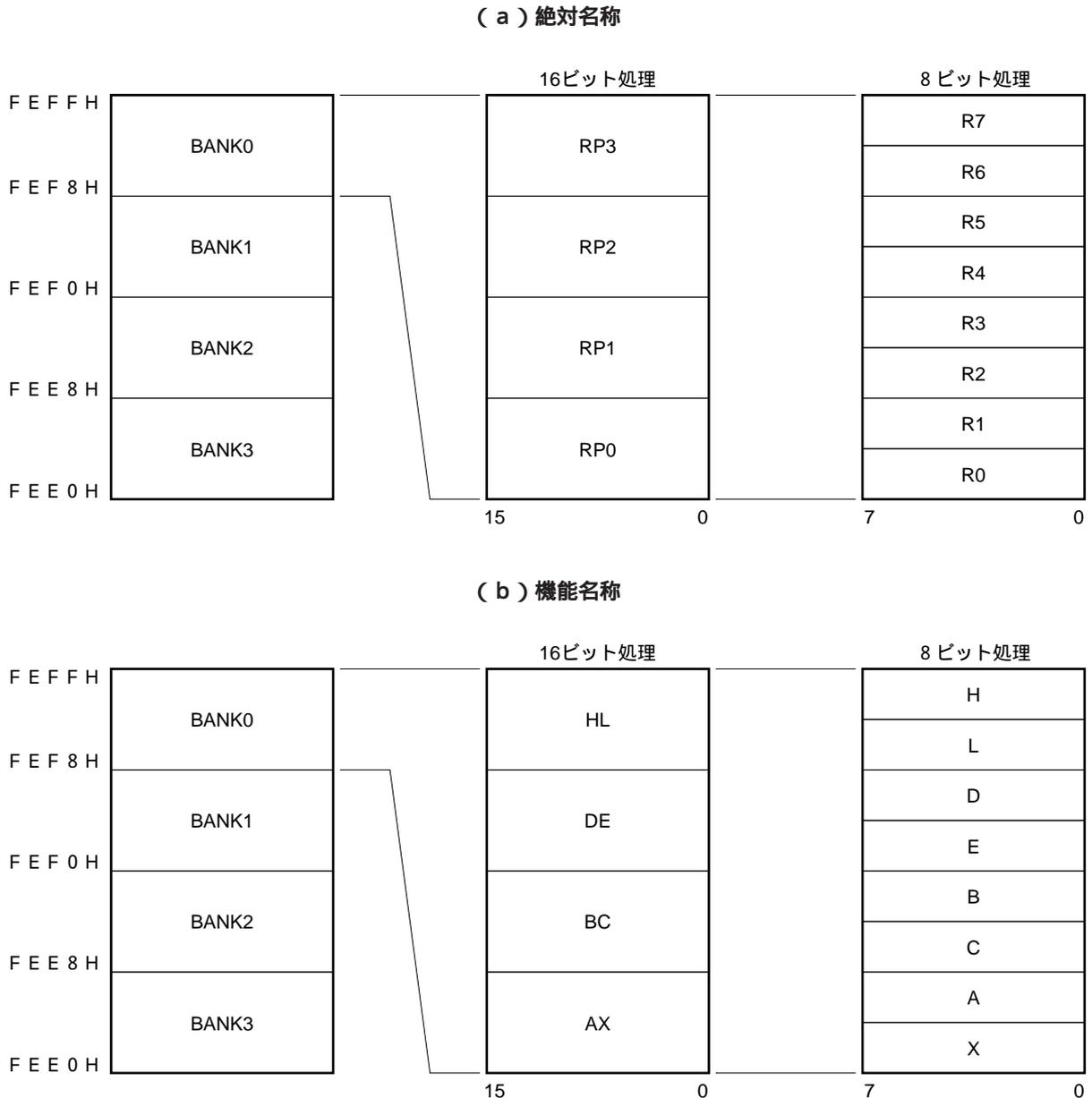
汎用レジスタは、データ・メモリの特定番地 (FEE0H-FEFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

また、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほか、絶対名称 (R0-R7, RP0-RP3) でも記述できます。

命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL RBn) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

図3 - 12 汎用レジスタの構成



3.2.3 特殊機能レジスタ (SFR : Special Function Register)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFH の領域に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1 , 8 , 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

- **1ビット操作**

1ビット操作命令のオペランド (sfr. bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **8ビット操作**

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **16ビット操作**

16ビット操作命令のオペランド (sfrp) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表 3 - 3 に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- **略号**

特殊機能レジスタのアドレスを示す略号です。

RA78K0で予約語に、CC78K0ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。

RA78K0, ID78K0-NS, ID78K0, およびSM78K0使用時に命令のオペランドとして記述できます。

- **R/W**

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- **操作可能ビット単位**

操作可能なビット単位 (1 , 8 , 16) を で示します。 - は操作できないビット単位であることを示します。

- **リセット時**

RESET入力時の各レジスタの状態を示します。

表3-3 特殊機能レジスタ一覧(1/2)

アドレス	特殊機能レジスタ (SFR) 名称	略 称	R/W	操作可能ビット単位			リセット時	
				1ビット	8ビット	16ビット		
FF00H	ポート0	P0	R/W			-	00H	
FF02H	ポート2	P2				-		
FF03H	ポート3	P3				-		
FF04H	ポート4	P4				-		
FF05H	ポート5	P5				-		
FF06H	ポート6	P6				-		
FF07H	ポート・レベル・リード・レジスタ5	PT5	R			-	不定	
FF08H	8ビット・コンペア・レジスタ80	CR80	R/W	-		-	00H	
FF09H	8ビット・コンペア・レジスタ81	CR81		-		-		
FF0AH	リモコン・タイマ・キャプチャ・レジスタ90	CP90	R	-		-		
FF0BH	リモコン・タイマ・キャプチャ・レジスタ91	CP91		-		-		
FF0CH	シリアル・シフト・レジスタ1	SIO1	R/W	-		-		
FF0DH	自動データ送受信アドレス・ポインタ	ADTP		-		-		不定
FF0EH	シリアル・シフト・レジスタ3	SIO3		-		-		
FF0FH	ポート・レベル・リード・レジスタ6	PT6	R			-		
FF10H	A/D変換結果レジスタ0	ADCR0		-		-		
FF20H	ポート・モード・レジスタ0	PM0	R/W			-	FFH	
FF22H	ポート・モード・レジスタ2	PM2				-		
FF30H	ブルアップ抵抗オプション・レジスタ0	PU0	R/W			-	00H	
FF32H	ブルアップ抵抗オプション・レジスタ2	PU2				-		
FF42H	ウォッチドッグ・タイマ・クロック選択レジスタ	WDCS		-		-		
FF48H	外部割り込み立ち上がりエッジ許可レジスタ	EGP				-		
FF49H	外部割り込み立ち下がりエッジ許可レジスタ	EGN				-		
FF60H	8ビット・タイマ・コントロール・レジスタ80	TMC80				-		
FF61H	8ビット・タイマ・コントロール・レジスタ81	TMC81				-		
FF62H	リモコン・タイマ・コントロール・レジスタ9	TMC9				-		
FF63H	シリアル動作モード・レジスタ1	CSIM1				-		
FF64H	自動データ送受信コントロール・レジスタ	ADTC				-		
FF65H	自動データ送受信転送間隔指定レジスタ	ADTI				-		

表3-3 特殊機能レジスタ一覧(2/2)

アドレス	特殊機能レジスタ(SFR)名称	略称		R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
FF66H	シリアル動作モード・レジスタ3	CSIM3		R/W			-	00H
FF67H	A/Dコンバータ・モード・レジスタ0	ADM0					-	
FF68H	アナログ入力チャネル指定レジスタ0	ADS0			-		-	
FF69H	表示モード・レジスタ0	DSPM0					-	10H
FF6AH	表示モード・レジスタ1	DSPM1					-	01H
FF6BH	表示モード・レジスタ2	DSPM2					-	00H
FFE0H	割り込み要求フラグ・レジスタ0L	IF0	IF0L					00H
FFE1H	割り込み要求フラグ・レジスタ0H		IF0H					
FFE4H	割り込みマスク・フラグ・レジスタ0L	MK0	MK0L					FFH
FFE5H	割り込みマスク・フラグ・レジスタ0H		MK0H					
FFE8H	優先順位指定フラグ・レジスタ0L	PR0	PR0L					
FFE9H	優先順位指定フラグ・レジスタ0H		PR0H					
FFF0H	メモリ・サイズ切り替えレジスタ	IMS				-	-	CFH ^注
FFF9H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM					-	00H
FFFAH	発振安定時間選択レジスタ	OSTS			-	-	04H	
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC				-		

注 初期値はCFHですが、各製品ごとに次に示す値を設定して使用してください。

μPD780232 : 04H

★ μPD780233 : 06H

μPD78F0233 : マスクROM製品に対応した値

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は別冊の78K/0シリーズ ユーザーズ・マニュアル命令編（U12326J）を参照してください）。

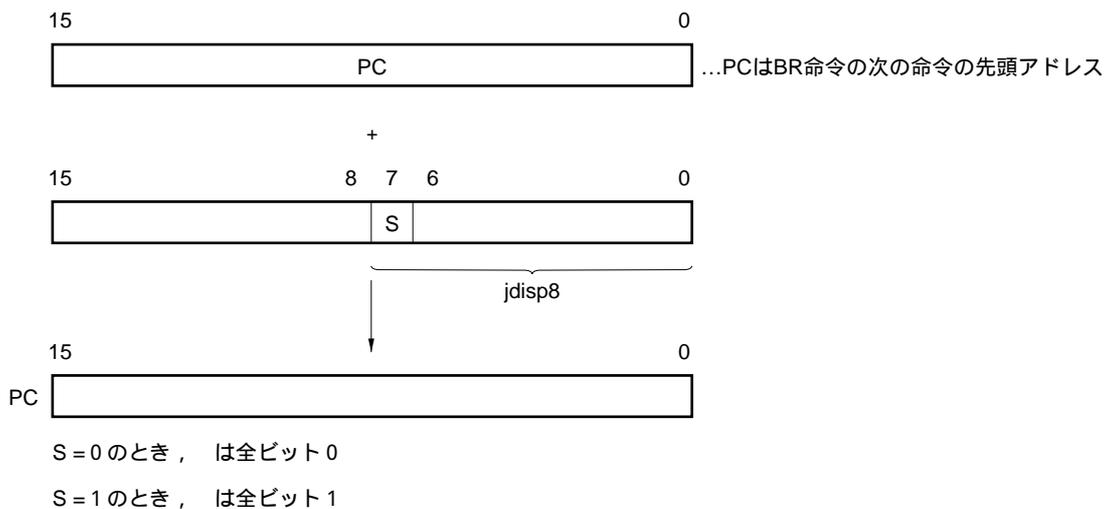
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエト・データ（ディスプレイメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレイメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは、次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



3.3.2 イミューディエト・アドレッシング

【機能】

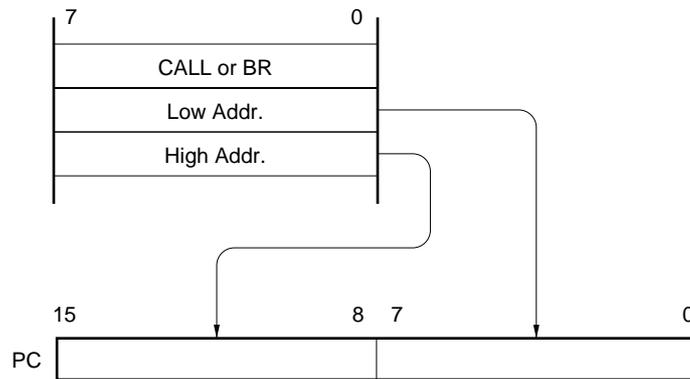
命令語中のイミューディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL ! addr16, BR ! addr16, CALLF ! addr11命令を実行する際に行われます。

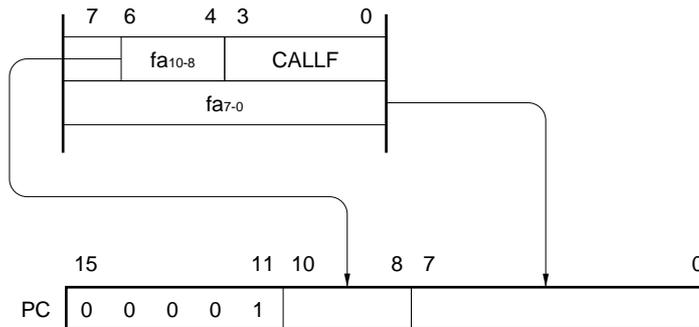
CALL ! addr16, BR ! addr16命令は、全メモリ空間に分岐できます。CALLF ! addr11命令は、0800H-0FFFHの領域に分岐します。

【図解】

CALL ! addr16, BR ! addr16命令の場合



CALLF ! addr11命令の場合



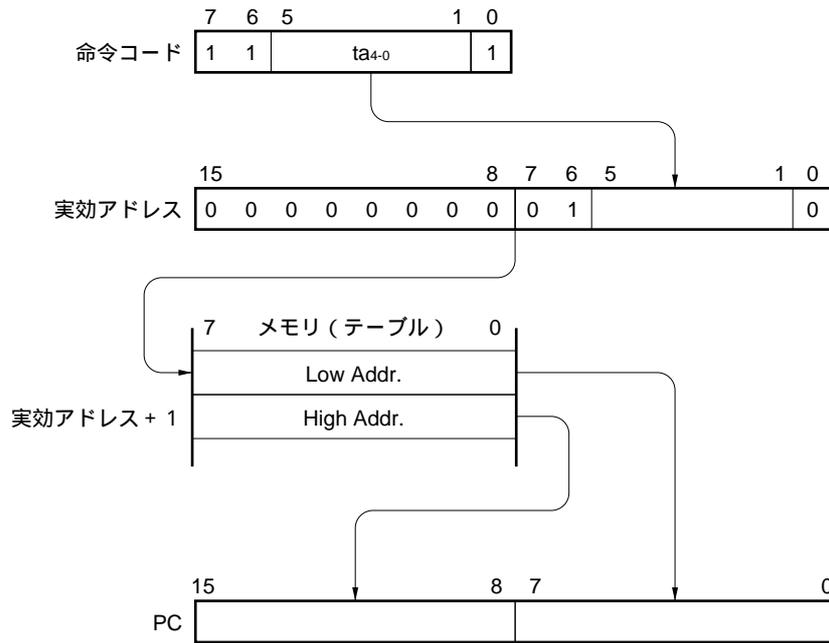
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H-7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



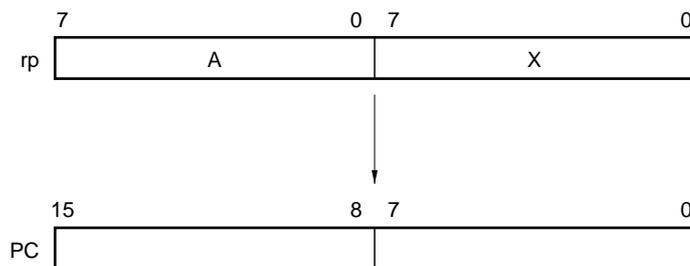
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア (AX) の内容がプログラム・カウンタ (PC) に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 インプライド・アドレッシング

【機能】

汎用レジスタの領域にあるアキュムレータ（A, AX）として機能するレジスタを自動的に（暗黙的）にアドレスするアドレッシングです。

μPD780232サブシリーズの命令語中でインプライド・アドレッシングを使用する命令は次のとおりです。

命 令	インプライド・アドレッシングで指定されるレジスタ
MULU	被乗数としてAレジスタ, 積が格納されるレジスタとしてAXレジスタ
DIVUW	被除数および商を格納するレジスタとしてAXレジスタ
ADJBA/ADJBS	10進補正の対象となる数値を格納するレジスタとしてAレジスタ
ROR4/ROL4	ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ

【オペランド形式】

命令によって自動的に使用できるため、特定のオペランド形式を持ちません。

【記 述 例】

MULU Xの場合

8ビット×8ビットの乗算命令において、AレジスタとXレジスタの積をAXに格納する。ここで、A, AXレジスタがインプライド・アドレッシングで指定されている。

3.4.2 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。アクセスされる汎用レジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ指定コード (Rn, RPn) により指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

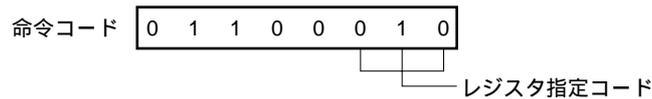
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

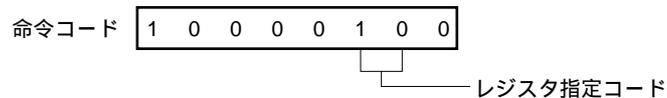
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.3 ダイレクト・アドレッシング

【機能】

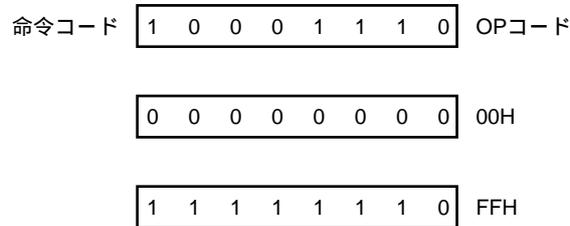
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

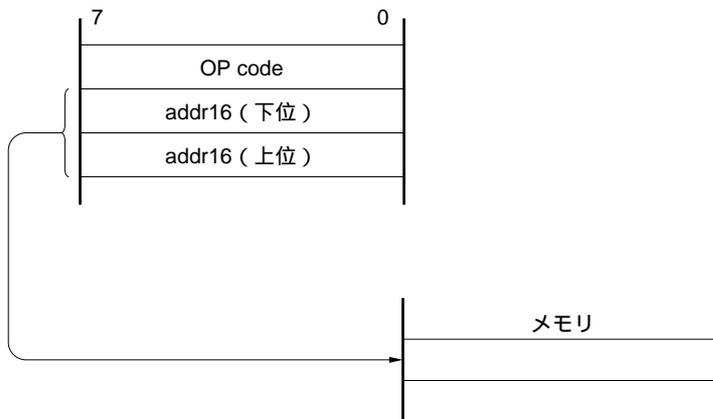
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !0FE00H ; ! addr16をFE00Hとする場合



【図解】



3.4.4 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部高速RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部分です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタ、キャプチャ・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作できます。

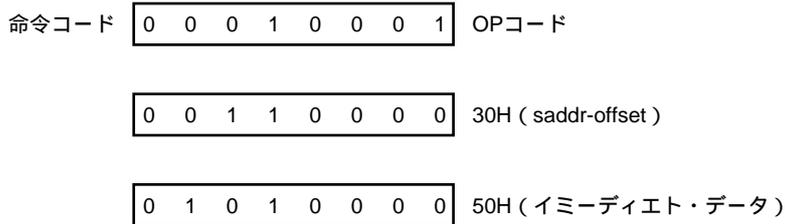
実効アドレスのビット8は、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。【図解】を参照してください。

【オペランド形式】

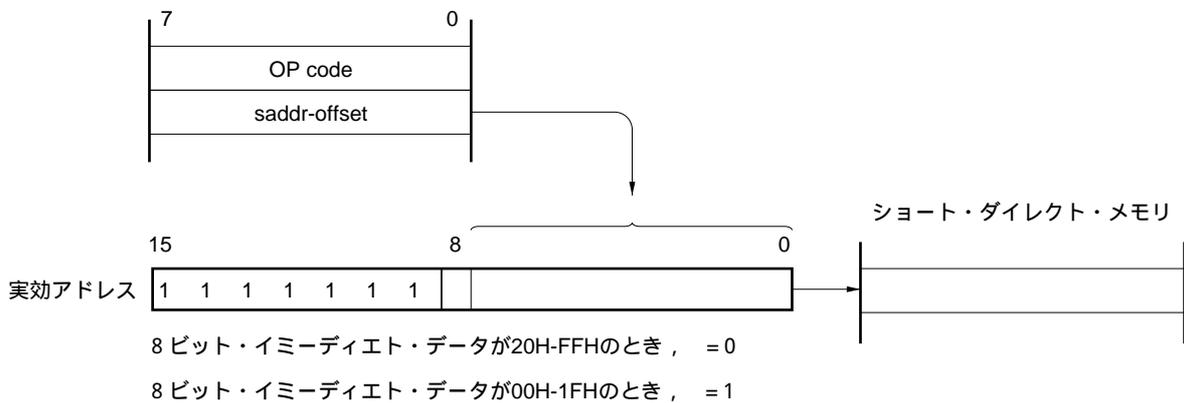
表現形式	記述方法
saddr	レベルまたはFE20H-FF1FHを示すイミディエト・データ
saddrp	レベルまたはFE20H-FF1FHを示すイミディエト・データ（偶数アドレスのみ）

【記述例】

MOV 0FE30H, #50H ; saddrをFE30H, イミディエト・データを50Hとする場合



【図解】



3.4.5 特殊機能レジスタ (SFR) アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

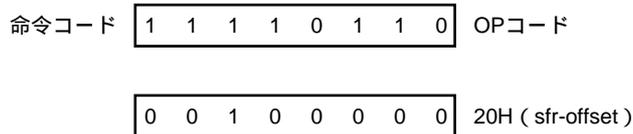
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

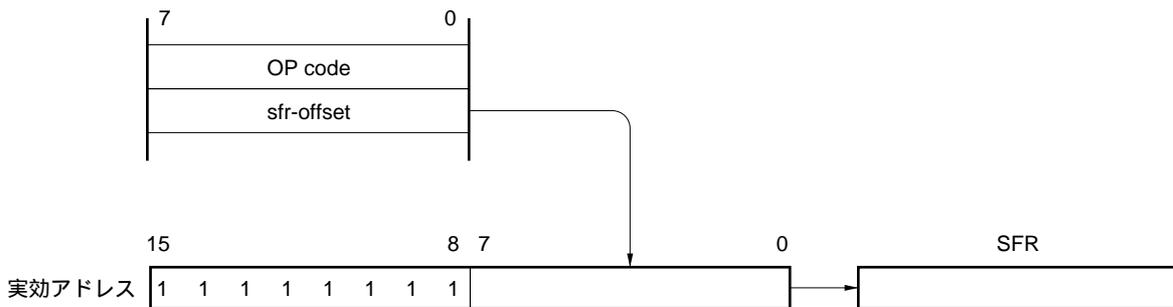
表現形式	記述方法
sfr	特殊機能レジスタ名
sfrp	16ビット操作可能な特殊機能レジスタ名 (偶数アドレスのみ)

【記述例】

MOV PM0, A ; sfrにPM0 (FF20H) を選択する場合



【図解】



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

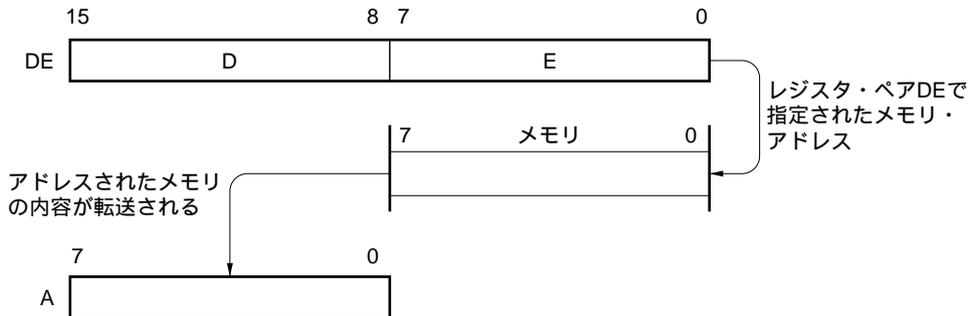
【記述例】

MOV A, [DE]; レジスタ・ペアに [DE] を選択する場合

命令コード

1	0	0	0	0	1	0	1
---	---	---	---	---	---	---	---

【図解】



3.4.7 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHLレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のものです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上がりは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + byte]

【記述例】

MOV A, [HL + 10H] ; byteを10Hとする場合

命令コード

1	0	1	0	1	1	1	0
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

3.4.8 ベース・インデクスト・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHL, B, Cレジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のレジスタです。加算は、BレジスタまたはCレジスタの内容を正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL+B], [HL+C]

【記述例】

MOV A, [HL+B] (Bレジスタを選択) の場合

命令コード

1 0 1 0 1 0 1 1

3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の内容により、スタック領域を間接的にアドレスするアドレッシングです。

PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスすることができます。

【記述例】

PUSH DE (DEレジスタをセーブ) の場合

命令コード

1 0 1 1 0 1 0 1

第4章 ポート機能

4.1 ポートの機能

μPD780232サブシリーズは、16本の出力ポートと24本の入出力ポートを内蔵しています。図4-1にポートの構成を示します。いずれのポートも1ビット操作、8ビット操作が可能で、きわめて多様な制御が行えます。また、ポートとしての機能のほかに、内蔵ハードウェアの入出力端子としての機能などを持っています。

図4-1 ポートの種類

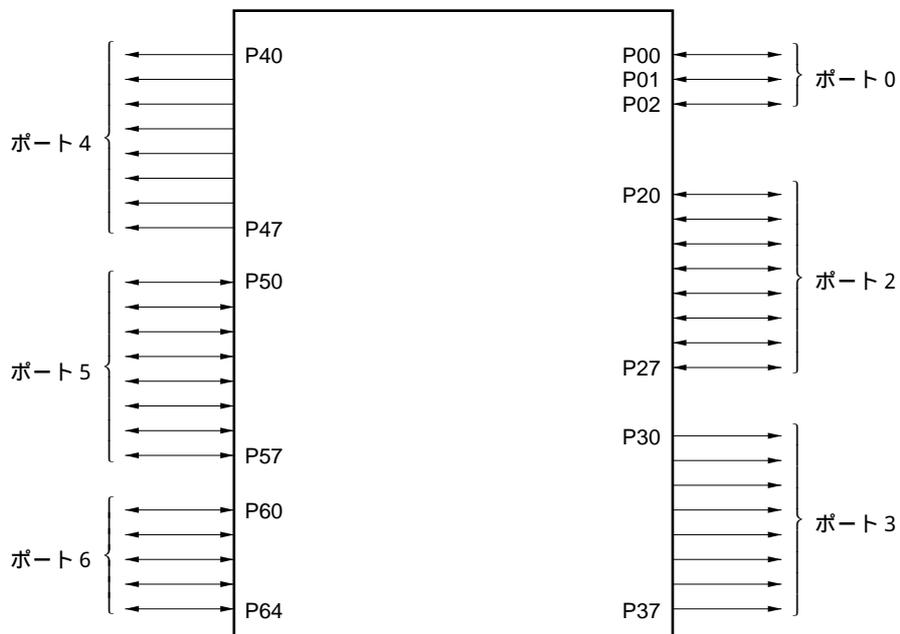


表4-1 ポートの機能

端子名称	機能	兼用端子
P00	ポート0。	INTP0
P01	3ビット入出力ポート。	INTP1
P02	1ビット単位で入力/出力の指定可能。	TI
P20	ポート2。	SCK3
P21	8ビット入出力ポート。	SO3
P22	1ビット単位で入力/出力の指定可能。	-
P23	入力ポートとして使用する場合、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	-
P24	使用可能。	BUSY
P25		SO1
P26		SI1
P27		SCK1
P30-P37	ポート3。 P-chオープン・ドレイン8ビット高耐圧出力ポート。 マスクROM製品は、マスク・オプションにより、1ビット単位でV _{LOAD} へのプルダウン抵抗の内蔵が可能。μPD78F0233は、プルダウン抵抗を内蔵していません。	FIP24-FIP31
P40-P47	ポート4。 P-chオープン・ドレイン8ビット高耐圧出力ポート。 マスクROM製品は、マスク・オプションにより、1ビット単位でV _{LOAD} へのプルダウン抵抗の内蔵が可能。μPD78F0233は、プルダウン抵抗を内蔵していません。	FIP32-FIP39
P50-P57	ポート5。 P-chオープン・ドレイン8ビット高耐圧入出力ポート。 1ビット単位で入力/出力の指定可能。 マスクROM製品は、マスク・オプションにより、1ビット単位でプルダウン抵抗の内蔵が可能(1ビット単位でV _{LOAD} またはV _{SS0} への接続先の指定可能)。μPD78F0233は、プルダウン抵抗を内蔵していません。	FIP40-FIP47
P60-P64	ポート6。 P-chオープン・ドレイン5ビット高耐圧入出力ポート。 1ビット単位で入力/出力の指定可能。 マスクROM製品は、マスク・オプションにより、1ビット単位でプルダウン抵抗の内蔵が可能(1ビット単位でV _{LOAD} またはV _{SS0} への接続先の指定可能)。μPD78F0233は、プルダウン抵抗を内蔵していません。	FIP48-FIP52

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-2 ポートの構成

項目	構成
★ 制御レジスタ	ポート・モード・レジスタ (PMn : n=0, 2) プルアップ抵抗オプション・レジスタ (PUn : n=0, 2) 出力ラッチ (Pm : m=0, 2, 5, 6)
ポート	合計 : 40本 (出力 : 16本, 入出力 : 24本)
プルアップ抵抗	合計 : 11本 (ソフトウェア制御)
プルダウン抵抗	・マスクROM製品 合計 : 29本 (マスク・オプション指定 : 29本) ・ μ PD78F0233 なし

4.2.1 ポート0

出力ラッチ付き3ビット入出力ポートです。P00-P02端子は、ポート・モード・レジスタ0 (PM0)により、1ビット単位で入力モード/出力モードの指定ができます。P00-P02端子は、プルアップ抵抗オプション・レジスタ0 (PU0)により、1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力、タイマの入力があります。

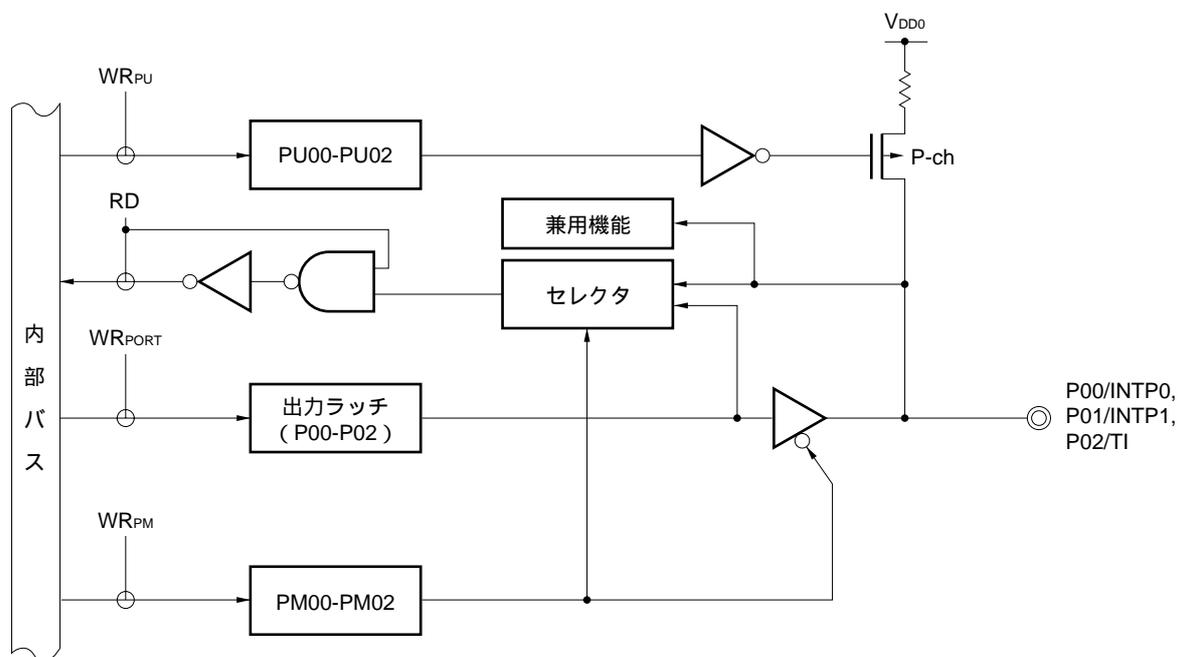
$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-2にポート0のブロック図を示します。

注意 P00, P01端子は外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされます。したがって、出力モードを使用するとき、割り込みマスク・フラグに1を設定してください。

★

図4 - 2 P00-P02のブロック図



PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート0のリード信号

WR : ポート0のライト信号

4.2.2 ポート2

出力ラッチ付き8ビット入出力ポートです。P20-P27端子は、ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力モード/出力モードの指定ができます。P20-P27端子は、プルアップ抵抗オプション・レジスタ2 (PU2) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

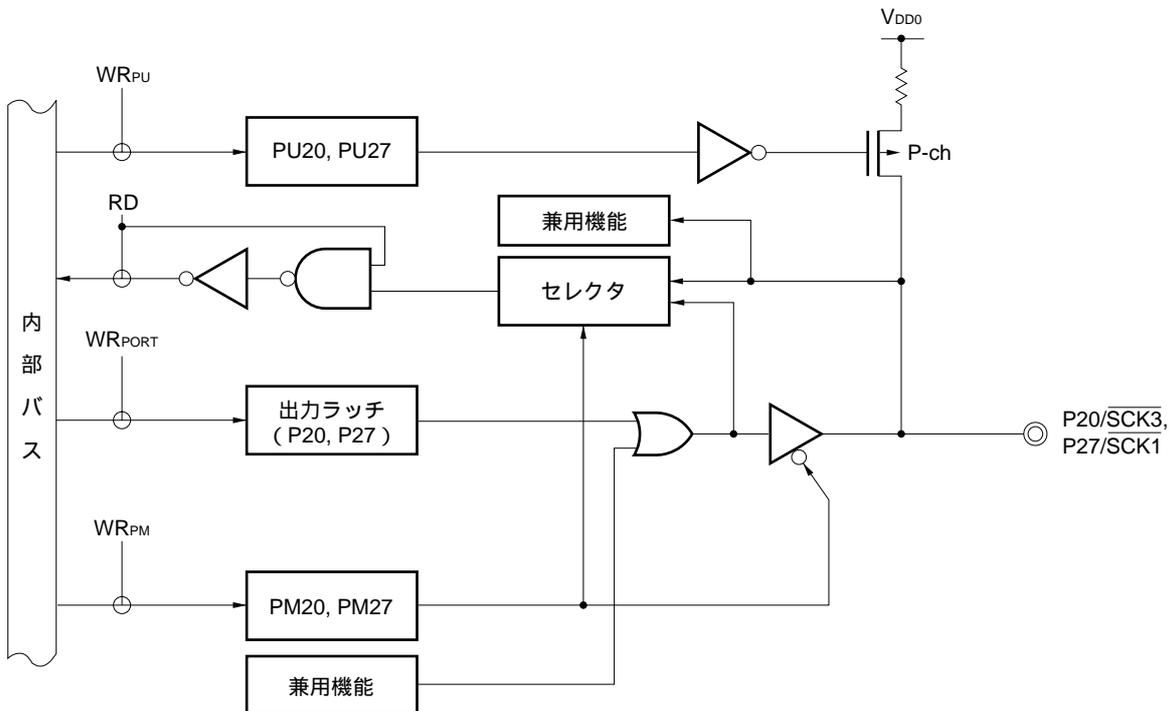
また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、自動送受信用ビジー入力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 3から図4 - 5にポート2のブロック図を示します。

★

図4 - 3 P20, P27のブロック図



PU : プルアップ抵抗オプション・レジスタ

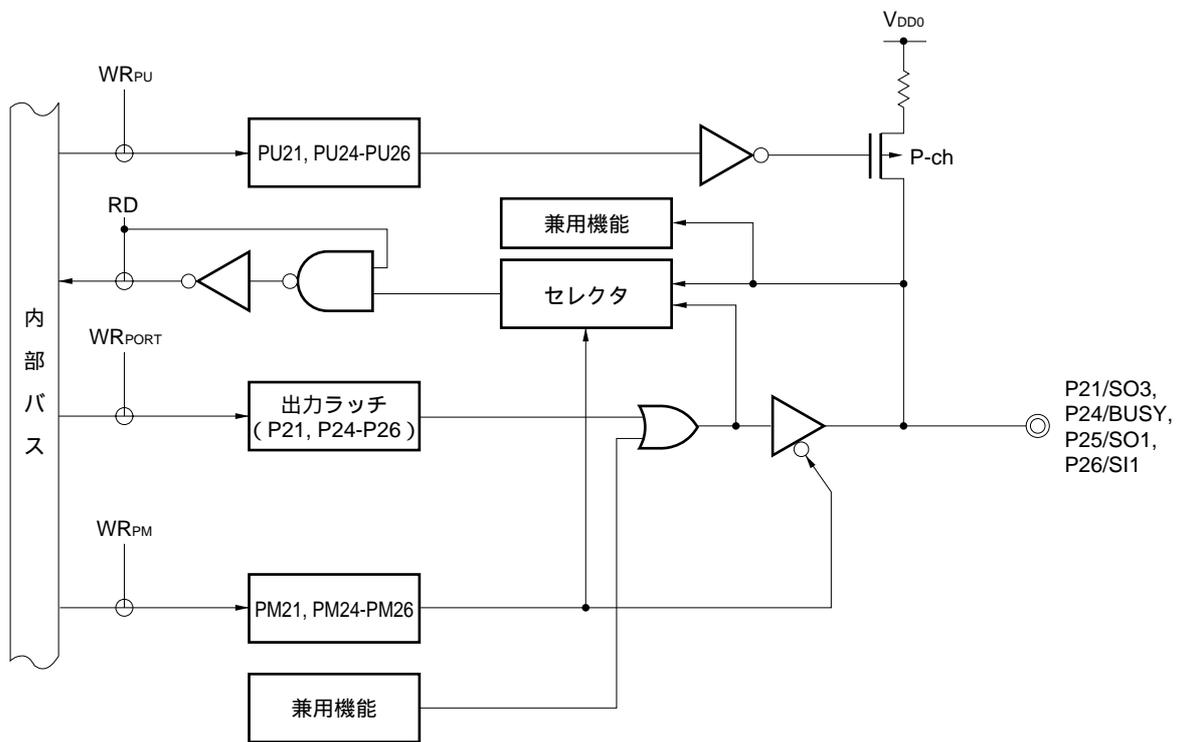
PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

★

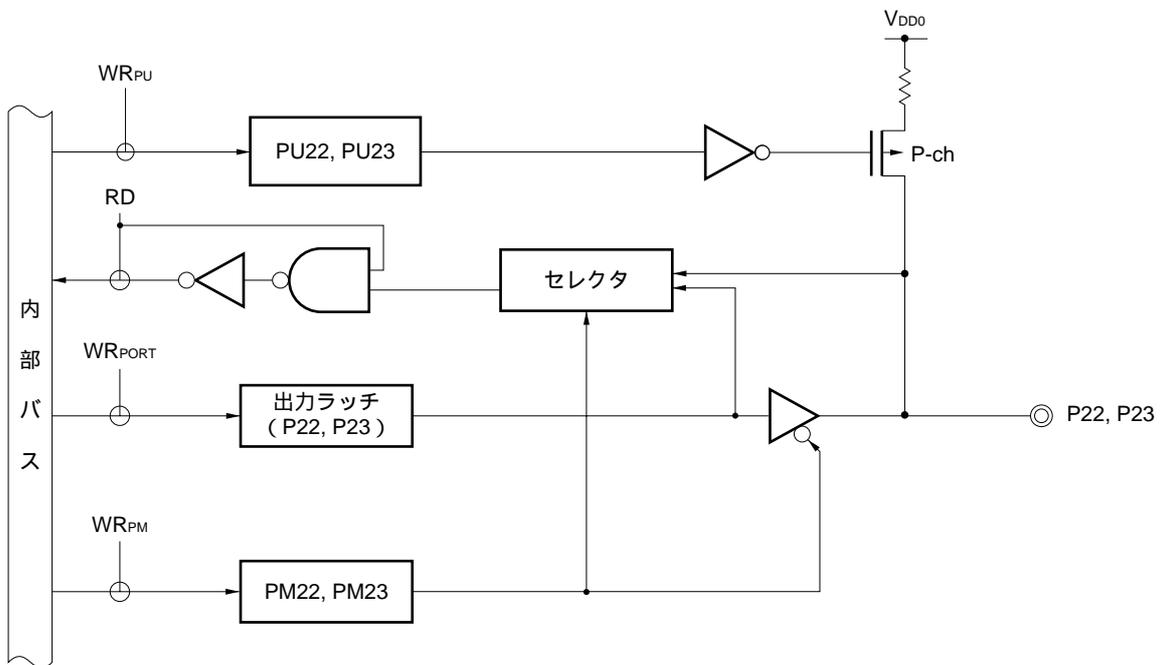
図4-4 P21, P24-P26のブロック図



- PU : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート2のリード信号
- WR : ポート2のライト信号

★

図4 - 5 P22, P23のブロック図



- PU : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート2のリード信号
- WR : ポート2のライト信号

4.2.3 ポート3

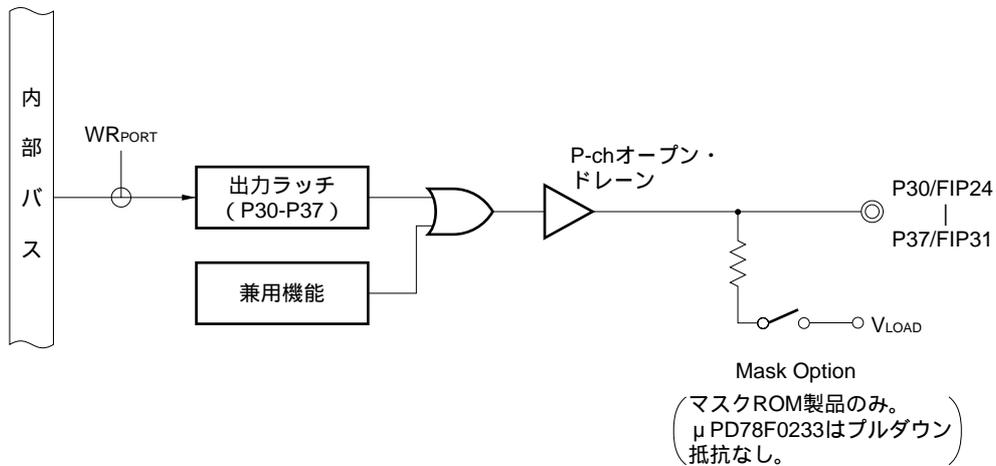
8ビット出力専用ポートです。マスクROM製品は、マスク・オプションにより、1ビット単位でプルダウン抵抗の内蔵ができます。μPD78F0233は、プルダウン抵抗を内蔵していません。

また、兼用機能としてVFDコントローラ/ドライバの出力があります。

図4-6にポート3のブロック図を示します。

- ★ **注意** 全損失(12.7 全損失の計算方法を参照)を越えないように、プルダウン抵抗の本数を調整してください。

図4-6 P30-P37のブロック図



WR : ポート3のライト信号

4.2.4 ポート4

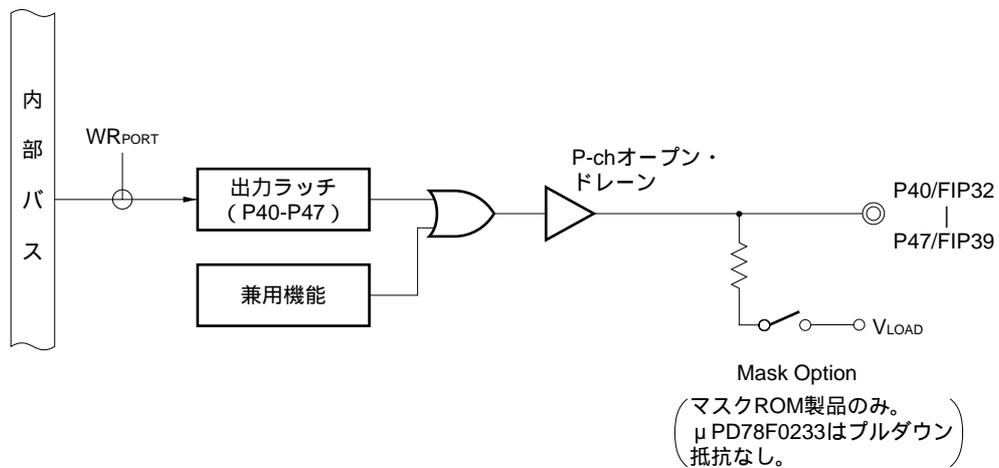
8ビット出力専用ポートです。マスクROM製品は、マスク・オプションにより、1ビット単位でプルダウン抵抗の内蔵ができます。μPD78F0233は、プルダウン抵抗を内蔵していません。

また、兼用機能としてVFDコントローラ/ドライバの出力があります。

図4-7にポート4のブロック図を示します。

- ★ **注意** 全損失(12.7 全損失の計算方法を参照)を越えないように、プルダウン抵抗の本数を調整してください。

図4-7 P40-P47のブロック図



WR：ポート4のライト信号

4.2.5 ポート5

出力ラッチ付き8ビット入出力ポートです。出力ポートとして使用する場合には、出力ラッチ (P50-P57) に設定した値が出力されます。また、入力ポートとして使用する場合には、出力ラッチ (P50-P57) に “ 0 ” を設定し、ポート・レベル・リード (PT50-PT57) をリードしてください。マスクROM製品は、マスク・オプションにより、1ビット単位でプルダウン抵抗の内蔵ができます。プルダウン抵抗は1ビット単位でV_{LOAD}またはV_{SS0}への接続先の指定が可能です。μPD78F0233は、プルダウン抵抗を内蔵していません。

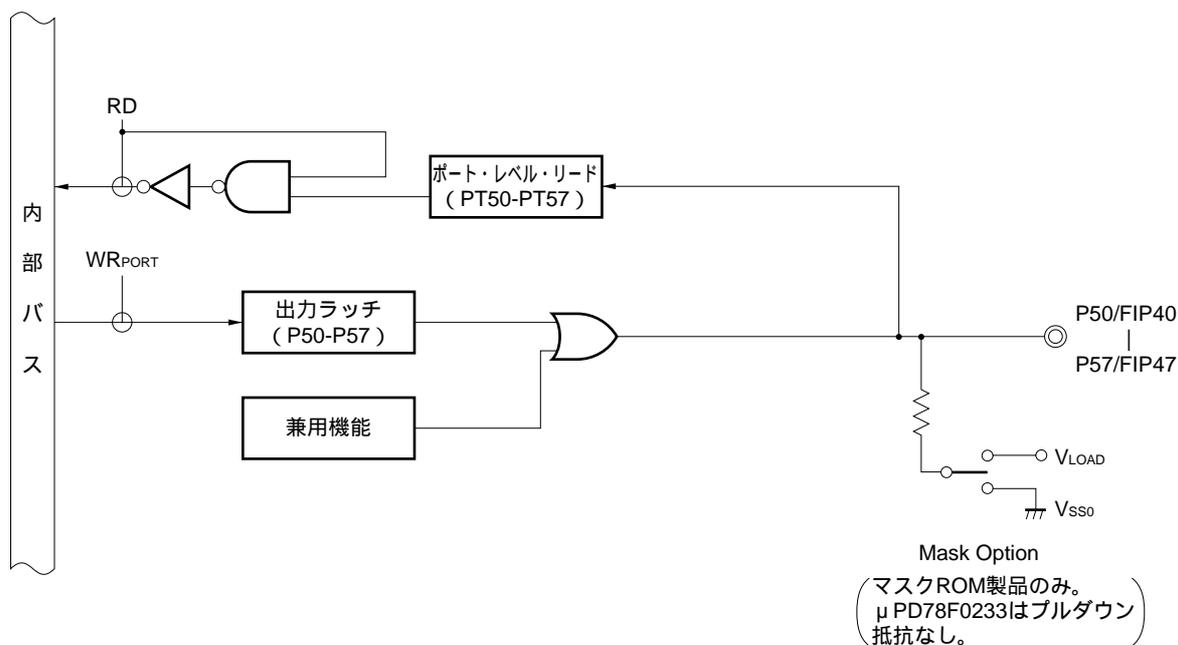
また、兼用機能としてVFDコントローラ/ドライバの出力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-8にポート5のブロック図を示します。

- ★ **注意** 全損失 (12.7 全損失の計算方法を参照) を越えないように、プルダウン抵抗の本数を調整してください。

図4-8 P50-P57のブロック図



RD : ポート5のリード信号

WR : ポート5のライト信号

4.2.6 ポート6

出力ラッチ付き5ビット入出力ポートです。出力ポートとして使用する場合には、出力ラッチ（P60-P64）に設定した値が出力されます。また、入力ポートとして使用する場合には、出力ラッチ（P60-P64）に“0”を設定し、ポート・レベル・リード（PT60-PT64）をリードしてください。マスクROM製品は、マスク・オプションにより、1ビット単位でプルダウン抵抗の内蔵ができます。プルダウン抵抗は1ビット単位でV_{LOAD}またはV_{SS0}への接続先の指定が可能です。μPD78F0233は、プルダウン抵抗を内蔵していません。

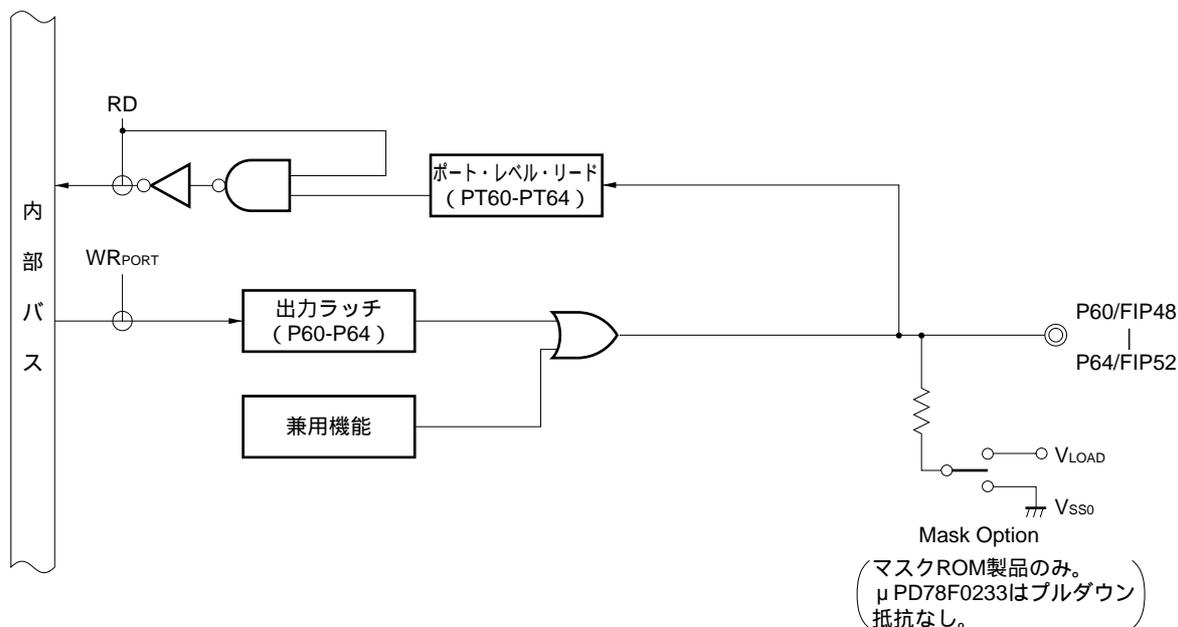
また、兼用機能としてVFDコントローラ/ドライバの出力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-9にポート6のブロック図を示します。

- ★ **注意** 全損失（12.7 全損失の計算方法を参照）を越えないように、プルダウン抵抗の本数を調整してください。

図4-9 P60-P64のブロック図



RD : ポート6のリード信号

WR : ポート6のライト信号

4.3 ポート機能を制御するレジスタ

ポートを制御するレジスタには、次の2種類があります。

- ・ポート・モード・レジスタ (PM0, PM2)
- ・プルアップ抵抗オプション・レジスタ (PU0, PU2)

(1) ポート・モード・レジスタ (PM0, PM2)

ポートの入力/出力を1ビット単位で設定するレジスタです。

PM0, PM2は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表4-3のように設定してください。

注意 1 . P30-P37, P40-P47は出力専用端子です。

- 2 . ポート0は、外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを設定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

表4-3 兼用機能使用時のポート・モード・レジスタ、出力ラッチの設定

端子名称	兼用機能		PMxx	Pxx
	名称	入出力		
P00	INTP0	入力	1	×
P01	INTP1	入力	1	×
P02	TI	入力	1	×

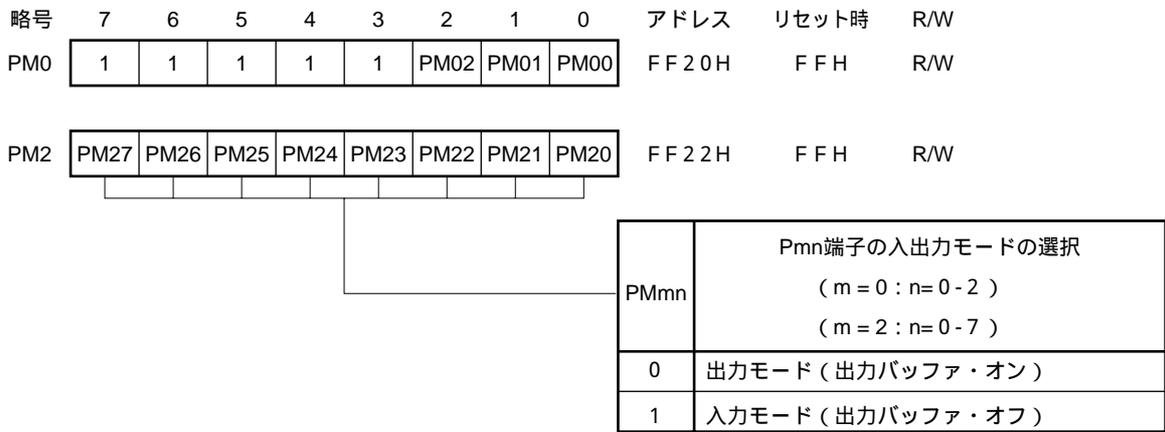
- 3 . ポート2をシリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、10.3(1) シリアル動作モード・レジスタ1 (CSIM1)、11.3(1) シリアル動作モード・レジスタ3 (CSIM3)を参照してください。

備考 × : don't care (設定の必要はありません)

PMxx : ポート・モード・レジスタ

Pxx : ポートの出力ラッチ

図4 - 10 ポート・モード・レジスタのフォーマット



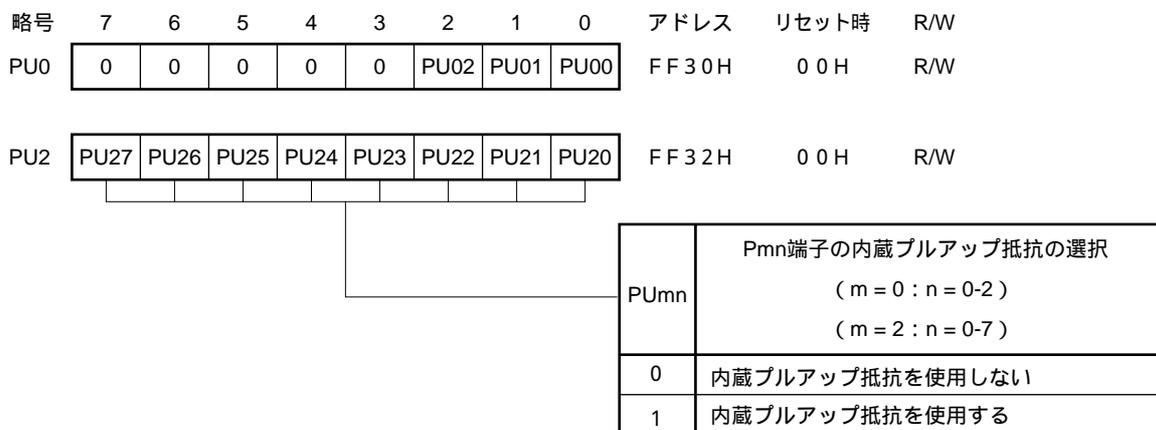
(2) プルアップ抵抗オプション・レジスタ (PU0, PU2)

★ ポート0, 2の各端子の内蔵プルアップ抵抗を使用するか, 使用しないかを設定するレジスタです。PU0, PU2を設定することにより, PU0, PU2内のビットに対応するポート端子の内蔵プルアップ抵抗を使用できます。

PU0, PU2は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により, 00Hになります。

★ **注意** PUm_nに1を設定すると, 入力/出力モードにかかわらず, 内蔵プルアップ抵抗が接続されます。したがって出力モードで使用する場合は対応するPU_m_nのビットを0にしてください (m = 0 : n = 0-2, m = 2 : n = 0-7)。

図4 - 11 プルアップ抵抗オプション・レジスタのフォーマット



4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力ポートの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力ポートの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 1 . ポート 3 , 4 は出力専用ポートです。

2 . ポート 5 , 6 を入力ポートとして使用する場合、出力ラッチを 0 に設定してください。

4.4.2 入出力ポートからの読み出し

(1) 出力ポートの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力ポートの場合

ポート 0 , 2 は、転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

ポート 5 , 6 は、ポート・レベル・リード (PT5, PT6) をリードすることで、端子の状態が読み出せます。

注意 1 . ポート 3 , 4 は出力専用ポートです。

2 . ポート 5 , 6 を入力ポートとして使用する場合、出力ラッチを 0 に設定してください。

4.4.3 入出力ポートでの演算

(1) 出力ポートの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力ポートの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

注意1. ポート3, 4は出力専用ポートです。

2. ポート5, 6を入力ポートとして使用する場合、出力ラッチを0に設定してください。

3. 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入りに指定されている端子の出力ラッチの内容が不定になります。

4.5 マスク・オプションの選択

マスクROM製品には、次のマスク・オプションがあります。μPD78F0233には、マスク・オプションはありません。

★

表4-4 マスクROM製品のマスク・オプションとμPD78F0233との比較

端子名	マスクROM製品のマスク・オプション	μPD78F0233
FIP0-FIP23	1ビット単位でV _{LOAD} へのプルダウン抵抗を内蔵できます。	プルダウン抵抗を内蔵しています。
P30/FIP24-P37/FIP31, P40/FIP32-P47/FIP39	1ビット単位でV _{LOAD} へのプルダウン抵抗を内蔵できます。	プルダウン抵抗を内蔵していません。
P50/FIP40-P57/FIP47, P60/FIP48-P64/FIP52	1ビット単位でプルダウン抵抗を内蔵できます。V _{LOAD} またはV _{SS0} への接続先の指定ができます。	プルダウン抵抗を内蔵していません。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。
システム・クロック発振回路には、次の1種類があります。

- ・メイン・システム・クロック発振回路

5.0 MHzの周波数を発振します。STOP命令の実行により、発振を停止できます。

5.2 クロック発生回路の構成

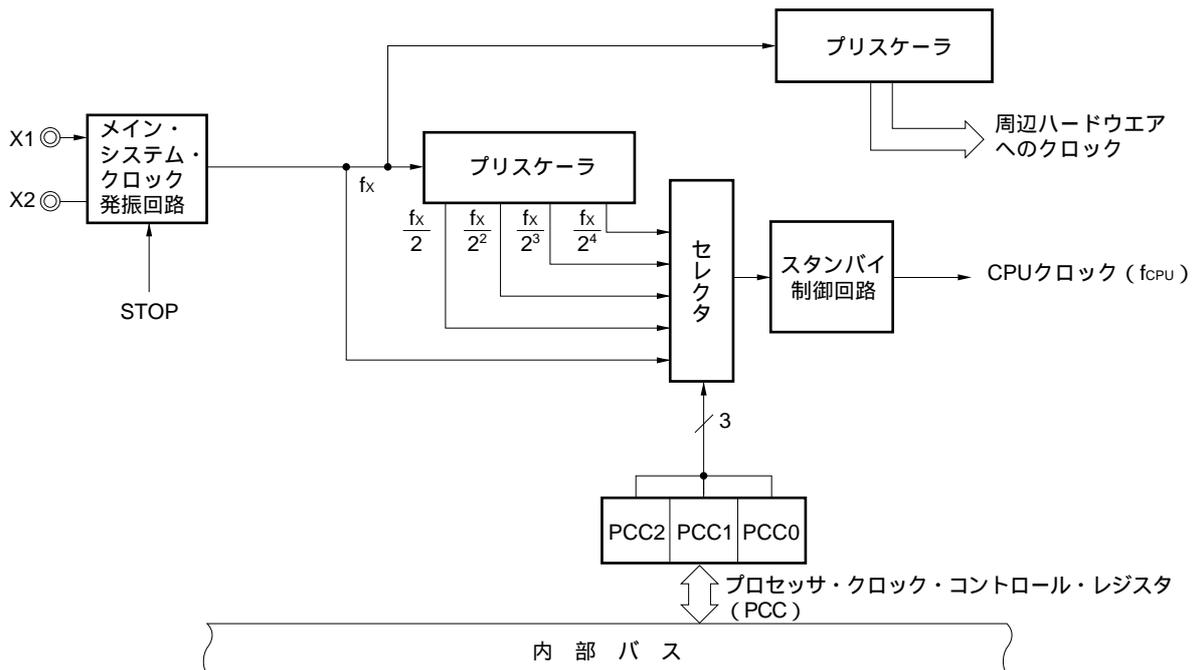
クロック発生回路は、次のハードウェアで構成しています。

表 5 - 1 クロック発生回路の構成

項 目	構 成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ (PCC)
発振回路	メイン・システム・クロック発振回路

★

図 5 - 1 クロック発生回路のブロック図



5.3 クロック発生回路を制御するレジスタ

クロック発生回路を制御するレジスタには、プロセッサ・クロック・コントロール・レジスタ（PCC）があります。

・プロセッサ・クロック・コントロール・レジスタ（PCC）

CPUクロックの選択，分周比を設定するレジスタです。

PCCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET \bar 入力により，04Hになります。

図5 - 2 プロセッサ・クロック・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PCC	0	0	0	0	0	PCC2	PCC1	PCC0	FFF BH	04H	R/W

PCC2	PCC1	PCC0	CPUクロック (f _{CPU}) の選択
0	0	0	f _x
0	0	1	f _x /2
0	1	0	f _x /2 ²
0	1	1	f _x /2 ³
1	0	0	f _x /2 ⁴
上記以外			設定禁止

注意 ビット3-7には，必ず“0”を設定してください。

備考 f_x：メイン・システム・クロック発振周波数

μPD780232サブシリーズの一番速い命令は，CPUクロック2クロックで実行されます。したがって，CPUクロック (f_{CPU}) と最小命令実行時間の関係は，表5 - 2のようになります。

表5 - 2 CPUクロックと最小命令実行時間の関係

CPUクロック (f _{CPU})	最小命令実行時間：2/f _{CPU}
f _x	0.4 μs
f _x /2	0.8 μs
f _x /2 ²	1.6 μs
f _x /2 ³	3.2 μs
f _x /2 ⁴	6.4 μs

f_x = 5.0 MHz

f_x：メイン・システム・クロック発振周波数

5.4 システム・クロック発振回路

5.4.1 メイン・システム・クロック発振回路

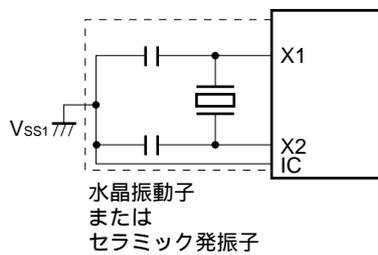
メイン・システム・クロック発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（標準：5.0 MHz）によって発振します。

また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力し、X2端子には、その反転した信号を入力してください。

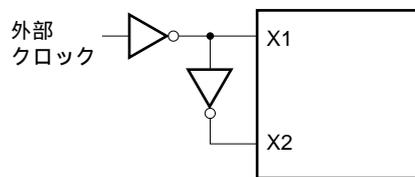
図5 - 3にメイン・システム・クロック発振回路の外付け回路を示します。

図5 - 3 メイン・システム・クロック発振回路の外付け回路

(a) 水晶, セラミック発振



(b) 外部クロック



注意1 . 外部クロックを入力しているとき、STOPモードを設定することはできません。これはX2端子が V_{DD1} にプルアップされるためです。

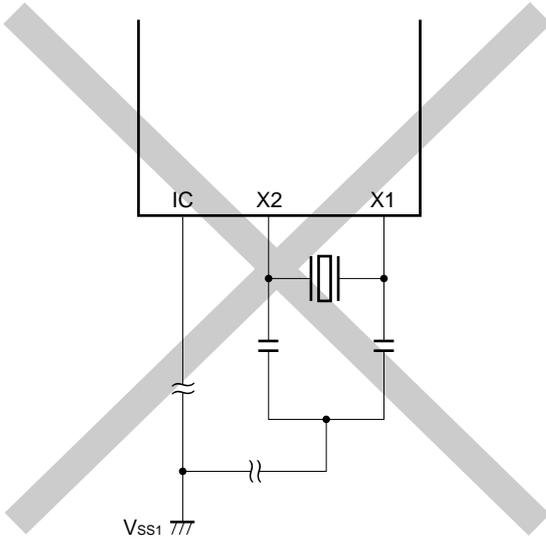
2 . メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 3の破線の部分を次のように配線してください。

- ・ 配線は極力短くする。
- ・ 他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・ 発振回路のコンデンサの接地点は、常に V_{SS1} と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・ 発振回路から信号を取り出さない。

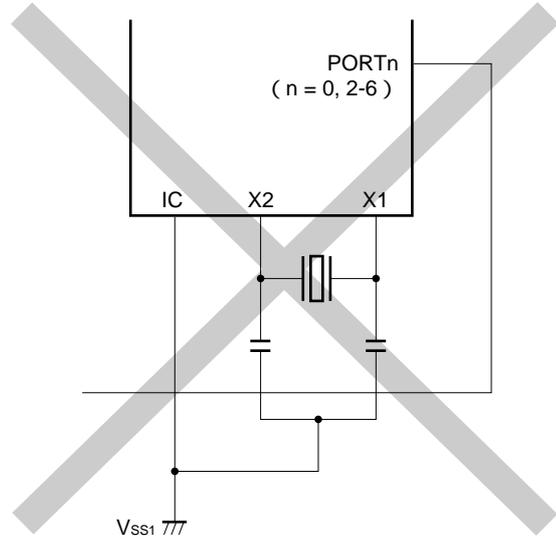
図5 - 4に発振子の接続の悪い例を示します。

図5-4 発振子の接続の悪い例 (1/2)

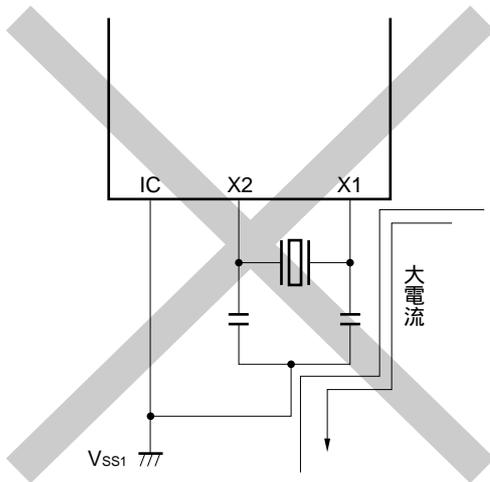
(a) 接続回路の配線が長い



(b) 信号線が交差している



(c) 変化する大電流が信号線に近接している



(d) 発振回路部のグラウンド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)

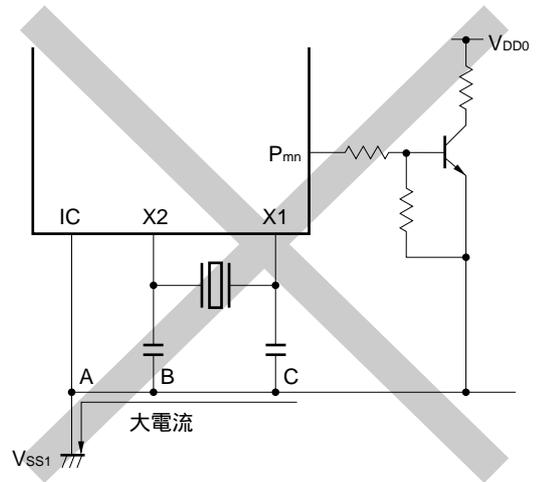
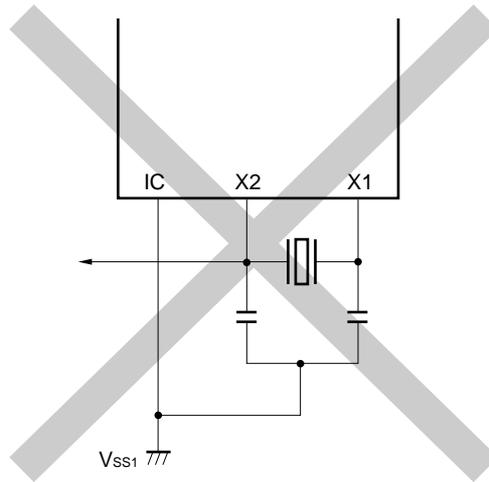


図5 - 4 発振子の接続の悪い例 (2/2)

(e) 信号を取り出している



5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・メイン・システム・クロック f_x
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ (PCC) により決定され、次のような機能、動作となります。

- (a) $\overline{\text{RESET}}$ 信号発生によりメイン・システム・クロックの最低速モード (6.4 μs : 5.0 MHz動作時) が選択されます (PCC = 04H)。なお、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力している間、メイン・システム・クロックの発振は停止します。
- (b) PCCの設定により5段階の最小命令実行時間 (0.4 μs , 0.8 μs , 1.6 μs , 3.2 μs , 6.4 μs : 5.0 MHz動作時) を選択できます。
- (c) STOPモード, HALTモードの2つのスタンバイ・モードが使用できます。
- (d) 周辺ハードウェアへのクロックはメイン・システム・クロックを分周して供給されます。このため、メイン・システム・クロックを停止させたときは周辺ハードウェアも停止します (ただし、外部からの入力クロック動作は除く)。

5.6 CPUクロックの設定の変更

5.6.1 CPUクロックの切り替えに要する時間

CPUクロックは、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット0-2（PCC0-PCC2）により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します（表5 - 3参照）。

表5 - 3 CPUクロックの切り替えに要する最大時間

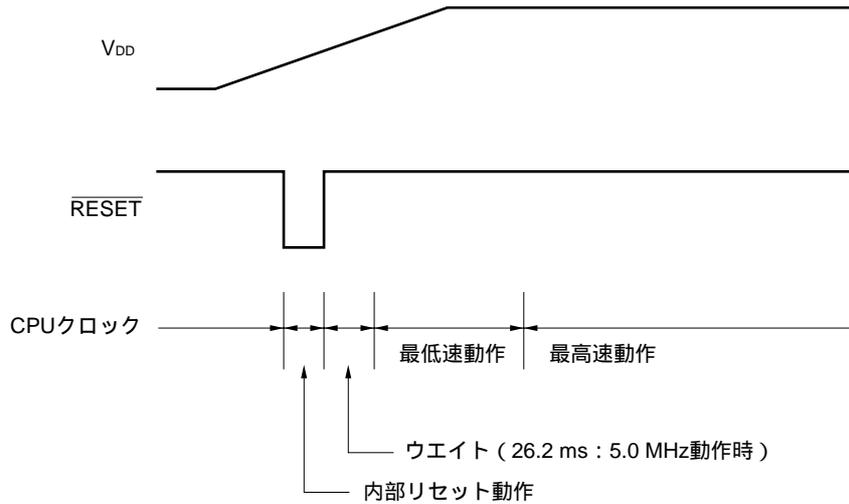
切り替え前の設定値			切り替え後の設定値														
PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0
			0	0	0	0	0	1	0	1	0	0	1	1	1	0	0
0	0	0	/			16命令			16命令			16命令			16命令		
0	0	1				8命令			8命令			8命令			8命令		
0	1	0				4命令			4命令			4命令			4命令		
0	1	1				2命令			2命令			2命令			2命令		
1	0	0				1命令			1命令			1命令			1命令		

備考 1命令は、切り替え前のCPUクロックの最小命令実行時間となります。

5.6.2 CPUクロックの切り替え手順

CPUクロックの切り替えについて説明します。

図5 - 5 CPUクロックの切り替え



電源投入後、 $\overline{\text{RESET}}$ 端子をロウ・レベルにすることでCPUにリセットがかかります。その後、 $\overline{\text{RESET}}$ 端子をハイ・レベルにするとリセットが解除され、メイン・システム・クロックが発振開始します。このとき、自動的に発振安定時間 ($2^{17}/f_x$) を確保します。

その後、CPUはメイン・システム・クロックの最低速 (6.4 μs : 5.0 MHz動作時) で命令の実行を開始します。

V_{DD} 電圧が最高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ (PCC) を書き換えて最高速動作を行います。

第6章 8ビット・リモコン・タイマ9

6.1 8ビット・リモコン・タイマ9の機能

8ビット・リモコン・タイマ9は、8ビット分解能のパルス幅測定機能を持っています。

タイマをフリーランニングで動作させ、有効エッジを検出したときのカウント値の差からパルス幅を測定します。

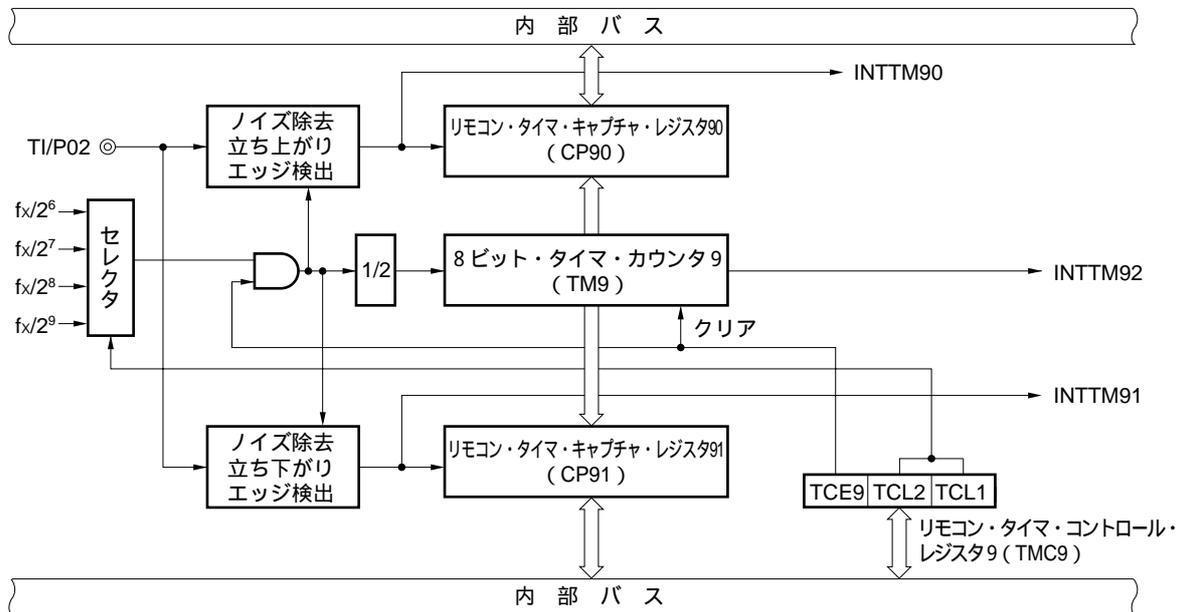
★ 6.2 8ビット・リモコン・タイマ9の構成

8ビット・リモコン・タイマ9は、次のハードウェアで構成されています。

表6-1 8ビット・リモコン・タイマ9の構成

項目	構成
タイマ/カウンタ	8ビット・タイマ・カウンタ9 (TM9)
レジスタ	リモコン・タイマ・キャプチャ・レジスタ: 2本 (CP90, CP91)
制御レジスタ	リモコン・タイマ・コントロール・レジスタ9 (TMC9)

図6-1 8ビット・リモコン・タイマ9のブロック図



(1) 8ビット・タイマ・カウンタ9 (TM9)

カウント・パルスをカウントする8ビットのレジスタです。

TM9は、 $\overline{\text{RESET}}$ 入力、またはTCE9ビットのクリアで00Hになります。

(2) リモコン・タイマ・キャプチャ・レジスタ90, 91 (CP90, CP91)

8ビット・タイマ・カウンタ9 (TM9) の内容をキャプチャする8ビットのレジスタです。

キャプチャ動作は、TI端子への有効エッジ入力 (キャプチャ・トリガ) に同期します。CP90の内容は、TI端子の次の立ち上がりエッジを検出するまで保持されます。CP91の内容は、TI端子の次の立ち下がりエッジを検出するまで保持されます。

CP90, CP91は、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

★ 6.3 8ビット・リモコン・タイマ9を制御するレジスタ

8ビット・リモコン・タイマ9は、リモコン・タイマ・コントロール・レジスタ9 (TMC9) で制御します。

(1) リモコン・タイマ・コントロール・レジスタ9 (TMC9)

8ビット・タイマ・カウンタ9 (TM9) の動作許可/禁止, カウント・クロックを設定するレジスタです。

TMC9は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図6-2 リモコン・タイマ・コントロール・レジスタ9のフォーマット

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC9	TCE9	0	0	0	0	0	TCL2	TCL1	FF62H	00H	R/W

TCE9	TM9のカウント動作制御
0	カウンタを0にクリア後、動作停止
1	カウント動作開始

TCL2	TCL1	カウント・クロックの選択
0	0	$f_x/2^9$ (9.8 kHz)
0	1	$f_x/2^8$ (19.5 kHz)
1	0	$f_x/2^7$ (39.1 kHz)
1	1	$f_x/2^6$ (78.1 kHz)

注意 ビット2-6には、必ず“0”を設定してください。

備考1 . f_x : メイン・システム・クロック発振周波数

2 . () 内は、 $f_x = 5.0$ MHz動作時。

6.4 8ビット・リモコン・タイマ9の動作

8ビット・リモコン・タイマ9は、パルス幅測定回路として動作します。

パルス幅測定は、TI端子に入力される外部パルスのハイ・レベルまたはロウ・レベルの幅を測定するものです。測定方法は、8ビット・タイマ・カウンタ9（TM9）をフリーランニングさせて測定します。

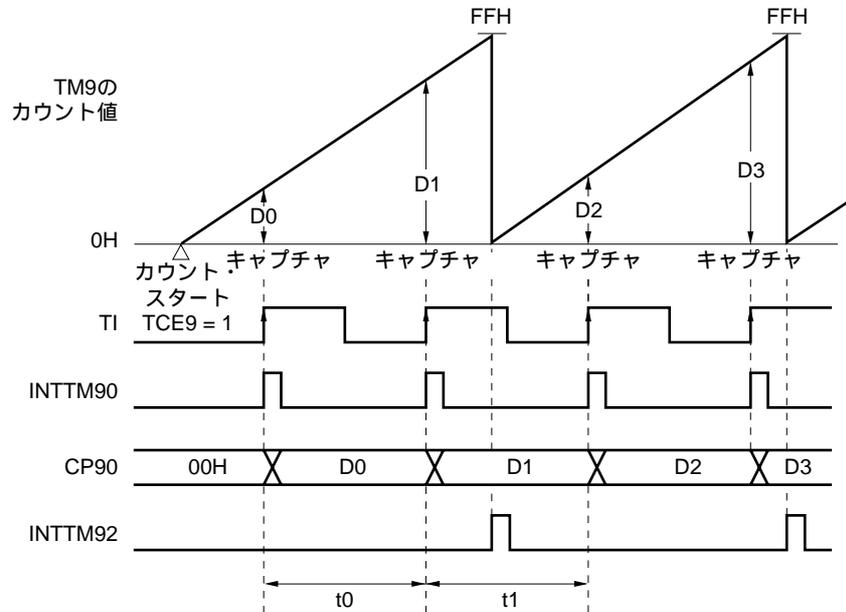
有効エッジの検出は、TCL1, TCL2で選択したカウント・クロックの2周期ごとにサンプリングを行い、2回有効レベルを検出することで始めてキャプチャ動作を行うため、短いパルス幅のノイズを検出できます。したがって、TI端子に入力するパルス幅は、ハイ・レベル、ロウ・レベルともTCL1, TCL2で設定したカウント・クロックの5クロック以上必要で、これ以下の場合には有効エッジが検出されず、キャプチャ動作を行いません。

図6-3に示すように、TI端子に入力されるパルスの有効エッジに同期して、カウント中の8ビット・タイマ・カウンタ9（TM9）の値をキャプチャ・レジスタ（CP90, CP91）に取り込み、保持します。

図6-3に、パルス幅測定のタイミングを示します。

図6-3 パルス幅測定のタイミング (1/2)

(1) 立ち上がりエッジに同期してパルス幅を測定する場合



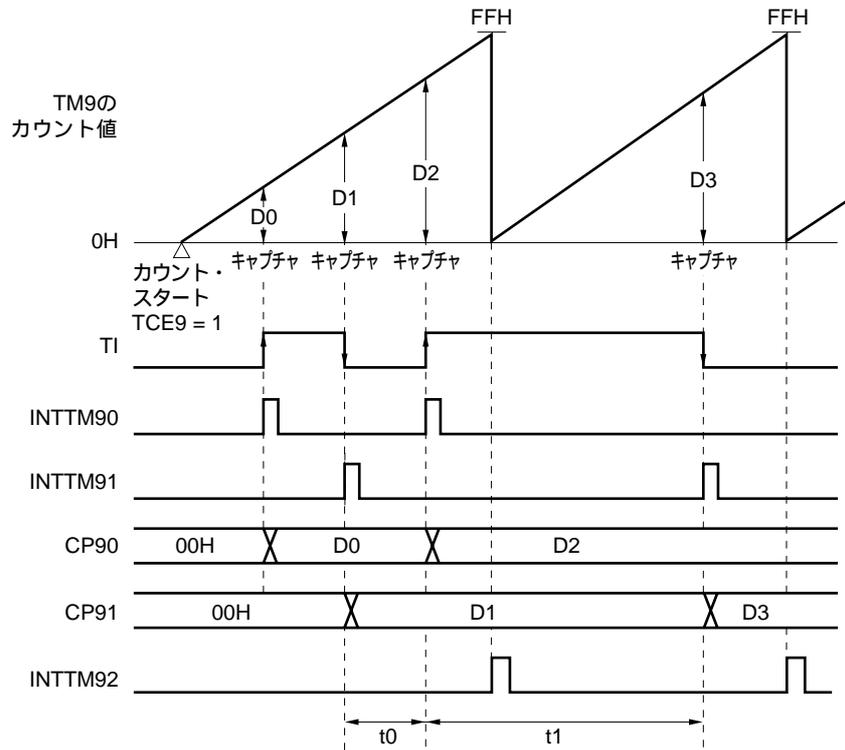
備考 $t_0 = (D1 - D0) \times 1/f_{COUNT}$

$t_1 = (100H - D1 + D2) \times 1/f_{COUNT}$

f_{COUNT} : TCL1, TCL2で設定したカウント・クロック周波数

図6-3 パルス幅測定のタイミング (2/2)

(2) 立ち上がり, 立ち下がり両エッジに同期してパルス幅を測定する場合



備考 $t_0 = (D_2 - D_1) \times 1/f_{\text{COUNT}}$

$t_1 = (100H - D_2 + D_3) \times 1/f_{\text{COUNT}}$

f_{COUNT} : TCL1, TCL2で設定したカウント・クロック周波数

第7章 8ビット・タイマ80, 81

7.1 8ビット・タイマ80, 81の機能

8ビット・タイマ80, 81は、インターバル・タイマの機能を持っています。インターバル・タイマは、あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生します。

7.2 8ビット・タイマ80, 81の構成

8ビット・タイマ80, 81は、次のハードウェアで構成しています。

表7-1 8ビット・タイマ80, 81の構成

項目	構成
タイマ/カウンタ	8ビット・タイマ・カウンタ8n (TM80, TM81)
レジスタ	8ビット・コンペア・レジスタ8n (CR80, CR81)
制御レジスタ	8ビット・タイマ・コントロール・レジスタ8n (TMC80, TMC81)

n = 0, 1

図7-1 8ビット・タイマ80のブロック図

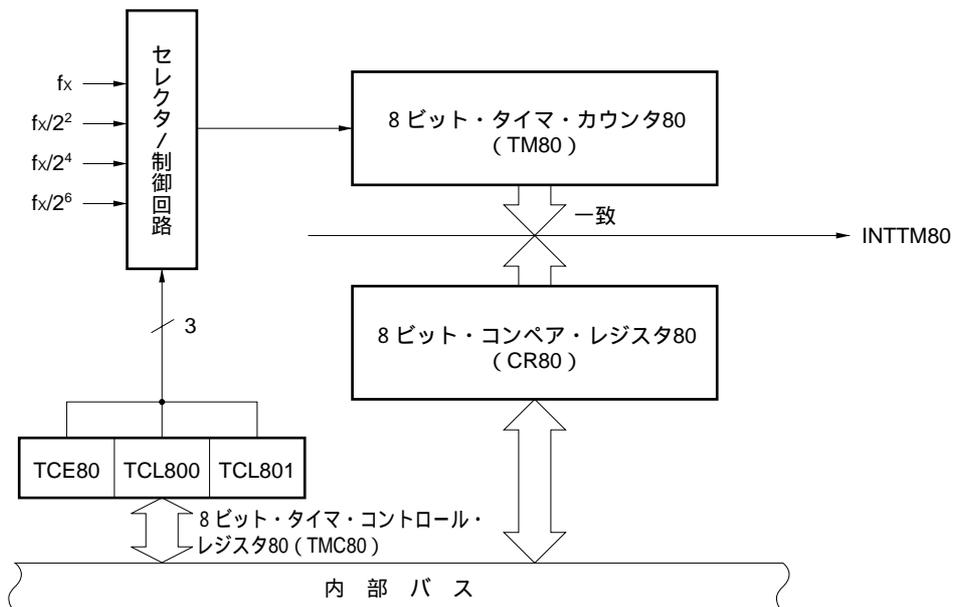
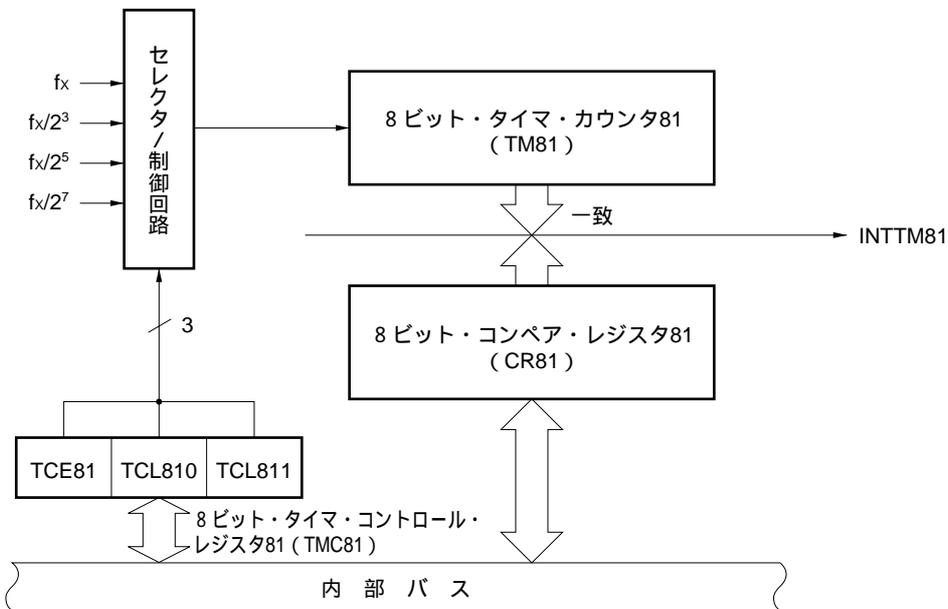


図7-2 8ビット・タイマ81のブロック図



(1) 8ビット・タイマ・カウンタ80, 81 (TM80, TM81)

カウント・パルスをカウントする8ビットのレジスタです。

$\overline{\text{RESET}}$ 入力により、それぞれ00Hになります。

(2) 8ビット・コンペア・レジスタ80, 81 (CR80, CR81)

CR80に設定した値と8ビット・タイマ・カウンタ80 (TM80) のカウント値, CR81に設定した値と8ビット・タイマ・カウンタ81 (TM81) のカウント値を常に比較し、一致したときにそれぞれ割り込み要求 (INTTM80, INTTM81) を発生する8ビットのレジスタです。

CR80, CR81は、8ビット・メモリ操作命令で、00H-FFHの範囲の値を設定できます。

$\overline{\text{RESET}}$ 入力により、それぞれ00Hになります。

注意 タイマ・カウント動作中は、CR80, CR81の値を書き換えしないでください。ただし、同じ値の書き込みは可能です。

7.3 8ビット・タイマ80, 81を制御するレジスタ

8ビット・タイマ80, 81は、8ビット・タイマ・コントロール・レジスタ8n (TMC8n) で制御します。

(1) 8ビット・タイマ・コントロール・レジスタ8n (TMC8n)

8ビット・タイマ・カウンタ8nの動作許可/停止, カウント・クロックの設定をするレジスタです。

TMC8nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

備考 n = 0, 1

図7-3 8ビット・タイマ・コントロール・レジスタ80のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
TMC80	TCE80	0	0	0	0	0	TCL800	TCL801	FF60H	00H	R/W

TCE80	TM80のカウンタ動作の制御
0	動作停止 (TM80は00Hにクリア)
1	動作許可

TCL800	TCL801	TM80のカウンタ・クロックの選択
0	0	f_x (5.0 MHz)
0	1	$f_x/2^2$ (1.25 MHz)
1	0	$f_x/2^4$ (313 kHz)
1	1	$f_x/2^6$ (78.1 kHz)

注意1 . TCL800, TCL801は、いったんタイマ動作を停止 (TCE80 = 0) させてから、設定してください。

2 . ビット2-6には、必ず“0”を設定してください。

備考1 . f_x : メイン・システム・クロック発振周波数

2 . ()内は、5.0 MHz動作時。

図7-4 8ビット・タイマ・コントロール・レジスタ81のフォーマット

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC81	TCE81	0	0	0	0	0	TCL810	TCL811	FF61H	00H	R/W

TCE81	TM81のカウンタ動作の制御
0	動作停止 (TM81は00Hにクリア)
1	動作許可

TCL810	TCL811	TM81のカウンタ・クロックの選択
0	0	$f_x/2$ (2.5 MHz)
0	1	$f_x/2^3$ (625 kHz)
1	0	$f_x/2^5$ (156 kHz)
1	1	$f_x/2^7$ (39.1 kHz)

注意1 . TCL810, TCL811は、いったんタイマ動作を停止 (TCE81 = 0) させてから、設定してください。

2 . ビット2-6には、必ず“0”を設定してください。

備考1 . f_x : メイン・システム・クロック発振周波数

2 . ()内は、5.0 MHz動作時。

7.4 8ビット・タイマ80, 81の動作

8ビット・コンペア・レジスタ8n (CR8n) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

8ビット・タイマ・カウンタ8n (TM8n) のカウント値がCR8nに設定した値と一致したとき、TM8nの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM8n) を発生します。

8ビット・タイマ・コントロール・レジスタ8n (TMC8n) のビット0, 1 (TCL8n0, TMC8n1) でTM8nのカウント・クロックを選択できます。

設定方法

タイマ・カウント動作を停止 (TCE8n = 0) してから、各レジスタの設定を行います。

- ・CR8n : コンペア値
- ・TMC8n : カウント・クロックの選択

TCE8n = 1を設定すると、タイマ・カウント動作を開始します。

TM8nとCR8nの値が一致すると、INTTM8nが発生します (TM8nは00Hにクリアされます)。

以後、同一間隔でINTTM8nが繰り返し発生します。タイマ・カウント動作を停止するときは、TCE8n = 0にしてください。

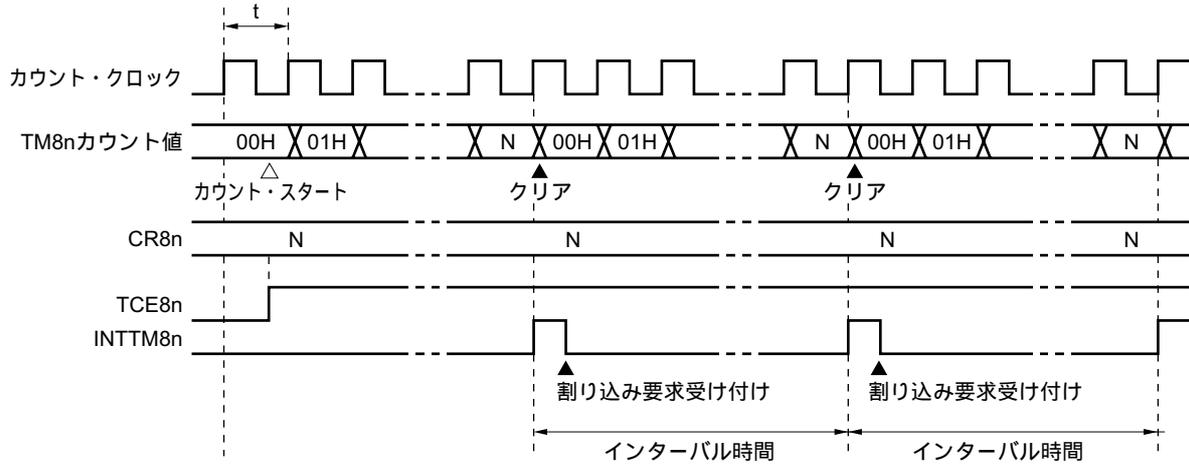
注意 タイマ・カウント動作中は、CR8nの値を書き換えないでください。
ただし、同じ値の書き込みは可能です。

備考 n = 0, 1

★

図7 - 5 インターバル・タイマ動作のタイミング (1/2)

(a) 基本動作

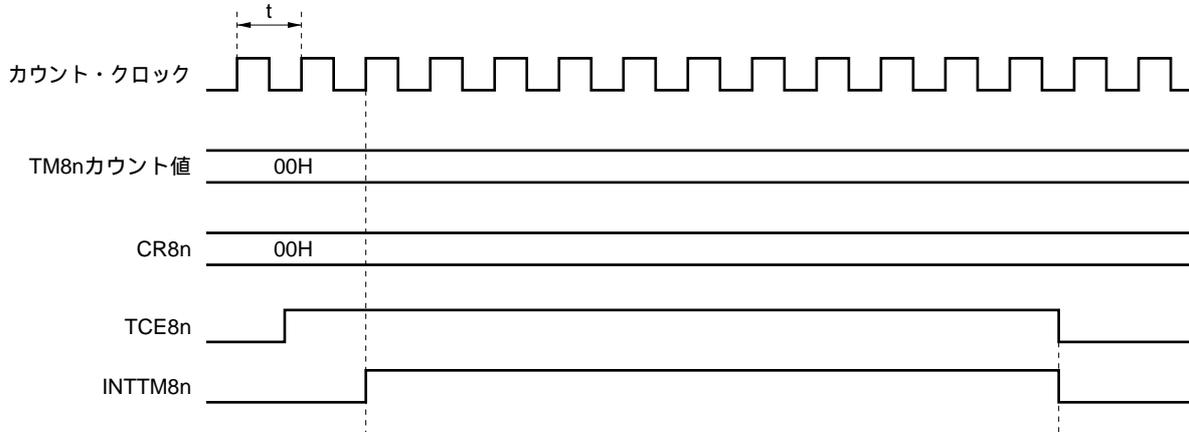


備考 n = 0, 1

★

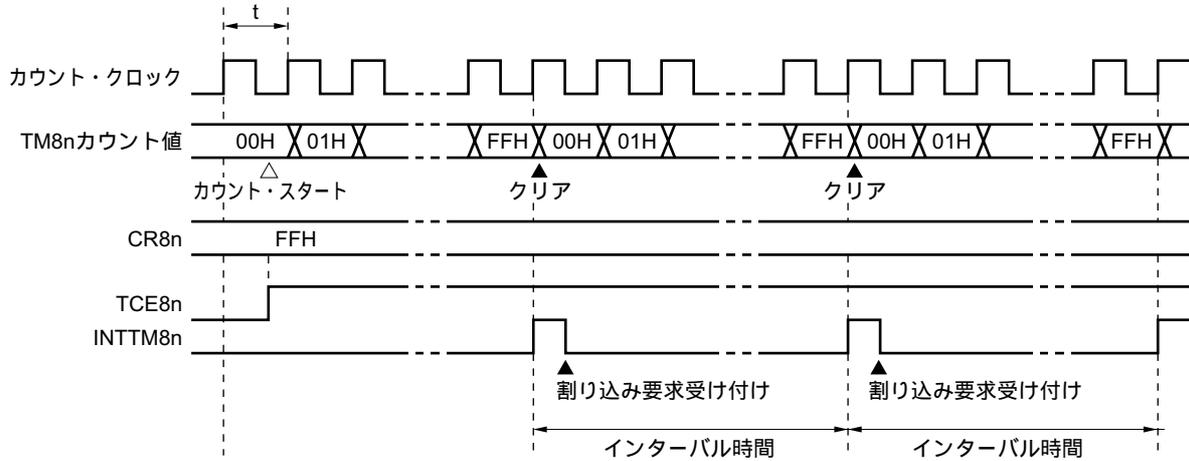
図7-5 インターバル・タイマ動作のタイミング (2/2)

(b) CR8n = 00Hの場合



注意 CR8nに00Hを設定した場合、INTTM8nはハイ・レベル固定となり、有効エッジは初回分しか出力されません。

(c) CR8n = FFHの場合



備考 n = 0, 1

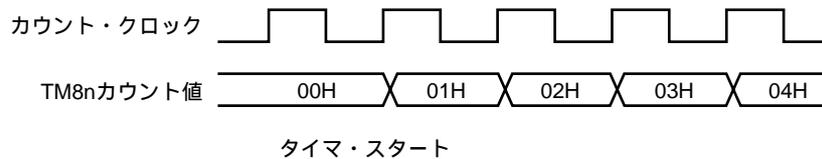
7.5 8ビット・タイマ80, 81の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・クロックに対して8ビット・タイマ・カウンタ8n (TM8n) のスタートが非同期で行われるためです。

★

図7-6 8ビット・タイマ・カウンタ8n (TM8n) のスタート・タイミング



(2) タイマ・カウント動作中の注意事項

(a) 8ビット・コンペア・レジスタ8n (CR8n)

タイマ・カウント動作中は、8ビット・コンペア・レジスタ8n (CR8n) の値を書き換えしないでください。ただし、同じ値の書き込みは可能です。

CR8nの値は、タイマ・カウント動作を停止 (TCE8n = 0) させてから、書き換えてください。

(b) 8ビット・タイマ・コントロール・レジスタ8n (TMC8n) のビット0, 1 (TCL8n0, TCL8n1)

タイマ・カウント動作中は、8ビット・タイマ・コントロール・レジスタ8n (TMC8n) のビット0, 1 (TCL8n0, TCL8n1) の書き込みはしないでください。

TCL8n0, TCL8n1は、タイマ・カウント動作を停止 (TCE8n = 0) させてから、設定してください。

備考 n = 0, 1

第8章 ウォッチドッグ・タイマ

8.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ
- ・発振安定時間の選択

★ **注意** ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください (ウォッチドッグ・タイマとインターバル・タイマは同時に使用できません)。

(1) ウォッチドッグ・タイマ・モード

プログラムの暴走を検出します。暴走検出時、ノンマスクابل割り込み要求またはRESETを発生できます。

表8 - 1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	$f_x = 5.0 \text{ MHz}$	暴走検出時間	$f_x = 5.0 \text{ MHz}$
$2^{12}/f_x$	819 μs	$2^{16}/f_x$	13.1 ms
$2^{13}/f_x$	1.64 ms	$2^{17}/f_x$	26.2 ms
$2^{14}/f_x$	3.28 ms	$2^{18}/f_x$	52.4 ms
$2^{15}/f_x$	6.55 ms	$2^{20}/f_x$	210 ms

f_x : メイン・システム・クロック発振周波数

(2) インターバル・タイマ・モード

あらかじめ設定した時間間隔で、割り込み要求を発生します。

表8 - 2 インターバル時間

インターバル時間	$f_x = 5.0 \text{ MHz}$	インターバル時間	$f_x = 5.0 \text{ MHz}$
$2^{12}/f_x$	819 μs	$2^{16}/f_x$	13.1 ms
$2^{13}/f_x$	1.64 ms	$2^{17}/f_x$	26.2 ms
$2^{14}/f_x$	3.28 ms	$2^{18}/f_x$	52.4 ms
$2^{15}/f_x$	6.55 ms	$2^{20}/f_x$	210 ms

f_x : メイン・システム・クロック発振周波数

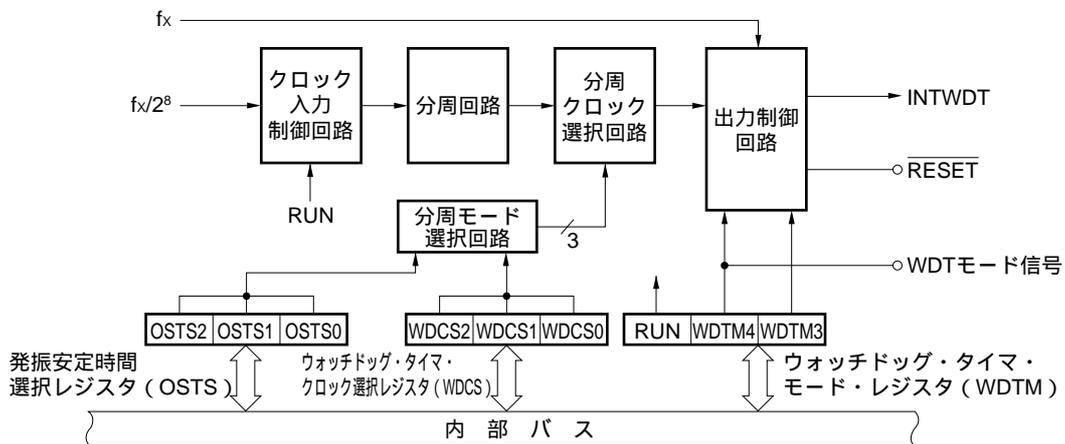
8.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表8-3 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	発振安定時間選択レジスタ (OSTS) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

図8-1 ウォッチドッグ・タイマのブロック図



8.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマを制御するレジスタには、次の3種類があります。

- ・発振安定時間選択レジスタ (OSTS)
- ・ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

(1) 発振安定時間選択レジスタ (OSTS)

リセット時またはSTOPモードを解除してから発振が安定するまでの発振安定時間を選択するレジスタです。

OSTSは、8ビット・メモリ操作命令で設定します。

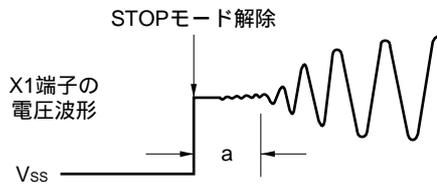
$\overline{\text{RESET}}$ 入力により、04Hになります。したがって、 $\overline{\text{RESET}}$ 入力でSTOPモードを解除するとき、解除までの時間は $2^{17}/f_x$ です。

図8-2 発振安定時間選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	FFFAH	04H	R/W

OSTS2	OSTS1	OSTS0	STOPモード解除時の発振安定時間の選択
0	0	0	$2^{12}/f_x$ (819 μ s)
0	0	1	$2^{14}/f_x$ (3.28 ms)
0	1	0	$2^{15}/f_x$ (6.55 ms)
0	1	1	$2^{16}/f_x$ (13.1 ms)
1	0	0	$2^{17}/f_x$ (26.2 ms)
上記以外			設定禁止

注意 STOPモード解除時のウェイト時間は、 $\overline{\text{RESET}}$ 入力による場合も、割り込み要求発生による場合もSTOPモード解除後クロック発振を開始するまでの時間(下図a)は含みません。



備考1 f_x : メイン・システム・クロック発振周波数

2. ()内は、 $f_x = 5.0$ MHz 動作時。

(2) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)

ウォッチドッグ・タイマおよびインターバル・タイマのオーバフロー時間を設定するレジスタです。
 WDCSは、8ビット・メモリ操作命令で設定します。
 RESET入力により、00Hになります。

図8 - 3 ウォッチドッグ・タイマ・クロック選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDCS	0	0	0	0	0	WDCS2	WDCS1	WDCS0	FF42H	00H	R/W

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマ/インターバル・タイマのオーバフロー時間
0	0	0	$2^{12}/f_x$ (819 μ s)
0	0	1	$2^{13}/f_x$ (1.64 ms)
0	1	0	$2^{14}/f_x$ (3.28 ms)
0	1	1	$2^{15}/f_x$ (6.55 ms)
1	0	0	$2^{16}/f_x$ (13.1 ms)
1	0	1	$2^{17}/f_x$ (26.2 ms)
1	1	0	$2^{18}/f_x$ (52.4 ms)
1	1	1	$2^{20}/f_x$ (210 ms)

★ **注意** ビット3-7には、必ず“0”を設定してください。

備考1 . f_x : メイン・システム・クロック発振周波数

2 . () 内は、 $f_x = 5.0$ MHz動作時。

(3) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード，カウント許可/禁止を設定するレジスタです。
 WDTMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により，00Hになります。

図8 - 4 ウォッチドッグ・タイマ・モード・レジスタのフォーマット

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	0	FFF9H	00H	R/W

RUN	ウォッチドッグ・タイマの動作の選択 ^{注1}
0	カウントの停止
1	カウンタをクリアし，カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 ^{注2}
0	x	インターバル・タイマ・モード ^{注3} (オーバーフロー発生時，マスカブル割り込み要求発生)
1	0	ウォッチドッグ・タイマ・モード1 (オーバーフロー発生時，ノンマスカブル割り込み要求発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバーフロー発生時，リセット動作を起動)

注1．RUNは，一度1にセットされると，ソフトウェアで0にクリアできません。したがって，カウントを開始すると， $\overline{\text{RESET}}$ 入力以外で停止させることはできません。

2．WDTM3, WDTM4は，一度1にセットされると，ソフトウェアで0にクリアできません。

3．RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

★ **注意** RUNに1をセットし，ウォッチドッグ・タイマをクリアしたとき，実際のオーバーフロー時間は，ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) で設定した時間より最大 $2^8/f_x$ 秒短くなります。

備考 x : don't care

8.4 ウォッチドッグ・タイマの動作

8.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット 4 (WDTM4) に 1 を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDSCS) のビット 0-2 (WDSCS0-WDSCS2) でウォッチドッグ・タイマの暴走検出時間間隔を選択できます。WDTMのビット 7 (RUN) に 1 を設定することにより、カウント動作を開始します。カウント動作を開始したあと、設定した暴走検出時間間隔内にRUNに再度 1 を設定すると、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

RUNに 1 がセットされず、暴走検出時間を越えてしまった場合は、WDTMのビット 3 (WDTM3) の値により、システム・リセットまたはノンマスカブル割り込み要求が発生します。

ウォッチドッグ・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを 1 に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP命令を実行してください。

★ **注意** 実際の暴走検出時間は、設定時間に対して最大 $2^8/f_x$ 秒短くなる場合があります。

表 8 - 4 ウォッチドッグ・タイマの暴走検出時間

WDSCS2	WDSCS1	WDSCS0	ウォッチドッグ・タイマの暴走検出時間
0	0	0	$2^{12}/f_x$ (819 μ s)
0	0	1	$2^{13}/f_x$ (1.64 ms)
0	1	0	$2^{14}/f_x$ (3.28 ms)
0	1	1	$2^{15}/f_x$ (6.55 ms)
1	0	0	$2^{16}/f_x$ (13.1 ms)
1	0	1	$2^{17}/f_x$ (26.2 ms)
1	1	0	$2^{18}/f_x$ (52.4 ms)
1	1	1	$2^{20}/f_x$ (210 ms)

備考 1 . f_x : メイン・システム・クロック発振周波数

2 . () 内は、 $f_x = 5.0$ MHz動作時。

8.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット 4 (WDTM4) に 0 を設定することにより、あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のビット 0-2 (WDCS0-WDCS2) でインターバル・タイマのインターバル時間を選択できます。WDTM のビット 7 (RUN) に 1 を設定することにより、インターバル・タイマとして動作を開始します。

- ★ インターバル・タイマとして動作しているとき、割り込みマスク・フラグ (WDTMK) と優先順位指定フラグ (WDTPR) が有効となり、マスカブル割り込み要求 (INTWDT) を発生させることができます。INTWDT のデフォルト優先順位は、マスカブル割り込みの中で最も高く設定されています。

インターバル・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、インターバル・タイマをクリアしたあと、STOP命令を実行してください。

注意 1 . 一度WDTMのビット 4 (WDTM4) に 1 を設定する (ウォッチドッグ・タイマ・モードを選択する) と、RESET入力されないかぎり、インターバル・タイマ・モードにはなりません。

- ★ **2 . WDTMで設定した直後のインターバル時間は、設定時間に対して最大 $2^8/f_x$ 秒短くなる場合があります。**

表 8 - 5 インターバル・タイマのインターバル時間

WDCS2	WDCS1	WDCS0	インターバル時間
0	0	0	$2^{12}/f_x$ (819 μ s)
0	0	1	$2^{13}/f_x$ (1.64 ms)
0	1	0	$2^{14}/f_x$ (3.28 ms)
0	1	1	$2^{15}/f_x$ (6.55 ms)
1	0	0	$2^{16}/f_x$ (13.1 ms)
1	0	1	$2^{17}/f_x$ (26.2 ms)
1	1	0	$2^{18}/f_x$ (52.4 ms)
1	1	1	$2^{20}/f_x$ (210 ms)

備考 1 . f_x : メイン・システム・クロック発振周波数

2 . () 内は、 $f_x = 5.0$ MHz動作時。

第9章 A/Dコンバータ

9.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換する8ビット分解能コンバータで、最大4チャンネル(ANI0-ANI3)のアナログ入力を制御できる構成になっています。

A/D変換動作の起動方法は、ソフトウェア・スタートのみです。

アナログ入力をANI0-ANI3から1チャンネル選択し、A/D変換を行ってください。A/D変換の動作は繰り返し行い、A/D変換を1回終了するたびに割り込み要求(INTAD)が発生されます。

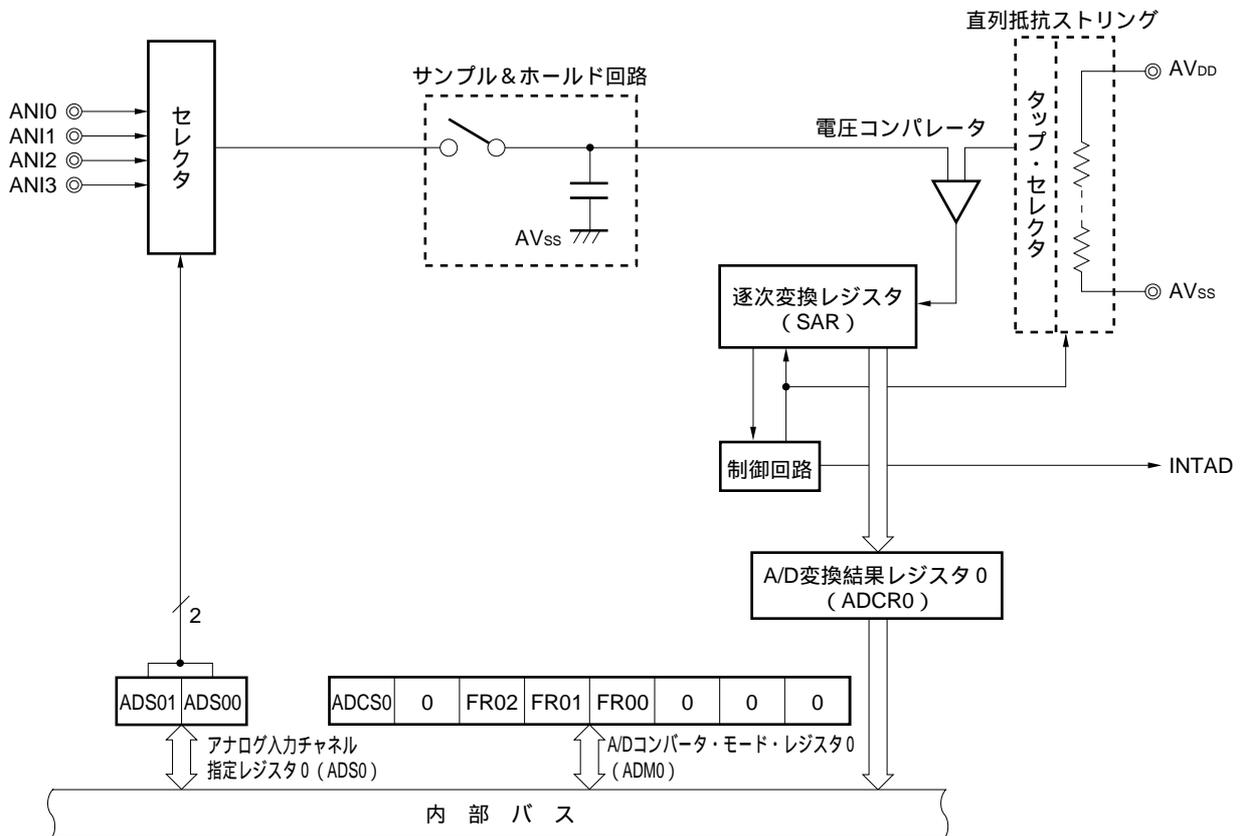
9.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

表9 - 1 A/Dコンバータの構成

項目	構成
アナログ入力	4チャンネル(ANI0-ANI3)
レジスタ	逐次変換レジスタ(SAR) A/D変換結果レジスタ0(ADCR0)
制御レジスタ	A/Dコンバータ・モード・レジスタ0(ADM0) アナログ入力チャンネル指定レジスタ0(ADS0)

図9 - 1 A/Dコンバータのブロック図



(1) 逐次変換レジスタ (SAR)

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ (比較電圧) の値を比較し、その結果を最上位ビット (MSB) から保持するレジスタです。

最下位ビット (LSB) まで保持すると (A/D変換終了), SARの内容はA/D変換結果レジスタ0 (ADCR0) に転送されます。

(2) A/D変換結果レジスタ0 (ADCR0)

A/D変換結果を保持します。A/D変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされます。

ADCR0は、8ビット・メモリ操作命令で読み出します。

RESET入力により、不定になります。

注意 A/Dコンバータ・モード・レジスタ0 (ADM0), アナログ入力チャネル指定レジスタ0 (ADS0) に対して書き込み動作を行ったとき、ADCR0の内容は不定になることがあります。変換結果は、変換動作終了後、ADM0, ADS0に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(3) サンプル&ホールド回路

- ★ サンプル&ホールド回路は、セレクトで選択されたアナログ入力端子の入力信号をA/D変換開始時にサンプリングし、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(4) 電圧コンパレータ

- ★ 電圧コンパレータは、サンプリングしたアナログ入力電圧と直列抵抗ストリングの出力電圧を比較します。

(5) 直列抵抗ストリング

直列抵抗ストリングは、 AV_{DD} - AV_{SS} 間に接続されており、アナログ入力と比較する電圧を発生します。

(6) ANI0-ANI3端子

A/Dコンバータへの4チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。

注意 1 . ANI0-ANI3入力電圧は規格の範囲内でご使用ください。特に AV_{DD} 以上、 AV_{SS} 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

- ★ 2 . A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(7) AV_{SS} 端子

- ★ A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常に V_{SS0} 端子または V_{SS1} 端子と同電位で使用してください。

(8) AV_{DD} 端子

- ★ A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常に V_{DD0} 端子または V_{DD1} 端子と同電位で使用してください。

スタンバイ・モード時には、変換動作停止（A/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS0）= 0）にすることにより、直列抵抗ストリングに流れる電流を低減できます。

注意 AV_{DD} 端子と AV_{SS} 端子の間には数十k の直列抵抗ストリングが接続されています。したがって、基準電圧源のインピーダンスが高い場合、 AV_{DD} 端子と AV_{SS} 端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

9.3 A/Dコンバータを制御するレジスタ

A/Dコンバータを制御するレジスタには、次の2種類があります。

- ・A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・アナログ入力チャンネル指定レジスタ0 (ADS0)

(1) A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

ADM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図9-2 A/Dコンバータ・モード・レジスタ0のフォーマット

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
★ ADM0	ADCS0	0	FR02	FR01	FR00	0	0	0	FF67H	00H	R/W

ADCS0	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

FR02	FR01	FR00	A/D変換時間の選択 ^{注1}	
			fx = 5.0 MHz動作時	fx = 4.19 MHz動作時
0	0	0	144/fx (28.8 μs)	144/fx (34.4 μs)
0	0	1	120/fx (24 μs)	120/fx (28.6 μs)
0	1	0	96/fx (19.2 μs)	96/fx (22.9 μs)
1	0	0	72/fx (14.4 μs)	72/fx (17.2 μs)
1	0	1	60/fx (設定禁止 ^{注2})	60/fx (14.3 μs)
1	1	0	48/fx (設定禁止 ^{注2})	48/fx (設定禁止 ^{注2})
上記以外			設定禁止	

注1 . A/D変換時間が14 μs以上になるように設定してください。

2 . A/D変換時間が14 μs未満となりますので、設定禁止です。

注意1 . ビット7 (ADCS0) をセット直後の変換結果は不定になります。

2 . FR00-FR02を同一データ以外に書き換える場合は、いったんA/D変換動作を停止させたのちに行ってください。

備考1 . fx : メイン・システム・クロック発振周波数

2 . () 内は、fx = 5.0 MHz動作時。

(2) アナログ入力チャンネル指定レジスタ0 (ADS0)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

★ ADS0は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図9 - 3 アナログ入力チャンネル指定レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
★ ADS0	0	0	0	0	0	0	ADS01	ADS00	FF68H	00H	R/W

ADS01	ADS00	アナログ入力チャンネルの指定
0	0	ANI0
0	1	ANI1
1	0	ANI2
1	1	ANI3
上記以外		設定禁止

注意 ビット2-7には、必ず“0”を設定してください。

9.4 A/Dコンバータの動作

9.4.1 A/Dコンバータの基本動作

A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ0 (ADS0) で1チャンネル選択してください。選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路がサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット7がセットされます。タップ・セレクタにより直列抵抗ストリングの電圧タップが $(1/2) AV_{DD}$ にされます。

直列抵抗ストリングの電圧タップとアナログ入力との電圧差が電圧コンパレータで比較されます。もし、アナログ入力 $(1/2) AV_{DD}$ よりも大きければ、SARのMSBはセットされたままです。また、 $(1/2) AV_{DD}$ よりも小さければMSBはリセットされます。

次にSARのビット6が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット7の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。

- ・ビット7 = 1 : $(3/4) AV_{DD}$
- ・ビット7 = 0 : $(1/4) AV_{DD}$

この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット6が次のように操作されます。

- ・アナログ入力電圧 \geq 電圧タップ : ビット6 = 1
- ・アナログ入力電圧 < 電圧タップ : ビット6 = 0

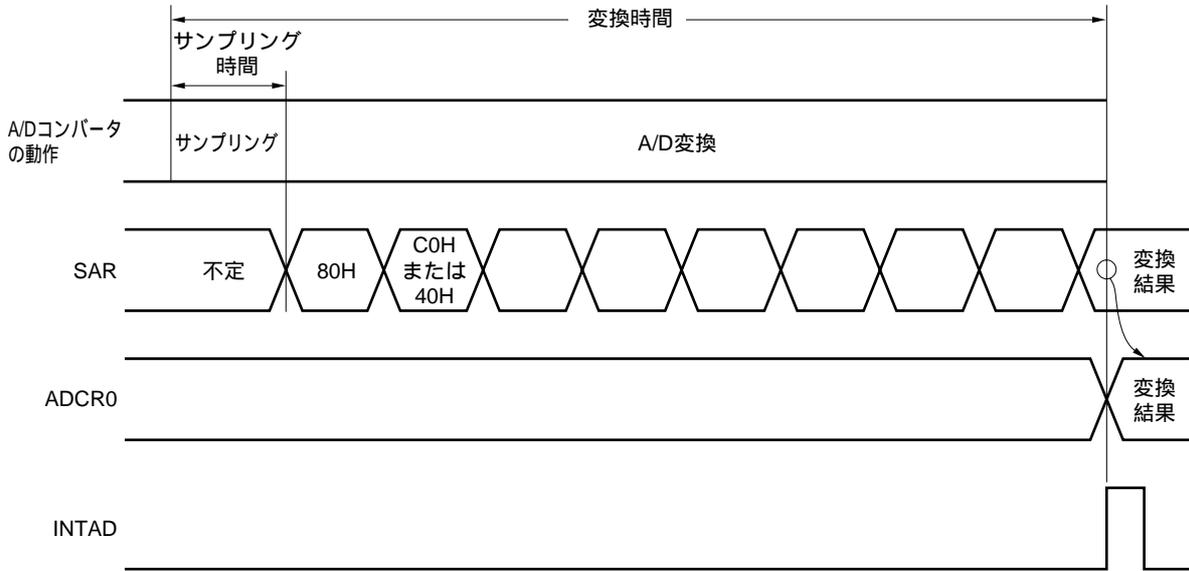
このような比較をSARのビット0まで続けます。

8ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ0 (ADCR0) に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます。

注意 A/D変換動作をスタートした直後の最初のA/D変換値は定格を満たさないことがあります。

図9 - 4 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、ADM0、アナログ入力チャネル指定レジスタ0 (ADS0) に対する書き込み操作を行うと変換動作は初期化され、ADCS0がセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ0 (ADCR0) は、 $\overline{\text{RESET}}$ により不定となります。

★ A/D変換終了は、A/D変換終了割り込み要求フラグ (ADIF) で確認してください。

9.4.2 入力電圧と変換結果

★ アナログ入力端子 (ANI0-ANI3) に入力されたアナログ入力電圧と理論上のA/D変換結果 (A/D変換結果レジスタ0 (ADCR0)) には次式に示す関係があります。

$$ADCR0 = \text{INT} \left(\frac{V_{IN}}{AV_{DD}} \times 256 + 0.5 \right)$$

または,

$$\left(ADCR0 - 0.5 \right) \times \frac{AV_{DD}}{256} < V_{IN} < \left(ADCR0 + 0.5 \right) \times \frac{AV_{DD}}{256}$$

INT () : () 内の値の整数部を返す関数

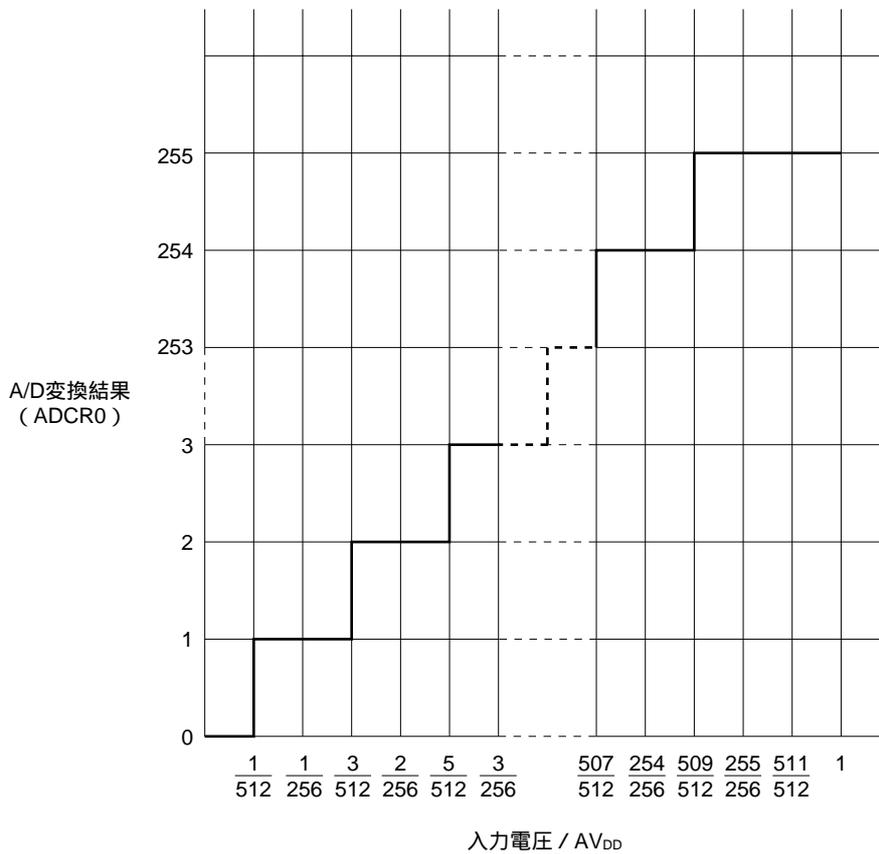
V_{IN} : アナログ入力電圧

AV_{DD} : A/Dコンバータの電源電圧入力

ADCR0 : A/D変換結果レジスタ0 (ADCR0) の値

図9 - 5 にアナログ入力電圧とA/D変換結果の関係を示します。

図9 - 5 アナログ入力電圧とA/D変換結果の関係



9.4.3 A/Dコンバータの動作モード

アナログ入力チャンネル指定レジスタ0 (ADS0) によってANI0-ANI3からアナログ入力を1チャンネル選択し、A/D変換を開始させてください。

- ★ A/D変換動作の起動方法は、ソフトウェア・スタート (A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) に1を設定することにより開始) のみです。

また、A/D変換結果は、A/D変換結果レジスタ0 (ADCR0) に格納され、同時に割り込み要求信号 (INTAD) が発生されます。

・ソフトウェア・スタートによるA/D変換動作

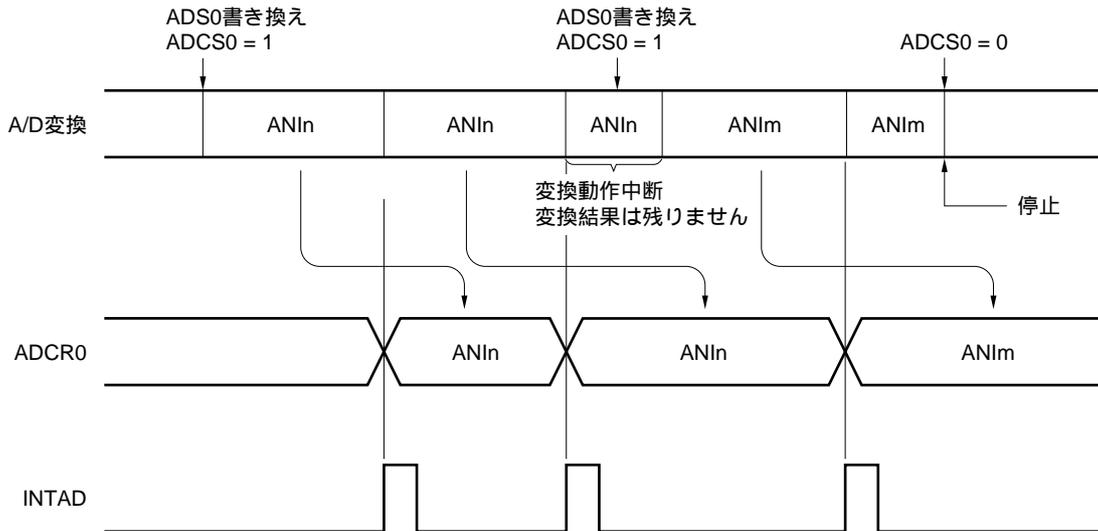
A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) に1を設定することにより、アナログ入力チャンネル指定レジスタ0 (ADS0) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ0 (ADCR0) に格納し、割り込み要求信号 (INTAD) を発生します。次のA/D変換動作が一度起動し、1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。新たなデータをADS0に書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に、ADS0を書き換えると、そのとき行っていたA/D変換動作を中断し、新たに選択したアナログ入力チャンネルのA/D変換動作を開始します。

また、A/D変換動作中にADCS0が0であるデータをADM0に書き込むと、ただちにA/D変換動作を停止します。

図9 - 6 ソフトウェア・スタートによるA/D変換動作



備考 n = 0-3

m = 0-3

★ 9.5 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧，つまり，デジタル出力 1 ビットあたりのアナログ入力電圧の比率を 1LSB (Least Significant Bit) といいます。1LSB のフルスケールに対する比率を %FSR (Full Scale Range) で表します。

分解能 8 ビット のとき

$$\begin{aligned} 1\text{LSB} &= 1/2^8 = 1/256 \\ &= 0.4\% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく，総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

なお，特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき，必然的に生じる $\pm 1/2\text{LSB}$ の誤差です。A/Dコンバータでは， $\pm 1/2\text{LSB}$ の範囲にあるアナログ入力電圧は，同じデジタル・コードに変換されるため，量子化誤差を避けることはできません。

なお，特性表の総合誤差には含まれていません。

図9 - 7 総合誤差

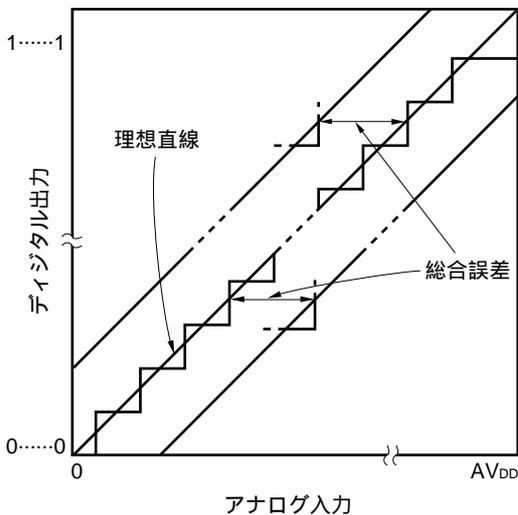
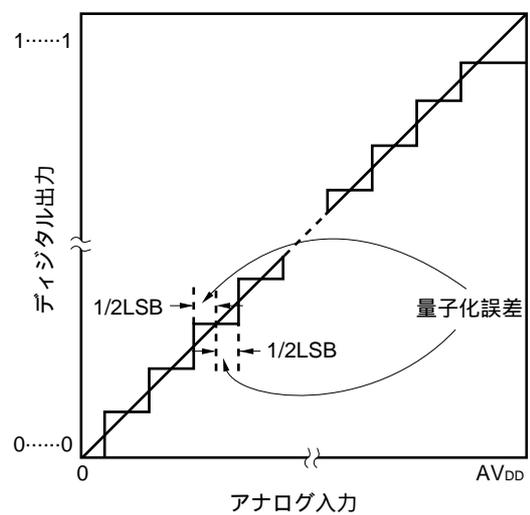


図9 - 8 量子化誤差

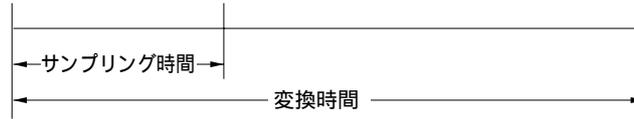


(4) 変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。
特性表の変換時間にはサンプリング時間が含まれています。

(5) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



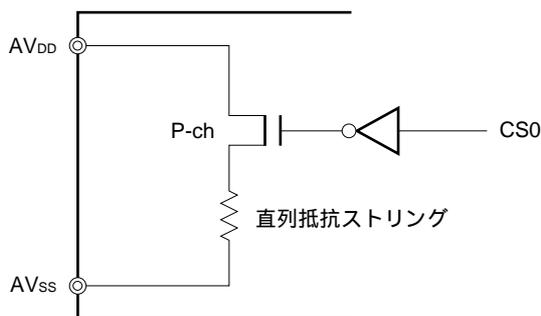
9.6 A/Dコンバータの注意事項

(1) スタンバイ・モード時の消費電流について

A/Dコンバータは、スタンバイ・モード時には動作が停止します。このときA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) を0にすることにより、消費電流を低減させることができます。

直列抵抗ストリングの回路構成を図9 - 9 に示します。

図9 - 9 直列抵抗ストリングの回路構成



(2) ANI0-ANI3入力範囲について

ANI0-ANI3入力電圧は規格の範囲内でご使用ください。特にAVDD以上、AVSS以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) 競合動作について

変換終了時のA/D変換結果レジスタ0 (ADCR0) ライトと命令によるADCR0リードとの競合
ADCR0リードが優先されます。リードしたあと、新しい変換結果がADCR0にライトされます。

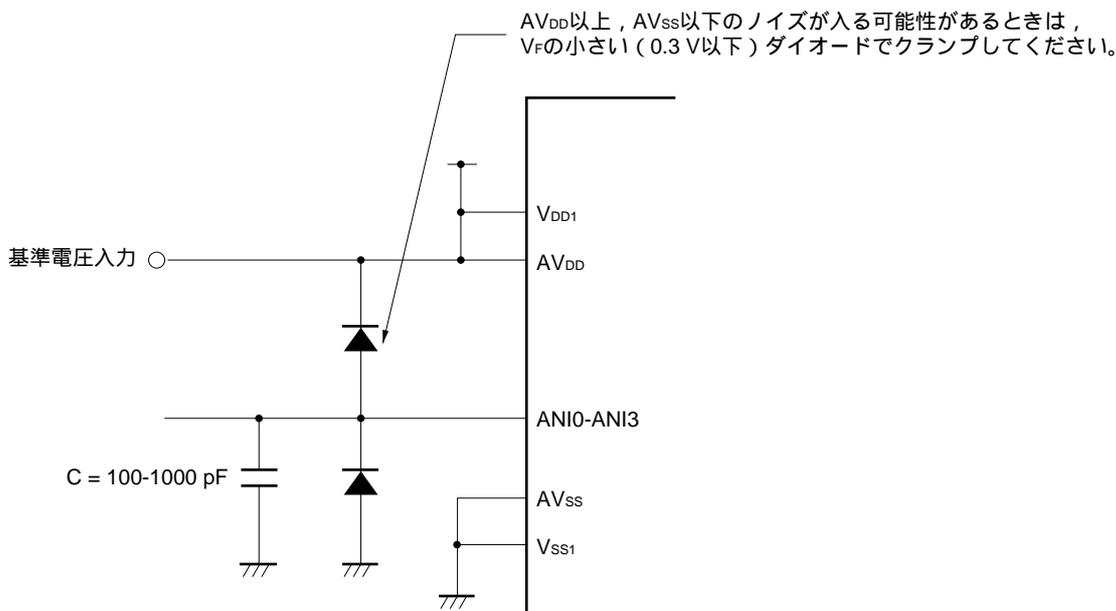
変換終了時のADCR0ライトとA/Dコンバータ・モード・レジスタ0 (ADM0) ライト、またはアナログ入力チャンネル指定レジスタ0 (ADS0) ライトの競合

ADM0またはADS0へのライトが優先されます。ADCR0へのライトはされません。また、変換終了割り込み要求信号 (INTAD) も発生しません。

(4) ノイズ対策について

8ビット分解能を保つためには、 AV_{DD} 、ANI0-ANI3端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図9-10のようにCを外付けすることを推奨します。

図9-10 アナログ入力端子の処理



(5) ANI0-ANI3

A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

★ (6) ANI0-ANI3端子の入力インピーダンスについて

このA/Dコンバータでは、変換時間の約1/10程度の間、内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスは変動して意味がありません。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを10k以下にするか、ANI0-ANI3端子に100 pF程度のコンデンサを付けることを推奨します(図9-10参照)。

(7) AV_{DD} 端子の入力インピーダンスについて

AV_{DD} 端子と AV_{SS} 端子の間には数十kの直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスが高い場合、 AV_{DD} 端子と AV_{SS} 端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

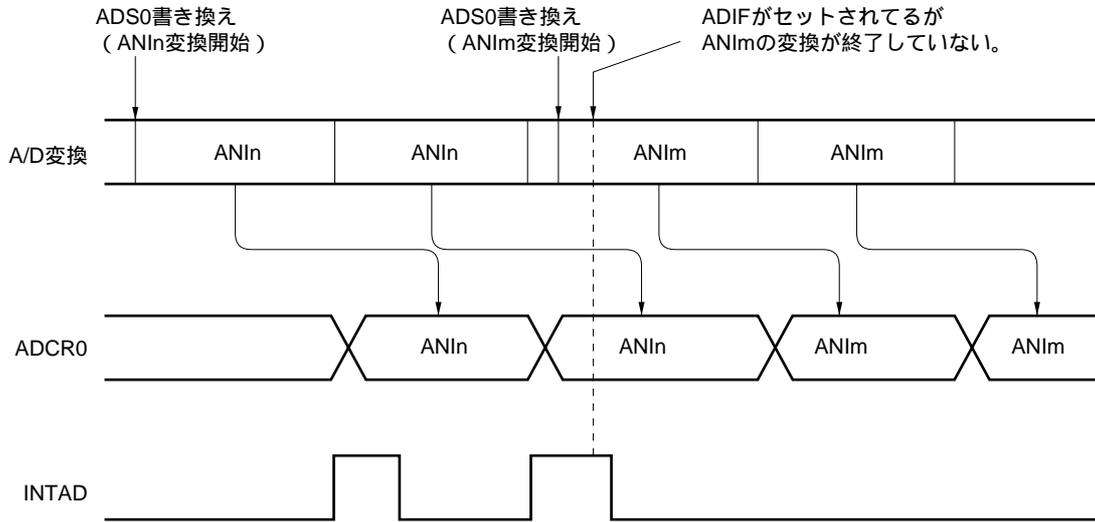
(8) 割り込み要求フラグ (ADIF) について

アナログ入力チャンネル指定レジスタ0 (ADS0) を変更しても割り込み要求フラグ (ADIF) はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS0書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があります。ADS0書き換え直後にADIFを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされている場合がありますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリアしてください。

図9 - 11 A/D変換終了割り込み要求発生タイミング



備考 n = 0-3

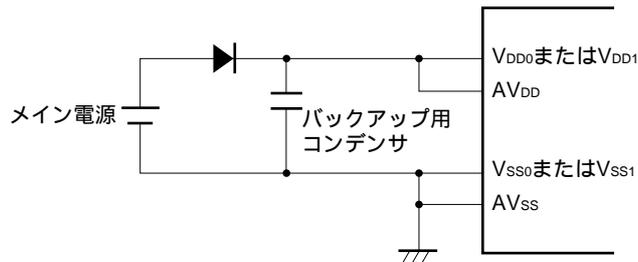
m = 0-3

(9) AV_{DD}端子について

AV_{DD}端子はアナログ回路の電源端子であり、ANI0-ANI3の入力回路にも電源を供給しています。

したがって、バックアップ電源に切り替えるようなアプリケーションにおいても、図9 - 12のように必ず

★ V_{DD0}端子またはV_{DD1}端子と同レベルの電位を印加してください。

図9 - 12 AV_{DD}端子の処理

(10) A/D変換スタート直後の変換結果について

A/D変換動作をスタートした直後の最初のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(11) A/D変換結果レジスタ0 (ADCR0) の読み出しについて

A/Dコンバータ・モード・レジスタ0 (ADM0)、アナログ入力チャネル指定レジスタ0 (ADS0) に対して書き込み動作を行ったとき、ADCR0の内容は不定になることがあります。変換結果は、変換動作終了後、ADM0、ADS0に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

★ (12) A/D変換結果が不定になるタイミング

A/D変換終了のタイミングとA/D変換動作を停止するタイミングが競合するとA/D変換値は不定になることがあります。そのため、A/D変換結果を読み出す場合は、A/D変換動作中に行ってください。またA/D変換動作を停止してから変換結果を読み出す場合は、次の変換結果が終了するまでにA/D変換動作を停止してから行ってください。

変換結果を読み出すタイミングを図9 - 13、図9 - 14に示します。

図9 - 13 変換結果を読み出すタイミング（変換結果が不定値の場合）

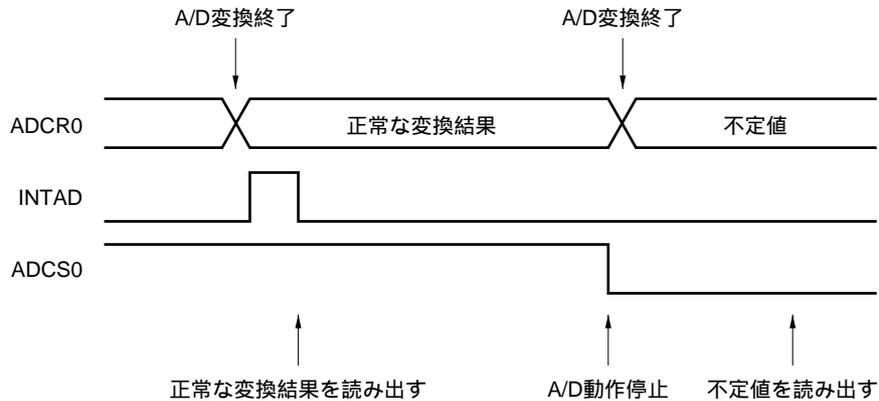
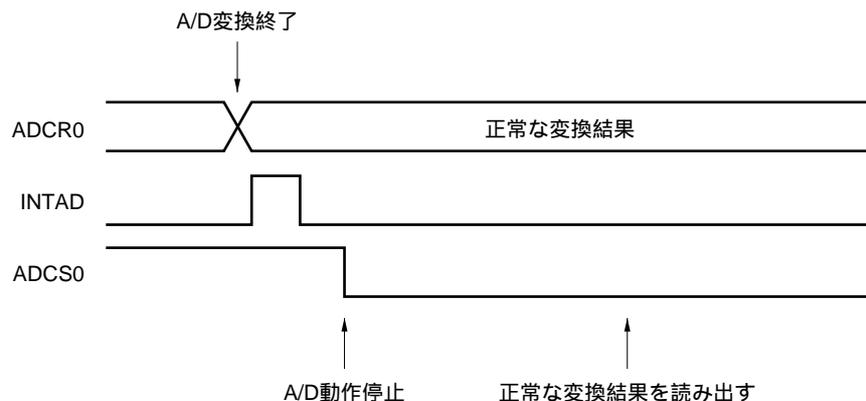


図9 - 14 変換結果を読み出すタイミング（変換結果が正常値の場合）



★ (13) ボード設計上の注意

ボード上でのデジタル回路ノイズの影響を避けるために、アナログ回路はデジタル回路とできるだけ離して配置してください。特にアナログ信号線とデジタル信号線を交差させたり近接させたりすることは極力避けてください。ノイズの誘導などによってA/D変換特性が悪化する恐れがあります。

AVSSとVSS0またはVSS1はボード上で安定しているところで1箇所、接続してください。

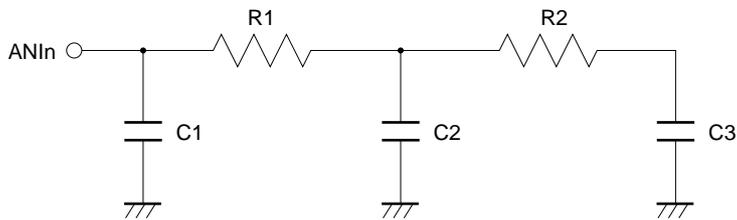
★ (14) ANI0-ANI3端子内部等価回路と許容信号源インピーダンス

サンプリング時間内にサンプリングを完了し、十分なA/D変換精度を得るにはセンサなどの信号源のインピーダンスが十分に低い必要があります。図9 - 15にANI0-ANI3端子のマイコン内部の等価回路を示します。

信号源のインピーダンスが高い場合には、ANI0-ANI3端子に大きな容量を接続することで見かけ上インピーダンスを低くすることができます。図9 - 16に回路例を示します。この場合にはロウ・パス・フィルタを構成しますので、微分係数の大きなアナログ信号には追従できなくなります。

高速なアナログ信号を変換する場合やスキャン・モードで変換する場合にはロウ・インピーダンスのバッファを挿入してください。

図9 - 15 ANI0-ANI3端子内部等価回路



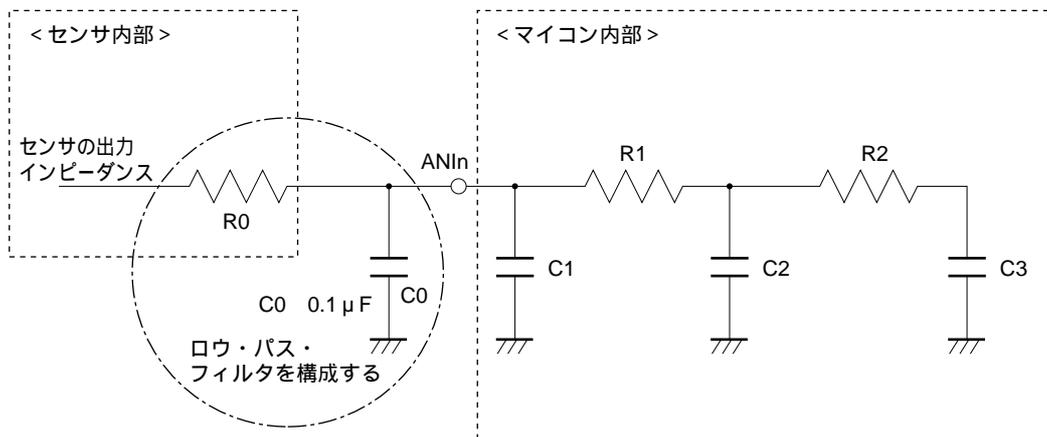
備考 n = 0-3

表9 - 2 等価回路の各抵抗と容量値 (参考値)

AV _{DD}	R1	R2	C1	C2	C3
4.5 V	4 k	2.7 k	8 pF	1.4 pF	2 pF

注意 表9 - 2の各抵抗と容量値は保証値ではありません。

図9 - 16 信号源インピーダンスが高い場合の回路例



備考 n = 0-3

第10章 シリアル・インタフェースSIO1

10.1 シリアル・インタフェースSIO1の機能

シリアル・インタフェースSIO1は、次の3種類のモードがあります。

- ・動作停止モード
- ・3線式シリアル・モード
- ・自動送受信機能付き3線式シリアル・モード

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。詳細については10.4.1 **動作停止モード**を参照してください。

(2) 3線式シリアル・モード (MSB/LSB先頭切り替え可能)

シリアル・クロック($\overline{SCK1}$)、シリアル出力(SO1)、シリアル入力(SI1)の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアル・モードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続ができます。

3線式シリアル・モードは、クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに有効です。詳細については10.4.2 **3線式シリアル・モード**を参照してください。

(3) 自動送受信機能付き3線式シリアル・モード (MSB/LSB先頭切り替え可能)

(2)3線式シリアル・モードと同じ機能に、自動送受信機能を付加したモードです。

自動送受信機能は、最大32バイトのデータを送受信する機能です。この機能によって、CPUとは独立にOSD(On Screen Display)用のデバイスや表示コントローラ/ドライバを内蔵したデバイスへのデータ送受信がハードウェアで行えますので、ソフトウェアの負担を軽減できます。詳細については10.4.3 **自動送受信機能付き3線式シリアル・モード**を参照してください。

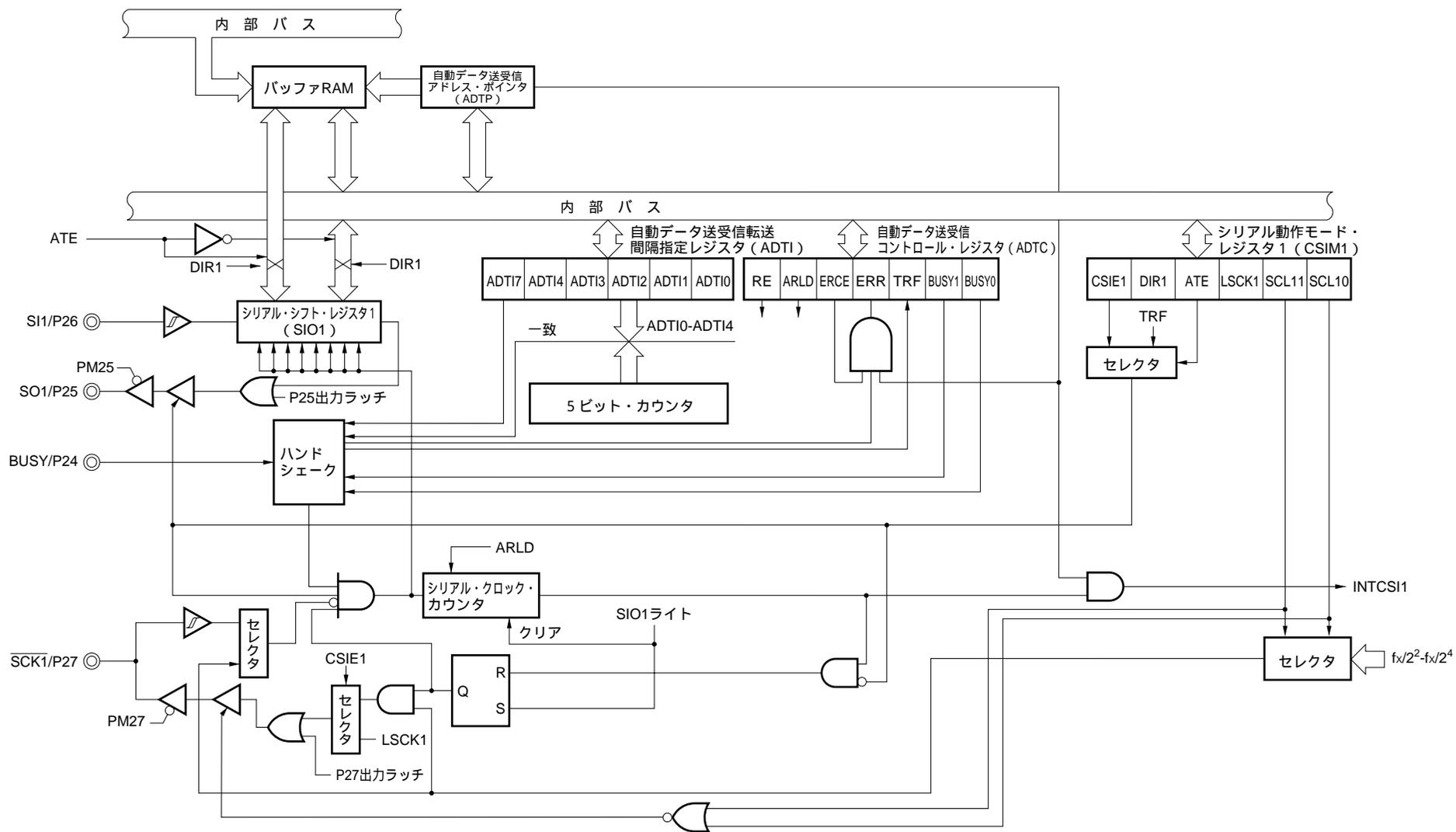
10.2 シリアル・インタフェースSIO1の構成

シリアル・インタフェースSIO1は、次のハードウェアで構成しています。

表10 - 1 シリアル・インタフェースSIO1の構成

項 目	構 成
レジスタ	シリアル・シフト・レジスタ 1(SIO1) 自動データ送受信アドレス・ポインタ(ADTP)
制御レジスタ	シリアル動作モード・レジスタ 1(CSIM1) 自動データ送受信コントロール・レジスタ(ADTC) 自動データ送受信転送間隔指定レジスタ(ADTI)

図10 - 1 シリアル・インタフェースSIO1のブロック図



(1) シリアル・シフト・レジスタ 1(SIO1)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信(シフト動作)を行う8ビット・レジスタです。

SIO1は、8ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタ 1(CSIM1)のビット 7(CSIE1)が1のとき、SIO1にデータを書き込むことにより開始されます。

送信時は、SIO1に書き込まれたデータが、シリアル出力(SO1)に出力されます。受信時は、データがシリアル入力(SI1)からSIO1に読み込まれます。

RESET入力により、00Hになります。

注意 自動送受信機能が動作しているとき、SIO1にデータを書き込まないでください。

(2) 自動データ送受信アドレス・ポインタ(ADTP)

自動送受信機能動作時、(送信データ・バイト数 - 1)の値を格納するレジスタです。データ送受信に伴い、自動的にデクリメントされます。

ADTPは、8ビット・メモリ操作命令で設定します。このとき、上位3ビットには、0を設定してください。

RESET入力により、不定になります。

注意 自動送受信機能が動作しているとき、ADTPにデータを書き込まないでください。

(3) シリアル・クロック・カウンタ

送受信動作時に出力されるシリアル・クロック、および入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

10.3 シリアル・インタフェースSIO1を制御するレジスタ

シリアル・インタフェースSIO1を制御するレジスタには、次の3種類があります。

- ・シリアル動作モード・レジスタ1(CSIM1)
- ・自動データ送受信コントロール・レジスタ(ADTC)
- ・自動データ送受信転送間隔指定レジスタ(ADTI)

(1) シリアル動作モード・レジスタ1(CSIM1)

シリアル・インタフェースSIO1の動作の許可/停止, シリアル転送データの先頭ビット, 自動送受信動作の許可/停止, $\overline{\text{SCK1}}$ 端子のチップ・イネーブル制御, シリアル・クロックを設定するレジスタです。

CSIM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 3線式シリアル・モード時, ポート・モード・レジスタ(PM $\times\times$)を次のように設定してください。また, 出力ラッチはそれぞれ0に設定してください。

シリアル・クロック設定

- ・シリアル・クロック出力時(マスタ送信またはマスタ受信)
P27($\overline{\text{SCK1}}$)を出力モード(PM27=0)に設定
- ・シリアル・クロック入力時(スレーブ送信またはスレーブ受信)
P27を入力モード(PM27=1)に設定

動作モード設定

- ・送信/送受信モード時
P25(SO1)を出力モード(PM25=0)に設定
P26(SI1)を入力モード(PM26=1)に設定
- ・受信モード時
P26(SI1)を入力モード(PM26=1)に設定

★

図10 - 2 シリアル動作モード・レジスタ 1(CSIM1)のフォーマット

略号	6	4	3	2	1	0	アドレス	リセット時	R/W		
CSIM1	CSIE1	DIR1	ATE	LCK1	0	0	SCL11	SCL10	FF63H	00H	R/W

CSIE1	シリアル・インタフェースSIO1の動作許可 / 停止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート ^{注1}
0	動作停止	クリア	ポート機能
1	動作許可	カウンタ動作許可	シリアル機能 + ポート機能

DIR1	シリアル転送データの先頭ビットの指定
0	MSB
1	LSB

ATE	シリアル・インタフェースSIO1の動作モードの選択
0	3線式シリアル・モード
1	自動送受信機能付き3線式シリアル・モード

LCK1	SCK1端子のチップ・イネーブル制御
0	CSIE1 = 0のとき, $\overline{\text{SCK1}}$ はポート機能 (P27) として使用可能 CSIE1 = 1のとき, $\overline{\text{SCK1}}$ はクロック出力
1	CSIE1 = 0のとき, $\overline{\text{SCK1}}$ はハイ・レベル出力固定 CSIE1 = 1のとき, $\overline{\text{SCK1}}$ はクロック出力

SCL11	SCL10	シリアル・インタフェースSIO1のシリアル・クロックの選択
0	0	$\overline{\text{SCK1}}$ 端子への外部クロック入力 ^{注2}
0	1	$f_x/2^2$ (1.25 MHz)
1	0	$f_x/2^3$ (625 kHz)
1	1	$f_x/2^4$ (313 kHz)

注1 . CSIE1 = 0 (SIO1動作停止状態) のときは, SI1, SO1, $\overline{\text{SCK1}}$, BUSY端子は, ポート機能として使用できません。

2 . SCL11, SCL10を0, 0にして外部クロック入力を選択したとき, 自動データ送受信コントロール・レジスタ (ADTC) のビット1 (BUSY1) を0に設定してください。

備考1 . f_x : メイン・システム・クロック発振周波数

2 . ()内は, $f_x = 5.0$ MHz動作時。

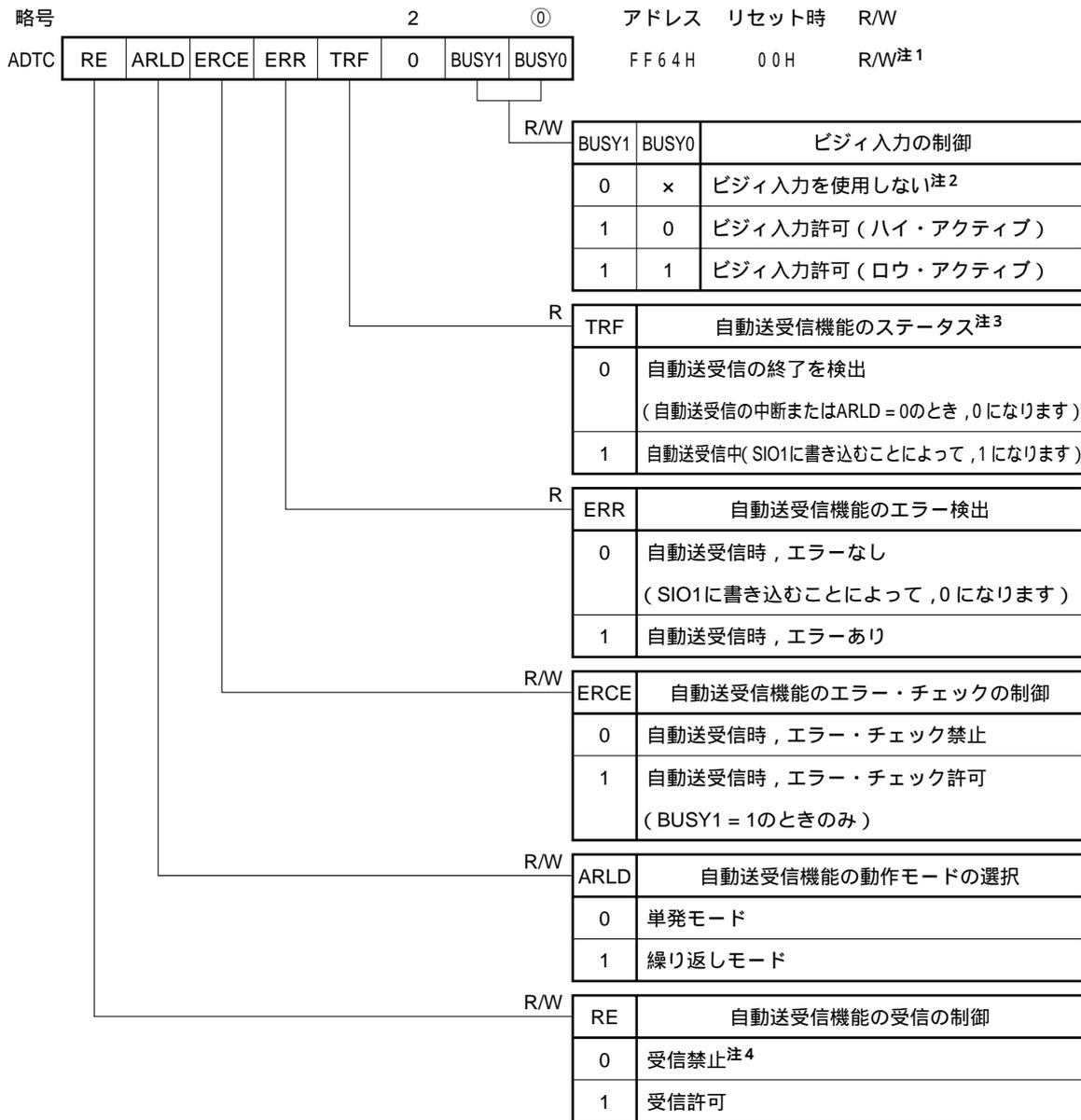
(2) 自動データ送受信コントロール・レジスタ(ADTC)

自動送受信の受信の許可 / 禁止，動作モード，ビジー入力の許可 / 禁止の設定と自動送受信の実行を表示するレジスタです。

ADTCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図10 - 3 自動データ送受信コントロール・レジスタ(ADTC)のフォーマット



注1 . ビット 3, 4(TRF, ERR)は, Read Onlyです。

2 . BUSY1に 0 を設定しているとき, シリアル動作モード・レジスタ 1(CSIM1)のビット 7(CSIE1)に 1 を設定していても, P24(CMOS入出力)になります。

3 . 割り込みが受け付けられた場合, 割り込み要求フラグのCSIF1はクリアされてしまうので, 自動送受信の終了判定はCSIF1ではなくTRFで行ってください。

4 . REに 0 を設定しているとき, CSIM1のビット 7(CSIE1)に 1 を設定していても, P26(CMOS入出力)になります。

★ **注意** CSIM1のビット 1, 0 (SCL11, SCL10)を 0 にして外部クロック入力を選択したとき, ADTCのビット 1 (BUSY1)を 0 に設定してください (外部クロックを入力したとき, ハンドシェイク制御を行うことができません)。

備考 x : don't care

(3) 自動データ送受信転送間隔指定レジスタ(ADTI)

自動送受信機能のデータ転送のインターバル時間を設定するレジスタです。

ADTIは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図10 - 4 自動データ送受信転送間隔指定レジスタ(ADTI)のフォーマット(1/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADTI	ADTI7	0	0	ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	FF65H	00H	R/W

ADTI7	データ転送のインターバル時間の制御
0	ADTIによるインターバル時間の制御なし ^{注1}
1	ADTI(ADTI0-ADTI4)によるインターバル時間の制御あり

ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	データ転送のインターバル時間の指定($f_x = 5.0 \text{ MHz}$, $f_{sck} = 1.25 \text{ MHz}$ 時) ^{注2}	n
0	0	0	0	0	$1.60 \mu\text{s} + 0.5/f_{sck}$	0
0	0	0	0	1		1
0	0	0	1	0	$2.40 \mu\text{s} + 0.5/f_{sck}$	2
0	0	0	1	1	$3.20 \mu\text{s} + 0.5/f_{sck}$	3
0	0	1	0	0	$4.00 \mu\text{s} + 0.5/f_{sck}$	4
0	0	1	0	1	$4.80 \mu\text{s} + 0.5/f_{sck}$	5
0	0	1	1	0	$5.60 \mu\text{s} + 0.5/f_{sck}$	6
0	0	1	1	1	$6.40 \mu\text{s} + 0.5/f_{sck}$	7
0	1	0	0	0	$7.20 \mu\text{s} + 0.5/f_{sck}$	8
0	1	0	0	1	$8.00 \mu\text{s} + 0.5/f_{sck}$	9
0	1	0	1	0	$8.80 \mu\text{s} + 0.5/f_{sck}$	10
0	1	0	1	1	$9.60 \mu\text{s} + 0.5/f_{sck}$	11
0	1	1	0	0	$10.4 \mu\text{s} + 0.5/f_{sck}$	12
0	1	1	0	1	$11.2 \mu\text{s} + 0.5/f_{sck}$	13
0	1	1	1	0	$12.0 \mu\text{s} + 0.5/f_{sck}$	14
0	1	1	1	1	$12.8 \mu\text{s} + 0.5/f_{sck}$	15

注1．インターバル時間は、 $2/f_{\text{SCK}}$ になります。

2．データ転送のインターバル時間は次の式により求められます(n : ADTI0-ADTI4に設定した値)。

$n = 0$ の場合

$$\text{インターバル時間} = \frac{2}{f_{\text{SCK}}} + \frac{0.5}{f_{\text{SCK}}}$$

$n = 1 \sim 31$ の場合

$$\text{インターバル時間} = \frac{n + 1}{f_{\text{SCK}}} + \frac{0.5}{f_{\text{SCK}}}$$

注意1．自動送受信機能動作中は、ADTIへの書き込みを行わないでください。

2．ビット5, 6には、必ず0を設定してください。

3．ADTIを使用して自動送受信によるデータ転送のインターバル時間を制御する場合、ビジー制御(10.4.3 (4) a) ビジー制御オプション参照)は無効になります。

備考 f_x : メイン・システム・クロック発振周波数

f_{SCK} : シリアル・クロック周波数

図10 - 4 自動データ送受信転送間隔指定レジスタ(ADTI)のフォーマット(2/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADTI	ADTI7	0	0	ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	FF65H	00H	R/W

ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	データ転送のインターバル時間の指定($f_x = 5.0 \text{ MHz}$, $f_{\text{SCK}} = 1.25 \text{ MHz}$ 時 ^注)	n
1	0	0	0	0	$13.6 \mu\text{s} + 0.5/f_{\text{SCK}}$	16
1	0	0	0	1	$14.4 \mu\text{s} + 0.5/f_{\text{SCK}}$	17
1	0	0	1	0	$15.2 \mu\text{s} + 0.5/f_{\text{SCK}}$	18
1	0	0	1	1	$16.0 \mu\text{s} + 0.5/f_{\text{SCK}}$	19
1	0	1	0	0	$16.8 \mu\text{s} + 0.5/f_{\text{SCK}}$	20
1	0	1	0	1	$17.6 \mu\text{s} + 0.5/f_{\text{SCK}}$	21
1	0	1	1	0	$18.4 \mu\text{s} + 0.5/f_{\text{SCK}}$	22
1	0	1	1	1	$19.2 \mu\text{s} + 0.5/f_{\text{SCK}}$	23
1	1	0	0	0	$20.0 \mu\text{s} + 0.5/f_{\text{SCK}}$	24
1	1	0	0	1	$20.8 \mu\text{s} + 0.5/f_{\text{SCK}}$	25
1	1	0	1	0	$21.6 \mu\text{s} + 0.5/f_{\text{SCK}}$	26
1	1	0	1	1	$22.4 \mu\text{s} + 0.5/f_{\text{SCK}}$	27
1	1	1	0	0	$23.2 \mu\text{s} + 0.5/f_{\text{SCK}}$	28
1	1	1	0	1	$24.0 \mu\text{s} + 0.5/f_{\text{SCK}}$	29
1	1	1	1	0	$24.8 \mu\text{s} + 0.5/f_{\text{SCK}}$	30
1	1	1	1	1	$25.6 \mu\text{s} + 0.5/f_{\text{SCK}}$	31

注 データ転送のインターバル時間は次の式により求められます(n : ADTI0-ADTI4に設定した値)。

n = 0の場合

$$\text{インターバル時間} = \frac{2}{f_{\text{SCK}}} + \frac{0.5}{f_{\text{SCK}}}$$

n = 1 ~ 31の場合

$$\text{インターバル時間} = \frac{n + 1}{f_{\text{SCK}}} + \frac{0.5}{f_{\text{SCK}}}$$

注意 1 . 自動送受信機能動作中は、ADTIへの書き込みを行わないでください。

2 . ビット 5, 6 には、必ず 0 を設定してください。

3 . ADTIを使用して自動送受信によるデータ転送のインターバル時間を制御する場合、ビジィ制御(10.4.3(4)(a) ビジィ制御オプション参照)は無効になります。

備考 f_x : メイン・システム・クロック発振周波数

f_{SCK} : シリアル・クロック周波数

10.4 シリアル・インタフェースSIO1の動作

シリアル・インタフェースSIO1の動作モードには、次の3種類があります。

- ・動作停止モード
- ・3線式シリアル・モード
- ・自動送受信機能付き3線式シリアル・モード

10.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。また、シリアル・シフト・レジスタ1(SIO1)もシフト動作を行いませんので、通常の8ビット・レジスタとして使用できます。

また、動作停止モードでは、SI1, SO1, $\overline{\text{SCK1}}$, BUSY端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ1(CSIM1)で行います。

CSIM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	6	4	3	2	1	0	アドレス	リセット時	R/W		
CSIM1	CSIE1	DIR1	ATE	LSCK1	0	0	SCL11	SCL10	FF63H	00H	R/W

CSIE1	シリアル・インタフェースSIO1の動作許可/停止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート注
0	動作停止	クリア	ポート機能

注 CSIE1 = 0 (SIO1動作停止状態)のときは、SI1, SO1, $\overline{\text{SCK1}}$, BUSY端子は、ポート機能として使用できません。

10.4.2 3線式シリアル・モード

3線式シリアル・モードは、クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに有効です。

シリアル・クロック($\overline{\text{SCK1}}$), シリアル出力(SO1), シリアル入力(SI1)の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアル・モードの設定は、シリアル動作モード・レジスタ1(CSIM1)で行います。

CSIM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 3線式シリアル・モード時、ポート・モード・レジスタ(PM \times \times)を次のように設定してください。また、出力ラッチはそれぞれ0に設定してください。

シリアル・クロック設定

- ・シリアル・クロック出力時(マスタ送信またはマスタ受信)

P27($\overline{\text{SCK1}}$)を出力モード(PM27 = 0)に設定

- ・シリアル・クロック入力時(スレーブ送信またはスレーブ受信)

P27を入力モード(PM27 = 1)に設定

動作モード設定

- ・送信/送受信モード時

P25(SO1)を出力モード(PM25 = 0)に設定

P26(SI1)を入力モード(PM26 = 1)に設定

- ・受信モード時

P26(SI1)を入力モード(PM26 = 1)に設定

★

略号	6	4	3	2	1	0	アドレス	リセット時	R/W		
CSIM1	CSIE1	DIR1	ATE	LCK1	0	0	SCL11	SCL10	FF63H	00H	R/W

CSIE1	シリアル・インタフェースSIO1の動作許可/停止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート ^{注1}
0	動作停止	クリア	ポート機能
1	動作許可	カウンタ動作許可	シリアル機能 + ポート機能

DIR1	先頭ビット
0	MSB
1	LSB

ATE	シリアル・インタフェースSIO1の動作モードの選択
0	3線式シリアル・モード
1	自動送受信機能付き3線式シリアル・モード

LCK1	$\overline{SCK1}$ 端子のチップ・イネーブル制御
0	CSIE1 = 0のとき, $\overline{SCK1}$ はポート機能 (P27) として使用可能 CSIE1 = 1のとき, $\overline{SCK1}$ はクロック出力
1	CSIE1 = 0のとき, $\overline{SCK1}$ はハイ・レベル出力固定 CSIE1 = 1のとき, $\overline{SCK1}$ はクロック出力

SCL11	SCL10	シリアル・インタフェースSIO1のシリアル・クロックの選択
0	0	$\overline{SCK1}$ 端子への外部クロック入力 ^{注2}
0	1	$f_x/2^2$ (1.25 MHz)
1	0	$f_x/2^3$ (625 kHz)
1	1	$f_x/2^4$ (313 kHz)

注1 . CSIE1 = 0 (SIO1動作停止状態) のときは, SI1, SO1, $\overline{SCK1}$, BUSY端子は, ポート機能として使用できません。

2 . SCL11, SCL10を0, 0にして外部クロック入力を選択したとき, 自動データ送受信コントロール・レジスタ(ADTC)のビット1 (BUSY1)を0に設定してください。

備考1 . f_x : メイン・システム・クロック発振周波数

2 . ()内は, $f_x = 5.0$ MHz動作時。

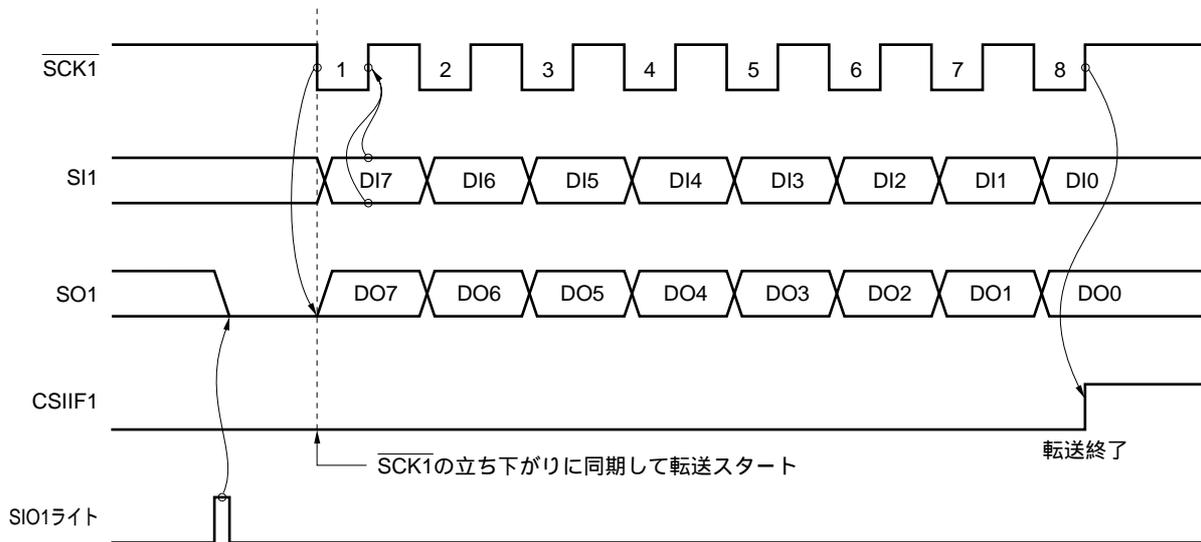
(2) 通信動作

3線式シリアル・モードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアル・シフト・レジスタ1(SIO1)のシフト動作は、シリアル・クロック($\overline{SCK1}$)の立ち下がりに同期して行われます。そして、送信データがSO1ラッチに保持され、SO1端子から出力されます。また、 $\overline{SCK1}$ の立ち上がりで、SI1端子に入力された受信データがSIO1にラッチされます。

8ビット転送終了により、SIO1の動作は自動的に停止し、割り込み要求フラグ(CSIF1)がセットされます。

図10-5 3線式シリアル・モードのタイミング



注意 SIO1ライトにより、SO1端子はロウ・レベルになります。

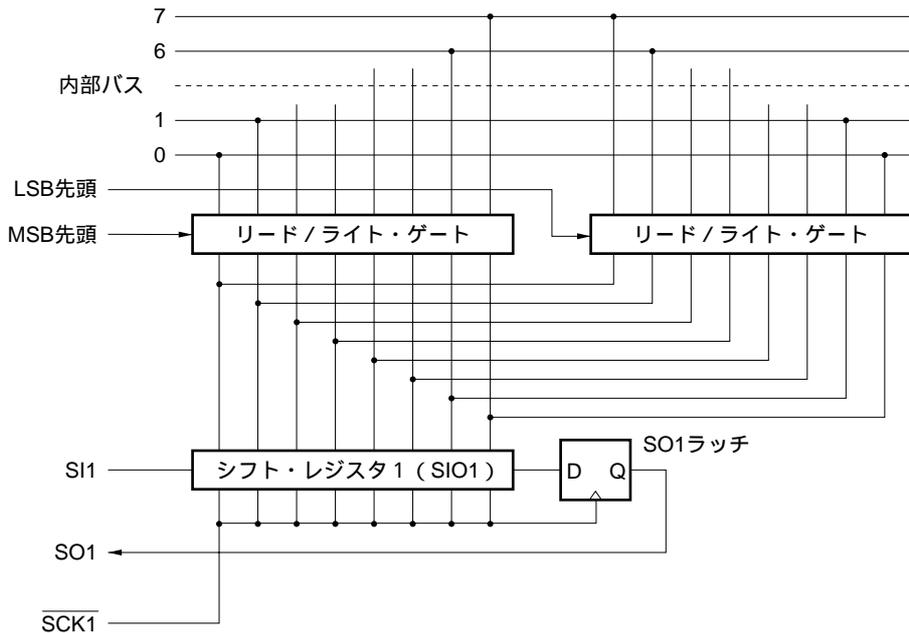
(3) MSB/LSB先頭の切り替え

3線式シリアル・モードは、転送がMSB先頭か、LSB先頭かを選択できる機能を持っています。

図10 - 6 にシリアル・シフト・レジスタ 1 (SIO1), および内部バスの構成を示します。図に示すように MSB/LSBを反転して読み出し / 書き込みを行うことができます。

MSB/LSB先頭切り替えは、シリアル動作モード・レジスタ 1 (CSIM1) のビット 6 (DIR1) により指定できます。

図10 - 6 転送ビット順切り替え回路



先頭ビットの切り替えは、SIO1へのデータ書き込みのビット順を切り替えることによって実現させています。SIO1のシフト順は常に同じです。

したがって、MSB/LSBの先頭ビットの切り替えは、シフト・レジスタにデータを書き込む前に行ってください。

(4) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアル・シフト・レジスタ 1 (SIO1) に転送データをセットすることで開始します。

シリアル・インタフェースSIO1の動作の制御ビット(シリアル動作モード・レジスタ 1 (CSIM1) のビット 7 (CSIE1)) = 1

8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはSCK1がハイ・レベルの状態

注意 SIO1にデータを書き込んだあと、CSIE1を“1”にしても、転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (CSIF1) をセットします。

10.4.3 自動送受信機能付き3線式シリアル・モード

最大32バイトのデータを、ソフトウェアの介在なしに送受信を行う3線式シリアル・モードです。転送を開始させると、あらかじめRAMに格納しておいたデータを設定したバイト数だけ送信させたり、設定したバイト数だけデータを受信しRAMに格納させることができます。

また、連続してデータを送受信するために、ハードウェアによるハンドシェイク信号(BUSY)をサポートしており、OSD(On Screen Display)用LSIやLCDコントローラ/ドライバなどの周辺LSIとの接続が容易に実現できます。

(1) レジスタの設定

自動送受信機能付き3線式シリアル・モードの設定は、シリアル動作モード・レジスタ1(CSIM1)と自動データ送受信コントロール・レジスタ(ADTC)、自動データ送受信転送間隔指定レジスタ(ADTI)で行います。

(a) シリアル動作モード・レジスタ1(CSIM1)

CSIM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	6	4	3	2	1	0	アドレス	リセット時	R/W		
CSIM1	CSIE1	DIR1	ATE	LCK1	0	0	SCL11	SCL10	FF63H	00H	R/W

CSIE1	シリアル・インタフェースSIO1の動作許可/停止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート ^{注1}
0	動作停止	クリア	ポート機能
1	動作許可	カウンタ動作許可	シリアル機能 + ポート機能

DIR1	先頭ビット
0	MSB
1	LSB

ATE	シリアル・インタフェースSIO1の動作モードの選択
0	3線式シリアル・モード
1	自動送受信機能付き3線式シリアル・モード

LCK1	SCK1端子のチップ・イネーブル制御
0	CSIE1 = 0のとき、 $\overline{\text{SCK1}}$ はポート機能(P27)として使用可能 CSIE1 = 1のとき、 $\overline{\text{SCK1}}$ はクロック出力
1	CSIE1 = 0のとき、 $\overline{\text{SCK1}}$ はハイ・レベル出力固定 CSIE1 = 1のとき、 $\overline{\text{SCK1}}$ はクロック出力

SCL11	SCL10	シリアル・インタフェースSIO1のシリアル・クロックの選択
0	0	$\overline{\text{SCK1}}$ 端子への外部クロック入力 ^{注2}
0	1	$f_x/2^2$ (1.25 MHz)
1	0	$f_x/2^3$ (625 kHz)
1	1	$f_x/2^4$ (313 kHz)

注1 . CSIE1 = 0 (SIO1動作停止状態)のときは、SI1, SO1, $\overline{\text{SCK1}}$, BUSY端子は、ポート機能として使用できます。

2 . SCL11, SCL10を0, 0にして外部クロック入力を選択したとき、自動データ送受信コントロール・レジスタ(ADTC)のビット1(BUSY1)を0に設定してください。

備考1 . f_x : メイン・システム・クロック発振周波数

2 . ()内は、 $f_x = 5.0$ MHz動作時。

(b) 自動データ送受信コントロール・レジスタ(ADTC)

ADTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

(c) 自動データ送受信転送間隔指定レジスタ(ADTI)

自動送受信機能のデータ転送のインターバル時間を設定するレジスタです。

ADTIは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADTI	ADTI7	0	0	ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	FF65H	00H	R/W

ADTI7	データ転送のインターバル時間の制御
0	ADTIによるインターバル時間の制御なし ^{注1}
1	ADTI(ADTI0-ADTI4)によるインターバル時間の制御あり

ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	データ転送のインターバル時間の指定($f_x = 5.0 \text{ MHz}$, $f_{sck} = 1.25 \text{ MHz}$ 時) ^{注2}	n
0	0	0	0	0	$1.60 \mu\text{s} + 0.5/f_{sck}$	0
0	0	0	0	1		1
0	0	0	1	0	$2.40 \mu\text{s} + 0.5/f_{sck}$	2
0	0	0	1	1	$3.20 \mu\text{s} + 0.5/f_{sck}$	3
0	0	1	0	0	$4.00 \mu\text{s} + 0.5/f_{sck}$	4
0	0	1	0	1	$4.80 \mu\text{s} + 0.5/f_{sck}$	5
0	0	1	1	0	$5.60 \mu\text{s} + 0.5/f_{sck}$	6
0	0	1	1	1	$6.40 \mu\text{s} + 0.5/f_{sck}$	7
0	1	0	0	0	$7.20 \mu\text{s} + 0.5/f_{sck}$	8
0	1	0	0	1	$8.00 \mu\text{s} + 0.5/f_{sck}$	9
0	1	0	1	0	$8.80 \mu\text{s} + 0.5/f_{sck}$	10
0	1	0	1	1	$9.60 \mu\text{s} + 0.5/f_{sck}$	11
0	1	1	0	0	$10.4 \mu\text{s} + 0.5/f_{sck}$	12
0	1	1	0	1	$11.2 \mu\text{s} + 0.5/f_{sck}$	13
0	1	1	1	0	$12.0 \mu\text{s} + 0.5/f_{sck}$	14
0	1	1	1	1	$12.8 \mu\text{s} + 0.5/f_{sck}$	15

(続く)

注1．インターバル時間は， $2/f_{\text{SCK}}$ になります。

2．データ転送のインターバル時間は次の式により求められます(n ：ADTI0-ADTI4に設定した値)。

$n = 0$ の場合

$$\text{インターバル時間} = \frac{2}{f_{\text{SCK}}} + \frac{0.5}{f_{\text{SCK}}}$$

$n = 1 \sim 31$ の場合

$$\text{インターバル時間} = \frac{n + 1}{f_{\text{SCK}}} + \frac{0.5}{f_{\text{SCK}}}$$

注意1．自動送受信機能動作中は，ADTIへの書き込みを行わないでください。

2．ビット5，6には，必ず0を設定してください。

3．ADTIを使用して自動送受信によるデータ転送のインターバル時間を制御する場合，ビジィ制御(10.4.3 (4) a) ビジィ制御オプション参照)は無効になります。

備考 f_x : メイン・システム・クロック発振周波数

f_{SCK} : シリアル・クロック周波数

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADTI	ADTI7	0	0	ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	FF65H	00H	R/W

ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	データ転送のインターバル時間の指定($f_x = 5.0 \text{ MHz}$, $f_{\text{SCK}} = 1.25 \text{ MHz}$ 時 ^注)	n
1	0	0	0	0	$13.6 \mu\text{s} + 0.5/f_{\text{SCK}}$	16
1	0	0	0	1	$14.4 \mu\text{s} + 0.5/f_{\text{SCK}}$	17
1	0	0	1	0	$15.2 \mu\text{s} + 0.5/f_{\text{SCK}}$	18
1	0	0	1	1	$16.0 \mu\text{s} + 0.5/f_{\text{SCK}}$	19
1	0	1	0	0	$16.8 \mu\text{s} + 0.5/f_{\text{SCK}}$	20
1	0	1	0	1	$17.6 \mu\text{s} + 0.5/f_{\text{SCK}}$	21
1	0	1	1	0	$18.4 \mu\text{s} + 0.5/f_{\text{SCK}}$	22
1	0	1	1	1	$19.2 \mu\text{s} + 0.5/f_{\text{SCK}}$	23
1	1	0	0	0	$20.0 \mu\text{s} + 0.5/f_{\text{SCK}}$	24
1	1	0	0	1	$20.8 \mu\text{s} + 0.5/f_{\text{SCK}}$	25
1	1	0	1	0	$21.6 \mu\text{s} + 0.5/f_{\text{SCK}}$	26
1	1	0	1	1	$22.4 \mu\text{s} + 0.5/f_{\text{SCK}}$	27
1	1	1	0	0	$23.2 \mu\text{s} + 0.5/f_{\text{SCK}}$	28
1	1	1	0	1	$24.0 \mu\text{s} + 0.5/f_{\text{SCK}}$	29
1	1	1	1	0	$24.8 \mu\text{s} + 0.5/f_{\text{SCK}}$	30
1	1	1	1	1	$25.6 \mu\text{s} + 0.5/f_{\text{SCK}}$	31

注 データ転送のインターバル時間は次の式により求められます(n : ADTI0-ADTI4に設定した値)。

n = 0の場合

$$\text{インターバル時間} = \frac{2}{f_{\text{SCK}}} + \frac{0.5}{f_{\text{SCK}}}$$

n = 1 ~ 31の場合

$$\text{インターバル時間} = \frac{n + 1}{f_{\text{SCK}}} + \frac{0.5}{f_{\text{SCK}}}$$

注意 1 . 自動送受信機能動作中は、ADTIへの書き込みを行わないでください。

2 . ビット 5, 6 には、必ず 0 を設定してください。

3 . ADTIを使用して自動送受信によるデータ転送のインターバル時間を制御する場合、ビジー制御(10.4.3 (4) a) ビジー制御オプション参照)は使用できません。

備考 f_x : メイン・システム・クロック発振周波数

f_{SCK} : シリアル・クロック周波数

(2) 自動送受信データの設定

(a) 送信データの設定

- ★ バッファRAMの最下位アドレスF9C0Hから送信データを書き込む(最大F9DFHまで)。ただし、送信データ順は、上位アドレスから下位アドレスです。
- 自動データ送受信アドレス・ポインタ(ADTP)に、送信データ・バイト数から1を引いた値を設定する。

(b) 自動送受信モードの設定

シリアル動作モード・レジスタ1(CSIM1)のビット7(CSIE1)に1, ビット5(ATE)に1を設定する。

自動データ送受信コントロール・レジスタ(ADTC)のビット7(RE)に1を設定する。

自動データ送受信転送間隔指定レジスタ(ADTI)にデータ送受信の転送間隔を設定する。

シリアル・シフト・レジスタ1(SIO1)に任意の値を書き込む(転送開始トリガ)。

注意 SIO1への任意の値の書き込みは、自動送受信動作の開始を指示するものであり、書き込んだ値には意味がありません。

(a),(b)を行うことによって、次の動作が自動的に行われます。

- ・ ADTPで指定したバッファRAMのデータをSIO1に転送後、送信を行います(自動送受信動作の開始)
- ・ 受信したデータは、ADTPで指定したバッファRAMのアドレスへ書き込まれます。
- ・ ADTPがデクリメントされ、次のデータの送受信を行います。データの送受信は、ADTPのデクリメント出力が00Hになり、F9C0H番地のデータを出力するまで行われます(自動送受信動作の終了)
- ★ 自動送受信動作が終了するとADTCのビット3(TRF)が0にクリアされます。

(3) 通信動作

(a) 基本送受信モード

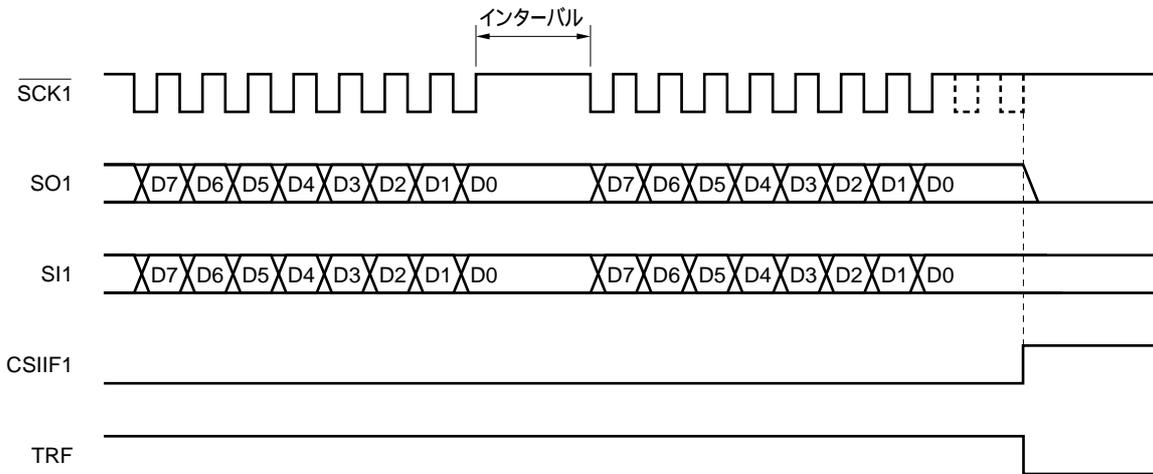
3線式シリアル・モードと同じ8ビット単位のデータ送受信を指定回数だけ実行する送受信モードです。

シリアル転送は、シリアル動作モード・レジスタ1(CSIM1)のビット7(CSIE1)が1にセットされているとき、シリアル・シフト・レジスタ1(SIO1)へ任意のデータを書き込むことによって開始します。

★ マスタ・モード時は、最終バイト送信完了してから2クロック後のシリアル・クロックの立ち上がり同期して、割り込み要求フラグ(CSIF1)を1にセットし、自動データ送受信コントロール・レジスタ(ADTC)のビット3(TRF)を0にリセットします。スレーブ・モード時は、最終バイト送信完了時のシリアル・クロックの立ち上がり同期して、CSIF1を1にセットし、TRFを0にリセットします。割り込みが受け付けられた場合、CSIF1はクリアされてしまうので、自動送受信の終了判定はCSIF1ではなく、TRFで行ってください。

なお、ビジー制御を行わない場合は、P24/BUSY端子を通常の入出力ポートとして使用できます。基本送受信モードの動作タイミングを図10-7に、動作フロー・チャートを図10-8に示します。また、6バイト送信するときのバッファRAMの動作を図10-9に示します。

★ 図10-7 基本送受信モードの動作タイミング(マスタ・モード)



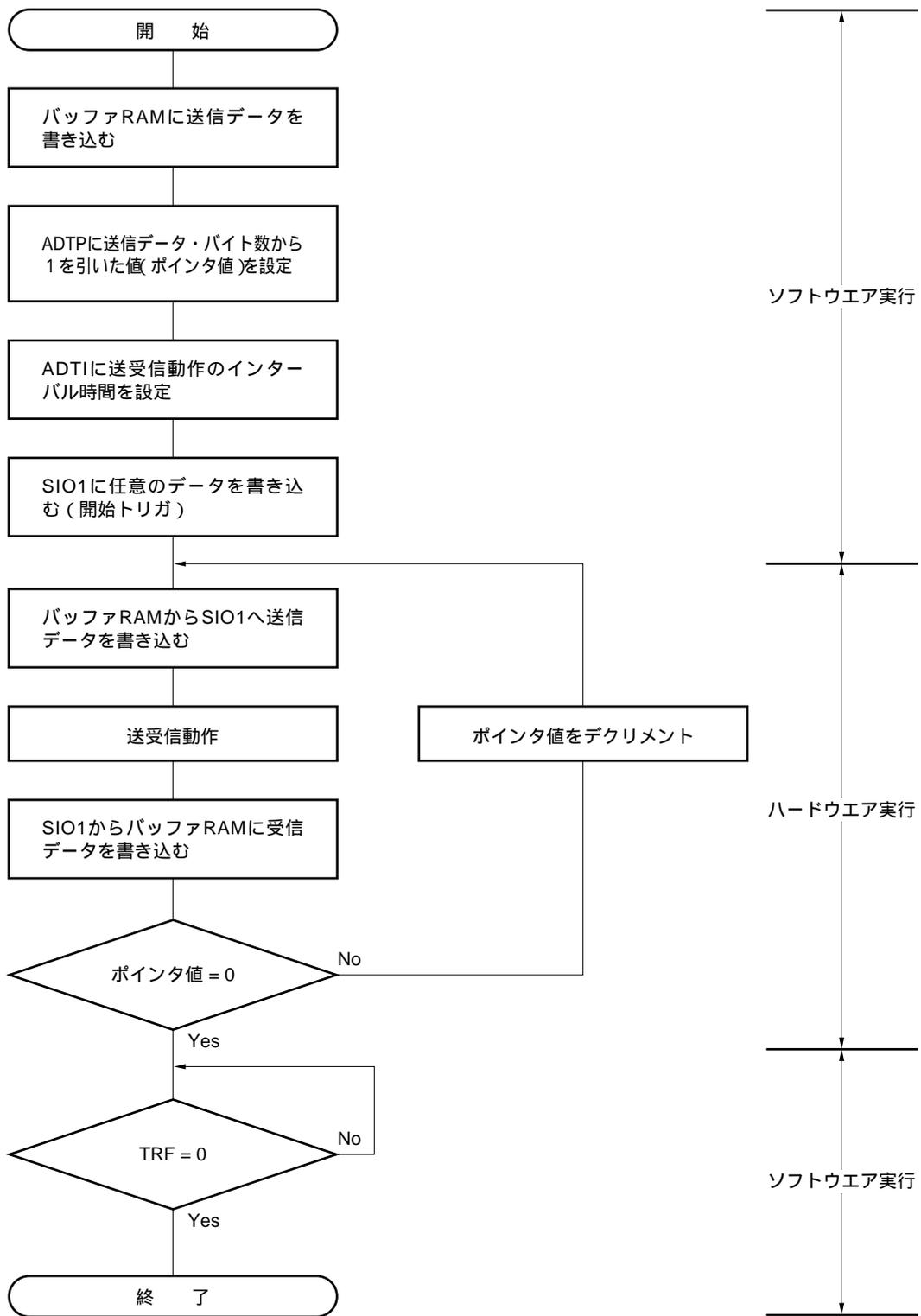
注意1. 基本送受信モードでは、1バイト送受信後、バッファRAMへの書き込み/読み出しを行うため、次の送受信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMへの書き込み/読み出しを行っていますので、最大インターバル時間はCPU処理と自動データ送受信転送間隔指定レジスタ(ADTI)の値に依存します(6)自動送受信のインターバル時間参照。

2. TRFがクリアされると、SO1端子はロウ・レベルになります。

備考 CSIF1 : 割り込み要求フラグ

TRF : 自動データ送受信コントロール・レジスタ(ADTC)のビット3

図10 - 8 基本送受信モードのフロー・チャート



備考 ADTP : 自動データ送受信アドレス・ポインタ
 ADTI : 自動データ送受信転送間隔指定レジスタ
 SIO1 : シリアル・シフト・レジスタ 1
 TRF : 自動データ送受信コントロール・レジスタ (ADTC) のビット 3

基本送受信モードで6バイト分送受信するとき(自動データ送受信コントロール・レジスタ(ADTC)のビット6(ARLD)=0, ビット7(RE)=1), バッファRAMは次のような動作をします。

(i) 送受信動作前 (図10 - 9 (a) 参照)

SIO1に任意のデータを書き込んだあと(開始トリガ: このデータは転送されません), バッファRAMから送信データ1(T1)がSIO1へ転送されます。1バイト目の送信が完了すると, SIO1からバッファRAMへ受信データ1(R1)が転送され, 自動データ送受信アドレス・ポイント(ADTP)がデクリメントされます。続いてバッファRAMから送信データ2(T2)がSIO1へ転送されます。

(ii) 4バイト目送受信動作時点 (図10 - 9 (b) 参照)

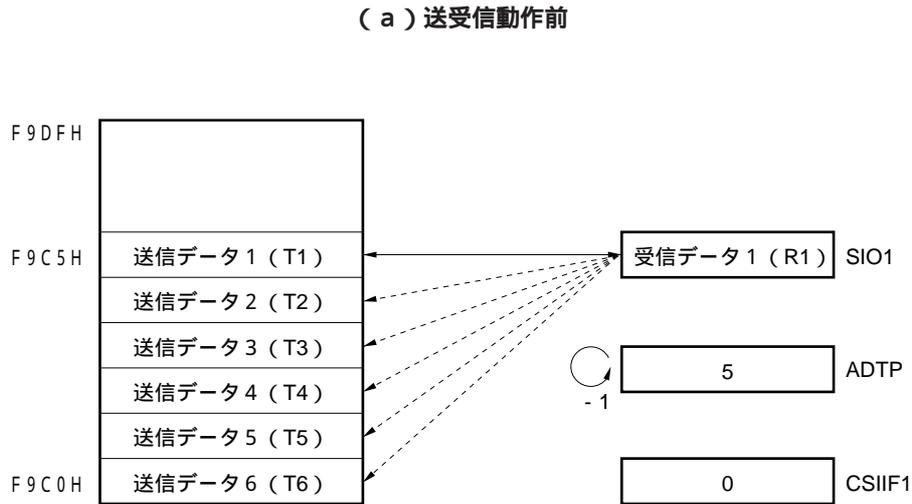
3バイト目の送受信が完了し, バッファRAMから送信データ4(T4)がSIO1へ転送されます。4バイト目の送信が完了すると, SIO1からバッファRAMへ受信データ4(R4)が転送され, ADTPがデクリメントされます。

(iii) 送受信完了 (図10 - 9 (c) 参照)

6バイト目の送信が完了すると, SIO1からバッファRAMへ受信データ6(R6)が転送され, 割り込み要求フラグ(CSIF1)がセットされます(INTCSI1発生)。

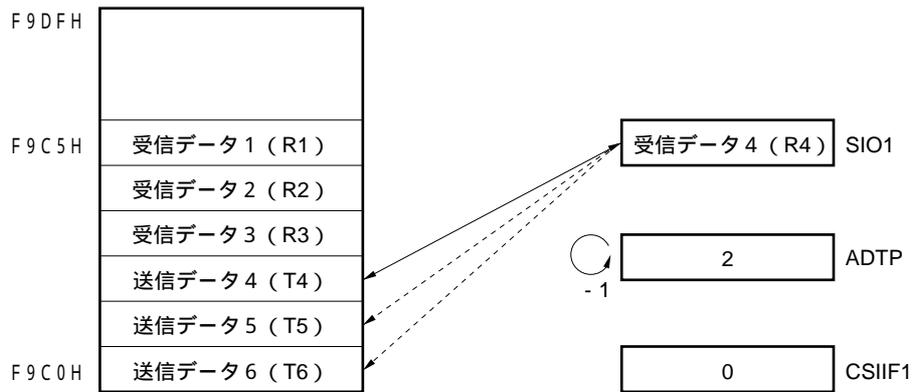
★

図10 - 9 6バイト分送受信するときのバッファRAMの動作(基本送受信モード時Ⅰ1/2)

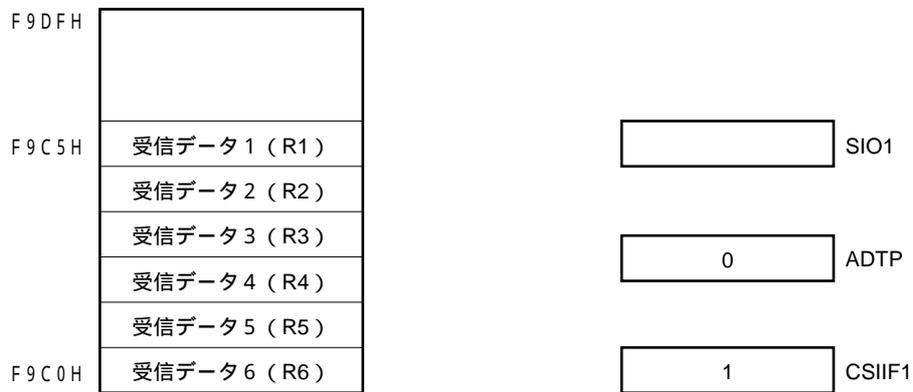


★ 図10 - 9 6バイト分送受信するときのバッファRAMの動作(基本送受信モード時)(2/2)

(b) 4バイト目送受信動作時点



(c) 送受信完了



(b) 基本送信モード

8ビット単位のデータ送信を指定回数だけ実行する送信モードです。

シリアル転送は、シリアル動作モード・レジスタ1(CSIM1)のビット7(CSIE1)が1、自動データ送受信コントロール・レジスタ(ADTC)のビット7(RE)が0にセットされているとき、シリアル・シフト・レジスタ1(SIO1)へ任意のデータを書き込むことによって開始します。

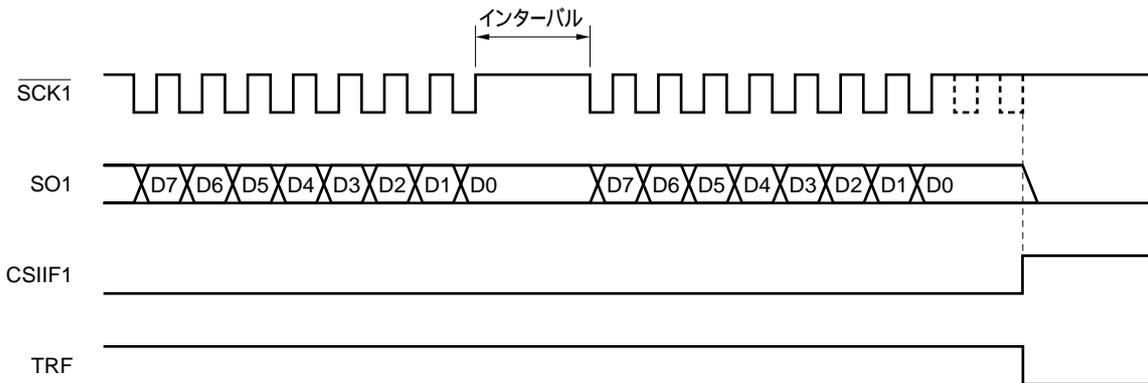
★ マスタ・モード時は、最終バイト送信完了してから2クロック後のシリアル・クロックの立ち上がり同期して、割り込み要求フラグ(CSIF1)を1にセットし、自動データ送受信コントロール・レジスタ(ADTC)のビット3(TRF)を0にリセットします。スレーブ・モード時は、最終バイト送信完了時のシリアル・クロックの立ち上がり同期してCSIF1を1にセットし、TRFを0にリセットします。割り込みが受け付けられた場合、CSIF1はクリアされてしまうので、自動送受信の終了判定はCSIF1ではなく、TRFで行ってください。

なお、受信動作、ビジー制御を行わない場合は、P26/SI1, P24/BUSY端子を通常の入出力ポートとして使用できます。

基本送信モードの動作タイミングを図10 - 10に、動作フロー・チャートを図10 - 11に示します。

また、6バイト繰り返し送信するときのバッファRAMの動作を図10 - 12に示します。

★ 図10 - 10 基本送信モードの動作タイミング(マスタ・モード)

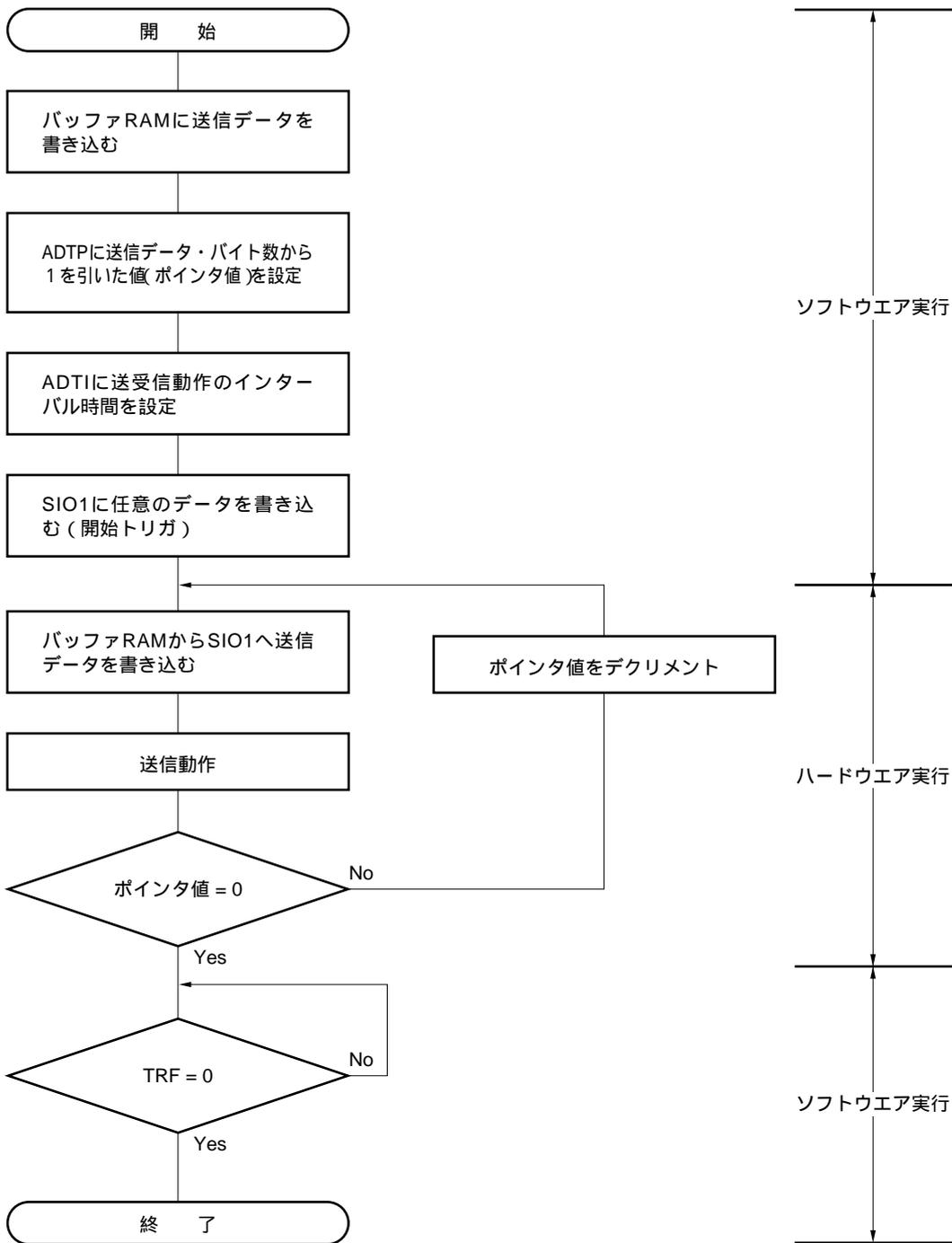


- 注意 1 . 基本送信モードでは、1バイト送信後、バッファRAMからの読み出しを行うため、次の送信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMからの読み出しを行っていますので、最大インターバル時間はCPU処理と自動データ送受信転送間隔指定レジスタ(ADTI)の値に依存します(6) 自動送受信のインターバル時間参照。
- 2 . TRFがクリアされると、SO1端子はロウ・レベルになります。

備考 CSIF1 : 割り込み要求フラグ

TRF : 自動データ送受信コントロール・レジスタ(ADTC)のビット3

図10 - 11 基本送信モードのフロー・チャート



備考 ADTP : 自動データ送受信アドレス・ポインタ
 ADTI : 自動データ送受信転送間隔指定レジスタ
 SIO1 : シリアル・シフト・レジスタ1
 TRF : 自動データ送受信コントロール・レジスタ (ADTC) のビット3

基本送信モードで6バイト分送信するとき(自動データ送受信コントロール・レジスタ(ADTC)のビット6(ARLD)=0,ビット7(RE)=0),バッファRAMは次のような動作をします。

(i) 送信動作前 (図10 - 12 (a) 参照)

SIO1に任意のデータを書き込んだあと(開始トリガ:このデータは転送されません),バッファRAMから送信データ1(T1)がSIO1へ転送されます。1バイト目の送信が完了すると,ADTPがデクリメントされます。続いてバッファRAMから送信データ2(T2)がSIO1へ転送されます。

(ii) 4バイト目送信動作時点 (図10 - 12 (b) 参照)

3バイト目の送信が完了し,バッファRAMから送信データ4(T4)がSIO1へ転送されます。4バイト目の送信が完了すると,ADTPがデクリメントされます。

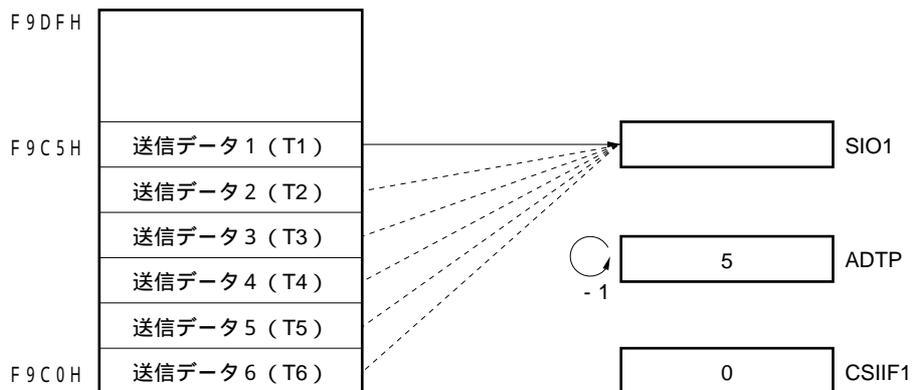
(iii) 送受信完了 (図10 - 12 (c) 参照)

6バイト目の送信が完了すると,割り込み要求フラグ(CSIF1)がセットされます(INTCSI1発生)。

★

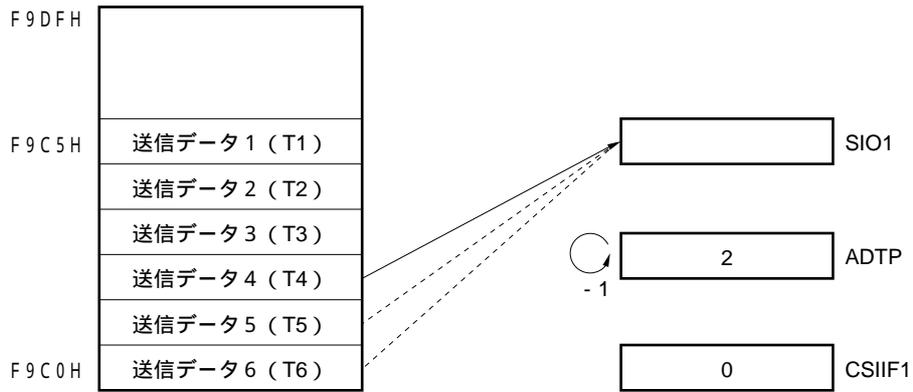
図10 - 12 6バイト分送信するときのバッファRAMの動作(基本送信モード時) [1/2]

(a) 送信動作前

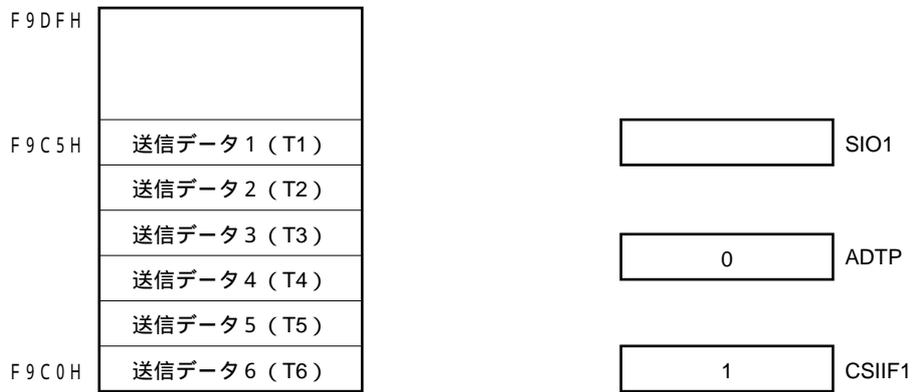


★ 図10 - 12 6バイト分送信するときのバッファRAMの動作(基本送信モード時) 2/2

(b) 4バイト目送信動作時点



(c) 送受信完了



(c) 繰り返し送信モード

バッファRAMに格納したデータを繰り返し送信するモードです。

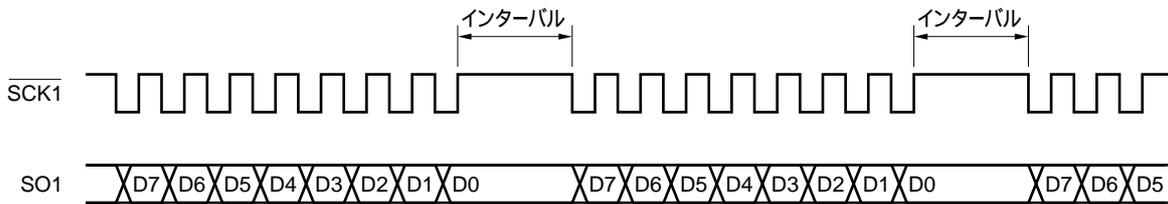
シリアル転送は、シリアル動作モード・レジスタ 1(CSIM1)のビット 7(CSIE1)が 1, 自動送受信コントロール・レジスタ(ADTC)のビット 7(RE)が 0 にセットされているとき、シリアル・シフト・レジスタ 1(SIO1)へ任意のデータを書き込むことによって開始します。

★ 基本送信モードの場合とは異なり、最終バイト(F9C0H番地のデータ)を送信したあと、割り込み要求フラグ(CSIF1)はセットされず、自動データ送受信アドレス・ポインタ(ADTP)に送信を開始したときの値が再設定され、バッファRAMの内容が再送信されます。

なお、受信動作、ビジー制御を行わない場合には、P26/SI1, P24/BUSY端子を通常の入出力ポートとして使用できます。

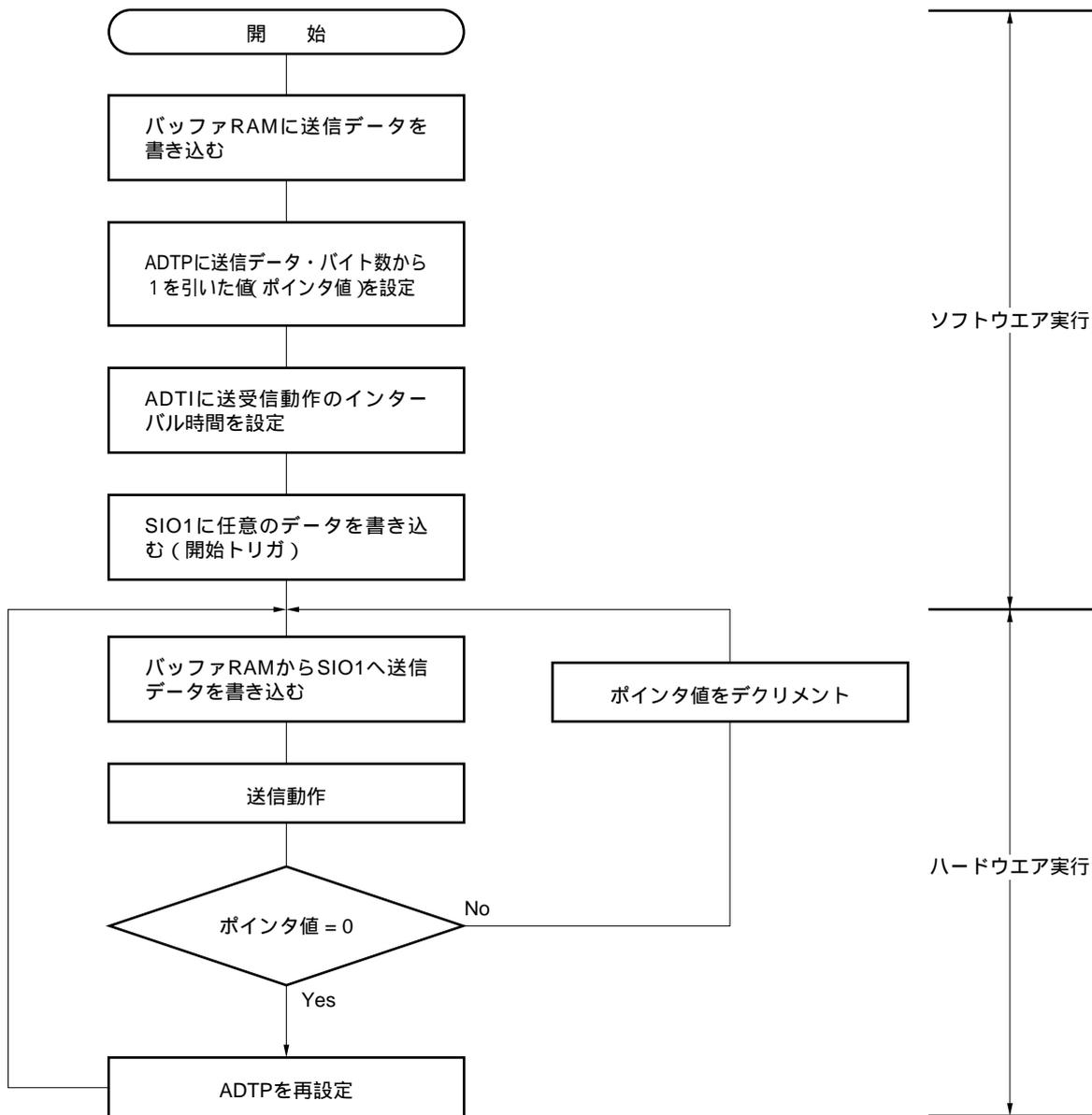
繰り返し送信モードの動作タイミングを図10 - 13に、動作フロー・チャートを図10 - 14に示します。

図10 - 13 繰り返し送信モードの動作タイミング



注意 繰り返し送信モードでは、1バイト送信後、バッファRAMからの読み出しを行うため、次の送信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMからの読み出しを行っていますので、最大インターバル時間はCPU処理と自動データ送受信転送間隔指定レジスタ(ADTI)の値に依存します((6) 自動送受信のインターバル時間参照)。

図10 - 14 繰り返し送信モードのフロー・チャート



ADTP : 自動データ送受信アドレス・ポインタ
 ADTI : 自動データ送受信転送間隔指定レジスタ
 SIO1 : シリアル・シフト・レジスタ 1

繰り返し送信モードで6バイト分送信するとき(自動データ送受信コントロール・レジスタ(ADTC)のビット6(ARLD)=1,ビット7(RE)=0),バッファRAMは次のような動作をします。

(i) 送信動作前 (図10 - 15 (a) 参照)

SIO1に任意のデータを書き込んだあと(開始トリガ:このデータは転送されません),バッファRAMから送信データ1(T1)がSIO1へ転送されます。1バイト目の送信が完了すると,ADTPがデクリメントされます。続いてバッファRAMから送信データ2(T2)がSIO1へ転送されます。

(ii) 6バイト分送信完了時点 (図10 - 15 (b) 参照)

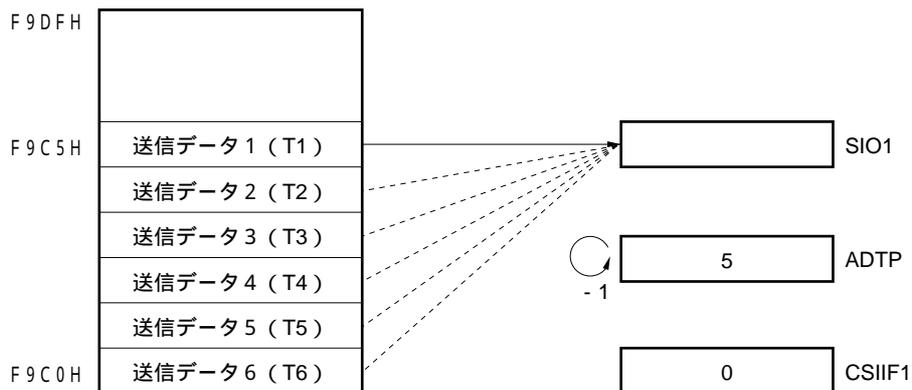
6バイト目の送信が完了しても,割り込み要求フラグ(CSIF1)をセットしません。ADTPには再び最初のポインタ値が設定されます。

(iii) 7バイト目送信動作時点 (図10 - 15 (c) 参照)

再びバッファRAMから送信データ1(T1)がSIO1へ転送されます。1バイト目の送信が完了すると,ADTPがデクリメントされます。続いてバッファRAMから送信データ2(T2)がSIO1へ転送されます。

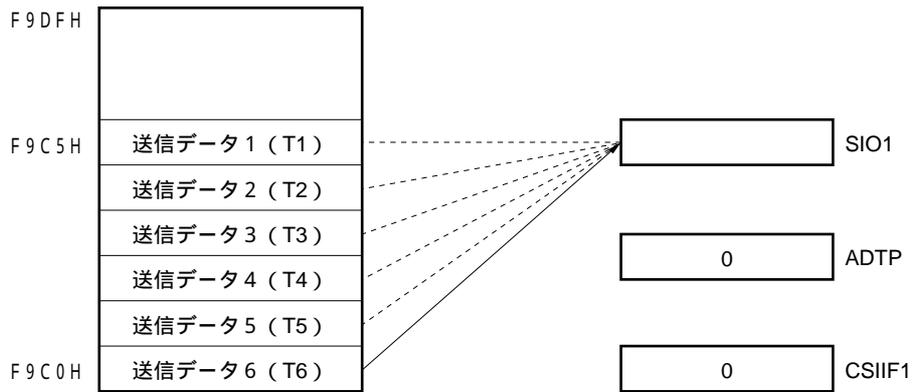
★ 図10 - 15 6バイト分送信するときのバッファRAMの動作(繰り返し送信モード時) 1/2

(a) 送信動作前

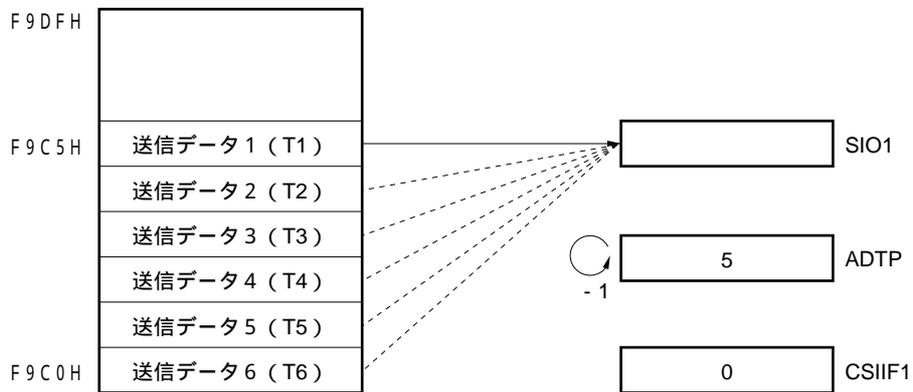


★ 図10 - 15 6バイト分送信するときのバッファRAMの動作(繰り返し送信モード時)(2/2)

(b) 6バイト分送信完了時点



(c) 7バイト目送信動作時点



(d) 自動送受信の中断と再開

自動送受信中に送受信動作を一時的に中断したい場合、シリアル動作モード・レジスタ 1 (CSIM1) のビット 7 (CSIE1) を 0 にリセットすることにより動作の中断ができます。

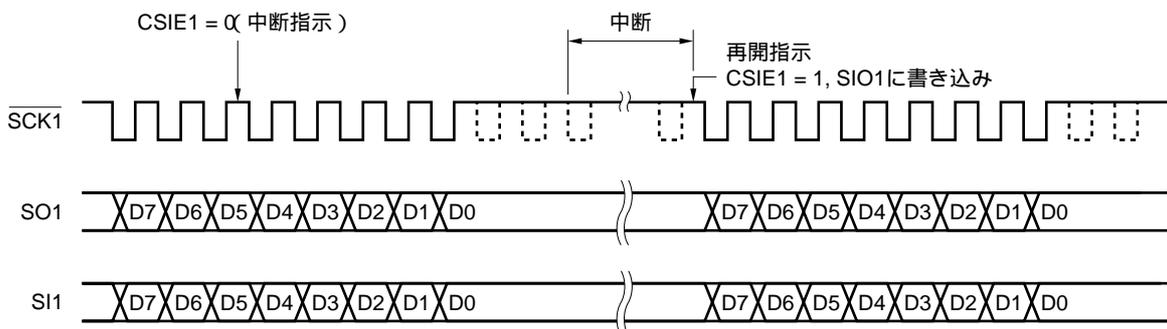
このとき、8 ビット・データ転送の途中では中断せず、必ず 8 ビット・データ転送が完了した時点で中断します。

中断時には、8 ビット目のデータを転送したあと、自動データ送受信コントロール・レジスタ (ADTC) のビット 3 (TRF) が 0 になり、シリアル・インタフェース用端子と兼用しているポート端子 (P24/BUSY, P25/SO1, P26/SI1, P27/ $\overline{\text{SCK1}}$) がすべてポート・モードになります。

自動送受信を再開するには、CSIE1 を 1 にセットし、シリアル・シフト・レジスタ 1 (SIO1) に任意の値を書き込みます。これにより、残りのデータを転送できます。

- 注意 1.** 自動送受信中に HALT 命令を実行すると、8 ビット・データ転送の途中でも転送を中断し、HALT モードになります。
- 2.** 自動送受信動作を中断したとき、TRF = 1 の間は動作モードを 3 線式シリアル・モードに変更しないでください。

図10 - 16 自動送受信の中断と再開



CSIE1 : シリアル動作モード・レジスタ 1 (CSIM1) のビット 7

(4) 同期制御

ビジィ制御は、マスタ・デバイスとスレーブ・デバイス間の送受信の同期をとるための機能です。これらの機能を使用することにより、送受信中のビットずれの検出などが可能となります。

(a) ビジィ制御オプション

ビジィ制御は、スレーブ・デバイスがマスタ・デバイスにビジィ信号を出力することにより、そのビジィ信号がアクティブな期間、マスタ・デバイスのシリアル送受信をウエイトさせることができる機能です。

ビジィ制御オプションを使用する場合には、次に示す条件が必要です。

- ・シリアル動作モード・レジスタ 1 (CSIM1) のビット 5 (ATE) をセット (1)
- ・自動データ送受信コントロール・レジスタ (ADTC) のビット 1 (BUSY1) をセット (1)

ビジィ制御オプションを使用した場合のマスタ・デバイスとスレーブ・デバイスとのシステム構成を図10 - 17に示します。

★

図10 - 17 ビジィ制御オプション使用時のシステム構成



マスタ・デバイスは、スレーブ・デバイスが出力するビジィ信号をBUSY/P24端子に入力します。マスタ・デバイスはシリアル・クロックの立ち下がりに同期して、入力したビジィ信号をサンプリングします。8ビット・データの送受信中にビジィ信号がアクティブになっても、ウエイトはかかりません。8ビット・データの送受信が終了してから2クロック後のシリアル・クロックの立ち上がり時にビジィ信号がアクティブであれば、その時点ではじめてビジィ入力が有効となり、それ以降、ビジィ信号がアクティブな期間は送受信にウエイトがかかります。

★

ビジィ信号のアクティブ・レベルはADTCのビット 0 (BUSY0) で設定します。

BUSY0 = 0 : アクティブ・ハイ

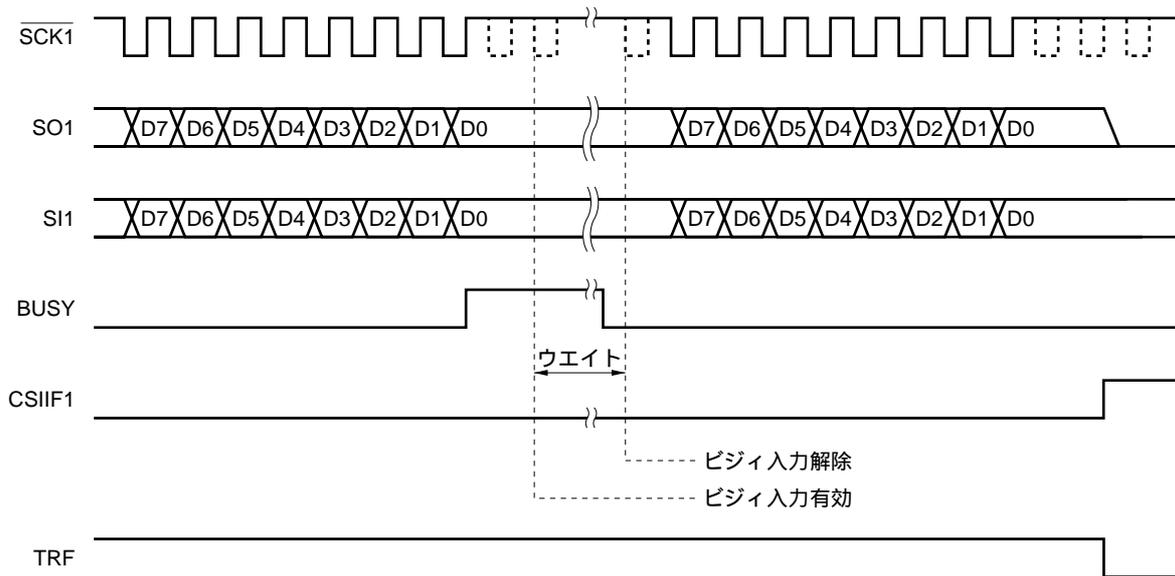
BUSY0 = 1 : アクティブ・ロウ

なお、ビジィ制御オプションを使用する場合、シリアル・クロックには内部クロックを選択してください。外部クロックでは、ビジィ信号による制御はできません。

ビジィ制御オプションを使用したときの動作タイミングを図10 - 18に示します。

注意 ビジィ制御は、自動データ送受信転送間隔指定レジスタ (ADTI) によるインターバル時間の制御とは同時に使用できません。同時に使用すると、ビジィ制御が無効になります。

★ 図10 - 18 ビジィ制御オプションを使用したときの動作タイミング (BUSY0 = 0 のとき)



注意 TRFがクリアされると、SO1端子はロウ・レベルになります。

備考 CSIF1：割り込み要求フラグ

TRF：自動データ送受信コントロール・レジスタ (ADTC) のビット 3

ビジィ信号がインアクティブになると、ウエイトは解除されます。サンプリングされたビジィ信号がインアクティブな場合、その次のシリアル・クロックの立ち下がりから、次の8ビット・データの送受信が開始されます。

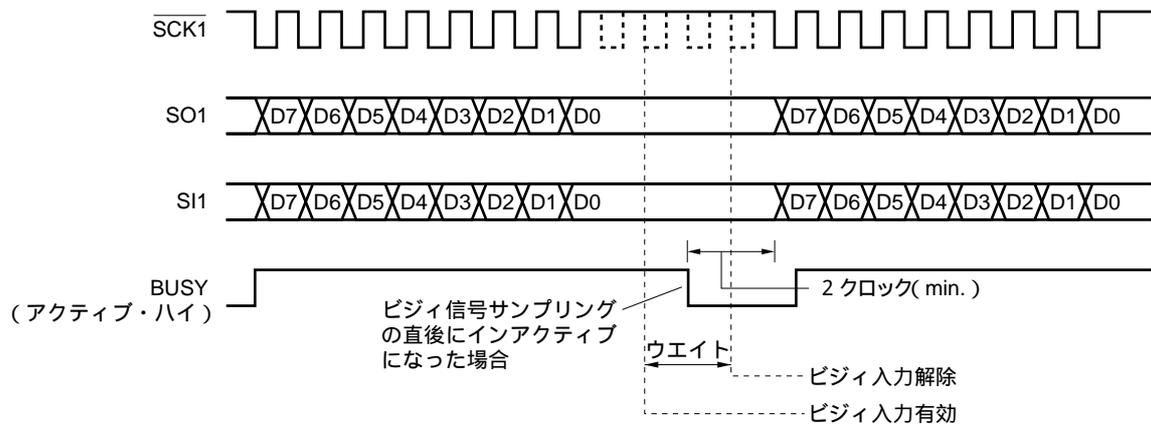
なお、ビジィ信号はシリアル・クロックとは非同期ですので、スレーブ側がビジィ信号をインアクティブにしても、それがマスタ側でサンプリングされるまでには最大で1クロック近くかかります。また、

- ★ ビジィ入力が解除されてからデータ転送が開始されるまでには1クロックかかります。
- ★ したがって、ウエイトを確実に解除するためには、スレーブ側がビジィ信号を最低2クロック間、インアクティブに保持する必要があります。

図10 - 19にビジィ信号とウエイト解除についてのタイミングを示します。この図では、送受信の開始とともにビジィ信号をアクティブにした場合の例を示しています。

★

図10 - 19 ビジィ信号とウエイトの解除(BUSY0 = 0のとき)



(b) ビジィ信号によるビットずれ検出機能

自動送受信動作中、マスタ・デバイスの出力するシリアル・クロック信号にノイズがのり、スレーブ・デバイス側のシリアル・クロックでビットずれが発生する場合があります。このような場合、マスタ側はビジィ制御オプションを使用して送信中にビジィ信号をチェックすることにより、ビットずれを検出できます。

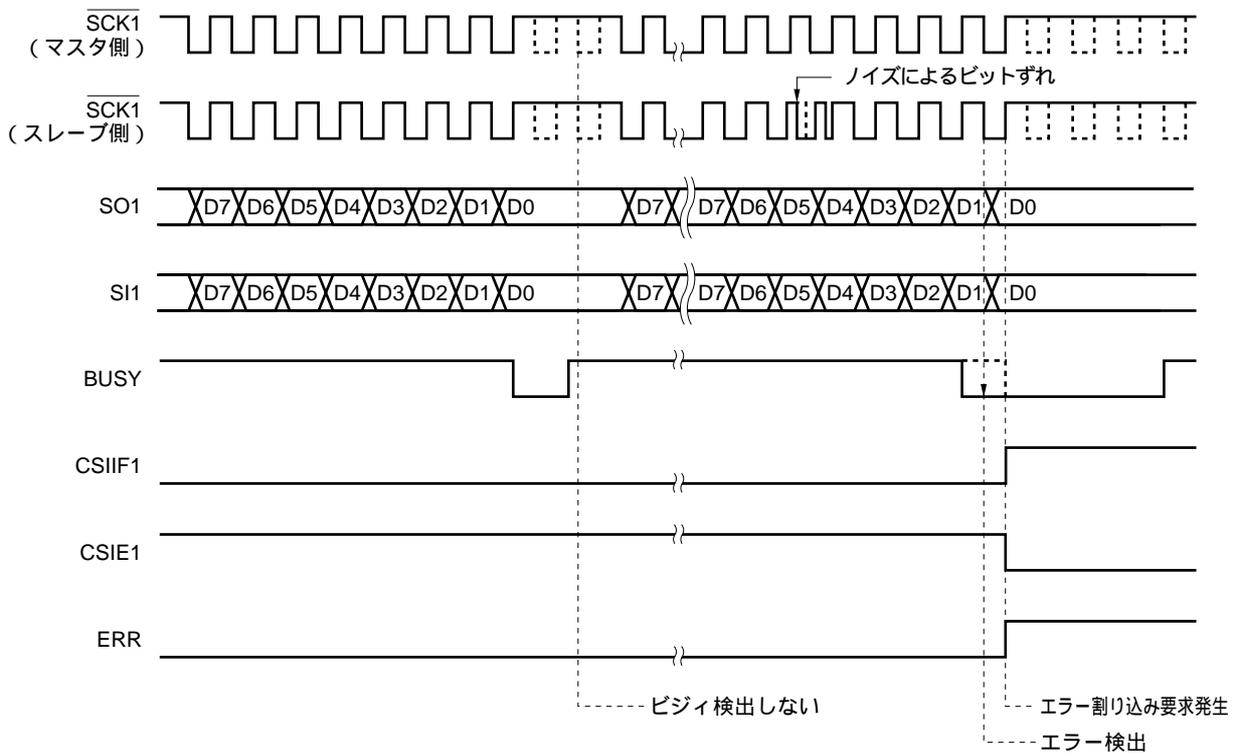
ビジィ信号によるビットずれ検出は、次のように行います。

スレーブ側は、データ送受信の8回目のシリアル・クロックの立ち上がりのあとにビジィ信号を出力するように設定してください(このとき、ビジィ信号によるウェイトをかけたくない場合には、2クロック以内にビジィ信号をインアクティブにしてください)。

- ★ マスタ側は、自動データ送受信コントロール・レジスタ(ADTC)のビット5(ERCE)に1をセットすることにより、シリアル・クロックの8クロック目の立ち下がり(8クロック目の立ち上がり)でビジィ信号を検出します。このときアクティブであればビットずれが発生したとみなし、8クロック目の立ち上がりに同期してエラー処理(自動データ送受信コントロール・レジスタ(ADTC)のビット4(ERR)を1にセット、シリアル動作モード・レジスタ1(CSIM1)のビット7(CSIE1)を0にリセット)を行い、割り込み要求信号を発生します。

ビジィ信号によるビットずれ検出機能の動作タイミングを図10 - 20に示します。

★ 図10 - 20 ビジィ信号によるビットずれ検出機能の動作タイミング(BUSY0 = 1のとき)



CSIF1 : 割り込み要求フラグ

CSIE1 : シリアル動作モード・レジスタ1(CSIM1)のビット7

ERR : 自動データ送受信コントロール・レジスタ(ADTC)のビット4

(5) 割り込み要求信号の発生タイミング

割り込み要求信号は、表10 - 2 に示すタイミングに同期して発生します。

★

表10 - 2 割り込み要求信号の発生タイミング

動作モード		割り込み要求信号のタイミング
単発モード	マスタ・モード	最終転送のシリアル・クロック10発目の立ち上がり
	スレーブ・モード	最終転送のシリアル・クロック 8 発目の立ち上がり
繰り返し送信モード		発生しない
送受信中にビットずれが生じた場合		シリアル・クロックの 8 発目の立ち上がり

(6) 自動送受信のインターバル時間

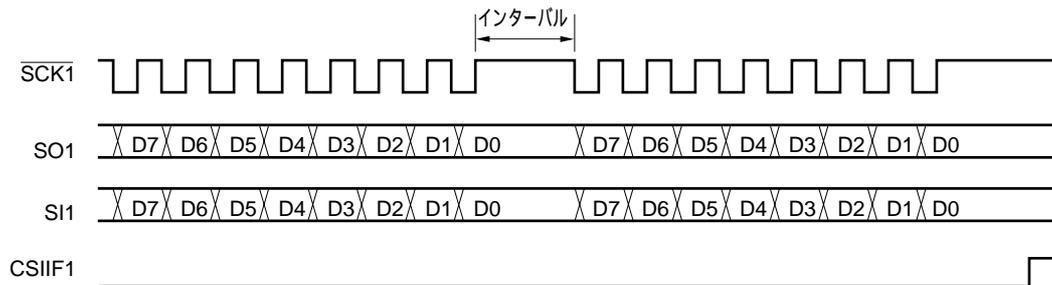
自動送受信機能のバッファRAMの書き込み / 読み出しはCPU処理と非同期に行っているため、インターバル時間は、シリアル・クロックの8発目の立ち上がりタイミングにおけるCPU処理と自動データ送受信転送間隔指定レジスタ (ADTI) の設定値に依存します。ADTIに依存するかしないかは、ADTIのビット7 (ADTI7) の設定により、選択できます。ADTI7に0を設定したとき、インターバル時間は $2/f_{SCK}$ になります。ADTI7に1を設定したとき、インターバル時間は、ADTIに設定した内容で決定されるインターバル時間とCPU処理によるインターバル時間 ($2/f_{SCK}$) のどちらか大きい方となります。

自動送受信のインターバル時間を図10 - 21に示します。

備考 f_{SCK} : シリアル・クロック周波数

★

図10 - 21 自動送受信のインターバル時間



バッファRAMへのアクセスは、次の式を満たす必要があります。

$$1 \text{ 転送サイクル} + \text{インターバル時間} \geq \text{リード・アクセス} + \text{ライト・アクセス} + \text{CPUのバッファRAMアクセス (時間)}$$

仮に「高速CPU&低速SCK」ならばインターバル時間は不要になり、逆に「低速CPU&高速SCK」ならばインターバル時間は必要になってきます。

この場合、上記の式を満たすように、自動データ送受信転送間隔指定レジスタ (ADTI) にて十分なインターバル時間を確保してください。

第11章 シリアル・インタフェースSIO3

11.1 シリアル・インタフェースSIO3の機能

シリアル・インタフェースSIO3には、次の2種類のモードがあります。

- ・動作停止モード
- ・2線式シリアル・モード（送信のみ）

（1）動作停止モード

シリアル転送を行わないときに使用するモードです。詳細については11.4.1 **動作停止モード**を参照してください。

（2）2線式シリアル・モード（送信のみ）（MSB先頭固定）

シリアル・クロック（ $\overline{SCK3}$ ），シリアル出力（SO3）の2本のラインにより，8ビット・データ転送を行うモードです。受信動作はできません。

シリアル転送する8ビット・データの先頭ビットは，MSB固定です。

2線式シリアル・モードは，クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに有効です。詳細については11.4.2 **2線式シリアル・モード（送信のみ）**を参照してください。

11.2 シリアル・インタフェースSIO3の構成

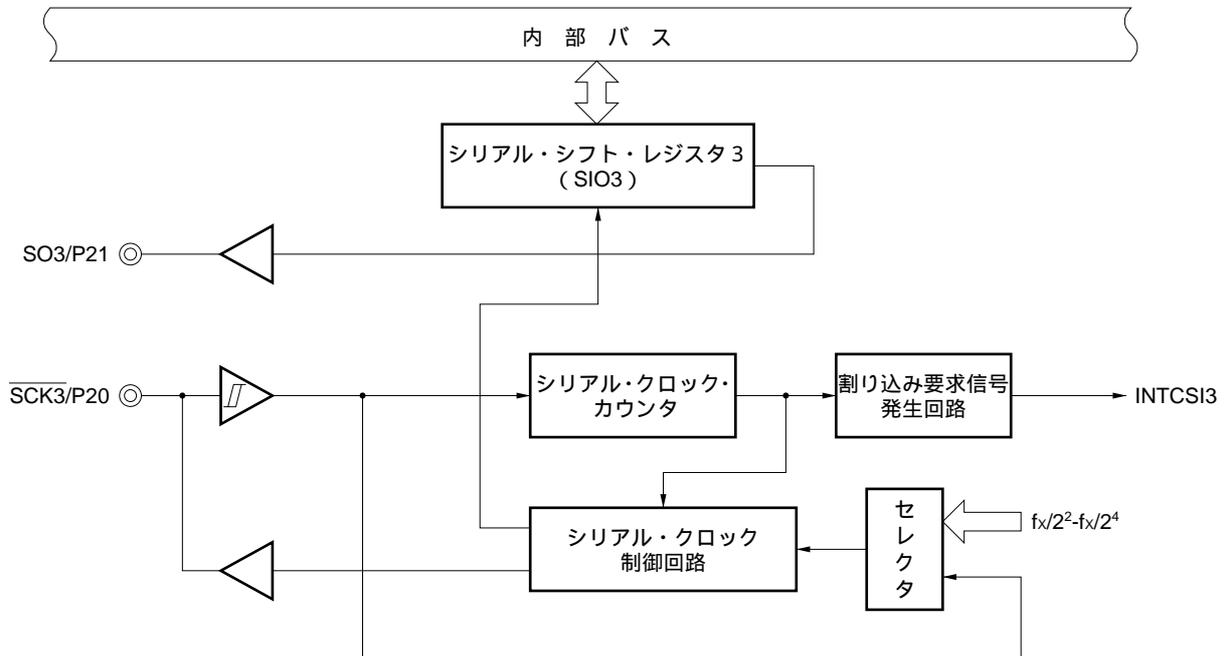
シリアル・インタフェースSIO3は，次のハードウェアで構成されています。

表11 - 1 シリアル・インタフェースSIO3の構成

項 目	構 成
レジスタ	シリアル・シフト・レジスタ3（SIO3）
制御レジスタ	シリアル動作モード・レジスタ3（CSIM3）

★

図11 - 1 シリアル・インタフェースSIO3のブロック図



(1) シリアル・シフト・レジスタ3 (SIO3)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送信（シフト動作）を行う8ビット・レジスタです。

SIO3は、8ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタ3 (CSIM3) のビット7 (CSIE3) が1のとき、SIO3にデータを書き込むことによりシリアル動作が開始されます。

SIO3に書き込まれたデータが、シリアル出力 (SO3) に出力されます。

RESET入力により、不定になります。

注意 転送動作中は、SIO3をリードしないでください。

(2) シリアル・クロック・カウンタ

送信動作時に出力されるシリアル・クロック、および入力されるシリアル・クロックをカウントし、8ビット・データの送信が行われたことを調べます。

11.3 シリアル・インタフェースSIO3を制御するレジスタ

シリアル・インタフェースSIO3を制御するレジスタには、シリアル動作モード・レジスタ3（CSIM3）があります。

（1）シリアル動作モード・レジスタ3（CSIM3）

シリアル・インタフェースSIO3のシリアル・クロック，動作の許可／停止を設定するレジスタです。

CSIM3は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により，00Hになります。

注意 2線式シリアル・モード時，ポート・モード・レジスタ（PM_x）を次のように設定してください。また，出力ラッチはそれぞれ0に設定してください。

シリアル・クロック設定

- ・シリアル・クロック出力時（マスタ送信）

P20（SCK3）を出力モード（PM20 = 0）に設定

- ・シリアル・クロック入力時（スレーブ送信）

P20を入力モード（PM20 = 1）に設定

動作モード設定

- ・送信モード時

P21（SO3）を出力モード（PM21 = 0）に設定

図11 - 2 シリアル動作モード・レジスタ3のフォーマット

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM3	CSIE3	0	0	0	0	0	SCL31	SCL30	FF66H	00H	R/W

CSIE3	シリアル・インタフェースSIO3の動作許可／禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 ^注
1	動作許可	カウント動作許可	シリアル機能 + ポート機能

SCL31	SCL30	クロックの選択
0	0	SCK3端子への外部クロック入力
0	1	$f_x/2^2$ (1.25 MHz)
1	0	$f_x/2^3$ (625 kHz)
1	1	$f_x/2^4$ (313 kHz)

注 CSIE3 = 0（SIO3動作停止状態）のときは，SO3，SCK3端子は，ポート機能として使用できます。

★ **注意** ビット2-6には，必ず“0”を設定してください。

備考1 . f_x ：メイン・システム・クロック発振周波数

2 . () 内は， $f_x = 5.0$ MHz動作時。

11.4 シリアル・インタフェースSIO3の動作

シリアル・インタフェースSIO3には、次の2種類の動作モードがあります。

- ・動作停止モード
- ・2線式シリアル・モード（送信のみ）

11.4.1 動作停止モード

動作停止モードではシリアル転送を行いませんので、消費電力を低減できます。

また、シリアル・シフト・レジスタ3（SIO3）もシフト動作を行いませんので、通常の8ビット・レジスタとして使用できます。

また、動作停止モードでは、SO3, SCK3端子を通常の入出力ポートとして使用できます。

（1）レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ3（CSIM3）で行います。

CSIM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM3	CSIE3	0	0	0	0	0	SCL31	SCL30	FF66H	00H	R/W

CSIE3	シリアル・インタフェースSIO3の動作許可 / 禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 ^注

注 CSIE3 = 0（SIO3動作停止状態）のときは、SO3, SCK3端子は、ポート機能として使用できます。

★ **注意** ビット2-6には、必ず“0”を設定してください。

11.4.2 2線式シリアル・モード（送信のみ）

2線式シリアル・モードは、クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに有効です。

シリアル・クロック（ $\overline{\text{SCK3}}$ ）、シリアル出力（SO3）の2本のラインで通信を行います。

（1）レジスタの設定

2線式シリアル・モードの設定は、シリアル動作モード・レジスタ3（CSIM3）で行います。

CSIM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 2線式シリアル・モード時、ポート・モード・レジスタ（PM $\times\times$ ）を次のように設定してください。また、出力ラッチはそれぞれ0に設定してください。

シリアル・クロック設定

- ・シリアル・クロック出力時（マスタ送信）

P20（ $\overline{\text{SCK3}}$ ）を出力モード（PM20 = 0）に設定

- ・シリアル・クロック入力時（スレーブ送信）

P20を入力モード（PM20 = 1）に設定

動作モード設定

- ・送信モード時

P21（SO3）を出力モード（PM21 = 0）に設定

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM3	CSIE3	0	0	0	0	0	SCL31	SCL30	FF66H	00H	R/W

CSIE3	シリアル・インタフェースSIO3の動作許可 / 禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 ^注
1	動作許可	カウント動作許可	シリアル機能 + ポート機能

SCL31	SCL30	クロックの選択
0	0	$\overline{\text{SCK3}}$ 端子への外部クロック入力
0	1	$f_x/2^2$ (1.25 MHz)
1	0	$f_x/2^3$ (625 kHz)
1	1	$f_x/2^4$ (313 kHz)

注 CSIE3 = 0（SIO3動作停止状態）のときは、SO3、 $\overline{\text{SCK3}}$ 端子は、ポート機能として使用できます。

★ **注意** ビット2-6には、必ず“0”を設定してください。

備考1 . f_x : メイン・システム・クロック発振周波数

2 . () 内は、 $f_x = 5.0$ MHz動作時。

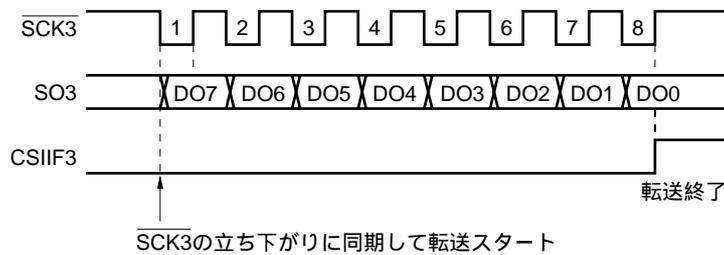
(2) 通信動作

2線式シリアル・モードは、8ビット単位でデータの送信を行います。データは、シリアル・クロックに同期して1ビットごとに送信されます。

シリアル・シフト・レジスタ3 (SIO3) のシフト動作は、シリアル・クロック ($\overline{\text{SCK3}}$) の立ち下がりに同期して行われます。そして、送信データがSO3ラッチに保持され、SO3端子から出力されます。

8ビット転送終了により、SIO3の動作は自動的に停止し、割り込み要求フラグ (CSIF3) がセットされます。

図11 - 3 2線式シリアル・モードのタイミング



(3) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアル・シフト・レジスタ3 (SIO3) に転送データをセットすることで開始します。

- ・シリアル・インタフェースSIO3の動作制御ビット (シリアル動作モード・レジスタ3 (CSIM3) のビット7 (CSIE3)) をセット (1)
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または $\overline{\text{SCK3}}$ がハイ・レベルの状態

注意 シリアル・シフト・レジスタ3 (SIO3) にデータを書き込んだあと、CSIE3を“1”にしても転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (CSIF3) をセットします。

第12章 VFDコントローラ/ドライバ

12.1 VFDコントローラ/ドライバの機能

μ PD780232サブシリーズに内蔵しているVFDコントローラ/ドライバの機能を示します。

- (1) 表示データの自動読み出しによる表示信号出力 (DMA動作) が可能。
- (2) VFD表示に使用しない端子は, 入出力ポートおよび出力ポートとして使用可能 (FIP24-FIP52端子のみ)。
- (3) 表示モード・レジスタ1 (DSPM1) により 8 段階の輝度調節が可能。
- (4) キー・スキャン応用を考慮したハードウェアを内蔵。
 - ・キー・スキャン・タイミングを示す割り込み要求信号 (INTKS) を発生。
 - ・キー・スキャン・フラグ (KSF) により, キー・スキャン・データを出力しているタイミングの検出が可能。
 - ・キースキャン・タイミングの挿入/非挿入を選択可能。
- (5) VFDを直接駆動可能な高耐圧出力バッファを内蔵。
- (6) FIP0-FIP52端子は, マスクROM製品のみマスク・オプションによりプルダウン抵抗の内蔵が可能^注
(μ PD78F0233は, FIP0-FIP23端子にプルダウン抵抗を内蔵しています。FIP24-FIP52端子にはプルダウン抵抗を内蔵していません。)。

★ **注** マスク・オプションでV_{LOAD}またはV_{SS0}へのプルダウン抵抗を内蔵する場合, 全損失 (12.7 全損失の計算方法を参照) を越えないように, プルダウン抵抗の本数を調整してください。

μ PD780232サブシリーズが内蔵する53本のVFD出力端子のうち, FIP24-FIP52はポート機能との兼用端子になっています。なお, FIP0-FIP23はVFD出力専用端子です。

表示モード・レジスタ0 (DSPM0) のビット7 (DSPEN) によりVFD表示禁止に設定したとき, FIP24-FIP52はポート端子として使用できます。また, VFD表示許可状態であっても, 表示信号出力として使用しないVFD出力端子についてはポート端子として使用できます。

表12 - 1 VFD出力端子とポートの兼用端子対応表

VFD端子名称	兼用ポート名称	入出力
FIP24-FIP31	P30-P37	出力専用ポート
FIP32-FIP39	P40-P47	出力専用ポート
FIP40-FIP47	P50-P57	入出力ポート
FIP48-FIP52	P60-P64	入出力ポート

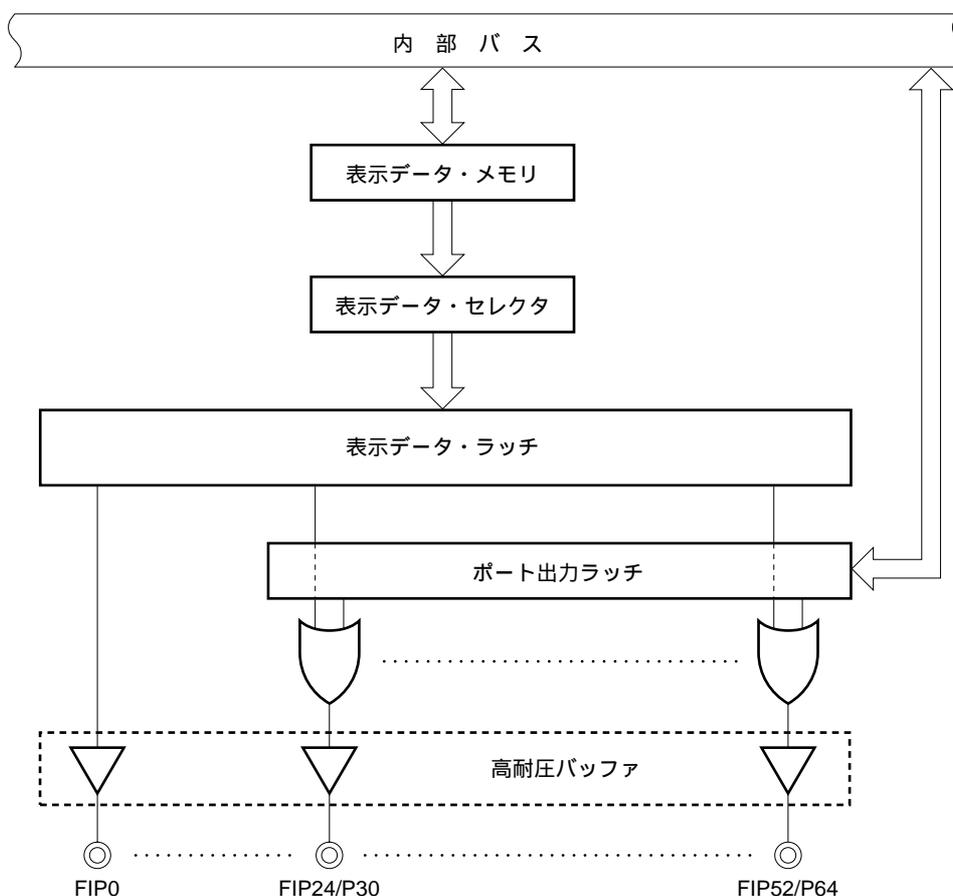
12.2 VFDコントローラ/ドライバの構成

VFDコントローラ/ドライバは、次のハードウェアで構成されています。

表12 - 2 VFDコントローラ/ドライバの構成

項目	構成
表示出力	53本
制御レジスタ	表示モード・レジスタ0 (DSPM0) 表示モード・レジスタ1 (DSPM1) 表示モード・レジスタ2 (DSPM2)

図12 - 1 VFDコントローラ/ドライバのブロック図



12.3 VFDコントローラ/ドライバを制御するレジスタ

12.3.1 制御レジスタ

VFDコントローラ/ドライバを制御するレジスタには、次の3種類があります。

- ・表示モード・レジスタ0 (DSPM0)
- ・表示モード・レジスタ1 (DSPM1)
- ・表示モード・レジスタ2 (DSPM2)

(1) 表示モード・レジスタ0 (DSPM0)

DSPM0は次の設定をするレジスタです。

- ・表示許可/禁止
- ・VFD出力本数

DSPM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、10Hになります。

★

図12 - 2 表示モード・レジスタ0のフォーマット

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
DSPM0	DSPEN	0	FOUT5	FOUT4	FOUT3	FOUT2	FOUT1	FOUT0	FF69H	10H	R/W

DSPEN	VFD表示の許可 / 禁止の指定
0	禁止
1	許可

FOUT5	FOUT4	FOUT3	FOUT2	FOUT1	FOUT0	VFD出力本数
0	1	0	0	0	0	17本
0	1	0	0	0	1	18本
0	1	0	0	1	0	19本
0	1	0	0	1	1	20本
⋮	⋮	⋮	⋮	⋮	⋮	⋮
0	1	1	1	1	1	32本
1	0	0	0	0	0	33本
1	0	0	0	0	1	34本
1	0	0	0	1	0	35本
⋮	⋮	⋮	⋮	⋮	⋮	⋮
1	1	0	0	0	1	50本
1	1	0	0	1	0	51本
1	1	0	0	1	1	52本
1	1	0	1	0	0	53本
上記以外						設定禁止

注意1 . ビット6には、必ず“0”を設定してください。

2 . ビット7 (DSPEN) = 1のときは、DSPEN以外のビットにデータを書き込まないでください。

3 . VFD出力に使用する端子の兼用ポートの出力ラッチには、必ず“0”を設定してください。

4 . セグメントおよびグリットは、DSPM0で設定するVFD出力本数の中で、自由に割り当てることができます。ただし、設定の際に、端子の割り当てとそれぞれの負荷電流の大きさに注意してください。

(2) 表示モード・レジスタ1 (DSPM1)

DSPM1は次の設定をするレジスタです。

- ・VFD出力信号のブランキング幅
- ・表示パターン数

DSPM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、01Hになります。

図12 - 3 表示モード・レジスタ1のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
DSPM1	FBLK2	FBLK1	FBLK0	FPAT4	FPAT3	FPAT2	FPAT1	FPAT0	FF6AH	01H	R/W

FBLK2	FBLK1	FBLK0	VFD出力信号のプランキング幅
0	0	0	1/16
0	0	1	2/16
0	1	0	4/16
0	1	1	6/16
1	0	0	8/16
1	0	1	10/16
1	1	0	12/16
1	1	1	14/16

FPAT4	FPAT3	FPAT2	FPAT1	FPAT0	表示パターン数
0	0	0	0	1	2
0	0	0	1	0	3
0	0	0	1	1	4
0	0	1	0	0	5
0	0	1	0	1	6
0	0	1	1	0	7
0	0	1	1	1	8
0	1	0	0	0	9
0	1	0	0	1	10
0	1	0	1	0	11
0	1	0	1	1	12
0	1	1	0	0	13
0	1	1	0	1	14
0	1	1	1	0	15
0	1	1	1	1	16
上記以外					設定禁止

注意 表示モード・レジスタ0 (DSPM0) のビット7 (DSPEN) = 1のときは、表示モード・レジスタ1 (DSPM1) にデータを書き込まないでください。

(3) 表示モード・レジスタ2 (DSPM2)

DSPM2は次の設定をするレジスタです。また、表示タイミング/キー・スキャンの状態を表示します。

- ・キー・スキャン・タイミングの挿入/非挿入
- ・表示サイクル (T_{DSP})

DSPM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

★

図12 - 4 表示モード・レジスタ2のフォーマット

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
DSPM2	KSF	KSM	0	0	0	0	FCYC1	FCYC0	FF6BH	00H	R/W ^注

KSF	キー・スキャン・サイクルの状態
0	キー・スキャン・サイクル以外
1	キー・スキャン・サイクル中

KSM	キー・スキャン・サイクル挿入の選択
0	挿入しない
1	挿入する

FCYC1	FCYC0	表示サイクル
0	0	2 ¹² /f _x (819 μs)
0	1	2 ¹¹ /f _x (410 μs)
1	0	2 ¹⁰ /f _x (205 μs)
1	1	設定禁止

注 ビット7は、Read Onlyです。

注意1 . ビット2-5には、必ず“0”を設定してください。

- 2 . 表示モード・レジスタ0 (DSPM0)のビット7 (DSPEN) = 1のときは、表示モード・レジスタ2 (DSPM2)にデータを書き込まないでください。

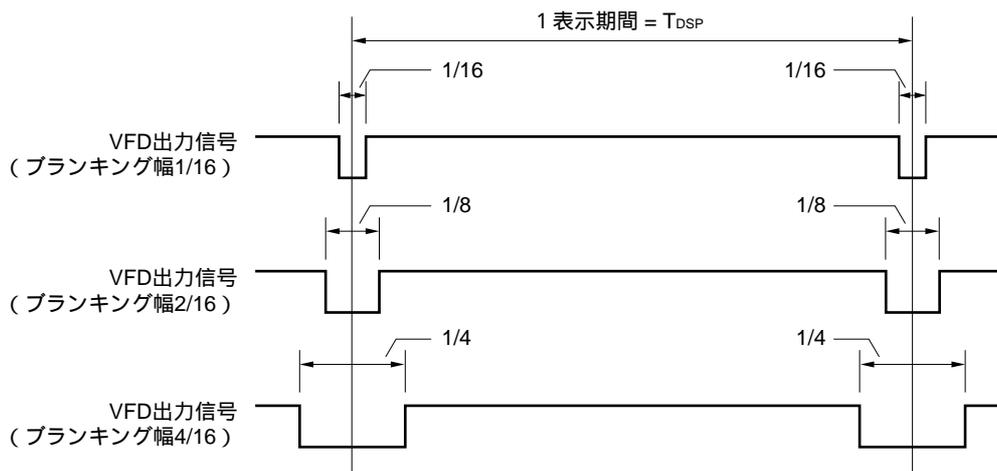
備考1 . f_x: メイン・システム・クロック発振周波数

- 2 . ()内は、f_x = 5.0 MHz動作時。

12.3.2 1 表示期間とブランキング幅

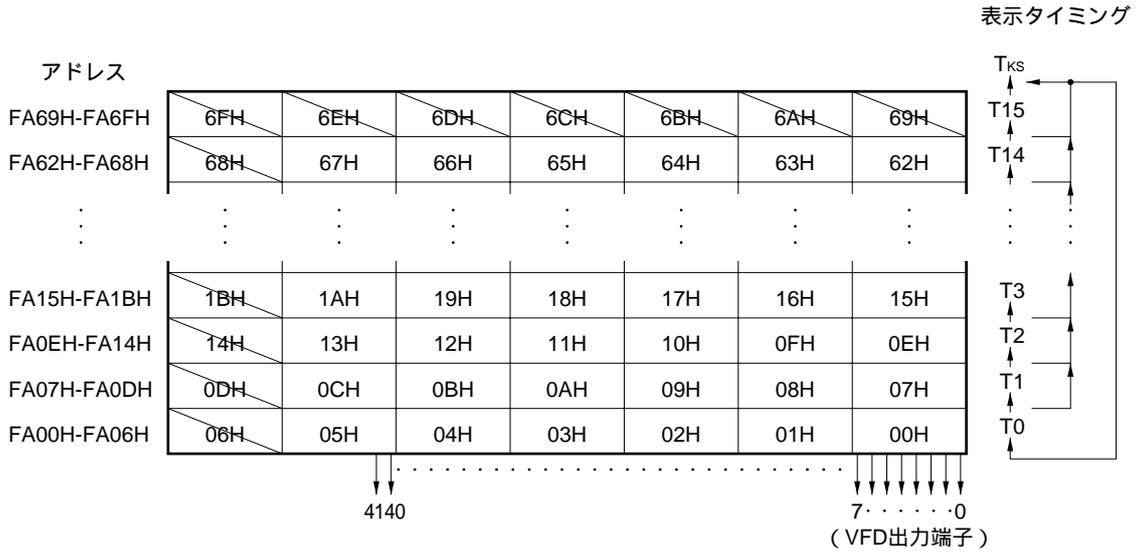
表示モード・レジスタ1 (DSPM1) のビット0-2 (FBLK0-FBLK2) で設定されるブランキング幅によって、表示期間の始まりと終わりに2等分されるかたちでブランキングされます。

図12 - 5 VFD出力信号のブランキング幅



- ★ 表示データ・メモリは、1パターンの表示に使用する本数が48本の場合は1バイト、以降8本減少するごとに1バイト単位で、通常のRAMとして使用できる領域が増えます。また表示パターン数が16以下の場合は、パターン数が減少するごとに7バイトずつ、通常のRAMとして使用できる領域が増えます。

★ 図12 - 7 表示データ・メモリのアドレス配置とVFD出力の関係
(VFD出力42本, 14パターンの場合)



12.5 キー・スキャン・フラグとキー・スキャン・データ

12.5.1 キー・スキャン・フラグ

キー・スキャン・フラグ (KSF) はキー・スキャン・タイミング中に 1 にセットされ、表示タイミングでは自動的に 0 にリセットされるフラグです。

KSFは表示モード・レジスタ 2 (DSPM2) のビット 7 にマッピングされており、1 ビット単位でのテストが可能です。書き込みはできません。

KSFをテストすることにより、キー・スキャン・タイミング中であるかどうかを判断でき、キー入力データが正しいかどうかを決めることができます。

また、キー・スキャン・タイミング挿入指定フラグ (KSM) (表示モード・レジスタ 2 (DSPM2) のビット 6) でキー・スキャン・タイミングの挿入/非挿入の選択ができます。

12.5.2 キー・スキャン・データ

ポート 3-6 に格納したデータがキー・スキャン・タイミング中にFIP24-FIP52端子から出力されます。

注意 キー・スキャン・タイミング中にセグメントと桁の両方がオンになるようなスキャンを行った場合、表示がちらつくことがあります。

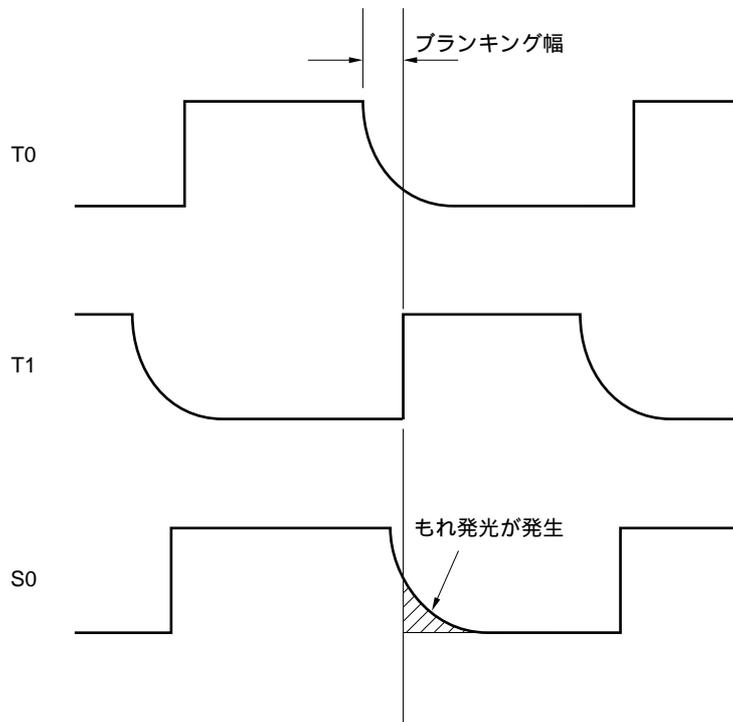
12.6 蛍光表示管のもれ発光について

μ PD780232サブシリーズを用いて蛍光表示管を駆動するときに、もれ発光が生じる場合があります。この原因としては主に次の2つが考えられます。

(1) ブランキング時間が短いことによるもれ発光

図12-8は2桁表示で1桁目T0は点灯し、2桁目T1は非点灯とした場合の信号波形を示しています。この図のようにブランキング時間が短いとセグメント信号がなくなる前にT1信号が立ち上がってしまうため、もれ発光が生じます。一般的にはブランキング時間は20 μ s程度必要となりますので、表示モード・レジスタ1 (DSPM1) の設定値を考慮する必要があります。

図12-8 ブランキング時間が短いことによるもれ発光の概念図



(2) 蛍光表示管のセグメント-グリッド間容量によるもれ発光

図12-10のように十分なブランキング時間をとったときでも、もれ発光が生じる場合があります。これは図12-9で C_{SG} として示されるように蛍光表示管のグリッド-セグメント間に容量があるため、セグメント信号がオンしたとき、 C_{SG} を通してタイミング信号端子が持ち上げられてしまいます。この電圧が図12-10のようにカット・オフ電圧 (E_k) 以上となると、もれ発光が生じます。

このヒゲ状の電圧は、 C_{SG} の大きさと内蔵プルダウン抵抗 (R_L) の値によって変化します。 C_{SG} の値が大きいほど、また R_L の値が大きいほどこの電圧は大きくなり、もれ発光は発生しやすくなります。

この C_{SG} の値は、蛍光表示管の表示面積によって異なり、面積が大きいほど C_{SG} は大きくなります。した

がって、蛍光表示管の大きさによってもれ発光を発生させないためのプルダウン抵抗値が異なってきます。

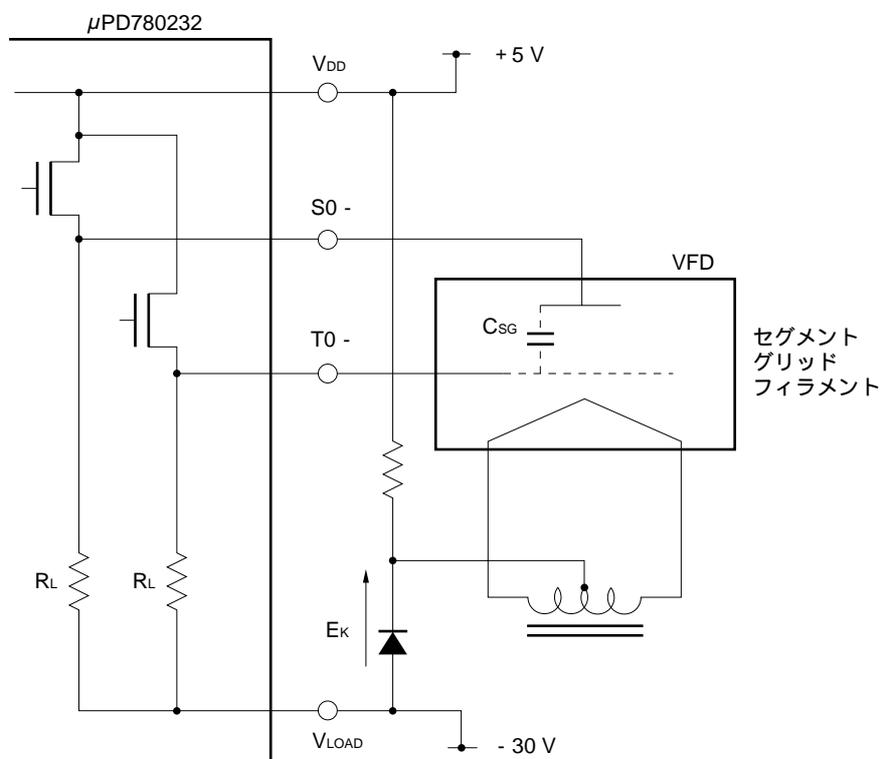
一方、マスク・オプションで内蔵できるプルダウン抵抗値は比較的大きくなっていますので、この内蔵プルダウン抵抗だけではもれ発光を抑えることができない場合が生じます。

十分な表示品質が得られない場合には、バック・バイアスを深くする（ E_k を上げる）、蛍光表示管にフィルタをかける、あるいはタイミング信号端子に数10k のプルダウン抵抗を外付けするなどの対策を検討してください。

この C_{SG} に起因するもれ発光は、全体の表示周期に対するヒゲ状電圧のデューティ・サイクルによって発生しやすさが変化しますので、表示桁数が少ないほど発生しやすいことになります。

また、表示輝度を下げても効果があります。

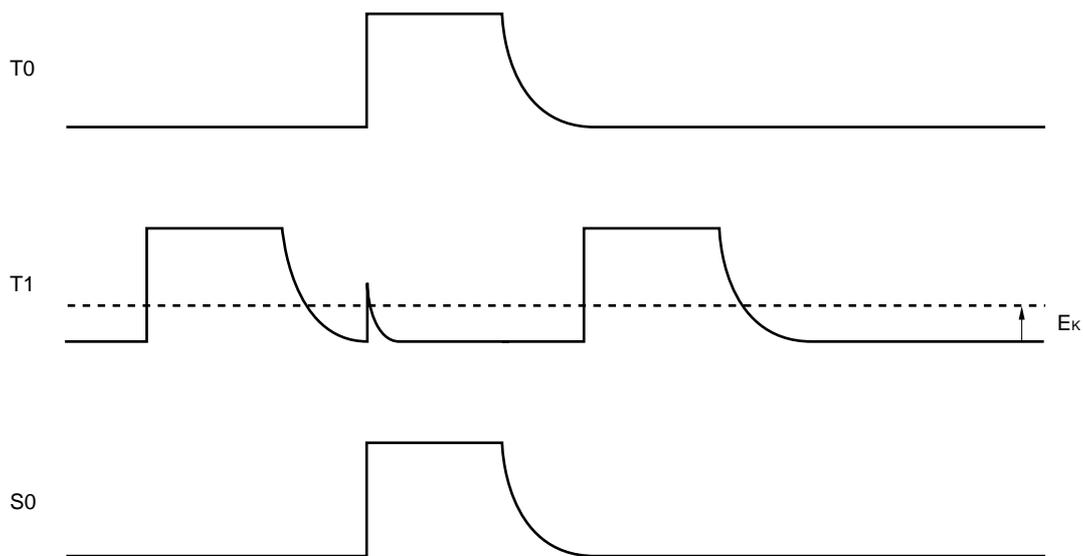
図12 - 9 C_{SG} によるもれ発光の説明図



E_k : カット・オフ電圧

R_L : 内蔵プルダウン抵抗

図12 - 10 C_{SG}によるもれ発光の概念図



12.7 全損失の計算方法

μPD780232サブシリーズの消費電力には次の3つがあります。この3つの消費電力の和が全損失P_T (図12 - 11 参照) 以下となるように設計してください (定格の80%以下での使用を推奨します)。

CPUの消費電力 : $V_{DD} (MAX.) \times I_{DD} (MAX.)$ で計算される消費電力です。

出力端子の消費電力 : VFD出力端子に最大の電流を流した場合の消費電力です。

プルダウン抵抗の消費電力 : VFD出力端子に内蔵するプルダウン抵抗による消費電力です。

図12 - 11 許容全損失P_T (T_A = -40 ~ +85)

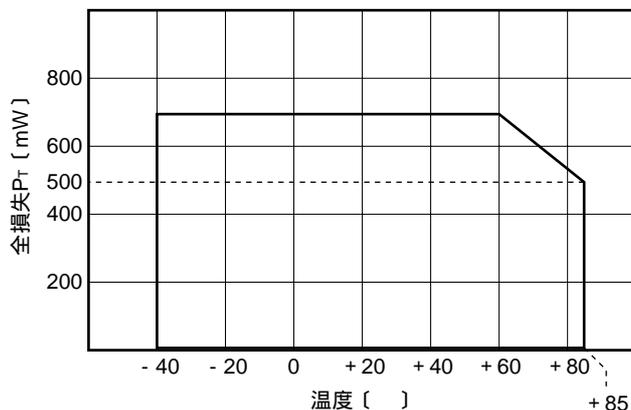


図12 - 12で示す表示例における全消費電力の計算方法を示します。

例 次のような条件を仮定します。

$V_{DD} = 5.5 \text{ V}$, 5.0 MHz発振

電源電流 (I_{DD}) = 21.0 mA

VFD出力 : 11グリッド × 10セグメント (ブランキング幅 = 1/16 : FBLK0-FBLK2 = 000Bのとき)

グリッド端子には最大15 mA流れるものとします。

セグメント端子には最大5 mA流れるものとします。

また, キー・スキャン・タイミングではVFD出力端子はオフしているものとします。

VFD出力電圧 : グリッド $V_{OD} = V_{DD} - 2 \text{ V}$ (2 Vの電圧降下があるものとします。)

セグメント $V_{OD} = V_{DD} - 0.5 \text{ V}$ (0.5 Vの電圧降下があるものとします。)

蛍光表示管の電圧 (V_{LOAD}) = - 35 V

マスク・オプション・プルダウン抵抗 = 35 k

以上のような条件を計算方法 ~ にあてはめ, 全損失を計算します。

CPUの消費電力 : $5.5 \text{ V} \times 21.0 \text{ mA} = 115.5 \text{ mW}$

出力端子の消費電力 :

$$\begin{aligned} \text{グリッド} \quad (V_{DD} - V_{OD}) \times \frac{\text{各グリッドの電流値合計}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ 2 \text{ V} \times \frac{15 \text{ mA} \times 11 \text{ グリッド}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 25.8 \text{ mW} \end{aligned}$$

$$\begin{aligned} \text{セグメント} (V_{DD} - V_{OD}) \times \frac{\text{点灯ドットのセグメント電流値合計}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ 0.5 \text{ V} \times \frac{5 \text{ mA} \times 31 \text{ ドット}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 6.1 \text{ mW} \end{aligned}$$

プルダウン抵抗の消費電力:

$$\begin{aligned} \text{グリッド} \quad \frac{(V_{OD} - V_{LOAD})}{\text{プルダウン抵抗値}} \times \frac{\text{グリッド数}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ \frac{(5.5 \text{ V} - 2 \text{ V} - (-35 \text{ V}))}{35 \text{ k}} \times \frac{11 \text{ グリッド}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 36.4 \text{ mW} \end{aligned}$$

$$\begin{aligned} \text{セグメント} \quad \frac{(V_{OD} - V_{LOAD})}{\text{プルダウン抵抗値}} \times \frac{\text{点灯ドット数}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ \frac{(5.5 \text{ V} - 0.5 \text{ V} - (-35 \text{ V}))}{35 \text{ k}} \times \frac{31 \text{ ドット}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 110.7 \text{ mW} \end{aligned}$$

第13章 割り込み機能

13.1 割り込み機能の種類

割り込み機能には、次の3種類があります。

★ (1) ノンマスカブル割り込み

割り込み禁止状態でも受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。ただし、ノンマスカブル割り込み中は保留されます。

スタンバイ・リリース信号を発生し、HALTモードを解除します。

ノンマスカブル割り込みは、ウォッチドッグ・タイマからの割り込み要求だけです。

(2) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR0L, PR0H) の設定により、割り込み優先順位を高い優先順位のグループと低い優先順位のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときの優先順位が決められています (表13 - 1 参照)。

★ スタンバイ・リリース信号を発生し、STOPモード、HALTモードを解除します。

マスカブル割り込みには、外部割り込み要求が2要因、内部割り込み要求が10要因あります。

(3) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

13.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込み、ソフトウェア割り込みをあわせて、合計14要因あります (表13 - 1 参照)。

表13 - 1 割り込み要因一覧

割り込みの種類	注1 デフォルト・ プライオリティ	割り込み要因		内部/ 外部	ベクタ・ テーブル・ アドレス	注2 基本構成 タイプ		
		名称	ト リ ガ					
ノンマスクブル	-	INTWDT	ウォッチドッグ・タイマのオーバフロー (ウォッチドッグ・タイマ・モード1選択時)	内部	0004H	(A)		
マスクブル	0	INTWDT	ウォッチドッグ・タイマのオーバフロー (インターバル・タイマ・モード選択時)					(B)
	1	INTP0	端子入力エッジ検出	外部	0006H 0008H	(C)		
	2	INTP1						
	3	INTTM90	リモコン・タイマ入力立ち上がりエッジ検出	内部	000AH	(B)		
	4	INTTM91	リモコン・タイマ入力立ち下がりエッジ検出		000CH			
	5	INTTM92	リモコン・タイマのオーバフロー		000EH			
	6	INTKS	VFDコントローラ/ドライバからのキー・スキャン・タイミング		0010H			
	7	INTCSI1	シリアル・インタフェースSIO1の転送終了		0012H			
	8	INTCSI3	シリアル・インタフェースSIO3の転送終了		0014H			
	9	INTTM80	TM80とCR80の一致		0016H			
	10	INTTM81	TM81とCR81の一致		0018H			
	11	INTAD	A/D変換終了		001AH			
ソフトウェア	-	BRK	BRK命令の実行		-		003EH	(D)

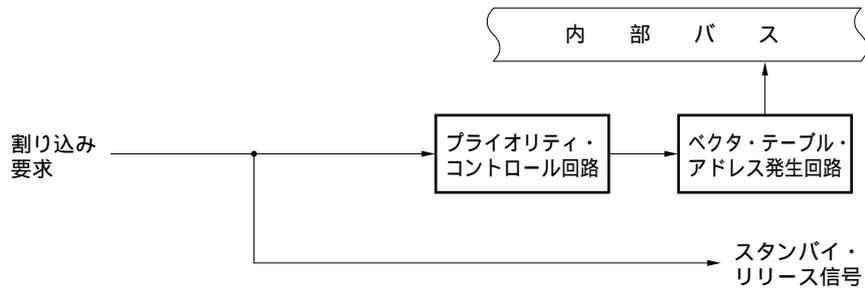
注1．デフォルト・プライオリティは、複数のマスクブル割り込み要求が同時に発生している場合に、優先する順位です。0が最高順位，11が最低順位です。

2．基本構成タイプの(A)-(D)は、それぞれ図13-1の(A)-(D)に対応しています。

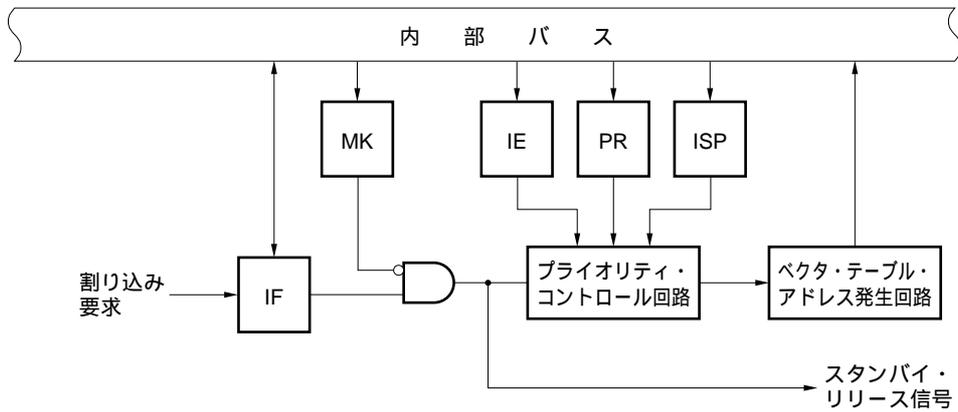
- ★ 備考 ウォッチドッグ・タイマの割り込み (INTWDT) は、ノンマスクブル割り込みかマスクブル割り込み (内部) のどちらかを選択できます。

図13 - 1 割り込み機能の基本構成 (1/2)

(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み (INTP0, INTP1)

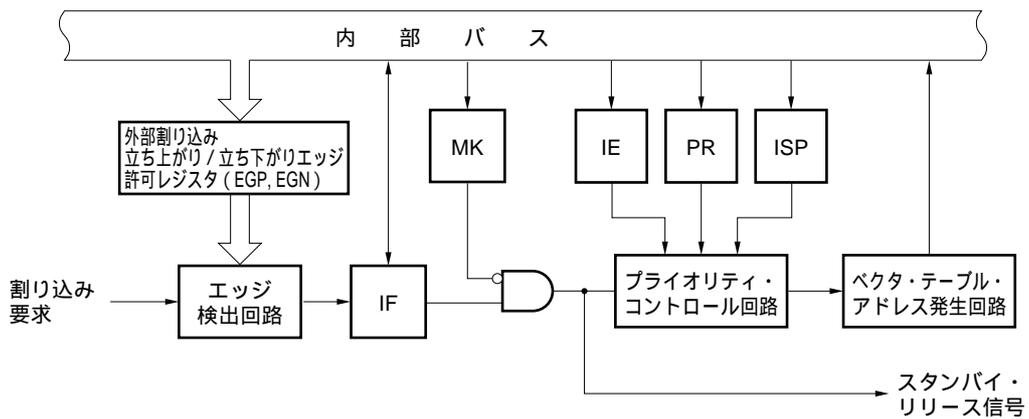
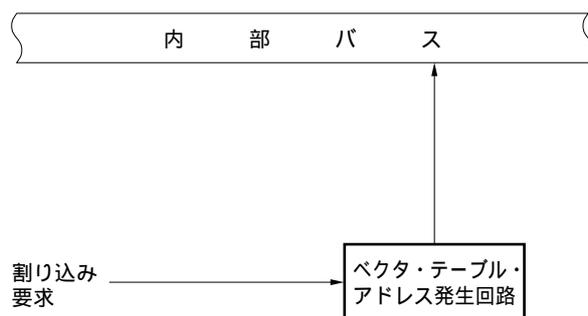


図13 - 1 割り込み機能の基本構成 (2/2)

★ (D) ソフトウェア割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP : インサース・プライオリティ・フラグ
- MK : 割り込みマスク・フラグ
- PR : 優先順位指定フラグ

13.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H)
- ・優先順位指定フラグ・レジスタ (PR0L, PR0H)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を、表13 - 2 に示します。

表13 - 2 割り込み要求ソースに対する各種フラグ

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTWDT	WDTIF ^注	IF0L	WDTMK ^注	MK0L	WDTPR ^注	PR0L
INTP0	PIF0		PMK0		PPR0	
INTP1	PIF1		PMK1		PPR1	
INTTM90	TMIF90		TMMK90		TMPR90	
INTTM91	TMIF91		TMMK91		TMPR91	
INTTM92	TMIF92		TMMK92		TMPR92	
INTKS	KSIF		KSMK		KSPR	
INTCS1	CSIF1		CSIMK1		CSIPR1	
INTCS3	CSIF3	IF0H	CSIMK3	MK0H	CSIPR3	PR0H
INTTM80	TMIF80		TMMK80		TMPR80	
INTTM81	TMIF81		TMMK81		TMPR81	
INTAD	ADIF		ADMK		ADPR	

注 WDTIF, WDTMK, WDTPRの各フラグは、ウォッチドッグ・タイマをインターバル・タイマとして使用したときの割り込み制御フラグです。

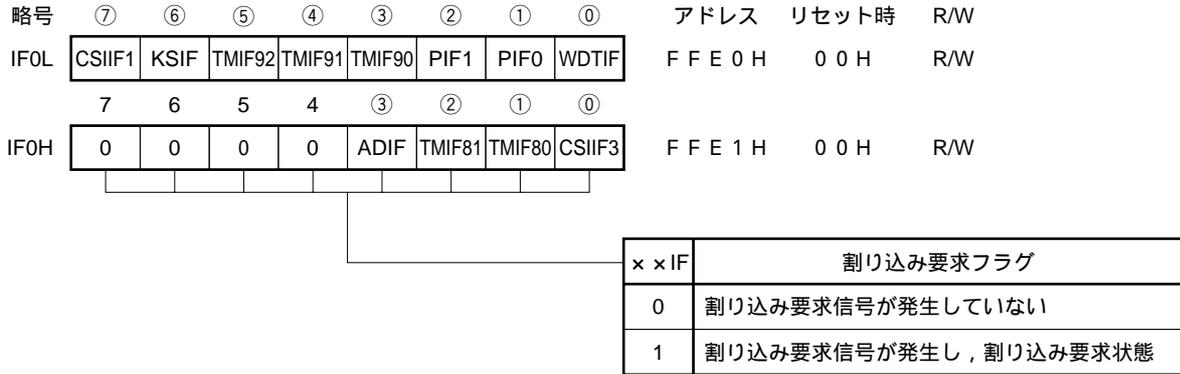
(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、RESET入力時、命令の実行によりクリア (0) されるフラグです。

IF0L, IF0Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。IF0LとIF0Hをあわせて16ビット・レジスタIF0として使用するときには、16ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図13 - 2 割り込み要求フラグ・レジスタのフォーマット



注意1 . WDTIFフラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1で使用する場合は、WDTIFフラグに“0”を設定してください。

2 . IF0Hのビット4-7には、必ず“0”を設定してください。

★ 3 . タイマ、シリアル・インタフェース、A/Dコンバータなどをスタンバイ解除後に動作させる場合、いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。

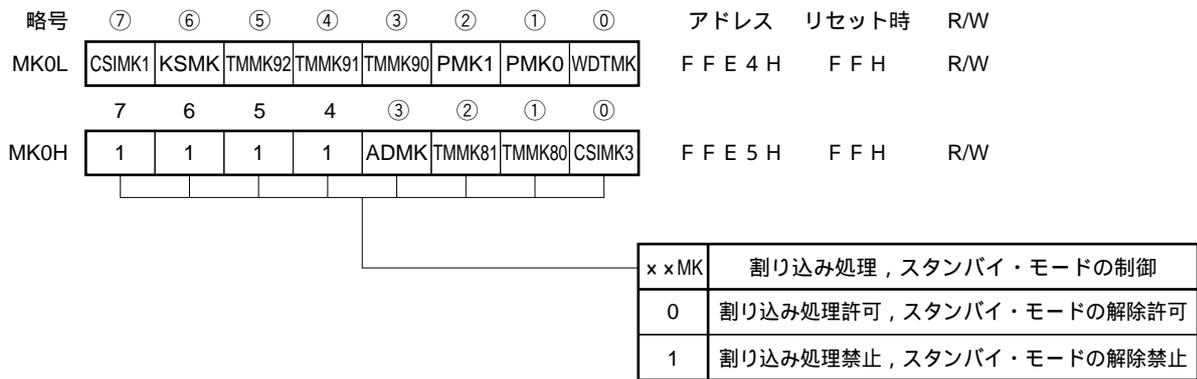
★ 4 . 割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止およびスタンバイ解除の許可/禁止を設定するフラグです。

MK0L, MK0Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。MK0LとMK0Hをあわせて16ビット・レジスタMK0として使用するときには、16ビット・メモリ操作命令で設定します。
RESET入力により、FFHになります。

図13-3 割り込みマスク・フラグ・レジスタのフォーマット



- 注意1. ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1で使用する場合は、WDTMKフラグを読み出すと不定になっています。
2. ポート0は外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。
したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに“1”を設定してください。
3. MK0Hのビット4-7には、必ず“1”を設定してください。

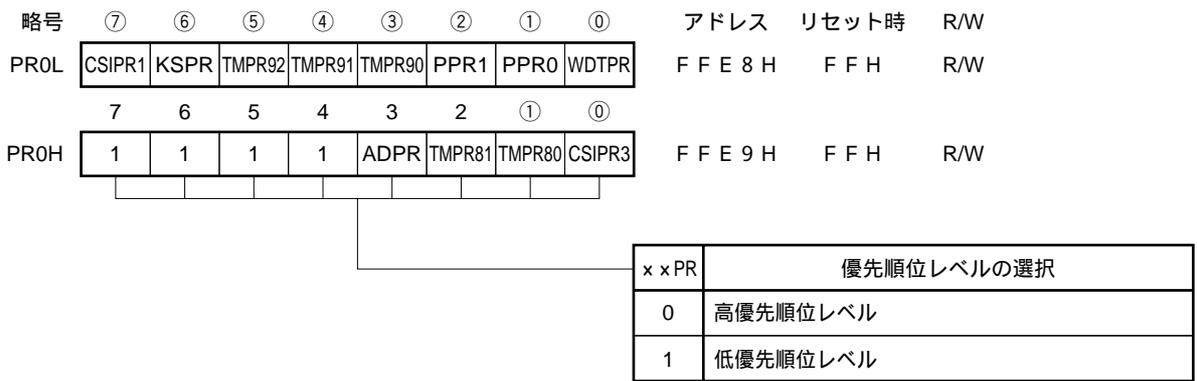
(3) 優先順位指定フラグ・レジスタ (PR0L, PR0H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位を設定するフラグです。

PR0L, PR0Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。PR0LとPR0Hをあわせて16ビット・レジスタPR0として使用するときには、16ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図13-4 優先順位指定フラグ・レジスタのフォーマット



注意1 . ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1で使用する場合は、WDTPRフラグに“1”を設定してください。

2 . PR0Hのビット4-7には、必ず“1”を設定してください。

(4) 外部割り込み立ち上がりエッジ許可レジスタ (EGP), 外部割り込み立ち下がり許可レジスタ (EGN)

INTP0, INTP1の有効エッジを設定するレジスタです。

EGP, EGNは, それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, 00Hになります。

★ 図13 - 5 外部割り込み立ち上がりエッジ許可レジスタ, 外部割り込み立ち下がりエッジ許可レジスタのフォーマット

アドレス : FF48H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP	0	0	0	0	0	0	EGP1	EGP0

アドレス : FF49H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN	0	0	0	0	0	0	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択 (n=0,1)
0	0	割り込み禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

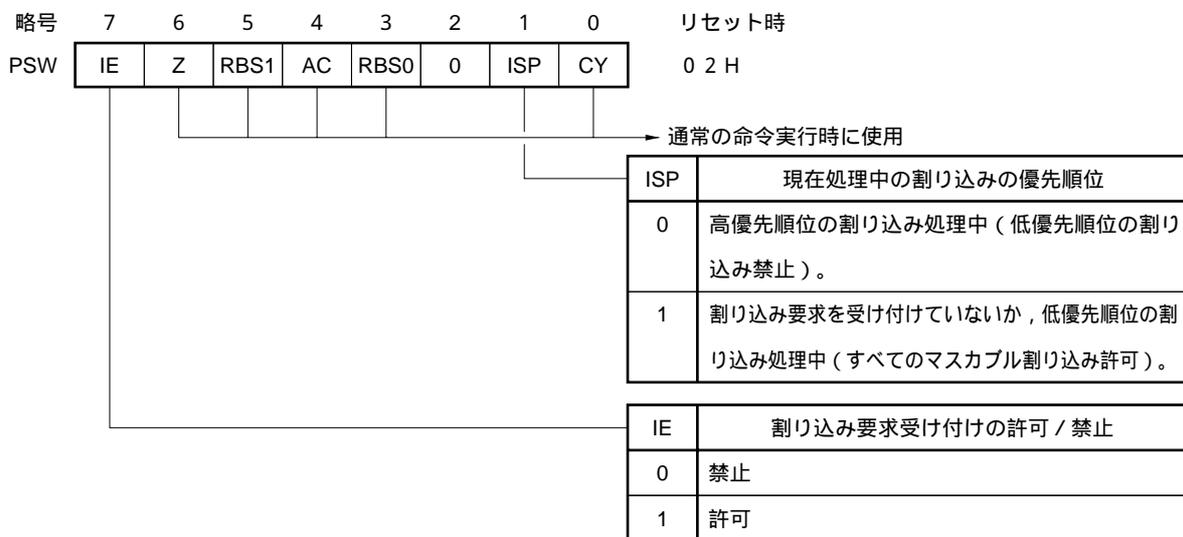
(5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスク可能割り込みの許可/禁止を設定するIEフラグと多重割り込み処理の制御を行うISPフラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時、およびBRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット (0) されます。また、マスク可能割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

$\overline{\text{RESET}}$ 入力により、PSWは02Hとなります。

図13 - 6 プログラム・ステータス・ワードの構成



13.4 割り込み処理動作

13.4.1 ノンマスカブル割り込み要求の受け付け動作

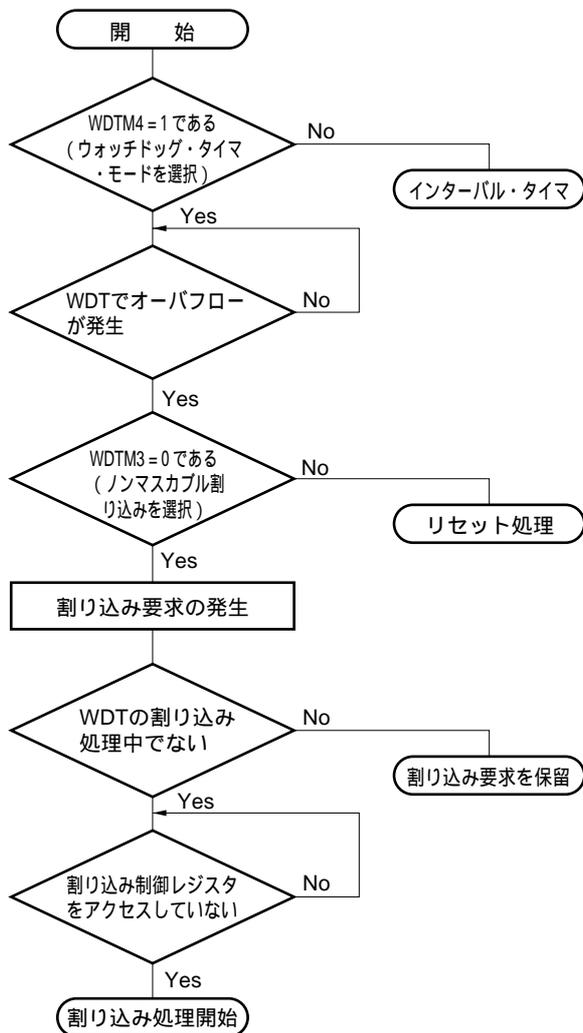
ノンマスカブル割り込み要求は、割り込み要求受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスカブル割り込み要求が受け付けられると、PSW、PCの順に内容をスタックに退避し、IEフラグ、ISPフラグをリセット（0）し、ベクタ・テーブルの内容をPCへロードし分岐します。

ノンマスカブル割り込みサービス・プログラム実行中に発生した新たなノンマスカブル割り込み要求は、現在処理中のノンマスカブル割り込みサービス・プログラムの実行が終了（RETI命令実行後）し、メイン・ルーチンを1命令実行したあと、受け付けられます。ただし、ノンマスカブル割り込みサービス・プログラム実行中に新たなノンマスカブル割り込み要求が2回以上発生しても、そのノンマスカブル割り込みサービス・プログラム実行終了後に受け付けられるノンマスカブル割り込み要求は1回分だけになります。

ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャートを図13-7に、ノンマスカブル割り込み要求の受け付けタイミングを図13-8に、ノンマスカブル割り込み要求が多重に発生した場合の受け付け動作を図13-9に示します。

図13 - 7 ノンマスカブル割り込みの要求発生から受け付けまでのフロー・チャート



WDTM : ウォッチドッグ・タイム・モード・レジスタ

WDT : ウォッチドッグ・タイム

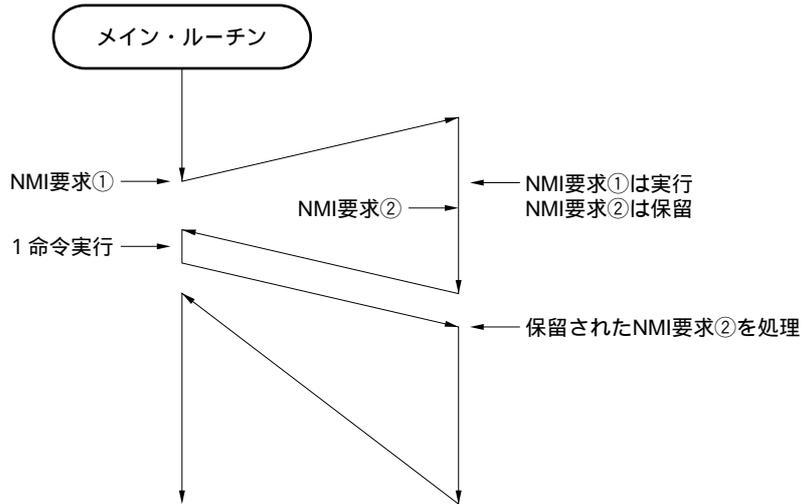
図13 - 8 ノンマスカブル割り込み要求の受け付けタイミング



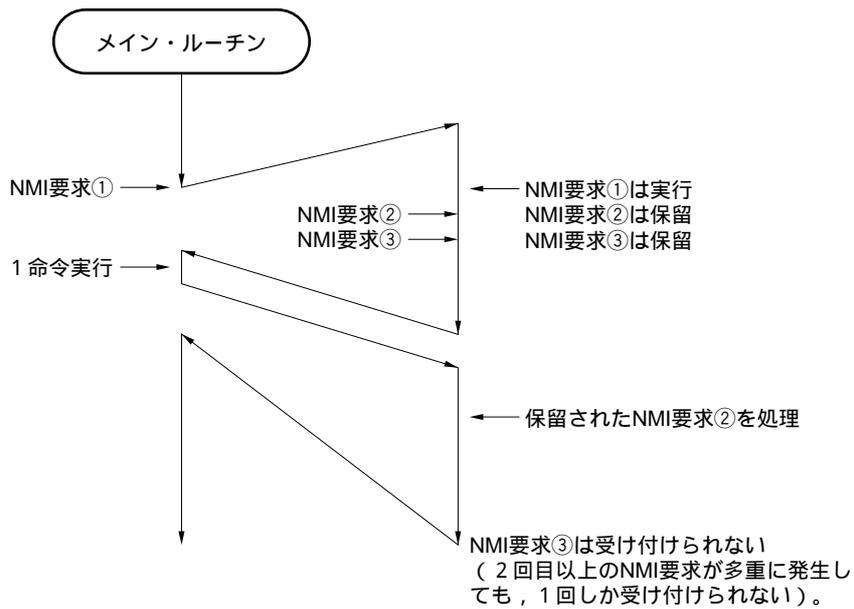
WDTIF : ウォッチドッグ・タイム割り込み要求フラグ

図13 - 9 ノンマスクابل割り込み要求の受け付け動作

(a) ノンマスクابل割り込みサービス・プログラム実行中に
新たなノンマスクابل割り込み要求が発生した場合



(b) ノンマスクابل割り込みサービス・プログラム実行中に
新たに2回のノンマスクابل割り込み要求が発生した場合



13.4.2 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット（1）され、その割り込み要求のマスク（MK）フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。ただし、優先順位の高い割り込みを処理中（ISPフラグがリセット（0）されているとき）に低い優先順位に指定されている割り込みの要求は受け付けられません。

マスカブル割り込み要求が発生してから割り込み処理が行われるまでの時間は表13 - 3のようになります。割り込み要求の受け付けタイミングについては、図13 - 11、図13 - 12を参照してください。

表13 - 3 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
x × PR = 0 のとき	7クロック	32クロック
x × PR = 1 のとき	8クロック	33クロック

注 除算命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック： $\frac{1}{f_{CPU}}$ （ f_{CPU} ：CPUクロック）

マスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込み要求から受け付けられます。

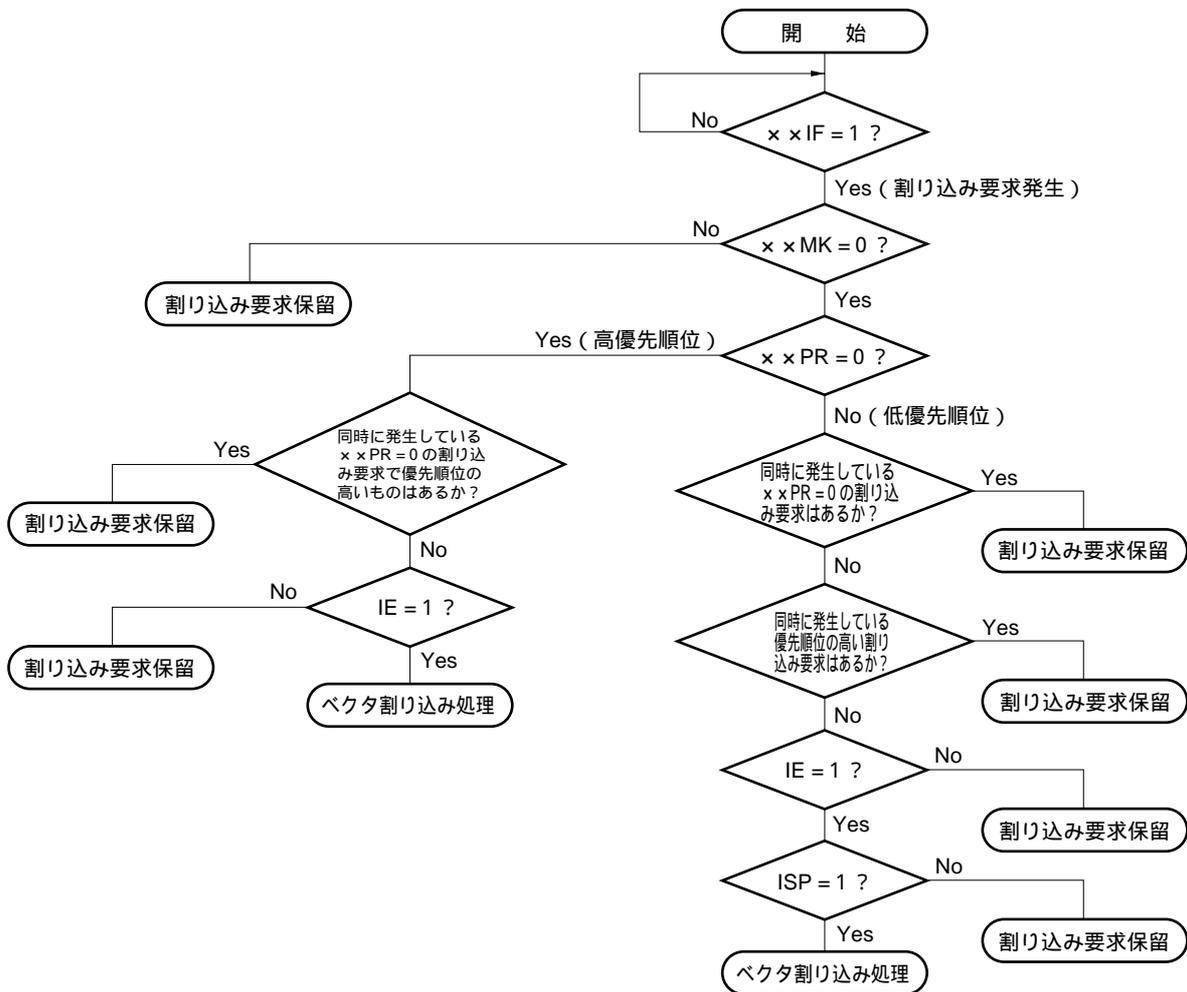
保留された割り込み要求は、受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図13 - 10に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード（PSW）、プログラム・カウンタ（PC）の順に内容をスタックに退避し、IEフラグをリセット（0）し、受け付けた割り込み要求の優先順位指定フラグの内容をISPフラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図13 - 10 割り込み要求受け付け処理アルゴリズム



x x IF : 割り込み要求フラグ

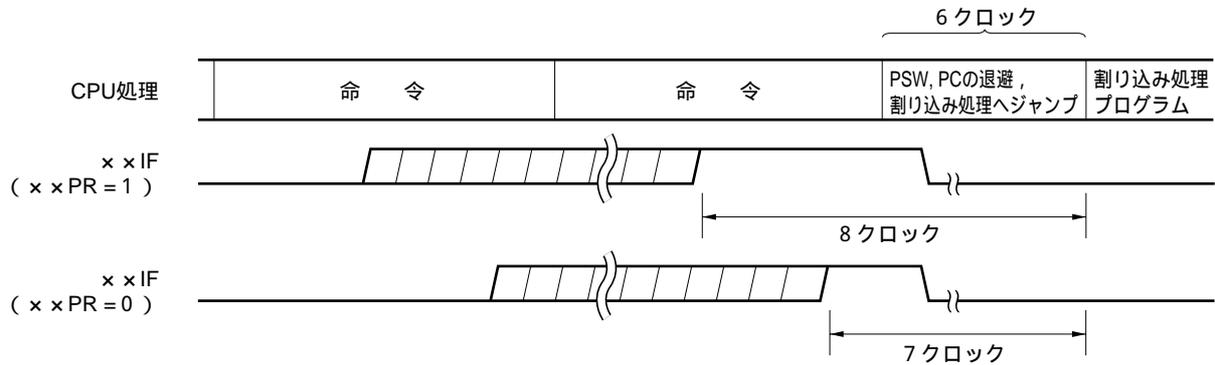
x x MK : 割り込みマスク・フラグ

x x PR : 優先順位指定フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可 , 0 = 禁止)

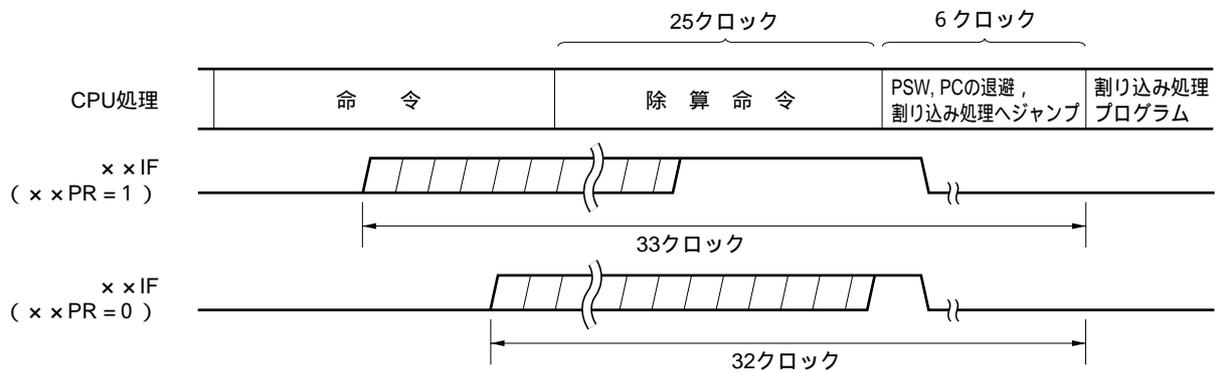
ISP : 現在処理中の割り込みの優先順位を示すフラグ (0 = 高優先順位の割り込み処理中 , 1 = 割り込み要求を受け付けていない , または低優先順位の割り込み処理中)

図13 - 11 割り込み要求の受け付けタイミング (最小時間)



備考 1クロック： $\frac{1}{f_{CPU}}$ (f_{CPU} : CPUクロック)

図13 - 12 割り込み要求の受け付けタイミング (最大時間)



備考 1クロック： $\frac{1}{f_{CPU}}$ (f_{CPU} : CPUクロック)

13.4.3 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (003EH, 003FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

13.4.4 多重割り込み処理

割り込み処理中に、さらに別の割り込みを受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません (ノンマスクブル割り込みを除く)。また、割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みと同レベルか、それよりも高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みより低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

なお、ノンマスクブル割り込み処理中には、多重割り込みは許可されません。

表13 - 4 に多重割り込み可能な割り込み要求を、図13 - 13 に多重割り込みの例を示します。

表13 - 4 割り込み処理中に多重割り込み可能な割り込み要求

多重割り込み要求 処理中の割り込み		ノンマスクブル 割り込み要求	マスクブル割り込み要求			
			x x PR = 0		x x PR = 1	
			IE = 1	IE = 0	IE = 1	IE = 0
ノンマスクブル割り込み		x	x	x	x	x
マスクブル割り込み	ISP = 0			x	x	x
	ISP = 1			x		x
ソフトウェア割り込み				x		x

備考1 . : 多重割り込み可能。

x : 多重割り込み不可能。

2 . ISP, IEはPSWに含まれるフラグです。

ISP = 0 : 高優先順位の割り込み処理中

ISP = 1 : 割り込み要求を受け付けていないか、低優先順位の割り込み処理中

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

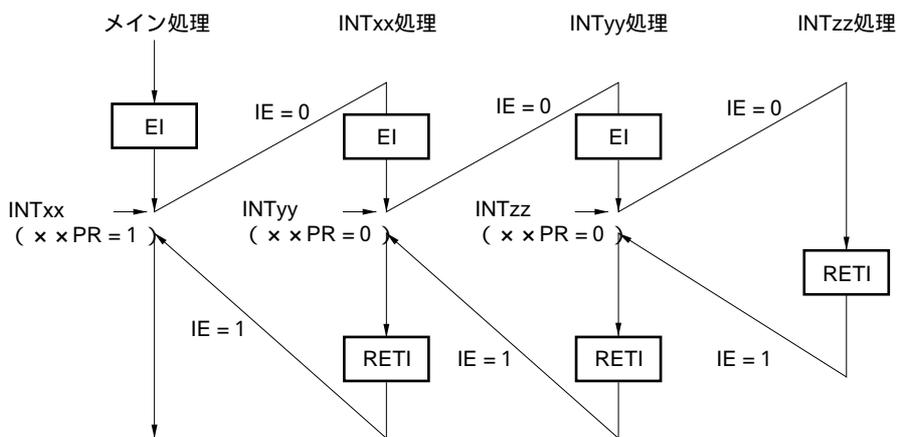
3 . x x PRはPROL, PROHに含まれるフラグです。

x x PR = 0 : 高優先順位レベル

x x PR = 1 : 低優先順位レベル

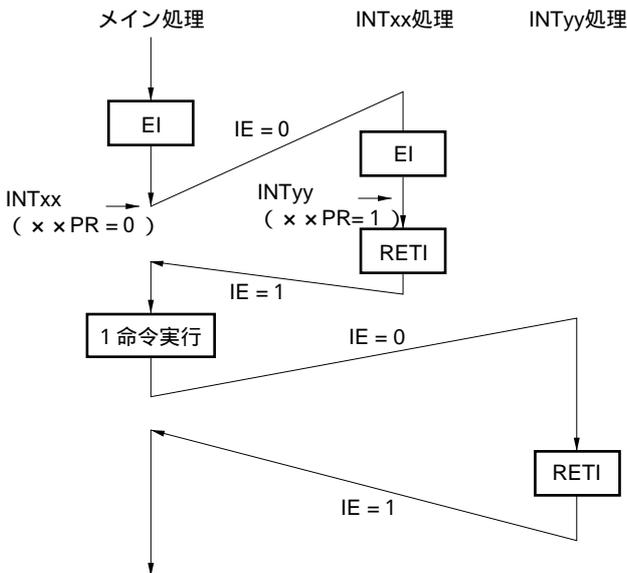
図13 - 13 多重割り込みの例 (1/2)

例 1 . 多重割り込みが 2 回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy、INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている。

例 2 . 優先順位制御により、多重割り込みが発生しない例

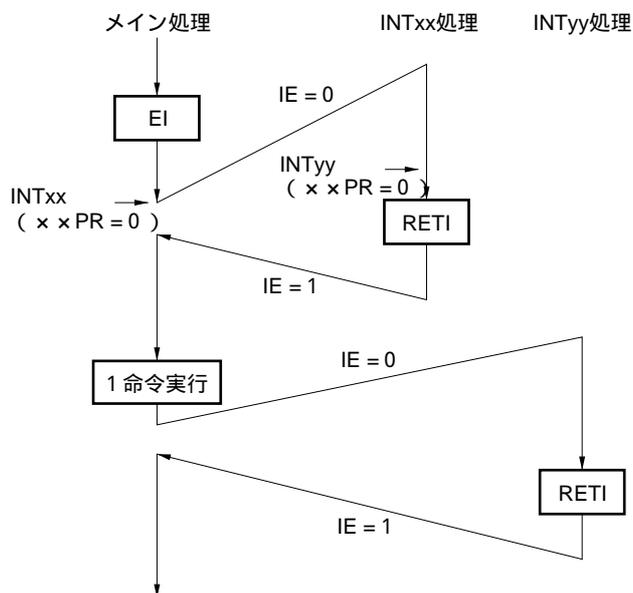


割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理 1 命令実行後に受け付けられる。

- x x PR = 0 : 高優先順位レベル
- x x PR = 1 : 低優先順位レベル
- IE = 0 : 割り込み要求受け付け禁止

図13 - 13 多重割り込みの例 (2/2)

例3 . 割り込みが処理されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

x x PR = 0 : 高優先順位レベル
 IE = 0 : 割り込み要求受け付け禁止

13.4.5 割り込み要求の保留

命令の中には、実行中に割り込み要求が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を以下に示します。

- ・ MOV PSW, #byte
- ・ MOV A, PSW
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ MOV1 CY, PSW. bit
- ・ AND1 CY, PSW. bit
- ・ OR1 CY, PSW. bit
- ・ XOR1 CY, PSW. bit
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ PUSH PSW
- ・ POP PSW
- ・ BT PSW. bit, \$addr16
- ・ BF PSW. bit, \$addr16
- ・ BTCLR PSW. bit, \$addr16
- ・ EI
- ・ DI
- ・ IF0L, IF0H, MK0L, MK0H, PR0L, PR0H, INTM0の各レジスタに対する操作命令

注意 BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスカブル割り込み要求が発生しても、割り込み要求を受け付けません。ただし、ノンマスカブル割り込み要求は受け付けます。

割り込み要求が保留されるタイミングを図13 - 14に示します。

図13 - 14 割り込み要求の保留



備考1 . 命令N : 割り込み要求の保留命令

2 . 命令M : 割り込み要求の保留命令以外の命令

3 . x x IF (割り込み要求)の動作は, x x PR (優先順位レベル)の値の影響を受けません。

第14章 スタンバイ機能

14.1 スタンバイ機能と構成

14.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。このモードでは、STOPモードほどの消費電力の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、時計動作のような間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、メイン・システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電力を、かなり低減できます。

また、データ・メモリの低電圧 ($V_{DD}=2V$ まで) 保持が可能です。したがって、超低消費電力でデータ・メモリの内容を保持する場合に有効です。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- ★ **注意 1** . STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください。
- 2 . A/Dコンバータ部の消費電力を低減させるためには、A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (CS0) を0にクリアし、A/D変換動作を停止させてから、HALT命令またはSTOP命令を実行してください。

14.1.2 スタンバイ機能を制御するレジスタ

割り込み要求でSTOPモードを解除してから発振が安定するまでのウエイト時間は、発振安定時間選択レジスタ (OSTS) で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

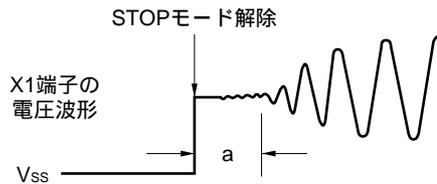
$\overline{\text{RESET}}$ 入力により、04Hになります。したがって、 $\overline{\text{RESET}}$ 入力でSTOPモードを解除するとき、解除までの時間は $2^{17}/f_x$ です。

図14 - 1 発振安定時間選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	FFFAH	04H	R/W

OSTS2	OSTS1	OSTS0	STOPモード解除時の発振安定時間の選択
0	0	0	$2^{12}/f_x$ (819 μs)
0	0	1	$2^{14}/f_x$ (3.28 ms)
0	1	0	$2^{15}/f_x$ (6.55 ms)
0	1	1	$2^{16}/f_x$ (13.1 ms)
1	0	0	$2^{17}/f_x$ (26.2 ms)
上記以外			設定禁止

注意 STOPモード解除時のウエイト時間は、 $\overline{\text{RESET}}$ 入力による場合も、割り込み要求発生による場合もSTOPモード解除後クロック発振を開始するまでの時間(下図 a)は含みません。



備考 1 . f_x : メイン・システム・クロック発振周波数

2 . () 内は、 $f_x = 5.0 \text{ MHz}$ 動作時。

14.2 スタンバイ機能の動作

14.2.1 HALTモード

(1) HALTモードの設定および動作状態

HALTモードは、HALT命令の実行により設定されます。

次にHALTモード時の動作状態を示します。

表14 - 1 HALTモード時の動作状態

項 目	動作状態
クロック発生回路	発振可能 CPUへのクロック供給は停止
CPU	動作停止
ポート（出力ラッチ）	HALT命令実行直前の状態を保持
8ビット・リモコン・タイマ9	動作可能
8ビット・タイマ80, 81	
ウォッチドッグ・タイマ	
A/Dコンバータ	
シリアル・インタフェースSIO1, SIO3	
VFDコントローラ/ドライバ	動作禁止
外部割り込み要求	動作可能

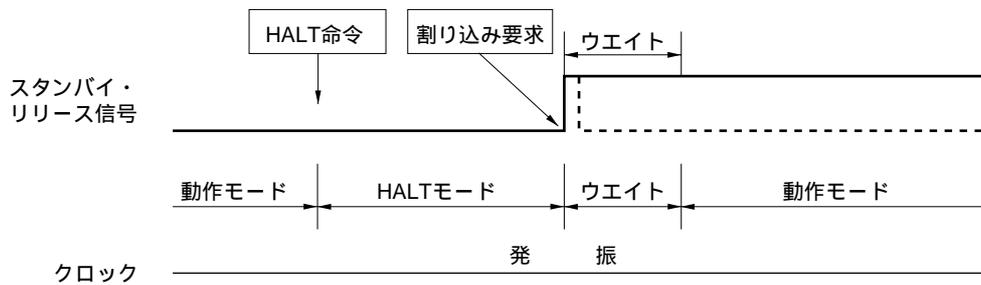
(2) HALTモードの解除

HALTモードは、次の3種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、HALTモードは解除されます。割り込み要求受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み要求受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図14 - 2 HALTモードの割り込み要求発生による解除



備考1．破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2．ウエイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 8 ~ 9クロック
- ・ベクタ割り込み処理を行わない場合 : 2 ~ 3クロック

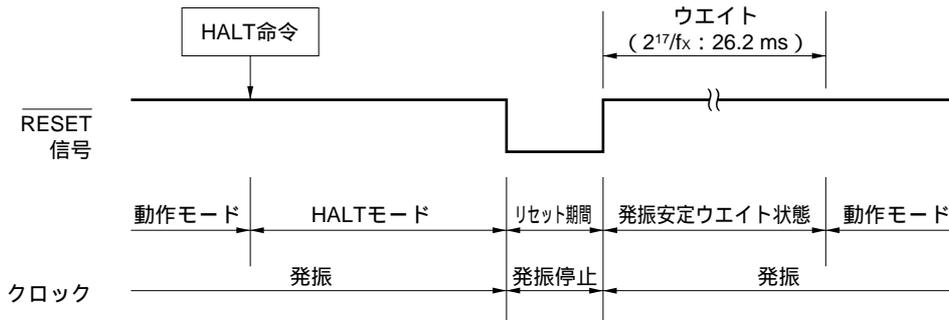
(b) ノンマスクابل割り込み要求による解除

ノンマスクابل割り込み要求が発生すると、割り込み要求受け付け許可、禁止の状態に関係なく、HALTモードは解除され、ベクタ割り込み処理が行われます。

(c) $\overline{\text{RESET}}$ 入力による解除

$\overline{\text{RESET}}$ 信号の入力があると、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図14 - 3 HALTモードの $\overline{\text{RESET}}$ 入力による解除



備考1 . f_x : メイン・システム・クロック発振周波数

2 . () 内は, $f_x = 5.0 \text{ MHz}$ 動作時。

表14 - 2 HALTモードの解除後の動作

解除ソース	$\times \times \text{MK}$	$\times \times \text{PR}$	IE	ISP	動作
マスカブル 割り込み要求	0	0	0	\times	次アドレス命令実行
	0	0	1	\times	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	\times	0	
	0	1	1	1	割り込み処理実行
	1	\times	\times	\times	\times
ノンマスカブル 割り込み要求	-	-	\times	\times	割り込み処理実行
$\overline{\text{RESET}}$ 入力	-	-	\times	\times	リセット処理

\times : don't care

14.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。

注意 1. STOPモードに設定すると、水晶発振回路部のリークを抑えるためにX2端子が内部でV_{DD1}にプルアップされます。したがって、メイン・システム・クロックに外部クロックを使用するシステムでは、STOPモードは使用しないでください。

2. スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表14 - 3 STOPモード時の動作状態

項 目	動作状態
クロック発生回路	発振停止
CPU	動作停止
ポート（出力ラッチ）	STOP命令実行直前の状態を保持
8ビット・リモコン・タイマ9	動作停止
8ビット・タイマ80, 81	
ウォッチドッグ・タイマ	
A/Dコンバータ	
シリアル・インタフェースSIO1, SIO3	シリアル・クロックに外部からの入力 クロック選択時のみ、動作可能
VFDコントローラ/ドライバ	動作禁止
外部割り込み要求	動作可能

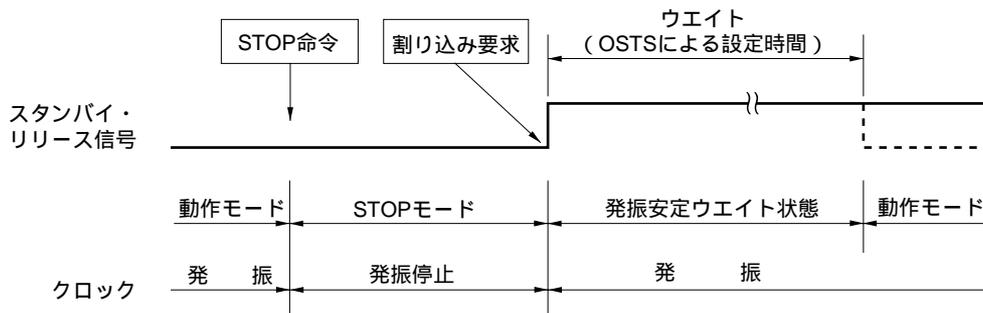
(2) STOPモードの解除

STOPモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードが解除されます。発振安定時間経過後、割り込み要求受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み要求受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図14 - 4 STOPモードの割り込み要求発生による解除

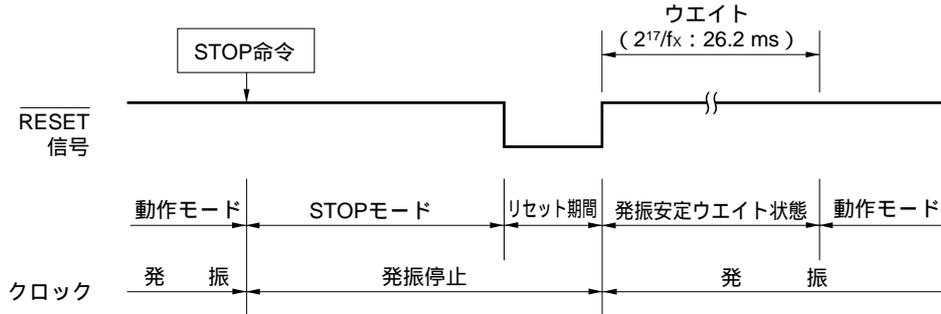


備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) $\overline{\text{RESET}}$ 入力による解除

STOPモードを解除し、発振安定時間経過後リセット動作を行います。

図14 - 5 STOPモードの $\overline{\text{RESET}}$ 入力による解除



備考1 . f_x : メイン・システム・クロック発振周波数

2 . () 内は, $f_x = 5.0 \text{ MHz}$ 動作時。

表14 - 4 STOPモードの解除後の動作

解除ソース	$\times \times \text{MK}$	$\times \times \text{PR}$	IE	ISP	動作
マスクブル	0	0	0	\times	次アドレス命令実行
割り込み要求	0	0	1	\times	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	\times	0	
	0	1	1	1	割り込み処理実行
	1	\times	\times	\times	STOPモード保持
$\overline{\text{RESET}}$ 入力	-	-	\times	\times	リセット処理

\times : don't care

第15章 リセット機能

15.1 リセット機能

リセット信号を発生させる方法には、次の2種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

外部リセットと内部リセットは機能面での差はなく、 $\overline{\text{RESET}}$ 入力により、ともに0000H、0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、またはウォッチドッグ・タイマのオーバフローが発生することによってリセットがかかり、各ハードウェアは表15 - 1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、発振安定時間経過後 ($2^{17}/f_x$) プログラムの実行を開始します。また、ウォッチドッグ・タイマのオーバフロー発生によるリセットは、リセット後、自動的にリセットが解除され、発振安定時間経過後 ($2^{17}/f_x$) プログラムの実行を開始します (図15 - 2から図15 - 4参照)。

注意 1 . 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。

2 . リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、ハイ・インピーダンスとなります。

図15 - 1 リセット機能のブロック図

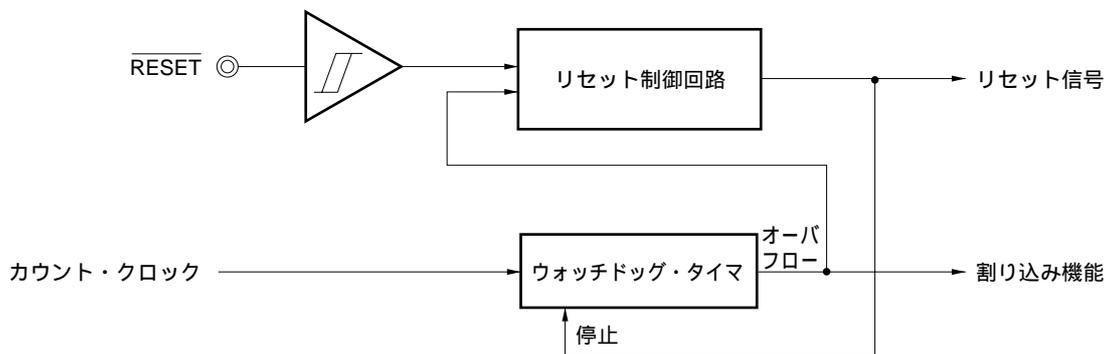


図15 - 2 RESET入力によるリセット・タイミング

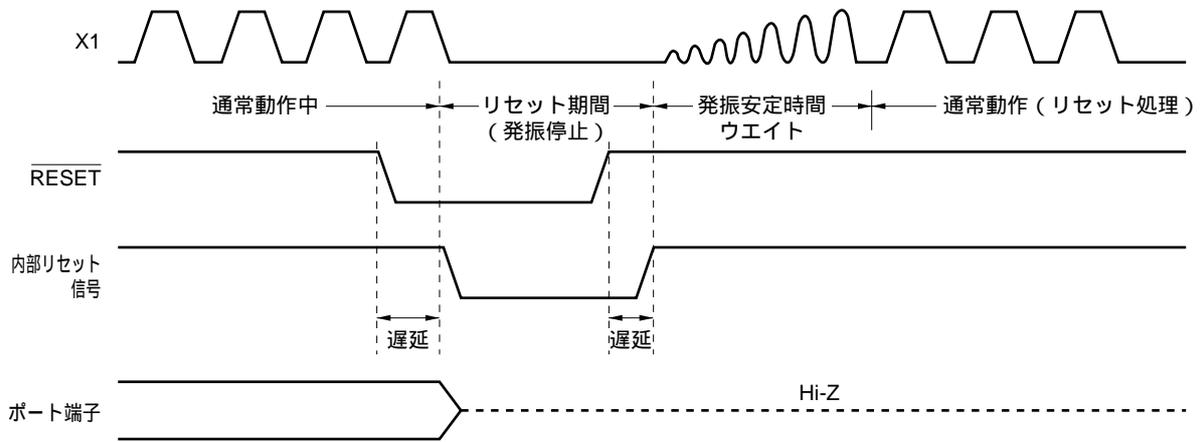


図15 - 3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

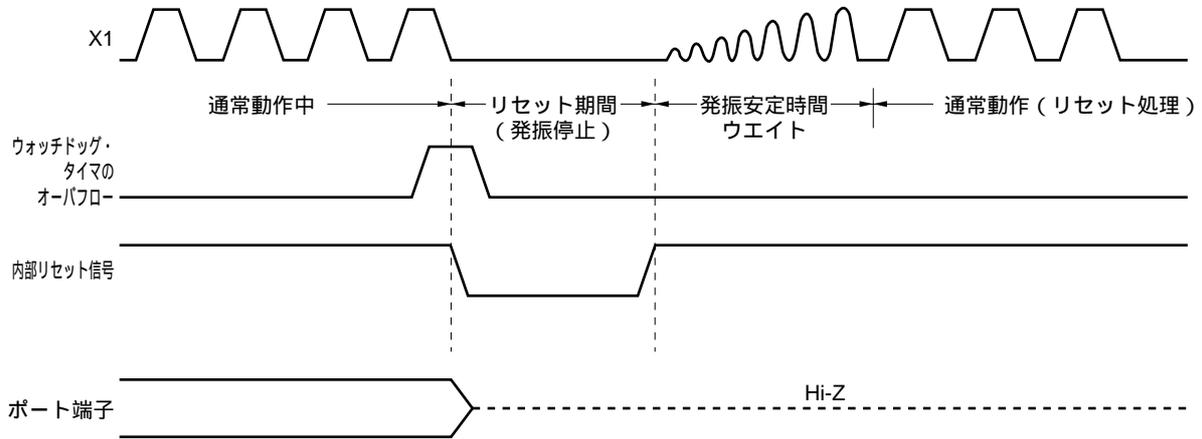


図15 - 4 STOPモード中のRESET入力によるリセット・タイミング

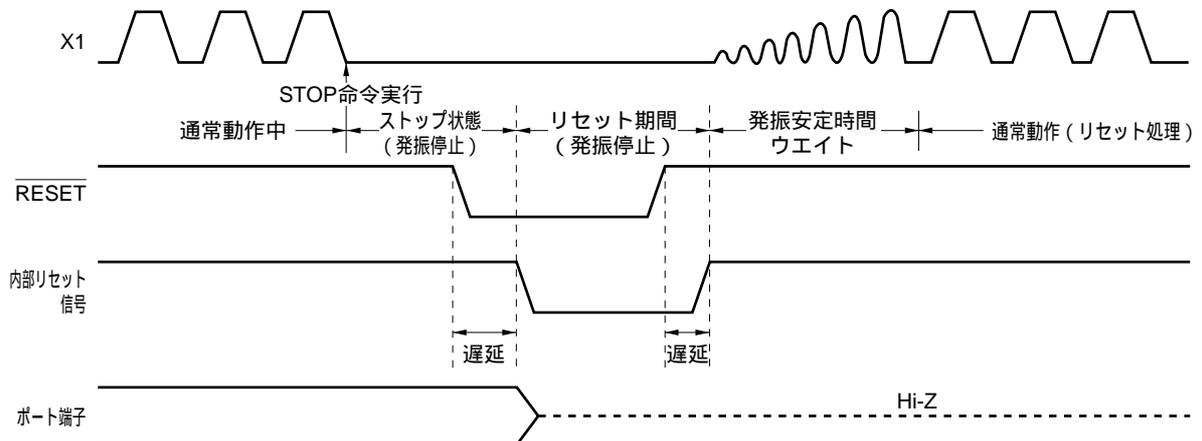


表15 - 1 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) 注1		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定注2
	汎用レジスタ	不定注2
ポート (出力ラッチ)	ポート 0 , ポート 2-6 (P0, P2-P6)	00H
ポート・レベル・リード・レジスタ (PT5, PT6)		不定
ポート・モード・レジスタ (PM0, PM2)		FFH
プルアップ抵抗オプション・レジスタ (PU0, PU2)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		04H
メモリ・サイズ切り替えレジスタ (IMS)		CFH注3
発振安定時間選択レジスタ (OSTS)		04H
8ビット・リモコン・タイマ	キャプチャ・レジスタ90, 91 (CP90, CP91)	00H
	モード・コントロール・レジスタ9 (TMC9)	00H
8ビット・タイマ	コンペア・レジスタ80, 81 (CR80, CR81)	00H
	モード・コントロール・レジスタ80, 81 (TMC80, TMC81)	00H
ウォッチドッグ・タイマ	クロック選択レジスタ (WDCS)	00H
	モード・レジスタ (WDTM)	00H
A/Dコンバータ	変換結果レジスタ0 (ADCR0)	不定
	モード・レジスタ0 (ADM0)	00H
	アナログ入力チャネル指定レジスタ0 (ADS0)	00H
シリアル・インタフェース	シフト・レジスタ3 (SIO3)	不定
SIO3	モード・レジスタ3 (CSIM3)	00H

注1 . リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他の他は、リセット後の状態と変わりありません。

2 . スタンバイ・モード時でのリセット後の状態は保持となります。

3 . リセット後は、必ず次のように設定してください。

・ μPD780232 : 04H

★ ・ μPD780233 : 06H

・ μPD78F0233 : マスクROM製品に対応した値

表15 - 1 各ハードウェアのリセット後の状態 (2/2)

	ハ ー ド ウ エ ア	リセット後の状態
シリアル・インタフェース SIO1	シフト・レジスタ1 (SIO1)	00H
	モード・レジスタ1 (CSIM1)	00H
	自動データ送受信アドレス・ポインタ (ADTP)	不定
	自動データ送受信コントロール・レジスタ (ADTC)	00H
	自動データ送受信転送間隔指定レジスタ (ADTI)	00H
VFDコントローラ/ドライバ	表示モード・レジスタ0 (DSPM0)	10H
	表示モード・レジスタ1 (DSPM1)	01H
	表示モード・レジスタ2 (DSPM2)	00H
割り込み	外部割り込み立ち上がりエッジ許可レジスタ (EGP)	00H
	外部割り込み立ち下がりエッジ許可レジスタ (EGN)	00H
	要求フラグ・レジスタ (IF0L, IF0H)	00H
	マスク・フラグ・レジスタ (MK0L, MK0H)	FFH
	優先順位指定フラグ・レジスタ (PR0L, PR0H)	FFH

第16章 μ PD78F0233

μ PD78F0233は、基板に実装した状態でプログラムの書き込み、消去が可能なフラッシュ・メモリを内蔵した製品です。フラッシュ・メモリ製品 (μ PD78F0233) とマスクROM製品 (μ PD780232, 780233) との違いを表16-1に示します。

★

表16 - 1 μ PD78F0233とマスクROM製品の違い

項 目	μ PD78F0233	μ PD780232	μ PD780233
内部ROM構造	フラッシュ・メモリ	マスクROM	
内部ROM容量	24 Kバイト ^注	16 Kバイト	24 Kバイト
メモリ・サイズ切り替えレジスタ (IMS) による内部ROM容量の変更	可	不可	
IC端子	なし	あり	
V _{PP} 端子	あり	なし	
FIP0-FIP23端子のプルダウン抵抗	あり	マスク・オプションにより選択	
P30/FIP24-P37/FIP31, P40/FIP32-P47/FIP39, P50/FIP40-P57/FIP47, P60/FIP48-P64/FIP52端子のプルダウン抵抗	なし		
電気的特性, 半田付け推奨条件	第18章 電気的特性, 第20章 半田付け推奨条件を参照してください。		

注 メモリ・サイズ切り替えレジスタ (IMS) により、マスク製品と同一の容量に設定できます。

注意 フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品 (ES製品でなく) で十分に評価してください。

16.1 メモリ・サイズ切り替えレジスタ

μPD78F0233は、メモリ・サイズ切り替えレジスタ（IMS）により、内部メモリ容量を選択できます。IMSを設定することにより、内部メモリ容量の異なるマスクROM製品と同一のメモリ・マップにできます。

IMSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、CFHになります。

注意 プログラムの初期設定としてIMSには必ず図16-1に示す値を設定してください。なお、リセットによりIMSはCFHになりますので、リセット後は必ず対象のマスクROM製品の値を設定してください。

図16-1 メモリ・サイズ切り替えレジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IMS	RAM2	RAM1	RAM0	0	ROM3	ROM2	ROM1	ROM0	FFF0H	CFH	R/W

RAM2	RAM1	RAM0	内部高速RAM容量の選択			
0	0	0	768バイト			
上記以外			設定禁止			

ROM3	ROM2	ROM1	ROM0	内部ROM容量の選択			
0	1	0	0	16 Kバイト			
0	1	1	0	24 Kバイト			
上記以外				設定禁止			

マスクROM製品と同一のメモリ・マップにするIMSの設定値を表16-2に示します。

表16-2 メモリ・サイズ切り替えレジスタの設定値

対象のマスクROM製品	IMSの設定値
μPD780232	04H
μPD780233	06H

★

注意 マスクROM製品を使用する場合、IMSには表16-2に示す値を必ず設定してください。

★ 16.2 フラッシュ・メモリの特徴

フラッシュ・メモリへのプログラミングは、ターゲット・システムに実装した状態（オンボード）で、専用のフラッシュ・ライター（Flashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4））をターゲット・システムに接続して行います。またプログラミング専用のターゲット・ボードであるフラッシュ書き込み用アダプタ（プログラム・アダプタ）を用意しています。

備考 FL-PR3, FL-PR4, プログラム・アダプタは、株式会社内藤電誠町田製作所（TEL（045）475-4191）の製品です。

フラッシュ・メモリによるプログラミングには、次のような利点があります。

ターゲット・システムにマイコンを半田実装後、ソフトウェアの変更可能
ソフトウェアを区別することで少量多品種生産が容易
量産立ち上げ時のデータ調整が容易

16.2.1 プログラミング環境

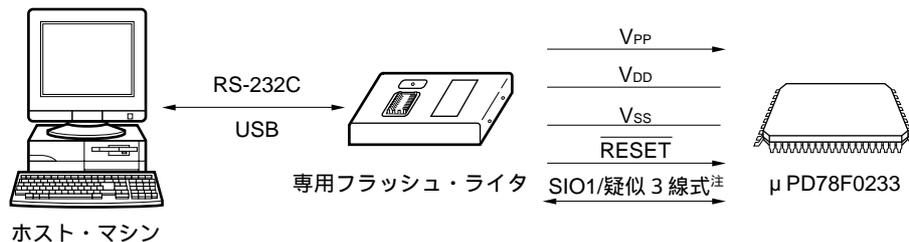
μ PD78F0233のフラッシュ・メモリ・プログラミングに必要な環境を示します。

専用フラッシュ・ライターとしてFlashpro /Flashpro を使用した場合、専用フラッシュ・ライターには、これを制御するホスト・マシンが必要です。ホスト・マシンとフラッシュ・ライター間の通信は、RS-232C/USB（Rev1.1）で行います。

詳細はFlashpro /Flashpro のマニュアルを参照してください。

備考 USBはFlashpro のみ対応

図16 - 2 フラッシュ・メモリにプログラムを書き込むための環境



注 ポートをソフトウェアで制御してシリアル転送を行います。

16.2.2 通信方式

専用フラッシュ・ライタと μ PD78F0233との通信は、表16 - 3 に示す通信方式から選択して行います。

表16 - 3 通信方式一覧

通信方式	Standard (TYPE) 設定 ^{注1}					使用端子	V _{PP} パルス数
	Port (COMM PORT)	Speed (SIO CLOCK)	On Target (CPU CLOCK)	Frequency (Flashpro Clock)	Multiply rate (Multiple Rate)		
3 線式シリアルI/O (SIO1)	SIO-ch0 (SIO ch-0)	2.4 kHz-625 kHz ^{注2} (100 Hz-1.25 MHz) ^{注2}	任意	1-5 MHz ^{注2}	1.0	S11/P26 SO1/P25 SCK1/P27	0
疑似 3 線式シリアルI/O	Port-ch0 (Port A)	100 Hz-1000 Hz ^{注2}	任意	1-5 MHz ^{注2}	1.0	P22 (SI) P21 (SO) P20 (SCK)	12

注1 . Flashpro 上のStandard設定 (Flashpro 上ではTYPE設定) における選択項目です。

2 . 電圧により設定可能な範囲が異なります。詳細は第18章 電気的特性を参照してください。

備考 設定項目の () 内は, Flashpro と異なる場合のFlashpro の設定値および設定項目です。

図16 - 3 通信方式選択フォーマット

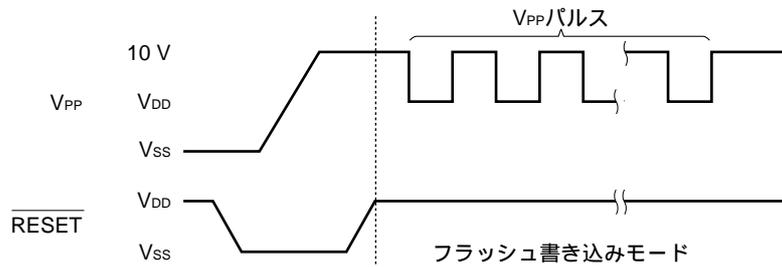
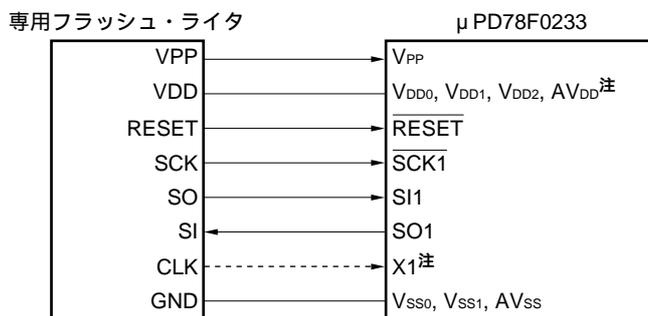
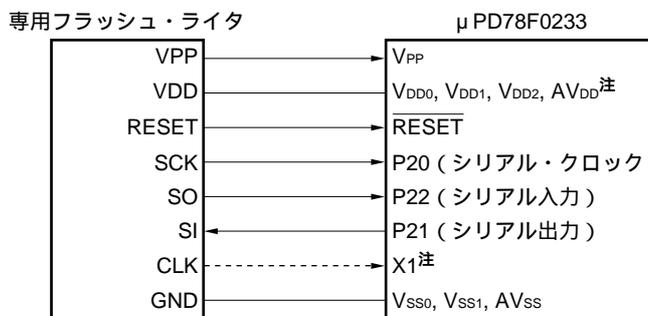


図16 - 4 専用フラッシュ・ライタとの接続例

(a) 3 線式シリアルI/O (SIO1)



(b) 疑似 3 線式シリアルI/O



注 V_{DD0}, V_{DD1}, V_{DD2}, AV_{DD}およびX1端子はオン・ボード上での供給が可能です。この場合、専用フラッシュ・ライタと接続する必要はありませんが、プログラミング開始前にV_{DD}電圧を供給する必要があります。

専用フラッシュ・ライターとしてFlashpro /Flashpro を使用した場合， μ PD78F0233に対して次の信号を生成します。詳細はFlashpro /Flashpro のマニュアルを参照してください。

表16 - 4 端子接続一覧

信号名	入出力	端子機能	端子名	SIO1	疑似3線式
VPP	出力	書き込み電圧	V _{PP}		
VDD	入出力	V _{DD} 電圧生成 / 電圧監視	V _{DD0} , V _{DD1} , V _{DD2} , AV _{DD}	注	注
GND	-	グランド	V _{SS0} , V _{SS1} , AV _{SS}		
CLK	出力	クロック出力	X1		
RESET	出力	リセット信号	$\overline{\text{RESET}}$		
SI	入力	受信信号	SO1, P21		
SO	出力	送信信号	SI1, P22		
SCK	出力	転送クロック	$\overline{\text{SCK1}}$, P20		

注 V_{DD}電圧はプログラミング開始前に供給する必要があります。

備考 : 必ず接続してください。

: ターゲット・ボード上で供給されていれば，接続の必要はありません。

16.2.3 オンボード上の端子処理

ターゲット・システム上でプログラミングを行う場合は、ターゲット・システム上に専用フラッシュ・ライタと接続するためのコネクタを設けます。

また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能が必要になる場合があります。

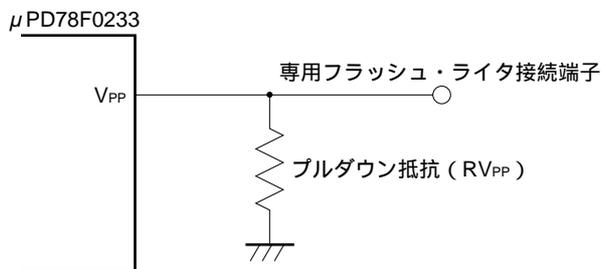
<V_{PP}端子>

通常動作モード時は、V_{PP}端子に0 Vを入力します。またフラッシュ・メモリ・プログラミング・モード時は、V_{PP}端子に10.0 V (TYP.) の書き込み電圧を供給しますので、次の端子処理を行ってください。

- (1) V_{PP}端子にプルダウン抵抗R_{VPP} = 10 k を接続してください
- (2) ボード上のジャンパで、V_{PP}端子の入力をライタ側または直接GNDのどちらかに切り替えてください

V_{PP}端子の接続例を次に示します。

図16 - 5 V_{PP}端子の接続例



<シリアル・インタフェース端子>

各シリアル・インタフェースが使用する端子を次に示します。

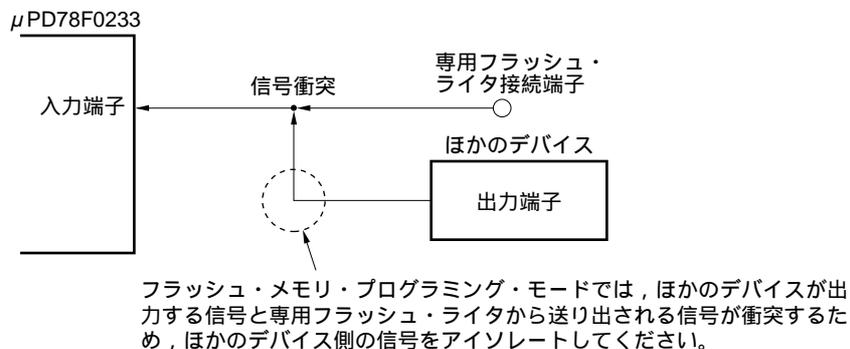
シリアル・インタフェース	使用端子
3線式シリアルI/O (SIO1)	SI1, SO1, $\overline{\text{SCK1}}$
疑似3線式シリアルI/O	P20, P21, P22

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライタを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライタ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

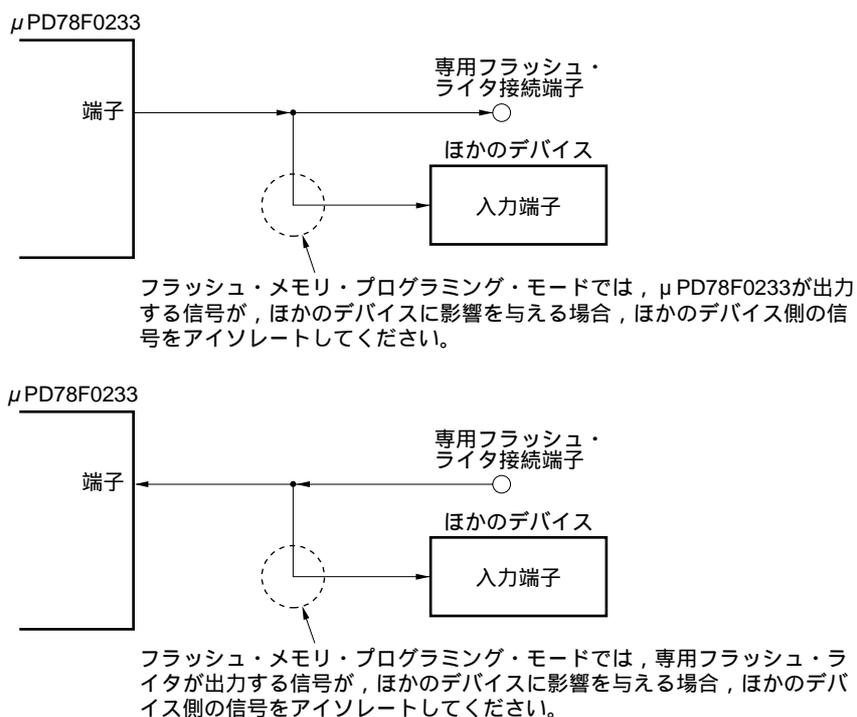
図16 - 6 信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・ライタ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスへの入力信号を無視するように設定してください。

図16 - 7 ほかのデバイスの異常動作

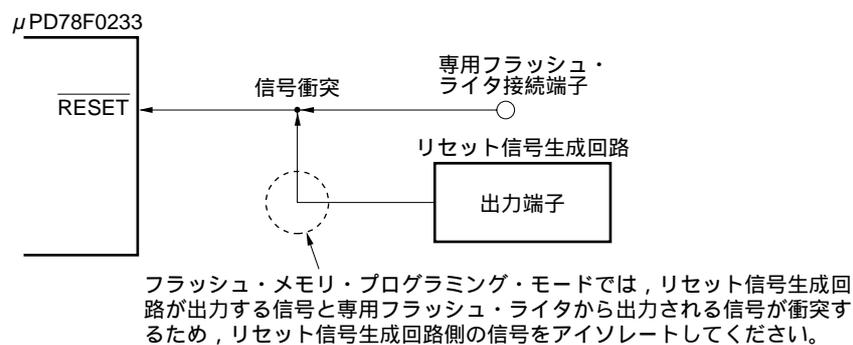


<RESET端子>

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図16 - 8 信号の衝突 (RESET端子)

**<ポート端子>**

フラッシュ・メモリ・プログラミング・モードに移行すると、フラッシュ・メモリ・プログラミングと通信する端子を除くすべての端子は、すべてリセット直後と同じ状態になります。

したがって、外部デバイスが出力ハイ・インピーダンス状態などの初期状態を認めない場合は、抵抗を介してVDD0に接続する、または抵抗を介してVSS0に接続するなどの処置をしてください。

<発振端子>

オンボード上のクロックを使用する場合、X1, X2は、通常動作モード時に準拠した接続をしてください。

フラッシュ・ライタのクロック出力を使用する場合は、オンボード上のメイン発振子を切り離し、X1端子に直接接続し、X2端子はオープンにしてください。

<電 源>

フラッシュ・ライタの電源出力を使用する場合は、VDD0, VDD1, VDD2端子はフラッシュ・ライタのVDDに、VSS0, VSS1端子はフラッシュ・ライタのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。ただし、フラッシュ・ライタで電圧監視をするので、フラッシュ・ライタのVDDIは必ず接続してください。

その他の電源 (AVDD, AVSS) は、通常動作モード時と同じ電源を供給してください。

<その他の端子>

その他の端子 (FIP0-FIP23, ANI0-ANI3) は、通常動作モード時と同じ処理をしてください。

16.2.4 フラッシュ書き込み用アダプタの接続

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図16 - 9 3線式シリアルI/O (SIO1) でのフラッシュ書き込み用アダプタ配線例

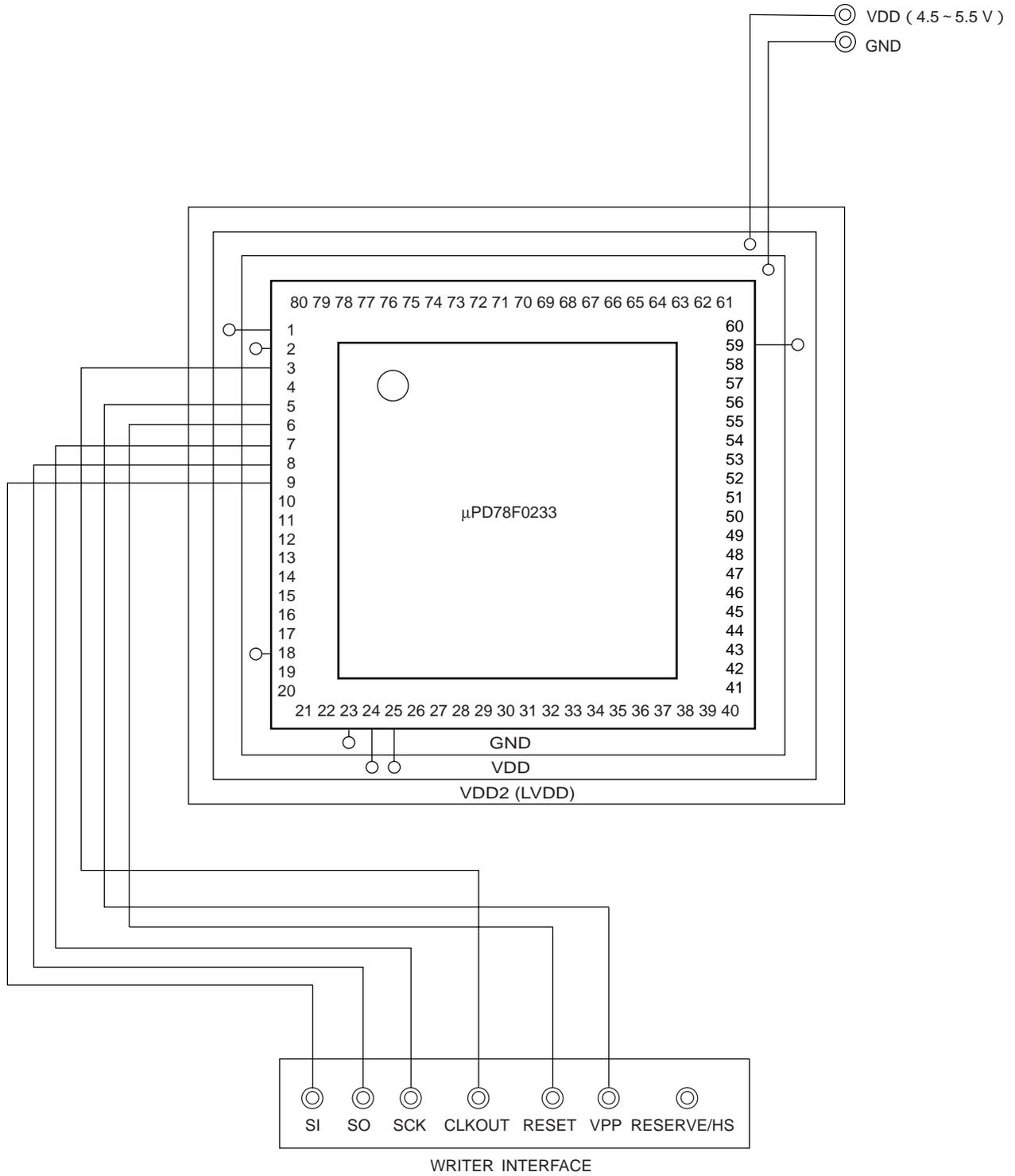
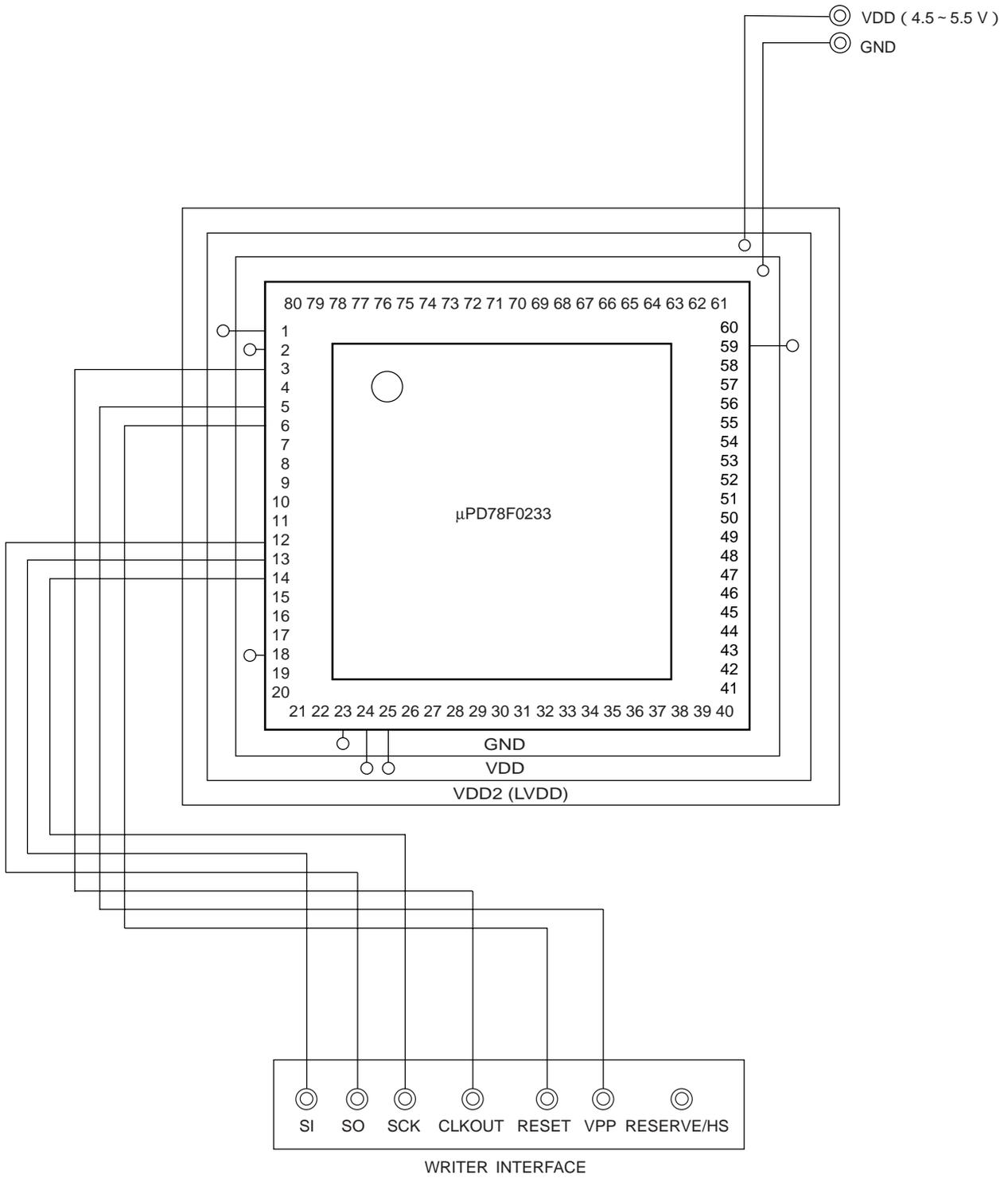


図16 - 10 疑似3線式シリアルI/Oでのフラッシュ書き込み用アダプタ配線例



第17章 命令セットの概要

μPD780232サブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください。

17.1 凡 例

17.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・# : イミディエト・データ指定
- ・! : 絶対アドレス指定
- ・\$: 相対アドレス指定
- ・[] : 間接アドレス指定

イミディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X、A、Cなど）、絶対名称（下表の中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表17 - 1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X (R0), A (R1), C (R2), B (R3), E (R4), D (R5), L (R6), H (R7)
rp	AX (RP0), BC (RP1), DE (RP2), HL (RP3)
sfr	特殊機能レジスタ略号 ^注
sfrp	特殊機能レジスタ略号 (16ビット操作可能なレジスタの偶数アドレスのみ) ^注
saddr	FE20H-FF1FH イミディエト・データまたはラベル
saddrp	FE20H-FF1FH イミディエト・データまたはラベル (偶数アドレスのみ)
addr16	0000H-FFFFH イミディエト・データまたはラベル (16ビット・データ転送命令時は偶数アドレスのみ)
addr11	0800H-0FFFH イミディエト・データまたはラベル
addr5	0040H-007FH イミディエト・データまたはラベル (偶数アドレスのみ)
word	16ビット・イミディエト・データまたはラベル
byte	8ビット・イミディエト・データまたはラベル
bit	3ビット・イミディエト・データまたはラベル
RBn	RB0-RB3

注 FFD0H-FFDFHは、アドレスできません。

備考 特殊機能レジスタの略号は表3 - 3 特殊機能レジスタ一覧を参照してください。

17.1.2 オペレーション欄の説明

A	: Aレジスタ ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア ; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
RBS	: レジスタ・バンク選択フラグ
IE	: 割り込み要求許可フラグ
NMIS	: ノンマスクブル割り込み処理中フラグ
()	: () 内のアドレスまたはレジスタの内容で示されるメモリの内容
\times_H, \times_L	: 16ビット・レジスタの上位8ビット, 下位8ビット
	: 論理積 (AND)
	: 論理和 (OR)
—	: 排他的論理和 (exclusive OR)
—	: 反転データ
addr16	: 16ビット・イミディエト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

17.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
\times	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

17.2 オペレーション一覧

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
8ビット・データ転送	MOV	r, #byte	2	4	-	r byte	
		saddr, #byte	3	6	7	(saddr) byte	
		sfr, #byte	3	-	7	sfr byte	
		A, r 注3	1	2	-	A r	
		r, A 注3	1	2	-	r A	
		A, saddr	2	4	5	A (saddr)	
		saddr, A	2	4	5	(saddr) A	
		A, sfr	2	-	5	A sfr	
		sfr, A	2	-	5	sfr A	
		A, !addr16	3	8	9	A (addr16)	
		!addr16, A	3	8	9	(addr16) A	
		PSW, #byte	3	-	7	PSW byte	x x x
		A, PSW	2	-	5	A PSW	
		PSW, A	2	-	5	PSW A	x x x
		A, [DE]	1	4	5	A (DE)	
		[DE], A	1	4	5	(DE) A	
		A, [HL]	1	4	5	A (HL)	
		[HL], A	1	4	5	(HL) A	
		A, [HL+byte]	2	8	9	A (HL+byte)	
		[HL+byte], A	2	8	9	(HL+byte) A	
	A, [HL+B]	1	6	7	A (HL+B)		
	[HL+B], A	1	6	7	(HL+B) A		
	A, [HL+C]	1	6	7	A (HL+C)		
	[HL+C], A	1	6	7	(HL+C) A		
	XCH	A, r 注3	1	2	-	A r	
		A, saddr	2	4	6	A (saddr)	
		A, sfr	2	-	6	A sfr	
		A, !addr16	3	8	10	A (addr16)	
		A, [DE]	1	4	6	A (DE)	
		A, [HL]	1	4	6	A (HL)	
A, [HL+byte]		2	8	10	A (HL+byte)		
A, [HL+B]		2	8	10	A (HL+B)		
A, [HL+C]	2	8	10	A (HL+C)			

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . r=Aを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

命令群	二モニク	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	rp, # word	3	6	-	rp word			
		saddrp, # word	4	8	10	(saddrp) word			
		sfrp, # word	4	-	10	sfrp word			
		AX, saddrp	2	6	8	AX (saddrp)			
		saddrp, AX	2	6	8	(saddrp) AX			
		AX, sfrp	2	-	8	AX sfrp			
		sfrp, AX	2	-	8	sfrp AX			
		AX, rp <small>注3</small>	1	4	-	AX rp			
		rp, AX <small>注3</small>	1	4	-	rp AX			
		AX, !addr16	3	10	12	AX (addr16)			
		!addr16, AX	3	10	12	(addr16) AX			
XCHW	AX, rp <small>注3</small>	1	4	-	AX rp				
8ビット演算	ADD	A, # byte	2	4	-	A, CY A + byte	x	x	x
		saddr, # byte	3	6	8	(saddr), CY (saddr) + byte	x	x	x
		A, r <small>注4</small>	2	4	-	A, CY A + r	x	x	x
		r, A	2	4	-	r, CY r + A	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B)	x	x	x
		A, [HL + C]	2	8	9	A, CY A + (HL + C)	x	x	x
	ADDC	A, # byte	2	4	-	A, CY A + byte + CY	x	x	x
		saddr, # byte	3	6	8	(saddr), CY (saddr) + byte + CY	x	x	x
		A, r <small>注4</small>	2	4	-	A, CY A + r + CY	x	x	x
		r, A	2	4	-	r, CY r + A + CY	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr) + CY	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16) + CY	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL) + CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte) + CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B) + CY	x	x	x
A, [HL + C]	2	8	9	A, CY A + (HL + C) + CY	x	x	x		

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . rp = BC, DE, HLのときのみ。

4 . r = Aを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUB	A, #byte	2	4	-	A, CY A - byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte	x	x	x
		A, r <small>注3</small>	2	4	-	A, CY A - r	x	x	x
		r, A	2	4	-	r, CY r - A	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B)	x	x	x
		A, [HL + C]	2	8	9	A, CY A - (HL + C)	x	x	x
	SUBC	A, #byte	2	4	-	A, CY A - byte - CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte - CY	x	x	x
		A, r <small>注3</small>	2	4	-	A, CY A - r - CY	x	x	x
		r, A	2	4	-	r, CY r - A - CY	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr) - CY	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16) - CY	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL) - CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte) - CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B) - CY	x	x	x
		A, [HL + C]	2	8	9	A, CY A - (HL + C) - CY	x	x	x
	AND	A, #byte	2	4	-	A A byte	x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte	x		
		A, r <small>注3</small>	2	4	-	A A r	x		
		r, A	2	4	-	r r A	x		
		A, saddr	2	4	5	A A (saddr)	x		
		A, !addr16	3	8	9	A A (addr16)	x		
		A, [HL]	1	4	5	A A (HL)	x		
		A, [HL + byte]	2	8	9	A A (HL + byte)	x		
		A, [HL + B]	2	8	9	A A (HL + B)	x		
		A, [HL + C]	2	8	9	A A (HL + C)	x		

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . r = Aを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	4	-	A A byte		x	
		saddr, #byte	3	6	8	(saddr) (saddr) byte		x	
		A, r 注3	2	4	-	A A r		x	
		r, A	2	4	-	r r A		x	
		A, saddr	2	4	5	A A (saddr)		x	
		A, !addr16	3	8	9	A A (addr16)		x	
		A, [HL]	1	4	5	A A (HL)		x	
		A, [HL+byte]	2	8	9	A A (HL+byte)		x	
		A, [HL+B]	2	8	9	A A (HL+B)		x	
		A, [HL+C]	2	8	9	A A (HL+C)		x	
	XOR	A, #byte	2	4	-	A A-byte		x	
		saddr, #byte	3	6	8	(saddr) (saddr)-byte		x	
		A, r 注3	2	4	-	A A-r		x	
		r, A	2	4	-	r r-A		x	
		A, saddr	2	4	5	A A-(saddr)		x	
		A, !addr16	3	8	9	A A-(addr16)		x	
		A, [HL]	1	4	5	A A-(HL)		x	
		A, [HL+byte]	2	8	9	A A-(HL+byte)		x	
		A, [HL+B]	2	8	9	A A-(HL+B)		x	
		A, [HL+C]	2	8	9	A A-(HL+C)		x	
	CMP	A, #byte	2	4	-	A - byte		x	x x
		saddr, #byte	3	6	8	(saddr) - byte		x	x x
		A, r 注3	2	4	-	A - r		x	x x
		r, A	2	4	-	r - A		x	x x
		A, saddr	2	4	5	A - (saddr)		x	x x
		A, !addr16	3	8	9	A - (addr16)		x	x x
		A, [HL]	1	4	5	A - (HL)		x	x x
		A, [HL+byte]	2	8	9	A - (HL+byte)		x	x x
		A, [HL+B]	2	8	9	A - (HL+B)		x	x x
		A, [HL+C]	2	8	9	A - (HL+C)		x	x x

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . r=Aを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット演算	ADDW	AX, # word	3	6	-	AX,CY AX + word	x	x	x
	SUBW	AX, # word	3	6	-	AX,CY AX - word	x	x	x
	CMPW	AX, # word	3	6	-	AX - word	x	x	x
乗除算	MULU	X	2	16	-	AX A × X			
	DIVUW	C	2	25	-	AX (商), C (余り) AX ÷ C			
増減	INC	r	1	2	-	r r + 1	x	x	
		saddr	2	4	6	(saddr) (saddr) + 1	x	x	
	DEC	r	1	2	-	r r - 1	x	x	
		saddr	2	4	6	(saddr) (saddr) - 1	x	x	
	INCW	rp	1	4	-	rp rp + 1			
	DECW	rp	1	4	-	rp rp - 1			
ローテート	ROR	A, 1	1	2	-	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1回			x
	ROL	A, 1	1	2	-	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1回			x
	RORC	A, 1	1	2	-	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1回			x
	ROLC	A, 1	1	2	-	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1回			x
	ROR4	[HL]	2	10	12	A ₃₋₀ (HL) ₃₋₀ , (HL) ₇₋₄ A ₃₋₀ , (HL) ₃₋₀ (HL) ₇₋₄			
	ROL4	[HL]	2	10	12	A ₃₋₀ (HL) ₇₋₄ , (HL) ₃₋₀ A ₃₋₀ , (HL) ₇₋₄ (HL) ₃₋₀			
BCD補正	ADJBA		2	4	-	Decimal Adjust Accumulator after Addition	x	x	x
	ADJBS		2	4	-	Decimal Adjust Accumulator after Subtract	x	x	x
ビット操作	MOV1	CY, saddr. bit	3	6	7	CY (saddr. bit)			x
		CY, sfr. bit	3	-	7	CY sfr. bit			x
		CY, A. bit	2	4	-	CY A. bit			x
		CY, PSW. bit	3	-	7	CY PSW. bit			x
		CY, [HL]. bit	2	6	7	CY (HL). bit			x
		saddr. bit, CY	3	6	8	(saddr. bit) CY			
		sfr. bit, CY	3	-	8	sfr. bit CY			
		A. bit, CY	2	4	-	A. bit CY			
		PSW. bit, CY	3	-	8	PSW. bit CY			x x
		[HL]. bit, CY	2	6	8	(HL) bit CY			

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	AND1	CY, saddr. bit	3	6	7	CY CY (saddr. bit)			x
		CY, sfr. bit	3	-	7	CY CY sfr. bit			x
		CY, A. bit	2	4	-	CY CY A. bit			x
		CY, PSW. bit	3	-	7	CY CY PSW. bit			x
		CY, [HL] . bit	2	6	7	CY CY (HL) . bit			x
	OR1	CY, saddr. bit	3	6	7	CY CY (saddr. bit)			x
		CY, sfr. bit	3	-	7	CY CY sfr. bit			x
		CY, A. bit	2	4	-	CY CY A. bit			x
		CY, PSW. bit	3	-	7	CY CY PSW. bit			x
		CY, [HL] . bit	2	6	7	CY CY (HL) . bit			x
	XOR1	CY, saddr. bit	3	6	7	CY CY— (saddr. bit)			x
		CY, sfr. bit	3	-	7	CY CY—sfr. bit			x
		CY, A. bit	2	4	-	CY CY—A. bit			x
		CY, PSW. bit	3	-	7	CY CY—PSW. bit			x
		CY, [HL] . bit	2	6	7	CY CY— (HL) . bit			x
	SET1	saddr. bit	2	4	6	(saddr. bit) 1			
		sfr. bit	3	-	8	sfr. bit 1			
		A. bit	2	4	-	A. bit 1			
		PSW. bit	2	-	6	PSW. bit 1			x x x
		[HL] . bit	2	6	8	(HL) . bit 1			
CLR1	saddr. bit	2	4	6	(saddr. bit) 0				
	sfr. bit	3	-	8	sfr. bit 0				
	A. bit	2	4	-	A. bit 0				
	PSW. bit	2	-	6	PSW. bit 0			x x x	
	[HL] . bit	2	6	8	(HL) bit 0				
SET1	CY	1	2	-	CY 1			1	
CLR1	CY	1	2	-	CY 0			0	
NOT1	CY	1	2	-	CY \overline{CY}			x	

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
コントロール・リターン	CALL	!addr16	3	7	-	(SP - 1) (PC + 3) _H , (SP - 2) (PC + 3) _L , PC addr16, SP SP - 2			
	CALLF	!addr11	2	5	-	(SP - 1) (PC + 2) _H , (SP - 2) (PC + 2) _L , PC ₁₅₋₁₁ 00001, PC ₁₀₋₀ addr11, SP SP - 2			
	CALLT	[addr5]	1	6	-	(SP - 1) (PC + 1) _H , (SP - 2) (PC + 1) _L , PC _H (00000000, addr5 + 1), PC _L (00000000, addr5), SP SP - 2			
	BRK		1	6	-	(SP - 1) PSW, (SP - 2) (PC + 1) _H , (SP - 3) (PC + 1) _L , PC _H (003FH), PC _L (003EH), SP SP - 3, IE 0			
	RET		1	6	-	PC _H (SP + 1), PC _L (SP), SP SP + 2			
	RETI		1	6	-	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3, NMIS 0	R	R	R
	RETB		1	6	-	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3	R	R	R
スタック操作	PUSH	PSW	1	2	-	(SP - 1) PSW, SP SP - 1			
		rp	1	4	-	(SP - 1) rp _H , (SP - 2) rp _L , SP SP - 2			
	POP	PSW	1	2	-	PSW (SP), SP SP + 1	R	R	R
		rp	1	4	-	rp _H (SP + 1), rp _L (SP), SP SP + 2			
	MOVW	SP, #word	4	-	10	SP word			
		SP, AX	2	-	8	SP AX			
AX, SP		2	-	8	AX SP				
無条件分岐	BR	!addr16	3	6	-	PC addr16			
		\$addr16	2	6	-	PC PC + 2 + jdisp8			
		AX	2	8	-	PC _H A, PC _L X			
条件付き分岐	BC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 0			

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ Z AC CY
				注1	注2		
条件付き分岐	BT	saddr. bit, \$addr16	3	8	9	PC PC + 3 + jdisp8 if (saddr. bit) = 1	
		sfr. bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr. bit = 1	
		A. bit , \$addr16	3	8	-	PC PC + 3 + jdisp8 if A. bit = 1	
		PSW. bit, \$addr16	3	-	9	PC PC + 3 + jdisp8 if PSW. bit = 1	
		[HL] . bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if (HL) . bit = 1	
	BF	saddr. bit, \$addr16	4	10	11	PC PC + 4 + jdisp8 if (saddr. bit) = 0	
		sfr. bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr. bit = 0	
		A. bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A. bit = 0	
		PSW. bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if PSW. bit = 0	
		[HL] . bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if (HL) . bit = 0	
	BTCLR	saddr. bit, \$addr16	4	10	12	PC PC + 4 + jdisp8 if (saddr. bit) = 1 then reset (saddr. bit)	
		sfr. bit, \$addr16	4	-	12	PC PC + 4 + jdisp8 if sfr. bit = 1 then reset sfr. bit	
		A. bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A. bit = 1 then reset A. bit	
		PSW. bit, \$addr16	4	-	12	PC PC + 4 + jdisp8 if PSW. bit = 1 then reset PSW. bit	x x x
		[HL] . bit, \$addr16	3	10	12	PC PC + 3 + jdisp8 if (HL) . bit = 1 then reset (HL) . bit	
DBNZ	B, \$addr16	2	6	-	B B - 1, then PC PC + 2 + jdisp8 if B 0		
	C, \$addr16	2	6	-	C C - 1, then PC PC + 2 + jdisp8 if C 0		
	saddr, \$addr16	3	8	10	(saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if (saddr) 0		
CPU制御	SEL	RBn	2	4	-	RBS1, 0 n	
	NOP		1	2	-	No Operation	
	EI		2	-	6	IE 1 (Enable Interrupt)	
	DI		2	-	6	IE 0 (Disable Interrupt)	
	HALT		2	6	-	Set HALT Mode	
	STOP		2	6	-	Set STOP Mode	

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

17.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r ^注	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL+byte] [HL+B] [HL+C]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROL4	
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											ROR4 ROL4
[HL+byte] [HL+B] [HL+C]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド 第1オペランド	# word	AX	rp ^注	sfrp	saddrp	! addr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW ^注						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
! addr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド 第1オペランド	A. bit	sfr. bit	saddr. bit	PSW. bit	[HL] . bit	CY	\$addr16	なし
A. bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr. bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr. bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW. bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL] . bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令/分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第2オペランド 第1オペランド	AX	!addr16	!addr11	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

第18章 電気的特性

18.1 μ PD780232, 78F0233の電気的特性

18.1.1 $V_{DD} = 4.5 \sim 5.5$ V品

絶対最大定格 ($T_A = 25$)

項目	略号	条件		定格	単位	
電源電圧	V_{DD}			- 0.3 ~ + 6.5	V	
	V_{PP}	μ PD78F0233 注1		- 0.5 ~ + 10.5	V	
	V_{LOAD}			$V_{DD} - 45 \sim V_{DD} + 0.3$	V	
	AV_{DD}			- 0.3 ~ $V_{DD} + 0.3$	V	
	AV_{SS}			- 0.3 ~ + 0.3	V	
入力電圧	V_{I1}	P00-P02, P20-P27, X1, X2, \overline{RESET}		- 0.3 ~ $V_{DD} + 0.3$	V	
	V_{I2}	P50-P57, P60-P64 (P-chオープン・ドレイン時)		$V_{DD} - 45 \sim V_{DD} + 0.3$	V	
出力電圧	V_{O1}			- 0.3 ~ $V_{DD} + 0.3$	V	
	V_{O2}			$V_{DD} - 45 \sim V_{DD} + 0.3$	V	
アナログ入力電圧	V_{AN}	ANI0-ANI3	アナログ入力端子	$AV_{SS} \sim AV_{DD}$	V	
ハイ・レベル 出力電流	I_{OH}	P00-P02, P20-P27の1端子		- 10	mA	
		P00-P02, P20-P27の合計		- 30	mA	
		FIP0-FIP23, P30-P37, P40-P47, P50-P57, P60-P64の1端子		- 30	mA	
		FIP0-FIP23, P30-P37, P40-P47, P50-P57, P60-P64の合計	ピーク値	- 300	mA	
			実効値	- 120	mA	
ロウ・レベル 出力電流	I_{OL} 注2	P00-P02, P20-P27の1端子		ピーク値	10	mA
				実効値	5	mA
		P00-P02, P20-P27の合計		ピーク値	20	mA
				実効値	10	mA
全損失	P_T 注3	$T_A = - 40 \sim + 60$		700	mW	
		$T_A = + 60 \sim + 85$		500	mW	
動作温度	T_A			- 40 ~ + 85		
保存温度	T_{stg}	μ PD780232		- 40 ~ + 150		
	V_{PP}	μ PD78F0233		- 40 ~ + 125		

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注2．実効値は、[実効値] = [ピーク値] $\times \sqrt{\text{デューティ}}$ で計算してください。

(注1と注3は次ページ以降に示します。)

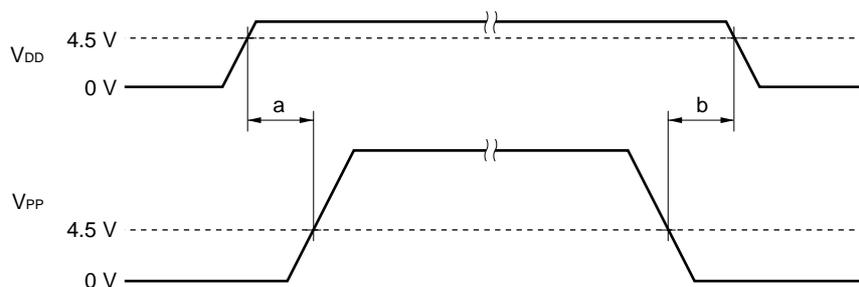
注1. フラッシュ・メモリ書き込み時, V_{PP} の電圧印加タイミングについては, 必ず次の条件を満たしてください。

・電源電圧立ち上がり時

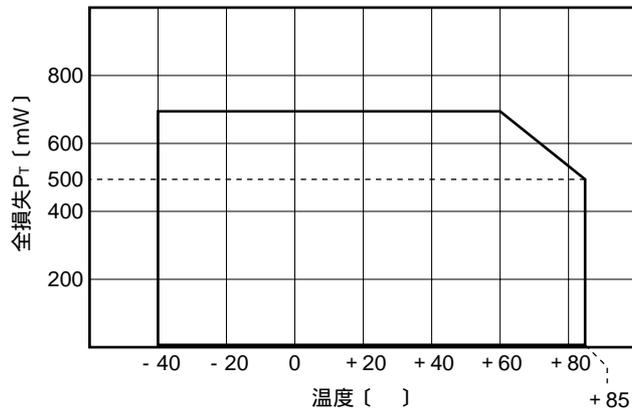
V_{DD} が動作電圧範囲の下限電圧 (4.5 V) に達してから10 μ s以上経過後, V_{PP} が V_{DD} を越えること (下図の a)。

・電源電圧立ち下がり時

V_{PP} が V_{DD} の動作電圧範囲の下限電圧 (4.5 V) を下回ってから10 μ s以上経過後, V_{DD} を立ち下げること (下図の b)。



注3．許容全損失は温度によって異なります（下図参照）。



全損失の計算方法

μ PD780232, 78F0233の消費電力には次の3つがあります。この3つの消費電力の和が全損失Pt以下となるように設計してください（定格の80%以下での使用を推奨いたします）。

CPUの消費電力： $V_{DD} (MAX.) \times I_{DD} (MAX.)$ で計算される消費電力です。

出力端子の消費電力：VFD出力端子に最大の電流を流した場合の消費電力です。

プルダウン抵抗の消費電力：VFD出力端子にマスク・オプションで内蔵するプルダウン抵抗による消費電力です。

例 次のような条件を仮定します。

$V_{DD} = 5.5 V$, 5.0 MHz発振

電源電流 (I_{DD}) = 21.0 mA

VFD出力：11グリッド×10セグメント（ブランキング幅：1/16）

グリッド端子には最大15 mA流れるものとします。

セグメント端子には最大5 mA流れるものとします。

また、キー・スキャン・タイミングではVFD出力端子はオフしているものとします。

VFD出力電圧：グリッド $V_{OD} = V_{DD} - 2 V$ (2 Vの電圧降下があるものとします。)

セグメント $V_{OD} = V_{DD} - 0.5 V$ (0.5 Vの電圧降下があるものとします。)

蛍光表示管の電圧 (V_{LOAD}) = -35 V

マスク・オプション・プルダウン抵抗 = 35 k

以上のような条件を計算方法 ~ にあてはめ、全損失を計算します。

CPUの消費電力 : $5.5 V \times 21.0 mA = 115.5 mW$

出力端子の消費電力：

$$\begin{aligned} \text{グリッド} \quad (V_{DD} - V_{OD}) \times \frac{\text{各グリッドの電流値合計}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ 2 \text{ V} \times \frac{15 \text{ mA} \times 11 \text{ グリッド}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 25.8 \text{ mW} \end{aligned}$$

$$\begin{aligned} \text{セグメント} \quad (V_{DD} - V_{OD}) \times \frac{\text{点灯ドットのセグメント電流値合計}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ 0.5 \text{ V} \times \frac{5 \text{ mA} \times 31 \text{ ドット}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 6.1 \text{ mW} \end{aligned}$$

プルダウン抵抗の消費電力：

$$\begin{aligned} \text{グリッド} \quad \frac{(V_{OD} - V_{LOAD})^2}{\text{プルダウン抵抗値}} \times \frac{\text{グリッド数}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ \frac{(5.5 \text{ V} - 2 \text{ V} - (-35 \text{ V}))^2}{35 \text{ k}} \times \frac{11 \text{ グリッド}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 36.4 \text{ mW} \end{aligned}$$

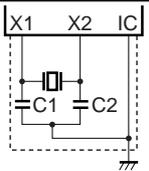
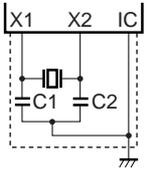
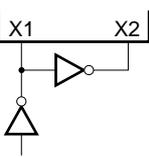
$$\begin{aligned} \text{セグメント} \quad \frac{(V_{OD} - V_{LOAD})^2}{\text{プルダウン抵抗値}} \times \frac{\text{点灯ドット数}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ \frac{(5.5 \text{ V} - 0.5 \text{ V} - (-35 \text{ V}))^2}{35 \text{ k}} \times \frac{31 \text{ ドット}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 110.7 \text{ mW} \end{aligned}$$

$$\text{全消費電力} = \quad + \quad + \quad = 115.5 + 25.8 + 6.1 + 36.4 + 110.7 = 294.5 \text{ mW}$$

この例では、全消費電力が前頁のグラフに示す許容全損失の定格を越えないので、消費電力は問題ありません。

全消費電力が許容全損失の定格を越えた場合には、消費電力を下げる必要があります。消費電力を下げるには、内蔵するプルダウン抵抗の本数を少なくします。

システム・クロック発振回路特性 (TA = - 40 ~ + 85 , VDD = 4.5 ~ 5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (fx) 注1	VDD = 発振電圧範囲	1		5	MHz
		発振安定時間注2	VDDが発振電圧範囲MIN.に達したあと			4	ms
水晶振動子		発振周波数 (fx) 注1		1		5	MHz
		発振安定時間注2				10	ms
外部 クロック		X1入力周波数 (fx) 注1		1		5	MHz
		X1入力ハイ, ロウ・レベル幅 (txH, txL)		85		450	ns

注1 . 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2 . リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

注意 システム・クロックの発振回路を使用する場合は、配線容量などの影響を避けるために、破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にVSS1と同電位となるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

推奨発振回路定数

システム・クロック：セラミック発振子 ($T_A = -40 \sim +85$)

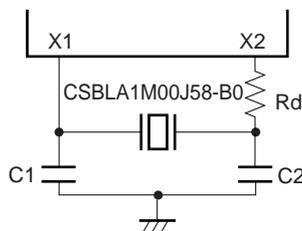
(1) μ PD780232

メーカー	品名	周波数 (MHz)	推奨回路定数			発振電圧範囲	
			C1 (pF)	C2 (pF)	Rd ()	MIN. (V)	MAX. (V)
村田製作所	CSBLA1M00J58-B0 (CSB1000J)	1.00	150	150	0	4.5	5.5
	CSTLS2M00G56-B0	2.00	内蔵	内蔵			
	CSTLS3M58G56-B0 (CSTS0358MG06)	3.58					
	CSTLS4M19G56-B0 (CSTS0419MG06)	4.194					
	CSTLS5M00G56-B0 (CSTS0500MG06)	5.00					

(2) μ PD78F0233

メーカー	品名	周波数 (MHz)	推奨回路定数			発振電圧範囲	
			C1 (pF)	C2 (pF)	Rd ()	MIN. (V)	MAX. (V)
村田製作所	CSBLA1M00J58-B0 ^注 (CSB1000J)	1.00	100	100	2.2 k	4.5	5.5
	CSTLS2M00G56-B0	2.00	内蔵	内蔵	0		
	CSTLS3M58G56-B0 (CSTS0358MG06)	3.58					
	CSTLS4M19G56-B0 (CSTS0419MG06)	4.194					
	CSTLS5M00G56-B0 (CSTS0500MG06)	5.00					

注 μ PD78F0233にセラミック発振子として村田製作所のCSBLA1M00J58-B0 (1.00 MHz) を使用する場合には，制限抵抗 (Rd = 2.2 k) が必要です (下図参照)。その他の推奨発振子を使用する場合は制限抵抗は不要です。



注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は，実装回路上での評価を発振子メーカーに依頼してください。また，発振電圧，発振周波数はあくまで発振回路特性を示すものであり， μ PD780232サブシリーズの内部動作条件についてはDC, AC特性の規格内で使用してください。

備考 () 内の品名は旧品名です。

容量 (TA = 25 , VDD = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	CIN	f = 1 MHz 被測定端子以外は0 V	P00-P02, P20-P27		15	pF
			P50-P57, P60-P64		35	pF
出力容量	COUT	f = 1 MHz 被測定端子以外は0 V	P00-P02, P20-P27		15	pF
			P30-P37, P40-P47, P50-P57, P60-P64, FIP0-FIP23		35	pF
入出力容量	Cio	f = 1 MHz 被測定端子以外は0 V	P00-P02, P20-P27		15	pF
			P50-P57, P60-P64		35	pF

DC特性 (TA = -40 ~ +85 , VDD = 4.5 ~ 5.5 V) (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	V _{IH1}	P00-P02, P20-P27, RESET	0.7 V _{DD}		V _{DD}	V	
	V _{IH2}	P50-P57, P60-P64	0.7 V _{DD}		V _{DD}	V	
	V _{IH3}	X1, X2	V _{DD} - 0.5		V _{DD}	V	
ロウ・レベル入力電圧	V _{IL1}	P00-P02, P20-P27, RESET	0		0.2 V _{DD}	V	
	V _{IL2}	X1, X2	0		0.4	V	
ハイ・レベル出力電圧	V _{OH}	I _{OH} = -1 mA	V _{DD} - 1.0		V _{DD}	V	
		I _{OH} = -100 μA	V _{DD} - 0.5		V _{DD}	V	
ロウ・レベル出力電圧	V _{OL}	P00-P02, P20-P27 I _{OL} = 400 μA			0.5	V	
ハイ・レベル 入力リーク電流	I _{LIH1}	P00-P02, P20-P27, P50-P57, P60-P64, RESET V _{IN} = V _{DD}			3	μA	
	I _{LIH2}	X1, X2			20	μA	
ロウ・レベル 入力リーク電流	I _{LIL1}	P00-P02, P20-P27, RESET V _{IN} = 0 V			-3	μA	
	I _{LIL2}	X1, X2			-20	μA	
	I _{LIL3}	P50-P57, P60-P64 V _{IN} = V _{LOAD} = V _{DD} - 40 V			-10	μA	
ハイ・レベル 出力リーク電流	I _{LOH}	P00-P02, P20-P27, P30-P37, P40-P47, P50-P57, P60-P64 V _{OUT} = V _{DD}			3	μA	
ロウ・レベル 出力リーク電流	I _{LOL1}	P00-P02, P20-P27 V _{OUT} = 0 V			-3	μA	
	I _{LOL2}	P30-P37, P40-P47, P50-P57, P60-P64 V _{OUT} = V _{LOAD} = V _{DD} - 40 V			-10	μA	
VFD出力電流	I _{OD}	FIP0-FIP19 V _{OD} = V _{DD} - 2 V			-15	mA	
		FIP20-FIP52			-5	mA	
ソフトウエア・プルアップ抵抗	R ₁	P00-P02, P20-P27 V _{IN} = 0 V	10	30	100	k	
内蔵ブルダウン抵抗	R ₂	FIP0-FIP23 (μPD78F0233のみ)	V _{DD} - V _{LOAD} = 40 V	30	60	135	k
内蔵マスク・オプション・ブルダウン抵抗 (V _{LOAD} 接続)	R ₃	FIP0-FIP52 (μPD780232のみ)	V _{DD} - V _{LOAD} = 40 V	30	60	135	k
内蔵マスク・オプション・ブルダウン抵抗 (V _{SS0} 接続)	R ₄	P50-P57, P60-P64 (μPD780232のみ)		15	35	90	k

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 ($T_A = -40 \sim +85$, $V_{DD} = 4.5 \sim 5.5 V$) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電流電源 ^{注1}	IDD1	5 MHz水晶発振動作モード ^{注2}	μ PD780232		7	14	mA
			μ PD78F0233		9	18	mA
	IDD2	5 MHz水晶発振HALTモード	μ PD780232		1.5	4.5	mA
			μ PD78F0233		2.5	7.5	mA
	IDD3	STOPモード			1	30	μ A

注1 . V_{DD} 端子に流れる電流です。内蔵プルアップ抵抗, 内蔵プルダウン抵抗に流れる電流は含みません。

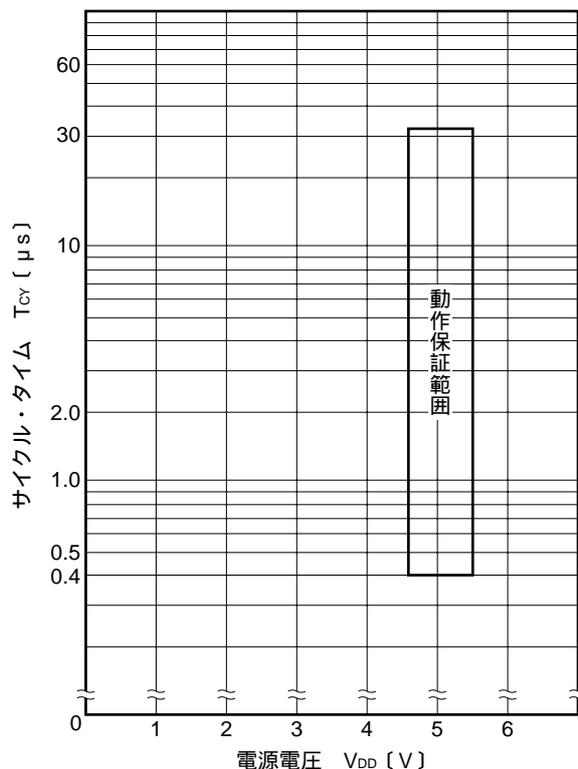
2 . プロセッサ・クロック・コントロール・レジスタ (PCC) が00Hのとき。

AC特性

(1) 基本動作 ($T_A = -40 \sim +85$, $V_{DD} = 4.5 \sim 5.5$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	T_{CY}	メイン・システム・クロックで動作	0.4		32	μs
割り込み要求入力 ハイ,ロウ・レベル幅	t_{INTH} t_{INTL}	INTP0, INTP1	10			μs
RESETロウ・レベル幅	t_{RSL}		10			μs

T_{CY} vs V_{DD}



(2) タイマ/カウンタ ($T_A = -40 \sim +85$, $V_{DD} = 4.5 \sim 5.5$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
TI入力 ハイ,ロウ・レベル幅	t_{TIH} t_{TIL}		$2/F_{count} + 0.2^{\text{注}}$			μs

注 F_{count} はTM9で選択されているカウント・クロック ($f_x/2^6$, $f_x/2^7$, $f_x/2^8$, $f_x/2^9$ の選択が可能)の周波数を示します。

(3) シリアル・インタフェース ($T_A = -40 \sim +85$, $V_{DD} = 4.5 \sim 5.5 V$)

(a) シリアル・インタフェース (3線式シリアル・モード)

(i) 3線式シリアル・モード ($\overline{SCK1}$...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCK1}$ サイクル・タイム	t_{KCY1}		800			ns
$\overline{SCK1}$ ハイ・ロウ・レベル幅	t_{KH1} t_{KL1}		$t_{KCY1}/2 - 50$			ns
SI1 セットアップ時間 (対 $\overline{SCK1}$)	t_{SIK1}		100			ns
SI1 ホールド時間 (対 $\overline{SCK1}$)	t_{KSI1}		400			ns
$\overline{SCK1}$ SO1 出力遅延時間	t_{KSO1}	$C = 100 \text{ pF}$ ^注			300	ns

注 Cは、 $\overline{SCK1}$ 、SO1出力ラインの負荷容量です。

(ii) 3線式シリアル・モード ($\overline{SCK1}$...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCK1}$ サイクル・タイム	t_{KCY2}		800			ns
$\overline{SCK1}$ ハイ・ロウ・レベル幅	t_{KH2} t_{KL2}		400			ns
SI1 セットアップ時間 (対 $\overline{SCK1}$)	t_{SIK2}		100			ns
SI1 ホールド時間 (対 $\overline{SCK1}$)	t_{KSI2}		400			ns
$\overline{SCK1}$ SO1 出力遅延時間	t_{KSO2}	$C = 100 \text{ pF}$ ^注			300	ns
$\overline{SCK1}$ 立ち上がり / 立ち下がり時間	t_{R2} t_{F2}				1	μs

注 Cは、SO1出力ラインの負荷容量です。

(b) シリアル・インタフェース (2線式シリアル・モード)

(i) 2線式シリアル・モード ($\overline{\text{SCK3}}$...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK3サイクル・タイム	t _{KCY3}		800			ns
SCK3ハイ,ロウ・レベル幅	t _{KH3} t _{KL3}		t _{KCY3} /2 - 50			ns
SCK3 SO3出力遅延時間	t _{KSO3}	C = 100 pF ^注			300	ns

注 Cは, SCK3, SO3出力ラインの負荷容量です。

(ii) 2線式シリアル・モード ($\overline{\text{SCK3}}$...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK3サイクル・タイム	t _{KCY4}		800			ns
SCK3ハイ,ロウ・レベル幅	t _{KH4} t _{KL4}		400			ns
SCK3 SO3出力遅延時間	t _{KSO4}	C = 100 pF ^注			300	ns
SCK3立ち上がり/立ち下がり時間	t _{r4} t _{f4}				1	μs

注 Cは, SO3出力ラインの負荷容量です。

A/Dコンバータ特性 (T_A = -40 ~ +85 , AV_{DD} = V_{DD} = 4.5 ~ 5.5 V, AV_{SS} = V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					8	bit
総合誤差 ^{注1, 2}					±1.0	%FSR
変換時間 ^{注3}	t _{CONV}		14			μs
アナログ入力電圧	V _{IAN}		AV _{SS}		AV _{DD}	V

注1 . 量子化誤差 (± 1/2LSB) を含みません。

2 . フルスケール値に対する比率 (%FSR) で表しています。

3 . A/D変換時間が14 μs以上になるように設定してください。

データ・メモリSTOPモード低電源電圧データ保持特性 (T_A = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		2.0		5.5	V
データ保持電源電流	I _{DDDR}			0.1	30	μA
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウエイト時間	t _{WAIT}	RESETによる解除		2 ¹⁷ /f _X		ms
		割り込み要求による解除		注		ms

注 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により, 2¹²/f_X, 2¹⁴/f_X-2¹⁷/f_Xの選択が可能です。

フラッシュ・メモリ・プログラミング特性 (μ PD78F0233のみ, $V_{DD} = 4.5 \sim 5.5$ V, $V_{SS} = 0$ V, $V_{PP} = 9.7 \sim 10.3$ V)

(1) 基本特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f_x		1.0		5.0	MHz
電源電圧	V_{DD}	書き込み時動作電圧	4.5		5.5	V
	V_{PP}	V_{PP} ハイ・レベル検出時	$0.8 V_{DD}$	V_{DD}	$1.2 V_{DD}$	V
	V_{PPH}	V_{PP} 高電圧検出時	9.7	10.0	10.3	V
V_{DD} 電源電流	I_{DD}			10	mA	
V_{PP} 電源電流	I_{PP}	$V_{PP} = 10.0$ V		75	100	mA
書き込み時間 (1 バイトあたり)	T_{WRT}		50		500	μ s
書き換え回数	C_{WRT}				20	回
消去時間	T_{ERASE}		1		20	s
プログラミング温度	T_{PRG}		+ 10		+ 40	

(2) シリアル書き込みオペレーション特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
V_{PP} セット時間	t_{PSRON}	V_{PP} 高電圧	1.0			μ s
V_{DD} V_{PP} セット時間	t_{DRPSR}	V_{PP} 高電圧	10			μ s
V_{PP} \overline{RESET} セット時間	t_{PSRRF}	V_{PP} 高電圧	1.0			μ s
\overline{RESET} V_{PP} カウンタ開始時間	t_{RFCF}		1.0			μ s
カウンタ実行時間	t_{COUNT}				2.0	ms
V_{PP} カウンタ・ハイ・レベル幅	t_{CH}		8.0			μ s
V_{PP} カウンタ・ロウ・レベル幅	t_{CL}		8.0			μ s
V_{PP} カウンタ・ノイズ除去幅	t_{NFW}			40		ns

18.1.2 $V_{DD} = 3.0 \sim 5.5$ V品

絶対最大定格 ($T_A = 25$)

項目	略号	条件	定格	単位	
電源電圧	V_{DD}		- 0.3 ~ + 6.5	V	
	V_{PP}	μ PD78F0233 注1	- 0.5 ~ + 10.5	V	
	V_{LOAD}	4.5 V $V_{DD} = 5.5$ V	$V_{DD} - 45 \sim V_{DD} + 0.3$	V	
		3.0 V $V_{DD} < 4.5$ V	$V_{DD} - 43 \sim V_{DD} + 0.3$	V	
	AV_{DD}		- 0.3 ~ $V_{DD} + 0.3$	V	
AV_{SS}		- 0.3 ~ + 0.3	V		
入力電圧	V_{I1}	P00-P02, P20-P27, X1, X2, RESET	- 0.3 ~ $V_{DD} + 0.3$	V	
	V_{I2}	P50-P57, P60-P64	4.5 V $V_{DD} = 5.5$ V	$V_{DD} - 45 \sim V_{DD} + 0.3$	V
(P-chオープン・ドレイン時)		3.0 V $V_{DD} < 4.5$ V	$V_{DD} - 43 \sim V_{DD} + 0.3$	V	
出力電圧	V_{O1}		- 0.3 ~ $V_{DD} + 0.3$	V	
	V_{O2}	4.5 V $V_{DD} = 5.5$ V	$V_{DD} - 45 \sim V_{DD} + 0.3$	V	
		3.0 V $V_{DD} < 4.5$ V	$V_{DD} - 43 \sim V_{DD} + 0.3$	V	
アナログ入力電圧	V_{AN}	ANI0-ANI3 アナログ入力端子	$AV_{SS} \sim AV_{DD}$	V	
ハイ・レベル 出力電流	I_{OH}	P00-P02, P20-P27の1端子	- 10	mA	
		P00-P02, P20-P27の合計	- 30	mA	
		FIP0-FIP23, P30-P37, P40-P47, P50-P57, P60-P64の1端子	- 30	mA	
		FIP0-FIP23, P30-P37, P40-P47, P50-P57, P60-P64の合計	ピーク値 実効値	- 300 - 120	mA mA
ロウ・レベル 出力電流	I_{OL} 注2	P00-P02, P20-P27の1端子	ピーク値	10	mA
			実効値	5	mA
		P00-P02, P20-P27の合計	ピーク値	20	mA
			実効値	10	mA
全損失	P_T 注3	$T_A = - 40 \sim + 60$	700	mW	
		$T_A = + 60 \sim + 85$	500	mW	
動作温度	T_A		- 40 ~ + 85		
	保存温度	T_{stg}	μ PD780232	- 40 ~ + 150	
		V_{PP}	μ PD78F0233	- 40 ~ + 125	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注2．実効値は、 $[\text{実効値}] = [\text{ピーク値}] \times \sqrt{\text{デューティ}}$ で計算してください。
(注1と注3は次ページ以降に示します。)

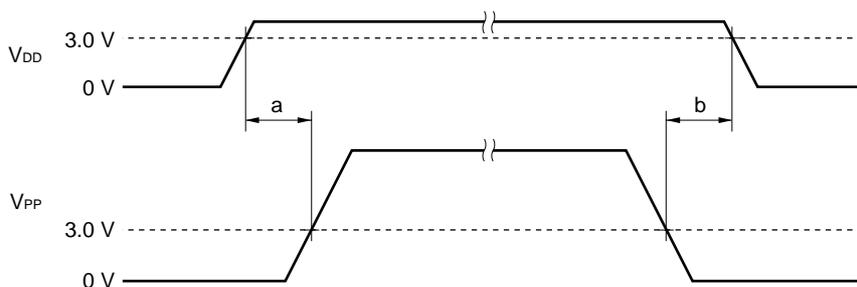
注1. フラッシュ・メモリ書き込み時, V_{PP} の電圧印加タイミングについては, 必ず次の条件を満たしてください。

- ・電源電圧立ち上がり時

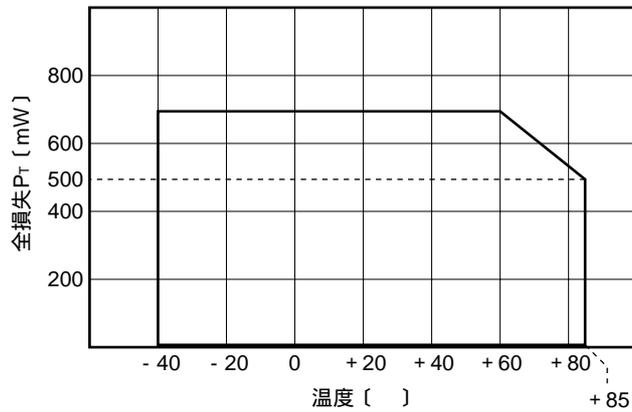
V_{DD} が動作電圧範囲の下限電圧 (3.0 V) に達してから10 μ s以上経過後, V_{PP} が V_{DD} を越えること (下図の a)。

- ・電源電圧立ち下がり時

V_{PP} が V_{DD} の動作電圧範囲の下限電圧 (3.0 V) を下回ってから10 μ s以上経過後, V_{DD} を立ち下げること (下図の b)。



注3．許容全損失は温度によって異なります（下図参照）。



全損失の計算方法

μ PD780232, 78F0233の消費電力には次の3つがあります。この3つの消費電力の和が全損失Pt以下となるように設計してください（定格の80%以下での使用を推奨いたします）。

CPUの消費電力： $V_{DD} (MAX.) \times I_{DD} (MAX.)$ で計算される消費電力です。

出力端子の消費電力：VFD出力端子に最大の電流を流した場合の消費電力です。

プルダウン抵抗の消費電力：VFD出力端子にマスク・オプションで内蔵するプルダウン抵抗による消費電力です。

例 次のような条件を仮定します。

$V_{DD} = 5.5 V$, 5.0 MHz発振

電源電流 (I_{DD}) = 21.0 mA

VFD出力：11グリッド×10セグメント（ブランキング幅：1/16）

グリッド端子には最大15 mA流れるものとします。

セグメント端子には最大5 mA流れるものとします。

また、キー・スキャン・タイミングではVFD出力端子はオフしているものとします。

VFD出力電圧：グリッド $V_{OD} = V_{DD} - 2 V$ (2 Vの電圧降下があるものとします。)

セグメント $V_{OD} = V_{DD} - 0.5 V$ (0.5 Vの電圧降下があるものとします。)

蛍光表示管の電圧 (V_{LOAD}) = - 35 V

マスク・オプション・プルダウン抵抗 = 35 k

以上のような条件を計算方法 ~ にあてはめ、全損失を計算します。

CPUの消費電力 : $5.5 V \times 21.0 mA = 115.5 mW$

出力端子の消費電力：

$$\begin{aligned} \text{グリッド} \quad (V_{DD} - V_{OD}) \times \frac{\text{各グリッドの電流値合計}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ 2 \text{ V} \times \frac{15 \text{ mA} \times 11 \text{ グリッド}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 25.8 \text{ mW} \end{aligned}$$

$$\begin{aligned} \text{セグメント} \quad (V_{DD} - V_{OD}) \times \frac{\text{点灯ドットのセグメント電流値合計}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ 0.5 \text{ V} \times \frac{5 \text{ mA} \times 31 \text{ ドット}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 6.1 \text{ mW} \end{aligned}$$

プルダウン抵抗の消費電力：

$$\begin{aligned} \text{グリッド} \quad \frac{(V_{OD} - V_{LOAD})^2}{\text{プルダウン抵抗値}} \times \frac{\text{グリッド数}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ \frac{(5.5 \text{ V} - 2 \text{ V} - (-35 \text{ V}))^2}{35 \text{ k}} \times \frac{11 \text{ グリッド}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 36.4 \text{ mW} \end{aligned}$$

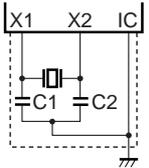
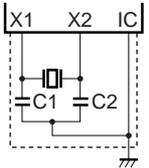
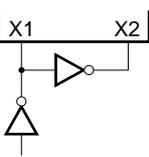
$$\begin{aligned} \text{セグメント} \quad \frac{(V_{OD} - V_{LOAD})^2}{\text{プルダウン抵抗値}} \times \frac{\text{点灯ドット数}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ \frac{(5.5 \text{ V} - 0.5 \text{ V} - (-35 \text{ V}))^2}{35 \text{ k}} \times \frac{31 \text{ ドット}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 110.7 \text{ mW} \end{aligned}$$

$$\text{全消費電力} = \quad + \quad + \quad = 115.5 + 25.8 + 6.1 + 36.4 + 110.7 = 294.5 \text{ mW}$$

この例では、全消費電力が前頁のグラフに示す許容全損失の定格を越えないので、消費電力は問題ありません。

全消費電力が許容全損失の定格を越えた場合には、消費電力を下げる必要があります。消費電力を下げるには、内蔵するプルダウン抵抗の本数を少なくします。

システム・クロック発振回路特性 (TA = - 40 ~ + 85 , VDD = 3.0 ~ 5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (fx) 注1	VDD = 発振電圧範囲	1		5	MHz
		発振安定時間注2	VDDが発振電圧範囲MIN.に 達したあと			4	ms
水晶振動子		発振周波数 (fx) 注1		1		5	MHz
		発振安定時間注2	4.5 V < VDD < 5.5 V			10	ms
			3.0 V < VDD < 4.5 V			30	ms
外部 クロック		X1入力周波数 (fx) 注1		1		5	MHz
		X1入力ハイ, ロウ・レベル幅 (txH, txL)		85		450	ns

注1 . 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2 . リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

注意 システム・クロックの発振回路を使用する場合は、配線容量などの影響を避けるために、破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にVSS1と同電位となるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

推奨発振回路定数

システム・クロック：セラミック発振子 ($T_A = -40 \sim +85$)

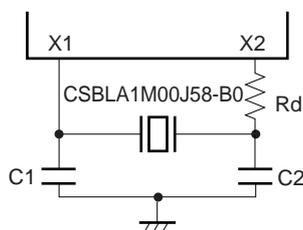
(1) μ PD780232

メーカー	品名	周波数 (MHz)	推奨回路定数			発振電圧範囲	
			C1 (pF)	C2 (pF)	Rd ()	MIN. (V)	MAX. (V)
村田製作所	CSBLA1M00J58-B0 (CSB1000J)	1.00	150	150	0	4.5	5.5
	CSTLS2M00G56-B0	2.00	内蔵	内蔵			
	CSTLS3M58G56-B0 (CSTS0358MG06)	3.58					
	CSTLS4M19G56-B0 (CSTS0419MG06)	4.194					
	CSTLS5M00G56-B0 (CSTS0500MG06)	5.00					

(2) μ PD78F0233

メーカー	品名	周波数 (MHz)	推奨回路定数			発振電圧範囲	
			C1 (pF)	C2 (pF)	Rd ()	MIN. (V)	MAX. (V)
村田製作所	CSBLA1M00J58-B0 ^注 (CSB1000J)	1.00	100	100	2.2 k	4.5	5.5
	CSTLS2M00G56-B0	2.00	内蔵	内蔵	0		
	CSTLS3M58G56-B0 (CSTS0358MG06)	3.58					
	CSTLS4M19G56-B0 (CSTS0419MG06)	4.194					
	CSTLS5M00G56-B0 (CSTS0500MG06)	5.00					

注 μ PD78F0233にセラミック発振子として村田製作所のCSBLA1M00J58-B0 (1.00 MHz) を使用する場合には、制限抵抗 ($R_d = 2.2 k$) が必要です (下図参照)。その他の推奨発振子を使用する場合は制限抵抗は不要です。



注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、 μ PD780232サブシリーズの内部動作条件についてはDC, AC特性の規格内で使用してください。

備考 () 内の品名は旧品名です。

容量 (TA = 25 , VDD = VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
入力容量	CIN	f = 1 MHz	P00-P02, P20-P27			15	pF
		被測定端子以外は0 V	P50-P57, P60-P64			35	pF
出力容量	COUT	f = 1 MHz	P00-P02, P20-P27			15	pF
		被測定端子以外は0 V	P30-P37, P40-P47, P50-P57, P60-P64, FIP0-FIP23			35	pF
入出力容量	CIO	f = 1 MHz	P00-P02, P20-P27			15	pF
		被測定端子以外は0 V	P50-P57, P60-P64			35	pF

DC特性 (TA = -40 ~ +85 , VDD = 3.0 ~ 5.5 V) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IH1}	P00-P02, P20-P27, RESET		0.7 V _{DD}		V _{DD}	V
	V _{IH2}	P50-P57, P60-P64		0.7 V _{DD}		V _{DD}	V
	V _{IH3}	X1, X2		V _{DD} - 0.5		V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	P00-P02, P20-P27, RESET		0		0.2 V _{DD}	V
	V _{IL2}	X1, X2		0		0.4	V
ハイ・レベル出力電圧	V _{OH}	I _{OH} = -1 mA		V _{DD} - 1.0		V _{DD}	V
		I _{OH} = -100 μA		V _{DD} - 0.5		V _{DD}	V
ロウ・レベル出力電圧	V _{OL}	P00-P02, P20-P27	I _{OL} = 400 μA			0.5	V
ハイ・レベル 入力リーク電流	I _{LIH1}	P00-P02, P20-P27, P50-P57, P60-P64, RESET	V _{IN} = V _{DD}			3	μA
	I _{LIH2}	X1, X2				20	μA
ロウ・レベル 入力リーク電流	I _{LIL1}	P00-P02, P20-P27, RESET	V _{IN} = 0 V			-3	μA
	I _{LIL2}	X1, X2				-20	μA
	I _{LIL3}	P50-P57, P60-P64	V _{IN} = V _{LOAD} = V _{DD} - 40 V			-10	μA
ハイ・レベル 出力リーク電流	I _{LOH}	P00-P02, P20-P27, P30-P37, P40-P47, P50-P57, P60-P64	V _{OUT} = V _{DD}			3	μA
ロウ・レベル 出力リーク電流	I _{LOL1}	P00-P02, P20-P27	V _{OUT} = 0 V			-3	μA
	I _{LOL2}	P30-P37, P40-P47, P50-P57, P60-P64	V _{OUT} = V _{LOAD} = V _{DD} - 40 V			-10	μA
VFD出力電流	I _{OD}	FIP0-FIP19	V _{OD} = V _{DD} - 2 V			-15	mA
		FIP20-FIP52	V _{DD} = 5 V ± 10%			-5	mA
		FIP0-FIP19	V _{OD} = V _{DD} - 2 V			-10	mA
		FIP20-FIP52	V _{DD} = 3.3 V ± 0.3 V			-5	mA
ソフトウェア・プルアップ抵抗	R ₁	P00-P02, P20-P27	V _{IN} = 0 V	10	30	100	k
内蔵プルダウン抵抗	R ₂	FIP0-FIP23 (μPD78F0233のみ)	V _{DD} - V _{LOAD} = 40 V	30	60	135	k
内蔵マスク・オプション・プルダウン抵抗 (V _{LOAD} 接続)	R ₃	FIP0-FIP52 (μPD780232のみ)	V _{DD} - V _{LOAD} = 40 V	30	60	135	k
内蔵マスク・オプション・プルダウン抵抗 (V _{SS0} 接続)	R ₄	P50-P57, P60-P64 (μPD780232のみ)		15	35	90	k

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 ($T_A = -40 \sim +85$, $V_{DD} = 3.0 \sim 5.5$ V) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電流電源 ^{注1}	I _{DD1}	5 MHz水晶発振動作モード ^{注2}	μ PD780232		7	14	mA
			μ PD78F0233		9	18	mA
	I _{DD2}	5 MHz水晶発振HALTモード	μ PD780232		1.5	4.5	mA
			μ PD78F0233		2.5	7.5	mA
	I _{DD3}	STOPモード			1	30	μ A

注1 . V_{DD} 端子に流れる電流です。内蔵プルアップ抵抗, 内蔵プルダウン抵抗に流れる電流は含みません。

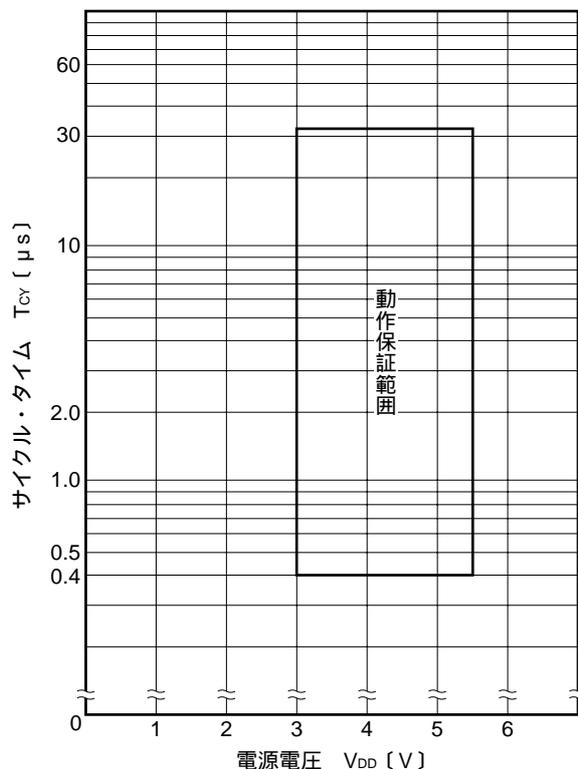
2 . プロセッサ・クロック・コントロール・レジスタ (PCC) が00Hのとき。

AC特性

(1) 基本動作 ($T_A = -40 \sim +85$, $V_{DD} = 3.0 \sim 5.5 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	T_{CY}	メイン・システム・クロックで動作	0.4		32	μs
割り込み要求入力 ハイ,ロウ・レベル幅	t_{INTH} t_{INTL}	INTP0, INTP1	10			μs
RESETロウ・レベル幅	t_{RSL}		10			μs

T_{CY} vs V_{DD}



(2) タイマ/カウンタ ($T_A = -40 \sim +85$, $V_{DD} = 3.0 \sim 5.5 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
TI入力 ハイ,ロウ・レベル幅	t_{TIH} t_{TIL}		$2/F_{count} + 0.2^{\text{注}}$			μs

注 F_{count} はTM9で選択されているカウント・クロック ($f_x/2^6$, $f_x/2^7$, $f_x/2^8$, $f_x/2^9$ の選択が可能)の周波数を示します。

(3) シリアル・インタフェース ($T_A = -40 \sim +85$, $V_{DD} = 3.0 \sim 5.5 V$)

(a) シリアル・インタフェース (3線式シリアル・モード)

(i) 3線式シリアル・モード ($\overline{SCK1}$...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCK1}$ サイクル・タイム	t_{KCY1}		800			ns
$\overline{SCK1}$ ハイ・ロウ・レベル幅	t_{KH1} t_{KL1}		$t_{KCY1}/2 - 50$			ns
SI1 セットアップ時間 (対 $\overline{SCK1}$)	t_{SIK1}		100			ns
SI1 ホールド時間 (対 $\overline{SCK1}$)	t_{KSI1}		400			ns
$\overline{SCK1}$ SO1 出力遅延時間	t_{KSO1}	$C = 100 \text{ pF}$ ^注			300	ns

注 Cは、 $\overline{SCK1}$ 、SO1出力ラインの負荷容量です。

(ii) 3線式シリアル・モード ($\overline{SCK1}$...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCK1}$ サイクル・タイム	t_{KCY2}		800			ns
$\overline{SCK1}$ ハイ・ロウ・レベル幅	t_{KH2} t_{KL2}		400			ns
SI1 セットアップ時間 (対 $\overline{SCK1}$)	t_{SIK2}		100			ns
SI1 ホールド時間 (対 $\overline{SCK1}$)	t_{KSI2}		400			ns
$\overline{SCK1}$ SO1 出力遅延時間	t_{KSO2}	$C = 100 \text{ pF}$ ^注			300	ns
$\overline{SCK1}$ 立ち上がり / 立ち下がり時間	t_{R2} t_{F2}				1	μs

注 Cは、SO1出力ラインの負荷容量です。

(b) シリアル・インタフェース (2線式シリアル・モード)

(i) 2線式シリアル・モード ($\overline{\text{SCK3}}$...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK3サイクル・タイム	t _{KCY3}		800			ns
SCK3ハイ, ロウ・レベル幅	t _{KH3} t _{KL3}		t _{KCY3} /2 - 50			ns
SCK3 SO3出力遅延時間	t _{KSO3}	C = 100 pF ^注			300	ns

注 Cは, SCK3, SO3出力ラインの負荷容量です。

(ii) 2線式シリアル・モード ($\overline{\text{SCK3}}$...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK3サイクル・タイム	t _{KCY4}		800			ns
SCK3ハイ, ロウ・レベル幅	t _{KH4} t _{KL4}		400			ns
SCK3 SO3出力遅延時間	t _{KSO4}	C = 100 pF ^注			300	ns
SCK3立ち上がり / 立ち下がり時間	t _{r4} t _{f4}				1	μs

注 Cは, SO3出力ラインの負荷容量です。

A/Dコンバータ特性 (T_A = -40 ~ +85 , AV_{DD} = V_{DD} = 3.0 ~ 5.5 V, AV_{SS} = V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					8	bit
総合誤差 ^{注1, 2}					±1.0	%FSR
変換時間 ^{注3}	t _{CONV}		14			μs
アナログ入力電圧	V _{IAN}		AV _{SS}		AV _{DD}	V

注1 . 量子化誤差 (± 1/2LSB) を含みません。

2 . フルスケール値に対する比率 (%FSR) で表しています。

3 . A/D変換時間が14 μs以上になるように設定してください。

データ・メモリSTOPモード低電源電圧データ保持特性 (T_A = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		2.0		5.5	V
データ保持電源電流	I _{DDDR}			0.1	30	μA
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウエイト時間	t _{WAIT}	RESETによる解除		2 ¹⁷ /f _X		ms
		割り込み要求による解除		注		ms

注 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により, 2¹²/f_X, 2¹⁴/f_X-2¹⁷/f_Xの選択が可能です。

フラッシュ・メモリ・プログラミング特性 (μ PD78F0233のみ, $V_{DD} = 3.0 \sim 5.5$ V, $V_{SS} = 0$ V, $V_{PP} = 9.7 \sim 10.3$ V)

(1) 基本特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f_x		1.0		5.0	MHz
電源電圧	V_{DD}	書き込み時動作電圧	3.0		5.5	V
	V_{PP}	V_{PP} ハイ・レベル検出時	$0.8 V_{DD}$	V_{DD}	$1.2 V_{DD}$	V
	V_{PPH}	V_{PP} 高電圧検出時	9.7	10.0	10.3	V
V_{DD} 電源電流	I_{DD}			10	mA	
V_{PP} 電源電流	I_{PP}	$V_{PP} = 10.0$ V		75	100	mA
書き込み時間 (1 バイトあたり)	T_{WRT}		50		500	μ s
書き換え回数	C_{WRT}				20	回
消去時間	T_{ERASE}		1		20	s
プログラミング温度	T_{PRG}		+ 10		+ 40	

(2) シリアル書き込みオペレーション特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
V_{PP} セット時間	t_{PSRON}	V_{PP} 高電圧	1.0			μ s
V_{DD} V_{PP} セット時間	t_{DRPSR}	V_{PP} 高電圧	10			μ s
V_{PP} \overline{RESET} セット時間	t_{PSRRF}	V_{PP} 高電圧	1.0			μ s
\overline{RESET} V_{PP} カウンタ開始時間	t_{RFCF}		1.0			μ s
カウンタ実行時間	t_{COUNT}				2.0	ms
V_{PP} カウンタ・ハイ・レベル幅	t_{CH}		8.0			μ s
V_{PP} カウンタ・ロウ・レベル幅	t_{CL}		8.0			μ s
V_{PP} カウンタ・ノイズ除去幅	t_{NFW}			40		ns

18.1.3 $V_{DD} = 2.7 \sim 5.5$ V品

絶対最大定格 ($T_A = 25$)

項目	略号	条件	定格	単位	
電源電圧	V_{DD}		- 0.3 ~ + 6.5	V	
	V_{PP}	μ PD78F0233 注1	- 0.5 ~ + 10.5	V	
	V_{LOAD}	4.5 V $V_{DD} = 5.5$ V	$V_{DD} - 45 \sim V_{DD} + 0.3$	V	
		3.0 V $V_{DD} < 4.5$ V	$V_{DD} - 43 \sim V_{DD} + 0.3$	V	
		2.7 V $V_{DD} < 3.0$ V	$V_{DD} - 42.7 \sim V_{DD} + 0.3$	V	
	AV_{DD}		- 0.3 ~ $V_{DD} + 0.3$	V	
AV_{SS}		- 0.3 ~ + 0.3	V		
入力電圧	V_{I1}	P00-P02, P20-P27, X1, X2, \overline{RESET}	- 0.3 ~ $V_{DD} + 0.3$	V	
	V_{I2}	P50-P57, P60-P64 (P-chオープン・ドレイン時)	4.5 V $V_{DD} = 5.5$ V	$V_{DD} - 45 \sim V_{DD} + 0.3$	V
			3.0 V $V_{DD} < 4.5$ V	$V_{DD} - 43 \sim V_{DD} + 0.3$	V
			2.7 V $V_{DD} < 3.0$ V	$V_{DD} - 42.7 \sim V_{DD} + 0.3$	V
出力電圧	V_{O1}		- 0.3 ~ $V_{DD} + 0.3$	V	
	V_{O2}	4.5 V $V_{DD} = 5.5$ V	$V_{DD} - 45 \sim V_{DD} + 0.3$	V	
		3.0 V $V_{DD} < 4.5$ V	$V_{DD} - 43 \sim V_{DD} + 0.3$	V	
		2.7 V $V_{DD} < 3.0$ V	$V_{DD} - 42.7 \sim V_{DD} + 0.3$	V	
アナログ入力電圧	V_{AN}	ANI0-ANI3 アナログ入力端子	$AV_{SS} \sim AV_{DD}$	V	
ハイ・レベル 出力電流	I_{OH}	P00-P02, P20-P27の1端子	- 10	mA	
		P00-P02, P20-P27の合計	- 30	mA	
		FIP0-FIP23, P30-P37, P40-P47, P50-P57, P60-P64の1端子	- 30	mA	
		FIP0-FIP23, P30-P37, P40-P47,	ピーク値	- 300	mA
		P50-P57, P60-P64の合計	実効値	- 120	mA
ロウ・レベル 出力電流	I_{OL} 注2	P00-P02, P20-P27の1端子	ピーク値	10	mA
			実効値	5	mA
		P00-P02, P20-P27の合計	ピーク値	20	mA
			実効値	10	mA
全損失	P_T 注3	$T_A = -40 \sim +60$	700	mW	
		$T_A = +60 \sim +85$	500	mW	
動作温度	T_A		- 40 ~ + 85		
保存温度	T_{stg}	μ PD780232	- 40 ~ + 150		
	V_{PP}	μ PD78F0233	- 40 ~ + 125		

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注2．実効値は、[実効値] = [ピーク値] $\times \sqrt{\text{デューティ}}$ で計算してください。
(注1と注3は次ページ以降に示します。)

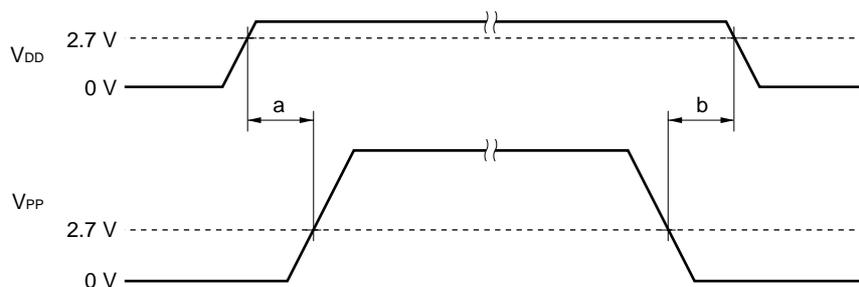
注1. フラッシュ・メモリ書き込み時、 V_{PP} の電圧印加タイミングについては、必ず次の条件を満たしてください。

・電源電圧立ち上がり時

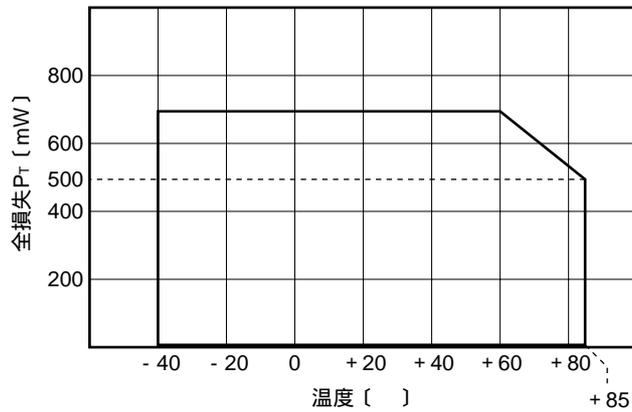
V_{DD} が動作電圧範囲の下限電圧（2.7 V）に達してから10 μ s以上経過後、 V_{PP} が V_{DD} を越えること（下図のa）。

・電源電圧立ち下がり時

V_{PP} が V_{DD} の動作電圧範囲の下限電圧（2.7 V）を下回ってから10 μ s以上経過後、 V_{DD} を立ち下げること（下図のb）。



注3．許容全損失は温度によって異なります（下図参照）。



全損失の計算方法

μ PD780232, 78F0233の消費電力には次の3つがあります。この3つの消費電力の和が全損失Pt以下となるように設計してください（定格の80%以下での使用を推奨いたします）。

CPUの消費電力： $V_{DD} (MAX.) \times I_{DD} (MAX.)$ で計算される消費電力です。

出力端子の消費電力：VFD出力端子に最大の電流を流した場合の消費電力です。

プルダウン抵抗の消費電力：VFD出力端子にマスク・オプションで内蔵するプルダウン抵抗による消費電力です。

例 次のような条件を仮定します。

$V_{DD} = 5.5 V$, 5.0 MHz発振

電源電流 (I_{DD}) = 21.0 mA

VFD出力：11グリッド×10セグメント（ブランキング幅：1/16）

グリッド端子には最大15 mA流れるものとします。

セグメント端子には最大5 mA流れるものとします。

また、キー・スキャン・タイミングではVFD出力端子はオフしているものとします。

VFD出力電圧：グリッド $V_{OD} = V_{DD} - 2 V$ (2 Vの電圧降下があるものとします。)

セグメント $V_{OD} = V_{DD} - 0.5 V$ (0.5 Vの電圧降下があるものとします。)

蛍光表示管の電圧 (V_{LOAD}) = - 35 V

マスク・オプション・プルダウン抵抗 = 35 k

以上のような条件を計算方法 ~ にあてはめ、全損失を計算します。

CPUの消費電力 : $5.5 V \times 21.0 mA = 115.5 mW$

出力端子の消費電力：

$$\begin{aligned} \text{グリッド} \quad (V_{DD} - V_{OD}) \times \frac{\text{各グリッドの電流値合計}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ 2 \text{ V} \times \frac{15 \text{ mA} \times 11 \text{ グリッド}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 25.8 \text{ mW} \end{aligned}$$

$$\begin{aligned} \text{セグメント} \quad (V_{DD} - V_{OD}) \times \frac{\text{点灯ドットのセグメント電流値合計}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ 0.5 \text{ V} \times \frac{5 \text{ mA} \times 31 \text{ ドット}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 6.1 \text{ mW} \end{aligned}$$

プルダウン抵抗の消費電力：

$$\begin{aligned} \text{グリッド} \quad \frac{(V_{OD} - V_{LOAD})^2}{\text{プルダウン抵抗値}} \times \frac{\text{グリッド数}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ \frac{(5.5 \text{ V} - 2 \text{ V} - (-35 \text{ V}))^2}{35 \text{ k}} \times \frac{11 \text{ グリッド}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 36.4 \text{ mW} \end{aligned}$$

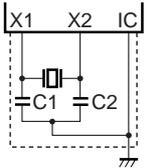
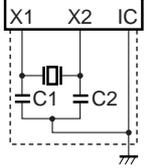
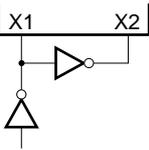
$$\begin{aligned} \text{セグメント} \quad \frac{(V_{OD} - V_{LOAD})^2}{\text{プルダウン抵抗値}} \times \frac{\text{点灯ドット数}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ \frac{(5.5 \text{ V} - 0.5 \text{ V} - (-35 \text{ V}))^2}{35 \text{ k}} \times \frac{31 \text{ ドット}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 110.7 \text{ mW} \end{aligned}$$

$$\text{全消費電力} = \quad + \quad + \quad = 115.5 + 25.8 + 6.1 + 36.4 + 110.7 = 294.5 \text{ mW}$$

この例では、全消費電力が前頁のグラフに示す許容全損失の定格を越えないので、消費電力は問題ありません。

全消費電力が許容全損失の定格を越えた場合には、消費電力を下げる必要があります。消費電力を下げるには、内蔵するプルダウン抵抗の本数を少なくします。

システム・クロック発振回路特性 (TA = -40 ~ +85 , VDD = 2.7 ~ 5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (fx) 注1	VDD = 発振電圧範囲	1		5	MHz
		発振安定時間注2	VDDが発振電圧範囲MIN.に 達したあと			4	ms
水晶振動子		発振周波数 (fx) 注1		1		5	MHz
		発振安定時間注2	4.5 V VDD 5.5 V			10	ms
			2.7 V VDD < 4.5 V			30	ms
外部 クロック		X1入力周波数 (fx) 注1		1		5	MHz
		X1入力ハイ, ロウ・レベル幅 (txH, txL)		85		450	ns

注1 . 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2 . リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

注意 システム・クロックの発振回路を使用する場合は、配線容量などの影響を避けるために、破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にVSS1と同電位となるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

推奨発振回路定数

システム・クロック：セラミック発振子 ($T_A = -40 \sim +85$)

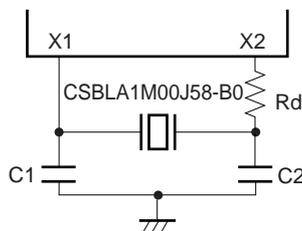
(1) μ PD780232

メーカー	品名	周波数 (MHz)	推奨回路定数			発振電圧範囲	
			C1 (pF)	C2 (pF)	Rd ()	MIN. (V)	MAX. (V)
村田製作所	CSBLA1M00J58-B0 (CSB1000J)	1.00	150	150	0	4.5	5.5
	CSTLS2M00G56-B0	2.00	内蔵	内蔵			
	CSTLS3M58G56-B0 (CSTS0358MG06)	3.58					
	CSTLS4M19G56-B0 (CSTS0419MG06)	4.194					
	CSTLS5M00G56-B0 (CSTS0500MG06)	5.00					

(2) μ PD78F0233

メーカー	品名	周波数 (MHz)	推奨回路定数			発振電圧範囲	
			C1 (pF)	C2 (pF)	Rd ()	MIN. (V)	MAX. (V)
村田製作所	CSBLA1M00J58-B0 ^注 (CSB1000J)	1.00	100	100	2.2 k	4.5	5.5
	CSTLS2M00G56-B0	2.00	内蔵	内蔵	0		
	CSTLS3M58G56-B0 (CSTS0358MG06)	3.58					
	CSTLS4M19G56-B0 (CSTS0419MG06)	4.194					
	CSTLS5M00G56-B0 (CSTS0500MG06)	5.00					

注 μ PD78F0233にセラミック発振子として村田製作所のCSBLA1M00J58-B0 (1.00 MHz) を使用する場合には、制限抵抗 ($R_d = 2.2 k$) が必要です (下図参照)。その他の推奨発振子を使用する場合は制限抵抗は不要です。



注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、 μ PD780232サブシリーズの内部動作条件についてはDC, AC特性の規格内で使用してください。

備考 () 内の品名は旧品名です。

容量 (TA = 25 , VDD = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	CIN	f = 1 MHz 被測定端子以外は0 V	P00-P02, P20-P27		15	pF
			P50-P57, P60-P64		35	pF
出力容量	COUT	f = 1 MHz 被測定端子以外は0 V	P00-P02, P20-P27		15	pF
			P30-P37, P40-P47, P50-P57, P60-P64, FIP0-FIP23		35	pF
入出力容量	CIO	f = 1 MHz 被測定端子以外は0 V	P00-P02, P20-P27		15	pF
			P50-P57, P60-P64		35	pF

DC特性 (TA = -40 ~ +85 , VDD = 2.7 ~ 5.5 V) (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	VIH1	P00-P02, P20-P27, RESET	0.7 VDD		VDD	V	
	VIH2	P50-P57, P60-P64	0.7 VDD		VDD	V	
	VIH3	X1, X2	VDD - 0.5		VDD	V	
ロウ・レベル入力電圧	VIL1	P00-P02, P20-P27, RESET	0		0.2VDD	V	
	VIL2	X1, X2	0		0.4	V	
ハイ・レベル出力電圧	VOH	I _{OH} = - 1 mA	VDD - 1.0		VDD	V	
		I _{OH} = - 100 μA	VDD - 0.5		VDD	V	
ロウ・レベル出力電圧	VOL	P00-P02, P20-P27 I _{OL} = 400 μA			0.5	V	
ハイ・レベル 入力リーク電流	ILI1	P00-P02, P20-P27, P50-P57, P60-P64, RESET	VIN = VDD		3	μA	
	ILI2	X1, X2			20	μA	
ロウ・レベル 入力リーク電流	ILIL1	P00-P02, P20-P27, RESET	VIN = 0 V		- 3	μA	
	ILIL2	X1, X2			- 20	μA	
	ILIL3	P50-P57, P60-P64	VIN = VLOAD = VDD - 40 V		- 10	μA	
ハイ・レベル 出力リーク電流	ILOH	P00-P02, P20-P27, P30-P37, P40-P47, P50-P57, P60-P64	VOUT = VDD		3	μA	
ロウ・レベル 出力リーク電流	ILOL1	P00-P02, P20-P27	VOUT = 0 V		- 3	μA	
	ILOL2	P30-P37, P40-P47, P50-P57, P60-P64	VOUT = VLOAD = VDD - 40 V		- 10	μA	
VFD出力電流	IOD	FIP0-FIP19	VOD = VDD - 2 V		- 15	mA	
		FIP20-FIP52	VDD = 5 V ± 10%		- 5	mA	
		FIP0-FIP19	VOD = VDD - 2 V		- 10	mA	
		FIP20-FIP52	VDD = 3.3 V ± 0.3 V		- 5	mA	
		FIP0-FIP19	VOD = VDD - 2 V		- 8	mA	
		FIP20-FIP52	VDD = 2.7 V ~ 3.0 V		- 5	mA	
ソフトウェア・プルアップ抵抗	R1	P00-P02, P20-P27	VIN = 0 V	10	30	100	k
内蔵ブルダウン抵抗	R2	FIP0-FIP23 (μPD78F0233のみ)	VDD - VLOAD = 40 V	30	60	135	k
内蔵マスク・オプション・ブルダウン抵抗 (VLOAD接続)	R3	FIP0-FIP52 (μPD780232のみ)	VDD - VLOAD = 40 V	30	60	135	k
内蔵マスク・オプション・ブルダウン抵抗 (VSS0接続)	R4	P50-P57, P60-P64 (μPD780232のみ)		15	35	90	k

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性 ($T_A = -40 \sim +85$, $V_{DD} = 2.7 \sim 5.5 V$) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電流電源 ^{注1}	I _{DD1}	5 MHz水晶発振動作モード ^{注2}	μ PD780232		7	14	mA
			μ PD78F0233		9	18	mA
	I _{DD2}	5 MHz水晶発振HALTモード	μ PD780232		1.5	4.5	mA
			μ PD78F0233		2.5	7.5	mA
	I _{DD3}	STOPモード			1	30	μ A

注1 . V_{DD}端子に流れる電流です。内蔵プルアップ抵抗, 内蔵プルダウン抵抗に流れる電流は含みません。

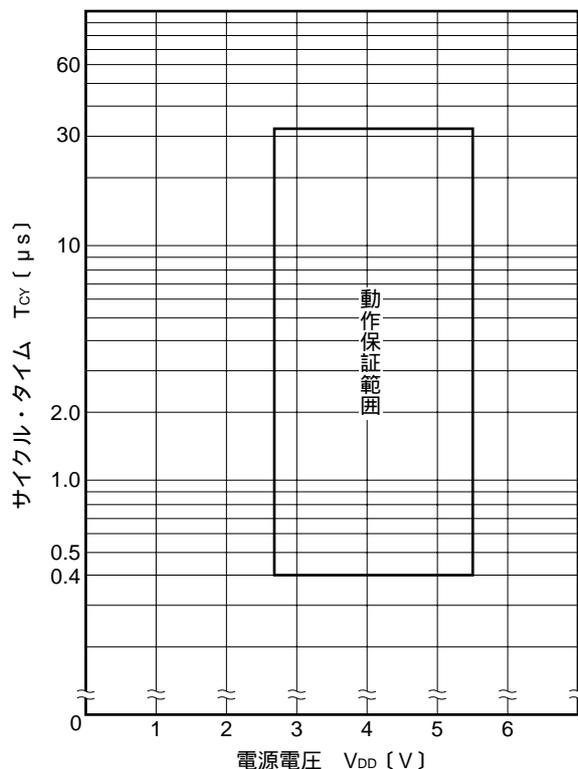
2 . プロセッサ・クロック・コントロール・レジスタ (PCC) が00Hのとき。

AC特性

(1) 基本動作 ($T_A = -40 \sim +85$, $V_{DD} = 2.7 \sim 5.5$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	T_{CY}	メイン・システム・クロックで動作	0.4		32	μs
割り込み要求入力 ハイ,ロウ・レベル幅	t_{INTH} t_{INTL}	INTP0, INTP1	10			μs
RESETロウ・レベル幅	t_{RSL}		10			μs

T_{CY} vs V_{DD}



(2) タイマ/カウンタ ($T_A = -40 \sim +85$, $V_{DD} = 2.7 \sim 5.5$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
TI入力 ハイ,ロウ・レベル幅	t_{TIH} t_{TIL}		$2/F_{count} + 0.2^{\text{注}}$			μs

注 F_{count} はTM9で選択されているカウント・クロック ($f_x/2^6$, $f_x/2^7$, $f_x/2^8$, $f_x/2^9$ の選択が可能)の周波数を示します。

(3) シリアル・インタフェース ($T_A = -40 \sim +85$, $V_{DD} = 2.7 \sim 5.5$ V)

(a) シリアル・インタフェース (3線式シリアル・モード)

(i) 3線式シリアル・モード ($\overline{SCK1}$...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCK1}$ サイクル・タイム	t_{KCY1}		800			ns
$\overline{SCK1}$ ハイ・ロウ・レベル幅	t_{KH1} t_{KL1}		$t_{KCY1}/2 - 50$			ns
SI1 セットアップ時間 (対 $\overline{SCK1}$)	t_{SIK1}		100			ns
SI1 ホールド時間 (対 $\overline{SCK1}$)	t_{KSI1}		400			ns
$\overline{SCK1}$ SO1 出力遅延時間	t_{KSO1}	$C = 100$ pF ^注			300	ns

注 Cは、 $\overline{SCK1}$ 、SO1出力ラインの負荷容量です。

(ii) 3線式シリアル・モード ($\overline{SCK1}$...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCK1}$ サイクル・タイム	t_{KCY2}		800			ns
$\overline{SCK1}$ ハイ・ロウ・レベル幅	t_{KH2} t_{KL2}		400			ns
SI1 セットアップ時間 (対 $\overline{SCK1}$)	t_{SIK2}		100			ns
SI1 ホールド時間 (対 $\overline{SCK1}$)	t_{KSI2}		400			ns
$\overline{SCK1}$ SO1 出力遅延時間	t_{KSO2}	$C = 100$ pF ^注			300	ns
$\overline{SCK1}$ 立ち上がり / 立ち下がり時間	t_{R2} t_{F2}				1	μ s

注 Cは、SO1出力ラインの負荷容量です。

(b) シリアル・インタフェース (2線式シリアル・モード)

(i) 2線式シリアル・モード ($\overline{\text{SCK3}}$...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK3サイクル・タイム	t _{KCY3}		800			ns
SCK3ハイ, ロウ・レベル幅	t _{KH3} t _{KL3}		t _{KCY3} /2 - 50			ns
SCK3 SO3出力遅延時間	t _{KSO3}	C = 100 pF ^注			300	ns

注 Cは, SCK3, SO3出力ラインの負荷容量です。

(ii) 2線式シリアル・モード ($\overline{\text{SCK3}}$...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK3サイクル・タイム	t _{KCY4}		800			ns
SCK3ハイ, ロウ・レベル幅	t _{KH4} t _{KL4}		400			ns
SCK3 SO3出力遅延時間	t _{KSO4}	C = 100 pF ^注			300	ns
SCK3立ち上がり / 立ち下がり時間	t _{R4} t _{F4}				1	μs

注 Cは, SO3出力ラインの負荷容量です。

A/Dコンバータ特性 (T_A = -40 ~ +85 , AV_{DD} = V_{DD} = 3.0 ~ 5.5 V, AV_{SS} = V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					8	bit
総合誤差 ^{注1, 2}					±1.0	%FSR
変換時間 ^{注3}	t _{CONV}		14			μs
アナログ入力電圧	V _{IAN}		AV _{SS}		AV _{DD}	V

注1 . 量子化誤差 (± 1/2LSB) を含みません。

2 . フルスケール値に対する比率 (%FSR) で表しています。

3 . A/D変換時間が14 μs以上になるように設定してください。

データ・メモリSTOPモード低電源電圧データ保持特性 (T_A = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		2.0		5.5	V
データ保持電源電流	I _{DDDR}			0.1	30	μA
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウエイト時間	t _{WAIT}	RESETによる解除		2 ¹⁷ /f _X		ms
		割り込み要求による解除		注		ms

注 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により, 2¹²/f_X, 2¹⁴/f_X-2¹⁷/f_Xの選択が可能です。

フラッシュ・メモリ・プログラミング特性 (μ PD78F0233のみ, $V_{DD} = 2.7 \sim 5.5$ V, $V_{SS} = 0$ V, $V_{PP} = 9.7 \sim 10.3$ V)

(1) 基本特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f_x		1.0		5.0	MHz
電源電圧	V_{DD}	書き込み時動作電圧	2.7		5.5	V
	V_{PP}	V_{PP} ハイ・レベル検出時	$0.8 V_{DD}$	V_{DD}	$1.2 V_{DD}$	V
	V_{PPH}	V_{PP} 高電圧検出時	9.7	10.0	10.3	V
V_{DD} 電源電流	I_{DD}			10	mA	
V_{PP} 電源電流	I_{PP}	$V_{PP} = 10.0$ V		75	100	mA
書き込み時間 (1 バイトあたり)	T_{WRT}		50		500	μ s
書き換え回数	C_{WRT}				20	回
消去時間	T_{ERASE}		1		20	s
プログラミング温度	T_{PRG}		+ 10		+ 40	

(2) シリアル書き込みオペレーション特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
V_{PP} セット時間	t_{PSRON}	V_{PP} 高電圧	1.0			μ s
V_{DD} V_{PP} セット時間	t_{DRPSR}	V_{PP} 高電圧	10			μ s
V_{PP} \overline{RESET} セット時間	t_{PSRRF}	V_{PP} 高電圧	1.0			μ s
\overline{RESET} V_{PP} カウンタ開始時間	t_{RFCF}		1.0			μ s
カウンタ実行時間	t_{COUNT}				2.0	ms
V_{PP} カウンタ・ハイ・レベル幅	t_{CH}		8.0			μ s
V_{PP} カウンタ・ロウ・レベル幅	t_{CL}		8.0			μ s
V_{PP} カウンタ・ノイズ除去幅	t_{NFW}			40		ns

18.2 μ PD780233の電気的特性（暫定）

この特性はあくまでも暫定値であり，量産品がこの規格を満足するとは限りません。

18.2.1 $V_{DD} = 4.5 \sim 5.5$ V品

絶対最大定格 ($T_A = 25$)

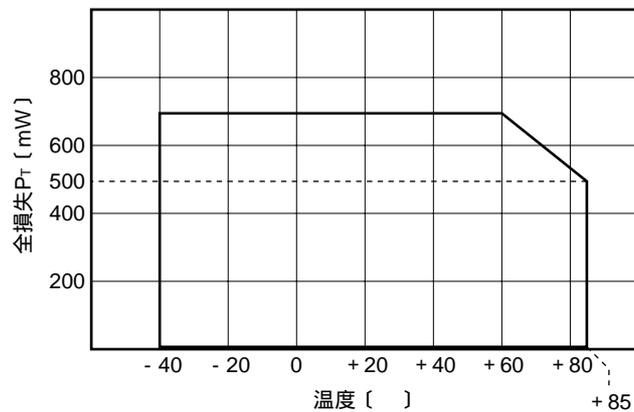
項目	略号	条件	定格	単位	
電源電圧	V_{DD}		- 0.3 ~ + 6.5	V	
	V_{LOAD}		$V_{DD} - 45 \sim V_{DD} + 0.3$	V	
	AV_{DD}		- 0.3 ~ $V_{DD} + 0.3$	V	
	AV_{SS}		- 0.3 ~ + 0.3	V	
入力電圧	V_{I1}	P00-P02, P20-P27, X1, X2, \overline{RESET}	- 0.3 ~ $V_{DD} + 0.3$	V	
	V_{I2}	P50-P57, P60-P64 (P-chオープン・ドレイン時)	$V_{DD} - 45 \sim V_{DD} + 0.3$	V	
出力電圧	V_{O1}		- 0.3 ~ $V_{DD} + 0.3$	V	
	V_{O2}		$V_{DD} - 45 \sim V_{DD} + 0.3$	V	
アナログ入力電圧	V_{AN}	ANI0-ANI3 アナログ入力端子	$AV_{SS} \sim AV_{DD}$	V	
ハイ・レベル 出力電流	I_{OH}	P00-P02, P20-P27の1端子	- 10	mA	
		P00-P02, P20-P27の合計	- 30	mA	
		FIP0-FIP23, P30-P37, P40-P47, P50-P57, P60-P64の1端子	- 30	mA	
		FIP0-FIP23, P30-P37, P40-P47,	ピーク値	- 300	mA
		P50-P57, P60-P64の合計	実効値	- 120	mA
ロウ・レベル 出力電流	I_{OL} ^{注1}	P00-P02, P20-P27の1端子	ピーク値	10	mA
			実効値	5	mA
		P00-P02, P20-P27の合計	ピーク値	20	mA
			実効値	10	mA
全損失	P_T ^{注2}	$T_A = - 40 \sim + 60$	700	mW	
		$T_A = + 60 \sim + 85$	500	mW	
動作温度	T_A		- 40 ~ + 85		
保存温度	T_{stg}		- 40 ~ + 150		

注意 各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

注1．実効値は，[実効値] = [ピーク値] $\times \sqrt{\text{デューティ}}$ で計算してください。

注2．許容全損失は温度によって異なります（下図参照）。



全損失の計算方法

μPD780233の消費電力には次の3つがあります。この3つの消費電力の和が全損失 P_T 以下となるように設計してください（定格の80%以下での使用を推奨いたします）。

CPUの消費電力： $V_{DD}(\text{MAX.}) \times I_{DD}(\text{MAX.})$ で計算される消費電力です。

出力端子の消費電力：VFD出力端子に最大の電流を流した場合の消費電力です。

プルダウン抵抗の消費電力：VFD出力端子にマスク・オプションで内蔵するプルダウン抵抗による消費電力です。

例 次のような条件を仮定します。

$V_{DD} = 5.5 \text{ V}$, 5.0 MHz発振

電源電流 (I_{DD}) = 21.0 mA

VFD出力：11グリッド×10セグメント（ブランキング幅：1/16）

グリッド端子には最大15 mA流れるものとします。

セグメント端子には最大5 mA流れるものとします。

また、キー・スキャン・タイミングではVFD出力端子はオフしているものとします。

VFD出力電圧：グリッド $V_{OD} = V_{DD} - 2 \text{ V}$ （2 Vの電圧降下があるものとします。）

セグメント $V_{OD} = V_{DD} - 0.5 \text{ V}$ （0.5 Vの電圧降下があるものとします。）

蛍光表示管の電圧 (V_{LOAD}) = -35 V

マスク・オプション・プルダウン抵抗 = 35 k

以上のような条件を計算方法 ~ にあてはめ、全損失を計算します。

CPUの消費電力 : $5.5 \text{ V} \times 21.0 \text{ mA} = 115.5 \text{ mW}$

出力端子の消費電力：

$$\begin{aligned} \text{グリッド} \quad (V_{DD} - V_{OD}) \times \frac{\text{各グリッドの電流値合計}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ 2 \text{ V} \times \frac{15 \text{ mA} \times 11 \text{ グリッド}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 25.8 \text{ mW} \end{aligned}$$

$$\begin{aligned} \text{セグメント} \quad (V_{DD} - V_{OD}) \times \frac{\text{点灯ドットのセグメント電流値合計}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ 0.5 \text{ V} \times \frac{5 \text{ mA} \times 31 \text{ ドット}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 6.1 \text{ mW} \end{aligned}$$

プルダウン抵抗の消費電力：

$$\begin{aligned} \text{グリッド} \quad \frac{(V_{OD} - V_{LOAD})^2}{\text{プルダウン抵抗値}} \times \frac{\text{グリッド数}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ \frac{(5.5 \text{ V} - 2 \text{ V} - (-35 \text{ V}))^2}{35 \text{ k}} \times \frac{11 \text{ グリッド}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 36.4 \text{ mW} \end{aligned}$$

$$\begin{aligned} \text{セグメント} \quad \frac{(V_{OD} - V_{LOAD})^2}{\text{プルダウン抵抗値}} \times \frac{\text{点灯ドット数}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ \frac{(5.5 \text{ V} - 0.5 \text{ V} - (-35 \text{ V}))^2}{35 \text{ k}} \times \frac{31 \text{ ドット}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 110.7 \text{ mW} \end{aligned}$$

$$\text{全消費電力} = \quad + \quad + \quad = 115.5 + 25.8 + 6.1 + 36.4 + 110.7 = 294.5 \text{ mW}$$

この例では、全消費電力が前頁のグラフに示す許容全損失の定格を越えないので、消費電力は問題ありません。

全消費電力が許容全損失の定格を越えた場合には、消費電力を下げる必要があります。消費電力を下げるには、内蔵するプルダウン抵抗の本数を少なくします。

システム・クロック発振回路特性 ($T_A = -40 \sim +85$, $V_{DD} = 4.5 \sim 5.5$ V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (f_x) 注1	$V_{DD} =$ 発振電圧範囲	1		5	MHz
		発振安定時間注2	V_{DD} が発振電圧範囲MIN.に達したあと			4	ms
水晶振動子		発振周波数 (f_x) 注1		1		5	MHz
		発振安定時間注2				10	ms
外部 クロック		X1入力周波数 (f_x) 注1		1		5	MHz
		X1入力ハイ, ロウ・レベル幅 (t_{xH}, t_{xL})		85		450	ns

注1．発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2．リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

注意 システム・クロックの発振回路を使用する場合は、配線容量などの影響を避けるために、破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS1} と同電位となるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

容量 (TA = 25 , VDD = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	CIN	f = 1 MHz 被測定端子以外は0 V	P00-P02, P20-P27		15	pF
			P50-P57, P60-P64		35	pF
出力容量	COUT	f = 1 MHz 被測定端子以外は0 V	P00-P02, P20-P27		15	pF
			P30-P37, P40-P47, P50-P57, P60-P64, FIP0-FIP23		35	pF
入出力容量	CIO	f = 1 MHz 被測定端子以外は0 V	P00-P02, P20-P27		15	pF
			P50-P57, P60-P64		35	pF

DC特性 (TA = -40 ~ +85 , VDD = 4.5 ~ 5.5 V) (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IH1}	P00-P02, P20-P27, RESET	0.7 V _{DD}		V _{DD}	V
	V _{IH2}	P50-P57, P60-P64	0.7 V _{DD}		V _{DD}	V
	V _{IH3}	X1, X2	V _{DD} - 0.5		V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	P00-P02, P20-P27, RESET	0		0.2 V _{DD}	V
	V _{IL2}	X1, X2	0		0.4	V
ハイ・レベル出力電圧	V _{OH}	I _{OH} = -1 mA	V _{DD} - 1.0		V _{DD}	V
		I _{OH} = -100 μA	V _{DD} - 0.5		V _{DD}	V
ロウ・レベル出力電圧	V _{OL}	P00-P02, P20-P27 I _{OL} = 400 μA			0.5	V
ハイ・レベル 入力リーク電流	I _{LIH1}	P00-P02, P20-P27, P50-P57, P60-P64, RESET V _{IN} = V _{DD}			3	μA
	I _{LIH2}	X1, X2			20	μA
ロウ・レベル 入力リーク電流	I _{LIL1}	P00-P02, P20-P27, RESET V _{IN} = 0 V			-3	μA
	I _{LIL2}	X1, X2			-20	μA
	I _{LIL3}	P50-P57, P60-P64 V _{IN} = V _{LOAD} = V _{DD} - 40 V			-10	μA
ハイ・レベル 出力リーク電流	I _{LOH}	P00-P02, P20-P27, P30-P37, P40-P47, P50-P57, P60-P64 V _{OUT} = V _{DD}			3	μA
ロウ・レベル 出力リーク電流	I _{LOL1}	P00-P02, P20-P27 V _{OUT} = 0 V			-3	μA
	I _{LOL2}	P30-P37, P40-P47, P50-P57, P60-P64 V _{OUT} = V _{LOAD} = V _{DD} - 40 V			-10	μA
VFD出力電流	I _{OD}	FIP0-FIP19 V _{OD} = V _{DD} - 2 V			-15	mA
		FIP20-FIP52			-5	mA
ソフトウェア・プルアップ抵抗	R ₁	P00-P02, P20-P27 V _{IN} = 0 V	10	30	100	k
内蔵マスク・オプション・プルダウン抵抗 (V _{LOAD} 接続)	R ₃	FIP0-FIP52 V _{DD} - V _{LOAD} = 40 V	30	60	135	k
内蔵マスク・オプション・プルダウン抵抗 (V _{SS0} 接続)	R ₄	P50-P57, P60-P64	15	35	90	k

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 ($T_A = -40 \sim +85$, $V_{DD} = 4.5 \sim 5.5$ V) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電流電源 ^{注1}	I _{DD1}	5 MHz水晶発振動作モード ^{注2}		7	14	mA
	I _{DD2}	5 MHz水晶発振HALTモード		1.5	4.5	mA
	I _{DD3}	STOPモード		1	30	μA

注1．V_{DD}端子に流れる電流です。内蔵プルアップ抵抗，内蔵プルダウン抵抗に流れる電流は含みません。

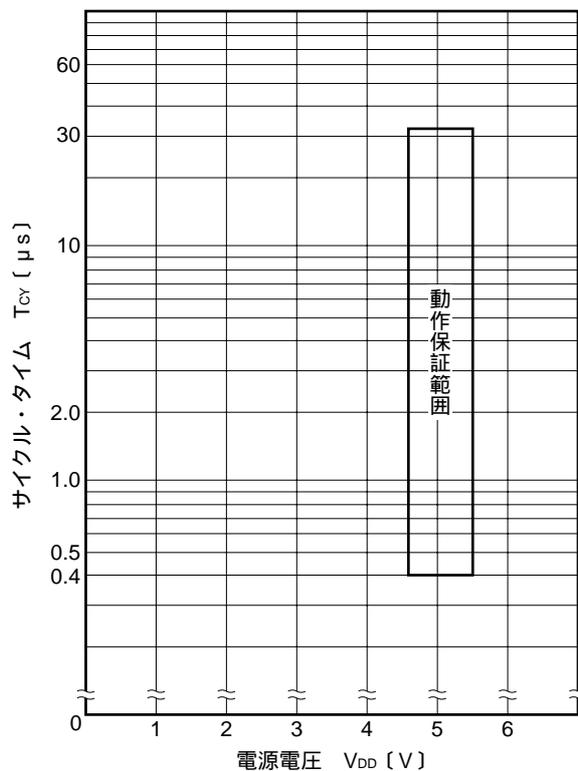
2．プロセッサ・クロック・コントロール・レジスタ（PCC）が00Hのとき。

AC特性

(1) 基本動作 ($T_A = -40 \sim +85$, $V_{DD} = 4.5 \sim 5.5$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	T_{CY}	メイン・システム・クロックで動作	0.4		32	μs
割り込み要求入力 ハイ,ロウ・レベル幅	t_{INTH} t_{INTL}	INTP0, INTP1	10			μs
RESETロウ・レベル幅	t_{RSL}		10			μs

T_{CY} vs V_{DD}



(2) タイマ/カウンタ ($T_A = -40 \sim +85$, $V_{DD} = 4.5 \sim 5.5$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
TI入力 ハイ,ロウ・レベル幅	t_{TIH} t_{TIL}		$2/F_{count} + 0.2^{\text{注}}$			μs

注 F_{count} はTM9で選択されているカウント・クロック ($f_x/2^6$, $f_x/2^7$, $f_x/2^8$, $f_x/2^9$ の選択が可能)の周波数を示します。

(3) シリアル・インタフェース ($T_A = -40 \sim +85$, $V_{DD} = 4.5 \sim 5.5$ V)

(a) シリアル・インタフェース (3線式シリアル・モード)

(i) 3線式シリアル・モード ($\overline{SCK1}$...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCK1}$ サイクル・タイム	t_{KCY1}		800			ns
$\overline{SCK1}$ ハイ・ロウ・レベル幅	t_{KH1} t_{KL1}		$t_{KCY1}/2 - 50$			ns
SI1 セットアップ時間 (対 $\overline{SCK1}$)	t_{SIK1}		100			ns
SI1 ホールド時間 (対 $\overline{SCK1}$)	t_{KSI1}		400			ns
$\overline{SCK1}$ SO1 出力遅延時間	t_{KSO1}	$C = 100$ pF ^注			300	ns

注 Cは、 $\overline{SCK1}$ 、SO1出力ラインの負荷容量です。

(ii) 3線式シリアル・モード ($\overline{SCK1}$...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCK1}$ サイクル・タイム	t_{KCY2}		800			ns
$\overline{SCK1}$ ハイ・ロウ・レベル幅	t_{KH2} t_{KL2}		400			ns
SI1 セットアップ時間 (対 $\overline{SCK1}$)	t_{SIK2}		100			ns
SI1 ホールド時間 (対 $\overline{SCK1}$)	t_{KSI2}		400			ns
$\overline{SCK1}$ SO1 出力遅延時間	t_{KSO2}	$C = 100$ pF ^注			300	ns
$\overline{SCK1}$ 立ち上がり / 立ち下がり時間	t_{R2} t_{F2}				1	μ s

注 Cは、SO1出力ラインの負荷容量です。

(b) シリアル・インタフェース (2線式シリアル・モード)

(i) 2線式シリアル・モード ($\overline{\text{SCK3}}$...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK3サイクル・タイム	t _{KCY3}		800			ns
SCK3ハイ, ロウ・レベル幅	t _{KH3} t _{KL3}		t _{KCY3} /2 - 50			ns
SCK3 SO3出力遅延時間	t _{KSO3}	C = 100 pF ^注			300	ns

注 Cは, SCK3, SO3出力ラインの負荷容量です。

(ii) 2線式シリアル・モード ($\overline{\text{SCK3}}$...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK3サイクル・タイム	t _{KCY4}		800			ns
SCK3ハイ, ロウ・レベル幅	t _{KH4} t _{KL4}		400			ns
SCK3 SO3出力遅延時間	t _{KSO4}	C = 100 pF ^注			300	ns
SCK3立ち上がり / 立ち下がり時間	t _{r4} t _{f4}				1	μs

注 Cは, SO3出力ラインの負荷容量です。

A/Dコンバータ特性 (T_A = -40 ~ +85 , AV_{DD} = V_{DD} = 4.5 ~ 5.5 V, AV_{SS} = V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					8	bit
総合誤差 ^{注1, 2}					±1.0	%FSR
変換時間 ^{注3}	t _{CONV}		14			μs
アナログ入力電圧	V _{IAN}		AV _{SS}		AV _{DD}	V

注1 . 量子化誤差 (± 1/2LSB) を含みません。

2 . フルスケール値に対する比率 (%FSR) で表しています。

3 . A/D変換時間が14 μs以上になるように設定してください。

データ・メモリSTOPモード低電源電圧データ保持特性 (T_A = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		2.0		5.5	V
データ保持電源電流	I _{DDDR}			0.1	30	μA
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウエイト時間	t _{WAIT}	RESETによる解除		2 ¹⁷ /f _X		ms
		割り込み要求による解除		注		ms

注 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により, 2¹²/f_X, 2¹⁴/f_X-2¹⁷/f_Xの選択が可能です。

18.2.2 V_{DD} = 3.0 ~ 5.5 V品

絶対最大定格 (T_A = 25)

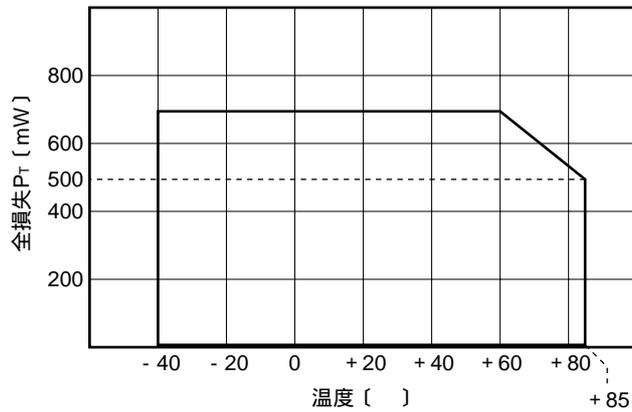
項目	略号	条件		定格	単位	
電源電圧	V _{DD}			- 0.3 ~ +6.5	V	
	V _{LOAD}	4.5 V	V _{DD} 5.5 V	V _{DD} - 45 ~ V _{DD} + 0.3	V	
		3.0 V	V _{DD} < 4.5 V	V _{DD} - 43 ~ V _{DD} + 0.3	V	
	AV _{DD}			- 0.3 ~ V _{DD} + 0.3	V	
	AV _{SS}			- 0.3 ~ + 0.3	V	
入力電圧	V _{I1}	P00-P02, P20-P27, X1, X2, RESET		- 0.3 ~ V _{DD} + 0.3	V	
	V _{I2}	4.5 V	V _{DD} 5.5 V	V _{DD} - 45 ~ V _{DD} + 0.3	V	
		3.0 V	V _{DD} < 4.5 V	V _{DD} - 43 ~ V _{DD} + 0.3	V	
出力電圧	V _{O1}			- 0.3 ~ V _{DD} + 0.3	V	
	V _{O2}	4.5 V	V _{DD} 5.5 V	V _{DD} - 45 ~ V _{DD} + 0.3	V	
		3.0 V	V _{DD} < 4.5 V	V _{DD} - 43 ~ V _{DD} + 0.3	V	
アナログ入力電圧	V _{AN}	ANI0-ANI3	アナログ入力端子	AV _{SS} ~ AV _{DD}	V	
ハイ・レベル 出力電流	I _{OH}	P00-P02, P20-P27の1端子		- 10	mA	
		P00-P02, P20-P27の合計		- 30	mA	
		FIP0-FIP23, P30-P37, P40-P47, P50-P57, P60-P64の1端子		- 30	mA	
		FIP0-FIP23, P30-P37, P40-P47, P50-P57, P60-P64の合計	ピーク値	- 300	mA	
			実効値	- 120	mA	
ロウ・レベル 出力電流	I _{OL} ^{注1}	P00-P02, P20-P27の1端子		ピーク値	10	mA
				実効値	5	mA
		P00-P02, P20-P27の合計		ピーク値	20	mA
				実効値	10	mA
全損失	P _T ^{注2}	T _A = - 40 ~ + 60		700	mW	
		T _A = + 60 ~ + 85		500	mW	
動作温度	T _A			- 40 ~ + 85		
保存温度	T _{stg}			- 40 ~ + 150		

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注1．実効値は、[実効値] = [ピーク値] × √デューティで計算してください。

注2．許容全損失は温度によって異なります（下図参照）。



全損失の計算方法

μPD780233の消費電力には次の3つがあります。この3つの消費電力の和が全損失 P_T 以下となるように設計してください（定格の80%以下での使用を推奨いたします）。

CPUの消費電力： $V_{DD} (MAX.) \times I_{DD} (MAX.)$ で計算される消費電力です。

出力端子の消費電力：VFD出力端子に最大の電流を流した場合の消費電力です。

プルダウン抵抗の消費電力：VFD出力端子にマスク・オプションで内蔵するプルダウン抵抗による消費電力です。

例 次のような条件を仮定します。

$V_{DD} = 5.5 V$, 5.0 MHz発振

電源電流 (I_{DD}) = 21.0 mA

VFD出力：11グリッド×10セグメント（ブランキング幅：1/16）

グリッド端子には最大15 mA流れるものとします。

セグメント端子には最大5 mA流れるものとします。

また、キー・スキャン・タイミングではVFD出力端子はオフしているものとします。

VFD出力電圧：グリッド $V_{OD} = V_{DD} - 2 V$ (2 Vの電圧降下があるものとします。)

セグメント $V_{OD} = V_{DD} - 0.5 V$ (0.5 Vの電圧降下があるものとします。)

蛍光表示管の電圧 (V_{LOAD}) = -35 V

マスク・オプション・プルダウン抵抗 = 35 k

以上のような条件を計算方法 ~ にあてはめ、全損失を計算します。

CPUの消費電力 : $5.5 V \times 21.0 mA = 115.5 mW$

出力端子の消費電力：

$$\begin{aligned} \text{グリッド} \quad (V_{DD} - V_{OD}) \times \frac{\text{各グリッドの電流値合計}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ 2 \text{ V} \times \frac{15 \text{ mA} \times 11 \text{ グリッド}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 25.8 \text{ mW} \end{aligned}$$

$$\begin{aligned} \text{セグメント} \quad (V_{DD} - V_{OD}) \times \frac{\text{点灯ドットのセグメント電流値合計}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ 0.5 \text{ V} \times \frac{5 \text{ mA} \times 31 \text{ ドット}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 6.1 \text{ mW} \end{aligned}$$

プルダウン抵抗の消費電力：

$$\begin{aligned} \text{グリッド} \quad \frac{(V_{OD} - V_{LOAD})^2}{\text{プルダウン抵抗値}} \times \frac{\text{グリッド数}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ \frac{(5.5 \text{ V} - 2 \text{ V} - (-35 \text{ V}))^2}{35 \text{ k}} \times \frac{11 \text{ グリッド}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 36.4 \text{ mW} \end{aligned}$$

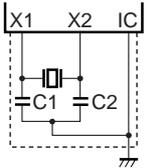
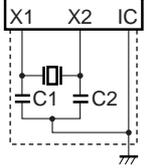
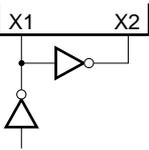
$$\begin{aligned} \text{セグメント} \quad \frac{(V_{OD} - V_{LOAD})^2}{\text{プルダウン抵抗値}} \times \frac{\text{点灯ドット数}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ \frac{(5.5 \text{ V} - 0.5 \text{ V} - (-35 \text{ V}))^2}{35 \text{ k}} \times \frac{31 \text{ ドット}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 110.7 \text{ mW} \end{aligned}$$

$$\text{全消費電力} = \quad + \quad + \quad = 115.5 + 25.8 + 6.1 + 36.4 + 110.7 = 294.5 \text{ mW}$$

この例では、全消費電力が前頁のグラフに示す許容全損失の定格を越えないので、消費電力は問題ありません。

全消費電力が許容全損失の定格を越えた場合には、消費電力を下げる必要があります。消費電力を下げるには、内蔵するプルダウン抵抗の本数を少なくします。

システム・クロック発振回路特性 (TA = -40 ~ +85 , VDD = 3.0 ~ 5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (fx) 注1	VDD = 発振電圧範囲	1		5	MHz
		発振安定時間注2	VDDが発振電圧範囲MIN.に 達したあと			4	ms
水晶振動子		発振周波数 (fx) 注1		1		5	MHz
		発振安定時間注2	4.5 V < VDD < 5.5 V			10	ms
			3.0 V < VDD < 4.5 V			30	ms
外部 クロック		X1入力周波数 (fx) 注1		1		5	MHz
		X1入力ハイ, ロウ・レベル幅 (txH, txL)		85		450	ns

注1 . 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2 . リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

注意 システム・クロックの発振回路を使用する場合は、配線容量などの影響を避けるために、破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にVSS1と同電位となるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

容量 (TA = 25 , VDD = VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	CIN	f = 1 MHz 被測定端子以外は0 V	P00-P02, P20-P27		15	pF
			P50-P57, P60-P64		35	pF
出力容量	COUT	f = 1 MHz 被測定端子以外は0 V	P00-P02, P20-P27		15	pF
			P30-P37, P40-P47, P50-P57, P60-P64, FIP0-FIP23		35	pF
入出力容量	CIO	f = 1 MHz 被測定端子以外は0 V	P00-P02, P20-P27		15	pF
			P50-P57, P60-P64		35	pF

DC特性 (TA = -40 ~ +85 , VDD = 3.0 ~ 5.5 V) (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IH1}	P00-P02, P20-P27, RESET	0.7 V _{DD}		V _{DD}	V
	V _{IH2}	P50-P57, P60-P64	0.7 V _{DD}		V _{DD}	V
	V _{IH3}	X1, X2	V _{DD} - 0.5		V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	P00-P02, P20-P27, RESET	0		0.2 V _{DD}	V
	V _{IL2}	X1, X2	0		0.4	V
ハイ・レベル出力電圧	V _{OH}	I _{OH} = -1 mA	V _{DD} - 1.0		V _{DD}	V
		I _{OH} = -100 μA	V _{DD} - 0.5		V _{DD}	V
ロウ・レベル出力電圧	V _{OL}	P00-P02, P20-P27 I _{OL} = 400 μA			0.5	V
ハイ・レベル 入力リーク電流	I _{LIH1}	P00-P02, P20-P27, P50-P57, P60-P64, RESET V _{IN} = V _{DD}			3	μA
	I _{LIH2}	X1, X2			20	μA
ロウ・レベル 入力リーク電流	I _{LIL1}	P00-P02, P20-P27, RESET V _{IN} = 0 V			-3	μA
	I _{LIL2}	X1, X2			-20	μA
	I _{LIL3}	P50-P57, P60-P64 V _{IN} = V _{LOAD} = V _{DD} - 40 V			-10	μA
ハイ・レベル 出力リーク電流	I _{LOH}	P00-P02, P20-P27, P30-P37, P40-P47, P50-P57, P60-P64 V _{OUT} = V _{DD}			3	μA
ロウ・レベル 出力リーク電流	I _{LOL1}	P00-P02, P20-P27 V _{OUT} = 0 V			-3	μA
	I _{LOL2}	P30-P37, P40-P47, P50-P57, P60-P64 V _{OUT} = V _{LOAD} = V _{DD} - 40 V			-10	μA
VFD出力電流	I _{OD}	FIP0-FIP19 V _{OD} = V _{DD} - 2 V			-15	mA
		FIP20-FIP52 V _{DD} = 5 V ± 10%			-5	mA
		FIP0-FIP19 V _{OD} = V _{DD} - 2 V			-10	mA
		FIP20-FIP52 V _{DD} = 3.3 V ± 0.3 V			-5	mA
ソフトウェア・プルアップ抵抗	R ₁	P00-P02, P20-P27 V _{IN} = 0 V	10	30	100	k
内蔵マスク・オプション・プルダウン抵抗 (V _{LOAD} 接続)	R ₃	FIP0-FIP52 V _{DD} - V _{LOAD} = 40 V	30	60	135	k
内蔵マスク・オプション・プルダウン抵抗 (V _{SS0} 接続)	R ₄	P50-P57, P60-P64	15	35	90	k

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 ($T_A = -40 \sim +85$, $V_{DD} = 3.0 \sim 5.5$ V) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電流電源 ^{注1}	I _{DD1}	5 MHz水晶発振動作モード ^{注2}		7	14	mA
	I _{DD2}	5 MHz水晶発振HALTモード		1.5	4.5	mA
	I _{DD3}	STOPモード		1	30	μA

注1．V_{DD}端子に流れる電流です。内蔵プルアップ抵抗，内蔵プルダウン抵抗に流れる電流は含みません。

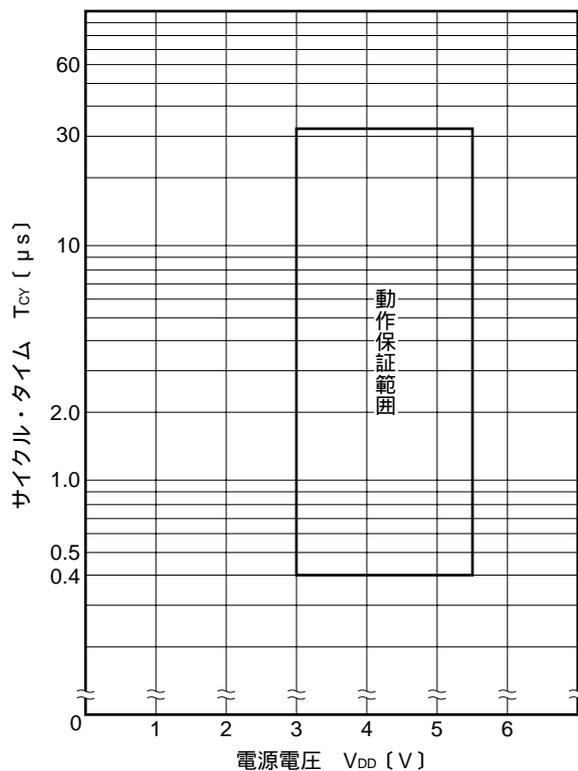
2．プロセッサ・クロック・コントロール・レジスタ（PCC）が00Hのとき。

AC特性

(1) 基本動作 ($T_A = -40 \sim +85$, $V_{DD} = 3.0 \sim 5.5 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	T_{CY}	メイン・システム・クロックで動作	0.4		32	μs
割り込み要求入力 ハイ,ロウ・レベル幅	t_{INTH} t_{INTL}	INTP0, INTP1	10			μs
RESETロウ・レベル幅	t_{RSL}		10			μs

T_{CY} vs V_{DD}



(2) タイマ/カウンタ ($T_A = -40 \sim +85$, $V_{DD} = 3.0 \sim 5.5 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
TI入力 ハイ,ロウ・レベル幅	t_{TIH} t_{TIL}		$2/F_{count} + 0.2^{\text{注}}$			μs

注 F_{count} はTM9で選択されているカウント・クロック ($f_x/2^6$, $f_x/2^7$, $f_x/2^8$, $f_x/2^9$ の選択が可能)の周波数を示します。

(3) シリアル・インタフェース ($T_A = -40 \sim +85$, $V_{DD} = 3.0 \sim 5.5 V$)

(a) シリアル・インタフェース (3線式シリアル・モード)

(i) 3線式シリアル・モード ($\overline{SCK1}$...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCK1}$ サイクル・タイム	t_{KCY1}		800			ns
$\overline{SCK1}$ ハイ・ロウ・レベル幅	t_{KH1} t_{KL1}		$t_{KCY1}/2 - 50$			ns
SI1セットアップ時間 (対 $\overline{SCK1}$)	t_{SIK1}		100			ns
SI1ホールド時間 (対 $\overline{SCK1}$)	t_{KSI1}		400			ns
$\overline{SCK1}$ SO1出力遅延時間	t_{KSO1}	$C = 100 \text{ pF}$ ^注			300	ns

注 Cは、 $\overline{SCK1}$ 、SO1出力ラインの負荷容量です。

(ii) 3線式シリアル・モード ($\overline{SCK1}$...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCK1}$ サイクル・タイム	t_{KCY2}		800			ns
$\overline{SCK1}$ ハイ・ロウ・レベル幅	t_{KH2} t_{KL2}		400			ns
SI1セットアップ時間 (対 $\overline{SCK1}$)	t_{SIK2}		100			ns
SI1ホールド時間 (対 $\overline{SCK1}$)	t_{KSI2}		400			ns
$\overline{SCK1}$ SO1出力遅延時間	t_{KSO2}	$C = 100 \text{ pF}$ ^注			300	ns
$\overline{SCK1}$ 立ち上がり/ 立ち下がり時間	t_{R2} t_{F2}				1	μs

注 Cは、SO1出力ラインの負荷容量です。

(b) シリアル・インタフェース (2線式シリアル・モード)

(i) 2線式シリアル・モード ($\overline{\text{SCK3}}$...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK3サイクル・タイム	t _{KCY3}		800			ns
SCK3ハイ, ロウ・レベル幅	t _{KH3} t _{KL3}		t _{KCY3} /2 - 50			ns
SCK3 SO3出力遅延時間	t _{KSO3}	C = 100 pF ^注			300	ns

注 Cは, SCK3, SO3出力ラインの負荷容量です。

(ii) 2線式シリアル・モード ($\overline{\text{SCK3}}$...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK3サイクル・タイム	t _{KCY4}		800			ns
SCK3ハイ, ロウ・レベル幅	t _{KH4} t _{KL4}		400			ns
SCK3 SO3出力遅延時間	t _{KSO4}	C = 100 pF ^注			300	ns
SCK3立ち上がり / 立ち下がり時間	t _{r4} t _{f4}				1	μs

注 Cは, SO3出力ラインの負荷容量です。

A/Dコンバータ特性 (T_A = -40 ~ +85 , AV_{DD} = V_{DD} = 3.0 ~ 5.5 V, AV_{SS} = V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					8	bit
総合誤差 ^{注1, 2}					± 1.0	%FSR
変換時間 ^{注3}	t _{CONV}		14			μs
アナログ入力電圧	V _{IAN}		AV _{SS}		AV _{DD}	V

注1 . 量子化誤差 (± 1/2LSB) を含みません。

2 . フルスケール値に対する比率 (%FSR) で表しています。

3 . A/D変換時間が14 μs以上になるように設定してください。

データ・メモリSTOPモード低電源電圧データ保持特性 (T_A = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		2.0		5.5	V
データ保持電源電流	I _{DDDR}			0.1	30	μA
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウエイト時間	t _{WAIT}	RESETによる解除		2 ¹⁷ /f _x		ms
		割り込み要求による解除		注		ms

注 発振安定時間選択レジスタ (OSTS) のビット 0-2 (OSTS0-OSTS2) により, 2¹²/f_x, 2¹⁴/f_x-2¹⁷/f_xの選択が可能です。

18.2.3 $V_{DD} = 2.7 \sim 5.5 \text{ V}$ 品

絶対最大定格 ($T_A = 25$)

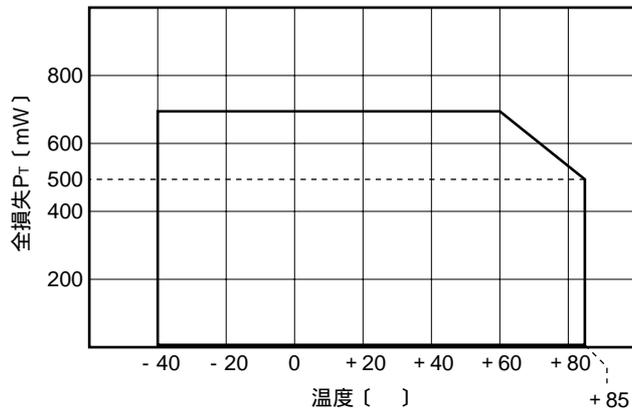
項目	略号	条件	定格	単位	
電源電圧	V_{DD}		- 0.3 ~ + 6.5	V	
	V_{LOAD}	4.5 V $V_{DD} = 5.5 \text{ V}$	$V_{DD} - 45 \sim V_{DD} + 0.3$	V	
		3.0 V $V_{DD} < 4.5 \text{ V}$	$V_{DD} - 43 \sim V_{DD} + 0.3$	V	
		2.7 V $V_{DD} < 3.0 \text{ V}$	$V_{DD} - 42.7 \sim V_{DD} + 0.3$	V	
	AV_{DD}		- 0.3 ~ $V_{DD} + 0.3$	V	
AV_{SS}		- 0.3 ~ + 0.3	V		
入力電圧	V_{I1}	P00-P02, P20-P27, X1, X2, $\overline{\text{RESET}}$	- 0.3 ~ $V_{DD} + 0.3$	V	
	V_{I2}	P50-P57, P60-P64 (P-chオープン・ドレイン時)	4.5 V $V_{DD} = 5.5 \text{ V}$	$V_{DD} - 45 \sim V_{DD} + 0.3$	V
			3.0 V $V_{DD} < 4.5 \text{ V}$	$V_{DD} - 43 \sim V_{DD} + 0.3$	V
2.7 V $V_{DD} < 3.0 \text{ V}$			$V_{DD} - 42.7 \sim V_{DD} + 0.3$	V	
出力電圧	V_{O1}		- 0.3 ~ $V_{DD} + 0.3$	V	
	V_{O2}	4.5 V $V_{DD} = 5.5 \text{ V}$	$V_{DD} - 45 \sim V_{DD} + 0.3$	V	
		3.0 V $V_{DD} < 4.5 \text{ V}$	$V_{DD} - 43 \sim V_{DD} + 0.3$	V	
		2.7 V $V_{DD} < 3.0 \text{ V}$	$V_{DD} - 42.7 \sim V_{DD} + 0.3$	V	
アナログ入力電圧	V_{AN}	ANI0-ANI3 アナログ入力端子	$AV_{SS} \sim AV_{DD}$	V	
ハイ・レベル 出力電流	I_{OH}	P00-P02, P20-P27の1端子	- 10	mA	
		P00-P02, P20-P27の合計	- 30	mA	
		FIP0-FIP23, P30-P37, P40-P47, P50-P57, P60-P64の1端子	- 30	mA	
		FIP0-FIP23, P30-P37, P40-P47,	ピーク値	- 300	mA
		P50-P57, P60-P64の合計	実効値	- 120	mA
ロウ・レベル 出力電流	I_{OL} 注1	P00-P02, P20-P27の1端子	ピーク値	10	mA
			実効値	5	mA
		P00-P02, P20-P27の合計	ピーク値	20	mA
			実効値	10	mA
全損失	P_T 注2	$T_A = - 40 \sim + 60$	700	mW	
		$T_A = + 60 \sim + 85$	500	mW	
動作温度	T_A		- 40 ~ + 85		
保存温度	T_{stg}		- 40 ~ + 150		

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注1．実効値は、 $[\text{実効値}] = [\text{ピーク値}] \times \sqrt{\text{デューティ}}$ で計算してください。

注2．許容全損失は温度によって異なります（下図参照）。



全損失の計算方法

μPD780233の消費電力には次の3つがあります。この3つの消費電力の和が全損失 P_T 以下となるように設計してください（定格の80%以下での使用を推奨いたします）。

CPUの消費電力： $V_{DD} (MAX.) \times I_{DD} (MAX.)$ で計算される消費電力です。

出力端子の消費電力：VFD出力端子に最大の電流を流した場合の消費電力です。

プルダウン抵抗の消費電力：VFD出力端子にマスク・オプションで内蔵するプルダウン抵抗による消費電力です。

例 次のような条件を仮定します。

$V_{DD} = 5.5 V$, 5.0 MHz発振

電源電流 (I_{DD}) = 21.0 mA

VFD出力：11グリッド×10セグメント（ブランキング幅：1/16）

グリッド端子には最大15 mA流れるものとします。

セグメント端子には最大5 mA流れるものとします。

また、キー・スキャン・タイミングではVFD出力端子はオフしているものとします。

VFD出力電圧：グリッド $V_{OD} = V_{DD} - 2 V$ (2 Vの電圧降下があるものとします。)

セグメント $V_{OD} = V_{DD} - 0.5 V$ (0.5 Vの電圧降下があるものとします。)

蛍光表示管の電圧 (V_{LOAD}) = -35 V

マスク・オプション・プルダウン抵抗 = 35 k

以上のような条件を計算方法 ~ にあてはめ、全損失を計算します。

CPUの消費電力 : $5.5 V \times 21.0 mA = 115.5 mW$

出力端子の消費電力：

$$\begin{aligned} \text{グリッド} \quad (V_{DD} - V_{OD}) \times \frac{\text{各グリッドの電流値合計}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ 2 \text{ V} \times \frac{15 \text{ mA} \times 11 \text{ グリッド}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 25.8 \text{ mW} \end{aligned}$$

$$\begin{aligned} \text{セグメント} \quad (V_{DD} - V_{OD}) \times \frac{\text{点灯ドットのセグメント電流値合計}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ 0.5 \text{ V} \times \frac{5 \text{ mA} \times 31 \text{ ドット}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 6.1 \text{ mW} \end{aligned}$$

プルダウン抵抗の消費電力：

$$\begin{aligned} \text{グリッド} \quad \frac{(V_{OD} - V_{LOAD})^2}{\text{プルダウン抵抗値}} \times \frac{\text{グリッド数}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ \frac{(5.5 \text{ V} - 2 \text{ V} - (-35 \text{ V}))^2}{35 \text{ k}} \times \frac{11 \text{ グリッド}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 36.4 \text{ mW} \end{aligned}$$

$$\begin{aligned} \text{セグメント} \quad \frac{(V_{OD} - V_{LOAD})^2}{\text{プルダウン抵抗値}} \times \frac{\text{点灯ドット数}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ \frac{(5.5 \text{ V} - 0.5 \text{ V} - (-35 \text{ V}))^2}{35 \text{ k}} \times \frac{31 \text{ ドット}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 110.7 \text{ mW} \end{aligned}$$

$$\text{全消費電力} = \quad + \quad + \quad = 115.5 + 25.8 + 6.1 + 36.4 + 110.7 = 294.5 \text{ mW}$$

この例では、全消費電力が前頁のグラフに示す許容全損失の定格を越えないので、消費電力は問題ありません。

全消費電力が許容全損失の定格を越えた場合には、消費電力を下げる必要があります。消費電力を下げるには、内蔵するプルダウン抵抗の本数を少なくします。

システム・クロック発振回路特性 (TA = - 40 ~ + 85 , VDD = 2.7 ~ 5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (fx) 注1	VDD = 発振電圧範囲	1		5	MHz
		発振安定時間注2	VDDが発振電圧範囲MIN.に 達したあと			4	ms
水晶振動子		発振周波数 (fx) 注1		1		5	MHz
		発振安定時間注2	4.5 V VDD 5.5 V			10	ms
			2.7 V VDD < 4.5 V			30	ms
外部 クロック		X1入力周波数 (fx) 注1		1		5	MHz
		X1入力ハイ, ロウ・レベル幅 (txH, txL)		85		450	ns

注1 . 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2 . リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

注意 システム・クロックの発振回路を使用する場合は、配線容量などの影響を避けるために、破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にVSS1と同電位となるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

容量 (TA = 25 , VDD = VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
入力容量	CIN	f = 1 MHz	P00-P02, P20-P27			15	pF
		被測定端子以外は0 V	P50-P57, P60-P64			35	pF
出力容量	COUT	f = 1 MHz	P00-P02, P20-P27			15	pF
		被測定端子以外は0 V	P30-P37, P40-P47, P50-P57, P60-P64, FIP0-FIP23			35	pF
入出力容量	CIO	f = 1 MHz	P00-P02, P20-P27			15	pF
		被測定端子以外は0 V	P50-P57, P60-P64			35	pF

DC特性 (TA = -40 ~ +85 , VDD = 2.7 ~ 5.5 V) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
ハイ・レベル入力電圧	VIH1	P00-P02, P20-P27, RESET		0.7 VDD		VDD	V		
		P50-P57, P60-P64		0.7 VDD		VDD	V		
		X1, X2		VDD - 0.5		VDD	V		
ロウ・レベル入力電圧	VIL1	P00-P02, P20-P27, RESET		0		0.2VDD	V		
		X1, X2		0		0.4	V		
ハイ・レベル出力電圧	VOH	IOH = - 1 mA		VDD - 1.0		VDD	V		
		IOH = - 100 μA		VDD - 0.5		VDD	V		
ロウ・レベル出力電圧	VOL	P00-P02, P20-P27	IOL = 400 μA			0.5	V		
ハイ・レベル 入力リーク電流	ILIH1	P00-P02, P20-P27, P50-P57, P60-P64, RESET		VIN = VDD		3	μA		
		X1, X2				20	μA		
ロウ・レベル 入力リーク電流	ILIL1	P00-P02, P20-P27, RESET		VIN = 0 V		- 3	μA		
		X1, X2				- 20	μA		
		P50-P57, P60-P64		VIN = VLOAD = VDD - 40 V		- 10	μA		
ハイ・レベル 出力リーク電流	ILOH	P00-P02, P20-P27, P30-P37, P40-P47, P50-P57, P60-P64	VOU = VDD			3	μA		
ロウ・レベル 出力リーク電流	ILOL1	P00-P02, P20-P27		VOU = 0 V		- 3	μA		
		P30-P37, P40-P47, P50-P57, P60-P64		VOU = VLOAD = VDD - 40 V		- 10	μA		
VFD出力電流	IOD	FIP0-FIP19		VOD = VDD - 2 V		- 15	mA		
		FIP20-FIP52		VDD = 5 V ± 10%		- 5	mA		
		FIP0-FIP19		VOD = VDD - 2 V		- 10	mA		
		FIP20-FIP52		VDD = 3.3 V ± 0.3 V		- 5	mA		
		FIP0-FIP19		VOD = VDD - 2 V		- 8	mA		
		FIP20-FIP52		VDD = 2.7 V ~ 3.0 V		- 5	mA		
ソフトウェア・プルアップ抵抗	R1	P00-P02, P20-P27		VIN = 0 V		10	30	100	k
内蔵マスク・オプション・プルダウン抵抗 (VLOAD接続)	R3	FIP0-FIP52		VDD - VLOAD = 40 V		30	60	135	k
内蔵マスク・オプション・プルダウン抵抗 (VSS0接続)	R4	P50-P57, P60-P64		15	35	90	k		

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 ($T_A = -40 \sim +85$, $V_{DD} = 2.7 \sim 5.5$ V) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電流電源 ^{注1}	I _{DD1}	5 MHz水晶発振動作モード ^{注2}		7	14	mA
	I _{DD2}	5 MHz水晶発振HALTモード		1.5	4.5	mA
	I _{DD3}	STOPモード		1	30	μA

注1．V_{DD}端子に流れる電流です。内蔵プルアップ抵抗，内蔵プルダウン抵抗に流れる電流は含みません。

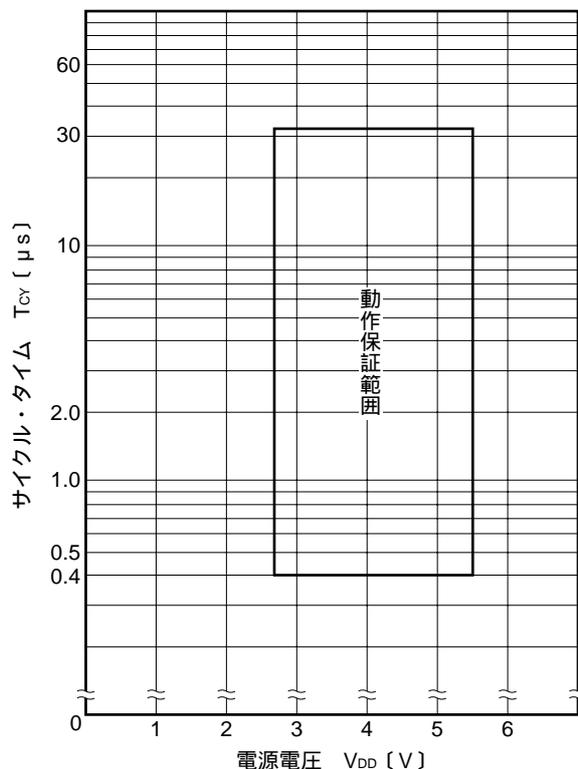
2．プロセッサ・クロック・コントロール・レジスタ（PCC）が00Hのとき。

AC特性

(1) 基本動作 ($T_A = -40 \sim +85$, $V_{DD} = 2.7 \sim 5.5$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	T_{CY}	メイン・システム・クロックで動作	0.4		32	μs
割り込み要求入力 ハイ,ロウ・レベル幅	t_{INTH} t_{INTL}	INTP0, INTP1	10			μs
RESETロウ・レベル幅	t_{RSL}		10			μs

T_{CY} vs V_{DD}



(2) タイマ/カウンタ ($T_A = -40 \sim +85$, $V_{DD} = 2.7 \sim 5.5$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
TI入力 ハイ,ロウ・レベル幅	t_{TIH} t_{TIL}		$2/F_{count} + 0.2^{\text{注}}$			μs

注 F_{count} はTM9で選択されているカウント・クロック ($f_x/2^6$, $f_x/2^7$, $f_x/2^8$, $f_x/2^9$ の選択が可能)の周波数を示します。

(3) シリアル・インタフェース ($T_A = -40 \sim +85$, $V_{DD} = 2.7 \sim 5.5$ V)

(a) シリアル・インタフェース (3線式シリアル・モード)

(i) 3線式シリアル・モード ($\overline{SCK1}$...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCK1}$ サイクル・タイム	t_{KCY1}		800			ns
$\overline{SCK1}$ ハイ・ロウ・レベル幅	t_{KH1} t_{KL1}		$t_{KCY1}/2 - 50$			ns
SI1 セットアップ時間 (対 $\overline{SCK1}$)	t_{SIK1}		100			ns
SI1 ホールド時間 (対 $\overline{SCK1}$)	t_{KSI1}		400			ns
$\overline{SCK1}$ SO1 出力遅延時間	t_{KSO1}	$C = 100$ pF ^注			300	ns

注 Cは、 $\overline{SCK1}$ 、SO1出力ラインの負荷容量です。

(ii) 3線式シリアル・モード ($\overline{SCK1}$...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCK1}$ サイクル・タイム	t_{KCY2}		800			ns
$\overline{SCK1}$ ハイ・ロウ・レベル幅	t_{KH2} t_{KL2}		400			ns
SI1 セットアップ時間 (対 $\overline{SCK1}$)	t_{SIK2}		100			ns
SI1 ホールド時間 (対 $\overline{SCK1}$)	t_{KSI2}		400			ns
$\overline{SCK1}$ SO1 出力遅延時間	t_{KSO2}	$C = 100$ pF ^注			300	ns
$\overline{SCK1}$ 立ち上がり / 立ち下がり時間	t_{R2} t_{F2}				1	μ s

注 Cは、SO1出力ラインの負荷容量です。

(b) シリアル・インタフェース (2線式シリアル・モード)

(i) 2線式シリアル・モード ($\overline{\text{SCK3}}$...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK3サイクル・タイム	t _{KCY3}		800			ns
SCK3ハイ,ロウ・レベル幅	t _{KH3} t _{KL3}		t _{KCY3} /2 - 50			ns
SCK3 SO3出力遅延時間	t _{KSO3}	C = 100 pF ^注			300	ns

注 Cは, SCK3, SO3出力ラインの負荷容量です。

(ii) 2線式シリアル・モード ($\overline{\text{SCK3}}$...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK3サイクル・タイム	t _{KCY4}		800			ns
SCK3ハイ,ロウ・レベル幅	t _{KH4} t _{KL4}		400			ns
SCK3 SO3出力遅延時間	t _{KSO4}	C = 100 pF ^注			300	ns
SCK3立ち上がり/立ち下がり時間	t _{r4} t _{f4}				1	μs

注 Cは, SO3出力ラインの負荷容量です。

A/Dコンバータ特性 (T_A = -40 ~ +85 , AV_{DD} = V_{DD} = 3.0 ~ 5.5 V, AV_{SS} = V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					8	bit
総合誤差 ^{注1, 2}					±1.0	%FSR
変換時間 ^{注3}	t _{CONV}		14			μs
アナログ入力電圧	V _{IAN}		AV _{SS}		AV _{DD}	V

注1 . 量子化誤差 (± 1/2LSB) を含みません。

2 . フルスケール値に対する比率 (%FSR) で表しています。

3 . A/D変換時間が14 μs以上になるように設定してください。

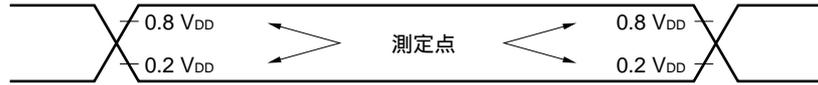
データ・メモリSTOPモード低電源電圧データ保持特性 (T_A = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		2.0		5.5	V
データ保持電源電流	I _{DDDR}			0.1	30	μA
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウエイト時間	t _{WAIT}	RESETによる解除		2 ¹⁷ /f _X		ms
		割り込み要求による解除		注		ms

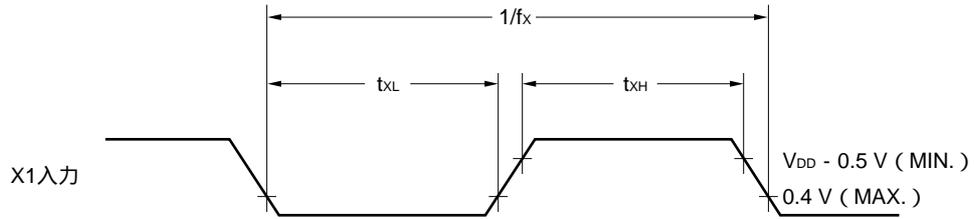
注 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により, 2¹²/f_X, 2¹⁴/f_X-2¹⁷/f_Xの選択が可能です。

18.3 タイミング・チャート

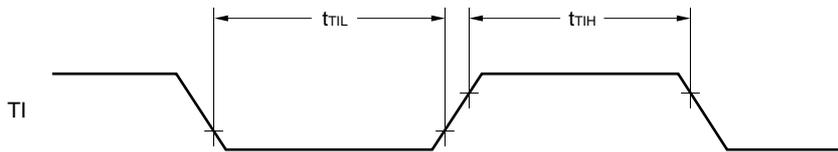
ACタイミング測定点 (X1入力を除く)



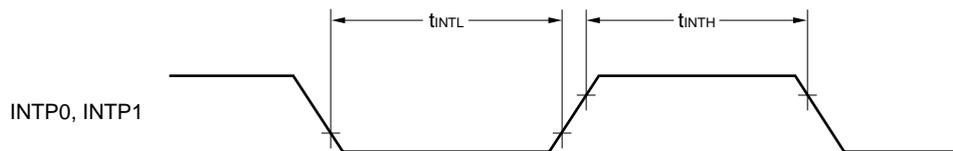
クロック・タイミング



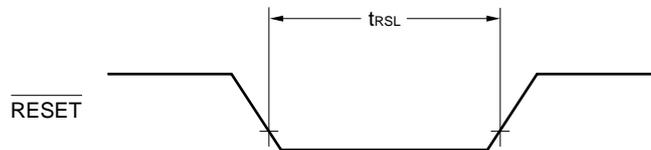
TI タイミング



割り込み要求入力タイミング

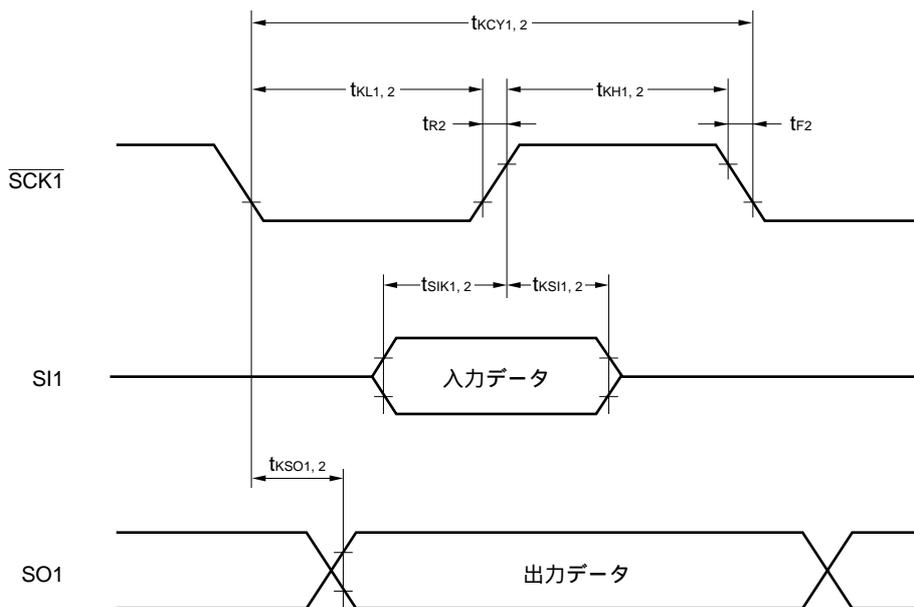


RESET入力タイミング

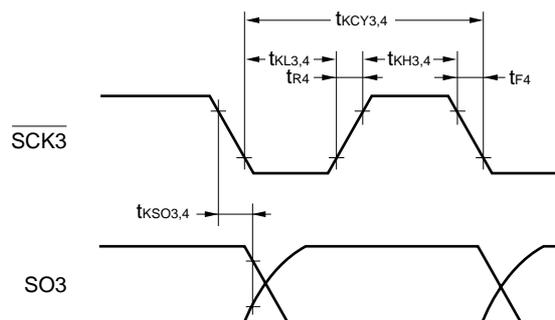


シリアル転送タイミング

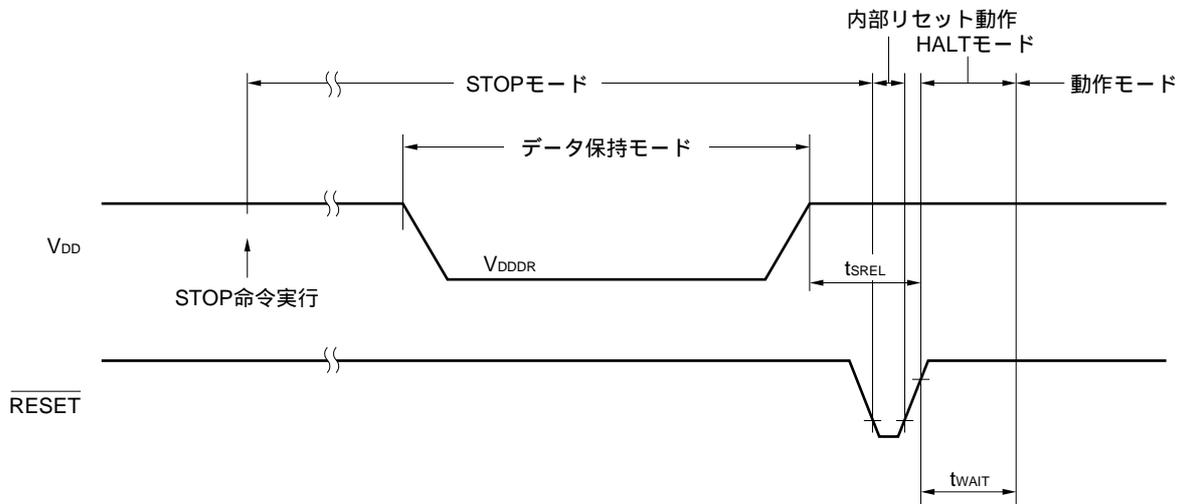
3線式シリアル・モード :



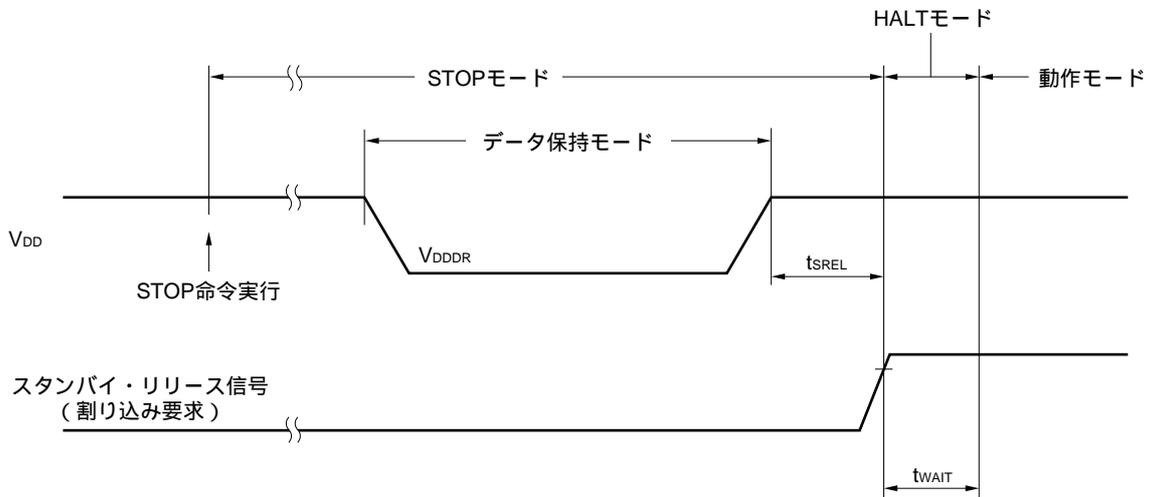
2線式シリアル・モード :



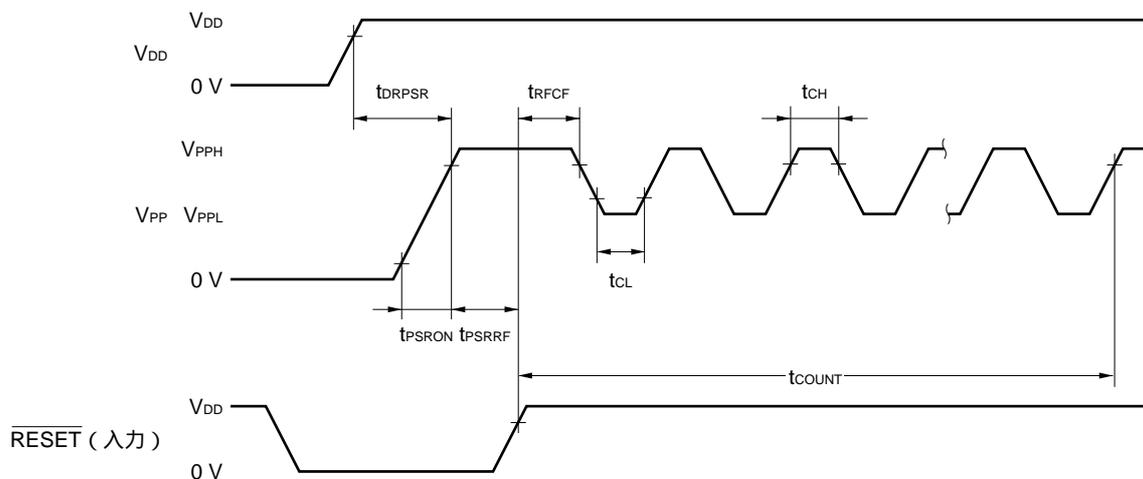
データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号：割り込み要求信号によるSTOPモード解除)

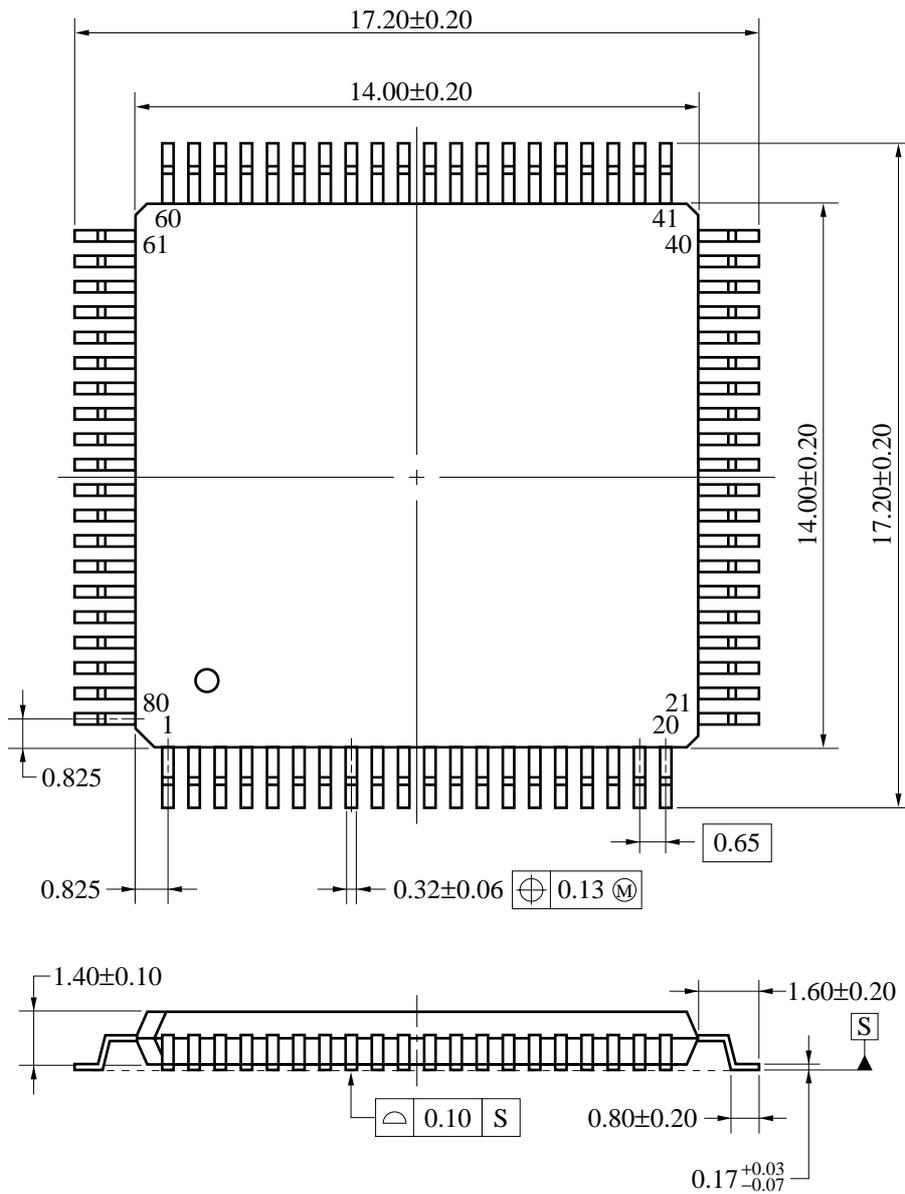


フラッシュ書き込みモード設定タイミング

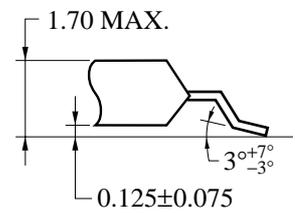


第19章 外形図

80ピン・プラスチック QFP (14x14) 外形図 (単位: mm)



端子先端形状詳細図



P80GC-65-8BT-1

第20章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については、下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.ic.nec.co.jp/pkg/ja/jissou/index.html>)

注意 μ PD780233GC- $\times \times \times$ -8BTは開発中なので、半田付け推奨条件は未定です。

表20 - 1 表面実装タイプの半田付け条件

μ PD780232GC- $\times \times \times$ -8BT : 80ピン・プラスチックQFP (14x14)

μ PD78F0232GC-8BT : "

半田付け方式	半 田 付 け 条 件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：2回以内	IR35-00-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上），回数：2回以内	VP15-00-2
ウェーブ・ソルダリング	半田槽温度：260 以下，時間：10秒以内，回数：1回 予備加熱温度：120 MAX.（パッケージ表面温度）	WS60-00-1
端子部分加熱	端子温度：300 以下，時間：3秒以内（デバイスの一辺当たり）	-

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

付録A μ PD780232, 780208サブシリーズ間の違い

μ PD780232, 780208サブシリーズ間の主な違いを表A - 1に示します。

★

表A - 1 μ PD780232, 780208サブシリーズ間の主な違い (1/2)

品名 項目	μ PD780232サブシリーズ	μ PD780208サブシリーズ
PROMまたはフラッシュ・メモリ製品	μ PD78F0233 (フラッシュ・メモリ)	μ PD78P0208 (PROM)
電源電圧	$V_{DD} = 4.5 \sim 5.5$ V ^注	$V_{DD} = 2.7 \sim 5.5$ V
内部ROMサイズ	μ PD780232 : 16 Kバイト μ PD780233 : 24 Kバイト μ PD78F0233 : 24 Kバイト	μ PD780204 : 32 Kバイト μ PD780205 : 40 Kバイト μ PD780206 : 48 Kバイト μ PD780208 : 60 Kバイト μ PD78P0208 : 60 Kバイト
内部高速RAMサイズ	768バイト	1024バイト
内部拡張RAMサイズ	なし	μ PD780206, 780208, 78P0208のみ内蔵 : 1024バイト
内部バッファRAMサイズ	32バイト	64バイト
VFD表示用RAMサイズ	112バイト	80バイト
CPUクロック	メイン・システム・クロックのみ	メイン・システム・クロック / サブシステム・クロックの選択可能
I/Oポート	40本	74本
VFD表示出力合計	53本	53本
シリアル・インタフェース	2チャンネル	2チャンネル
タイマ	8ビット・リモコン・タイマ : 1チャンネル 8ビット・タイマ : 2チャンネル ウォッチドッグ・タイマ : 1チャンネル	16ビット・タイマ/イベント・カウンタ : 1チャンネル 8ビット・タイマ/イベント・カウンタ : 2チャンネル 時計用タイマ : 1チャンネル ウォッチドッグ・タイマ : 1チャンネル

★

注 電源電圧範囲を拡張した製品 ($V_{DD} = 2.7 \sim 5.5$ Vおよび $V_{DD} = 3.0 \sim 5.5$ V) をご用意しております。電気的特性が異なりますので、詳細は第18章 電気的特性を参照してください。

表A - 1 μ PD780232, 780208サブシリーズ間の主な違い (2/2)

品名		μ PD780232サブシリーズ	μ PD780208サブシリーズ
項目			
クロック出力		なし	あり
ブザー出力		なし	あり
ベクタ割り込み	内部	10	11
要因	外部	2	4
テスト入力		なし	あり
パッケージ		80ピン・プラスチックQFP (14x14)	100ピン・プラスチックQFP (14x20)
電気的特性 半田付け推奨条件		個別の製品のデータ・シートまたはユーザーズ・マニュアル(電気的特性付き)を参照してください。	

備考 上記の項目以外に、上記サブシリーズ間では内部ROM構造の違い(PROM製品とフラッシュ・メモリ製品)により、開発ツールの構成も異なります。詳しくは、各サブシリーズのユーザーズ・マニュアルを参照してください。

付録 B 開発ツール

μ PD780232サブシリーズを使用するシステム開発のために次のような開発ツールを用意しております。

図 B - 1 に開発ツール構成を示します。

PC98-NXシリーズへの対応について

特に断りのないかぎり、IBM PC/AT™互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

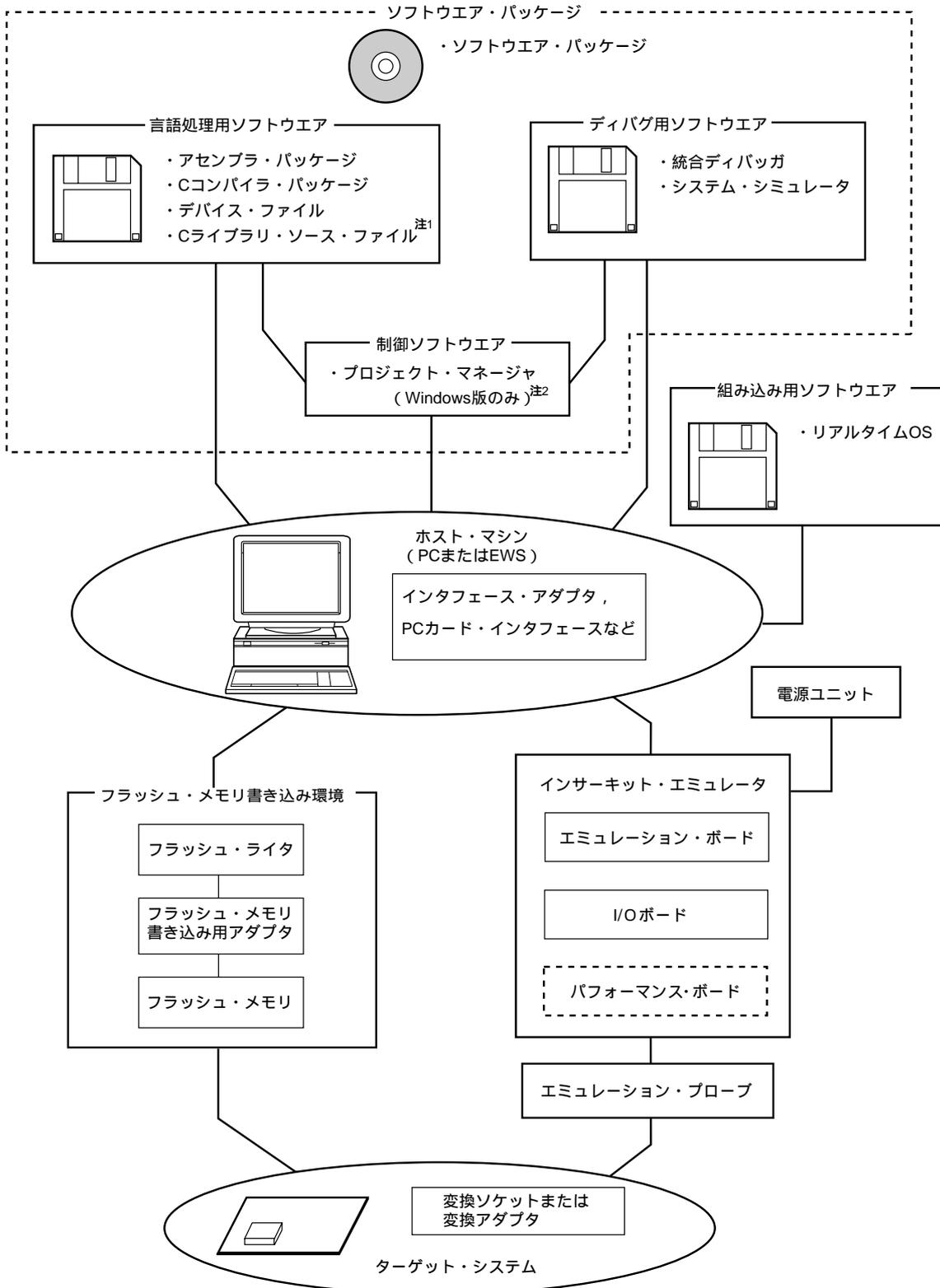
Windowsについて

特に断りのないかぎり、「Windows」は次のOSを示しています。

- ・ Windows 3.1
- ・ Windows 95
- ・ Windows 98
- ・ Windows 2000
- ・ Windows NT™ Ver.4.0

図B - 1 開発ツール構成 (1/2)

★ (1) インサーキット・エミュレータ IE-78K0-NS, IE-78K0-NS-Aを使用する場合



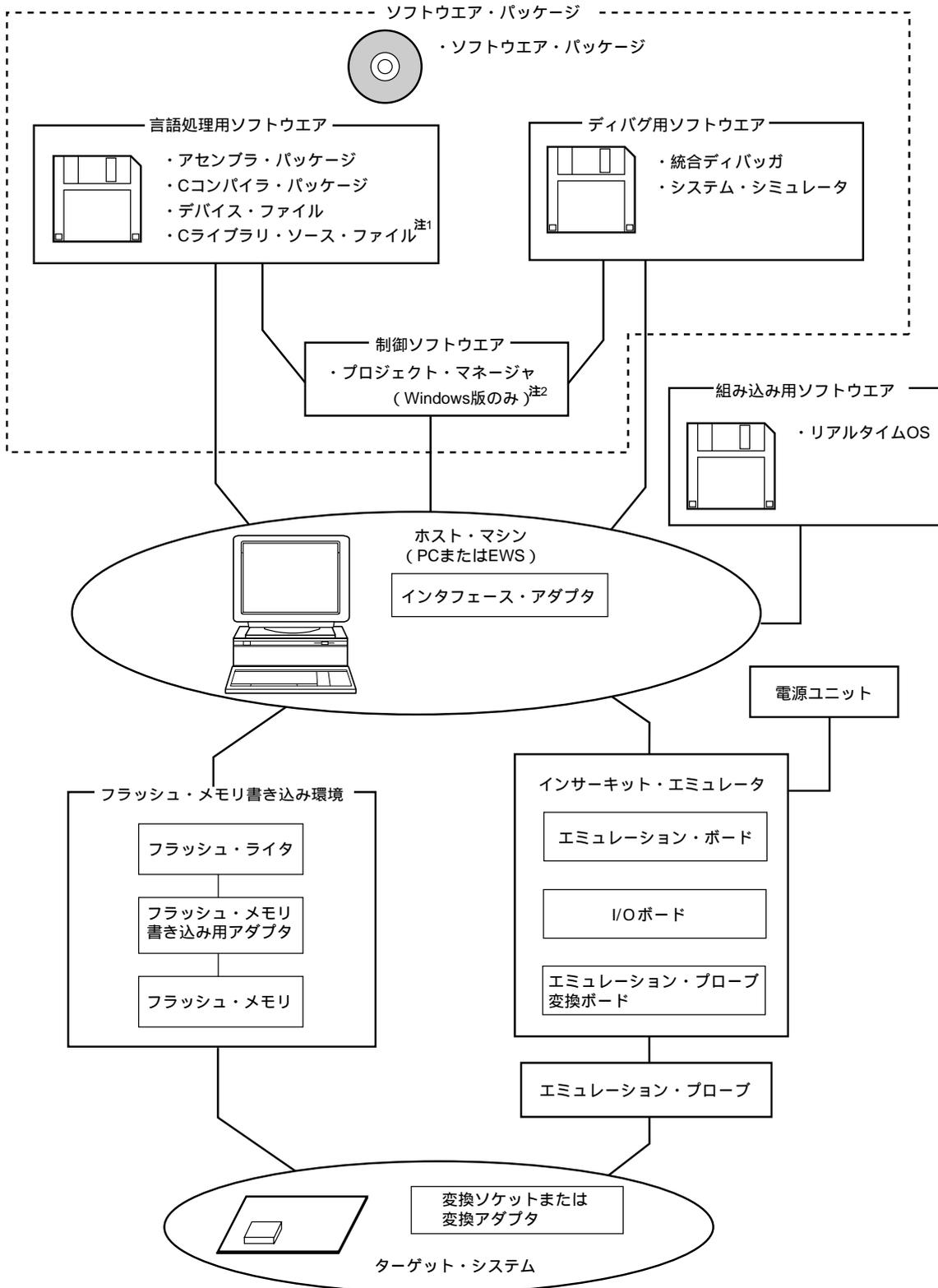
注1．Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

2．プロジェクト・マネージャは、アセンブラ・パッケージに入っています。

また、Windows以外ではプロジェクト・マネージャは使用しません。

図B - 1 開発ツール構成 (2/2)

★ (2) インサーキット・エミュレータ IE-78001-R-Aを使用する場合



注1 . Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

2 . プロジェクト・マネージャは、アセンブラ・パッケージに入っています。

また、Windows以外ではプロジェクト・マネージャは使用しません。

★ B.1 ソフトウェア・パッケージ

SP78K0 ソフトウェア・パッケージ	78K0シリーズ開発用の各種ソフトウェア・ツールを1つにパッケージングしたものです。 以下のツールが入っています。 RA78K0, CC78K0, ID78K0-NS, SM78K0, デバイス・ファイル各種
オーダ名称: μ S x x x SP78K0	

備考 オーダ名称の x x x は、使用するOSにより異なります。

μ S x x x SP78K0

x x x	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

B.2 言語処理用ソフトウェア

RA78K0 アセンブラ・パッケージ	二モニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。 別売のデバイス・ファイル (DF780232) と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: μ S x x x RA78K0
CC78K0 Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: μ S x x x CC78K0
DF780232 ^{注1} デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売の各ツール (RA78K0, CC78K0, SM78K0, ID78K0-NS, RX78K0) と組み合わせて使用します。 対応OS、ホスト・マシンは組み合わせられる各ツールに依存します。 オーダ名称: μ S x x x DF780232
CC78K0-L ^{注2} Cライブラリ・ソース・ファイル	Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。 Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。 ソース・ファイルのため、動作環境はOSに依存しません。 オーダ名称: μ S x x x CC78K0-L

注1 . DF780232は、RA78K0, CC78K0, SM78K0, ID78K0-NS, RX78K0のすべての製品に共通に使用できます。

★ 2 . CC78K0-Lは、ソフトウェア・パッケージ (SP78K0) には含まれていません。

備考 オーダ名称の××××は、使用するホスト・マシン，OSにより異なります。

μS××××RA78K0
μS××××CC78K0

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700™	HP-UX™ (Rel.10.10)	
3K17	SPARCstation™	SunOS™ (Rel. 4 . 1 . 4) ， Solaris™ (Rel. 2 . 5 . 1)	

μS××××DF780232
μS××××CC78K0-L

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT
3K13	SPARCstation	SunOS (Rel. 4 . 1 . 4) ，	3.5インチ2HD FD
3K15		Solaris (Rel. 2 . 5 . 1)	1/4インチCGMT

B.3 制御ソフトウェア

プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。プロジェクト・マネージャ上から、エディタの起動、ビルド、デバッグの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> プロジェクト・マネージャはアセンブラ・パッケージ (RA78K0) の中に入っています。 Windows以外の環境では使用できません。
--------------	--

B.4 フラッシュ・メモリ書き込み用ツール

Flashpro (型番 FL-PR3, PG-FP3) Flashpro (型番 FL-PR4, PG-FP4) フラッシュ・ライター	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライターです。
FA-80GC フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。Flashpro /Flashpro に接続して使用します。 ・FA-80GC：80ピン・プラスチックQFP (GC-8BTタイプ) 用

備考 FL-PR3，FL-PR4，FA-80GCは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

B.5 ディバグ用ツール（ハードウェア）

B.5.1 インサーキット・エミュレータ IE-78K0-NS, IE-78K0-NS-Aを使用する場合

IE-78K0-NS インサーキット・エミュレータ	78K/0シリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのインサーキット・エミュレータです。統合ディバグ（ID78K0-NS）に対応しています。電源ユニット、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
★ IE-78K0-NS-PA パフォーマンス・ボード	IE-78K0-NSの機能を拡張するためのボードです。IE-78K0-NS-PAを追加することにより、カバレッジ機能が追加され、トレーサ機能、タイマ機能が強化されるなど、ディバグ機能がより強化されます。
★ IE-78K0-NS-A インサーキット・エミュレータ	IE-78K0-NSとIE-78K0-NS-PAを組み合わせたもの
IE-70000-MC-PS-B 電源ユニット	AC100～240Vのコンセントから電源を供給するためのアダプタです。
★ IE-70000-98-IF-C インタフェース・アダプタ	ホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときに必要なアダプタです（Cバス対応）。
★ IE-70000-CD-IF-A PCカード・インタフェース	ホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブルです（PCMCIAソケット対応）。
IE-70000-PC-IF-C インタフェース・アダプタ	ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです（ISAバス対応）。
★ IE-70000-PCI-IF-A インタフェース・アダプタ	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。
★ IE-780233-NS-EM4 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。インサーキット・エミュレータと組み合わせて使用します。
NP-80GC エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。80ピン・プラスチックQFP（GC-8BTタイプ）用です。
EV-9200GC-80 変換ソケット （図B-2参照）	80ピン・プラスチックQFP（GC-8BTタイプ）を実装できるように作られたターゲット・システムの基板と、NP-80GCを接続するための変換ソケットです。
★ NP-80GC-TQ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。
★ NP-H80GC-TQ エミュレーション・プローブ	80ピン・プラスチックQFP（GC-8BTタイプ）用です。
★ TGC-080SBP 変換アダプタ	80ピン・プラスチックQFP（GC-8BTタイプ）を実装できるように作られたターゲット・システムの基板と、NP-80GC-TQまたはNP-H80GC-TQを接続するための変換ソケットです。

備考1．NP-80GC, NP-80GC-TQ, NP-H80GC-TQは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（TEL（045）475-4191）

2．TGC-080SBPは、東京エレクトック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部（TEL（03）3820-7112）

大阪電子部（TEL（06）6244-6672）

B.5.2 インサーキット・エミュレータ IE-78001-R-Aを使用する場合

	IE-78001-R-A インサーキット・エミュレータ	78K0シリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのインサーキット・エミュレータです。統合ディバガ (ID78K0) に対応しています。エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
	IE-70000-98-IF-C インタフェース・アダプタ	ホスト・マシンとしてPC-9800シリーズ (ノート型パソコンを除く) を使用するときに必要なアダプタです (Cバス対応)。
	IE-70000-PC-IF-C インタフェース・アダプタ	ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです。(ISAバス対応)
★	IE-70000-PCI-IF-A インタフェース・アダプタ	IE-78001-R-Aのホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。
★	IE-780233-NS-EM4 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。インサーキット・エミュレータ, エミュレーション・プローブ変換ボードと組み合わせて使用できます。
	IE-78K0-NS-P01 I/Oボード	エミュレーション・ボードと組み合わせて使用する, FPGAが実装されたボードです。
	IE-78K0-R-EX1 エミュレーション・プローブ 変換ボード	IE-780233-NS-EM4をIE-78001-R-Aで使用するときに必要なボードです。
★	EP-78230GC-R エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。80ピン・プラスチックQFP (GC-8BTタイプ) 用です。
★	EV-9200GC-80 変換ソケット (図B-2参照)	80ピン・プラスチックQFP (GC-8BTタイプ) を実装できるように作られたターゲット・システムの基板と, EP-78230GC-Rを接続するための変換ソケットです。

B.6 デバッグ用ツール（ソフトウェア）

SM78K0 システム・シミュレータ	78K/0シリーズ用のシステム・シミュレータです。SM78K0は、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。 SM78K0を使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 別売のデバイス・ファイル（DF780232）と組み合わせて使用します。 オーダ名称：μS××××SM78K0
ID78K0-NS 統合デバッグ （インサーキット・エミュレータIE-78K0-NS, IE-78K0-NS-A対応）	78K/0シリーズ用のインサーキット・エミュレータに対応したデバッグです。ID78K0-NS, ID78K0は、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。
ID78K0 統合デバッグ （インサーキット・エミュレータIE-78001-R-A対応）	別売のデバイス・ファイルと組み合わせて使用します。 オーダ名称：μS××××ID78K0-NS, μS××××ID78K0

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××SM78K0
 μS××××ID78K0-NS
 μS××××ID78K0

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	

B.7 組み込み用ソフトウェア

RX78K0 リアルタイムOS	μITRON仕様に準拠したリアルタイムOSです。 RX78K0のニュークリアスと複数の情報テーブルを作成するためのツール（コンフィギュレータ）を添付しています。 別売のアセンブラ・パッケージ（RA78K0）およびデバイス・ファイル（DF780232）と組み合わせて使用します。 <PC環境で使用する場合の注意> リアルタイムOSはDOSベースのアプリケーションです。Windows上ではDOSプロンプトで使用してください。 オーダ名称：μS××××RX78013-
--------------------	---

注意 RX78K0を購入する際、事前に購入申込書にご記入のうえ、使用許諾契約書を締結してください。

備考 オーダ名称の××××および は、使用するホスト・マシン、OSなどにより異なります。

μS××××RX78013-

	製品概要	量産時使用数量の上限
001	評価用オブジェクト	量産品には使用しないでください。
100K	量産用オブジェクト	10万個
001M		100万個
010M		1000万個
S01	ソース・プログラム	量産用オブジェクトのソース・プログラム

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows	
BB13		英語Windows	

B.8 78K/0シリーズ用の旧タイプのインサーキット・エミュレータからIE-78001-R-Aへのシステム・アップ方法

すでに78K/0シリーズ用の旧タイプのインサーキット・エミュレータ（IE-78000-RまたはIE-78000-R-A）をお持ちの場合、本体内部のブレーク・ボードをIE-78001-R-BKに交換することにより、お持ちのインサーキット・エミュレータをIE-78001-R-Aと同等に使用できます。

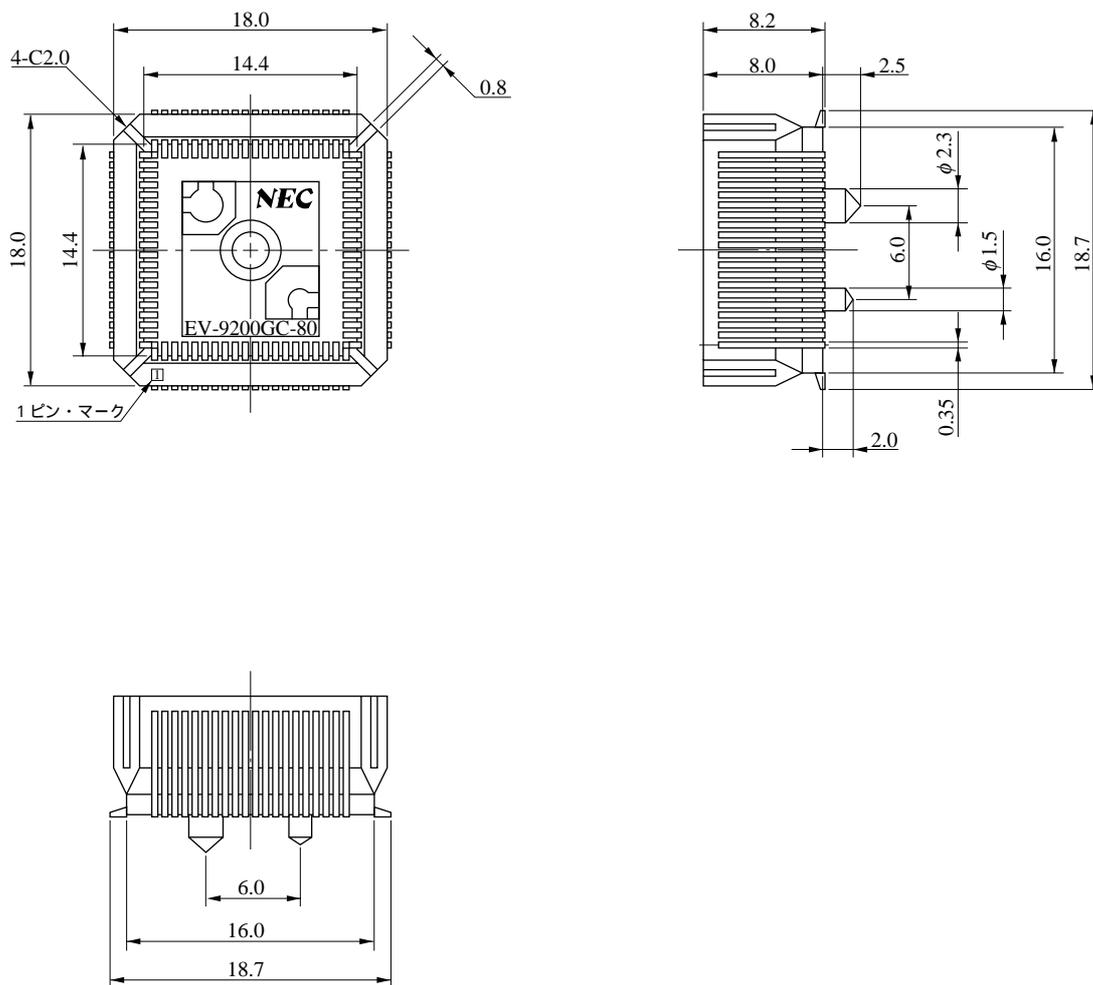
表B - 1 78K/0シリーズ用の旧タイプのインサーキット・エミュレータからIE-78001-R-Aへのシステム・アップ方法

お持ちのインサーキット・エミュレータ	筐体のシステム・アップ ^注	ご購入の必要なボード
IE-78000-R	必要	IE-78001-R-BK
IE-78000-R-A	不要	

注 筐体をシステム・アップするためには、NECへの持ち込みが必要となります。

B.9 変換ソケットの外形図

図B - 2 EV-9200GC-80 外形図(参考)(単位: mm)



EV-9200GC-80-G0

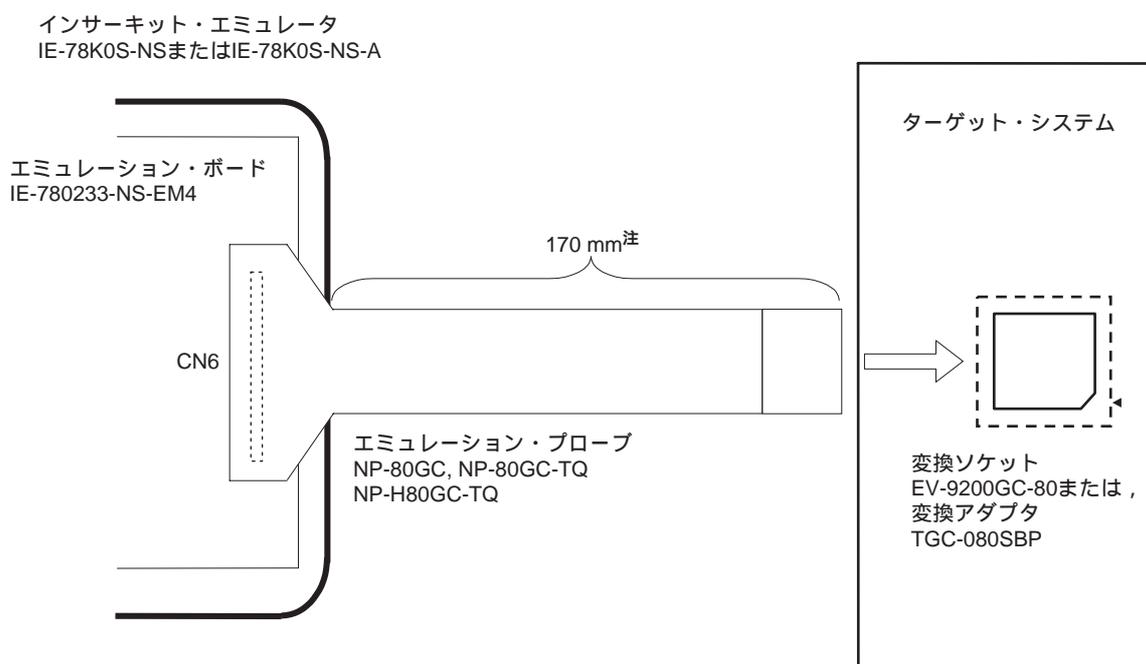
★

付録C ターゲット・システム設計上の注意

エミュレーション・プローブと変換ソケット，変換アダプタとの接続条件図を次に示します。ターゲット・システム上に実装する部品の形状などを考慮したうえで，この構成によってシステム設計を行ってください。

・ NP-80GC, NP-80GC-TQ, およびNP-H80GC-TQの場合

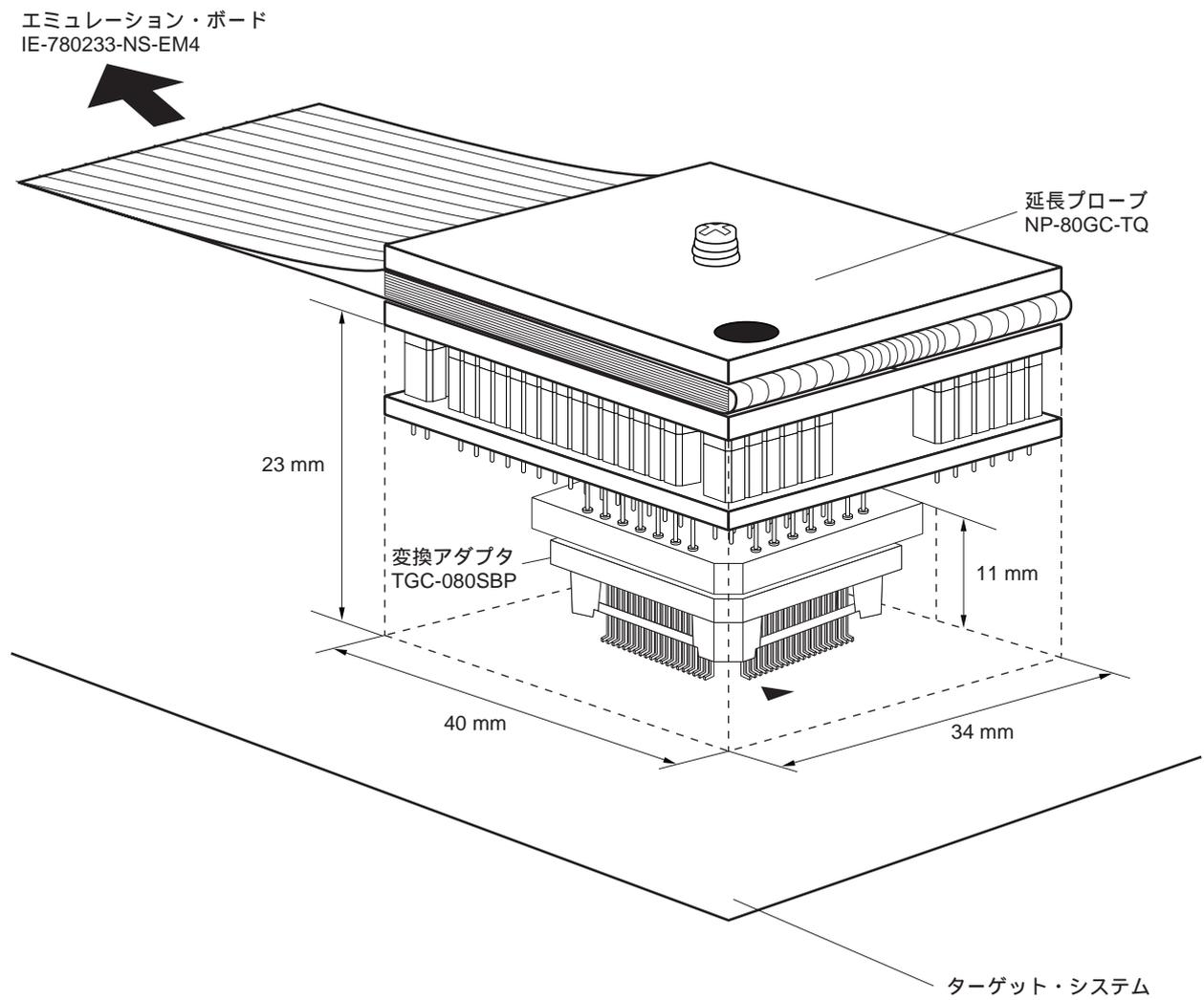
図C - 1 インサーキット・エミュレータから変換ソケットまでの距離



注 NP-H80GC-TQでは370mmになります。

備考 NP-80GC, NP-80GC-TQおよびNP-H80GC-TQは，株式会社内藤電誠町田製作所の製品です。

図C - 2 ターゲット・システムの接続条件 (NP-80GC-TQの場合)



備考 NP-80GC-TQは、株式会社内藤電誠町田製作所の製品です。
TGC-080SBPは、東京エレクトック株式会社の製品です。

付録D レジスタ索引

D.1 レジスタ索引 (50音順)

[あ行]

アナログ入力チャネル指定レジスタ0 (ADS0) ...	117
ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ...	109
ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ...	110
A/Dコンバータ・モード・レジスタ0 (ADM0) ...	116
A/D変換結果レジスタ0 (ADCR0) ...	114

[か行]

外部割り込み立ち上がりエッジ許可レジスタ (EGP) ...	201
外部割り込み立ち下がりエッジ許可レジスタ (EGN) ...	201

[さ行]

シリアル・シフト・レジスタ1 (SIO1) ...	133
シリアル・シフト・レジスタ3 (SIO3) ...	172
シリアル動作モード・レジスタ1 (CSIM1) ...	134, 141, 142, 146
シリアル動作モード・レジスタ3 (CSIM3) ...	173, 174, 175
自動データ送受信アドレス・ポインタ (ADTP) ...	133
自動データ送受信コントロール・レジスタ (ADTC) ...	136, 147
自動データ送受信転送間隔指定レジスタ (ADTI) ...	138, 149

[は行]

8ビット・コンペア・レジスタ80 (CR80) ...	99
8ビット・コンペア・レジスタ81 (CR81) ...	99
8ビット・タイマ・コントロール・レジスタ80 (TMC80) ...	100
8ビット・タイマ・コントロール・レジスタ81 (TMC81) ...	100
発振安定時間選択レジスタ (OSTS) ...	108, 215
表示モード・レジスタ0 (DSPM0) ...	179
表示モード・レジスタ1 (DSPM1) ...	181
表示モード・レジスタ2 (DSPM2) ...	183
プルアップ抵抗オプション・レジスタ0 (PU0) ...	83
プルアップ抵抗オプション・レジスタ2 (PU2) ...	83
プログラム・ステータス・ワード (PSW) ...	50, 202
プロセッサ・クロック・コントロール・レジスタ (PCC) ...	87

ポート0 (P0) ...	72
ポート2 (P2) ...	74
ポート3 (P3) ...	77
ポート4 (P4) ...	78
ポート5 (P5) ...	79
ポート6 (P6) ...	80
ポート・モード・レジスタ0 (PM0) ...	81
ポート・モード・レジスタ2 (PM2) ...	81
ポート・レベル・リード・レジスタ5 (PT5) ...	79
ポート・レベル・リード・レジスタ6 (PT6) ...	80

[ま行]

メモリ・サイズ切り替えレジスタ (IMS) ...	227
---------------------------	-----

[や行]

優先順位指定フラグ・レジスタ0H (PR0H) ...	200
優先順位指定フラグ・レジスタ0L (PR0L) ...	200

[ら行]

リモコン・タイマ・キャプチャ・レジスタ90 (CP90) ...	95
リモコン・タイマ・キャプチャ・レジスタ91 (CP91) ...	95
リモコン・タイマ・コントロール・レジスタ9 (TMC9) ...	95

[わ行]

割り込みマスク・フラグ・レジスタ0H (MK0H) ...	199
割り込みマスク・フラグ・レジスタ0L (MK0L) ...	199
割り込み要求フラグ・レジスタ0H (IF0H) ...	198
割り込み要求フラグ・レジスタ0L (IF0L) ...	198

D.2 レジスタ索引（アルファベット順）

[A]

ADCR0	: A/D変換結果レジスタ 0 ...	114
ADM0	: A/Dコンバータ・モード・レジスタ 0 ...	116
ADS0	: アナログ入力チャンネル指定レジスタ 0 ...	117
ADTC	: 自動データ送受信コントロール・レジスタ ...	136, 147
ADTI	: 自動データ送受信転送間隔指定レジスタ ...	138, 149
ADTP	: 自動データ送受信アドレス・ポインタ ...	133

[C]

CP90	: リモコン・タイマ・キャプチャ・レジスタ90 ...	95
CP91	: リモコン・タイマ・キャプチャ・レジスタ91 ...	95
CR80	: 8ビット・コンペア・レジスタ80 ...	99
CR81	: 8ビット・コンペア・レジスタ81 ...	99
CSIM1	: シリアル動作モード・レジスタ 1 ...	134, 141, 142, 146
CSIM3	: シリアル動作モード・レジスタ 3 ...	173, 174, 175

[D]

DSPM0	: 表示モード・レジスタ 0 ...	179
DSPM1	: 表示モード・レジスタ 1 ...	181
DSPM2	: 表示モード・レジスタ 2 ...	183

[E]

EGN	: 外部割り込み立ち下がりエッジ許可レジスタ ...	201
EGP	: 外部割り込み立ち上がりエッジ許可レジスタ ...	201

[I]

IF0H	: 割り込み要求フラグ・レジスタ0H ...	198
IF0L	: 割り込み要求フラグ・レジスタ0L ...	198
IMS	: メモリ・サイズ切り替えレジスタ ...	227

[M]

MK0H	: 割り込みマスク・フラグ・レジスタ0H ...	199
MK0L	: 割り込みマスク・フラグ・レジスタ0L ...	199

[O]

OSTS : 発振安定時間選択レジスタ ... 108, 215

[P]

P0 : ポート 0 ... 72

P2 : ポート 2 ... 74

P3 : ポート 3 ... 77

P4 : ポート 4 ... 78

P5 : ポート 5 ... 79

P6 : ポート 6 ... 80

PCC : プロセッサ・クロック・コントロール・レジスタ ... 87

PM0 : ポート・モード・レジスタ 0 ... 81

PM2 : ポート・モード・レジスタ 2 ... 81

PR0H : 優先順位指定フラグ・レジスタ 0H ... 200

PR0L : 優先順位指定フラグ・レジスタ 0L ... 200

PSW : プログラム・ステータス・ワード ... 50, 202

PT5 : ポート・レベル・リード・レジスタ 5 ... 79

PT6 : ポート・レベル・リード・レジスタ 6 ... 80

PU0 : ブルアップ抵抗オプション・レジスタ 0 ... 83

PU2 : ブルアップ抵抗オプション・レジスタ 2 ... 83

[S]

SIO1 : シリアル・シフト・レジスタ 1 ... 133

SIO3 : シリアル・シフト・レジスタ 3 ... 172

[T]

TMC80 : 8ビット・タイマ・コントロール・レジスタ 80 ... 100

TMC81 : 8ビット・タイマ・コントロール・レジスタ 81 ... 100

TMC9 : リモコン・タイマ・コントロール・レジスタ 9 ... 95

[W]

WDCS : ウォッチドッグ・タイマ・クロック選択レジスタ ... 109

WDTM : ウォッチドッグ・タイマ・モード・レジスタ ... 110

付録 E 改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/2)

版数	内容	適用箇所
第2版	製品の追加 μPD780233GC-x x x-8BT	全般
	表記の変更 FIPコントローラ/ドライバ VFDコントローラ/ドライバ	
	電源電圧範囲拡張品 ($V_{DD} = 2.7 \sim 5.5$ Vおよび $V_{DD} = 3.0 \sim 5.5$ V) についての記述を追加	
	1.8 マスク・オプションについての注意を追加	第1章 概説
	2.1 端子機能一覧 (2) ポート以外の端子の「FIP0-FIP23」「FIP24-FIP31」「FIP32-FIP39」「FIP40-FIP47」「FIP48-FIP52」の説明にプルダウン抵抗についての記述を追加	第2章 端子機能
	2.2.7 FIP0-FIP23の説明にプルダウン抵抗についての記述を追加	
	表2-1 各端子の入出力回路タイプを変更	第3章 CPUアーキテクチャ
	内部バッファRAMのアドレス値を変更 図3-1 メモリ・マップ (μPD780232) 図3-3 メモリ・マップ (μPD78F0233) 図3-4 データ・メモリのアドレッシング (μPD780232) 図3-6 データ・メモリのアドレッシング (μPD78F0233)	
	ブロック図の変更 図4-2 P00-P02のブロック図 図4-3 P20, P27のブロック図 図4-4 P21, P24-P26のブロック図 図4-5 P22, P23のブロック図	
	4.2.3 ポート3 ~ 4.2.6 ポート6に注意を追加	
	4.3 ポート機能を制御するレジスタ (2) プルアップ抵抗オプション・レジスタ (PU0, PU2) の説明文を変更, 注意を追加	
	表4-4 マスクROM製品のマスク・オプションとμPD78F0233との比較を変更	第4章 ポート機能
	6.2 8ビット・リモコン・タイマ9の構成, 6.3 8ビット・リモコン・タイマ9を制御するレジスタの説明の構成を変更	
	図7-5 インターバル・タイマ動作のタイミングを変更	第6章 8ビット・リモコン・タイマ9
図7-6 8ビット・タイマ・カウンタ8n (TM8n) のスタート・タイミングを変更	第7章 8ビット・タイマ80, 81	
第8章 ウォッチドッグ・タイマの章中にある注意を変更	第8章 ウォッチドッグ・タイマ	

版数	内容	適用箇所	
第2版	9.5 A/Dコンバータ特性表の読み方を追加	第9章 A/Dコンバータ	
	9.6 A/Dコンバータの注意事項に次の項目を追加 (6) ANI0-ANI3端子の入力インピーダンスについて (12) A/D変換結果が不定になるタイミング (13) ボード設計上の注意 (14) ANI0-ANI3端子内部等価回路と許容信号源インピーダンス		
	内蔵バッファRAMのアドレス値を変更 図10-9 6バイト分送受信するときのバッファRAMの動作(基本送受信モード時) 図10-12 6バイト分送信するときのバッファRAMの動作(基本送信モード時) 図10-15 6バイト分送信するときのバッファRAMの動作(繰り返し送信モード時)	第10章 シリアル・インタフェースSIO1	
	10.4.3 自動送受信機能付き3線式シリアル・モードの(3)通信動作,(4)同期制御,(5)割り込み要求信号の発生タイミングの内容を変更 図11-1 シリアル・インタフェースSIO3のブロック図を変更		第11章 シリアル・インタフェースSIO3
	12.1 VFDコントローラ/ドライバの機能の(6)の説明を変更,注を追加 図12-2 表示モード・レジスタ0のフォーマットを変更(FOUT5-FOUT0の設定値とVFD出力本数を変更),注意4を追加 図12-4 表示モード・レジスタ2のフォーマットを変更(FCYC1,FCYC0で設定する表示サイクル値を変更) 図12-7 表示データ・メモリのアドレス配置とVFD出力の関係(VFD出力42本,14パターンの場合)を追加 図12-12 10セグメント-11桁表示時の表示データ・メモリの内容とVFD出力の関係を変更	第12章 VFDコントローラ/ドライバ	
	表13-1 割り込み要因一覧に備考を追加		第13章 割り込み機能
	図13-1 割り込み機能の基本構成の(D)ソフトウェア割り込みを変更		
	図13-2 割り込み要求フラグ・レジスタのフォーマットに注意3,4を追加		
	図13-5 外部割り込み立ち上がりエッジ許可レジスタ,外部割り込み立ち下がり許可レジスタのフォーマットを変更(旧版では別々にレジスタが説明されていたが,本版では図を合わせて説明)		
	表16-1 μ PD78F0233とマスクROM製品の違いを変更	第16章 μ PD78F0233	
	16.2 フラッシュ・メモリの特徴を追加		
	第18章 電気的特性を追加	第18章 電気的特性	
	第19章 外形図を追加	第19章 外形図	
	第20章 半田付け推奨条件を追加	第20章 半田付け推奨条件	
	表A-1 μ PD780232,780208サブシリーズ間の主な違いを変更	付録A μ PD780232,780208サブシリーズ間の違い	
	付録B 開発ツールを変更	付録B 開発ツール	
	付録C ターゲット・システム設計上の注意を追加	付録C ターゲット・システム設計上の注意	
	付録E 改版履歴を追加	付録E 改版履歴	

[メモ]

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話：午前 9:00～12:00，午後 1:00～5:00)

電話：044-435-9494
FAX：044-435-9608
E-mail：info@lsi.nec.co.jp

【営業関係お問い合わせ先】

システムLSI第一営業事業部

東京 (03)3798-6106, 6107, 6108, 6155
大阪 (06)6945-3178, 3200, 3208
名古屋 (052)222-2375
仙台 (022)267-8740
水戸 (029)226-1702
広島 (082)242-5504
鳥取 (0857)27-5313
松山 (089)945-4149

システムLSI第二営業事業部

東京 (03)3798-6110, 6111, 6112, 6151, 6156
名古屋 (052)222-2170, 2190
松本 (0263)35-1662
前橋 (027)243-6060
立川 (042)526-5981
静岡 (054)254-4794
金沢 (076)232-7303
福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【NECエレクトロニクス デバイス ホームページ】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス)

<http://www.ic.nec.co.jp/>

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] μPD780232サブシリーズ ユーザーズ・マニュアル
(U13364JJ2V0UD00 (第2版))

[お名前など] (さしつかえのない範囲で)

御社名(学校名, その他) ()
ご住所 ()
お電話番号 ()
お仕事の内容 ()
お名前 ()

1. ご評価(各欄に をご記入ください)

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他 ()					
()					

2. わかりやすい所(第 章, 第 章, 第 章, 第 章, その他)
理由 []

3. わかりにくい所(第 章, 第 章, 第 章, 第 章, その他)
理由 []

4. ご意見, ご要望

5. このドキュメントをお届けしたのは
NEC販売員, 特約店販売員, その他 ()

ご協力ありがとうございました。

下記あてにFAXで送信いただくか, 最寄りの販売員にコピーをお渡ししてください。

日本電気(株)NECエレクトロニクス
半導体テクニカルホットライン

FAX: (044) 435-9608

2000.6