

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル



μPD78014H サブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

μPD78011H	μPD78011H(A)
μPD78012H	μPD78012H(A)
μPD78013H	μPD78013H(A)
μPD78014H	μPD78014H(A)
μPD78P018F	μPD78P018F(A)

(× 毛)

保守

目次要約

第1章	概 説	…	31
第2章	端子機能	…	45
第3章	CPUアーキテクチャ	…	59
第4章	ポート機能	…	91
第5章	クロック発生回路	…	113
第6章	16ビット・タイマ／イベント・カウンタ	…	129
第7章	8ビット・タイマ／イベント・カウンタ	…	157
第8章	時計用タイマ	…	179
第9章	ウォッチドッグ・タイマ	…	187
第10章	クロック出力制御回路	…	195
第11章	ブザー出力制御回路	…	199
第12章	A/Dコンバータ	…	203
第13章	シリアル・インタフェース・チャンネル0	…	219
第14章	シリアル・インタフェース・チャンネル1	…	273
第15章	割り込み機能とテスト機能	…	319
第16章	外部デバイス拡張機能	…	345
第17章	スタンバイ機能	…	357
第18章	リセット機能	…	367
第19章	μPD78P018Fの概要	…	371
第20章	命令セットの概要	…	399
付 録		…	415

CMOSデバイスの一般的注意事項

①静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

FIPは、日本電気株式会社の登録商標です。

IEBus, QTOPIは日本電気株式会社の商標です。

MS-DOS, WindowsおよびWindowsNTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

IBM DOS, PC/AT, PC DOSは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

SunOSは、米国サン・マイクロシステムズ社の商標です。

イーサネットは、米国ゼロックス社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

OSF/Motifは、Open Software Foundation, Inc.の商標です。

TRONは、The Realtime Operating system Nucleusの略称です。

ITRONは、Industrial TRONの略称です。

本製品のうち、外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非 該 当 品 : μ PD78P018FDW, 78P018FKK-S

ユーザ判定品 : μ PD78011HCW- $\times\times\times$, 78011HGC- $\times\times\times$ -AB8, 78011HGK- $\times\times\times$ -8A8,
 μ PD78011HCW(A)- $\times\times\times$, 78011HGC(A)- $\times\times\times$ -AB8, 78011HGK(A)- $\times\times\times$ -8A8
 μ PD78012HCW- $\times\times\times$, 78012HGC- $\times\times\times$ -AB8, 78012HGK- $\times\times\times$ -8A8,
 μ PD78012HCW(A)- $\times\times\times$, 78012HGC(A)- $\times\times\times$ -AB8, 78012HGK(A)- $\times\times\times$ -8A8
 μ PD78013HCW- $\times\times\times$, 78013HGC- $\times\times\times$ -AB8, 78013HGK- $\times\times\times$ -8A8,
 μ PD78013HCW(A)- $\times\times\times$, 78013HGC(A)- $\times\times\times$ -AB8, 78013HGK(A)- $\times\times\times$ -8A8
 μ PD78014HCW- $\times\times\times$, 78014HGC- $\times\times\times$ -AB8, 78014HGK- $\times\times\times$ -8A8,
 μ PD78014HCW(A)- $\times\times\times$, 78014HGC(A)- $\times\times\times$ -AB8, 78014HGK(A)- $\times\times\times$ -8A8
 μ PD78P018FCW, 78P018FGC-AB8, 78P018FGK-8A8
 μ PD78P018FCW(A), 78P018FGC(A)-AB8

本資料に掲載の応用回路および回路定数は、例示的に示したものであり、量産設計を対象とするものではありません。

- 本資料の内容は、後日変更する場合があります。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

本版で改訂された主な箇所

箇 所	内 容
p.98	次のポートのブロック図を変更 ・ 図 4－6 P20, P21, P23-P26のブロック図 ・ 図 4－7 P22, P27のブロック図 ・ 図 4－8 P30-P37のブロック図
p.99	
p.100	
p.117	表 5－2 CPUクロックと最小命令実行時間の関係を追加
p.171, 175	図 7－10, 図 7－13 方形波出力動作のタイミングを追加
p.228, 247	SBIモード時にシリアル・インタフェース・チャンネル 0 の動作を停止させるときの注意を追加
p.230, 250	シリアル・インタフェース・チャンネル 0 のビジィ・モードを解除する(レディ信号を出力する)条件を変更
p.241, 242	13. 4. 3 (2) (a) バス・リリース信号 (REL), (b) コマンド信号 (CMD) に配線の引き回しについての注意を追加
p.417-432	付録 B 開発ツール 全面改訂：インサーキット・エミュレータIE-78K0-NS, IE-78001-R-A に対応
p.433, 434	付録 C 組み込み用ソフトウェア 全面改訂：ファジィ推論開発支援システムを削除
p.441	付録 E 改版履歴を追加

本文欄外の★印は、本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナーを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

(× 毛)

はじめに

対象者 このマニュアルは、 μ PD78014Hサブシリーズの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

対象製品は、次に示すサブシリーズの各製品です。

- ・ μ PD78014Hサブシリーズ : μ PD78011H, 78012H, 78013H, 78014H
 μ PD78011H(A), 78012H(A), 78013H(A), 78014H(A)

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 μ PD78014Hサブシリーズのマニュアルは、このマニュアルと命令編（78K/0シリーズ共通）の2冊に分かれています。

μ PD78014Hサブシリーズ
ユーザーズ・マニュアル
(このマニュアル)

- 端子機能
- 内部ブロック機能
- 割り込み
- その他の内蔵周辺機能
- μ PD78P018F^注の概要

78K/0シリーズ
ユーザーズ・マニュアル
命令編

- CPU機能
- 命令セット
- 命令の説明

注 μ PD78011H, 78012H, 78013H, 78014HのPROM内蔵品として、 μ PD78P018Fを、 μ PD78011H(A), 78012H(A), 78013H(A), 78014H(A)のPROM内蔵品として、 μ PD78P018F(A)を使用します。

注意 μ PD78P018Fのうち、 μ PD78P018FDW, 78P018FKK-Sは、お客様の装置の量産製品に使用されることを意図した信頼性を保持しておりません。実験または機能評価用にのみご使用ください。

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

□ μ PD78011H(A), 78012H(A), 78013H(A), 78014H(A), 78P018F(A)のマニュアルとしてお使いになる方へ

→ μ PD78011H, 78012H, 78013H, 78014H, 78P018Fと μ PD78011H(A), 78012H(A), 78013H(A), 78014H(A), 78P018F(A)は、品質水準のみが異なります。(A)品については、品名を次のように読み替えてください。

μ PD78011H→ μ PD78011H(A)	μ PD78012H→ μ PD78012H(A)
μ PD78013H→ μ PD78013H(A)	μ PD78014H→ μ PD78014H(A)
μ PD78P018F→ μ PD78P018F(A)	

□ μ PD78P018Fのマニュアルとしてお使いになる方へ

→ **1.12 μ PD78014Hサブシリーズと μ PD78P018Fとの違い**で μ PD78014Hサブシリーズとの機能の違いを確認してください。また、**第19章 μ PD78P018Fの概要**に、 μ PD78P018Fのみ有効な機能についてまとめてありますのでお読みください。なお、このマニュアルでは、 μ PD78P018Fのみ有効な機能については、 μ PD78014Hサブシリーズでは使用できないため、詳細には記述してありません。

□ 一通りの機能を理解しようとするとき

→ 目次に従って読んでください。

□ レジスタ・フォーマットの見方

→ ビット番号を○で囲んでいるものは、そのビット名称がRA78K/0では予約語に、CC78K/0ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。

□ レジスタ名が分かっている、レジスタの詳細を確認するとき

→ **付録D レジスタ索引**を利用してください。

□ μ PD78014Hサブシリーズの命令機能の詳細を知りたいとき

→ 別冊の**78K/0シリーズ ユーザーズ・マニュアル 命令編 (U12326J)**を参照してください。

□ μ PD78014Hサブシリーズの電気的特性を知りたいとき

→ 別冊の**データ・シート**を参照してください。

□ μ PD78014Hサブシリーズの各種機能の応用例を知りたいとき

→ 別冊の**アプリケーション・ノート**を参照してください。

注意 このマニュアル中の使用例は、一般電子機器用の『標準』品質水準用に作成してあります。『標準』品質水準を要求する用途にこのマニュアル中の使用例を使用する場合は、実際に使用する各部品および回路について、その品質水準についてご検討のうえご使用ください。

凡 例	データ表記の重み	: 左が上位桁, 右が下位桁
	アクティブ・ロウの表記: $\overline{\times\times\times}$ (端子, 信号名称に上線)	
注		: 本文中に付けた注の説明
注意		: 気を付けて読んでいただきたい内容
備考		: 本文の補足説明
数の表記		: 2進数 $\cdots\times\times\times\times$ または $\times\times\times\times B$
		10進数 $\cdots\times\times\times\times$
		16進数 $\cdots\times\times\times\times H$

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

●デバイスの関連資料

	資 料 名	資 料 番 号	
		和文	英文
	μ PD78011H, 78012H, 78013H, 78014H データ・シート	U11898J	U11898E
★	μ PD78011H(A), 78012H(A), 78013H(A), 78014H(A) データ・シート	U12174J	U12174E
	μ PD78P018F データ・シート	U10955J	U10955E
	μ PD78P018F(A) データ・シート	U12132J	U12132E
	μ PD78014Hサブシリーズ ユーザーズ・マニュアル	このマニュアル	U12220E
	78K/0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E
	78K/0シリーズ インストラクション活用表	U10903J	—
	78K/0シリーズ インストラクション・セット	U10904J	—
★	78K/0シリーズ アプリケーション・ノート 基礎編 (I)	U12704J	U12704E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

●開発ツールの関連資料（ユーザズ・マニュアル）

資 料 名			資料番号	
			和文	英文
RA78K0 アセンブラ・パッケージ	操作編		U11802J	U11802E
	アセンブリ言語編		U11801J	U11801E
	構造化アセンブリ言語編		U11789J	U11789E
RA78Kシリーズ 構造化アセンブラ・プリプロセッサ			U12323J	EEU-1402
CC78K0 Cコンパイラ	操作編		U11517J	U11517E
	言語編		U11518J	U11518E
CC78K/0 Cコンパイラ アプリケーション・ノート	プログラミング・ノウハウ編		U13034J	EEA-1208
CC78Kシリーズ ライブラリ・ソース・ファイル			U12322J	—
PG-1500 PROMプログラマ			U11940J	U11940E
PG-1500コントローラ PC-9800シリーズ (MS-DOS™) ベース			EEU-704	EEU-1291
PG-1500コントローラ IBM PCシリーズ (PC DOS™) ベース			EEU-5008	U10540E
★ IE-78K0-NS			作成予定	作成予定
★ IE-78001-R-A			作成予定	作成予定
★ IE-78018-NS-EM1			作成予定	作成予定
★ IE-78K0-R-EX1			作成予定	作成予定
IE-78014-R-EM-A			EEU-962	U10418E
EP-78240			EEU-986	U10332E
EP-78012GK-R			EEU-5012	EEU-1538
SM78K0 システム・シミュレータ Windows™ベース	レファレンス編		U10181J	U10181E
SM78Kシリーズ システム・シミュレータ	外部部品ユーザオープンインタフェース仕様編		U10092J	U10092E
ID78K0 統合ディバッガ EWSベース	レファレンス編		U11151J	—
ID78K0 統合ディバッガ PCベース	レファレンス編		U11539J	U11539E
ID78K0 統合ディバッガ Windowsベース	ガイド編		U11649J	U11649E
★ ID78K0-NS 統合ディバッガ PCベース	レファレンス編		U12900J	作成予定

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

●組み込み用ソフトウェアの関連資料（ユーザズ・マニュアル）

資 料 名		資料番号	
		和文	英文
78K/0シリーズ リアルタイムOS	基礎編	U11537J	U11537E
	インストール編	U11536J	U11536E
78K/0シリーズ用OS MX78K0	基礎編	U12257J	U12257E

●その他の関連資料

資 料 名		資料番号	
		和文	英文
IC PACKAGE MANUAL		C10943X	
半導体デバイス 実装マニュアル		C10535J	C10535E
NEC半導体デバイスの品質水準		C11531J	C11531E
NEC半導体デバイスの信頼性品質管理		C10983J	C10983E
★ 静電気放電（ESD）破壊対策ガイド		C11892J	C11892E
★ 半導体品質／信頼性ハンドブック		C12769J	—
マイクロコンピュータ関連製品ガイド 社外メーカ編		U11416J	—

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

(× 毛)

目 次

第1章 概 説 … 31

- 1.1 特 徴 … 31
- 1.2 応用分野 … 32
- 1.3 オーダ情報 … 33
- 1.4 品質水準 … 34
- 1.5 端子接続図 (Top View) … 35
- 1.6 78K/0シリーズの展開 … 38
- 1.7 ブロック図 … 40
- 1.8 機能概要 … 41
- 1.9 標準品と特別品の違い … 42
- 1.10 マスク・オプションについて … 42
- 1.11 μ PD78018Fサブシリーズと μ PD78014Hサブシリーズとの違い … 43
- 1.12 μ PD78014Hサブシリーズと μ PD78P018Fとの違い … 43

第2章 端子機能 … 45

- 2.1 端子機能一覧 … 45
- 2.2 端子機能の説明 … 49
 - 2.2.1 P00-P04 (Port0) … 49
 - 2.2.2 P10-P17 (Port1) … 49
 - 2.2.3 P20-P27 (Port2) … 50
 - 2.2.4 P30-P37 (Port3) … 51
 - 2.2.5 P40-P47 (Port4) … 51
 - 2.2.6 P50-P57 (Port5) … 52
 - 2.2.7 P60-P67 (Port6) … 52
 - 2.2.8 AV_{REF} … 52
 - 2.2.9 AV_{DD} … 53
 - 2.2.10 AV_{SS} … 53
 - 2.2.11 $\overline{RESET}$ … 53
 - 2.2.12 X1, X2 … 53
 - 2.2.13 XT1, XT2 … 53
 - 2.2.14 V_{DD} … 53
 - 2.2.15 V_{SS} … 53
 - 2.2.16 IC … 53
- 2.3 端子の入出力回路と未使用端子の処理 … 54

第3章 CPUアーキテクチャ … 59

- 3.1 メモリ空間 … 59
 - 3.1.1 内部プログラム・メモリ空間 … 63
 - 3.1.2 内部データ・メモリ空間 … 64
 - 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 … 64

3.1.4	外部メモリ空間	…	64
3.2	プロセッサ・レジスタ	…	65
3.2.1	制御レジスタ	…	65
3.2.2	汎用レジスタ	…	68
3.2.3	特殊機能レジスタ (SFR : Special Function Register)	…	70
3.3	命令アドレスのアドレッシング	…	73
3.3.1	レラティブ・アドレッシング	…	73
3.3.2	イミディエイト・アドレッシング	…	74
3.3.3	テーブル・インダイレクト・アドレッシング	…	75
3.3.4	レジスタ・アドレッシング	…	76
3.4	オペランド・アドレスのアドレッシング	…	77
3.4.1	データ・メモリ・アドレッシング	…	77
3.4.2	インプライド・アドレッシング	…	81
3.4.3	レジスタ・アドレッシング	…	82
3.4.4	ダイレクト・アドレッシング	…	83
3.4.5	ショート・ダイレクト・アドレッシング	…	84
3.4.6	特殊機能レジスタ (SFR) アドレッシング	…	86
3.4.7	レジスタ・インダイレクト・アドレッシング	…	87
3.4.8	ベースト・アドレッシング	…	88
3.4.9	ベースト・インデクスト・アドレッシング	…	89
3.4.10	スタック・アドレッシング	…	89

第4章 ポート機能 … 91

4.1	ポートの機能	…	91
4.2	ポートの構成	…	94
4.2.1	ポート0	…	95
4.2.2	ポート1	…	97
4.2.3	ポート2	…	98
4.2.4	ポート3	…	100
4.2.5	ポート4	…	101
4.2.6	ポート5	…	102
4.2.7	ポート6	…	103
4.3	ポート機能を制御するレジスタ	…	105
4.4	ポート機能の動作	…	111
4.4.1	入出力ポートへの書き込み	…	111
4.4.2	入出力ポートからの読み出し	…	111
4.4.3	入出力ポートでの演算	…	112
4.5	マスク・オプション	…	112

第5章 クロック発生回路 … 113

5.1	クロック発生回路の機能	…	113
5.2	クロック発生回路の構成	…	113
5.3	クロック発生回路を制御するレジスタ	…	115
5.4	システム・クロック発振回路	…	118
5.4.1	メイン・システム・クロック発振回路	…	118
5.4.2	サブシステム・クロック発振回路	…	118

5.4.3	分周回路	...	121
5.4.4	サブシステム・クロックを使用しない場合	...	121
5.5	クロック発生回路の動作	...	122
5.5.1	メイン・システム・クロックの動作	...	123
5.5.2	サブシステム・クロックの動作	...	125
5.6	システム・クロックとCPUクロックの設定の変更	...	126
5.6.1	システム・クロックとCPUクロックの切り替えに要する時間	...	126
5.6.2	システム・クロックとCPUクロックの切り替え手順	...	127
第6章	16ビット・タイマ／イベント・カウンタ	...	129
6.1	μPD78014Hサブシリーズ内蔵タイマの概要	...	129
6.2	16ビット・タイマ／イベント・カウンタの機能	...	130
6.3	16ビット・タイマ／イベント・カウンタの構成	...	131
6.4	16ビット・タイマ／イベント・カウンタを制御するレジスタ	...	136
6.5	16ビット・タイマ／イベント・カウンタの動作	...	143
6.5.1	インターバル・タイマとしての動作	...	143
6.5.2	PWM出力としての動作	...	145
6.5.3	パルス幅測定としての動作	...	147
6.5.4	外部イベント・カウンタとしての動作	...	150
6.5.5	方形波出力としての動作	...	152
6.6	16ビット・タイマ／イベント・カウンタの注意事項	...	153
第7章	8ビット・タイマ／イベント・カウンタ	...	157
7.1	8ビット・タイマ／イベント・カウンタの機能	...	157
7.1.1	8ビット・タイマ／イベント・カウンタ・モード	...	157
7.1.2	16ビット・タイマ／イベント・カウンタ・モード	...	159
7.2	8ビット・タイマ／イベント・カウンタの構成	...	160
7.3	8ビット・タイマ／イベント・カウンタを制御するレジスタ	...	163
7.4	8ビット・タイマ／イベント・カウンタの動作	...	168
7.4.1	8ビット・タイマ／イベント・カウンタ・モード	...	168
7.4.2	16ビット・タイマ／イベント・カウンタ・モード	...	172
7.5	8ビット・タイマ／イベント・カウンタの注意事項	...	176
第8章	時計用タイマ	...	179
8.1	時計用タイマの機能	...	179
8.2	時計用タイマの構成	...	180
8.3	時計用タイマを制御するレジスタ	...	180
8.4	時計用タイマの動作	...	184
8.4.1	時計用タイマとしての動作	...	184
8.4.2	インターバル・タイマとしての動作	...	185
第9章	ウォッチドッグ・タイマ	...	187
9.1	ウォッチドッグ・タイマの機能	...	187

9.2	ウォッチドッグ・タイマの構成	…	188
9.3	ウォッチドッグ・タイマを制御するレジスタ	…	190
9.4	ウォッチドッグ・タイマの動作	…	193
9.4.1	ウォッチドッグ・タイマとしての動作	…	193
9.4.2	インターバル・タイマとしての動作	…	194
第10章 クロック出力制御回路 … 195			
10.1	クロック出力制御回路の機能	…	195
10.2	クロック出力制御回路の構成	…	196
10.3	クロック出力機能を制御するレジスタ	…	196
第11章 ブザー出力制御回路 … 199			
11.1	ブザー出力制御回路の機能	…	199
11.2	ブザー出力制御回路の構成	…	199
11.3	ブザー出力機能を制御するレジスタ	…	200
第12章 A/Dコンバータ … 203			
12.1	A/Dコンバータの機能	…	203
12.2	A/Dコンバータの構成	…	203
12.3	A/Dコンバータを制御するレジスタ	…	206
12.4	A/Dコンバータの動作	…	209
12.4.1	A/Dコンバータの基本動作	…	209
12.4.2	入力電圧と変換結果	…	211
12.4.3	A/Dコンバータの動作モード	…	212
12.5	A/Dコンバータの注意事項	…	214
第13章 シリアル・インタフェース・チャネル0 … 219			
13.1	シリアル・インタフェース・チャネル0の機能	…	220
13.2	シリアル・インタフェース・チャネル0の構成	…	221
13.3	シリアル・インタフェース・チャネル0を制御するレジスタ	…	225
13.4	シリアル・インタフェース・チャネル0の動作	…	232
13.4.1	動作停止モード	…	232
13.4.2	3線式シリアルI/Oモードの動作	…	232
13.4.3	SBIモードの動作	…	237
13.4.4	2線式シリアルI/Oモードの動作	…	267
13.4.5	SCK0/P27端子出力の操作	…	272
第14章 シリアル・インタフェース・チャネル1 … 273			
14.1	シリアル・インタフェース・チャネル1の機能	…	273
14.2	シリアル・インタフェース・チャネル1の構成	…	274
14.3	シリアル・インタフェース・チャネル1を制御するレジスタ	…	277
14.4	シリアル・インタフェース・チャネル1の動作	…	285
14.4.1	動作停止モード	…	285

- 14.4.2 3線式シリアルI/Oモードの動作 … 286
- 14.4.3 自動送受信機能付き3線式シリアルI/Oモードの動作 … 290

第15章 割り込み機能とテスト機能 … 319

- 15.1 割り込み機能の種類 … 319
- 15.2 割り込み要因と構成 … 319
- 15.3 割り込み機能を制御するレジスタ … 323
- 15.4 割り込み処理動作 … 331
 - 15.4.1 ノンマスカブル割り込み要求の受け付け動作 … 331
 - 15.4.2 マスカブル割り込み要求の受け付け動作 … 334
 - 15.4.3 ソフトウェア割り込み要求の受け付け動作 … 336
 - 15.4.4 多重割り込み処理 … 337
 - 15.4.5 割り込み要求の保留 … 340
- 15.5 テスト機能 … 342
 - 15.5.1 テスト機能を制御するレジスタ … 342
 - 15.5.2 テスト入力信号の受け付け動作 … 344

第16章 外部デバイス拡張機能 … 345

- 16.1 外部デバイス拡張機能 … 345
- 16.2 外部デバイス拡張機能を制御するレジスタ … 348
- 16.3 外部デバイス拡張機能のタイミング … 350
- 16.4 メモリとの接続例 … 355

第17章 スタンバイ機能 … 357

- 17.1 スタンバイ機能と構成 … 357
 - 17.1.1 スタンバイ機能 … 357
 - 17.1.2 スタンバイ機能を制御するレジスタ … 358
- 17.2 スタンバイ機能の動作 … 359
 - 17.2.1 HALTモード … 359
 - 17.2.2 STOPモード … 363

第18章 リセット機能 … 367

- 18.1 リセット機能 … 367

第19章 μ PD78P018Fの概要 … 371

- 19.1 オーダ情報 … 371
- 19.2 品質水準 … 371
- 19.3 端子接続図 (Top View) … 372
- 19.4 ブロック図 … 377
- 19.5 端子機能一覧 … 378
 - 19.5.1 通常モード時の端子 … 378
 - 19.5.2 PROMプログラミング・モード時の端子 … 381
- 19.6 端子の入出力回路と未使用端子の処理 … 382

19.7	メモリ・マップ	...	386
19.8	メモリ・サイズ切り替えレジスタ	...	387
19.9	内部拡張RAMサイズ切り替えレジスタ	...	389
19.10	PROMプログラミング	...	390
19.10.1	動作モード	...	390
19.10.2	PROM書き込みの手順	...	392
19.10.3	PROM読み出しの手順	...	396
19.11	消去方法	...	397
19.12	消去用窓のシールについて	...	397
19.13	ワン・タイムPROM製品のスクリーニングについて	...	397

第20章 命令セットの概要 ... 399

20.1	凡 例	...	400
20.1.1	オペランドの表現形式と記述方法	...	400
20.1.2	オペレーション欄の説明	...	401
20.1.3	フラグ動作欄の説明	...	401
20.2	オペレーション一覧	...	402
20.3	アドレッシング別命令一覧	...	410

付録A μ PD78014, 78014H, 78018Fサブシリーズ間の違い ... 415

付録B 開発ツール ... 417

B.1	言語処理用ソフトウェア	...	420
B.2	PROM書き込み用ツール	...	422
B.2.1	ハードウェア	...	422
B.2.2	ソフトウェア	...	422
B.3	ディバグ用ツール	...	423
B.3.1	ハードウェア	...	423
B.3.2	ソフトウェア	...	426
B.4	IBM PC用のOSについて	...	428
B.5	78K/0シリーズ用の旧タイプのインサーキット・エミュレータからIE-78001-R-Aへのシステム・アップ方法	...	428

付録C 組み込み用ソフトウェア ... 433

付録D レジスタ索引 ... 435

D.1	レジスタ索引 (50音順)	...	435
D.2	レジスタ索引 (アルファベット順)	...	438

★ 付録E 改版履歴 ... 441

図の目次 (1/7)

図番号	タイトル, ページ
2-1	端子の入出力回路一覧 … 56
3-1	メモリ・マップ (μPD78011H) … 59
3-2	メモリ・マップ (μPD78012H) … 60
3-3	メモリ・マップ (μPD78013H) … 61
3-4	メモリ・マップ (μPD78014H) … 62
3-5	プログラム・カウンタの構成 … 65
3-6	プログラム・ステータス・ワードの構成 … 65
3-7	スタック・ポインタの構成 … 67
3-8	スタック・メモリへ退避されるデータ … 67
3-9	スタック・メモリから復帰されるデータ … 67
3-10	汎用レジスタの構成 … 69
3-11	データ・メモリのアドレッシング (μPD78011H) … 77
3-12	データ・メモリのアドレッシング (μPD78012H) … 78
3-13	データ・メモリのアドレッシング (μPD78013H) … 79
3-14	データ・メモリのアドレッシング (μPD78014H) … 80
4-1	ポートの種類 … 91
4-2	P00のブロック図 … 95
4-3	P01-P03のブロック図 … 96
4-4	P04のブロック図 … 96
4-5	P10-P17のブロック図 … 97
4-6	P20, P21, P23-P26のブロック図 … 98
4-7	P22, P27のブロック図 … 99
4-8	P30-P37のブロック図 … 100
4-9	P40-P47のブロック図 … 101
4-10	立ち下がりエッジ検出回路のブロック図 … 101
4-11	P50-P57のブロック図 … 102
4-12	P60-P63のブロック図 … 104
4-13	P64-P67のブロック図 … 104
4-14	ポート・モード・レジスタのフォーマット … 107
4-15	プルアップ抵抗オプション・レジスタのフォーマット … 108
4-16	メモリ拡張モード・レジスタのフォーマット … 109
4-17	キー・リターン・モード・レジスタのフォーマット … 110

図の目次 (2/7)

図番号	タイトル, ページ
5-1	クロック発生回路のブロック図 … 114
5-2	サブシステム・クロックのフィードバック抵抗 … 115
5-3	プロセッサ・クロック・コントロール・レジスタのフォーマット … 116
5-4	メイン・システム・クロック発振回路の外付け回路 … 118
5-5	サブシステム・クロック発振回路の外付け回路 … 118
5-6	発振子の接続の悪い例 … 119
5-7	メイン・システム・クロックの停止機能 … 123
5-8	システム・クロックとCPUクロックの切り替え … 127
6-1	16ビット・タイマ／イベント・カウンタ（タイマ・モード）のブロック図 … 132
6-2	16ビット・タイマ／イベント・カウンタ（PWMモード）のブロック図 … 133
6-3	16ビット・タイマ／イベント・カウンタ出力制御回路のブロック図 … 134
6-4	タイマ・クロック選択レジスタ0のフォーマット … 137
6-5	16ビット・タイマ・モード・コントロール・レジスタのフォーマット … 138
6-6	16ビット・タイマ出力コントロール・レジスタのフォーマット … 139
6-7	ポート・モード・レジスタ3のフォーマット … 140
6-8	外部割り込みモード・レジスタのフォーマット … 141
6-9	サンプリング・クロック選択レジスタのフォーマット … 142
6-10	インターバル・タイマの構成図 … 143
6-11	インターバル・タイマ動作のタイミング … 144
6-12	PWM出力によるD/Aコンバータ構成例 … 146
6-13	TVチューナへの応用回路例 … 146
6-14	フリーランニングによるパルス幅測定の構成図 … 147
6-15	フリーランニングによるパルス幅測定動作のタイミング（両エッジ指定時） … 148
6-16	リスタートによるパルス幅測定動作のタイミング（両エッジ指定時） … 149
6-17	外部イベント・カウンタの構成図 … 150
6-18	外部イベント・カウンタ動作のタイミング（立ち上がりエッジ指定時） … 151
6-19	方形波出力動作のタイミング … 152
6-20	16ビット・タイマ・レジスタのスタート・タイミング … 153
6-21	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング … 153
6-22	キャプチャ・レジスタのデータ保持タイミング … 154
6-23	OVF0フラグの動作タイミング … 155
7-1	8ビット・タイマ／イベント・カウンタのブロック図 … 161

図の目次 (3/7)

図番号	タイトル, ページ
7-2	8ビット・タイマ／イベント・カウンタ出力制御回路1のブロック図 … 162
7-3	8ビット・タイマ／イベント・カウンタ出力制御回路2のブロック図 … 162
7-4	タイマ・クロック選択レジスタ1のフォーマット … 164
7-5	8ビット・タイマ・モード・コントロール・レジスタのフォーマット … 165
7-6	8ビット・タイマ出力コントロール・レジスタのフォーマット … 166
7-7	ポート・モード・レジスタ3のフォーマット … 167
7-8	インターバル・タイマ動作のタイミング … 168
7-9	外部イベント・カウンタ動作のタイミング（立ち上がりエッジ指定時） … 170
7-10	方形波出力動作のタイミング … 171
7-11	インターバル・タイマ動作のタイミング … 172
7-12	外部イベント・カウンタ動作のタイミング（立ち上がりエッジ指定時） … 174
7-13	方形波出力動作のタイミング … 175
7-14	8ビット・タイマ・レジスタのスタート・タイミング … 176
7-15	外部イベント・カウンタとしての動作時のタイミング … 176
7-16	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング … 177
8-1	時計用タイマのブロック図 … 181
8-2	タイマ・クロック選択レジスタ2のフォーマット … 182
8-3	時計用タイマ・モード・コントロール・レジスタのフォーマット … 183
9-1	ウォッチドッグ・タイマのブロック図 … 189
9-2	タイマ・クロック選択レジスタ2のフォーマット … 191
9-3	ウォッチドッグ・タイマ・モード・レジスタのフォーマット … 192
10-1	リモコン出力応用例 … 195
10-2	クロック出力制御回路のブロック図 … 196
10-3	タイマ・クロック選択レジスタ0のフォーマット … 197
10-4	ポート・モード・レジスタ3のフォーマット … 198
11-1	ブザー出力制御回路のブロック図 … 199
11-2	タイマ・クロック選択レジスタ2のフォーマット … 201
11-3	ポート・モード・レジスタ3のフォーマット … 202
12-1	A/Dコンバータのブロック図 … 204

図の目次 (4/7)

図番号	タイトル, ページ
12-2	A/Dコンバータ・モード・レジスタのフォーマット … 207
12-3	A/Dコンバータ入力選択レジスタのフォーマット … 208
12-4	A/Dコンバータの基本動作 … 210
12-5	アナログ入力電圧とA/D変換結果の関係 … 211
12-6	ハードウェア・スタートによるA/D変換動作 … 212
12-7	ソフトウェア・スタートによるA/D変換動作 … 213
12-8	スタンバイ・モード時の消費電流を低減させる方法例 … 214
12-9	アナログ入力端子の処理 … 215
12-10	A/D変換終了割り込み要求発生タイミング … 216
12-11	AV _{DD} 端子の処理 … 217
13-1	シリアル・インタフェース・チャンネル0のブロック図 … 222
13-2	タイマ・クロック選択レジスタ3のフォーマット … 226
13-3	シリアル動作モード・レジスタ0のフォーマット … 227
13-4	シリアル・バス・インタフェース・コントロール・レジスタのフォーマット … 229
13-5	割り込みタイミング指定レジスタのフォーマット … 231
13-6	3線式シリアルI/Oモードのタイミング … 235
13-7	RELT, CMDTの動作 … 236
13-8	転送ビット順切り替え回路 … 236
13-9	SBIによるシリアル・バス構成例 … 238
13-10	SBI転送のタイミング … 240
13-11	バス・リリース信号 … 241
13-12	コマンド信号 … 242
13-13	アドレス … 243
13-14	アドレスによるスレーブの選択 … 243
13-15	コマンド … 244
13-16	データ … 244
13-17	アクノリッジ信号 … 245
13-18	ビジー信号, レディ信号 … 246
13-19	RELT, CMDT, RELD, CMDDの動作 (マスタ) … 252
13-20	RELD, CMDDの動作 (スレーブ) … 252
13-21	ACKTの動作 … 253
13-22	ACKEの動作 … 254
13-23	ACKDの動作 … 255

図の目次 (5/7)

図番号	タイトル, ページ
13-24	BSYEの動作 … 255
13-25	端子構成図 … 258
13-26	マスタ・デバイスからスレーブ・デバイス (WUP = 1) へのアドレス送信動作 … 261
13-27	マスタ・デバイスからスレーブ・デバイスへのコマンド送信動作 … 262
13-28	マスタ・デバイスからスレーブ・デバイスへのデータ送信動作 … 263
13-29	スレーブ・デバイスからマスタ・デバイスへのデータ送信動作 … 264
13-30	2線式シリアルI/Oによるシリアル・バス構成例 … 267
13-31	2線式シリアルI/Oモードのタイミング … 270
13-32	RELT, CMDTの動作 … 271
13-33	SCK0/P27端子の構成 … 272
14-1	シリアル・インタフェース・チャンネル1のブロック図 … 275
14-2	タイマ・クロック選択レジスタ3のフォーマット … 278
14-3	シリアル動作モード・レジスタ1のフォーマット … 279
14-4	自動データ送受信コントロール・レジスタのフォーマット … 281
14-5	自動データ送受信間隔指定レジスタのフォーマット … 282
14-6	3線式シリアルI/Oモードのタイミング … 288
14-7	転送ビット順切り替え回路 … 289
14-8	基本送受信モードの動作タイミング … 297
14-9	基本送受信モードのフロー・チャート … 298
14-10	6バイト分送受信するときの内部バッファRAMの動作 (基本送受信モード時) … 299
14-11	基本送信モードの動作タイミング … 301
14-12	基本送信モードのフロー・チャート … 302
14-13	6バイト分送信するときの内部バッファRAMの動作 (基本送信モード時) … 303
14-14	繰り返し送信モードの動作タイミング … 305
14-15	繰り返し送信モードのフロー・チャート … 306
14-16	6バイト分送信するときの内部バッファRAMの動作 (繰り返し送信モード時) … 307
14-17	自動送受信の中断と再開 … 309
14-18	ビジィ制御オプション使用時のシステム構成 … 310
14-19	ビジィ制御オプションを使用したときの動作タイミング (BUSY0 = 0 のとき) … 311
14-20	ビジィ信号とウェイトの解除 (BUSY0 = 0 のとき) … 312
14-21	ビジィ & ストロープ制御オプションを使用したときの動作タイミング (BUSY0 = 0 のとき) … 313
14-22	ビット信号によるビットずれ検出機能の動作タイミング (BUSY0 = 1 のとき) … 314
14-23	自動送受信のインターバル時間 … 315

図の目次（6/7）

図番号	タイトル，ページ
14-24	自動送受信機能を内部クロックで動作させる場合の動作タイミング … 317
15-1	割り込み機能の基本構成 … 321
15-2	割り込み要求フラグ・レジスタのフォーマット … 324
15-3	割り込みマスク・フラグ・レジスタのフォーマット … 325
15-4	優先順位指定フラグ・レジスタのフォーマット … 326
15-5	外部割り込みモード・レジスタのフォーマット … 327
15-6	サンプリング・クロック選択レジスタのフォーマット … 328
15-7	ノイズ除去回路の入出力タイミング（立ち上がりエッジ検出時） … 329
15-8	プログラム・ステータス・ワードの構成 … 330
15-9	ノンマスクブル割り込み要求発生から受け付けまでのフロー・チャート … 332
15-10	ノンマスクブル割り込み要求の受け付けタイミング … 332
15-11	ノンマスクブル割り込み要求の受け付け動作 … 333
15-12	割り込み要求受け付け処理アルゴリズム … 335
15-13	割り込み要求の受け付けタイミング（最小時間） … 336
15-14	割り込み要求の受け付けタイミング（最大時間） … 336
15-15	多重割り込みの例 … 338
15-16	割り込み要求の保留 … 341
15-17	テスト機能の基本構成 … 342
15-18	割り込み要求フラグ・レジスタ0Hのフォーマット … 343
15-19	割り込みマスク・フラグ・レジスタ0Hのフォーマット … 343
15-20	キー・リターン・モード・レジスタのフォーマット … 344
16-1	外部デバイス拡張機能使用時のメモリ・マップ … 346
16-2	メモリ拡張モード・レジスタのフォーマット … 348
16-3	メモリ・サイズ切り替えレジスタのフォーマット … 349
16-4	外部メモリからの命令フェッチ … 351
16-5	外部メモリのリード・タイミング … 352
16-6	外部メモリのライト・タイミング … 353
16-7	外部メモリのリード・モディファイ・ライト・タイミング … 354
16-8	μPD78014Hとメモリの接続例 … 355
17-1	発振安定時間選択レジスタのフォーマット … 358
17-2	HALTモードの割り込み要求発生による解除 … 361

図の目次 (7/7)

図番号	タイトル, ページ
17-3	HALTモードのRESET入力による解除 … 362
17-4	STOPモードの割り込み要求発生による解除 … 364
17-5	STOPモードのRESET入力による解除 … 365
18-1	リセット機能のブロック図 … 367
18-2	RESET入力によるリセット・タイミング … 368
18-3	ウォッチドッグ・タイマのオーバフローによるリセット・タイミング … 368
18-4	STOPモード中のRESET入力によるリセット・タイミング … 368
19-1	端子の入出力回路一覧 … 384
19-2	メモリ・マップ (μPD78P018F) … 386
19-3	メモリ・サイズ切り替えレジスタのフォーマット … 388
19-4	内部拡張RAMサイズ切り替えレジスタのフォーマット … 389
19-5	ページ・プログラム・モード・フロー・チャート … 392
19-6	ページ・プログラム・モード・タイミング … 393
19-7	バイト・プログラム・モード・フロー・チャート … 394
19-8	バイト・プログラム・モード・タイミング … 395
19-9	PROMの読み出しタイミング … 396
B-1	開発ツール構成 … 418
B-2	EV-9200GC-64 外形図 (参考) (単位:mm) … 429
B-3	EV-9200GC-64 基板取り付け推奨パターン (参考) (単位:mm) … 430
B-4	TGK-064SBW 外形図 (参考) (単位:mm) … 431

表の目次（1/3）

表番号	タイトル，ページ
1-1	標準品と特別品の違い … 42
1-2	マスクROM製品のマスク・オプション … 42
1-3	μPD78018FサブシリーズとμPD78014Hサブシリーズとの違い … 43
2-1	各端子の入出力回路タイプ … 54
3-1	内部ROM容量 … 63
3-2	ベクタ・テーブル … 63
3-3	内部高速RAM容量 … 64
3-4	汎用レジスタの絶対アドレス対照表 … 68
3-5	特殊機能レジスタ一覧 … 71
4-1	ポートの機能 … 92
4-2	ポートの構成 … 94
4-3	ポート6のプルアップ抵抗 … 103
4-4	兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定 … 106
5-1	クロック発生回路の構成 … 113
5-2	CPUクロックと最小命令実行時間の関係 … 117
5-3	CPUクロックの切り替えに要する最大時間 … 126
6-1	タイマ／イベント・カウンタの動作 … 130
6-2	16ビット・タイマ／イベント・カウンタのインターバル時間 … 130
6-3	16ビット・タイマ／イベント・カウンタの方形波出力範囲 … 131
6-4	16ビット・タイマ／イベント・カウンタの構成 … 131
6-5	16ビット・タイマ／イベント・カウンタのインターバル時間 … 144
6-6	16ビット・タイマ／イベント・カウンタの方形波出力範囲 … 152
7-1	8ビット・タイマ／イベント・カウンタのインターバル時間 … 158
7-2	8ビット・タイマ／イベント・カウンタの方形波出力範囲 … 158
7-3	8ビット・タイマ／イベント・カウンタを 16ビット・タイマ／イベント・カウンタとして使用したときのインターバル時間 … 159
7-4	8ビット・タイマ／イベント・カウンタを 16ビット・タイマ／イベント・カウンタとして使用したときの方形波出力範囲 … 160

表の目次 (2/3)

表番号	タイトル, ページ
7-5	8ビット・タイマ／イベント・カウンタの構成 … 160
7-6	8ビット・タイマ／イベント・カウンタ1のインターバル時間 … 169
7-7	8ビット・タイマ／イベント・カウンタ2のインターバル時間 … 169
7-8	8ビット・タイマ／イベント・カウンタの方形波出力範囲 … 171
7-9	2チャンネルの8ビット・タイマ／イベント・カウンタ (TM1, TM2) を 16ビット・タイマ／イベント・カウンタとして使用したときのインターバル時間 … 173
7-10	2チャンネルの8ビット・タイマ／イベント・カウンタ (TM1, TM2) を 16ビット・タイマ／イベント・カウンタとして使用したときの方形波出力範囲 … 175
8-1	インターバル・タイマのインターバル時間 … 179
8-2	時計用タイマの構成 … 180
8-3	インターバル・タイマのインターバル時間 … 185
9-1	ウォッチドッグ・タイマの暴走検出時間 … 187
9-2	インターバル時間 … 187
9-3	ウォッチドッグ・タイマの構成 … 188
9-4	ウォッチドッグ・タイマの暴走検出時間 … 193
9-5	インターバル・タイマのインターバル時間 … 194
10-1	クロック出力制御回路の構成 … 196
11-1	ブザー出力制御回路の構成 … 199
12-1	A/Dコンバータの構成 … 203
13-1	チャンネル0とチャンネル1の違い … 219
13-2	シリアル・インタフェース・チャンネル0のモードの違い … 220
13-3	シリアル・インタフェース・チャンネル0の構成 … 221
13-4	SBIモードにおける各種の信号 … 256
14-1	シリアル・インタフェース・チャンネル1のモードの違い … 273
14-2	シリアル・インタフェース・チャンネル1の構成 … 274
14-3	CPU処理によるインターバル時間 (内部クロック動作時) … 316
14-4	CPU処理によるインターバル時間 (外部クロック動作時) … 317

表の目次 (3/3)

表番号	タイトル, ページ
15-1	割り込み要因一覧 … 320
15-2	割り込み要求ソースに対する各種フラグ … 323
15-3	マスカブル割り込み要求発生から処理までの時間 … 334
15-4	割り込み処理中に多重割り込み可能な割り込み要求 … 337
15-5	テスト入力要因一覧 … 342
15-6	テスト入力信号に対する各種フラグ … 342
16-1	外部メモリ拡張モード時の端子機能 … 345
16-2	外部メモリ拡張モード時のポート4-6の端子の状態 … 345
16-3	メモリ・サイズ切り替えレジスタのリセット時の値 … 349
17-1	HALTモード時の動作状態 … 359
17-2	HALTモードの解除後の動作 … 362
17-3	STOPモード時の動作状態 … 363
17-4	STOPモードの解除後の動作 … 365
18-1	各ハードウェアのリセット後の状態 … 369
19-1	各端子の入出力回路タイプ … 382
19-2	メモリ・サイズ切り替えレジスタの設定値 … 388
19-3	PROMプログラミングの動作モード … 390
20-1	オペランドの表現形式と記述方法 … 400
A-1	μPD78014, 78014H, 78018Fサブシリーズ間の主な違い … 415
B-1	IBM PC用のOS … 428
B-2	78K/0シリーズ用の旧タイプのインサーキット・エミュレータからIE-78001-R-Aへのシステム・アップ方法 … 428

第1章 概 説

1.1 特 徴

○従来のμPD78018Fサブシリーズに比べ、EMI（Electro Magnetic Interference）ノイズを低減

○大容量ROM，RAM内蔵

項 目 品 名	プログラム・メモリ (ROM)	データ・メモリ		
		内部高速RAM	内部拡張RAM	内部バッファRAM
μPD78011H	8 Kバイト	512バイト	—	32バイト
μPD78012H	16 Kバイト			
μPD78013H	24 Kバイト	1024バイト		
μPD78014H	32 Kバイト			
μPD78P018F	60 Kバイト ^{注1}	1024バイト ^{注2}	1024バイト ^{注3}	

注1．メモリ・サイズ切り替えレジスタ（IMS）により，内部PROM容量の変更可能。

2．IMSにより，512，1024バイトを選択可能。

3．内部拡張RAMサイズ切り替えレジスタ（IXS）により，内部拡張RAM容量の変更可能。

○外部メモリ拡張空間：64 Kバイト

○高速（0.4 μs：メイン・システム・クロック10.0 MHz動作時）から超低速（122 μs：サブシステム・クロック32.768 kHz動作時）まで最小命令実行時間変更可能

○システム制御に適した命令セット

- ・全アドレス空間でビット処理可能
- ・乗除算命令内蔵

○I/Oポート：53本（N-chオープン・ドレイン：4本）

○8ビット分解能A/Dコンバータ：8チャンネル

- ・低電圧動作可能（AV_{DD} = 1.8～5.5 V：CPUと同じ電源電圧で動作可能）

○シリアル・インタフェース：2チャンネル

- ・3線式シリアルI/O／SBI／2線式シリアルI/Oモード：1チャンネル
- ・3線式シリアルI/Oモード（自動送受信機能内蔵）：1チャンネル

○タイマ：5チャンネル

- ・16ビット・タイマ／イベント・カウンタ：1チャンネル
- ・8ビット・タイマ／イベント・カウンタ：2チャンネル
- ・時計用タイマ：1チャンネル
- ・ウォッチドッグ・タイマ：1チャンネル

○ベクタ割り込み要因：14

○テスト入力：2本

○2種類のクロック発振回路（メイン・システム・クロックとサブシステム・クロック）内蔵

○電源電圧： $V_{DD} = 1.8 \sim 5.5 \text{ V}$

1.2 応用分野

μ PD78011H, 78012H, 78013H, 78014Hの場合

電話，VTR，オーディオ，カメラ，家電製品など

μ PD78011H(A), 78012H(A), 78013H(A), 78014H(A)の場合

自動車電装の制御装置，ガス検知遮断機，各種安全装置など

1.3 オーダ情報

オーダ名称	パッケージ	内部ROM
μ PD78011HCW-×××	64ピン・プラスチック・シュリンクDIP (750 mil)	マスクROM
μ PD78011HGC-×××-AB8	64ピン・プラスチックQFP (□14 mm)	//
μ PD78011HGK-×××-8A8	64ピン・プラスチックLQFP (□12 mm)	//
μ PD78012HCW-×××	64ピン・プラスチック・シュリンクDIP (750 mil)	//
μ PD78012HGC-×××-AB8	64ピン・プラスチックQFP (□14 mm)	//
μ PD78012HGK-×××-8A8	64ピン・プラスチックLQFP (□12 mm)	//
μ PD78013HCW-×××	64ピン・プラスチック・シュリンクDIP (750 mil)	//
μ PD78013HGC-×××-AB8	64ピン・プラスチックQFP (□14 mm)	//
μ PD78013HGK-×××-8A8	64ピン・プラスチックLQFP (□12 mm)	//
μ PD78014HCW-×××	64ピン・プラスチック・シュリンクDIP (750 mil)	//
μ PD78014HGC-×××-AB8	64ピン・プラスチックQFP (□14 mm)	//
μ PD78014HGK-×××-8A8	64ピン・プラスチックLQFP (□12 mm)	//
μ PD78011HCW(A)-×××	64ピン・プラスチック・シュリンクDIP (750 mil)	//
μ PD78011HGC(A)-×××-AB8	64ピン・プラスチックQFP (□14 mm)	//
μ PD78011HGK(A)-×××-8A8	64ピン・プラスチックLQFP (□12 mm)	//
μ PD78012HCW(A)-×××	64ピン・プラスチック・シュリンクDIP (750 mil)	//
μ PD78012HGC(A)-×××-AB8	64ピン・プラスチックQFP (□14 mm)	//
μ PD78012HGK(A)-×××-8A8	64ピン・プラスチックLQFP (□12 mm)	//
μ PD78013HCW(A)-×××	64ピン・プラスチック・シュリンクDIP (750 mil)	//
μ PD78013HGC(A)-×××-AB8	64ピン・プラスチックQFP (□14 mm)	//
μ PD78013HGK(A)-×××-8A8	64ピン・プラスチックLQFP (□12 mm)	//
μ PD78014HCW(A)-×××	64ピン・プラスチック・シュリンクDIP (750 mil)	//
μ PD78014HGC(A)-×××-AB8	64ピン・プラスチックQFP (□14 mm)	//
μ PD78014HGK(A)-×××-8A8	64ピン・プラスチックLQFP (□12 mm)	//
μ PD78P018FCW	64ピン・プラスチック・シュリンクDIP (750 mil)	ワン・タイムPROM
μ PD78P018FDW	64ピン・セラミック・シュリンクDIP (窓付き) (750 mil)	EPROM
μ PD78P018FGC-AB8	64ピン・プラスチックQFP (□14 mm)	ワン・タイムPROM
μ PD78P018FGK-8A8	64ピン・プラスチックLQFP (□12 mm)	//
μ PD78P018FKK-S	64ピン・セラミックWQFN (□14 mm)	EPROM
μ PD78P018FCW(A)	64ピン・プラスチック・シュリンクDIP (750 mil)	ワン・タイムPROM
μ PD78P018FGC(A)-AB8	64ピン・プラスチックQFP (□14 mm)	//

備考 ×××はROMコード番号です。

1.4 品質水準

オーダ名称	パッケージ	品質水準
μ PD78011HCW-×××	64ピン・プラスチック・シュリンクDIP (750 mil)	標準(一般電子機器用)
μ PD78011HGC-×××-AB8	64ピン・プラスチックQFP (□14 mm)	〃
μ PD78011HGK-×××-8A8	64ピン・プラスチックLQFP (□12 mm)	〃
μ PD78012HCW-×××	64ピン・プラスチック・シュリンクDIP (750 mil)	〃
μ PD78012HGC-×××-AB8	64ピン・プラスチックQFP (□14 mm)	〃
μ PD78012HGK-×××-8A8	64ピン・プラスチックLQFP (□12 mm)	〃
μ PD78013HCW-×××	64ピン・プラスチック・シュリンクDIP (750 mil)	〃
μ PD78013HGC-×××-AB8	64ピン・プラスチックQFP (□14 mm)	〃
μ PD78013HGK-×××-8A8	64ピン・プラスチックLQFP (□12 mm)	〃
μ PD78014HCW-×××	64ピン・プラスチック・シュリンクDIP (750 mil)	〃
μ PD78014HGC-×××-AB8	64ピン・プラスチックQFP (□14 mm)	〃
μ PD78014HGK-×××-8A8	64ピン・プラスチックLQFP (□12 mm)	〃
μ PD78011HCW(A)-×××	64ピン・プラスチック・シュリンクDIP (750 mil)	特別(高信頼度電子機器用)
μ PD78011HGC(A)-×××-AB8	64ピン・プラスチックQFP (□14 mm)	〃
μ PD78011HGK(A)-×××-8A8	64ピン・プラスチックLQFP (□12 mm)	〃
μ PD78012HCW(A)-×××	64ピン・プラスチック・シュリンクDIP (750 mil)	〃
μ PD78012HGC(A)-×××-AB8	64ピン・プラスチックQFP (□14 mm)	〃
μ PD78012HGK(A)-×××-8A8	64ピン・プラスチックLQFP (□12 mm)	〃
μ PD78013HCW(A)-×××	64ピン・プラスチック・シュリンクDIP (750 mil)	〃
μ PD78013HGC(A)-×××-AB8	64ピン・プラスチックQFP (□14 mm)	〃
μ PD78013HGK(A)-×××-8A8	64ピン・プラスチックLQFP (□12 mm)	〃
μ PD78014HCW(A)-×××	64ピン・プラスチック・シュリンクDIP (750 mil)	〃
μ PD78014HGC(A)-×××-AB8	64ピン・プラスチックQFP (□14 mm)	〃
μ PD78014HGK(A)-×××-8A8	64ピン・プラスチックLQFP (□12 mm)	〃
μ PD78P018FCW	64ピン・プラスチック・シュリンクDIP (750 mil)	標準(一般電子機器用)
μ PD78P018FDW	64ピン・セラミック・シュリンクDIP (窓付き) (750 mil)	適用外(機能評価用)
μ PD78P018FGC-AB8	64ピン・プラスチックQFP (□14 mm)	標準(一般電子機器用)
μ PD78P018FGK-8A8	64ピン・プラスチックLQFP (□12 mm)	〃
μ PD78P018FKK-S	64ピン・セラミックWQFN (□14 mm)	適用外(機能評価用)
μ PD78P018FCW(A)	64ピン・プラスチック・シュリンクDIP (750 mil)	特別(高信頼度電子機器用)
μ PD78P018FGC(A)-AB8	64ピン・プラスチックQFP (□14 mm)	〃

注意 μPD78P018FDW, 78P018FKK-Sは、お客様の装置の量産製品に使用されることを意図した信頼性を保持しておりません。実験または機能評価用のみご使用ください。

備考 ×××はROMコード番号です。

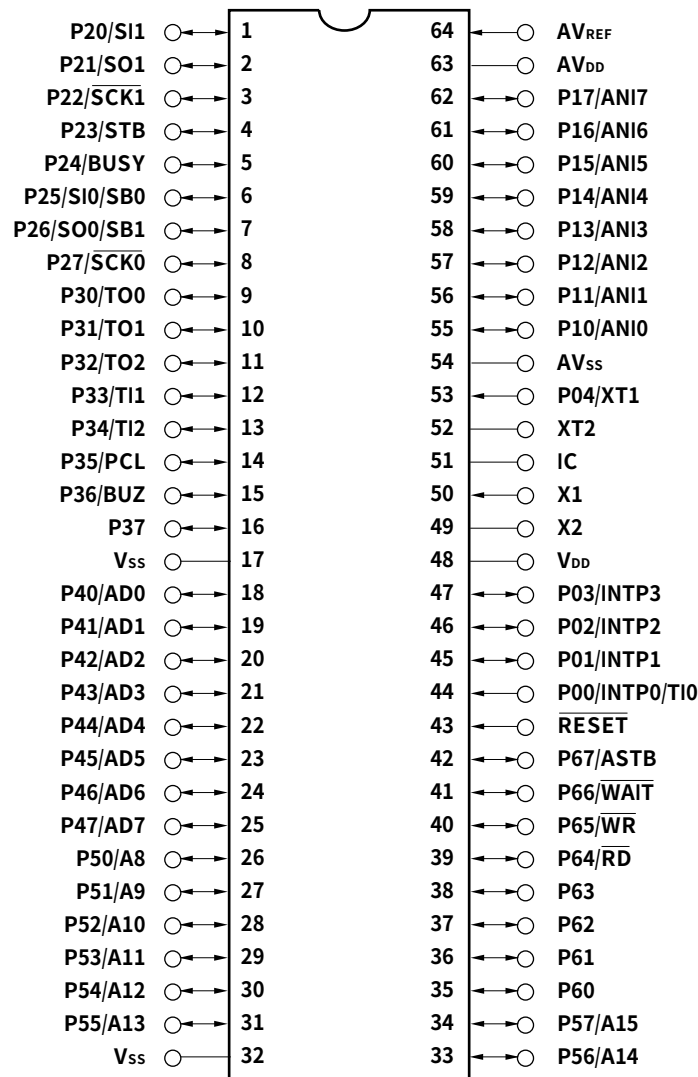
品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(資料番号 C11531J)をご覧ください。

1.5 端子接続図 (Top View)

・ 64ピン・プラスチック・シュリンクDIP (750 mil)

μPD78011HCW-×××, 78012HCW-×××, 78013HCW-×××, 78014HCW-×××

μPD78011HCW(A)-×××, 78012HCW(A)-×××, 78013HCW(A)-×××, 78014HCW(A)-×××



注意 1. IC (Internally Connected) 端子はVSSに直接接続してください。

2. AVDD端子はA/Dコンバータの電源とポート部の電源を兼用しています。マイコンから発生するノイズを低減する必要がある応用分野で使用する場合、VDDと同電位の別電源に接続してください。

3. AVSS端子はA/Dコンバータのグランド電位とポート部のグランド電位を兼用しています。マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、VSSと別のグランド・ラインに接続してください。

・64ピン・プラスチックQFP (□14 mm)

μPD78011HGC-×××-AB8, 78012HGC-×××-AB8, 78013HGC-×××-AB8, 78014HGC-×××-AB8

μPD78011HGC(A)-×××-AB8, 78012HGC(A)-×××-AB8, 78013HGC(A)-×××-AB8,

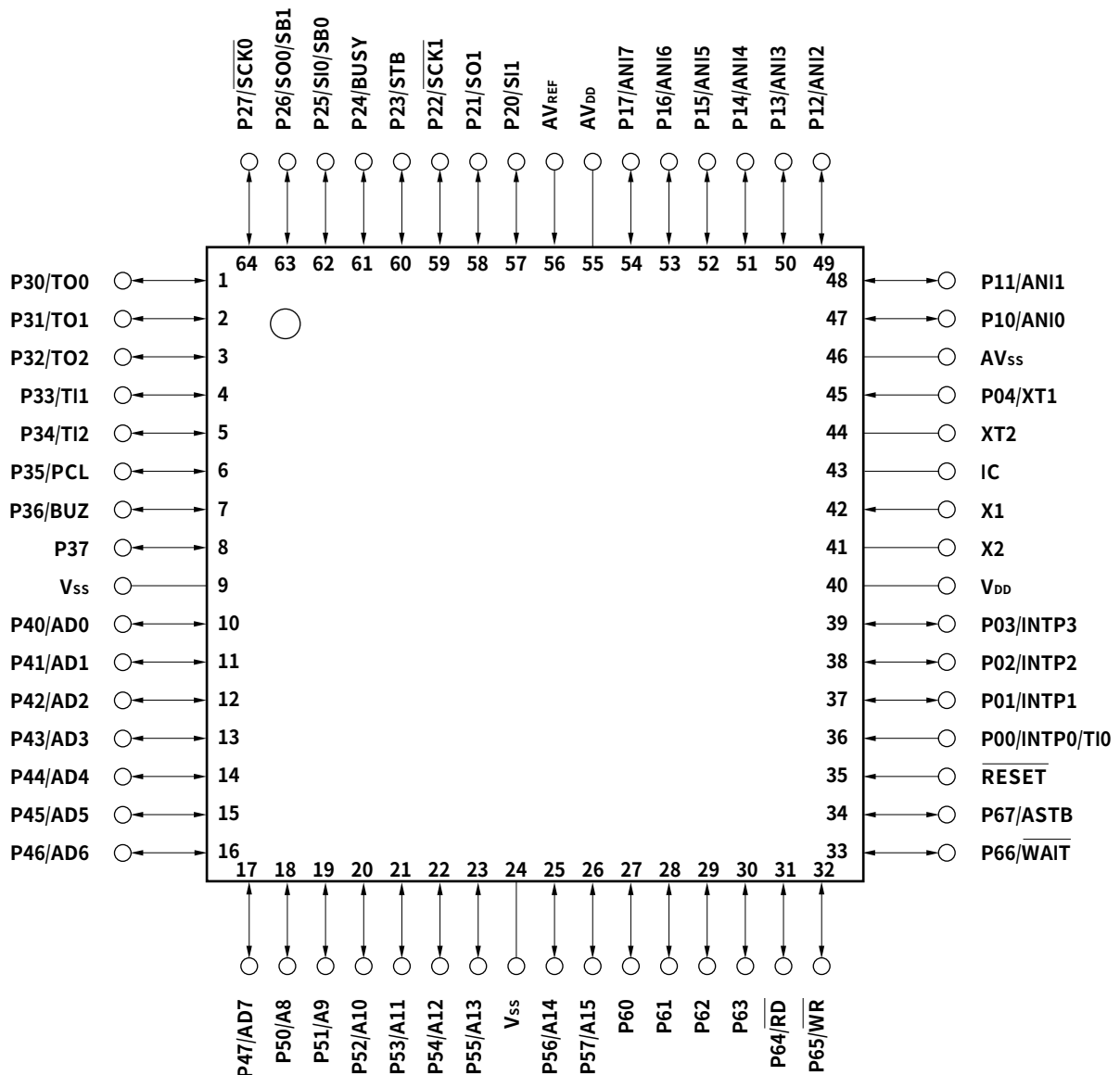
μPD78014HGC(A)-×××-AB8

・64ピン・プラスチックLQFP (□12 mm)

μPD78011HGK-×××-8A8, 78012HGK-×××-8A8, 78013HGK-×××-8A8, 78014HGK-×××-8A8

μPD78011HGK(A)-×××-8A8, 78012HGK(A)-×××-8A8, 78013HGK(A)-×××-8A8,

μPD78014HGK(A)-×××-8A8



注意1. IC (Internally Connected) 端子はV_{SS}に直接接続してください。

2. AV_{DD}端子はA/Dコンバータの電源とポート部の電源を兼用しています。マイコンから発生するノイズを低減する必要がある応用分野で使用する場合、V_{DD}と同電位の別電源に接続してください。

3. AV_{SS}端子はA/Dコンバータのグランド電位とポート部のグランド電位を兼用しています。マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V_{SS}と別のグランド・ラインに接続してください。

A8-A15	: Address Bus	P60-P67	: Port6
AD0-AD7	: Address/Data Bus	PCL	: Programmable Clock
ANI0-ANI7	: Analog Input	$\overline{RD}$	: Read Strobe
ASTB	: Address Strobe	$\overline{RESET}$	: Reset
AV _{DD}	: Analog Power Supply	SB0, SB1	: Serial Bus
AV _{REF}	: Analog Reference Voltage	$\overline{SCK0}$, $\overline{SCK1}$	: Serial Clock
AV _{SS}	: Analog Ground	SI0, SI1	: Serial Input
BUSY	: Busy	SO0, SO1	: Serial Output
BUZ	: Buzzer Clock	STB	: Strobe
IC	: Internally Connected	TI0-TI2	: Timer Input
INTP0-INTP3	: Interrupt from Peripherals	TO0-TO2	: Timer Output
P00-P04	: Port0	V _{DD}	: Power Supply
P10-P17	: Port1	V _{SS}	: Ground
P20-P27	: Port2	$\overline{WAIT}$	: Wait
P30-P37	: Port3	$\overline{WR}$	: Write Strobe
P40-P47	: Port4	X1, X2	: Crystal (Main System Clock)
P50-P57	: Port5	XT1, XT2	: Crystal (Subsystem Clock)

★ 1.6 78K/0シリーズの展開

78K/0シリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



Yサブシリーズは、I²Cバス対応の製品です。



注 計画中

各サブシリーズ間の主な機能の違いを次に示します。

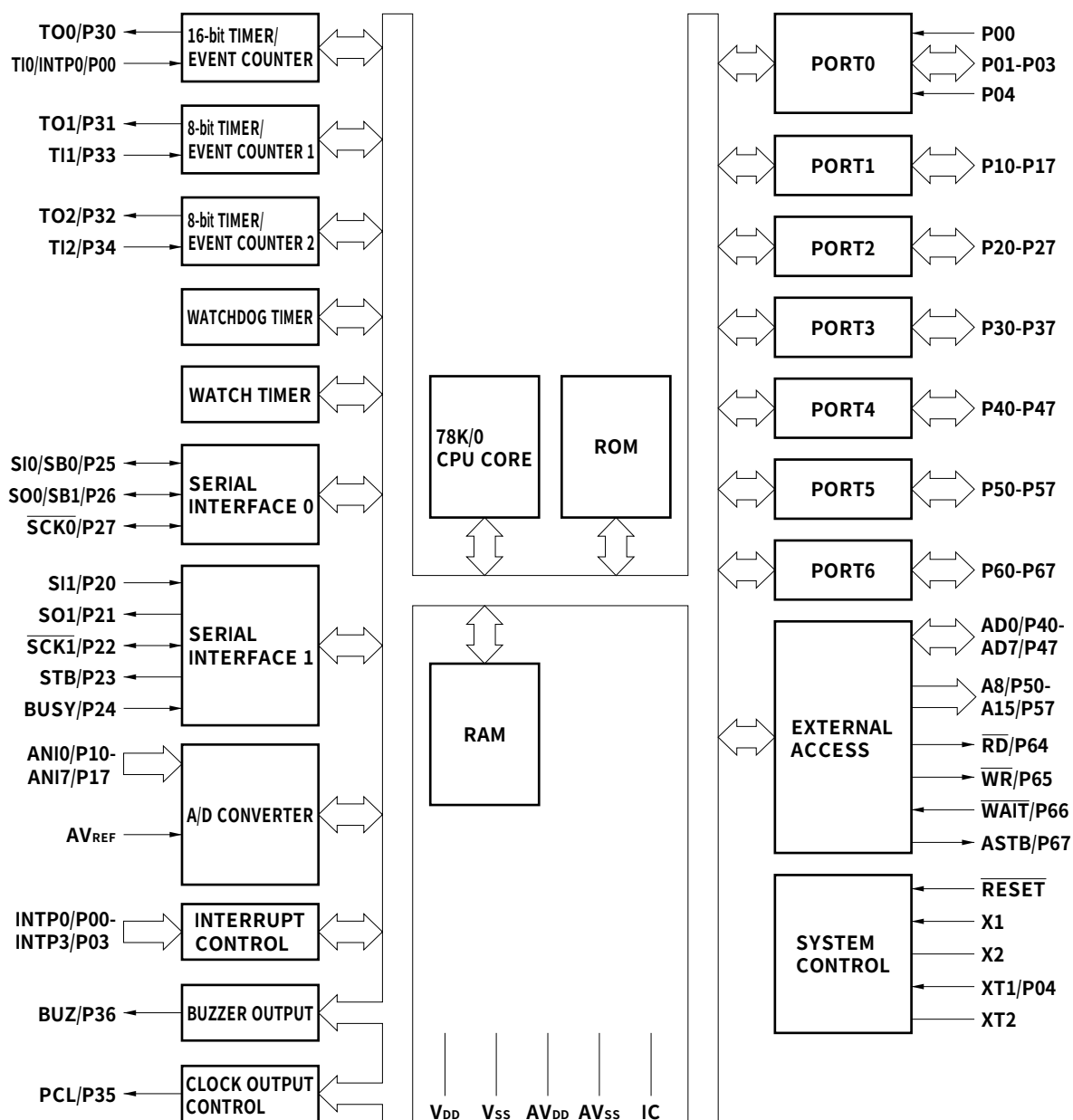
機能 サブシリーズ名		ROM容量	タイマ				8-bit	10-bit	8-bit	シリアル・ インタフェース	I/O	V _{DD} MIN.値	外部 拡張
			8-bit	16-bit	時計	WDT	A/D	A/D	D/A				
制御用	μ PD78075B	32 K-40 K	4ch	1ch	1ch	1ch	8ch	—	2ch	3ch(UART:1ch)	88本	1.8 V	○
	μ PD78078	48 K-60 K									61本	2.7 V	
	μ PD78070A	—											
	μ PD780058	24 K-60 K	2ch	3ch(時分割UART:1ch)	68本	1.8 V							
	μ PD78058F	48 K-60 K		3ch(UART:1ch)	69本	2.7 V							
	μ PD78054	16 K-60 K				2.0 V							
	μ PD780034	8 K-32 K	—	8ch	—	3ch(UART:1ch, 時分割3線:1ch)	51本	1.8 V					
	μ PD780024		8ch	—			2ch		53本				
	μ PD78014H												
	μ PD78018F	8 K-60 K					2.7 V						
	μ PD78014	8 K-32 K											
	μ PD780001	8 K	—	—	1ch	—	1ch	39本	—				
	μ PD78002	8 K-16 K					53本	○					
	μ PD78083						—			8ch	1ch(UART:1ch)	33本	
インバータ 制御用	μ PD780988	32 K-60 K	3ch	注1	—	1ch	—	8ch	—	3ch(UART:2ch)	47本	4.0 V	○
	μ PD780964	8 K-32 K		注2				2ch(UART:2ch)		2.7 V			
	μ PD780924					8ch	—						
FIP 駆動用	μ PD780208	32 K-60 K	2ch	1ch	1ch	1ch	8ch	—	—	2ch	74本	2.7 V	—
	μ PD780228	48 K-60 K	3ch	—	—				1ch	72本	4.5 V		
	μ PD78044H	32 K-48 K	2ch	1ch	1ch					68本	2.7 V		
	μ PD78044F	16 K-40 K						2ch					
LCD 駆動用	μ PD780308	48 K-60 K	2ch	1ch	1ch	1ch	8ch	—	—	3ch(時分割UART:1ch)	57本	2.0 V	—
	μ PD78064B	32 K								2ch(UART:1ch)			
	μ PD78064	16 K-32 K											
IEBus 対応	μ PD78098B	40 K-60 K	2ch	1ch	1ch	1ch	8ch	—	2ch	3ch(UART:1ch)	69本	2.7 V	○
	μ PD78098	32 K-60 K											
メータ 制御用	μ PD780973	24 K-32 K	3ch	1ch	1ch	1ch	5ch	—	—	2ch(UART:1ch)	56本	4.5 V	—

注1. 16ビット・タイマ：2チャンネル

10ビット・タイマ：1チャンネル

2. 10ビット・タイマ：1チャンネル

1.7 ブロック図



備考 内部ROM, RAM容量は製品によって異なります。

1.8 機能概要

項目		品名	μ PD78011H	μ PD78012H	μ PD78013H	μ PD78014H	μ PD78P018F
内部メモリ	ROM	マスクROM					PROM
		8 Kバイト	16 Kバイト	24 Kバイト	32 Kバイト	60 Kバイト注1	
	高速RAM	512バイト		1024バイト		1024バイト注1	
	拡張RAM	—					1024バイト注2
	バッファRAM	32バイト					
メモリ空間		64 Kバイト					
汎用レジスタ		8ビット×8×4バンク					
最小命令 実行時間	メイン・システム・ クロック選択時	0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs（10.0 MHz動作時）					
	サブシステム・ クロック選択時	122 μs（32.768 kHz動作時）					
命令セット		・ 16ビット演算 ・ 乗除算（8ビット×8ビット，16ビット÷8ビット） ・ ビット操作（セット，リセット，テスト，ブール演算） ・ BCD補正 など					
I/Oポート		・ 合計：53本 ・ CMOS入力：2本 ・ CMOS入出力：47本 （ソフトウェアで内蔵プルアップ抵抗のオン，オフ可能：47本） ・ N-chオープン・ドレイン入出力：4本 （15 V耐圧，マスクROM製品のみマスク・オプションによるプルアップ抵抗内蔵：4本）					
A/Dコンバータ		・ 8ビット分解能×8チャンネル ・ 低電圧動作可能：AVDD = 1.8～5.5 V					
シリアル・インタフェース		・ 3線式シリアルI/O／SBI／2線式シリアルI/Oモード選択可能：1チャンネル ・ 3線式シリアルI/Oモード（最大32バイト自動送受信機能内蔵）：1チャンネル					
タイマ		・ 16ビット・タイマ／イベント・カウンタ：1チャンネル ・ 8ビット・タイマ／イベント・カウンタ：2チャンネル ・ 時計用タイマ：1チャンネル ・ ウォッチドッグ・タイマ：1チャンネル					
タイマ出力		3本（14ビットPWM出力可能：1本）					
クロック出力		39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz （メイン・システム・クロック：10.0 MHz動作時） 32.768 kHz（サブシステム・クロック：32.768 kHz動作時）					
ブザー出力		2.4 kHz, 4.9 kHz, 9.8 kHz（メイン・システム・クロック：10.0 MHz動作時）					

注1. メモリ・サイズ切り替えレジスタ (IMS) により, 内部PROM, 内部高速RAM容量の変更可能。

2. 内部拡張RAMサイズ切り替えレジスタ (IXS) により, 内部拡張RAM容量の変更可能。

項目	品名	μ PD78011H	μ PD78012H	μ PD78013H	μ PD78014H	μ PD78P018F
ベクタ	マスカブル	内部：8，外部：4				
割り込み	ノンマスカブル	内部：1				
要因	ソフトウェア	1				
テスト入力		内部：1本，外部：1本				
電源電圧		$V_{DD} = 1.8 \sim 5.5 \text{ V}$				
動作周囲温度		$T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$				
パッケージ		・64ピン・プラスチック・シュリンクDIP (750 mil) ・64ピン・プラスチックQFP (□14 mm) ・64ピン・プラスチックLQFP (□12 mm) ・64ピン・セラミック・シュリンクDIP (窓付き) (750 mil)：μ PD78P018Fのみ ・64ピン・セラミックWQFN (□14 mm)：μ PD78P018Fのみ				

1.9 標準品と特別品の違い

表1-1 標準品と特別品の違い

項目	品名	標準品 (μ PD78011H, 78012H, 78013H, 78014H, 78P018F)	特別品 (μ PD78011H(A), 78012H(A), 78013H(A), 78014H(A), 78P018F(A))
品質水準		標準 (一般電子機器用)	特別 (高信頼度電子機器用)
パッケージ		・64ピン・プラスチック・シュリンクDIP (750 mil) ・64ピン・プラスチックQFP (□14 mm) ・64ピン・プラスチックLQFP (□12 mm) ・64ピン・セラミック・シュリンクDIP (窓付き) (750 mil：μ PD78P018Fのみ) ・64ピン・セラミックWQFN (□14 mm：μ PD78P018Fのみ)	・64ピン・プラスチック・シュリンクDIP (750 mil) ・64ピン・プラスチックQFP (□14 mm) ・64ピン・プラスチックLQFP (□12 mm：μ PD78011H(A), 78012H(A), 78013H(A), 78014H(A)のみ)

1.10 マスク・オプションについて

マスクROM製品 (μ PD78011H, 78012H, 78013H, 78014H) には、マスク・オプションがあります。オーダの際にマスク・オプションを指定することにより、表1-2に示すプルアップ抵抗を内蔵できます。プルアップ抵抗が必要なとき、マスク・オプションを利用すると、部品点数の削減と実装面積の縮小ができます。

μ PD78014Hサブシリーズで用意されているマスク・オプションを表1-2に示します。

表1-2 マスクROM製品のマスク・オプション

端子名	マスク・オプション
P60-P63	1ビット単位でプルアップ抵抗を内蔵できます。

1.11 μ PD78018Fサブシリーズと μ PD78014Hサブシリーズとの違い

μ PD78014Hサブシリーズは、従来の μ PD78018Fサブシリーズに対してEMIノイズ対策を行った製品です。 μ PD78018Fサブシリーズと μ PD78014Hサブシリーズとの違いを表1-3に示します。これら以外は、 μ PD78018Fサブシリーズと μ PD78014Hサブシリーズは同一の機能を持っています。

表1-3 μ PD78018Fサブシリーズと μ PD78014Hサブシリーズとの違い

項目 \ 品目		μ PD78018Fサブシリーズ	μ PD78014Hサブシリーズ
EMIノイズ対策		なし	あり
内部拡張RAM		1024バイト	なし
ROMコレクション機能		あり	なし

1.12 μ PD78014Hサブシリーズと μ PD78P018Fとの違い

項目 \ 品目		μ PD78014Hサブシリーズ				μ PD78P018F
		μ PD78011H	μ PD78012H	μ PD78013H	μ PD78014H	
EMIノイズ対策		あり				なし
内部メモリ	ROM	マスクROM				ワン・タイムPROM/ EPROM
		8 Kバイト	16 Kバイト	24 Kバイト	32 Kバイト	
	拡張RAM	なし				1024バイト ^{注2}
	バッファRAM	32 Kバイト				
IC端子		あり				なし
V _{PP} 端子		なし				あり
ROMコレクション機能		なし				あり
電気的特性		個別の製品のデータ・シートを参照してください。				

注1. メモリ・サイズ切り替えレジスタ（IMS）により、内部PROM容量の変更可能。

2. 内部拡張RAMサイズ切り替えレジスタ（IXS）により、内部拡張RAM容量の変更可能。

(× 毛)

保守

第2章 端子機能

2.1 端子機能一覧

(1) ポート端子 (1/2)

端子名称	入出力	機 能		リセット時	兼用端子
P00	入 力	ポート0。	入力専用。	入 力	INTP0/TI0
P01	入出力	5ビット入出力ポート。	1ビット単位で入力／出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	入 力	INTP1
P02					INTP2
P03					INTP3
P04 ^{注1}	入 力		入力専用。	入 力	XT1
P10-P17	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 ^{注2}		入 力	ANI0-ANI7
P20	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入 力	SI1
P21					SO1
P22					SCK1
P23					STB
P24					BUSY
P25					SI0/SB0
P26					SO0/SB1
P27					SCK0

注1．P04/XT1端子を入力ポートとして使用するときは、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット6（FRC）に1を設定してください（サブシステム・クロック発振回路の内蔵フィードバック抵抗を使用しないでください）。

2．P10/ANI0-P17/ANI7端子をA/Dコンバータのアナログ入力として使用するとき、ポート1を入力モードにしてください。なお、内蔵プルアップ抵抗は自動的に使用されなくなります。

(1) ポート端子 (2/2)

端子名称	入出力	機 能		リセット時	兼用端子
P30	入出力	ポート 3。		入 力	TO0
P31		8ビット入出力ポート。			TO1
P32		1ビット単位で入力／出力の指定可能。			TO2
P33		入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。			TI1
P34					TI2
P35					PCL
P36					BUZ
P37					—
P40-P47	入出力	ポート 4。 8ビット入出力ポート。 8ビット単位で入力／出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 立ち下がりエッジの検出により、テスト入力フラグ（KRIF）を1にセット。		入 力	AD0-AD7
P50-P57	入出力	ポート 5。 8ビット入出力ポート。 LEDを直接駆動可能。 1ビット単位で入力／出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		入 力	A8-A15
P60	入出力	ポート 6。	N-chオープン・ドレイン入出力ポート。	入 力	—
P61		8ビット入出力ポート。	マスク・オプションにより、プルアップ		
P62		1ビット単位で入力／出力	抵抗の内蔵を指定可能。LEDを直接駆動		
P63		の指定可能。	可能。		
P64		入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。			RD
P65					WR
P66					WAIT
P67					ASTB

注意 ポートと兼用機能を持った端子については、A/D変換動作中は次の操作をしないでください。A/D変換時の総合誤差の規格が守れなくなります。

- ①ポートとして使用している場合、その出力の出力ラッチを書き換えること
- ②ポートとして使用していない場合でも、出力として使用している端子の出力レベルを変更すること

(2) ポート以外の端子 (1/2)

端子名称	入出力	機 能	リセット時	兼用端子
INTP0	入 力	有効エッジ（立ち上がりエッジ，立ち下がりエッジ，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力。	入 力	P00/TI0
INTP1				P01
INTP2				P02
INTP3				立ち下がりエッジ検出外部割り込み要求入力。
SI0	入 力	シリアル・インタフェースのシリアル・データ入力。	入 力	P25/SB0
SI1				P20
SO0	出 力	シリアル・インタフェースのシリアル・データ出力。	入 力	P26/SB1
SO1				P21
SB0	入出力	シリアル・インタフェースのシリアル・データ入力／出力。	入 力	P25/SI0
SB1				P26/SO0
SCK0	入出力	シリアル・インタフェースのシリアル・クロック入力／出力。	入 力	P27
SCK1				P22
STB	出 力	シリアル・インタフェース自動送受信用ストローブ出力。	入 力	P23
BUSY	入 力	シリアル・インタフェース自動送受信用ビジー入力。	入 力	P24
TI0	入 力	16ビット・タイマ（TM0）への外部カウント・クロック入力。	入 力	P00/INTP0
TI1		8ビット・タイマ（TM1）への外部カウント・クロック入力。		P33
TI2		8ビット・タイマ（TM2）への外部カウント・クロック入力。		P34
TO0	出 力	16ビット・タイマ（TM0）出力（14ビットPWM出力と兼用）。	入 力	P30
TO1		8ビット・タイマ（TM1）出力。		P31
TO2		8ビット・タイマ（TM2）出力。		P32
PCL	出 力	クロック出力（メイン・システム・クロック，サブシステム・クロックのトリミング用）。	入 力	P35
BUZ	出 力	ブザー出力。	入 力	P36
AD0-AD7	入出力	外部にメモリを拡張する場合の，下位アドレス／データ・バス。	入 力	P40-P47
A8-A15	出 力	外部にメモリを拡張する場合の，上位アドレス・バス。	入 力	P50-P57
$\overline{RD}$	出 力	外部メモリのリード動作用ストローブ信号出力。	入 力	P64
$\overline{WR}$		外部メモリのライト動作用ストローブ信号出力。		P65
$\overline{WAIT}$	入 力	外部メモリ・アクセス時のウエイト挿入。	入 力	P66
ASTB	出 力	外部メモリをアクセスするために，ポート4，ポート5に出力されるアドレス情報を外部でラッチするストローブ出力。	入 力	P67

(2) ポート以外の端子 (2/2)

端子名称	入出力	機 能	リセット時	兼用端子
ANI0-ANI7	入 力	A/Dコンバータのアナログ入力。	入 力	P10-P17
AV _{REF}	入 力	A/Dコンバータの基準電圧入力。	—	—
AV _{DD}	—	A/Dコンバータのアナログ電源（ポート部の電源と兼用）。	—	—
AV _{SS}	—	A/Dコンバータのグラウンド電位（ポート部のグラウンド電位と兼用）。	—	—
RESET	入 力	システム・リセット入力。	—	—
X1	入 力	メイン・システム・クロック発振用クリスタル接続。	—	—
X2	—		—	—
XT1	入 力	サブシステム・クロック発振用クリスタル接続。	入 力	P04
XT2	—		—	—
V _{DD}	—	正電源（ポート部を除く）。	—	—
V _{SS}	—	グラウンド電位（ポート部を除く）。	—	—
IC	—	内部接続されています。V _{SS} に直接接続してください。	—	—

注意 1. AV_{DD}端子はA/Dコンバータの電源とポート部の電源を兼用しています。マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V_{DD}と同電位の別電源に接続してください。

2. AV_{SS}端子はA/Dコンバータのグラウンド電位とポート部のグラウンド電位を兼用しています。マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V_{SS}と別のグラウンド・ラインに接続してください。

2.2 端子機能の説明

2.2.1 P00-P04 (Port0)

5ビットの入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、タイマへの外部カウント・クロック入力、キャプチャ・トリガ信号入力、サブシステム・クロック発振用クリスタル接続機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

P00, P04は入力専用ポート、P01-P03は入出力ポートとして機能します。

P01-P03はポート・モード・レジスタ0 (PM0) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ (PUO) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、タイマへの外部カウント・クロック入力、サブシステム・クロック発振用クリスタル接続として機能します。

(a) INTP0-INTP3

INTP0-INTP2は、有効エッジ（立ち上がりエッジ、立ち下がりエッジ、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。また、INTP0は、有効エッジの入力により、16ビット・タイマ／イベント・カウンタのキャプチャ・トリガ信号入力端子にもなります。INTP3は、立ち下がりエッジ検出外部割り込み入力端子となっています。

(b) TI0

16ビット・タイマ／イベント・カウンタへの外部カウント・クロック入力端子です。

(c) XT1

サブシステム・クロック発振用クリスタル接続端子です。

2.2.2 P10-P17 (Port1)

8ビットの入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ (PUO) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子（ANI0-ANI7）として機能します。アナログ入力として指定した端子は、内蔵プルアップ抵抗が自動的に使用されなくなります。

2.2.3 P20-P27 (Port2)

8ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力、自動送受信用ビジィ入力、ストローブ出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ2（PM2）により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ（PUO）により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力、自動送受信用ビジィ入力、ストローブ出力として機能します。

(a) SI0, SI1, SO0, SO1

シリアル・インタフェースのシリアル・データの入出力端子です。

(b) $\overline{\text{SCK0}}$, $\overline{\text{SCK1}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(c) SB0, SB1

NEC標準シリアル・バス・インタフェース用入出力端子です。

(d) BUSY

シリアル・インタフェース自動送受信用ビジィ入力端子です。

(e) STB

シリアル・インタフェース自動送受信用ストローブ出力端子です。

注意 シリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、図13-3 シリアル動作モード・レジスタ0のフォーマット、図14-3 シリアル動作モード・レジスタ1のフォーマットを参照してください。

2.2.4 P30-P37 (Port3)

8ビットの入出力ポートです。入出力ポートのほかにタイマの入出力、クロック出力、ブザー出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ (PUO) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力、クロック出力、ブザー出力として機能します。

(a) TI1, TI2

8ビット・タイマ／イベント・カウンタへの外部カウント・クロック入力端子です。

(b) T00-T02

タイマ出力端子です。

(c) PCL

クロック出力端子です。

(d) BUZ

ブザー出力端子です。

2.2.5 P40-P47 (Port4)

8ビットの入出力ポートです。入出力ポートのほかにアドレス／データ・バス機能があります。

立ち下がりエッジの検出により、テスト入力フラグ (KRIF) を1にセットできます。

8ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。メモリ拡張モード・レジスタ (MM) により、8ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ (PUO) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部メモリ拡張モード時の下位アドレス／データ・バス端子 (AD0-AD7) として機能します。アドレス／データ・バスとして使用した端子は、内蔵プルアップ抵抗が自動的に使用されなくなります。

2.2.6 P50-P57 (Port5)

8ビットの入出力ポートです。入出力ポートのほかにアドレス・バス機能があります。

LEDを直接駆動可能です。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ5 (PM5) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ (PUO) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部メモリ拡張モード時の上位アドレス・バス端子 (A8-A15) として機能します。アドレス・バスとして使用した端子は、内蔵プルアップ抵抗が自動的に使用されなくなります。

2.2.7 P60-P67 (Port6)

8ビットの入出力ポートです。入出力ポートのほかに外部メモリ拡張モード時の制御機能があります。

P60-P63はLEDを直接駆動可能です。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ6 (PM6) により、1ビット単位で入力ポートまたは出力ポートに指定できます。

P60-P63はN-chオープン・ドレインになっています。マスク・オプションにより、プルアップ抵抗の内蔵ができます。

P64-P67を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ (PUO) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部メモリ拡張モード時の制御信号出力端子 ($\overline{RD}$, $\overline{WR}$, $\overline{WAIT}$, ASTB) として機能します。制御信号出力として使用した端子は、内蔵プルアップ抵抗が自動的に使用されなくなります。

注意 外部メモリ拡張モード時で外部ウエイトを使用しないときは、P66を入出力ポートとして使用できます。

2.2.8 AVREF

A/Dコンバータの基準電圧入力端子です。

A/Dコンバータを使用しない場合はV_{SS}に接続してください。

2.2.9 AV_{DD}

A/Dコンバータのアナログ電源端子およびポート部の電源端子です。

A/Dコンバータを使用しないときでも、常にV_{DD}端子と同電位で使用してください。

2.2.10 AV_{SS}

A/Dコンバータのグランド電位端子およびポート部のグランド電位端子です。

A/Dコンバータを使用しないときでも、常にV_{SS}端子と同電位で使用してください。

2.2.11 RESET

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2.2.12 X1, X2

メイン・システム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、X1に入力し、X2にその反転信号を入力してください。

2.2.13 XT1, XT2

サブシステム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、XT1に入力し、XT2にその反転信号を入力してください。

2.2.14 V_{DD}

正電源供給端子です（ポート部を除く）。

2.2.15 V_{SS}

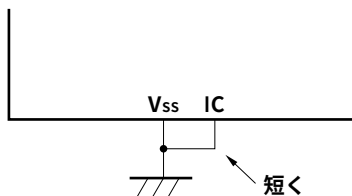
グランド電位端子です（ポート部を除く）。

2.2.16 IC

IC（Internally Connected）端子は、当社出荷時にμPD78011H, 78012H, 78013H, 78014Hを検査するテスト・モードに設定するための端子です。通常動作モード時には、IC端子をV_{SS}端子に直接接続し、その配線長を極力短くしてください。

IC端子とV_{SS}端子間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などでIC端子とV_{SS}端子間に電位差が生じたときは、お客様のプログラムが正常に動作しないことがあります。

○IC端子をV_{SS}端子に直接接続してください



2.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表2-1に示します。

また、各タイプの入出力回路の構成は、図2-1を参照してください。

表2-1 各端子の入出力回路タイプ (1/2)

端 子 名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/INTP0/TI0	2	入 力	V _{SS} に接続してください。
P01/INTP1	8-D	入出力	個別に抵抗を介して、V _{SS} に接続してください。
P02/INTP2			
P03/INTP3			
P04/XT1	16	入 力	V _{DD} に接続してください。
P10/ANI0-P17/ANI7	11-C	入出力	個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P20/SI1	8-D		
P21/SO1	5-J		
P22/SCK1	8-D		
P23/STB	5-J		
P24/BUSY	8-D		
P25/SI0/SB0	10-C		
P26/SO0/SB1			
P27/SCK0			
P30/TO0	5-J		
P31/TO1			
P32/TO2			
P33/TI1	8-D		
P34/TI2			
P35/PCL	5-J		
P36/BUZ			
P37			
P40/AD0-P47/AD7	5-O	入出力	個別に抵抗を介して、V _{DD} に接続してください。
P50/A8-P57/A15	5-J	入出力	個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P60-P63	13-I	入出力	個別に抵抗を介して、V _{DD} に接続してください。
P64/ $\overline{\text{RD}}$	15-J		個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P65/ $\overline{\text{WR}}$			
P66/ $\overline{\text{WAIT}}$			
P67/ASTB			

表 2－1 各端子の入出力回路タイプ (2/2)

端 子 名	入出力回路タイプ	入出力	未使用時の推奨接続方法
RESET	2	入 力	－
XT2	16	－	オープンにしてください。
AVREF	－		VSSに接続してください。
AVDD			VDDと同電位の別の電源に接続してください。
AVSS			VSSと同電位の別のグラウンドに接続してください。
IC			VSSに直接接続してください。

図2-1 端子の入出力回路一覧 (1/2)

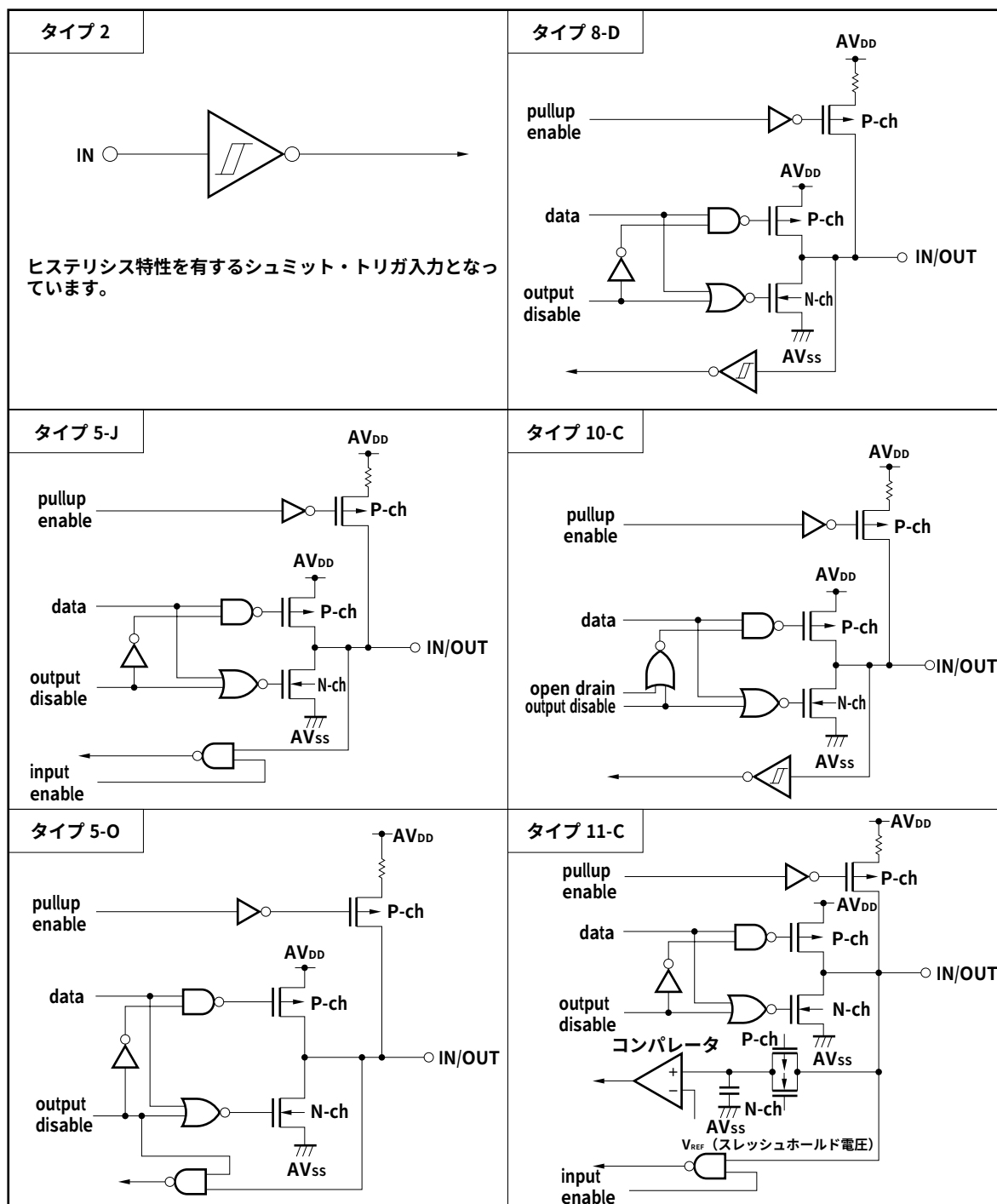
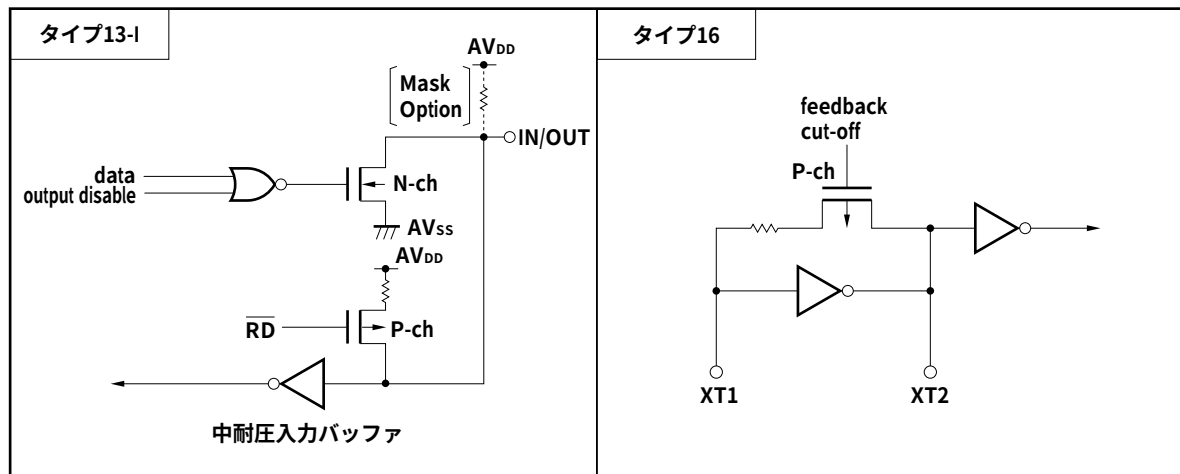


図2-1 端子の入出力回路一覧 (2/2)



(× 毛)

第3章 CPUアーキテクチャ

3.1 メモリ空間

μPD78014Hサブシリーズの各製品は、それぞれ64 Kバイトのメモリ空間をアクセスできます。図3-1から図3-4に、メモリ・マップを示します。

図3-1 メモリ・マップ (μPD78011H)

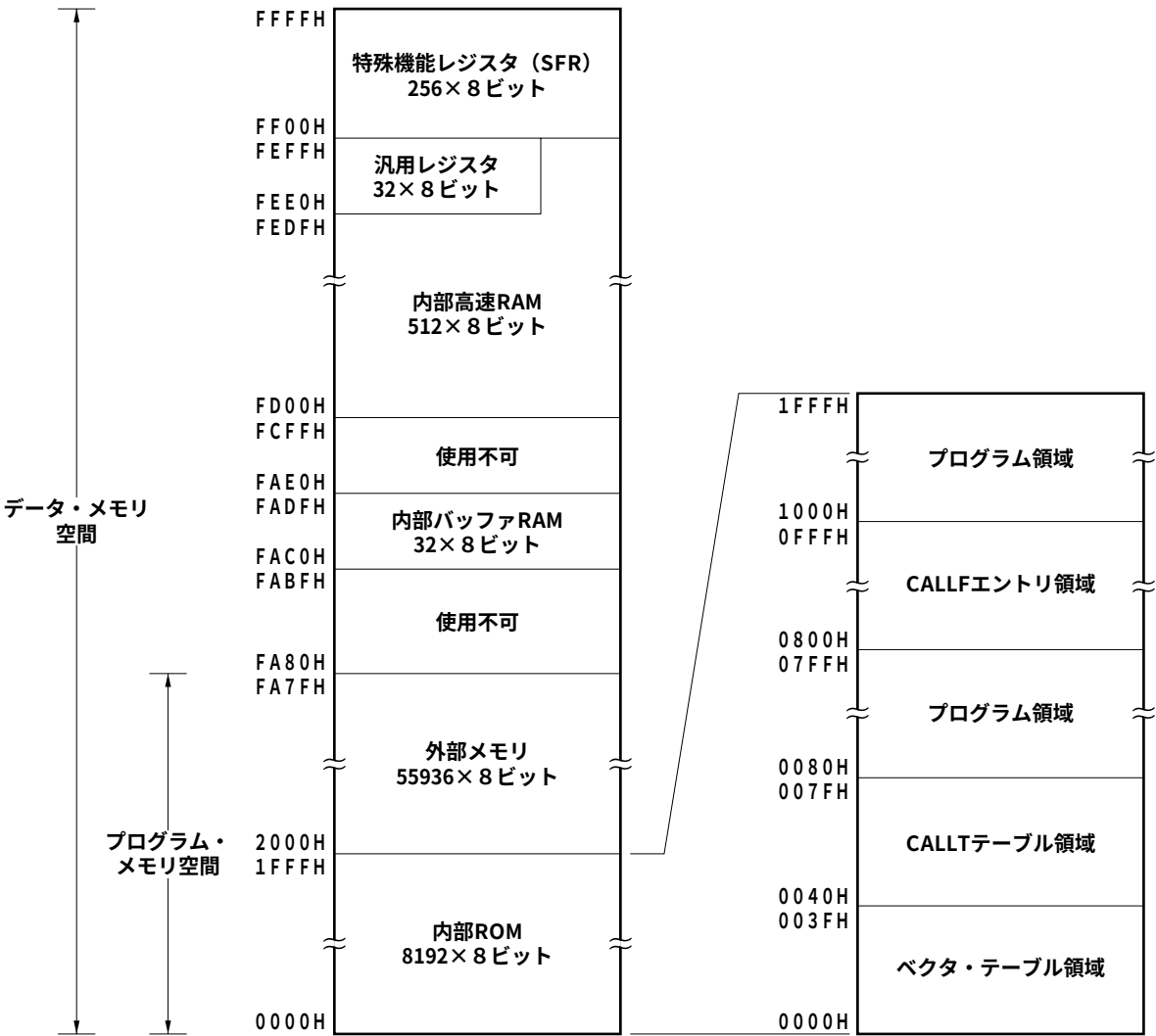


図3-2 メモリ・マップ (μPD78012H)

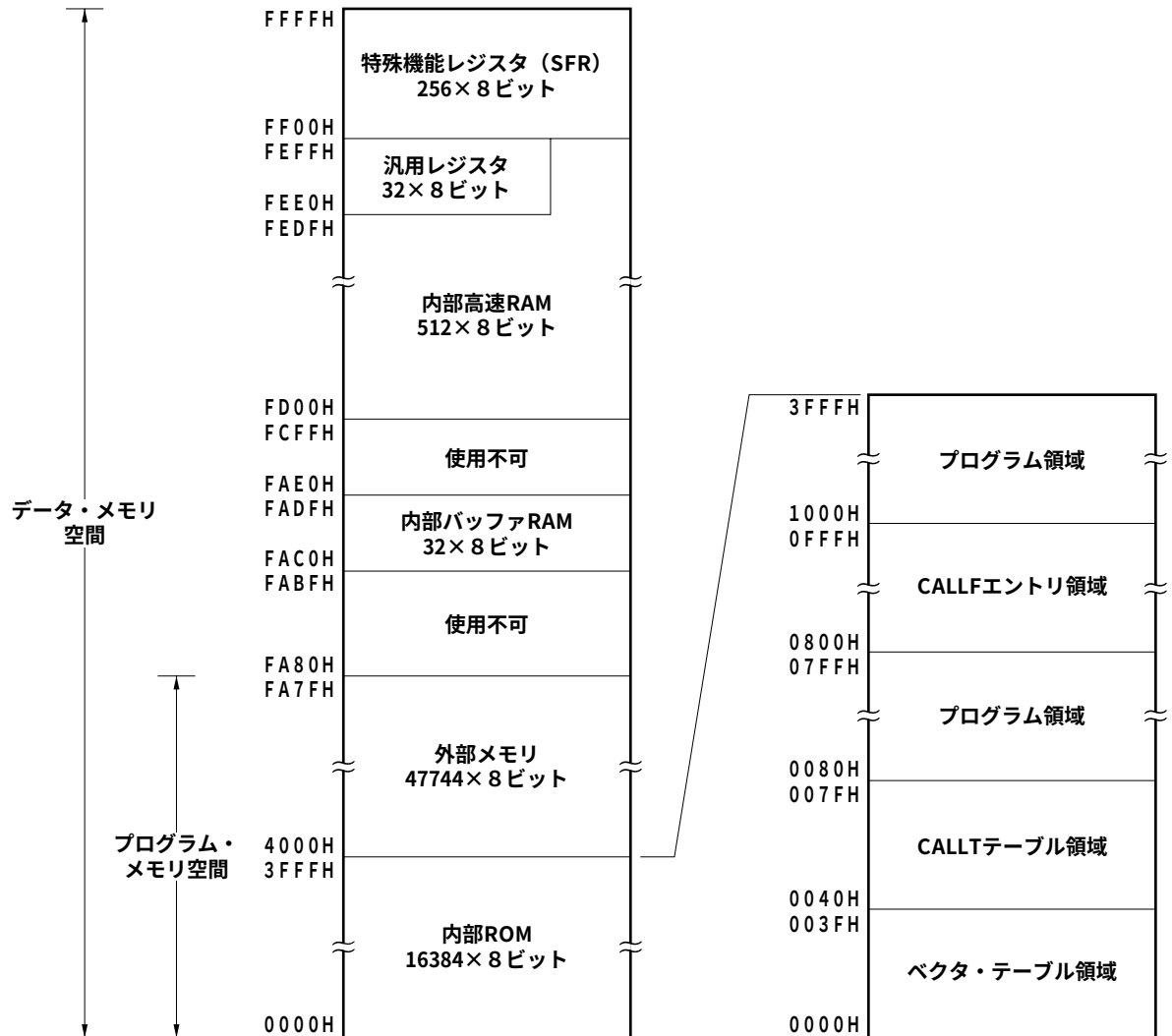


図3-3 メモリ・マップ (μPD78013H)

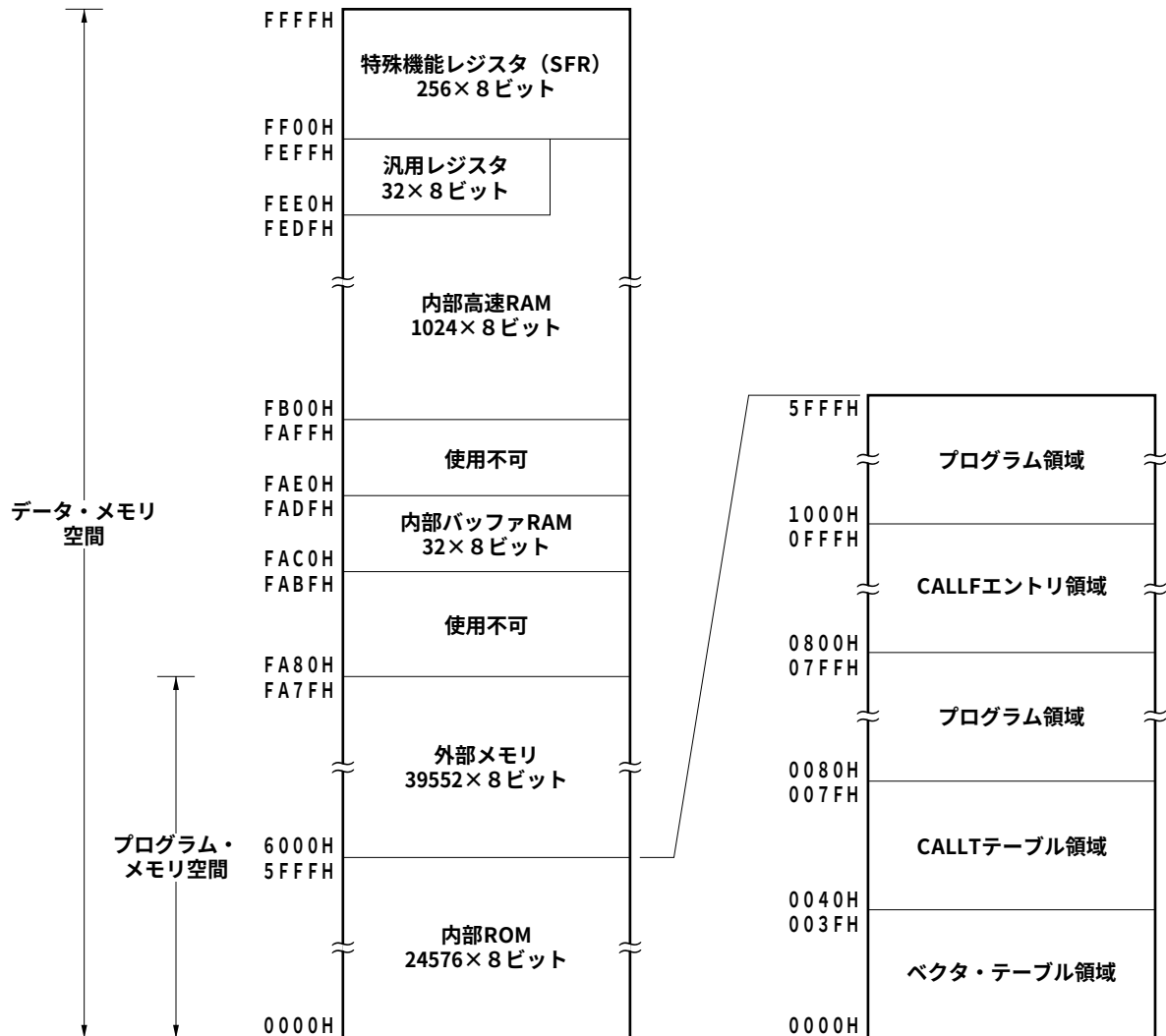
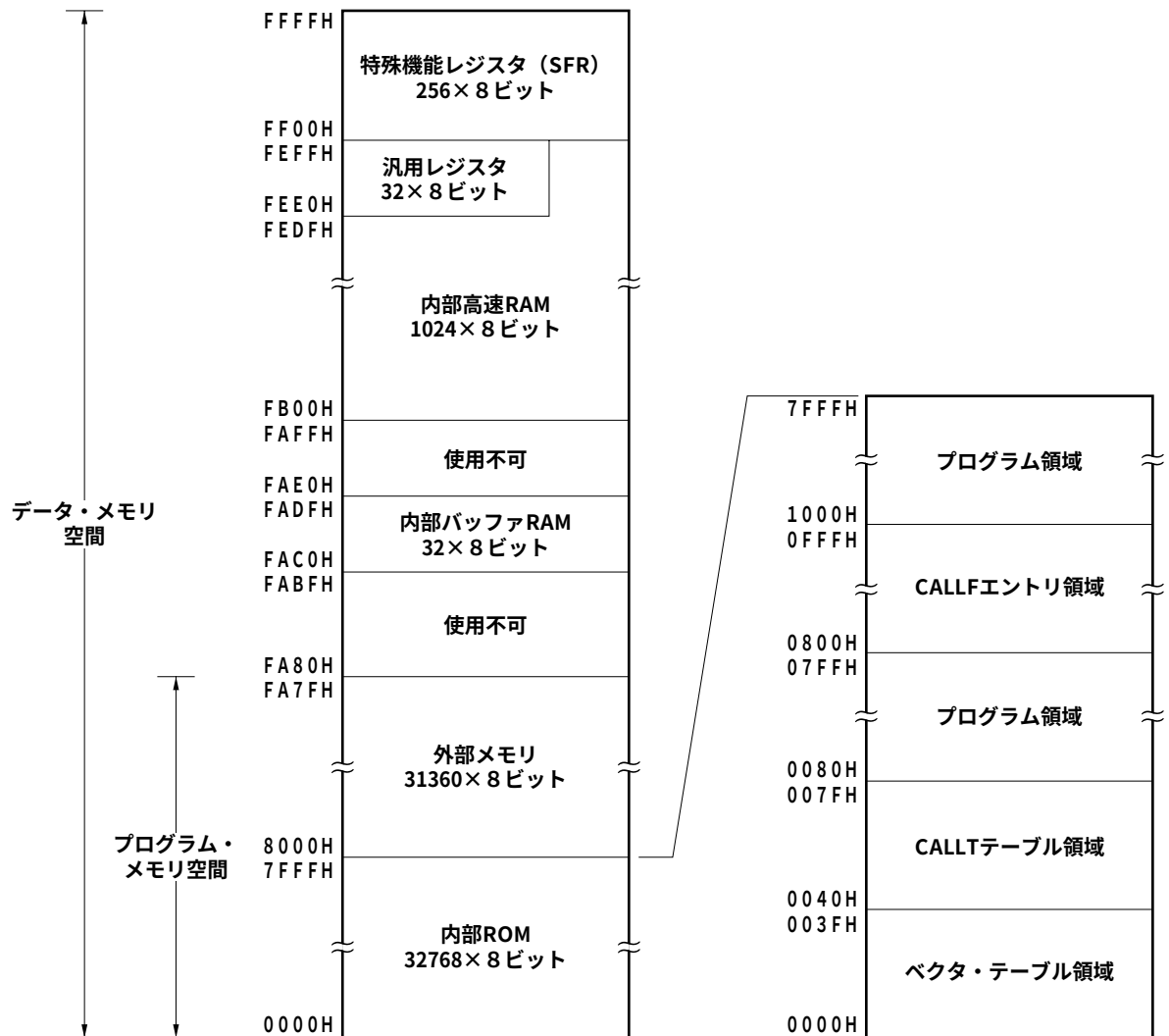


図3-4 メモリ・マップ (μPD78014H)



3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

μPD78014Hサブシリーズは、各製品ごとに次に示す内部ROMを内蔵しています。

表3-1 内部ROM容量

製 品	内部ROM	
	構 造	容 量
μPD78011H	マスクROM	8192×8ビット (0000H-1FFFH)
μPD78012H		16384×8ビット (0000H-3FFFH)
μPD78013H		24576×8ビット (0000H-5FFFH)
μPD78014H		32768×8ビット (0000H-7FFFH)

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、RESET入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうちの下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	ベクタ・テーブル・アドレス	割り込み要因
0 0 0 0 H	RESET入力	0 0 1 0 H	INTCSI1
0 0 0 4 H	INTWDT	0 0 1 2 H	INTTM3
0 0 0 6 H	INTP0	0 0 1 4 H	INTTM0
0 0 0 8 H	INTP1	0 0 1 6 H	INTTM1
0 0 0 A H	INTP2	0 0 1 8 H	INTTM2
0 0 0 C H	INTP3	0 0 1 A H	INTAD
0 0 0 E H	INTCSI0	0 0 3 E H	BRK命令

(2) CALLT命令テーブル領域

0040H-007FHの64バイト領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納できます。

(3) CALLF命令エントリ領域

0800H-0FFFHの領域は、2バイト・コール命令（CALLF）で直接サブルーチン・コールできます。

3.1.2 内部データ・メモリ空間

μPD78014Hサブシリーズは、次に示すRAMを内蔵しています。

(1) 内部高速RAM

μPD78014Hサブシリーズは、次に示す内部高速RAMを内蔵しています。

表3-3 内部高速RAM容量

製 品	内部高速RAM
μPD78011H	512×8ビット (FD00H-FEFFFH)
μPD78012H	
μPD78013H	1024×8ビット (FB00H-FEFFFH)
μPD78014H	

このうちFEE0H-FEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられています。

また、内部高速RAMはスタック・メモリ領域としても使用できます。

(2) 内部バッファRAM

FAC0H-FADFHの32バイトの領域には、内部バッファRAMが割り付けられています。内部バッファRAMは、シリアル・インタフェース・チャンネル1（自動送受信機能付き3線式シリアルI/Oモード）の送信／受信データを格納するために使用します。自動送受信機能付き3線式シリアルI/Oモードで使用しない場合は、内部バッファRAMは通常のRAMとしても使用できます。

3.1.3 特殊機能レジスタ（SFR：Special Function Register）領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（表3-5参照）。

注意 SFRを割り付けていないアドレスをアクセスしないでください。

3.1.4 外部メモリ空間

メモリ拡張モード・レジスタ（MM）の設定によりアクセスが可能な外部メモリ空間です。プログラム、テーブル・データなどの格納、および周辺デバイスを割り付けることができます。

3.2 プロセッサ・レジスタ

μPD78014Hサブシリーズは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

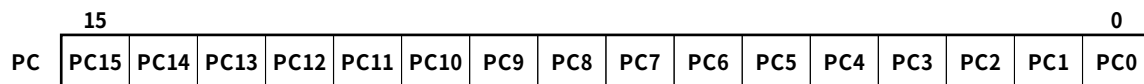
（1）プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエート・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3－5 プログラム・カウンタの構成



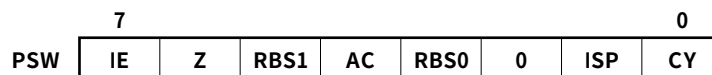
（2）プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETB, RETI命令およびPOP PSW命令の実行時に自動的に復帰されます。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図3－6 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、ノンマスカブル割り込み以外の割り込み要求はすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このとき割り込み要求の受け付けは、インサースervice・プライオリティ・フラグ (ISP) , 各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込み要求の受け付けでリセット (0) され、EI命令の実行によりセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

(e) インサースervice・プライオリティ・フラグ (ISP)

受け付け可能なマスカブル・ベクタ割り込みの優先順位を管理するフラグです。

ISP = 0のときは優先順位指定フラグ・レジスタ (PROL, PROH) (15.3 (3) 優先順位指定フラグ・レジスタ (PROL, PROH) 参照) で低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

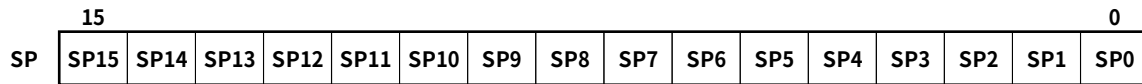
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域 (μPD78011H, 78012HではFD00H-FEFFFH, μPD78013H, 78014HではFB00H-FEFFFH) のみ設定可能です。

図3-7 スタック・ポインタの構成



スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

各スタック動作によって退避／復帰されるデータは図3-8，図3-9のようになります。

注意 SPの内容はRESET入力により、不定になりますので、必ず命令実行前にイニシャライズしてください。

図3-8 スタック・メモリへ退避されるデータ

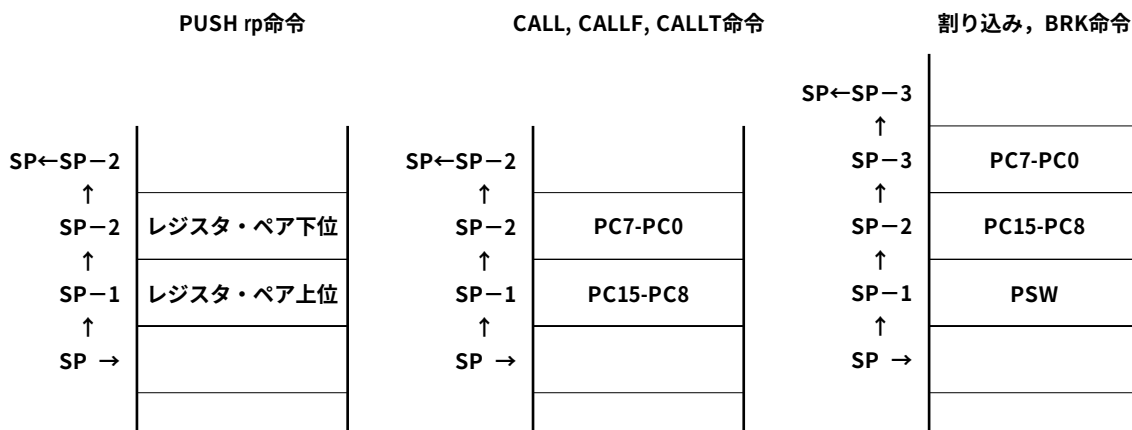
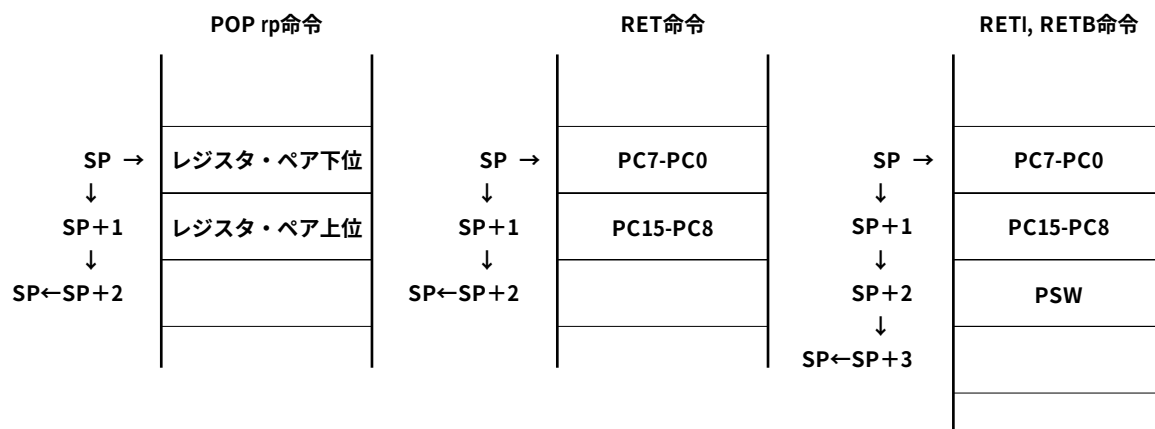


図3-9 スタック・メモリから復帰されるデータ



3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地（FEE0H-FEFFH）にマッピングされており、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）を1バンクとして4バンクのレジスタで構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）でも記述できます。

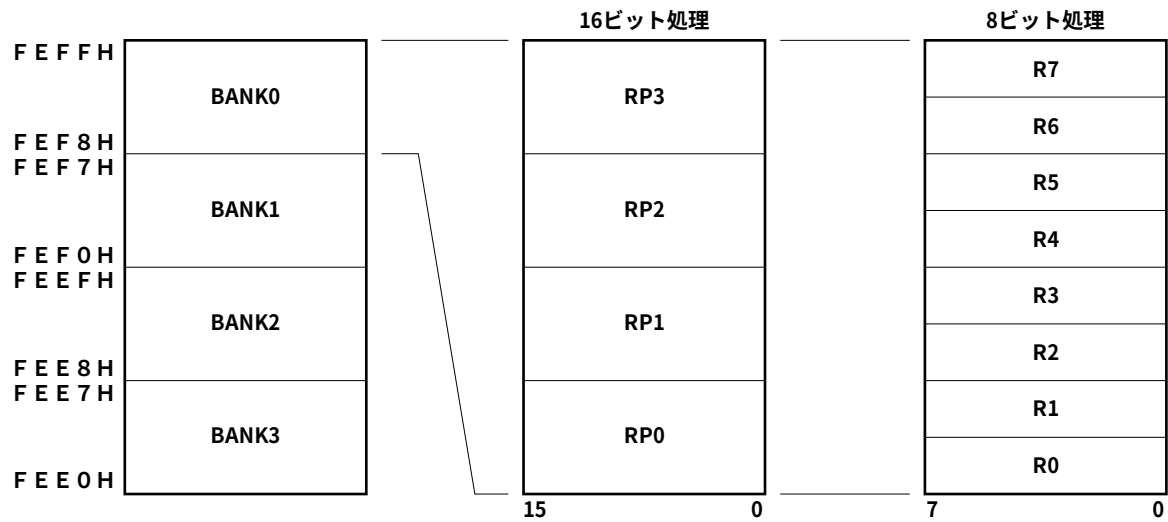
命令実行時に使用するレジスタ・バンクは、CPU制御命令（SEL RBn）によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み要求時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

表3-4 汎用レジスタの絶対アドレス対照表

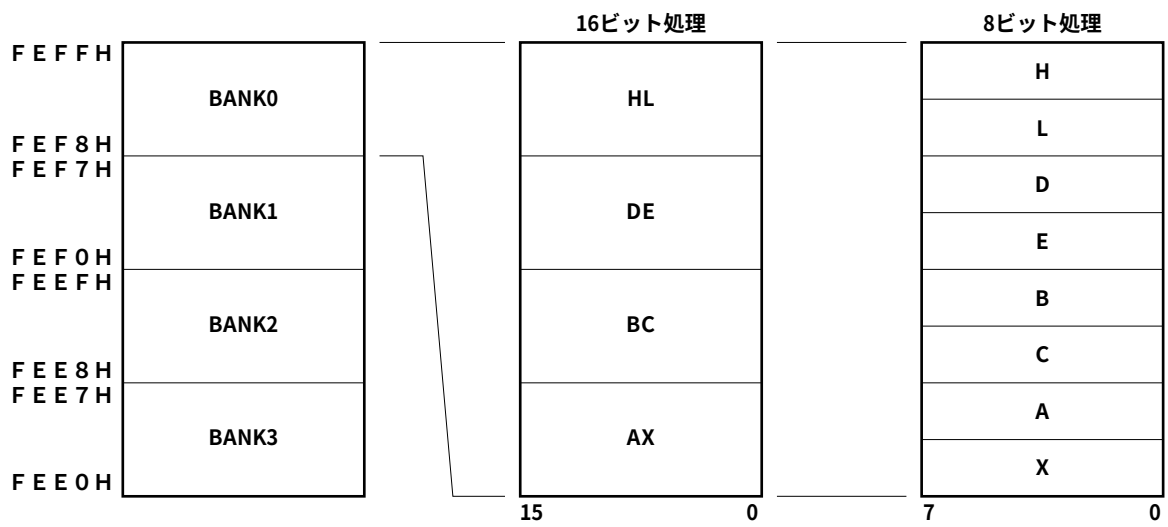
バンク名	レジスタ		絶対アドレス	バンク名	レジスタ		絶対アドレス
	機能名称	絶対名称			機能名称	絶対名称	
BANK0	H	R7	F E F F H	BANK2	H	R7	F E E F H
	L	R6	F E F E H		L	R6	F E E E H
	D	R5	F E F D H		D	R5	F E E D H
	E	R4	F E F C H		E	R4	F E E C H
	B	R3	F E F B H		B	R3	F E E B H
	C	R2	F E F A H		C	R2	F E E A H
	A	R1	F E F 9 H		A	R1	F E E 9 H
	X	R0	F E F 8 H		X	R0	F E E 8 H
BANK1	H	R7	F E F 7 H	BANK3	H	R7	F E E 7 H
	L	R6	F E F 6 H		L	R6	F E E 6 H
	D	R5	F E F 5 H		D	R5	F E E 5 H
	E	R4	F E F 4 H		E	R4	F E E 4 H
	B	R3	F E F 3 H		B	R3	F E E 3 H
	C	R2	F E F 2 H		C	R2	F E E 2 H
	A	R1	F E F 1 H		A	R1	F E E 1 H
	X	R0	F E F 0 H		X	R0	F E E 0 H

図3-10 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



3.2.3 特殊機能レジスタ（SFR：Special Function Register）

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFH の領域に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位（1，8，16）は、各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

- ・ 1ビット操作

1ビット操作命令のオペランド（sfr. bit）にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ 8ビット操作

8ビット操作命令のオペランド（sfr）にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ 16ビット操作

16ビット操作命令のオペランド（sfrp）にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3－5に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- ・ 略号

特殊機能レジスタのアドレスを示す略号です。

RA78K/0で予約語に、CC78K/0ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。RA78K/0，ID78K0，ID78K0-NSおよびSM78K0使用時に命令のオペランドとして記述できます。

- ・ R/W

該当する特殊機能レジスタが読み出し（Read）／書き込み（Write）可能かどうかを示します。

R/W：読み出し／書き込みがともに可能

R：読み出しのみ可能

W：書き込みのみ可能

- ・ 操作可能ビット単位

操作可能なビット単位（1，8，16）を“○”で示します。“－”は操作できないビット単位であることを示します。

- ・ リセット時

RESET入力時の各レジスタの状態を示します。

★

表3-5 特殊機能レジスタ一覧 (1/2)

アドレス	特殊機能レジスタ (SFR) 名称	略 号		R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
FF00H	ポート0	P0		R/W	○	○	—	00H
FF01H	ポート1	P1			○	○	—	
FF02H	ポート2	P2			○	○	—	
FF03H	ポート3	P3			○	○	—	
FF04H	ポート4	P4			○	○	—	不 定
FF05H	ポート5	P5			○	○	—	
FF06H	ポート6	P6			○	○	—	
FF10H FF11H	16ビット・コンペア・レジスタ	CR00			—	—	○	
FF12H FF13H	16ビット・キャプチャ・レジスタ	CR01		R	—	—	○	
FF14H FF15H	16ビット・タイマ・レジスタ	TM0			—	—	○	0000H
FF16H	8ビット・コンペア・レジスタ	CR10		R/W	—	○	—	不 定
FF17H	8ビット・コンペア・レジスタ	CR20			—	○	—	
FF18H	8ビット・タイマ・レジスタ1	TMS	TM1	R	—	○	○	00H
FF19H	8ビット・タイマ・レジスタ2		TM2		—	○		
FF1AH	シリアル/I/Oシフト・レジスタ0	SIO0		R/W	—	○	—	不 定
FF1BH	シリアル/I/Oシフト・レジスタ1	SIO1			—	○	—	
FF1FH	A/D変換結果レジスタ	ADCR		R	—	○	—	
FF20H	ポート・モード・レジスタ0	PM0		R/W	○	○	—	1FH
FF21H	ポート・モード・レジスタ1	PM1			○	○	—	FFH
FF22H	ポート・モード・レジスタ2	PM2			○	○	—	
FF23H	ポート・モード・レジスタ3	PM3			○	○	—	
FF25H	ポート・モード・レジスタ5	PM5			○	○	—	
FF26H	ポート・モード・レジスタ6	PM6			○	○	—	
FF40H	タイマ・クロック選択レジスタ0	TCL0			○	○	—	00H
FF41H	タイマ・クロック選択レジスタ1	TCL1			—	○	—	
FF42H	タイマ・クロック選択レジスタ2	TCL2			—	○	—	
FF43H	タイマ・クロック選択レジスタ3	TCL3			—	○	—	88H

表3-5 特殊機能レジスタ一覧 (2/2)

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット単位			リセット時	
					1ビット	8ビット	16ビット		
F F 4 7 H	サンプリング・クロック選択レジスタ	SCS		R/W	—	○	—	00H	
F F 4 8 H	16ビット・タイマ・モード・コントロール・レジスタ	TMC0			○	○	—		
F F 4 9 H	8ビット・タイマ・モード・コントロール・レジスタ	TMC1			○	○	—		
F F 4 A H	時計用タイマ・モード・コントロール・レジスタ	TMC2			○	○	—		
F F 4 E H	16ビット・タイマ出力コントロール・レジスタ	TOC0			○	○	—		
F F 4 F H	8ビット・タイマ出力コントロール・レジスタ	TOC1			○	○	—		
F F 6 0 H	シリアル動作モード・レジスタ0	CSIM0			○	○	—		
F F 6 1 H	シリアル・バス・インタフェース・コントロール・レジスタ	SBIC			○	○	—		
F F 6 2 H	スレーブ・アドレス・レジスタ	SVA			—	○	—	不 定	
F F 6 3 H	割り込みタイミング指定レジスタ	SINT			○	○	—	00H	
F F 6 8 H	シリアル動作モード・レジスタ1	CSIM1			○	○	—		
F F 6 9 H	自動データ送受信コントロール・レジスタ	ADTC			○	○	—		
F F 6 A H	自動データ送受信アドレス・ポインタ	ADTP			—	○	—		
F F 6 B H	自動送受信間隔指定レジスタ	ADTI			○	○	—		
F F 8 0 H	A/Dコンバータ・モード・レジスタ	ADM			○	○	—	01H	
F F 8 4 H	A/Dコンバータ入力選択レジスタ	ADIS			—	○	—	00H	
F F D 0 H F F D F H	外部アクセス領域 ^{注1}				○	○	—	不 定	
F F E 0 H	割り込み要求フラグ・レジスタ0L	IF0	IF0L	W	○	○	○	00H	
F F E 1 H	割り込み要求フラグ・レジスタ0H		IF0H		○	○			
F F E 4 H	割り込みマスク・フラグ・レジスタ0L	MK0	MK0L		○	○	○	FFH	
F F E 5 H	割り込みマスク・フラグ・レジスタ0H		MK0H		○	○			
F F E 8 H	優先順位指定フラグ・レジスタ0L	PR0	PR0L		○	○	○		
F F E 9 H	優先順位指定フラグ・レジスタ0H		PR0H		○	○			
F F E C H	外部割り込みモード・レジスタ	INTM0			—	○	—	00H	
F F F 0 H	メモリ・サイズ切り替えレジスタ	IMS			R/W	—	○	—	注2
F F F 6 H	キー・リターン・モード・レジスタ	KRM			R/W	○	○	—	02H
F F F 7 H	プルアップ抵抗オプション・レジスタ	PUO				○	○	—	00H
F F F 8 H	メモリ拡張モード・レジスタ	MM				○	○	—	10H
F F F 9 H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM				○	○	—	00H
F F F A H	発振安定時間選択レジスタ	OSTS				—	○	—	04H
F F F B H	プロセッサ・クロック・コントロール・レジスタ	PCC				○	○	—	

注1．外部アクセス領域は、SFRアドレッシングではアクセスできません。ダイレクト・アドレッシングでアクセスしてください。

2．リセット時の値は製品により異なります。

μPD78011H：42H，μPD78012H：44H，μPD78013H：C6H，μPD78014H：C8H

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は別冊の78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください）。

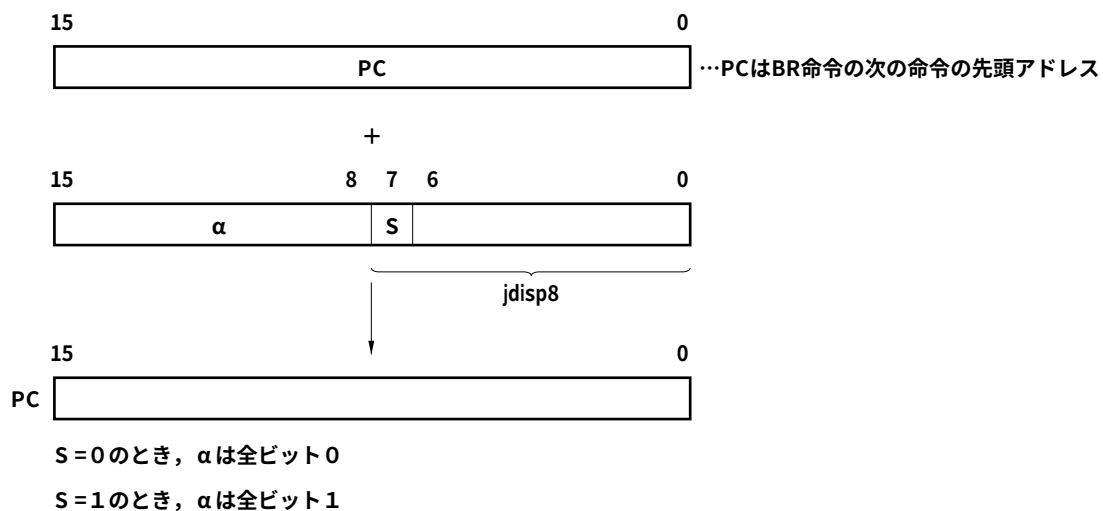
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエト・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは、次に続く命令の先頭アドレスから相対的に-128+127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



3.3.2 イミディエト・アドレッシング

【機能】

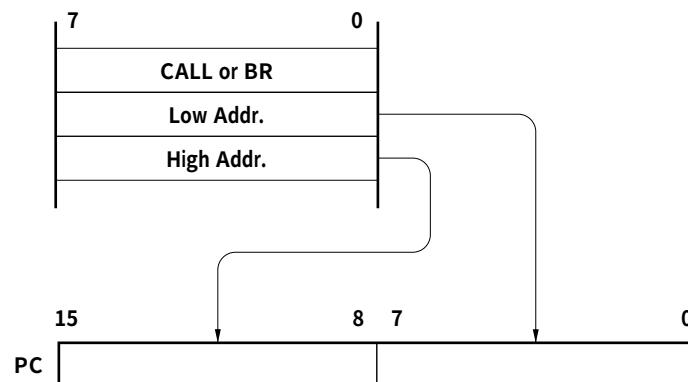
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL ! addr16, BR ! addr16, CALLF ! addr11命令を実行する際に行われます。

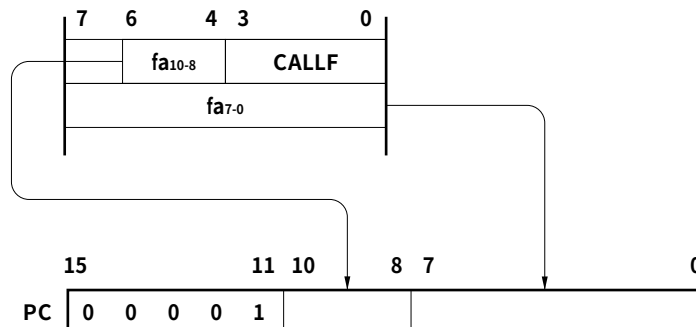
CALL ! addr16およびBR ! addr16命令は、全メモリ空間に分岐できます。CALLF ! addr11命令は、0800H-0FFFHの領域に分岐します。

【図解】

CALL ! addr16, BR ! addr16命令の場合



CALLF ! addr11命令の場合



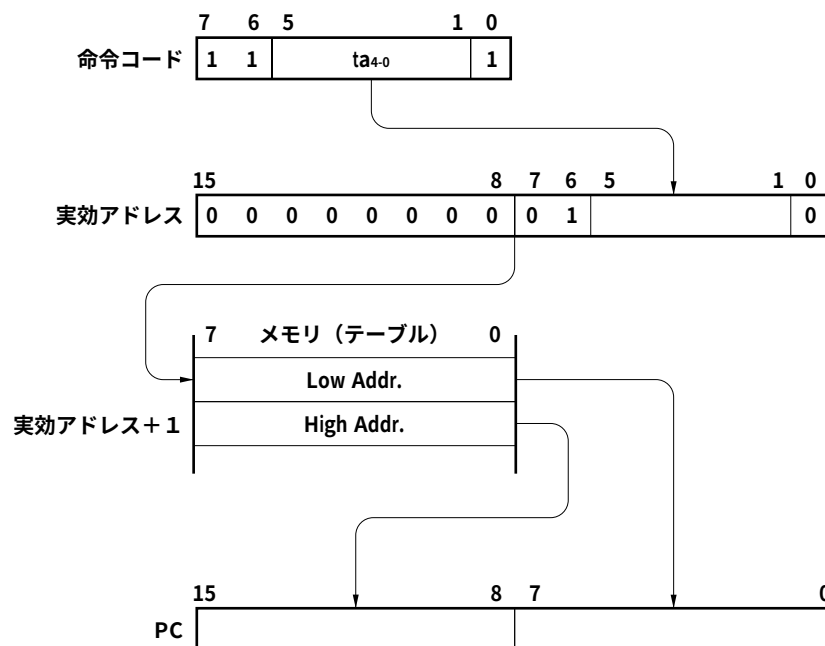
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエート・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H-7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



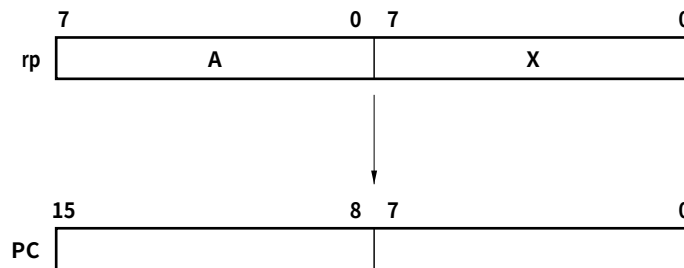
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

3.4.1 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定する方法をアドレッシングといいます。

次に実行する命令のアドレスはプログラム・カウンタ（PC）によりアドレスされます（詳細については、**3.3 命令アドレスのアドレッシング**を参照してください）。

一方、命令を実行する際に操作対象となるメモリのアドレッシングについて、 μ PD78014Hサブシリーズでは、その操作性などを考慮して豊富なアドレッシング・モードを備えています。特殊機能レジスタ（SFR）や汎用レジスタなど、それぞれの持つ機能に合わせて特有のアドレッシングが可能です。図3-11から図3-14にデータ・メモリのアドレッシングを示します。

図3-11 データ・メモリのアドレッシング（ μ PD78011H）

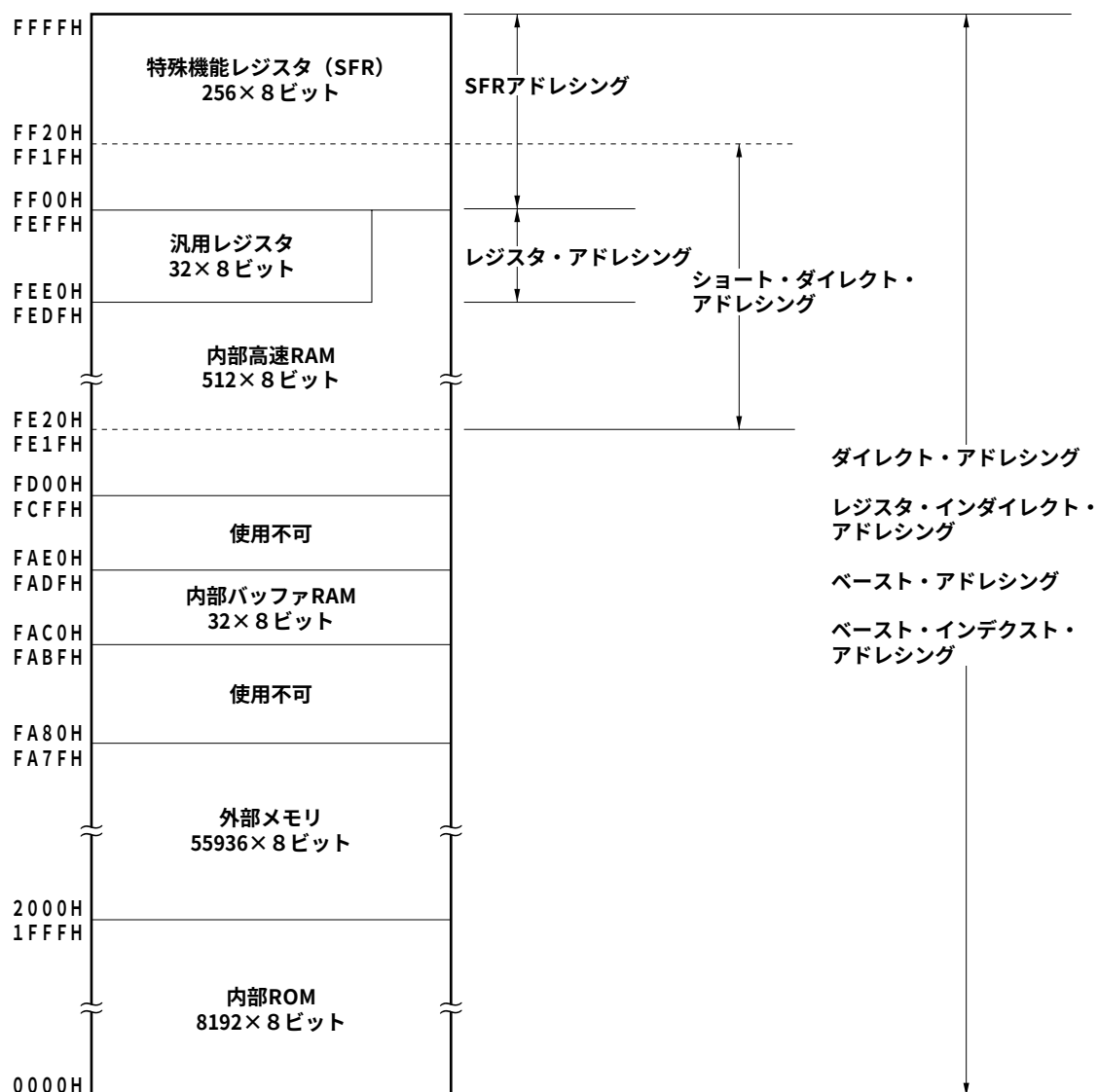


図3-12 データ・メモリのアドレッシング (μPD78012H)

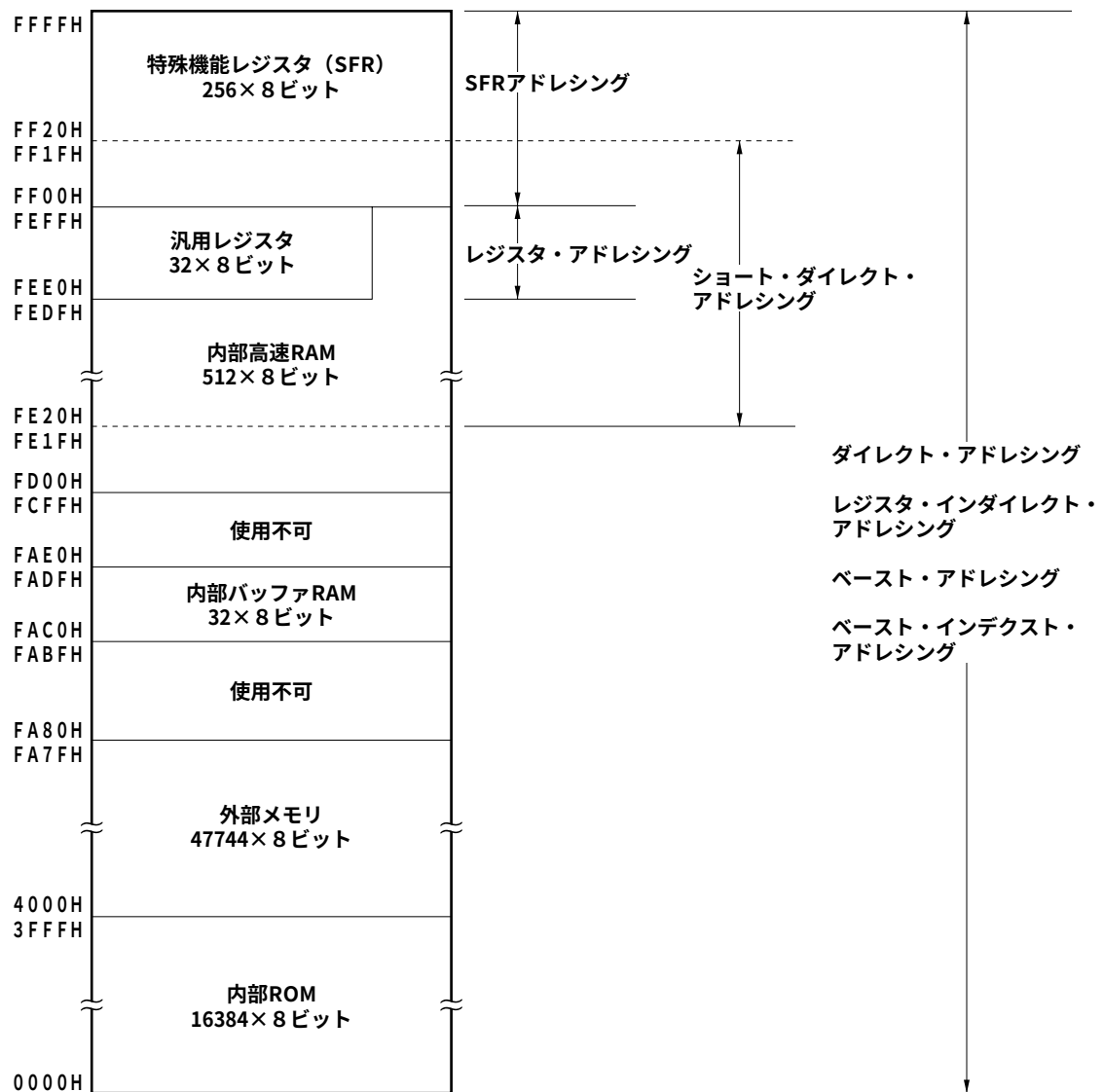


図3-13 データ・メモリのアドレッシング (μPD78013H)

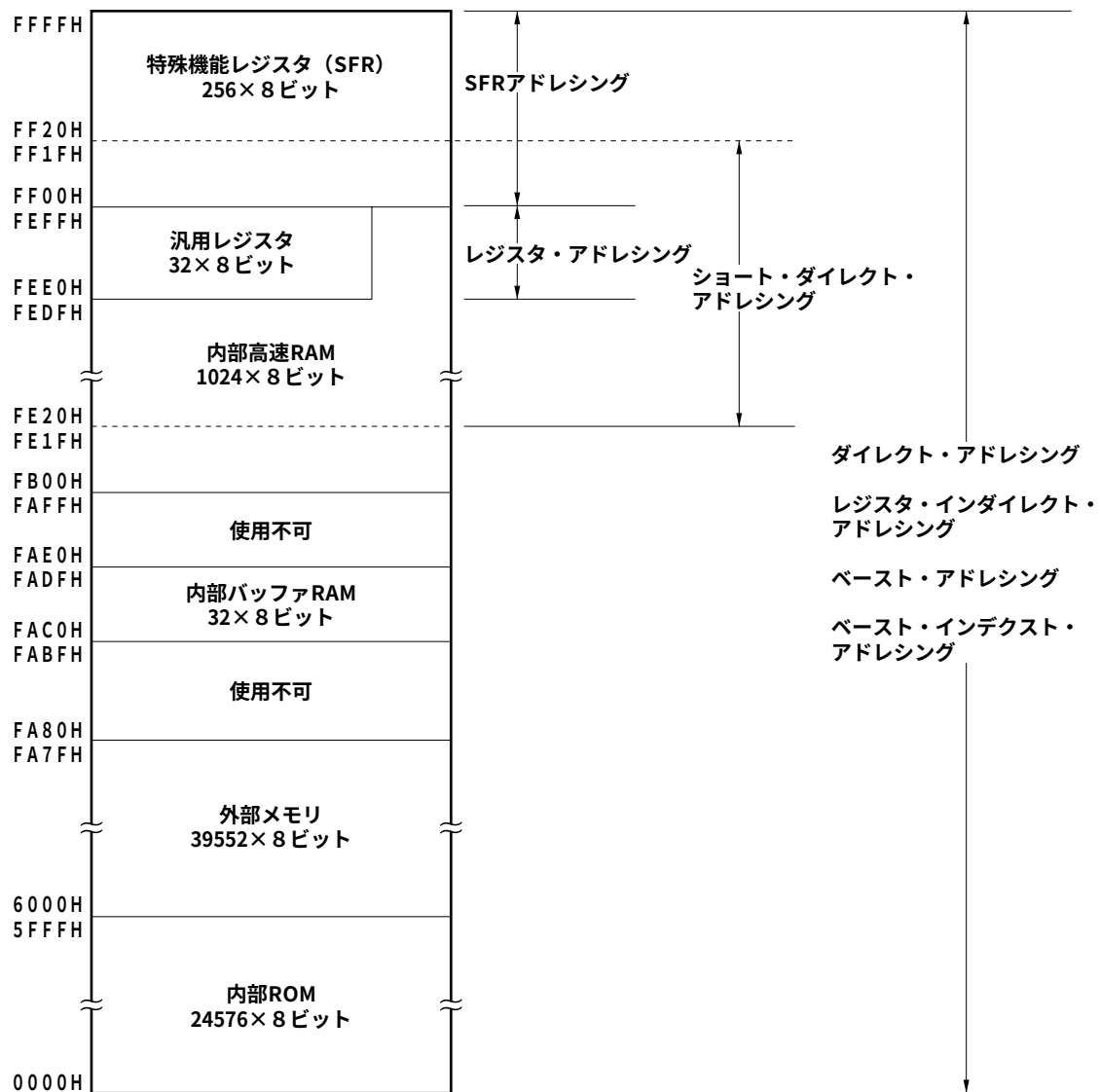
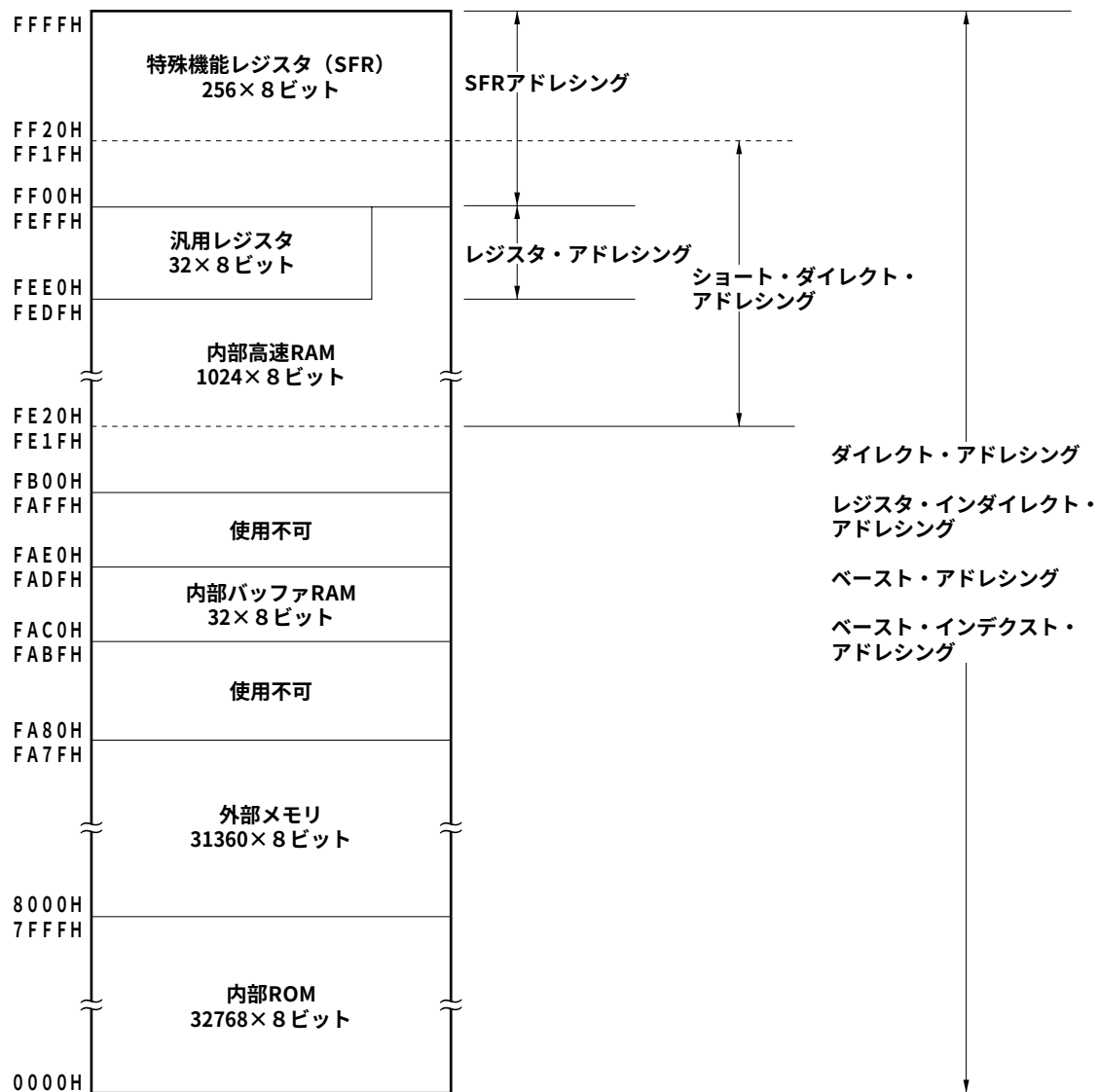


図3-14 データ・メモリのアドレッシング (μPD78014H)



3.4.2 インプライド・アドレッシング

【機能】

汎用レジスタの領域にあるアキュムレータ（A, AX）として機能するレジスタを自動的（暗黙的）にアドレスするアドレッシングです。

μPD78014Hサブシリーズの命令語中でインプライド・アドレッシングを使用する命令は次のとおりです。

命 令	インプライド・アドレッシングで指定されるレジスタ
MULU	被乗数としてAレジスタ，積が格納されるレジスタとしてAXレジスタ
DIVUW	被除数および商を格納するレジスタとしてAXレジスタ
ADJBA/ADJBS	10進補正の対象となる数値を格納するレジスタとしてAレジスタ
ROR4/ROL4	ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ

【オペランド形式】

命令によって自動的に使用できるため，特定のオペランド形式を持ちません。

【記 述 例】

MULU Xの場合

8ビット×8ビットの乗算命令において，AレジスタとXレジスタの積をAXに格納する。ここで，A，AXレジスタがインプライド・アドレッシングで指定されている。

3.4.3 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。アクセスされる汎用レジスタは、レジスタ・バンク選択フラグ（RBS0, RBS1）および、命令コード中のレジスタ指定コード（Rn, RPn）により指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

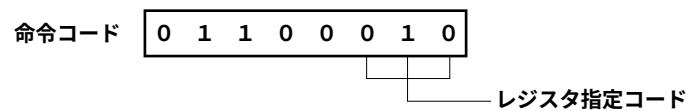
【オペランド形式】

表現形式	記 述 方 法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

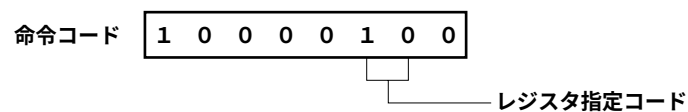
r, rpは、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほかに絶対名称（R0-R7, RP0-RP3）で記述できます。

【記 述 例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.4 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

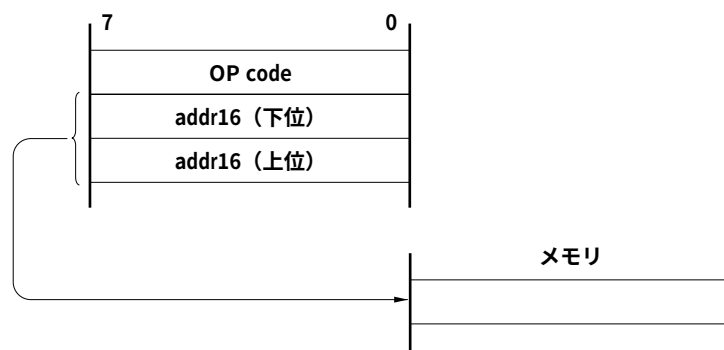
表現形式	記 述 方 法
addr16	レーベルまたは16ビット・イミディエト・データ

【記 述 例】

MOV A, ! FE00H ; ! addr16をFE00Hとする場合

命令コード	1 0 0 0 1 1 1 0	OPコード
	0 0 0 0 0 0 0 0	00H
	1 1 1 1 1 1 1 0	FEH

【図 解】



3.4.5 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部高速RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ／イベント・カウンタのコンペア・レジスタ、キャプチャ・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作できます。

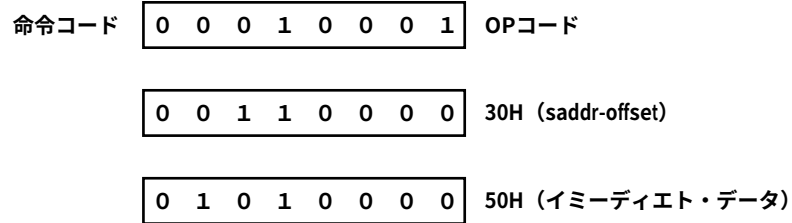
実効アドレスのビット8は、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。次頁の【図解】を参照してください。

【オペランド形式】

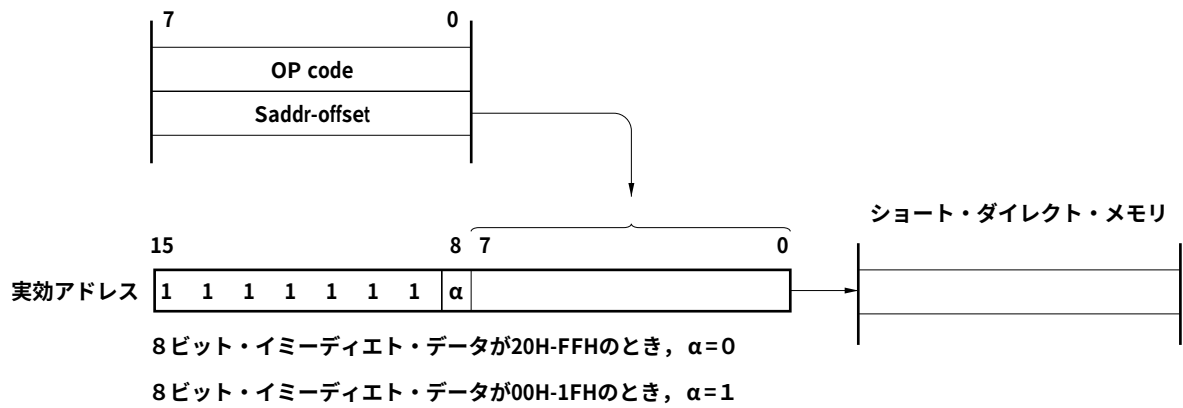
表現形式	記 述 方 法
saddr	レーベルまたはFE20H-FF1FH のイミディエト・データ
saddrp	レーベルまたはFE20H-FF1FH のイミディエト・データ（偶数アドレスのみ）

【記述例】

MOV FE30H, #50H ; saddrをFE30H, イミディエト・データを50Hとする場合



【図解】



3.4.6 特殊機能レジスタ（SFR）アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ（SFR）をアドレスするアドレッシングです。

このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし、FF00H-FF1FHにマッピングされているSFRは、ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

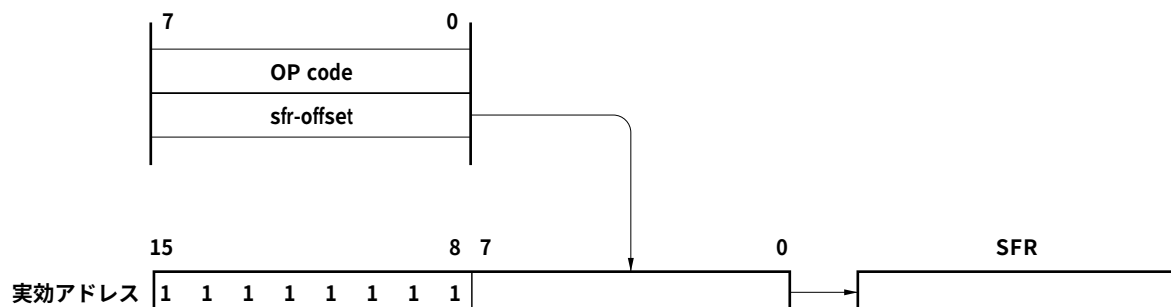
表現形式	記述方法
sfr	特殊機能レジスタ名
sfrp	16ビット操作可能な特殊機能レジスタ名（偶数アドレスのみ）

【記述例】

MOV PM0, A ; sfrにPM0（FF20H）を選択する場合

命令コード	1 1 1 1 0 1 1 0	OPコード
	0 0 1 0 0 0 0 0	20H (sfr-offset)

【図解】



3.4.7 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、レジスタ・バンク選択フラグ（RBS0, RBS1）および、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記 述 方 法
—	[DE] , [HL]

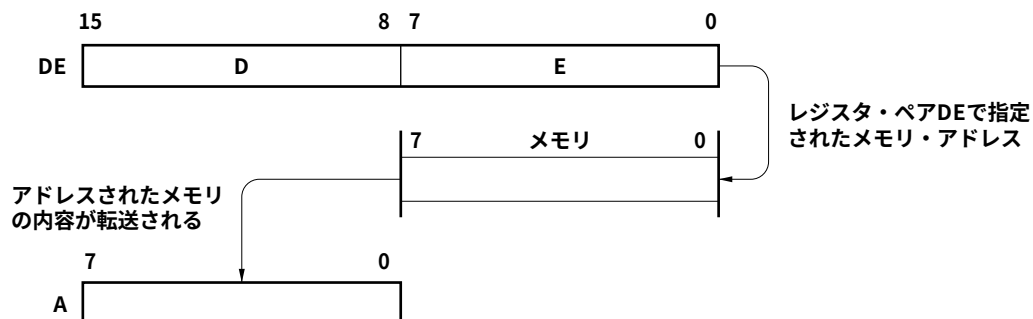
【記 述 例】

MOV A, [DE] ; レジスタ・ペアに [DE] を選択する場合

命令コード

1	0	0	0	0	1	0	1
---	---	---	---	---	---	---	---

【図 解】



3.4.8 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHLレジスタ・ペアは、レジスタ・バンク選択フラグ（RBS0，RBS1）で指定されるレジスタ・バンク中のものです。オフセット・データを正の数として16ビットに拡張して加算します。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記 述 方 法
—	[HL+byte]

【記 述 例】

MOV A, [HL+10H] ; byteを10Hとする場合

命令コード

1	0	1	0	1	1	1	0
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

3.4.9 ベース・インデクスト・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHL, B, Cレジスタは、レジスタ・バンク選択フラグ（RBS0, RBS1）で指定されるレジスタ・バンク中のレジスタです。BレジスタまたはCレジスタの内容を正の数として16ビットに拡張して加算します。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
—	[HL+B] , [HL+C]

【記述例】

MOV A, [HL+B] の場合

命令コード

1	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

3.4.10 スタック・アドレッシング

【機能】

スタック・ポインタ（SP）の内容により、スタック領域を間接的にアドレスするアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。
スタック・アドレッシングは、内部高速RAM領域のみアクセスができます。

【記述例】

PUSH DEの場合

命令コード

1	0	1	1	0	1	0	1
---	---	---	---	---	---	---	---

(× 毛)

第4章 ポート機能

4.1 ポートの機能

μPD78014Hサブシリーズは、2本の入力ポートと51本の入出力ポートを内蔵しています。図4-1にポートの種類を示します。いずれのポートも1ビット操作、8ビット操作が可能で、きわめて多様な制御が行えます。また、ポートとしての機能のほかに、内蔵ハードウェアの入出力端子としての機能などを持っています。

図4-1 ポートの種類

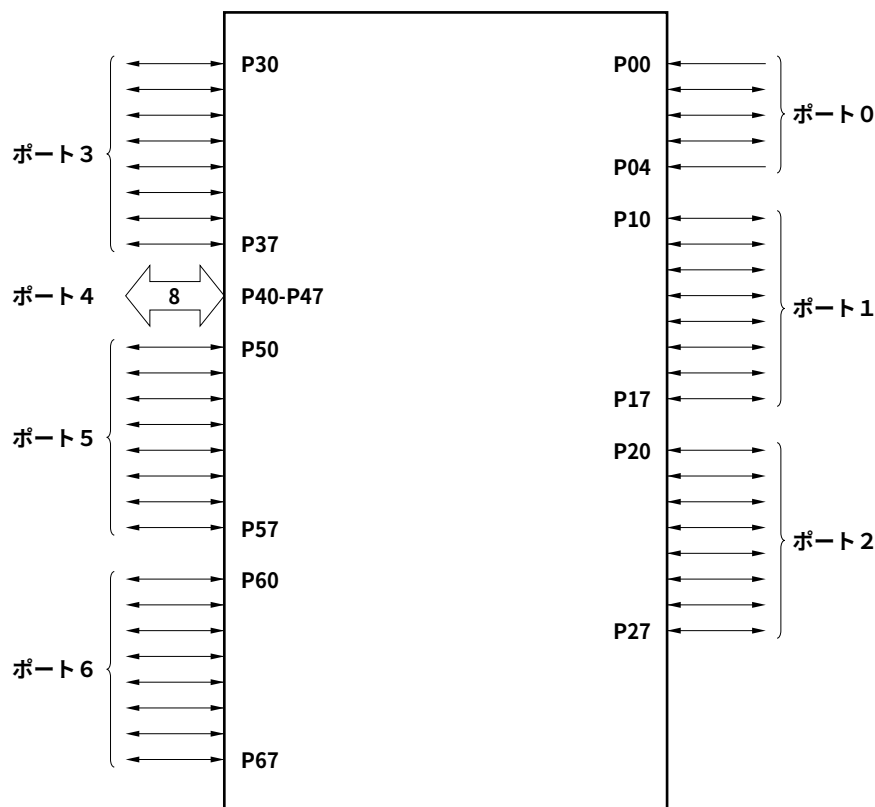


表4-1 ポートの機能 (1/2)

端子名称		機 能		兼用端子
ポート0	P00	5ビット入出力ポート。	入力専用。	INTP0/TI0
	P01		1ビット単位で入力／出力の指定可能。	INTP1
	P02		入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	INTP2
	P03			INTP3
	P04		入力専用。	XT1
ポート1	P10-P17	8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		ANI0-ANI7
ポート2	P20	8ビット入出力ポート。		SI1
	P21	1ビット単位で入力／出力の指定可能。		SO1
	P22	入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		SCK1
	P23			STB
	P24			BUSY
	P25			SI0/SB0
	P26			SO0/SB1
	P27			SCK0
ポート3	P30	8ビット入出力ポート。		TO0
	P31	1ビット単位で入力／出力の指定可能。		TO1
	P32	入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		TO2
	P33			TI1
	P34			TI2
	P35			PCL
	P36			BUZ
	P37			—
ポート4	P40-P47	8ビット入出力ポート。 8ビット単位で入力／出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 立ち下がりエッジの検出により、テスト入力フラグ (KRIF) を1にセット。		AD0-AD7

表4-1 ポートの機能 (2/2)

端子名称		機能		兼用端子
ポート5	P50-P57	8ビット入出力ポート。 LEDを直接駆動可能。 1ビット単位で入力／出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		A8-A15
ポート6	P60	8ビット入出力ポート。	N-chオープン・ドレイン入出力ポート。	—
	P61	1ビット単位で入力／出力の指定可能。	マスク・オプションによりプルアップ抵抗の内蔵を指定可能。	
	P62		LEDを直接駆動可能。	
	P63			
	P64		入力ポートとして使用する場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。	$\overline{\text{RD}}$
	P65			$\overline{\text{WR}}$
	P66			$\overline{\text{WAIT}}$
	P67			ASTB

注意 ポートと兼用機能を持った端子（2.1（1）ポート端子参照）については、A/D変換動作中は次の操作をしないでください。A/D変換時の総合誤差の規格が守れなくなります。

- ① ポートとして使用している場合、その出力ラッチを書き換えること
- ② ポートとして使用していない場合でも、出力として使用している端子の出力レベルを変更すること

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-2 ポートの構成

項 目		構 成
制御レジスタ		ポート・モード・レジスタ (PMm : m = 0, 1, 2, 3, 5, 6) プルアップ抵抗オプション・レジスタ (PUO) メモリ拡張モード・レジスタ (MM) 注 キー・リターン・モード・レジスタ (KRM)
ポ ー ト	合計	53本
	入力	2本
	入出力	51本
抵 プ ル ア ッ プ 抗 ブ	合計	51本
	ソフトウェア制御	47本
	マスク・オプション制御	4本

注 メモリ拡張モード・レジスタ (MM) は、ポート4の入力／出力を指定します。

4.2.1 ポート0

出力ラッチ付き5ビット入出力ポートです。P01-P03端子は、ポート・モード・レジスタ0（PM0）により、1ビット単位で入力モード／出力モードの指定ができます。P00，P04端子は、入力専用ポートです。P01-P03端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ（PUO）により、3ビット単位で内蔵プルアップ抵抗を使用できます。

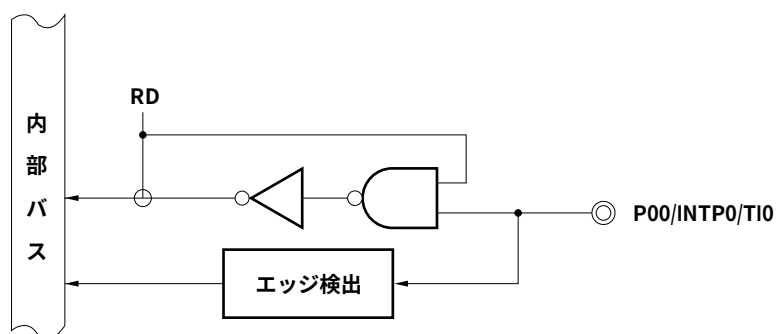
また、兼用機能として外部割り込み要求入力、タイマへの外部カウント・クロック入力、サブシステム・クロック発振用クリスタル接続があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-2から図4-4にポート0のブロック図を示します。

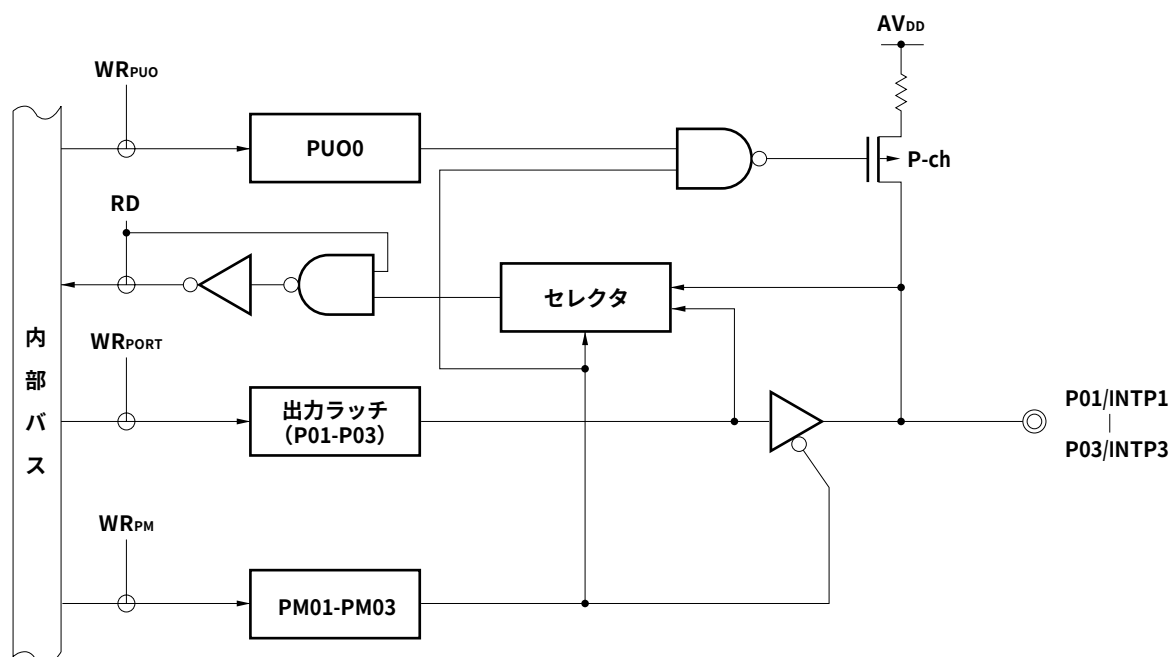
注意 ポート0は外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされます。したがって、出力モードを使用するとき、割り込みマスク・フラグに1を設定してください。

図4-2 P00のブロック図



RD：ポート0のリード信号

図4-3 P01-P03のブロック図



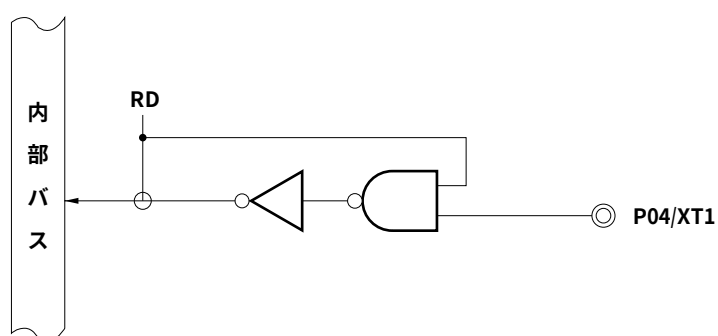
PU0 : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート0のリード信号

WR : ポート0のライト信号

図4-4 P04のブロック図



RD : ポート0のリード信号

4.2.2 ポート1

出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ1（PM1）により、1ビット単位で入力モード／出力モードの指定ができます。P10-P17端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ（PUO）により、8ビット単位で内蔵プルアップ抵抗を使用できます。

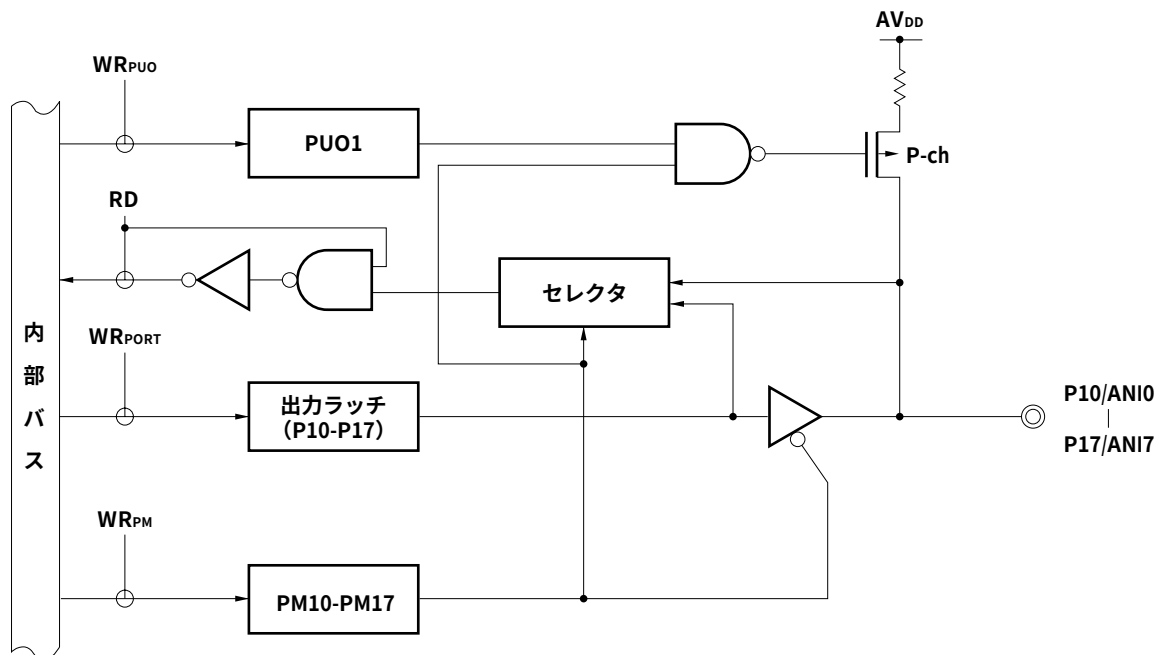
また、兼用機能としてA/Dコンバータのアナログ入力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-5にポート1のブロック図を示します。

注意 A/Dコンバータのアナログ入力として使用する端子には、内蔵プルアップ抵抗は使用できません。

図4-5 P10-P17のブロック図



PUO：プルアップ抵抗オプション・レジスタ

PM：ポート・モード・レジスタ

RD：ポート1のリード信号

WR：ポート1のライト信号

4.2.3 ポート2

出力ラッチ付き8ビット入出力ポートです。P20-P27端子は、ポート・モード・レジスタ2（PM2）により、1ビット単位で入力モード／出力モードの指定ができます。P20-P27端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ（PUO）により、8ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、自動送受信用ビジー入力、ストローブ出力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

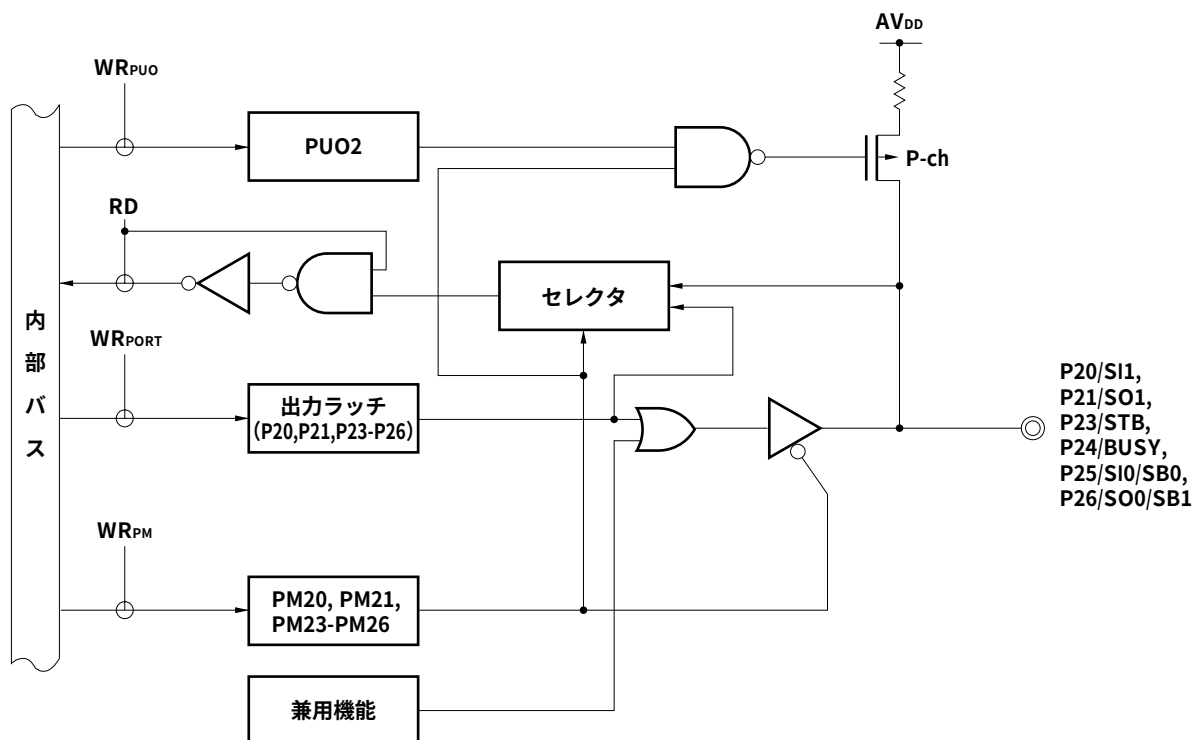
図4-6、図4-7にポート2のブロック図を示します。

注意1. 兼用機能の端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、図13-3 シリアル動作モード・レジスタ0のフォーマット、図14-3 シリアル動作モード・レジスタ1のフォーマットを参照してください。

2. SBIモード時で、端子の状態を読み出すときは、PM2のPM2nに1を設定してください（n = 5, 6）（13.4.3（10）スレーブのビジー状態の判別方法を参照）。

★

図4-6 P20, P21, P23-P26のブロック図



PUO：プルアップ抵抗オプション・レジスタ

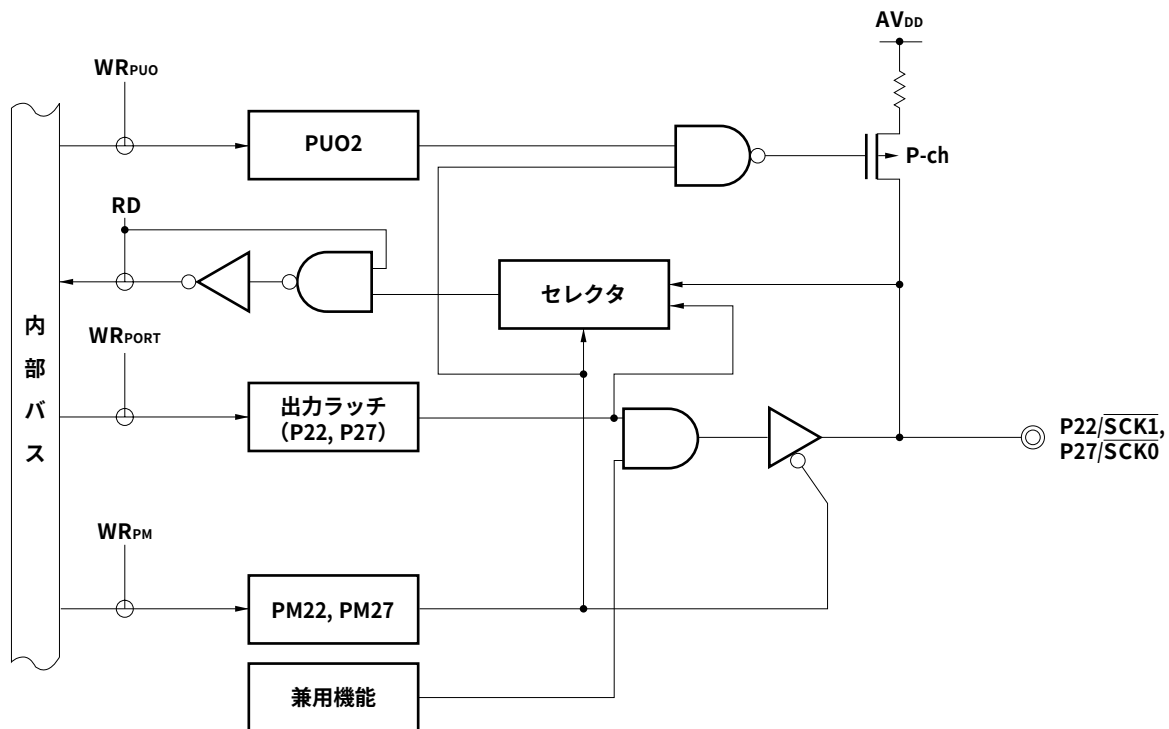
PM：ポート・モード・レジスタ

RD：ポート2のリード信号

WR：ポート2のライト信号

★

図4-7 P22, P27のブロック図



PUO：プルアップ抵抗オプション・レジスタ

PM：ポート・モード・レジスタ

RD：ポート2のリード信号

WR：ポート2のライト信号

4.2.4 ポート3

出力ラッチ付き8ビット入出力ポートです。P30-P37端子は、ポート・モード・レジスタ3（PM3）により、1ビット単位で入力モード／出力モードの指定ができます。P30-P37端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ（PUO）により、8ビット単位で内蔵プルアップ抵抗を使用できます。

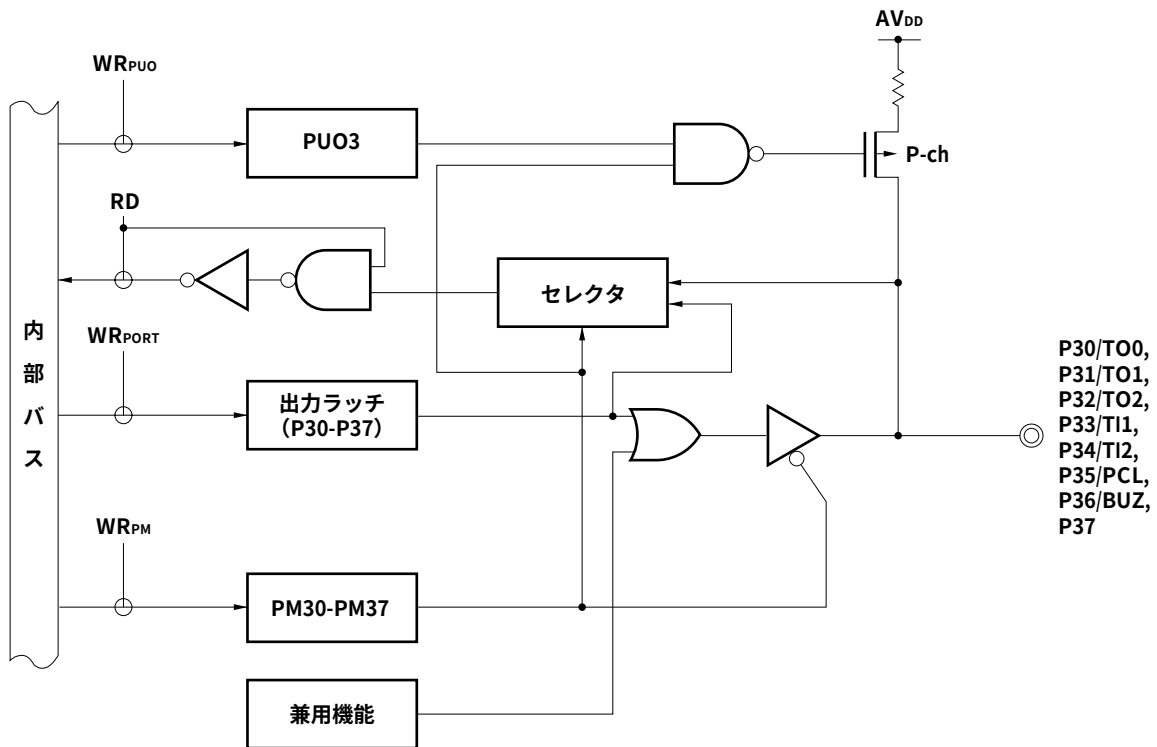
また、兼用機能としてタイマの入出力、クロック出力、ブザー出力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-8にポート3のブロック図を示します。

★

図4-8 P30-P37のブロック図



PUO：プルアップ抵抗オプション・レジスタ

PM：ポート・モード・レジスタ

RD：ポート3のリード信号

WR：ポート3のライト信号

4.2.5 ポート4

出力ラッチ付き8ビット入出力ポートです。P40-P47端子は、メモリ拡張モード・レジスタ（MM）により、8ビット単位で入力モード／出力モードの指定ができます。P40-P47端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ（PUO）により、8ビット単位で内蔵プルアップ抵抗を使用できます。

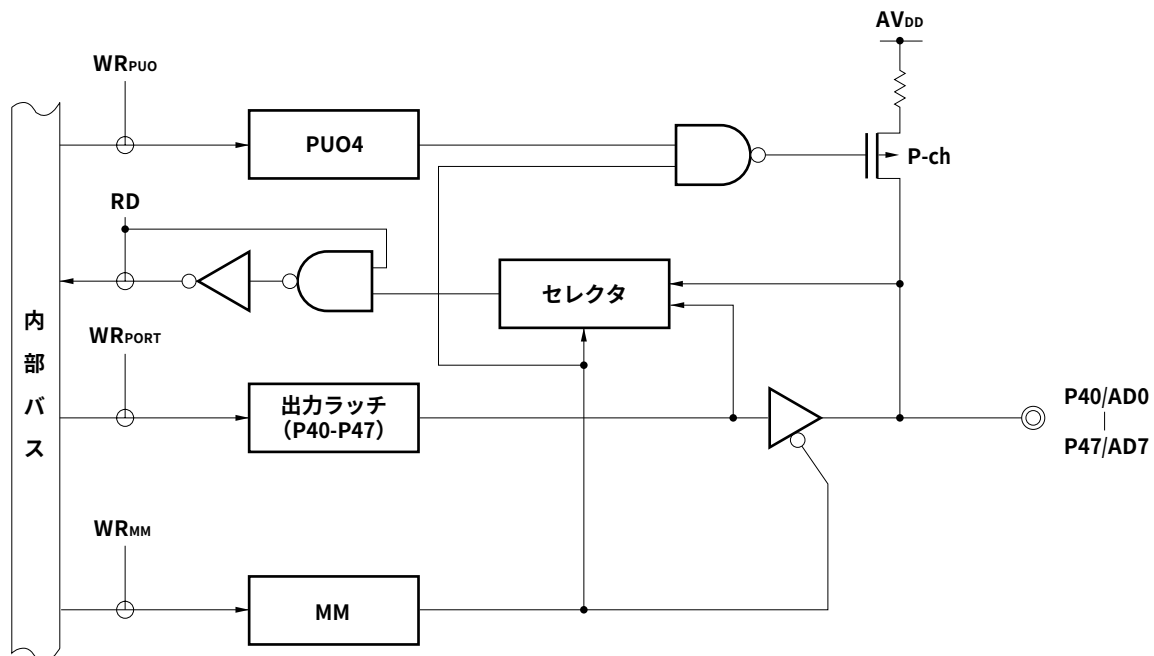
立ち下がりエッジの検出により、テスト入力フラグ（KRIF）を1にセットできます。

また、兼用機能として外部メモリ拡張モード時のアドレス／データ・バス機能があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-9にポート4のブロック図、図4-10に立ち下がりエッジ検出回路のブロック図を示します。

図4-9 P40-P47のブロック図



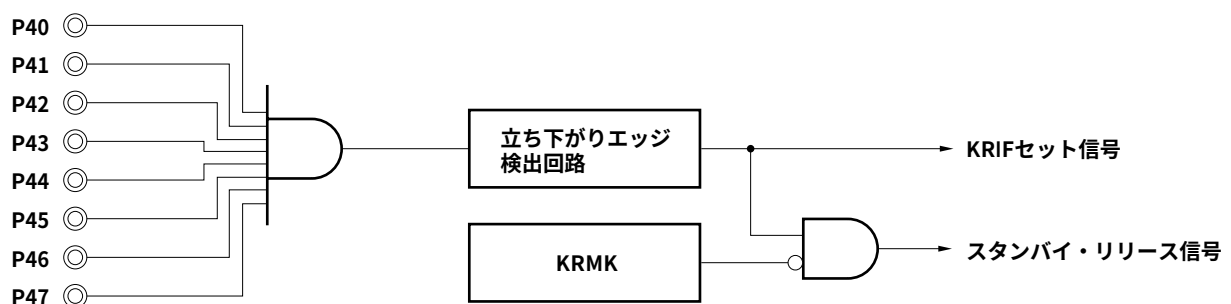
PUO：プルアップ抵抗オプション・レジスタ

MM：メモリ拡張モード・レジスタ

RD：ポート4のリード信号

WR：ポート4のライト信号

図4-10 立ち下がりエッジ検出回路のブロック図



4.2.6 ポート5

出力ラッチ付き8ビット入出力ポートです。P50-P57端子は、ポート・モード・レジスタ5（PM5）により、1ビット単位で入力モード／出力モードの指定ができます。P50-P57端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ（PUO）により、8ビット単位で内蔵プルアップ抵抗を使用できます。

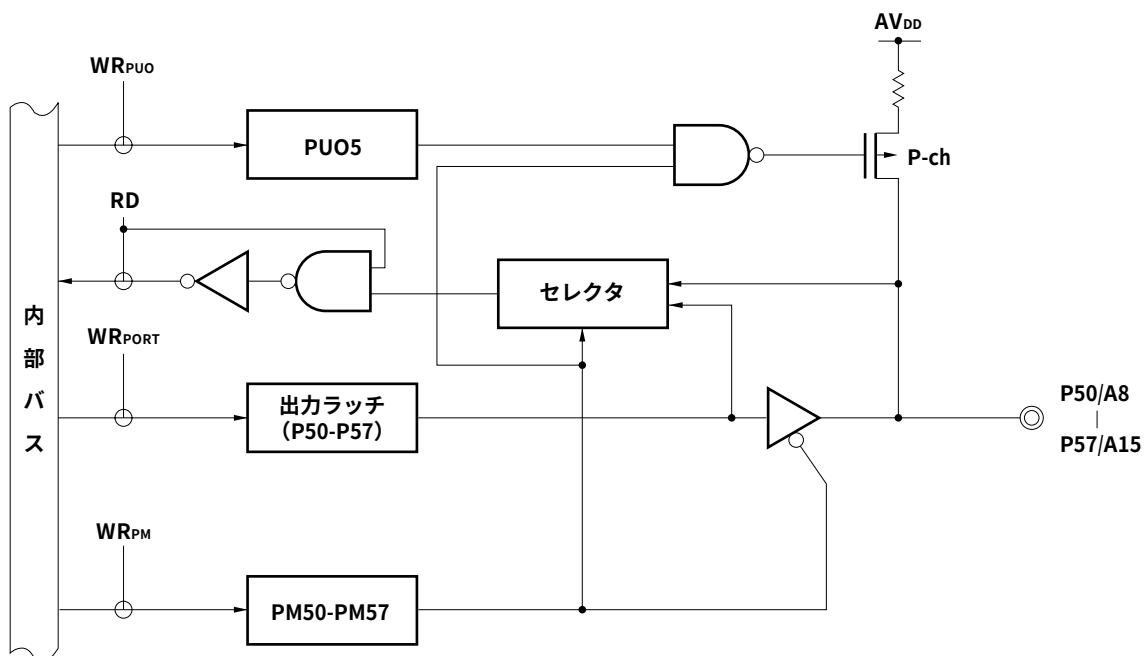
ポート5はLEDを直接駆動可能です。

また、兼用機能として外部メモリ拡張モード時のアドレス・バス機能があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-11にポート5のブロック図を示します。

図4-11 P50-P57のブロック図



PUO：プルアップ抵抗オプション・レジスタ

PM：ポート・モード・レジスタ

RD：ポート5のリード信号

WR：ポート5のライト信号

4.2.7 ポート6

出力ラッチ付き8ビット入出力ポートです。P60-P67端子は、ポート・モード・レジスタ6（PM6）により、1ビット単位で入力モード／出力モードの指定ができます。

このポートには次に示すようなプルアップ抵抗に関する機能があります。これらの機能は、ポートの上位4ビット／下位4ビットによって異なります。

表4-3 ポート6のプルアップ抵抗

	上位4ビット（P64-P67端子）	下位4ビット（P60-P63端子）
マスクROM製品	PUO6により、4ビット単位で内蔵プルアップ抵抗の接続指定可能	マスク・オプションにより1ビット単位でプルアップ抵抗内蔵可能

PUO6：プルアップ抵抗オプション・レジスタ（PUO）のビット6

P60-P63端子はLEDを直接駆動可能です。

また、P64-P67端子には、兼用機能として外部メモリ拡張モード時の制御信号出力機能があります。

RESET入力により、入力モードになります。

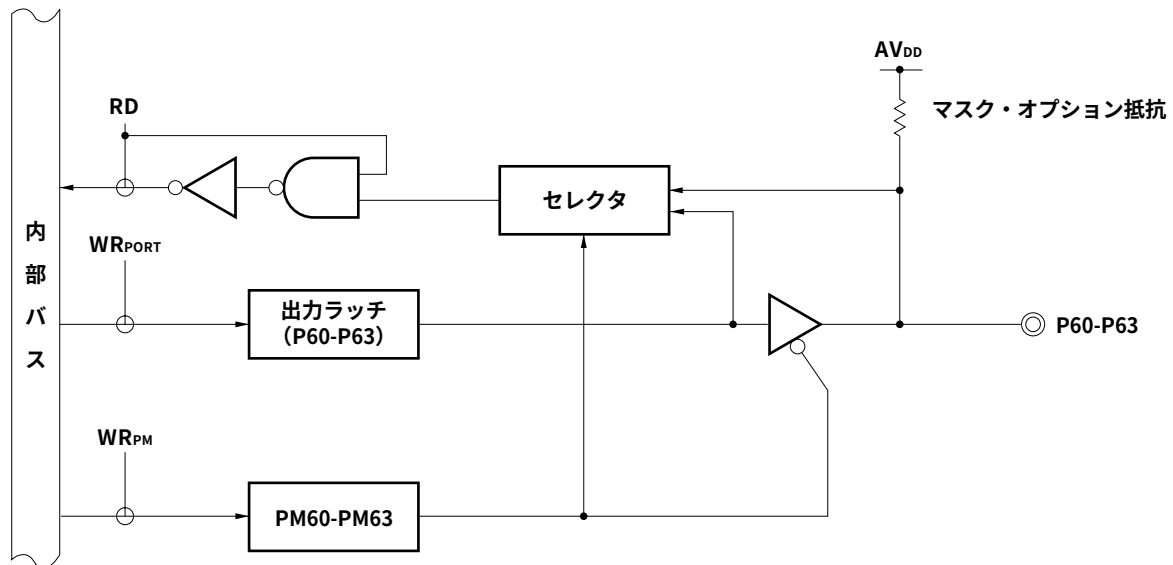
図4-12、図4-13にポート6のブロック図を示します。

注意1． 外部メモリ拡張モード時で外部ウエイトを使用しないときは、P66を入出力ポートとして使用できます。

2． P60-P63端子に流れるロウ・レベル入力リーク電流は、次に示す条件により値が異なります。

- ・プルアップ抵抗を内蔵しているとき：常に $-3\ \mu\text{A}$ （MAX.）
- ・プルアップ抵抗を内蔵していないとき
 - ・ポート6（P6）、ポート・モード・レジスタ6（PM6）に対して読み出し命令を実行したときの3クロック間（ノー・ウエイト時）： $-200\ \mu\text{A}$ （MAX.）
 - ・上記以外： $-3\ \mu\text{A}$ （MAX.）

図4-12 P60-P63のブロック図

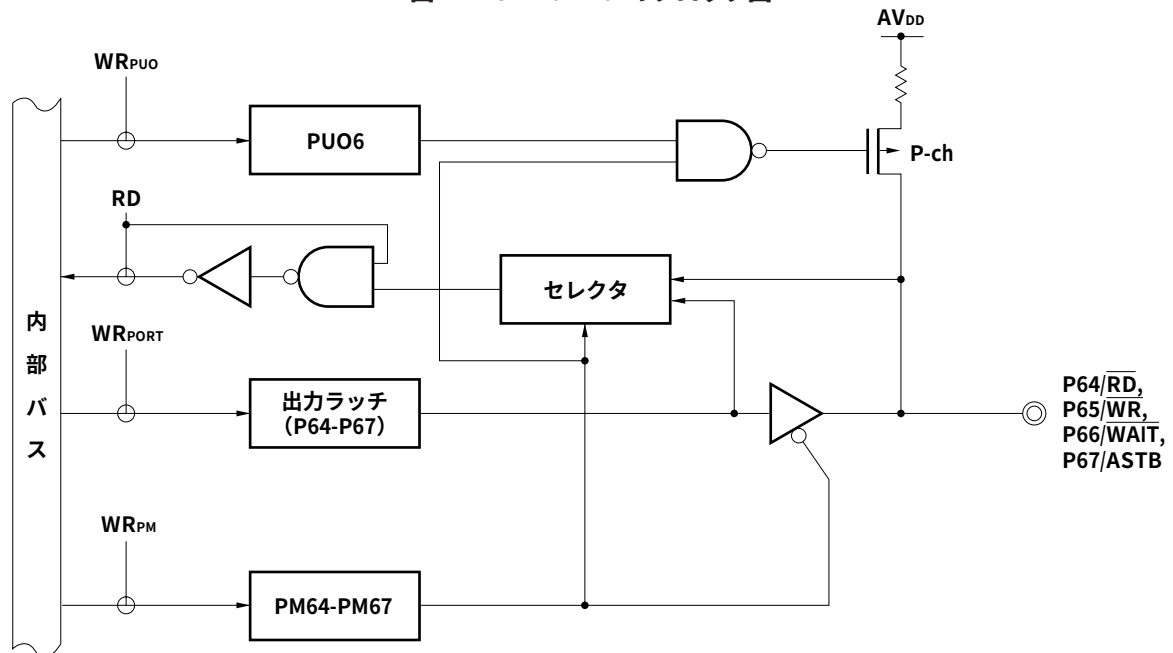


PM : ポート・モード・レジスタ

RD : ポート6のリード信号

WR : ポート6のライト信号

図4-13 P64-P67のブロック図



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート6のリード信号

WR : ポート6のライト信号

4.3 ポート機能を制御するレジスタ

ポートを制御するレジスタには、次の4種類があります。

- ・ポート・モード・レジスタ (PM0, PM1, PM2, PM3, PM5, PM6)
- ・プルアップ抵抗オプション・レジスタ (PUO)
- ・メモリ拡張モード・レジスタ (MM)
- ・キー・リターン・モード・レジスタ (KRM)

(1) ポート・モード・レジスタ (PM0, PM1, PM2, PM3, PM5, PM6)

ポートの入力／出力を1ビット単位で設定するレジスタです。

PM0, PM1, PM2, PM3, PM5, PM6は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、PM0は1FHに、その他はFFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表4-4のように設定してください。

注意1. P00, P04端子は、入力専用端子です。

2. P40-P47端子の入力／出力は、メモリ拡張モード・レジスタ (MM) で指定します。

3. ポート0は外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

表 4-4 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

端子名称	兼用機能		PM××	P××	端子名称	兼用機能		PM××	P××
	名 称	入出力				名 称	入出力		
P00	INTP0	入力	1（固定）	なし	P36	BUZ	出力	0	0
	TI0	入力	1（固定）	なし	P40-P47	AD0-AD7	入出力	× ^{注2}	
P01-P03	INTP1-INTP3	入力	1	×	P50-P57	A8-A15	出力	× ^{注2}	
P04 ^{注1}	XT1	入力	1（固定）	なし	P64	$\overline{\text{RD}}$	出力	× ^{注2}	
P10-P17 ^{注1}	ANI0-ANI7	入力	1	×	P65	$\overline{\text{WR}}$	出力	× ^{注2}	
P30-P32	TO0-TO2	出力	0	0	P66	$\overline{\text{WAIT}}$	入力	× ^{注2}	
P33, P34	TI1, TI2	入力	1	×	P67	ASTB	出力	× ^{注2}	
P35	PCL	出力	0	0					

注1．兼用機能の端子として使用しているときに、これらのポートに対して読み出し命令を実行した場合、読み出したデータは不定になります。

2．P40-P47，P50-P57，P64-P67端子を兼用機能の端子として使用するときは、メモリ拡張モード・レジスタ（MM）で機能を設定します。

注意 ポート2をシリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、図13-3 シリアル動作モード・レジスタ0のフォーマット、図14-3 シリアル動作モード・レジスタ1のフォーマットを参照してください。

備考 × : don't care（設定の必要はありません）

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

図4-14 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	0	0	0	1	PM03	PM02	PM01	1	FF20H	1FH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FF25H	FFH	R/W
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	FF26H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0, 1, 2, 3, 5, 6 : n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(2) プルアップ抵抗オプション・レジスタ (PUO)

各ポートの内蔵プルアップ抵抗を使用するか、使用しないかを設定するレジスタです。PUOで内蔵プルアップ抵抗の使用を指定したポートで、入力モードに設定したビットのみ、内部でプルアップ抵抗が使用できます。出力モードに設定したビットおよびA/Dコンバータのアナログ入力端子として使用するビットは、PUOの設定にかかわらず、内蔵プルアップ抵抗を使用できません。

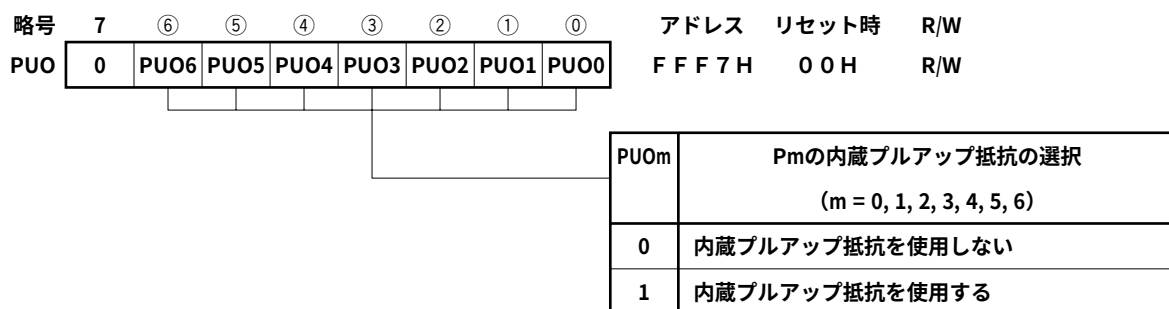
PUOは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意1. P00, P04端子は、プルアップ抵抗を内蔵していません。

2. ポート1, 4, 5, P64-P67端子を兼用機能の端子として使用するとき、PUO_mに1を設定しても内蔵プルアップ抵抗を使用できません (m = 1, 4-6)。

図4-15 プルアップ抵抗オプション・レジスタのフォーマット



(3) メモリ拡張モード・レジスタ (MM)

ポート4の入力／出力を設定するレジスタです。

MMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、10Hになります。

備考 MMは、ポート4の入力／出力の設定以外に、ウエイト数、外部拡張領域を設定する機能があります。

図4-16 メモリ拡張モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MM	0	0	PW1	PW0	0	MM2	MM1	MM0	FFF8H	10H	R/W

MM2	MM1	MM0	シングルチップ／ メモリ拡張モードの選択		P40-P47, P50-P57, P64-P67端子の状態						
					P40-P47		P50-P53	P54, P55	P56, P57	P64-P67	
0	0	0	シングルチップ・モード		ポート・ モード	入力	ポート・モード				
0	0	1				出力					
0	1	1	メモリ拡張 モード	256バイト・ モード	AD0-AD7	ポート・モード			P64 = $\overline{\text{RD}}$ P65 = $\overline{\text{WR}}$		
1	0	0		4 Kバイト・ モード					A8-A11	ポート・モード	
1	0	1		16 Kバイト・ モード		A12, A13	ポート・モード				
1	1	1		フルアドレス・ モード注			A14, A15				
上記以外			設定禁止								

PW1	PW0	ウエイトの制御
0	0	ウエイトなし
0	1	ウエイトあり（1ウエイト・ステート挿入）
1	0	設定禁止
1	1	外部ウエイト端子によるウエイト制御

注 フルアドレス・モードとは、64 Kアドレス空間のうち、内部ROM, RAM, SFR領域および使用不可領域を除く、すべての領域に外部拡張できるモードです。

備考 P60-P63端子は、シングルチップ・モード、メモリ拡張モードにかかわらずポート・モードになります。

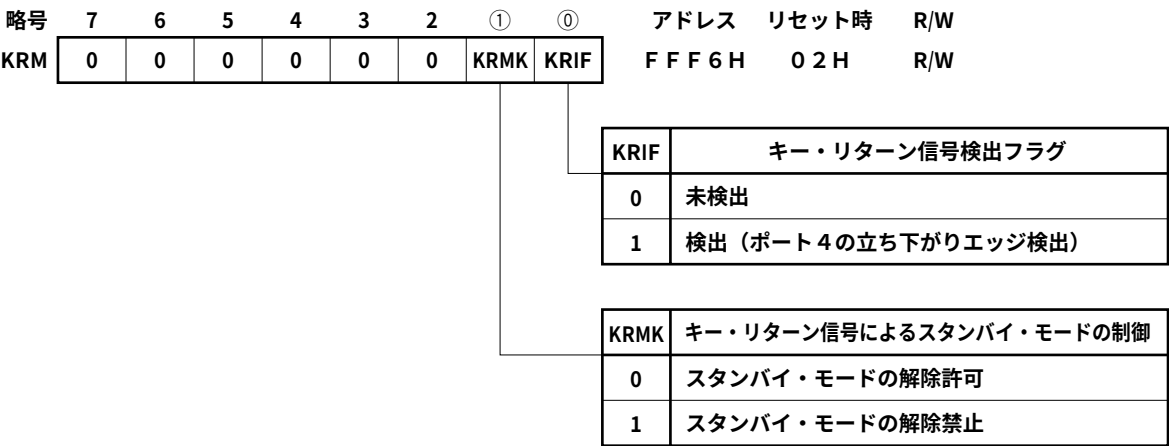
(4) キー・リターン・モード・レジスタ (KRM)

キー・リターン信号（ポート4の立ち下がりエッジ検出）によるスタンバイ・モード解除の許可／禁止を設定するレジスタです。

KRMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図4-17 キー・リターン・モード・レジスタのフォーマット



注意 ポート4で立ち下がりエッジ検出を使用するときは、必ずKRIFを0にクリアしてください（KRIFは自動的に0にクリアされません）。

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力／出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力／出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4.5 マスク・オプション

マスク・オプションにより、P60-P63端子に1ビット単位でプルアップ抵抗を内蔵できます。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。
システム・クロック発振回路には、次の2種類があります。

(1) メイン・システム・クロック発振回路

1.0～10.0 MHzの周波数を発振します。STOP命令の実行およびプロセッサ・クロック・コントロール・レジスタ（PCC）の設定により、発振を停止できます。

(2) サブシステム・クロック発振回路

32.768 kHzの周波数を発振します。発振の停止はできません。サブシステム・クロック発振回路を使用しないとき、プロセッサ・クロック・コントロール・レジスタ（PCC）により、内蔵フィードバック抵抗を使用しない設定ができます。これによって、STOPモード時の消費電力を低減できます。

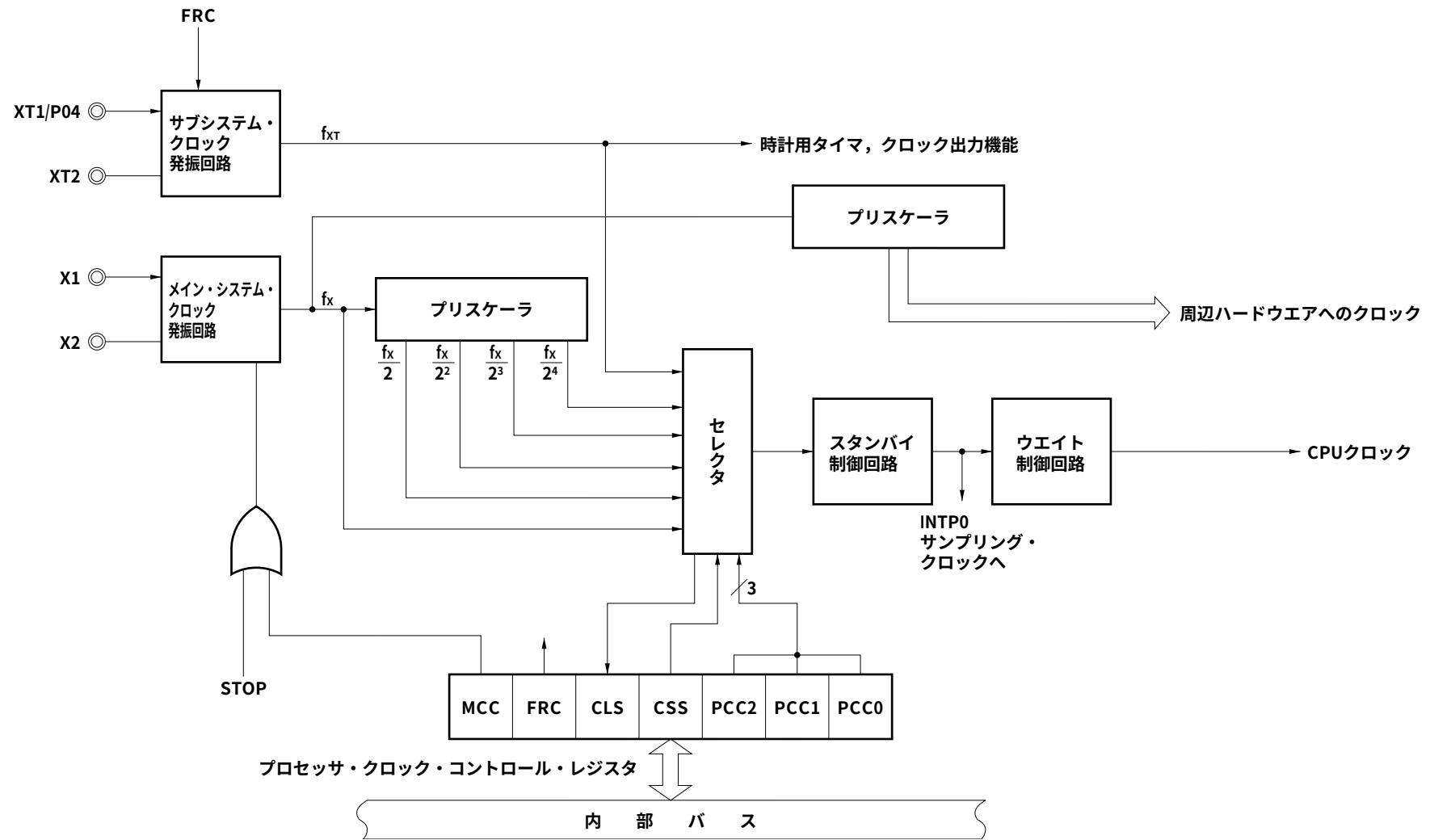
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5－1 クロック発生回路の構成

項 目	構 成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ（PCC）
発振回路	メイン・システム・クロック発振回路 サブシステム・クロック発振回路

図5－1 クロック発生回路のブロック図



5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、プロセッサ・クロック・コントロール・レジスタ（PCC）で制御します。CPUクロックの選択、分周比、メイン・システム・クロック発振回路の動作／停止、サブシステム・クロック発振回路の内蔵フィードバック抵抗を使用するか、使用しないかを設定するレジスタです。

PCCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、04Hになります。

図5-2 サブシステム・クロックのフィードバック抵抗

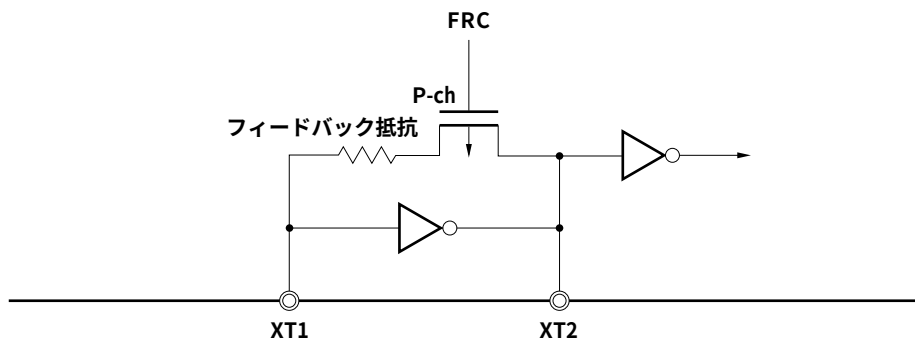


図5-3 プロセッサ・クロック・コントロール・レジスタのフォーマット

略号	⑦	⑥	⑤	④	3	2	1	0	アドレス	リセット時	R/W																																																			
PCC	MCC	FRC	CLS	CSS	0	PCC2	PCC1	PCC0	F F F B H	0 4 H	R/W ^{注1}																																																			
									R/W	<table><tr><th>CSS</th><th>PCC2</th><th>PCC1</th><th>PCC0</th><th>CPUクロック (f_{CPU}) の選択</th></tr><tr><td rowspan="5">0</td><td>0</td><td>0</td><td>0</td><td>f_x</td></tr><tr><td>0</td><td>0</td><td>1</td><td>f_x/2</td></tr><tr><td>0</td><td>1</td><td>0</td><td>f_x/2²</td></tr><tr><td>0</td><td>1</td><td>1</td><td>f_x/2³</td></tr><tr><td>1</td><td>0</td><td>0</td><td>f_x/2⁴</td></tr><tr><td rowspan="5">1</td><td>0</td><td>0</td><td>0</td><td rowspan="5">f_{XT}</td></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td colspan="4">上記以外</td><td>設定禁止</td></tr></table>					CSS	PCC2	PCC1	PCC0	CPUクロック (f _{CPU}) の選択	0	0	0	0	f _x	0	0	1	f _x /2	0	1	0	f _x /2 ²	0	1	1	f _x /2 ³	1	0	0	f _x /2 ⁴	1	0	0	0	f _{XT}	0	0	1	0	1	0	0	1	1	1	0	0	上記以外				設定禁止
									CSS	PCC2	PCC1	PCC0	CPUクロック (f _{CPU}) の選択																																																	
									0	0	0	0	f _x																																																	
										0	0	1	f _x /2																																																	
										0	1	0	f _x /2 ²																																																	
										0	1	1	f _x /2 ³																																																	
										1	0	0	f _x /2 ⁴																																																	
									1	0	0	0	f _{XT}																																																	
										0	0	1																																																		
										0	1	0																																																		
										0	1	1																																																		
										1	0	0																																																		
									上記以外				設定禁止																																																	
									R	CLS		CPUクロックのステータス																																																		
										0	メイン・システム・クロック																																																			
										1	サブシステム・クロック																																																			
									R/W	FRC	サブシステム・クロックのフィードバック抵抗の選択																																																			
										0	内蔵フィードバック抵抗を使用する																																																			
										1	内蔵フィードバック抵抗を使用しない																																																			
									R/W	MCC	メイン・システム・クロックの発振の制御 ^{注2}																																																			
										0	発振可能																																																			
										1	発振停止																																																			

注1. ビット5は、Read Onlyです。

2. CPUがサブシステム・クロックで動作しているとき、メイン・システム・クロックの発振の停止は、MCCを使用してください。STOP命令は使用しないでください。

注意 ビット3には、必ず0を設定してください。

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{XT} : サブシステム・クロック発振周波数

μPD78014Hサブシリーズの一番速い命令は、CPUクロック4クロックで実行されます。したがって、CPUクロック (f_{CPU}) と最小命令実行時間の関係は、表5-2のようになります。

★

表5-2 CPUクロックと最小命令実行時間の関係

CPUクロック (f_{CPU})	最小命令実行時間: $4/f_{\text{CPU}}$
f_X	0.4 μs
$f_X/2$	0.8 μs
$f_X/2^2$	1.6 μs
$f_X/2^3$	3.2 μs
$f_X/2^4$	6.4 μs
f_{XT}	122 μs

$f_X = 10.0 \text{ MHz}$, $f_{\text{XT}} = 32.768 \text{ kHz}$

f_X : メイン・システム・クロック発振周波数

f_{XT} : サブシステム・クロック発振周波数

5.4 システム・クロック発振回路

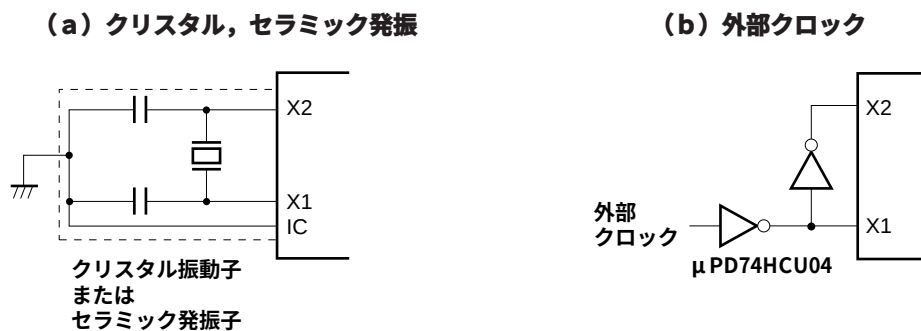
5.4.1 メイン・システム・クロック発振回路

メイン・システム・クロック発振回路はX1, X2端子に接続されたクリスタル振動子またはセラミック発振子（標準：10.0 MHz）によって発振します。

また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力し、X2端子には、その反転した信号を入力してください。

図5-4にメイン・システム・クロック発振回路の外付け回路を示します。

図5-4 メイン・システム・クロック発振回路の外付け回路



注意 外部クロックを入力しているとき、STOP命令の実行およびMCC（プロセッサ・クロック・コントロール・レジスタ（PCC）のビット7）に1を設定しないでください。STOP命令およびMCCに1を設定するとメイン・システム・クロックの動作が停止され、X2端子が V_{DD} にプルアップされます。

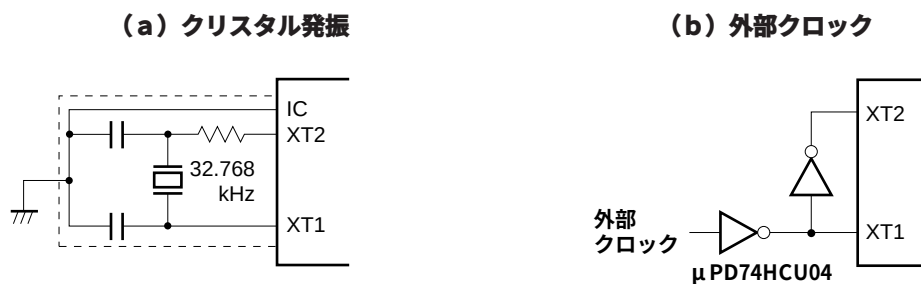
5.4.2 サブシステム・クロック発振回路

サブシステム・クロック発振回路はXT1, XT2端子に接続されたクリスタル振動子（標準：32.768 kHz）によって発振します。

また、外部クロックを入力することもできます。その場合、XT1端子にクロック信号を入力し、XT2端子には、その反転した信号を入力してください。

図5-5にサブシステム・クロック発振回路の外付け回路を示します。

図5-5 サブシステム・クロック発振回路の外付け回路



注意を次ページに示します。

注意1. メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図5-4、図5-5の破線の部分を次のように配線してください。

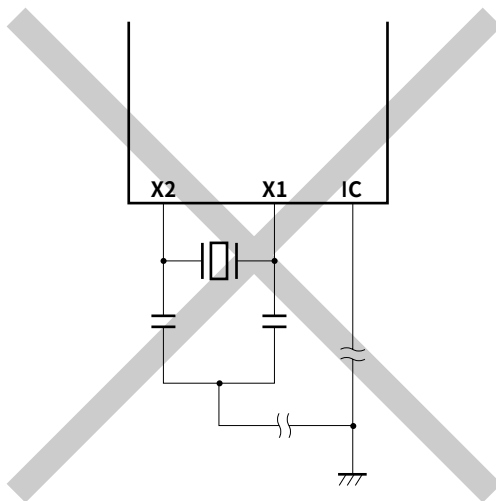
- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

特に、サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっていますのでご注意ください。

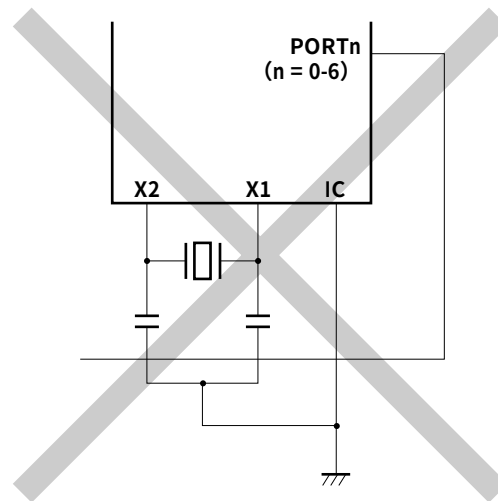
図5-6に発振子の接続の悪い例を示します。

図5-6 発振子の接続の悪い例 (1/2)

(a) 接続回路の配線が長い



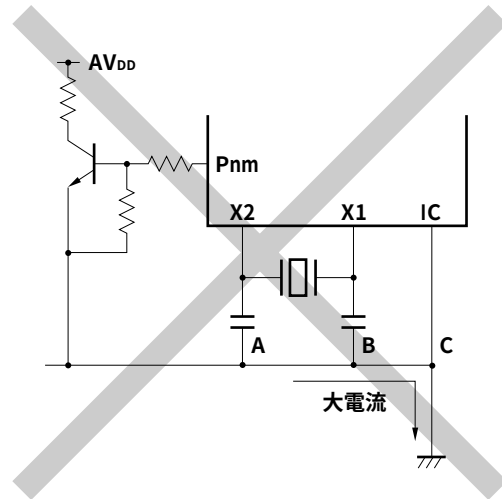
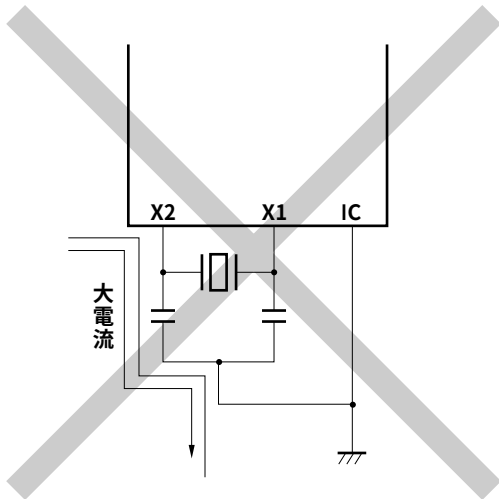
(b) 信号線が交差している



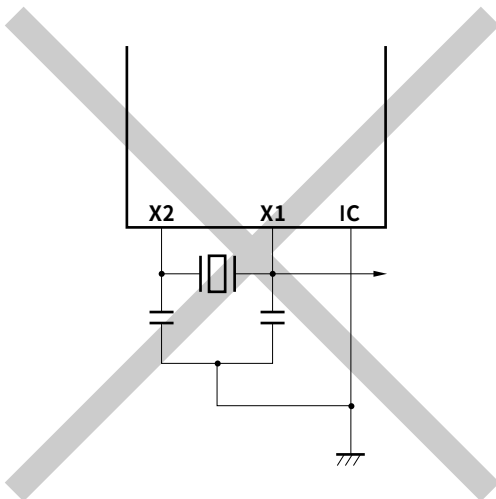
備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図5-6 発振子の接続の悪い例 (2/2)

(c) 変化する大電流が信号線に近接している

(d) 発振回路部のグランド・ライン上に電流が流れる
(A点、B点、C点の電位が変動する)

(e) 信号を取り出している



備考 サブシステム・クロックをご使用の場合は、X1、X2をXT1、XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

注意2. XT2とX1が平行に配線されている場合、X1のクロストーク・ノイズがXT2に相乗し誤動作を引き起こすことがあります。

これを避けるために、XT2とX1の配線を平行にしないとともに、XT2、X1の間にあるIC端子をVssに直接接続してください。

5.4.3 分周回路

分周回路は、メイン・システム・クロック発振回路出力 (fx) を分周して、各種クロックを生成します。

5.4.4 サブシステム・クロックを使用しない場合

低消費電力動作や時計動作等のためにサブシステム・クロックを使用する必要のない場合、XT1, XT2端子を次のように処置してください。

XT1: V_{DD} に接続してください。

XT2: オープンにしてください。

ただし、この状態では、メイン・システム・クロックの停止時に、サブシステム・クロック発振回路の内蔵フィードバック抵抗を介して若干のリーク電流を流してしまいます。これを抑えるため、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット6 (FRC) により上述の内蔵フィードバック抵抗を取り除くことができます。このときも、XT1, XT2端子の処理は上記と同じです。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・メイン・システム・クロック f_x
- ・サブシステム・クロック f_{XT}
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ（PCC）により決定され、次のような機能、動作となります。

- (a) $\overline{\text{RESET}}$ 信号発生によりメイン・システム・クロックの最低速モード（6.4 μs : 10.0 MHz動作時）が選択されます（PCC = 04H）。なお、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力している間、メイン・システム・クロックの発振は停止します。
- (b) メイン・システム・クロックを選択した状態でPCCの設定により5段階のCPUクロック（0.4 μs , 0.8 μs , 1.6 μs , 3.2 μs , 6.4 μs : 10.0 MHz動作時）を選択できます。
- (c) メイン・システム・クロックを選択した状態でSTOPモード、HALTモードの2つのスタンバイ・モードが使用できます。また、サブシステム・クロックを使用していないシステムの場合、PCCのビット6（FRC）で内蔵フィードバック抵抗を使用しない設定をすることにより、STOPモード時の消費電流をさらに低減できます。
- (d) PCCにより、サブシステム・クロックを選択し、低消費電流で動作（122 μs : 32.768 kHz動作時）できます。
- (e) サブシステム・クロックを選択した状態で、PCCによりメイン・システム・クロックの発振を停止できます。また、HALTモードを使用できます。しかし、STOPモードを使用できません（サブシステム・クロックの発振を停止させることはできません）。
- (f) 周辺ハードウェアへのクロックはメイン・システム・クロックを分周して供給されますが、時計用タイマとクロック出力機能にのみサブシステム・クロックを供給しています。このため、スタンバイ状態でも時計機能とクロック出力機能は、継続して使用できます。しかし、そのほかの周辺ハードウェアはメイン・システム・クロックによって動作していますので、メイン・システム・クロックを停止させたときは周辺ハードウェアも停止します（ただし、外部からの入力クロック動作は除く）。

5.5.1 メイン・システム・クロックの動作

メイン・システム・クロック動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）のビット5（CLS）が0のとき），PCCの設定により次のように動作します。

- （a）電源電圧により動作保証命令実行速度が異なるため，PCCのビット0-2（PCC0-PCC2）により最小命令実行時間を変更できます。
- （b）メイン・システム・クロックで動作しているときPCCのビット7（MCC）を1に設定してもメイン・システム・クロックの発振は停止しません。そのあとPCCのビット4（CSS）を1に設定し，サブシステム・クロック動作に切り替わったあと（CLS=1），メイン・システム・クロックの発振が停止します（図5-7参照）。

図5-7 メイン・システム・クロックの停止機能（1/2）

（a）メイン・システム・クロック動作時にCSSをセットしたあと，MCCをセットしたときの動作

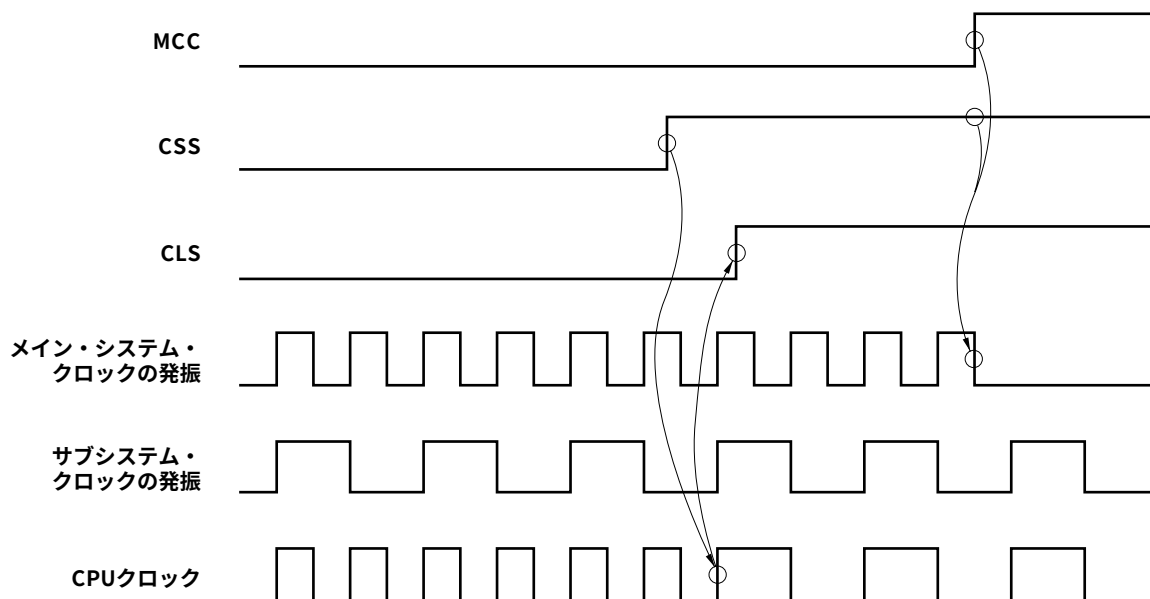
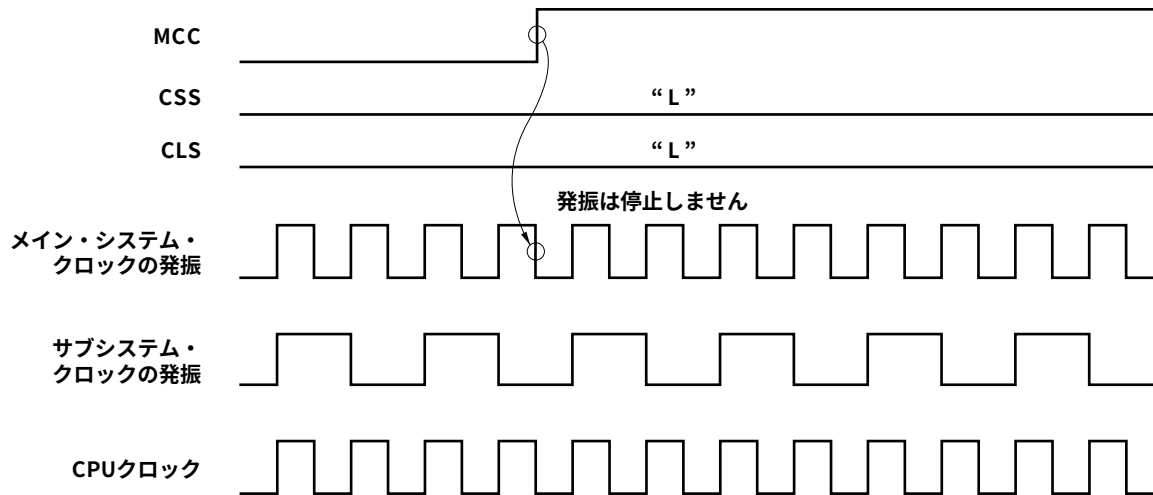
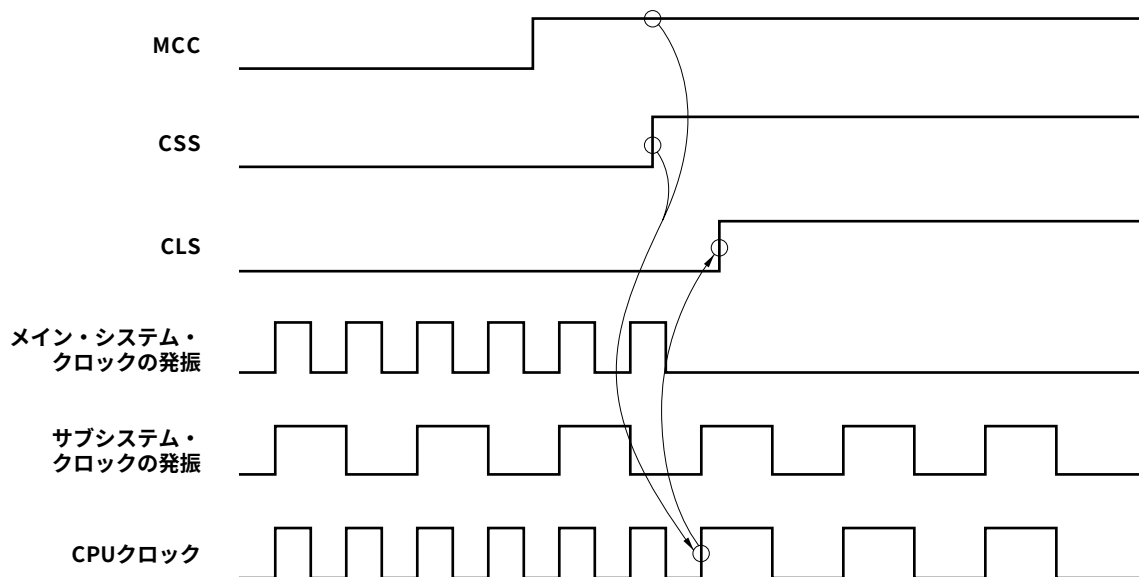


図5-7 メイン・システム・クロックの停止機能 (2/2)

(b) メイン・システム・クロック動作時にMCCをセットしたときの動作



(c) メイン・システム・クロック動作時にMCCをセットしたあと、CSSをセットしたときの動作



5.5.2 サブシステム・クロックの動作

サブシステム・クロック動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）のビット5（CLS）が1のとき），次のように動作します。

（a）PCCのビット0-2（PCC0-PCC2）に関係なく最小命令実行時間は一定（122 μ s : 32.768 kHz 動作時）です。

（b）ウォッチドッグ・タイマのカウントが停止します。

注意 サブシステム・クロック動作中はSTOP命令を実行しないでください。

5.6 システム・クロックとCPUクロックの設定の変更

5.6.1 システム・クロックとCPUクロックの切り替えに要する時間

システム・クロックとCPUクロックは、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット0-2（PCC0-PCC2）とビット4（CSS）により切り替えができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します（表5-3参照）。

メイン・システム・クロックで動作しているのか、サブシステム・クロックで動作しているのかは、PCCのビット5（CLS）で判定できます。

表5-3 CPUクロックの切り替えに要する最大時間

切り替え前の設定値				切り 替 え 後 の 設 定 値																							
CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0				
				0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0	1	×	×	×
0	0	0	0					16命令				16命令				16命令				16命令				f _x /4f _{XT} 命令 (77命令)			
	0	0	1					8命令				8命令				8命令				8命令				f _x /8f _{XT} 命令 (39命令)			
	0	1	0					4命令				4命令				4命令				4命令				f _x /16f _{XT} 命令 (20命令)			
	0	1	1					2命令				2命令				2命令				2命令				f _x /32f _{XT} 命令 (10命令)			
	1	0	0					1命令				1命令				1命令				1命令				f _x /64f _{XT} 命令 (5命令)			
1	×	×	×	1命令				1命令				1命令				1命令				1命令							

注意 CPUクロックの分周の選択（PCC0-PCC2）とメイン・システム・クロックからサブシステム・クロックへの切り替え（CSSを0→1）を同時に行わないでください。

ただし、CPUクロックの分周の選択（PCC0-PCC2）とサブシステム・クロックからメイン・システム・クロックへの切り替え（CSSを1→0）は同時に設定可能です。

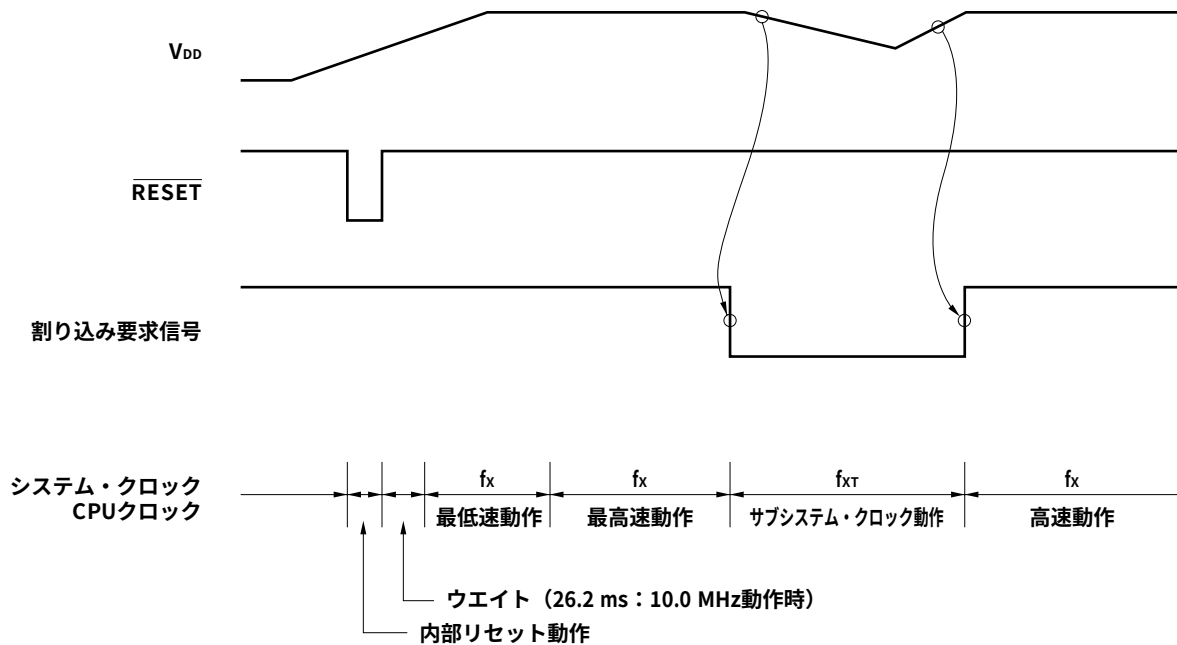
備考1. 1命令は、切り替え前のCPUクロックの最小命令実行時間となります。

2. () 内は $f_x = 10.0 \text{ MHz}$ または $f_{XT} = 32.768 \text{ kHz}$ 時。

5.6.2 システム・クロックとCPUクロックの切り替え手順

システム・クロックとCPUクロックの切り替えについて説明します。

図5-8 システム・クロックとCPUクロックの切り替え



- ① 電源投入後、 $\overline{\text{RESET}}$ 端子をロウ・レベルにすることでCPUにリセットがかかります。その後、 $\overline{\text{RESET}}$ 端子をハイ・レベルにするとリセットが解除され、メイン・システム・クロックが発振開始します。このとき、自動的に発振安定時間（ $2^{18}/f_X$ ）を確保します。
その後、CPUはメイン・システム・クロックの最低速（6.4 μs : 10.0 MHz動作時）で命令の実行を開始します。
- ② V_{DD} 電圧が最高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ（PCC）を書き換えて最高速動作を行います。
- ③ V_{DD} 電圧が低下したことを割り込み要求信号などにより検出し、サブシステム・クロックに切り替えます（このとき、サブシステム・クロックが発振安定状態になっていなければなりません）。
- ④ V_{DD} 電圧が復帰したことを割り込み要求信号などにより検出し、PCCのビット7（MCC）に0を設定してメイン・システム・クロックを発振開始させ、発振が安定するのに必要な時間経過後、PCCを書き換えて最高速動作に戻します。

注意 メイン・システム・クロックを停止させサブシステム・クロックを動作させているときに、再度メイン・システム・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

(× 毛)

第6章 16ビット・タイマ／イベント・カウンタ

6.1 μ PD78014Hサブシリーズ内蔵タイマの概要

この章では、16ビット・タイマ／イベント・カウンタについて説明しますが、その前に、 μ PD78014Hサブシリーズが内蔵しているタイマおよびそれに関連するものについて、その概要を以下に示します。

(1) 16ビット・タイマ／イベント・カウンタ (TM0)

インターバル・タイマ，PWM出力，パルス幅測定（赤外線リモコン受信機能），外部イベント・カウンタ，任意の周波数の方形波出力などに使用できます。

(2) 8ビット・タイマ／イベント・カウンタ (TM1, TM2)

インターバル・タイマ，外部イベント・カウンタ，任意の周波数の方形波出力などに使用できます。
また，2本の8ビット・タイマ／イベント・カウンタを1本の16ビット・タイマ／イベント・カウンタとして使用することもできます（第7章 8ビット・タイマ／イベント・カウンタ参照）。

(3) 時計用タイマ (TM3)

0.5秒ごとにフラグをセット，および，あらかじめ設定した任意の時間間隔で割り込み要求を同時に発生できます（第8章 時計用タイマ参照）。

(4) ウォッチドッグ・タイマ (WDTM)

ウォッチドッグ・タイマ，あるいは，あらかじめ設定した任意の時間間隔でノンマスカブル割り込み要求，マスカブル割り込み要求， $\overline{\text{RESET}}$ を発生できます（第9章 ウォッチドッグ・タイマ参照）。

(5) クロック出力制御回路

メイン・システム・クロックを分周したクロックおよびサブシステム・クロックをほかのデバイスに供給する回路です（第10章 クロック出力制御回路参照）。

(6) ブザー出力制御回路

メイン・システム・クロックを分周したブザー周波数を出力する回路です（第11章 ブザー出力制御回路参照）。

表6-1 タイマ／イベント・カウンタの動作

		16ビット・タイマ／ イベント・カウンタ	8ビット・タイマ／ イベント・カウンタ	時計用タイマ	ウォッチドッグ・ タイマ
動作	インターバル・タイマ	1チャンネル	2チャンネル	1チャンネル ^{注1}	1チャンネル ^{注2}
モード	外部イベント・カウンタ	○	○	—	—
機能	タイマ出力	○	○	—	—
	PWM出力	○	—	—	—
	パルス幅測定	○	—	—	—
	方形波出力	○	○	—	—
	割り込み要求	○	○	—	○
	テスト入力	—	—	○	—

注1．時計用タイマは時計用タイマとインターバル・タイマの機能を同時に使用可能です。

2．ウォッチドッグ・タイマはウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

6.2 16ビット・タイマ／イベント・カウンタの機能

16ビット・タイマ／イベント・カウンタ（TM0）には、次のような機能があります。

- ・インターバル・タイマ
- ・PWM出力
- ・パルス幅測定
- ・外部イベント・カウンタ
- ・方形波出力

PWM出力とパルス幅測定は同時に使用できます。

（1）インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

表6-2 16ビット・タイマ／イベント・カウンタのインターバル時間

最小インターバル時間	最大インターバル時間	分解能
2×TI0入力周期	2 ¹⁶ ×TI0入力周期	TI0入力エッジ周期
2 ² ×1/f _x (400 ns)	2 ¹⁷ ×1/f _x (13.1 ms)	2×1/f _x (200 ns)
2 ³ ×1/f _x (800 ns)	2 ¹⁸ ×1/f _x (26.2 ms)	2 ² ×1/f _x (400 ns)
2 ⁴ ×1/f _x (1.6 μs)	2 ¹⁹ ×1/f _x (52.4 ms)	2 ³ ×1/f _x (800 ns)

備考1．f_x：メイン・システム・クロック発振周波数

2．（ ）内は、f_x = 10.0 MHz動作時。

(2) PWM出力

14ビット分解能のPWM出力ができます。

(3) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

(4) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(5) 方形波出力

任意の周波数の方形波出力が可能です。

表6-3 16ビット・タイマ／イベント・カウンタの方形波出力範囲

最小パルス幅	最大パルス幅	分解能
$2 \times T_{TI0}$ 入力周期	$2^{16} \times T_{TI0}$ 入力周期	T_{TI0} 入力エッジ周期
$2^2 \times 1/f_x$ (400 ns)	$2^{17} \times 1/f_x$ (13.1 ms)	$2 \times 1/f_x$ (200 ns)
$2^3 \times 1/f_x$ (800 ns)	$2^{18} \times 1/f_x$ (26.2 ms)	$2^2 \times 1/f_x$ (400 ns)
$2^4 \times 1/f_x$ (1.6 μ s)	$2^{19} \times 1/f_x$ (52.4 ms)	$2^3 \times 1/f_x$ (800 ns)

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は, $f_x = 10.0$ MHz動作時。

6.3 16ビット・タイマ／イベント・カウンタの構成

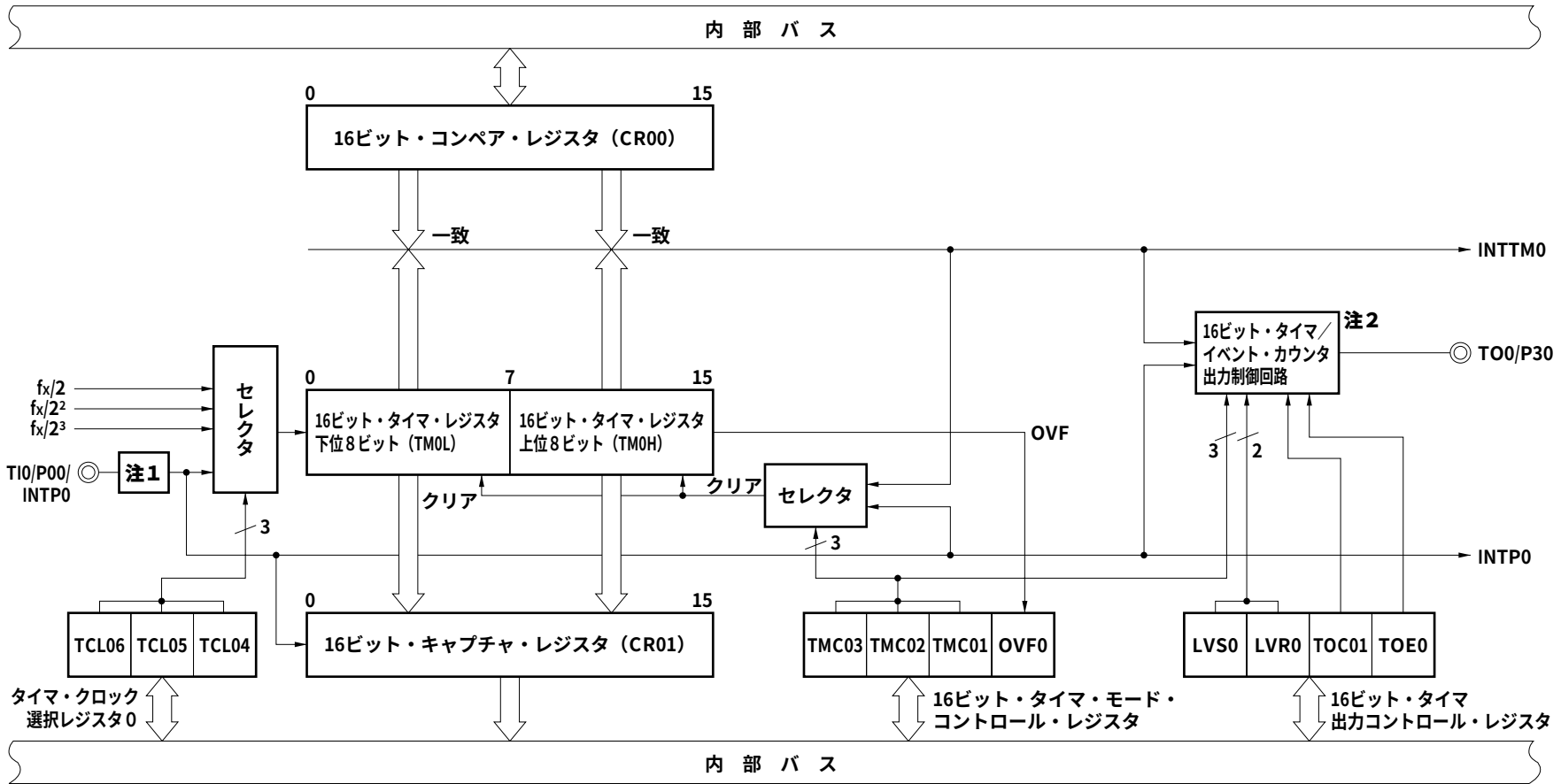
16ビット・タイマ／イベント・カウンタは、次のハードウェアで構成しています。

表6-4 16ビット・タイマ／イベント・カウンタの構成

項 目	構 成
タイマ・レジスタ	16ビット×1本 (TM0)
レジスタ	16ビット・コンペア・レジスタ : 1本 (CR00) 16ビット・キャプチャ・レジスタ : 1本 (CR01)
タイマ出力	1本 (TO0)
制御レジスタ	タイマ・クロック選択レジスタ0 (TCL0) 16ビット・タイマ・モード・コントロール・レジスタ (TMC0) 16ビット・タイマ出力コントロール・レジスタ (TOC0) ポート・モード・レジスタ3 (PM3) 外部割り込みモード・レジスタ (INTM0) サンプリング・クロック選択レジスタ (SCS) 注

注 図15-1 割り込み機能の基本構成を参照してください。

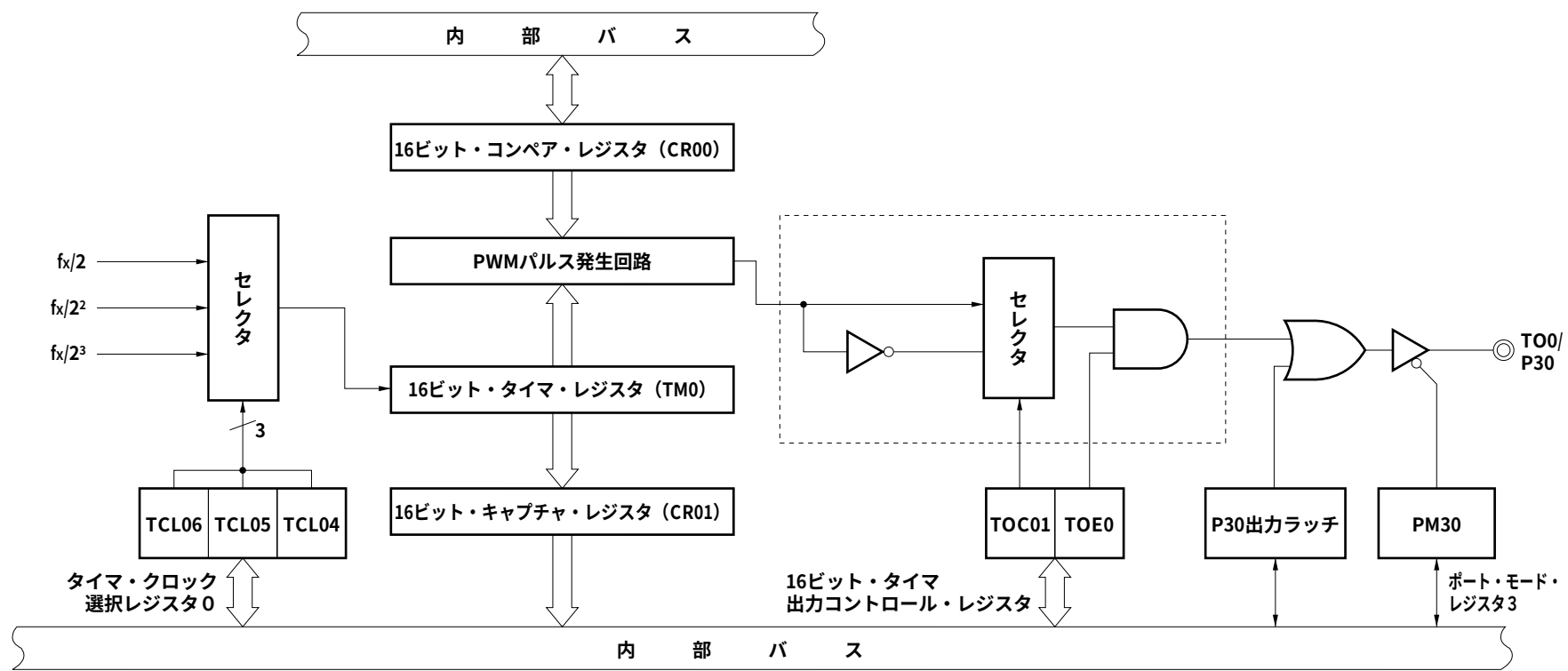
図6－1 16ビット・タイマ／イベント・カウンタ（タイマ・モード）のブロック図



注1．エッジ検出回路

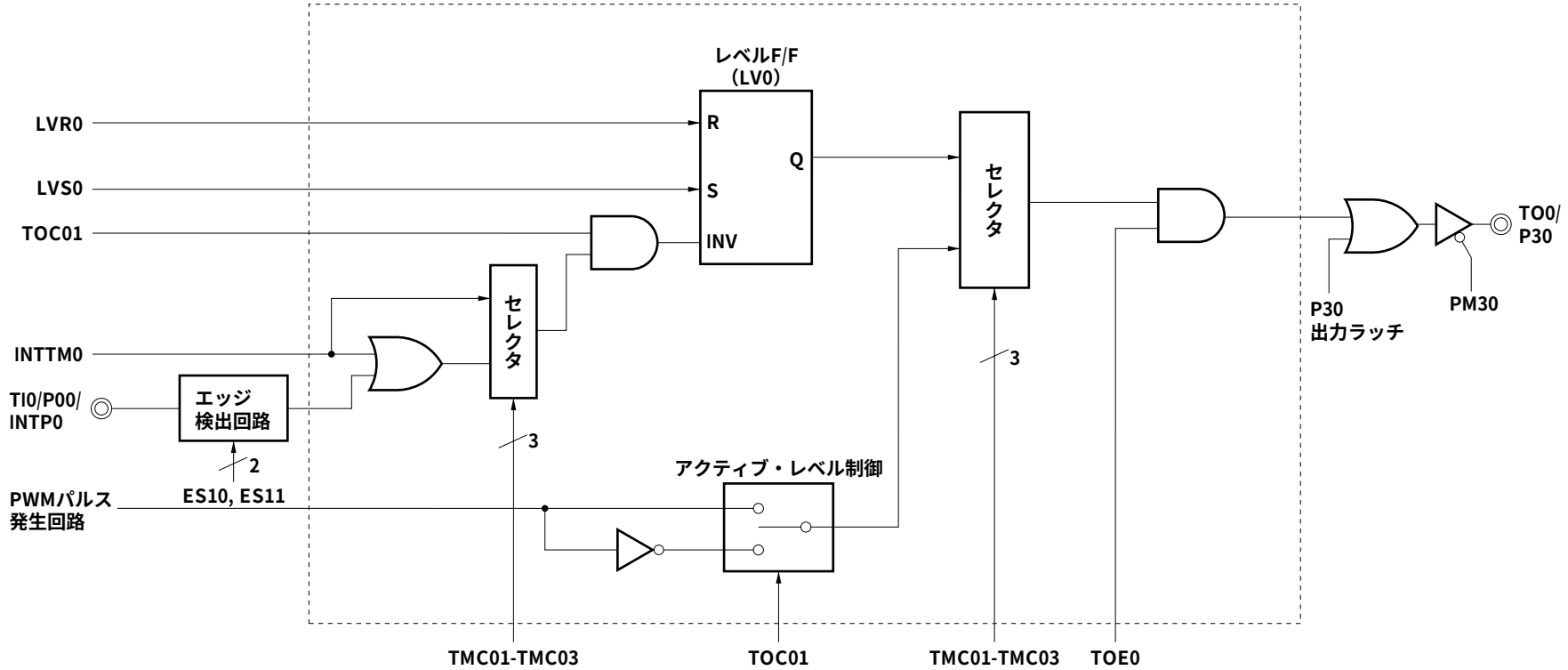
2．16ビット・タイマ／イベント・カウンタの出力制御回路の構成は、図6－3を参照してください。

図6-2 16ビット・タイマ／イベント・カウンタ（PWMモード）のブロック図



備考 破線部内は、出力制御回路に含まれます。

図6-3 16ビット・タイマ/イベント・カウンタ出力制御回路のブロック図



備考 破線部内が出力制御回路です。

(1) 16ビット・コンペア・レジスタ (CR00)

CR00に設定した値と16ビット・タイマ・レジスタ (TM0) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM0) を発生する16ビットのレジスタです。

TM0をインターバル・タイマ動作に設定したときには、インターバル時間を保持するレジスタとして、またPWM出力動作に設定したときには、パルス幅を設定するレジスタとして使用します。

CR00は、16ビット・メモリ操作命令で設定します。0001H-FFFFHの値が設定可能です。

$\overline{\text{RESET}}$ 入力により、不定になります。

- 注意 1.** PWMのデータ (14ビット) は、CR00の上位14ビットに設定してください。このとき、下位2ビットには00を設定してください。
- 2.** CR00には0000H以外の値を設定してください。したがって、イベント・カウンタとして使用時、1パルスのカウント動作はできません。
- 3.** CR00の変更後の値が16ビット・タイマ・レジスタ (TM0) の値よりも小さいとき、TM0はカウントを継続しオーバフローして0から再カウントします。したがって、CR00の変更後の値が変更前の値より小さいときは、CR00を変更後、タイマを再スタートさせる必要があります。

(2) 16ビット・キャプチャ・レジスタ (CR01)

16ビット・タイマ・レジスタ (TM0) の内容をキャプチャする16ビットのレジスタです。

キャプチャ・トリガは、INTP0/TI0端子の有効エッジ入力です。INTP0の有効エッジは外部割り込みモード・レジスタ (INTM0) で設定します。

CR01は、16ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、不定になります。

- 注意** CR01の読み出し中にTI0/P00端子の有効エッジが入力されたとき、CR01はキャプチャ動作を行わず、データを保持します。ただし、有効エッジの検出による割り込み要求フラグ (PIF0) はセットされます。

(3) 16ビット・タイマ・レジスタ (TM0)

カウント・パルスのカウントする16ビットのレジスタです。

TM0は、16ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、0000Hになります。

- 注意** TM0の値はCR01を介して読み出すので、CR01の値を破壊します。

6.4 16ビット・タイマ／イベント・カウンタを制御するレジスタ

16ビット・タイマ／イベント・カウンタを制御するレジスタには、次の6種類があります。

- ・タイマ・クロック選択レジスタ0 (TCL0)
- ・16ビット・タイマ・モード・コントロール・レジスタ (TMC0)
- ・16ビット・タイマ出力コントロール・レジスタ (TOC0)
- ・ポート・モード・レジスタ3 (PM3)
- ・外部割り込みモード・レジスタ (INTM0)
- ・サンプリング・クロック選択レジスタ (SCS)

(1) タイマ・クロック選択レジスタ0 (TCL0) (図6-4参照)

16ビット・タイマ・レジスタのカウント・クロックを設定するレジスタです。

TCL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

備考 TCL0は、16ビット・タイマ・レジスタのカウント・クロックの設定以外に、PCL出力のクロックを設定する機能があります。

(2) 16ビット・タイマ・モード・コントロール・レジスタ (TMC0) (図6-5参照)

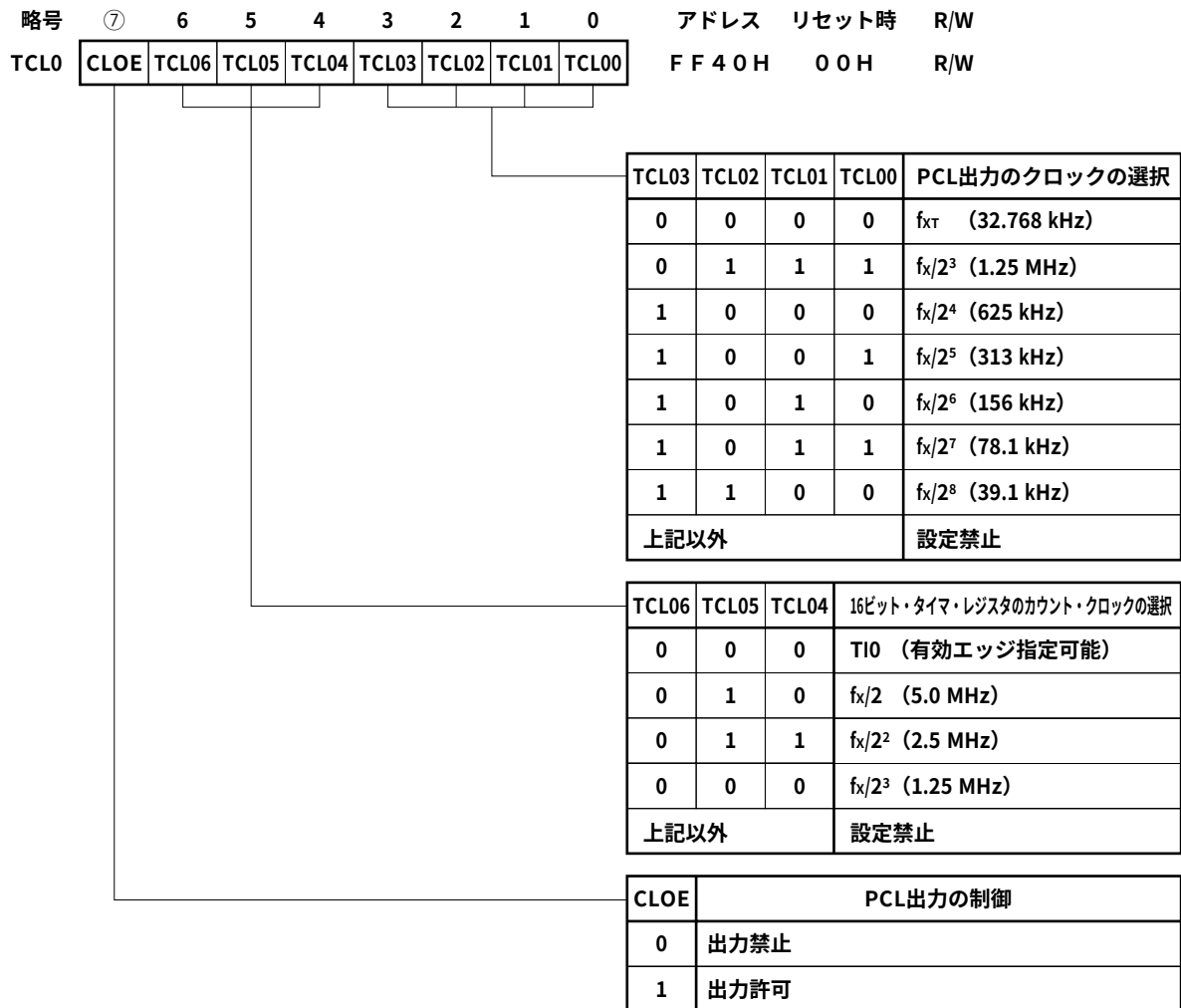
16ビット・タイマの動作モード、16ビット・タイマ・レジスタのクリア・モード、出力タイミングの設定、オーバフローを検出するレジスタです。

TMC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 16ビット・タイマ・レジスタは、TMC01-TMC03に0, 0, 0 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるにはTMC01-TMC03に0, 0, 0を設定してください。

図6-4 タイマ・クロック選択レジスタ0のフォーマット



注意 1. TI0/INTP0 端子の有効エッジは、外部割り込みモード・レジスタ (INTM0) で設定します。また、サンプリング・クロック周波数は、サンプリング・クロック選択レジスタ (SCS) で選択します。

2. PCL出力を許可するときは、TCL00-TCL03を設定したのち、1ビット・メモリ操作命令でCLOEに1を設定してください。

3. TM0のカウント・クロックにTI0を設定しているとき、カウント値を読み出す場合には、16ビット・キャプチャ・レジスタ (CR01) からではなく、TM0から読み出してください。

4. TCL0を同一データ以外に書き換える場合には、いったんタイマ動作を停止させたのちに書き換えてください。

備考 1. f_X : メイン・システム・クロック発振周波数

2. f_{XT} : サブシステム・クロック発振周波数

3. TI0 : 16ビット・タイマ／イベント・カウンタの入力端子

4. TM0 : 16ビット・タイマ・レジスタ

5. () 内は、 $f_X = 10.0$ MHzまたは $f_{XT} = 32.768$ kHz動作時。

6. PCLについては、第10章 クロック出力制御回路を参照してください。

図6-5 16ビット・タイマ・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	①	アドレス	リセット時	R/W
TMC0	0	0	0	0	TMC03	TMC02	TMC01	OVF0	FF48H	00H	R/W

OVF0	16ビット・タイマ・レジスタのオーバーフロー検出
0	オーバーフローなし
1	オーバーフローあり

TMC03	TMC02	TMC01	動作モードおよび クリア・モードの選択	TO0の出力 タイミングの選択	割り込み要求の発生
0	0	0	動作停止 (TM0は0にクリア)	変化なし	発生しない
0	0	1	PWMモード (フリーランニング)	PWMパルス出力	TM0とCR00の一致で発生
0	1	0	フリーランニング・モード	TM0とCR00の一致	
0	1	1		TM0とCR00の一致またはTI0の有効エッジ	
1	0	0	TI0の有効エッジでクリア&スタート	TM0とCR00の一致	
1	0	1		TM0とCR00の一致またはTI0の有効エッジ	
1	1	0	TM0とCR00の一致でクリア&スタート	TM0とCR00の一致	
1	1	1		TM0とCR00の一致またはTI0の有効エッジ	

- 注意1. クリア・モードおよびTO0の出力タイミングは、タイマ動作を停止（TMC01-TMC03に、0，0，0を設定）させたのちに切り替えてください。
2. TI0/INTP0端子の有効エッジは、外部割り込みモード・レジスタ（INTM0）で設定します。また、サンプリング・クロック周波数は、サンプリング・クロック選択レジスタ（SCS）で選択します。
3. PWMモードを使用するときは、PWMモード設定後、CR00にデータを設定してください。
4. TM0とCR00の一致でクリア&スタートするモードを選択した場合、CR00の設定値がFFFFHで、TM0の値がFFFFHから0000Hに変化するとき、OVF0フラグが1に設定されます。

備考 TO0 : 16ビット・タイマ／イベント・カウンタの出力端子
 TI0 : 16ビット・タイマ／イベント・カウンタの入力端子
 TM0 : 16ビット・タイマ・レジスタ
 CR00 : 16ビット・コンペア・レジスタ

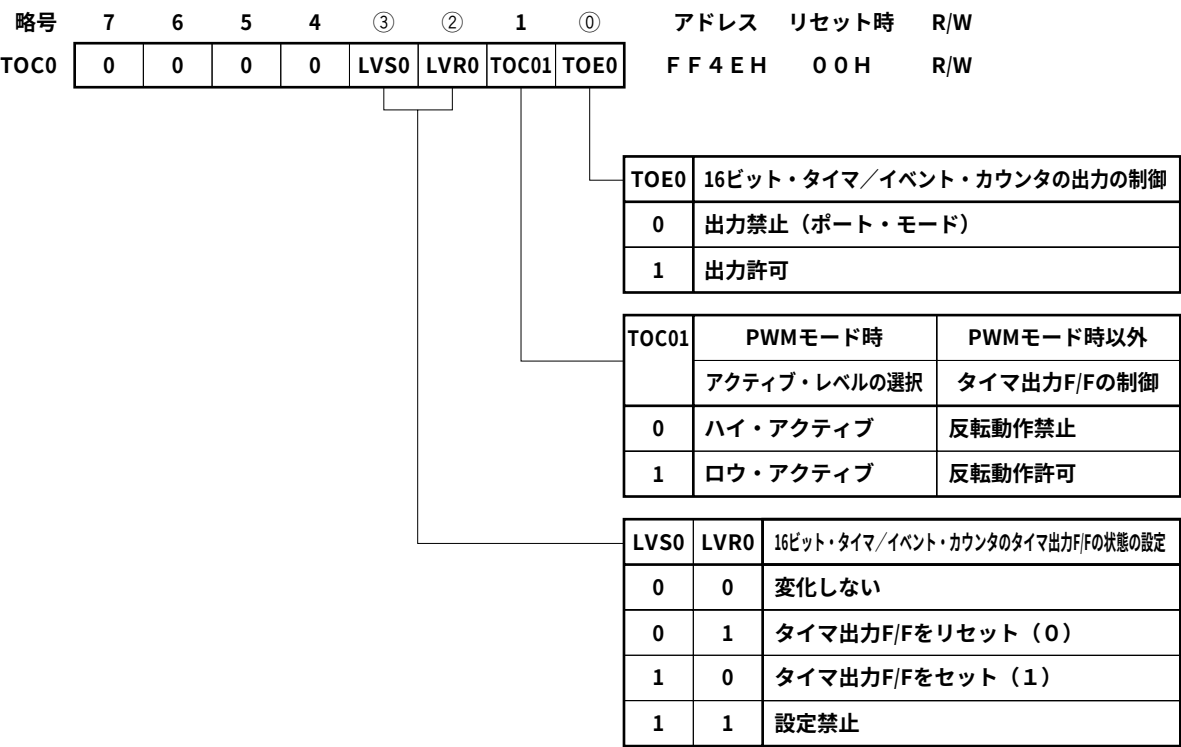
(3) 16ビット・タイマ出力コントロール・レジスタ (TOC0)

16ビット・タイマ／イベント・カウンタ出力制御回路の動作を制御するレジスタです。R-S型フリップ・フロップ (LV0) のセット／リセット, PWMモード時のアクティブ・レベル, PWMモード時以外では出力の反転許可／禁止, データ出力モードを設定します。

TOC0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図6-6 16ビット・タイマ出力コントロール・レジスタのフォーマット



注意1. TOC0は, 必ずタイマ動作を停止させたのちに設定してください。

2. LVS0, LVR0は, データ設定後に読み出すと0が読み出せます。

(4) ポート・モード・レジスタ3 (PM3)

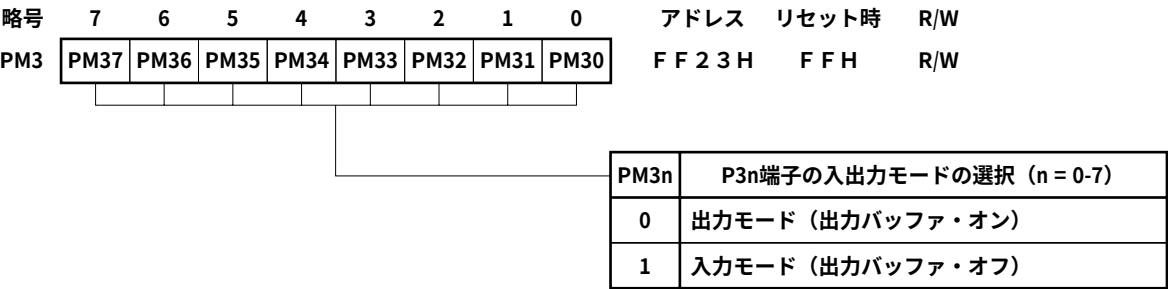
ポート3の入力／出力を1ビット単位で設定するレジスタです。

P30/TO0端子をタイマ出力として使用するとき、PM30およびP30の出力ラッチに0を設定してください。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図6－7 ポート・モード・レジスタ3のフォーマット



(5) 外部割り込みモード・レジスタ (INTM0)

INTP0-INTP2の有効エッジを設定するレジスタです。

INTM0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

備考1. INTP0端子は、TI0/P00と兼用です。

2. INTP3は、立ち下がりエッジ固定です。

図6-8 外部割り込みモード・レジスタのフォーマット



注意 INTP0/TI0/P00端子の有効エッジは、16ビット・タイマ・モード・コントロール・レジスタ (TMC0) のビット1-3 (TMC01-TMC03) に0, 0, 0を設定し、タイマ動作を停止させたのちに設定してください。

(6) サンプリング・クロック選択レジスタ (SCS)

INTP0に入力される有効エッジのクロック・サンプリングを行うクロックを設定するレジスタです。
INTP0を使ってリモコン受信をするとき、サンプリング・クロックによりデジタル・ノイズを除去します。

SCSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図6-9 サンプリング・クロック選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SCS	0	0	0	0	0	0	SCS1	SCS0	FF47H	00H	R/W

SCS1	SCS0	INTP0のサンプリング・クロックの選択
0	0	$f_x/2^{N+1}$
0	1	設定禁止
1	0	$f_x/2^6$ (156 kHz)
1	1	$f_x/2^7$ (78.1 kHz)

注意 $f_x/2^{N+1}$ はCPUへ供給されるクロック、 $f_x/2^6$ 、 $f_x/2^7$ は周辺ハードウェアへ供給されるクロックです。
 $f_x/2^{N+1}$ はHALTモード中は停止します。

備考1. N：プロセッサ・クロック・コントロール・レジスタ (PCC) のビット0-2 (PCC0-PCC2) に設定した値 (N=0-4)。

2. f_x ：メイン・システム・クロック発振周波数

3. () 内は、 $f_x = 10.0 \text{ MHz}$ 動作時。

6.5 16ビット・タイマ／イベント・カウンタの動作

6.5.1 インターバル・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ (TMC0) のビット2, 3 (TMC02, TMC03) を1, 1に設定することにより、インターバル・タイマとして動作します。16ビット・コンペア・レジスタ (CR00) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生します。

16ビット・タイマ・レジスタ (TM0) のカウント値がCR00に設定した値と一致したとき、TM0 の値を0にクリアしてカウントを継続するとともに割り込み要求信号 (INTTM0) を発生します。

タイマ・クロック選択レジスタ0 (TCL0) のビット4-6 (TCL04-TCL06) で16ビット・タイマ／イベント・カウンタのカウント・クロックを選択できます。

なお、タイマ・カウント動作中にコンペア・レジスタの値を変更した場合の動作については、6.6 (3) タイマ・カウント動作中のコンペア・レジスタの変更後の動作を参照してください。

図6-10 インターバル・タイマの構成図

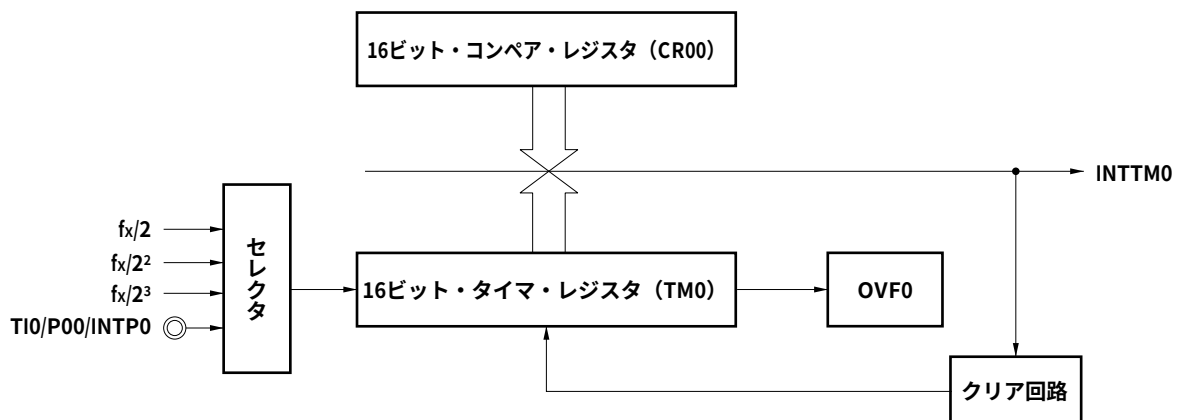
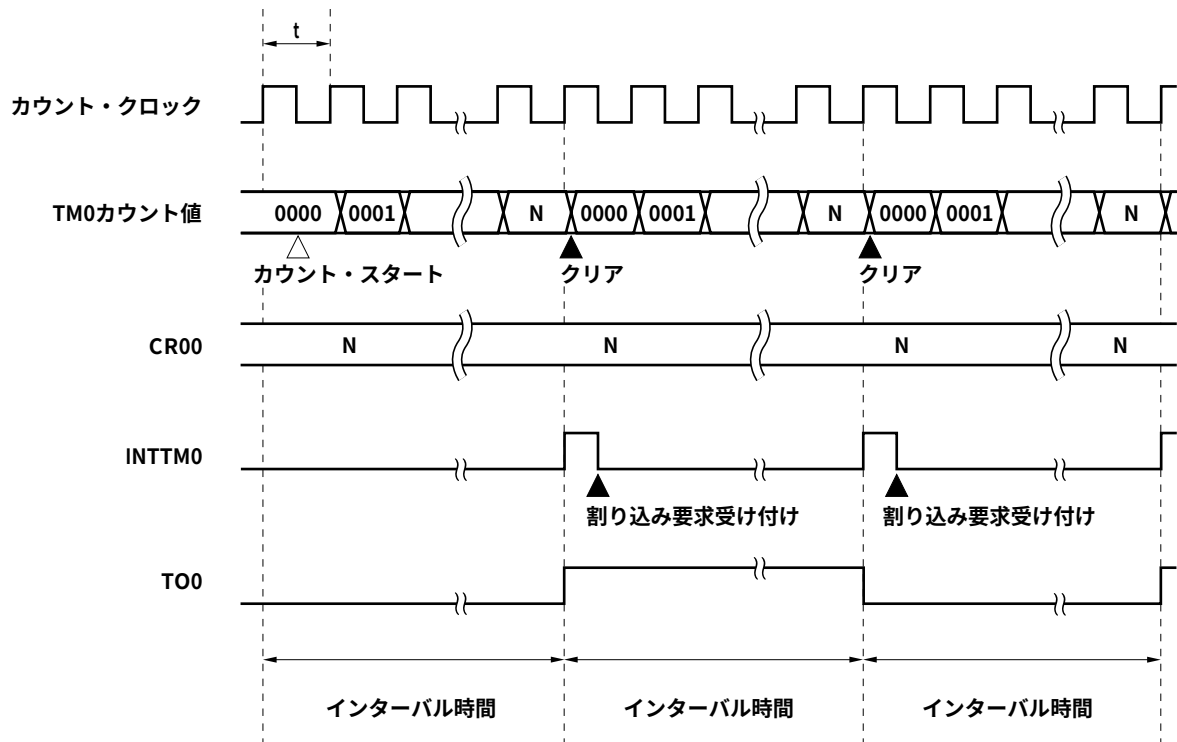


図6-11 インターバル・タイマ動作のタイミング



備考 インターバル時間 = $(N + 1) \times t$: $N = 0001H\text{--}FFFFH$

表6-5 16ビット・タイマ/イベント・カウンタのインターバル時間

TCL06	TCL05	TCL04	最小インターバル時間	最大インターバル時間	分解能
0	0	0	$2 \times T_{I0}$ 入力周期	$2^{16} \times T_{I0}$ 入力周期	T_{I0} 入力エッジ周期
0	1	0	$2^2 \times 1/f_x$ (400 ns)	$2^{17} \times 1/f_x$ (13.1 ms)	$2 \times 1/f_x$ (200 ns)
0	1	1	$2^3 \times 1/f_x$ (800 ns)	$2^{18} \times 1/f_x$ (26.2 ms)	$2^2 \times 1/f_x$ (400 ns)
1	0	0	$2^4 \times 1/f_x$ (1.6 μs)	$2^{19} \times 1/f_x$ (52.4 ms)	$2^3 \times 1/f_x$ (800 ns)
上記以外			設定禁止		

備考 1. f_x : メイン・システム・クロック発振周波数

2. TCL04-TCL06 : タイマ・クロック選択レジスタ 0 (TCL0) のビット 4-6

3. () 内は $f_x = 10.0$ MHz動作時。

6.5.2 PWM出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ (TMC0) のビット1-3 (TMC01-03) を1, 0, 0に設定することにより, PWM出力として動作します。16ビット・コンペア・レジスタ (CR00) に設定した値で決まるデューティ比のパルスを, TO0/P30端子から出力します。

PWMパルスのアクティブ・レベルの幅は, CR00の上位14ビットに設定してください。また, アクティブ・レベルは, 16ビット・タイマ出力コントロール・レジスタ (TOC0) のビット1 (TOC01) により選択します。

このPWMパルスは, 14ビット分解能のパルスです。PWMパルスを外付けロウ・パス・フィルタ (LPF) で積分することによりアナログ電圧に変換できます。 $2^8/\phi$ で決まる基本周期と $2^{14}/\phi$ で決まる副周期を組み合わせて作られており, 外付けのLPFの時定数を短くできるよう工夫されています。カウント・クロック ϕ はタイマ・クロック選択レジスタ0 (TCL0) のビット4-6 (TCL04-TCL06) で選択できます。

TOC0のビット0 (TOE0) により, PWM出力の許可／禁止が選択できます。

- 注意1.** CR00は, PWM動作モードを選択後に設定してください。
2. CR00のビット0, 1には必ず0を書き込んでください。
 3. TI0/P00/INTP0端子からの外部クロック入力するとき, PWM動作モードを選択しないでください。

14ビット分解能のPWMパルスを外付けのロウ・パス・フィルタで積分することによって、アナログ電圧に変換し、電子チューニングやD/Aコンバータなどに応用できます。

図6-12に示すような構成で、D/A変換に使用した場合のアナログ出力電圧（ V_{AN} ）は次のようになります。

$$V_{AN} = V_{REF} \times \frac{\text{コンペア・レジスタ（CR00）の値}}{2^{16}}$$

V_{REF} ：外部スイッチング回路の基準電圧

図6-12 PWM出力によるD/Aコンバータ構成例

μPD78014Hサブシリーズ

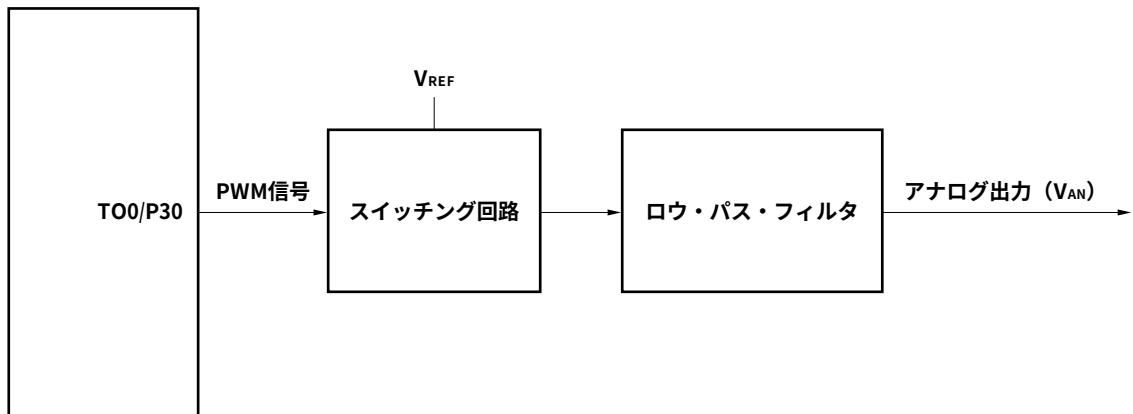
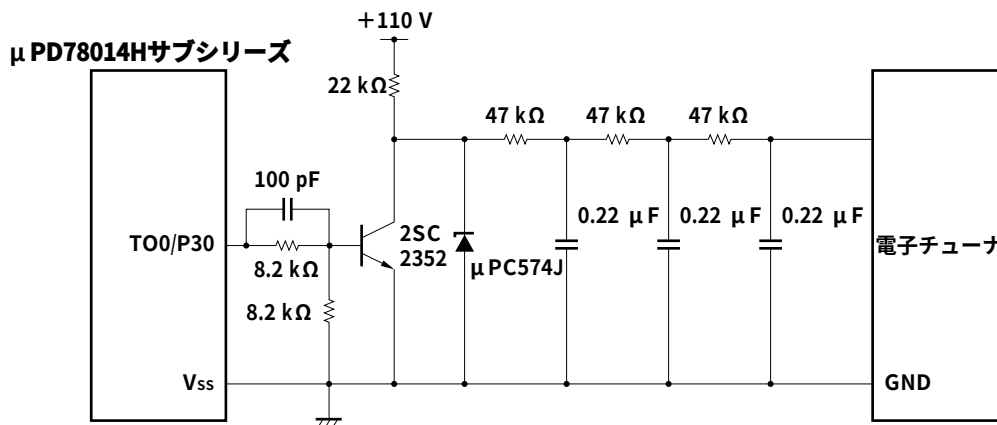


図6-13にPWM出力をアナログ電圧に変換し、ボルテージ・シンセサイザ方式のTVチューナに応用した例を示します。

図6-13 TVチューナへの応用回路例



6.5.3 パルス幅測定としての動作

16ビット・タイマ・レジスタ (TM0) を使用し、TI0/P00端子に入力される信号のパルス幅を測定できます。

測定方法は、TM0をフリーランニングさせて測定する方法とTI0/P00端子に入力される信号の有効エッジに同期してタイマをリスタートさせて測定する方法の2種類があります。

(1) フリーランニングによるパルス幅測定

16ビット・タイマ・レジスタ (TM0) を動作させているとき、TI0/P00端子に外部割り込みモード・レジスタ (INTM0) で指定したエッジが入力されると、TM0の値を16ビット・キャプチャ・レジスタ (CR01) に取り込み、外部割り込み要求信号 (INTP0) をセットします。

エッジ指定はINTM0のビット2, 3 (ES10, ES11) により、立ち上がり、立ち下がり、両エッジの3種類から選択できます。

有効エッジの検出は、サンプリング・クロック選択レジスタ (SCS) で選択した周期でサンプリングを行い、2回有効レベルを検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

図6-14 フリーランニングによるパルス幅測定の構成図

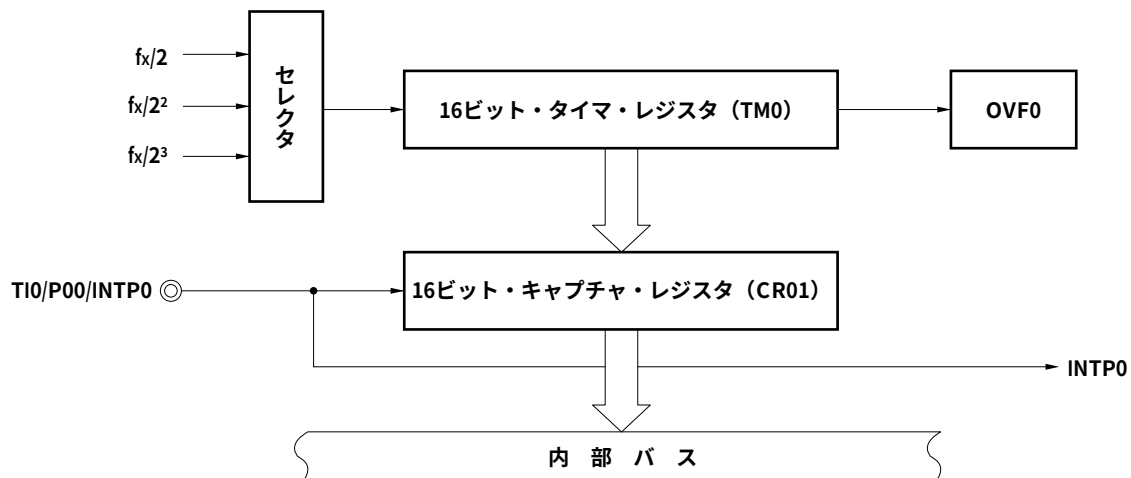
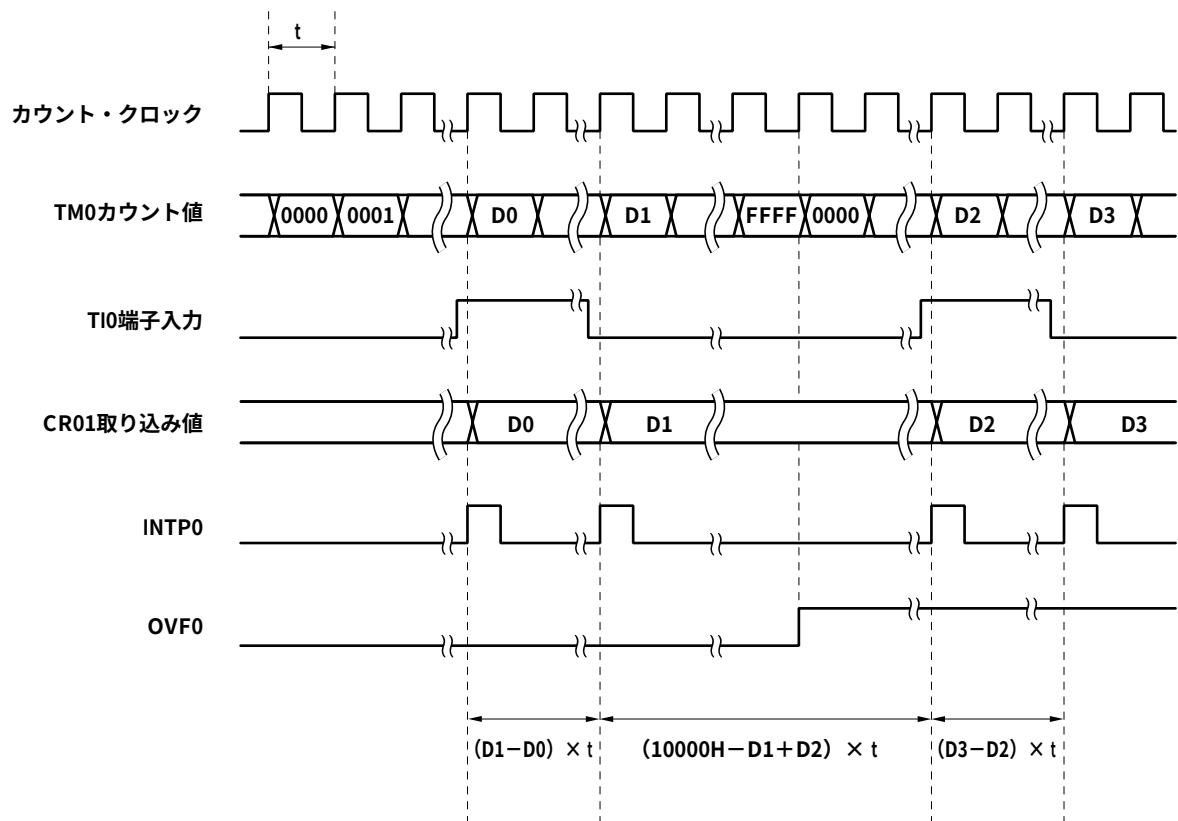


図6-15 フリーランニングによるパルス幅測定動作のタイミング（両エッジ指定時）



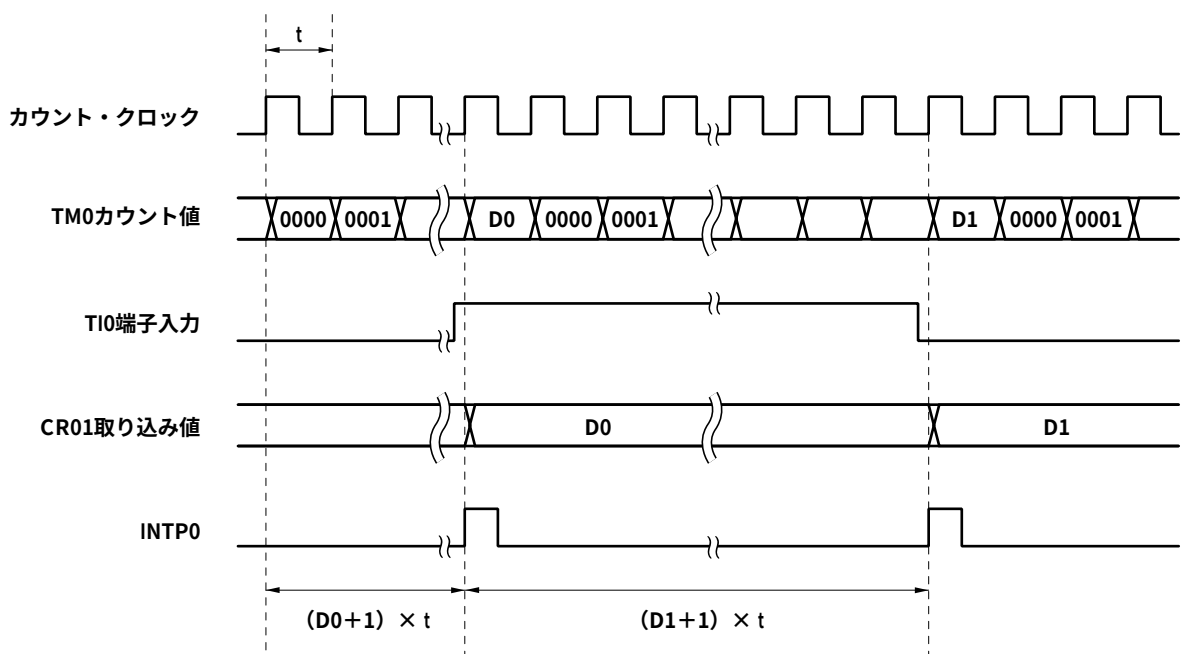
(2) リスタートによるパルス幅測定

TI0/P00端子への有効エッジを検出したとき、16ビット・タイマ・レジスタ (TM0) のカウント値を16ビット・キャプチャ・レジスタ (CR01) に取り込んだのち、TM0をクリアしてカウントを再開することによりTI0/P00端子に入力された信号のパルス幅を測定します。

エッジ指定は外部割り込みモード・レジスタ (INTM0) のビット2, 3 (ES10, ES11) により、立ち上がり、立ち下がり、両エッジの3種類から選択できます。

有効エッジの検出は、サンプリング・クロック選択レジスタ (SCS) で選択した周期でサンプリングを行い、2回有効レベルを検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

図6-16 リスタートによるパルス幅測定動作のタイミング (両エッジ指定時)



6.5.4 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI0/P00端子に入力される外部からのクロック・パルス数を16ビット・タイマ・レジスタ（TM0）でカウントするものです。

外部割り込みモード・レジスタ（INTM0）で指定した有効エッジが入力されるたびに、TM0がインクリメントされます。

TM0の計数値が16ビット・コンペア・レジスタ（CR00）の値と一致すると、TM0は0にクリアされ、割り込み要求信号（INTTM0）が発生します。

★ なお、CR00には0000H以外の値を設定してください（1パルスのカウント動作はできません）。

エッジ指定はINTM0のビット2，3（ES10，ES11）により、立ち上がり、立ち下がり、両エッジの3種類から選択できます。

有効エッジの検出は、サンプリング・クロック選択レジスタ（SCS）で選択した周期でサンプリングを行い、2回有効レベルを検出することではじめて動作するため、短いパルス幅のノイズを除去できます。

図6-17 外部イベント・カウンタの構成図

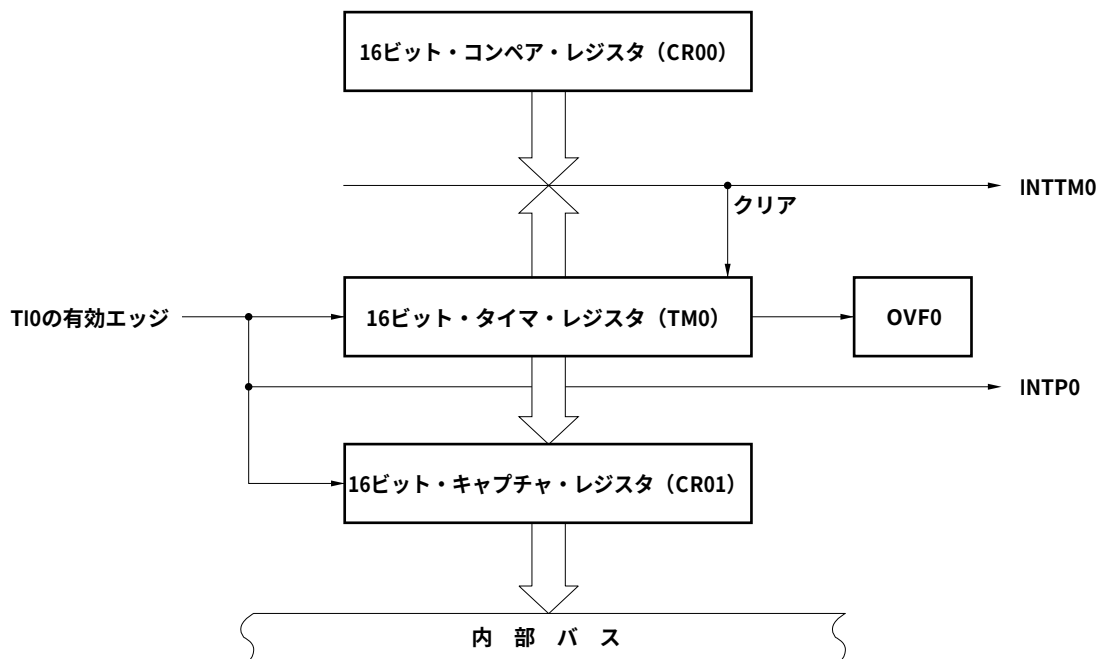
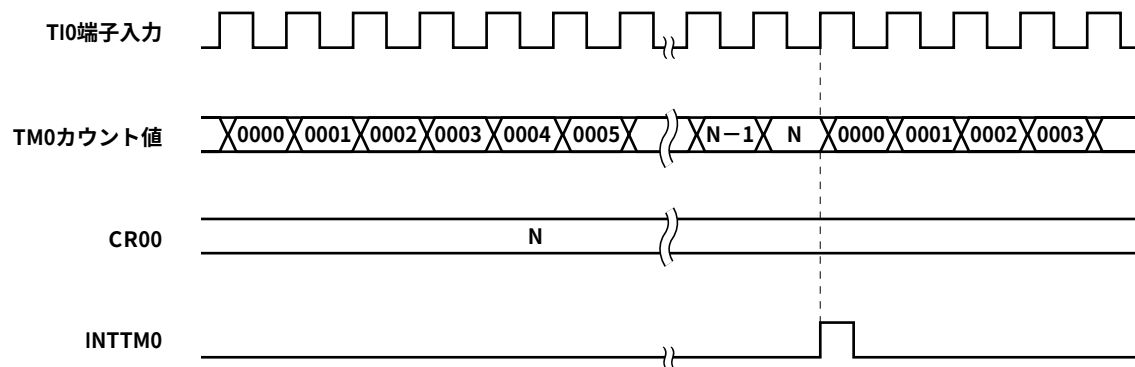


図6-18 外部イベント・カウンタ動作のタイミング（立ち上がりエッジ指定時）



6.5.5 方形波出力としての動作

16ビット・コンペア・レジスタ（CR00）にあらかじめ設定したカウント値をインターバルとする、任意の周波数の方形波出力として動作します。

16ビット・タイマ出力コントロール・レジスタ（TOC0）のビット0（TOE0）とビット1（TOC01）に1を設定することにより、CR00にあらかじめ設定したカウント値をインターバルとしてTO0/P30端子の出力状態が反転します。これによって、任意の周波数の方形波出力が可能です。

表6-6 16ビット・タイマ／イベント・カウンタの方形波出力範囲

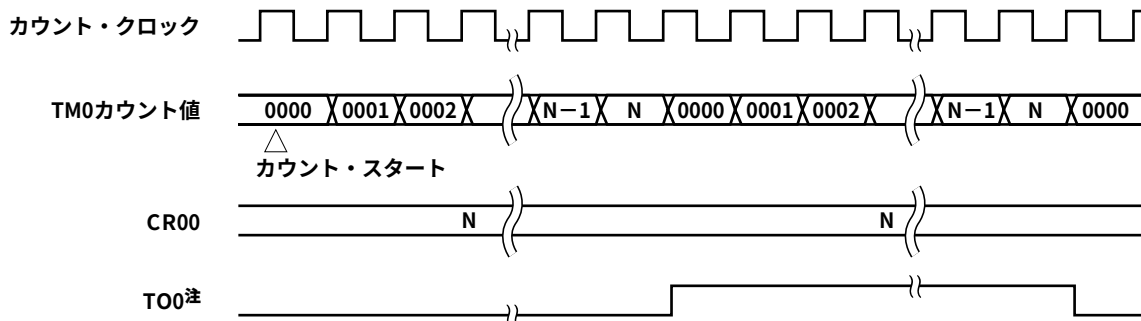
TCL06	TCL05	TCL04	最小パルス幅	最大パルス幅	分解能
0	0	0	$2 \times \text{TIO入力周期}$	$2^{16} \times \text{TIO入力周期}$	TIO入力エッジ周期
0	1	0	$2^2 \times 1/f_x$ (400 ns)	$2^{17} \times 1/f_x$ (13.1 ms)	$2 \times 1/f_x$ (200 ns)
0	1	1	$2^3 \times 1/f_x$ (800 ns)	$2^{18} \times 1/f_x$ (26.2 ms)	$2^2 \times 1/f_x$ (400 ns)
1	0	0	$2^4 \times 1/f_x$ (1.6 μs)	$2^{19} \times 1/f_x$ (52.4 ms)	$2^3 \times 1/f_x$ (800 ns)

備考1. f_x ：メイン・システム・クロック発振周波数

2. TCL04-TCL06：タイマ・クロック選択レジスタ0（TCL0）のビット4-6

3. () 内は $f_x = 10.0 \text{ MHz}$ 動作時。

図6-19 方形波出力動作のタイミング



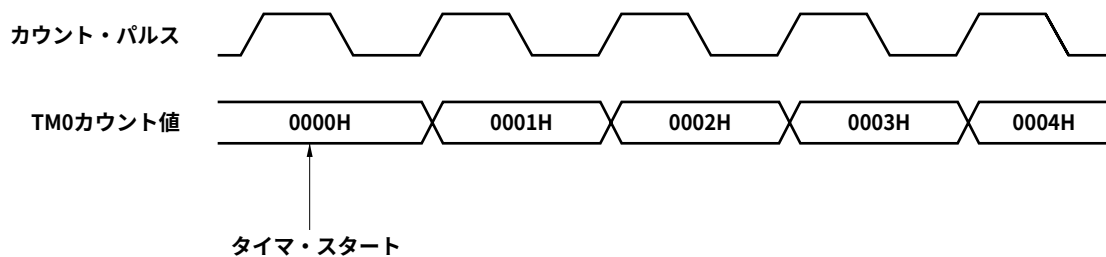
注 TO0出力の初期値は、16ビット・タイマ出力コントロール・レジスタ（TOC0）のビット2, 3（LVR0, LVS0）で設定できます。

6.6 16ビット・タイマ／イベント・カウンタの注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して16ビット・タイマ・レジスタ (TM0) が非同期でスタートされるためです。

図6-20 16ビット・タイマ・レジスタのスタート・タイミング



(2) 16ビット・コンペア・レジスタの設定

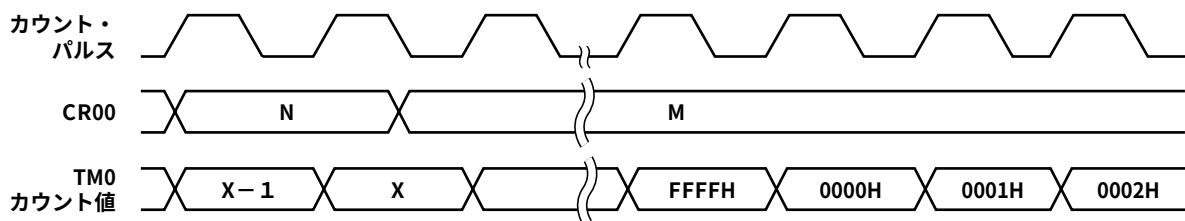
16ビット・コンペア・レジスタ (CR00) には、0000H以外の値を設定してください。

したがって、イベント・カウンタとして使用时、1パルスのカウント動作はできません。

(3) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

16ビット・コンペア・レジスタ (CR00) の変更後の値が、16ビット・タイマ・レジスタ (TM0) の値よりも小さいとき、TM0はカウントを継続しオーバーフローして0から再カウントします。したがって、CR00の変更後の値 (M) が変更前の値 (N) より小さいときは、CR00を変更後、タイマを再スタートさせる必要があります。

図6-21 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング

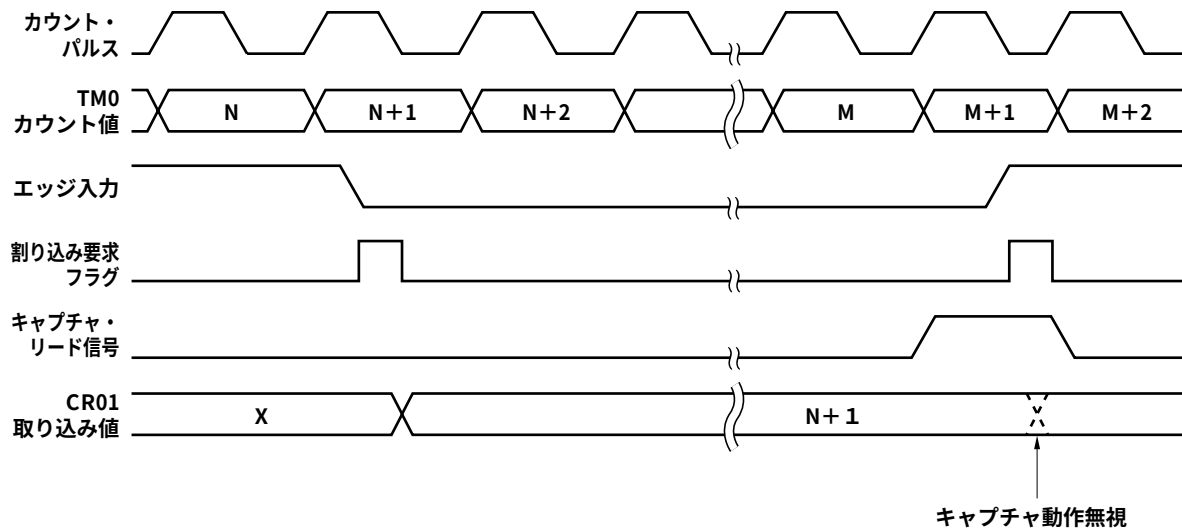


備考 $N > X > M$

(4) キャプチャ・レジスタのデータ保持タイミング

16ビット・キャプチャ・レジスタ（CR01）の読み出し中にTI0/P00端子の有効エッジが入力されたとき、CR01はキャプチャ動作を行わず、データを保持します。ただし、有効エッジの検出による割り込み要求フラグ（PIF0）はセットされます。

図6-22 キャプチャ・レジスタのデータ保持タイミング

**(5) 有効エッジの設定**

TI0/P00/INTP0端子の有効エッジは、16ビット・タイマ・モード・コントロール・レジスタ（TMC0）のビット1-3（TMC01-TMC03）に0, 0, 0を設定し、タイマ動作を停止させたのちに設定してください。有効エッジは、外部割り込みモード・レジスタ（INTM0）のビット2, 3（ES10, ES11）で設定します。

(6) OVFOフラグの動作

OVFOフラグは次のとき、1に設定されます。

TM0とCR00の一致でクリア&スタートするモードを選択

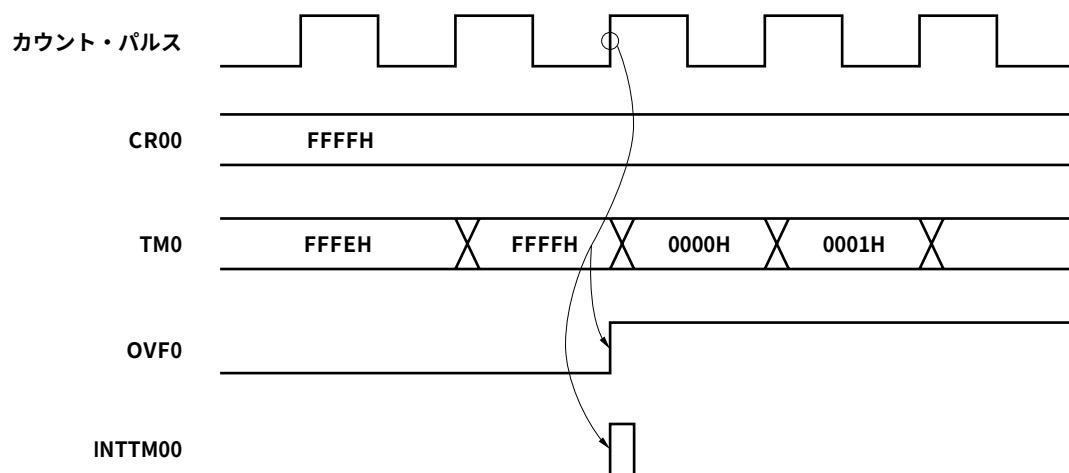


CR00をFFFFHに設定



TM0がFFFFHから0000Hにカウント・アップするとき

図6-23 OVFOフラグの動作タイミング



(× 毛)

第7章 8ビット・タイマ／イベント・カウンタ

7.1 8ビット・タイマ／イベント・カウンタの機能

μPD78014Hサブシリーズが内蔵している8ビット・タイマ／イベント・カウンタには、次の2つのモードがあります。

- ・ 8ビット・タイマ／イベント・カウンタ・モード：2チャンネルの8ビット・タイマ／イベント・カウンタを別個に使用するモード
- ・ 16ビット・タイマ／イベント・カウンタ・モード：2チャンネルの8ビット・タイマ／イベント・カウンタをあわせて16ビット・タイマ／イベント・カウンタとして使用するモード

7.1.1 8ビット・タイマ／イベント・カウンタ・モード

8ビット・タイマ／イベント・カウンタ1，2（TM1，TM2）には、次のような機能があります。

- ・ インターバル・タイマ
- ・ 外部イベント・カウンタ
- ・ 方形波出力

(1) 8ビット・インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

表7-1 8ビット・タイマ／イベント・カウンタのインターバル時間

最小インターバル時間	最大インターバル時間	分解能
$2^2 \times 1/f_x$ (400 ns)	$2^{10} \times 1/f_x$ (102.4 μ s)	$2^2 \times 1/f_x$ (400 ns)
$2^3 \times 1/f_x$ (800 ns)	$2^{11} \times 1/f_x$ (204.8 μ s)	$2^3 \times 1/f_x$ (800 ns)
$2^4 \times 1/f_x$ (1.6 μ s)	$2^{12} \times 1/f_x$ (409.6 μ s)	$2^4 \times 1/f_x$ (1.6 μ s)
$2^5 \times 1/f_x$ (3.2 μ s)	$2^{13} \times 1/f_x$ (819.2 μ s)	$2^5 \times 1/f_x$ (3.2 μ s)
$2^6 \times 1/f_x$ (6.4 μ s)	$2^{14} \times 1/f_x$ (1.64 ms)	$2^6 \times 1/f_x$ (6.4 μ s)
$2^7 \times 1/f_x$ (12.8 μ s)	$2^{15} \times 1/f_x$ (3.28 ms)	$2^7 \times 1/f_x$ (12.8 μ s)
$2^8 \times 1/f_x$ (25.6 μ s)	$2^{16} \times 1/f_x$ (6.55 ms)	$2^8 \times 1/f_x$ (25.6 μ s)
$2^9 \times 1/f_x$ (51.2 μ s)	$2^{17} \times 1/f_x$ (13.1 ms)	$2^9 \times 1/f_x$ (51.2 μ s)
$2^{10} \times 1/f_x$ (102.4 μ s)	$2^{18} \times 1/f_x$ (26.2 ms)	$2^{10} \times 1/f_x$ (102.4 μ s)
$2^{12} \times 1/f_x$ (409.6 μ s)	$2^{20} \times 1/f_x$ (104.9 ms)	$2^{12} \times 1/f_x$ (409.6 μ s)

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は $f_x = 10.0$ MHz動作時。

(2) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(3) 方形波出力

任意の周波数の方形波出力が可能です。

表7-2 8ビット・タイマ／イベント・カウンタの方形波出力範囲

最小パルス幅	最大パルス幅	分解能
$2^2 \times 1/f_x$ (400 ns)	$2^{10} \times 1/f_x$ (102.4 μ s)	$2^2 \times 1/f_x$ (400 ns)
$2^3 \times 1/f_x$ (800 ns)	$2^{11} \times 1/f_x$ (204.8 μ s)	$2^3 \times 1/f_x$ (800 ns)
$2^4 \times 1/f_x$ (1.6 μ s)	$2^{12} \times 1/f_x$ (409.6 μ s)	$2^4 \times 1/f_x$ (1.6 μ s)
$2^5 \times 1/f_x$ (3.2 μ s)	$2^{13} \times 1/f_x$ (819.2 μ s)	$2^5 \times 1/f_x$ (3.2 μ s)
$2^6 \times 1/f_x$ (6.4 μ s)	$2^{14} \times 1/f_x$ (1.64 ms)	$2^6 \times 1/f_x$ (6.4 μ s)
$2^7 \times 1/f_x$ (12.8 μ s)	$2^{15} \times 1/f_x$ (3.28 ms)	$2^7 \times 1/f_x$ (12.8 μ s)
$2^8 \times 1/f_x$ (25.6 μ s)	$2^{16} \times 1/f_x$ (6.55 ms)	$2^8 \times 1/f_x$ (25.6 μ s)
$2^9 \times 1/f_x$ (51.2 μ s)	$2^{17} \times 1/f_x$ (13.1 ms)	$2^9 \times 1/f_x$ (51.2 μ s)
$2^{10} \times 1/f_x$ (102.4 μ s)	$2^{18} \times 1/f_x$ (26.2 ms)	$2^{10} \times 1/f_x$ (102.4 μ s)
$2^{12} \times 1/f_x$ (409.6 μ s)	$2^{20} \times 1/f_x$ (104.9 ms)	$2^{12} \times 1/f_x$ (409.6 μ s)

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は $f_x = 10.0$ MHz動作時。

7.1.2 16ビット・タイマ／イベント・カウンタ・モード

(1) 16ビット・インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生できます。

表7-3 8ビット・タイマ／イベント・カウンタを16ビット・タイマ／イベント・カウンタとして使用したときのインターバル時間

最小インターバル時間	最大インターバル時間	分解能
$2^2 \times 1/f_x$ (400 ns)	$2^{18} \times 1/f_x$ (26.2 ms)	$2^2 \times 1/f_x$ (400 ns)
$2^3 \times 1/f_x$ (800 ns)	$2^{19} \times 1/f_x$ (52.4 ms)	$2^3 \times 1/f_x$ (800 ns)
$2^4 \times 1/f_x$ (1.6 μ s)	$2^{20} \times 1/f_x$ (104.9 ms)	$2^4 \times 1/f_x$ (1.6 μ s)
$2^5 \times 1/f_x$ (3.2 μ s)	$2^{21} \times 1/f_x$ (209.7 ms)	$2^5 \times 1/f_x$ (3.2 μ s)
$2^6 \times 1/f_x$ (6.4 μ s)	$2^{22} \times 1/f_x$ (419.4 ms)	$2^6 \times 1/f_x$ (6.4 μ s)
$2^7 \times 1/f_x$ (12.8 μ s)	$2^{23} \times 1/f_x$ (838.9 ms)	$2^7 \times 1/f_x$ (12.8 μ s)
$2^8 \times 1/f_x$ (25.6 μ s)	$2^{24} \times 1/f_x$ (1.7 s)	$2^8 \times 1/f_x$ (25.6 μ s)
$2^9 \times 1/f_x$ (51.2 μ s)	$2^{25} \times 1/f_x$ (3.4 s)	$2^9 \times 1/f_x$ (51.2 μ s)
$2^{10} \times 1/f_x$ (102.4 μ s)	$2^{26} \times 1/f_x$ (6.7 s)	$2^{10} \times 1/f_x$ (102.4 μ s)
$2^{12} \times 1/f_x$ (409.6 μ s)	$2^{28} \times 1/f_x$ (26.8 s)	$2^{12} \times 1/f_x$ (409.6 μ s)

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は $f_x = 10.0$ MHz動作時。

(2) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(3) 方形波出力

任意の周波数の方形波出力が可能です。

表7-4 8ビット・タイマ／イベント・カウンタを16ビット・タイマ／イベント・カウンタとして使用したときの方形波出力範囲

最小パルス幅	最大パルス幅	分解能
$2^2 \times 1/f_x$ (400 ns)	$2^{18} \times 1/f_x$ (26.2 ms)	$2^2 \times 1/f_x$ (400 ns)
$2^3 \times 1/f_x$ (800 ns)	$2^{19} \times 1/f_x$ (52.4 ms)	$2^3 \times 1/f_x$ (800 ns)
$2^4 \times 1/f_x$ (1.6 μ s)	$2^{20} \times 1/f_x$ (104.9 ms)	$2^4 \times 1/f_x$ (1.6 μ s)
$2^5 \times 1/f_x$ (3.2 μ s)	$2^{21} \times 1/f_x$ (209.7 ms)	$2^5 \times 1/f_x$ (3.2 μ s)
$2^6 \times 1/f_x$ (6.4 μ s)	$2^{22} \times 1/f_x$ (419.4 ms)	$2^6 \times 1/f_x$ (6.4 μ s)
$2^7 \times 1/f_x$ (12.8 μ s)	$2^{23} \times 1/f_x$ (838.9 ms)	$2^7 \times 1/f_x$ (12.8 μ s)
$2^8 \times 1/f_x$ (25.6 μ s)	$2^{24} \times 1/f_x$ (1.7 s)	$2^8 \times 1/f_x$ (25.6 μ s)
$2^9 \times 1/f_x$ (51.2 μ s)	$2^{25} \times 1/f_x$ (3.4 s)	$2^9 \times 1/f_x$ (51.2 μ s)
$2^{10} \times 1/f_x$ (102.4 μ s)	$2^{26} \times 1/f_x$ (6.7 s)	$2^{10} \times 1/f_x$ (102.4 μ s)
$2^{12} \times 1/f_x$ (409.6 μ s)	$2^{28} \times 1/f_x$ (26.8 s)	$2^{12} \times 1/f_x$ (409.6 μ s)

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は $f_x = 10.0$ MHz動作時。

7.2 8ビット・タイマ／イベント・カウンタの構成

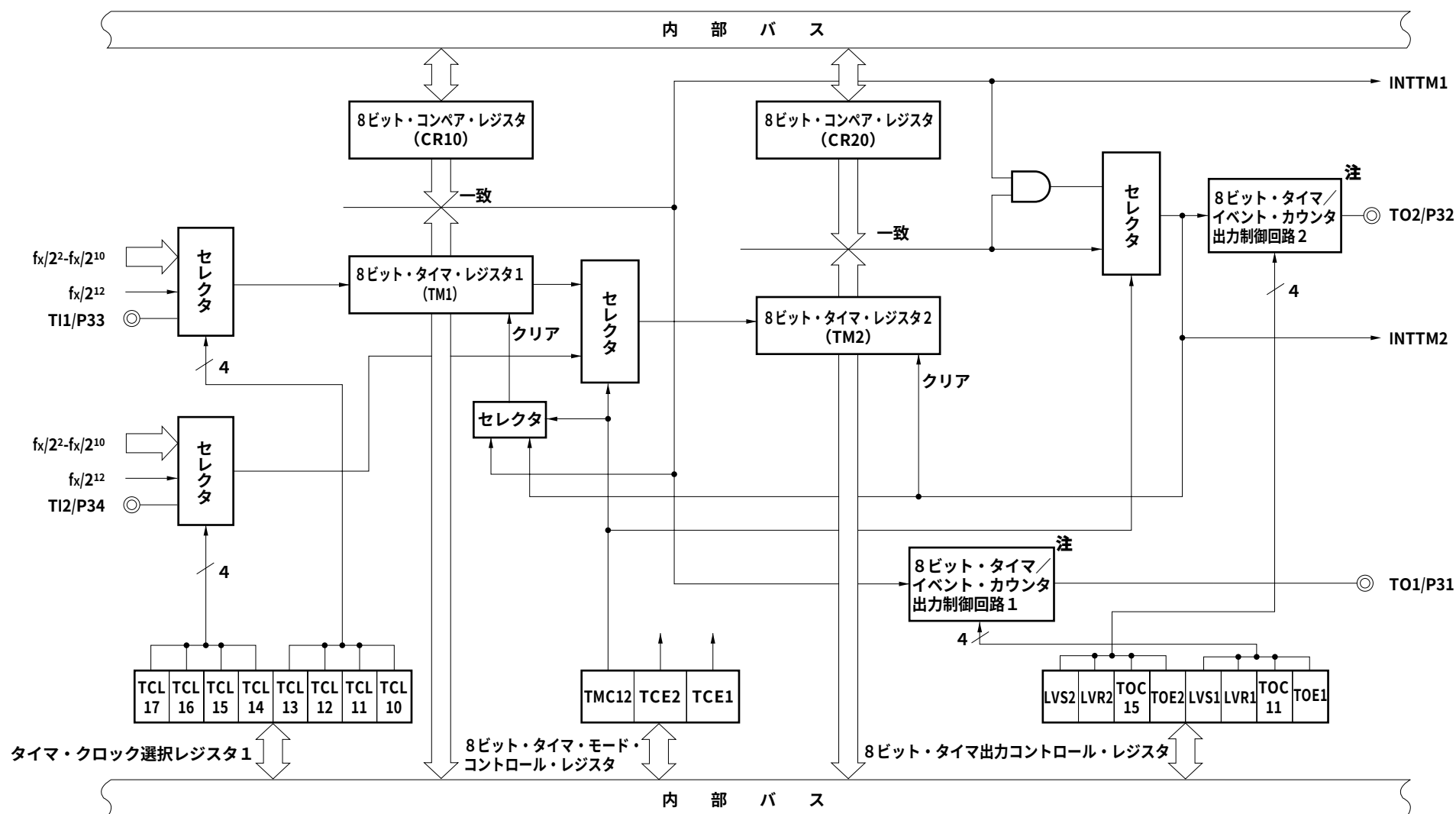
8ビット・タイマ／イベント・カウンタは、次のハードウェアで構成しています。

表7-5 8ビット・タイマ／イベント・カウンタの構成

項 目	構 成
タイマ・レジスタ	8ビット×2本 (TM1, TM2)
レジスタ	8ビット・コンペア・レジスタ：2本 (CR10, CR20)
タイマ出力	2本 (TO1, TO2)
制御レジスタ	タイマ・クロック選択レジスタ1 (TCL1) 8ビット・タイマ・モード・コントロール・レジスタ (TMC1) 8ビット・タイマ出力コントロール・レジスタ (TOC1) ポート・モード・レジスタ3 (PM3) 注 ポート3 (P3)

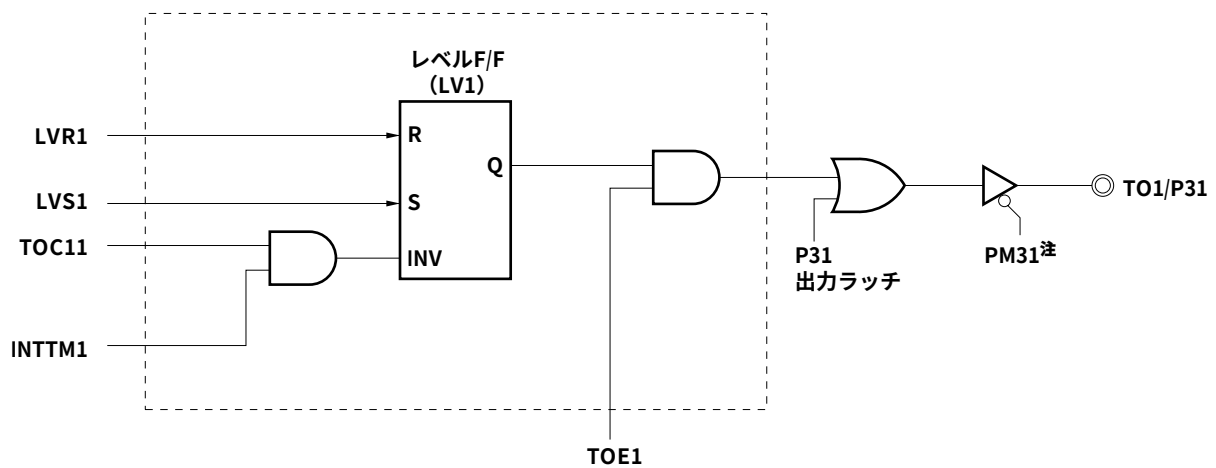
注 図4-8 P30-P37のブロック図を参照してください。

図7-1 8ビット・タイマ/イベント・カウンタのブロック図



注 8ビット・タイマ/イベント・カウンタの出力制御回路1, 2の構成は、図7-2, 図7-3を参照してください。

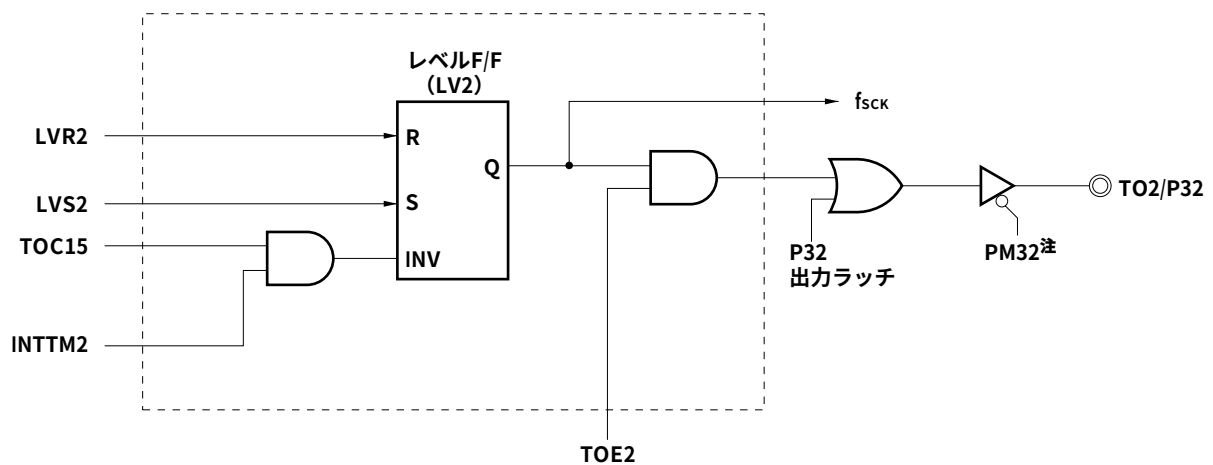
図7-2 8ビット・タイマ/イベント・カウンタ出力制御回路1のブロック図



注 ポート・モード・レジスタ3 (PM3) のビット1

備考 破線部内が出力制御回路です。

図7-3 8ビット・タイマ/イベント・カウンタ出力制御回路2のブロック図



注 ポート・モード・レジスタ3 (PM3) のビット2

備考1. 破線部内が出力制御回路です。

2. f_{sck} : シリアル・クロック周波数

(1) 8ビット・コンペア・レジスタ (CR10, CR20)

CR10に設定した値と8ビット・タイマ・レジスタ1 (TM1) のカウント値, CR20に設定した値と8ビット・タイマ・レジスタ2 (TM2) のカウント値を常に比較し、一致したときにそれぞれ割り込み要求 (INTTM1, INTTM2) を発生する8ビットのレジスタです。

TM1, TM2をインターバル・タイマ動作に設定したときのインターバル時間を保持するレジスタとしても使用できます。

CR10, CR20は、8ビット・メモリ操作命令で設定します。16ビット・メモリ操作命令では設定できません。8ビット・タイマ／イベント・カウンタとして使用時は、00H-FFHの値が、16ビット・タイマ／イベント・カウンタとして使用時は、0000H-FFFFHの値が設定可能です。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意1. 16ビット・タイマ／イベント・カウンタとして使用時、データは、必ずタイマ動作を停止させたのちに設定してください。

2. CR10, CR20の変更後の値が、8ビット・タイマ・レジスタ (TM1, TM2) の値よりも小さいとき、TM1, TM2はカウントを継続しオーバフローして0から再カウントします。したがって、CR10, CR20の変更後の値が変更前の値よりも小さいときは、CR10, CR20を変更後、タイマを再スタートさせる必要があります。

(2) 8ビット・タイマ・レジスタ1, 2 (TM1, TM2)

カウント・パルスのカウントする8ビットのレジスタです。

TM1, TM2を8ビット・タイマ×2チャンネル・モードとして使用するときは、8ビット・メモリ操作命令で読み出します。16ビット・タイマ×1チャンネル・モードとして使用するときは、16ビット・タイマ・レジスタ (TMS) を16ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、それぞれ00Hになります。

7.3 8ビット・タイマ／イベント・カウンタを制御するレジスタ

8ビット・タイマ／イベント・カウンタを制御するレジスタには、次の4種類があります。

- ・タイマ・クロック選択レジスタ1 (TCL1)
- ・8ビット・タイマ・モード・コントロール・レジスタ (TMC1)
- ・8ビット・タイマ出力コントロール・レジスタ (TOC1)
- ・ポート・モード・レジスタ3 (PM3)

(1) タイマ・クロック選択レジスタ1 (TCL1)

8ビット・タイマ・レジスタ1, 2のカウント・クロックを設定するレジスタです。

TCL1は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図7-4 タイマ・クロック選択レジスタ1のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL1	TCL17	TCL16	TCL15	TCL14	TCL13	TCL12	TCL11	TCL10	F F 4 1 H	0 0 H	R/W

TCL13	TCL12	TCL11	TCL10	8ビット・タイマ・レジスタ1のカウンタ・クロックの選択
0	0	0	0	TI1の立ち下がりエッジ
0	0	0	1	TI1の立ち上がりエッジ
0	1	1	0	$f_x/2^2$ (2.5 MHz)
0	1	1	1	$f_x/2^3$ (1.25 MHz)
1	0	0	0	$f_x/2^4$ (625 kHz)
1	0	0	1	$f_x/2^5$ (313 kHz)
1	0	1	0	$f_x/2^6$ (156 kHz)
1	0	1	1	$f_x/2^7$ (78.1 kHz)
1	1	0	0	$f_x/2^8$ (39.1 kHz)
1	1	0	1	$f_x/2^9$ (19.5 kHz)
1	1	1	0	$f_x/2^{10}$ (9.8 kHz)
1	1	1	1	$f_x/2^{12}$ (2.4 kHz)
上記以外				設定禁止

TCL17	TCL16	TCL15	TCL14	8ビット・タイマ・レジスタ2のカウンタ・クロックの選択
0	0	0	0	TI2の立ち下がりエッジ
0	0	0	1	TI2の立ち上がりエッジ
0	1	1	0	$f_x/2^2$ (2.5 MHz)
0	1	1	1	$f_x/2^3$ (1.25 MHz)
1	0	0	0	$f_x/2^4$ (625 kHz)
1	0	0	1	$f_x/2^5$ (313 kHz)
1	0	1	0	$f_x/2^6$ (156 kHz)
1	0	1	1	$f_x/2^7$ (78.1 kHz)
1	1	0	0	$f_x/2^8$ (39.1 kHz)
1	1	0	1	$f_x/2^9$ (19.5 kHz)
1	1	1	0	$f_x/2^{10}$ (9.8 kHz)
1	1	1	1	$f_x/2^{12}$ (2.4 kHz)
上記以外				設定禁止

注意 TCL1を同一データ以外に書き換える場合には、いったんタイマ動作を停止させたのちに書き換えてください。

備考1. f_x : メイン・システム・クロック発振周波数

2. TI1 : 8ビット・タイマ・レジスタ1の入力端子

3. TI2 : 8ビット・タイマ・レジスタ2の入力端子

4. () 内は、 $f_x = 10.0$ MHz動作時。

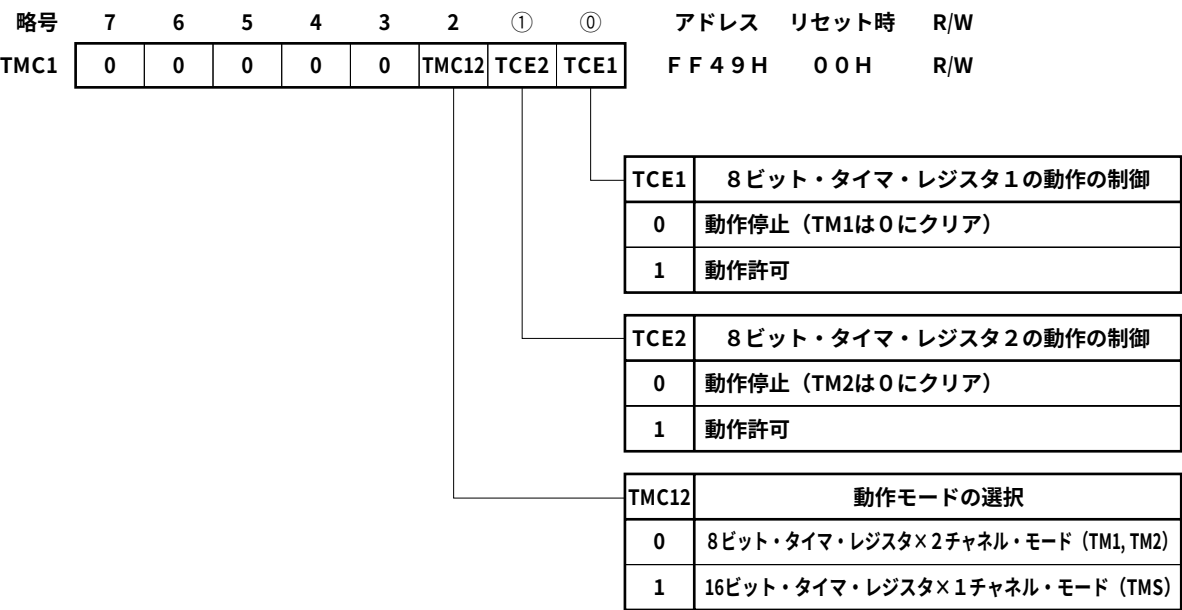
(2) 8ビット・タイマ・モード・コントロール・レジスタ (TMC1)

8ビット・タイマ・レジスタ1，2の動作許可／停止および8ビット・タイマ・レジスタ1，2の動作モードを設定するレジスタです。

TMC1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図7-5 8ビット・タイマ・モード・コントロール・レジスタのフォーマット



- 注意1．動作モードは，タイマ動作を停止させたのちに切り替えてください。
- 2．16ビット・タイマ・レジスタ (TMS) として使用する場合の動作許可／停止は，TCE1で設定してください。

(3) 8ビット・タイマ出力コントロール・レジスタ (TOC1)

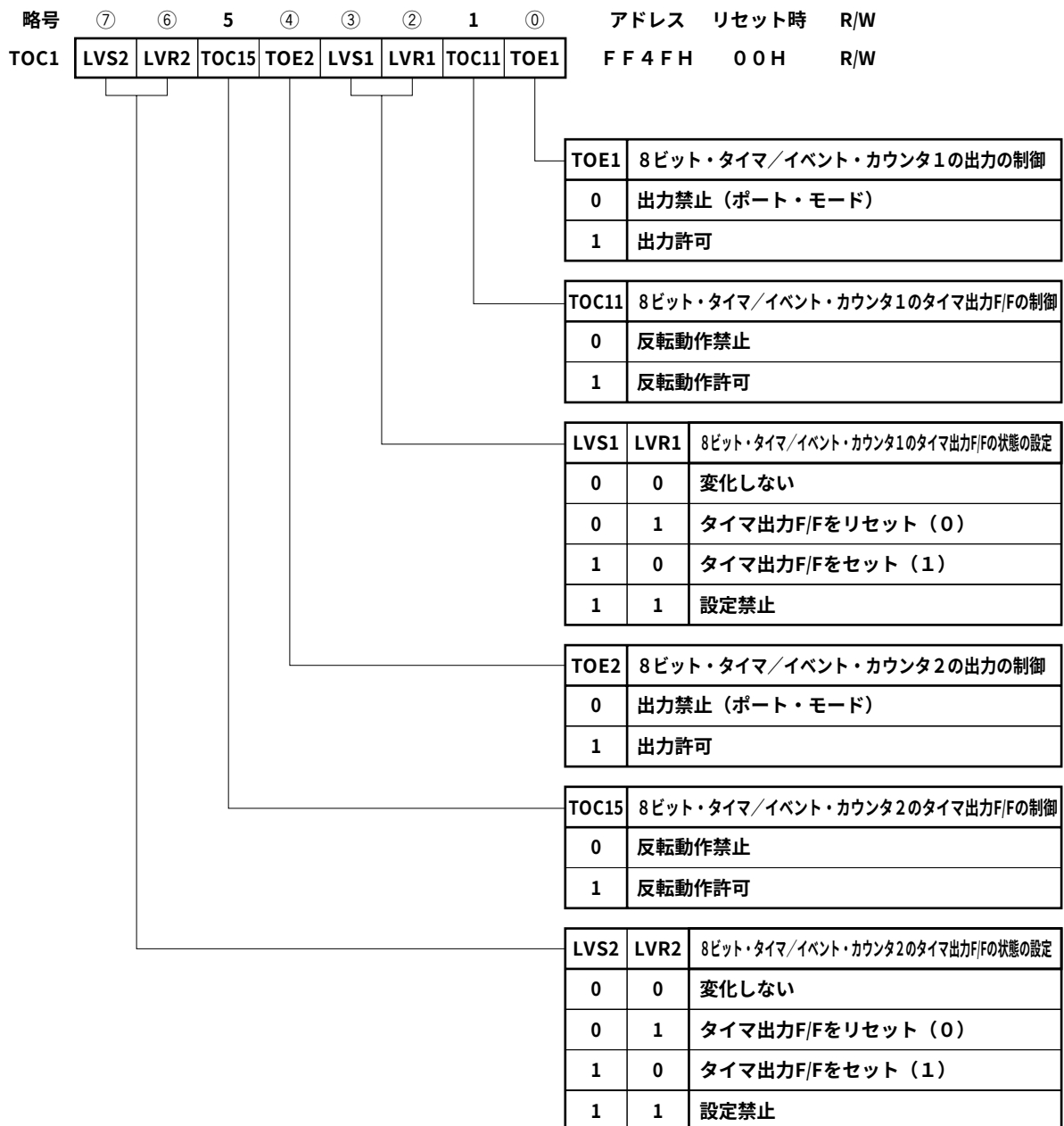
8ビット・タイマ／イベント・カウンタ出力制御回路1，2の動作を制御するレジスタです。

R-S型フリップフロップ (LV1, LV2) のセット／リセット，反転許可／禁止，8ビット・タイマ・レジスタ1，2のタイマ出力許可／禁止を設定します。

TOC1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により，00Hになります。

図7-6 8ビット・タイマ出力コントロール・レジスタのフォーマット



注意1. TOC1は，必ずタイマ動作を停止させたのちに設定してください。

2. LVS1, LVS2, LVR1, LVR2は，データ設定後に読み出すと0が読み出せます。

(4) ポート・モード・レジスタ3 (PM3)

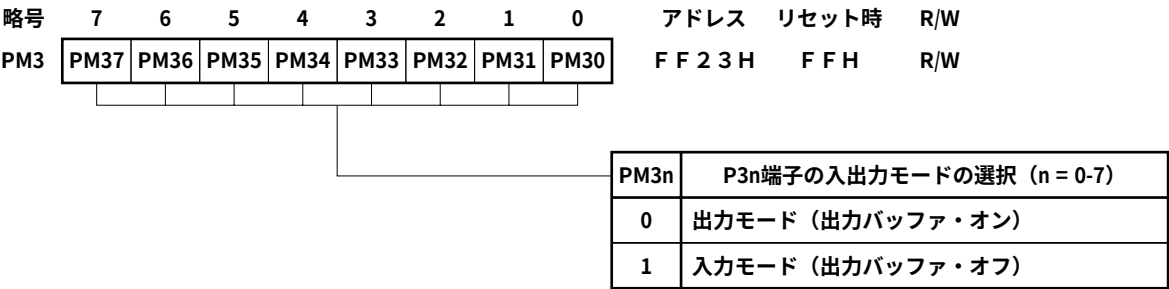
ポート3の入力／出力を1ビット単位で設定するレジスタです。

P31/TO1, P32/TO2端子をタイマ出力として使用するとき, PM31, PM32およびP31, P32の出力ラッチに0を設定してください。

PM3は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, FFHになります。

図7-7 ポート・モード・レジスタ3のフォーマット



7.4 8ビット・タイマ／イベント・カウンタの動作

7.4.1 8ビット・タイマ／イベント・カウンタ・モード

(1) インターバル・タイマとしての動作

8ビット・コンペア・レジスタ (CR10, CR20) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

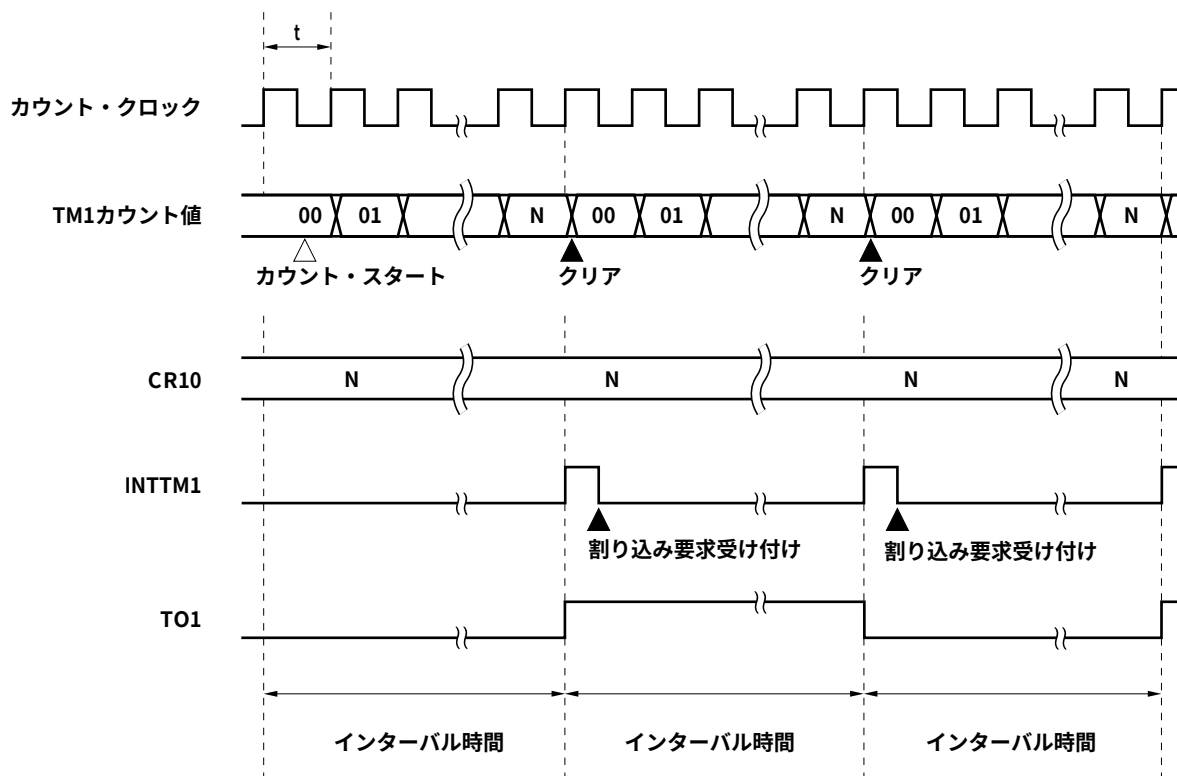
8ビット・タイマ・レジスタ1, 2 (TM1, TM2) のカウント値がCR10, CR20に設定した値と一致したとき、TM1, TM2の値を0にクリアしてカウントを継続するとともに割り込み要求信号 (INTTM1, INTTM2) を発生します。

タイマ・クロック選択レジスタ1 (TCL1) のビット0-3 (TCL10-TCL13) でTM1のカウント・クロックを、またビット4-7 (TCL14-TCL17) でTM2のカウント・クロックを選択できます。

なお、タイマ・カウント動作中にコンペア・レジスタの値を変更した場合の動作については、7.5

(3) タイマ・カウント動作中のコンペア・レジスタの変更後の動作を参照してください。

図7-8 インターバル・タイマ動作のタイミング



備考 インターバル時間 = $(N + 1) \times t$: $N = 00H\text{--}FFH$

表7-6 8ビット・タイマ/イベント・カウンタ1のインターバル時間

TCL13	TCL12	TCL11	TCL10	最小インターバル時間	最大インターバル時間	分解能
0	0	0	0	TI1入力周期	$2^8 \times \text{TI1入力周期}$	TI1入力エッジ周期
0	0	0	1	TI1入力周期	$2^8 \times \text{TI1入力周期}$	TI1入力エッジ周期
0	1	1	0	$2^2 \times 1/f_x$ (400 ns)	$2^{10} \times 1/f_x$ (102.4 μs)	$2^2 \times 1/f_x$ (400 ns)
0	1	1	1	$2^3 \times 1/f_x$ (800 ns)	$2^{11} \times 1/f_x$ (204.8 μs)	$2^3 \times 1/f_x$ (800 ns)
1	0	0	0	$2^4 \times 1/f_x$ (1.6 μs)	$2^{12} \times 1/f_x$ (409.6 μs)	$2^4 \times 1/f_x$ (1.6 μs)
1	0	0	1	$2^5 \times 1/f_x$ (3.2 μs)	$2^{13} \times 1/f_x$ (819.2 μs)	$2^5 \times 1/f_x$ (3.2 μs)
1	0	1	0	$2^6 \times 1/f_x$ (6.4 μs)	$2^{14} \times 1/f_x$ (1.64 ms)	$2^6 \times 1/f_x$ (6.4 μs)
1	0	1	1	$2^7 \times 1/f_x$ (12.8 μs)	$2^{15} \times 1/f_x$ (3.28 ms)	$2^7 \times 1/f_x$ (12.8 μs)
1	1	0	0	$2^8 \times 1/f_x$ (25.6 μs)	$2^{16} \times 1/f_x$ (6.55 ms)	$2^8 \times 1/f_x$ (25.6 μs)
1	1	0	1	$2^9 \times 1/f_x$ (51.2 μs)	$2^{17} \times 1/f_x$ (13.1 ms)	$2^9 \times 1/f_x$ (51.2 μs)
1	1	1	0	$2^{10} \times 1/f_x$ (102.4 μs)	$2^{18} \times 1/f_x$ (26.2 ms)	$2^{10} \times 1/f_x$ (102.4 μs)
1	1	1	1	$2^{12} \times 1/f_x$ (409.6 μs)	$2^{20} \times 1/f_x$ (104.9 ms)	$2^{12} \times 1/f_x$ (409.6 μs)
上記以外				設定禁止		

備考1. f_x : メイン・システム・クロック発振周波数

2. TCL10-TCL13: タイマ・クロック選択レジスタ1 (TCL1) のビット0-3

3. () 内は $f_x = 10.0 \text{ MHz}$ 動作時。

表7-7 8ビット・タイマ/イベント・カウンタ2のインターバル時間

TCL17	TCL16	TCL15	TCL14	最小インターバル時間	最大インターバル時間	分解能
0	0	0	0	TI2入力周期	$2^8 \times \text{TI2入力周期}$	TI2入力エッジ周期
0	0	0	1	TI2入力周期	$2^8 \times \text{TI2入力周期}$	TI2入力エッジ周期
0	1	1	0	$2^2 \times 1/f_x$ (400 ns)	$2^{10} \times 1/f_x$ (102.4 μs)	$2^2 \times 1/f_x$ (400 ns)
0	1	1	1	$2^3 \times 1/f_x$ (800 ns)	$2^{11} \times 1/f_x$ (204.8 μs)	$2^3 \times 1/f_x$ (800 ns)
1	0	0	0	$2^4 \times 1/f_x$ (1.6 μs)	$2^{12} \times 1/f_x$ (409.6 μs)	$2^4 \times 1/f_x$ (1.6 μs)
1	0	0	1	$2^5 \times 1/f_x$ (3.2 μs)	$2^{13} \times 1/f_x$ (819.2 μs)	$2^5 \times 1/f_x$ (3.2 μs)
1	0	1	0	$2^6 \times 1/f_x$ (6.4 μs)	$2^{14} \times 1/f_x$ (1.64 ms)	$2^6 \times 1/f_x$ (6.4 μs)
1	0	1	1	$2^7 \times 1/f_x$ (12.8 μs)	$2^{15} \times 1/f_x$ (3.28 ms)	$2^7 \times 1/f_x$ (12.8 μs)
1	1	0	0	$2^8 \times 1/f_x$ (25.6 μs)	$2^{16} \times 1/f_x$ (6.55 ms)	$2^8 \times 1/f_x$ (25.6 μs)
1	1	0	1	$2^9 \times 1/f_x$ (51.2 μs)	$2^{17} \times 1/f_x$ (13.1 ms)	$2^9 \times 1/f_x$ (51.2 μs)
1	1	1	0	$2^{10} \times 1/f_x$ (102.4 μs)	$2^{18} \times 1/f_x$ (26.2 ms)	$2^{10} \times 1/f_x$ (102.4 μs)
1	1	1	1	$2^{12} \times 1/f_x$ (409.6 μs)	$2^{20} \times 1/f_x$ (104.9ms)	$2^{12} \times 1/f_x$ (409.6 μs)
上記以外				設定禁止		

備考1. f_x : メイン・システム・クロック発振周波数

2. TCL14-TCL17: タイマ・クロック選択レジスタ1 (TCL1) のビット4-7

3. () 内は $f_x = 10.0 \text{ MHz}$ 動作時。

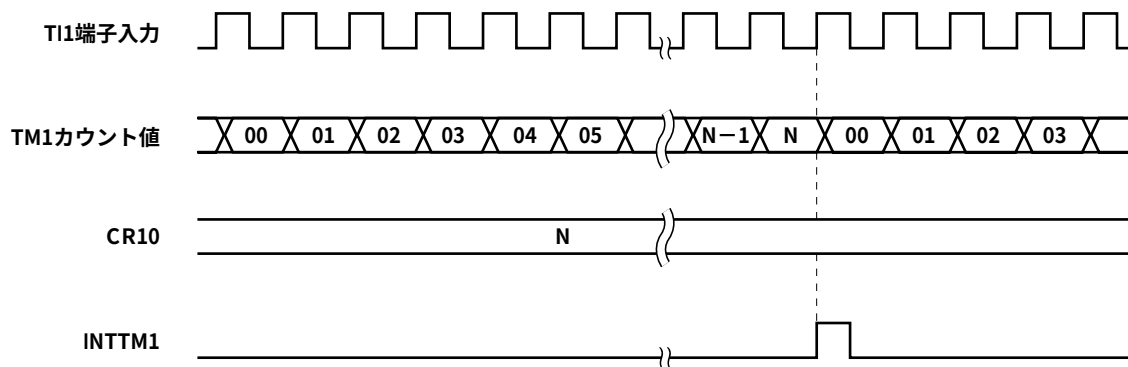
(2) 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI1/P33, TI2/P34端子に入力される外部からのクロック・パルス数を8ビット・タイマ・レジスタ1, 2 (TM1, TM2) でカウントするものです。

タイマ・クロック選択レジスタ1 (TCL1) で指定した有効エッジが入力されるたびに、TM1, TM2 がインクリメントされます。エッジ指定は、立ち上がりまたは立ち下りのいずれかを選択できます。

TM1, TM2の計数値が8ビット・コンペア・レジスタ (CR10, CR20) の値と一致すると、TM1, TM2は0にクリアされ、割り込み要求信号 (INTTM1, INTTM2) が発生します。

図7-9 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



備考 N = 00H-FFH

(3) 方形波出力としての動作

8ビット・コンペア・レジスタ (CR10, CR20) にあらかじめ設定した値をインターバルとする, 任意の周波数の方形波出力として動作します。

8ビット・タイマ出力コントロール・レジスタ (TOC1) のビット0 (TOE1), またはビット4 (TOE2) に1を設定することにより, CR10, またはCR20にあらかじめ設定したカウント値をインターバルとしてTO1/P31あるいはTO2/P32端子の出力状態が反転します。これによって, 任意の周波数の方形波出力が可能です。

表7-8 8ビット・タイマ／イベント・カウンタの方形波出力範囲

TCL13	TCL12	TCL11	TCL10	最小パルス幅	最大パルス幅	分解能
0	1	1	0	$2^2 \times 1/f_x$ (400 ns)	$2^{10} \times 1/f_x$ (102.4 μ s)	$2^2 \times 1/f_x$ (400 ns)
0	1	1	1	$2^3 \times 1/f_x$ (800 ns)	$2^{11} \times 1/f_x$ (204.8 μ s)	$2^3 \times 1/f_x$ (800 ns)
1	0	0	0	$2^4 \times 1/f_x$ (1.6 μ s)	$2^{12} \times 1/f_x$ (409.6 μ s)	$2^4 \times 1/f_x$ (1.6 μ s)
1	0	0	1	$2^5 \times 1/f_x$ (3.2 μ s)	$2^{13} \times 1/f_x$ (819.2 μ s)	$2^5 \times 1/f_x$ (3.2 μ s)
1	0	1	0	$2^6 \times 1/f_x$ (6.4 μ s)	$2^{14} \times 1/f_x$ (1.64 ms)	$2^6 \times 1/f_x$ (6.4 μ s)
1	0	1	1	$2^7 \times 1/f_x$ (12.8 μ s)	$2^{15} \times 1/f_x$ (3.28 ms)	$2^7 \times 1/f_x$ (12.8 μ s)
1	1	0	0	$2^8 \times 1/f_x$ (25.6 μ s)	$2^{16} \times 1/f_x$ (6.55 ms)	$2^8 \times 1/f_x$ (25.6 μ s)
1	1	0	1	$2^9 \times 1/f_x$ (51.2 μ s)	$2^{17} \times 1/f_x$ (13.1 ms)	$2^9 \times 1/f_x$ (51.2 μ s)
1	1	1	0	$2^{10} \times 1/f_x$ (102.4 μ s)	$2^{18} \times 1/f_x$ (26.2 ms)	$2^{10} \times 1/f_x$ (102.4 μ s)
1	1	1	1	$2^{12} \times 1/f_x$ (409.6 μ s)	$2^{20} \times 1/f_x$ (104.9 ms)	$2^{12} \times 1/f_x$ (409.6 μ s)

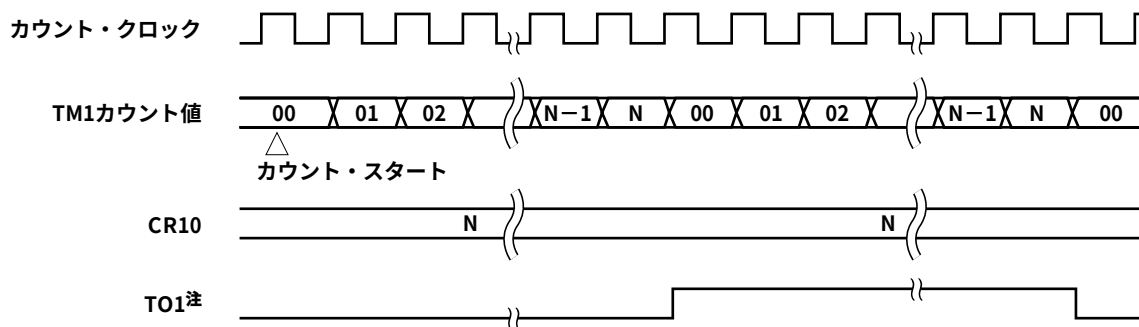
備考1. f_x : メイン・システム・クロック発振周波数

2. TCL10-TCL13: タイマ・クロック選択レジスタ1 (TCL1) のビット0-3

3. () 内は $f_x = 10.0$ MHz動作時。

★

図7-10 方形波出力動作のタイミング



注 TO1出力の初期値は, 8ビット・タイマ出力コントロール・レジスタ (TOC1) のビット2, 3 (LVS1, LVR1) で設定できます。

7.4.2 16ビット・タイマ／イベント・カウンタ・モード

8ビット・タイマ・モード・コントロール・レジスタ (TMC1) のビット2 (TMC12) に1を設定すると、16ビット・タイマ／イベント・カウンタ・モードとなります。

このモードでは、カウント・クロックはタイマ・クロック選択レジスタ (TCL1) のビット0-3 (TCL10-TCL13) で選択します。そして、8ビット・タイマ／イベント・カウンタ1 (TM1) のオーバフロー信号が8ビット・タイマ／イベント・カウンタ2 (TM2) のカウント・クロックとなります。

また、このモードでのカウント動作の禁止／許可は、TMC1のビット0 (TCE1) で選択します。

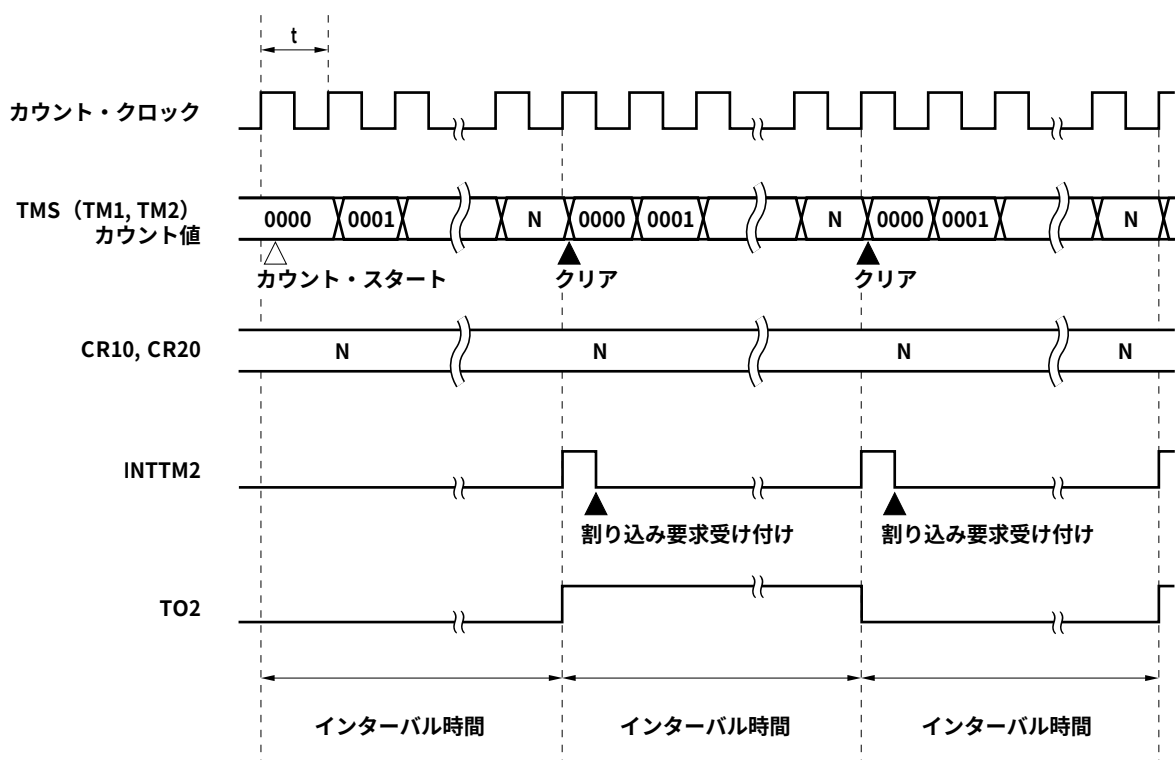
★ (1) インターバル・タイマとしての動作

2チャンネルの8ビット・コンペア・レジスタ (CR10, CR20) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。カウント値を設定する際には、上位8ビットの値をCR20に、下位8ビットの値をCR10に設定します。設定可能なカウント値 (インターバル時間) については、表7-9を参照してください。

8ビット・タイマ・レジスタ1 (TM1) とCR10が一致し、かつ8ビット・タイマ・レジスタ2 (TM2) とCR20が一致したとき、TM1およびTM2の値を0にクリアしてカウントを継続するとともに割り込み要求信号 (INTTM2) を発生します。インターバル・タイマの動作タイミングについては、図7-11を参照してください。

カウント・クロックは、タイマ・クロック選択レジスタ1 (TCL1) のビット0-3 (TCL10-TCL13) で選択します。そして、TM1のオーバフロー信号がTM2のカウント・クロックになります。

図7-11 インターバル・タイマ動作のタイミング



注意 16ビット・タイマ／イベント・カウンタ・モードを使用している場合でも、TM1のカウント値がCR10の値と一致すると、割り込み要求（INTTM1）を発生し、8ビット・タイマ／イベント・カウンタ出力制御回路1のF/Fが反転します。したがって、16ビットのインターバル・タイマとして使用する際には、INTTM1の受け付けを禁止するためのマスク・フラグTMMK1に1を設定してください。

また、タイマのカウント値を読み出す場合には、16ビット・タイマ・レジスタ（TMS）を16ビット・メモリ操作命令で読み出してください。

表7-9 2チャンネルの8ビット・タイマ／イベント・カウンタ（TM1, TM2）を
16ビット・タイマ／イベント・カウンタとして使用したときのインターバル時間

TCL13	TCL12	TCL11	TCL10	最小インターバル時間	最大インターバル時間	分解能
0	0	0	0	TI1入力周期	$2^8 \times \text{TI1入力周期}$	TI1入力エッジ周期
0	0	0	1	TI1入力周期	$2^8 \times \text{TI1入力周期}$	TI1入力エッジ周期
0	1	1	0	$2^2 \times 1/f_x$ (400 ns)	$2^{18} \times 1/f_x$ (26.2 ms)	$2^2 \times 1/f_x$ (400 ns)
0	1	1	1	$2^3 \times 1/f_x$ (800 ns)	$2^{19} \times 1/f_x$ (52.4 ms)	$2^3 \times 1/f_x$ (800 ns)
1	0	0	0	$2^4 \times 1/f_x$ (1.6 μs)	$2^{20} \times 1/f_x$ (104.9 ms)	$2^4 \times 1/f_x$ (1.6 μs)
1	0	0	1	$2^5 \times 1/f_x$ (3.2 μs)	$2^{21} \times 1/f_x$ (209.7 ms)	$2^5 \times 1/f_x$ (3.2 μs)
1	0	1	0	$2^6 \times 1/f_x$ (6.4 μs)	$2^{22} \times 1/f_x$ (419.4 ms)	$2^6 \times 1/f_x$ (6.4 μs)
1	0	1	1	$2^7 \times 1/f_x$ (12.8 μs)	$2^{23} \times 1/f_x$ (838.9 ms)	$2^7 \times 1/f_x$ (12.8 μs)
1	1	0	0	$2^8 \times 1/f_x$ (25.6 μs)	$2^{24} \times 1/f_x$ (1.7 s)	$2^8 \times 1/f_x$ (25.6 μs)
1	1	0	1	$2^9 \times 1/f_x$ (51.2 μs)	$2^{25} \times 1/f_x$ (3.4 s)	$2^9 \times 1/f_x$ (51.2 μs)
1	1	1	0	$2^{10} \times 1/f_x$ (102.4 μs)	$2^{26} \times 1/f_x$ (6.7 s)	$2^{10} \times 1/f_x$ (102.4 μs)
1	1	1	1	$2^{12} \times 1/f_x$ (409.6 μs)	$2^{28} \times 1/f_x$ (26.8 s)	$2^{12} \times 1/f_x$ (409.6 μs)
上記以外				設定禁止		

備考1. f_x ：メイン・システム・クロック発振周波数

2. TCL10-TCL13：タイマ・クロック選択レジスタ1（TCL1）のビット0-3

3. () 内は $f_x = 10.0 \text{ MHz}$ 動作時。

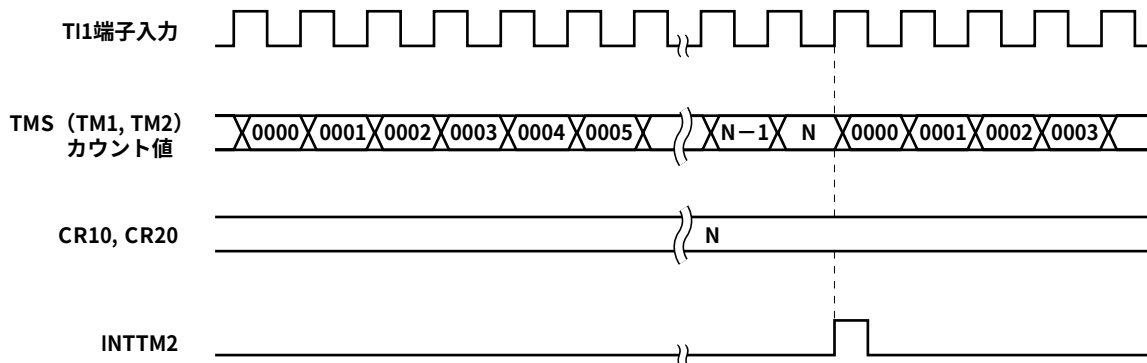
(2) 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI1/P33端子に入力される外部からのクロック・パルス数を2チャンネルの8ビット・タイマ・レジスタ1, 2 (TM1, TM2) でカウントするものです。

- ★ タイマ・クロック選択レジスタ1 (TCL1) で指定した有効エッジが入力されるたびに、TM1がインクリメントされます。そしてTM1がオーバーフローすると、そのオーバーフロー信号をカウント・クロックとしてTM2がインクリメントされます。エッジ指定は、立ち上がりまたは立ち下りのいずれかを選択できます。

TM1, TM2の計数値が8ビット・コンペア・レジスタ (CR10, CR20) の値と一致すると、TM1, TM2は0にクリアされ、割り込み要求信号 (INTTM2) が発生します。

図7-12 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



注意 16ビット・タイマ/イベント・カウンタ・モードを使用している場合でも、TM1 のカウント値がCR10の値と一致すると、割り込み要求 (INTTM1) を発生し、8ビット・タイマ/イベント・カウンタ出力制御回路1のF/Fが反転します。したがって、16ビットのインターバル・タイマとして使用するときには、INTTM1の受け付けを禁止するためのマスク・フラグTMMK1に1を設定してください。

また、タイマのカウント値を読み出す場合には、16ビット・タイマ・レジスタ (TMS) を16ビット・メモリ操作命令で読み出してください。

(3) 方形波出力としての動作

8ビット・コンペア・レジスタ (CR10, CR20) にあらかじめ設定した値をインターバルとする, 任意の周波数の方形波出力として動作します。カウント値を設定する際には, 上位8ビットの値をCR20に, 下位8ビットの値をCR10に設定します。

8ビット・タイマ出力コントロール・レジスタ (TOC1) のビット4 (TOE2) に1を設定することにより, CR10, CR20にあらかじめ設定したカウント値をインターバルとしてTO2/P32端子の出力状態が反転します。これによって, 任意の周波数の方形波出力が可能です。

表7-10 2チャンネルの8ビット・タイマ／イベント・カウンタ (TM1, TM2) を
16ビット・タイマ／イベント・カウンタとして使用したときの方形波出力範囲

TCL13	TCL12	TCL11	TCL10	最小パルス幅	最大パルス幅	分解能
0	1	1	0	$2^2 \times 1/f_x$ (400 ns)	$2^{18} \times 1/f_x$ (26.2 ms)	$2^2 \times 1/f_x$ (400 ns)
0	1	1	1	$2^3 \times 1/f_x$ (800 ns)	$2^{19} \times 1/f_x$ (52.4 ms)	$2^3 \times 1/f_x$ (800 ns)
1	0	0	0	$2^4 \times 1/f_x$ (1.6 μ s)	$2^{20} \times 1/f_x$ (104.9 ms)	$2^4 \times 1/f_x$ (1.6 μ s)
1	0	0	1	$2^5 \times 1/f_x$ (3.2 μ s)	$2^{21} \times 1/f_x$ (209.7 ms)	$2^5 \times 1/f_x$ (3.2 μ s)
1	0	1	0	$2^6 \times 1/f_x$ (6.4 μ s)	$2^{22} \times 1/f_x$ (419.4 ms)	$2^6 \times 1/f_x$ (6.4 μ s)
1	0	1	1	$2^7 \times 1/f_x$ (12.8 μ s)	$2^{23} \times 1/f_x$ (838.9 ms)	$2^7 \times 1/f_x$ (12.8 μ s)
1	1	0	0	$2^8 \times 1/f_x$ (25.6 μ s)	$2^{24} \times 1/f_x$ (1.7 s)	$2^8 \times 1/f_x$ (25.6 μ s)
1	1	0	1	$2^9 \times 1/f_x$ (51.2 μ s)	$2^{25} \times 1/f_x$ (3.4 s)	$2^9 \times 1/f_x$ (51.2 μ s)
1	1	1	0	$2^{10} \times 1/f_x$ (102.4 μ s)	$2^{26} \times 1/f_x$ (6.7 s)	$2^{10} \times 1/f_x$ (102.4 μ s)
1	1	1	1	$2^{12} \times 1/f_x$ (409.6 μ s)	$2^{28} \times 1/f_x$ (26.8 s)	$2^{12} \times 1/f_x$ (409.6 μ s)

備考1. f_x : メイン・システム・クロック発振周波数

2. TCL10-TCL13: タイマ・クロック選択レジスタ1 (TCL1) のビット0-3

3. () 内は $f_x = 10.0$ MHz動作時。

★

図7-13 方形波出力動作のタイミング

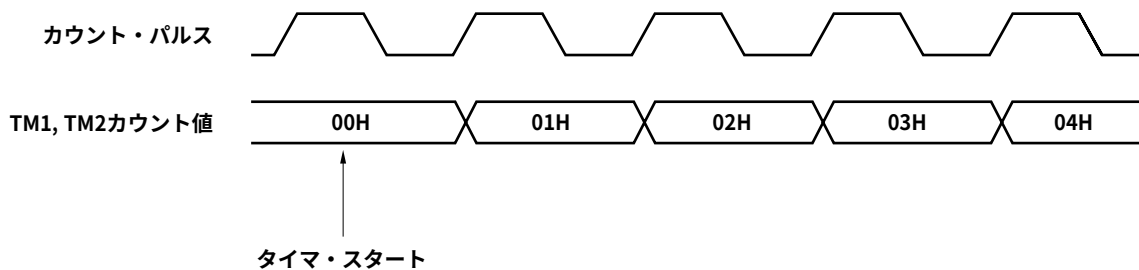


7.5 8ビット・タイマ／イベント・カウンタの注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して8ビット・タイマ・レジスタ1, 2 (TM1, TM2) が非同期でスタートされるためです。

図7-14 8ビット・タイマ・レジスタのスタート・タイミング



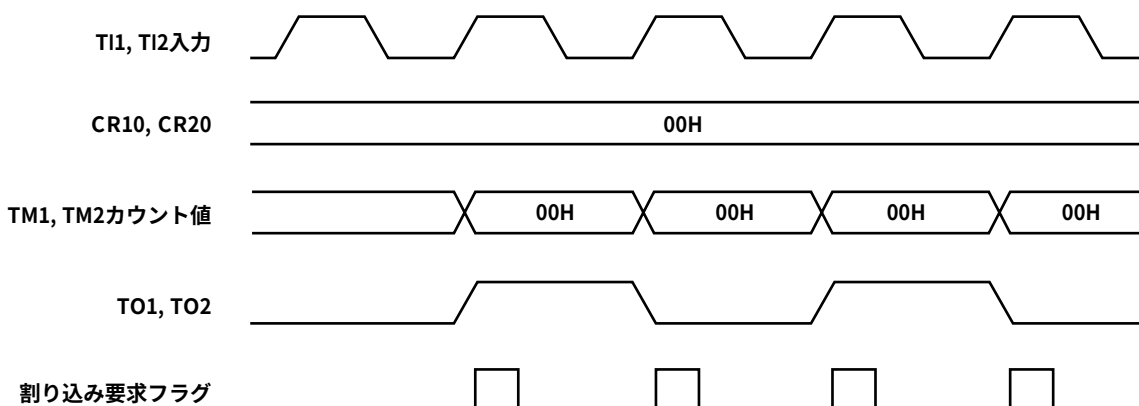
(2) 8ビット・コンペア・レジスタの設定

8ビット・コンペア・レジスタ (CR10, CR20) には、00Hの設定が可能です。

したがって、イベント・カウンタとして使用時、1パルスのカウント動作が可能です。

また、16ビット・タイマ／イベント・カウンタとして使用時、CR10, CR20は、8ビット・タイマ・モード・コントロール・レジスタ (TMC1) のビット0 (TCE1) に0を設定し、タイマ動作を停止させたのちに書き込んでください。

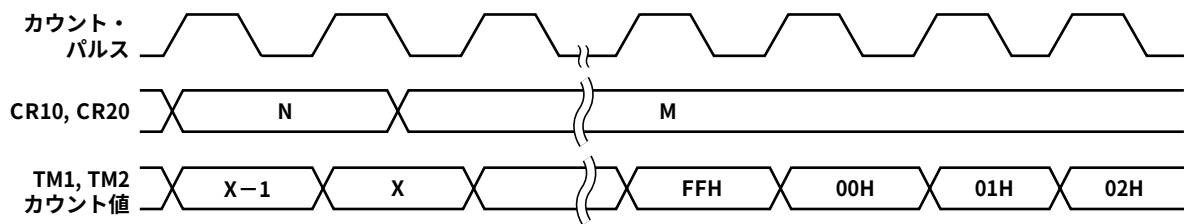
図7-15 外部イベント・カウンタとしての動作時のタイミング



(3) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

8ビット・コンペア・レジスタ（CR10，CR20）の変更後の値が，8ビット・タイマ・レジスタ（TM1，TM2）の値よりも小さいとき，TM1，TM2はカウントを継続しオーバフローして0から再カウントします。したがって，CR10，CR20の変更後の値（M）が変更前の値（N）より小さいときは，CR10，CR20を変更後，タイマを再スタートさせる必要があります。

図7-16 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



備考 $N > X > M$

(× 毛)

第 8 章 時計用タイマ

8.1 時計用タイマの機能

時計用タイマには、次のような機能があります。

- ・時計用タイマ
- ・インターバル・タイマ

時計用タイマとインターバル・タイマは、同時に使用できます。

(1) 時計用タイマ

32.768 kHz のサブシステム・クロックを使用することで、0.5秒または0.25秒の時間間隔でフラグ (WTIF) をセットします。

8.38 MHzのメイン・システム・クロックを使用することで、0.5秒または0.25秒の時間間隔でフラグ (WTIF) をセットします。

また、4.19 MHz (標準：4.194304 MHz) のメイン・システム・クロックを使用することで、0.5秒または 1 秒の時間間隔でフラグ (WTIF) をセットします。

上記以外の周波数の場合は、0.5秒/0.25秒または0.5秒/ 1 秒の時間間隔にはなりません。

注意 8.38 MHz, 4.19 MHzを使用した場合には、時間間隔に若干の誤差が生じます。

(2) インターバル・タイマ

あらかじめ設定した時間間隔で割り込み要求 (INTTM3) を発生します。

表 8－1 インターバル・タイマのインターバル時間

インターバル時間	$f_x = 10.0 \text{ MHz}$ 時	$f_x = 8.38 \text{ MHz}$ 時	$f_x = 4.19 \text{ MHz}$ 時	$f_{XT} = 32.768 \text{ kHz}$ 時
$2^4 \times 1/f_w$	409.6 μs	489 μs	978 μs	488 μs
$2^5 \times 1/f_w$	819.2 μs	978 μs	1.96 ms	977 μs
$2^6 \times 1/f_w$	1.64 ms	1.96 ms	3.91 ms	1.95 ms
$2^7 \times 1/f_w$	3.28 ms	3.91 ms	7.82 ms	3.91 ms
$2^8 \times 1/f_w$	6.55 ms	7.82 ms	15.6 ms	7.81 ms
$2^9 \times 1/f_w$	13.1 ms	15.6 ms	31.3 ms	15.6 ms

備考 f_x : メイン・システム・クロック発振周波数

f_{XT} : サブシステム・クロック発振周波数

f_w : 時計用タイマ・クロック周波数

8.2 時計用タイマの構成

時計用タイマは、次のハードウェアで構成しています。

表 8－2 時計用タイマの構成

項 目	構 成
カウンタ	5ビット×1本
制御レジスタ	タイマ・クロック選択レジスタ2 (TCL2) 時計用タイマ・モード・コントロール・レジスタ (TMC2)

8.3 時計用タイマを制御するレジスタ

時計用タイマを制御するレジスタには、次の2種類があります。

- ・タイマ・クロック選択レジスタ2 (TCL2)
- ・時計用タイマ・モード・コントロール・レジスタ (TMC2)

(1) タイマ・クロック選択レジスタ2 (TCL2) (図8－2参照)

時計用タイマのカウント・クロックを設定するレジスタです。

TCL2は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

備考 TCL2は、時計用タイマのカウント・クロックの設定以外に、ウォッチドッグ・タイマのカウント・クロックおよびブザー出力の周波数を設定する機能があります。

図 8-1 時計用タイマのブロック図

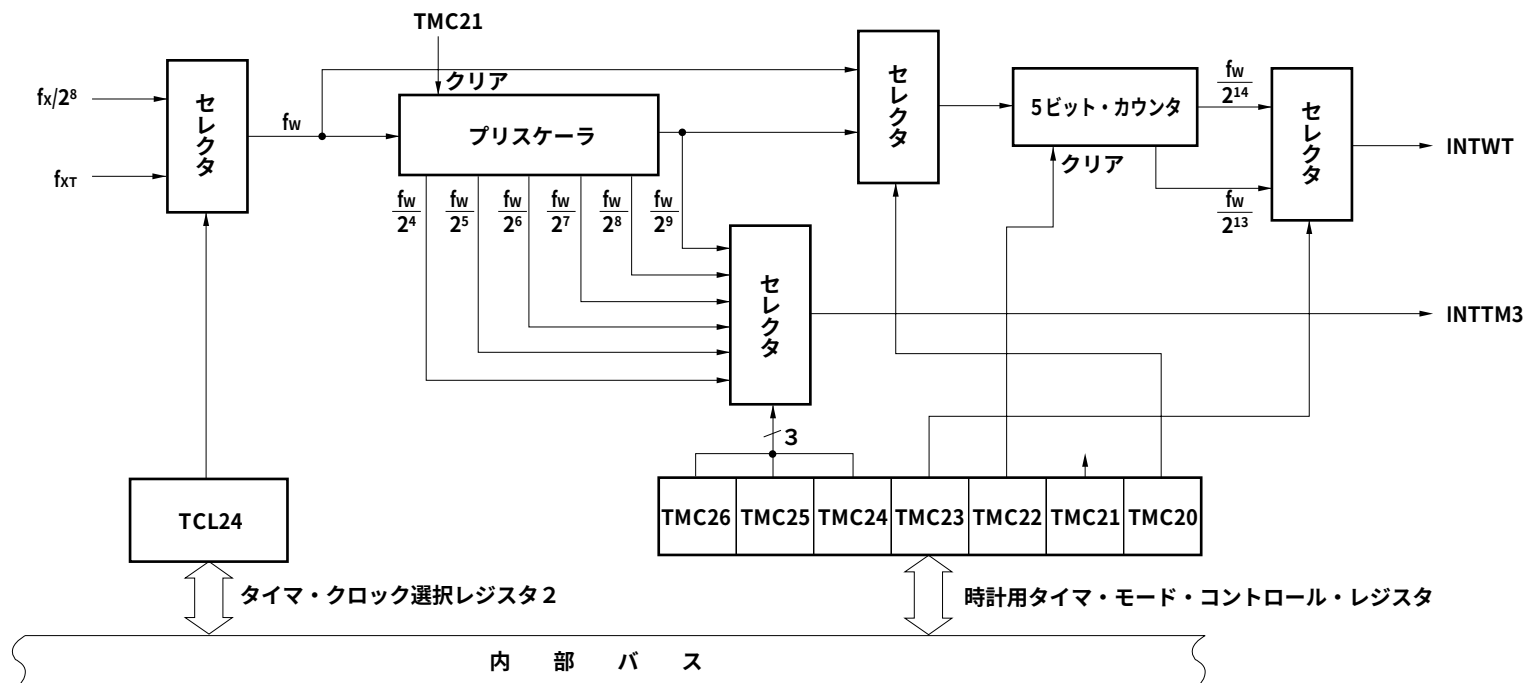
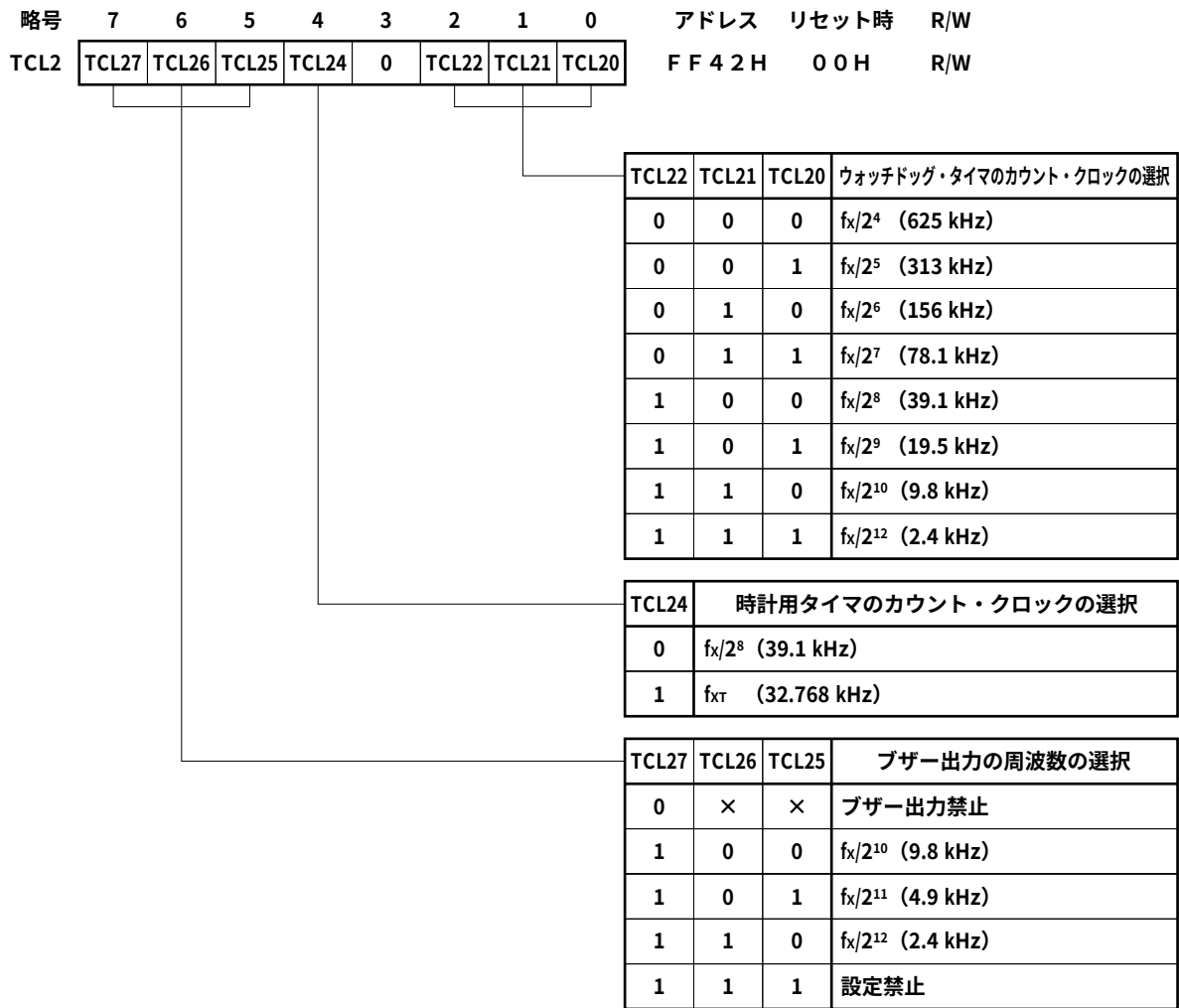


図8-2 タイマ・クロック選択レジスタ2のフォーマット



注意 TCL2を同一データ以外に書き換える場合には、いったんタイマ動作を停止させたのちに書き換えてください。

- 備考**
1. f_x : メイン・システム・クロック発振周波数
 2. f_{XT} : サブシステム・クロック発振周波数
 3. × : don't care
 4. () 内は, $f_x = 10.0 \text{ MHz}$ または $f_{XT} = 32.768 \text{ kHz}$ 動作時。

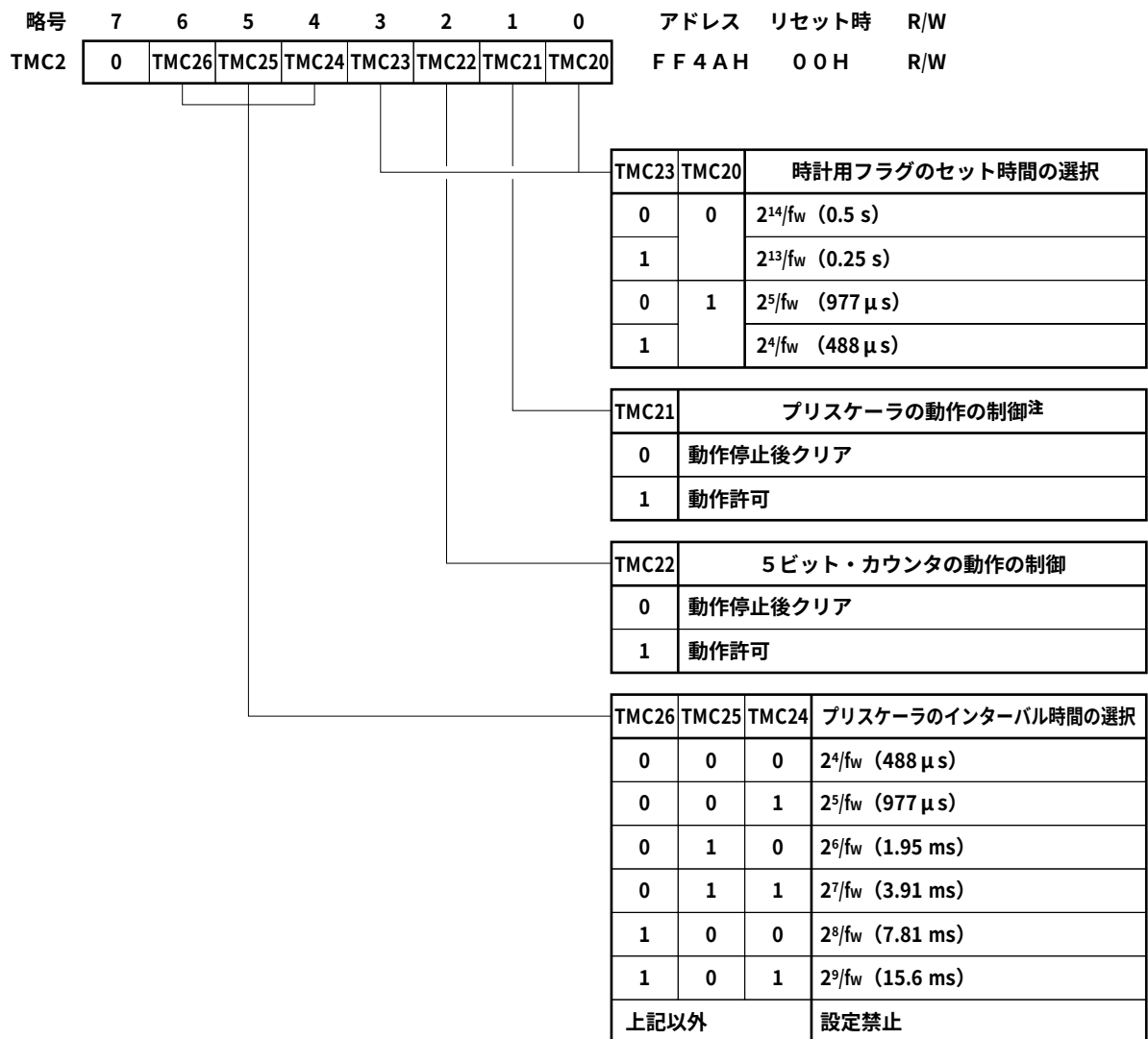
(2) 時計用タイマ・モード・コントロール・レジスタ (TMC2)

時計用タイマの動作モード，時計用フラグのセット時間，プリスケアラおよび5ビット・カウンタの動作許可／禁止，プリスケアラのインターバル時間を設定するレジスタです。

TMC2は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図8-3 時計用タイマ・モード・コントロール・レジスタのフォーマット



注 時計用タイマを使用するときは，ひんばんにプリスケアラをクリアしないでください。

備考1. f_w ：時計用タイマ・クロック周波数 ($f_x/2^8$ または f_{XT})

2. () 内は， $f_w = 32.768$ kHz動作時。

8.4 時計用タイマの動作

8.4.1 時計用タイマとしての動作

32.768 kHzのサブシステム・クロックまたは8.38 MHzのメイン・システム・クロックを使用することで、0.5秒または0.25秒の時間間隔の時計用タイマとして動作します。また、4.19 MHzのメイン・システム・クロックを使用することで、0.5秒または1秒の時間間隔の時計用タイマとしても動作可能です。

注意 8.38 MHz、4.19 MHzを使用した場合、若干の誤差が生じます。

$f_x = 8.38 \text{ MHz}$ を使用した場合

$$\frac{2^8}{f_x} \times 2^{14} = \frac{2^{22}}{8.38 \times 10^6} = 0.5005136\cdots \text{ (秒)}$$

$f_x = 4.19 \text{ MHz}$ を使用した場合

$$\frac{2^8}{f_x} \times 2^{13} = \frac{2^{21}}{4.19 \times 10^6} = 0.5005136\cdots \text{ (秒)}$$

$f_{XT} = 32.768 \text{ kHz}$ を使用した場合

$$\frac{1}{f_{XT}} \times 2^{14} = \frac{2^{14}}{32.768 \times 10^3} = 0.50000\cdots \text{ (秒)}$$

$f_x = 10.0 \text{ MHz}$ を使用した場合（これは対象外）

$$\frac{2^8}{f_x} \times 2^{14} = \frac{2^{22}}{10.0 \times 10^6} = 0.4194304 \text{ (秒)}$$

時計用タイマは、一定の時間間隔ごとに、テスト入力フラグ（WTIF）を1にセットします。WTIFが1にセットされることにより、スタンバイ状態（STOPモード/HALTモード）を解除できます。

時計用タイマ・モード・コントロール・レジスタ（TMC2）のビット2（TMC22）に0を設定することにより、5ビット・カウンタがクリアされ、カウント動作が停止します。

また、インターバル・タイマを同時に動作させるときは、TMC22に0を設定することにより、ゼロ秒スタートができます（最大誤差15.6 ms：32.768 kHz動作時）。

8.4.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

時計用タイマ・モード・コントロール・レジスタ（TMC2）のビット4-6（TMC24-TMC26）により、インターバル時間を選択できます。

表8-3 インターバル・タイマのインターバル時間

TMC26	TMC25	TMC24	インターバル時間	$f_x = 10.0 \text{ MHz}$ 時	$f_x = 8.38 \text{ MHz}$ 時	$f_x = 4.19 \text{ MHz}$ 時	$f_{XT} = 32.768 \text{ kHz}$ 時
0	0	0	$2^4 \times 1/f_w$	409.6 μs	489 μs	978 μs	488 μs
0	0	1	$2^5 \times 1/f_w$	819.2 μs	978 μs	1.96 ms	977 μs
0	1	0	$2^6 \times 1/f_w$	1.64 ms	1.96 ms	3.91 ms	1.95 ms
0	1	1	$2^7 \times 1/f_w$	3.28 ms	3.91 ms	7.82 ms	3.91 ms
1	0	0	$2^8 \times 1/f_w$	6.55 ms	7.82 ms	15.6 ms	7.81 ms
1	0	1	$2^9 \times 1/f_w$	13.1 ms	15.6 ms	31.3 ms	15.6 ms
上記以外			設定禁止				

備考 f_x : メイン・システム・クロック発振周波数

f_{XT} : サブシステム・クロック発振周波数

f_w : 時計用タイマ・クロック周波数 ($f_x/2^8$ または f_{XT})

TMC24-TMC26 : 時計用タイマ・モード・コントロール・レジスタ（TMC2）のビット4-6

(× 毛)

第9章 ウォッチドッグ・タイマ

9.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

注意 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ（WDTM）で選択してください（ウォッチドッグ・タイマとインターバル・タイマは同時に使用できません）。

（1）ウォッチドッグ・タイマ・モード

プログラムの暴走を検出します。暴走検出時、ノンマスカブル割り込み要求またはRESETを発生できます。

表9－1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	$f_x = 10.0 \text{ MHz}$ 時	暴走検出時間	$f_x = 10.0 \text{ MHz}$ 時
$2^{12} \times 1/f_x$	409.6 μs	$2^{16} \times 1/f_x$	6.55 ms
$2^{13} \times 1/f_x$	819.2 μs	$2^{17} \times 1/f_x$	13.1 ms
$2^{14} \times 1/f_x$	1.64 ms	$2^{18} \times 1/f_x$	26.2 ms
$2^{15} \times 1/f_x$	3.28 ms	$2^{20} \times 1/f_x$	104.9 ms

備考 f_x ：メイン・システム・クロック発振周波数

（2）インターバル・タイマ・モード

あらかじめ設定した時間間隔で割り込み要求を発生します。

表9－2 インターバル時間

インターバル時間	$f_x = 10.0 \text{ MHz}$ 時	インターバル時間	$f_x = 10.0 \text{ MHz}$ 時
$2^{12} \times 1/f_x$	409.6 μs	$2^{16} \times 1/f_x$	6.55 ms
$2^{13} \times 1/f_x$	819.2 μs	$2^{17} \times 1/f_x$	13.1 ms
$2^{14} \times 1/f_x$	1.64 ms	$2^{18} \times 1/f_x$	26.2 ms
$2^{15} \times 1/f_x$	3.28 ms	$2^{20} \times 1/f_x$	104.9 ms

備考 f_x ：メイン・システム・クロック発振周波数

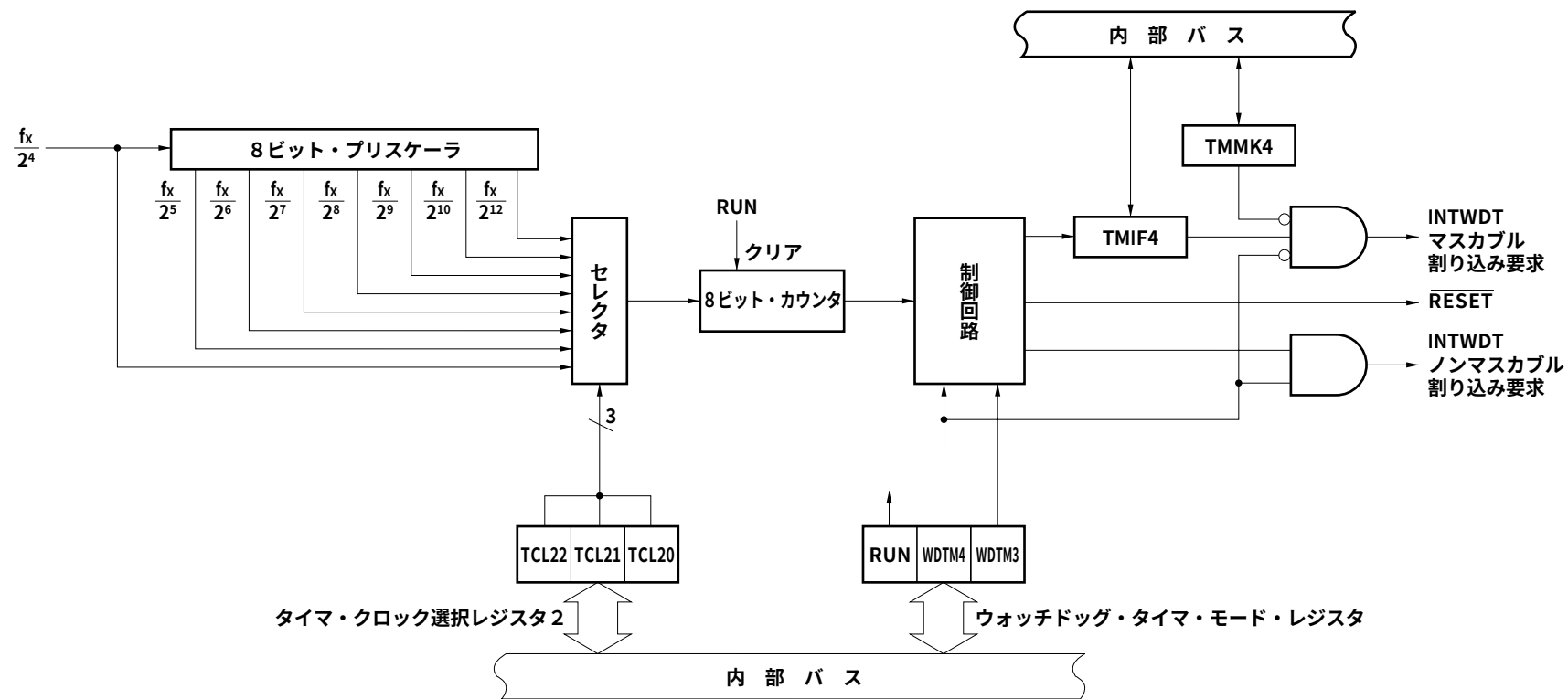
9.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成しています。

表9-3 ウォッチドッグ・タイマの構成

項 目	構 成
制御レジスタ	タイマ・クロック選択レジスタ2 (TCL2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

図9-1 ウォッチドッグ・タイマのブロック図



9.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマを制御するレジスタには、次の2種類があります。

- ・タイマ・クロック選択レジスタ2 (TCL2)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

(1) タイマ・クロック選択レジスタ2 (TCL2) (図9-2参照)

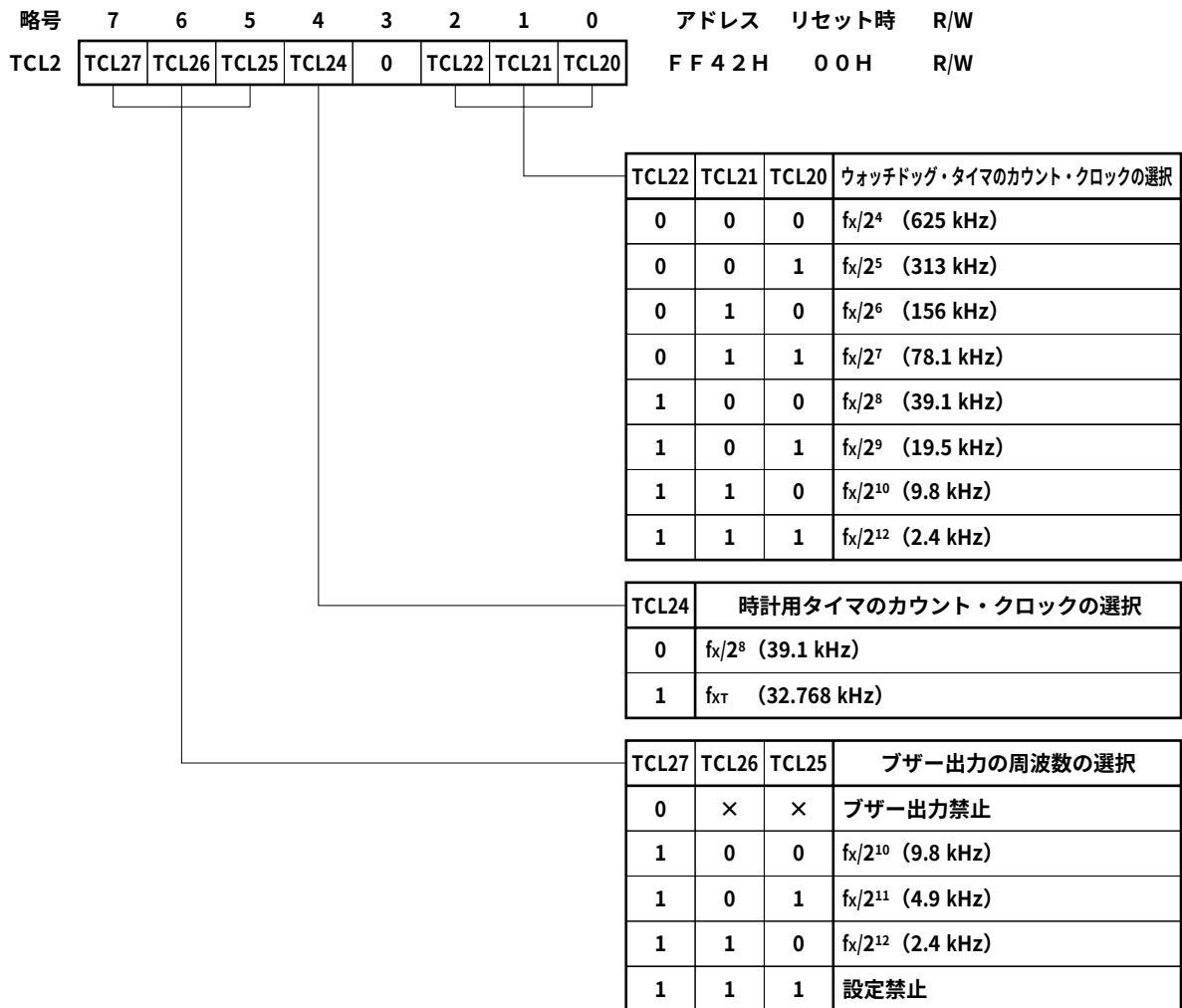
ウォッチドッグ・タイマのカウント・クロックを設定するレジスタです。

TCL2は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

備考 TCL2は、ウォッチドッグ・タイマのカウント・クロックの設定以外に、時計用タイマのカウント・クロックおよびブザー出力の周波数を設定する機能があります。

図9-2 タイマ・クロック選択レジスタ2のフォーマット



注意 TCL2を同一データ以外に書き換える場合には、いったんタイマ動作を停止させたのちに書き換えてください。

- 備考**
1. f_x : メイン・システム・クロック発振周波数
 2. f_{XT} : サブシステム・クロック発振周波数
 3. × : don't care
 4. () 内は, $f_x = 10.0 \text{ MHz}$ または $f_{XT} = 32.768 \text{ kHz}$ 動作時。

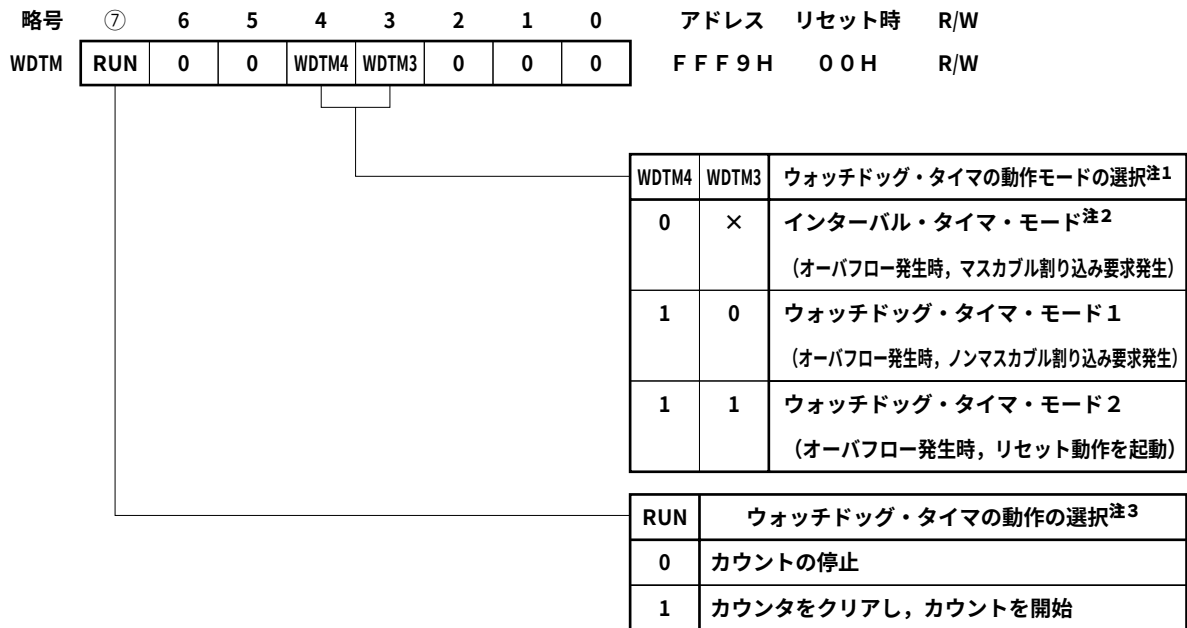
(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード、カウント許可／禁止を設定するレジスタです。

WDTMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図9-3 ウォッチドッグ・タイマ・モード・レジスタのフォーマット



注1. WDTM3, WDTM4は、一度1にセットされると、ソフトウェアで0にクリアできません。

2. RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

3. RUNは、一度1にセットされると、ソフトウェアで0にクリアできません。したがって、カウントを開始すると、 $\overline{\text{RESET}}$ 入力以外で停止させることはできません。

注意1. RUNに1をセットし、ウォッチドッグ・タイマをクリアしたとき、実際のオーバーフロー時間は、タイマ・クロック選択レジスタ2 (TCL2) で設定した時間より最大0.5%短くなります。

2. ウォッチドッグ・タイマ・モード1, 2を使用する場合は、割り込み要求フラグ (TMIF4) が0になっていることを確認してからWDTM4を1にセットしてください。

TMIF4が1の状態ではWDTM4を1にセットすると、WDTM3の内容にかかわらず、ノンマスカブル割り込み要求が発生します。

備考 × : don't care

9.4 ウォッチドッグ・タイマの動作

9.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット 4 (WDTM4) に 1 を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

タイマ・クロック選択レジスタ 2 (TCL2) のビット 0-2 (TCL20-TCL22) でウォッチドッグ・タイマのカウント・クロック（暴走検出時間間隔）を選択できます。WDTM のビット 7 (RUN) に 1 を設定することにより、ウォッチドッグ・タイマはスタートします。ウォッチドッグ・タイマがスタートしたあと、設定した暴走検出時間間隔内に RUN に 1 を設定してください。RUN に 1 を設定することにより、ウォッチドッグ・タイマをクリアし、カウントを開始させることができます。RUN に 1 がセットされず、暴走検出時間を越えてしまったときは、WDTM のビット 3 (WDTM3) の値により、システム・リセットまたはノンマスカブル割り込み要求が発生します。

ウォッチドッグ・タイマは、HALT モード時では動作を継続しますが、STOP モード時では動作を停止します。したがって、STOP モードに入る前に RUN を 1 に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP 命令を実行してください。

注意 1. 実際の暴走検出時間は設定時間に対して最大 0.5 % 短くなる場合があります。

2. CPU クロックにサブシステム・クロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止します。

表 9-4 ウォッチドッグ・タイマの暴走検出時間

TCL22	TCL21	TCL20	暴走検出時間	$f_x = 10.0 \text{ MHz}$ 時
0	0	0	$2^{12} \times 1/f_x$	409.6 μs
0	0	1	$2^{13} \times 1/f_x$	819.2 μs
0	1	0	$2^{14} \times 1/f_x$	1.64 ms
0	1	1	$2^{15} \times 1/f_x$	3.28 ms
1	0	0	$2^{16} \times 1/f_x$	6.55 ms
1	0	1	$2^{17} \times 1/f_x$	13.1 ms
1	1	0	$2^{18} \times 1/f_x$	26.2 ms
1	1	1	$2^{20} \times 1/f_x$	104.9 ms

備考 f_x : メイン・システム・クロック発振周波数

TCL20-TCL22: タイマ・クロック選択レジスタ 2 (TCL2) のビット 0-2

9.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット 4 (WDTM4) に 0 を設定することにより、あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

タイマ・クロック選択レジスタ 2 (TCL2) のビット 0-2 (TCL20-TCL22) でカウント・クロック (インターバル時間) を選択できます。WDTM のビット 7 (RUN) に 1 を設定することにより、インターバル・タイマとして動作を開始します。

インターバル・タイマとして動作しているとき、割り込みマスク・フラグ (TMMK4) と優先順位指定フラグ (TMPR4) が有効となり、マスカブル割り込み要求 (INTWDT) を発生させることができます。INTWDT のデフォルトの優先順位は、マスカブル割り込み要求の中で最も高く設定されています。

インターバル・タイマは、HALT モード時では動作を継続しますが、STOP モード時では動作を停止します。したがって、STOP モードに入る前に WDTM のビット 7 (RUN) を 1 に設定し、インターバル・タイマをクリアしたあと、STOP 命令を実行してください。

- 注意 1.** 一度 WDTM のビット 4 (WDTM4) に 1 をセットする (ウォッチドッグ・タイマ・モードを選択する) と RESET 入力されないかぎり、インターバル・タイマ・モードになりません。
- 2.** WDTM で設定した直後のインターバル時間は、設定時間に対して最大 0.5 % 短くなる場合があります。
- 3.** CPU クロックにサブシステム・クロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止します。

表 9-5 インターバル・タイマのインターバル時間

TCL22	TCL21	TCL20	インターバル時間	$f_x = 10.0 \text{ MHz}$ 時
0	0	0	$2^{12} \times 1/f_x$	409.6 μs
0	0	1	$2^{13} \times 1/f_x$	819.2 μs
0	1	0	$2^{14} \times 1/f_x$	1.64 ms
0	1	1	$2^{15} \times 1/f_x$	3.28 ms
1	0	0	$2^{16} \times 1/f_x$	6.55 ms
1	0	1	$2^{17} \times 1/f_x$	13.1 ms
1	1	0	$2^{18} \times 1/f_x$	26.2 ms
1	1	1	$2^{20} \times 1/f_x$	104.9 ms

備考 f_x : メイン・システム・クロック発振周波数

TCL20-TCL22: タイマ・クロック選択レジスタ 2 (TCL2) のビット 0-2

第10章 クロック出力制御回路

10.1 クロック出力制御回路の機能

リモコン送信時のキャリア出力や周辺LSIに供給するクロックを出力する機能です。タイマ・クロック選択レジスタ0（TCL0）で選択したクロックをPCL/P35端子から出力します。

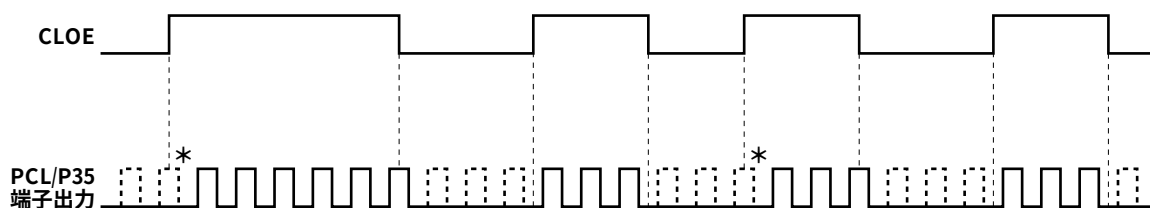
クロック・パルスは、次の手順で出力します。

- ① TCL0のビット0-3（TCL00-TCL03）でクロック・パルスの出力周波数を選択する（クロック・パルスの出力は禁止の状態）。
- ② P35の出力ラッチに0を設定する。
- ③ ポート・モード・レジスタ3（PM3）のビット5（PM35）に0を設定する（出力モードに設定）。
- ④ TCL0のビット7（CLOE）に1を設定する。

注意 P35の出力ラッチに1を設定すると、クロック出力は使用できません。

備考 クロック出力制御回路は、クロック出力の許可／禁止を切り替えるときに、幅の狭いパルスは出力されないようになっています（図10-1 *印参照）。

図10-1 リモコン出力応用例



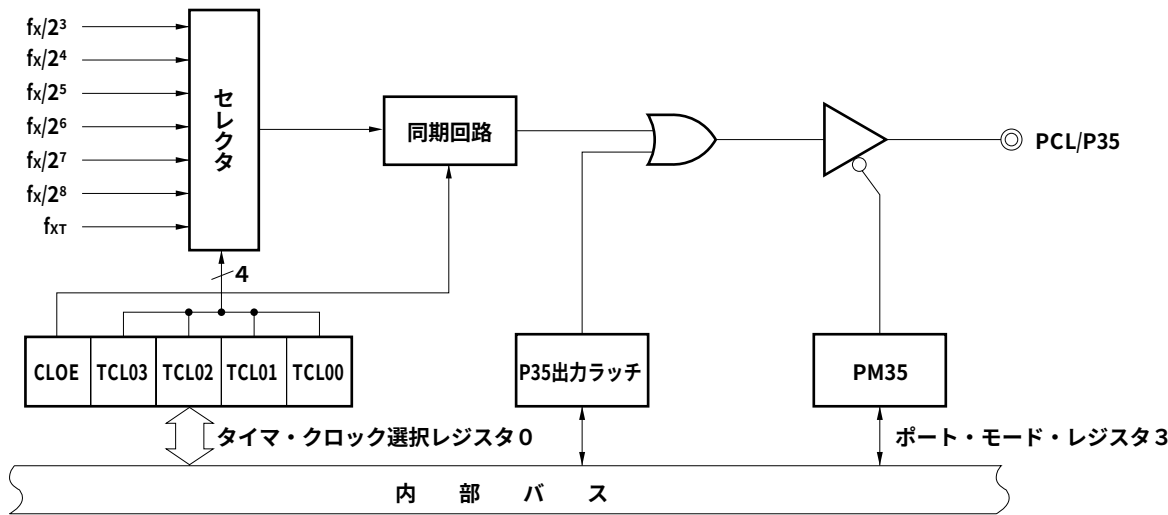
10.2 クロック出力制御回路の構成

クロック出力制御回路は、次のハードウェアで構成しています。

表10－1 クロック出力制御回路の構成

項 目	構 成
制御レジスタ	タイマ・クロック選択レジスタ 0（TCL0） ポート・モード・レジスタ 3（PM3） ポート 3（P3）

図10－2 クロック出力制御回路のブロック図



10.3 クロック出力機能を制御するレジスタ

クロック出力機能を制御するレジスタには、次の2種類があります。

- ・タイマ・クロック選択レジスタ 0（TCL0）
- ・ポート・モード・レジスタ 3（PM3）

(1) タイマ・クロック選択レジスタ 0（TCL0）

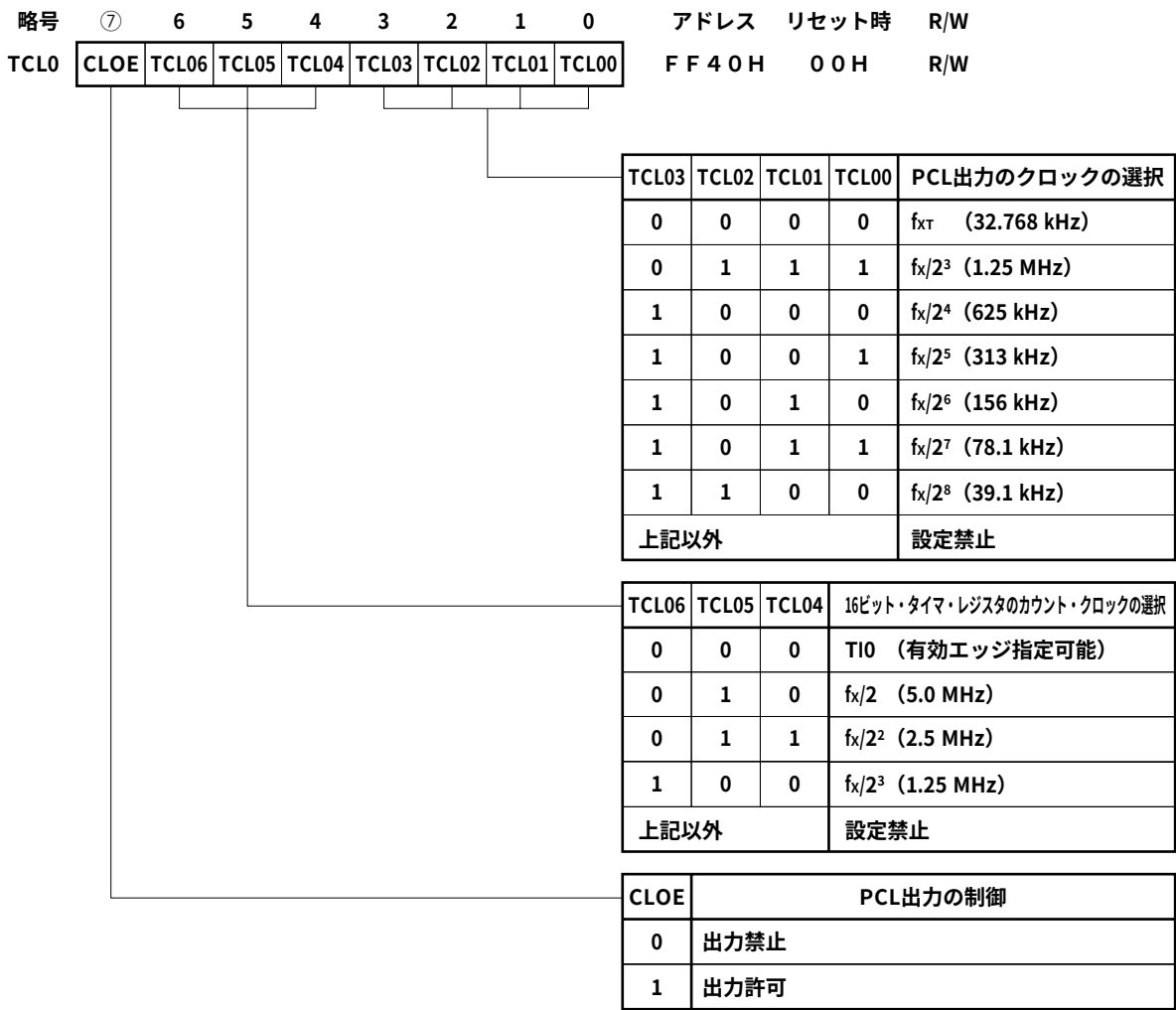
PCL出力のクロックを設定するレジスタです。

TCL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

備考 TCL0は、PCL出力のクロックの設定以外に、16ビット・タイマ・レジスタのカウント・クロックを設定する機能があります。

図10-3 タイマ・クロック選択レジスタ0のフォーマット



- 注意 1. TI0/P00/INTP0端子の有効エッジは、外部割り込みモード・レジスタ (INTM0) で設定します。
また、サンプリング・クロック周波数は、サンプリング・クロック選択レジスタ (SCS) で設定します。
2. PCL出力を許可するときは、TCL00-TCL03を設定したのち、1ビット・メモリ操作命令でCLOEに1を設定してください。
3. TM0のカウント・クロックにTI0を設定しているとき、カウント値を読み出す場合には、16ビット・キャプチャ・レジスタ (CR01) からではなく、TM0から読み出してください。
4. TCL0を同一データ以外に書き換える場合には、いったんクロック動作を停止させたのちに書き換えてください。

- 備考 1. f_X : メイン・システム・クロック発振周波数
2. f_{XT} : サブシステム・クロック発振周波数
3. TI0 : 16ビット・タイマ／イベント・カウンタの入力端子
4. TM0 : 16ビット・タイマ・レジスタ
5. () 内は、f_X = 10.0 MHzまたはf_{XT} = 32.768 kHz動作時。

(2) ポート・モード・レジスタ3 (PM3)

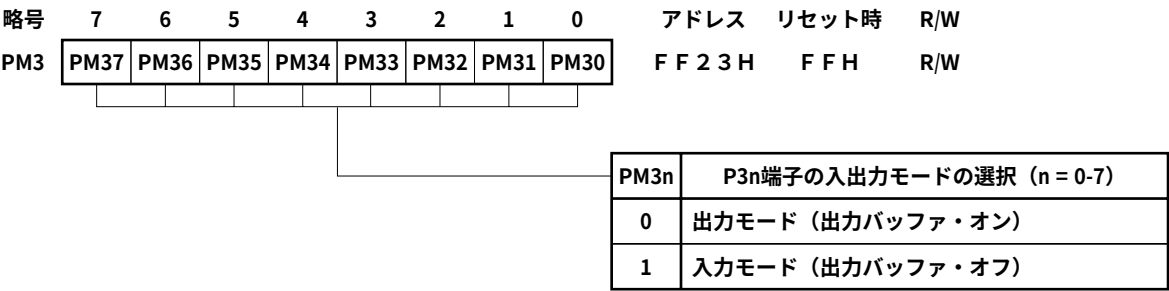
ポート3の入力／出力を1ビット単位で設定するレジスタです。

P35/PCL端子をクロック出力機能として使用するとき、PM35およびP35の出力ラッチに0を設定してください。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図10-4 ポート・モード・レジスタ3のフォーマット



第11章 ブザー出力制御回路

11.1 ブザー出力制御回路の機能

2.4 kHz、4.9 kHz、9.8 kHzの周波数の方形波を出力する機能です。タイマ・クロック選択レジスタ2 (TCL2) で選択したブザー周波数をBUZ/P36端子から出力します。

ブザー周波数は、次の手順で出力します。

- ① TCL2のビット5-7 (TCL25-TCL27) でブザー出力周波数を選択する。
- ② P36の出力ラッチに0を設定する。
- ③ ポート・モード・レジスタ3 (PM3) のビット6 (PM36) に0を設定する (出力モードに設定) 。

注意 P36の出力ラッチに1を設定すると、ブザー出力は使用できません。

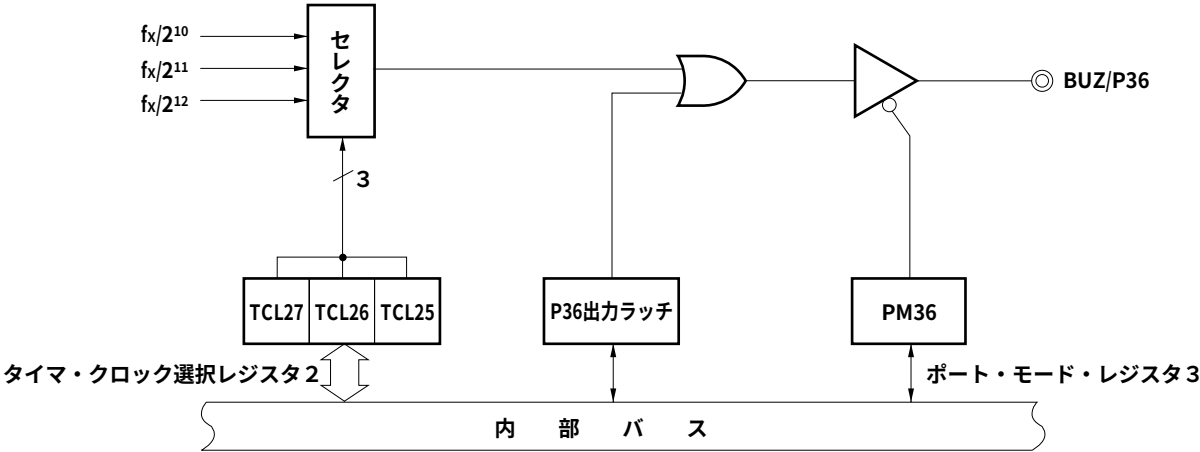
11.2 ブザー出力制御回路の構成

ブザー出力制御回路は、次のハードウェアで構成しています。

表11-1 ブザー出力制御回路の構成

項 目	構 成
制御レジスタ	タイマ・クロック選択レジスタ2 (TCL2) ポート・モード・レジスタ3 (PM3) ポート3 (P3)

図11-1 ブザー出力制御回路のブロック図



11.3 ブザー出力機能を制御するレジスタ

ブザー出力機能を制御するレジスタには、次の2種類があります。

- ・タイマ・クロック選択レジスタ2 (TCL2)
- ・ポート・モード・レジスタ3 (PM3)

(1) タイマ・クロック選択レジスタ2 (TCL2)

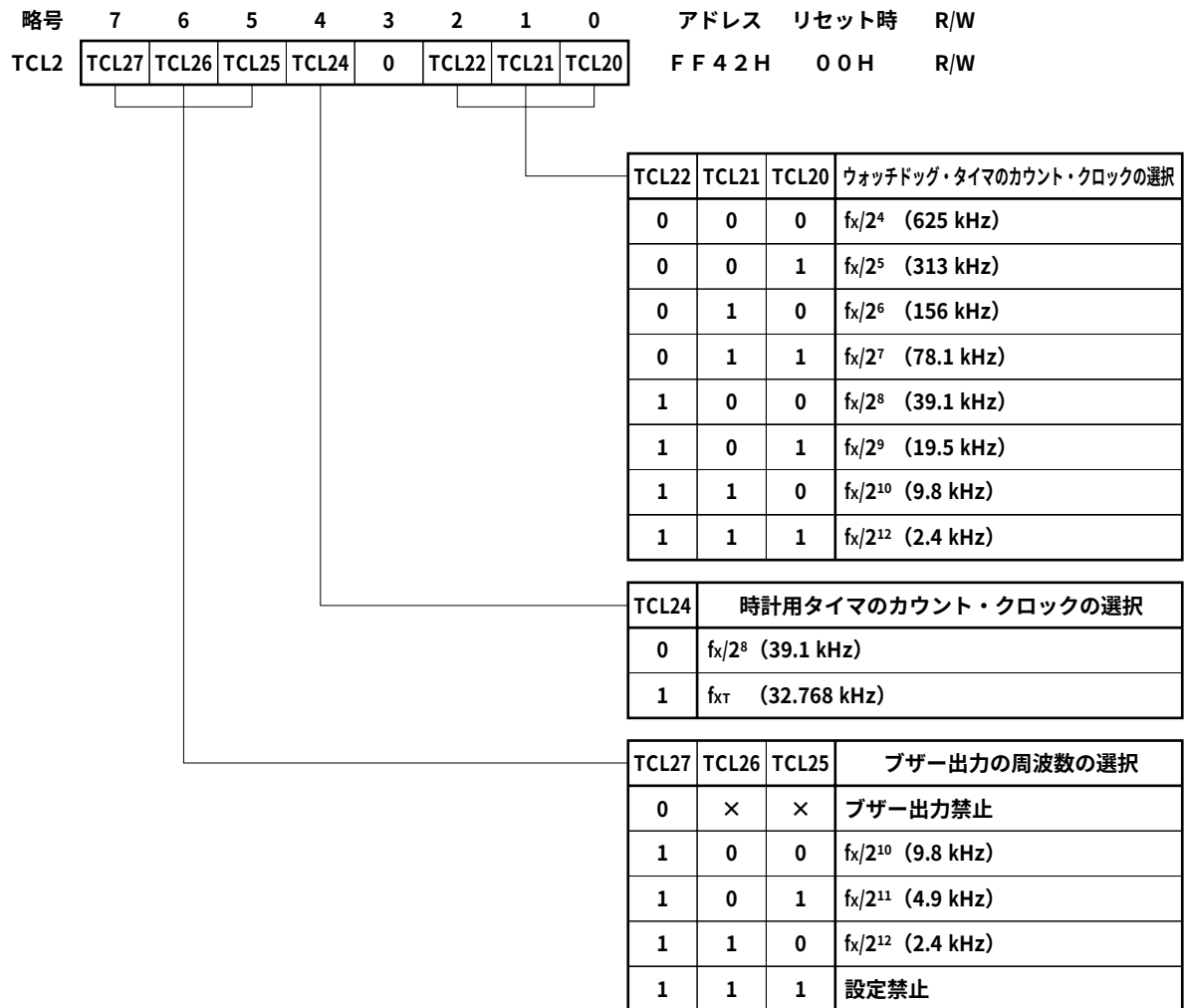
ブザー出力の周波数を設定するレジスタです。

TCL2は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

備考 TCL2は、ブザー出力の周波数の設定以外に、時計用タイマのカウント・クロックおよびウォッチドッグ・タイマのカウント・クロックを設定する機能があります。

図11-2 タイマ・クロック選択レジスタ2のフォーマット



注意 TCL2を同一データ以外に書き換える場合には、いったんタイマ動作を停止させたのちに書き換えてください。

- 備考**
1. f_x : メイン・システム・クロック発振周波数
 2. f_{XT} : サブシステム・クロック発振周波数
 3. × : don't care
 4. () 内は, $f_x = 10.0$ MHzまたは $f_{XT} = 32.768$ kHz動作時。

(2) ポート・モード・レジスタ3 (PM3)

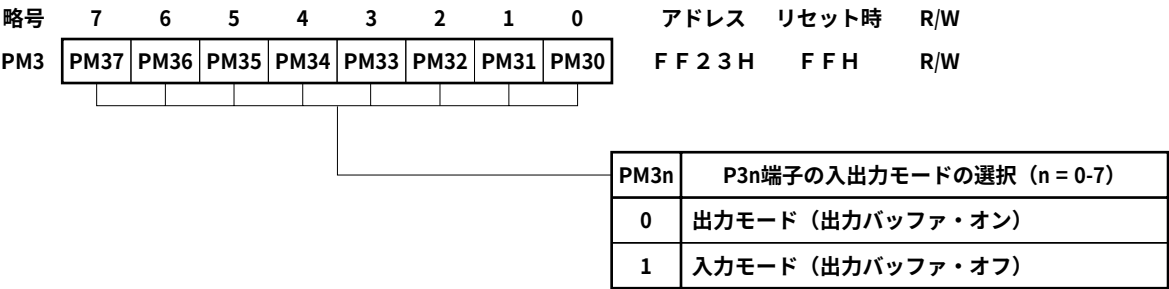
ポート3の入力／出力を1ビット単位で設定するレジスタです。

P36/BUZ端子をブザー出力機能として使用するとき、PM36およびP36の出力ラッチに0を設定してください。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図11-3 ポート・モード・レジスタ3のフォーマット



第12章 A/Dコンバータ

12.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をディジタル値に変換するコンバータで、8ビット分解能8チャンネル（ANI0-ANI7）の構成になっています。

変換方式は逐次比較方式で、変換結果を8ビットのA/D変換結果レジスタ（ADCR）に保持します。

A/D変換動作の起動方法には、次の2種類があります。

（1）ハードウェア・スタート

トリガ入力（INTP3）により変換開始。

（2）ソフトウェア・スタート

A/Dコンバータ・モード・レジスタ（ADM）を設定することにより変換開始。

アナログ入力をANI0-ANI7から1チャンネル選択し、A/D変換を行ってください。A/D変換の動作は、ハードウェア・スタート時ではA/D変換動作終了後停止し、割り込み要求（INTAD）が発生されます。ソフトウェア・スタート時では、A/D変換動作を繰り返し行います。A/D変換を1回終了するたびに割り込み要求（INTAD）が発生されます。

注意 ポートと兼用機能を持った端子（2.1（1）ポート端子参照）については、A/D変換動作中は次の操作をしないでください。A/D変換時の総合誤作の規格が守れなくなります。

- ① ポートとして使用している場合、その出力の出力ラッチを書き換えること
- ② ポートとして使用していない場合でも、出力として使用している端子の出力レベルを変更すること

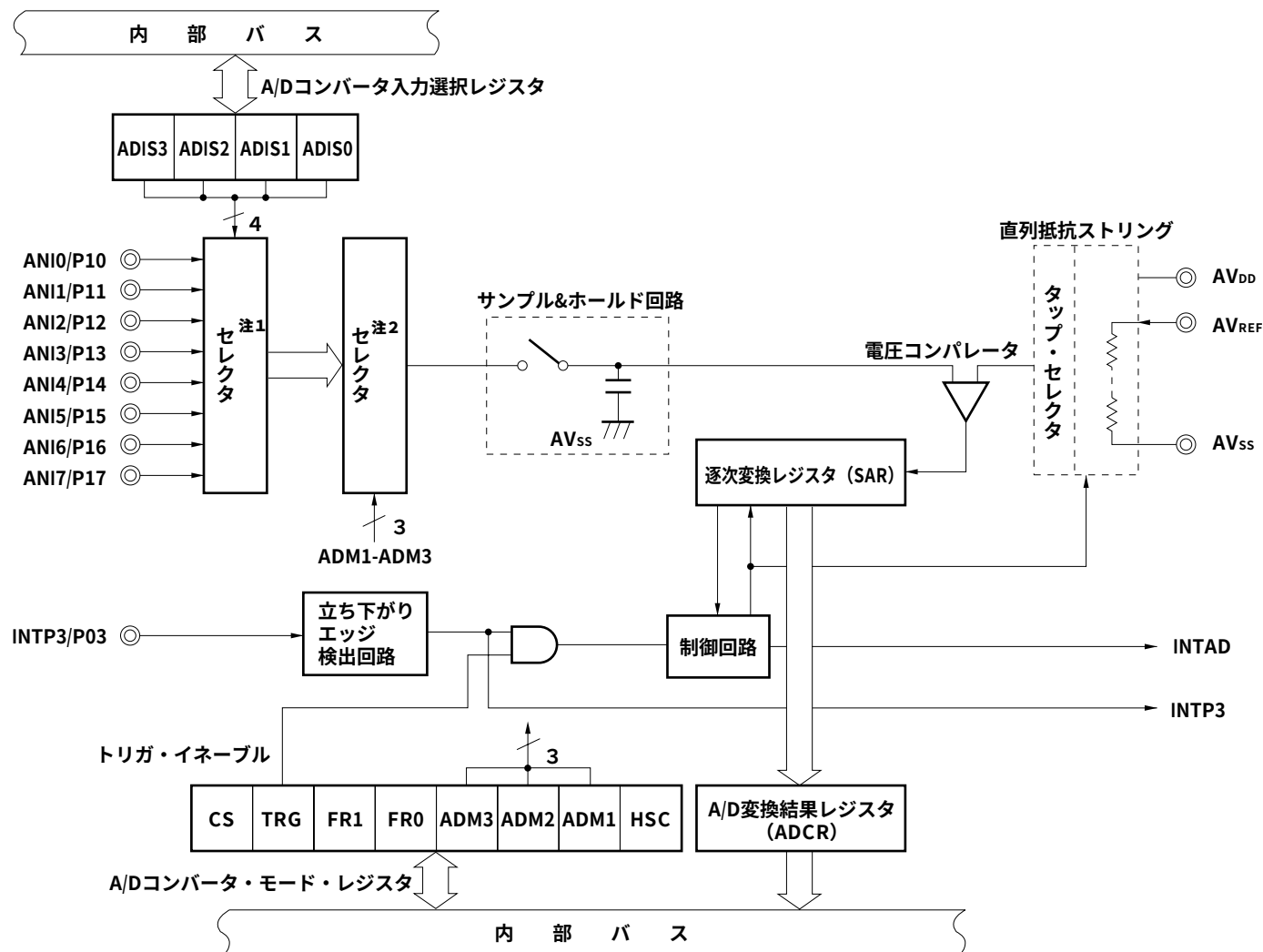
12.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

表12-1 A/Dコンバータの構成

項 目	構 成
アナログ入力	8 チャンネル（ANI0-ANI7）
制御レジスタ	A/Dコンバータ・モード・レジスタ（ADM） A/Dコンバータ入力選択レジスタ（ADIS）
レジスタ	逐次変換レジスタ（SAR） A/D変換結果レジスタ（ADCR）

図12-1 A/Dコンバータのブロック図



注1. アナログ入力として使用するチャンネル数を選択するセクタ。

2. A/D変換するチャンネルを選択するセクタ。

(1) 逐次変換レジスタ (SAR)

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ（比較電圧）の値を比較し、その結果を最上位ビット（MSB）から保持するレジスタです。

最下位ビット（LSB）まで保持すると（A/D変換終了）、SARの内容はA/D変換結果レジスタ（ADCR）に転送されます。

(2) A/D変換結果レジスタ (ADCR)

A/D変換結果を保持します。A/D変換が終了するたびに、逐次変換レジスタ（SAR）から変換結果がロードされます。

ADCRは、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、不定になります。

(3) サンプル& ホールド回路

サンプル&ホールド回路は、入力回路から順次送られてくるアナログ入力信号を1つ1つサンプリングし電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(4) 電圧コンパレータ

電圧コンパレータは、アナログ入力と直列抵抗ストリングの出力電圧を比較します。

(5) 直列抵抗ストリング

直列抵抗ストリングは、 $\text{AV}_{\text{REF}}-\text{AV}_{\text{SS}}$ 間に接続されており、アナログ入力と比較する電圧を発生します。

(6) ANI0-ANI7端子

A/Dコンバータへの8チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。

A/Dコンバータ入力選択レジスタ（ADIS）でアナログ入力として選択した端子以外は入出力ポートとして使用できます。

注意 1. ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特に AV_{REF} 以上、 AV_{SS} 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

2. ANI0-ANI7端子は入出力ポート（ポート1）端子と兼用になっています。

アナログ入力として使用する端子は、入力モードに指定してください。

ANI0-ANI7のいずれかを選択してA/D変換をする場合、変換中にポート1に対する入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないことがあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(7) AV_{REF}端子

A/Dコンバータの基準電圧を入力する端子です。

AV_{REF}、AV_{SS}間にかかる電圧に基づいて、ANI0-ANI7に入力される信号をデジタル信号に変換します。

スタンバイ・モード時には、AV_{REF}端子に入力する電圧をAV_{SS}レベルとすることにより直列抵抗ストリングに流れる電流を低減できます。

注意 AV_{REF}端子とAV_{SS}端子の間には約10 kΩの直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスが高い場合、AV_{REF}端子とAV_{SS}端子の間の直列抵抗ストリングと並列接続することになり、基準電圧の誤差が大きくなります。

(8) AV_{SS}端子

A/Dコンバータのグランド電位端子およびポート部のグランド電位端子です。A/Dコンバータを使用しないときでも、常にV_{SS}端子と同電位で使用してください。

(9) AV_{DD}端子

A/Dコンバータのアナログ電源端子およびポート部の電源端子です。A/Dコンバータを使用しないときでも、常にV_{DD}端子と同電位で使用してください。

12.3 A/Dコンバータを制御するレジスタ

A/Dコンバータを制御するレジスタには、次の2種類があります。

- ・A/Dコンバータ・モード・レジスタ (ADM)
- ・A/Dコンバータ入力選択レジスタ (ADIS)

(1) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力のチャンネル、変換時間、変換動作の開始／停止、外部トリガを設定するレジスタです。

ADMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、01Hになります。

図12-2 A/Dコンバータ・モード・レジスタのフォーマット

略号	⑦	⑥	5	4	3	2	1	0	アドレス	リセット時	R/W
ADM	CS	TRG	FR1	FR0	ADM3	ADM2	ADM1	HSC	FF80H	01H	R/W

ADM3	ADM2	ADM1	アナログ入力チャネルの選択
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	ANI5
1	1	0	ANI6
1	1	1	ANI7

FR1	FR0	HSC	A/D変換時間の選択 ^{注1}				
				f _x = 10.0 MHz時	f _x = 8.38 MHz時	f _x = 5.0 MHz時	f _x = 4.19 MHz時
0	0	1	160/f _x	設定禁止 ^{注2}	19.1 μs	32.0 μs	38.1 μs
0	1	1	80/f _x	設定禁止 ^{注2}	設定禁止 ^{注2}	設定禁止 ^{注2}	19.1 μs
1	0	0	100/f _x	設定禁止 ^{注2}	設定禁止 ^{注2}	20.0 μs	23.9 μs
1	0	1	200/f _x	20.0 μs	23.9 μs	40.0 μs	47.7 μs
上記以外			設定禁止				

TRG	外部トリガの選択
0	外部トリガなし（ソフトウェア・スタート・モード）
1	外部トリガにより変換開始（ハードウェア・スタート・モード）

CS	A/D変換動作の制御
0	動作停止
1	動作開始

注1．A/D変換時間が19.1 μs以上になるように設定してください。

2．A/D変換時間が19.1 μs未満となりますので，設定禁止です。

注意1．スタンバイ機能使用時にA/Dコンバータ部の消費電力を低減させるためには，ビット7（CS）を0にクリアし，A/D変換動作を停止させてから，HALT命令またはSTOP命令を実行してください。

2．停止しているA/D変換動作を再開するときは，割り込み要求フラグ（ADIF）を0にクリアしたのちにA/D変換動作を開始してください。

備考 fx：メイン・システム・クロック発振周波数

(2) A/Dコンバータ入力選択レジスタ (ADIS)

ANI0/P10-ANI7/P17端子をアナログ入力のチャンネルとして使用するか、ポートとして使用するかを設定するレジスタです。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

ADISは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意1. アナログ入力のチャンネルは、次の順序で設定してください。

- ① ADISでアナログ入力のチャンネル数を設定します。
 - ② ADISでアナログ入力として設定したチャンネルのうち、A/D変換するチャンネルをA/Dコンバータ・モード・レジスタ (ADM) で1チャンネル選択します。
2. ADISでアナログ入力として設定したチャンネルでは、プルアップ抵抗オプション・レジスタ (PUO) のビット1 (PUO1) の値にかかわらず、内蔵プルアップ抵抗は使用されません。

図12-3 A/Dコンバータ入力選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADIS	0	0	0	0	ADIS3	ADIS2	ADIS1	ADIS0	FF84H	00H	R/W

ADIS3	ADIS2	ADIS1	ADIS0	アナログ入力チャンネル数の選択
0	0	0	0	アナログ入力チャンネルなし (P10-P17)
0	0	0	1	1チャンネル (ANI0, P11-P17)
0	0	1	0	2チャンネル (ANI0, ANI1, P12-P17)
0	0	1	1	3チャンネル (ANI0-ANI2, P13-P17)
0	1	0	0	4チャンネル (ANI0-ANI3, P14-P17)
0	1	0	1	5チャンネル (ANI0-ANI4, P15-P17)
0	1	1	0	6チャンネル (ANI0-ANI5, P16, P17)
0	1	1	1	7チャンネル (ANI0-ANI6, P17)
1	0	0	0	8チャンネル (ANI0-ANI7)
上記以外				設定禁止

12.4 A/Dコンバータの動作

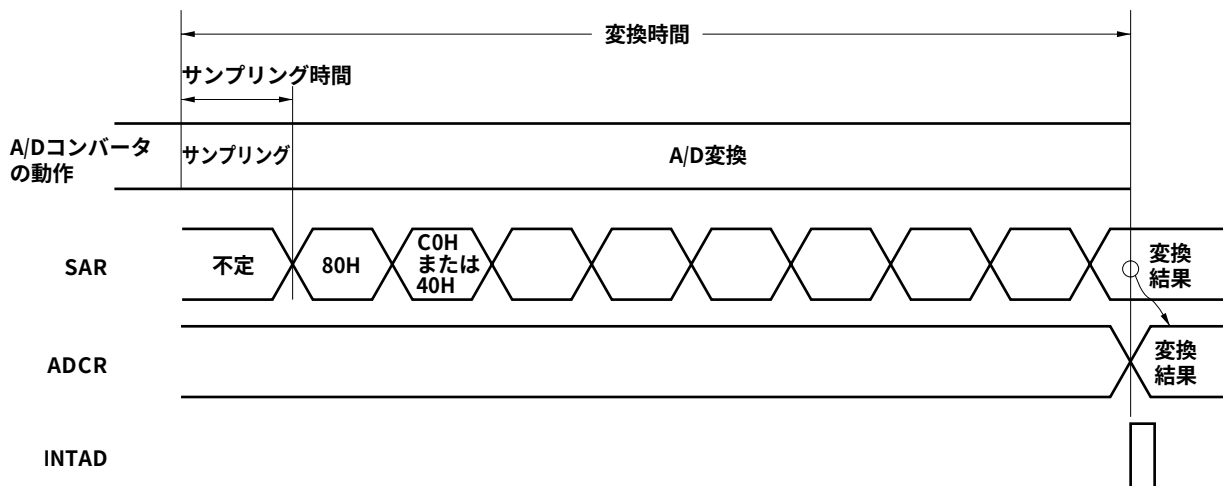
12.4.1 A/Dコンバータの基本動作

- ① A/Dコンバータ入力選択レジスタ（ADIS）でアナログ入力チャンネル数を設定してください。
- ② ADISでアナログ入力として設定したチャンネルのうち、A/D変換するチャンネルをA/Dコンバータ・モード・レジスタ（ADM）で1チャンネル選択してください。
- ③ 選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路がサンプリングします。
- ④ 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。
- ⑤ 逐次変換レジスタ（SAR）のビット7がセットされます。タップ・セレクトにより直列抵抗ストリングの電圧タップが $(1/2) AV_{REF}$ にされます。
- ⑥ 直列抵抗ストリングの電圧タップとアナログ入力との電圧差が電圧コンパレータで比較されます。もし、アナログ入力が $(1/2) AV_{REF}$ よりも大きければ、SARのMSBはセットされたままです。また、 $(1/2) AV_{REF}$ よりも小さければ、MSBはリセットされます。
- ⑦ 次にSARのビット6が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット7の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。
 - ・ビット7 = 1 : $(3/4) AV_{REF}$
 - ・ビット7 = 0 : $(1/4) AV_{REF}$この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット6が次のように操作されます。
 - ・アナログ入力電圧 $\geq$ 電圧タップ : ビット6 = 1
 - ・アナログ入力電圧 $<$ 電圧タップ : ビット6 = 0
- ⑧ このような比較をSARのビット0まで続けます。
- ⑨ 8ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ（ADCR）に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求（INTAD）を発生させることができます。

★

図12-4 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ（ADM）のビット7（CS）をリセット（0）するまで連続的に行われます。

A/D変換動作中に、ADMに対して書き込み操作をすると変換動作は初期化され、CSビットがセット（1）されていれば、最初から変換を開始します。

ADCRは、 $\overline{\text{RESET}}$ により不定となります。

12.4.2 入力電圧と変換結果

アナログ入力端子（AN10-AN17）に入力されたアナログ入力電圧とA/D変換結果（A/D変換結果レジスタ（ADCR）に格納された値）には次式に示す関係があります。

$$ADCR = \text{INT} \left(\frac{V_{IN}}{AV_{REF}} \times 256 + 0.5 \right)$$

または、

$$(ADCR - 0.5) \times \frac{AV_{REF}}{256} \leq V_{IN} < (ADCR + 0.5) \times \frac{AV_{REF}}{256}$$

備考 INT () : () 内の値の整数部を返す関数

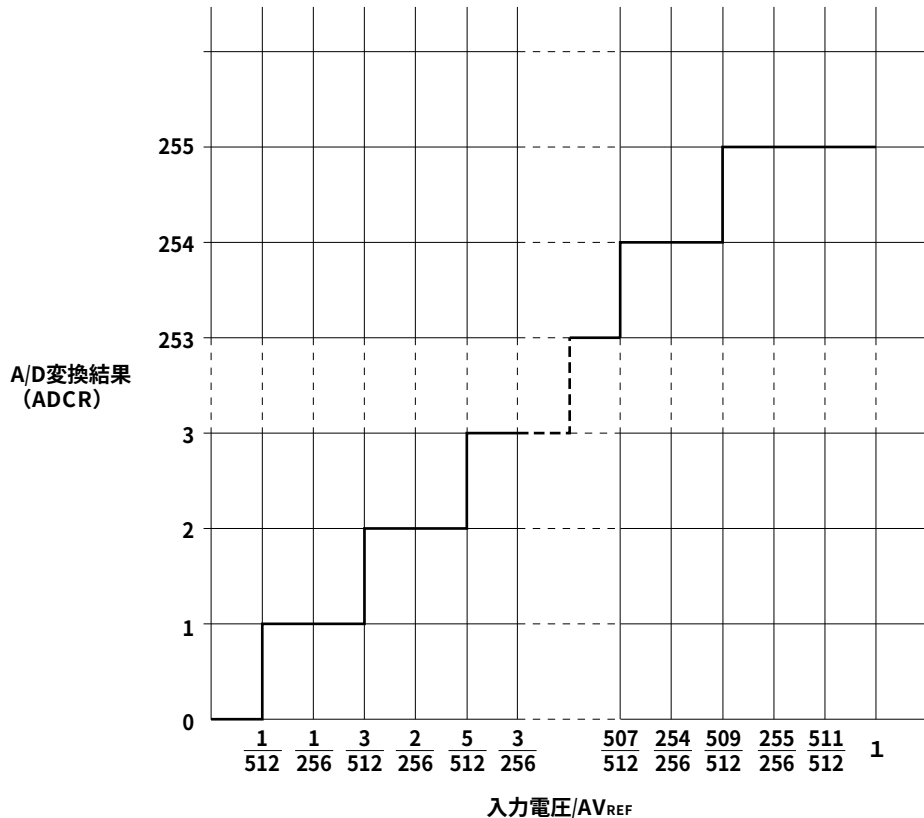
V_{IN} : アナログ入力電圧

AV_{REF} : AV_{REF} 端子電圧

ADCR : A/D変換結果レジスタ（ADCR）の値

図12-5 にアナログ入力電圧とA/D変換結果の関係を図示します。

図12-5 アナログ入力電圧とA/D変換結果の関係



12.4.3 A/Dコンバータの動作モード

A/Dコンバータ入力選択レジスタ (ADIS) およびA/Dコンバータ・モード・レジスタ (ADM) によって ANI0-ANI7からアナログ入力を1チャンネル選択し、A/D変換を開始させてください。

A/D変換動作の起動方法には、次の2種類があります。

- ・ハードウェア・スタート：トリガ入力 (INTP3) により変換開始
- ・ソフトウェア・スタート：ADMを設定することにより変換開始

また、A/D変換結果は、A/D変換結果レジスタ (ADCR) に格納され、同時に割り込み要求信号 (INTAD) が発生されます。

(1) ハードウェア・スタートによるA/D変換動作

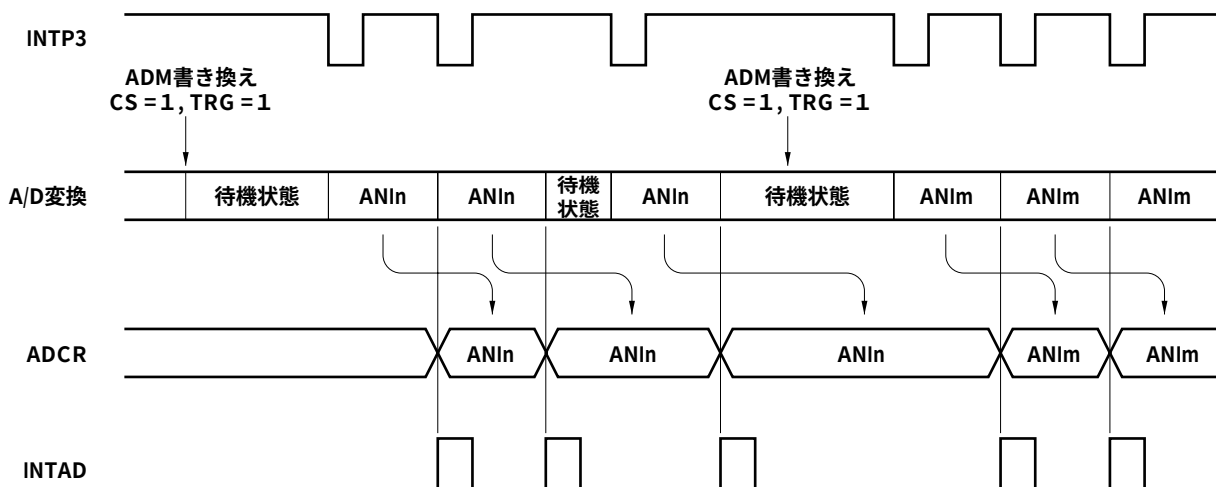
A/Dコンバータ・モード・レジスタ (ADM) のビット6 (TRG) に1, ビット7 (CS) に1を設定することによってA/D変換動作の待機状態になります。外部トリガ信号 (INTP3) が入力されると, ADMのビット1-3 (ADM1-ADM3) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると, 変換結果をA/D変換結果レジスタ (ADCR) に格納し, 割り込み要求信号 (INTAD) が発生されます。A/D変換動作が一度起動し, 1回のA/D変換が終了すると, 新たに外部トリガ信号が入力されないかぎり, A/D変換動作は開始しません。

A/D変換動作中に, 再度CSが1であるデータをADMに書き込むと, そのとき行っていたA/D変換動作を中断し, 新たに外部トリガ信号が入力されるまで待機します。外部トリガ入力信号が再度入力されると, A/D変換動作を最初から行います。

また, A/D変換動作中に, CSが0であるデータをADMに書き込むと, ただちにA/D変換動作を停止します。

図12-6 ハードウェア・スタートによるA/D変換動作



備考 $n = 0, 1, \dots, 7$

$m = 0, 1, \dots, 7$

(2) ソフトウェア・スタートによるA/D変換動作

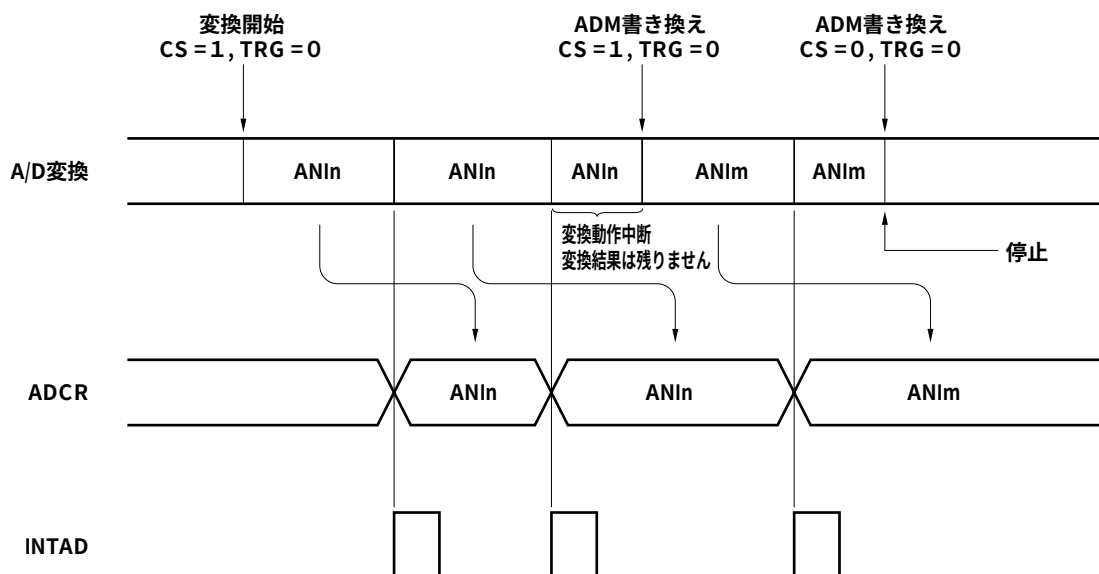
A/Dコンバータ・モード・レジスタ (ADM) のビット6 (TRG) に0, ビット7 (CS) に1を設定することにより, ADMのビット1-3 (ADM1-ADM3) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると, 変換結果をA/D変換結果レジスタ (ADCR) に格納し, 割り込み要求信号 (INTAD) が発生します。A/D変換動作が一度起動し, 1回のA/D変換が終了すると, ただちに次のA/D変換動作を開始します。新たなデータをADMに書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に, 再度CSが1であるデータをADMに書き込むと, そのとき行っていたA/D変換動作は中断し, 新たに書き込んだデータのA/D変換動作を開始します。

また, A/D変換動作中に, CSが0であるデータをADMに書き込むと, ただちにA/D変換動作を停止します。

図12-7 ソフトウェア・スタートによるA/D変換動作



備考 $n = 0, 1, \dots, 7$

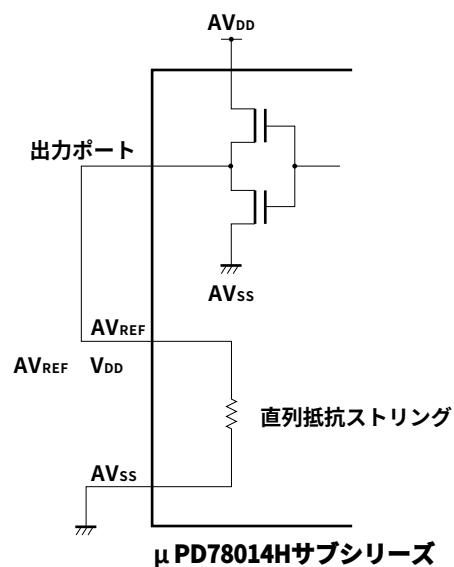
$m = 0, 1, \dots, 7$

12.5 A/Dコンバータの注意事項

(1) スタンバイ・モード時の消費電流について

A/Dコンバータは、メイン・システム・クロックによって動作します。したがって、STOPモード、またはサブシステム・クロックでのHALTモード時には動作は停止します。このときにも、 AV_{REF} 端子には電流が流れ込みますので、システム全体としての消費電力を少なくするには、この電流をカットする必要があります。図12-8の場合、スタンバイ・モード時には出力ポートにロウ・レベルを出力すれば、消費電力を小さくできます。ただし、実際の AV_{REF} の電圧に精度がありませんので、変換値の値自体は精度を持たず、相対的な比較のみに使用できます。

図12-8 スタンバイ・モード時の消費電流を低減させる方法例



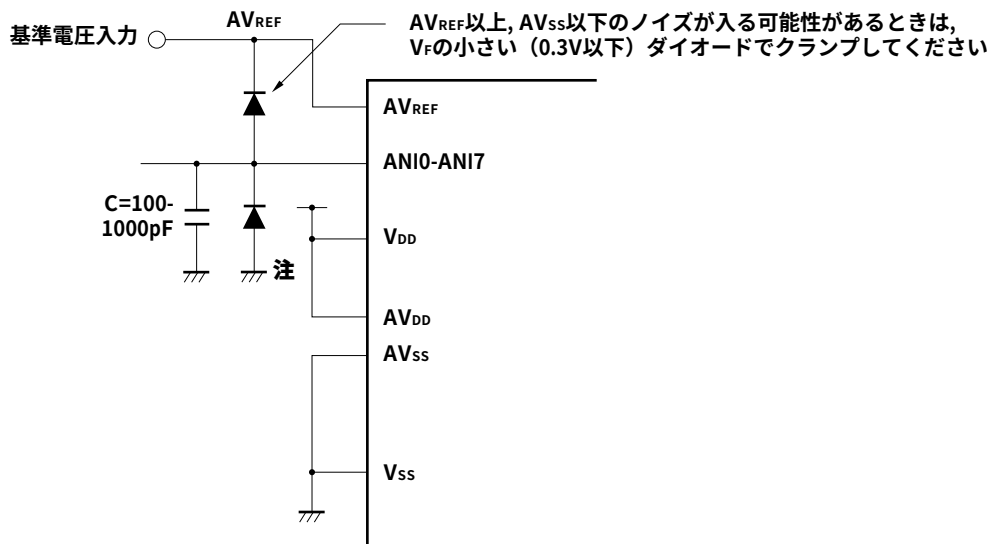
(2) ANI0-ANI7入力範囲について

ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特に、 AV_{REF} 以上、 AV_{SS} 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) ノイズ対策について

8ビット分解能を保つためには、 AV_{REF} 、ANI0-ANI7端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図12-9のように、Cを外付けすることを推奨します。

図12-9 アナログ入力端子の処理



注 EMIノイズ低減を実現するため、 V_{DD} と AV_{DD} は別々の電源を供給し、 V_{SS} と AV_{SS} を別々のグラウンドに接続してください。

(4) ANI0/P10-ANI7/P17

アナログ入力（ANI0-ANI7）端子は入出力ポート（ポート1）端子と兼用になっています。

アナログ入力として使用する端子は、入力モードに指定してください。

ANI0-ANI7のいずれかを選択してA/D変換をする場合、変換中にポート1に対する入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないことがあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(5) AV_{REF}端子の入力インピーダンスについて

AV_{REF}端子とAV_{SS}端子の間には約10 k Ω の直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスが高い場合、AV_{REF}端子とAV_{SS}端子の間の直列抵抗ストリングと並列接続することになり、基準電圧の誤差が大きくなります。

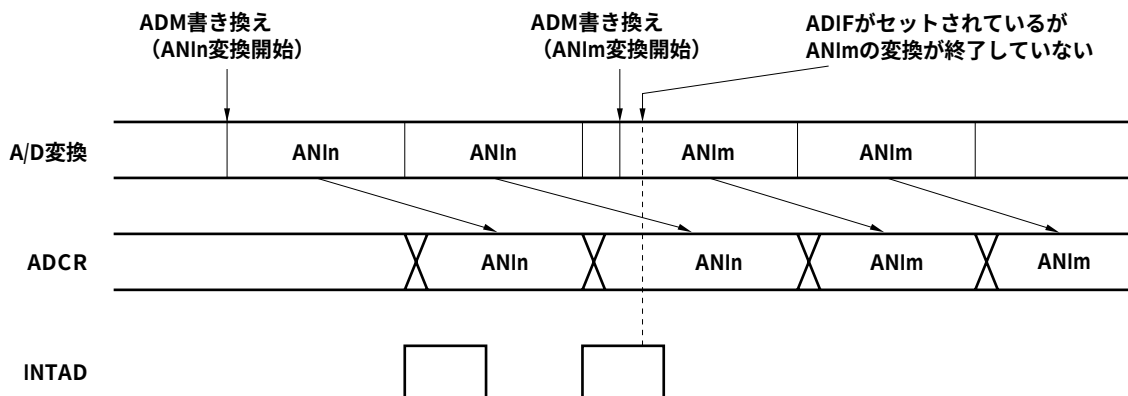
(6) 割り込み要求フラグ（ADIF）について

A/Dコンバータ・モード・レジスタ（ADM）を変更しても割り込み要求フラグ（ADIF）はクリアされません。

したがって、A/D変換中にアナログ入力端子を変更した場合、ADM書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFがセットされる場合があります。このとき、ADM書き換え直後にADIFを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることになりますので注意してください（図12-10参照）。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリアしてください。

図12-10 A/D変換終了割り込み要求発生タイミング



備考 n = 0, 1, …, 7

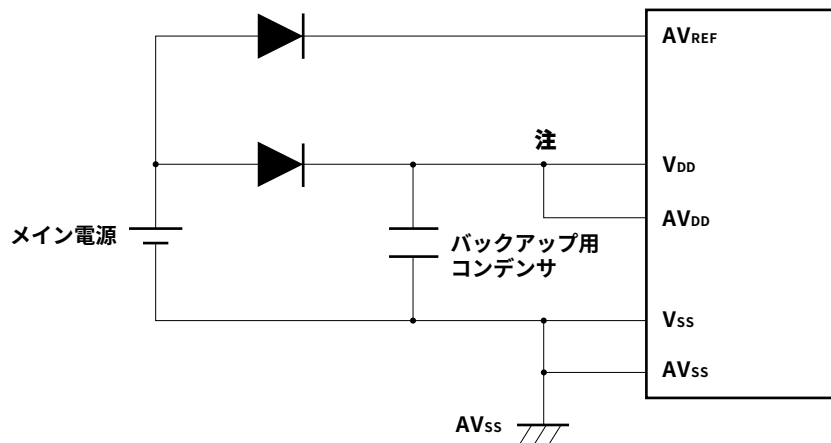
m = 0, 1, …, 7

(7) AV_{DD}端子について

AV_{DD}端子はアナログ回路の電源端子であり、ANI0/P10-ANI7/P17の入力回路にも電源を供給しています。

したがって、バックアップ電源に切り替えるようなアプリケーションにおいても、図12-11のように必ずV_{DD}と同レベルの電位を印加してください。

図12-11 AV_{DD}端子の処理



注 EMIノイズ低減を実現するため、V_{DD}とAV_{DD}には別々の電源を供給し、V_{SS}とAV_{SS}を別々のグランドに接続してください。

(8) A/Dコンバータ動作中のポート操作について

ポートと兼用機能を持った端子（2.1（1）ポート端子参照）については、A/D変換動作中は次の操作をしないでください。A/D変換時の総合誤差の規格が守れなくなります。

- ① ポートとして使用している場合、その出力ラッチを書き換えること
- ② ポートとして使用していない場合でも、出力として使用している端子の出力レベルを変更すること

(× 毛)

保守

第13章 シリアル・インタフェース・チャンネル0

μPD78014Hサブシリーズは、クロック同期式シリアル・インタフェースを2チャンネル内蔵しています。
チャンネル0とチャンネル1の違いは次のとおりです（シリアル・インタフェース・チャンネル1の詳細は、第14章
シリアル・インタフェース・チャンネル1を参照してください）。

表13-1 チャンネル0とチャンネル1の違い

シリアル転送モード		チャンネル0	チャンネル1
3線式シリアルI/O	クロック選択	$f_x/2^{2\text{注}}$, $f_x/2^3$, $f_x/2^4$, $f_x/2^5$, $f_x/2^6$, $f_x/2^7$, $f_x/2^8$, $f_x/2^9$, 外部クロック, T02出力	$f_x/2^{2\text{注}}$, $f_x/2^3$, $f_x/2^4$, $f_x/2^5$, $f_x/2^6$, $f_x/2^7$, $f_x/2^8$, $f_x/2^9$, 外部クロック, T02出力
	転送方式	MSB先頭/LSB先頭の切り替え可能	MSB先頭/LSB先頭の切り替え可能 自動送受信機能内蔵
	転送終了フラグ	シリアル・インタフェース・チャンネル0転 送終了割り込み要求フラグ (CSIF0)	シリアル・インタフェース・チャンネル1転送終了 割り込み要求フラグ (CSIF1およびTRF)
SBI (シリアル・バス・インタフェース)		使用可能	な し
2線式シリアルI/O			

注 メイン・システム・クロックが4.19 MHz以下で発振しているときのみ設定できます。

13.1 シリアル・インタフェース・チャンネル0の機能

シリアル・インタフェース・チャンネル0には、次に示す4種類のモードがあります。

表13-2 シリアル・インタフェース・チャンネル0のモードの違い

動作モード	使用する端子	特 徴	用 途
動作停止 モード	—	・シリアル転送をしないときに使用するモード。 ・消費電力を低減できる。	—
3線式シリアルI/Oモード	$\overline{\text{SCK0}}$ (シリアル・クロック) , SO0 (シリアル出力) , SI0 (シリアル入力)	・入力, 出力ラインが独立しており, 同時送受信が可能なのでデータ転送処理時間が短い。 ・シリアル転送する8ビット・データの先頭ビットをMSB, またはLSBに切り替えることができる。	75X/XLシリーズ, 78Kシリーズ, 17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効。
SBIモード	$\overline{\text{SCK0}}$ (シリアル・クロック) , SB0またはSB1 (シリアル・データ・バス)	・2本の信号線でシリアル・バスが構成できるため, 複数のマイコンと接続する場合でも, ポート数削減および基板内の配線や引き回しの減少に有効。 ・NEC標準バス・フォーマットに準拠した高速シリアル・インタフェース。 ・シリアル・バスにアドレス, コマンド, データ情報を持つ。 ・ハンドシェイクのためのウエイク・アップ機能, アクノリッジ信号, ビジィ信号出力機能を使用可能。	
2線式シリアルI/Oモード	$\overline{\text{SCK0}}$ (シリアル・クロック) , SB0またはSB1 (シリアル・データ・バス)	・プログラムにより任意のデータ転送のフォーマットに対応でき, 従来, 複数デバイスを接続するときに必要になったハンドシェイクのためのラインを削除できる。	

注意 シリアル・インタフェース・チャンネル0の動作許可中に動作モード（3線式シリアルI/O／2線式シリアルI/O／SBI）を切り替えないでください。

動作モードは、いったんシリアル動作を停止させたのちに切り替えてください。

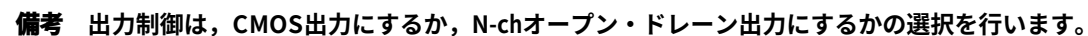
13.2 シリアル・インタフェース・チャンネル0の構成

シリアル・インタフェース・チャンネル0は、次のハードウェアで構成しています。

表13-3 シリアル・インタフェース・チャンネル0の構成

項 目	構 成
レジスタ	シリアルI/Oシフト・レジスタ0 (SIO0) スレーブ・アドレス・レジスタ (SVA)
制御レジスタ	タイマ・クロック選択レジスタ3 (TCL3) シリアル動作モード・レジスタ0 (CSIM0) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) 割り込みタイミング指定レジスタ (SINT) ポート・モード・レジスタ2 (PM2) 注 ポート2 (P2)

注 図4-6 P20, P21, P23-P26のブロック図, 図4-7 P22, P27のブロック図を参照してください。



(1) シリアルI/Oシフト・レジスタ0 (SIO0)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信（シフト動作）を行う8ビット・レジスタです。

SIO0は、8ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタ0 (CSIM0) のビット7 (CSIE0) が1のとき、SIO0にデータを書き込むことにより、シリアル動作が開始されます。

送信時は、SIO0に書き込まれたデータが、シリアル出力 (SO0) またはシリアル・データ・バス (SB0/SB1) に出力されます。受信時は、データがシリアル入力 (SI0) またはSB0/SB1からSIO0に読み込まれます。

なお、SBIモード、2線式シリアルI/Oモードのバス構成は、入力端子と出力端子が兼用です。したがって、これから受信を行おうとするデバイスは、あらかじめSIO0にFFHを書き込んでください（ただし、CSIM0のビット5 (WUP) に1を設定してアドレスを受信するときを除く）。

また、SBIモード時は、SIO0への書き込みにより、ビジー解除ができます。この場合、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) のビット7 (BSYE) は、0にクリアされません。

SIO0は、 $\overline{\text{RESET}}$ 入力により、不定になります。

(2) スレーブ・アドレス・レジスタ (SVA)

スレーブ・デバイスとしてシリアル・バスに接続するときに、そのスレーブ・アドレス値をセットするための8ビット・レジスタです。3線式シリアルI/Oモードでは使用されません。

SVAは、8ビット・メモリ操作命令で設定します。

マスタは接続されているスレーブに対して、特定のスレーブを選択するためのスレーブ・アドレスを出力します。アドレス・コンパレータによりこれらの2つのデータ（マスタから出力されたスレーブ・アドレスとSVAの値）を比較して、一致すると、そのスレーブが選択されたことになります。このとき、シリアル動作モード・レジスタ0 (CSIM0) のビット6 (COI) が1になります。

また、割り込みタイミング指定レジスタ (SINT) のビット4 (SVAM) をセット (1) することにより、LSBをマスクした上位7ビットのデータで、アドレスを比較することもできます。

アドレス受信時に一致が検出されなければ、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) のビット2 (RELD) は0にクリアされます。なお、SBIモード時、CSIM0のビット5 (WUP) をセット (1) することにより、ウエイク・アップ機能を使用できます。この場合、マスタから出力されたスレーブ・アドレスとSVAの値が一致したときのみ、割り込み要求信号 (INTCSIO) が発生します。この割り込み要求によりマスタから通信要求があったことを知ることができます。なお割り込みタイミング指定レジスタ (SINT) のビット5 (SIC) がセット (1) されていると、WUPをセット (1) しても、ウエイク・アップ機能が動作しません（バス・リリース検出時に割り込み要求信号が発生します）。ウエイク・アップ機能使用時はSICを0にクリアしておいてください。

さらに、SBIモード時または2線式シリアルI/Oモード時で、マスタまたはスレーブとして送信するとき、SVAを利用してエラーを検出できます。

SVAは、 $\overline{\text{RESET}}$ 入力により、不定になります。

(3) S00ラッチ

SI0/SB0/P25, S00/SB1/P26端子レベルを保持するラッチです。ソフトウェアにより直接制御することもできます。SBIモード時は、シリアル・クロックの8回目のクロック終了時にセットされます。

(4) シリアル・クロック・カウンタ

送受信動作時に出力されるシリアル・クロック、および入力されるシリアル・クロックをカウントし、8ビット・データが送受信されたことを調べます。

(5) シリアル・クロック制御回路

シリアルI/Oシフト・レジスタ0 (SI00) へのシリアル・クロックの供給を制御します。また、内部システム・クロック使用時は、 $\overline{\text{SCK0}}$ /P27端子へ出力するクロックも制御します。

(6) 割り込み要求信号発生回路

割り込み要求信号の発生を制御します。次のときに割り込み要求信号を発生します。

・ 3線式シリアルI/Oモードおよび2線式シリアルI/Oモード時

シリアル・クロックを8回カウントするごとに割り込み要求信号を発生します。

・ SBIモード時

WUP[※]が0のとき…シリアル・クロックを8回カウントするごとに割り込み要求信号を発生します。

WUP[※]が1のとき…アドレス受信後、シリアルI/Oシフト・レジスタ0 (SI00) とスレーブ・アドレス・レジスタ (SVA) の値が一致したとき、割り込み要求信号を発生します。

注 WUPは、ウエイク・アップ機能指定ビット。シリアル動作モード・レジスタ0 (CSIM0) のビット5。ウエイク・アップ機能を使用 (WUP = 1) するときは、割り込みタイミング指定レジスタ (SINT) のビット5 (SIC) を0にクリアしておいてください。

(7) ビジィ／アクノリッジ出力回路、バス・リリース／コマンド／アクノリッジ検出回路

SBIモード時に各種制御信号の出力および検出を行います。

3線式シリアルI/Oモードおよび2線式シリアルI/Oモード時には、動作しません。

13.3 シリアル・インタフェース・チャンネル0を制御するレジスタ

シリアル・インタフェース・チャンネル0を制御するレジスタには、次の4種類があります。

- ・タイマ・クロック選択レジスタ3 (TCL3)
- ・シリアル動作モード・レジスタ0 (CSIM0)
- ・シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)
- ・割り込みタイミング指定レジスタ (SINT)

(1) タイマ・クロック選択レジスタ3 (TCL3) (図13-2 参照)

シリアル・インタフェース・チャンネル0のシリアル・クロックを設定するレジスタです。

TCL3は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、88Hになります。

備考 TCL3は、シリアル・インタフェース・チャンネル0のシリアル・クロックの設定以外に、シリアル・インタフェース・チャンネル1のシリアル・クロックを設定する機能があります。

(2) シリアル動作モード・レジスタ0 (CSIM0) (図13-3 参照)

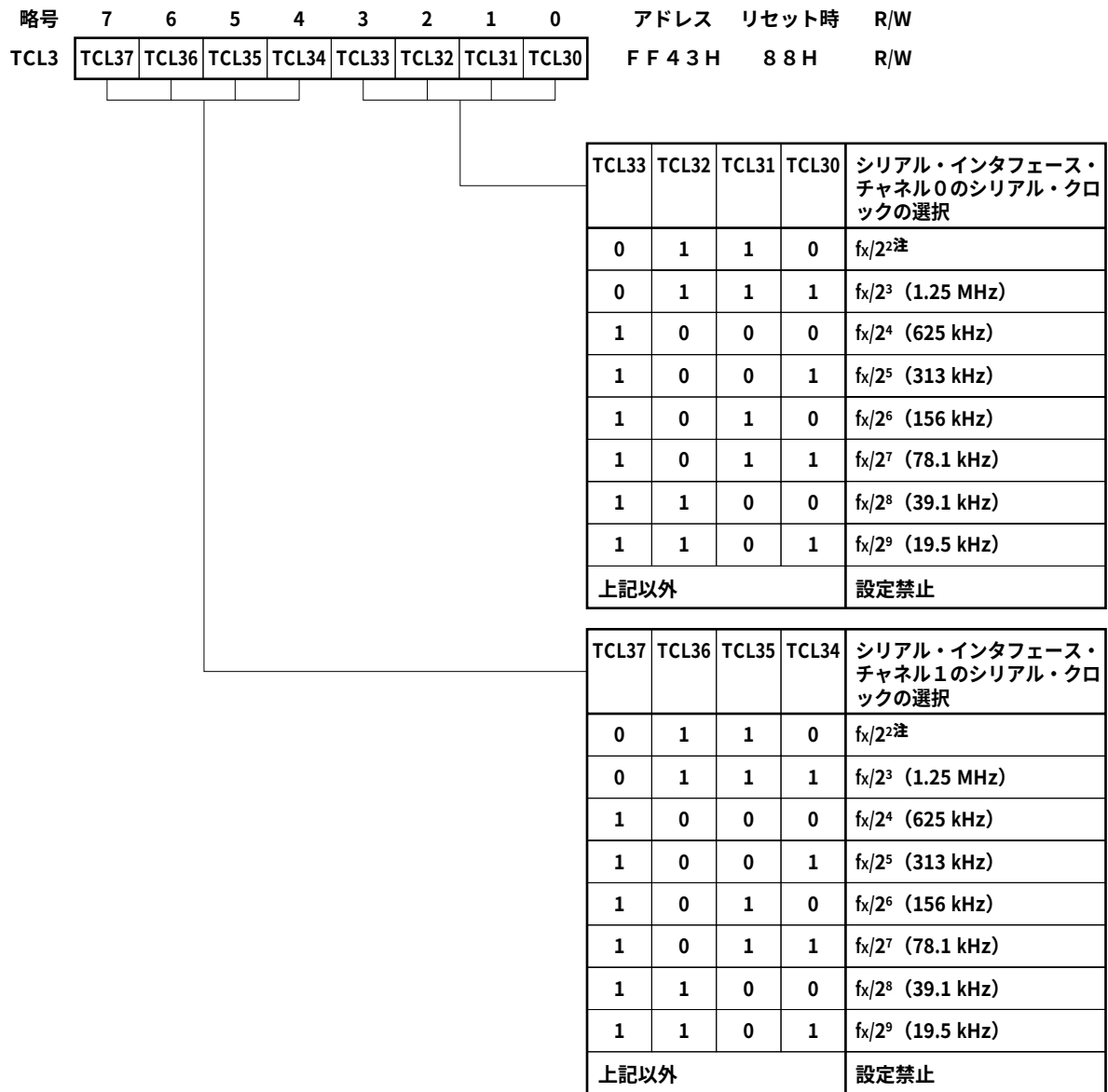
シリアル・インタフェース・チャンネル0のシリアル・クロック、動作モード、動作の許可／停止、ウェイク・アップ機能の設定とアドレス・コンパレータの一致信号を表示するレジスタです。

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 シリアル・インタフェース・チャンネル0の動作許可中に動作モード（3線式シリアルI/O／2線式シリアルI/O／SBI）を切り替えないでください。動作モードは、いったんシリアル動作を停止させたのちに切り替えてください。

図13-2 タイマ・クロック選択レジスタ3のフォーマット



注 メイン・システム・クロックが4.19 MHz以下で発振しているときのみ設定できます。

注意 TCL3を同一データ以外に書き換える場合には、いったんシリアル転送を停止させたのちに書き換えてください。

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は, $f_x = 10.0$ MHz動作時。

図13-3 シリアル動作モード・レジスタ0のフォーマット (1/2)

略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W ^{注1}

R/W	CSIM01	CSIM00	シリアル・インタフェース・チャンネル0のクロックの選択
	0	×	SCK0端子への外部からの入力クロック
	1	0	8ビット・タイマ・レジスタ2 (TM2) の出力
	1	1	タイマ・クロック選択レジスタ3 (TCL3) のビット0-3で指定されたクロック

R/W	CSIM04	CSIM03	CSIM02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/P25 端子の機能	SO0/SB1/P26 端子の機能	SCK0/P27 端子の機能
	0	×	0	1	×	0	0	0	1	3線式シリアル I/Oモード	MSB LSB	SI0 ^{注2} (入力)	SO0 (CMOS出力)	SCK0 (CMOS入出力)
	1	0	0	注3 ×	注3 ×	0	0	0	1	SBIモード	MSB	P25 (CMOS入出力)	SB1 (N-chオープン・ ドレイン入出力)	SCK0 (CMOS入出力)
			1	0	0	注3 ×	注3 ×	0	1			SB0 (N-chオープン・ ドレイン入出力)	P26 (CMOS入出力)	
	1	1	0	注3 ×	注3 ×	0	0	0	1	2線式シリアル I/Oモード	MSB	P25 (CMOS入出力)	SB1 (N-chオープン・ ドレイン入出力)	SCK0 (N-chオープン・ ドレイン入出力)
			1	0	0	注3 ×	注3 ×	0	1			SB0 (N-chオープン・ ドレイン入出力)	P26 (CMOS入出力)	

R/W	WUP	ウェイク・アップ機能の制御 ^{注4}
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生
	1	SBIモード時、バス・リリース後 (CMDD = RELD = 1 のとき) に受信したアドレスがスレーブ・アドレス・レジスタ (SVA) と一致したとき、割り込み要求信号を発生

注1. ビット6 (COI) は、Read Onlyです。

2. 送信のみ使用するとき、P25 (CMOS入力) として使用できます。

3. ポート機能として自由に使用できます。

4. ウェイク・アップ機能を使用 (WUP = 1) するときは、割り込みタイミング指定レジスタ (SINT) のビット5 (SIC) に0を設定してください。

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

図13-3 シリアル動作モード・レジスタ0のフォーマット (2/2)

R	COI	スレーブ・アドレス比較結果フラグ ^{注1}
	0	スレーブ・アドレス・レジスタ (SVA) とシリアルI/Oシフト・レジスタ0 (SIO0) のデータが一致しない
	1	スレーブ・アドレス・レジスタ (SVA) とシリアルI/Oシフト・レジスタ0 (SIO0) のデータが一致する
R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御 ^{注2}
	0	動作停止
	1	動作許可

- 注1. CSIE0 = 0 のとき、COIは0になります。
- ★ 2. SBIモード時、シリアル・インタフェース・チャンネル0の動作は、WUPを0にクリアしてから停止 (CSIE←0) させてください。WUP = 0にしないと、P25がハイ・レベルに固定され、通常のポートとして使用できなくなることがあります。

(3) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)

シリアル・バス・インタフェースの動作の設定とステータスを表示するレジスタです。
SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により、00Hになります。

図13-4 シリアル・バス・インタフェース・コントロール・レジスタのフォーマット (1/2)

略号	⑦	⑥	⑤	④	③	②	①	①	①	アドレス	リセット時	R/W
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT		FF 6 1 H	0 0 H	R/W注
R/W	RELT	バス・リリース信号出力のために使用する。 RELT=1により、S00ラッチがセット（1）される。S00ラッチをセット後、自動的にクリア（0）される。 また、CSIE0=0のときもクリア（0）される。										
R/W	CMDT	コマンド信号出力のために使用する。 CMDT=1により、S00ラッチがクリア（0）される。S00ラッチをクリア後、自動的にクリア（0）される。 また、CSIE0=0のときもクリア（0）される。										
R	RELD	バス・リリース検出										
		クリアされる条件（RELD=0）					セットされる条件（RELD=1）					
		・転送スタート命令実行時 ・アドレス受信時にSIO0とSVAの値が一致しないとき ・CSIE0=0のとき ・RESET入力時					・バス・リリース信号（REL）検出時					

注 ビット2，3，6（RELD，CMDD，ACKD）は、Read Onlyです。

備考 CSIE0：シリアル動作モード・レジスタ0（CSIM0）のビット7

図13-4 シリアル・バス・インタフェース・コントロール・レジスタのフォーマット (2/2)

R	CMDD	コマンド検出	
		クリアされる条件 (CMDD = 0)	セットされる条件 (CMDD = 1)
		・ 転送スタート命令実行時 ・ バス・リリース信号 (REL) 検出時 ・ CSIE0 = 0 のとき ・ RESET入力時	・ コマンド信号 (CMD) 検出時

R/W	ACKT	セット (1) する命令実行直後のSCK0のクロックの立ち下がりエッジに同期してアクノリッジ信号を出力し、出力後、自動的にクリア (0) される。 また、シリアル・インタフェースの転送開始、CSIE0 = 0 のときもクリア (0) される。	
-----	------	--	--

R/W	ACKE	アクノリッジ信号出力の制御	
	0	アクノリッジ信号の自動出力禁止 (ACKTによる出力は可能)	
	1	転送完了前	SCK0の9クロック目の立ち下がりエッジに同期してアクノリッジ信号を出力 (ACKE = 1 により、自動出力される)
		転送完了後	セット (1) する命令実行直後のSCK0のクロックの立ち下がりエッジに同期してアクノリッジ信号を出力する (ACKE = 1 により、自動出力される)。ただし、アクノリッジ信号を出力後、自動的にクリア (0) されない。

R	ACKD	アクノリッジ検出	
		クリアされる条件 (ACKD = 0)	セットされる条件 (ACKD = 1)
		・ 転送スタート命令実行後、ビジー・モードを解除した直後のSCK0のクロックの立ち下がり時 ・ CSIE0 = 0 のとき ・ RESET入力時	・ 転送完了後のSCK0のクロックの立ち上がりエッジでアクノリッジ信号 (ACK) 検出時

R/W	BSYE注	同期ビジー信号出力の制御	
	0	クリア (0) する命令実行直後のSCK0のクロックの立ち下がりエッジに同期した、ビジー信号の出力を禁止する。	
	1	アクノリッジ信号に続くSCK0のクロックの立ち下がりエッジからビジー信号を出力する。	

★ 注 シリアル・インタフェースの転送開始によってビジー・モードを解除できます。ただし、BSYEフラグは0にクリアされません。

備考1. ビット0, 1, 4 (RELT, CMDT, ACKT) は、データ設定後に読み出すと0になっています。

2. CSIE0: シリアル動作モード・レジスタ0 (CSIM0) のビット7

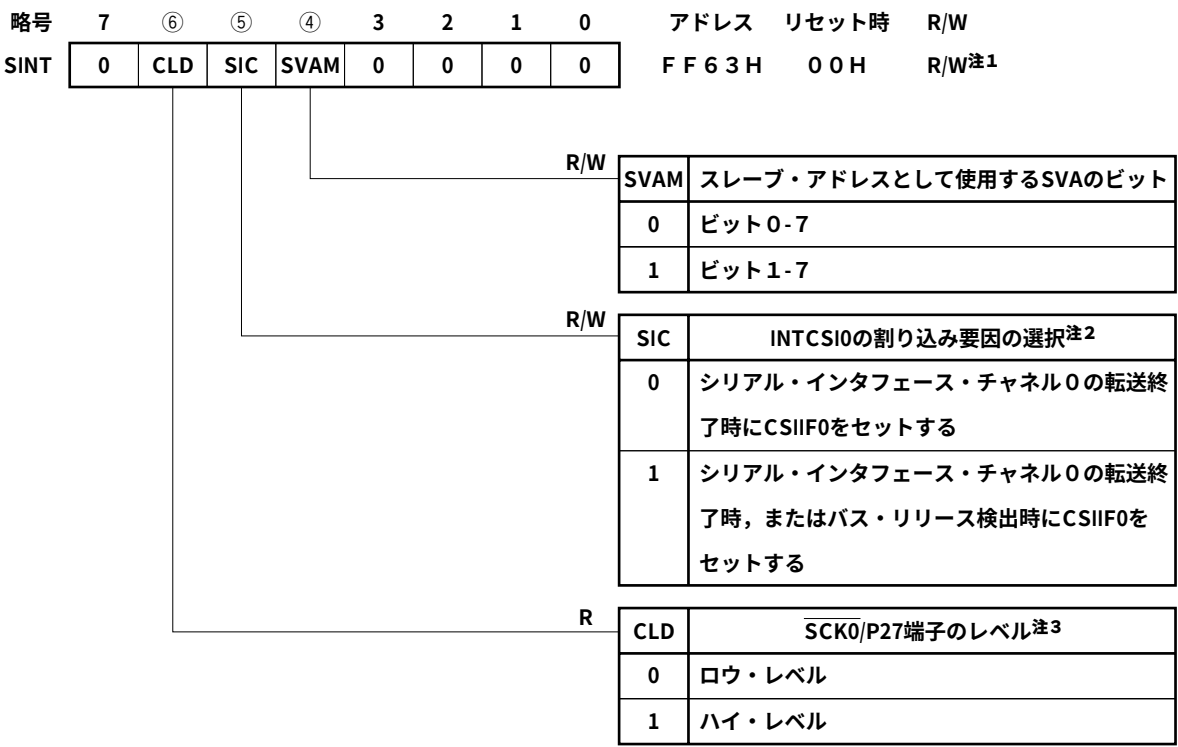
(4) 割り込みタイミング指定レジスタ (SINT)

バス・リリース割り込み，アドレス・マスク機能の設定と $\overline{\text{SCK0}}$ /P27端子のレベルの状態を表示するレジスタです。

SINTは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図13-5 割り込みタイミング指定レジスタのフォーマット



- 注1．ビット6（CLD）は，Read Onlyです。
- 2．SBIモードでウェイク・アップ機能を使用する場合はSICに0を設定してください。
- 3．CSIE0 = 0のとき，CLDは0になります。

注意 ビット0-3には，必ず0を設定してください。

備考 SVA : スレーブ・アドレス・レジスタ
CSIIF0 : INTCSI0に対応する割り込み要求フラグ
CSIE0 : シリアル動作モード・レジスタ0（CSIM0）のビット7

13.4 シリアル・インタフェース・チャンネル0の動作

シリアル・インタフェース・チャンネル0の動作モードには、次の4種類があります。

- ・動作停止モード
- ・3線式シリアルI/Oモード
- ・SBIモード
- ・2線式シリアルI/Oモード

13.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減できます。また、シリアルI/Oシフト・レジスタ0（SIO0）もシフト動作を行いませんので、通常の8ビット・レジスタとして使用できます。

また、動作停止モードでは、P25/SIO/SB0、P26/SO0/SB1、P27/ $\overline{\text{SCK0}}$ 端子を通常の入出力ポートとして使用できます。

（1）レジスタの設定

動作停止モードは、シリアル動作モード・レジスタ0（CSIM0）で設定します。

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
	0	動作停止
	1	動作許可

13.4.2 3線式シリアルI/Oモードの動作

3線式シリアルI/Oモードは、75X/XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック（ $\overline{\text{SCK0}}$ ）、シリアル出力（SO0）、シリアル入力（SIO）の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアルI/Oモードは、シリアル動作モード・レジスタ0（CSIM0），シリアル・バス・インタフェース・コントロール・レジスタ（SBIC）で設定します。

(a) シリアル動作モード・レジスタ0（CSIM0）

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE 0	COI 0	WUP 0	CSIM 04	CSIM 03	CSIM 02	CSIM 01	CSIM 00	FF60H	00H	R/W ^{注1}

R/W	CSIM 01	CSIM 00	シリアル・インタフェース・チャンネル0のクロックの選択
0	×	×	SCK0端子への外部からの入力クロック
1	0	0	8ビット・タイマ・レジスタ2（TM2）の出力
1	1	1	タイマ・クロック選択レジスタ3（TCL3）のビット0-3で指定されたクロック

R/W	CSIM 04	CSIM 03	CSIM 02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/P25 端子の機能	SO0/SB1/P26 端子の機能	SCK0/P27 端子の機能
0	×	0	1	×	0	0	0	0	1	3線式シリアル	MSB	SI0 ^{注2}	SO0	SCK0
		1								I/Oモード	LSB	(入力)	(CMOS出力)	(CMOS入出力)
1	0	0	0	0	0	0	0	0	0	SBIモード（13.4.3 SBIモードの動作参照）				
1	1	1	1	1	1	1	1	1	1	2線式シリアルI/Oモード（13.4.4 2線式シリアルI/Oモードの動作参照）				

R/W	WUP	ウェイク・アップ機能の制御 ^{注3}
0	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生
1	1	SBIモード時、バス・リリース後（CMDD = RELD = 1のとき）に受信したアドレスがスレーブ・アドレス・レジスタ（SVA）と一致したとき、割り込み要求信号を発生

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
0	0	動作停止
1	1	動作許可

注1. ビット6（COI）は、Read Onlyです。

2. 送信のみ使用するときは、P25（CMOS入力）として使用できます。

3. 3線式シリアルI/Oモード時は必ずWUPに0を設定してください。

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

(b) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)

SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	⑥	⑤	④	③	②	①	①	①	アドレス	リセット時	R/W
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT		F F 6 1 H	0 0 H	R/W

R/W	RELT	RELT = 1により、S00ラッチがセット（1）される。S00ラッチをセット後、自動的にクリア（0）される。 また、CSIE0 = 0 のときもクリア（0）される。
-----	------	--

R/W	CMDT	CMDT = 1により、S00ラッチがクリア（0）される。S00ラッチをクリア後、自動的にクリア（0）される。 また、CSIE0 = 0 のときもクリア（0）される。
-----	------	--

CSIE0：シリアル動作モード・レジスタ0（CSIM0）のビット7

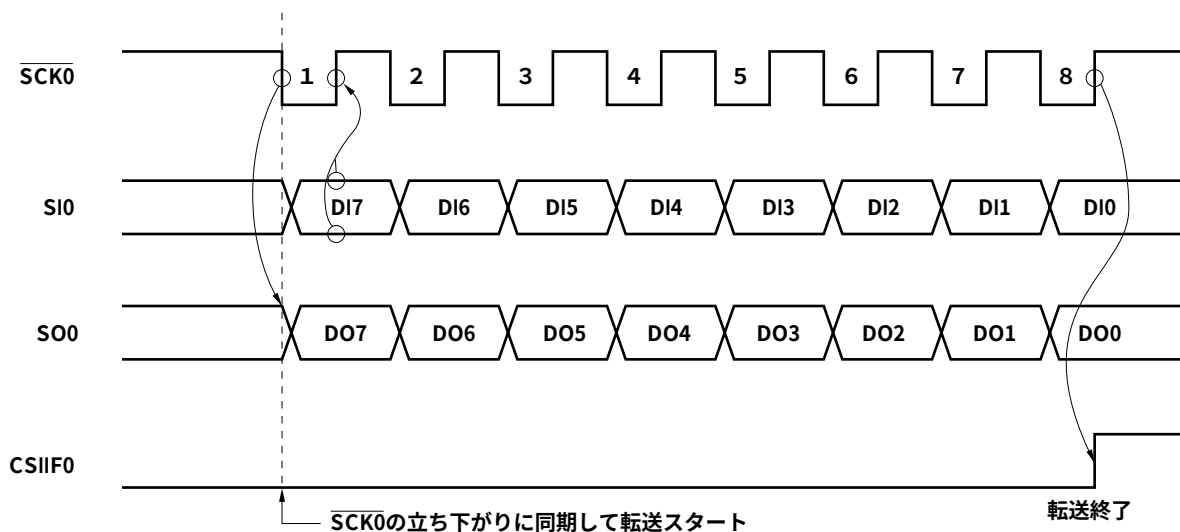
(2) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータを送受信します。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアルI/Oシフト・レジスタ0 (SIO0) のシフト動作は、シリアル・クロック ($\overline{\text{SCK0}}$) の立ち下りに同期して行われます。そして、送信データがSO0ラッチに保持され、SO0端子から出力されます。また、 $\overline{\text{SCK0}}$ の立ち上がりで、SI0端子に入力された受信データがSIO0にラッチされます。

8ビット転送終了により、SIO0の動作は自動的に停止し、割り込み要求フラグ (CSIIF0) がセットされます。

図13-6 3線式シリアルI/Oモードのタイミング



SO0端子はCMOS出力となり、SO0ラッチの状態を出力しますので、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) のビット0 (RELT) , ビット1 (CMDT) のセットによって、SO0端子出力状態を操作できます。

ただし、シリアル転送中にはこの操作をしないでください。

$\overline{\text{SCK0}}$ 端子の出力レベルは、出力モード (内部システム・クロックのモード) 時に、P27出力ラッチを操作して制御します (13.4.5 $\overline{\text{SCK0}}$ /P27端子出力の操作を参照)。

(3) 各種信号

図13-7にRELT, CMDTの動作を示します。

図13-7 RELT, CMDTの動作



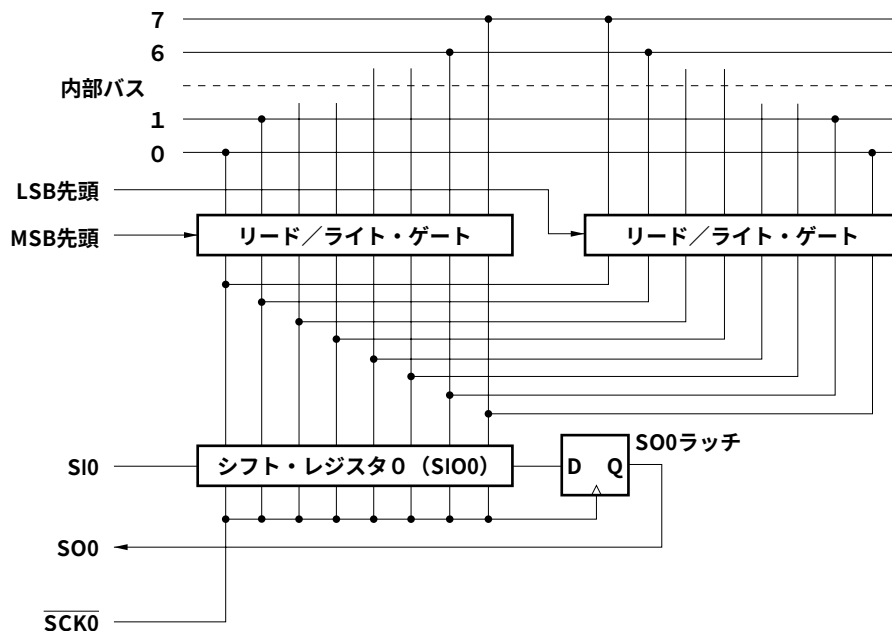
(4) MSB/LSB先頭の切り替え

3線式シリアルI/Oモードは、転送がMSB先頭か、LSB先頭かを選択できる機能を持っています。

図13-8にシリアルI/Oシフト・レジスタ0 (SIO0), および内部バスの構成を示します。図に示すようにMSB/LSBを反転して読み出し／書き込みができます。

MSB/LSB先頭切り替えは、シリアル動作モード・レジスタ0 (CSIM0) のビット2 (CSIM02) により指定できます。

図13-8 転送ビット順切り替え回路



先頭ビットの切り替えは、SIO0へのデータ書き込みのビット順を切り替えることによって実現されています。SIO0のシフト順は常に同じです。

したがって、MSB/LSBの先頭ビットは、シフト・レジスタにデータを書き込む前に切り替えてください。

(5) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ0（SIO0）に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル0の動作の制御ビット（CSIE0）= 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または $\overline{\text{SCK0}}$ がハイ・レベルの状態

注意 SIO0にデータを書き込んだあと、CSIE0を“1”にしても、転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ（CSIF0）をセットします。

13.4.3 SBIモードの動作

SBI（シリアル・バス・インタフェース）は、NECシリアル・バス・フォーマット準拠の高速シリアル・インタフェース方式です。

SBIは、シングルマスタの高速シリアル・バスで、2本の信号線で複数のデバイスとの通信ができるように、クロック同期式のシリアルI/O方式に、バス構成のための機能が追加されたフォーマットになっています。そのため複数のマイコンや周辺ICでシリアル・バスを構成する場合に、使用するポート数や基板上の配線数を削減できます。

また、マスタは、スレーブに対してシリアル・データ・バス上に、シリアル通信の対象デバイス選択のための“アドレス”，対象デバイスに対して指令を与える“コマンド”，および実際の“データ”を出力できます。スレーブは、受信したデータをハードウェアにより，“アドレス”，“コマンド”，“データ”に判別できます。この機能により、シリアル・インタフェース・チャンネル0を制御する応用プログラムを簡略化できます。

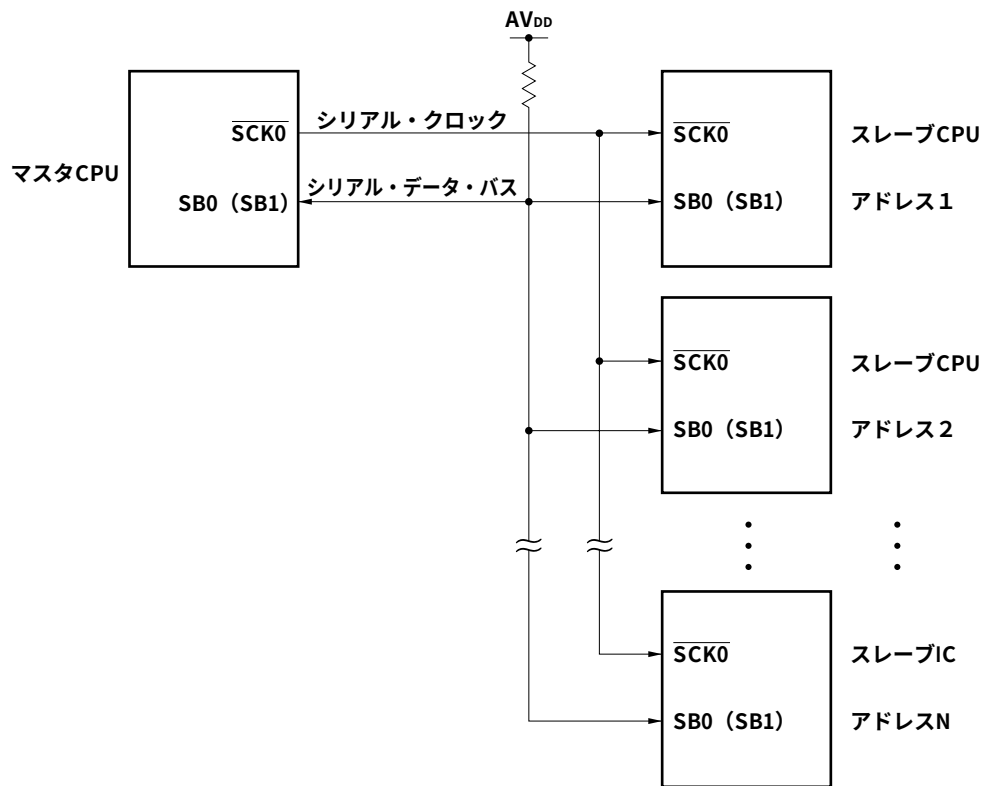
SBI機能は、75X/XLシリーズ、78Kシリーズなどの数種のデバイスに内蔵されています。

SBIに準拠するシリアル・インタフェースを有するCPUや、周辺ICを使用した場合のシリアル・バス構成例を図13-9に示します。

SBIでは、シリアル・データ・バス端子SB0（SB1）は、オープン・ドレイン出力になっているため、シリアル・データ・バス・ラインは、ワイアード・オア状態になります。また、シリアル・データ・バス・ラインには、プルアップ抵抗が必要です。

SBIモード使用時には、後述の(11) SBIモードの注意事項（d）を参照してください。

図13-9 SBIによるシリアル・バス構成例



注意 マスタ／スレーブの交換処理を行う場合は、シリアル・クロック・ライン ($\overline{\text{SCK0}}$) の入力／出力がマスタ、スレーブ間で非同期に切り替えられるため、シリアル・クロック・ライン ($\overline{\text{SCK0}}$) にもプルアップ抵抗が必要となります。

(1) SBIの機能

従来のシリアルI/O方式では、データ転送機能しか有していないために、複数のデバイスを接続してシリアル・バスを構成した場合に、チップ・セレクト信号やコマンド／データの区別、ビジー状態の判断などのため多くのポートや配線が必要となります。また、これらの制御をソフトウェアで行おうとすると、ソフトウェアの負担が大きくなってしまいます。

SBIでは、シリアル・クロック $\overline{\text{SCK0}}$ と、シリアル・データ・バスSB0 (SB1) の2本の信号線でシリアル・バスを構成できます。そのため、マイコンのポート数の削減や、基板内の配線や引き回しの減少に有効となります。

SBIの機能について次に示します。

(a) アドレス／コマンド／データの判断機能

シリアル・データを、アドレス、コマンド、およびデータの3種類に区別します。

(b) アドレスによるチップ・セレクト状態

マスタは、アドレスの送信により、スレーブのチップ・セレクト（選択）を行います。

(c) ウェイク・アップ機能

スレーブは、ウェイク・アップ機能（ソフトウェアで設定／解除が可能）により、アドレス受信の判断（チップ・セレクトの判断）を容易に行うことができます。

ウェイク・アップ機能を設定した場合、一致アドレス受信時に割り込み要求信号（INTCSIO）が発生します。

そのため、複数のデバイスと通信を行う場合も、選択されたスレーブ以外のCPUはシリアル通信に関係なく動作できます。

(d) アクノリッジ信号 ($\overline{\text{ACK}}$) 制御機能

シリアル・データの受信確認のための、アクノリッジ信号を制御します。

(e) ビジー信号 ($\overline{\text{BUSY}}$) 制御機能

スレーブのビジー状態を知らせるための、ビジー信号を制御します。

(2) SBIの定義

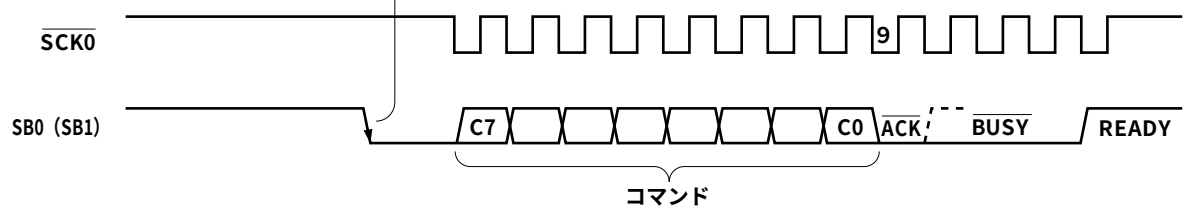
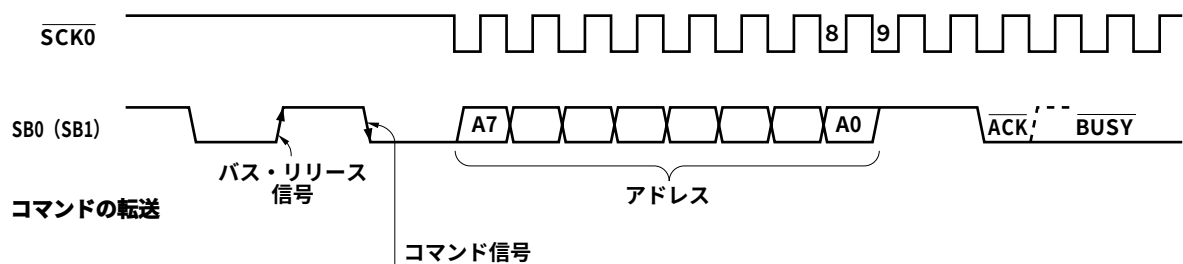
SBIのシリアル・データのフォーマットおよび、使用する信号の意味について説明します。

SBIで転送されるシリアル・データは、「アドレス」、「コマンド」、「データ」の3種類に区別されます。

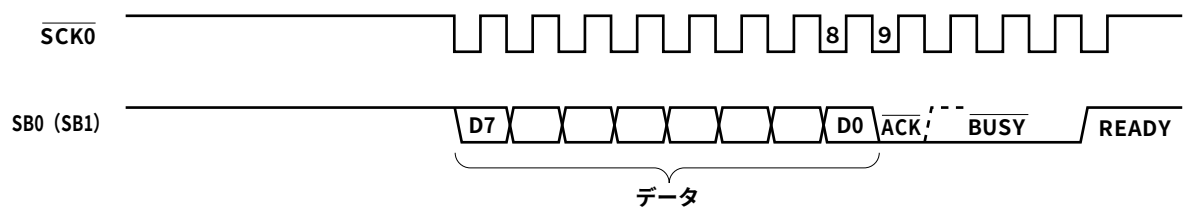
図13-10 に、アドレス、コマンド、およびデータの転送タイミングを示します。

図13-10 SBI転送のタイミング

アドレスの転送



データの転送



備考 破線はREADY状態を示します。

バス・リリース信号およびコマンド信号はマスタが出力します。またBUSYはスレーブが出力します。ACKはマスタ、スレーブのどちらでも出力できます（通常、8ビット・データの受信側が出力します）。

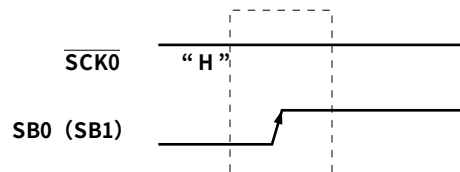
シリアル・クロックは、8ビット・データ転送開始から、BUSYが解除されるまで、マスタが出力し続けます。

(a) バス・リリース信号 (REL)

バス・リリース信号は、 $\overline{\text{SCK0}}$ ラインがハイ・レベルのとき（シリアル・クロックが出力されていない場合）に、SB0（SB1）ラインがロウ・レベルからハイ・レベルに変化した信号です。

この信号は、マスタが出力します。

図13-11 バス・リリース信号



バス・リリース信号は、これからマスタがスレーブに対してアドレスを送信することを示すものです。スレーブは、バス・リリース信号を検出するハードウェアを内蔵しています。

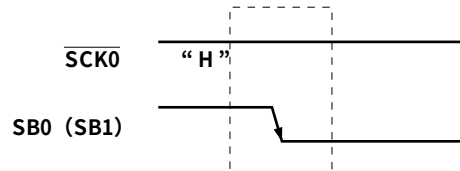
★

注意 $\overline{\text{SCK0}}$ ラインがハイ・レベルのときに、SB0（SB1）ラインがロウ・レベル→ハイ・レベルに変化すると、バス・リリース信号と認識されます。したがって、基板容量などの影響でバスの変化タイミングにずれが生じると、データを送信しているにもかかわらず、バス・リリース信号と判断されてしまうことがあります。配線の引き回しには十分注意してください。

(b) コマンド信号 (CMD)

コマンド信号は、 $\overline{\text{SCK0}}$ ラインが、ハイ・レベルのとき（シリアル・クロックが出力されていない場合）に、SB0（SB1）ラインがハイ・レベルからロウ・レベルに変化した信号です。この信号は、マスタが出力します。

図13-12 コマンド信号



コマンド信号は、これからマスタがスレーブに対してコマンドを送信することを示すものです（ただし、バス・リリース信号に続くコマンド信号は、アドレスを送信することを示します）。スレーブは、コマンド信号を検出するハードウェアを内蔵しています。

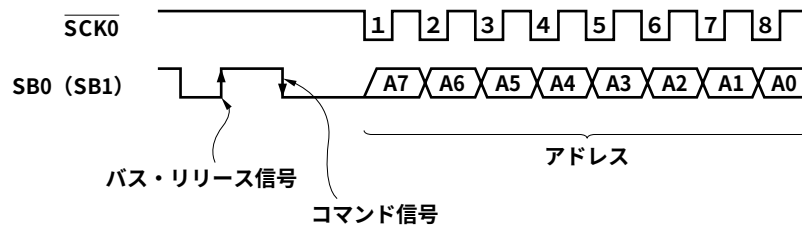
★

注意 $\overline{\text{SCK0}}$ ラインがハイ・レベルのときに、SB0（SB1）ラインがハイ・レベル→ロウ・レベルに変化すると、コマンド信号と認識されます。したがって、基板容量などの影響でバスの変化タイミングにずれが生じると、データを送信しているにもかかわらず、コマンド信号と判断されてしまうことがあります。配線の引き直しには十分注意してください。

(c) アドレス

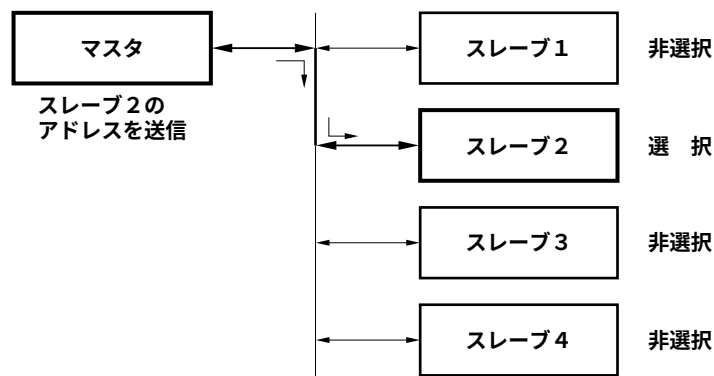
アドレスは、マスタがバス・ラインに接続されているスレーブに対して、特定のスレーブを選択するために出力する8ビット・データです。

図13-13 アドレス



バス・リリース信号、コマンド信号に続く8ビット・データはアドレスと定義されています。スレーブでは、ハードウェアでこの条件を検出し、8ビット・データが自分の指定番号（スレーブ・アドレス）と一致しているかをハードウェアでチェックします。このとき、8ビット・データと、スレーブ・アドレスが一致すると、そのスレーブが選択されたことになり、以後、マスタから切り離し指示があるまで、マスタと通信します。

図13-14 アドレスによるスレーブの選択



(d) コマンド、データ

アドレスの送信により選択したスレーブに対して、マスタはコマンドの送信や、データの送受信を行います。

図13-15 コマンド

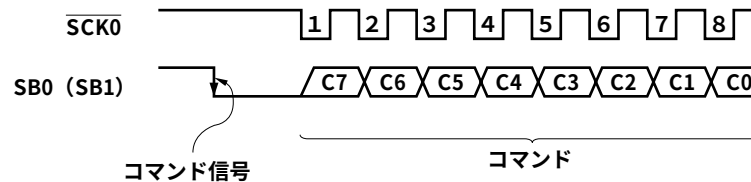
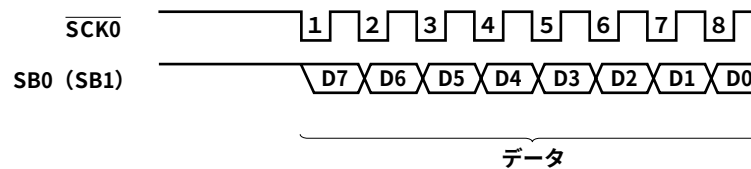


図13-16 データ



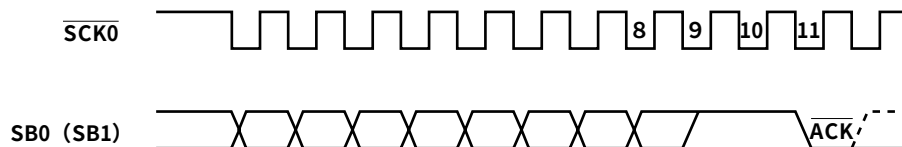
コマンド信号の次の8ビット・データはコマンドと定義されています。コマンド信号なしの8ビット・データはデータと定義されています。コマンド、データの使用方法は、通信の仕様によって任意に決定できます。

(e) アクノリッジ信号 ($\overline{\text{ACK}}$)

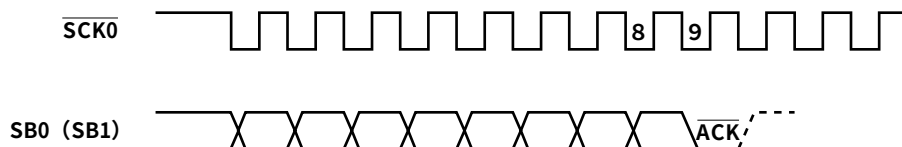
アクノリッジ信号は、送信側と受信側の間における、シリアル・データ受信を確認するための信号です。

図13-17 アクノリッジ信号

[11クロック目の $\overline{\text{SCK0}}$ に同期して出力した場合]



[9クロック目の $\overline{\text{SCK0}}$ に同期して出力した場合]



備考 破線はREADY状態を示します。

アクノリッジ信号は、8ビット・データ転送後の $\overline{\text{SCK0}}$ の立ち下がりに同期したワンショット・パルスで、その位置は任意で何クロック目の $\overline{\text{SCK0}}$ に同期させてもかまいません。

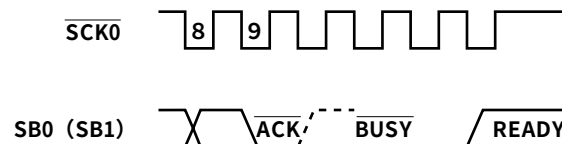
送信側は、8ビット・データ送信後、受信側がアクノリッジ信号を返したかをチェックします。データ送信後、一定時間、アクノリッジ信号が返らない場合は、正しく受信されなかったものと判断できます。

(f) ビジィ信号 ($\overline{\text{BUSY}}$) , レディ信号 (READY)

ビジィ信号は、スレーブがデータの送受信のための準備中であることをマスタに知らせるための信号です。

レディ信号は、スレーブがデータの送受信が可能であることをマスタに知らせるための信号です。

図13-18 ビジィ信号, レディ信号



備考 破線はREADY状態を示します。

SBIでは、スレーブが、 SB0 (SB1) ラインをロウ・レベルにすることにより、マスタにビジィ状態を知らせます。

ビジィ信号は、マスタ、またはスレーブの出力したアクノリッジ信号に引き続いて出力させます。ビジィ信号は、 $\overline{\text{SCK0}}$ の立ち下がりに同期して、設定／解除を行います。マスタは、ビジィ信号が解除されると自動的にシリアル・クロック $\overline{\text{SCK0}}$ の出力を終了します。

マスタは、ビジィ信号が解除され、レディ信号の状態になると次の転送を開始できます。

注意 SBIでは、 $\overline{\text{BUSY}}$ の解除指示後、次のシリアル・クロック ($\overline{\text{SCK0}}$) の立ち上がりまで $\overline{\text{BUSY}}$ 信号が出力されます。もし、誤ってこの期間に $\text{WUP} = 1$ とすると、 $\overline{\text{BUSY}}$ が解除されなくなってしまいます。したがって、 $\overline{\text{BUSY}}$ を解除したのちに、必ず SB0 (SB1) 端子がハイ・レベルになったことを確認してから $\text{WUP} = 1$ としてください。

(3) レジスタの設定

SBIモードは、シリアル動作モード・レジスタ0 (CSIM0) , シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) , 割り込みタイミング指定レジスタ (SINT) で設定します。

(a) シリアル動作モード・レジスタ0 (CSIM0)

CSIM0 は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE 0	COI	WUP	CSIM 04	CSIM 03	CSIM 02	CSIM 01	CSIM 00	FF60H	00H	R/W ^{注1}

R/W	CSIM 01	CSIM 00	シリアル・インタフェース・チャンネル0のクロックの選択								
	0	×	SCK0端子への外部からの入力クロック								
	1	0	8ビット・タイマ・レジスタ2 (TM2) の出力								
	1	1	タイマ・クロック選択レジスタ3 (TCL3) のビット0-3で指定されたクロック								

R/W	CSIM 04	CSIM 03	CSIM 02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/P25 端子の機能	SO0/SB1/P26 端子の機能	SCK0/P27 端子の機能
0	×	3線式シリアルI/Oモード (13. 4. 2 3線式シリアルI/Oモードの動作参照)												
1	0	0	注2 ×	注2 ×	0	0	0	1	SBIモード	MSB	P25 (CMOS入出力)	SB1 (N-chオープン・ ドレイン入出力)	SCK0 (CMOS入出力)	
			1	0										0
1	1	2線式シリアルI/Oモード (13. 4. 4 2線式シリアルI/Oモードの動作参照)												

R/W	WUP	ウェイク・アップ機能の制御 ^{注3}									
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生									
	1	SBIモード時、バス・リリース後 (CMDD = RELD = 1のとき) に受信したアドレスがスレーブ・アドレス・レジスタ (SVA) と一致したとき、割り込み要求信号を発生									

R	COI	スレーブ・アドレス比較結果フラグ ^{注4}									
	0	スレーブ・アドレス・レジスタ (SVA) とシリアルI/Oシフト・レジスタ0 (SIO0) のデータが一致しない									
	1	スレーブ・アドレス・レジスタ (SVA) とシリアルI/Oシフト・レジスタ0 (SIO0) のデータが一致する									

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御 ^{注5}									
	0	動作停止									
	1	動作許可									

注1. ビット6 (COI) は、Read Onlyです。

2. ポート機能として自由に使用できます。

3. ウェイク・アップ機能を使用 (WUP = 1) するときは、割り込みタイミング指定レジスタ (SINT) のビット5 (SIC) に0を設定してください。

4. CSIE0 = 0のとき、COIは0になります。

★ 5. SBIモード時、シリアル・インタフェース・チャンネル0の動作は、WUPを0にクリアしてから動作を停止 (CSIE←0) させてください。WUP=0にしないと、P25がハイ・レベルに固定され、通常のポートとして使用できなくなることがあります。

備考 × : don't care
 PM×× : ポート・モード・レジスタ
 P×× : ポートの出力ラッチ

(b) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)

SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	⑥	⑤	④	③	②	①	①	①	アドレス	リセット時	R/W
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT		FF61H	00H	R/W ^注

R/W	RELT	バス・リリース信号出力のために使用する。 RELT=1により、S00ラッチがセット（1）される。S00ラッチをセット後、自動的にクリア（0）される。 また、CSIE0=0のときもクリア（0）される。
-----	------	---

R/W	CMDT	コマンド信号出力のために使用する。 CMDT=1により、S00ラッチがクリア（0）される。S00ラッチをクリア後、自動的にクリア（0）される。 また、CSIE0=0のときもクリア（0）される。
-----	------	--

R	RELD	バス・リリース検出	
		クリアされる条件（RELD=0）	セットされる条件（RELD=1）
		・転送スタート命令実行時 ・アドレス受信時にSIO0とSVAの値が一致しないとき ・CSIE0=0のとき ・$\overline{\text{RESET}}$入力時	・バス・リリース信号（REL）検出時

R	CMDD	コマンド検出	
		クリアされる条件（CMDD=0）	セットされる条件（CMDD=1）
		・転送スタート命令実行時 ・バス・リリース信号（REL）検出時 ・CSIE0=0のとき ・$\overline{\text{RESET}}$入力時	・コマンド信号（CMD）検出時

R/W	ACKT	セット（1）する命令実行直後の $\overline{\text{SCK0}}$ のクロックの立ち下がりエッジに同期してアクノリッジ信号を出力し、出力後、自動的にクリア（0）される。ACKE=0として使用する。 また、シリアル・インタフェースの転送開始、CSIE0=0のときもクリア（0）される。
-----	------	---

（続く）

注 ビット2, 3, 6（RELD, CMDD, ACKD）は、Read Onlyです。

備考1. ビット0, 1, 4（RELT, CMDT, ACKT）はデータ設定後に読み出すと0になっています。

2. CSIE0：シリアル動作モード・レジスタ0（CSIM0）のビット7

R/W	ACKE	アクノリッジ信号出力の制御	
	0	アクノリッジ信号の自動出力禁止（ACKTによる出力は可能）	
	1	転送完了前	SCK0の9クロック目の立ち下がりエッジに同期してアクノリッジ信号を出力（ACKE = 1により、自動出力される）
		転送完了後	セット（1）する命令実行直後のSCK0のクロックの立ち下がりエッジに同期してアクノリッジ信号を出力する（ACKE = 1により、自動出力される）。ただし、アクノリッジ信号を出力後、自動的にクリア（0）されない。

R	ACKD	アクノリッジ検出	
		クリアされる条件（ACKD = 0）	セットされる条件（ACKD = 1）
		・転送スタート命令実行後、ビジー・モードを解除した直後のSCK0のクロックの立ち下がり時 ・CSIE0 = 0 のとき ・RESET入力時	・転送完了後のSCK0のクロックの立ち上がりエッジでアクノリッジ信号（ACK）検出時

R/W	BSYE ^注	同期ビジー信号出力の制御
	0	クリア（0）する命令実行直後のSCK0のクロックの立ち下がりエッジに同期した、ビジー信号の出力を禁止する。
	1	アクノリッジ信号に続くSCK0のクロックの立ち下がりエッジからビジー信号を出力する。

★ 注 シリアル・インタフェースの転送開始によってビジー・モードを解除できます。ただし、BSYEフラグは0にクリアされません。

備考 CSIE0：シリアル動作モード・レジスタ0（CSIM0）のビット7

(c) 割り込みタイミング指定レジスタ (SINT)

SINTは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により、00Hになります。

略号	7	⑥	⑤	④	3	2	1	0	アドレス	リセット時	R/W
SINT	0	CLD	SIC	SVAM	0	0	0	0	FF63H	00H	R/W ^{注1}

R/W

SVAM	スレーブ・アドレスとして使用するSVAのビット
0	ビット0-7
1	ビット1-7

R/W

SIC	INTCSI0の割り込み要因の選択 ^{注2}
0	シリアル・インタフェース・チャンネル0の転送終了時にCSIF0をセットする
1	シリアル・インタフェース・チャンネル0の転送終了時、またはバス・リリース検出時にCSIF0をセットする

R

CLD	SCK0/P27端子のレベル ^{注3}
0	ロウ・レベル
1	ハイ・レベル

- 注1. ビット6 (CLD) は、Read Onlyです。
2. SBIモードでウェイク・アップ機能を使用する場合はSICに0を設定してください。
3. CSIE0=0のとき、CLDは0になります。

注意 ビット0-3には、必ず0を設定してください。

備考 SVA :スレーブ・アドレス・レジスタ
CSIF0:INTCSI0に対応する割り込み要求フラグ
CSIE0:シリアル動作モード・レジスタ0 (CSIM0) のビット7

(4) 各種信号

SBIにおける、各種の信号と、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) 上のフラグの動作について図13-19から図13-24に示します。また、SBIの各種の信号の一覧を表13-4に示します。

図13-19 RELT, CMDT, RELD, CMDDの動作 (マスタ)

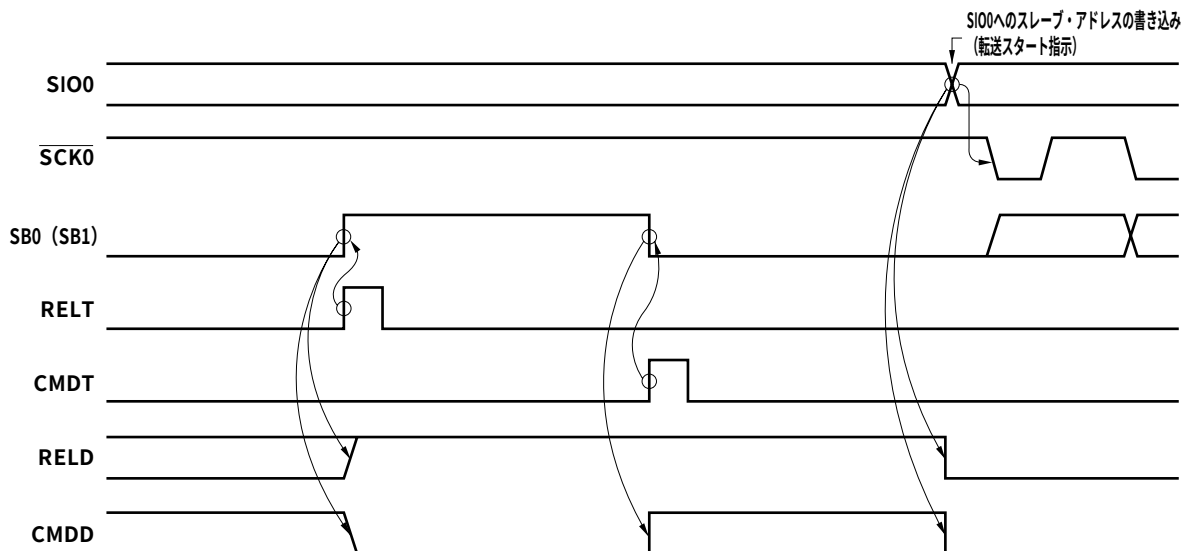


図13-20 RELD, CMDDの動作 (スレーブ)

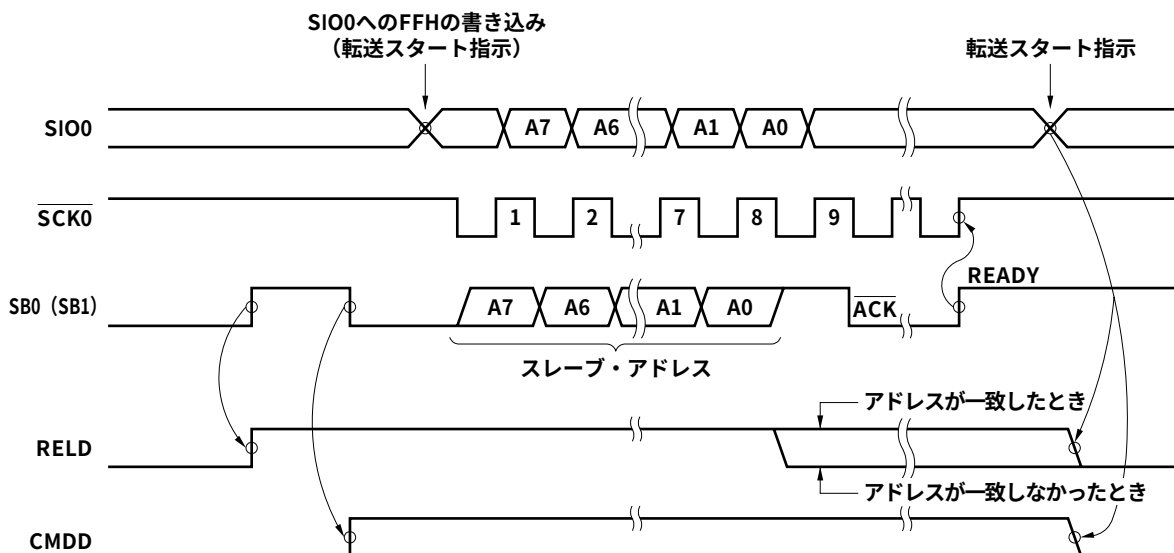
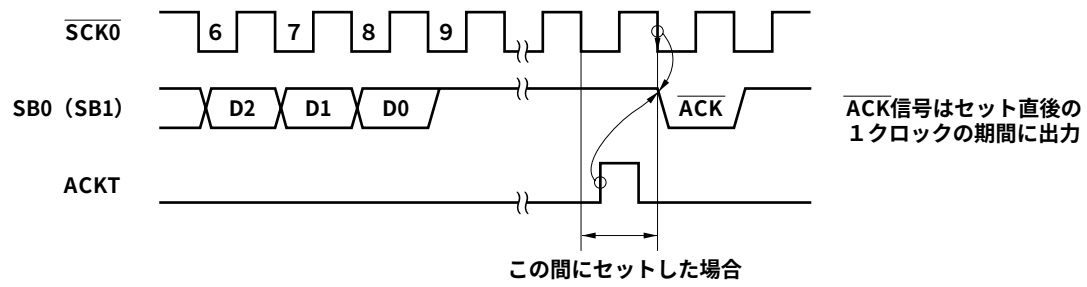
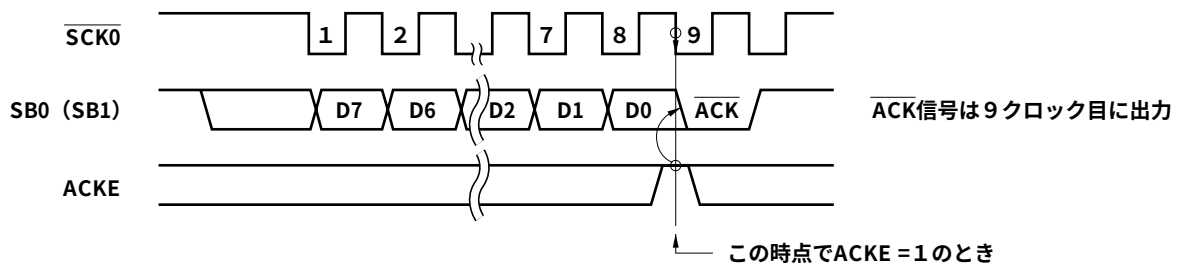


図13-21 ACKTの動作



注意 ACKTは転送終了前にはセットしないでください。

図13-22 ACKEの動作

(a) 転送完了時に $\overline{\text{ACK}} = 1$ の場合

(b) 転送完了後にセットした場合

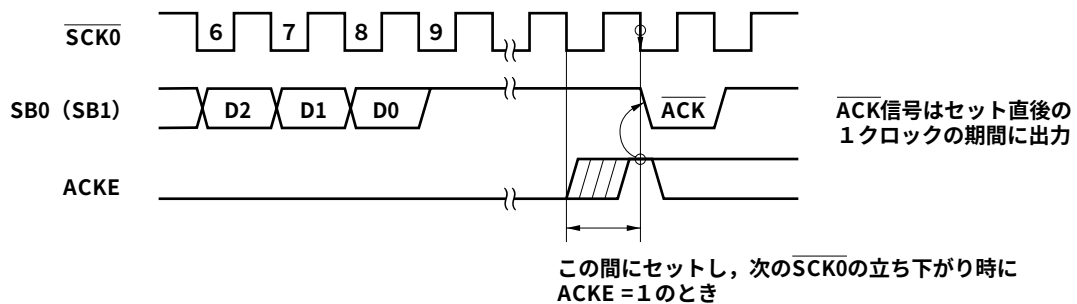
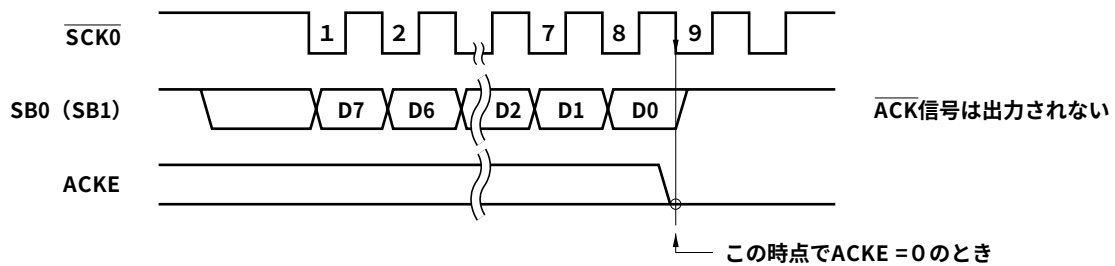
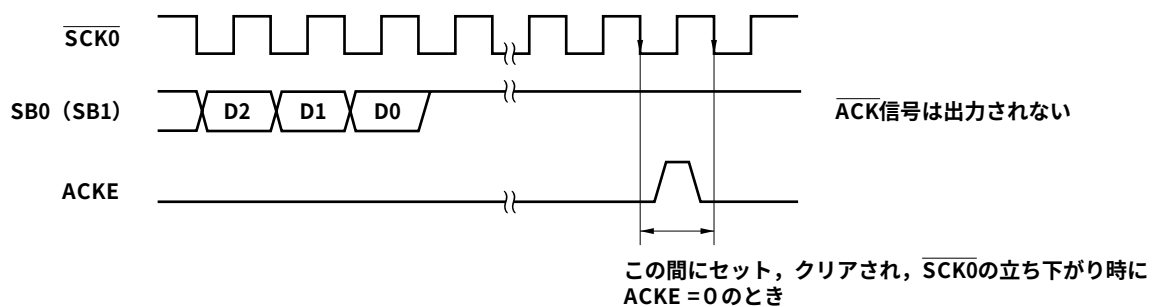
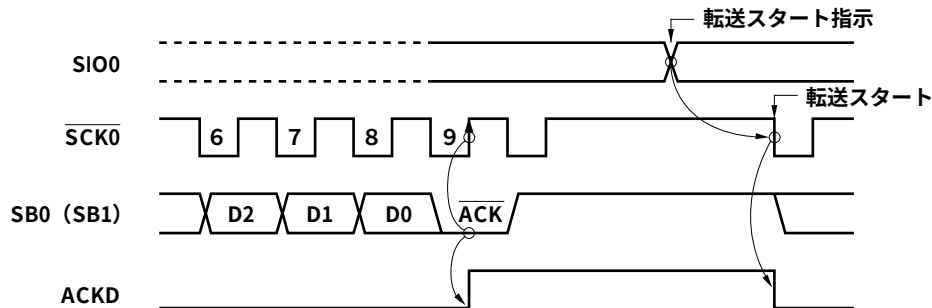
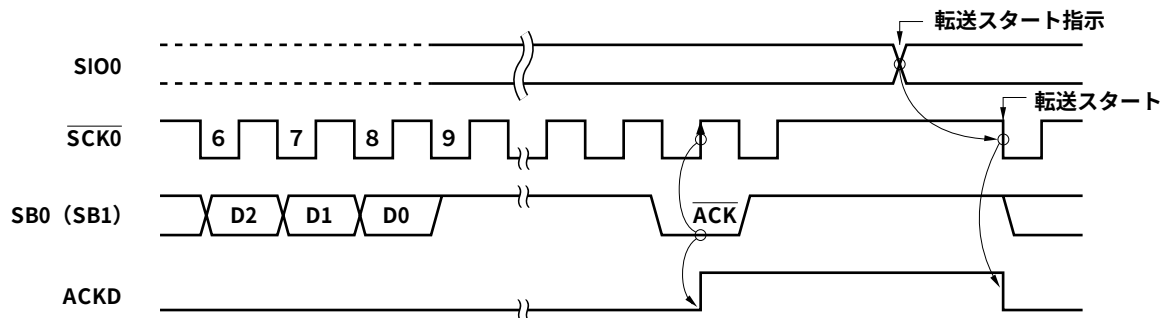
(c) 転送完了時に $\overline{\text{ACK}} = 0$ の場合(d) $\overline{\text{ACK}} = 1$ の期間が短い場合

図13-23 ACKDの動作

(a) $\overline{\text{SCK0}}$ の9クロック目の期間に $\overline{\text{ACK}}$ 信号が出力された場合



(b) SCK0の9クロック目以降にACK信号が出力された場合



(c) BUSY中に転送スタート指示した場合のクリアのタイミング

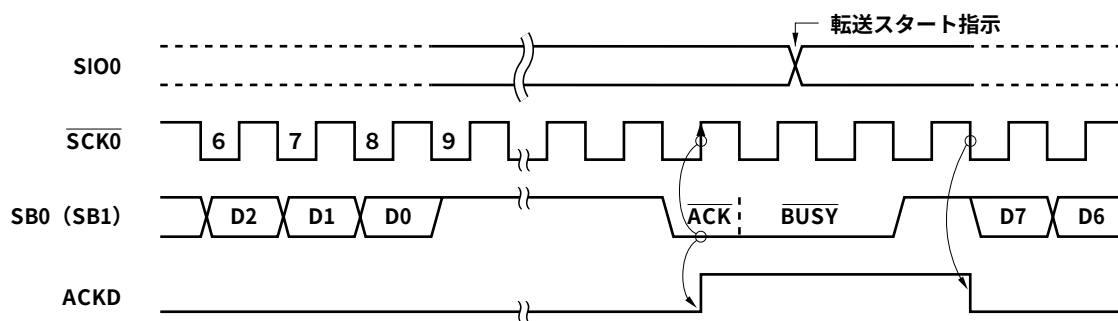


図13-24 BSYEの動作

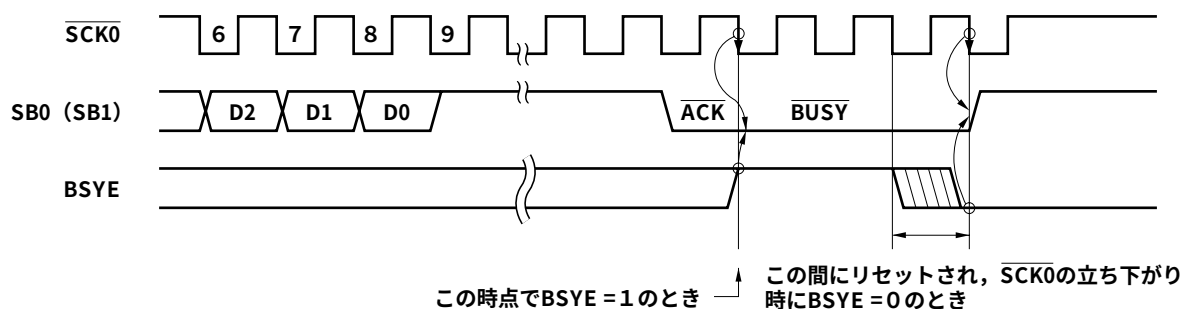


表13－4 SBIモードにおける各種の信号（1/2）

信号名称	出力するデバイス	定 義	タイミング・チャート	出力される条件	フラグへの影響	信号の意味
バス・リリース 信号 (REL)	マスタ	$\overline{SCK0} = 1$ のときの、 SB0 (SB1) の立ち上がり エッジ		・ RELTのセット	・ RELDをセット ・ CMDDをクリア	続いてCMD信号を出 力し、送信データが アドレスであることを 示す。
コマンド信号 (CMD)	マスタ	$\overline{SCK0} = 1$ のときの、 SB0 (SB1) の立ち下がり エッジ		・ CMDTのセット	・ CMDDをセット	i) REL信号出力後、 送信データはアド レス。 ii) REL信号出力な し。送信データは コマンド。
アクノリッジ 信号 (ACK)	マスタ／ スレーブ	シリアル受信完了後、 $\overline{SCK0}$ の1クロックの期間 SB0 (SB1) に出力される ロウ・レベルの信号	〔同期ビジィ出力〕	① ACKE = 1 ② ACKTのセット	・ ACKDをセット	受信完了。
ビジィ信号 (BUSY)	スレーブ	〔同期ビジィ信号〕 アクノリッジ信号に続いて SB0 (SB1) に出力される ロウ・レベルの信号		・ BSYE = 1	—	処理中のため、シリ アル受信不可能状 態。
レディ信号 (READY)	スレーブ	シリアル転送開始前、完了 後SB0 (SB1) に出力され るハイ・レベルの信号		① BSYE = 0 ② SIO0へのデー タ書き込み命 令実行（転送 開始指示）	—	シリアル受信可能状 態。

表13－4 SBIモードにおける各種の信号（2/2）

信号名称	出力するデバイス	定 義	タイミング・チャート	出力される条件	フラグへの影響	信号の意味
シリアル・クロック ($\overline{\text{SCK0}}$)	マスタ	アドレス／コマンド／データ， $\overline{\text{ACK}}$ 信号，同期 $\overline{\text{BUSY}}$ 信号等の出力のための同期クロック。最初の8個でアドレス／コマンド／データを転送する。		CSIE0 = 1 のとき，SIO0へのデータ書き込み命令実行（シリアル転送のスタート指示） ^{注2}	CSIIF0をセット（ $\overline{\text{SCK0}}$ の9クロック目の立ち上がり） ^{注1}	シリアル・データ・バスへの信号出力のタイミング
アドレス (A7-A0)	マスタ	REL信号，CMD信号出力後に， $\overline{\text{SCK0}}$ に同期して転送される8ビット・データ。				シリアル・バス上のスレーブ・デバイスのアドレス値
コマンド (C7-C0)	マスタ	REL信号は出力されず，CMD信号のみ出力された後， $\overline{\text{SCK0}}$ に同期して転送される8ビット・データ。				スレーブ・デバイスへの指示・メッセージ
データ (D7-D0)	マスタ／スレーブ	REL信号，CMD信号ともに出力されず， $\overline{\text{SCK0}}$ に同期して転送される8ビット・データ。				スレーブ，またはマスタ・デバイスが処理する数値

注1．WUP = 0 のとき，常に9クロック目の $\overline{\text{SCK0}}$ の立ち上がりでCSIIF0をセットする。

WUP = 1 のとき，アドレスを受信し，そのアドレスがスレーブ・アドレス・レジスタ（SVA）の値と一致したときのみ，CSIIF0をセットする（一致しなかったときはRELDがクリアされる）。

2． $\overline{\text{BUSY}}$ 状態のときは，READY 状態になったあと，転送スタートする。

(5) 端子構成

シリアル・クロック端子 $\overline{\text{SCK0}}$ と、シリアル・データ・バス端子SB0 (SB1) の構成は、次のようになっています。

(a) $\overline{\text{SCK0}}$ …… シリアル・クロックを入出力するための端子

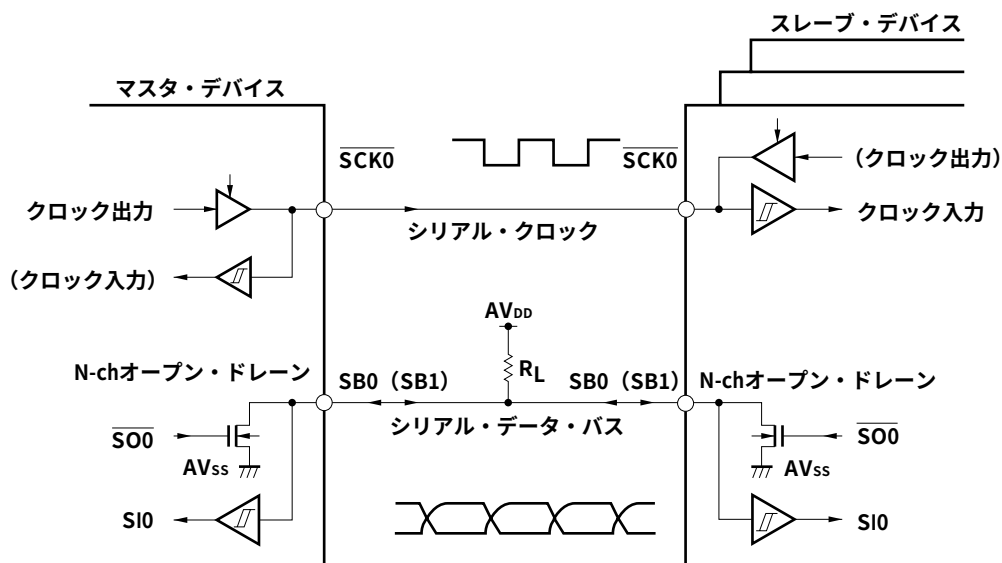
- ① マスタ …… CMOS, プッシュプル出力
- ② スレーブ …… シュミット入力

(b) SB0 (SB1) …… シリアル・データの入出力兼用端子

マスタ、スレーブともに出力はN-chオープン・ドレイン、入力はシュミット入力

シリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図13-25 端子構成図



注意 データ受信時にはN-chオープン・ドレインをハイ・インピーダンス状態にする必要がありますので、シリアルI/Oシフト・レジスタ0 (SIO0) にはあらかじめFFHを書き込んでおく必要があります。転送中は常にハイ・インピーダンス状態にさせることができます。ただし、ウェイク・アップ機能指定ビット (WUP) = 1の場合は、N-chオープン・ドレインは常にハイ・インピーダンス状態となりますので、受信前に、SIO0にFFHを書き込む必要はありません。

(6) アドレスの一致検出方法

SBIモードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレスの一致は、ハードウェアで自動的に検出できます。スレーブ・アドレス・レジスタ (SVA) を備え、ウェイク・アップ機能指定ビット (WUP: シリアル動作モード・レジスタ (CSIM0) のビット5) = 1 のとき、マスタから送信されたスレーブ・アドレスとSVAに設定したアドレスが一致したときのみ、CSIF0がセットされます。

なお、割り込みタイミング指定レジスタ (SINT) のビット5 (SIC) がセット (1) されていると、WUPをセット (1) しても、ウェイク・アップ機能が動作しません (バス・リリース検出時に割り込み要求信号が発生します)。ウェイク・アップ機能使用時はSICを0にクリアしておいてください。

注意1. スレーブの選択、非選択状態の検出は、バス・リリース (RELD = 1の状態) のあとに受信したスレーブ・アドレスの一致検出により行います。

この一致検出は、通常、WUP = 1の状態が発生するアドレスの一致割り込み要求 (INTCSI0) を使用します。したがって、スレーブ・アドレスによる選択、非選択は、WUP = 1の状態で検出してください。

2. WUP = 0で、割り込み要求を使用せずに選択、非選択を検出する場合には、アドレスの一致検出による方法を使用せず、あらかじめプログラムで設定したコマンドの送受信で検出してください。

(7) エラーの検出

SBIモードでは、送信中のシリアル・バスSB0 (SB1) の状態が送信しているデバイスのシリアルI/Oシフト・レジスタ0 (SIO0) にも取り込まれるため、次の方法によって送信エラーを検出できます。

(a) 送信開始前と送信終了後のSIO0のデータを比較する方法

この場合、2つのデータが異なっていれば送信エラーが発生したと判断します。

(b) スレーブ・アドレス・レジスタ (SVA) を利用する方法

送信データをSIO0とSVAにもセットし、送信します。送信終了後に、シリアル動作モード・レジスタ0 (CSIM0) のCOIビット (アドレス・コンパレータからの一致信号) をテストし、“1” ならば正常な送信，“0” ならば送信エラーと判断します。

(8) 通信動作

SBIモードでは、マスタがシリアル・バス上に「アドレス」を出力することで複数のデバイスのうち、通信対象となるスレーブ・デバイスを通常1つ選択します。

通信対象デバイスを決定したのちに、マスタ・デバイスとスレーブ・デバイスとの間で、コマンド、データを送受信し、シリアル通信を実現します。

各データ通信のタイミング・チャートを図13-26から図13-29に示します。

シリアル・クロック ($\overline{\text{SCK0}}$) の立ち下がりに同期してシリアルI/Oシフト・レジスタ0 (SIO0) のシフト動作が行われます。そして、送信データがSO0ラッチに、SB0/P25端子または、SB1/P26端子からMSBを先頭にして出力されます。また、 $\overline{\text{SCK0}}$ の立ち上がりでSB0 (またはSB1) 端子に入力された受信データがSIO0にラッチされます。

図13-26 マスタ・デバイスからスレーブ・デバイス（WUP = 1）へのアドレス送信動作

マスタ・デバイス処理（送信側）

転送ライン

スレーブ・デバイス処理（受信側）

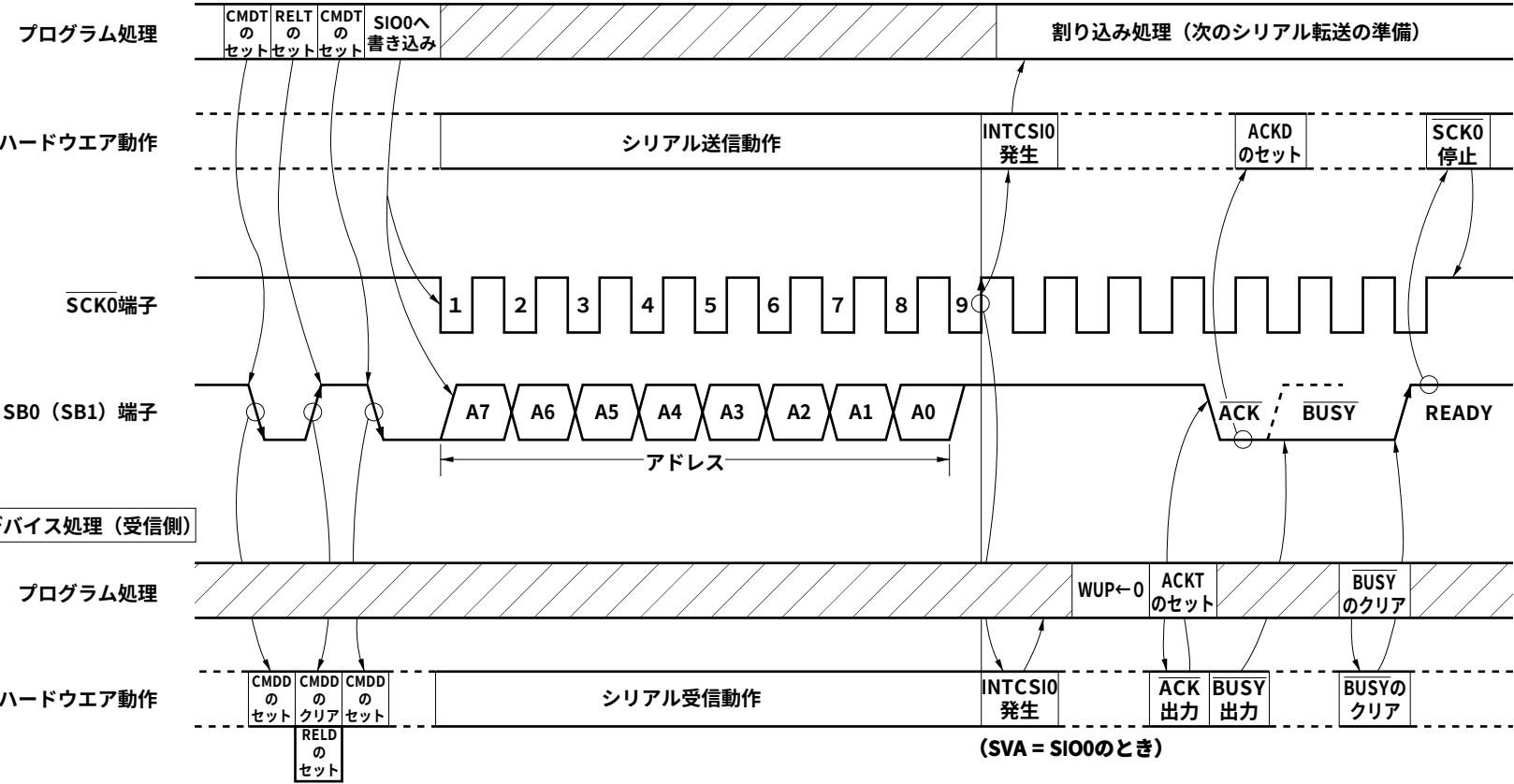


図13-27 マスタ・デバイスからスレーブ・デバイスへのコマンド送信動作

マスタ・デバイス処理（送信側）

転送ライン

スレーブ・デバイス処理（受信側）

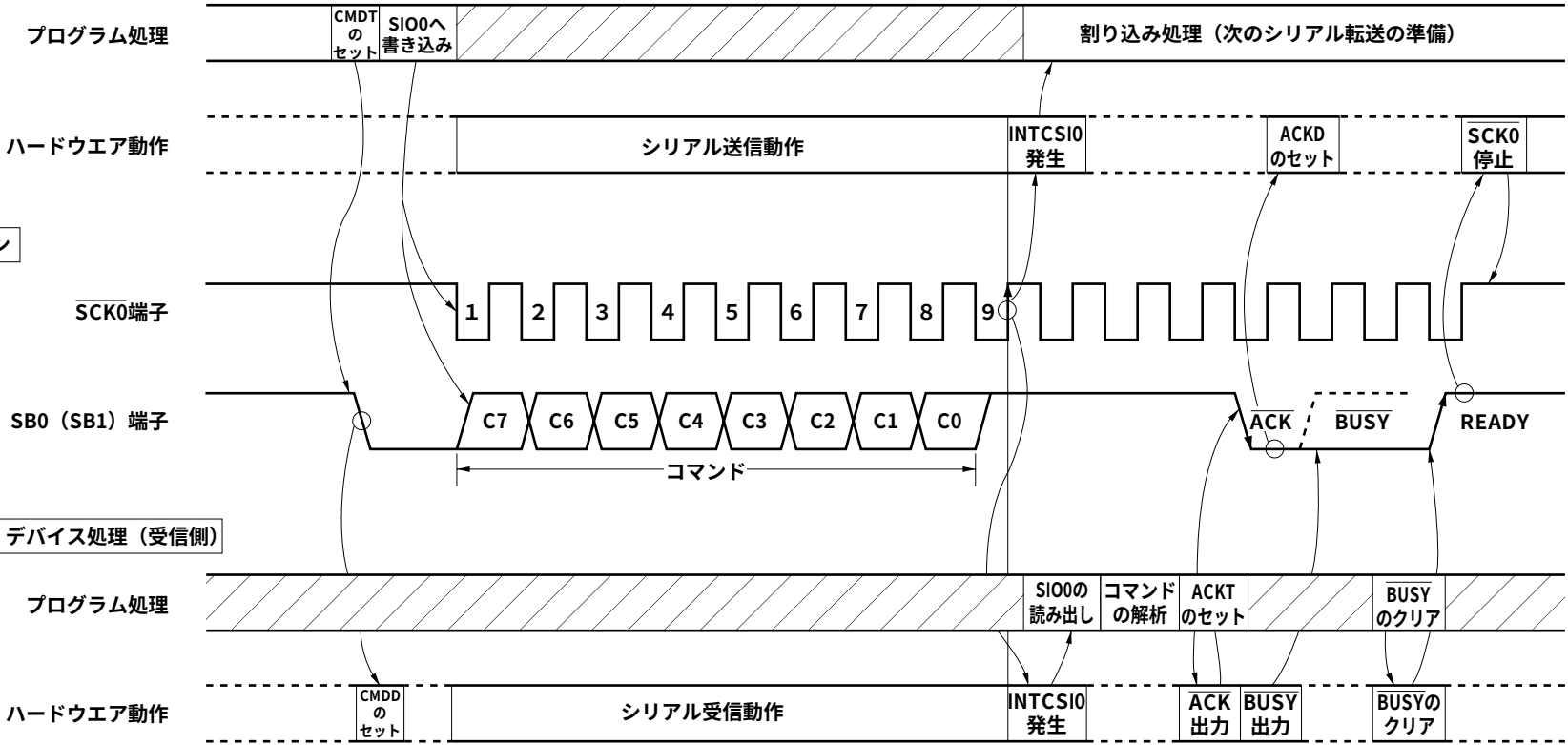


図13-28 マスタ・デバイスからスレーブ・デバイスへのデータ送信動作

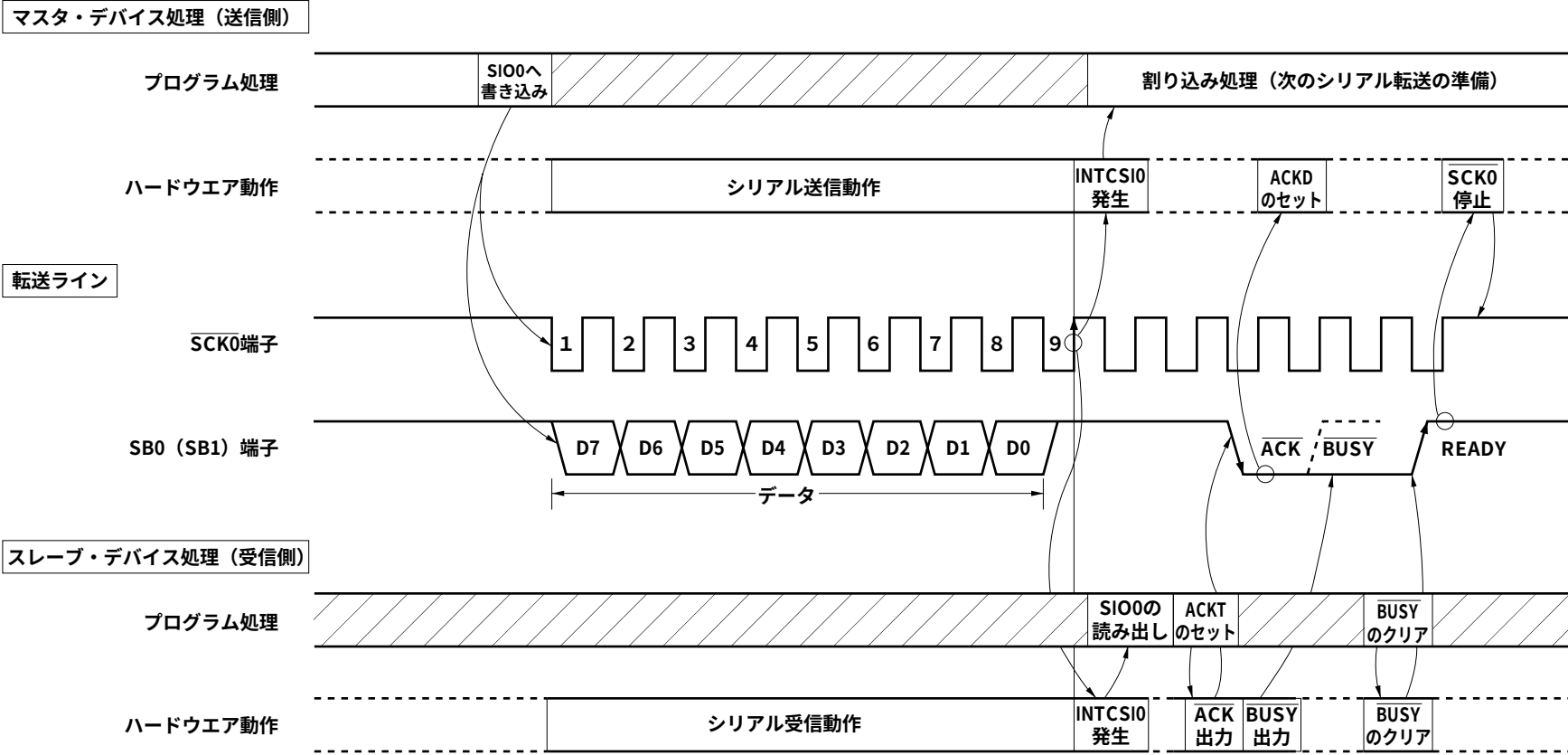
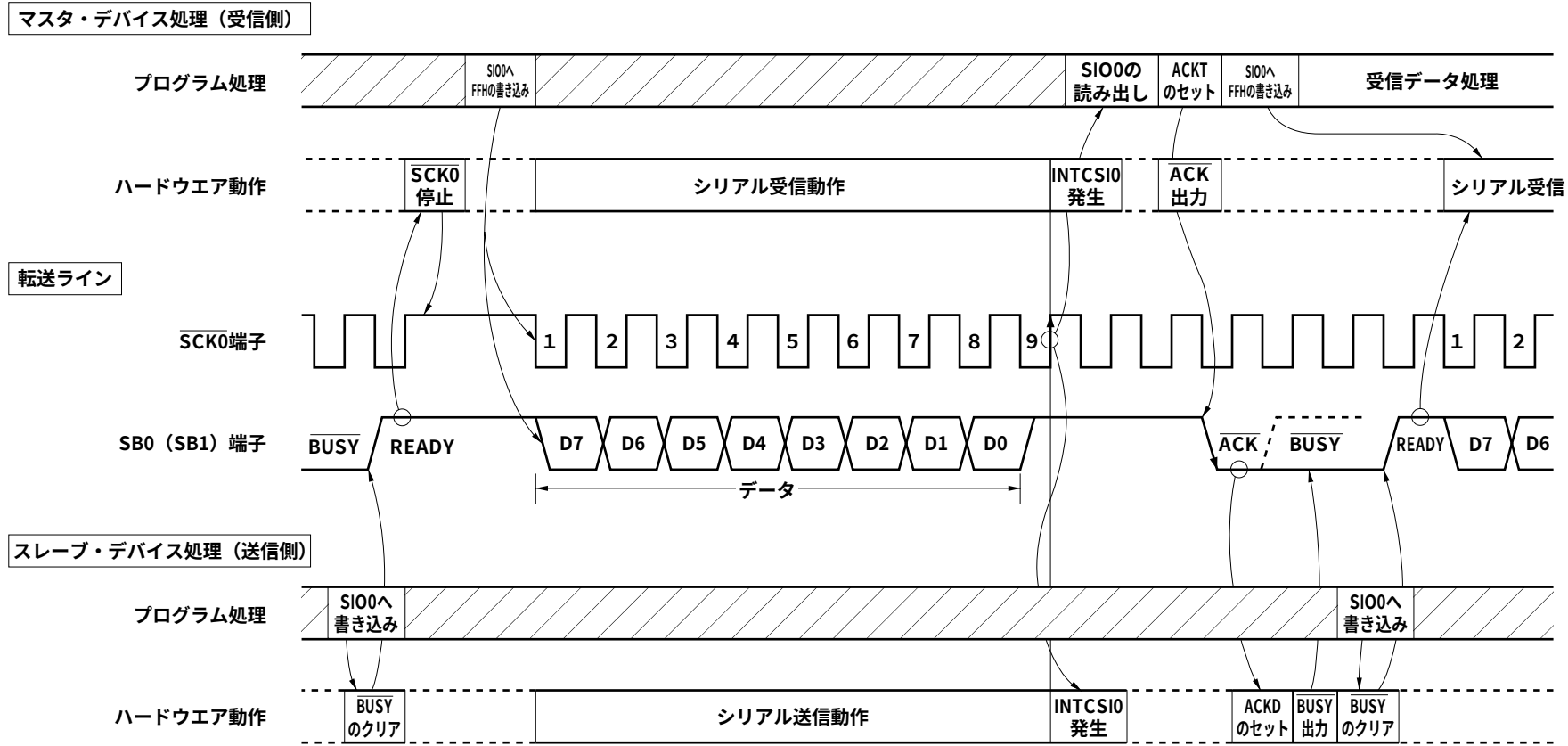


図13-29 スレーブ・デバイスからマスタ・デバイスへのデータ送信動作



(9) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ0 (SIO0) に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル0の動作の制御ビット (CSIE0) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または $\overline{\text{SCK0}}$ がハイ・レベルの状態

注意 1. SIO0にデータを書き込んだあと、CSIE0を“1”にしてもスタートはしません。

2. データ受信時にはN-chオープン・ドレインをハイ・インピーダンス状態にする必要がありますので、SIO0にはあらかじめFFHを書き込んでおいてください。

ただし、ウエイク・アップ機能指定ビット (WUP) = 1の場合は、N-chオープン・ドレインは常にハイ・インピーダンス状態となりますので、受信前に、SIO0にFFHを書き込む必要はありません。

3. スレープがビジィ状態のときに、SIO0にデータを書き込んだ場合、そのデータは失われません。

ビジィ状態が解除されて、SB0 (またはSB1) 入力が高レベル (レディ) 状態になったときに転送がスタートします。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (CSIIF0) をセットします。

なお、データの入出力として使用する端子 (SB0またはSB1) には、 $\overline{\text{RESET}}$ 入力後、1バイト目のシリアル転送の前に、必ず次のように設定してください。

- ① P25, P26の出力ラッチに1を設定する。
- ② シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) のビット0 (RELT) に1を設定する。
- ③ 1を設定したP25, P26の出力ラッチに今度は0を設定する。

(10) スレーブのビジィ状態の判別方法

デバイスがマスタ・モードのとき、スレーブがビジィ状態かどうかは、次の手順で判断してください。

- ① アクノリッジ信号 ($\overline{\text{ACK}}$) または割り込み要求信号発生を検出する。
- ② SB0/P25 (またはSB1/P26) 端子のポート・モード・レジスタPM25 (またはPM26) を入力モードにする。
- ③ 端子の状態を読み出す (端子の状態がハイ・レベルならば、レディ状態となっています)。

レディ状態検出後は、ポート・モード・レジスタに0を設定し、出力モードに戻してください。

(11) SBIモードの注意事項

- (a) スレーブの選択、非選択状態の検出は、バス・リリース ($\text{RELD} = 1$ の状態) のあとに受信したスレーブ・アドレスの一致検出により行います。

この一致検出は、通常、 $\text{WUP} = 1$ の状態で発生するアドレスの一致割り込み要求 (INTCSIO) を使用します。したがって、スレーブ・アドレスによる選択、非選択は、 $\text{WUP} = 1$ の状態で検出してください。

- (b) $\text{WUP} = 0$ で、割り込みを使用せずに選択、非選択を検出する場合には、アドレスの一致検出による方法を使用せず、あらかじめプログラムで設定したコマンドの送受信で検出してください。

- (c) SBIでは、 $\overline{\text{BUSY}}$ の解除指示後、次のシリアル・クロック ($\overline{\text{SCK0}}$) の立ち下がりまで $\overline{\text{BUSY}}$ 信号が出力されます。もし、誤ってこの期間に $\text{WUP} = 1$ とすると、 $\overline{\text{BUSY}}$ が解除されなくなってしまいます。したがって、必ず $\overline{\text{BUSY}}$ を解除したのちに、SB0 (SB1) 端子がハイ・レベルになったことを確認してから $\text{WUP} = 1$ としてください。

- (d) データの入出力として使用する端子には、 $\overline{\text{RESET}}$ 入力後、1バイト目のシリアル転送の前に、必ず次のように設定してください。

- ① P25, P26の出力ラッチに1を設定する。
- ② シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) のビット0 (RELT) に1を設定する。
- ③ 1を設定したP25, P26の出力ラッチに今度は0を設定する。

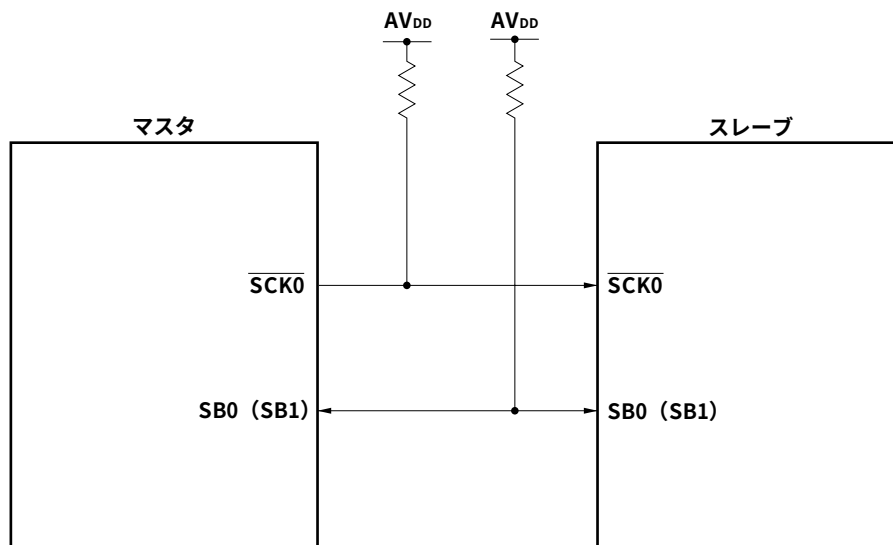
- ★ (e) $\overline{\text{SCK0}}$ ラインがハイ・レベルのときに、SB0 (SB1) ラインがロウ・レベル→ハイ・レベル、あるいはハイ・レベル→ロウ・レベルに変化すると、バス・リリース信号あるいはコマンド信号と認識されます。したがって、基板容量などの影響でバスの変化タイミングにずれが生じると、データを送信しているにもかかわらず、バス・リリース信号 (あるいはコマンド信号) と判断されてしまうことがあります。配線の引き回しには十分注意してください。

13.4.4 2線式シリアルI/Oモードの動作

2線式シリアルI/Oモードは、プログラムにより任意の通信フォーマットに対応できます。

基本的にはシリアル・クロック ($\overline{\text{SCK0}}$)、シリアル・データ入力／出力 (SB0またはSB1) の2本のラインで通信を行います。

図13-30 2線式シリアルI/Oによるシリアル・バス構成例



(1) レジスタの設定

2線式シリアルI/Oモードは、シリアル動作モード・レジスタ0 (CSIM0)、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)、割り込みタイミング指定レジスタ (SINT) で設定します。

(a) シリアル動作モード・レジスタ0 (CSIM0)

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W ^{注1}

R/W	CSIM01	CSIM00	シリアル・インタフェース・チャンネル0のクロックの選択
	0	×	SCK0端子への外部からの入力クロック
	1	0	8ビット・タイマ・レジスタ2 (TM2) の出力
	1	1	タイマ・クロック選択レジスタ3 (TCL3) のビット0-3で指定されたクロック

R/W	CSIM04	CSIM03	CSIM02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/P25 端子の機能	SO0/SB1/P26 端子の機能	SCK0/P27 端子の機能
	0	×	3線式シリアルI/Oモード (13.4.2 3線式シリアルI/Oモードの動作参照)											
	1	0	SBIモード (13.4.3 SBIモードの動作参照)											
	1	1	0	注2 ×	注2 ×	0	0	0	1	2線式シリアル I/Oモード	MSB	P25 (CMOS入出力)	SB1 (N-chオープン・ ドレイン入出力)	SCK0 (N-chオープン・ ドレイン入出力)
			1	0	0	注2 ×	注2 ×	0	1			SB0 (N-chオープン・ ドレイン入出力)	P26 (CMOS入出力)	

R/W	WUP	ウェイク・アップ機能の制御 ^{注3}
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生
	1	SBIモード時、バス・リリース後 (CMDD = RELD = 1 のとき) に受信したアドレスがスレーブ・アドレス・レジスタ (SVA) と一致したとき、割り込み要求信号を発生

R	COI	スレーブ・アドレス比較結果フラグ ^{注4}
	0	スレーブ・アドレス・レジスタ (SVA) とシリアルI/Oシフト・レジスタ0 (SI00) のデータが一致しない
	1	スレーブ・アドレス・レジスタ (SVA) とシリアルI/Oシフト・レジスタ0 (SI00) のデータが一致する

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
	0	動作停止
	1	動作許可

注1. ビット6 (COI) は、Read Onlyです。

2. ポート機能として自由に使用できます。

3. 2線式シリアルI/Oモード使用時は必ずWUPに0を設定してください。

4. CSIE0 = 0 のとき、COIは0になります。

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

(b) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)

SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	⑥	⑤	④	③	②	①	①	①	アドレス	リセット時	R/W
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT		FF61H	00H	R/W

R/W	RELT	RELT=1により、S00ラッチがセット（1）される。S00ラッチをセット後、自動的にクリア（0）される。 また、CSIE0=0のときもクリア（0）される。
-----	------	---

R/W	CMDT	CMDT=1により、S00ラッチがクリア（0）される。S00ラッチをクリア後、自動的にクリア（0）される。 また、CSIE0=0のときもクリア（0）される。
-----	------	---

CSIE0：シリアル動作モード・レジスタ0（CSIM0）のビット7

(c) 割り込みタイミング指定レジスタ (SINT)

SINTは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	7	⑥	⑤	④	3	2	1	0	アドレス	リセット時	R/W
SINT	0	CLD	SIC	SVAM	0	0	0	0	FF63H	00H	R/W ^{注1}

	R/W	SIC	INTCSI0の割り込み要因の選択
		0	シリアル・インタフェース・チャンネル0の転送終了時にCSIIF0をセットする
	R	CLD	SCK0/P27端子のレベル ^{注2}
		0	ロウ・レベル
		1	ハイ・レベル

注1. ビット6（CLD）は、Read Onlyです。

2. CSIE0=0のとき、CLDは0になります。

注意 ビット0-3には、必ず0を設定してください。

備考 CSIIF0：INTCSI0に対応する割り込み要求フラグ

CSIE0：シリアル動作モード・レジスタ0（CSIM0）のビット7

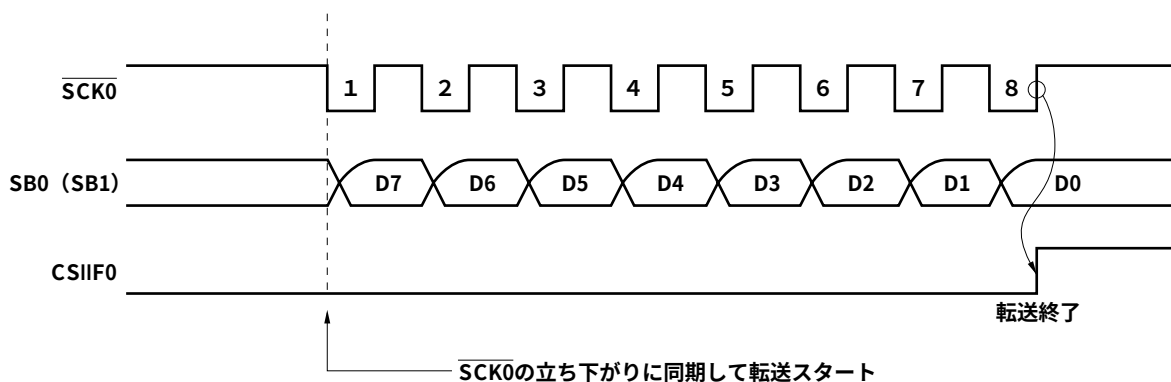
(2) 通信動作

2線式シリアルI/Oモードは、8ビット単位でデータを送受信します。データは、シリアル・クロックに同期して1ビットごとに送受信します。

シリアルI/Oシフト・レジスタ0 (SIO0) のシフト動作は、シリアル・クロック ($\overline{\text{SCK0}}$) の立ち下りに同期して行われます。そして、送信データがSO0ラッチに保持され、SB0/P25 (またはSB1/P26) 端子からMSBを先頭にして出力されます。また、 $\overline{\text{SCK0}}$ の立ち上がりで、SB0 (またはSB1) 端子から入力された受信データがSIO0にラッチされます。

8ビット転送終了により、SIO0の動作は自動的に停止し、割り込み要求フラグ (CSIF0) がセットされます。

図13-31 2線式シリアルI/Oモードのタイミング



シリアル・データ・バスに指定されたSB0 (SB1) 端子は、N-ch オープン・ドレイン入出力となりますので、外部でプルアップする必要があります。また、データの受信時にはN-chオープン・ドレインをハイ・インピーダンス状態にさせる必要があるため、SIO0にはあらかじめFFHを書き込んでおきます。

SB0 (またはSB1) 端子は、SO0ラッチの状態を出力しますので、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) のビット0 (RELT) , ビット1 (CMDT) のセットによって、SB0 (またはSB1) 端子の出力状態を操作できます。

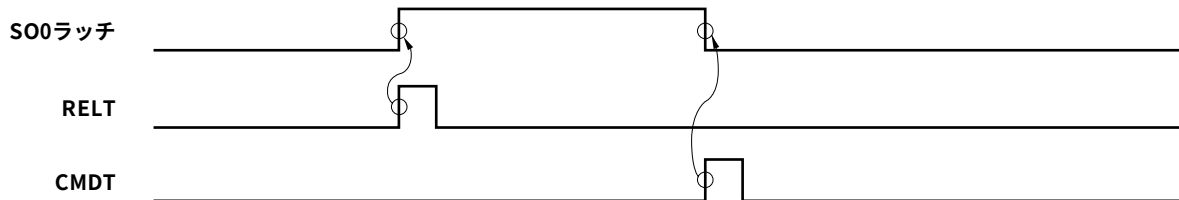
ただし、シリアル転送中にはこの操作を行わないでください。

$\overline{\text{SCK0}}$ 端子の出力レベルは、出力モード (内部システム・クロックのモード) 時に、P27出力ラッチを操作して制御します (13.4.5 $\overline{\text{SCK0}}$ /P27端子出力の操作を参照)。

(3) 各種信号

図13-32にRELT, CMDTの動作を示します。

図13-32 RELT, CMDTの動作



(4) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ0（SIO0）に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル0の動作の制御ビット（CSIE0）= 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはSCK0がハイ・レベルの状態

注意1. SIO0にデータを書き込んだあと、CSIE0を“1”にしても、転送はスタートしません。

2. データ受信時にはN-chオープン・ドレインをハイ・インピーダンス状態にする必要がありますので、SIO0にはあらかじめFFHを書き込んでおいてください。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ（CSIIF0）をセットします。

(5) エラーの検出

2線式シリアル/Oモードでは、送信中のシリアル・バスSB0 (SB1) の状態が送信しているデバイスのシリアル/Oシフト・レジスタ0 (SIO0) にも取り込まれるため、次の方法によって送信エラーを検出できます。

(a) 送信開始前と送信終了後のSIO0のデータを比較する方法

この場合、2つのデータが異なっていれば送信エラーが発生したと判断します。

(b) スレーブ・アドレス・レジスタ (SVA) を利用する方法

送信データをSIO0とSVAにもセットし、送信を行います。送信終了後に、シリアル動作モード・レジスタ0 (CSIM0) のCOIビット (アドレス・コンパレータからの一致信号) をテストし、“1” ならば正常な送信、“0” ならば送信エラーと判断します。

13.4.5 SCK0/P27端子出力の操作

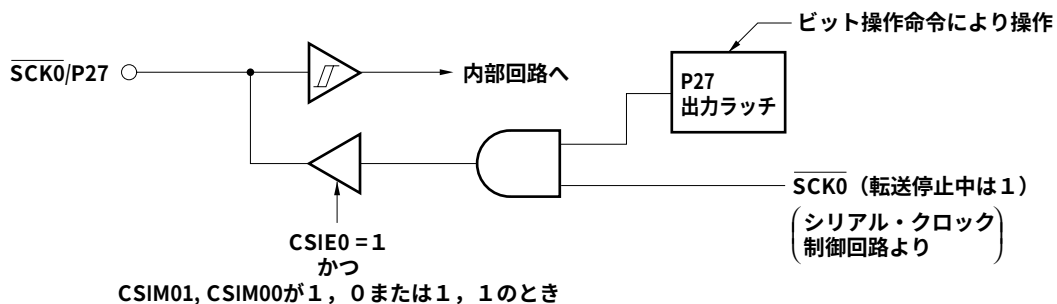
SCK0/P27端子には、出力ラッチが内蔵されているため、通常のシリアル・クロック以外に、ソフトウェア操作によりスタティック出力も可能です。

また、P27出力ラッチの操作によりSCK0の値をソフトウェアで任意に設定できます (SIO/SB0, SO0/SB1端子はシリアル・バス・インタフェース・コントロール・レジスタ (SBIC) のビット0 (RELT), ビット1 (CMDT) によって制御します)。

次に、SCK0/P27端子出力の操作方法を示します。

- ① シリアル動作モード・レジスタ0 (CSIM0) を設定します (SCK0端子：出力モード、シリアル動作：可能状態)。シリアル転送停止中ではSCK0 = 1 となっています。
- ② P27出力ラッチを、ビット操作命令により操作します。

図13-33 SCK0/P27端子の構成



第14章 シリアル・インタフェース・チャンネル1

14.1 シリアル・インタフェース・チャンネル1の機能

シリアル・インタフェース・チャンネル1には、次に示す3種類のモードがあります。

表14-1 シリアル・インタフェース・チャンネル1のモードの違い

動作モード	使用する端子	特 徴	用 途
動作停止 モード	—	・シリアル転送をしないときに使用するモード。 ・消費電力を低減できる。	—
3線式シリアル/I/Oモード	$\overline{SCK1}$ (シリアル・クロック) , SO1 (シリアル出力) , SI1 (シリアル入力)	・入力, 出力ラインが独立しており, 同時送受信が可能なのでデータ転送処理時間が短い。 ・シリアル転送する8ビット・データの先頭ビットをMSB, またはLSBに切り替えることができる。	75X/XLシリーズ, 78Kシリーズ, 17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効。
自動送受信機能付き 3線式シリアル/I/Oモード (MSB/LSB先頭切り替え可能)	$\overline{SCK1}$ (シリアル・クロック) , SO1 (シリアル出力) , SI1 (シリアル入力)	・3線式シリアル/I/Oモードと同じ機能に, 自動送受信機能を付加したモード。 ・最大32バイトのデータを送受信できる。このため, CPU独立にOSD (On Screen Display) 用のデバイスや表示コントローラ／ドライバを内蔵したデバイスへのデータ送受信がハードウェアで行えるので, ソフトウェアの負担が軽減できる。	

14.2 シリアル・インタフェース・チャンネル1の構成

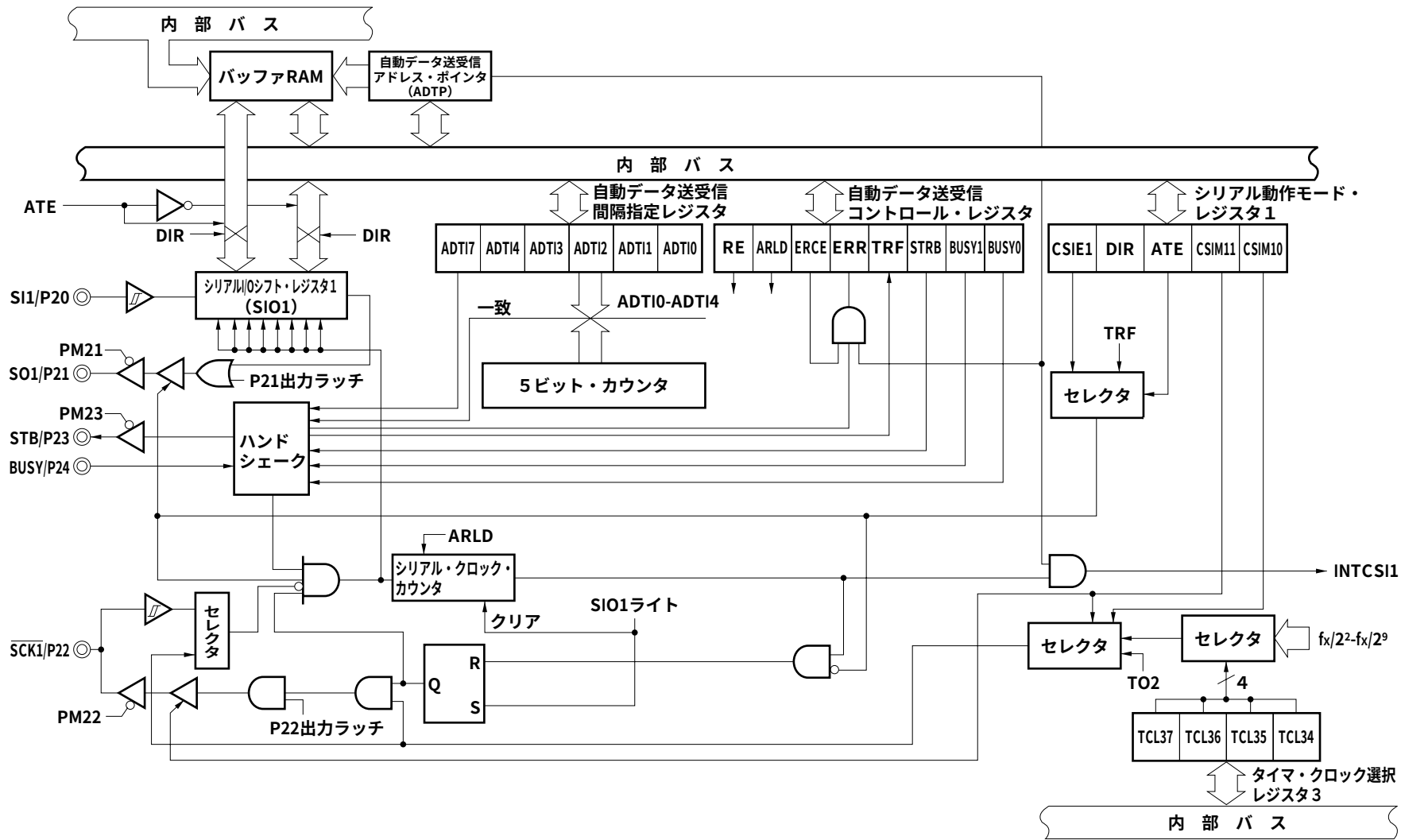
シリアル・インタフェース・チャンネル1は、次のハードウェアで構成しています。

表14-2 シリアル・インタフェース・チャンネル1の構成

項 目	構 成
レジスタ	シリアルI/Oシフト・レジスタ1 (SIO1) 自動データ送受信アドレス・ポインタ (ADTP)
制御レジスタ	タイマ・クロック選択レジスタ3 (TCL3) シリアル動作モード・レジスタ1 (CSIM1) 自動データ送受信コントロール・レジスタ (ADTC) 自動データ送受信間隔指定レジスタ (ADTI) ポート・モード・レジスタ2 (PM2) 注 ポート2 (P2)

注 図4-6 P20, P21, P23-P26のブロック図, 図4-7 P22, P27のブロック図を参照してください。

図14-1 シリアル・インタフェース・チャンネル1のブロック図



(1) シリアルI/Oシフト・レジスタ1 (SIO1)

パラレル - シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信（シフト動作）を行う 8 ビット・レジスタです。

SIO1は、8ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタ1 (CSIM1) のビット7 (CSIE1) が1のとき、SIO1にデータを書き込むことにより開始されます。

送信時は、SIO1に書き込まれたデータが、シリアル出力 (SO1) に出力されます。受信時は、データがシリアル入力 (SI1) からSIO1に読み込まれます。

SIO1は、 $\overline{\text{RESET}}$ 入力により、不定になります。

注意 自動送受信機能が動作しているとき、SIO1にデータを書き込まないでください。

(2) 自動データ送受信アドレス・ポインタ (ADTP)

自動送受信機能動作時、（送信データ・バイト数 - 1）の値を格納するレジスタです。データ送受信に伴い、自動的にデクリメントされます。

ADTPは、8ビット・メモリ操作命令で設定します。このとき、上位3ビットには、0を設定してください。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 自動送受信機能が動作しているとき、ADTPにデータを書き込まないでください。

(3) シリアル・クロック・カウンタ

送受信動作時に出力されるシリアル・クロック、および入力されるシリアル・クロックをカウントし、8ビット・データが送受信されたことを調べます。

14.3 シリアル・インタフェース・チャンネル1を制御するレジスタ

シリアル・インタフェース・チャンネル1を制御するレジスタには、次の4種類があります。

- ・タイマ・クロック選択レジスタ3 (TCL3)
- ・シリアル動作モード・レジスタ1 (CSIM1)
- ・自動データ送受信コントロール・レジスタ (ADTC)
- ・自動データ送受信間隔指定レジスタ (ADTI)

(1) タイマ・クロック選択レジスタ3 (TCL3)

シリアル・インタフェース・チャンネル1のシリアル・クロックを設定するレジスタです。

TCL3は、8ビット・メモリ操作命令で設定します。

RESET入力により、88Hになります。

備考 TCL3は、シリアル・インタフェース・チャンネル1のシリアル・クロックの設定以外に、シリアル・インタフェース・チャンネル0のシリアル・クロックを設定する機能があります。

図14-2 タイマ・クロック選択レジスタ3のフォーマット

略号

7

6

5

4

3

2

1

0

アドレス

リセット時

R/W

TCL3

TCL37

TCL36

TCL35

TCL34

TCL33

TCL32

TCL31

TCL30

FF 4 3 H

8 8 H

R/W

TCL33

TCL32

TCL31

TCL30

シリアル・インタフェース・チャンネル0のシリアル・クロックの選択

0

1

1

0

$f_x/2^2$ 注

0

1

1

1

$f_x/2^3$ (1.25 MHz)

1

0

0

0

$f_x/2^4$ (625 kHz)

1

0

0

1

$f_x/2^5$ (313 kHz)

1

0

1

0

$f_x/2^6$ (156 kHz)

1

0

1

1

$f_x/2^7$ (78.1 kHz)

1

1

0

0

$f_x/2^8$ (39.1 kHz)

1

1

0

1

$f_x/2^9$ (19.5 kHz)

上記以外

設定禁止

TCL37

TCL36

TCL35

TCL34

シリアル・インタフェース・チャンネル1のシリアル・クロックの選択

0

1

1

0

$f_x/2^2$ 注

0

1

1

1

$f_x/2^3$ (1.25 MHz)

1

0

0

0

$f_x/2^4$ (625 kHz)

1

0

0

1

$f_x/2^5$ (313 kHz)

1

0

1

0

$f_x/2^6$ (156 kHz)

1

0

1

1

$f_x/2^7$ (78.1 kHz)

1

1

0

0

$f_x/2^8$ (39.1 kHz)

1

1

0

1

$f_x/2^9$ (19.5 kHz)

上記以外

設定禁止

注 メイン・システム・クロックが4.19 MHz以下で発振しているときのみ設定できます。

注意 TCL3を同一データ以外に書き換える場合には、シリアル転送をいったん停止させたのちに書き換えてください。

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は, $f_x = 10.0$ MHz動作時。

(2) シリアル動作モード・レジスタ1 (CSIM1)

シリアル・インタフェース・チャンネル1のシリアル・クロック、動作モード、動作の許可／停止、自動送受信動作の許可／停止を設定するレジスタです。

CSIM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図14-3 シリアル動作モード・レジスタ1のフォーマット

略号	⑦	6	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM1	CSIE 1	DIR	ATE	0	0	0	CSIM 11	CSIM 10	FF68H	00H	R/W

CSIM 11	CSIM 10	シリアル・インタフェース・チャンネル1のクロックの選択
0	×	SCK1端子への外部クロック入力 ^{注1}
1	0	8ビット・タイマ・レジスタ2 (TM2) の出力
1	1	タイマ・クロック選択レジスタ3 (TCL3) のビット4-7で指定されたクロック

ATE	シリアル・インタフェース・チャンネル1の動作モードの選択
0	3線式シリアルI/Oモード
1	自動送受信機能付き3線式シリアルI/Oモード

DIR	先頭ビット	SI1端子の機能	SO1端子の機能
0	MSB	SI1/P20 (入力)	SO1
1	LSB		(CMOS出力)

CSIE 1	CSIM 11	PM20	P20	PM21	P21	PM22	P22	シフト・レジスタ1の動作	シリアル・クロックのカウンタ動作の制御	SI1/P20端子の機能	SO1/P21端子の機能	SCK1/P22端子の機能
0	×	注2 ×	注2 ×	注2 ×	注2 ×	注2 ×	注2 ×	動作停止	クリア	P20 (CMOS入出力)	P21 (CMOS入出力)	P22 (CMOS入出力)
1	0	注3 1	注3 ×	0	0	1	×	動作許可	カウンタ動作	SI1 ^{注3} (入力)	SO1 (CMOS出力)	SCK1 (入力)
	1					0	1					SCK1 (CMOS出力)

注1. CSIM11を0にして外部クロック入力を選択したとき、自動データ送受信コントロール・レジスタ (ADTC) のビット1 (BUSY1) , ビット2 (STRB) を0, 0に設定してください。

2. ポート機能として自由に使用できます。

3. 送信のみ使用するときは、P20 (CMOS入出力) として使用できます (ADTCのビット7 (RE) に0を設定してください) 。

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

(3) 自動データ送受信コントロール・レジスタ (ADTC)

自動送受信の許可／禁止，動作モード，ストロブ出力の許可／禁止，ビジィ入力の許可／禁止の設定と自動送受信の実行を表示するレジスタです。

ADTCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図14-4 自動データ送受信コントロール・レジスタのフォーマット

略号 ⑦ ⑥ ⑤ ④ ③ ② ① ① アドレス リセット時 R/W

ADTC RE ARLD ERCE ERR TRF STRB BUSY1 BUSY0 FF69H 00H R/W^{注1}

ADTC	RE	ARLD	ERCE	ERR	TRF	STRB	BUSY1	BUSY0
⑦	RE							
⑥		ARLD						
⑤			ERCE					
④				ERR				
③					TRF			
②						STRB		
①							BUSY1	
①								BUSY0

R/W

BUSY1	BUSY0	制御
0	×	ビジー入力を使用しない
1	0	ビジー入力許可 (ハイ・アクティブ)
1	1	ビジー入力許可 (ロウ・アクティブ)

R/W

STRB	制御
0	ストロブ出力禁止
1	ストロブ出力許可

R

TRF	自動送受信機能のステータス ^{注2}
0	自動送受信の終了を検出 (自動送受信の中断またはARLD=0のとき, 0になります)
1	自動送受信中 (SIO1に書き込むことによって, 1になります)

R

ERR	自動送受信機能のエラー検出
0	自動送受信時, エラーなし (SIO1に書き込むことによって, 0になります)
1	自動送受信時, エラーあり

R/W

ERCE	自動送受信機能のエラー・チェックの制御
0	自動送受信時, エラー・チェック禁止
1	自動送受信時, エラー・チェック許可 (BUSY1=1のときのみ)

R/W

ARLD	自動送受信機能の動作モードの選択
0	単発モード
1	繰り返しモード

R/W

RE	自動送受信機能の受信の制御
0	受信禁止
1	受信許可

注1. ビット3, 4 (TRF, ERR) は, Read Onlyです。

2. 自動送受信の終了はCSIF1（割り込み要求フラグ）ではなくTRFで判定してください。

注意 シリアル動作モード・レジスタ1 (CSIM1) のビット1 (CSIM11) を0にして外部クロック入力を選択したとき、ADTCのSTRB、BUSY1を0、0に設定してください。

備考 × : don't care

(4) 自動データ送受信間隔指定レジスタ (ADTI)

自動送受信機能のデータ転送のインターバル時間を設定するレジスタです。

ADTIは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図14-5 自動データ送受信間隔指定レジスタのフォーマット (1/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADTI	ADTI7	0	0	ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	F F 6 B H	0 0 H	R/W

ADTI7	データ転送のインターバル時間の制御
0	ADTIによるインターバル時間の制御なし ^{注1}
1	ADTI (ADTI0-ADTI4) によるインターバル時間の制御あり

ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	データ転送のインターバル時間の指定 (fx = 10.0 MHz動作時)	
					最小値 ^{注2}	最大値 ^{注2}
0	0	0	0	0	$18.4\mu s + 0.5/f_{SCK}$	$20.0\mu s + 1.5/f_{SCK}$
0	0	0	0	1	$31.2\mu s + 0.5/f_{SCK}$	$32.8\mu s + 1.5/f_{SCK}$
0	0	0	1	0	$44.0\mu s + 0.5/f_{SCK}$	$45.6\mu s + 1.5/f_{SCK}$
0	0	0	1	1	$56.8\mu s + 0.5/f_{SCK}$	$58.4\mu s + 1.5/f_{SCK}$
0	0	1	0	0	$69.6\mu s + 0.5/f_{SCK}$	$71.2\mu s + 1.5/f_{SCK}$
0	0	1	0	1	$82.4\mu s + 0.5/f_{SCK}$	$84.0\mu s + 1.5/f_{SCK}$
0	0	1	1	0	$95.2\mu s + 0.5/f_{SCK}$	$96.8\mu s + 1.5/f_{SCK}$
0	0	1	1	1	$108.0\mu s + 0.5/f_{SCK}$	$109.6\mu s + 1.5/f_{SCK}$
0	1	0	0	0	$120.8\mu s + 0.5/f_{SCK}$	$122.4\mu s + 1.5/f_{SCK}$
0	1	0	0	1	$133.6\mu s + 0.5/f_{SCK}$	$135.2\mu s + 1.5/f_{SCK}$
0	1	0	1	0	$146.4\mu s + 0.5/f_{SCK}$	$148.0\mu s + 1.5/f_{SCK}$
0	1	0	1	1	$159.2\mu s + 0.5/f_{SCK}$	$160.8\mu s + 1.5/f_{SCK}$
0	1	1	0	0	$172.0\mu s + 0.5/f_{SCK}$	$173.6\mu s + 1.5/f_{SCK}$
0	1	1	0	1	$184.8\mu s + 0.5/f_{SCK}$	$186.4\mu s + 1.5/f_{SCK}$
0	1	1	1	0	$197.6\mu s + 0.5/f_{SCK}$	$199.2\mu s + 1.5/f_{SCK}$
0	1	1	1	1	$210.4\mu s + 0.5/f_{SCK}$	$212.0\mu s + 1.5/f_{SCK}$

注1．インターバル時間は、CPU処理にのみ依存します。

- 2．データ転送のインターバル時間には、誤差が含まれています。各データ転送のインターバル時間の最小値と最大値は次の式により求められます（n：ADTI0-ADTI4に設定した値）。ただし、次の式から計算された最小値が $2/f_{\text{SCK}}$ よりも小さい場合、インターバル時間の最小値は $2/f_{\text{SCK}}$ となります。

$$\text{最小値} = (n + 1) \times \frac{2^7}{f_x} + \frac{56}{f_x} + \frac{0.5}{f_{\text{SCK}}}$$

$$\text{最大値} = (n + 1) \times \frac{2^7}{f_x} + \frac{72}{f_x} + \frac{1.5}{f_{\text{SCK}}}$$

注意1．自動送受信機能動作中は、ADTIへの書き込みを行わないでください。

- 2．ビット5，6には、必ず0を設定してください。

- 3．ADTIを使用して自動送受信によるデータ転送のインターバル時間を制御する場合、ビジィ制御（14.4.3（4）（a）ビジィ制御オプション参照）は無効になります。

備考 f_x ：メイン・システム・クロック発振周波数

f_{SCK} ：シリアル・クロック周波数

図14-5 自動データ送受信間隔指定レジスタのフォーマット (2/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADTI	ADTI7	0	0	ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	FF6BH	00H	R/W

ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	データ転送のインターバル時間の指定 (fx = 10.0 MHz動作時)	
					最小値注	最大値注
1	0	0	0	0	$223.2 \mu s + 0.5/f_{sck}$	$224.8 \mu s + 1.5/f_{sck}$
1	0	0	0	1	$236.0 \mu s + 0.5/f_{sck}$	$237.6 \mu s + 1.5/f_{sck}$
1	0	0	1	0	$248.8 \mu s + 0.5/f_{sck}$	$250.4 \mu s + 1.5/f_{sck}$
1	0	0	1	1	$261.6 \mu s + 0.5/f_{sck}$	$263.2 \mu s + 1.5/f_{sck}$
1	0	1	0	0	$274.4 \mu s + 0.5/f_{sck}$	$276.0 \mu s + 1.5/f_{sck}$
1	0	1	0	1	$287.2 \mu s + 0.5/f_{sck}$	$288.8 \mu s + 1.5/f_{sck}$
1	0	1	1	0	$300.0 \mu s + 0.5/f_{sck}$	$301.6 \mu s + 1.5/f_{sck}$
1	0	1	1	1	$312.8 \mu s + 0.5/f_{sck}$	$314.4 \mu s + 1.5/f_{sck}$
1	1	0	0	0	$325.6 \mu s + 0.5/f_{sck}$	$327.2 \mu s + 1.5/f_{sck}$
1	1	0	0	1	$338.4 \mu s + 0.5/f_{sck}$	$340.0 \mu s + 1.5/f_{sck}$
1	1	0	1	0	$351.2 \mu s + 0.5/f_{sck}$	$352.8 \mu s + 1.5/f_{sck}$
1	1	0	1	1	$364.0 \mu s + 0.5/f_{sck}$	$365.6 \mu s + 1.5/f_{sck}$
1	1	1	0	0	$376.8 \mu s + 0.5/f_{sck}$	$378.4 \mu s + 1.5/f_{sck}$
1	1	1	0	1	$389.6 \mu s + 0.5/f_{sck}$	$391.2 \mu s + 1.5/f_{sck}$
1	1	1	1	0	$402.4 \mu s + 0.5/f_{sck}$	$404.0 \mu s + 1.5/f_{sck}$
1	1	1	1	1	$415.2 \mu s + 0.5/f_{sck}$	$416.8 \mu s + 1.5/f_{sck}$

注 データ転送のインターバル時間には、誤差が含まれています。各データ転送のインターバル時間の最小値と最大値は次の式により求められます (n: ADTI0-ADTI4に設定した値)。ただし、次の式から計算された最小値が $2/f_{sck}$ よりも小さい場合、インターバル時間の最小値は $2/f_{sck}$ となります。

$$\text{最小値} = (n + 1) \times \frac{2^7}{f_x} + \frac{56}{f_x} + \frac{0.5}{f_{sck}}$$

$$\text{最大値} = (n + 1) \times \frac{2^7}{f_x} + \frac{72}{f_x} + \frac{1.5}{f_{sck}}$$

注意1. 自動送受信機能動作中は、ADTIへの書き込みを行わないでください。

2. ビット5, 6には、必ず0を設定してください。

3. ADTIを使用して自動送受信によるデータ転送のインターバル時間を制御する場合、ビジィ制御 (14.4.3 (4) (a) ビジィ制御オプション参照) は無効になります。

備考 fx : メイン・システム・クロック発振周波数

f_{sck}: シリアル・クロック周波数

14.4 シリアル・インタフェース・チャンネル1の動作

シリアル・インタフェース・チャンネル1の動作モードには、次の3種類があります。

- ・動作停止モード
- ・3線式シリアルI/Oモード
- ・自動送受信機能付き3線式シリアルI/Oモード

14.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減できます。また、シリアルI/Oシフト・レジスタ1 (SIO1) もシフト動作を行いませんので、通常の8ビット・レジスタとして使用できます。

また、動作停止モードでは、P20/SI1, P21/SO1, P22/ $\overline{\text{SCK1}}$, P23/STB, P24/BUSY端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードは、シリアル動作モード・レジスタ1 (CSIM1) で設定します。

CSIM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	⑥	⑤	④	③	②	①	①	①	アドレス	リセット時	R/W
CSIM1	CSIE 1	DIR	ATE	0	0	0	CSIM 11	CSIM 10		F F 6 8 H	0 0 H	R/W

CSIE 1	CSIM 11	PM20	P20	PM21	P21	PM22	P22	シフト・レジスタ1の動作	シリアル・クロックのカウンタ動作の制御	SI1/P20端子の機能	SO1/P21端子の機能	SCK1/P22端子の機能
0	×	注1 ×	注1 ×	注1 ×	注1 ×	注1 ×	注1 ×	動作停止	クリア	P20 (CMOS入出力)	P21 (CMOS入出力)	P22 (CMOS入出力)
1	0	注2 1	注2 ×	0	0	1	×	動作許可	カウンタ動作	SI1注2 (入力)	SO1 (CMOS出力)	SCK1 (入力)
	1					0	1					$\overline{\text{SCK1}}$ (CMOS出力)

注1. ポート機能として自由に使用できます。

2. 送信のみ使用するときは、P20 (CMOS入出力) になります。自動データ送受信コントロール・レジスタ (ADTC) のビット7 (RE) に0を設定してください。

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

14.4.2 3線式シリアルI/Oモードの動作

3線式シリアルI/Oモードは、75X/XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック ($\overline{\text{SCK1}}$)、シリアル出力 (SO1)、シリアル入力 (SI1) の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアルI/Oモードは、シリアル動作モード・レジスタ1 (CSIM1) で設定します。

CSIM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	6	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM1	CSIE 1	DIR	ATE	0	0	0	CSIM 11	CSIM 10	F F 6 8 H	0 0 H	R/W

CSIM 11	CSIM 10	シリアル・インタフェース・チャンネル1のクロックの選択
0	×	SCK1端子への外部クロック入力 ^{注1}
1	0	8ビット・タイマ・レジスタ2 (TM2) の出力
1	1	タイマ・クロック選択レジスタ3 (TCL3) のビット4-7で指定されたクロック

ATE	シリアル・インタフェース・チャンネル1の動作モードの選択
0	3線式シリアルI/Oモード
1	自動送受信機能付き3線式シリアルI/Oモード

DIR	先頭ビット	SI1端子の機能	SO1端子の機能
0	MSB	SI1/P20 (入力)	SO1
1	LSB		(CMOS出力)

CSIE 1	CSIM 11	PM20	P20	PM21	P21	PM22	P22	シフト・レジ スタ1の動作	シリアル・クロッ クのカウンタ動作 の制御	SI1/P20 端子の機能	SO1/P21 端子の機能	$\overline{\text{SCK1}}$ /P22 端子の機能
0	×	^{注2} ×	^{注2} ×	^{注2} ×	^{注2} ×	^{注2} ×	^{注2} ×	動作停止	クリア	P20 (CMOS入出力)	P21 (CMOS入出力)	P22 (CMOS入出力)
1	0	^{注3} 1	^{注3} ×	0	0	1	×	動作許可	カウンタ動作	SI1 ^{注3} (入力)	SO1 (CMOS出力)	$\overline{\text{SCK1}}$ (入力)
	1					0	1					$\overline{\text{SCK1}}$ (CMOS出力)

注1. CSIM11を0にして外部クロック入力を選択したとき、自動データ送受信コントロール・レジスタ (ADTC) のビット1 (BUSY1) , ビット2 (STRB) を0, 0に設定してください。

2. ポート機能として自由に使用できます。

3. 送信のみ使用するときは、P20 (CMOS入出力) として使用できます (ADTCのビット7 (RE) に0を設定してください) 。

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

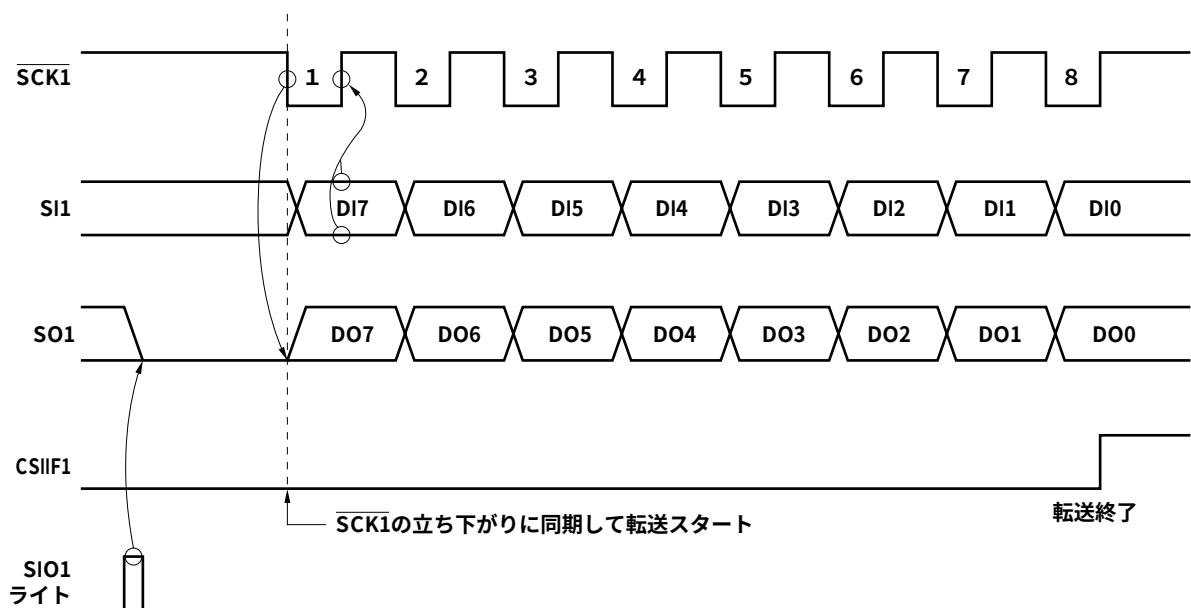
(2) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータを送受信します。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアルI/Oシフト・レジスタ1 (SIO1) のシフト動作は、シリアル・クロック ($\overline{\text{SCK1}}$) の立ち下がり同期で行われます。そして、送信データがSO1ラッチに保持され、SO1端子から出力されます。また、 $\overline{\text{SCK1}}$ の立ち上がりで、SI1端子に入力された受信データがSIO1にラッチされます。

8ビット転送終了により、SIO1の動作は自動的に停止し、割り込み要求フラグ (CSIIF1) がセットされます。

図14-6 3線式シリアルI/Oモードのタイミング



注意 SIO1ライトにより、SO1端子はロウ・レベルになります。

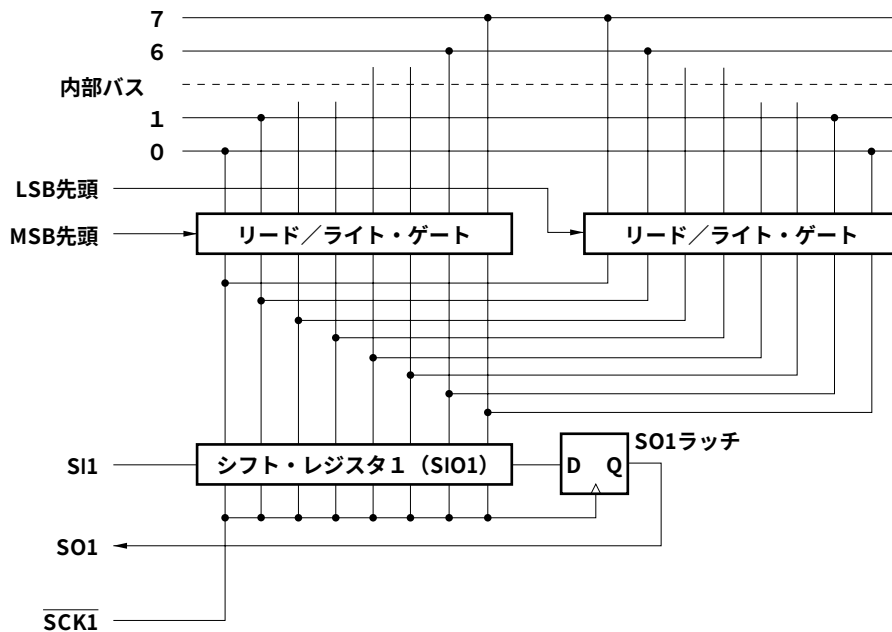
(3) MSB/LSB先頭の切り替え

3線式シリアルI/Oモードは、転送がMSB先頭か、LSB先頭かを選択できる機能を持っています。

図14-7にシリアルI/Oシフト・レジスタ1（SIO1），および内部バスの構成を示します。図に示すようにMSB/LSBを反転して読み出し／書き込みができます。

MSB/LSB先頭切り替えは、シリアル動作モード・レジスタ1（CSIM1）のビット6（DIR）により指定できます。

図14-7 転送ビット順切り替え回路



先頭ビットの切り替えは、SIO1へのデータ書き込みのビット順を切り替えることによって実現されています。SIO1のシフト順は常に同じです。

したがって、MSB/LSBの先頭ビットは、SIO1にデータを書き込む前に切り替えてください。

(4) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ1 (SIO1) に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル1の動作の制御ビット (CSIE1) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または $\overline{\text{SCK1}}$ がハイ・レベルの状態

注意 SIO1にデータを書き込んだあと、CSIE1を“1”にしても、転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (CSIIIF1) をセットします。

14.4.3 自動送受信機能付き3線式シリアルI/Oモードの動作

最大32バイトのデータを、ソフトウェアの介在なしに送受信を行う3線式シリアルI/Oモードです。転送を開始させると、あらかじめRAMに格納しておいたデータを設定したバイト数だけ送信させたり、設定したバイト数だけデータを受信しRAMに格納させることができます。

また、連続してデータを送受信するために、ハードウェアによるハンドシェイク信号 (STB, BUSY) をサポートしており、OSD (On Screen Display) 用LSIやLCDコントローラ／ドライバなどの周辺LSIとの接続が容易に実現できます。

(1) レジスタの設定

自動送受信機能付き3線式シリアルI/Oモードは、シリアル動作モード・レジスタ1 (CSIM1) と自動データ送受信コントロール・レジスタ (ADTC) , 自動データ送受信間隔指定レジスタ (ADTI) で設定します。

(a) シリアル動作モード・レジスタ1 (CSIM1)

CSIM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	⑦	6	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM1	CSIE 1	DIR 1	ATE 1	0	0	0	CSIM 11	CSIM 10	F F 6 8 H	0 0 H	R/W

CSIM 11	CSIM 10	シリアル・インタフェース・チャンネル1のクロックの選択
0	×	SCK1端子への外部クロック入力 ^{注1}
1	0	8ビット・タイマ・レジスタ2 (TM2) の出力
1	1	タイマ・クロック選択レジスタ3 (TCL3) のビット4-7で指定されたクロック

ATE	シリアル・インタフェース・チャンネル1の動作モードの選択
0	3線式シリアルI/Oモード
1	自動送受信機能付き3線式シリアルI/Oモード

DIR	先頭ビット	SI1端子の機能	SO1端子の機能
0	MSB	SI1/P20 (入力)	SO1
1	LSB		(CMOS出力)

CSIE 1	CSIM 11	PM20	P20	PM21	P21	PM22	P22	シフト・レジスタ1の動作	シリアル・クロックのカウンタの動作の制御	SI1/P20端子の機能	SO1/P21端子の機能	SCK1/P22端子の機能
0	×	注2 ×	注2 ×	注2 ×	注2 ×	注2 ×	注2 ×	動作停止	クリア	P20 (CMOS入出力)	P21 (CMOS入出力)	P22 (CMOS入出力)
1	0	注3 1	注3 ×	0	0	1	×	動作許可	カウント動作	SI1 ^{注3} (入力)	SO1 (CMOS出力)	SCK1 (入力)
	1					0	1					SCK1 (CMOS出力)

注1. CSIM11を0にして外部クロック入力を選択したとき、自動データ送受信コントロール・レジスタ (ADTC) のビット1 (BUSY1) , ビット2 (STRB) を0, 0にしてください。

2. ポート機能として自由に使用できます。

3. 送信のみ使用するときは、P20 (CMOS入出力) として使用できます (ADTCのビット7 (RE) に0を設定してください) 。

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

(b) 自動データ送受信コントロール・レジスタ (ADTC)

ADTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

注1. ビット3, 4 (TRF, ERR) は, Read Onlyです。

2. 自動送受信の終了はCSIF1 (割り込み要求フラグ) ではなくTRFで判定してください。

注意 シリアル動作モード・レジスタ1 (CSIM1) のビット1 (CSIM11) を0にして外部クロック入力を選択したとき, ADTCのSTRB, BUSY1を0, 0に設定してください (外部クロックを入力したとき, ハンドシェーク制御はできません)。

(c) 自動データ送受信間隔指定レジスタ (ADTI)

自動送受信機能のデータ転送のインターバル時間を設定するレジスタです。

ADTIは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADTI	ADTI7	0	0	ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	F F 6 B H	0 0 H	R/W

ADTI7	データ転送のインターバル時間の制御
0	ADTIによるインターバル時間の制御なし ^{注1}
1	ADTI (ADTI0-ADTI4) によるインターバル時間の制御あり

ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	データ転送のインターバル時間の指定 (fx = 10.0 MHz動作時)	
					最小値 ^{注2}	最大値 ^{注2}
0	0	0	0	0	$18.4\mu s + 0.5/f_{SCK}$	$20.0\mu s + 1.5/f_{SCK}$
0	0	0	0	1	$31.2\mu s + 0.5/f_{SCK}$	$32.8\mu s + 1.5/f_{SCK}$
0	0	0	1	0	$44.0\mu s + 0.5/f_{SCK}$	$45.6\mu s + 1.5/f_{SCK}$
0	0	0	1	1	$56.8\mu s + 0.5/f_{SCK}$	$58.4\mu s + 1.5/f_{SCK}$
0	0	1	0	0	$69.6\mu s + 0.5/f_{SCK}$	$71.2\mu s + 1.5/f_{SCK}$
0	0	1	0	1	$82.4\mu s + 0.5/f_{SCK}$	$84.0\mu s + 1.5/f_{SCK}$
0	0	1	1	0	$95.2\mu s + 0.5/f_{SCK}$	$96.8\mu s + 1.5/f_{SCK}$
0	0	1	1	1	$108.0\mu s + 0.5/f_{SCK}$	$109.6\mu s + 1.5/f_{SCK}$
0	1	0	0	0	$120.8\mu s + 0.5/f_{SCK}$	$122.4\mu s + 1.5/f_{SCK}$
0	1	0	0	1	$133.6\mu s + 0.5/f_{SCK}$	$135.2\mu s + 1.5/f_{SCK}$
0	1	0	1	0	$146.4\mu s + 0.5/f_{SCK}$	$148.0\mu s + 1.5/f_{SCK}$
0	1	0	1	1	$159.2\mu s + 0.5/f_{SCK}$	$160.8\mu s + 1.5/f_{SCK}$
0	1	1	0	0	$172.0\mu s + 0.5/f_{SCK}$	$173.6\mu s + 1.5/f_{SCK}$
0	1	1	0	1	$184.8\mu s + 0.5/f_{SCK}$	$186.4\mu s + 1.5/f_{SCK}$
0	1	1	1	0	$197.6\mu s + 0.5/f_{SCK}$	$199.2\mu s + 1.5/f_{SCK}$
0	1	1	1	1	$210.4\mu s + 0.5/f_{SCK}$	$212.0\mu s + 1.5/f_{SCK}$

注1．インターバル時間は、CPU処理にのみ依存します。

- 2．データ転送のインターバル時間には、誤差が含まれています。各データ転送のインターバル時間の最小値と最大値は次の式により求められます（ n ：ADTI0-ADTI4に設定した値）。ただし、次の式から計算された最小値が $2/f_{\text{SCK}}$ よりも小さい場合、インターバル時間の最小値は $2/f_{\text{SCK}}$ となります。

$$\text{最小値} = (n + 1) \times \frac{2^7}{f_x} + \frac{56}{f_x} + \frac{0.5}{f_{\text{SCK}}}$$

$$\text{最大値} = (n + 1) \times \frac{2^7}{f_x} + \frac{72}{f_x} + \frac{1.5}{f_{\text{SCK}}}$$

注意1．自動送受信機能動作中は、ADTIへの書き込みを行わないでください。

- 2．ビット5，6には、必ず0を設定してください。

- 3．ADTIを使用して自動送受信によるデータ転送のインターバル時間を制御する場合、ビジィ制御（14.4.3（4）（a）ビジィ制御オプション参照）は無効になります。

備考 f_x ：メイン・システム・クロック発振周波数

f_{SCK} ：シリアル・クロック周波数

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADTI	ADTI7	0	0	ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	F F 6 B H	0 0 H	R/W

ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	データ転送のインターバル時間の指定 (fx = 10.0 MHz動作時)	
					最小値注	最大値注
1	0	0	0	0	$223.2\mu s + 0.5/f_{SCK}$	$224.8\mu s + 1.5/f_{SCK}$
1	0	0	0	1	$236.0\mu s + 0.5/f_{SCK}$	$237.6\mu s + 1.5/f_{SCK}$
1	0	0	1	0	$248.8\mu s + 0.5/f_{SCK}$	$250.4\mu s + 1.5/f_{SCK}$
1	0	0	1	1	$261.6\mu s + 0.5/f_{SCK}$	$263.2\mu s + 1.5/f_{SCK}$
1	0	1	0	0	$274.4\mu s + 0.5/f_{SCK}$	$276.0\mu s + 1.5/f_{SCK}$
1	0	1	0	1	$287.2\mu s + 0.5/f_{SCK}$	$288.8\mu s + 1.5/f_{SCK}$
1	0	1	1	0	$300.0\mu s + 0.5/f_{SCK}$	$301.6\mu s + 1.5/f_{SCK}$
1	0	1	1	1	$312.8\mu s + 0.5/f_{SCK}$	$314.4\mu s + 1.5/f_{SCK}$
1	1	0	0	0	$325.6\mu s + 0.5/f_{SCK}$	$327.2\mu s + 1.5/f_{SCK}$
1	1	0	0	1	$338.4\mu s + 0.5/f_{SCK}$	$340.0\mu s + 1.5/f_{SCK}$
1	1	0	1	0	$351.2\mu s + 0.5/f_{SCK}$	$352.8\mu s + 1.5/f_{SCK}$
1	1	0	1	1	$364.0\mu s + 0.5/f_{SCK}$	$365.6\mu s + 1.5/f_{SCK}$
1	1	1	0	0	$376.8\mu s + 0.5/f_{SCK}$	$378.4\mu s + 1.5/f_{SCK}$
1	1	1	0	1	$389.6\mu s + 0.5/f_{SCK}$	$391.2\mu s + 1.5/f_{SCK}$
1	1	1	1	0	$402.4\mu s + 0.5/f_{SCK}$	$404.0\mu s + 1.5/f_{SCK}$
1	1	1	1	1	$415.2\mu s + 0.5/f_{SCK}$	$416.8\mu s + 1.5/f_{SCK}$

注 データ転送のインターバル時間には、誤差が含まれています。各データ転送のインターバル時間の最小値と最大値は次の式により求められます (n : ADTI0-ADTI4に設定した値)。ただし、次の式から計算された最小値が $2/f_{SCK}$ よりも小さい場合、インターバル時間の最小値は $2/f_{SCK}$ となります。

$$\text{最小値} = (n + 1) \times \frac{2^7}{f_x} + \frac{56}{f_x} + \frac{0.5}{f_{SCK}}$$

$$\text{最大値} = (n + 1) \times \frac{2^7}{f_x} + \frac{72}{f_x} + \frac{1.5}{f_{SCK}}$$

注意 1. 自動送受信機能動作中は、ADTIへの書き込みを行わないでください。

2. ビット 5, 6 には、必ず 0 を設定してください。

3. ADTIを使用して自動送受信によるデータ転送のインターバル時間を制御する場合、ビジー制御 (14.4.3 (4) (a) ビジー制御オプション参照) は無効になります。

備考 fx : メイン・システム・クロック発振周波数

f_{SCK} : シリアル・クロック周波数

(2) 自動送受信データの設定

(a) 送信データの設定

- ① 内部バッファRAMの最下位アドレスFAC0Hから送信データを書き込む（最大FADFHまで）。ただし、送信データ順は、上位アドレスから下位アドレスです。
- ② 自動データ送受信アドレス・ポインタ（ADTP）に、送信データ・バイト数から1を引いた値を設定する。

(b) 自動送受信モードの設定

- ① シリアル動作モード・レジスタ1（CSIM1）のビット7（CSIE1）に1，ビット5（ATE）に1を設定する。
- ② 自動データ送受信コントロール・レジスタ（ADTC）のビット7（RE）に1を設定する。
- ③ 自動データ送受信間隔指定レジスタ（ADTI）にデータ送受信の転送間隔を設定する。
- ④ シリアルI/Oシフト・レジスタ1（SIO1）に任意の値を書き込む（転送開始トリガ）。

注意 SIO1への任意の値の書き込みは、自動送受信動作の開始を指示するものであり、書き込んだ値には意味がありません。

(a)，(b)の設定をすることによって、次の動作が自動的に行われます。

- ・ADTPで指定した内部バッファRAMのデータをSIO1に転送後、送信を行います（自動送受信動作の開始）。
- ・受信したデータは、ADTPで指定した内部バッファRAMのアドレスへ書き込まれます。
- ・ADTPがデクリメントされ、次のデータを送受信します。データは、ADTPのデクリメント出力が00Hになり、FAC0H番地のデータを出力するまで送受信されます（自動送受信動作の終了）。
- ・自動送受信動作が終了するとTRFが0にクリアされます。

(3) 通信動作

(a) 基本送受信モード

3線式シリアルI/Oモードと同じ8ビット単位のデータ送受信を指定回数だけ実行する送受信モードです。

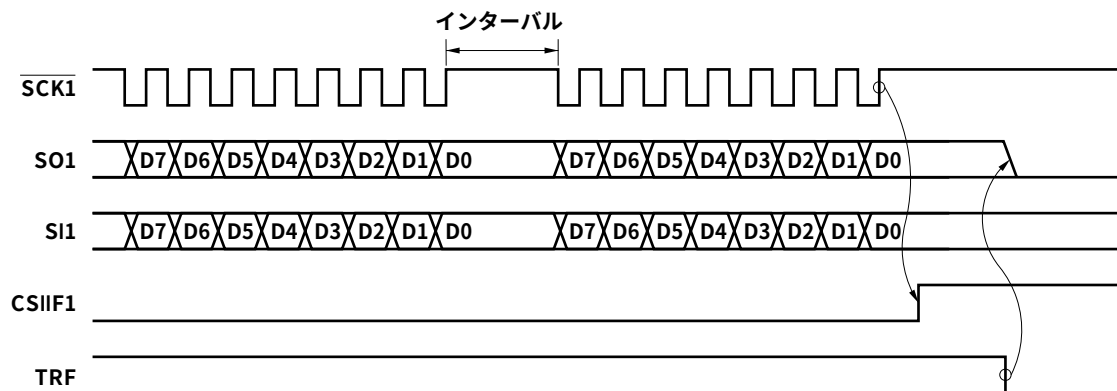
シリアル転送は、シリアル動作モード・レジスタ1 (CSIM1) のビット7 (CSIE1) が1にセットされているとき、シリアルI/Oシフト・レジスタ1 (SIO1) へ任意のデータを書き込むことによって開始します。

最終バイト送信完了時には割り込み要求フラグ (CSIIF1) がセットされます。ただし、自動送受信の終了は、CSIIF1ではなく、自動データ送受信コントロール・レジスタ (ADTC) のビット3 (TRF) で判定してください。

なお、ビジー制御、ストローブ制御を行わない場合は、P23/STB, P24/BUSY端子を通常の入出力ポートとして使用できます。

基本送受信モードの動作タイミングを図14-8に、動作フロー・チャートを図14-9に示します。

図14-8 基本送受信モードの動作タイミング



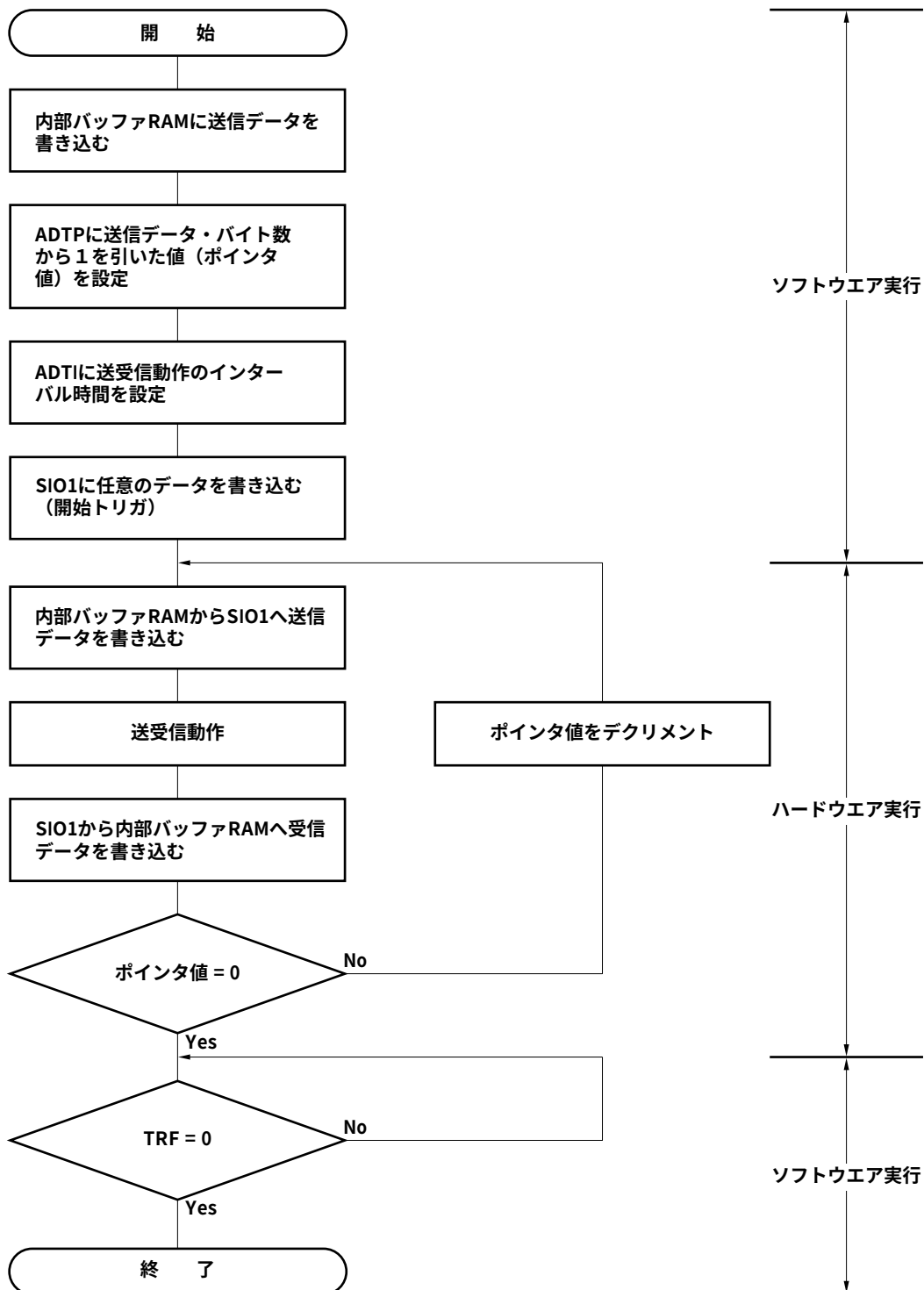
注意1. 基本送受信モードでは、1バイト送受信後、内部バッファRAMへの書き込み／読み出しを行うため、次の送受信までの期間にインターバル時間が入ります。CPU処理と同時に内部バッファRAMへの書き込み／読み出しを行っていますので、最大インターバル時間はCPU処理と自動データ送受信間隔指定レジスタ (ADTI) の値に依存します ((5) 自動送受信のインターバル時間参照)。

2. TRFがクリアされると、SO1端子はロウ・レベルになります。

CSIIF1: 割り込み要求フラグ

TRF : 自動データ送受信コントロール・レジスタ (ADTC) のビット3

図14-9 基本送受信モードのフロー・チャート



ADTP : 自動データ送受信アドレス・ポインタ

ADTI : 自動データ送受信間隔指定レジスタ

SIO1 : シリアルI/Oシフト・レジスタ1

TRF : 自動データ送受信コントロール・レジスタ (ADTC) のビット3

基本送受信モードで6バイト分送受信するとき（ARLD=0，RE=1），内部バッファRAMは次のような動作をします。

(i) 送受信動作前（図14-10 (a) 参照）

シリアルI/Oシフト・レジスタ1（SIO1）に任意のデータを書き込んだあと（開始トリガ：このデータは転送されません），内部バッファRAMから送信データ1（T1）がSIO1へ転送されます。1バイト目の送信が完了すると，SIO1から内部バッファRAMへ受信データ1（R1）が転送され，自動データ送受信アドレス・ポインタ（ADTP）がデクリメントされます。続いて内部バッファRAMから送信データ2（T2）がSIO1へ転送されます。

(ii) 4バイト目送受信動作時点（図14-10 (b) 参照）

3バイト目の送受信が完了し，内部バッファRAMから送信データ4（T4）がSIO1へ転送されます。4バイト目の送信が完了すると，SIO1から内部バッファRAMへ受信データ4（R4）が転送され，ADTPがデクリメントされます。

(iii) 送受信完了（図14-10 (c) 参照）

6バイト目の送信が完了すると，SIO1から内部バッファRAMへ受信データ6（R6）が転送され，割り込み要求フラグ（CSIF1）がセットされます（INTCSI1発生）。

図14-10 6バイト分送受信するときの内部バッファRAMの動作（基本送受信モード時）（1/2）

(a) 送受信動作前

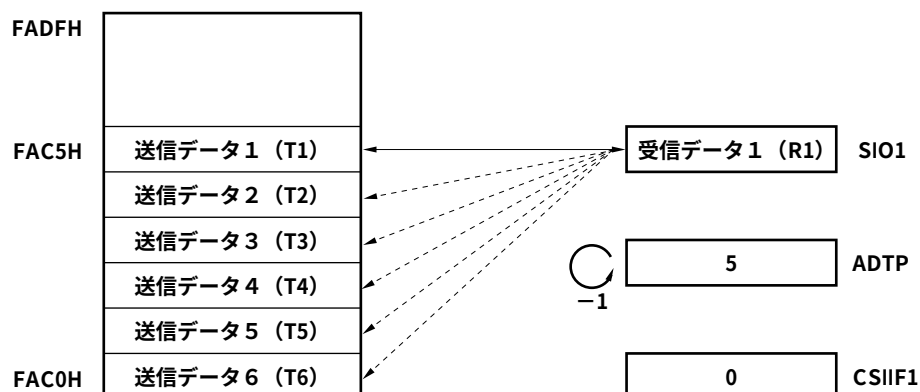
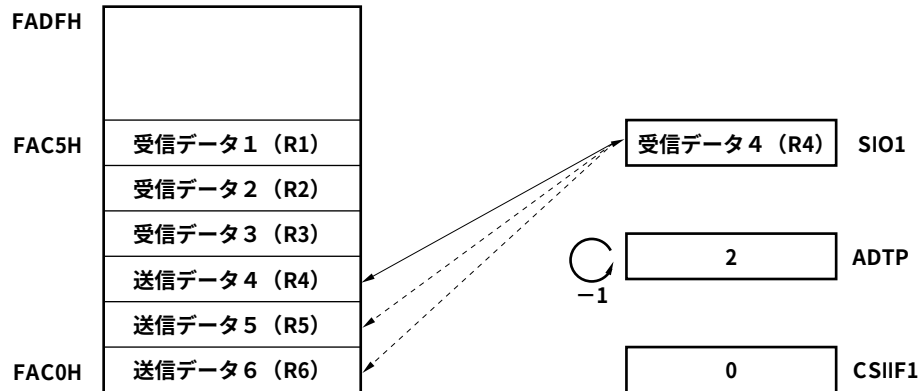
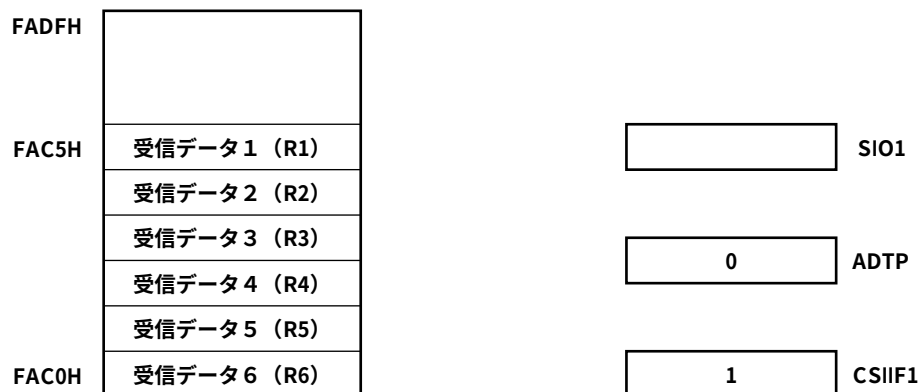


図14-10 6バイト分送受信するときの内部バッファRAMの動作（基本送受信モード時）（2/2）

（b）4バイト目送受信動作時点



（c）送受信完了



(b) 基本送信モード

8ビット単位のデータ送信を指定回数だけ実行する送信モードです。

シリアル転送は、シリアル動作モード・レジスタ1（CSIM1）のビット7（CSIE1）が1にセットされているとき、シリアルI/Oシフト・レジスタ1（SIO1）へ任意のデータを書き込むことによって開始します。

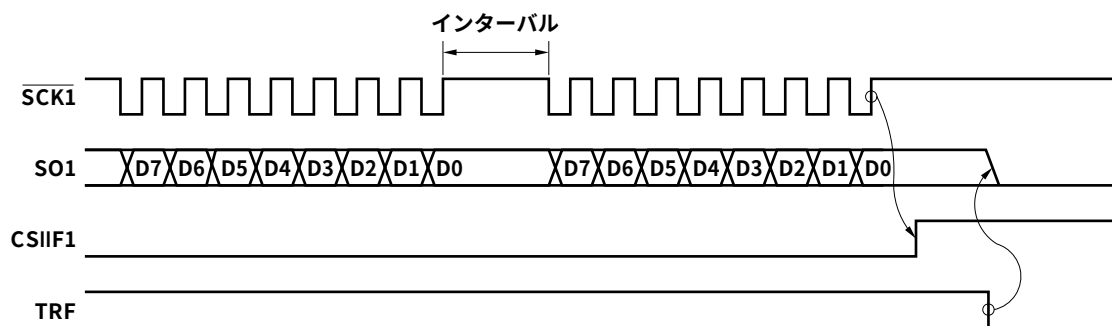
最終バイト送信完了時には割り込み要求フラグ（CSIF1）がセットされます。ただし、自動送受信の終了はCSIF1ではなく、自動データ送受信コントロール・レジスタ（ADTC）のビット3（TRF）で判定してください。

なお、受信動作、ビジー制御、ストローブ制御を行わない場合は、P20/SI1, P23/STB, P24/BUSY端子を通常の入出力ポートとして使用できます。

基本送信モードの動作タイミングを図14-11に、動作フロー・チャートを図14-12に示します。

また、6バイト分送信するときの内部バッファRAMの動作を図14-13に示します。

図14-11 基本送信モードの動作タイミング



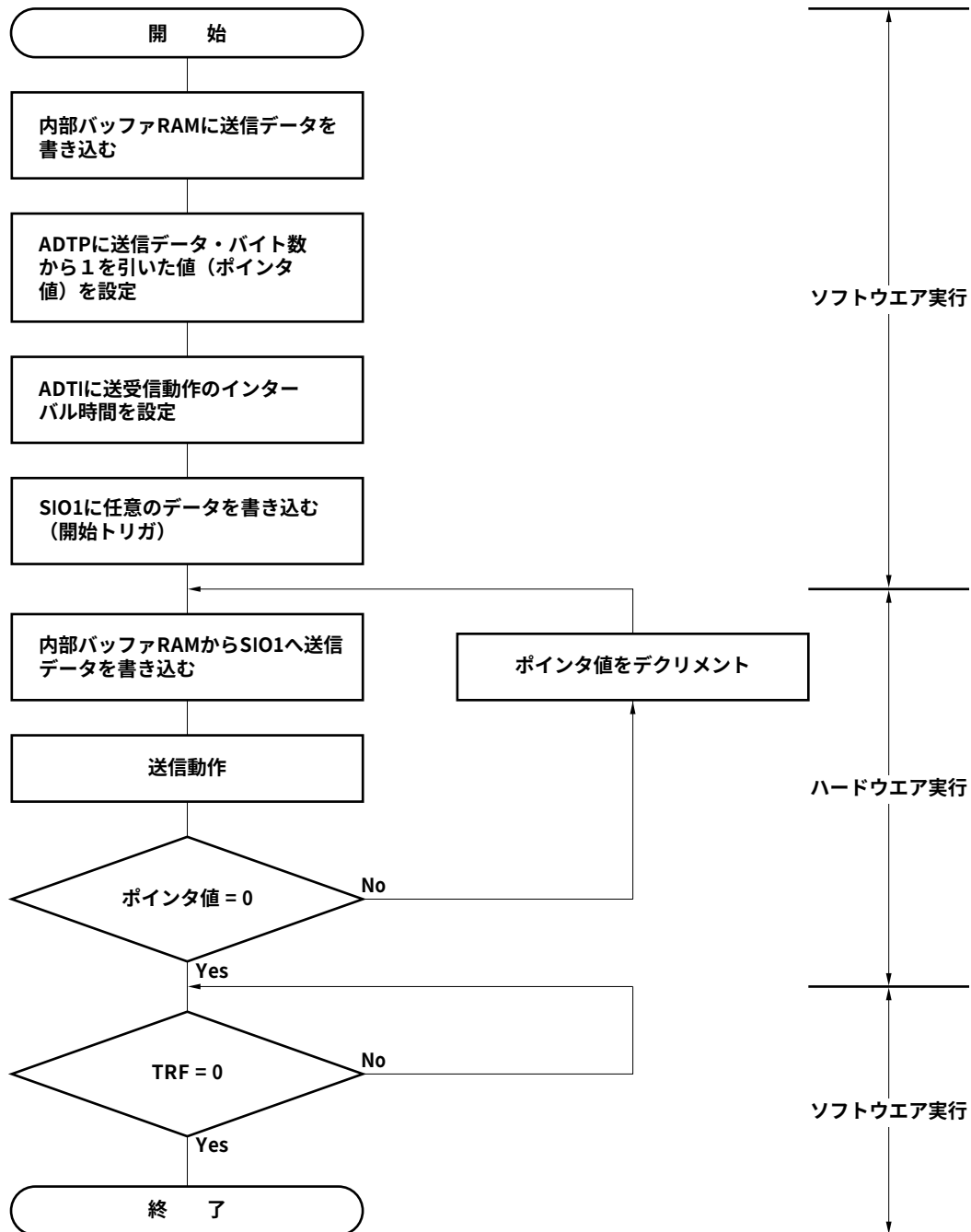
注意1. 基本送信モードでは、1バイト送信後、内部バッファRAMからの読み出しを行うため、次の送信までの期間にインターバル時間が入ります。CPU処理と同時に内部バッファRAMからの読み出しを行っていますので、最大インターバル時間はCPU処理と自動データ送受信間隔指定レジスタ（ADTI）の値に依存します（（5）自動送受信のインターバル時間参照）。

2. TRFがクリアされると、SIO1端子はロウ・レベルになります。

CSIF1：割り込み要求フラグ

TRF：自動データ送受信コントロール・レジスタ（ADTC）のビット3

図14-12 基本送信モードのフロー・チャート



ADTP：自動データ送受信アドレス・ポインタ

ADTI：自動データ送受信間隔指定レジスタ

SIO1：シリアルI/Oシフト・レジスタ1

TRF：自動データ送受信コントロール・レジスタ（ADTC）のビット3

基本送信モードで6バイト分送信するとき（ARLD=0, RE=0），内部バッファRAMは次のような動作をします。

（i）送信動作前（図14-13 （a）参照）

シリアルI/Oシフト・レジスタ1（SIO1）に任意のデータを書き込んだあと（開始トリガ：このデータは転送されません），内部バッファRAMから送信データ1（T1）がSIO1へ転送されます。1バイト目の送信が完了すると、自動データ送受信アドレス・ポインタ（ADTP）がデクリメントされます。続いて内部バッファRAMから送信データ2（T2）がSIO1へ転送されます。

（ii）4バイト目送信動作時点（図14-13 （b）参照）

3バイト目の送信が完了し、内部バッファRAMから送信データ4（T4）がSIO1へ転送されます。4バイト目の送信が完了すると、ADTPがデクリメントされます。

（iii）送信完了（図14-13 （c）参照）

6バイト目の送信が完了すると、割り込み要求フラグ（CSIF1）がセットされます（INTCSI1発生）。

図14-13 6バイト分送信するときの内部バッファRAMの動作（基本送信モード時）（1/2）

（a）送信動作前

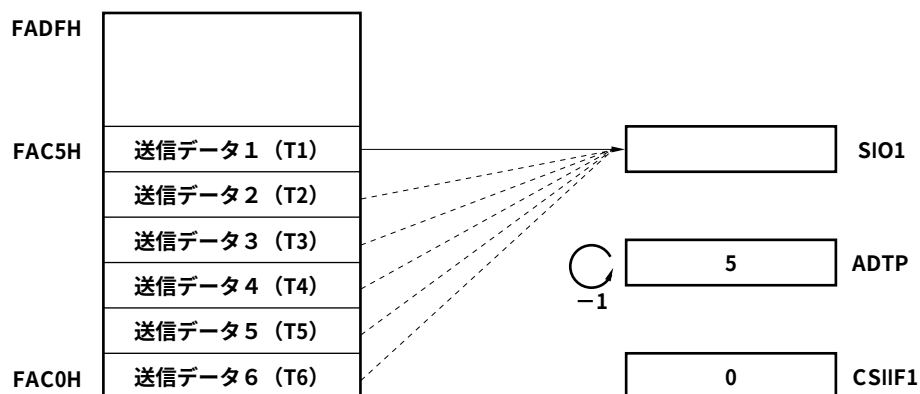
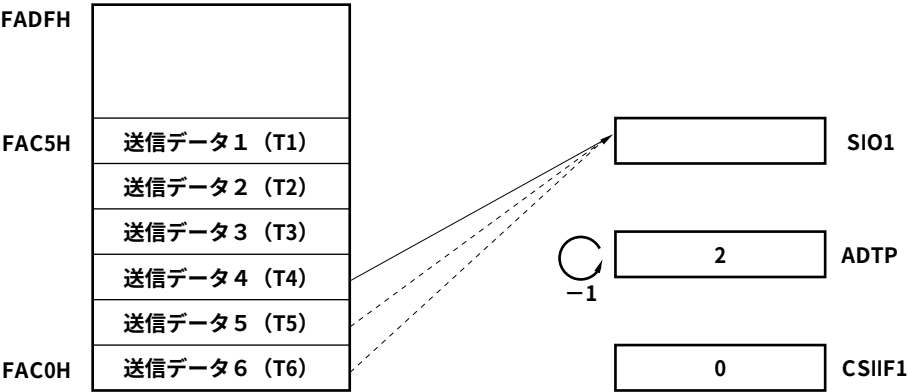
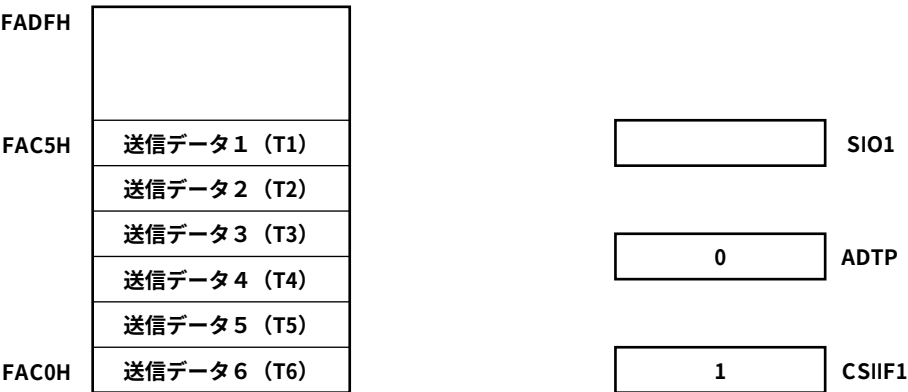


図14-13 6バイト分送信するときの内部バッファRAMの動作（基本送信モード時）（2/2）

（b）4バイト目送信動作時点



（c）送信完了



(c) 繰り返し送信モード

内部バッファRAMに格納したデータを繰り返し送信するモードです。

シリアル転送は、シリアル動作モード・レジスタ1 (CSIM1) のビット7 (CSIE1) が1にセットされているとき、シリアルI/Oシフト・レジスタ1 (SIO1) へ任意のデータを書き込むことによって開始します。

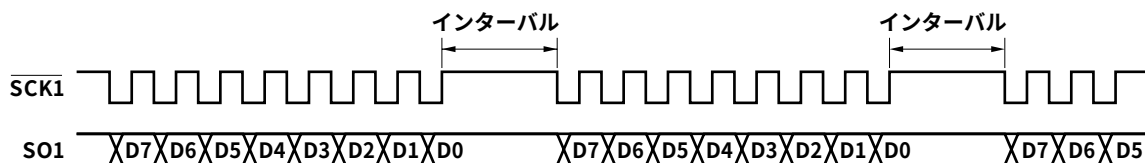
基本送信モードの場合とは異なり、最終バイト (FAC0H番地のデータ) を送信したあと、割り込み要求フラグ (CSIF1) はセットされず、自動データ送受信アドレス・ポインタ (ADTP) に送信を開始したときの値が再設定され、内部バッファRAMの内容が再送信されます。

なお、受信動作、ビジー制御、ストローブ制御を行わない場合には、P20/SI1, P23/STB, P24/BUSY端子を通常の入出力ポートとして使用できます。

繰り返し送信モードの動作タイミングを図14-14に、動作フロー・チャートを図14-15に示します。

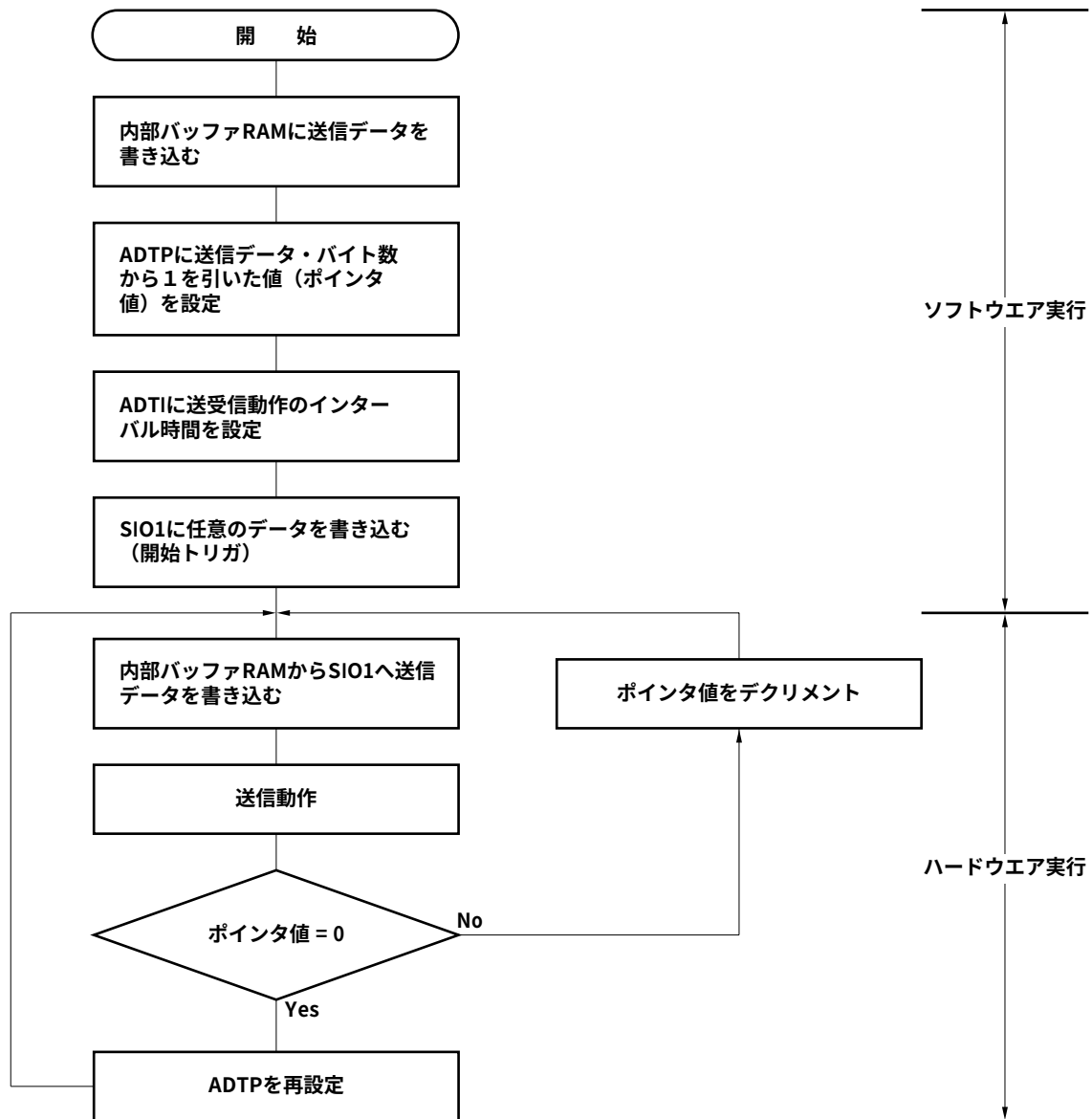
また、繰り返し送信モードで6バイト分送信するときの内部バッファRAMの動作を図14-16に示します。

図14-14 繰り返し送信モードの動作タイミング



注意 繰り返し送信モードでは、1バイト送信後、内部バッファRAMからの読み出しを行うため、次の送信までの期間にインターバル時間が入ります。CPU処理と同時に内部バッファRAMからの読み出しを行っていますので、最大インターバル時間はCPU処理と自動データ送受信間隔指定レジスタ (ADTI) の値に依存します ((5) 自動送受信のインターバル時間参照)。

図14-15 繰り返し送信モードのフロー・チャート



ADTP : 自動データ送受信アドレス・ポインタ

ADTI : 自動データ送受信間隔指定レジスタ

SIO1 : シリアルI/Oシフト・レジスタ1

繰り返し送信モードで6バイト分送信するとき（ARLD=1, RE=0），内部バッファRAMは次のような動作をします。

（i）送信動作前（図14-16 （a）参照）

シリアルI/Oシフト・レジスタ1（SIO1）に任意のデータを書き込んだあと（開始トリガ：このデータは転送されません），内部バッファRAMから送信データ1（T1）がSIO1へ転送されます。1バイト目の送信が完了すると、自動データ送受信アドレス・ポインタ（ADTP）がデクリメントされます。続いて内部バッファRAMから送信データ2（T2）がSIO1へ転送されます。

（ii）6バイト分送信完了時点（図14-16 （b）参照）

6バイト目の送信が完了しても、割り込み要求フラグ（CSIF1）はセットされません。ADTPには、再び最初のポインタ値が設定されます。

（iii）7バイト目送信動作時点（図14-16 （c）参照）

再びバッファRAMから送信データ1（T1）がSIO1へ転送されます。1バイト目の送信が完了すると、ADTPがデクリメントされます。続いて内部バッファRAMから送信データ2（T2）がSIO1へ転送されます。

図14-16 6バイト分送信するときの内部バッファRAMの動作（繰り返し送信モード時）（1/2）

（a）送信動作前

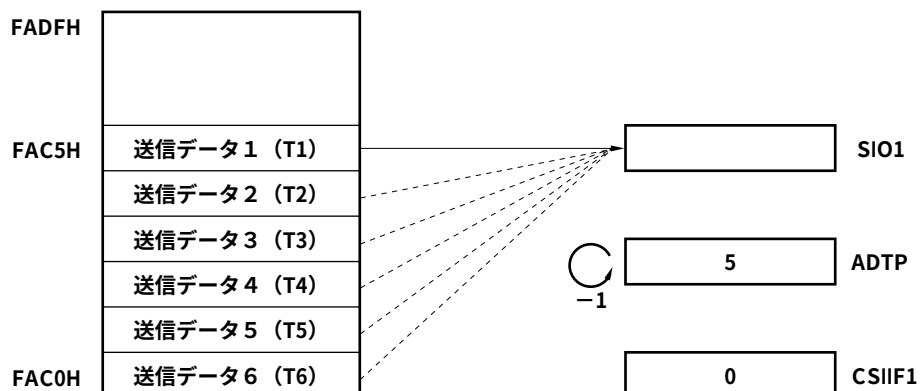
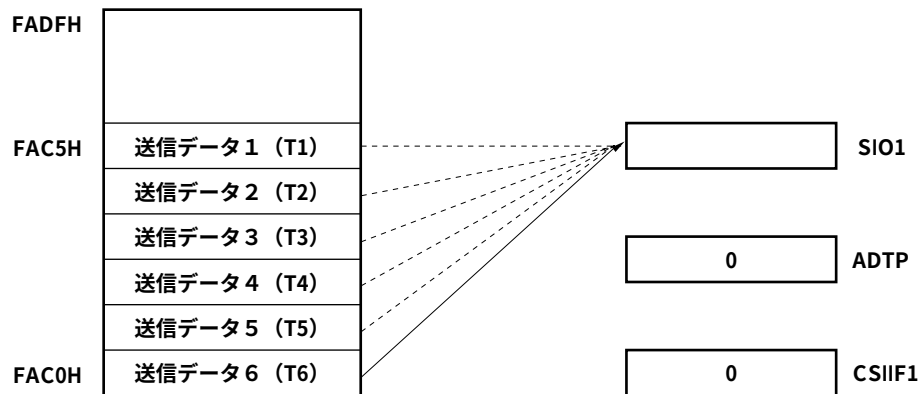
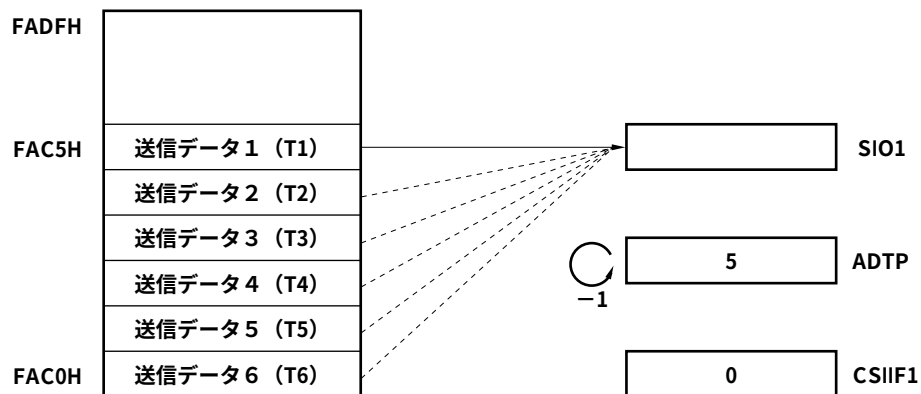


図14-16 6バイト分送信するときの内部バッファRAMの動作（繰り返し送信モード時）（2/2）

（b）6バイト分送信完了時点



（c）7バイト目送信動作時点



(d) 自動送受信の中断と再開

自動送受信中に送受信動作を一時的に中断したい場合、シリアル動作モード・レジスタ1 (CSIM1) のビット7 (CSIE1) を0にリセットすることにより動作の中断ができます。

このとき、8ビット・データ転送の途中では中断せず、必ず8ビット・データ転送が完了した時点で中断します。

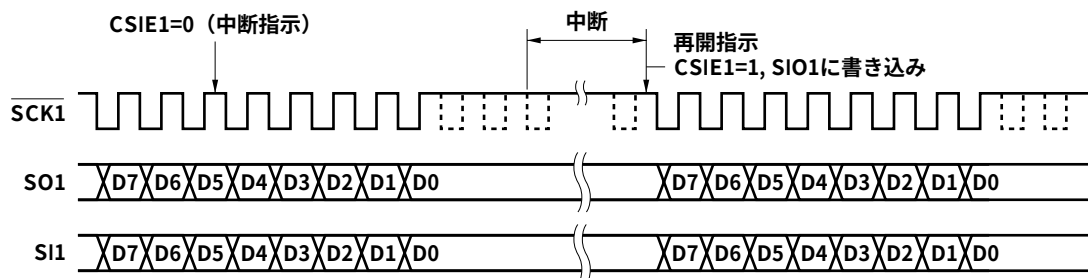
中断時には、8ビット目のデータを転送したあと、自動データ送受信コントロール・レジスタ (ADTC) のビット3 (TRF) が0になり、シリアル・インタフェース用端子と兼用しているポート端子 (P20/SI1, P21/SO1, P22/SCK1, P23/STB, P24/BUSY) がすべてポート・モードになります。

自動送受信を再開するには、CSIE1を1にセットし、シリアルI/Oシフト・レジスタ1 (SIO1) に任意の値を書き込みます。これにより、残りのデータを転送できます。

注意1. 自動送受信中にHALT命令を実行すると、8ビット・データ転送の途中で転送を中断し、HALTモードになります。また、HALTモードを解除すると、自動送受信動作を中断箇所より再開します。

2. 自動送受信動作を中断したときは、TRF = 1の間は動作モードを3線式シリアルI/Oモードに変更しないでください。

図14-17 自動送受信の中断と再開



CSIE1: シリアル動作モード・レジスタ1 (CSIM1) のビット7

(4) 同期制御

ビジィ制御およびスローブ制御は、マスタ・デバイスとスレーブ・デバイス間の送受信の同期をとるための機能です。

これらの機能を使用することにより、送受信中のビットずれの検出などが可能となります。

(a) ビジィ制御オプション

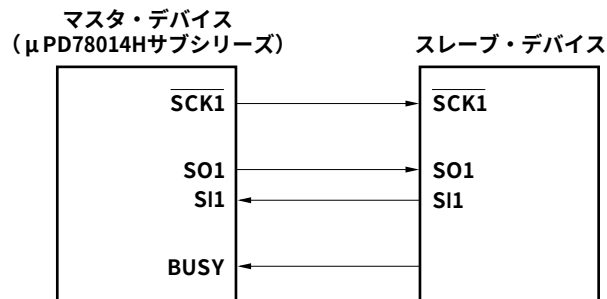
ビジィ制御は、スレーブ・デバイスがマスタ・デバイスにビジィ信号を出力することにより、そのビジィ信号がアクティブな期間、マスタ・デバイスのシリアル送受信をウエイトさせることができる機能です。

ビジィ制御オプションを使用する場合には、次に示す条件が必要です。

- ・シリアル動作モード・レジスタ1 (CSIM1) のビット5 (ATE) をセット (1)
- ・自動データ送受信コントロール・レジスタ (ADTC) のビット1 (BUSY1) をセット (1)

ビジィ制御オプションを使用した場合のマスタ・デバイスとスレーブ・デバイスとのシステム構成を図14-18に示します。

図14-18 ビジィ制御オプション使用時のシステム構成



マスタ・デバイスは、スレーブ・デバイスが出力するビジィ信号をBUSY/P24端子に入力します。マスタ・デバイスはシリアル・クロックの立ち下がりに同期して、入力したビジィ信号をサンプリングします。8ビット・データの送受信中にビジィ信号がアクティブになっても、ウエイトはかかりません。8ビット・データの送受信が終了してから2クロック後のシリアル・クロックの立ち上がり時にビジィ信号がアクティブであれば、その時点ではじめてビジィ入力が有効となり、それ以降、ビジィ信号がアクティブな期間は送受信にウエイトがかかります。

ビジィ信号のアクティブ・レベルはADTCのビット0 (BUSY0) で設定します。

BUSY0 = 0 : アクティブ・ハイ

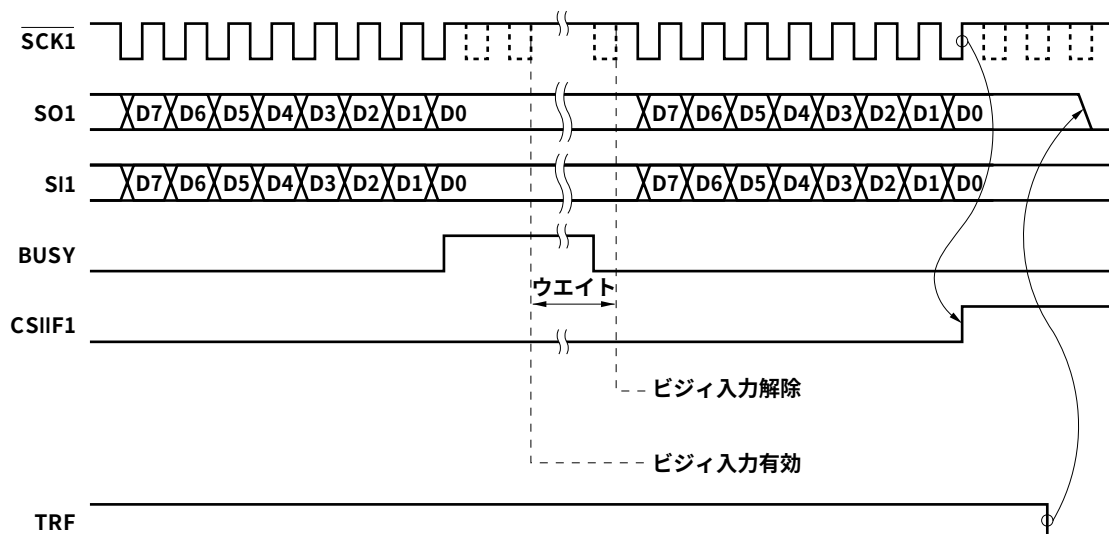
BUSY0 = 1 : アクティブ・ロウ

なお、ビジィ制御オプションを使用する場合、シリアル・クロックには内部クロックを選択してください。外部クロックでは、ビジィ信号による制御はできません。

ビジィ制御オプションを使用したときの動作タイミングを図14-19に示します。

注意 ビジィ制御は、自動データ送受信間隔指定レジスタ（ADTI）によるインターバル時間の制御とは同時に使用できません。同時に使用すると、ビジィ制御が無効になります。

図14-19 ビジィ制御オプションを使用したときの動作タイミング（BUSY0=0のとき）



注意 TRFがクリアされると、SO1端子はロウ・レベルになります。

備考 CSIF1：割り込み要求フラグ

TRF：自動データ送受信コントロール・レジスタ（ADTC）のビット3

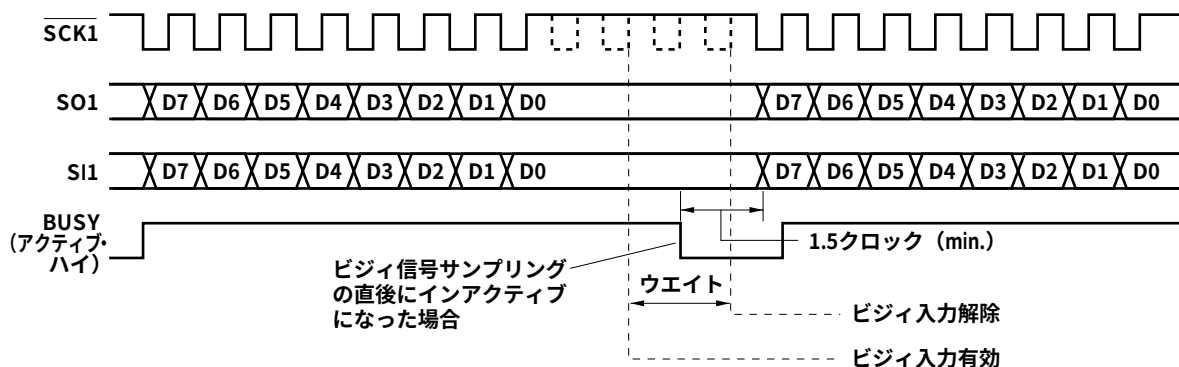
ビジー信号がインアクティブになると、ウェイトは解除されます。サンプリングされたビジー信号がインアクティブな場合、その次のシリアル・クロックの立ち上がりから、次の8ビット・データの送受信が開始されます。

なお、ビジー信号はシリアル・クロックとは非同期ですので、スレーブ側がビジー信号をインアクティブにしても、それがサンプリングされるまでには最大で1クロック近くかかります。また、サンプリングされてからデータ転送が開始されるまでには0.5クロックかかります。

したがって、ウェイトを確実に解除するためには、スレーブ側がビジー信号を最低1.5クロック間、インアクティブに保持する必要があります。

図14-20にビジー信号とウェイト解除についてのタイミングを示します。この図では、送受信の開始とともにビジー信号をアクティブにした場合の例を示しています。

図14-20 ビジー信号とウェイトの解除 (BUSY0 = 0のとき)



(b) ビジー&ストローブ制御オプション

ストローブ制御は、マスタ・デバイスとスレーブ・デバイスとのデータ送受信の同期をとるための機能です。8ビット送受信終了時に、マスタ・デバイスがSTB/P23端子からストローブ信号を出力します。これにより、スレーブ・デバイスはマスタのデータ送信終了タイミングを知ることができます。したがって、シリアル・クロックにノイズがのってビットずれが発生した場合でも同期がとれ、ビットずれが次のバイト送信に影響しません。

ストローブ制御オプションを使用する場合には、次に示す条件が必要です。

- ・シリアル動作モード・レジスタ1 (CSIM1) のビット5 (ATE) をセット (1)
- ・自動データ送受信コントロール・レジスタ (ADTC) のビット2 (STRB) をセット (1)

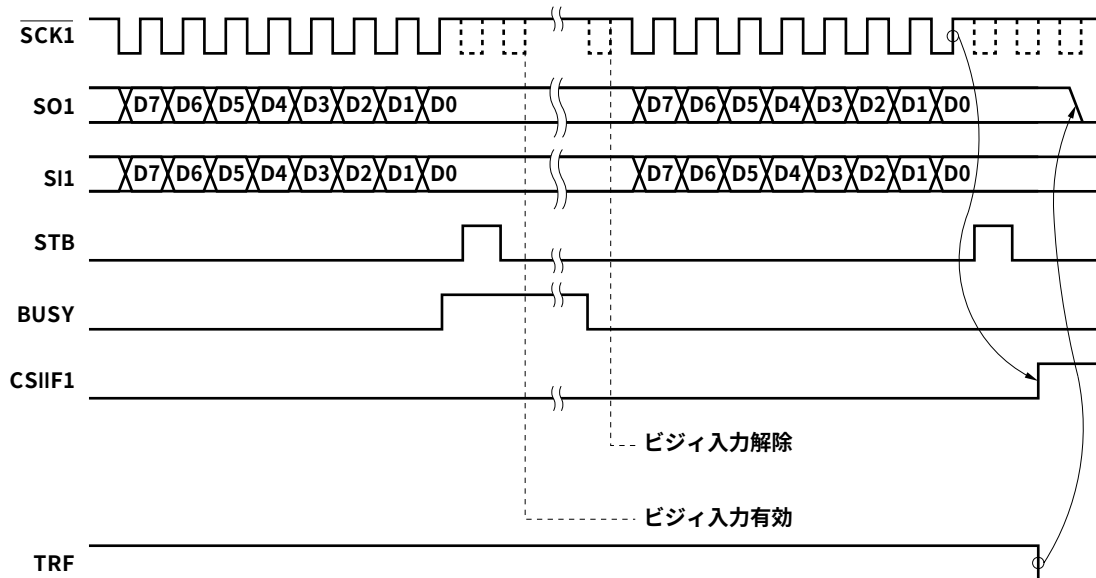
通常、ビジー制御とストローブ制御はハンドシェイク用の信号として同時に使用します。この場合、STB/P23端子からストローブ信号を出力するとともに、BUSY/P24端子をサンプリングし、ビジー信号が入力されている間、送受信をウェイトさせることができます。

ストローブ制御を行わない場合、P23/STB端子は通常の入出力ポートとして使用できます。

ビジィ&ストローブ制御を使用したときの動作タイミングを図14-21に示します。

なお、ストローブ制御を使用した場合、送受信完了時にセットされる割り込み要求フラグ (CSIF1) は、ストローブ信号の出力後にセットされます。

図14-21 ビジィ&ストローブ制御オプションを使用したときの動作タイミング (BUSY0 = 0 のとき)



注意 TRFがクリアされると、SO1端子はロウ・レベルになります。

備考 CSIF1：割り込み要求フラグ

TRF：自動データ送受信コントロール・レジスタ (ADTC) のビット3

(c) ビジィ信号によるビットずれ検出機能

自動送受信動作中、マスタ・デバイスの出力するシリアル・クロック信号にノイズがのり、スレーブ・デバイス側のシリアル・クロックでビットずれが発生する場合があります。このとき、ストローブ制御オプションを使用していないと、ビットずれが次のバイト送信に影響してしまいます。このような場合、マスタ側はビジィ制御オプションを使用して送信中にビジィ信号をチェックすることにより、ビットずれを検出できます。

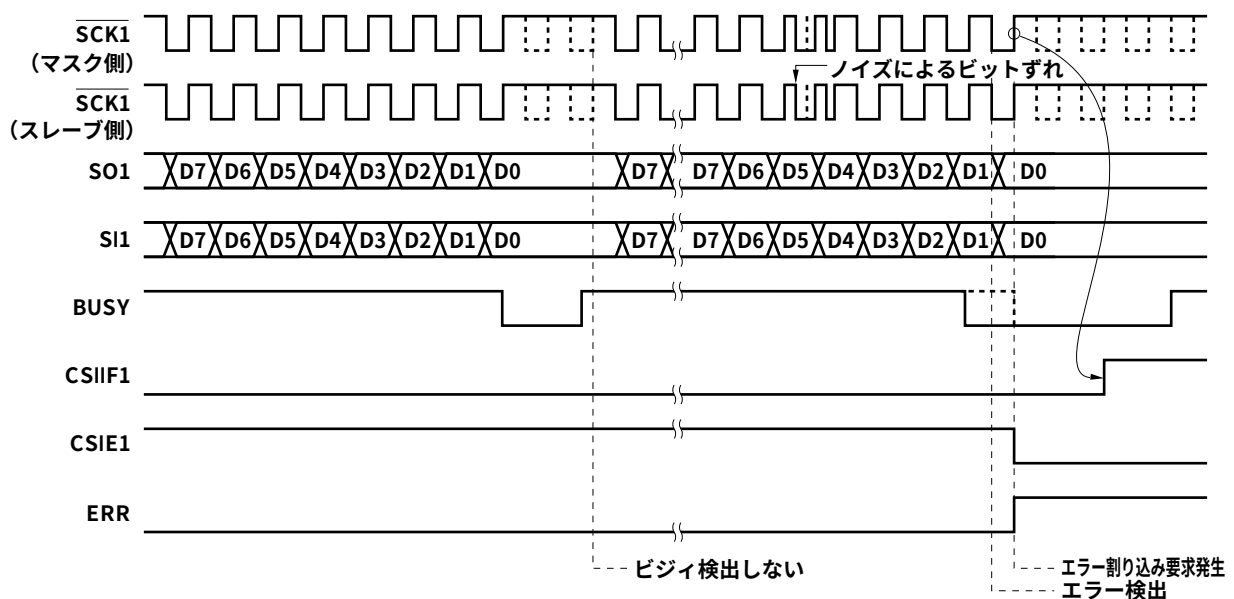
ビジィ信号によるビットずれは、次のように検出します。

スレーブ側は、データ送受信の8回目のシリアル・クロックの立ち上がりのあとにビジィ信号を出力します（このとき、ビジィ信号によるウェイトをかけたくない場合には、2クロック以内にビジィ信号をインアクティブにします）。

マスタ側は、シリアル・クロックの前側の立ち下がりに同期してビジィ信号をサンプリングします。ビットずれが発生していなければ、8回のサンプリングはすべてインアクティブになります。サンプリングして、アクティブであればビットずれが発生したとみなし、エラー処理（自動データ送受信コントロール・レジスタ（ADTC）のビット4（ERR）を1にセット）を行います。

ビジィ信号によるビットずれ検出機能の動作タイミングを図14-22に示します。

図14-22 ビジィ信号によるビットずれ検出機能の動作タイミング（BUSY0 = 1のとき）



CSIF1：割り込み要求フラグ

CSIE1：シリアル動作モード・レジスタ1（CSIM1）のビット7

ERR：自動データ送受信コントロール・レジスタ（ADTC）のビット4

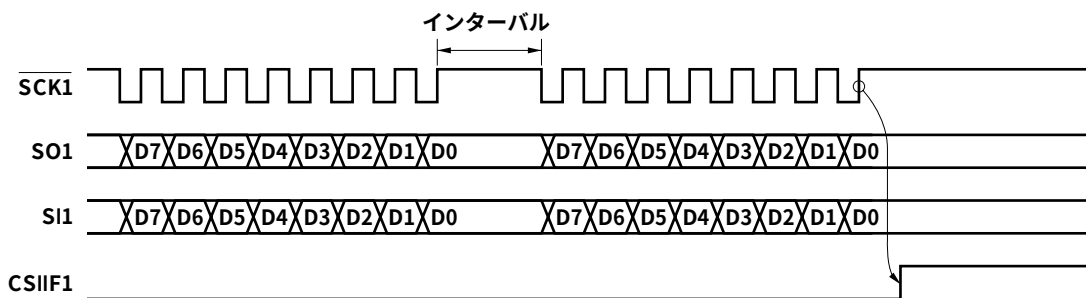
(5) 自動送受信のインターバル時間

自動送受信機能を使用する場合、1バイト送受信後、内部バッファRAMからの書き込み／読み出しを行うため、次の送受信までの期間にインターバル時間が入ります。

自動送受信機能を内部クロックで動作させる場合、CPU処理と並行して内部バッファRAMとの書き込み／読み出しを行うため、インターバル時間は、シリアル・クロックの8発目の立ち上がりタイミングにおけるCPU処理と自動データ送受信間隔指定レジスタ（ADTI）の設定値に依存します。ADTIに依存するかしないかは、ADTIのビット7（ADTI7）の設定により、選択できます。ADTI7に0を設定したとき、インターバル時間はCPU処理にのみ依存します。ADTI7に1を設定したとき、インターバル時間は、ADTIに設定した内容で決定されるインターバル時間とCPU処理によるインターバル時間のどちらか大きい方となります。

自動送受信機能が外部クロックを動作させる場合、インターバル時間が（b）に示す時間以上になるような外部クロックを入力する必要があります。

図14-23 自動送受信のインターバル時間



CSIIF1：割り込み要求フラグ

(a) 自動送受信機能を内部クロックで動作させる場合

シリアル動作モード・レジスタ1 (CSIM1) のビット1 (CSIM11) が1にセットされていると、内部クロック動作となります。

自動送受信機能を内部クロックで動作させる場合、CPU処理によるインターバル時間は次のようになります。

自動データ送受信間隔指定レジスタ (ADTI) に0を設定したとき、インターバル時間はCPU処理によるインターバル時間となります。ADTIのビット7 (ADTI7) に1を設定したとき、インターバル時間はADTIに設定した内容で決定されるインターバル時間とCPU処理によるインターバル時間のどちらか大きい方となります。

ADTIによるインターバル時間については、図14-5 自動データ送受信間隔指定レジスタのフォーマットを参照してください。

表14-3 CPU処理によるインターバル時間 (内部クロック動作時)

CPU処理	インターバル時間
乗算命令を使用時	MAX. (2.5T _{SCK} , 26T _{CPU})
除算命令を使用時	MAX. (2.5T _{SCK} , 40T _{CPU})
外部アクセス1ウェイト・モード	MAX. (2.5T _{SCK} , 18T _{CPU})
上記以外	MAX. (2.5T _{SCK} , 14T _{CPU})

T_{SCK} : 1/f_{SCK}

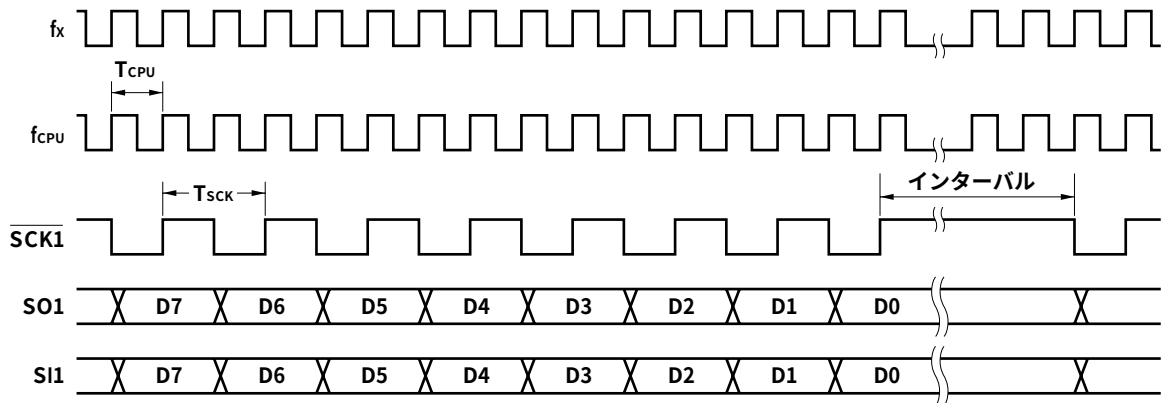
f_{SCK} : シリアル・クロック周波数

T_{CPU} : 1/f_{CPU}

f_{CPU} : CPUクロック (プロセッサ・クロック・コントロール・レジスタ (PCC) のビット0-2 (PCC0-PCC2) で設定)

MAX. (a, b) : a, bどちらか大きい方の値

図14-24 自動送受信機能を内部クロックで動作させる場合の動作タイミング



f_x : メイン・システム・クロック発振周波数

f_{CPU} : CPUクロック（プロセッサ・クロック・コントロール・レジスタ（PCC）のビット0-2（PCC0-PCC2）で設定）

T_{CPU} : $1/f_{CPU}$

T_{SCK} : $1/f_{SCK}$

f_{SCK} : シリアル・クロック周波数

(b) 自動送受信機能を外部クロックで動作させる場合

シリアル動作モード・レジスタ1（CSIM1）のビット1（CSIM11）が0にクリアされていると、外部クロック動作となります。

自動送受信機能を外部クロックで動作させる場合、インターバル時間が次に示す時間以上になるような外部クロックを入力する必要があります。

表14-4 CPU処理によるインターバル時間（外部クロック動作時）

CPU処理	インターバル時間
乗算命令を使用時	$26T_{CPU}$ 以上
除算命令を使用時	$40T_{CPU}$ 以上
外部アクセス1ウェイト・モード	$18T_{CPU}$ 以上
上記以外	$14T_{CPU}$ 以上

T_{CPU} : $1/f_{CPU}$

f_{CPU} : CPUクロック（プロセッサ・クロック・コントロール・レジスタ（PCC）のビット0-2（PCC0-PCC2）で設定）

(× 毛)

第15章 割り込み機能とテスト機能

15.1 割り込み機能の種類

割り込み機能には、次の3種類があります。

(1) ノンマスカブル割り込み

割り込み禁止状態でも無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みには、ウォッチドッグ・タイマからの割り込み要求が1要因あります。

(2) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ（PR0L, PR0H）の設定により、割り込み優先順位を高い優先順位のグループと低い優先順位のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときの優先順位が決められています（表15－1参照）。

スタンバイ・リリース信号を発生します。

マスカブル割り込みには、外部割り込み要求が4要因、内部割り込み要求が13要因あります。

(3) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

15.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込み、ソフトウェア割り込みをあわせて、合計14要因あります（表15－1参照）。

表15-1 割り込み要因一覧

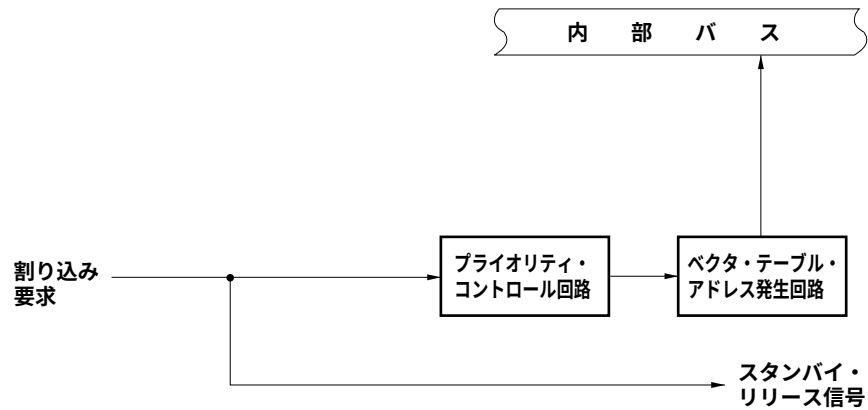
割り込みの種類	デフォルト・プライオリティ ^{注1}	割り込み要因		内部／外部	ベクタ・テーブル・アドレス	基本構成 ^{注2} タイプ
		名称	ト リ ガ			
ノンマスカブル	—	INTWDT	ウォッチドッグ・タイマのオーバフロー (ウォッチドッグ・タイマ・モード1選択時)	内部	0004H	(A)
マスカブル	0	INTWDT	ウォッチドッグ・タイマのオーバフロー (インターバル・タイマ・モード選択時)			(B)
	1	INTP0	端子入力エッジ検出	外部	0006H	(C)
	2	INTP1			0008H	(D)
	3	INTP2			000AH	
	4	INTP3			000CH	
	5	INTCSI0	シリアル・インタフェース・チャンネル0の 転送終了	内部	000EH	(B)
	6	INTCSI1	シリアル・インタフェース・チャンネル1の 転送終了		0010H	
	7	INTTM3	時計用タイマからの基準時間間隔信号		0012H	
	8	INTTM0	16ビット・タイマ／イベント・カウンタの 一致信号発生		0014H	
	9	INTTM1	8ビット・タイマ／イベント・カウンタ1 の一致信号発生		0016H	
	10	INTTM2	8ビット・タイマ／イベント・カウンタ2 の一致信号発生		0018H	
	11	INTAD	A/Dコンバータの変換終了		001AH	
ソフトウェア	—	BRK	BRK命令の実行	—	003EH	(E)

注1．デフォルト・プライオリティは、複数のマスカブル割り込み要求が同時に発生している場合に、優先する順位です。0が最高順位、11が最低順位です。

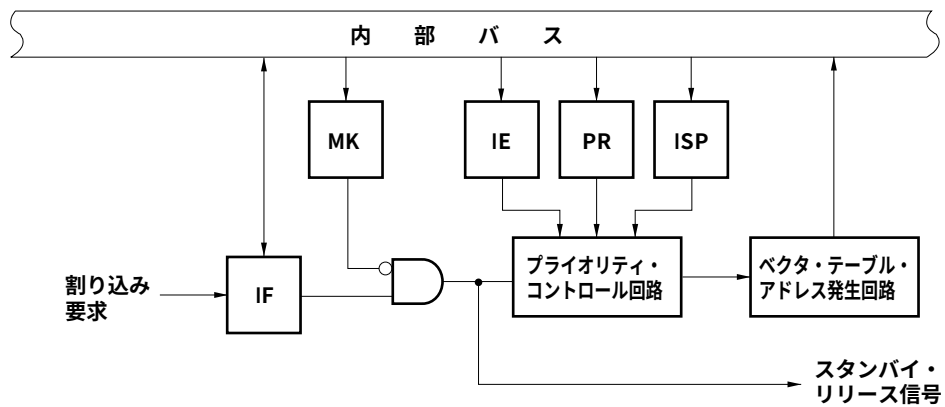
2．基本構成タイプの (A) - (E) は、それぞれ次頁の (A) - (E) に対応しています。

図15-1 割り込み機能の基本構成 (1/2)

(A) 内部ノンマスカブル割り込み



(B) 内部マスカブル割り込み



(C) 外部マスカブル割り込み (INTP0)

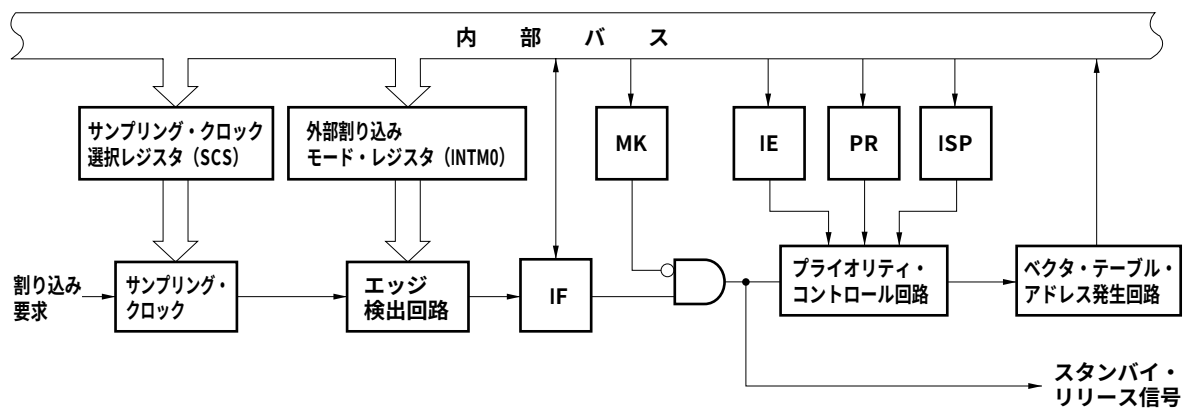
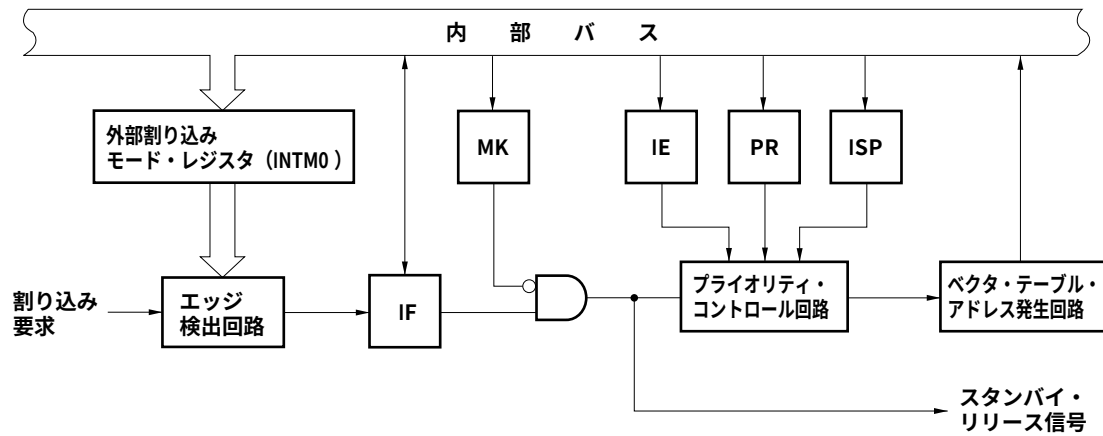
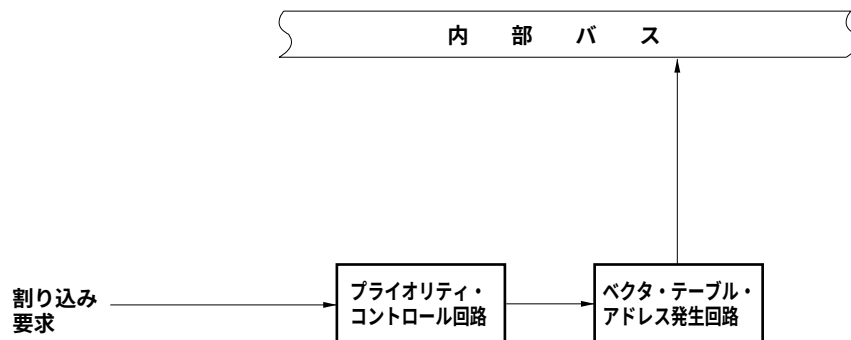


図15-1 割り込み機能の基本構成 (2/2)

(D) 外部マスカブル割り込み (INTP0を除く)



(E) ソフトウェア割り込み



IF : 割り込み要求フラグ

IE : 割り込み許可フラグ

ISP : インサースビス・プライオリティ・フラグ

MK : 割り込みマスク・フラグ

PR : 優先順位指定フラグ

15.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H)
- ・優先順位指定フラグ・レジスタ (PR0L, PR0H)
- ・外部割り込みモード・レジスタ (INTM0)
- ・サンプリング・クロック選択レジスタ (SCS)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を、表15－2に示します。

表15－2 割り込み要求ソースに対する各種フラグ

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTWDT	TMIF4	IF0L	TMMK4	MK0L	TMPR4	PR0L
INTP0	PIF0		PMK0		PPR0	
INTP1	PIF1		PMK1		PPR1	
INTP2	PIF2		PMK2		PPR2	
INTP3	PIF3		PMK3		PPR3	
INTCSI0	CSIF0	IF0H	CSIMK0	MK0H	CSIPR0	PR0H
INTCSI1	CSIF1		CSIMK1		CSIPR1	
INTTM3	TMIF3		TMMK3		TMPR3	
INTTM0	TMIF0		TMMK0		TMPR0	
INTTM1	TMIF1	IF1L	TMMK1	MK1L	TMPR1	PR1L
INTTM2	TMIF2		TMMK2		TMPR2	
INTAD	ADIF		ADMK		ADPR	

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット（1）され、割り込み要求受け付け時、 $\overline{\text{RESET}}$ 入力時、命令の実行によりクリア（0）されるフラグです。

IF0L, IF0Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0Hをあわせて16ビット・レジスタIF0として使用するとき、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図15－2 割り込み要求フラグ・レジスタのフォーマット

略号	⑦	⑥	⑤	④	③	②	①	①	①	アドレス	リセット時	R/W
IF0L	TMIF3	CSIF1	CSIF0	PIF3	PIF2	PIF1	PIF0	TMIF4		F F E 0 H	0 0 H	R/W
	7	6	⑤	4	③	②	①	①				
IF0H	0	0	WTIF注	0	ADIF	TMIF2	TMIF1	TMIF0		F F E 1 H	0 0 H	R/W

×

×

IF

	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注 WTIFは、テスト入力フラグです。ベクタ割り込み要求は発生しません。

注意1. TMIF4フラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1で使用する場合はTMIF4フラグに0を設定してください。

2. IF0Hのビット4，6，7には、必ず0を設定してください。

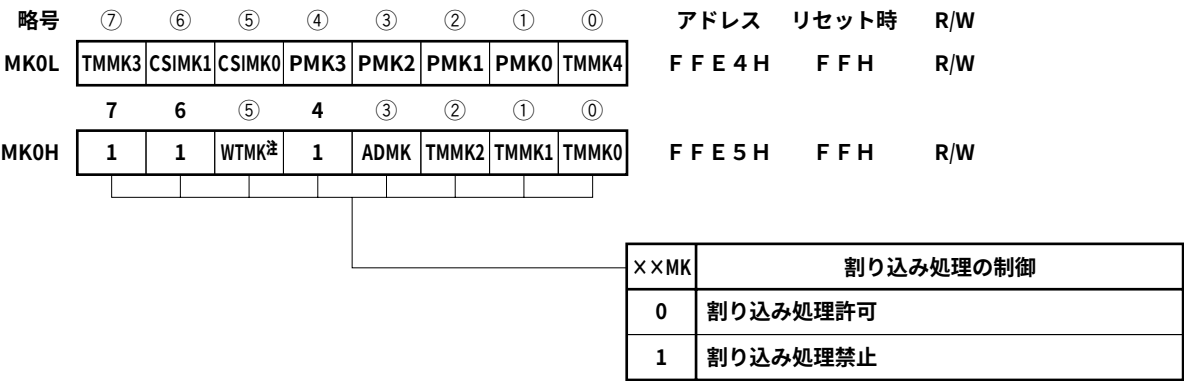
(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可／禁止およびスタンバイ解除の許可／禁止を設定するフラグです。

MK0L, MK0Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。またMK0LとMK0Hをあわせて16ビット・レジスタMK0として使用するときは、16ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図15-3 割り込みマスク・フラグ・レジスタのフォーマット



注 WTMKはスタンバイ・モードの解除の許可／禁止を制御しています。割り込み処理は制御していません。

- 注意1. ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1で使用する場合は、TMMK4フラグを読み出すと不定になっています。
2. ポート0は外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。
したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。
3. MK0Hのビット4, 6, 7には必ず1を設定してください。

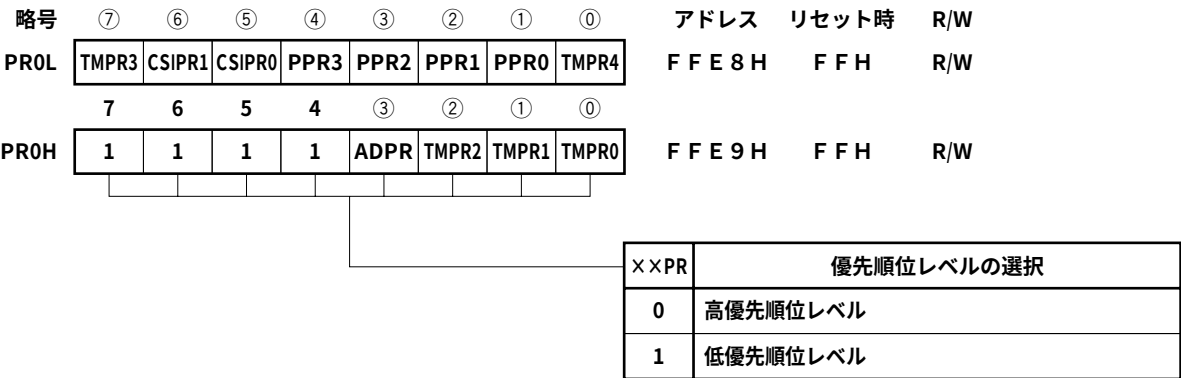
(3) 優先順位指定フラグ・レジスタ (PR0L, PR0H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位を設定するフラグです。

PR0L, PR0Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。またPR0LとPR0Hをあわせて16ビット・レジスタPR0として使用するとき、16ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図15-4 優先順位指定フラグ・レジスタのフォーマット



注意 1. ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1で使用する場合は、TMPR4フラグに1を設定してください。

2. PR0Hのビット4-7には必ず1を設定してください。

(4) 外部割り込みモード・レジスタ (INTM0)

INTP0-INTP2の有効エッジを設定するレジスタです。

INTM0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

備考1. INTP0端子は、TI0/P00と兼用です。

2. INTP3は、立ち下がりエッジ固定です。

図15-5 外部割り込みモード・レジスタのフォーマット



注意 INTP0/TI0/P00端子の有効エッジは、16ビット・タイマ・モード・コントロール・レジスタ (TMC0) のビット1-3 (TMC01-TMC03) に0, 0, 0を設定し、タイマ動作を停止させたのちに設定してください。

(5) サンプリング・クロック選択レジスタ (SCS)

INTP0に入力される有効エッジのクロック・サンプリングを行うクロックを設定するレジスタです。
INTP0を使ってリモコン受信をするとき、サンプリング・クロックによりデジタル・ノイズを除去します。

SCSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図15-6 サンプリング・クロック選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SCS	0	0	0	0	0	0	SCS1	SCS0	FF47H	00H	R/W

SCS1	SCS0	INTP0のサンプリング・クロックの選択
0	0	$f_x/2^{N+1}$
0	1	設定禁止
1	0	$f_x/2^6$ (156 kHz)
1	1	$f_x/2^7$ (78.1 kHz)

注意 $f_x/2^{N+1}$ はCPUへ供給されるクロック、 $f_x/2^6$ 、 $f_x/2^7$ は周辺ハードウェアへ供給されるクロックです。
 $f_x/2^{N+1}$ はHALTモード中は停止します。

備考1. N：プロセッサ・クロック・コントロール・レジスタ (PCC) のビット0-2 (PCC0-PCC2) に設定した値 (N = 0-4)。

2. f_x ：メイン・システム・クロック発振周波数

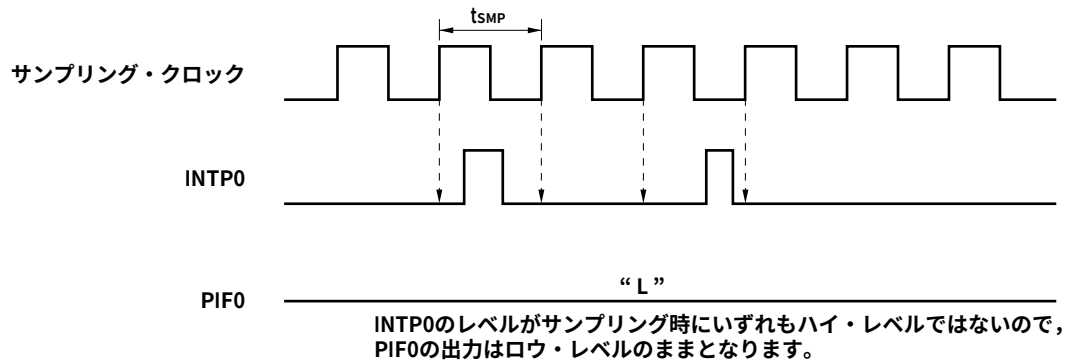
3. () 内は、 $f_x = 10.0$ MHz動作時。

ノイズ除去回路は、サンプリングしたINTP0の入力レベルが2回連続してアクティブ・レベルであるとき、割り込み要求フラグ（PIF0）を1にセットします。

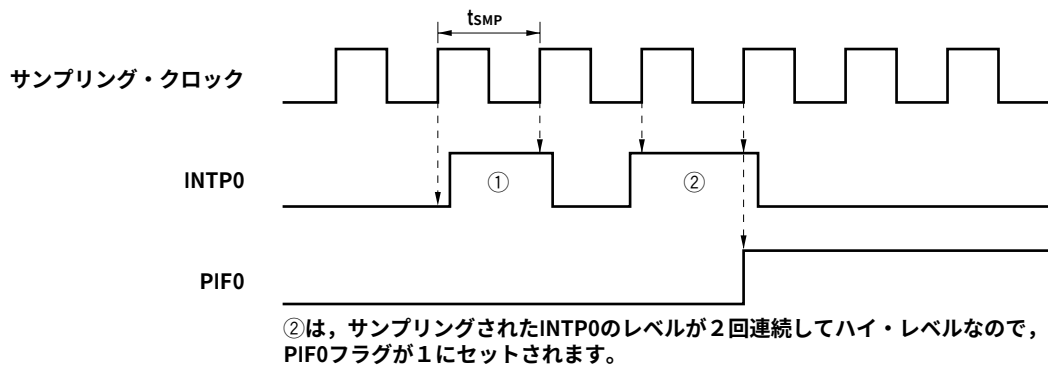
図15－7にノイズ除去回路の入出力タイミングを示します。

図15－7 ノイズ除去回路の入出力タイミング（立ち上がりエッジ検出時）

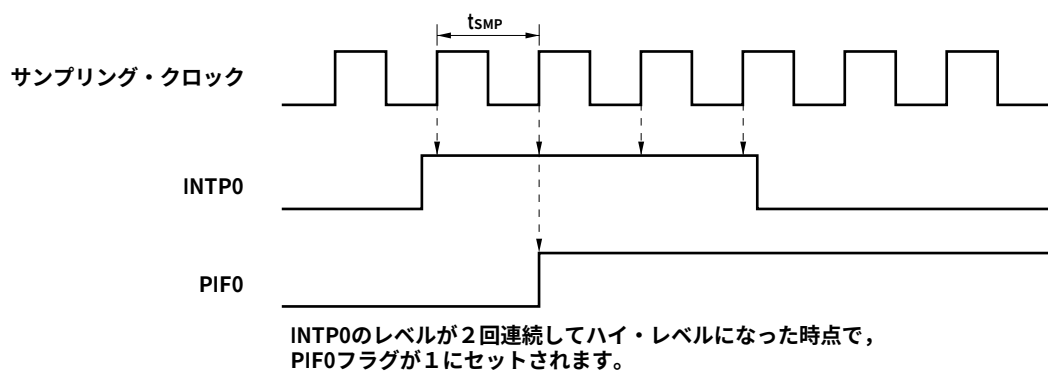
(a) 入力がサンプリング周期 (t_{SMP}) 以下のとき



(b) 入力がサンプリング周期 (t_{SMP}) の1-2倍のとき



(c) 入力がサンプリング周期 (t_{SMP}) の2倍以上のとき



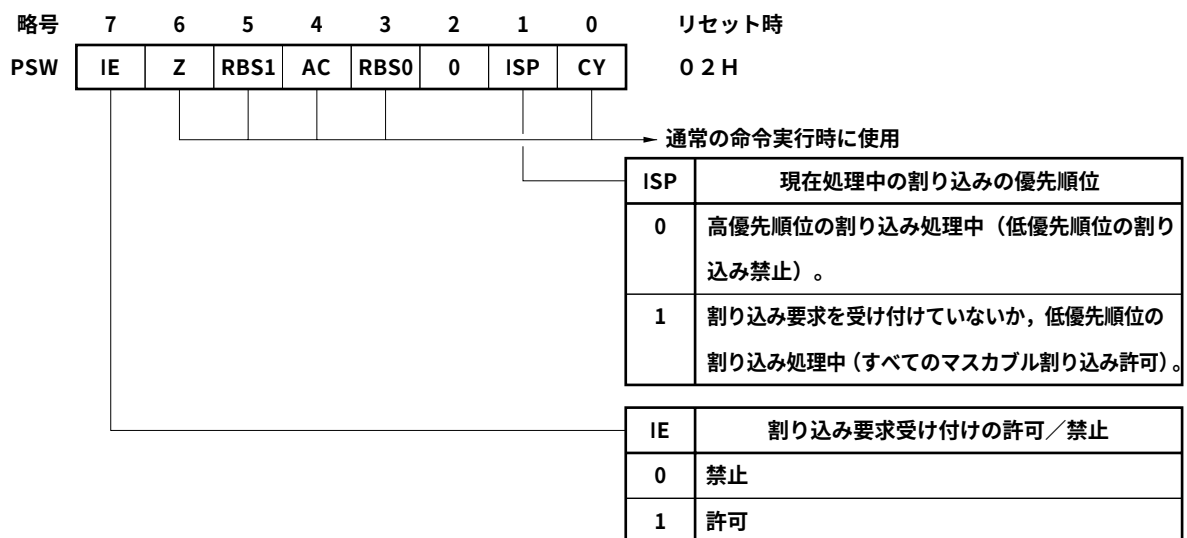
(6) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスクابل割り込みの許可／禁止を設定するIEフラグと多重割り込み処理を制御するISPフラグがマッピングされています。

8ビット単位で読み出し／書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット (0) されます。また、マスクابل割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

RESET入力により、PSWは02Hとなります。

図15-8 プログラム・ステータス・ワードの構成



15.4 割り込み処理動作

15.4.1 ノンマスカブル割り込み要求の受け付け動作

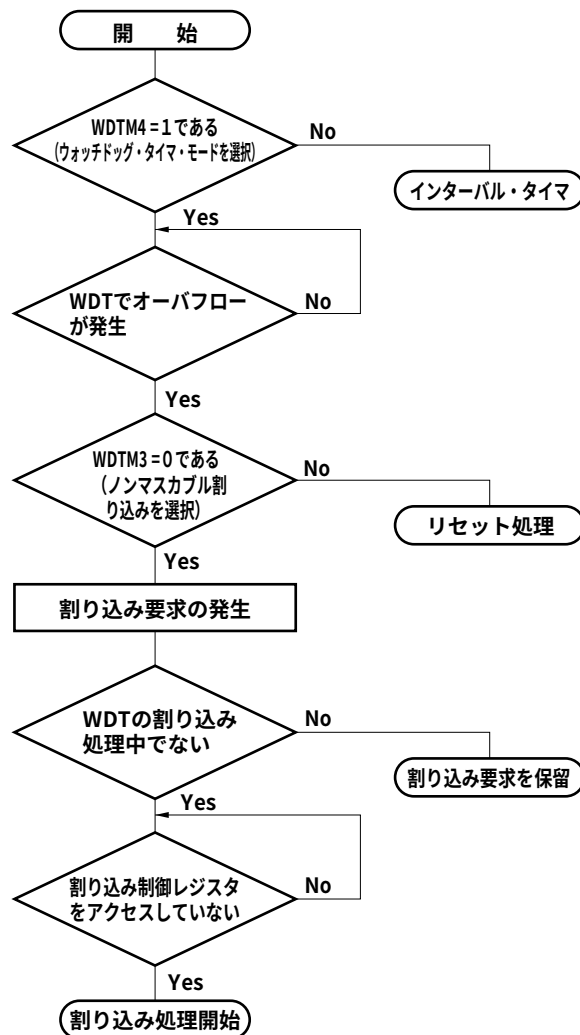
ノンマスカブル割り込み要求は、割り込み要求受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード（PSW）、プログラム・カウンタ（PC）の順に内容をスタックに退避します。そして、IEフラグ、ISPフラグをリセット（0）し、ベクタ・テーブルの内容をPCへロードし分岐します。

ノンマスカブル割り込みサービス・プログラム実行中に発生した新たなノンマスカブル割り込み要求は、現在処理中のノンマスカブル割り込みサービス・プログラムの実行が終了（RETI命令実行後）し、メイン・ルーチンを1命令実行したあと、受け付けられます。ただし、ノンマスカブル割り込みサービス・プログラム実行中に新たなノンマスカブル割り込み要求が2回以上発生しても、そのノンマスカブル割り込みサービス・プログラム実行終了後に受け付けられるノンマスカブル割り込み要求は1回分だけになります。

ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャートを図15-9に、ノンマスカブル割り込み要求の受け付けタイミングを図15-10に、ノンマスカブル割り込み要求が多重に発生した場合の受け付け動作を図15-11に示します。

図15-9 ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャート



WDTM：ウォッチドッグ・タイマ・モード・レジスタ

WDT：ウォッチドッグ・タイマ

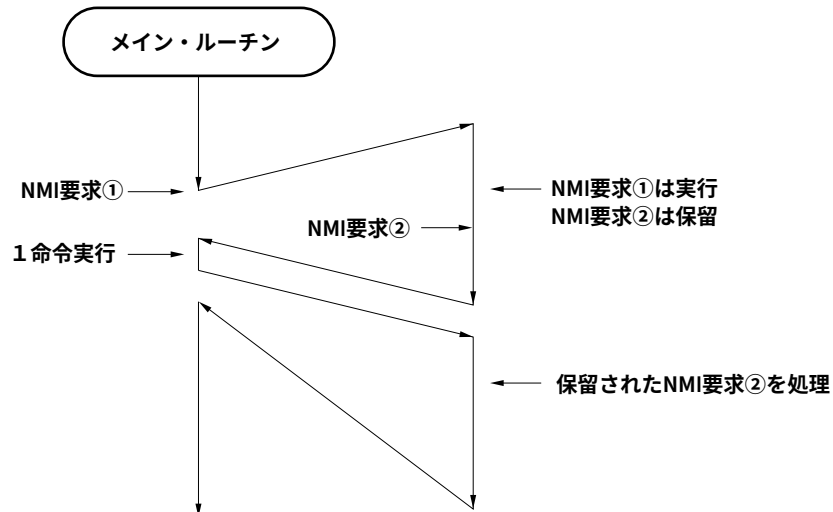
図15-10 ノンマスカブル割り込み要求の受け付けタイミング



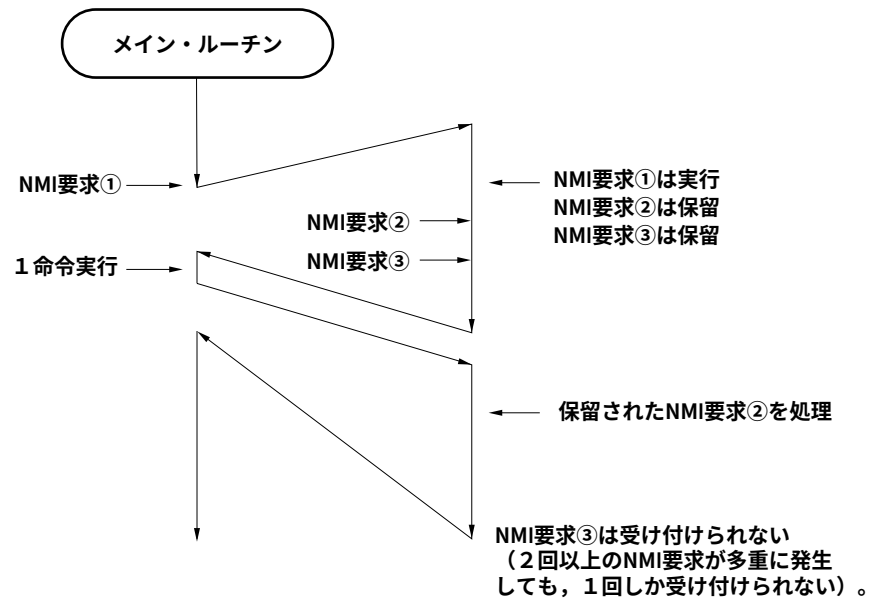
TMIF4：ウォッチドッグ・タイマ割り込み要求フラグ

図15-11 ノンマスカブル割り込み要求の受け付け動作

(a) ノンマスカブル割り込みサービス・プログラム実行中に
新たなノンマスカブル割り込み要求が発生した場合



(b) ノンマスカブル割り込みサービス・プログラム実行中に
新たに2回のノンマスカブル割り込み要求が発生した場合



15.4.2 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット（1）され、その割り込みのマスク（MK）・フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。ただし、優先順位の高い割り込み要求を処理中（ISPフラグがリセット（0）されているとき）に低い優先順位に指定されている割り込みの要求は受け付けられません。

マスカブル割り込み要求が発生してから割り込み処理が行われるまでの時間は表15－3のようになります。

割り込み要求の受け付けタイミングについては、図15－13、図15－14を参照してください。

表15－3 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
××PR＝0 のとき	13クロック	63クロック
××PR＝1 のとき	15クロック	65クロック

注 除算命令の直前に割り込み要求が発生したとき、ウェイトする時間が最大となります。

備考 1クロック： $\frac{1}{f_{CPU}}$ （ f_{CPU} ：CPUクロック）

マスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込み要求から受け付けられます。

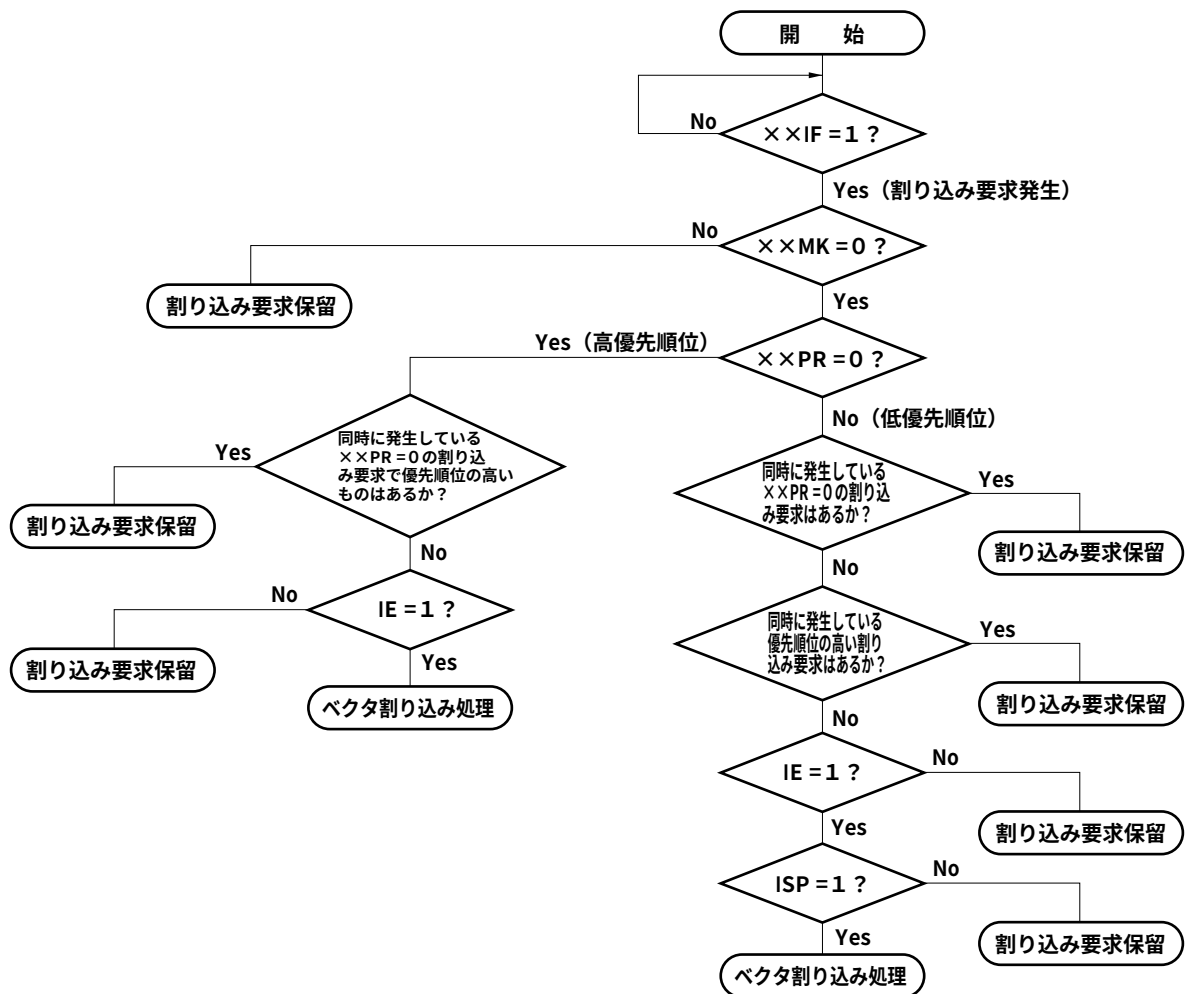
保留された割り込み要求は、受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図15－12に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード（PSW）、プログラム・カウンタ（PC）の順に内容をスタックに退避します。そして、IEフラグをリセット（0）し、受け付けた割り込み要求の優先順位指定フラグの内容をISPフラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図15-12 割り込み要求受け付け処理アルゴリズム



××IF : 割り込み要求フラグ

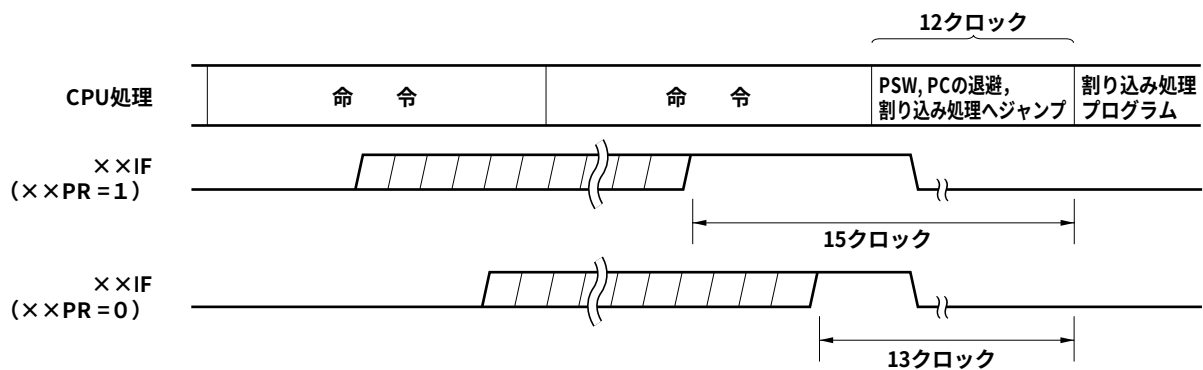
××MK : 割り込みマスク・フラグ

××PR : 優先順位指定フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

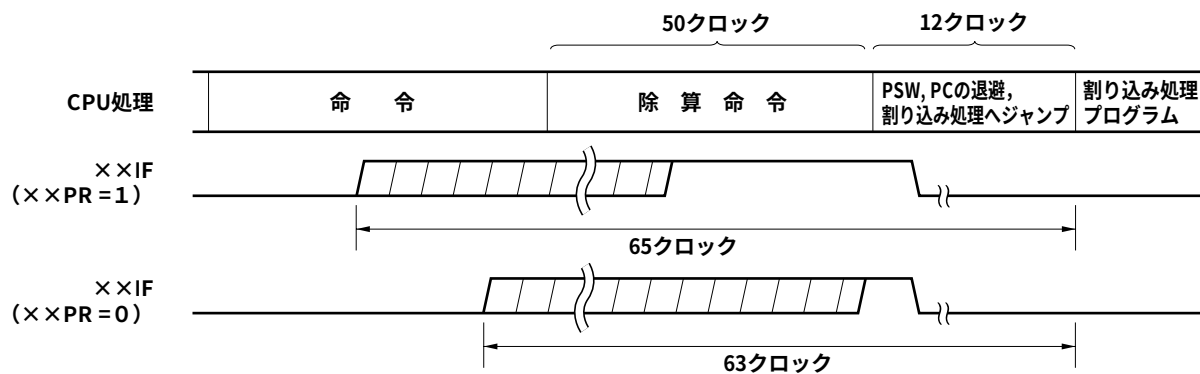
ISP : 現在処理中の割り込みの優先順位を示すフラグ (0 = 高優先順位の割り込み処理中, 1 = 割り込み要求を受け付けていない, または低優先順位の割り込み処理中)

図15-13 割り込み要求の受け付けタイミング（最小時間）



備考 1クロック： $\frac{1}{f_{\text{CPU}}}$ (f_{CPU} ：CPUクロック)

図15-14 割り込み要求の受け付けタイミング（最大時間）



備考 1クロック： $\frac{1}{f_{\text{CPU}}}$ (f_{CPU} ：CPUクロック)

15.4.3 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込み要求は禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避します。そして、IEフラグをリセット (0) し、ベクタ・テーブル (003EH, 003FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

15.4.4 多重割り込み処理

割り込み処理中に、さらに割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態（IE = 1）になっていなければ発生しません（ノンマスクابل割り込みを除く）。また、割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態（IE = 0）になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット（1）して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込み優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により処理されます。

割り込み許可状態で、現在処理中の割り込みと同レベルか、それよりも高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みより低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み終了後、メイン処理の命令を1命令実行後に受け付けられます。

なお、ノンマスクابل割り込み処理中には、多重割り込みは許可されません。

表15-4に多重割り込み可能な割り込み要求を、図15-15に多重割り込みの例を示します。

表15-4 割り込み処理中に多重割り込み可能な割り込み要求

多重割り込み要求 処理中の割り込み		ノンマスクابل 割り込み要求	マスクابل割り込み要求			
			××PR = 0		××PR = 1	
			IE = 1	IE = 0	IE = 1	IE = 0
ノンマスクابل割り込み		×	×	×	×	×
マスクابل割り込み	ISP = 0	○	○	×	×	×
	ISP = 1	○	○	×	○	×
ソフトウェア割り込み		○	○	×	○	×

備考1. ○：多重割り込み可能。

×：多重割り込み不可能。

2. ISP, IEはPSWに含まれるフラグです。

ISP = 0 : 高優先順位の割り込み処理中

ISP = 1 : 割り込み要求を受け付けていないか、低優先順位の割り込み処理中

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

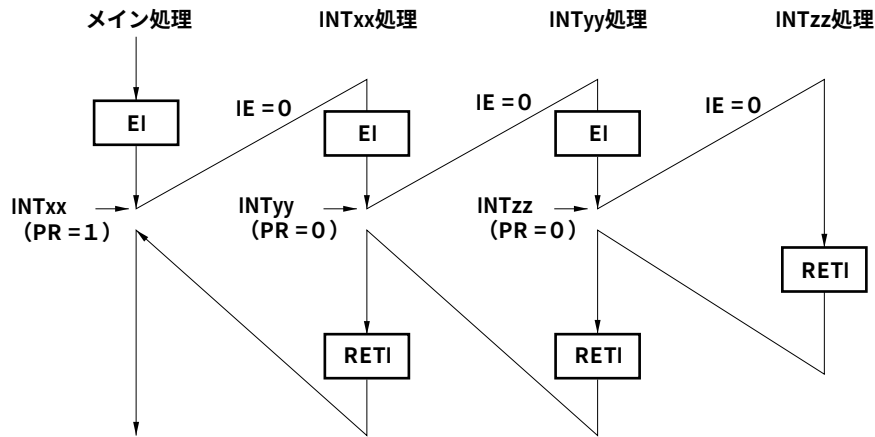
3. ××PRはPROL, PROHに含まれるフラグです。

××PR = 0 : 高優先順位フラグ

××PR = 1 : 低優先順位フラグ

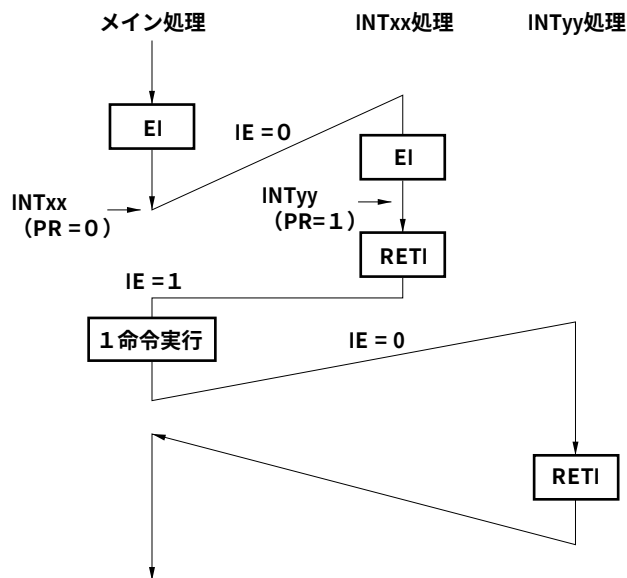
図15-15 多重割り込みの例 (1/2)

例1 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy、INTzzが受け付けられ、多重割り込みが発生する。
各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている。

例2 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

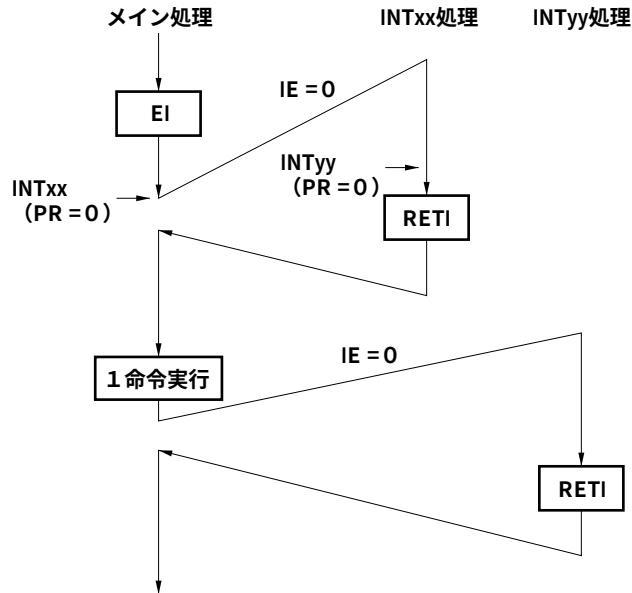
PR = 0 : 高優先順位レベル

PR = 1 : 低優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

図15-15 多重割り込みの例 (2/2)

例3．割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない（EI命令が発行されていない）ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1 命令実行後に受け付けられる。

PR = 0 : 高優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

15.4.5 割り込み要求の保留

命令のなかには、実行中に割り込み要求が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を以下に示します。

- MOV PSW, #byte
- MOV A, PSW
- MOV PSW, A
- MOV1 PSW. bit, CY
- MOV1 CY, PSW. bit
- AND1 CY, PSW. bit
- OR1 CY, PSW. bit
- XOR1 CY, PSW. bit
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- PUSH PSW
- POP PSW
- BT PSW. bit, \$addr16
- BF PSW. bit, \$addr16
- BTCLR PSW. bit, \$addr16
- EI
- DI
- IF0L, IF0H, MK0L, MK0H, PR0L, PR0H, INTM0の各レジスタに対する操作命令

注意 BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスカブル割り込み要求が発生しても、割り込み要求を受け付けません。ただし、ノンマスカブル割り込み要求は受け付けます。

割り込み要求が保留されるタイミングを図15－16に示します。

図15－16 割り込み要求の保留



- 備考 1. 命令N：割り込み要求の保留命令
2. 命令M：割り込み要求の保留命令以外の命令
3. ××IF（割り込み要求）の動作は，××PR（優先順位レベル）の値の影響を受けません。

15.5 テスト機能

時計用タイマのオーバーフロー発生時およびポート4の立ち下がりエッジ検出時に、対応するテスト入力フラグをセット（1）し、スタンバイ・リリース信号を発生します。

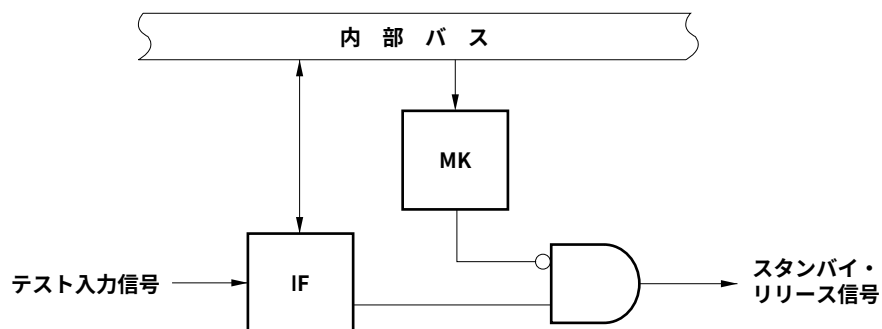
割り込み機能とは異なり、ベクタ処理は行いません。

テスト入力要因には、表15－5に示す2本があります。また、基本構成は図15－17のようになっています。

表15－5 テスト入力要因一覧

テスト入力要因		内部／外部
名 称	ト リ ガ	
INTWT	時計用タイマのオーバーフロー	内部
INTPT4	ポート4の立ち下がりエッジ検出	外部

図15－17 テスト機能の基本構成



IF：テスト入力フラグ

MK：テスト・マスク・フラグ

15.5.1 テスト機能を制御するレジスタ

テスト機能は、次の3種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ0H（IF0H）
- ・割り込みマスク・フラグ・レジスタ0H（MK0H）
- ・キー・リターン・モード・レジスタ（KRM）

テスト入力信号に対応するテスト入力フラグ、テスト・マスク・フラグの名称を表15－6に示します。

表15－6 テスト入力信号に対する各種フラグ

テスト入力信号名	テスト入力フラグ	テスト・マスク・フラグ
INTWT	WTIF	WTMK
INTPT4	KRIF	KRMK

(1) 割り込み要求フラグ・レジスタ0H (IF0H)

時計用タイマのオーバーフローの検出／未検出を表示するレジスタです。

IF0Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図15-18 割り込み要求フラグ・レジスタ0Hのフォーマット

略号	7	6	⑤	4	③	②	①	①	アドレス	リセット時	R/W
IF0H	0	0	WTIF	0	ADIF	TMIF2	TMIF1	TMIF0	F F E 1 H	0 0 H	R/W

WTIF	時計用タイマのオーバーフロー検出フラグ
0	未検出
1	検出

注意 ビット4, 6, 7には必ず0を設定してください。

(2) 割り込みマスク・フラグ・レジスタ0H (MK0H)

時計用タイマによるスタンバイ・モード解除の許可／禁止を設定するレジスタです。

MK0Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図15-19 割り込みマスク・フラグ・レジスタ0Hのフォーマット

略号	7	6	⑤	4	③	②	①	①	アドレス	リセット時	R/W
MK0H	1	1	WTMK	1	ADMK	TMMK2	TMMK1	TMMK0	F F E 5 H	F F H	R/W

WTMK	時計用タイマによるスタンバイ・モードの制御
0	スタンバイ・モードの解除許可
1	スタンバイ・モードの解除禁止

注意 ビット4, 6, 7には必ず1を設定してください。

(3) キー・リターン・モード・レジスタ (KRM)

キー・リターン信号（ポート4の立ち下がりエッジ検出）によるスタンバイ・モードの解除の許可／禁止を設定するレジスタです。

KRMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、02Hになります。

図15-20 キー・リターン・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	①	②	アドレス	リセット時	R/W
KRM	0	0	0	0	0	0	KRMK	KRIF	F F F 6 H	0 2 H	R/W

KRIF	キー・リターン信号検出フラグ
0	未検出
1	検出（ポート4の立ち下がりエッジ検出）

KRMK	キー・リターン信号によるスタンバイ・モードの制御
0	スタンバイ・モードの解除許可
1	スタンバイ・モードの解除禁止

注意 ポート4で立ち下がりエッジ検出を使用するときは、プログラムでKRIFを0にクリアしてください。ハードウェアでは自動的にクリアされません。

15.5.2 テスト入力信号の受け付け動作

(1) 内部テスト入力信号 (INTWT)

内部テスト入力信号 (INTWT) は、時計用タイマのオーバーフローにより発生し、これによりWTIFフラグがセットされます。このとき、割り込みマスク・フラグ (WTMK) によりマスクされていなければスタンバイ・リリース信号が発生します。時計用タイマのオーバーフロー周期より短い周期でWTIFフラグをチェックすることにより、時計機能が実現できます。

(2) 外部テスト入力信号 (INTPT4)

ポート4 (P40-P47) の端子に立ち下がりエッジが入力されたとき、外部テスト入力信号 (INTP4) が発生し、これによりKRIFフラグがセットされます。このとき、割り込みマスク・フラグ (KRMK) によりマスクされていなければ、スタンバイ・リリース信号が発生します。ポート4をキー・マトリックスのキー・リターン信号入力として使用することにより、キー入力の有無をKRIFフラグの状態で行うことができます。

第16章 外部デバイス拡張機能

16.1 外部デバイス拡張機能

外部デバイス拡張機能は、内部ROM、RAM、SFR以外の領域に、外部デバイスを接続する機能です。外部デバイスの接続は、ポート4-6を使用します。ポート4-6は、アドレス／データ、リード／ライト・ストロブ、ウエイト、アドレス・ストロブなどを制御します。

表16-1 外部メモリ拡張モード時の端子機能

外部デバイス接続時の端子機能		兼用端子
名 称	機 能	
AD0-AD7	マルチプレクスト・アドレス／データ・バス	P40-P47
A8-A15	アドレス・バス	P50-P57
$\overline{RD}$	リード・ストロブ信号	P64
$\overline{WR}$	ライト・ストロブ信号	P65
$\overline{WAIT}$	ウエイト信号	P66
ASTB	アドレス・ストロブ信号	P67

表16-2 外部メモリ拡張モード時のポート4-6の端子の状態

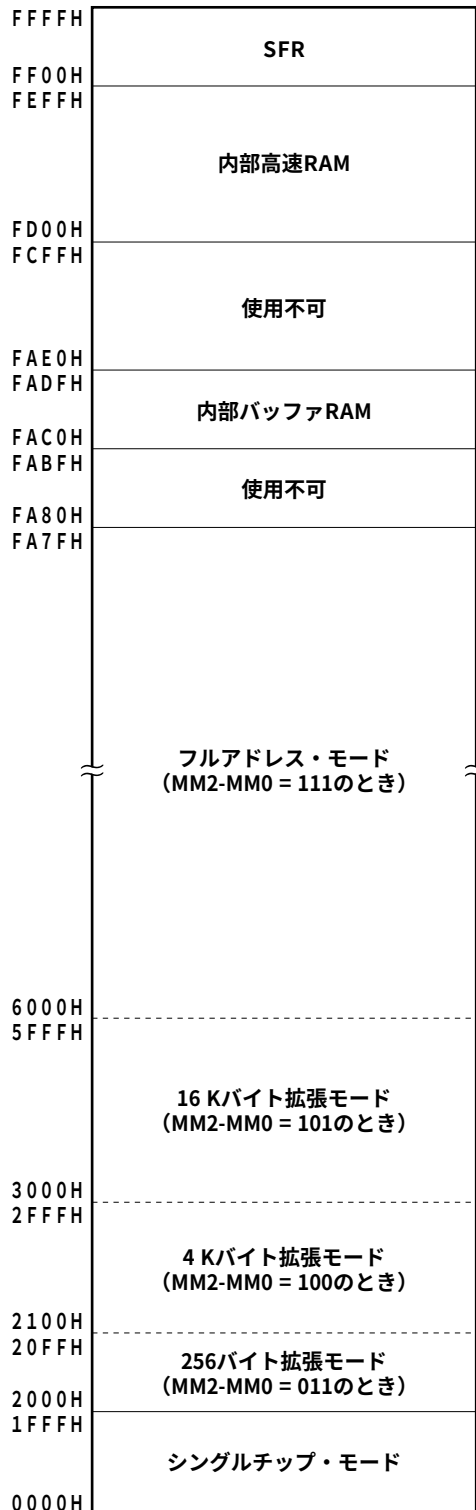
ポート	ポート 4	ポート 5								ポート 6							
外部拡張モード	0-7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
シングルチップ・モード	ポート	ポート								ポート							
256バイト拡張モード	アドレス／データ	ポート								ポート				$\overline{RD}$, $\overline{WR}$, $\overline{WAIT}$, $ASTB$			
4 Kバイト拡張モード	アドレス／データ	アドレス				ポート				ポート				$\overline{RD}$, $\overline{WR}$, $\overline{WAIT}$, $ASTB$			
16 Kバイト拡張モード	アドレス／データ	アドレス						ポート		ポート				$\overline{RD}$, $\overline{WR}$, $\overline{WAIT}$, $ASTB$			
フルアドレス・モード	アドレス／データ	アドレス								ポート				$\overline{RD}$, $\overline{WR}$, $\overline{WAIT}$, $ASTB$			

注意 外部ウエイト機能を使用しないとき、すべてのモードでWAIT端子をポートとして使用できます。

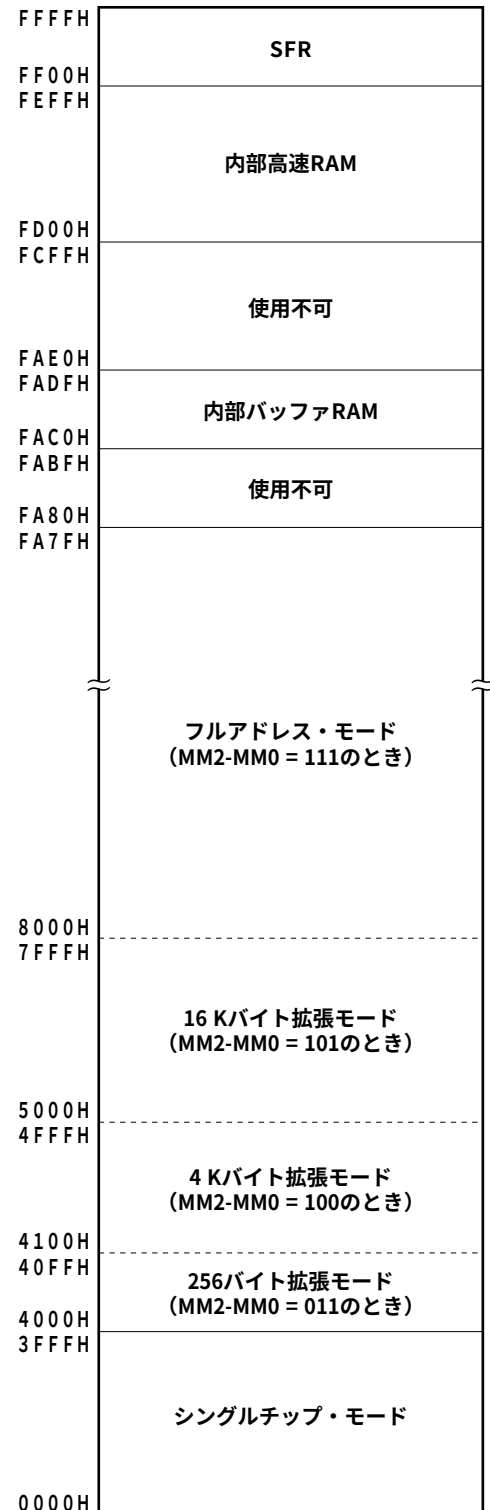
外部デバイス拡張機能を使用したときのメモリ・マップは、次のようになります。

図16-1 外部デバイス拡張機能使用時のメモリ・マップ (1/2)

(a) μ PD78011Hの
メモリ・マップ



(b) μ PD78012Hの
メモリ・マップ



(c) μ PD78013Hの
メモリ・マップ

(d) μ PD78014Hの
メモリ・マップ

FFFFH	SFR
FF00H FEFFH	
FB00H FAFFH	内部高速RAM
FAE0H FADFH	使用不可
FAC0H FABFH	内部バッファRAM
FA80H FA7FH	使用不可
(断続) C000H BFFFH	フルアドレス・モード (MM2-MM0 = 111のとき)
9000H 8FFFH	16 Kバイト拡張モード (MM2-MM0 = 101のとき)
8100H 80FFH	4 Kバイト拡張モード (MM2-MM0 = 100のとき)
8000H 7FFFH	256バイト拡張モード (MM2-MM0 = 011のとき)
0000H	シングルチップ・モード

16.2 外部デバイス拡張機能を制御するレジスタ

外部デバイス拡張機能は、メモリ拡張モード・レジスタ（MM）とメモリ・サイズ切り替えレジスタ（IMS）で制御します。

（１）メモリ拡張モード・レジスタ（MM）

MMは、ウェイト数および外部拡張領域を設定するレジスタです。また、ポート4の入力／出力を設定する機能があります。

MMは、8ビット・メモリ操作命令で設定します。

RESET入力により、10Hになります。

図16-2 メモリ拡張モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MM	0	0	PW1	PW0	0	MM2	MM1	MM0	F F F 8 H	1 0 H	R/W

MM2	MM1	MM0	シングルチップ／ メモリ拡張モードの選択		P40-P47, P50-P57, P64-P67端子の状態						
					P40-P47		P50-P53	P54, P55	P56, P57	P64-P67	
0	0	0	シングルチップ・モード		ポート・ モード	入力	ポート・モード				
0	0	1				出力					
0	1	1	メモリ拡張 モード	256バイト・ モード	AD0-AD7	ポート・モード				P64 = $\overline{\text{RD}}$ P65 = $\overline{\text{WR}}$	
1	0	0		4 Kバイト・ モード		A8-A11	ポート・モード		P66 = $\overline{\text{WAIT}}$ P67 = $\overline{\text{ASTB}}$		
1	0	1		16 Kバイト・ モード			A12, A13	ポート・モード			
1	1	1		フルアドレス・ モード注				A14, A15			
上記以外			設定禁止								

PW1	PW0	ウェイトの制御
0	0	ウェイトなし
0	1	ウェイトあり（1ウェイト・ステート挿入）
1	0	設定禁止
1	1	外部ウェイト端子によるウェイト制御

注 フルアドレス・モードとは、64 Kアドレス空間のうち、内部ROM, RAM, SFR領域および使用不可領域を除く、すべての領域に外部拡張できるモードです。

備考 P60-P63端子は、シングルチップ・モード、メモリ拡張モードにかかわらずポート・モードになります。

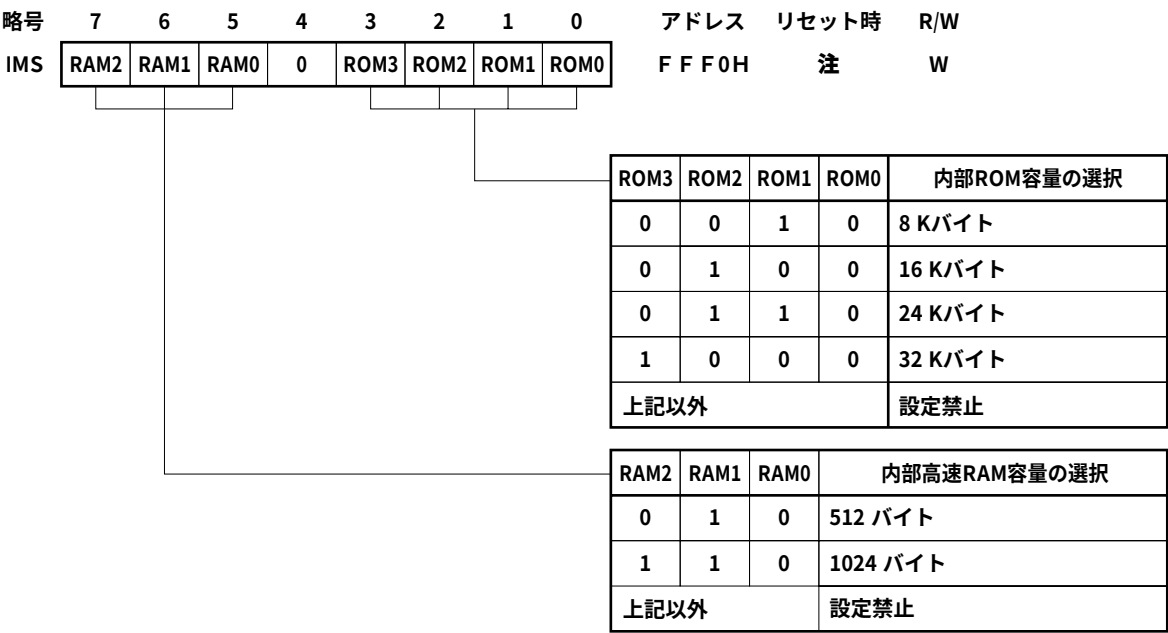
(2) メモリ・サイズ切り替えレジスタ (IMS)

内部ROM容量、内部高速RAM容量を設定するレジスタです。IMSには、リセット時の値を設定してください。

IMSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、表16－3に示す値になります。

図16－3 メモリ・サイズ切り替えレジスタのフォーマット



注 リセット時の値は製品により異なります（表16－3 参照）。

表16－3 メモリ・サイズ切り替えレジスタのリセット時の値

製 品 名	IMSの設定値
μ PD78011H	42H
μ PD78012H	44H
μ PD78013H	C6H
μ PD78014H	C8H

16.3 外部デバイス拡張機能のタイミング

外部メモリ拡張モード時のタイミング・コントロール信号出力端子を以下に示します。

(1) $\overline{RD}$ 端子（兼用機能：P64）

リード・ストロブ信号を出力する端子です。外部メモリからの命令フェッチ、データ・アクセス時に出力します。

内部メモリ・アクセス時には、リード・ストロブ信号は出力されません（ハイ・レベルを保持します）。

(2) $\overline{WR}$ 端子（兼用機能：P65）

ライト・ストロブ信号を出力する端子です。外部メモリへのデータ・アクセス時に出力します。

内部メモリ・アクセス時には、ライト・ストロブ信号は出力されません（ハイ・レベルを保持します）。

(3) $\overline{WAIT}$ 端子（兼用機能：P66）

外部ウエイト信号を入力する端子です。

外部ウエイトを使用しないときは、 $\overline{WAIT}$ 端子を入出力ポートとして使用できます。

内部メモリ・アクセス時には、外部ウエイト信号は無視されます。

(4) $\overline{ASTB}$ 端子（兼用機能：P67）

アドレス・ストロブ信号を出力する端子です。外部メモリからの命令フェッチ、データ・アクセスにかかわらず、必ず出力します。

内部メモリ・アクセス時にも、アドレス・ストロブ信号が出力されます。

(5) AD0-AD7, A8-A15端子（兼用機能：P40-P47, P50-P57）

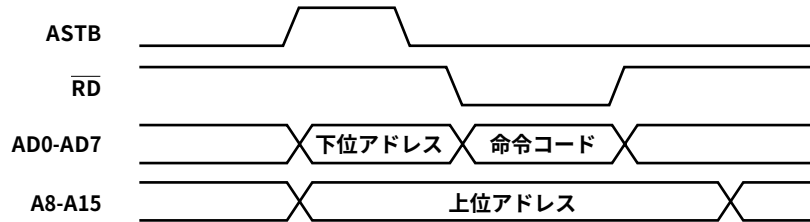
アドレス信号およびデータ信号を出力する端子です。外部メモリからの命令フェッチ、データ・アクセス時に有効信号が出力あるいは入力されます。

内部メモリ・アクセス時にも信号が変化します（出力内容は不定です）。

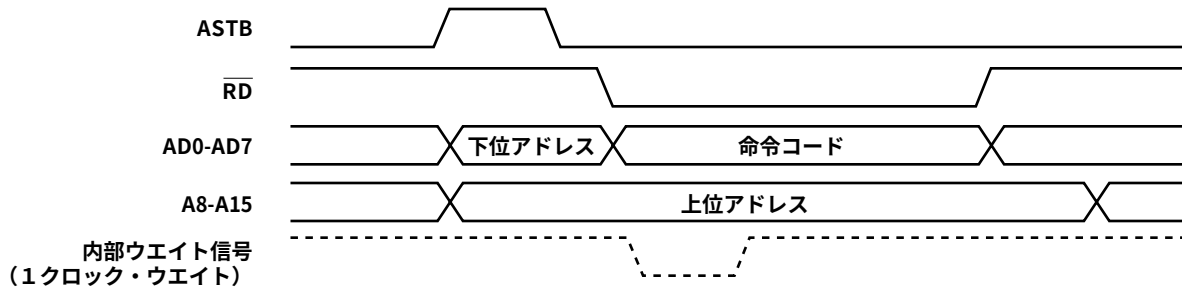
タイミング・チャートを図16-4から図16-7に示します。

図16-4 外部メモリからの命令フェッチ

(a) ウェイトなし (PW1, PW0 = 0, 0) 設定時



(b) ウェイトあり (PW1, PW0 = 0, 1) 設定時



(c) 外部ウェイト (PW1, PW0 = 1, 1) 設定時

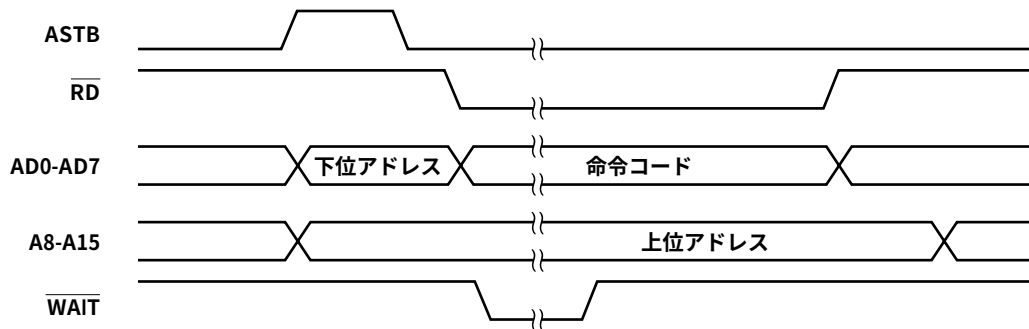
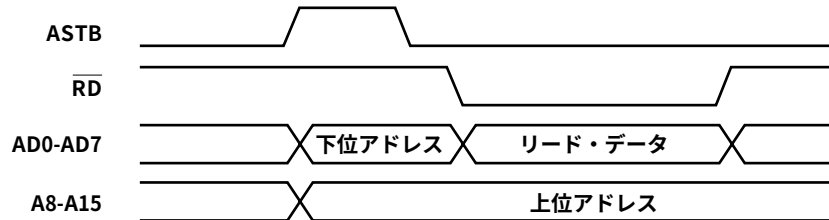
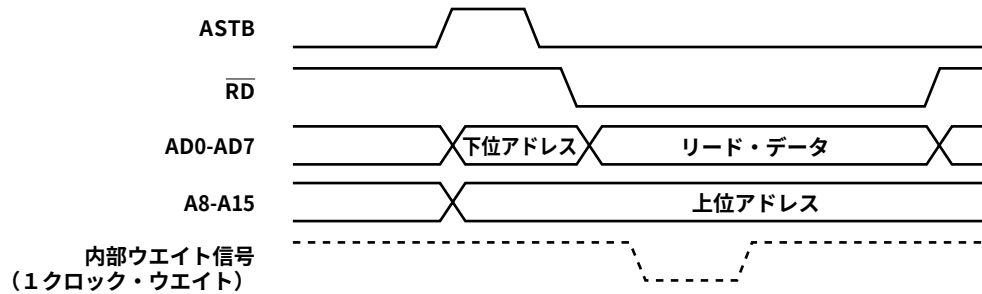


図16-5 外部メモリのリード・タイミング

(a) ウェイトなし (PW1, PW0 = 0, 0) 設定時



(b) ウェイトあり (PW1, PW0 = 0, 1) 設定時



(c) 外部ウェイト (PW1, PW0 = 1, 1) 設定時

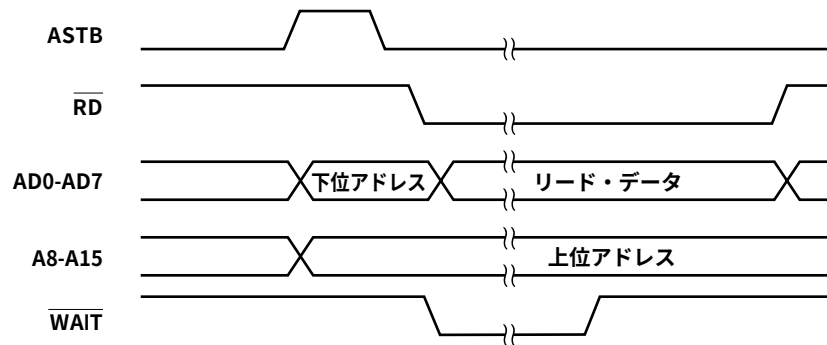
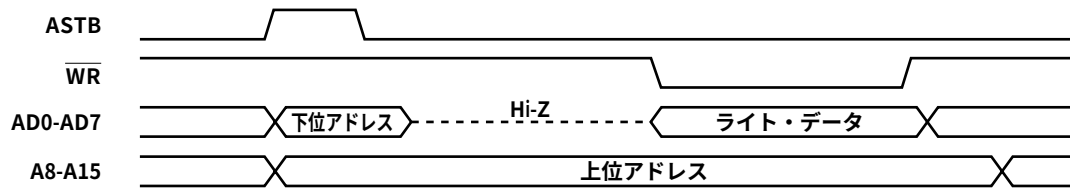
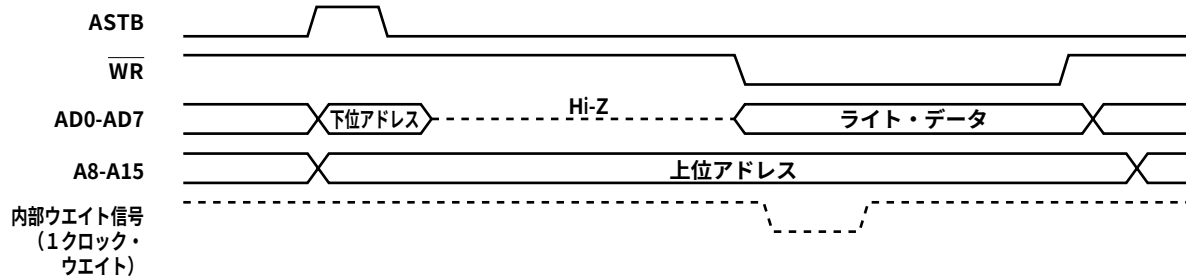


図16-6 外部メモリのライト・タイミング

(a) ウェイトなし (PW1, PW0 = 0, 0) 設定時



(b) ウェイトあり (PW1, PW0 = 0, 1) 設定時



(c) 外部ウェイト (PW1, PW0 = 1, 1) 設定時

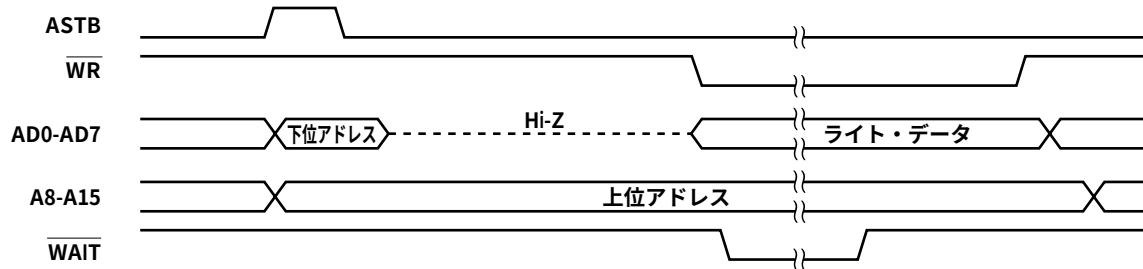
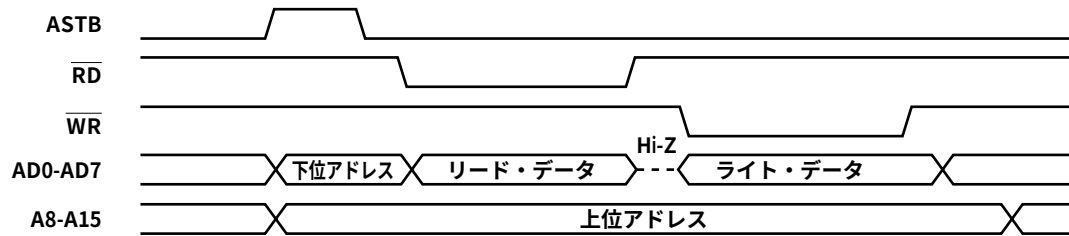
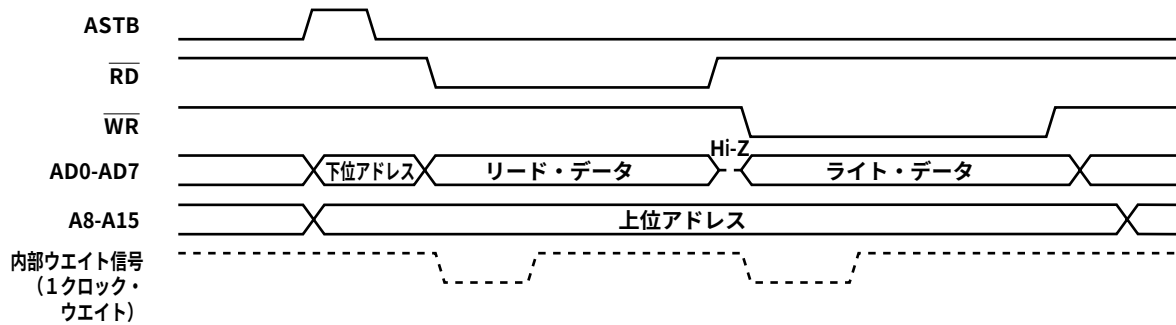


図16-7 外部メモリのリード・モディファイ・ライト・タイミング

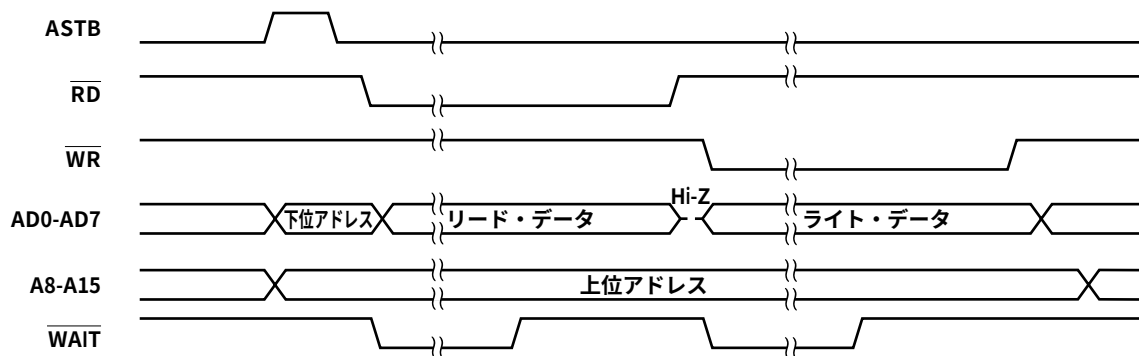
(a) ウェイトなし (PW1, PW0 = 0, 0) 設定時



(b) ウェイトあり (PW1, PW0 = 0, 1) 設定時



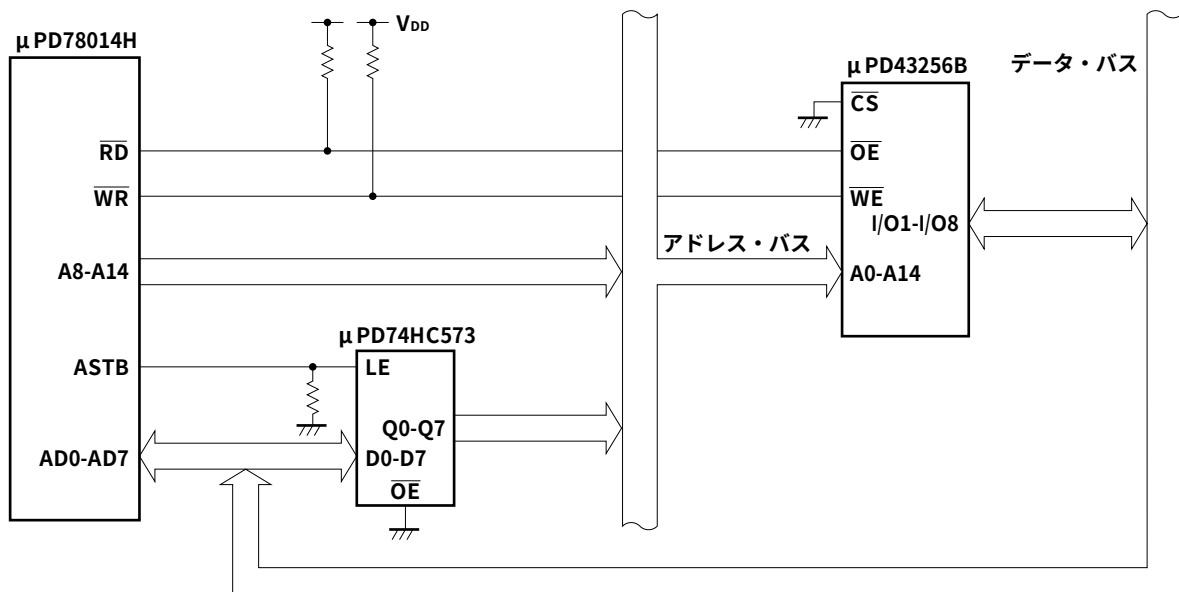
(c) 外部ウェイト (PW1, PW0 = 1, 1) 設定時



16.4 メモリとの接続例

μPD78014Hと外部メモリとの接続例を図16-8に示します。この応用例ではSRAMを接続しています。また、外部デバイス拡張機能をフルアドレス・モードで使用し、0000H-7FFFHの32 Kバイトを内部ROM、8000H以降をSRAMに割り当てています。

図16-8 μPD78014Hとメモリの接続例



(× 毛)

第17章 スタンバイ機能

17.1 スタンバイ機能と構成

17.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。このモードでは、STOPモードほどの消費電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、時計動作のような間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、メイン・システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電流を、かなり低減できます。

また、データ・メモリの低電圧 ($V_{DD} = 1.8 \text{ V}$ まで) 保持が可能です。したがって、超低消費電流でデータ・メモリの内容を保持する場合に有効です。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意1. STOPモードは、メイン・システム・クロックで動作しているときだけ使用できます（サブシステム・クロックの発振を停止させることができません）。HALTモードは、メイン・システム・クロック、サブシステム・クロックのどちらの動作状態でも使用できます。

2. STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。

3. A/Dコンバータ部の消費電力を低減させるためには、A/Dコンバータ・モード・レジスタ (ADM) のビット7 (CS) を0にクリアし、A/D変換動作を停止させてから、HALT命令またはSTOP命令を実行してください。

17.1.2 スタンバイ機能を制御するレジスタ

割り込み要求でSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ（OSTS）で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

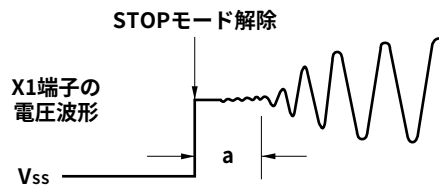
$\overline{\text{RESET}}$ 入力により、04Hになります。したがって、 $\overline{\text{RESET}}$ 入力でSTOPモードを解除するとき、解除までの時間は $2^{18}/f_x$ です。

図17-1 発振安定時間選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	F F F A H	0 4 H	R/W

OSTS2	OSTS1	OSTS0	STOPモード解除時の発振安定時間の選択
0	0	0	$2^{13}/f_x$ (819 μ s)
0	0	1	$2^{15}/f_x$ (3.28 ms)
0	1	0	$2^{16}/f_x$ (6.55 ms)
0	1	1	$2^{17}/f_x$ (13.1 ms)
1	0	0	$2^{18}/f_x$ (26.2 ms)
上記以外			設定禁止

注意 STOPモード解除時のウェイト時間には、STOPモード解除後にクロックが発振を開始するまでの時間（下図 a）は含みません。これは $\overline{\text{RESET}}$ 入力による場合も、割り込み要求発生による場合も同様です。



備考 1. f_x ：メイン・システム・クロック発振周波数

2. () 内は、 $f_x = 10.0$ MHz 動作時。

17.2 スタンバイ機能の動作

17.2.1 HALTモード

(1) HALTモードの設定および動作状態

HALTモードは、HALT命令の実行により設定されます。設定時のシステム・クロックは、メイン・システム・クロック、サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

表17-1 HALTモード時の動作状態 (1/2)

(a) メイン・システム・クロック動作中のHALT命令実行時

項目 \ HALTモードの設定		サブシステム・クロックがない 場合 ^{注1}	サブシステム・クロックがある 場合 ^{注2}
クロック発生回路		メイン・システム・クロック，サブシステム・クロックとも発振可能 CPUへのクロック供給は停止	
CPU		動作停止	
ポート（出力ラッチ）		HALTモード設定前の状態を保持	
16ビット・タイマ／イベント・カウンタ		動作可能	
8ビット・タイマ／イベント・カウンタ			
ウォッチドッグ・タイマ			
A/Dコンバータ			
時計用タイマ		カウント・クロックに $f_x/2^8$ 選択時，動作可能	動作可能
シリアル・インタフェース	自動送受信機能以外	動作可能	
	自動送受信機能	動作停止	
外部割り込み	INTP0	サンプリング・クロックに周辺ハードウェアへのクロック（ $f_x/2^6$ ， $f_x/2^7$ ）選 択時，動作可能	
	INTP1-INTP3	動作可能	
外部拡張時のバス・ ライン	AD0-AD7	ハイ・インピーダンス	
	A8-A15	HALTモード設定前の状態を保持	
	ASTB	ロウ・レベル	
	$\overline{WR}$ ， $\overline{RD}$	ハイ・レベル	
	$\overline{WAIT}$	ハイ・インピーダンス	

注1．サブシステム・クロックに外部クロックを供給しない場合も含む。

2．サブシステム・クロックに外部クロックを供給する場合も含む。

表17-1 HALTモード時の動作状態 (2/2)

(b) サブシステム・クロック動作中のHALT命令実行時

項目		HALTモードの設定	メイン・システム・クロック 発振継続時	メイン・システム・クロック 発振停止時
クロック発生回路			メイン・システム・クロック，サブシステム・クロックとも発振可能 CPUへのクロック供給は停止	
CPU			動作停止	
ポート（出力ラッチ）			HALTモード設定前の状態を保持	
16ビット・タイマ／イベント・カウンタ			動作可能	動作停止
8ビット・タイマ／イベント・カウンタ				カウント・クロックにTI1，TI2選択時，動作可能
ウォッチドッグ・タイマ			動作停止	
A/Dコンバータ			動作可能	動作停止
時計用タイマ				カウント・クロックにfx _{TI} 選択時，動作可能
シリアル・インタフェース	自動送受信機能以外	動作可能	外部クロック時は，動作可能	
	自動送受信機能	動作停止		
外部割り込み	INTP0	サンプリング・クロックに周辺ハードウェアへのクロック（fx/2 ⁶ ，fx/2 ⁷ ） 選択時，動作可能	動作停止	
	INTP1-INTP3	動作可能		
外部拡張時のバス・ライン	AD0-AD7	ハイ・インピーダンス		
	A8-A15	HALTモード設定前の状態を保持		
	ASTB	ロウ・レベル		
	$\overline{\text{WR}}$ ， $\overline{\text{RD}}$	ハイ・レベル		
	WAIT	ハイ・インピーダンス		

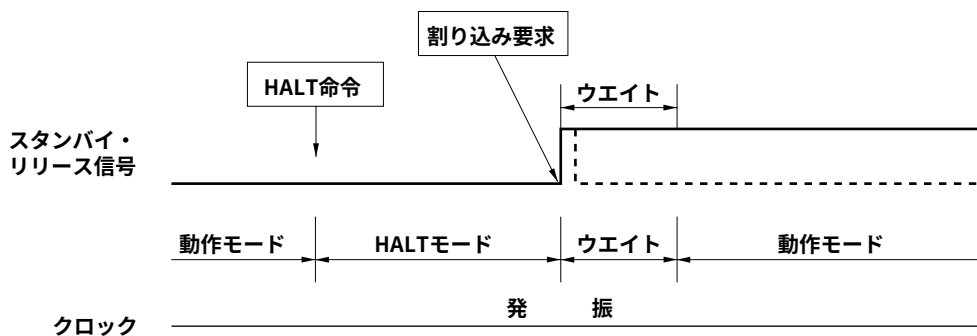
(2) HALTモードの解除

HALTモードは、次の4種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み要求受け付け許可状態であれば、ベクタ割り込み処理が実行されます。割り込み要求受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図17-2 HALTモードの割り込み要求発生による解除



備考 1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウェイト時間は次のようになります。

- ・ベクタに分岐した場合 : 16.5～17.5クロック
- ・ベクタに分岐しなかった場合 : 4.5～5.5クロック

(b) ノンマスカブル割り込み要求による解除

ノンマスカブル割り込み要求が発生すると、割り込み要求受け付け許可、禁止の状態に関係なく、HALTモードは解除され、ベクタ割り込み処理が行われます。

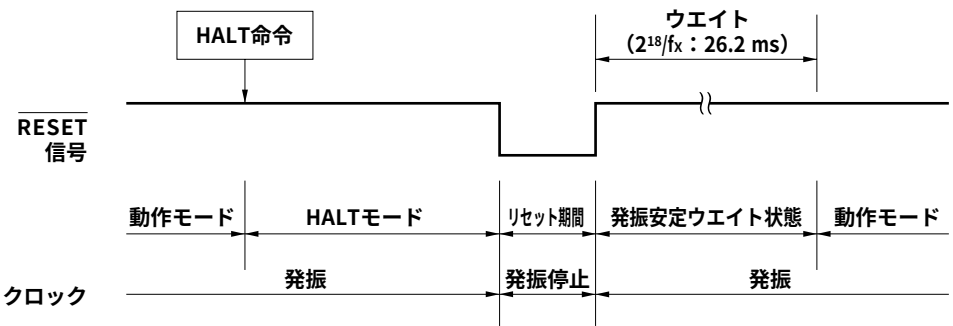
(c) マスクされていないテスト入力による解除

マスクされていないテスト信号の入力があると、HALTモードは解除され、HALT命令の次のアドレスの命令が実行されます。

(d) $\overline{\text{RESET}}$ 入力による解除

$\overline{\text{RESET}}$ 信号の入力があると、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図17-3 HALTモードの $\overline{\text{RESET}}$ 入力による解除



- 備考 1. f_x : メイン・システム・クロック発振周波数
2. () 内は $f_x = 10.0 \text{ MHz}$ 動作時

表17-2 HALTモードの解除後の動作

解除ソース	MK××	PR××	IE	ISP	動作
マスカブル 割り込み要求	0	0	0	×	次アドレス命令実行
	0	0	1	×	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	×	0	
	0	1	1	1	割り込み処理実行
	1	×	×	×	HALTモード保持
ノンマスカブル 割り込み要求	—	—	×	×	割り込み処理実行
テスト入力	0	—	×	×	次アドレス命令実行
	1	—	×	×	HALTモード保持
$\overline{\text{RESET}}$ 入力	—	—	×	×	リセット処理

備考 × : don't care

17.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定時のシステム・クロックは、メイン・システム・クロックの場合のみ設定可能です。

注意1. STOPモードに設定すると、クリスタル発振回路部のリークを抑えるためにX2端子が内部でV_{DD}にプルアップされます。したがって、メイン・システム・クロックに外部クロックを使用するシステムでは、STOPモードは使用しないでください。

2. スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウェイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表17-3 STOPモード時の動作状態

STOPモードの設定 項目		サブシステム・クロックがある場合	サブシステム・クロックがない場合
クロック発生回路		メイン・システム・クロックのみ発振停止	
CPU		動作停止	
出力ポート（出力ラッチ）		STOP命令実行直前の状態を保持	
16ビット・タイマ/イベント・カウンタ		動作停止	
8ビット・タイマ/イベント・カウンタ		カウント・クロックにTI1, TI2選択時のみ動作可能	
ウォッチドッグ・タイマ		動作停止	
A/Dコンバータ			
時計用タイマ		カウント・クロックにf _{XT} 選択時のみ、動作可能	動作停止
シリアル・インタフェース	自動送受信機能以外	シリアル・クロックに外部からの入力クロック選択時のみ、動作可能	
	自動送受信機能	動作停止	
外部割り込み	INTP0	動作不可能	
	INTP1-INTP3	動作可能	
外部拡張時のバス・ライン	AD0-AD7	ハイ・インピーダンス	
	A8-A15	STOP命令実行直前の状態を保持	
	ASTB	ロウ・レベル	
	WR, RD	ハイ・レベル	
	WAIT	ハイ・インピーダンス	

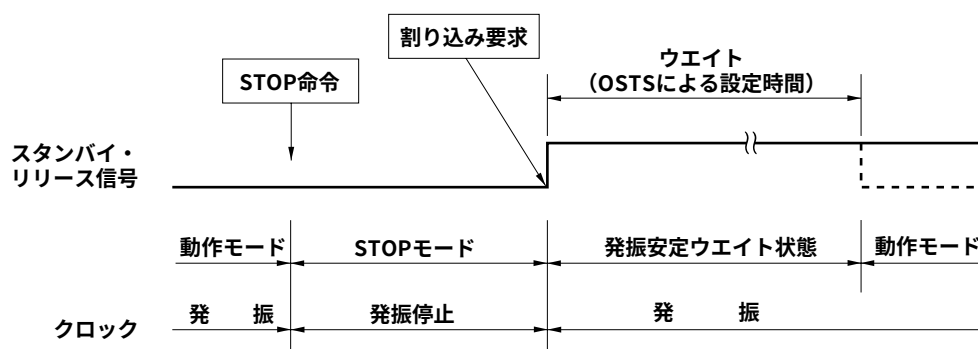
(2) STOPモードの解除

STOPモードは、次の3種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードは解除されます。発振安定時間経過後、割り込み要求受け付け許可状態であれば、ベクタ割り込み処理が実行されます。割り込み要求受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図17-4 STOPモードの割り込み要求発生による解除



備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

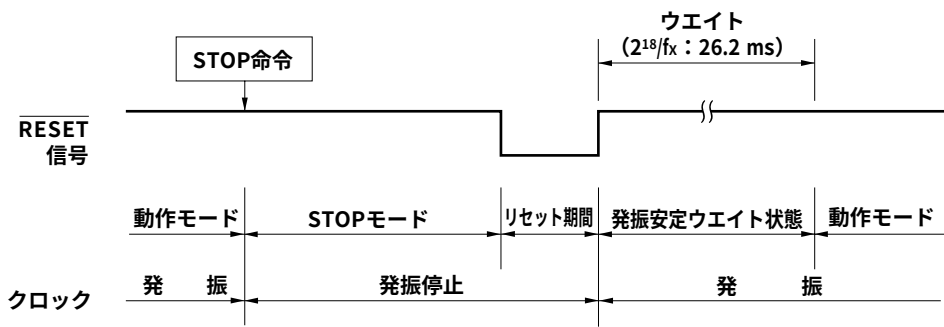
(b) マスクされていないテスト入力による解除

マスクされていないテスト信号の入力があると、STOPモードは解除されます。そして、発振安定時間経過後、STOP命令の次のアドレスの命令が実行されます。

(c) $\overline{\text{RESET}}$ 入力による解除

$\overline{\text{RESET}}$ 信号の入力があると、STOPモードは解除されます。そして、発振安定時間経過後リセット動作が行われます。

図17-5 STOPモードの $\overline{\text{RESET}}$ 入力による解除



- 備考 1. f_x : メイン・システム・クロック発振周波数
2. () 内は $f_x = 10.0 \text{ MHz}$ 動作時

表17-4 STOPモードの解除後の動作

解除ソース	MK××	PR××	IE	ISP	動作
マスカブル 割り込み要求	0	0	0	×	次アドレス命令実行
	0	0	1	×	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	×	0	
	0	1	1	1	割り込み処理実行
	1	×	×	×	STOPモード保持
テスト入力	0	—	×	×	次アドレス命令実行
	1	—	×	×	STOPモード保持
RESET入力	—	—	×	×	リセット処理

備考 × : don't care

(× 毛)

第18章 リセット機能

18.1 リセット機能

リセット信号を発生させる方法には、次の2種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

外部リセットと内部リセットは機能面での差はなく、 $\overline{\text{RESET}}$ 入力により、ともに0000H、0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、またはウォッチドッグ・タイマのオーバフローが発生することによってリセットがかかり、各ハードウェアは表18-1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、発振安定時間経過後 ($2^{18}/f_x$) プログラムの実行を開始します。また、ウォッチドッグ・タイマのオーバフロー発生によるリセットは、リセット後、自動的にリセットが解除され、発振安定時間経過後 ($2^{18}/f_x$) プログラムの実行を開始します（図18-2から図18-4参照）。

- 注意1.** 外部リセット入力をする場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。
- 2. リセット入力中は、メイン・システム・クロックの発振が停止しますが、サブシステム・クロックの発振は停止せず、発振状態になっています。
 - 3. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、ハイ・インピーダンスとなります。

図18-1 リセット機能のブロック図

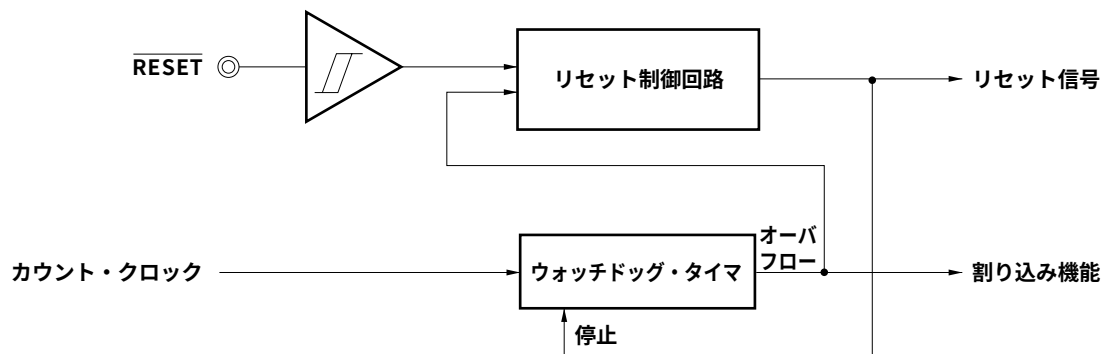


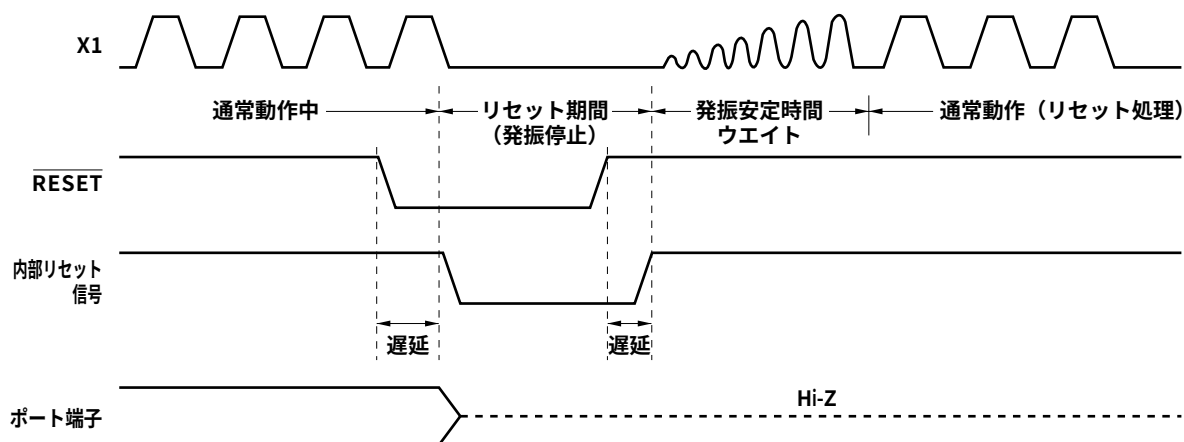
図18-2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング

図18-3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

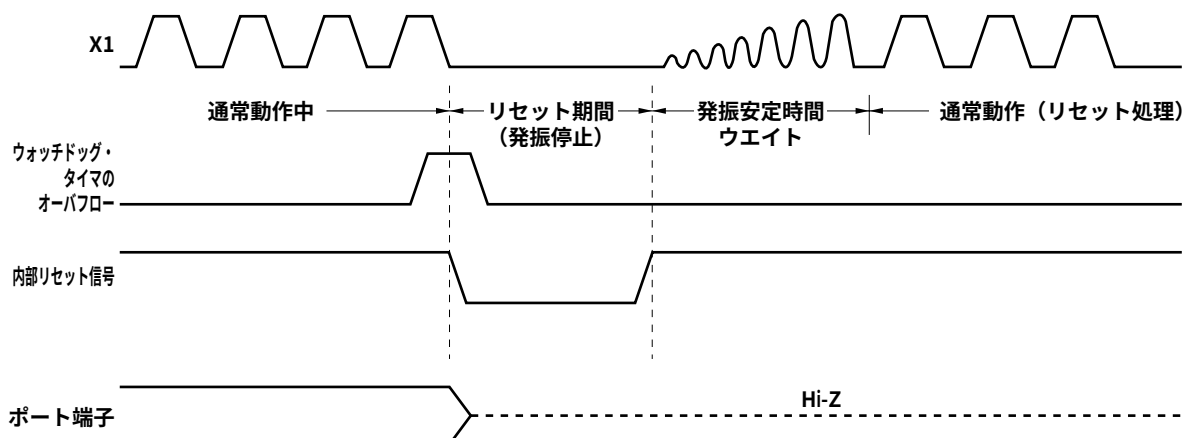
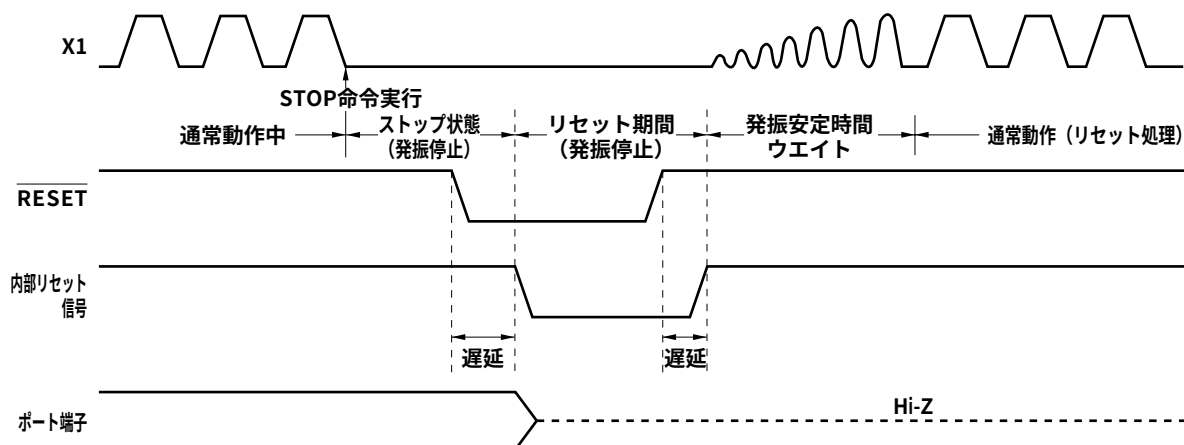
図18-4 STOPモード中の $\overline{\text{RESET}}$ 入力によるリセット・タイミング

表18-1 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) 注1		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセッ トされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定注2
	汎用レジスタ	不定注2
ポート (出力ラッチ)	ポート 0-ポート 3 (P0-P3)	00H
	ポート 4-ポート 6 (P4-P6)	不定
ポート・モード・レジスタ	(PM0)	1FH
	(PM1, PM2, PM3, PM5, PM6)	FFH
プルアップ抵抗オプション・レジスタ (PUO)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		04H
メモリ拡張モード・レジスタ (MM)		10H
メモリ・サイズ切り替えレジスタ (IMS)		注3
発振安定時間選択レジスタ (OSTS)		04H
16ビット・タイマ/ イベント・カウンタ	タイマ・レジスタ (TM0)	0000H
	コンペア・レジスタ (CR00)	不定
	キャプチャ・レジスタ (CR01)	不定
	クロック選択レジスタ (TCL0)	00H
	モード・コントロール・レジスタ (TMC0)	00H
	出力コントロール・レジスタ (TOC0)	00H

注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時にリセットがかかった場合には、リセット前の状態がリセット後も保持されます。

3. メモリ・サイズ切り替えレジスタ (IMS) のリセット時の値は製品により異なります。

μPD78011H : 42H, μPD78012H : 44H, μPD78013H : C6H, μPD78014H : C8H

表18-1 各ハードウェアのリセット後の状態 (2/2)

ハードウェア		リセット後の状態
8ビット・タイマ／ イベント・カウンタ	タイマ・レジスタ (TM1, TM2)	00H
	コンペア・レジスタ (CR10, CR20)	不定
	クロック選択レジスタ (TCL1)	00H
	モード・コントロール・レジスタ (TMC1)	00H
	出力コントロール・レジスタ (TOC1)	00H
時計用タイマ	モード・コントロール・レジスタ (TMC2)	00H
ウォッチドッグ・タイマ	クロック選択レジスタ (TCL2)	
	モード・レジスタ (WDTM)	00H
シリアル・インタフェース	クロック選択レジスタ (TCL3)	88H
	シフト・レジスタ (SIO0, SIO1)	不定
	モード・レジスタ (CSIM0, CSIM1)	00H
	シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)	00H
	スレーブ・アドレス・レジスタ (SVA)	不定
	自動データ送受信コントロール・レジスタ (ADTC)	00H
	自動データ送受信間隔指定レジスタ (ADTI)	00H
	自動データ送受信アドレス・ポインタ (ADTP)	00H
	割り込みタイミング指定レジスタ (SINT)	00H
A/Dコンバータ	モード・レジスタ (ADM)	01H
	変換結果レジスタ (ADCR)	不定
	入力選択レジスタ (ADIS)	00H
割り込み	要求フラグ・レジスタ (IF0L, IF0H)	00H
	マスク・フラグ・レジスタ (MK0L, MK0H)	FFH
	優先順位指定フラグ・レジスタ (PR0L, PR0H)	FFH
	外部割り込みモード・レジスタ (INTM0)	00H
	キー・リターン・モード・レジスタ (KRM)	02H
	サンプリング・クロック選択レジスタ (SCS)	00H

第19章 μ PD78P018Fの概要

μ PD78P018Fは、一度だけ書き込み可能なワン・タイムPROMまたはプログラムの書き込み、消去、再書き込みが可能なEPROMを内蔵した製品です。 μ PD78P018Fは μ PD78018Fサブシリーズの製品ですが、 μ PD78014Hサブシリーズにも対応しています。

19.1 オーダ情報

オーダ名称	パッケージ	内部ROM
μ PD78P018FCW	64ピン・プラスチック・シュリンクDIP (750 mil)	ワン・タイムPROM
μ PD78P018FDW	64ピン・セラミック・シュリンクDIP (窓付き) (750 mil)	EPROM
μ PD78P018FGC-AB8	64ピン・プラスチックQFP ($\square$ 14 mm)	ワン・タイムPROM
μ PD78P018FGK-8A8	64ピン・プラスチックLQFP ($\square$ 12 mm)	//
μ PD78P018FKK-S	64ピン・セラミックWQFN ($\square$ 14 mm)	EPROM
μ PD78P018FCW(A)	64ピン・プラスチック・シュリンクDIP (750 mil)	ワン・タイムPROM
μ PD78P018FGC(A)-AB8	64ピン・プラスチックQFP ($\square$ 14 mm)	//

19.2 品質水準

オーダ名称	パッケージ	品質水準
μ PD78P018FCW	64ピン・プラスチック・シュリンクDIP (750 mil)	標準 (一般電子機器用)
μ PD78P018FDW	64ピン・セラミック・シュリンクDIP (窓付き) (750 mil)	適用外 (機能評価用)
μ PD78P018FGC-AB8	64ピン・プラスチックQFP ($\square$ 14 mm)	標準 (一般電子機器用)
μ PD78P018FGK-8A8	64ピン・プラスチックLQFP ($\square$ 12 mm)	//
μ PD78P018FKK-S	64ピン・セラミックWQFN ($\square$ 14 mm)	適用外 (機能評価用)
μ PD78P018FCW(A)	64ピン・プラスチック・シュリンクDIP (750 mil)	特別 (高信頼度電子機器用)
μ PD78P018FGC(A)-AB8	64ピン・プラスチックQFP ($\square$ 14 mm)	//

注意 μ PD78P018FDW, 78P018FKK-Sは、お客様の装置の量産製品に使用されることを意図した信頼性を保持しておりません。実験または機能評価用のみご使用ください。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(資料番号 C11531J)をご覧ください。

19.3 端子接続図 (Top View)

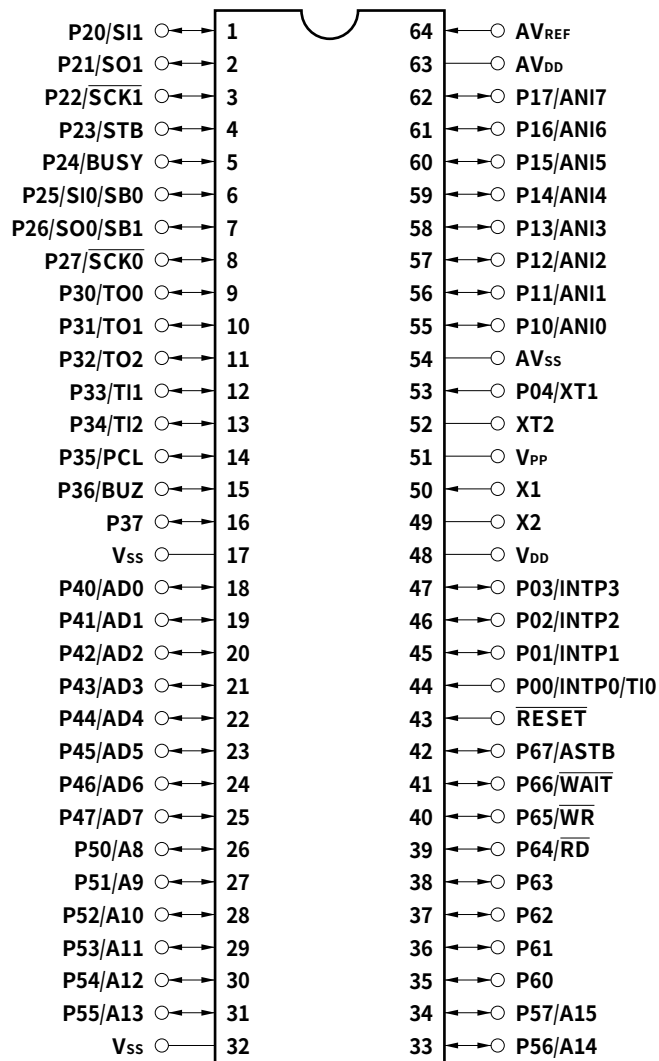
(1) 通常動作モード

- ・ 64ピン・プラスチック・シュリンクDIP (750 mil)

μ PD78P018FCW, 78P018FCW(A)

- ・ 64ピン・セラミック・シュリンクDIP (窓付き) (750 mil)

μ PD78P018FDW



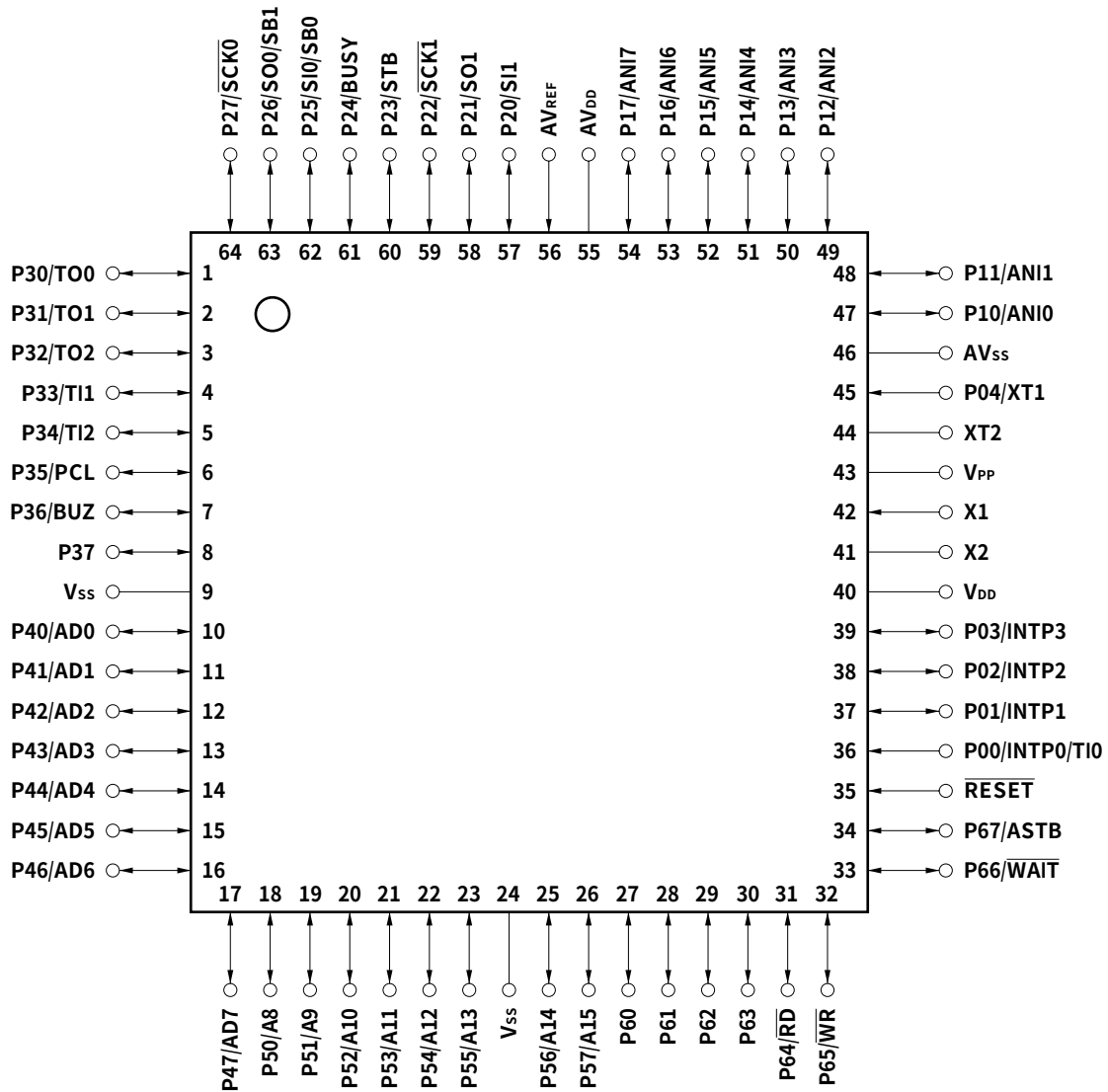
注意 1. AVDD端子はVDDに接続してください。

2. AVSS端子はVSSに接続してください。

3. VPP端子はVSSに直接接続してください。

★

- ・64ピン・プラスチックQFP (□14 mm)
 μ PD78P018FGC-AB8, 78P018FGC(A)-AB8
- ・64ピン・プラスチックLQFP (□12 mm)
 μ PD78P018FGK-8A8
- ・64ピン・セラミックWQFN (□14 mm)
 μ PD78P018FKK-S



注意 1. AV_{DD}端子はV_{DD}に接続してください。

2. AV_{SS}端子はV_{SS}に接続してください。

3. V_{PP}端子はV_{SS}に直接接続してください。

★

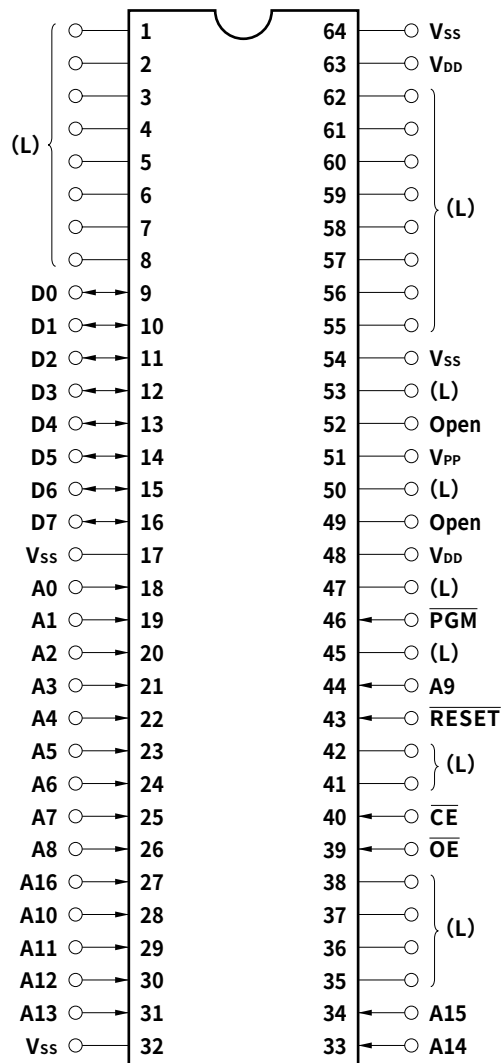
A8-A15	: Address Bus	PCL	: Programmable Clock
AD0-AD7	: Address/Data Bus	$\overline{\text{RD}}$	: Read Strobe
ANI0-ANI7	: Analog Input	$\overline{\text{RESET}}$	: Reset
ASTB	: Address Strobe	SB0, SB1	: Serial Bus
AV _{DD}	: Analog Power Supply	$\overline{\text{SCK0}}, \overline{\text{SCK1}}$	: Serial Clock
AV _{REF}	: Analog Reference Voltage	SI0, SI1	: Serial Input
AV _{SS}	: Analog Ground	SO0, SO1	: Serial Output
BUSY	: Busy	STB	: Strobe
BUZ	: Buzzer Clock	TI0-TI2	: Timer Input
INTP0-INTP3	: Interrupt from Peripherals	TO0-TO2	: Timer Output
P00-P04	: Port0	V _{DD}	: Power Supply
P10-P17	: Port1	V _{PP}	: Programming Power Supply
P20-P27	: Port2	V _{SS}	: Ground
P30-P37	: Port3	$\overline{\text{WAIT}}$	: Wait
P40-P47	: Port4	$\overline{\text{WR}}$	: Write Strobe
P50-P57	: Port5	X1, X2	: Crystal (Main System Clock)
P60-P67	: Port6	XT1, XT2	: Crystal (Subsystem Clock)

(2) PROMプログラミング・モード

・ 64ピン・プラスチック・シュリンクDIP (750 mil)

 μ PD78P018FCW, 78P018FCW(A)

・ 64ピン・セラミック・シュリンクDIP (窓付き) (750 mil)

 μ PD78P018FDW

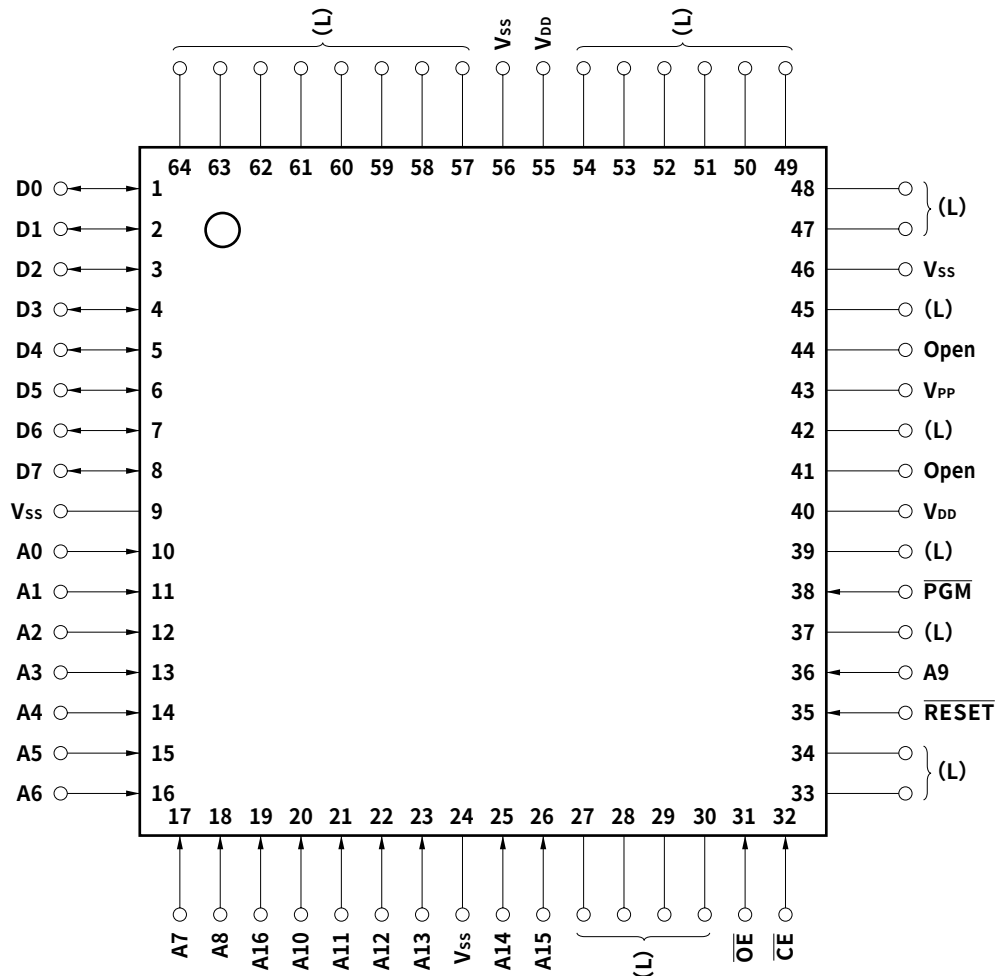
注意 1. (L) : 個別にプルダウン抵抗を介してV_{SS}に接続してください。

2. V_{SS} : グランドに接続してください。

3. RESET : ロウ・レベルにしてください。

4. Open : 何も接続しないでください。

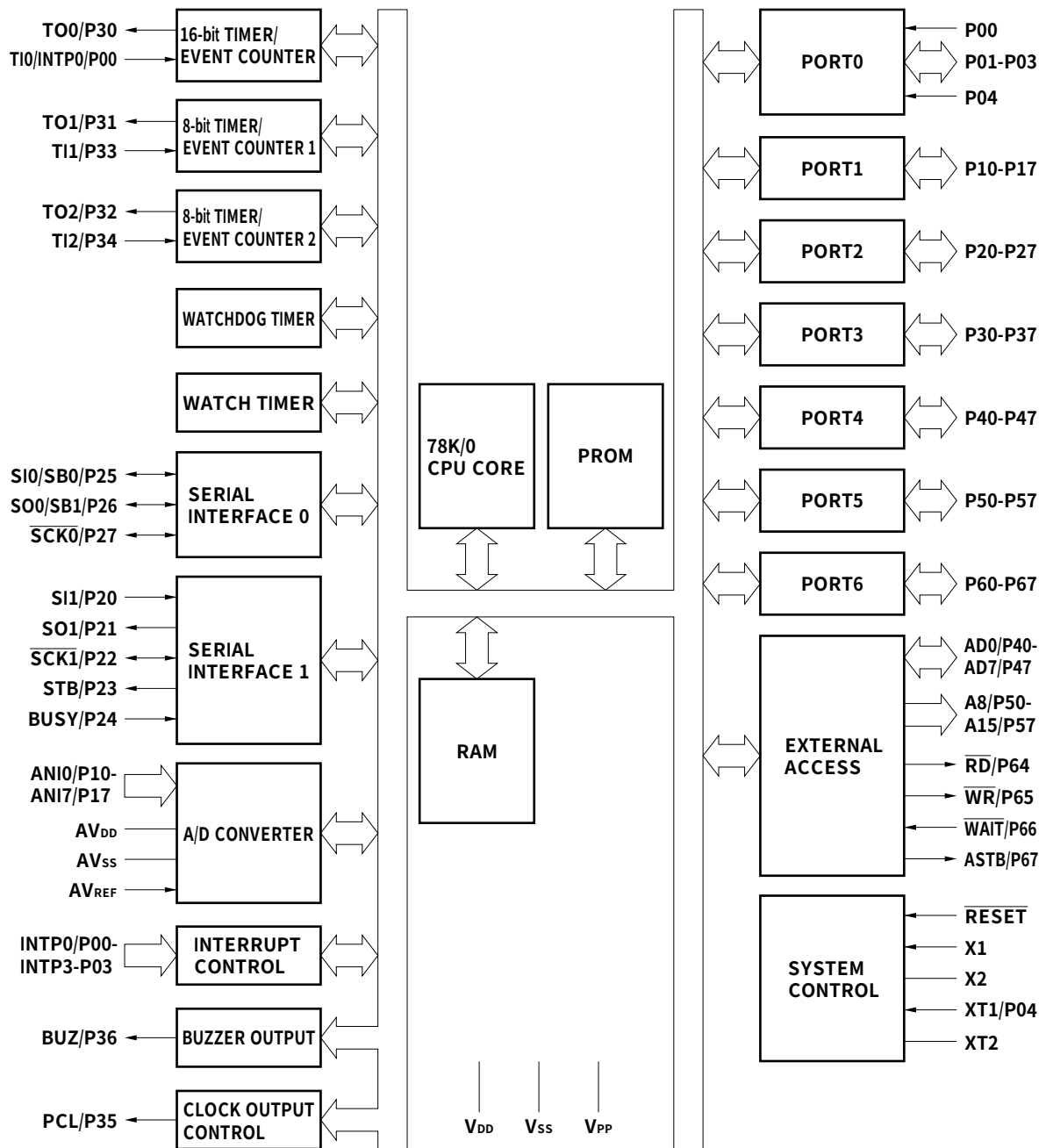
- ・ 64ピン・プラスチックQFP (□14 mm)
μ PD78P018FGC-AB8, 78P018FGC(A)-AB8
- ・ 64ピン・プラスチックLQFP (□12 mm)
μ PD78P018FGK-8A8
- ・ 64ピン・セラミックWQFN (□14 mm)
μ PD78P018FKK-S



- 注意 1. (L) : 個別にプルダウン抵抗を介してV_{SS}に接続してください。
2. V_{SS} : グランドに接続してください。
3. $\overline{\text{RESET}}$: ロウ・レベルにしてください。
4. Open : 何も接続しないでください。

A0-A16	: Address Bus	$\overline{\text{RESET}}$	: Reset
$\overline{\text{CE}}$	: Chip Enable	V_{DD}	: Power Supply
D0-D7	: Data Bus	V_{PP}	: Programming Power Supply
$\overline{\text{OE}}$	: Output Enable	V_{SS}	: Ground
$\overline{\text{PGM}}$	: Program		

19.4 ブロック図



19.5 端子機能一覧

19.5.1 通常動作モード時の端子

(1) ポート端子 (1/2)

端子名称	入出力	機 能		リセット時	兼用端子
P00	入力	ポート0。	入力専用。	入力	INTP0/TI0
P01	入出力	5ビット入出力ポート。	1ビット単位で入力／出力の指定可能。		INTP1
P02			入力ポートとして使用した場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。		INTP2
P03					INTP3
P04 ^{注1}	入力		入力専用。		XT1
P10-P17	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートとして使用した場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。 ^{注2}			ANI0-ANI7
P20	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートとして使用した場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。			SI1
P21					SO1
P22					$\overline{\text{SCK1}}$
P23					STB
P24					BUSY
P25					SI0/SB0
P26					SO0/SB1
P27					$\overline{\text{SCK0}}$
P30	入出力	ポート3。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートとして使用した場合、ソフトウェアにより、内蔵プルアップ抵抗を使用可能。			TO0
P31					TO1
P32					TO2
P33					TI1
P34					TI2
P35					PCL
P36					BUZ
P37					—

注1．P04/XT1端子を入力ポートとして使用するときは、プロセッサ・コントロール・レジスタ（PCC）のビット6（FRC）を1に設定してください（サブシステム・クロック発振回路の内蔵フィードバック抵抗を使用しないでください）。

2．P10/ANI0-P17/ANI7端子をA/Dコンバータのアナログ入力として使用するとき、ポート1を入力モードにしてください。なお、内蔵プルアップ抵抗は自動的に使用されなくなります。

(1) ポート端子 (2/2)

端子名称	入出力	機能		リセット時	兼用端子
P40-P47	入出力	ポート 4。 8 ビット入出力ポート。 8 ビット単位で入力／出力の指定可能。 入力ポートとして使用した場合，ソフトウェアにより，内蔵プルアップ抵抗を使用可能。 立ち下がりエッジ検出により，テスト入力フラグ（KRIF）を 1 にセット。		入力	AD0-AD7
P50-P57	入出力	ポート 5。 8 ビット入出力ポート。 LEDを直接駆動可能。 1 ビット単位で入力／出力の指定可能。 入力ポートとして使用した場合，ソフトウェアにより，内蔵プルアップ抵抗を使用可能。			A8-A15
P60	入出力	ポート 6。	N-chオープン・ドレイン入出力ポート。		—
P61		8 ビット入出力ポート。	マスクROM製品のみマスク・オプションにより，内蔵プルアップ抵抗を使用可能。		
P62					
P63		1 ビット単位で入力／	LED直接駆動可能。		
P64		出力の指定可能。	入力ポートとして使用した場合，ソフトウェアにより，内蔵プルアップ抵抗を使用可能。		RD
P65					WR
P66					WAIT
P67				ASTB	

(2) ポート以外の端子 (1/2)

端子名称	入出力	機 能	リセット時	兼用端子
INTP0	入力	有効エッジ（立ち上がりエッジ，立ち下がりエッジ，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力。	入力	P00/TI0
INTP1				P01
INTP2				P02
INTP3				立ち下がりエッジ検出外部割り込み要求入力。
SI0	入力	シリアル・インタフェースのシリアル・データ入力。		P25/SB0
SI1				P20
SO0	出力	シリアル・インタフェースのシリアル・データ出力。		P26/SB1
SO1				P21
SB0	入出力	シリアル・インタフェースのシリアル・データ入力／出力。		P25/SI0
SB1				P26/SO0
SCK0	入出力	シリアル・インタフェースのシリアル・クロック入力／出力。		P27
SCK1				P22
STB	出力	シリアル・インタフェース自動送受信用ストロブ出力。		P23
BUSY	入力	シリアル・インタフェース自動送受信用ビジー入力。		P24
TI0	入力	16ビット・タイマ（TM0）への外部カウント・クロック入力。		P00/INTP0
TI1		8ビット・タイマ（TM1）への外部カウント・クロック入力。		P33
TI2		8ビット・タイマ（TM2）への外部カウント・クロック入力。		P34
TO0	出力	16ビット・タイマ（TM0）出力（14ビットPWM出力と兼用）。		P30
TO1		8ビット・タイマ（TM1）出力。		P31
TO2		8ビット・タイマ（TM2）出力。		P32
PCL	出力	クロック出力（メイン・システム・クロック，サブシステム・クロックのトリミング用）。		P35
BUZ	出力	ブザー出力。		P36
AD0-AD7	入出力	外部にメモリを拡張する場合の，下位アドレス／データ・バス。		P40-P47
A8-A15	出力	外部にメモリを拡張する場合の，上位アドレス・バス。		P50-P57
RD	出力	外部メモリのリード動作用ストロブ信号出力。		P64
WR		外部メモリのライト動作用ストロブ信号出力。		P65
WAIT	入力	外部メモリ・アクセス時のウエイト挿入。		P66
ASTB	出力	外部メモリをアクセスするために，ポート4，ポート5に出力されるアドレス情報を外部でラッチするストロブ出力。		P67

(2) ポート以外の端子 (2/2)

端子名称	入出力	機 能	リセット時	兼用端子
ANI0-ANI7	入力	A/Dコンバータのアナログ入力。	入力	P10-P17
AV _{REF}	入力	A/Dコンバータの基準電圧入力。	—	—
AV _{DD}	—	A/Dコンバータのアナログ電源。V _{DD} に接続してください。	—	—
AV _{SS}	—	A/Dコンバータのグランド電位。V _{SS} に接続してください。	—	—
$\overline{\text{RESET}}$	入力	システム・リセット入力。	—	—
X1	入力	メイン・システム・クロック発振用クリスタル接続。	—	—
X2	—		—	—
XT1	入力	サブシステム・クロック発振用クリスタル接続。	入力	P04
XT2	—		—	—
V _{DD}	—	正電源。	—	—
V _{PP}	—	プログラム書き込み／ベリファイ時の高電圧印加。通常動作モード時はV _{SS} に直接接続してください。	—	—
V _{SS}	—	グランド電位。	—	—

19.5.2 PROMプログラミング・モード時の端子

端子名称	入出力	機 能
$\overline{\text{RESET}}$	入力	PROMプログラミング・モード設定。 V _{PP} 端子に+5 Vまたは+12.5 V, $\overline{\text{RESET}}$ 端子にロウ・レベルを印加すると, PROMプログラミング・モードになります。
V _{PP}	入力	PROMプログラミング・モード設定およびプログラム書き込み／ベリファイ時の高電圧印加。
A0-A16	入力	アドレス・バス。
D0-D7	入出力	データ・バス。
$\overline{\text{CE}}$	入力	PROMイネーブル入力／プログラム・パルス入力。
$\overline{\text{OE}}$	入力	PROMへのリード・ストロブ入力。
$\overline{\text{PGM}}$	入力	PROMプログラミング・モード時のプログラム／プログラム・インヒビット入力。
V _{DD}	—	正電源。
V _{SS}	—	グランド電位。

19.6 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表19－1に示します。

また、各タイプの入出力回路の構成は、図19－1を参照してください。

表19－1 各端子の入出力回路タイプ (1/2)

端 子 名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/INTP0/TI0	2	入力	V _{SS} に接続してください。
P01/INTP1	8-A	入出力	個別に抵抗を介して、V _{SS} に接続してください。
P02/INTP2			
P03/INTP3			
P04/XT1	16	入力	V _{DD} に接続してください。
P10/ANI0-P17/ANI7	11	入出力	個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P20/SI1	8-A		
P21/SO1	5-A		
P22/SCK1	8-A		
P23/STB	5-A		
P24/BUSY	8-A		
P25/SI0/SB0	10-A		
P26/SO0/SB1			
P27/SCK0			
P30/TO0	5-A		
P31/TO1			
P32/TO2			
P33/TI1	8-A		
P34/TI2			
P35/PCL	5-A		
P36/BUZ			
P37			
P40/AD0-P47/AD7	5-E		個別に抵抗を介して、V _{DD} に接続してください。
P50/A8-P57/A15	5-A		個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P60-P63（マスクROM製品）	13-B		個別に抵抗を介して、V _{DD} に接続してください。
P60-P63（PROM製品）	13-D		
P64/RD	5-A		個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P65/WR			
P66/WAIT			
P67/ASTB			

表19－1 各端子の入出力回路タイプ (2/2)

端 子 名	入出力回路タイプ	入出力	未使用時の推奨接続方法
RESET	2	入力	－
XT2	16	－	オープンにしてください。
AV _{REF}	－		V _{SS} に接続してください。
AV _{DD}			V _{DD} に接続してください。
AV _{SS}			V _{SS} に接続してください。
V _{PP}			V _{SS} に直接接続してください。

図19-1 端子の入出力回路一覧 (1/2)

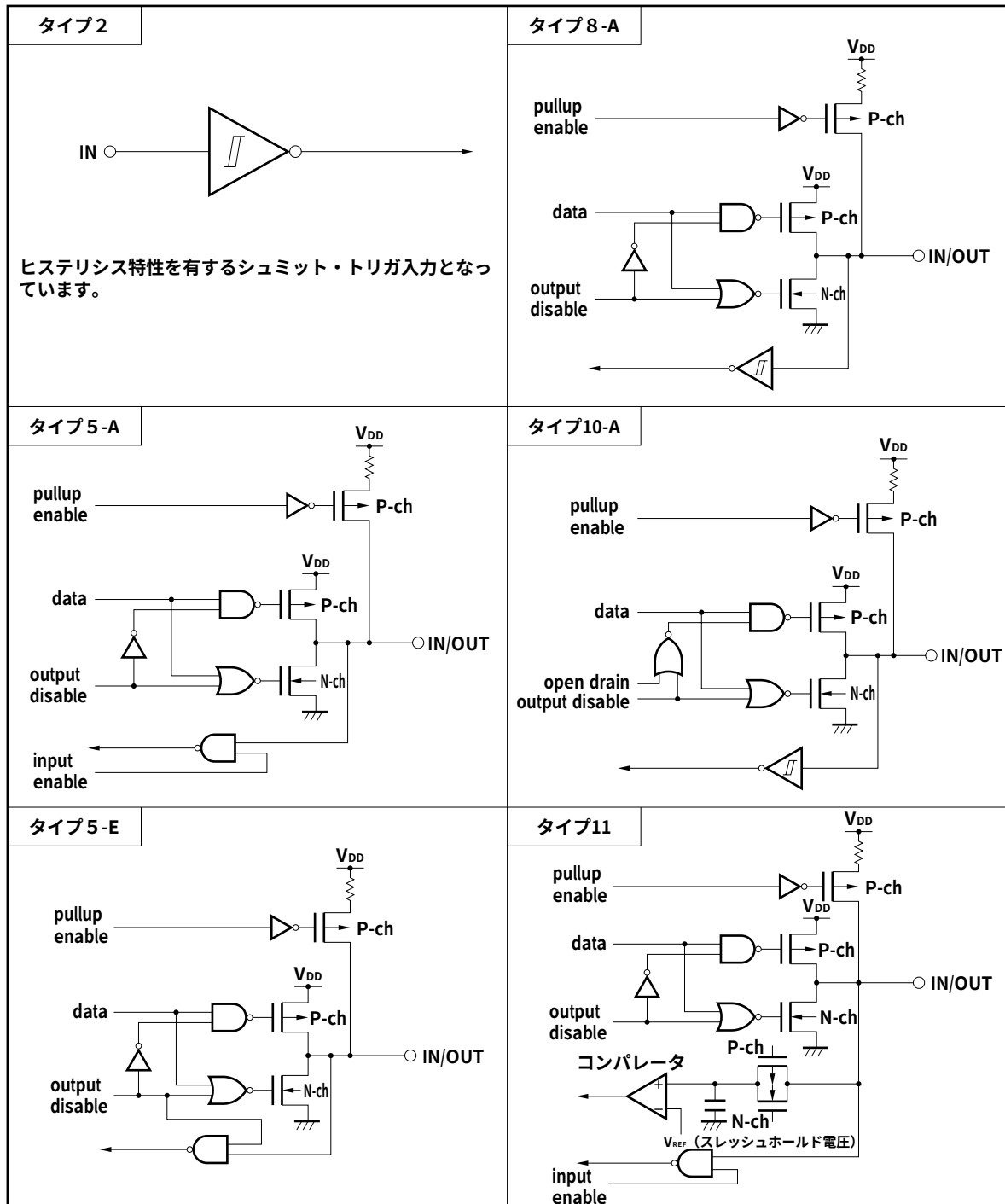
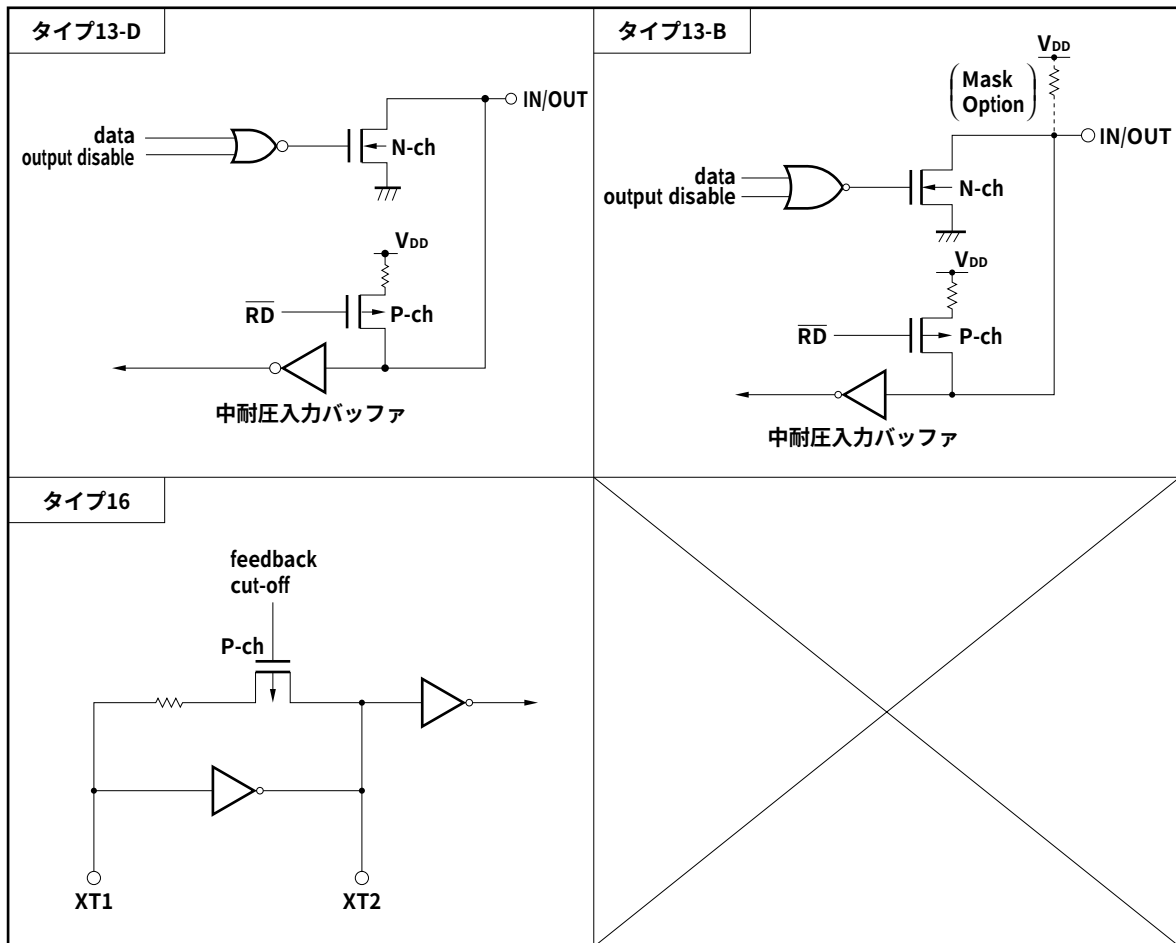
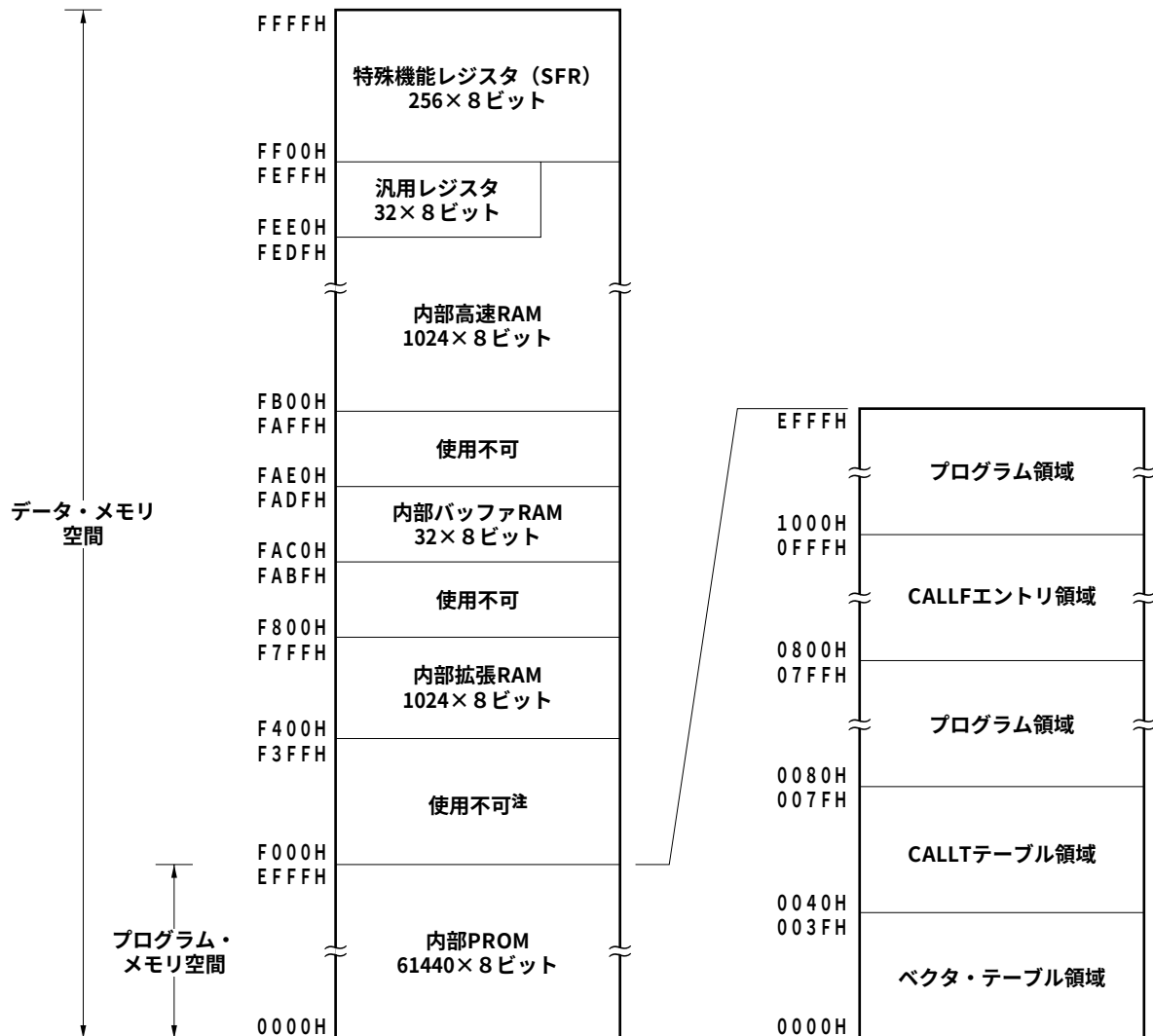


図19-1 端子の入出力回路一覧 (2/2)



19.7 メモリ・マップ

図19-2 メモリ・マップ (μ PD78P018F)



注 内部PROMが60 Kバイトのとき、F000H-F3FFHの領域は使用できません。

メモリ・サイズ切り替えレジスタ (IMS) で内部PROMを56 Kバイト以下に設定することにより、F000H-F3FFHを外部メモリとして使用できます。

19.8 メモリ・サイズ切り替えレジスタ

μ PD78P018Fは、メモリ・サイズ切り替えレジスタ（IMS）により、内部メモリを選択できます。IMSの設定により、内部メモリの異なるマスクROM製品のメモリ・マッピングと同一のメモリ・マッピングにできます。

μ PD78P018Fのメモリ・マップをマスクROM製品と同一にするためには、IMSにマスクROM製品のリセット時の値を設定してください。

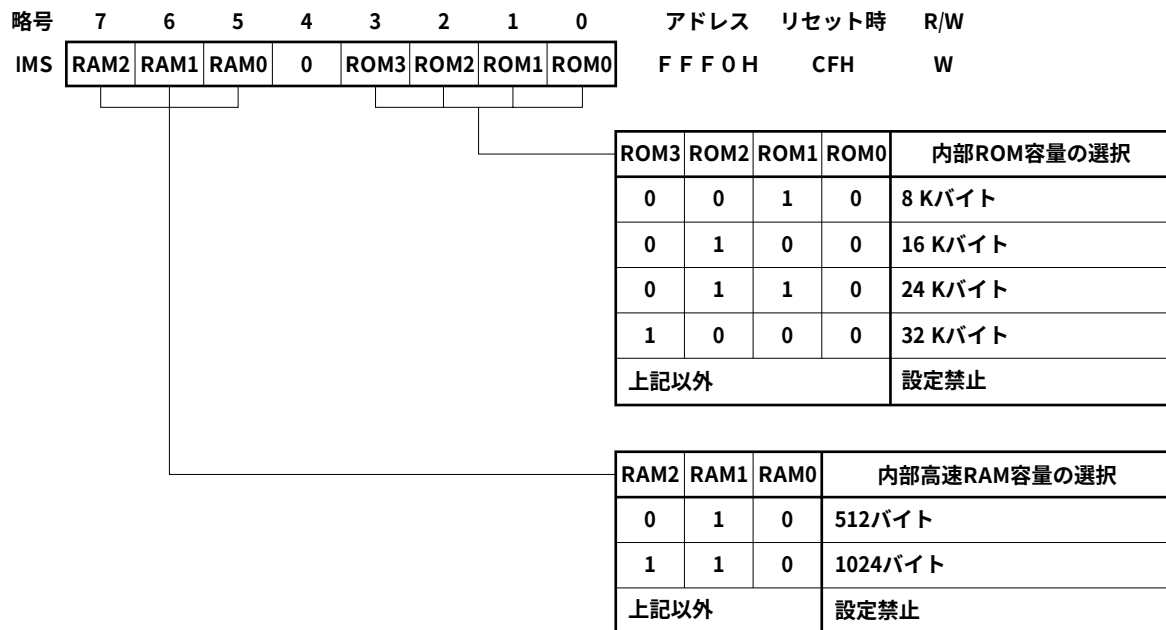
マスクROM製品ではIMSを設定する必要はありません。

IMSは、8ビット・メモリ操作命令で設定します。

RESET入力により、表19－2に示す値になります。

注意 マスクROM製品を使用する場合、IMSには表19－2に示すリセット時の値以外を設定しないでください。

図19－3 メモリ・サイズ切り替えレジスタのフォーマット



マスクROM製品と同一のメモリ・マップにするIMSの設定値を表19－2に示します。

表19－2 メモリ・サイズ切り替えレジスタの設定値

対象のマスクROM製品	IMSの設定値
μPD78011H	42H
μPD78012H	44H
μPD78013H	C6H
μPD78014H	C8H

19.9 内部拡張RAMサイズ切り替えレジスタ

μPD78P018Fは、内部拡張RAMサイズ切り替えレジスタ（IXS）の設定により、内部拡張RAMサイズの異なるマスクROM製品と同一のメモリ・マップにできます。

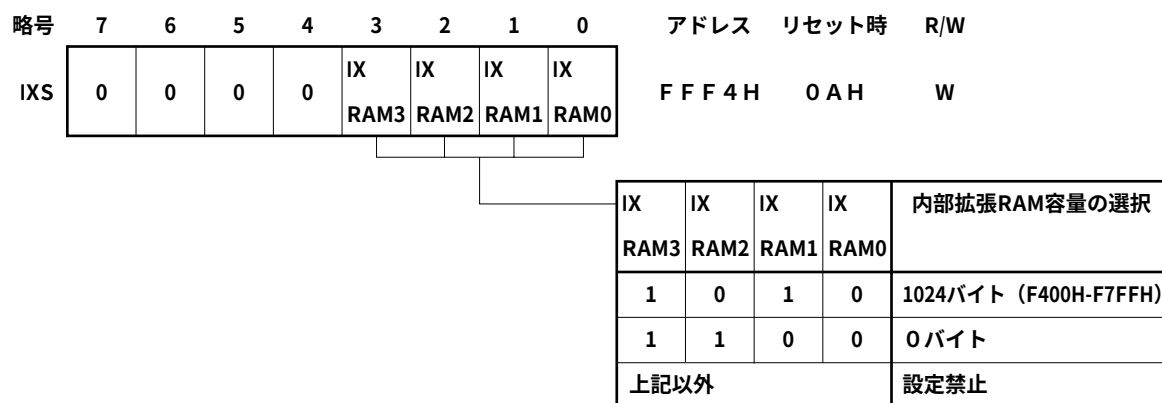
μPD78014HサブシリーズにはIXSはありません。

IXSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、0AHになります。

注意 内部拡張RAMサイズ切り替えレジスタは、μPD78P018Fのみ内蔵しています。

図19－4 内部拡張RAMサイズ切り替えレジスタのフォーマット



マスクROM製品と同一のメモリ・マップにするIXSの設定値は、0CH[※]です。

注 「MOV IXS, #0CH」が記述されたμPD78P018F用のプログラムを、IXSを内蔵していない製品で実行しても、動作に影響を与えません。

19.10 PROMプログラミング

μ PD78P018Fは、プログラム・メモリとして60 Kバイト構成のPROMを内蔵しています。プログラミングをするときは、 V_{PP} 端子、 $\overline{RESET}$ 端子でPROMプログラミング・モードに設定します。その他、使用しない端子の処理は、19.3 端子接続図（2）PROMプログラミング・モードを参照してください。

注意 プログラム書き込みは、0000H-EFFFH番地の範囲で行ってください（最終アドレスEFFFHを指定してください）。書き込みアドレスを指定できないPROMプログラマでは書き込みできません。

19.10.1 動作モード

V_{PP} 端子に+5 Vまたは+12.5 V、 $\overline{RESET}$ 端子にロウ・レベルを印加すると、PROMプログラミング・モードになります。このモードは $\overline{CE}$ 端子、 $\overline{OE}$ 端子、PGM端子の設定により、表19-3のような動作モードになります。

また、読み出しモードに設定することにより、PROMの内容を読み出すことができます。

表19-3 PROMプログラミングの動作モード

端子 動作モード	RESET	V _{PP}	V _{DD}	CE	OE	PGM	D0-D7
ページ・データ・ラッチ	L	+12.5 V	+6.5 V	H	L	H	データ入力
ページ書き込み				H	H	L	ハイ・インピーダンス
バイト書き込み				L	H	L	データ入力
プログラム・ベリファイ				L	L	H	データ出力
プログラム・インヒビット				×	H	H	ハイ・インピーダンス
				×	L	L	
読み出し		+5 V	+5 V	L	L	H	データ出力
出力ディスエーブル				L	H	×	ハイ・インピーダンス
スタンバイ				H	×	×	ハイ・インピーダンス

備考 ×：LまたはH

（1）読み出しモード

$\overline{CE} = L$ 、 $\overline{OE} = L$ に設定することにより、読み出しモードになります。

（2）出力ディスエーブル・モード

$\overline{OE} = H$ にすることにより、データ出力がハイ・インピーダンスになり出力ディスエーブル・モードになります。

したがって、データ・バスに複数の μ PD78P018Fを接続した場合、 $\overline{OE}$ 端子を制御することで任意の1個のデバイスよりデータを読み出すことができます。

(3) スタンバイ・モード

$\overline{CE} = H$ にすることによりスタンバイ・モードになります。

このモードでは、 $\overline{OE}$ の状態に関係なくデータ出力がハイ・インピーダンスになります。

(4) ページ・データ・ラッチ・モード

ページ書き込みモードの初期に $\overline{CE} = H$, $\overline{PGM} = H$, $\overline{OE} = L$ にすることにより、ページ・データ・ラッチ・モードになります。

このモードでは、1ページ4バイトのデータが内部のアドレス／データ・ラッチ回路にラッチされます。

(5) ページ書き込みモード

ページ・データ・ラッチ・モードにより1ページ4バイトのアドレスとデータをラッチ後、 $\overline{CE} = H$, $\overline{OE} = H$ の状態に $\overline{PGM}$ 端子に0.1 msのプログラム・パルス（アクティブ・ロウ）を印加することによりページ書き込みが実行されます。その後、 $\overline{CE} = L$, $\overline{OE} = L$ にすることにより、プログラム・ベリファイを行えます。

1回のプログラム・パルスでプログラムされない場合にはX回（ $X \leq 10$ ）の書き込みとベリファイを繰り返し実行します。

(6) バイト書き込みモード

$\overline{CE} = L$, $\overline{OE} = H$ の状態に $\overline{PGM}$ 端子に0.1 msのプログラム・パルス（アクティブ・ロウ）を印加することによりバイト書き込みが実行されます。その後、 $\overline{OE} = L$ にすることにより、プログラム・ベリファイが行えます。

1回のプログラム・パルスでプログラムされない場合にはX回（ $X \leq 10$ ）の書き込みとベリファイを繰り返し実行します。

(7) プログラム・ベリファイ・モード

$\overline{CE} = L$, $\overline{PGM} = H$, $\overline{OE} = L$ にすることにより、プログラム・ベリファイ・モードになります。

書き込みを行ったのち、正しく書き込まれたかどうかこのモードで確認してください。

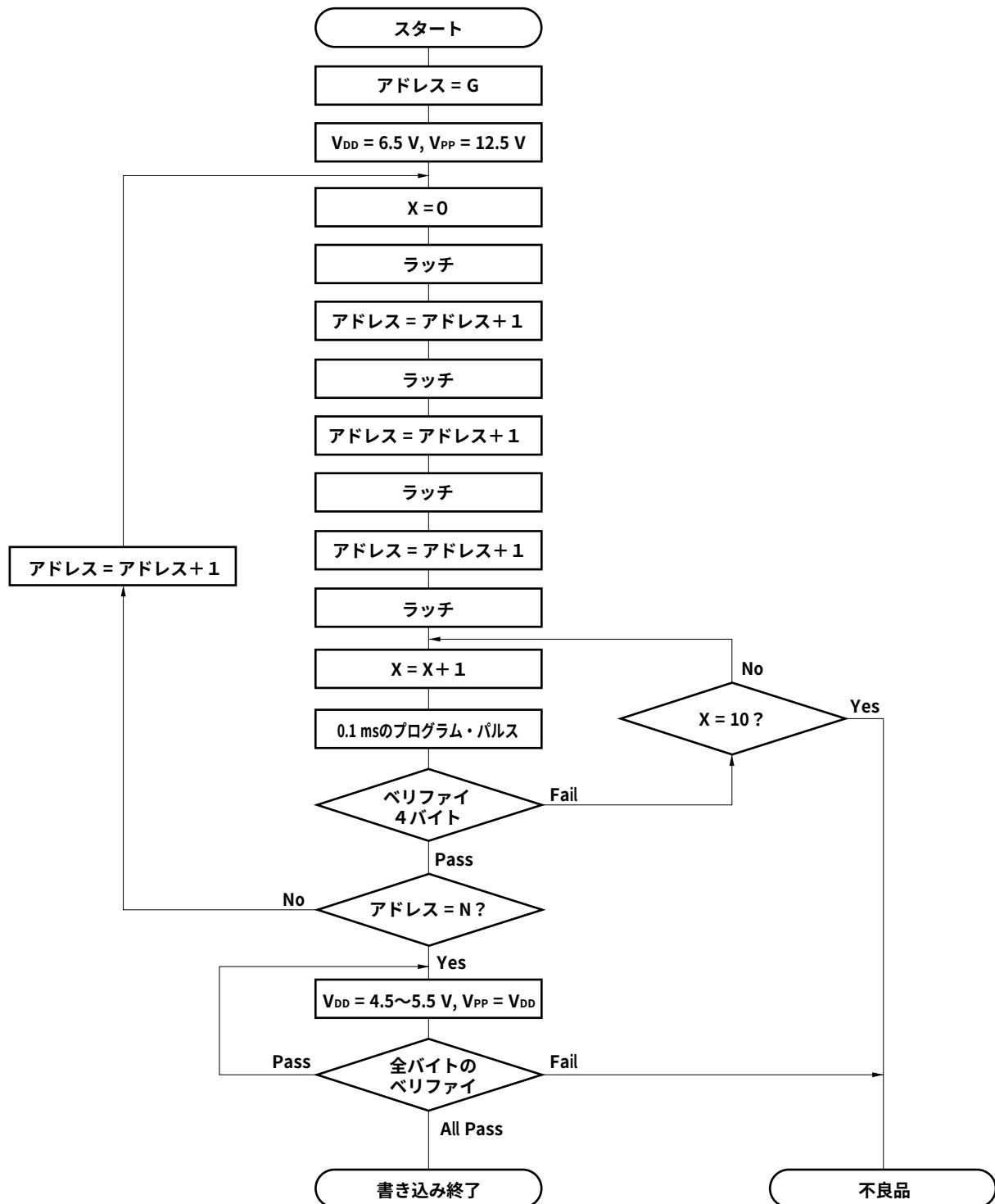
(8) プログラム・インヒビット・モード

プログラム・インヒビット・モードは、複数の μ PD78P018Fの $\overline{OE}$ 端子、 V_{PP} 端子、D0-D7端子がパラレルに接続されている状態でその中の1個のデバイスに書き込みを行う場合に使用します。

書き込みを行う場合に、上記ページ書き込みモードあるいはバイト書き込みモードを使用します。このとき、 $\overline{PGM}$ 端子をハイ・レベルにしたデバイスには書き込みが行われません。

19.10.2 PROM書き込みの手順

図19-5 ページ・プログラム・モード・フロー・チャート



G = 開始アドレス

N = プログラムの最終アドレス

図19-6 ページ・プログラム・モード・タイミング

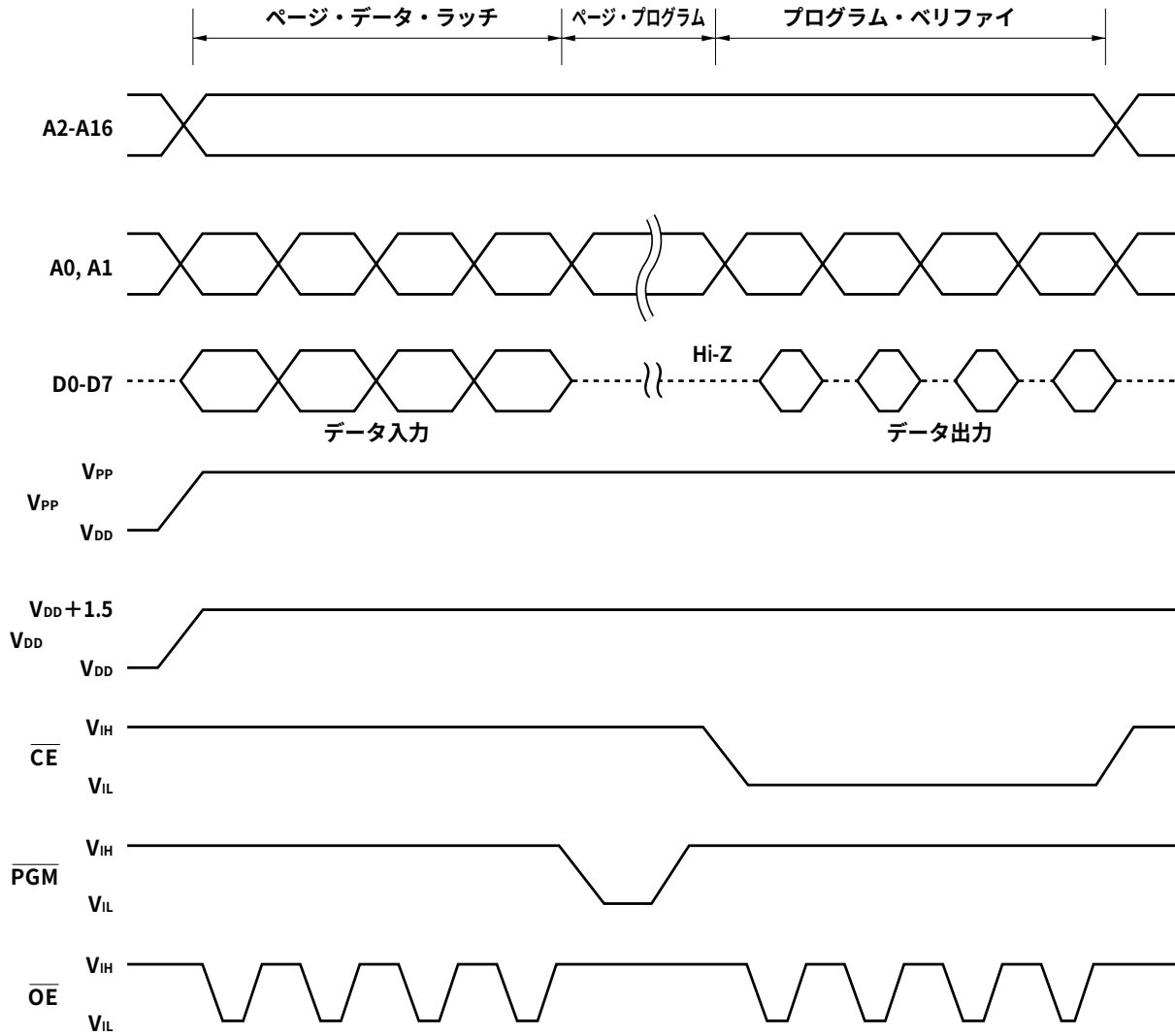
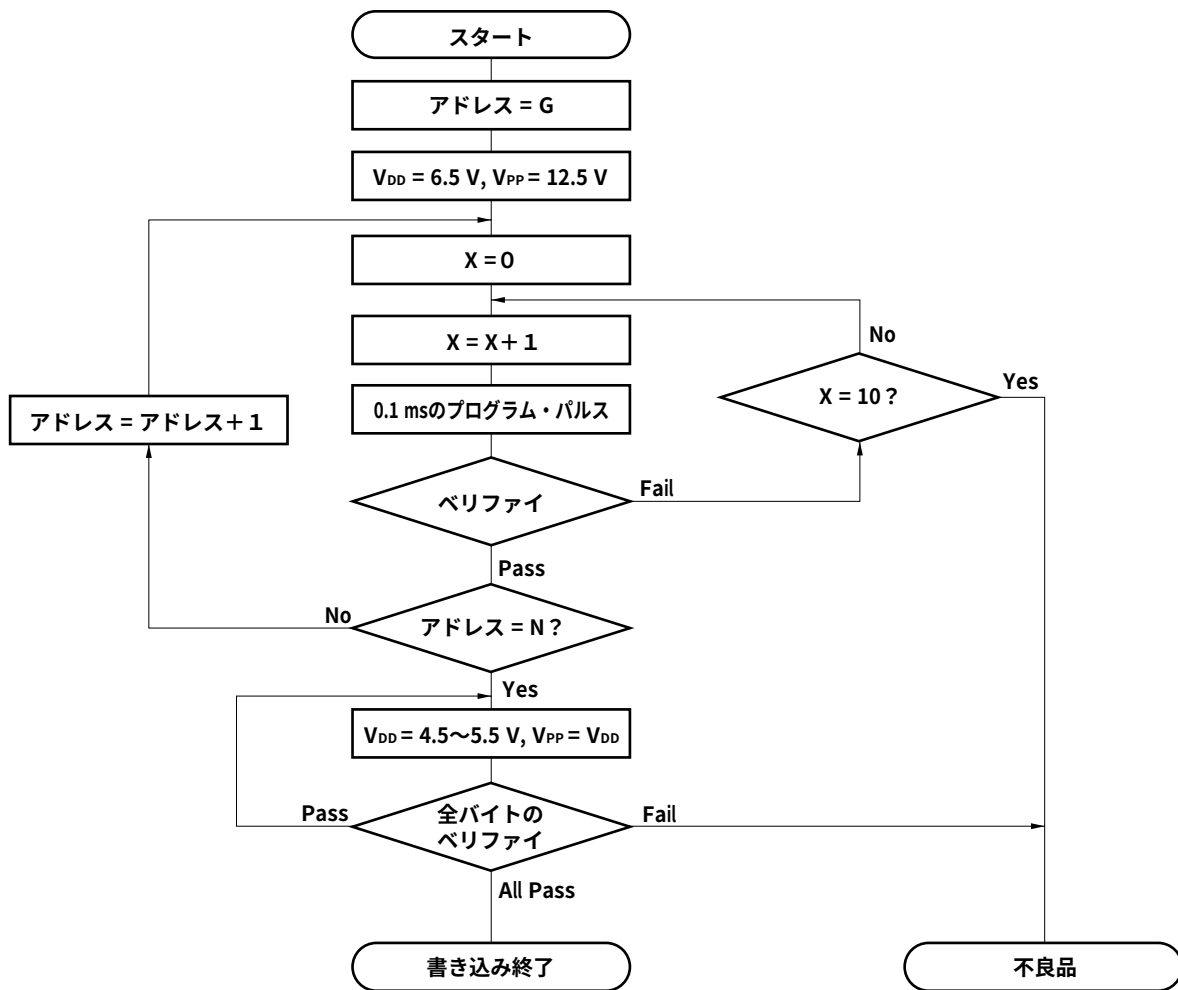


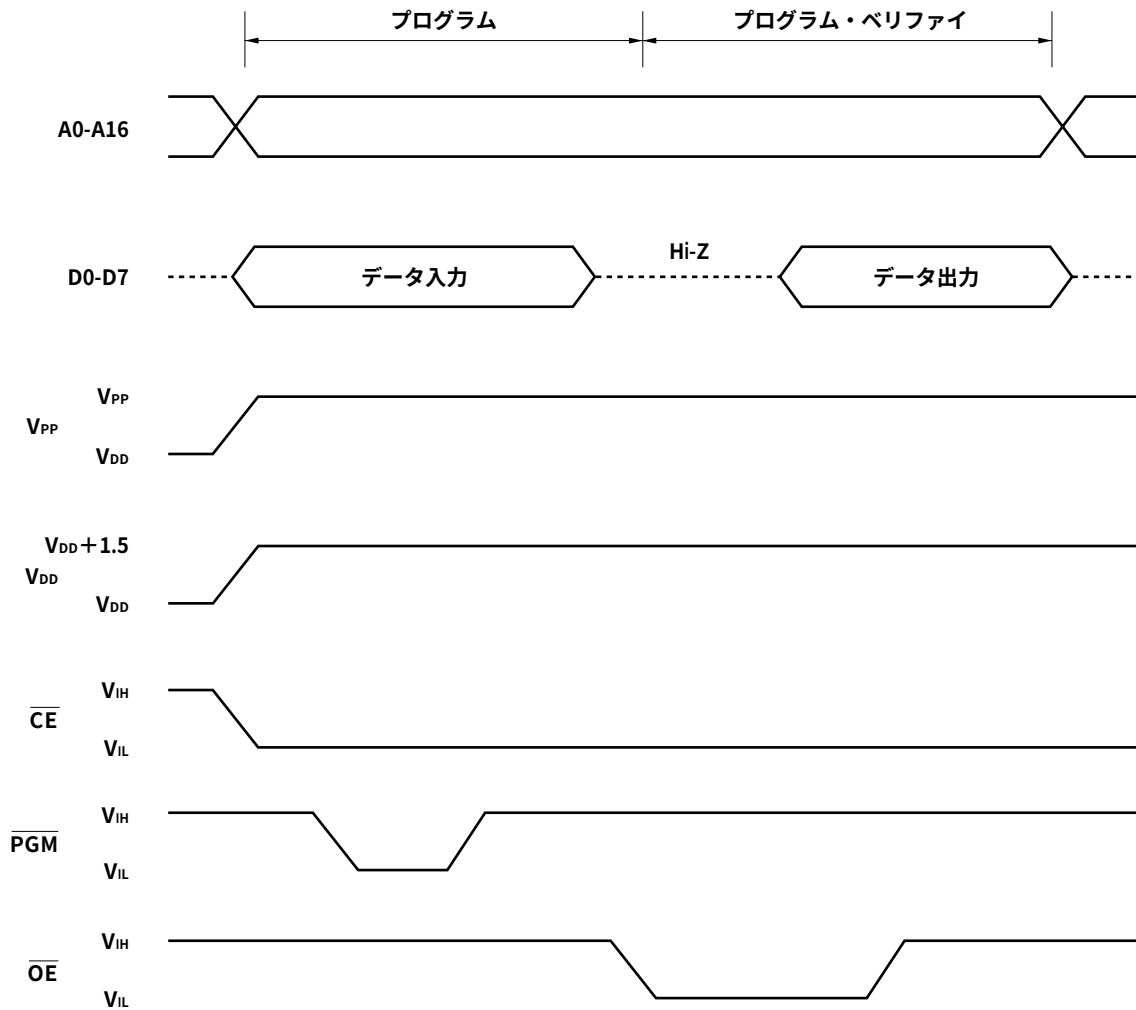
図19-7 バイト・プログラム・モード・フロー・チャート



G = 開始アドレス

N = プログラムの最終アドレス

図19-8 バイト・プログラム・モード・タイミング



注意 1. V_{DD} は V_{PP} より前に印加し、 V_{PP} のあとから切断するようにしてください。

2. V_{PP} はオーバシュートを含めて+13.5 V以上にならないようにしてください。

3. V_{PP} に+12.5 Vが印加されている間に抜き差しした場合、信頼性上、悪影響を受ける可能性があります。

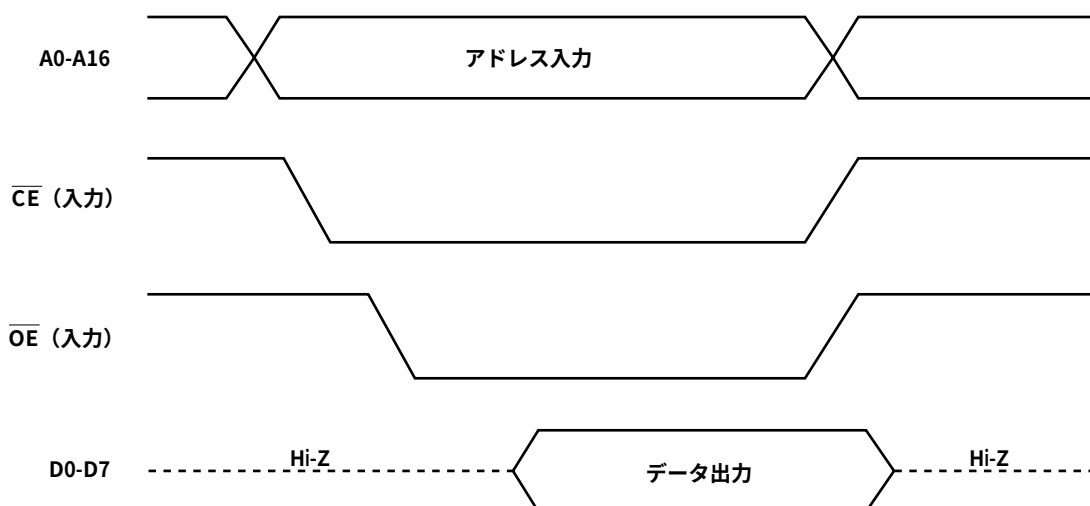
19.10.3 PROM読み出しの手順

次に示す手順によって、PROMの内容を外部データ・バス（D0-D7）に読み出すことができます。

- (1) $\overline{\text{RESET}}$ 端子をロウ・レベルに固定， V_{PP} 端子に+5 Vを供給，その他，使用しない端子は19.3 端子接続図（2）PROMプログラミング・モードに示すように処理する。
- (2) V_{DD} ， V_{PP} 端子に+5 Vを供給。
- (3) 読み出そうとするデータのアドレスをA0-A16端子に入力。
- (4) リード・モード。
- (5) データをD0-D7端子に出力。

上述の（2） - （5）のタイミングを図19－9に示します。

図19－9 PROMの読み出しタイミング



19.11 消去方法： μ PD78P018FDW, 78P018FKK-S

μ PD78P018FDW, 78P018FKK-Sは、プログラム・メモリに書き込まれたデータの内容を消去（FFH）して、再書き込みをすることができます。

データの内容を消去する場合は、約400 nmより短い波長の光を消去用窓部に照射します。通常は、254 nmの波長の紫外線を照射します。データの内容を完全に消去するために必要な照射量は、次のとおりです。

- ・紫外線強度×消去時間：30 W・s/cm²以上
- ・消去時間：40分以上（12 mW/cm²の紫外線ランプ使用の場合。ただし、紫外線ランプの性能劣化、消去用窓部の汚れなどにより長くなる場合があります。）

なお、消去の場合は、紫外線ランプを消去用窓部から2.5 cm以内の位置に設置してください。また、紫外線ランプにフィルタが付いている場合は、そのフィルタを取り外してから照射してください。

19.12 消去用窓のシールについて： μ PD78P018FDW, 78P018FKK-S

EPROM内容の消去用ランプ以外の光による誤消去防止、およびEPROM以外の内部回路が光によって誤動作するのを防止するため、EPROM内容消去時以外は保護用シールを消去用窓に張っておいてください。

19.13 ワン・タイムPROM製品のスクリーニングについて

ワン・タイムPROM製品（ μ PD78P018FCW, 78P018FGC-AB8, 78P018FGK-8A8, 78P018FCW(A), 78P018FGC(A)-AB8）は、その構造上、当社にて完全な試験をして出荷することはできません。必要なデータを書き込んだあと、下記の条件で高温保管後、PROMのベリファイを行うスクリーニングを実施することを推奨します。

保管温度	保管時間
125 °C	24時間

なお、NECでは、QTOP™マイコンの名称でワン・タイムPROMの書き込みから捺印、スクリーニング、ベリファイを有料で行うサービスを実施しております。詳細につきましては、販売員にご相談ください。

(× 毛)

第20章 命令セットの概要

μPD78014Hサブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください。

20.1 凡 例

20.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および＃，！，\$，[] の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・＃ : イミディエト・データ指定
- ・\$: 相対アドレス指定
- ・! : 絶対アドレス指定
- ・[] : 間接アドレス指定

イミディエト・データのときは、適当な数値またはレーベルを記述します。レーベルで記述する際も＃，！，\$，[] 記号は必ず記述してください。

また、オペランドのレジスタの記述形式 r ， rp には、機能名称（X，A，Cなど），絶対名称（下表の中のカッコ内の名称，R0，R1，R2など）のいずれの形式でも記述可能です。

表20－1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X (R0) , A (R1) , C (R2) , B (R3) , E (R4) , D (R5) , L (R6) , H (R7)
rp	AX (RP0) , BC (RP1) , DE (RP2) , HL (RP3)
sfr	特殊機能レジスタ略号 ^注
$sfrp$	特殊機能レジスタ略号 (16ビット操作可能なレジスタの偶数アドレスのみ) ^注
$saddr$	FE20H-FF1FH イミディエト・データまたはレーベル
$saddrp$	FE20H-FF1FH イミディエト・データまたはレーベル (偶数アドレスのみ)
$addr16$	0000H-FFFFH イミディエト・データまたはレーベル (16ビット・データ転送命令時は偶数アドレスのみ)
$addr11$	0800H-0FFFH イミディエト・データまたはレーベル
$addr5$	0040H-007FH イミディエト・データまたはレーベル (偶数アドレスのみ)
$word$	16ビット・イミディエト・データまたはレーベル
$byte$	8ビット・イミディエト・データまたはレーベル
bit	3ビット・イミディエト・データまたはレーベル
RBn	RB0-RB3

注 FFD0H-FFDFHは、アドレスできません。

備考 特殊機能レジスタの略号は表3－5 特殊機能レジスタ一覧を参照してください。

20.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
RBS	: レジスタ・バンク選択フラグ
IE	: 割り込み要求許可フラグ
NMIS	: ノンマスカブル割り込み処理中フラグ
()	: () 内のアドレスまたはレジスタの内容で示されるメモリの内容
$\times_H, \times_L$	: 16ビット・レジスタの上位8ビット, 下位8ビット
$\wedge$	: 論理積 (AND)
$\vee$	: 論理和 (OR)
∇	: 排他的論理和 (exclusive OR)
—	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

20.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
$\times$	: 結果に従ってセット／クリアされる
R	: 以前に退避した値がストアされる

20.2 オペレーション一覧

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ Z AC CY
				注1	注2		
8ビット・データ転送	MOV	r, #byte	2	8	—	$r \leftarrow \text{byte}$	
		saddr, #byte	3	12	14	$(\text{saddr}) \leftarrow \text{byte}$	
		sfr, #byte	3	—	14	$\text{sfr} \leftarrow \text{byte}$	
		A, r 注3	1	4	—	$A \leftarrow r$	
		r, A 注3	1	4	—	$r \leftarrow A$	
		A, saddr	2	8	10	$A \leftarrow (\text{saddr})$	
		saddr, A	2	8	10	$(\text{saddr}) \leftarrow A$	
		A, sfr	2	—	10	$A \leftarrow \text{sfr}$	
		sfr, A	2	—	10	$\text{sfr} \leftarrow A$	
		A, !addr16	3	16	$18+2n$	$A \leftarrow (\text{addr16})$	
		!addr16, A	3	16	$18+2m$	$(\text{addr16}) \leftarrow A$	
		PSW, #byte	3	—	14	$\text{PSW} \leftarrow \text{byte}$	× × ×
		A, PSW	2	—	10	$A \leftarrow \text{PSW}$	
		PSW, A	2	—	10	$\text{PSW} \leftarrow A$	× × ×
		A, [DE]	1	8	$10+2n$	$A \leftarrow (\text{DE})$	
		[DE], A	1	8	$10+2m$	$(\text{DE}) \leftarrow A$	
		A, [HL]	1	8	$10+2n$	$A \leftarrow (\text{HL})$	
		[HL], A	1	8	$10+2m$	$(\text{HL}) \leftarrow A$	
		A, [HL+byte]	2	16	$18+2n$	$A \leftarrow (\text{HL} + \text{byte})$	
		[HL+byte], A	2	16	$18+2m$	$(\text{HL} + \text{byte}) \leftarrow A$	
		A, [HL+B]	1	12	$14+2n$	$A \leftarrow (\text{HL} + B)$	
		[HL+B], A	1	12	$14+2m$	$(\text{HL} + B) \leftarrow A$	
		A, [HL+C]	1	12	$14+2n$	$A \leftarrow (\text{HL} + C)$	
		[HL+C], A	1	12	$14+2m$	$(\text{HL} + C) \leftarrow A$	

注1．内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2．内部高速RAM以外の領域をアクセスしたとき。

3． $r=A$ を除く。

備考1．命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（f_{cpu}）の1クロック分です。

2．クロック数は内部ROM領域にプログラムがある場合です。

3．nは外部メモリ拡張領域をリードしたときのウェイト数です。

4．mは外部メモリ拡張領域をライトしたときのウェイト数です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ Z AC CY
				注1	注2		
8ビット・データ転送	XCH	A, r 注3	1	4	—	$A \leftrightarrow r$	
		A, saddr	2	8	12	$A \leftrightarrow (\text{saddr})$	
		A, sfr	2	—	12	$A \leftrightarrow \text{sfr}$	
		A, !addr16	3	16	$20+2n+2m$	$A \leftrightarrow (\text{addr16})$	
		A, [DE]	1	8	$12+2n+2m$	$A \leftrightarrow (\text{DE})$	
		A, [HL]	1	8	$12+2n+2m$	$A \leftrightarrow (\text{HL})$	
		A, [HL+byte]	2	16	$20+2n+2m$	$A \leftrightarrow (\text{HL} + \text{byte})$	
		A, [HL+B]	2	16	$20+2n+2m$	$A \leftrightarrow (\text{HL} + \text{B})$	
		A, [HL+C]	2	16	$20+2n+2m$	$A \leftrightarrow (\text{HL} + \text{C})$	
16ビット・データ転送	MOVW	rp, #word	3	12	—	$\text{rp} \leftarrow \text{word}$	
		saddrp, #word	4	16	20	$(\text{saddrp}) \leftarrow \text{word}$	
		sfrp, #word	4	—	20	$\text{sfrp} \leftarrow \text{word}$	
		AX, saddrp	2	12	16	$\text{AX} \leftarrow (\text{saddrp})$	
		saddrp, AX	2	12	16	$(\text{saddrp}) \leftarrow \text{AX}$	
		AX, sfrp	2	—	16	$\text{AX} \leftarrow \text{sfrp}$	
		sfrp, AX	2	—	16	$\text{sfrp} \leftarrow \text{AX}$	
		AX, rp 注4	1	8	—	$\text{AX} \leftarrow \text{rp}$	
		rp, AX 注4	1	8	—	$\text{rp} \leftarrow \text{AX}$	
		AX, !addr16	3	20	$24+4n$	$\text{AX} \leftarrow (\text{addr16})$	
		!addr16, AX	3	20	$24+4m$	$(\text{addr16}) \leftarrow \text{AX}$	
	XCHW	AX, rp 注4	1	8	—	$\text{AX} \leftrightarrow \text{rp}$	
8ビット演算	ADD	A, #byte	2	8	—	$\text{A}, \text{CY} \leftarrow \text{A} + \text{byte}$	× × ×
		saddr, #byte	3	12	16	$(\text{saddr}), \text{CY} \leftarrow (\text{saddr}) + \text{byte}$	× × ×
		A, r 注3	2	8	—	$\text{A}, \text{CY} \leftarrow \text{A} + r$	× × ×
		r, A	2	8	—	$r, \text{CY} \leftarrow r + \text{A}$	× × ×
		A, saddr	2	8	10	$\text{A}, \text{CY} \leftarrow \text{A} + (\text{saddr})$	× × ×
		A, !addr16	3	16	$18+2n$	$\text{A}, \text{CY} \leftarrow \text{A} + (\text{saddr16})$	× × ×
		A, [HL]	1	8	$10+2n$	$\text{A}, \text{CY} \leftarrow \text{A} + (\text{HL})$	× × ×
		A, [HL+byte]	2	16	$18+2n$	$\text{A}, \text{CY} \leftarrow \text{A} + (\text{HL} + \text{byte})$	× × ×
		A, [HL+B]	2	16	$18+2n$	$\text{A}, \text{CY} \leftarrow \text{A} + (\text{HL} + \text{B})$	× × ×
		A, [HL+C]	2	16	$18+2n$	$\text{A}, \text{CY} \leftarrow \text{A} + (\text{HL} + \text{C})$	× × ×

注1．内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2．内部高速RAM以外の領域をアクセスしたとき。

3． $r=A$ を除く。

4． $\text{rp}=BC, DE, HL$ のときのみ。

備考1．命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（ f_{CPU} ）の1クロック分です。

2．クロック数は内部ROM領域にプログラムがある場合です。

3． n は外部メモリ拡張領域をリードしたときのウェイト数です。

4． m は外部メモリ拡張領域をライトしたときのウェイト数です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
8ビット演算	ADDC	A, #byte	2	8	—	$A, CY \leftarrow A + \text{byte} + CY$	× × ×
		saddr, #byte	3	12	16	$(saddr), CY \leftarrow (saddr) + \text{byte} + CY$	× × ×
		A, r 注3	2	8	—	$A, CY \leftarrow A + r + CY$	× × ×
		r, A	2	8	—	$r, CY \leftarrow r + A + CY$	× × ×
		A, saddr	2	8	10	$A, CY \leftarrow A + (saddr) + CY$	× × ×
		A, !addr16	3	16	18+2n	$A, CY \leftarrow A + (\text{addr16}) + CY$	× × ×
		A, [HL]	1	8	10+2n	$A, CY \leftarrow A + (HL) + CY$	× × ×
		A, [HL+byte]	2	16	18+2n	$A, CY \leftarrow A + (HL + \text{byte}) + CY$	× × ×
		A, [HL+B]	2	16	18+2n	$A, CY \leftarrow A + (HL + B) + CY$	× × ×
		A, [HL+C]	2	16	18+2n	$A, CY \leftarrow A + (HL + C) + CY$	× × ×
	SUB	A, #byte	2	8	—	$A, CY \leftarrow A - \text{byte}$	× × ×
		saddr, #byte	3	12	16	$(saddr), CY \leftarrow (saddr) - \text{byte}$	× × ×
		A, r 注3	2	8	—	$A, CY \leftarrow A - r$	× × ×
		r, A	2	8	—	$r, CY \leftarrow r - A$	× × ×
		A, saddr	2	8	10	$A, CY \leftarrow A - (saddr)$	× × ×
		A, !addr16	3	16	18+2n	$A, CY \leftarrow A - (\text{addr16})$	× × ×
		A, [HL]	1	8	10+2n	$A, CY \leftarrow A - (HL)$	× × ×
		A, [HL+byte]	2	16	18+2n	$A, CY \leftarrow A - (HL + \text{byte})$	× × ×
		A, [HL+B]	2	16	18+2n	$A, CY \leftarrow A - (HL + B)$	× × ×
		A, [HL+C]	2	16	18+2n	$A, CY \leftarrow A - (HL + C)$	× × ×
	SUBC	A, #byte	2	8	—	$A, CY \leftarrow A - \text{byte} - CY$	× × ×
		saddr, #byte	3	12	16	$(saddr), CY \leftarrow (saddr) - \text{byte} - CY$	× × ×
		A, r 注3	2	8	—	$A, CY \leftarrow A - r - CY$	× × ×
		r, A	2	8	—	$r, CY \leftarrow r - A - CY$	× × ×
		A, saddr	2	8	10	$A, CY \leftarrow A - (saddr) - CY$	× × ×
		A, !addr16	3	16	18+2n	$A, CY \leftarrow A - (\text{addr16}) - CY$	× × ×
		A, [HL]	1	8	10+2n	$A, CY \leftarrow A - (HL) - CY$	× × ×
		A, [HL+byte]	2	16	18+2n	$A, CY \leftarrow A - (HL + \text{byte}) - CY$	× × ×
		A, [HL+B]	2	16	18+2n	$A, CY \leftarrow A - (HL + B) - CY$	× × ×
		A, [HL+C]	2	16	18+2n	$A, CY \leftarrow A - (HL + C) - CY$	× × ×

注1．内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2．内部高速RAM以外の領域をアクセスしたとき。

3．r=Aを除く。

備考1．命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（f_{CPU}）の1クロック分です。

2．クロック数は内部ROM領域にプログラムがある場合です。

3．nは外部メモリ拡張領域をリードしたときのウェイト数です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
8ビット演算	AND	A, #byte	2	8	—	$A \leftarrow A \wedge \text{byte}$	×
		saddr, #byte	3	12	16	$(\text{saddr}) \leftarrow (\text{saddr}) \wedge \text{byte}$	×
		A, r 注3	2	8	—	$A \leftarrow A \wedge r$	×
		r, A	2	8	—	$r \leftarrow r \wedge A$	×
		A, saddr	2	8	10	$A \leftarrow A \wedge (\text{saddr})$	×
		A, !addr16	3	16	18+2n	$A \leftarrow A \wedge (\text{addr16})$	×
		A, [HL]	1	8	10+2n	$A \leftarrow A \wedge (\text{HL})$	×
		A, [HL+byte]	2	16	18+2n	$A \leftarrow A \wedge (\text{HL} + \text{byte})$	×
		A, [HL+B]	2	16	18+2n	$A \leftarrow A \wedge (\text{HL} + B)$	×
		A, [HL+C]	2	16	18+2n	$A \leftarrow A \wedge (\text{HL} + C)$	×
	OR	A, #byte	2	8	—	$A \leftarrow A \vee \text{byte}$	×
		saddr, #byte	3	12	16	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	×
		A, r 注3	2	8	—	$A \leftarrow A \vee r$	×
		r, A	2	8	—	$r \leftarrow r \vee A$	×
		A, saddr	2	8	10	$A \leftarrow A \vee (\text{saddr})$	×
		A, !addr16	3	16	18+2n	$A \leftarrow A \vee (\text{addr16})$	×
		A, [HL]	1	8	10+2n	$A \leftarrow A \vee (\text{HL})$	×
		A, [HL+byte]	2	16	18+2n	$A \leftarrow A \vee (\text{HL} + \text{byte})$	×
		A, [HL+B]	2	16	18+2n	$A \leftarrow A \vee (\text{HL} + B)$	×
		A, [HL+C]	2	16	18+2n	$A \leftarrow A \vee (\text{HL} + C)$	×
	XOR	A, #byte	2	8	—	$A \leftarrow A \nabla \text{byte}$	×
		saddr, #byte	3	12	16	$(\text{saddr}) \leftarrow (\text{saddr}) \nabla \text{byte}$	×
		A, r 注3	2	8	—	$A \leftarrow A \nabla r$	×
		r, A	2	8	—	$r \leftarrow r \nabla A$	×
		A, saddr	2	8	10	$A \leftarrow A \nabla (\text{saddr})$	×
		A, !addr16	3	16	18+2n	$A \leftarrow A \nabla (\text{addr16})$	×
		A, [HL]	1	8	10+2n	$A \leftarrow A \nabla (\text{HL})$	×
		A, [HL+byte]	2	16	18+2n	$A \leftarrow A \nabla (\text{HL} + \text{byte})$	×
		A, [HL+B]	2	16	18+2n	$A \leftarrow A \nabla (\text{HL} + B)$	×
		A, [HL+C]	2	16	18+2n	$A \leftarrow A \nabla (\text{HL} + C)$	×

注1．内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2．内部高速RAM以外の領域をアクセスしたとき。

3．r=Aを除く。

備考1．命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（f_{CPU}）の1クロック分です。

2．クロック数は内部ROM領域にプログラムがある場合です。

3．nは外部メモリ拡張領域をリードしたときのウェイト数です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ Z AC CY
				注1	注2		
8ビット演算	CMP	A, #byte	2	8	—	$A - \text{byte}$	× × ×
		saddr, #byte	3	12	16	$(\text{saddr}) - \text{byte}$	× × ×
		A, r 注3	2	8	—	$A - r$	× × ×
		r, A	2	8	—	$r - A$	× × ×
		A, saddr	2	8	10	$A - (\text{saddr})$	× × ×
		A, !addr16	3	16	$18+2n$	$A - (\text{addr}16)$	× × ×
		A, [HL]	1	8	$10+2n$	$A - (\text{HL})$	× × ×
		A, [HL+byte]	2	16	$18+2n$	$A - (\text{HL} + \text{byte})$	× × ×
		A, [HL+B]	2	16	$18+2n$	$A - (\text{HL} + B)$	× × ×
		A, [HL+C]	2	16	$18+2n$	$A - (\text{HL} + C)$	× × ×
16ビット演算	ADDW	AX, #word	3	12	—	$\text{AX}, \text{CY} \leftarrow \text{AX} + \text{word}$	× × ×
	SUBW	AX, #word	3	12	—	$\text{AX}, \text{CY} \leftarrow \text{AX} - \text{word}$	× × ×
	CMPW	AX, #word	3	12	—	$\text{AX} - \text{word}$	× × ×
乗除算	MULU	X	2	32	—	$\text{AX} \leftarrow A \times X$	
	DIVUW	C	2	50	—	$\text{AX} (\text{商}), C (\text{余り}) \leftarrow \text{AX} \div C$	
増減	INC	r	1	4	—	$r \leftarrow r + 1$	× ×
		saddr	2	8	12	$(\text{saddr}) \leftarrow (\text{saddr}) + 1$	× ×
	DEC	r	1	4	—	$r \leftarrow r - 1$	× ×
		saddr	2	8	12	$(\text{saddr}) \leftarrow (\text{saddr}) - 1$	× ×
	INCW	rp	1	8	—	$\text{rp} \leftarrow \text{rp} + 1$	
	DECW	rp	1	8	—	$\text{rp} \leftarrow \text{rp} - 1$	
ローテート	ROR	A, 1	1	4	—	$(\text{CY}, A_7 \leftarrow A_0, A_{m-1} \leftarrow A_m) \times 1 \text{回}$	×
	ROL	A, 1	1	4	—	$(\text{CY}, A_0 \leftarrow A_7, A_{m+1} \leftarrow A_m) \times 1 \text{回}$	×
	RORC	A, 1	1	4	—	$(\text{CY} \leftarrow A_0, A_7 \leftarrow \text{CY}, A_{m-1} \leftarrow A_m) \times 1 \text{回}$	×
	ROL4	A, 1	1	4	—	$(\text{CY} \leftarrow A_7, A_0 \leftarrow \text{CY}, A_{m+1} \leftarrow A_m) \times 1 \text{回}$	×
	ROR4	[HL]	2	20	$24+2n+2m$	$A_{3-0} \leftarrow (\text{HL})_{3-0}, (\text{HL})_{7-4} \leftarrow A_{3-0},$ $(\text{HL})_{3-0} \leftarrow (\text{HL})_{7-4}$	
	ROL4	[HL]	2	20	$24+2n+2m$	$A_{3-0} \leftarrow (\text{HL})_{7-4}, (\text{HL})_{3-0} \leftarrow A_{3-0},$ $(\text{HL})_{7-4} \leftarrow (\text{HL})_{3-0}$	

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3. $r=A$ を除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

3. n は外部メモリ拡張領域をリードしたときのウェイト数です。

4. m は外部メモリ拡張領域をライトしたときのウェイト数です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ Z AC CY
				注1	注2		
BCD補正	ADJBA		2	8	—	Decimal Adjust Accumulator after Addition	× × ×
	ADJBS		2	8	—	Decimal Adjust Accumulator after Subtract	× × ×
ビット操作	MOV1	CY, saddr.bit	3	12	14	$CY \leftarrow (\text{saddr.bit})$	×
		CY, sfr.bit	3	—	14	$CY \leftarrow \text{sfr.bit}$	×
		CY, A.bit	2	8	—	$CY \leftarrow \text{A.bit}$	×
		CY, PSW.bit	3	—	14	$CY \leftarrow \text{PSW.bit}$	×
		CY, [HL] .bit	2	12	$14+2n$	$CY \leftarrow (\text{HL}) .\text{bit}$	×
		saddr.bit, CY	3	12	16	$(\text{saddr.bit}) \leftarrow CY$	
		sfr.bit, CY	3	—	16	$\text{sfr.bit} \leftarrow CY$	
		A.bit, CY	2	8	—	$\text{A.bit} \leftarrow CY$	
		PSW.bit, CY	3	—	16	$\text{PSW.bit} \leftarrow CY$	× ×
		[HL] .bit, CY	2	12	$16+2n+2m$	$(\text{HL}) .\text{bit} \leftarrow CY$	
	AND1	CY, saddr.bit	3	12	14	$CY \leftarrow CY \wedge (\text{saddr.bit})$	×
		CY, sfr.bit	3	—	14	$CY \leftarrow CY \wedge \text{sfr.bit}$	×
		CY, A.bit	2	8	—	$CY \leftarrow CY \wedge \text{A.bit}$	×
		CY, PSW.bit	3	—	14	$CY \leftarrow CY \wedge \text{PSW.bit}$	×
		CY, [HL] .bit	2	12	$14+2n$	$CY \leftarrow CY \wedge (\text{HL}) .\text{bit}$	×
	OR1	CY, saddr.bit	3	12	14	$CY \leftarrow CY \vee (\text{saddr.bit})$	×
		CY, sfr.bit	3	—	14	$CY \leftarrow CY \vee \text{sfr.bit}$	×
		CY, A.bit	2	8	—	$CY \leftarrow CY \vee \text{A.bit}$	×
		CY, PSW.bit	3	—	14	$CY \leftarrow CY \vee \text{PSW.bit}$	×
		CY, [HL] .bit	2	12	$14+2n$	$CY \leftarrow CY \vee (\text{HL}) .\text{bit}$	×
	XOR1	CY, saddr.bit	3	12	14	$CY \leftarrow CY \nabla (\text{saddr.bit})$	×
		CY, sfr.bit	3	—	14	$CY \leftarrow CY \nabla \text{sfr.bit}$	×
		CY, A.bit	2	8	—	$CY \leftarrow CY \nabla \text{A.bit}$	×
		CY, PSW.bit	3	—	14	$CY \leftarrow CY \nabla \text{PSW.bit}$	×
		CY, [HL] .bit	2	12	$14+2n$	$CY \leftarrow CY \nabla (\text{HL}) .\text{bit}$	×

注1．内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2．内部高速RAM以外の領域をアクセスしたとき。

備考1．命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（f_{CPU}）の1クロック分です。

2．クロック数は内部ROM領域にプログラムがある場合です。

3．nは外部メモリ拡張領域をリードしたときのウェイト数です。

4．mは外部メモリ拡張領域をライトしたときのウェイト数です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ Z AC CY
				注1	注2		
ビット操作	SET1	saddr.bit	2	8	12	(saddr.bit) ← 1	
		sfr.bit	3	—	16	sfr.bit ← 1	
		A.bit	2	8	—	A.bit ← 1	
		PSW.bit	2	—	12	PSW.bit ← 1	× × ×
		[HL] .bit	2	12	16+2n+2m	(HL) .bit ← 1	
	CLR1	saddr.bit	2	8	12	(saddr.bit) ← 0	
		sfr.bit	3	—	16	sfr.bit ← 0	
		A.bit	2	8	—	A.bit ← 0	
		PSW.bit	2	—	12	PSW.bit ← 0	× × ×
		[HL] .bit	2	12	16+2n+2m	(HL) .bit ← 0	
	SET1	CY	1	4	—	CY ← 1	1
	CLR1	CY	1	4	—	CY ← 0	0
	NOT1	CY	1	4	—	CY ← $\overline{\text{CY}}$	×
コール・リターン	CALL	!addr16	3	14	—	(SP-1) ← (PC+3) _H , (SP-2) ← (PC+3) _L , PC ← addr16, SP ← SP - 2	
	CALLF	!addr11	2	10	—	(SP-1) ← (PC+2) _H , (SP-2) ← (PC+2) _L , PC ₁₅₋₁₁ ← 00001, PC ₁₀₋₀ ← addr11, SP ← SP - 2	
	CALLT	[addr5]	1	12	—	(SP-1) ← (PC+1) _H , (SP-2) ← (PC+1) _L , PC _H ← (00000000, addr5 + 1), PC _L ← (00000000, addr5), SP ← SP - 2	
	BRK		1	12	—	(SP-1) ← PSW, (SP-2) ← (PC+1) _H , (SP-3) ← (PC+1) _L , PC _H ← (003FH), PC _L ← (003EH), SP ← SP - 3, IE ← 0	
	RET		1	12	—	PC _H ← (SP+1), PC _L ← (SP), SP ← SP + 2	
	RETI		1	12	—	PC _H ← (SP+1), PC _L ← (SP), PSW ← (SP+2), SP ← SP + 3, NMIS ← 0	R R R
	RETB		1	12	—	PC _H ← (SP+1), PC _L ← (SP), PSW ← (SP+2), SP ← SP + 3	R R R

注1．内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2．内部高速RAM以外の領域をアクセスしたとき。

備考1．命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（f_{CPU}）の1クロック分です。

2．クロック数は内部ROM領域にプログラムがある場合です。

3．nは外部メモリ拡張領域をリードしたときのウェイト数です。

4．mは外部メモリ拡張領域をライトしたときのウェイト数です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
スタック操作	PUSH	PSW	1	4	—	$(SP - 1) \leftarrow PSW, SP \leftarrow SP - 1$	
		rp	1	8	—	$(SP - 1) \leftarrow rp_H, (SP - 2) \leftarrow rp_L, SP \leftarrow SP - 2$	
	POP	PSW	1	4	—	$PSW \leftarrow (SP), SP \leftarrow SP + 1$	R R R
		rp	1	8	—	$rp_H \leftarrow (SP + 1), rp_L \leftarrow (SP), SP \leftarrow SP + 2$	
	MOVW	SP,#word	4	—	20	$SP \leftarrow word$	
		SP,AX	2	—	16	$SP \leftarrow AX$	
		AX,SP	2	—	16	$AX \leftarrow SP$	
無条件分岐	BR	!addr16	3	12	—	$PC \leftarrow addr16$	
		\$addr16	2	12	—	$PC \leftarrow PC + 2 + jdisp8$	
		AX	2	16	—	$PC_H \leftarrow A, PC_L \leftarrow X$	
条件付き分岐	BC	\$addr16	2	12	—	$PC \leftarrow PC + 2 + jdisp8$ if CY = 1	
	BNC	\$addr16	2	12	—	$PC \leftarrow PC + 2 + jdisp8$ if CY = 0	
	BZ	\$addr16	2	12	—	$PC \leftarrow PC + 2 + jdisp8$ if Z = 1	
	BNZ	\$addr16	2	12	—	$PC \leftarrow PC + 2 + jdisp8$ if Z = 0	
	BT	saddr.bit,\$addr16	3	16	18	$PC \leftarrow PC + 3 + jdisp8$ if (saddr.bit) = 1	
		sfr.bit,\$addr16	4	—	22	$PC \leftarrow PC + 4 + jdisp8$ if sfr.bit = 1	
		A.bit,\$addr16	3	16	—	$PC \leftarrow PC + 3 + jdisp8$ if A.bit = 1	
		PSW.bit,\$addr16	3	—	18	$PC \leftarrow PC + 3 + jdisp8$ if PSW.bit = 1	
		[HL].bit,\$addr16	3	20	22+2n	$PC \leftarrow PC + 3 + jdisp8$ if (HL).bit = 1	
	BF	saddr.bit,\$addr16	4	20	22	$PC \leftarrow PC + 4 + jdisp8$ if (saddr.bit) = 0	
		sfr.bit,\$addr16	4	—	22	$PC \leftarrow PC + 4 + jdisp8$ if sfr.bit = 0	
		A.bit,\$addr16	3	16	—	$PC \leftarrow PC + 3 + jdisp8$ if A.bit = 0	
		PSW.bit,\$addr16	4	—	22	$PC \leftarrow PC + 4 + jdisp8$ if PSW.bit = 0	
		[HL].bit,\$addr16	3	20	22+2n	$PC \leftarrow PC + 3 + jdisp8$ if (HL).bit = 0	

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

3. nは外部メモリ拡張領域をリードしたときのウェイト数です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ Z A C C Y
				注1	注2		
条件付き分岐	BTCLR	saddr.bit, \$addr16	4	20	24	PC ← PC + 4 + jdisp8 if (saddr.bit) = 1 then reset (saddr.bit)	
		sfr.bit, \$addr16	4	—	24	PC ← PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit	
		A.bit, \$addr16	3	16	—	PC ← PC + 3 + jdisp8 if A.bit = 1 then reset A.bit	
		PSW.bit, \$addr16	4	—	24	PC ← PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	× × ×
		[HL] .bit, \$addr16	3	20	24+2n+2m	PC ← PC + 3 + jdisp8 if (HL) .bit = 1 then reset (HL) .bit	
	DBNZ	B, \$addr16	2	12	—	B ← B - 1, then PC ← PC + 2 + jdisp8 if B ≠ 0	
		C, \$addr16	2	12	—	C ← C - 1, then PC ← PC + 2 + jdisp8 if C ≠ 0	
		saddr, \$addr16	3	16	20	(saddr) ← (saddr) - 1, then PC ← PC + 3 + jdisp8 if (saddr) ≠ 0	
	CPU制御	SEL	Rn	2	8	—	RBS1,0 ← n
		NOP		1	4	—	No Operation
		EI		2	—	12	IE ← 1 (Enable Interrupt)
		DI		2	—	12	IE ← 0 (Disable Interrupt)
		HALT		2	12	—	Set HALT Mode
		STOP		2	12	—	Set STOP Mode

注1. 内部高速RAM領域をアクセスしたとき、またはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

3. nは外部メモリ拡張領域をリードしたときのウェイト数です。

4. mは外部メモリ拡張領域をライトしたときのウェイト数です。

20.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r ^注	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL+byte] [HL+B] [HL+C]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											ROR4 ROL4
[HL+byte] [HL+B] [HL+C]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド 第1オペランド	# word	AX	rp ^注	sfrp	saddrp	! addr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW ^注						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
! addr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド 第1オペランド	A. bit	sfr. bit	saddr. bit	PSW. bit	[HL] . bit	CY	\$addr16	なし
A. bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr. bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr. bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW. bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL] . bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令／分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第2オペランド 第1オペランド	AX	! addr16	! addr11	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

(× 毛)

保守

付録A μ PD78014, 78014H, 78018Fサブシリーズ間の違い

μ PD78014, 78014H, 78018Fサブシリーズ間の主な違いを表A-1に示します。

表A-1 μ PD78014, 78014H, 78018Fサブシリーズ間の主な違い (1/2)

項目 \ 品名	μ PD78014サブシリーズ	μ PD78014Hサブシリーズ	μ PD78018Fサブシリーズ
EMIノイズ対策	なし	あり	なし
I ² Cバス内蔵製品	あり	なし	あり
PROM製品	μ PD78P014	μ PD78P018F	
電源電圧	V _{DD} = 2.7~6.0 V	V _{DD} = 1.8~5.5 V	
内部高速RAMサイズ	μ PD78011B : 512バイト μ PD78012B : 512バイト μ PD78013 : 1024バイト μ PD78014 : 1024バイト μ PD78P014 : 1024バイト	μ PD78011H : 512バイト μ PD78012H : 512バイト μ PD78013H : 1024バイト μ PD78014H : 1024バイト	μ PD78011F : 512バイト μ PD78012F : 512バイト μ PD78013F : 1024バイト μ PD78014F : 1024バイト μ PD78015F : 1024バイト μ PD78016F : 1024バイト μ PD78018F : 1024バイト μ PD78P018F : 1024バイト
内部拡張RAMサイズ	なし		μ PD78011F : なし μ PD78012F : なし μ PD78013F : なし μ PD78014F : なし μ PD78015F : 512バイト μ PD78016F : 512バイト μ PD78018F : 1024バイト μ PD78P018F : 1024バイト
シリアル・インタフェースの動作モード(Yサブシリーズ)	3線／2線／SBI/I ² C : 1ch 3線(自動送受信内蔵) : 1ch	—	3線／2線/I ² C : 1ch 3線(自動送受信内蔵) : 1ch
SBIモード時の割り込みタイミング指定レジスタ(SINT)のビット5(SIC)(INTCSIO割り込み要因の選択)	SIC = 1に設定したとき : バス・リリース検出時にCSIIF0(割り込み要求フラグ)をセット	SIC = 1に設定したとき : バス・リリース検出時および転送終了時にCSIIF0(割り込み要求フラグ)をセット	
I ² Cバス・モード時の割り込みタイミング指定レジスタ(SINT)のビット5(SIC)(INTCSIO割り込み要因の選択)	SIC = 1に設定したとき : ストップ・コンディション検出時にCSIIF0(割り込み要求フラグ)をセット	—	SIC = 1に設定したとき : ストップ・コンディション検出時および転送終了時にCSIIF0(割り込み要求フラグ)をセット

表A-1 μPD78014, 78014H, 78018Fサブシリーズ間の主な違い (2/2)

項目 \ 品名	μ PD78014サブシリーズ	μ PD78014Hサブシリーズ	μ PD78018Fサブシリーズ
シリアル・バス・インタフェース・コントロール・レジスタ（SBIC）のビット7（BSYE）の機能（Yサブシリーズ）	同期ビジィ信号出力の制御 ・ BSYE = 0のとき SBIモード時、クリア（0）する命令実行直後の $\overline{\text{SCK0}}$ のクロックの立ち下がりエッジに同期した、ビジィ信号の出力を禁止する。 I ² Cバス・モード時は必ず BSYE = 0にすること ・ BSYE = 1のとき SBIモード時、アクノリッジ信号に続く $\overline{\text{SCK0}}$ のクロックの立ち下がりエッジからビジィ信号を出力する	—	I ² Cバス・モード時の送信用 N-chオープン・ドレイン出力の制御 ・ BSYE = 0のとき 出力許可（送信） ・ BSYE = 1のとき 出力禁止（受信）
自動データ送受信間隔指定レジスタ（ADTI）	なし	あり	
パッケージ	・ 64ピン・プラスチック・シュリンクDIP（750 mil） ・ 64ピン・セラミック・シュリンクDIP（窓付き）（750 mil） ^注 ・ 64ピン・プラスチックQFP（□14 mm）	・ 64ピン・プラスチック・シュリンクDIP（750 mil） ・ 64ピン・プラスチックQFP（□14 mm） ・ 64ピン・プラスチックLQFP（□12 mm）	・ 64ピン・プラスチック・シュリンクDIP（750 mil） ・ 64ピン・セラミック・シュリンクDIP（窓付き）（750 mil） ^注 ・ 64ピン・プラスチックQFP（□14 mm） ・ 64ピン・プラスチックLQFP（□12 mm） ・ 64ピン・セラミックWQFN（□14 mm） ^注
プログラマ・アダプタ	PA-78P014CW PA-78P014GC	PA-78P018CW PA-78P018GC PA-78P018GK PA-78P018KK-S	
エミュレーション・ボード	IE-78014-R-EM, IE-78014-R-EM-A, IE-78018-NS-EM1	IE-78014-R-EM-A, IE-78018-NS-EM1	
外部メモリへのアクセス・タイミング	μ PD78014サブシリーズと他のサブシリーズで異なります。個別のデータ・シートを参照してください。		
電気的特性 半田付け推奨条件	個別の製品のデータ・シートを参照してください。		

注 PROM製品のみ

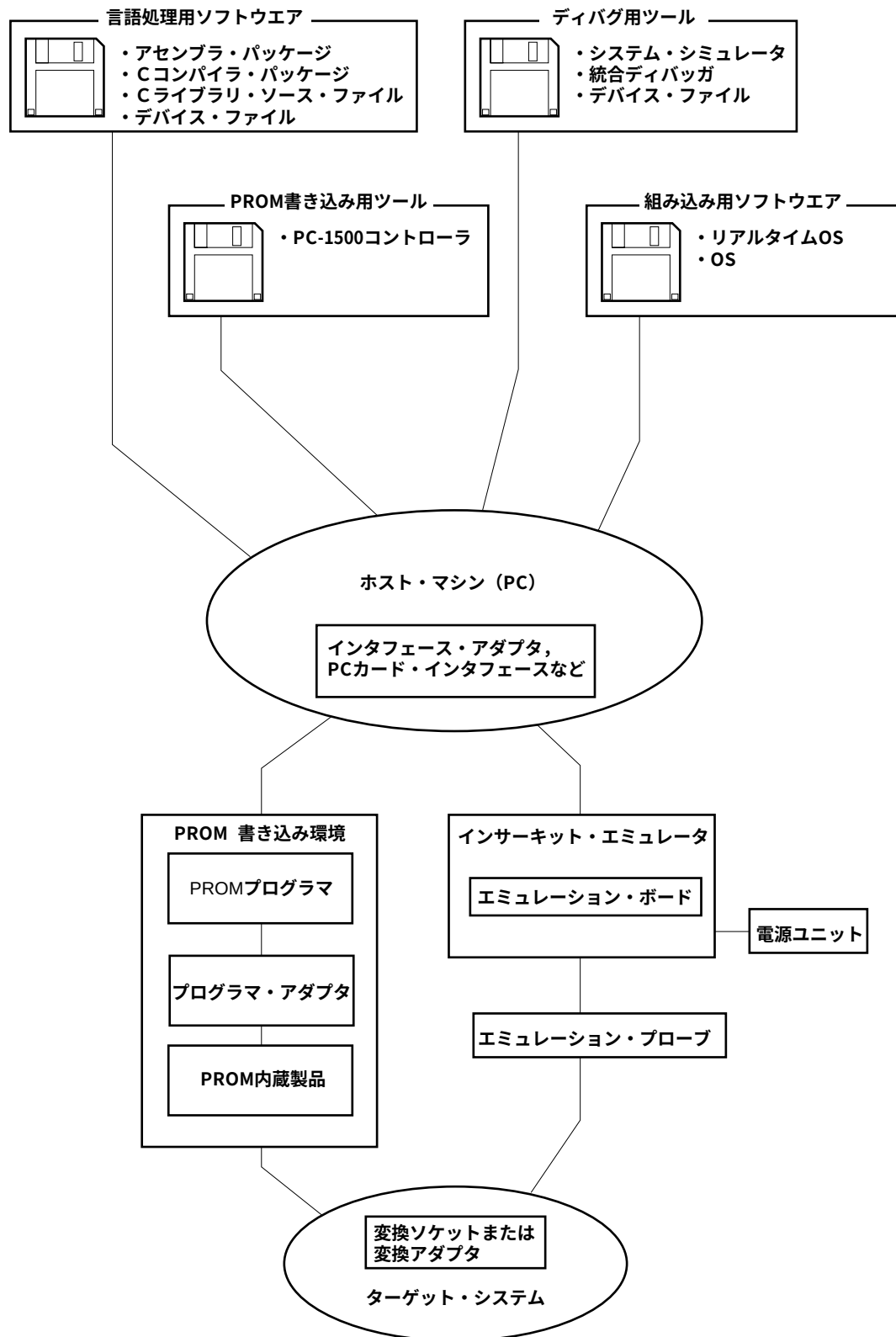
★

付録B 開発ツール

μPD78014Hサブシリーズを使用するシステム開発のために次のような開発ツールを用意しています。
図B－1に開発ツール構成を示します。

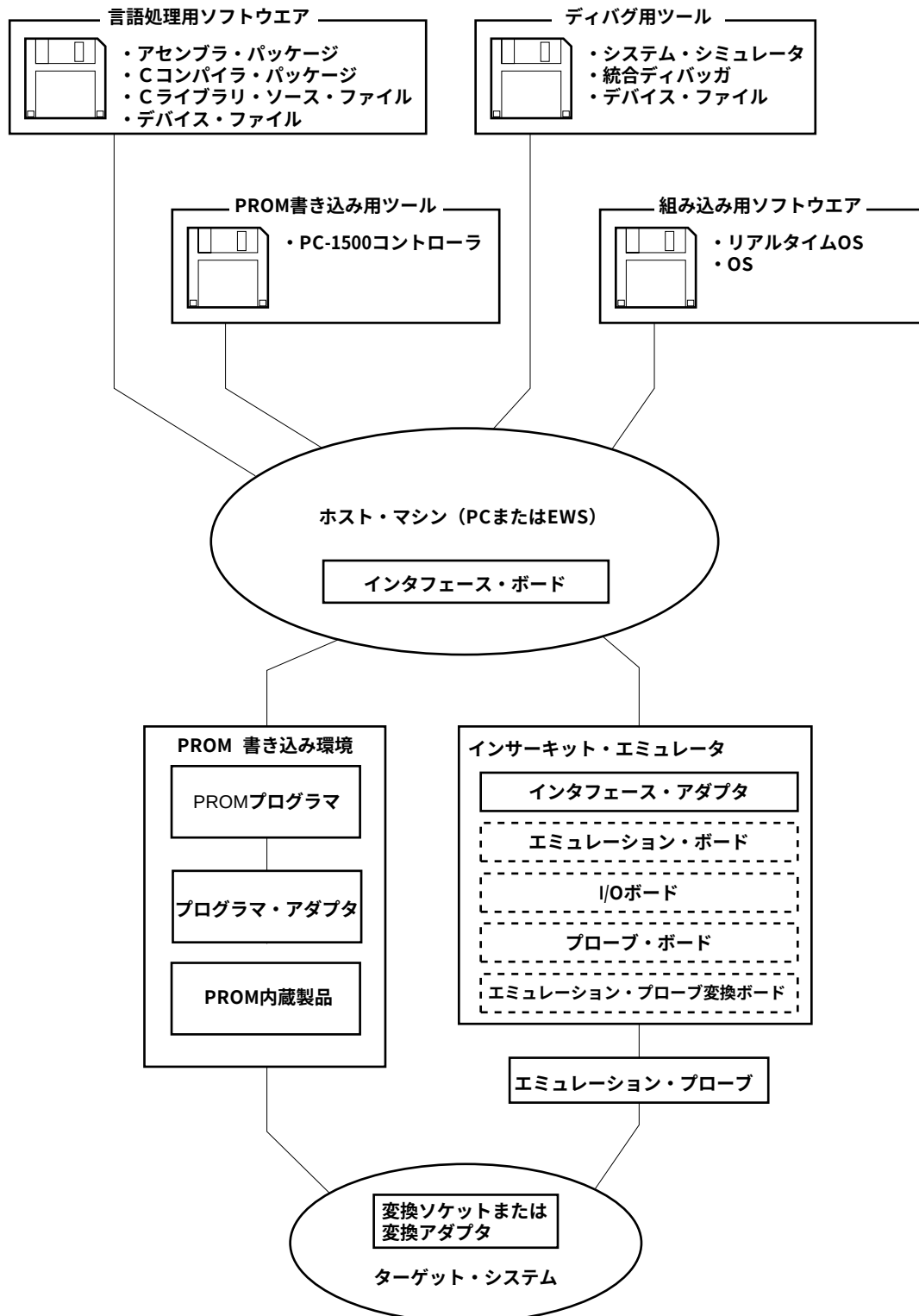
図B-1 開発ツール構成 (1/2)

(1) インサーキット・エミュレータ IE-78K0-NSを使用する場合



図B-1 開発ツール構成 (2/2)

(2) インサーキット・エミュレータ IE-78001-R-Aを使用する場合



備考 破線の部分は開発環境によって異なります。B.3.1 ハードウェアを参照してください。

B.1 言語処理用ソフトウェア

RA78K/0 アセンブラ・パッケージ	ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。 別売のデバイス・ファイル（DF78014）と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。 オーダ名称：μS××××RA78K0
CC78K/0 Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。 オーダ名称：μS××××CC78K0
DF78014 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売の各ツール（RA78K/0, CC78K/0, SM78K0, ID78K0-NS, ID78K0）と組み合わせて使用します。 対応OS、ホスト・マシンは組み合わせられる各ツールに依存します。 オーダ名称：μS××××DF78014
CC78K/0-L Cライブラリ・ソース・ファイル	Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。 Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。 ソース・ファイルのため、動作環境はOSに依存しません。 オーダ名称：μS××××CC78K0-L

注 DF78014は、RA78K/0, CC78K/0, SM78K0, ID78K0-NS, ID78K0 のすべての製品に共通に使用できます。

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××RA78K0

μS××××CC78K0

μS××××DF78014

μS××××CC78K0-L

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows ^{注1,2}	3.5インチ2HD FD
AB13	IBM PC/AT TM およびその互換機	日本語Windows ^{注1,2}	3.5インチ2HC FD
BB13		英語Windows ^{注1,2}	
3P16	HP9000シリーズ700 TM	HP-UX TM (Rel. 9.05)	DAT (DDS)
3K13	SPARCstation TM	SunOS TM	3.5インチ2HC FD
3K15		(Rel. 4.1.4)	1/4インチCGMT
3R13	NEWS TM (RISC)	NEWS-OS TM (Rel. 6.1)	3.5インチ2HC FD

注1．DOS環境でも動作します。

2．WindowsNTTMはサポートしていません。

B.2 PROM書き込み用ツール

B.2.1 ハードウェア

PG-1500 PROMプログラマ	付属ボードおよび別売のPROMプログラマ・アダプタを接続することにより、PROM内蔵のシングルチップ・マイクロコンピュータを、スタンド・アロンまたはホスト・マシンからの操作によりプログラミングできるPROMプログラマです。 また、256 Kビットから4 Mビットまでの代表的なPROMをプログラミングすることもできます。
PA-78P018CW PA-78P018GC PA-78P018GK PA-78P018KK-S PROMプログラマ・アダプタ	μPD78P018F用のPROMプログラマ・アダプタで、PG-1500に接続して使用します。 PA-78P018CW : 64ピン・プラスチック・シュリンクDIP (750 mil) 用 PA-78P018GC : 64ピン・プラスチックQFP (□14 mm) 用 PA-78P018GK : 64ピン・プラスチックLQFP (□12 mm) 用 PA-78P018KK-S : 64ピン・セラミックWQFN (□14 mm) 用

B.2.2 ソフトウェア

PG-1500コントローラ	PG-1500とホスト・マシンをシリアルおよびパラレル・インタフェースで接続し、ホスト・マシン上でPG-1500を制御します。 PG-1500コントローラはDOSベースのアプリケーションです。Windows上ではDOSプロンプトで使用してください。
	オーダ名称：μS××××PG1500

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××PG1500

××××	ホスト・マシン	OS	供給媒体
5A13	PC-9800シリーズ	MS-DOS (Ver.3.30～Ver.6.2 ^注)	3.5インチ2HD FD
7B13	IBM PC/ATおよび その互換機	B.4 参照	3.5インチ2HD FD

注 MS-DOSのVer.5.0以降にはタスク・スワップ機能がありますが、上記のソフトウェアではタスク・スワップ機能は使用できません。

B.3 ディバグ用ツール

B.3.1 ハードウェア (1/2)

(1) インサーキット・エミュレータ IE-78K0-NSを使用する場合

IE-78K0-NS ^注 インサーキット・エミュレータ	78K/0シリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのインサーキット・エミュレータです。統合ディバガ (ID78K0-NS) に対応しています。電源ユニット、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-70000-MC-PS-B 電源ユニット	AC100～240 Vのコンセントから電源を供給するためのアダプタです。
IE-70000-98-IF-C ^注 インタフェース・アダプタ	IE-78K0-NSのホスト・マシンとしてPC-9800シリーズ (ノート型パソコンを除く) を使用するときに必要なアダプタです。
IE-70000-CD-IF ^注 PCカード・インタフェース	IE-78K0-NSのホスト・マシンとしてPC-9800シリーズのノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブルです。
IE-70000-PC-IF-C ^注 インタフェース・アダプタ	IE-78K0-NSのホスト・マシンとしてIBM PC/ATおよびその互換機を使用するときに必要なアダプタです。
IE-78018-NS-EM1 ^注 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。インサーキット・エミュレータと組み合わせて使用します。
NP-64CW エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。 64ピン・プラスチック・シュリンクDIP (CWタイプ) 用です。
NP-64GC エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。 64ピン・プラスチックQFP (GC-AB8タイプ) 用です。
EV-9200GC-64 変換ソケット (図B-2, 図B-3参照)	64ピン・プラスチックQFP (GC-AB8タイプ) を実装できるように作られたターゲット・システムの基板と、NP-64GCを接続するための変換ソケットです。
NP-64GK エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。 64ピン・プラスチックQFP (GK-8A8タイプ) 用です。
TGK-064SBW 変換アダプタ (図B-4参照)	64ピン・プラスチックQFP (GK-8A8タイプ) を実装できるように作られたターゲット・システムの基板と、TGK-064SBWを接続するための変換アダプタです。

注 開発中

備考1. NP-64CW, NP-64GC, NP-64GKは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (044) 822-3813)

2. TGK-064SBWは、東京エレクトック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子コンポーネンツ部 (TEL (03) 3820-7112)

大阪電子コンポーネンツ部 (TEL (06) 244-6672)

3. EV-9200GC-64は、5個を1組として、1組単位で販売しています。

4. TGK-064SBWは1個単位で販売しています。

B.3.1 ハードウェア (2/2)

(2) インサーキット・エミュレータ IE-78001-R-Aを使用する場合

IE-78001-R-A [※] インサーキット・エミュレータ	78K/0シリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合ディバガ (ID78K0) に対応しています。エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-70000-98-IF-Bまたは IE-70000-98-IF-C [※] インタフェース・アダプタ	IE-78001-R-Aのホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときに必要なアダプタです。
IE-70000-PC-IF-Bまたは IE-70000-PC-IF-C [※] インタフェース・アダプタ	IE-78001-R-Aのホスト・マシンとしてIBM PC/ATおよびその互換機を使用するときに必要なアダプタです。
IE-78000-R-SV3 インタフェース・アダプタ	IE-78001-R-Aのホスト・マシンとしてEWSを使用するときに必要なアダプタとケーブルです。IE-78001-R-A内のボードに接続して使用します。 なお、イーサネット™としては10Base-5をサポートしており、他の方式の場合には市販の変換アダプタが必要になります。
IE-78018-NS-EM1 [※] エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。インサーキット・エミュレータ、エミュレーション・プローブ変換ボードと組み合わせて使用します。
IE-78K0-R-EX1 [※] エミュレーション・プローブ 変換ボード	IE-78018-NS-EM1をIE-78001-R-Aで使用するときに必要なボードです。
IE-78014-R-EM-A エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。（3.0～6.0 V対応）。IE-78001-R-Aと組み合わせて使用します。
EP-78240CW-R エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。64ピン・プラスチック・シュリンクDIP（CWタイプ）用です。
EP-78240GC-R エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。64ピン・プラスチックQFP（GC-AB8タイプ）用です。
EV-9200GC-64 変換ソケット (図B-2, 図B-3 参照)	64ピン・プラスチックQFP（GC-AB8タイプ）を実装できるように作られたターゲット・システムの基板と、EP-78240GC-Rを接続するための変換ソケットです。 EP-78240GC-Rを接続する代わりに、μPD78P018FKK-S（セラミックWQFN）を実装することもできます。
EP-78012GK-R エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。64ピン・プラスチックQFP（GK-8A8タイプ）用です。
TGK-064SBW 変換アダプタ (図B-4参照)	64ピン・プラスチックQFP（GK-8A8タイプ）を実装できるように作られたターゲット・システムの基板と、EP-78012GK-Rを接続するための変換アダプタです。
EV-9900	EV-9200GC-64からμPD78P018FKK-Sを取り外す際に用いる治具です。

注 開発中

備考1. TKG-064SBWは、東京エレテック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子コンポーネンツ部（TEL（03）3820-7112）

大阪電子コンポーネンツ部（TEL（06）244-6672）

2. EV-9200GC-64は5個を1組として、1組単位で販売しています。

3. TKG-064SBWは1個単位で販売しています。

B.3.2 ソフトウェア (1/2)

SM78K0 システム・シミュレータ	ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら，Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。 SM78K0はWindows上で動作します。 SM78K0を使用することにより，インサーキット・エミュレータを使用しなくても，アプリケーションの論理検証，性能検証をハードウェア開発から独立して行えます。開発効率やソフトウェア品質の向上が図れます。 別売のデバイス・ファイル（DF78014）と組み合わせて使用します。
	オーダ名称：μS××××SM78K0

備考 オーダ名称の××××は，使用するホスト・マシン，OSにより異なります。

μS××××SM78K0

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows ^注	3.5インチ2HD FD
AB13	IBM PC/ATおよび	日本語Windows ^注	3.5インチ2HC FD
BB13	その互換機	英語Windows ^注	

注 WindowsNTはサポートしていません。

B.3.2 ソフトウェア (2/2)

ID78K0-NS ^注 統合ディバッガ (インサーキット・エミュレータ IE-78K0-NS対応)	78K/0シリーズをディバグするためのコントロール・プログラムです。 グラフィカル・ユーザ・インタフェースとして、パソコン上ではWindows, EWS上 ではOSF/Motif TM を採用し、それらに準拠した外観と操作性を提供しています。ま た、C言語対応のディバグ機能を強化しており、ソース・プログラムや逆アセンブ ル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用するこ とにより、トレース結果をC言語レベルで表示させることも可能です。その他、タ スク・ディバッガやシステム・パフォーマンス・アナライザなどの機能拡張モ ジュールを取り込むことにより、リアルタイムOSを使用したプログラムのディバグ 効率を向上させることができます。 別売のデバイス・ファイル (DF78014) と組み合わせて使用します。 オーダ名称: $\mu S \times \times \times ID78K0-NS$, $\mu S \times \times \times ID78K0$
ID78K0 統合ディバッガ (インサーキット・エミュレータ IE-78001-R-A対応)	

注 開発中

備考 オーダ名称の $\times \times \times \times$ は、使用するホスト・マシン, OSにより異なります。 $\mu S \times \times \times ID78K0-NS$

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows ^注	3.5インチ2HD FD
AB13	IBM PC/ATおよびその互換	日本語Windows ^注	3.5インチ2HC FD
BB13	機	英語Windows ^注	

注 WindowsNTはサポートしていません。

 $\mu S \times \times \times ID78K0$

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows ^注	3.5インチ2HD FD
AB13	IBM PC/ATおよびその互換機	日本語Windows ^注	3.5インチ2HC FD
BB13		英語Windows ^注	
3P16	HP9000シリーズ700	HP-UX (Rel. 9.05)	DAT (DDS)
3K13	SPARCstation	SunOS (Rel. 4.1.4)	3.5インチ2HC FD
3K15			1/4インチCGMT
3R13	NEWS (RISC)	NEWS-OS (Rel. 6.1)	3.5インチ2HC FD

注 WindowsNTはサポートしていません。

B.4 IBM PC用のOSについて

IBM PC用のOSとして、次のものがサポートされています。

表B－1 IBM PC用のOS

OS	バージョン
PC DOS	Ver.5.02～Ver.6.3
	J6.1/V ^注 ～J6.3/V ^注
IBM DOSTM	J5.02/V ^注
MS-DOS	Ver.5.0 ～Ver.6.22
	5.0/V ^注 ～6.2/V ^注

注 英語モードのみサポートしています。

注意 Ver.5.0以降にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

B.5 78K/0シリーズ用の旧タイプのインサーキット・エミュレータからIE-78001-R-Aへのシステム・アップ方法

すでに78K/0シリーズ用の旧タイプのインサーキット・エミュレータ（IE-78000-RまたはIE-78000-R-A）をお持ちの場合、本体内部のブレーク・ボードをIE-78001-R-BK（開発中）に交換することにより、お持ちのインサーキット・エミュレータをIE-78001-R-Aと同等に使用できます。

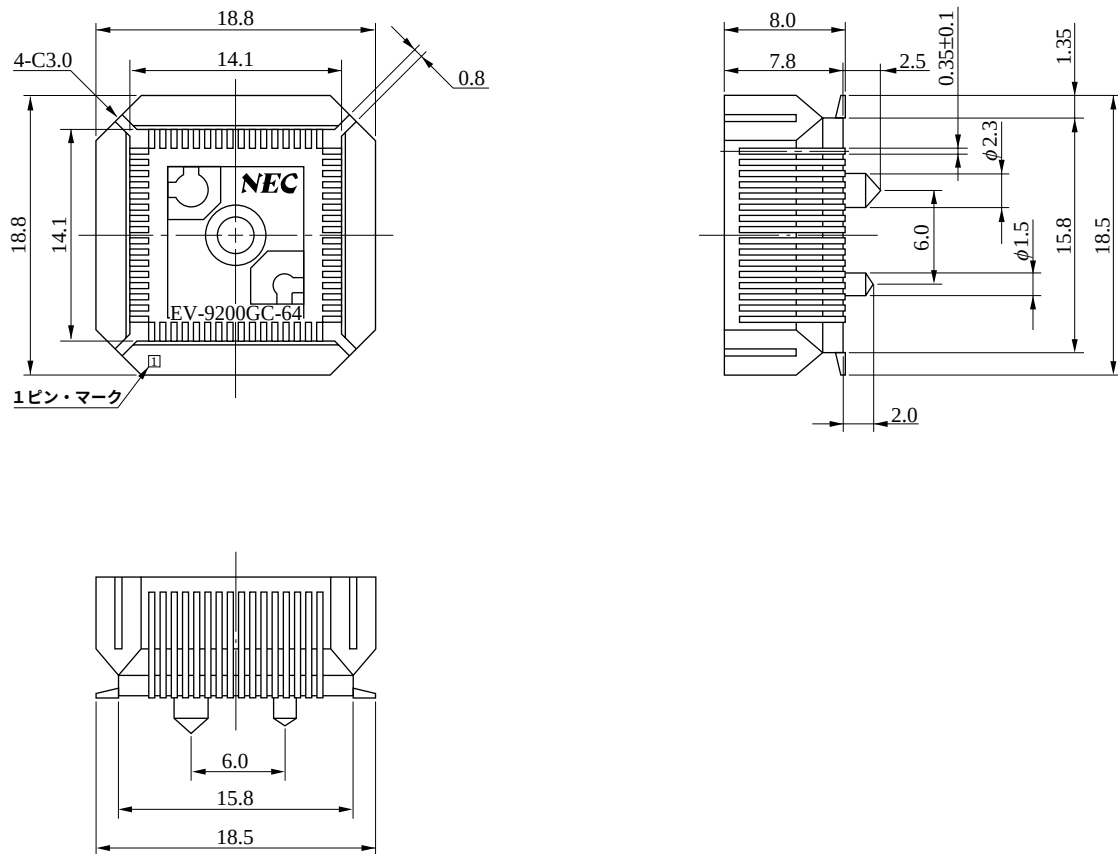
表B－2 78K/0シリーズ用の旧タイプのインサーキット・エミュレータからIE-78001-R-Aへのシステム・アップ方法

お持ちのインサーキット・エミュレータ	筐体のシステム・アップ ^注	ご購入の必要なボード
IE-78000-R	必要	IE-78001-R-BK
IE-78000-R-A	不要	

注 筐体をシステム・アップするためには、NECへの持ち込みが必要となります。

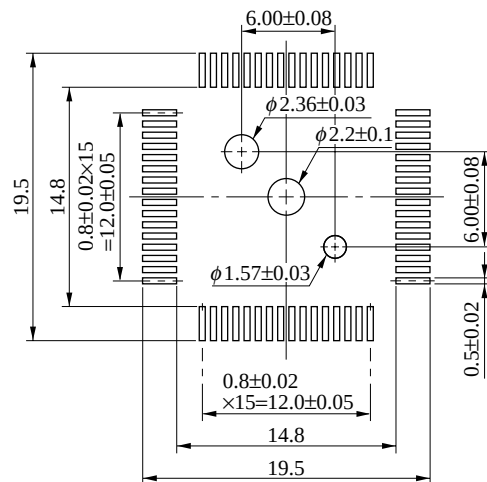
変換ソケット (EV-9200GC-64) の外形図と基板取り付け推奨パターン

図B-2 EV-9200GC-64 外形図 (参考) (単位: mm)



EV-9200GC-64-G0

図B-3 EV-9200GC-64 基板取り付け推奨パターン（参考）（単位：mm）

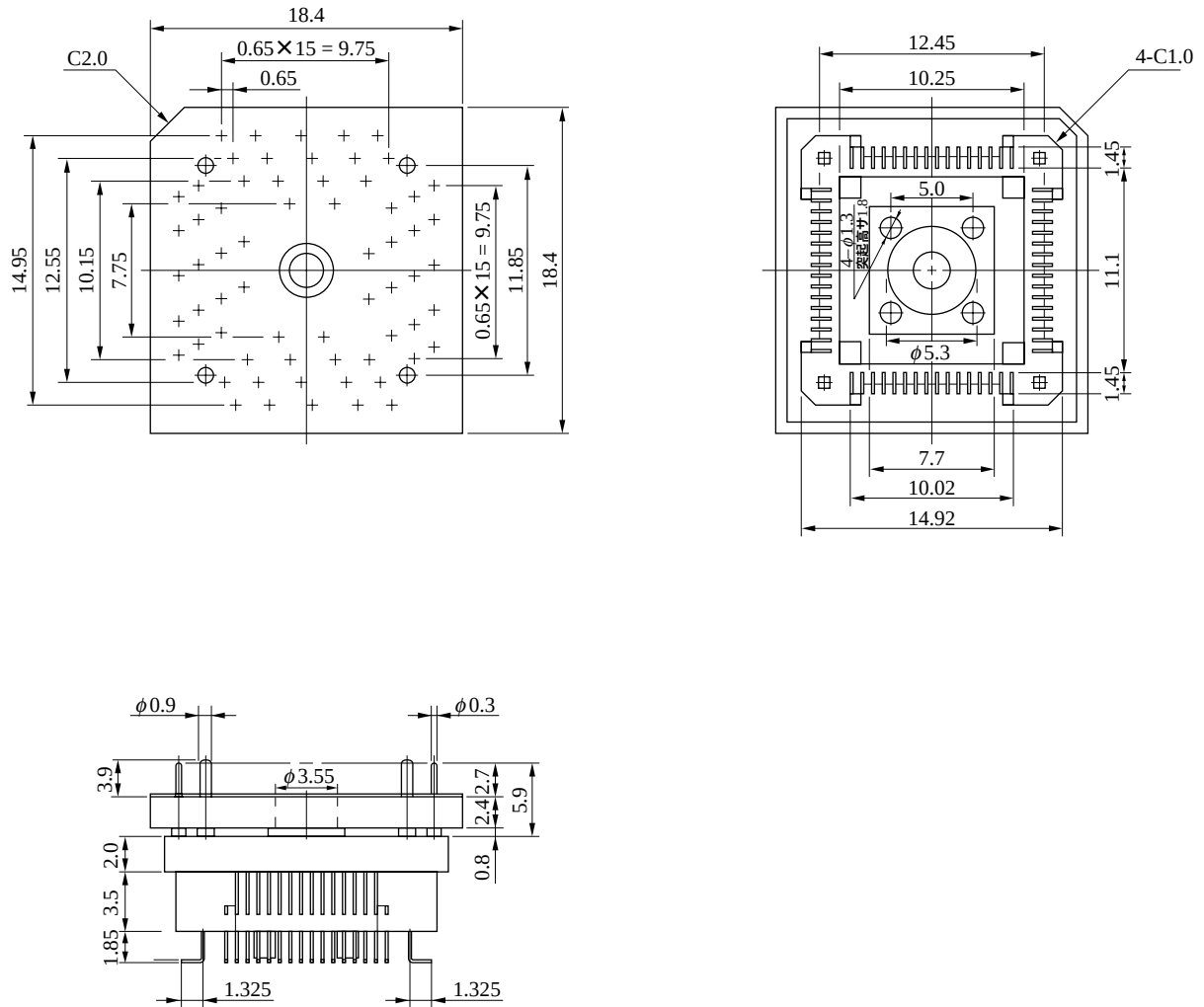


EV-9200GC-64-P1

注意 EV-9200用のマウント・パッド寸法と、対象製品のマウント・パッド寸法(QFP用)は、その一部が異なる場合があります。QFP用の推奨マウント・パッド寸法は、「半導体デバイス 実装マニュアル, C10535J」をご参照ください。

変換アダプタ (TGK-064SBW) の外形図

図B-4 TGK-064SBW 外形図 (参考) (単位: mm)



注: 東京エレクトック (株) 製

TGK-064SBW-G1

(× 毛)

保守／廃止

★

付録C 組み込み用ソフトウェア

μPD78014Hサブシリーズのプログラム開発やメンテナンスをより効率的に行うために、次の組み込み用ソフトウェアを用意しています。

リアルタイムOS (1/2)

RX78K/0 リアルタイムOS	μITRON仕様に準拠したリアルタイムOSです。 RX78K/0のニュークリアスと複数の情報テーブルを作成するためのツール（コンフィギュレータ）を添付しています。 別売のアセンブラ・パッケージ（RA78K/0）およびデバイス・ファイル（DF78014）と組み合わせて使用します。 ＜PC環境で使用する場合の注意＞ リアルタイムOSはDOSベースのアプリケーションです。Windows上ではDOSプロンプトで使用してください。 オーダ名称：μS××××RX78013-△△△△
---------------------	---

注意 RX78K/0を購入する際、事前に購入申込書にご記入のうえ、使用許諾契約書を締結してください。

備考 オーダ名称の××××および△△△△は、使用するホスト・マシン、OSなどにより異なります。

μS××××RX78013-△△△△

△△△△	製品概要	量産時使用数量の上限
001	評価用オブジェクト	量産品には使用しないでください。
100K	量産用オブジェクト	10万個
001M		100万個
010M		1000万個
S01	ソース・プログラム	量産用オブジェクトのソース・プログラム

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows ^{注1, 2}	3.5インチ2HD FD
AB13	IBM PC/ATおよびその互換機	日本語Windows ^{注1, 2}	3.5インチ2HC FD
BB13		英語Windows ^{注1, 2}	
3P16	HP9000シリーズ700	HP-UX (Rel. 9.05)	DAT (DDS)
3K13	SPARCstation	SunOS (Rel. 4.1.4)	3.5インチ2HC FD
3K15			1/4インチCGMT
3R13	NEWS (RISC)	NEWS-OS (Rel. 6.1)	3.5インチ2HC FD

注1. DOS環境でも動作します。

2. WindowsNTはサポートしていません。

リアルタイムOS (2/2)

MX78K0 OS	μITRON仕様サブセットのOSです。MX78K0のニュークリアスを添付しています。 タスク管理，イベント管理，時間管理を行います。タスク管理ではタスクの実行順序を制御し，次に実行するタスクへの切り替え処理を行います。 <PC環境で使用する場合の注意> MX78K0はDOSベースのアプリケーションです。Windows上ではDOSプロンプトで使用してください。 オーダ名称：μS××××MX78K0-△△△
--------------	--

備考 オーダ名称の××××および△△△は，使用するホスト・マシン，OSなどにより異なります。

μS××××MX78K0-△△△

△△△	製品概要	量産時使用数量の上限
001	評価用オブジェクト	試作時に使用してください
XX	量産用オブジェクト	量産時に使用してください
S01	ソース・プログラム	量産用オブジェクト購入時のみ，購入可能

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows ^{注1, 2}	3.5インチ2HD FD
AB13	IBM PC/ATおよびその互換機	日本語Windows ^{注1, 2}	3.5インチ2HC FD
BB13		英語Windows ^{注1, 2}	
3P16	HP9000シリーズ700	HP-UX (Rel. 9.05)	DAT (DDS)
3K13	SPARCstation	SunOS (Rel. 4.1.4)	3.5インチ2HC FD
3K15			1/4インチCGMT
3R13	NEWS (RISC)	NEWS-OS (Rel. 6.1)	3.5インチ2HC FD

注1．DOS環境でも動作します。

2．WindowsNTはサポートしていません。

付録D レジスタ索引

D.1 レジスタ索引（50音順）

【あ行】

- ウォッチドッグ・タイマ・モード・レジスタ (WDTM) … 192
- A/Dコンバータ入力選択レジスタ (ADIS) … 208
- A/Dコンバータ・モード・レジスタ (ADM) … 206
- A/D変換結果レジスタ (ADCR) … 205

【か行】

- 外部割り込みモード・レジスタ (INTM0) … 141, 327
- キー・リターン・モード・レジスタ (KRM) … 110, 344

【さ行】

- サンプリング・クロック選択レジスタ (SCS) … 142, 328
- 自動データ送受信アドレス・ポインタ (ADTP) … 276
- 自動データ送受信間隔指定レジスタ (ADTI) … 282, 293
- 自動データ送受信コントロール・レジスタ (ADTC) … 280, 291
- 16ビット・キャプチャ・レジスタ (CR01) … 135
- 16ビット・コンペア・レジスタ (CR00) … 135
- 16ビット・タイマ出力コントロール・レジスタ (TOC0) … 139
- 16ビット・タイマ・モード・コントロール・レジスタ (TMC0) … 136
- 16ビット・タイマ・レジスタ (TM0) … 135
- 16ビット・タイマ・レジスタ (TMS) … 163
- シリアルI/Oシフト・レジスタ0 (SIO0) … 223
- シリアルI/Oシフト・レジスタ1 (SIO1) … 276
- シリアル動作モード・レジスタ0 (CSIM0) … 225, 232, 233, 246, 267
- シリアル動作モード・レジスタ1 (CSIM1) … 279, 285, 286, 290
- シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) … 229, 234, 249, 269
- スレーブ・アドレス・レジスタ (SVA) … 223

【た行】

- タイマ・クロック選択レジスタ0 (TCL0) … 136, 196
- タイマ・クロック選択レジスタ1 (TCL1) … 163

タイマ・クロック選択レジスタ2 (TCL2) … 180, 190, 200
タイマ・クロック選択レジスタ3 (TCL3) … 225, 277
時計用タイマ・モード・コントロール・レジスタ (TMC2) … 183

[な行]

内部拡張RAMサイズ切り替えレジスタ (IXS) … 389

[は行]

8ビット・コンペア・レジスタ (CR10, CR20) … 163
8ビット・タイマ出力コントロール・レジスタ (TOC1) … 166
8ビット・タイマ・モード・コントロール・レジスタ (TMC1) … 165
8ビット・タイマ・レジスタ1 (TM1) … 163
8ビット・タイマ・レジスタ2 (TM2) … 163
発振安定時間選択レジスタ (OSTS) … 358
プルアップ抵抗オプション・レジスタ (PUO) … 108
プログラム・ステータス・ワード (PSW) … 65, 330
プロセッサ・クロック・コントロール・レジスタ (PCC) … 116
ポート0 (P0) … 95
ポート1 (P1) … 97
ポート2 (P2) … 98
ポート3 (P3) … 100
ポート4 (P4) … 101
ポート5 (P5) … 102
ポート6 (P6) … 103
ポート・モード・レジスタ0 (PM0) … 105
ポート・モード・レジスタ1 (PM1) … 105
ポート・モード・レジスタ2 (PM2) … 105
ポート・モード・レジスタ3 (PM3) … 105, 140, 167, 198, 202
ポート・モード・レジスタ5 (PM5) … 105
ポート・モード・レジスタ6 (PM6) … 105

[ま行]

メモリ・サイズ切り替えレジスタ (IMS) … 349, 387
メモリ拡張モード・レジスタ (MM) … 109, 348

[や行]

優先順位指定フラグ・レジスタ0H (PR0H) … 326
優先順位指定フラグ・レジスタ0L (PR0L) … 326

【わ行】

割り込みタイミング指定レジスタ (SINT) … 231, 251, 269
割り込みマスク・フラグ・レジスタ0H (MK0H) … 325, 343
割り込みマスク・フラグ・レジスタ0L (MK0L) … 325
割り込み要求フラグ・レジスタ0H (IF0H) … 324, 343
割り込み要求フラグ・レジスタ0L (IF0L) … 324

D.2 レジスタ索引（アルファベット順）

[A]

ADCR	: A/D変換結果レジスタ …	205
ADIS	: A/Dコンバータ入力選択レジスタ …	208
ADM	: A/Dコンバータ・モード・レジスタ …	206
ADTC	: 自動データ送受信コントロール・レジスタ …	280, 291
ADTI	: 自動データ送受信間隔指定レジスタ …	282, 293
ADTP	: 自動データ送受信アドレス・ポインタ …	276

[C]

CR00	: 16ビット・コンペア・レジスタ …	135
CR01	: 16ビット・キャプチャ・レジスタ …	135
CR10	: 8ビット・コンペア・レジスタ …	163
CR20	: 8ビット・コンペア・レジスタ …	163
CSIM0	: シリアル動作モード・レジスタ 0 …	225, 232, 233, 246, 267
CSIM1	: シリアル動作モード・レジスタ 1 …	279, 285, 286, 290

[I]

IF0H	: 割り込み要求フラグ・レジスタ0H …	324, 343
IF0L	: 割り込み要求フラグ・レジスタ0L …	324
IMS	: メモリ・サイズ切り替えレジスタ …	349, 387
INTM0	: 外部割り込みモード・レジスタ …	141, 327
IXS	: 内部拡張RAMサイズ切り替えレジスタ …	389

[K]

KRM	: キー・リターン・モード・レジスタ …	110, 344
-----	----------------------	----------

[M]

MK0H	: 割り込みマスク・フラグ・レジスタ0H …	325, 343
MK0L	: 割り込みマスク・フラグ・レジスタ0L …	325
MM	: メモリ拡張モード・レジスタ …	109, 348

[O]

OSTS	: 発振安定時間選択レジスタ …	358
------	------------------	-----

[P]

P0	: ポート 0	…	95
P1	: ポート 1	…	97
P2	: ポート 2	…	98
P3	: ポート 3	…	100
P4	: ポート 4	…	101
P5	: ポート 5	…	102
P6	: ポート 6	…	103
PCC	: プロセッサ・クロック・コントロール・レジスタ	…	116
PM0	: ポート・モード・レジスタ 0	…	105
PM1	: ポート・モード・レジスタ 1	…	105
PM2	: ポート・モード・レジスタ 2	…	105
PM3	: ポート・モード・レジスタ 3	…	105, 140, 167, 198, 202
PM5	: ポート・モード・レジスタ 5	…	105
PM6	: ポート・モード・レジスタ 6	…	105
PR0H	: 優先順位指定フラグ・レジスタ 0H	…	326
PR0L	: 優先順位指定フラグ・レジスタ 0L	…	326
PSW	: プログラム・ステータス・ワード	…	65, 330
PUO	: プルアップ抵抗オプション・レジスタ	…	108

[S]

SBIC	: シリアル・バス・インタフェース・コントロール・レジスタ	…	229, 234, 249, 269
SCS	: サンプリング・クロック選択レジスタ	…	142, 328
SINT	: 割り込みタイミング指定レジスタ	…	231, 251, 269
SIO0	: シリアルI/Oシフト・レジスタ 0	…	223
SIO1	: シリアルI/Oシフト・レジスタ 1	…	276
SVA	: スレーブ・アドレス・レジスタ	…	223

[T]

TCL0	: タイマ・クロック選択レジスタ 0	…	136, 196
TCL1	: タイマ・クロック選択レジスタ 1	…	163
TCL2	: タイマ・クロック選択レジスタ 2	…	180, 190, 200
TCL3	: タイマ・クロック選択レジスタ 3	…	225, 277
TM0	: 16ビット・タイマ・レジスタ	…	135
TM1	: 8ビット・タイマ・レジスタ 1	…	163
TM2	: 8ビット・タイマ・レジスタ 2	…	163
TMC0	: 16ビット・タイマ・モード・コントロール・レジスタ	…	136

TMC1	: 8ビット・タイマ・モード・コントロール・レジスタ	…	165
TMC2	: 時計用タイマ・モード・コントロール・レジスタ	…	183
TMS	: 16ビット・タイマ・レジスタ	…	163
TOC0	: 16ビット・タイマ出力コントロール・レジスタ	…	139
TOC1	: 8ビット・タイマ出力コントロール・レジスタ	…	166

[W]

WDTM	: ウォッチドッグ・タイマ・モード・レジスタ	…	192
------	------------------------	---	-----

★

付録 E 改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

版 数	前版からの主な改版内容	適用箇所
第 2 版	次のポートのブロック図を変更 ・図 4－6 P20, P21, P23-P26のブロック図 ・図 4－7 P22, P27のブロック図 ・図 4－8 P30-P37のブロック図	第 4 章 ポート機能
	表 5－2 CPUクロックと最小命令実行時間の関係を追加	第 5 章 クロック発生回路
	図 7－10, 図 7－13 方形波出力動作のタイミングを追加	第 7 章 8ビット・タイマ／イベント・カウンタ
	シリアル・インタフェース・チャンネル 0 のビジ・モードを解除する（レディ信号を出力する）条件を変更	第 13 章 シリアル・インタフェース・チャンネル 0
	13.4.3 (2) (a) バス・リリース信号 (REL) , (b) コマンド信号 (CMD) に配線の引き回しについての注意を追加	
	全面改訂：インサーキット・エミュレータ IE-78K0-NS, IE-78001-R-A に対応	付録 B 開発ツール
	全面改訂：ファジィ推論開発支援システムを削除	付録 C 組み込み用ソフトウェア

—— お問い合わせは、最寄りのNECへ ——

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル）	東京 (03)3454-1111	（大代表）
中部支社 半導体第一販売部 半導体第二販売部	〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋 (052)222-2170 名古屋 (052)222-2190	
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208	
北海道支社 東北支店 岩手支店 郡山支店 いわき支店 長岡支店 土浦支店 水戸支店 神奈川支社 群馬支店	札幌 (011)251-5599 仙台 (022)267-8740 盛岡 (019)651-4344 郡山 (0249)23-5511 いわき (0246)21-5511 長岡 (0258)36-2155 土浦 (0298)23-6161 水戸 (029)226-1717 横浜 (045)682-4524 高崎 (0273)26-1255	太田支店 太田 (0276)46-4011 宇都宮支店 宇都宮 (028)621-2281 小山支店 小山 (0285)24-5011 長野支社 松本 (0263)35-1662 甲府支店 甲府 (0552)24-4141 埼玉支社 大宮 (048)649-1415 立川支社 立川 (0425)26-5981 千葉支社 千葉 (043)238-8116 静岡支社 静岡 (054)254-4794 北陸支社 金沢 (076)232-7303	福富井支店 福富井 (0776)22-1866 井山支店 津 (0764)31-8461 三重支店 津 (0592)25-7341 京都支社 京都 (075)344-7824 神戸支社 神戸 (078)333-3854 中国支社 広島 (082)242-5504 鳥取支店 鳥取 (0857)27-5311 岡山支店 岡山 (086)225-4455 松山支店 松山 (089)945-4149 九州支社 福岡 (092)261-2806

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-7923	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル）	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪 (06) 945-3383	

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] μPD78014Hサブシリーズ ユーザーズ・マニュアル

(U12220JJ2V0UM00 (第2版))

【お名前など】（さしつかえのない範囲で）

御社名（学校名，その他）（ ）

ご住所 ()

お電話番号 ()

お仕事の内容 ()

お名前 ()

1. ご評価（各欄に○をご記入ください）

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン、字の大きさなど					
その他（ （					

2. わかりやすい所 (第 章, 第 章, 第 章, 第 章, その他

理由 []

3. わかりにくい所 (第 章, 第 章, 第 章, 第 章, その他

理由 []

4. ご意見，ご要望

5. このドキュメントをお届けしたのは

NEC販売員，特約店販売員，NEC半導体ソリューション技術本部員，

その他（ ）

ご協力ありがとうございました。

下記あてにFAXで送信いただくか、最寄りの販売員にコピーをお渡しください。

NEC半導体インフォメーションセンター

FAX : (044) 548-7900