

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μPD780024A, 780034A, 780024AY, 780034AYサブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

μPD780021A	μPD780031A	μPD780021AY	μPD780031AY
μPD780022A	μPD780032A	μPD780022AY	μPD780032AY
μPD780023A	μPD780033A	μPD780023AY	μPD780033AY
μPD780024A	μPD780034A	μPD780024AY	μPD780034AY
μPD780021A(A)	μPD780031A(A)	μPD780021AY(A)	μPD780031AY(A)
μPD780022A(A)	μPD780032A(A)	μPD780022AY(A)	μPD780032AY(A)
μPD780023A(A)	μPD780033A(A)	μPD780023AY(A)	μPD780033AY(A)
μPD780024A(A)	μPD780034A(A)	μPD780024AY(A)	μPD780034AY(A)
	μPD78F0034A		μPD78F0034AY
	μPD78F0034B		μPD78F0034BY
	μPD78F0034B(A)		μPD78F0034BY(A)

[× ㊦]

目次要約

第1章	概説 (μ PD780024A, 780034Aサブシリーズ)	…	20
第2章	概説 (μ PD780024AY, 780034AYサブシリーズ)	…	42
第3章	端子機能 (μ PD780024A, 780034Aサブシリーズ)	…	63
第4章	端子機能 (μ PD780024AY, 780034AYサブシリーズ)	…	75
第5章	CPUアーキテクチャ	…	87
第6章	ポート機能	…	121
第7章	クロック発生回路	…	153
第8章	16ビット・タイマ/イベント・カウンタ0	…	168
第9章	8ビット・タイマ/イベント・カウンタ50, 51	…	204
第10章	時計用タイマ	…	228
第11章	ウォッチドッグ・タイマ	…	233
第12章	クロック出力/ブザー出力制御回路	…	238
第13章	8ビットA/Dコンバータ(μ PD780024A, 780024AYサブシリーズ)	…	243
第14章	10ビットA/Dコンバータ(μ PD780034A, 780034AYサブシリーズ)	…	266
第15章	シリアル・インタフェースの概説	…	289
第16章	シリアル・インタフェースUART0	…	290
第17章	シリアル・インタフェースSIO30, SIO31	…	318
第18章	シリアル・インタフェースIIC0 (μ PD780024AY, 780034AYサブシリーズのみ)	…	330
第19章	割り込み機能	…	394
第20章	外部デバイス拡張機能	…	417
第21章	スタンバイ機能	…	428
第22章	リセット機能	…	436
第23章	μ PD78F0034A, 78F0034B, 78F0034AY, 78F0034BY	…	440
第24章	命令セットの概要	…	467
第25章	電気的特性 (拡張規格: $f_x = 1.0 \sim 12$ MHz)	…	482
第26章	電気的特性 (従来規格: $f_x = 1.0 \sim 8.38$ MHz)	…	511
第27章	外形図	…	543
第28章	半田付け推奨条件	…	549
付録A	μ PD78018F, 780024A, 780034A, 780078サブシリーズ間の違い	…	554
付録B	開発ツール	…	557
付録C	ターゲット・システム設計上の注意	…	574
付録D	レジスタ索引	…	584
付録E	改版履歴	…	590

CMOSデバイスの一般的注意事項

① 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力が入力ノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

② 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③ 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

④ 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

FIP, IEBusは、NECエレクトロニクス株式会社の登録商標です。

EEPROMは、NECエレクトロニクス株式会社の商標です。

WindowsおよびWindowsNTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パッカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

TRONは、The Realtime Operating system Nucleusの略称です。

ITRONは、Industrial TRONの略称です。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品： μ PD78F0034A, 78F0034B, 78F0034AY, 78F0034BY, 78F0034B(A), 78F0034BY(A)

ユーザ判定品： μ PD780021A, 780022A, 780023A, 780024A, 780021A(A), 780022A(A), 780023A(A), 780024A(A),
 μ PD780031A, 780032A, 780033A, 780034A, 780031A(A), 780032A(A), 780033A(A), 780034A(A),
 μ PD780021AY, 780022AY, 780023AY, 780024AY, 780021AY(A), 780022AY(A), 780023AY(A),
 μ PD780024AY(A), 780031AY, 780032AY, 780033AY, 780034AY, 780031AY(A), 780032AY(A),
 μ PD780033AY(A), 780034AY(A)

注意：μPD780024AY，780034AYサブシリーズはI²Cバス・インタフェース回路を内蔵しています。
I²Cバス・インタフェースを使用される場合には、カスタム・コードをご発注いただく時に、事前にその旨ご申告下さい。申告に基づき、以下の特典が受けられます。
当社のI²Cバス対応部品をご購入いただくことにより、これらの部品をI²Cシステムに使用する実施権がフィリップス社I²C特許に基づき許諾されることとなります。ただし、これらのI²Cシステムはフィリップス社によって設定されたI²C標準規格に合致しているものとします。

Purchase of NEC Electronics I²C components conveys a license under the Philips I²C Patent Rights to use these components in an I²C system, provided that the system conforms to the I²C Standard Specification as defined by Philips.

- 本資料に記載されている内容は2004年4月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

はじめに

対象者 このマニュアルは、 μ PD780024A, 780034A, 780024AY, 780034AYサブシリーズの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。対象製品は、次に示すサブシリーズの各製品です。

- μ PD780024Aサブシリーズ
 μ PD780021A, 780022A, 780023A, 780024A
 μ PD780021A(A), 780022A(A), 780023A(A), 780024A(A)
- μ PD780034Aサブシリーズ
 μ PD780031A, 780032A, 780033A, 780034A, 78F0034A, 78F0034B
 μ PD780031A(A), 780032A(A), 780033A(A), 780034A(A), 78F0034B(A)
- μ PD780024AYサブシリーズ
 μ PD780021AY, 780022AY, 780023AY, 780024AY
 μ PD780021AY(A), 780022AY(A), 780023AY(A), 780024AY(A)
- μ PD780034AYサブシリーズ
 μ PD780031AY, 780032AY, 780033AY, 780034AY, 78F0034AY, 78F0034BY
 μ PD780031AY(A), 780032AY(A), 780033AY(A), 780034AY(A), 78F0034BY(A)

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 μ PD780024A, 780034A, 780024AY, 780034AYサブシリーズのマニュアルは、このマニュアルと命令編（78K/0シリーズ共通）の2冊に分かれています。

μ PD780024A, 780034A, 780024AY, 780034AY
サブシリーズ
ユーザーズ・マニュアル
(このマニュアル)

78K/0シリーズ
ユーザーズ・マニュアル
命令編

- 端子機能
- 内部ブロック機能
- 割り込み
- その他の内蔵周辺機能
- 電気的特性
- CPU機能
- 命令セット
- 命令の説明

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

□ (A) 製品のマニュアルとしてお使いになる方へ

→標準製品と (A) 製品は、品質水準のみが異なります。(A) 製品については、品名を次のように読み替えてください。

μ PD780021A→ μ PD780021A(A)	μ PD780021AY→ μ PD780021AY(A)
μ PD780022A→ μ PD780022A(A)	μ PD780022AY→ μ PD780022AY(A)
μ PD780023A→ μ PD780023A(A)	μ PD780023AY→ μ PD780023AY(A)
μ PD780024A→ μ PD780024A(A)	μ PD780024AY→ μ PD780024AY(A)
μ PD780031A→ μ PD780031A(A)	μ PD780031AY→ μ PD780031AY(A)
μ PD780032A→ μ PD780032A(A)	μ PD780032AY→ μ PD780032AY(A)
μ PD780033A→ μ PD780033A(A)	μ PD780033AY→ μ PD780033AY(A)
μ PD780034A→ μ PD780034A(A)	μ PD780034AY→ μ PD780034AY(A)
μ PD78F0034B→ μ PD78F0034B(A)	μ PD78F0034BY→ μ PD78F0034BY(A)

□一通りの機能を理解しようとするとき

→目次に従って読んでください。本文欄外の★印は、本版で改訂された主な箇所を示しています。

□レジスタ・フォーマットの見方

→ビット番号を□で囲んでいるものは、そのビット名称がRA78K0では予約語に、CC78K0では#pragma sfr指令で、sfr変数として定義されているものです。

□レジスタ名が分かっている、レジスタの詳細を確認するとき

→付録D レジスタ索引を利用してください。

□78K/0シリーズの命令機能の詳細を知りたいとき

→別冊の78K/0シリーズ ユーザーズ・マニュアル 命令編 (U12326J) を参照してください。

□ μ PD780024A, 780034A, 780024AY, 780034AYサブシリーズの電気的特性を知りたいとき

→第25章 電気的特性 (拡張規格: $f_x = 1.0 \sim 12$ MHz), 第26章 電気的特性 (従来規格: $f_x = 1.0 \sim 8.38$ MHz) を参照してください。

注意 このマニュアル中の使用例は、一般電子機器用の『標準』品質水準用に作成してあります。『特別』品質水準を要求する用途にこのマニュアル中の使用例を使用する場合は、実際に使用する各部分および回路について、その品質水準についてご検討のうえご使用ください。

μPD780024A, 780034A, 780024AY, 780034AYサブシリーズ間の違い

μPD780024A, 780034A, 780024AY, 780034AYサブシリーズ間では、シリアル・インタフェースの構成、A/Dコンバータの分解能が異なります。

サブシリーズ名		μPD780024A	μPD780034A	μPD780024AY	μPD780034AY
シリアル・ インタフェース の構成	3線式シリアルI/Oモード	2ch (SIO30, SIO31)		1ch (SIO30のみ)	
	UARTモード	1ch		1ch	
	I ² Cモード	なし		1ch	
A/Dコンバータ		8ビット分解能	10ビット分解能	8ビット分解能	10ビット分解能

章構成 このマニュアルは、サブシリーズ間で機能の異なる箇所については章を分けて記載しています。各サブシリーズに対応する章は次のとおりです。

それぞれのサブシリーズのマニュアルとしてお使いになる場合は、○印の章のみお読みください。

章	μPD780024A サブシリーズ	μPD780034A サブシリーズ	μPD780024AY サブシリーズ	μPD780034AY サブシリーズ
第1章 概説 (μPD780024A, 780034Aサブシリーズ)	○	○	—	—
第2章 概説 (μPD780024AY, 780034AYサブシリーズ)	—	—	○	○
第3章 端子機能 (μPD780024A, 780034Aサブシリーズ)	○	○	—	—
第4章 端子機能 (μPD780024AY, 780034AYサブシリーズ)	—	—	○	○
第5章 CPUアーキテクチャ	○	○	○	○
第6章 ポート機能	○	○	○	○
第7章 クロック発生回路	○	○	○	○
第8章 16ビット・タイマ/イベント・カウンタ0	○	○	○	○
第9章 8ビット・タイマ/イベント・カウンタ50, 51	○	○	○	○
第10章 時計用タイマ	○	○	○	○
第11章 ウォッチドッグ・タイマ	○	○	○	○
第12章 クロック出力/ブザー出力制御回路	○	○	○	○
第13章 8ビット A/Dコンバータ (μPD780024A, 780024AYサブシリーズ)	○	—	○	—
第14章 10ビット A/Dコンバータ (μPD780034A, 780034AYサブシリーズ)	—	○	—	○
第15章 シリアル・インタフェースの概説	○	○	○	○
第16章 シリアル・インタフェースUART0	○	○	○	○
第17章 シリアル・インタフェースSIO3	○	○	○	○
第18章 シリアル・インタフェースIIC0 (μPD780024AY, 780034AYサブシリーズのみ)	—	—	○	○
第19章 割り込み機能	○	○	○	○
第20章 外部デバイス拡張機能	○	○	○	○
第21章 スタンバイ機能	○	○	○	○
第22章 リセット機能	○	○	○	○
第23章 μPD78F0034A, 78F0034B, 78F0034AY, 78F0034BY	○	○	○	○
第24章 命令セットの概要	○	○	○	○
第25章 電気的特性 (拡張規格: f _x = 1.0~12 MHz)	○	○	○	○
第26章 電気的特性 (従来規格: f _x = 1.0~8.38 MHz)	○	○	○	○
第27章 外形図	○	○	○	○
第28章 半田付け推奨条件	○	○	○	○

凡 例	データ表記の重み	: 左が上位桁, 右が下位桁
	アクティブ・ロウの表記	: <u>×××</u> (端子, 信号名称に上線)
	注	: 本文中につけた注の説明
	注意	: 気をつけて読んでいただきたい内容
	備考	: 本文の補足説明
	数の表記	: 2進数…××××または××××B 10進数…×××× 16進数…××××H

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
μPD780024A, 780034A, 780024AY, 780034AYサブシリーズ ユーザーズ・マニュアル	このマニュアル	U14046E
78K/0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E
78K/0シリーズ アプリケーション・ノート 基礎編 (I)	U12704J	U12704E

開発ツール (ソフトウェア) の資料 (ユーザーズ・マニュアル)

資料名		資料番号	
		和文	英文
RA78K0 アセンブラ・パッケージ	操作編	U16629J	U16629E
	言語編	U14446J	U14446E
	構造化アセンブリ言語編	U11789J	U11789E
CC78K0 Cコンパイラ	操作編	U16613J	U16613E
	言語編	U14298J	U14298E
SM78Kシリーズ Ver.2.52 システム・シミュレータ	操作編	U16768J	U16768E
	外部部品ユーザ・オープン・インタフェース仕様編	U15802J	U15802E
ID78K0-NS Ver.2.52 統合デバッグ	操作編	U16488J	U16488E
ID78K0 統合デバッグ EWSベース	レファレンス編	U11151J	—
RX78K0 リアルタイムOS	基礎編	U11537J	U11537E
	インストール編	U11536J	U11536E
PM plus Ver.5.10		U16569J	U16569E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号	
	和文	英文
IE-78K0-NS インサーキット・エミュレータ	U13731J	U13731E
IE-78K0-NS-A インサーキット・エミュレータ	U14889J	U14889E
IE-78K0-NS-PA パフォーマンス・ボード	U16109J	作成予定
IE-780034-NS-EM1 エミュレーション・ボード	U14642J	U14642E
IE-78001-R-A インサーキット・エミュレータ	U14142J	U14142E
IE-78K0-R-EX1 インサーキット・エミュレータ	作成予定	作成予定

フラッシュ・メモリ書き込み用の資料

資料名	資料番号	
	和文	英文
PG-FP3 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U13502J	U13502E
PG-FP4 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U15260J	U15260E

その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
半導体 品質／信頼性ハンドブック	C12769J	—
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	—

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

目 次

第1章 概 説 (μ PD780024A, 780034Aサブシリーズ) … 20

- 1.1 拡張規格品と従来規格品について … 20
- 1.2 特 徴 … 21
- 1.3 応用分野 … 22
- 1.4 オーダ情報 … 23
- 1.5 品質水準 … 27
- 1.6 端子接続図 (Top View) … 31
- 1.7 78K/0シリーズの展開 … 35
- 1.8 ブロック図 … 37
- 1.9 機能概要 … 38
- 1.10 マスクROM製品とフラッシュ・メモリ製品の対応について … 39
- 1.11 標準水準品と特別水準品との違いについて … 40
- 1.12 製品とパッケージの対応について … 40
- 1.13 マスク・オプションについて … 41

第2章 概 説 (μ PD780024AY, 780034AYサブシリーズ) … 42

- 2.1 特 徴 … 42
- 2.2 応用分野 … 43
- 2.3 オーダ情報 … 44
- 2.4 品質水準 … 48
- 2.5 端子接続図 (Top View) … 52
- 2.6 78K/0シリーズの展開 … 56
- 2.7 ブロック図 … 58
- 2.8 機能概要 … 59
- 2.9 マスクROM製品とフラッシュ・メモリ製品の対応について … 60
- 2.10 標準水準品と特別水準品との違いについて … 61
- 2.11 製品とパッケージの対応について … 61
- 2.12 マスク・オプションについて … 62

第3章 端子機能 (μ PD780024A,780034A サブシリーズ) … 63

- 3.1 端子機能一覧 … 63
- 3.2 端子機能の説明 … 66
 - 3.2.1 P00-P03 (Port0) … 66
 - 3.2.2 P10-P17 (Port1) … 66
 - 3.2.3 P20-P25 (Port2) … 67
 - 3.2.4 P30-P36 (Port3) … 67
 - 3.2.5 P40-P47 (Port4) … 68
 - 3.2.6 P50-P57 (Port5) … 68
 - 3.2.7 P64-P67 (Port6) … 69
 - 3.2.8 P70-P75 (Port7) … 69
 - 3.2.9 AV_{REF} … 70
 - 3.2.10 AV_{DD} … 70
 - 3.2.11 AV_{SS} … 70
 - 3.2.12 $\overline{\text{RESET}}$ … 70
 - 3.2.13 NC … 70

3.2.14	X1, X2	…	70
3.2.15	XT1, XT2	…	70
3.2.16	VDD0, VDD1	…	70
3.2.17	VSS0, VSS1	…	70
3.2.18	VPP (フラッシュ・メモリ製品のみ)	…	71
3.2.19	IC (マスクROM製品のみ)	…	71
3.3	端子の入出力回路と未使用端子の処理	…	72

第4章 端子機能 (μPD780024AY, 780034AYサブシリーズ) … 75

4.1	端子機能一覧	…	75
4.2	端子機能の説明	…	78
4.2.1	P00-P03 (Port0)	…	78
4.2.2	P10-P17 (Port1)	…	78
4.2.3	P20-P25 (Port2)	…	79
4.2.4	P30-P36 (Port3)	…	79
4.2.5	P40-P47 (Port4)	…	80
4.2.6	P50-P57 (Port5)	…	80
4.2.7	P64-P67 (Port6)	…	81
4.2.8	P70-P75 (Port7)	…	81
4.2.9	AVREF	…	82
4.2.10	AVDD	…	82
4.2.11	AVSS	…	82
4.2.12	RESET	…	82
4.2.13	NC	…	82
4.2.14	X1, X2	…	82
4.2.15	XT1, XT2	…	82
4.2.16	VDD0, VDD1	…	82
4.2.17	VSS0, VSS1	…	82
4.2.18	VPP (フラッシュ・メモリ製品のみ)	…	83
4.2.19	IC (マスクROM製品のみ)	…	83
4.3	端子の入出力回路と未使用端子の処理	…	84

第5章 CPUアーキテクチャ … 87

5.1	メモリ空間	…	87
5.1.1	内部プログラム・メモリ空間	…	93
5.1.2	内部データ・メモリ空間	…	94
5.1.3	特殊機能レジスタ (SFR: Special Function Register) 領域	…	94
5.1.4	外部メモリ空間	…	94
5.1.5	データ・メモリ・アドレッシング	…	95
5.2	プロセッサ・レジスタ	…	100
5.2.1	制御レジスタ	…	100
5.2.2	汎用レジスタ	…	103
5.2.3	特殊機能レジスタ (SFR: Special Function Register)	…	105
5.3	命令アドレスのアドレッシング	…	109
5.3.1	レラティブ・アドレッシング	…	109
5.3.2	イミューディエト・アドレッシング	…	110
5.3.3	テーブル・インダイレクト・アドレッシング	…	111
5.3.4	レジスタ・アドレッシング	…	111
5.4	オペランド・アドレスのアドレッシング	…	112
5.4.1	インプライド・アドレッシング	…	112

5.4.2	レジスタ・アドレッシング	…	113
5.4.3	ダイレクト・アドレッシング	…	114
5.4.4	ショート・ダイレクト・アドレッシング	…	115
5.4.5	特殊機能レジスタ (SFR) アドレッシング	…	116
5.4.6	レジスタ・インダイレクト・アドレッシング	…	117
5.4.7	ベースト・アドレッシング	…	118
5.4.8	ベースト・インデクスト・アドレッシング	…	119
5.4.9	スタック・アドレッシング	…	120

第6章 ポート機能 … 121

6.1	ポートの機能	…	121
6.2	ポートの構成	…	124
6.2.1	ポート0	…	124
6.2.2	ポート1	…	126
6.2.3	ポート2	…	127
6.2.4	ポート3 (μ PD780024A, 780034Aサブシリーズ)	…	130
6.2.5	ポート3 (μ PD780024AY, 780034AYサブシリーズ)	…	135
6.2.6	ポート4	…	139
6.2.7	ポート5	…	140
6.2.8	ポート6	…	141
6.2.9	ポート7	…	143
6.3	ポート機能を制御するレジスタ	…	146
6.4	ポート機能の動作	…	151
6.4.1	入出力ポートへの書き込み	…	151
6.4.2	入出力ポートからの読み出し	…	151
6.4.3	入出力ポートでの演算	…	151
6.5	マスク・オプションの選択	…	152

第7章 クロック発生回路 … 153

7.1	クロック発生回路の機能	…	153
7.2	クロック発生回路の構成	…	153
7.3	クロック発生回路を制御するレジスタ	…	155
7.4	システム・クロック発振回路	…	159
7.4.1	メイン・システム・クロック発振回路	…	159
7.4.2	サブシステム・クロック発振回路	…	160
7.4.3	サブシステム・クロックを使用しない場合	…	163
7.5	クロック発生回路の動作	…	164
7.5.1	メイン・システム・クロックの動作	…	165
7.5.2	サブシステム・クロックの動作	…	166
7.6	システム・クロックとCPUクロックの設定の変更	…	166
7.6.1	システム・クロックとCPUクロックの切り替えに要する時間	…	166
7.6.2	システム・クロックとCPUクロックの切り替え手順	…	167

第8章 16ビット・タイマ/イベント・カウンタ0 … 168

8.1	16ビット・タイマ/イベント・カウンタ0の機能	…	168
8.2	16ビット・タイマ/イベント・カウンタ0の構成	…	169
8.3	16ビット・タイマ/イベント・カウンタ0を制御するレジスタ	…	172
8.4	16ビット・タイマ/イベント・カウンタ0の動作	…	178

8.4.1	インターバル・タイマとしての動作	…	178
8.4.2	外部イベント・カウンタとしての動作	…	181
8.4.3	パルス幅測定としての動作	…	183
8.4.4	方形波出力としての動作	…	190
8.4.5	PPG出力としての動作	…	191
8.5	プログラム・リスト	…	193
8.5.1	インターバル・タイマ	…	194
8.5.2	フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅設定	…	195
8.5.3	フリー・ランニング・カウンタによる2つのパルス幅設定	…	196
8.5.4	リスタートによるパルス幅設定	…	198
8.5.5	PPG出力	…	199
8.6	16ビット・タイマ/イベント・カウンタ0の注意事項	…	200
第9章	8ビット・タイマ/イベント・カウンタ50, 51	…	204
9.1	8ビット・タイマ/イベント・カウンタ50, 51の機能	…	204
9.2	8ビット・タイマ/イベント・カウンタ50, 51の構成	…	206
9.3	8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタ	…	208
9.4	8ビット・タイマ/イベント・カウンタ50, 51の動作	…	213
9.4.1	インターバル・タイマ (8ビット) としての動作	…	213
9.4.2	外部イベント・カウンタとしての動作	…	217
9.4.3	方形波出力 (8ビット分解能) としての動作	…	218
9.4.4	8ビットPWM出力としての動作	…	219
9.4.5	インターバル・タイマ (16ビット) としての動作	…	223
9.5	プログラム・リスト	…	224
9.5.1	インターバル・タイマ (8ビット)	…	224
9.5.2	外部イベント・カウンタ	…	225
9.5.3	インターバル・タイマ (16ビット)	…	226
9.6	8ビット・タイマ/イベント・カウンタ50, 51の注意事項	…	227
第10章	時計用タイマ	…	228
10.1	時計用タイマの機能	…	228
10.2	時計用タイマの構成	…	229
10.3	時計用タイマを制御するレジスタ	…	230
10.4	時計用タイマの動作	…	231
10.4.1	時計用タイマとしての動作	…	231
10.4.2	インターバル・タイマとしての動作	…	231
第11章	ウォッチドッグ・タイマ	…	233
11.1	ウォッチドッグ・タイマの機能	…	233
11.2	ウォッチドッグ・タイマの構成	…	234
11.3	ウォッチドッグ・タイマを制御するレジスタ	…	234
11.4	ウォッチドッグ・タイマの動作	…	236
11.4.1	ウォッチドッグ・タイマとしての動作	…	236
11.4.2	インターバル・タイマとしての動作	…	237
第12章	クロック出力/ブザー出力制御回路	…	238
12.1	クロック出力/ブザー出力制御回路の機能	…	238

12.2	クロック出力／ブザー出力制御回路の構成	…	239
12.3	クロック出力／ブザー出力制御回路を制御するレジスタ	…	239
12.4	クロック出力／ブザー出力制御回路の動作	…	242
12.4.1	クロック出力としての動作	…	242
12.4.2	ブザー出力としての動作	…	242
第13章	8ビットA/Dコンバータ (μPD780024A, 780024AYサブシリーズ)	…	243
13.1	A/Dコンバータの機能	…	243
13.2	A/Dコンバータの構成	…	245
13.3	A/Dコンバータを制御するレジスタ	…	247
13.4	A/Dコンバータの動作	…	250
13.4.1	A/Dコンバータの基本動作	…	250
13.4.2	入力電圧と変換結果	…	253
13.4.3	A/Dコンバータの動作モード	…	254
13.5	A/Dコンバータ特性表の読み方	…	257
13.6	A/Dコンバータの注意事項	…	260
第14章	10ビットA/Dコンバータ (μPD780034A, 780034AYサブシリーズ)	…	266
14.1	A/Dコンバータの機能	…	266
14.2	A/Dコンバータの構成	…	268
14.3	A/Dコンバータを制御するレジスタ	…	270
14.4	A/Dコンバータの動作	…	273
14.4.1	A/Dコンバータの基本動作	…	273
14.4.2	入力電圧と変換結果	…	276
14.4.3	A/Dコンバータの動作モード	…	277
14.5	A/Dコンバータ特性表の読み方	…	280
14.6	A/Dコンバータの注意事項	…	283
第15章	シリアル・インタフェースの概説	…	289
第16章	シリアル・インタフェースUART0	…	290
16.1	シリアル・インタフェースUART0の機能	…	290
16.2	シリアル・インタフェースUART0の構成	…	292
16.3	シリアル・インタフェースUART0を制御するレジスタ	…	295
16.4	シリアル・インタフェースUART0の動作	…	299
16.4.1	動作停止モード	…	299
16.4.2	アシンクロナス・シリアル・インタフェース (UART) モード	…	299
16.4.3	赤外線データ転送モード	…	310
第17章	シリアル・インタフェースSIO30, SIO31	…	318
17.1	シリアル・インタフェースSIO30, SIO31の機能	…	318
17.2	シリアル・インタフェースSIO30, SIO31の構成	…	319
17.3	シリアル・インタフェースSIO30, SIO31を制御するレジスタ	…	320
17.4	シリアル・インタフェースSIO30, SIO31の動作	…	324
17.4.1	動作停止モード	…	324
17.4.2	3線式シリアルI/Oモード	…	325

第18章 シリアル・インタフェースIIC0(μ PD780024AY, 780034AYサブシリーズのみ)

… 330

- 18.1 シリアル・インタフェースIIC0の機能 … 330
- 18.2 シリアル・インタフェースIIC0の構成 … 333
- 18.3 シリアル・インタフェースIIC0を制御するレジスタ … 335
- 18.4 I²Cバス・モードの機能 … 345
 - 18.4.1 端子構成 … 345
- 18.5 I²Cバスの定義および制御方法 … 346
 - 18.5.1 スタート・コンディション … 346
 - 18.5.2 アドレス … 347
 - 18.5.3 転送方向指定 … 347
 - 18.5.4 アクノリッジ信号 (ACK) … 348
 - 18.5.5 ストップ・コンディション … 349
 - 18.5.6 ウェイト信号 (WAIT) … 350
 - 18.5.7 割り込み要求 (INTIIC0)発生タイミングおよびウェイト制御 … 352
 - 18.5.8 アドレスの一致検出方法 … 353
 - 18.5.9 エラーの検出 … 353
 - 18.5.10 拡張コード … 354
 - 18.5.11 アービトレーション … 355
 - 18.5.12 ウェイク・アップ機能 … 357
 - 18.5.13 通信予約 … 357
 - 18.5.14 その他の注意事項 … 359
 - 18.5.15 通信動作 … 360
 - 18.5.16 I²C割り込み要求 (INTIIC0) の発生タイミング … 368
- 18.6 タイミング・チャート … 387

第19章 割り込み機能 … 394

- 19.1 割り込み機能の種類 … 394
- 19.2 割り込み要因と構成 … 394
- 19.3 割り込み機能を制御するレジスタ … 398
- 19.4 割り込み処理動作 … 405
 - 19.4.1 ノンマスカブル割り込み要求の受け付け動作 … 405
 - 19.4.2 マスカブル割り込み要求の受け付け動作 … 408
 - 19.4.3 ソフトウェア割り込み要求の受け付け動作 … 411
 - 19.4.4 多重割り込み処理 … 411
 - 19.4.5 割り込み要求の保留 … 415

第20章 外部デバイス拡張機能 … 417

- 20.1 外部デバイス拡張機能 … 417
- 20.2 外部デバイス拡張機能を制御するレジスタ … 420
- 20.3 外部デバイス拡張機能のタイミング … 422
- 20.4 メモリとの接続例 … 427

第21章 スタンバイ機能 … 428

- 21.1 スタンバイ機能と構成 … 428
 - 21.1.1 スタンバイ機能 … 428
 - 21.1.2 スタンバイ機能を制御するレジスタ … 429
- 21.2 スタンバイ機能の動作 … 430

21.2.1	HALTモード	…	430
21.2.2	STOPモード	…	433
第22章	リセット機能	…	436
第23章	μPD78F0034A, 78F0034B, 78F0034AY, 78F0034BY	…	440
23.1	μPD78F0034A, 78F0034AYとμPD78F0034B, 78F0034BYの違い	…	441
23.2	μPD78F0034B, 78F0034BYとμPD78F0034B(A), 78F0034BY(A)の違い	…	442
23.3	μPD78F0034A, 78F0034B, 78F0034AY, 78F0034BYとマスクROM製品の違い	…	443
23.4	メモリ・サイズ切り替えレジスタ	…	445
23.5	フラッシュ・メモリの特徴	…	446
23.5.1	プログラミング環境	…	446
23.5.2	通信方式	…	447
23.5.3	オンボード上の端子処理	…	452
23.5.4	フラッシュ書き込み用アダプタの接続	…	455
第24章	命令セットの概要	…	467
24.1	凡例	…	468
24.1.1	オペランドの表現形式と記述方法	…	468
24.1.2	オペレーション欄の説明	…	469
24.1.3	フラグ動作欄の説明	…	469
24.2	オペレーション一覧	…	470
24.3	アドレッシング別命令一覧	…	478
第25章	電気的特性（拡張規格：fx = 1.0~12 MHz）	…	482
第26章	電気的特性（従来規格：fx = 1.0~8.38 MHz）	…	511
第27章	外形図	…	543
第28章	半田付け推奨条件	…	549
付録A	μPD78018F, 780024A, 780034A, 780078サブシリーズ間の違い	…	554
付録B	開発ツール	…	557
B.1	ソフトウェア・パッケージ	…	560
B.2	言語処理用ソフトウェア	…	560
B.3	制御ソフトウェア	…	561
B.4	フラッシュ・メモリ書き込み用ツール	…	561
B.5	ディバグ用ツール（ハードウェア）	…	562
B.5.1	インサーキット・エミュレータ IE-78K0-NS, IE-78K0-NS-Aを使用する場合	…	562
B.5.2	インサーキット・エミュレータ IE-78001-R-Aを使用する場合	…	564
B.6	ディバグ用ツール（ソフトウェア）	…	565
B.7	組み込み用ソフトウェア	…	566
B.8	78K/0シリーズ用の旧タイプのインサーキット・エミュレータからIE-78001-R-Aへのシステム・アップ方法	…	567
B.9	変換ソケット, 変換アダプタの外形図	…	568

付録C ターゲット・システム設計上の注意 … 574

付録D レジスタ索引 … 584

D.1 レジスタ索引（50音順） … 584

D.2 レジスタ索引（アルファベット順） … 587

付録E 改版履歴 … 590

E.1 本版で改訂された主な箇所 … 590

E.2 前版までの改版履歴 … 591

第1章 概 説 (μ PD780024A, 780034Aサブシリーズ)

1.1 拡張規格品と従来規格品について

拡張規格品、従来規格品とは、それぞれ次の製品を指します。

拡張規格品 … 平成13年12月1日以降受注分の μ PD780021A, 780022A, 780023A, 780024A, 780031A, 780032A, 780033A, 780034A
(規格区分^注が「K, E, P, X」以外の製品)
 μ PD78F0034B

従来規格品 … 上記の拡張規格品に該当しない μ PD780021A, 780022A, 780023A, 780024A, 780031A, 780032A, 780033A, 780034A
(規格区分^注が「K, E, P, X」の製品)
 μ PD78F0034A

注 規格区分とは、パッケージ捺印のロット番号で左から5桁目のアルファベット表記を指します。



拡張規格品と従来規格品では動作周波数規格が異なります。

電源電圧 (V _{DD})	保証動作スピード (動作周波数)	
	従来規格品	拡張規格品
4.5~5.5 V	8.38 MHz (0.238 μ s)	12 MHz (0.166 μ s)
4.0~5.5 V	8.38 MHz (0.238 μ s)	8.38 MHz (0.238 μ s)
3.0~5.5 V	5 MHz (0.4 μ s)	8.38 MHz (0.238 μ s)
2.7~5.5 V	5 MHz (0.4 μ s)	5 MHz (0.4 μ s)
1.8~5.5 V	1.25 MHz (1.6 μ s)	1.25 MHz (1.6 μ s)

備考 () 内は最小命令実行時間

注意 μ PD780024AY, 780034AYサブシリーズ (μ PD780021AY, 780022AY, 780023AY, 780024AY, 780031AY, 780032AY, 780033AY, 780034AY, 78F0034AY, 78F0034BY) は従来規格品のみです。

1.2 特 徴

○内部メモリ

品 名	項 目	プログラム・メモリ (ROM/フラッシュ・メモリ)	データ・メモリ (高速RAM)
μPD780021A, 780031A		8 Kバイト	512バイト
μPD780022A, 780032A		16 Kバイト	
μPD780023A, 780033A		24 Kバイト	1024バイト
μPD780024A, 780034A		32 Kバイト	
μPD78F0034A, 78F0034B		32 Kバイト ^注	1024バイト ^注

注 メモリ・サイズ切り替えレジスタ (IMS) により、内部フラッシュ・メモリ、内部高速RAM容量の変更可能。

○外部メモリ拡張空間：64 Kバイト

○高速（拡張規格品の場合 0.166 μs：メイン・システム・クロック12 MHz動作時、従来規格品の場合 0.238 μs：メイン・システム・クロック8.38 MHz動作時）から超低速（122 μs：サブシステム・クロック 32.768 kHz動作時）まで最小命令実行時間変更可能

○システム制御に適した命令セット

- ・全アドレス空間でビット処理可能
- ・乗除算命令内蔵

○I/Oポート：51本（N-chオープン・ドレイン：4本）

○8ビット分解能A/Dコンバータ：8チャンネル（μPD780024Aサブシリーズのみ）

○10ビット分解能A/Dコンバータ：8チャンネル（μPD780034Aサブシリーズのみ）

○シリアル・インタフェース：3チャンネル

- ・3線式シリアルI/Oモード：2チャンネル
- ・UARTモード：1チャンネル

○タイマ：5チャンネル

- ・16ビット・タイマ/イベント・カウンタ：1チャンネル
- ・8ビット・タイマ/イベント・カウンタ：2チャンネル
- ・時計用タイマ：1チャンネル
- ・ウォッチドッグ・タイマ：1チャンネル

○ベクタ割り込み要因：20

○2種類のクロック発振回路内蔵（メイン・システム・クロックとサブシステム・クロック）

○電源電圧：V_{DD} = 1.8～5.5 V

1.3 応用分野

μPD780021A, 780022A, 780023A, 780024A

μPD780031A, 780032A, 780033A, 780034A, 78F0034A, 78F0034Bの場合

- ★ 家電製品, ページャ, AV機器, カー・オーディオ, OA機器など

μPD780021A(A), 780022A(A), 780023A(A), 780024A(A)

μPD780031A(A), 780032A(A), 780033A(A), 780034A(A), 78F0034B(A)の場合

- ★ 輸送機器の制御装置, ガス検知遮断機, 各種安全装置, 自動車電装など

1.4 オーダ情報

(1) μPD780024Aサブシリーズ (1/2)

オーダ名称	パッケージ	内部ROM
μPD780021ACW-×××	64ピン・プラスチックSDIP (19.05 mm (750))	マスクROM
μPD780021AGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780021AGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780021AGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780021AGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780021AF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃
μPD780022ACW-×××	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780022AGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780022AGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780022AGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780022AGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780022AF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃
μPD780023ACW-×××	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780023AGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780023AGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780023AGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780023AGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780023AF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃
μPD780024ACW-×××	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780024AGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780024AGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780024AGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780024AGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780024AF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃

備考 ×××はROMコード番号です。

(1) μPD780024Aサブシリーズ (2/2)

オーダ名称	パッケージ	内部ROM
μPD780021ACW(A)-×××	64ピン・プラスチックSDIP (19.05 mm (750))	マスクROM
μPD780021AGC(A)-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780021AGC(A)-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780021AGK(A)-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780021AGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃
μPD780022ACW(A)-×××	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780022AGC(A)-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780022AGC(A)-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780022AGK(A)-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780022AGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃
μPD780023ACW(A)-×××	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780023AGC(A)-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780023AGC(A)-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780023AGK(A)-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780023AGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃
μPD780024ACW(A)-×××	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780024AGC(A)-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780024AGC(A)-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780024AGK(A)-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780024AGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃

注 開発中

備考 ×××はROMコード番号です。

(2) μPD780034Aサブシリーズ (1/2)

オーダ名称	パッケージ	内部ROM
μPD780031ACW-×××	64ピン・プラスチックSDIP (19.05 mm (750))	マスクROM
μPD780031AGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780031AGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780031AGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780031AGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780031AF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃
μPD780032ACW-×××	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780032AGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780032AGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780032AGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780032AGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780032AF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃
μPD780033ACW-×××	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780033AGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780033AGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780033AGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780033AGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780033AF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃
μPD780034ACW-×××	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780034AGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780034AGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780034AGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780034AGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780034AF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃
μPD78F0034ACW	64ピン・プラスチックSDIP (19.05 mm (750))	フラッシュ・メモリ
μPD78F0034AGC-AB8 ^注	64ピン・プラスチックQFP (14x14)	〃
μPD78F0034AGC-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD78F0034AGK-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD78F0034AGB-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD78F0034BGC-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD78F0034BGK-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD78F0034BGB-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD78F0034BF1-CN3	73ピン・プラスチックFBGA (9x9)	〃

注 保守品

備考 ×××はROMコード番号です。

(2) μPD780034Aサブシリーズ (2/2)

オーダ名称	パッケージ	内部ROM
μPD780031ACW(A)-×××	64ピン・プラスチックSDIP (19.05 mm (750))	マスクROM
μPD780031AGC(A)-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780031AGC(A)-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780031AGK(A)-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780031AGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃
μPD780032ACW(A)-×××	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780032AGC(A)-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780032AGC(A)-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780032AGK(A)-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780032AGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃
μPD780033ACW(A)-×××	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780033AGC(A)-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780033AGC(A)-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780033AGK(A)-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780033AGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃
μPD780034ACW(A)-×××	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780034AGC(A)-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780034AGC(A)-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780034AGK(A)-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780034AGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃
μPD78F0034BGC(A)-8BS	64ピン・プラスチックLQFP (14x14)	フラッシュ・メモリ
μPD78F0034BGK(A)-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD78F0034BGB(A)-8EU	64ピン・プラスチックLQFP (10x10)	〃

注 開発中

備考 ×××はROMコード番号です。

1.5 品質水準

(1) μPD780024Aサブシリーズ (1/2)

オーダ名称	パッケージ	品質水準
μPD780021ACW-×××	64ピン・プラスチックSDIP (19.05 mm(750))	標準 (一般電子機器用)
μPD780021AGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780021AGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780021AGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780021AGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780021AF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃
μPD780022ACW-×××	64ピン・プラスチックSDIP (19.05 mm(750))	〃
μPD780022AGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780022AGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780022AGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780022AGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780022AF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃
μPD780023ACW-×××	64ピン・プラスチックSDIP (19.05 mm(750))	〃
μPD780023AGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780023AGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780023AGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780023AGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780023AF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃
μPD780024ACW-×××	64ピン・プラスチックSDIP (19.05 mm(750))	〃
μPD780024AGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780024AGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780024AGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780024AGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780024AF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃

備考 ×××はROMコード番号です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(資料番号 C11531J)をご覧ください。

(1) μPD780024Aサブシリーズ (2/2)

オーダ名称	パッケージ	品質水準
μPD780021ACW(A)-×××	64ピン・プラスチックSDIP (19.05 mm(750))	特別 (高信頼度電子機器用)
μPD780021AGC(A)-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780021AGC(A)-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780021AGK(A)-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780021AGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃
μPD780022ACW(A)-×××	64ピン・プラスチックSDIP (19.05 mm(750))	〃
μPD780022AGC(A)-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780022AGC(A)-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780022AGK(A)-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780022AGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃
μPD780023ACW(A)-×××	64ピン・プラスチックSDIP (19.05 mm(750))	〃
μPD780023AGC(A)-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780023AGC(A)-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780023AGK(A)-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780023AGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃
μPD780024ACW(A)-×××	64ピン・プラスチックSDIP (19.05 mm(750))	〃
μPD780024AGC(A)-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780024AGC(A)-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780024AGK(A)-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780024AGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃

注 開発中

備考 ×××はROMコード番号です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」
(資料番号 C11531J) をご覧ください。

(2) μPD780034Aサブシリーズ (1/2)

オーダ名称	パッケージ	品質水準
μPD780031ACW-×××	64ピン・プラスチックSDIP (19.05 mm(750))	標準 (一般電子機器用)
μPD780031AGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780031AGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780031AGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780031AGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780031AF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃
μPD780032ACW-×××	64ピン・プラスチックSDIP (19.05 mm(750))	〃
μPD780032AGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780032AGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780032AGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780032AGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780032AF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃
μPD780033ACW-×××	64ピン・プラスチックSDIP (19.05 mm(750))	〃
μPD780033AGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780033AGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780033AGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780033AGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780033AF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃
μPD780034ACW-×××	64ピン・プラスチックSDIP (19.05 mm(750))	〃
μPD780034AGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780034AGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780034AGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780034AGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780034AF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃
μPD78F0034ACW	64ピン・プラスチックSDIP (19.05 mm(750))	〃
μPD78F0034AGC-AB8 ^注	64ピン・プラスチックQFP (14x14)	〃
μPD78F0034AGC-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD78F0034AGK-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD78F0034AGB-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD78F0034BGC-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD78F0034BGK-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD78F0034BGB-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD78F0034BF1-CN3	73ピン・プラスチックFBGA (9x9)	〃

注 保守品

備考 ×××はROMコード番号です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(資料番号 C11531J)をご覧ください。

(2) μPD780034Aサブシリーズ (2/2)

オーダ名称	パッケージ	品質水準
μPD780031ACW(A)-×××	64ピン・プラスチックSDIP (19.05 mm(750))	特別 (高信頼度電子機器用)
μPD780031AGC(A)-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780031AGC(A)-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780031AGK(A)-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780031AGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃
μPD780032ACW(A)-×××	64ピン・プラスチックSDIP (19.05 mm(750))	〃
μPD780032AGC(A)-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780032AGC(A)-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780032AGK(A)-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780032AGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃
μPD780033ACW(A)-×××	64ピン・プラスチックSDIP (19.05 mm(750))	〃
μPD780033AGC(A)-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780033AGC(A)-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780033AGK(A)-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780033AGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃
μPD780034ACW(A)-×××	64ピン・プラスチックSDIP (19.05 mm(750))	〃
μPD780034AGC(A)-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780034AGC(A)-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780034AGK(A)-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780034AGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃
μPD78F0034BGC(A)-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD78F0034BGK(A)-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD78F0034BGB(A)-8EU	64ピン・プラスチックLQFP (10x10)	〃

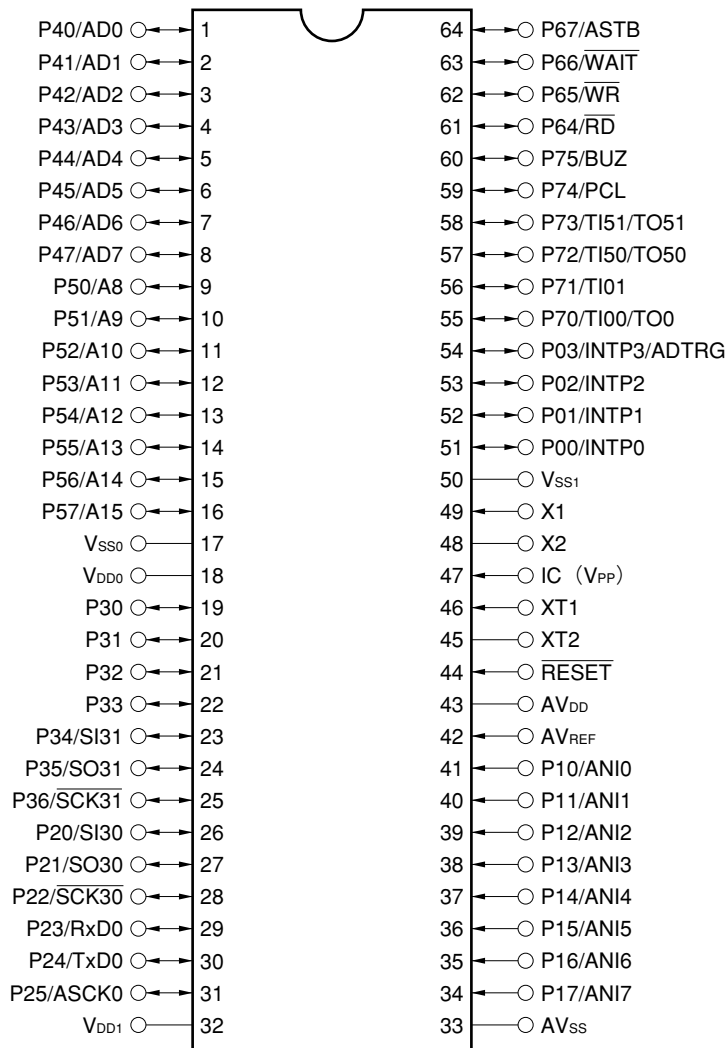
注 開発中

備考 ×××はROMコード番号です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(資料番号 C11531J)をご覧ください。

1.6 端子接続図 (Top View)

・64ピン・プラスチックSDIP (19.05 mm (750))



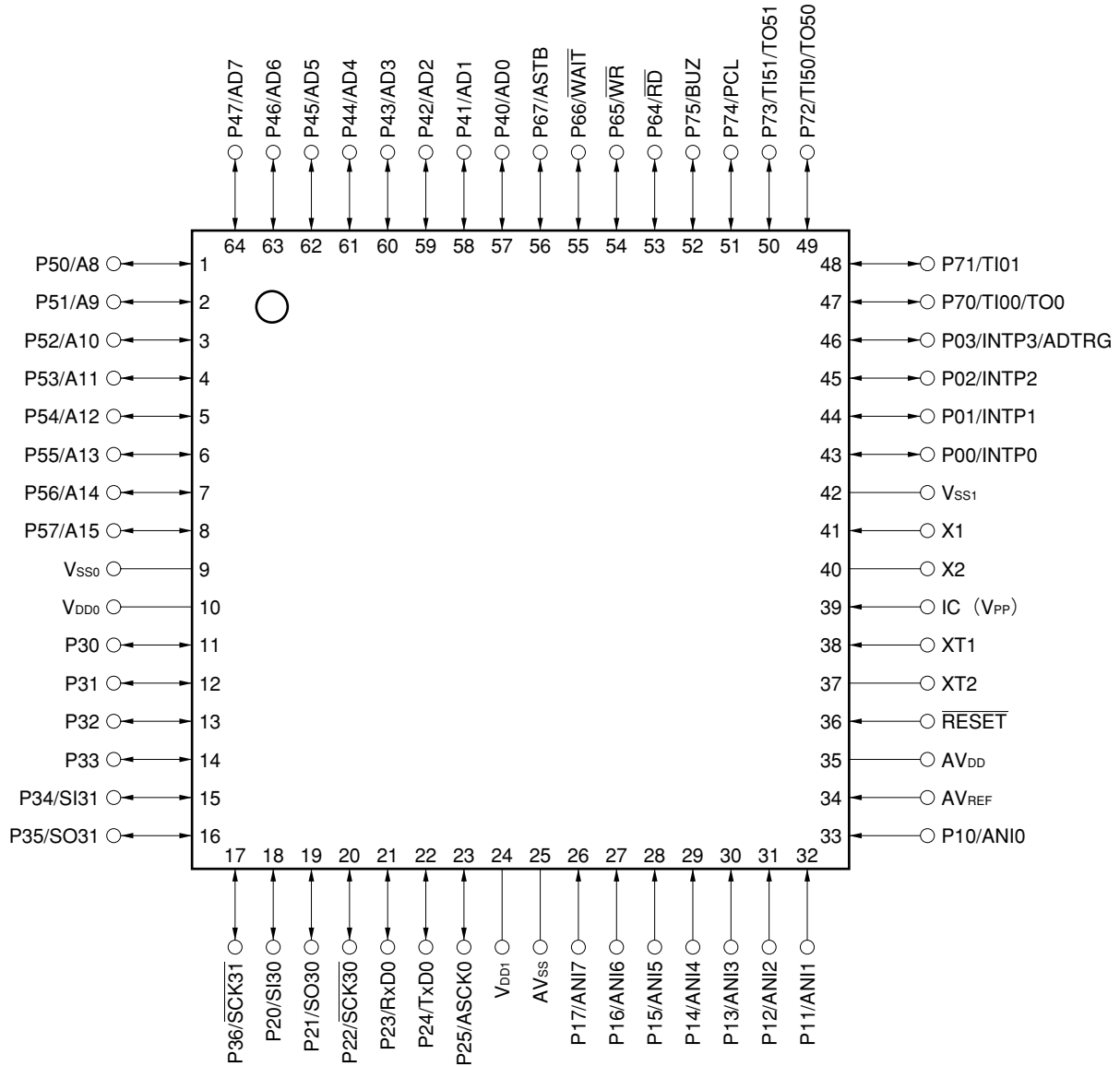
注意 1. IC (Internally Connected) 端子はVSS0またはVSS1に直接接続してください。

2. AVSSはVSS0に接続してください。

備考 1. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、VDD0とVDD1に個別の電源を供給し、VSS0とVSS1を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。

2. () 内はμPD78F0034Aのとき。

- 64ピン・プラスチックQFP (14x14)
- 64ピン・プラスチックLQFP (14x14)
- 64ピン・プラスチックTQFP (12x12)
- 64ピン・プラスチックLQFP (10x10)



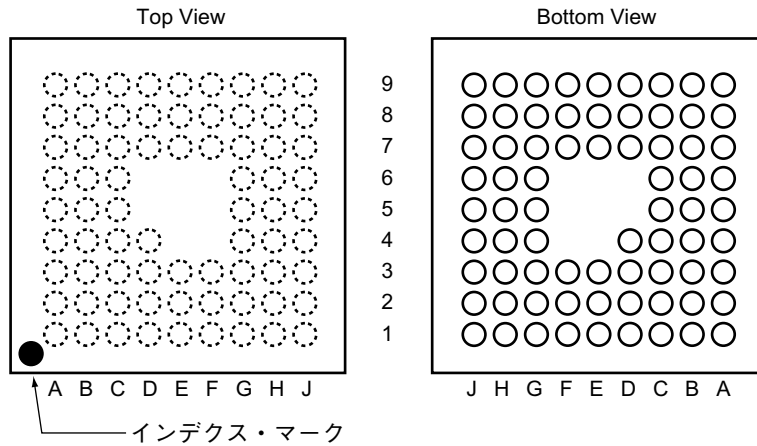
注意 1. IC (Internally Connected) 端子はV_{SS0}またはV_{SS1}に直接接続してください。

2. AV_{SS}はV_{SS0}に接続してください。

備考 1. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V_{DD0}とV_{DD1}に個別の電源を供給し、V_{SS0}とV_{SS1}を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。

2. () 内はμPD78F0034A, 78F0034Bのとき。

・73ピン・プラスチックFBGA (9x9)



ピン番号	名 称	ピン番号	名 称	ピン番号	名 称	ピン番号	名 称	ピン番号	名 称
A1	NC	C1	P52/A10	E1	P57/A15	G1	P33	J1	NC
A2	P46/AD6	C2	P53/A11	E2	V _{DD0}	G2	P32	J2	P36/SCK31
A3	P44/AD4	C3	P45/AD5	E3	P54/A12	G3	P20/SI30	J3	NC
A4	P41/AD1	C4	P42/AD2	E4	—	G4	P21/SO30	J4	P25/ASCK0
A5	P67/ASTB	C5	P64/ \overline{RD}	E5	—	G5	P24/TxD0	J5	NC
A6	P65/ \overline{WR}	C6	P73/TI51/TO51	E6	—	G6	V _{DD1}	J6	P17/ANI7
A7	P74/PCL	C7	P03/INTP3/ADTRG	E7	P00/INTP0	G7	P16/ANI6	J7	P12/ANI2
A8	NC	C8	P01/INTP1	E8	XT1	G8	AV _{DD}	J8	P13/ANI3
A9	NC	C9	V _{SS1}	E9	X2	G9	NC	J9	NC
B1	P51/A9	D1	P55/A13	F1	P30	H1	P34/SI31		
B2	P47/AD7	D2	P56/A14	F2	P31	H2	P35/SO31		
B3	P43/AD3	D3	P50/A8	F3	V _{SS0}	H3	P23/RxD0		
B4	P40/AD0	D4	NC	F4	—	H4	P22/SCK30		
B5	P66/ \overline{WAIT}	D5	—	F5	—	H5	AV _{SS}		
B6	P75/BUZ	D6	—	F6	—	H6	P15/ANI5		
B7	P72/TI50/TO51	D7	P02/INTP2	F7	P14/ANI4	H7	P11/ANI1		
B8	P71/TI01	D8	IC (V _{PP})	F8	\overline{RESET}	H8	P10/ANI0		
B9	P70/TI00/TO0	D9	X1	F9	XT2	H9	AV _{REF}		

注意 1. IC (Internally Connected) 端子はV_{SS0}またはV_{SS1}に直接接続してください。

2. AV_{SS}端子はV_{SS0}に接続してください。

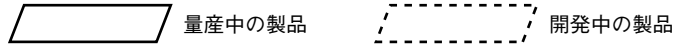
備考 1. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V_{DD0}とV_{DD1}に個別の電源を供給し、V_{SS0}とV_{SS1}を別々のグラウンド・ラインに接続するなどのノイズ対策を行うことを推奨します。

2. () 内はμPD78F0034Bのとき。

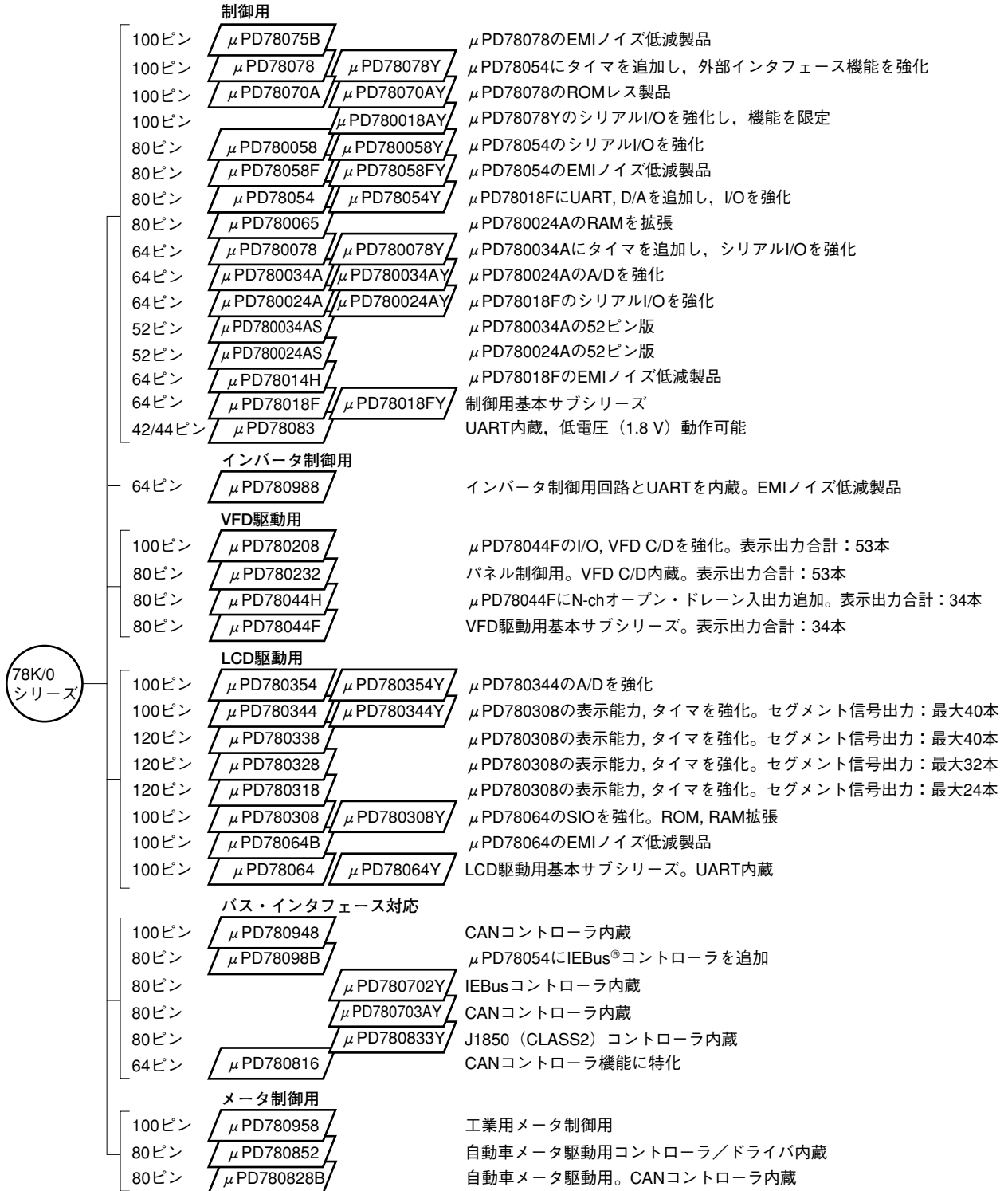
A8-A15	: Address Bus	P64-P67	: Port6
AD0-AD7	: Address/Data Bus	P70-P75	: Port7
ADTRG	: AD Trigger Input	PCL	: Programmable Clock
ANI0-ANI7	: Analog Input	\overline{RD}	: Read Strobe
ASCK0	: Asynchronous Serial Clock	\overline{RESET}	: Reset
ASTB	: Address Strobe	RxD0	: Receive Data
AV _{DD}	: Analog Power Supply	$\overline{SCK30}, \overline{SCK31}$: Serial Clock
AV _{REF}	: Analog Reference Voltage	SI30, SI31	: Serial Input
AV _{SS}	: Analog Ground	SO30,SO31	: Serial Output
BUZ	: Buzzer Clock	TI00, TI01, TI50, TI51	: Timer Input
IC	: Internally Connected	TO0, TO50, TO51	: Timer Output
INTP0-INTP3	: External Interrupt Input	TxD0	: Transmit Data
NC	: Non-connection	V _{DD0} , V _{DD1}	: Power Supply
P00-P03	: Port0	V _{PP}	: Programming Power Supply
P10-P17	: Port1	V _{SS0} , V _{SS1}	: Ground
P20-P25	: Port2	\overline{WAIT}	: Wait
P30-P36	: Port3	\overline{WR}	: Write Strobe
P40-P47	: Port4	X1, X2	: Crystal (Main System Clock)
P50-P57	: Port5	XT1, XT2	: Crystal (Subsystem Clock)

1.7 78K/0シリーズの展開

78K/0シリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



Yサブシリーズは、I²Cバス対応の製品です。



備考 蛍光表示管の一般的な英語名称はVFD (Vacuum Fluorescent Display) ですが、ドキュメントによってはFIP[®] (Fluorescent Indicator Panel) と記述しているものがあります。VFDとFIPは同等の機能です。

各サブシリーズ間の主な機能の違いを次に示します。

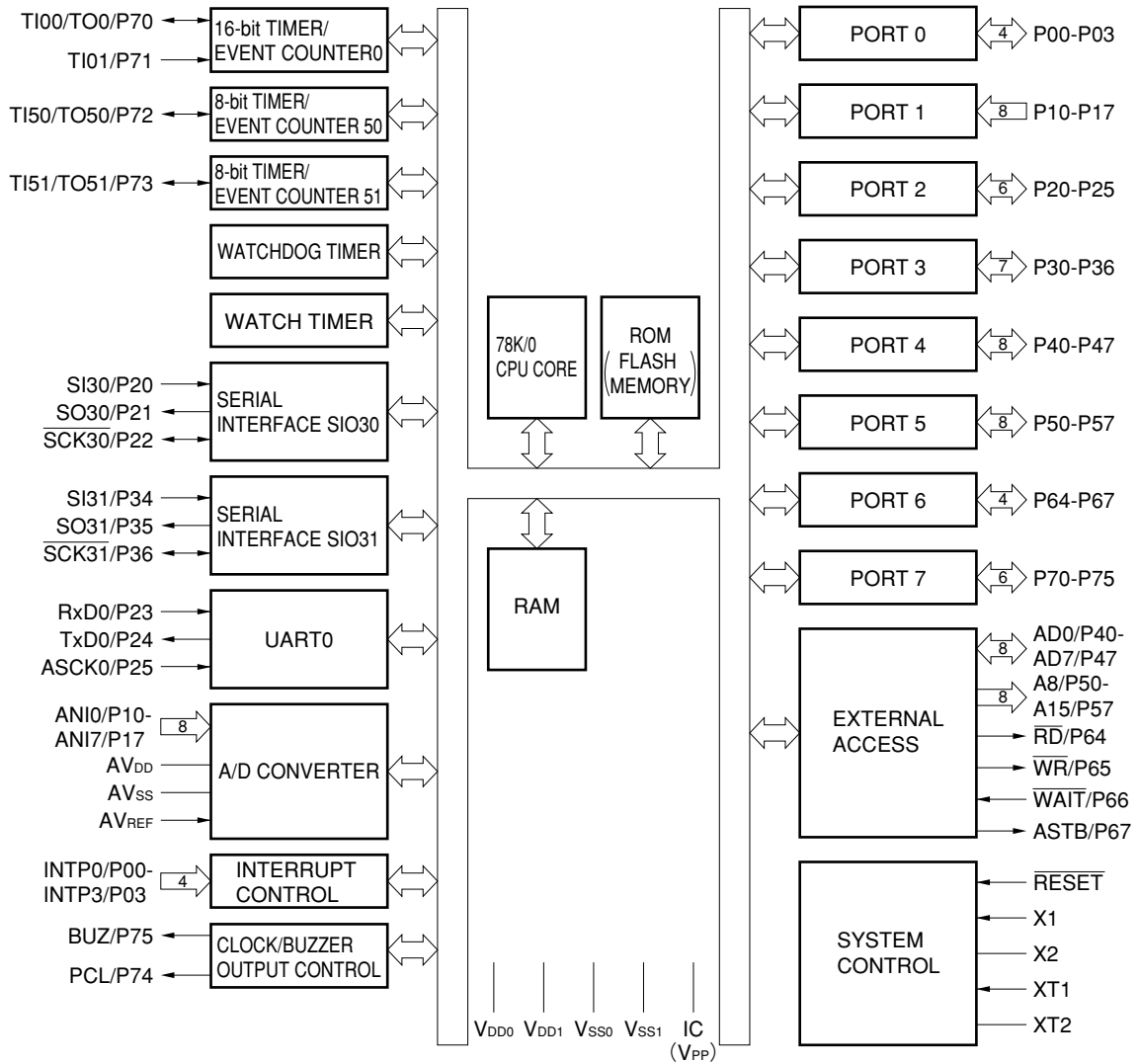
・ Yなしサブシリーズ

サブシリーズ名	機能	ROM容量 (バイト)	タイマ				8-bit	10-bit	8-bit	シリアル・ インタフェース	I/O	V _{DD} MIN.値	外部 拡張						
			8-bit	16-bit	時計	WDT	A/D	A/D	D/A										
制御用	μPD78075B	32 K-40 K	4ch	1ch	1ch	1ch	8ch	—	2ch	3ch (UART:1ch)	88本	1.8 V	○						
	μPD78078	48 K-60 K									61本	2.7 V							
	μPD78070A	—																	
	μPD780058	24 K-60 K	2ch	—	—	—	—	—	3ch (時分割UART:1ch)	68本	1.8 V								
	μPD78058F	48 K-60 K							3ch (UART:1ch)	69本	2.7 V								
	μPD78054	16 K-60 K							2.0 V										
	μPD780065	40 K-48 K								4ch (UART:1ch)	60本	2.7 V							
	μPD780078	48 K-60K							2ch		—	8ch		3ch (UART:2ch)	52本	1.8 V			
	μPD780034A	8 K-32 K							1ch	—	—	—		—	—		3ch (UART:1ch)	51本	
	μPD780024A															8ch		—	39本
	μPD780034AS															—		4ch	
	μPD780024AS															4ch		—	
	μPD78014H	—							—	—	—	—		—	—	2ch	53本	○	
	μPD78018F	8 K-60 K	—	—	—	—	—	—	—	1ch (UART:1ch)	33本	—							
μPD78083	8 K-16 K																		
インバータ 制御用	μPD780988	16 K-60 K	3ch	注	—	1ch	—	8ch	—	3ch (UART:2ch)	47本	4.0 V	○						
VFD 駆動用	μPD780208	32 K-60 K	2ch	1ch	1ch	1ch	8ch	—	—	2ch	74本	2.7 V	—						
	μPD780232	16 K-24 K	3ch	—	—	—	4ch	—	—		40本	4.5 V							
	μPD78044H	32 K-48 K	2ch	1ch	1ch	—	8ch	—	—	1ch	68本	2.7 V							
	μPD78044F	16 K-40 K	—	—	—	—	—	—	—	2ch	—								
LCD 駆動用	μPD780354	24K-32 K	4ch	1ch	1ch	1ch	—	8ch	—	3ch (UART:1ch)	66本	1.8 V	—						
	μPD780344						8ch	—											
	μPD780338	48 K-60 K	3ch	2ch	—	—	10ch	1ch	—	2ch (UART:1ch)	54本								
	μPD780328										62本								
	μPD780318										70本								
	μPD780308	48 K-60 K	2ch	1ch	—	—	—	—	—	3ch (時分割UART:1ch)	57本	2.0 V							
	μPD78064B	32 K												2ch (UART:1ch)					
μPD78064	16 K-32 K																		
バス・イン タフェース 対応	μPD780948	60 K	2ch	2ch	1ch	1ch	8ch	—	—	3ch (UART:1ch)	79本	4.0 V	○						
	μPD78098B	40 K-60 K		1ch							—	2ch	69本	2.7 V	—				
	μPD780816	32 K-60 K		2ch							—	—	2ch (UART:1ch)	46本	4.0 V	—			
メータ 制御用	μPD780958	48 K-60 K	4ch	2ch	—	1ch	—	—	—	2ch (UART:1ch)	69本	2.2 V	—						
ダッシュ ボード制御用	μPD780852	32 K-40 K	3ch	1ch	1ch	1ch	5ch	—	—	3ch (UART:1ch)	56本	4.0 V	—						
	μPD780828B	32 K-60 K									59本								

注 16ビット・タイマ：2チャンネル

10ビット・タイマ：1チャンネル

1.8 ブロック図



備考1. 内部ROM, RAM容量は製品によって異なります。

2. () 内は μPD78F0034A, 78F0034B のとき。

1.9 機能概要

項 目		品 名				
		μPD780021A μPD780031A	μPD780022A μPD780032A	μPD780023A μPD780033A	μPD780024A μPD780034A	μPD78F0034A μPD78F0034B
内部メモリ	ROM	8 Kバイト (マスクROM)	16 Kバイト (マスクROM)	24 Kバイト (マスクROM)	32 Kバイト (マスクROM)	32 Kバイト ^注 (フラッシュ・メモリ)
	高速RAM	512バイト		1024バイト	1024バイト ^注	
メモリ空間		64 Kバイト				
汎用レジスタ		8ビット×32レジスタ (8ビット×8レジスタ×4バンク)				
最小命令実行時間		最小命令実行時間の可変機能内蔵				
		メイン・システム・クロック選択時 ・0.166 μs/0.333 μs/0.666 μs/1.33 μs/2.66 μs (12 MHz動作時, 拡張規格品のみ) ・0.238 μs/0.477 μs/0.954 μs/1.90 μs/3.81 μs (8.38 MHz動作時)				
		サブシステム・クロック選択時 122 μs (32.768 kHz動作時)				
命令セット		<ul style="list-style-type: none"> ・16ビット演算 ・乗除算 (8ビット×8ビット, 16ビット÷8ビット) ・ビット操作 (セット, リセット, テスト, ブール演算) ・BCD補正など 				
I/Oポート		合計 : 51本 <ul style="list-style-type: none"> ・CMOS入力 : 8本 ・CMOS入出力 : 39本 ・N-chオープン・ドレイン入出力 (5V耐圧) : 4本 				
A/Dコンバータ		<ul style="list-style-type: none"> ・8ビット分解能×8チャンネル (μPD780021A, 780022A, 780023A, 780024A) ・10ビット分解能×8チャンネル (μPD780031A, 780032A, 780033A, 780034A, 78F0034A, 78F0034B) ・低電圧動作可能: AV_{DD} = 1.8~5.5 V 				
シリアル・インタフェース		<ul style="list-style-type: none"> ・3線式シリアルI/Oモード: 2チャンネル ・UARTモード : 1チャンネル 				
タイマ		<ul style="list-style-type: none"> ・16ビット・タイマ/イベント・カウンタ: 1チャンネル ・8ビット・タイマ/イベント・カウンタ: 2チャンネル ・時計用タイマ : 1チャンネル ・ウォッチドッグ・タイマ : 1チャンネル 				
タイマ出力		3本 (8ビットPWM出力可能: 2本)				
クロック出力		<ul style="list-style-type: none"> ・93.7 kHz, 187 kHz, 375 kHz, 750 kHz, 1.5 MHz, 3 MHz, 6 MHz, 12 MHz (メイン・システム・クロック: 12 MHz動作時, 拡張規格品のみ) ・65.5 kHz, 131 kHz, 262 kHz, 524 kHz, 1.05 MHz, 2.10 MHz, 4.19 MHz, 8.38 MHz (メイン・システム・クロック: 8.38 MHz動作時) ・32.768 kHz (サブシステム・クロック: 32.768 kHz動作時) 				
ブザー出力		<ul style="list-style-type: none"> ・1.46 kHz, 2.92 kHz, 5.85 kHz, 11.7 kHz (メイン・システム・クロック: 12 MHz動作時, 拡張規格品のみ) ・1.02 kHz, 2.05 kHz, 4.10 kHz, 8.19 kHz (メイン・システム・クロック: 8.38 MHz動作時) 				
ベクタ	マスカブル	内部: 13, 外部: 5				
割り込み	ノンマスカブル	内部: 1				
要因	ソフトウェア	1				
電源電圧		V _{DD} = 1.8~5.5 V				
動作周囲温度		T _A = -40~+85 °C				
パッケージ		<ul style="list-style-type: none"> ・64ピン・プラスチックSDIP (19.05 mm (750)) ・64ピン・プラスチックQFP (14x14) ・64ピン・プラスチックLQFP (14x14) ・64ピン・プラスチックTQFP (12x12) ・64ピン・プラスチックLQFP (10x10) ・73ピン・プラスチックFBGA (9×9) (標準水準品のみ) 				

注 メモリ・サイズ切り替えレジスタ (IMS) により, 内部フラッシュ・メモリ, 内部高速RAM容量の変更可能。

タイマ/イベント・カウンタの概要（詳細は第8章 16ビット・タイマ/イベント・カウンタ0, 第9章 8ビット・タイマ/イベント・カウンタ50, 51, 第10章 時計用タイマ, 第11章 ウォッチドッグ・タイマを参照）を次に示します。

		16ビット・タイマ/ イベント・カウンタ0	8ビット・タイマ/ イベント・カウンタ50, 51	時計用タイマ	ウォッチドッグ・タイマ
動作	インターバル・タイマ	1チャンネル	2チャンネル	1チャンネル注 ¹	1チャンネル注 ²
モード	外部イベント・カウンタ	○	○	—	—
機能	タイマ出力	○	○	—	—
	PPG出力	○	—	—	—
	PWM出力	—	○	—	—
	パルス幅測定	○	—	—	—
	方形波出力	○	○	—	—
	割り込み要求	○	○	○	○

注1. 時計用タイマは時計用タイマとインターバル・タイマの機能を同時に使用可能です。

2. ウォッチドッグ・タイマはウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

1.10 マスクROM製品とフラッシュ・メモリ製品の対応について

表1-1 マスクROM製品とフラッシュ・メモリ製品の対応

マスクROM製品 フラッシュ・ メモリ製品	μPD780021A/2A/3A/4A μPD780031A/2A/3A/4A		μPD780021A(A)/2A(A)/3A(A)/4A(A) μPD780031A(A)/2A(A)/3A(A)/4A(A)	
	従来規格品	拡張規格品	従来規格品	拡張規格品
	μPD78F0034A	○	—	—
μPD78F0034B	—	○	—	—
μPD78F0034B(A)	—	—	○注	○

注 μPD78F0034B(A)とμPD780021A(A), 780022A(A), 780023A(A), 780024A(A), 780031A(A), 780032A(A), 780033A(A), 780034A(A)の従来規格品は動作周波数が異なりますので、フラッシュ・メモリ製品からマスクROM製品の置き換えを検討される場合は、使用する電源電圧と動作周波数にご注意ください。

備考1. ○：対応，—：対応していない

- μPD780034AとμPD78F0034B, 78F0034B(A)は動作周波数規格とフラッシュ・メモリ・プログラミングの通信方式が異なります。23.1 μPD78F0034A, 78F0034AYとμPD78F0034B, 78F0034BYの違いを参照してください。
- μPD780024A, 780034Aサブシリーズの拡張規格品と従来規格品は、動作周波数規格が異なります。詳細は第25章 電気的特性（拡張規格： $f_x = 1.0 \sim 12$ MHz），第26章 電気的特性（従来規格： $f_x = 1.0 \sim 8.38$ MHz）を参照してください。
- μPD78F0034Aは特別水準品をご用意しておりません。標準水準品のみです。

1.11 標準水準品と特別水準品との違いについて

標準水準品 (μPD780021A, 780022A, 780023A, 780024A, 780031A, 780032A, 780033A, 780034A, 78F0034A, 78F0034B) と特別水準品 (μPD780021A(A), 780022A(A), 780023A(A), 780024A(A), 780031A(A), 780032A(A), 780033A(A), 780034A(A), 78F0034B(A)) との違いを表1-2に示します。

表1-2 標準水準品と特別水準品との違い

	μPD780021A, 780022A, 780023A, 780024A, 780031A, 780032A, 780033A, 780034A, 78F0034A, 78F0034B	μPD780021A(A), 780022A(A), 780023A(A), 780024A(A), 780031A(A), 780032A(A), 780033A(A), 780034A(A), 78F0034B(A)
品質水準	標準 (一般電子機器用)	特別 (高信頼度電子機器用)
パッケージ	1.12 製品とパッケージの対応についてを参照	
その他 (機能, 電気的特性など)	同じ	

1.12 製品とパッケージの対応について

製品とパッケージの対応は、次のとおりです。

表1-3 製品とパッケージの対応

	マスクROM製品		フラッシュ・メモリ製品		
	μPD780021A/2A/3A/4A μPD780031A/2A/3A/4A		μPD78F0034A	μPD78F0034B	
	標準	特別水準	標準	標準	特別水準
64ピンSDIP (CWタイプ)	○	○	○	—	—
64ピンQFP (GC-AB8タイプ)	○	○	○注1	—	—
64ピンLQFP (GC-8BSタイプ)	○	○	○	○	○
64ピンTQFP (GK-9ETタイプ)	○	○	○	○	○
64ピンLQFP (GB-8EUタイプ)	○	○注2	○	○	○
73ピンFBGA (F1-CN3タイプ)	○	—	—	○	—

注1. 保守品

2. 開発中

備考1. ○: パッケージあり, —: パッケージなし

2. μPD78F0034Aは, 特別水準品をご用意しておりません。標準水準品のみです。

1.13 マスク・オプションについて

マスクROM製品 (μPD780021A, 780022A, 780023A, 780024A, 780031A, 780032A, 780033A, 780034A) には、マスク・オプションがあります。オーダの際にマスク・オプションを指定することにより、表1-4に示すプルアップ抵抗を内蔵できます。プルアップ抵抗が必要なとき、マスク・オプションを利用すると、部品点数の削減と実装面積の縮小を図ることができます。

μPD780024A, 780034Aサブシリーズで用意されているマスク・オプションを表1-4に示します。

表1-4 マスクROM製品のマスク・オプション

端子名	マスク・オプション
P30-P33	1ビット単位でプルアップ抵抗を内蔵できます。

第2章 概 説 (μ PD780024AY, 780034AYサブシリーズ)

2.1 特 徴

○内部メモリ

品 名	項 目	プログラム・メモリ (ROM/フラッシュ・メモリ)	データ・メモリ (高速RAM)
μ PD780021AY, 780031AY		8 Kバイト	512バイト
μ PD780022AY, 780032AY		16 Kバイト	
μ PD780023AY, 780033AY		24 Kバイト	1024バイト
μ PD780024AY, 780034AY		32 Kバイト	
μ PD78F0034AY, 78F0034BY		32 Kバイト ^注	1024バイト ^注

注 メモリ・サイズ切り替えレジスタ (IMS) により、内部フラッシュ・メモリ、内部高速RAM容量の変更可能。

○外部メモリ拡張空間：64 Kバイト

○高速 (0.238 μ s：メイン・システム・クロック8.38 MHz動作時) から超低速 (122 μ s：サブシステム・クロック32.768 kHz動作時) まで最小命令実行時間変更可能

○システム制御に適した命令セット

- ・全アドレス空間でビット処理可能
- ・乗除算命令内蔵

○I/Oポート：51本 (N-chオープン・ドレイン：4本)

○8ビット分解能A/Dコンバータ：8チャンネル (μ PD780024AYサブシリーズのみ)

○10ビット分解能A/Dコンバータ：8チャンネル (μ PD780034AYサブシリーズのみ)

○シリアル・インタフェース：3チャンネル

- ・3線式シリアルI/Oモード：1チャンネル
- ・UARTモード：1チャンネル
- ・I²Cモード：1チャンネル

○タイマ：5チャンネル

- ・16ビット・タイマ/イベント・カウンタ：1チャンネル
- ・8ビット・タイマ/イベント・カウンタ：2チャンネル
- ・時計用タイマ：1チャンネル
- ・ウォッチドッグ・タイマ：1チャンネル

○ベクタ割り込み要因：20

○2種類のクロック発振回路内蔵 (メイン・システム・クロックとサブシステム・クロック)

○電源電圧：V_{DD} = 1.8~5.5 V

注意 μ PD780024AY, 780034AYサブシリーズは従来規格品のみです (従来規格品については、1.1 拡張規格品と従来規格品についてを参照)。

2.2 応用分野

μPD780021AY, 780022AY, 780023AY, 780024AY

μPD780031AY, 780032AY, 780033AY, 780034AY, 78F0034AY, 78F0034BYの場合

- ★ 家電製品, ページャ, AV機器, カー・オーディオ, OA機器など

μPD780021AY(A), 780022AY(A), 780023AY(A), 780024AY(A)

μPD780031AY(A), 780032AY(A), 780033AY(A), 780034AY(A), 78F0034BY(A)の場合

- ★ 輸送機器の制御装置, ガス検知遮断機, 各種安全装置, 自動車電装など

2.3 オーダ情報

(1) μPD780024AYサブシリーズ (1/2)

オーダ名称	パッケージ	内部ROM
μPD780021AYCW-×××	64ピン・プラスチックSDIP (19.05 mm (750))	マスクROM
μPD780021AYGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780021AYGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780021AYGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780021AYGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780021AYF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃
μPD780022AYCW-×××	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780022AYGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780022AYGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780022AYGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780022AYGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780022AYF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃
μPD780023AYCW-×××	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780023AYGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780023AYGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780023AYGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780023AYGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780023AYF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃
μPD780024AYCW-×××	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780024AYGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780024AYGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780024AYGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780024AYGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780024AYF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃

備考 ×××はROMコード番号です。

(1) μPD780024AYサブシリーズ (2/2)

オーダ名称	パッケージ	内部ROM
μPD780021AYCW(A)-××× ^注	64ピン・プラスチックSDIP (19.05 mm (750))	マスクROM
μPD780021AYGC(A)-×××-AB8 ^注	64ピン・プラスチックQFP (14x14)	〃
μPD780021AYGC(A)-×××-8BS ^注	64ピン・プラスチックLQFP (14x14)	〃
μPD780021AYGK(A)-×××-9ET ^注	64ピン・プラスチックTQFP (12x12)	〃
μPD780021AYGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃
μPD780022AYCW(A)-××× ^注	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780022AYGC(A)-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780022AYGC(A)-×××-8BS ^注	64ピン・プラスチックLQFP (14x14)	〃
μPD780022AYGK(A)-×××-9ET ^注	64ピン・プラスチックTQFP (12x12)	〃
μPD780022AYGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃
μPD780023AYCW(A)-××× ^注	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780023AYGC(A)-×××-AB8 ^注	64ピン・プラスチックQFP (14x14)	〃
μPD780023AYGC(A)-×××-8BS ^注	64ピン・プラスチックLQFP (14x14)	〃
μPD780023AYGK(A)-×××-9ET ^注	64ピン・プラスチックTQFP (12x12)	〃
μPD780023AYGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃
μPD780024AYCW(A)-××× ^注	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780024AYGC(A)-×××-AB8 ^注	64ピン・プラスチックQFP (14x14)	〃
μPD780024AYGC(A)-×××-8BS ^注	64ピン・プラスチックLQFP (14x14)	〃
μPD780024AYGK(A)-×××-9ET ^注	64ピン・プラスチックTQFP (12x12)	〃
μPD780024AYGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃

注 開発中

備考 ×××はROMコード番号です。

(2) μPD780034AYサブシリーズ (1/2)

オーダ名称	パッケージ	内部ROM
μPD780031AYCW-×××	64ピン・プラスチックSDIP (19.05 mm (750))	マスクROM
μPD780031AYGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780031AYGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780031AYGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780031AYGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780031AYF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃
μPD780032AYCW-×××	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780032AYGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780032AYGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780032AYGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780032AYGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780032AYF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃
μPD780033AYCW-×××	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780033AYGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780033AYGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780033AYGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780033AYGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780033AYF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃
μPD780034AYCW-×××	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780034AYGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780034AYGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780034AYGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780034AYGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780034AYF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃
μPD78F0034AYCW	64ピン・プラスチックSDIP (19.05 mm (750))	フラッシュ・メモリ
μPD78F0034AYGC-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD78F0034AYGC-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD78F0034AYGK-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD78F0034AYGB-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD78F0034BYGC-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD78F0034BYGK-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD78F0034BYGB-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD78F0034BYF1-CN3	73ピン・プラスチックFBGA (9x9)	〃

備考 ×××はROMコード番号です。

(2) μPD780034AYサブシリーズ (2/2)

オーダ名称	パッケージ	内部ROM
μPD780031AYCW(A)-××× ^注	64ピン・プラスチックSDIP (19.05 mm (750))	マスクROM
μPD780031AYGC(A)-×××-AB8 ^注	64ピン・プラスチックQFP (14x14)	〃
μPD780031AYGC(A)-×××-8BS ^注	64ピン・プラスチックLQFP (14x14)	〃
μPD780031AYGK(A)-×××-9ET ^注	64ピン・プラスチックTQFP (12x12)	〃
μPD780031AYGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃
μPD780032AYCW(A)-××× ^注	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780032AYGC(A)-×××-AB8 ^注	64ピン・プラスチックQFP (14x14)	〃
μPD780032AYGC(A)-×××-8BS ^注	64ピン・プラスチックLQFP (14x14)	〃
μPD780032AYGK(A)-×××-9ET ^注	64ピン・プラスチックTQFP (12x12)	〃
μPD780032AYGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃
μPD780033AYCW(A)-××× ^注	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780033AYGC(A)-×××-AB8 ^注	64ピン・プラスチックQFP (14x14)	〃
μPD780033AYGC(A)-×××-8BS ^注	64ピン・プラスチックLQFP (14x14)	〃
μPD780033AYGK(A)-×××-9ET ^注	64ピン・プラスチックTQFP (12x12)	〃
μPD780033AYGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃
μPD780034AYCW(A)-××× ^注	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780034AYGC(A)-×××-AB8 ^注	64ピン・プラスチックQFP (14x14)	〃
μPD780034AYGC(A)-×××-8BS ^注	64ピン・プラスチックLQFP (14x14)	〃
μPD780034AYGK(A)-×××-9ET ^注	64ピン・プラスチックTQFP (12x12)	〃
μPD780034AYGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃
μPD78F0034BYGC(A)-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD78F0034BYGK(A)-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD78F0034BYGB(A)-8EU	64ピン・プラスチックLQFP (10x10)	〃

注 開発中

備考 ×××はROMコード番号です。

2.4 品質水準

(1) μPD780024AYサブシリーズ (1/2)

オーダ名称	パッケージ	品質水準
μPD780021AYCW-×××	64ピン・プラスチックSDIP (19.05 mm (750))	標準 (一般電子機器用)
μPD780021AYGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780021AYGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780021AYGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780021AYGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780021AYF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃
μPD780022AYCW-×××	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780022AYGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780022AYGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780022AYGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780022AYGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780022AYF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃
μPD780023AYCW-×××	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780023AYGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780023AYGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780023AYGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780023AYGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780023AYF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃
μPD780024AYCW-×××	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780024AYGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780024AYGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780024AYGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780024AYGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780024AYF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃

備考 ×××はROMコード番号です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」
(資料番号 C11531J) をご覧ください。

(1) μPD780024AYサブシリーズ (2/2)

オーダ名称	パッケージ	品質水準
μPD780021AYCW(A)-××× ^注	64ピン・プラスチックSDIP (19.05 mm (750))	特別 (高信頼度電子機器用)
μPD780021AYGC(A)-×××-AB8 ^注	64ピン・プラスチックQFP (14x14)	〃
μPD780021AYGC(A)-×××-8BS ^注	64ピン・プラスチックLQFP (14x14)	〃
μPD780021AYGK(A)-×××-9ET ^注	64ピン・プラスチックTQFP (12x12)	〃
μPD780021AYGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃
μPD780022AYCW(A)-××× ^注	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780022AYGC(A)-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780022AYGC(A)-×××-8BS ^注	64ピン・プラスチックLQFP (14x14)	〃
μPD780022AYGK(A)-×××-9ET ^注	64ピン・プラスチックTQFP (12x12)	〃
μPD780022AYGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃
μPD780023AYCW(A)-××× ^注	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780023AYGC(A)-×××-AB8 ^注	64ピン・プラスチックQFP (14x14)	〃
μPD780023AYGC(A)-×××-8BS ^注	64ピン・プラスチックLQFP (14x14)	〃
μPD780023AYGK(A)-×××-9ET ^注	64ピン・プラスチックTQFP (12x12)	〃
μPD780023AYGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃
μPD780024AYCW(A)-××× ^注	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780024AYGC(A)-×××-AB8 ^注	64ピン・プラスチックQFP (14x14)	〃
μPD780024AYGC(A)-×××-8BS ^注	64ピン・プラスチックLQFP (14x14)	〃
μPD780024AYGK(A)-×××-9ET ^注	64ピン・プラスチックTQFP (12x12)	〃
μPD780024AYGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃

注 開発中

備考 ×××はROMコード番号です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(資料番号 C11531J)をご覧ください。

(2) μPD780034AYサブシリーズ (1/2)

オーダ名称	パッケージ	品質水準
μPD780031AYCW-×××	64ピン・プラスチックSDIP (19.05 mm (750))	標準 (一般電子機器用)
μPD780031AYGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780031AYGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780031AYGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780031AYGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780031AYF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃
μPD780032AYCW-×××	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780032AYGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780032AYGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780032AYGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780032AYGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780032AYF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃
μPD780033AYCW-×××	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780033AYGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780033AYGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780033AYGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780033AYGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780033AYF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃
μPD780034AYCW-×××	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780034AYGC-×××-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD780034AYGC-×××-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD780034AYGK-×××-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD780034AYGB-×××-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD780034AYF1-×××-CN3	73ピン・プラスチックFBGA (9x9)	〃
μPD78F0034AYCW	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD78F0034AYGC-AB8	64ピン・プラスチックQFP (14x14)	〃
μPD78F0034AYGC-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD78F0034AYGK-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD78F0034AYGB-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD78F0034BYGC-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD78F0034BYGK-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD78F0034BYGB-8EU	64ピン・プラスチックLQFP (10x10)	〃
μPD78F0034BYF1-CN3	73ピン・プラスチックFBGA (9x9)	〃

備考 ×××はROMコード番号です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」
(資料番号 C11531J) をご覧ください。

(2) μPD780034Aサブシリーズ (2/2)

オーダ名称	パッケージ	品質水準
μPD780031AYCW(A)-××× ^注	64ピン・プラスチックSDIP (19.05 mm (750))	特別 (高信頼度電子機器用)
μPD780031AYGC(A)-×××-AB8 ^注	64ピン・プラスチックQFP (14x14)	〃
μPD780031AYGC(A)-×××-8BS ^注	64ピン・プラスチックLQFP (14x14)	〃
μPD780031AYGK(A)-×××-9ET ^注	64ピン・プラスチックTQFP (12x12)	〃
μPD780031AYGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃
μPD780032AYCW(A)-××× ^注	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780032AYGC(A)-×××-AB8 ^注	64ピン・プラスチックQFP (14x14)	〃
μPD780032AYGC(A)-×××-8BS ^注	64ピン・プラスチックLQFP (14x14)	〃
μPD780032AYGK(A)-×××-9ET ^注	64ピン・プラスチックTQFP (12x12)	〃
μPD780032AYGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃
μPD780033AYCW(A)-××× ^注	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780033AYGC(A)-×××-AB8 ^注	64ピン・プラスチックQFP (14x14)	〃
μPD780033AYGC(A)-×××-8BS ^注	64ピン・プラスチックLQFP (14x14)	〃
μPD780033AYGK(A)-×××-9ET ^注	64ピン・プラスチックTQFP (12x12)	〃
μPD780033AYGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃
μPD780034AYCW(A)-××× ^注	64ピン・プラスチックSDIP (19.05 mm (750))	〃
μPD780034AYGC(A)-×××-AB8 ^注	64ピン・プラスチックQFP (14x14)	〃
μPD780034AYGC(A)-×××-8BS ^注	64ピン・プラスチックLQFP (14x14)	〃
μPD780034AYGK(A)-×××-9ET ^注	64ピン・プラスチックTQFP (12x12)	〃
μPD780034AYGB(A)-×××-8EU ^注	64ピン・プラスチックLQFP (10x10)	〃
μPD78F0034BYGC(A)-8BS	64ピン・プラスチックLQFP (14x14)	〃
μPD78F0034BYGK(A)-9ET	64ピン・プラスチックTQFP (12x12)	〃
μPD78F0034BYGB(A)-8EU	64ピン・プラスチックLQFP (10x10)	〃

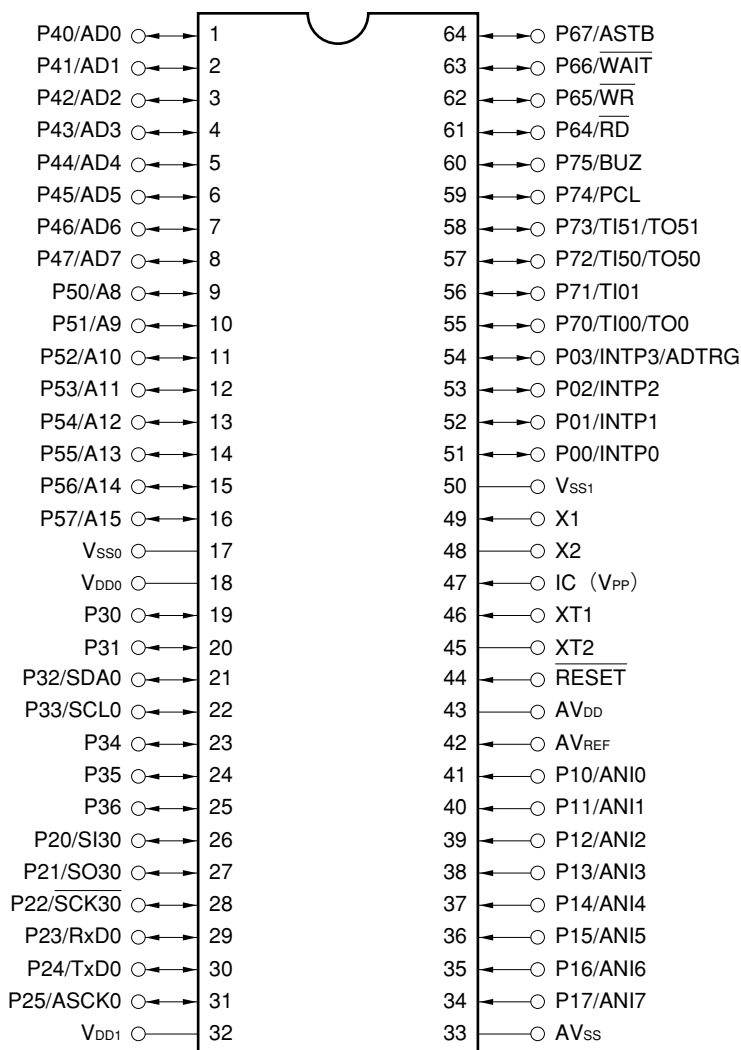
注 開発中

備考 ×××はROMコード番号です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(資料番号 C11531J) をご覧ください。

2.5 端子接続図 (Top View)

・64ピン・プラスチックSDIP (19.05 mm (750))



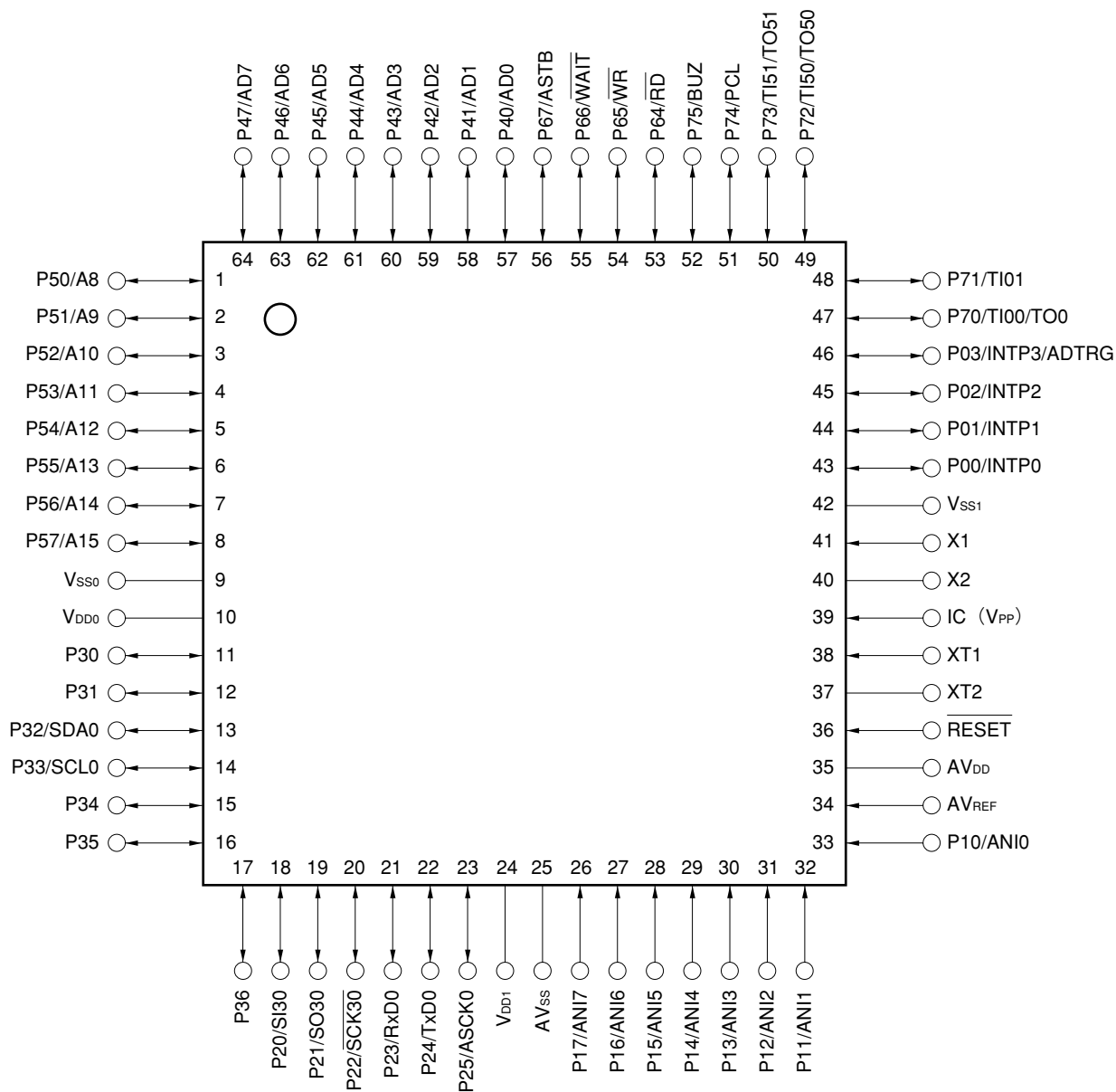
注意 1. IC (Internally Connected) 端子はVSS0またはVSS1に直接接続してください。

2. AVSSはVSS0に接続してください。

備考 1. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、VDD0とVDD1に個別の電源を供給し、VSS0とVSS1を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。

2. () 内はμPD78F0034AYのとき。

- 64ピン・プラスチックQFP (14x14)
- 64ピン・プラスチックLQFP (14x14)
- 64ピン・プラスチックTQFP (12x12)
- 64ピン・プラスチックLQFP (10x10)



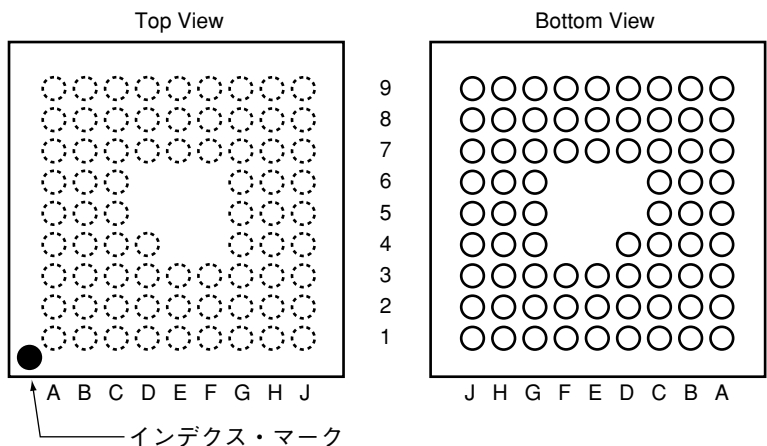
注意 1. IC (Internally Connected) 端子はV_{SS0}またはV_{SS1}に直接接続してください。

2. AV_{SS}はV_{SS0}に接続してください。

備考 1. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V_{DD0}とV_{DD1}に個別の電源を供給し、V_{SS0}とV_{SS1}を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。

2. () 内はμPD78F0034AY, 78F0034BYのとき。

・73ピン・プラスチックFBGA (9×9)



ピン番号	名 称	ピン番号	名 称	ピン番号	名 称	ピン番号	名 称	ピン番号	名 称
A1	NC	C1	P52/A10	E1	P57/A15	G1	P33/SCL0	J1	NC
A2	P46/AD6	C2	P53/A11	E2	V _{DD0}	G2	P32/SDA0	J2	P36
A3	P44/AD4	C3	P45/AD5	E3	P54/A12	G3	P20/SI30	J3	NC
A4	P41/AD1	C4	P42/AD2	E4	—	G4	P21/SO30	J4	P25/ASCK0
A5	P67/ASTB	C5	P64/ \overline{RD}	E5	—	G5	P24/TxD0	J5	NC
A6	P65/ \overline{WR}	C6	P73/TI51/TO51	E6	—	G6	V _{DD1}	J6	P17/ANI7
A7	P74/PCL	C7	P03/INTP3/ADTRG	E7	P00/INTP0	G7	P16/ANI6	J7	P12/ANI2
A8	NC	C8	P01/INTP1	E8	XT1	G8	AV _{DD}	J8	P13/ANI3
A9	NC	C9	V _{SS1}	E9	X2	G9	NC	J9	NC
B1	P51/A9	D1	P55/A13	F1	P30	H1	P34		
B2	P47/AD7	D2	P56/A14	F2	P31	H2	P35		
B3	P43/AD3	D3	P50/A8	F3	V _{SS0}	H3	P23/RxD0		
B4	P40/AD0	D4	NC	F4	—	H4	P22/ $\overline{SCK30}$		
B5	P66/ \overline{WAIT}	D5	—	F5	—	H5	AV _{SS}		
B6	P75/BUZ	D6	—	F6	—	H6	P15/ANI5		
B7	P72/TI50/TO51	D7	P02/INTP2	F7	P14/ANI4	H7	P11/ANI1		
B8	P71/TI01	D8	IC (V _{PP})	F8	\overline{RESET}	H8	P10/ANI0		
B9	P70/TI00/TO0	D9	X1	F9	XT2	H9	AV _{REF}		

注意 1. IC (Internally Connected) 端子はV_{SS0}またはV_{SS1}に直接接続してください。

2. AV_{SS}端子はV_{SS0}に接続してください。

備考 1. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V_{DD0}とV_{DD1}に個別の電源を供給し、V_{SS0}とV_{SS1}を別々のグラウンド・ラインに接続するなどのノイズ対策を行うことを推奨します。

2. () 内はμPD78F0034BYのとき。

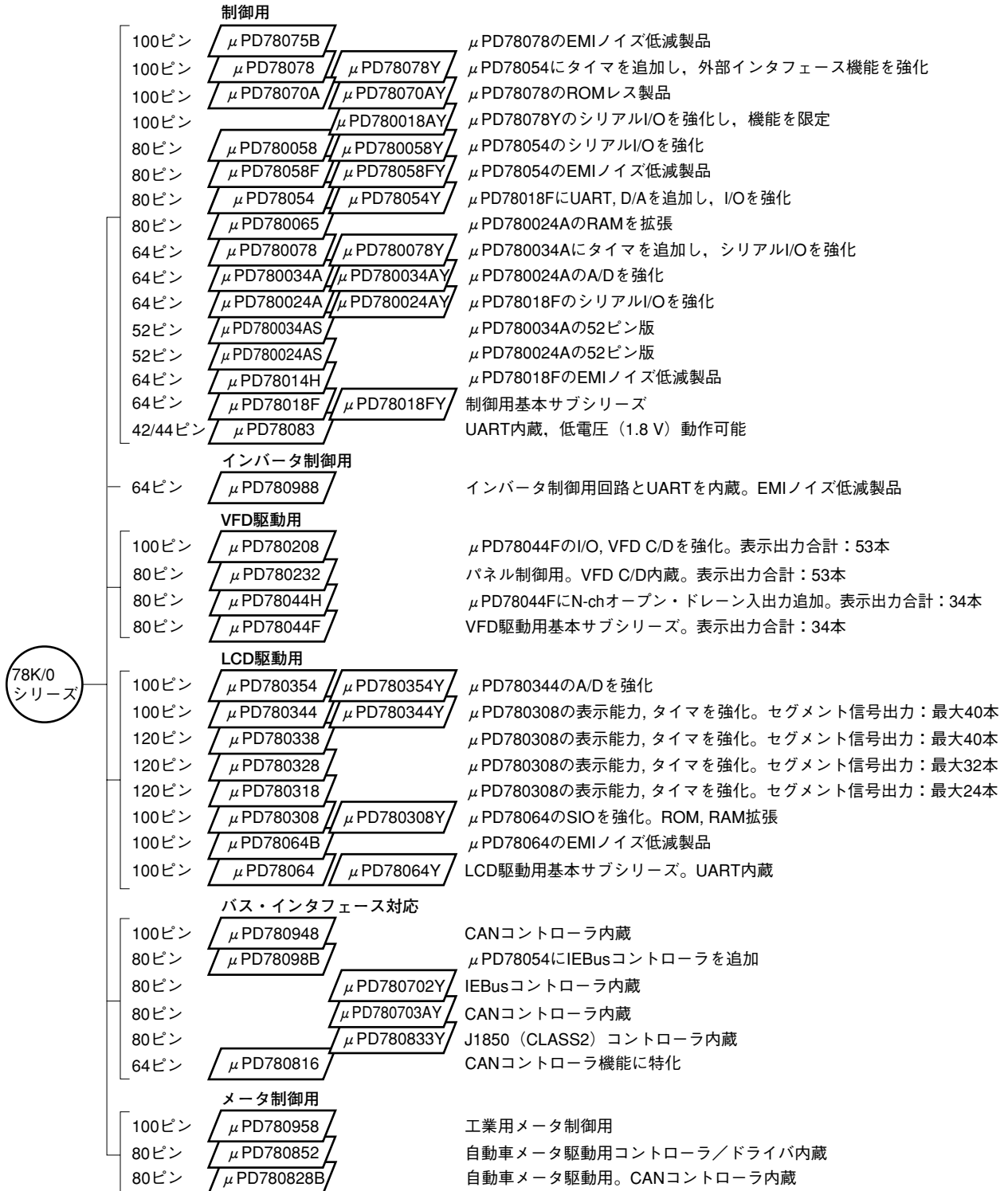
A8-A15	: Address Bus	P70-P75	: Port7
AD0-AD7	: Address/Data Bus	PCL	: Programmable Clock
ADTRG	: AD Trigger Input	\overline{RD}	: Read Strobe
ANI0-ANI7	: Analog Input	\overline{RESET}	: Reset
ASCK0	: Asynchronous Serial Clock	RxD0	: Receive Data
ASTB	: Address Strobe	$\overline{SCK30}$: Serial Clock
AV _{DD}	: Analog Power Supply	SCL0	: Serial Clock
AV _{REF}	: Analog Reference Voltage	SDA0	: Serial Data
AV _{SS}	: Analog Ground	SI30	: Serial Input
BUZ	: Buzzer Clock	SO30	: Serial Output
IC	: Internally Connected	TI00, TI01, TI50, TI51	: Timer Input
INTP0-INTP3	: External Interrupt Input	TO0, TO50, TO51	: Timer Output
NC	: Non-connection	TxD0	: Transmit Data
P00-P03	: Port0	V _{DD0} , V _{DD1}	: Power Supply
P10-P17	: Port1	V _{PP}	: Programming Power Supply
P20-P25	: Port2	V _{SS0} , V _{SS1}	: Ground
P30-P36	: Port3	\overline{WAIT}	: Wait
P40-P47	: Port4	\overline{WR}	: Write Strobe
P50-P57	: Port5	X1, X2	: Crystal (Main System Clock)
P64-P67	: Port6	XT1, XT2	: Crystal (Subsystem Clock)

2.6 78K/0シリーズの展開

78K/0シリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



Yサブシリーズは、I²Cバス対応の製品です。



備考 蛍光表示管の一般的な英語名称はVFD (Vacuum Fluorescent Display) ですが、ドキュメントによってはFIP (Fluorescent Indicator Panel) と記述しているものがあります。VFDとFIPは同等の機能です。

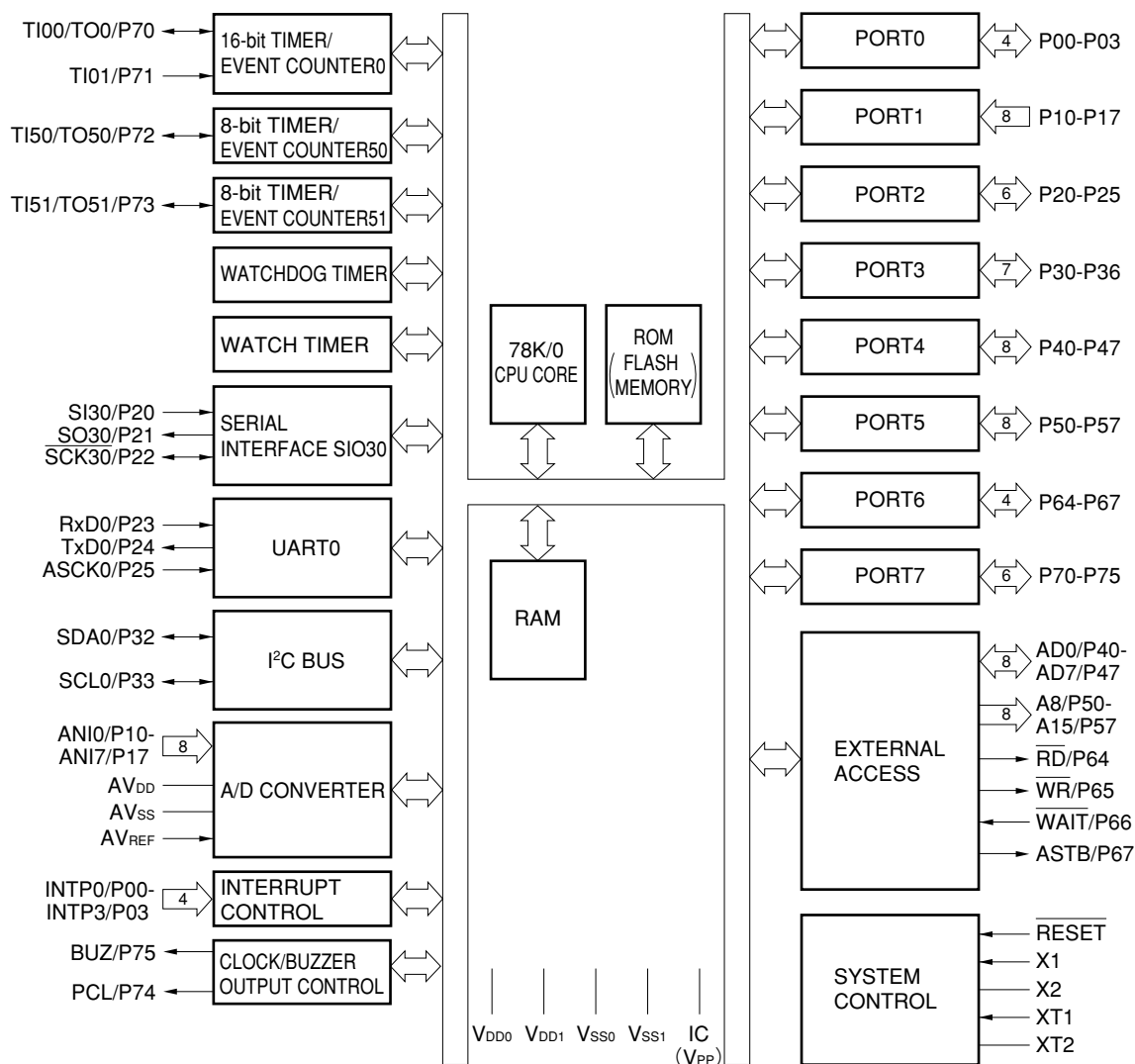
各サブシリーズ間の主な機能の違いを次に示します。

・ Yサブシリーズ

サブシリーズ名	機能	ROM容量 (バイト)	タイマ				8-bit	10-bit	8-bit	シリアル・ インタフェース	I/O	V _{DD} MIN.値	外部 拡張
			8-bit	16-bit	時計	WDT	A/D	A/D	D/A				
制御用	μPD78078Y	48 K-60 K	4ch	1ch	1ch	1ch	8ch	—	2ch	3ch (UART:1ch, I ² C:1ch)	88本	1.8 V	○
	μPD78070AY	—									61本	2.7 V	
	μPD780018AY	48 K-60 K								—	3ch (I ² C:1ch)	88本	
	μPD780058Y	24 K-60 K	2ch	3ch (時分割UART: 1ch, I ² C:1ch)	68本								
	μPD78058FY	48 K-60 K	2ch	1ch	1ch	1ch	—	8ch	—	3ch (UART:1ch, I ² C:1ch)	69本	2.7 V	
	μPD78054Y	16 K-60 K								52本	1.8 V		
	μPD780078Y	48 K-60 K								3ch (UART:1ch, I ² C:1ch)	51本	2.0 V	
	μPD780034AY	8 K-32 K	1ch	1ch	1ch	1ch	—	8ch	—	4ch (UART:2ch, I ² C:1ch)	53本	1.8 V	
	μPD780024AY	8 K-60 K								3ch (UART:1ch, I ² C:1ch)	51本	2.0 V	
	μPD78018FY									2ch (I ² C:1ch)	53本	1.8 V	
LCD 駆動用	μPD780354Y	24 K-32 K	4ch	1ch	1ch	1ch	—	8ch	—	4ch (UART:1ch, I ² C:1ch)	66本	1.8 V	—
	μPD780344Y						8ch	—	3ch (時分割UART: 1ch, I ² C:1ch)	57本	2.0 V		
	μPD780308Y	48 K-60 K	2ch	1ch	1ch	1ch	—	—	4ch (UART:1ch, I ² C:1ch)	67本	3.5 V		
	μPD78064Y	16 K-32 K										2ch (UART:1ch, I ² C:1ch)	
バス・イン タフェース 対応	μPD780702Y	60 K	3ch	2ch	1ch	1ch	16ch	—	—	4ch (UART:1ch, I ² C:1ch)	67本	3.5 V	—
	μPD780703AY	59.5 K									65本	4.5 V	
	μPD780833Y	60 K									65本	4.5 V	

備考 YなしサブシリーズとYサブシリーズは、シリアル・インタフェース以外の機能は共通です (Yなしサブシリーズがある場合)。

2.7 ブロック図



備考 1. 内部ROM, RAM容量は製品によって異なります。

2. () 内は μPD78F0034AY, 78F0034BY のとき。

2.8 機能概要

項 目		品 名				
		μPD780021AY μPD780031AY	μPD780022AY μPD780032AY	μPD780023AY μPD780033AY	μPD780024AY μPD780034AY	μPD78F0034AY μPD78F0034BY
内部メモリ	ROM	8 Kバイト (マスクROM)	16 Kバイト (マスクROM)	24 Kバイト (マスクROM)	32 Kバイト (マスクROM)	32 Kバイト ^注 (フラッシュ・メモリ)
	高速RAM	512バイト		1024バイト		1024バイト ^注
メモリ空間		64 Kバイト				
汎用レジスタ		8ビット×32レジスタ (8ビット×8レジスタ×4バンク)				
最小命令実行時間		最小命令実行時間の可変機能内蔵				
		メイン・システム・クロック選択時 0.238 μs/0.477 μs/0.954 μs/1.90 μs/3.81 μs (8.38 MHz動作時)				
		サブシステム・クロック選択時 122 μs (32.768 kHz動作時)				
命令セット		<ul style="list-style-type: none"> ・16ビット演算・乗除算 (8ビット×8ビット, 16ビット÷8ビット) ・ビット操作 (セット, リセット, テスト, ブール演算) ・BCD補正など 				
I/Oポート		合計 : 51本 <ul style="list-style-type: none"> ・CMOS入力 : 8本 ・CMOS入出力 : 39本 ・N-chオープン・ドレイン入出力 (5 V耐圧) : 4本 				
A/Dコンバータ		<ul style="list-style-type: none"> ・8ビット分解能×8チャンネル (μPD780021AY, 780022AY, 780023AY, 780024AY) ・10ビット分解能×8チャンネル (μPD780031AY, 780032AY, 780033AY, 780034AY, 78F0034AY, 78F0034BY) ・低電圧動作可能: AV_{DD} = 1.8~5.5 V 				
シリアル・インタフェース		<ul style="list-style-type: none"> ・3線式シリアルI/Oモード: 1チャンネル ・UARTモード : 1チャンネル ・I²Cバス・モード : 1チャンネル 				
タイマ		<ul style="list-style-type: none"> ・16ビット・タイマ/イベント・カウンタ: 1チャンネル ・8ビット・タイマ/イベント・カウンタ: 2チャンネル ・時計用タイマ : 1チャンネル ・ウォッチドッグ・タイマ : 1チャンネル 				
タイマ出力		3本 (8ビットPWM出力可能: 2本)				
クロック出力		<ul style="list-style-type: none"> ・65.5 kHz, 131 kHz, 262 kHz, 524 kHz, 1.05 MHz, 2.10 MHz, 4.19 MHz, 8.38 MHz (メイン・システム・クロック: 8.38 MHz動作時) ・32.768 kHz (サブシステム・クロック: 32.768 kHz動作時) 				
ブザー出力		1.02 kHz, 2.05 kHz, 4.10 kHz, 8.19 kHz (メイン・システム・クロック: 8.38 MHz動作時)				
ベクタ	マスカブル	内部: 13, 外部: 5				
割り込み	ノンマスカブル	内部: 1				
要因	ソフトウェア	1				
電源電圧		V _{DD} = 1.8~5.5 V				
動作周囲温度		T _A = -40~+85 °C				
パッケージ		<ul style="list-style-type: none"> ・64ピン・プラスチックSDIP (19.05 mm (750)) ・64ピン・プラスチックQFP (14x14) ・64ピン・プラスチックLQFP (14x14) ・64ピン・プラスチックTQFP (12x12) ・64ピン・プラスチックLQFP (10x10) ・73ピン・プラスチックFBGA (9×9) (標準水準品のみ) 				

注 メモリ・サイズ切り替えレジスタ (IMS) により, 内部フラッシュ・メモリ, 内部高速RAM容量の変更可能。

タイマ/イベント・カウンタの概要 (詳細は第8章 16ビット・タイマ/イベント・カウンタ0, 第9章 8ビット・タイマ/イベント・カウンタ50, 51, 第10章 時計用タイマ, 第11章 ウォッチドッグ・タイマを参照) を次に示します。

		16ビット・タイマ/ イベント・カウンタ0	8ビット・タイマ/ イベント・カウンタ50, 51	時計用タイマ	ウォッチドッグ・タイマ
動作	インターバル・タイマ	1チャンネル	2チャンネル	1チャンネル ^{注1}	1チャンネル ^{注2}
モード	外部イベント・カウンタ	○	○	—	—
機能	タイマ出力	○	○	—	—
	PPG出力	○	—	—	—
	PWM出力	—	○	—	—
	パルス幅測定	○	—	—	—
	方形波出力	○	○	—	—
	割り込み要求	○	○	○	○

注1. 時計用タイマは時計用タイマとインターバル・タイマの機能を同時に使用可能です。

2. ウォッチドッグ・タイマはウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

2.9 マスクROM製品とフラッシュ・メモリ製品の対応について

表2-1 マスクROM製品とフラッシュ・メモリ製品の対応

マスクROM製品	μPD780021AY/2AY/3AY/4AY μPD780031AY/2AY/3AY/4AY	μPD780021AY(A)/2AY(A)/3AY(A)/4AY(A) μPD780031AY(A)/2AY(A)/3AY(A)/4AY(A)
フラッシュ・メモリ製品		
μPD78F0034AY	○	—
μPD78F0034BY	○	—
μPD78F0034BY(A)	—	○

備考1. ○：対応，—：対応していない

- μPD780034AYとμPD78F0034BY, 78F0034BY(A)はフラッシュ・メモリ・プログラミングの通信方式が異なります。23.1 μPD78F0034A, 78F0034AYとμPD78F0034B, 78F0034BYの違いを参照してください。
- μPD780024AY, 780034AYサブシリーズの拡張規格品をご用意しておりません。従来規格品のみです。
- μPD78F0034AYは特別水準品をご用意しておりません。標準水準品のみです。

2.10 標準水準品と特別水準品との違いについて

標準水準品 (μPD780021AY, 780022AY, 780023AY, 780024AY, 780031AY, 780032AY, 780033AY, 780034AY, 78F0034AY, 78F0034BY) と特別水準品 (μPD780021AY(A), 780022AY(A), 780023AY(A), 780024AY(A), 780031AY(A), 780032AY(A), 780033AY(A), 780034AY(A), 78F0034BY(A)) との違いを表 2-2 に示します。

表 2-2 標準水準品と特別水準品との違い

	μPD780021AY, 780022AY, 780023AY, 780024AY, 780031AY, 780032AY, 780033AY, 780034AY, 78F0034AY, 78F0034BY	μPD780021AY(A), 780022AY(A), 780023AY(A), 780024AY(A), 780031AY(A), 780032AY(A), 780033AY(A), 780034AY(A), 78F0034BY(A)
品質水準	標準 (一般電子機器用)	特別 (高信頼度電子機器用)
パッケージ	2.11 製品とパッケージの対応についてを参照	
その他 (機能, 電気的特性など)	同じ	

2.11 製品とパッケージの対応について

製品とパッケージの対応は、次のとおりです。

表 2-3 製品とパッケージの対応

	マスクROM製品		フラッシュ・メモリ製品		
	μPD780021AY/2AY/3AY/4AY μPD780031AY/2AY/3AY/4AY		μPD78F0034AY	μPD78F0034BY	
	標準	特別水準	標準	標準	特別水準
64ピンSDIP (CWタイプ)	○	○注1	○	—	—
64ピンQFP (GC-AB8タイプ)	○	○注2	○	—	—
64ピンLQFP (GC-8BSタイプ)	○	○注1	○	○	○
64ピンTQFP (GK-9ETタイプ)	○	○注1	○	○	○
64ピンLQFP (GB-8EUタイプ)	○	○注1	○	○	○
73ピンFBGA (F1-CN3タイプ)	○	—	—	○	—

注1. 開発中

2. μPD780022AYGC(A)-AB8のみ量産中, それ以外は開発中

備考1. ○: パッケージあり, —: パッケージなし

2. μPD78F0034AYは, 特別水準品をご用意しておりません。標準水準品のみです。

2.12 マスク・オプションについて

マスクROM製品 (μPD780021AY, 780022AY, 780023AY, 780024AY, 780031AY, 780032AY, 780033AY, 780034AY) には、マスク・オプションがあります。オーダーの際にマスク・オプションを指定することにより、表2-4に示すプルアップ抵抗を内蔵できます。プルアップ抵抗が必要なとき、マスク・オプションを利用すると、部品点数の削減と実装面積の縮小を図ることができます。

μPD780024AY, 780034AYサブシリーズで用意されているマスク・オプションを表2-4に示します。

表2-4 マスクROM製品のマスク・オプション

端子名	マスク・オプション
P30, P31	1ビット単位でプルアップ抵抗を内蔵できます。

第3章 端子機能 (μPD780024A, 780034Aサブシリーズ)

3.1 端子機能一覧

(1) ポート端子 (1/2)

端子名称	入出力	機能		リセット時	兼用端子
P00	入出力	ポート0。		入力	INTP0
P01		4ビット入出力ポート。			INTP1
P02		1ビット単位で入力/出力の指定可能。			INTP2
P03		ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。			INTP3/ADTRG
P10-P17	入力	ポート1。 8ビット入力専用ポート。		入力	ANI0-ANI7
P20	入出力	ポート2。		入力	SI30
P21		6ビット入出力ポート。			SO30
P22		1ビット単位で入力/出力の指定可能。			$\overline{\text{SCK30}}$
P23		ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。			RxD0
P24					TxD0
P25					ASCK0
P30	入出力	ポート3。	N-chオープン・ドレイン入出力ポート。	入力	—
P31		7ビット入出力ポート。	マスクROM製品のみ、マスク・オプションにより、プルアップ抵抗の内蔵を指定可能。		
P32		1ビット単位で入力/出力	LEDを直接駆動可能。		
P33		の指定可能。	ソフトウェアの設定により、内蔵プルアップ		
P34			抵抗を使用可能。		
P35					
P36					SI31
			SO31		
			$\overline{\text{SCK31}}$		
P40-P47	入出力	ポート4。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 立ち下がりエッジの検出により、割り込み要求フラグ (KRIF) を1にセット。		入力	AD0-AD7
P50-P57	入出力	ポート5。 8ビット入出力ポート。 LEDを直接駆動可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		入力	A8-A15
P64	入出力	ポート6。		入力	$\overline{\text{RD}}$
P65		4ビット入出力ポート。			$\overline{\text{WR}}$
P66		1ビット単位で入力/出力の指定可能。			$\overline{\text{WAIT}}$
P67		ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。			ASTB

(1) ポート端子 (2/2)

端子名称	入出力	機能	リセット時	兼用端子
P70	入出力	ポート7。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	TI00/TO0
P71				TI01
P72				TI50/TO50
P73				TI51/TO51
P74				PCL
P75				BUZ

(2) ポート以外の端子 (1/2)

端子名称	入出力	機能	リセット時	兼用端子
INTP0	入力	有効エッジ (立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりエッジおよび立ち下がりエッジの両エッジ) 指定可能な外部割り込み要求入力。	入力	P00
INTP1				P01
INTP2				P02
INTP3				P03/ADTRG
SI30	入力	シリアル・インタフェースのシリアル・データ入力。	入力	P20
SI31				P34
SO30	出力	シリアル・インタフェースのシリアル・データ出力。	入力	P21
SO31				P35
SCK30	入出力	シリアル・インタフェースのシリアル・クロック入力/出力。	入力	P22
SCK31				P36
RxD0	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力。	入力	P23
TxD0	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力。	入力	P24
ASCK0	入力	アシンクロナス・シリアル・インタフェース用シリアル・クロック入力。	入力	P25
TI00	入力	16ビット・タイマ/イベント・カウンタ0への外部カウント・クロック入力。 16ビット・タイマ/イベント・カウンタ0のキャプチャ・レジスタ (CR00, CR01) へのキャプチャ・トリガ入力。	入力	P70/TO0
TI01				P71
TI50				P72/TO50
TI51				P73/TO51
TO0	出力	16ビット・タイマ/イベント・カウンタ0出力。	入力	P70/TI00
TO50		8ビット・タイマ/イベント・カウンタ50出力 (8ビットPWM出力と兼用)。		P72/TI50
TO51		8ビット・タイマ/イベント・カウンタ51出力 (8ビットPWM出力と兼用)。		P73/TI51
PCL	出力	クロック出力 (メイン・システム・クロック, サブシステム・クロックのトリミング用)。	入力	P74
BUZ	出力	ブザー出力。	入力	P75
AD0-AD7	入出力	外部にメモリを拡張する場合の, 下位アドレス/データ・バス。	入力	P40-P47
A8-A15	出力	外部にメモリを拡張する場合の, 上位アドレス・バス。	入力	P50-P57
\overline{RD}	出力	外部メモリのリード動作用ストロブ信号出力。	入力	P64
\overline{WR}		外部メモリのライト動作用ストロブ信号出力。		P65
\overline{WAIT}	入力	外部メモリ・アクセス時のウエイト挿入。	入力	P66
ASTB	出力	外部メモリをアクセスするために, ポート4, 5に出力されるアドレス情報を外部でラッチするストロブ出力。	入力	P67
ANI0-ANI7	入力	A/Dコンバータのアナログ入力。	入力	P10-P17
ADTRG	入力	A/Dコンバータのトリガ信号入力。	入力	P03/INTP3

(2) ポート以外の端子 (2/2)

端子名称	入出力	機能	リセット時	兼用端子
★ AV _{REF}	入力	A/Dコンバータの基準電圧入力。	入力	—
AV _{DD}	—	A/Dコンバータのアナログ電源。V _{DD0} またはV _{DD1} と同電位にしてください。	—	—
AV _{SS}	—	A/Dコンバータのグランド電位。V _{SS0} またはV _{SS1} と同電位にしてください。	—	—
RESET	入力	システム・リセット入力。	入力	—
X1	入力	メイン・システム・クロック発振用水晶／セラミック接続。	—	—
X2	—		—	—
XT1	入力	サブシステム・クロック発振用水晶接続。	—	—
XT2	—		—	—
V _{DD0}	—	ポート部の正電源。	—	—
V _{DD1}	—	正電源（ポート部を除く）。	—	—
V _{SS0}	—	ポート部のグランド電位。	—	—
V _{SS1}	—	グランド電位（ポート部を除く）。	—	—
IC	—	内部接続されています。V _{SS0} またはV _{SS1} に直接接続してください。	—	—
NC ^注	—	内部接続されていません。オープンにしてください。	—	—
V _{PP}	—	プログラム書き込み／ベリファイ時の高電圧印加。	—	—

注 NC端子は、73ピン・プラスチックFBGAのみ。

3.2 端子機能の説明

3.2.1 P00-P03(Port0)

4ビットの入出力ポートです。入出力ポートのほかに、外部割り込み入力、A/Dコンバータの外部トリガ入力があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

4ビットの入出力ポートとして機能します。

P00-P03はポート・モード・レジスタ0 (PM0) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、A/Dコンバータの外部トリガ入力として機能します。

(a) INTP0-INTP3

INTP0-INTP3は、有効エッジ (立ち上がりエッジ、立ち下がりエッジ、立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) ADTRG

A/Dコンバータの外部トリガ入力端子です。

注意 P03をA/Dコンバータの外部トリガ入力として使用する場合は、A/Dコンバータ・モード・レジスタ(ADM0)のビット1, 2 (EGA00, EGA01)で有効エッジを指定し、割り込みマスク・フラグ(PMK3)を1に設定してください。

3.2.2 P10-P17(Port1)

8ビットの入力専用ポートです。入力ポートのほかにA/Dコンバータのアナログ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入力専用ポートとして機能します。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI0-ANI7) として機能します。

3.2.3 P20-P25 (Port2)

6ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースSIO30, UART0のデータ入出力、クロック入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

6ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ2 (PU2) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースSIO30, UART0のデータ入出力、クロック入出力として機能します。

(a) SI30, SO30

シリアル・インタフェースSIO30のシリアル・データの入出力端子です。

(b) $\overline{\text{SCK30}}$

シリアル・インタフェースSIO30のシリアル・クロックの入出力端子です。

(c) RxD0, TxD0

シリアル・インタフェースUART0のシリアル・データの入出力端子です。

(d) ASCK0

シリアル・インタフェースUART0のシリアル・クロックの入力端子です。

3.2.4 P30-P36 (Port3)

7ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースSIO31のデータ入出力、クロック入出力機能があります。

P30-P33はLED直接駆動可能です。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

7ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) により、1ビット単位で入力ポートまたは出力ポートに指定できます。P30-P33はN-chオープン・ドレインになっています。マスクROM製品は、マスク・オプションにより、プルアップ抵抗の内蔵ができます。

P34-P36は、プルアップ抵抗オプション・レジスタ3 (PU3) により、内蔵プルアップ抵抗を使用できません。

(2) コントロール・モード

シリアル・インタフェースSIO31のデータ入出力、クロック入出力として機能します。

(a) SI31, SO31

シリアル・インタフェースSIO31のシリアル・データの入出力端子です。

(b) $\overline{\text{SCK31}}$

シリアル・インタフェースSIO31のシリアル・クロックの入出力端子です。

3.2.5 P40-P47(Port4)

8ビットの入出力ポートです。入出力ポートのほかにアドレス/データ・バス機能があります。

立ち下がりエッジの検出により、割り込み要求フラグ (KRIF) を1にセットできます。

1ビット単位で次のような動作モードを指定できます。

注意 立ち下がりエッジ検出割り込み (INTKR) を使用する場合、メモリ拡張モード・レジスタ (MEM) を必ず01Hに設定してください。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ4 (PM4) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ4 (PU4) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部メモリ拡張モード時の下位アドレス/データ・バス端子 (AD0-AD7) として機能します。

3.2.6 P50-P57(Port5)

8ビットの入出力ポートです。入出力ポートのほかにアドレス・バス機能があります。

LEDを直接駆動可能です。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ5 (PM5) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ5 (PU5) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部メモリ拡張モード時の上位アドレス・バス端子 (A8-A15) として機能します。

3.2.7 P64-P67(Port6)

4ビットの入出力ポートです。入出力ポートのほかに外部メモリ拡張モード時の制御機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ6 (PM6) により、1ビット単位で入力ポートまたは出力ポートに指定できます。

プルアップ抵抗オプション・レジスタ6 (PU6) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部メモリ拡張モード時の制御信号出力端子 (\overline{RD} , \overline{WR} , \overline{WAIT} , ASTB) として機能します。

注意 外部メモリ拡張モード時で外部ウエイトを使用しないときは、P66を入出力ポートとして使用できません。

3.2.8 P70-P75(Port7)

6ビットの入出力ポートです。入出力ポートのほかにタイマの入出力、クロック出力、ブザー出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

6ビットの入出力ポートとして機能します。ポート・モード・レジスタ7 (PM7) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ7 (PU7) により、内蔵プルアップ抵抗を使用できます。また、P70, P71は、有効エッジの入力により、16ビット・タイマ/イベント・カウンタ0のキャプチャ・トリガ信号入力端子にもなります。

(2) コントロール・モード

タイマの入出力、クロック出力、ブザー出力として機能します。

(a) TI00

16ビット・タイマ/イベント・カウンタ0への外部カウント・クロック入力端子および16ビット・タイマ/イベント・カウンタのキャプチャ・レジスタ (CR00, CR01) へのキャプチャ・トリガ信号入力端子です。

(b) TI01

16ビット・タイマ/イベント・カウンタ0のキャプチャ・レジスタ (CR00) へのキャプチャ・トリガ信号入力端子です。

(c) TI50, TI51

8ビット・タイマ/イベント・カウンタ50, 51への外部カウント・クロック入力端子です。

(d) TO0, TO50, TO51

タイマ出力端子です。

(e) PCL

クロック出力端子です。

(f) BUZ

ブザー出力端子です。

3.2.9 AVREF

A/Dコンバータの基準電圧入力端子です。

A/Dコンバータを使用しない場合は、VSS0またはVSS1に直接接続してください。

3.2.10 AVDD

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常にVDD0端子またはVDD1端子と同電位で使用してください。

3.2.11 AVSS

A/Dコンバータのグラウンド電位端子です。A/Dコンバータを使用しないときでも、常にVSS0端子またはVSS1端子と同電位で使用してください。

3.2.12 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

3.2.13 NC

NC (Non-connection) は内部接続をしていません。オープンにしてください。

3.2.14 X1, X2

メイン・システム・クロック発振用水晶／セラミック振動子接続端子です。

外部クロックを供給するときは、X1に入力し、X2にその反転信号を入力してください。

3.2.15 XT1, XT2

サブシステム・クロック発振用水晶振動子接続端子です。

外部クロックを供給するときは、XT1に入力し、XT2にその反転信号を入力してください。

3.2.16 VDD0, VDD1

VDD0は、ポート部の正電源供給端子です。

VDD1は、ポート部以外の正電源供給端子です。

3.2.17 VSS0, VSS1

VSS0は、ポート部のグラウンド電位端子です。

VSS1は、ポート部以外のグラウンド電位端子です。

3.2.18 VPP(フラッシュ・メモリ製品のみ)

フラッシュ・メモリ・プログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。

次のどちらかの端子処理をしてください。

- ・個別に10 kΩのプルダウン抵抗を接続する。
- ・ボード上のジャンパで、プログラミング・モード時は専用フラッシュ・ライターに、通常動作モード時はV_{SS0}またはV_{SS1}に直接接続するように切り替える。

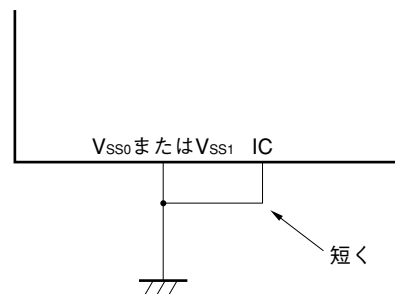
V_{PP}端子とV_{SS0}端子またはV_{SS1}端子間の配線の引き回しが長い場合や、V_{PP}端子に外来ノイズが加わった場合などで、V_{PP}端子とV_{SS0}端子またはV_{SS1}端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

3.2.19 IC(マスクROM製品のみ)

IC (Internally Connected) 端子は、当社出荷時にμPD780024A, 780034Aサブシリーズを検査するためのテスト・モードに設定するための端子です。通常動作モード時には、IC端子をV_{SS0}端子またはV_{SS1}端子に直接接続し、その配線長を極力短くしてください。

IC端子とV_{SS0}端子またはV_{SS1}端子間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子とV_{SS0}端子またはV_{SS1}端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

○IC端子をV_{SS0}端子またはV_{SS1}端子に直接接続してください。



3.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表3-1に示します。

また、各タイプの入出力回路の構成は、図3-1を参照してください。

表3-1 各端子の入出力回路タイプ

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/INTP0-P02/INTP2	8-C	入出力	入力時：個別に抵抗を介して、V _{SS0} またはV _{SS1} に接続してください。 出力時：オープンにしてください。
P03/INTP3/ADTRG			
P10/ANI0-P17/ANI7	25	入力	V _{DD0} , V _{DD1} , V _{SS0} , V _{SS1} のいずれかに直接接続してください。
P20/SI30	8-C	入出力	入力時：個別に抵抗を介して、V _{DD0} , V _{DD1} , V _{SS0} , V _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P21/SO30			
P22/SCK30	8-C		
P23/RxD0			
P24/TxD0	5-H		
P25/ASCK0	8-C		
P30, P31 (マスクROM製品)	13-Q		
P30, P31 (フラッシュ・メモリ製品)	13-P		入力時：V _{SS0} またはV _{SS1} に直接接続してください。 出力時：ポートの出力ラッチに0を設定して、ロウ・レベル出力でオープンにしてください。
P32, P33 (マスクROM製品)	13-S		
P32, P33 (フラッシュ・メモリ製品)	13-R		
P34/SI31	8-C		入力時：個別に抵抗を介して、V _{DD0} , V _{DD1} , V _{SS0} , V _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P35/SO31			
P36/SCK31	8-C		
P40/AD0-P47/AD7	5-H		入力時：個別に抵抗を介して、V _{DD0} またはV _{DD1} に接続してください。 出力時：オープンにしてください。
P50/A8-P57/A15			
P64/RD	5-H		入力時：個別に抵抗を介して、V _{DD0} , V _{DD1} , V _{SS0} , V _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P65/WR			
P66/WAIT	5-H		
P67/ASTB			
P70/TI00/TO0	8-C		
P71/TI01			
P72/TI50/TO50	5-H		
P73/TI51/TO51			
P74/PCL	5-H		
P75/BUZ			
RESET	2	入力	—
NC ^注	—	—	オープンにしてください。
XT1	16	入力	V _{DD0} またはV _{DD1} に直接接続してください。
XT2		—	オープンにしてください。
AV _{DD}	—		V _{DD0} またはV _{DD1} に直接接続してください。
AV _{REF}			V _{SS0} またはV _{SS1} に直接接続してください。
AV _{SS}			個別に10 kΩのプルダウン抵抗を接続するか、V _{SS0} またはV _{SS1} に直接接続してください。
IC (マスクROM製品)			
V _{PP} (フラッシュ・メモリ製品)			

注 NC端子は、73ピン・プラスチックFBGAのみ。

図3-1 端子の入出力回路一覧 (1/2)

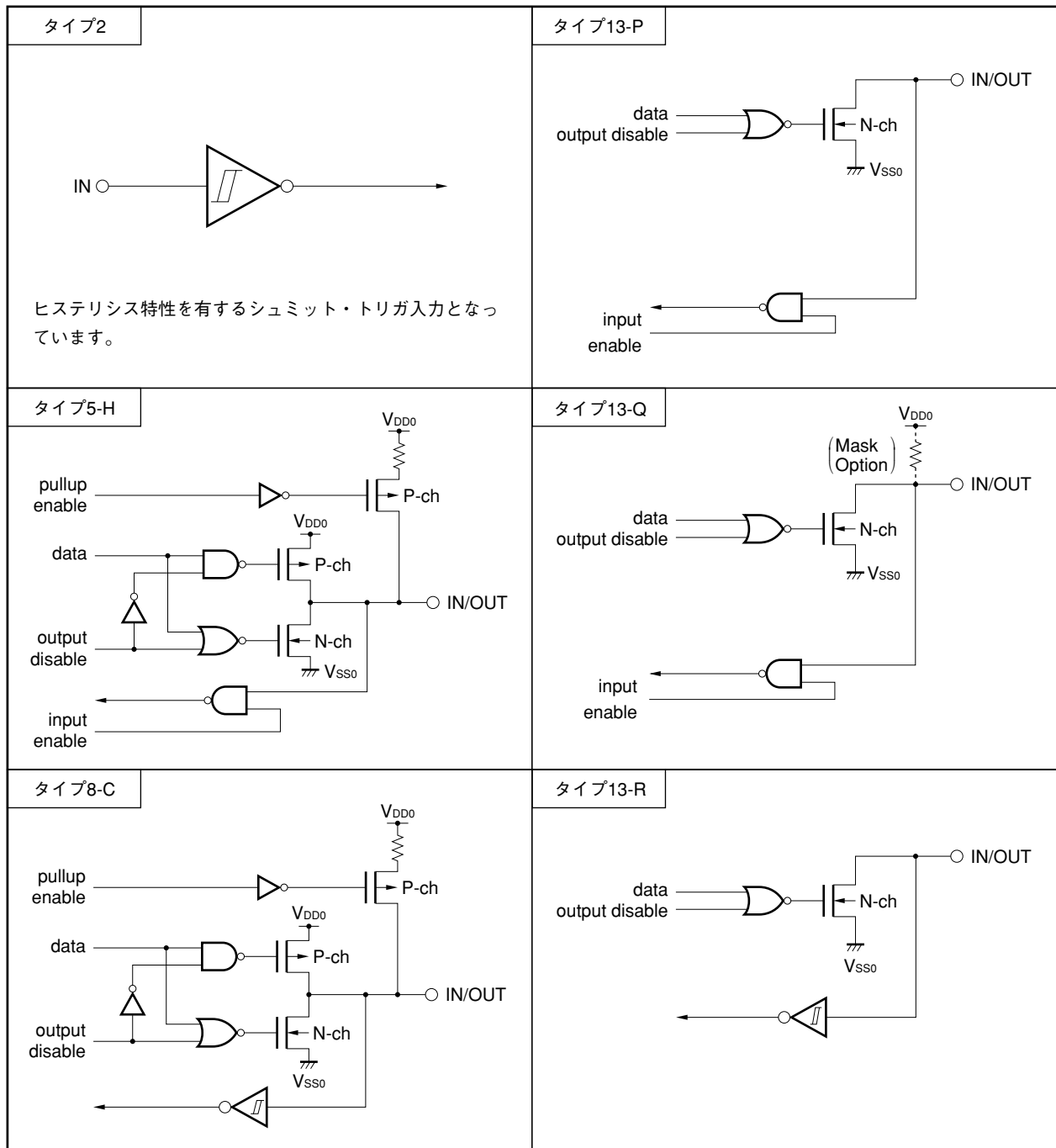
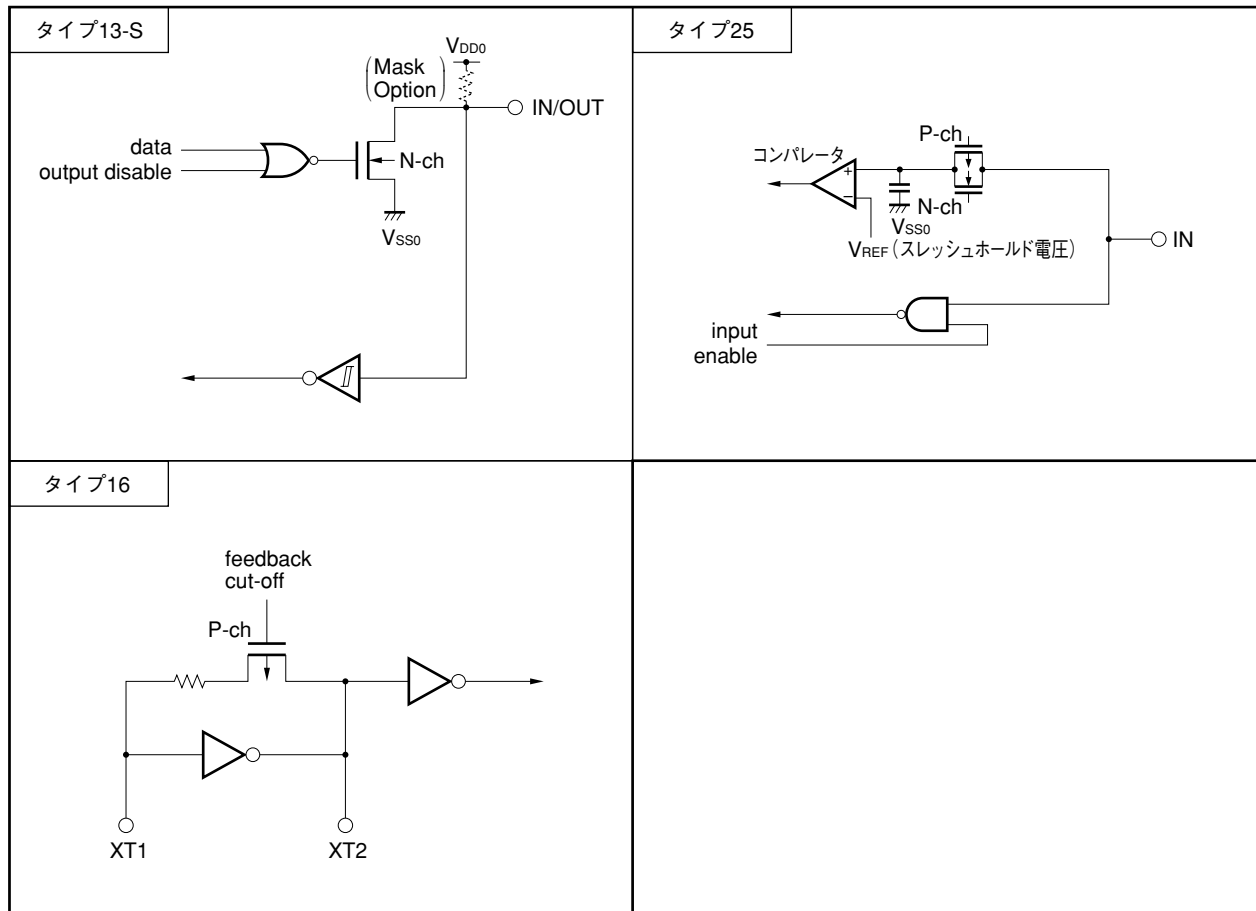


図3-1 端子の入出力回路一覧 (2/2)



第4章 端子機能 (μPD780024AY, 780034AYサブシリーズ)

4.1 端子機能一覧

(1) ポート端子 (1/2)

端子名称	入出力	機 能		リセット時	兼用端子
P00	入出力	ポート0。		入 力	INTP0
P01		4ビット入出力ポート。			INTP1
P02		1ビット単位で入力/出力の指定可能。			INTP2
P03		ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。			INTP3/ADTRG
P10-P17	入 力	ポート1。 8ビット入力専用ポート。		入 力	ANI0-ANI7
P20	入出力	ポート2。		入 力	SI30
P21		6ビット入出力ポート。			SO30
P22		1ビット単位で入力/出力の指定可能。			$\overline{\text{SCK30}}$
P23		ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。			RxD0
P24					TxD0
P25					ASCK0
P30	入出力	ポート3。	N-chオープン・ドレイン入出力ポート。	入 力	—
P31		7ビット入出力ポート。	P30, P31はマスクROM製品のみ、マスク・オプションにより、プルアップ抵抗の内蔵を指定可能。		SDA0
P32		1ビット単位で入力/出力	LEDを直接駆動可能。		SCL0
P33		の指定可能。	ソフトウェアの設定により、内蔵プルアップ		—
P34			抵抗を使用可能。		
P35					
P36					
P40-P47	入出力	ポート4。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 立ち下がりエッジの検出により、割り込み要求フラグ (KRIF) を1にセット。		入 力	AD0-AD7
P50-P57	入出力	ポート5。 8ビット入出力ポート。 LEDを直接駆動可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		入 力	A8-A15
P64	入出力	ポート6。		入 力	$\overline{\text{RD}}$
P65		4ビット入出力ポート。			$\overline{\text{WR}}$
P66		1ビット単位で入力/出力の指定可能。			$\overline{\text{WAIT}}$
P67		ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。			ASTB

(1) ポート端子 (2/2)

端子名称	入出力	機 能	リセット時	兼用端子
P70	入出力	ポート7。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入 力	TI00/TO0
P71				TI01
P72				TI50/TO50
P73				TI51/TO51
P74				PCL
P75				BUZ

(2) ポート以外の端子 (1/2)

端子名称	入出力	機 能	リセット時	兼用端子
INTP0	入 力	有効エッジ (立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりエッジおよび立ち下がりエッジの両エッジ) 指定可能な外部割り込み要求入力。	入 力	P00
INTP1				P01
INTP2				P02
INTP3				P03/ADTRG
SI30	入 力	シリアル・インタフェースのシリアル・データ入力。	入 力	P20
SO30	出 力	シリアル・インタフェースのシリアル・データ出力。	入 力	P21
SDA0	入出力	シリアル・インタフェースのシリアル・データ入力/出力。	入 力	P32
SCK30	入出力	シリアル・インタフェースのシリアル・クロック入力/出力。	入 力	P22
SCL0				P33
RxD0	入 力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力。	入 力	P23
TxD0	出 力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力。	入 力	P24
ASCK0	入 力	アシンクロナス・シリアル・インタフェース用シリアル・クロック入力。	入 力	P25
TI00	入 力	16ビット・タイマ/イベント・カウンタ0への外部カウント・クロック入力。 16ビット・タイマ/イベント・カウンタ0のキャプチャ・レジスタ (CR00, CR01) へのキャプチャ・トリガ入力。	入 力	P70/TO0
TI01		16ビット・タイマ/イベント・カウンタ0のキャプチャ・レジスタ (CR00) へのキャプチャ・トリガ入力。		P71
TI50		8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力。		P72/TO50
TI51		8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力。		P73/TO51
TO0	出 力	16ビット・タイマ/イベント・カウンタ0出力。	入 力	P70/TI00
TO50		8ビット・タイマ/イベント・カウンタ50出力 (8ビットPWM出力と兼用)。		P72/TI50
TO51		8ビット・タイマ/イベント・カウンタ51出力 (8ビットPWM出力と兼用)。		P73/TI51
PCL	出 力	クロック出力 (メイン・システム・クロック, サブシステム・クロックのトリミング用)。	入 力	P74
BUZ	出 力	ブザー出力。	入 力	P75
AD0-AD7	入出力	外部にメモリを拡張する場合の, 下位アドレス/データ・バス。	入 力	P40-P47
A8-A15	出 力	外部にメモリを拡張する場合の, 上位アドレスバス。	入 力	P50-P57
RD	出 力	外部メモリのリード動作用ストロブ信号出力。	入 力	P64
WR		外部メモリのライト動作用ストロブ信号出力。		P65
WAIT	入 力	外部メモリ・アクセス時のウェイト挿入。	入 力	P66
ASTB	出 力	外部メモリをアクセスするために, ポート4, 5に出力されるアドレス情報を外部でラッチするストロブ出力。	入 力	P67
ANI0-ANI7	入 力	A/Dコンバータのアナログ入力。	入 力	P10-P17
ADTRG	入 力	A/Dコンバータのトリガ信号入力。	入 力	P03/INTP3

(2) ポート以外の端子 (2/2)

端子名称	入出力	機能	リセット時	兼用端子
★ AV _{REF}	入 力	A/Dコンバータの基準電圧入力。	入 力	—
AV _{DD}	—	A/Dコンバータのアナログ電源。V _{DD0} またはV _{DD1} と同電位にしてください。	—	—
AV _{SS}	—	A/Dコンバータのグランド電位。V _{SS0} またはV _{SS1} と同電位にしてください。	—	—
RESET	入 力	システム・リセット入力。	入 力	—
X1	入 力	メイン・システム・クロック発振用クリスタル接続。	—	—
X2	—		—	—
XT1	入 力	サブシステム・クロック発振用クリスタル接続。	—	—
XT2	—		—	—
V _{DD0}	—	ポート部の正電源。	—	—
V _{DD1}	—	正電源 (ポート部を除く)。	—	—
V _{SS0}	—	ポート部のグランド電位。	—	—
V _{SS1}	—	グランド電位 (ポート部を除く)。	—	—
IC	—	内部接続されています。V _{SS0} またはV _{SS1} に直接接続してください。	—	—
NC ^注	—	内部接続されていません。オープンにしてください。	—	—
V _{PP}	—	プログラム書き込み/ベリファイ時の高電圧印加。	—	—

注 NC端子は、73ピン・プラスチックFBGAのみ。

4.2 端子機能の説明

4.2.1 P00-P03(Port0)

4ビットの入出力ポートです。入出力ポートのほかに、外部割り込み入力、A/Dコンバータの外部トリガ入力があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

4ビットの入出力ポートとして機能します。

P00-P03はポート・モード・レジスタ0 (PM0) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、A/Dコンバータの外部トリガ入力として機能します。

(a) INTP0-INTP3

INTP0-INTP3は、有効エッジ (立ち上がりエッジ、立ち下がりエッジ、立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) ADTRG

A/Dコンバータの外部トリガ入力端子です。

注意 P03をA/Dコンバータの外部トリガ入力として使用する場合は、A/Dコンバータ・モード・レジスタ (ADM0) のビット1, 2 (EGA00, EGA01) で有効エッジを指定し、割り込みマスク・フラグ (PMK3) を1に設定してください。

4.2.2 P10-P17(Port1)

8ビットの入力専用ポートです。入力ポートのほかにA/Dコンバータのアナログ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入力専用ポートとして機能します。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI0-ANI7) として機能します。

4.2.3 P20-P25 (Port2)

6ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

6ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ2 (PU2) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースSIO30, UART0のデータ入出力、クロック入出力として機能します。

(a) SI30, SO30

シリアル・インタフェースSIO30のシリアル・データの入出力端子です。

(b) $\overline{\text{SCK30}}$

シリアル・インタフェースSIO30のシリアル・クロックの入出力端子です。

(c) RxD0, TxD0

シリアル・インタフェースUART0のシリアル・データの入出力端子です。

(d) ASCK0

シリアル・インタフェースUART0のシリアル・クロックの入力端子です。

4.2.4 P30-P36 (Port3)

7ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースIIC0のデータ入出力、クロック入出力機能があります。

P30-P33はLEDを直接駆動可能です。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

7ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) により、1ビット単位で入力ポートまたは出力ポートに指定できます。P30-P33はN-chオープン・ドレインになっています。マスクROM製品は、マスク・オプションにより、P30, P31にプルアップ抵抗の内蔵ができます。

P34-P36は、プルアップ抵抗オプション・レジスタ3 (PU3) により、内蔵プルアップ抵抗を使用できません。

(2) コントロール・モード

シリアル・インタフェースIIC0のデータ入出力、クロック入出力として機能します。

(a) SDA0

シリアル・インタフェースIIC0のシリアル・データの入出力端子です。

(b) SCL0

シリアル・インタフェースIIC0のシリアル・クロックの入出力端子です。

4.2.5 P40-P47(Port4)

8ビットの入出力ポートです。入出力ポートのほかにアドレス/データ・バス機能があります。

立ち下がりエッジの検出により、割り込み要求フラグ (KRIF) を1にセットできます。

1ビット単位で次のような動作モードを指定できます。

注意 立ち下がりエッジ検出割り込み (INTKR) を使用する場合、メモリ拡張モード・レジスタ (MEM) を必ず01Hに設定してください。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ4 (PM4) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ4 (PU4) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部メモリ拡張モード時の下位アドレス/データ・バス端子 (AD0-AD7) として機能します。

4.2.6 P50-P57(Port5)

8ビットの入出力ポートです。入出力ポートのほかにアドレス・バス機能があります。

LEDを直接駆動可能です。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ5 (PM5) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ5 (PU5) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部メモリ拡張モード時の上位アドレス・バス端子 (A8-A15) として機能します。

4.2.7 P64-P67 (Port6)

4ビットの入出力ポートです。入出力ポートのほかに外部メモリ拡張モード時の制御機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ6 (PM6) により、1ビット単位で入力ポートまたは出力ポートに指定できます。

プルアップ抵抗オプション・レジスタ6 (PU6) により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部メモリ拡張モード時の制御信号出力端子 (\overline{RD} , \overline{WR} , \overline{WAIT} , ASTB) として機能します。

注意 外部メモリ拡張モード時で外部ウエイトを使用しないときは、P66を入出力ポートとして使用できません。

4.2.8 P70-P75 (Port7)

6ビットの入出力ポートです。入出力ポートのほかにタイマの入出力、クロック出力、ブザー出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

6ビットの入出力ポートとして機能します。ポート・モード・レジスタ7 (PM7) により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ7 (PU7) により、内蔵プルアップ抵抗を使用できます。また、P70, P71は、有効エッジの入力により、16ビット・タイマ/イベント・カウンタ0のキャプチャ・トリガ信号入力端子にもなります。

(2) コントロール・モード

タイマの入出力、クロック出力、ブザー出力として機能します。

(a) TI00

16ビット・タイマ/イベント・カウンタ0への外部カウント・クロック入力端子および16ビット・タイマ/イベント・カウンタのキャプチャ・レジスタ (CR00, CR01) へのキャプチャ・トリガ信号入力端子です。

(b) TI01

16ビット・タイマ/イベント・カウンタ0のキャプチャ・レジスタ (CR00) へのキャプチャ・トリガ信号入力端子です。

(c) TI50, TI51

8ビット・タイマ/イベント・カウンタ50, 51への外部カウント・クロック入力端子です。

(d) TO0, TO50, TO51

タイマ出力端子です。

(e) PCL

クロック出力端子です。

(f) BUZ

ブザー出力端子です。

4.2.9 AVREF

A/Dコンバータの基準電圧入力端子です。

A/Dコンバータを使用しない場合は、V_{SS0}またはV_{SS1}に直接接続してください。

4.2.10 AVDD

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常にV_{DD0}端子またはV_{DD1}端子と同電位で使用してください。

4.2.11 AVSS

A/Dコンバータのグラウンド電位端子です。A/Dコンバータを使用しないときでも、常にV_{SS0}端子またはV_{SS1}端子と同電位で使用してください。

4.2.12 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

4.2.13 NC

NC (Non-connection) は内部接続をしていません。オープンにしてください。

4.2.14 X1, X2

メイン・システム・クロック発振用水晶／セラミック振動子接続端子です。

外部クロックを供給するときは、X1に入力し、X2にその反転信号を入力してください。

4.2.15 XT1, XT2

サブシステム・クロック発振用水晶振動子接続端子です。

外部クロックを供給するときは、XT1に入力し、XT2にその反転信号を入力してください。

4.2.16 VDD0, VDD1

V_{DD0}は、ポート部の正電源供給端子です。

V_{DD1}は、ポート部以外の正電源供給端子です。

4.2.17 VSS0, VSS1

V_{SS0}は、ポート部のグラウンド電位端子です。

V_{SS1}は、ポート部以外のグラウンド電位端子です。

4.2.18 VPP(フラッシュ・メモリ製品のみ)

フラッシュ・メモリ・プログラミング・モード設定およびプログラム書き込み／ベリファイ時の高電圧印加端子です。

次のどちらかの端子処理をしてください。

- ・個別に10 kΩのプルダウン抵抗を接続する。
- ・ボード上のジャンパで、プログラミング・モード時は専用フラッシュ・ライターに、通常動作モード時はV_{SS0}またはV_{SS1}に直接接続するように切り替える。

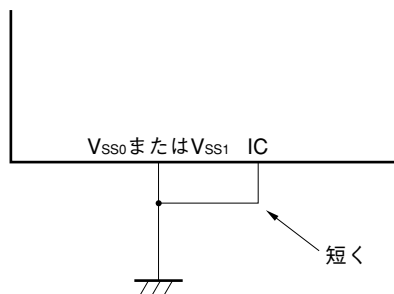
V_{PP}端子とV_{SS0}端子またはV_{SS1}端子間の配線の引き回しが長い場合や、V_{PP}端子に外来ノイズが加わった場合などで、V_{PP}端子とV_{SS0}端子またはV_{SS1}端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

4.2.19 IC(マスクROM製品のみ)

IC (Internally Connected) 端子は、当社出荷時にμPD780024AY, 780034AYサブシリーズを検査するためのテスト・モードに設定するための端子です。通常動作モード時には、IC端子をV_{SS0}端子またはV_{SS1}端子に直接接続し、その配線長を極力短くしてください。

IC端子とV_{SS0}端子またはV_{SS1}端子間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子とV_{SS0}端子またはV_{SS1}端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

○IC端子をV_{SS0}端子またはV_{SS1}端子に直接接続してください。



4.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表4-1に示します。

また、各タイプの入出力回路の構成は、図4-1を参照してください。

表4-1 各端子の入出力回路タイプ

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/INTP0-P02/INTP2	8-C	入出力	入力時：個別に抵抗を介して、V _{SS0} またはV _{SS1} に接続してください。 出力時：オープンにしてください。
P03/INTP3/ADTRG			
P10/ANI0-P17/ANI7	25	入力	V _{DD0} , V _{DD1} , V _{SS0} , V _{SS1} のいずれかに直接接続してください。
P20/SI30	8-C	入出力	入力時：個別に抵抗を介して、V _{DD0} , V _{DD1} , V _{SS0} , V _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P21/SO30			
P22/SCK30	8-C		
P23/RxD0			
P24/TxD0	5-H		
P25/ASCK0	8-C		
P30, P31 (マスクROM製品)	13-Q		入力時：V _{SS0} またはV _{SS1} に直接接続してください。 出力時：ポートの出力ラッチに0を設定して、ロウ・レベル出力でオープンにしてください。
P30, P31 (フラッシュ・メモリ製品)	13-P		
P32/SDA0	13-R		
P33/SCL0			
P34	8-C		入力時：個別に抵抗を介して、V _{DD0} , V _{DD1} , V _{SS0} , V _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P35	5-H		
P36	8-C		
P40/AD0-P47/AD7	5-H		入力時：個別に抵抗を介して、V _{DD0} またはV _{DD1} に接続してください。 出力時：オープンにしてください。
P50/A8-P57/A15	5-H		入力時：個別に抵抗を介して、V _{DD0} , V _{DD1} , V _{SS0} , V _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P64/ \overline{RD}			
P65/ \overline{WR}			
P66/ \overline{WAIT}			
P67/ASTB			
P70/TI00/TO0	8-C		
P71/TI01			
P72/TI50/TO50			
P73/TI51/TO51			
P74/PCL	5-H		
P75/BUZ			
\overline{RESET}	2	入力	—
NC ^注	—	—	オープンにしてください。
XT1	16	入力	V _{DD0} またはV _{DD1} に直接接続してください。
XT2		—	オープンにしてください。
AV _{DD}	—		V _{DD0} またはV _{DD1} に直接接続してください。
AV _{REF}			V _{SS0} またはV _{SS1} に直接接続してください。
AV _{SS}			
IC (マスクROM製品)			
V _{PP} (フラッシュ・メモリ製品)			個別に10 kΩのプルダウン抵抗を接続するか、V _{SS0} またはV _{SS1} に直接接続してください。

注 NC端子は、73ピン・プラスチックFBGAのみ。

図4-1 端子の入出力回路一覧 (1/2)

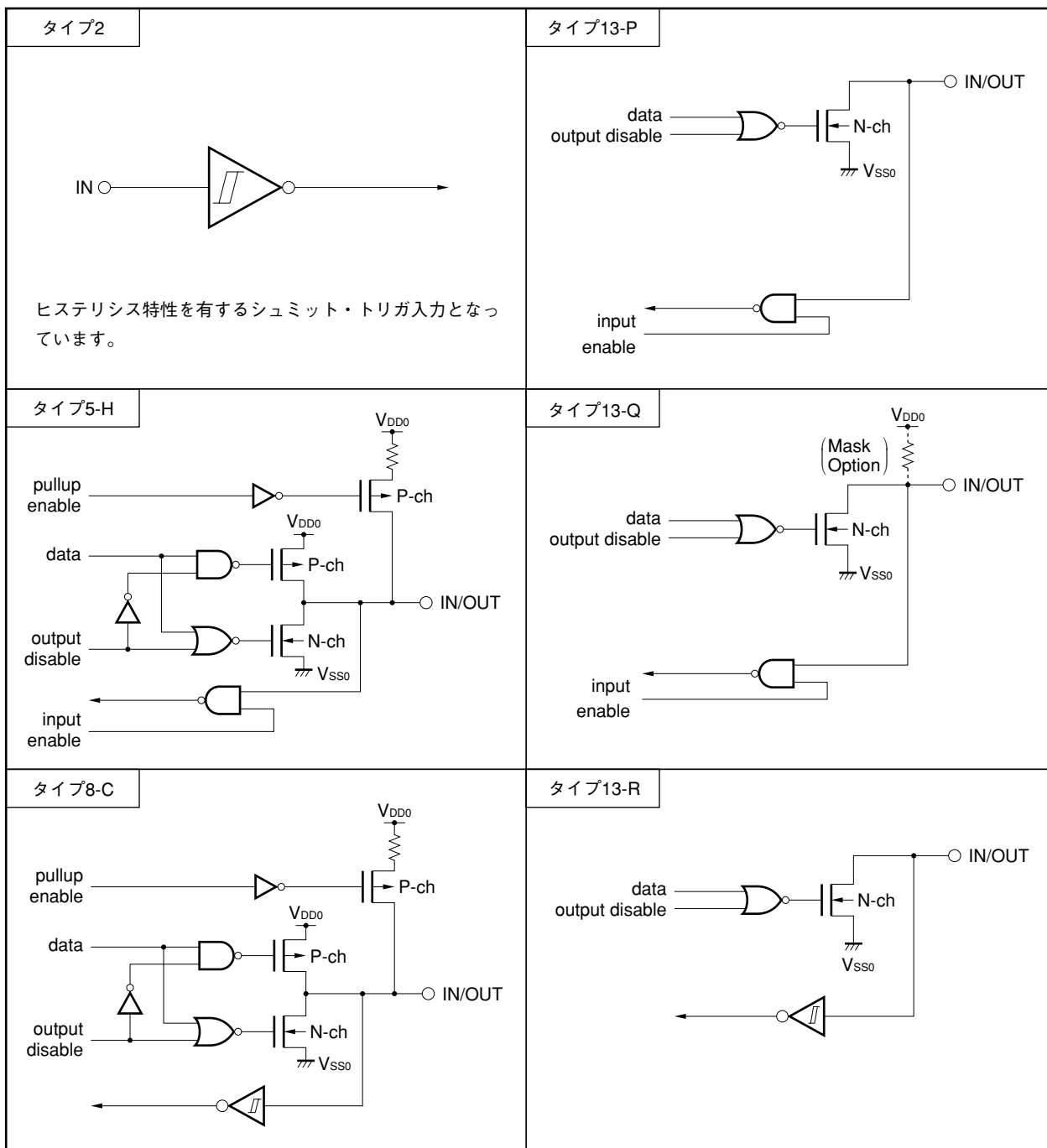
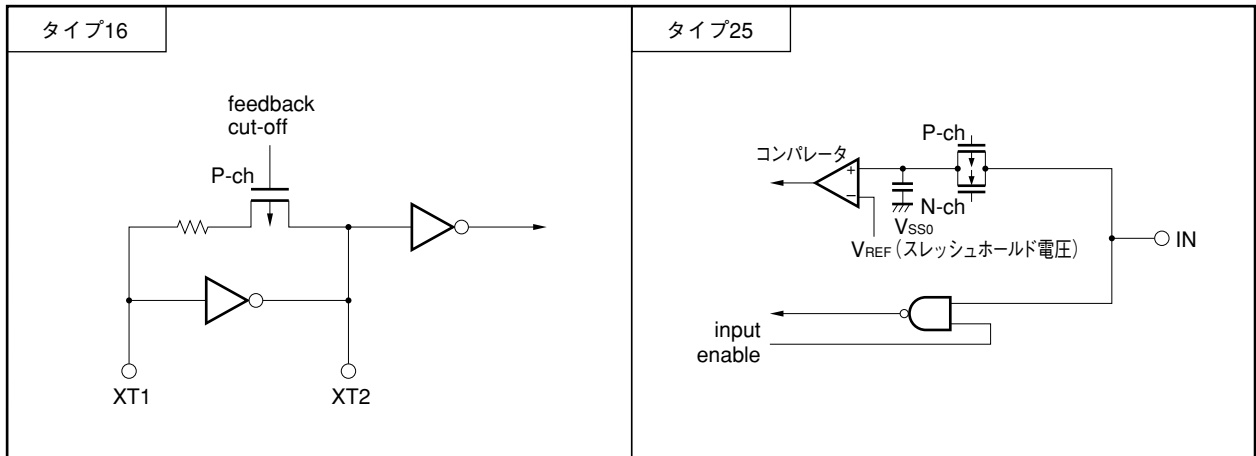


図4-1 端子の入出力回路一覧 (2/2)



第5章 CPUアーキテクチャ

5.1 メモリ空間

μ PD780024A, 780034A, 780024AY, 780034AYサブシリーズは、それぞれ64 Kバイトのメモリ空間をアクセスできます。図5-1から図5-5に、メモリ・マップを示します。

注意 メモリ・サイズ切り替えレジスタ (IMS) の初期値は、内部メモリ容量にかかわらず、 μ PD780024A, 780034A, 780024AY, 780034AYサブシリーズすべての製品において一定 (IMS = CFH) となっています。したがって、初期設定で各製品ごとに次に示す値を設定して使用してください。

μ PD780021A, 780031A, 780021AY, 780031AY : 42H

μ PD780022A, 780032A, 780022AY, 780032AY : 44H

μ PD780023A, 780033A, 780023AY, 780033AY : C6H

μ PD780024A, 780034A, 780024AY, 780034AY : C8H

μ PD78F0034A, 78F0034B, 78F0034AY, 78F0034BY : マスクROM製品に対応した値

図5-1 メモリ・マップ (μPD780021A, 780031A, 780021AY, 780031AY)

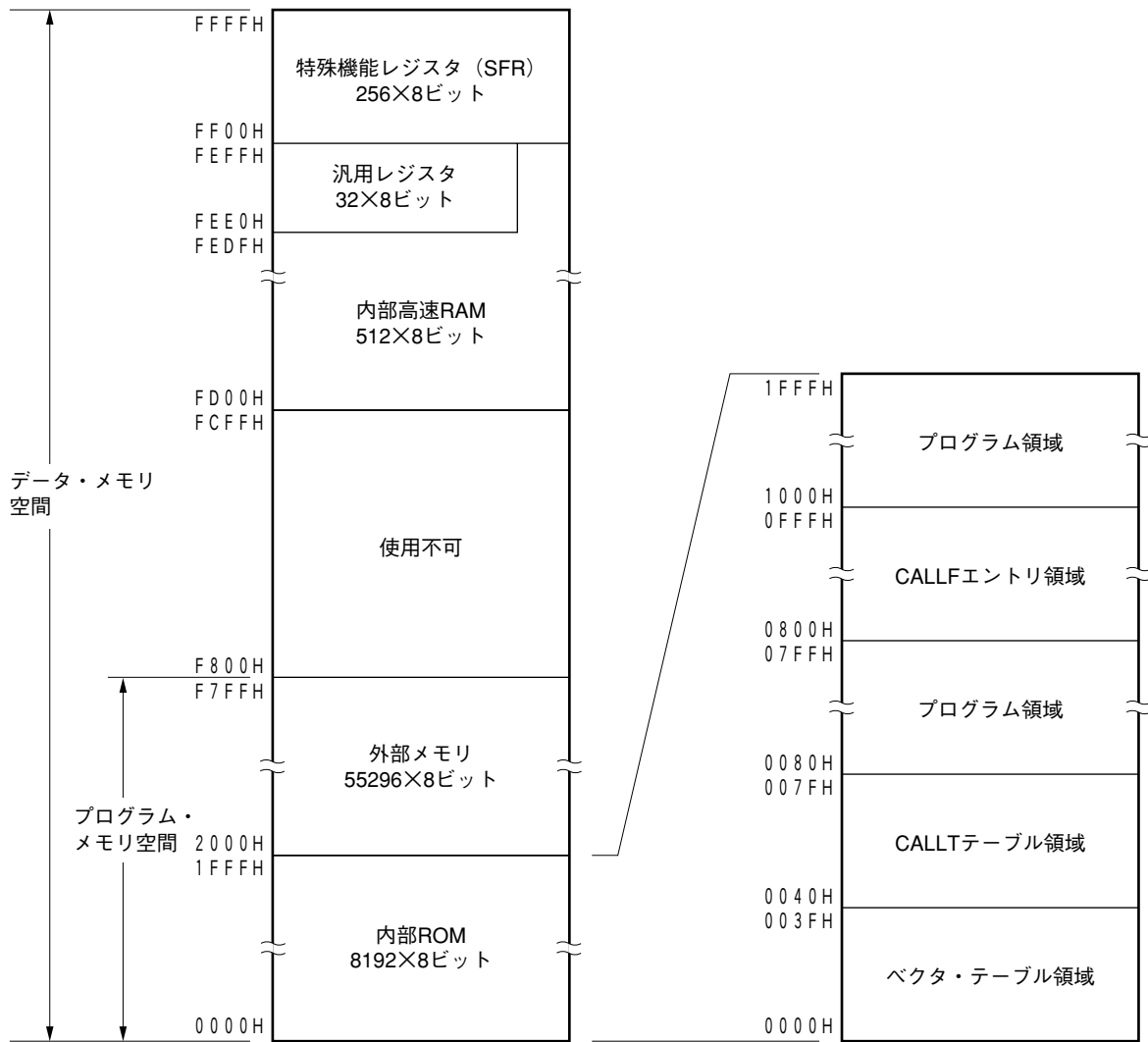


図5-2 メモリ・マップ (μPD780022A, 780032A, 780022AY, 780032AY)

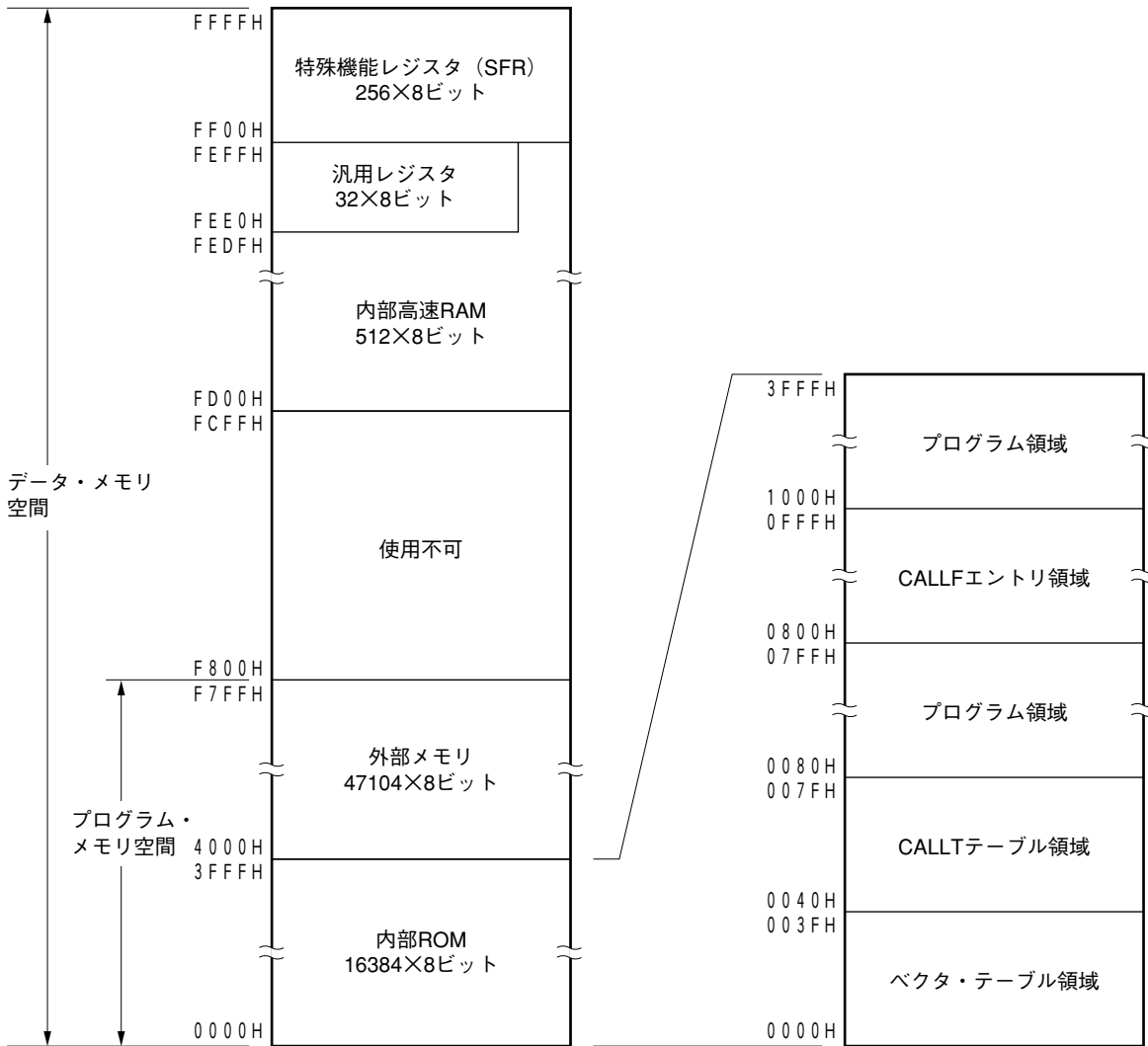


図5-3 メモリ・マップ (μPD780023A, 780033A, 780023AY, 780033AY)

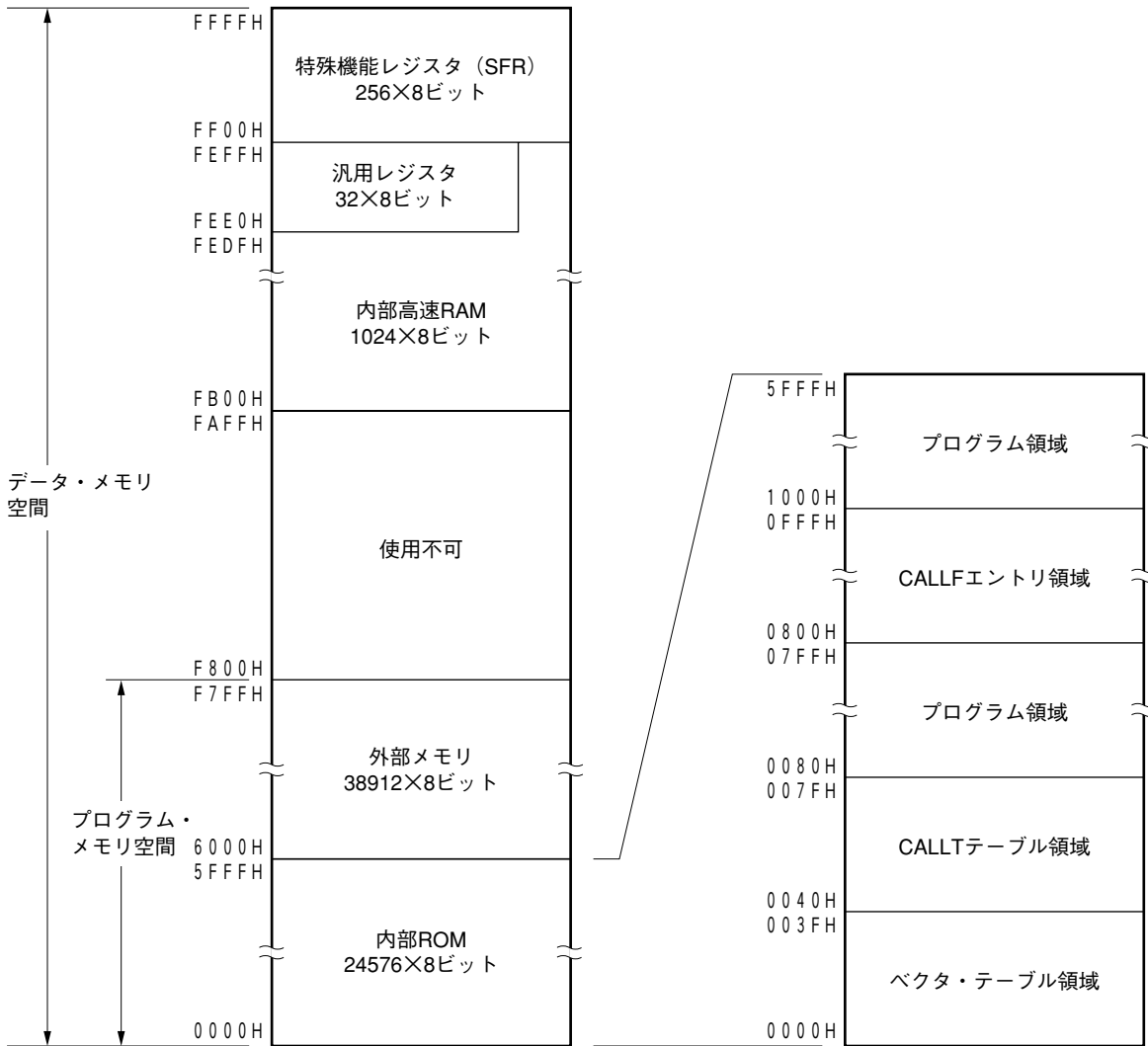


図5-4 メモリ・マップ (μPD780024A, 780034A, 780024AY, 780034AY)

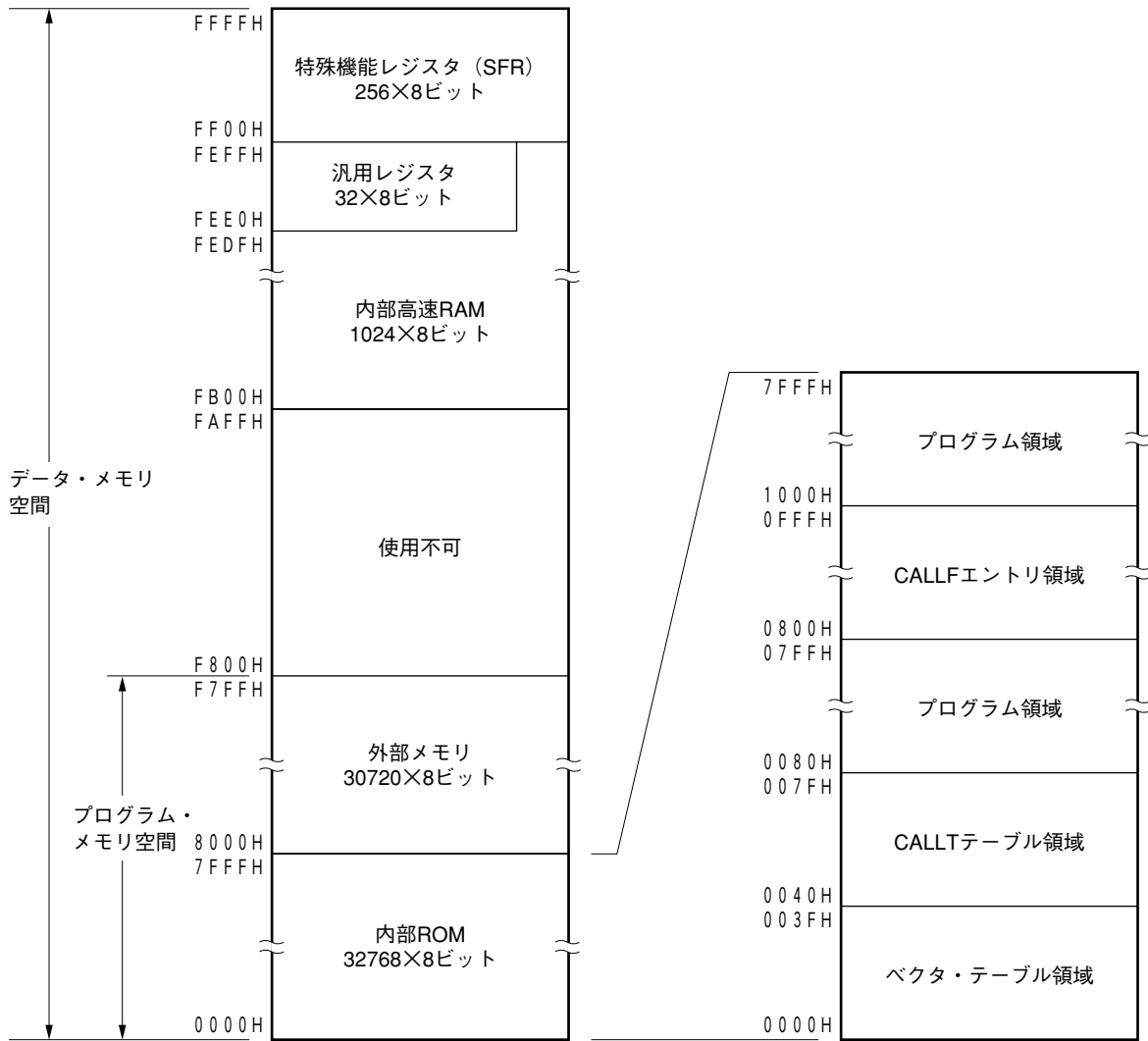
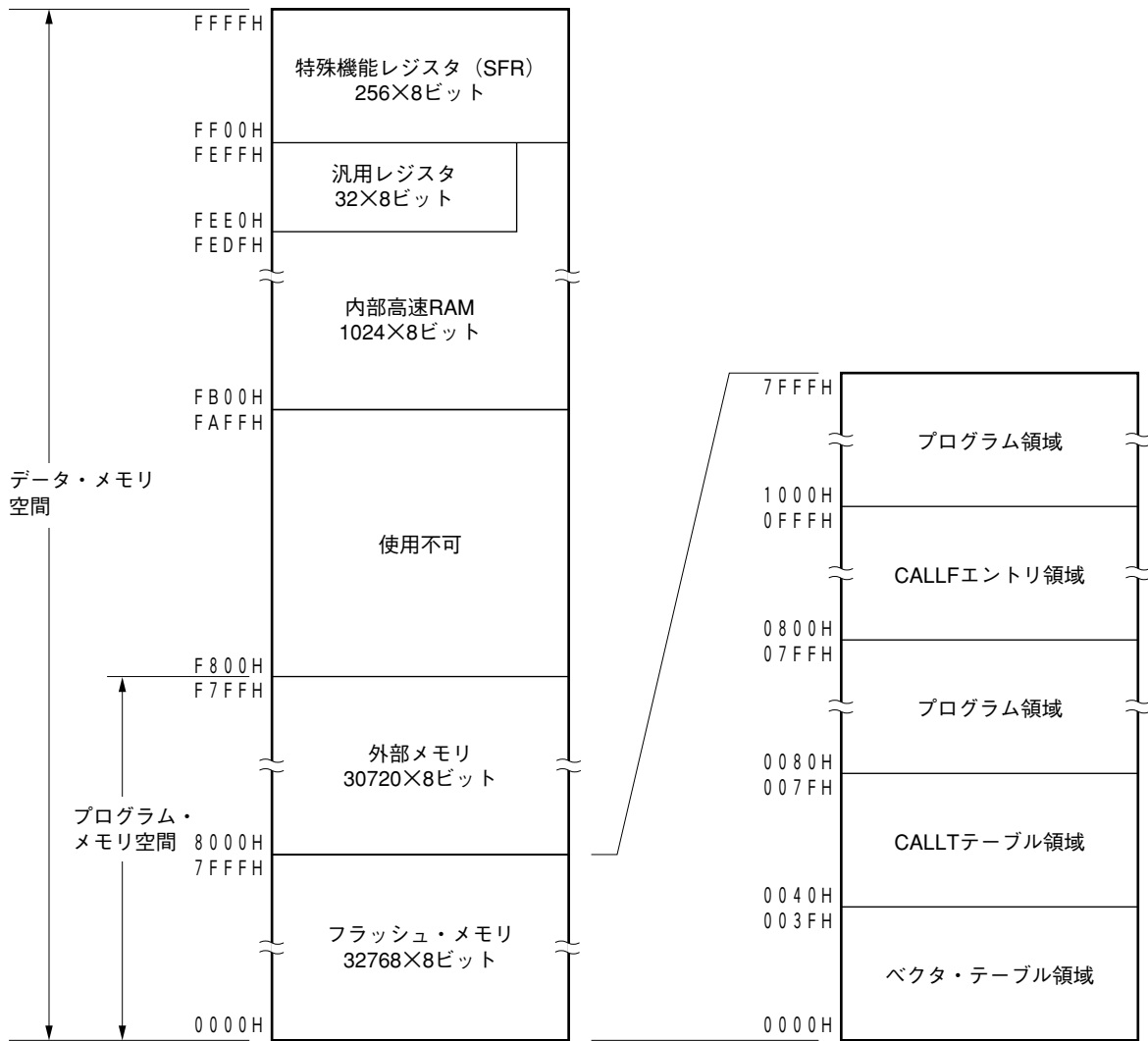


図5-5 メモリ・マップ (μPD78F0034A, 78F0034B, 78F0034AY, 78F0034BY)



5.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなど格納します。通常、プログラム・カウンタ（PC）でアドレスします。

μPD780024A, 780034A, 780024AY, 780034AYサブシリーズは、各製品ごとに次に示す内部ROM(マスクROMまたはフラッシュ・メモリ)を内蔵しています。

表 5-1 内部ROM容量

製 品	構 造	容 量
μPD780021A, 780031A, 780021AY, 780031AY	マスクROM	8192×8ビット (0000H-1FFFH)
μPD780022A, 780032A, 780022AY, 780032AY		16384×8ビット (0000H-3FFFH)
μPD780023A, 780033A, 780023AY, 780033AY		24576×8ビット (0000H-5FFFH)
μPD780024A, 780034A, 780024AY, 780034AY		32768×8ビット (0000H-7FFFH)
μPD78F0034A, 78F0034B, 78F0034AY, 78F0034BY	フラッシュ・メモリ	32768×8ビット (0000H-7FFFH)

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、RESET入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表 5-2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	ベクタ・テーブル・アドレス	割り込み要因
0000H	RESET入力	0018H	INTIIC0 ^{注2}
0004H	INTWDT	001AH	INTWTI
0006H	INTP0	001CH	INTTM00
0008H	INTP1	001EH	INTTM01
000AH	INTP2	0020H	INTTM50
000CH	INTP3	0022H	INTTM51
000EH	INTSERO	0024H	INTAD0
0010H	INTSR0	0026H	INTWT
0012H	INTSTO	0028H	INTKR
0014H	INTCSI30	003EH	BRK
0016H	INTCSI31 ^{注1}		

注1. μPD780024A, 780034Aサブシリーズのみ

2. μPD780024AY, 780034AYサブシリーズのみ

(2) CALLT命令テーブル領域

0040H-007FHの64バイト領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納できます。

(3) CALLF命令エントリ領域

0800H-0FFFHの領域は、2バイト・コール命令（CALLF）で直接サブルーチン・コールできます。

5.1.2 内部データ・メモリ空間

μPD780024A, 780034A, 780024AY, 780034AYサブシリーズは、次に示す内部高速RAMを内蔵しています。

表5-3 内部高速RAM容量

製 品	内部高速RAM
μPD780021A, 780031A, 780021AY, 780031AY	512×8ビット (FD00H-FEFFFH)
μPD780022A, 780032A, 780022AY, 780032AY	
μPD780023A, 780033A, 780023AY, 780033AY	1024×8ビット (FB00H-FEFFFH)
μPD780024A, 780034A, 780024AY, 780034AY	
μPD78F0034A, 78F0034B, 78F0034AY, 78F0034BY	

このうちFEE0H-FEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。

プログラム領域として命令を書いて実行することはできません。

また、内部高速RAMはスタック・メモリとしても使用できます。

5.1.3 特殊機能レジスタ(SFR: Special Function Register)領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ(SFR)が割り付けられています

(5.2.3 特殊機能レジスタ(SFR: Special Function Register)の表5-5 特殊機能レジスタ一覧参照)。

注意 SFRを割り付けていないアドレスをアクセスしないでください。

5.1.4 外部メモリ空間

メモリ拡張モード・レジスタ(MEM)の設定によりアクセスが可能な外部メモリ空間です。プログラム、テーブル・データなどの格納、および周辺デバイスを割り付けることができます。

5.1.5 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定する方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、 μ PD780024A, 780034A, 780024AY, 780034AYサブシリーズでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ (SFR) や汎用レジスタなど、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図5-6から図5-10にデータ・メモリとアドレッシングの対応を示します。各アドレッシングの詳細については、5.4 オペランド・アドレスのアドレッシングを参照してください。

図5-6 データ・メモリとアドレッシングの対応 (μ PD780021A, 780031A, 780021AY, 780031AY)

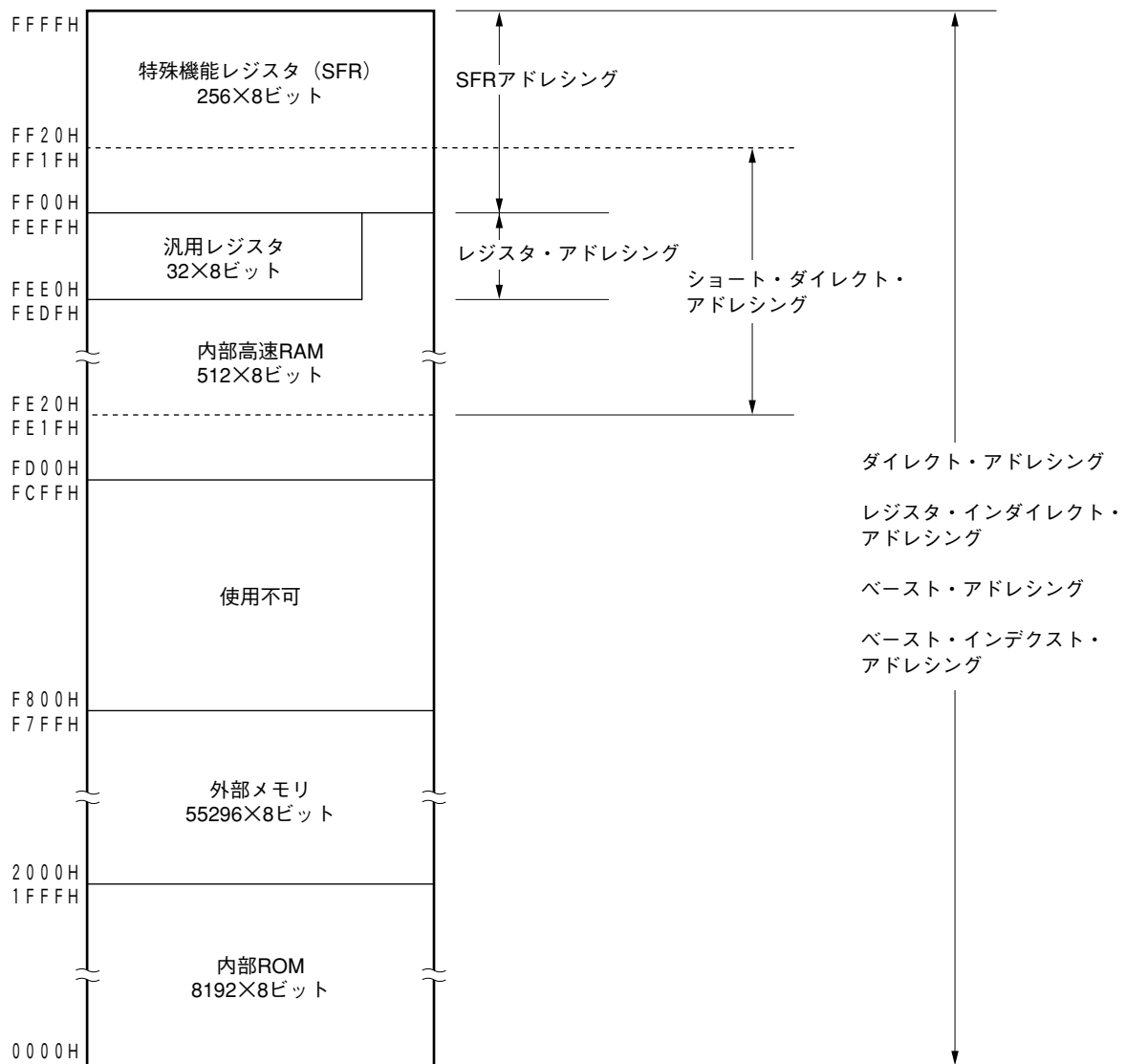


図5-7 データ・メモリとアドレッシングの対応 (μPD780022A, 780032A, 780022AY, 780032AY)

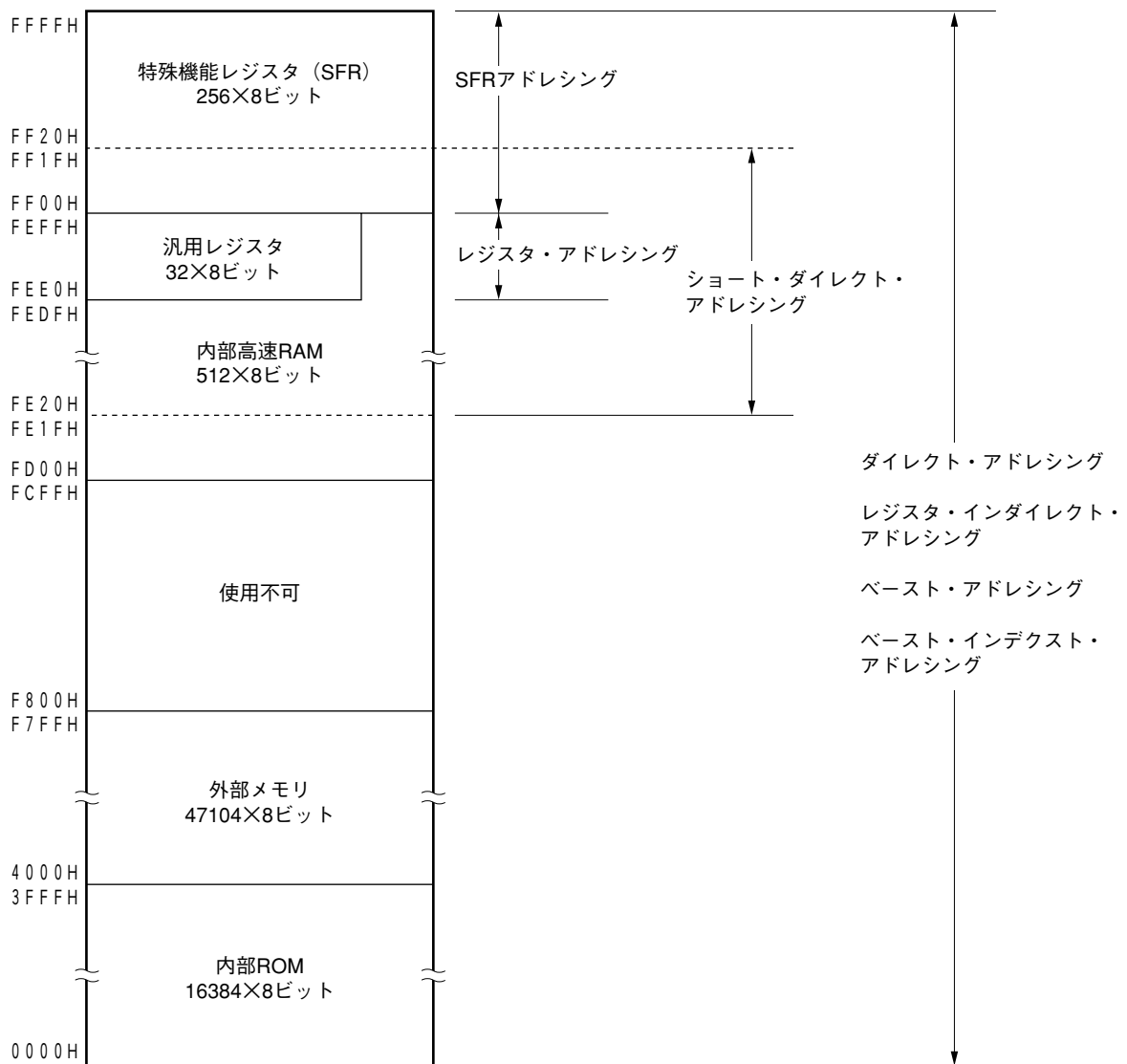


図5-8 データ・メモリとアドレッシングの対応 (μPD780023A, 780033A, 780023AY, 780033AY)

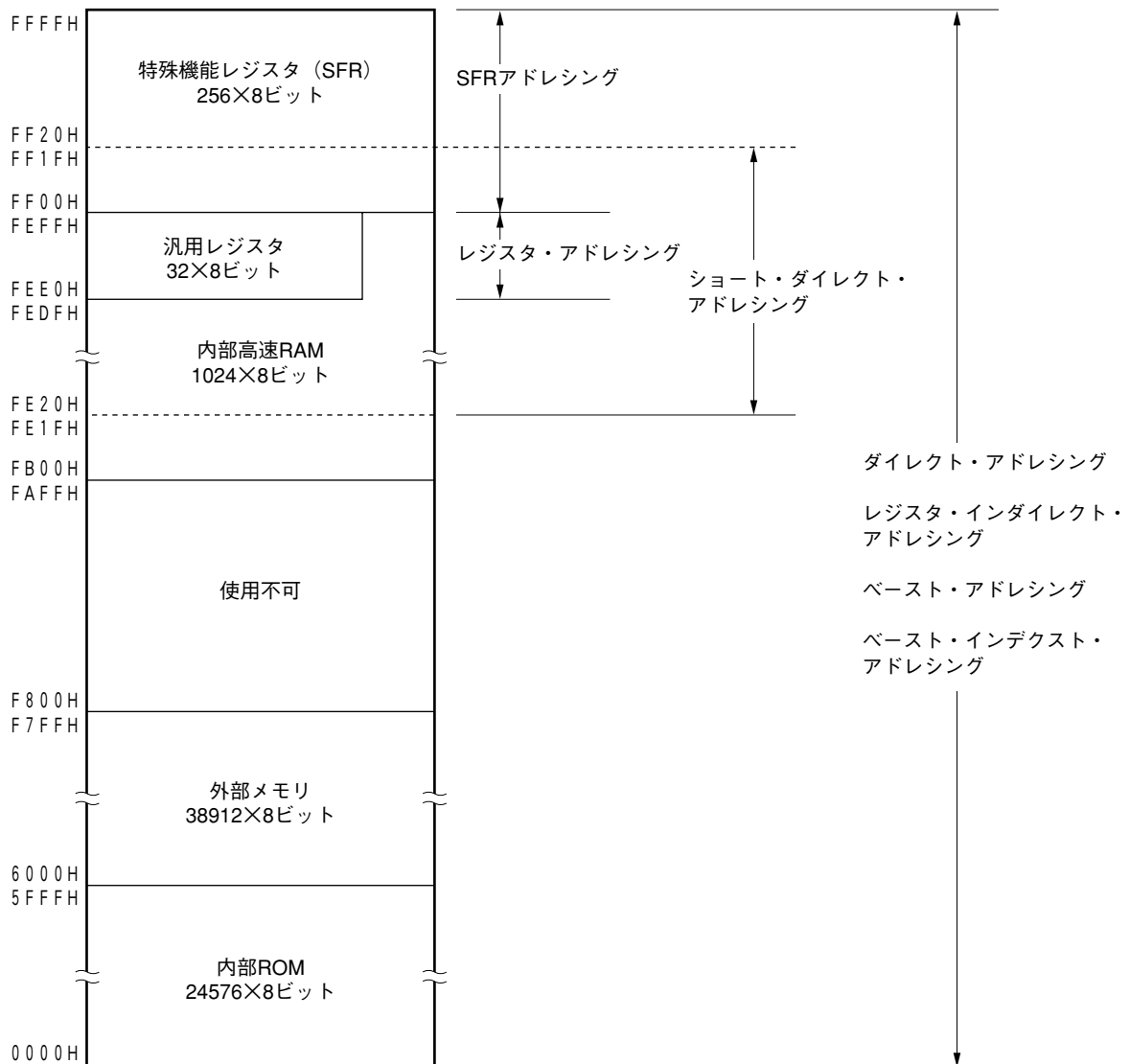


図5-9 データ・メモリとアドレッシングの対応 (μPD780024A, 780034A, 780024AY, 780034AY)

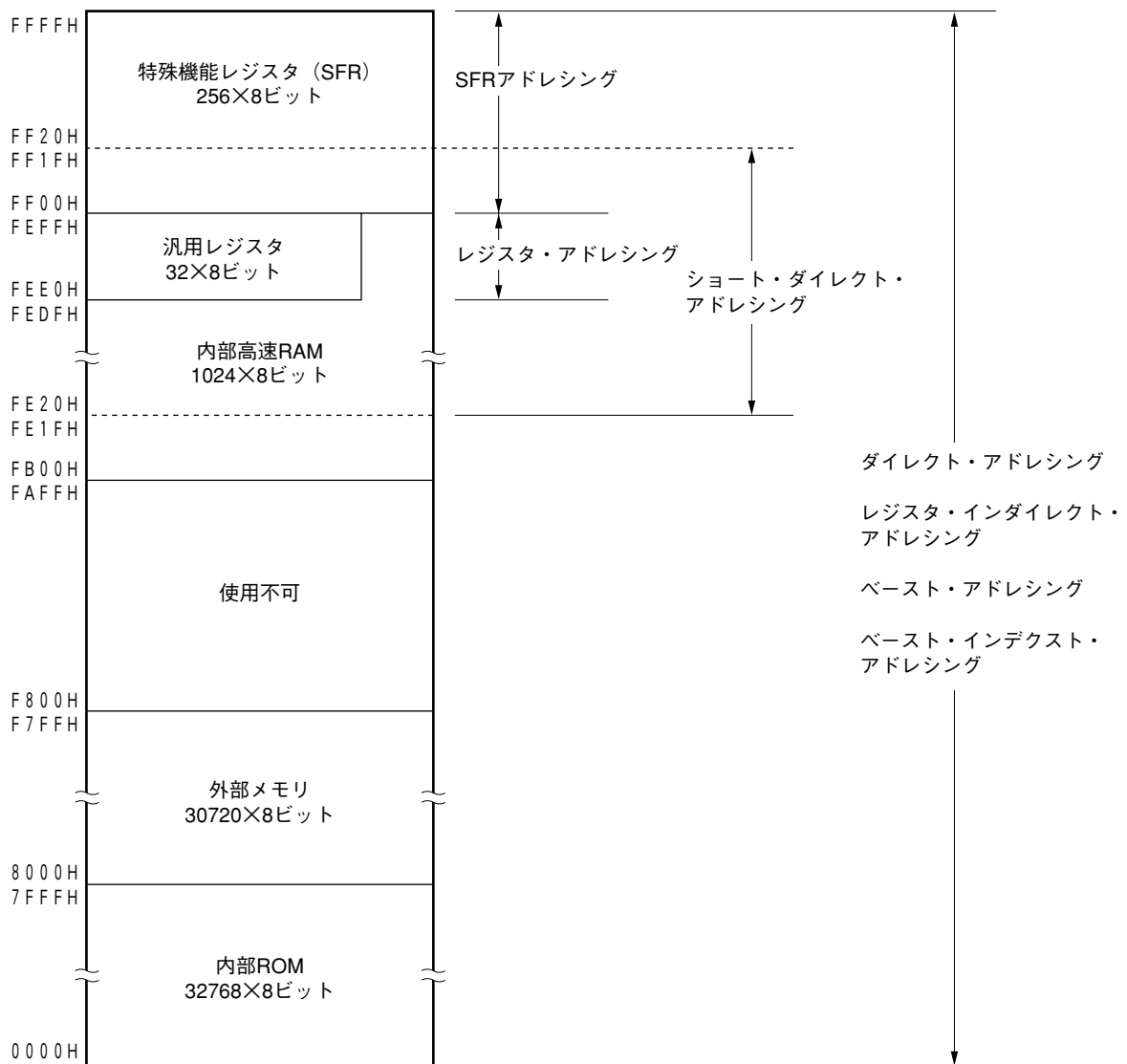
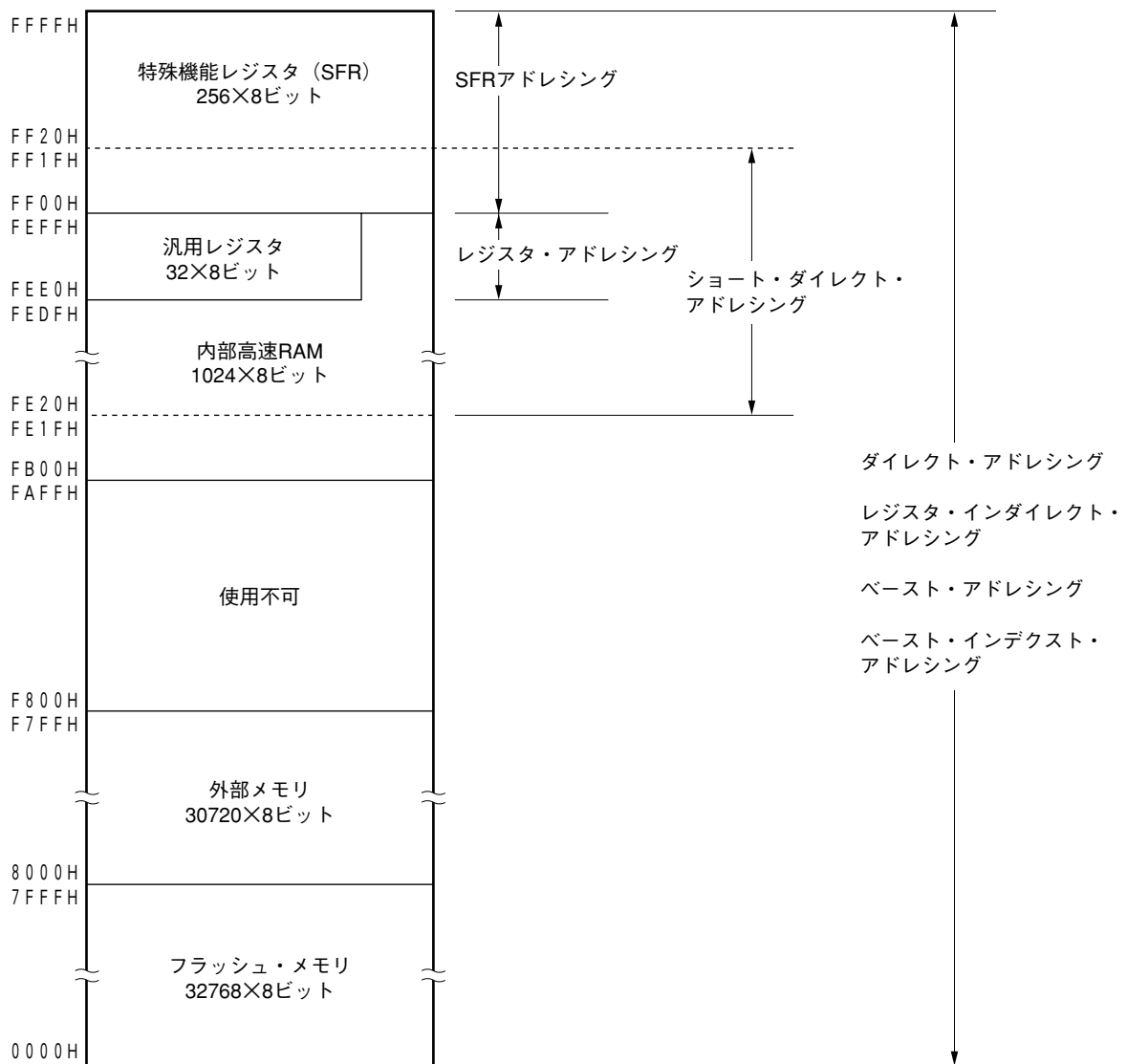


図5-10 データ・メモリとアドレッシングの対応 (μPD78F0034A, 78F0034B, 78F0034AY, 78F0034BY)



5.2 プロセッサ・レジスタ

μPD780024A, 780034A, 780024AY, 780034AYサブシリーズは、次のプロセッサ・レジスタを内蔵しています。

5.2.1 制御レジスタ

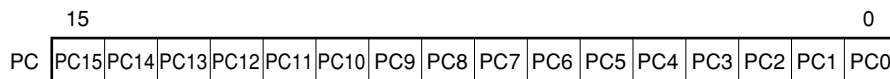
プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ (PC)、プログラム・ステータス・ワード (PSW)、スタック・ポインタ (SP) があります。

(1) プログラム・カウンタ(PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

RESET入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図5-11 プログラム・カウンタの構成



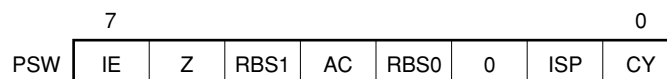
(2) プログラム・ステータス・ワード(PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETB, RETI命令およびPOP PSW命令の実行時に自動的に復帰されます。

RESET入力により、02Hになります。

図5-12 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ(IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、ノンマスカブル割り込み以外の割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このとき割り込み要求の受け付けは、インサービス・プライオリティ・フラグ (ISP)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット (0) され、EI命令の実行によりセット (1) されます。

(b) ゼロ・フラグ(Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ(RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ(AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのポローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

(e) インサースビス・プライオリティ・フラグ(ISP)

受け付け可能なマスカブル・ベクタ割り込みの優先順位を管理するフラグです。ISP = 0のときは優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L) (19.3 (3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L) 参照) で低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

(f) キャリー・フラグ(CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

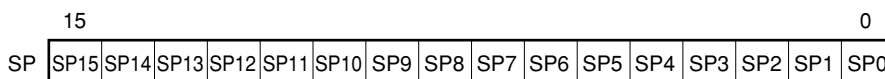
(3) スタック・ポインタ(SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。各製品の内部高速RAM領域は次のとおりです。

表 5-4 内部高速RAM領域

製 品	内部高速RAM領域
μPD780021A, 780031A, 780021AY, 780031AY	FD00H-FEFFFH
μPD780022A, 780032A, 780022AY, 780032AY	
μPD780023A, 780033A, 780023AY, 780033AY	FB00H-FEFFFH
μPD780024A, 780034A, 780024AY, 780034AY	
μPD78F0034A, 78F0034B, 78F0034AY, 78F0034BY	

図 5-13 スタック・ポインタの構成

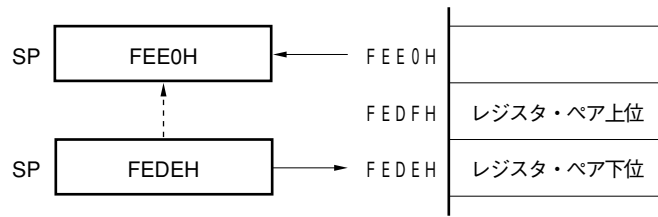


スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

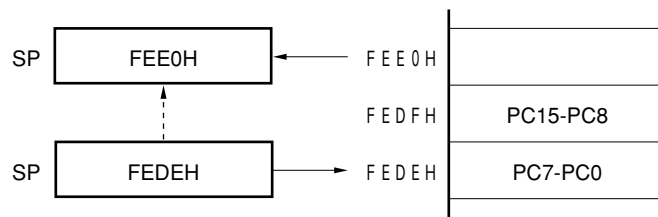
各スタック動作によって退避/復帰されるデータは図 5-14, 5-15 のようになります。

図5-15 スタック・メモリから復帰されるデータ

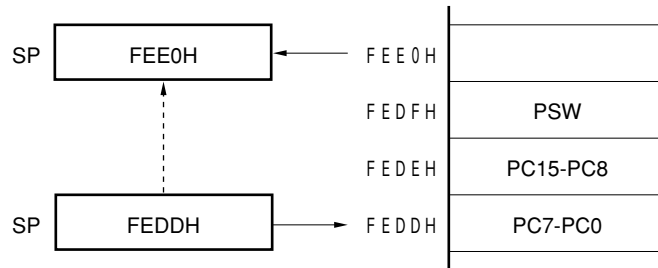
(a) POP rp命令 (SPがFEDEHの場合)



(b) RET命令 (SPがFEDEHの場合)



(c) RETI, RETB命令 (SPがFEDDHの場合)



5.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地 (FEE0H-FEFFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

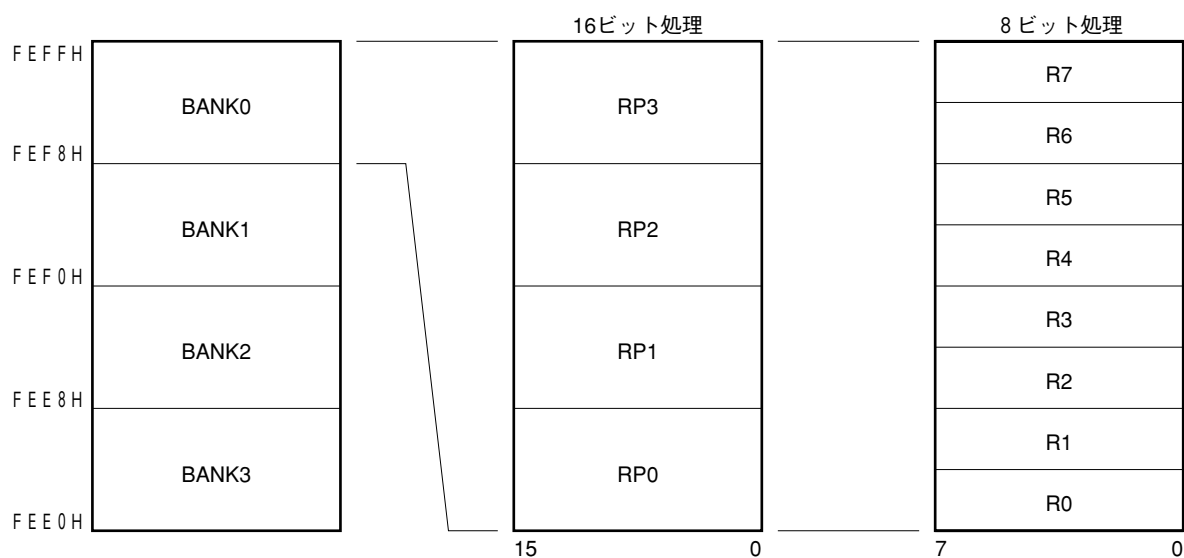
各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

また、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほか、絶対名称 (R0-R7, RP0-RP3) でも記述できます。

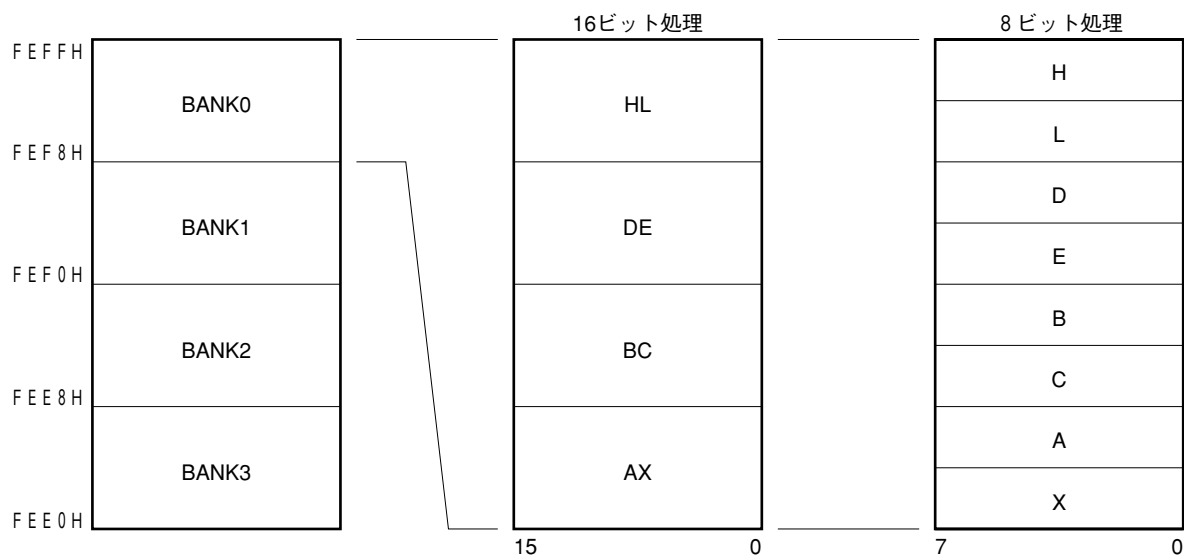
命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL RBn) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

図5-16 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



5.2.3 特殊機能レジスタ(SFR : Special Function Register)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの領域に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は、各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド（sfr.bit）にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 8ビット操作

8ビット操作命令のオペランド（sfr）にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド（sfrp）にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表5-5に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

- ★ 特殊機能レジスタのアドレスを示す略号です。RA78K0で予約語に、CC78K0では#pragma sfr指令で、sfr変数として定義されているものです。RA78K0, ID78K0-NS, ID78K0およびSM78K0使用時に命令のオペランドとして記述できます。

- R/W

該当する特殊機能レジスタが読み出し（Read）／書き込み（Write）可能かどうかを示します。

R/W : 読み出し／書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位（1, 8, 16）を○で示します。－は操作できないビット単位であることを示します。

- リセット時

RESET入力時の各レジスタの状態を示します。

表5-5 特殊機能レジスタ一覧 (1/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット単位			リセット時	
					1ビット	8ビット	16ビット		
FF00H	ポート0	P0		R/W	○	○	—	00H	
FF01H	ポート1	P1		R	○	○	—		
FF02H	ポート2	P2		R/W	○	○	—		
FF03H	ポート3	P3			○	○	—		
FF04H	ポート4	P4			○	○	—		
FF05H	ポート5	P5			○	○	—		
FF06H	ポート6	P6			○	○	—		
FF07H	ポート7	P7			○	○	—		
FF0AH	16ビット・タイマ・キャプチャ/コンペア・レジスタ00	CR00		R/W	—	—	○	不定	
FF0BH									
FF0CH	16ビット・タイマ・キャプチャ/コンペア・レジスタ01	CR01					○		
FF0EH	16ビット・タイマ・カウンタ0	TM0		R	—	—	○	0000H	
FF0FH									
FF10H	8ビット・タイマ・コンペア・レジスタ50	CR50		R/W	—	○	—	不定	
FF11H	8ビット・タイマ・コンペア・レジスタ51	CR51							
FF12H	8ビット・タイマ・カウンタ50	TM5	TM50	R	—	○	○	00H	
FF13H	8ビット・タイマ・カウンタ51		TM51		—	○			
FF16H	A/D変換結果レジスタ0	ADCR0				—	—		○注2
FF17H						—	○注1		
FF18H	送信シフト・レジスタ0	TXS0		W	—	○	—	FFH	
	受信バッファ・レジスタ0	RXB0		R	—	○	—		
FF1AH	シリアルI/Oシフト・レジスタ30	SIO30		R/W	—	○	—	不定	
FF1BH	シリアルI/Oシフト・レジスタ31注3	SIO31							
FF1FH	IICシフト・レジスタ0注4	IIC0							00H
FF20H	ポート・モード・レジスタ0	PM0		R/W	○	○	—	FFH	
FF22H	ポート・モード・レジスタ2	PM2			○	○	—		
FF23H	ポート・モード・レジスタ3	PM3			○	○	—		
FF24H	ポート・モード・レジスタ4	PM4			○	○	—		
FF25H	ポート・モード・レジスタ5	PM5			○	○	—		
FF26H	ポート・モード・レジスタ6	PM6			○	○	—		
FF27H	ポート・モード・レジスタ7	PM7			○	○	—		

注1. μPD780024A, 780024AYサブシリーズのみ

2. μPD780034A, 780034AYサブシリーズのみ, 16ビット・アクセス可能です。

3. μPD780024A, 780034Aサブシリーズのみ

4. μPD780024AY, 780034AYサブシリーズのみ

表5-5 特殊機能レジスタ一覧 (2/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時	
				1ビット	8ビット	16ビット		
FF30H	プルアップ抵抗オプション・レジスタ0	PU0	R/W	○	○	—	00H	
FF32H	プルアップ抵抗オプション・レジスタ2	PU2		○	○	—		
FF33H	プルアップ抵抗オプション・レジスタ3	PU3		○	○	—		
FF34H	プルアップ抵抗オプション・レジスタ4	PU4		○	○	—		
FF35H	プルアップ抵抗オプション・レジスタ5	PU5		○	○	—		
FF36H	プルアップ抵抗オプション・レジスタ6	PU6		○	○	—		
FF37H	プルアップ抵抗オプション・レジスタ7	PU7		○	○	—		
FF40H	クロック出力選択レジスタ	CKS		○	○	—		
FF41H	時計用タイマ動作モード・レジスタ	WTM		○	○	—		
FF42H	ウォッチドッグ・タイマ・クロック選択レジスタ	WDSCS		—	○	—		
FF47H	メモリ拡張モード・レジスタ	MEM		○	○	—		
FF48H	外部割り込み立ち上がりエッジ許可レジスタ	EGP		○	○	—		
FF49H	外部割り込み立ち下がりエッジ許可レジスタ	EGN		○	○	—		
FF60H	16ビット・タイマ・モード・コントロール・レジスタ0	TMC0		○	○	—		
FF61H	プリスケアラ・モード・レジスタ0	PRM0		—	○	—		
FF62H	キャプチャ/コンペア・コントロール・レジスタ0	CRC0		○	○	—		
FF63H	16ビット・タイマ出力コントロール・レジスタ0	TOC0		○	○	—		
FF70H	8ビット・タイマ・モード・コントロール・レジスタ50	TMC50		○	○	—		
FF71H	タイマ・クロック選択レジスタ50	TCL50		—	○	—		
FF78H	8ビット・タイマ・モード・コントロール・レジスタ51	TMC51		○	○	—		
FF79H	タイマ・クロック選択レジスタ51	TCL51		—	○	—		
FF80H	A/Dコンバータ・モード・レジスタ0	ADM0		○	○	—		
FF81H	アナログ入力チャンネル指定レジスタ0	ADS0		—	○	—		
FFA0H	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	ASIM0		○	○	—		
FFA1H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	ASIS0		R	—	○		—
FFA2H	ボー・レート・ジェネレータ・コントロール・レジスタ0	BRGC0		R/W	—	○		—

表5-5 特殊機能レジスタ一覧 (3/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット単位			リセット時	
					1ビット	8ビット	16ビット		
FFA8H	IICコントロール・レジスタ0 ^{注1}	IICC0		R/W	○	○	—	00H	
FFA9H	IIC状態レジスタ0 ^{注1}	IICS0		R	○	○	—		
FFAAH	IIC転送クロック選択レジスタ0 ^{注1}	IICCL0		R/W	○	○	—		
FFABH	スレーブ・アドレス・レジスタ0 ^{注1}	SVA0			—	○	—		
FFB0H	シリアル動作モード・レジスタ30	CSIM30			○	○	—		
FFB8H	シリアル動作モード・レジスタ31 ^{注2}	CSIM31			○	○	—		
FFE0H	割り込み要求フラグ・レジスタ0L	IF0	IF0L		○	○	○		
FFE1H	割り込み要求フラグ・レジスタ0H		IF0H		○	○			
FFE2H	割り込み要求フラグ・レジスタ1L	IF1L			○	○	—		
FFE4H	割り込みマスク・フラグ・レジスタ0L	MK0	MK0L		○	○	○		FFH
FFE5H	割り込みマスク・フラグ・レジスタ0H		MK0H		○	○			
FFE6H	割り込みマスク・フラグ・レジスタ1L	MK1L			○	○	—		
FFE8H	優先順位指定フラグ・レジスタ0L	PR0	PR0L		○	○	○		
FFE9H	優先順位指定フラグ・レジスタ0H		PR0H		○	○			
FFEAH	優先順位指定フラグ・レジスタ1L	PR1L			○	○	—		
FFF0H	メモリ・サイズ切り替えレジスタ	IMS			—	○	—	CFH ^{注3}	
FFF8H	メモリ拡張ウエイト設定レジスタ	MM			○	○	—	10H	
FFF9H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM			○	○	—	00H	
FFFAH	発振安定時間選択レジスタ	OSTS			—	○	—	04H	
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC			○	○	—		

注1. μ PD780024AY, 780034AYサブシリーズのみ

2. μ PD780024A, 780034Aサブシリーズのみ

3. 初期値はCFHですが、初期設定で各製品ごとに次に示す値を設定して使用してください。

μ PD780021A, 780031A, 780021AY, 780031AY : 42H

μ PD780022A, 780032A, 780022AY, 780032AY : 44H

μ PD780023A, 780033A, 780023AY, 780033AY : C6H

μ PD780024A, 780034A, 780024AY, 780034AY : C8H

μ PD78F0034A, 78F0034B, 78F0034AY, 78F0034BY : マスクROM製品に対応した値

5.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください）。

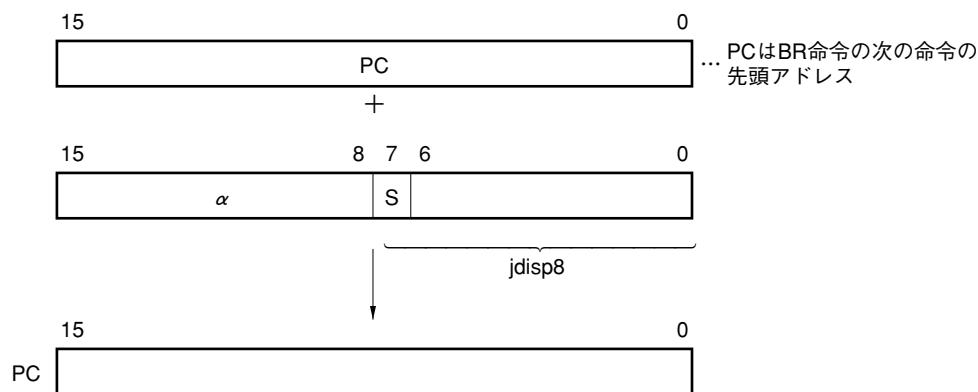
5.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエト・データ（ディスプレイメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレイメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは、次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



S = 0のとき、 α は全ビット0

S = 1のとき、 α は全ビット1

5.3.2 イミディエト・アドレッシング

【機能】

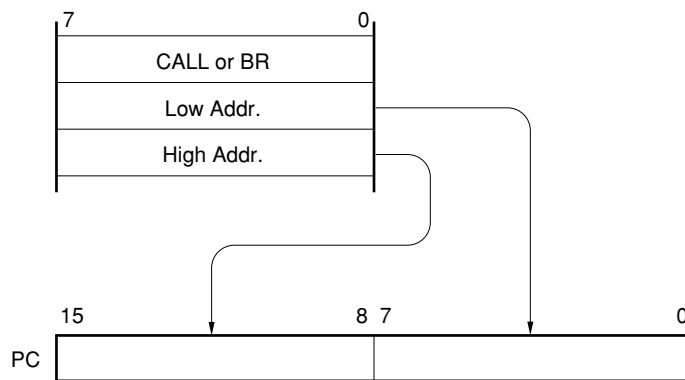
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16, CALLF !addr11命令を実行する際に行われます。

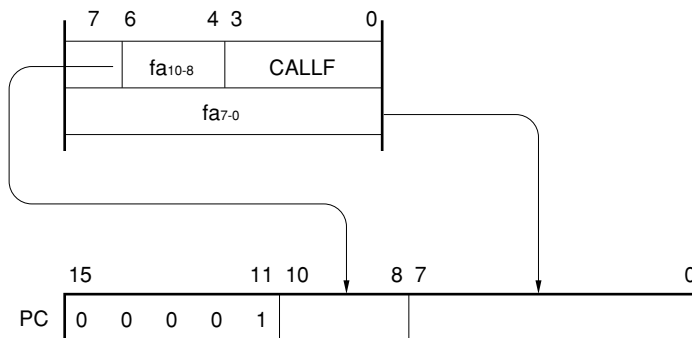
CALL !addr16, BR !addr16命令は、全メモリ空間に分岐できます。CALLF !addr11命令は、0800H-0FFFHの領域に分岐します。

【図解】

CALL !addr16, BR !addr16命令の場合



CALLF !addr11命令の場合



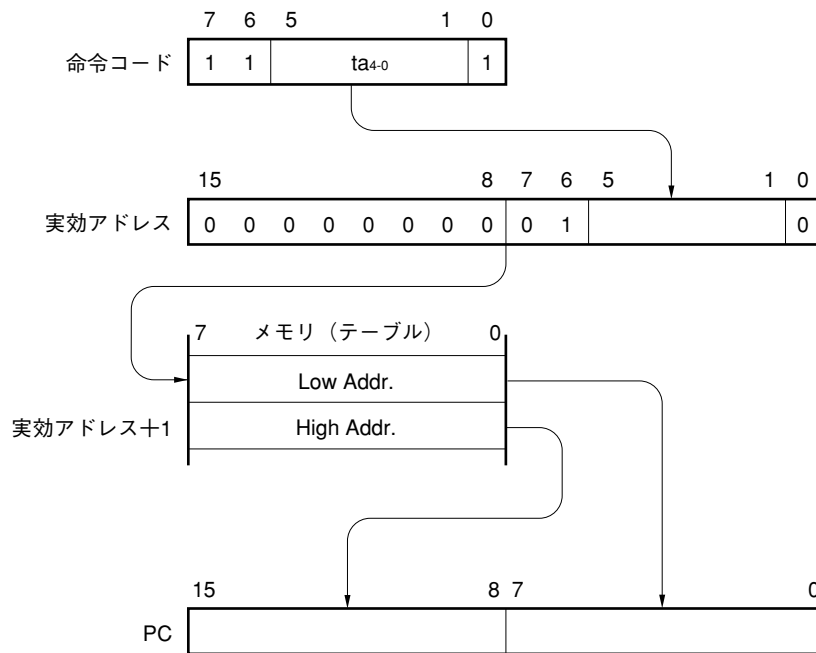
5.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H-7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



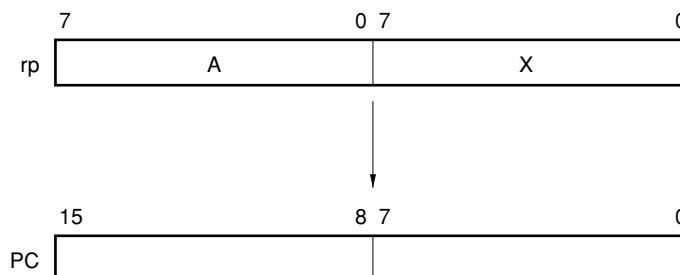
5.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



5.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

5.4.1 インプライド・アドレッシング

【機能】

汎用レジスタの領域にあるアキュムレータ（A, AX）として機能するレジスタを自動的に（暗黙的）にアドレスするアドレッシングです。

μPD780024A, 780034A, 780024AY, 780034AYサブシリーズの命令語中でインプライド・アドレッシングを使用する命令は次のとおりです。

命 令	インプライド・アドレッシングで指定されるレジスタ
MULU	被乗数としてAレジスタ, 積が格納されるレジスタとしてAXレジスタ
DIVUW	被除数および商を格納するレジスタとしてAXレジスタ
ADJBA/ADJBS	10進補正の対象となる数値を格納するレジスタとしてAレジスタ
ROR4/ROL4	ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ

【オペランド形式】

命令によって自動的に使用できるため、特定のオペランド形式を持ちません。

【記 述 例】

MULU Xの場合

8ビット×8ビットの乗算命令において、AレジスタとXレジスタの積をAXに格納する。ここで、A, AXレジスタがインプライド・アドレッシングで指定されている。

5.4.2 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。アクセスされる汎用レジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ指定コード (Rn, PRn) により指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

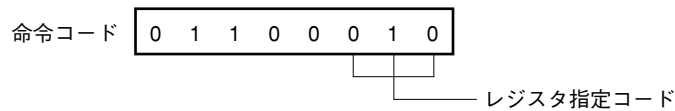
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

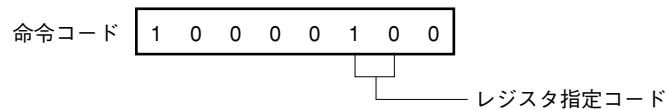
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



5.4.3 ダイレクト・アドレッシング

【機能】

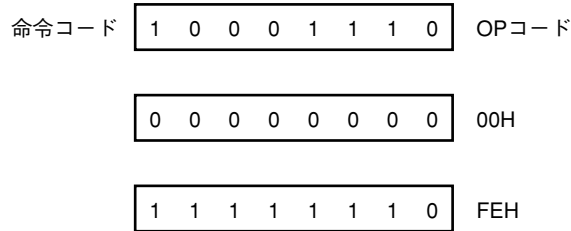
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

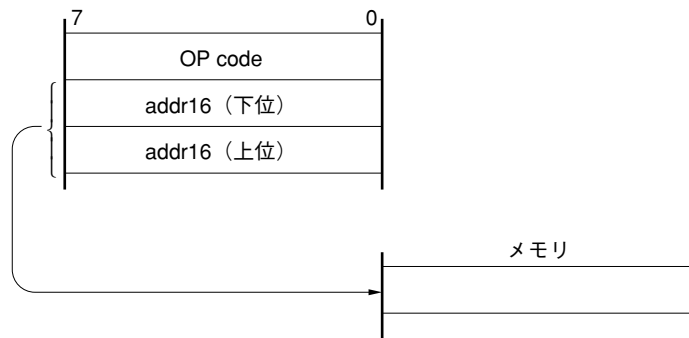
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !0FE00H ; !addr16をFE00Hとする場合



【図解】



5.4.4 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部です。この領域には、プログラム上でひんぱんにアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタ、キャプチャ・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作できます。

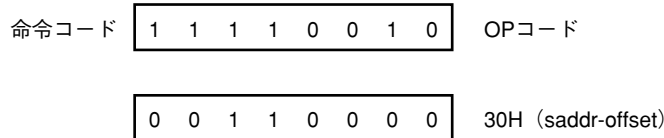
実効アドレスのビット8は、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。【図解】を参照してください。

【オペランド形式】

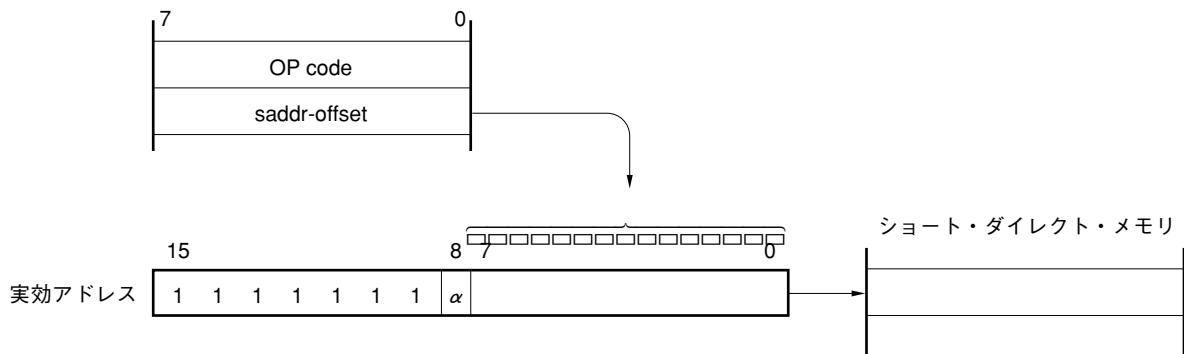
表現形式	記述方法
saddr	ラベルまたはFE20H-FF1FHを示すイミディエト・データ
saddrp	ラベルまたはFE20H-FF1FHを示すイミディエト・データ（偶数アドレスのみ）

【記述例】

MOV 0FE30H, A ; saddr (FE30H) にAレジスタの値を転送する場合



【図解】



8ビット・イミディエト・データが20H-FFHのとき、 $\alpha = 0$

8ビット・イミディエト・データが00H-1FHのとき、 $\alpha = 1$

5.4.5 特殊機能レジスタ(SFR)アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

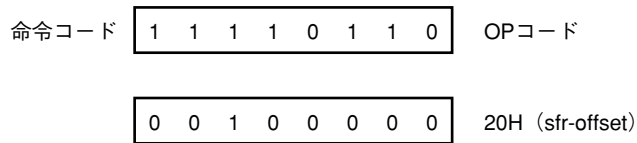
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし、FF00H-FF1FHにマッピングされているSFRは、ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

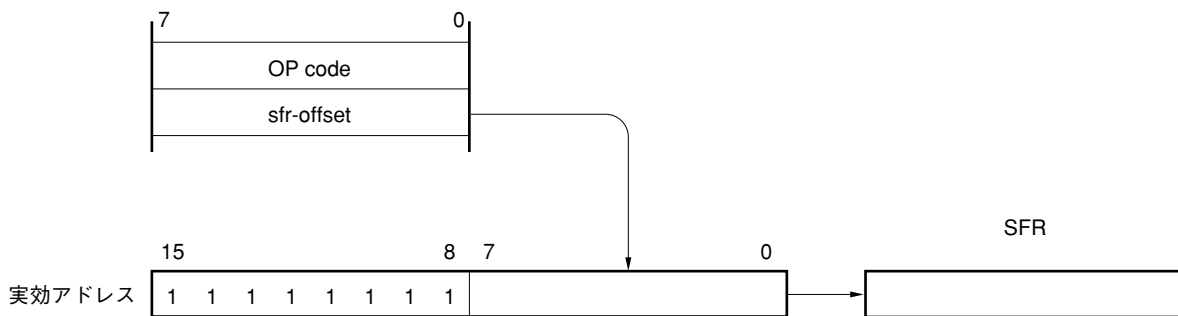
表現形式	記述方法
sfr	特殊機能レジスタ名
sfrp	16ビット操作可能な特殊機能レジスタ名 (偶数アドレスのみ)

【記述例】

MOV PM0, A ; sfrにPM0 (FF20H) を選択する場合



【図解】



5.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、レジスタ・バンク選択フラグ（RBS0, RBS1）および、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
—	[DE], [HL]

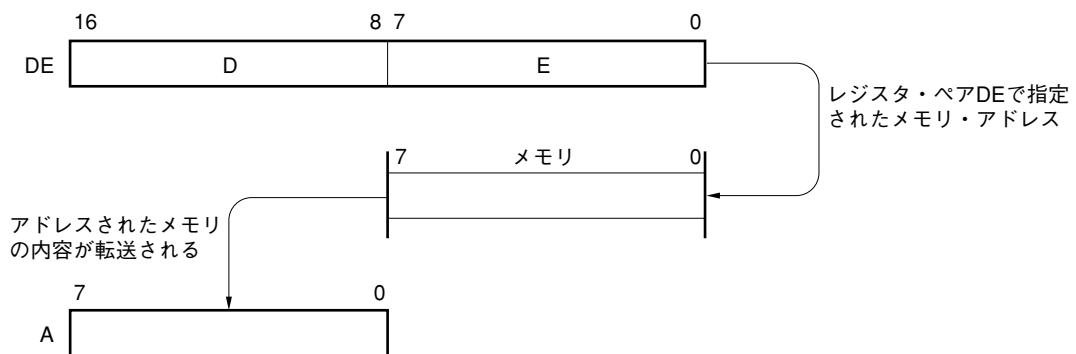
【記述例】

MOV A, [DE] ; レジスタ・ペアに [DE] を選択する場合

命令コード

1	0	0	0	0	1	0	1
---	---	---	---	---	---	---	---

【図解】



5.4.7 ベース・アドレッシング

【機能】

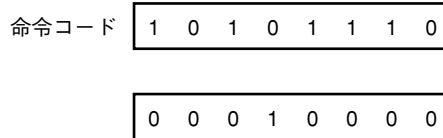
HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHLレジスタ・ペアは、レジスタ・バンク選択フラグ（RBS0, RBS1）で指定されるレジスタ・バンク中のものです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

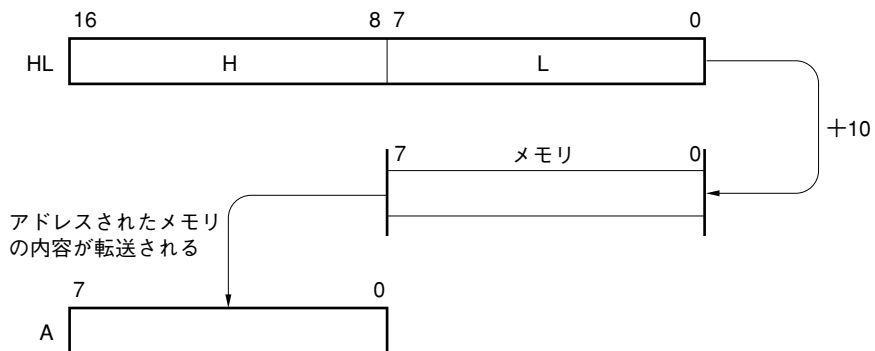
表現形式	記述方法
—	[HL+byte]

【記述例】

MOV A, [HL+10H] ; byteを10Hとする場合



【図解】



5.4.8 ベース・インデクスト・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHL, B, Cレジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のレジスタです。加算は、BレジスタまたはCレジスタの内容を正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
—	[HL+B], [HL+C]

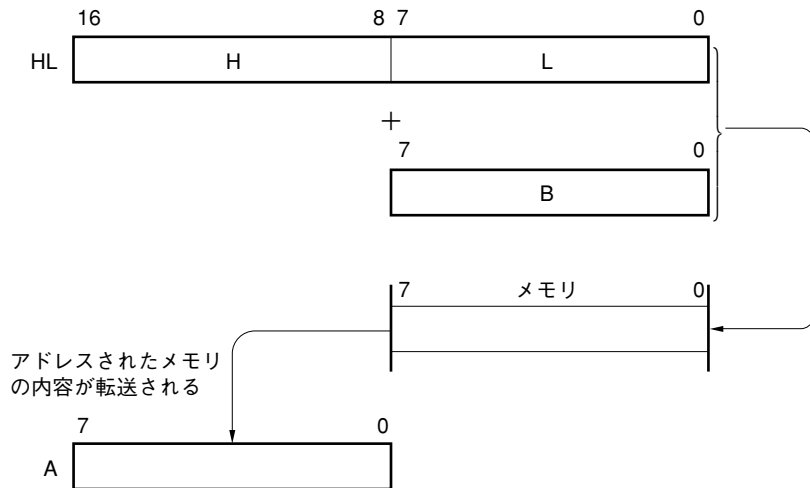
【記述例】

MOV A, [HL+B] (Bレジスタを選択) の場合

命令コード

1	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

【図解】



5.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ（SP）の内容により、スタック領域を間接的にアドレスするアドレッシングです。

PUSH, POP, サブルーチン・コール、リターン命令の実行時および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスできます。

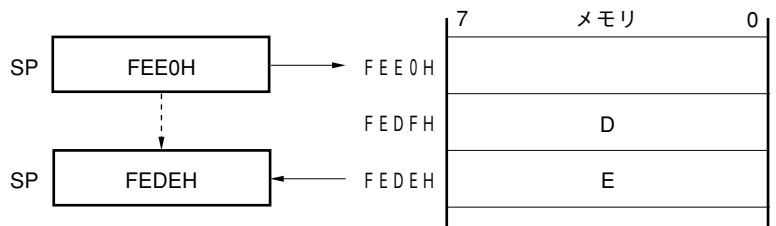
【記述例】

PUSH DE（DEレジスタをセーブ）の場合

命令コード

1	0	1	1	0	1	0	1
---	---	---	---	---	---	---	---

【図解】



第6章 ポート機能

6.1 ポートの機能

μ PD780024A, 780034A, 780024AY, 780034AYサブシリーズは、8本の入力ポートと43本の入出力ポートを内蔵しています。図6-1にポートの構成を示します。いずれのポートも1ビット操作、8ビット操作が可能で、きわめて多様に制御できます。また、ポートとしての機能のほかに、内蔵ハードウェアの入出力端子としての機能などを持っています。

図6-1 ポートの種類

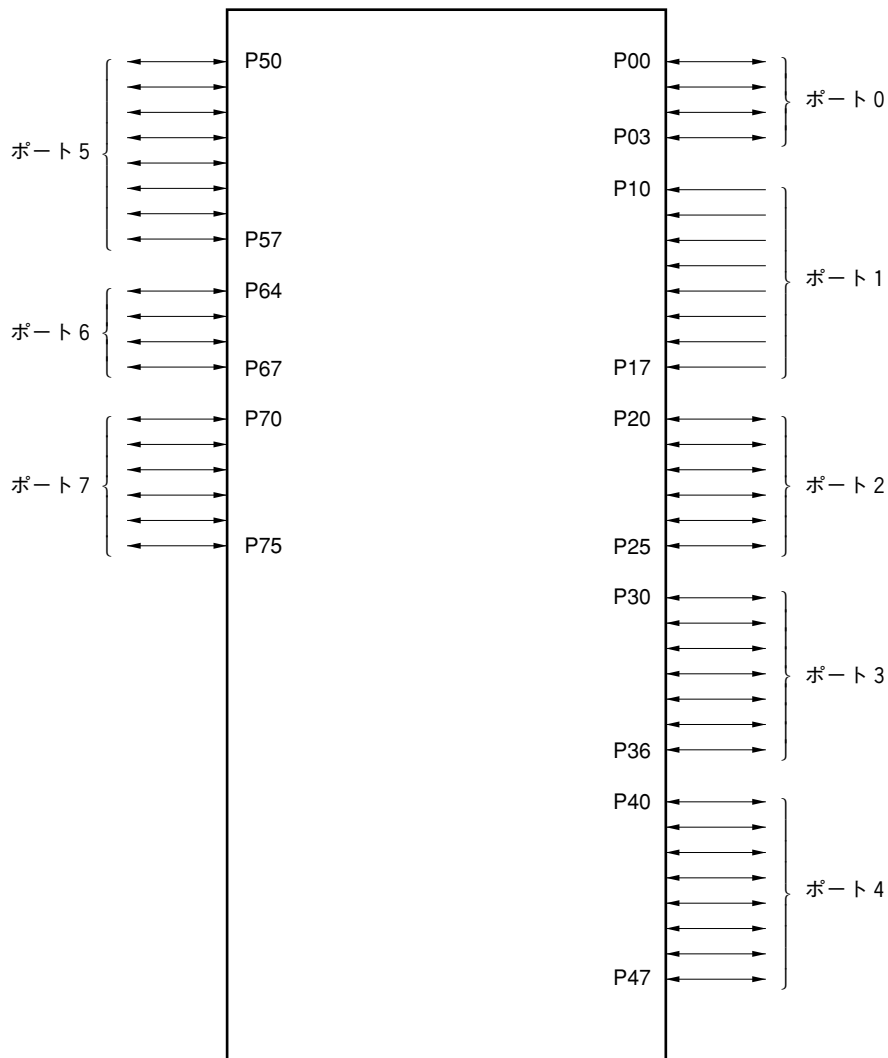


表 6-1 ポートの機能 (μPD780024A, 780034Aサブシリーズ)

端子名称	機 能		兼用端子
P00	ポート0。		INTP0
P01	4ビット入出力ポート。		INTP1
P02	1ビット単位で入力/出力の指定可能。		INTP2
P03	ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		INTP3/ADTRG
P10-P17	ポート1。 8ビット入力専用ポート。		ANI0-ANI7
P20	ポート2。		SI30
P21	6ビット入出力ポート。		SO30
P22	1ビット単位で入力/出力の指定可能。		SCK30
P23	ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		RxD0
P24			TxD0
P25			ASCK0
P30	ポート3。	N-chオープン・ドレイン入出力ポート。 マスクROM製品のみ、マスク・オブ ションにより、プルアップ抵抗の内蔵を 指定可能。 LEDを直接駆動可能。 ソフトウェアの設定により、内蔵プル アップ抵抗を使用可能。	—
P31	7ビット入出力ポート。		
P32	1ビット単位で入力/出力		
P33	の指定可能。		
P34			
P35			
P36			
P40-P47	ポート4。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 立ち下がりエッジの検出により、割り込み要求フラグ (KRIF) を1に セット。		AD0-AD7
P50-P57	ポート5。 8ビット入出力ポート。 LEDを直接駆動可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		A8-A15
P64	ポート6。		RD
P65	4ビット入出力ポート。		WR
P66	1ビット単位で入力/出力の指定可能。		WAIT
P67	ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		ASTB
P70	ポート7。		TI00/TO0
P71	6ビット入出力ポート。		TI01
P72	1ビット単位で入力/出力の指定可能。		TI50/TO50
P73	ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		TI51/TO51
P74			PCL
P75			BUZ

表6-2 ポートの機能 (μPD780024AY, 780034AYサブシリーズ)

端子名称	機能		兼用端子
P00	ポート0。		INTP0
P01	4ビット入出力ポート。		INTP1
P02	1ビット単位で入力/出力の指定可能。		INTP2
P03	ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		INTP3/ADTRG
P10-P17	ポート1。 8ビット入力専用ポート。		ANI0-ANI7
P20	ポート2。		SI30
P21	6ビット入出力ポート。		SO30
P22	1ビット単位で入力/出力の指定可能。		SCK30
P23	ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		RxD0
P24			TxD0
P25			ASCK0
P30	ポート3。	N-chオープン・ドレイン入出力ポート。	—
P31	7ビット入出力ポート。	P30, P31はマスクROM製品のみ、マスク・オプションにより、プルアップ抵抗	
P32	1ビット単位で入力/出力	の内蔵を指定可能。	SDA0
P33	の指定可能。	LEDを直接駆動可能。	SCL0
P34		ソフトウェアの設定により、内蔵プル	—
P35		アップ抵抗を使用可能。	
P36			
P40-P47	ポート4。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 立ち下がりエッジの検出により、割り込み要求フラグ (KRIF) を1にセット。		AD0-AD7
P50-P57	ポート5。 8ビット入出力ポート。 LEDを直接駆動可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		A8-A15
P64	ポート6。		RD
P65	4ビット入出力ポート。		WR
P66	1ビット単位で入力/出力の指定可能。		WAIT
P67	ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		ASTB
P70	ポート7。		TI00/TO0
P71	6ビット入出力ポート。		TI01
P72	1ビット単位で入力/出力の指定可能。		TI50/TO50
P73	ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		TI51/TO51
P74			PCL
P75			BUZ

6.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表6-3 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PMm : m = 0, 2-7) プルアップ抵抗オプション・レジスタ (PUm : m = 0, 2-7)
ポート	合計 : 51本 (入力 : 8本, 入出力 : 43本)
プルアップ抵抗	・マスクROM製品 合計 : 43本 (ソフトウェア制御 : 39本, マスク・オプション指定 : 4本 ^注) ・フラッシュ・メモリ製品 合計 : 39本

注 μ PD780024AY, 780034AYサブシリーズは2本です。

6.2.1 ポート0

出力ラッチ付き4ビット入出力ポートです。P00-P03端子は、ポート・モード・レジスタ0 (PM0) により、1ビット単位で入力モード/出力モードの指定ができます。P00-P03端子は、プルアップ抵抗オプション・レジスタ0 (PU0) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力、A/Dコンバータの外部トリガ入力があります。

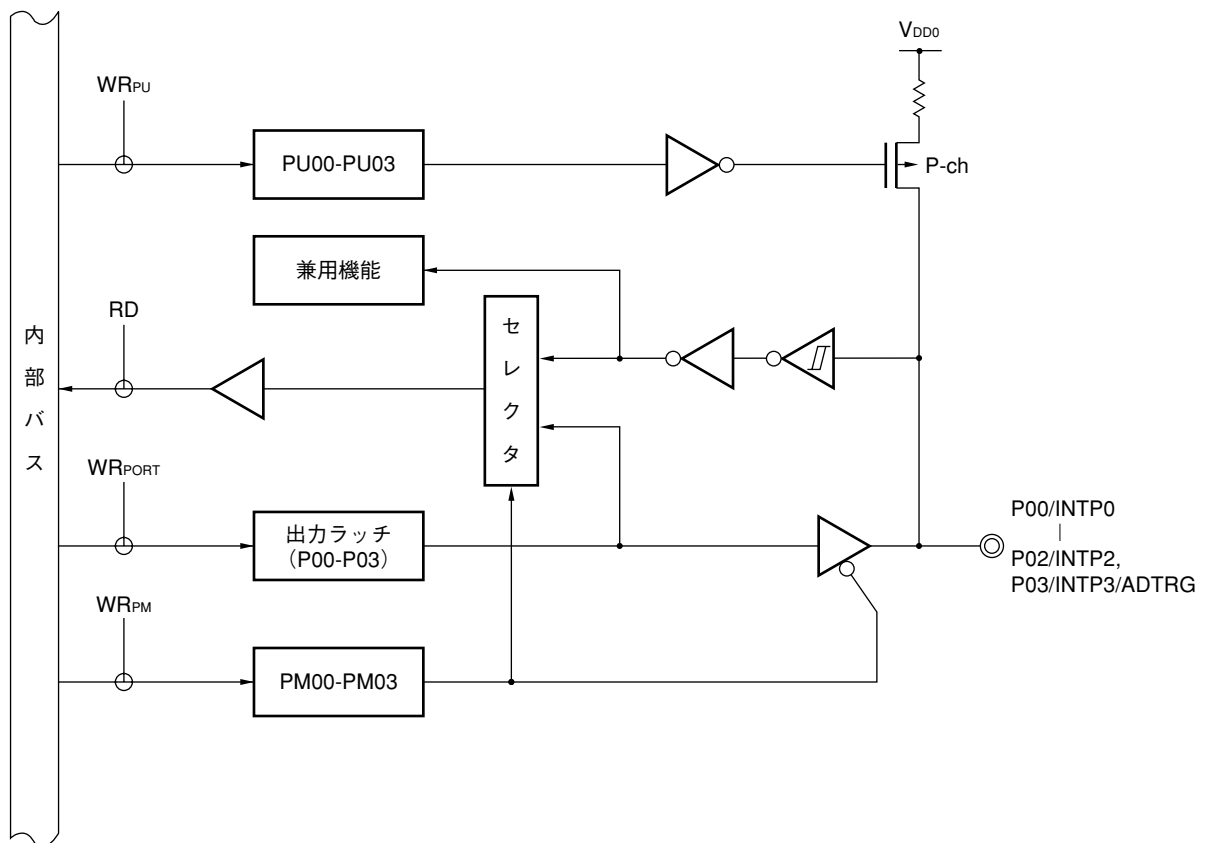
$\overline{\text{RESET}}$ 入力により、入力モードになります。

図6-2にポート0のブロック図を示します。

- 注意1. ポート0は外部割り込み要求入力と兼用になっているため、外部割り込み立ち上がりエッジ許可レジスタ (EGP) と外部割り込み立ち下がりエッジ許可レジスタ (EGN) で割り込み禁止に設定していないときに、ポート機能の出力モードを指定し出力レベルを変化させると、割り込み要求フラグがセットされます。したがって、出力モードを使用するとき、割り込みマスク・フラグに1を設定してください。
2. 外部割り込み要求機能からポート機能に切り替える場合に、エッジ検出を行う可能性があるため、EGPのビットn (EGPn) とEGNのビットn (EGNn) に0を設定してから、ポート・モードに設定してください。
3. P03/INTP3/ADTRGをA/Dコンバータの外部トリガ入力として使用する場合、A/Dコンバータ・モード・レジスタ0 (ADM0) のビット1, 2 (EGA00, EGA01) にて有効エッジの指示をし、割り込みマスク・フラグ (PMK3) に1を設定してください。

備考 n = 0-3

図6-2 P00-P03のブロック図



- PU : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート0のリード信号
- WR : ポート0のライト信号

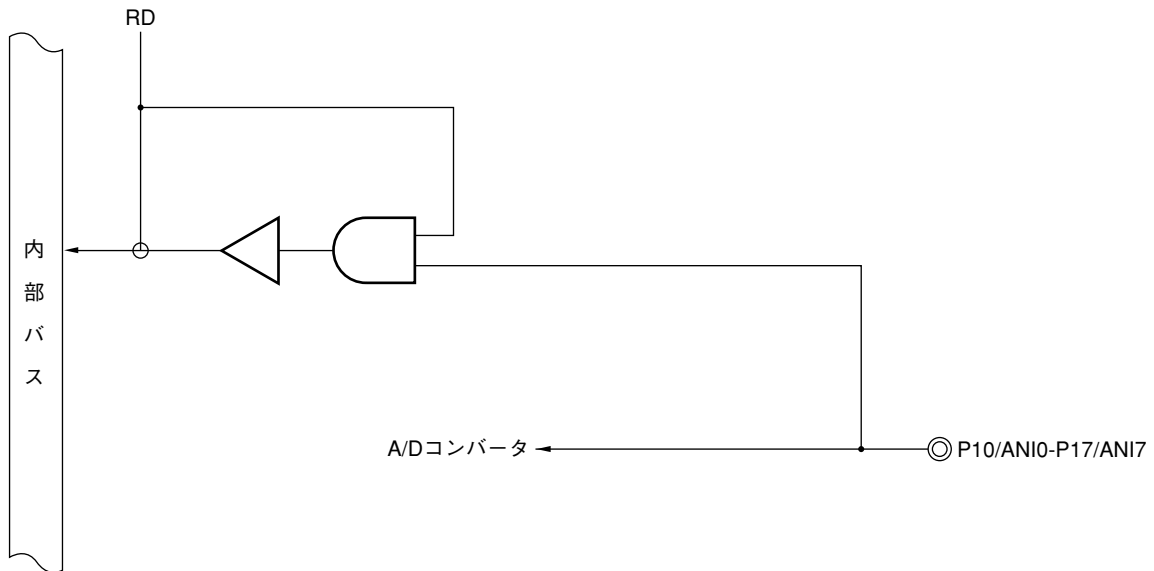
6.2.2 ポート1

8ビット入力専用ポートです。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

図6-3にポート1のブロック図を示します。

図6-3 P10-P17のブロック図



RD：ポート1のリード信号

6.2.3 ポート2

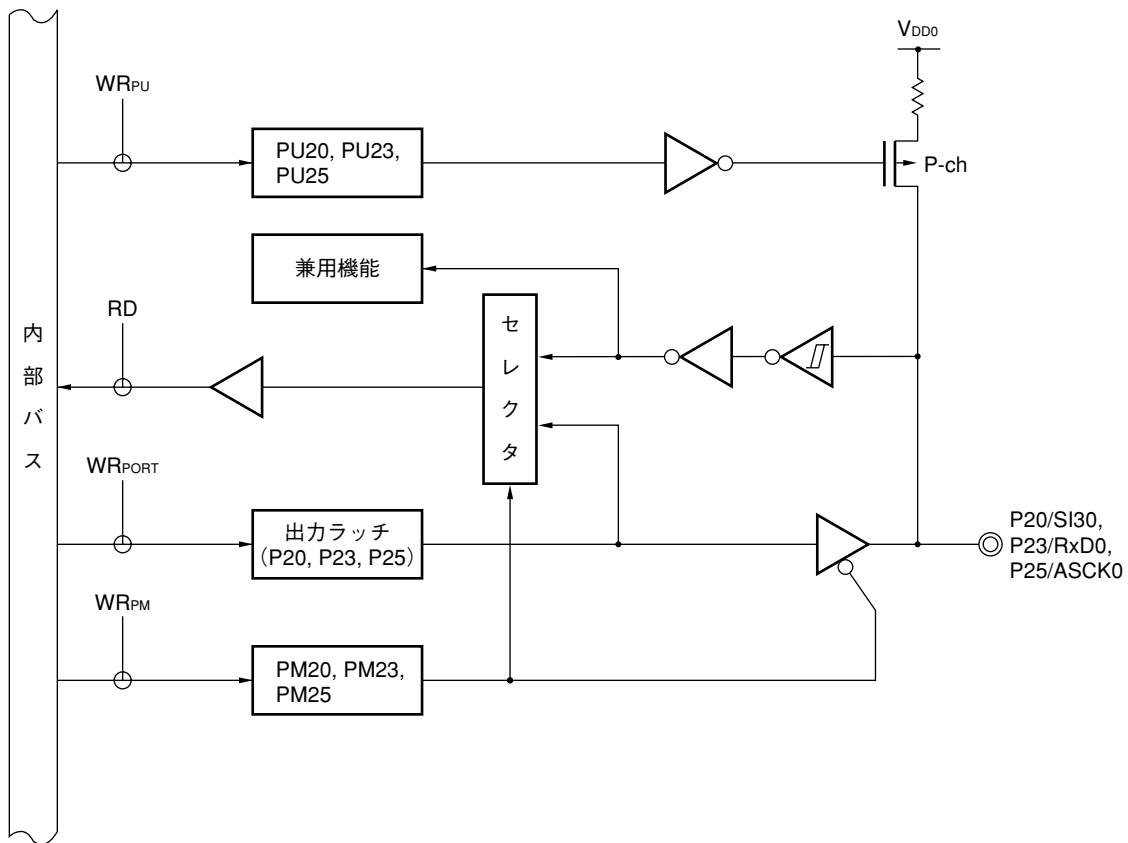
出力ラッチ付き6ビット入出力ポートです。P20-P25端子は、ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力モード/出力モードの指定ができます。P20-P25端子は、プルアップ抵抗オプション・レジスタ2 (PU2) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力があります。

RESET入力により、入力モードになります。

図6-4～図6-6にポート2のブロック図を示します。

図6-4 P20, P23, P25のブロック図



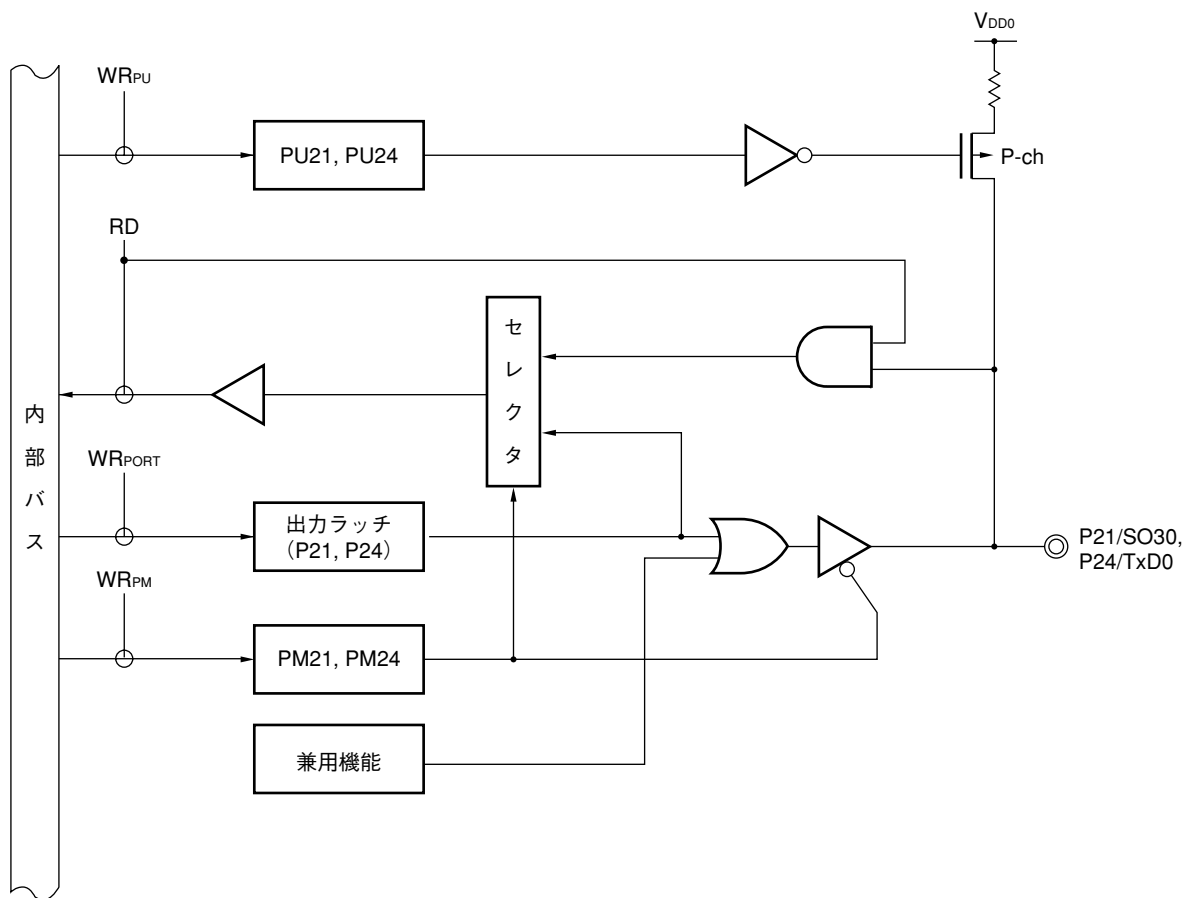
PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

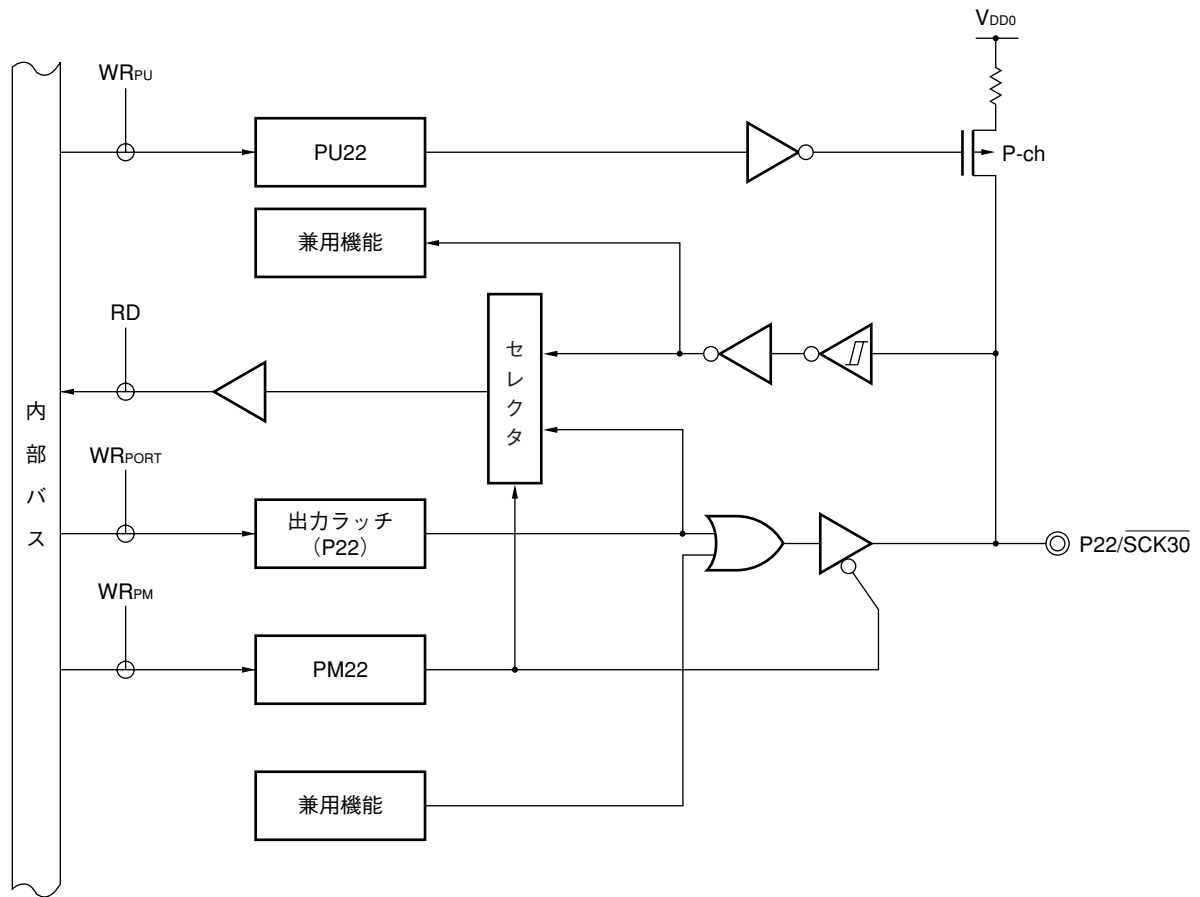
WR : ポート2のライト信号

図6-5 P21, P24のブロック図



- PU : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート2のリード信号
- WR : ポート2のライト信号

図6-6 P22のブロック図



- PU : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート2のリード信号
- WR : ポート2のライト信号

6.2.4 ポート3 (μPD780024A, 780034Aサブシリーズ)

出力ラッチ付き7ビット入出力ポートです。P30-P36端子は、ポート・モード・レジスタ3 (PM3) により、1ビット単位で入力モード/出力モードの指定ができます。

このポートには次に示すようなプルアップ抵抗に関する機能があります。これらの機能は、ポートの上位3ビット/下位4ビット、およびマスクROM製品/フラッシュ・メモリ製品によって異なります。

表6-4 ポート3のプルアップ抵抗 (μPD780024A, 780034Aサブシリーズ)

	上位3ビット (P34-P36端子)	下位4ビット (P30-P33端子)
マスクROM製品	PU3により、1ビット単位で内蔵プルアップ抵抗の接続指定可能	マスク・オプションにより1ビット単位でプルアップ抵抗内蔵可能
フラッシュ・メモリ製品		プルアップ抵抗を内蔵していない

PU3：プルアップ抵抗オプション・レジスタ3

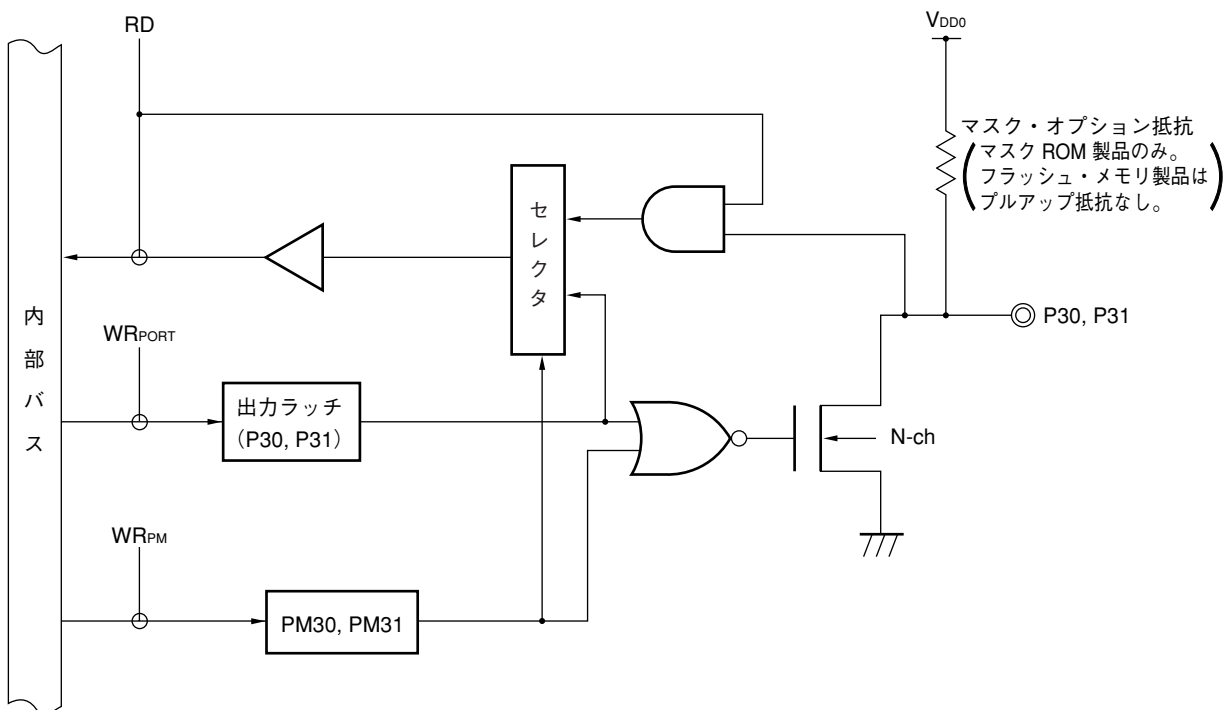
P30-P33端子はLEDを直接駆動可能です。

また、P34-P36端子には、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力機能があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図6-7～図6-11にポート3のブロック図を示します。

図6-7 P30, P31のブロック図 (μPD780024A, 780034Aサブシリーズ)

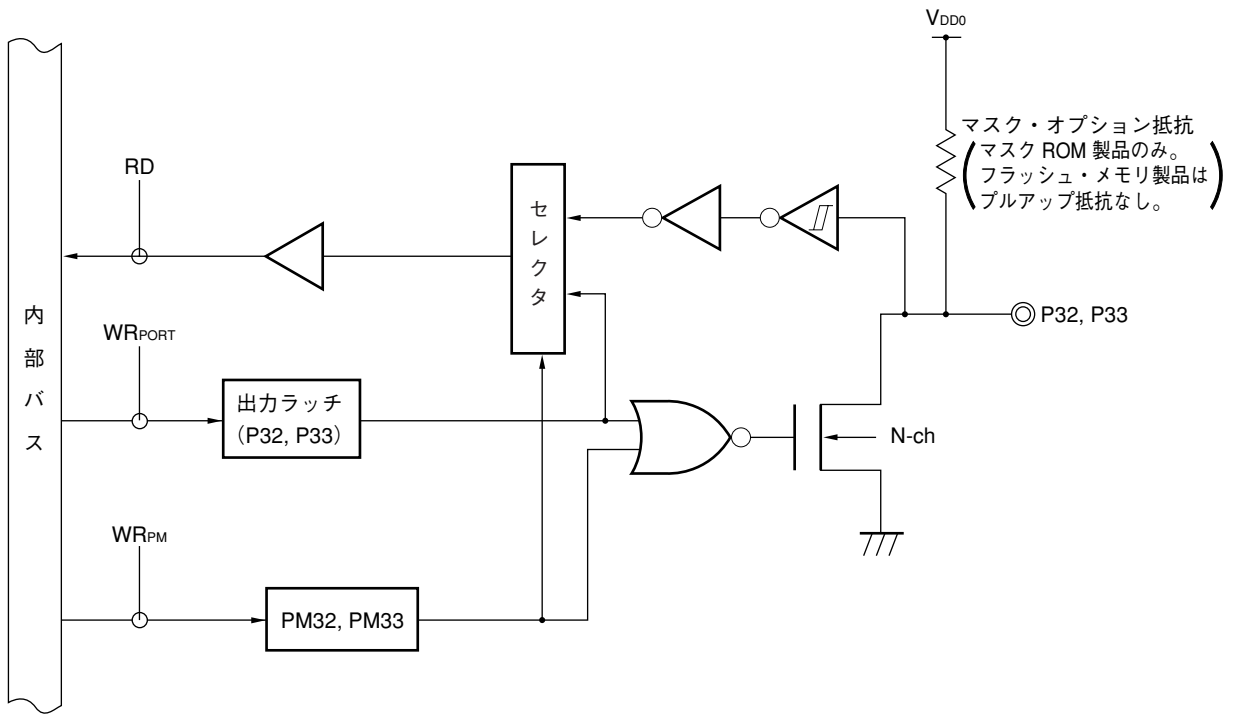


PM : ポート・モード・レジスタ

RD : ポート3のリード信号

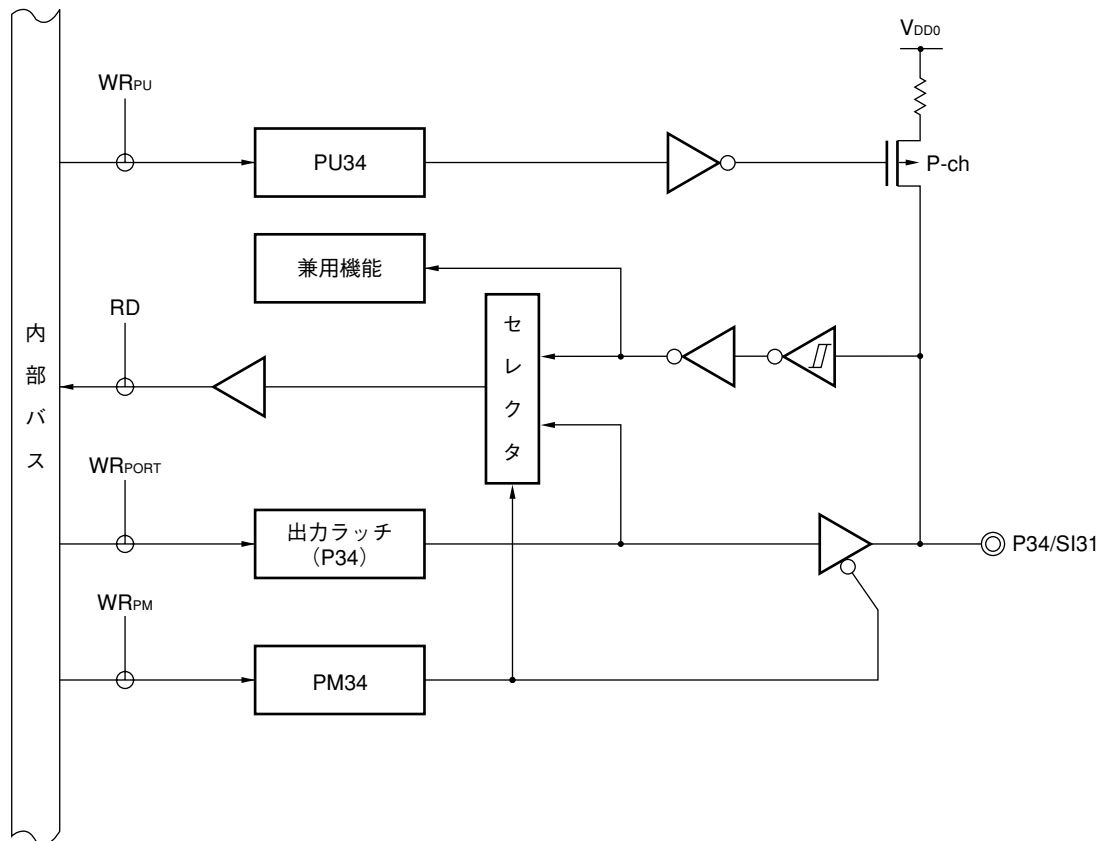
WR : ポート3のライト信号

図6-8 P32, P33のブロック図 (μPD780024A, 780034Aサブシリーズ)



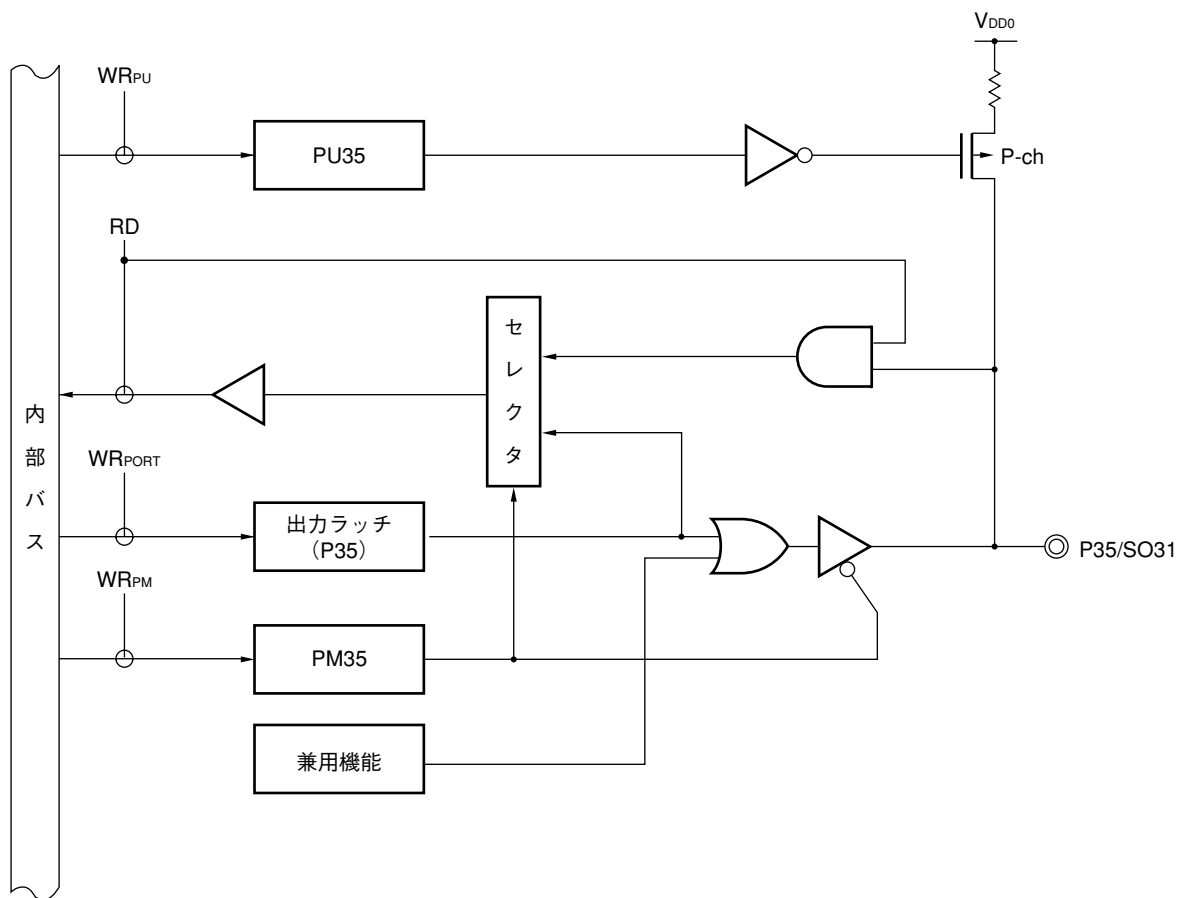
- PM : ポート・モード・レジスタ
- RD : ポート3のリード信号
- WR : ポート3のライト信号

図6-9 P34のブロック図 (μPD780024A, 780034Aサブシリーズ)



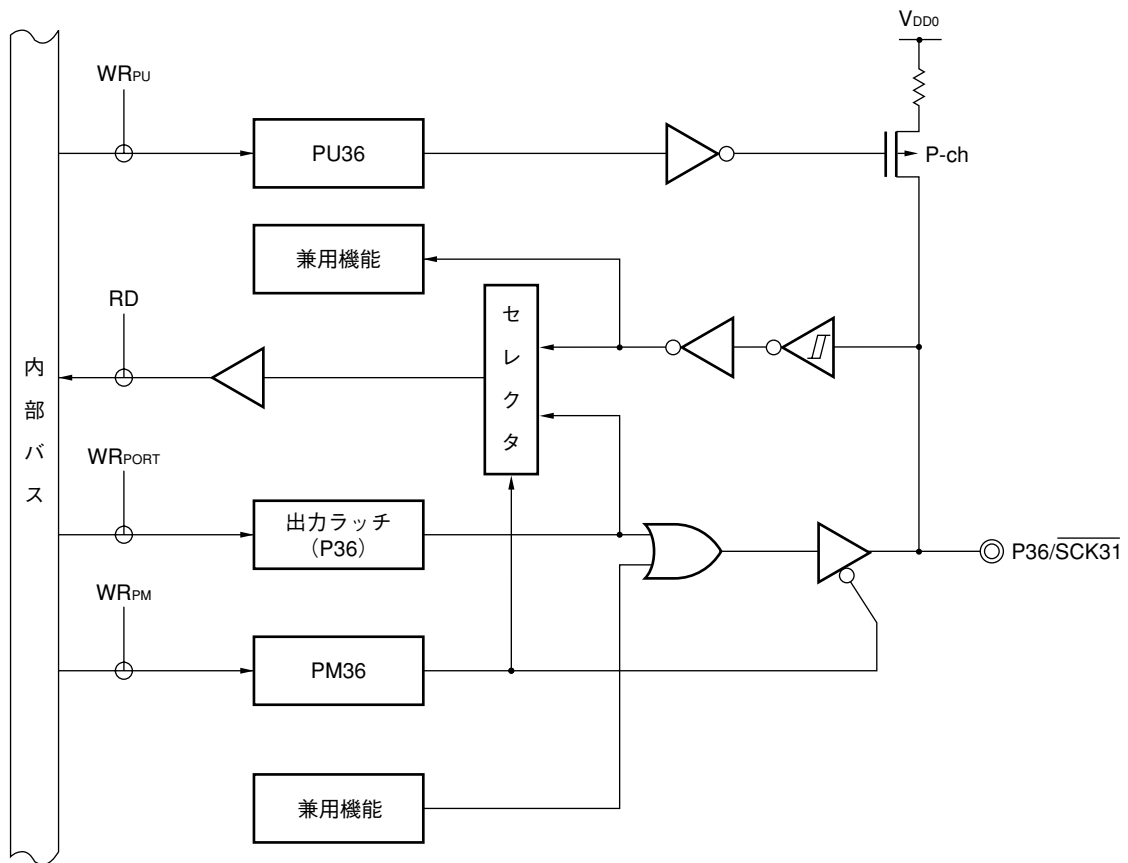
- PU : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート3のリード信号
- WR : ポート3のライト信号

図6-10 P35のブロック図 (μPD780024A, 780034Aサブシリーズ)



- PU : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート3のリード信号
- WR : ポート3のライト信号

図6-11 P36のブロック図 (μPD780024A, 780034Aサブシリーズ)



- PU : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート3のリード信号
- WR : ポート3のライト信号

6.2.5 ポート3 (μPD780024AY, 780034AYサブシリーズ)

出力ラッチ付き7ビット入出力ポートです。P30-P36端子は、ポート・モード・レジスタ3 (PM3) により、1ビット単位で入力モード/出力モードの指定ができます。

このポートには次に示すようなプルアップ抵抗に関する機能があります。これらの機能は、ポートのビット位置、およびマスクROM製品/フラッシュ・メモリ製品によって異なります。

表6-5 ポート3のプルアップ抵抗 (μPD780024AY, 780034AYサブシリーズ)

	P34-P36端子	P30, P31端子
マスクROM製品	PU3により、1ビット単位で内蔵プルアップ抵抗の接続指定可能	マスク・オプションにより1ビット単位でプルアップ抵抗内蔵可能
フラッシュ・メモリ製品		プルアップ抵抗を内蔵していない

PU3：プルアップ抵抗オプション・レジスタ3

注意 P32, P33にはプルアップ抵抗はありません。

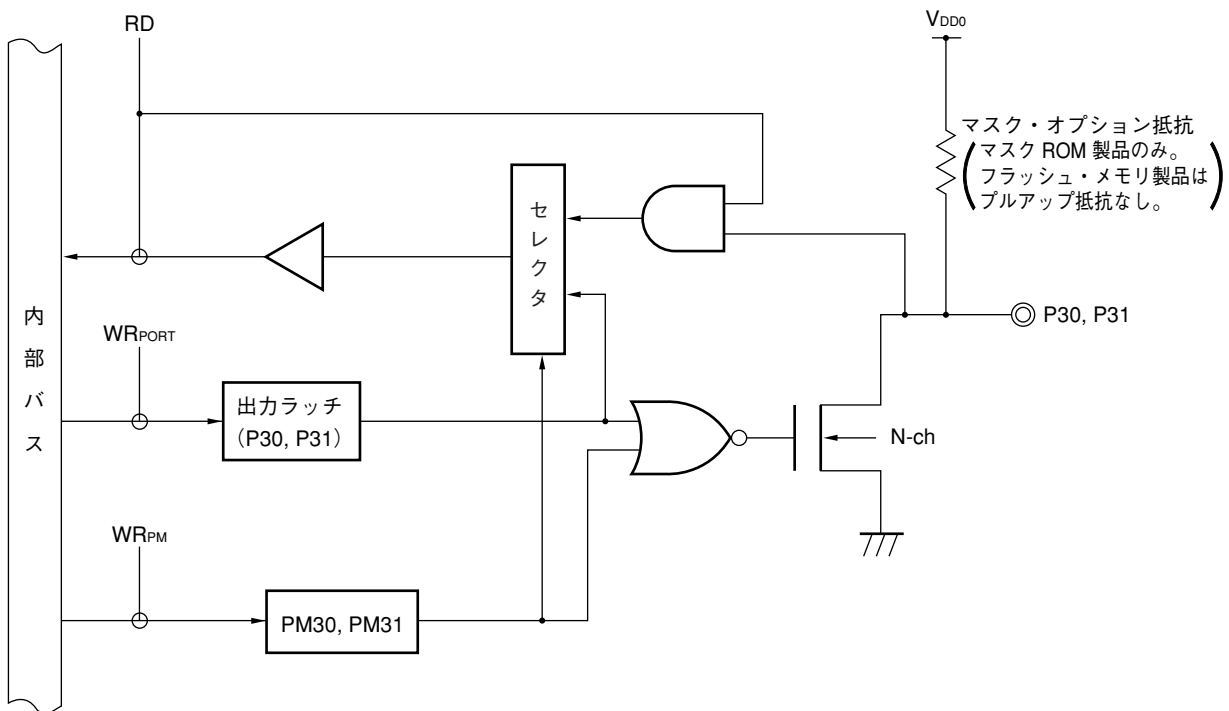
P30-P33端子はLEDを直接駆動可能です。

また、P32, P33端子には、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力機能があります。

RESET入力により、入力モードになります。

図6-12～図6-15にポート3のブロック図を示します。

図6-12 P30, P31のブロック図 (μPD780024AY, 780034AYサブシリーズ)

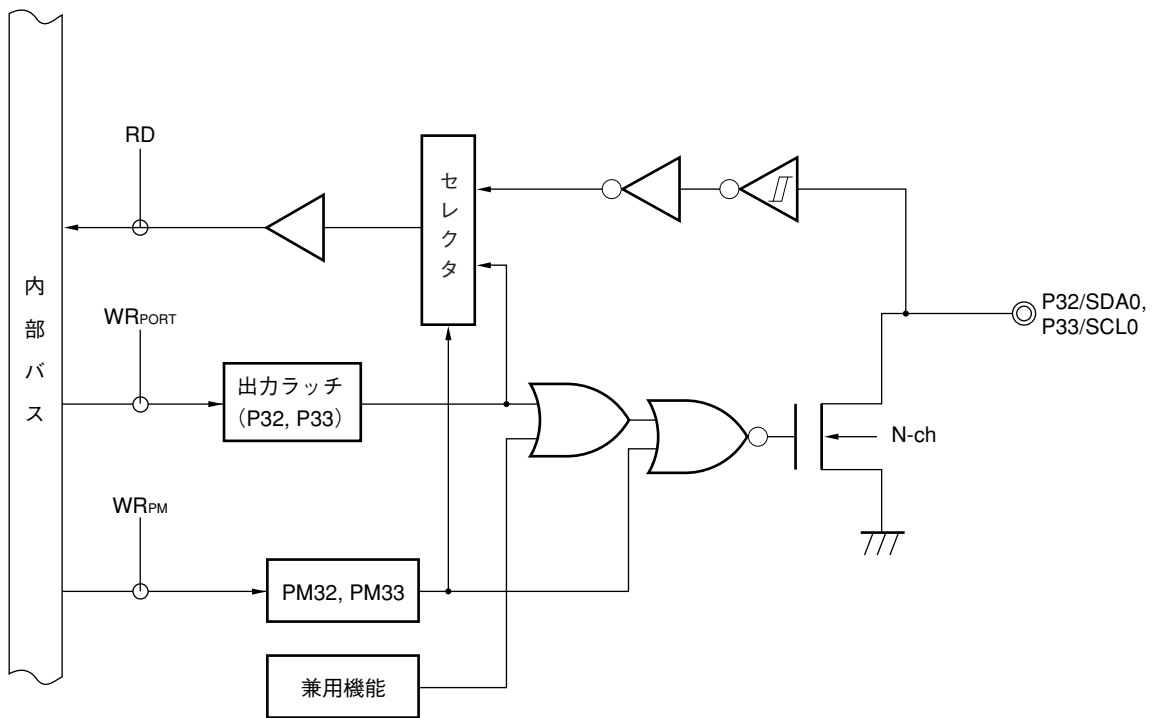


PM : ポート・モード・レジスタ

RD : ポート3のリード信号

WR : ポート3のライト信号

図6-13 P32, P33のブロック図 (μPD780024AY, 780034AYサブシリーズ)

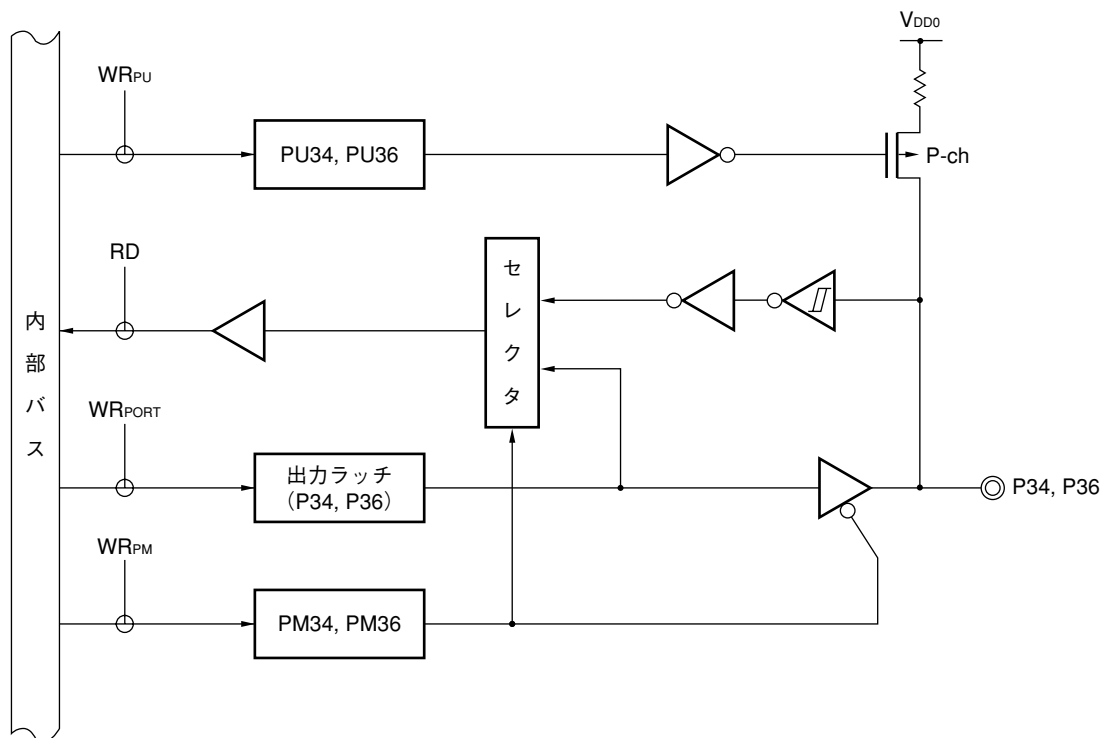


PM : ポート・モード・レジスタ

RD : ポート3のリード信号

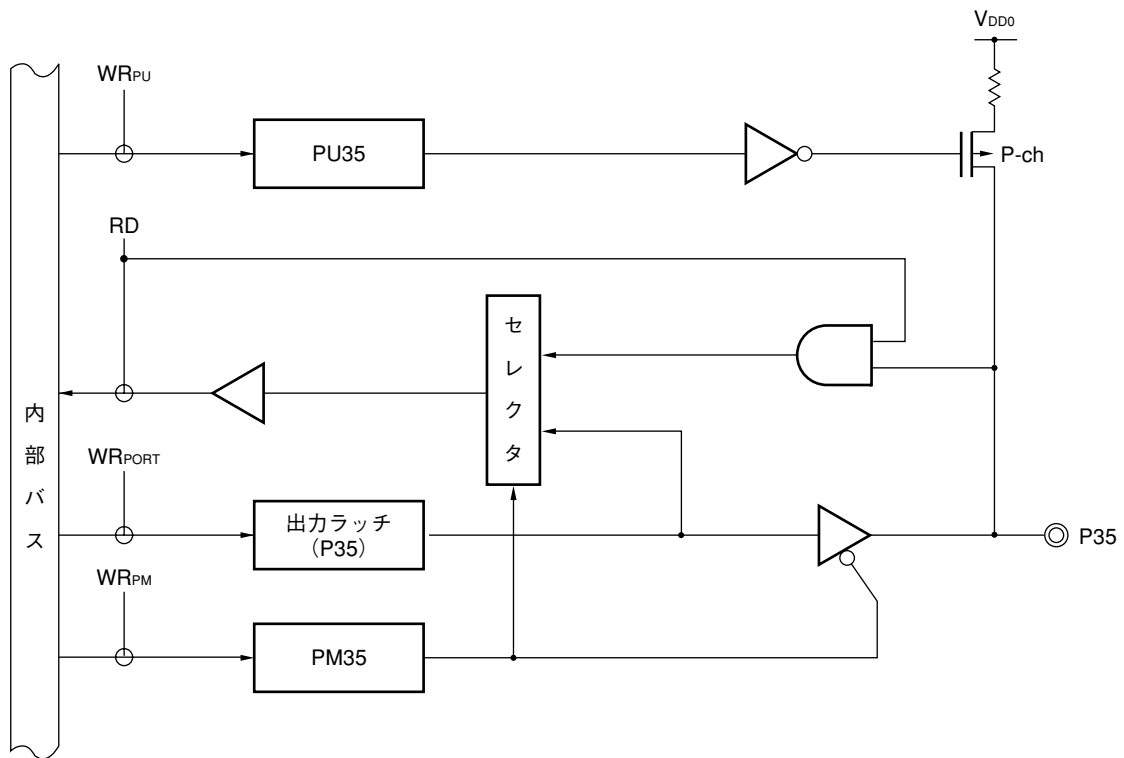
WR : ポート3のライト信号

図6-14 P34, P36のブロック図 (μPD780024AY, 780034AYサブシリーズ)



- PU : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート3のリード信号
- WR : ポート3のライト信号

図6-15 P35のブロック図 (μPD780024AY, 780034AYサブシリーズ)



- PU : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート3のリード信号
- WR : ポート3のライト信号

6.2.6 ポート4

出力ラッチ付き8ビット入出力ポートです。P40-P47端子は、ポート・モード・レジスタ4（PM4）により、1ビット単位で入力モード／出力モードの指定ができます。P40-P47端子は、プルアップ抵抗オプション・レジスタ4（PU4）により、1ビット単位で内蔵プルアップ抵抗を使用できます。

立ち下がりエッジの検出により、割り込み要求フラグ（KRIF）を1にセットできます。

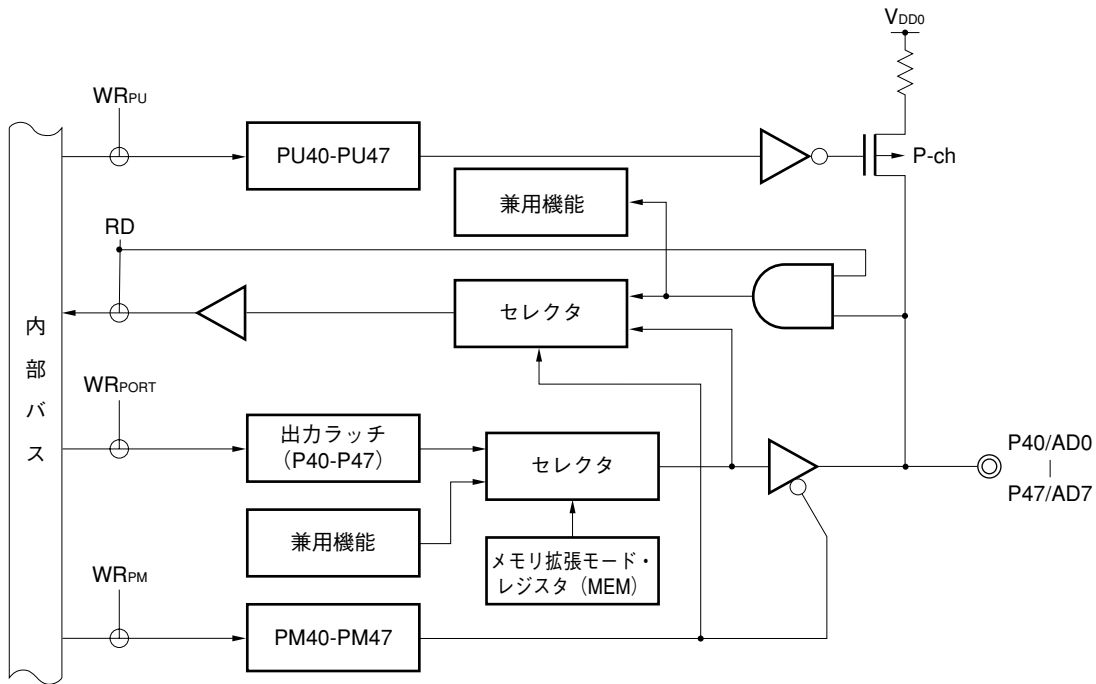
また、兼用機能として外部メモリ拡張モード時のアドレス／データ・バス機能があります。

RESET \bar 入力により、入力モードになります。

図6-16にポート4のブロック図、図6-17に立ち下がりエッジ検出回路のブロック図を示します。

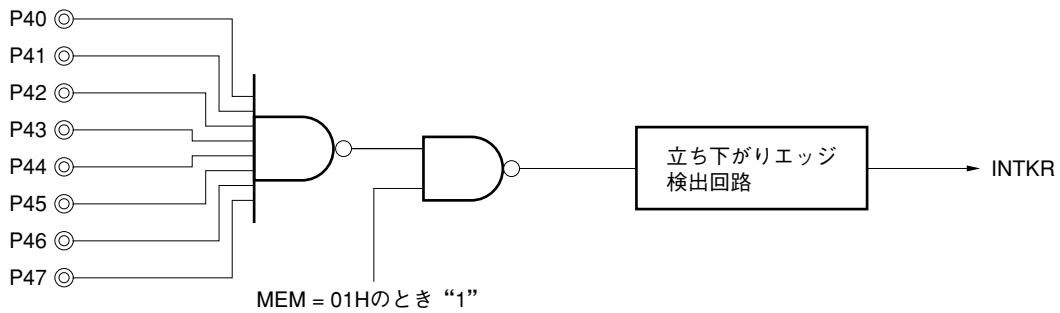
- 注意1. PU4n = 1 (n = 0-7) のとき、外部メモリ拡張モードに設定しても、内蔵プルアップ抵抗は切断されません。
2. 立ち下がりエッジ検出割り込み（INTKR）を使用する場合、メモリ拡張モード・レジスタ（MEM）を必ず01Hに設定してください。

図6-16 P40-P47のブロック図



- PU : プルアップ抵抗オプション・レジスタ
 PM : ポート・モード・レジスタ
 RD : ポート4のリード信号
 WR : ポート4のライト信号

図6-17 立ち下がりエッジ検出回路のブロック図



6.2.7 ポート5

出力ラッチ付き8ビット入出力ポートです。P50-P57端子は、ポート・モード・レジスタ5 (PM5) により、1ビット単位で入力モード/出力モードの指定ができます。P50-P57端子は、プルアップ抵抗オプション・レジスタ5 (PU5) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

ポート5はLEDを直接駆動可能です。

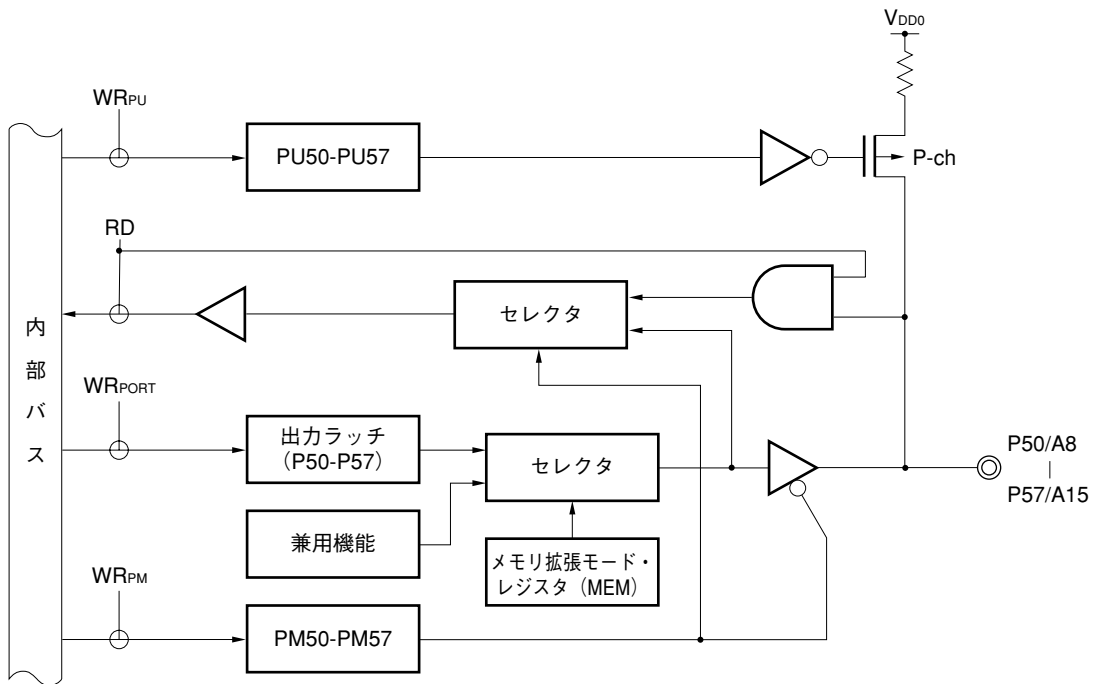
また、兼用機能として外部メモリ拡張モード時のアドレス・バス機能があります。

RESET入力により、入力モードになります。

図6-18にポート5のブロック図を示します。

注意 PU5n = 1 (n = 0-7) のとき、外部メモリ拡張モードに設定しても、内蔵プルアップ抵抗は切断されません。

図6-18 P50-P57のブロック図



PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート5のリード信号

WR : ポート5のライト信号

6.2.8 ポート6

出力ラッチ付き4ビット入出力ポートです。P64-P67端子は、ポート・モード・レジスタ6 (PM6) により、1ビット単位で入力モード/出力モードの指定ができます。P64-P67端子は、プルアップ抵抗オプション・レジスタ6 (PU6) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

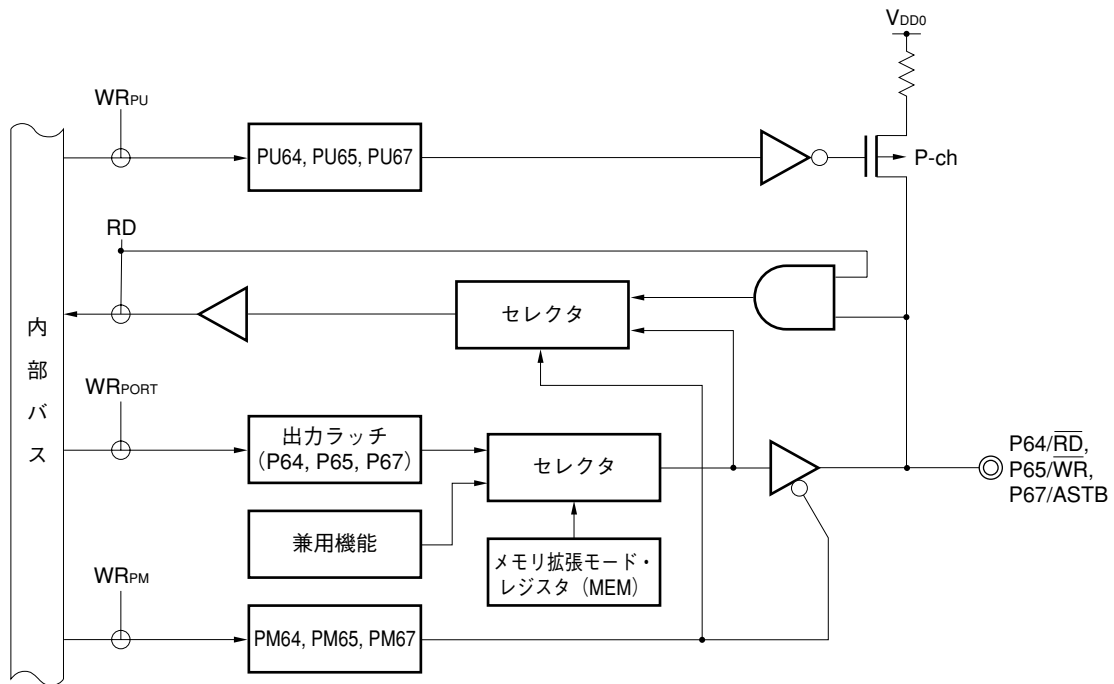
また、兼用機能として外部メモリ拡張モード時の制御信号出力機能があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図6-19、6-20にポート6のブロック図を示します。

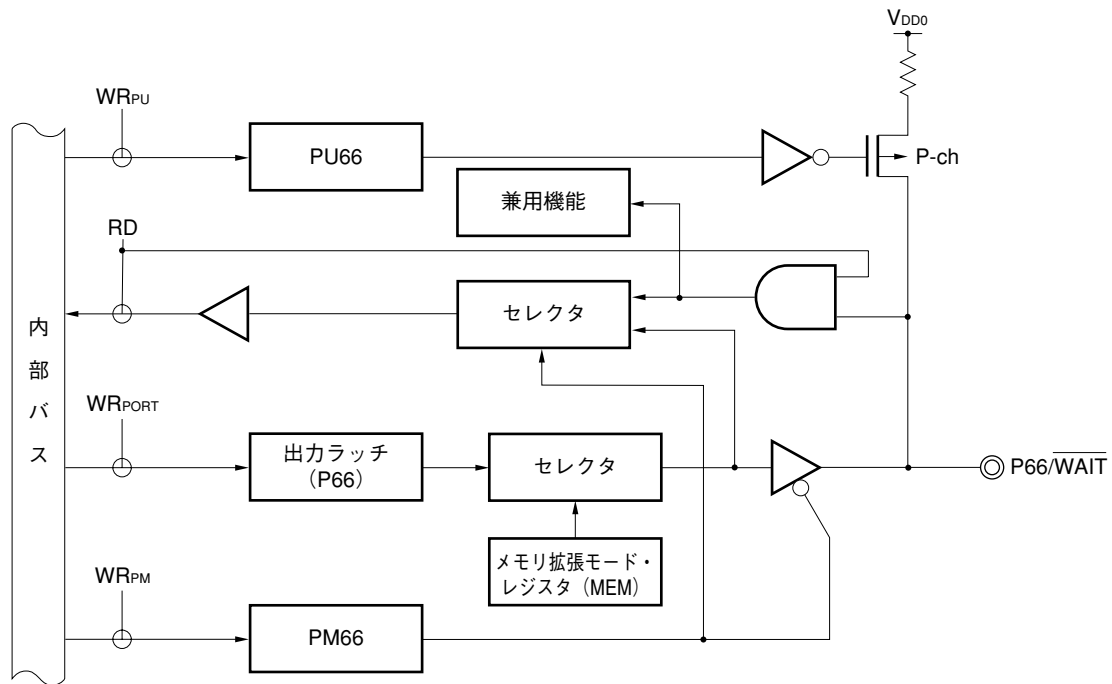
- 注意1. $\text{PU6n} = 1$ ($n = 4-7$) のとき、外部メモリ拡張モードに設定しても、内蔵プルアップ抵抗は切断されません。
2. 外部メモリ拡張モード時で外部ウエイトを使用しないときは、P66を入出力ポートとして使用できません。

図6-19 P64, P65, P67のブロック図



- PU : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート6のリード信号
- WR : ポート6のライト信号

図6-20 P66のブロック図



- PU : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート6のリード信号
- WR : ポート6のライト信号

6.2.9 ポート7

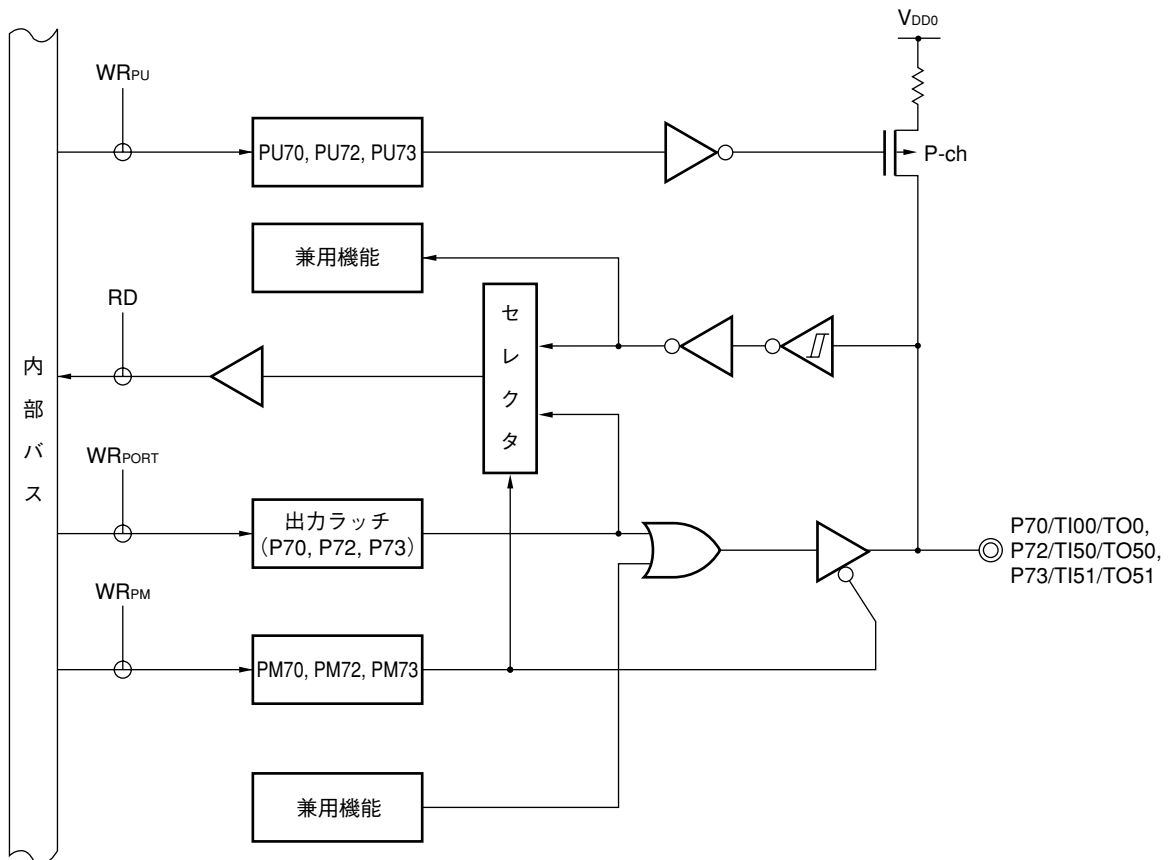
出力ラッチ付き6ビット入出力ポートです。ポート・モード・レジスタ7 (PM7) により、1ビット単位で入力モード/出力モードの指定ができます。P70-P75端子は、プルアップ抵抗オプション・レジスタ7 (PU7) により、1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてタイマの入出力、クロック出力、ブザー出力があります。

RESET入力により、入力モードになります。

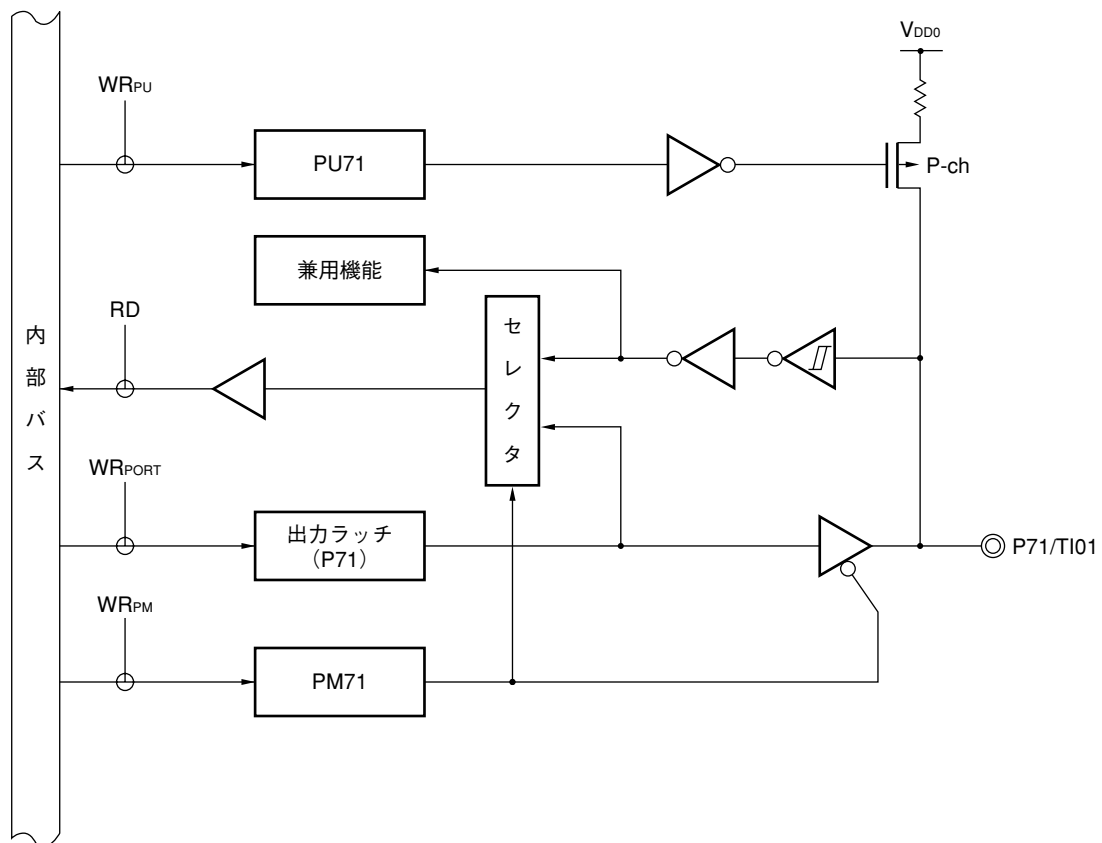
図6-21～図6-23にポート7のブロック図を示します。

図6-21 P70, P72, P73のブロック図



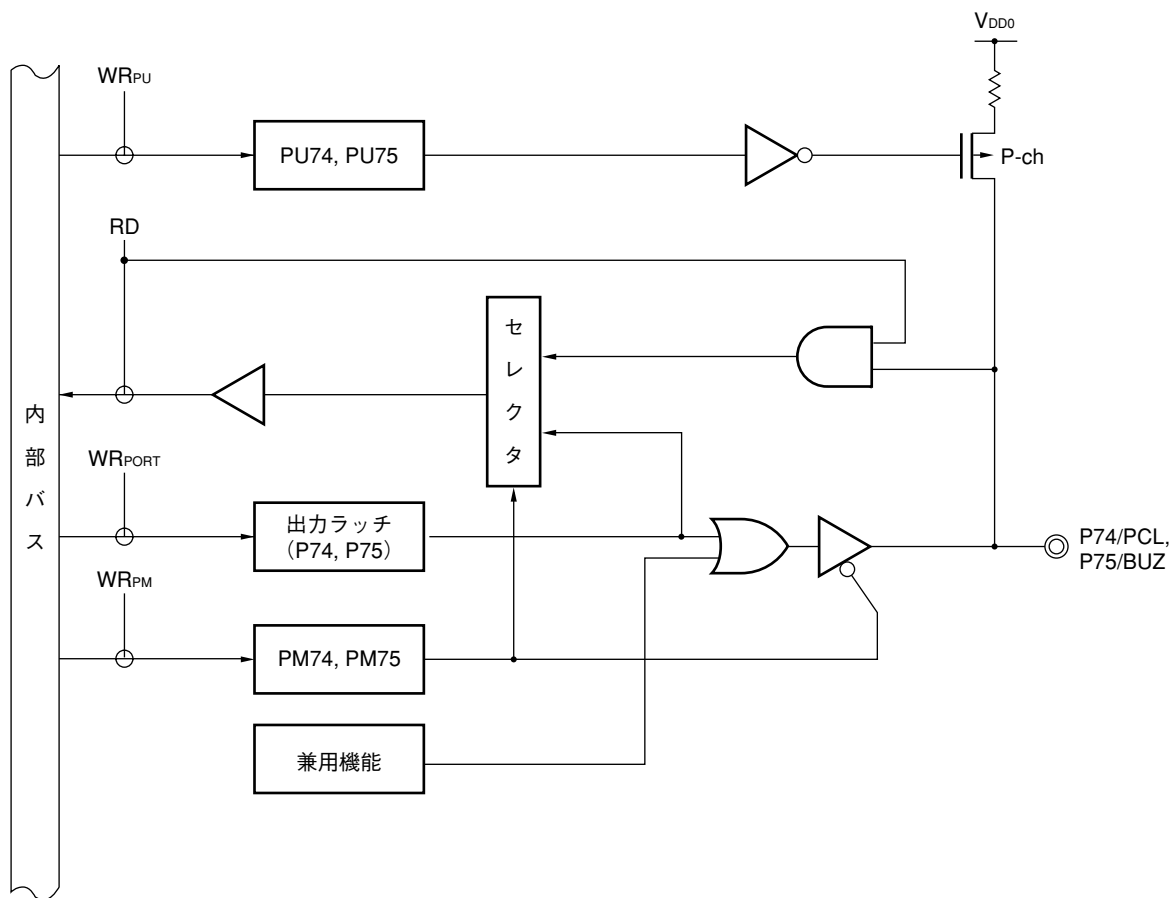
- PU : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート7のリード信号
- WR : ポート7のライト信号

図6-22 P71のブロック図



- PU : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート7のリード信号
- WR : ポート7のライト信号

図6-23 P74, P75のブロック図



- PU : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート7のリード信号
- WR : ポート7のライト信号

6.3 ポート機能を制御するレジスタ

ポートは、次の2種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0, PM2-PM7)
- ・プルアップ抵抗オプション・レジスタ (PU0, PU2-PU7)

(1) ポート・モード・レジスタ (PM0, PM2-PM7)

ポートの入力/出力を1ビット単位で指定するレジスタです。

PM0, PM2-PM7は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表6-6のように設定してください。

注意1. P10-P17端子は、入力専用端子です。

2. ポート0は、外部割り込み要求入力と兼用になっているため、外部割り込み立ち上がりエッジ許可レジスタ (EGP) と外部割り込み立ち下がりエッジ許可レジスタ (EGN) で割り込み禁止に設定していないときに、ポート機能の出力モードを指定し、出力レベルを変化させると、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。
3. ポートに兼用端子がある場合、兼用出力機能として使用するときは、対応する出力ラッチ (P0, P2-7) に0を設定してください。

図6-24 ポート・モード・レジスタ (PM0, PM2-PM7) のフォーマット

アドレス：FF20H	リセット時：FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM0	1	1	1	1	PM03	PM02	PM01	PM00
アドレス：FF22H	リセット時：FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM2	1	1	PM25	PM24	PM23	PM22	PM21	PM20
アドレス：FF23H	リセット時：FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM3	1	PM36	PM35	PM34	PM33	PM32	PM31	PM30
アドレス：FF24H	リセット時：FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40
アドレス：FF25H	リセット時：FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50
アドレス：FF26H	リセット時：FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM6	PM67	PM66	PM65	PM64	1	1	1	1
アドレス：FF27H	リセット時：FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM7	1	1	PM75	PM74	PM73	PM72	PM71	PM70

PMmn	Pmn端子の入出力モードの選択 (m = 0, 2-7 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

表6-6 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定 (1/2)

端子名称	兼用機能		PM××	P××
	名称	入出力		
P00-P02	INTP0-INTP2	入力	1	×
P03	INTP3	入力	1	×
	ADTRG	入力	1	×
P10-P17	ANI0-ANI7	入力	1 (固定)	×
P20	SI30	入力	1	×
P21	SO30	出力	0	0
P22	$\overline{\text{SCK30}}$	入力	1	×
		出力	0	0
P23	RxD0	入力	1	×
P24	TxD0	出力	0	0
P25	ASCK0	入力	1	×
P32	SDA0 ^{注1}	入出力	0	0
P33	SCL0 ^{注1}	入出力	0	0
P34	SI31	入力	1	×
P35	SO31	出力	0	0
P36	$\overline{\text{SCK31}}$	入力	1	×
		出力	0	0
P40-P47	AD0-AD7	入出力	× ^{注2}	
P50-P57	A8-A15	出力	× ^{注2}	
P64	$\overline{\text{RD}}$	出力	× ^{注2}	
P65	$\overline{\text{WR}}$	出力	× ^{注2}	
P66	$\overline{\text{WAIT}}$	入力	1 ^{注2}	× ^{注2}
P67	ASTB	出力	× ^{注2}	

注1. μ PD780024AY, 780034AYサブシリーズのみ

2. P40-P47, P50-P57, P64-P67端子を兼用機能の端子として使用するときは，メモリ拡張モード・レジスタ (MEM) で機能を設定します。

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

表6-6 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定 (2/2)

端子名称	兼用機能		PM××	P××
	名称	入出力		
P70	TI00	入力	1	×
	TO0	出力	0	0
P71	TI01	入力	1	×
P72	TI50	入力	1	×
	TO50	出力	0	0
P73	TI51	入力	1	×
	TO51	出力	0	0
P74	PCL	出力	0	0
P75	BUZ	出力	0	0

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

(2) プルアップ抵抗オプション・レジスタ (PU0, PU2-PU7)

各ポートの内蔵プルアップ抵抗を使用するか、使用しないかを設定するレジスタです。PU0, PU2-PU7を設定することにより、PU0, PU2-PU7内のビットに対応するポート端子の内蔵プルアップ抵抗を使用できます。

PU0, PU2-PU7は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。 $\overline{\text{RESET}}$ 入力により、00Hになります。

- 注意1. P10-P17端子は、プルアップ抵抗を内蔵していません。
- 2. P30-P33端子 (μ PD780024AY, 780034AYサブシリーズはP30, P31端子)は、マスクROM製品のみマスク・オプションでプルアップ抵抗を内蔵できます。
- 3. PUmに1を設定すると、入力/出力モードにかかわらず、内蔵プルアップ抵抗が接続されます。出力モードで使用する場合は対応するPUmのビットを0にしてください (m = 0, 2-7)。

図6-25 プルアップ抵抗オプション・レジスタ (PU0, PU2-PU7)のフォーマット

アドレス: FF30H	リセット時: 00H	R/W						
略号	7	6	5	4	3	2	1	0
PU0	0	0	0	0	PU03	PU02	PU01	PU00
アドレス: FF32H	リセット時: 00H	R/W						
略号	7	6	5	4	3	2	1	0
PU2	0	0	PU25	PU24	PU23	PU22	PU21	PU20
アドレス: FF33H	リセット時: 00H	R/W						
略号	7	6	5	4	3	2	1	0
PU3	0	PU36	PU35	PU34	0	0	0	0
アドレス: FF34H	リセット時: 00H	R/W						
略号	7	6	5	4	3	2	1	0
PU4	PU47	PU46	PU45	PU44	PU43	PU42	PU41	PU40
アドレス: FF35H	リセット時: 00H	R/W						
略号	7	6	5	4	3	2	1	0
PU5	PU57	PU56	PU55	PU54	PU53	PU52	PU51	PU50
アドレス: FF36H	リセット時: 00H	R/W						
略号	7	6	5	4	3	2	1	0
PU6	PU67	PU66	PU65	PU64	0	0	0	0
アドレス: FF37H	リセット時: 00H	R/W						
略号	7	6	5	4	3	2	1	0
PU7	0	0	PU75	PU74	PU73	PU72	PU71	PU70

PUmn	Pmn端子の内蔵プルアップ抵抗の選択 (m = 0, 2-7; n = 0-7)
0	内蔵プルアップ抵抗を使用しない
1	内蔵プルアップ抵抗を使用する

6.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

6.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。リセットによって、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

6.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

6.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

リセットによって、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

6.5 マスク・オプションの選択

マスクROM製品には、次のマスク・オプションがあります。フラッシュ・メモリ製品には、マスク・オプションはありません。

表 6-7 マスクROM製品のマスク・オプションとフラッシュ・メモリ製品との比較

端子名	マスクROM製品	フラッシュ・メモリ製品
P30-P33端子 ^注 のマスク・オプション	1ビット単位でプルアップ抵抗の内蔵を指定できます。	プルアップ抵抗を内蔵できません。

注 μ PD780024AY, 780034AYサブシリーズでは、P30, P31端子にのみプルアップ抵抗の内蔵を指定できます。

第7章 クロック発生回路

7.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。
システム・クロック発振回路には、次の2種類があります。

(1) メイン・システム・クロック発振回路

次の周波数のクロックを発振します。

- ・ 1.0~8.38 MHz : μ PD780021A, 780022A, 780023A, 780024A, 780031A, 780032A, 780033A, 780034Aの従来規格品, μ PD780021AY, 780022AY, 780023AY, 780024AY, 780031AY, 780032AY, 780033AY, 780034AY, 78F0034A, 78F0034AY, 78F0034BY
- ・ 1.0~12 MHz : μ PD780021A, 780022A, 780023A, 780024A, 780031A, 780032A, 780033A, 780034Aの拡張規格品, μ PD78F0034B

STOP命令の実行およびプロセッサ・クロック・コントロール・レジスタ (PCC) の設定により、発振を停止できます。

(2) サブシステム・クロック発振回路

32.768 kHzの周波数のクロックを発振します。発振の停止はできません。サブシステム・クロック発振回路を使用しないとき、プロセッサ・クロック・コントロール・レジスタ (PCC) により、内蔵フィードバック抵抗を使用しない設定ができます。これによって、STOPモード時の消費電力を低減できます。

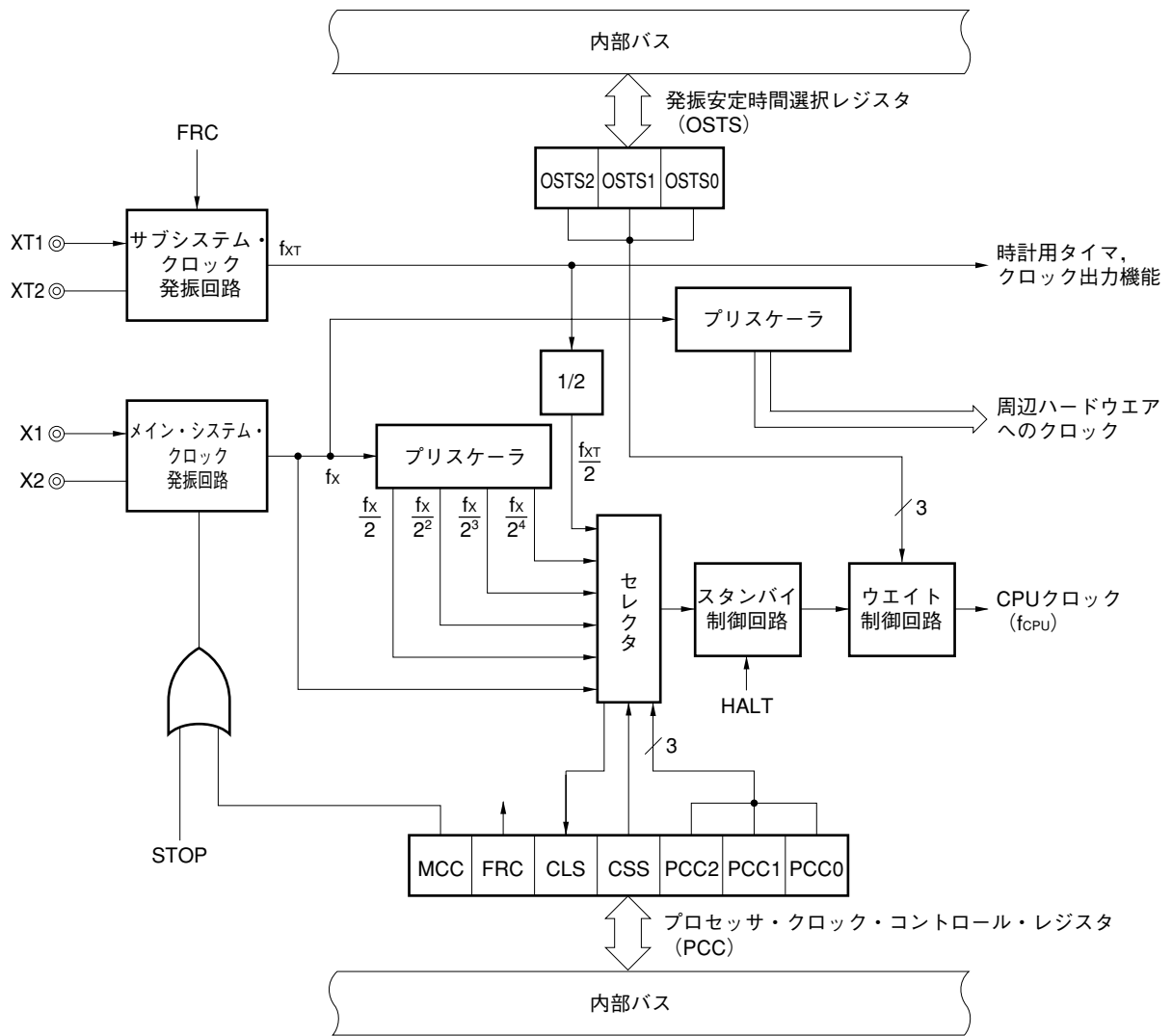
7.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表7-1 クロック発生回路の構成

項目	構成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ (PCC) 発振安定時間選択レジスタ (OSTS)
発振回路	メイン・システム・クロック発振回路 サブシステム・クロック発振回路
制御回路	プリスケアラ スタンバイ制御回路 ウェイト制御回路

図7-1 クロック発生回路のブロック図



7.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の2種類のレジスタで制御します。

- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・発振安定時間選択レジスタ (OSTS)

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択、分周比、メイン・システム・クロック発振回路の動作/停止、サブシステム・クロック発振回路の内蔵フィードバック抵抗^注を使用するか、しないかを設定するレジスタです。

PCCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、04Hになります。

注 フィードバック抵抗は発振波形のバイアス点を電源電圧の中間付近に調整するために必要なものです。

サブシステム・クロックを使用しない場合のみ、PCCのビット6 (FRC) に1を設定することでSTOPモード時の消費電力をさらに抑えることが可能です (図7-7 サブシステム・クロックのフィードバック抵抗を参照)。

図7-2 プロセッサ・クロック・コントロール・レジスタ(PCC)のフォーマット

アドレス：FFF^{BH} リセット時：04H R/W^{注1}

略号	7	6	5	4	3	2	1	0
PCC	MCC	FRC	CLS	CSS	0	PCC2	PCC1	PCC0

MCC	メイン・システム・クロックの発振の制御 ^{注2}
0	発振可能
1	発振停止

FRC	サブシステム・クロックのフィードバック抵抗の選択
0	内蔵フィードバック抵抗を使用する
1	内蔵フィードバック抵抗を使用しない ^{注3}

CLS	CPUクロックのステータス
0	メイン・システム・クロック
1	サブシステム・クロック

CSS	PCC2	PCC1	PCC0	CPUクロック (fcPU) の選択
0	0	0	0	f_x
	0	0	1	$f_x/2$
	0	1	0	$f_x/2^2$
	0	1	1	$f_x/2^3$
	1	0	0	$f_x/2^4$
1	0	0	0	$f_{XT}/2$
	0	0	1	
	0	1	0	
	0	1	1	
	1	0	0	
上記以外				設定禁止

注1. ビット5は、Read Onlyです。

2. CPUがサブシステム・クロックで動作しているとき、メイン・システム・クロックの発振の停止はMCCを使用してください。STOP命令は使用しないでください。
3. サブシステム・クロックを使用しない場合のみ1に設定可能です。

注意1. ビット3には、必ず0を設定してください。

2. 外部クロックを入力しているとき、MCCをセットしないでください。これはX2端子がV_{DD1}にプルアップされるためです。

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{XT} : サブシステム・クロック発振周波数

μ PD780024A, 780034A, 780024AY, 780034AYサブシリーズの一番速い命令は、CPUクロック2クロックで実行されます。したがって、CPUクロック (f_{CPU}) と最小命令実行時間の関係は、表7-2のようになります。

表7-2 CPUクロックと最小命令実行時間の関係

CPUクロック (f_{CPU})	最小命令実行時間： $2/f_{CPU}$		
	$f_x = 8.38 \text{ MHz}$	$f_x = 12 \text{ MHz}^{\text{注}}$	$f_{XT} = 32.768 \text{ kHz}$
f_x	$0.238 \mu\text{s}$	$0.166 \mu\text{s}$	—
$f_x/2$	$0.477 \mu\text{s}$	$0.333 \mu\text{s}$	—
$f_x/2^2$	$0.954 \mu\text{s}$	$0.666 \mu\text{s}$	—
$f_x/2^3$	$1.90 \mu\text{s}$	$1.33 \mu\text{s}$	—
$f_x/2^4$	$3.81 \mu\text{s}$	$2.66 \mu\text{s}$	—
$f_{XT}/2$	—	—	$122 \mu\text{s}$

注 μ PD780024A, 780034Aサブシリーズの拡張規格品のみ。

備考 f_x : メイン・システム・クロック発振周波数

f_{XT} : サブシステム・クロック発振周波数

(2) 発振安定時間選択レジスタ (OSTS)

リセット時またはSTOPモードを解除してから発振が安定するまでの発振安定時間を選択するレジスタです。

OSTSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、04Hになります。したがって、 $\overline{\text{RESET}}$ 入力でSTOPモードを解除するとき、解除までの時間は $2^{17}/f_x$ です。

図7-3 発振安定時間選択レジスタ (OSTS) のフォーマット

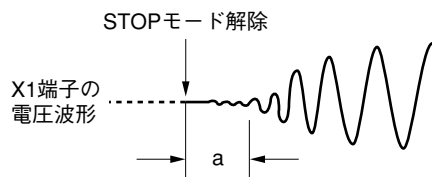
アドレス：FFFAH リセット時：04H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択	発振安定時間の選択	
				$f_x = 8.38 \text{ MHz}$	$f_x = 12 \text{ MHz}$ ^注
0	0	0	$2^{12}/f_x$	488 μs	341 μs
0	0	1	$2^{14}/f_x$	1.95 ms	1.36 ms
0	1	0	$2^{15}/f_x$	3.91 ms	2.73 ms
0	1	1	$2^{16}/f_x$	7.82 ms	5.46 ms
1	0	0	$2^{17}/f_x$	15.6 ms	10.9 ms
上記以外			設定禁止		

注 $\mu\text{PD780024A}$, 780034A サブシリーズの拡張規格品のみ。

注意 STOPモード解除時のウエイト時間には、STOPモード解除後にクロックが発振を開始するまでの時間（下図 a）は含みません。これは、 $\overline{\text{RESET}}$ 入力による場合も、割り込み要求発生による場合も同様です。



備考 f_x ：メイン・システム・クロック発振周波数

7.4 システム・クロック発振回路

7.4.1 メイン・システム・クロック発振回路

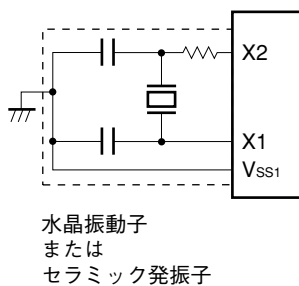
メイン・システム・クロック発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（標準：8.38 MHz）によって発振します。

また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力し、X2端子には、その反転した信号を入力してください。

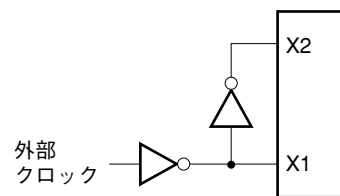
図7-4にメイン・システム・クロック発振回路の外付け回路を示します。

図7-4 メイン・システム・クロック発振回路の外付け回路

(a) 水晶, セラミック発振



(b) 外部クロック



注意 外部クロックを入力しているとき、STOP命令の実行およびMCC（プロセッサ・クロック・コントロール・レジスタ（PCC）のビット7）に1を設定しないでください。これは、STOP命令およびMCCに1を設定すると、メイン・システム・クロックの動作が停止され、X2端子が V_{DD1} にプルアップされるためです。

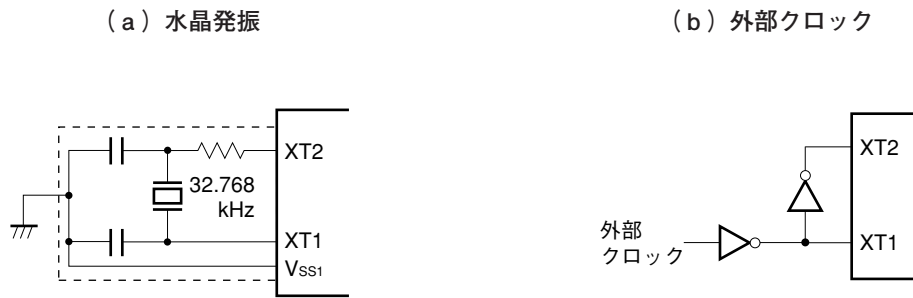
7.4.2 サブシステム・クロック発振回路

サブシステム・クロック発振回路はXT1, XT2端子に接続された水晶振動子（標準：32.768 kHz）によって発振します。

また、外部クロックを入力することもできます。その場合、XT1端子にクロック信号を入力し、XT2端子には、その反転した信号を入力してください。

図7-5にサブシステム・クロック発振回路の外付け回路を示します。

図7-5 サブシステム・クロック発振回路の外付け回路



注意を次ページに示します。

注意1. メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図7-4, 7-5の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS1} と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

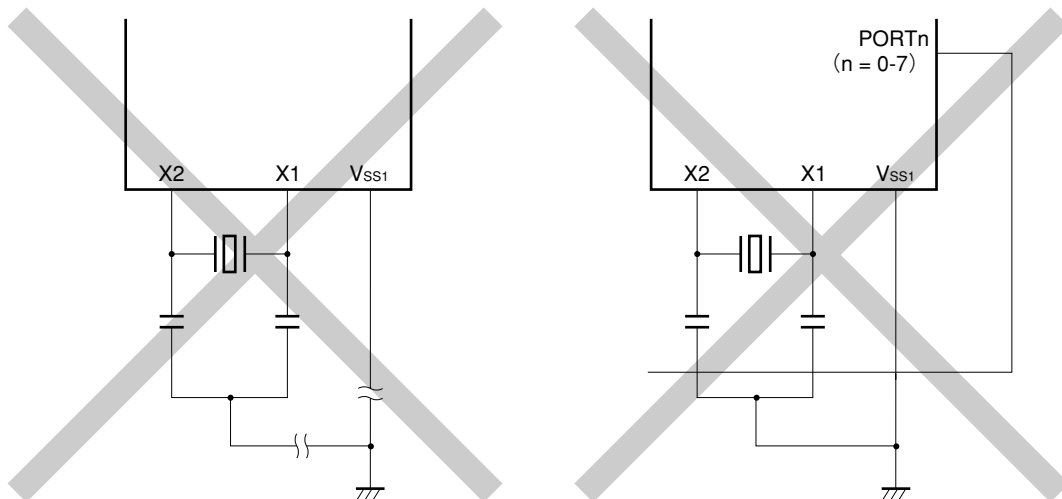
特に、サブシステム・クロック発振回路は、低消費電力にするために増幅度の低い回路になっていますのでご注意ください。

図7-6に発振子の接続の悪い例を示します。

図7-6 発振子の接続の悪い例 (1/2)

(a) 接続回路の配線が長い

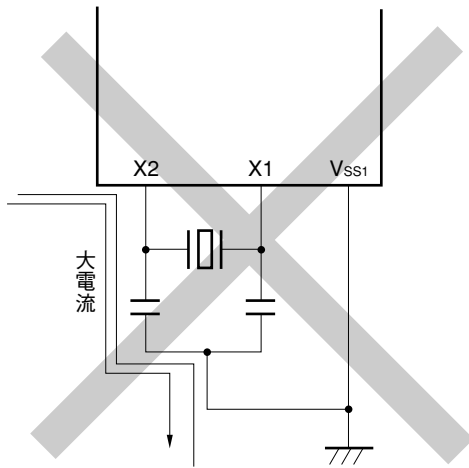
(b) 信号線が交差している



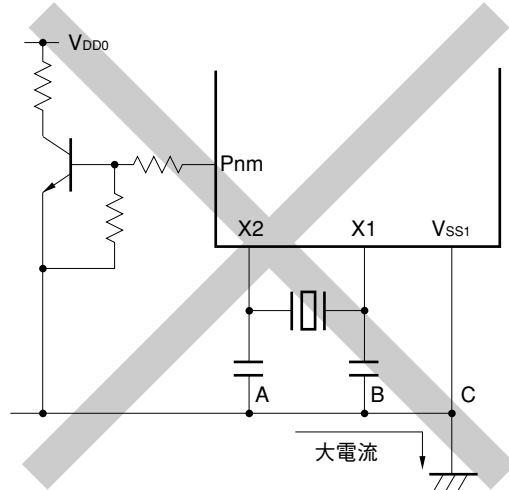
備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図7-6 発振子の接続の悪い例 (2/2)

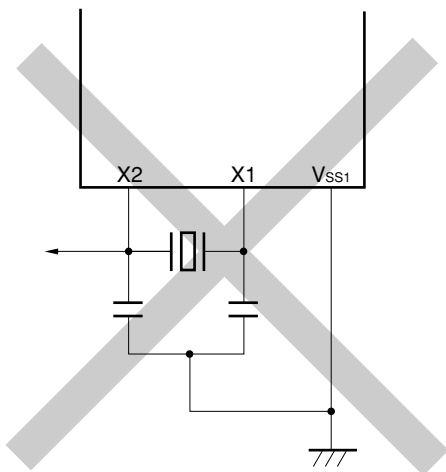
(c) 変化する大電流が信号線に近接している



(d) 発振回路部のグラウンド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(e) 信号を取り出している



備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

注意 2. X2とXT1が平行に配線されている場合、X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

これを避けるために、X2とXT1の配線を平行にしないとともに、X2, XT1の間にあるIC端子をVSS1に直接接続してください。

7.4.3 サブシステム・クロックを使用しない場合

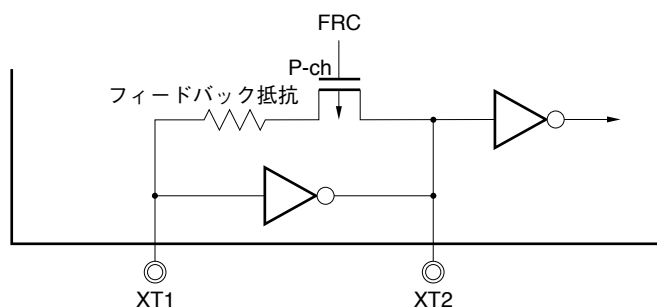
低消費電力動作や時計動作等のためにサブシステム・クロックを使用する必要のない場合、XT1, XT2端子を次のように処置してください。

XT1：V_{DD0}またはV_{DD1}に直接接続してください

XT2：オープンにしてください

ただし、この状態では、メイン・システム・クロックの停止時に、サブシステム・クロック発振回路の内蔵フィードバック抵抗を介して若干のリーク電流を流してしまいます。これを抑えるには、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット6（FRC）により上述の内蔵フィードバック抵抗を使用しない設定をしてください。このときも、XT1, XT2端子の処理は上記と同じです。

図7-7 サブシステム・クロックのフィードバック抵抗



備考 フィードバック抵抗は発振波形のバイアス点を電源電圧の中間付近に調整するために必要なものです。

7.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・メイン・システム・クロック f_X
- ・サブシステム・クロック f_{XT}
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ (PCC) により決定され、次のような機能、動作となります。

- RESET信号発生によりメイン・システム・クロックの最低速モード (3.81 μ s : 8.38 MHz動作時) が選択されます (PCC = 04H)。なお、RESET端子にロウ・レベルを入力している間、メイン・システム・クロックの発振は停止します。
- メイン・システム・クロックを選択した状態でPCCの設定により5段階の最小命令実行時間 (0.166 μ s, 0.333 μ s, 0.666 μ s, 1.33 μ s, 2.66 μ s : 12 MHz動作時^注, 0.238 μ s, 0.476 μ s, 0.954 μ s, 1.90 μ s, 3.81 μ s : 8.38 MHz動作時) を選択できます。
- メイン・システム・クロックを選択した状態でSTOPモード、HALTモードの2つのスタンバイ・モードが使用できます。また、サブシステム・クロックを使用していないシステムの場合、PCCのビット6 (FRC) で内蔵フィードバック抵抗を使用しない設定をすることにより、STOPモード時の消費電力をさらに低減できます。
- PCCにより、サブシステム・クロックを選択し、低消費電力で動作 (122 μ s : 32.768 kHz動作時) できます。
- サブシステム・クロックを選択した状態で、PCCによりメイン・システム・クロックの発振を停止できません。また、HALTモードを使用できます。しかし、STOPモードは使用できません (サブシステム・クロックの発振を停止させることはできません)。
- 周辺ハードウェアへのクロックはメイン・システム・クロックを分周して供給されますが、時計用タイマ、クロック出力機能にのみサブシステム・クロックも供給しています。このため、スタンバイ状態でも時計機能、クロック出力機能は、継続して使用できます。しかし、そのほかの周辺ハードウェアはメイン・システム・クロックによって動作していますので、メイン・システム・クロックを停止させたときは周辺ハードウェアも停止します (ただし、外部からの入力クロック動作は除く)。

注 μ PD780024A, 780034Aサブシリーズの拡張規格品のみ。

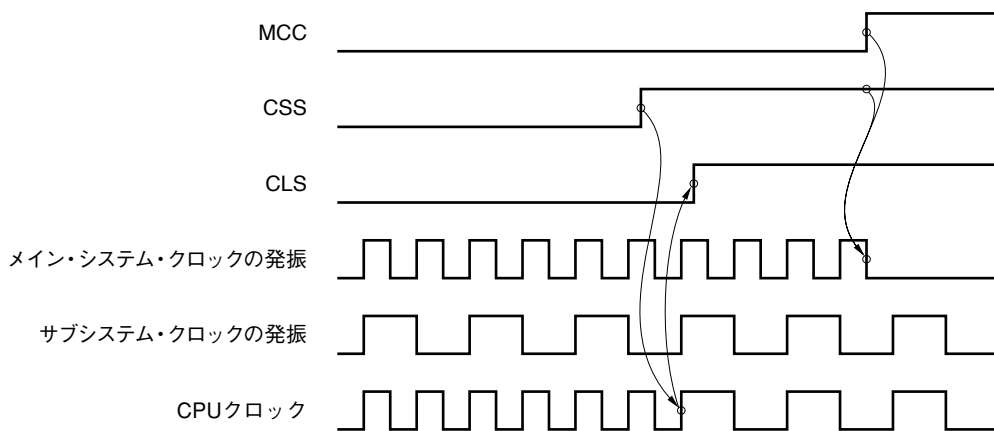
7.5.1 メイン・システム・クロックの動作

メイン・システム・クロック動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）のビット5（CLS）が0のとき）、PCCの設定により次のように動作します。

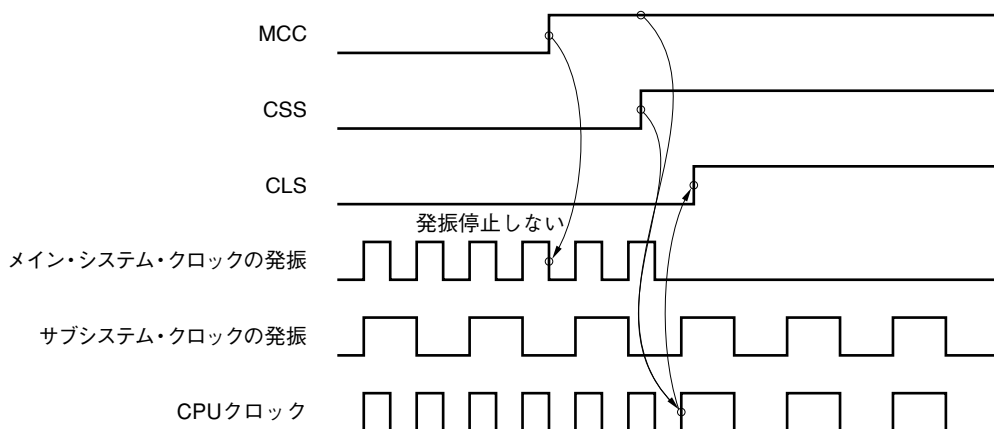
- (a) 電源電圧により動作保証命令実行速度が異なるため、PCCのビット0-2（PCC0-PCC2）により最小命令実行時間を変更できます。
- (b) メイン・システム・クロックで動作しているとき、PCCのビット4（CSS）を1に設定し、サブシステム・クロック動作に切り替わったあと（CLS = 1）、PCCのビット7（MCC）を1に設定すると、メイン・システム・クロックの発振が停止します（図7-8（1）参照）。
- (c) メイン・システム・クロックで動作しているとき、PCCのビット7（MCC）を1に設定してもメイン・システム・クロックの発振は停止しません。そのあとPCCのビット4（CSS）を1に設定し、サブシステム・クロック動作に切り替わったあと（CLS = 1）、メイン・システム・クロックの発振が停止します（図7-8（2）参照）。

図7-8 メイン・システム・クロックの停止機能

- (1) メイン・システム・クロック動作時にCSSをセットしたあと、MCCをセットしたときの動作



- (2) メイン・システム・クロック動作時にMCCをセットしたあと、CSSをセットしたときの動作



7.5.2 サブシステム・クロックの動作

サブシステム・クロック動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）のビット5（CLS）が1のとき）、次のように動作します。

- (a) PCCのビット0-2（PCC0-PCC2）に関係なく最小命令実行時間は一定（122 μ s : 32.768 kHz動作時）です。
- (b) ウォッチドッグ・タイマのカウントが停止します。

注意 サブシステム・クロック動作中はSTOP命令を実行しないでください。

7.6 システム・クロックとCPUクロックの設定の変更

7.6.1 システム・クロックとCPUクロックの切り替えに要する時間

システム・クロックとCPUクロックは、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット0-2（PCC0-PCC2）とビット4（CSS）により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します（表7-3参照）。

メイン・システム・クロックで動作しているのか、サブシステム・クロックで動作しているのかは、PCCのビット5（CLS）で判定できます。

表7-3 CPUクロックの切り替えに要する最大時間

切り替え前の設定値				切り替え後の設定値																							
CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0				
				0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0	1	×	×	×
0	0	0	0	16命令				16命令				16命令				16命令				fx/2fxt命令							
	0	0	1	8命令				8命令				8命令				8命令				fx/4fxt命令							
	0	1	0	4命令				4命令				4命令				4命令				fx/8fxt命令							
	0	1	1	2命令				2命令				2命令				2命令				fx/16fxt命令							
	1	0	0	1命令				1命令				1命令				1命令				fx/32fxt命令							
1	×	×	×	1命令				1命令				1命令				1命令				1命令							

備考 1命令は、切り替え前のCPUクロックの最小命令実行時間となります。

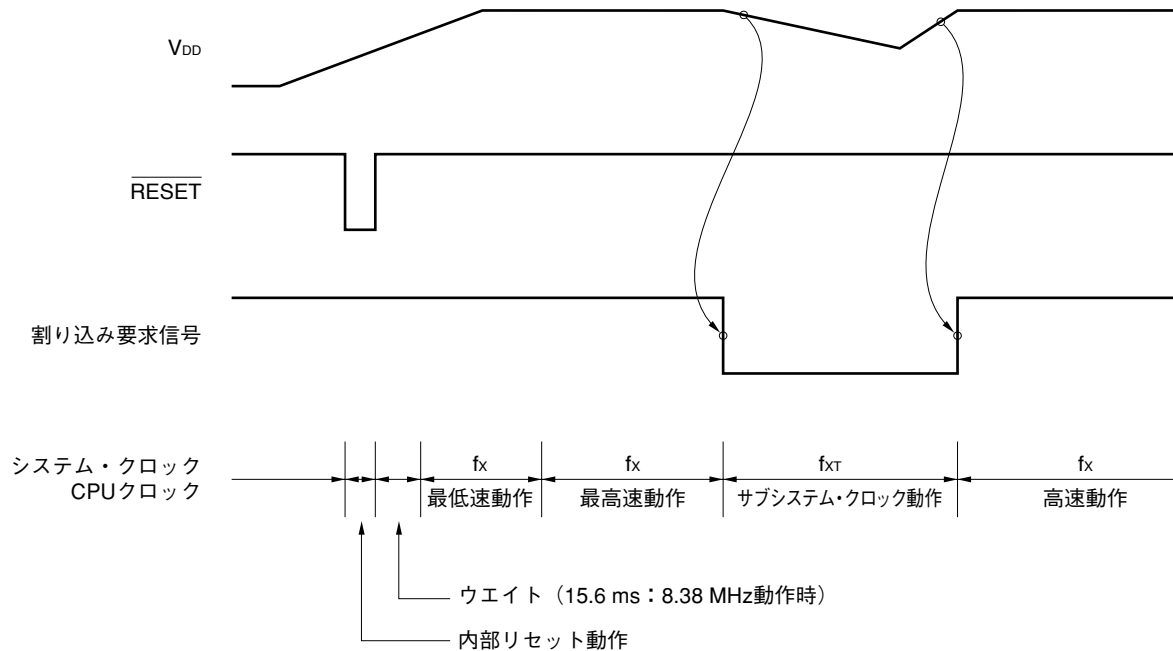
注意 CPUクロックの分周の選択（PCC0-PCC2）とメイン・システム・クロックからサブシステム・クロックへの切り替え（CSSを0→1）を同時に設定しないでください。

ただし、CPUクロックの分周の選択（PCC0-PCC2）とサブシステム・クロックからメイン・システム・クロックへの切り替え（CSSを1→0）は同時に設定可能です。

7.6.2 システム・クロックとCPUクロックの切り替え手順

システム・クロックとCPUクロックの切り替えについて説明します。

図7-9 システム・クロックとCPUクロックの切り替え



- ① 電源投入後、 $\overline{\text{RESET}}$ 端子をロウ・レベルにすることでCPUにリセットがかかります。その後、 $\overline{\text{RESET}}$ 端子をハイ・レベルにするとリセットが解除され、メイン・システム・クロックが発振開始します。このとき、自動的に発振安定時間 ($2^{17}/f_x$) を確保します。
その後、CPUはメイン・システム・クロックの最低速 ($3.81 \mu\text{s}$: 8.38 MHz動作時) で命令の実行を開始します。
- ② V_{DD}電圧が最高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ (PCC) を書き換えて最高速動作を行います。
- ③ V_{DD}電圧が低下したことを割り込み要求信号などにより検出し、サブシステム・クロックに切り替えます (このとき、サブシステム・クロックが発振安定状態になっていなければなりません)。
- ④ V_{DD}電圧が復帰したことを割り込み要求信号などにより検出し、PCCのビット7 (MCC) に0を設定してメイン・システム・クロックを発振開始させ、発振が安定するのに必要な時間経過後、PCCを書き換えて最高速動作に戻します。

注意 メイン・システム・クロックを停止させサブシステム・クロックで動作させている場合に、再度メイン・システム・クロックに切り替えるときには、プログラムで発振安定時間を確保したあとに切り替えてください。

第8章 16ビット・タイマ/イベント・カウンタ0

8.1 16ビット・タイマ/イベント・カウンタ0の機能

16ビット・タイマ/イベント・カウンタ0には、次のような機能があります。

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

・カウント数：2～65536カウント

(2) 外部イベント・カウンタ

外部から入力される信号の、ハイ/ロウ・レベル幅を持ったパルス数を測定できます。

・有効レベル・パルス幅：16/fx以上

(3) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

・有効レベル・パルス幅：2/fx以上

(4) 方形波出力

任意の周波数の方形波を出力できます。

・周期 $(2 \times 2 \sim 65536 \times 2) \times \text{カウント} \cdot \text{クロックの周期}$

(5) PPG出力

任意の周期とパルス幅を持った矩形波を出力できます。

・ $2 < \text{パルス幅} < \text{周期} \leq (\text{FFFF} + 1) \text{H}$

(1) 16ビット・タイマ・カウンタ0 (TM0)

TM0は、カウント・パルスをカウントする16ビットのリード専用レジスタです。

カウント・クロックの立ち上がりに同期して、カウンタをインクリメントします。また、動作中にカウント値を読み出した場合、カウント・クロックの入力を一時停止し、その時点でのカウント値を読み出します。

次の場合、カウント値は0000Hになります。

- ① $\overline{\text{RESET}}$ 入力
- ② TMC03, TMC02をクリア
- ③ TI00有効エッジ入力でクリア&スタート・モード時のTI00有効エッジが入力されたとき
- ④ CR00の一致でクリア&スタート・モード時のTM0とCR00の一致

(2) 16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00)

CR00は、キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のビット0 (CRC00) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

・CR00をコンペア・レジスタとして使用するとき

CR00に設定した値と16ビット・タイマ・カウンタ0 (TM0) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM00) を発生します。TM0をインターバル・タイマ動作に設定したとき、インターバル時間を保持するレジスタとしても使用できます。

・CR00をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI00端子、またはTI01端子の有効エッジが選択できます。TI00, TI01の有効エッジは、プリスケラ・モード・レジスタ0 (PRM0) で設定します (表8-2を参照)。

表8-2 CR00のキャプチャ・トリガとTI00端子とTI01端子の有効エッジ

(1) キャプチャ・トリガとしてTI00端子の有効エッジを選択 (CRC01 = 1, CRC00 = 1)

CR00のキャプチャ・トリガ	TI00端子の有効エッジ	TI00端子の有効エッジ	
		ES01	ES00
立ち下がりエッジ	立ち上がりエッジ	0	1
立ち上がりエッジ	立ち下がりエッジ	0	0
キャプチャ動作しない	立ち上がり、立ち下がりの両エッジ	1	1

(2) キャプチャ・トリガとしてTI01端子の有効エッジを選択 (CRC01 = 0, CRC00 = 1)

CR00のキャプチャ・トリガ	TI01端子の有効エッジ	TI01端子の有効エッジ	
		ES11	ES10
立ち下がりエッジ	立ち下がりエッジ	0	0
立ち上がりエッジ	立ち上がりエッジ	0	1
立ち上がり、立ち下がりの両エッジ	立ち上がり、立ち下がりの両エッジ	1	1

備考1. ES01, ES00 = 1, 0およびES11, ES10 = 1, 0は設定禁止です。

- 2. ES01, ES00 : プリスケラ・モード・レジスタ0 (PRM0) のビット5, 4
- ES11, ES10 : プリスケラ・モード・レジスタ0 (PRM0) のビット7, 6
- CRC01, CRC00 : キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のビット1, 0

CR00は、16ビット・メモリ操作命令で設定します。

RESET入力により、不定になります。

注意1. TM0とCR00の一致でクリア&スタート・モードでは、CR00には0000H以外の値を設定してください。

フリー・ランニング・モードおよびTI00の有効エッジのクリア・モードにおいて、CR00に0000Hを設定した場合は、オーバフロー（FFFFH）後、0000Hから0001Hになるときに、割り込み要求（INTTM00）を発生します。

2. CR00の変更値が16ビット・タイマ・カウンタ0（TM0）の値より小さいとき、TM0はカウントを継続しオーバフローして0から再カウントします。したがってCR00の変更後の値が変更前の値より小さいときは、CR00を変更後、タイマをリセットし、再スタートさせる必要があります。
3. P70をTI00有効エッジの入力端子として使用するときは、タイマ出力（TO0）として使用できません。また、TO0として使用するときは、TI00有効エッジの入力端子として使用できません。

(3) 16ビット・タイマ・キャプチャ/コンペア・レジスタ01（CR01）

キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ0（CRC0）のビット2（CRC02）により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

・CR01をコンペア・レジスタとして使用するとき

CR01に設定した値と16ビット・タイマ・カウンタ0（TM0）のカウント値を常に比較し、一致したときに割り込み要求（INTTM01）を発生します。

・CR01をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI00端子の有効エッジが選択できます。TI00の有効エッジは、プリスケアラ・モード・レジスタ0（PRM0）で設定します（表8-3を参照）。

表8-3 CR01のキャプチャ・トリガとTI00端子の有効エッジ（CRC02 = 1）

CR01のキャプチャ・トリガ	TI00端子の有効エッジ	TI00端子の有効エッジ	
		ES01	ES00
立ち下がりエッジ	立ち下がりエッジ	0	0
立ち上がりエッジ	立ち上がりエッジ	0	1
立ち上がり、立ち下がりの両エッジ	立ち上がり、立ち下がりの両エッジ	1	1

備考1. ES01, ES00 = 1, 0は設定禁止です。

2. ES01, ES00 : プリスケアラ・モード・レジスタ0（PRM0）のビット5, 4
CRC02 : キャプチャ/コンペア・コントロール・レジスタ0（CRC0）のビット2

CR01は、16ビット・メモリ操作命令で設定します。

RESET入力により不定になります。

注意 TM0とCR00の一致でクリア&スタート・モードでは、CR01には0000H以外の値を設定してください。

フリー・ランニング・モードおよびTI00の有効エッジのクリア・モードにおいて、CR01に0000Hを設定した場合は、オーバフロー（FFFFH）後、0000Hから0001Hになるときに、割り込み要求（INTTM01）を発生します。

8.3 16ビット・タイマ/イベント・カウンタ0を制御するレジスタ

16ビット・タイマ/イベント・カウンタ0を制御するレジスタには、次の6種類があります。

- ・16ビット・タイマ・モード・コントロール・レジスタ0（TMC0）
- ・キャプチャ/コンペア・コントロール・レジスタ0（CRC0）
- ・16ビット・タイマ出力コントロール・レジスタ0（TOC0）
- ・プリスケアラ・モード・レジスタ0（PRM0）
- ・ポート・モード・レジスタ7（PM7）
- ・ポート7（P7）

(1) 16ビット・タイマ・モード・コントロール・レジスタ0（TMC0）

16ビット・タイマの動作モード、16ビット・タイマ・カウンタ0（TM0）のクリア・モード、出力タイミングの設定およびオーバフローを検出するレジスタです。

TMC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

注意 16ビット・タイマ・カウンタ0（TM0）は、TMC02, TMC03に0,0（動作停止モード）以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC02, TMC03に0,0を設定してください。

図8-2 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) のフォーマット

アドレス：FF60H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TMC0	0	0	0	0	TMC03	TMC02	0	OVF0

TMC03	TMC02	動作モードおよび クリア・モードの選択	TO0の出力 タイミングの選択	割り込み要求の発生
0	0	動作停止 (TM0は0にクリア)	変化なし	発生しない
0	1	フリー・ランニング・モード	TM0とCR00の一致または TM0とCR01の一致	TM0とCR00の一致 または
1	0	TI00の有効エッジで クリア&スタート ^{注1}	—	TM0とCR01の一致 で発生
1	1	TM0とCR00の一致で クリア&スタート ^{注2}	TM0とCR00の一致または TM0とCR01の一致	

OVF0	16ビット・タイマ・カウンタ0 (TM0) のオーバフロー検出
0	オーバフローなし
1	オーバフローあり

注1. TI00/TO0/P70端子の有効エッジは、プリスケアラ・モード・レジスタ0 (PRM0) で設定します。

2. TM0とCR00の一致でクリア&スタートするモードを選択した場合、CR00の設定値がFFFFHで、TM0の値がFFFFHから0000Hに変化するとき、OVF0フラグが1に設定されます。

注意1. TMC0を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2. OVF0フラグ以外のビットには、タイマ動作を停止してから書き込んでください。

- 備考
- TO0 : 16ビット・タイマ/イベント・カウンタ0の出力端子
 - TI00 : 16ビット・タイマ/イベント・カウンタ0の入力端子
 - TM0 : 16ビット・タイマ・カウンタ0
 - CR00 : 16ビット・タイマ・キャプチャ/コンペア・レジスタ00
 - CR01 : 16ビット・タイマ・キャプチャ/コンペア・レジスタ01

(2) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

16ビット・タイマ・キャプチャ/コンペア・レジスタ (CR00, CR01) の動作を制御するレジスタです。CRC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。 $\overline{\text{RESET}}$ 入力により00Hになります。

図8-3 キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のフォーマット

アドレス：FF62H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CRC0	0	0	0	0	0	CRC02	CRC01	CRC00

CRC02	CRC01の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC01	CR00のキャプチャ・トリガの選択
0	TI01の有効エッジでキャプチャする
1	TI00の有効エッジの逆相でキャプチャする ^注

CRC00	CR00の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

注 TI00の有効エッジに立ち上がり、立ち下がりの両エッジを選択した場合には、キャプチャは動作しません。

注意1. CRC0は、必ずタイマ動作を停止させてから設定してください。

- 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) で、TM0とCR00の一致でクリア&スタート・モードを選択したとき、CR00をキャプチャ・レジスタに指定しないでください。
- キャプチャを確実にを行うために、キャプチャ・トリガはプリスケアラ・モード・レジスタ0 (PRM0) で選択したカウント・クロックの2周期分より長いパルスを必要とします (図8-31を参照)。

(3) 16ビット・タイマ出力コントロール・レジスタ0 (TOC0)

16ビット・タイマ/イベント・カウンタ出力制御回路の動作を制御するレジスタです。R-S型フリップフロップ (LV0) のセット/リセット, 出力の反転許可/禁止, 16ビット・タイマ/イベント・カウンタのタイマ出力許可/禁止を設定します。

TOC0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図8-4 16ビット・タイマ出力コントロール・レジスタ0 (TOC0) のフォーマット

アドレス: FF63H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
TOC0	0	0	0	TOC04	LVS0	LVR0	TOC01	TOE0

TOC04	CR01とTM0の一致によるタイマ出力F/Fの制御	
0	反転動作禁止	
1	反転動作許可	

LVS0	LVR0	16ビット・タイマ/イベント・カウンタ0のタイマ出力F/Fの状態の設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット(0)
1	0	タイマ出力F/Fをセット(1)
1	1	設定禁止

TOC01	CR00とTM0の一致によるタイマ出力F/Fの制御	
0	反転動作禁止	
1	反転動作許可	

TOE0	16ビット・タイマ/イベント・カウンタ0の出力の制御	
0	出力禁止(出力は0レベルに固定)	
1	出力許可	

注意1. TOC0は, 必ずタイマ動作を停止させてから設定してください。

2. LVS0, LVR0は, 読み出すと0になっています。

3. TOC0のビット5-7には, 必ず0を設定してください。

(4) プリスケアラ・モード・レジスタ0 (PRM0)

16ビット・タイマ・カウンタ0 (TM0) のカウント・クロックおよびTI00, TI01入力の有効エッジを設定するレジスタです。PRM0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図8-5 プリスケアラ・モード・レジスタ0 (PRM0) のフォーマット

アドレス：FF61H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PRM0	ES11	ES10	ES01	ES00	0	0	PRM01	PRM00

ES11	ES10	TI01有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

ES01	ES00	TI00有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

PRM01	PRM00	カウント・クロックの選択		
			$f_x = 8.38 \text{ MHz}$	$f_x = 12 \text{ MHz}$ ^{注1}
0	0	f_x	8.38 MHz	12 MHz
0	1	$f_x/2^2$	2.09 MHz	3 MHz
1	0	$f_x/2^6$	130 kHz	187 kHz
1	1	TI00有効エッジ ^{注2, 3}		

注1. μ PD780024A, 780034Aサブシリーズの拡張規格品のみ。

2. 外部クロックは内部クロック ($f_x/2^3$) の2周期分より長いパルスが必要とします。

3. TI00有効エッジ選択時は、ノイズ除去用のサンプリング・クロックにメイン・システム・クロックを使用しているため、メイン・システム・クロック動作時のみ使用できます。

注意1. PRM0は、必ずタイマ動作を停止させてからデータを設定してください。

2. カウント・クロックにTI00の有効エッジを設定する場合、TI00有効エッジでクリア&スタート・モードおよびキャプチャ・トリガに設定しないでください。

また、P70/TI00/TO0端子をタイマ出力 (TO0) として使用できません。

3. システム・リセット直後にTI00端子またはTI01端子がハイ・レベルの場合、TI00端子またはTI01端子の有効エッジを立ち上がりまたは両エッジに指定し、16ビット・タイマ・カウンタ0 (TM0) の動作を許可すると、その直後に立ち上がりエッジを検出します。TI00端子またはTI01端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。

備考1. f_x : メイン・システム・クロック発振周波数

2. TI00, TI01: 16ビット・タイマ/イベント・カウンタ0の入力端子

(5) ポート・モード・レジスタ7 (PM7)

ポート7の入力/出力を1ビット単位で設定するレジスタです。

P70/TO0/TI00端子をタイマ出力として使用するとき、PM70およびP70の出力ラッチに0を設定してください。

P70/TO0/TI00端子をタイマ入力として使用するとき、PM70に1を設定してください。このときP70の出力ラッチは、0または1のどちらでもかまいません。

PM7は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図8-6 ポート・モード・レジスタ7 (PM7) のフォーマット

アドレス：FF27H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM7	1	1	PM75	PM74	PM73	PM72	PM71	PM70

PM7n	P7n端子の入出力モードの選択 (n=0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

8.4 16ビット・タイマ/イベント・カウンタ0の動作

8.4.1 インターバル・タイマとしての動作

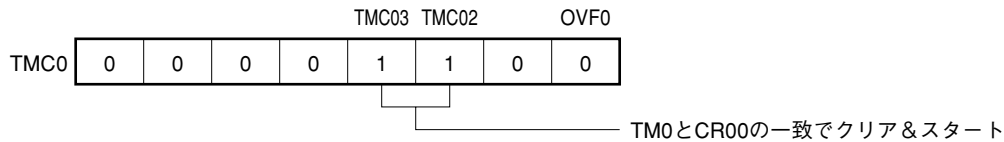
16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) と、キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) を図8-7のように設定することにより、インターバル・タイマとして動作します。16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生します。

16ビット・タイマ・カウンタ0 (TM0) のカウント値がCR00に設定した値と一致したとき、TM0の値を0にクリアしてカウントを継続するとともに割り込み要求信号 (INTTM00) を発生します。

プリスケアラ・モード・レジスタ0 (PRM0) のビット0, 1 (PRM00, PRM01) で16ビット・タイマ/イベント・カウンタのカウント・クロックを選択できます。

図8-7 インターバル・タイマ動作時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

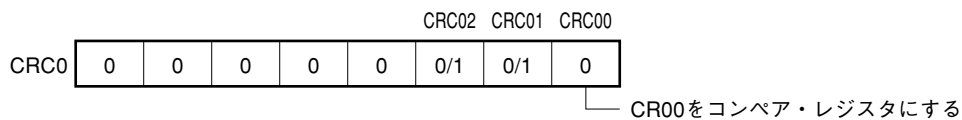
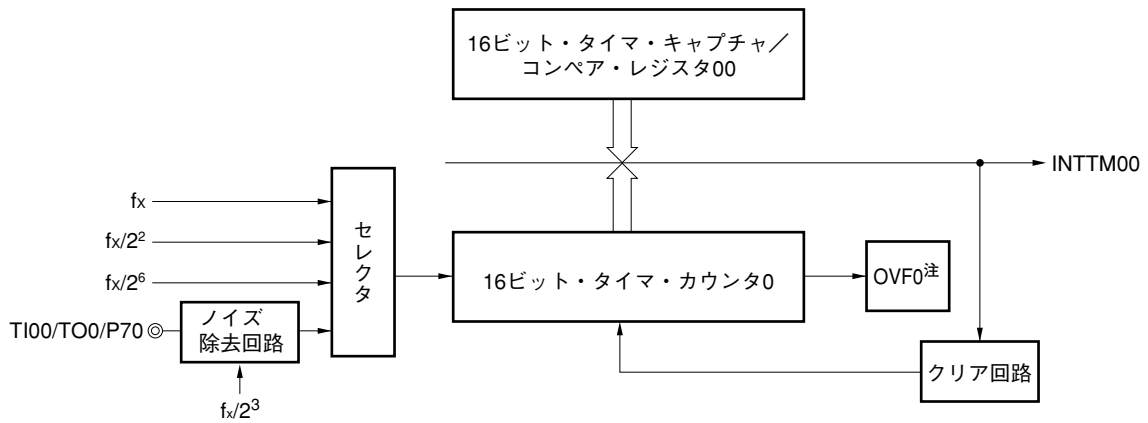
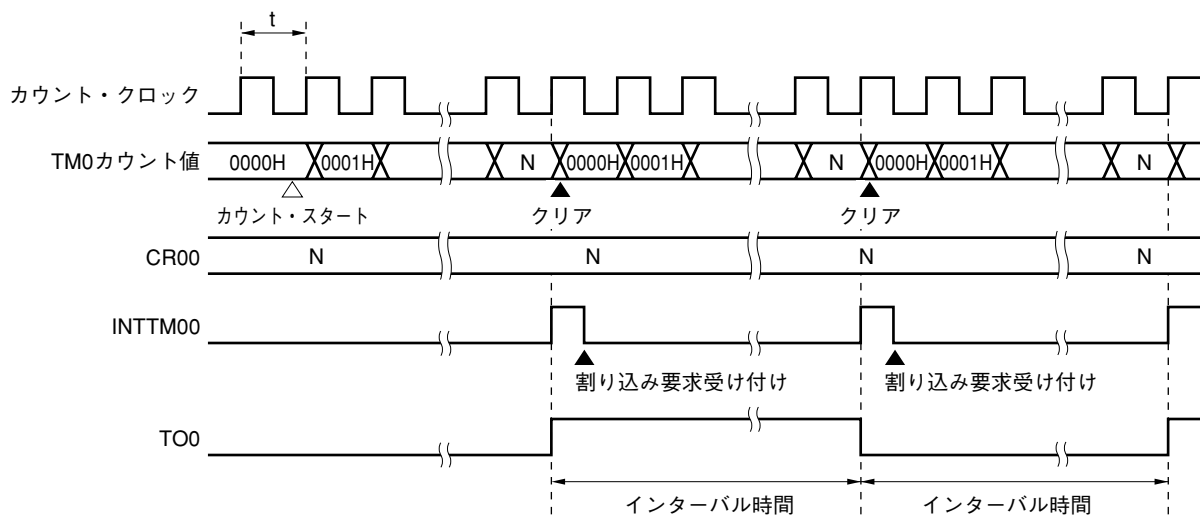


図8-8 インターバル・タイマの構成図



注 16ビット・タイマ・キャプチャ/コンペア・レジスタ00にFFFFHを設定した場合のみ、OVF0は1になります。

図8-9 インターバル・タイマ動作のタイミング

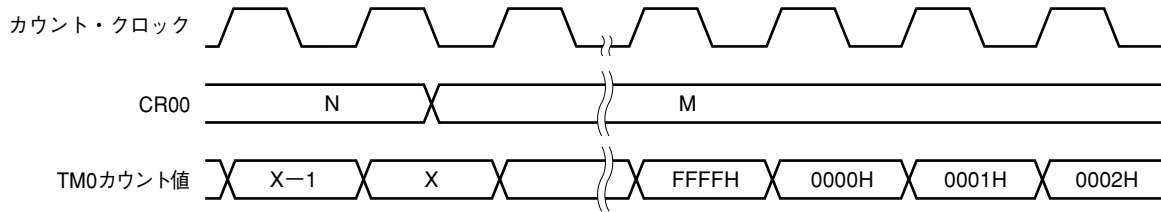


備考 インターバル時間 = (N+1) × t

N = 0001H-FFFFH

タイマ・カウント動作中にコンペア・レジスタを変更したときに、16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) の変更後の値が、16ビット・タイマ・カウンタ0 (TM0) の値よりも小さい場合は、TM0はカウントを継続しオーバーフローして0から再カウントします。したがって、CR00の変更後の値 (M) が変更前の値 (N) より小さい場合は、CR00を変更後、タイマを再スタートさせる必要があります。

図8-10 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



備考 $N > X > M$

8.4.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI00端子に入力される外部からのクロック・パルス数を16ビット・タイマ・カウンタ0 (TM0) でカウントするものです。

プリスケアラ・モード・レジスタ0 (PRM0) で指定した有効エッジが入力されるたびに、TM0がインクリメントされます。

TM0の計数値が16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) の値と一致すると、TM0は0にクリアされ、割り込み要求信号 (INTTM00) が発生します。

なお、CR00には0000H以外の値を入れてください (1パルスのカウント動作はできません)。

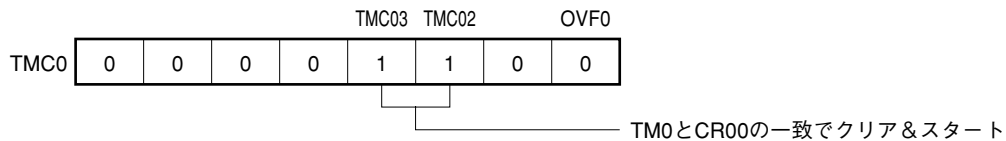
エッジ指定は、プリスケアラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) により、立ち上がり, 立ち下がり, 両エッジの3種類から選択できます。

内部クロック ($f_x/2^3$) でサンプリングを行い、TI00端子の有効レベルを2回検出することではじめて動作するため、短いパルス幅のノイズを除去できます。

注意 外部イベント・カウンタとして使用するとき、P70/TI00/TO0端子をタイマ出力 (TO0) として使用できません。

図8-11 外部イベント・カウンタ・モード時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

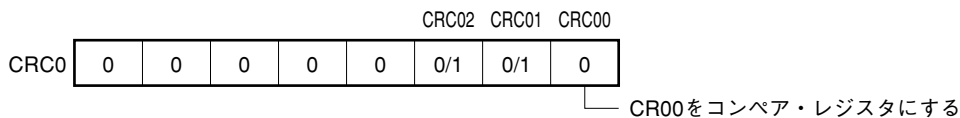
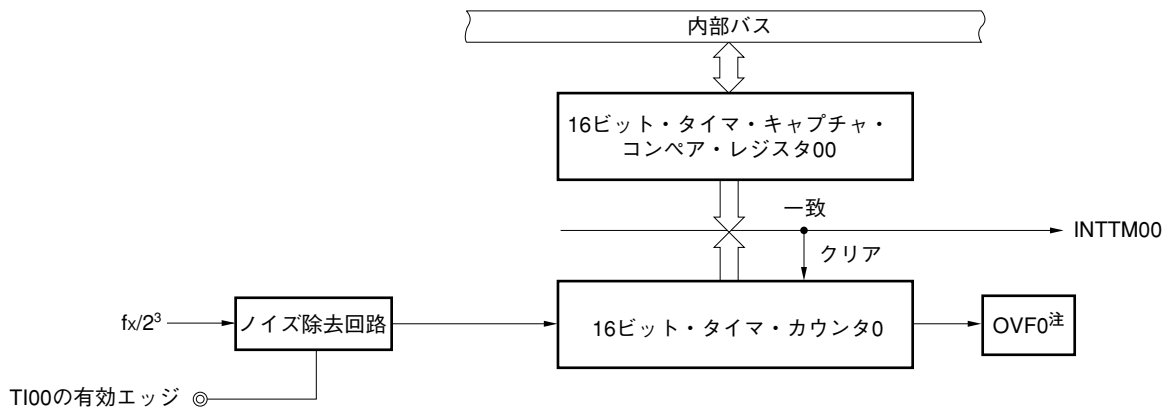
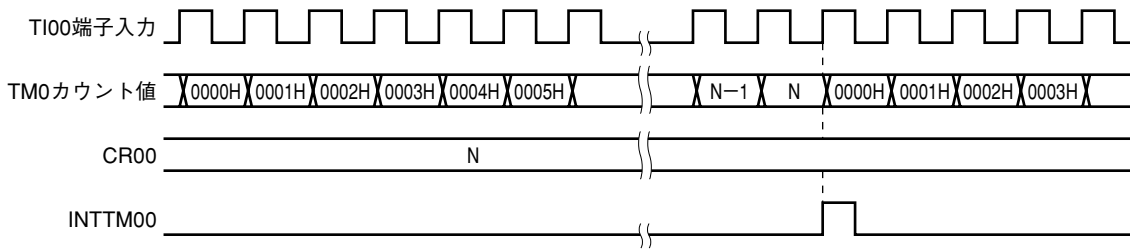


図8-12 外部イベント・カウンタの構成図



注 16ビット・タイマ・キャプチャ/コンペア・レジスタ00にFFFFHを設定した場合のみ、OVF0は1になります。

図8-13 外部イベント・カウンタ動作のタイミング(立ち上がりエッジ指定時)



注意 外部イベント・カウンタのカウンタ値を読み出す場合は、TM0を読み出してください。

8.4.3 パルス幅測定としての動作

16ビット・タイマ・カウンタ0 (TM0) を使用し、TI00端子およびTI01端子に入力される信号のパルス幅を測定できます。

測定方法は、TM0をフリー・ランニングさせて測定する方法とTI00端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

(1) フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定

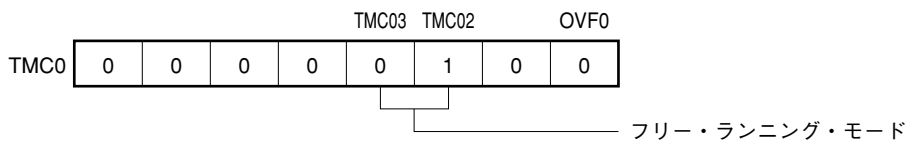
16ビット・タイマ・カウンタ0 (TM0) をフリー・ランニングで動作させているとき (図8-14のレジスタの設定参照), TI00端子にプリスケアラ・モード・レジスタ0 (PRM0) で指定したエッジが入力されるとTM0の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) に取り込み、外部割り込み要求信号 (INTTM01) をセットします。

エッジはPRM0のビット4, 5 (ES00, ES01) で指定し、立ち上がり、立ち下がり、両エッジの3種類の選択ができます。

PRM0で選択したカウント・クロックでサンプリングを行い、TI00端子の有効レベルを2回検出することで、はじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

図8-14 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

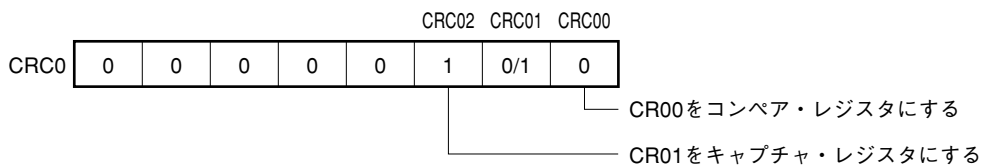


図8-15 フリーランニング・カウンタによるパルス幅測定の構成図

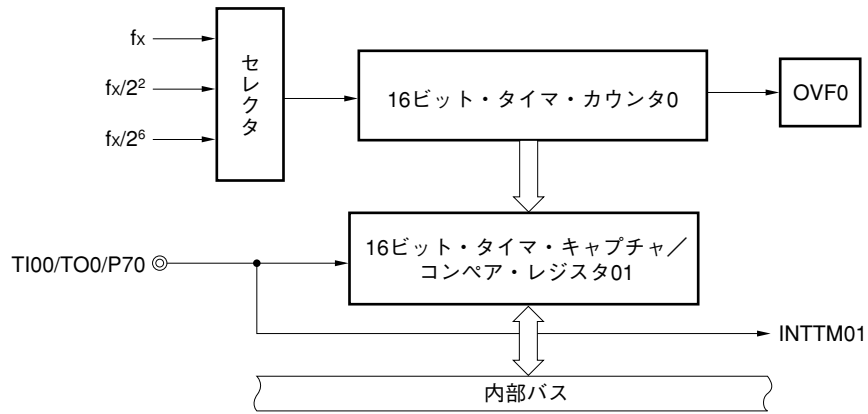
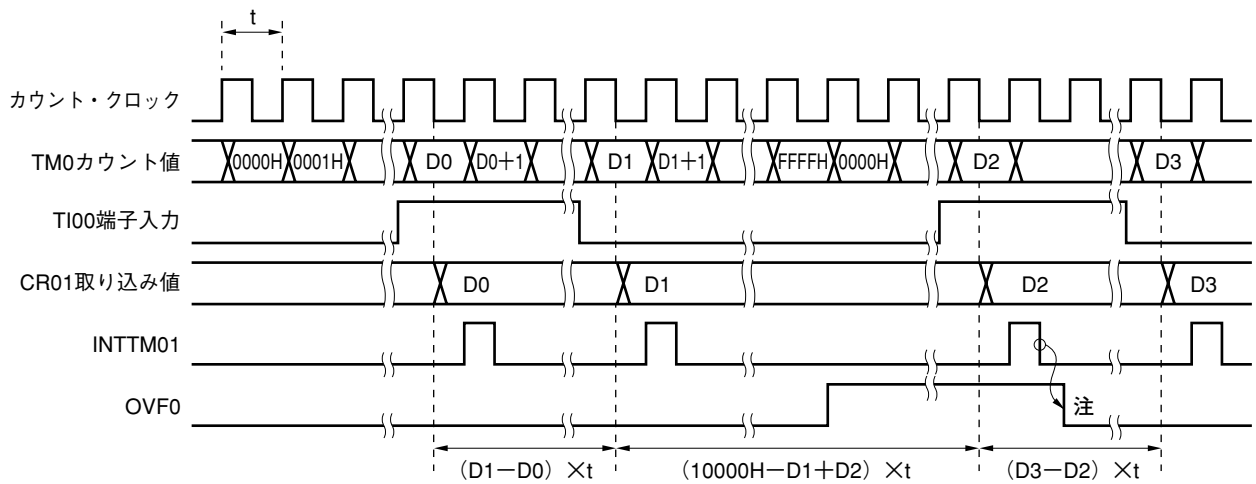


図8-16 フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時)



注 OVF0のクリアはソフトウェアで行ってください。

(2) フリー・ランニング・カウンタによる2つのパルス幅測定

16ビット・タイマ・カウンタ0 (TM0) をフリー・ランニングで動作させているとき (図8-17参照), TI00端子およびTI01端子に入力される2つの信号のパルス幅を同時に測定できます。

TI00端子にプリスケラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) で指定したエッジが入力されると, TM0の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) に取り込み, 割り込み要求信号 (INTTM01) をセットします。

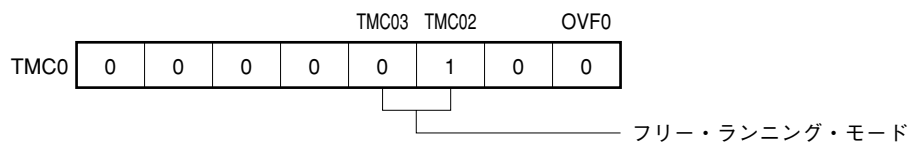
また, TI01端子にPRM0のビット6, 7 (ES10, ES11) で指定したエッジが入力されると, TM0の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) に取り込み, 割り込み要求信号 (INTTM00) をセットします。

TI00端子とTI01端子のエッジは, PRM0のビット4, 5 (ES00, ES01) およびビット6, 7 (ES10, ES11) でそれぞれ指定し, 立ち上がり, 立ち下がり, 両エッジの3種類の選択ができます。

プリスケラ・モード・レジスタ0 (PRM0) で選択したカウント・クロック周期でサンプリングを行い, TI00端子またはTI01端子の有効レベル2回検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

図8-17 フリー・ランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

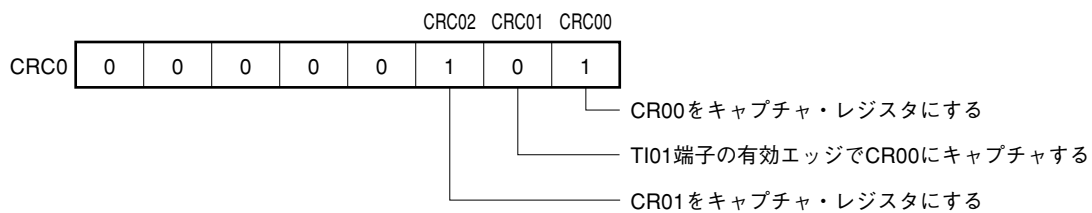
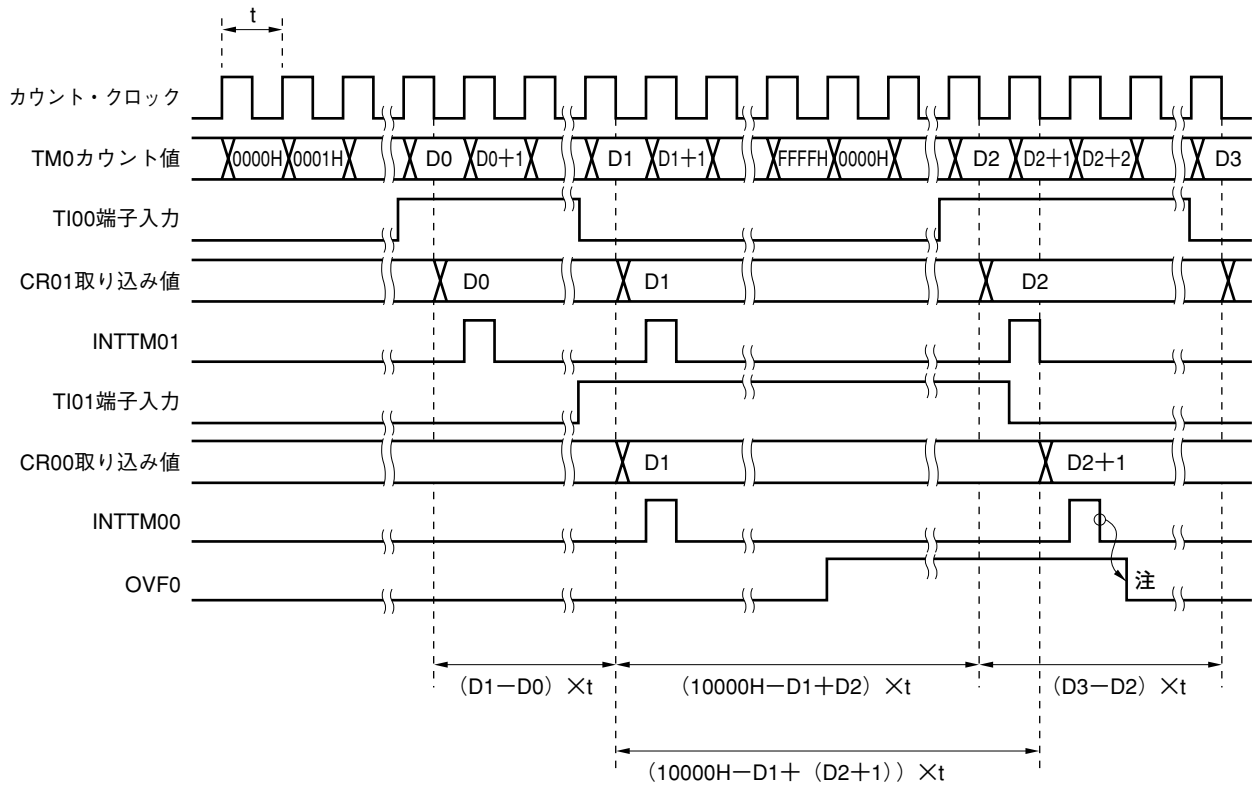


図8-18 フリー・ランニング・カウンタによるパルス幅測定動作のタイミング（両エッジ指定時）



注 OVF0のクリアはソフトウェアで行ってください。

(3) フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定

16ビット・タイマ・カウンタ0 (TM0) をフリー・ランニングで動作させているとき (図8-19参照), TI00端子に入力する信号のパルス幅を測定できます。

TI00端子にプリスケアラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) で指定したエッジが入力されると, TM0の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) に取り込み, 割り込み要求信号 (INTTM01) をセットします。

また, CR01へのキャプチャ動作と逆のエッジ入力で, TM0の値を16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) に取り込みます

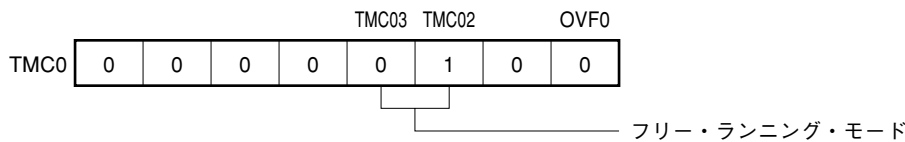
TI00端子のエッジは, プリスケアラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) で指定し, 立ち上がりエッジまたは立ち下がりエッジの選択ができます。

プリスケアラ・モード・レジスタ0 (PRM0) で選択したカウント・クロック周期でサンプリングを行い, TI00端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

注意 TI00端子の有効エッジを, 立ち上がり, 立ち下がり両エッジに指定した場合, 16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) はキャプチャ動作を行えません。

図8-19 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

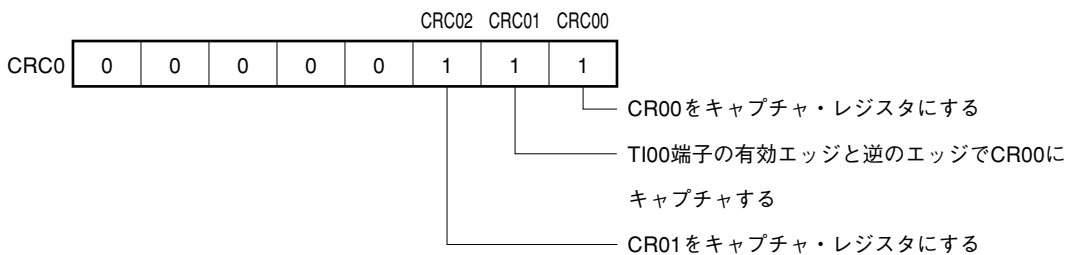
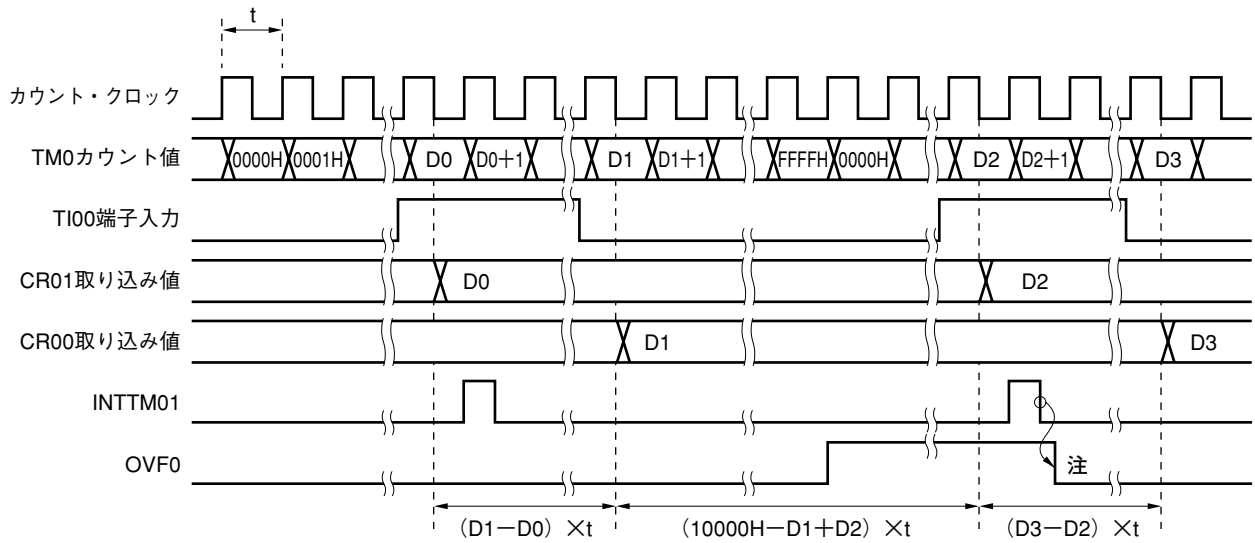


図8-20 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング
(立ち上がりエッジ指定時)



注 OVF0のクリアはソフトウェアで行ってください。

(4) リスタートによるパルス幅測定

TI00端子への有効エッジを検出したとき、16ビット・タイマ・カウンタ0 (TM0) のカウント値を16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) に取り込んだあと、TM0をクリアしてカウントを再開することにより、TI00端子に入力された信号のパルス幅を測定します (図8-22参照)。

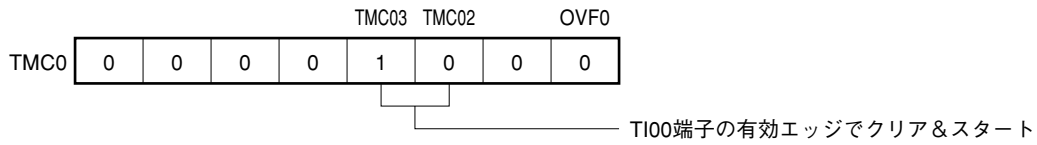
エッジ指定は、プリスケラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) により、立ち上がりエッジまたは立ち下がりエッジの選択ができます。

プリスケラ・モード・レジスタ0 (PRM0) で選択したカウント・クロック周期でサンプリングを行い、TI00端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

注意 TI00端子の有効エッジを、立ち上がり、立ち下がり両エッジに指定した場合、16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) はキャプチャ動作を行えません。

図8-21 リスタートによるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

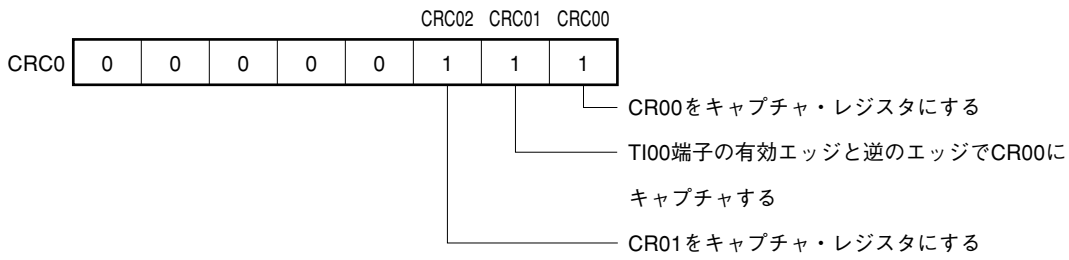
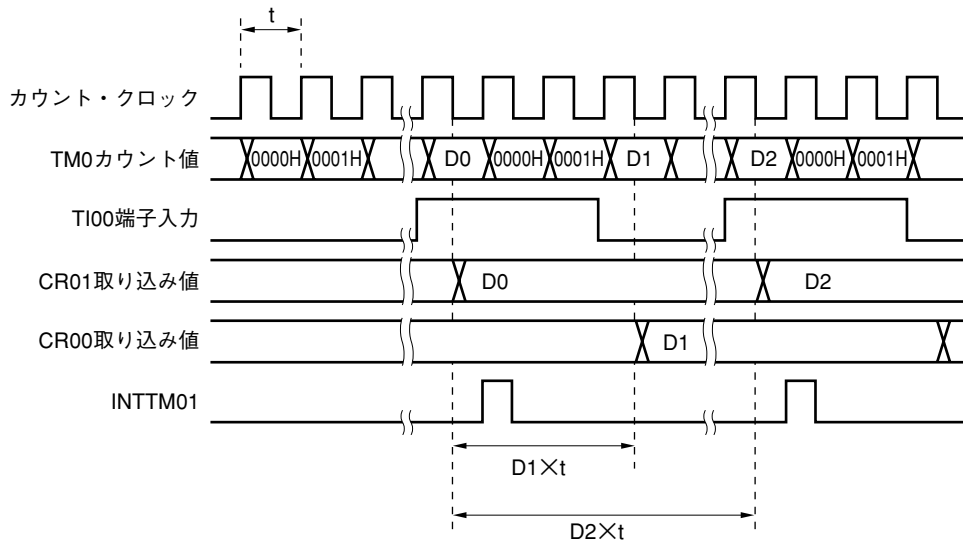


図8-22 リスタートによるパルス幅測定動作のタイミング (立ち上がりエッジ指定時)



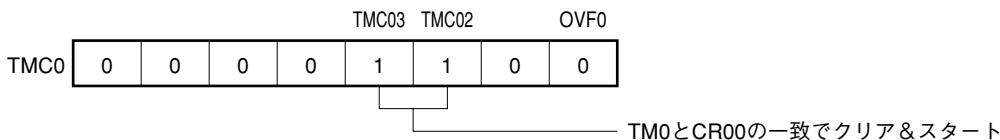
8.4.4 方形波出力としての動作

16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) にあらかじめ設定したカウント値で決まるインターバルの、任意の周波数の方形波出力として動作します。

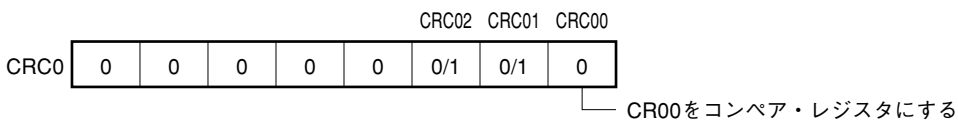
16ビット・タイマ出力コントロール・レジスタ0 (TOC0) のビット0 (TOE0) とビット1 (TOC01) に1を設定することにより、CR00にあらかじめ設定したカウント値で決まるインターバルでTO0端子の出力状態が反転します。これによって、任意の周波数の方形波出力が可能です。

図8-23 方形波出力モード時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



(c) 16ビット・タイマ出力コントロール・レジスタ0 (TOC0)

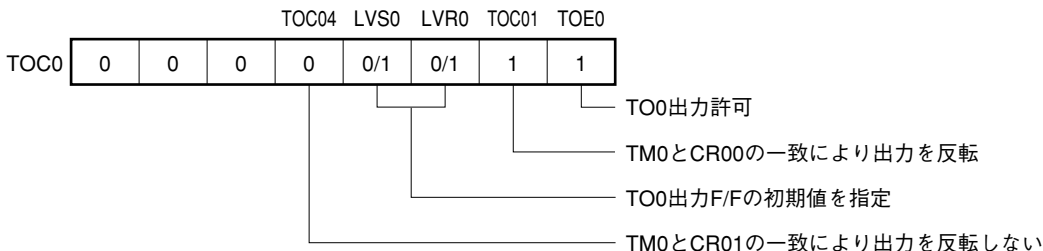
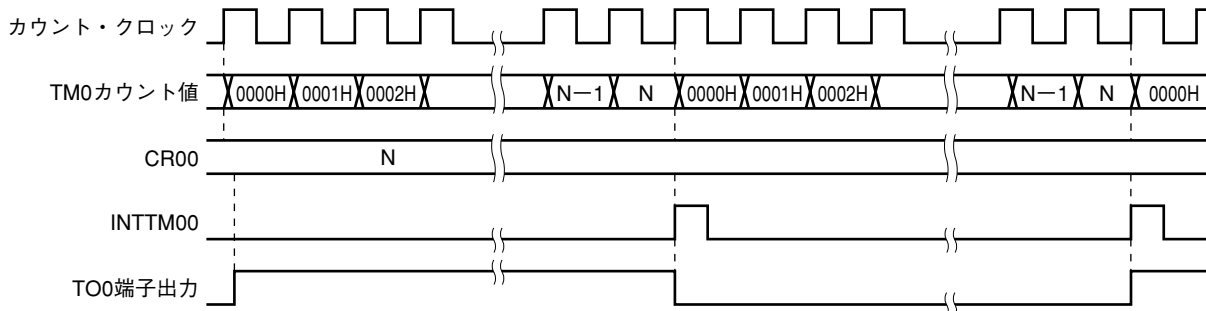


図8-24 方形波出力動作のタイミング



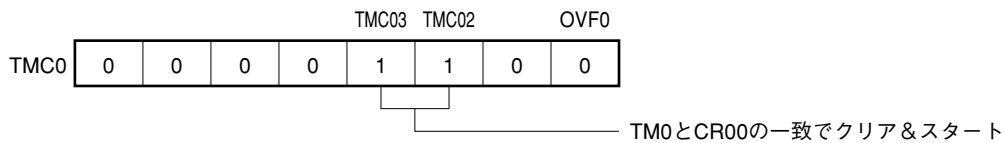
8.4.5 PPG出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) と、キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) を図8-25のように設定することにより、PPG (Programmable Pulse Generator) 出力として動作します。

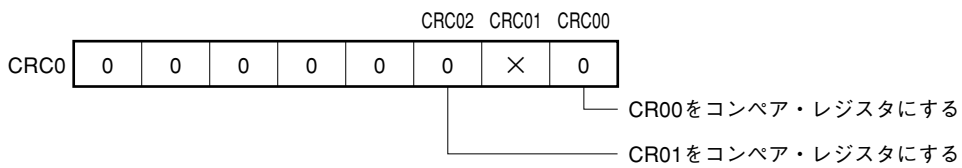
PPG出力パルスは、16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) にあらかじめ設定したカウント値を1周期とし、16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) にあらかじめ設定したカウント値をパルス幅とする矩形波をTO0端子から出力します。

図8-25 PPG出力動作時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



(c) 16ビット・タイマ出力コントロール・レジスタ0 (TOC0)



注意1. CR00とCR01には次の範囲の値を設定してください。

$$0000H < CR01 < CR00 \leq FFFFH$$

2. PPG出力によって生成されるパルスの周期は (CR00の設定値+1) , デューティは (CR01の設定値+1) / (CR00の設定値+1) になります。

備考 X : don't care

図8-26 PPG出力の構成図

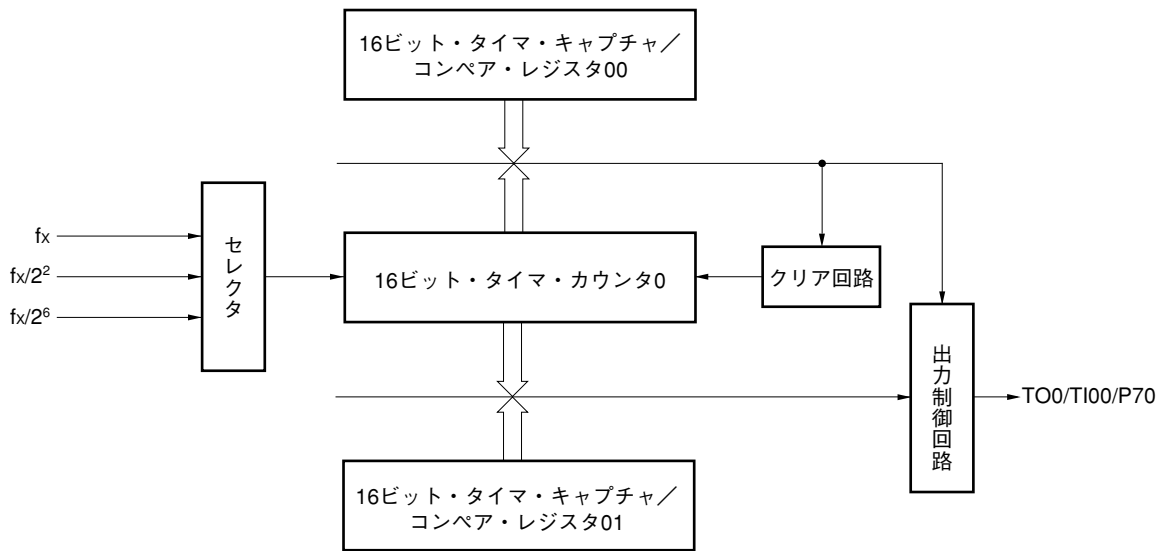
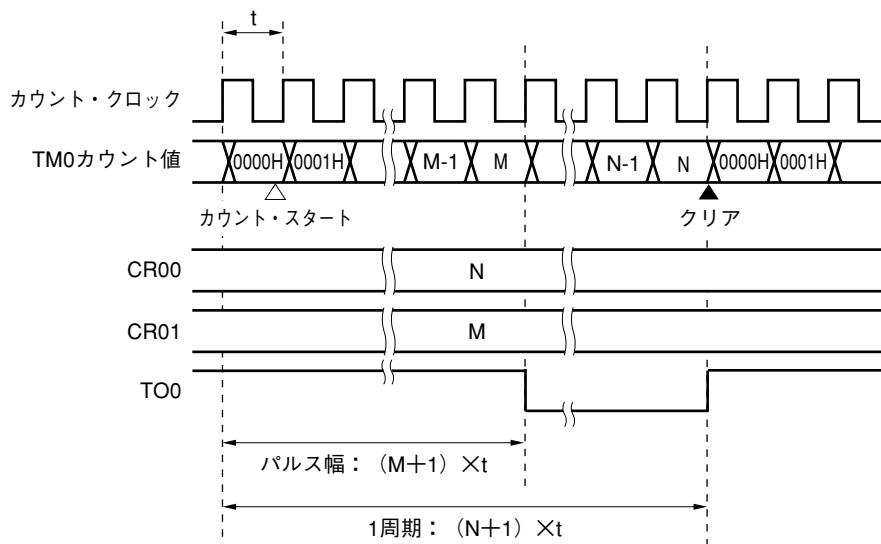


図8-27 PPG出力動作のタイミング



備考 0000H < M < N ≤ FFFFH

8.5 プログラム・リスト

注意 このサンプル・プログラムは、半導体製品の動作例、応用例を説明するために、例示的に示したものです。したがって、これらの情報をお客様の機器に使用される場合には、お客様の責任において評価を実施し設計をしてください。

8.5.1 インターバル・タイマ

```

/*****/
/*
/*      タイマ0 インターバルタイマモード設定例
/*      周期をintervalTM0として130に設定(8.38MHzで1mS)
/*      変数 ppgdataを書き換え用データ領域として準備
/*      :周期 (0000なら変更無し)
/*      INTTM0毎にppgdataをチェックし、必要なら変更する
/*      従って、変更したければ、ppgdataに変更データを設定
/*      変更されれば、ppgdataは0000にクリアされる
/*
/*****/
#pragma sfr
#pragma EI
#pragma DI
#define intervalTM0 130          /* CR00にセットする周期データ */
#pragma interrupt INTTM0 intervalint rb2
      unsigned int ppgdata;      /* タイマ0にセットするデータ領域 */

void main(void)
{
    PCC = 0x0;                  /* 高速動作モード設定 */
    ppgdata = 0;

                                /* ポート設定 */
                                /* 出力を行うなら以下の設定を行う */
    P7 = 0b11111110;           /* P70をクリア */
    PM7.0 = 0;                 /* P70を出力に設定 */
                                /* 割り込み設定 */
    TMMK00 = 0;                /* INTTM0割り込みマスク解除 */
                                /* タイマ0の設定 */
    PRM0 = 0b00000010;         /* カウント・クロックはfx/2^6 */
    CRC0 = 0b00000000;         /* CR00,CR01をコンペア・レジスタに設定 */
    CR00 = intervalTM0;        /* CR00に周期初期値を設定 */
    TOC0 = 0b00000111;         /* CR00との一致で反転, 初期値L */
    TMC0 = 0b00001100;         /* TM0とCR00の一致でクリア&スタート */
    EI();

    while(1);                  /* ここではダミーでループさせている */
}

/* タイマ0割り込み関数 */
void intervalint()
{
    unsigned int work;
/*****/
/*
/*      割り込みで必要な変数をここで定義する
/*
/*****/
    work = ppgdata;
    if (work != 0)
    {
        CR00 = work;
        ppgdata = 0;
        if (work == 0xffff)
        {
            TMC0 = 0b00000000; /* タイマ停止 */
        }
    }
/*****/
/*
/*      割り込みで必要な処理をここから後に記述する
/*
/*****/
}

```

8.5.2 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定

```

/*****/
/*
/*          タイマ0動作サンプル
/*      フリーランとCR01でのパルス幅測定例
/*      測定結果は16ビットまでとし、エラーチェックしない
/*      data[0]   :完了フラグ
/*      data[1]   :測定結果 (パルス幅)
/*      data[2]   :前回の読み取り値
/*
/*****/
#pragma sfr
#pragma EI
#pragma DI
#pragma interrupt INTTM01 intervalint rb2
        unsigned int data[3];          /* データ領域 */

void main(void)
{
    unsigned int length;
    PCC = 0x0;                          /* 高速動作モード設定 */
    data[0] = 0;
    data[1] = 0;
    data[2] = 0;

    PM7.0 = 1;                          /* ポート設定 */
    /* P70を入力に設定 */
    /* 割り込み設定 */
    TMMK01 = 0;                          /* INTTM01割り込みマスク解除 */
    /* タイマ0の設定 */
    PRM0 = 0b00110010;                  /* TI00は立ち上がり, 立ち下がり両エッジ */
    /* カウント・クロックはfx/2^6 */
    CRC0 = 0b00000100;                  /* CR01をキャプチャ・レジスタに設定 */
    TMC0 = 0b00000100;                  /* フリーラン・モードでスタート */
    EI();
    while(1){
        while(data[0] == 0);            /* ダミーのループ */
        /* 測定完了待ち */
        DI();                            /* 排他処理のために割り込み禁止 */
        length = data[1];                /* 測定結果の読み出し */
        data[0] = 0;                     /* 完了フラグのクリア */
        EI();                             /* 排他処理完了 */
    }
}

/* タイマ0割り込み関数 */
void intervalint()
{
    unsigned int work;
/*****/
/*
/*      割り込みで必要な変数をここで定義する
/*
/*****/
    work = CR01;                         /* キャプチャ値の読み出し */
    data[1] = work - data[2];            /* 間隔の計算と更新 */
    data[2] = work;                      /* 読み取り値の更新 */
    data[0] = 0xffff;                    /* 測定完了フラグ・セット*/

/*****/
/*
/*      割り込みで必要な処理をここから後に記述する
/*
/*****/
}

```

8.5.3 フリー・ランニング・カウンタによる2つのパルス幅測定

```

/*****/
/*
/*      タイマ0動作サンプル
/*      フリーランでの2つのパルス幅測定例
/*      測定結果は16ビットまでとし、エラーチェックしない
/*      TI00側結果領域
/*      data[0]   :完了フラグ
/*      data[1]   :測定結果 (パルス幅)
/*      data[2]   :前回の読み取り値
/*      TI01側結果領域
/*      data[3]   :完了フラグ
/*      data[4]   :測定結果 (パルス幅)
/*      data[5]   :前回の読み取り値
/*
/*****/
#pragma sfr
#pragma EI
#pragma DI
#pragma interrupt INTTM00 intervalint rb2
#pragma interrupt INTTM01 intervalint2 rb2
    unsigned int data[6];          /* データ領域 */

void main(void)
{
    unsigned int length,length2;
    PCC = 0x0;                    /* 高速動作モード設定 */
    data[0] = 0;                  /* データ領域クリア */
    data[1] = 0;
    data[2] = 0;
    data[3] = 0;
    data[4] = 0;
    data[5] = 0;

    PM7.0 = 1;                   /* ポート設定 */
    PM7.1 = 1;                   /* P70を入力に設定 */
    /* P71を入力に設定 */
    /* 割り込み設定 */
    TMMK01 = 0;                  /* INTTM01割り込みマスク解除 */
    TMMK00 = 0;                  /* INTTM00割り込みマスク解除 */
    /* タイマ0の設定 */
    PRM0 = 0b11110010;          /* 立ち上がり, 立ち下がり両エッジ */
    /* カウント・クロックはfx/2^6 */
    CRC0 = 0b00000101;          /* CR00, CR01をキャプチャ・レジスタに設定 */
    TMC0 = 0b00000100;          /* フリーラン・モードでスタート */
    EI();
    while(1){                   /* ダミーのループ */
        if(data[0] != 0)        /* TI00測定完了チェック */
        {
            TMMK01 = 1;         /* 排他処理の為にINTTM01割り込み禁止 */
            length = data[1];    /* 測定結果の読み出し */
            data[0] = 0;        /* 完了フラグのクリア */
            TMMK01 = 0;         /* 排他処理完了 */
        }
        if(data[3] != 0)        /* TI01測定完了チェック */
        {
            TMMK00 = 1;         /* 排他処理の為にINTTM00割り込み禁止 */
            length2 = data[4];   /* 測定結果の読み出し */
            data[3] = 0;        /* 完了フラグのクリア */
            TMMK00 = 0;         /* 排他処理完了 */
        }
    }
}

```

```
/* INTTM00割り込み関数 */
void intervalint()
{
    unsigned int work;
    /***/
    /* */
    /* 割り込みで必要な変数をここで定義する */
    /* */
    /***/
    work = CR00; /* キャプチャ値の読み出し */
    data[4] = work - data[5]; /* 間隔の計算と更新 */
    data[5] = work; /* 読み取り値の更新 */
    data[3] = 0xffff; /* 測定完了フラグ・セット*/

    /***/
    /* */
    /* 割り込みで必要な処理をここから後に記述する */
    /* */
    /***/
}
/* INTTM01割り込み関数 */
void intervalint2()
{
    unsigned int work;
    /***/
    /* */
    /* 割り込みで必要な変数をここで定義する */
    /* */
    /***/
    work = CR01; /* キャプチャ値の読み出し */
    data[1] = work - data[2]; /* 間隔の計算と更新 */
    data[2] = work; /* 読み取り値の更新 */
    data[0] = 0xffff; /* 測定完了フラグ・セット*/

    /***/
    /* */
    /* 割り込みで必要な処理をここから後に記述する */
    /* */
    /***/
}
}
```

8.5.4 リスタートによるパルス幅測定

```

/*****
/*
/*          タイマ0動作サンプル
/*      リスタートによるパルス幅測定例
/*      測定結果は16ビットまでとし、エラーチェックしない
/*      data[0]   :完了フラグ
/*      data[1]   :測定結果 (パルス幅)
/*      data[2]   :前回の読み取り値
/*
/*****
#pragma sfr
#pragma EI
#pragma DI
#pragma interrupt INTTM01 intervalint rb2
        unsigned int data[3];          /* データ領域 */

void main(void)
{
    unsigned int length;
    PCC = 0x0;                          /* 高速動作モード設定 */
    data[0] = 0;
    data[1] = 0;
    data[2] = 0;

    PM7.0 = 1;                          /* ポート設定 */
    /* P70を入力に設定 */
    /* 割り込み設定 */
    TMMK01 = 0;                          /* INTTM01割り込みマスク解除 */
    /* タイマ0の設定 */
    PRM0 = 0b00110010;                  /* 立ち上がり, 立ち下りの両エッジ */
    /* カウント・クロックはfx/2^6 */
    CRC0 = 0b00000100;                  /* CR01をキャプチャ・レジスタに設定 */
    TMC0 = 0b00001000;                  /* TI00有効エッジでクリア&スタート */
    EI();
    while(1){                            /* ダミーのループ */
        if(data[0] != 0)                /* TI00測定完了待ち */
        {
            TMMK01 = 1;                 /* 排他処理の為にINTTM01割り込み禁止 */
            length = data[1]+data[2];    /* 測定結果から周期計算 */
            data[0] = 0;                 /* 完了フラグのクリア */
            TMMK01 = 0;                 /* 排他処理完了 */
        }
    }
}

/* タイマ0割り込み関数 */
void intervalint()
{
/*****
/*
/*      割り込みで必要な変数をここで定義する
/*
/*****
    data[2] = data[1];                  /* 旧データの更新 */
    data[1] = CR01;                    /* 読み取り値の更新 */
    data[0] = 0xffff;                  /* 測定完了フラグ・セット*/

/*****
/*
/*      割り込みで必要な処理をここから後に記述する
/*
/*****
}

```


8.5.5 PPG出力

```

/*****/
/*
   タイマ0 PPGモード設定例
   周期をintervalTM0として130に設定
   アクティブ期間をactive_timeとして65に設定
   配列 ppgdataを書き換え用データ領域として準備
   [0] :アクティブ期間 (0000なら変更無し, 0xffffで停止)
   [1] :周期 (0000なら変更無し)
   INTTM00毎にppgdataをチェックし, 必要なら変更する
   従って, 変更したければ, ppgdataに変更データを設定
   変更されれば, ppgdataは0000にクリアされる
   */
/*****/
#pragma sfr
#pragma EI
#pragma DI
#define intervalTM0 130          /* CR00にセットする周期データ */
#define active_time 65          /* CR01の初期値データ */
#pragma interrupt INTTM00 ppgint rb2
      unsigned int ppgdata[2];  /* タイマ0にセットするデータ領域 */

void main(void)
{
    PCC = 0x0;                  /* 高速動作モード設定 */
    ppgdata[0] = 0;
    ppgdata[1] = 0;

    P7 = 0b11111110;           /* ポート設定 */
    PM7.0 = 0;                 /* P70をクリア */
                                /* P70を出力に設定 */
                                /* 割り込み設定 */
    TMMK00 = 0;                /* INTTM00割り込みマスク解除 */
                                /* タイマ0の設定 */
    PRM0 = 0b00000010;         /* カウント・クロックはfx/2^6 */
    CRC0 = 0b00000000;         /* CR00,CR01をコンペア・レジスタに設定 */
    CR00 = intervalTM0;        /* 周期初期値を設定 */
    CR01 = active_time;        /* アクティブ期間初期値設定 */
    TOC0 = 0b00010111;         /* CR00,CR01との一致で反転, 初期値L */
    TMC0 = 0b00001100;         /* TM0とCR00の一致でクリア&スタート */
    EI();

    while(1);
}

/* タイマ0割り込み関数 */
void ppgint()
{
    unsigned int work;
    work = ppgdata[0];
    if (work != 0)
    {
        CR01 = work;
        ppgdata[0] = 0;
        if (work == 0xffff)
        {
            TMC0 = 0b00000000; /* タイマ停止 */
        }
    }
    work = ppgdata[1];
    if (work != 0)
    {
        CR00 = work;
        ppgdata[1]=0;
    }
}

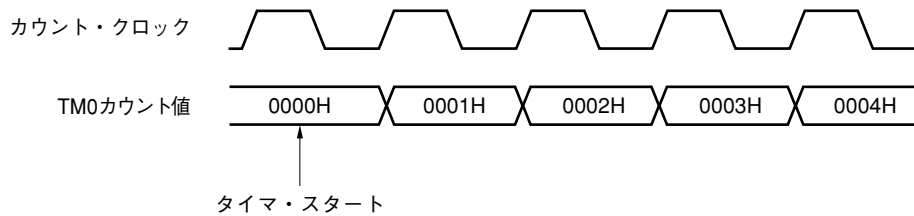
```

8.6 16ビット・タイマ/イベント・カウンタ0の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・クロックに対して16ビット・タイマ・カウンタ0 (TM0) が非同期でスタートするためです。

図8-28 16ビット・タイマ・カウンタ0 (TM0) のスタート・タイミング



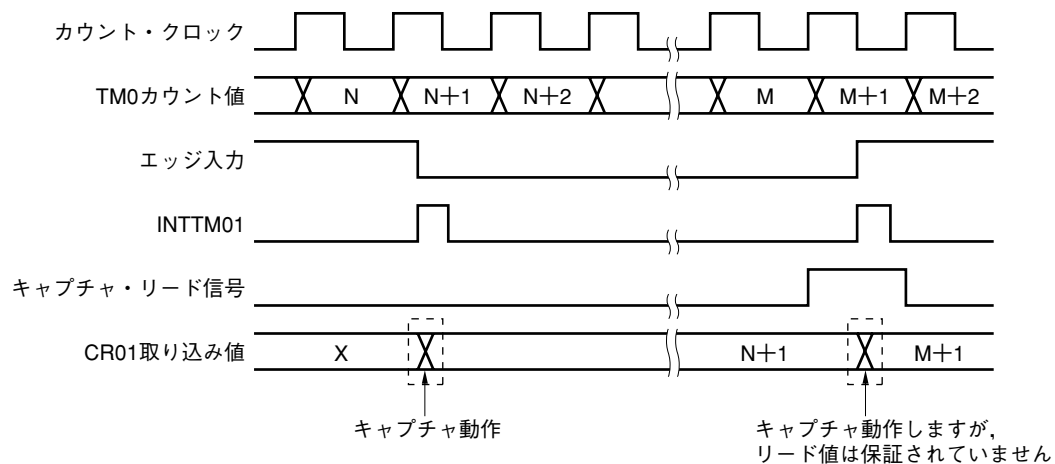
(2) 16ビット・タイマ・キャプチャ/コンペア・レジスタの設定 (TM0とCR00の一致でクリア&スタート・モードの場合)

16ビット・タイマ・キャプチャ/コンペア・レジスタ00,01 (CR00, CR01) には、0000H以外の値を設定してください。したがって、1パルスのカウント動作はできません。

(3) キャプチャ・レジスタのデータ保持タイミング

16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) の読み出し中にTI00端子の有効エッジが入力したとき、CR01はキャプチャ動作を行います。このときのリード値は保証されません。ただし、有効エッジの検出による割り込み要求信号 (INTTM01) は発生します。

図8-29 キャプチャ・レジスタのデータ保持タイミング



(4) 有効エッジの設定

TI00端子の有効エッジは、16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) のビット2, 3 (TMC02, TMC03) に0,0を設定し、タイマ動作を停止させたあとに設定してください。有効エッジは、プリスケアラ・モード・レジスタ0 (PRM0) のビット4,5 (ES00, ES01) で設定します。

(5) OVF0フラグの動作

- ① OVF0フラグは、次のときにも“1”に設定されます。

TM0とCR00の一致でクリア&スタートするモード、TI00の有効エッジでクリア&スタート、フリー・ランニング・モードのいずれかを選択

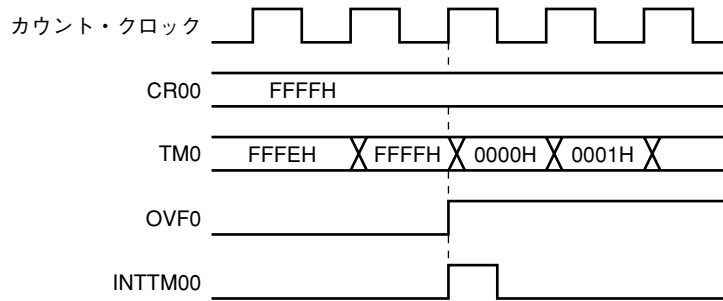
↓

CR00をFFFFHに設定

↓

TM0がFFFFHから0000Hにカウント・アップするとき

図8-30 OVF0フラグの動作タイミング



- ② TM0がオーバーフロー後、次のカウント・クロックがカウントされる（TM0が0001Hになる）前にOVF0フラグをクリアしても、再度セットされ、クリアは無効となります。

(6) 競合動作について

16ビット・タイマ・キャプチャ/コンペア・レジスタ（CR00/CR01）をコンペア・レジスタとして使用しているとき、ライト期間と16ビット・タイマ・カウンタ0（TM0）との一致タイミングが競合した場合、一致判別は正常に行われません。一致タイミング付近でCR00/CR01のライト動作は行わないでください。

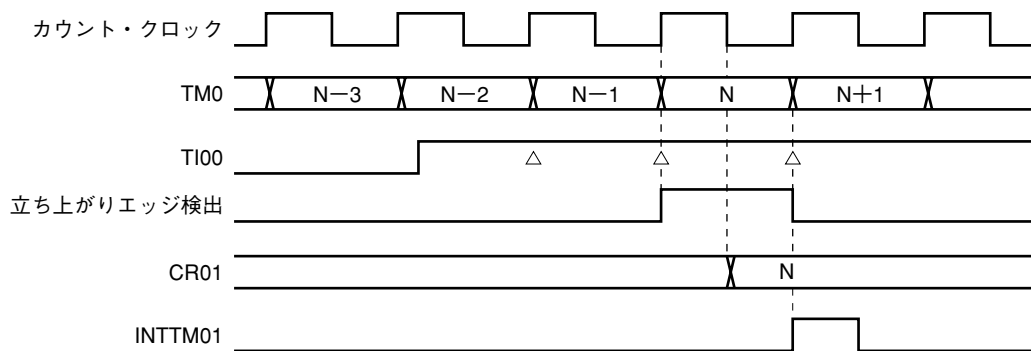
(7) タイマ動作について

- ① 16ビット・タイマ・カウンタ0（TM0）をリードしても、16ビット・タイマ・キャプチャ/コンペア・レジスタ01（CR01）にはキャプチャしません。
- ② CPUの動作モードに関係なく、タイマが停止していると、TI00/TI01端子への入力信号は受け付けられません。

(8) キャプチャ動作について

- ① カウント・クロックにTI00の有効エッジを指定した場合、TI00をトリガに指定したキャプチャ・レジスタは正常に動作できません。
- ② TI00の有効エッジに立ち上がり、立ち下がり両エッジを選択した場合には、キャプチャ動作しません。
- ③ 確実にキャプチャするためのキャプチャ・トリガは、プリスケラ・モード・レジスタ0 (PRM0) で選択したカウント・クロックの2周期分より長いパルスを必要とします。

図8-31 立ち上がりエッジ指定時のCR01キャプチャ動作



- ④ キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み要求入力 (INTTM0n) は次のカウント・クロックの立ち上がりで発生します。

(9) コンペア動作について

- ① タイマ動作中に16ビット・タイマ・キャプチャ/コンペア・レジスタ (CR00/CR01) を書き換えたとき、その値がタイマ値に近く、かつタイマ値より大きい場合、一致割り込みの発生やクリア動作が正常に行われない可能性があります。
- ② コンペア・モードに設定したCR00/CR01は、キャプチャ・トリガが入力されてもキャプチャ動作を行いません。

(10) エッジ検出について

- ① システム・リセット直後にTI00端子またはTI01端子がハイ・レベルの場合、TI00端子またはTI01端子の有効エッジを立ち上がりまたは両エッジに指定し、16ビット・タイマ・カウンタ0 (TM0) の動作を許可すると、その直後に立ち上がりエッジを検出します。TI00端子またはTI01端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。
- ② TI00の有効エッジをカウント・クロックで使用する場合とキャプチャ・トリガとして使用する場合とで、ノイズ除去のためのサンプリング・クロックが異なります。前者は $f_x/2^3$ で、後者はプリスケアラ・モード・レジスタ0 (PRM0) で選択したカウント・クロックでサンプリングします。有効エッジをサンプリングして、有効レベル2回を検出することではじめてキャプチャ動作するため、短いパルス幅のノイズを除去できます。

(11) STOPモードまたはメイン・システム・クロック停止モードの設定について

TI00, TI01入力を選択している場合を除き、STOPモードまたはメイン・システム・クロック停止モードに設定する前に必ずタイマ動作を停止してください。メイン・システム・クロック開始時に、タイマが誤動作する可能性があります。

第9章 8ビット・タイマ／イベント・カウンタ50, 51

9.1 8ビット・タイマ／イベント・カウンタ50, 51の機能

8ビット・タイマ／イベント・カウンタ50, 51 (TM50, TM51) には、次の2つのモードがあります。

(1) 8ビット・タイマ／イベント・カウンタ50, 51を単体で使用するモード (単体モード)

8ビットのタイマ／イベント・カウンタ50, 51として動作します。

次のような機能として使用できます。

① インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

・カウント数：1～256カウント

② 外部イベント・カウンタ

外部から入力される信号の、ハイ／ロウ・レベル幅を持ったパルス数を測定できます。

③ 方形波出力

任意の周波数の方形波を出力できます。

・周期： $(1 \times 2 \sim 256 \times 2) \times \text{カウント} \cdot \text{クロックの周期}$

④ PWM出力

任意のデューティ比を持ったパルスを出力できます。

・周期： $\text{カウント} \cdot \text{クロック} \times 256$

・デューティ比： $\text{コンペア} \cdot \text{レジスタの設定値} / 256$

(2) カスケード接続して使用するモード (16ビット分解能：カスケード接続モード)

2つの8ビット・タイマ／イベント・カウンタを組み合わせ、16ビットのタイマ／イベント・カウンタとして動作します。

次のような機能として使用できます。

- ・16ビット分解能のインターバル・タイマ
- ・16ビット分解能の外部イベント・カウンタ
- ・16ビット分解能の方形波出力

図9-1, 9-2に, 8ビット・タイマ／イベント・カウンタ50, 51のブロック図を示します。

図9-1 8ビット・タイマ/イベント・カウンタ50のブロック図

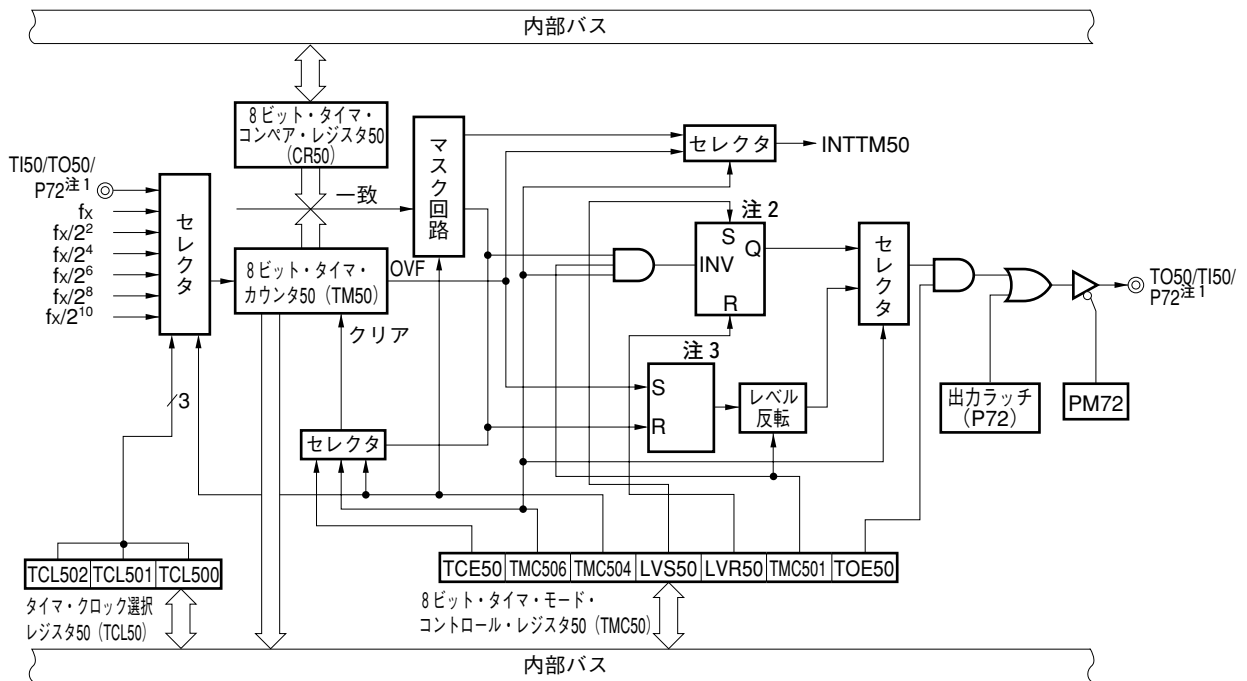
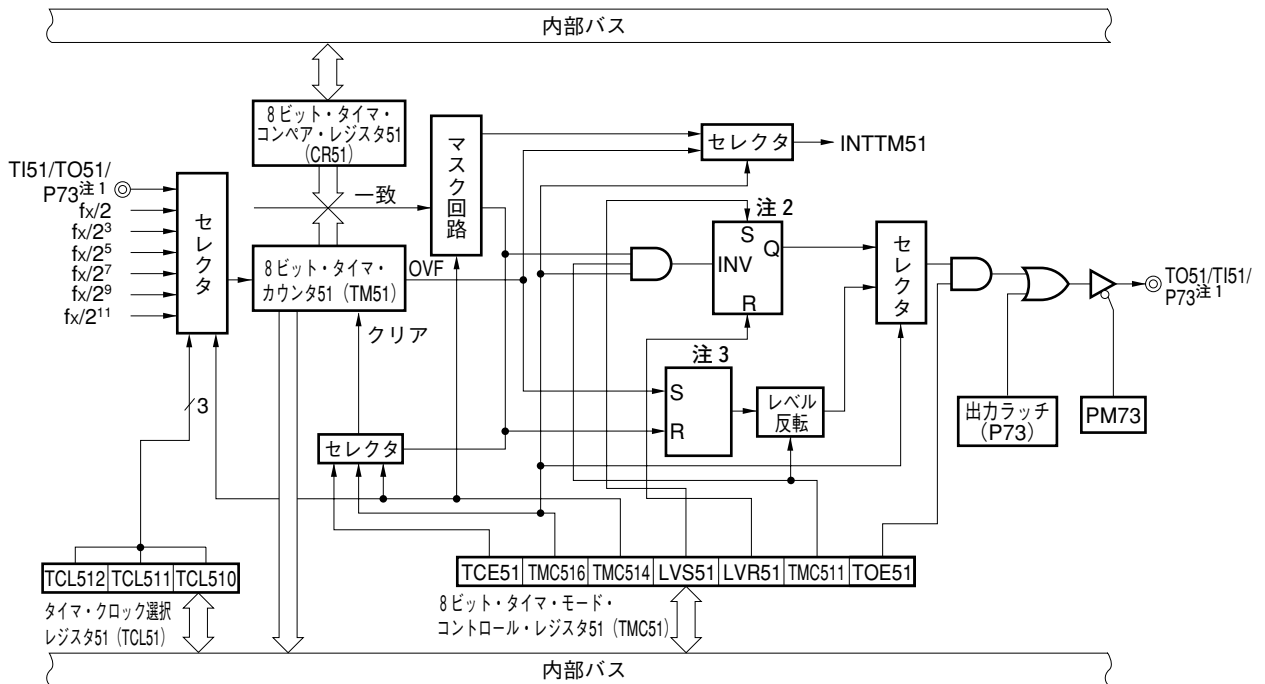


図9-2 8ビット・タイマ/イベント・カウンタ51のブロック図



注1. TI50入力とTO50出力, TI51入力とTO51出力は, それぞれ同時に使用できません。

2. タイマ出力F/F

3. PWM出力F/F

9.2 8ビット・タイマ/イベント・カウンタ50, 51の構成

8ビット・タイマ/イベント・カウンタ50, 51は、次のハードウェアで構成されています。

表9-1 8ビット・タイマ/イベント・カウンタ50, 51の構成

項目	構成
タイマ・カウンタ	8ビット・タイマ・カウンタ5n (TM5n)
レジスタ	8ビット・タイマ・コンペア・レジスタ5n (CR5n)
タイマ入力	TI5n
タイマ出力	TO5n
制御レジスタ	タイマ・クロック選択レジスタ5n (TCL5n) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) ポート・モード・レジスタ7 (PM7) ポート7 (P7)

(1) 8ビット・タイマ・カウンタ5n (TM5n : n = 0, 1)

TM5nは、カウント・パルスをカウントする8ビットのリード専用レジスタです。

カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。

TM50, TM51をカスケード接続し、16ビット・タイマとして使用した場合、16ビット・メモリ操作命令により読み出せます。しかし、内部8ビット・バスで接続されていますので、TM50, TM51の順で2回に分けて読み出します。したがって、カウント変化中の読み出しを考慮し、2度読みにより比較してください。

動作中にカウント値を読み出した場合、カウント・クロックの入力を一時停止し^注、その時点でのカウント値を読み出します。

次の場合、カウント値は00Hになります。

- ① $\overline{\text{RESET}}$ 入力
- ② TCE5nをクリア
- ③ TM5nとCR5nの一致でクリア&スタート・モード時のTM5nとCR5nの一致

注 このとき、カウントに誤差が生じる場合がありますので、カウント・クロックはCPUクロックの2周期分より長いハイ/ロウ・レベルのある波形を選択してください。

注意 カスケード接続時は、最下位タイマのTCE50をクリアしても0000Hとなります。

備考 n = 0, 1

(2) 8ビット・タイマ・コンペア・レジスタ5n (CR5n : n = 0, 1)

PWMモード以外では、CR5nに設定した値と、8ビット・タイマ・カウンタ5n (TM5n) のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求 (INTTM5n) を発生します。

PWMモード時は、TM5nのオーバフローによりTO5n端子がアクティブ・レベルになり、TM5nとCR5nの値が一致するとTO5n端子はインアクティブ・レベルになります。

CR5nの値は、00H-FFHの範囲で設定でき、カウント動作中の書き換えが可能です。

TM50, TM51をカスケード接続し、16ビット・タイマとして使用した場合、CR50, CR51は、16ビット・コンペア・レジスタとして動作します。16ビット長でカウンタ値とレジスタ値を比較し、一致すると割り込み要求 (INTTM50) を発生します。そのとき、INTTM51割り込み要求も発生しますので、INTTM51割り込み要求をマスクしてください。

CR5nは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 カスケード接続時は、必ずタイマ動作を停止させてからデータを設定してください。

備考 n = 0, 1

9.3 8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタ

8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタには、次の4種類があります。

- ・タイマ・クロック選択レジスタ5n (TCL5n)
- ・8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)
- ・ポート・モード・レジスタ7 (PM7)
- ・ポート7 (P7)

備考 n=0, 1

(1) タイマ・クロック選択レジスタ5n (TCL5n : n = 0, 1)

8ビット・タイマ/イベント・カウンタ5nのカウント・クロックおよびTI50, TI51入力の有効エッジを設定するレジスタです。

TCL5nは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図9-3 タイマ・クロック選択レジスタ50 (TCL50) のフォーマット

アドレス : FF71H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TCL50	0	0	0	0	0	TCL502	TCL501	TCL500

TCL502	TCL501	TCL500	カウント・クロックの選択		
				fx = 8.38 MHz	fx = 12 MHz ^注
0	0	0	TI50の立ち下がりエッジ	—	—
0	0	1	TI50の立ち上がりエッジ	—	—
0	1	0	fx	8.38 MHz	12 MHz
0	1	1	fx/2 ²	2.09 MHz	3 MHz
1	0	0	fx/2 ⁴	523 kHz	750 kHz
1	0	1	fx/2 ⁶	131 kHz	187 kHz
1	1	0	fx/2 ⁸	32.7 kHz	46.8 kHz
1	1	1	fx/2 ¹⁰	8.18 kHz	11.7 kHz

注 μ PD780024A, 780034Aサブシリーズの拡張規格品のみ。

注意1. TCL50を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2. ビット3-7には必ず“0”を設定してください。

備考1. カスケード接続時、カウント・クロックの設定はTCL50のみ有効となります。

2. fx : メイン・システム・クロック発振周波数

図9-4 タイマ・クロック選択レジスタ51 (TCL51) のフォーマット

アドレス：FF79H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TCL51	0	0	0	0	0	TCL512	TCL511	TCL510

TCL512	TCL511	TCL510	カウント・クロックの選択		
				fx = 8.38 MHz	fx = 12 MHz ^注
0	0	0	T151の立ち下がりエッジ	—	—
0	0	1	T151の立ち上がりエッジ	—	—
0	1	0	fx/2	4.19 MHz	6 MHz
0	1	1	fx/2 ³	1.04 MHz	1.5 MHz
1	0	0	fx/2 ⁵	261 kHz	375 kHz
1	0	1	fx/2 ⁷	65.4 kHz	93.7 kHz
1	1	0	fx/2 ⁹	16.3 kHz	23.4 kHz
1	1	1	fx/2 ¹¹	4.09 kHz	5.85 kHz

注 μ PD780024A, 780034Aサブシリーズの拡張規格品のみ。

注意1. TCL51を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2. ビット3-7には必ず“0”を設定してください。

備考1. カスケード接続時、カウント・クロックの設定はTCL50のみ有効となります。

2. fx：メイン・システム・クロック発振周波数

(2) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n：n = 0, 1)

TMC5nは、次の6種類の設定を行うレジスタです。

- ① 8ビット・タイマ・カウンタ5n (TM5n) のカウント動作制御
- ② 8ビット・タイマ・カウンタ5n (TM5n) の動作モードの選択
- ③ 単体モード/カスケード接続モードの選択 (TMC51のみ)
- ④ タイマ出力F/F (フリップフロップ) の状態設定
- ⑤ タイマF/Fの制御またはPWM (フリー・ランニング) モード時のアクティブ・レベルの選択
- ⑥ タイマ出力の制御

TMC5nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図9-5 8ビット・タイマ・モード・コントロール・レジスタ 50 (TMC50) のフォーマット

アドレス：FF70H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TMC50	TCE50	TMC506	0	0	LVS50	LVR50	TMC501	TOE50

TCE50	TM50のカウンタ動作制御	
0	カウンタを0にクリア後、カウンタ動作禁止(プリスケアラ禁止)	
1	カウンタ動作開始	

TMC506	TM50の動作モード選択	
0	TM50とCR50の一致でクリア&スタート・モード	
1	PWM (フリー・ランニング) モード	

LVS50	LVR50	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット (0)
1	0	タイマ出力F/Fをセット (1)
1	1	設定禁止

TMC501	PWMモード以外 (TMC506 = 0)	PWMモード (TMC506 = 1)
	タイマF/Fの制御	
0	反転動作禁止	ハイ・アクティブ
1	反転動作許可	ロウ・アクティブ

TOE50	タイマ出力の制御
0	出力禁止 (ポート・モード)
1	出力許可

- 備考1. PWMモード時は、TCE50 = 0により、PWM出力はインアクティブ・レベルになります。
 2. データ設定後にLVS50, LVR50を読み出すと、0が読み出せます。

図9-6 8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) のフォーマット

アドレス：FF78H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TMC51	TCE51	TMC516	0	TMC514	LVS51	LVR51	TMC511	TOE51

TCE51	TM51のカウンタ動作制御
0	カウンタを0にクリア後、カウンタ動作禁止(プリスケアラ禁止)
1	カウンタ動作開始

TMC516	TM51の動作モード選択
0	TM51とCR51の一致でクリア&スタート・モード
1	PWM (フリー・ランニング) モード

TMC514	単体モード/カスケード接続モードの選択
0	単体モード
1	カスケード接続モード (TM50：下位タイマ, TM51：上位タイマ)

LVS51	LVR51	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット (0)
1	0	タイマ出力F/Fをセット (1)
1	1	設定禁止

TMC511	PWMモード以外 (TMC516 = 0)	PWMモード (TMC516 = 1)
	タイマF/Fの制御	アクティブ・レベルの選択
0	反転動作禁止	ハイ・アクティブ
1	反転動作許可	ロウ・アクティブ

TOE51	タイマ出力の制御
0	出力禁止 (ポート・モード)
1	出力許可

- 備考1. PWMモード時は、TCE51 = 0により、PWM出力はインアクティブ・レベルになります。
 2. データ設定後にLVS51, LVR51を読み出すと、0が読み出せます。

(3) ポート・モード・レジスタ7 (PM7)

ポート7の入力/出力を1ビット単位で設定するレジスタです。

P72/TO50/TI50, P73/TI51/TO51端子をタイマ出力として使用するとき, PM72, PM73およびP72, P73の出力ラッチに0を設定してください。

P72/TO50/TI50, P73/TI51/TO51端子をタイマ入力として使用するとき, PM72, PM73に1を設定してください。このときP72, P73の出力ラッチは, 0または1のどちらでもかまいません。

PM7は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, FFHになります。

図9-7 ポート・モード・レジスタ7 (PM7) のフォーマット

アドレス: FF27H リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PM7	1	1	PM75	PM74	PM73	PM72	PM71	PM70

PM7n	P7n端子の入出力モードの選択 (n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

9.4 8ビット・タイマ/イベント・カウンタ50, 51の動作

9.4.1 インターバル・タイマ（8ビット）としての動作

8ビット・タイマ・コンペア・レジスタ5n（CR5n）にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

8ビット・タイマ・カウンタ5n（TM5n）のカウント値がCR5nに設定した値と一致したとき、TM5nの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号（INTTM5n）を発生します。

タイマ・クロック選択レジスタ5n（TCL5n）のビット0-2（TCL5n0-TCL5n2）でTM5nのカウント・クロックを選択できます。

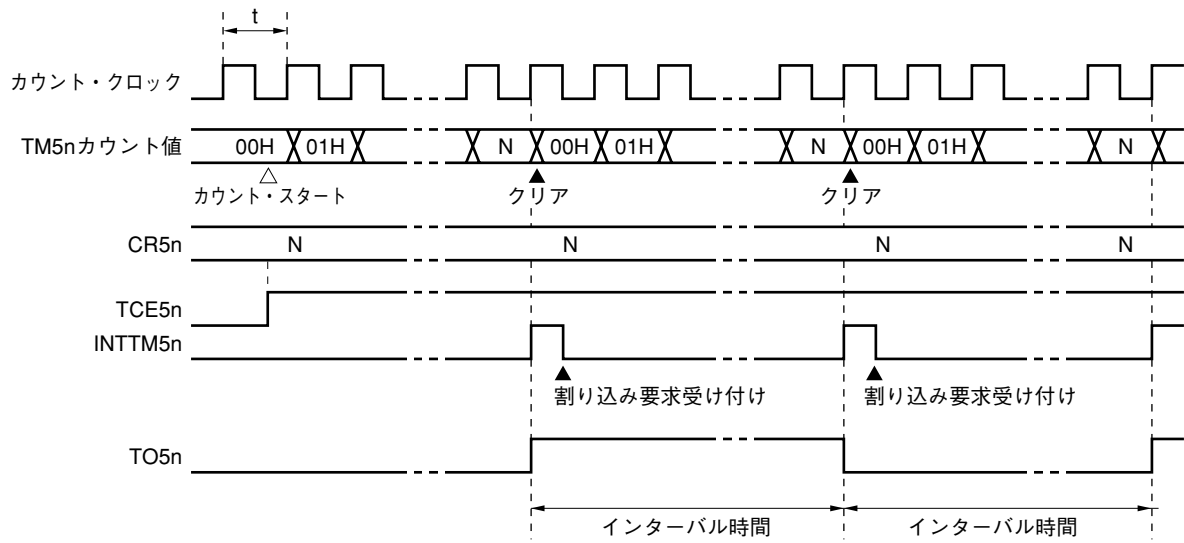
[設定方法]

- ① 各レジスタの設定を行います。
 - ・TCL5n : カウント・クロックの選択
 - ・CR5n : コンペア値
 - ・TMC5n : カウント動作停止、TM5nとCR5nの一致でクリア&スタート・モードを選択
(TMC5n = 0000×××0B × = don't care)
- ② TCE5n = 1を設定すると、カウント動作を開始します。
- ③ TM5nとCR5nの値が一致すると、INTTM5nが発生します（TM5nは00Hにクリアされます）。
- ④ 以後、同一間隔でINTTM5nが繰り返し発生します。カウント動作を停止するときは、TCE5n = 0にしてください。

備考 n = 0, 1

図9-8 インターバル・タイマ動作のタイミング (1/3)

(a) 基本動作



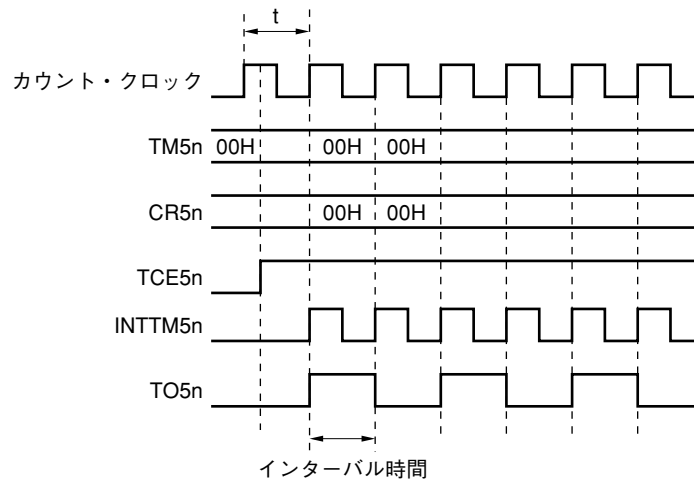
備考1. インターバル時間 = $(N+1) \times t$

N = 00H-FFH

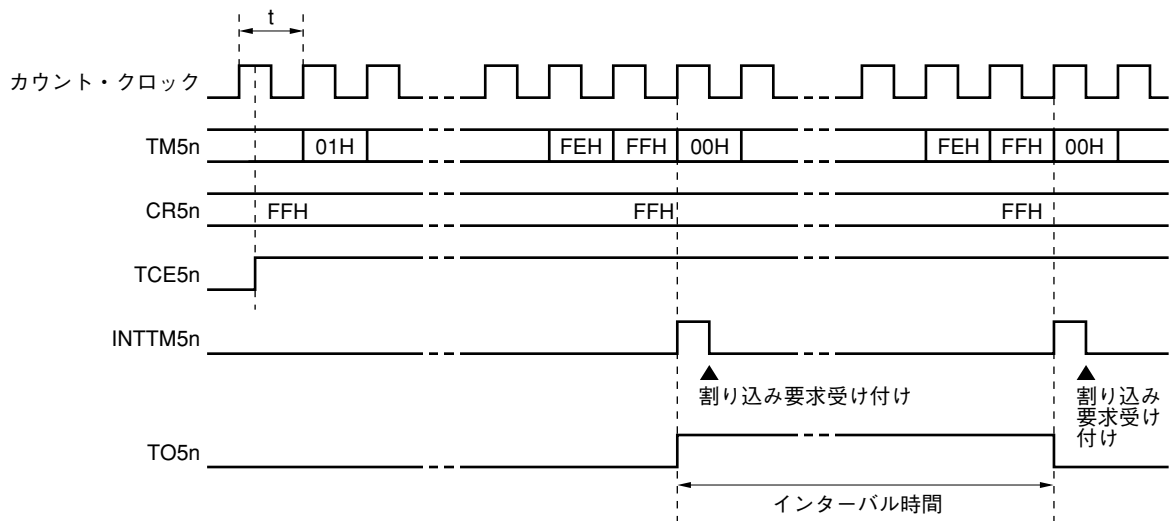
2. n = 0, 1

図9-8 インターバル・タイマ動作のタイミング (2/3)

(b) CR5n = 00Hの場合



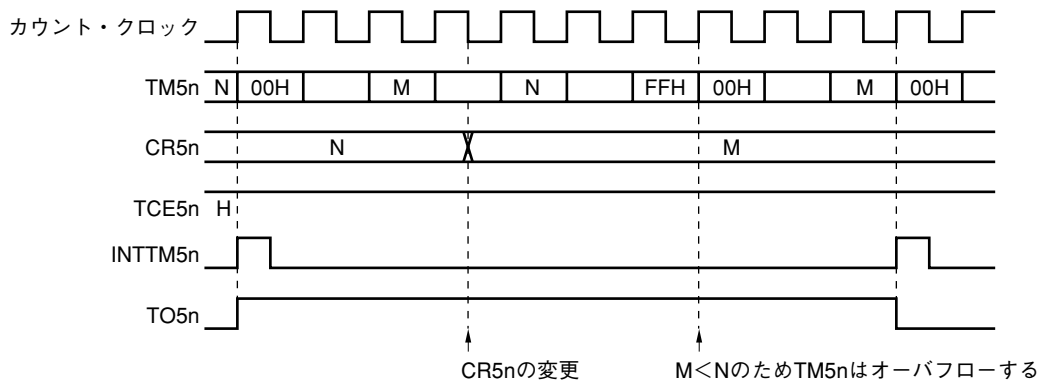
(c) CR5n = FFHの場合



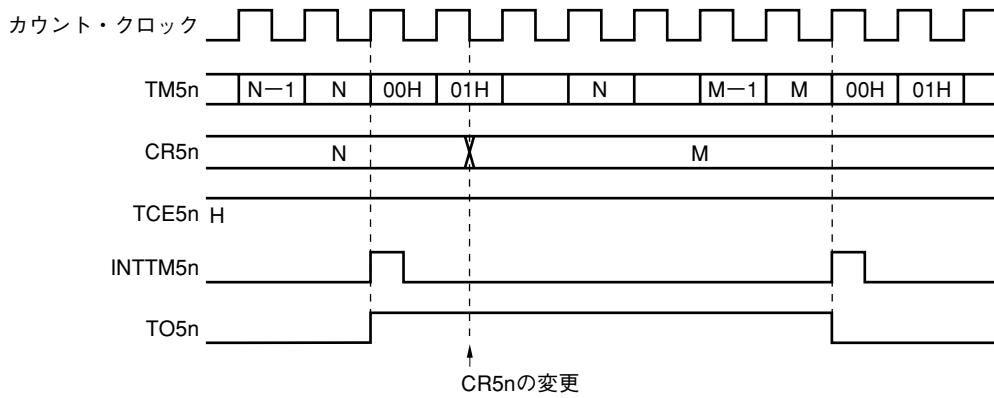
備考 n = 0, 1

図9-8 インターバル・タイマ動作のタイミング (3/3)

(d) CR5n変更による動作 (M < N)



(e) CR5n変更による動作 (M > N)



備考 n = 0, 1

9.4.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI5nに入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ5n (TM5n) でカウントするものです。

タイマ・クロック選択レジスタ5n (TCL5n) で指定した有効エッジが入力されるたびに、TM5nがインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりのいずれかを選択できます。

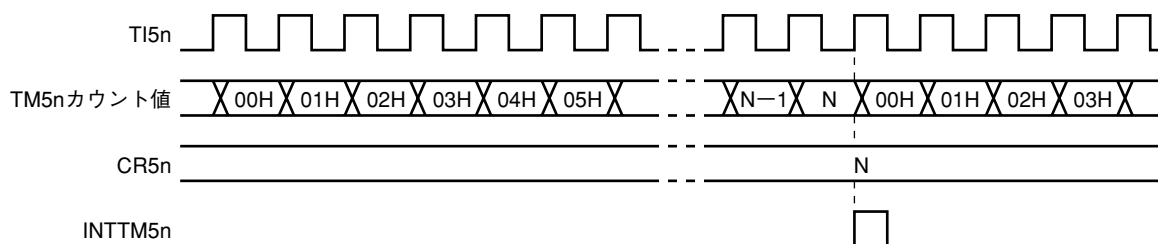
TM5nの計数値が8ビット・タイマ・コンペア・レジスタ5n (CR5n) の値と一致すると、TM5nは0にクリアされ、割り込み要求信号 (INTTM5n) が発生します。

以後、TM5nの値とCR5nの値が一致するたびに、INTTM5nが発生します。

[設定方法]

- ① 各レジスタの設定を行います。
 - ・TCL5n : TI5n入力のエッジ選択
 TI5nの立ち下がり→TCL5n = 00H
 TI5nの立ち上がり→TCL5n = 01H
 - ・CR5n : コンペア値
 - ・TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モード選択, タイマF/F反転動作禁止, タイマ出力禁止
 (TMC5n = 0000××00B × = don't care)
- ② TCE5n = 1を設定すると、TI5nから入力されるパルス数をカウントします。
- ③ TM5nとCR5nの値が一致すると、INTTM5nが発生します (TM5nは00Hにクリアされます)。
- ④ 以後、TM5nとCR5nの値が一致するたびに、INTTM5nが発生します。

図9-9 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



備考1. N = 00H-FFH

2. n = 0, 1

9.4.3 方形波出力（8ビット分解能）としての動作

8ビット・タイマ・コンペア・レジスタ5n（CR5n）にあらかじめ設定した値で決まるインターバルの、任意の周波数の方形波出力として動作します。

8ビット・タイマ・モード・コントロール・レジスタ5n（TMC5n）のビット0（TOE5n）に1を設定することにより、CR5nにあらかじめ設定したカウント値で決まるインターバルでTOE5nの出力状態が反転します。これにより、任意の周波数の方形波出力（デューティ=50%）が可能です。

[設定方法]

- ① 各レジスタの設定を行います。
 - ・ポート・ラッチ（P72, P73）^注、ポート・モード・レジスタ（PM72, PM73）^注に“0”を設定
 - ・TCL5n : カウント・クロックの選択
 - ・CR5n : コンペア値
 - ・TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モード

LVS5n	LVR5n	タイマ出力F/Fの状態設定
1	0	ハイ・レベル出力
0	1	ロウ・レベル出力

タイマ出力F/Fの反転許可

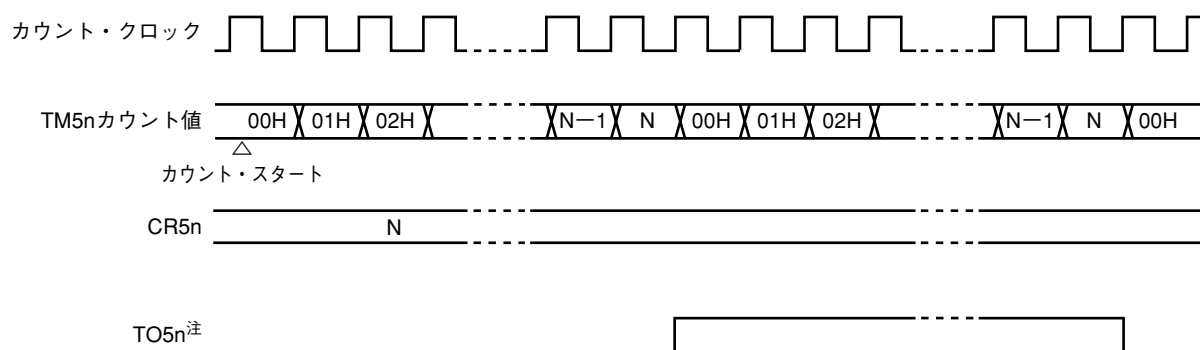
タイマ出力許可→TOE5n = 1

(TMC5n = 00001011Bまたは00000111B)

- ② TCE5n = 1を設定すると、カウント動作を開始します。
- ③ TM5nとCR5nの値が一致すると、タイマ出力F/Fが反転します。
また、INTTM5nが発生し、TM5nは00Hにクリアされます。
- ④ 以後、同一間隔でタイマ出力F/Fが反転し、TOE5nから方形波が出力されます。
周波数は次のようになります。
 - ・周波数 = $f_{CNT}/2 (N+1)$
(N = 00H-FFH, f_{CNT} : カウント・クロック)

注 8ビット・タイマ/イベント・カウンタ50: P72, PM72
8ビット・タイマ/イベント・カウンタ51: P73, PM73

図9-10 方形波出力動作のタイミング



注 TO5n出力の初期値は、8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット2, 3 (LVR5n, LVS5n) で設定できます。

備考1. N = 00H-FFH

2. n = 0, 1

9.4.4 8ビットPWM出力としての動作

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット6 (TMC5n6) を“1”に設定することにより、PWM出力として動作します。

8ビット・タイマ・コンペア・レジスタ5n (CR5n) に設定した値で決まるデューティ比のパルスを、TO5nから出力します。

PWMパルスのアクティブ・レベルの幅は、CR5nに設定してください。また、アクティブ・レベルは、TMC5nのビット1 (TMC5n1) により選択できます。

カウント・クロックは、タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) で選択できます。

TMC5nのビット0 (TOE5n) により、PWM出力の許可/禁止が選択できます。

・周期 = カウント・クロック × 256

・デューティ比 = $\frac{\text{コンペア・レジスタの設定値}}{256}$

注意 PWMモード時のCR5nの書き換えは、1周期に1回のみ可能です。

備考 n = 0, 1

(1) PWM出力の基本動作

[設定方法]

- ① 各レジスタの設定を行います。
- ・ポート・ラッチ (P72, P73) ^注, ポート・モード・レジスタ (PM72, PM73) ^注に“0”を設定
 - ・TCL5n : カウント・クロックの選択
 - ・CR5n : コンペア値
 - ・TMC5n : カウント動作停止, PWMモード選択, タイマ出力F/F変化なし

TMC5n1	アクティブ・レベルの選択
0	ハイ・アクティブ
1	ロウ・アクティブ

タイマ出力許可

(TMC5n = 01000001Bまたは01000011B)

- ② TCE5n = 1に設定すると, カウント動作を開始します。
 カウント動作を停止するときは, TCE5nに“0”を設定してください。

注 8ビット・タイマ/イベント・カウンタ50 : P72, PM72

8ビット・タイマ/イベント・カウンタ51 : P73, PM73

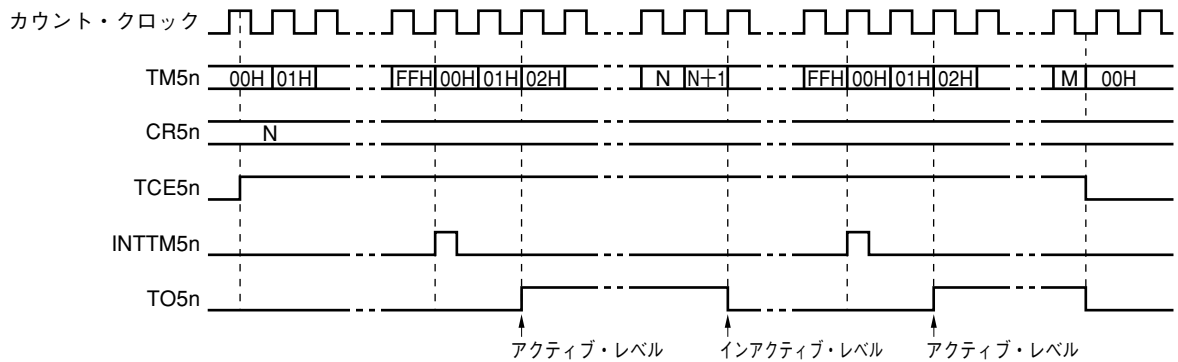
[PWM出力の動作]

- ① カウント動作を開始すると, PWM出力 (TO5nからの出力) はオーバフローが発生するまでインアクティブ・レベルを出力します。
- ② オーバフローが発生すると, アクティブ・レベルを出力します。アクティブ・レベルは, CR5nと8ビット・タイマ・カウンタ5n (TM5n) のカウント値が一致するまで出力されます。
- ③ CR5nとカウント値が一致したあとのPWM出力は, 再度オーバフローが発生するまでインアクティブ・レベルを出力します。
- ④ 以後, カウント動作が停止されるまで②, ③を繰り返します。
- ⑤ TCE5n = 0によりカウント動作を停止すると, PWM出力はインアクティブ・レベルになります。

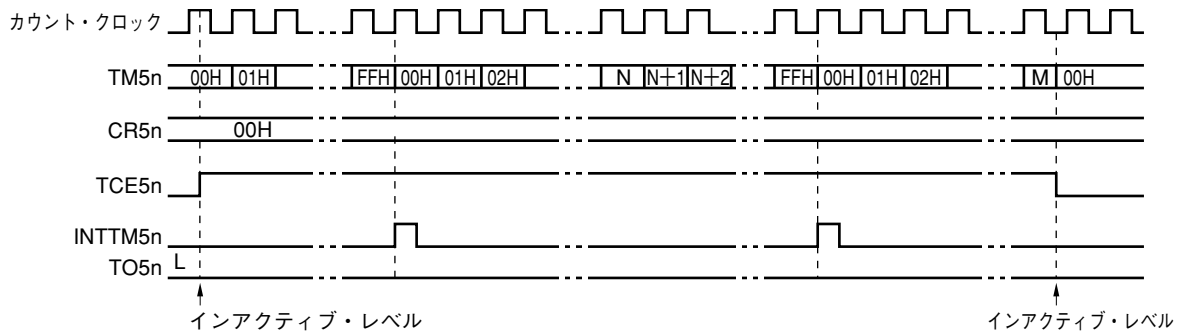
備考 n = 0, 1

図9-11 PWM出力の動作タイミング

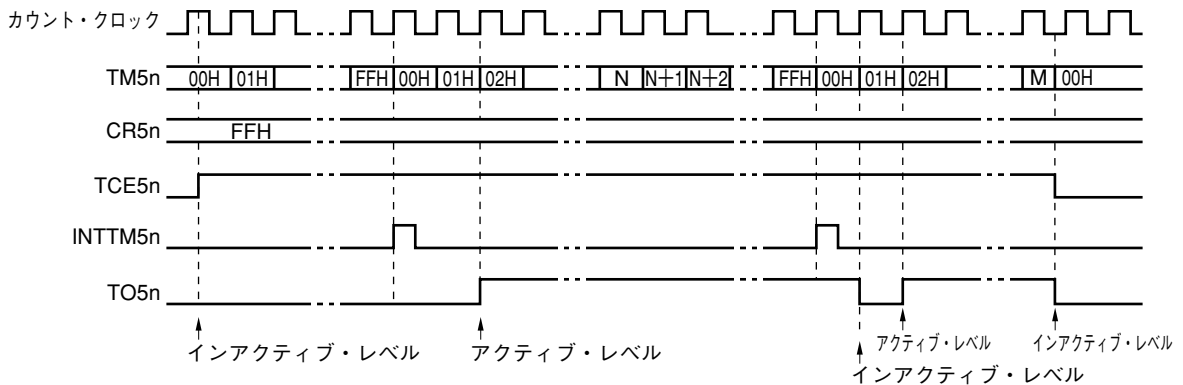
(a) 基本動作 (アクティブ・レベル = H のとき)



(b) CR5n = 0 の場合



(c) CR5n = FFH の場合

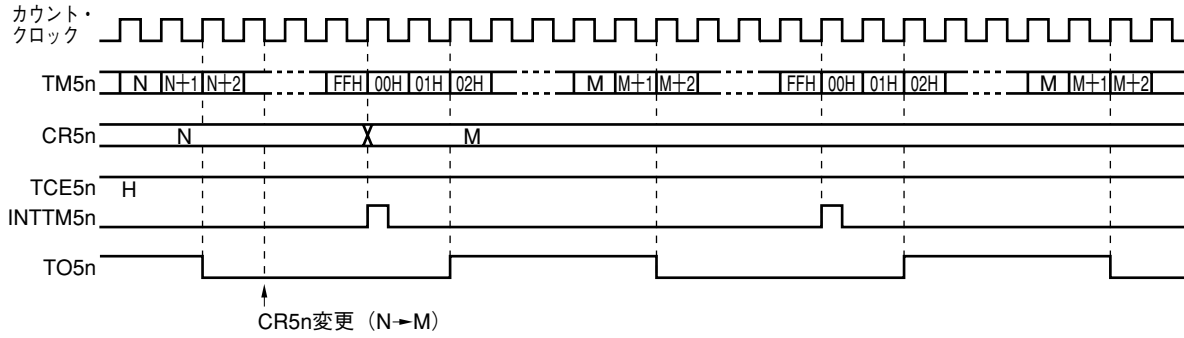


備考 n = 0, 1

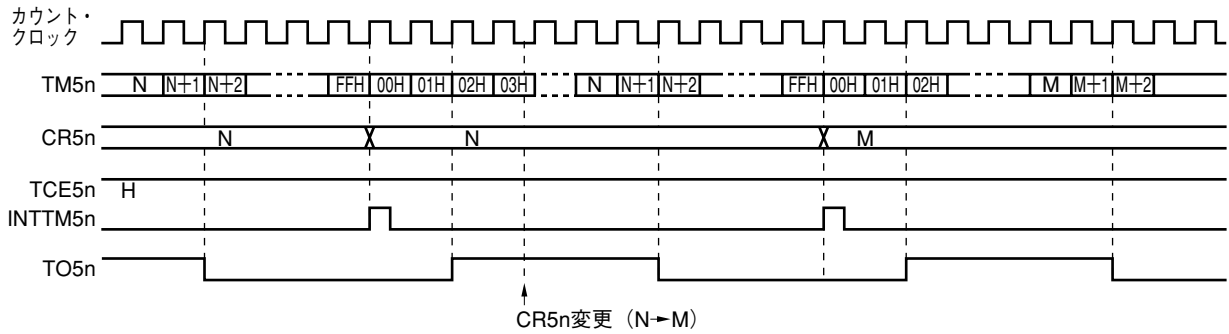
(2) CR5n変更による動作

図9-12 CR5n変更による動作のタイミング

(a) $TM5n > CR5n$ のときに、CR5nの値をN→Mに変更した場合



(b) $TM5n < CR5n$ のときに、CR5nの値をN→Mに変更した場合



備考 n = 0, 1

9.4.5 インターバル・タイマ（16ビット）としての動作

8ビット・タイマ・モード・コントロール・レジスタ51（TMC51）のビット4（TMC514）に“1”を設定することにより、16ビット分解能のタイマ/カウンタ・モードになります。

8ビット・タイマ・コンペア・レジスタ（CR50, CR51）にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

[設定方法]

① 各レジスタの設定を行います。

- ・ TCL50 : TM50はカウント・クロック選択
カスケード接続するTM51は設定不要
- ・ CR50, CR51 : コンペア値（各コンペア値とも00H-FFHの設定が可能）
- ・ TMC50, TMC51 : TM50とCR50（TM51とCR51）の一致でクリア&スタート・モードを選択

$$\left[\begin{array}{l} \text{TM50} \rightarrow \text{TMC50} = 0000 \times \times \times 0\text{B} \quad \times : \text{don't care} \\ \text{TM51} \rightarrow \text{TMC51} = 0001 \times \times \times 0\text{B} \quad \times : \text{don't care} \end{array} \right]$$

- ② 先にTMC51をTCE51 = 1に設定し、その後TMC50をTCE50 = 1に設定することにより、カウント動作を開始します。
- ③ カスケード接続されたタイマのTM50とCR50の値が一致すると、TM50のINTTM50が発生します（TM50, TM51は00Hにクリアされます）。
- ④ 以後、同一間隔でINTTM50が繰り返し発生します。

注意1. コンペア・レジスタ（CR50, CR51）は、必ずタイマ動作を停止させてから設定してください。

- 2. カスケード接続で使用している場合でも、TM51のカウント値がCR51と一致すると、TM51のINTTM51が発生してしまいます。TM51は、割り込み禁止のため必ずマスクしてください。
- 3. TCE50, TCE51は、TM51, TM50の順にセットしてください。
- 4. カウントの再スタート/ストップは、TM50のTCE50のみ1/0に設定することにより、動作/停止できます。

図9-13に、16ビット分解能カスケード接続モードのタイミング例を示します。

図9-13 16ビット分解能カスケード接続モード



9.5 プログラム・リスト

注意 このサンプル・プログラムは、半導体製品の動作例、応用例を説明するために、例示的に示したものです。したがって、これらの情報をお客様の機器に使用される場合には、お客様の責任において評価を実施し設計をしてください。

9.5.1 インターバル・タイマ（8ビット）

```

/*****
/*
/*          タイマ50動作サンプル
/*          インターバルタイマ設定例（周期変更は割り込み処理で）
/*          data[0]：データ設定フラグ(0以外で値変更)
/*          data[1]：設定データ
/*
/*****
#pragma sfr
#pragma EI
#pragma DI
#pragma interrupt INTTM50 intervalint rb2
    unsigned char data[2];          /* データ領域 */

void main(void)
{
    PCC = 0x0;                      /* 高速動作モード設定 */
    data[0] = 0;                    /* データ領域クリア */
    data[1] = 0;

                                /* ポート設定          */
    P7 = 0b11111011;              /* TO50を使用する場合 */
    PM7.2 = 0;                    /* P72を出力に設定 */

                                /* 割り込み設定          */
    TMMK50 = 0;                   /* INTTM50割り込みマスク解除 */
                                /* タイマ50の設定          */
    TMC50 = 0b00000111;           /* クリア&スタート・モード、初期値L */
    TCL50 = 0b00000101;           /* 立ち上がり、立ち下りの両エッジ */
                                /* カウント・クロックはfx/2^6 */
    CR50 = 131;                   /* 初期値として1msのインターバル設定 */
    TCE50 = 1;                    /* タイマ・スタート          */
    EI();                          /* ダミーのループ */
    while(1);

}

/* INTTM50割り込み関数 */
void intervalint()
{
    if(data[0] != 0)
    {
        CR50 = data[1];           /* 新しい設定値をセット */
        data[0] = 0;              /* 要求フラグをクリア */
    }
}

```

9.5.2 外部イベント・カウンタ

```

/*****/
/*
/*          タイマ50動作サンプル
/*          イベントカウンタ設定例
/*          data   : カウントアップフラグ
/*
/*****/
#pragma sfr
#pragma EI
#pragma DI
#pragma interrupt INTTM50 intervalint rb2
        unsigned char data;          /* データ領域 */

void main(void)
{
    PCC = 0x0;          /* 高速動作モード設定 */
    data = 0;          /* データ領域クリア */

    PM7.2 = 1;          /* ポート設定          */
                    /* P72を入力に設定 */

    TMMK50 = 0;          /* 割り込み設定          */
                    /* INTTM50割り込みマスク解除 */
                    /* タイマ50の設定          */
    TMC50 = 0b00000000; /* クリア&スタート・モード */
    TCL50 = 0b00000001; /* TI50の立ち上がりエッジを指定 */
    CR50 = 0x10;        /* 初期値として、N=16を設定 */
    TCE50 = 1;          /* タイマ・スタート */
    EI();

/*****/
/*
/*          実行させたい処理を記述する
/*
/*****/

        while(data == 0);          /* カウント・アップ待ち */

/*****/
/*
/*          以降にカウントアップ後の処理を記述する
/*
/*****/
}

/* INTTM50割り込み関数 */
void intervalint()
{
    data = 0xff;          /* カウント・アップ・フラグをセット */
    TCE50 = 0;          /* タイマ停止 */
}

```

9.5.3 インターバル・タイマ (16ビット)

```

/*****/
/*
/*          タイマ5動作サンプル
/*          カスケード接続設定例
/*
/*****/
#pragma sfr
#pragma EI
#pragma DI
#define intervalTM5 130          /* CRにセットする周期データ */
#pragma interrupt INTTM50 ppgint rb2
      unsigned char ppgdata[2]; /* タイマ5にセットするデータ領域 */

void main(void)
{
    int interval;
    interval = intervalTM5;
    PCC = 0x0;                  /* 高速動作モード選択 */
    ppgdata[0] = 0;             /* CR50データ・クリア */
    ppgdata[1] = 0;             /* CR51データ・クリア */
                                /* ポート設定 */
    P7 = 0b11111011;           /* P72をクリア */
    PM7.2 = 0;                 /* P72を出力に設定 */
                                /* 割り込み設定 */
    TMMK50 = 0;                /* INTTM50割り込みマスク解除 */
    TMMK51 = 1;                /* INTTM51割り込みマスク設定 */
                                /* タイマ5の設定 */
    TCL50 = 0b00000101;        /* カウント・クロックはfx/2^6 */
    CR50 = interval & 0xff;     /* CR50にコンペア・レジスタ下位を設定 */
    CR51 = interval >> 8;      /* CR51にコンペア・レジスタ上位を設定 */
    TMC50 = 0b00000111;        /* 一致で反転, 初期値L */
    TMC51 = 0b00010000;        /* カスケード・モード */
    TCE51 = 1;
    TCE50 = 1;                 /* タイマ・スタート */
    EI();

    while(1);
}

/* タイマ5割り込み関数 */
void ppgint()
{
    unsigned int work;
    work = ppgdata[0]+ppgdata[1]*0x100;
    if (work != 0)
    {
        TCE50 = 0;
        CR51 = work >> 8;
        CR50 = work & 0xff;
        ppgdata[0] = 0;
        ppgdata[1] = 0;

        if (work != 0xffff)
        {
            TCE50 = 1;          /* タイマ再開 */
        }
    }
}

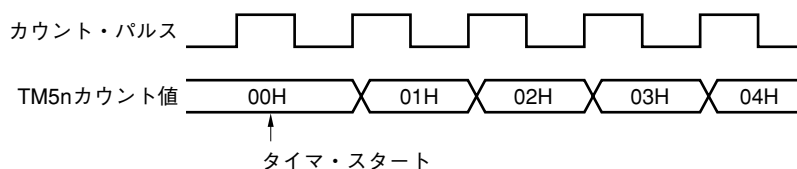
```

9.6 8ビット・タイマ/イベント・カウンタ50, 51の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・パルスに対して8ビット・タイマ・カウンタ5n (TM5n) が非同期でスタートするためです。

図9-14 8ビット・タイマ・カウンタ5n (TM5n) のスタート・タイミング



(2) STOPモードまたはメイン・システム・クロック停止モードの設定について

TI5n入力を選択している場合を除き、STOPモードまたはメイン・システム・クロック停止モードに設定する前は必ずTCE5n = 0にしてください。

メイン・システム・クロック発振開始時に、タイマが誤動作する可能性があります。

(3) タイマ動作中のTM5n (n = 0, 1) 読み出しについて

動作中のTM5nを読み出す場合、カウント・クロックが一時停止するため、選択するカウント・クロックは、CPUクロックの2周期分より長いハイ/ロウ・レベルのある波形を選択してください。たとえば、CPUクロック (f_{CPU}) がf_xのとき、選択するカウント・クロックがf_x/4以下であれば読み出すことができます。

備考 n = 0, 1

第10章 時計用タイマ

10.1 時計用タイマの機能

時計用タイマには、次のような機能があります。

(1) 時計用タイマ

メイン・システム・クロックまたはサブシステム・クロックを使用することで、 $2^{14}/f_w$ 秒の時間間隔で割り込み要求 (INTWT) を発生します。

(2) インターバル・タイマ

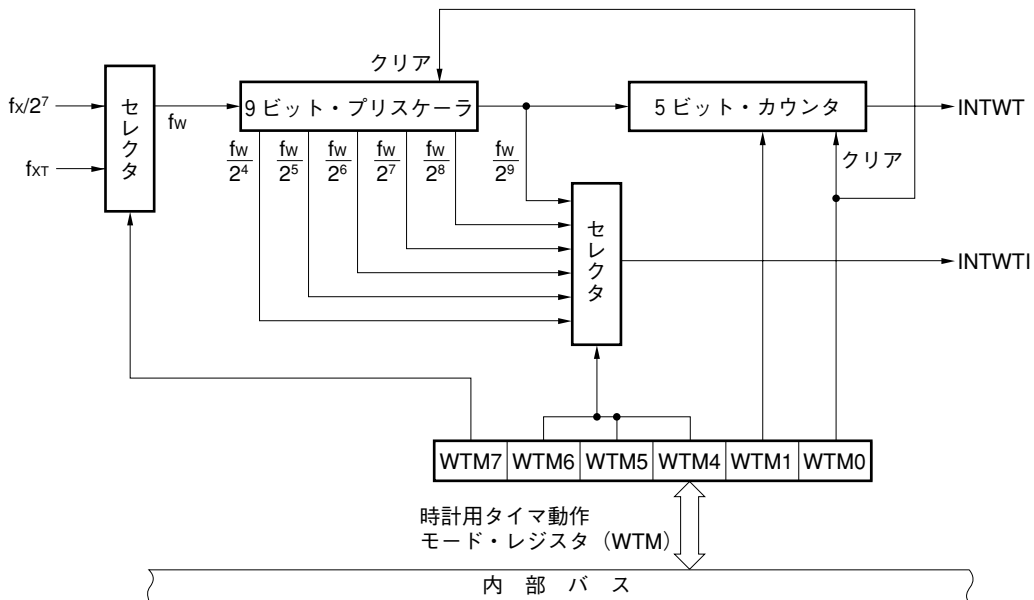
あらかじめ設定した時間間隔で、割り込み要求 (INTWTI) を発生します。

インターバル時間は表10-2を参照してください。

時計用タイマとインターバル・タイマは、同時に使用できます。

図10-1に、時計用タイマのブロック図を示します。

図10-1 時計用タイマのブロック図



備考 f_w : 時計用タイマ・クロック周波数 ($f_x/2^7$ または f_{xT})

f_x : メイン・システム・クロック発振周波数

f_{xT} : サブシステム・クロック発振周波数

10.2 時計用タイマの構成

時計用タイマは、次のハードウェアで構成されています。

表10-1 時計用タイマの構成

項 目	構 成
カウンタ	5ビット×1本
プリスケーラ	9ビット×1本
制御レジスタ	時計用タイマ動作モード・レジスタ (WTM)

10.3 時計用タイマを制御するレジスタ

時計用タイマを制御するレジスタには、時計用タイマ動作モード・レジスタ (WTM) があります。

・時計用タイマ動作モード・レジスタ (WTM)

時計用タイマのカウント・クロックおよび動作の許可／禁止、プリスケアラのインターバル時間、5ビット・カウンタの動作制御を設定するレジスタです。

WTMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図10-2 時計用タイマ動作モード・レジスタ (WTM) のフォーマット

アドレス：FF41H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
WTM	WTM7	WTM6	WTM5	WTM4	0	0	WTM1	WTM0

WTM7	時計用タイマのカウント・クロック選択
0	$f_x/2^7$ (65.4 kHz : $f_x = 8.38$ MHz, 93.7 kHz : $f_x = 12$ MHz ^注)
1	f_{XT} (32.768 kHz : $f_{XT} = 32.768$ kHz)

WTM6	WTM5	WTM4	プリスケアラのインターバル時間の選択
0	0	0	$2^4/f_w$
0	0	1	$2^5/f_w$
0	1	0	$2^6/f_w$
0	1	1	$2^7/f_w$
1	0	0	$2^8/f_w$
1	0	1	$2^9/f_w$
上記以外			設定禁止

WTM1	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTM0	時計用タイマの動作許可
0	動作停止 (プリスケアラ、タイマともにクリア)
1	動作許可

注 μ PD780024A, 780034Aサブシリーズの拡張規格品のみ。

注意 時計用タイマ動作中に、カウント・クロック、インターバル時間の変更 (WTMのビット4-7 (WTM4-WTM7) で設定) をしないでください。

備考1. f_w : 時計用タイマ・クロック周波数 ($f_x/2^7$ または f_{XT})

2. f_x : メイン・システム・クロック発振周波数

3. f_{XT} : サブシステム・クロック発振周波数

10.4 時計用タイマの動作

10.4.1 時計用タイマとしての動作

時計用タイマは、メイン・システム・クロックまたはサブシステム・クロックを使用し、一定の時間間隔 ($2^{14}/f_w$ 秒) ごとに割り込み要求 (INTWT) を発生します。割り込み要求の時間間隔は次のようになります。

- ・メイン・システム・クロック (8.38 MHz) 選択時：0.25秒
- ・サブシステム・クロック (32.768 kHz) 選択時：0.5秒

時計用タイマ動作モード・レジスタ (WTM) のビット0 (WTM0) とビット1 (WTM1) に1を設定するとカウント動作がスタートし、0を設定することにより、5ビット・カウンタがクリアされ、カウント動作が停止します。

また、インターバル・タイマを同時に動作させているときは、一度WTM1に0を設定したあとに再度WTM1に1を設定することにより、時計用タイマのみをゼロ秒スタートさせることができます。ただし、この場合、9ビット・プリスケアラはクリアされないため、時計用タイマのゼロ秒スタート後最初のオーバフロー (INTWT) には、最大で $2^9/f_w$ 秒の誤差が発生します。

備考 f_w ：時計用タイマ・クロック周波数 ($f_x/2^7$ または f_{XT})

10.4.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求 (INTWTI) を発生するインターバル・タイマとして動作します。

時計用タイマ動作モード・レジスタ (WTM) のビット4-6 (WTM4-WTM6) により、インターバル時間を選択できます。

表10-2 インターバル・タイマのインターバル時間

WTM6	WTM5	WTM4	インターバル時間	$f_x = 12 \text{ MHz}$ 動作時 ^注	$f_x = 8.38 \text{ MHz}$ 動作時	$f_x = 4.19 \text{ MHz}$ 動作時	$f_{XT} = 32.768 \text{ kHz}$ 動作時
0	0	0	$2^4/f_w$	170 μs	244 μs	488 μs	488 μs
0	0	1	$2^5/f_w$	341 μs	488 μs	977 μs	976 μs
0	1	0	$2^6/f_w$	682 μs	977 μs	1.95 ms	1.95 ms
0	1	1	$2^7/f_w$	1.36 ms	1.95 ms	3.91 ms	3.90 ms
1	0	0	$2^8/f_w$	2.73 ms	3.91 ms	7.82 ms	7.81 ms
1	0	1	$2^9/f_w$	5.46 ms	7.82 ms	15.6 ms	15.6 ms
上記以外			設定禁止				

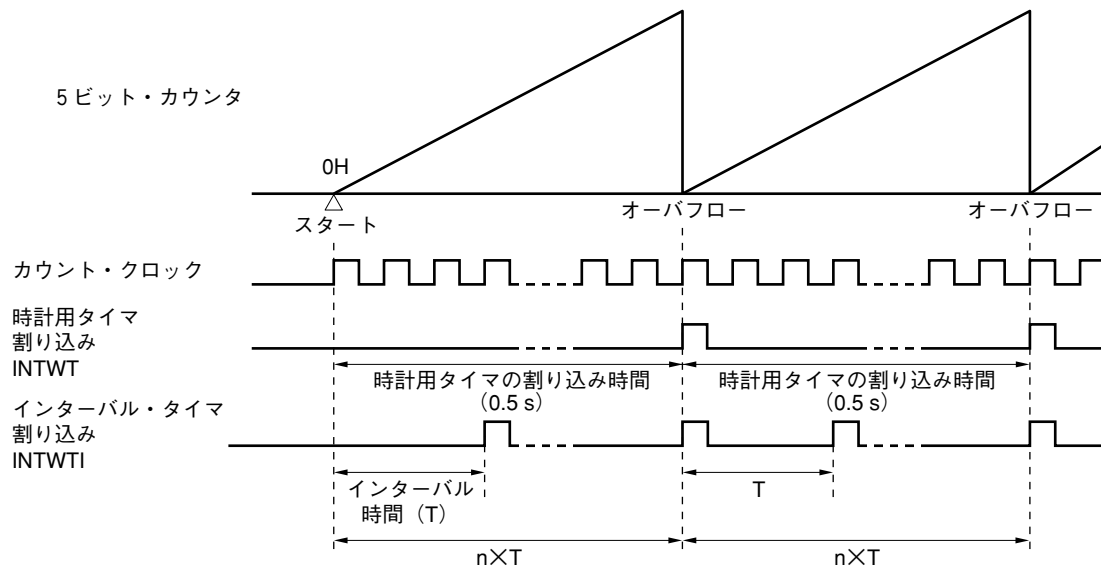
注 $\mu\text{PD780024A}$, 780034A サブシリーズの拡張規格品のみ。

備考 f_w ：時計用タイマ・クロック周波数 ($f_x/2^7$ または f_{XT})

f_{XT} ：サブシステム・クロック発振周波数

f_x ：メイン・システム・クロック発振周波数

図10-3 時計用タイマ/インターバル・タイマの動作タイミング



★ 注意 時計用タイマ・モード・コントロール・レジスタ (WTM) で時計用タイマおよび5ビット・カウンタを動作許可 (WTMのビット0 (WTM0) およびビット1 (WTM1) を1にセット) したとき, 設定後の最初の割り込み要求 (INTWT) までの時間は, 正確に時計用タイマの割り込み時間 (0.25秒または0.5秒) にはなりません。これは5ビット・カウンタのカウント開始が9ビット・プリスケアラの出力1周期分遅れるからです。2回目以降は設定時間ごとにINTWT信号が発生します。

備考 f_w : 時計用タイマ・クロック周波数 ($f_x/2^7$ または f_{XT})
 n : インターバル・タイマ動作の回数
 () 内は, $f_w = 32.768$ kHz動作時。

第11章 ウォッチドッグ・タイマ

11.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには、次のような機能があります。

(1) ウォッチドッグ・タイマ

プログラムの暴走を検出します。暴走検出時、ノンマスカブル割り込み要求または $\overline{\text{RESET}}$ を発生できます。

暴走検出時間は表11-2を参照してください。

(2) インターバル・タイマ

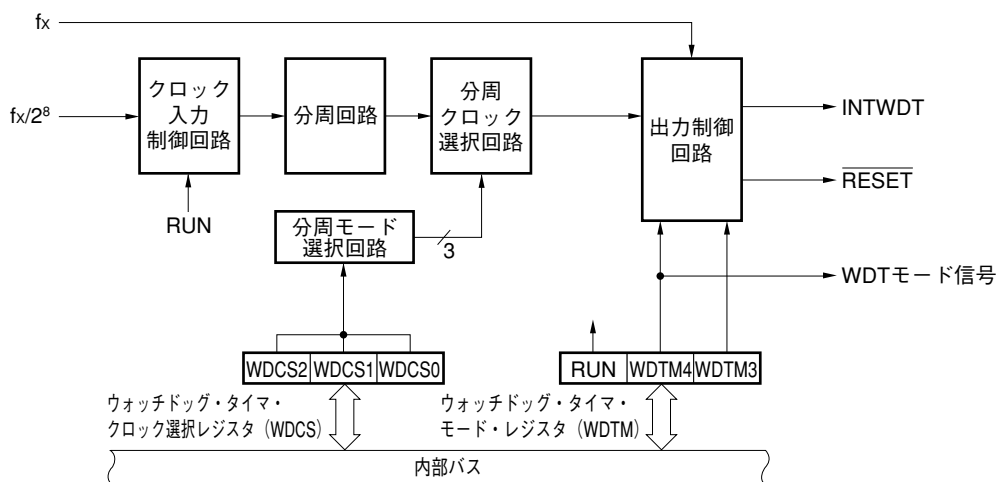
あらかじめ設定した時間間隔で、割り込み要求を発生します。

インターバル時間は表11-3を参照してください。

注意 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください (ウォッチドッグ・タイマとインターバル・タイマは同時に使用できません)。

図11-1 にブロック図を示します。

図11-1 ウォッチドッグ・タイマのブロック図



11.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表11-1 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

11.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマを制御するレジスタには、次の2種類があります。

- ・ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

(1) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)

ウォッチドッグ・タイマおよびインターバル・タイマのオーバフロー時間を設定するレジスタです。

WDCSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図11-2 ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のフォーマット

アドレス：FF42H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
WDCS	0	0	0	0	0	WDCS2	WDCS1	WDCS0

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマ/インターバル・タイマのオーバフロー時間		
				$f_x = 8.38 \text{ MHz}$	$f_x = 12 \text{ MHz}$ ^注
0	0	0	$2^{12}/f_x$	488 μs	341 μs
0	0	1	$2^{13}/f_x$	977 μs	682 μs
0	1	0	$2^{14}/f_x$	1.95 ms	1.36 ms
0	1	1	$2^{15}/f_x$	3.91 ms	2.73 ms
1	0	0	$2^{16}/f_x$	7.82 ms	5.46 ms
1	0	1	$2^{17}/f_x$	15.6 ms	10.9 ms
1	1	0	$2^{18}/f_x$	31.2 ms	21.8 ms
1	1	1	$2^{20}/f_x$	125 ms	87.3 ms

注 $\mu\text{PD780024A}$, 780034A サブシリーズの拡張規格品のみ。

備考 f_x ：メイン・システム・クロック発振周波数

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード、カウント許可/禁止を設定するレジスタです。WDTMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。 $\overline{\text{RESET}}$ 入力により00Hになります。

図11-3 ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のフォーマット

アドレス：FFF9H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	0

RUN	ウォッチドッグ・タイマの動作モードの選択 ^{注1}
0	カウントの停止
1	カウンタをクリアし、カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 ^{注2}
0	×	インターバル・タイマ・モード ^{注3} (オーバーフロー発生時、マスカブル割り込み要求発生)
1	0	ウォッチドッグ・タイマ・モード1 (オーバーフロー発生時、ノンマスカブル割り込み要求発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバーフロー発生時、リセット動作を起動)

- 注1. RUNは、一度1にセットされると、ソフトウェアで0にクリアすることはできません。したがって、カウントを開始すると、 $\overline{\text{RESET}}$ 入力以外で停止させることはできません。
2. WDTM3, WDTM4は、一度1にセットされると、ソフトウェアで0にクリアすることはできません。
3. RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

注意 RUNに1をセットし、ウォッチドッグ・タイマをクリアしたとき、実際のオーバーフロー時間は、ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) で設定した時間より最大 $2^8/f_x$ 秒短くなります。

備考 ×：don't care

11.4 ウォッチドッグ・タイマの動作

11.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のビット0-2 (WDCS0-WDCS2) でウォッチドッグ・タイマの暴走検出時間間隔を選択できます。WDTMのビット7 (RUN) に1を設定することにより、カウント動作を開始します。カウント動作を開始したあと、設定した暴走検出時間間隔内にRUNに再度1を設定すると、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

RUNに1がセットされず、暴走検出時間を越えてしまった場合は、WDTMのビット3 (WDTM3) の値により、システム・リセットまたはノンマスカブル割り込み要求が発生します。

ウォッチドッグ・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP命令を実行してください。

注意 1. 実際の暴走検出時間は、設定時間に対して最大 $2^9/f_x$ 秒短くなる場合があります。

2. CPUクロックにサブシステム・クロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止します。

表11-2 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	$f_x = 8.38 \text{ MHz}$ 動作時	$f_x = 12 \text{ MHz}$ 動作時 ^注
$2^{12}/f_x$	488 μs	341 μs
$2^{13}/f_x$	977 μs	682 μs
$2^{14}/f_x$	1.95 ms	1.36 ms
$2^{15}/f_x$	3.91 ms	2.73 ms
$2^{16}/f_x$	7.82 ms	5.46 ms
$2^{17}/f_x$	15.6 ms	10.9 ms
$2^{18}/f_x$	31.2 ms	21.8 ms
$2^{20}/f_x$	125 ms	87.3 ms

注 $\mu\text{PD780024A}$, 780034A サブシリーズの拡張規格品のみ。

備考 f_x : メイン・システム・クロック発振周波数

11.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・レジスタ (WDTM) のビット4 (WDTM4) に0を設定することにより、あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のビット0-2 (WDCS0-WDCS2) でインターバル・タイマのインターバル時間を選択できます。WDTMのビット7 (RUN) に1を設定することにより、インターバル・タイマとして動作を開始します。

インターバル・タイマとして動作しているとき、割り込みマスク・フラグ (WDTMK) と優先順位指定フラグ (WDTPR) が有効となり、マスクブル割り込み要求 (INTWDT) を発生させることができます。INTWDTのディフォルト優先順位は、マスクブル割り込みの中で最も高く設定されています。

インターバル・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、インターバル・タイマをクリアしたあと、STOP命令を実行してください。

- 注意 1. 一度WDTMのビット4 (WDTM4) に1を設定する (ウォッチドッグ・タイマ・モードを選択する) と、 $\overline{\text{RESET}}$ 入力されないかぎり、インターバル・タイマ・モードにはなりません。
2. WDTMで設定した直後のインターバル時間は、設定時間に対して最大 $2^8/f_x$ 秒短くなる場合があります。
3. CPUクロックにサブシステム・クロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止します。

表11-3 インターバル・タイマのインターバル時間

インターバル時間	$f_x = 8.38 \text{ MHz}$ 動作時	$f_x = 12 \text{ MHz}$ 動作時 ^注
$2^{12}/f_x$	488 μs	341 μs
$2^{13}/f_x$	977 μs	682 μs
$2^{14}/f_x$	1.95 ms	1.36 ms
$2^{15}/f_x$	3.91 ms	2.73 ms
$2^{16}/f_x$	7.82 ms	5.46 ms
$2^{17}/f_x$	15.6 ms	10.9 ms
$2^{18}/f_x$	31.2 ms	21.8 ms
$2^{20}/f_x$	125 ms	87.3 ms

注 $\mu\text{PD780024A}$, 780034A サブシリーズの拡張規格品のみ。

備考 f_x : メイン・システム・クロック発振周波数

第12章 クロック出力／ブザー出力制御回路

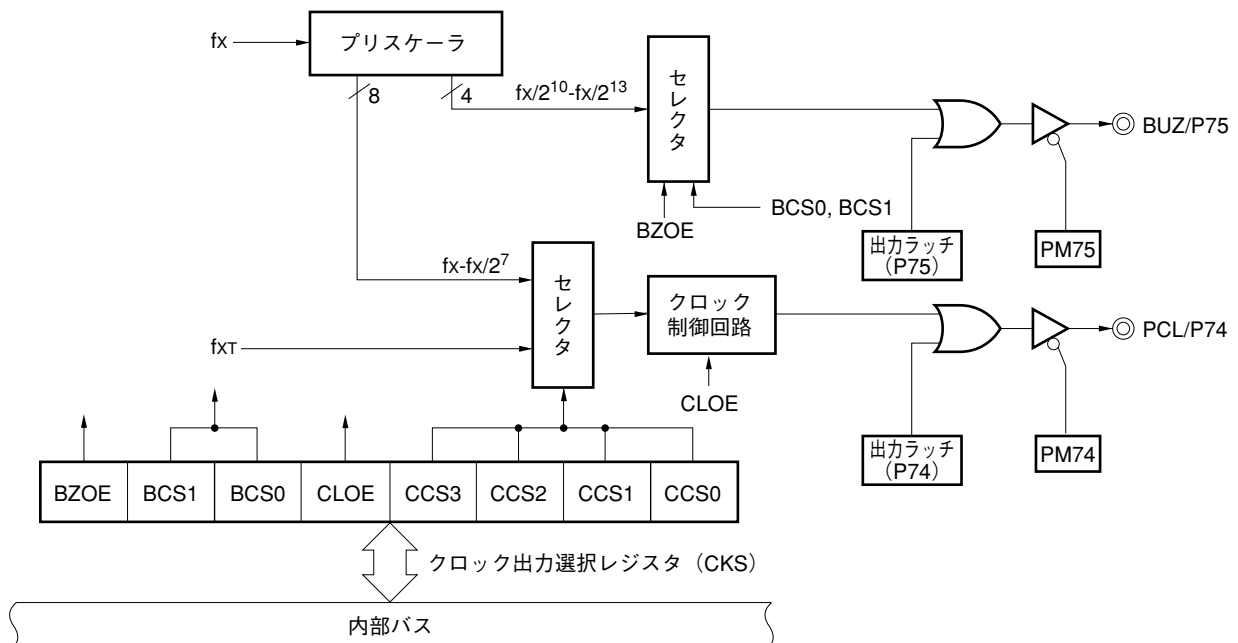
12.1 クロック出力／ブザー出力制御回路の機能

クロック出力はリモコン送信時のキャリア出力や周辺ICに供給するクロックを出力する機能です。クロック出力選択レジスタ（CKS）で選択したクロックを出力します。

また、ブザー出力はCKSで選択したブザー周波数の方形波を出力する機能です。

図12-1 にクロック出力／ブザー出力制御回路のブロック図を示します。

図12-1 クロック出力／ブザー出力制御回路のブロック図



12.2 クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は、次のハードウェアで構成されています。

表12-1 クロック出力／ブザー出力制御回路の構成

項 目	構 成
制御レジスタ	クロック出力選択レジスタ (CKS) ポート・モード・レジスタ (PM7) ポート7 (P7)

12.3 クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路は、次の3種類のレジスタで制御します。

- ・クロック出力選択レジスタ (CKS)
- ・ポート・モード・レジスタ (PM7)
- ・ポート7 (P7)

(1) クロック出力選択レジスタ (CKS)

クロック出力 (PCL)、ブザー周波数出力 (BUZ) の出力許可／禁止、および出力クロックを設定するレジスタです。

CKSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図12-2 クロック出力選択レジスタ (CKS) のフォーマット

アドレス：FF40H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CKS	BZOE	BCS1	BCS0	CLOE	CCS3	CCS2	CCS1	CCS0

BZOE	BUZの出力許可／禁止の指定
0	クロック分周回路動作停止。BUZ = ロウ・レベル固定。
1	クロック分周回路動作許可。BUZ出力許可。

BCS1	BCS0	BUZの出力クロックの選択		
			$f_x = 8.38 \text{ MHz}$	$f_x = 12 \text{ MHz}$ ^注
0	0	$f_x/2^{10}$	8.18 kHz	11.7 kHz
0	1	$f_x/2^{11}$	4.09 kHz	5.85 kHz
1	0	$f_x/2^{12}$	2.04 kHz	2.92 kHz
1	1	$f_x/2^{13}$	1.02 kHz	1.46 kHz

CLOE	PCLの出力許可／禁止の指定
0	クロック分周回路動作停止。PCL = ロウ・レベル固定。
1	クロック分周回路動作許可。PCL出力許可。

CCS3	CCS2	CCS1	CCS0	PCLの出力クロックの選択		
					$f_x = 8.38 \text{ MHz}$	$f_x = 12 \text{ MHz}$ ^注
0	0	0	0	f_x	8.38 MHz	12 MHz
0	0	0	1	$f_x/2$	4.19 MHz	6 MHz
0	0	1	0	$f_x/2^2$	2.09 MHz	3 MHz
0	0	1	1	$f_x/2^3$	1.04 MHz	1.5 MHz
0	1	0	0	$f_x/2^4$	523 kHz	750 kHz
0	1	0	1	$f_x/2^5$	261 kHz	375 kHz
0	1	1	0	$f_x/2^6$	130 kHz	187 kHz
0	1	1	1	$f_x/2^7$	65.4 kHz	93.7 kHz
1	0	0	0	f_{XT} (32.768 kHz)		
上記以外				設定禁止		

注 μ PD780024A, 780034Aサブシリーズの拡張規格品のみ。

- 備考1. f_x : メイン・システム・クロック発振周波数
 2. f_{XT} : サブシステム・クロック発振周波数
 3. () 内は, $f_{XT} = 32.768 \text{ kHz}$ 動作時。

(2) ポート・モード・レジスタ (PM7)

ポート7の入力／出力を1ビット単位で設定するレジスタです。

P74/PCL端子をクロック出力機能として、P75/BUZ端子をブザー出力機能として使用するとき、PM74, PM75およびP74, P75の出力ラッチに0を設定してください。

PM7は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図12-3 ポート・モード・レジスタ7 (PM7) のフォーマット

アドレス：FF27H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM7	1	1	PM75	PM74	PM73	PM72	PM71	PM70

PM7n	P7n端子の入出力モードの選択 (n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

12.4 クロック出力／ブザー出力制御回路の動作

12.4.1 クロック出力としての動作

クロック・パルスは、次の手順で出力します。

- ① クロック出力選択レジスタ（CKS）のビット0-3（CCS0-CCS3）でクロック・パルスの出力周波数を選択する（クロック・パルスの出力は禁止の状態）。
- ② CKSのビット4（CLOE）に1を設定し、クロック出力を許可する。

備考 クロック出力制御回路は、クロック出力の出力許可／禁止を切り替えるときに、幅の狭いパルスは出力されないようになっています。図12-4に示すように、必ずクロックのロウ期間から出力を開始します（図中の*印参照）。また、停止する場合には、クロックのハイ・レベルを保証してから出力を停止します。

図12-4 リモコン出力応用例



12.4.2 ブザー出力としての動作

ブザー周波数は、次の手順で出力します。

- ① クロック出力選択レジスタ（CKS）のビット5, 6（BCS0, BCS1）でブザー出力周波数を選択する（ブザー出力は禁止の状態）。
- ② CKSのビット7（BZOE）に1を設定し、ブザー出力を許可する。

第13章 8ビットA/Dコンバータ (μ PD780024A, 780024AYサブシリーズ)

13.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換する8ビット分解能コンバータで、最大8チャンネル(ANI0-ANI7)のアナログ入力を制御できる構成になっています。

(1) ハードウェア・スタート

トリガ入力(ADTRG:立ち上がり, 立ち下がり, 立ち上がりと立ち下がりの両エッジの指定が可能)により変換開始。

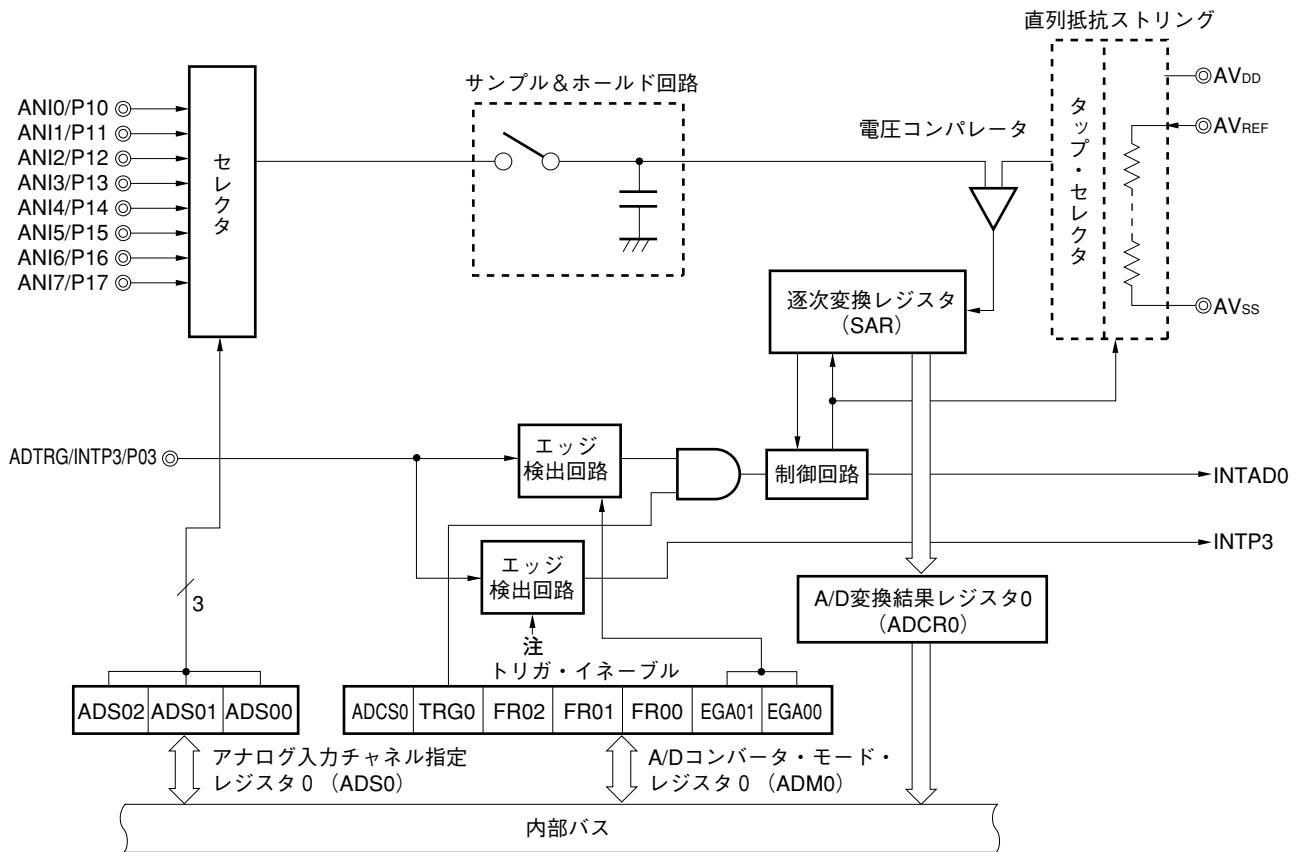
(2) ソフトウェア・スタート

A/Dコンバータ・モード・レジスタ0(ADM0)を設定することにより変換開始。

アナログ入力をANI0-ANI7から1チャンネル選択し、A/D変換を行ってください。A/D変換の動作は、ハードウェア・スタート時ではA/D変換動作終了後停止し、割り込み要求(INTAD0)を発生します。ソフトウェア・スタート時では、A/D変換動作を繰り返し行います。A/D変換を1回終了するたびに、INTAD0を発生します。

注意 μ PD78F0034A, 78F0034B, 78F0034AY, 78F0034BYは10ビットA/Dコンバータを内蔵していますが、デバイス・ファイル DF780024を使用することにより、8ビットA/Dコンバータとして動作可能になります。

図13-1 8ビットA/Dコンバータのブロック図



注 EGP, EGNレジスタのビット3で外部割り込みの有効エッジ指定 (図19-5 外部割り込み立ち上がりエッジ許可レジスタ (EGP), 外部割り込み立ち下がりエッジ許可レジスタ (EGN) のフォーマット参照)。

13.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

表13-1 A/Dコンバータの構成

項目	構成
アナログ入力	8チャンネル (ANI0-ANI7)
ハードトリガ入力	1本 (ADTRG)
レジスタ	逐次変換レジスタ (SAR) A/D変換結果レジスタ0 (ADCR0)
制御レジスタ	A/Dコンバータ・モード・レジスタ0 (ADM0) アナログ入力チャンネル指定レジスタ0 (ADS0)

(1) 逐次変換レジスタ (SAR)

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ (比較電圧) の値を比較し、その結果を最上位ビット (MSB) から保持するレジスタです。

最下位ビット (LSB) まで保持すると (A/D変換終了)、SARの内容はA/D変換結果レジスタ0 (ADCR0) に転送されます。

(2) A/D変換結果レジスタ0 (ADCR0)

A/D変換結果を格納する8ビットのレジスタです。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。

ADCR0は、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 A/Dコンバータ・モード・レジスタ0 (ADM0)、アナログ入力チャンネル指定レジスタ0 (ADS0) に対して書き込み動作を行ったとき、ADCR0の内容は不定となることがあります。変換結果は、変換動作終了後、ADM0、ADS0に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(3) サンプル&ホールド回路

サンプル&ホールド回路は、セレクトで選択されたアナログ入力端子の入力信号をA/D変換開始時にサンプリングし、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(4) 電圧コンパレータ

電圧コンパレータは、サンプリングしたアナログ入力電圧と直列抵抗ストリングの出力電圧を比較します。

(5) 直列抵抗ストリング

直列抵抗ストリングはAVREF-AVSS間に接続されており、アナログ入力と比較する電圧を発生します。

(6) ANI0-ANI7端子

A/Dコンバータへの8チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。ANI0-ANI7は、デジタル入力兼用のアナログ入力端子です。

- 注意 1. ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特に AV_{REF} 以上、 AV_{SS} 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。
2. アナログ入力（ANI0-ANI7）端子は入力ポート（P10-P17）端子と兼用になっています。ANI0-ANI7のいずれかを選択してA/D変換をする場合、変換中にポート1に対してアクセスしないでください。変換分解能が低下することがあります。
3. A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないことがあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(7) AV_{REF} 端子

A/Dコンバータの基準電圧を入力する端子です。

AV_{REF} 、 AV_{SS} 間にかかる電圧に基づいて、ANI0-ANI7に入力される信号をデジタル信号に変換します。

- 注意 AV_{REF} 端子と AV_{SS} 端子の間には数十k Ω の直列抵抗ストリングが接続されています。したがって、基準電圧源の出力インピーダンスが高い場合、 AV_{REF} 端子と AV_{SS} 端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

(8) AV_{SS} 端子

A/Dコンバータのクランド電位端子です。A/Dコンバータを使用しないときでも、常に V_{SS0} または V_{SS1} 端子と同電位で使用してください。

(9) AV_{DD} 端子

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常に V_{DD0} または V_{DD1} 端子と同電位で使用してください。

(10) ADTRG端子

A/Dコンバータをハードウェア・スタートするために使用する端子です。

13.3 A/Dコンバータを制御するレジスタ

A/Dコンバータは、次の2種類のレジスタで制御します。

- ・A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・アナログ入力チャンネル指定レジスタ0 (ADS0)

(1) A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止、外部トリガを設定するレジスタです。

ADM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図13-2 A/Dコンバータ・モード・レジスタ0 (ADM0) のフォーマット

アドレス：FF80H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM0	ADCS0	TRG0	FR02	FR01	FR00	EGA01	EGA00	0

ADCS0	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

TRG0	ソフトウェア・スタート/ハードウェア・スタートの選択
0	ソフトウェア・スタート
1	ハードウェア・スタート

FR02	FR01	FR00	変換時間の選択 ^{注1}		
				fx = 8.38 MHz	fx = 12 MHz ^{注2}
0	0	0	144/fx	17.1 μs	12.0 μs
0	0	1	120/fx	14.3 μs	10.0 μs ^{注4}
0	1	0	96/fx	11.4 μs ^{注3}	8.0 μs ^{注4}
1	0	0	72/fx	8.5 μs ^{注3}	6.0 μs ^{注4}
1	0	1	60/fx	7.1 μs ^{注3}	5.0 μs ^{注4}
1	1	0	48/fx	5.7 μs ^{注3}	4.0 μs ^{注4}
上記以外			設定禁止		

EGA01	EGA00	外部トリガ信号, エッジ指定
0	0	エッジ検出なし
0	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
1	1	立ち下がり, 立ち上がりの両エッジ検出

注1. A/D変換時間を次のように設定してください。

- ・ fx = 12 MHz動作時 (V_{DD} = 4.5~5.5 V) : 12 μs以上
- ・ fx = 8.38 MHz動作時 (V_{DD} = 4.0~5.5 V) : 14 μs以上

2. μPD780024Aサブシリーズの拡張規格品のみ。
3. A/D変換時間が14 μs未満となりますので, 設定禁止です。
4. A/D変換時間が12 μs未満となりますので, 設定禁止です。

注意 FR00-FR02を同一データ以外に書き換える場合は, いったんA/D変換動作を停止させたのちに行ってください。

備考 fx: メイン・システム・クロック発振周波数

(2) アナログ入力チャンネル指定レジスタ0 (ADS0)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

ADS0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図13-3 アナログ入力チャンネル指定レジスタ0 (ADS0) のフォーマット

アドレス：FF81H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS0	0	0	0	0	0	ADS02	ADS01	ADS00

ADS02	ADS01	ADS00	アナログ入力チャンネルの指定
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	ANI5
1	1	0	ANI6
1	1	1	ANI7

13.4 A/Dコンバータの動作

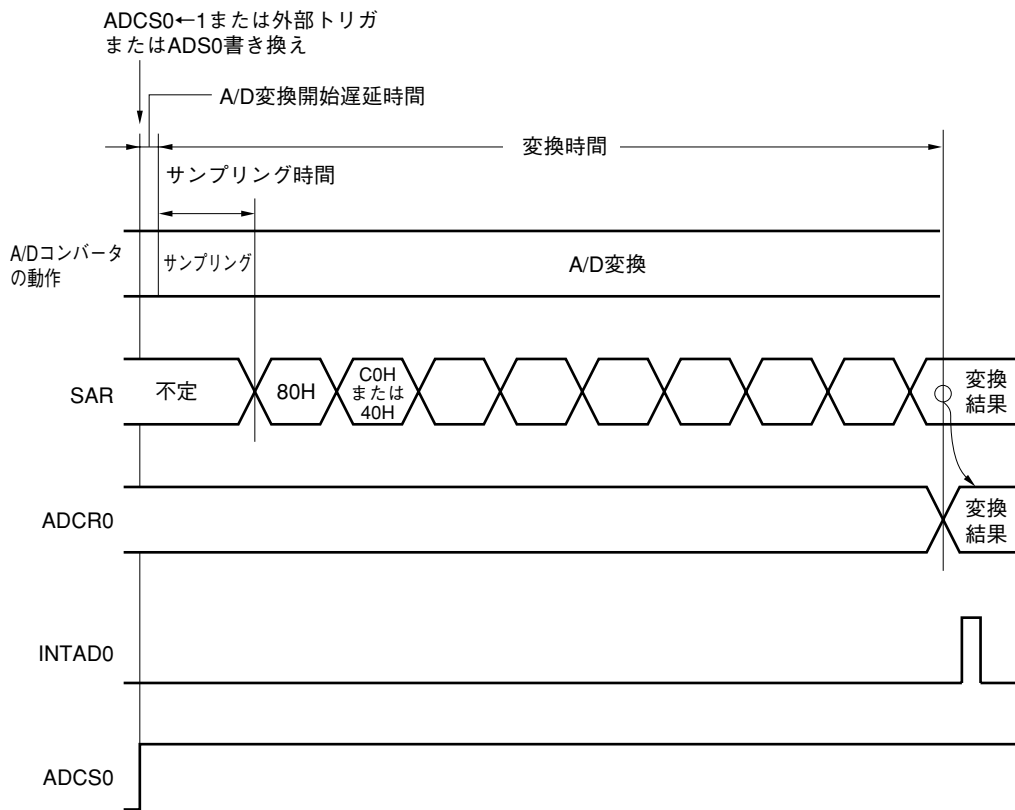
13.4.1 A/Dコンバータの基本動作

- ① A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ0 (ADS0) で1チャンネル選択してください。
- ② 選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路がサンプリングします。
- ③ 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。
- ④ 逐次変換レジスタ (SAR) のビット7がセットされます。タップ・セレクタにより直列抵抗ストリングの電圧タップが $(1/2) AV_{REF}$ にされます。
- ⑤ 直列抵抗ストリングの電圧タップとアナログ入力との電圧差が電圧コンパレータで比較されます。もし、アナログ入力 $(1/2) AV_{REF}$ よりも大きければ、SARのMSBがセットされたままです。また、 $(1/2) AV_{REF}$ よりも小さければMSBをリセットします。
- ⑥ 次にSARのビット6が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット7の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。
 - ・ビット7 = 1: $(3/4) AV_{REF}$
 - ・ビット7 = 0: $(1/4) AV_{REF}$この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット6が次のように操作されます。
 - ・アナログ入力電圧 \geq 電圧タップ: ビット6 = 1
 - ・アナログ入力電圧 $<$ 電圧タップ: ビット6 = 0
- ⑦ このような比較をSARのビット0まで続けます。
- ⑧ 8ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ0 (ADCR0) に転送され、ラッチされます。
同時に、A/D変換終了割り込み要求 (INTAD0) を発生させることができます。

注意1. A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD0) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

2. スタンバイ・モード時、A/Dコンバータは動作停止となります。

図13-4 8ビットA/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) をリセット (0) するまで連続的に行われます。

A/D変換結果レジスタ0 (ADCR0) は、 $\overline{\text{RESET}}$ により00Hとなります。

A/D変換終了は、A/D変換終了割り込み要求フラグ (ADIF0) で確認してください。

A/Dコンバータのサンプルング時間は、A/Dコンバータ・モード・レジスタ0 (ADM0) の設定値によって異なります。また、A/Dコンバータを動作許可してから実際にサンプルングが行われるまで遅延時間が存在します。

A/D変換時間を厳密に必要とするセットの場合は、表13-2 に示す内容にご注意ください。

表13-2 A/Dコンバータのサンプリング時間とA/D変換開始遅延時間

FR02	FR01	FR00	変換時間 ^{注1}	サンプリング時間	A/D変換開始遅延時間	
					MIN.	MAX.
0	0	0	144/fx	20/fx	0.5/fCPU+6/fx	0.5/fCPU+8/fx
0	0	1	120/fx	16/fx		
0	1	0	96/fx	12/fx		
1	0	0	72/fx	10/fx	0.5/fCPU+3/fx	0.5/fCPU+4/fx
1	0	1	60/fx	8/fx		
1	1	0	48/fx	6/fx		
上記以外			設定禁止	—	—	—

注1. A/D変換時間を次のように設定してください。

・ fx = 12 MHz動作時^{注2} (V_{DD} = 4.5~5.5 V) : 12 μs以上

・ fx = 8.38 MHz動作時 (V_{DD} = 4.0~5.5 V) : 14 μs以上

2. μPD780024Aサブシリーズの拡張規格品のみ。

備考 fx : メイン・システム・クロック発振周波数

fCPU : CPUクロック周波数

13.4.2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI7) に入力されたアナログ入力電圧と理論上のA/D変換結果 (A/D変換結果レジスタ0 (ADCR0)) には次式に示す関係があります。

$$ADCR0 = \text{INT} \left(\frac{V_{IN}}{AV_{REF}} \times 256 + 0.5 \right)$$

または,

$$(ADCR0 - 0.5) \times \frac{AV_{REF}}{256} \leq V_{IN} < (ADCR0 + 0.5) \times \frac{AV_{REF}}{256}$$

INT () : () 内の値の整数部を返す関数

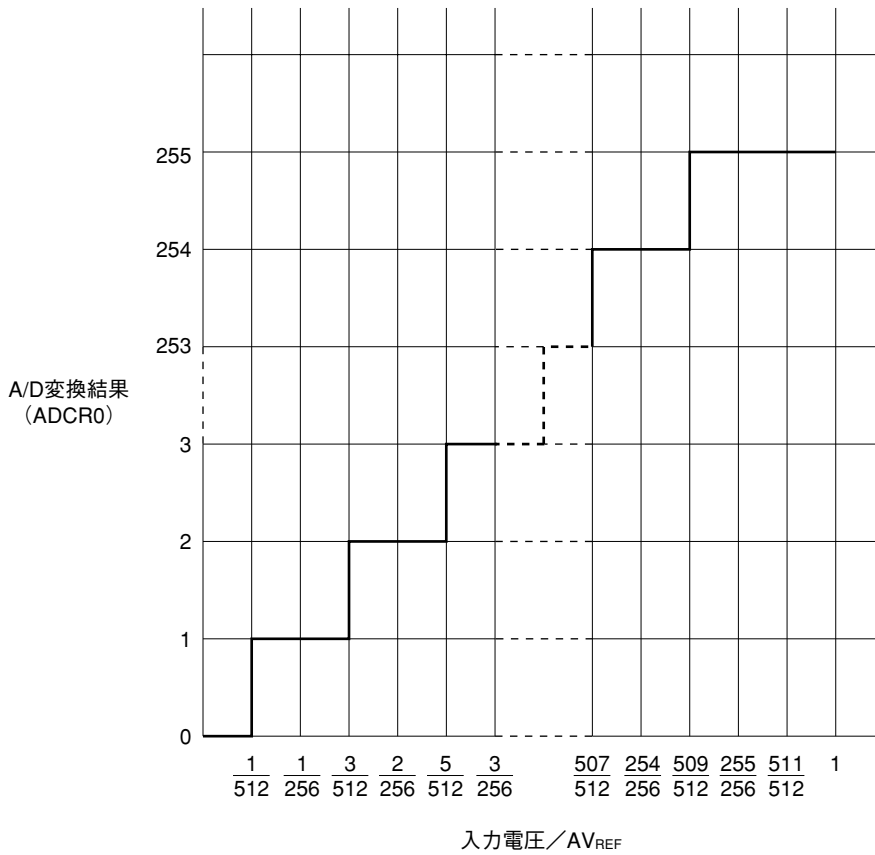
V_{IN} : アナログ入力電圧

AV_{REF} : AV_{REF} 端子電圧

ADCR0 : A/D変換結果レジスタ0 (ADCR0) の値

図13-5 にアナログ入力電圧とA/D変換結果の関係を示します。

図13-5 アナログ入力電圧とA/D変換結果の関係



13.4.3 A/Dコンバータの動作モード

アナログ入力チャンネル指定レジスタ0 (ADS0) によってANI0-ANI7からアナログ入力を1チャンネル選択し、A/D変換を開始させてください。

A/D変換動作の起動方法には、次の2種類があります。

- ・ハードウェア・スタート：トリガ入力（立ち上がり、立ち下がり、立ち上がり立ち下がりの両エッジ指定可能）
- ・ソフトウェア・スタート：A/Dコンバータ・モード・レジスタ0 (ADM0) を設定することにより開始

また、A/D変換が終了したら、割り込み要求信号 (INTAD0) を発生します。

(1) ハードウェア・スタートによるA/D変換動作

A/Dコンバータ・モード・レジスタ0 (ADM0) のビット6 (TRG0) に1、ビット7 (ADCS0) に1を設定することによってA/D変換動作の待機状態になります。外部トリガ信号 (ADTRG) が入力されると、アナログ入力チャンネル指定レジスタ0 (ADS0) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ0 (ADCR0) に格納し、割り込み要求信号 (INTAD0) を発生します。次のA/D変換動作が一度起動し、1回のA/D変換が終了すると、新たに外部トリガ信号が入力されないかぎり、A/D変換動作は開始しません。

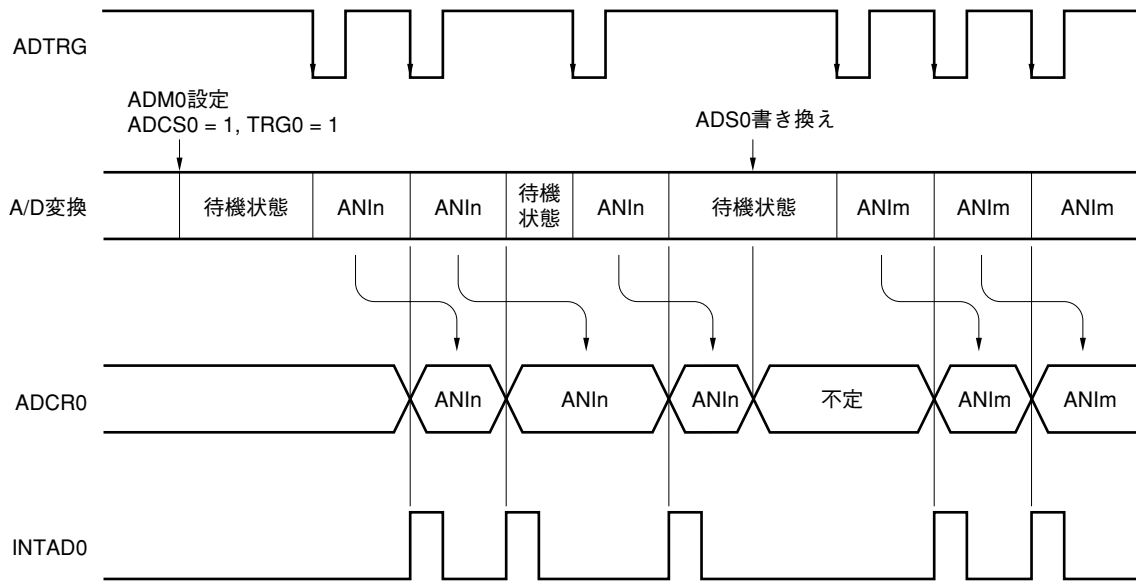
A/D変換動作中に、ADS0を書き換えると、そのとき行っていたA/D変換動作を中断し、新たに外部トリガ信号が入力されるまで待機します。外部トリガ入力信号が再度入力されると、A/D変換動作を最初から行います。A/D変換待機中にADS0を書き換えた場合、次に外部トリガ入力信号が入力された時点で、新たにA/D変換動作を開始します。

A/D変換動作中に、ADCS0に再度1を書き込むと、そのとき行っていたA/D変換動作を中断し、次に外部トリガ入力信号が入力された時点で、新たにA/D変換動作を開始します。

また、A/D変換動作中に、ADCS0に0を書き込むと、ただちにA/D変換動作を停止します。

注意 P03/INTP3/ADTRGを外部トリガ入力 (ADTRG) として使用する場合は、A/Dコンバータ・モード・レジスタ0 (ADM0) のビット1, 2 (EGA00, EGA01) で有効エッジを指定し、割り込みマスク・フラグ (PMK3) を1に設定してください。

図13-6 ハードウェア・スタートによるA/D変換動作 (立ち下がりエッジ指定時)



- 備考 1. $n = 0, 1, \dots, 7$
 2. $m = 0, 1, \dots, 7$

(2) ソフトウェア・スタートによるA/D変換動作

A/Dコンバータ・モード・レジスタ0 (ADM0) のビット6 (TRG0) に0, ビット7 (ADCS0) に1を設定することにより, アナログ入力チャンネル指定レジスタ0 (ADS0) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

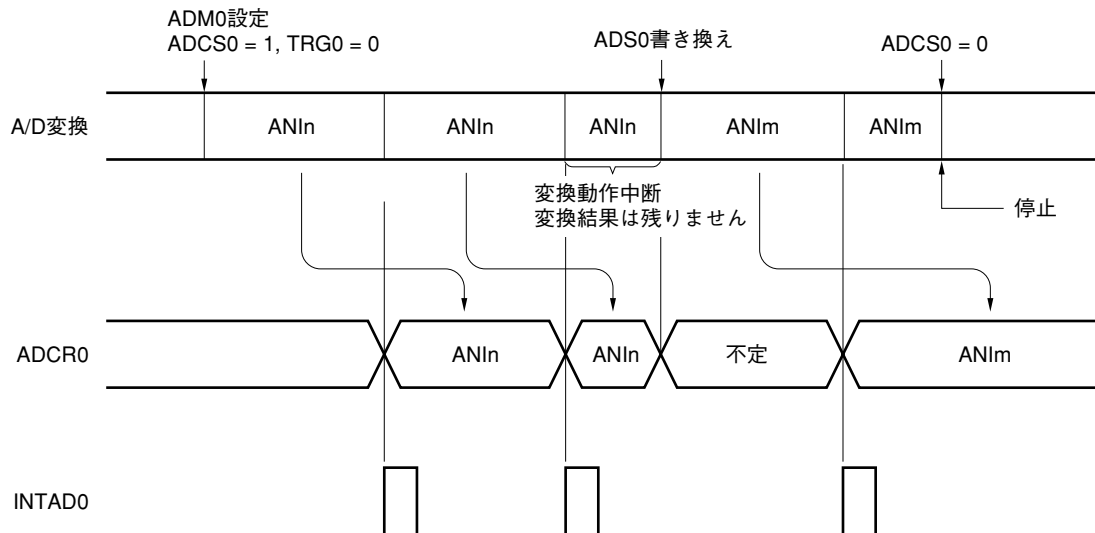
A/D変換動作が終了すると, 変換結果をA/D変換結果レジスタ0 (ADCR0) に格納し, 割り込み要求信号 (INTAD0) が発生します。A/D変換動作が一度起動し, 1回のA/D変換が終了すると, ただちに次のA/D変換動作を開始します。新たなデータをADS0に書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中にADS0を書き換えると, そのとき行っていたA/D変換動作を中断し, 新たに選択したアナログ入力チャンネルのA/D変換動作を開始します。

A/D変換動作中に, ADCS0に再度1を書き込むと, そのとき行っていたA/D変換動作を中断し, 新たにA/D変換動作を開始します。

また, A/D変換動作中に, ADCS0に0を書き込むと, ただちにA/D変換動作を停止します。

図13-7 ソフトウェア・スタートによるA/D変換動作



備考 1. n = 0, 1, …, 7

2. m = 0, 1, …, 7

13.5 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1LSB (Least Significant Bit) といいます。1LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能8ビットのとき

$$\begin{aligned} 1\text{LSB} &= 1/2^8 = 1/256 \\ &= 0.4\%\text{FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる±1/2LSBの誤差です。A/Dコンバータでは、±1/2LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図13-8 総合誤差

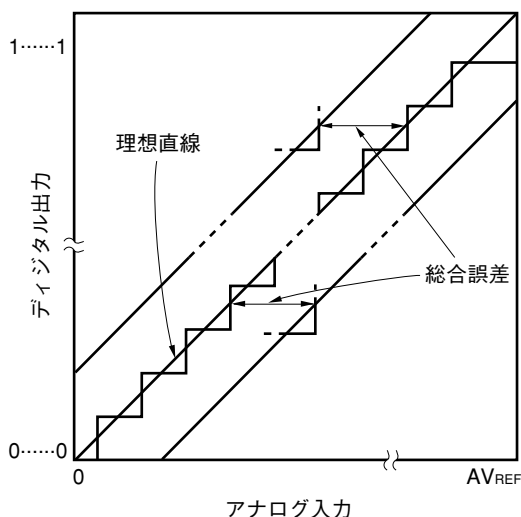
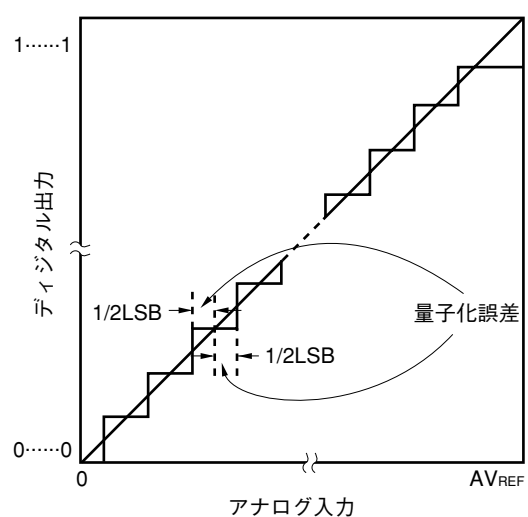


図13-9 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0………000から0………001に変化するとき、アナログ入力電圧の実測値と理論値 ($1/2\text{LSB}$) との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0………001から0………010に変化するとき、アナログ入力電圧の実測値と理論値 ($3/2\text{LSB}$) との差を表します。

(5) フルスケール誤差

デジタル出力が1………110から1………111に変化するとき、アナログ入力電圧の実測値と理論値 (フルスケール $-3/2\text{LSB}$) との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図13-10 ゼロスケール誤差

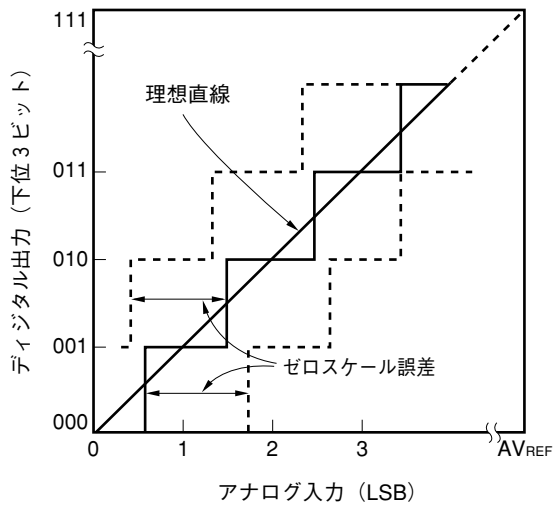


図13-11 フルスケール誤差

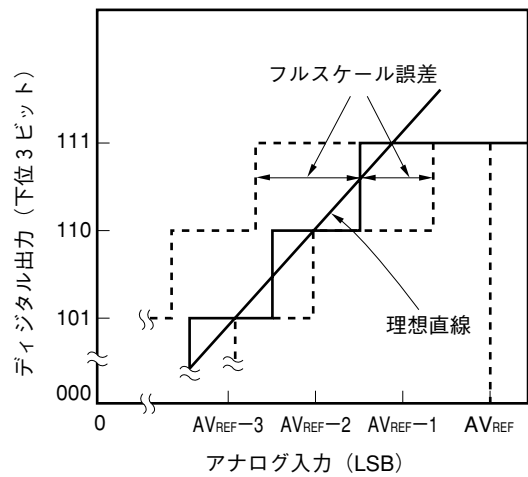


図13-12 積分直線性誤差

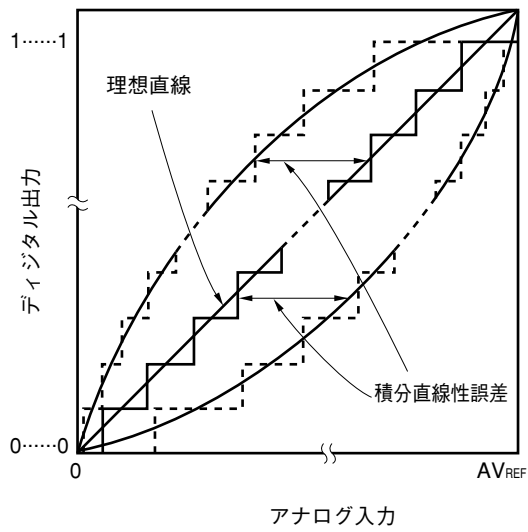
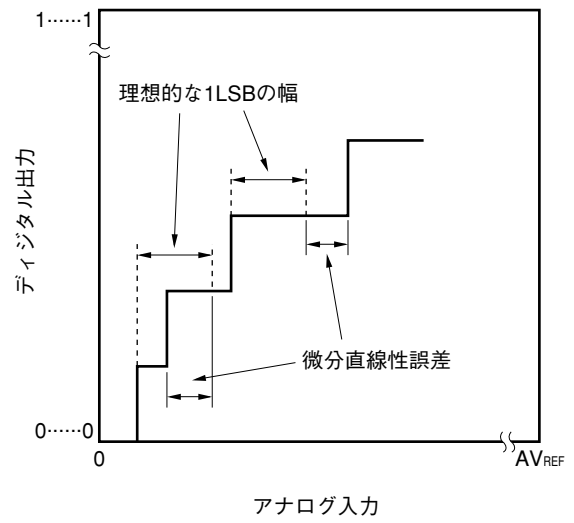


図13-13 微分直線性誤差

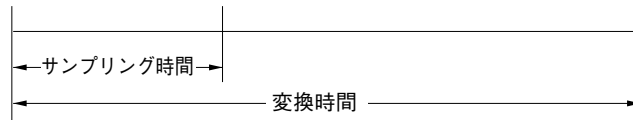


(8) 変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。
 特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



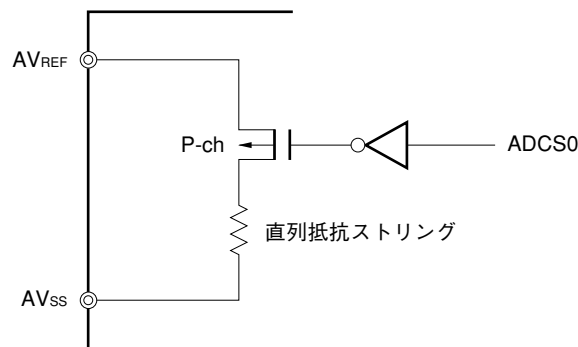
13.6 A/Dコンバータの注意事項

(1) スタンバイ・モード時の消費電力について

A/Dコンバータは、スタンバイ・モード時には動作が停止します。このとき変換動作停止 (A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) = 0) にすることにより、消費電力を低減させることができます。

直列抵抗ストリングの回路構成を図13-14に示します。

図13-14 直列抵抗ストリングの回路構成



(2) ANI0-ANI7入力範囲について

ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特にAVREF以上、AVSS以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) 競合動作について

- ① 変換終了時のA/D変換結果レジスタ0 (ADCR0) ライトと命令によるADCR0リードとの競合
ADCR0リードが優先されます。リードしたあと、新しい変換結果がADCR0にライトされます。
- ② 変換終了時のADCR0ライトと外部トリガ信号入力の競合
A/D変換中の外部トリガ信号は受け付けません。したがってADCR0ライト中の外部トリガ信号も受け付けません。
- ③ 変換終了時のADCR0ライトとA/Dコンバータ・モード・レジスタ0 (ADM0) ライト、またはアナログ入力チャンネル指定レジスタ0 (ADS0) ライトの競合
ADM0またはADS0へのライトが優先されます。ADCR0へのライトはされません。また、変換終了割り込み要求信号 (INTAD0) も発生しません。

(4) ANI0/P10-ANI7/P17

- ① アナログ入力 (ANI0-ANI7) 端子は入力ポート (P10-P17) 端子と兼用になっています。
ANI0-ANI7のいずれかを選択してA/D変換をする場合、変換中にポート1に対してアクセスしないでください。変換分解能が低下することがあります。
- ② A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(5) AVREF端子の入カインピーダンスについて

AVREF端子とAVSS端子の間には数十kΩの直列抵抗ストリングが接続されています。
したがって、基準電圧源の出カインピーダンスが高い場合、AVREF端子とAVSS端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

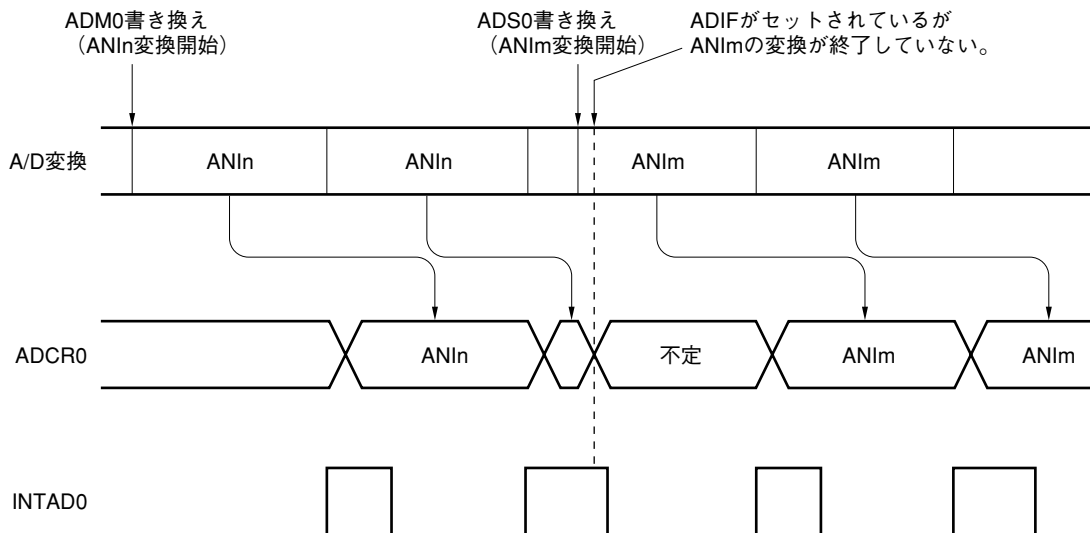
(6) 割り込み要求フラグ (ADIF0) について

アナログ入力チャネル指定レジスタ0 (ADS0) を変更しても割り込み要求フラグ (ADIF0) はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS0書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があります。このときADS0書き換え直後にADIF0を読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIF0がセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIF0をクリアしてください。

図13-15 A/D変換終了割り込み要求発生タイミング



備考 1. n = 0, 1, …, 7
2. m = 0, 1, …, 7

(7) A/D変換スタート直後の変換結果について

A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD0) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(8) A/D変換結果レジスタ0 (ADCR0) の読み出しについて

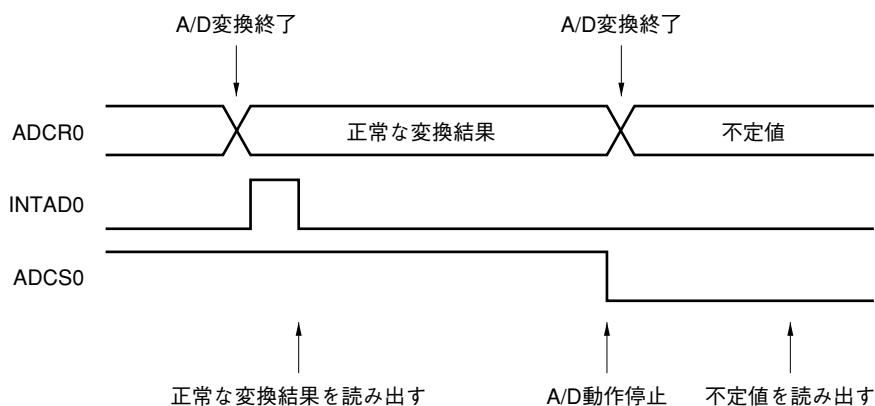
A/Dコンバータ・モード・レジスタ0 (ADM0), アナログ入力チャネル指定レジスタ0 (ADS0) に対して書き込み動作を行ったとき, ADCR0の内容は不定となることがあります。変換結果は, 変換動作終了後, ADM0, ADS0に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは, 正しい変換結果が読み出されないことがあります。

(9) A/D変換結果が不定になるタイミング

A/D変換終了のタイミングとA/D変換動作を停止するタイミングが競合するとA/D変換値は不定になることがあります。そのため, A/D変換結果を読み出す場合は, A/D動作停止前に行ってください。

変換結果を読み出すタイミングを図13-16に示します。

図13-16 変換結果を読み出すタイミング (変換結果が不定値の場合)



(10) ボード設計上の注意

ボード上でのデジタル回路ノイズの影響を避けるために、アナログ回路はデジタル回路とできるだけ離して配置してください。特にアナログ信号線とデジタル信号線を交差させたり近接させたりすることは極力避けてください。ノイズの誘導などによってA/D変換特性が悪化する恐れがあります。

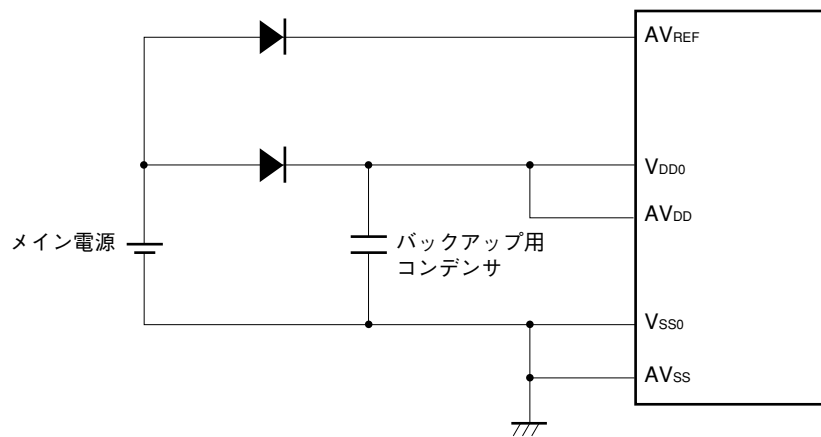
AVSS0とVSS0はボード上で安定しているところで1箇所、接続してください。

(11) AVDD端子について

AVDD端子はアナログ回路の電源端子であり、ANI0-ANI7の入力回路にも電源を供給しています。

したがって、バックアップ電源に切り替えるようなアプリケーションにおいても、必ずVDD0端子と同レベルの電位を印加してください。

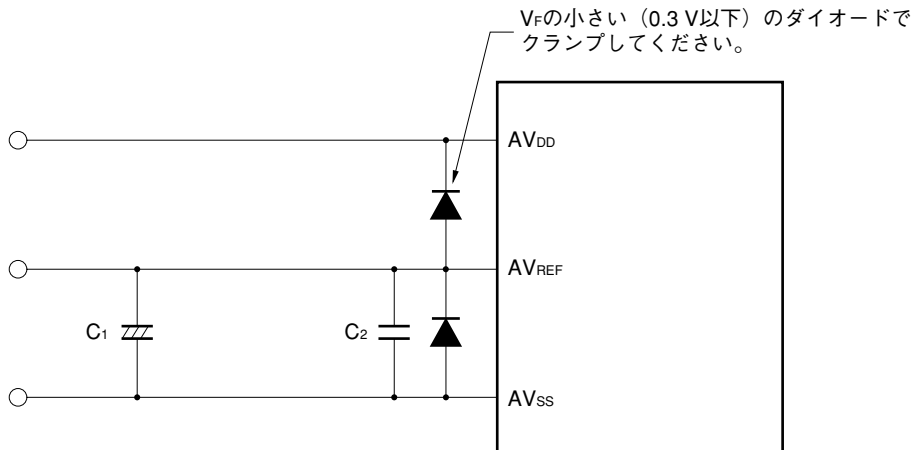
図13-17 AVDD端子の処理



(12) AVREF端子

ノイズによる変換誤差を小さく抑えるため、AVREF端子にコンデンサを接続してください。またA/D変換動作を停止した状態から動作開始した直後は、AVREF端子にかかる電圧が不安定になり、A/D変換精度の悪化が生じる場合があります。このような場合にもAVREF端子にコンデンサを接続してください。コンデンサの接続例を図13-18に示します。

図13-18 AVREF端子とコンデンサの接続例



備考 C1 : 4.7 μF ~ 10 μF (参考値)

C2 : 0.01 μF ~ 0.1 μF (参考値)

C2は端子のできるだけ近くに接続してください。

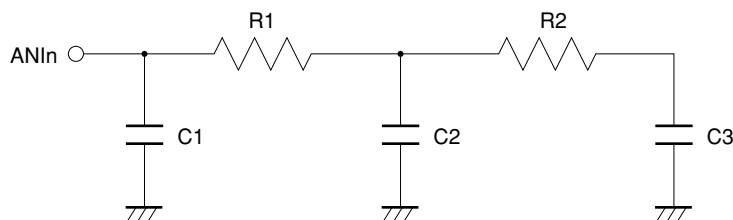
(13) ANI0-ANI7端子内部等価回路と許容信号源インピーダンス

サンプリング時間内にサンプリングを完了し、十分なA/D変換精度を得るにはセンサなどの信号源のインピーダンスが十分に低い必要があります。図13-19にANI0-ANI7端子のマイコン内部の等価回路を示します。

信号源のインピーダンスが高い場合には、ANI0-ANI7端子に大きな容量を接続することで見かけ上インピーダンスを低くすることができます。図13-20に回路例を示します。この場合にはロウ・パス・フィルタを構成しますので、微分係数の大きなアナログ信号には追従できなくなります。

高速なアナログ信号を変換する場合やスキャン・モードで変換する場合にはロウ・インピーダンスのバッファを挿入してください。

図13-19 ANI0-ANI7端子内部等価回路



備考 n = 0-7

★

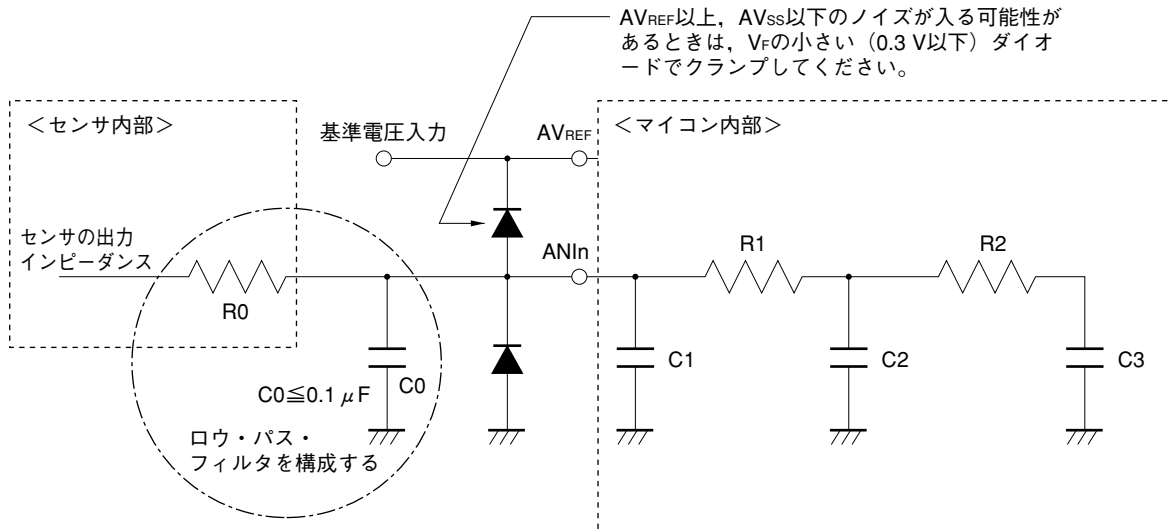
表13-3 等価回路の各抵抗と容量値 (参考値)

(TYP.)

AV _{REF}	R1	R2	C1	C2	C3
2.7 V	12 kΩ	8.0 kΩ	8.0 pF	3.0 pF	2.0 pF
4.5 V	4 kΩ	2.7 kΩ	8.0 pF	1.4 pF	2.0 pF

注意 表13-3の各抵抗と容量値は保証値ではありません。

図13-20 信号源インピーダンスが高い場合の回路例



備考 n = 0-7

(14) ANI0-ANI7端子の入力インピーダンスについて

このA/Dコンバータでは、変換時間の約1/10程度の間、内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスは変動して意味がありません。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを10 kΩ以下にするか、ANI0-ANI7端子に100 pF程度のコンデンサを付けることを推奨します (図13-20参照)。

第14章 10ビットA/Dコンバータ (μ PD780034A, 780034AYサブシリーズ)

14.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能コンバータで、最大8チャンネル(ANI0-ANI7)のアナログ入力を制御できる構成になっています。

(1) ハードウェア・スタート

トリガ入力(ADTRG:立ち上がり, 立ち下がり, 立ち上がりと立ち下がりの両エッジの指定が可能)により変換開始。

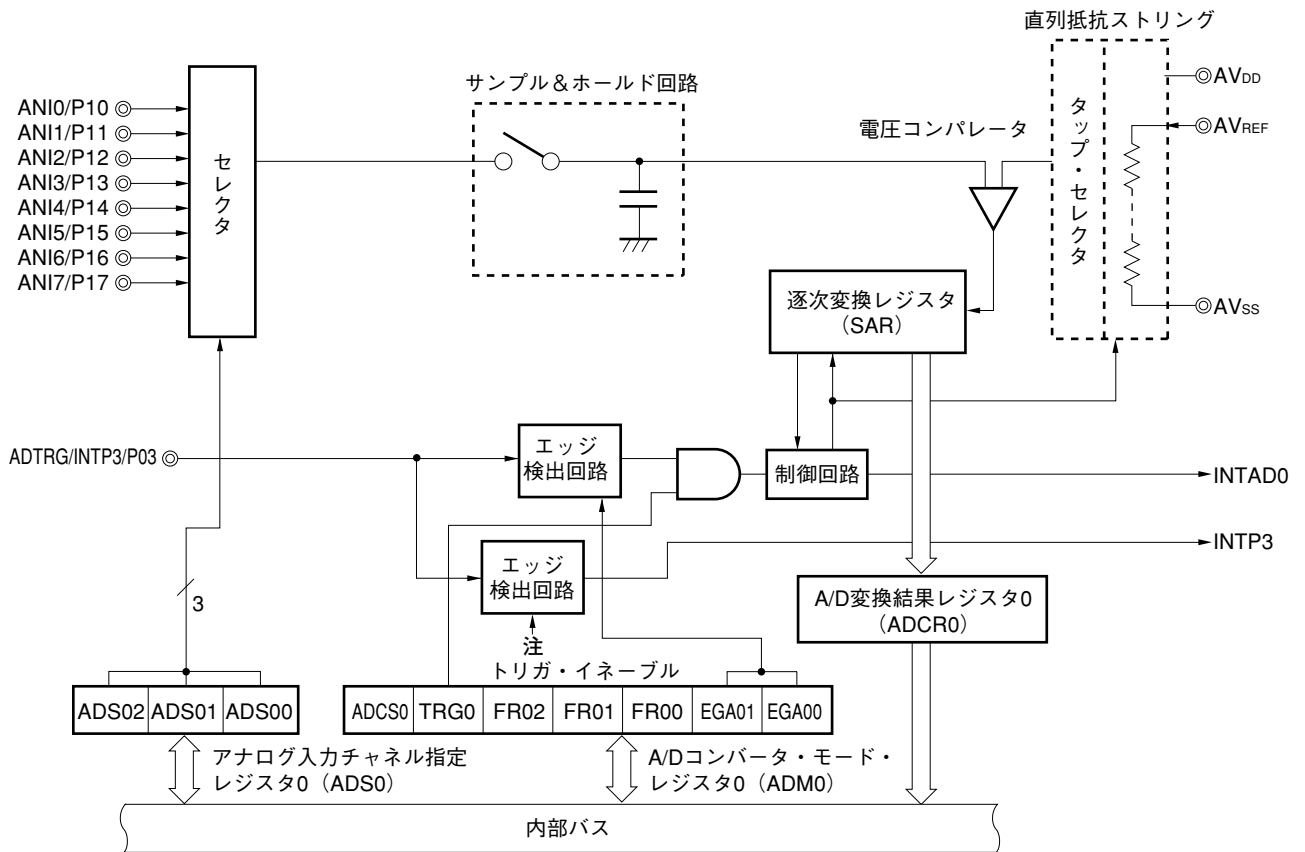
(2) ソフトウェア・スタート

A/Dコンバータ・モード・レジスタ0(ADM0)を設定することにより変換開始。

アナログ入力をANI0-ANI7から1チャンネル選択し、A/D変換を行ってください。A/D変換の動作は、ハードウェア・スタート時ではA/D変換動作終了後停止し、割り込み要求(INTAD0)を発生します。ソフトウェア・スタート時では、A/D変換動作を繰り返し行います。A/D変換を1回終了するたびに、INTAD0を発生します。

注意 μ PD78F0034A, 78F0034B, 78F0034AY, 78F0034BYは10ビットA/Dコンバータを内蔵していますが、デバイス・ファイル DF780024を使用することにより、8ビットA/Dコンバータとして動作可能になります。

図14-1 10ビットA/Dコンバータのブロック図



注 EGP, EGNレジスタのビット3で外部割り込みの有効エッジ指定 (図19-5 外部割り込み立ち上がりエッジ許可レジスタ (EGP) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN) のフォーマット参照)。

14.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

表14-1 A/Dコンバータの構成

項目	構成
アナログ入力	8チャンネル (ANIO-ANI7)
ハードトリガ入力	1本 (ADTRG)
レジスタ	逐次変換レジスタ (SAR) A/D変換結果レジスタ0 (ADCR0)
制御レジスタ	A/Dコンバータ・モード・レジスタ0 (ADM0) アナログ入力チャンネル指定レジスタ0 (ADS0)

(1) 逐次変換レジスタ (SAR)

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ (比較電圧) の値を比較し、その結果を最上位ビット (MSB) から保持するレジスタです。

最下位ビット (LSB) まで保持すると (A/D変換終了)、SARの内容はA/D変換結果レジスタ0 (ADCR0) に転送されます。

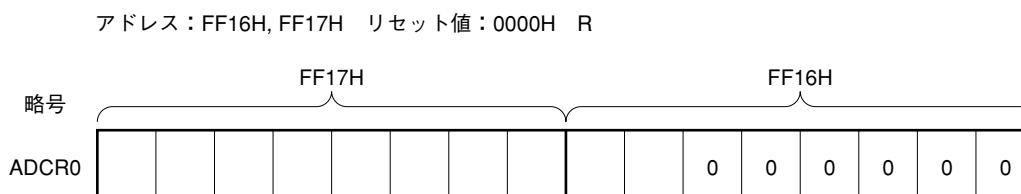
(2) A/D変換結果レジスタ0 (ADCR0)

A/D変換結果を格納する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。ADCR0には最上位ビット (MSB) から順に格納されます。FF17Hには変換結果の上位8ビットが入ります。FF16Hには変換結果の下位2ビットが入ります。

ADCR0は16ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、0000Hになります。

図14-2 A/D変換結果レジスタ0 (ADCR0) のフォーマット



注意 A/Dコンバータ・モード・レジスタ0 (ADM0)、アナログ入力チャンネル指定レジスタ0 (ADS0) に対して書き込み動作を行ったとき、ADCR0の内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS0に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(3) サンプル&ホールド回路

サンプル&ホールド回路は、セレクタで選択されたアナログ入力端子の入力信号をA/D変換開始時にサンプリングし、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(4) 電圧コンパレータ

電圧コンパレータは、サンプリングしたアナログ入力電圧と直列抵抗ストリングの出力電圧を比較します。

(5) 直列抵抗ストリング

直列抵抗ストリングは AV_{REF} - AV_{SS} 間に接続されており、アナログ入力と比較する電圧を発生します。

(6) ANI0-ANI7端子

A/Dコンバータへの8チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。ANI0-ANI7は、ディジタル入力兼用のアナログ入力端子です。

- 注意 1. ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特に AV_{REF} 以上、 AV_{SS} 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。
2. アナログ入力（ANI0-ANI7）端子は入力ポート（P10-P17）端子と兼用になっています。ANI0-ANI7のいずれかを選択してA/D変換をする場合、変換中にポート1に対してアクセスしないでください。変換分解能が低下することがあります。
3. A/D変換中の端子に隣接する端子へディジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないことがあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(7) AV_{REF} 端子

A/Dコンバータの基準電圧およびアナログ電源端子です。

AV_{REF} 、 AV_{SS} 間にかかる電圧に基づいて、ANI0-ANI7に入力される信号をディジタル信号に変換します。

- 注意 AV_{REF} 端子と AV_{SS} 端子の間には数十k Ω の直列抵抗ストリングが接続されています。したがって、基準電圧源の出力インピーダンスが高い場合、 AV_{REF} 端子と AV_{SS} 端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

(8) AV_{SS} 端子

A/Dコンバータのグラウンド電位端子です。A/Dコンバータを使用しないときでも、常に V_{SS0} 端子または V_{SS1} 端子と同電位で使用してください。

(9) AV_{DD} 端子

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常に V_{DD0} または V_{DD1} 端子と同電位で使用してください。

(10) ADTRG端子

A/Dコンバータをハードウェア・スタートするために使用する端子です。

14.3 A/Dコンバータを制御するレジスタ

A/Dコンバータは、次の2種類のレジスタで制御します。

- ・A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・アナログ入力チャンネル指定レジスタ0 (ADS0)

(1) A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止、外部トリガを設定するレジスタです。

ADM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図14-3 A/Dコンバータ・モード・レジスタ0 (ADM0) のフォーマット

アドレス：FF80H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM0	ADCS0	TRG0	FR02	FR01	FR00	EGA01	EGA00	0

ADCS0	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

TRG0	ソフトウェア・スタート/ハードウェア・スタートの選択
0	ソフトウェア・スタート
1	ハードウェア・スタート

FR02	FR01	FR00	変換時間の選択 ^{注1}		
				$f_x = 8.38 \text{ MHz}$	$f_x = 12 \text{ MHz}$ ^{注2}
0	0	0	144/ f_x	17.1 μs	12.0 μs
0	0	1	120/ f_x	14.3 μs	10.0 μs ^{注4}
0	1	0	96/ f_x	11.4 μs ^{注3}	8.0 μs ^{注4}
1	0	0	72/ f_x	8.5 μs ^{注3}	6.0 μs ^{注4}
1	0	1	60/ f_x	7.1 μs ^{注3}	5.0 μs ^{注4}
1	1	0	48/ f_x	5.7 μs ^{注3}	4.0 μs ^{注4}
上記以外			設定禁止		

EGA01	EGA00	外部トリガ信号, エッジ指定
0	0	エッジ検出なし
0	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
1	1	立ち下がり, 立ち上がりの両エッジ検出

注1. A/D変換時間を次のように設定してください。

- ・ $f_x = 12 \text{ MHz}$ 動作時 ($V_{DD} = 4.5 \sim 5.5 \text{ V}$) : 12 μs 以上
- ・ $f_x = 8.38 \text{ MHz}$ 動作時 ($V_{DD} = 4.0 \sim 5.5 \text{ V}$) : 14 μs 以上

2. μPD780034Aサブシリーズの拡張規格品のみ。

3. A/D変換時間が14 μs 未満となりますので, 設定禁止です。

4. A/D変換時間が12 μs 未満となりますので, 設定禁止です。

注意 FR00-FR02を同一データ以外に書き換える場合は, いったんA/D変換動作を停止させたのちに行ってください。

備考 f_x : メイン・システム・クロック発振周波数

(2) アナログ入力チャンネル指定レジスタ0 (ADS0)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

ADS0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図14-4 アナログ入力チャンネル指定レジスタ0 (ADS0) のフォーマット

アドレス：FF81H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS0	0	0	0	0	0	ADS02	ADS01	ADS00

ADS02	ADS01	ADS00	アナログ入力チャンネルの指定
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	ANI5
1	1	0	ANI6
1	1	1	ANI7

14.4 A/Dコンバータの動作

14.4.1 A/Dコンバータの基本動作

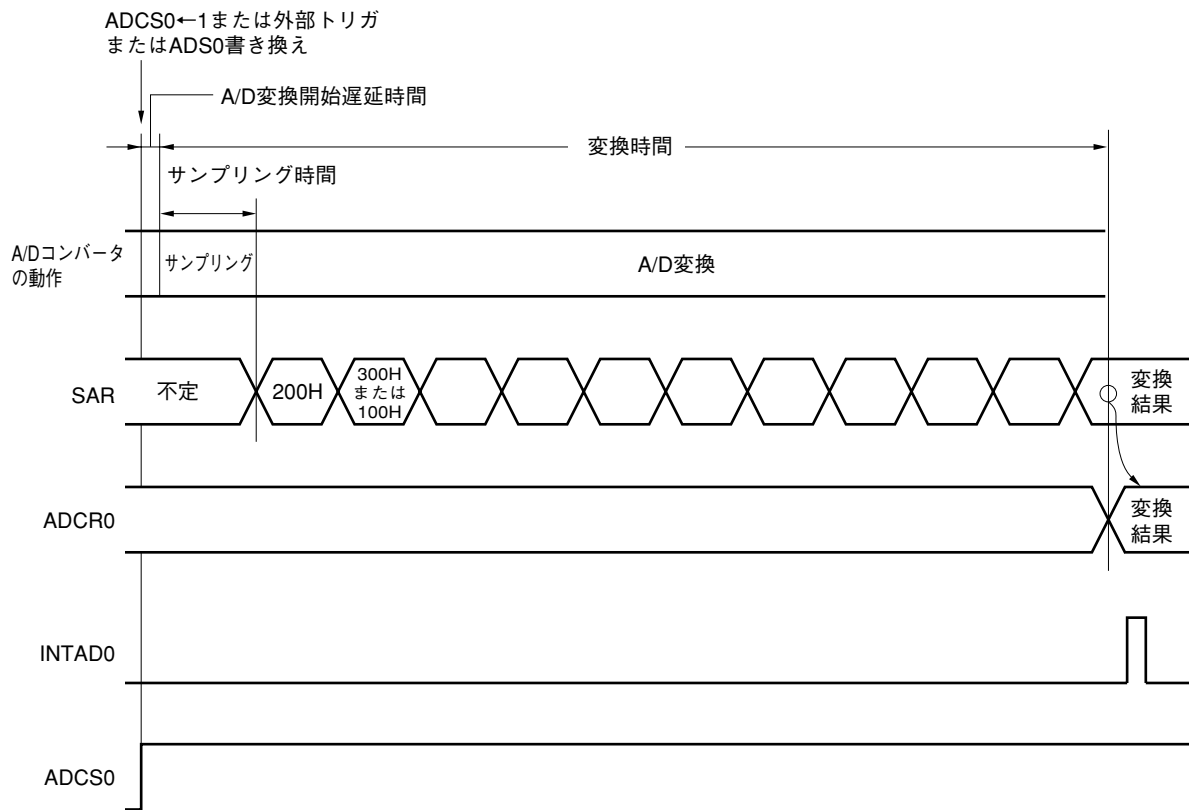
- ① A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ0 (ADS0) で1チャンネル選択してください。
- ② 選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路がサンプリングします。
- ③ 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。
- ④ 逐次変換レジスタ (SAR) のビット9がセットされます。タップ・セレクタにより直列抵抗ストリングの電圧タップが $(1/2) AV_{REF}$ にされます。
- ⑤ 直列抵抗ストリングの電圧タップとアナログ入力との電圧差が電圧コンパレータで比較されます。もし、アナログ入力 $(1/2) AV_{REF}$ よりも大きければ、SARのMSBがセットされたままです。また、 $(1/2) AV_{REF}$ よりも小さければMSBをリセットします。
- ⑥ 次にSARのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。
 - ・ビット9 = 1 : $(3/4) AV_{REF}$
 - ・ビット9 = 0 : $(1/4) AV_{REF}$
 この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット8が次のように操作されます。
 - ・アナログ入力電圧 \geq 電圧タップ : ビット8 = 1
 - ・アナログ入力電圧 $<$ 電圧タップ : ビット8 = 0
- ⑦ このような比較をSARのビット0まで続けます。
- ⑧ 10ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ0 (ADCR0) に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求 (INTAD0) を発生させることができます。

注意1. A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD0) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

2. スタンバイ・モード時、A/Dコンバータは動作停止となります。

図14-5 10ビットA/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) をリセット (0) するまで連続的に行われます。

A/D変換結果レジスタ0 (ADCRO) は、 $\overline{\text{RESET}}$ により0000Hとなります。

A/D変換終了は、A/D変換終了割り込み要求フラグ (ADIF0) で確認してください。

A/Dコンバータのサンプリング時間は、A/Dコンバータ・モード・レジスタ0 (ADM0) の設定値によって異なります。また、A/Dコンバータを動作許可してから実際にサンプリングが行われるまで遅延時間が存在します。

A/D変換時間を厳密に必要とするセットの場合は、表14-2 に示す内容にご注意ください。

表14-2 A/Dコンバータのサンプリング時間とA/D変換開始遅延時間

FR02	FR01	FR00	変換時間 ^{注1}	サンプリング時間	A/D変換開始遅延時間	
					MIN.	MAX.
0	0	0	144/fx	20/fx	0.5/f _{CPU} +6/fx	0.5/f _{CPU} +8/fx
0	0	1	120/fx	16/fx		
0	1	0	96/fx	12/fx		
1	0	0	72/fx	10/fx	0.5/f _{CPU} +3/fx	0.5/f _{CPU} +4/fx
1	0	1	60/fx	8/fx		
1	1	0	48/fx	6/fx		
上記以外			設定禁止	—	—	—

注1. A/D変換時間を次のように設定してください。

・ fx = 12 MHz動作時^{注2} (V_{DD} = 4.5~5.5 V) : 12 μs以上

・ fx = 8.38 MHz動作時 (V_{DD} = 4.0~5.5 V) : 14 μs以上

2. μPD780034Aサブシリーズの拡張規格品のみ。

備考 fx : メイン・システム・クロック発振周波数

f_{CPU} : CPUクロック周波数

14.4.2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI7) に入力されたアナログ入力電圧と理論上のA/D変換結果 (A/D変換結果レジスタ0 (ADCR0)) には次式に示す関係があります。

$$\text{ADCR0} = \text{INT} \left(\frac{V_{\text{IN}}}{A_{\text{VREF}}} \times 1024 + 0.5 \right)$$

または、

$$\left(\text{ADCR0} - 0.5 \right) \times \frac{A_{\text{VREF}}}{1024} \leq V_{\text{IN}} < \left(\text{ADCR0} + 0.5 \right) \times \frac{A_{\text{VREF}}}{1024}$$

INT () : () 内の値の整数部を返す関数

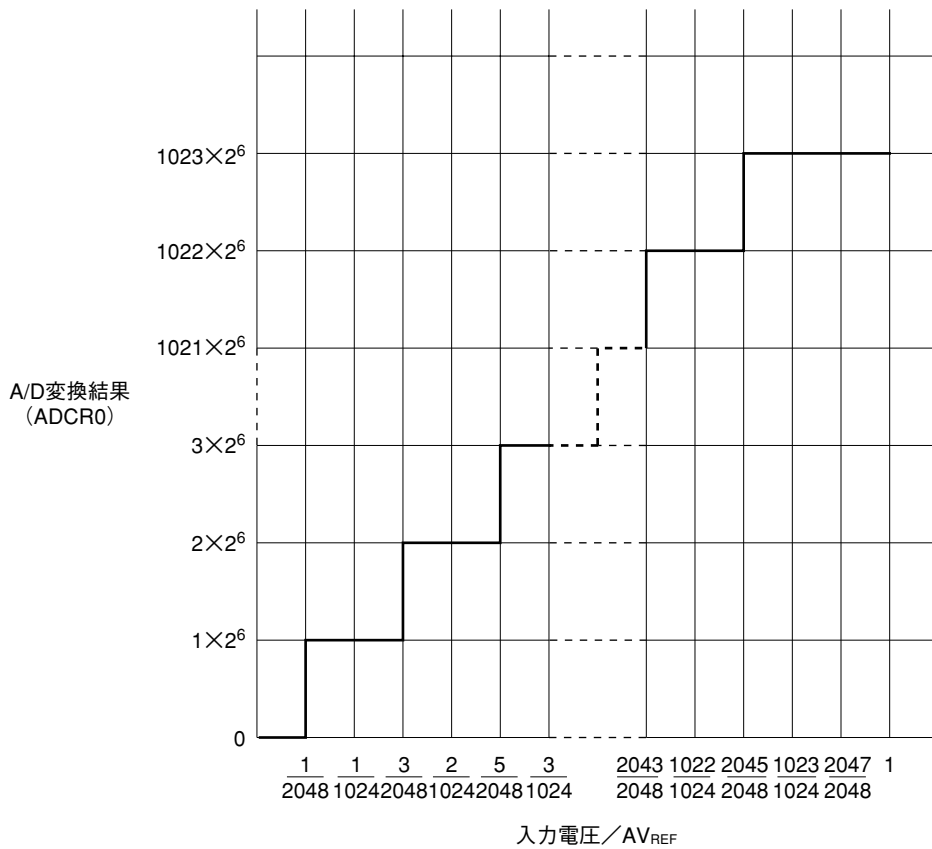
V_{IN} : アナログ入力電圧

A_{VREF} : A_{VREF} 端子電圧

ADCR0 : A/D変換結果レジスタ0 (ADCR0) の値

図14-6 にアナログ入力電圧とA/D変換結果の関係を示します。

図14-6 アナログ入力電圧とA/D変換結果の関係



14.4.3 A/Dコンバータの動作モード

アナログ入力チャンネル指定レジスタ0 (ADS0) によってANI0-ANI7からアナログ入力を1チャンネル選択し、A/D変換を開始させてください。

A/D変換動作の起動方法には、次の2種類があります。

- ・ハードウェア・スタート：トリガ入力（立ち上がり、立ち下がり、立ち上がり立ち下がりの両エッジ指定可能）
- ・ソフトウェア・スタート：A/Dコンバータ・モード・レジスタ0 (ADM0) を設定することにより開始

また、A/D変換が終了したら、割り込み要求信号 (INTAD0) を発生します。

(1) ハードウェア・スタートによるA/D変換動作

A/Dコンバータ・モード・レジスタ0 (ADM0) のビット6 (TRG0) に1、ビット7 (ADCS0) に1を設定することによってA/D変換動作の待機状態になります。外部トリガ信号 (ADTRG) が入力されると、アナログ入力チャンネル指定レジスタ0 (ADS0) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ0 (ADCR0) に格納し、割り込み要求信号 (INTAD0) を発生します。次のA/D変換動作が一度起動し、1回のA/D変換が終了すると、新たに外部トリガ信号が入力されないかぎり、A/D変換動作は開始しません。

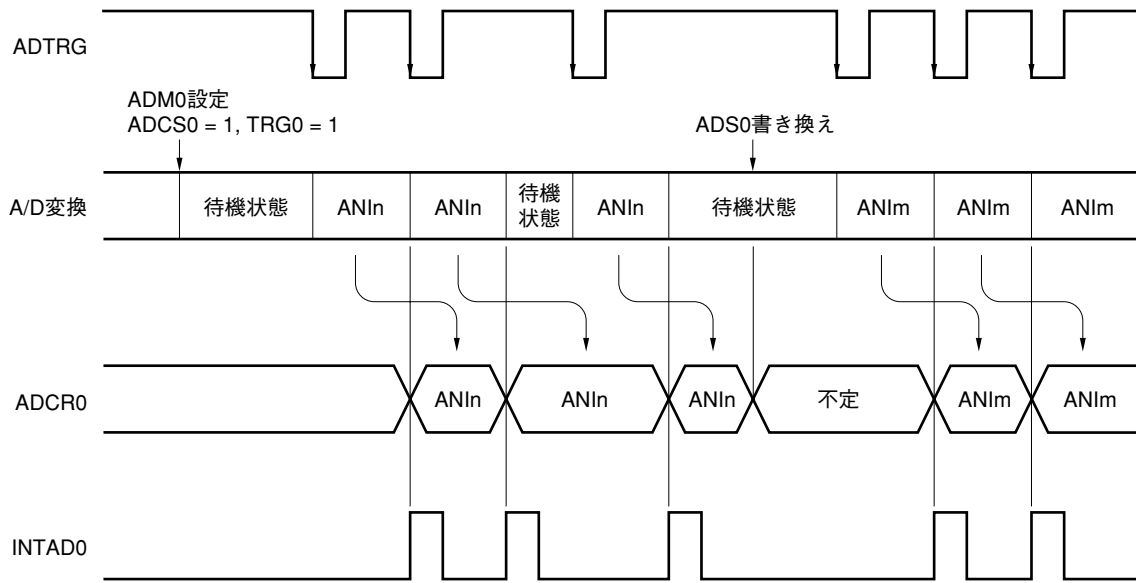
A/D変換動作中に、ADS0を書き換えると、そのとき行っていたA/D変換動作を中断し、新たに外部トリガ信号が入力されるまで待機します。外部トリガ入力信号が再度入力されると、A/D変換動作を最初から行います。A/D変換待機中にADS0を書き換えた場合、次に外部トリガ入力信号が入力された時点で、新たにA/D変換動作を開始します。

A/D変換動作中に、ADCS0に再度1を書き込むと、そのとき行っていたA/D変換動作を中断し、次に外部トリガ入力信号が入力された時点で、新たにA/D変換動作を開始します。

また、A/D変換動作中に、ADCS0に0を書き込むと、ただちにA/D変換動作を停止します。

注意 P03/INTP3/ADTRGを外部トリガ入力 (ADTRG) として使用する場合は、A/Dコンバータ・モード・レジスタ0 (ADM0) のビット1, 2 (EGA00, EGA01) で有効エッジを指定し、割り込みマスク・フラグ (PMK3) を1に設定してください。

図14-7 ハードウェア・スタートによるA/D変換動作 (立ち下がりエッジ指定時)



- 備考 1. $n = 0, 1, \dots, 7$
 2. $m = 0, 1, \dots, 7$

(2) ソフトウェア・スタートによるA/D変換動作

A/Dコンバータ・モード・レジスタ0 (ADM0) のビット6 (TRG0) に0, ビット7 (ADCS0) に1を設定することにより, アナログ入力チャンネル指定レジスタ0 (ADS0) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

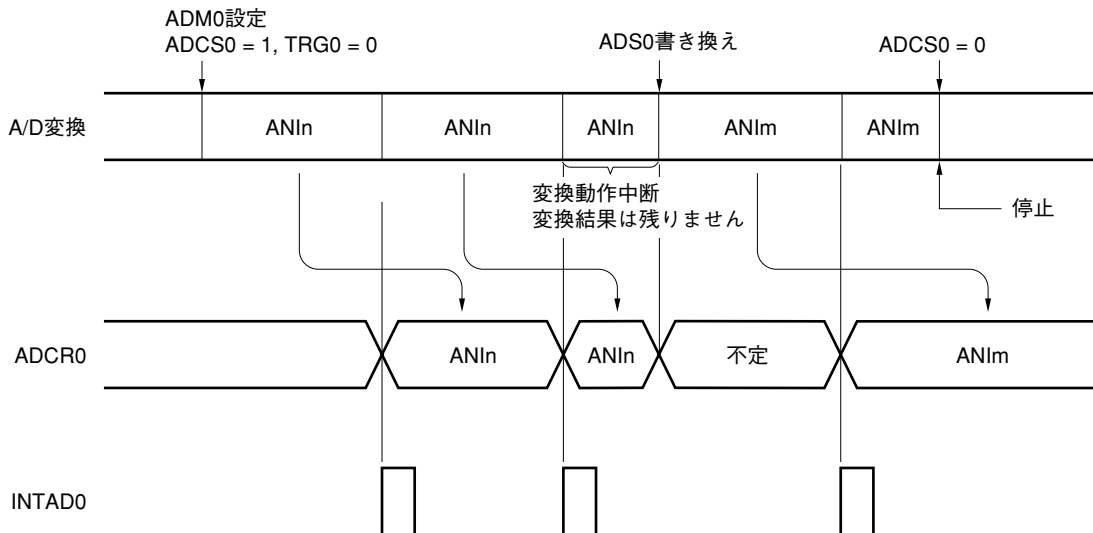
A/D変換動作が終了すると, 変換結果をA/D変換結果レジスタ0 (ADCR0) に格納し, 割り込み要求信号 (INTAD0) が発生します。A/D変換動作が一度起動し, 1回のA/D変換が終了すると, ただちに次のA/D変換動作を開始します。新たなデータをADS0に書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中にADS0を書き換えると, そのとき行っていたA/D変換動作を中断し, 新たに選択したアナログ入力チャンネルのA/D変換動作を開始します。

A/D変換動作中に, ADCS0に再度1を書き込むと, そのとき行っていたA/D変換動作を中断し, 新たにA/D変換動作を開始します。

また, A/D変換動作中に, ADCS0に0を書き込むと, ただちにA/D変換動作を停止します。

図14-8 ソフトウェア・スタートによるA/D変換動作



備考 1. n = 0, 1, …, 7

2. m = 0, 1, …, 7

14.5 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1LSB (Least Significant Bit) といいます。1LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$\begin{aligned} 1\text{LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098\% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる±1/2LSBの誤差です。A/Dコンバータでは、±1/2LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図14-9 総合誤差

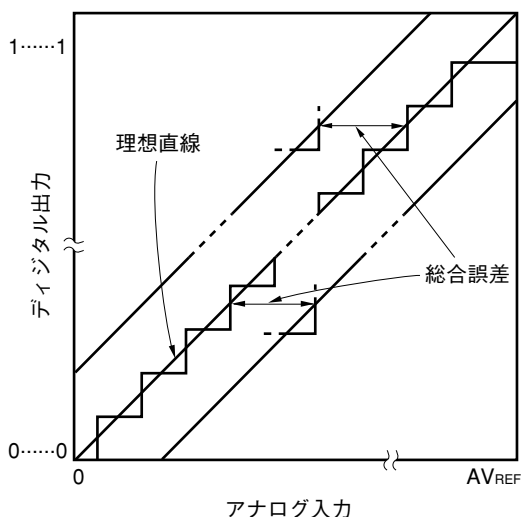
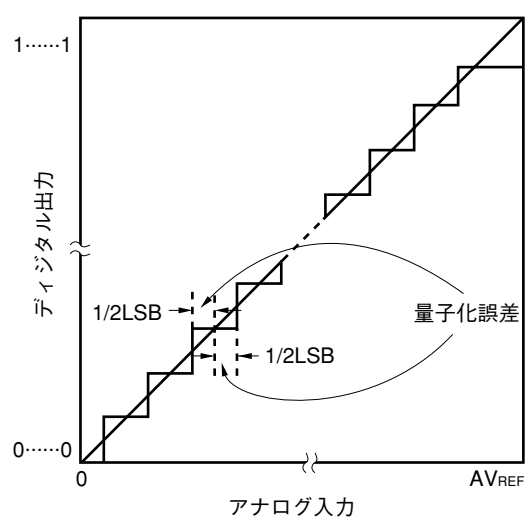


図14-10 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0………000から0………001に変化するとき、アナログ入力電圧の実測値と理論値 (1/2LSB) との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0………001から0………010に変化するとき、アナログ入力電圧の実測値と理論値 (3/2LSB) との差を表します。

(5) フルスケール誤差

デジタル出力が1………110から1………111に変化するとき、アナログ入力電圧の実測値と理論値 (フルスケール-3/2LSB) との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図14-11 ゼロスケール誤差

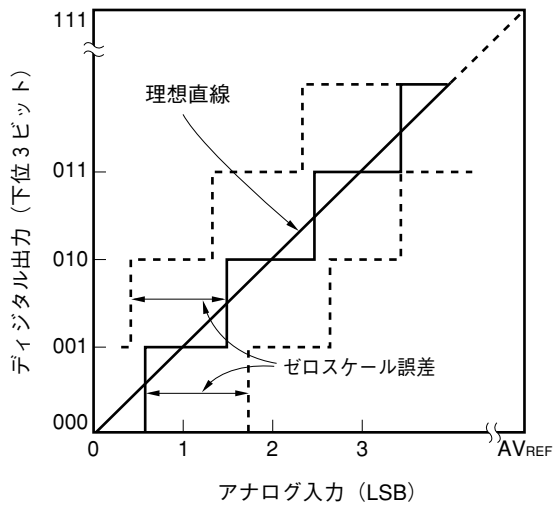


図14-12 フルスケール誤差

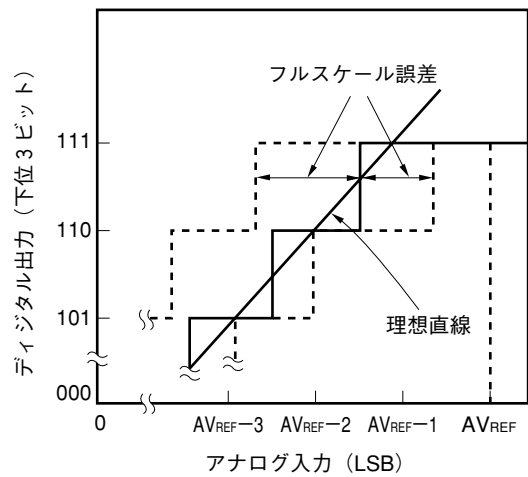


図14-13 積分直線性誤差

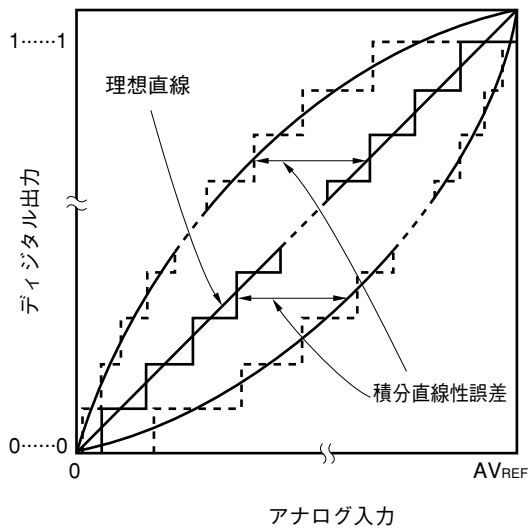
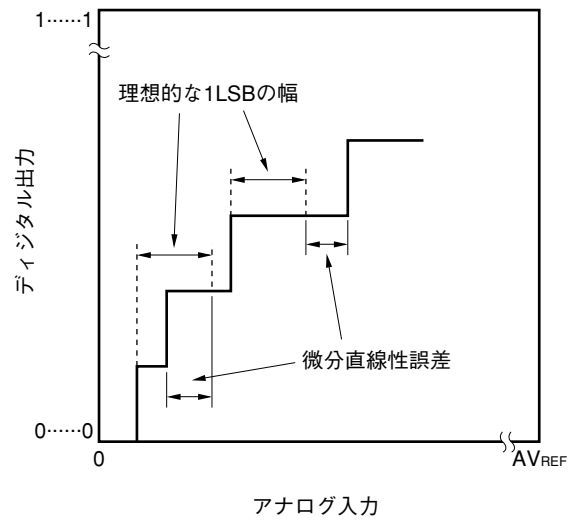


図14-14 微分直線性誤差

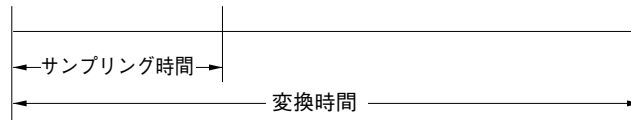


(8) 変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。
 特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



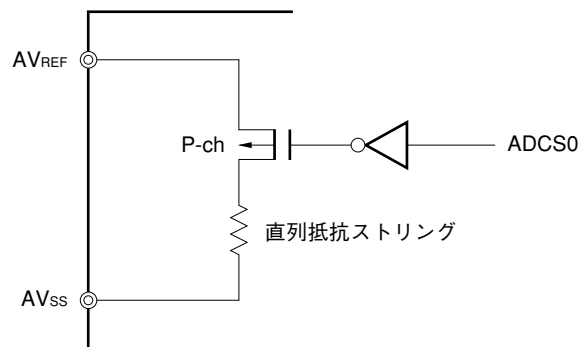
14.6 A/Dコンバータの注意事項

(1) スタンバイ・モード時の消費電力について

A/Dコンバータは、スタンバイ・モード時には動作が停止します。このとき変換動作停止 (A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) = 0) にすることにより、消費電力を低減させることができます。

直列抵抗ストリングの回路構成を図14-15に示します。

図14-15 直列抵抗ストリングの回路構成



(2) ANI0-ANI7入力範囲について

ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特にAVREF以上、AVSS以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) 競合動作について

- ① 変換終了時のA/D変換結果レジスタ0 (ADCR0) ライトと命令によるADCR0リードとの競合
ADCR0リードが優先されます。リードしたあと、新しい変換結果がADCR0にライトされます。
- ② 変換終了時のADCR0ライトと外部トリガ信号入力の競合
A/D変換中の外部トリガ信号は受け付けません。したがってADCR0ライト中の外部トリガ信号も受け付けません。
- ③ 変換終了時のADCR0ライトとA/Dコンバータ・モード・レジスタ0 (ADM0) ライト、またはアナログ入力チャンネル指定レジスタ0 (ADS0) ライトの競合
ADM0またはADS0へのライトが優先されます。ADCR0へのライトはされません。また、変換終了割り込み要求信号 (INTAD0) も発生しません。

(4) ANI0/P10-ANI7/P17

- ① アナログ入力 (ANI0-ANI7) 端子は入力ポート (P10-P17) 端子と兼用になっています。
ANI0-ANI7のいずれかを選択してA/D変換をする場合、変換中にポート1に対してアクセスしないでください。変換分解能が低下することがあります。
- ② A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(5) AVREF端子の入カインピーダンスについて

AVREF端子とAVSS端子の間には数十kΩの直列抵抗ストリングが接続されています。
したがって、基準電圧源の出カインピーダンスが高い場合、AVREF端子とAVSS端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

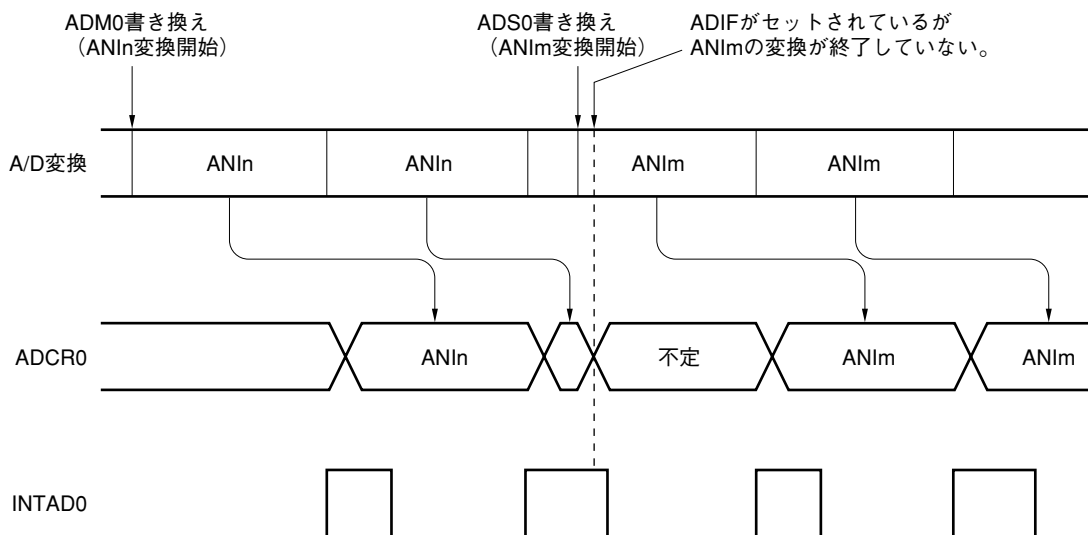
(6) 割り込み要求フラグ (ADIF0) について

アナログ入力チャネル指定レジスタ0 (ADS0) を変更しても割り込み要求フラグ (ADIF0) はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS0書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があります。このときADS0書き換え直後にADIF0を読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIF0がセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIF0をクリアしてください。

図14-16 A/D変換終了割り込み要求発生タイミング



備考 1. n = 0, 1, …, 7
2. m = 0, 1, …, 7

(7) A/D変換スタート直後の変換結果について

A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD0) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(8) A/D変換結果レジスタ0 (ADCR0) の読み出しについて

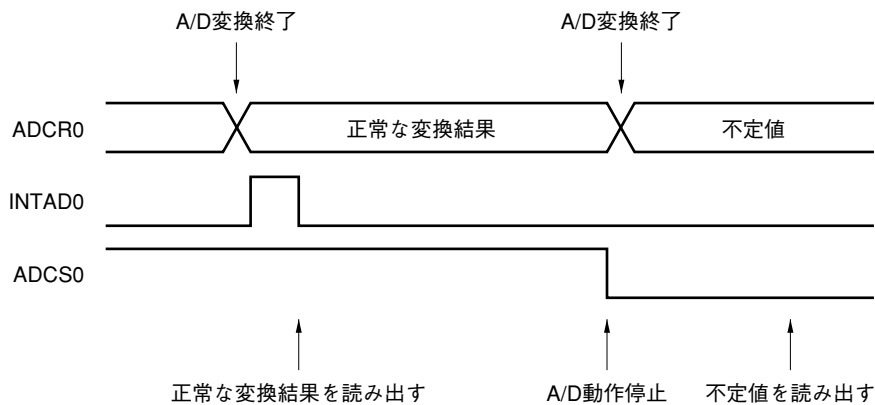
A/Dコンバータ・モード・レジスタ0 (ADM0), アナログ入力チャネル指定レジスタ0 (ADS0) に対して書き込み動作を行ったとき, ADCR0の内容は不定となることがあります。変換結果は, 変換動作終了後, ADM0, ADS0に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは, 正しい変換結果が読み出されないことがあります。

(9) A/D変換結果が不定になるタイミング

A/D変換終了のタイミングとA/D変換動作を停止するタイミングが競合するとA/D変換値は不定になることがあります。そのため, A/D変換結果を読み出す場合は, A/D動作停止前に行ってください。

変換結果を読み出すタイミングを図14-17に示します。

図14-17 変換結果を読み出すタイミング (変換結果が不定値の場合)



(10) ボード設計上の注意

ボード上でのデジタル回路ノイズの影響を避けるために、アナログ回路はデジタル回路とできるだけ離して配置してください。特にアナログ信号線とデジタル信号線を交差させたり近接させたりすることは極力避けてください。ノイズの誘導などによってA/D変換特性が悪化する恐れがあります。

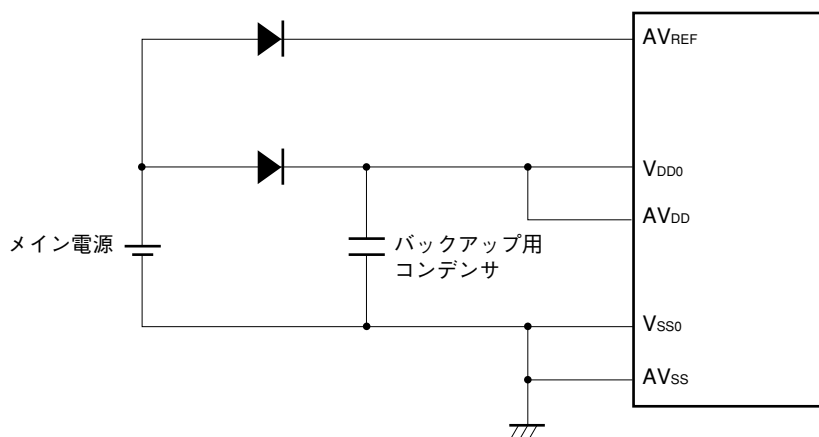
AVSS0とVSS0はボード上で安定しているところで1箇所、接続してください。

(11) AVDD端子について

AVDD端子はアナログ回路の電源端子であり、ANI0-ANI7の入力回路にも電源を供給しています。

したがって、バックアップ電源に切り替えるようなアプリケーションにおいても、必ずVDD0端子と同レベルの電位を印加してください。

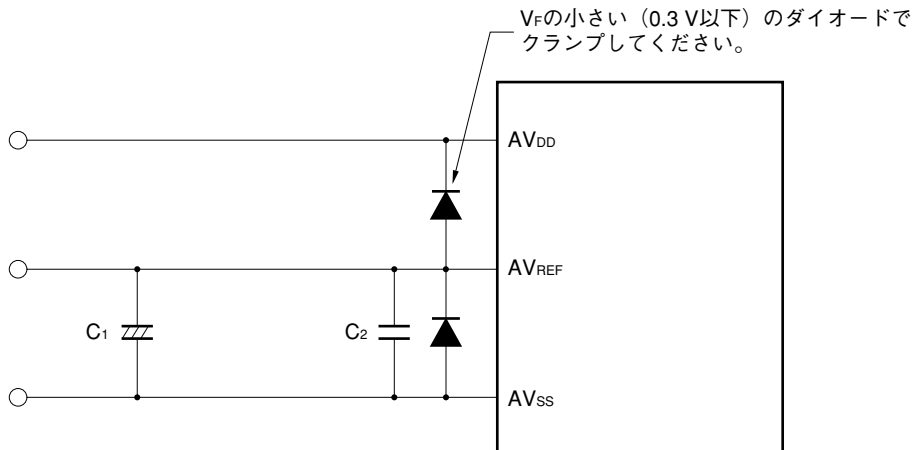
図14-18 AVDD端子の処理



(12) AVREF端子

ノイズによる変換誤差を小さく抑えるため、AVREF端子にコンデンサを接続してください。またA/D変換動作を停止した状態から動作開始した直後は、AVREF端子にかかる電圧が不安定になり、A/D変換精度の悪化が生じる場合があります。このような場合にもAVREF端子にコンデンサを接続してください。コンデンサの接続例を図14-19に示します。

図14-19 AVREF端子とコンデンサの接続例



備考 C1 : 4.7 μF ~ 10 μF (参考値)

C2 : 0.01 μF ~ 0.1 μF (参考値)

C2は端子のできるだけ近くに接続してください。

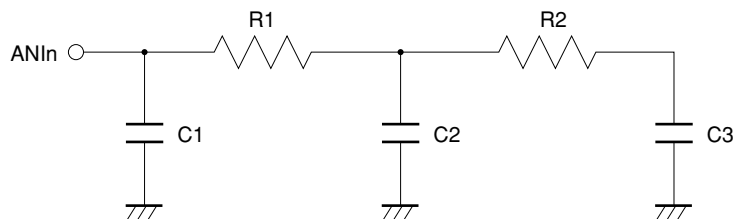
(13) ANI0-ANI7端子内部等価回路と許容信号源インピーダンス

サンプリング時間内にサンプリングを完了し、十分なA/D変換精度を得るにはセンサなどの信号源のインピーダンスが十分に低い必要があります。図14-20にANI0-ANI7端子のマイコン内部の等価回路を示します。

信号源のインピーダンスが高い場合には、ANI0-ANI7端子に大きな容量を接続することで見かけ上インピーダンスを低くすることができます。図14-21に回路例を示します。この場合にはロウ・パス・フィルタを構成しますので、微分係数の大きなアナログ信号には追従できなくなります。

高速なアナログ信号を変換する場合やスキャン・モードで変換する場合にはロウ・インピーダンスのバッファを挿入してください。

図14-20 ANI0-ANI7端子内部等価回路



備考 n = 0-7

★

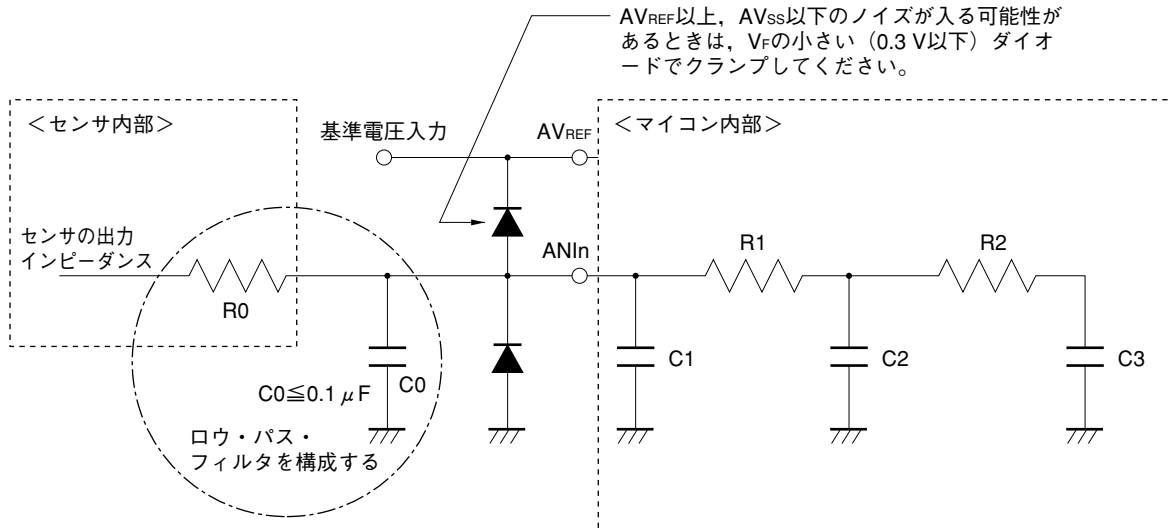
表14-3 等価回路の各抵抗と容量値 (参考値)

(TYP.)

AV_{REF}	R1	R2	C1	C2	C3
2.7 V	12 kΩ	8.0 kΩ	8.0 pF	3.0 pF	2.0 pF
4.5 V	4 kΩ	2.7 kΩ	8.0 pF	1.4 pF	2.0 pF

注意 表14-3の各抵抗と容量値は保証値ではありません。

図14-21 信号源インピーダンスが高い場合の回路例



備考 n = 0-7

(14) ANI0-ANI7端子の入力インピーダンスについて

このA/Dコンバータでは、変換時間の約1/10程度の間、内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスは変動して意味がありません。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを10 kΩ以下にするか、ANI0-ANI7端子に100 pF程度のコンデンサを付けることを推奨します (図14-21参照)。

第15章 シリアル・インタフェースの概説

μ PD780024A, 780034Aサブシリーズと μ PD780024AY, 780034AYサブシリーズではシリアル・インタフェースに違いがあります。その違いを表15-1に示します。

表15-1 μ PD780024A, 780034Aサブシリーズと μ PD780024AY, 780034AYサブシリーズの違い

項 目		μ PD780024A, 780034A	μ PD780024AY, 780034AY	該当箇所
UART0		○	○	第16章
SIO3	SIO30	○	○	第17章
	SIO31	○	—	
IIC0		—	○	第18章

第16章 シリアル・インタフェースUART0

16.1 シリアル・インタフェースUART0の機能

シリアル・インタフェースUART0には、次の3種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

詳細については16.4.1 動作停止モードを参照してください。

(2) アシクロナス・シリアル・インタフェース (UART) モード (LSB先頭固定)

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。通信範囲は1.2 kbps～131 kbps ($f_x = 8.38$ MHz動作時) です。また、ASCK0端子への入力クロックを分周してボー・レート (Max. 39 kbps ($f_x = 1.25$ MHz動作時)) を定義することもできます。

UART専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート (31.25 kbps) を使用することもできます。

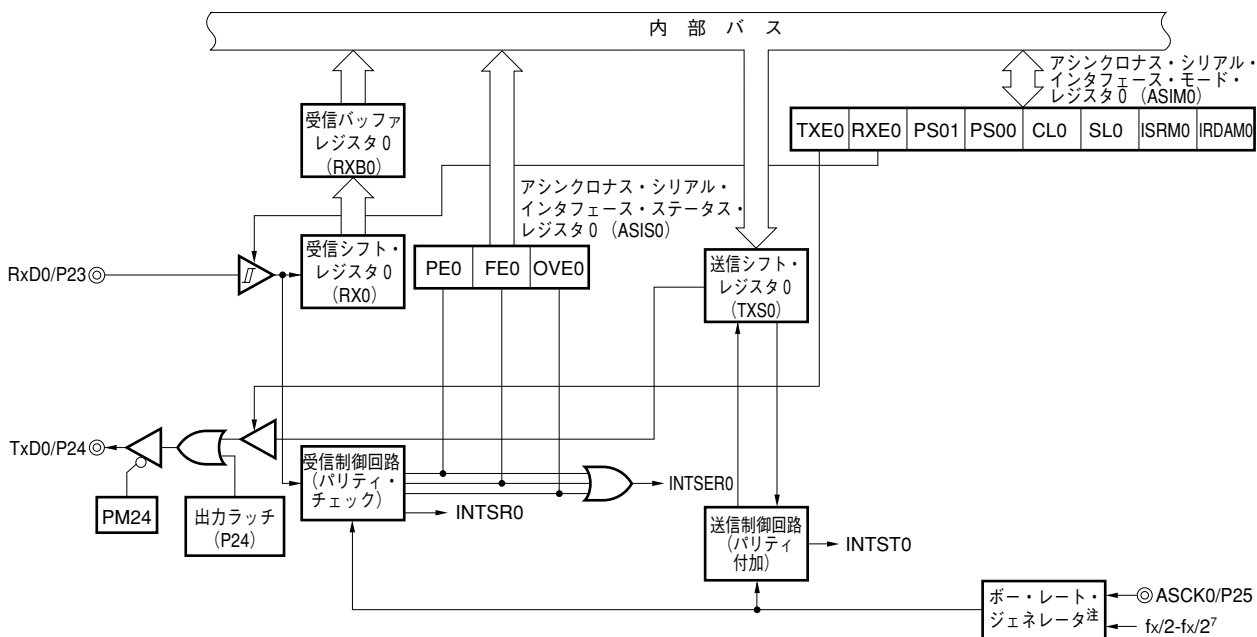
詳細については16.4.2 アシクロナス・シリアル・インタフェース (UART) モードを参照してください。

(3) 赤外線データ転送モード

詳細については16.4.3 赤外線データ転送モードを参照してください。

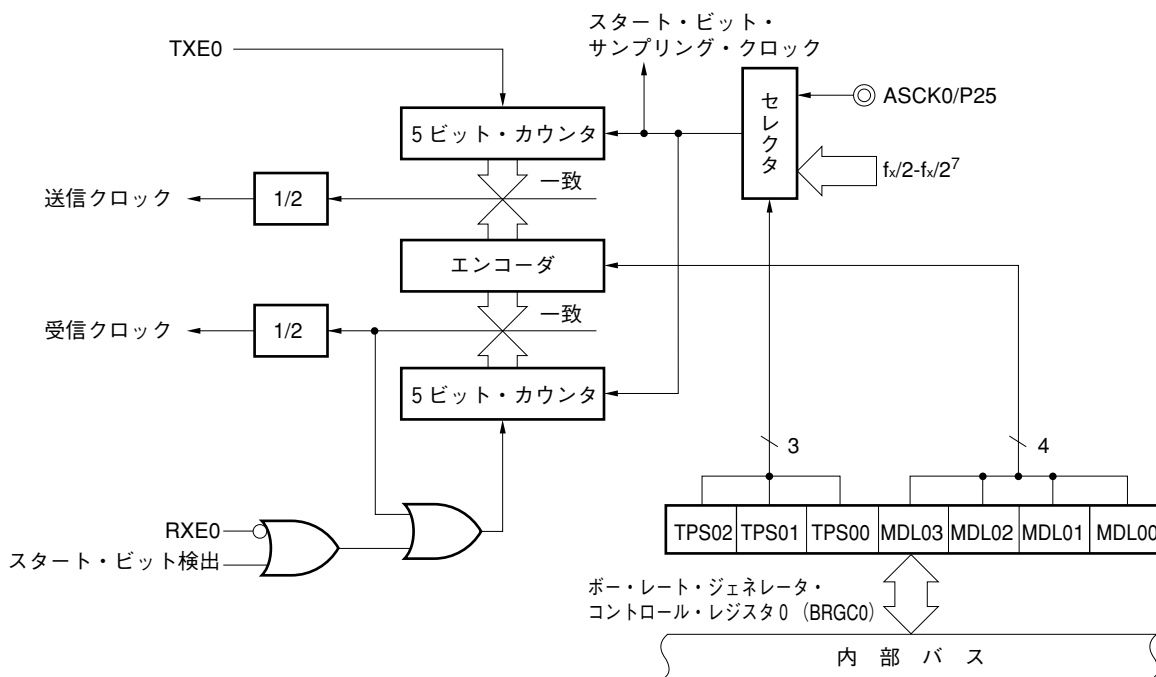
図16-1に、シリアル・インタフェースUART0のブロック図を示します。

図16-1 シリアル・インタフェースUART0のブロック図



注 ボー・レート・ジェネレータの構成は、図16-2を参照してください。

図16-2 ボー・レート・ジェネレータのブロック図



備考 TXE0：アシンクロナス・シリアル・インタフェース・モード・レジスタ0（ASIM0）のビット7
 RXE0： のビット6

16.2 シリアル・インタフェースUART0の構成

シリアル・インタフェースUART0は、次のハードウェアで構成されています。

表16-1 シリアル・インタフェースUART0の構成

項 目	構 成
レジスタ	送信シフト・レジスタ 0 (TXS0) 受信シフト・レジスタ 0 (RX0) 受信バッファ・レジスタ 0 (RXB0) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ 0 (ASIS0)
制御レジスタ	アシンクロナス・シリアル・インタフェース・モード・レジスタ 0 (ASIM0) ボー・レート・ジェネレータ・コントロール・レジスタ 0 (BRGC0) ポート・モード・レジスタ 2 (PM2) ポート 2 (P2)

(1) 送信シフト・レジスタ 0 (TXS0)

送信データを設定するレジスタです。TXS0に書き込まれたデータをシリアル・データとして送信します。

データ長を7ビットに指定した場合、TXS0に書き込んだデータのビット0-6が送信データとして転送されます。TXS0にデータを書き込むことにより、送信動作を開始します。

TXS0は、8ビット・メモリ操作命令で書き込みます。読み出しはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注意 送信動作中は、TXS0への書き込みを行わないでください。

TXS0と受信バッファ・レジスタ 0 (RXB0) は同一アドレスに割り当てられており、読み出しを行った場合にはRXB0の値が読み出されます。

(2) 受信シフト・レジスタ 0 (RX0)

RxD0端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。1バイト分のデータを受信すると、受信データを受信バッファ・レジスタ 0 (RXB0) へ転送します。

RX0はプログラムで直接操作できません。

(3) 受信バッファ・レジスタ0 (RXB0)

受信データを保持するレジスタです。データを1バイト受信するごとに受信シフト・レジスタ (RX0) から新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXB0のビット0-6に転送され、RXB0のMSBは必ず0になります。

RXB0は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注意 RXB0と送信シフト・レジスタ0 (TXS0) は同一アドレスに割り当てられており、書き込みを行った場合にはTXS0に値が書き込まれます。

(4) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)

UARTモードで受信エラー発生時、エラーの種類を表示するレジスタです。

ASIS0は、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図16-3 アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) のフォーマット

アドレス：FFA1H リセット時：00H R

略号	7	6	5	4	3	2	1	0
ASIS0	0	0	0	0	0	PE0	FE0	OVE0

PE0	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FE0	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 ^{注1} (ストップ・ビットが検出されないとき)

OVE0	オーバラン・エラー・フラグ
0	オーバラン・エラーなし
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタ0 (RXB0) からデータを読み出す前に次の受信動作が完了したとき)

注1. アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) のビット2 (SL0) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ0 (RXB0) を読み出すまで、オーバラン・エラーが発生し続けます。

(5) 送信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) に設定された内容に従って、送信シフト・レジスタ0 (TXS0) に書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットの付加などの送信動作の制御を行います。

(6) 受信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) に設定された内容に従って、受信動作を制御します。また、受信動作中にパリティ・エラーなどのエラー・チェックも行い、エラーを検出したときにはエラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) にセットします。

16.3 シリアル・インタフェースUART0を制御するレジスタ

シリアル・インタフェースUART0は、次の4種類のレジスタで制御します。

- ・アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)
- ・ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)
- ・ポート・モード・レジスタ2 (PM2)
- ・ポート2 (P2)

(1) アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)

シリアル・インタフェースUART0のシリアル転送動作を制御する8ビットのレジスタです。

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図16-4にASIM0のフォーマットを示します。

図16-4 アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) のフォーマット

アドレス：FFA0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ASIM0	TXE0	RXE0	PS01	PS00	CL0	SL0	ISRM0	IRDAM0

TXE0	RXE0	動作モード	RxD0/P23端子の機能	TxD0/P24端子の機能
0	0	動作停止	ポート機能 (P23)	ポート機能 (P24)
0	1	UARTモード (受信のみ)	シリアル機能 (RxD0)	
1	0	UARTモード (送信のみ)	ポート機能 (P23)	シリアル機能 (TxD0)
1	1	UARTモード (送受信)	シリアル機能 (RxD0)	

PS01	PS00	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時, 常に0パリティ付加 受信時, パリティの検査をしない (パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL0	キャラクタ長の指定
0	7ビット
1	8ビット

SL0	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRM0	エラー発生時の受信完了割り込み制御
0	エラー発生時, 受信完了割り込み要求を発生する
1	エラー発生時, 受信完了割り込み要求を発生しない

IRDAM0	赤外線データ転送モードの動作の指定 ^{注1}
0	UART (送受信) モード
1	赤外線データ転送 (送受信) モード ^{注2}

注1. UART/赤外線データ転送モードの指定は, TXE0, RXE0により制御されます。

2. 赤外線データ転送モード使用時は, ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) を必ず10Hに設定してください。

注意 ASIM0を同一データ以外に書き換える場合は, いったん動作停止してから書き換えてください。

(2) ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)

シリアル・インタフェースのシリアル・クロックを設定するレジスタです。

BRGC0は, 8ビット・メモリ操作命令で設定します。

RESET 入力により, 00Hになります。

図16-5にBRGC0のフォーマットを示します。

図16-5 ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) のフォーマット

アドレス：FFA2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
BRGC0	0	TPS02	TPS01	TPS00	MDL03	MDL02	MDL01	MDL00

TPS02	TPS01	TPS00	5ビット・カウンタのソース・クロック選択	n
0	0	0	ASCK0への外部クロック入力	0
0	0	1	$f_x/2$	1
0	1	0	$f_x/2^2$	2
0	1	1	$f_x/2^3$	3
1	0	0	$f_x/2^4$	4
1	0	1	$f_x/2^5$	5
1	1	0	$f_x/2^6$	6
1	1	1	$f_x/2^7$	7

MDL03	MDL02	MDL01	MDL00	ボー・レート・ジェネレータの出力クロックの選択	k
0	0	0	0	$f_{sck0}/16$	0
0	0	0	1	$f_{sck0}/17$	1
0	0	1	0	$f_{sck0}/18$	2
0	0	1	1	$f_{sck0}/19$	3
0	1	0	0	$f_{sck0}/20$	4
0	1	0	1	$f_{sck0}/21$	5
0	1	1	0	$f_{sck0}/22$	6
0	1	1	1	$f_{sck0}/23$	7
1	0	0	0	$f_{sck0}/24$	8
1	0	0	1	$f_{sck0}/25$	9
1	0	1	0	$f_{sck0}/26$	10
1	0	1	1	$f_{sck0}/27$	11
1	1	0	0	$f_{sck0}/28$	12
1	1	0	1	$f_{sck0}/29$	13
1	1	1	0	$f_{sck0}/30$	14
1	1	1	1	設定禁止	—

注意1. 通信動作中にBRGC0への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGC0への書き込みを行わないでください。

2. 赤外線データ転送モードで使用するときは、BRGC0に10Hを設定してください。

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{sck0} : 5ビット・カウンタのソース・クロック

3. n : TPS00-TPS02で設定した値 ($0 \leq n \leq 7$)

4. k : MDL00-MDL03で設定した値 ($0 \leq k \leq 14$)

5. ボー・レートの計算式は次のとおりです。

$$[\text{ボー・レート}] = \frac{f_x}{2^{n+1} (k+16)} \quad [\text{Hz}]$$

(3) ポート・モード・レジスタ2 (PM2)

ポート2の入力/出力を1ビット単位で設定するレジスタです。

P24/TxD0端子をシリアル・データ出力として使用するとき、PM24およびP24の出力ラッチに0を設定してください。

P23/RxD0端子をシリアル・データ入力として、P25/ASCK0端子をクロック入力として使用するとき、PM23, PM25に1を設定してください。このときP23, P25の出力ラッチは0または1のどちらでもかまいません。

PM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図16-6 ポート・モード・レジスタ2 (PM2) のフォーマット

アドレス：FF22H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	1	1	PM25	PM24	PM23	PM22	PM21	PM20

PM2n	P2n端子の入出力モードの選択 (n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

16.4 シリアル・インタフェースUART0の動作

シリアル・インタフェースUART0の持つ3種類のモードについて説明します。

16.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いませんので、消費電力を低減できます。

また、動作停止モードでは、端子を通常のポートとして使用できます。

(1) 使用するレジスタ

動作停止モードの設定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)で行います。

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

アドレス：FFA0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ASIM0	TXE0	RXE0	PS01	PS00	CL0	SL0	ISRM0	IRDAM0

TXE0	RXE0	動作モード	RxD0/P23端子の機能	TxD0/P24端子の機能
0	0	動作停止	ポート機能 (P23)	ポート機能 (P24)

16.4.2 アシンクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。通信範囲は1.2 kbps~131 kbps ($f_x = 8.38 \text{ MHz}$ 動作時)です。また、ASCK0端子への入力クロックを分周してボー・レート (Max. 39 kbps ($f_x = 1.25 \text{ MHz}$ 動作時)) を定義することができます。

UART専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート (31.25 kbps) を使用することもできます。

(1) 使用するレジスタ

- ・アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)
- ・アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)
- ・ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)
- ・ポート・モード・レジスタ2 (PM2)
- ・ポート2 (P2)

(a) アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

アドレス：FFA0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ASIM0	TXE0	RXE0	PS01	PS00	CLO	SLO	ISRM0	IRDAM0

TXE0	RXE0	動作モード	RxD0/P23端子の機能	TxD0/P24端子の機能
0	0	動作停止	ポート機能 (P23)	ポート機能 (P24)
0	1	UARTモード (受信のみ)	シリアル機能 (RxD0)	
1	0	UARTモード (送信のみ)	ポート機能 (P23)	シリアル機能 (TxD0)
1	1	UARTモード (送受信)	シリアル機能 (RxD0)	

PS01	PS00	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時, 常に0パリティ付加 受信時, パリティの検査をしない (パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CLO	キャラクタ長の指定
0	7ビット
1	8ビット

SLO	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRM0	エラー発生時の受信完了割り込み制御
0	エラー発生時, 受信完了割り込み要求を発生する
1	エラー発生時, 受信完了割り込み要求を発生しない

IRDAM0	赤外線データ転送モードの動作の指定 ^{注1}
0	UART (送受信) モード
1	赤外線データ転送 (送受信) モード ^{注2}

注1. UART/赤外線データ転送モードの指定は, TXE0, RXE0により制御されます。

2. 赤外線データ転送モード使用時は, ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) を必ず10Hに設定してください。

注意 ASIM0を同一データ以外に書き換える場合は, いったん動作停止してから書き換えてください。

(b) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)

ASIS0は、8ビット・メモリ操作命令で読み出します。

RESET 入力により、00Hになります。

アドレス：FFA1H リセット時：00H R

略号	7	6	5	4	3	2	1	0
ASIS0	0	0	0	0	0	PE0	FE0	OVE0

PE0	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FE0	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 ^{注1} (ストップ・ビットが検出されないとき)

OVE0	オーバラン・エラー・フラグ
0	オーバラン・エラーなし
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタ0 (RXB0) からデータを読み出す前に 次の受信動作が完了したとき)

注1. アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) のビット2 (SL0) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ0 (RXB0) を読み出すまで、オーバラン・エラーが発生し続けます。

(c) ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)

BRGC0は、8ビット・メモリ操作命令で設定します。

RESET 入力により、00Hになります。

アドレス：FFA2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
BRGC0	0	TPS02	TPS01	TPS00	MDL03	MDL02	MDL01	MDL00

TPS02	TPS01	TPS00	5ビット・カウンタのソース・クロック選択	n
0	0	0	ASCK0への外部クロック入力	0
0	0	1	$fx/2$	1
0	1	0	$fx/2^2$	2
0	1	1	$fx/2^3$	3
1	0	0	$fx/2^4$	4
1	0	1	$fx/2^5$	5
1	1	0	$fx/2^6$	6
1	1	1	$fx/2^7$	7

MDL03	MDL02	MDL01	MDL00	ボー・レート・ジェネレータの出力クロックの選択	k
0	0	0	0	$f_{sck0}/16$	0
0	0	0	1	$f_{sck0}/17$	1
0	0	1	0	$f_{sck0}/18$	2
0	0	1	1	$f_{sck0}/19$	3
0	1	0	0	$f_{sck0}/20$	4
0	1	0	1	$f_{sck0}/21$	5
0	1	1	0	$f_{sck0}/22$	6
0	1	1	1	$f_{sck0}/23$	7
1	0	0	0	$f_{sck0}/24$	8
1	0	0	1	$f_{sck0}/25$	9
1	0	1	0	$f_{sck0}/26$	10
1	0	1	1	$f_{sck0}/27$	11
1	1	0	0	$f_{sck0}/28$	12
1	1	0	1	$f_{sck0}/29$	13
1	1	1	0	$f_{sck0}/30$	14
1	1	1	1	設定禁止	—

注意 通信動作中にBRGC0への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGC0への書き込みを行わないでください。

- 備考 1. fx : メイン・システム・クロック発振周波数
 2. f_{sck0} : 5ビット・カウンタのソース・クロック
 3. n : TPS00-TPS02で設定した値 ($0 \leq n \leq 7$)
 4. k : MDL00-MDL03で設定した値 ($0 \leq k \leq 14$)

生成するボー・レート用の送受信クロックは、メイン・システム・クロックを分周した信号になります。

- ・メイン・システム・クロックによるボー・レート用の送受信クロックの生成
 メイン・システム・クロックを分周して送受信クロックを生成します。メイン・システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_x}{2^{n+1} (k+16)} \text{ [Hz]}$$

f_x : メイン・システム・クロック発振周波数

5ビット・カウンタのソース・クロックにASCK0を選択したときは、上式の f_x にASCK0端子への入力クロック周波数を代入してください。

n : TPS00-TPS02で設定した値 ($0 \leq n \leq 7$)

k : MDL00-MDL03で設定した値 ($0 \leq k \leq 14$)

表16-2 メイン・システム・クロックとボー・レートの誤差との関係

ボー・レート [bps]	$f_x = 8.3886 \text{ MHz}$		$f_x = 8.000 \text{ MHz}$		$f_x = 7.3728 \text{ MHz}$		$f_x = 5.000 \text{ MHz}$		$f_x = 4.1943 \text{ MHz}$	
	BRGC0	誤差(%)	BRGC0	誤差(%)	BRGC0	誤差(%)	BRGC0	誤差(%)	BRGC0	誤差(%)
600	—	—	—	—	—	—	—	—	7BH	1.14
1200	7BH	1.10	7AH	0.16	78H	0	70H	1.73	6BH	1.14
2400	6BH	1.10	6AH	0.16	68H	0	60H	1.73	5BH	1.14
4800	5BH	1.10	5AH	0.16	58H	0	50H	1.73	4BH	1.14
9600	4BH	1.10	4AH	0.16	48H	0	40H	1.73	3BH	1.14
19200	3BH	1.10	3AH	0.16	38H	0	30H	1.73	2BH	1.14
31250	31H	-1.3	30H	0	2DH	1.70	24H	0	21H	-1.3
38400	2BH	1.10	2AH	0.16	28H	0	20H	1.73	1BH	1.14
76800	1BH	1.10	1AH	0.16	18H	0	10H	1.73	—	—
115200	12H	1.10	11H	2.12	10H	0	—	—	—	—

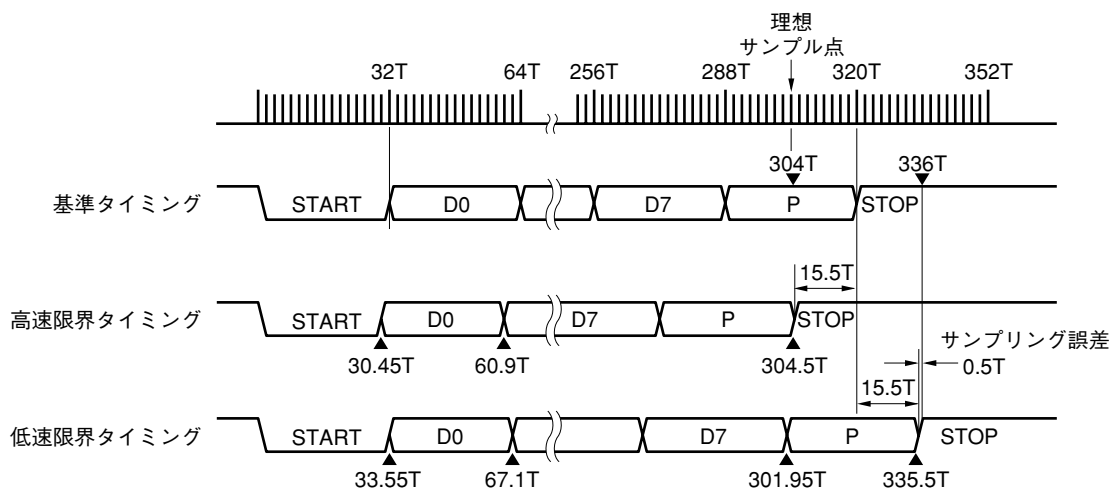
備考 f_x : メイン・システム・クロック発振周波数

- ・ボー・レートの許容誤差範囲

ボー・レートの誤差は、1フレームのビット数、および5ビット・カウンタの分周比 $[1/(16+k)]$ に依存します。

図16-7にボー・レートの許容誤差の例を示します。

図16-7 サンプルング誤差を考慮したボー・レートの許容誤差 (k = 0の場合)



$$\text{ボー・レート許容誤差 (k = 0の場合)} = \frac{\pm 15.5}{320} \times 100 = 4.8438 (\%)$$

注意 上記の許容誤差値は、理想サンプル点からの計算値です。実際の設計においては、スタート・ビット検出タイミングの誤差なども考慮して、マージンを取ってください。

備考 T : 5ビット・カウンタのソース・クロック周期

(d) ポート・モード・レジスタ 2 (PM2)

ポート2の入力/出力を1ビット単位で設定するレジスタです。

P24/TxD0端子をシリアル・データ出力として使用するとき、PM24およびP24の出カラッチに0を設定してください。

P23/RxD0端子をシリアル・データ入力として、P25/ASCK0端子をクロック入力として使用するとき、PM23, PM25に1を設定してください。このときP23, P25の出カラッチは0または1のどちらでもかまいません。

PM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

アドレス : FF22H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	1	1	PM25	PM24	PM23	PM22	PM21	PM20

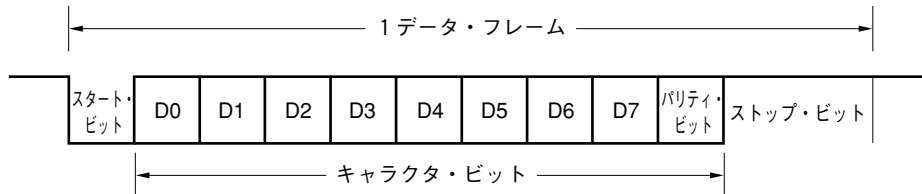
PM2n	P2n端子の入出力モードの選択 (n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(2) 通信動作

(a) データ・フォーマット

送受信データのフォーマットを図16-8に示します。

図16-8 アシクロナス・シリアル・インタフェースの送受信データのフォーマット例



1 データ・フレームは、次に示す各ビットで構成されます。

- ・スタート・ビット……1ビット
- ・キャラクタ・ビット…7ビット／8ビット（先頭LSB）
- ・パリティ・ビット……偶数パリティ／奇数パリティ／0パリティ／パリティなし
- ・ストップ・ビット……1ビット／2ビット

1 データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシクロナス・シリアル・インタフェース・モード・レジスタ0（ASIM0）によって行います。

キャラクタ・ビットとして7ビットを選択した場合、下位7ビット（ビット0-6）のみが有効となり、送信の場合は最上位ビット（ビット7）は無視され、受信の場合は必ず最上位ビット（ビット7）は“0”になります。

シリアル転送レートの設定は、ボー・レート・ジェネレータ・コントロール・レジスタ0（BRGC0）によって行います。

また、シリアルデータの受信エラーが発生した場合、アシクロナス・シリアル・インタフェース・ステータス・レジスタ0（ASIS0）の状態を読むことによって受信エラーの内容を判定できます。

(b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のものを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出できます。0パリティとパリティなしとは、誤りを検出できません。

(i) 偶数パリティ

・送信時

パリティ・ビットを含めた送信データ中の、値が“1”のキャラクタ・ビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中で値が“1”のキャラクタ・ビットの数が奇数個：1

送信データ中で値が“1”のキャラクタ・ビットの数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のキャラクタ・ビットの数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(ii) 奇数パリティ

・送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のキャラクタ・ビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データで値が“1”のキャラクタ・ビットの数が奇数個：0

送信データで値が“1”のキャラクタ・ビットの数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のキャラクタ・ビットの数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 送信

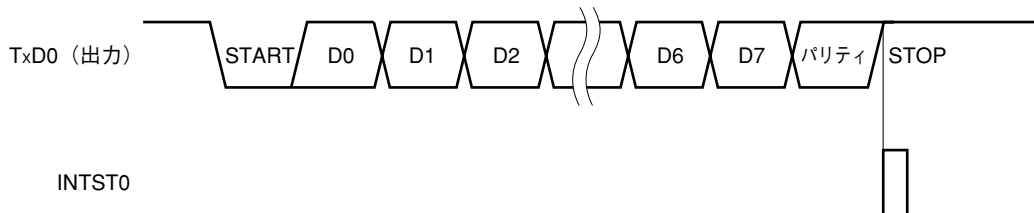
送信動作は、アシンクロナス・シリアル・インタフェース・モード0 (ASIM0) のビット7 (TXE0) がセット (1) されると許可状態となり、送信シフト・レジスタ0 (TXS0) に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

送信動作の開始により、TXS0内のデータがシフト・アウトされTXS0が空になると、送信完了割り込み要求 (INTST0) が発生します。

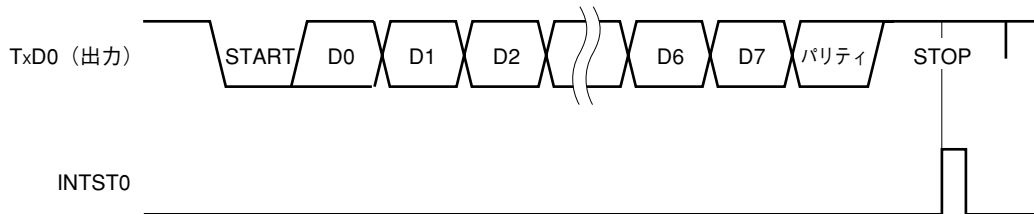
送信完了割り込みのタイミングを図16-9に示します。

図16-9 アシンクロナス・シリアル・インタフェース送信完了割り込み要求タイミング

★ (i) ストップ・ビット長：1



(ii) ストップ・ビット長：2



注意 送信動作中にはアシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) を書き換えしないでください。送信中にASIM0レジスタを書き換えると、それ以降の送信動作ができなくなる場合があります (RESET 入力により、正常になります)。

(d) 受信

受信動作はレベル検出を行っています。

受信動作はアシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) のビット6 (RXE0) がセット (1) されると許可状態となり、RxD0端子入力のサンプリングを行います。

RxD0端子入力のサンプリングは、ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) で指定したシリアル・クロックで行います。

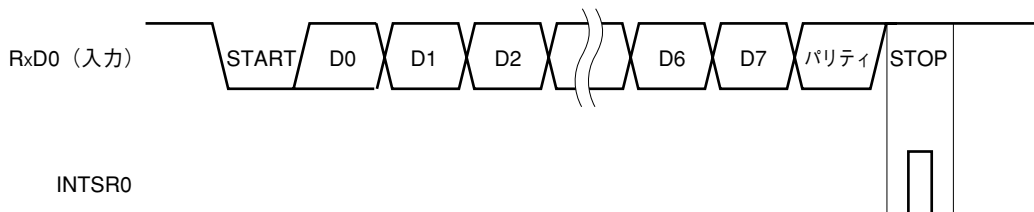
RxD0端子入力が高レベルになると、ボー・レート・ジェネレータの5ビット・カウンタがカウントを開始し、設定したボー・レートの半分の時間が経過したところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD0端子入力をサンプリングした結果、高レベルであれば、スタート・ビットとして認識し、5ビット・カウンタを初期化してカウントを開始し、データのサンプリングを行います。スタート・ビットに続いて、キャラクタ・データ、パリティ・ビットおよび1ビットのストップ・ビットが検出されると、1フレームのデータ受信が終了します。

1フレームのデータ受信が終了すると、シフト・レジスタ内の受信データを受信バッファ・レジスタ0 (RXB0) に転送し、INTSR0 (受信完了割り込み要求) を発生します。

なお、受信動作中にRXE0ビットをリセット (0) すると、ただちに受信動作を停止します。このとき、RXB0およびASIS0の内容は変化せず、また、INTSR0, INTSER0 (受信エラー割り込み要求) も発生しません。

図16-10にアシンクロナス・シリアル・インタフェース受信完了割り込み要求タイミングを示します。

図16-10 アシンクロナス・シリアル・インタフェース受信完了割り込み要求タイミング



注意 RxD0端子入力が高レベルの状態では受信動作を許可すると、ただちに受信動作を開始してしまいますので、必ず高レベルにしてから受信動作を許可してください。

(e) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果、エラー・フラグがアシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) 内に立つと、受信エラー割り込み要求 (INTSER0) を発生します。受信エラー割り込みは、受信完了割り込み要求 (INTSR0) より先に発生します。受信エラー要因を表16-3に示します。

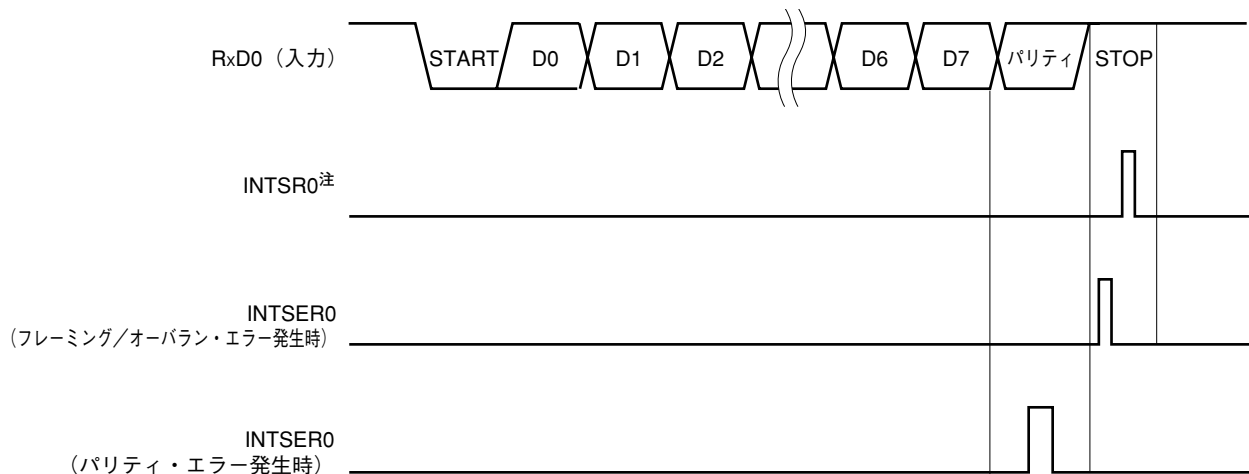
受信エラー割り込み処理 (INTSER0) 内でASIS0の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出できます (表16-3, 図16-11参照)。

ASIS0の内容は、受信バッファ・レジスタ0 (RXB0) を読み出すか、次のデータを受信することでリセット (0) されます (次のデータにエラーがあれば、そのエラー・フラグがセットされます)。

表16-3 受信エラーの要因

受信エラー	要 因	ASIS0の値
パリティ・エラー	パリティ指定と受信データのパリティが一致しない	04H
フレーミング・エラー	ストップ・ビットが検出されない	02H
オーバラン・エラー	受信バッファ・レジスタ0 (RXB0) からデータを読み出す前に、次のデータ受信完了	01H

図16-11 受信エラー・タイミング



注 ISRM0ビットがセット (1) されている場合に受信エラーが発生しても、INTSR0は発生しません。

注意1. アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) の内容は、受信バッファ・レジスタ0 (RXB0) を読み出すか、次のデータを受信することにより、リセット (0) されます。エラーの内容が知りたい場合には、必ずRXB0を読み出す前にASIS0を読み出してください。

2. 受信エラー発生時にも、受信完了割り込み要求発生後に受信バッファ・レジスタ0 (RXB0) を必ず読み出してください。受信完了割り込み要求発生後にRXB0を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

16.4.3 赤外線データ転送モード

赤外線データ転送モードでは、(2)に示すデータ・フォーマットでのパルス出力およびパルス受信が可能です。

(1) 使用するレジスタ

- ・ アシクロナス・シリアル・インタフェース・モード・レジスタ 0 (ASIM0)
- ・ アシクロナス・シリアル・インタフェース・ステータス・レジスタ 0 (ASIS0)
- ・ ボー・レート・ジェネレータ・コントロール・レジスタ 0 (BRGC0)
- ・ ポート・モード・レジスタ 2 (PM2)
- ・ ポート 2 (P2)

(a) アシクロナス・シリアル・インタフェース・モード・レジスタ 0 (ASIM0)

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

アドレス：FFA0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ASIM0	TXE0	RXE0	PS01	PS00	CLO	SLO	ISRM0	IRDAM0

TXE0	RXE0	動作モード	RxD0/P23端子の機能	TxD0/P24端子の機能
0	0	動作停止	ポート機能 (P23)	ポート機能 (P24)
0	1	UARTモード (受信のみ)	シリアル機能 (RxD0)	
1	0	UARTモード (送信のみ)	ポート機能 (P23)	シリアル機能 (TxD0)
1	1	UARTモード (送受信)	シリアル機能 (RxD0)	

PS01	PS00	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時, 常に0パリティ付加 受信時, パリティの検査をしない (パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CLO	キャラクタ長の指定
0	7ビット
1	8ビット

SLO	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRM0	エラー発生時の受信完了割り込み制御
0	エラー発生時, 受信完了割り込み要求を発生する
1	エラー発生時, 受信完了割り込み要求を発生しない

IRDAM0	赤外線データ転送モードの動作の指定 ^{注1}
0	UART (送受信) モード
1	赤外線データ転送 (送受信) モード ^{注2}

注1. UART/赤外線データ転送モードの指定は, TXE0, RXE0により制御されます。

2. 赤外線データ転送モード使用時は, ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) を必ず10Hに設定してください。

注意 ASIM0を同一データ以外に書き換える場合は, いったん動作停止してから書き換えてください。

(b) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)

ASIS0は、8ビット・メモリ操作命令で読み出します。

RESET 入力により、00Hになります。

アドレス：FFA1H リセット時：00H R

略号	7	6	5	4	3	2	1	0
ASIS0	0	0	0	0	0	PE0	FE0	OVE0

PE0	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FE0	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 ^{注1} (ストップ・ビットが検出されないとき)

OVE0	オーバラン・エラー・フラグ
0	オーバラン・エラーなし
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタ0 (RXB0) からデータを読み出す前に 次の受信動作が完了したとき)

注1. アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) のビット2 (SL0) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ0 (RXB0) を読み出すまで、オーバラン・エラーが発生し続けます。

(c) ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)

BRGC0は、8ビット・メモリ操作命令で設定します。

RESET 入力により、00Hになります。

アドレス：FFA2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
BRGC0	0	TPS02	TPS01	TPS00	MDL03	MDL02	MDL01	MDL00

TPS02	TPS01	TPS00	5ビット・カウンタのソース・クロック選択	n
0	0	0	ASCK0への外部クロック入力	0
0	0	1	$fx/2$	1
0	1	0	$fx/2^2$	2
0	1	1	$fx/2^3$	3
1	0	0	$fx/2^4$	4
1	0	1	$fx/2^5$	5
1	1	0	$fx/2^6$	6
1	1	1	$fx/2^7$	7

MDL03	MDL02	MDL01	MDL00	ボー・レート・ジェネレータの出力クロックの選択	k
0	0	0	0	$f_{sck0}/16$	0
0	0	0	1	$f_{sck0}/17$	1
0	0	1	0	$f_{sck0}/18$	2
0	0	1	1	$f_{sck0}/19$	3
0	1	0	0	$f_{sck0}/20$	4
0	1	0	1	$f_{sck0}/21$	5
0	1	1	0	$f_{sck0}/22$	6
0	1	1	1	$f_{sck0}/23$	7
1	0	0	0	$f_{sck0}/24$	8
1	0	0	1	$f_{sck0}/25$	9
1	0	1	0	$f_{sck0}/26$	10
1	0	1	1	$f_{sck0}/27$	11
1	1	0	0	$f_{sck0}/28$	12
1	1	0	1	$f_{sck0}/29$	13
1	1	1	0	$f_{sck0}/30$	14
1	1	1	1	設定禁止	—

注意 1. 通信動作中にBRGC0への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGC0への書き込みを行わないでください。

2. 赤外線データ転送モードで使用するときは、BRGC0に10Hを設定してください。

備考 1. fx : メイン・システム・クロック発振周波数

2. f_{sck0} : 5ビット・カウンタのソース・クロック

3. n : TPS00-TPS02で設定した値 ($0 \leq n \leq 7$)

4. k : MDL00-MDL03で設定した値 ($0 \leq k \leq 14$)

(d) ポート・モード・レジスタ 2 (PM2)

ポート 2 の入力／出力を 1 ビット単位で設定するレジスタです。

P24/TxD0端子をシリアル・データ出力として使用するとき、PM24およびP24の出力ラッチに 0 を設定してください。

P23/RxD0端子をシリアル・データ入力として、P25/ASCK0端子をクロック入力として使用するとき、PM23, PM25に 1 を設定してください。このときP23, P25の出力ラッチは 0 または 1 のどちらでもかまいません。

PM2は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

アドレス：FF22H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	1	1	PM25	PM24	PM23	PM22	PM21	PM20

PM2n	P2n端子の入出力モードの選択 (n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(2) データ・フォーマット

UARTモードのデータ・フォーマットと比較した赤外線データ転送モードのデータ・フォーマットを図16-12に示します。

IRフレームは、スタート・ビット、8個のデータ・ビット、1ビットのストップ・ビットで終わるパルスからなるUARTフレームのビット列に対応します。

また、そのIRフレームで送受信される電気的パルスの長さは、1ビットの周期の3/16になります。1ビット周期の3/16のパルスは、ビット周期の真ん中から立ち上がります (下図参照)。

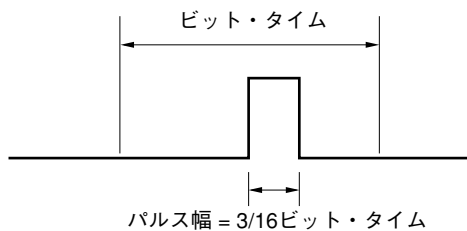
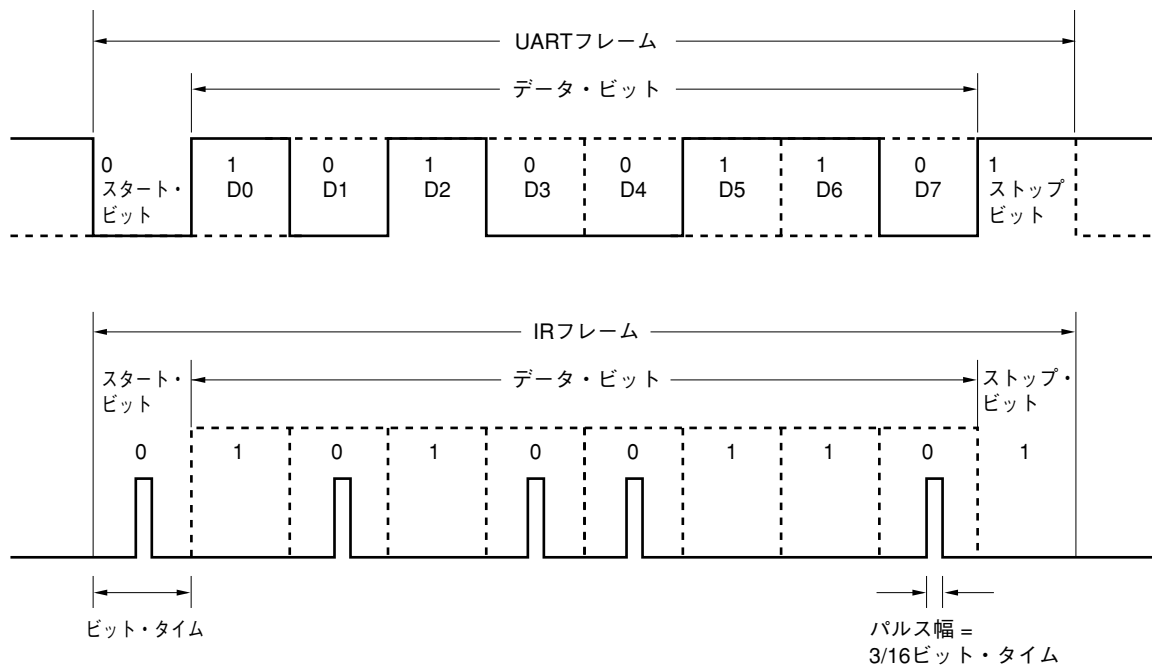


図16-12 赤外線データ転送モードとUARTモードのデータ・フォーマットの比較



(3) メイン・システム・クロックとボー・レートの関係

メイン・システム・クロックとボー・レートの関係を表16-4 に示します。

表16-4 メイン・システム・クロックとボー・レートの関係

	$f_x = 8.3886 \text{ MHz}$	$f_x = 8.000 \text{ MHz}$	$f_x = 7.3728 \text{ MHz}$	$f_x = 5.000 \text{ MHz}$	$f_x = 4.1943 \text{ MHz}$
ボー・レート	131031 bps	125000 bps	115200 bps	78125 bps	65536 bps

(4) ビット・レートとパルス幅

ビット・レート、ビット・レート許容誤差、パルス幅の値を表16-5 に示します。

表16-5 ビット・レートとパルス幅の値

ビット・レート (kbits/s)	ビット・レート許容誤差 (% of bit rate)	パルス幅最小値 (μs) 注2	パルス幅3/16公称値 (μs)	パルス幅最大値 (μs)
115.2注1	+/-0.87	1.41	1.63	2.71

注1. $f_x = 7.3728 \text{ MHz}$ 動作時

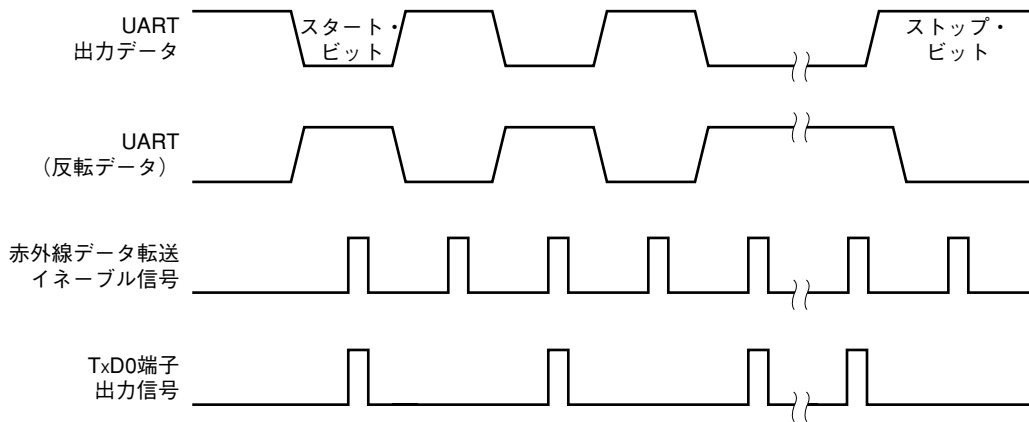
2. デジタル・ノイズ除去回路を1.41 MHz以上の周波数でマイコンに使用した場合。

注意 赤外線データ転送モードで使用するときには、ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) に10Hを設定してください。

備考 f_x : メイン・システム・クロック発振周波数

(5) 入力データと内部信号

・送信動作タイミング



・受信動作タイミング

設定ボー・レートの半分、データの受信が遅れます。

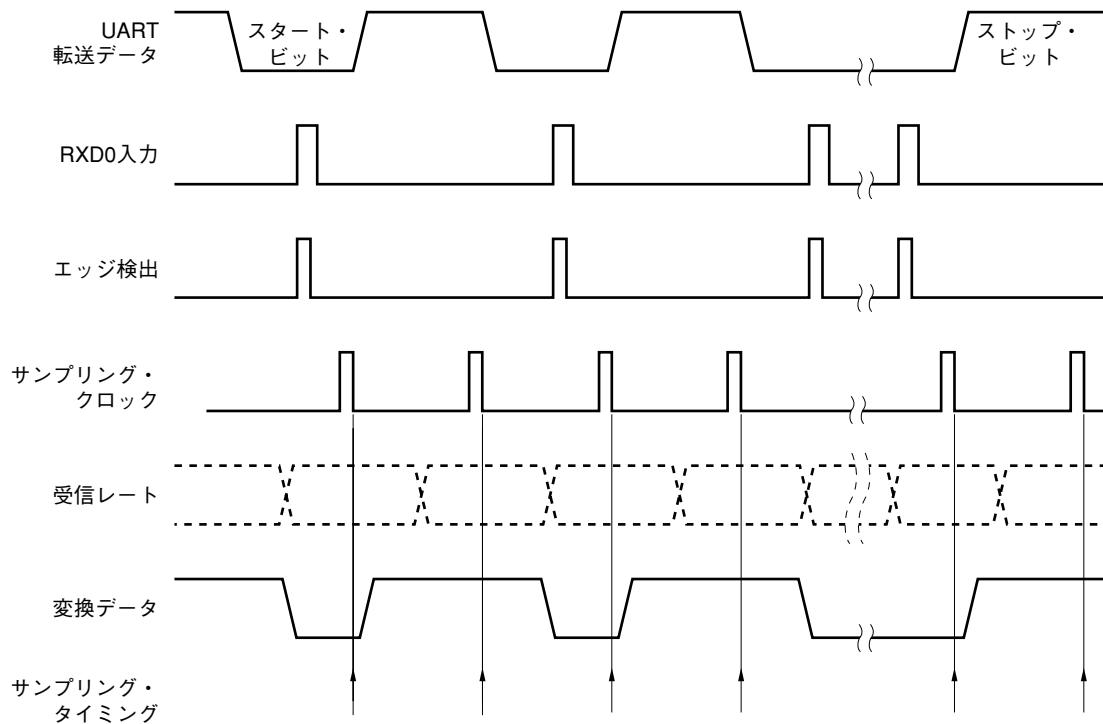


表16-6 レジスタの設定一覧

(1) 動作停止モード

ASIM0								BRGC0							PM23	P23	PM24	P24	端子機能		動作
TXE0	RXE0	PS01	PS00	CL0	SL0	ISRM0	IRDAM0	TPS02	TPS01	TPS00	MDL03	MDL02	MDL01	MDL00					P23/RxD0	P24/TxD0	モード
0	0	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	P23	P24	停止
上記以外																			設定禁止		

(2) アシクロナス・シリアル・インタフェース (UART) モード

ASIM0								BRGC0							PM23	P23	PM24	P24	端子機能		動作
TXE0	RXE0	PS01	PS00	CL0	SL0	ISRM0	IRDAM0	TPS02	TPS01	TPS00	MDL03	MDL02	MDL01	MDL00					P23/RxD0	P24/TxD0	モード
0	1	0/1	0/1	0/1	×	0/1	0	0/1	0/1	0/1	0/1	0/1	0/1	0/1	1	×	×	×	RxD0	P24	受信
1	0	0/1	0/1	0/1	0/1	×	0	0/1	0/1	0/1	0/1	0/1	0/1	0/1	×	×	0	0	P23	TxD0	送信
1	1	0/1	0/1	0/1	0/1	0/1	0	0/1	0/1	0/1	0/1	0/1	0/1	0/1	1	×	0	0	RxD0	TxD0	送受信
上記以外																			設定禁止		

(3) 赤外線データ転送モード

ASIM0								BRGC0							PM23	P23	PM24	P24	端子機能		動作
TXE0	RXE0	PS01	PS00	CL0	SL0	ISRM0	IRDAM0	TPS02	TPS01	TPS00	MDL03	MDL02	MDL01	MDL00					P23/RxD0	P24/TxD0	モード
0	1	0/1	0/1	0/1	×	0/1	1	0	0	1	0	0	0	0	1	×	×	×	RxD0	P24	受信
1	0	0/1	0/1	0/1	0/1	×	1	0	0	1	0	0	0	0	×	×	0	0	P23	TxD0	送信
1	1	0/1	0/1	0/1	0/1	0/1	1	0	0	1	0	0	0	0	1	×	0	0	RxD0	TxD0	送受信
上記以外																			設定禁止		

注意 赤外線データ転送モードを使用する場合、BRGC0レジスタに10Hを設定してください。

備考 ×：don't care, ASIM0：アシクロナス・シリアル・インタフェース・モード・レジスタ0

BRGC0：ポーレート・ジェネレータ・コントロール・レジスタ0, PMXX：ポート・モード・レジスタ, PXX：ポートの出力ラッチ

第17章 シリアル・インタフェースSIO30, SIO31

μ PD780024A, 780034Aサブシリーズは3線式シリアルI/Oモードを2チャンネル(SIO30, SIO31), μ PD780024AY, 780034AYサブシリーズは1チャンネル(SIO30)内蔵しています。

17.1 シリアル・インタフェースSIO30, SIO31の機能

シリアル・インタフェースSIO3nには、次の2種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。詳細については17.4.1 動作停止モードを参照してください。

(2) 3線式シリアルI/Oモード (MSB先頭固定)

シリアル・クロック ($\overline{\text{SCK3n}}$), シリアル出力 (SO3n), シリアル入力 (SI3n) の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

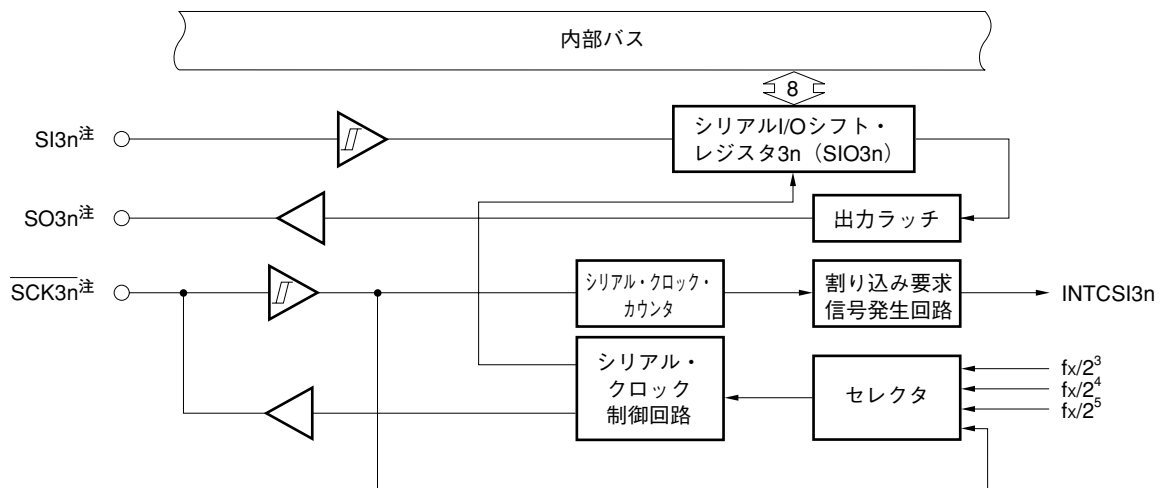
シリアル転送する8ビット・データの先頭ビットは、MSB固定です。

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵するICや表示コントローラなどを接続するときに有効です。詳細については17.4.2 3線式シリアルI/Oモードを参照してください。

図17-1に、シリアル・インタフェースSIO3nのブロック図を示します。

備考 n = 0, 1 : μ PD780024A, 780034Aサブシリーズ
n = 0 : μ PD780024AY, 780034AYサブシリーズ

図17-1 シリアル・インタフェースSIO3nのブロック図



注 SI30, SO30, SCK30端子はP20, P21, P22端子と、SI31, SO31, SCK31端子はP34, P35, P36端子と兼用しています。

17.2 シリアル・インタフェースSIO30, SIO31の構成

シリアル・インタフェースSIO3nは、次のハードウェアで構成されています。

表17-1 シリアル・インタフェースSIO3nの構成

項目	構成
レジスタ	シリアルI/Oシフト・レジスタ3n (SIO3n)
制御レジスタ	シリアル動作モード・レジスタ3n (CSIM3n) ポート・モード・レジスタ2, 3 (PM2, PM3) ポート2, 3 (P2, P3)

(1) シリアルI/Oシフト・レジスタ3n (SIO3n)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信（シフト動作）を行う8ビット・レジスタです。

SIO3nは、8ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタ3n (CSIM3n) のビット7 (CSIE3n) が1のとき、SIO3nにデータを書き込むか、または読み出すことによりシリアル動作が開始されます。

送信時は、SIO3nに書き込まれたデータが、シリアル出力 (SO3n) に出力されます。

受信時は、データがシリアル入力 (SI3n) からSIO3nに読み込まれます。

RESET 入力により、不定になります。

注意 転送動作中のSIO3nアクセスは、転送起動トリガとなるアクセス以外は実行しないでください (MODEn = 0のときリード動作が、MODEn = 1のときはライト動作が禁止となります)。

備考 n = 0, 1 : μ PD780024A, 780034Aサブシリーズ
n = 0 : μ PD780024AY, 780034AYサブシリーズ

17.3 シリアル・インタフェースSIO30, SIO31を制御するレジスタ

シリアル・インタフェースSIO3nは、次の3種類のレジスタで制御します。

- ・シリアル動作モード・レジスタ3n (CSIM3n)
- ・ポート・モード・レジスタ2, 3 (PM2, PM3)
- ・ポート2, 3 (P2, P3)

(1) シリアル動作モード・レジスタ3n (CSIM3n)

シリアル動作モード・レジスタ3n (CSIM3n) は、SIO3nのシリアル・クロック、動作モード、動作の許可/停止を設定するレジスタです。

CSIM3nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

備考 n = 0, 1 : μ PD780024A, 780034Aサブシリーズ
n = 0 : μ PD780024AY, 780034AYサブシリーズ

図17-2 シリアル動作モード・レジスタ30 (CSIM30) のフォーマット

アドレス：FFB0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIM30	CSIE30	0	0	0	0	MODE0	SCL301	SCL300

CSIE30	SIO30の動作許可/禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 ^{注1}
1	動作許可	カウント動作許可	シリアル機能+ ポート機能 ^{注2}

MODE0	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SO30/P21端子の機能
0	送信/送受信モード	SIO30ライト	SO30
1	受信専用モード	SIO30リード	P21 ^{注3}

SCL301	SCL300	クロックの選択		
			fx = 8.38 MHz	fx = 12 MHz ^{注4}
0	0	SCK30への外部クロック入力	—	—
0	1	fx/2 ³	1.04 MHz	1.50 MHz
1	0	fx/2 ⁴	523 kHz	750 kHz
1	1	fx/2 ⁵	261 kHz	375 kHz

- 注1. CSIE30 = 0 (SIO30動作停止状態) のときは、SI30, SO30, SCK30端子を、ポート機能として使用できます。
2. CSIE30 = 1 (SIO30動作許可状態) のときは、送信機能のみ使用する場合はSI30端子、受信専用モード時はSO30端子をそれぞれポート機能として使用できます。
3. MODE0 = 1 (受信専用モード) のときは、SO30端子をポート機能として使用できます。
4. μ PD780024A, 780034Aサブシリーズの拡張規格品のみ。

注意 転送動作中にCSIM30の値を書き換えしないでください。ただし、1ビット・メモリ操作命令により、CSIE30を書き換えることはできます。

備考 fx：メイン・システム・クロック発振周波数

図17-3 シリアル動作モード・レジスタ31 (CSIM31) のフォーマット

アドレス：FFB8H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIM31	CSIE31	0	0	0	0	MODE1	SCL311	SCL310

CSIE31	SIO31の動作許可/禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 ^{注1}
1	動作許可	カウント動作許可	シリアル機能+ ポート機能 ^{注2}

MODE1	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SO31/P35端子の機能
0	送信/送受信モード	SIO31ライト	SO31
1	受信専用モード	SIO31リード	P35 ^{注3}

SCL311	SCL310	クロックの選択		
			$f_x = 8.38 \text{ MHz}$	$f_x = 12 \text{ MHz}$ ^{注4}
0	0	$\overline{\text{SCK31}}$ への外部クロック入力	—	—
0	1	$f_x/2^3$	1.04 MHz	1.50 MHz
1	0	$f_x/2^4$	523 kHz	750 kHz
1	1	$f_x/2^5$	261 kHz	375 kHz

- 注1. CSIE31 = 0 (SIO31動作停止状態) のときは、SI31, SO31, $\overline{\text{SCK31}}$ 端子を、ポート機能として使用できます。
2. CSIE31 = 1 (SIO31動作許可状態) のときは、送信機能のみ使用する場合はSI31端子、受信専用モード時はSO31端子をそれぞれポート機能として使用できます。
3. MODE1 = 1 (受信専用モード) のときは、SO31端子をポート機能として使用できます。
4. μ PD780024A, 780034Aサブシリーズの拡張規格品のみ。

注意 転送動作中にCSIM31の値を書き換えないでください。ただし、1ビット・メモリ操作命令により、CSIE31を書き換えることはできません。

備考 f_x : メイン・システム・クロック発振周波数

(2) ポート・モード・レジスタ 2, 3 (PM2, PM3)

ポート 2, 3 の入力/出力を 1 ビット単位で設定するレジスタです。

P21/SO30, P35/SO31端子をシリアル・データ出力として、P22/SCK30, P36/SCK31端子をクロック出力として使用するとき、PM21, PM35, PM22, PM36およびP21, P35, P22, P36の出力ラッチに 0 を設定してください。

P20/SI30, P34/SI31端子をシリアル・データ入力として、P22/SCK30, P36/SCK31端子をクロック入力として使用するとき、PM20, PM34, PM22, PM36に 1 を設定してください。

このときP20, P34, P22, P36の出力ラッチは 0 または 1 のどちらでもかまいません。

PM2, PM3は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図17-4 ポート・モード・レジスタ 2 (PM2) のフォーマット

アドレス：FF22H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	1	1	PM25	PM24	PM23	PM22	PM21	PM20

PM2n	P2n端子の入出力モードの選択 (n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

図17-5 ポート・モード・レジスタ 3 (PM3) のフォーマット

アドレス：FF23H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	PM36	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-6)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

17.4 シリアル・インタフェースSIO30, SIO31の動作

シリアル・インタフェースSIO3nの持つ2種類のモードについて説明します。

17.4.1 動作停止モード

動作停止モードではシリアル転送を行いませんので、消費電力を低減できます。

また、動作停止モードでは、端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ3n (CSIM3n) で行います。

CSIM3nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

アドレス：FFB0H (SIO30) , FFB8H (SIO31) リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIM3n	CSIE3n	0	0	0	0	MODEn	SCL3n1	SCL3n0

CSIE3n	SIO3nの動作許可/禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 ^注

注 CSIE3n = 0 (SIO3n動作停止状態) のときは、SI3n, SO3n, $\overline{\text{SCK3n}}$ 端子は、ポート機能として使用できます。

備考 n = 0, 1

17.4.2 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

シリアル・クロック ($\overline{\text{SCK3n}}$)、シリアル出力 (SO3n)、シリアル入力 (SI3n) の3本のラインで通信を行います。

(1) 使用するレジスタ

- ・シリアル動作モード・レジスタ3n (CSIM3n)
- ・ポート・モード・レジスタ2, 3 (PM2, PM3)
- ・ポート2, 3 (P2, P3)

(a) シリアル動作モード・レジスタ3 (CSIM3n)

CSIM3nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

アドレス：FFB0H (SIO30)、FFB8H (SIO31) リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIM3n	CSIE3n	0	0	0	0	MODEn	SCL3n1	SCL3n0

CSIE3n	SIO3nの動作許可/禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 ^{注1}
1	動作許可	カウント動作許可	シリアル機能+ ポート機能 ^{注2}

MODEn	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SO3n端子の機能
0	送信/送受信モード	SIO3nライト	SO3n
1	受信専用モード	SIO3nリード	ポート機能 ^{注3}

SCL3n1	SCL3n0	クロックの選択		
			$f_x = 8.38 \text{ MHz}$	$f_x = 12 \text{ MHz}$ ^{注4}
0	0	$\overline{\text{SCK3n}}$ への外部クロック入力	—	—
0	1	$f_x/2^3$	1.04 MHz	1.50 MHz
1	0	$f_x/2^4$	523 kHz	750 kHz
1	1	$f_x/2^5$	261 kHz	375 kHz

注1. CSIE3n = 0 (SIO3n動作停止状態) のときは、SI3n, SO3n, $\overline{\text{SCK3n}}$ 端子を、ポート機能として使用できます。

2. CSIE3n = 1 (SIO3n動作許可状態) のときは、送信機能のみ使用する場合はSI3n端子、受信専用モード時はSO3n端子をそれぞれポート機能として使用できます。

3. MODEn = 1 (受信専用モード) のときは、SO3n端子をポート機能として使用できます。

4. μ PD780024A, 780034Aサブシリーズの拡張規格品のみ。

注意 転送動作中にCSIM3nの値を書き換えないでください。ただし、1ビット・メモリ操作命令により、CSIE3nを書き換えることはできません。

備考1. fx: メイン・システム・クロック発振周波数

2. n=0, 1: μ PD780024A, 780034Aサブシリーズ

n=0 : μ PD780024AY, 780034AYサブシリーズ

(b) ポート・モード・レジスタ 2, 3 (PM2, PM3)

ポート 2, 3 の入力/出力を 1 ビット単位で設定するレジスタです。

P21/SO30, P35/SO31端子をシリアル・データ出力として、P22/SCK30, P36/SCK31端子をクロック出力として使用するとき、PM21, PM35, PM22, PM36およびP21, P35, P22, P36の出力ラッチに 0 を設定してください。

P20/SI30, P34/SI31端子をシリアル・データ入力として、P22/SCK30, P36/SCK31端子をクロック入力として使用するとき、PM20, PM34, PM22, PM36に 1 を設定してください。

このときP20, P34, P22, P36の出力ラッチは 0 または 1 のどちらでもかまいません。

PM2, PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

アドレス: FF22H リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	1	1	PM25	PM24	PM23	PM22	PM21	PM20

PM2n	P2n端子の入出力モードの選択 (n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

アドレス: FF23H リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	PM36	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-6)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(2) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ3n (SIO3n) に転送データをセットする (またはリードする) ことで開始します。

〈転送スタート条件〉

- ・ SIO3nの動作制御ビット (CSIE3n) = 1
- ・ 8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または $\overline{\text{SCK3n}}$ がハイ・レベルの状態

〈転送スタート・タイミング〉

- ・ 送信/送受信モード (MODEn = 0)
SIO3nのライトで転送スタート
- ・ 受信専用モード (MODEn = 1)
SIO3nのリードで転送スタート

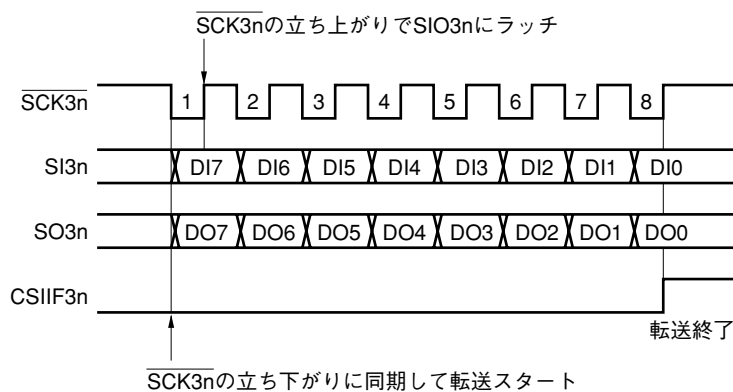
注意 SIO3nにデータを書き込んだあと、CSIE3nを“1”にしても転送はスタートしません。

(3) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアルI/Oシフト・レジスタ3n (SIO3n) のシフト動作は、シリアル・クロックの立ち下がりに同期して行われます。そして、送信データがSO3nラッチに保持され、SO3n端子から出力されます。また、シリアル・クロックの立ち上がりで、SI3n端子に入力された受信データがSIO3nにラッチされます。

図17-6 3線式シリアルI/Oモードのタイミング



(4) 転送終了

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (CSIF3n) がセットされます。

備考 n = 0, 1 : μ PD780024A, 780034Aサブシリーズ
 n = 0 : μ PD780024AY, 780034AYサブシリーズ

表17-2 レジスタの設定一覧 (1/2)

(1) 動作停止モード

・シリアル・インタフェースSIO30

CSIM30				PM20	P20	PM21	P21	PM22	P22	端子機能			動作モード
CSIE30	MODE0	SCL301	SCL300							P20/SI30	P21/SO30	P22/SCK30	
0	×	×	×	×	×	×	×	×	×	P20	P21	P22	停止
上記以外										設定禁止			

・シリアル・インタフェースSIO31

CSIM31				PM34	P34	PM35	P35	PM36	P36	端子機能			動作モード
CSIE31	MODE1	SCL311	SCL310							P34/SI31	P35/SO31	P36/SCK31	
0	×	×	×	×	×	×	×	×	×	P34	P35	P36	停止
上記以外										設定禁止			

備考 ×：don't care, CSIM30, CSIM31：シリアル動作モード・レジスタ30, 31, PM××：ポート・モード・レジスタ, P××：ポートの出力ラッチ

表17-2 レジスタの設定一覧 (2/2)

(2) 3線式シリアルI/Oモード

・シリアル・インタフェースSIO31

CSIM30				PM20	P20	PM21	P21	PM22	P22	端子機能			動作モード
CSIE30	MODE0	SCL301	SCL300							P20/SI30	P21/SO30	P22/SCK30	
1	1	0	0	1	×	×	×	1	×	SI30	P21	SCK30入力	スレーブ受信
1	0	0	0	1	×	0	0	1	×	SI30 ^注	SO30	SCK30入力	スレーブ送信/送受信
1	1	上記以外		1	×	×	×	0	0	SI30	P21	SCK30出力	マスタ受信
1	0	上記以外		1	×	0	0	0	0	SI30 ^注	SO30	SCK30出力	マスタ送信/送受信
上記以外										設定禁止			

・シリアル・インタフェースSIO31

CSIM31				PM34	P34	PM35	P35	PM36	P36	端子機能			動作モード
CSIE31	MODE1	SCL311	SCL310							P21/SI31	P21/SO31	P22/SCK31	
1	1	0	0	1	×	×	×	1	×	SI31	P35	SCK31入力	スレーブ受信
1	0	0	0	1	×	0	0	1	×	SI31 ^注	SO31	SCK31入力	スレーブ送信/送受信
1	1	上記以外		1	×	×	×	0	0	SI31	P35	SCK31出力	マスタ受信
1	0	上記以外		1	×	0	0	0	0	SI31 ^注	SO31	SCK31出力	マスタ送信/送受信
上記以外										設定禁止			

注 送信のみ使用する場合は、P20, P34として使用できます。

備考 ×：don't care, CSIM30, CSIM31：シリアル動作モード・レジスタ30, 31, PM××：ポート・モード・レジスタ, P××：ポートの出力ラッチ

第18章 シリアル・インタフェースIIC0 (μ PD780024AY, 780034AYサブシリーズのみ)

18.1 シリアル・インタフェースIIC0の機能

シリアル・インタフェースIIC0には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード (マルチマスタ対応)

シリアル・クロック (SCL0) とシリアル・データ・バス (SDA0) の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。

転送レートは次のようになります。

・97.5 kHz (標準モード) または350 kHz (高速モード) : $f_x = 8.38$ MHz動作時

I²Cバス・フォーマットに準拠しており、送信時、シリアル・データ・バス上に“スタート・コンディション”、“データ”および“ストップ・コンディション”を出力できます。また、受信時には、これらのデータをハードウェアにより自動的に検出します。

IIC0では、SCL0とSDA0はオープン・ドレイン出力になっているため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

図18-1に、シリアル・インタフェースIIC0のブロック図を示します。

図18-1 シリアル・インタフェースIIC0のブロック図

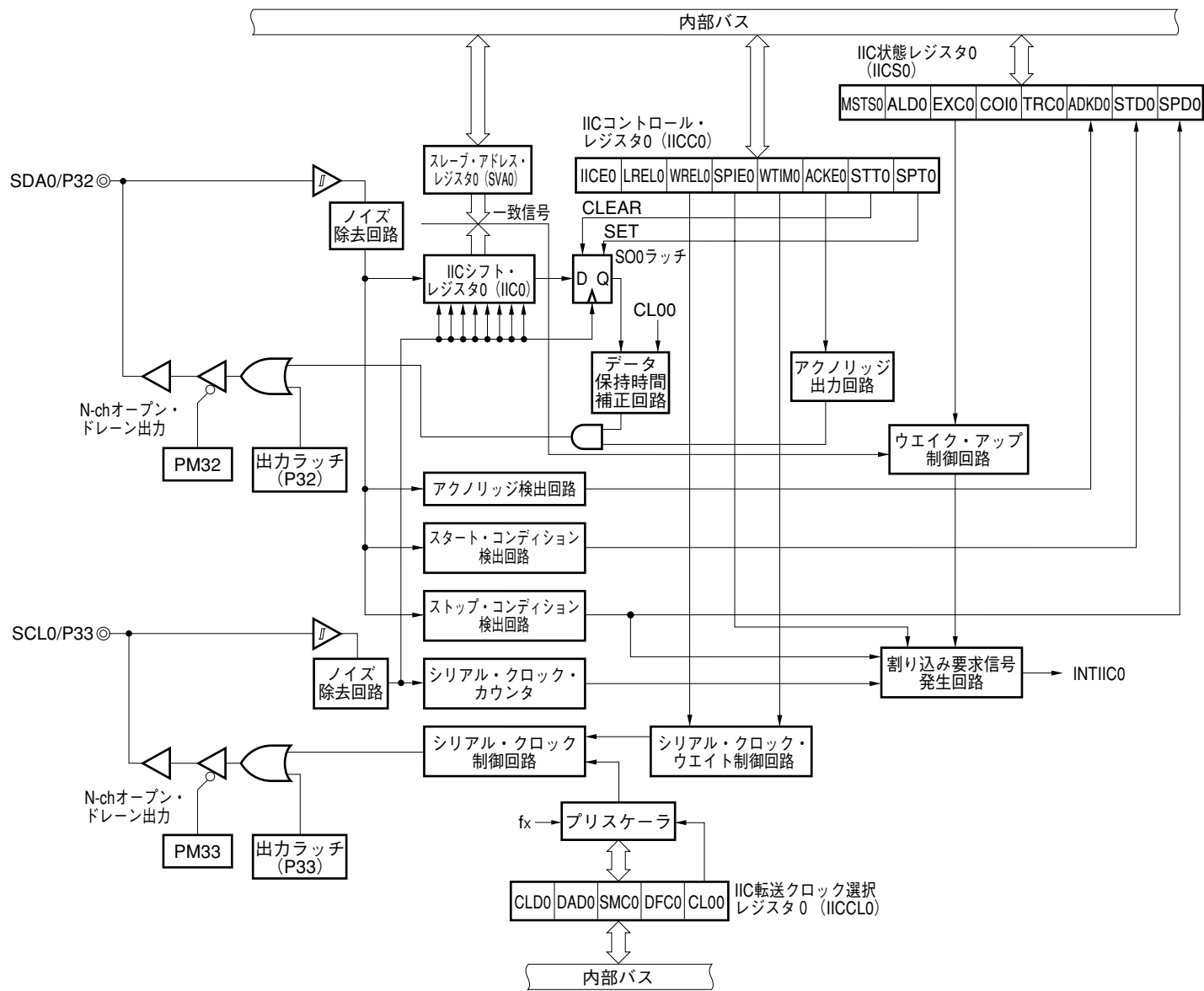
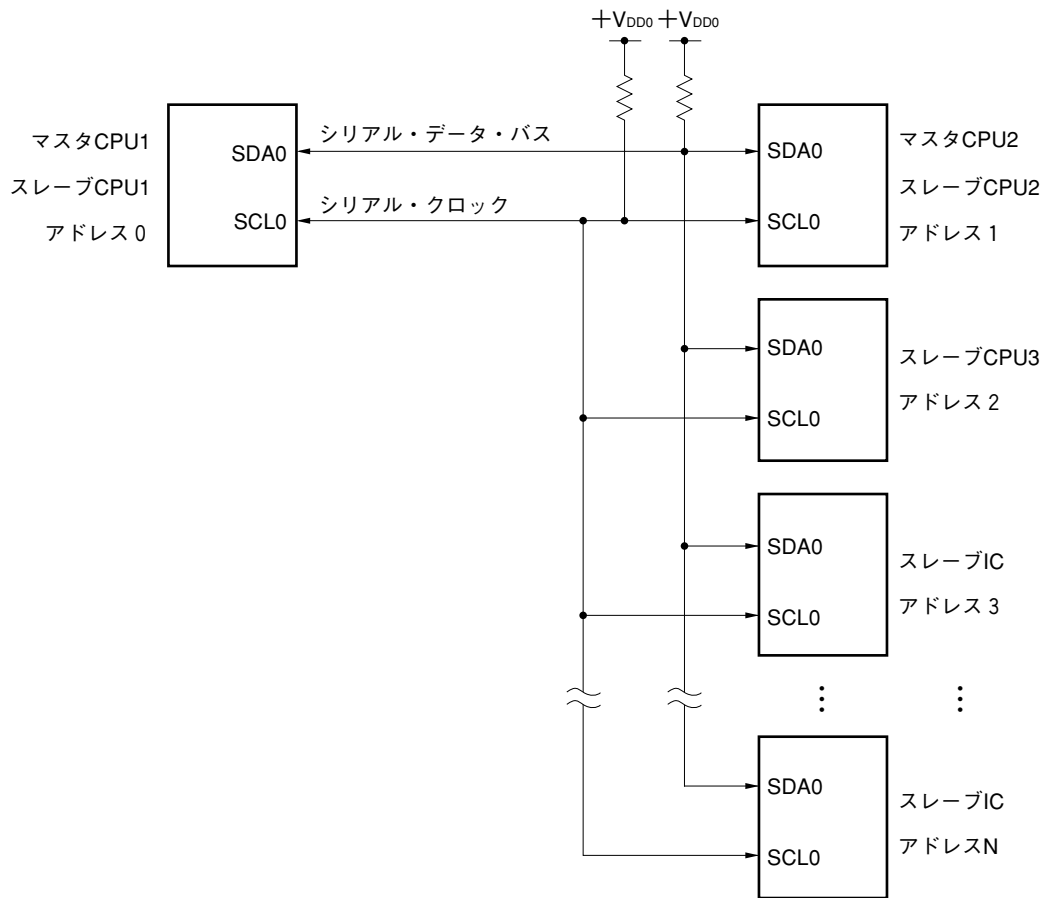


図18-2 にシリアル・バス構成例を示します。

図18-2 I²Cバスによるシリアル・バス構成例



18.2 シリアル・インタフェースIIC0の構成

シリアル・インタフェースIIC0は、次のハードウェアで構成されています。

表18-1 シリアル・インタフェースIIC0の構成

項目	構成
レジスタ	IICシフト・レジスタ0 (IIC0) スレーブ・アドレス・レジスタ0 (SVA0)
制御レジスタ	IICコントロール・レジスタ0 (IIC0) IIC状態レジスタ0 (IICS0) IIC転送クロック選択レジスタ0 (IICCL0) ポート・モード・レジスタ3 (PM3) ポート3 (P3)

(1) IICシフト・レジスタ0 (IIC0)

IIC0は、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IIC0は送信および受信の両方に使用されます。

IIC0に対する書き込み/読み出しにより、実際の送受信動作が制御されます。

IIC0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図18-3 IICシフト・レジスタ0 (IIC0) のフォーマット

アドレス：FF1FH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IIC0								

注意 データ転送中はIIC0にデータを書き込まないでください。

(2) スレーブ・アドレス・レジスタ0 (SVA0)

スレーブとして使用する場合に、自局アドレスを設定するレジスタです。

SVA0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図18-4 スレーブ・アドレス・レジスタ0 (SVA0) のフォーマット

アドレス：FFABH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
SVA0								0注

注 ビット0は0固定です。

18.3 シリアル・インタフェースIIC0を制御するレジスタ

シリアル・インタフェースIIC0は、次の5種類のレジスタで制御します。

- ・ IICコントロール・レジスタ 0 (IICC0)
- ・ IIC状態レジスタ 0 (IICS0)
- ・ IIC転送クロック選択レジスタ 0 (IICCL0)
- ・ ポート・モード・レジスタ 3 (PM3)
- ・ ポート 3 (P3)

(1) IICコントロール・レジスタ 0 (IICC0)

I²Cの動作許可/停止、ウェイト・タイミングの設定、その他I²Cの動作を設定するレジスタです。

IICC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図18-5 IICコントロール・レジスタ0 (IICC0) のフォーマット (1/4)

アドレス：FFA8H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IICC0	IICE0	LRELO	WRELO	SPIE0	WTIM0	ACKE0	STT0	SPT0

IICE0	I ² Cの動作許可
0	動作停止。IIC状態レジスタ0 (IICS0) をリセット。内部動作も停止。
1	動作許可。
クリアされる条件 (IICE0 = 0)	
・ 命令によるクリア	・ 命令によるセット
・ $\overline{\text{RESET}}$ 入力時	
セットされる条件 (IICE0 = 1)	

LRELO	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的にクリアされる。 自局に関係ない拡張コードを受信したときなどに使用する。 SCL0, SDA0ラインはハイ・インピーダンス状態になる。 IIC状態レジスタ0 (IICS0) , IICコントロール・レジスタ0 (IICC0) のうち、次のフラグがクリアされる。 ・ STD0 ・ ACKD0 ・ TRC0 ・ COI0 ・ EXC0 ・ MST0 ・ STT0 ・ SPT0
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。	
・ ストップ・コンディション検出後、マスタとしての起動	
・ スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件 (LRELO = 0) 注	
・ 実行後、自動的にクリア	・ 命令によるセット
・ $\overline{\text{RESET}}$ 入力時	
セットされる条件 (LRELO = 1)	

WRELO	ウェイト解除
0	ウェイトを解除しない。
1	ウェイトを解除する。ウェイト解除後、自動的にクリアされる。
送信状態 (TRC0 = 1) で、9クロック目のウェイト期間中にWRELOをセット (ウェイトを解除) した場合、SDA0ラインをハイ・インピーダンス (TRC0 = 0) にします。	
クリアされる条件 (WRELO = 0) 注	
・ 実行後、自動的にクリア	・ 命令によるセット
・ $\overline{\text{RESET}}$ 入力時	
セットされる条件 (WRELO = 1)	

SPIE0	ストップ・コンディション検出による割り込み要求発生の許可/禁止
0	禁止
1	許可
クリアされる条件 (SPIE0 = 0) 注	
・ 命令によるクリア	・ 命令によるセット
・ $\overline{\text{RESET}}$ 入力時	
セットされる条件 (SPIE0 = 1)	

注 IICE0 = 0により、このフラグの信号を無効にします。

図18-5 IICコントロール・レジスタ0 (IICC0) のフォーマット (2/4)

WTIMO	ウエイトおよび割り込み要求発生制御	
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままウエイト スレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをウエイト	
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままウエイト スレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをウエイト	
アドレス転送中はこのビットの設定は無効になり、転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにウエイトが入ります。自局アドレスを受信したスレーブは、アクノリッジ発生後の9クロック目の立ち下がりウエイトに入ります。拡張コードを受信したスレーブは、8クロック目の立ち下がりウエイトに入ります。		
クリアされる条件 (WTIMO = 0) 注		セットされる条件 (WTIMO = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ $\overline{\text{RESET}}$ 入力時 		<ul style="list-style-type: none"> ・ 命令によるセット

ACKE0	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDA0ラインをロウ・レベルにする。ただし、アドレス転送中は無効、EXC0 = 1の場合は有効。	
クリアされる条件 (ACKE0 = 0) 注		セットされる条件 (ACKE0 = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ $\overline{\text{RESET}}$ 入力時 		<ul style="list-style-type: none"> ・ 命令によるセット

注 IICE0 = 0により、このフラグの信号を無効にします。

図18-5 IICコントロール・レジスタ0 (IICC0) のフォーマット (3/4)

STT0	スタート・コンディション・トリガ	
0	スタート・コンディションを生成しない。	
1	<p>バスが解放されているとき (ストップ状態) :</p> <p>スタート・コンディションを生成する (マスタとしての起動)。SDA0ラインをハイ・レベルからロウ・レベルに変化させ、スタート・コンディションを生成する。そのあと、規格の時間を確保し、SCL0をロウ・レベルにする。</p> <p>バスに参加していないとき :</p> <p>スタート・コンディション予約フラグとして機能。セットされると、バスが解放されたあと自動的にスタート・コンディションを生成する。</p> <p>ウエイト状態 (マスタ時) :</p> <p>ウエイトを解除してリスタート・コンディションを生成する。</p>	
<p>セット・タイミングに関する注意</p> <ul style="list-style-type: none"> マスタ受信の場合：転送中のセットは禁止です。ACKE0 = 0 に設定し、受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット可能です。 マスタ送信の場合：ACK期間中は、正常にスタート・コンディションが生成されないことがあります。ウエイト期間中にセットしてください。 SPT0と同時セットすることは禁止です。 		
クリアされる条件 (STT0 = 0)		セットされる条件 (STT0 = 1)
<ul style="list-style-type: none"> アービトレーションに負けたとき マスタでのスタート・コンディション生成後クリア LREL0 = 1 (通信退避) によるクリア IICE0 = 0 (動作停止) のとき RESET 入力時 		<ul style="list-style-type: none"> 命令によるセット

備考 ビット1 (STT0) は、データ設定後に読み出すと0になっています。

図18-5 IICコントロール・レジスタ0 (IICC0) のフォーマット (4/4)

SPT0	ストップ・コンディション・トリガ	
0	ストップ・コンディションを生成しない。	
1	ストップ・コンディションを生成する（マスタとしての転送終了）。 SDA0ラインをロウ・レベルにしたあと、SCL0ラインをハイ・レベルにするか、またはSCL0がハイ・レベルになるのを待つ。そのあと、規格の時間を確保し、SDA0ラインをロウ・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成する。	
<p>セット・タイミングに関する注意</p> <ul style="list-style-type: none"> マスタ受信の場合：転送中のセットは禁止です。 ACKE0 = 0に設定し、受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット可能です。 マスタ送信の場合：ACK0期間中は、正常にストップ・コンディションが生成されないことがあります。ウエイト期間中にセットしてください。 STT0と同時にセットすることは禁止です。 SPT0のセットは、マスタのときのみ行ってください。^注 WTIM0 = 0設定時に、8クロック出力後のウエイト期間中にSPT0をセットすると、ウエイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。 9クロック目を出力する必要がある場合には、8クロック出力後のウエイト期間中にWTIM0 = 0→1に設定し、9クロック目出力後のウエイト期間中にSPT0をセットしてください。 		
クリアされる条件 (SPT0 = 0)		セットされる条件 (SPT0 = 1)
<ul style="list-style-type: none"> アービトレーションに負けたとき ストップ・コンディション検出後、自動的にクリア LRELO = 1 (通信退避) によるクリア IICE0 = 0 (動作停止) のとき RESET入力時 		<ul style="list-style-type: none"> 命令によるセット

注 SPT0のセットは、マスタのときのみ行ってください。ただし、動作許可後最初のストップ・コンディションを検出するまでにマスタ動作を行うには、一度SPT0をセットしてストップ・コンディションを生成する必要があります。詳細は、18.5.14 その他の注意事項を参照してください。

注意 IIC状態レジスタ0 (IICS0)のビット3 (TRC0) = 1のとき、9クロック目にWRELOをセットしてウエイト解除すると、TRC0をクリアしてSDA0ラインをハイ・インピーダンスにします。

備考 ビット0 (SPT0) は、データ設定後に読み出すと0になっています。

(2) IIC状態レジスタ0 (IICS0)

IICのステータスを表すレジスタです。

IICS0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図18-6 IIC状態レジスタ0 (IICS0) のフォーマット (1/3)

アドレス：FFA9H リセット時：00H R

略号	7	6	5	4	3	2	1	0
IICS0	MSTS0	ALD0	EXC0	COI0	TRC0	ACKD0	STD0	SPD0

MSTS0	マスタの状態	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件 (MSTS0 = 0)		
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・ALD0 = 1 (アービトレーション負け) のとき ・LRELO = 1 (通信退避) によるクリア ・IICE0 = 1→0 (動作停止) のとき ・$\overline{\text{RESET}}$ 入力時 		
セットされる条件 (MSTS0 = 1)		
<ul style="list-style-type: none"> ・スタート・コンディション生成時 		

ALD0	アービトレーション負け検出	
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTS0がクリアされる。	
クリアされる条件 (ALD0 = 0)		
<ul style="list-style-type: none"> ・IICS0読み出し後、自動的にクリア^注 ・IICE0 = 1→0 (動作停止) のとき ・$\overline{\text{RESET}}$ 入力時 		
セットされる条件 (ALD0 = 1)		
<ul style="list-style-type: none"> ・アービトレーションに負けたとき 		

EXC0	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信。	
クリアされる条件 (EXC0 = 0)		
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELO = 1 (通信退避) によるクリア ・IICE0 = 1→0 (動作停止) のとき ・$\overline{\text{RESET}}$ 入力時 		
セットされる条件 (EXC0 = 1)		
<ul style="list-style-type: none"> ・受信したアドレス・データの上位4ビットが“0000”または“1111”のとき (8クロック目の立ち上がりでセット) 		

注 IICS0のほかのビットに対しビット操作命令を実行した場合もクリアされます。

備考 LRELO：IICコントロール・レジスタ0 (IICC0) のビット6

IICE0：〃 のビット7

(3) IIC転送クロック選択レジスタ0 (IICCL0)

IICの転送クロックを設定するレジスタです。

IICCL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET 入力により、00Hになります。

図18-7 IIC転送クロック選択レジスタ0 (IICCL0) のフォーマット (1/2)

アドレス：FFAAH リセット時：00H R/W^注

略号	7	6	5	4	3	2	1	0
IICCL0	0	0	CLD0	DAD0	SMC0	DFC0	0	CL00

CLD0	SCL0ラインのレベル検出 (IICE0 = 1のときのみ有効)	
0	SCL0ラインがロウ・レベルであることを検出	
1	SCL0ラインがハイ・レベルであることを検出	
クリアされる条件 (CLD0 = 0)		セットされる条件 (CLD0 = 1)
<ul style="list-style-type: none"> ・ SCL0ラインがロウ・レベルのとき ・ IICE0 = 0 (動作停止) のとき ・ RESET 入力時 		<ul style="list-style-type: none"> ・ SCL0ラインがハイ・レベルのとき

DAD0	SDA0ラインのレベル検出 (IICE0 = 1のときのみ有効)	
0	SDA0ラインがロウ・レベルであることを検出	
1	SDA0ラインがハイ・レベルであることを検出	
クリアされる条件 (DAD0 = 0)		セットされる条件 (DAD0 = 1)
<ul style="list-style-type: none"> ・ SDA0ラインがロウ・レベルのとき ・ IICE0 = 0 (動作停止) のとき ・ RESET 入力時 		<ul style="list-style-type: none"> ・ SDA0ラインがハイ・レベルのとき

SMC0	動作モードの切り替え	
0	標準モードで動作	
1	高速モードで動作	
クリアされる条件 (SMC0 = 0)		セットされる条件 (SMC0 = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ RESET 入力時 		<ul style="list-style-type: none"> ・ 命令によるセット

注 ビット4, 5はRead Onlyです。

備考 IICE0 : IICコントロール・レジスタ0 (IICC0) のビット7

図18-7 IIC転送クロック選択レジスタ0 (IICCL0) のフォーマット (2/2)

DFC0	デジタル・フィルタの動作の制御 ^{注1}			
0	デジタル・フィルタ・オフ			
1	デジタル・フィルタ・オン			

CL00	転送レートの選択			
	標準モード		高速モード	
		$f_x = 8.38 \text{ MHz}$		$f_x = 8.38 \text{ MHz}$
0	$f_x/44$	190.4 kHz ^{注2}	$f_x/24$	350 kHz
1	$f_x/86$	97.5 kHz		

注1. デジタル・フィルタは高速モード時に使用できます。デジタル・フィルタを使用すると反応は遅くなります。

2. 標準モード時の転送レートは、100 kHzを越える場合、設定禁止です。

注意 CL00を同一値以外に書き換える場合は、いったんシリアル転送を停止させたのちに行ってください。

備考1. f_x : メイン・システム・クロック発振周波数

2. 高速モード時はDFC0のオン/オフにより、転送クロックが変化することはありません。

(4) ポート・モード・レジスタ3 (PM3)

ポート3の入力/出力を1ビット単位で設定するレジスタです。

P32/SDA0端子をシリアル・データ入出力として、P33/SCL0端子をクロック入出力として使用するとき、PM32, PM33およびP32, P33の出カラッチに0を設定してください。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図18-8 ポート・モード・レジスタ3 (PM3) のフォーマット

アドレス: FF23H リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	PM36	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-6)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

18.4 I²Cバス・モードの機能

18.4.1 端子構成

シリアル・クロック端子 (SCL0) と、シリアル・データ・バス端子 (SDA0) の構成は、次のようになっています。

(1) SCL0……シリアル・クロックを入出力するための端子。

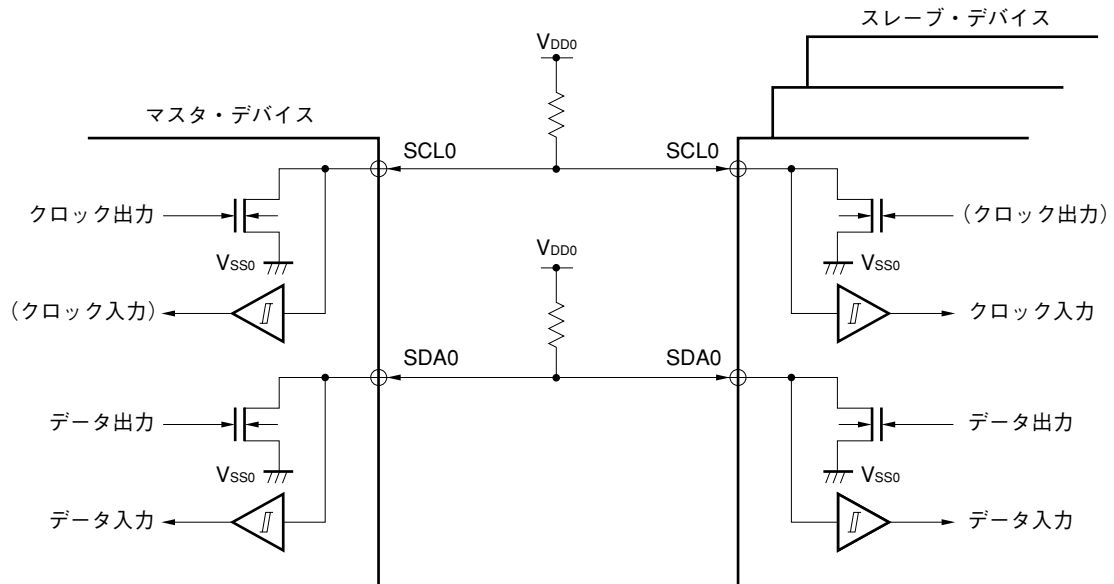
マスタ、スレーブともに出力はN-chオープン・ドレイン。入力は、シュミット入力。

(2) SDA0……シリアル・データの入出力兼用端子。

マスタ、スレーブともに出力はN-chオープン・ドレイン。入力は、シュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図18-9 端子構成図

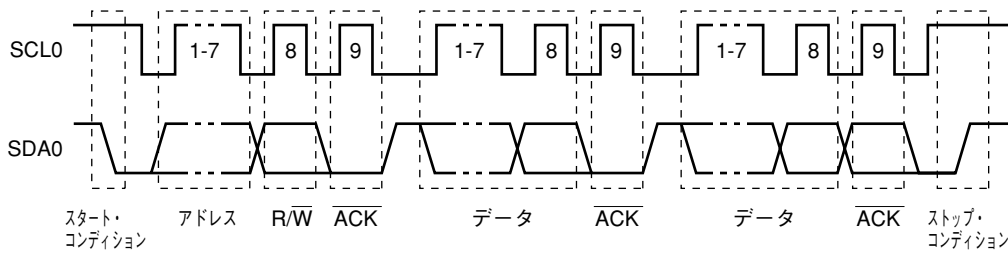


18.5 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に出力されている“スタート・コンディション”，“データ” および “ストップ・コンディション” の各転送タイミングを図18-10に示します。

図18-10 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが出力します。

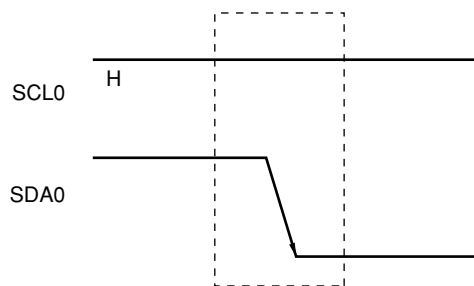
アクノリッジ信号（ $\overline{\text{ACK}}$ ）は，マスタ，スレーブのどちらでも出力できます（通常，8ビット・データの受信側が出力します）。

シリアル・クロック（SCL0）は，マスタが出力し続けます。ただし，スレーブはSCL0のロウ・レベル期間を延長し，ウェイトを挿入できます。

18.5.1 スタート・コンディション

SCL0端子がハイ・レベルのときに，SDA0端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL0端子，SDA0端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに出力する信号です。スレーブとして使用する場合は，スタート・コンディションを検出できます。

図18-11 スタート・コンディション



スタート・コンディションは，ストップ・コンディション検出状態（SPD0：IIC状態レジスタ0（IICS0）のビット0 = 1）のときにIICコントロール・レジスタ0（IICC0）のビット1（STT0）をセット（1）すると出力されます。また，スタート・コンディションを検出すると，IICS0のビット1（STD0）がセット（1）されます。

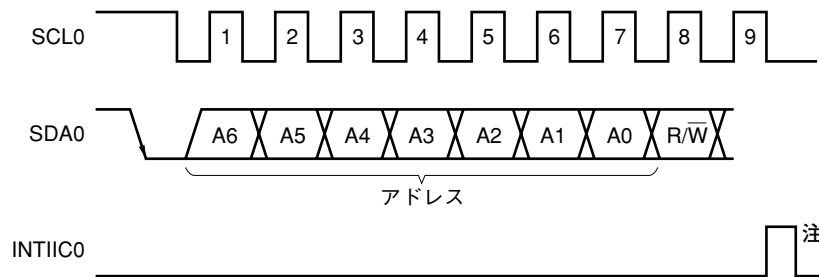
18.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ0 (SVA0) と一致しているかを調べます。このとき、7ビット・データとSVA0の値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを送信するまでマスタとの通信を行います。

図18-12 アドレス



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIIC0は発生しません。

アドレスは、スレーブのアドレスと18.5.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICシフトレジスタ0 (IIC0) に書き込むと出力します。また、受信したアドレスはIIC0に書き込まれます。

なお、スレーブのアドレスは、IIC0の上位7ビットに割り当てられます。

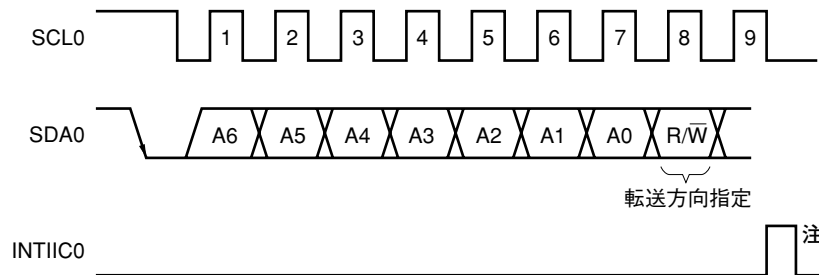
18.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて転送方向を指定するため、1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。

また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図18-13 転送方向指定



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIIC0は発生しません。

18.5.4 アクノリッジ信号 (ACK)

アクノリッジ信号 ($\overline{\text{ACK}}$) は、送信側と受信側における、シリアル・データ受信の確認のための信号です。

受信側は、8ビット・データを受信するごとにアクノリッジ信号を返します。送信側は、通常、8ビット・データ送信後、アクノリッジ信号を受信します。ただし、マスタが受信の場合、最終データを受信したときはアクノリッジ信号を出力しません。送信側は、8ビット送信後、受信側からアクノリッジ信号が返されたかを検出します。アクノリッジ信号が返されたとき、受信が正しく行われたものとして処理を続けます。また、スレーブからアクノリッジ信号が返らないとき、マスタは、ストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジ信号が返らない場合、次の2つの要因が考えられます。

- ① 受信が正しく行われていない。
- ② 最終データの受信が終わっている。

受信側が9クロック目にSDA0ラインをロウ・レベルにすると、アクノリッジ信号がアクティブになります（正常受信返答）。

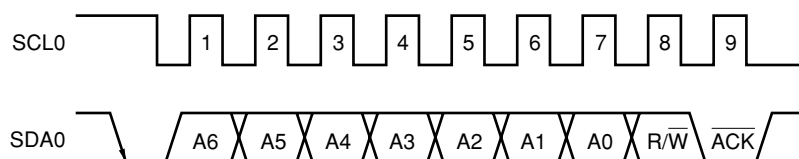
IICコントロール・レジスタ0 (IICC0) のビット2 (ACKE0) = 1でアクノリッジ信号自動発生許可状態になります。

7ビットのアドレス情報に続く8ビット目のデータによりIIC状態レジスタ0 (IICS0) のビット3 (TRC0) が設定されます。TRC0ビットの値が“0”の場合は受信状態なので、ACKE0 = 1にしてください。

スレーブ受信動作時 (TRC0 = 0)、スレーブ側が複数バイトを受信し、次のデータを必要としない場合は、ACKE0 = 0にすると、マスタ側が次の転送を開始しないようになります。

同様に、マスタ受信動作時 (TRC0 = 0) も次のデータを必要とせず、リスタート・コンディションまたはストップ・コンディションを出力したい場合、 $\overline{\text{ACK}}$ 信号を発生しないようにACKE0 = 0にしてください。これは、スレーブ送信動作中に、SDA0ラインにデータのMSBデータを出力しないようにするためです（送信停止）。

図18-14 アクノリッジ信号



自局アドレス受信時は、ACKE0の値にかかわらずSCL0の8クロック目の立ち下がりに同期してアクノリッジ信号を自動出力し、自局アドレス以外の受信時は、アクノリッジ信号を出力しません。

データ受信時のアクノリッジ信号の出力方法は、ウェイト・タイミングの設定により次のようになります。

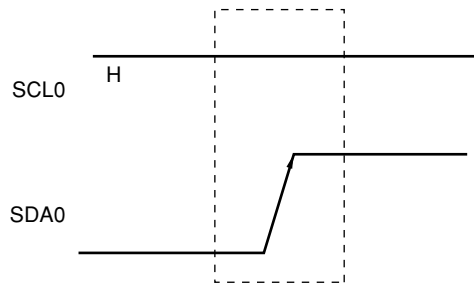
- ・ 8クロック・ウェイト選択時：ウェイトを解除する前にACKE0 = 1とすることでアクノリッジ信号を出力します。 (WTIM0 = 0)
- ・ 9クロック・ウェイト選択時：あらかじめACKE0 = 1とすることでSCL0の8クロック目の立ち下がりに同期してアクノリッジ信号を自動出力します。 (WTIM0 = 1)

18.5.5 ストップ・コンディション

SCL0端子がハイ・レベルのときに、SDA0端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに出力する信号です。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図18-15 ストップ・コンディション



ストップ・コンディションは、IICコントロール・レジスタ0 (IICC0) のビット0 (SPT0) をセット (1) すると発生します。また、ストップ・コンディションを検出するとIIC状態レジスタ0 (IICS0) のビット0 (SPD0) がセット (1) され、IICC0のビット4 (SPIE0) がセット (1) されている場合にはINTIIC0が発生します。

18.5.6 ウェイト信号 (WAIT)

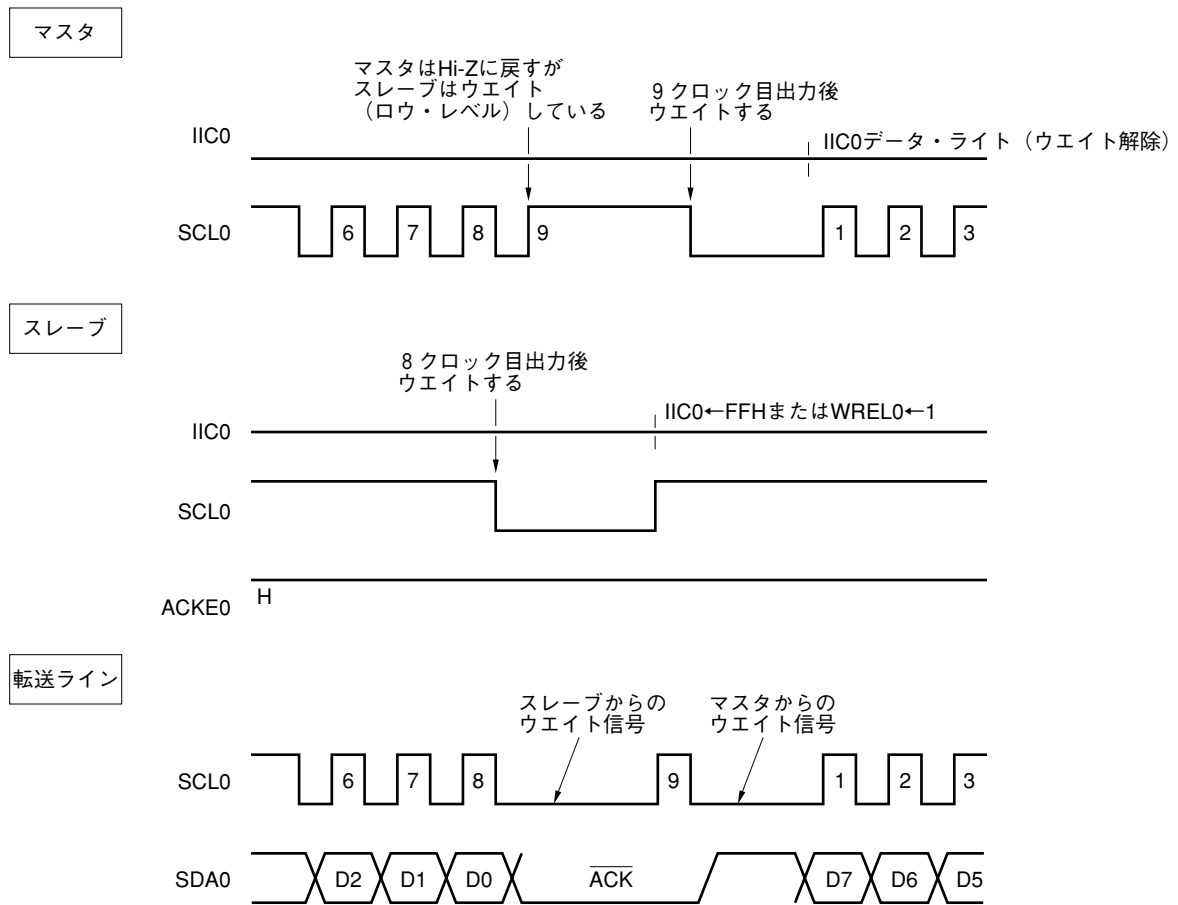
ウェイト信号 (WAIT) は、マスタまたはスレーブがデータの送受信のための準備中 (ウェイト状態) であることを相手に知らせるための信号です。

SCL0端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図18-16 ウェイト信号 (1/2)

(1) マスタは9クロック・ウェイト、スレーブは8クロック・ウェイト時

(マスタ:送信, スレーブ:受信, ACKE0 = 1)



18.5.7 割り込み要求 (INTIIC0) 発生タイミングおよびウェイト制御

IICコントロール・レジスタ0 (IICC0) のビット3 (WTIM0) の設定で、表18-2に示すタイミングでINTIIC0が発生し、また、ウェイト制御を行います。

表18-2 INTIIC0発生タイミングおよびウェイト制御

WTIM0	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1, 2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1, 2}	9 ^{注2}	9 ^{注2}	9	9	9

注1. スレーブのINTIIC0信号およびウェイトは、スレーブ・アドレス・レジスタ0 (SVA0) に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。

また、このとき、IICC0のビット2 (ACKE0) の設定にかかわらず、 \overline{ACK} が出力されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIIC0が発生します。

ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりでINTIIC0が発生しますが、ウェイトは発生しません。

2. スレーブ・アドレス・レジスタ0 (SVA0) と受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIIC0もウェイトも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・スレーブ動作時：WTIM0ビットにかかわらず、上記の注1、2の条件により、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIM0ビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がりで発生します。

(2) データ受信時

- ・マスタ/スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

- ・マスタ/スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- IICコントロール・レジスタ0 (IICC0) のビット5 (WRELO) = 1
- IICシフト・レジスタ0 (IIC0) のライト動作
- スタート・コンディションのセット (IICC0) のビット1 (STT0) = 1^注
- ストップ・コンディションのセット (IICC0) のビット0 (SPT0) = 1^注

注 マスタのみ。

8クロック・ウェイト選択 (WTIMO = 0) 時は、ウェイト解除前に $\overline{\text{ACK}}$ の出力レベルを決定する必要があります。

(5) ストップ・コンディション検出

INTIIC0は、ストップ・コンディションを検出すると発生します。

18.5.8 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。スレーブ・アドレス・レジスタ0 (SVA0) に自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVA0に設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIIC0割り込み要求が発生します。

18.5.9 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDA0) の状態が、送信しているデバイスのIICシフト・レジスタ0 (IIC0) にも取り込まれるため、送信開始前と送信終了後のIIC0データを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

18.5.10 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ(EXC0)をセットし、8クロック目の立ち下がりで割り込み要求(INTIIC0)を発生します。

スレーブ・アドレス・レジスタ0(SVA0)に格納された自局アドレスは影響しません。

(2) 10ビット・アドレス転送で、SVA0に“111110XX”を設定し、マスタから“111110XX”が転送されてきた場合は、次のようになります。ただし割り込み要求(INTIIC0)は、8クロック目の立ち下がりで発生します。

- ・上位4ビット・データ的一致 : EXC0 = 1^注
- ・7ビット・データ的一致 : COI0 = 1^注

注 EXC0 : IIC状態レジスタ0(IICS0)のビット5
 COI0 : のビット4

(3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICコントロール・レジスタ0(IICC0)のビット6(LRELO) = 1に設定することで次の通信待機状態にします。

表18-3 拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
0000 000	1	スタート・バイト
0000 001	X	CBUSアドレス
0000 010	X	異なるバス・フォーマット用に予約されているアドレス
1111 0XX	X	10ビット・スレーブ・アドレス指定

18.5.11 アービトレーション

複数のマスタがスタート・コンディションを同時に出力した場合 (STD0 = 1になる前にSTT0 = 1にしたとき注)、データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、IIC状態レジスタ0 (IICS0) のアービトレーション負けフラグ (ALD0) をセット (1) し、SCL0, SDA0ラインともHi-Z状態にしてバスを解放します。

アービトレーションに負けたことは、次の割り込み要求発生タイミング (8または9クロック目、ストップ・コンディション検出など) で、ソフトウェアでALD0 = 1になっていることで検出します。

割り込み要求発生タイミングについては、18.5.16 I²C割り込み要求 (INTIIC0) の発生タイミングを参照してください。

注 STD0 : IIC状態レジスタ0 (IICS0) のビット1

STT0 : IICコントロール・レジスタ0 (IICC0) のビット1

図18-17 アービトレーション・タイミング例

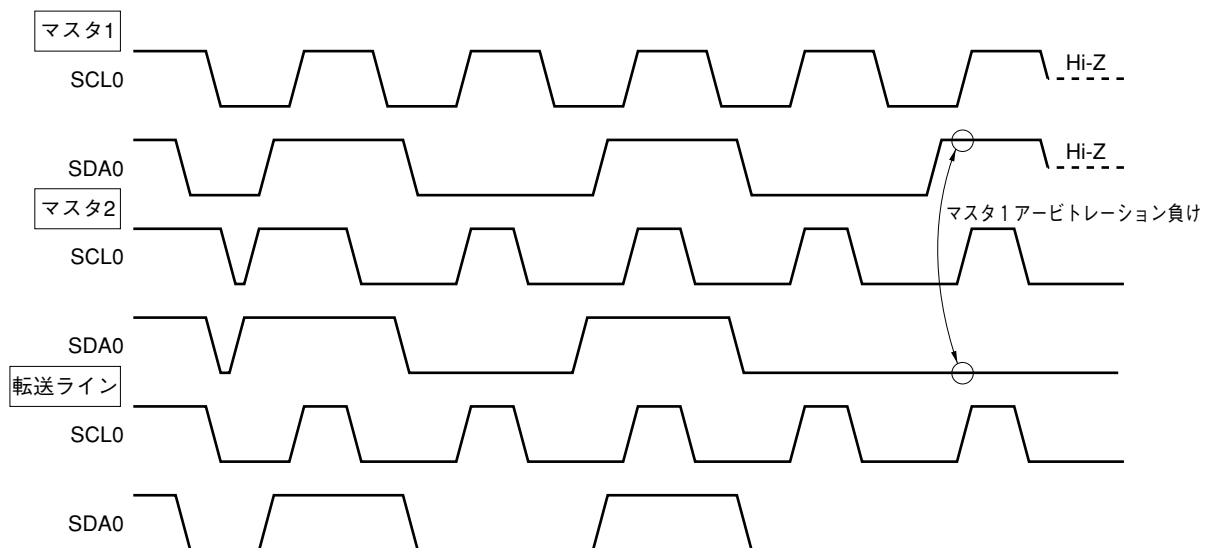


表18-4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ送信後のACK転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション出力時 (SPIE0 = 1時) ^{注2}
リスタート・コンディションを出力しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを出力しようとしたがストップ・コンディション検出	ストップ・コンディション出力時 (SPIE0 = 1時) ^{注2}
ストップ・コンディションを出力しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを出力しようとしたがSCL0がロウ・レベル	

注1. WTIM0 (IICコントロール・レジスタ0 (IICC0) のビット3) = 1の場合には、9クロック目の立ち下がりタイミングで割り込み要求が発生します。WTIM0 = 0および拡張コードのスレーブ・アドレス受信時には、8クロック目の立ち下がりタイミングで割り込み要求が発生します。

2. アービトレーションが起こる可能性がある場合、マスタ動作ではSPIE0 = 1に設定してください。

備考 SPIE0 : IICコントロール・レジスタ0 (IICC0) のビット4

18.5.12 ウェイク・アップ機能

IICのスレーブ機能で、自局アドレスと拡張コードを受信したときに割り込み要求 (INTIIC0) を発生する機能です。

アドレスが一致しないときは不要な割り込み要求を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを出力した場合) でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると、ウェイク・アップ機能に関係なく、IICコントロール・レジスタ0 (IICC0) のビット4 (SPIE0) の設定によって、割り込み要求の発生許可/禁止が決定します。

18.5.13 通信予約

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (\overline{ACK} を返さず、IICコントロール・レジスタ0 (IICC0) のビット6 (LREL0) =1でバスを解放した) とき

バスに不参加の状態、IICC0のビット1 (STT0) をセット (1) すると、バスが解放されたあと (ストップ・コンディション検出時) に、自動的にスタート・コンディションを生成し、ウェイト状態になります。バスの解放を検出 (ストップ・コンディション検出) すると、IICシフト・レジスタ0 (IIC0) ライト操作により、マスタとしてのアドレス転送を開始します。このとき、IICC0のビット4 (SPIE0) をセット (1) しておいてください。

STT0をセット (1) したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・バスが解放されているとき……………スタート・コンディション生成
- ・バスが解放されていないとき (待機状態) ……通信予約

通信予約として動作するのかどうかは、STT0をセットし、ウェイト時間をとったあと、MSTS0 (IIC状態レジスタ0 (IICS0) のビット7) で確認します。

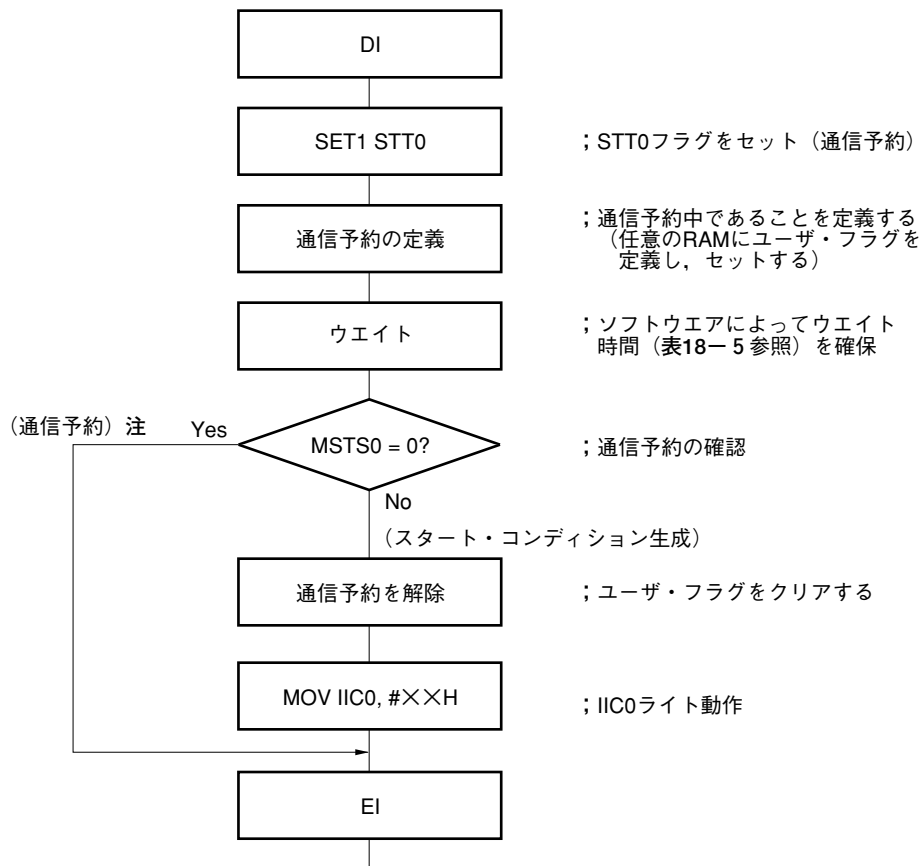
ウェイト時間は、表18-5に示す時間をソフトウェアにより確保してください。なお、ウェイト時間はIIC転送クロック選択レジスタ0 (IICCL0) のビット3,0 (SMC0, CL00) により設定できます。

表18-5 ウェイト時間

SMC0	CL00	ウェイト時間
0	0	26クロック
0	1	46クロック
1	0	16クロック
1	1	

通信予約のタイミングを図18-18に示します。

図18-20 通信予約の手順



注 通信予約動作時は、ストップ・コンディション割り込み要求でIICシフト・レジスタ0 (IIC0) への書き込みを実行します。

備考 STT0 : IICコントロール・レジスタ0 (IICC0) のビット1

MSTS0 : IIC状態レジスタ0 (IICS0) のビット7

IIC0 : IICシフト・レジスタ0

18.5.14 その他の注意事項

リセット後、ストップ・コンディションを検出していない (バスが解放されていない) 状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスの解放をしてからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない (ストップ・コンディションを検出していない) 状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

- ① IIC転送クロック選択レジスタ0 (IICCL0) の設定
- ② IICコントロール・レジスタ0 (IICC0) のビット7 (IICE0) のセット (1)
- ③ IICC0のビット0 (SPT0) のセット (1)

18.5.15 通信動作

(1) マスタ動作

μPD780024AY, 780034AYサブシリーズをI²Cバスのマスタとして、スレーブのEEPROM™などを制御するための手順を示します。

図18-21 マスタ動作手順 (1/5)

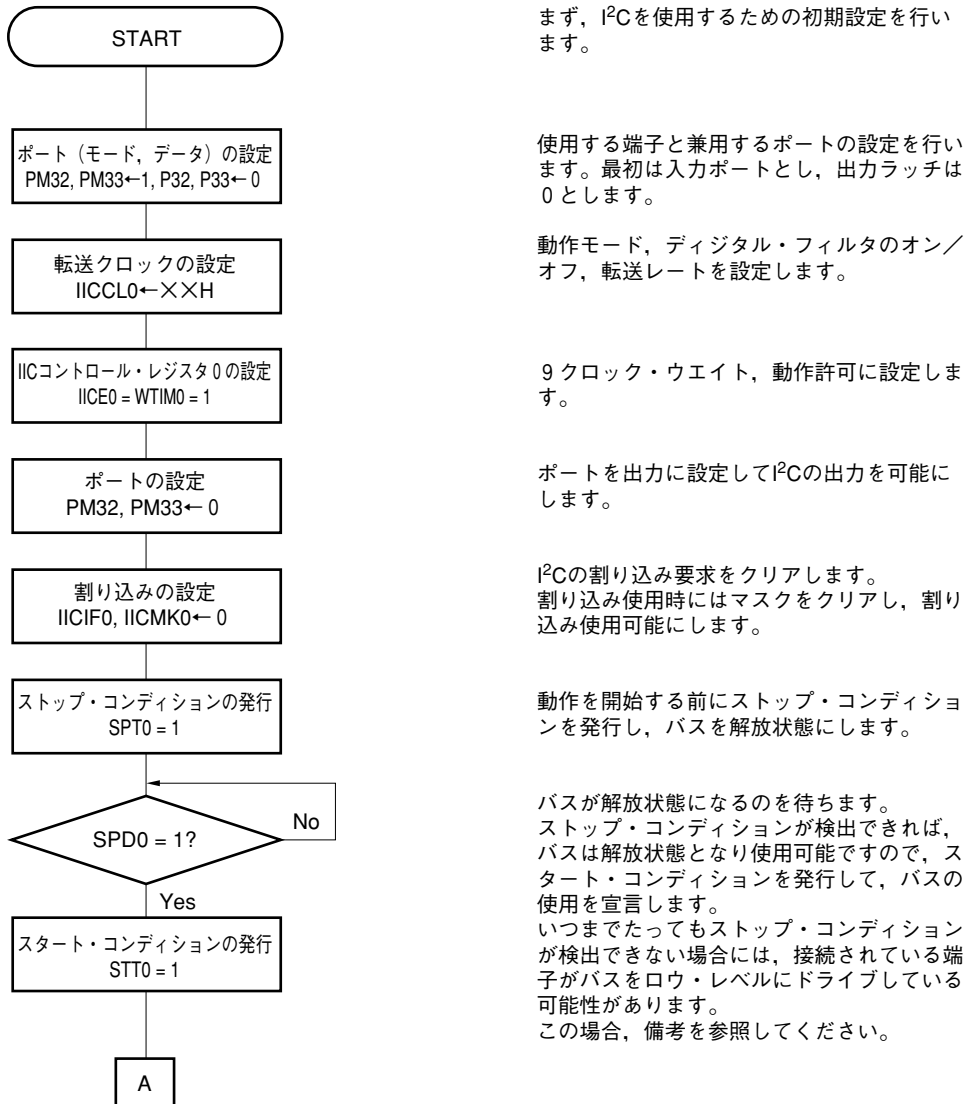
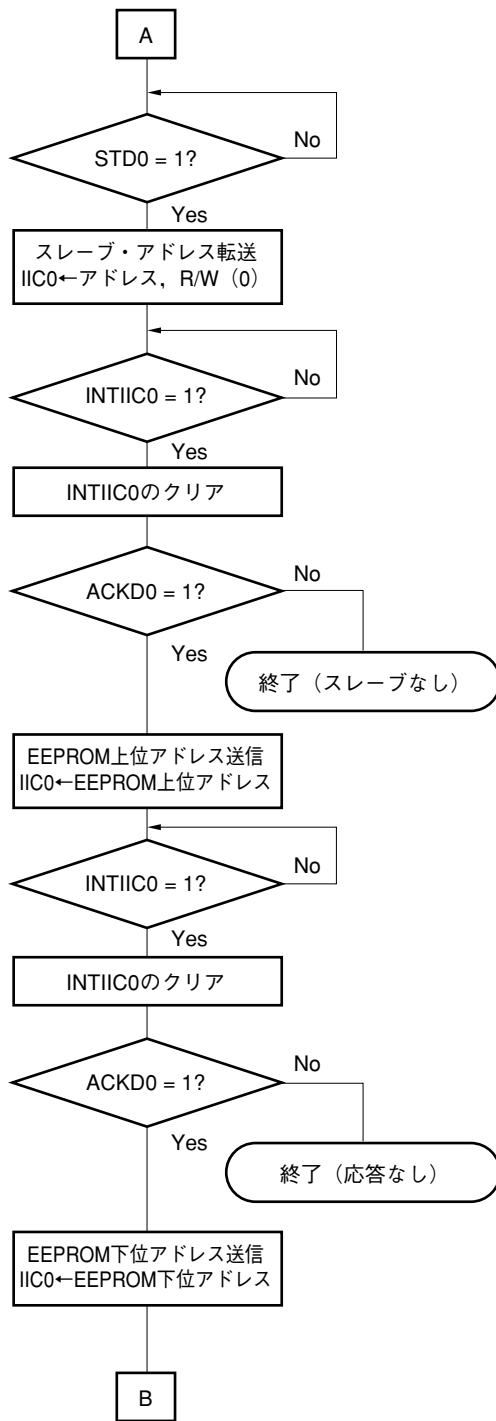


図18-21 マスタ動作手順 (2/5)



スタート・コンディションが検出され、バスの準備ができるのを待ちます。

書き込みを指定して、スレーブ (EEPROM) のアドレスを転送します。

転送完了の割り込みを待ちます。

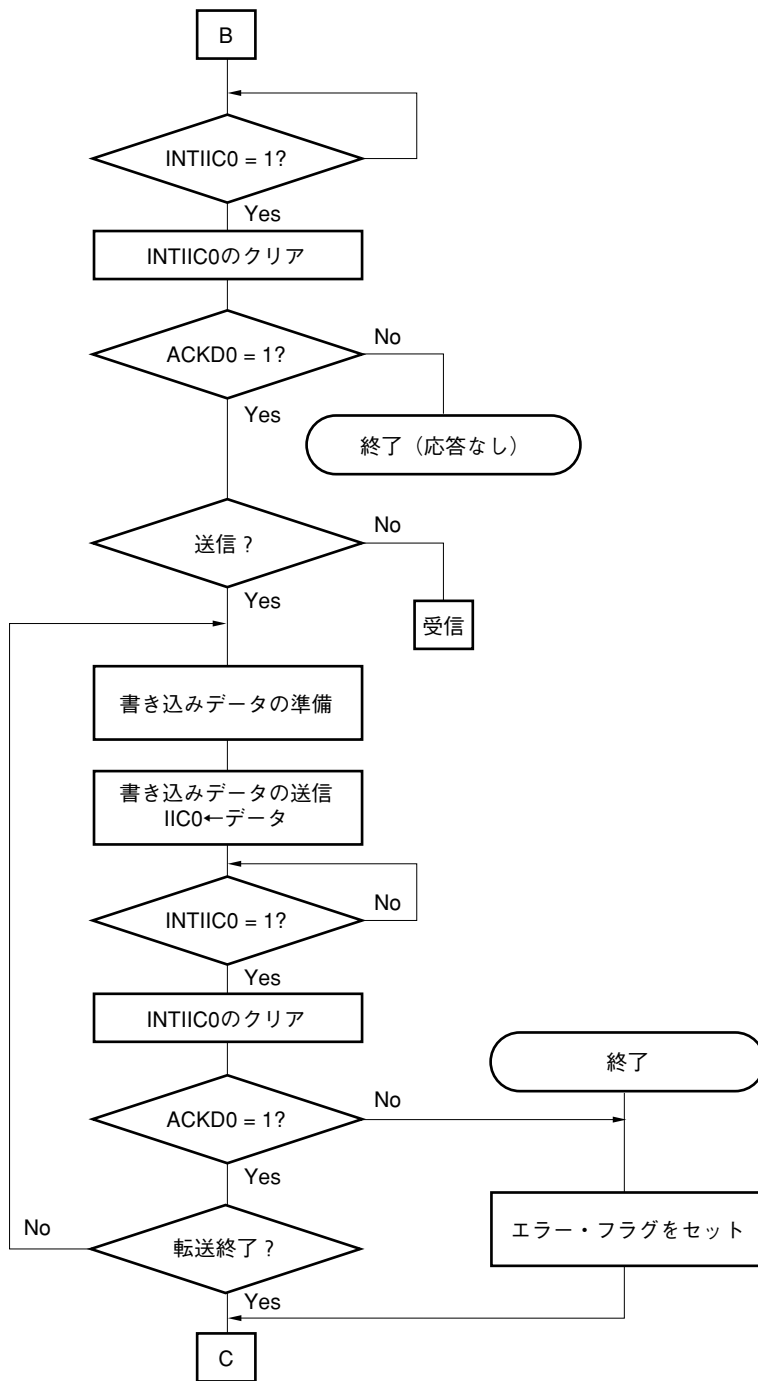
割り込みを使用せず、INTIIC0をポーリングしたときにはINTIIC0をクリアしてください。

ACKが来ない場合には指定したスレーブが存在しないので、処理を終了します。

スレーブが存在したら、EEPROM内のアドレス (ここでは2バイト) を2回に分けて、上位アドレスから送信します。以下、送信完了ごとにACKを確認します。

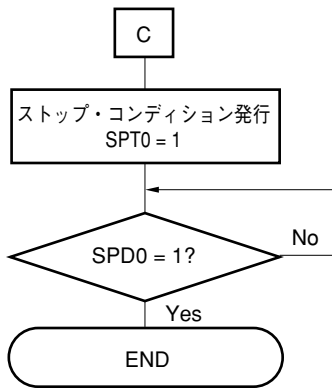
引き続き下位アドレスを送信します。

図18-21 マスタ動作手順 (3/5)

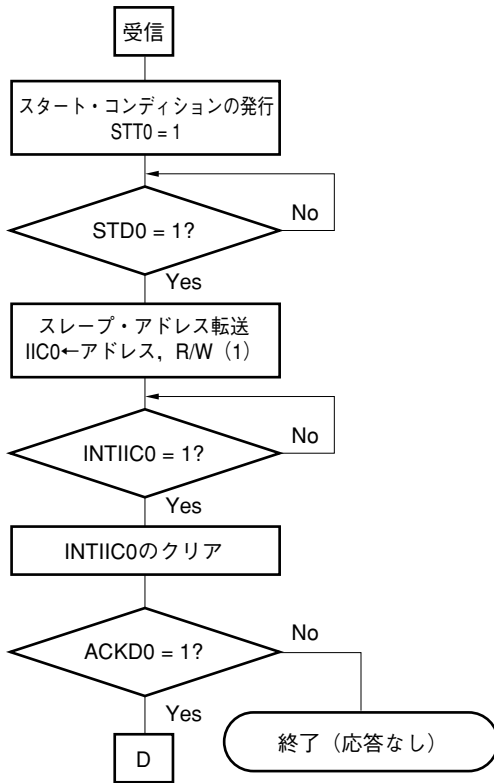


EEPROMへの書き込みの場合には、引き続きデータを書き込みます。EEPROMからの読み出しの場合には、受信処理へ移行します。EEPROMへの書き込みデータを準備して、EEPROMへ送信します。データ送信ごとに送信に対して、スレーブからACK応答が戻されてきます。必要なデータの送信が完了する前に何らかのエラーが発生した場合には、ACK応答が戻らないことがあります。この場合には、転送を終了します。エラー時は左図のようにエラー・フラグをセットしてバスを解放します。

図18-21 マスタ動作手順 (4/5)



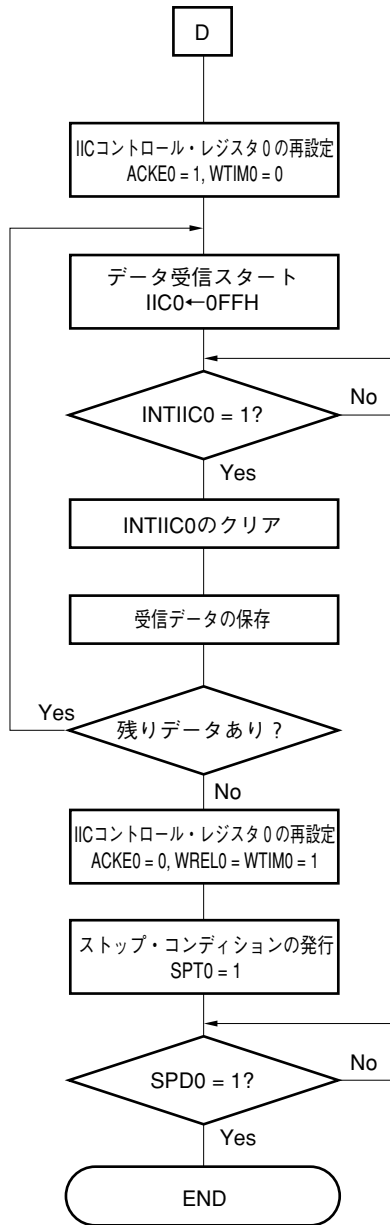
送信が完了したら、ストップ・コンディションを発行して、送信の完了をスレーブに知らせます。



受信の場合には、データ転送方向を切り替える必要があるので、再度スタート・コンディションを発行して、通信をやり直します (リスタート)。

今回はマスタ受信となるので、R/Wビットを1にしてアドレスを送信します。

図18-21 マスタ動作手順 (5/5)



8クロック・ウエイト、ACKを自動的に戻すように設定します (ACKE0をセットし、最後のデータを受信したあと以外はACKを戻します。最後のデータではACKの自動応答を解除できるように8クロック・ウエイトにします)。

IIC0にダミー・データを書いて受信をスタートします (WRELO=1としても受信をスタートできます)。

INTIIC0の発生により受信が完了します。

受信したデータを取り込み、バッファに保存します。

すべてのデータの受信が完了したら、ACKの自動応答を禁止、9クロック・ウエイトに設定して、ACKサイクルでのウエイトを解除させ、9クロック目で停止させます。これでスレーブにはACKが戻らないので、受信完了を通知したことになります。ストップ・コンディションを発行して、通信を終了します。

備考 スレーブがデータ・ラインにロウ・レベルを出力している場合、マスタはストップ・コンディションを発行できません。この現象は、通信中 (EEPROMからの読み出し中) に電源の変動により、マイコンにはリセットがかかったが、EEPROMにはリセットがかからなかった場合などに発生します。このような場合には、EEPROMはデータを出し続けていますので、データ・ラインにロウ・レベルを出力している可能性があります。ICでは構造的にマスタがデータ・ラインを強制的にハイ・レベルにすることはできませんので、ストップ・コンディションを発行できなくなります。

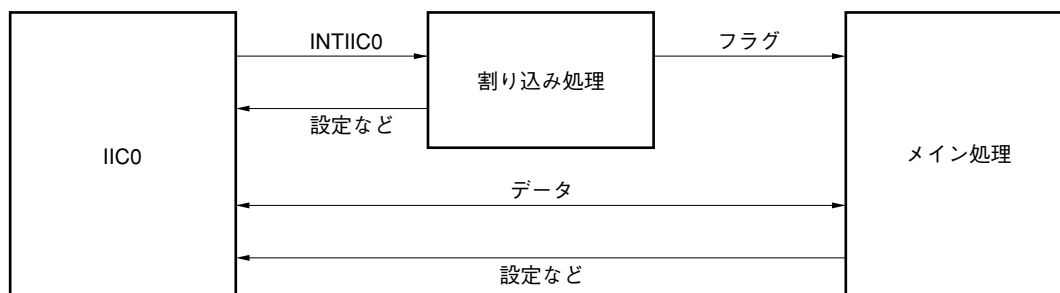
この現象を回避する手段として、一部のEEPROMでは「クロック・ラインをポートとして使用し、ポートからダミー・クロックを出力させ、それを入力することで、疑似的にEEPROMからの読み出しを進めて行き、読み出しを完了させる」といった対処方法があります (読み出しが完了すると、データ・ラインはハイ・レベルとなりますので、マスタはストップ・コンディションを発行できます。以降、EEPROMの状態は制御可能になります)。なお、この際にはデータ・ラインに対応したポートは、必ずハイ・インピーダンス状態 (ハイ・レベルを出力) にしておく必要があります。

(2) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンの動作となります。このためINTIIC0割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIIC0割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の3つのフラグを準備し、これをINTIIC0の代わりにメイン処理に渡すという方法で、データ通信処理を行います。

① 通信モード・フラグ

次の2つの通信状態を示します。

- ・クリア・モード：データ通信を行っていない状態
- ・通信モード：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのACK未検出、アドレス不一致）

② レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信ではINTIIC0割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

③ 通信方向フラグ

通信の方向を示します。TRC0の値と同じです。

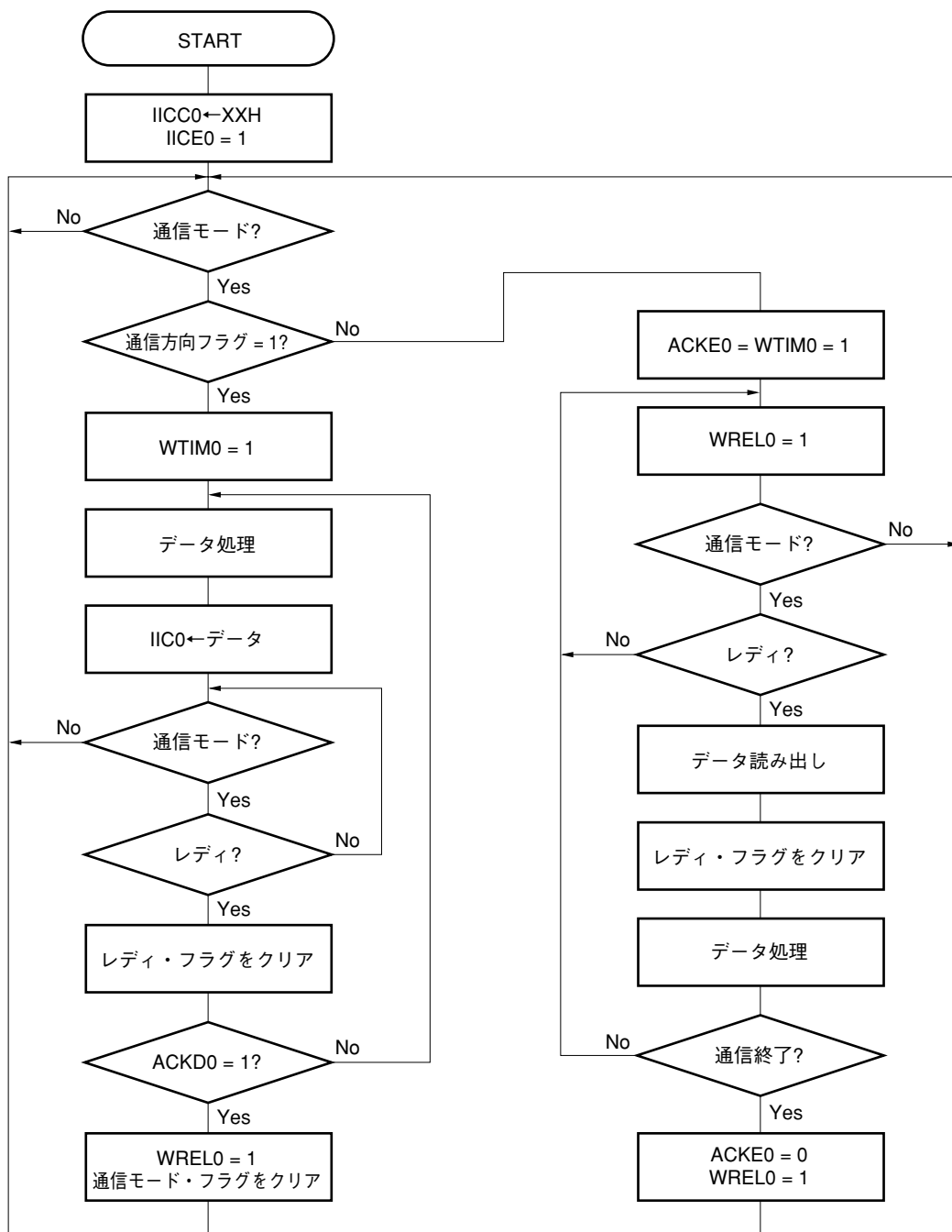
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIIC0を起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します）。

送信ではマスタからACKがこなくなるまで送信動作を繰り返します。マスタからACKが戻らなかつたら通信を完了します。

受信では必要な数のデータ受信し、通信完了したら次のデータでACKを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを発行します。これにより、通信状態から抜け出します。

図18-22 スレーブ動作手順 (1/2)



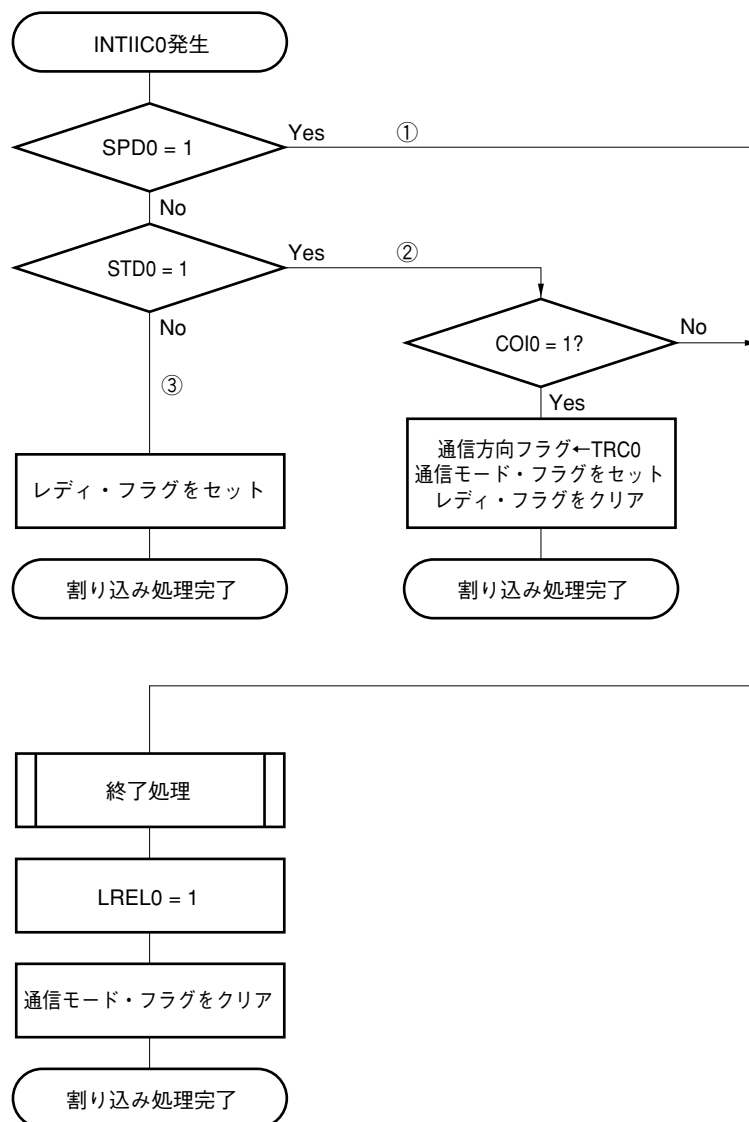
スレーブのINTIIC0割り込みでの処理手順例を示します（ここでは拡張コードはないものとして処理します）。

INTIIC0割り込みではステータスを確認して、次のように行います。

- ① ストップ・コンディションの場合、通信を終了します。
- ② スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります（レディ・フラグはクリアする）。
- ③ データ送受信の場合、レディ・フラグをセットするだけで、IIC0バスはウェイト状態のまま、割り込みから戻ります。

備考 上述の①～③は、図18-22 スレーブ動作手順（2/2）の①～③と対応しています。

図18-22 スレーブ動作手順（2/2）



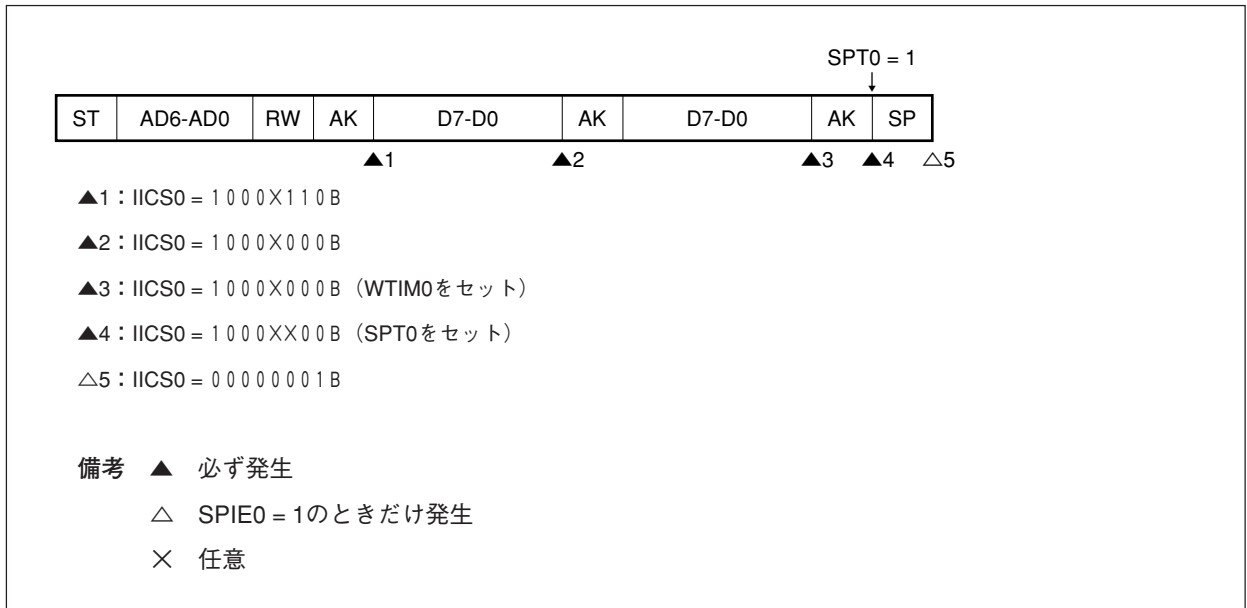
18.5.16 I²C割り込み要求 (INTIIC0) の発生タイミング

INTIIC0割り込み要求の発生タイミングと、INTIIC0割り込みタイミングでのIIC状態レジスタ0 (IICS0) の値を示します。

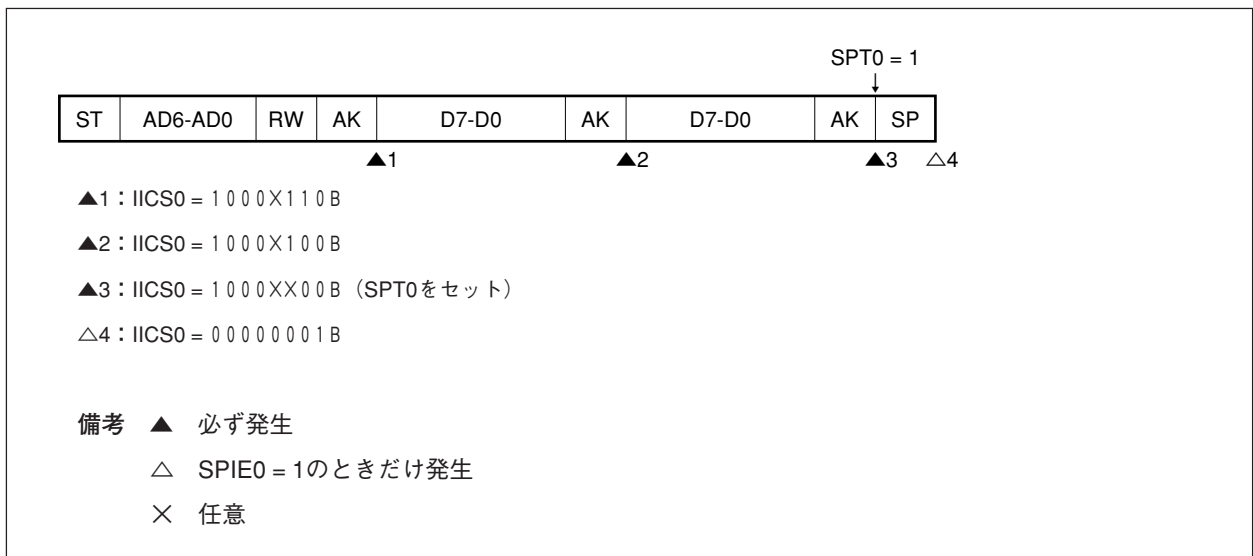
(1) マスタ動作

(a) Start~Address~Data~Data~Stop (通常送受信)

(i) WTIMO = 0のとき

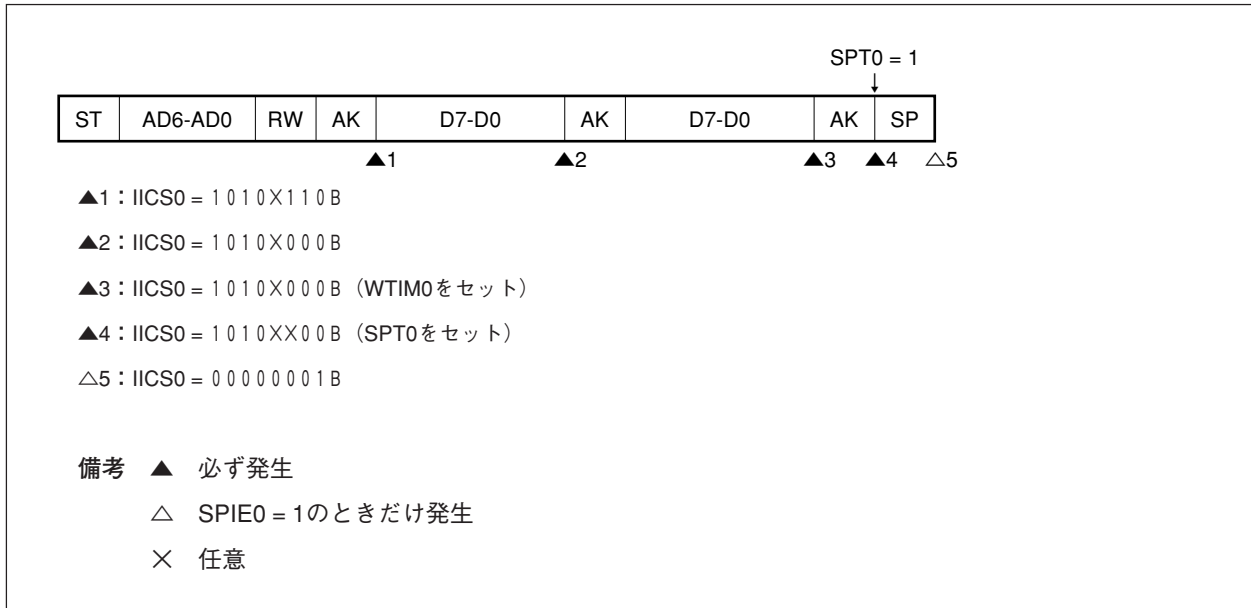


(ii) WTIMO = 1のとき

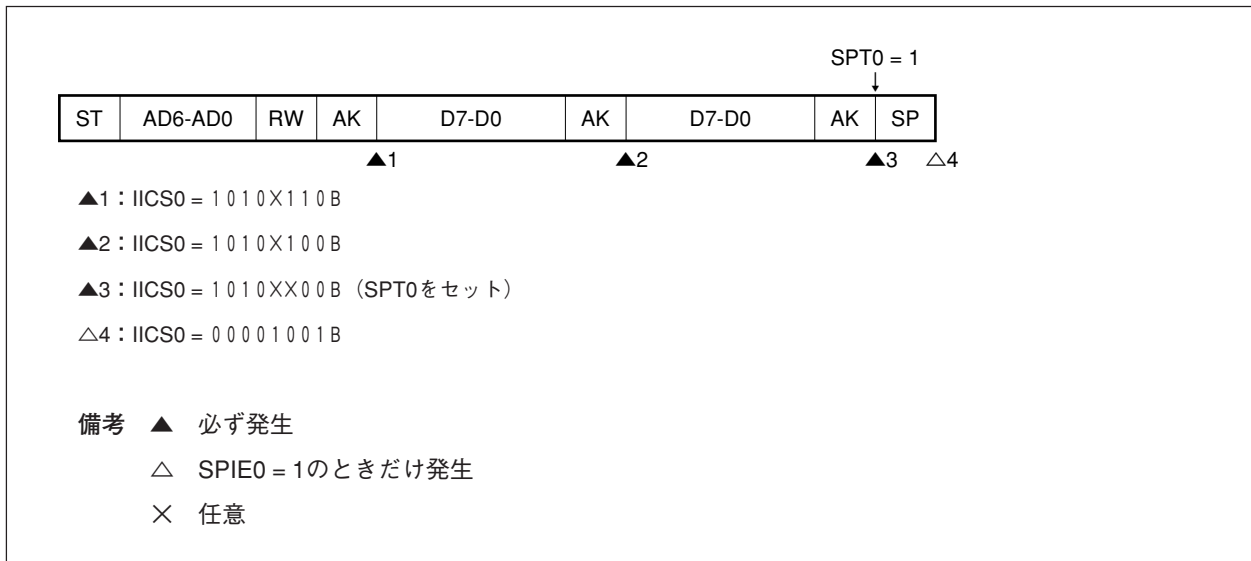


(c) Start~Code~Data~Data~Stop (拡張コード送信)

(i) WTIMO = 0のとき



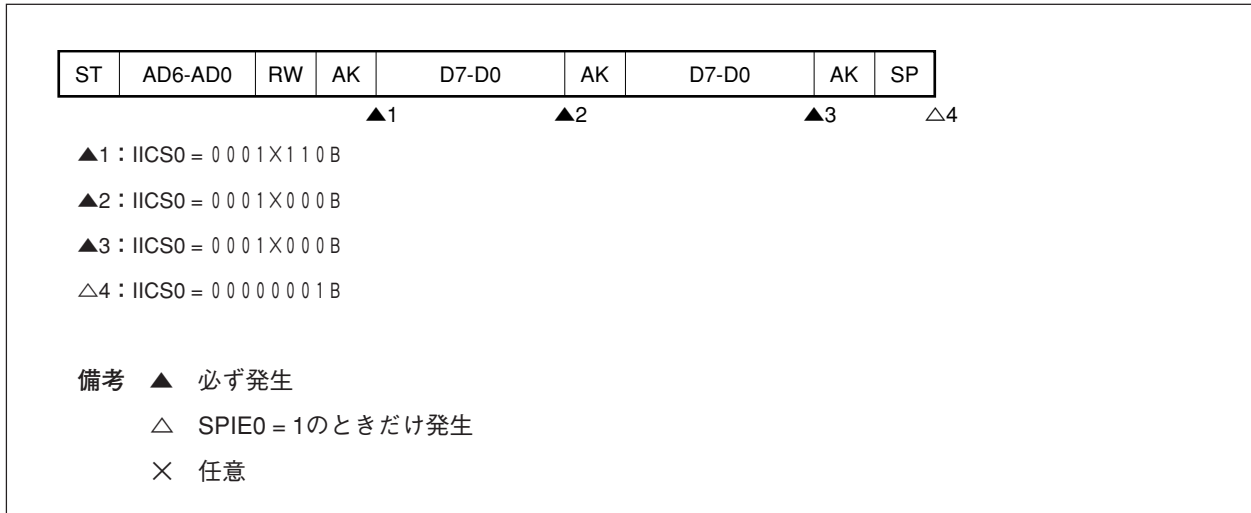
(ii) WTIMO = 1のとき



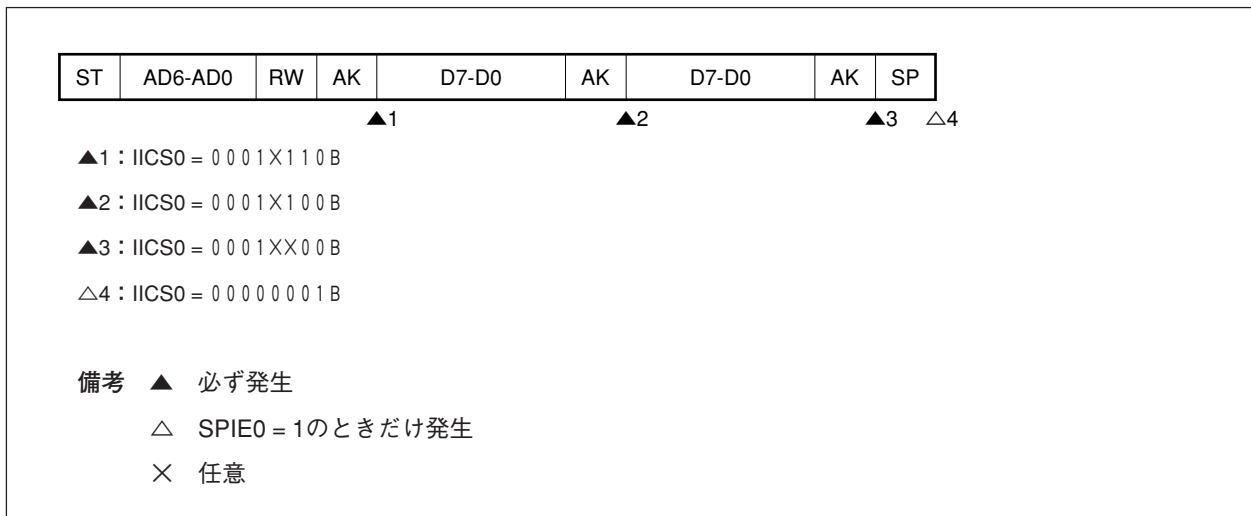
(2) スレーブ動作 (スレーブ・アドレス・データ受信時 (SVA0一致))

(a) Start~Address~Data~Data~Stop

(i) WTIM0 = 0のとき

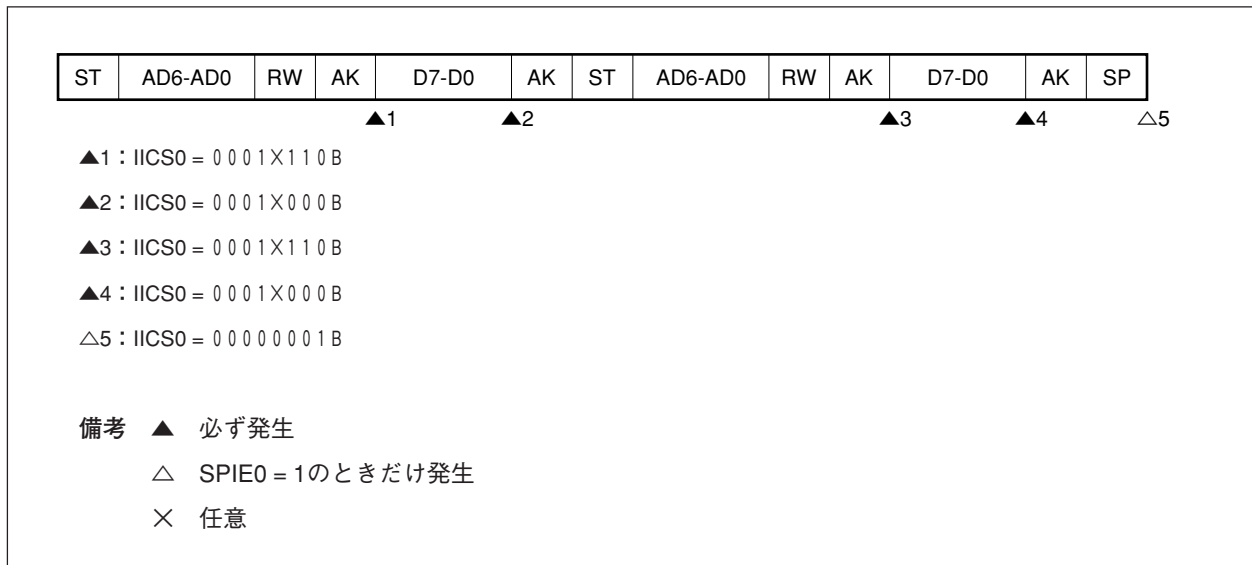


(ii) WTIM0 = 1のとき

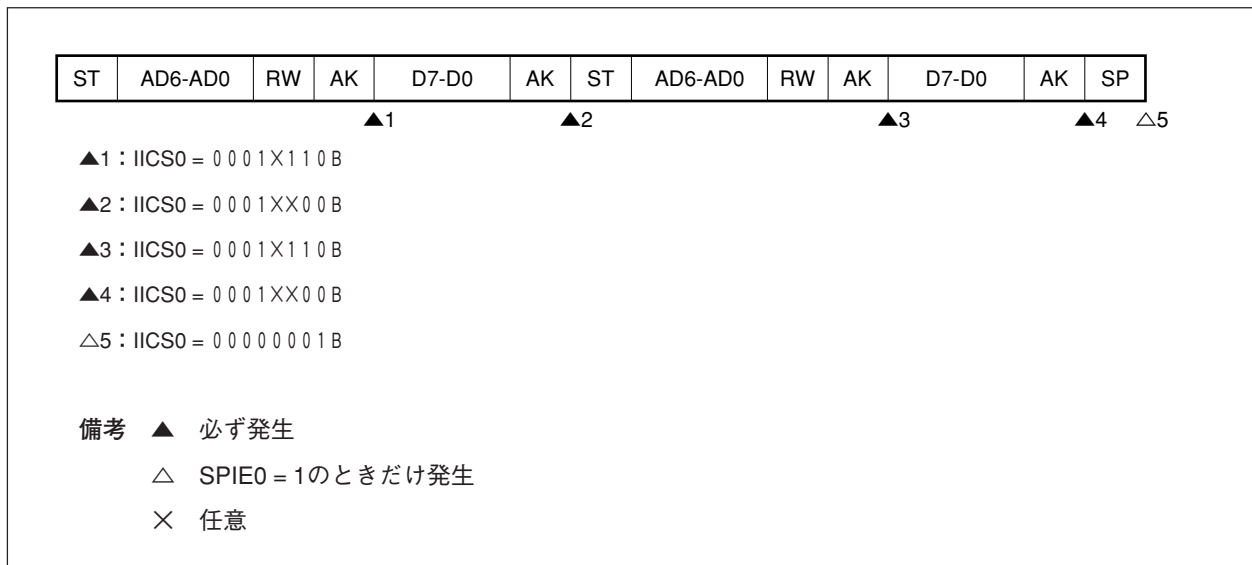


(b) Start~Address~Data~Start~Address~Data~Stop

(i) WTIM0 = 0のとき (リスタート後, SVA0一致)

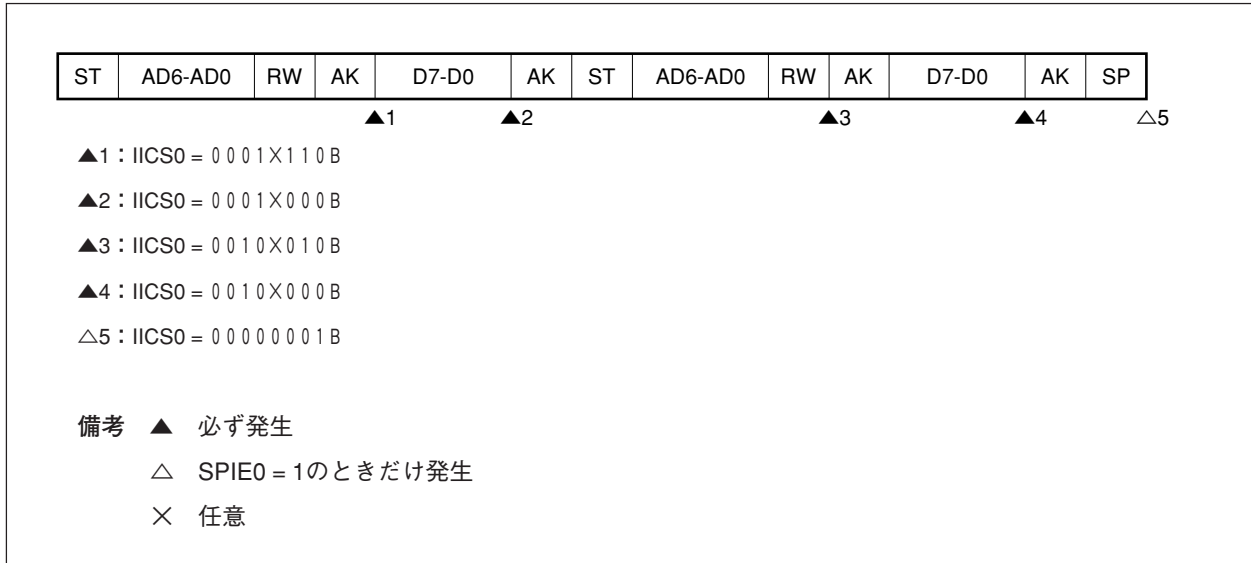


(ii) WTIM0 = 1のとき (リスタート後, SVA0一致)

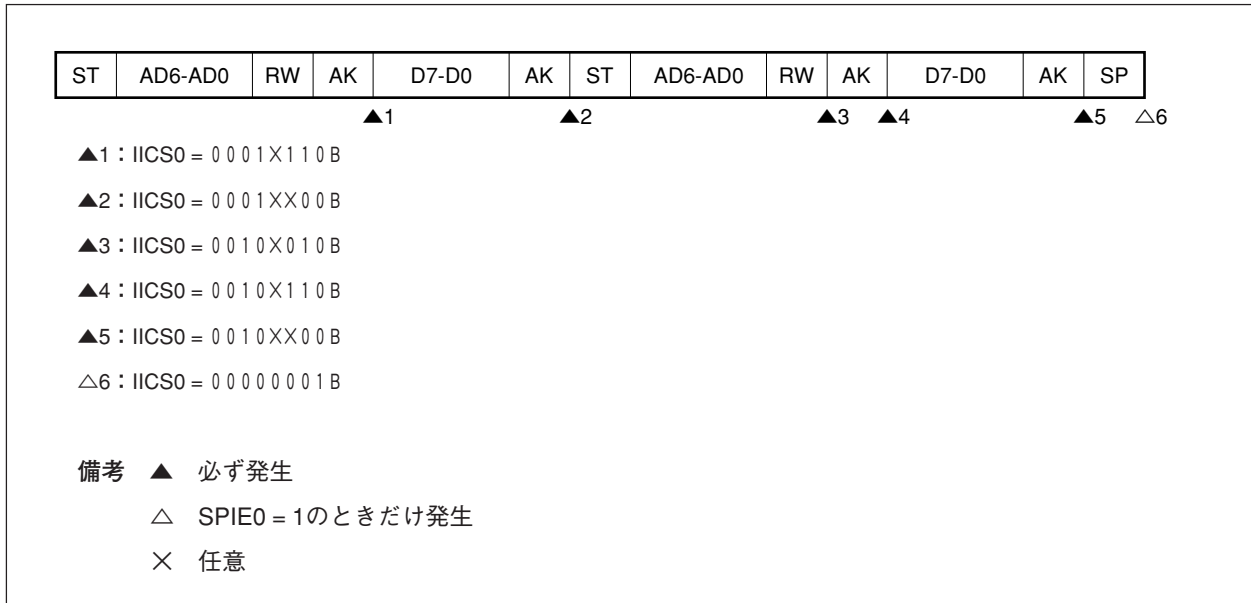


(c) Start~Address~Data~Start~Code~Data~Stop

(i) WTIMO = 0のとき (リスタート後, 拡張コード受信)

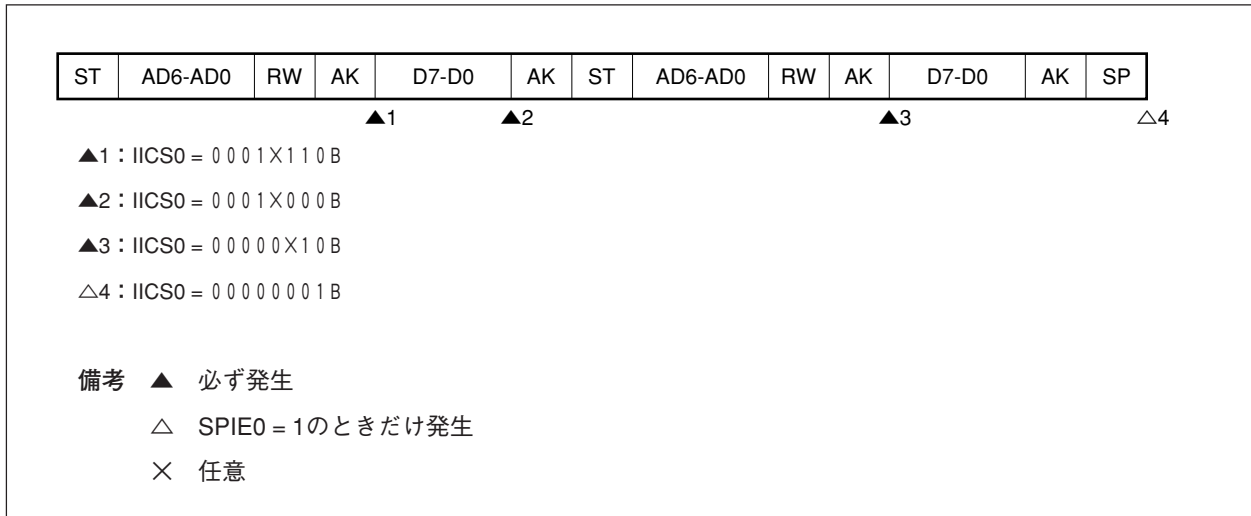


(ii) WTIMO = 1のとき (リスタート後, 拡張コード受信)

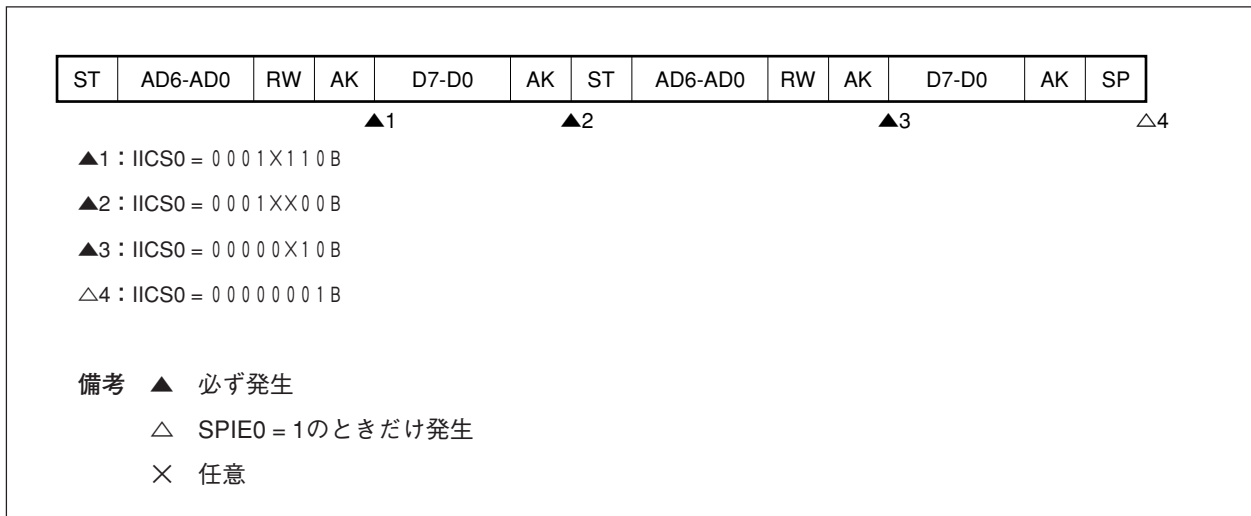


(d) Start~Address~Data~Start~Address~Data~Stop

(i) WTIMO = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))



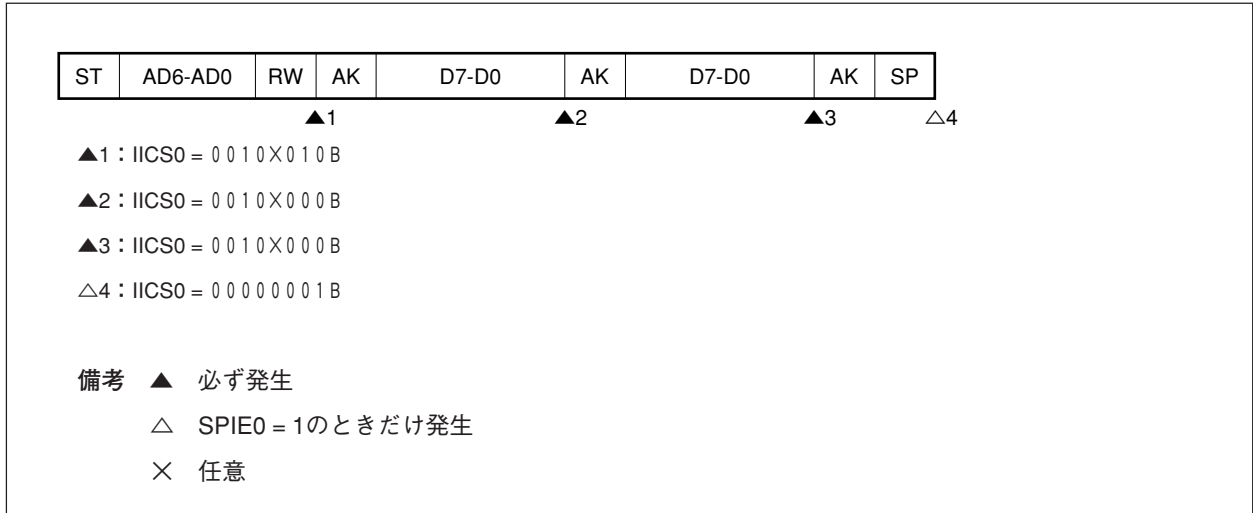
(ii) WTIMO = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))



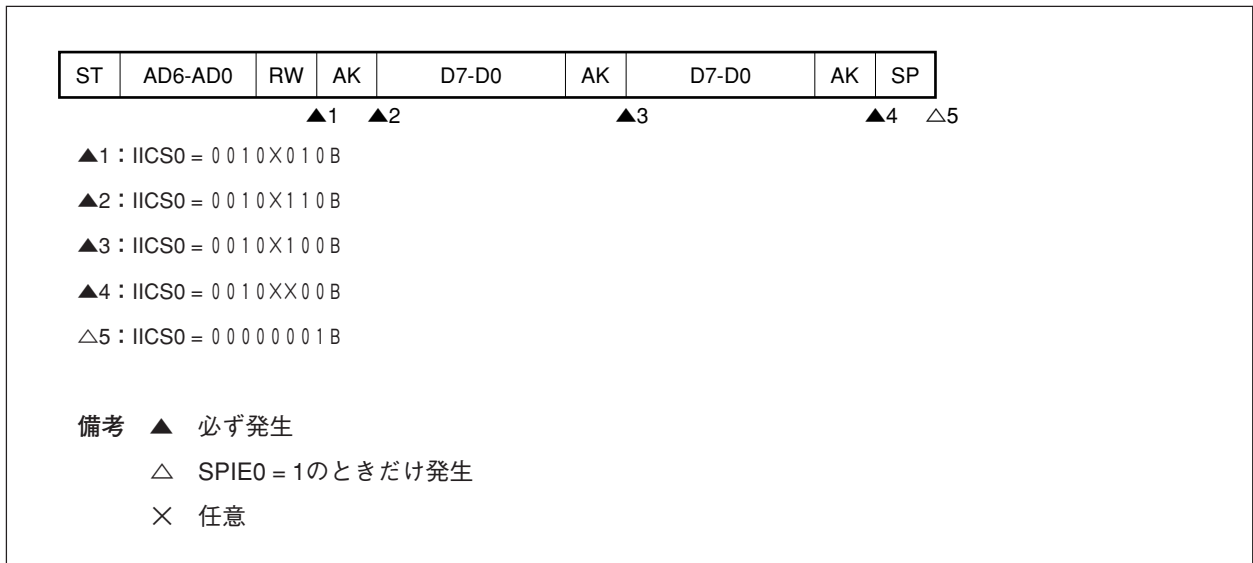
(3) スレーブ動作 (拡張コード受信時)

(a) Start~Code~Data~Data~Stop

(i) WTIM0 = 0のとき

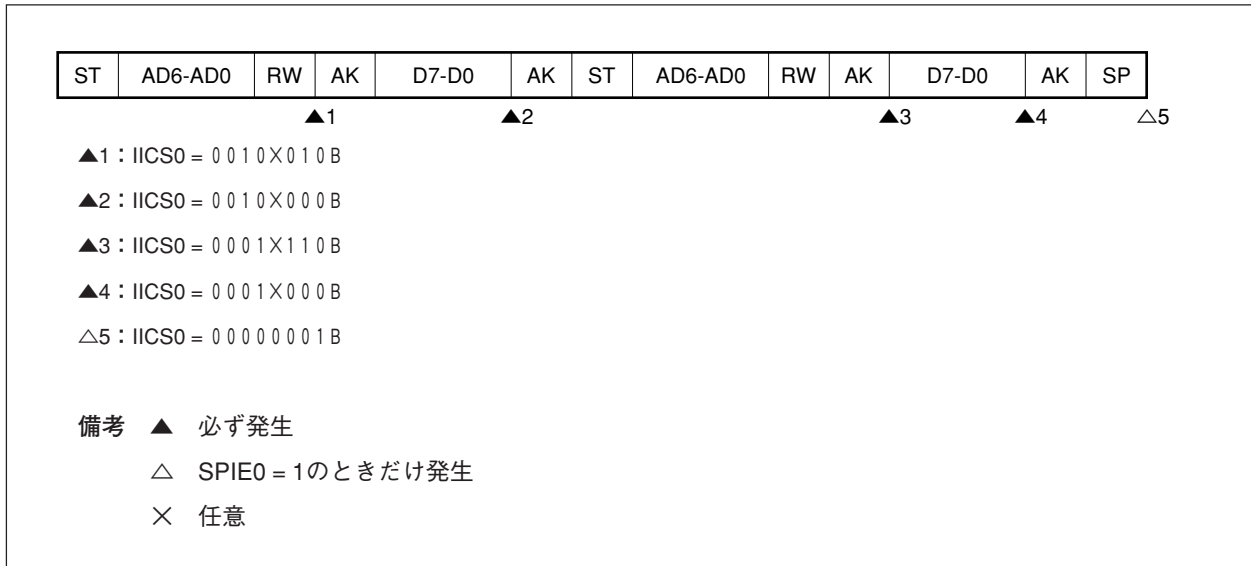


(ii) WTIM0 = 1のとき

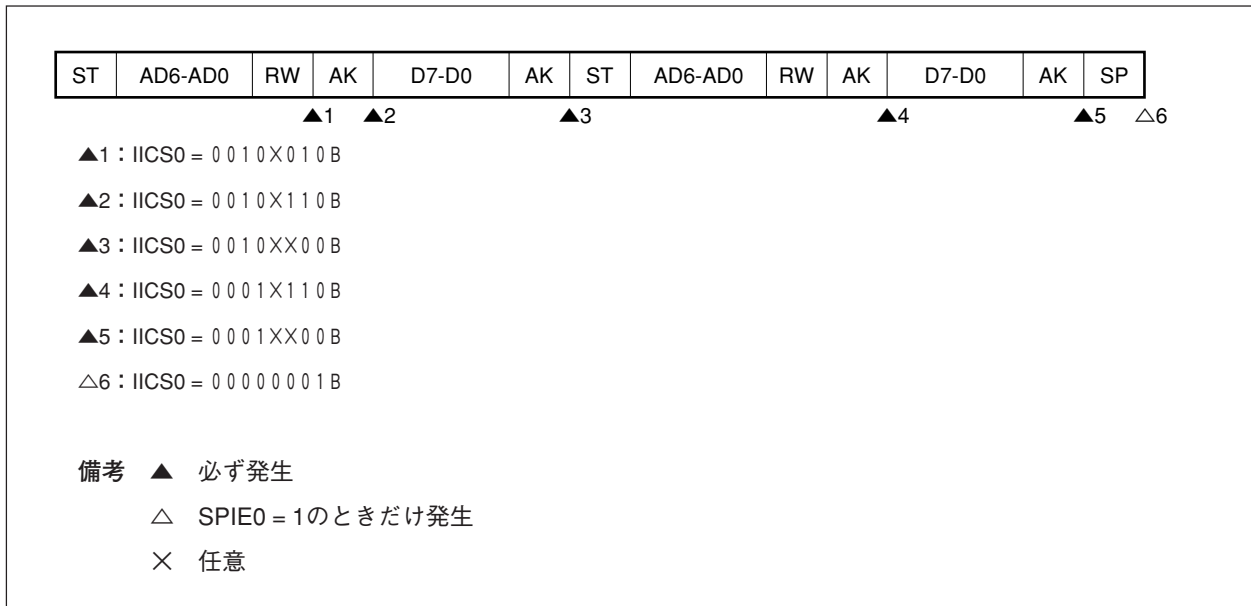


(b) Start~Code~Data~Start~Address~Data~Stop

(i) WTIM0 = 0のとき (リスタート後, SVA0一致)

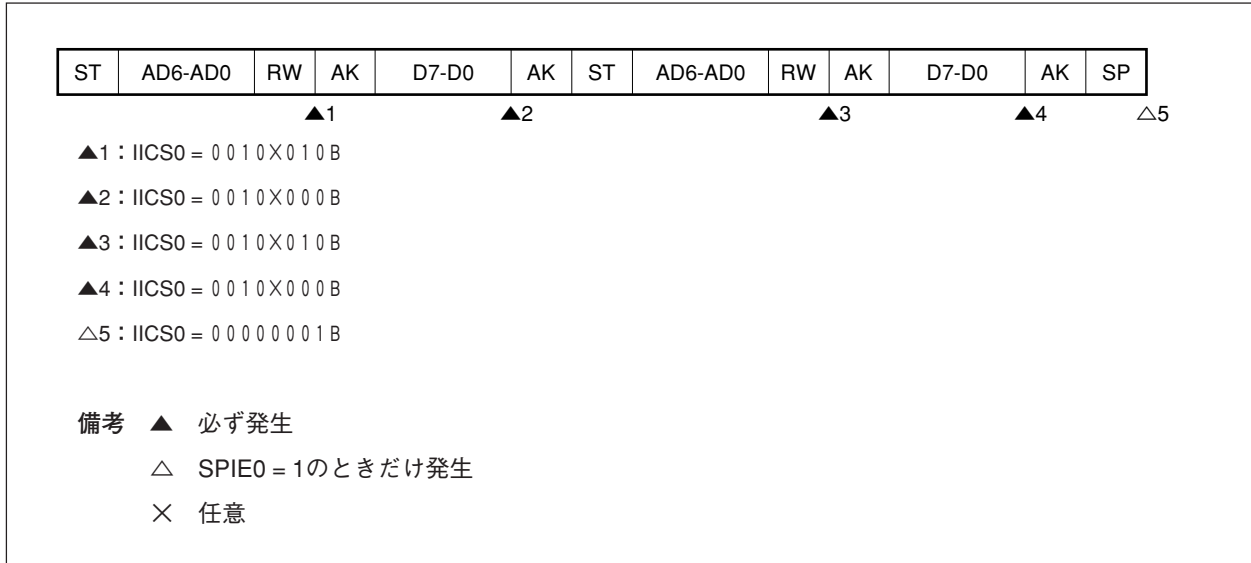


(ii) WTIM0 = 1のとき (リスタート後, SVA0一致)

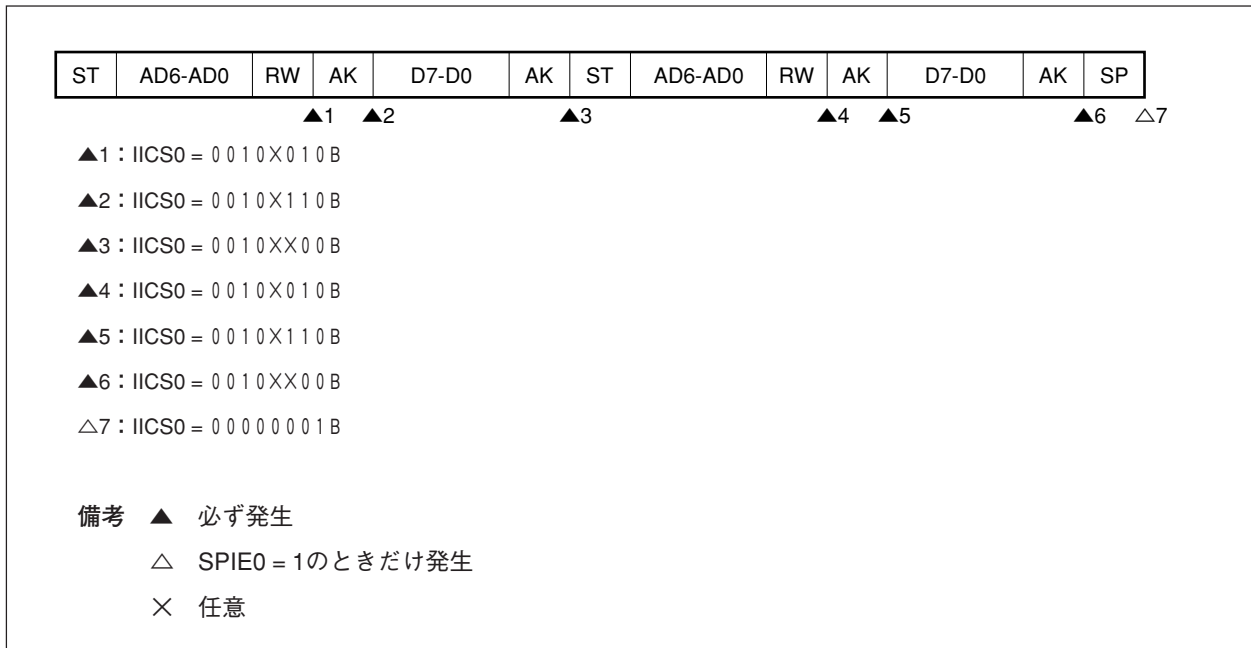


(c) Start~Code~Data~Start~Code~Data~Stop

(i) WTIMO = 0のとき (リスタート後, 拡張コード受信)

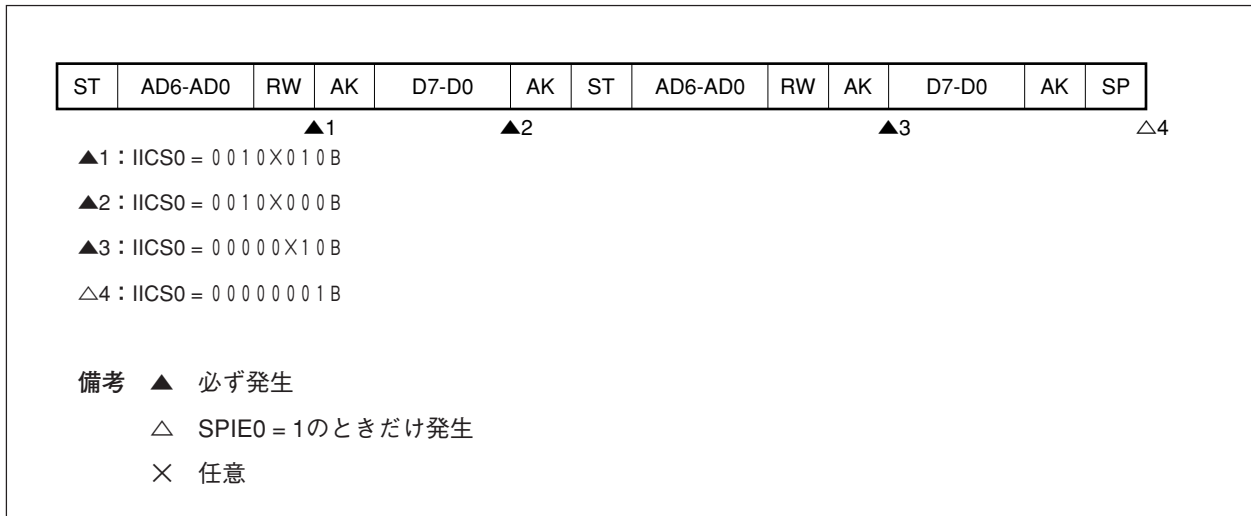


(ii) WTIMO = 1のとき (リスタート後, 拡張コード受信)

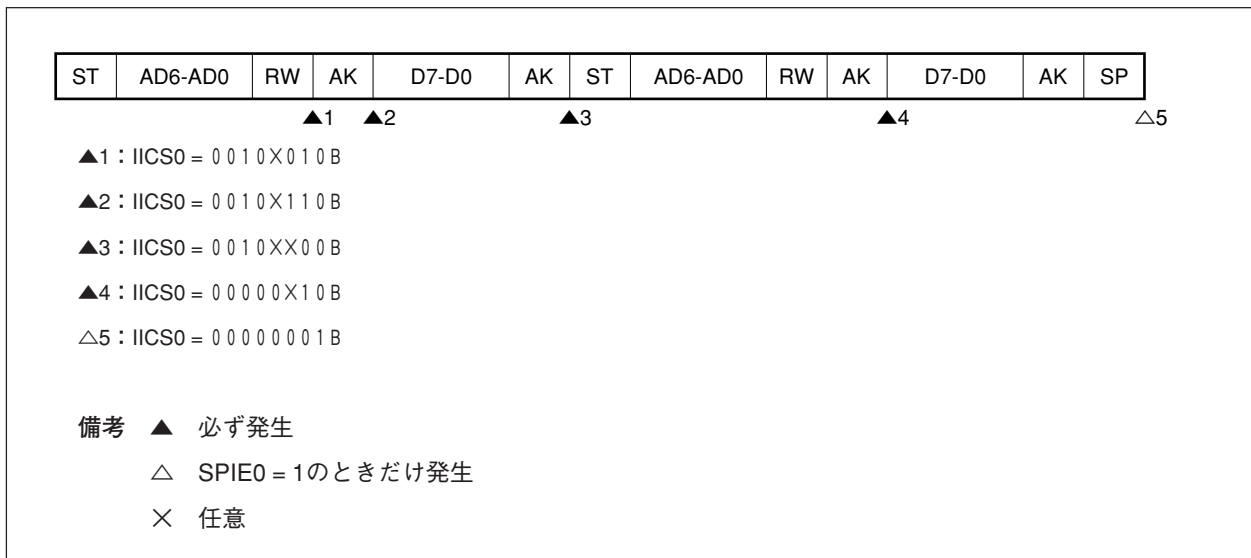


(d) Start~Code~Data~Start~Address~Data~Stop

(i) WTIMO = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))

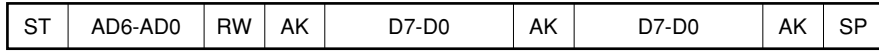


(ii) WTIMO = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))



(4) 通信不参加の動作

(a) Start~Code~Data~Data~Stop



△1

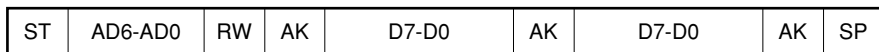
△1: IICS0 = 00000001B

備考 △ SPIE0 = 1のときだけ発生

(5) アービトレーション負けの動作 (アービトレーション負けのあと、スレーブとして動作)

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIM0 = 0のとき



▲1

▲2

▲3

△4

▲1: IICS0 = 0101X110B (例 割り込み処理中にALD0をリード)

▲2: IICS0 = 0001X000B

▲3: IICS0 = 0001X000B

△4: IICS0 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(ii) WTIM0 = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
		▲1	▲2		▲3		▲4	△5

▲1 : IICS0 = 0110X010B (例 割り込み処理中にALD0をリード)
 ▲2 : IICS0 = 0010X110B
 ▲3 : IICS0 = 0010X100B
 ▲4 : IICS0 = 0010XX00B
 △5 : IICS0 = 00000001B

備考 ▲ 必ず発生
 △ SPIE0 = 1のときだけ発生
 × 任意

(6) アービトレーション負けの動作 (アービトレーション負けのあと、不参加)

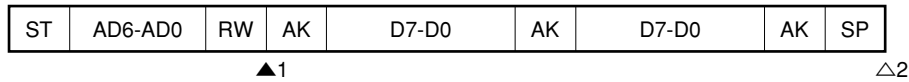
(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合 (WTIM0 = 1のとき)

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			▲1					△2

▲1 : IICS0 = 01000110B (例 割り込み処理中にALD0をリード)
 △2 : IICS0 = 00000001B

備考 ▲ 必ず発生
 △ SPIE0 = 1のときだけ発生

(b) 拡張コード送信中にアービトレーションに負けた場合



▲1: IICS0 = 0110X010B (例 割り込み処理中にALD0をリード)

ソフトでLREL0 = 1を設定

△2: IICS0 = 00000001B

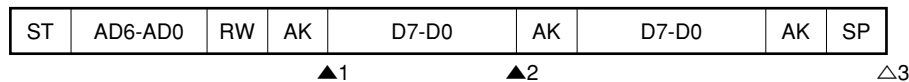
備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

(c) データ転送時にアービトレーションに負けた場合

(i) WTIM0 = 0のとき



▲1: IICS0 = 10001110B

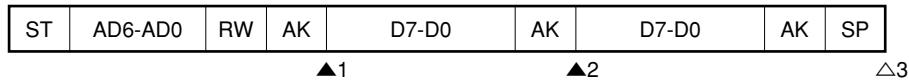
▲2: IICS0 = 01000000B (例 割り込み処理中にALD0をリード)

△3: IICS0 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

(ii) WTIM0 = 1のとき



▲1: IICS0 = 10001110B

▲2: IICS0 = 01000100B (例 割り込み処理中にALD0をリード)

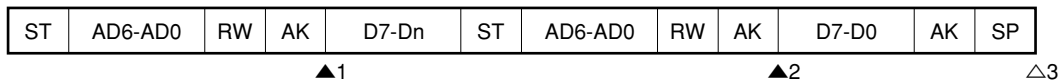
△3: IICS0 = 00000001B

備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

(d) データ転送時にリスタート・コンディションで負けた場合

(i) 拡張コード以外 (例 SVA0不一致, WTIM0 = 1)



▲1: IICS0 = 1000X110B

▲2: IICS0 = 01000110B (例 割り込み処理中にALD0をリード)

△3: IICS0 = 00000001B

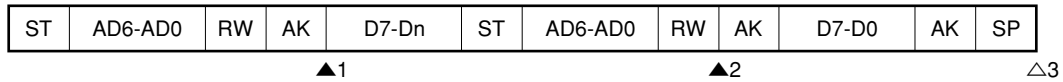
備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

n = 6-0

(ii) 拡張コード



▲1 : IICS0 = 1000X110B

▲2 : IICS0 = 0110X010B (例 割り込み処理中にALD0をリード)

ソフトでLREL0 = 1を設定

△3 : IICS0 = 00000001B

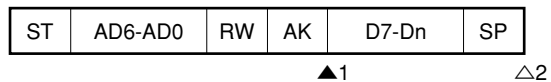
備考 ▲ 必ず発生

△ SPIE0 = 1のときだけ発生

× 任意

n = 6-0

(e) データ転送時にストップ・コンディションで負けた場合



▲1 : IICS0 = 1000X110B

△2 : IICS0 = 01000001B

備考 ▲ 必ず発生

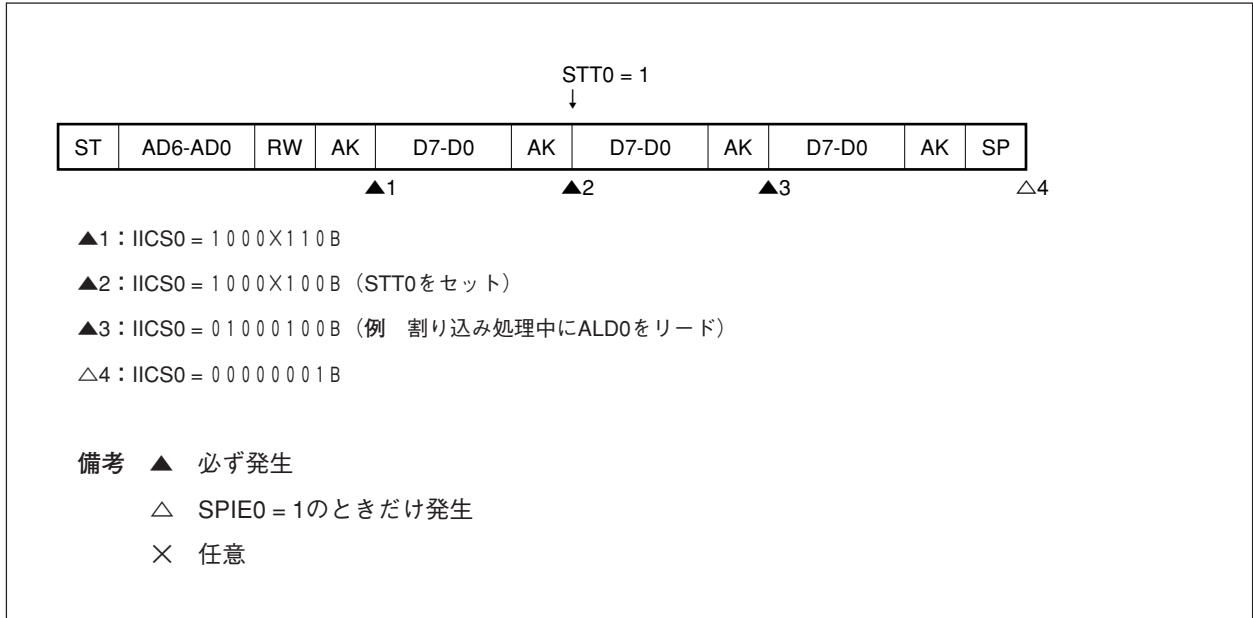
△ SPIE0 = 1のときだけ発生

× 任意

n = 6-0

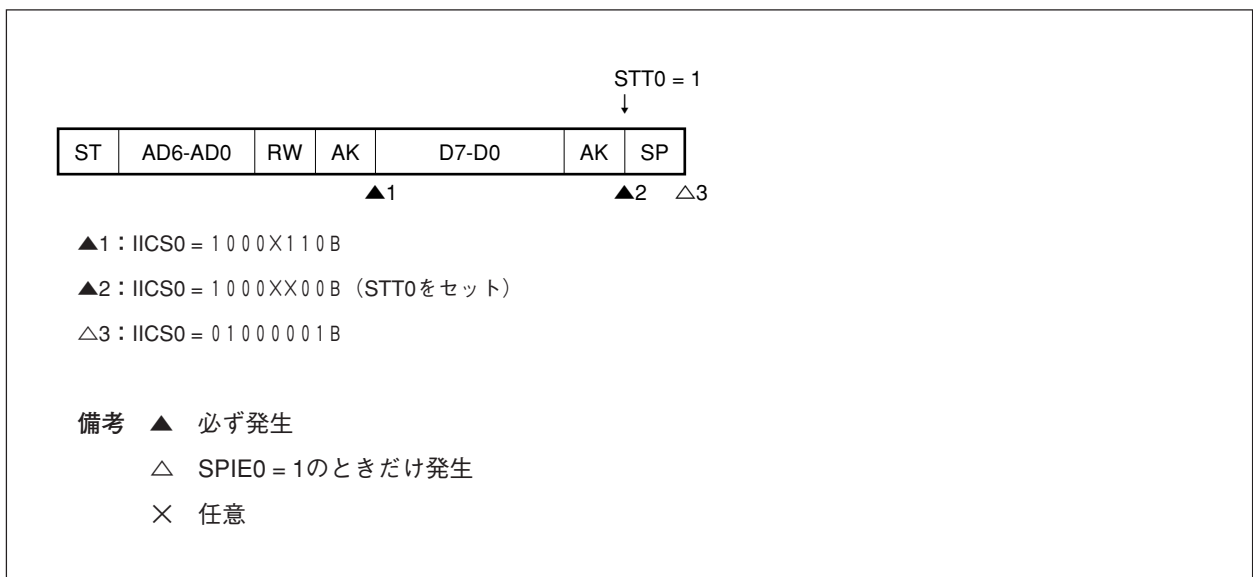
(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMO = 1のとき



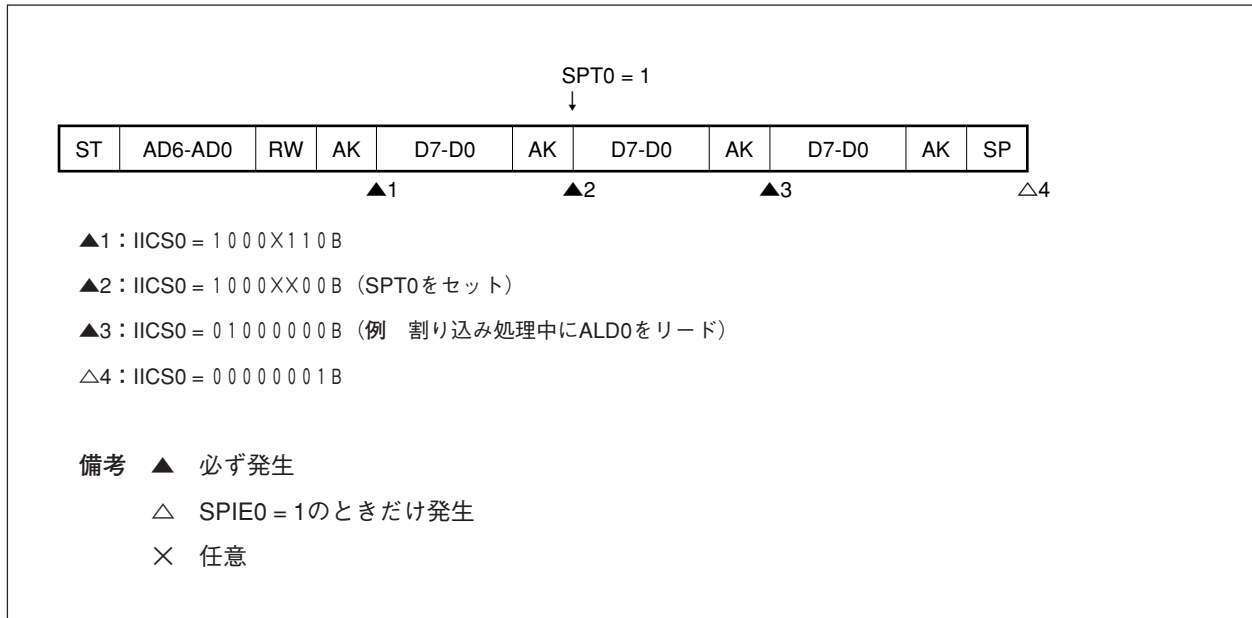
(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(i) WTIMO = 1のとき



(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMO = 1のとき



18.6 タイミング・チャート

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRC0ビット (IIC状態レジスタ0 (IICS0) のビット3) を送信し、スレーブとのシリアル通信を開始します。

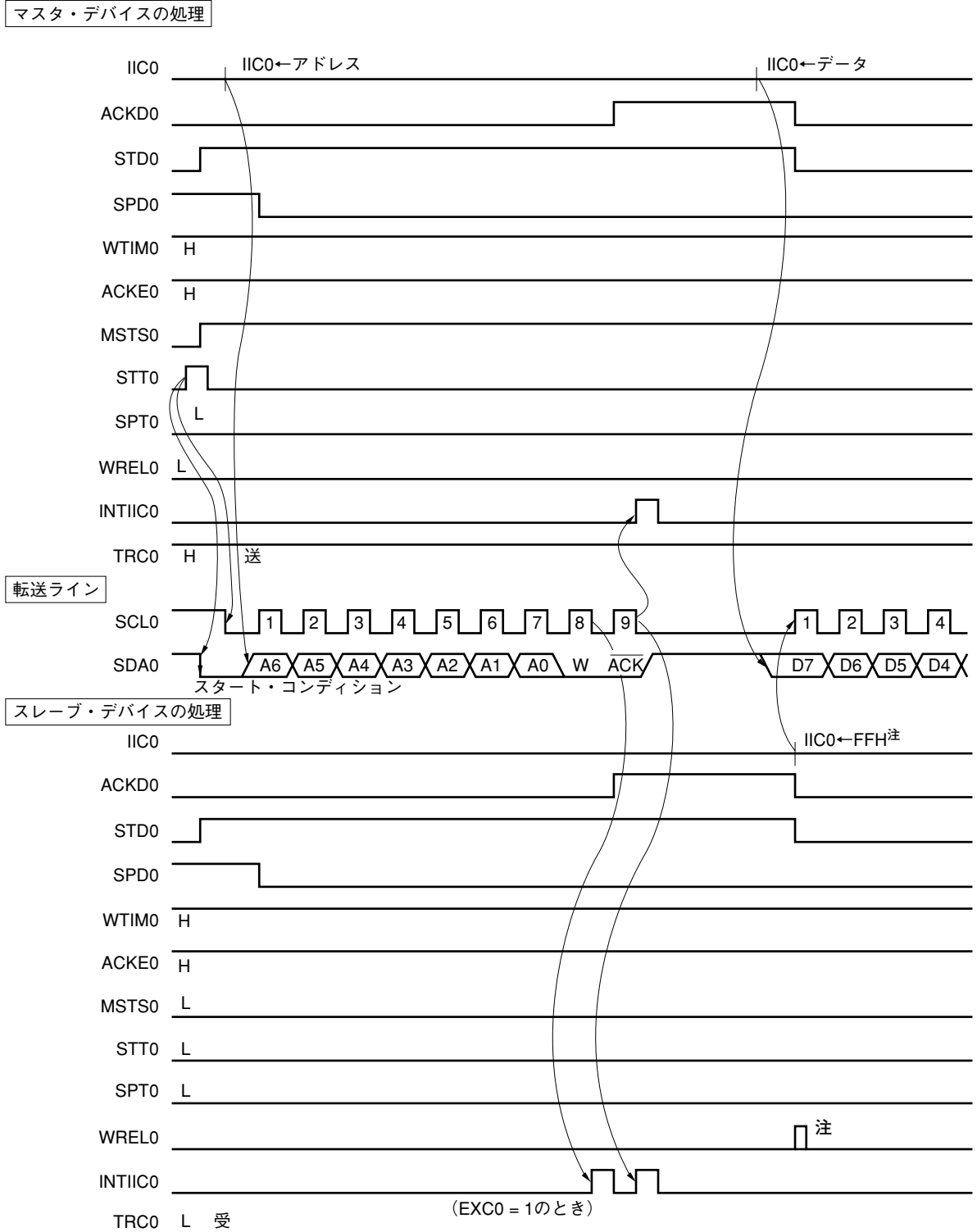
データ通信のタイミング・チャートを図18-23, 図18-24に示します。

シリアル・クロック (SCL0) の立ち下がりに同期してIICシフト・レジスタ0 (IIC0) のシフト動作が行われ、送信データがSO0ラッチに転送され、SDA0端子からMSBファーストで出力されます。

また、SCL0の立ち上がりでSDA0端子に入力されたデータがIIC0に取り込まれます。

図18-23 マスタ→スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

(1) スタート・コンディション～アドレス

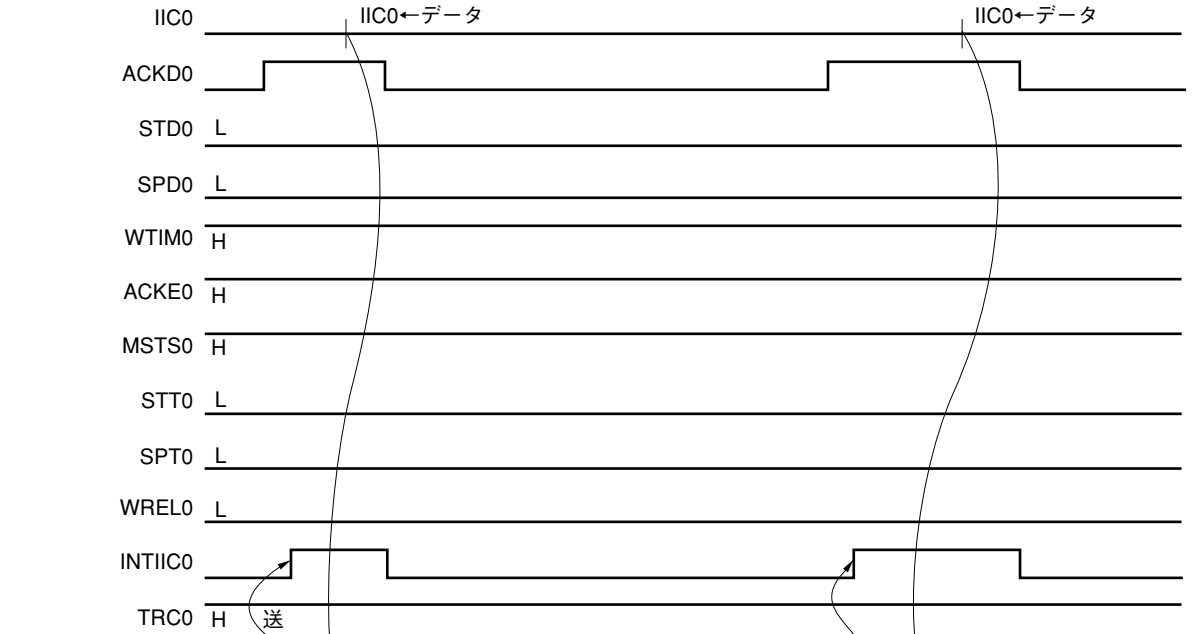


注 スレーブ・ウエイト解除は、IIC0←FFHまたはWRELOのセットのどちらかで行ってください。

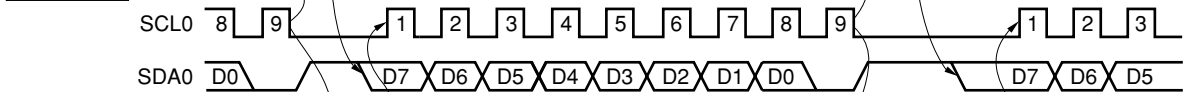
図18-23 マスタ→スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

(2) データ

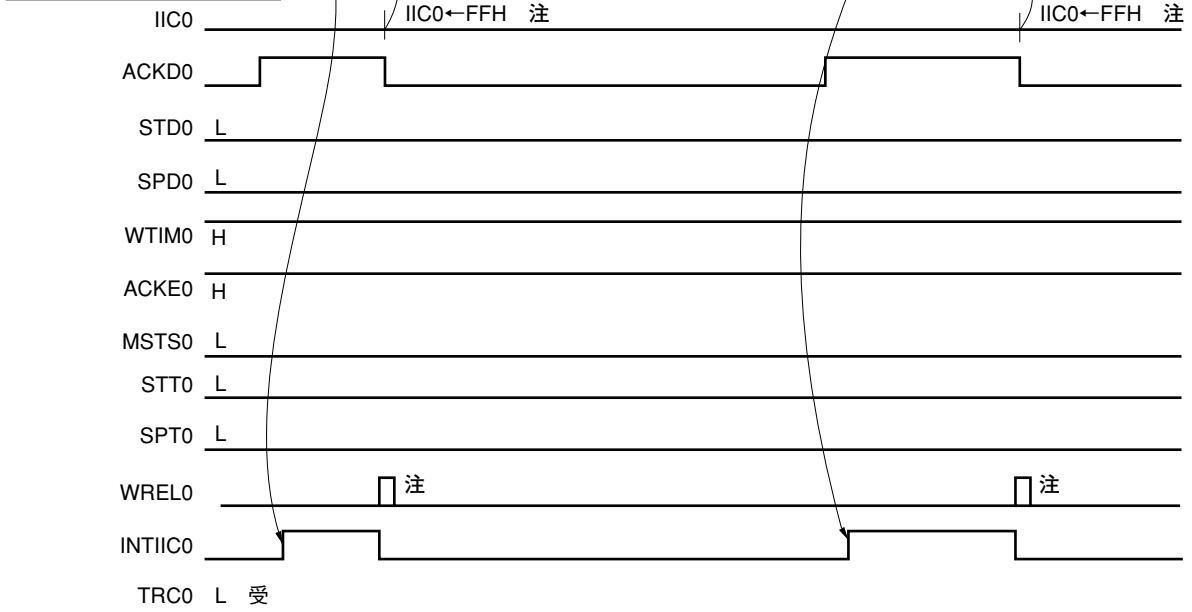
マスタ・デバイスの処理



転送ライン



スレーブ・デバイスの処理

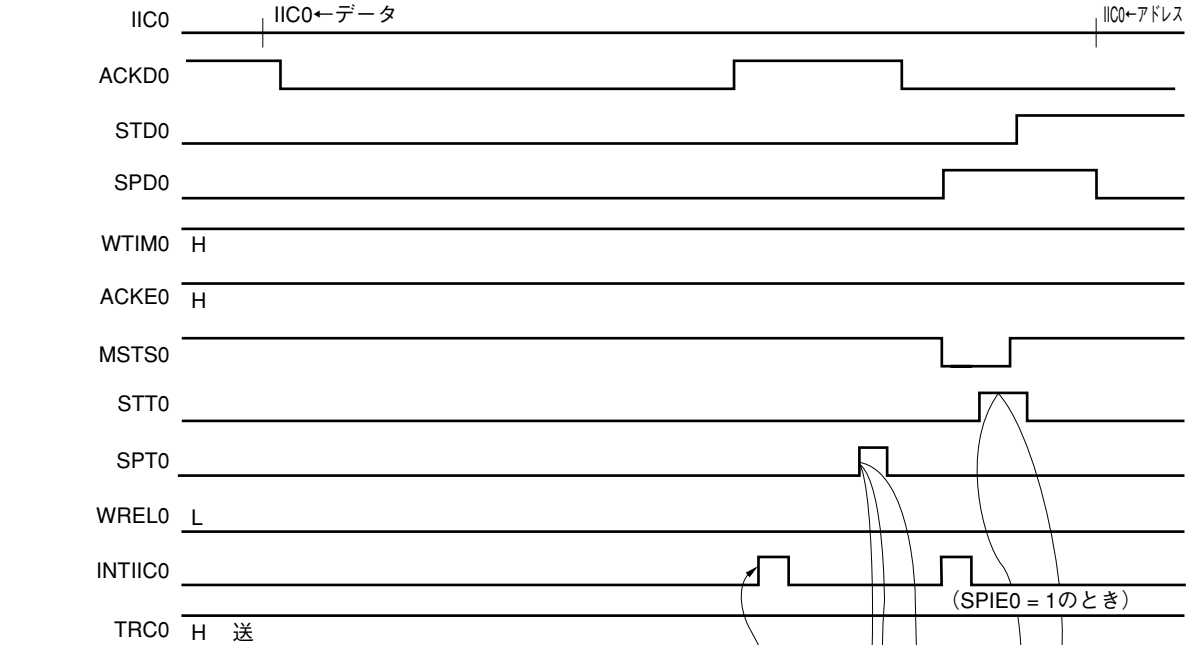


注 スレーブ・ウエイト解除は、IIC0←FFHまたはWRELOのセットのどちらかで行ってください。

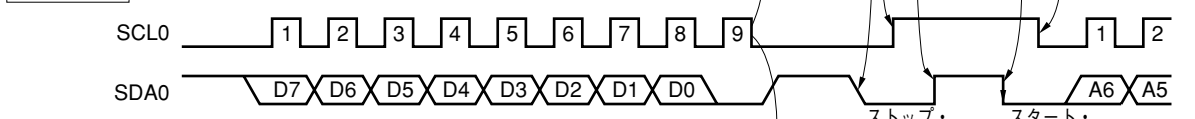
図18-23 マスタ→スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)

(3) ストップ・コンディション

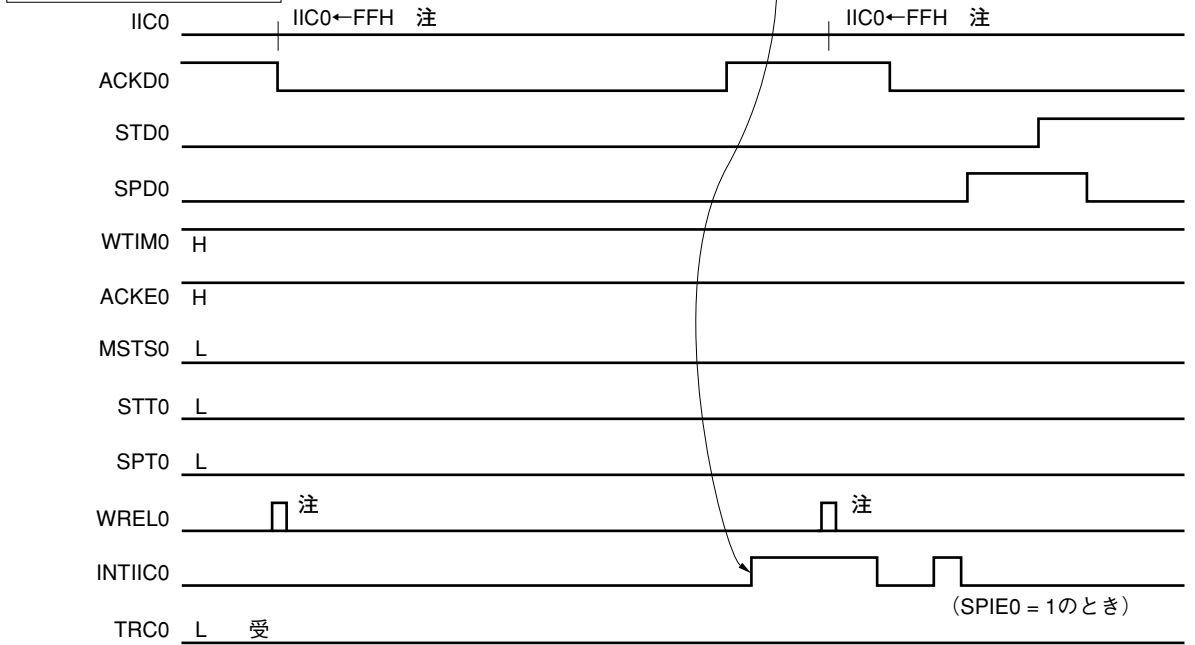
マスタ・デバイスの処理



転送ライン



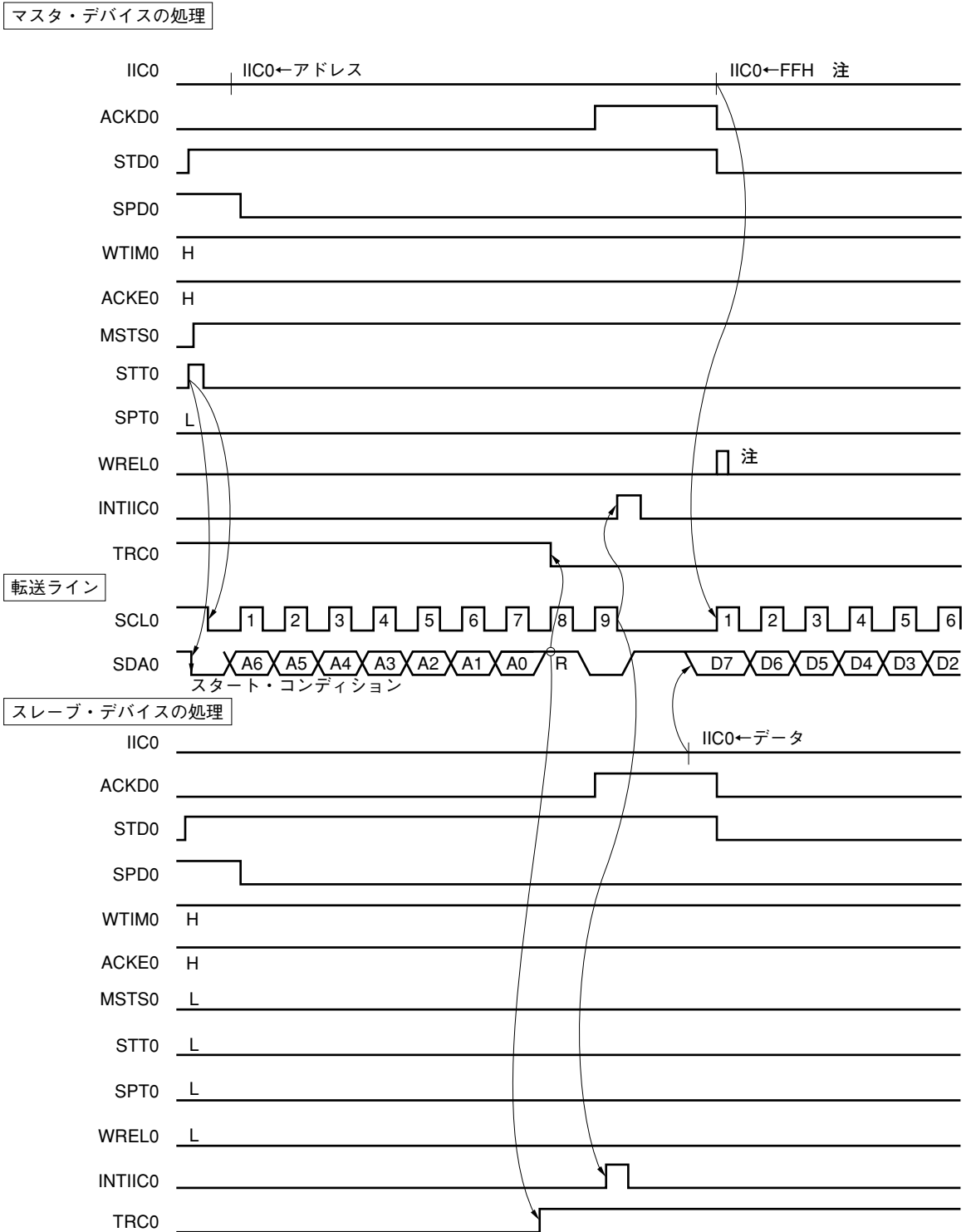
スレーブ・デバイスの処理



注 スレーブ・ウエイト解除は、IIC0←FFHまたはWRELOのセットのどちらかで行ってください。

図18-24 スレーブ→マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

(1) スタート・コンディション～アドレス



注 マスタ・ウエイト解除は、IIC0←FFHまたはWRELOのセットのどちらかで行ってください。

図18-24 スレーブ→マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

(2) データ

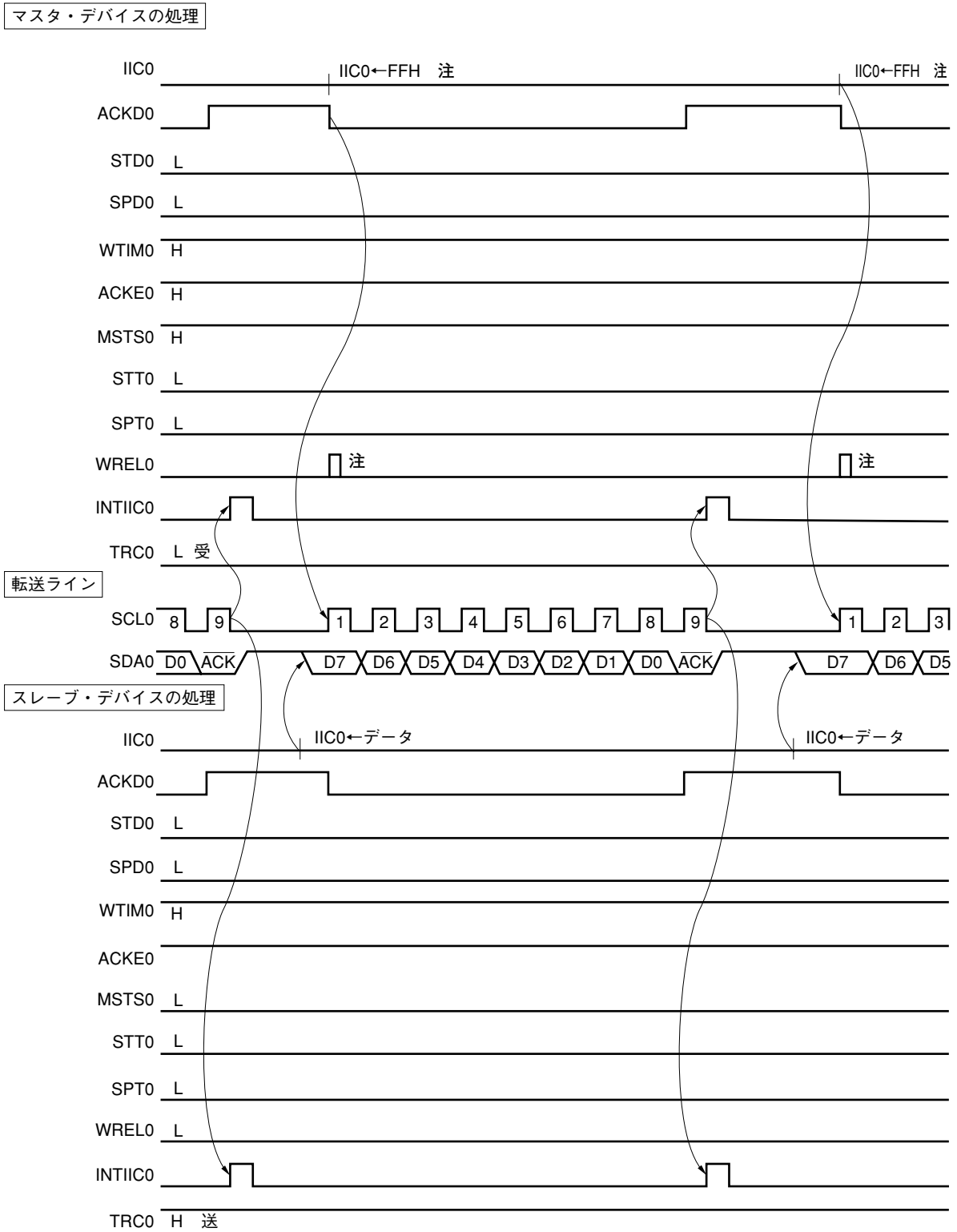
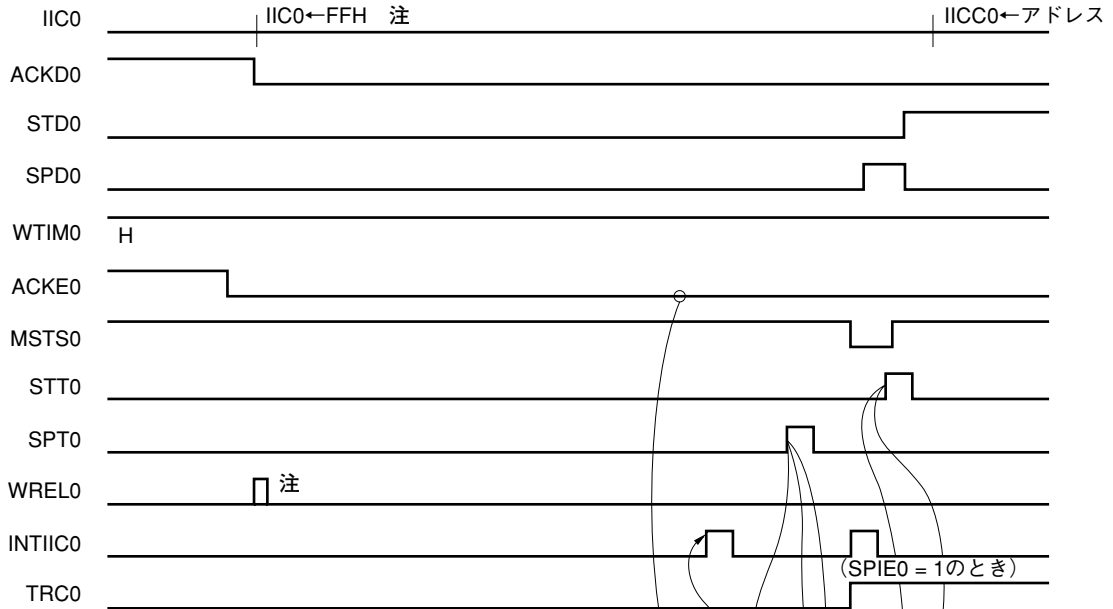


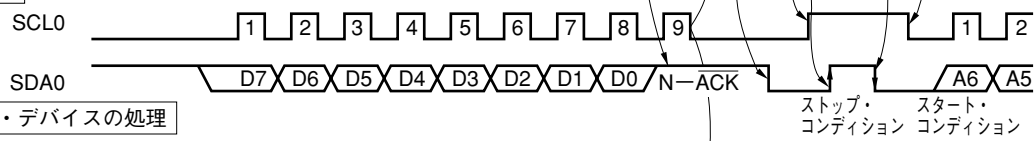
図18-24 スレーブ→マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)

(3) ストップ・コンディション

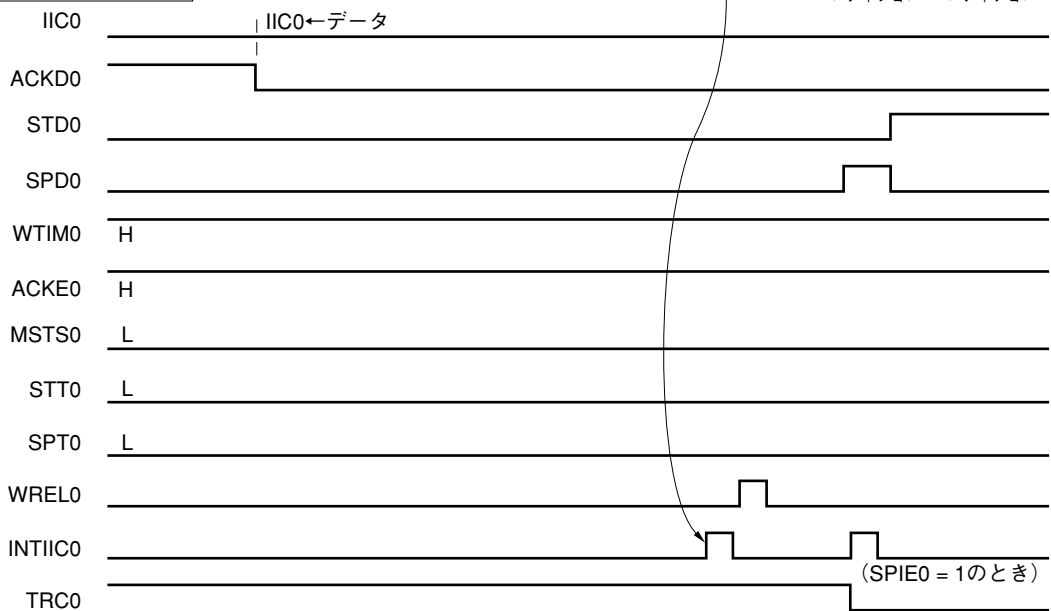
マスタ・デバイスの処理



転送ライン



スレーブ・デバイスの処理



注 マスタ・ウエイト解除は、IIC0←FFHまたはWRELOのセットのどちらかで行ってください。

第19章 割り込み機能

19.1 割り込み機能の種類

割り込み機能には、次の3種類があります。

(1) ノンマスカブル割り込み

割り込み禁止状態でも受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。ただし、ノンマスカブル割り込み中の場合、割り込み要求は保留されます。

スタンバイ・リリース信号を発生し、メイン・システム・クロック動作中のHALTモードを解除します。
ノンマスカブル割り込みは、ウォッチドッグ・タイマからの割り込み要求だけです。

(2) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PROL, PROH, PR1L) の設定により、割り込み優先順位を高い優先順位のグループと低い優先順位のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときの優先順位が決められています (表19-1 参照)。

スタンバイ・リリース信号を発生し、STOPモード、HALTモードを解除します。
マスカブル割り込みには、外部割り込み要求が5要因、内部割り込み要求が13要因あります。

(3) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

19.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込み、ソフトウェア割り込みをあわせて、合計20要因あります (表19-1 参照)。

備考 ウォッチドッグ・タイマの割り込み (INTWDT) は、ノンマスカブル割り込みかマスカブル割り込み (内部) のどちらかを選択できます。

表19-1 割り込み要因一覧

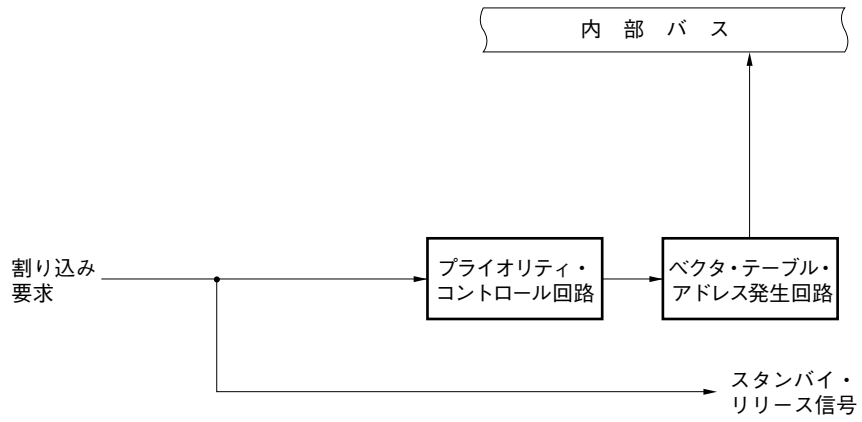
割り込みの種類	デフォルト・注 ¹ プライオリティ	割り込み要因		内部/ 外部	ベクタ・ テーブル・ アドレス	基本構成注 ² タイプ
		名称	トリガ			
ノンマスクابل	—	INTWDT	ウォッチドッグ・タイマのオーバフロー (ウォッチドッグ・タイマ・モード1選択時)	内部	0004H	(A)
マスクابل	0	INTWDT	ウォッチドッグ・タイマのオーバフロー (インターバル・タイマ・モード選択時)			
	1	INTP0	端子入力エッジ検出	外部	0006H 0008H 000AH 000CH	(C)
	2	INTP1				
	3	INTP2				
	4	INTP3				
	5	INTSER0	シリアル・インタフェースUART0の受信エラー発生	内部	000EH 0010H 0012H 0014H 0016H 0018H 001AH 001CH 001EH 0020H 0022H 0024H 0026H	(B)
	6	INTSR0	シリアル・インタフェースUART0の受信終了			
	7	INTST0	シリアル・インタフェースUART0の送信終了			
	8	INTCSI30	シリアル・インタフェースSIO30の転送終了			
	9	INTCSI31	シリアル・インタフェースSIO31の転送終了 【μPD780024A,780034Aサブシリーズのみ】			
	10	INTIIC0	シリアル・インタフェースIIC0の転送終了 【μPD780024AY,780034AYサブシリーズのみ】			
	11	INTWTI	時計用タイマからの基準時間間隔信号			
	12	INTTM00	TM0とCR00の一致 (CR00をコンペア・レジスタに指定したとき) TI00またはTI01端子の有効エッジ検出 (CR00をキャプチャ・レジスタに指定したとき)			
	13	INTTM01	TM0とCR01の一致 (CR01をコンペア・レジスタに指定したとき) TI00端子の有効エッジ検出 (CR01をキャプチャ・レジスタに指定したとき)			
	14	INTTM50	TM50とCR50の一致			
	15	INTTM51	TM51とCR51の一致			
	16	INTAD0	A/Dコンバータの変換終了			
	17	INTWT	時計用タイマのオーバフロー			
	18	INTKR	ポート4の立ち下がりエッジ検出	外部	0028H	(D)
ソフトウェア	—	BRK	BRK命令の実行	—	003EH	(E)

注1. デフォルト・プライオリティは、複数のマスクابل割り込みが同時に発生している場合に、優先する順位です。0が最高順位、18が最低順位です。

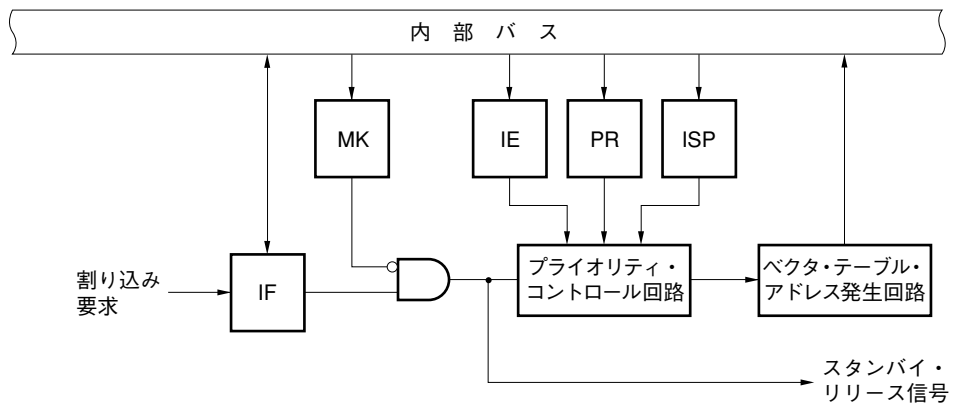
2. 基本構成タイプの (A) - (E) は、それぞれ図19-1の (A) - (E) に対応しています。

図19-1 割り込み機能の基本構成 (1/2)

(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み (INTP0-INTP3)

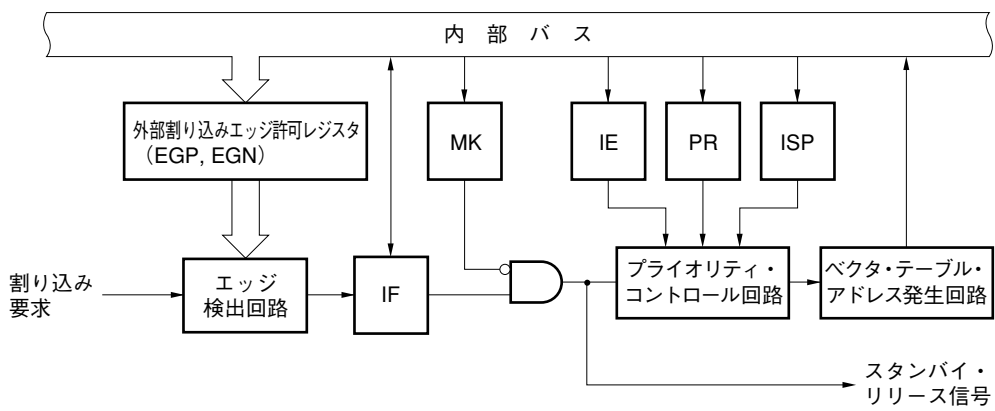
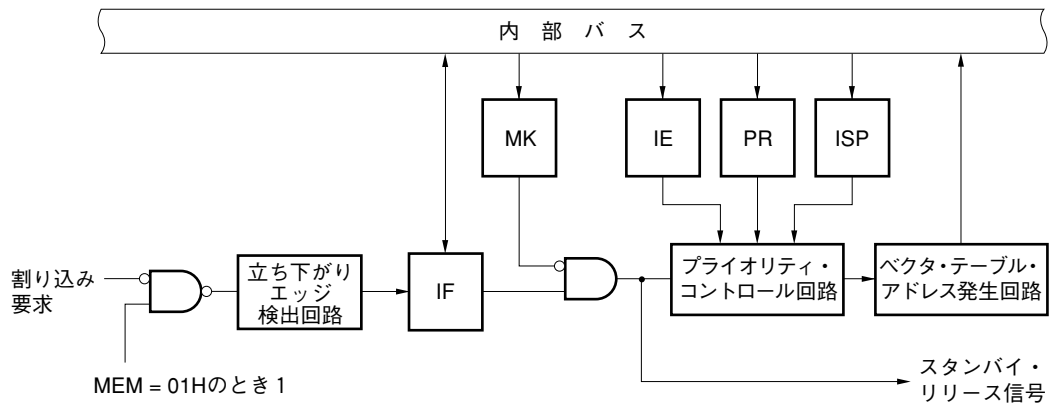
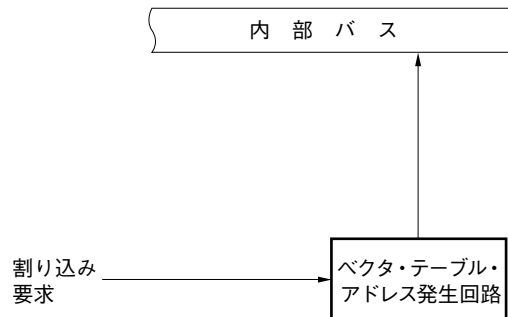


図19-1 割り込み機能の基本構成 (2/2)

(D) 外部マスカブル割り込み(INTKR)



(E) ソフトウェア割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP : インサービス・プライオリティ・フラグ
- MK : 割り込みマスク・フラグ
- PR : 優先順位指定フラグ
- MEM : メモリ拡張モード・レジスタ

19.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L,IF0H,IF1L)
- ・割り込みマスク・フラグ・レジスタ (MK0L,MK0H,MK1L)
- ・優先順位指定フラグ・レジスタ (PR0L,PR0H,PR1L)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表19-2に示します。

表19-2 割り込み要求ソースに対応する各種フラグ

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTWDT	WDTIF ^{注1}	IF0L	WDTMK	MK0L	WDTPR	PR0L
INTP0	PIF0		PMK0		PPR0	
INTP1	PIF1		PMK1		PPR1	
INTP2	PIF2		PMK2		PPR2	
INTP3	PIF3		PMK3		PPR3	
INTSER0	SERIF0		SERMK0		SERPR0	
INTSR0	SRIF0		SRMK0		SRPR0	
INTST0	STIF0		STMK0		STPR0	
INTCSI30	CSIIF30	IF0H	CSIMK30	MK0H	CSIPR30	PR0H
INTCSI31 ^{注2}	CSIIF31 ^{注2}		CSIMK31 ^{注1}		CSIPR31 ^{注1}	
INTIIC0 ^{注3}	IICIF0 ^{注3}		IICMK0 ^{注2}		IICPR0 ^{注2}	
INTWTI	WTIIF		WTIMK		WTIPR	
INTTM00	TMIF00		TMMK00		TMPR00	
INTTM01	TMIF01		TMMK01		TMPR01	
INTTM50	TMIF50		TMMK50		TMPR50	
INTTM51	TMIF51		TMMK51		TMPR51	
INTAD0	ADIF0	IF1L	ADMK0	MK1L	ADPR0	PR1L
INTWT	WTIF		WTMK		WTIPR	
INTKR	KRIF		KRMK		KRPR	

注1. ウォッチドッグ・タイマをインターバル・タイマとして使用しているときの割り込み制御フラグ

2. μ PD780024A, 780034Aサブシリーズのみ
3. μ PD780024AY, 780034AYサブシリーズのみ

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、 $\overline{\text{RESET}}$ 入力時、命令の実行によりクリア (0) されるフラグです。

IF0L, IF0H, IF1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0Hをあわせて16ビット・レジスタIF0として使用するときには、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図19-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L) のフォーマット

アドレス：FFE0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	STIF0	SRIF0	SERIF0	PIF3	PIF2	PIF1	PIF0	WDTIF

アドレス：FFE1H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	TMIF51	TMIF50	TMIF01	TMIF00	WTIIF	IICIF0 ^{注1}	CSIF31 ^{注2}	CSIF30

アドレス：FFE2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	0	0	0	0	0	KRIF	WTIF	ADIF0

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注1. μ PD780024AY, 780034AYサブシリーズのみ内蔵しています。 μ PD780024A, 780034Aサブシリーズでは必ず0を設定してください。

2. μ PD780024A, 780034Aサブシリーズのみ内蔵しています。 μ PD780024AY, 780034AYサブシリーズでは必ず0を設定してください。

注意1. WDTIFフラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1で使用する場合は、WDTIFフラグに0を設定してください。

2. IF1Lのビット3-7には、必ず0を設定してください。

3. タイマ、シリアル・インタフェース、A/Dコンバータなどをスタンバイ解除後に動作させる場合、いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。

4. 割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

- ★ 注意 5. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令（CLR1）を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令（CLR1）になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L, 0");」のようなビット操作命令を使用してください。
- なお、C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov  a, IF0L
and  a, #0FEH
mov  IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ（IF0L）の他ビットの要求フラグがセット（1）されても、「mov IF0L, a」でクリア（0）されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。

MK0L, MK0H, MK1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0LとMK0Hをあわせて16ビット・レジスタMK0として使用するときには、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図19-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L) のフォーマット

アドレス：FFE4H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	STMK0	SRMK0	SERMK0	PMK3	PMK2	PMK1	PMK0	WDTMK

アドレス：FFE5H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	TMMK51	TMMK50	TMMK01	TMMK00	WTIMK	IICMK0 ^{注1}	CSIMK31 ^{注2}	CSIMK30

アドレス：FFE6H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	1	1	1	1	1	KRMK	WTMK	ADMK0

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注1. μ PD780024AY, 780034AYサブシリーズのみ内蔵しています。 μ PD780024A, 780034Aサブシリーズでは必ず1を設定してください。

2. μ PD780024A, 780034Aサブシリーズのみ内蔵しています。 μ PD780024AY, 780034AYサブシリーズでは必ず1を設定してください。

注意1. ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1で使用する場合は、WDTMKフラグを読み出すと不定になっています。

2. ポート0は、外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し、出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

3. MK1Lのビット3-7には、必ず1を設定してください。

(3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位を設定するフラグです。

PR0L, PR0H, PR1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR0LとPR0Hをあわせて16ビット・レジスタPR0として使用するとき、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図19-4 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L) のフォーマット

アドレス：FFE8H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR0L	STPR0	SRPR0	SERPR0	PPR3	PPR2	PPR1	PPR0	WDTPR

アドレス：FFE9H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR0H	TMPR51	TMPR50	TMPR01	TMPR00	WTIPR	IICPR0 ^{注1}	CSIPR31 ^{注2}	CSIPR30

アドレス：FFEAH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR1L	1	1	1	1	1	KRPR	WTPR	ADPR0

XXPRX	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

注1. μ PD780024AY, 780034AYサブシリーズのみ内蔵しています。 μ PD780024A, 780034Aサブシリーズでは必ず1を設定してください。

2. μ PD780024A, 780034Aサブシリーズのみ内蔵しています。 μ PD780024AY, 780034AYサブシリーズでは必ず1を設定してください。

注意1. ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1で使用する場合は、WDTPRフラグに1を設定してください。

2. PR1Lのビット3-7には、必ず1を設定してください。

- (4) 外部割り込み立ち上がりエッジ許可レジスタ (EGP), 外部割り込み立ち下がりエッジ許可レジスタ (EGN) INTP0-INTP3の有効エッジを設定するレジスタです。
 EGP, EGNは, それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により, 00Hになります。

図19-5 外部割り込み立ち上がりエッジ許可レジスタ (EGP), 外部割り込み立ち下がりエッジ許可レジスタ (EGN) のフォーマット

アドレス: FF48H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
EGP	0	0	0	0	EGP3	EGP2	EGP1	EGP0

アドレス: FF49H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
EGN	0	0	0	0	EGN3	EGN2	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-3)
0	0	割り込み禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

注意 外部割り込み要求機能からポート機能に切り替える場合に, エッジ検出を行う可能性があるため, EGPnとEGNnを0に設定してからポート・モードに切り替えてください。

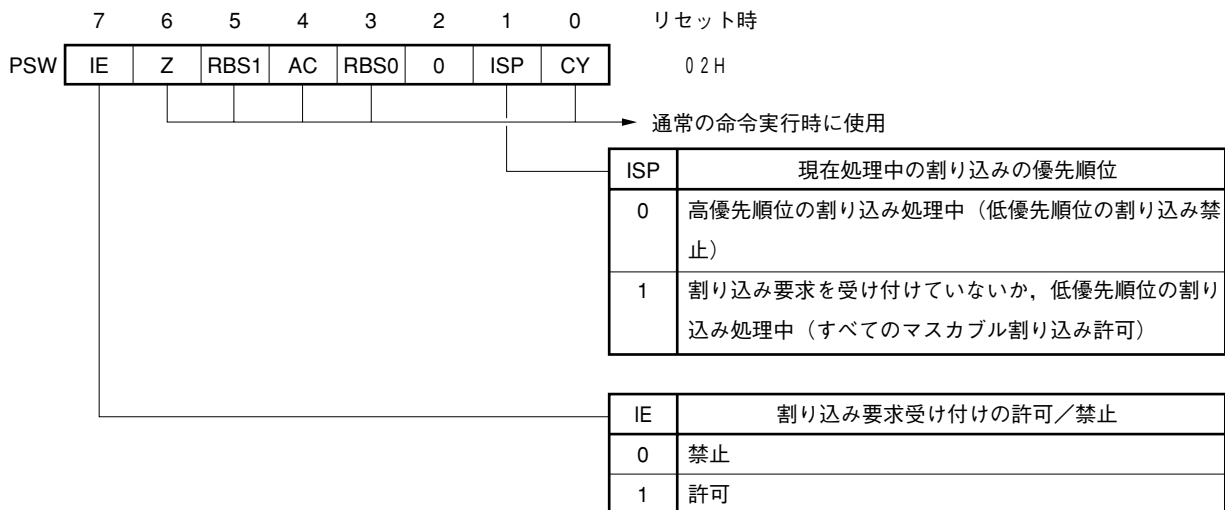
(5) プログラム・ステータス・ワード(PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスク可能割り込みの許可/禁止を設定するIEフラグと多重割り込み処理の制御を行うISPフラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット (0) されます。また、マスク可能割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

RESET入力により、PSWは02Hとなります。

図19-6 プログラム・ステータス・ワードの構成



19.4 割り込み処理動作

19.4.1 ノンмасカブル割り込み要求の受け付け動作

ノンмасカブル割り込み要求は、割り込み要求受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

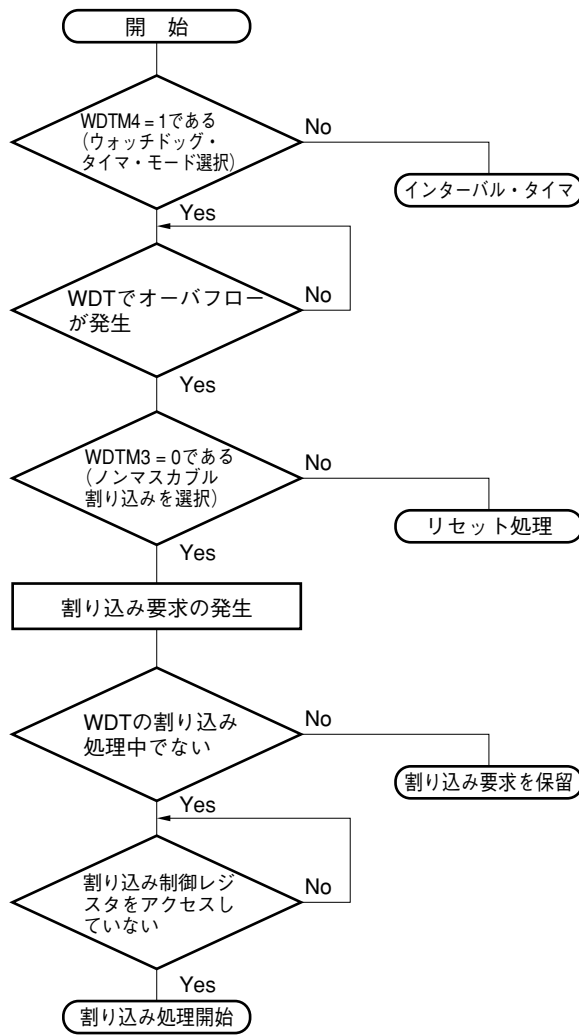
- ★ ノンмасカブル割り込み要求が受け付けられると、PSW, PCの順に内容をスタックに退避し、IEフラグ, ISPフラグをリセット(0)し、ベクタ・テーブルの内容をPCへロードし分岐します。これにより、多重割り込みの受け付けが禁止されます。

ノンмасカブル割り込みサービス・プログラム実行中に発生した新たなノンмасカブル割り込み要求は、現在処理中のノンмасカブル割り込みサービス・プログラムの実行が終了(RETI命令実行後)し、メイン・ルーチンを1命令実行したあと、受け付けられます。ただし、ノンмасカブル割り込みサービス・プログラム実行中に新たなノンмасカブル割り込み要求が2回以上発生しても、そのノンмасカブル割り込みサービス・プログラム実行終了後に受け付けられるノンмасカブル割り込み要求は1回分だけになります。

ノンмасカブル割り込み要求発生から受け付けまでのフロー・チャートを図19-7に、ノンмасカブル割り込み要求の受け付けタイミングを図19-8に、ノンмасカブル割り込み要求が多重に発生した場合の受け付け動作を図19-9に示します。

- ★ 注意 ノンмасカブル割り込みから復帰するときは、必ずRETI命令を使用してください。

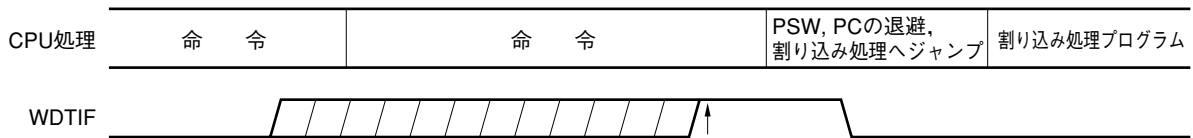
図19-7 ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャート



WDTM：ウォッチドッグ・タイマ・モード・レジスタ

WDT：ウォッチドッグ・タイマ

図19-8 ノンマスカブル割り込み要求の受け付けタイミング

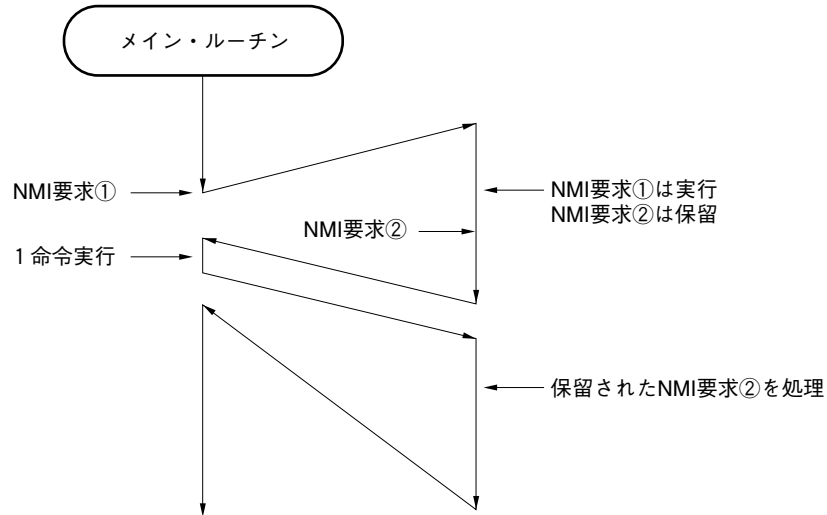


この間に発生した割り込みは↑のタイミングで受け付けられます。

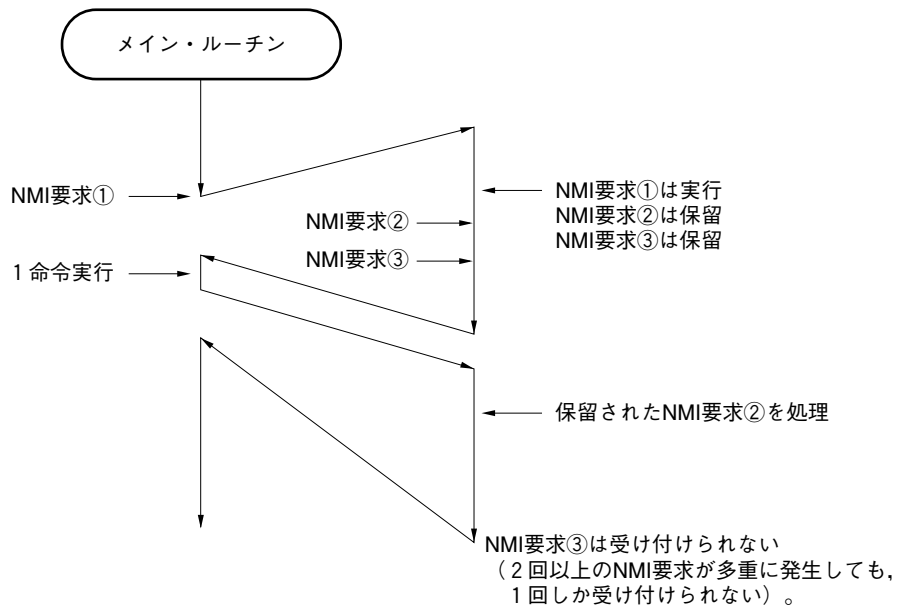
WDTIF：ウォッチドッグ・タイマ割り込み要求フラグ

図19-9 ノンマスクابل割り込み要求の受け付け動作

(a) ノンマスクابل割り込みサービス・プログラム実行中に
新たなノンマスクابل割り込み要求が発生した場合



(b) ノンマスクابل割り込みサービス・プログラム実行中に
新たに2回のノンマスクابل割り込み要求が発生した場合



19.4.2 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット（1）され、その割り込み要求のマスク（MK）フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。ただし、優先順位の高い割り込みを処理中（ISPフラグがリセット（0）されているとき）に低い優先順位に指定されている割り込み要求は受け付けられません。

★ また、ノンマスカブル割り込みサービス・プログラム実行中にEI命令を実行しても、ノンマスカブル割り込み要求およびマスカブル割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してから割り込み処理が行われるまでの時間は表19-3のようになります。

割り込み要求の受け付けタイミングについては、図19-11、19-12を参照してください。

表19-3 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
××PR=0のとき	7クロック	32クロック
××PR=1のとき	8クロック	33クロック

注 除算命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック：1/fCPU（fCPU：CPUクロック）

マスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

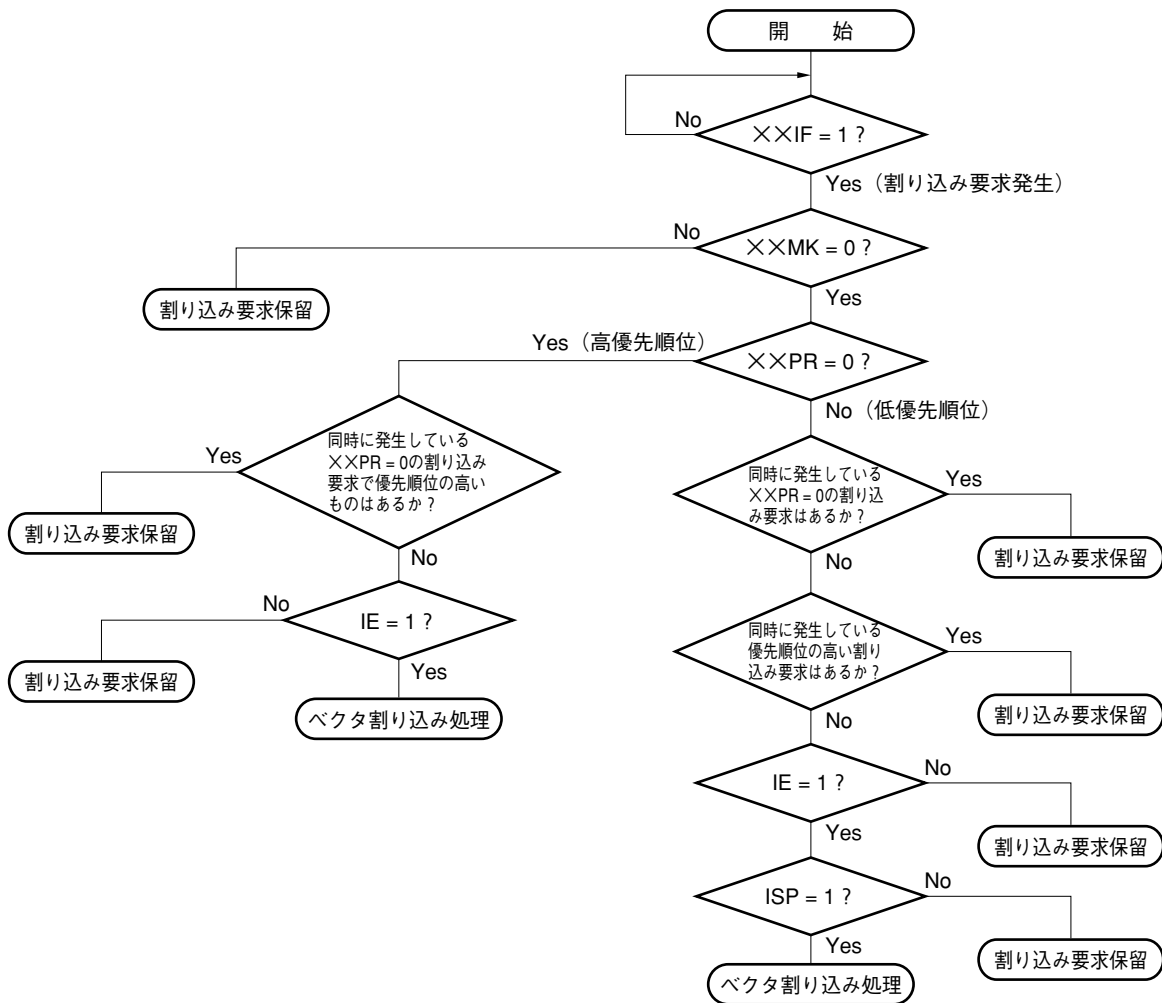
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図19-10に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード（PSW）、プログラム・カウンタ（PC）の順に内容をスタックに退避し、IEフラグをリセット（0）し、受け付けた割り込みの優先順位指定フラグの内容をISPフラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図19-10 割り込み要求受け付け処理アルゴリズム



××IF : 割り込み要求フラグ

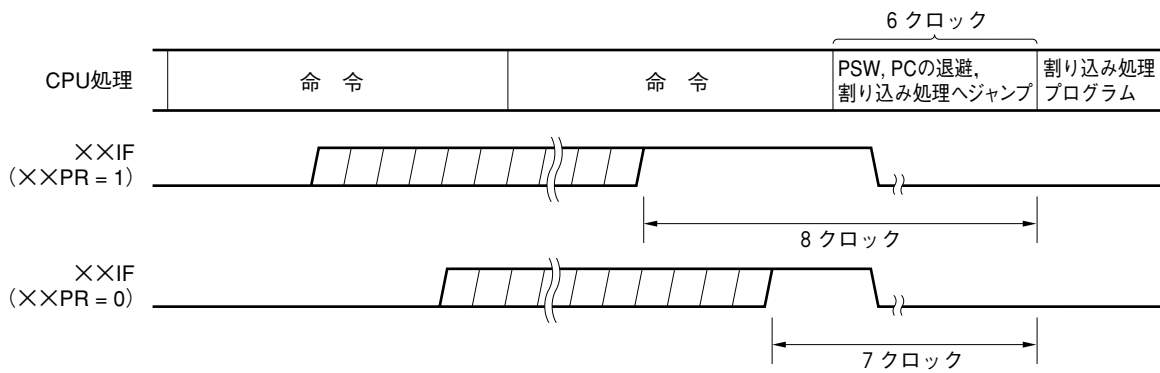
××MK : 割り込みマスク・フラグ

××PR : 優先順位指定フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

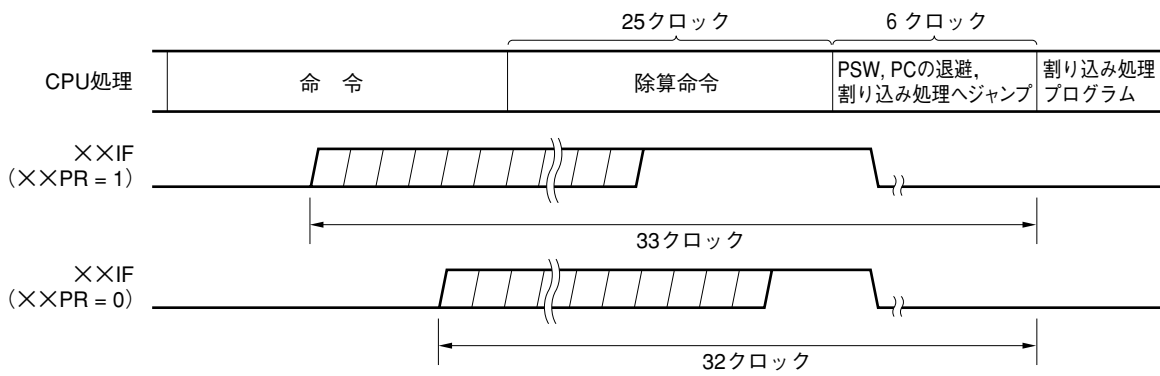
ISP : 現在処理中の割り込みの優先順位を示すフラグ (0 = 高優先順位の割り込み処理中, 1 = 割り込み要求を受け付けていない, または低優先順位の割り込み処理中)

図19-11 割り込み要求の受け付けタイミング (最小時間)



備考 1クロック：1/f_{CPU} (f_{CPU}：CPUクロック)

図19-12 割り込み要求の受け付けタイミング (最大時間)



備考 1クロック：1/f_{CPU} (f_{CPU}：CPUクロック)

19.4.3 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (003EH, 003FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

19.4.4 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません (ノンマスクابل割り込みを除く)。また、割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みと同レベルか、それよりも高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みより低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

なお、ノンマスクابل割り込み処理中には、多重割り込みは許可されません。

表19-4に多重割り込み可能な割り込み要求を、図19-13に多重割り込みの例を示します。

表19-4 割り込み処理中に多重割り込み可能な割り込み要求

処理中の割り込み	多重割り込み要求	ノンマスカブル 割り込み要求	マスカブル割り込み要求				ソフトウェア 割り込み要求
			PR = 0		PR = 1		
			IE = 1	IE = 0	IE = 1	IE = 0	
ノンマスカブル割り込み		×	×	×	×	×	○
マスカブル割り込み	ISP = 0	○	○	×	×	×	○
	ISP = 1	○	○	×	○	×	○
ソフトウェア割り込み		○	○	×	○	×	○

備考 1. ○：多重割り込み可能。

2. ×：多重割り込み不可能。

3. ISP, IEはPSWに含まれるフラグです。

ISP = 0：高優先順位の割り込み処理中

ISP = 1：割り込み要求を受け付けていないか、低優先順位の割り込み処理中

IE = 0：割り込み要求受け付け禁止

IE = 1：割り込み要求受け付け許可

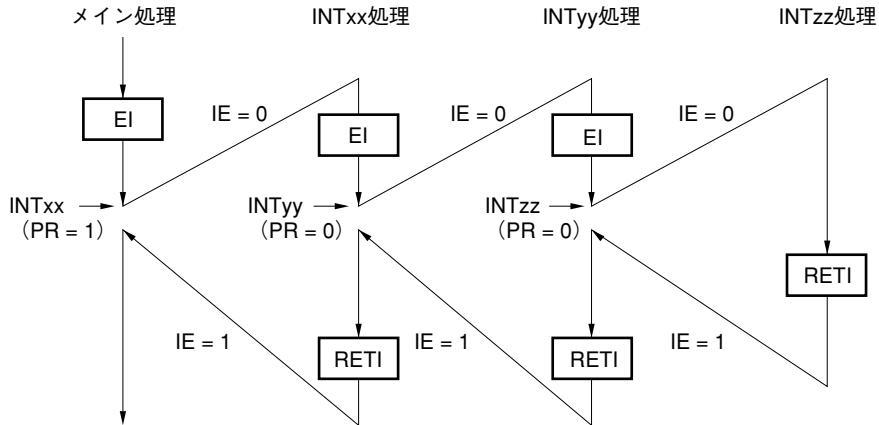
4. PRはPR0L, PR0H, PR1Lに含まれるフラグです。

PR = 0：高優先順位レベル

PR = 1：低優先順位レベル

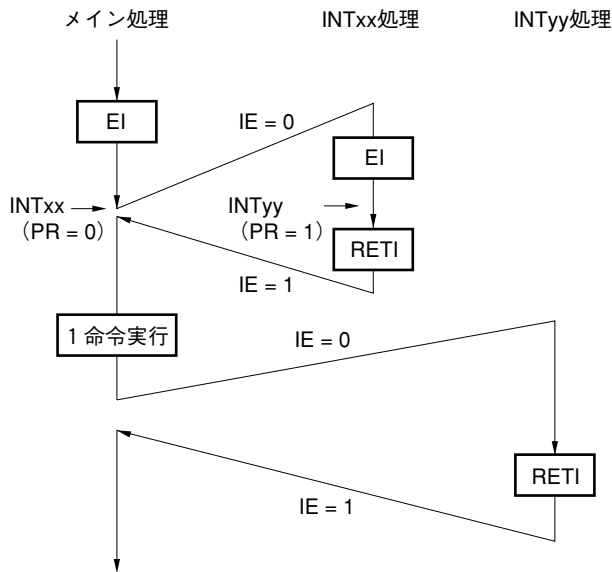
図19-13 多重割り込みの例 (1/2)

例 1. 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている。

例 2. 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

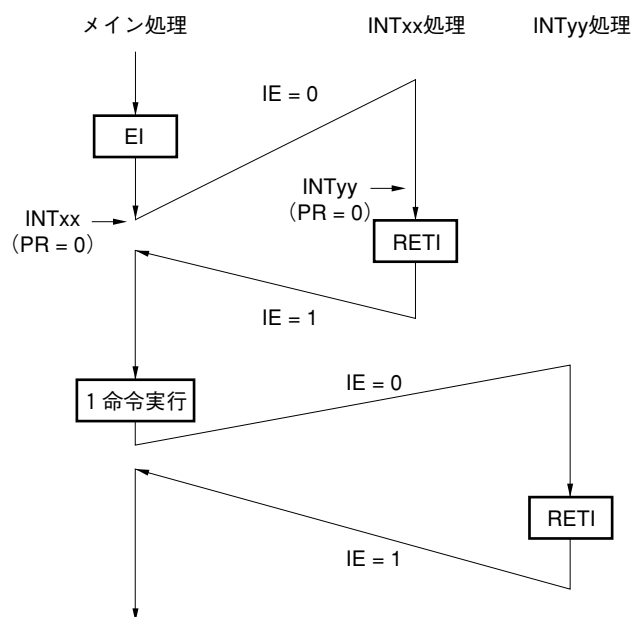
PR = 0 : 高優先順位レベル

PR = 1 : 低優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

図19-13 多重割り込みの例 (2/2)

例3. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 0 : 高優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

19.4.5 割り込み要求の保留

命令の中には、実行中に割り込み要求が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を以下に示します。

- MOV PSW, #byte
- MOV A, PSW
- MOV PSW, A
- MOV1 PSW. bit, CY
- MOV1 CY, PSW. bit
- AND1 CY, PSW. bit
- OR1 CY, PSW. bit
- XOR1 CY, PSW. bit
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- PUSH PSW
- POP PSW
- BT PSW. bit, \$addr16
- BF PSW. bit, \$addr16
- BTCLR PSW. bit, \$addr16
- EI
- DI
- IF0L, IF0H, IF1L, MK0L, MK0H, MK1L, PR0L, PR0H, PR1Lの各レジスタに対する操作命令

注意 BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスクブル割り込み要求が発生しても、割り込み要求を受け付けません。ただし、ノンマスクブル割り込み要求は受け付けます。

割り込み要求が保留されるタイミングを図19-14に示します。

図19-14 割り込み要求の保留



- 備考 1. 命令N：割り込み要求の保留命令
2. 命令M：割り込み要求の保留命令以外の命令
3. XXIF（割り込み要求）の動作は、XXPR（優先順位レベル）の値の影響を受けません。

第20章 外部デバイス拡張機能

μ PD780024A, 780034Aサブシリーズの拡張規格品を使用する場合においても、従来規格条件（ $f_x = 8.38 \text{ MHz}$: $V_{DD} = 4.0 \sim 5.5 \text{ V}$, $f_x = 5 \text{ MHz}$: $V_{DD} = 2.7 \sim 5.5 \text{ V}$, $f_x = 1.25 \text{ MHz}$: $V_{DD} = 1.8 \sim 5.5 \text{ V}$ ）で使用してください。拡張規格条件（高速動作）では、外部デバイス拡張機能を使用することはできません。

20.1 外部デバイス拡張機能

外部デバイス拡張機能は、内部ROM, RAM, SFR以外の領域に、外部デバイスを接続する機能です。外部デバイスの接続は、ポート4-6を使用します。ポート4-6は、アドレス/データ、リード/ライト・ストローク、ウエイト、アドレス・ストロークなどの制御を行います。

表20-1 外部メモリ拡張モード時の端子機能

外部デバイス接続時の端子機能		兼用端子
名称	機能	
AD0-AD7	マルチプレクスト・アドレス/データ・バス	P40-P47
A8-A15	アドレス・バス	P50-P57
$\overline{\text{RD}}$	リード・ストローク信号	P64
$\overline{\text{WR}}$	ライト・ストローク信号	P65
$\overline{\text{WAIT}}$	ウエイト信号	P66
ASTB	アドレス・ストローク信号	P67

表20-2 外部メモリ拡張モード時のポート4-6の端子の状態

外部拡張モード	ポート4		ポート5							ポート6			
	0-7		0	1	2	3	4	5	6	7	4	5	6
シングルチップ・モード	ポート		ポート							ポート			
256バイト拡張モード	アドレス/データ		ポート							$\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{WAIT}}$, ASTB			
4Kバイト拡張モード	アドレス/データ		アドレス			ポート				$\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{WAIT}}$, ASTB			
16Kバイト拡張モード	アドレス/データ		アドレス				ポート			$\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{WAIT}}$, ASTB			
フルアドレス・モード	アドレス/データ		アドレス							$\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{WAIT}}$, ASTB			

注意 外部ウエイト機能を使用しないとき、すべてのモードで $\overline{\text{WAIT}}$ 端子をポートとして使用できます。

外部デバイス拡張機能を使用したときのメモリ・マップは、次のようになります。

図20-1 外部デバイス拡張機能使用時のメモリ・マップ (1/2)

(a) μ PD780021A, 780031A, 780021AY, 780031AYおよび、内部ROM（フラッシュ・メモリ）を8 Kバイトにしたときの μ PD78F0034A, 78F0034AYのメモリ・マップ

(b) μ PD780022A, 780032A, 780022AY, 780032AYおよび、内部ROM（フラッシュ・メモリ）を16 Kバイトにしたときの μ PD78F0034A, 78F0034AYのメモリ・マップ

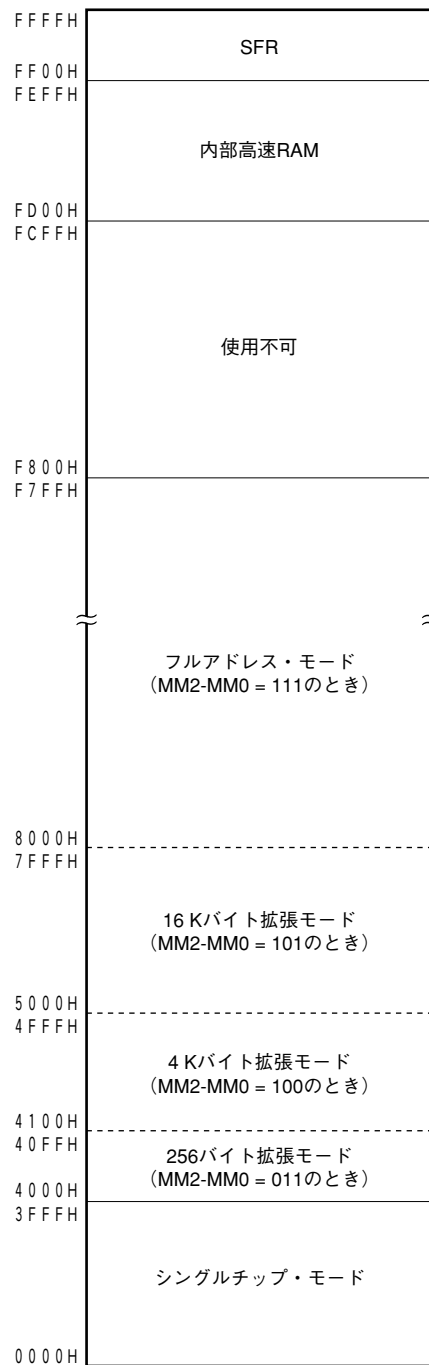
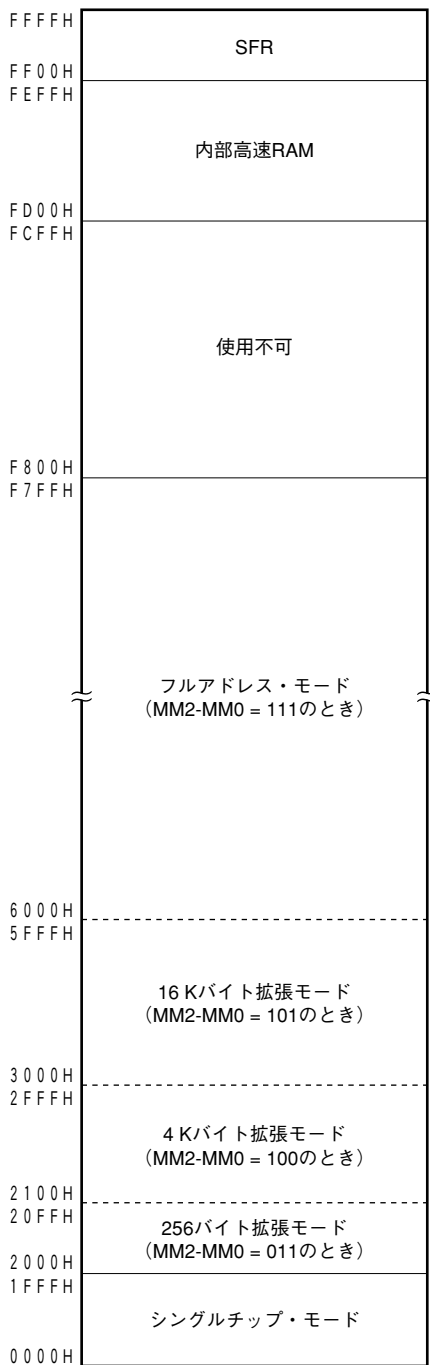
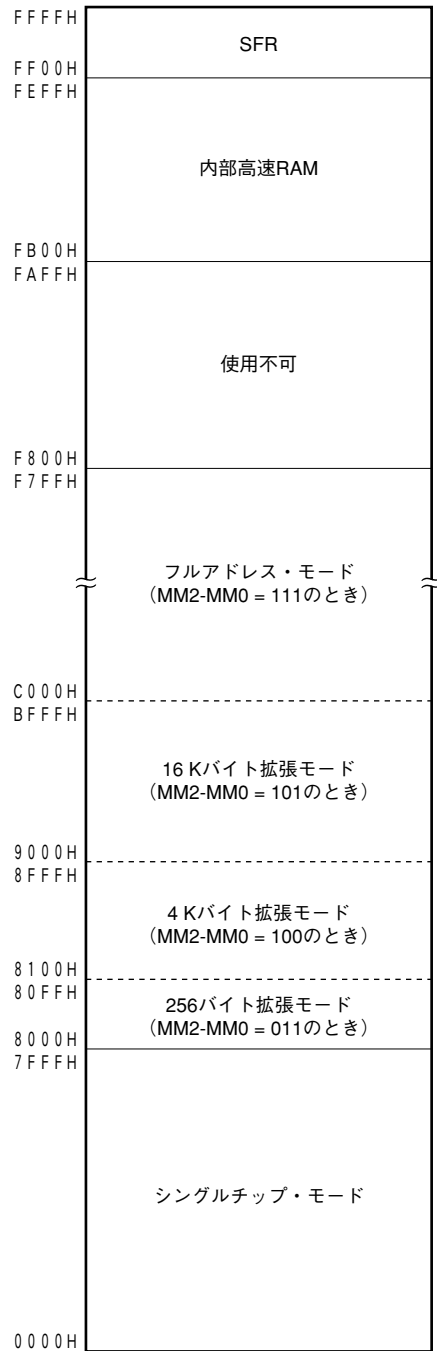
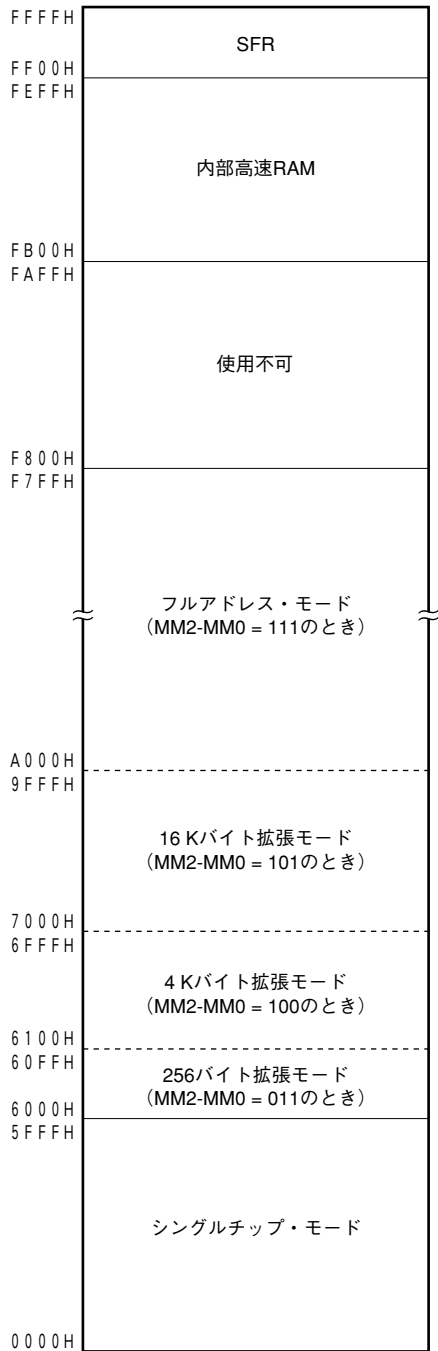


図20-1 外部デバイス拡張機能使用時のメモリ・マップ (2/2)

(a) μ PD780023A, 780033A, 780023AY, 780033AYおよび、内部ROM（フラッシュ・メモリ）を24 Kバイトにしたときの μ PD78F0034A, 78F0034AYのメモリ・マップ

(b) μ PD780024A, 780034A, 780024AY, 780034AYおよび、内部ROM（フラッシュ・メモリ）を32 Kバイトにしたときの μ PD78F0034A, 78F0034AYのメモリ・マップ



20.2 外部デバイス拡張機能を制御するレジスタ

外部デバイス拡張機能は、次の2種類のレジスタで制御します。

- ・メモリ拡張モード・レジスタ (MEM)
- ・メモリ拡張ウエイト設定レジスタ (MM)

(1) メモリ拡張モード・レジスタ (MEM)

MEMは、外部拡張領域を設定するレジスタです。

MEMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図20-2 メモリ拡張モード・レジスタ (MEM) のフォーマット

アドレス：FF47H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
MEM	0	0	0	0	0	MM2	MM1	MM0

MM2	MM1	MM0	シングルチップ/ メモリ拡張モードの選択		P40-P47, P50-P57, P64-P67端子の状態				
					P40-P47	P50-P53	P54,P55	P56,P57	P64-P67
0	0	0	シングルチップ・モード		ポート・モード				
0	0	1	ポート4の立ち下がりエッジ 検出モード						
0	1	1	メモリ 拡張 モード ^{注1}	256バイト・ モード	AD0-AD7	ポート・モード			P64 = $\overline{\text{RD}}$ P65 = $\overline{\text{WR}}$
1	0	0		4Kバイト・ モード		A8-A11	ポート・モード		P66 = $\overline{\text{WAIT}}$ P67 = $\overline{\text{ASTB}}$
1	0	1		16Kバイト・ モード			A12, A13	ポート・ モード	
1	1	1		フルアドレス・ モード ^{注2}				A14, A15	
上記以外			設定禁止						

注1. メモリ拡張モードに設定した場合、外部拡張領域以外にアクセスすると、リード値は不定になります。

2. フルアドレス・モードとは、64 Kアドレス空間のうち、内部ROM, RAM, SFR領域および使用不可領域を除く、すべての領域に外部拡張できるモードです。

注意 ポート4の立ち下がりエッジ検出機能を使用する場合は、必ずMEM = 01Hに設定してください。

(2) メモリ拡張ウエイト設定レジスタ (MM)

MMは、ウエイト数を設定するレジスタです。

MMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、10Hになります。

図20-3 メモリ拡張ウエイト設定レジスタ (MM) のフォーマット

アドレス：FFF8H リセット時：10H R/W

略号	7	6	5	4	3	2	1	0
MM	0	0	PW1	PW0	0	0	0	0

PW1	PW0	ウエイトの制御
0	0	ウエイトなし
0	1	ウエイトあり (1 ウエイト・ステート挿入)
1	0	設定禁止
1	1	外部ウエイト端子によるウエイト制御

- 注意 1. 外部ウエイト端子によるウエイト制御をする場合は、 $\overline{\text{WAIT/P66}}$ 端子を必ず入力モード (ポート・モード・レジスタ 6 (PM6) のビット 6 (PM66) を 1) に設定してください。
2. 外部ウエイト端子によるウエイト制御をしない場合は、 $\overline{\text{WAIT/P66}}$ 端子を入出力ポートとして使用できます。

20.3 外部デバイス拡張機能のタイミング

外部メモリ拡張モード時のタイミング・コントロール信号出力端子を以下に示します。

(1) $\overline{\text{RD}}$ 端子(兼用機能：P64)

リード・ストロブ信号を出力する端子です。外部メモリからの命令フェッチ、データ・リード時に出力します。

内部メモリ・リード時には、リード・ストロブ信号は出力されません（ハイ・レベルを保持します）。

(2) $\overline{\text{WR}}$ 端子(兼用機能：P65)

ライト・ストロブ信号を出力する端子です。外部メモリへのデータ・ライト時に出力します。

内部メモリ・ライト時には、ライト・ストロブ信号は出力されません（ハイ・レベルを保持します）。

(3) $\overline{\text{WAIT}}$ 端子(兼用機能：P66)

外部ウエイト信号を入力する端子です。

外部ウエイトを使用しないときは、 $\overline{\text{WAIT}}$ 端子を入出力ポートとして使用できます。

内部メモリ・アクセス時には、外部ウエイト信号は無視されます。

(4) ASTB 端子(兼用機能：P67)

アドレス・ストロブ信号を出力する端子です。外部メモリからの命令フェッチ、データ・アクセスにかかわらず、必ず出力します。

内部メモリ・アクセス時にも、アドレス・ストロブ信号が出力されます。

(5) AD0-AD7, A8-A15 端子(兼用機能：P40-P47, P50-P57)

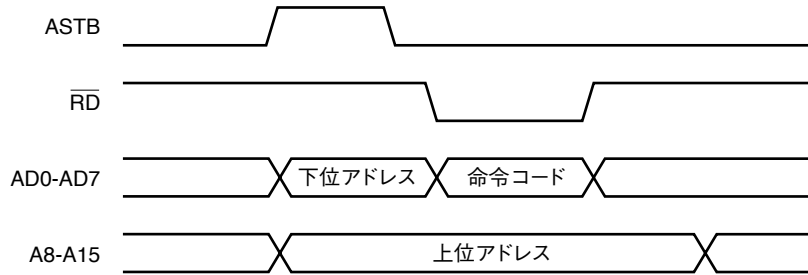
アドレス信号およびデータ信号を出力する端子です。外部メモリからの命令フェッチ、データ・アクセス時に有効信号が出力あるいは入力されます。

内部メモリ・アクセス時にも信号が変化します（出力内容は不定です）。

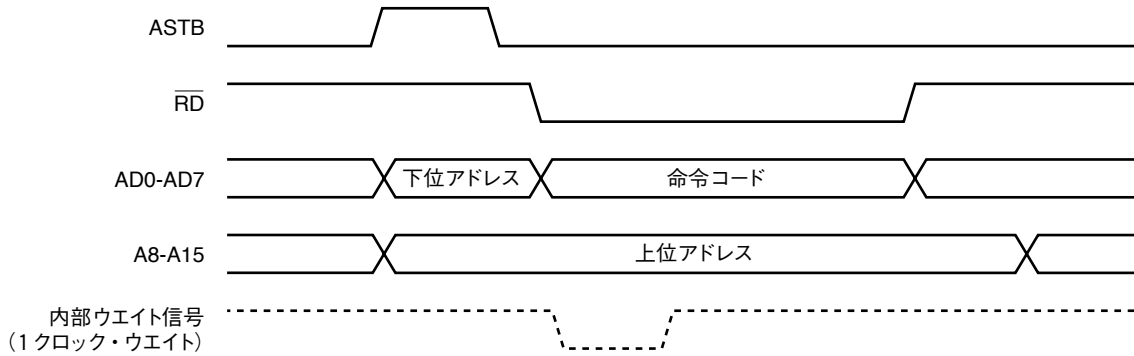
タイミング・チャートを図20-4 から図20-7 に示します。

図20-4 外部メモリからの命令フェッチ

(a) ウェイトなし ($PW1, PW0 = 0, 0$) 設定時



(b) ウェイトあり ($PW1, PW0 = 0, 1$) 設定時



(c) 外部ウェイト ($PW1, PW0 = 1, 1$) 設定時

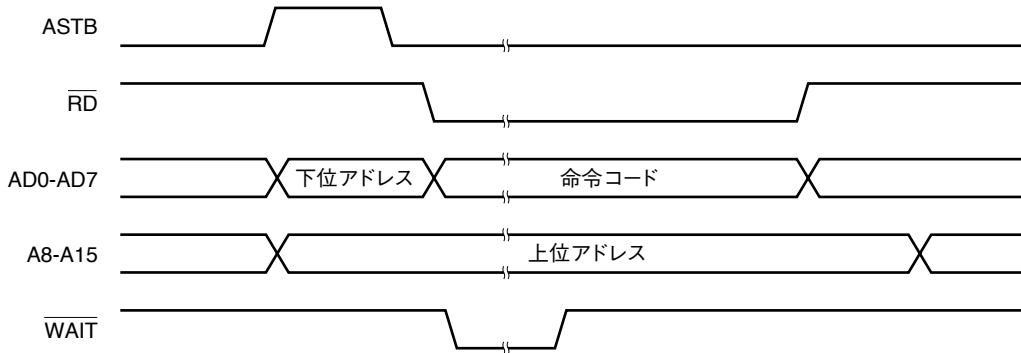
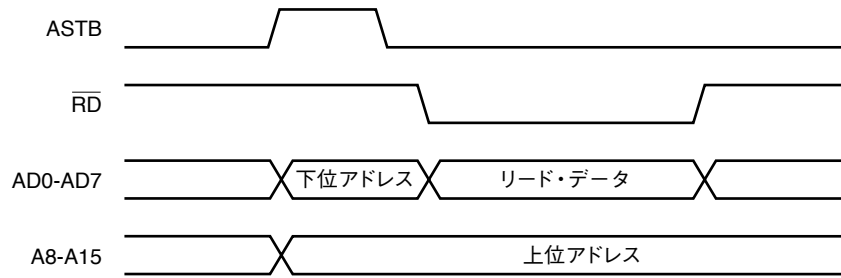
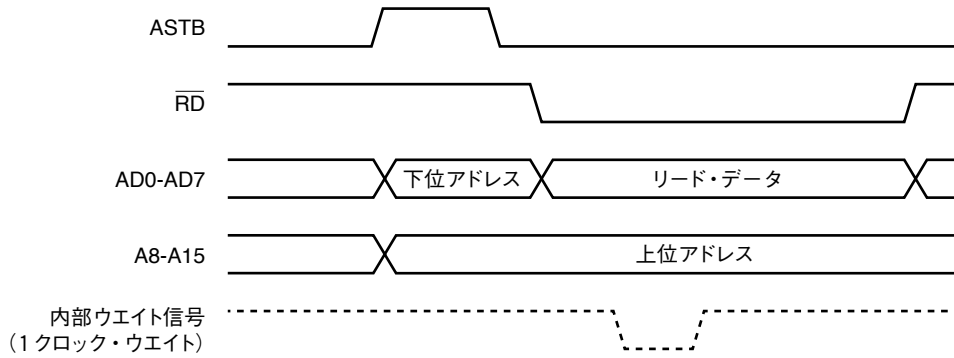


図20-5 外部メモリのリード・タイミング

(a) ウェイトなし(PW1, PW0 = 0, 0)設定時



(b) ウェイトあり(PW1, PW0 = 0, 1)設定時



(c) 外部ウェイト(PW1, PW0 = 1, 1)設定時

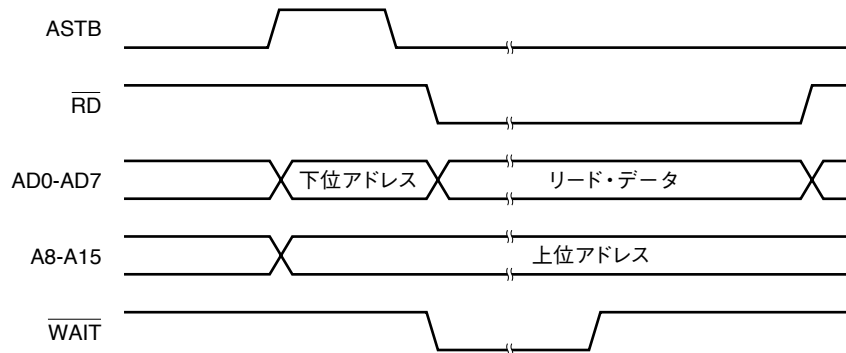
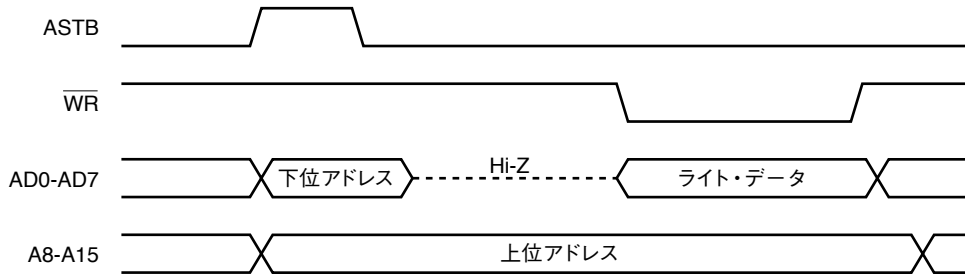
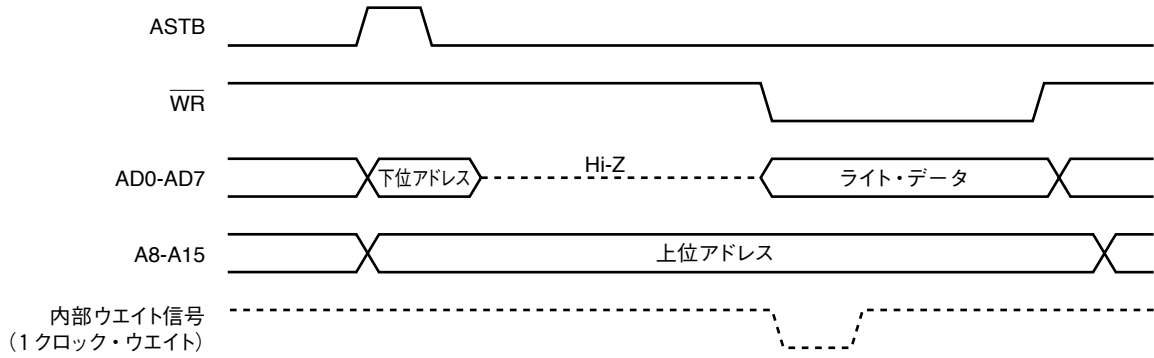


図20-6 外部メモリのライト・タイミング

(a) ウェイトなし (PW1, PW0 = 0, 0) 設定時



(b) ウェイトあり (PW1, PW0 = 0, 1) 設定時



(c) 外部ウェイト (PW1, PW0 = 1, 1) 設定時

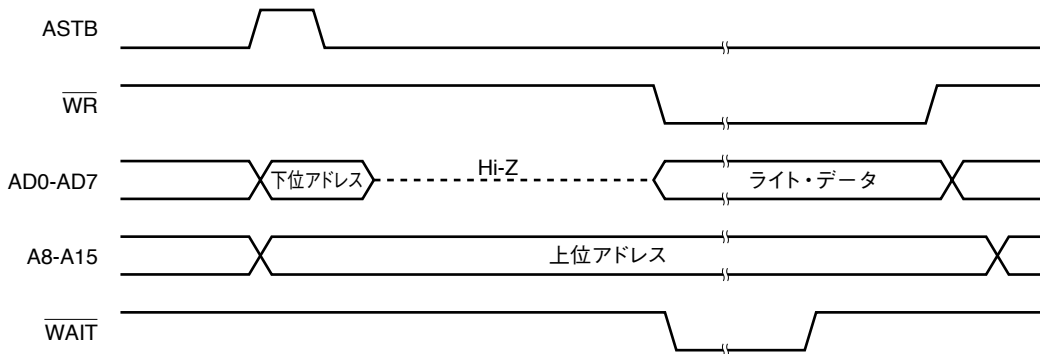
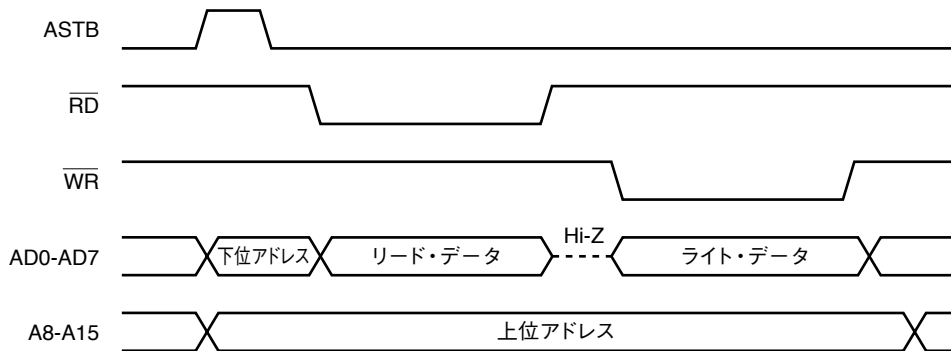
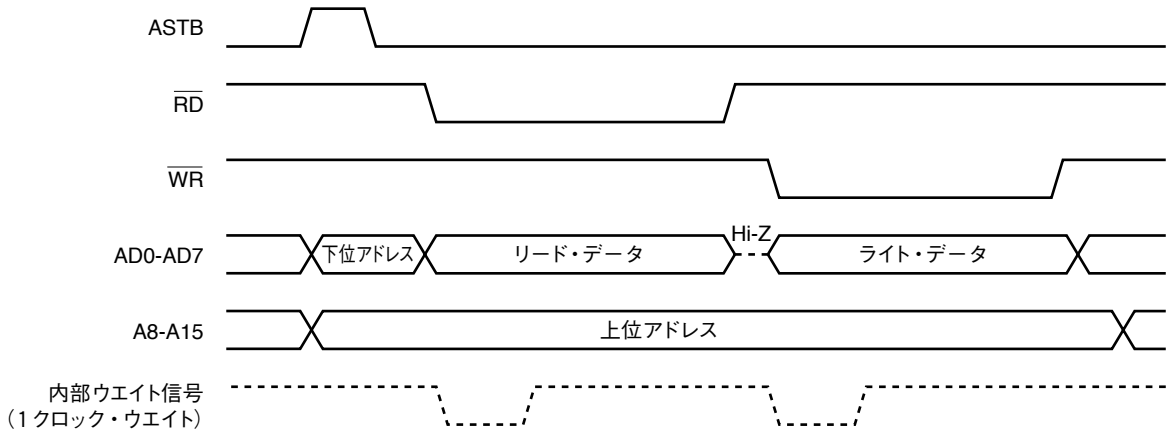


図20-7 外部メモリのリード・モディファイ・ライト・タイミング

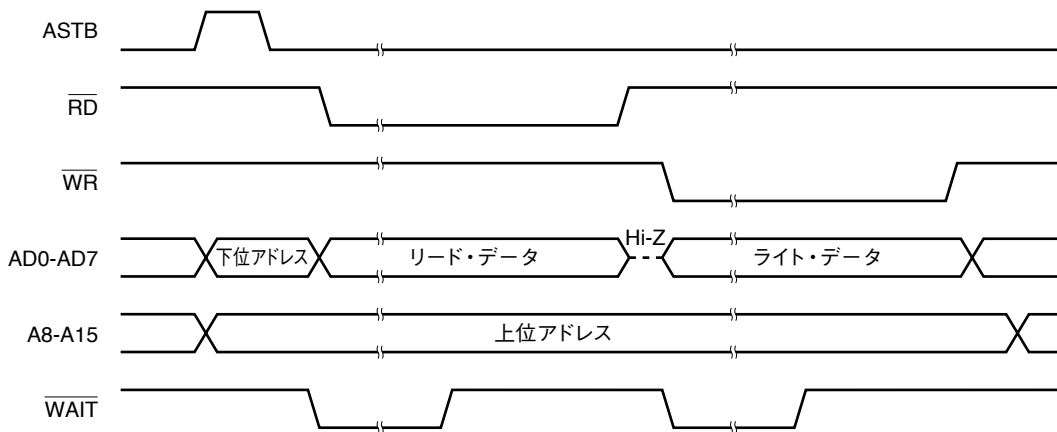
(a) ウェイトなし(PW1, PW0 = 0, 0)設定時



(b) ウェイトあり(PW1, PW0 = 0, 1)設定時



(c) 外部ウェイト(PW1, PW0 = 1, 1)設定時

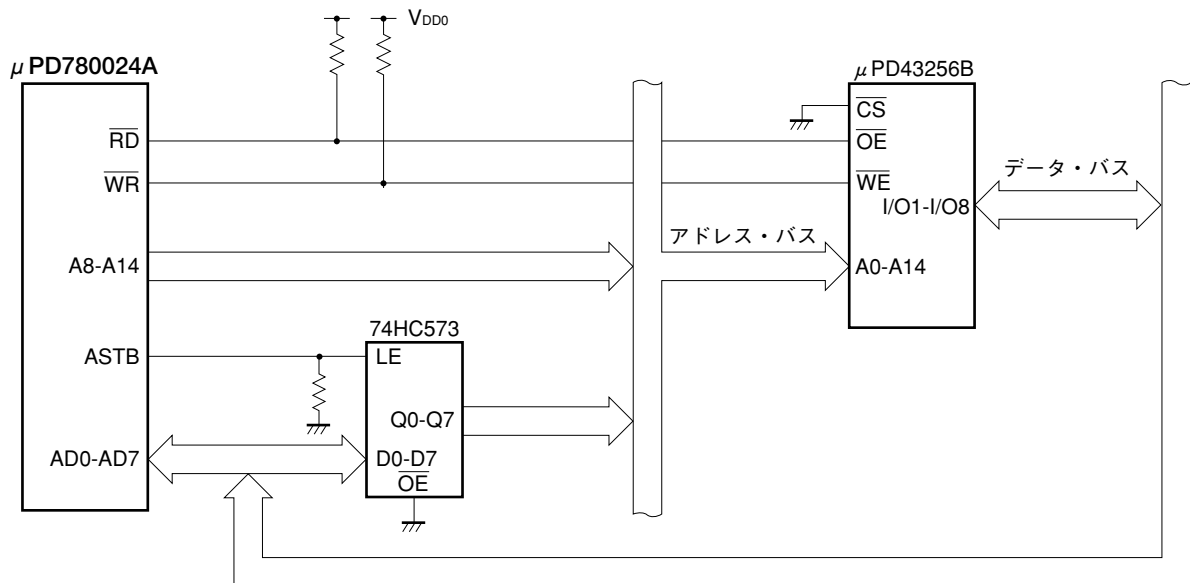


備考 リード・モディファイ・ライト・タイミングは、ビット操作命令実行時の動作です。

20.4 メモリとの接続例

μ PD780024Aと外部メモリとの接続例を図20-8に示します。この応用例ではSRAMを接続しています。また、外部デバイス拡張機能をフルアドレス・モードで使用し、0000H-7FFFHの32 Kバイトを内部ROM、8000H以降をSRAMに割り当てています。

図20-8 μ PD780024Aとメモリの接続例



第21章 スタンバイ機能

21.1 スタンバイ機能と構成

21.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。このモードでは、STOPモードほどの消費電力の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、メイン・システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電力を、かなり低減できます。

また、データ・メモリの低電圧 ($V_{DD}=1.6\text{ V}$ まで) 保持が可能です。したがって、超低消費電力でデータ・メモリの内容を保持する場合に有効です。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意 1. STOPモードは、メイン・システム・クロックで動作しているときだけ使用できます（サブシステム・クロックの発振を停止させることができません）。HALTモードは、メイン・システム・クロック、サブシステム・クロックのどちらの動作状態でも使用できます。
2. STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください。
3. A/Dコンバータ部の消費電力を低減させるためには、A/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS0) を0にクリアし、A/D変換動作を停止させてから、HALT命令またはSTOP命令を実行してください。

21.1.2 スタンバイ機能を制御するレジスタ

割り込み要求でSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ (OSTS) で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、04Hになります。したがって、 $\overline{\text{RESET}}$ 入力でSTOPモードを解除するとき、解除までの時間は $2^{17}/f_x$ です。

図21-1 発振安定時間選択レジスタ (OSTS) のフォーマット

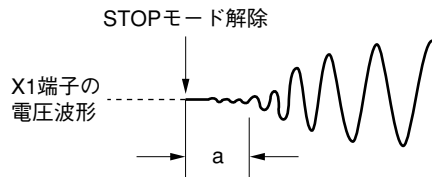
アドレス：FFFAH リセット時：04H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
				$f_x = 8.38 \text{ MHz}$	$f_x = 12 \text{ MHz}$ 注
0	0	0	$2^{12}/f_x$	488 μs	341 μs
0	0	1	$2^{14}/f_x$	1.95 ms	1.36 ms
0	1	0	$2^{15}/f_x$	3.91 ms	2.73 ms
0	1	1	$2^{16}/f_x$	7.82 ms	5.46 ms
1	0	0	$2^{17}/f_x$	15.6 ms	10.9 ms
上記以外			設定禁止		

注 $\mu\text{PD780024A}$, 780034A サブシリーズの拡張規格品のみ。

注意 STOPモード解除時のウェイト時間には、STOPモード解除後にクロックが発振を開始するまでの時間 (下図 a) は含みません。これは、 $\overline{\text{RESET}}$ 入力による場合も、割り込み要求発生による場合も同様です。



備考 f_x : メイン・システム・クロック発振周波数

21.2 スタンバイ機能の動作

21.2.1 HALTモード

(1) HALTモードの設定および動作状態

HALTモードは、HALT命令の実行により設定されます。設定時のシステム・クロックは、メイン・システム・クロック、サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

表21-1 HALTモード時の動作状態

項目	HALTモードの設定		サブシステム・クロック動作中のHALT命令実行時	
	メイン・システム・クロック動作中のHALT命令実行時	サブシステム・クロック動作中のHALT命令実行時	サブシステム・クロック がない場合 ^{注1}	サブシステム・クロック がある場合 ^{注2}
クロック発生回路	メイン・システム・クロック、サブシステム・クロックとも発振可能 CPUへのクロック供給は停止			
CPU	動作停止			
ポート（出力ラッチ）	HALTモード設定前の状態を保持			
16ビット・タイマ/イベント・カウンタ0	動作可能			動作停止
8ビット・タイマ/イベント・カウンタ50, 51	動作可能			カウント・クロックにTI50, TI51選択時、動作可能
時計用タイマ	カウント・クロックにfx/2 ⁿ 選択時、動作可能	動作可能		カウント・クロックにfx _T 選択時、動作可能
ウォッチドッグ・タイマ	動作可能		動作停止	
クロック出力	出力クロックにfx-fx/2 ⁿ 選択時、動作可能	動作可能		出力クロックにfx _T 選択時、動作可能
ブザー出力	動作可能			BUZはロウ・レベル
A/Dコンバータ	動作停止			
シリアル・インタフェース	動作可能			外部からのクロック入力時は、動作可能
外部割り込み	動作可能			
外部拡張時のバス・ライン	AD0-AD7	ハイ・インピーダンス		
	A8-A15	HALTモード設定前の状態を保持		
	ASTB	ロウ・レベル		
	WR, RD	ハイ・レベル		
	WAIT	ハイ・インピーダンス		

注1. 外部クロックを供給しない場合を含む。

2. 外部クロックを供給する場合を含む。

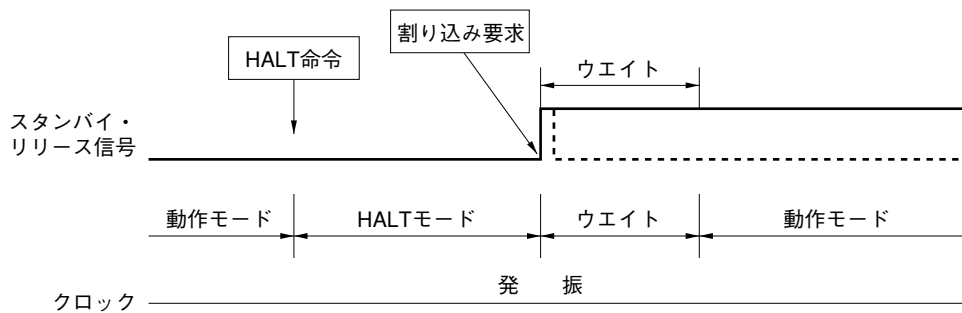
(2) HALTモードの解除

HALTモードは、次の3種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図21-2 HALTモードの割り込み要求発生による解除



備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウエイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 8～9クロック
- ・ベクタ割り込み処理を行わない場合 : 2～3クロック

(b) ノンマスクابل割り込み要求による解除

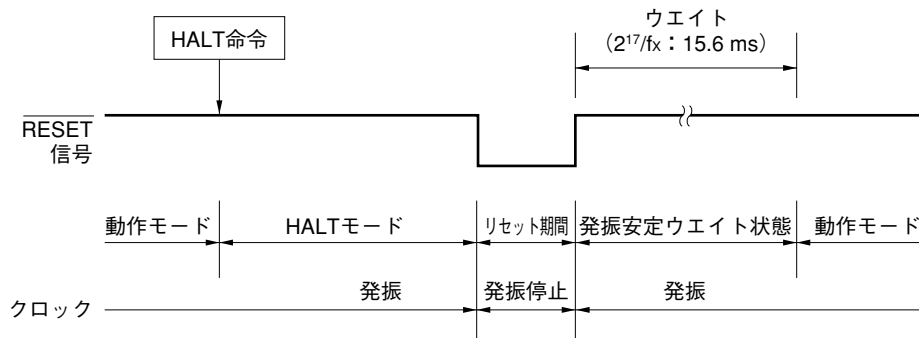
ノンマスクابل割り込み要求が発生すると、割り込み受け付け許可、禁止の状態に関係なく、HALTモードは解除され、ベクタ割り込み処理が行われます。

ただし、サブシステム・クロック動作時は、ノンマスクابل割り込み要求を発生しません。

(c) RESET入力による解除

RESET信号の入力があると、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図21-3 HALTモードのRESET入力による解除



備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は $f_x = 8.38 \text{ MHz}$ 動作時

表21-2 HALTモードの解除後の動作

解除ソース	MK××	PR××	IE	ISP	動作
マスカブル 割り込み要求	0	0	0	×	次アドレス命令実行
	0	0	1	×	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	×	0	割り込み処理実行
	0	1	1	1	割り込み処理実行
	1	×	×	×	HALTモード保持
ノンマスカブル 割り込み要求	—	—	×	×	割り込み処理実行
<u>RESET</u> 入力	—	—	×	×	リセット処理

×: don't care

21.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定時のシステム・クロックは、メイン・システム・クロックの場合のみ設定可能です。

注意1. STOPモードに設定すると、水晶発振回路部のリークを抑えるためにX2端子が内部でV_{DD1}にプルアップされます。したがって、メイン・システム・クロックに外部クロックを使用するシステムでは、STOPモードは使用しないでください。

2. スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表21-3 STOPモード時の動作状態

STOPモードの設定		サブシステム・クロックがある場合	サブシステム・クロックがない場合
項目			
クロック発生回路		メイン・システム・クロックのみ発振停止	
CPU		動作停止	
ポート（出カラッチ）		STOPモード設定前の状態を保持	
16ビット・タイマ/イベント・カウンタ0		動作停止	
8ビット・タイマ/イベント・カウンタ50, 51		カウント・クロックにTI50, TI51選択時のみ動作可能	
時計用タイマ		カウント・クロックにfx _T 選択時のみ、動作可能	動作停止
ウォッチドッグ・タイマ		動作停止	
クロック出力		出力クロックにfx _T 選択時、動作可能	PCLはロウ・レベル
ブザー出力		BUZはロウ・レベル	
A/Dコンバータ		動作停止	
シリアル・インタフェース	UART0以外	シリアル・クロックに外部からの入力クロック選択時のみ、動作可能	
	UART0	動作停止（送信シフト・レジスタ0（TXS0）、受信シフト・レジスタ0（RX0）、受信バッファ・レジスタ0（RXB0）はクロック停止直前の値を保持）	
外部割り込み		動作可能	
外部拡張時のバス・ライン	AD0-AD7	ハイ・インピーダンス	
	A8-A15	STOPモード設定前の状態を保持	
	ASTB	ロウ・レベル	
	\overline{WR} , \overline{RD}	ハイ・レベル	
	\overline{WAIT}	ハイ・インピーダンス	

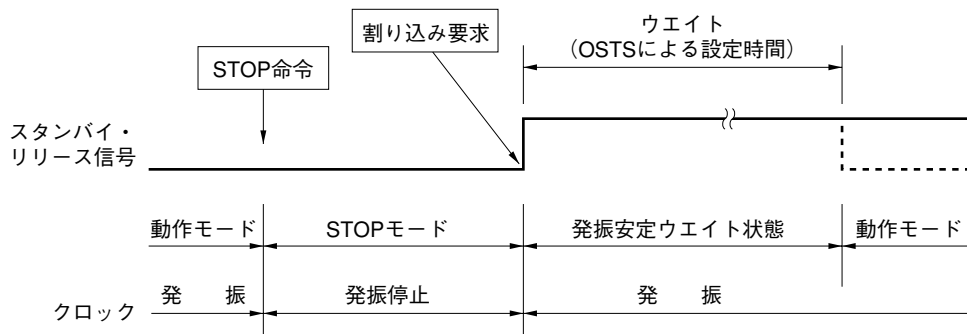
(2) STOPモードの解除

STOPモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードは解除されます。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図21-4 STOPモードの割り込み要求発生による解除

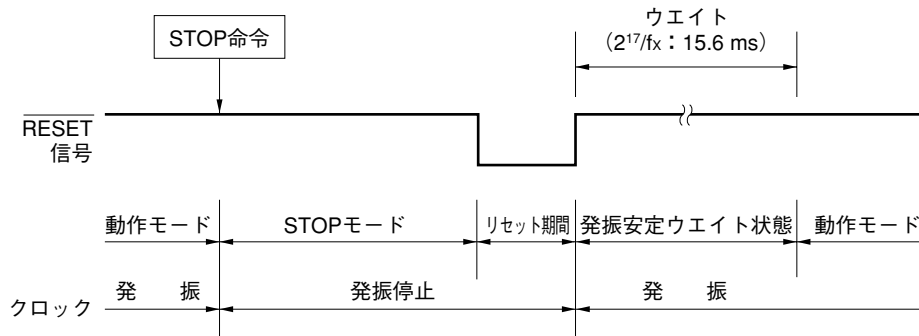


備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) $\overline{\text{RESET}}$ 入力による解除

$\overline{\text{RESET}}$ 信号の入力があると、STOPモードは解除されます。そして、発振安定時間経過後リセット動作が行われます。

図21-5 STOPモードの $\overline{\text{RESET}}$ 入力による解除



備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は $f_x = 8.38 \text{ MHz}$ 動作時

表21-4 STOPモードの解除後の動作

解除ソース	MK××	PR××	IE	ISP	動作
マスカブル	0	0	0	×	次アドレス命令実行
割り込み要求	0	0	1	×	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	×	0	
	0	1	1	1	割り込み処理実行
	1	×	×	×	STOPモード保持
$\overline{\text{RESET}}$ 入力	—	—	×	×	リセット処理

×: don't care

第22章 リセット機能

リセット信号を発生させる方法には、次の2種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

外部リセットと内部リセットは機能面での差はなく、 $\overline{\text{RESET}}$ 入力により、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、またはウォッチドッグ・タイマのオーバフローが発生することによってリセットがかかり、各ハードウェアは表22-1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、発振安定時間経過後 ($2^{17}/f_x$) プログラムの実行を開始します。また、ウォッチドッグ・タイマのオーバフロー発生によるリセットは、リセット後、自動的にリセットが解除され、発振安定時間経過後 ($2^{17}/f_x$) プログラムの実行を開始します (図22-2 から図22-4 参照)。

- 注意 1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。
2. リセット入力中は、メイン・システム・クロックの発振が停止しますが、サブシステム・クロックの発振は停止せず、発振状態になっています。
 3. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、ハイ・インピーダンスとなります。

図22-1 リセット機能のブロック図

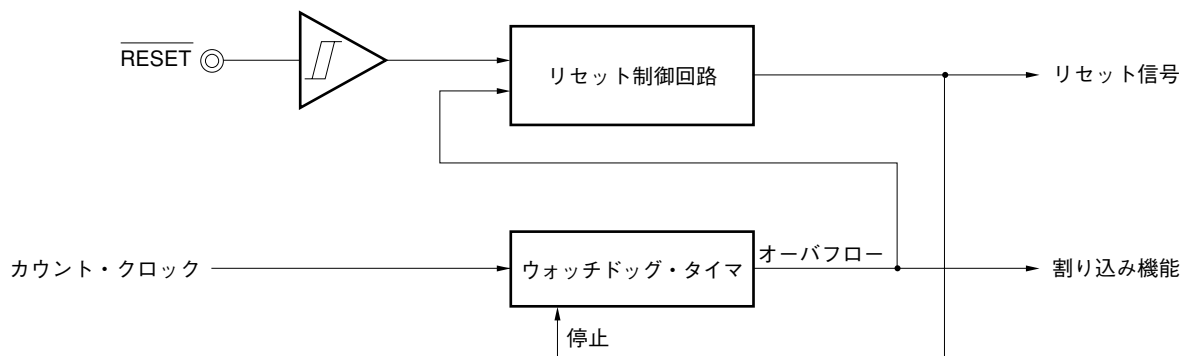


図22-2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング

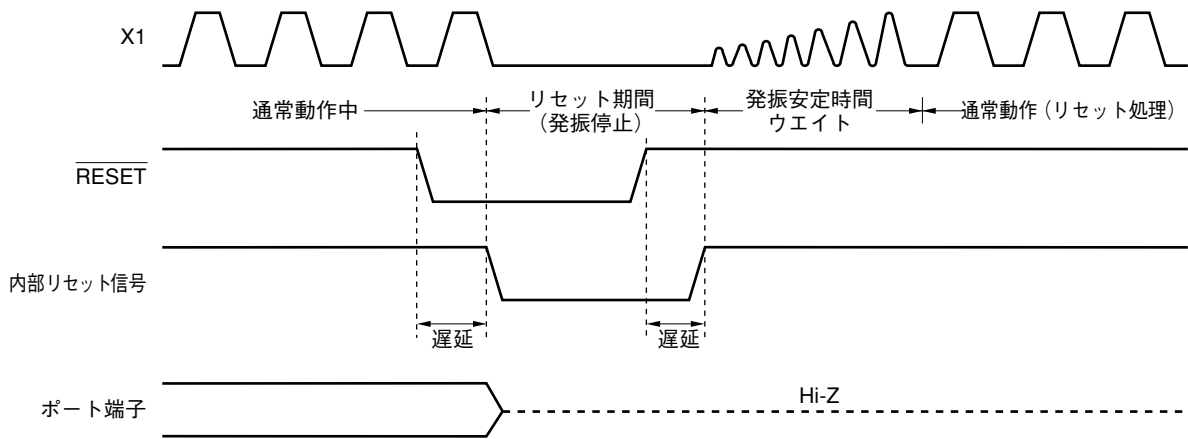


図22-3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

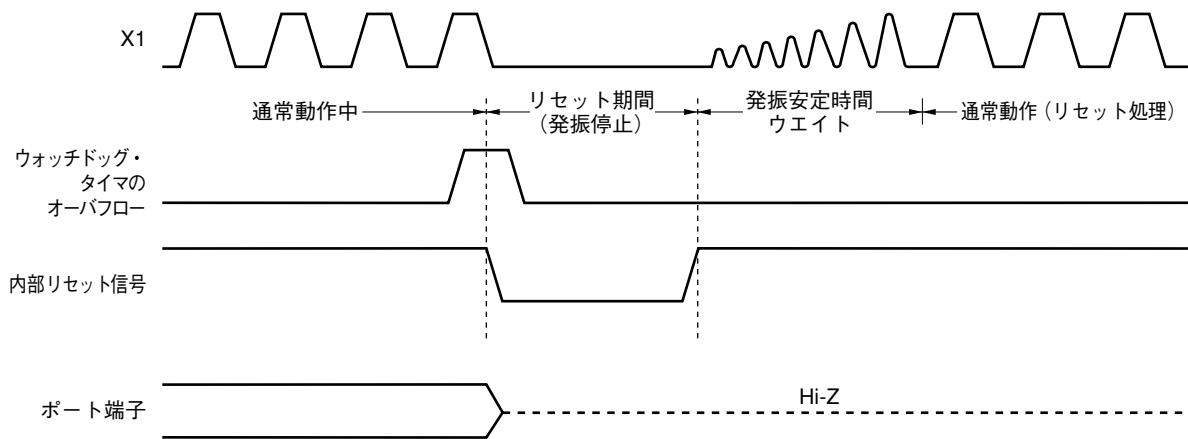


図22-4 STOPモード中の $\overline{\text{RESET}}$ 入力によるリセット・タイミング

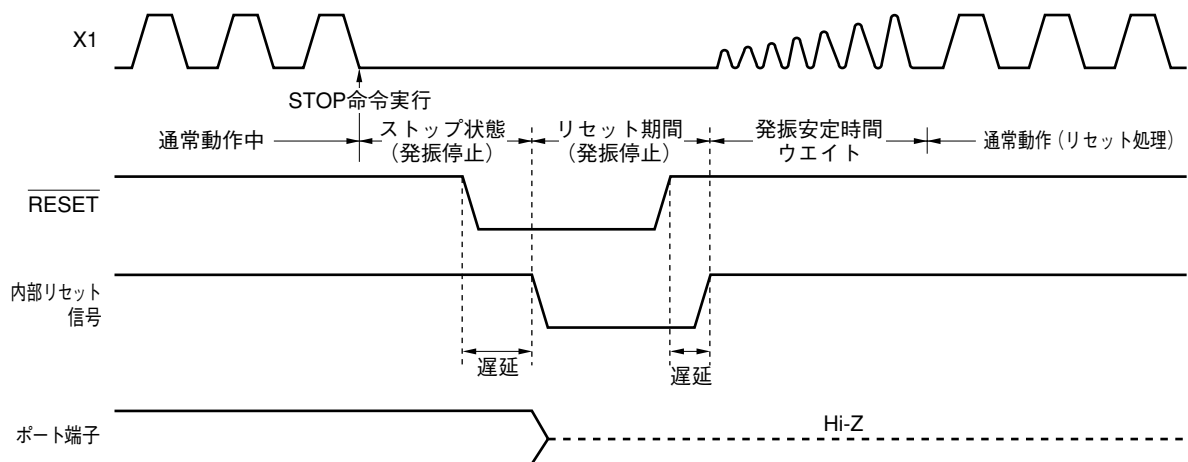


表22-1 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) 注1		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセッ トされる
スタック・ポインタ (SP)		不 定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不 定注2
	汎用レジスタ	不 定注2
ポート (出力ラッチ)		00H
ポート・モード・レジスタ0, 2-7 (PM0, PM2-PM7)		FFH
プルアップ抵抗オプション・レジスタ0, 2-7 (PU0, PU2-PU7)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		04H
メモリ・サイズ切り替えレジスタ (IMS)		CFH注3
メモリ拡張モード・レジスタ (MEM)		00H
メモリ拡張ウエイト設定レジスタ (MM)		10H
発振安定時間選択レジスタ (OSTS)		04H
16ビット・タイマ/ イベント・カウンタ0	タイマ・カウンタ0 (TM0)	0000H
	キャプチャ/コンペア・レジスタ00, 01 (CR00, CR01)	不 定
	プリスケアラ・モード・レジスタ0 (PRM0)	00H
	キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)	00H
	モード・コントロール・レジスタ0 (TMC0)	00H
	出力コントロール・レジスタ0 (TOC0)	00H
8ビット・タイマ/ イベント・カウンタ50, 51	タイマ・カウンタ50, 51 (TM50, TM51)	00H
	コンペア・レジスタ50, 51 (CR50, CR51)	不 定
	クロック選択レジスタ50, 51 (TCL50, TCL51)	00H
	モード・コントロール・レジスタ50, 51 (TMC50, TMC51)	00H
時計用タイマ	動作モード・レジスタ (WTM)	00H
ウォッチドッグ・タイマ	クロック選択レジスタ (WDCS)	00H
	モード・レジスタ (WDTM)	00H

注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

- スタンバイ・モード時にリセットがかかった場合には、リセット前の状態がリセット後も保持されます。
- 初期値はCFHですが、初期設定で各製品ごとに次に示す値を設定して使用してください。

μPD780021A, 780021AY, 780031A, 780031AY : 42H

μPD780022A, 780022AY, 780032A, 780032AY : 44H

μPD780023A, 780023AY, 780033A, 780033AY : C6H

μPD780024A, 780024AY, 780034A, 780034AY : C8H

μPD78F0034A, 78F0034B, 78F0034AY, 78F0034BY : マスクROM製品に対応した値

表22-1 各ハードウェアのリセット後の状態 (2/2)

ハードウェア		リセット後の状態
クロック出力/ ブザー出力制御回路	クロック出力選択レジスタ (CKS)	00H
A/Dコンバータ	変換結果レジスタ 0 (ADCR0)	00H
	モード・レジスタ 0 (ADM0)	00H
	アナログ入力チャネル指定レジスタ 0 (ADS0)	00H
シリアル・インタフェース UART0	アシンクロナス・シリアル・インタフェース・モード・レジスタ 0 (ASIM0)	00H
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ 0 (ASIS0)	00H
	ボー・レート・ジェネレータ・コントロール・レジスタ 0 (BRGC0)	00H
	送信シフト・レジスタ 0 (TXS0)	FFH
	受信バッファ・レジスタ 0 (RXB0)	FFH
シリアル・インタフェース SIO30, SIO31 ^{注1}	シフト・レジスタ30, 31 (SIO30, SIO31)	不 定
	動作モード・レジスタ30, 31 (CSIM30, CSIM31)	00H
シリアル・インタフェース IIC0 ^{注2}	転送クロック選択レジスタ 0 (IICCL0)	00H
	シフト・レジスタ 0 (IIC0)	00H
	コントロール・レジスタ 0 (IICC0)	00H
	状態レジスタ 0 (IICS0)	00H
	スレーブ・アドレス・レジスタ 0 (SVA0)	00H
割り込み	要求フラグ・レジスタ0L, 0H, 1L (IF0L, IF0H, IF1L)	00H
	マスク・フラグ・レジスタ0L, 0H, 1L (MK0L, MK0H, MK1L)	FFH
	優先順位指定フラグ・レジスタ0L, 0H, 1L (PR0L, PR0H, PR1L)	FFH
	外部割り込み立ち上がりエッジ許可レジスタ (EGP)	00H
	外部割り込み立ち下がりエッジ許可レジスタ (EGN)	00H

注1. シリアル・インタフェースSIO31は、 μ PD780024A, 780034Aサブシリーズのみ内蔵しています。

2. シリアル・インタフェースIIC0は、 μ PD780024AY, 780034AYサブシリーズのみ内蔵しています。

第23章 μ PD78F0034A, 78F0034B, 78F0034AY, 78F0034BY

μ PD780024A, 780034A, 780024AY, 780034AYサブシリーズのフラッシュ・メモリ製品には、 μ PD78F0034A, 78F0034B, 78F0034AY, 78F0034BYがあります。

μ PD78F0034A, 78F0034B, 78F0034AY, 78F0034BYは、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵した製品です。

フラッシュ・メモリへの書き込みは、ターゲット・システムに実装した状態（オンボード）で行えます。専用フラッシュ・ライタをターゲット・システムに接続して書き込みます。

フラッシュ・メモリを使用した開発環境および用途として次のようなことが考えられます。

- ターゲット・システムに μ PD78F0034A, 78F0034B, 78F0034AY, 78F0034BYを半田実装後、ソフトウェアの変更可能
- ソフトウェアを区別することで少量多品種生産が容易
- 量産立ち上げ時のデータ調整が容易

μ PD78F0034A, 78F0034B, 78F0034AY, 78F0034BYとマスクROM製品の対応を表23-1に示します。

表23-1 μ PD78F0034A, 78F0034B, 78F0034AY, 78F0034BYとマスクROM製品の対応

マスクROM製品 フラッシュ・メモリ製品	μ PD780021A/22A/ 23A/24A/31A/32A/ 33A/34A		μ PD780021A(A)/ 22A(A)/23A(A)/24A(A)/ 31A(A)/32A(A)/33A(A)/ 34A(A)		μ PD780021AY/ 22AY/23AY/24AY/ 31AY/32AY/33AY/ 34AY	μ PD780021AY(A)/ 22AY(A)/23AY(A)/ 24AY(A)/31AY(A)/ 32AY(A)/33AY(A)/ 34AY(A)
	従来規格品	拡張規格品	従来規格品	拡張規格品		
μ PD78F0034A	○	—	—	—	—	—
μ PD78F0034B	—	○	—	—	—	—
μ PD78F0034B(A)	—	—	○注	○	—	—
μ PD78F0034AY	—	—	—	—	○	—
μ PD78F0034BY	—	—	—	—	○	—
μ PD78F0034BY(A)	—	—	—	—	—	○

注 μ PD78F0034B(A)と μ PD780021A(A), 780022A(A), 780023A(A), 780024A(A), 780031A(A), 780032A(A), 780033A(A), 780034A(A)の従来規格品は動作周波数が異なりますので、フラッシュ・メモリ製品からマスクROM製品に置き換えを検討される場合は、使用する電源電圧と動作周波数にご注意ください。

備考1. ○：対応，—：対応していない

2. μ PD780024A, 780034Aサブシリーズの拡張規格品と従来規格品は、動作周波数規格が異なります。詳細は電気的特性の章を参照してください。
3. μ PD780024AY, 780034AYサブシリーズは拡張規格品をご用意しておりません。従来規格品のみです。
4. μ PD78F0034A, 78F0034AYは特別水準品をご用意しておりません。標準水準品のみです。

23.1 μ PD78F0034A, 78F0034AYと μ PD78F0034B, 78F0034BYの違い

μ PD78F0034A, 78F0034AYと μ PD78F0034B, 78F0034BYの違いを表23-2, 23-3に示します。

表23-2 μ PD78F0034Aと μ PD78F0034Bの違い

項 目		μ PD78F0034A	μ PD78F0034B
保証動作スピード (動作周波数)	4.5~5.5 V	8.38 MHz (0.238 μ s)	12 MHz (0.166 μ s)
	4.0~5.5 V	8.38 MHz (0.238 μ s)	8.38 MHz (0.238 μ s)
	3.0~5.5 V	5 MHz (0.4 μ s)	8.38 MHz (0.238 μ s)
	2.7~5.5 V	5 MHz (0.4 μ s)	5 MHz (0.4 μ s)
	1.8~5.5 V	1.25 MHz (1.6 μ s)	1.25 MHz (1.6 μ s)
最小命令実行時間		最小命令実行時間の可変機能内蔵	
	メイン・システム・クロック選択時	0.238 μ s/0.477 μ s/0.954 μ s/1.90 μ s/3.81 μ s (8.38 MHz, $V_{DD} = 4.0\sim 5.5$ V動作時)	0.166 μ s/0.333 μ s/0.666 μ s/1.33 μ s/2.66 μ s (12 MHz, $V_{DD} = 4.5\sim 5.5$ V動作時)
	サブシステム・クロック選択時	122 μ s (32.768 kHz)	
クロック出力		<ul style="list-style-type: none"> 65.5 kHz, 131 kHz, 262 kHz, 524 kHz, 1.05 MHz, 2.10 MHz, 4.19 MHz, 8.38 MHz (メイン・システム・クロック: 8.38 MHz動作時) 32.768 kHz (サブシステム・クロック: 32.768 kHz動作時) 	<ul style="list-style-type: none"> 93.7 kHz, 187 kHz, 375 kHz, 750 kHz, 1.5 MHz, 3 MHz, 6 MHz, 12 MHz (メイン・システム・クロック: 12 MHz動作時) 32.768 kHz (サブシステム・クロック: 32.768 kHz動作時)
ブザー出力		1.02 kHz, 2.05 kHz, 4.10 kHz, 8.19 kHz (メイン・システム・クロック: 8.38 MHz)	1.46 kHz, 2.92 kHz, 5.85 kHz, 11.7 kHz (メイン・システム・クロック: 12 MHz)
フラッシュ・メモリ・プログラミングの通信方式		<ul style="list-style-type: none"> 3線式シリアルI/O : 2チャンネル^注 UART : 1チャンネル 疑似3線式シリアルI/O : 1チャンネル 	<ul style="list-style-type: none"> 3線式シリアルI/O : 2チャンネル^注 UART : 1チャンネル 疑似3線式シリアルI/O : 1チャンネル
電気的特性, 半田付け推奨条件		電気的特性, 半田付け推奨条件の章を参照してください。	

注 μ PD78F0034Aはハンドシェイクを使用できません。

μ PD78F0034Bは1チャンネル(シリアル・インタフェースSIO30)のみ, ハンドシェイクを使用できます。

備考 μ PD78F0034Aと μ PD780024A, 780034AサブシリーズのマスクROM製品の従来規格品は, 動作周波数規格が同じです。また μ PD78F0034Bと μ PD780024A, 780034AサブシリーズのマスクROM製品の拡張規格品は, 動作周波数規格が同じです。

表23-3 μ PD78F0034AYと μ PD78F0034BYの違い

項目	μ PD78F0034AY	μ PD78F0034BY
保証動作スピード (動作周波数)	4.5~5.5 V	8.38 MHz (0.238 μ s)
	4.0~5.5 V	8.38 MHz (0.238 μ s)
	3.0~5.5 V	5 MHz (0.4 μ s)
	2.7~5.5 V	5 MHz (0.4 μ s)
	1.8~5.5 V	1.25 MHz (1.6 μ s)
最小命令実行時間	最小命令実行時間の可変機能内蔵	
メイン・システム・クロック 選択時	0.238 μ s/0.477 μ s/0.954 μ s/1.90 μ s/3.81 μ s (8.38 MHz, V _{DD} = 4.0~5.5 V動作時)	
	サブシステム・クロック選 択時	122 μ s (32.768 kHz)
クロック出力	<ul style="list-style-type: none"> 65.5 kHz, 131 kHz, 262 kHz, 524 kHz, 1.05 MHz, 2.10 MHz, 4.19 MHz, 8.38 MHz (メイン・システム・クロック : 8.38 MHz動作時) 32.768 kHz (サブシステム・クロック : 32.768 kHz動作時) 	
ブザー出力	1.02 kHz, 2.05 kHz, 4.10 kHz, 8.19 kHz (メイン・システム・クロック : 8.38 MHz)	
フラッシュ・メモリ・プログラミングの 通信方式	<ul style="list-style-type: none"> 3線式シリアルI/O : 2チャンネル^注 UART : 1チャンネル 疑似3線式シリアルI/O : 1チャンネル 	<ul style="list-style-type: none"> 3線式シリアルI/O : 2チャンネル^注 UART : 1チャンネル 疑似3線式シリアルI/O : 1チャンネル
電気的特性, 半田付け推奨条件	電気的特性, 半田付け推奨条件の章を参照してください。	

注 μ PD78F0034AYはハンドシェイクを使用できません。

μ PD78F0034BYは1チャンネル (シリアル・インタフェースSIO30) のみ, ハンドシェイクを使用できます。

備考 μ PD78F0034AY, 78F0034BYと μ PD780024AY, 780034AYサブシリーズのマスクROM製品は, 動作周波数規格が同じです。

23.2 μ PD78F0034B, 78F0034BYと μ PD78F0034B(A), 78F0034BY(A)の違い

μ PD78F0034B(A), 78F0034BY(A)は, μ PD78F0034B, 78F0034BY (標準品) に比べて, より厳しい品質保証プログラムを適用している製品です (当社ではこれを品質水準の分類において特別水準と称しています)。

μ PD78F0034B, 78F0034BYと μ PD78F0034B(A), 78F0034BY(A)との違いは品質水準のみです。その他 (機能, 電気的特性など) に違いはありません。

表23-4 μ PD78F0034B, 78F0034BYと μ PD78F0034B(A), 78F0034BY(A)の違い

項目	μ PD78F0034B, 78F0034BY	μ PD78F0034B(A), 78F0034BY(A)
品質水準	標準 (一般電子機器用)	特別 (高信頼度電子機器用)
その他 (機能, 電気的特性など)	同じ	

この章では以降, μ PD78F0034Bを μ PD78F0034B, 78F0034B(A)の代表品種として, μ PD78F0034BYを μ PD78F0034BY, 78F0034BY(A)の代表品種として説明します。

23.3 μPD78F0034A, 78F0034B, 78F0034AY, 78F0034BYとマスクROM製品の違い

μPD78F0034A, 78F0034B, 78F0034AY, 78F0034BYとマスクROM製品の違いを表23-5, 23-6に示します。

表23-5 μPD78F0034A, 78F0034BとマスクROM製品の違い

項目	μPD78F0034A, 78F0034B	マスクROM製品	
		μPD780034Aサブシリーズ	μPD780024Aサブシリーズ ^注
内部ROM構造	フラッシュ・メモリ	マスクROM	
内部ROM容量	32 Kバイト	μPD780031A：8 Kバイト μPD780032A：16 Kバイト μPD780033A：24 Kバイト μPD780034A：32 Kバイト	μPD780021A：8 Kバイト μPD780022A：16 Kバイト μPD780023A：24 Kバイト μPD780024A：32 Kバイト
内部高速RAM容量	1024バイト	μPD780031A：512バイト μPD780032A：512バイト μPD780033A：1024バイト μPD780034A：1024バイト	μPD780021A：512バイト μPD780022A：512バイト μPD780023A：1024バイト μPD780024A：1024バイト
最小命令実行時間	最小命令実行時間の可変機能内蔵		
メイン・システム・クロック選択時	<ul style="list-style-type: none"> 0.166 μs/0.333 μs/0.666 μs/1.33 μs/2.66 μs (12 MHz動作時, μPD78F0034BとマスクROM製品の拡張規格品のみ) 0.238 μs/0.477 μs/0.954 μs/1.90 μs/3.81 μs (8.38 MHz動作時) 		
	サブシステム・クロック選択時	122 μs (32.768 kHz動作時)	
クロック出力	<ul style="list-style-type: none"> 93.7 kHz, 187 kHz, 375 kHz, 750 kHz, 1.5 MHz, 3 MHz, 6 MHz, 12 MHz (メイン・システム・クロック：12 MHz動作時, μPD78F0034BとマスクROM製品の拡張規格品のみ) 65.5 kHz, 131 kHz, 262 kHz, 524 kHz, 1.05 MHz, 2.10 MHz, 4.19 MHz, 8.38 MHz (メイン・システム・クロック：8.38 MHz動作時) 32.768 kHz (サブシステム・クロック：32.768 kHz動作時) 		
ブザー出力	<ul style="list-style-type: none"> 1.46 kHz, 2.92 kHz, 5.85 kHz, 11.7 kHz (メイン・システム・クロック：12 MHz動作時, μPD78F0034BとマスクROM製品の拡張規格品のみ) 1.02 kHz, 2.05 kHz, 4.10 kHz, 8.19 kHz (メイン・システム・クロック：8.38 MHz動作時) 		
A/Dコンバータの分解能	10ビット	8ビット	
P30-P33端子のプルアップ抵抗 内蔵のマスク・オプション指定	不可	可能	
IC端子	なし	あり	
V _{PP} 端子	あり	なし	
電気的特性, 半田付け推奨条件	電気的特性, 半田付け推奨条件の章を参照してください。		

注 μPD78F0034A, 78F0034Bは, μPD780024Aサブシリーズのフラッシュ・メモリ製品としても使用できます。

注意 フラッシュ・メモリ製品とマスクROM製品では, ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は, マスクROM製品のCS製品 (ES製品でなく) で十分な評価を行ってください。

表23-6 μ PD78F0034AY, 78F0034BYとマスクROM製品の違い

項目	μ PD78F0034AY, 78F0034BY	マスクROM製品	
		μ PD780034AYサブシリーズ	μ PD780024AYサブシリーズ ^注
内部ROM構造	フラッシュ・メモリ	マスクROM	
内部ROM容量	32 Kバイト	μ PD780031AY : 8 Kバイト μ PD780032AY : 16 Kバイト μ PD780033AY : 24 Kバイト μ PD780034AY : 32 Kバイト	μ PD780021AY : 8 Kバイト μ PD780022AY : 16 Kバイト μ PD780023AY : 24 Kバイト μ PD780024AY : 32 Kバイト
内部高速RAM容量	1024バイト	μ PD780031AY : 512バイト μ PD780032AY : 512バイト μ PD780033AY : 1024バイト μ PD780034AY : 1024バイト	μ PD780021AY : 512バイト μ PD780022AY : 512バイト μ PD780023AY : 1024バイト μ PD780024AY : 1024バイト
最小命令実行時間	最小命令実行時間の可変機能内蔵		
	メイン・システム・クロック選択時	0.238 μ s/0.477 μ s/0.954 μ s/1.90 μ s/3.81 μ s (8.38 MHz動作時)	
	サブシステム・クロック選択時	122 μ s (32.768 kHz動作時)	
クロック出力	<ul style="list-style-type: none"> 65.5 kHz, 131 kHz, 262 kHz, 524 kHz, 1.05 MHz, 2.10 MHz, 4.19 MHz, 8.38 MHz (メイン・システム・クロック : 8.38 MHz動作時) 32.768 kHz (サブシステム・クロック : 32.768 kHz動作時) 		
ブザー出力	1.02 kHz, 2.05 kHz, 4.10 kHz, 8.19 kHz (メイン・システム・クロック : 8.38MHz 動作時)		
A/Dコンバータの分解能	10ビット		8ビット
P30, P31端子のプルアップ抵抗 内蔵のマスク・オプション指定	不可	可能	
IC端子	なし	あり	
V _{PP} 端子	あり	なし	
電気的特性, 半田付け推奨条件	電気的特性, 半田付け推奨条件の章を参照してください。		

注 μ PD78F0034AY, 78F0034BYは, μ PD780024AYサブシリーズのフラッシュ・メモリ製品としても使用できません。

注意 フラッシュ・メモリ製品とマスクROM製品では, ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は, マスクROM製品のCS製品 (ES製品でなく) で十分な評価を行ってください。

23.4 メモリ・サイズ切り替えレジスタ

μPD78F0034A, 78F0034B, 78F0034AY, 78F0034BYは、メモリ・サイズ切り替えレジスタ（IMS）により、内部メモリ容量を選択できます。IMSを設定することにより、内部メモリ容量の異なるマスクROM製品のメモリ・マップと同一のメモリ・マップにできます。

IMSは、8ビット・メモリ操作命令で設定します。

RESET入力により、CFHになります。

注意 プログラムの初期設定として、IMSには必ず対象のマスクROM製品の値を設定してください。
 なお、リセットによりIMSはCFHになりますので、リセット後は必ず対象のマスクROM製品の値を設定してください。

図23-1 メモリ・サイズ切り替えレジスタ（IMS）のフォーマット

アドレス：FFF0H リセット時：CFH R/W

略号	7	6	5	4	3	2	1	0
IMS	RAM2	RAM1	RAM0	0	ROM3	ROM2	ROM1	ROM0

RAM2	RAM1	RAM0	内部高速RAM容量の選択
0	1	0	512バイト
1	1	0	1024バイト
上記以外			設定禁止

ROM3	ROM2	ROM1	ROM0	内部ROM容量の選択
0	0	1	0	8 Kバイト
0	1	0	0	16 Kバイト
0	1	1	0	24 Kバイト
1	0	0	0	32 Kバイト
1	1	1	1	60 Kバイト（設定禁止）
上記以外				設定禁止

マスクROM製品と同一のメモリ・マップにするIMSの設定値を表23-7に示します。

表23-7 メモリ・サイズ切り替えレジスタの設定値

対象のマスクROM製品	IMSの設定値
μPD780021A, 780031A, 780021AY, 780031AY	42H
μPD780022A, 780032A, 780022AY, 780032AY	44H
μPD780023A, 780033A, 780023AY, 780033AY	C6H
μPD780024A, 780034A, 780024AY, 780034AY	C8H

注意 マスクROM製品を使用する場合、IMSには表23-7に示す値を必ず設定してください。

23.5 フラッシュ・メモリの特徴

フラッシュ・メモリへのプログラミングは、ターゲット・システムに実装した状態（オンボード）で、専用のフラッシュ・ライター（Flashpro III（型番 FL-PR3, PG-FP3）／Flashpro IV（型番 FL-PR4, PG-FP4））をターゲット・システムに接続して行います。またプログラミング専用のターゲット・ボードであるフラッシュ書き込み用アダプタ（プログラム・アダプタ）を用意しています。

備考 FL-PR3, FL-PR4, プログラム・アダプタは、株式会社内藤電誠町田製作所（TEL（045）475-4191）の製品です。

フラッシュ・メモリによるプログラミングには、次のような利点があります。

- ターゲット・システムにマイコンを半田実装後、ソフトウェアの変更可能
- ソフトウェアを区別することで少量多品種生産が容易
- 量産立ち上げ時のデータ調整が容易

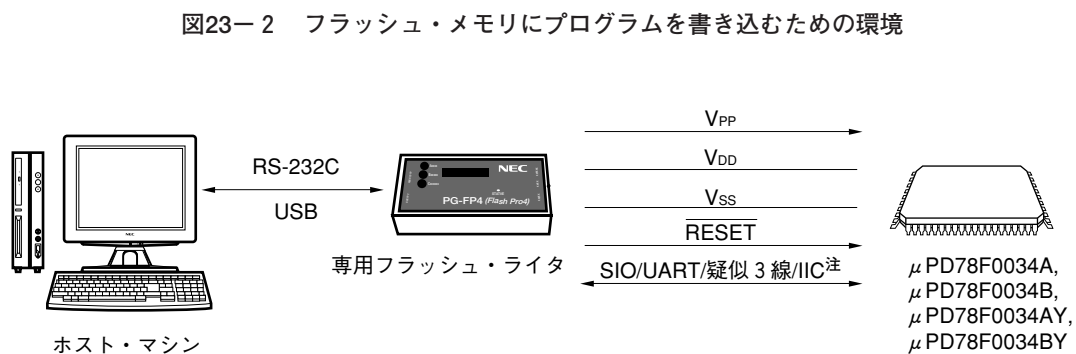
23.5.1 プログラミング環境

μ PD78F0034A, 78F0034B, 78F0034AY, 78F0034BYのフラッシュ・メモリ・プログラミングに必要な環境を示します。

専用フラッシュ・ライターとしてFlashpro III/Flashpro IVを使用した場合、専用フラッシュ・ライターには、これを制御するホスト・マシンが必要です。ホスト・マシンとフラッシュ・ライター間の通信は、RS-232C/USB（Rev1.1）で行います。

詳細はFlashpro III/Flashpro IVのマニュアルを参照してください。

備考 USBはFlashpro IVのみ対応



注 μ PD78F0034AY, 78F0034BYのみ対応。

23.5.2 通信方式

専用フラッシュ・ライタとμPD78F0034A, 78F0034B, 78F0034AY, 78F0034BYとの通信は、表23-8に示す通信方式から選択して行います。

表23-8 通信方式一覧 (1/2)

(1) μPD78F0034A, 78F0034B

通信方式	Standard (TYPE) 設定 ^{注1}					使用端子	V _{PP} パルス数
	Port (COMM PORT)	Speed (SIO CLOCK)	On Target (CPU CLOCK)	Frequency (Flashpro Clock)	Multiply rate (Multiple Rate)		
3線式シリアルI/O (SIO30)	SIO-ch0 (SIO ch-0)	2.4 k-625 kHz ^{注2} (100 Hz-1.25 MHz) ^{注2}	任意	1-10 MHz ^{注2}	1.0	SI30/P20 SO30/P21 SCK30/P22	0
3線式シリアルI/O (SIO31)	SIO-ch1 (SIO ch-1)					SI31/P34 SO31/P35 SCK31/P36	1
★ 3線式シリアルI/O (SIO30) ハンドシェイクあり ^{注3}	SIO-H/S (SIO ch-0+ handshake)					SI30/P20 SO30/P21 SCK30/P22 HS/P25	3
UART (UART0)	UART-ch0 (UART ch-0)	4800-76800 Baud ^{注2, 4} (4800-76800 bps) ^{注2, 4}				RxD0/P23 TxD0/P24	8
疑似3線式シリアルI/O	Port-ch0 (Port A)	100-1500 Hz ^{注2} (100 Hz-1.25 MHz) ^{注2}				P70/TI00/TO0 (シリアル・データ入力) P71/TI01 (シリアル・データ出力) P72/TI50/TO50 (シリアル・クロック入力)	12

注1. FlashproIV上のStandard設定 (FlashproIII上ではTYPE設定) における設定項目です。

2. 電圧により設定可能な範囲が異なります。詳細は電気的特性の章を参照してください。
3. μPD78F0034Bのみ。
4. UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

備考 設定項目の () 内はFlashproIVと異なる場合のFlashproIIIの設定値および設定項目です。

表23-8 通信方式一覧 (2/2)

(2) μPD78F0034AY, 78F0034BY

通信方式	Standard (TYPE) 設定 ^{注1}					使用端子	V _{PP} パルス数
	Port (COMM PORT)	Speed (SIO CLOCK)	On Target (CPU CLOCK)	Frequency (Flashpro Clock)	Multiply rate (Multiple Rate)		
3線式シリアルI/O (SIO30)	SIO-ch0 (SIO ch-0)	2.4 k-625 kHz ^{注2} (100 Hz-1.25 MHz) ^{注2}	任意	1-10 MHz ^{注2}	1.0	SI30/P20 SO30/P21 SCK30/P22	0
★ 3線式シリアルI/O (SIO30) ハンドシェイクあり ^{注3}	SIO-H/S (SIO ch-0+ handshake)					SI30/P20 SO30/P21 SCK30/P22 HS/P25	3
I ² Cバス (IIC0)	IIC-ch0 (I ² C ch-0)	10 k-100 k Band ^{注2} (50 kHz) ^{注2}				SDA0/P32 SCL0/P33	4
UART (UART0)	UART-ch0 (UART ch-0)	4800-76800 Baud ^{注2, 4} (4800-76800 bps) ^{注2, 4}				RxD0/P23 TxD0/P24	8
疑似3線式シリアルI/O	Port-ch0 (Port A)	100-1500 Hz ^{注2} (100 Hz-1.25 MHz) ^{注2}				P70/TI00/TO0 (シリアル・データ入力) P71/TI01 (シリアル・データ出力) P72/TI50/TO50 (シリアル・クロック入力)	12

注1. Flashpro IV上のStandard設定 (Flashpro III上ではTYPE設定) における設定項目です。

2. 電圧により設定可能な範囲が異なります。詳細は電気的特性の章を参照してください。
3. μPD78F0034BYのみ。
4. UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

備考 設定項目の () 内は、Flashpro IVと異なる場合のFlashpro IIIの設定値および設定項目です。

図23-3 通信方式選択フォーマット

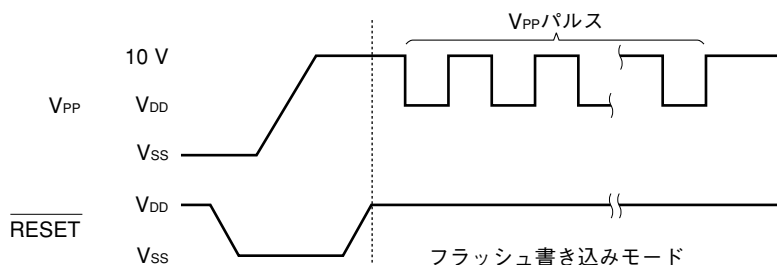
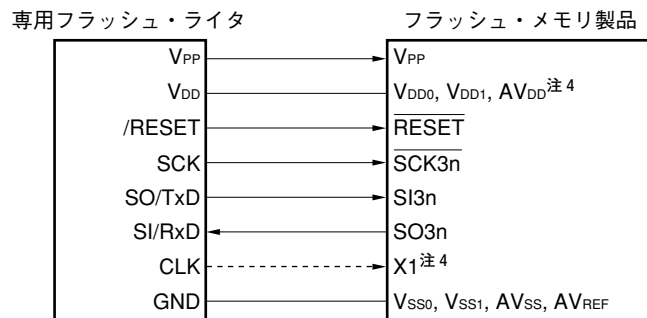
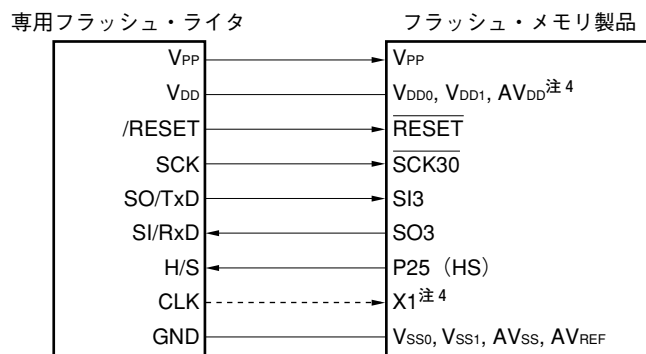


図23-4 専用フラッシュ・ライターとの接続例 (1/2)

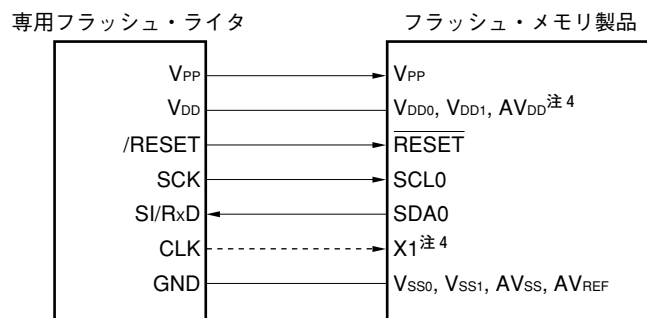
(a) 3線式シリアルI/O (SIO3n^{注1})



(b) 3線式シリアルI/O (SIO30) ハンドシェイクあり^{注2}



(c) I²Cバス (IIC0) ^{注3}



注1. n = 0, 1 : μ PD78F0034A, 78F0034B

n = 0 : μ PD78F0034AY, 78F0034BY

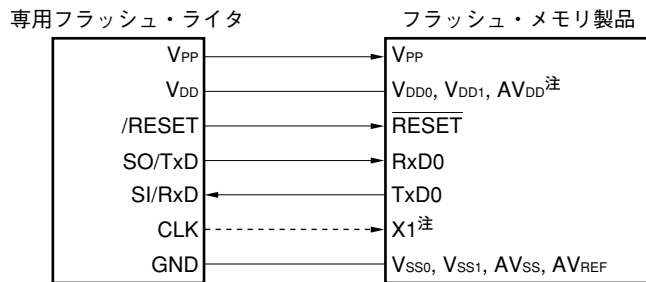
2. μ PD78F0034B, 78F0034BYのみ。

3. μ PD78F0034AY, 78F0034BYのみ。

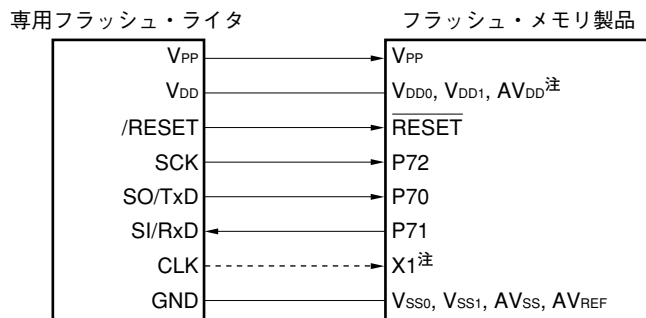
4. V_{DD0}, V_{DD1}, AV_{DD} およびX1端子はオンボード上での供給が可能です。この場合、専用フラッシュ・ライターと接続する必要はありませんが、X1端子以外はプログラミング開始前にV_{DD}電圧を供給する必要があります。

図23-4 専用フラッシュ・ライターとの接続例 (2/2)

(d) UART (UART0)



(e) 疑似3線式シリアルI/O



注 V_{DD0}, V_{DD1}, AV_{DD} およびX1端子はオンボード上での供給が可能です。この場合、専用フラッシュ・ライターと接続する必要はありませんが、X1端子以外はプログラミング開始前にV_{DD}電圧を供給する必要があります。

専用フラッシュ・ライターとしてFlashpro III/Flashpro IVを使用した場合、 μ PD78F0034A, 78F0034B, 78F0034AY, 78F0034BYに対して次の信号を生成します。詳細はFlashpro III/Flashpro IVのマニュアルを参照してください。

表23-9 端子接続一覧

信号名	入出力	端子機能	端子名	SIO30	SIO31 ^{注1}	SIO30 (HS) ^{注2}	UART0	IIC0 ^{注3}	疑似3線
V _{PP}	出力	書き込み電圧	V _{PP}	○	○	○	○	○	○
V _{DD}	入出力	V _{DD} 電圧生成/電圧監視	V _{DD0} , V _{DD1} , AV _{DD}	○ ^{注4}	○ ^{注4}	○ ^{注4}	○ ^{注4}	○ ^{注4}	○ ^{注4}
GND	—	グラウンド	V _{SS0} , V _{SS1} , AV _{SS} , AV _{REF}	○	○	○	○	○	○
CLK	出力	クロック出力	X1	○	○	○	○	○	○
/RESET	出力	リセット信号	RESET _̄	○	○	○	○	○	○
SI/RxD	入力	受信信号	SO30/SO31 ^{注1} TxD0/SDA0 ^{注3} /P71	○	○	○	○	○	○
SO/TxD	出力	送信信号	SI30/SI31 ^{注1} /RxD0/ P70	○	○	○	○	×	○
SCK	出力	転送クロック	SCK30/SCK31 ^{注1} / SCL0 ^{注3} /P72	○	○	○	×	○	○
H/S	入力	ハンドシェイク信号	P25 (HS) ^{注2}	×	×	○	×	×	×

注1. μPD78F0034A, 78F0034Bのみ。

2. μPD78F0034B, 78F0034BYのみ。

3. μPD78F0034AY, 78F0034BYのみ。

4. V_{DD}電圧はプログラミング開始前に供給する必要があります。

備考 ○：必ず接続してください。

○：ターゲット・ボード上で供給されていれば、接続の必要はありません。

×

23.5.3 オンボード上の端子処理

ターゲット・システム上でプログラミングを行う場合は、ターゲット・システム上に専用フラッシュ・ライターと接続するためのコネクタを設けます。

また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能が必要になる場合があります。

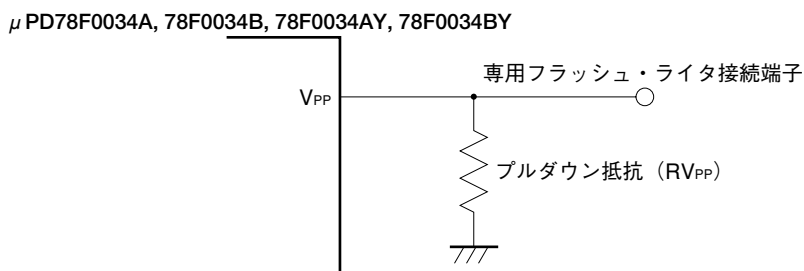
<V_{PP}端子>

通常動作モード時は、V_{PP}端子に0 Vを入力します。またフラッシュ・メモリ・プログラミング・モード時は、V_{PP}端子に10.0 V (TYP.) の書き込み電圧を供給しますので、次の端子処理を行ってください。

- (1) V_{PP}端子にプルダウン抵抗RV_{PP} = 10 k Ω を接続してください
- (2) ボード上のジャンパで、V_{PP}端子の入力をライター側または直接GNDのどちらかに切り替えてください

V_{PP}端子の接続例を次に示します。

図23-5 V_{PP}端子の接続例



<シリアル・インタフェース端子>

各シリアル・インタフェースが使用する端子を次に示します。

シリアル・インタフェース	使用端子
3線式シリアルI/O (SIO30)	SI30/P20, SO30/P21, $\overline{\text{SCK30}}$ /P22
3線式シリアルI/O (SIO31) 注 ¹	SI31/P34, SO31/P35, $\overline{\text{SCK31}}$ /P36
3線式シリアルI/O (SIO30) ハンドシェイクあり注 ²	SI30/P20, SO30/P21, $\overline{\text{SCK30}}$ /P22, HS/P25
IPCバス (IIC0) 注 ³	SDA0/P32, SCL0/P33
UART (UART0)	RxD0/P23, TxD0/P24
疑似3線式シリアルI/O	P70/TI00/TO0 (シリアル・データ入力), P71/TI01 (シリアル・データ出力), P72/TI50/TO50 (シリアル・クロック入力)

注1. μ PD78F0034A, 78F0034Bのみ。

2. μ PD78F0034B, 78F0034BYのみ。

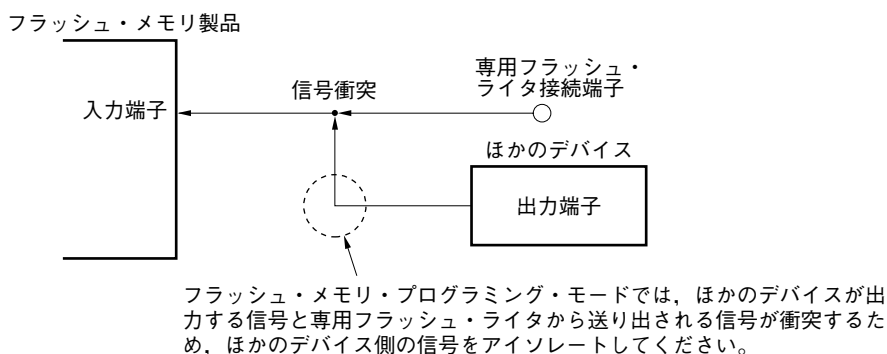
3. μ PD78F0034AY, 78F0034BYのみ。

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライターを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライタ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

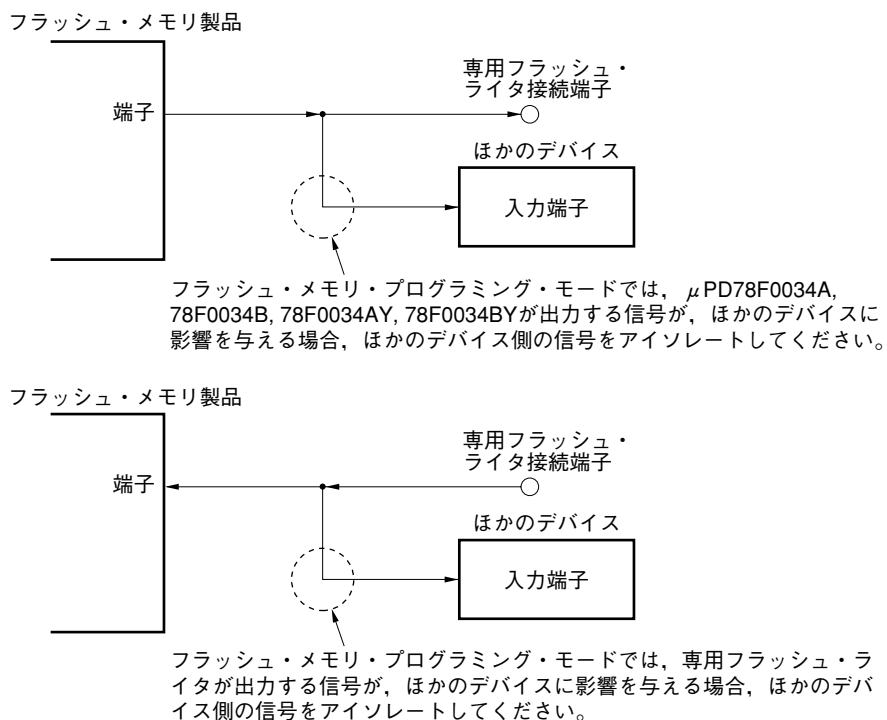
図23-6 信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・ライタ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスへの入力信号を無視するように設定してください。

図23-7 ほかのデバイスの異常動作

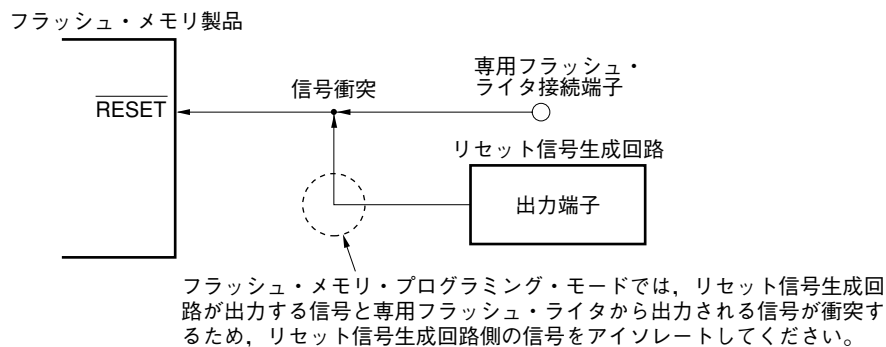


<RESET端子>

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図23-8 信号の衝突 (RESET端子)

**<ポート端子>**

フラッシュ・メモリ・プログラミング・モードに移行すると、フラッシュ・メモリ・プログラミングと通信する端子を除くすべての端子は、すべてリセット直後と同じ状態になります。

したがって、外部デバイスが出力ハイ・インピーダンス状態などの初期状態を認めない場合は、抵抗を介して V_{DD0} に接続する、または抵抗を介して V_{SS0} に接続するなどの処置をしてください。

<発振端子>

オンボード上のクロックを使用する場合、X1, X2, XT1, XT2は、通常動作モード時に準拠した接続をしてください。

フラッシュ・ライタのクロック出力を使用する場合は、オンボード上のメイン発振子を切り離し、X1端子に直接接続し、X2端子はオープンにしてください。サブクロックに関しては通常動作モードに準拠します。

<電 源>

フラッシュ・ライタの電源出力を使用する場合は、 V_{DD0} , V_{DD1} 端子はフラッシュ・ライタの V_{DD} に、 V_{SS0} , V_{SS1} 端子はフラッシュ・ライタのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。ただし、フラッシュ・ライタで電圧監視をするので、フラッシュ・ライタの V_{DD} は必ず接続してください。

その他の電源 (AV_{DD} , AV_{REF} , AV_{SS}) は、通常動作モード時と同じ電源を供給してください。

23.5.4 フラッシュ書き込み用アダプタの接続

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図23-9 3線式シリアルI/O (SIO30) 方式でのフラッシュ書き込み用アダプタ配線例 (1/2)

(1) 64ピン・プラスチックSDIP (19.05 mm (750)) の場合

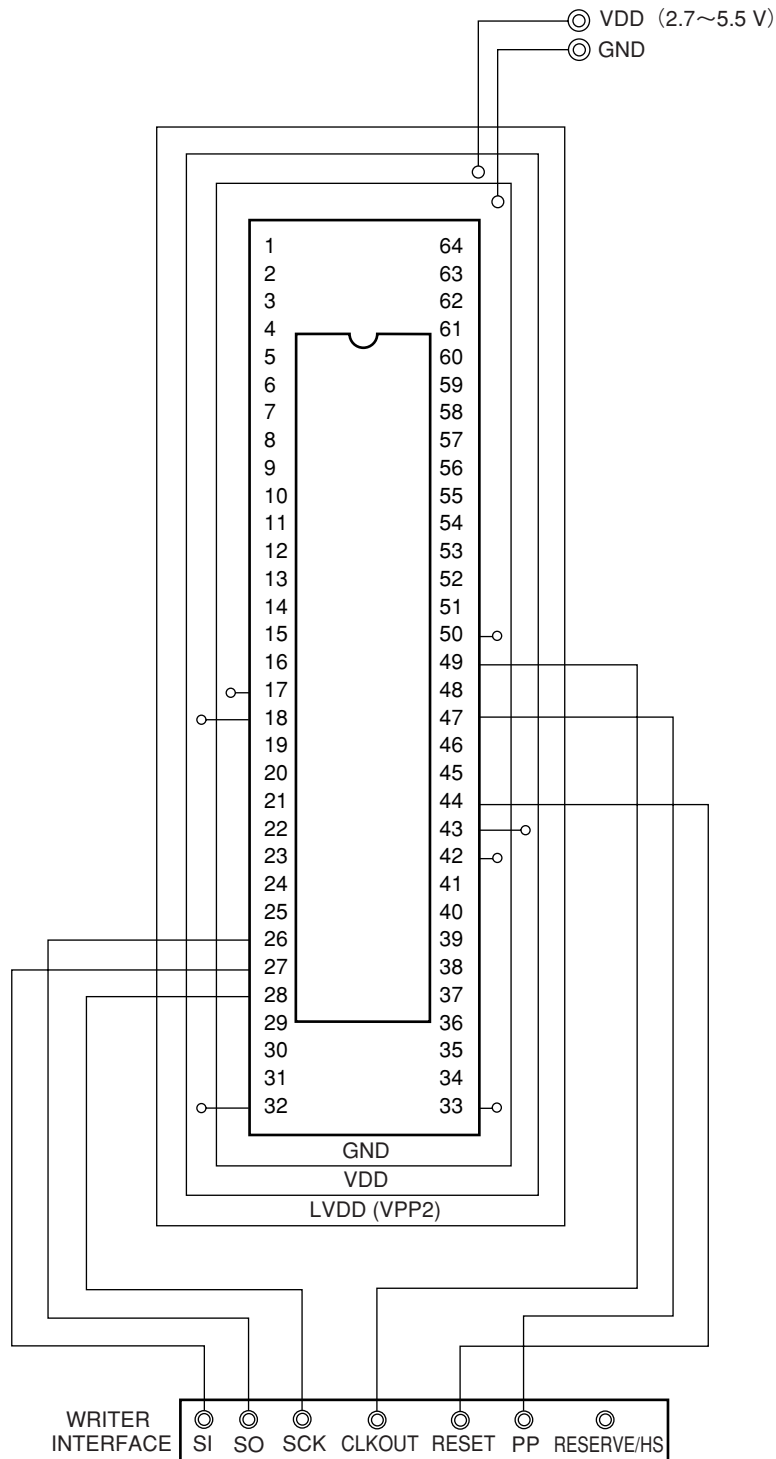


図23-9 3線式シリアルI/O (SIO30)方式でのフラッシュ書き込み用アダプタ配線例 (2/2)

(2) 64ピン・プラスチックQFP (14x14) , 64ピン・プラスチックLQFP (14x14) , 64ピン・プラスチックTQFP (12x12) , 64ピン・プラスチックLQFP (10x10) の場合

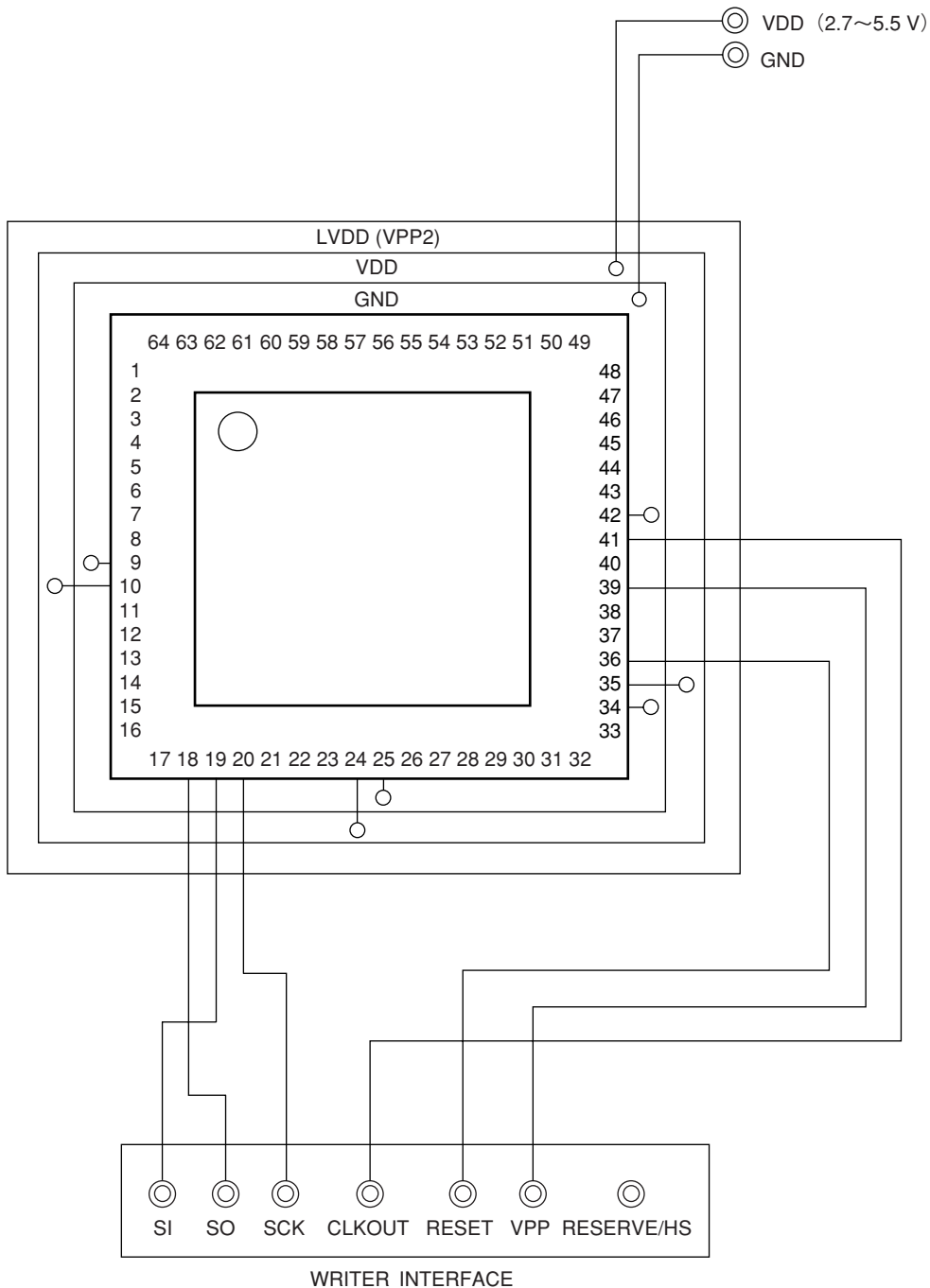


図23-10 3線式シリアルI/O (SIO31)方式でのフラッシュ書き込み用アダプタ配線例
(μ PD78F0034A, 78F0034Bのみ) (1/2)

(1) 64ピン・プラスチックSDIP (19.05 mm (750)) の場合

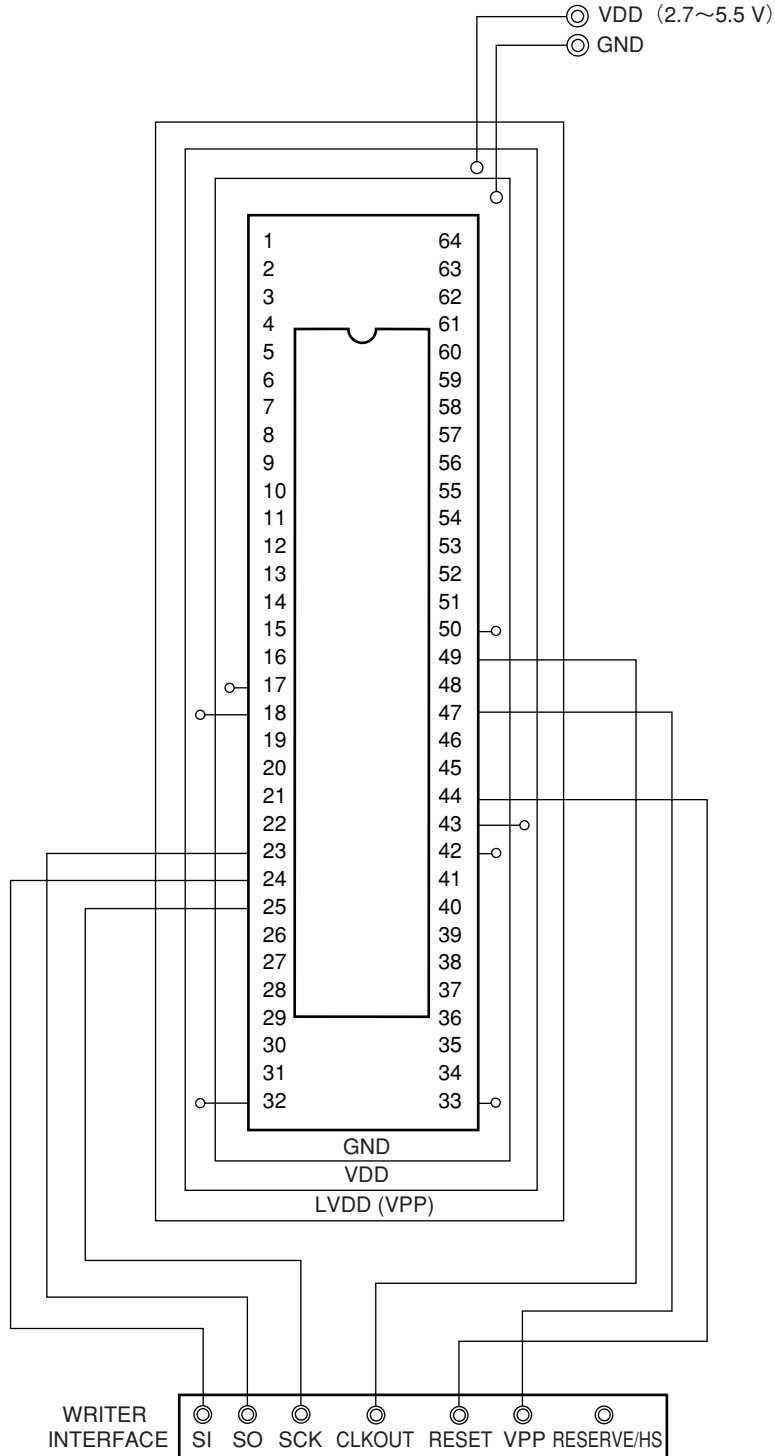


図23-10 3線式シリアルI/O (SIO31)方式でのフラッシュ書き込み用アダプタ配線例
(μPD78F0034A, 78F0034Bのみ) (2/2)

(2) 64ピン・プラスチックQFP (14x14), 64ピン・プラスチックLQFP (14x14), 64ピン・プラスチックTQFP (12x12), 64ピン・プラスチックLQFP (10x10) の場合

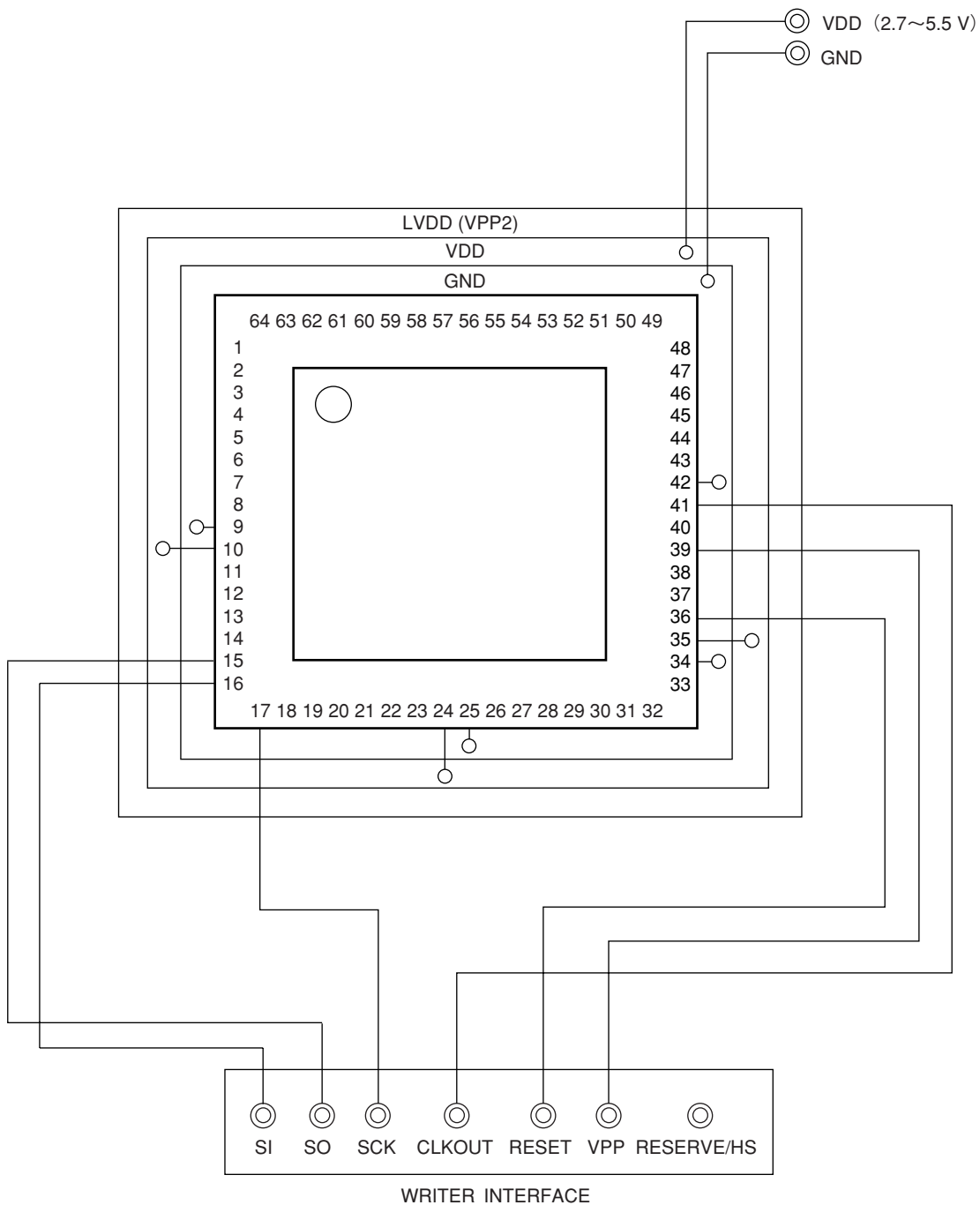


図23-11 3線式シリアルI/O (SIO30+HS) 方式でのフラッシュ書き込み用アダプタ配線例
 (μ PD78F0034B, 78F0034BYのみ) (1/2)

(1) 64ピン・プラスチックSDIP (19.05 mm (750)) の場合

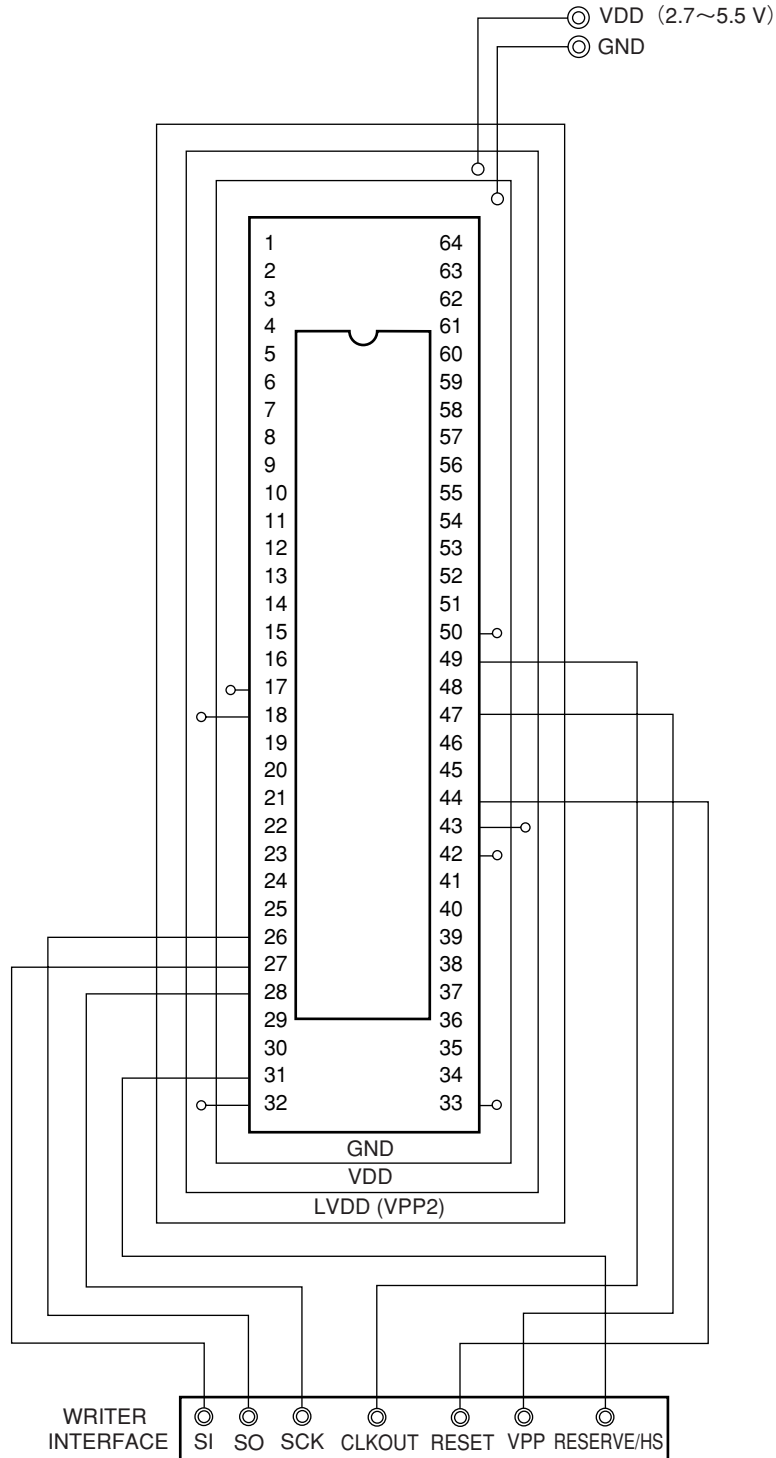


図23-11 3線式シリアルI/O (SIO30+HS)方式でのフラッシュ書き込み用アダプタ配線例
(μ PD78F0034B, 78F0034BYのみ) (2/2)

(2) 64ピン・プラスチックQFP (14x14), 64ピン・プラスチックLQFP (14x14), 64ピン・プラスチックTQFP (12x12), 64ピン・プラスチックLQFP (10x10) の場合

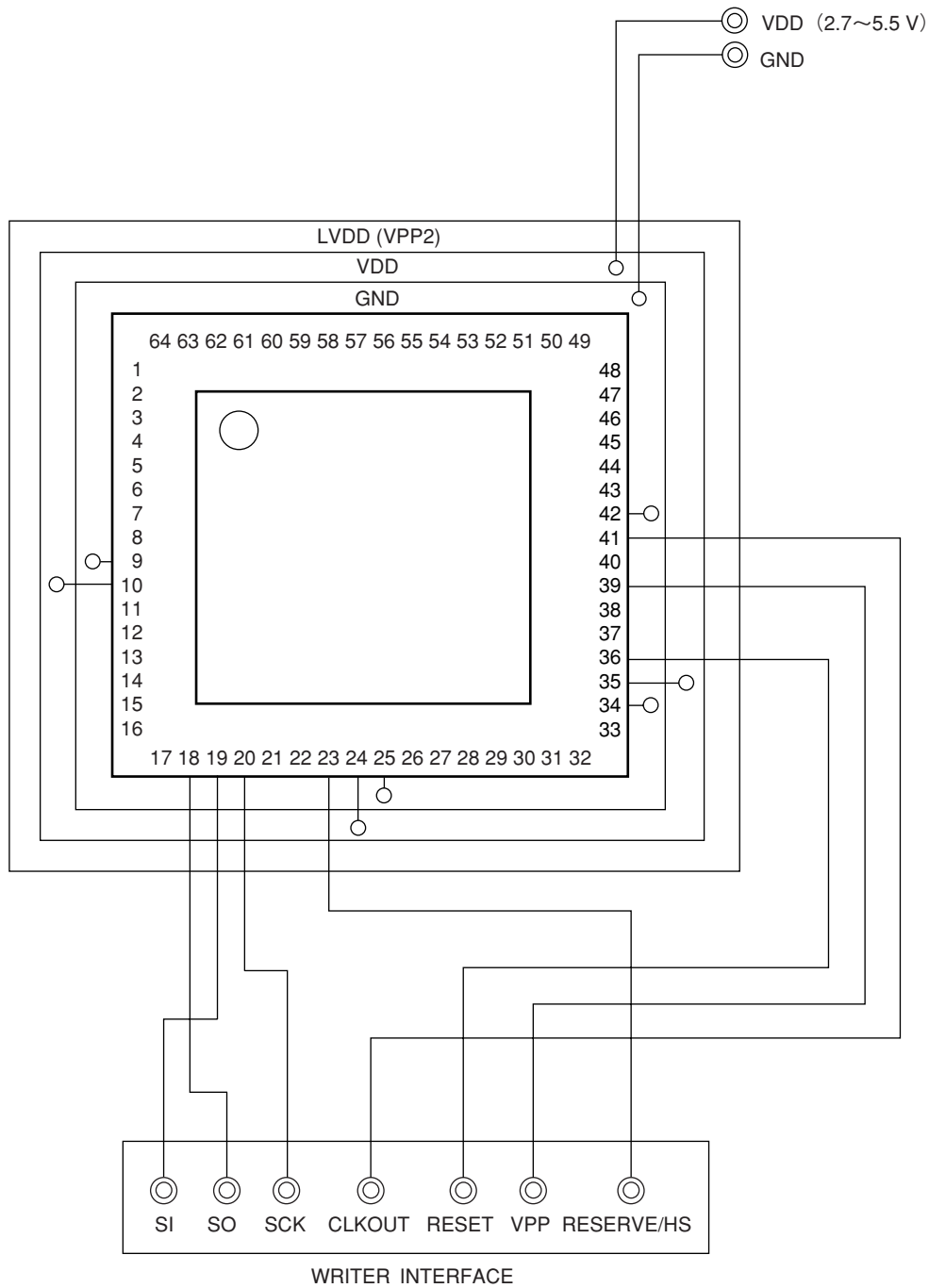


図23-12 I²Cバス (IIC0) 方式でのフラッシュ書き込み用アダプタ配線例
 (μ PD78F0034AY, 78F0034BYのみ) (1/2)

(1) 64ピン・プラスチックSDIP (19.05 mm (750)) の場合

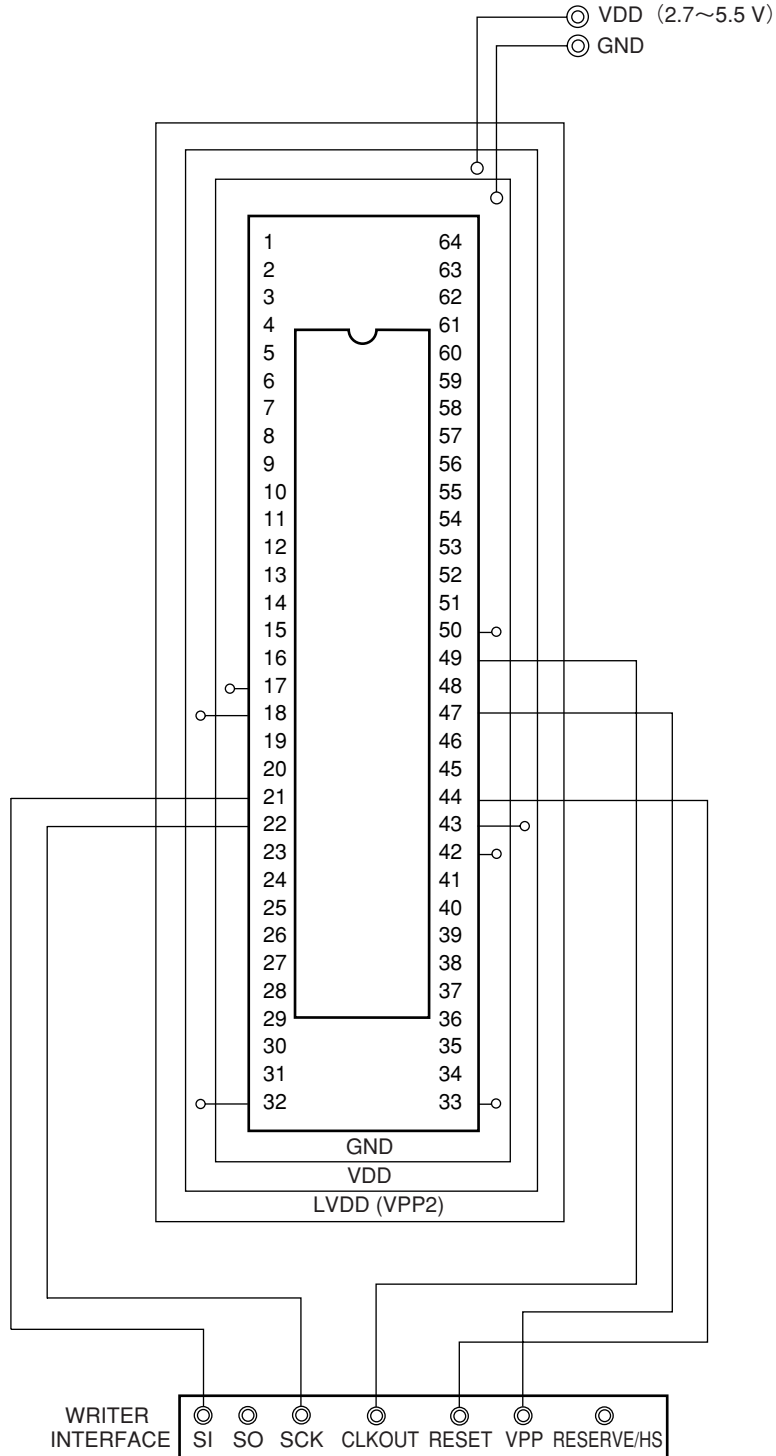


図23-12 I²Cバス (IIC0) 方式でのフラッシュ書き込み用アダプタ配線例
 (μ PD78F0034AY, 78F0034BYのみ) (2/2)

(2) 64ピン・プラスチックQFP (14x14) , 64ピン・プラスチックLQFP (14x14) , 64ピン・プラスチックTQFP (12x12) , 64ピン・プラスチックLQFP (10x10) の場合

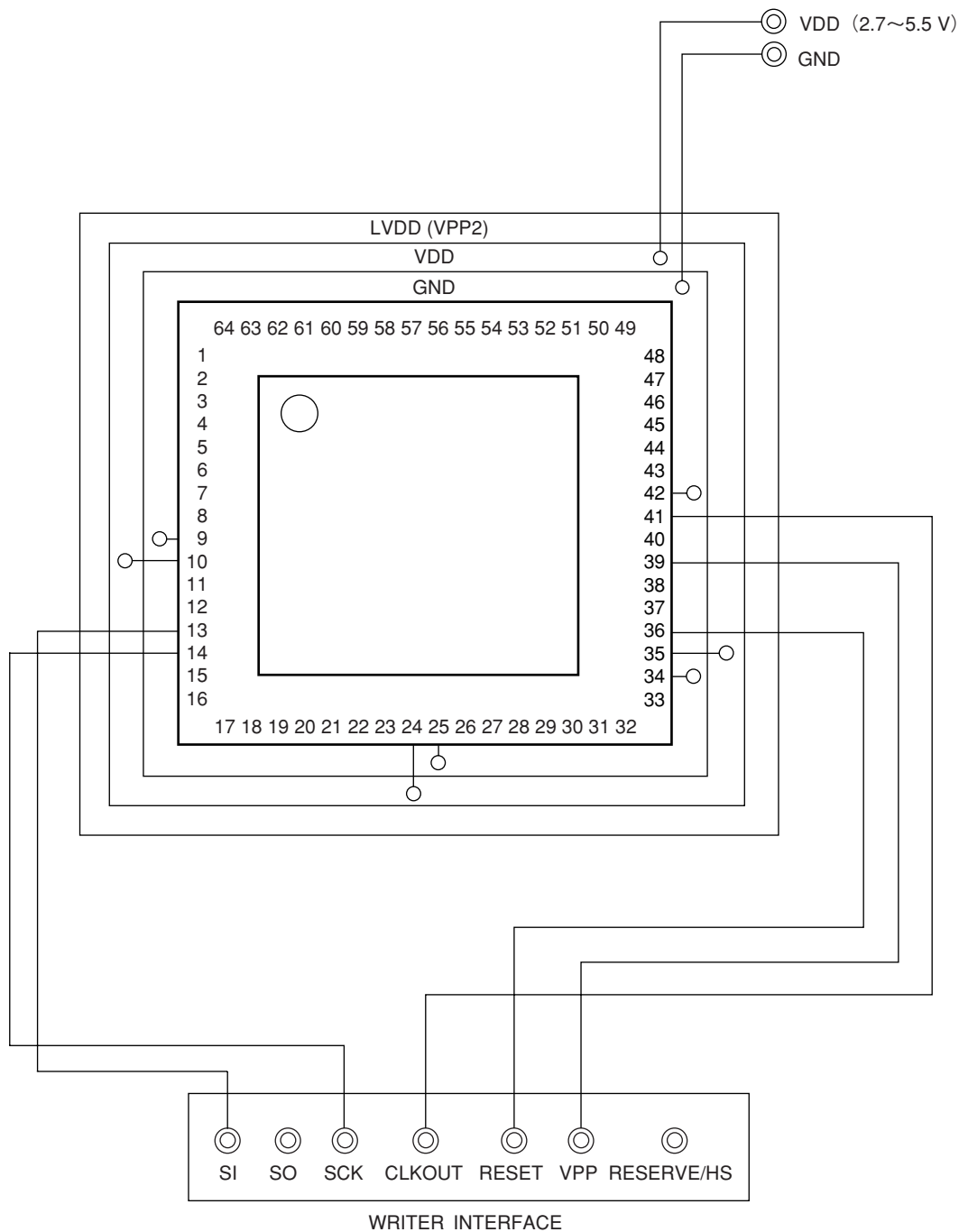


図23-13 UART (UART0) 方式でのフラッシュ書き込み用アダプタ配線例 (1/2)

(1) 64ピン・プラスチックSDIP (19.05 mm (750)) の場合

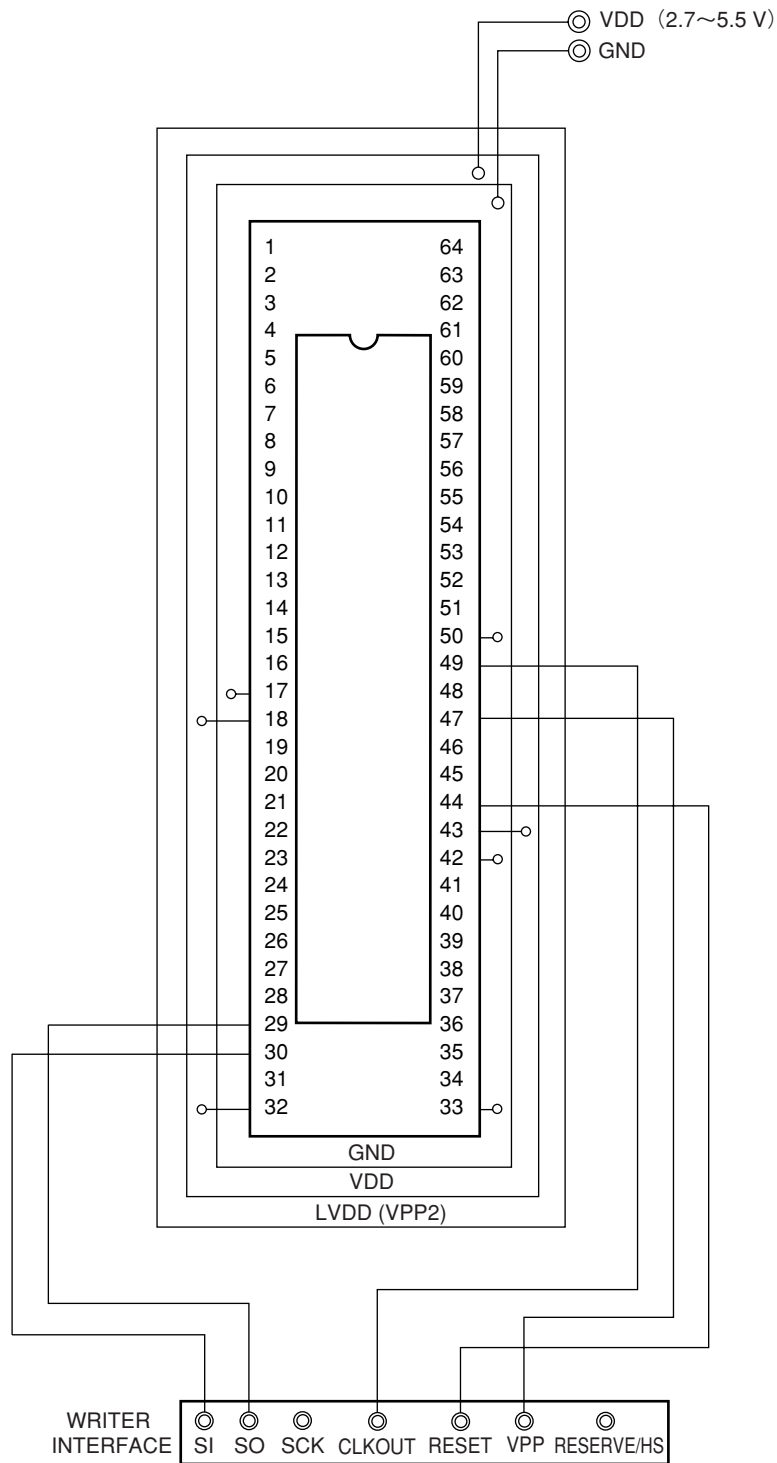


図23-13 UART (UART0) 方式でのフラッシュ書き込み用アダプタ配線例 (2/2)

(2) 64ピン・プラスチックQFP (14x14) , 64ピン・プラスチックLQFP (14x14) , 64ピン・プラスチックTQFP (12x12) , 64ピン・プラスチックLQFP (10x10) の場合

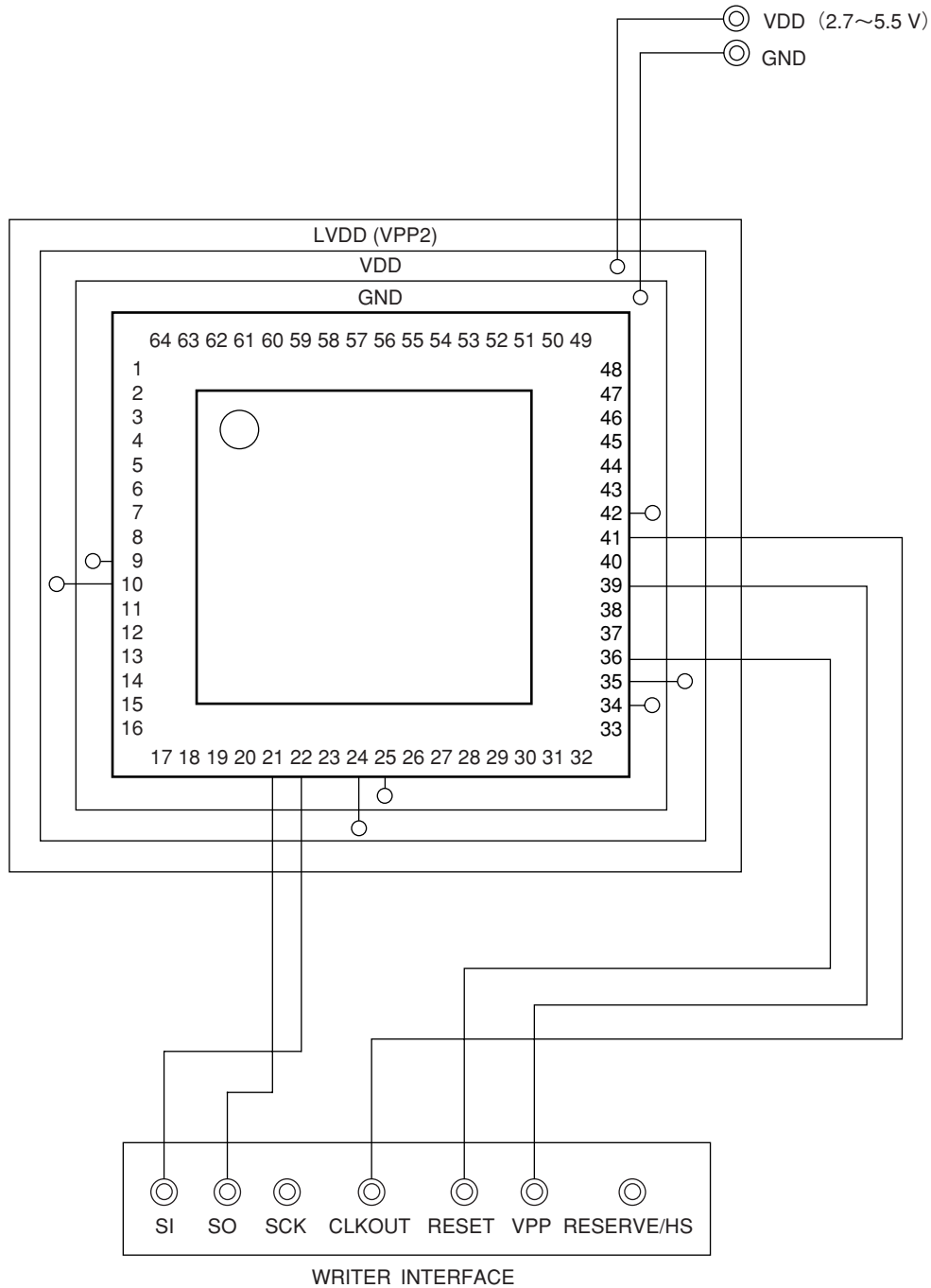


図23-14 疑似3線式シリアルI/O方式でのフラッシュ書き込み用アダプタ配線例 (1/2)

(1) 64ピン・プラスチックSDIP (19.05 mm (750)) の場合

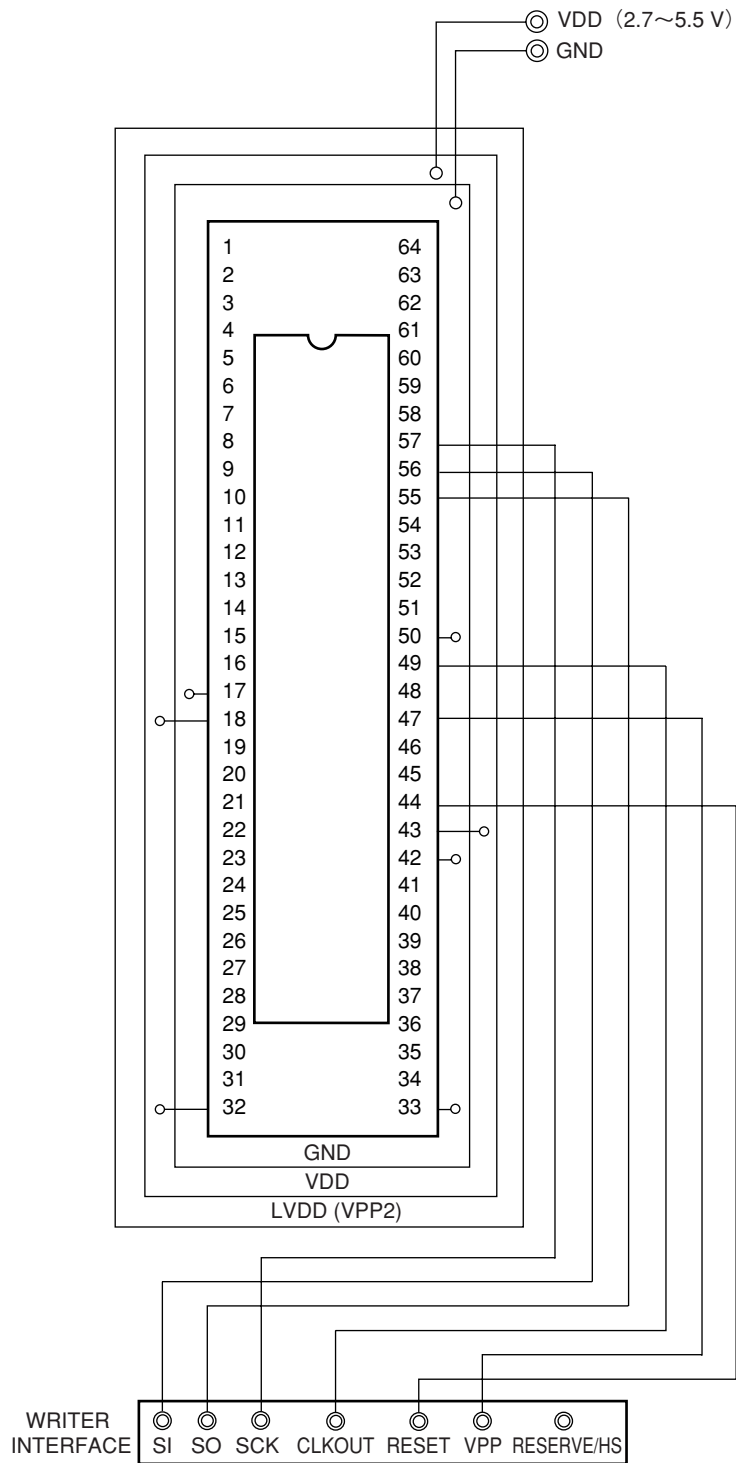
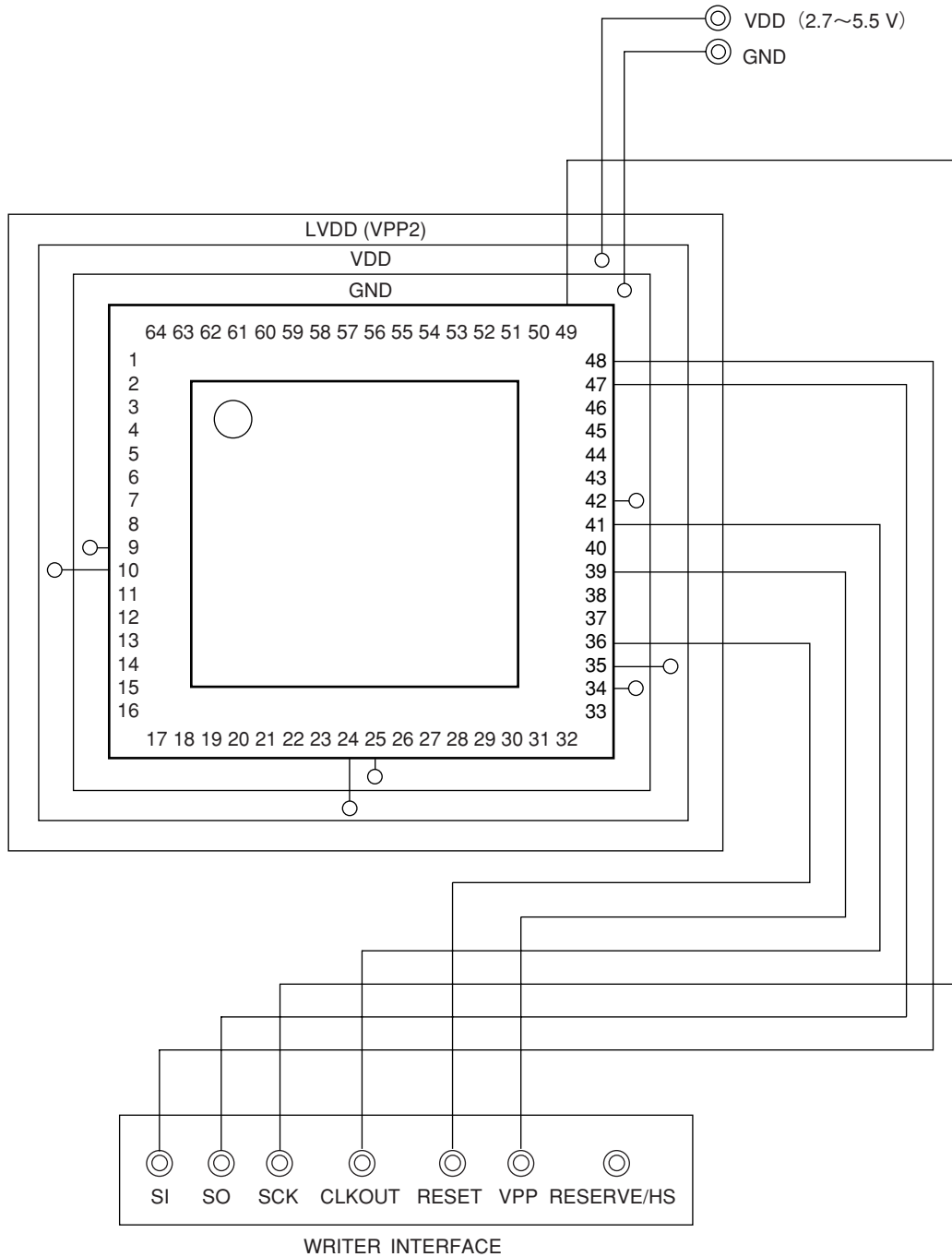


図23-14 疑似3線式シリアルI/O方式でのフラッシュ書き込み用アダプタ配線例 (2/2)

(2) 64ピン・プラスチックQFP (14x14) , 64ピン・プラスチックLQFP (14x14) , 64ピン・プラスチックTQFP (12x12) , 64ピン・プラスチックLQFP (10x10) の場合



第24章 命令セットの概要

μ PD780024A, 780034A, 780024AY, 780034AYサブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0シリーズ ユーザーズ・マニュアル 命令編 (U12326J) を参照してください。

24.1 凡 例

24.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・# : イミーディエト・データ指定
- ・! : 絶対アドレス指定
- ・\$: 相対アドレス指定
- ・[] : 間接アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式 r, rpには、機能名称（X, A, Cなど）、絶対名称（下表の中のカッコ内の名称, R0, R1, R2など）のいずれの形式でも記述可能です。

表24-1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X (R0), A (R1), C (R2), B (R3), E (R4), D (R5), L (R6), H (R7)
rp	AX (RP0), BC (RP1), DE (RP2), HL (RP3)
sfr	特殊機能レジスタ略号 ^注
sfrp	特殊機能レジスタ略号（16ビット操作可能なレジスタの偶数アドレスのみ） ^注
saddr	FE20H-FF1FH イミーディエト・データまたはラベル
saddrp	FE20H-FF1FH イミーディエト・データまたはラベル（偶数アドレスのみ）
addr16	0000H-FFFFH イミーディエト・データまたはラベル （16ビット・データ転送命令時は偶数アドレスのみ）
addr11	0800H-0FFFH イミーディエト・データまたはラベル
addr5	0040H-007FH イミーディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 FFD0H-FFDFHは、アドレスできません。

備考 特殊機能レジスタの略号は表5-5 特殊機能レジスタ一覧を参照してください。

24.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
RBS	: レジスタ・バンク選択フラグ
IE	: 割り込み要求許可フラグ
()	: () 内のアドレスまたはレジスタの内容で示されるメモリの内容
X _H , X _L	: 16ビット・レジスタの上位8ビット, 下位8ビット
∧	: 論理積 (AND)
∨	: 論理和 (OR)
⊕	: 排他的論理和 (exclusive OR)
—	: 反転データ
addr16	: 16ビット・イミディエト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

24.1.3 フラグ動作欄の説明

(空白)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
X	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

24.2 オペレーション一覧

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	4	—	r←byte			
		saddr, #byte	3	6	7	(saddr)←byte			
		sfr, #byte	3	—	7	sfr←byte			
		A, r <small>注3</small>	1	2	—	A←r			
		r, A <small>注3</small>	1	2	—	r←A			
		A, saddr	2	4	5	A←(saddr)			
		saddr, A	2	4	5	(saddr)←A			
		A, sfr	2	—	5	A←sfr			
		sfr, A	2	—	5	sfr←A			
		A, !addr16	3	8	9+n	A←(addr16)			
		!addr16, A	3	8	9+m	(addr16)←A			
		PSW, #byte	3	—	7	PSW←byte	×	×	×
		A, PSW	2	—	5	A←PSW			
		PSW, A	2	—	5	PSW←A	×	×	×
		A, [DE]	1	4	5+n	A←(DE)			
		[DE], A	1	4	5+m	(DE)←A			
		A, [HL]	1	4	5+n	A←(HL)			
		[HL], A	1	4	5+m	(HL)←A			
		A, [HL+byte]	2	8	9+n	A←(HL+byte)			
		[HL+byte], A	2	8	9+m	(HL+byte)←A			
		A, [HL+B]	1	6	7+n	A←(HL+B)			
		[HL+B], A	1	6	7+m	(HL+B)←A			
		A, [HL+C]	1	6	7+n	A←(HL+C)			
		[HL+C], A	1	6	7+m	(HL+C)←A			
	XCH	A, r <small>注3</small>	1	2	—	A↔r			
		A, saddr	2	4	6	A↔(saddr)			
		A, sfr	2	—	6	A↔sfr			
		A, !addr16	3	8	10+n+m	A↔(addr16)			
		A, [DE]	1	4	6+n+m	A↔(DE)			
		A, [HL]	1	4	6+n+m	A↔(HL)			
A, [HL+byte]		2	8	10+n+m	A↔(HL+byte)				
A, [HL+B]		2	8	10+n+m	A↔(HL+B)				
A, [HL+C]		2	8	10+n+m	A↔(HL+C)				

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。
3. r=Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。
3. nは外部メモリ拡張領域をリードしたときのウェイト数です。
4. mは外部メモリ拡張領域をライトしたときのウェイト数です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	rp, #word	3	6	—	rp←word			
		saddrp, #word	4	8	10	(saddrp)←word			
		sfrp, #word	4	—	10	sfrp←word			
		AX, saddrp	2	6	8	AX←(saddrp)			
		saddrp, AX	2	6	8	(saddrp)←AX			
		AX, sfrp	2	—	8	AX←sfrp			
		sfrp, AX	2	—	8	sfrp←AX			
		AX, rp 注3	1	4	—	AX←rp			
		rp, AX 注3	1	4	—	rp←AX			
		AX, laddr16	3	10	12+2n	AX←(addr16)			
	laddr16, AX	3	10	12+2m	(addr16)←AX				
XCHW	AX, rp 注3	1	4	—	AX↔rp				
8ビット演算	ADD	A, #byte	2	4	—	A, CY←A+byte	×	×	×
		saddr, #byte	3	6	8	(saddr), CY←(saddr)+byte	×	×	×
		A, r 注4	2	4	—	A, CY←A+r	×	×	×
		r, A	2	4	—	r, CY←r+A	×	×	×
		A, saddr	2	4	5	A, CY←A+(saddr)	×	×	×
		A, !addr16	3	8	9+n	A, CY←A+(addr16)	×	×	×
		A, [HL]	1	4	5+n	A, CY←A+(HL)	×	×	×
		A, [HL+byte]	2	8	9+n	A, CY←A+(HL+byte)	×	×	×
		A, [HL+B]	2	8	9+n	A, CY←A+(HL+B)	×	×	×
	A, [HL+C]	2	8	9+n	A, CY←A+(HL+C)	×	×	×	
	ADDC	A, #byte	2	4	—	A, CY←A+byte+CY	×	×	×
		saddr, #byte	3	6	8	(saddr), CY←(saddr)+byte+CY	×	×	×
		A, r 注4	2	4	—	A, CY←A+r+CY	×	×	×
		r, A	2	4	—	r, CY←r+A+CY	×	×	×
		A, saddr	2	4	5	A, CY←A+(saddr)+CY	×	×	×
		A, !addr16	3	8	9+n	A, CY←A+(addr16)+CY	×	×	×
		A, [HL]	1	4	5+n	A, CY←A+(HL)+CY	×	×	×
		A, [HL+byte]	2	8	9+n	A, CY←A+(HL+byte)+CY	×	×	×
		A, [HL+B]	2	8	9+n	A, CY←A+(HL+B)+CY	×	×	×
A, [HL+C]		2	8	9+n	A, CY←A+(HL+C)+CY	×	×	×	

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。
3. rp = BC, DE, HLのときのみ。
4. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。
3. nは外部メモリ拡張領域をリードしたときのウェイト数です。
4. mは外部メモリ拡張領域をライトしたときのウェイト数です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUB	A, #byte	2	4	—	A, CY←A-byte	×	×	×
		saddr, #byte	3	6	8	(saddr), CY←(saddr)-byte	×	×	×
		A, r ^{注3}	2	4	—	A, CY←A-r	×	×	×
		r, A	2	4	—	r, CY←r-A	×	×	×
		A, saddr	2	4	5	A, CY←A-(saddr)	×	×	×
		A, !addr16	3	8	9+n	A, CY←A-(addr16)	×	×	×
		A, [HL]	1	4	5+n	A, CY←A-(HL)	×	×	×
		A, [HL+byte]	2	8	9+n	A, CY←A-(HL+byte)	×	×	×
		A, [HL+B]	2	8	9+n	A, CY←A-(HL+B)	×	×	×
		A, [HL+C]	2	8	9+n	A, CY←A-(HL+C)	×	×	×
	SUBC	A, #byte	2	4	—	A, CY←A-byte-CY	×	×	×
		saddr, #byte	3	6	8	(saddr), CY←(saddr)-byte-CY	×	×	×
		A, r ^{注3}	2	4	—	A, CY←A-r-CY	×	×	×
		r, A	2	4	—	r, CY←r-A-CY	×	×	×
		A, saddr	2	4	5	A, CY←A-(saddr)-CY	×	×	×
		A, !addr16	3	8	9+n	A, CY←A-(addr16)-CY	×	×	×
		A, [HL]	1	4	5+n	A, CY←A-(HL)-CY	×	×	×
		A, [HL+byte]	2	8	9+n	A, CY←A-(HL+byte)-CY	×	×	×
		A, [HL+B]	2	8	9+n	A, CY←A-(HL+B)-CY	×	×	×
		A, [HL+C]	2	8	9+n	A, CY←A-(HL+C)-CY	×	×	×
	AND	A, #byte	2	4	—	A←A ∧ byte	×		
		saddr, #byte	3	6	8	(saddr)←(saddr) ∧ byte	×		
		A, r ^{注3}	2	4	—	A←A ∧ r	×		
		r, A	2	4	—	r←r ∧ A	×		
		A, saddr	2	4	5	A←A ∧ (saddr)	×		
		A, !addr16	3	8	9+n	A←A ∧ (addr16)	×		
		A, [HL]	1	4	5+n	A←A ∧ (HL)	×		
		A, [HL+byte]	2	8	9+n	A←A ∧ (HL+byte)	×		
		A, [HL+B]	2	8	9+n	A←A ∧ (HL+B)	×		
		A, [HL+C]	2	8	9+n	A←A ∧ (HL+C)	×		

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。
3. r=Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。
3. nは外部メモリ拡張領域をリードしたときのウェイト数です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	4	—	$A \leftarrow A \vee \text{byte}$		×	
		saddr, #byte	3	6	8	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$		×	
		A, r ^{注3}	2	4	—	$A \leftarrow A \vee r$		×	
		r, A	2	4	—	$r \leftarrow r \vee A$		×	
		A, saddr	2	4	5	$A \leftarrow A \vee (\text{saddr})$		×	
		A, laddr16	3	8	9+n	$A \leftarrow A \vee (\text{laddr16})$		×	
		A, [HL]	1	4	5+n	$A \leftarrow A \vee (\text{HL})$		×	
		A, [HL+byte]	2	8	9+n	$A \leftarrow A \vee (\text{HL}+\text{byte})$		×	
		A, [HL+B]	2	8	9+n	$A \leftarrow A \vee (\text{HL}+B)$		×	
		A, [HL+C]	2	8	9+n	$A \leftarrow A \vee (\text{HL}+C)$		×	
	XOR	A, #byte	2	4	—	$A \leftarrow A \nabla \text{byte}$		×	
		saddr, #byte	3	6	8	$(\text{saddr}) \leftarrow (\text{saddr}) \nabla \text{byte}$		×	
		A, r ^{注3}	2	4	—	$A \leftarrow A \nabla r$		×	
		r, A	2	4	—	$r \leftarrow r \nabla A$		×	
		A, saddr	2	4	5	$A \leftarrow A \nabla (\text{saddr})$		×	
		A, laddr16	3	8	9+n	$A \leftarrow A \nabla (\text{laddr16})$		×	
		A, [HL]	1	4	5+n	$A \leftarrow A \nabla (\text{HL})$		×	
		A, [HL+byte]	2	8	9+n	$A \leftarrow A \nabla (\text{HL}+\text{byte})$		×	
		A, [HL+B]	2	8	9+n	$A \leftarrow A \nabla (\text{HL}+B)$		×	
		A, [HL+C]	2	8	9+n	$A \leftarrow A \nabla (\text{HL}+C)$		×	
	CMP	A, #byte	2	4	—	$A - \text{byte}$	×	×	×
		saddr, #byte	3	6	8	$(\text{saddr}) - \text{byte}$	×	×	×
		A, r ^{注3}	2	4	—	$A - r$	×	×	×
		r, A	2	4	—	$r - A$	×	×	×
		A, saddr	2	4	5	$A - (\text{saddr})$	×	×	×
		A, laddr16	3	8	9+n	$A - (\text{laddr16})$	×	×	×
		A, [HL]	1	4	5+n	$A - (\text{HL})$	×	×	×
		A, [HL+byte]	2	8	9+n	$A - (\text{HL}+\text{byte})$	×	×	×
		A, [HL+B]	2	8	9+n	$A - (\text{HL}+B)$	×	×	×
		A, [HL+C]	2	8	9+n	$A - (\text{HL}+C)$	×	×	×
16ビット演算	ADDW	AX, #word	3	6	—	$AX, CY \leftarrow AX + \text{word}$	×	×	×
	SUBW	AX, #word	3	6	—	$AX, CY \leftarrow AX - \text{word}$	×	×	×
	CMPW	AX, #word	3	6	—	$AX - \text{word}$	×	×	×
乗除算	MULU	X	2	16	—	$AX \leftarrow A \times X$			
	DIVUW	C	2	25	—	$AX(\text{商}), C(\text{余り}) \leftarrow AX \div C$			

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。
3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。
3. nは外部メモリ拡張領域をリードしたときのウェイト数です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	2	—	$r \leftarrow r+1$	×	×	
		saddr	2	4	6	$(saddr) \leftarrow (saddr) + 1$	×	×	
	DEC	r	1	2	—	$r \leftarrow r-1$	×	×	
		saddr	2	4	6	$(saddr) \leftarrow (saddr) - 1$	×	×	
	INCW	rp	1	4	—	$rp \leftarrow rp+1$			
DECW	rp	1	4	—	$rp \leftarrow rp-1$				
ローテート	ROR	A, 1	1	2	—	$(CY, A_7 \leftarrow A_0, A_{m-1} \leftarrow A_m) \times 1$ 回			×
	ROL	A, 1	1	2	—	$(CY, A_0 \leftarrow A_7, A_{m+1} \leftarrow A_m) \times 1$ 回			×
	RORC	A, 1	1	2	—	$(CY \leftarrow A_0, A_7 \leftarrow CY, A_{m-1} \leftarrow A_m) \times 1$ 回			×
	ROLC	A, 1	1	2	—	$(CY \leftarrow A_7, A_0 \leftarrow CY, A_{m+1} \leftarrow A_m) \times 1$ 回			×
	ROR4	[HL]	2	10	$12+n+m$	$A_{3-0} \leftarrow (HL)_{3-0}, (HL)_{7-4} \leftarrow A_{3-0}, (HL)_{3-0} \leftarrow (HL)_{7-4}$			
	ROL4	[HL]	2	10	$12+n+m$	$A_{3-0} \leftarrow (HL)_{7-4}, (HL)_{3-0} \leftarrow A_{3-0}, (HL)_{7-4} \leftarrow (HL)_{3-0}$			
BCD補正	ADJBA		2	4	—	Decimal Adjust Accumulator after Addition	×	×	×
	ADJBS		2	4	—	Decimal Adjust Accumulator after Subtract	×	×	×
ビット操作	MOV1	CY, saddr.bit	3	6	7	$CY \leftarrow (saddr.bit)$			×
		CY, sfr.bit	3	—	7	$CY \leftarrow sfr.bit$			×
		CY, A.bit	2	4	—	$CY \leftarrow A.bit$			×
		CY, PSW.bit	3	—	7	$CY \leftarrow PSW.bit$			×
		CY, [HL].bit	2	6	$7+n$	$CY \leftarrow (HL).bit$			×
		saddr.bit, CY	3	6	8	$(saddr.bit) \leftarrow CY$			
		sfr.bit, CY	3	—	8	$sfr.bit \leftarrow CY$			
		A.bit, CY	2	4	—	$A.bit \leftarrow CY$			
		PSW.bit, CY	3	—	8	$PSW.bit \leftarrow CY$	×	×	
		[HL].bit, CY	2	6	$8+n+m$	$(HL).bit \leftarrow CY$			
	AND1	CY, saddr.bit	3	6	7	$CY \leftarrow CY \wedge (saddr.bit)$			×
		CY, sfr.bit	3	—	7	$CY \leftarrow CY \wedge sfr.bit$			×
		CY, A.bit	2	4	—	$CY \leftarrow CY \wedge A.bit$			×
		CY, PSW.bit	3	—	7	$CY \leftarrow CY \wedge PSW.bit$			×
		CY, [HL].bit	2	6	$7+n$	$CY \leftarrow CY \wedge (HL).bit$			×
	OR1	CY, saddr.bit	3	6	7	$CY \leftarrow CY \vee (saddr.bit)$			×
		CY, sfr.bit	3	—	7	$CY \leftarrow CY \vee sfr.bit$			×
		CY, A.bit	2	4	—	$CY \leftarrow CY \vee A.bit$			×
		CY, PSW.bit	3	—	7	$CY \leftarrow CY \vee PSW.bit$			×
		CY, [HL].bit	2	6	$7+n$	$CY \leftarrow CY \vee (HL).bit$			×

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。
3. nは外部メモリ拡張領域をリードしたときのウェイト数です。
4. mは外部メモリ拡張領域をライトしたときのウェイト数です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, saddr.bit	3	6	7	CY←CY ∨ (saddr.bit)			×
		CY, sfr.bit	3	—	7	CY←CY ∨ sfr.bit			×
		CY, A.bit	2	4	—	CY←CY ∨ A.bit			×
		CY, PSW.bit	3	—	7	CY←CY ∨ PSW.bit			×
		CY, [HL].bit	2	6	7+n	CY←CY ∨ (HL).bit			×
	SET1	saddr.bit	2	4	6	(saddr.bit)←1			
		sfr.bit	3	—	8	sfr.bit←1			
		A.bit	2	4	—	A.bit←1			
		PSW.bit	2	—	6	PSW.bit←1	×	×	×
		[HL].bit	2	6	8+n+m	(HL).bit←1			
	CLR1	saddr.bit	2	4	6	(saddr.bit)←0			
		sfr.bit	3	—	8	sfr.bit←0			
		A.bit	2	4	—	A.bit←0			
		PSW.bit	2	—	6	PSW.bit←0	×	×	×
		[HL].bit	2	6	8+n+m	(HL).bit←0			
	SET1	CY	1	2	—	CY←1			1
	CLR1	CY	1	2	—	CY←0			0
	NOT1	CY	1	2	—	CY← \overline{CY}			×
	コール・リターン	CALL	laddr16	3	7	—	(SP-1)←(PC+3) _H , (SP-2)←(PC+3) _L , PC←addr16, SP←SP-2		
CALLF		laddr11	2	5	—	(SP-1)←(PC+2) _H , (SP-2)←(PC+2) _L , PC ₁₅₋₁₁ ←00001, PC ₁₀₋₀ ←addr11, SP←SP-2			
CALLT		[addr5]	1	6	—	(SP-1)←(PC+1) _H , (SP-2)←(PC+1) _L , PC _H ←(00000000, addr5+1), PC _L ←(00000000, addr5), SP←SP-2			
BRK			1	6	—	(SP-1)←PSW, (SP-2)←(PC+1) _H , (SP-3)←(PC+1) _L , PC _H ←(003FH), PC _L ←(003EH), SP←SP-3, IE←0			
RET			1	6	—	PC _H ←(SP+1), PC _L ←(SP), SP←SP+2			
RETI			1	6	—	PC _H ←(SP+1), PC _L ←(SP), PSW←(SP+2), SP←SP+3	R	R	R
RETB			1	6	—	PC _H ←(SP+1), PC _L ←(SP), PSW←(SP+2), SP←SP+3	R	R	R

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcpu) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。
3. nは外部メモリ拡張領域をリードしたときのウェイト数です。
4. mは外部メモリ拡張領域をライトしたときのウェイト数です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	1	2	—	(SP-1)←PSW, SP←SP-1			
		rp	1	4	—	(SP-1)←rp _H , (SP-2)←rp _L , SP←SP-2			
	POP	PSW	1	2	—	PSW←(SP), SP←SP+1	R	R	R
		rp	1	4	—	rp _H ←(SP+1), rp _L ←(SP), SP←SP+2			
	MOVW	SP, #word	4	—	10	SP←word			
		SP, AX	2	—	8	SP←AX			
AX, SP		2	—	8	AX←SP				
無条件分岐	BR	laddr16	3	6	—	PC←addr16			
		\$addr16	2	6	—	PC←PC+2+jdisp8			
		AX	2	8	—	PC _H ←A, PC _L ←X			
条件付き分岐	BC	\$addr16	2	6	—	PC←PC+2+jdisp8 if CY = 1			
	BNC	\$addr16	2	6	—	PC←PC+2+jdisp8 if CY = 0			
	BZ	\$addr16	2	6	—	PC←PC+2+jdisp8 if Z = 1			
	BNZ	\$addr16	2	6	—	PC←PC+2+jdisp8 if Z = 0			
	BT	saddr.bit, \$addr16	3	8	9	PC←PC+3+jdisp8 if (saddr.bit) = 1			
		sfr.bit, \$addr16	4	—	11	PC←PC+4+jdisp8 if sfr.bit = 1			
		A.bit, \$addr16	3	8	—	PC←PC+3+jdisp8 if A.bit = 1			
		PSW.bit, \$addr16	3	—	9	PC←PC+3+jdisp8 if PSW.bit = 1			
		[HL].bit, \$addr16	3	10	11+n	PC←PC+3+jdisp8 if (HL).bit = 1			
	BF	saddr.bit, \$addr16	4	10	11	PC←PC+4+jdisp8 if (saddr.bit) = 0			
		sfr.bit, \$addr16	4	—	11	PC←PC+4+jdisp8 if sfr.bit = 0			
		A.bit, \$addr16	3	8	—	PC←PC+3+jdisp8 if A.bit = 0			
		PSW.bit, \$addr16	4	—	11	PC←PC+4+jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr16	3	10	11+n	PC←PC+3+jdisp8 if (HL).bit = 0			
	BTCLR	saddr.bit, \$addr16	4	10	12	PC←PC+4+jdisp8 if (saddr.bit) = 1 then reset (saddr.bit)			
		sfr.bit, \$addr16	4	—	12	PC←PC+4+jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr16	3	8	—	PC←PC+3+jdisp8 if A.bit = 1 then reset A.bit			
PSW.bit, \$addr16		4	—	12	PC←PC+4+jdisp8 if PSW.bit = 1 then reset PSW.bit	×	×	×	
[HL].bit, \$addr16		3	10	12+n+m	PC←PC+3+jdisp8 if (HL).bit = 1 then reset (HL).bit				

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。
3. nは外部メモリ拡張領域をリードしたときのウェイト数です。
4. mは外部メモリ拡張領域をライトしたときのウェイト数です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	DBNZ	B, \$addr16	2	6	—	B←B-1, then PC←PC+2+jdisp8 if B ≠ 0			
		C, \$addr16	2	6	—	C←C-1, then PC←PC+2+jdisp8 if C ≠ 0			
		saddr, \$addr16	3	8	10	(saddr)←(saddr)-1, then PC←PC+3+jdisp8 if (saddr) ≠ 0			
CPU制御	SEL	RBn	2	4	—	RBS1, 0←n			
	NOP		1	2	—	No Operation			
	EI		2	—	6	IE←1 (Enable Interrupt)			
	DI		2	—	6	IE←0 (Disable Interrupt)			
	HALT		2	6	—	Set HALT Mode			
	STOP		2	6	—	Set STOP Mode			

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcpu) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

24.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r ^注	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL+byte] [HL+B] [HL+C]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											ROR4 ROL4
[HL+byte] [HL+B] [HL+C]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド 第1オペランド	#word	AX	rp ^注	sfrp	saddrp	laddr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW ^注						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
laddr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド 第1オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL].bit	CY	\$addr16	なし
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL].bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令/分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第2オペランド 第1オペランド	AX	laddr16	laddr11	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

第25章 電気的特性（拡張規格：fx = 1.0～12 MHz）

対象製品

- 平成13年12月1日以降受注分の μ PD780021A, 780022A, 780023A, 780024A, 780031A, 780032A, 780033A, 780034A, 780021A(A), 780022A(A), 780023A(A), 780024A(A), 780031A(A), 780032A(A), 780033A(A), 780034A(A)（規格区分^注が「K, E, P, X」以外の製品）
- μ PD78F0034B, 78F0034B(A)

注 規格区分とは、パッケージ捺印のロット番号で左から5桁目のアルファベット表記を指します。



絶対最大定格 ($T_A = 25 \text{ }^\circ\text{C}$)

項目	略号	条件	定格	単位	
電源電圧	V _{DD}		-0.3~+6.5	V	
	V _{PP}	フラッシュ・メモリ品のみ 注2	-0.3~+10.5	V	
	AV _{DD}		-0.3~V _{DD} +0.3 ^{注1}	V	
	AV _{REF}		-0.3~V _{DD} +0.3 ^{注1}	V	
	AV _{SS}		-0.3~+0.3	V	
入力電圧	V _{I1}	P00-P03, P10-P17, P20-P25, P34-P36, P40-P47, P50-P57, P64-P67, P70-P75, X1, X2, XT1, XT2, RESET	-0.3~V _{DD} +0.3 ^{注1}	V	
	V _{I2}	P30-P33	N-chオープン・ドレイン	-0.3~+6.5	
			内蔵プルアップ抵抗接続時	-0.3~V _{DD} +0.3 ^{注1}	
出力電圧	V _O		-0.3~V _{DD} +0.3 ^{注1}	V	
アナログ入力電圧	V _{AN}	P10-P17	アナログ入力端子	AV _{SS} -0.3~AV _{REF} +0.3 ^{注1} かつ-0.3~V _{DD} +0.3 ^{注1}	V
ハイ・レベル 出力電流	I _{OH}	1 端子		-10	mA
		P00-P03, P40-P47, P50-P57, P64-P67, P70-P75 合計		-15	mA
		P20-P25, P30-P36 合計		-15	mA
ロウ・レベル 出力電流	I _{OL}	P00-P03, P20-P25, P34-P36, P40-P47, P64-P67, P70-P75 1 端子		20	mA
		P30-P33, P50-P57 1 端子		30	mA
		P00-P03, P40-P47, P64-P67, P70-P75 合計		50	mA
		P20-P25 合計		20	mA
		P30-P36 合計		100	mA
		P50-P57 合計		100	mA
動作周囲温度	T _A	通常動作時		-40~+85	°C
		フラッシュ・メモリ・プログラミング時		+10~+80	°C
保存温度	T _{stg}	マスクROM品		-65~+150	°C
		フラッシュ・メモリ品		-40~+125	°C

注1. 6.5 V以下であること。

(注2の説明は次頁に示します)

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

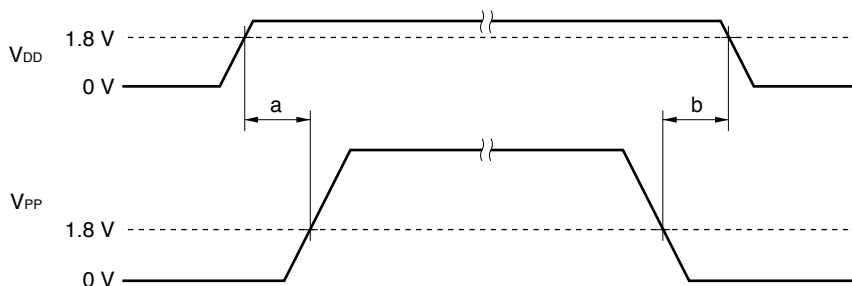
注2. フラッシュ・メモリ書き込み時、 V_{PP} の電圧印加タイミングについては、必ず次の条件を満たしてください。

- ・電源電圧立ち上がり時

V_{DD} が動作電圧範囲の下限電圧 (1.8 V) に達してから10 μs 以上経過後、 V_{PP} が V_{DD} を越えること (下図のa)。

- ・電源電圧立ち下がり時

V_{PP} が V_{DD} の動作電圧範囲の下限電圧 (1.8 V) を下回ってから10 μs 以上経過後、 V_{DD} を立ち下げること (下図のb)。

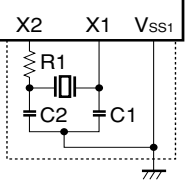
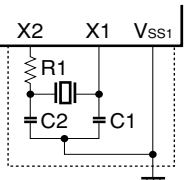
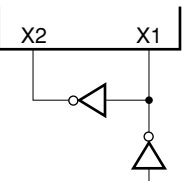


容量 ($T_A = 25 \text{ }^\circ\text{C}$, $V_{DD} = V_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C_{IN}	$f = 1 \text{ MHz}$ 被測定端子以外は 0 V			15	pF
入出力容量	C_{IO}	$f = 1 \text{ MHz}$ 被測定端子以外は 0 V			15	pF
		P00-P03, P20-P25, P34-P36, P40-P47, P50-P57, P64-P67, P70-P75 P30-P33			20	pF

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

メイン・システム・クロック発振回路特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位	
セラミック 発振子		発振周波数 (f_x) 注1	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1.0		12.0	MHz	
			$3.0 \text{ V} \leq V_{DD} < 4.5 \text{ V}$	1.0		8.38		
			$1.8 \text{ V} \leq V_{DD} < 3.0 \text{ V}$	1.0		5.0		
		発振安定時間注2	V_{DD} が発振電圧範囲のMIN.に達したあと				4	ms
水晶振動子		発振周波数 (f_x) 注1	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1.0		12.0	MHz	
			$3.0 \text{ V} \leq V_{DD} < 4.5 \text{ V}$	1.0		8.38		
			$1.8 \text{ V} \leq V_{DD} < 3.0 \text{ V}$	1.0		5.0		
		発振安定時間注2	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$				10	ms
$1.8 \text{ V} \leq V_{DD} < 4.0 \text{ V}$				30				
外部クロック		X1入力周波数 (f_x) 注1	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1.0		12.0	MHz	
			$3.0 \text{ V} \leq V_{DD} < 4.5 \text{ V}$	1.0		8.38		
			$1.8 \text{ V} \leq V_{DD} < 3.0 \text{ V}$	1.0		5.0		
		X1入力ハイ、ロウ・レベル幅 (t_{xH} , t_{xL})	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		38		500	ns
			$3.0 \text{ V} \leq V_{DD} < 4.5 \text{ V}$		50		500	
		$1.8 \text{ V} \leq V_{DD} < 3.0 \text{ V}$		85		500		

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

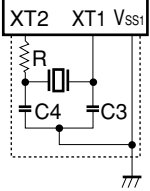
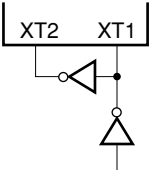
2. リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

注意1. メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は、常に V_{SS1} と同電位になるようにする。
- 大電流が流れるグラウンド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2. メイン・システム・クロックを停止させてサブシステム・クロックで動作させているときに、再度メイン・システム・クロックに切り替えるには、プログラムで発振安定時間を確保したあとに切り替えてください。

サブシステム・クロック発振回路特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f_{XT}) 注1		32	32.768	35	kHz
		発振安定時間注2	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		1.2	2	s
			$1.8 \text{ V} \leq V_{DD} < 4.0 \text{ V}$			10	
外部クロック		XT1入力周波数 (f_{XT}) 注1		32		38.5	kHz
		XT1入力ハイ、ロウ・レベル幅 (t_{XTH} , t_{XTL})		12		15	μs

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. V_{DD} が発振電圧範囲のMIN.に達したあと、発振が安定するのに必要な時間です。

注意1. サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は、常に V_{SS1} と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2. サブシステム・クロック発振回路は、低消費電力にするために増幅度の低い回路になっており、ノイズによる誤動作がメイン・システム・クロックよりも起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

備考 サブシステム・クロックの発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

推奨発振回路定数

$\mu\text{PD78F0034B}$, 78F0034B(A) を使用する場合、発振子の選択および発振回路定数についてはお客様に評価していただくか、発振子メーカーに評価を依頼してください。

・ $\mu\text{PD780024A}$, 780034A サブシリーズ (拡張規格品) のマスクROM製品

メイン・システム・クロック: セラミック発振子 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$)

メーカー	品名	周波数 (MHz)	推奨回路定数			発振電圧範囲	
			C1 (pF)	C2 (pF)	R1 (k Ω)	MIN. (V)	MAX. (V)
村田製作所	CSBFB1M00J58	1.00	100	100	2.2	1.8	5.5
	CSBLA1M00J58	1.00	100	100	2.2	1.8	5.5
	CSTCC2M00G56	2.00	内蔵	内蔵	0	1.8	5.5
	CSTLS2M00G56	2.00	内蔵	内蔵	0	1.8	5.5
	CSTCC3M58G53	3.58	内蔵	内蔵	0	1.8	5.5
	CSTLS3M58G53	3.58	内蔵	内蔵	0	1.8	5.5
	CSTCR4M00G53	4.00	内蔵	内蔵	0	1.8	5.5
	CSTLS4M00G53	4.00	内蔵	内蔵	0	1.8	5.5
	CSTCR4M19G53	4.19	内蔵	内蔵	0	1.8	5.5
	CSTLS4M19G53	4.19	内蔵	内蔵	0	1.8	5.5
	CSTCR4M91G53	4.91	内蔵	内蔵	0	1.8	5.5
	CSTLS4M91G53	4.91	内蔵	内蔵	0	1.8	5.5
	CSTCR5M00G53	5.00	内蔵	内蔵	0	1.8	5.5
	CSTLS5M00G53	5.00	内蔵	内蔵	0	1.8	5.5
	CSTCE8M00G52	8.00	内蔵	内蔵	0	2.7	5.5
	CSTLS8M00G53	8.00	内蔵	内蔵	0	2.7	5.5
	CSTCE8M38G52	8.38	内蔵	内蔵	0	3.0	5.5
	CSTLS8M38G53	8.38	内蔵	内蔵	0	3.0	5.5
	CSTCE10M0G52	10.00	内蔵	内蔵	0	3.0	5.5
	CSTLS10M0G53	10.00	内蔵	内蔵	0	3.0	5.5
CSTCE12M0G52	12.00	内蔵	内蔵	0	4.5	5.5	
CSTLA12M0T55	12.00	内蔵	内蔵	0	4.5	5.5	
TDK	CCR3.58MC3	3.58	内蔵	内蔵	0	1.8	5.5
	CCR4.19MC3	4.19	内蔵	内蔵	0	1.8	5.5
	CCR5.0MC3	5.00	内蔵	内蔵	0	1.8	5.5
	CCR8.0MC5	8.00	内蔵	内蔵	0	2.7	5.5
	CCR8.38MC5	8.38	内蔵	内蔵	0	3.0	5.5

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、 $\mu\text{PD780024A}$, 780034A サブシリーズの内部動作条件についてはDC, AC特性の規格内で使用してください。

DC特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$) (1/4)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流	I _{OH}	1 端子			-1	mA	
		全端子			-15	mA	
ロウ・レベル出力電流	I _{OL}	P00-P03, P20-P25, P34-P36, P40-P47, P64-P67, P70-P75 1 端子			10	mA	
		P30-P33, P50-P57 1 端子			15	mA	
		P00-P03, P40-P47, P64-P67, P70-P75 合計			20	mA	
		P20-P25 合計			10	mA	
		P30-P36 合計			70	mA	
		P50-P57 合計			70	mA	
ハイ・レベル入力電圧	V _{IH1}	P10-P17, P21, P24, P35, P40-P47, P50-P57, P64-P67, P74, P75	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		$0.7 V_{DD}$	V_{DD}	V
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		$0.8 V_{DD}$	V_{DD}	V
	V _{IH2}	P00-P03, P20, P22, P23, P25, P34, P36, P70-P73, $\overline{\text{RESET}}$	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		$0.8 V_{DD}$	V_{DD}	V
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		$0.85 V_{DD}$	V_{DD}	V
	V _{IH3}	P30-P33 (N-chオープン・ドレイン)	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		$0.7 V_{DD}$	5.5	V
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		$0.8 V_{DD}$	5.5	V
	V _{IH4}	X1, X2	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		$V_{DD} - 0.5$	V_{DD}	V
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		$V_{DD} - 0.2$	V_{DD}	V
	V _{IH5}	XT1, XT2	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		$0.8 V_{DD}$	V_{DD}	V
			$1.8 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		$0.9 V_{DD}$	V_{DD}	V
ロウ・レベル入力電圧	V _{IL1}	P10-P17, P21, P24, P35, P40-P47, P50-P57, P64-P67, P74, P75	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		0	$0.3 V_{DD}$	V
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		0	$0.2 V_{DD}$	V
	V _{IL2}	P00-P03, P20, P22, P23, P25, P34, P36, P70-P73, $\overline{\text{RESET}}$	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		0	$0.2 V_{DD}$	V
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		0	$0.15 V_{DD}$	V
	V _{IL3}	P30-P33	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		0	$0.3 V_{DD}$	V
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		0	$0.2 V_{DD}$	V
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		0	$0.1 V_{DD}$	V
	V _{IL4}	X1, X2	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		0	0.4	V
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		0	0.2	V
	V _{IL5}	XT1, XT2	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		0	$0.2 V_{DD}$	V
$1.8 \text{ V} \leq V_{DD} < 4.0 \text{ V}$				0	$0.1 V_{DD}$	V	
ハイ・レベル出力電圧	V _{OH1}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, I _{OH} = -1 mA		$V_{DD} - 1.0$	V_{DD}	V	
		$1.8 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, I _{OH} = -100 μA		$V_{DD} - 0.5$	V_{DD}	V	
ロウ・レベル出力電圧	V _{OL1}	P30-P33	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, I _{OL} = 15 mA			2.0	V
	V _{OL2}	P50-P57			0.4	2.0	V
	V _{OL3}	P00-P03, P20-P25, P34-P36, P40-P47, P64-P67, P70-P75	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, I _{OL} = 1.6 mA			0.4	V
	V _{OL4}	I _{OL} = 400 μA				0.5	V

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$) (2/4)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル 入力リーク電流	I _{LH1}	$V_{IN} = V_{DD}$	P00-P03, P10-P17, P20-P25, P34-P36, P40-P47, P50-P57, P64-P67, P70-P75, $\overline{\text{RESET}}$			3	μA
	I _{LH2}		X1, X2, XT1, XT2			20	μA
	I _{LH3}	$V_{IN} = 5.5 \text{ V}$	P30-P33			3	μA
ロウ・レベル 入力リーク電流	I _{LIL1}	$V_{IN} = 0 \text{ V}$	P00-P03, P10-P17, P20-P25, P34-P36, P40-P47, P50-P57, P64-P67, P70-P75, $\overline{\text{RESET}}$			-3	μA
	I _{LIL2}		X1, X2, XT1, XT2			-20	μA
	I _{LIL3}		P30-P33			-3	μA
ハイ・レベル 出力リーク電流	I _{LOH}	$V_{OUT} = V_{DD}$				3	μA
ロウ・レベル 出力リーク電流	I _{LOL}	$V_{OUT} = 0 \text{ V}$				-3	μA
マスク・オプション・ プルアップ抵抗 (マスクROM品のみ)	R ₁	$V_{IN} = 0 \text{ V}$, P30, P31, P32, P33		15	30	90	k Ω
ソフトウェア・ プルアップ抵抗	R ₂	$V_{IN} = 0 \text{ V}$, P00-P03, P20-P25, P34-P36, P40-P47, P50-P57, P64-P67, P70-P75		15	30	90	k Ω

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$) (3/4)

(1) $\mu\text{PD780024A}$, 780034A サブシリーズ (拡張規格品) のマスクROM製品

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD1} ^{注2}	12.0 MHz水晶発振動作モード	$V_{DD} = 5.0 \text{ V} \pm 10\% \text{ }^{注3}$	A/Dコンバータ停止時	8.5	17	mA
				A/Dコンバータ動作時 ^{注7}	9.5	19	mA
		8.38 MHz水晶発振動作モード	$V_{DD} = 5.0 \text{ V} \pm 10\% \text{ }^{注3}$	A/Dコンバータ停止時	5.5	11	mA
				A/Dコンバータ動作時 ^{注7}	6.5	13	mA
			$V_{DD} = 3.0 \text{ V} \pm 10\% \text{ }^{注3,6}$	A/Dコンバータ停止時	3	6	mA
				A/Dコンバータ動作時 ^{注7}	4	8	mA
	5.00 MHz水晶発振動作モード	$V_{DD} = 3.0 \text{ V} \pm 10\% \text{ }^{注3}$	A/Dコンバータ停止時	2	4	mA	
			A/Dコンバータ動作時 ^{注7}	3	6	mA	
		$V_{DD} = 2.0 \text{ V} \pm 10\% \text{ }^{注4}$	A/Dコンバータ停止時	0.4	1.5	mA	
			A/Dコンバータ動作時 ^{注7}	1.4	4.2	mA	
	I _{DD2}	12.0 MHz水晶発振HALTモード	$V_{DD} = 5.0 \text{ V} \pm 10\% \text{ }^{注3}$	周辺機能停止時	2	4	mA
				周辺機能動作時		10	mA
			$V_{DD} = 5.0 \text{ V} \pm 10\% \text{ }^{注3}$	周辺機能停止時	1.1	2.2	mA
				周辺機能動作時		4.7	mA
			$V_{DD} = 3.0 \text{ V} \pm 10\% \text{ }^{注3,6}$	周辺機能停止時	0.5	1	mA
				周辺機能動作時		4	mA
		5.00 MHz水晶発振HALTモード	$V_{DD} = 3.0 \text{ V} \pm 10\% \text{ }^{注3}$	周辺機能停止時	0.35	0.7	mA
				周辺機能動作時		1.7	mA
			$V_{DD} = 2.0 \text{ V} \pm 10\% \text{ }^{注4}$	周辺機能停止時	0.15	0.4	mA
				周辺機能動作時		1.1	mA
I _{DD3}		32.768 kHz水晶発振動作モード ^{注5}	$V_{DD} = 5.0 \text{ V} \pm 10\%$	40	80	μA	
			$V_{DD} = 3.0 \text{ V} \pm 10\%$	20	40	μA	
	$V_{DD} = 2.0 \text{ V} \pm 10\%$		10	20	μA		
I _{DD4}	32.768 kHz水晶発振HALTモード ^{注5}	$V_{DD} = 5.0 \text{ V} \pm 10\%$	30	60	μA		
		$V_{DD} = 3.0 \text{ V} \pm 10\%$	6	18	μA		
		$V_{DD} = 2.0 \text{ V} \pm 10\%$	2	10	μA		
I _{DD5}	XT1 = V _{DD} STOPモード フィードバック抵抗非使用時	$V_{DD} = 5.0 \text{ V} \pm 10\%$	0.1	30	μA		
		$V_{DD} = 3.0 \text{ V} \pm 10\%$	0.05	10	μA		
		$V_{DD} = 2.0 \text{ V} \pm 10\%$	0.05	10	μA		

注1. 内部電源 (V_{DD0} , V_{DD1}) に流れるトータル電流です。ただし、ポートのプルアップ抵抗に流れる電流は含みません。

- I_{DD1}は周辺動作電流を含みます。
- プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに設定したとき
- PCCを02Hに設定したとき
- メイン・システム・クロックを停止させたとき
- $V_{DD} = 3.0 \sim 3.3 \text{ V}$ 時のスペックです。TYP.は $V_{DD} = 3.0 \text{ V}$ 時のスペックです。
- A_{VDD}端子に流れる電流を含みます。

DC特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$) (4/4)

(2) $\mu\text{PD78F0034B}$, $78F0034B(A)$

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD1} ^{注2}	12.0 MHz水晶発振動作モード	$V_{DD} = 5.0 \text{ V} \pm 10\% \text{ }^{注3}$	A/Dコンバータ停止時	16	32	mA
				A/Dコンバータ動作時 ^{注7}	17	34	mA
		8.38 MHz水晶発振動作モード	$V_{DD} = 5.0 \text{ V} \pm 10\% \text{ }^{注3}$	A/Dコンバータ停止時	10.5	21	mA
				A/Dコンバータ動作時 ^{注7}	11.5	23	mA
			$V_{DD} = 3.0 \text{ V} \pm 10\% \text{ }^{注3,6}$	A/Dコンバータ停止時	7	14	mA
				A/Dコンバータ動作時 ^{注7}	8	16	mA
	5.00 MHz水晶発振動作モード	$V_{DD} = 3.0 \text{ V} \pm 10\% \text{ }^{注3}$	A/Dコンバータ停止時	4.5	9	mA	
			A/Dコンバータ動作時 ^{注7}	5.5	11	mA	
		$V_{DD} = 2.0 \text{ V} \pm 10\% \text{ }^{注4}$	A/Dコンバータ停止時	1	2	mA	
			A/Dコンバータ動作時 ^{注7}	2	6	mA	
	I _{DD2}	12.0 MHz水晶発振HALTモード	$V_{DD} = 5.0 \text{ V} \pm 10\% \text{ }^{注3}$	周辺機能停止時	2	4	mA
				周辺機能動作時		8	mA
			$V_{DD} = 5.0 \text{ V} \pm 10\% \text{ }^{注3}$	周辺機能停止時	1.2	2.4	mA
				周辺機能動作時		5	mA
		$V_{DD} = 3.0 \text{ V} \pm 10\% \text{ }^{注3,6}$	周辺機能停止時	0.6	1.2	mA	
			周辺機能動作時		2.4	mA	
		5.00 MHz水晶発振HALTモード	$V_{DD} = 3.0 \text{ V} \pm 10\% \text{ }^{注3}$	周辺機能停止時	0.4	0.8	mA
				周辺機能動作時		1.7	mA
			$V_{DD} = 2.0 \text{ V} \pm 10\% \text{ }^{注4}$	周辺機能停止時	0.2	0.4	mA
				周辺機能動作時		1.1	mA
		I _{DD3}	32.768 kHz水晶発振動作モード ^{注5}	$V_{DD} = 5.0 \text{ V} \pm 10\%$	115	230	μA
				$V_{DD} = 3.0 \text{ V} \pm 10\%$	95	190	μA
	$V_{DD} = 2.0 \text{ V} \pm 10\%$			75	150	μA	
	I _{DD4}	32.768 kHz水晶発振HALTモード ^{注5}	$V_{DD} = 5.0 \text{ V} \pm 10\%$	30	60	μA	
$V_{DD} = 3.0 \text{ V} \pm 10\%$			6	18	μA		
$V_{DD} = 2.0 \text{ V} \pm 10\%$			2	10	μA		
I _{DD5}	XT1 = V _{DD} STOPモード フィードバック抵抗非使用時	$V_{DD} = 5.0 \text{ V} \pm 10\%$	0.1	30	μA		
		$V_{DD} = 3.0 \text{ V} \pm 10\%$	0.05	10	μA		
		$V_{DD} = 2.0 \text{ V} \pm 10\%$	0.05	10	μA		

注1. 内部電源 (V_{DD0} , V_{DD1}) に流れるトータル電流です。ただし、ポートのプルアップ抵抗に流れる電流は含みません。

2. I_{DD1}は周辺動作電流を含みます。
3. プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに設定したとき
4. PCCを02Hに設定したとき
5. メイン・システム・クロックを停止させたとき
6. $V_{DD} = 3.0 \sim 3.3 \text{ V}$ 時のスペックです。TYP.は $V_{DD} = 3.0 \text{ V}$ 時のスペックです。
7. AV_{DD}端子に流れる電流を含みます。

AC特性

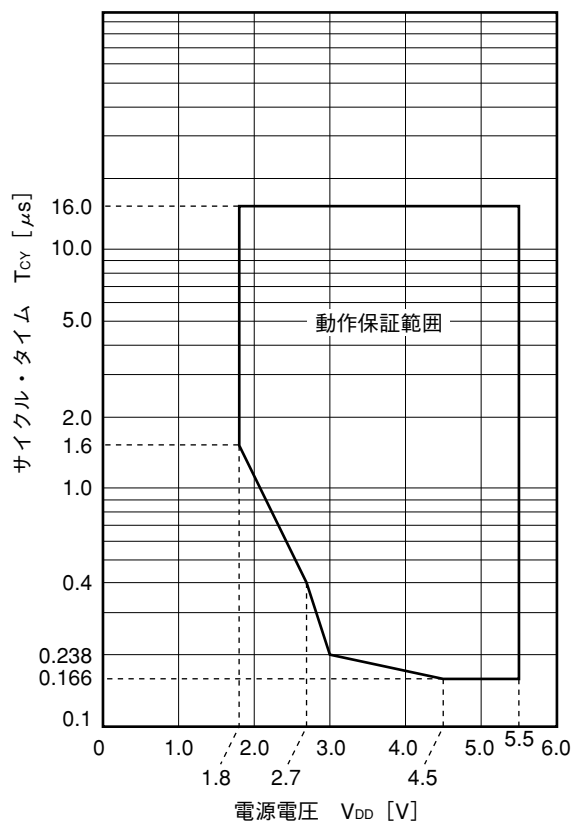
(1) 基本動作 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	T _{CY}	メイン・システム・クロックで 動作	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	0.166		16	μs
			$3.0 \text{ V} \leq V_{DD} < 4.5 \text{ V}$	0.238		16	μs
			$2.7 \text{ V} \leq V_{DD} < 3.0 \text{ V}$	0.4		16	μs
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	1.6		16	μs
		サブシステム・クロックで動作		103.9 ^{注1}	122	125	μs
TI00, TI01入力ハイ、ロウ・レベル幅	t _{TIH0}	$3.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		$2/f_{\text{sam}} + 0.1$ ^{注2}			μs
	t _{TIL0}	$2.7 \text{ V} \leq V_{DD} < 3.0 \text{ V}$		$2/f_{\text{sam}} + 0.2$ ^{注2}			μs
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		$2/f_{\text{sam}} + 0.5$ ^{注2}			μs
TI50, TI51入力周波数	f _{TI5}	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		0		4	MHz
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		0		275	kHz
TI50, TI51入力ハイ、ロウ・レベル幅	t _{TIH5}	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		100			ns
	t _{TIL5}	$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		1.8			μs
割り込み要求入力ハイ、ロウ・レベル幅	t _{INTH}	INTP0-INTP3, P40-P47	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1			μs
	t _{INTL}		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	2			μs
RESETロウ・レベル幅	t _{RSL}	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		10			μs
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		20			μs

注1. 外部クロック使用時の値です。水晶振動子使用時は114 μs (MIN.) です。

- プリスケアラ・モード・レジスタ0 (PRM0) のビット0, 1 (PRM00, PRM01) により, $f_{\text{sam}} = f_x, f_x/4, f_x/64$ の選択が可能です。ただし, カウント・クロックとしてTI00有効エッジを選択した場合は, $f_{\text{sam}} = f_x/8$ となります。

T_{CY} vs V_{DD} (メイン・システム・クロック動作時)



(2) リード/ライト・オペレーション ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 4.0 \sim 5.5 \text{ V}$) (1/3)

項目	略号	条件	MIN.	MAX.	単位
ASTBハイ・レベル幅	t_{ASTH}		0.3 t_{CY}		ns
アドレス・セットアップ時間	t_{ADS}		20		ns
アドレス・ホールド時間	t_{ADH}		6		ns
アドレス→データ入力時間	t_{ADD1}			$(2+2n) t_{CY}-54$	ns
	t_{ADD2}			$(3+2n) t_{CY}-60$	ns
$\overline{RD} \downarrow \rightarrow$ アドレス出力時間	t_{RDAD}		0	100	ns
$\overline{RD} \downarrow \rightarrow$ データ入力時間	t_{RDD1}			$(2+2n) t_{CY}-87$	ns
	t_{RDD2}			$(3+2n) t_{CY}-93$	ns
リード・データ・ホールド時間	t_{RDH}		0		ns
\overline{RD} ロウ・レベル幅	t_{RDL1}		$(1.5+2n) t_{CY}-33$		ns
	t_{RDL2}		$(2.5+2n) t_{CY}-33$		ns
$\overline{RD} \downarrow \rightarrow \overline{WAIT} \downarrow$ 入力時間	t_{RDWT1}			$t_{CY}-43$	ns
	t_{RDWT2}			$t_{CY}-43$	ns
$\overline{WR} \downarrow \rightarrow \overline{WAIT} \downarrow$ 入力時間	t_{WRWT}			$t_{CY}-25$	ns
\overline{WAIT} ロウ・レベル幅	t_{WTL}		$(0.5+2n) t_{CY}+10$	$(2+2n) t_{CY}$	ns
ライト・データ・セットアップ時間	t_{WDS}		60		ns
ライト・データ・ホールド時間	t_{WDH}		6		ns
\overline{WR} ロウ・レベル幅	t_{WRL1}		$(1.5+2n) t_{CY}-15$		ns
ASTB $\downarrow \rightarrow \overline{RD} \downarrow$ 遅延時間	t_{ASTRD}		6		ns
ASTB $\downarrow \rightarrow \overline{WR} \downarrow$ 遅延時間	t_{ASTWR}		$2 t_{CY}-15$		ns
外部フェッチ時 $\overline{RD} \uparrow \rightarrow$ ASTB \uparrow 遅延時間	t_{RDASt}		$0.8 t_{CY}-15$	$1.2 t_{CY}$	ns
外部フェッチ時 $\overline{RD} \uparrow \rightarrow$ アドレス・ホールド時間	t_{RDADH}		$0.8 t_{CY}-15$	$1.2 t_{CY}+30$	ns
$\overline{RD} \uparrow \rightarrow$ ライト・データ出力時間	t_{RDWD}		40		ns
$\overline{WR} \downarrow \rightarrow$ ライト・データ出力時間	t_{WRWD}		10	60	ns
$\overline{WR} \uparrow \rightarrow$ アドレス・ホールド時間	t_{WRADH}		$0.8 t_{CY}-15$	$1.2 t_{CY}+30$	ns
$\overline{WAIT} \uparrow \rightarrow \overline{RD} \uparrow$ 遅延時間	t_{WTRD}		$0.8 t_{CY}$	$2.5 t_{CY}+25$	ns
$\overline{WAIT} \uparrow \rightarrow \overline{WR} \uparrow$ 遅延時間	t_{WTWR}		$0.8 t_{CY}$	$2.5 t_{CY}+25$	ns

注意 t_{CY} は $0.238 \mu\text{s}$ (MIN.) 時のみ使用可能です。

備考 1. $t_{CY} = T_{CY}/4$

2. n はウエイト数を示します。

3. $C_L = 100 \text{ pF}$ (C_L はAD0-AD7, A8-A15, \overline{RD} , \overline{WR} , \overline{WAIT} , ASTB端子の負荷容量です)

(2) リード/ライト・オペレーション ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 2.7 \sim 4.0 \text{ V}$) (2/3)

項目	略号	条件	MIN.	MAX.	単位
ASTBハイ・レベル幅	t_{ASTH}		$0.3 t_{CY}$		ns
アドレス・セットアップ時間	t_{ADS}		30		ns
アドレス・ホールド時間	t_{ADH}		10		ns
アドレス→データ入力時間	t_{ADD1}			$(2+2n) t_{CY}-108$	ns
	t_{ADD2}			$(3+2n) t_{CY}-120$	ns
$\overline{RD} \downarrow \rightarrow$ アドレス出力時間	t_{RDAD}		0	200	ns
$\overline{RD} \downarrow \rightarrow$ データ入力時間	t_{RDD1}			$(2+2n) t_{CY}-148$	ns
	t_{RDD2}			$(3+2n) t_{CY}-162$	ns
リード・データ・ホールド時間	t_{RDH}		0		ns
\overline{RD} ロウ・レベル幅	t_{RDL1}		$(1.5+2n) t_{CY}-40$		ns
	t_{RDL2}		$(2.5+2n) t_{CY}-40$		ns
$\overline{RD} \downarrow \rightarrow \overline{WAIT} \downarrow$ 入力時間	t_{RDWT1}			$t_{CY}-75$	ns
	t_{RDWT2}			$t_{CY}-60$	ns
$\overline{WR} \downarrow \rightarrow \overline{WAIT} \downarrow$ 入力時間	t_{WRWT}			$t_{CY}-50$	ns
\overline{WAIT} ロウ・レベル幅	t_{WTL}		$(0.5+2n) t_{CY}+10$	$(2+2n) t_{CY}$	ns
ライト・データ・セットアップ時間	t_{WDS}		60		ns
ライト・データ・ホールド時間	t_{WDH}		10		ns
\overline{WR} ロウ・レベル幅	t_{WRL1}		$(1.5+2n) t_{CY}-30$		ns
ASTB $\downarrow \rightarrow \overline{RD} \downarrow$ 遅延時間	t_{ASTRD}		10		ns
ASTB $\downarrow \rightarrow \overline{WR} \downarrow$ 遅延時間	t_{ASTWR}		$2 t_{CY}-30$		ns
外部フェッチ時 $\overline{RD} \uparrow \rightarrow \text{ASTB} \uparrow$ 遅延時間	t_{RDAST}		$0.8 t_{CY}-30$	$1.2 t_{CY}$	ns
外部フェッチ時 $\overline{RD} \uparrow \rightarrow$ アドレス・ホールド時間	t_{RDADH}		$0.8 t_{CY}-30$	$1.2 t_{CY}+60$	ns
$\overline{RD} \uparrow \rightarrow$ ライト・データ出力時間	t_{RDWD}		40		ns
$\overline{WR} \downarrow \rightarrow$ ライト・データ出力時間	t_{WRWD}		20	120	ns
$\overline{WR} \uparrow \rightarrow$ アドレス・ホールド時間	t_{WRADH}		$0.8 t_{CY}-30$	$1.2 t_{CY}+60$	ns
$\overline{WAIT} \uparrow \rightarrow \overline{RD} \uparrow$ 遅延時間	t_{WTRD}		$0.5 t_{CY}$	$2.5 t_{CY}+50$	ns
$\overline{WAIT} \uparrow \rightarrow \overline{WR} \uparrow$ 遅延時間	t_{WTWR}		$0.5 t_{CY}$	$2.5 t_{CY}+50$	ns

注意 t_{CY} は $0.4 \mu\text{s}$ (MIN.) 時のみ使用可能です。

備考 1. $t_{CY} = T_{CY}/4$

2. n はウエイト数を示します。

3. $C_L = 100 \text{ pF}$ (C_L はAD0-AD7, A8-A15, \overline{RD} , \overline{WR} , \overline{WAIT} , ASTB端子の負荷容量です)

(2) リード/ライト・オペレーション ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 2.7 \text{ V}$) (3/3)

項目	略号	条件	MIN.	MAX.	単位
ASTBハイ・レベル幅	t_{ASTH}		$0.3 t_{CY}$		ns
アドレス・セットアップ時間	t_{ADS}		120		ns
アドレス・ホールド時間	t_{ADH}		20		ns
アドレス→データ入力時間	t_{ADD1}			$(2+2n) t_{CY}-233$	ns
	t_{ADD2}			$(3+2n) t_{CY}-240$	ns
$\overline{RD} \downarrow \rightarrow$ アドレス出力時間	t_{RDAD}		0	400	ns
$\overline{RD} \downarrow \rightarrow$ データ入力時間	t_{RDD1}			$(2+2n) t_{CY}-325$	ns
	t_{RDD2}			$(3+2n) t_{CY}-332$	ns
リード・データ・ホールド時間	t_{RDH}		0		ns
\overline{RD} ロウ・レベル幅	t_{RDL1}		$(1.5+2n) t_{CY}-92$		ns
	t_{RDL2}		$(2.5+2n) t_{CY}-92$		ns
$\overline{RD} \downarrow \rightarrow \overline{WAIT} \downarrow$ 入力時間	t_{RDWT1}			$t_{CY}-350$	ns
	t_{RDWT2}			$t_{CY}-132$	ns
$\overline{WR} \downarrow \rightarrow \overline{WAIT} \downarrow$ 入力時間	t_{WRWT}			$t_{CY}-100$	ns
\overline{WAIT} ロウ・レベル幅	t_{WTL}		$(0.5+2n) t_{CY}+10$	$(2+2n) t_{CY}$	ns
ライト・データ・セットアップ時間	t_{WDS}		60		ns
ライト・データ・ホールド時間	t_{WDH}		20		ns
\overline{WR} ロウ・レベル幅	t_{WRL1}		$(1.5+2n) t_{CY}-60$		ns
ASTB $\downarrow \rightarrow \overline{RD} \downarrow$ 遅延時間	t_{ASTRD}		20		ns
ASTB $\downarrow \rightarrow \overline{WR} \downarrow$ 遅延時間	t_{ASTWR}		$2 t_{CY}-60$		ns
外部フェッチ時 $\overline{RD} \uparrow \rightarrow \overline{ASTB} \uparrow$ 遅延時間	t_{RDAST}		$0.8 t_{CY}-60$	$1.2 t_{CY}$	ns
外部フェッチ時 $\overline{RD} \uparrow \rightarrow$ アドレス・ホールド時間	t_{RDADH}		$0.8 t_{CY}-60$	$1.2 t_{CY}+120$	ns
$\overline{RD} \uparrow \rightarrow$ ライト・データ出力時間	t_{RDWD}		40		ns
$\overline{WR} \downarrow \rightarrow$ ライト・データ出力時間	t_{WRWD}		40	240	ns
$\overline{WR} \uparrow \rightarrow$ アドレス・ホールド時間	t_{WRADH}		$0.8 t_{CY}-60$	$1.2 t_{CY}+120$	ns
$\overline{WAIT} \uparrow \rightarrow \overline{RD} \uparrow$ 遅延時間	t_{WTRD}		$0.5 t_{CY}$	$2.5 t_{CY}+100$	ns
$\overline{WAIT} \uparrow \rightarrow \overline{WR} \uparrow$ 遅延時間	t_{WTWR}		$0.5 t_{CY}$	$2.5 t_{CY}+100$	ns

注意 t_{CY} は $1.6 \mu\text{s}$ (MIN.) 時のみ使用可能です。

備考 1. $t_{CY} = T_{CY}/4$

2. n はウェイト数を示します。

3. $C_L = 100 \text{ pF}$ (C_L はAD0-AD7, A8-A15, \overline{RD} , \overline{WR} , \overline{WAIT} , ASTB端子の負荷容量です)

(3) シリアル・インタフェース ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$) (1/2)

(a) 3線式シリアル/Oモード (SCK3n…内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK3n サイクル・タイム	t_{KCY1}	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	666			ns
		$3.0 \text{ V} \leq V_{DD} < 4.5 \text{ V}$	954			ns
		$2.7 \text{ V} \leq V_{DD} < 3.0 \text{ V}$	1600			ns
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	3200			ns
SCK3n ハイ, ロウ・レベル幅	t_{KH1}	$3.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$t_{KCY1}/2 - 50$			ns
	t_{KL1}	$1.8 \text{ V} \leq V_{DD} < 3.0 \text{ V}$	$t_{KCY1}/2 - 100$			ns
SI3n セットアップ時間 (対 SCK3n ↑)	t_{SIK1}	$3.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	100			ns
		$2.7 \text{ V} \leq V_{DD} < 3.0 \text{ V}$	150			ns
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	300			ns
SI3n ホールド時間 (対 SCK3n ↑)	t_{KSI1}	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	300			ns
		$1.8 \text{ V} \leq V_{DD} < 4.5 \text{ V}$	400			ns
SCK3n ↓ → SO3n 出力遅延時間	t_{KSO1}	C = 100 pF ^注	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		200	ns
			$1.8 \text{ V} \leq V_{DD} < 4.5 \text{ V}$		300	ns

注 C は, SCK3n, SO3n 出力ラインの負荷容量です。

(b) 3線式シリアル/Oモード (SCK3n…外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK3n サイクル・タイム	t_{KCY2}	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	666			ns
		$3.0 \text{ V} \leq V_{DD} < 4.5 \text{ V}$	800			ns
		$2.7 \text{ V} \leq V_{DD} < 3.0 \text{ V}$	1600			ns
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	3200			ns
SCK3n ハイ, ロウ・レベル幅	t_{KH2}	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	333			ns
	t_{KL2}	$3.0 \text{ V} \leq V_{DD} < 4.5 \text{ V}$	400			ns
		$2.7 \text{ V} \leq V_{DD} < 3.0 \text{ V}$	800			ns
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	1600			ns
SI3n セットアップ時間 (対 SCK3n ↑)	t_{SIK2}		100			ns
SI3n ホールド時間 (対 SCK3n ↑)	t_{KSI2}	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	300			ns
		$1.8 \text{ V} \leq V_{DD} < 4.5 \text{ V}$	400			ns
SCK3n ↓ → SO3n 出力遅延時間	t_{KSO2}	C = 100 pF ^注	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		200	ns
			$1.8 \text{ V} \leq V_{DD} < 4.5 \text{ V}$		300	ns

注 C は, SO3n 出力ラインの負荷容量です。

備考 n = 0, 1

(3) シリアル・インタフェース ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$) (2/2)

(c) UARTモード (専用ボー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			187500	bps
		$3.0 \text{ V} \leq V_{DD} < 4.5 \text{ V}$			131031	bps
		$2.7 \text{ V} \leq V_{DD} < 3.0 \text{ V}$			78125	bps
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			39063	bps

(d) UARTモード (外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ASCK0サイクル・ タイム	t_{KCY3}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	800			ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	1600			ns
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	3200			ns
ASCK0 ハイ、ロウ・レベル幅	t_{KH3} , t_{KL3}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	400			ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	800			ns
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	1600			ns
転送レート		$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			39063	bps
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$			19531	bps
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			9766	bps

(e) UARTモード (赤外線データ転送モード)

項目	略号	条件	MIN.	MAX.	単位
転送レート		$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		131031	bps
ビット・レート許容誤差		$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		± 0.87	%
出力パルス幅		$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1.2	$0.24/fbr$ ^注	μs
入力パルス幅		$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$4/f_x$		μs

注 fbr: 設定ボー・レート

A/Dコンバータ特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = AV_{DD} = 1.8 \sim 5.5 \text{ V}$, $AV_{SS} = V_{SS} = 0 \text{ V}$) (1/2)

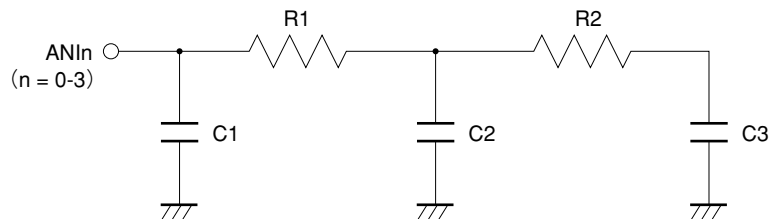
(1) 8ビットA/Dコンバータ: $\mu\text{PD780024A}$ サブシリーズ

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			8	8	8	bit
総合誤差 ^注		$4.0 \text{ V} \leq AV_{REF} \leq 5.5 \text{ V}$			± 0.4	%FSR
		$2.7 \text{ V} \leq AV_{REF} < 4.0 \text{ V}$			± 0.6	%FSR
		$1.8 \text{ V} \leq AV_{REF} < 2.7 \text{ V}$			± 1.2	%FSR
変換時間	t_{CONV}	$4.5 \text{ V} \leq AV_{DD} \leq 5.5 \text{ V}$	12		96	μs
		$4.0 \text{ V} \leq AV_{DD} < 4.5 \text{ V}$	14		96	μs
		$2.7 \text{ V} \leq AV_{DD} < 4.0 \text{ V}$	17		96	μs
		$1.8 \text{ V} \leq AV_{DD} < 2.7 \text{ V}$	28		96	μs
アナログ入力電圧	V_{AIN}		0		AV_{REF}	V
基準電圧	AV_{REF}		1.8		AV_{DD}	V
AV_{REF} - AV_{SS} 間抵抗	R_{REF}	A/D変換動作時	20	40		k Ω

注 量子化誤差 ($\pm 1/2 \text{ LSB}$) を含みません。フルスケール値に対する比率 (%FSR) で表します。

備考 アナログ入力端子のインピーダンスを次に示します。

[等価回路]



★ [パラメータ値]

(TYP.)

AV_{DD}	R1	R2	C1	C2	C3
2.7 V	12 k Ω	8.0 k Ω	8.0 pF	3.0 pF	2.0 pF
4.5 V	4 k Ω	2.7 k Ω	8.0 pF	1.4 pF	2.0 pF

A/Dコンバータ特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = AV_{DD} = 1.8 \sim 5.5 \text{ V}$, $AV_{SS} = V_{SS} = 0 \text{ V}$) (2/2)

(2) 10ビットA/Dコンバータ: $\mu\text{PD780034A}$ サブシリーズ

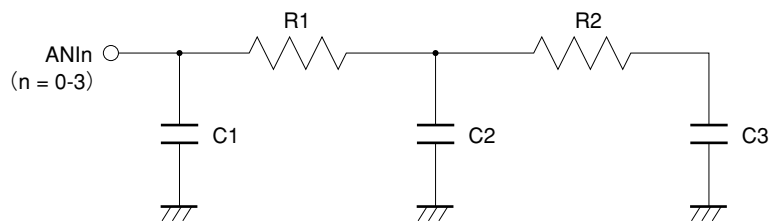
項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			10	10	10	bit
総合誤差 ^{注1, 2}		$4.0 \text{ V} \leq AV_{REF} \leq 5.5 \text{ V}$		± 0.2	± 0.4	%FSR
		$2.7 \text{ V} \leq AV_{REF} < 4.0 \text{ V}$		± 0.3	± 0.6	%FSR
		$1.8 \text{ V} \leq AV_{REF} < 2.7 \text{ V}$		± 0.6	± 1.2	%FSR
変換時間	t_{CONV}	$4.5 \text{ V} \leq AV_{DD} \leq 5.5 \text{ V}$	12		96	μs
		$4.0 \text{ V} \leq AV_{DD} < 4.5 \text{ V}$	14		96	μs
		$2.7 \text{ V} \leq AV_{DD} < 4.0 \text{ V}$	17		96	μs
		$1.8 \text{ V} \leq AV_{DD} < 2.7 \text{ V}$	28		96	μs
ゼロスケール誤差 ^{注1, 2}		$4.0 \text{ V} \leq AV_{REF} \leq 5.5 \text{ V}$			± 0.4	%FSR
		$2.7 \text{ V} \leq AV_{REF} < 4.0 \text{ V}$			± 0.6	%FSR
		$1.8 \text{ V} \leq AV_{REF} < 2.7 \text{ V}$			± 1.2	%FSR
フルスケール誤差 ^{注1, 2}		$4.0 \text{ V} \leq AV_{REF} \leq 5.5 \text{ V}$			± 0.4	%FSR
		$2.7 \text{ V} \leq AV_{REF} < 4.0 \text{ V}$			± 0.6	%FSR
		$1.8 \text{ V} \leq AV_{REF} < 2.7 \text{ V}$			± 1.2	%FSR
積分直線性誤差 ^{注1}		$4.0 \text{ V} \leq AV_{REF} \leq 5.5 \text{ V}$			± 2.5	LSB
		$2.7 \text{ V} \leq AV_{REF} < 4.0 \text{ V}$			± 4.5	LSB
		$1.8 \text{ V} \leq AV_{REF} < 2.7 \text{ V}$			± 8.5	LSB
微分直線性誤差		$4.0 \text{ V} \leq AV_{REF} \leq 5.5 \text{ V}$			± 1.5	LSB
		$2.7 \text{ V} \leq AV_{REF} < 4.0 \text{ V}$			± 2.0	LSB
		$1.8 \text{ V} \leq AV_{REF} < 2.7 \text{ V}$			± 3.5	LSB
アナログ入力電圧	V_{AIN}		0		AV_{REF}	V
基準電圧	AV_{REF}		1.8		AV_{DD}	V
$AV_{REF}-AV_{SS}$ 間抵抗	R_{REF}	A/D変換動作時	20	40		k Ω

注1. 量子化誤差 ($\pm 1/2 \text{ LSB}$) を含みません。

2. フルスケール値に対する比率で表します。

備考 アナログ入力端子のインピーダンスを次に示します。

[等価回路]



★ [パラメータ値]

(TYP.)

AV_{DD}	R1	R2	C1	C2	C3
2.7 V	12 k Ω	8.0 k Ω	8.0 pF	3.0 pF	2.0 pF
4.5 V	4 k Ω	2.7 k Ω	8.0 pF	1.4 pF	2.0 pF

データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.6		5.5	V
データ保持電源電流	I _{DDDR}	V _{DDDR} = 1.6 V (サブシステム・クロック未使用 (XT1 = V _{DD}), フィードバック抵抗切断時)		0.1	30	μA
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウエイト時間	t _{WAIT}	RESETによる解除		$2^{17}/f_x$		s
		割り込み要求による解除		注		s

注 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により, $2^{12}/f_x$, $2^{14}/f_x$ - $2^{17}/f_x$ の選択が可能です。

フラッシュ・メモリ・プログラミング特性 (1/2)

($T_A = +10 \sim +40 \text{ }^\circ\text{C}$, $V_{DD} = AV_{DD} = 1.8 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

・ $\mu\text{PD78F0034B}$, 78F0034B(A)

(a) 書き込み消去特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f_x	$4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1.0		10.0	MHz
		$3.0 \text{ V} \leq V_{DD} < 4.5 \text{ V}$	1.0		8.38	MHz
		$2.7 \text{ V} \leq V_{DD} < 3.0 \text{ V}$	1.0		5.00	MHz
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	1.0		1.25	MHz
V_{PP} 電源電圧	V_{PP2}	フラッシュ・メモリ・プログラミング時	9.7	10.0	10.3	V
V_{DD} 電源電流 ^{注1}	I_{DD}	$V_{PP} = V_{PP2}$ 時 10 MHz水晶発振 動作モード	$V_{DD} = 5.0 \text{ V} \pm 10\%$		30	mA
		$V_{DD} = 3.0 \text{ V} \pm 10\%$			17	mA
V_{PP} 電源電流	I_{PP}	$V_{PP} = V_{PP2}$ 時			100	mA
ステップ消去時間 ^{注2}	T_{er}		0.199	0.2	0.201	s
総消去時間 ^{注3}	T_{era}	ステップ消去時間 = 0.2 s			20	s/チップ
ライトバック時間 ^{注4}	T_{wb}		49.4	50	50.6	ms
1ライトバック・コマンドあたりのライトバック回数 ^{注5}	C_{wb}	ライトバック時間 = 50 ms			60	回
消去ーライトバック回数	C_{erwb}				16	回
ステップ書き込み時間 ^{注6}	T_{wr}		48	50	52	μs
1ワードあたりの総書き込み時間 ^{注7}	T_{rww}	ステップ書き込み時間 = 50 μs 設定 (1ワード = 1バイト)	48		520	μs
1チップあたりの書き換え回数 ^{注8}	C_{erwr}	消去1回 + 消去後の書き込み1回 = 書き換え回数1回とする			20	回/エリア

注1. AV_{DD} 電流およびポート電流 (内蔵プルアップ抵抗に流れる電流) は, 含まれません。

2. ステップ消去時間の推奨設定値 = 0.2 sです。
3. 消去前のプリライトおよび消去ベリファイ時間 (ライトバック時間) は, 含まれません。
4. ライトバック時間の推奨設定値 = 50 msです。
5. ライトバック・コマンドの発行により, ライトバックは1回実行されます。したがってリトライ回数設定値は, 本値よりコマンド発行回数をマイナスした値としてください。
6. ステップ書き込み時間の推奨設定値 = 50 μs です。
7. 実際の1ワードあたりの書き込み時間は, 100 μs が加算されます。書き込み中および書き込み後の内部ベリファイ時間は含まれません。
8. 出荷品に対する初回書き込み時では, 「消去→書き込み」の場合も, 「書き込みのみ」の場合も書き換え1回となります。

例 P: 書き込み E: 消去

出荷品 →P→E→P→E→P: 書き換え回数3回

出荷品 →E→P→E→P→E→P: 書き換え回数3回

フラッシュ・メモリ・プログラミング特性 (2/2)

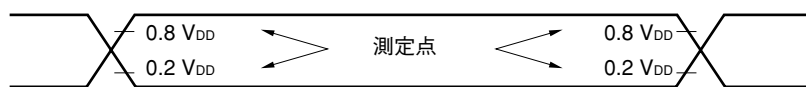
(T_A = +10~+40 °C, V_{DD} = AV_{DD} = 1.8~5.5 V, V_{SS} = AV_{SS} = 0 V)・ μ PD78F0034B, 78F0034B(A)

(b) シリアル書き込みオペレーション特性

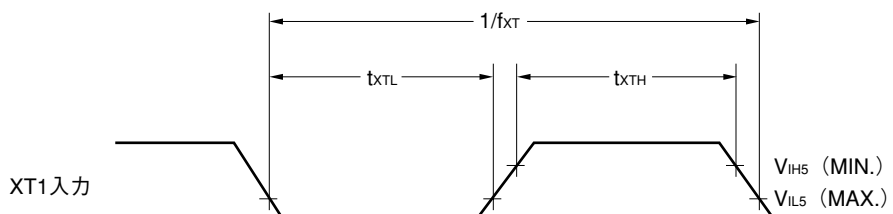
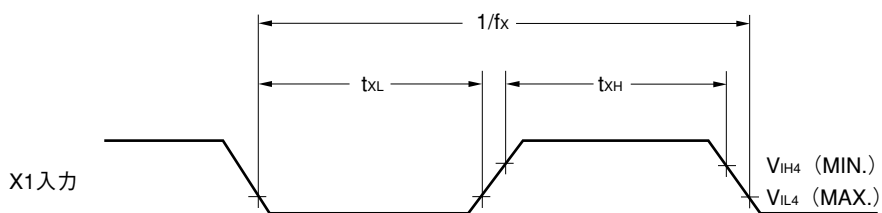
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
V _{DD} ↑ → V _{PP} ↑ セット時間	t _{DP}		10			μs
V _{PP} ↑ → RESET ↑ 解除時間	t _{PR}		1.0			μs
RESET ↑ → V _{PP} パルス入力開始時間	t _{RP}		1.0			μs
V _{PP} パルス・ハイ、ロウ・レベル幅	t _{PW}		8.0			μs
RESET ↑ → V _{PP} パルス入力終了時間	t _{RPE}				20	ms
V _{PP} パルス・ロウ・レベル入力電圧	V _{PP(L)}		0.8V _{DD}		1.2V _{DD}	V
V _{PP} パルス・ハイ・レベル入力電圧	V _{PP(H)}		9.7	10.0	10.3	V

タイミング・チャート

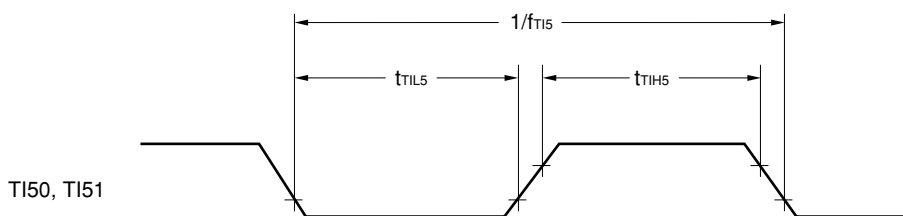
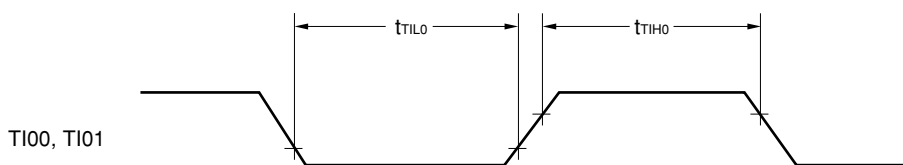
ACタイミング測定点 (X1, XT1入力を除く)



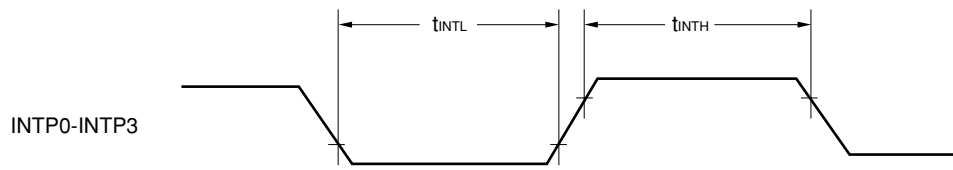
クロック・タイミング



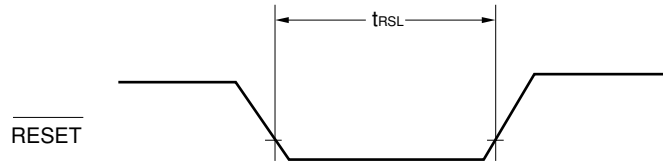
T1タイミング



割り込み要求入力タイミング

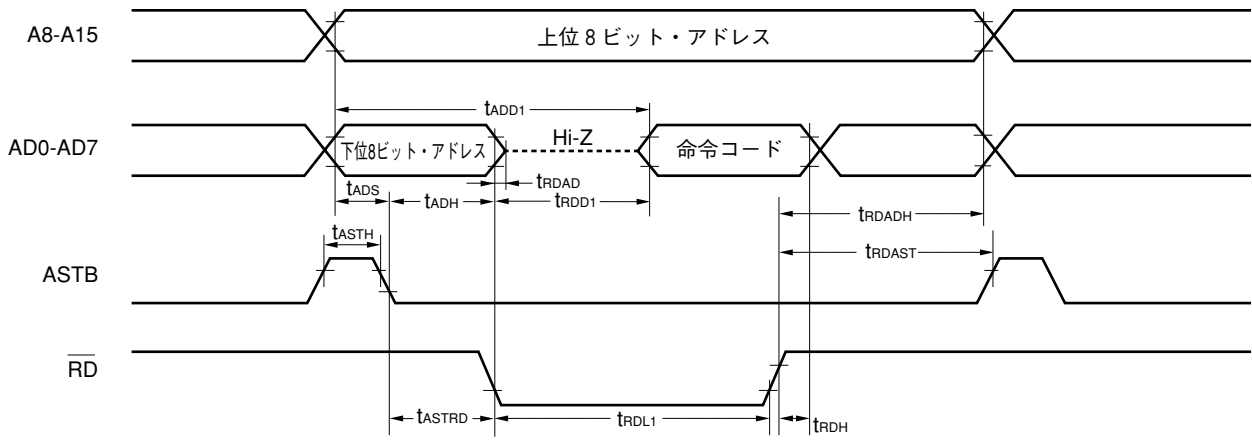


RESET入力タイミング

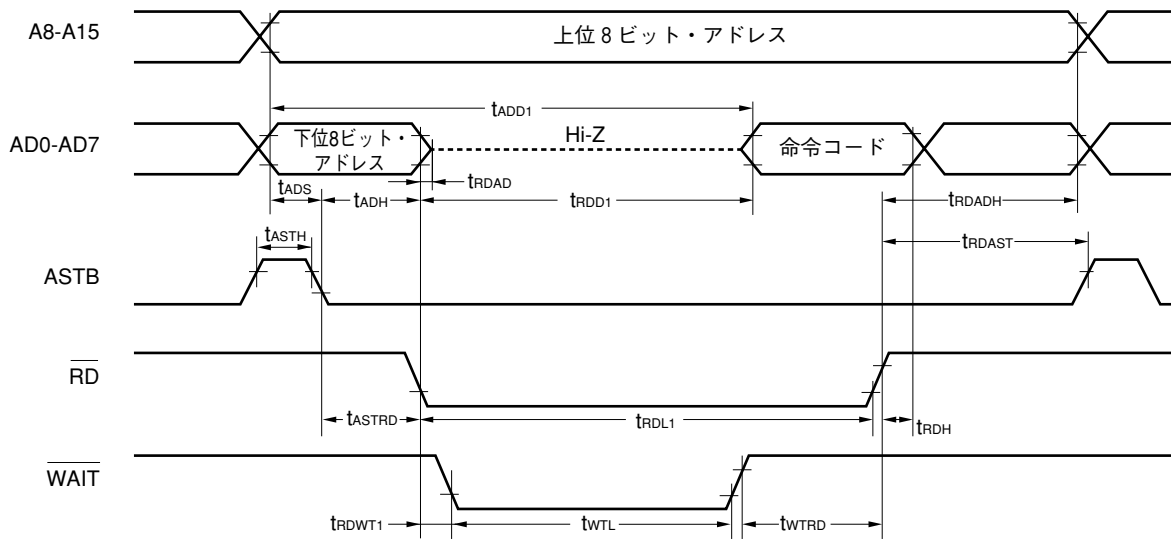


リード/ライト・オペレーション

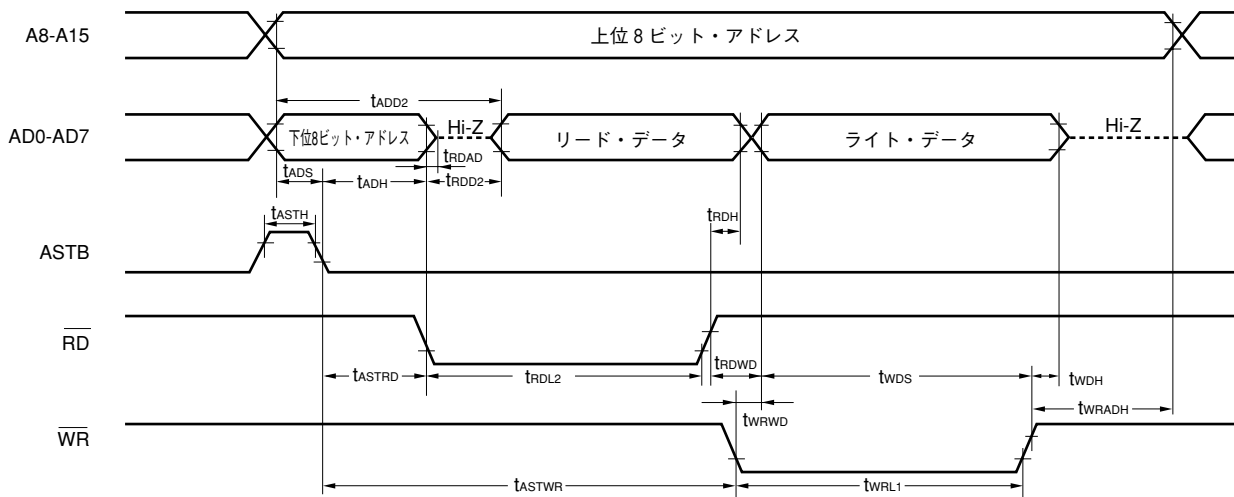
外部フェッチ (ノー・ウエイト時) :



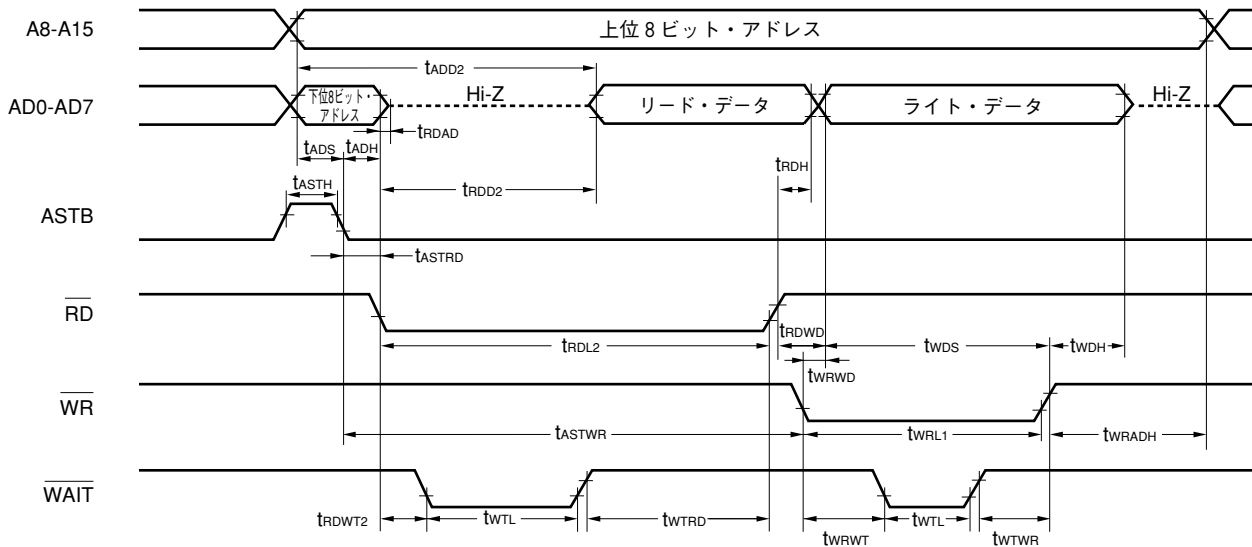
外部フェッチ (ウエイト挿入時) :



外部データ・アクセス (ノー・ウエイト時) :

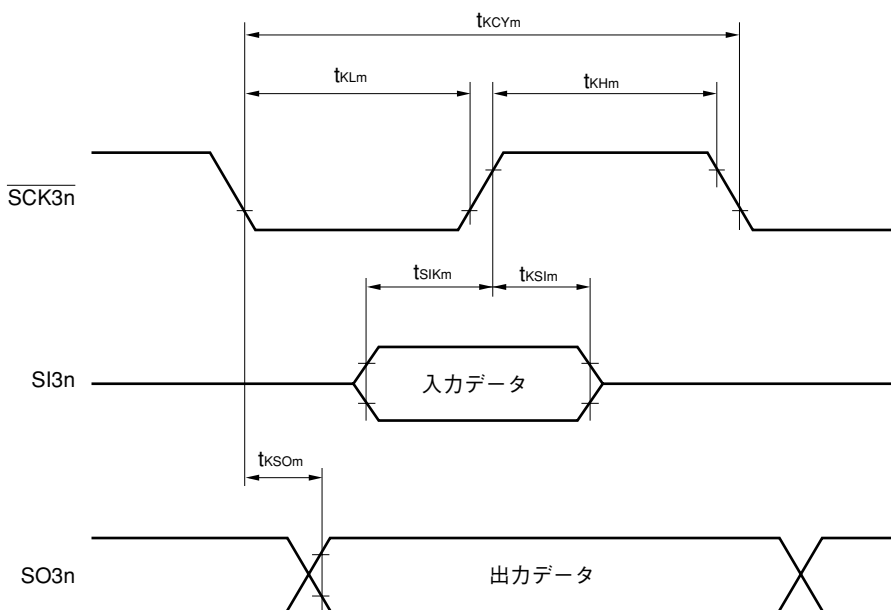


外部データ・アクセス (ウエイト挿入時) :



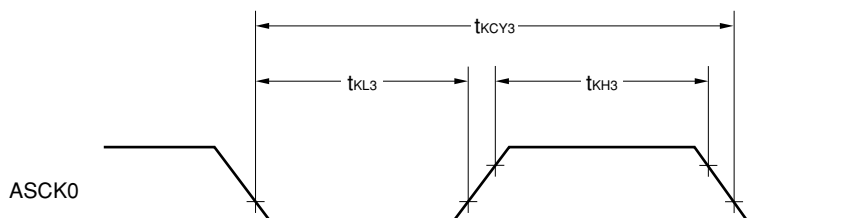
シリアル転送タイミング

3線式シリアル/Oモード:

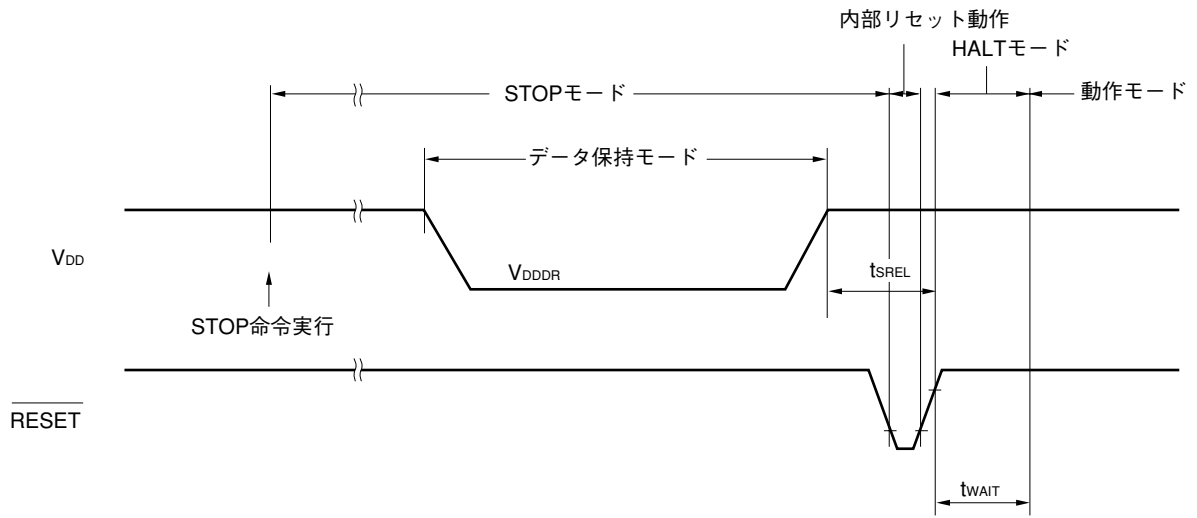


- 備考 1. $m = 1, 2$
- 2. $n = 0, 1$

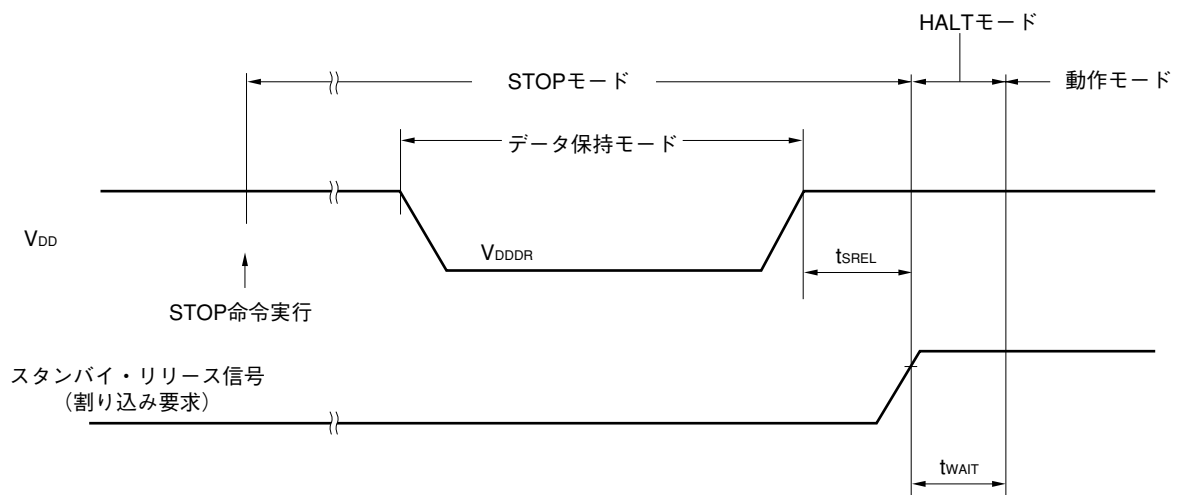
UARTモード (外部クロック入力):



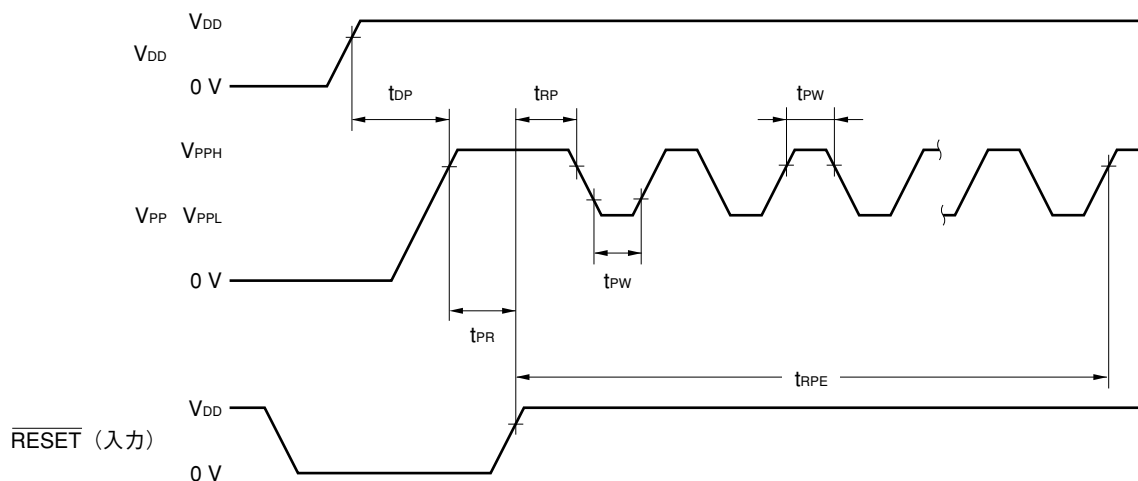
データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号: 割り込み要求信号によるSTOPモード解除)



フラッシュ書き込みモード設定タイミング



第26章 電気的特性（従来規格：fx = 1.0～8.38 MHz）

対象製品

- 平成13年11月30日以前受注分の μ PD780021A, 780022A, 780023A, 780024A, 780031A, 780032A, 780033A, 780034A, 780021A(A), 780022A(A), 780023A(A), 780024A(A), 780031A(A), 780032A(A), 780033A(A), 780034A(A)（規格区分^注が「K, E, P, X」の製品）
- μ PD780021AY, 780022AY, 780023AY, 780024AY, 780031AY, 780032AY, 780033AY, 780034AY, 780021AY(A), 780022AY(A), 780023AY(A), 780024AY(A), 780031AY(A), 780032AY(A), 780033AY(A), 780034AY(A)
- μ PD78F0034A, 78F0034AY, 78F0034BY, 78F0034BY(A)

注 規格区分とは、パッケージ捺印のロット番号で左から5桁目のアルファベット表記を指します。



注意 μ PD780021AY(A), 780023AY(A), 780024AY(A), 780031AY(A), 780032AY(A), 780033AY(A), 780034AY(A)は開発中です。

上記の製品の電気的特性はあくまでもターゲット（参考値）であり、量産品がこの規格を満足するとは限りません。

絶対最大定格 ($T_A = 25 \text{ }^\circ\text{C}$) (1/2)

項目	略号	条件	定格	単位	
電源電圧	V_{DD}		$-0.3 \sim +6.5$	V	
	V_{PP}	フラッシュ・メモリ品のみ 注2	$-0.3 \sim +10.5$	V	
	AV_{DD}		$-0.3 \sim V_{DD} + 0.3^{\text{注1}}$	V	
	AV_{REF}		$-0.3 \sim V_{DD} + 0.3^{\text{注1}}$	V	
	AV_{SS}		$-0.3 \sim +0.3$	V	
入力電圧	V_{I1}	P00-P03, P10-P17, P20-P25, P34-P36, P40-P47, P50-P57, P64-P67, P70-P75, X1, X2, XT1, XT2, RESET	$-0.3 \sim V_{DD} + 0.3^{\text{注1}}$	V	
	V_{I2}	P30-P33	N-chオープン・ドレイン	$-0.3 \sim +6.5$	V
			内蔵プルアップ抵抗接続時	$-0.3 \sim V_{DD} + 0.3^{\text{注1}}$	V
出力電圧	V_O		$-0.3 \sim V_{DD} + 0.3^{\text{注1}}$	V	
アナログ入力電圧	V_{AN}	P10-P17	アナログ入力端子 $AV_{SS} - 0.3 \sim AV_{REF} + 0.3^{\text{注1}}$ かつ $-0.3 \sim V_{DD} + 0.3^{\text{注1}}$	V	

注1. 6.5 V以下であること。

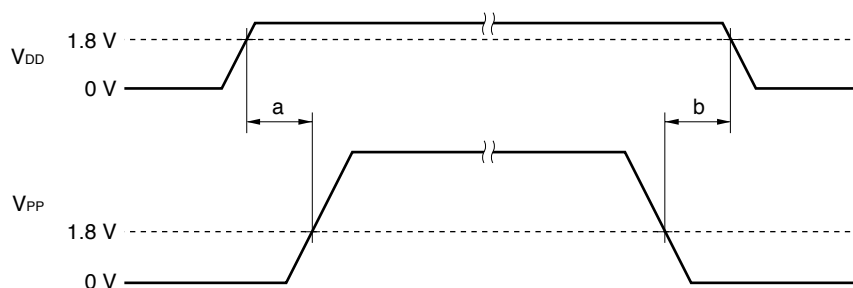
2. フラッシュ・メモリ書き込み時、 V_{PP} の電圧印加タイミングについては、必ず次の条件を満たしてください。

・電源電圧立ち上がり時

V_{DD} が動作電圧範囲の下限電圧 (1.8 V) に達してから $10 \mu\text{s}$ 以上経過後、 V_{PP} が V_{DD} を越えること (下図のa)。

・電源電圧立ち下がり時

V_{PP} が V_{DD} の動作電圧範囲の下限電圧 (1.8 V) を下回ってから $10 \mu\text{s}$ 以上経過後、 V_{DD} を立ち下げること (下図のb)。



注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

絶対最大定格 ($T_A = 25 \text{ }^\circ\text{C}$) (2/2)

項目	略号	条件	定格	単位
ハイ・レベル 出力電流	I _{OH}	1 端子	-10	mA
		P00-P03, P40-P47, P50-P57, P64-P67, P70-P75 合計	-15	mA
		P20-P25, P30-P36 合計	-15	mA
ロウ・レベル 出力電流	I _{OL}	P00-P03, P20-P25, P34-P36, P40-P47, P64-P67, P70-P75 1 端子	20	mA
		P30-P33, P50-P57 1 端子	30	mA
		P00-P03, P40-P47, P64-P67, P70-P75 合計	50	mA
		P20-P25 合計	20	mA
		P30-P36 合計	100	mA
		P50-P57 合計	100	mA
動作周囲温度	T _A	通常動作時	-40~+85	°C
		フラッシュ・メモリ・プログラミング時	-10~+80	°C
保存温度	T _{stg}	マスクROM品	-65~+150	°C
		フラッシュ・メモリ品	-40~+125	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

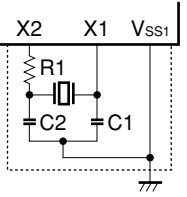
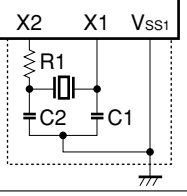
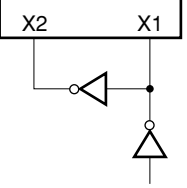
備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

容量 ($T_A = 25 \text{ }^\circ\text{C}$, $V_{DD} = V_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
入力容量	C_{IN}	$f = 1 \text{ MHz}$ 被測定端子以外は 0 V			15	pF	
入出力容量	C_{IO}	$f = 1 \text{ MHz}$ 被測定端子以外は 0 V	P00-P03, P20-P25, P34-P36, P40-P47, P50-P57, P64-P67, P70-P75			15	pF
			P30-P33			20	pF

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

メイン・システム・クロック発振回路特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (f_x) 注1	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1.0		8.38	MHz
			$1.8 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	1.0		5.0	
		発振安定時間注2	V_{DD} が発振電圧範囲のMIN. に達したあと			4	ms
水晶振動子		発振周波数 (f_x) 注1	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1.0		8.38	MHz
			$1.8 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	1.0		5.0	
		発振安定時間注2	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			10	ms
			$1.8 \text{ V} \leq V_{DD} < 4.0 \text{ V}$			30	
外部クロック		X1入力周波数 (f_x) 注1	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1.0		8.38	MHz
			$1.8 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	1.0		5.0	
		X1入力ハイ、ロウ・レベル幅 (t_{XH} , t_{XL})	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	50		500	ns
			$1.8 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	85		500	

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

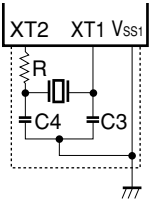
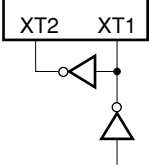
2. リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

注意1. メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は、常に V_{SS1} と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2. メイン・システム・クロックを停止させてサブシステム・クロックで動作させているときに、再度メイン・システム・クロックに切り替えるには、プログラムで発振安定時間を確保したあとに切り替えてください。

サブシステム・クロック発振回路特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f_{XT}) 注1		32	32.768	35	kHz
		発振安定時間注2	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		1.2	2	s
			$1.8 \text{ V} \leq V_{DD} < 4.0 \text{ V}$			10	
外部クロック		XT1入力周波数 (f_{XT}) 注1		32		38.5	kHz
		XT1入力ハイ、ロウ・レベル幅 (t_{XTH} , t_{XTL})		12		15	μs

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. V_{DD} が発振電圧範囲のMIN.に達したあと、発振が安定するのに必要な時間です。

注意1. サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は、常に V_{SS1} と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2. サブシステム・クロック発振回路は、低消費電力にするために増幅度の低い回路になっており、ノイズによる誤動作がメイン・システム・クロックよりも起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

備考 サブシステム・クロックの発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

推奨発振回路定数 (1/2)

$\mu\text{PD78F0034BY}$, 78F0034BY(A) を使用する場合、発振子の選択および発振回路定数についてはお客様に評価していただくか、発振子メーカーに評価を依頼してください。

(1) $\mu\text{PD780024A}$, 780034A サブシリーズ (従来規格品), $\mu\text{PD780024AY}$, 780034AY サブシリーズのマスクROM製品

メイン・システム・クロック: セラミック発振子 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$)

メーカー	品名	周波数 (MHz)	推奨回路定数			発振電圧範囲	
			C1 (pF)	C2 (pF)	R1 (k Ω)	MIN. (V)	MAX. (V)
村田製作所	CSBFB1M00J58	1.00	100	100	2.2	1.8	5.5
	CSBLA1M00J58	1.00	100	100	2.2	1.8	5.5
	CSTCC2M00G56	2.00	内蔵	内蔵	0	1.8	5.5
	CSTLS2M00G56	2.00	内蔵	内蔵	0	1.8	5.5
	CSTCC3M58G53	3.58	内蔵	内蔵	0	1.8	5.5
	CSTLS3M58G53	3.58	内蔵	内蔵	0	1.8	5.5
	CSTCR4M00G53	4.00	内蔵	内蔵	0	1.8	5.5
	CSTLS4M00G53	4.00	内蔵	内蔵	0	1.8	5.5
	CSTCR4M19G53	4.19	内蔵	内蔵	0	1.8	5.5
	CSTLS4M19G53	4.19	内蔵	内蔵	0	1.8	5.5
	CSTCR4M91G53	4.91	内蔵	内蔵	0	1.8	5.5
	CSTLS4M91G53	4.91	内蔵	内蔵	0	1.8	5.5
	CSTCR5M00G53	5.00	内蔵	内蔵	0	1.8	5.5
	CSTLS5M00G53	5.00	内蔵	内蔵	0	1.8	5.5
	CSTCE8M00G52	8.00	内蔵	内蔵	0	2.7	5.5
	CSTLS8M00G53	8.00	内蔵	内蔵	0	2.7	5.5
	CSTCE8M38G52	8.38	内蔵	内蔵	0	4.0	5.5
	CSTLS8M38G53	8.38	内蔵	内蔵	0	4.0	5.5
TDK	CCR3.58MC3	3.58	内蔵	内蔵	0	1.8	5.5
	CCR4.19MC3	4.19	内蔵	内蔵	0	1.8	5.5
	CCR5.0MC3	5.00	内蔵	内蔵	0	1.8	5.5
	CCR8.0MC5	8.00	内蔵	内蔵	0	2.7	5.5
	CCR8.38MC5	8.38	内蔵	内蔵	0	4.0	5.5

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、 $\mu\text{PD780024A}$, 780024AY , 780034A , 780034AY サブシリーズの内部動作条件についてはDC, AC特性の規格内で使用してください。

推奨発振回路定数 (2/2)

(2) $\mu\text{PD78F0034A, 78F0034AY}$

メイン・システム・クロック : セラミック発振子 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$)

メーカー	品名	周波数 (MHz)	推奨回路定数			発振電圧範囲	
			C1 (pF)	C2 (pF)	R1 (k Ω)	MIN. (V)	MAX. (V)
村田製作所	CSBFB1M00J58	1.00	100	100	2.2	1.9	5.5
	CSBLA1M00J58	1.00	100	100	2.2	1.9	5.5
	CSTCC2M00G56	2.00	内蔵	内蔵	0	1.8	5.5
	CSTLS2M00G56	2.00	内蔵	内蔵	0	1.8	5.5
	CSTCC3M58G53	3.58	内蔵	内蔵	0	1.8	5.5
	CSTLS3M58G53	3.58	内蔵	内蔵	0	1.8	5.5
	CSTCR4M00G53	4.00	内蔵	内蔵	0	1.8	5.5
	CSTLS4M00G53	4.00	内蔵	内蔵	0	1.8	5.5
	CSTCR4M19G53	4.19	内蔵	内蔵	0	1.8	5.5
	CSTLS4M19G53	4.19	内蔵	内蔵	0	1.8	5.5
	CSTCR4M91G53	4.91	内蔵	内蔵	0	1.8	5.5
	CSTLS4M91G53	4.91	内蔵	内蔵	0	1.8	5.5
	CSTCR5M00G53	5.00	内蔵	内蔵	0	1.8	5.5
	CSTLS5M00G53	5.00	内蔵	内蔵	0	1.8	5.5
	CSTCE8M00G52	8.00	内蔵	内蔵	0	2.7	5.5
	CSTLS8M00G53	8.00	内蔵	内蔵	0	2.7	5.5
	CSTLS8M00G53093	8.00	内蔵	内蔵	0	2.7	5.5
	CSTCE8M38G52	8.38	内蔵	内蔵	0	4.0	5.5
	CSTLS8M38G53	8.38	内蔵	内蔵	0	4.0	5.5
	CSTLS8M38G53093	8.38	内蔵	内蔵	0	4.0	5.5
TDK	CCR3.58MC3	3.58	内蔵	内蔵	0	1.8	5.5
	CCR4.19MC3	4.19	内蔵	内蔵	0	1.8	5.5
	CCR5.0MC3	5.00	内蔵	内蔵	0	1.8	5.5
	CCR8.0MC5	8.00	内蔵	内蔵	0	2.7	5.5
	CCR8.38MC5	8.38	内蔵	内蔵	0	4.0	5.5

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、 $\mu\text{PD780024A, 780024AY, 780034A, 780034AY}$ サブシリーズの内部動作条件についてはDC, AC特性の規格内で使用してください。

DC特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$) (1/4)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流	I _{OH}	1 端子			-1	mA	
		全端子			-15	mA	
ロウ・レベル出力電流	I _{OL}	P00-P03, P20-P25, P34-P36, P40-P47, P64-P67, P70-P75 1 端子			10	mA	
		P30-P33, P50-P57 1 端子			15	mA	
		P00-P03, P40-P47, P64-P67, P70-P75 合計			20	mA	
		P20-P25 合計			10	mA	
		P30-P36 合計			70	mA	
		P50-P57 合計			70	mA	
ハイ・レベル入力電圧	V _{IH1}	P10-P17, P21, P24, P35, P40-P47, P50-P57, P64-P67, P74, P75	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		$0.7 V_{DD}$	V_{DD}	V
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		$0.8 V_{DD}$	V_{DD}	V
	V _{IH2}	P00-P03, P20, P22, P23, P25, P34, P36, P70-P73, $\overline{\text{RESET}}$	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		$0.8 V_{DD}$	V_{DD}	V
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		$0.85 V_{DD}$	V_{DD}	V
	V _{IH3}	P30-P33 (N-chオープン・ドレイン)	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		$0.7 V_{DD}$	5.5	V
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		$0.8 V_{DD}$	5.5	V
	V _{IH4}	X1, X2	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		$V_{DD} - 0.5$	V_{DD}	V
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		$V_{DD} - 0.2$	V_{DD}	V
	V _{IH5}	XT1, XT2	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		$0.8 V_{DD}$	V_{DD}	V
			$1.8 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		$0.9 V_{DD}$	V_{DD}	V
ロウ・レベル入力電圧	V _{IL1}	P10-P17, P21, P24, P35, P40-P47, P50-P57, P64-P67, P74, P75	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		0	$0.3 V_{DD}$	V
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		0	$0.2 V_{DD}$	V
	V _{IL2}	P00-P03, P20, P22, P23, P25, P34, P36, P70-P73, $\overline{\text{RESET}}$	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		0	$0.2 V_{DD}$	V
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		0	$0.15 V_{DD}$	V
	V _{IL3}	P30-P33	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		0	$0.3 V_{DD}$	V
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		0	$0.2 V_{DD}$	V
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		0	$0.1 V_{DD}$	V
	V _{IL4}	X1, X2	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		0	0.4	V
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		0	0.2	V
	V _{IL5}	XT1, XT2	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		0	$0.2 V_{DD}$	V
$1.8 \text{ V} \leq V_{DD} < 4.0 \text{ V}$				0	$0.1 V_{DD}$	V	
ハイ・レベル出力電圧	V _{OH1}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, I _{OH} = -1 mA		$V_{DD} - 1.0$	V_{DD}	V	
		$1.8 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, I _{OH} = -100 μA		$V_{DD} - 0.5$	V_{DD}	V	
ロウ・レベル出力電圧	V _{OL1}	P30-P33	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, I _{OL} = 15 mA			2.0	V
	V _{OL2}	P50-P57			0.4	2.0	V
	V _{OL3}	P00-P03, P20-P25, P34-P36, P40-P47, P64-P67, P70-P75	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, I _{OL} = 1.6 mA			0.4	V
	V _{OL4}	I _{OL} = 400 μA				0.5	V

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$) (2/4)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル 入力リーク電流	I _{LH1}	$V_{IN} = V_{DD}$	P00-P03, P10-P17, P20-P25, P34-P36, P40-P47, P50-P57, P64-P67, P70-P75, $\overline{\text{RESET}}$			3	μA
	I _{LH2}		X1, X2, XT1, XT2			20	μA
	I _{LH3}	$V_{IN} = 5.5 \text{ V}$	P30-P33			3	μA
ロウ・レベル 入力リーク電流	I _{LIL1}	$V_{IN} = 0 \text{ V}$	P00-P03, P10-P17, P20-P25, P34-P36, P40-P47, P50-P57, P64-P67, P70-P75, $\overline{\text{RESET}}$			-3	μA
	I _{LIL2}		X1, X2, XT1, XT2			-20	μA
	I _{LIL3}		P30-P33			-3	μA
ハイ・レベル 出力リーク電流	I _{LOH}	$V_{OUT} = V_{DD}$				3	μA
ロウ・レベル 出力リーク電流	I _{LOL}	$V_{OUT} = 0 \text{ V}$				-3	μA
マスク・オプション・プルアップ抵抗 (マスクROM品のみ)	R ₁	$V_{IN} = 0 \text{ V}$, P30, P31, P32 ^注 , P33 ^注		15	30	90	k Ω
ソフトウェア・プルアップ抵抗	R ₂	$V_{IN} = 0 \text{ V}$, P00-P03, P20-P25, P34-P36, P40-P47, P50-P57, P64-P67, P70-P75		15	30	90	k Ω

注 $\mu\text{PD780024A}$, 780034A サブシリーズのみ

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$) (3/4)

(1) $\mu\text{PD780024A}$, 780034A サブシリーズ (従来規格品), $\mu\text{PD780024AY}$, 780034AY サブシリーズのマスクROM製品

項目	略号	条件		MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	I_{DD1} ^{注2}	8.38 MHz水晶発振動作モード	$V_{DD} = 5.0 \text{ V} \pm 10\% \text{ }^{\text{注3}}$	A/Dコンバータ停止時	5.5	11	mA
				A/Dコンバータ動作時 ^{注6}	6.5	13	mA
		5.00 MHz水晶発振動作モード	$V_{DD} = 3.0 \text{ V} \pm 10\% \text{ }^{\text{注3}}$	A/Dコンバータ停止時	2	4	mA
				A/Dコンバータ動作時 ^{注6}	3	6	mA
			$V_{DD} = 2.0 \text{ V} \pm 10\% \text{ }^{\text{注4}}$	A/Dコンバータ停止時	0.4	1.5	mA
				A/Dコンバータ動作時 ^{注6}	1.4	4.2	mA
	I_{DD2}	8.38 MHz水晶発振HALTモード	$V_{DD} = 5.0 \text{ V} \pm 10\% \text{ }^{\text{注3}}$	周辺機能停止時	1.1	2.2	mA
				周辺機能動作時		4.7	mA
		5.00 MHz水晶発振HALTモード	$V_{DD} = 3.0 \text{ V} \pm 10\% \text{ }^{\text{注3}}$	周辺機能停止時	0.35	0.7	mA
				周辺機能動作時		1.7	mA
			$V_{DD} = 2.0 \text{ V} \pm 10\% \text{ }^{\text{注4}}$	周辺機能停止時	0.15	0.4	mA
				周辺機能動作時		1.1	mA
	I_{DD3}	32.768 kHz水晶発振動作モード ^{注5}	$V_{DD} = 5.0 \text{ V} \pm 10\%$	40	80	μA	
			$V_{DD} = 3.0 \text{ V} \pm 10\%$	20	40	μA	
			$V_{DD} = 2.0 \text{ V} \pm 10\%$	10	20	μA	
I_{DD4}	32.768 kHz水晶発振HALTモード ^{注5}	$V_{DD} = 5.0 \text{ V} \pm 10\%$	30	60	μA		
		$V_{DD} = 3.0 \text{ V} \pm 10\%$	6	18	μA		
		$V_{DD} = 2.0 \text{ V} \pm 10\%$	2	10	μA		
I_{DD5}	XT1 = V_{DD} STOPモード フィードバック抵抗非使用時	$V_{DD} = 5.0 \text{ V} \pm 10\%$	0.1	30	μA		
		$V_{DD} = 3.0 \text{ V} \pm 10\%$	0.05	10	μA		
		$V_{DD} = 2.0 \text{ V} \pm 10\%$	0.05	10	μA		

注1. 内部電源 (V_{DD0} , V_{DD1}) に流れるトータル電流です。ただし、ポートのプルアップ抵抗に流れる電流は含みません。

2. I_{DD1} は周辺動作電流を含みます。
3. プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに設定したとき
4. PCCを02Hに設定したとき
5. メイン・システム・クロックを停止させたとき
6. AV_{DD} 端子に流れる電流を含みます。

DC特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$) (4/4)

(2) $\mu\text{PD78F0034A, 78F0034AY, 78F0034BY, 78F0034BY(A)}$

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD1} ^{注2}	8.38 MHz水晶発振動作モード	V _{DD} = 5.0 V ± 10 % ^{注3}	A/Dコンバータ停止時	10.5	21	mA
				A/Dコンバータ動作時 ^{注6}	11.5	23	mA
		5.00 MHz水晶発振動作モード	V _{DD} = 3.0 V ± 10 % ^{注3}	A/Dコンバータ停止時	4.5	9	mA
				A/Dコンバータ動作時 ^{注6}	5.5	11	mA
			V _{DD} = 2.0 V ± 10 % ^{注4}	A/Dコンバータ停止時	1	2	mA
				A/Dコンバータ動作時 ^{注6}	2	6	mA
	I _{DD2}	8.38 MHz水晶発振HALTモード	V _{DD} = 5.0 V ± 10 % ^{注3}	周辺機能停止時	1.2	2.4	mA
				周辺機能動作時		5	mA
		5.00 MHz水晶発振HALTモード	V _{DD} = 3.0 V ± 10 % ^{注3}	周辺機能停止時	0.4	0.8	mA
				周辺機能動作時		1.7	mA
			V _{DD} = 2.0 V ± 10 % ^{注4}	周辺機能停止時	0.2	0.4	mA
				周辺機能動作時		1.1	mA
	★	I _{DD3}	32.768 kHz 水晶発振動作モード ^{注5}	V _{DD} = 5.0 V ± 10 %	115	230	μA
				V _{DD} = 3.0 V ± 10 %	95	190	μA
				V _{DD} = 2.0 V ± 10 %	75	150	μA
★	I _{DD4}	32.768 kHz 水晶発振HALTモード ^{注5}	V _{DD} = 5.0 V ± 10 %	30	60	μA	
			V _{DD} = 3.0 V ± 10 %	6	18	μA	
			V _{DD} = 2.0 V ± 10 %	2	10	μA	
★	I _{DD5}	XT1 = V _{DD} , STOPモード フィードバック抵抗非使用時	V _{DD} = 5.0 V ± 10 %	0.1	30	μA	
			V _{DD} = 3.0 V ± 10 %	0.05	10	μA	
			V _{DD} = 2.0 V ± 10 %	0.05	10	μA	

注1. 内部電源 (V_{DD0}, V_{DD1}) に流れるトータル電流です。ただし、ポートのプルアップ抵抗に流れる電流は含みません。

2. I_{DD1}は周辺動作電流を含みます。
3. プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに設定したとき
4. PCCを02Hに設定したとき
5. メイン・システム・クロックを停止させたとき
6. AV_{DD}端子に流れる電流を含みます。

AC特性

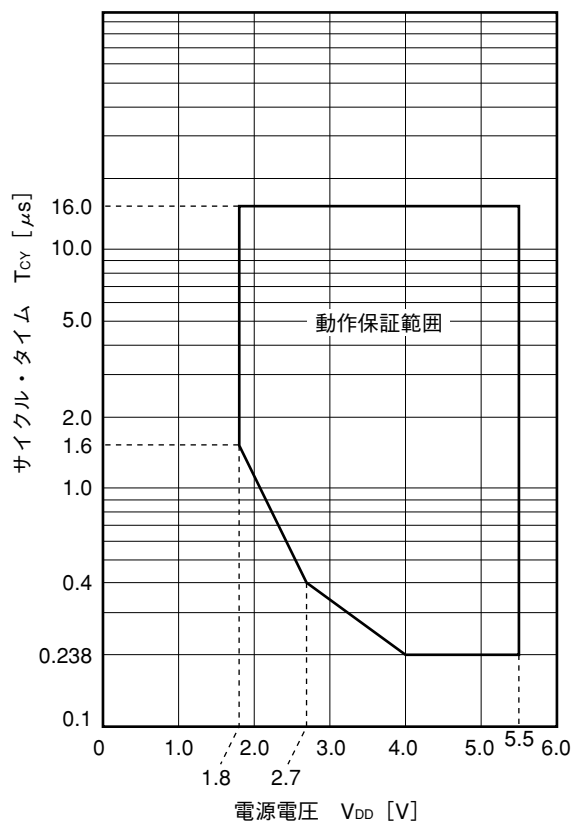
(1) 基本動作 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	T _{CY}	メイン・システム・クロックで 動作	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	0.238		16	μs
			$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	0.4		16	μs
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	1.6		16	μs
		サブシステム・クロックで動作	103.9 ^{注1}	122	125	μs	
TI00, TI01入力ハ イ, ロウ・レベル幅	t _{TIH0} t _{TIL0}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		$2/f_{\text{sam}} + 0.1$ ^{注2}			μs
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		$2/f_{\text{sam}} + 0.2$ ^{注2}			μs
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		$2/f_{\text{sam}} + 0.5$ ^{注2}			μs
TI50, TI51入力周 波数	f _{TI5}	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		0		4	MHz
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		0		275	kHz
TI50, TI51入力ハ イ, ロウ・レベル幅	t _{TIH5} t _{TIL5}	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		100			ns
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		1.8			μs
割り込み要求入力ハ イ, ロウ・レベル幅	t _{INTH} t _{INTL}	INTP0-INTP3, P40-P47	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1			μs
			$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	2			μs
RESETロウ・レベ ル幅	t _{RSL}	$2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		10			μs
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		20			μs

注1. 外部クロック使用時の値です。水晶振動子使用時は114 μs (MIN.) です。

- プリスケラ・モード・レジスタ0 (PRM0) のビット0, 1 (PRM00, PRM01) により, $f_{\text{sam}} = f_x, f_x/4, f_x/64$ の選択が可能です。ただし, カウント・クロックとしてTI00有効エッジを選択した場合は, $f_{\text{sam}} = f_x/8$ となります。

T_{CY} vs V_{DD} (メイン・システム・クロック動作時)



(2) リード/ライト・オペレーション ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 4.0 \sim 5.5 \text{ V}$) (1/3)

項目	略号	条件	MIN.	MAX.	単位
ASTBハイ・レベル幅	t_{ASTH}		0.3 t_{CY}		ns
アドレス・セットアップ時間	t_{ADS}		20		ns
アドレス・ホールド時間	t_{ADH}		6		ns
アドレス→データ入力時間	t_{ADD1}			$(2+2n) t_{CY}-54$	ns
	t_{ADD2}			$(3+2n) t_{CY}-60$	ns
$\overline{RD} \downarrow \rightarrow$ アドレス出力時間	t_{RDAD}		0	100	ns
$\overline{RD} \downarrow \rightarrow$ データ入力時間	t_{RDD1}			$(2+2n) t_{CY}-87$	ns
	t_{RDD2}			$(3+2n) t_{CY}-93$	ns
リード・データ・ホールド時間	t_{RDH}		0		ns
\overline{RD} ロウ・レベル幅	t_{RDL1}		$(1.5+2n) t_{CY}-33$		ns
	t_{RDL2}		$(2.5+2n) t_{CY}-33$		ns
$\overline{RD} \downarrow \rightarrow \overline{WAIT} \downarrow$ 入力時間	t_{RDWT1}			$t_{CY}-43$	ns
	t_{RDWT2}			$t_{CY}-43$	ns
$\overline{WR} \downarrow \rightarrow \overline{WAIT} \downarrow$ 入力時間	t_{WRWT}			$t_{CY}-25$	ns
\overline{WAIT} ロウ・レベル幅	t_{WTL}		$(0.5+2n) t_{CY}+10$	$(2+2n) t_{CY}$	ns
ライト・データ・セットアップ時間	t_{WDS}		60		ns
ライト・データ・ホールド時間	t_{WDH}		6		ns
\overline{WR} ロウ・レベル幅	t_{WRL1}		$(1.5+2n) t_{CY}-15$		ns
ASTB $\downarrow \rightarrow \overline{RD} \downarrow$ 遅延時間	t_{ASTRD}		6		ns
ASTB $\downarrow \rightarrow \overline{WR} \downarrow$ 遅延時間	t_{ASTWR}		$2 t_{CY}-15$		ns
外部フェッチ時 $\overline{RD} \uparrow \rightarrow \text{ASTB} \uparrow$ 遅延時間	t_{RDAST}		$0.8 t_{CY}-15$	$1.2 t_{CY}$	ns
外部フェッチ時 $\overline{RD} \uparrow \rightarrow$ アドレス・ホールド時間	t_{RDADH}		$0.8 t_{CY}-15$	$1.2 t_{CY}+30$	ns
$\overline{RD} \uparrow \rightarrow$ ライト・データ出力時間	t_{RDWD}		40		ns
$\overline{WR} \downarrow \rightarrow$ ライト・データ出力時間	t_{WRWD}		10	60	ns
$\overline{WR} \uparrow \rightarrow$ アドレス・ホールド時間	t_{WRADH}		$0.8 t_{CY}-15$	$1.2 t_{CY}+30$	ns
$\overline{WAIT} \uparrow \rightarrow \overline{RD} \uparrow$ 遅延時間	t_{WTRD}		$0.8 t_{CY}$	$2.5 t_{CY}+25$	ns
$\overline{WAIT} \uparrow \rightarrow \overline{WR} \uparrow$ 遅延時間	t_{WTWR}		$0.8 t_{CY}$	$2.5 t_{CY}+25$	ns

備考 1. $t_{CY} = T_{CY}/4$

2. n はウエイト数を示します。

3. $C_L = 100 \text{ pF}$ (C_L はAD0-AD7, A8-A15, \overline{RD} , \overline{WR} , \overline{WAIT} , ASTB端子の負荷容量です)

(2) リード/ライト・オペレーション ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 2.7 \sim 4.0 \text{ V}$) (2/3)

項目	略号	条件	MIN.	MAX.	単位
ASTBハイ・レベル幅	t_{ASTH}		$0.3 t_{CY}$		ns
アドレス・セットアップ時間	t_{ADS}		30		ns
アドレス・ホールド時間	t_{ADH}		10		ns
アドレス→データ入力時間	t_{ADD1}			$(2+2n) t_{CY}-108$	ns
	t_{ADD2}			$(3+2n) t_{CY}-120$	ns
$\overline{RD} \downarrow \rightarrow$ アドレス出力時間	t_{RDAD}		0	200	ns
$\overline{RD} \downarrow \rightarrow$ データ入力時間	t_{RDD1}			$(2+2n) t_{CY}-148$	ns
	t_{RDD2}			$(3+2n) t_{CY}-162$	ns
リード・データ・ホールド時間	t_{RDH}		0		ns
\overline{RD} ロウ・レベル幅	t_{RDL1}		$(1.5+2n) t_{CY}-40$		ns
	t_{RDL2}		$(2.5+2n) t_{CY}-40$		ns
$\overline{RD} \downarrow \rightarrow \overline{WAIT} \downarrow$ 入力時間	t_{RDWT1}			$t_{CY}-75$	ns
	t_{RDWT2}			$t_{CY}-60$	ns
$\overline{WR} \downarrow \rightarrow \overline{WAIT} \downarrow$ 入力時間	t_{WRWT}			$t_{CY}-50$	ns
\overline{WAIT} ロウ・レベル幅	t_{WTL}		$(0.5+2n) t_{CY}+10$	$(2+2n) t_{CY}$	ns
ライト・データ・セットアップ時間	t_{WDS}		60		ns
ライト・データ・ホールド時間	t_{WDH}		10		ns
\overline{WR} ロウ・レベル幅	t_{WRL1}		$(1.5+2n) t_{CY}-30$		ns
ASTB $\downarrow \rightarrow \overline{RD} \downarrow$ 遅延時間	t_{ASTRD}		10		ns
ASTB $\downarrow \rightarrow \overline{WR} \downarrow$ 遅延時間	t_{ASTWR}		$2 t_{CY}-30$		ns
外部フェッチ時 $\overline{RD} \uparrow \rightarrow \overline{ASTB} \uparrow$ 遅延時間	t_{RDAST}		$0.8 t_{CY}-30$	$1.2 t_{CY}$	ns
外部フェッチ時 $\overline{RD} \uparrow \rightarrow$ アドレス・ホールド時間	t_{RDADH}		$0.8 t_{CY}-30$	$1.2 t_{CY}+60$	ns
$\overline{RD} \uparrow \rightarrow$ ライト・データ出力時間	t_{RDWD}		40		ns
$\overline{WR} \downarrow \rightarrow$ ライト・データ出力時間	t_{WRWD}		20	120	ns
$\overline{WR} \uparrow \rightarrow$ アドレス・ホールド時間	t_{WRADH}		$0.8 t_{CY}-30$	$1.2 t_{CY}+60$	ns
$\overline{WAIT} \uparrow \rightarrow \overline{RD} \uparrow$ 遅延時間	t_{WTRD}		$0.5 t_{CY}$	$2.5 t_{CY}+50$	ns
$\overline{WAIT} \uparrow \rightarrow \overline{WR} \uparrow$ 遅延時間	t_{WTWR}		$0.5 t_{CY}$	$2.5 t_{CY}+50$	ns

備考1. $t_{CY} = T_{CY}/4$

2. n はウエイト数を示します。

3. $C_L = 100 \text{ pF}$ (C_L はAD0-AD7, A8-A15, \overline{RD} , \overline{WR} , \overline{WAIT} , ASTB端子の負荷容量です)

(2) リード/ライト・オペレーション ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 2.7 \text{ V}$) (3/3)

項目	略号	条件	MIN.	MAX.	単位
ASTBハイ・レベル幅	t_{ASTH}		0.3 t_{CY}		ns
アドレス・セットアップ時間	t_{ADS}		120		ns
アドレス・ホールド時間	t_{ADH}		20		ns
アドレス→データ入力時間	t_{ADD1}			$(2+2n) t_{CY}-233$	ns
	t_{ADD2}			$(3+2n) t_{CY}-240$	ns
$\overline{RD} \downarrow \rightarrow$ アドレス出力時間	t_{RDAD}		0	400	ns
$\overline{RD} \downarrow \rightarrow$ データ入力時間	t_{RDD1}			$(2+2n) t_{CY}-325$	ns
	t_{RDD2}			$(3+2n) t_{CY}-332$	ns
リード・データ・ホールド時間	t_{RDH}		0		ns
\overline{RD} ロウ・レベル幅	t_{RDL1}		$(1.5+2n) t_{CY}-92$		ns
	t_{RDL2}		$(2.5+2n) t_{CY}-92$		ns
$\overline{RD} \downarrow \rightarrow \overline{WAIT} \downarrow$ 入力時間	t_{RDWT1}			$t_{CY}-350$	ns
	t_{RDWT2}			$t_{CY}-132$	ns
$\overline{WR} \downarrow \rightarrow \overline{WAIT} \downarrow$ 入力時間	t_{WRWT}			$t_{CY}-100$	ns
\overline{WAIT} ロウ・レベル幅	t_{WTL}		$(0.5+2n) t_{CY}+10$	$(2+2n) t_{CY}$	ns
ライト・データ・セットアップ時間	t_{WDS}		60		ns
ライト・データ・ホールド時間	t_{WDH}		20		ns
\overline{WR} ロウ・レベル幅	t_{WRL1}		$(1.5+2n) t_{CY}-60$		ns
ASTB $\downarrow \rightarrow \overline{RD} \downarrow$ 遅延時間	t_{ASTRD}		20		ns
ASTB $\downarrow \rightarrow \overline{WR} \downarrow$ 遅延時間	t_{ASTWR}		$2 t_{CY}-60$		ns
外部フェッチ時 $\overline{RD} \uparrow \rightarrow \text{ASTB} \uparrow$ 遅延時間	t_{RDAST}		$0.8 t_{CY}-60$	$1.2 t_{CY}$	ns
外部フェッチ時 $\overline{RD} \uparrow \rightarrow$ アドレス・ホールド時間	t_{RDADH}		$0.8 t_{CY}-60$	$1.2 t_{CY}+120$	ns
$\overline{RD} \uparrow \rightarrow$ ライト・データ出力時間	t_{RDWD}		40		ns
$\overline{WR} \downarrow \rightarrow$ ライト・データ出力時間	t_{WRWD}		40	240	ns
$\overline{WR} \uparrow \rightarrow$ アドレス・ホールド時間	t_{WRADH}		$0.8 t_{CY}-60$	$1.2 t_{CY}+120$	ns
$\overline{WAIT} \uparrow \rightarrow \overline{RD} \uparrow$ 遅延時間	t_{WTRD}		$0.5 t_{CY}$	$2.5 t_{CY}+100$	ns
$\overline{WAIT} \uparrow \rightarrow \overline{WR} \uparrow$ 遅延時間	t_{WTWR}		$0.5 t_{CY}$	$2.5 t_{CY}+100$	ns

備考 1. $t_{CY} = T_{CY}/4$

2. n はウエイト数を示します。

3. $C_L = 100 \text{ pF}$ (C_L はAD0-AD7, A8-A15, \overline{RD} , \overline{WR} , \overline{WAIT} , ASTB端子の負荷容量です)

(3) シリアル・インタフェース ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$) (1/3)

(a) 3線式シリアル/I/Oモード ($\overline{\text{SCK3n}}$ …内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCK3n}}$ サイクル・タイム	t_{KCY1}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	954			ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	1600			ns
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	3200			ns
$\overline{\text{SCK3n}}$ ハイ, ロウ・レベル幅	t_{KH1}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$t_{\text{KCY1}}/2 - 50$			ns
	t_{KL1}	$1.8 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	$t_{\text{KCY1}}/2 - 100$			ns
SI3nセットアップ時間 (対 $\overline{\text{SCK3n}}$ ↑)	t_{SIK1}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	100			ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	150			ns
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	300			ns
SI3nホールド時間 (対 $\overline{\text{SCK3n}}$ ↑)	t_{KSH1}		400			ns
$\overline{\text{SCK3n}} \downarrow \rightarrow$ SO3n出力遅延時間	t_{KSO1}	$C = 100 \text{ pF}$ ^注			300	ns

注 Cは、 $\overline{\text{SCK3n}}$, SO3n出力ラインの負荷容量です。

(b) 3線式シリアル/I/Oモード ($\overline{\text{SCK3n}}$ …外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCK3n}}$ サイクル・タイム	t_{KCY2}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	800			ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	1600			ns
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	3200			ns
$\overline{\text{SCK3n}}$ ハイ, ロウ・レベル幅	t_{KH2}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	400			ns
	t_{KL2}	$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	800			ns
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	1600			ns
SI3nセットアップ時間 (対 $\overline{\text{SCK3n}}$ ↑)	t_{SIK2}		100			ns
SI3nホールド時間 (対 $\overline{\text{SCK3n}}$ ↑)	t_{KSH2}		400			ns
$\overline{\text{SCK3n}} \downarrow \rightarrow$ SO3n出力遅延時間	t_{KSO2}	$C = 100 \text{ pF}$ ^注			300	ns

注 Cは、SO3n出力ラインの負荷容量です。

備考 $\mu\text{PD780024A}$, 780034Aサブシリーズ : $n = 0, 1$

$\mu\text{PD780024AY}$, 780034AYサブシリーズ : $n = 0$

(3) シリアル・インタフェース ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$) (2/3)

(c) UARTモード (専用ボー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			131031	bps
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$			78125	bps
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			39063	bps

(d) UARTモード (外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ASCK0サイクル・ タイム	t_{KCY3}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	800			ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	1600			ns
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	3200			ns
ASCK0 ハイ、ロウ・レベル幅	$t_{KH3},$ t_{KL3}	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	400			ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$	800			ns
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$	1600			ns
転送レート		$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$			39063	bps
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$			19531	bps
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			9766	bps

(e) UARTモード (赤外線データ転送モード)

項目	略号	条件	MIN.	MAX.	単位
転送レート		$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		131031	bps
ビット・レート許容誤差		$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		± 0.87	%
出力パルス幅		$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	1.2	$0.24/fbr^{\text{注}}$	μs
入力パルス幅		$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$	$4/f_x$		μs

注 fbr: 設定ボー・レート

(3) シリアル・インタフェース ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$) (3/3)

(f) I²Cバス・モード ($\mu\text{PD780024AY}$, 780034AY サブシリーズのみ)

項目	略号	標準モード		高速モード		単位
		MIN.	MAX.	MIN.	MAX.	
SCL0クロック周波数	f _{CLK}	0	100	0	400	kHz
バス・フリー・タイム (ストップ・スタート・コンディション間)	t _{BUF}	4.7	—	1.3	—	μs
ホールド・タイム ^{注1}	t _{HD: STA}	4.0	—	0.6	—	μs
SCL0クロックのロウ・レベル幅	t _{LOW}	4.7	—	1.3	—	μs
SCL0クロックのハイ・レベル幅	t _{HIGH}	4.0	—	0.6	—	μs
スタート/リスタート・コンディションの セットアップ時間	t _{SU: STA}	4.7	—	0.6	—	μs
データ・ホールド 時間	CBUS互換マスタの場合	5.0	—	—	—	μs
	I ² Cバスの場合	0 ^{注2}	—	0 ^{注2}	0.9 ^{注3}	μs
データセット・アップ時間	t _{SU: DAT}	250	—	100 ^{注4}	—	ns
SDA0およびSCL0信号の立ち上がり時間	t _R	—	1000	20+0.1Cb ^{注5}	300	ns
SDA0およびSCL0信号の立ち下がり時間	t _F	—	300	20+0.1Cb ^{注5}	300	ns
ストップ・コンディションのセットアップ 時間	t _{SU: STO}	4.0	—	0.6	—	μs
入力フィルタによって抑制されるスパイク のパルス幅	t _{SP}	—	—	0	50	ns
各バス・ラインの容量性負荷	C _b	—	400	—	400	pF

注1. スタート・コンディション時に、この期間のあと、最初のクロック・パルスが生成されます。

2. 装置は、SCL0の立ち下がり端の未定義領域を埋めるために (SCL0信号のV_{IHmin.}での) SDA0信号用に最低300 nsのホールド時間を内部的に提供する必要があります。

3. 装置がSCL0信号のロウ・ホールド時間 (t_{LOW}) を延長しない場合は、最大データ・ホールド時間t_{HD: DAT}のみを満たすことが必要です。

4. 高速モードI²Cバスは、標準モードI²Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。

- ・装置がSCL0信号のロウ状態ホールド・タイムを延長しない場合

$$t_{SU: DAT} \geq 250 \text{ ns}$$

- ・装置がSCL0信号のロウ状態ホールド・タイムを延長する場合

SCL0ラインが解放される (t_{Rmax.}+t_{SU: DAT} = 1000+250 = 1250 ns: 標準モードI²Cバス仕様による) 前に、次のデータ・ビットをSDA0ラインに送出してください。

5. C_b: 1つのバス・ラインの合計キャパシタンス (単位pF)

A/Dコンバータ特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = AV_{DD} = 1.8 \sim 5.5 \text{ V}$, $AV_{SS} = V_{SS} = 0 \text{ V}$) (1/2)

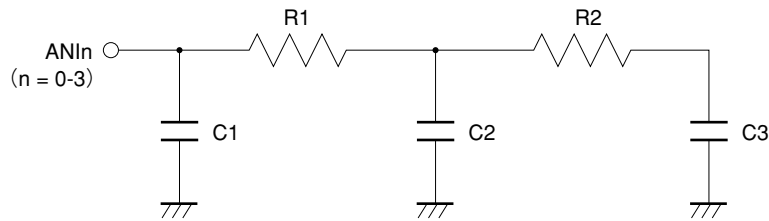
(1) 8ビットA/Dコンバータ: $\mu\text{PD780024A}$, 780024AY サブシリーズ

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			8	8	8	bit
総合誤差 ^注		$4.0 \text{ V} \leq AV_{REF} \leq 5.5 \text{ V}$			± 0.4	%FSR
		$2.7 \text{ V} \leq AV_{REF} < 4.0 \text{ V}$			± 0.6	%FSR
		$1.8 \text{ V} \leq AV_{REF} < 2.7 \text{ V}$			± 1.2	%FSR
変換時間	t_{CONV}	$4.0 \text{ V} \leq AV_{DD} \leq 5.5 \text{ V}$	14		96	μs
		$2.7 \text{ V} \leq AV_{DD} < 4.0 \text{ V}$	19		96	μs
		$1.8 \text{ V} \leq AV_{DD} < 2.7 \text{ V}$	28		96	μs
アナログ入力電圧	V_{AIN}		0		AV_{REF}	V
基準電圧	AV_{REF}		1.8		AV_{DD}	V
AV_{REF} - AV_{SS} 間抵抗	R_{REF}	A/D変換動作時	20	40		k Ω

注 量子化誤差 ($\pm 1/2 \text{ LSB}$) を含みません。フルスケール値に対する比率 (%FSR) で表します。

備考 アナログ入力端子のインピーダンスを次に示します。

[等価回路]



★ [パラメータ値]

(TYP.)

AV_{DD}	R1	R2	C1	C2	C3
2.7 V	12 k Ω	8.0 k Ω	8.0 pF	3.0 pF	2.0 pF
4.5 V	4 k Ω	2.7 k Ω	8.0 pF	1.4 pF	2.0 pF

A/Dコンバータ特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = AV_{DD} = 1.8 \sim 5.5 \text{ V}$, $AV_{SS} = V_{SS} = 0 \text{ V}$) (2/2)

(2) 10ビットA/Dコンバータ: $\mu\text{PD780034A}$, 780034AYサブシリーズ

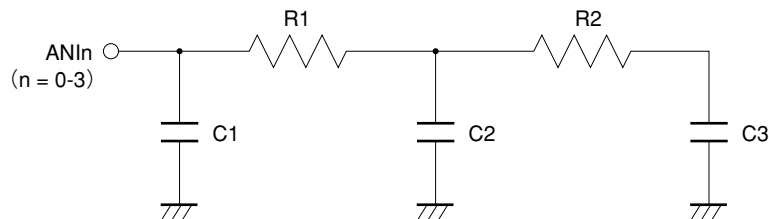
項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			10	10	10	bit
総合誤差 ^{注1, 2}		$4.0 \text{ V} \leq AV_{REF} \leq 5.5 \text{ V}$		± 0.2	± 0.4	%FSR
		$2.7 \text{ V} \leq AV_{REF} < 4.0 \text{ V}$		± 0.3	± 0.6	%FSR
		$1.8 \text{ V} \leq AV_{REF} < 2.7 \text{ V}$		± 0.6	± 1.2	%FSR
変換時間	t_{CONV}	$4.0 \text{ V} \leq AV_{DD} \leq 5.5 \text{ V}$	14		96	μs
		$2.7 \text{ V} \leq AV_{DD} < 4.0 \text{ V}$	19		96	μs
		$1.8 \text{ V} \leq AV_{DD} < 2.7 \text{ V}$	28		96	μs
ゼロスケール誤差 ^{注1, 2}		$4.0 \text{ V} \leq AV_{REF} \leq 5.5 \text{ V}$			± 0.4	%FSR
		$2.7 \text{ V} \leq AV_{REF} < 4.0 \text{ V}$			± 0.6	%FSR
		$1.8 \text{ V} \leq AV_{REF} < 2.7 \text{ V}$			± 1.2	%FSR
フルスケール誤差 ^{注1, 2}		$4.0 \text{ V} \leq AV_{REF} \leq 5.5 \text{ V}$			± 0.4	%FSR
		$2.7 \text{ V} \leq AV_{REF} < 4.0 \text{ V}$			± 0.6	%FSR
		$1.8 \text{ V} \leq AV_{REF} < 2.7 \text{ V}$			± 1.2	%FSR
積分直線性誤差 ^{注1}		$4.0 \text{ V} \leq AV_{REF} \leq 5.5 \text{ V}$			± 2.5	LSB
		$2.7 \text{ V} \leq AV_{REF} < 4.0 \text{ V}$			± 4.5	LSB
		$1.8 \text{ V} \leq AV_{REF} < 2.7 \text{ V}$			± 8.5	LSB
微分直線性誤差		$4.0 \text{ V} \leq AV_{REF} \leq 5.5 \text{ V}$			± 1.5	LSB
		$2.7 \text{ V} \leq AV_{REF} < 4.0 \text{ V}$			± 2.0	LSB
		$1.8 \text{ V} \leq AV_{REF} < 2.7 \text{ V}$			± 3.5	LSB
アナログ入力電圧	V_{AIN}		0		AV_{REF}	V
基準電圧	AV_{REF}		1.8		AV_{DD}	V
$AV_{REF} - AV_{SS}$ 間抵抗	R_{REF}	A/D変換動作時	20	40		k Ω

注1. 量子化誤差 ($\pm 1/2 \text{ LSB}$) を含みません。

2. フルスケール値に対する比率で表します。

備考 アナログ入力端子のインピーダンスを次に示します。

[等価回路]



★ [パラメータ値]

(TYP.)

AV_{DD}	R1	R2	C1	C2	C3
2.7 V	12 k Ω	8.0 k Ω	8.0 pF	3.0 pF	2.0 pF
4.5 V	4 k Ω	2.7 k Ω	8.0 pF	1.4 pF	2.0 pF

データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.6		5.5	V
データ保持電源電流	I _{DDDR}	V _{DDDR} = 1.6 V (サブシステム・クロック未使用(XT1 = V _{DD}), フィードバック抵抗切断時)		0.1	30	μA
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウエイト時間	t _{WAIT}	RESETによる解除		$2^{17}/f_x$		s
		割り込み要求による解除		注		s

注 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により, $2^{12}/f_x$, $2^{14}/f_x$ - $2^{17}/f_x$ の選択が可能です。

フラッシュ・メモリ・プログラミング特性 (1/3)

($T_A = +10 \sim +40 \text{ }^\circ\text{C}$, $V_{DD} = AV_{DD} = 2.7 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

(1) $\mu\text{PD78F0034A}$, $78F0034AY$

(a) 書き込み消去特性

項目	略号	条件		MIN.	TYP.	MAX.	単位
動作周波数	f_x	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		1.0		8.38	MHz
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		1.0		5.0	MHz
V_{PP} 電源電圧	V_{PP2}	フラッシュ・メモリ・プログラミング時 ^{注1}		9.7	10.0	10.3	V
V_{DD} 電源電流 ^{注2}	I_{DD}	$V_{PP} = V_{PP2}$ 時	8.38 MHz水晶発振動作モード	$V_{DD} = 5.0 \text{ V} \pm 10\%$		24	mA
			5.0 MHz水晶発振動作モード		$V_{DD} = 3.0 \text{ V} \pm 10\%$		12
V_{PP} 電源電流	I_{PP}	$V_{PP} = V_{PP2}$ 時				100	mA
ステップ消去時間 ^{注3}	T_{er}			0.99	1.0	1.01	s
総消去時間 ^{注4}	T_{era}	ステップ消去時間 = 1 s				20	s/チップ
ステップ書き込み時間 ^{注5}	T_{wr}			50		100	μs
1ワードあたりの総書き込み時間 ^{注6}	T_{wrw}	ステップ書き込み時間 = $100 \mu\text{s}$ 設定 (1ワード = 1バイト)				1000	μs
1チップあたりの書き換え回数 ^{注7}	C_{enwr}	消去1回 + 消去後の書き込み1回 = 書き換え回数1回とする				20 ^{注8}	回/エリア

注1. 製品規格「K, E, P」は、10.2 V (MIN.), 10.3 V (TYP.), 10.4 V (MAX.) です。

2. AV_{DD} 電流およびポート電流 (内蔵プルアップ電流に流れる電流) は含まれません。

3. ステップ消去時間の推奨設定値 = 1 sです。

4. 消去前のプリライトおよび消去ベリファイ時間は、含まれません。

5. ステップ書き込み時間の推奨設定値 = $50 \mu\text{s}$ です。

6. 実際の1ワードあたりの書き込み時間は、 $100 \mu\text{s}$ が加算されます。書き込み中および書き込み後の内部ベリファイ時間は含まれません。

7. 出荷品に対する初回書き込み時では、「消去→書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

例 P: 書き込み E: 消去

出荷品 → P → E → P → E → P : 書き換え回数3回

出荷品 → E → P → E → P → E → P : 書き換え回数3回

8. 製品規格「K, E」は、1回 (MAX.) です。

(b) シリアル書き込みオペレーション特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
$V_{DD} \uparrow \rightarrow V_{PP} \uparrow$ セット時間	t_{DP}		10			μs
$V_{PP} \uparrow \rightarrow \text{RESET} \uparrow$ 解除時間	t_{PR}		1.0			μs
$\text{RESET} \uparrow \rightarrow V_{PP}$ パルス入力開始時間	t_{RP}		1.0			μs
V_{PP} パルス・ハイ、ロウ・レベル幅	t_{PW}		8.0			μs
$\text{RESET} \uparrow \rightarrow V_{PP}$ パルス入力終了時間	t_{RPE}				20	ms
V_{PP} パルス・ロウ・レベル入力電圧	V_{PPL}		$0.8V_{DD}$	V_{DD}	$1.2V_{DD}$	V
V_{PP} パルス・ハイ・レベル入力電圧	V_{PPH}		9.7	10.0	10.3	V

フラッシュ・メモリ・プログラミング特性 (2/3)

($T_A = +10 \sim +40 \text{ }^\circ\text{C}$, $V_{DD} = AV_{DD} = 1.8 \sim 5.5 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

(2) $\mu\text{PD78F0034BY}$, 78F0034BY(A)

(a) 書き込み消去特性

項目	略号	条件		MIN.	TYP.	MAX.	単位
動作周波数	f_x	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$		1.0		8.38	MHz
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$		1.0		5.0	MHz
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$		1.0		1.25	MHz
V_{PP} 電源電圧	V_{PP2}	フラッシュ・メモリ・プログラミング時		9.7	10.0	10.3	V
V_{DD} 電源電流 ^{注1}	I_{DD}	$V_{PP} = V_{PP2}$ 時	8.38 MHz水晶発振動作モード	$V_{DD} = 5.0 \text{ V} \pm 10\%$		24	mA
				$V_{DD} = 3.0 \text{ V} \pm 10\%$		17	mA
V_{PP} 電源電流	I_{PP}	$V_{PP} = V_{PP2}$ 時				100	mA
ステップ消去時間 ^{注2}	T_{er}			0.199	0.2	0.201	s
総消去時間 ^{注3}	T_{era}	ステップ消去時間 = 0.2 s				20	s/チップ
ライトバック時間 ^{注4}	T_{wb}			49.4	50	50.6	ms
1ライトバック・コマンドあたりのライトバック回数 ^{注5}	C_{wb}	ライトバック時間 = 50 ms				60	回
消去-ライトバック回数	C_{erwb}					16	回
ステップ書き込み時間 ^{注6}	T_{wr}			48	50	52	μs
1ワードあたりの総書き込み時間 ^{注7}	T_{rww}	ステップ書き込み時間 = $50 \mu\text{s}$ 設定 (1ワード = 1バイト)		48		520	μs
1チップあたりの書き換え回数 ^{注8}	C_{erwr}	消去1回 + 消去後の書き込み1回 = 書き換え回数1回とする				20	回/エリア

注1. AV_{DD} 電流およびポート電流 (内蔵プルアップ抵抗に流れる電流) は含まれません。

2. ステップ消去時間の推奨設定値 = 0.2 sです。

3. 消去前のプリライトおよび消去ベリファイ時間 (ライトバック時間) は、含まれません。

4. ライトバック時間の推奨設定値 = 50 msです。

5. ライトバック・コマンドの発行により、ライトバックは1回実行されます。したがってリトライ回数設定値は、本値よりコマンド発行回数をマイナスした値としてください。

6. ステップ書き込み時間の推奨設定値 = $50 \mu\text{s}$ です。

7. 実際の1ワードあたりの書き込み時間は、 $100 \mu\text{s}$ が加算されます。書き込み中および書き込み後の内部ベリファイ時間は含まれません。

8. 出荷品に対する初回書き込み時では、「消去→書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

例 P: 書き込み E: 消去

出荷品 →P→E→P→E→P: 書き換え回数3回

出荷品 →E→P→E→P→E→P: 書き換え回数3回

フラッシュ・メモリ・プログラミング特性 (3/3)

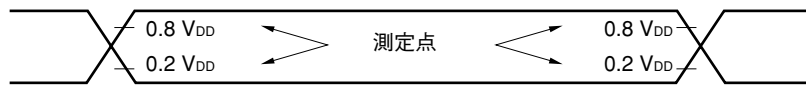
(T_A = +10~+40 °C, V_{DD} = AV_{DD} = 1.8~5.5 V, V_{SS} = AV_{SS} = 0 V)

(b) シリアル書き込みオペレーション特性

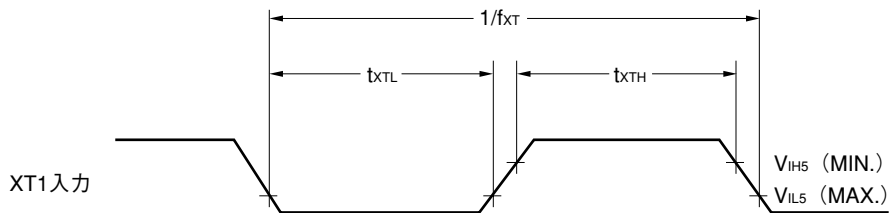
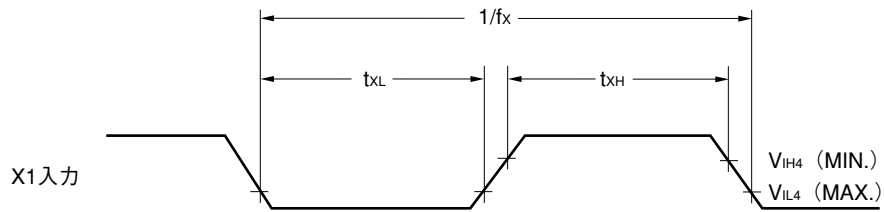
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
V _{DD} ↑ → V _{PP} ↑ セット時間	t _{DP}		10			μs
V _{PP} ↑ → RESET ↑ 解除時間	t _{PR}		1.0			μs
RESET ↑ → V _{PP} パルス入力開始時間	t _{RP}		1.0			μs
V _{PP} パルス・ハイ, ロウ・レベル幅	t _{PW}		8.0			μs
RESET ↑ → V _{PP} パルス入力終了時間	t _{RPE}				20	ms
V _{PP} パルス・ロウ・レベル入力電圧	V _{PP(L)}		0.8V _{DD}		1.2V _{DD}	V
V _{PP} パルス・ハイ・レベル入力電圧	V _{PP(H)}		9.7	10.0	10.3	V

タイミング・チャート

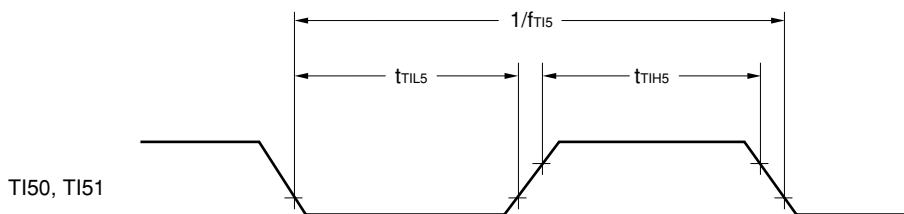
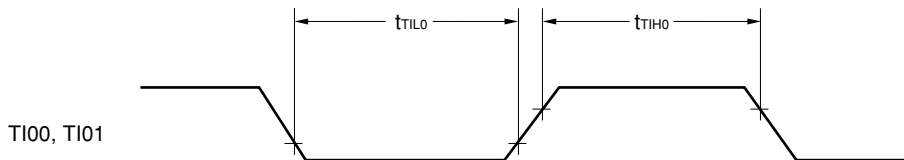
ACタイミング測定点 (X1, XT1入力を除く)



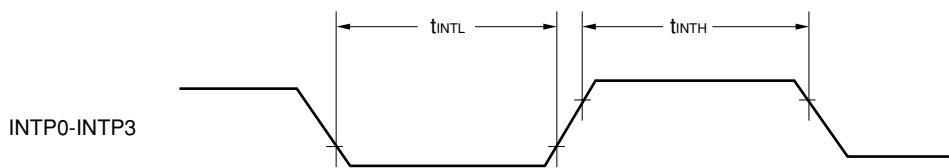
クロック・タイミング



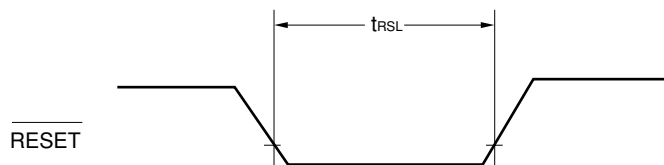
T1タイミング



割り込み要求入力タイミング

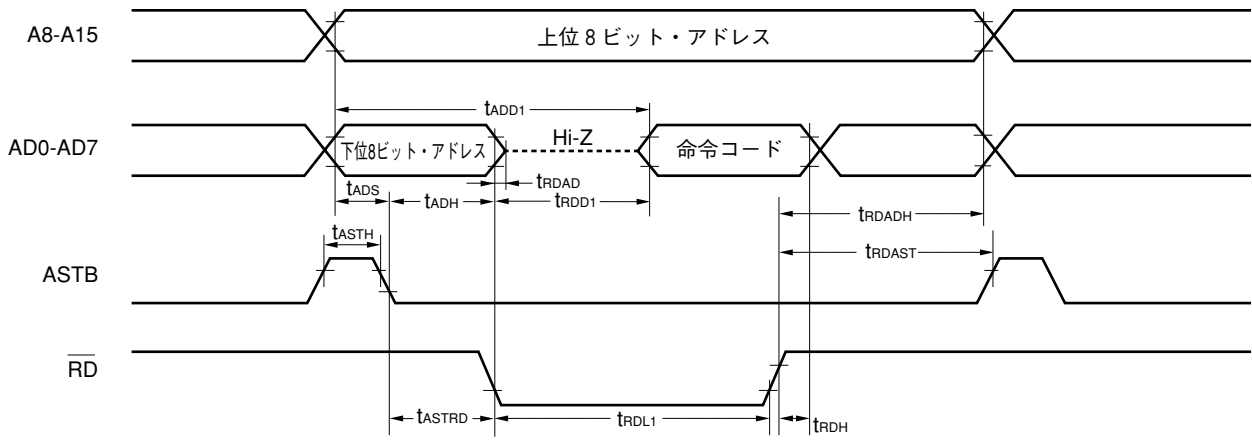


RESET入力タイミング

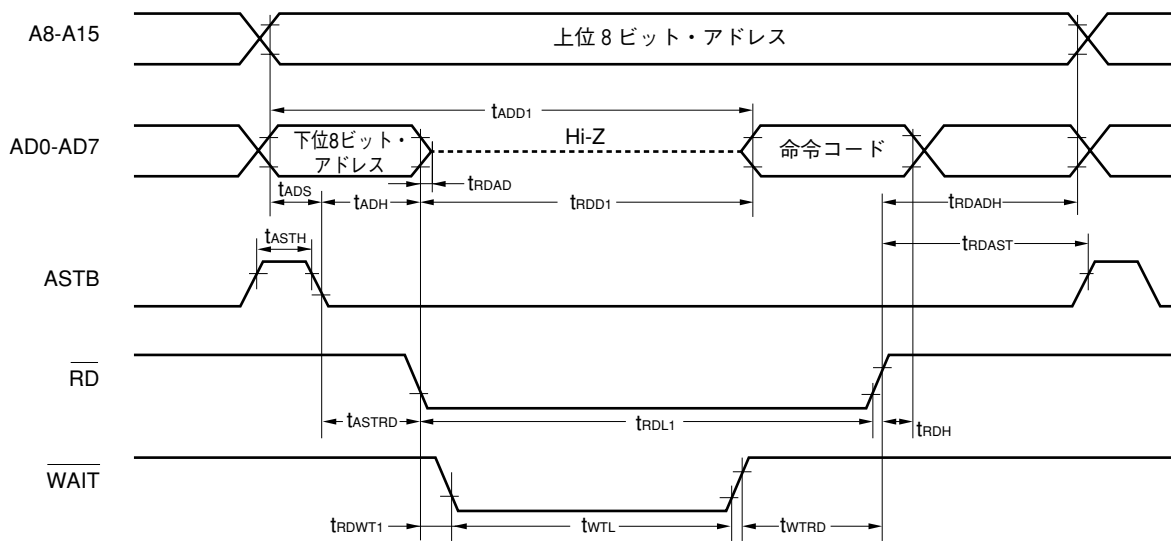


リード/ライト・オペレーション

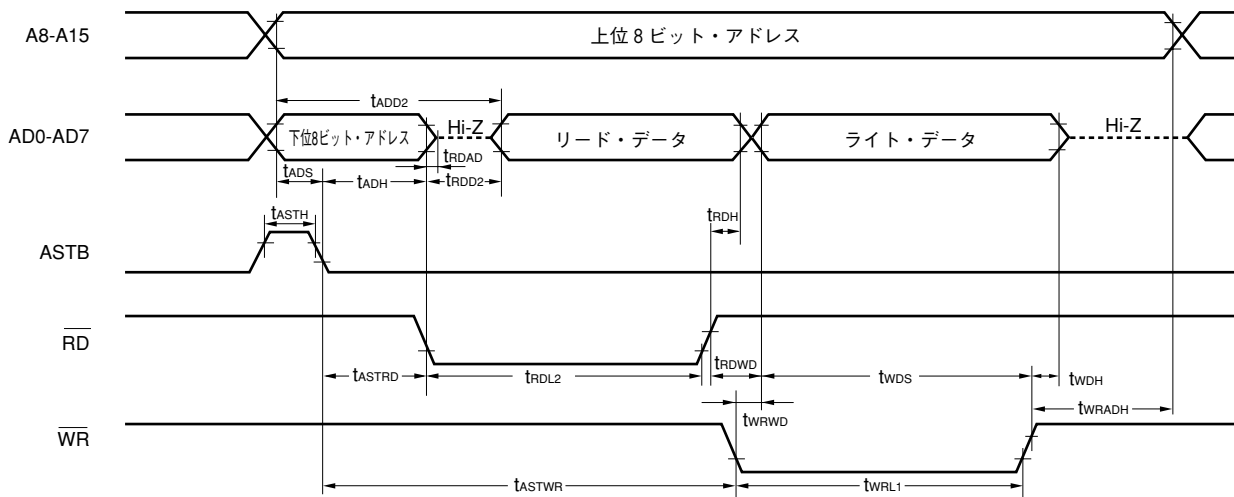
外部フェッチ (ノー・ウエイト時) :



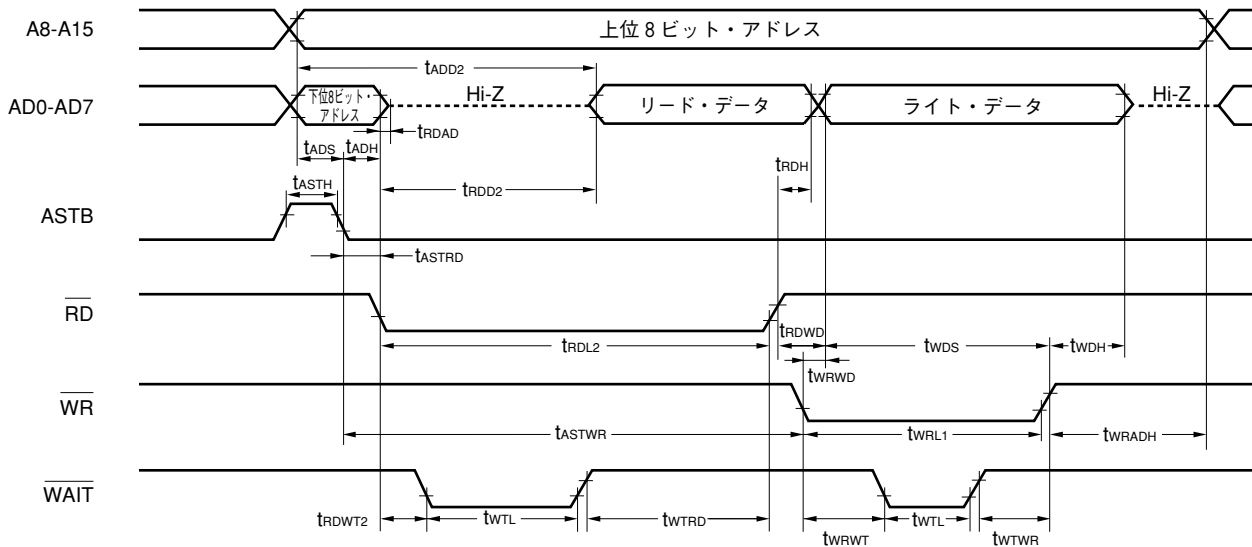
外部フェッチ (ウエイト挿入時) :



外部データ・アクセス (ノー・ウエイト時) :

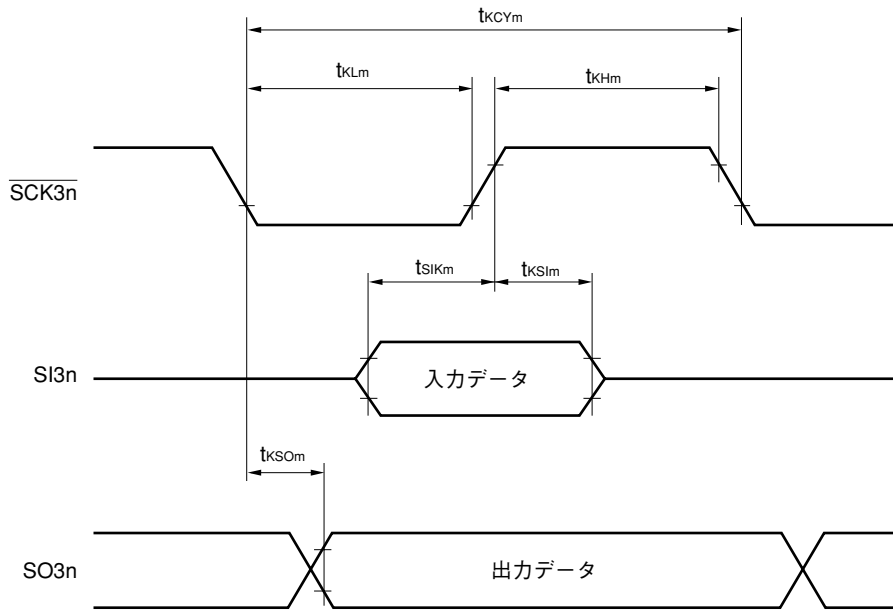


外部データ・アクセス (ウエイト挿入時) :



シリアル転送タイミング

3線式シリアルI/Oモード:

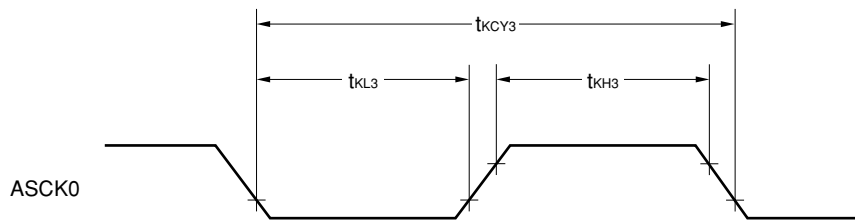


備考 1. $m = 1, 2$

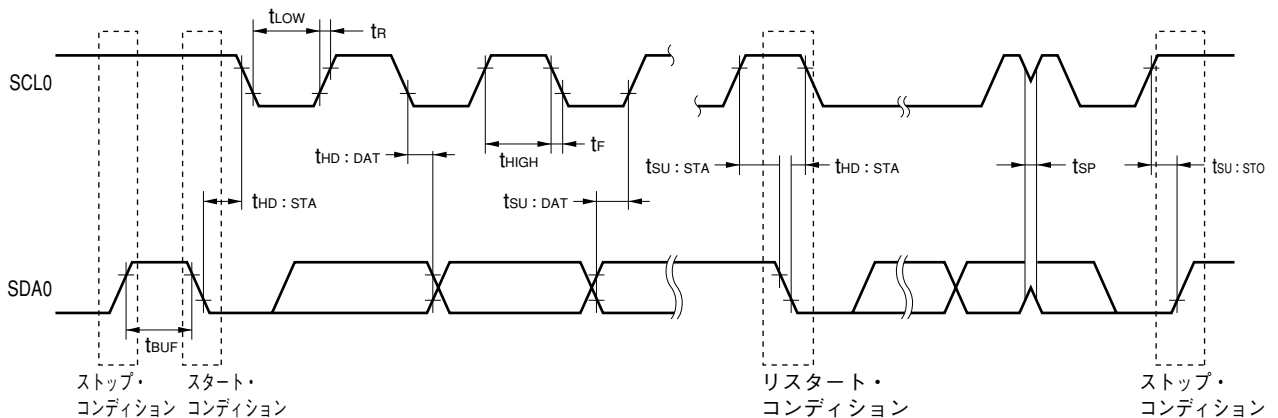
2. $\mu\text{PD780024A, 780034A}$ サブシリーズ : $n = 0, 1$

$\mu\text{PD780024AY, 780034AY}$ サブシリーズ : $n = 0$

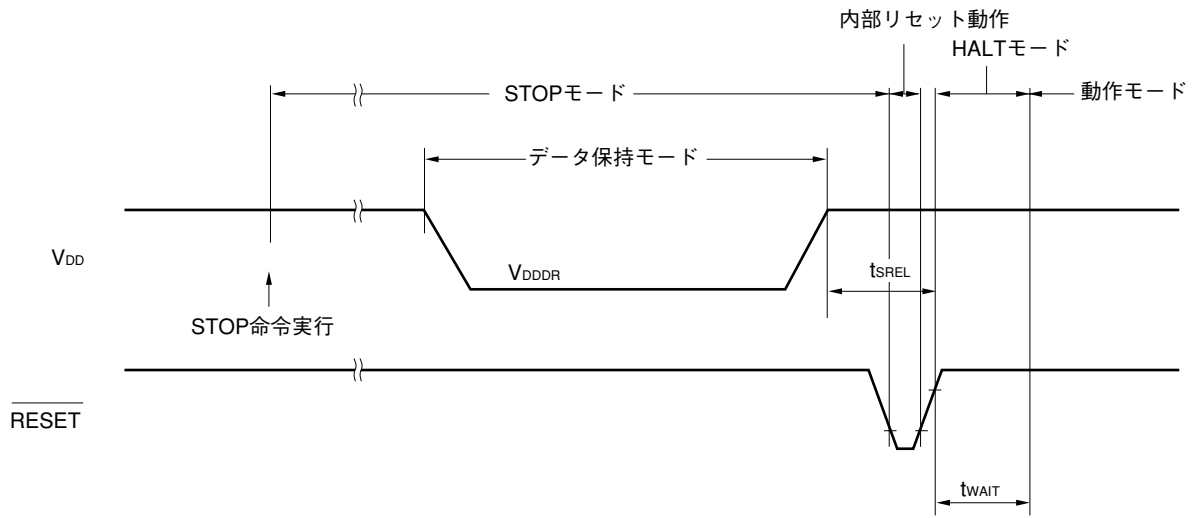
UARTモード (外部クロック入力):



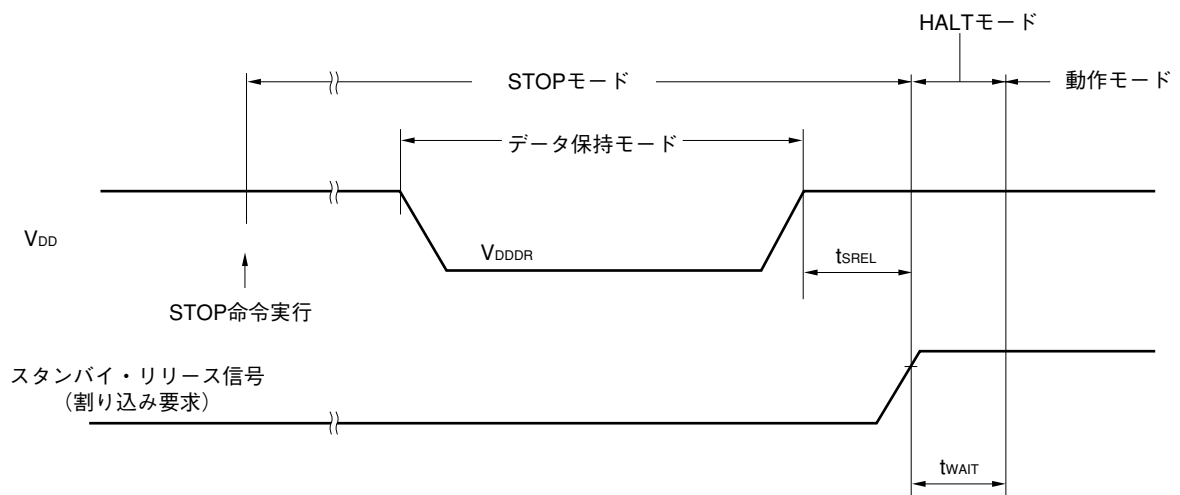
I²Cバス・モード ($\mu\text{PD780024AY, 780034AY}$ サブシリーズのみ):



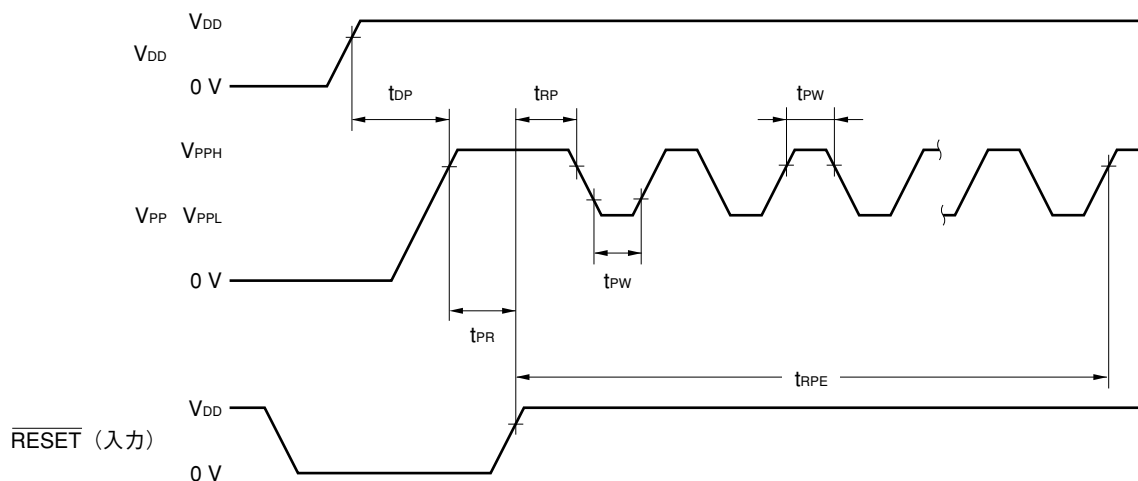
データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号: 割り込み要求信号によるSTOPモード解除)

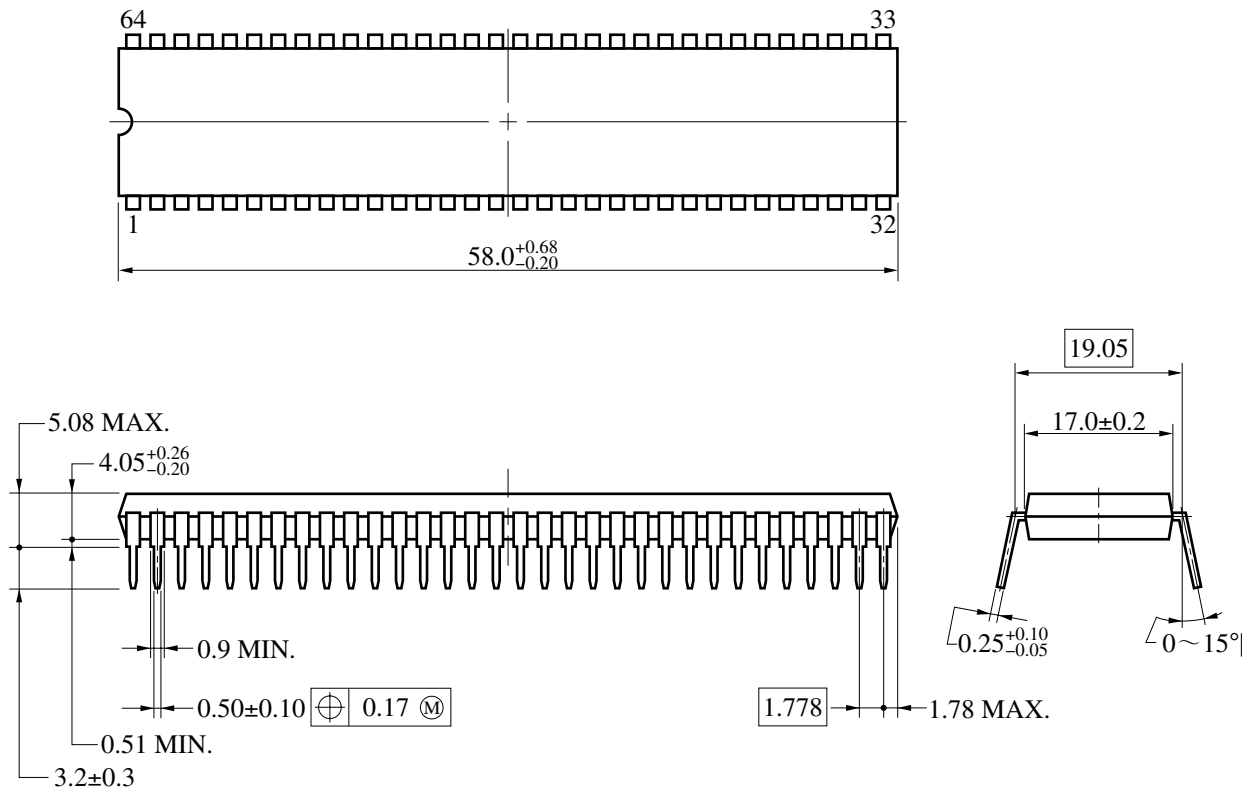


フラッシュ書き込みモード設定タイミング



第27章 外形図

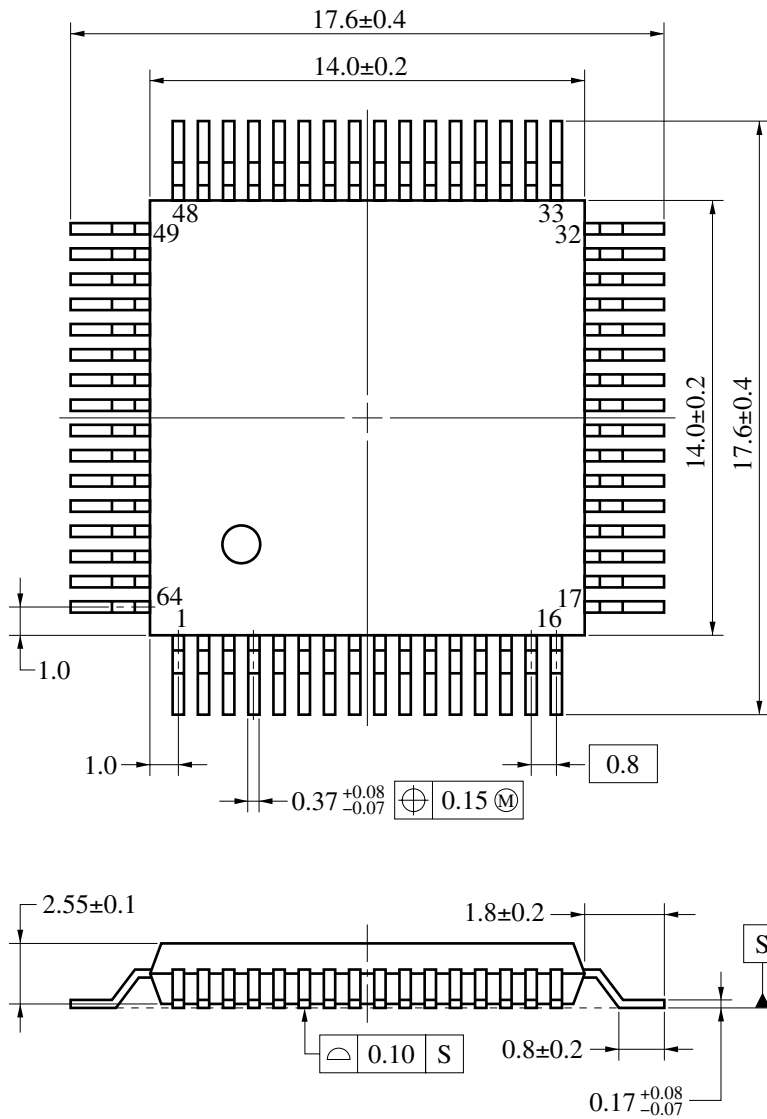
64ピン・プラスチック SDIP (19.05 mm (750)) 外形図 (単位 : mm)



P64C-70-750A,C-4

備考 ES品の外形や材質は、量産品と同じです。

64ピン・プラスチック QFP (14x14) 外形図 (単位: mm)

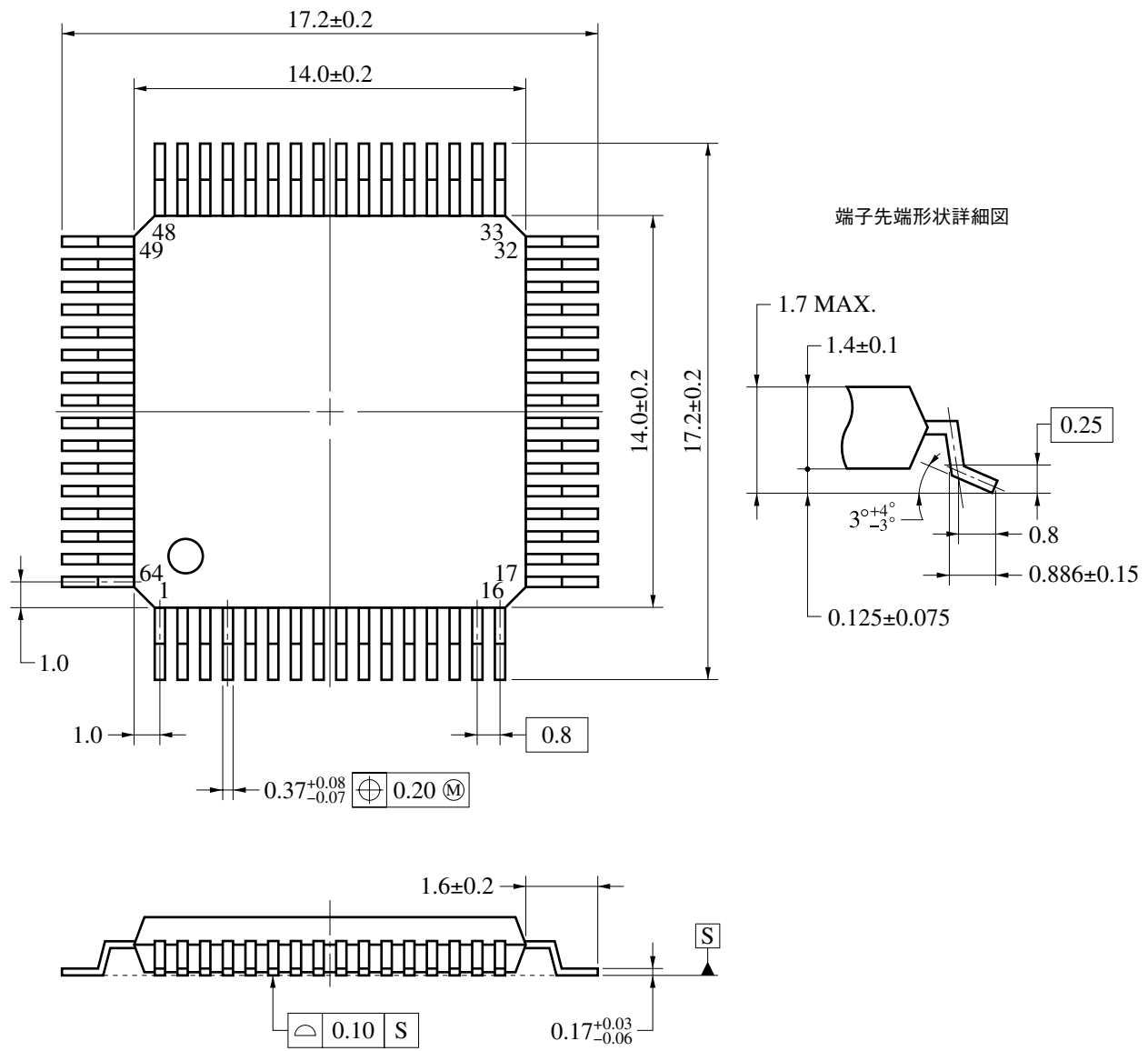


端子先端形状詳細図

P64GC-80-AB8-5

備考 ES品の外形や材質は、量産品と同じです。

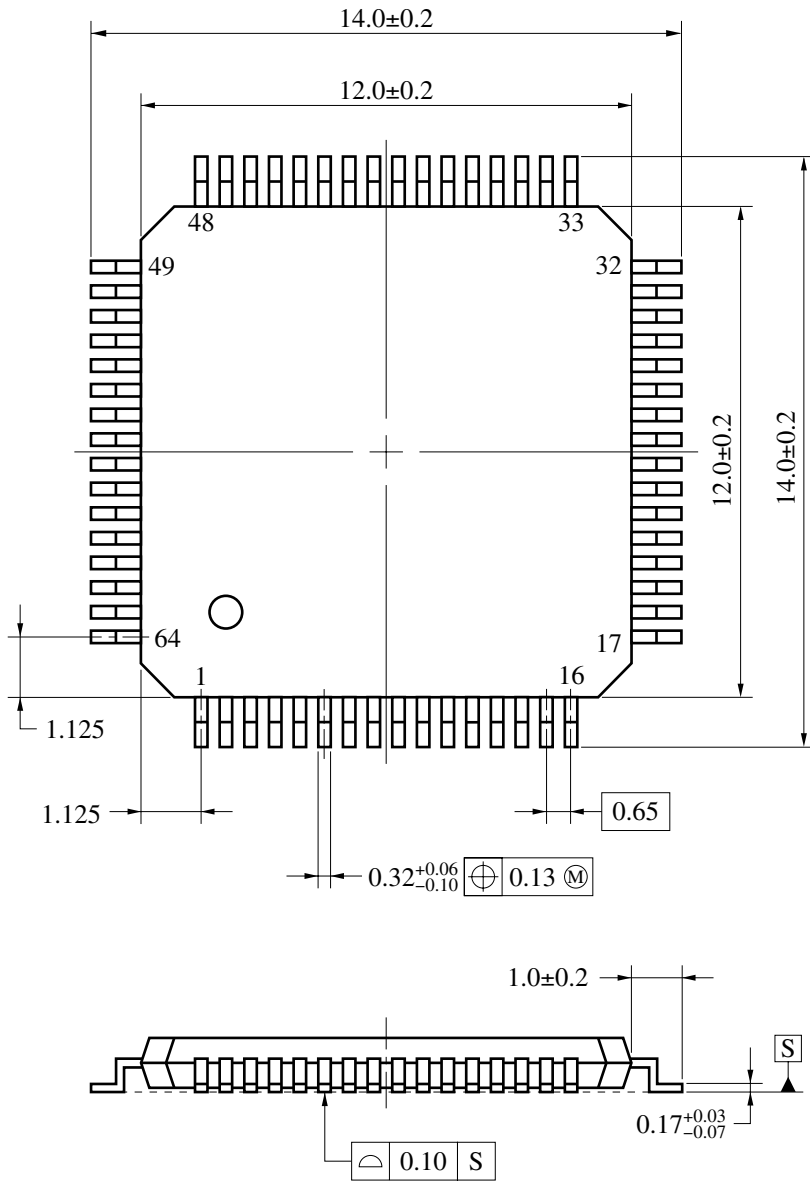
64ピン・プラスチック LQFP (14x14) 外形図 (単位: mm)



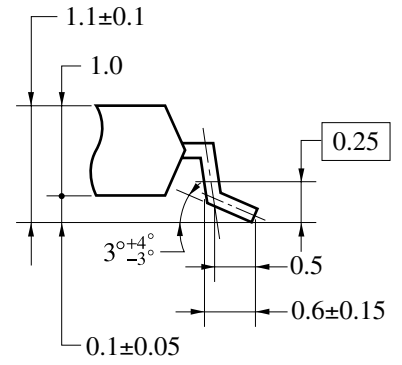
P64GC-80-8BS

備考 ES品の外形や材質は、量産品と同じです。

64ピン・プラスチック TQFP (12x12) 外形図 (単位: mm)



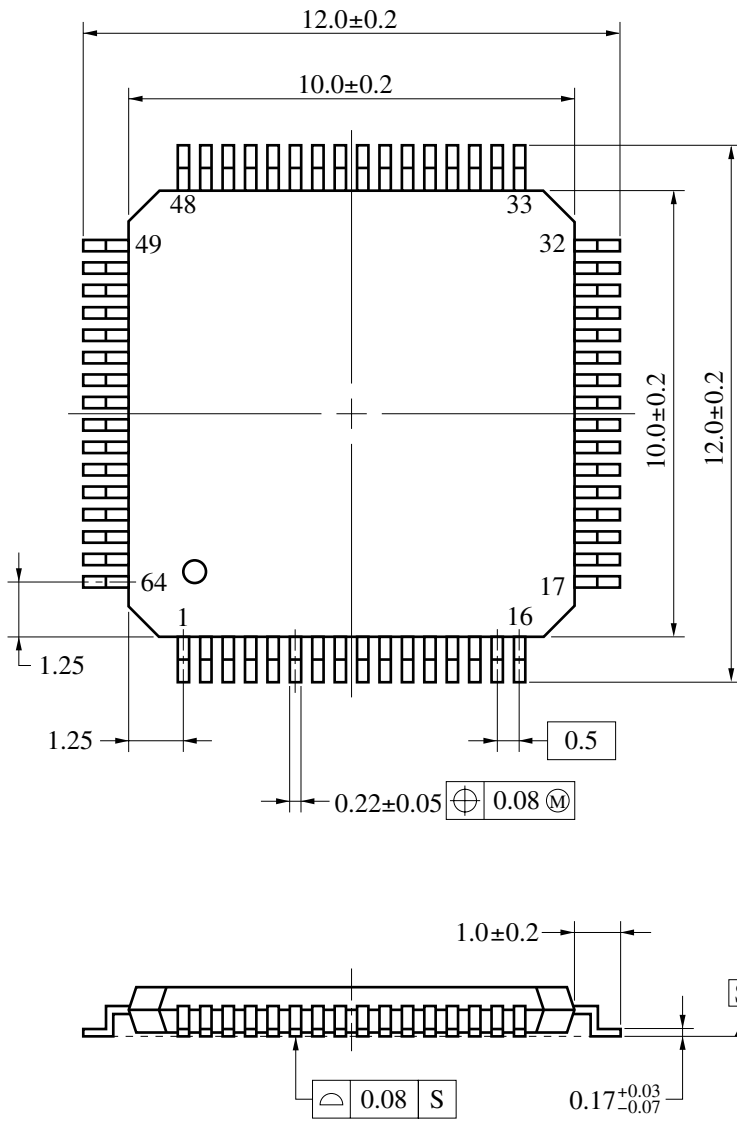
端子先端形状詳細図



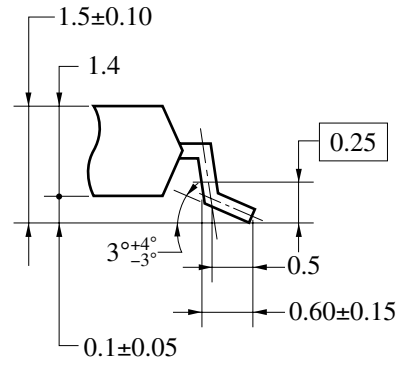
P64GK-65-9ET-3

備考 ES品の外形や材質は、量産品と同じです。

64ピン・プラスチック LQFP (10x10) 外形図 (単位: mm)



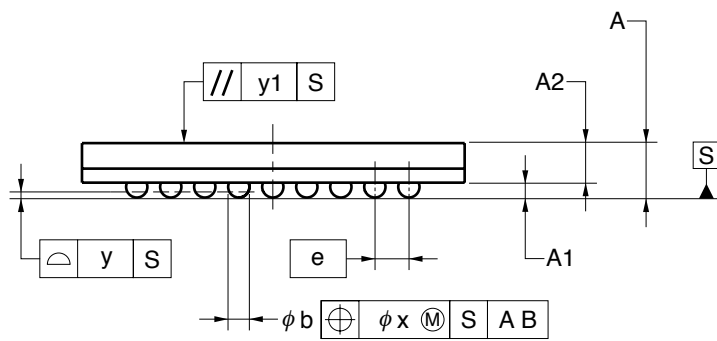
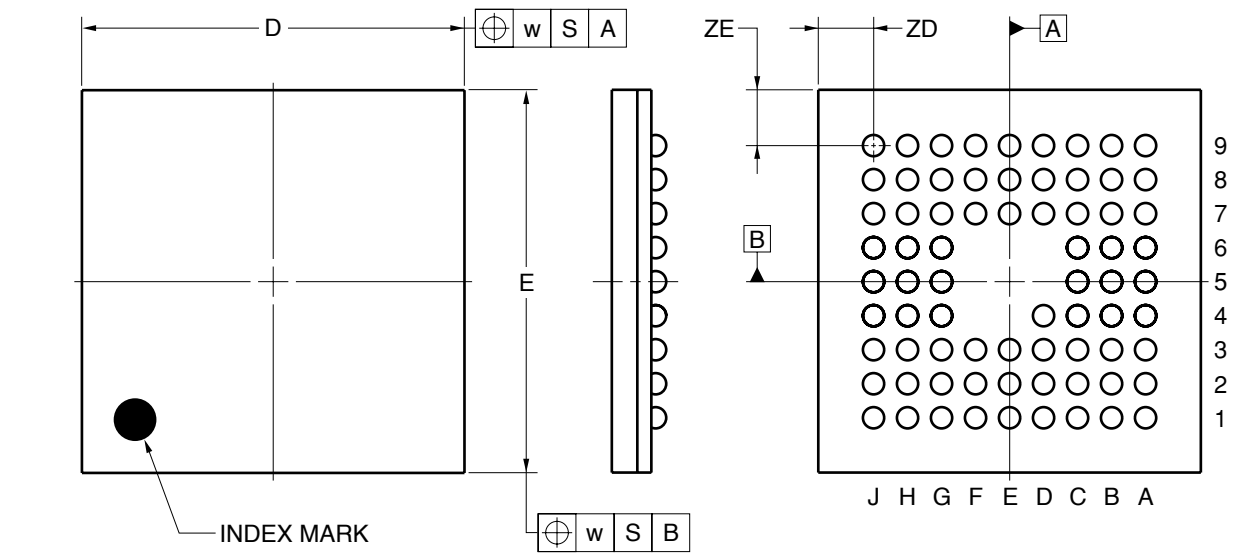
端子先端形状詳細図



S64GB-50-8EU-2

備考 ES品の外形や材質は、量産品と同じです。

73ピン・プラスチック FBGA (9x9) 外形図



(UNIT:mm)

ITEM	DIMENSIONS
D	9.00±0.10
E	9.00±0.10
w	0.20
A	1.28±0.10
A1	0.35±0.06
A2	0.93
e	0.80
b	0.50 ^{+0.05} _{-0.10}
x	0.08
y	0.10
y1	0.20
ZD	1.30
ZE	1.30

P73F1-80-CN3

備考 ES品の外形や材質は、量産品と同じです。

第28章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については、下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

注意 μ PD780021A(A), 780022A(A), 780023A(A), 780024A(A), 780031A(A), 780032A(A), 780033A(A), 780034A(A)の64ピン・プラスチックLQFP (GB-8EUタイプ) , および μ PD780021AY(A), 780022AY(A) (64ピン・プラスチックQFP (GC-AB8タイプ) を除く) , 780023AY(A), 780024AY(A), 780031AY(A), 780032AY(A), 780033AY(A), 780034AY(A)については、開発中のため、評価未了です。

表28-1 表面実装タイプの半田付け条件 (1/5)

(1) 64ピン・プラスチックQFP (14x14)

μ PD780021AGC- $\times\times\times$ -AB8, 780022AGC- $\times\times\times$ -AB8, 780023AGC- $\times\times\times$ -AB8,
 μ PD780024AGC- $\times\times\times$ -AB8, 780021AYGC- $\times\times\times$ -AB8, 780022AYGC- $\times\times\times$ -AB8,
 μ PD780023AYGC- $\times\times\times$ -AB8, 780024AYGC- $\times\times\times$ -AB8, 780031AGC- $\times\times\times$ -AB8,
 μ PD780032AGC- $\times\times\times$ -AB8, 780033AGC- $\times\times\times$ -AB8, 780034AGC- $\times\times\times$ -AB8,
 μ PD780031AYGC- $\times\times\times$ -AB8, 780032AYGC- $\times\times\times$ -AB8, 780033AYGC- $\times\times\times$ -AB8,
 μ PD780034AYGC- $\times\times\times$ -AB8, 780021AGC(A)- $\times\times\times$ -AB8, 780022AGC(A)- $\times\times\times$ -AB8,
 μ PD780023AGC(A)- $\times\times\times$ -AB8, 780024AGC(A)- $\times\times\times$ -AB8, 780022AYGC(A)- $\times\times\times$ -AB8,
 μ PD780031AGC(A)- $\times\times\times$ -AB8, 780032AGC(A)- $\times\times\times$ -AB8, 780033AGC(A)- $\times\times\times$ -AB8,
 μ PD780034AGC(A)- $\times\times\times$ -AB8

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：3回以内	IR35-00-3
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），回数：3回以内	VP15-00-3
ウェーブ・ソルダーリング	半田槽温度：260℃以下，時間：10秒以内，回数：1回 予備加熱温度：120℃ MAX. (パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	—

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

表28-1 表面実装タイプの半田付け条件 (2/5)

(2) 64ピン・プラスチックLQFP (14x14)

μ PD780021AGC- $\times\times\times$ -8BS, 780022AGC- $\times\times\times$ -8BS, 780023AGC- $\times\times\times$ -8BS,
 μ PD780024AGC- $\times\times\times$ -8BS, 780021AYGC- $\times\times\times$ -8BS, 780022AYGC- $\times\times\times$ -8BS,
 μ PD780023AYGC- $\times\times\times$ -8BS, 780024AYGC- $\times\times\times$ -8BS, 780031AGC- $\times\times\times$ -8BS,
 μ PD780032AGC- $\times\times\times$ -8BS, 780033AGC- $\times\times\times$ -8BS, 780034AGC- $\times\times\times$ -8BS,
 μ PD780031AYGC- $\times\times\times$ -8BS, 780032AYGC- $\times\times\times$ -8BS, 780033AYGC- $\times\times\times$ -8BS,
 μ PD780034AYGC- $\times\times\times$ -8BS, 780021AGC(A)- $\times\times\times$ -8BS, 780022AGC(A)- $\times\times\times$ -8BS,
 μ PD780023AGC(A)- $\times\times\times$ -8BS, 780024AGC(A)- $\times\times\times$ -8BS, 780031AGC(A)- $\times\times\times$ -8BS,
 μ PD780032AGC(A)- $\times\times\times$ -8BS, 780033AGC(A)- $\times\times\times$ -8BS, 780034AGC(A)- $\times\times\times$ -8BS,
 μ PD78F0034AGC-8BS, 78F0034AYGC-8BS, 78F0034BGC-8BS,
 μ PD78F0034BYGC-8BS, 78F0034BGC(A)-8BS, 78F0034BYGC(A)-8BS

64ピン・プラスチックQFP (14x14)

μ PD78F0034AGC-AB8^注, 78F0034AYGC-AB8

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：2回以内	IR35-00-2
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），回数：2回以内	VP15-00-2
ウエーブ・ソルダリング	半田槽温度：260℃以下，時間：10秒以内，回数：1回 予備加熱温度：120℃ MAX.（パッケージ表面温度）	WS60-00-1
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	—

注 保守品

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

表28-1 表面実装タイプの半田付け条件 (3/5)

(3) 64ピン・プラスチックTQFP (12x12)

μPD780021AGK-×××-9ET, 780022AGK-×××-9ET, 780023AGK-×××-9ET,
 μPD780024AGK-×××-9ET, 780021AYGK-×××-9ET, 780022AYGK-×××-9ET,
 μPD780023AYGK-×××-9ET, 780024AYGK-×××-9ET, 780031AGK-×××-9ET,
 μPD780032AGK-×××-9ET, 780033AGK-×××-9ET, 780034AGK-×××-9ET,
 μPD780031AYGK-×××-9ET, 780032AYGK-×××-9ET, 780033AYGK-×××-9ET,
 μPD780034AYGK-×××-9ET, 780021AGK(A)-×××-9ET, 780022AGK(A)-×××-9ET,
 μPD780023AGK(A)-×××-9ET, 780024AGK(A)-×××-9ET, 780031AGK(A)-×××-9ET,
 μPD780032AGK(A)-×××-9ET, 780033AGK(A)-×××-9ET, 780034AGK(A)-×××-9ET,
 μPD78F0034AGK-9ET, 78F0034AYGK-9ET, 78F0034BGK-9ET, 78F0034BYGK-9ET,
 μPD78F0034BGK(A)-9ET, 78F0034BYGK(A)-9ET

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：2回以内， 制限日数：7日間 ^注 （以降は125℃プリバーク10時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），回数：2回以内， 制限日数：7日間 ^注 （以降は125℃プリバーク10時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-107-2
ウエーブ・ソルダリング	半田槽温度：260℃以下，時間：10秒以内，回数：1回， 予備加熱温度：120℃ MAX.（パッケージ表面温度） 制限日数：7日間 ^注 （以降は125℃プリバーク 10時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装でのベーキングができません。	WS60-107-1
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	—

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

表28-1 表面実装タイプの半田付け条件 (4/5)

(4) 64ピン・プラスチックLQFP (10x10)

μPD780021AGB-×××-8EU, 780022AGB-×××-8EU, 780023AGB-×××-8EU,
 μPD780024AGB-×××-8EU, 780021AYGB-×××-8EU, 780022AYGB-×××-8EU,
 μPD780023AYGB-×××-8EU, 780024AYGB-×××-8EU, 780031AGB-×××-8EU,
 μPD780032AGB-×××-8EU, 780033AGB-×××-8EU, 780034AGB-×××-8EU,
 μPD780031AYGB-×××-8EU, 780032AYGB-×××-8EU, 780033AYGB-×××-8EU,
 μPD780034AYGB-×××-8EU

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：2回以内	IR35-00-2
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），回数：2回以内	VP15-00-2
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	—

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

(5) 64ピン・プラスチックLQFP (10x10)

μPD78F0034AGB-8EU, 78F0034AYGB-8EU, 78F0034BGB-8EU, 78F0034BYGB-8EU,
 μPD78F0034BGB(A)-8EU, 78F0034BYGB(A)-8EU

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：2回以内， 制限日数：7日間 ^注 （以降は125℃プリベーク10時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），回数：2回以内， 制限日数：7日間 ^注 （以降は125℃プリベーク10時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-107-2
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	—

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

表28-1 表面実装タイプの半田付け条件 (5/5)

(6) 73ピン・プラスチックFBGA (9x9)

μPD780021AF1-XXX-CN3, 780022AF1-XXX-CN3, 780023AF1-XXX-CN3,
 μPD780024AF1-XXX-CN3, 780021AYF1-XXX-CN3, 780022AYF1-XXX-CN3,
 μPD780023AYF1-XXX-CN3, 780024AYF1-XXX-CN3, 780031AF1-XXX-CN3,
 μPD780032AF1-XXX-CN3, 780033AF1-XXX-CN3, 780034AF1-XXX-CN3,
 μPD780031AYF1-XXX-CN3, 780032AYF1-XXX-CN3, 780033AYF1-XXX-CN3,
 μPD780034AF1-XXX-CN3, 78F0034BF1-CN3, 78F0034BYF1-CN3

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内， 制限日数：3日間 ^注 （以降は125℃プリバーク20時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は包装状態でのベーキング ができません。	IR60-203-3
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），回数：3回以内， 制限日数：3日間 ^注 （以降は125℃プリバーク20時間必要） 〈留意事項〉 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は包装状態でのベーキング ができません。	VP15-203-3

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください。

表28-2 挿入タイプの半田付け条件

64ピン・プラスチックSDIP (19.05mm (750))

μPD780021ACW-XXX, 780022ACW-XXX, 780023ACW-XXX, 780024ACW-XXX,
 μPD780021AYCW-XXX, 780022AYCW-XXX, 780023AYCW-XXX, 780024AYCW-XXX,
 μPD780031ACW-XXX, 780032ACW-XXX, 780033ACW-XXX, 780034ACW-XXX,
 μPD780031AYCW-XXX, 780032AYCW-XXX, 780033AYCW-XXX, 780034AYCW-XXX,
 μPD780021ACW(A)-XXX, 780022ACW(A)-XXX, 780023ACW(A)-XXX, 780024ACW(A)-XXX,
 μPD780031ACW(A)-XXX, 780032ACW(A)-XXX, 780033ACW(A)-XXX, 780034ACW(A)-XXX,
 μPD78F0034ACW, 78F0034AYCW

半田付け方式	半田付け条件
ウエーブ・ソルダーリング (端子のみ)	半田槽温度：260℃以下，時間：10秒以内
端子部分加熱	端子温度：300℃以下，時間：3秒以内（1端子当たり）

注意 ウエーブ・ソルダーリングは端子のみとし，噴流半田が直接本体に接触しないようにしてくだ
 さい。

付録A μ PD78018F, 780024A, 780034A, 780078サブシリーズ間の違い

μ PD78018F, 780024A, 780034A, 780078サブシリーズ間の主な違いを表A-1, A-2に示します。

表A-1 μ PD78018F, 780024A, 780034A, 780078サブシリーズ間の主な違い (ハードウェア)

項目		品名 μ PD78018Fサブシリーズ ^注	μ PD780024A, 780034Aサブシリーズ	μ PD780078サブシリーズ
EMIノイズ対策		なし	あり	
I ² Cバス内蔵製品 (Yサブシリーズ)		あり	あり (マルチマスタ対応)	
フラッシュ・メモリ製品		μ PD78F018F	μ PD78F0034A, 78F0034B	μ PD78F0078
ROM		8 K-60 Kバイト	8 K-32 Kバイト	48 K, 60 Kバイト
内部高速RAM		512, 1024バイト	512, 1024バイト	1024バイト
内部拡張RAM		512, 1024バイト	なし	1024バイト
最小命令実行時間		0.4 μ s (10 MHz)	0.24 μ s (8.38 MHz), 0.16 μ s (12 MHz, 拡張規格品のみ)	
I/Oポート数		53本	51本	52本
タイマ		16ビット:1, 8ビット:2, 時計用:1, ウォッチドッグ:1	16ビット:1, 8ビット:2, 時計用:1, ウォッチドッグ:1	16ビット:2, 8ビット:2 時計用:1, ウォッチドッグ:1
A/Dコンバータ		8ビット×8	<ul style="list-style-type: none"> • 8ビット×8 (μPD780024Aサブシリーズ) • 10ビット×8 (μPD780034Aサブシリーズ) 	10ビット×8
シリアル・インタフェース の動作モード	Yなしサブシリーズ	3線式/2線式/SBI:1, 3線式 (自動送受信):1	3線式:2, UART:1	3線式:1, UART:1, 3線式/UART:1
	Yサブシリーズ	3線式/2線式/I ² C:1, 3線式 (自動送受信):1	3線式:2, UART:1, マルチマスタI ² C:1	3線式:1, UART:1, 3線式/UART:1, マルチマスタI ² C:1
タイマ出力		3本 (14ビットPWM出力可能:2本)	3本 (8ビットPWM出力可能:2本)	4本 (8ビットPWM出力可能:2本)
パッケージ		<ul style="list-style-type: none"> • 64ピンSDIP (19.05 mm (750)) • 64ピンQFP (14x14) • 64ピンLQFP (12x12) 	<ul style="list-style-type: none"> • 64ピンSDIP (19.05 mm (750)) • 64ピンQFP (14x14) • 64ピンTQFP (12x12) • 64ピンLQFP (14x14) • 64ピンLQFP (10x10) • 73ピンFBGA (9x9) 	<ul style="list-style-type: none"> • 64ピンQFP (14x14) • 64ピンTQFP (12x12) • 64ピンLQFP (14x14)
デバイス・ファイル		DF78014	DF780034	DF780078
エミュレーション・ボード		IE-78014-R-EM-A, IE-78018-NS-EM1	IE-780034-NS-EM1	IE-780078-NS-EM1
電气的特性 半田付け推奨条件		個別のデータ・シートまたはユーザーズ・マニュアル (電气的特性付き)を参照してください。		

注 保守品

表A-2 μ PD78018F, 780024A, 780034A, 780078サブシリーズ間の主な違い（ソフトウェア）（1/2）

項目	品名 μ PD78018Fサブシリーズ ^{注1}	μ PD780024A, 780034Aサブ シリーズ	μ PD780078サブシリーズ	
A/Dコンバータ	—	A/D変換動作スタート（ADCS0をセット（1））直後の最初のA/D変換結果は、定格を満たさないことがあるので、廃棄するなどの対策を行ってください。	ただしADCE0をセット（1）後、14 μ s（MIN.）のウエイト時間を確保してから動作開始（ADCS0をセット（1））した場合は、最初のデータから使用可能です。	
16ビット・タイマ/イベント・カウンタ	1ch ----- TMO	1ch ----- TMO	2ch ----- TMO0	----- TMO1
インターバル・タイマ	○	○	○	
PWM出力	○	—	—	
PPG出力	—	○	○	
パルス幅測定	○	○	○	
外部イベント・カウンタ	○	○	○	
方形波出力	○	○	○	
カウント・クロック	$f_x/2, f_x/2^2, f_x/2^3, T10$	$f_x, f_x/2^2, f_x/2^3, T100$	$f_x, f_x/2^2,$ $f_x/2^3, T1000$	$f_x/2, f_x/2^3$ $f_x/2^3, T1001$
コントロール・レジスタ	TMC0	TMC0	TMC00	TMC01
出力コントロール・レジスタ	TOC0	TOC0	TOC00	TOC01
コンペア/キャプチャ・レジスタ	CR00, CR01（キャプチャのみ）	CR00, CR01	CR000, CR010	CR001, CR011
プリスケアラ・モード・レジスタ	TCL0 ^{注2}	PRM0	PRM00	PRM01
キャプチャ/コンペア・コントロール・レジスタ	—	CRC0	CRC00	CRC01
割り込み	INTTMO	INTTMO0, INTTMO1	INTTMO00, INTTMO10	INTTMO01, INTTMO11

注1. 保守品

2. TCL0: タイマ・クロック選択レジスタ 0

表A-2 μPD78018F, 780024A, 780034A, 780078サブシリーズ間の主な違い (ソフトウェア) (2/2)

項目	品名	μPD78018Fサブシリーズ ^注	μPD780024A, 780034Aサブシリーズ	μPD780078サブシリーズ
8ビット・タイマ/イベント・カウンタ		2ch		2ch
		TM1	TM2	TM50
単位モード				
インターバル・タイマ		○	○	○
外部イベント・カウンタ		○	○	○
方形波出力		○	○	○
PWM出力		—	○	○
カスケード接続モード				
インターバル・タイマ		○	○	○
外部イベント・カウンタ		○	○	○
方形波出力		○	○	○
カウント・クロック		$fx/2^2, fx/2^3,$ $fx/2^4, fx/2^5,$ $fx/2^6, fx/2^7,$ $fx/2^8, fx/2^9,$ $fx/2^{10}, fx/2^{12},$ TI1	$fx/2^2, fx/2^3,$ $fx/2^4, fx/2^5,$ $fx/2^6, fx/2^7,$ $fx/2^8, fx/2^9,$ $fx/2^{10}, fx/2^{12},$ TI2	$fx, fx/2^2, fx/2^4, fx/2^6, fx/2^8, fx/2^{10},$ TI50 $fx/2, fx/2^3, fx/2^5, fx/2^7, fx/2^9,$ $fx/2^{11},$ TI51
コントロール・レジスタ	TMC1	TMC50	TMC51	
出力コントロール・レジスタ	TOC1	TMC50	TMC51	
クロック選択レジスタ	TCL1	TCL50	TCL51	
割り込み	INTTM1	INTTM2	INTTM50	INTTM51

注 保守品

付録B 開発ツール

μPD780024A, 780034A, 780024AY, 780034AYサブシリーズを使用するシステム開発のために次のような開発ツールを用意しています。

図B-1に開発ツール構成を示します。

●PC98-NXシリーズへの対応について

特に断りのないかぎり、IBM PC/AT™互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

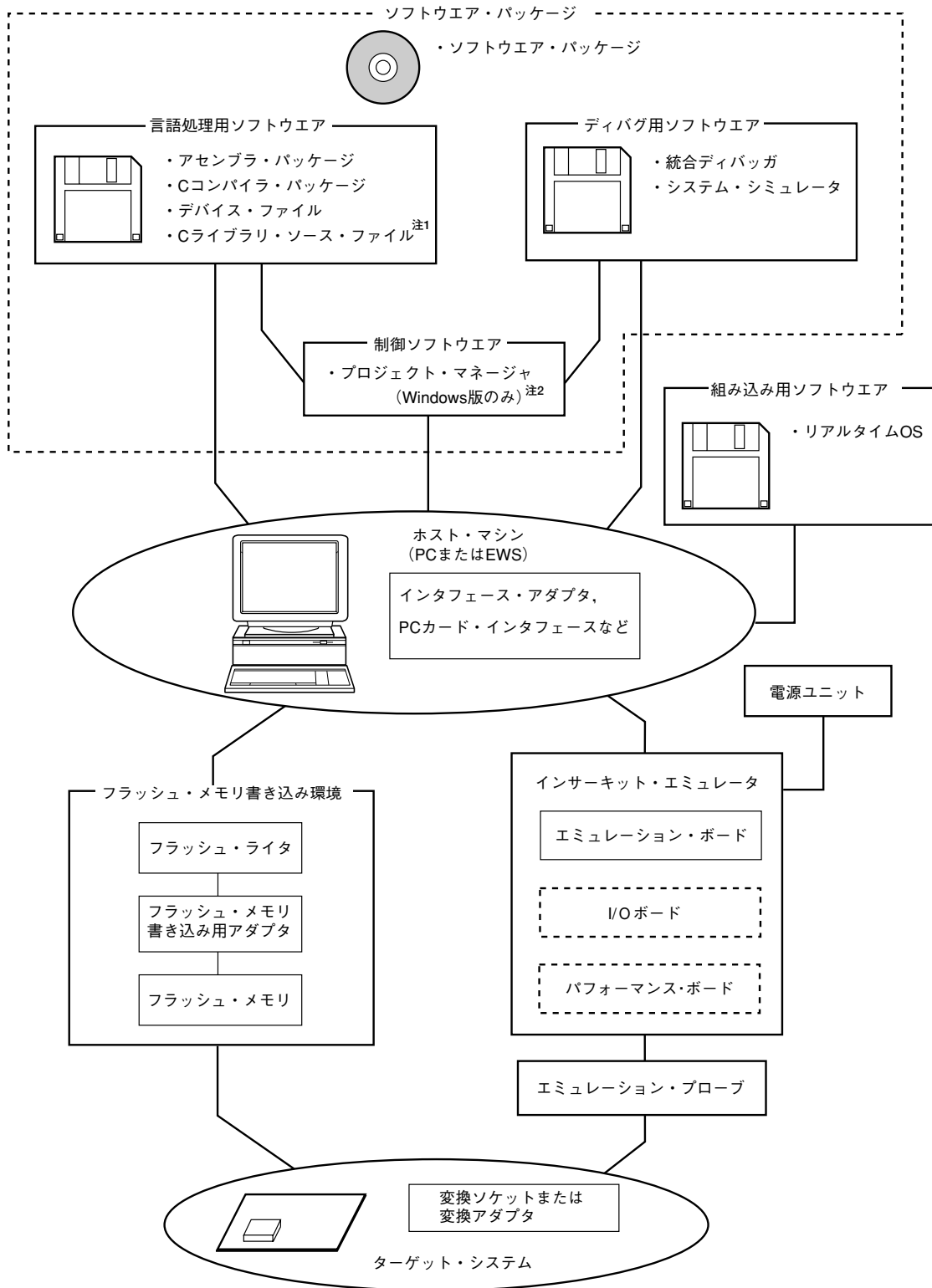
●Windows®について

特に断りのないかぎり、「Windows」は次のOSを示しています。

- Windows 3.1
- Windows 95
- Windows 98
- Windows 2000
- ★ • Windows XP
- WinsowNT® Ver. 4.0

図B-1 開発ツール構成 (1/2)

(1) インサーキット・エミュレータ IE-78K0-NS, IE-78K0-NS-Aを使用する場合



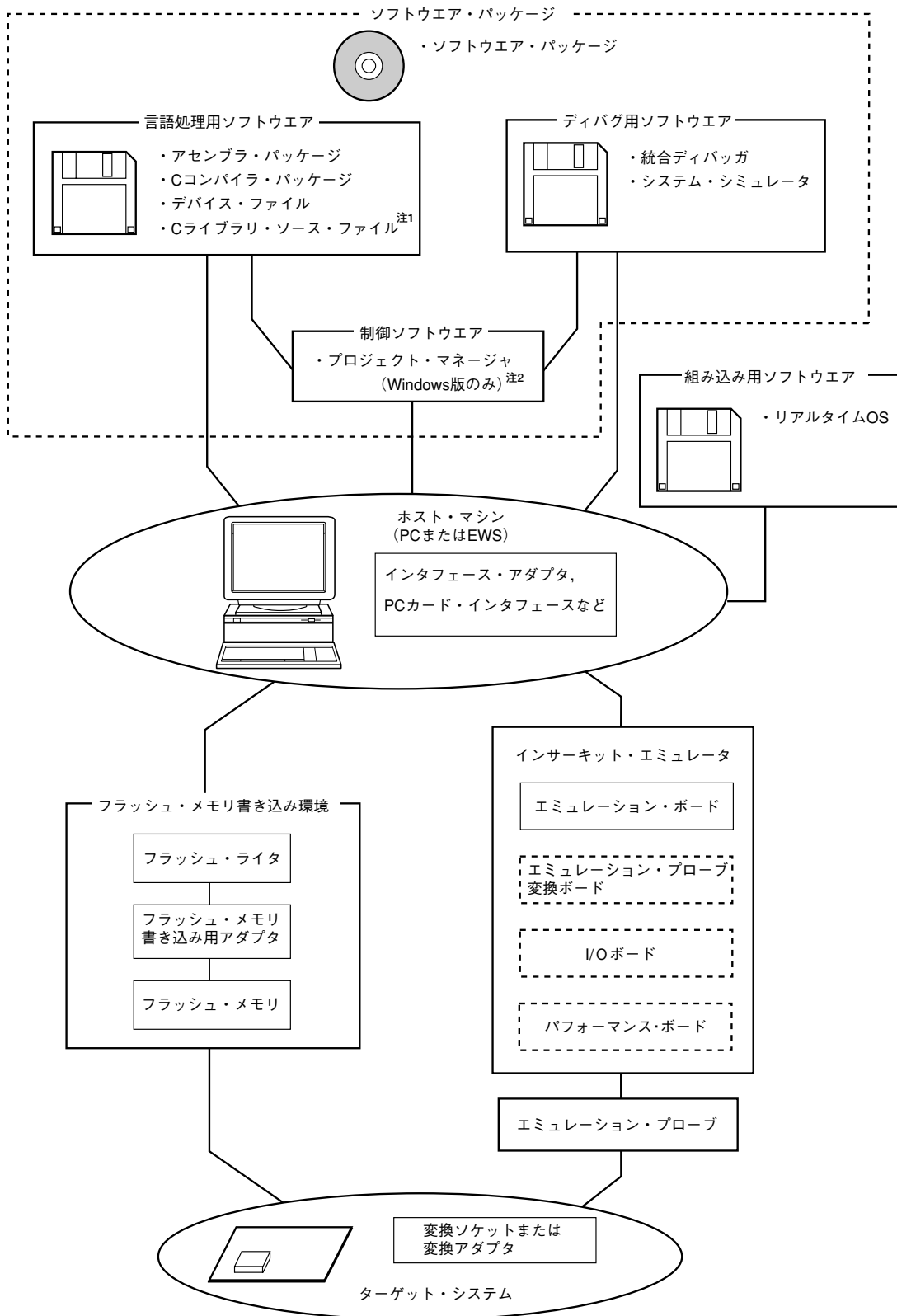
注1. Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

2. プロジェクト・マネージャは、アセンブラ・パッケージに入っています。

また、Windows以外ではプロジェクト・マネージャは使用しません。

図B-1 開発ツール構成 (2/2)

(2) インサーキット・エミュレータ IE-78001-R-Aを使用する場合



注1. Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

2. プロジェクト・マネージャは、アセンブラ・パッケージに入っています。

また、Windows以外ではプロジェクト・マネージャは使用しません。

B.1 ソフトウェア・パッケージ

SP78K0 ソフトウェア・パッケージ	78K0シリーズ開発用の各種ソフトウェア・ツールを1つにパッケージングしたものです。 以下のツールが入っています。 RA78K0, CC78K0, ID78K0-NS, SM78K0, デバイス・ファイル各種
オーダ名称: μ SXXXXSP78K0	

備考 オーダ名称のXXXXは、使用するOSにより異なります。

μ SXXXXSP78K0

XXXX	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

B.2 言語処理用ソフトウェア

RA78K0 アセンブラ・パッケージ	ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。 別売のデバイス・ファイル（DF780024またはDF780034）と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。 オーダ名称: μ SXXXXRA78K0
CC78K0 Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。 オーダ名称: μ SXXXXCC78K0
DF780024 ^{注1} DF780034 ^{注1} デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売の各ツール（RA78K0, CC78K0, SM78K0, ID78K0-NS, RX78K0）と組み合わせて使用します。対応OS、ホスト・マシンは組み合わせられる各ツールに依存します。 ・DF780024: μ PD780024A, 780024AY, 780024ASサブシリーズ用 ・DF780034: μ PD780034A, 780034AY, 780034ASサブシリーズ用 オーダ名称: μ SXXXXDF780024, μ SXXXXDF780034
CC78K0-L ^{注2} Cライブラリ・ソース・ファイル	Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。 Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合には必要です。ソース・ファイルのため、動作環境はOSに依存しません。 オーダ名称: μ SXXXXCC78K0-L

注1. DF780024, DF780034は、RA78K0, CC78K0, SM78K0, ID78K0-NS, RX78K0のすべての製品に共通に使用できます。

2. CC78K0-Lは、ソフトウェア・パッケージ（SP78K0）には含まれていません。

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××RA78K0
μS××××CC78K0

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ,	日本語Windows	3.5インチ2HD FD
BB13	IBM PC/AT互換機	英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700™	HP-UJ™ (Rel.10.10)	
3K17	SPARCstation™	SunOS™ (Rel. 4.1.4) , Solaris™ (Rel. 2.5.1)	

μS××××DF780024
μS××××DF780034
μS××××CC78K0-L

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ,	日本語Windows	3.5インチ2HD FD
BB13	IBM PC/AT互換機	英語Windows	
3P16	HP9000シリーズ700	HP-UJ (Rel.10.10)	DAT
3K13	SPARCstation	SunOS (Rel. 4.1.4) ,	3.5インチ2HD FD
3K15		Solaris (Rel. 2.5.1)	1/4インチCGMT

B.3 制御ソフトウェア

プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。プロジェクト・マネージャ上から、エディタの起動、ビルド、ディバッガの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> プロジェクト・マネージャはアセンブラ・パッケージ (RA78K0) の中に入っています。 Windows以外の環境では使用できません。
--------------	---

B.4 フラッシュ・メモリ書き込み用ツール

Flashpro III (型番 FL-PR3, PG-FP3) Flashpro IV (型番 FL-PR4, PG-FP4) フラッシュ・ライター	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライターです。
FA-64CW FA-64GC-8BS-A FA-64GC FA-64GK-9ET FA-64GB-8EU-A FA-73F1-CN3-A フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。Flashpro III, Flashpro IVに接続して使用します。 ・FA-64CW : 64ピン・プラスチックSDIP (CWタイプ) 用 ・FA-64GC-8BS-A : 64ピン・プラスチックLQFP (GC-8BSタイプ) 用 ・FA-64GC : 64ピン・プラスチックQFP (GC-AB8タイプ) 用 ・FA-64GK-9ET : 64ピン・プラスチックTQFP (GK-9ETタイプ) 用 ・FA-64GB-8EU-A : 64ピン・プラスチックLQFP (GB-8EUタイプ) 用 ・FA-73F1-CN3-A : 73ピン・プラスチックFBGA (F1-CN3タイプ) 用

備考 FL-PR3, FL-PR4, FA-64CW, FA-64GC-8BS-A, FA-64GC, FA-64GK-9ET, FA-64GB-8EU-A, FA-73F1-CN3-Aは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

B.5 デバッグ用ツール（ハードウェア）

B.5.1 インサーキット・エミュレータ IE-78K0-NS, IE-78K0-NS-Aを使用する場合

(1/2)

IE-78K0-NS インサーキット・エミュレータ	78K/0シリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合ディバッガ（ID78K0-NS）に対応しています。電源ユニット、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-78K0-NS-PA パフォーマンス・ボード	IE-78K0-NSの機能を拡張するためのボードです。IE-78K0-NSに接続して使用します。このボードを追加することにより、カバレッジ機能が追加され、トレーサ機能、タイマ機能が強化されるなど、デバッグ機能がより強化されます。
IE-78K0-NS-A インサーキット・エミュレータ	IE-78K0-NSとIE-78K0-NS-PAを組み合わせたもの
IE-70000-MC-PS-B 電源ユニット	AC100～240 Vのコンセントから電源を供給するためのアダプタです。
IE-70000-98-IF-C インタフェース・アダプタ	ホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときに必要なアダプタです（Cバス対応）。
IE-70000-CD-IF-A PCカード・インタフェース	ホスト・マシンとしてのノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブルです（PCMCIAソケット対応）。
IE-70000-PC-IF-C インタフェース・アダプタ	ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです（ISAバス対応）。
IE-70000-PCI-IF-A インタフェース・アダプタ	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。
IE-780034-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。インサーキット・エミュレータと組み合わせて使用します。

NP-64CW NP-H64CW エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。 64ピン・プラスチックSDIP (CWタイプ) 用です。
NP-64GC エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。 64ピン・プラスチックQFP (GC-AB8タイプ)、64ピン・プラスチックLQFP (GC-8BSタイプ) 用です。
EV-9200GC-64 変換ソケット (図B-2, 図B-3参照)	64ピン・プラスチックQFP (GC-AB8タイプ)、64ピン・プラスチックLQFP (GC-8BSタイプ) を実装できるように作られたターゲット・システムの基板と、NP-64GCを接続するための変換ソケットです。
NP-64GC-TQ NP-H64GC-TQ エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。 64ピン・プラスチックQFP (GC-AB8タイプ)、64ピン・プラスチックLQFP (GC-8BSタイプ) 用です。
TGC-064SAP 変換アダプタ (図B-4参照)	64ピン・プラスチックQFP (GC-AB8タイプ)、64ピン・プラスチックLQFP (GC-8BSタイプ) を実装できるように作られたターゲット・システムの基板と、NP-64GC-TQまたはNP-H64GC-TQを接続するための変換アダプタです。
NP-64GK NP-H64GK-TQ エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。 64ピン・プラスチックTQFP (GK-9ETタイプ) 用です。
TGK-064SBW 変換アダプタ (図B-5参照)	64ピン・プラスチックTQFP (GK-9ETタイプ) を実装できるように作られたターゲット・システムの基板と、NP-64GKまたはNP-H64GK-TQを接続するための変換アダプタです。
NP-H64GB-TQ エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。64ピン・プラスチックLQFP (GB-8EUタイプ) 用です。
TGB-064SDP 変換アダプタ (図B-6参照)	64ピン・プラスチックLQFP (GB-8EUタイプ) を実装できるように作られたターゲット・システムの基板と、NP-H64GB-TQを接続するための変換アダプタです。
NP-73F1-CN3 エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。73ピン・プラスチックFBGA (F1-CN3タイプ) 用です。
CSICE73A0909N01, LSPACK73A0909N01, CSSOCKET73A0909N01 変換ソケット	73ピン・プラスチックFBGA (F1-CN3タイプ) を実装できるように作られたターゲット・システム基板と、NP-73F1-CN3を接続するための変換ソケットです。 ・CSICE73A0909N01 : YQSOCKET/LSPACK変換アダプタ ・LSPACK73A0909N01 : ターゲット接続用ソケット ・CSSOCKET73A0909N01 : エミュレータ接続用ソケット

備考1. NP-64CW, NP-H64CW, NP-64GC, NP-64GC-TQ, NP-H64GC-TQ, NP-64GK, NP-H64GK-TQ, NP-H64GB-TQ, NP-73F1-CN3は、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

2. TGC-064SAP, TGK-064SBW, TGB-064SDP, CSICE73A0909N01, LSPACK73A0909N01, CSSOCKET73A0909N01は、東京エレクトック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部 (TEL (03) 3820-7112)

大阪電子部 (TEL (06) 6244-6672)

3. EV-9200GC-64は、5個を1組として、1組単位で販売しています。

4. TGK-064SBW, TGC-064SAPは、1個単位で販売しています。

5. エミュレーション・プローブ (NP-73F1-CN3) には、変換ソケット (CSICE73A0909N01, LSPACK73A0909N01, CSSOCKET73A0909N01) が添付されます。

B.5.2 インサーキット・エミュレータ IE-78001-R-Aを使用する場合

IE-78001-R-A インサーキット・エミュレータ	78K0シリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのインサーキット・エミュレータです。統合ディバガ (ID78K0) に対応しています。エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-70000-98-IF-C インタフェース・アダプタ	ホスト・マシンとしてPC-9800シリーズ (ノート型パソコンを除く) を使用するときに必要なアダプタです (Cバス対応)。
IE-70000-PC-IF-C インタフェース・アダプタ	ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです (ISAバス対応)。
IE-70000-PCI-IF-A インタフェース・アダプタ	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。
IE-780034-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。インサーキット・エミュレータ、エミュレーション・プローブ変換ボードと組み合わせて使用します。
IE-78K0-R-EX1 エミュレーション・プローブ変換ボード	IE-780034-NS-EM1をIE-78001-R-A上で使用するときに必要なボードです。
EP-78240CW-R ^注 エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。64ピン・プラスチックSDIP (CWタイプ) 用です。
EP-78240GC-R ^注 エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。64ピン・プラスチックQFP (GC-AB8タイプ)、64ピン・プラスチックLQFP (GC-8BSタイプ) 用です。
EV-9200GC-64 変換ソケット (図B-2, 図B-3) 参照	64ピン・プラスチックQFP (GC-AB8タイプ)、64ピン・プラスチックLQFP (GC-8BSタイプ) を実装できるように作られたターゲット・システムの基板と、EP-78240GC-Rを接続するための変換ソケットです。
EP-78012GK-R エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。64ピン・プラスチックTQFP (GK-9ETタイプ) 用です。
TGK-064SBW 変換アダプタ (図B-5参照)	64ピン・プラスチックTQFP (GK-9ETタイプ) を実装できるように作られたターゲット・システムの基板と、EP-78012GK-Rを接続するための変換アダプタです。

注 保守品

注意 64ピン・プラスチックLQFP (GB-8EUタイプ)、73ピン・プラスチックFBGA (F1-CN3タイプ) については、IE-78001-R-Aをサポートしていません。

備考1. TGK-064SBWは、東京エレクトック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部 (TEL (03) 3820-7112)

大阪電子部 (TEL (06) 6244-6672)

2. EV-9200GC-64は、5個を1組として、1組単位で販売しています。

3. TGK-064SBWは、1個単位で販売しています。

B.6 デバッグ用ツール (ソフトウェア)

SM78K0 システム・シミュレータ	78K0シリーズ用のシステム・シミュレータです。SM78K0は、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。 SM78K0を使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 別売のデバイス・ファイル (DF780024またはDF780034) と組み合わせて使用します。 オーダ名称: μ SXXXXSM78K0
ID78K0-NS 統合デバッグ (インサーキット・エミュレータIE-78K0-NS, IE-78K0-NS-A対応)	78K0シリーズ用のインサーキット・エミュレータに対応したデバッグです。ID78K0-NSは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウィンドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイルと組み合わせて使用します。
ID78K0 統合デバッグ (インサーキット・エミュレータIE-78001-R-A対応)	別売のデバイス・ファイルと組み合わせて使用します。 オーダ名称: μ SXXXXID78K0-NS, μ SXXXXID78K0

備考 オーダ名称のXXXXは、使用するホスト・マシン、OSにより異なります。

μ SXXXXSM78K0
 μ SXXXXID78K0-NS
 μ SXXXXID78K0

XXXX	ホスト・マシン	OS	供給媒体
AB13	IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	

B.7 組み込み用ソフトウェア

RX78K0 リアルタイムOS	μITRON仕様に準拠したリアルタイムOSです。 RX78K0のニュークリアスと複数の情報テーブルを作成するためのツール（コンフィギュレータ）を添付しています。 別売のアセンブラ・パッケージ（RA78K0）およびデバイス・ファイル（DF780024またはDF780034）と組み合わせて使用します。 <PC環境で使用する場合の注意> リアルタイムOSはDOSベースのアプリケーションです。Windows上ではDOSプロンプトで使用してください。 オーダ名称：μS××××RX78013-△△△△
--------------------	--

注意 RX78K0を購入する際、事前に購入申込書にご記入のうえ、使用許諾契約書を締結してください。

備考 オーダ名称の××××および△△△△は、使用するホスト・マシン、OSなどにより異なります。

μS××××RX78013-△△△△

△△△△	製品概要	量産時使用数量の上限
001	評価用オブジェクト	量産品には使用しないでください。
100K	量産用オブジェクト	10万個
001M		100万個
010M		1000万個
S01	ソース・プログラム	量産用オブジェクトのソース・プログラム

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows	
BB13		英語Windows	

B.8 78K/0シリーズ用の旧タイプのインサーキット・エミュレータからIE-78001-R-Aへのシステム・アップ方法

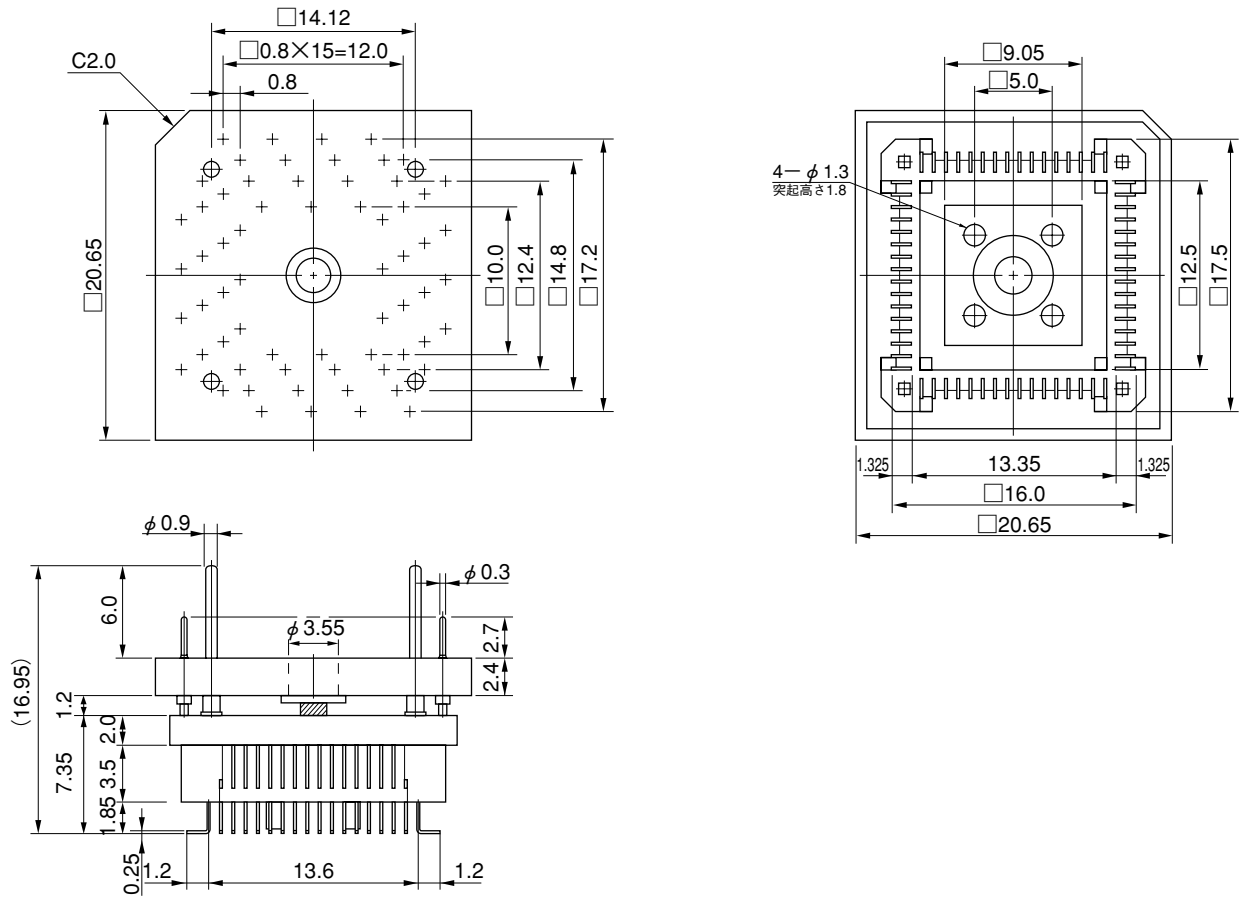
すでに78K/0シリーズ用の旧タイプのインサーキット・エミュレータ（IE-78000-RまたはIE-78000-R-A）をお持ちの場合、本体内部のブレーク・ボードをIE-78001-R-BKに交換することにより、お持ちのインサーキット・エミュレータをIE-78001-R-Aと同等に使用できます。

表B-1 78K/0シリーズ用の旧タイプのインサーキット・エミュレータからIE-78001-R-Aへのシステム・アップ方法

お持ちのインサーキット・エミュレータ	筐体のシステム・アップ ^注	ご購入の必要なボード
IE-78000-R	必要	IE-78001-R-BK
IE-78000-R-A	不要	

注 筐体をシステム・アップするためには、当社への持ち込みが必要となります。

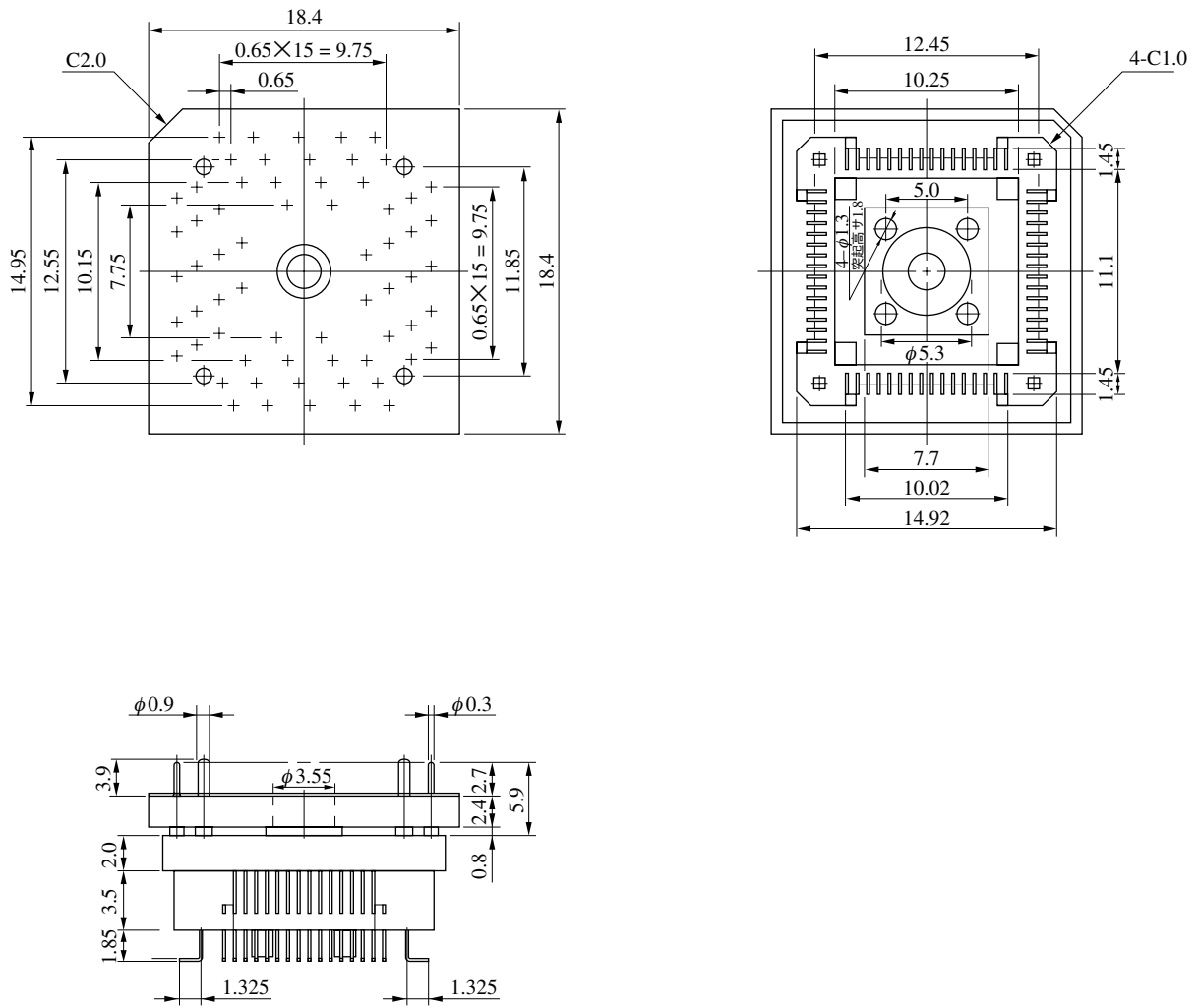
図B-4 TGC-064SAP 外形図 (参考) (単位: mm)



TGC-064SAP-G0

注: 東京エレクトック (株) 製

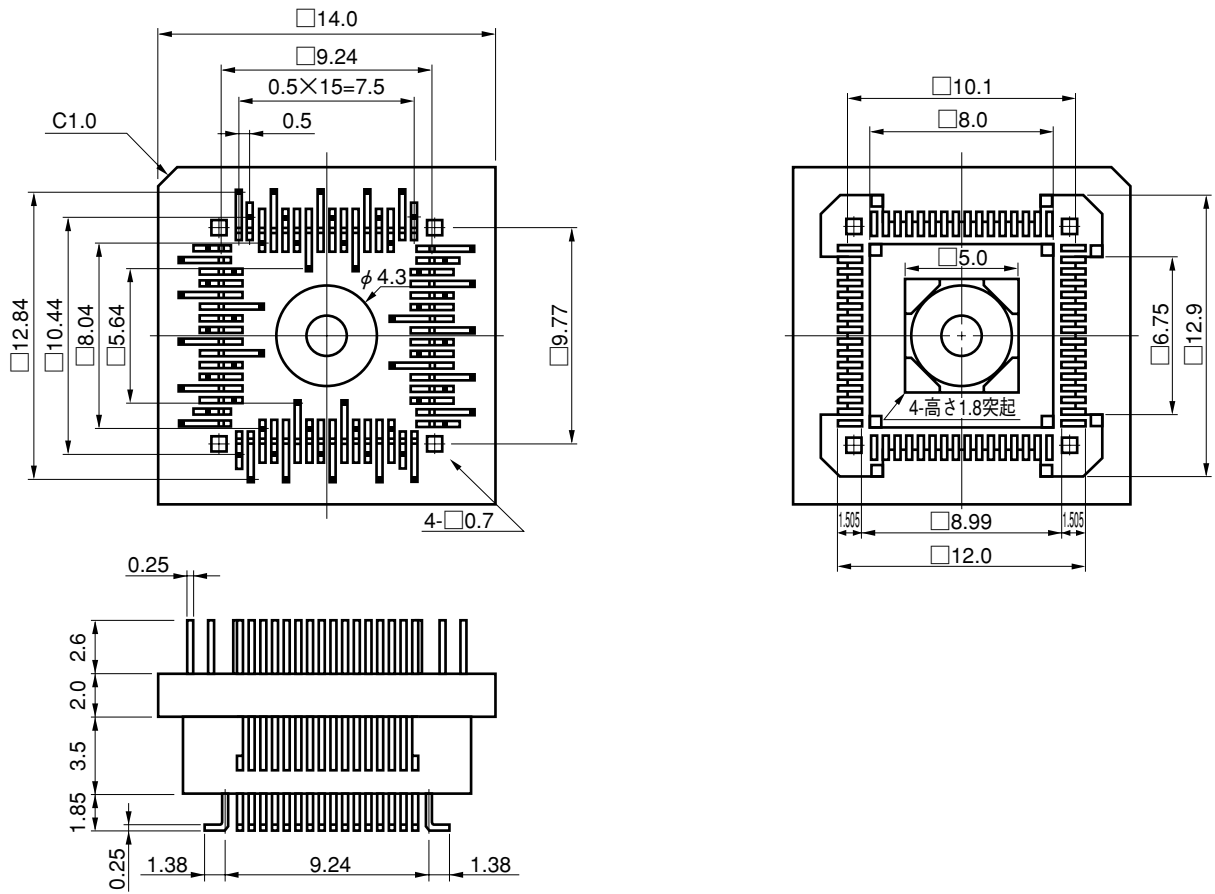
図B-5 T GK-064SBW 外形図 (参考) (単位: mm)



注: 東京エレクトック (株) 製

T GK-064SBW-G1

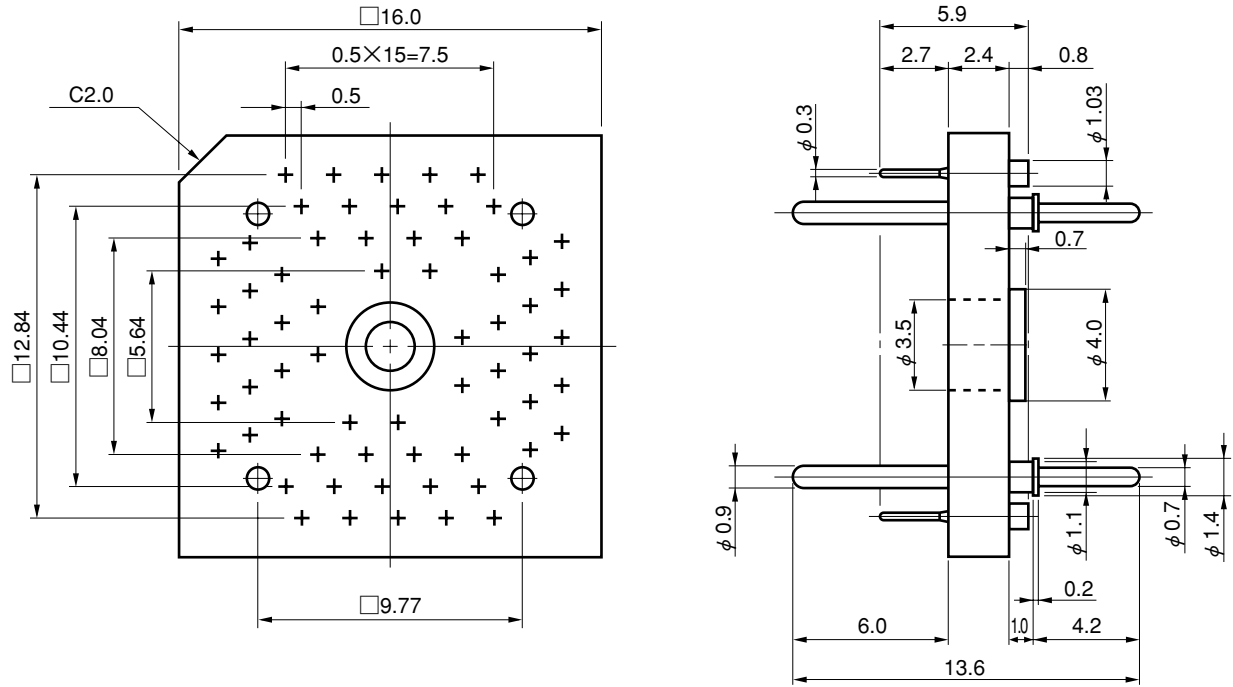
図B-6 TGB-064SDP 外形図 (参考) (単位: mm) (1/2)



TGB-064SDP-G1-1

注: 東京エレクトック (株) 製

図B-6 TGB-064SDP 外形図 (参考) (単位: mm) (2/2)



TGB-064SDP-G1-2

注: 東京エレクトック (株) 製

付録C ターゲット・システム設計上の注意

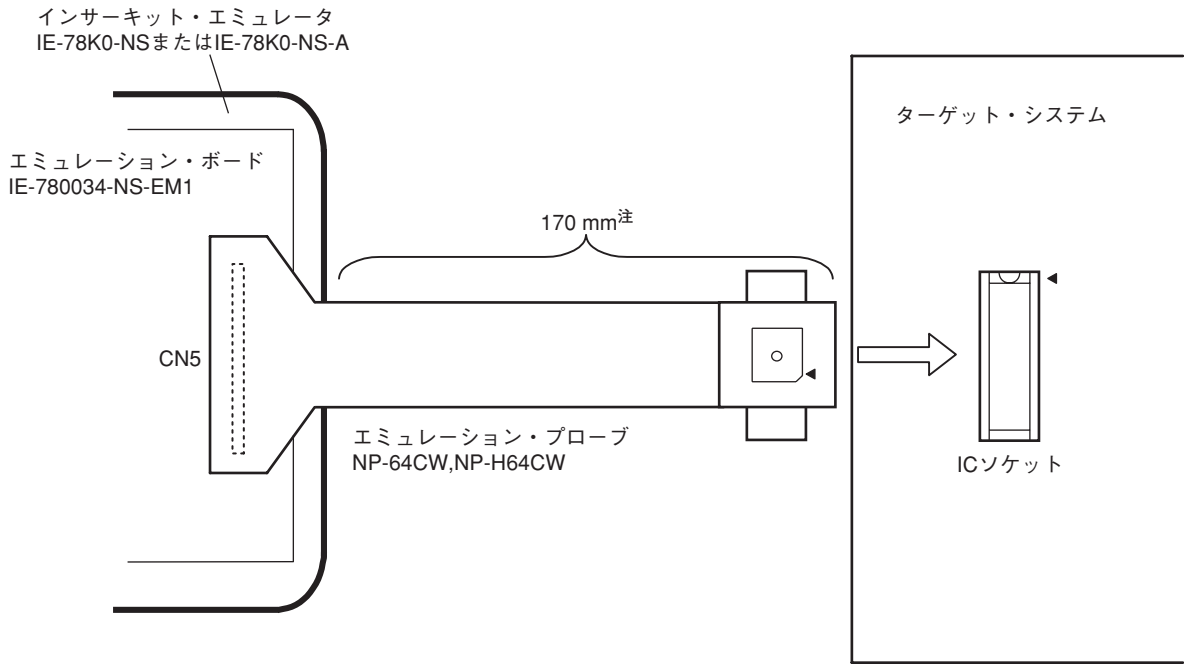
エミュレーション・プローブと変換アダプタとの接続条件図を次に示します。ターゲット・システム上に実装する部品の形状などを考慮したうえで、この構成によってシステム設計を行ってください。

なお、この付録に記載されているエミュレーション・プローブはすべて株式会社内藤電誠町田製作所の製品です。また、この付録に記載されている変換アダプタはすべて東京エレテック株式会社の製品です。

表C-1 IEシステムから変換アダプタまでの距離

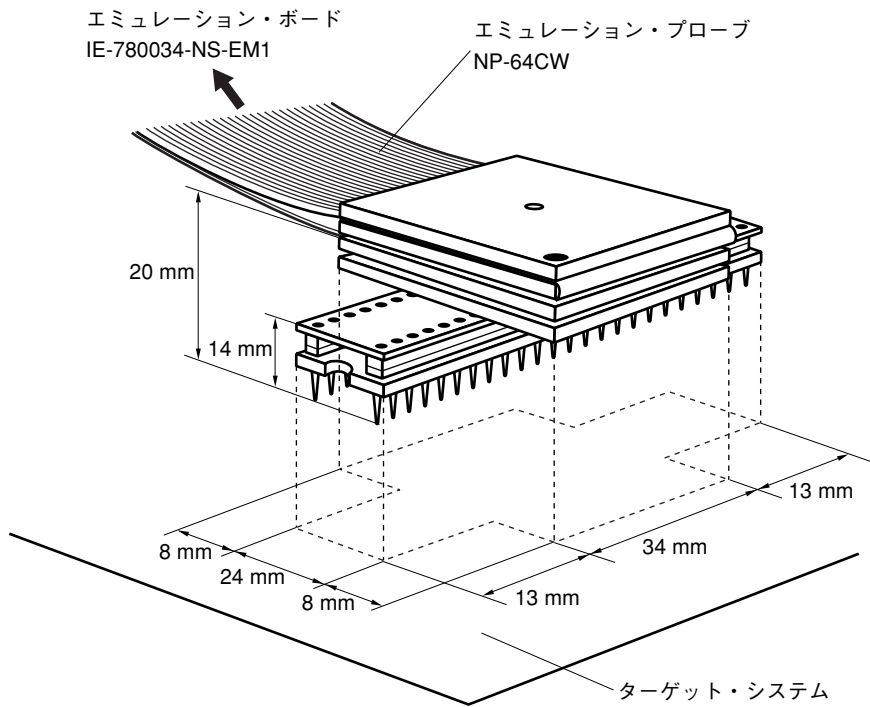
エミュレーション・プローブ	変換アダプタ	IEシステムから 変換アダプタまでの距離
NP-64CW	—	170 mm
NP-H64CW		370 mm
NP-64GC-TQ	TGC-064SAP	155 mm
NP-H64GC-TQ		355 mm
NP-64GK	TGK-064SBW	155 mm
NP-H64GK-TQ		355 mm
NP-64GB-TQ	TGB-064SDP	155 mm
NP-H64GB-TQ		355 mm
NP-73F1-CN3	CSICE73A0909N01, LSPACK73A0909N01, CSSOCKET73A0909N01	213 mm

図C-1 インサーキット・エミュレータから変換アダプタまでの距離 (64CWの場合)

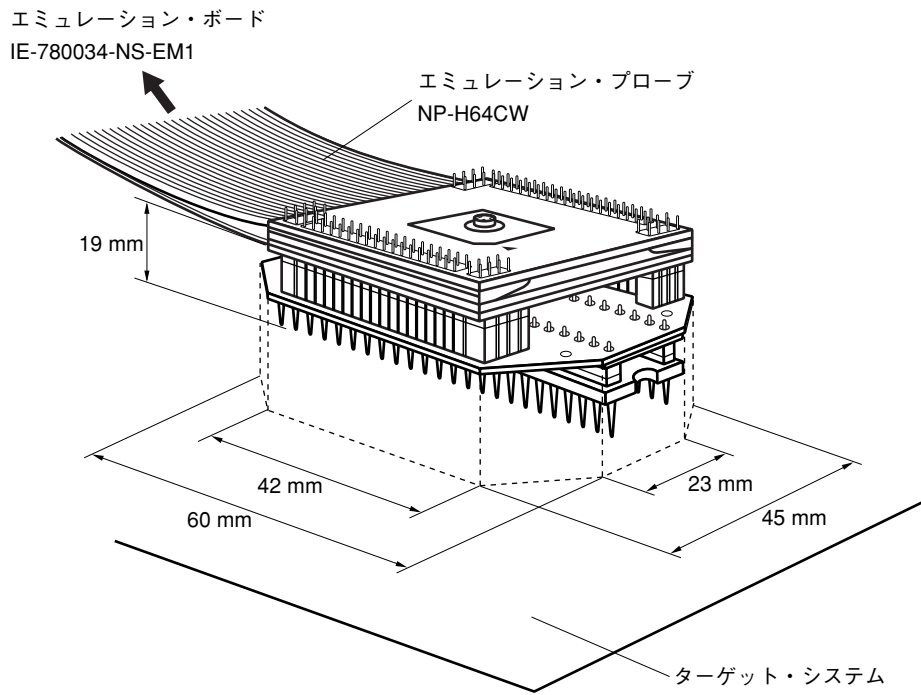


注 NP-64CWの場合の距離です。NP-H64CWの場合は370 mmです。

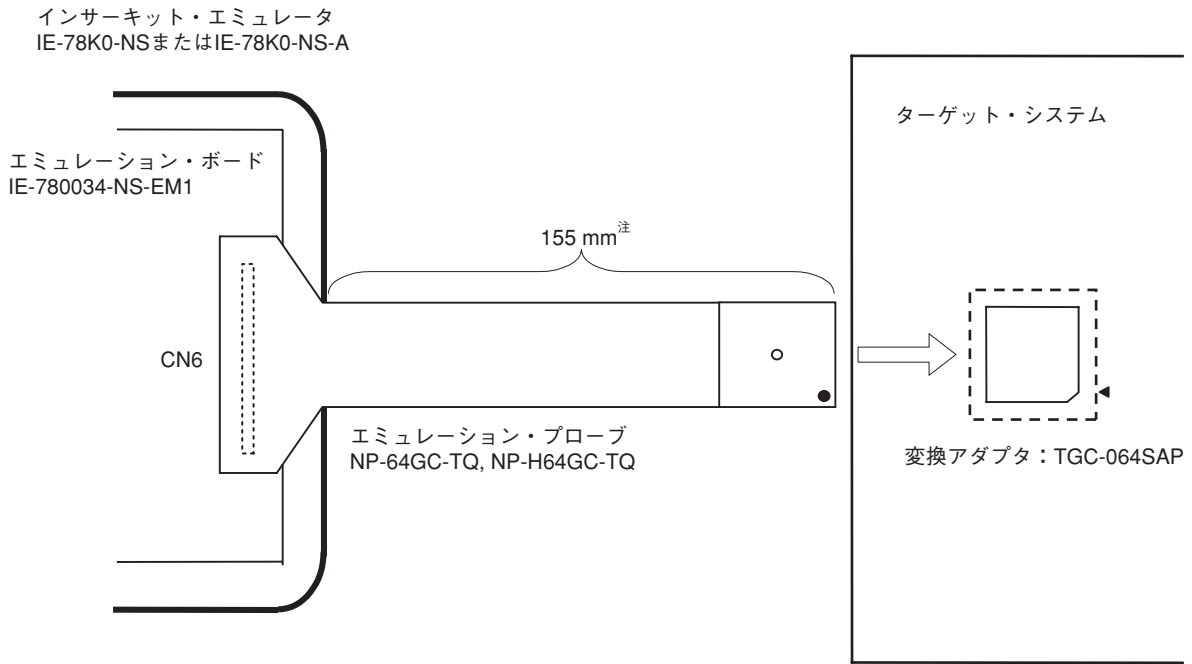
図C-2 ターゲット・システムの接続条件 (NP-64CWの場合)



図C-3 ターゲット・システムの接続条件 (NP-H64CWの場合)

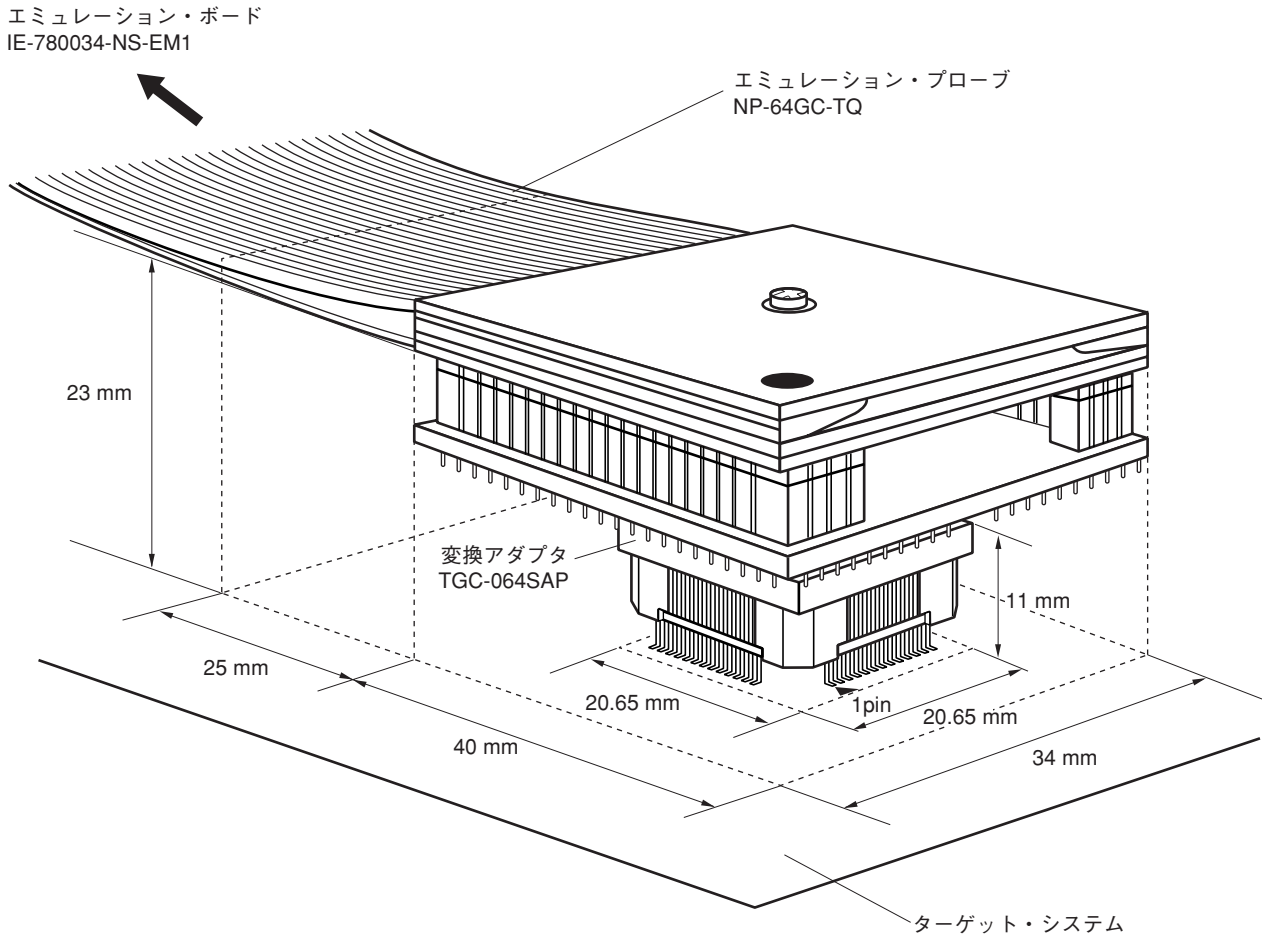


図C-4 インサーキット・エミュレータから変換アダプタまでの距離 (64GCの場合)

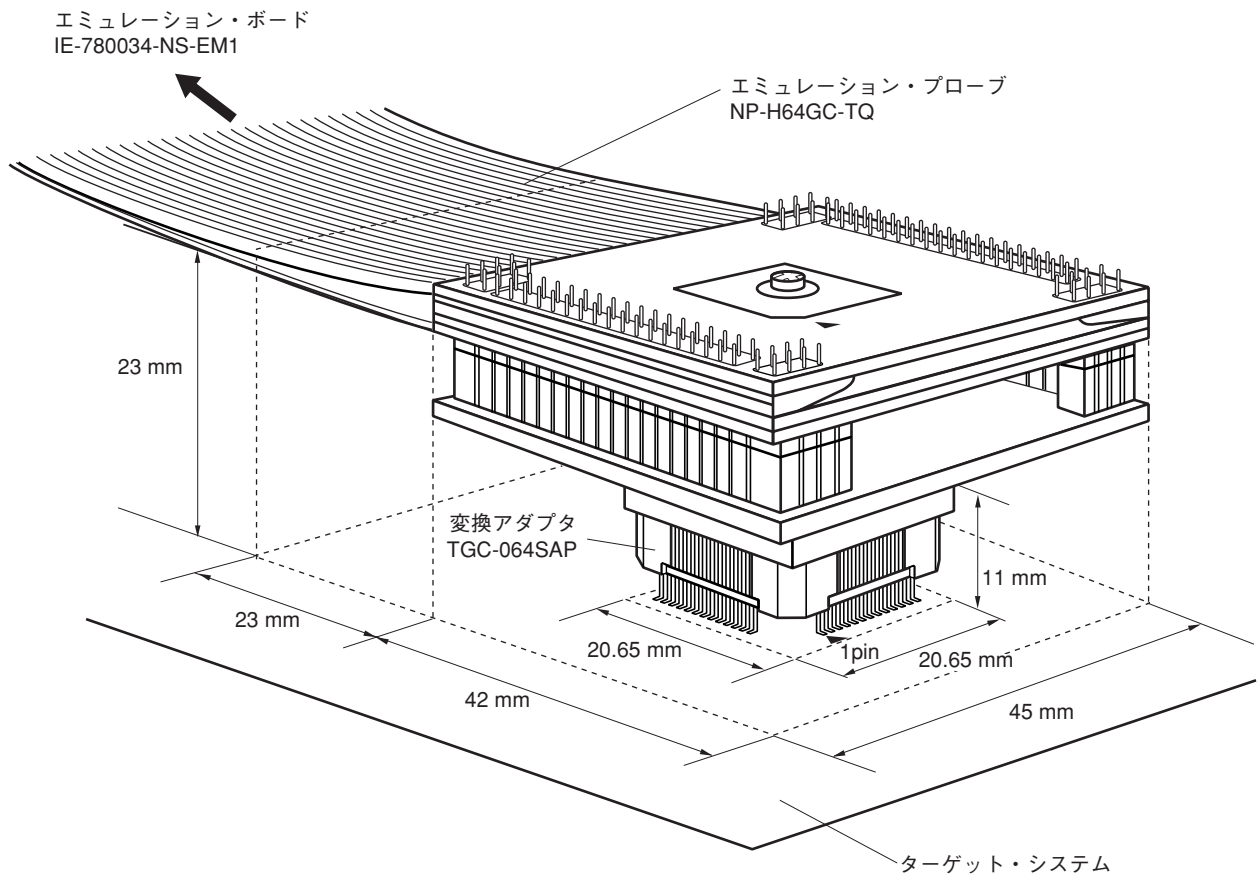


注 NP-64GC-TQの場合の距離です。NP-H64GC-TQの場合は355 mmです。

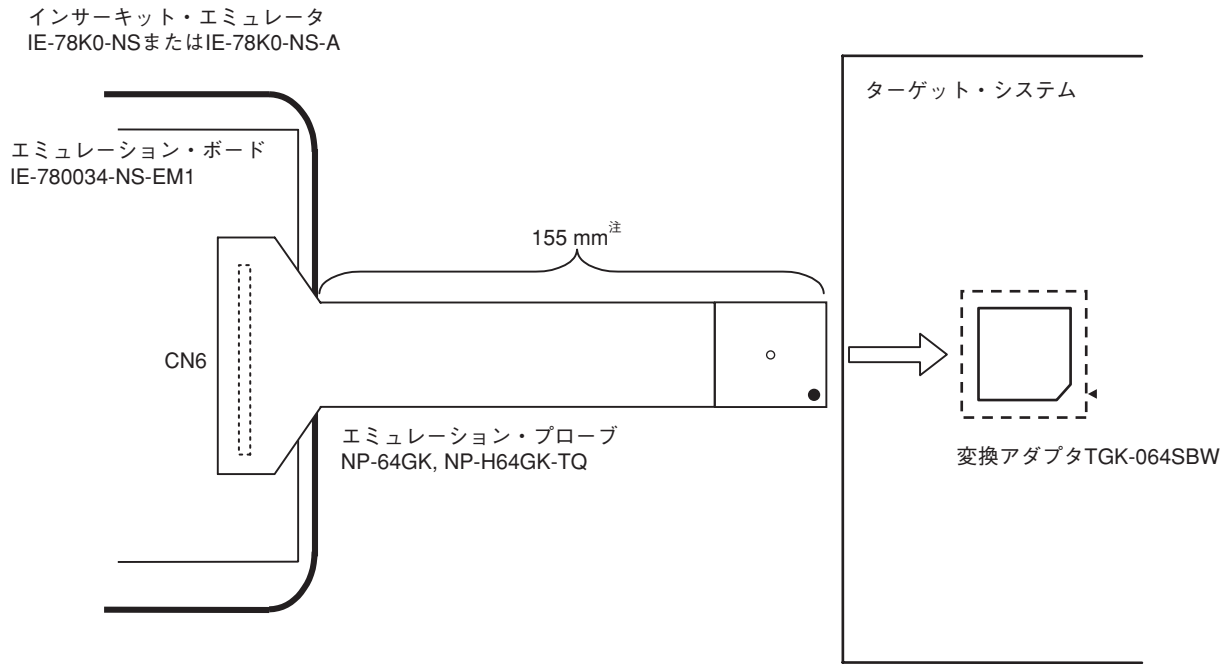
図C-5 ターゲット・システムの接続条件 (NP-64GC-TQの場合)



図C-6 ターゲット・システムの接続条件 (NP-H64GC-TQの場合)

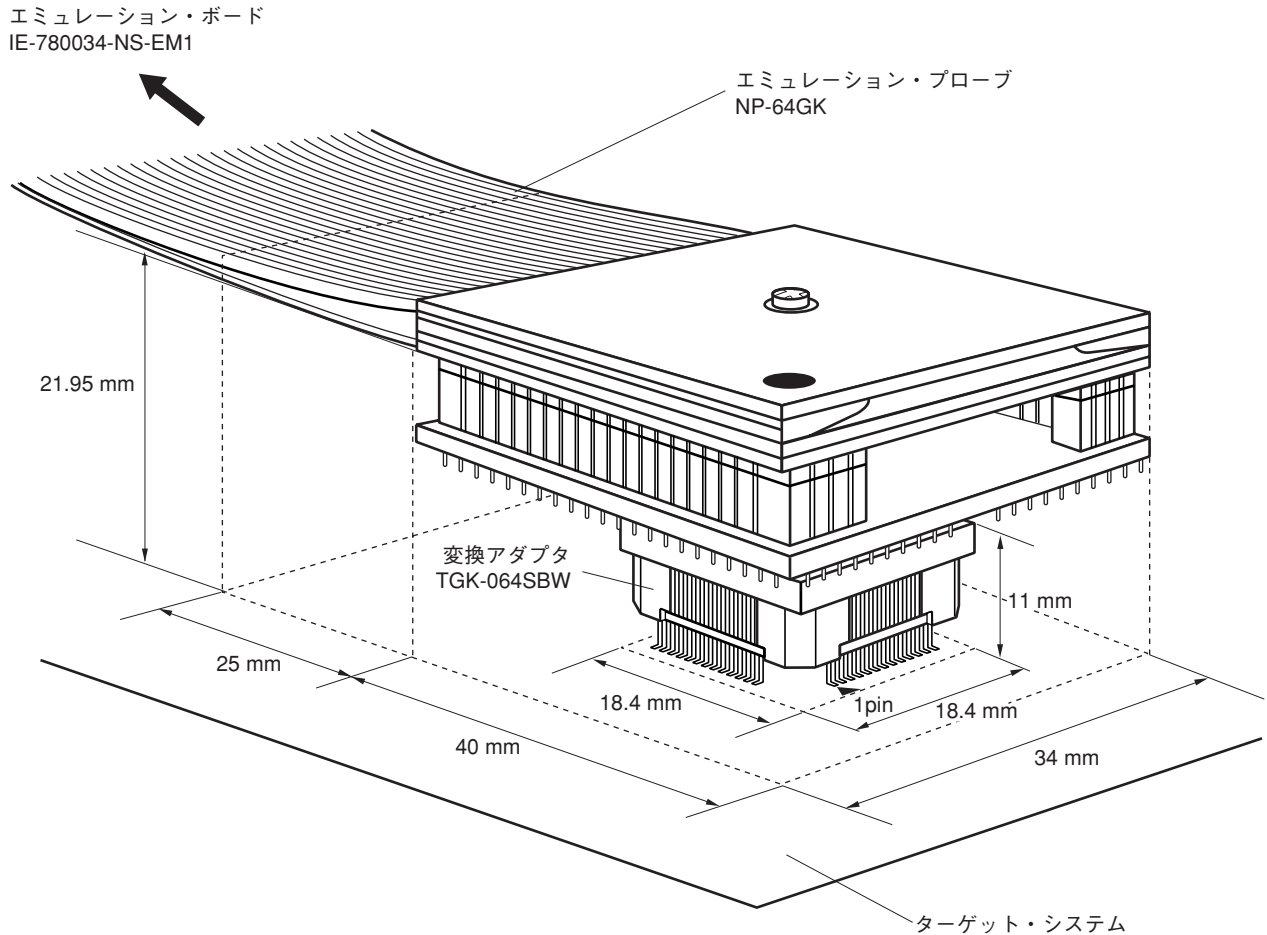


図C-7 インサーキット・エミュレータから変換アダプタまでの距離 (64GKの場合)

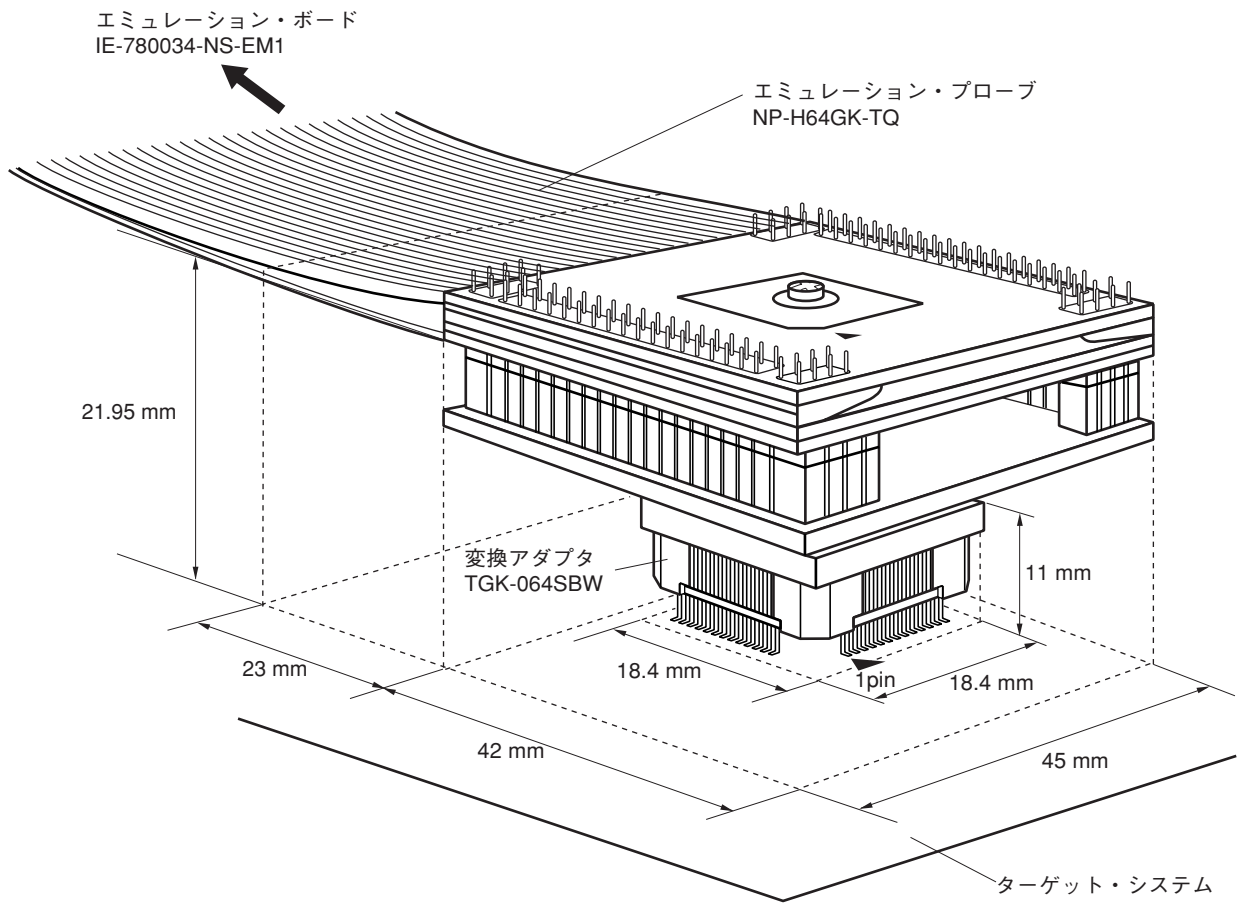


注 NP-64GKの場合の距離です。NP-H64GK-TQの場合は、355 mmです。

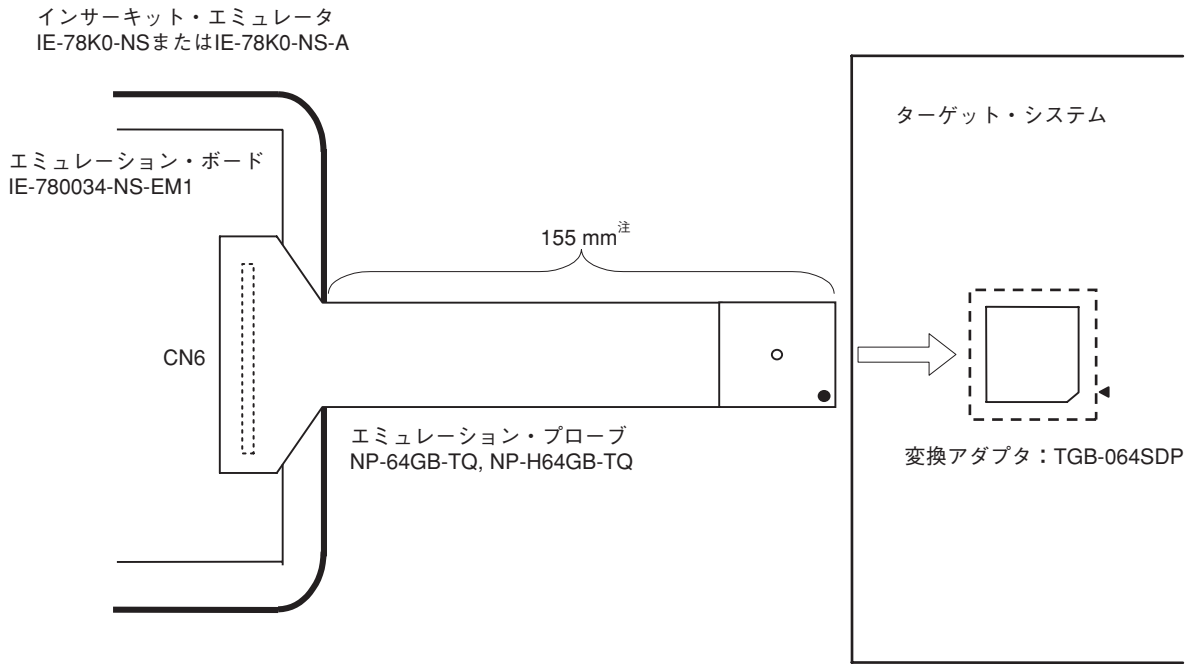
図C-8 ターゲット・システムの接続条件 (NP-64GKの場合)



図C-9 ターゲット・システムの接続条件 (NP-H64GK-TQの場合)

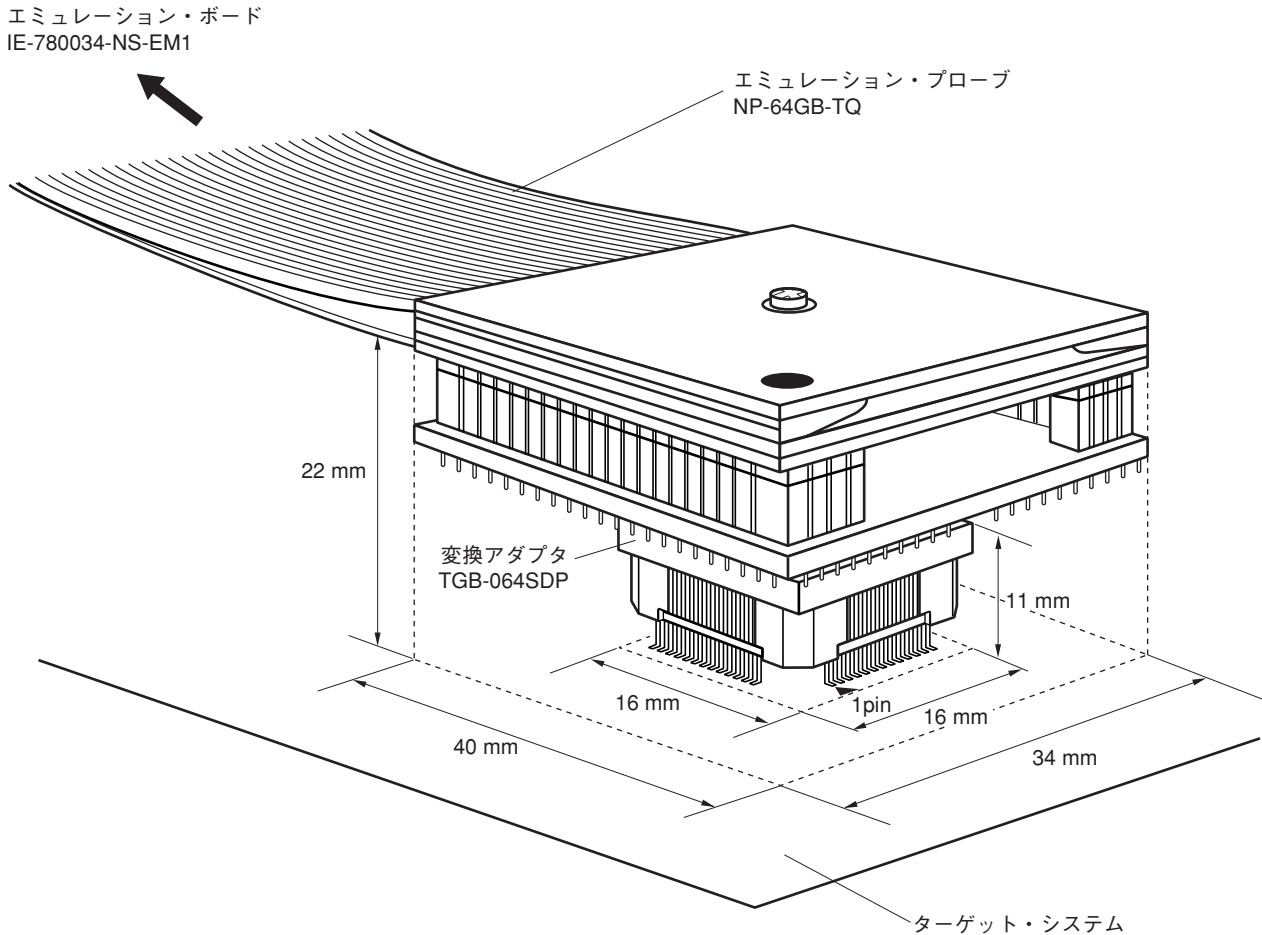


図C-10 インサーキット・エミュレータから変換アダプタまでの距離 (64GBの場合)

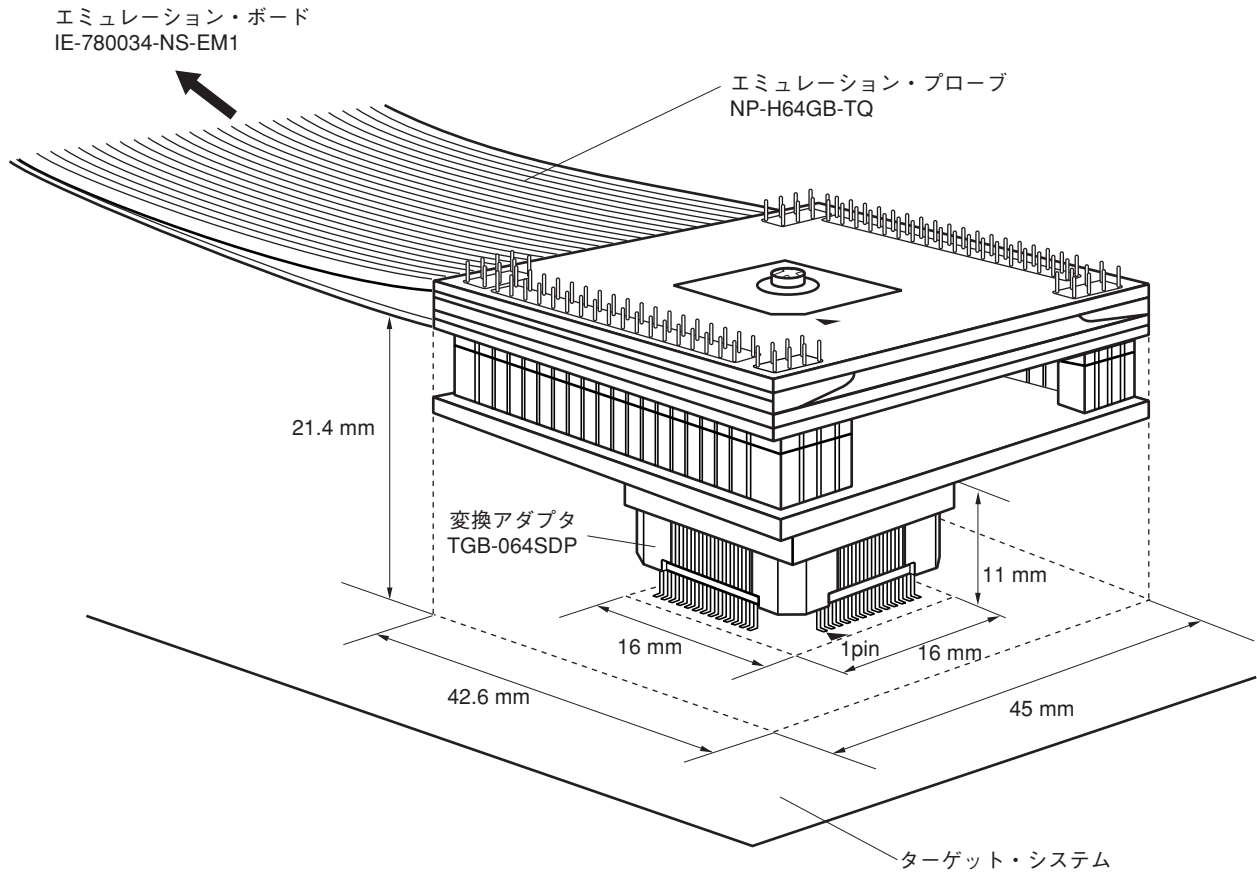


注 NP-64GB-TQの場合の距離です。NP-H64GB-TQの場合は355 mmです。

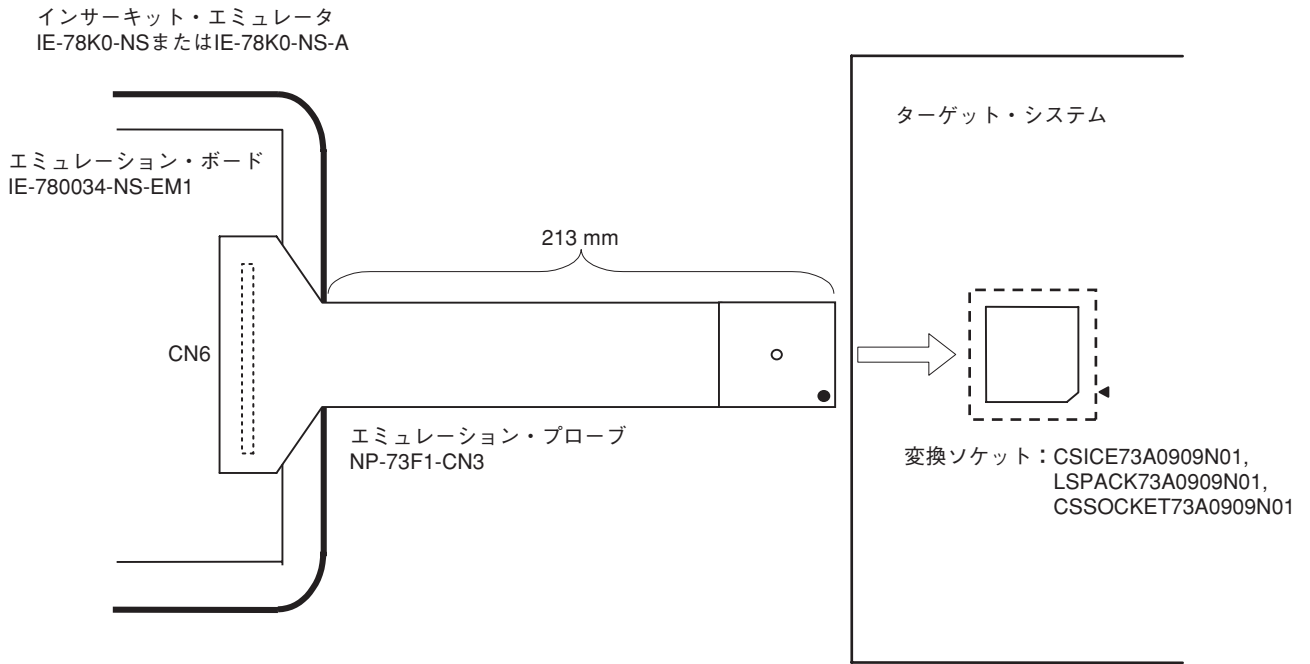
図C-11 ターゲット・システムの接続条件 (NP-64GB-TQの場合)



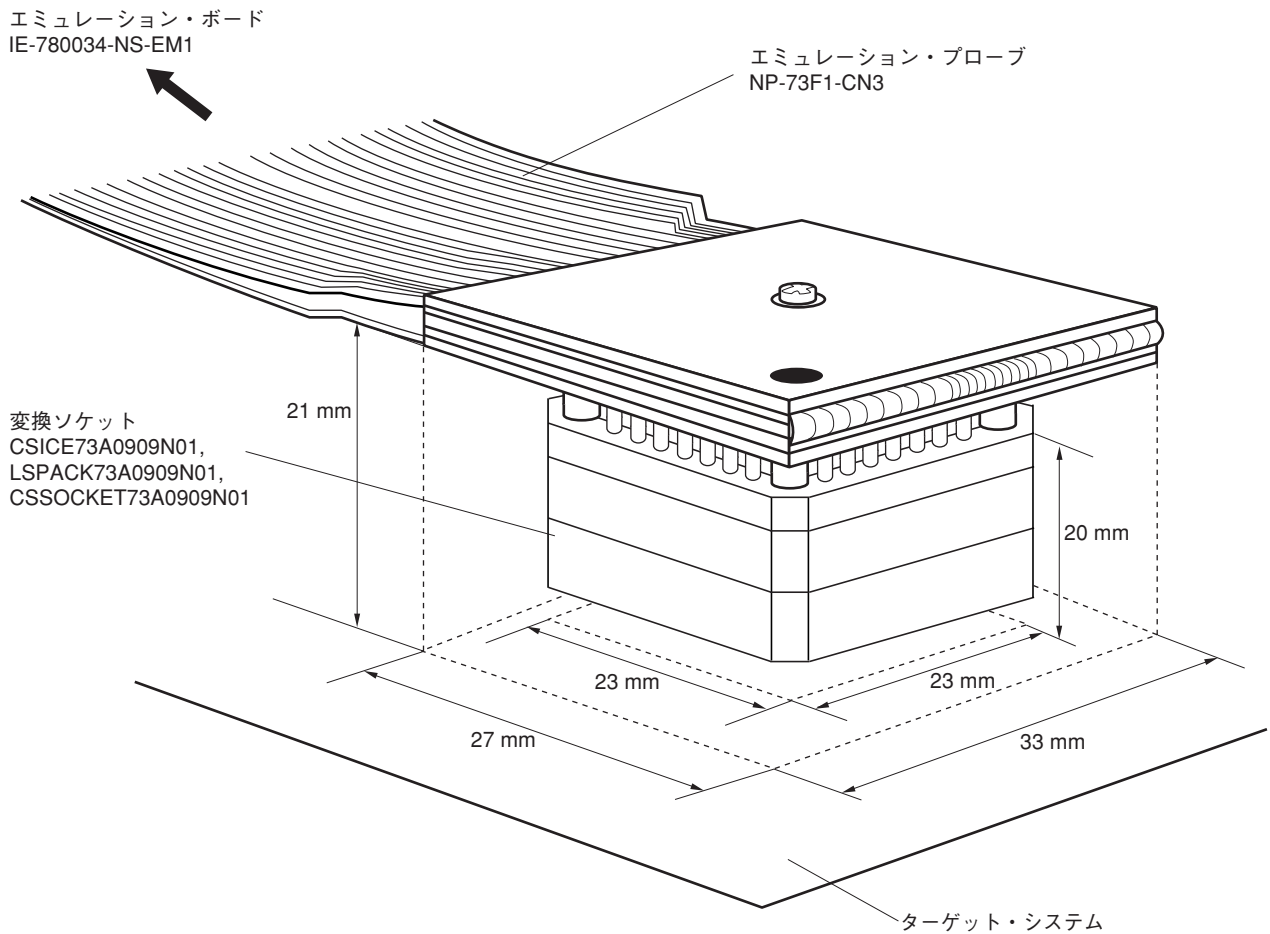
図C-12 ターゲット・システムの接続条件 (NP-H64GB-TQの場合)



図C-13 インサーキット・エミュレータから変換ソケットまでの距離 (NP-73F1-CN3の場合)



図C-14 ターゲット・システムの接続条件 (NP-73F1-CN3の場合)



付録D レジスタ索引

D.1 レジスタ索引 (50音順)

[あ行]

- IIC転送クロック選択レジスタ0 (IICCL0) … 343
- IICコントロール・レジスタ0 (IICC0) … 335
- IICシフト・レジスタ0 (IIC0) … 333
- IIC状態レジスタ0 (IICS0) … 340
- アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) … 293
- アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) … 295
- アナログ入力チャンネル指定レジスタ0 (ADS0) … 249, 272
- ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) … 234
- ウォッチドッグ・タイマ・モード・レジスタ (WDTM) … 235
- A/Dコンバータ・モード・レジスタ0 (ADM0) … 247, 270
- A/D変換結果レジスタ0 (ADCR0) … 245, 268

[か行]

- 外部割り込み立ち上がりエッジ許可レジスタ (EGP) … 403
- 外部割り込み立ち下がりエッジ許可レジスタ (EGN) … 403
- キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) … 174
- クロック出力選択レジスタ (CKS) … 239

[さ行]

- 16ビット・タイマ・カウンタ0 (TM0) … 170
- 16ビット・タイマ・キャプチャ/コンペア・レジスタ00 (CR00) … 170
- 16ビット・タイマ・キャプチャ/コンペア・レジスタ01 (CR01) … 171
- 16ビット・タイマ出力コントロール・レジスタ0 (TOC0) … 175
- 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) … 172
- 受信シフト・レジスタ0 (RX0) … 292
- 受信バッファ・レジスタ0 (RXB0) … 293
- シリアルI/Oシフト・レジスタ30 (SIO30) … 319
- シリアルI/Oシフト・レジスタ31 (SIO31) … 319
- シリアル動作モード・レジスタ30 (CSIM30) … 320
- シリアル動作モード・レジスタ31 (CSIM31) … 320
- スレーブ・アドレス・レジスタ0 (SVA0) … 333
- 送信シフト・レジスタ0 (TXS0) … 292

[た行]

- タイマ・クロック選択レジスタ50 (TCL50) … 208
- タイマ・クロック選択レジスタ51 (TCL51) … 208

時計用タイマ動作モード・レジスタ (WTM) … 230

[は行]

- 8ビット・タイマ・カウンタ50 (TM50) … 206
- 8ビット・タイマ・カウンタ51 (TM51) … 206
- 8ビット・タイマ・コンペア・レジスタ50 (CR50) … 207
- 8ビット・タイマ・コンペア・レジスタ51 (CR51) … 207
- 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) … 209
- 8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) … 209
- 発振安定時間選択レジスタ (OSTS) … 158, 429
- プリスケラ・モード・レジスタ0 (PRM0) … 176
- プルアップ抵抗オプション・レジスタ0 (PU0) … 150
- プルアップ抵抗オプション・レジスタ2 (PU2) … 150
- プルアップ抵抗オプション・レジスタ3 (PU3) … 150
- プルアップ抵抗オプション・レジスタ4 (PU4) … 150
- プルアップ抵抗オプション・レジスタ5 (PU5) … 150
- プルアップ抵抗オプション・レジスタ6 (PU6) … 150
- プルアップ抵抗オプション・レジスタ7 (PU7) … 150
- プログラム・ステータス・ワード (PSW) … 100, 404
- プロセッサ・クロック・コントロール・レジスタ (PCC) … 155
- ポート0 (P0) … 124
- ポート1 (P1) … 126
- ポート2 (P2) … 127
- ポート3 (P3) … 130, 135
- ポート4 (P4) … 139
- ポート5 (P5) … 140
- ポート6 (P6) … 141
- ポート7 (P7) … 143
- ポート・モード・レジスタ0 (PM0) … 146
- ポート・モード・レジスタ2 (PM2) … 146, 298, 323
- ポート・モード・レジスタ3 (PM3) … 146, 323, 344
- ポート・モード・レジスタ4 (PM4) … 146
- ポート・モード・レジスタ5 (PM5) … 146
- ポート・モード・レジスタ6 (PM6) … 146
- ポート・モード・レジスタ7 (PM7) … 146, 177, 212, 241
- ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) … 296

[ま行]

- メモリ拡張ウエイト設定レジスタ (MM) … 421
- メモリ拡張モード・レジスタ (MEM) … 420
- メモリ・サイズ切り替えレジスタ (IMS) … 445

[や行]

優先順位指定フラグ・レジスタ0H (PR0H) … 402
優先順位指定フラグ・レジスタ0L (PR0L) … 402
優先順位指定フラグ・レジスタ1L (PR1L) … 402

[わ行]

割り込みマスク・フラグ・レジスタ0H (MK0H) … 401
割り込みマスク・フラグ・レジスタ0L (MK0L) … 401
割り込みマスク・フラグ・レジスタ1L (MK1L) … 401
割り込み要求フラグ・レジスタ0H (IF0H) … 399
割り込み要求フラグ・レジスタ0L (IF0L) … 399
割り込み要求フラグ・レジスタ1L (IF1L) … 399

D.2 レジスタ索引 (アルファベット順)

[A]

ADCR0	: A/D変換結果レジスタ0	…	245, 268
ADM0	: A/Dコンバータ・モード・レジスタ0	…	247, 270
ADS0	: アナログ入力チャンネル指定レジスタ0	…	249, 272
ASIM0	: アシクロナス・シリアル・インタフェース・モード・レジスタ0	…	295
ASIS0	: アシクロナス・シリアル・インタフェース・ステータス・レジスタ0	…	293

[B]

BRGC0	: ボー・レート・ジェネレータ・コントロール・レジスタ0	…	296
-------	------------------------------	---	-----

[C]

CKS	: クロック出力選択レジスタ	…	239
CR00	: 16ビット・タイマ・キャプチャ/コンペア・レジスタ00	…	170
CR01	: 16ビット・タイマ・キャプチャ/コンペア・レジスタ01	…	171
CR50	: 8ビット・タイマ・コンペア・レジスタ50	…	207
CR51	: 8ビット・タイマ・コンペア・レジスタ51	…	207
CRC0	: キャプチャ/コンペア・コントロール・レジスタ0	…	174
CSIM30	: シリアル動作モード・レジスタ30	…	320
CSIM31	: シリアル動作モード・レジスタ31	…	320

[E]

EGN	: 外部割り込み立ち下がりエッジ許可レジスタ	…	403
EGP	: 外部割り込み立ち上がりエッジ許可レジスタ	…	403

[I]

IF0H	: 割り込み要求フラグ・レジスタ0H	…	399
IF0L	: 割り込み要求フラグ・レジスタ0L	…	399
IF1L	: 割り込み要求フラグ・レジスタ1L	…	399
IIC0	: IICシフト・レジスタ0	…	333
IIC00	: IICコントロール・レジスタ0	…	335
IICCL0	: IIC転送クロック選択レジスタ0	…	343
IICSO	: IIC状態レジスタ0	…	340
IMS	: メモリ・サイズ切り替えレジスタ	…	445

[M]

MEM	: メモリ拡張モード・レジスタ	…	420
MK0H	: 割り込みマスク・フラグ・レジスタ0H	…	401
MK0L	: 割り込みマスク・フラグ・レジスタ0L	…	401
MK1L	: 割り込みマスク・フラグ・レジスタ1L	…	401
MM	: メモリ拡張ウエイト設定レジスタ	…	421

[O]

OSTS : 発振安定時間選択レジスタ … 158, 429

[P]

P0 : ポート0 … 124
P1 : ポート1 … 126
P2 : ポート2 … 127
P3 : ポート3 … 130, 135
P4 : ポート4 … 139
P5 : ポート5 … 140
P6 : ポート6 … 141
P7 : ポート7 … 143
PCC : プロセッサ・クロック・コントロール・レジスタ … 155
PM0 : ポート・モード・レジスタ0 … 146
PM2 : ポート・モード・レジスタ2 … 146, 298, 323
PM3 : ポート・モード・レジスタ3 … 146, 323, 344
PM4 : ポート・モード・レジスタ4 … 146
PM5 : ポート・モード・レジスタ5 … 146
PM6 : ポート・モード・レジスタ6 … 146
PM7 : ポート・モード・レジスタ7 … 146, 177, 212, 241
PR0H : 優先順位指定フラグ・レジスタ0H … 402
PR0L : 優先順位指定フラグ・レジスタ0L … 402
PR1L : 優先順位指定フラグ・レジスタ1L … 402
PRM0 : プリスケアラ・モード・レジスタ0 … 176
PSW : プログラム・ステータス・ワード … 100, 404
PU0 : プルアップ抵抗オプション・レジスタ0 … 150
PU2 : プルアップ抵抗オプション・レジスタ2 … 150
PU3 : プルアップ抵抗オプション・レジスタ3 … 150
PU4 : プルアップ抵抗オプション・レジスタ4 … 150
PU5 : プルアップ抵抗オプション・レジスタ5 … 150
PU6 : プルアップ抵抗オプション・レジスタ6 … 150
PU7 : プルアップ抵抗オプション・レジスタ7 … 150

[R]

RXB0 : 受信バッファ・レジスタ0 … 293
RX0 : 受信シフト・レジスタ0 … 292

[S]

SIO30 : シリアルI/Oシフト・レジスタ30 … 319
SIO31 : シリアルI/Oシフト・レジスタ31 … 319
SVA0 : スレーブ・アドレス・レジスタ0 … 333

[T]

TCL50	: タイマ・クロック選択レジスタ50	…	208
TCL51	: タイマ・クロック選択レジスタ51	…	208
TM0	: 16ビット・タイマ・カウンタ0	…	170
TM50	: 8ビット・タイマ・カウンタ50	…	206
TM51	: 8ビット・タイマ・カウンタ51	…	206
TMC0	: 16ビット・タイマ・モード・コントロール・レジスタ0	…	172
TMC50	: 8ビット・タイマ・モード・コントロール・レジスタ50	…	209
TMC51	: 8ビット・タイマ・モード・コントロール・レジスタ51	…	209
TOC0	: 16ビット・タイマ出力コントロール・レジスタ0	…	175
TXS0	: 送信シフト・レジスタ0	…	292

[W]

WDCS	: ウォッチドッグ・タイマ・クロック選択レジスタ	…	234
WDTM	: ウォッチドッグ・タイマ・モード・レジスタ	…	235
WTM	: 時計用タイマ動作モード・レジスタ	…	230

付録 E 改版履歴

E.1 本版で改訂された主な箇所

箇所	内 容
p.22	第1章 概 説 (μPD780024A, 780034Aサブシリーズ) ・ 1.3 応用分野の記述を変更
p.43	第2章 概 説 (μPD780024AY, 780034AYサブシリーズ) ・ 2.2 応用分野の記述を変更
p.65	第3章 端子機能 (μPD780024A, 780034Aサブシリーズ) ・ 3.1 端子機能一覧 (2) ポート以外の端子のAV _{REF} のリセット時を変更
p.77	第4章 端子機能 ・ 4.1 端子機能一覧 (2) ポート以外の端子のAV _{REF} のリセット時を変更
p.105	第5章 CPUアーキテクチャ ・ 5.2.3 特殊機能レジスタ (SFR: Special Function Register) の記述を変更
p.232	第10章 時計用タイマ ・ 図10-3 時計用タイマ/インターバル・タイマの動作タイミングの注意の記述を変更
p.265	第13章 8ビットA/Dコンバータ (μPD780024A, 780024AYサブシリーズ) ・ 表13-3 等価回路の各抵抗と容量値 (参考値) のC1の値を変更
p.288	第14章 10ビットA/Dコンバータ (μPD780034A, 780034AYサブシリーズ) ・ 表14-3 等価回路の各抵抗と容量値 (参考値) のC1の値を変更
p.307	第16章 シリアル・インタフェースUART0 ・ 図16-9 (i) ストップ・ビット長: 1 を変更
p.395, 400, 405, 408	第19章 割り込み要因一覧 ・ 表19-1 割り込み要因一覧の記述を修正 ・ 図19-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L) のフォーマットの注意 5 を変更 ・ 19.4.1 ノンマスカブル割り込み要求の受け付け動作の記述を変更 ・ 19.4.2 マスカブル割り込み要求の受け付け動作の記述を変更
p.447, 448	第23章 μPD78F0034A, 78F0034B, 78F0034AY, 78F0034BY ・ 表23-8 通信方式一覧の記述を修正
p.469, 475	第24章 命令セットの概要 ・ 24.1.2 オペレーション欄の説明のNMISの説明を削除 ・ 24.2 オペレーション一覧のコール・リターン時のRETIのオペレーション欄を変更
p.499, 500	第25章 電気的特性 (拡張規格: f _k = 1.0~12 MHz) ・ アナログ入力端子の入カインピーダンスの [パラメータ値] のC1の値を変更
p.521, 530, 531	第26章 電気的特性 (拡張規格: f _k = 1.0~8.38 MHz) ・ DC特性 (T _A = -40~+85 °C, V _{DD} = 1.8~5.5 V) の電源電流のI _{DD3} , I _{DD4} , I _{DD5} の注 2, 3 を削除 ・ アナログ入力端子の入カインピーダンスの [パラメータ値] のC1の値を変更
p.557	付録B 開発ツール ・ WindowsについてにWindows XPを追加

E.2 前版までの改版履歴

前版までの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/4)

版数	前版からの主な改版内容	適用箇所
第2版	次の製品を削除 ・ μ PD780021AY(A), 780022AY(A), 780023AY(A), 780024AY(A), 780031AY(A), 780032AY(A), 780033AY(A), 780034AY(A)	全 般
	次のパッケージを削除 ・ 64ピン・プラスチックLQFP (GK-8A8タイプ)	
	次のパッケージを追加 ・ 64ピン・プラスチックTQFP (GK-9ETタイプ) ・ 64ピン・プラスチックLQFP (GB-8EUタイプ)	
	表3-1 各端子の入出力回路タイプで未使用時の推奨接続方法を修正	第3章 端子機能 (μ PD780024A, 780034Aサブシリーズ)
	表4-1 各端子の入出力回路タイプで未使用時の推奨接続方法を修正	第4章 端子機能 (μ PD780024AY, 780034AYサブシリーズ)
	図6-2 P00-P03のブロック図を修正	第6章 ポート機能
	図6-4 P20, P22, P23, P25のブロック図を修正	
	図6-7 P34, P36のブロック図 (μ PD780024A, 780034Aサブシリーズ) を修正	
	図6-8 P35のブロック図 (μ PD780024A, 780034Aサブシリーズ) を修正	
	図6-10 P32, P33のブロック図 (μ PD780024AY, 780034AYサブシリーズ) を修正	
	図6-12 P40-P47のブロック図を修正	
	図6-14 P50-P57のブロック図を修正	
	図6-15 P64-P67のブロック図を修正	
	図6-16 P70-P73のブロック図を修正	第7章 クロック発生回路
図6-17 P74, P75のブロック図を修正		
図7-3 プロセッサ・クロック・コントロール・レジスタ (PCC) のフォーマットでフィードバック抵抗の注釈を追加	第8章 16ビット・タイマ/イベント・カウンタ0	
ワンショット・パルス出力の機能を削除		
図10-3 時計用タイマ/インターバル・タイマの動作タイミングでINTWTについての注意を追加	第10章 時計用タイマ	
13.5 A/Dコンバータ特性表の読み方を追加	第13章 8ビットA/Dコンバータ (μ PD780024A, 780024AYサブシリーズ)	
13.6 A/Dコンバータの注意事項 (10) A/D変換結果が不定になるタイミングを追加 (11) ボード設計上の注意を追加 (13) AV _{REF} 端子を追加 (14) ANI0-ANI7端子内部等価回路と許容信号源インピーダンスを追加		
14.5 A/Dコンバータ特性表の読み方を追加		
14.6 A/Dコンバータの注意事項 (10) A/D変換結果が不定になるタイミングを追加 (11) ボード設計上の注意を追加 (13) AV _{REF} 端子を追加 (14) ANI0-ANI7端子内部等価回路と許容信号源インピーダンスを追加	第14章 10ビットA/Dコンバータ (μ PD780034, 780034AYサブシリーズ)	

版数	前版からの主な改版内容	適用箇所	
第2版	図18-3 IICコントロール・レジスタ0 (IICCO) のフォーマットを修正	第18章 シリアル・インタフェース (IIC0) (μ PD780024AY, 780034AYサブシリーズのみ)	
	Flashpro II を削除	第23章 μ PD78F0034A, 78F0034AY	
	開発ツールを改訂	付録B 開発ツール	
第3版	次の製品を追加 μ PD780021AY(A), 780022AY(A), 780023AY(A), 780024AY(A), μ PD780031AY(A), 780032AY(A), 780033AY(A), 780034AY(A), μ PD78F0034B, 78F0034B(A), 78F0034BY, 78F0034BY(A)	全般	
	次のパッケージの追加 ・64ピン・プラスチックLQFP (GC-8BSタイプ) ・73ピン・プラスチックFBGA (F1-CN3タイプ)		
	μ PD780024A, 780034Aサブシリーズに拡張規格品を追加		
	1.1 拡張規格品と従来規格品についてを追加	第1章 概説 (μ PD780024A, 780034Aサブシリーズ)	
	1.10 マスクROM製品とフラッシュ・メモリ製品の対応についてを追加		
	1.11 標準水準品と特別水準品との違いについての内容を変更		
	1.12 製品とパッケージの対応についてを追加		
	2.9 マスクROM製品とフラッシュ・メモリ製品の対応についてを追加	第2章 概説 (μ PD780024AY, 780034AYサブシリーズ)	
	2.10 標準水準品と特別水準品との違いについての内容を変更		
	2.11 製品とパッケージの対応についてを追加		
	3.2.18 V _{PP} (フラッシュ・メモリ製品のみ) に端子処理についての記述を追加	第3章 端子機能 (μ PD780024A, 780034Aサブシリーズ)	
	表3-1 各端子の入出力回路タイプを変更		
	4.2.18 V _{PP} (フラッシュ・メモリ製品のみ) に端子処理についての記述を追加	第4章 端子機能 (μ PD780024AY, 780034AYサブシリーズ)	
	表4-1 各端子の入出力回路タイプを変更		
	5.1.2 内部データ・メモリ空間にプログラム領域についての説明文を追加	第5章 CPUアーキテクチャ	
	図5-14 スタック・メモリへ退避されるデータ, 図5-15 スタック・メモリから復帰されるデータを変更		
	5.4.4 ショート・ダイレクト・アドレッシングの【記述例】を変更		
	5.4.7 ベースト・アドレッシング, 5.4.8 ベースト・インデクスト・アドレッシング, 5.4.9 スタック・アドレッシングに【図解】を追加		
	ポートのブロック図 (図6-2 P00-P03のブロック図~図6-23 P74, P75のブロック図) を修正		第6章 ポート機能
	表6-6 兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定を追加		
	7.3 クロック発生回路を制御するレジスタに内蔵フィードバック抵抗の説明と発振安定時間選択レジスタ (OSTS) を追加	第7章 クロック発生回路	
	図8-1 16ビット・タイマ/イベント・カウンタ0のブロック図を変更	第8章 16ビット・タイマ/イベント・カウンタ0	
	旧版の表8-2 TI00/TO0/P70端子の有効エッジとCR00, CR01のキャプチャ・トリガ, 表8-3 TI01/P71端子の有効エッジとCR00のキャプチャ・トリガを, 表8-2 CR00のキャプチャ・トリガとTI00端子とTI01端子の有効エッジ, 表8-3 CR01のキャプチャ・トリガとTI00端子の有効エッジ (CRC02 = 1) に変更		
	8.4 16ビット・タイマ/イベント・カウンタ0の動作の各機能の説明の順番を変更		
	図8-26 PPG出力の構成図, 図8-27 PPG出力動作のタイミングを追加		
	8.5 プログラム・リストを追加		
8.6 (3) キャプチャ・レジスタのデータ保持タイミングを変更, (11) STOPモードまたはメイン・システム・クロック停止モードの設定についてを追加			

版数	前版からの主な改版内容	適用箇所
第3版	図9-1 8ビット・タイマ/イベント・カウンタ50のブロック図, 図9-2 8ビット・タイマ/イベント・カウンタ51のブロック図を変更	第9章 8ビット・タイマ/イベント・カウンタ50, 51
	図9-5 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のフォーマット, 図9-6 8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) のフォーマットの注意を削除	
	9.4.2 外部イベント・カウンタとしての動作にレジスタの設定方法を追加	
	9.4.3 方形波出力 (8ビット分解能) としての動作の【設定方法】に, 周波数についての記述を追加	
	9.4.4 8ビットPWM出力としての動作の【設定方法】に周期とデューティ比についての記述を追加	
	9.5 プログラム・リストを追加	
	旧版の9.6 (2) タイマ・カウント動作中のコンペア・レジスタの変更後の動作を削除	
	旧版の11.4 ウォッチドッグ・タイマを制御するレジスタから, 発振安定時間選択レジスタ (OSTS) を削除	第11章 ウォッチドッグ・タイマ
	図12-1 クロック出力/ブザー出力制御回路のブロック図を変更	第12章 クロック出力/ブザー出力制御回路
	13.2 (3) サンプル&ホールド回路, (4) 電圧コンパレータの説明文を修正, (10) ADTRG端子を追加	第13章 8ビットA/Dコンバータ (μ PD780024A, 780024AY サブシリーズ)
	表13-2 A/Dコンバータのサンプリング時間とA/D変換開始遅延時間を追加	
	13.6 (4) ノイズ対策についてを削除 (削除内容については, 図13-18 AV_{REF} 端子とコンデンサの接続例, 図13-20 信号源インピーダンスが高い場合の回路例に追加), (14) ANI0-ANI7端子の入力インピーダンスについてを追加	
	表13-3 等価回路の各抵抗と容量値 (参考値) を変更	
	図14-2 A/D変換結果レジスタ0 (ADCRO) のフォーマットを追加	
	14.2 (3) サンプル&ホールド回路, (4) 電圧コンパレータの説明文を修正, (10) ADTRG端子を追加	第14章 10ビットA/Dコンバータ (μ PD780034A, 780034AY サブシリーズ)
	表14-2 A/Dコンバータのサンプリング時間とA/D変換開始遅延時間を追加	
	14.6 (4) ノイズ対策についてを削除 (削除内容については, 図14-19 AV_{REF} 端子とコンデンサの接続例, 図14-21 信号源インピーダンスが高い場合の回路例に追加), (14) ANI0-ANI7端子の入力インピーダンスについてを追加	
	表14-3 等価回路の各抵抗と容量値 (参考値) を変更	
	図16-1 シリアル・インタフェースUART0のブロック図を変更	
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) の説明を16.3 シリアル・インタフェースUART0を制御するレジスタから16.2 シリアル・インタフェースUART0の構成に移動	
図16-7 サンプリング誤差を考慮したボー・レートの許容誤差 ($k=0$ の場合) に注意を追加		
図16-10 アシンクロナス・シリアル・インタフェース受信完了割り込み要求タイミングの注意を変更		
16.4.3 赤外線データ転送モードに (1) 使用するレジスタと (3) メイン・システム・クロックとボー・レートの関係を追加		
表16-6 レジスタの設定一覧を追加		
図16-1 シリアル・インタフェースSIO3のブロック図を変更		

版数	前版からの主な改版内容	適用箇所	
第3版	図16-2 シリアル動作モード・レジスタ3 (CSIM3) のフォーマットに注3, 4と注意を追加	第16章 シリアル・インタフェースUART0	
	表16-2 レジスタの設定一覧を追加		
	図17-1 シリアル・インタフェースSIO3nのブロック図を変更	第17章 シリアル・インタフェースSIO30, SIO31	
	図17-2 シリアル動作モード・レジスタ30 (CSIM30) のフォーマット, 図17-3 シリアル動作モード・レジスタ31 (CSIM31) のフォーマットに注3と注意を追加		
	表17-2 レジスタの設定一覧を追加		
	図18-1 シリアル・インタフェースIIC0のブロック図を変更		
	18.2 (1) IICシフト・レジスタ0 (IIC0), (2) スレーブ・アドレス・レジスタ0 (SVA0) と旧版の (4) IICシフト・レジスタ0 (IIC0), (3) スレーブ・アドレス・レジスタ0 (SVA0) を一つにまとめる	第18章 シリアル・インタフェースIIC0 (μ PD780024AY, 780034AYサブシリーズのみ)	
	図18-16 ウェイト信号の「転送ライン」の図に説明文を追加		
	表18-2 INTIIC0発生タイミングおよびウェイト制御の注1, 2に説明文を追加		
	図18-21 マスタ動作手順を変更		
	18.5.15 (2) スレーブ動作を変更		
	図18-23 マスタ→スレーブ通信例 (マスタ, スレーブとも9クロック・ウェイト選択時) の (1) スタート・コンディション→アドレス, (2) データを修正		
	図18-24 スレーブ→マスタ通信例 (マスタ, スレーブとも9クロック・ウェイト選択時) を修正		
	図19-1 割り込み機能の基本構成の (E) ソフトウェア割り込みを修正		第19章 割り込み機能
	図19-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L) のフォーマットに注意5を追加		
	図19-5 外部割り込み立ち上がりエッジ許可レジスタ (EGP), 外部割り込み立ち下がりエッジ許可レジスタ (EGN) のフォーマットに注意を追加		
	19.4.1 ノンマスカブル割り込み要求の受け付け動作に説明文と備考を追加		
	19.4.2 マスカブル割り込み要求の受け付け動作に説明文を追加		
	表19-4 割り込み処理中に多重割り込み可能な割り込み要求に項目追加		
	拡張規格品を使用する場合についての説明を追加	第20章 外部デバイス拡張機能	
	表21-1 HALTモード時の動作状態にクロック出力とブザー出力を追加	第21章 スタンバイ機能	
	表21-3 STOPモード時の動作状態のクロック出力を修正		
	章を改訂	第23章 μ PD78F0034A, 78F0034B, 78F0034AY, 78F0034BY	
	章を追加		
			第25章 電気的特性 (拡張規格: $f_x = 1.0 \sim 12$ MHz)
			第26章 電気的特性 (従来規格: $f_x = 1.0 \sim 8.38$ MHz)
		第27章 外形図	
	第28章 半田付け推奨条件		
章を改訂	付録A μ PD78018F, 780024A, 780034A, 780078サブシリーズ間の違い		
章を改訂	付録B 開発ツール		
章を追加	付録C ターゲット・システム設計上の注意		

[× ㊦]

【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：**044(435)5111**

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) **<http://www.necel.co.jp/>**

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 ：**044-435-9494**

E-mail ：**info@necel.com**

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。
