

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

SuperH™ ファミリ用 E10A エミュレータ

ユーザーズマニュアル 別冊

SH7750R E10A HS7750RKCM02HJ

ルネサスマイクロコンピュータ開発環境システム

SuperH™ ファミリ

SH7750R E10A エミュレータ製品固有ガイド

ご注意

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

目次

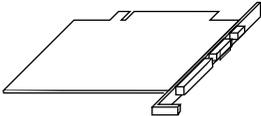
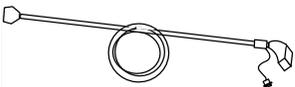
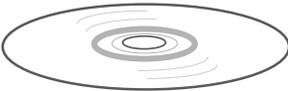
1.	エミュレータとユーザシステムとの接続について	1
1.1	E10A エミュレータの構成	1
1.2	E10A エミュレータとユーザシステムの接続	2
1.3	ユーザシステム上に実装する H-UDI ポートコネクタ	3
1.4	H-UDI ポートコネクタのピン配置	4
1.5	H-UDI ポートコネクタとチップ間の推奨接続例	5
1.5.1	推奨接続例	5
2.	SH7750R E10A エミュレータソフトウェア仕様	7
2.1	E10A エミュレータと SH7750R の相違点	7
2.2	SH7750R E10A エミュレータ特有機能	11
2.2.1	E10A エミュレータのドライバ選択	11
2.2.2	Break Condition 機能	11
2.2.3	トレース機能	13
2.2.4	JTAG クロック (TCK) 使用時の注意事項	15
2.2.5	[Breakpoint]ダイアログボックス設定時の注意事項	15
2.2.6	[Break Condition]ダイアログボックス、BREAKCONDITION_SET コマンド 設定時の注意事項	17
2.2.7	UBC_MODE コマンド設定時の注意事項	18
2.2.8	パフォーマンス測定機能	18
2.2.9	割込み機能	23
2.2.10	CPU ステータス取得機能	24

1. エミュレータとユーザシステムとの接続について

1.1 E10A エミュレータの構成品

SH7750R E10A エミュレータは、SH7750R をサポートしています。
表 1.1 に、E10A エミュレータの構成品を示します。

表 1.1 E10A エミュレータ(製品型名：HS7750RKCM01H、HS7750RKCI01H)の構成品

分類	品名	構成品外観	数量	備考
ハードウェア	カードエミュレータ	 (PCMCIA) または  (PCI)	1	HS7750RKCM01H (PCMCIA: 14 ピンタイプ) 縦 : 85.6 mm、横 : 54.0 mm、 高さ : 5.0 mm、質量 : 27.0 g HS7750RKCI01H (PCI: 14 ピンタイプ) 縦 : 144.0 mm、横 : 105.0 mm、 質量 : 93.0 g
	ユーザインタフェースケーブル		1	HS7750RKCM01H (PCMCIA: 14 ピンタイプ) 長さ : 80 cm、質量 : 45.0 g HS7750RKCI01H (PCI: 14 ピンタイプ) 長さ : 150 cm、質量 : 86.0 g
ソフトウェア	SH7750R E10A エミュレータ セットアップ プログラム、 SuperH™ファミリ用 E10A エミュレータ ユーザーズマニュアル、 別冊 SH7750R E10A エミュレータ 製品固有ガイド		1	HS7750RKCM01SR HS0005KCM01HJ HS0005KCM01HE HS7750RKCM02HJ HS7750RKCM02HE (CD-R で提供)

1.2 E10A エミュレータとユーザシステムの接続

E10A エミュレータを接続するためには、ユーザシステム上に、ユーザ I/F ケーブルを接続するための H-UDI ポートコネクタを実装する必要があります。ユーザシステム設計の際、下記に示す H-UDI ポートコネクタとチップ間の推奨接続例を参考にしてください。

また、ユーザシステム設計の際には、E10A ユーザーズマニュアルおよび関連するデバイスのハードウェアマニュアルを必ずよくお読みになってください。

1.3 ユーザシステム上に実装する H-UDI ポートコネクタ

E10A エミュレータが推奨する H-UDI ポートコネクタを表 1.2 に示します。

表 1.2 推奨コネクタ

	型名	メーカー	仕様
14ピンコネクタ	7614 - 6002	住友スリーエム株式会社	14ピンストレートタイプ

【留意事項】

H-UDI ポートコネクタ実装時、周囲 3 mm 四方に他の部品を実装しないでください。

1.4 H-UDI ポートコネクタのピン配置

H-UDI ポートコネクタのピン配置を図 1.1 に示します。

【注】 下記に記載の H-UDI ポートコネクタのピン番号の数は、コネクタ製造元のピン番号の数え方と異なりますのでご注意ください。

ピン番号	信号名	入力/出力 【注1】	SH7750Rピン番号	
			BGA256	HQFP208
1	TCK	入力	A-5	198
2	/TRST 【注2】	入力	C-4	200
3	TDO	出力	A-6	194
4	/ASEBRK BRKACK 【注2】	入出力	B-7	193
5	TMS	入力	B-6	197
6	TDI	入力	B-5	199
7	/RESET 【注2】	出力	B-1	2
11	N. C.	—	—	—
8~10 12~13	GND	—	—	—
14	GND 【注3】	出力	—	—

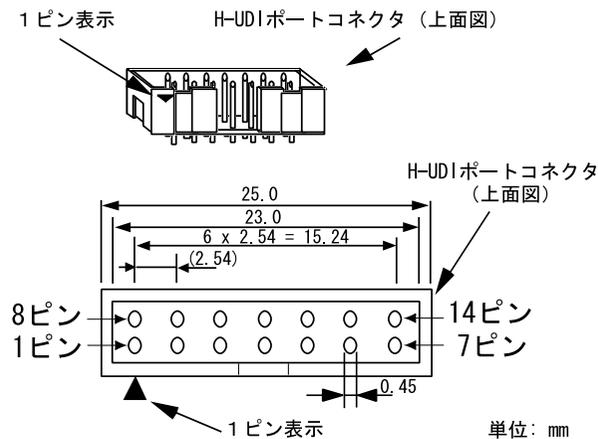


図 1.1 H-UDI ポートコネクタのピン配置 (14 ピン)

- 【注】
1. ユーザシステム側からの入出力方向
 2. /信号名: Low レベルで有効な信号
 3. ユーザシステム側の GND を検出することにより、ユーザシステムの接続と非接続を判別しています。

1.5 H-UDI ポートコネクタとチップ間の推奨接続例

1.5.1 推奨接続例

E10A エミュレータ使用時の H-UDI ポートコネクタとチップ間の推奨接続例を図 1.2 に示します。

- 【注】
1. H-UDI ポートコネクタの N.C.ピンには何も接続しないでください。
 2. プルアップに連抵抗を使用する場合、他の端子によるノイズの影響を受ける可能性がありますので TCK は他の抵抗と分けてください。
 3. ユーザシステム側のリセット信号は、SH7750R の/RESET 端子(198pin)に入力しますが、この信号をユーザシステム側より出力として H-UDI ポートコネクタに接続してください。
 4. H-UDI ポートコネクタとチップ間のパターン長はできるだけ短くしてください。また、基板上で H-UDI ポートコネクタとチップ間以外への信号線の引き回しは行わないでください。
 5. 下図に記載されている抵抗値は、推奨値です。
 6. E10A エミュレータを使用しない場合の端子処理については、関連するデバイスのハードウェアマニュアルを参照してください。

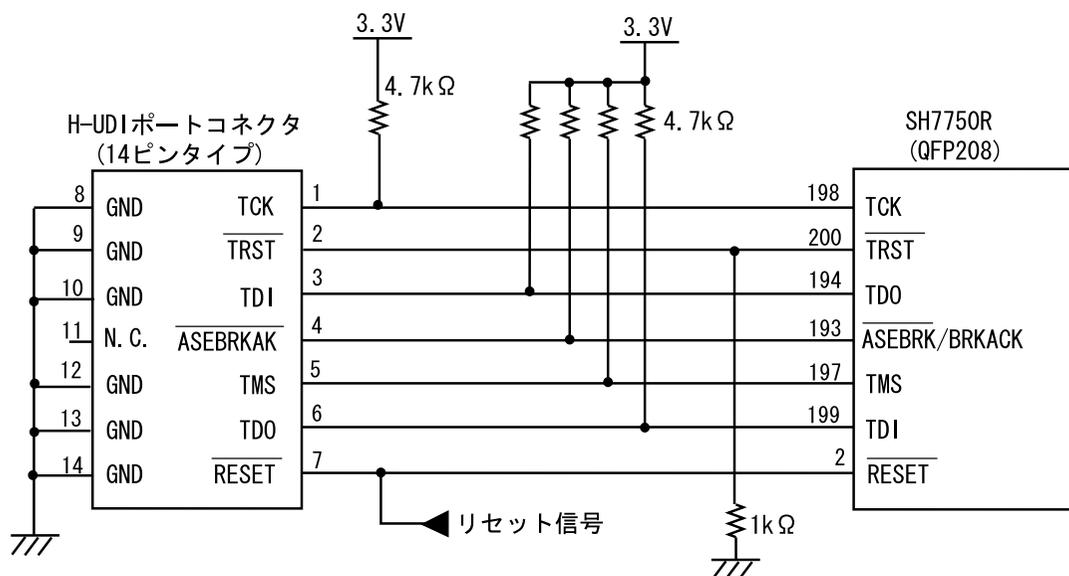


図 1.2 E10A 使用時の H-UDI ポートコネクタ - チップ間の推奨接続例

1. エミュレータとユーザシステムとの接続について

2. SH7750R E10A エミュレータソフトウェア仕様

2.1 E10A エミュレータと SH7750R の相違点

- (1) E10Aエミュレータは、システム起動時に汎用レジスタやコントロールレジスタの一部を初期化していますので注意してください(表2.1)。

表 2.1 E10A エミュレータでのレジスタ初期値

状態	レジスタ名	E10A エミュレータ
E10A エミュレータ 起動時 (POWER ON)	R0 ~ R14	H'00000000
	R15(SP)	H'00000000
	R0_BANK ~ R7_BANK	H'00000000
	PC	H'A0000000
	SR	H'700000F0
	GBR	H'00000000
	VBR	H'00000000
	MACH	H'00000000
	MACL	H'00000000
	PR	H'00000000
	DBR	H'00000000
	SGR	H'00000000
	SPC	H'00000000
	SSR	H'000000F0
	FPUL	H'00000000
	FPSCR	H'00040001
	FR0 ~ FR15	H'00000000
	XF0 ~ XF15	H'00000000

- (2) H-UDIはE10Aエミュレータで使用しているので、アクセスしないでください。

2. SH7750R E10A エミュレータソフトウェア仕様

- (3) 低消費電力状態 (スリープ、スタンバイ、モジュールスタンバイ)
SH7750Rには、低消費電力状態としてスリープ状態、スタンバイ状態、モジュールスタンバイ状態があります。スリープ状態、スタンバイ状態は、SLEEP命令の実行により状態を切り換えます。E10Aエミュレータ使用時、スリープ状態、スタンバイ状態は、通常の解除要因の他に、[Stop]ボタンによっても状態が解除され、ユーザプログラムがブレイクします。ただし、スタンバイ状態、モジュールスタンバイ状態でコマンド入力等を行うと、TIMEOUTエラーが表示されますのでご注意ください。

【留意事項】

ブレイクによりスリープ状態が解除された時、ユーザプログラム再開は、SLEEP 命令の次の命令になります。

スリープ状態中に、メモリ参照や変更を行った場合でもスリープ状態が解除され、SLEEP 命令の次の命令から実行を開始します。

ハードウェアスタンバイ状態でコマンド入力等を行うと、E10A エミュレータからのコマンドは使用できなくなります。また、[Stop]ボタンでは解除できません。

SLEEP 命令を STEP 実行する場合、[Run]メニューの[Step...]を使用する際には[Rate]を 6 にしてください。5 以下の場合、Communication timeout エラーが発生します。

- (4) リセット信号
SH7750Rのリセット信号は、GOボタンおよびSTEP系ボタンをクリックすることによるエミュレーションで有効です。したがって、E10Aエミュレータのコマンド待ち状態では、リセット信号はSH7750Rに入力されません。

【留意事項】

/RESET、/MRESET、/BREQ、/RDY 端子が"Low"状態のままユーザプログラムをブレイクしないでください。TIMEOUT エラーが発生します。また、ブレイク中に/BREQ、/RDY 端子が"Low"固定状態になると、メモリアクセス時に TIMEOUT エラーが発生します。

- (5) ダイレクトメモリアクセスコントローラ(DMAC)
DMACはE10Aエミュレータ使用時でも機能しています。転送要求が発生すると、DMA転送を実行します。
- (6) ユーザプログラム実行中のメモリアクセス
ユーザプログラム実行中にメモリウィンドウ等からメモリアクセスした場合、E10Aエミュレータ内部でユーザプログラムの実行を一旦停止してメモリアクセスし、その後ユーザプログラムを再実行しています。したがって、ユーザプログラムのリアルタイム性はありません。

参考値として、以下の環境でのユーザプログラムの停止時間を示します。

環境

ホストPC	: Pentium®	1 GHz
OS	: Windows®	2000
SH7750R	: CPUクロック	267MHz
JTAGクロック	: 16.5MHz	

コマンドラインウィンドウから1バイトメモリリードを行った場合、停止時間は約8msとなります。

- (7) 割込み
ICRレジスタのNMIBビットが1の時は、ブレイク中でもNMI割込みを受け付けます。NMI割込みルーチンから正常に戻ってこられない場合や、汎用レジスタの値が保証されていない場合、E10AエミュレータはCommunication timeoutエラーになります。
- (8) ユーザプログラムブレイク中のメモリアクセス
E10Aエミュレータは、フラッシュメモリ領域に対してダウンロードすることができます。
(SuperH™ファミリ用 E10Aエミュレータ ユーザーズマニュアル、6.22 フラッシュメモリへのダウンロード機能参照)
しかし他のメモリアイト操作はRAM領域に対してのみ可能です。したがって、メモリアイト、BREAKPOINT等の設定はRAM領域のみに行ってください。
また、MMUによりメモリ空間がライトのみ可能となっている場合にも、メモリアイト、BREAKPOINTブレイク、ダウンロード等の操作は行わないでください。
- (9) ユーザプログラムブレイク中のキャッシュ操作
キャッシュイネーブルの場合、E10Aエミュレータは以下の方法でメモリアクセスしています。
• メモリアイト時：キャッシュを一旦ライトスルーにし、メモリアイトを行う。
• メモリアード時：設定されているキャッシュ書き込みモードを変更せず行う。
したがって、ユーザプログラムブレイク中にメモリアードやライト操作を行うと、キャッシュの状態が変化します。
- (10) UBCについて
[Configuration]ダイアログボックスの[UBC mode]リストボックスで[User]を設定すると、UBCをユーザプログラムで使用することができます。
また、[Configuration]ダイアログボックスの[UBC mode]リストボックスで[EML]と設定している場合は、E10AエミュレータでUBCを使用していますので、ユーザプログラムで使用しないでください。
- (11) MFIブートモードについて
MFIブートモードを使用する場合は、必ずMFRAMの先頭からブートプログラムが配置されている必要があります。
- (12) RWDTの使用について
パワーオンリセット時、RWDTの動作はイネーブルです。RWDTを使用しない場合は、ユーザリセットプログラムの先頭で必ずRWDTの動作をディスエーブルにしてください。
- (13) ブレイク中のメモリアクセスについて
MMUが有効でブレイク中にメモリアクセスによりTLBエラーが発生した場合は、TLB例外抑止するか、ユーザ例外ハンドラにジャンプするかを選択することができます。[Configuration]ダイアログボックスの[TLB Mode]で選択を行います。[TLB miss exception is enable]を選択している場合、TLB例外ハンドラが正しく動作しないと「Communication Timeoutエラー」が発生します。
[TLB miss exception is disable]を選択している場合、TLB例外が発生してもTLB例外ハンドラにジャンプしません。したがって、TLB例外ハンドラが正しく動作しない場合にも「Communication Timeoutエラー」は発生しませんが、メモリ内容が正しく表示されない場合があります。

2. SH7750R E10A エミュレータソフトウェア仕様

(14) セッションロードについて

[Configuration]ダイアログボックスの[JTAG clock]の情報は、セッションロードで回復されません。このため、TCKの値は、以下のようになります。

- HS7750RKCI01H, HS7750RKCI02H を使用の場合は、TCK=1.031MHz
- HS7750RKCM01H, HS7750RKCM02H を使用の場合は、TCK=0.937MHz

(15) [IO]ウィンドウ

• 表示と変更

ユーザブレークコントローラ (User Break Controller) は、E10Aエミュレータが使用するため、値の変更は行わないでください。

ウォッチドッグタイマ (Watchdog Timer) の各レジスタは、読み出し / 書き込みの 2 つを用意しています。

表 2.2 ウォッチドッグタイマのレジスタ

レジスタ名	用途	レジスタ
WTCSR (W)	書き込み用	ウォッチドッグタイマコントロール / ステータスレジスタ
WTCNT (W)	書き込み用	ウォッチドッグタイマカウンタ
WTCSR(R)	読み出し用	ウォッチドッグタイマコントロール / ステータスレジスタ
WTCNT(R)	読み出し用	ウォッチドッグタイマカウンタ

ウォッチドッグタイマは、ユーザプログラムの実行時以外は動作しません。周波数変更レジスタの値は、[IO]ウィンドウや[Memory]ウィンドウから変更せず、必ずユーザプログラム内で変更してください。

E10Aエミュレータでは[IO]ウィンドウから内蔵I/Oレジスタにアクセスできますが、バスステートコントローラのSDMRレジスタに書き込む際には注意が必要です。SDMRレジスタに対して書き込みを行う場合、書き込みを行うアドレスをあらかじめI/Oレジスタ定義ファイル (SH7750R.IO) に設定してから起動してください。I/Oレジスタファイルは、I/Oレジスタファイル作成後、デバイス仕様が変更になることがあります。I/Oレジスタファイルの各I/Oレジスタと、デバイスマニュアル記載のアドレスに相違がある場合は、デバイスマニュアルの記載にしたがって修正してご使用ください。I/Oレジスタは、I/Oレジスタファイルのフォーマットにしたがい、カスタマイズすることが可能です。なお、E10Aエミュレータでは、ビットフィールド機能についてはサポートしていませんので、ご了承ください。

• ベリファイ

[IO]ウィンドウにおいては、入力値のベリファイ機能は無効です。

(16) 不当命令

不当命令をSTEP実行すると、次のプログラムカウンタに進みません。

2.2 SH7750R E10A エミュレータ特有機能

2.2.1 E10A エミュレータのドライバ選択

表 2.3 に、[E10A Driver Details]ダイアログボックスで選択するドライバを示します。

表 2.3 製品型名とドライバ対応表

製品型名	ドライバ
HS7750RKCM01H	E10A PC Card Driver 3
HS7750RKCI01H	E10A PCI Card Driver 3

2.2.2 Break Condition 機能

E10A エミュレータは、Break Condition 1,2,3,4,5,6,7,8 の 8 つの Break Condition 条件を設定することができます。Break Condition 5,6 については UBC (User Break Controller) を使用しています。表 2.4 に Break Condition の条件の内容を示します。

表 2.4 Break Condition の条件

項番	Break Condition 条件	説明
1	アドレスバス条件 (Address)	SH7750R のアドレスバスまたはプログラムカウンタの値が一致したときにブレイクします。
2	データバス条件 (Data)	SH7750R のデータバスの値が一致したときにブレイクします。 バイト、ワード、ロングアクセスのデータサイズを指定できます。
3	ASID 条件 (ASID)	SH7750R の ASID の値が指定した条件と一致したときにブレイクします。
4	バスステータス条件 (Bus State)	バスステータス条件には、次の 2 つの条件設定があります。 Read/Write 条件：SH7750R のリードサイクル、ライトサイクルでブレイクします。 Bus State 条件：SH7750R の各バスサイクルでの動作状態が指定した条件と一致したときにブレイクします。
5	LDTLB 命令ブレイク条件	SH7750R が LDTLB 命令を実行したときにブレイクします。
6	内蔵 I/O ブレイク条件	SH7750R が内蔵 I/O をアクセスしたときにブレイクします。

【留意事項】

ウィンドウ機能、コマンドラインシンタックスについては、オンラインヘルプを参照してください。

2. SH7750R E10A エミュレータソフトウェア仕様

表 2.5 に Break Condition 1,2,3,4,5,6,7,8 で設定できる条件の組み合わせについて説明します。

表 2.5 Break Condition の条件設定用のダイアログボックス

機能	ダイアログボックス			
	[Break Condition 1,5] ダイアログボックス	[Break Condition 2,3,4,6] ダイアログボックス	[Break Condition 7] ダイアログボックス	[Break Condition 8] ダイアログボックス
アドレスバス条件 (Address)			×	×
データバス条件 (Data)		×	×	×
ASID 条件 (ASID)			×	×
リード/ライト指定			×	×
データアクセス			×	×
実行前/後指定			×	×
シーケンシャルブレーク			×	×
LDTLB 命令ブレーク	×	×	×	
内蔵 I/O アクセスブレーク	×	×		×

[注] は、ダイアログボックスで設定できることを表します。

×は、設定できないことを表します。

【留意事項】

SR レジスタの BL ビットが 1 のとき、BREAKPOINT は使用しないでください。
 マニュアルリセットを発生させる命令の近くに Break Condition や BREAKPOINT を設定した場合、ブレークせずにマニュアルリセットが発生する場合があります。例外を発生させる命令の 4 命令前までに設定すれば確実にブレークします。

SH7750R E10A エミュレータは、シーケンシャルブレーク機能を持っています。表 2.6 にシーケンシャルブレーク条件を示します。

表 2.6 シーケンシャルブレーク条件

項番	ブレーク条件	説明
1	Sequential break condition 2-1	Break Condition 2,1 の順番で条件が成立したときにプログラムを停止します。 Break Condition 2,1 の設定が必要です。
2	Sequential break condition 3-2-1	Break Condition 3,2,1 の順番で条件が成立したときにプログラムを停止します。 Break Condition 3,2,1 の設定が必要です。
3	Sequential break condition 4-3-2-1	Break Condition 4,3,2,1 の順番で条件が成立したときにプログラムを停止します。 Break Condition 4,3,2,1 の設定が必要です。
4	Sequential break condition 6-5	Break Condition 6,5 の順番で条件が成立したときにプログラムを停止します。 Break Condition 6,5 の設定が必要です。

[注] [Configuration]ダイアログボックスで設定できます。

項番 1~3 は[Configuration]ダイアログボックスの[Emulation_mode]リストボックス、または Go_option コマンドで設定できます。コマンドラインシンタックスについては、オンラインヘルプを参照してください。
 項番 4 は[Configuration]ダイアログボックスの[UBC_mode]リストボックス、または UBC_mode コマンドで設定できます。コマンドラインシンタックスについては、オンラインヘルプを参照してください。

2.2.3 トレース機能

SH7750R E10A エミュレータでは、AUD 機能をサポートしていません。

表 2.7 に内蔵トレース機能の一覧を示します。

表 2.7 内蔵トレース機能一覧

トレース表示内容	説明
分岐命令トレース	<p>分岐命令のトレース表示を行います。分岐元アドレス / 分岐先アドレスを最新の 8 分岐分トレースして表示します。分岐命令トレースには、以下の 3 つがあります。</p> <p>(1) 一般分岐命令トレース 一般分岐命令をトレース表示します。一般分岐命令は、BF, BF/S, BT/S, BRA, BRAF, JMP 命令です。この場合、[Branch trace]ページの [Acquire normal branch instruction trace] チェックボックスを必ず選択してください。</p> <p>(2) サブルーチン分岐命令トレース サブルーチン分岐命令をトレース表示します。サブルーチン分岐命令は、BSR, BSRF, JSR, RTS 命令です。この場合、[Branch trace]ページの [Acquire subroutine branch instruction trace] チェックボックスを必ず選択してください。</p> <p>(3) 例外分岐命令トレース 例外分岐命令をトレース表示します。例外分岐命令は、RTE 命令です。また、すべての例外、割込み動作も対象となります。この場合、[Branch trace]ページの [Acquire exception branch instruction trace] チェックボックスを必ず選択してください。</p>
継続トレース	<p>トレース情報を継続して取得することができます。これを継続トレースといいます。分岐命令トレースの場合、8 分岐を最大 4 回継続して取得することができます。[Branch trace]ページの [Acquire continuous trace] チェックボックスを選択してください。継続トレースを選択した場合、リアルタイム性はありません。</p>
内蔵 I/O トレース	<p>内蔵 I/O をアクセスしたアドレスおよびデータをトレース表示します。この場合、[Break Condition 7] ダイアログボックスの [Get trace information of internal I/O area] ラジオボタンと [Branch trace]ページの [Acquire continuous trace] チェックボックスを必ず選択してください。</p>
LDTLB 命令実行トレース	<p>LDTLB 命令を実行したアドレスをトレース表示します。この場合、[Break Condition 8] ダイアログボックスの [Get trace information of LDTLB instruction] ラジオボタンと [Branch trace]ページの [Acquire continuous trace] チェックボックスを必ず選択してください。</p>

【留意事項】

1. 継続トレースを使用しない場合、最新の 8 分岐命令がトレース取得できます。
2. プログラム実行（ステップ実行を含む）開始、終了時に割込みが発生した場合、エミュレータ使用領域のアドレスがトレース取得されることがあります。このとき、ニーモニック、オペランドの表示箇所に次のメッセージが表示されます。このアドレスはユーザプログラムのアドレスではないので、無視してください。
*** EML ***
3. 例外分岐取得時において、完了型例外が発生したとき、例外発生したアドレスの次のアドレスが取得されます。
4. INTERRUPT コマンドによりエミュレータコマンド待ち状態やユーザプログラム実行中のユーザ割込みを許可した場合、プログラム実行（ステップ実行を含む）開始、終了時に発生した割込みはリアルタイムでトレース取得できます。
5. [Acquire continuous trace]チェックボックスを有効にした場合は、エミュレーション中のメモリアクセスはしないでください。
6. 内蔵 I/O トレースおよび LDTLB 命令トレースを行う場合は、必ず[Acquire continuous trace]チェックボックスを有効にしてください。
7. [Acquire continuous trace]チェックボックスを有効にした場合は、トレース情報を 32 個取得することができますが、一定間隔でユーザプログラムが停止するため、リアルタイム性はありません。
8. 以下の分岐命令は、トレース取得できません。
 - ・ BF, BT 命令のうち、ディスプレイメント値が 0 の場合
 - ・ リセットによる、H'A0000000 への分岐
9. [Acquire continuous trace]チェックボックスを有効にし、[Break Condition 5]ダイアログボックスで、[Get trace information of internal I/O area]ラジオボタンを有効（内蔵 I/O トレース許可）または[Get trace information of LDTLB instruction]ラジオボタンを有効（LDTLB 命令トレース許可）に設定した場合は、
 - ・ Step in 機能実行時、内蔵 I/O トレースはできません。
 - ・ Step over 機能実行時、LDTLB 命令、内蔵 I/O トレースはできません。
10. 割込みハンドラで SGR 値を参照するプログラムの場合、継続トレースは使用しないでください。
SH7750R E10A エミュレータではユーザプログラムブレーク時に SGR レジスタの値を破壊します。継続トレースを選択すると一定の間隔でユーザプログラムを停止するので、SGR レジスタの値が破壊されます。
11. 継続トレースを使用している場合、INTERRUPT コマンドによりエミュレータコマンド待ち状態やユーザプログラム実行中のユーザ割込みを許可しないでください。

2.2.4 JTAG クロック (TCK) 使用時の注意事項

JTAG クロック (TCK) の周波数は、SH7750R の周辺モジュールクロック (CKP) の周波数より低くしてください。

2.2.5 [Breakpoint]ダイアログボックス設定時の注意事項

- (1) 指定アドレスが奇数時は、偶数に切り捨てます。
- (2) BREAKPOINTは、指定されたアドレスの命令を置き換えることにより実現していますので、RAM領域にだけ設定できます。ただし、次に示すアドレスには指定できません。
 - メモリ内容が H'003B であるアドレス
 - CS0 ~ 6 空間、内蔵 RAM 以外の領域
 - Break Condition 3 が成立する命令
 - 遅延分岐命令のスロット命令
 また、MMUによりメモリ空間がライトのみ可能となっている場合にメモリライト、ソフトウェアブレーク、ダウンロード等の操作は行わないでください。
- (3) ステップ実行中は、BREAKPOINTは無効です。
- (4) BREAKPOINTを実行する際、Break Condition 3は無効です。したがって、Break Condition 3 が成立する命令には、BREAKPOINTを設定しないでください。
- (5) BREAKPOINTが設定されているアドレスから実行を再開した場合、1度そのアドレスをシングルステップにより実行してから実行を継続するので、リアルタイム性はなくなります。
- (6) 遅延分岐命令のスロット命令にBREAKPOINTを設定した場合、PC値は不当な値となります。したがって、遅延分岐命令のスロット命令にBREAKPOINTを設定しないでください。
- (7) [Configuration]ダイアログボックスの[General]ページの[Memory area]グループボックスで Normal指定時は、VPMAP_SETコマンド設定が無効ならコマンド入力時のSH7750RのMMUの状態に従って、物理アドレスまたは論理アドレスにBREAKPOINTを設定します。ASID値は、コマンド入力時のSH7750RのPTEHレジスタのASID値に従います。また、VPMAP_SETコマンド設定が有効ならVP_MAPテーブルに従ってアドレス変換した物理アドレスにBREAKPOINTを設定します。ただし、VP_MAPテーブル範囲外のアドレスに対してはコマンド入力時のSH7750RのMMU状態に従います。BREAKPOINT設定後にVP_MAPテーブルを変更した場合でも、BREAKPOINT設定時のアドレス変換が有効です。
- (8) [Configuration]ダイアログボックスの[General]ページの[Memory area]グループボックスで Physical指定時は物理アドレスにBREAKPOINTを設定します。プログラム実行時にSH7750RのMMUを無効にしてからBREAKPOINTを設定し、設定後にMMUを元の状態に戻します。対応する論理アドレスでブレークした場合、ステータスバーおよび[Status]ウィンドウに表示する停止要因は、BREAKPOINTではなく、ILLEGAL INSTRUCTIONになります。

- (9) [Configuration]ダイアログボックスの[General]ページの[Memory area]グループボックスでVirtual指定時は論理アドレスにBREAKPOINTを設定します。プログラム実行時にSH7750RのMMUを有効にしてからBREAKPOINTを設定し、設定後にMMUを元の状態に戻します。ASID値の指定がある場合は、指定されたASID値に従う論理アドレスにBREAKPOINTを設定します。E10AエミュレータはASID値を指定値に書き換えてからBREAKPOINTを設定し、設定後にASID値を元の状態に戻します。ASID値の指定がない場合は、コマンド入力時のASID値に従う論理アドレスにBREAKPOINTを設定します。
- (10) 論理アドレス指定時にTLBエラーが発生した場合は、以下のダイアログボックスで通知します。



図 2.1 TLB エラーのメッセージボックス

- TLBエラーが発生したアドレスに設定したBREAKPOINTを解除せずにGOコマンドを実行すると、再度TLBエラーが発生するので、GOコマンド実行前にBREAKPOINTを解除してください。
- (11) BREAKPOINTが設定されるアドレス（物理アドレス）はBREAKPOINTを設定した時点で決まるため、設定後にVP_MAPテーブルを書き換えてもBREAKPOINTの設定アドレスは変わりません。ただし、VP_MAPテーブルが変更されたアドレスでBREAKPOINTが成立した場合、ステータスバーおよび[Status]ウィンドウに表示する停止要因は、BREAKPOINTではなくILLEGAL INSTRUCTIONとなります。
- (12) キャッシュ領域にBREAKPOINTを設定した場合、ユーザプログラムの実行直前および実行直後にBREAKPOINTのアドレス内容がキャッシュフィルされますので、キャッシュ内容が変更されます。
- (13) BREAKPOINTが設定されているとき、実行終了時に命令キャッシュの内容はすべて無効となります。

2.2.6 [Break Condition]ダイアログボックス、BREAKCONDITION_SET コマンド設定時の注意事項

- (1) Break Condition 3はGo to cursor、Step In、Step Over、Step Out使用時は無効です。
- (2) BREAKPOINTが設定されている命令を実行する際に、Break Condition 3の条件は無効となります。したがって、Break Condition 3の条件が成立する命令にはBREAKPOINTを設定しないでください。
- (3) Break Conditionの条件成立後に複数命令を実行してから停止することがあります。
- (4) 遅延分岐命令のスロット命令ではPCブレークの実行前にプログラムを停止することができません。遅延分岐命令のスロット命令にPCブレーク（実行前停止条件）を設定した場合、分岐先の命令実行前で停止します。
- (5) Break Condition 5,6についてはUBCを使用しています。ユーザプログラムでUBCを使用する場合、[Configuration]ダイアログボックスの[UBC_mode]リストボックス、またはUBC_modeコマンドによって、UBCをユーザが使用する設定に変更してください。
- (6) Break Condition 1,4についてはパフォーマンス測定機能における開始/終了条件としても使用します。この時、[Event]ウィンドウの[Break condition]シートのAction部分にPA-1 start point, PA-1 end point と表示されます。パフォーマンス測定機能の設定方法については、「2.2.8章 パフォーマンス測定機能」を参照してください。
コマンドライン機能のBREAKCONDITION_DISPLAYコマンドによるBreak Condition条件表示時にも同様です。この場合、Break Condition 1,4条件成立でブレークしません。

Type	State	Condition	Action
Break condition	Disable	None	PA-1 start point
Break condition	Disable	None	Break
Break condition	Disable	None	Break
Break condition	Disable	None	PA-1 end point
Break condition	Disable	None	Break
Break condition	Disable	None	Break
Break condition	Disable	None	Break
Break condition	Disable	None	Break

図 2.2 [Event]ウィンドウ

2.2.7 UBC_MODE コマンド設定時の注意事項

[Configuration]ダイアログボックスにおいて、[UBC mode]リストボックス設定時に[User]と設定した場合、Break Condition2 を使用して実現している STEP 系コマンドは使用できません。

2.2.8 パフォーマンス測定機能

SH7750R E10A エミュレータは、パフォーマンス測定機能をサポートしています。

(1) パフォーマンスの測定条件の設定

パフォーマンスの測定条件の設定は、[CPU Performance]ダイアログボックス、および PERFORMANCE_SET コマンドを使用します。[CPU Performance]ダイアログボックスは、[Performance Analysis]ウィンドウ上の任意の 1 行を選択しマウスの右ボタンを押すと、ポップアップメニューが表示され、[設定]を選択すると表示されます。

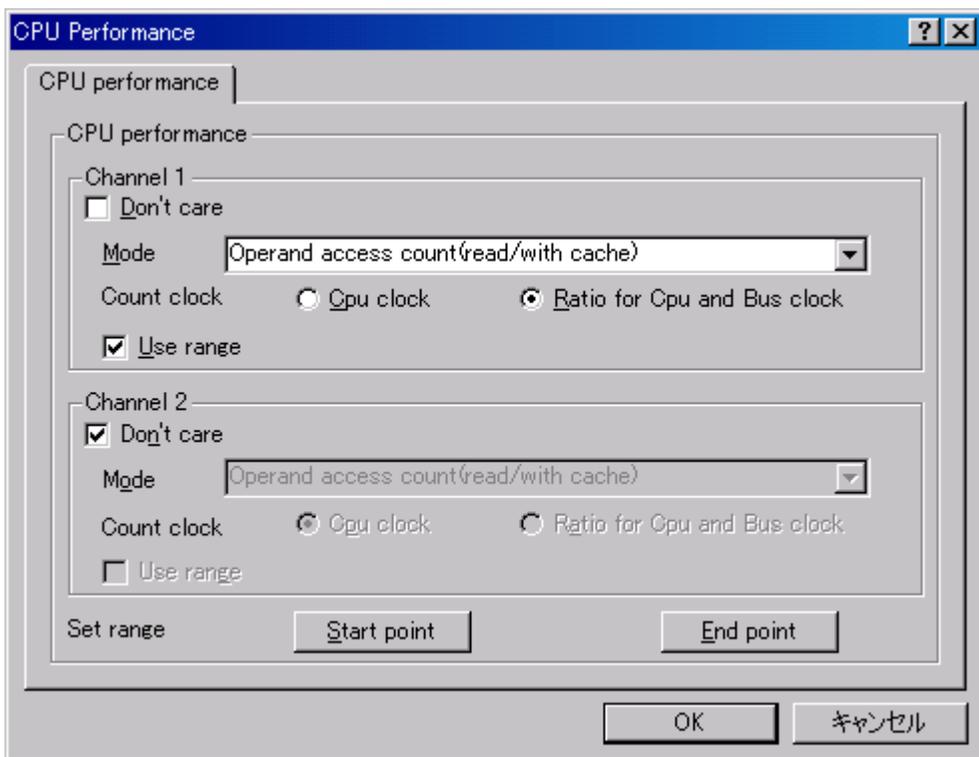


図 2.3 [CPU Performance]ダイアログボックス

【留意事項】

コマンドラインシンタックスについては、オンラインヘルプを参照してください。

パフォーマンス測定機能により、ユーザプログラムの各条件の成立回数を測定します。本機能では、同時に 2 つのイベントを測定でき、それぞれ次の測定条件を設定できます。測定開始 / 終了条件指定も可能です。

(a) 測定期間

ユーザプログラム実行開始から実行終了までの期間

Break condition 1に設定された条件が成立してから、Break condition 4に設定された条件が成立するまでの期間

測定チャンネル 1,2それぞれにおいて Δt を設定できます。

を選択した場合、一度のユーザプログラムの実行につき数サイクル分の誤差が生じます。したがって、ステップ実行時には使用しないでください。また、継続トレースを選択しているときも、エミュレータ内部でユーザプログラムの実行停止・再開が発生するので、使用しないでください。

を選択した場合、[Event]ウィンドウの[Break condition]シートの Action 部分に PA-1 start point, PA-1 end point と表示されます。

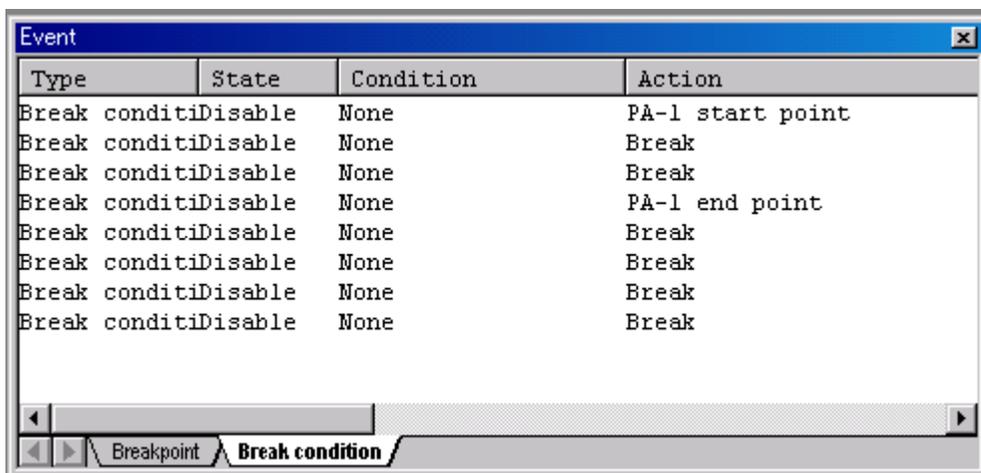


図 2.4 [Event]ウィンドウ([Break condition]シート)

またこの場合、Break condition 1,4 の条件成立でブレークしません。

[留意事項]

範囲指定をする場合、必ず Break condition 1 に測定開始条件、Break condition 4 に測定終了条件を設定してからユーザプログラムを実行してください。

Break condition 1,4 が未設定の状態ユーザプログラムを実行した時にはパフォーマンスが正常に測定できませんので、以下のダイアログボックスによって通知します。

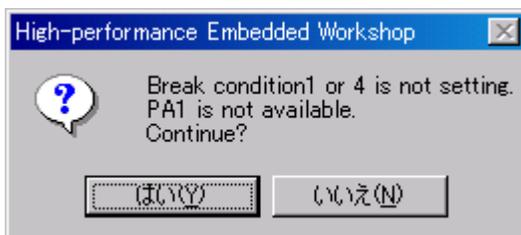


図 2.5 [High-performance Embedded Workshop]ダイアログボックス

2. SH7750R E10A エミュレータソフトウェア仕様

(b) 測定項目

測定項目は、[CPU Performance]ダイアログボックスの[Channel1 ~ 2]で行います。最大2つの条件を同時に指定可能です。表 2.8 に示します（表 2.8 のオプションは、PERFORMANCE_SET コマンドの <mode>パラメータです。また、[Performance Analysis]ウィンドウの NAME に表示します）。

表 2.8 測定項目 (1)

測定項目	オプション	内 容
Operand access count(read/with cache)	OAR【注】	キャッシュが ON の場合に、cacheable の領域へオペランドアクセスをしたときの回数(リードアクセスのみ)
Operand access count(write/with cache)	OAW【注】	キャッシュが ON の場合に、cacheable の領域へオペランドアクセスをしたときの回数(ライトアクセスのみ)
Operand access count(read+write/with cache)	OARW【注】	キャッシュが ON の場合に、cacheable の領域へオペランドアクセスをしたときの回数(リード、ライトアクセス両方)
Internal RAM operand access count	OARAM	内蔵 RAM エリアへのオペランドアクセスの回数
All operand access count	OA	全オペランドアクセスの回数
Internal I/O area access count	IOA	内蔵 I/O 空間をアクセスした回数
Operand cache read miss count	DCR	データリードの際のオペランドキャッシュミスの回数
Operand cache write miss count	DCW	データライトの際のオペランドキャッシュミスの回数
Operand cache read+write miss count	DCRW	データリード、ライトの際のオペランドキャッシュミスの回数
Instruction cache miss count	EC	命令キャッシュミスの回数
UTLB miss count	DT	データアクセスの際の UTLB ミスの回数
Instruction TLB miss count(ITLB,UTLB miss)	ET	命令アクセスの際の UTLB、ITLB ミスの回数
Instruction cache miss count	EF【注】	キャッシュが ON の場合で、キャッシュ領域へ命令フェッチをしたときの回数
All instruction fetch count	EA	全命令フェッチの回数
Branch instruction execution count	B	分岐命令発行の回数 (測定対象：BF(ディスプレイメント 0 以外),BF/S,BT(ディスプレイメント 0 以外),BT/S,BRA,BRAF,JMP)
Branch taken count	BT	分岐成立の回数 (測定対象はモード'B'と同様)
BSR/BSRF/JSR instruction execution count	BBJ	BSR/BSRF/JSR 命令発行の回数
Instruction execution count	E	命令発行の回数
Two-instruction concurrent execution count	E2	2 命令同時発行の回数
FPU instruction execution count	EFP	FPU 命令発行の回数
TRAPA instruction execution count	ETR	TRAPA 命令実行の回数
Interrupt count(normal)	INT	割込み (通常：NMI 以外) の回数
Interrupt count(NMI)	NMI	割込み (NMI) の回数

表 2.8 測定項目 (2)

測定項目	オプション	内 容
UBC-A match count	UA	UBC のチャンネル A が成立した回数
Pipeline-freeze(by cache miss/instruction)	PFCE	命令キャッシュミスによるパイプラインフリーズサイクル
Pipeline-freeze(by cache miss/data)	PFCD	オペランドキャッシュミスによるパイプラインフリーズサイクル
Pipeline-freeze(by branch instruction/interrupt)	PFB	分岐命令や例外によるパイプラインフリーズサイクル

【注】 PREF 命令や TLB.c=0 による非キャッシュオペランドアクセスはカウントアップしません。

各測定条件については、表 2.9 に示す条件が発生した場合についてもカウントを行います。

表 2.9 パフォーマンス各測定条件においてカウントする場合

測定条件	留意事項	対象モード
命令キャッシュミス回数	<ul style="list-style-type: none"> ・ 1 サイクルで命令をフェッチできなかった回数を計測するため、キャッシュオフ領域への命令フェッチを含む ・ 例外発生の際オーバーランフェッチ時にキャッシュミスが発生した場合も含む 	EC
TLB ミス回数	TLB ミスよりも優先度の高い例外発生により TLB ミスがキャンセルされた場合も含む	DT、ET
命令フェッチ回数	・ CPU の命令フェッチ要求を受け付けた場合も含む	EF、EA
命令発行の回数	2 命令同時発行時は 2 つカウント	E
	命令フェッチ例外(命令アドレスエラー、命令 TLB ミス例外、命令 TLB 保護違反例外)発生時に 1~3 カウントする場合がある	E、E2
FPU 命令発行の回数	<ul style="list-style-type: none"> ・ 2 命令同時発行時は 2 つカウント ・ FPU 命令とは、以下の命令を指します。 LDS Rm,FPUL, LDS.L @Rm+,FPUL, LDS Rm,FPSCR, LDS.L @Rm+,FPSCR STS FPUL,Rn, STS.L FPUL,@-Rn, STS FPSCR,Rn, STS.L FPSCR,@-Rn その他、命令コードが H'Fxxx の命令 	EFP
UBC 成立回数	E10A エミュレータが Break Condition 5,6 として使用している場合も測定	UA、UB
キャッシュミスによるパイプラインフリーズ	<ul style="list-style-type: none"> 以下のフリーズ時間を含む ・ 内蔵 RAM、内蔵 I/O 空間アクセス時 ・ キャッシュを使用しない命令/オペランドアクセス時 	PFCE、PFCD
分岐命令や例外によるパイプラインフリーズサイクル	ディレイスロット命令が 1 サイクル遅れで実行される場合を除き、分岐実行前に 1 サイクルのみカウントします。これは 1 回 1 サイクルなので、回数に等しくなります。分岐先の命令が命令キャッシュに存在しない場合、ECF で 2 サイクル目以降の遅れをカウントします。PFB では、すべての分岐命令がカウントの対象になります。	PFB

(c) 測定回数カウント方法

CPU動作クロックでカウント

CPU動作クロックとバスクロックの比でカウント

測定チャンネル 1,2 それぞれにおいて $\frac{C}{B}$ を設定できます。

の方法を選択したとき、1 サイクルを 1 カウントとします。

の方法を選択したとき、クロック周波数比 (CPU クロックとバスクロックの比) に応じて 3, 4, 6, 8, 12, 24 を加えます。この場合、次に示す方法で実時間を計算できます。

実時間を T、バスクロックの 1 周期の時間を B、カウンタ値の値を C とすると、

$$T = C \times B \div 24$$

となります。

ユーザプログラム中で CPU / バスクロック比を変更する場合、サイクル数の測定には、 $\frac{C}{B}$ を選択することをお勧めします。

パフォーマンス測定機能を使用したプログラムの各パフォーマンス測定例を説明します。

(i) キャッシュのヒット率の測定方法

測定チャンネル1でキャッシュミスの回数 (データリード、ライト時) 測定を設定し、測定チャンネル2でキャッシュがONの場合のキャッシュ領域へのオペランドアクセス (リード、ライト時) 回数測定を設定します。

両チャンネルの測定開始 / 終了条件をGOコマンド実行中とすると、キャッシュミス回数とキャッシュにアクセスした回数が測定でき、実行されたユーザプログラム全領域でのキャッシュのヒット率が測定できます。

(ii) 全体の実行時間に占める指定プログラムエリアの実行時間の測定方法

測定チャンネル1の測定開始 / 終了条件をGOコマンド実行中と設定し、測定チャンネル2の測定開始 / 終了PC値を設定します。

測定チャンネル1,2の測定項目として経過時間サイクルを選択します。

以上の条件で測定すると、全体の実行時間と指定プログラムエリアの実行時間が測定でき、指定プログラムエリアの実行時間が全体のどれだけかを占めているかがわかります。

[留意事項]

1. カウンタは 48 ビットです。最大 2^{48} = 約 2.8×10^{14} 回数、約 21.7 日分のサイクル (CPU 動作周波数が 267MHz の場合) が測定できます。オーバーフローした場合、測定値は無効となります。
2. コマンドラインシンタックスについては、オンラインヘルプを参照してください。

(2) 測定結果の表示

測定結果は、[Performance Analysis]ウィンドウ、または、PERFORMANCE_ANALYSIS コマンドで行います。表示結果は 16 進数 (32 ビット) で表示します。

【留意事項】

パフォーマンス測定の結果のカウンタがオーバーフローした場合、"*****"を表示します。

(3) 測定結果の初期化

測定結果の初期化は、[Performance Analysis]ウィンドウのポップアップメニューで [全てリセット] を選択するか、PERFORMANCE_ANALYSIS コマンドで INIT を指定してください。

2.2.9 割込み機能

エミュレーション実行中はSH7750Rの割込みはすべてユーザに開放しています。ユーザプログラムブレイク中の場合、割込み処理を実行するモードか、しないモードかを指定することができます。

(a) ユーザプログラムブレイク中に割込み処理を実行しない場合

通常はエミュレータコマンド実行中およびコマンド待ち状態のときは、割込みが発生しても割込み処理は実行しません。ただし、エミュレータコマンド待ち状態のときに、内部割込みおよび外部割込みのうち、エッジ入力の割込みが発生した場合、エミュレータが割込みを保持しておき、GO コマンド実行時に割込み処理から実行します。

(b) ユーザプログラムブレイク中に割込み処理を実行する場合

INTERRUPT コマンドを使用することで各割込み処理を実行することができます。

本機能は、コマンドラインでのみサポートしています。

以下の機能があります。

- NMI 割込み処理のみ実行する
- 優先レベルを設定し、優先レベルの高い割込みのみ実行する。

【留意事項】

1. 割込みハンドラが正しく動作することを確認した上で、本機能を使用してください。また割込みハンドラ内で無限ループや sleep 命令を実行しないでください。ハンドラの処理が終了しない場合、E10A エミュレータが Communication Timeout エラーを発生します
2. ユーザブレイク中においてユーザ割込みが許可されている場合、ユーザ割込み処理はトレース取得されません。この場合、継続トレース取得の設定はできません。
3. 割込みハンドラの RTE 命令のディレイスロットには NOP 命令を入れてください。
4. ユーザプログラムがブレイクしてからブレイク処理が終了するまでの間にユーザ割込みが入る可能性がある場合、割込みハンドラに BREAKPOINT を設定しないでください。E10A エミュレータが Communication timeout エラーを発生する可能性があります。Break Condition 機能をご使用ください。
5. コマンドラインシンタックスについては、オンラインヘルプを参照してください。

2.2.10 CPU ステータス取得機能

ユーザプログラム実行中の SH7750R の状態をリアルタイムに表示することができます。

ウィンドウ機能では、[拡張モニタコンフィギュレーション]ダイアログボックスで選択した項目について、ユーザプログラム実行中常に[Extended Monitor]ウィンドウに表示し続けることができます。

コマンドライン機能では、指定したレジスタ値についてコマンドを入力した瞬間の状態を表示することができます。

[留意事項]

1. 本機能はユーザプログラム実行中のみ有効です。ユーザプログラムブレイク中に本機能を使用した場合、不定値が表示されます。
2. リセット期間中の読み出し値は保証しません。
3. スリープ/ディープスリープ中は STATUS,FRQCR のみ読み出すことができます。
4. 表示を更新する間隔は、1000 ~ 65535ms の間で変更が可能です。

表示可能な項目の詳細を表 2.10 に示します。

表 2.10 表示項目 (1)

項目	表示例	説明
PC	H'A0000104	PC 値を表示します。
SR	H'000000F0	SR レジスタの値を表示します。
FPSCR	H'000000F0	FPSCR レジスタの値を表示します。
INTEVT	H'00000100	INTEVT レジスタの値を表示します。
EXPEVT	H'00000600	EXPEVT レジスタの値を表示します。
FRQCR レジスタ	H'00000102	FRQCR レジスタの値を表示します。
MMUCR.AT	H'0	MMUCR レジスタの AT ビットの値を表示します。
ASID	H'01	PTEH レジスタの ASID 値を表示します。
CCR	H'00000001	CCR レジスタの値を表示します。
SBUS	H'00000000	ロード/ストアバスアドレスを表示します。(内部バス)
EBUS	H'00000000	外部バスアドレスを表示します。
SBTYPE	B'1101	内部バスの状態を表示します。 各ビットはそれぞれ以下の意味を持ちます。 ・ Bit3 バスアクセスの有無を示します。 0 : バスアクセスなし 1 : バスアクセスあり 本ビットが 0 の場合、SBTYPE の他のビットと SBUS の全ビットは無効です。 ・ Bit2 リードサイクルかライトサイクルかを示します。 0 : リードサイクル 1 : ライトサイクル ・ Bit1,0 バス幅を示します。 Bit1=0, Bit0=0 : バス幅 8 ビット Bit1=0, Bit0=1 : バス幅 16 ビット Bit1=1, Bit0=0 : バス幅 32 ビット Bit1=1, Bit0=1 : バス幅 64 ビット

表 2.10 表示項目 (2)

項目	表示例	説明
EBTYPE	B'0000000	<p>外部バスの状態を表示します。 各ビットはそれぞれ以下の意味を持ちます。</p> <ul style="list-style-type: none"> ・ Bit5 DMA 転送時のバスモードを示します。 アクセスが CPU からである場合、本ビットは無効な値を表示します。 0 : バーストモード 1 : サイクルスチールモード ・ Bit4 アクセスが CPU からであるか DMAC からであることを示します。 0 : CPU からのアクセス 1 : DMAC からのアクセス ・ Bit6,3,2 DMA 転送における 1 回の転送単位を示します。 Bit6=0, Bit3=0, Bit2=0 : 64 ビット Bit6=1, Bit3=0, Bit2=0 : 32 バイト Bit6=0/1, Bit3=0, Bit2=1 : 8 ビット Bit6=0/1, Bit3=1, Bit2=0 : 16 ビット Bit6=0/1, Bit3=1, Bit2=1 : 32 ビット <p>本ビットは、バス幅ではなく、チップ内部で発生したメモリアクセスを示します。</p> <ul style="list-style-type: none"> ・ Bit1 リードサイクルかライトサイクルかを示します。 0 : リードサイクル 1 : ライトサイクル ・ Bit0 バスアクセスの有無を示します。 0 : バスアクセスなし 1 : バスアクセスあり <p>本ビットが 0 の場合、EBTYPE の他のビットと EBUS の全ビットは無効です。</p>
STATUS	B'00	ステータスピンの状態を示します。

[留意事項]

EBTYPE の Bit0 が 1 かつ Bit4 が 0 のとき、Bit5, Bit6 は無効になります。

表 2.10 表示項目 (3)

項目	表示例	説明
Condition match flag	A=0	UBC の A チャネル条件が成立したかどうかを示します。 UBC を Break Condition として使用している場合、Break Condition 7 の条件が成立したかどうかを示します。 0 : 条件成立なし 1 : 条件成立あり
	B=0	UBC の B チャネル条件が成立したかどうかを示します。 UBC を Break Condition として使用している場合、Break Condition 6 の条件が成立したかどうかを示します。 0 : 条件成立なし 1 : 条件成立あり
	BC1=0	Break Condition 1 の条件が成立したかどうかを示します。 0 : 条件成立なし 1 : 条件成立あり
	BC2=0	Break Condition 2 の条件が成立したかどうかを示します。 0 : 条件成立なし 1 : 条件成立あり
	BC3=0	Break Condition 3 の条件が成立したかどうかを示します。 0 : 条件成立なし 1 : 条件成立あり
	BC4=0	Break Condition 4 の条件が成立したかどうかを示します。 0 : 条件成立なし 1 : 条件成立あり
Condition match flag For sequential break	A=0	UBC のシーケンシャルブレイク条件が選択されている場合、チャンネル A の条件が成立し、チャンネル B の条件が未成立である場合に 1 となります。 UBC を Break Condition として使用している場合、チャンネル A は Break Condition 7、チャンネル B は Break Condition 6 に該当します。 本ビットは Break Condition 7 の条件が成立し、Break Condition 6 の条件が未成立である場合に 1 となります。
	BC4=0	Sequential break condition 4-3-2-1 が選択されている場合、Break Condition 4 の条件が成立し Break Condition 3 の条件が未成立である場合に 1 となります。また、Break Condition 3 成立後に再度 Break Condition 4 の条件が成立した場合も 1 となります。
	BC3=0	Sequential break condition 4-3-2-1、Sequential break condition 3-2-1 が選択されている場合、Break Condition 3 の条件が成立し Break Condition 2 の条件が未成立である場合に 1 となります。 また、Break Condition 2 成立後に再度 Break Condition 3 の条件が成立した場合も 1 となります。
	BC2=0	Sequential break condition 4-3-2-1、Sequential break condition 3-2-1、Sequential break condition 2-1 が選択されている場合、Break Condition 2 条件が成立し Break Condition 1 条件が未成立である場合に 1 となります。また、Break Condition 1 成立後に再度 Break Condition 2 の条件が成立した場合も 1 となります。

(a) ウィンドウ機能

ウィンドウ機能を使用するには[Extended Monitor]ウィンドウを表示します。

[Extended Monitor]ウィンドウを開くには、[表示->CPU->拡張モニタ]を選択するか、[拡張モニタ]ツールバーボタン  をクリックします。

表示項目を設定するには、[Extended Monitor]ウィンドウを右クリックすることによって開くポップアップメニューから[プロパティ]を選択し、[拡張モニタコンフィギュレーション]ダイアログボックスを開いてください。

表示したい項目について、[表示アイテムの設定]グループボックスのチェックボックスをチェックしてください。

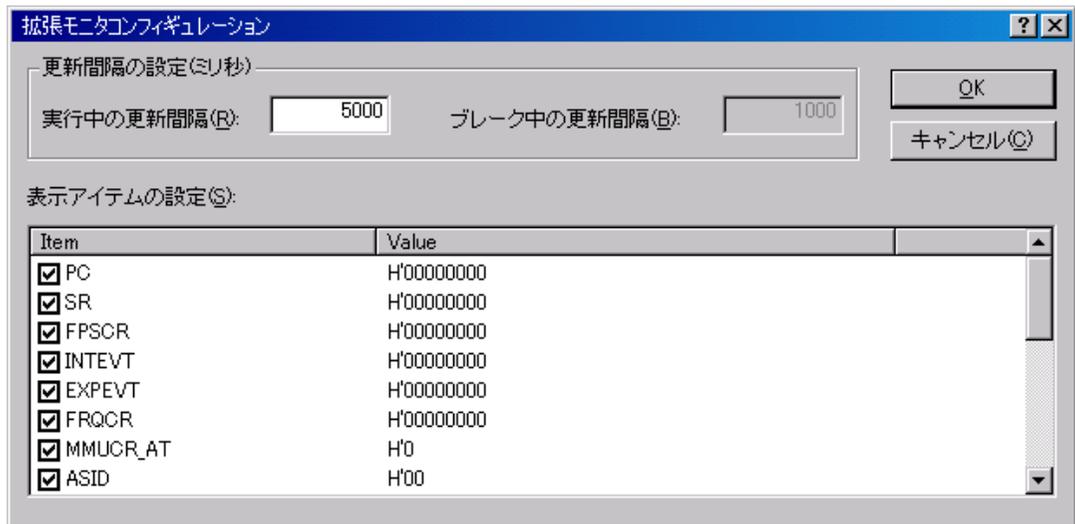
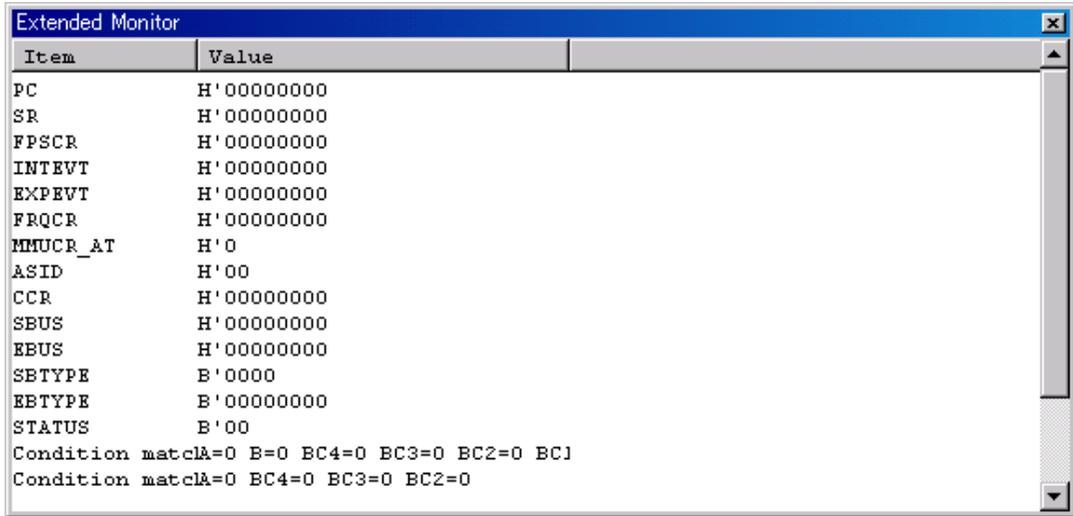


図 2.6 [拡張モニタコンフィギュレーション]ダイアログボックス

2. SH7750R E10A エミュレータソフトウェア仕様

チェックした内容が、[Extended Monitor]ウィンドウに表示されます。



Item	Value
PC	H'00000000
SR	H'00000000
FPSCR	H'00000000
INTEVT	H'00000000
EXPEVT	H'00000000
FRQCR	H'00000000
MMUCR_AT	H'0
ASID	H'00
CCR	H'00000000
SBUS	H'00000000
EBUS	H'00000000
SBTYPE	B'0000
EBTYPE	B'00000000
STATUS	B'00
Condition matchA=0 B=0 BC4=0 BC3=0 BC2=0 BC1	
Condition matchA=0 BC4=0 BC3=0 BC2=0	

図 2.7 [Extended Monitor]ウィンドウ

【留意事項】

1. CPU ステータス取得機能の[Condition match flag]

Break Condition 機能は、ブレイク発生後にコンディションマッチフラグをクリアします。したがって、各 Break Condition 機能において、本項目の測定は以下の注意事項がありますので、ご了承ください。

- Break Condition 1,4

パフォーマンス測定機能において、測定開始 / 終了条件として使用されている場合に意味を持ちます。その他の場合は、本製品では無効です。

- Break Condition 2,3,5,6

本製品では無効です。

- Break Condition 5,6 を UBC として使用する場合

UBC の各チャネル成立時からコンディションマッチフラグがクリアされるまでの間、1 となります。

2. スタンバイ中の CPU ステータス取得機能

スタンバイ中の読み出し値は保証できません。

SuperH™ ファミリ用 E10A エミュレータ ユーザーズマニュアル 別冊
SH7750R E10A エミュレータ製品固有ガイド

発行年月 2003 年 12 月 16 日 Rev.1.00

発行 株式会社ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサス小平セミコン 技術ドキュメント部

©2003 Renesas Technology Corp. All rights reserved. Printed in Japan.

SuperH™ ファミリ用 E10A エミュレータ
ユーザーズマニュアル 別冊
SH7750R E10A HS7750RKCM02HJ



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ10B0082-0100H