

# RX64Mグループ、RX71Mグループ フラッシュメモリ

ユーザーズマニュアル ハードウェア インタフェース編

ルネサス 32ビットマイクロコンピュータ

RXファミリ/RX600シリーズ、RX700シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。  
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

## 本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

[www.renesas.com](http://www.renesas.com)

## お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

[www.renesas.com/contact/](http://www.renesas.com/contact/)

## 商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

### 1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

### 2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

### 4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

### 5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 $V_{IL}$  (Max.) から  $V_{IH}$  (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 $V_{IL}$  (Max.) から  $V_{IH}$  (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

### 7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違っていると、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ放射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

# 目次

1.	特長 .....	6
2.	モジュール構成図 .....	7
3.	アドレス空間 .....	8
4.	レジスタ .....	9
4.1	フラッシュ P/E プロテクトレジスタ (FWEPROR) .....	10
4.2	フラッシュアクセスステータスレジスタ (FASTAT) .....	11
4.3	フラッシュアクセスエラー割り込み許可レジスタ (FAEINT) .....	13
4.4	フラッシュレディ割り込み許可レジスタ (FRDYIE) .....	14
4.5	FACI コマンド処理開始アドレスレジスタ (FSADDR) .....	15
4.6	FACI コマンド処理終了アドレスレジスタ (FEADDR) .....	16
4.7	FCURAM イネーブルレジスタ (FCURAME) .....	17
4.8	フラッシュステータスレジスタ (FSTATR) .....	18
4.9	フラッシュ P/E モードエントリレジスタ (FENTRYR) .....	22
4.10	フラッシュプロテクトレジスタ (FPROTR) .....	24
4.11	フラッシュシーケンサ設定初期化レジスタ (FSUINITR) .....	25
4.12	ロックビットステータスレジスタ (FLKSTAT) .....	26
4.13	FACI コマンドレジスタ (FCMDR) .....	27
4.14	フラッシュ P/E ステータスレジスタ (FPESTAT) .....	28
4.15	データフラッシュブランクチェック制御レジスタ (FBCCNT) .....	28
4.16	データフラッシュブランクチェックステータスレジスタ (FBCSTAT) .....	29
4.17	データフラッシュ書き込み開始アドレスレジスタ (FPSADDR) .....	29
4.18	フラッシュシーケンサ処理切り替えレジスタ (FCPSR) .....	30
4.19	フラッシュシーケンサ処理クロック周波数通知レジスタ (FPCKAR) .....	31
5.	フラッシュシーケンサの動作モード .....	32
6.	FACI コマンド .....	33
6.1	FACI コマンド一覧 .....	33
6.2	フラッシュシーケンサの状態と FACI コマンドの関係 .....	34
6.3	FACI コマンドの使用方法 .....	36
6.3.1	コードフラッシュメモリ P/E モード使用時の概略フロー .....	36
6.3.2	データフラッシュメモリ P/E モード使用時の概略フロー .....	38
6.3.3	FCU ファームウェア転送 .....	39
6.3.4	コードフラッシュメモリ P/E モード移行 .....	40
6.3.5	データフラッシュメモリ P/E モード移行 .....	40
6.3.6	リードモード移行 .....	41
6.3.7	コマンドロック状態からの復帰 .....	42
6.3.8	プログラムコマンド .....	44
6.3.9	ブロックイレーズコマンド .....	46
6.3.10	P/E サスペンドコマンド .....	47
6.3.11	P/E レジュームコマンド .....	52
6.3.12	ステータスクリアコマンド .....	52

6.3.13	強制終了コマンド .....	53
6.3.14	ブランクチェックコマンド .....	54
6.3.15	コンフィギュレーション設定コマンド .....	56
6.3.16	ロックビットプログラムコマンド .....	58
6.3.17	ロックビットリードコマンド .....	59
7.	<b>セーフティ機能</b> .....	60
7.1	ソフトウェアプロテクション .....	60
7.1.1	FWEPROR レジスタによるプロテクト .....	60
7.1.2	FENTRYR によるプロテクト .....	60
7.1.3	ロックビットによるプロテクト .....	60
7.2	エラープロテクション .....	60
7.3	ブートプログラムプロテクション .....	62
7.3.1	ユーザブート保護 .....	62
8.	<b>使用上の注意点</b> .....	63
9.	<b>電気的特性</b> .....	65
9.1	AC 特性 .....	65
	<b>改訂記録</b> .....	66

## 1. 特長

フラッシュメモリのハードウェアインタフェースの特長を以下に示します。本 MCU に搭載しているフラッシュメモリの容量、ブロック構成、アドレス等の情報は、「ユーザーズマニュアル ハードウェア編」を参照してください。

### プログラム/イレーズ方式

内部周辺バス 6 経由でフラッシュメモリ専用のシーケンサ (フラッシュシーケンサ) を使用したプログラム/イレーズを実行可能です。フラッシュシーケンサは、プログラム/イレーズ処理のサスペンド/レジューム (中断/再開)、BGO (Back Ground Operation) などの機能もサポートしています。

### セキュリティ機能

フラッシュメモリの不正改ざん/不正リードを防止するためのハードウェア機能をサポートしています。

### プロテクション機能

フラッシュメモリの誤書き込みを防止するハードウェア機能をサポートしています。

### 割り込み

フラッシュシーケンサの処理完了を通知する割り込みをサポートしています。また、誤動作発生を通知するためのエラー割り込みもサポートしています。

## 2. モジュール構成図

フラッシュメモリ関連モジュールの構成図を図 2.1 に示します。フラッシュシーケンサは、FCU (Flash Control Unit) と FACI (Flash Application Command Interface) から構成されています。FCU は、フラッシュメモリ書き換えの基本制御を実行します。FCURAM は、FCU が実行するファームウェア (FCU ファームウェア) を格納するための RAM です。FACI は、周辺バス (内部周辺バス 6) 経由で受信した FACI コマンドに従って FCU を制御します。

リセット期間中に、FACI はフラッシュメモリのコンフィギュレーション設定領域のオプション設定メモリヘデータを転送します。

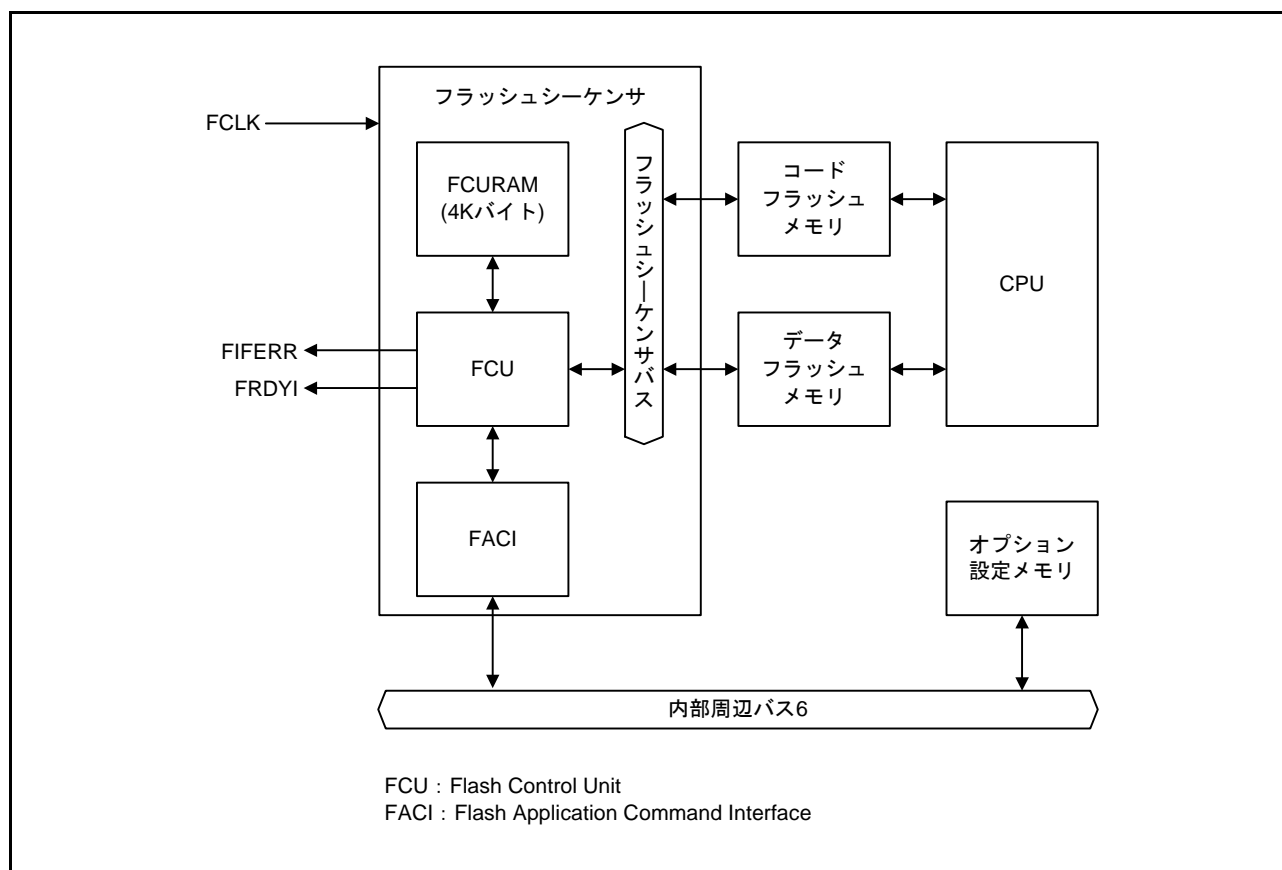


図 2.1 フラッシュメモリ関連モジュールの構成図

### 3. アドレス空間

フラッシュメモリのハードウェアインタフェースを使用する場合には、各ハードウェアのレジスタ領域、FACI コマンド発行用の領域、FCURAM 領域、FCU ファームウェア格納領域にアクセスする必要があります。各領域の情報を表 3.1 に記載します。

表3.1 ハードウェアインタフェース用領域の情報

領域	アドレス	サイズ
各ハードウェアのレジスタ領域	「4. レジスタ」を参照	「4. レジスタ」を参照
FACIコマンド発行領域	007E 0000h	4バイト
FCUファームウェア格納領域	FEFF F000h～FEFF FFFFh	4Kバイト
FCURAM領域	007F 8000h～007F 8FFFh	4Kバイト
コンフィギュレーション設定領域	0012 0040h～0012 00FFh	192バイト

フラッシュメモリのアドレスなどの情報は、「ユーザーズマニュアル ハードウェア編」を参照してください。



## 4. レジスタ

フラッシュメモリのハードウェアインタフェースを使用する場合にアクセスが必要になるレジスタの情報を本章にまとめます。特に記載がない場合には、レジスタの初期化条件はリセットのみです。

オプション設定メモリなどの情報は、「ユーザーズマニュアル ハードウェア編」を参照してください。

表 4.1 レジスタアドレス一覧

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット幅	アクセスサイズ	アクセスサイクル数		参照ページ
						$ICLK \geq PCLKB/FCLK$ の場合	$ICLK < PCLKB/FCLK$ の場合	
0008 C296h	FLASH	フラッシュ P/E プロテクトレジスタ	FWEPROR	8	8	4~5PCLKB	2~3ICLK	10
007F E010h	FLASH	フラッシュアクセスステータスレジスタ	FASTAT	8	8	2~4FCLK	2~3ICLK	11
007F E014h	FLASH	フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	8	8	2~4FCLK	2~3ICLK	13
007F E018h	FLASH	フラッシュレディ割り込み許可レジスタ	FRDYIE	8	8	2~4FCLK	2~3ICLK	14
007F E030h	FLASH	FACI コマンド処理開始アドレスレジスタ	FSADDR	32	32	2~4FCLK	2~3ICLK	15
007F E034h	FLASH	FACI コマンド処理終了アドレスレジスタ	FEADDR	32	32	2~4FCLK	2~3ICLK	16
007F E054h	FLASH	FCURAM イネーブルレジスタ	FCURAME	16	16	2~4FCLK	2~3ICLK	17
007F E080h	FLASH	フラッシュステータスレジスタ	FSTATR	32	32	2~4FCLK	2~3ICLK	18
007F E084h	FLASH	フラッシュ P/E モードエントリレジスタ	FENTRYR	16	16	2~4FCLK	2~3ICLK	22
007F E088h	FLASH	フラッシュプロテクトレジスタ	FPROTR	16	16	2~4FCLK	2~3ICLK	24
007F E08Ch	FLASH	フラッシュシーケンサ設定初期化レジスタ	FSUINTR	16	16	2~4FCLK	2~3ICLK	25
007F E090h	FLASH	ロックビットステータスレジスタ	FLKSTAT	8	8	2~4FCLK	2~3ICLK	26
007F E0A0h	FLASH	FACI コマンドレジスタ	FCMDR	16	16	2~4FCLK	2~3ICLK	27
007F E0C0h	FLASH	フラッシュ P/E ステータスレジスタ	FPESTAT	16	16	2~4FCLK	2~3ICLK	28
007F E0D0h	FLASH	データフラッシュブランクチェック制御レジスタ	FBCCNT	8	8	2~4FCLK	2~3ICLK	28
007F E0D4h	FLASH	データフラッシュブランクチェックステータスレジスタ	FBCSTAT	8	8	2~4FCLK	2~3ICLK	29
007F E0D8h	FLASH	データフラッシュ書き込み開始アドレスレジスタ	FPSADDR	32	32	2~4FCLK	2~3ICLK	29
007F E0E0h	FLASH	フラッシュシーケンサ処理切り替えレジスタ	FCPSR	16	16	2~4FCLK	2~3ICLK	30
007F E0E4h	FLASH	フラッシュシーケンサ処理クロック通知レジスタ	FPCKAR	16	16	2~4FCLK	2~3ICLK	31

## 4.1 フラッシュ P/E プロテクトレジスタ (FWEPROR)

アドレス 0008 C296h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	FLWE[1:0]	
リセット後の値	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FLWE[1:0]	フラッシュプログラム/イ レーズ許可ビット	b1 b0 0 0 : プログラム、ブロックイレーズ、ブランクチェック、ロックビットプログラムの禁止 0 1 : プログラム、ブロックイレーズ、ブランクチェック、ロックビットプログラムの許可 1 0 : プログラム、ブロックイレーズ、ブランクチェック、ロックビットプログラムの禁止 1 1 : プログラム、ブロックイレーズ、ブランクチェック、ロックビットプログラムの禁止	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

コードフラッシュメモリ/データフラッシュメモリ/オプション設定メモリに対するプログラム、ブロックイレーズ、ブランクチェック、ロックビットプログラムをハードウェアによって許可/禁止します。

FWEPROR レジスタは、リセット時以外に、ディープソフトウェアスタンバイモード遷移時、ソフトウェアスタンバイモード遷移時にも初期化されます。

## 4.2 フラッシュアクセスステータスレジスタ (FASTAT)

アドレス 007F E010h

b7	b6	b5	b4	b3	b2	b1	b0
CFAE	—	—	CMDLK	DFAE	—	—	ECRCT

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	ECRCT	エラーフラグ	0: エラー発生なし 1: エラー発生あり	R
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DFAE	データフラッシュメモリアクセス違反フラグ	0: データフラッシュメモリのアクセス違反なし 1: データフラッシュメモリのアクセス違反あり	R/W (注1)
b4	CMDLK	コマンドロックフラグ	0: フラッシュシーケンサはコマンドロック状態ではない 1: フラッシュシーケンサはコマンドロック状態	R
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CFAE	コードフラッシュメモリアクセス違反フラグ	0: コードフラッシュメモリのアクセス違反なし 1: コードフラッシュメモリのアクセス違反あり	R/W (注1)

注1. フラグを“0”にするために、“1”を読んだ後に“0”を書くことのみ可能です。

FASTAT レジスタはコードフラッシュメモリ / データフラッシュメモリのアクセス違反有無を示すレジスタです。CFAE フラグ、DFAE フラグのいずれかが“1”の場合には、CMDLK フラグが“1”となり、フラッシュシーケンサはコマンドロック状態になります(「7.2 エラープロテクション」参照)。コマンドロック状態を解除するためには、FASTAT.CFAE フラグおよび DFAE フラグを“0”に設定後、FACI によりステータスクリアコマンドまたは強制終了コマンドを発行する必要があります。

### ECRCT フラグ (エラーフラグ)

フラッシュシーケンサによるフラッシュメモリ領域 (コンフィギュレーション設定、書き換え用パラメータ) の読み出しによる 1 ビットエラー訂正、または FCURAM 読み出しによる 1 ビットエラー訂正されたことを示すフラグです。

FCURAM の読み出しで 2 ビットエラー検出時は、CMDLK = 1 (コマンドロック状態) となり、ECRCT フラグは変化しません。

["1" になる条件]

- フラッシュシーケンサによるメモリ領域 (コンフィギュレーション設定、書き換え用パラメータ) の読み出しで 1 ビットエラーの訂正が行われたとき
- FCURAM の読み出しで 1 ビットエラーの訂正が行われたとき

["0" になる条件]

- FSTATR.FRCRCT フラグが“1”の場合に、フラッシュシーケンサが強制終了コマンドの処理を開始した後

### DFAE フラグ (データフラッシュメモリアクセス違反フラグ)

データフラッシュメモリのアクセス違反の有無を示すフラグです。DFAE フラグが“1”の場合には、FSTATR.ILGLERR フラグが“1”になり、フラッシュシーケンサはコマンドロック状態になります。

["1" になる条件]

- データフラッシュメモリ P/E モードで、FSADDR レジスタの b18 ~ b0 の設定値が 1 0000h ~ 7 FFFFh (データ領域の予約領域) の状態で、FACI コマンドを発行
- データフラッシュメモリ P/E モードで、FSADDR レジスタの b18 ~ b0 の設定値が 0 0000h ~ 0 003Fh、また

は 0 0100h ~ 7 FFFFh の状態で、コンフィギュレーション設定コマンドを発行  
["0" になる条件]

- “1” を読んだ後に、“0” を書いた場合

#### **CMDLK フラグ (コマンドロックフラグ)**

フラッシュシーケンサがコマンドロック状態であることを示すフラグです。

["1" になる条件]

- フラッシュシーケンサが「表 7.1 エラープロテクトー覧」のエラーを検出して、コマンドロック状態に遷移した後

["0" になる条件]

- FASTAT.CFAE フラグおよび DFAE フラグが “0” の状態で、フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後

#### **CFAE フラグ (コードフラッシュメモリアクセス違反フラグ)**

コードフラッシュメモリのアクセス違反の有無を示すフラグです。CFAE フラグが “1” の場合には、FSTATR.ILGLERR フラグが “1” になり、フラッシュシーケンサはコマンドロック状態になります。

["1" になる条件]

- コードフラッシュメモリ P/E モードで、FSADDR レジスタの b23 ~ b0 の設定値が 00 0000h ~ BF FFFFh (ユーザ領域の予約領域) に対して FACI コマンドが発行されたとき

["0" になる条件]

- “1” を読んだ後に、“0” を書いた場合

## 4.3 フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)

アドレス 007F E014h

b7	b6	b5	b4	b3	b2	b1	b0
CFAEIE	—	—	CMDLKIE	DFAEIE	—	—	ECRCTIE

リセット後の値 1 0 0 1 1 0 0 1

ビット	シンボル	ビット名	機能	R/W
b0	ECRCTIE	エラー割り込み許可ビット	0 : FASTAT.ECRCT = 1で、FIFERR割り込み要求の発生を禁止 1 : FASTAT.ECRCT = 1で、FIFERR割り込み要求の発生を許可	R/W
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DFAEIE	データフラッシュメモリアクセス違反割り込み許可ビット	0 : FASTAT.DFAE = 1で、FIFERR割り込み要求の発生を禁止 1 : FASTAT.DFAE = 1で、FIFERR割り込み要求の発生を許可	R/W
b4	CMDLKIE	コマンドロック割り込み許可ビット	0 : FASTAT.CMDLK = 1で、FIFERR割り込み要求の発生を禁止 1 : FASTAT.CMDLK = 1で、FIFERR割り込み要求の発生を許可	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CFAEIE	コードフラッシュメモリアクセス違反割り込み許可ビット	0 : FASTAT.CFAE = 1で、FIFERR割り込み要求の発生を禁止 1 : FASTAT.CFAE = 1で、FIFERR割り込み要求の発生を許可	R/W

FAEINTレジスタは、フラッシュアクセスエラー (FIFERR) 割り込み要求の発生を許可 / 禁止するためのレジスタです。

**ECRCTIE ビット (エラー割り込み許可ビット)**

フラッシュシーケンサによるフラッシュメモリ領域 (コンフィギュレーション設定、書き換え用パラメータ)、または FCURAM の読み出しで 1 ビットエラー訂正時、FASTAT.ECRCT フラグが“1”になった場合の FIFERR 割り込み要求の発生を許可 / 禁止するためのビットです。

**DFAEIE ビット (データフラッシュメモリアクセス違反割り込み許可ビット)**

データフラッシュメモリアクセス違反が発生し、FASTAT.DFAE フラグが“1”になった場合の FIFERR 割り込み要求の発生を許可 / 禁止するためのビットです。

**CMDLKIE ビット (コマンドロック割り込み許可ビット)**

フラッシュシーケンサがコマンドロック状態に遷移し、FASTAT.CMDLK フラグが“1”になった場合の FIFERR 割り込み要求の発生を許可 / 禁止するためのビットです。

**CFAEIE ビット (コードフラッシュメモリアクセス違反割り込み許可ビット)**

コードフラッシュメモリアクセス違反が発生し、FASTAT.CFAE フラグが“1”になった場合の FIFERR 割り込み要求の発生を許可 / 禁止するためのビットです。

## 4.4 フラッシュレディ割り込み許可レジスタ (FRDYIE)

アドレス 007F E018h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	FRDYI E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRDYIE	フラッシュレディ割り込み許可ビット	0 : FRDY割り込み要求の発生を禁止 1 : FRDY割り込み要求の発生を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

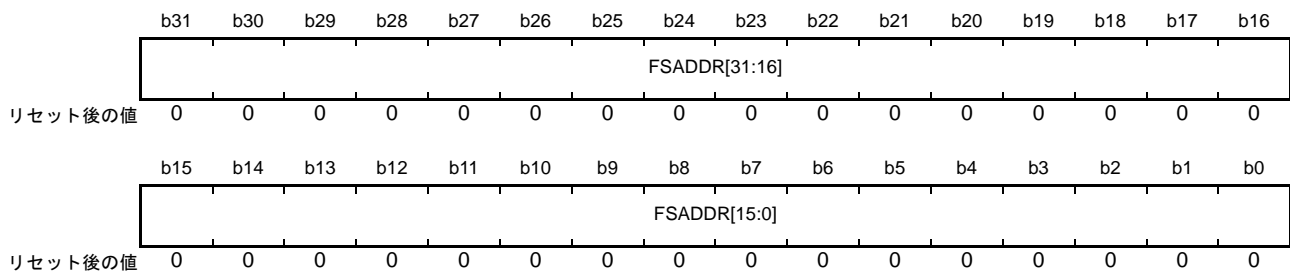
FRDYIE レジスタは、フラッシュレディ (FRDY) 割り込み要求の発生を許可 / 禁止するためのレジスタです。

**FRDYIE ビット (フラッシュレディ割り込み許可ビット)**

フラッシュシーケンサがプログラム / イレーズ、ブランクチェックのコマンド処理を完了して、FASTAT.FRDY フラグが“0”から“1”に変化した場合の FRDY 割り込み要求の発生を許可 / 禁止するためのビットです。

## 4.5 FACI コマンド処理開始アドレスレジスタ (FSADDR)

アドレス 007F E030h



ビット	シンボル	ビット名	機能	R/W	
b31-b0	FSADDR [31:0]	FACIコマンド処理開始アドレスビット	<b>【コマンド】</b> プログラム(コードフラッシュメモリ): プログラム(データフラッシュメモリ): ブロックイレーズ(コードフラッシュメモリ): ブロックイレーズ(データフラッシュメモリ): ブランクチェック: コンフィギュレーション設定: ロックビットプログラム: ロックビットリード:	<b>【アドレス境界】</b> 256バイト 4バイト 8Kまたは32Kバイト 64バイト 4バイト 16バイト 8Kまたは32Kバイト 8Kまたは32Kバイト	R/W (注1)

注1. FSTATR.FRDYフラグが“1”の場合のみ書き込み可能です。FSTATR.FRDYフラグが“0”の場合の書き込みは無視されます。ただし、b0、b1は読み込みのみです。

FSADDR レジスタは、プログラム、ブロックイレーズ、ブランクチェック、コンフィギュレーション設定、ロックビットプログラム、ロックビットリードの FACI コマンド発行時に、コマンド処理の対象領域の開始アドレスを指定するためのレジスタです。

FSUINITR.SUINIT ビットを“1”にすると、FSADDR レジスタを初期化できます。リセットでも初期化可能です。

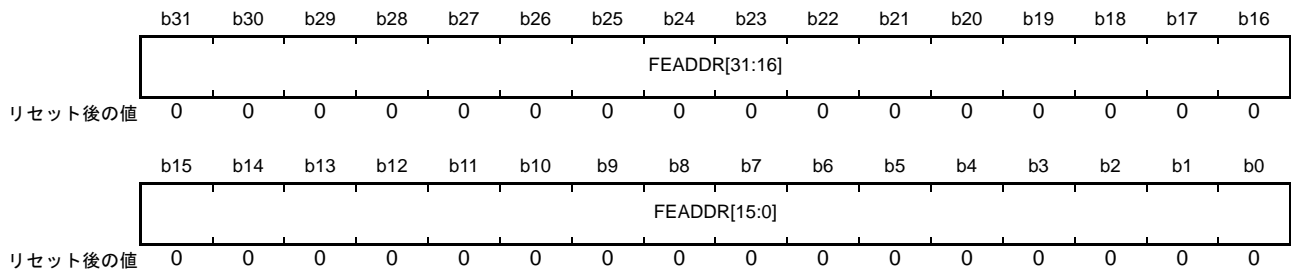
## FSADDR[31:0] ビット (FACI コマンド処理開始アドレスビット)

FACI コマンド処理の開始アドレスを指定するためのビットです。コードフラッシュメモリに対する FACI コマンド処理では b31 ~ b24 は無視されます。データフラッシュメモリに対する FACI コマンド処理では、b31 ~ b19 は無視されます。上記のアドレス境界に満たないビットも無視されます。

コードフラッシュメモリ領域、データフラッシュメモリ領域の開始アドレスは、「ユーザーズマニュアルハードウェア編」を参照してください。コンフィギュレーション設定領域の開始アドレスは「表 6.5 コンフィギュレーション設定コマンドで使用するアドレス」を参照してください。

## 4.6 FACI コマンド処理終了アドレスレジスタ (FEADDR)

アドレス 007F E034h



ビット	シンボル	ビット名	機能	R/W
b31-b0	FEADDR [31:0]	FACIコマンド処理終了アドレスビット	FACIコマンド処理終了アドレス	R/W (注1)

注1. FSTATR.FRDYフラグが“1”の場合のみ書き込み可能です。FSTATR.FRDYフラグが“0”の場合の書き込みは無視されます。ただし、b0、b1は読み込みのみです。

FEADDR レジスタは、ブランクチェックコマンド処理の対象領域の終了アドレスを指定するためのレジスタです。FBCCNT.BCDIR ビットが“0”で、ブランクチェック処理のアドレッシングモードが加算モードの場合には、FSADDR レジスタの設定値を FEADDR レジスタの設定値以下にする必要があります。FBCCNT.BCDIR ビットが“1”で、ブランクチェック処理のアドレッシングモードが減算モードの場合には、FSADDR レジスタの設定値を FEADDR レジスタの設定値以上にする必要があります。FBCCNT.BCDIR ビット、FSADDR レジスタ、および FEADDR レジスタの設定値に矛盾がある場合には、フラッシュシーケンサはコマンドロック状態になります(「7.2 エラープロテクション」参照)。

FSUINITR.SUINIT ビットを“1”にすると、FEADDR レジスタを初期化できます。リセットでも初期化可能です。

**FEADDR[31:0] ビット (FACI コマンド処理終了アドレスビット)**

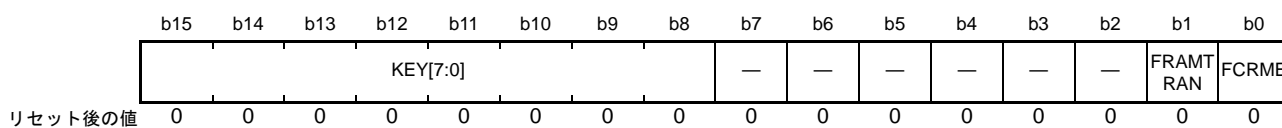
ブランクチェックコマンド処理の終了アドレスを指定するためのビットです。コマンド処理では、b31～b19 および b1、b0 は無視されます。

データフラッシュメモリ領域の終了アドレスは、「ユーザーズマニュアル ハードウェア編」を参照してください。



## 4.7 FCURAM イネーブルレジスタ (FCURAME)

アドレス 007F E054h



ビット	シンボル	ビット名	機能	R/W
b0	FCRME	FCURAM許可ビット	0 : FCURAMへのアクセス禁止 1 : FCURAMへのアクセス許可	R/W (注1)
b1	FRAMTRAN	FCURAM転送モードビット	0 : 通常転送モード FCURAMの読み出しと書き込みが可能なモードです。 1 : 高速書き込みモード FCURAMの高速書き込みが可能なモードです。	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	キーコードビット	キーコード	R/W (注2)

注1. 16ビットアクセスでKEYビットにC4hを書き込んだ場合のみ、書き込みが有効になります。

注2. 書き込んだ値は保持されません。読み込んだ場合、“0”が読めます。

FCURAME レジスタは FCURAM 領域へのアクセス設定をするためのレジスタです。

**FCRME ビット (FCURAM 許可ビット)**

FCURAM へのアクセス許可 / 禁止を設定するためのビットです。FCURAM に書き込みを行う場合は、FENTRYR レジスタを 0000h に設定して、フラッシュシーケンサを停止させてください。

**FRAMTRAN ビット (FCURAM 転送モードビット)**

FCURAM の転送モードを指定するためのビットです。

**KEY[7:0] ビット (キーコードビット)**

FRAMTRAN ビットおよび FCRME ビットの書き換えの可否を制御します。

## 4.8 フラッシュステータスレジスタ (FSTATR)

アドレス 007F E080h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRCRCT	1ビットエラー訂正モニタフラグ	0: 1ビットエラー訂正未検出 1: 1ビットエラー訂正検出	R
b1	FRDTCT	2ビットエラー検出モニタフラグ	0: 2ビットエラー未検出 1: 2ビットエラー検出	R
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	FLWEERR	フラッシュ P/E プロテクトエラーフラグ	0: エラー未発生 1: エラー発生	R
b7	FCUERR	FCUエラーフラグ	0: FCUの処理でエラー未発生 1: FCUの処理でエラー発生	R
b8	PRGSPD	プログラムサスペンドステータスフラグ	0: 下記以外の状態 1: フラッシュシーケンサはプログラムの中断処理中またはプログラムサスペンド中	R
b9	ERSSPD	イレーズサスペンドステータスフラグ	0: 下記以外の状態 1: フラッシュシーケンサはイレーズの中断処理中またはイレーズサスペンド中	R
b10	DBFULL	データバッファフルフラグ	0: データバッファは空 1: データバッファはフル	R
b11	SUSRDY	サスペンドレディフラグ	0: フラッシュシーケンサがP/Eサスペンドコマンドを受け付けられない 1: フラッシュシーケンサがP/Eサスペンドコマンドを受け付け可能	R
b12	PRGERR	プログラムエラーフラグ	0: プログラム処理は正常終了 1: プログラム処理中にエラー発生	R
b13	ERSERR	イレーズエラーフラグ	0: イレーズ処理は正常終了 1: イレーズ処理中にエラー発生	R
b14	ILGLERR	イリーガルコマンドエラーフラグ	0: フラッシュシーケンサは不正なFACIコマンドや不正なフラッシュメモリアccessを検出していない 1: フラッシュシーケンサは不正なFACIコマンドや不正なフラッシュメモリアccessを検出した	R
b15	FRDY	フラッシュレディフラグ	0: プログラム、ブロックイレーズ、P/Eサスペンド、P/Eレジューム、強制終了、ブランクチェック、コンフィギュレーション設定、ロックビットプログラム、ロックビットリードのコマンド処理中 1: 上記の処理を実行していない	R
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FSTATR レジスタは、フラッシュシーケンサの状態を示すレジスタです。

#### FRCRCT フラグ (1 ビットエラー訂正モニタフラグ)

FCU による FCURAM 読み出しで 1 ビットエラーが訂正されたことを示します。FRCRCT フラグが“1”の場合には、フラッシュシーケンサはコマンドロック状態になりません。

["0" になる条件]

- フラッシュシーケンサが強制終了コマンドの処理を開始した後

FRCRCT フラグが“1”になった場合には、強制終了コマンドを発行して FCU を初期化してください。また、FCU ファームウェアを FCURAM に再ロードしてください。

#### FRDTCT フラグ (2 ビットエラー検出モニタフラグ)

FCU による FCURAM 読み出しで 2 ビットエラーが検出されたことを示します。FRDTCT フラグが“1”の場合には、フラッシュシーケンサはコマンドロック状態になります。

["0" になる条件]

- フラッシュシーケンサが強制終了コマンドの処理を開始した後

FRDTCT フラグが“1”になった場合には、強制終了コマンドを発行して FCU を初期化してください。また、FCU ファームウェアを FCURAM に再ロードしてください。

#### FLWEERR フラグ (フラッシュ P/E プロテクトエラーフラグ)

FWEPOR レジスタによるフラッシュメモリのプログラム/イレーズ保護に違反したことを示すフラグです。FLWEERR フラグが“1”の場合には、フラッシュシーケンサはコマンドロック状態になります。

["0" になる条件]

- フラッシュシーケンサが強制終了コマンドの処理を開始した後

#### FCUERR フラグ (FCU エラーフラグ)

FCU の処理中にエラーが発生したことを示すフラグです。FCUERR フラグが“1”の場合には、フラッシュシーケンサはコマンドロック状態に遷移します。

["0" になる条件]

- フラッシュシーケンサが強制終了コマンドの処理を開始した後

FCUERR フラグが“1”になった場合には、強制終了コマンドを発行して FCU を初期化してください。また FCU ファームウェアを FCURAM に再ロードしてください。

#### PRGSPD フラグ (プログラムサスペンドステータスフラグ)

フラッシュシーケンサがプログラムの中断処理中またはプログラムサスペンド状態に遷移したことを示すフラグです。

["1" になる条件]

- フラッシュシーケンサがプログラムの中断処理を開始した後

["0" になる条件]

- フラッシュシーケンサが P/E レジュームコマンドを受け付けた後 (FACI コマンド発行領域に対するライトアクセスが完了した後)
- フラッシュシーケンサが強制終了コマンドの処理を開始した後

**ERSSPD フラグ (イレーズサスペンドステータスフラグ)**

フラッシュシーケンサがイレーズの中断処理中またはイレーズサスペンド状態に遷移したことを示すフラグです。

["1" になる条件]

- フラッシュシーケンサがイレーズの中断処理を開始した後

["0" になる条件]

- フラッシュシーケンサが P/E レジュームコマンドを受け付けた後 (FACI コマンド発行領域に対するライトアクセスが完了した後)
- フラッシュシーケンサが強制終了コマンドの処理を開始した後

**DBFULL フラグ (データバッファフルフラグ)**

プログラムコマンド発行時のデータバッファ状態を示すフラグです。FACI にはプログラムデータ用のバッファ (データバッファ) が内蔵されています。データバッファがフルの状態、FACI コマンド発行領域にフラッシュメモリへのプログラムデータを発行すると、FACI は内部周辺バス 6 にウェイトを挿入します。

["1" になる条件]

- プログラムコマンド発行中にデータバッファがフルになった後

["0" になる条件]

- データバッファが空になった後

**SUSRDY フラグ (サスペンドレディフラグ)**

フラッシュシーケンサが P/E サスペンドコマンドを受け付け可能であるかどうかを示すフラグです。

["1" になる条件]

- フラッシュシーケンサがプログラム / イレーズ処理を開始後、P/E サスペンドコマンドの受け付け可能な状態に遷移した後

["0" になる条件]

- フラッシュシーケンサが P/E サスペンドコマンド、強制終了コマンドを受け付けた後 (FACI コマンド発行領域に対するライトアクセスが完了した後)
- プログラム / イレーズ処理中にコマンドロック状態に遷移した後
- プログラム / イレーズ処理が完了した後

**PRGERR フラグ (プログラムエラーフラグ)**

フラッシュメモリのプログラム処理の結果を示すフラグです。PRGERR フラグが "1" の場合には、フラッシュシーケンサはコマンドロック状態になります。

["1" になる条件]

- プログラム処理中にエラーが発生した後
- ロックビットで保護された領域に対して、プログラムまたはロックビットプログラムコマンドを発行した後

["0" になる条件]

- フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後

**ERSERR フラグ (イレーズエラーフラグ)**

フラッシュメモリのイレーズ処理の結果を示すフラグです。ERSERR フラグが "1" の場合には、フラッシュシーケンサはコマンドロック状態になります。

["1" になる条件]

- イレーズ処理中にエラーが発生した後
- ロックビットで保護された領域に対して、ブロックイレーズコマンドを発行した後  
[“0”になる条件]
- フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後

#### ILGLERR フラグ (イリーガルコマンドエラーフラグ)

フラッシュシーケンサが不正な FACI コマンドやフラッシュメモリアccessを検出したことを示すフラグです。ILGLERR フラグが“1”の場合には、フラッシュシーケンサはコマンドロック状態になります。

[“1”になる条件] (「7.2 エラープロテクション」参照)

- フラッシュシーケンサが不正なコマンドを検出した後
- フラッシュシーケンサが不正なフラッシュメモリアccessを検出した後
- FENTRYR レジスタの設定値が不正であることを検出した後

[“0”になる条件]

- FASTAT.DFAE フラグおよび CFAE フラグが“0”の状態、フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後

FASTAT.CFAE フラグまたは DFAE フラグが“1”の状態、ステータスクリアまたは強制終了コマンドの処理を完了した場合には、ILGLERR フラグは“1”になります。強制終了コマンド処理中に、一時的に ILGLERR フラグが“0”になりますが、コマンド処理の完了時に CFAE フラグまたは DFAE フラグが“1”であることが検出され、ILGLERR フラグが“1”に再設定されます。

#### FRDY フラグ (フラッシュレディフラグ)

フラッシュシーケンサのコマンド処理状態を示すフラグです。

[“1”になる条件]

- フラッシュシーケンサがコマンド処理を完了した後
- フラッシュシーケンサが P/E サスペンドコマンドを受け付けて、フラッシュメモリのプログラム/イレーズ処理を中断した後
- フラッシュシーケンサが強制終了コマンドを受け付けて、コマンド処理を終了した後

[“0”になる条件]

- フラッシュシーケンサがプログラム、コンフィギュレーション設定の FACI コマンドを受け付け、FACI コマンド発行領域に対する最初のライトアクセスの後
- フラッシュシーケンサがプログラム、コンフィギュレーション設定以外の FACI コマンドを受け付け、FACI コマンド発行領域に対する最終のライトアクセスの後

## 4.9 フラッシュ P/E モードエントリレジスタ (FENTRYR)

アドレス 007F E084h



ビット	シンボル	ビット名	機能	R/W
b0	FENTRYC	コードフラッシュメモリ P/E モードエントリビット	0 : コードフラッシュメモリはリードモード 1 : コードフラッシュメモリはP/Eモード	R/W (注1、注2)
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	FENTRYD	データフラッシュメモリ P/E モードエントリビット	0 : データフラッシュメモリはリードモード 1 : データフラッシュメモリはP/Eモード	R/W (注1、注2)
b15-b8	KEY[7:0]	キーコードビット	キーコード	R/W (注3)

注1. FSTATR.FRDY フラグが“1”の場合のみ書き込み可能です。FSTATR.FRDY フラグが“0”の場合の書き込みは無視されます。

注2. 16ビットアクセスでKEYビットにAAhを書き込んだ場合のみ、書き込みが有効になります。

注3. 書き込んだ値は保持されません。読み込んだ場合、“0”が読めます。

FENTRYR レジスタはコードフラッシュメモリ P/E モード、データフラッシュメモリ P/E モードを設定するためのレジスタです。FACI コマンドを受け付け可能にするためには、FENTRYD ビットと FENTRYC ビットのいずれかのビットを“1”に設定して、フラッシュシーケンサを P/E モードにする必要があります。

FENTRYR レジスタに AA81h を書くと、FSTATR.ILGLERR フラグが“1”になり、フラッシュシーケンサはコマンドロック状態になります。

FSUINTR.SUINIT ビットを“1”にすると、FENTRYR レジスタを初期化できます。リセットでも初期化可能です。

**FENTRYC ビット (コードフラッシュメモリ P/E モードエントリビット)**

コードフラッシュメモリの P/E モードを設定するためのビットです。

["1"になる条件]

- FENTRYR レジスタへの書き込みが有効な状態かつ FENTRYR レジスタが 0000h の状態で、FENTRYC ビットに“1”を書き込んだ場合

["0"になる条件]

- FSTATR.FRDY フラグが“1”の状態で、FENTRYR レジスタを 8 ビットアクセスで書き込んだ場合
- FSTATR.FRDY フラグが“1”の状態で、KEY ビットに AAh 以外の値を指定して FENTRYR レジスタを 16 ビットアクセスで書き込んだ場合
- FENTRYR レジスタへの書き込みが有効な状態で、FENTRYC ビットに“0”を書き込んだ場合
- FENTRYR レジスタへの書き込みが有効な状態かつ FENTRYR レジスタが 0000h 以外の状態で FENTRYR レジスタを書き込んだ場合

**FENTRYD ビット (データフラッシュメモリ P/E モードエントリビット)**

データフラッシュメモリの P/E モードを設定するためのビットです。

["1"になる条件]

- FENTRYR レジスタへの書き込みが有効な状態かつ FENTRYR レジスタが 0000h の状態で、FENTRYR.FENTRYD ビットに“1”を書き込んだ場合

["0"になる条件]

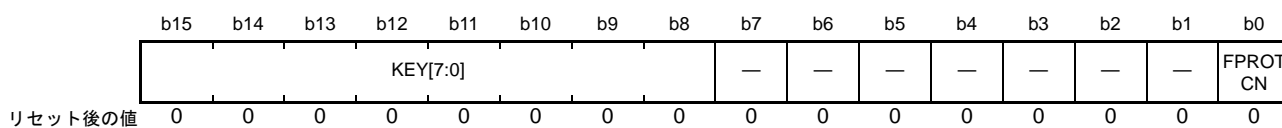
- FSTATR.FRDY フラグが“1”の状態、FENTRYR レジスタを 8 ビットアクセスで書き込んだ場合
- FSTATR.FRDY フラグが“1”の状態、KEY ビットに AAh 以外の値を指定して FENTRYR レジスタを 16 ビットアクセスで書き込んだ場合
- FENTRYR レジスタへの書き込みが有効な状態で、FENTRYD ビットに“0”を書き込んだ場合
- FENTRYR レジスタへの書き込みが有効な状態かつ FENTRYR レジスタが 0000h 以外の状態で FENTRYR レジスタを書き込んだ場合

#### KEY[7:0] ビット (キーコードビット)

FENTRYD ビットおよび FENTRYC ビットの書き換えの可否を制御します。

## 4.10 フラッシュプロテクトレジスタ (FPROTR)

アドレス 007F E088h



ビット	シンボル	ビット名	機能	R/W
b0	FPROTCN	ロックビットプロテクトキャンセルビット	0: ロックビットによるプロテクトが有効 1: ロックビットによるプロテクトが無効	R/W (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	キーコードビット	キーコード	R/W (注2)

注1. 16ビットアクセスでKEYビットに55hを書き込んだ場合のみ、書き込みが有効になります。

注2. 書き込んだ値は保持されません。読み込んだ場合、“0”が読めます。

FPROTR レジスタは、ロックビットによるコードフラッシュメモリに対する書き換えプロテクトを有効/無効にするためのレジスタです。FSUINITR.SUINIT ビットを“1”にすると、FPROTR レジスタを初期化できます。リセットでも初期化可能です。

## FPROTCN ビット (ロックビットプロテクトキャンセルビット)

ロックビットによるコードフラッシュメモリに対する書き換えプロテクトを有効/無効にするためのビットです。

[“1”になる条件]

- FPROTR レジスタの書き込みが有効な状態かつ FENTRYR レジスタが 0000h 以外の状態で、FPROTCN ビットに“1”を書き込んだ場合

[“0”になる条件]

- FPROTR レジスタを 8 ビットアクセスで書き込んだ場合
- KEY ビットに 55h 以外の値を指定して FPROTR レジスタを 16 ビットアクセスで書き込んだ場合
- FPROTR レジスタへの書き込みが有効な状態で、FPROTRCN ビットに“0”を書き込んだ場合
- FENTRYR レジスタの値が 0000h の場合

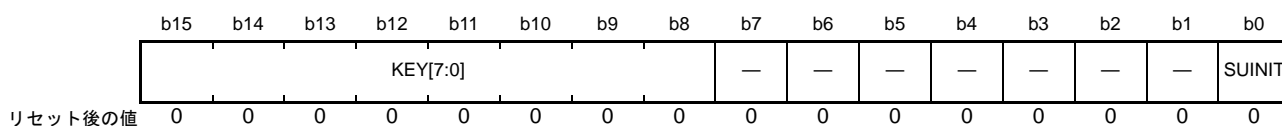
## KEY[7:0] ビット (キーコードビット)

FPROTCN ビットの書き換えの可否を制御します。



## 4.11 フラッシュシーケンサ設定初期化レジスタ (FSUINITR)

アドレス 007F E08Ch



ビット	シンボル	ビット名	機能	R/W
b0	SUINIT	設定初期化ビット	0 : FEADDR、FPROTR、FCPSR、FSADDR、FENTRYR、 FBCCNTのフラッシュシーケンサの設定レジスタ値は保持 1 : FEADDR、FPROTR、FCPSR、FSADDR、FENTRYR、 FBCCNTのフラッシュシーケンサの設定レジスタを初期化	R/W (注1、注2)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	キーコードビット	キーコード	R/W (注3)

注1. FSTATR.FRDYフラグが“1”の場合のみ書き込み可能です。FSTATR.FRDYフラグが“0”の場合の書き込みは無視されます。

注2. 16ビットアクセスでKEYビットに2Dhを書き込んだ場合のみ、書き込みが有効になります。

注3. 書き込んだ値は保持されません。読み込んだ場合、“0”が読めます。

FSUINITR レジスタは、フラッシュシーケンサの設定を初期化するためのレジスタです。

**SUINIT ビット (設定初期化ビット)**

下記のフラッシュシーケンサの設定レジスタを初期化します。

- FEADDR
- FPROTR
- FCPSR
- FSADDR
- FENTRYR
- FBCCNT

**KEY[7:0] ビット (キーコードビット)**

SUINIT ビットの書き換えの可否を制御します。

## 4.12 ロックビットステータスレジスタ (FLKSTAT)

アドレス 007F E090h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	FLOCKST
リセット後の値	0	0	0	0	0	0	0	0

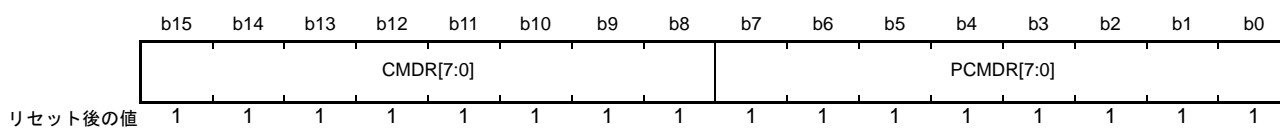
ビット	シンボル	ビット名	機能	R/W
b0	FLOCKST	ロックビットステータスフラグ	0 : プロテクト状態 1 : 非プロテクト状態	R
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

**FLOCKST フラグ (ロックビットステータスフラグ)**

ロックビットリードコマンドで読み出したロックビットの値を示すフラグです。ロックビットリードコマンドを発行した後に、FSTATR.FRDY フラグが“1”になった時点で、FLOCKST フラグに有効なデータが格納されます。FLOCKST フラグの値は、次のロックビットコマンドの終了まで保持されます。

## 4.13 FACI コマンドレジスタ (FCMDR)

アドレス 007F E0A0h



ビット	シンボル	ビット名	機能	R/W
b7-b0	PCMDR[7:0]	プレコマンドフラグ	1つ前のコマンド格納	R
b15-b8	CMDR[7:0]	コマンドフラグ	最新コマンド格納	R

FCMDR レジスタは、FACI が受け付けたコマンドを示すレジスタです。

**PCMDR[7:0] フラグ (プレコマンドフラグ)**

FACI が受け付けた 1 つ前のコマンドを格納します。

**CMDR[7:0] フラグ (コマンドフラグ)**

FACI が受け付けた最新のコマンドを格納します。

表 4.2 各コマンド受け付け後のFCMDR レジスタの状態

コマンド	CMDR	PCMDR
プログラム	E8h	前回コマンド
ブロックイレーズ	D0h	20h
P/E サスペンド	B0h	前回コマンド
P/E レジューム	D0h	前回コマンド
ステータスクリア	50h	前回コマンド
強制終了	B3h	前回コマンド
ブランクチェック	D0h	71h
コンフィギュレーション設定	40h	前回コマンド
ロックビットプログラム	D0h	77h
ロックビットリード	D0h	71h

## 4.14 フラッシュ P/E ステータスレジスタ (FPESTAT)

アドレス 007F E0C0h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	—	—	—	—	—	—	PEERRST[7:0]							—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b7-b0	PEERRST [7:0]	P/E エラーステータスフラグ	00h : エラーなし 01h : ロックビットでプロテクトされた領域に対するプログラムエラー 02h : ロックビット以外の原因によるプログラムエラー 11h : ロックビットでプロテクトされた領域に対するイレーズエラー 12h : ロックビット以外の原因によるイレーズエラー	R
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FPESTAT レジスタは、フラッシュメモリのプログラム/イレーズ結果を示すレジスタです。

## PEERRST[7:0] フラグ (P/E エラーステータスフラグ)

コードフラッシュメモリ、データフラッシュメモリのプログラム/イレーズ処理中にエラーが発生した場合のエラー原因を示すフラグです。PEERRST フラグの値は、FSTATR.ERSERR フラグまたは PRGERR フラグが“1”の状態、かつ FSTATR.FRDIY フラグが“1”になった時点でのみ有効です。ERSERR フラグと PRGERR フラグが“0”の場合の PEERRST フラグには、過去に発生したエラー原因の値が保持されます。

## 4.15 データフラッシュブランクチェック制御レジスタ (FBCCNT)

アドレス 007F E0D0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	BCDIR
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCDIR	ブランクチェック方向ビット	0 : 小さいアドレスから大きいアドレスの方向にブランクチェック処理を実行します(加算モード) 1 : 大きいアドレスから小さいアドレスの方向にブランクチェック処理を実行します(減算モード)	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FBCCNT レジスタは、ブランクチェックコマンド処理時のアドレッシングモードを指定するためのレジスタです。FSUINITR.SUINIT ビットを“1”にすると、FBCCNT レジスタを初期化できます。リセットでも初期化可能です。

## BCDIR ビット (ブランクチェック方向ビット)

ブランクチェック動作時のアドレッシングモードを指定するためのビットです。

## 4.16 データフラッシュブランクチェックステータスレジスタ (FBCSTAT)

アドレス 007F E0D4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCST	ブランクチェックステータスフラグ	0: ブランクチェック対象領域は未書き込み状態 (イレーズ後に書き込んでいない状態。ブランク) 1: ブランクチェック対象領域は“0”データか“1”データを書き込まれた状態	R
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FBCSTAT レジスタは、ブランクチェックコマンドの結果を格納するレジスタです。

**BCST フラグ (ブランクチェックステータスフラグ)**

ブランクチェックコマンドの結果を示すフラグです。

FSTATR.FRDIY フラグが“1”になった時点で、BCST フラグに有効なデータが格納されます。

## 4.17 データフラッシュ書き込み開始アドレスレジスタ (FPSADDR)

アドレス 007F E0D8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	PSADR[18:16]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PSADR[15:0]															
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b18-b0	PSADR[18:0]	書き込み領域開始アドレスビット	書き込み済みアドレス値	R
b31-b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FPSADDR レジスタは、ブランクチェックコマンド処理時に検出した最初の書き込み済みアドレスの値を示すレジスタです。

**PSADR[18:0] ビット (書き込み領域開始アドレスビット)**

ブランクチェックコマンド処理時に検出した最初の書き込み済みアドレスの値を示すビットです。データフラッシュメモリ領域の先頭アドレスからのオフセット値が格納されます。PSADR ビットの値は、FBCSTAT.BCST ビットが“1”の状態、かつ FSTATR.FRDIY フラグが“1”になった時点でのみ有効です。FBCSTAT.BCST ビットが“0”の場合の PSADR ビットには、過去に検出したアドレスが保持されます。

## 4.18 フラッシュシーケンサ処理切り替えレジスタ (FCPSR)

アドレス 007F E0E0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ESUSP MD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESUSPMD	イレーズサスペンドモードビット	0: サスペンド優先モード 1: イレーズ優先モード	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

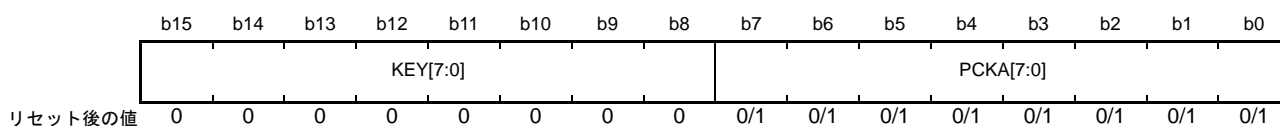
FCPSR レジスタはイレーズサスペンドモードを選択するためのレジスタです。FSUINTR.SUINIT ビットを“1”にすると、FCPSR レジスタを初期化できます。リセットでも初期化可能です。

**ESUSPMD ビット (イレーズサスペンドモードビット)**

フラッシュシーケンサがイレーズ処理を実行中に、P/E サスペンドコマンドが発行された場合のイレーズサスペンドモードを選択するためのビットです(「6.3.10 P/E サスペンドコマンド」参照)。ESUSPMD ビットは、ブロックイレーズコマンドを発行する前に設定する必要があります。

## 4.19 フラッシュシーケンサ処理クロック周波数通知レジスタ (FPCKAR)

アドレス 007F E0E4h



ビット	シンボル	ビット名	機能	R/W
b7-b0	PCKA[7:0]	フラッシュシーケンサ動作クロック周波数通知ビット	FlashIFクロック (FCLK)の周波数を設定し、フラッシュシーケンサに使用周波数を通知	R/W (注1、注2)
b15-b8	KEY[7:0]	キーコードビット	キーコード	R/W (注3)

注1. FSTATR.FRDYフラグが“1”の場合のみ書き込み可能です。FSTATR.FRDYフラグが“0”の場合の書き込みは無視されます。

注2. 16ビットアクセスでKEY[7:0]ビットに1Ehを書き込んだ場合のみ、書き込みが有効になります。

注3. 書き込んだ値は保持されません。読み込んだ場合、“0”が読めます。

FPCKAR レジスタは、クロック発生回路で生成した FlashIF クロック (FCLK) の周波数を設定し、フラッシュシーケンサに使用周波数を通知するためのレジスタです。フラッシュシーケンサは、FPCKAR レジスタで通知された周波数に基づいて FOCI コマンド処理時間を決めます。また、初期値は、FCLK の最高動作周波数に設定されます。

**PCKA[7:0] ビット (フラッシュシーケンサ動作クロック周波数通知ビット)**

FCLK の周波数を設定し、フラッシュシーケンサに使用周波数を通知するためのビットです。FOCI コマンドを発行する前に、PCKA[7:0] ビットに周波数を設定してください。MHz 単位で表現した動作周波数を 2 進数に変換し、PCKA[7:0] ビットに設定してください。

例) 周波数が 35.9MHz の場合 (PCKA[7:0] = 24h)

35.9MHz の小数第 1 位を切り上げ

36 を 2 進数に変換

PCKA[7:0] ビットの設定値が FCLK の周波数よりも小さい場合には、フラッシュメモリの書き換え特性を保証できません。PCKA[7:0] ビットの設定値が FCLK の周波数よりも大きい場合には、書き換え時間などの FOCI コマンド処理時間が長くなりますが、フラッシュメモリの書き換え特性は保証されます (FCLK の周波数と PCKA[7:0] ビットの設定値が同一の場合に、FOCI コマンド処理時間が最短になります)。

**KEY[7:0] ビット (キーコードビット)**

PCKA[7:0] ビットの書き換えの可否を制御します。

## 5. フラッシュシーケンサの動作モード

フラッシュシーケンサには、図 5.1 に示す 3 種類のモードがあります。モードの移行は、FENTRYR レジスタの書き込みで行います。

FENTRYR レジスタが 0000h の場合には、フラッシュシーケンサはリードモードになります。このモードでは、FACI コマンドを受け付けません。コードフラッシュメモリ、データフラッシュメモリともにリードが可能です。

FENTRYR レジスタが 0001h の場合には、フラッシュシーケンサはコードフラッシュメモリ P/E モードになります。コードフラッシュメモリ P/E モードでは、FACI コマンドを使用してコードフラッシュメモリのプログラム/イレーズを実行可能です。

このモードでは、データフラッシュメモリのリードはできません。また、BGO 動作が不可能な条件下では、コードフラッシュメモリのリードもできません。BGO 動作が可能な条件下では、コードフラッシュメモリのリードが可能です。BGO 動作が可能な条件については、「ユーザーズマニュアル ハードウェア編」を参照してください。

FENTRYR レジスタが 0080h の場合には、フラッシュシーケンサはデータフラッシュメモリ P/E モードになります。データフラッシュ P/E モードでは、FACI コマンドを使用してデータフラッシュメモリのプログラム/イレーズを実行可能です。このモードでは、データフラッシュメモリのリードはできません。コードフラッシュメモリのリードは可能です。

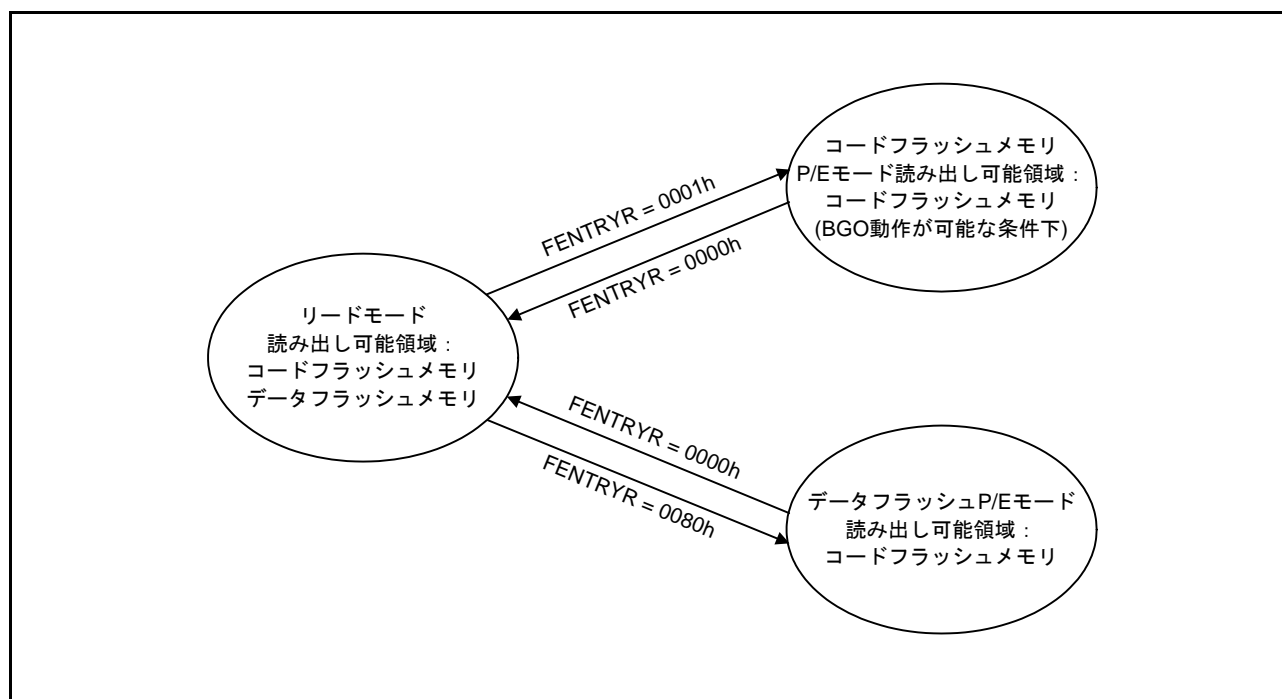


図 5.1 フラッシュシーケンサのモード



## 6. FACI コマンド

### 6.1 FACI コマンド一覧

表6.1 FACIコマンド一覧

FACIコマンド	機能
プログラム	ユーザ領域、データ領域をプログラムします。 ユーザ領域のプログラム単位：256バイト データ領域のプログラム単位：4バイト
ブロックイレーズ	ユーザ領域、ロックビット、データ領域をイレーズします。 イレーズ単位：1ブロック
P/Eサスペンド	プログラムまたはイレーズの処理を中断します。
P/Eレジューム	中断したプログラム/イレーズの処理を再開します。
ステータスクリア	FSTATR.ILGLERR, ERSERR, PRGERR フラグを初期化して、フラッシュシーケンサのコマンドロック状態を解除します。
強制終了	FACIコマンド処理を強制的に終了し、FSTATRレジスタを初期化します。
ブランクチェック	データ領域をブランクチェックします。 チェック単位：4～64Kバイト(4バイト単位で指定)
コンフィギュレーション設定	ID設定、セキュリティ設定、オプション設定メモリ、Trusted Memory (TM)機能の設定を行います。 設定単位：16バイト
ロックビットプログラム	ユーザ領域のロックビットをプログラムします。 プログラム単位：1ビット(1ブロック分のロックビット)
ロックビットリード	ユーザ領域のロックビットをリードして、結果をFLKSTATレジスタに格納します。 リード単位：1ビット(1ブロック分のロックビット)

FACI コマンド発行領域 (表 3.1 参照) に対して、ライトアクセスを行うことで、FACI コマンドを発行できます。表 6.2 に示したライトアクセスを特定の状態で発行すると、フラッシュシーケンサが各コマンドに対応した処理を実行します (「6.2 フラッシュシーケンサの状態と FACI コマンドの関係」参照)。

表6.2 FACIコマンドのフォーマット

FACIコマンド	ライト回数	FACIコマンド発行領域にライトするデータ			
		第1アクセス	第2アクセス	第3～第(N+2)アクセス	第(N+3)アクセス
プログラム(ユーザ領域) 256バイトプログラム：N = 128	131	E8h	80h (= N)	WD <sub>1</sub> ~ WD <sub>128</sub>	D0h
プログラム(データ領域) 4バイトプログラム：N = 2	N + 3	E8h	02h (= N)	WD <sub>1</sub> ~ WD <sub>N</sub>	D0h
ブロックイレーズ	2	20h	D0h	—	—
P/Eサスペンド	1	B0h	—	—	—
P/Eレジューム	1	D0h	—	—	—
ステータスクリア	1	50h	—	—	—
強制終了	1	B3h	—	—	—
ブランクチェック	2	71h	D0h	—	—
コンフィギュレーション設定 N = 8	11	40h	08h (= N)	WD <sub>1</sub> ~ WD <sub>8</sub>	D0h
ロックビットプログラム	2	77h	D0h	—	—
ロックビットリード	2	71h	D0h	—	—

注. WD<sub>N</sub> (N = 1, 2, ...) : N番目の16ビットプログラムデータ

フラッシュシーケンサは、ステータスクリア以外のコマンド処理を開始すると FSTATR.FRDY ビットを“0”にし、コマンド処理が完了すると FSTATR.FRDY ビットを“1”にします。

FRDYIE.FRDYIE ビットが“1”の場合、FSTATR.FRDY ビットが“1”になると、フラッシュレディ (FRDY) 割り込みが発生します。

## 6.2 フラッシュシーケンサの状態と FOCI コマンドの関係

フラッシュシーケンサの各モード/状態で受け付け可能な FOCI コマンドが決められています。FOCI コマンドの発行は、フラッシュシーケンサをコードフラッシュメモリ P/E モードまたはデータフラッシュメモリ P/E モードに移行させた後、フラッシュシーケンサの状態を確認してから実施する必要があります。フラッシュシーケンサの状態の確認には、FSTATR レジスタと FASTAT レジスタを使用してください。なお、FASTAT.CMDLK フラグの値によって、エラーの発生有無を確認することができます。FSTATR レジスタの ILGLERR、ERSERR、PRGERR、FCUERR、FRDTCT、FLWEERR フラグと FASTAT レジスタの CFAE、DFAE フラグの値の論理和です。

各モードで使用可能なコマンドを表 6.3 に示します。

表6.3 各モードで使用可能なコマンド

モード	FENTRYRレジスタの値	使用可能なコマンド
リードモード	0000h	なし
コードフラッシュメモリ P/E モード	0001h	プログラム ブロックイレーズ P/E サスペンド P/E レジューム ステータスクリア 強制終了 ロックビットプログラム ロックビットリード
データフラッシュメモリ P/E モード	0080h	プログラム ブロックイレーズ P/E サスペンド P/E レジューム ステータスクリア 強制終了 ブランクチェック コンフィギュレーション設定

表 6.4 にフラッシュシーケンサの状態と受け付け可能な FACI コマンドの関係を示します。この表は、各コマンドの実行前に適切なモード設定にしていることを前提に記載しています。

表6.4 フラッシュシーケンサの状態と受け付け可能なFACIコマンドの関係

	プログラム/イレーズの処理中 (注5)	コンフィギュレーション設定の処理中	プログラム/イレーズの中断処理中	ブランクチェック、ロックビットリードの処理中	プログラムサスペンド中	イレーズサスペンド中	イレーズサスペンド中のプログラム処理中	コマンドロック状態 (FRDY = 1)	コマンドロック状態 (FRDY = 0)	ロックビット、プログラムの処理中	強制終了のコマンド処理中	その他の状態
FRDY フラグ	0	0	0	0	1	1	0	1	0	0	0	1
SUSRDY フラグ	1	0	0	0	0	0	0	0	0	0	0	0
ERSSPD フラグ	0	0	0/1	0/1	0	1	1	0/1	0/1	0	0	0
PRGSPD フラグ	0	0	0/1	0/1	1	0	0	0/1	0/1	0	0	0
CMDLK フラグ	0	0	0	0	0	0	0	1	1	0	0	0
プログラム	×	×	×	×	×	○ (注3)	×	×	×	×	×	○
ブロックイレーズ	×	×	×	×	×	×	×	×	×	×	×	○
P/Eサスペンド	○	×	×	×	×	×	×	—	×	×	×	—
P/Eレジューム	×	×	×	×	○	○	×	×	×	×	×	×
ステータスクリア	×	×	×	×	○	○	×	○	×	×	×	○
強制終了	○	○	○	○	○	○	○	○	○	○	○	○
ブランクチェック	×	×	×	×	○ (注1)	○ (注1)	×	×	×	×	×	○ (注1)
コンフィギュレーション設定	×	×	×	×	×	×	×	×	×	×	×	○ (注1)
ロックビットプログラム	×	×	×	×	×	×	×	×	×	×	×	○ (注2)
ロックビットリード	×	×	×	×	○ (注2)	○ (注2、 注4)	×	×	×	×	×	○ (注2)

○：受け付け可能、×：受け付け不可能（コマンドロック状態発生）、—：無視

注1. データフラッシュメモリ P/E モードでのみ受け付け可能

注2. コードフラッシュメモリ P/E モードでのみ受け付け可能

注3. イレーズ中断したブロック以外へのプログラムのみ受け付け可能。

注4. イレーズ中断したブロックのロックビットのリード結果は不定です。

注5. P/Eサスペンドコマンドが受け付けられるまでの間にプログラム/イレーズ処理が完了していた場合も含まれます。

### 6.3 FACI コマンドの使用方法

本節では、FACI コマンドの使用方法 / 使用例を記載します。

#### 6.3.1 コードフラッシュメモリ P/E モード使用時の概略フロー

コードフラッシュメモリ P/E モードで FACI コマンドを使用する場合の概略フローとして、BGO 動作が可能な製品は図 6.1 に、BGO 動作が不可能な製品は図 6.2 に示します。コードフラッシュメモリ P/E モードで使用可能なコマンドは、表 6.3 を参照してください。

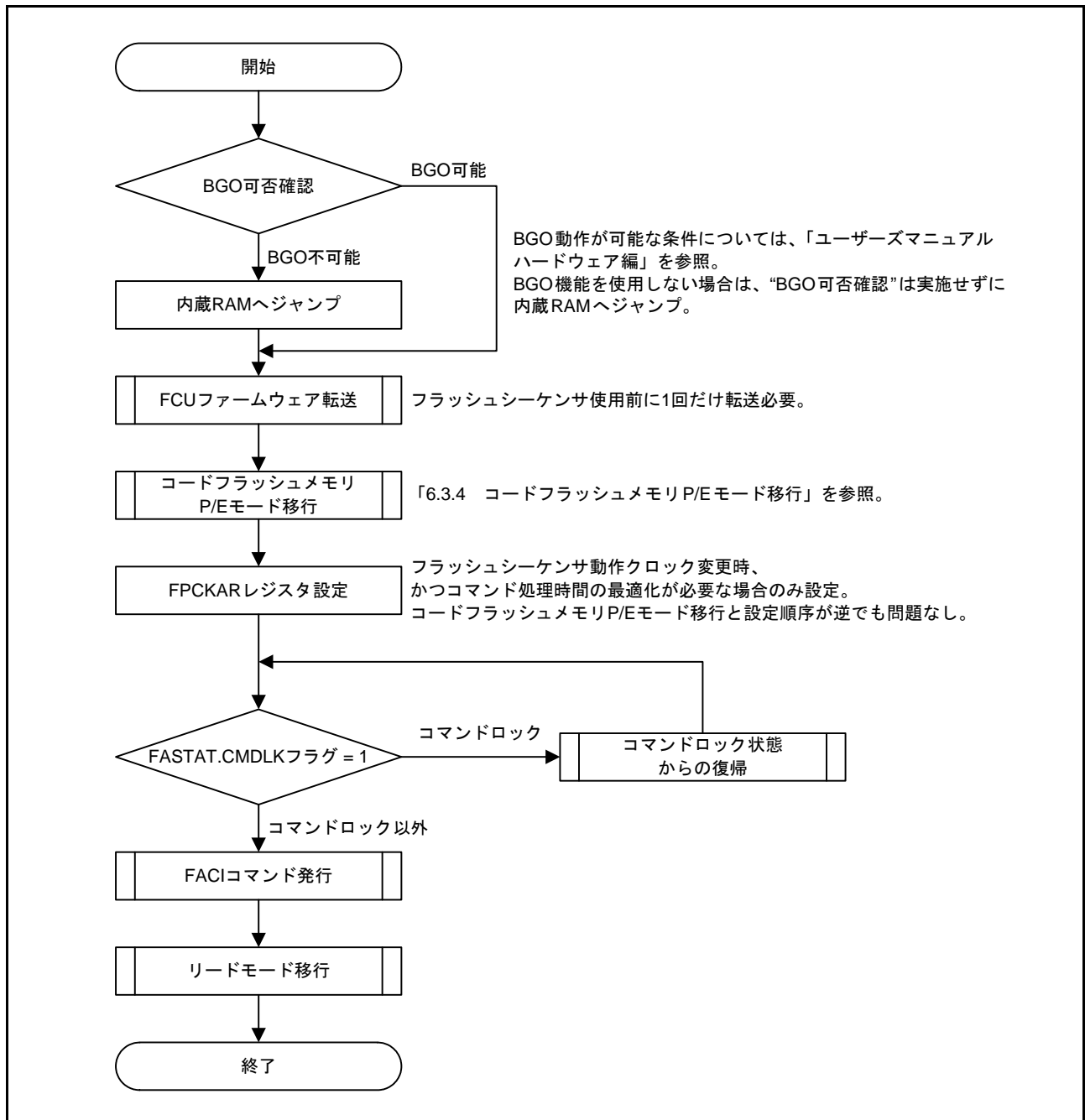


図 6.1 コードフラッシュメモリ P/E モード使用時の概略フロー (BGO 動作が可能な製品)

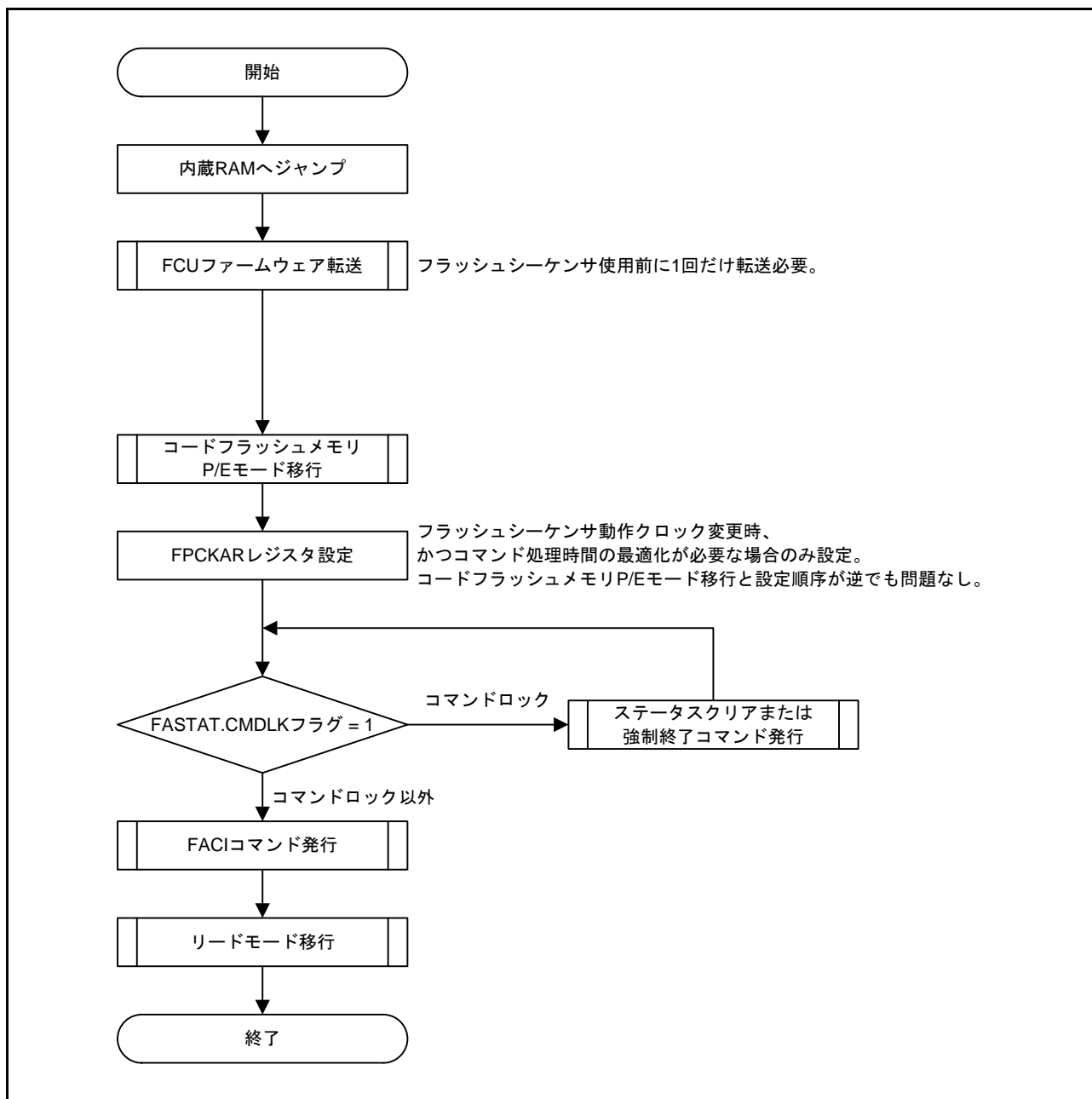


図 6.2 コードフラッシュメモリ P/E モード使用時の概略フロー (BGO 動作が不可能な製品)

### 6.3.2 データフラッシュメモリ P/E モード使用時の概略フロー

データフラッシュメモリ P/E モードで FOCI コマンドを使用する場合の概略フローを示します。データフラッシュ P/E モードで使用可能なコマンドについては、表 6.3 を参照してください。

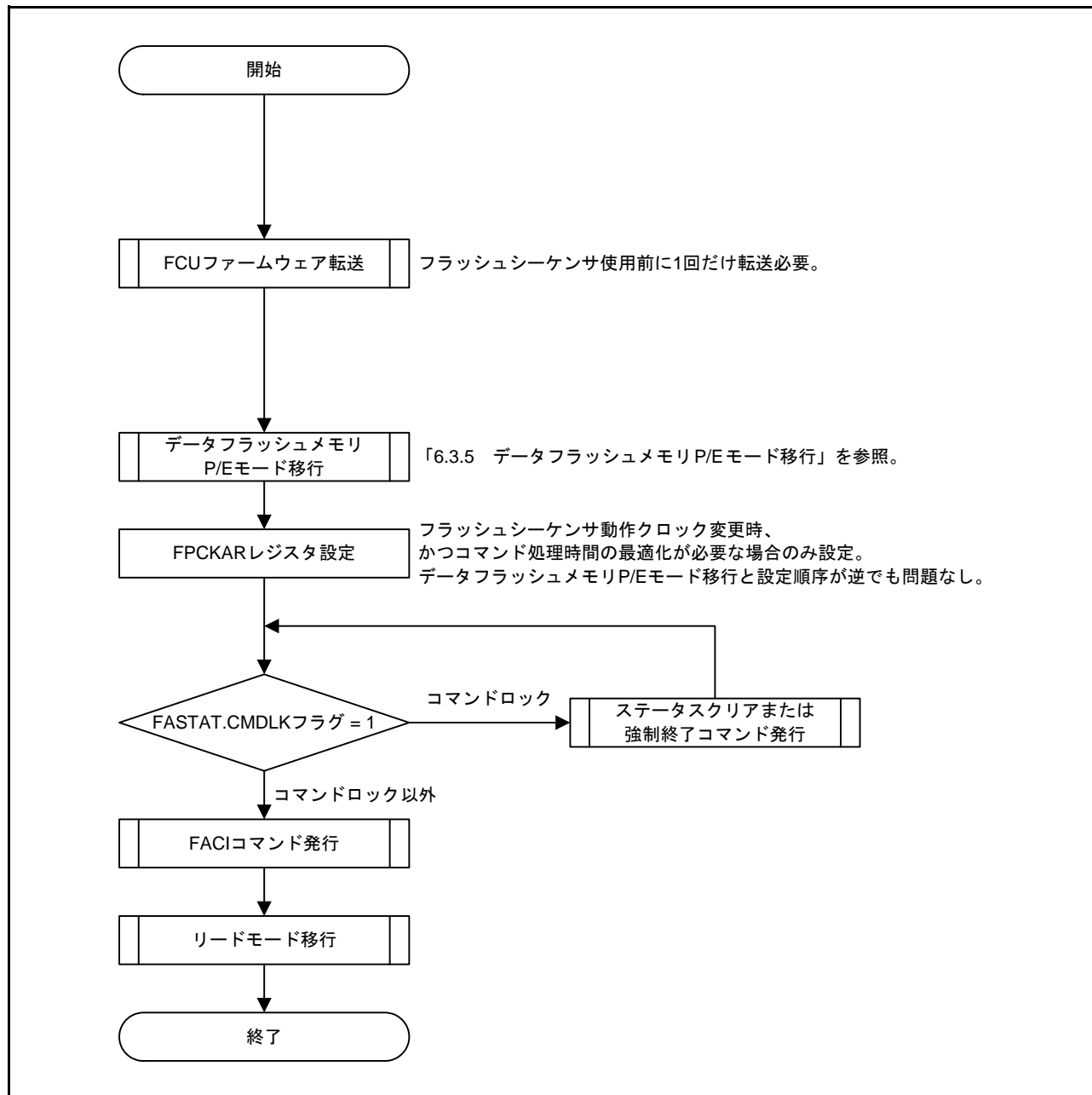


図 6.3 データフラッシュメモリ P/E モード使用時の概略フロー

### 6.3.3 FCU ファームウェア転送

フラッシュシーケンサを使用するためには、FCURAMにFCUファームウェアを格納する必要があります。チップ起動時にはFCURAMにFCUファームウェアが格納されていないため、FCUファームウェア格納領域からFCURAMにFCUファームウェアをコピーする必要があります。FACIコマンド実行によりFCURAMが更新されることはないため、フラッシュシーケンサの使用前に1度だけFCUファームウェアのコピーを実行すれば、FCURAMを再更新する必要はありません。

チップ起動時のFCURAM格納データが不定であるため、FCURAMへのライト時にECCエラーが発生します。FCUファームウェアのコピー後には、強制終了コマンドを発行して、FSTATR.FRCRCCTフラグとFRDTCTフラグを初期化してください。

なお、強制終了コマンド処理はFCUファームウェアを介在せず、すべてハードウェアで実行可能です。

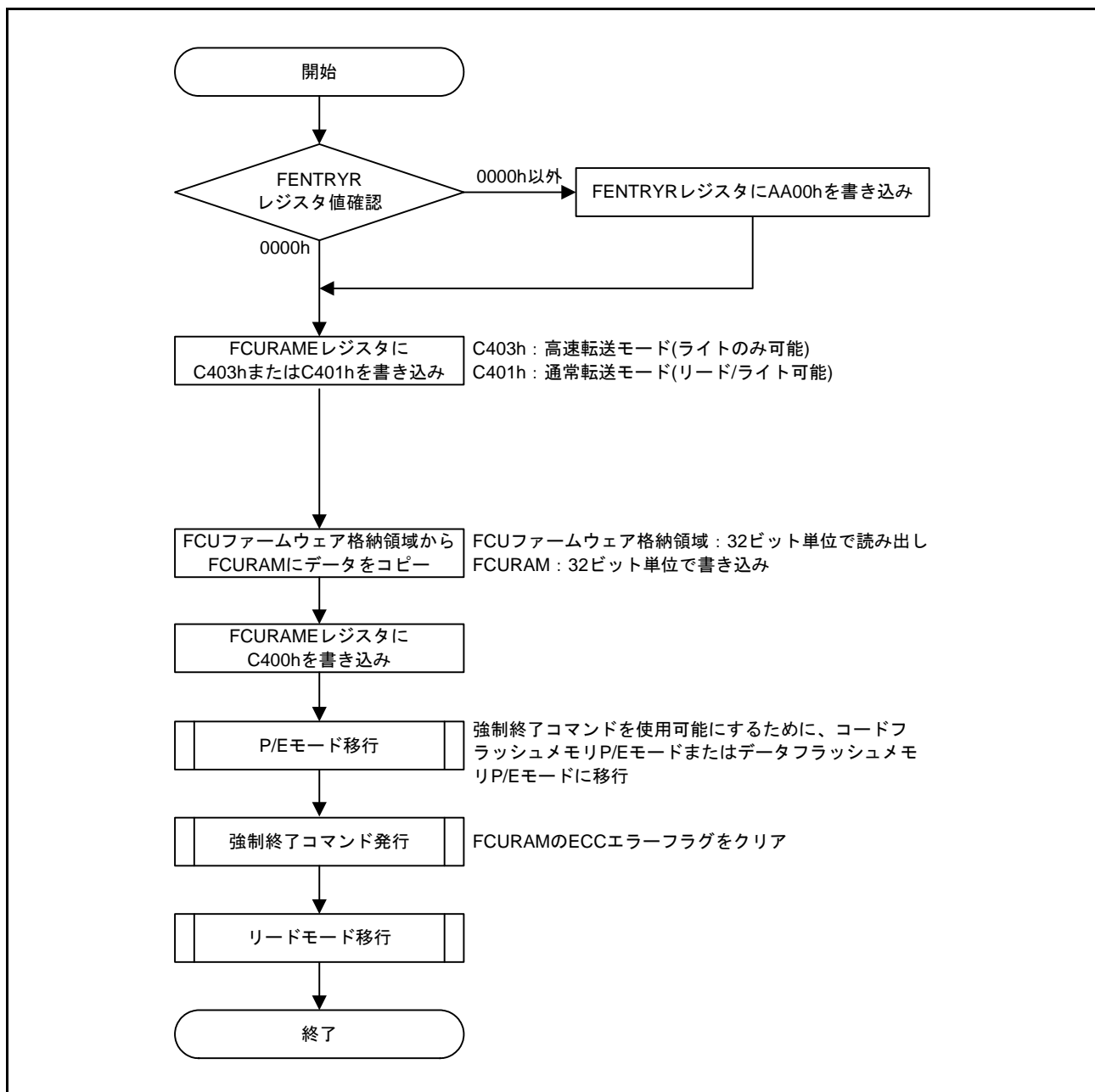


図 6.4 FCU ファームウェア転送フロー

### 6.3.4 コードフラッシュメモリ P/E モード移行

コードフラッシュメモリ関連のFACIコマンドを使用するためには、コードフラッシュメモリ P/E モードに移行する必要があります。コードフラッシュメモリ P/E モードに移行するためには、FENTRYR.FENTRYRC ビットを“1”にします。

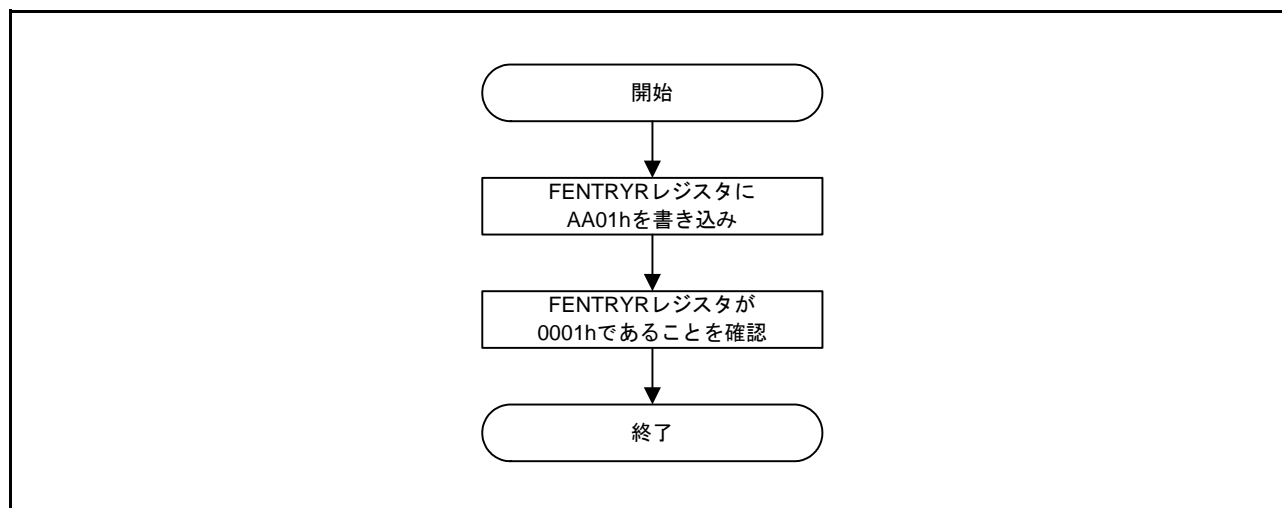


図 6.5 コードフラッシュメモリ P/E モード移行フロー

### 6.3.5 データフラッシュメモリ P/E モード移行

データフラッシュメモリ関連のFACIコマンドを使用するためには、データフラッシュメモリ P/E モードに移行する必要があります。データフラッシュメモリ P/E モードに移行するためには、FENTRYR.FENTRYRD ビットを“1”にします。

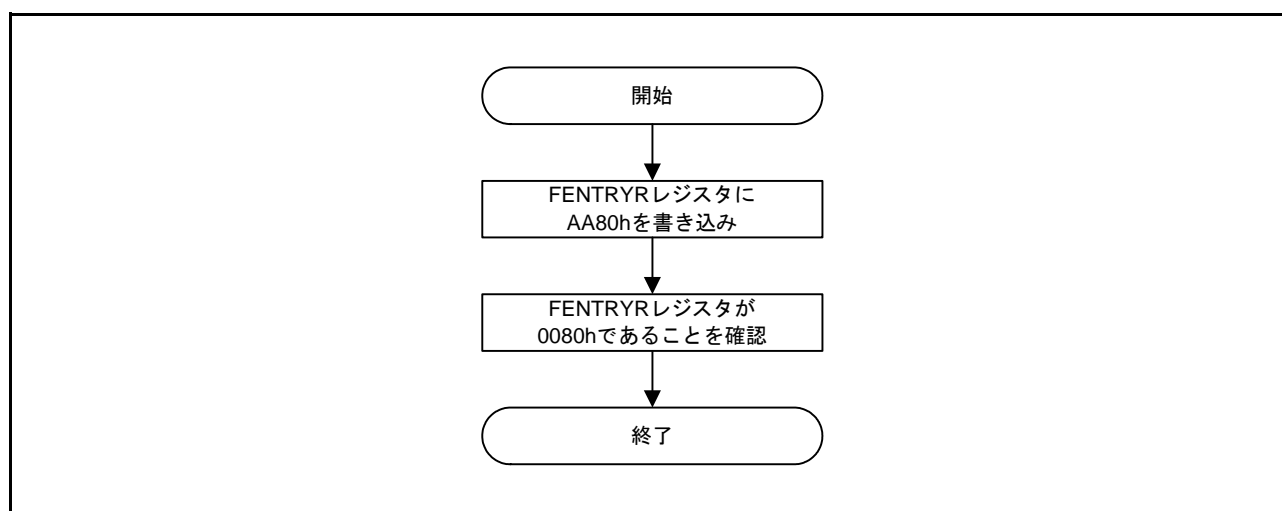


図 6.6 データフラッシュメモリ P/E モード移行フロー



## 6.3.6 リードモード移行

BGO 動作以外でフラッシュメモリを読み出すためには、リードモードに移行する必要があります。リードモードに移行するためには、FENTRYRレジスタを0000hにします。リードモードへの移行は、フラッシュシーケンサの処理が完了し、かつコマンドロック以外の状態で実施してください。

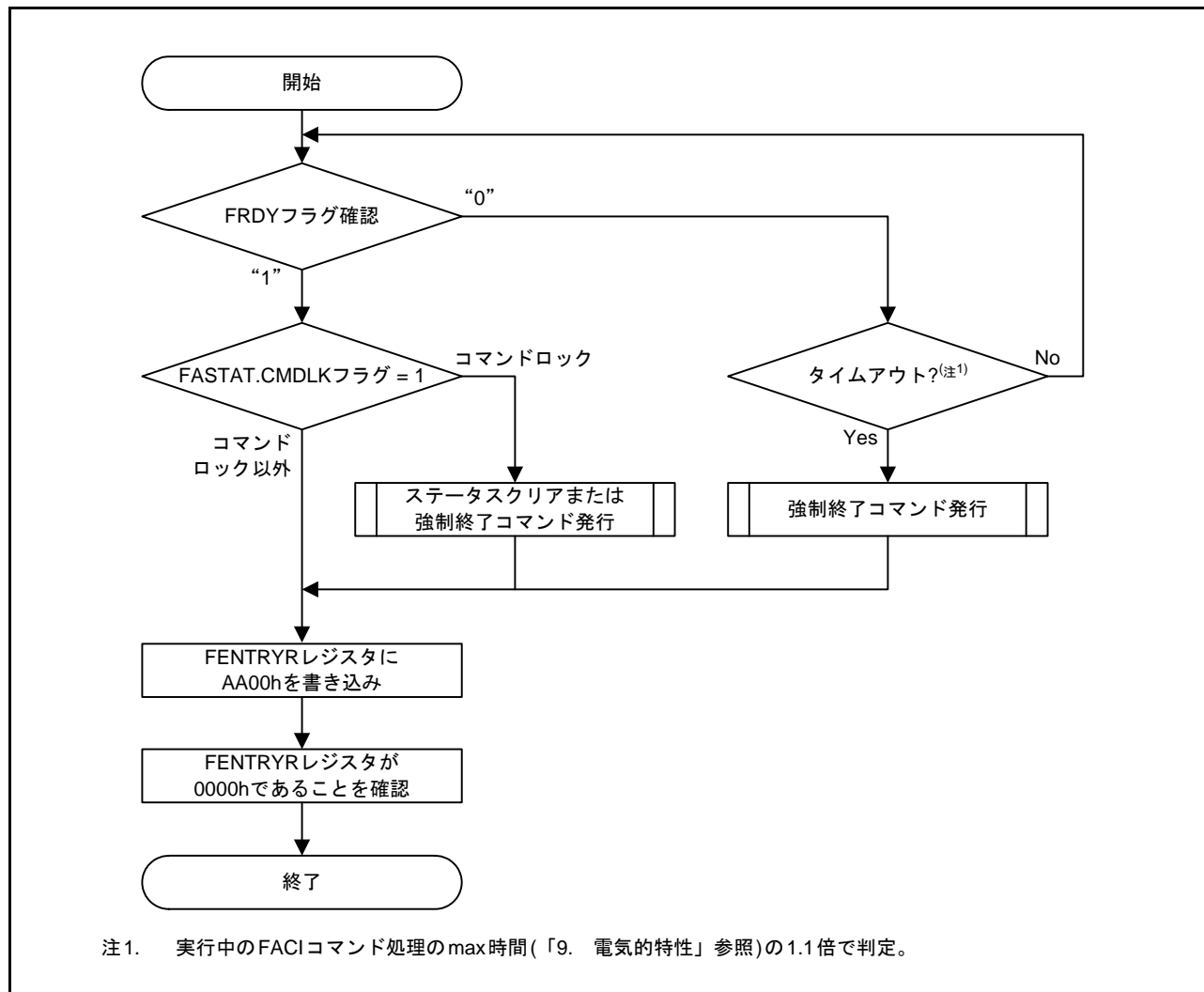


図 6.7 リードモード移行フロー

### 6.3.7 コマンドロック状態からの復帰

フラッシュシーケンサがコマンドロック状態になった場合には、FCI コマンドの受け付けができなくなります。コマンドロック状態を解除するためには、ステータスクリアコマンド、強制終了コマンド、または FASTAT レジスタを使用する必要があります。

P/E サスペンドコマンド発行前のエラー確認などでコマンドロック状態を検出した場合には、コマンド処理が完了しておらず FSTATR.FR DY フラグが“0”を保持している可能性があります。「ユーザーズマニュアル ハードウェア編」で規定された最大のプログラム/イレーズ時間を越えても処理が完了しない場合には、タイムアウトと判断して強制終了コマンドでフラッシュシーケンサを停止させてください。

FSTATR.ILGLERR フラグが“1”の場合には、FASTAT レジスタの値を確認してください。FASTAT.CFAE フラグまたは DFAE フラグが“1”の場合には、FASTAT レジスタの CFAE フラグまたは DFAE フラグを“0”にしてから、ステータスクリア/強制終了コマンドを発行してください。

FSTATR.FCUERR, FRDCT, FLWERR フラグは、ステータスクリアコマンドでは“1”から“0”に更新できません。これらのビットが“1”の場合には、強制終了コマンドを使用して、コマンドロックを解除してください。その他のコマンドロック要因となるビットは、ステータスクリアコマンドまたは強制終了コマンドで“1”から“0”に更新可能です。

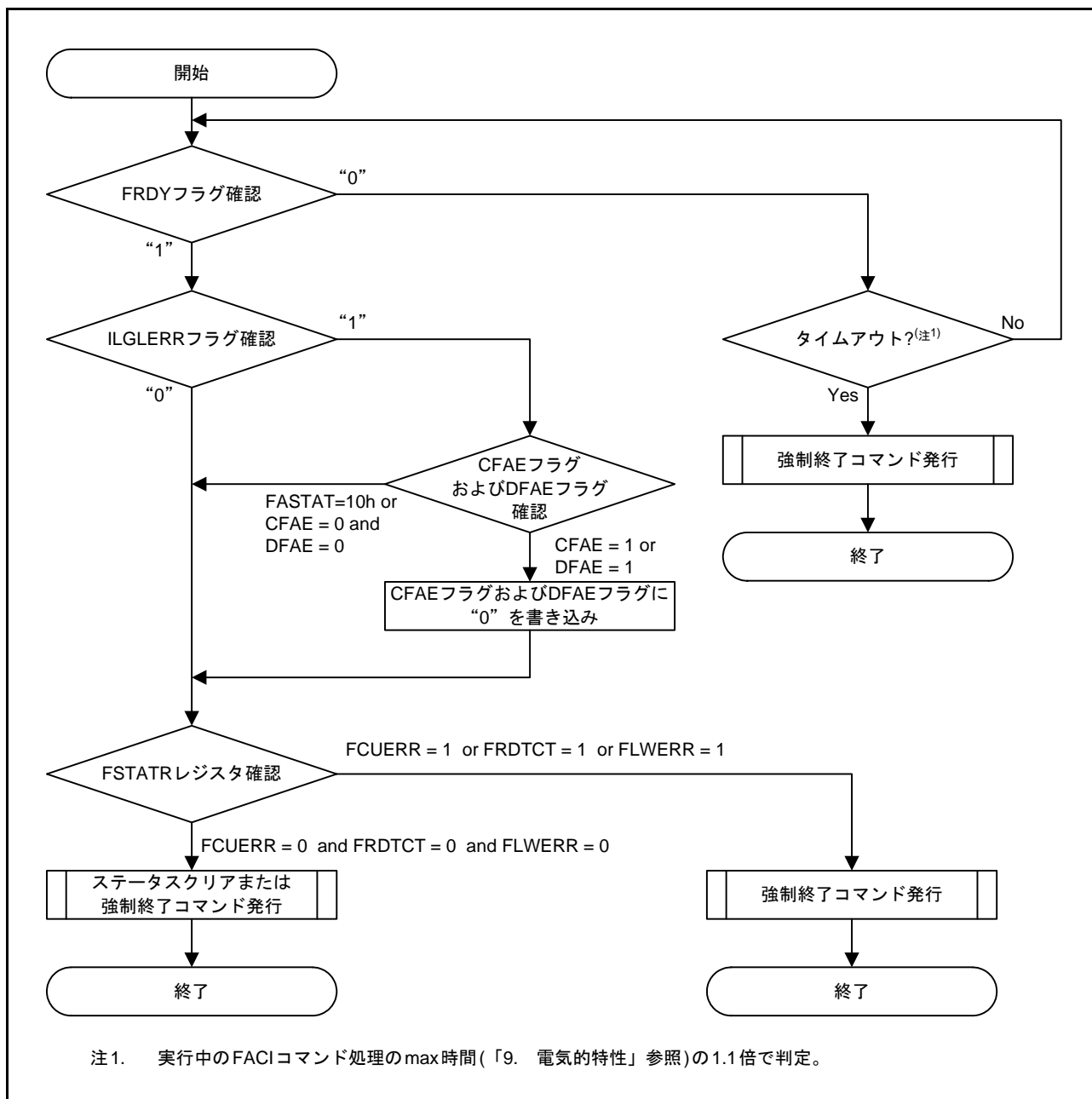


図 6.8 コマンドロック状態からの復帰方法

### 6.3.8 プログラムコマンド

ユーザ領域、データ領域のプログラムには、プログラムコマンドを使用します。

プログラムコマンドを発行する前に、書き込み先の先頭アドレスを **FSADDR** レジスタに設定してください。FACI コマンド発行時の最終アクセスで **D0h** を FACI コマンド発行領域に書き込むと、プログラムコマンドの処理が開始されます。プログラムコマンドの処理対象領域に書き込み不要な領域が含まれる場合には、該当領域に対するプログラムデータを **FFFFh** にしてください。

**FPROTR** レジスタは、プログラムコマンドを発行する前に設定する必要があります。**FPROTR** レジスタは、ロックビットの有効/無効を切り替える場合に設定を変更する必要があります。

FACI 内部のデータバッファがフルの状態、プログラムコマンドを発行し続けると、内部周辺バス 6 にウェイトが発生し、他の周辺 IP のバスアクセスに影響を及ぼす可能性があります。ウェイト発生を回避する必要がある場合には、**FSTATR.DBFULL** フラグが“0”の状態、FACI コマンドを発行してください。

なお、データ領域のプログラム時には、データバッファがフルになることはありません。

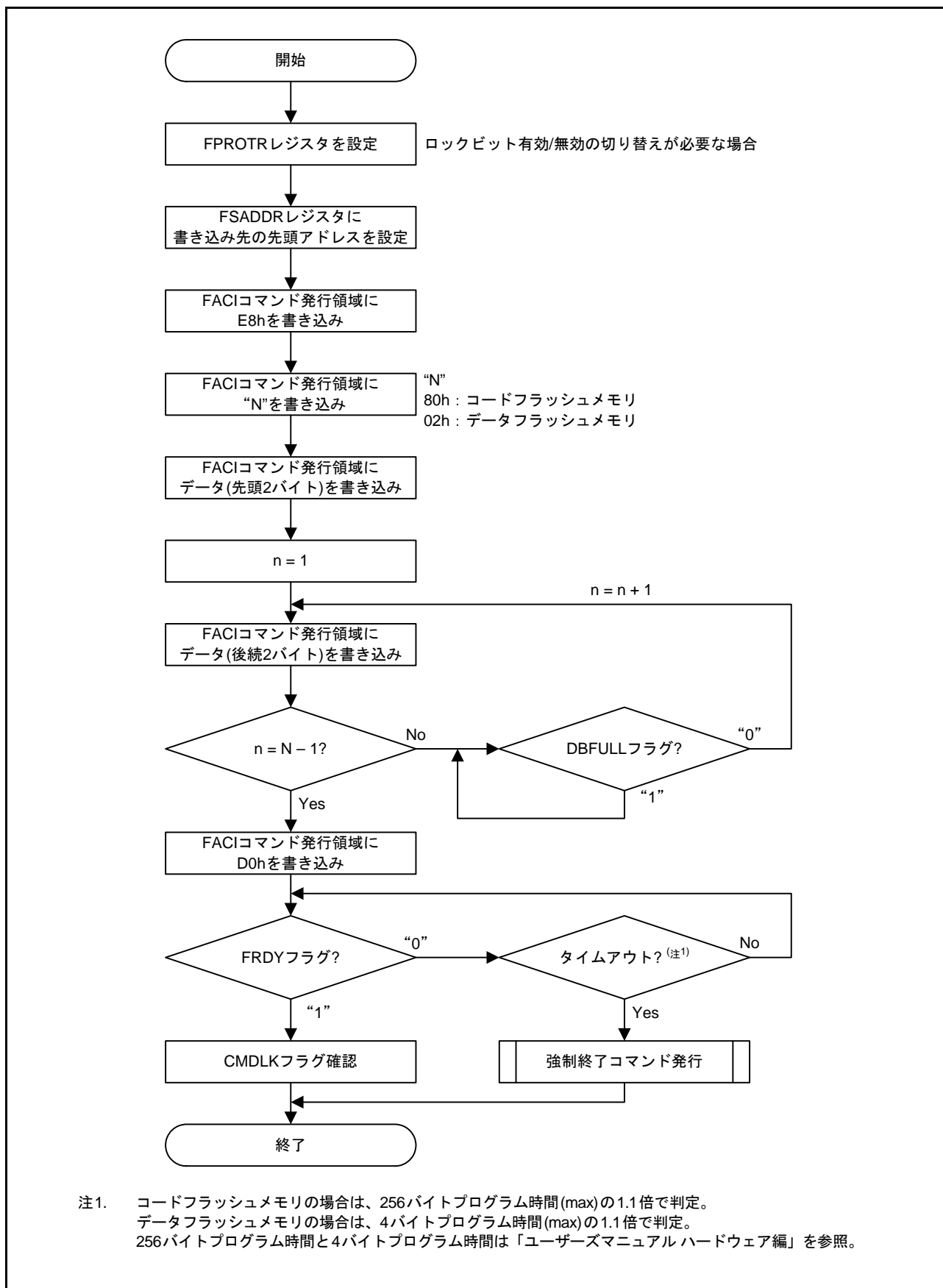


図 6.9 プログラムコマンドの使用方法

### 6.3.9 ブロックイレーズコマンド

ユーザ領域、ロックビット、データ領域のイレーズには、ブロックイレーズコマンドを使用します。

ブロックイレーズコマンドを発行する前に、消去先の先頭アドレスをFSADDRレジスタに設定してください。FACIコマンド発行領域に20hとD0hを書き込むと、ブロックイレーズコマンドの処理が開始されます。

FPROTRレジスタおよびFCPSRレジスタは、ブロックイレーズコマンドを発行する前に設定する必要があります。FPROTRレジスタは、ロックビットの有効/無効を切り替える場合に設定を変更する必要があります。ロックビットのイレーズを行う場合には、FPROTR.FPROTCNビットを“1”にした状態でブロックイレーズコマンドを発行してください。FCPSRレジスタは、P/Eサスペンドコマンドでイレーズ処理を中断する場合の中断方式(サスペンド優先モード/イレーズ優先モード)を切り替える場合に設定を変更する必要があります。

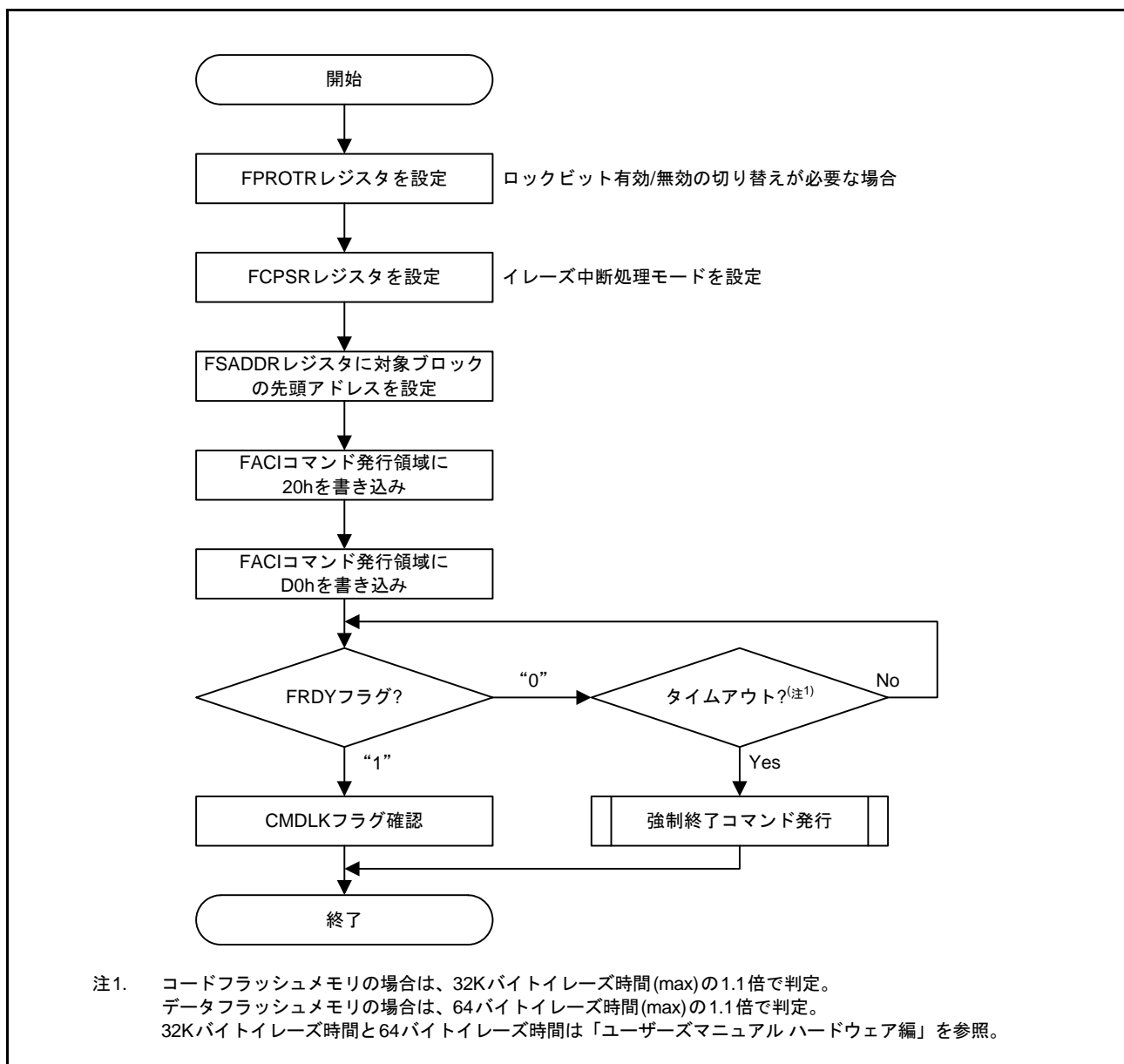


図 6.10 ブロックイレーズコマンドの使用法

### 6.3.10 P/E サスペンドコマンド

プログラム/イレーズ処理の中断には、P/E サスペンドコマンドを使用します。P/E サスペンドコマンドを発行する場合には、事前に FASTAT.CMDLK フラグが“0”でプログラム/イレーズ処理が正常に実行されていることを確認してください。また、P/E サスペンドコマンドが受け付け可能であることを確認するために、FSTATR.SUSRDY フラグが“1”であることも確認してください。P/E サスペンドコマンドの発行後は、FASTAT.CMDLK フラグを読み出して“1”(コマンドロック)でないことを確認してください。

プログラム/イレーズ処理中に異常が発生した場合には、FASTAT.CMDLK フラグが“1”になります。FSTATR.SUSRDY フラグが“1”であることを確認してから P/E サスペンドコマンドが受け付けられるまでの間にプログラム/イレーズ処理が完了していた場合には、表 7.1 のいずれのエラーも発生せず、サスペンド状態にも遷移しません (FSTATR.FRDY フラグが“1”、かつ FSTATR.ERSSPD フラグと PRGSPD フラグが“0”)。

P/E サスペンドコマンドが受け付けられて、プログラム/イレーズの中断処理が正常に終了した場合には、フラッシュシーケンサがサスペンド状態に遷移して FSTATR.FRDY フラグが“0”、かつ FSTATR.ERSSPD フラグまたは PRGSPD フラグが“1”になります。P/E サスペンドコマンド発行後には、FSTATR.ERSSPD フラグまたは PRGSPD フラグが“1”で、サスペンド状態に遷移していることを確認した後に、後続するフローを決定してください。サスペンド状態に遷移していないにも関わらず、後続するフローで P/E レジュームコマンドを発行すると、不正コマンドエラーが発生しフラッシュシーケンサがコマンドロック状態に遷移します(「7.2 エラープロテクション」参照)。

イレーズサスペンド状態に遷移した場合には、イレーズ対象外のブロックに対するプログラムを実行することができます。また、プログラム/イレーズサスペンド状態ともに、FENTRYR レジスタをクリアすることにより、リードモードに移行することも可能です。

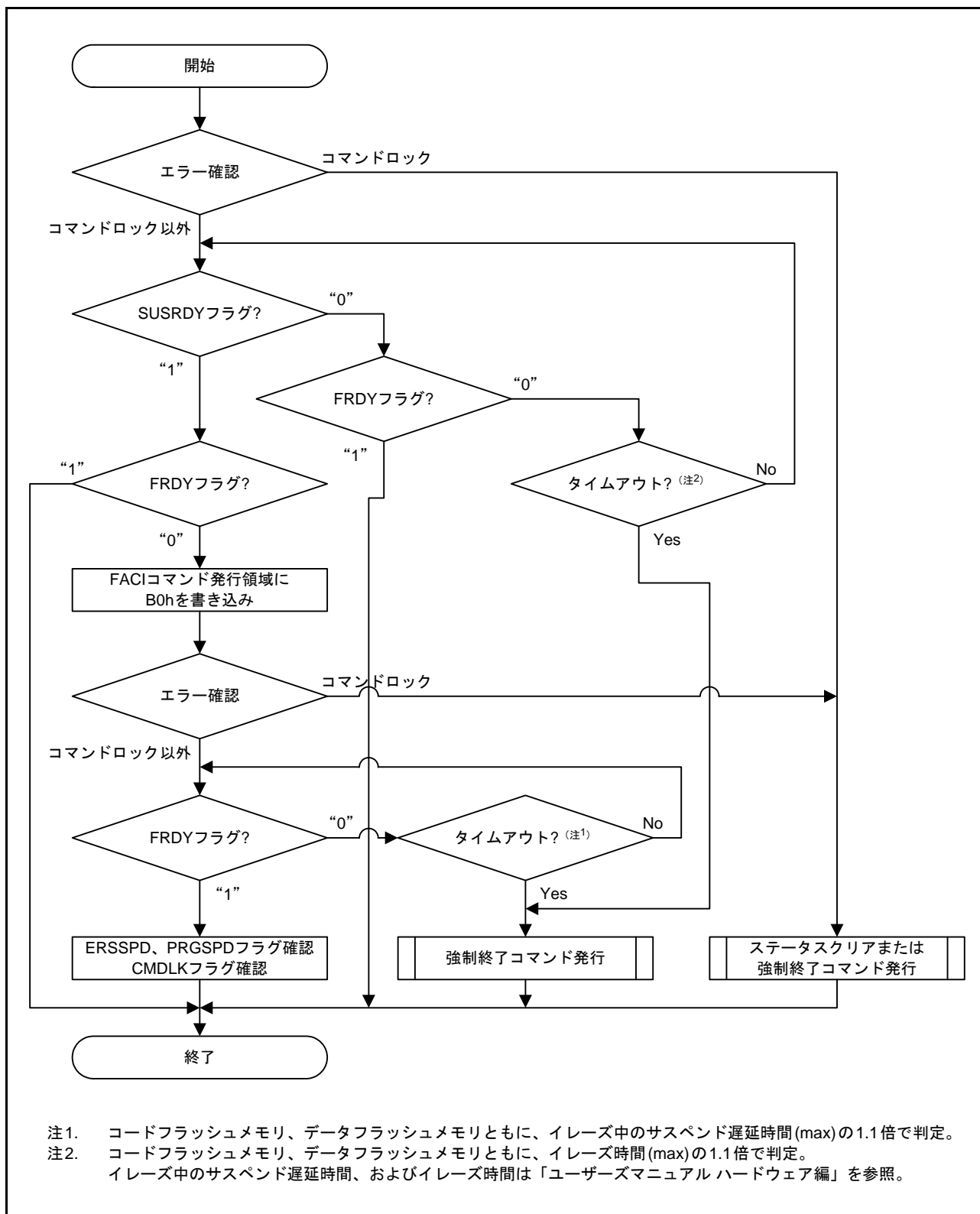


図 6.11 P/E サスペンドコマンドの使用方法



## (1) プログラム中のサスペンド

フラッシュメモリへのプログラム処理中に P/E サスペンドコマンドを発行すると、フラッシュシーケンサはプログラム処理を中断します。図 6.12 にプログラム処理の中断動作を示します。フラッシュシーケンサは、プログラムコマンドまたは P/E レジュームコマンドを受け付けると、FSTAT.FRDY フラグを“0”にしてプログラム処理を開始します。プログラム処理の開始後にフラッシュシーケンサが P/E サスペンドコマンドを受け付け可能な状態に移行すると、FSTAT.SUSRDY フラグが“1”になります。P/E サスペンドコマンドが発行されると、フラッシュシーケンサはコマンドを受け付けて FSTAT.SUSRDY フラグを“0”にします。書き込みパルス印加中にフラッシュシーケンサが P/E サスペンドコマンドを受け付けた場合には、フラッシュシーケンサはパルスの印加を継続します。所定のパルス印加時間を経過するとフラッシュシーケンサはパルスの印加を完了し、プログラムの中断処理を開始して FSTAT.PRGSPD フラグを“1”にします。

中断処理が完了すると、フラッシュシーケンサは FSTAT.FRDY フラグを“1”にしてプログラムサスペンド状態に移行します。プログラムサスペンド状態でフラッシュシーケンサが P/E レジュームコマンドを受け付けた場合には、フラッシュシーケンサは FSTAT.FRDY フラグと FSTAT.PRGSPD フラグを“0”にしてプログラム処理を再開します。

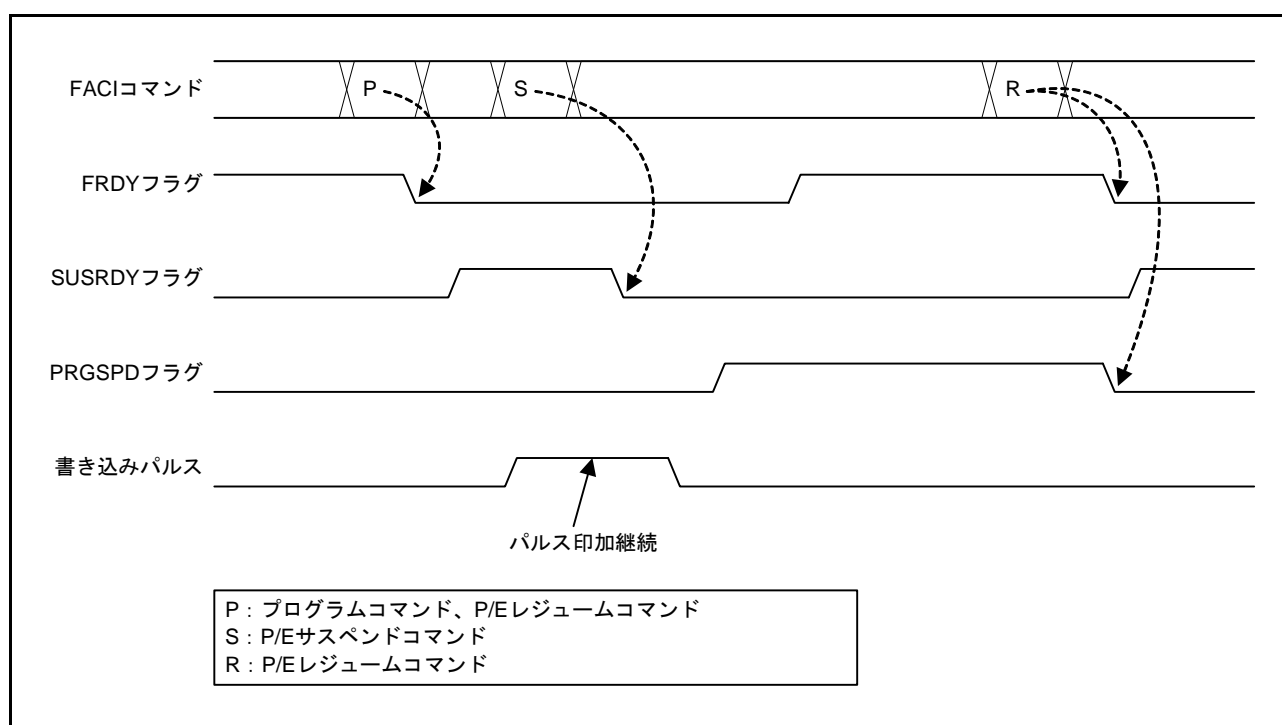


図 6.12 プログラム処理の中断動作

## (2) イレーズ中のサスペンド (サスペンド優先モード)

イレーズ中のサスペンド方式として、サスペンド優先モードをサポートしています。図 6.13 にサスペンド優先モード (FCPSR.ESUSPMD ビットが“0”) の場合のイレーズ処理の中断動作を示します。

フラッシュシーケンサは、ブロックイレーズコマンドまたは P/E レジュームコマンドを受け付けると、FSTATR.FRDY フラグを“0”にしてイレーズ処理を開始します。イレーズ処理の開始後にフラッシュシーケンサが P/E サスペンドコマンドを受け付け可能な状態に遷移すると、FSTATR.SUSRDY フラグが“1”になります。P/E サスペンドコマンドが発行されると、フラッシュシーケンサは P/E サスペンドコマンドを受け付けて FSTATR.SUSRDY フラグを“0”にします。イレーズ処理中に P/E サスペンドコマンドを受け付けた場合には、フラッシュシーケンサは消去パルス印加中でも中断処理を開始して FSTATR.ERSSPD フラグを“1”にします。中断処理が完了すると、フラッシュシーケンサは FSTATR.FRDY フラグを“1”にして、イレーズサスペンド状態に遷移します。イレーズサスペンド状態で、フラッシュシーケンサが P/E レジュームコマンドを受け付けた場合には、フラッシュシーケンサは FSTATR.FRDY フラグと ERSSPD フラグを“0”にして、イレーズ処理を再開します。イレーズ処理の中断/再開時の FSTATR.FRDY, SUSRDY, ERSSPD フラグの動作は、イレーズサスペンドモードに依存せず同様です。

イレーズサスペンドモードの設定は、消去パルスの制御方式に影響を与えます。サスペンド優先モードでは、過去に中断されたことのない消去パルス A を印加中に P/E サスペンド/コマンドを受け付けた場合には、消去パルス A の印加を停止してイレーズサスペンド状態に遷移します。P/E レジュームコマンドによりイレーズが再開され、消去パルス A を再印加している期間に、P/E サスペンドコマンドを受け付けた場合には、消去パルス A の印加を継続します。所定のパルス印加時間を経過すると、フラッシュシーケンサは消去パルス A の印加を完了してイレーズサスペンド状態に遷移します。次にフラッシュシーケンサが P/E レジュームコマンドを受け付けて、新たな消去パルス B の印加が開始された後に、再び P/E サスペンドコマンドを受け付けた場合には、消去パルス B の印加を停止します。サスペンド優先モードでは、1 パルスあたり 1 回の割合で消去パルスの印加を中断してサスペンド処理を優先するため、サスペンドの遅延を小さくできます。

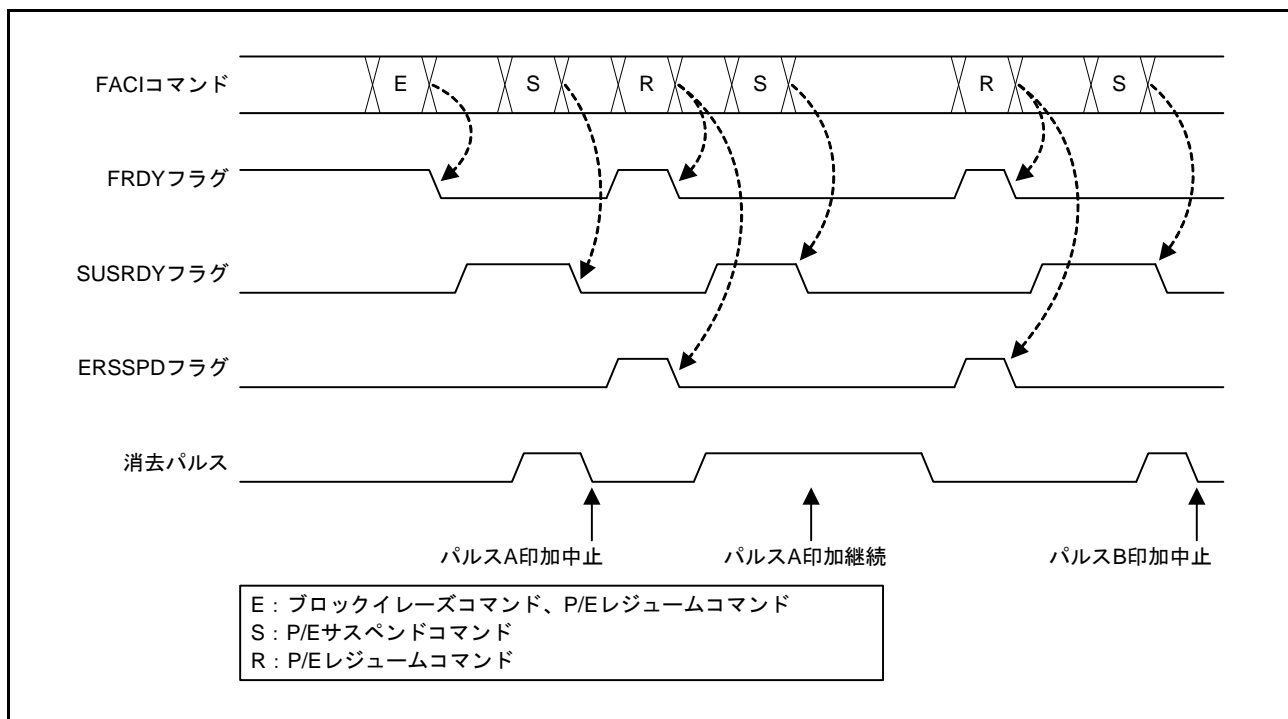


図 6.13 イレーズ処理の中断動作 (サスペンド優先モード)

### (3) イレーズ中のサスペンド (イレーズ優先モード)

イレーズ中のサスペンドの方式として、イレーズ優先モードをサポートしています。図 6.14 にイレーズ優先モード (FCPSR.ESUSPMD ビットが“1”) の場合のイレーズ処理の中断動作を示します。イレーズ優先モードのイレーズパルス制御方式は、プログラム中断処理の書き込みパルス制御方式と同様です。

フラッシュシーケンサが消去パルス印加中に P/E サスペンドコマンドを受け付けた場合には、消去パルスの印加を継続します。このモードでは P/E レジュームコマンド発行時に消去パルスの再印加が発生しないため、サスペンド優先モードと比較してイレーズ処理全体に必要な時間を短縮可能です。

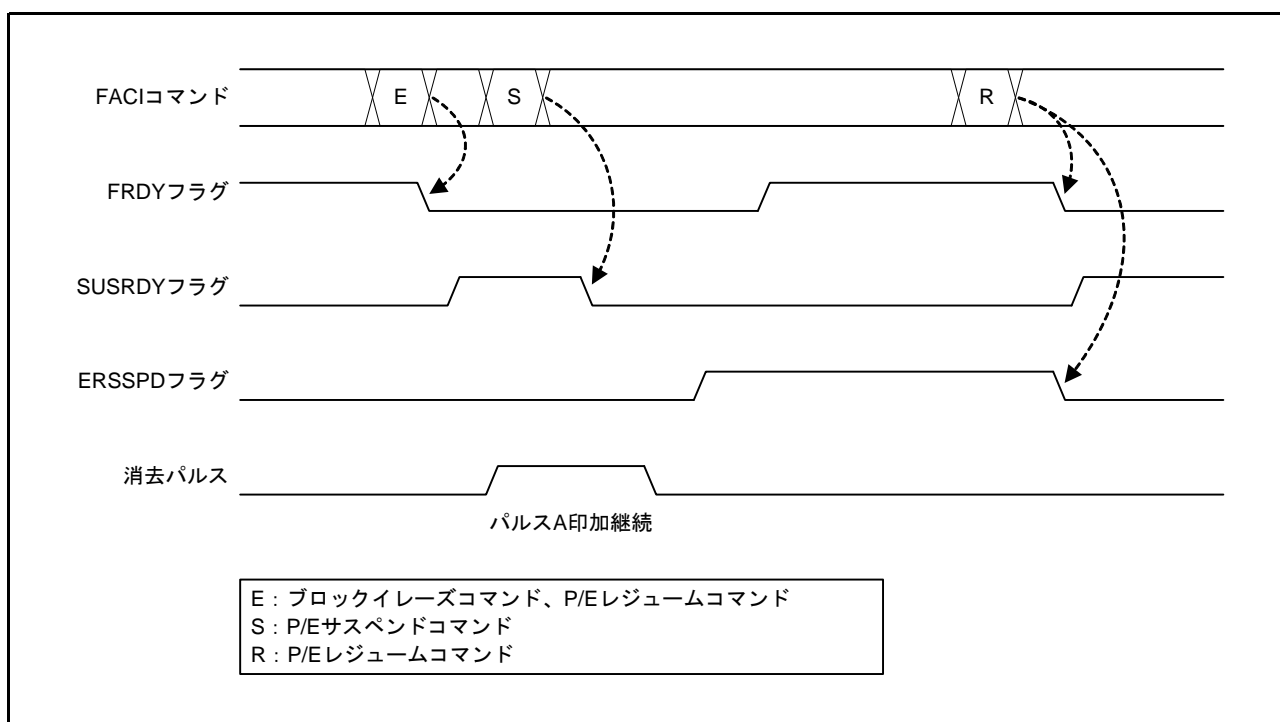


図 6.14 イレーズ処理の中断動作 (イレーズ優先モード)

### 6.3.11 P/E レジュームコマンド

サスペンドしたプログラム/イレーズ処理を再開したい場合には、P/E レジュームコマンドを使用します。サスペンド中に FENTRYR レジスタの設定を変更した場合には、P/E レジュームコマンドを発行する前に、FENTRYR レジスタの値を P/E サスペンドコマンド発行直前の値に再設定してください。

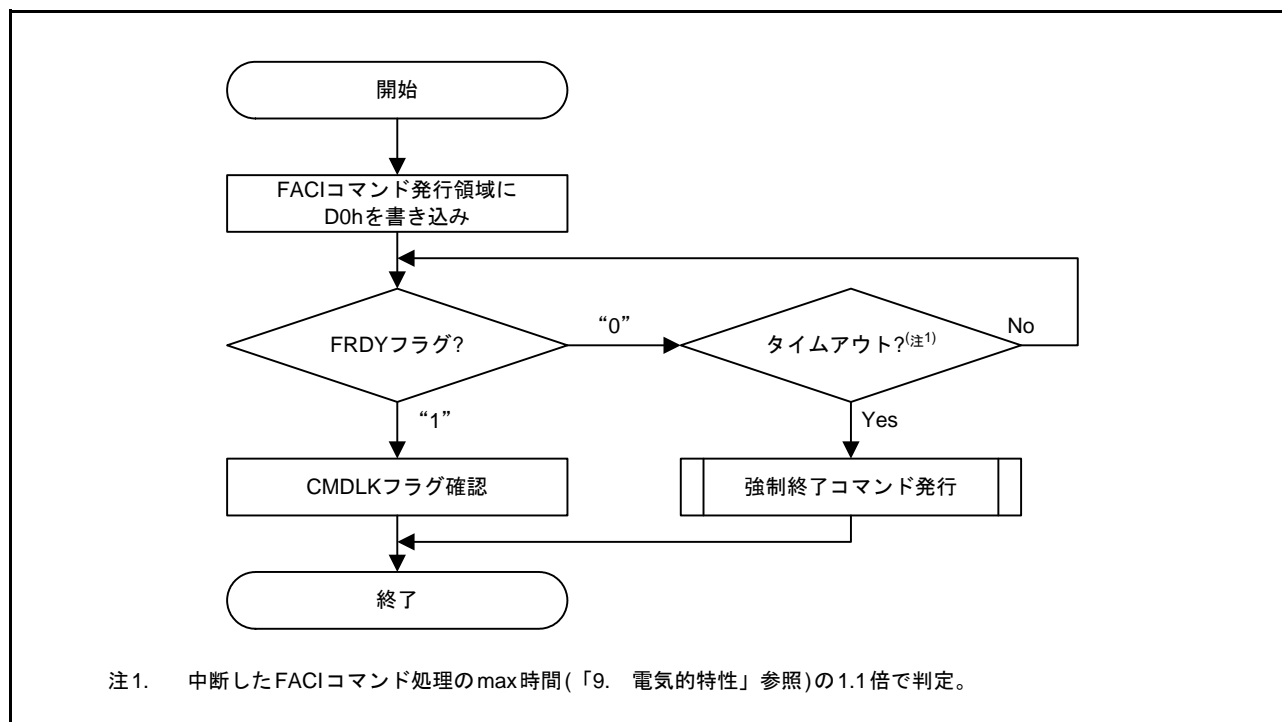


図 6.15 P/E レジュームコマンドの使用方法

### 6.3.12 ステータスクリアコマンド

ステータスクリアコマンドは、コマンドロック状態を解除するために使用するコマンドです(「6.3.7 コマンドロック状態からの復帰」参照)。コマンドロック状態で、FSTATR.ILGLERR, ERSERR, PRGERR フラグをクリアしたい場合に、ステータスクリアコマンドを使用可能です。

なお、ステータスクリアコマンド処理はFCUファームウェアを介在せず、すべてハードウェアで実行可能です。

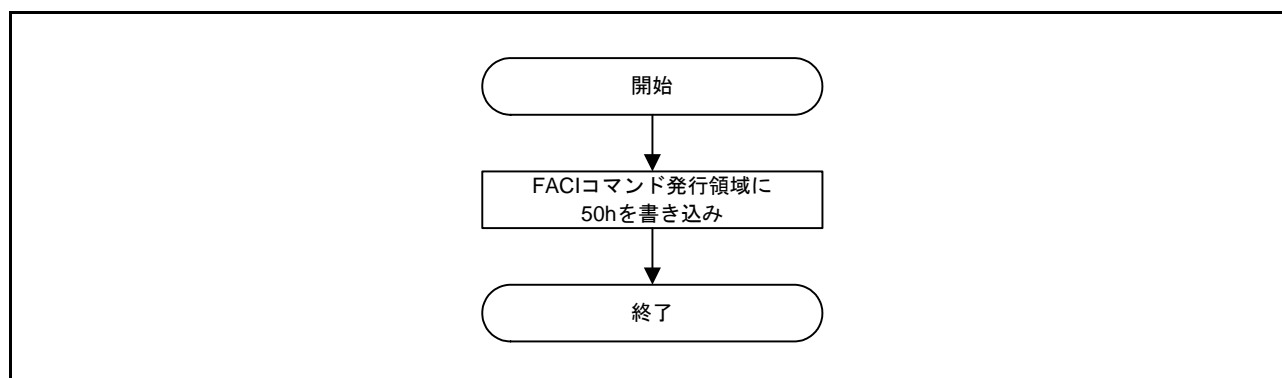


図 6.16 ステータスクリアコマンドの使用方法

### 6.3.13 強制終了コマンド

強制終了コマンドは、フラッシュシーケンサのコマンド処理を強制的に終了させるコマンドです。P/E サスペンドコマンドよりも高速にコマンド処理を中断可能ですが、中断したプログラム/イレーズ領域のデータ値は保証されません。また、中断した処理を再開することもできません。強制終了コマンドで中断したプログラム/イレーズ処理は、書き換え回数としては1回分と定義されます。

強制終了コマンドを実行すると、FCU 全体およびFACIの一部が初期化されます。また、FSTATR レジスタも初期化されます。このため、コマンドロック状態からの復帰手段や、フラッシュシーケンサ動作のタイムアウト処理でも、強制終了コマンドを利用することができます(「6.3.7 コマンドロック状態からの復帰」参照)。

なお、強制終了コマンド処理はFCUファームウェアを介在せず、すべてハードウェアで実行可能です。

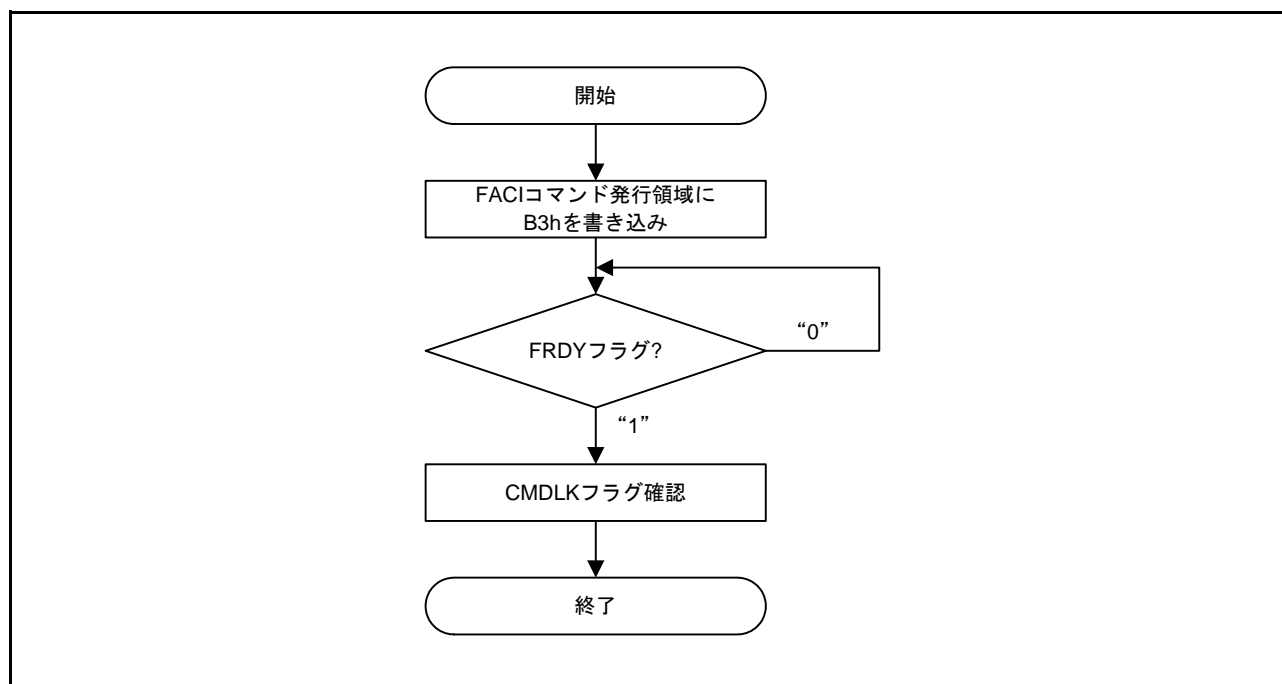


図 6.17 強制終了コマンドの使用方法

### 6.3.14 ブランクチェックコマンド

イレーズ後に書き込んでいない状態(未書き込み状態)のデータフラッシュメモリの値は不定であるため、未書き込み状態の確認にはブランクチェックコマンドを使用する必要があります。

ブランクチェックコマンドを発行する前に、アドレッシングモード、ブランクチェック対象領域の先頭アドレス/最終アドレスを FBCCNT レジスタ、FSADDR レジスタ、FEADDR レジスタに設定してください。FBCCNT.BCDIR ビットが“1”である、ブランクチェック処理のアドレッシングモードが減算モードの場合には、FSADDR レジスタの設定値を FEADDR レジスタの設定値以上にする必要があります。

FBCCNT.BCDIR ビットが“0”である、ブランクチェック処理のアドレッシングモードが加算モードの場合には、FSADDR レジスタの設定値を FEADDR レジスタの設定値以下にする必要があります。

FBCCNT.BCDIR ビット、FSADDR レジスタ、および FEADDR レジスタの設定値に矛盾がある場合には、フラッシュシーケンサはコマンドロック状態になります。ブランクチェック対象領域のサイズは4バイト～64Kバイトの範囲で、4バイト単位に設定可能です。

FACL コマンド発行領域に 71h と D0h を書き込むと、ブランクチェックの処理が開始されます。処理の完了は、FSTAT.FRDY フラグで確認可能です。処理完了時に、FBCSTAT.BCST ビットにブランクチェックの結果が格納されます。書き込み済みの領域がブランクチェック対象の領域に含まれている場合、フラッシュシーケンサは最初に検出した書き込み済みデータのアドレスを FPSADDR レジスタに格納します。

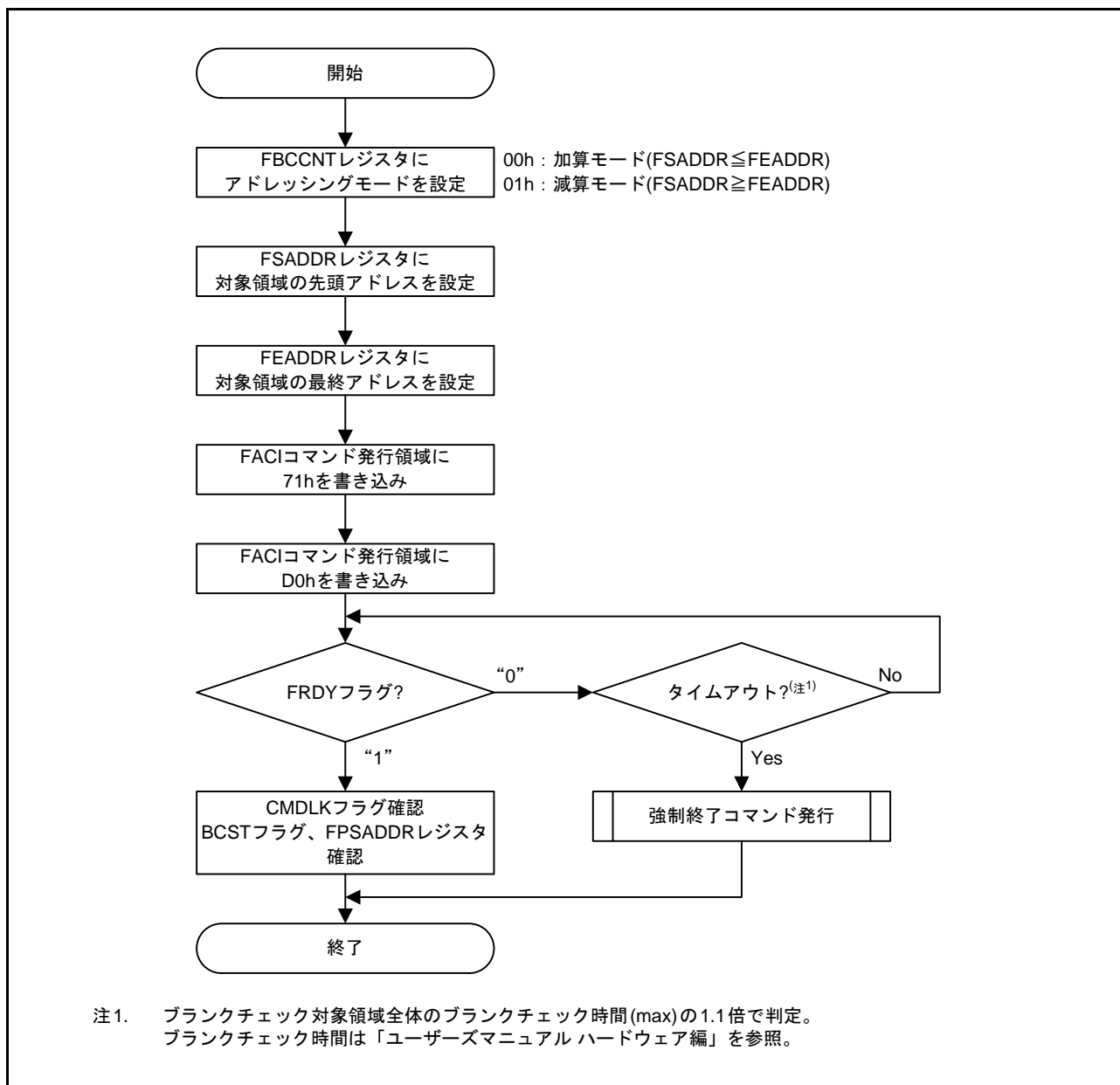


図 6.18 ブランクチェックコマンドの使用法

## 6.3.15 コンフィギュレーション設定コマンド

コンフィギュレーション設定コマンドは、ID 設定、セキュリティ設定、オプション設定メモリ、TM 機能の設定を行うためのコマンドです。コンフィギュレーション設定コマンドを発行する前に、設定データのアドレス (表 6.5 参照) を FSADDR レジスタに設定してください。FACI コマンド発行時の最終アクセスで D0h を FACI コマンド発行領域に書き込むと、コンフィギュレーション設定コマンドの処理が開始されます。

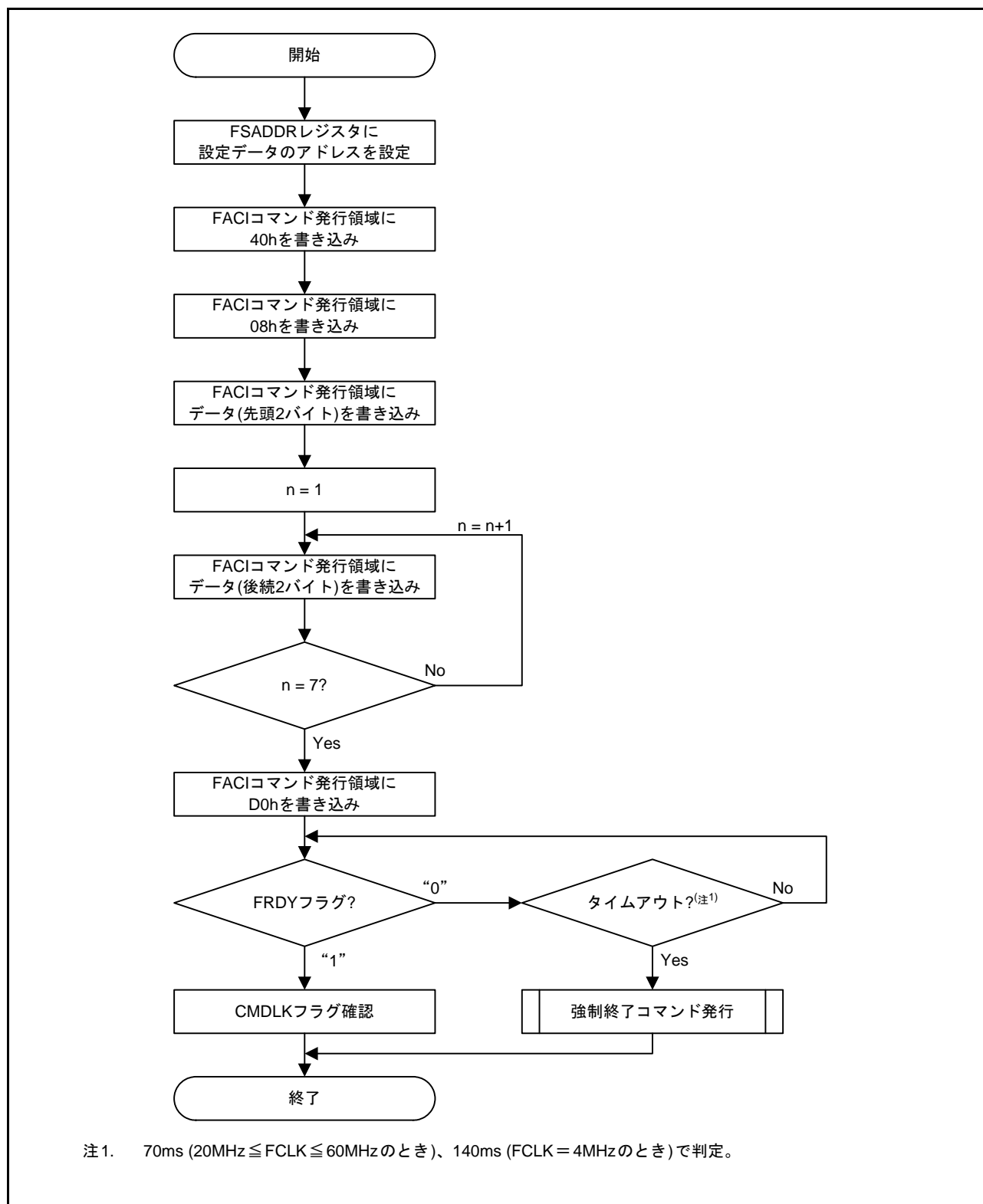


図 6.19 コンフィギュレーション設定コマンドの使用法



コンフィギュレーション設定が可能なデータと、FSADDR レジスタに設定するアドレス値の対応は表 6.5 のとおりです。他の領域のデータは、コンフィギュレーション設定コマンド実行の度に、任意の値に変更することが可能です。

表6.5 コンフィギュレーション設定コマンドで使用するアドレス

アドレス	FSADDR レジスタ設定値	設定データ
0012 0040h	0000 0040h	シリアルプログラマコマンド制御レジスタ (SPCC)、 TMイネーブルフラグレジスタ (TMEF)
0012 0050h	0000 0050h	認証用ID (OSIS)
0012 0060h	0000 0060h	TM識別データレジスタ (TMINF)、オプション機能選択 (OFS0、OFS1)、 エンディアン選択 (MDE)

### 6.3.16 ロックビットプログラムコマンド

ロックビットのプログラムには、ロックビットプログラムコマンドを使用します。ロックビットのイレーズには、ブロックイレーズコマンドを使用します(「6.3.9 ブロックイレーズコマンド」参照)。

ロックビットプログラムコマンドを発行する前に、ロックビットを書き込みたいブロックの先頭アドレスをFSADDRレジスタに設定してください。FACIコマンド発行領域に77hとD0hを書き込むと、ロックビットプログラムコマンドの処理が開始されます。

FPROTRレジスタは、ロックビットプログラムコマンドを発行する前に設定する必要があります。FPROTRレジスタは、ロックビットの有効/無効を切り替える場合に設定を変更する必要があります。

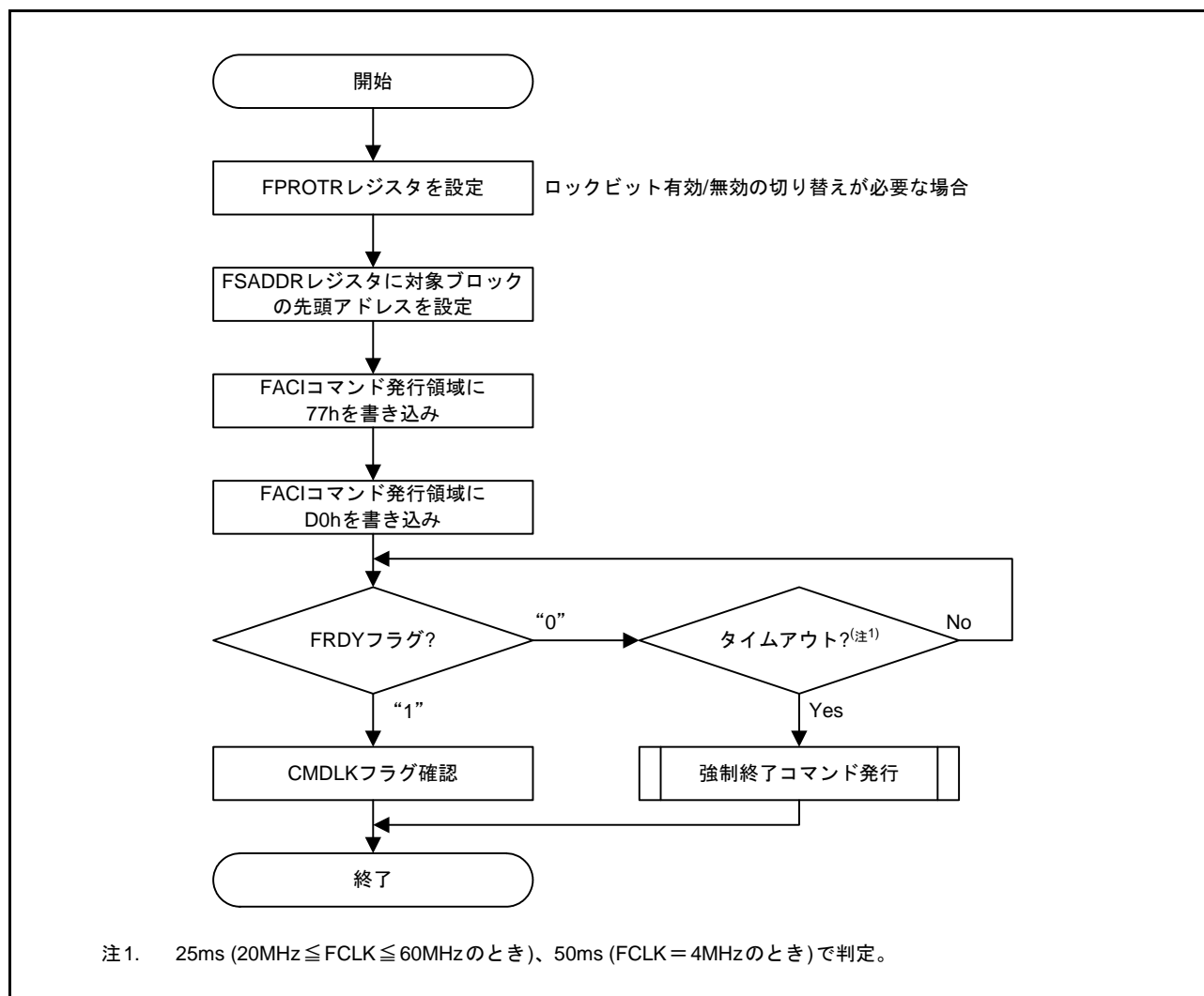


図 6.20 ロックビットプログラムコマンドの使用方法

### 6.3.17 ロックビットリードコマンド

ロックビットのリードには、ロックビットリードコマンドを使用します。

ロックビットリードコマンドを発行する前に、読み出したいブロックの先頭アドレスを FSADDR レジスタに設定してください。FACI コマンド発行領域に 71h と D0h を書き込むと、ロックビットリードコマンドの処理が開始されます。コマンド処理の完了は、FSTATR.FRDY フラグで確認可能です。処理完了時に、FLKSTAT.FLOCKST フラグにロックビットリードの結果が格納されます。

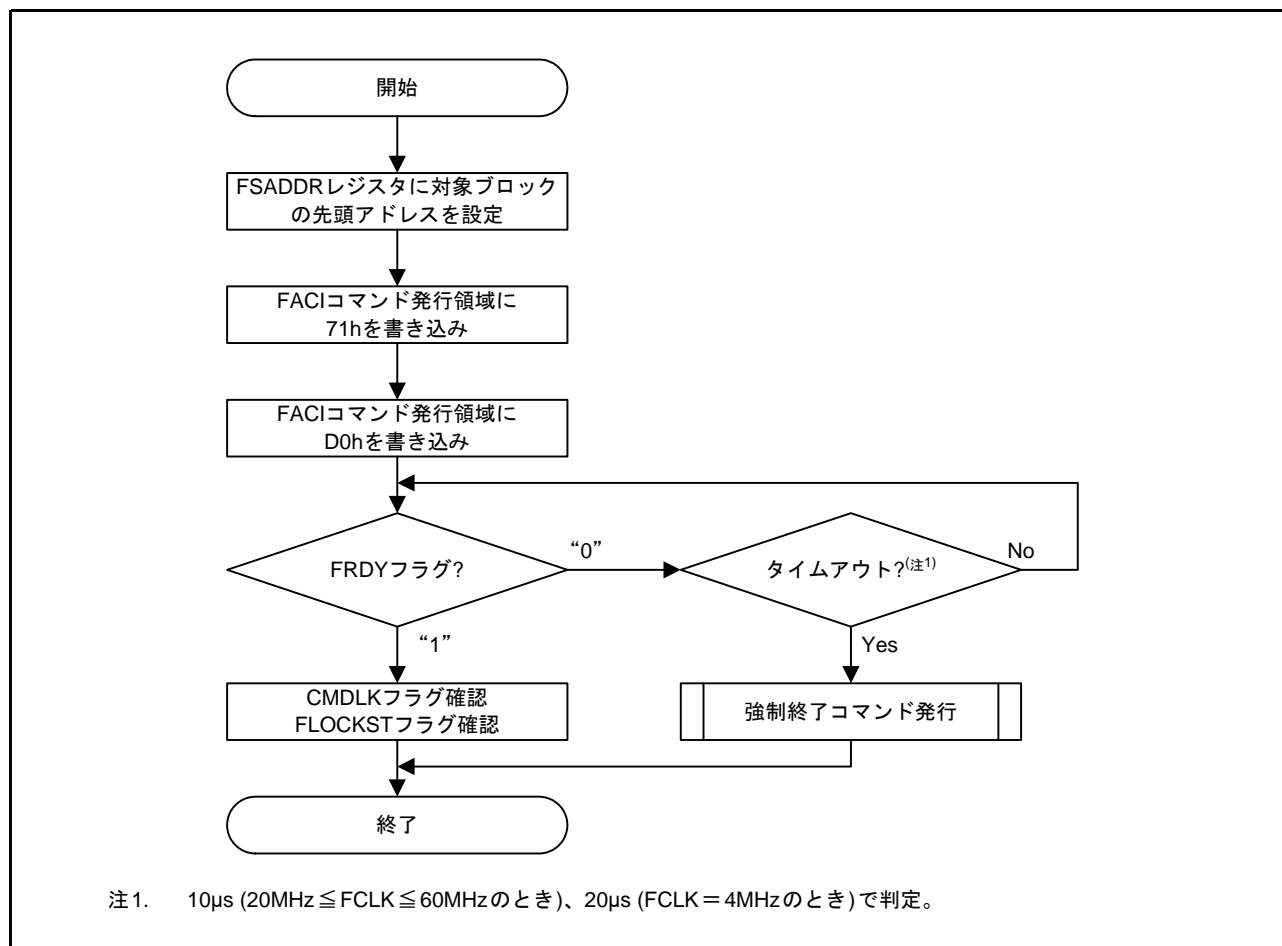


図 6.21 ロックビットリードコマンドの使用法

## 7. セーフティ機能

### 7.1 ソフトウェアプロテクション

ソフトウェアプロテクトは、制御レジスタ設定やユーザ領域のロックビット設定によってコードフラッシュメモリに対するプログラム/イレーズが禁止された状態です。ソフトウェアプロテクトに違反して、FACI コマンドを発行した場合には、フラッシュシーケンサはコマンドロック状態になります。

#### 7.1.1 FWEPROR レジスタによるプロテクト

FWEPROR.FLWE[1:0] ビットを“01b”にしないと、いずれのモードにおいても書き換えできません。

#### 7.1.2 FENTRYR によるプロテクト

FENTRYR レジスタが 0000h の場合には、フラッシュシーケンサはリードモードになります。リードモードでは、FACI コマンドは受け付けられません。リードモードで FACI コマンドが発行された場合には、フラッシュシーケンサはコマンドロック状態になります。

#### 7.1.3 ロックビットによるプロテクト

ユーザ領域の各ブロックにはロックビットが内蔵されています。FPROTR.FPROTCN ビットが“0”の場合には、ロックビットが“0”に設定されたブロックに対するプログラム/イレーズは禁止状態になります。ロックビットが“0”に設定されたブロックをプログラム/イレーズしたい場合には、FPROTR.FPROTCN ビットを“1”に設定してください。ロックビットによるプロテクトに違反して、コードフラッシュメモリに対するプログラム、ブロックイレーズ、ロックビットプログラムコマンドを発行すると、フラッシュシーケンサはコマンドロック状態になります。

## 7.2 エラープロテクション

エラープロテクトは、FACI コマンドの誤発行/禁止アクセスの発生、フラッシュシーケンサの誤動作を検出して FACI コマンドの受け付けを禁止する状態(コマンドロック状態)です。フラッシュシーケンサをコマンドロック状態にすることにより、フラッシュメモリのプログラム/イレーズが禁止されます。コマンドロック状態を解除するためには、FASTAT.CFAE フラグおよび DFAE フラグが“0”の状態ステータスクリアまたは強制終了コマンドを発行する必要があります。ステータスクリアコマンドは FSTATR.FR DY フラグが“1”の場合のみ使用できます。強制終了コマンドは、FSTATR.FR DY フラグの値に関わらず使用できます。FSTATR レジスタの ILGLERR、ERSERR、PRGERR、FRDCT、FLWEERR、FCUERR、CFAE、DFAE フラグのいずれかが“1”になると、FASTAT.CMDLK フラグの値が“1”となり、FAEINT.CMDLKIE ビットが“1”の場合には、フラッシュシーケンサがコマンドロック状態(FASTAT.CMDLK フラグが“1”)になると、フラッシュアクセスエラー(FIFERR)割り込みが発生します。

プログラム/イレーズ処理中に P/E サスペンド以外のコマンドが発行されてコマンドロック状態に遷移した場合には、フラッシュシーケンサはプログラム/イレーズ処理を継続します。この状態で P/E サスペンドコマンドを発行してプログラム/イレーズを中断することはできません。コマンドロック状態でコマンドが発行された場合には、FSTATR.ILGLERR フラグの値は“1”になり、その他のビットの値は以前のエラー検出時に設定された値を保持します。

表 7.1 にエラープロテクトの内容とエラー検出後のステータスビット値の関係を示します。

表7.1 エラープロテクト一覧

分類	内容	ILGERR	ERSERR	PRGERR	FCUERR	FLWEERR	CFGDTCT	TBLDTCT	FRDTCT	CFAE	DFAE
FENTRYR設定エラー	FENTRYRレジスタに“AA81h”をライト	1	0	0	0	0	0	0	0	0	0
	サスペンド時とレジューム時でFENTRYRの値が不一致	1	0	0	0	0	0	0	0	0	0
不正コマンドエラー	FACIコマンドの第1アクセスで未定義コードをライト	1	0	0	0	0	0	0	0	0	0
	複数アクセスサイクルのFACIコマンドの最終アクセスで“D0h”以外をライト	1	0	0	0	0	0	0	0	0	0
	プログラムコマンド、コンフィギュレーション設定コマンドにおいて、FACIコマンドの第2アクセスで指定された値(「表6.2のN」参照)が不正	1	0	0	0	0	0	0	0	0	0
	ブランクチェックコマンド発行時のFBCCNT.BCDIRビット、FSADDRレジスタ、FEADDRレジスタ設定が矛盾(「4.6 FACIコマンド処理終了アドレスレジスタ(FEADDR)」参照)	1	0	0	0	0	0	0	0	0	0
	各モードで使用できないFACIコマンドを発行(表6.3参照)	1	0	0	0	0	0	0	0	0	0
	コマンド受け付け条件を満たさない状態でFACIコマンドを発行(表6.4参照)	1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
イレーズエラー	イレーズ処理中のエラー発生	0	1	0	0	0	0	0	0	0	0
	ロックビットによって保護されている領域に対してブロックイレーズコマンドを発行	0	1	0	0	0	0	0	0	0	0
プログラムエラー	プログラム処理中のエラー発生	0	0	1	0	0	0	0	0	0	0
	ロックビットによって保護されている領域に対してプログラムコマンド、ロックビットプログラムコマンドを発行	0	0	1	0	0	0	0	0	0	0
FCUエラー	FCU内部のCPU処理でエラー発生	0	0	0	1	0	0	0	0	0	0
FCURAM ECCエラー	FCURAM読み出し時に2ビットエラーを検出	0	0	0	0	0	0	0	1	0	0
コードフラッシュメモリアクセス違反	コードフラッシュメモリP/Eモードで、ユーザ領域の予約領域に対してFACIコマンドを発行(「4.2 フラッシュアクセスステータスレジスタ(FASTAT)」参照)	1	0	0	0	0	0	0	0	1	0
データフラッシュメモリアクセス違反	データフラッシュメモリP/Eモードで、データ領域の予約領域に対してFACIコマンドを発行(「4.2 フラッシュアクセスステータスレジスタ(FASTAT)」参照)	1	0	0	0	0	0	0	0	0	1
	コンフィギュレーション設定コマンドを予約領域に対して発行(「4.2 フラッシュアクセスステータスレジスタ(FASTAT)」参照)	1	0	0	0	0	0	0	0	0	1
その他	リードモードで、FACIコマンド発行領域をアクセス	1	0	0	0	0	0	0	0	0	0
	コードフラッシュメモリP/EモードまたはデータフラッシュメモリP/Eモードで、FACIコマンド発行領域を読み出し	1	0	0	0	0	0	0	0	0	0
フラッシュP/Eプロテクトエラー	フラッシュシーケンサのコマンド処理中にFWEPRORレジスタ設定によるフラッシュメモリの書き換えプログラム/イレーズ保護違反を検出	0	0/1	0/1	0	1	0	0	0	0	0
コンフィギュレーション設定ECCエラー	コンフィギュレーション設定値の読み出し時に2ビットエラーを検出	0	0	0	0	0	1	0	0	0	0
書き換えパラメータECCエラー	書き換えパラメータテーブル読み出し時に2ビットエラーを検出	0	0	0	0	0	0	1	0	0	0

## 7.3 ブートプログラムプロテクション

### 7.3.1 ユーザブート保護

ユーザブート領域は、ブートモード (SCI インタフェースまたは USB インタフェース) でのみ書き換え可能です。通常動作モード、ユーザブートモードでは書き換え保護されている領域であるため、ブートプログラム等を安全に格納するための領域として利用できます。

## 8. 使用上の注意点

### (1) プログラム/イレーズを中断した領域およびサスペンド中の領域の読み出し

プログラム/イレーズを中断した領域およびサスペンド中の領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、プログラム/イレーズを中断した領域およびサスペンド中の領域の命令フェッチやデータリードが発生しないように注意してください。

### (2) プログラム/イレーズの中断

P/E サスペンドコマンドを発行してプログラム/イレーズ処理を中断した場合、P/E レジュームコマンドを発行してプログラム/イレーズ処理を再開することができます。中断処理が正常に終了して ERSSPD フラグまたは PRGSPD フラグが“1”になったあと、何らかの理由でフラッシュシーケンサがコマンドロック状態になり強制停止コマンドを発行した場合は、中断した処理を再開することはできません。また処理を中断した領域のデータ値は保障されませんので、当該領域をイレーズしてください。

### (3) 追加プログラムの禁止

同一領域に2回以上のプログラムを行うことはできません。プログラム済みのフラッシュメモリ領域を追加プログラムしたい場合には、当該領域をイレーズしてください。

### (4) プログラム/イレーズ中またはブランクチェック中のリセット

プログラム/イレーズ中またはブランクチェック中に RES# 端子によるリセットが発生させた場合には、電気的特性に定める動作電圧範囲内で、 $t_{RESWF}$ （「ユーザーズマニュアル ハードウェア編」参照）以上のリセット入力期間の後にリセット解除してください。

### (5) プログラム/イレーズ中の割り込み/例外ベクタの配置

プログラム/イレーズ中に割り込み/例外が発生すると、コードフラッシュメモリからのベクタフェッチが発生する場合があります。BGO 機能を使用できない条件下では、ベクタのアドレスをコードフラッシュメモリ以外に設定してください。

### (6) プログラム/イレーズ中またはブランクチェック中の異常終了

RES# 端子によるリセット発生などでプログラム/イレーズが異常終了したことにより、データが不定状態となったフラッシュメモリ領域のプログラム/イレーズ状態を確認するベリファイ手段はありません。プログラム/イレーズが異常終了した領域に対しては、ブランクチェック機能では正しくイレーズ状態の判定をできません。再度イレーズ処理を行って、該当領域を完全なイレーズ状態にした後にご使用ください。

コードフラッシュメモリのプログラム/イレーズ中またはブランクチェック中に動作電圧範囲を超える電圧変動、RES# 端子によるリセット、エラー検出によるコマンドロック状態、および次項(7)の禁止事項によって、プログラム/イレーズまたはブランクチェックが正常に終了しなかった場合、ロックビットが有効になることがあります。

この場合には、ロックビットを無効化した状態で、該当ブロックのイレーズを実施して、ロックビットをイレーズしてください。

### (7) プログラム/イレーズ中またはブランクチェック中の禁止事項

プログラム/イレーズ中またはブランクチェック中は、フラッシュメモリ内に高電圧が印加されています。フラッシュメモリへのダメージを防ぐため、以下の動作は行わないでください。

- 電源を動作電圧範囲外にする
- FWEPROR.FLWE[1:0] ビットの変更
- SYSCR0.ROME ビットの変更
- OPCCR.OPCM[2:0] ビットの変更

- SCKCR.FCK[3:0] と PCLKB[3:0] ビットの変更
- SCKCR3.CKSEL[2:0] ビットの変更
- RSTCKCR.RSTCKEN ビットの変更
- 全モジュールクロックストップモード、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードへの移行



## 9. 電気的特性

### 9.1 AC 特性

条件 :  $V_{CC} = AVCC0 = AVCC1 = V_{CC\_USB} = V_{BATT} = 2.7 \sim 3.6V$ ,  $2.7 \leq V_{REFH0} \leq AVCC0$ ,  
 $V_{CC\_USBA} = AVCC\_USBA = 3.0 \sim 3.6V$ ,  
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS\_USB} = V_{SS1\_USBA} = V_{SS2\_USBA} = PV_{SS\_USBA} = AV_{SS\_USBA} = 0V$ ,  
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	条件
FCURAM データ転送時間	$t_{FFRT}$	—	220	—	$\mu s$	FCLK = 60MHz、FCURAME.FRAMESTRAN ビットが“0”のとき
		—	110	—	$\mu s$	FCLK = 60MHz、FCURAME.FRAMESTRAN ビットが“1”のとき
FACI コマンドセットアップ時間	$t_{FACS}$	—	—	100	$\mu s$	$20MHz \leq FCLK \leq 60MHz$
		—	—	200	$\mu s$	FCLK = 4MHz
FACI コマンド処理時間	$t_{FACE}$	—	—	2	$t_{F_{cyc}}$	コードフラッシュメモリ プログラム時以外
		—	—	92	$t_{F_{cyc}}$	コードフラッシュメモリ プログラム時
強制終了コマンド	$t_{FD}$	—	—	20	$\mu s$	$20MHz \leq FCLK \leq 60MHz$
		—	—	32	$\mu s$	FCLK = 4MHz

注.  $t_{F_{cyc}}$  : FCLKの周期

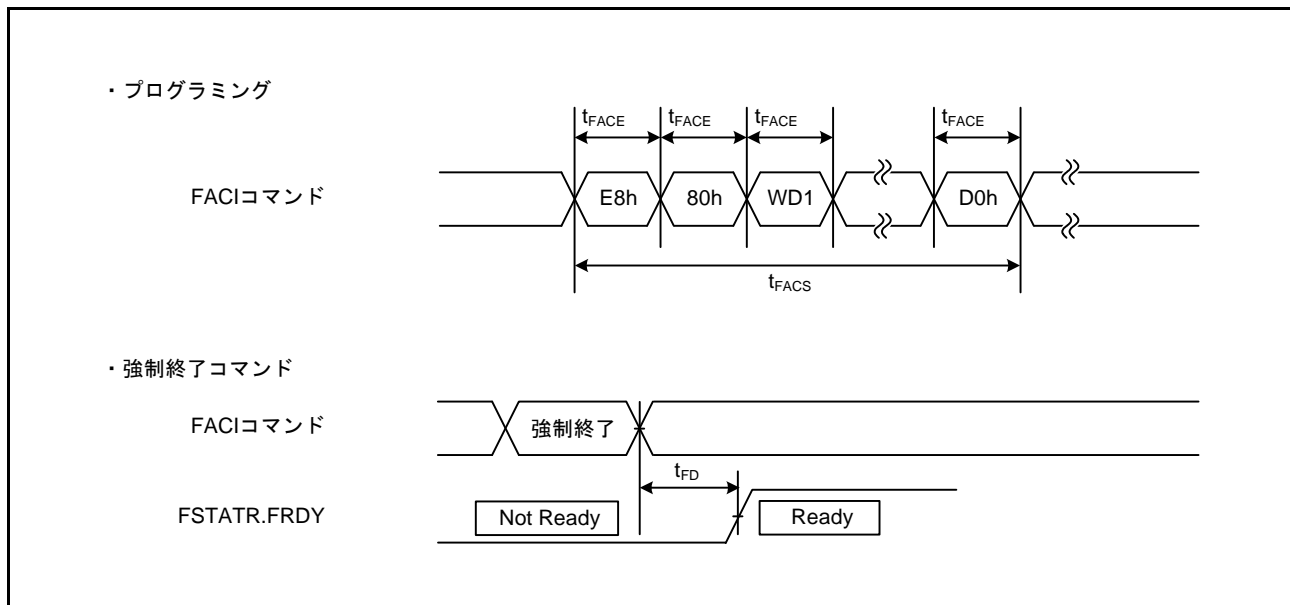


図 9.1 FACI コマンドのタイミング

改訂記録	RX64Mグループ、RX71Mグループ フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
0.90	2014.05.30	—	初版発行
1.00	2014.07.31	6. FACIコマンド	
		8	表3.1 ハードウェアインタフェース用領域の情報 変更
		33	表6.1 FACIコマンド一覧 変更
		56	6.3.15 コンフィギュレーション設定コマンド 変更
		57	表6.5 コンフィギュレーション設定コマンドで使用するアドレス 変更
		61	表7.1 エラープロテクト一覧 変更
1.10	2015.01.15	—	RX71Mグループ 追加
		全体	
		—	【用語統一】 「RX64M グループ ユーザマニュアル ハードウェア編」、 「RX71M グループ ユーザマニュアル ハードウェア編」 → 「ユーザマニュアル ハードウェア編」 フラッシュレディー → フラッシュレディ
		1. 特長	
		6	本文説明 変更
		2. モジュール構成図	
		7	本文説明 変更
		4. 特長	
		10	4.1 フラッシュ P/E プロテクトレジスタ (FWEPROR) 変更
		11	4.2 フラッシュアクセスステータスレジスタ (FASTAT) ビット説明 変更
		13	4.3 フラッシュアクセスエラー割り込み許可レジスタ (FAEINT) ビット説明 変更
		15	4.5 FACI コマンド処理開始アドレスレジスタ (FSADDR) 変更
		16	4.6 FACI コマンド処理終了アドレスレジスタ (FEADDR) ビット説明 変更
		17	4.7 FCURAM イネーブルレジスタ (FCURAME) 注2 変更
		22	4.9 フラッシュ P/E モードエントリレジスタ (FENTRYR) 注3 変更
		24	4.10 フラッシュプロテクトレジスタ (FPROTR) 注2 変更
		25	4.11 フラッシュシーケンサ設定初期化レジスタ (FSUINITR) 注3 変更
		28	4.14 フラッシュ P/E ステータスレジスタ (FPESTAT) 変更
		31	4.19 フラッシュシーケンサ処理クロック通知レジスタ (FPCKAR) 注3 変更
		6. FACI コマンド	
		33	表6.1 FACIコマンド一覧 変更
		34	6.2 フラッシュシーケンサの状態とFACI コマンドの関係 本文説明 変更
		36 ~ 38, 41	図6.1 ~ 図6.3、図6.7 エラー確認 → FASTAT.CMDLK フラグ=1
		45	図6.9 プログラムコマンドの使用方法 変更
		47	6.3.10 P/E サスペンドコマンド 本文説明 変更
		49	図6.12 プログラム処理の中断動作 変更
		55	図6.18 ブランクチェックコマンドの使用方法 注1 変更
		56	6.3.15 コンフィギュレーション設定コマンド 本文説明 変更
		57	表6.5 コンフィギュレーション設定コマンドで使用するアドレス 変更
		7. セーフティ機能	
		60	7.1.3 ロックビットによるプロテクト 本文説明 変更
		61	表7.1 エラープロテクト一覧 変更
		8. 使用上の注意点	
		63	(3) プログラム/イレーズ中のリセット 本文説明 変更

## 改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.20	2019.12.25	2. モジュール構成図		
		7	本文説明 変更	
		4. レジスタ		
		11, 12	4.2 フラッシュアクセスステータスレジスタ (FASTAT) 変更	
		19 ~ 21	4.8 フラッシュステータスレジスタ (FSTATR) 変更	
		22	4.9 フラッシュ P/E モードエントリレジスタ (FENTRYR) 変更	
		29	4.16 データフラッシュブランクチェックステータスレジスタ (FBCSTAT) 変更	
		31	4.19 フラッシュシーケンサ処理クロック周波数通知レジスタ (FPCKAR) 変更	
		6. FACL コマンド		
		34	6.2 フラッシュシーケンサの状態と FACL コマンドの関係 変更	
		35	表 6.4 フラッシュシーケンサの状態と受け付け可能な FACL コマンドの関係 注5 追加	
		36	図 6.1 コードフラッシュメモリ P/E モード使用時の概略フロー (BGO 動作が可能な製品) 変更	
		43	図 6.8 コマンドロック状態からの復帰方法 変更	
		44	6.3.8 プログラムコマンド 変更	
		47	6.3.10 P/E サスペンドコマンド 変更	
		48	図 6.11 P/E サスペンドコマンドの使用方法 変更	TN-RX*-A187A/J
		56	図 6.19 コンフィギュレーション設定コマンドの使用方法 注記変更	
		58	図 6.20 ロックビットプログラムコマンドの使用方法 注記変更	
		59	図 6.21 ロックビットリードコマンドの使用方法 注記変更	
		7. セーフティ機能		
		60	7.2 エラープロテクション 変更	
		61	表 7.1 エラープロテクト一覧 変更	
		62	7.3.1 ユーザブート保護 変更	
		8. 使用上の注意点		
		63	(1)(4)(5)(6)(7) 変更、(2) 追加	
		9. 電気的特性		
65	9.1 AC 特性 変更 図 9.1 FACL コマンドのタイミング 追加			
1.21	2022.10.28	3. アドレス空間		
		8	表 3.1 ハードウェアインタフェース用領域の情報 変更	
		6. FACL コマンド		
		46	図 6.10 ブロックイレーズコマンドの使用方法 変更	

---

RX64Mグループ、RX71Mグループ フラッシュメモリ  
ユーザーズマニュアル ハードウェア インタフェース編

発行年月日 2014年5月30日 Rev.0.90  
2022年10月28日 Rev.1.21

発行 ルネサス エレクトロニクス株式会社  
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

---

RX64Mグループ、RX71Mグループ  
フラッシュメモリ