

RX610 グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32ビットマイクロコンピュータ

RXファミリ/RX600シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
 家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
 防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

RX610グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクス ホームページに掲載されています。

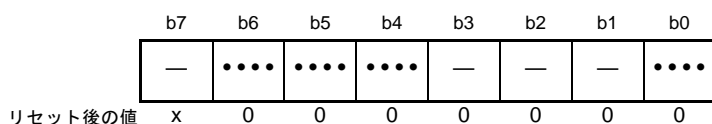
ドキュメントの種類	記載内容	資料名	資料番号
ショートシート	ハードウェアの概要	—	—
データシート	ハードウェアの概要と電気的特性	RX610グループ データシート	RJJ03B0249
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明	RX610グループ ユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ソフトウェア編	CPU・命令セットの説明	RXファミリ ユーザーズマニュアル ソフトウェア編	RJJ09B0465
アプリケーションノート	応用例参考プログラムなど	—	—
RENESAS THCHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報	—	—

2. レジスタの表記

各章において「レジスタの説明」には、ビットの並びを示すビット配置図とビットに設定する内容を説明するビット機能表があります。使用する記号、用語を以下に説明します。

X.X.Xレジスタ

アドレス xxxx xxxxxh



ビット	シンボル	ビット名	機能	R/W
b0	••••0	••••ビット (注2)	0: ••••• 1: 設定しないでください。(注3)	R/W (注1)
b3-b1	—	予約ビット	読むと“0”が読み出されます。書き込みは“0”としてください。	R/W
b4	••••4	••••ビット	0: ••••• 1: •••••	R
b6-b5	••••[1:0]	••••ビット	00: ••••• 01: ••••• 上記以外は設定しないでください。(注3)	R/(W) (注)
b7	—	予約ビット	読み出し値は不定です。書き込みは無効になります。	R

- 注1. R/W : 読み出し／書き込みともに有効です。
 R/(W) : 読み出し／書き込みともに有効ですが、書き込みには制限があります。制限の内容については、各レジスタの説明や注記を参照ください。
 R : 読み出しのみ有効です。書き込みは無効になります。
- 注2. 予約ビットです。書き込みを行う場合には、必ず指定された値を書きこんでください。指定外の値を書きこんだ場合の動作は保証されません。
- 注3. 設定しないでください。設定した場合の動作は保証されません。

3. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1.	概要	26
1.1	特長	26
1.1.1	用途	26
1.1.2	仕様概要	27
1.2	製品一覧	30
1.3	ブロック図	32
1.4	ピン配置図	33
1.5	端子機能	47
2.	CPU	51
2.1	特長	51
2.2	CPU レジスタセット	52
2.2.1	汎用レジスタ (R0 ~ R15)	53
2.2.2	制御レジスタ	53
2.2.2.1	割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)	54
2.2.2.2	割り込みテーブルレジスタ (INTB)	54
2.2.2.3	プログラムカウンタ (PC)	54
2.2.2.4	プロセッサステータスワード (PSW)	55
2.2.2.5	バックアップ PC (BPC)	57
2.2.2.6	バックアップ PSW (BPSW)	57
2.2.2.7	高速割り込みベクタレジスタ (FINTV)	57
2.2.2.8	浮動小数点ステータスワード (FPSW)	58
2.2.2.9	アキュムレータ (ACC)	60
2.3	プロセッサモード	61
2.3.1	スーパーバイザモード	61
2.3.2	ユーザモード	61
2.3.3	特権命令	61
2.3.4	プロセッサモード間の移行	61
2.4	データタイプ	62
2.4.1	整数	62
2.4.2	浮動小数点数	62
2.4.3	ビット	63
2.4.4	ストリング	63
2.5	エンディアン	64
2.5.1	エンディアンの切り替え	64
2.5.2	I/O レジスタアクセス	68
2.5.3	I/O レジスタアクセスの注意事項	68
2.5.4	データ配置	69
2.5.4.1	レジスタのデータ配置	69
2.5.4.2	メモリ上のデータ配置	69
2.5.5	命令コード配置の注意事項	69
2.6	ベクタテーブル	70
2.6.1	固定ベクタテーブル	70

2.6.2	可変ベクタテーブル	71
2.7	命令動作	72
2.7.1	RMPA 命令、ストリング操作命令のデータプリフェッチ	72
2.8	パイプライン	73
2.8.1	概要	73
2.8.2	命令とパイプライン処理	75
2.8.2.1	単一のマイクロオペレーションに変換される命令とパイプライン処理	75
2.8.2.2	複数のマイクロオペレーションに変換される命令とパイプライン処理	77
2.8.2.3	パイプラインの基本動作	80
2.8.3	命令処理時間の計算方法	82
2.8.4	割り込み応答サイクル数	82
3.	動作モード	83
3.1	動作モードの種類と選択	83
3.2	レジスタの説明	84
3.2.1	モードモニタレジスタ (MDMONR)	84
3.2.2	モードステータスレジスタ (MDSR)	85
3.2.3	システムコントロールレジスタ 0 (SYSCR0)	86
3.2.4	システムコントロールレジスタ 1 (SYSCR1)	87
3.3	動作モードの説明	88
3.3.1	シングルチップモード	88
3.3.2	内蔵 ROM 有効拡張モード	88
3.3.3	内蔵 ROM 無効拡張モード	88
3.3.4	ブートモード	88
3.3.5	ユーザブートモード	88
3.4	動作モードの移行	89
3.4.1	モード端子による動作モードの移行	89
3.4.2	レジスタによる動作モードの移行	90
4.	アドレス空間	91
4.1	アドレス空間	91
4.2	外部アドレス空間	95
5.	I/O レジスタ	96
5.1	I/O レジスタアドレス一覧 (アドレス順)	98
5.2	I/O レジスタビット一覧	118
6.	リセット	144
6.1	概要	144
6.2	レジスタの説明	146
6.2.1	リセットステータスレジスタ (RSTSR)	146
6.2.2	リセットコントロール/ステータスレジスタ (RSTCSR)	147
6.3	動作説明	148
6.3.1	端子リセット	148
6.3.2	ディープソフトウェアスタンバイリセット	148

6.3.3	ウォッチドッグタイマリセット	148
6.4	リセット発生要因の判定	149
6.5	使用上の注意事項	149
6.5.1	ボード設計上の注意	149
7.	クロック発生回路	150
7.1	概要	150
7.2	レジスタの説明	151
7.2.1	システムクロックコントロールレジスタ (SCKCR)	152
7.3	メインクロック発振器	154
7.3.1	水晶発振子を接続する方法	154
7.3.2	外部クロックを入力する方法	155
7.4	PLL 回路	155
7.5	分周器	155
7.6	内部クロック	156
7.6.1	システムクロック (ICLK)	156
7.6.2	周辺モジュールクロック (PCLK)	156
7.6.3	外部バスクロック (BCLK)	156
7.7	使用上の注意事項	157
7.7.1	クロック発生回路に関する注意事項	157
7.7.2	発振子に関する注意事項	158
7.7.3	ボード設計上の注意	158
8.	消費電力低減機能	159
8.1	概要	159
8.2	レジスタの説明	162
8.2.1	スタンバイコントロールレジスタ (SBYCR)	163
8.2.2	モジュールストップコントロールレジスタ A (MSTPCRA)	165
8.2.3	モジュールストップコントロールレジスタ B (MSTPCRB)	167
8.2.4	モジュールストップコントロールレジスタ C (MSTPCRC)	168
8.2.5	ディープスタンバイコントロールレジスタ (DPSBYCR)	169
8.2.6	ディープスタンバイウェイトコントロールレジスタ (DPSWCR)	171
8.2.7	ディープスタンバイインタラプトイネーブルレジスタ (DPSIER)	172
8.2.8	ディープスタンバイインタラプトフラグレジスタ (DPSIFR)	173
8.2.9	ディープスタンバイインタラプトエッジレジスタ (DPSIEGR)	174
8.2.10	リセットステータスレジスタ (RSTSR)	175
8.2.11	ディープスタンバイバックアップレジスタ (DPSBKRY) (y = 0 ~ 31)	176
8.3	マルチクロック機能	177
8.4	モジュールストップ機能	177
8.5	低消費電力状態	178
8.5.1	スリープモード	178
8.5.1.1	スリープモードへの移行	178
8.5.1.2	スリープモードの解除	178
8.5.2	全モジュールクロックストップモード	179

8.5.2.1	全モジュールクロックストップモードへの移行	179
8.5.2.2	全モジュールクロックストップモードの解除	180
8.5.3	ソフトウェアスタンバイモード	181
8.5.3.1	ソフトウェアスタンバイモードへの移行	181
8.5.3.2	ソフトウェアスタンバイモードの解除	182
8.5.3.3	ソフトウェアスタンバイモード解除後の発振安定時間の設定	183
8.5.3.4	ソフトウェアスタンバイモードの応用例	184
8.5.4	ディープソフトウェアスタンバイモード	185
8.5.4.1	ディープソフトウェアスタンバイモードへの移行	185
8.5.4.2	ディープソフトウェアスタンバイモードの解除	186
8.5.4.3	ディープソフトウェアスタンバイモード解除時の端子状態	187
8.5.4.4	ディープソフトウェアスタンバイモード解除後の発振安定時間の設定	188
8.5.4.5	ディープソフトウェアスタンバイモードの応用例	189
8.5.4.6	ディープソフトウェアスタンバイモードのフローチャート	190
8.6	BCLK 出力制御	191
8.7	使用上の注意事項	192
8.7.1	I/O ポートの状態	192
8.7.2	DMAC、DTC のモジュールストップ	192
8.7.3	内蔵周辺モジュールの割り込み	192
8.7.4	MSTPCRA、MSTPCRB、MSTPCRC レジスタの書き込み	192
8.7.5	DIRQnE ビット (n=0~3) による入力バッファ制御	192
8.7.6	ディープソフトウェアスタンバイモードの移行と割り込みの競合	192
8.7.7	WAIT 命令の実行タイミング	192
9.	例外処理	193
9.1	例外事象	193
9.1.1	未定義命令例外	194
9.1.2	特権命令例外	194
9.1.3	浮動小数点例外	194
9.1.4	リセット	194
9.1.5	ノンマスカブル割り込み	194
9.1.6	割り込み	194
9.1.7	無条件トラップ	194
9.2	例外の処理手順	195
9.3	例外事象の受け付け	197
9.3.1	受け付けタイミングと保存される PC 値	197
9.3.2	ベクタと PC、PSW の退避場所	197
9.4	例外の受け付け / 復帰時のハードウェア処理	198
9.5	ハードウェア前処理	199
9.5.1	未定義命令例外	199
9.5.2	特権命令例外	199
9.5.3	浮動小数点例外	199
9.5.4	リセット	199

9.5.5	ノンマスクابل割り込み	199
9.5.6	割り込み	200
9.5.7	無条件トラップ	200
9.6	例外処理ルーチンからの復帰	201
9.7	例外事象の優先順位	201
10.	割り込みコントローラ (ICU)	202
10.1	概要	202
10.2	レジスタの説明	204
10.2.1	割り込み要求レジスタ i (IR i) (i = 割り込みベクタ番号)	212
10.2.2	割り込み要求先設定レジスタ i (ISELR i) (i = 割り込みベクタ番号)	214
10.2.3	割り込み要求許可レジスタ i (IER i) (i =02h ~ 1Fh)	215
10.2.4	割り込み要因プライオリティレジスタ i (IPR i) (i =00h~8Fh)	216
10.2.5	高速割り込み設定レジスタ (FIR)	217
10.2.6	IRQ 検出許可レジスタ n (IRQER n) (n =0 ~ 15)	218
10.2.7	IRQ コントロールレジスタ n (IRQCR n) (n =0 ~ 15)	219
10.2.8	ノンマスクابل割り込み許可レジスタ (NMIER)	220
10.2.9	NMI 端子割り込みコントロールレジスタ (NMICR)	221
10.2.10	ノンマスクابل割り込みステータスレジスタ (NMISR)	222
10.2.11	ノンマスクابل割り込みクリアレジスタ (NMICLR)	223
10.2.12	ソフトウェアスタンバイ解除 IRQ イネーブルレジスタ (SSIER)	224
10.3	ベクタテーブル	225
10.3.1	割り込みのベクタテーブル	225
10.3.2	高速割り込みのベクタアドレス	230
10.3.3	ノンマスクابل割り込みのベクタアドレス	230
10.4	動作説明	231
10.4.1	割り込みの許可 / 禁止	231
10.4.2	割り込みステータスフラグ	231
10.4.2.1	エッジ検出の割り込みステータスフラグ	231
10.4.2.2	レベル検出の割り込みステータスフラグ	232
10.4.3	割り込み要求先の選択	233
10.4.4	優先順位の判定	235
10.4.5	高速割り込み	236
10.4.6	外部割り込み	236
10.5	ノンマスクابل割り込み動作	237
10.6	低消費電力状態からの復帰	238
10.6.1	スリープモード、全モジュールクロックストップモードからの復帰	238
10.6.2	ソフトウェアスタンバイモードからの復帰	239
10.7	使用上の注意事項	239
10.7.1	割り込みコントローラのレジスタに書き込みを行うときの注意事項	239
10.7.2	NMI 端子割り込み使用時の WAIT 命令の注意事項	239
10.7.3	通信機能 (SCI、RIIC) による DMAC/DTC 転送の注意事項	240

11.	バス	242
11.1	概要	242
11.2	バスの説明	243
11.2.1	CPU バス	243
11.2.2	内部メインバス	243
11.2.3	内部周辺バス	243
11.2.4	外部バス	244
11.2.5	並列動作	246
11.3	レジスタの説明	247
11.3.1	CSi 制御レジスタ (CSiCNT) (i = 0 ~ 7)	248
11.3.2	CSi リカバリサイクル設定レジスタ (CSiREC) (i = 0 ~ 7)	249
11.3.3	CSi モードレジスタ (CSiMOD) (i = 0 ~ 7)	251
11.3.4	CSi ウェイト制御レジスタ 1 (CSiWCNT1) (i = 0 ~ 7)	253
11.3.5	CSi ウェイト制御レジスタ 2 (CSiWCNT2) (i = 0 ~ 7)	256
11.3.6	バスエラー要因クリアレジスタ (BERCLR)	259
11.3.7	バスエラー監視許可レジスタ (BEREN)	259
11.3.8	バスエラー割り込み許可レジスタ (BERIE)	260
11.4	エンディアンとデータアライメント	261
11.4.1	16 ビットバス空間	261
11.4.2	8 ビットバス空間	263
11.5	動作説明	265
11.5.1	外部バスアクセスタイミング	265
11.5.1.1	ノーマルアクセス	267
11.5.1.2	ページアクセス	272
11.5.2	外部ウェイト機能	274
11.5.2.1	ノーマルアクセス	274
11.5.2.2	ページアクセス	274
11.5.3	リカバリサイクルの挿入	276
11.5.4	ライトバッファ機能	277
11.5.5	制約事項	278
11.5.5.1	ノーマル/ページアクセス時の制約事項	278
11.5.5.2	アドレス空間の複数エリアにまたがるアクセスの禁止	278
11.5.5.3	RMPA 命令、ストリング操作命令に関する制約事項	278
11.5.5.4	レジスタ設定時の注意事項	278
11.5.5.5	命令コードに関する制約事項	278
11.6	バスエラー監視部	279
11.6.1	バスエラーの種類	279
11.6.1.1	不正アドレスアクセス	279
11.6.1.2	タイムアウト	279
11.6.2	バスエラー発生時の動作	279
11.6.3	バスエラーの発生条件	280

12.	DMA コントローラ (DMAC)	281
12.1	概要	281
12.2	レジスタの説明	283
12.2.1	DMA モードレジスタ (DMMOD)	285
12.2.2	DMA 制御レジスタ A (DMCRA)	287
12.2.3	DMA 制御レジスタ B (DMCRB)	290
12.2.4	DMA 制御レジスタ C (DMCRC)	291
12.2.5	DMA 制御レジスタ D (DMCRD)	292
12.2.6	DMA 制御レジスタ E (DMCRE)	293
12.2.7	DMA カレント転送元アドレスレジスタ (DMCSA)	294
12.2.8	DMA カレント転送先アドレスレジスタ (DMCDA)	295
12.2.9	DMA カレント転送バイトカウントレジスタ (DMCBC)	296
12.2.10	DMA リロード転送元アドレスレジスタ (DMRSA)	297
12.2.11	DMA リロード転送先アドレスレジスタ (DMRDA)	298
12.2.12	DMA リロード転送バイトカウントレジスタ (DMRBC)	299
12.2.13	DMA 割り込み制御レジスタ (DMICNT)	300
12.2.14	DMA 起動制御レジスタ (DMSCNT)	301
12.2.15	DMA アービトレーションステータスレジスタ (DMASTS)	302
12.2.16	DMA 転送終了検出レジスタ (DMEDET)	303
12.3	動作説明	304
12.3.1	バス権解放タイミング	304
12.3.2	転送方式	305
12.3.3	DMAC の起動	307
12.3.4	DMA 転送の開始	308
12.3.5	DMA 転送の終了	308
12.3.6	DMA 転送の一時停止、再開、中止	308
12.3.7	DMA 起動要因	309
12.3.7.1	ソフトウェアトリガ	309
12.3.7.2	外部端子割り込み、周辺機能割り込み	309
12.3.8	チャンネル調停	309
12.3.9	リロード機能	310
12.3.10	ローテート	311
12.4	割り込み	311
12.5	消費電力低減機能	312
12.6	使用上の注意事項	313
12.6.1	レジスタの設定	313
12.6.2	外部デバイスを使用する場合	313
13.	データトランスファコントローラ (DTC)	314
13.1	概要	314
13.2	レジスタの説明	316
13.2.1	DTC モードレジスタ A (MRA)	317
13.2.2	DTC モードレジスタ B (MRB)	318

13.2.3	DTC ソースアドレスレジスタ (SAR)	319
13.2.4	DTC デスティネーションアドレスレジスタ (DAR)	319
13.2.5	DTC 転送カウントレジスタ A (CRA)	320
13.2.6	DTC 転送カウントレジスタ B (CRB)	321
13.2.7	DTC コントロールレジスタ (DTCCR)	322
13.2.8	DTC ベクタベースレジスタ (DTCVBR)	323
13.2.9	DTC アドレスモードレジスタ (DTCADMOD)	323
13.2.10	DTC モジュール起動レジスタ (DTCST)	324
13.3	起動要因	325
13.3.1	転送情報の配置と DTC ベクタテーブル	325
13.3.2	起動要因とベクタアドレス	327
13.4	動作説明	329
13.4.1	転送情報リードスキップ機能	332
13.4.2	転送情報ライトバックスキップ機能	333
13.4.3	ノーマル転送モード	334
13.4.4	リピート転送モード	335
13.4.5	ブロック転送モード	336
13.4.6	チェーン転送	337
13.4.7	動作タイミング	338
13.4.8	DTC の実行サイクル	340
13.4.9	DTC のバス権解放タイミング	340
13.5	DTC の設定手順	341
13.6	DTC 使用例	342
13.6.1	ノーマル転送	342
13.6.2	チェーン転送	342
13.6.3	カウンタ = 0 のときのチェーン転送	343
13.7	割り込み要因	344
13.8	消費電力低減機能	345
13.8.1	DTC モジュール起動レジスタの設定	345
13.9	使用上の注意事項	345
13.9.1	転送情報先頭アドレス / 転送元アドレス / 転送先アドレス	345
13.9.2	転送情報の配置	346
14.	I/O ポート	347
14.1	概要	347
14.2	レジスタの説明	352
14.2.1	データディレクションレジスタ (DDR)	355
14.2.2	データレジスタ (DR)	356
14.2.3	ポートレジスタ (PORT)	357
14.2.4	入力バッファコントロールレジスタ (ICR)	358
14.2.5	プルアップ抵抗コントロールレジスタ (PCR)	359
14.2.6	オープンドレインコントロールレジスタ (ODR)	360
14.2.7	ポートファンクションコントロールレジスタ 0 (PFCR0)	361

14.2.8	ポートファンクションコントロールレジスタ 1 (PFCR1)	362
14.2.9	ポートファンクションコントロールレジスタ 2 (PFCR2)	364
14.2.10	ポートファンクションコントロールレジスタ 3 (PFCR3)	365
14.2.11	ポートファンクションコントロールレジスタ 4 (PFCR4)	366
14.2.12	ポートファンクションコントロールレジスタ 5 (PFCR5)	367
14.2.13	ポートファンクションコントロールレジスタ 6 (PFCR6)	368
14.2.14	ポートファンクションコントロールレジスタ 7 (PFCR7)	371
14.2.15	ポートファンクションコントロールレジスタ 8 (PFCR8)	374
14.2.16	ポートファンクションコントロールレジスタ 9 (PFCR9)	375
14.3	ポートの設定	376
14.3.1	ポート 0 (P0)	376
14.3.2	ポート 1 (P1)	377
14.3.3	ポート 2 (P2)	379
14.3.4	ポート 3 (P3)	381
14.3.5	ポート 4 (P4)	383
14.3.6	ポート 5 (P5)	385
14.3.7	ポート 6 (P6)	387
14.3.8	ポート 7 (P7)	389
14.3.9	ポート 8 (P8)	391
14.3.10	ポート 9 (P9)	392
14.3.11	ポート A (PA)	394
14.3.12	ポート B (PB)	397
14.3.13	ポート C (PC)	399
14.3.14	ポート D (PD)	402
14.3.15	ポート E (PE)	402
14.3.16	ポート F (PF)	402
14.3.17	ポート G (PG)	404
14.3.18	ポート H (PH)	405
14.4	出力信号有効設定一覧	408
14.5	未使用端子の処理	414
14.6	入出力ポートの構成	415
14.7	使用上の注意事項	419
14.7.1	入力バッファコントロールレジスタ (Pm.ICR) の設定	419
14.7.2	ポートファンクションコントロールレジスタ (PFCRm) の設定	419
14.7.3	A/D コンバータ入力を使用する場合のポートの設定	419
15.	16 ビットタイマパルスユニット (TPU)	420
15.1	概要	420
15.2	レジスタの説明	428
15.2.1	タイマコントロールレジスタ (TCR)	431
15.2.2	タイマモードレジスタ (TMDR)	435
15.2.3	タイマ I/O コントロールレジスタ (TIORH、TIORL、TIOR)	437
15.2.4	タイマインタラプトイネーブルレジスタ (TIER)	447

15.2.5	タイマステータスレジスタ (TSR)	449
15.2.6	タイマカウンタ (TCNT)	450
15.2.7	タイマジェネラルレジスタ A (TGRA) タイマジェネラルレジスタ B (TGRB) タイマジェネラルレジスタ C (TGRC) タイマジェネラルレジスタ D (TGRD)	450
15.2.8	タイマスタートレジスタ (TSTRA、TSTRB)	451
15.2.9	タイマシンクロレジスタ (TSYRA、TSYRB)	452
15.3	動作説明	453
15.3.1	概要	453
15.3.2	同期動作	458
15.3.3	バッファ動作	460
15.3.4	カスケード接続動作	463
15.3.5	PWM モード	465
15.3.6	位相計数モード	470
15.3.6.1	位相計数モード応用例	475
15.4	割り込み要因	476
15.5	DTC の起動	479
15.6	DMAC の起動	479
15.7	A/D コンバータの起動	479
15.8	動作タイミング	480
15.8.1	入出力タイミング	480
15.8.2	割り込み信号タイミング	484
15.9	使用上の注意事項	486
15.9.1	モジュールストップ機能の設定	486
15.9.2	入力クロックの制限事項	486
15.9.3	周期設定上の注意事項	487
15.9.4	TPUm.TCNT カウンタへの書き込みとクリアの競合	487
15.9.5	TPUm.TCNT カウンタへの書き込みとカウントアップの競合	487
15.9.6	TPUm.TGRy レジスタへの書き込みとコンペアマッチの競合	488
15.9.7	バッファレジスタへの書き込みとコンペアマッチの競合	488
15.9.8	TPUm.TGRy レジスタの読み出しとインプットキャプチャの競合	489
15.9.9	TPUm.TGRy レジスタへの書き込みとインプットキャプチャの競合	489
15.9.10	バッファレジスタへの書き込みとインプットキャプチャの競合	490
15.9.11	オーバフロー/アンダフローとカウンタクリアの競合	490
15.9.12	TPUm.TCNT カウンタへの書き込みとオーバフロー/アンダフローの競合	491
15.9.13	入出力端子の兼用	491
16.	プログラマブルパルスジェネレータ (PPG)	492
16.1	概要	492
16.2	レジスタの説明	496
16.2.1	PPG トリガセレクトレジスタ (PTRSLR)	497
16.2.2	ネクストデータイネーブルレジスタ H (NDERH)、 ネクストデータイネーブルレジスタ L (NDERL)	498

16.2.3	アウトプットデータレジスタ H (PODRH)、 アウトプットデータレジスタ L (PODRL).....	502
16.2.4	ネクストデータレジスタ H (NDRH)、ネクストデータレジスタ L (NDRL).....	504
16.2.5	PPG 出力コントロールレジスタ (PCR).....	510
16.2.6	PPG 出力モードレジスタ (PMR).....	512
16.3	動作説明.....	514
16.3.1	出力タイミング.....	515
16.3.2	通常動作のパルス出力設定手順例.....	516
16.3.3	パルス出力通常動作例 (5 相パルス出力例).....	518
16.3.4	パルス出力ノンオーバーラップ動作.....	519
16.3.5	ノンオーバーラップ動作のパルス出力設定手順例.....	520
16.3.6	パルス出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力例).....	522
16.3.7	パルス反転出力.....	524
16.3.8	インプットキャプチャによるパルス出力.....	525
16.4	使用上の注意事項.....	526
16.4.1	モジュールストップ機能の設定.....	526
17.	8 ビットタイマ (TMR).....	527
17.1	概要.....	527
17.2	レジスタの説明.....	531
17.2.1	タイマカウンタ (TCNT).....	532
17.2.2	タイムコンスタントレジスタ A (TCORA).....	532
17.2.3	タイムコンスタントレジスタ B (TCORB).....	533
17.2.4	タイマコントロールレジスタ (TCR).....	534
17.2.5	タイマカウンタコントロールレジスタ (TCCR).....	535
17.2.6	タイマコントロール/ステータスレジスタ (TCSR).....	537
17.3	動作説明.....	539
17.3.1	パルス出力.....	539
17.3.2	リセット入力.....	540
17.4	動作タイミング.....	541
17.4.1	TCNT カウンタのカウントタイミング.....	541
17.4.2	コンペアマッチ時の割り込みフラグが“1”になるタイミング.....	542
17.4.3	コンペアマッチ時のタイマ出力タイミング.....	543
17.4.4	コンペアマッチによるカウンタクリアタイミング.....	543
17.4.5	TCNT カウンタの外部リセットタイミング.....	544
17.4.6	オーバフローにより割り込みフラグが“1”になるタイミング.....	545
17.5	カスケード接続時の動作.....	546
17.5.1	16 ビットカウントモード.....	546
17.5.2	コンペアマッチカウントモード.....	546
17.6	割り込み要因.....	547
17.6.1	割り込み要因と DTC 起動.....	547
17.6.2	A/D コンバータの起動.....	547
17.7	使用上の注意事項.....	548

17.7.1	モジュールストップ機能の設定	548
17.7.2	周期設定上の注意	548
17.7.3	TCNT カウンタへの書き込みとカウンタクリアの競合	548
17.7.4	TCNT カウンタへの書き込みとカウントアップの競合	549
17.7.5	TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合	550
17.7.6	コンペアマッチ A、B の競合	550
17.7.7	内部クロックの切り替えと TCNT カウンタの動作	551
17.7.8	カスケード接続時のクロックソース設定	552
18.	コンペアマッチタイマ (CMT)	553
18.1	概要	553
18.2	レジスタの説明	554
18.2.1	コンペアマッチタイマスタートレジスタ 0 (CMSTR0)	555
18.2.2	コンペアマッチタイマスタートレジスタ 1 (CMSTR1)	556
18.2.3	コンペアマッチタイマコントロールレジスタ (CMCR)	557
18.2.4	コンペアマッチタイマカウンタ (CMCNT)	558
18.2.5	コンペアマッチタイマコンスタントレジスタ (CMCOR)	558
18.3	動作説明	559
18.3.1	周期カウント動作	559
18.3.2	CMCNT カウンタのカウントタイミング	559
18.4	割り込み	560
18.4.1	割り込み要因	560
18.4.2	コンペアマッチ割り込みの発生タイミング	560
18.5	使用上の注意事項	561
18.5.1	モジュールストップ機能の設定	561
18.5.2	CMCNT カウンタへの書き込みとコンペアマッチの競合	561
18.5.3	CMCNT カウンタへの書き込みとカウントアップの競合	561
18.5.4	コンペアマッチタイマコントロールレジスタ (CMCR) 書き替え時の注意事項	562
18.5.5	コンペアマッチタイマカウンタ (CMCNT) と コンペアマッチコンスタントレジスタ (CMCOR) の注意事項	562
19.	ウォッチドッグタイマ (WDT)	563
19.1	概要	563
19.2	レジスタの説明	565
19.2.1	タイマカウンタ (TCNT)	565
19.2.2	タイマコントロール/ステータスレジスタ (TCSR)	566
19.2.3	リセットコントロール/ステータスレジスタ (RSTCSR)	567
19.2.4	ライトウィンドウ A レジスタ (WINA)	568
19.2.5	ライトウィンドウ B レジスタ (WINB)	568
19.3	動作説明	569
19.3.1	ウォッチドッグタイマモード	569
19.3.2	インターバルタイマモード	570
19.4	割り込み要因	570
19.5	使用上の注意事項	571

19.5.1	レジスタアクセス時の注意	571
19.5.2	タイマカウンタ (TCNT) への書き込みとカウントアップの競合	572
19.5.3	CKS[2:0] ビットの書き換え	572
19.5.4	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	573
19.5.5	ウォッチドッグタイマモードでの内部リセット	573
19.5.6	WDTOVF# 信号によるシステムのリセット	573
19.5.7	ウォッチドッグタイマモードとソフトウェアスタンバイモードへの移行	573
20.	シリアルコミュニケーションインタフェース (SCI)	574
20.1	概要	574
20.2	レジスタの説明	578
20.2.1	レシーブシフトレジスタ (RSR)	580
20.2.2	レシーブデータレジスタ (RDR)	580
20.2.3	トランスミットデータレジスタ (TDR)	580
20.2.4	トランスミットシフトレジスタ (TSR)	580
20.2.5	シリアルモードレジスタ (SMR)	581
20.2.6	シリアルコントロールレジスタ (SCR)	585
20.2.7	シリアルステータスレジスタ (SSR)	590
20.2.8	スマートカードモードレジスタ (SCMR)	595
20.2.9	ビットレートレジスタ (BRR)	596
20.2.10	シリアル拡張モードレジスタ (SEMR)	603
20.3	調歩同期式モードの動作	605
20.3.1	シリアル送信 / 受信フォーマット	606
20.3.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	607
20.3.3	クロック	608
20.3.4	SCI の初期化 (調歩同期式モード)	609
20.3.5	シリアルデータの送信 (調歩同期式モード)	610
20.3.6	シリアルデータの受信 (調歩同期式モード)	612
20.4	クロック同期式モードの動作	615
20.4.1	クロック	615
20.4.2	SCI の初期化 (クロック同期式モード)	616
20.4.3	シリアルデータの送信 (クロック同期式モード)	617
20.4.4	シリアルデータの受信 (クロック同期式モード)	619
20.4.5	シリアルデータの全二重動作 (クロック同期式モード)	621
20.5	スマートカードインタフェースモードの動作	622
20.5.1	接続例	622
20.5.2	データフォーマット (ブロック転送モード時を除く)	623
20.5.3	ブロック転送モード	624
20.5.4	受信データサンプリングタイミングと受信マージン	625
20.5.5	SCI の初期化	626
20.5.6	シリアルデータの送信 (ブロック転送モードを除く)	627
20.5.7	シリアルデータの受信 (ブロック転送モードを除く)	630
20.5.8	クロック出力制御	631

20.6	割り込み要因	633
20.6.1	シリアルコミュニケーションインタフェースモードにおける割り込み	633
20.6.2	スマートカードインタフェースモードにおける割り込み	634
20.7	使用上の注意事項	635
20.7.1	モジュールストップ機能の設定	635
20.7.2	ブレークの検出と処理について	635
20.7.3	マーク状態とブレークの送付	635
20.7.4	受信エラーフラグと送信動作について (クロック同期式モードのみ)	635
20.7.5	TDR への書き込みについて	635
20.7.6	クロック同期送信時の制約事項	636
20.7.7	DMAC または DTC 使用上の制約事項	636
20.7.8	低消費電力状態時の動作について	636
20.7.9	クロック同期式モード外部クロック入力	639
21.	CRC 演算器 (CRC)	640
21.1	概要	640
21.2	レジスタの説明	641
21.2.1	CRC コントロールレジスタ (CRCCR)	641
21.2.2	CRC データ入力レジスタ (CRCDIR)	642
21.2.3	CRC データ出力レジスタ (CRCDOR)	642
21.3	CRC 演算器の動作説明	643
21.4	使用上の注意事項	646
21.4.1	モジュールストップ機能の設定	646
21.5	転送時の注意事項	646
22.	I ² C バスインタフェース (RIIC)	647
22.1	概要	647
22.2	レジスタの説明	650
22.2.1	I ² C バスコントロールレジスタ 1 (ICCR1)	651
22.2.2	I ² C バスコントロールレジスタ 2 (ICCR2)	655
22.2.3	I ² C バスモードレジスタ 1 (ICMR1)	659
22.2.4	I ² C バスモードレジスタ 2 (ICMR2)	660
22.2.5	I ² C バスモードレジスタ 3 (ICMR3)	662
22.2.6	I ² C バスファンクションイネーブルレジスタ (ICFER)	665
22.2.7	I ² C バスステータスイネーブルレジスタ (ICSER)	667
22.2.8	I ² C バスインタラプトイネーブルレジスタ (ICIER)	669
22.2.9	I ² C バスステータスレジスタ 1 (ICSR1)	671
22.2.10	I ² C バスステータスレジスタ 2 (ICSR2)	674
22.2.11	スレーブアドレスレジスタ L _m (SARL _y) (m=0~2)	678
22.2.12	スレーブアドレスレジスタ U _y (SARU _y) (y=0~2)	679
22.2.13	I ² C バスビットレートローレベルレジスタ (ICBRL)	680
22.2.14	I ² C バスビットレートハイレベルレジスタ (ICBRH)	681
22.2.15	I ² C バス送信データレジスタ (ICDRT)	683
22.2.16	I ² C バス受信データレジスタ (ICDRR)	683

22.2.17	I2C バスシフトレジスタ (ICDRS)	684
22.2.18	タイムアウト内部カウンタ (TMOCNT)	684
22.3	動作説明	685
22.3.1	通信データフォーマット	685
22.3.2	初期設定	686
22.3.3	マスタ送信動作	687
22.3.4	マスタ受信動作	691
22.3.5	スレーブ送信動作	696
22.3.6	スレーブ受信動作	699
22.4	SCL 同期回路	702
22.5	SDA 出力遅延機能	703
22.6	デジタルノイズフィルタ回路	704
22.7	アドレス一致検出機能	705
22.7.1	スレーブアドレス一致検出機能	705
22.7.2	ジェネラルコールアドレス検出機能	707
22.7.3	デバイス ID アドレス検出機能	708
22.7.4	ホストアドレス検出機能	710
22.8	SCL の自動 Low ホールド機能	711
22.8.1	送信データ誤送信防止機能	711
22.8.2	NACK 受信転送中断機能	712
22.8.3	受信データ取りこぼし防止機能	712
22.9	アービトレーションロスト検出機能	714
22.9.1	マスタアービトレーションロスト検出機能 (MALE ビット)	714
22.9.2	NACK 送信アービトレーションロスト検出機能 (NALE ビット)	716
22.9.3	スレーブアービトレーションロスト検出機能 (SALE ビット)	717
22.10	スタートコンディション、リスタートコンディション、 ストップコンディション発行機能	718
22.10.1	スタートコンディション発行動作	718
22.10.2	リスタートコンディション発行動作	718
22.10.3	ストップコンディション発行動作	719
22.11	バスハングアップ	720
22.11.1	タイムアウト検出機能	720
22.11.2	SCL クロック追加出力機能	721
22.11.3	RIIC/ 内部リセット	722
22.12	SMBus 動作	723
22.12.1	SMBus タイムアウト測定	723
22.12.2	パケットエラーコード (PEC)	725
22.12.3	SMBus ホスト通知プロトコル /Notify ARP master	725
22.13	割り込み要因	726
22.14	リセット状況	727
22.15	使用上の注意事項	728
22.15.1	モジュールストップ機能の設定	728

22.15.2	入力バッファコントロールレジスタの設定	728
22.15.3	送信アクノリッジビットへの書き込みと出力タイミングについて	728
22.15.4	マスタ送信時のストップコンディション発行要求と 送信データ書き込みタイミングの制約事項	728
22.15.5	マスタモードで NACK 受信したときの通信再開における注意事項	729
22.15.6	RDRF フラグセットタイミング選択ビット (RDRFS ビット) の注意事項	729
23.	A/D コンバータ	730
23.1	概要	730
23.2	レジスタの説明	737
23.2.1	A/D データレジスタ y (ADDRy) (y=A ~ D)	738
23.2.2	A/D コントロール/ステータスレジスタ (ADCSR)	739
23.2.3	A/D コントロールレジスタ (ADCR)	741
23.2.4	ADDRy フォーマット選択レジスタ (ADDPR)	743
23.2.5	A/D サンプリングステートレジスタ (ADSSTR)	743
23.3	動作説明	744
23.3.1	シングルモード	744
23.3.2	スキャンモード	745
23.3.2.1	連続スキャンモード	745
23.3.2.2	1 サイクルスキャンモード	746
23.3.3	入力サンプリングと A/D 変換時間	747
23.3.4	外部トリガによる起動	749
23.3.5	TPU0 のコンペアマッチ/インプットキャプチャ A ~ D による起動	750
23.3.6	TPU0 ~ 5 のコンペアマッチ/インプットキャプチャ A による起動	751
23.3.7	TMR のコンペアマッチによる起動	752
23.4	割り込み要因	753
23.5	A/D 変換精度の定義	753
23.6	使用上の注意事項	755
23.6.1	モジュールストップ機能の設定	755
23.6.2	A/D 変換停止時の注意事項	755
23.6.3	A/D 変換再開時の注意事項	755
23.6.4	低消費電力状態への遷移時の注意	755
23.6.5	許容信号源インピーダンスについて	756
23.6.6	絶対精度への影響	756
23.6.7	アナログ電源端子他の設定範囲	757
23.6.8	ボード設計上の注意	757
23.6.9	ノイズ対策上の注意	757
23.6.10	高速変換を実現するためには	758
23.6.11	A/D コンバータを複数ユニット使用しているときの注意事項	759
24.	D/A コンバータ	761
24.1	概要	761
24.2	レジスタの説明	762
24.2.1	D/A データレジスタ y (DADRy) (y=0, 1)	762

24.2.2	D/A コントロールレジスタ (DACR)	763
24.2.3	DADRy フォーマット選択レジスタ (DADPR)	764
24.3	動作説明	765
24.4	使用上の注意事項	766
24.4.1	モジュールストップ機能の設定	766
24.4.2	モジュールストップ時の D/A の動作	766
24.4.3	ソフトウェアスタンバイモード時の D/A の動作	766
24.4.4	ディープソフトウェアスタンバイモード時の注意事項	766
24.4.5	A/D コンバータと D/A コンバータを同時に使用する場合の注意事項	766
25.	RAM	768
25.1	概要	768
25.2	動作説明	768
25.2.1	データ保持	768
25.2.2	消費電力低減機能	768
26.	ROM (コード格納用フラッシュメモリ)	769
26.1	概要	769
26.2	レジスタの説明	771
26.2.1	フラッシュモードレジスタ (FMODR)	772
26.2.2	フラッシュアクセスステータスレジスタ (FASTAT)	773
26.2.3	フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)	775
26.2.4	FCU RAM イネーブルレジスタ (FCURAME)	776
26.2.5	フラッシュステータスレジスタ 0 (FSTATR0)	777
26.2.6	フラッシュステータスレジスタ 1 (FSTATR1)	780
26.2.7	フラッシュレディ割り込み許可レジスタ (FRDYIE)	781
26.2.8	フラッシュ P/E モードエン트리レジスタ (FENTRYR)	782
26.2.9	フラッシュプロテクトレジスタ (FPROTR)	785
26.2.10	フラッシュリセットレジスタ (FRESETR)	786
26.2.11	FCU コマンドレジスタ (FCMDR)	787
26.2.12	FCU 処理切り替えレジスタ (FCPSR)	788
26.2.13	フラッシュ P/E ステータスレジスタ (FPESTAT)	789
26.2.14	周辺クロック通知レジスタ (PCKAR)	790
26.2.15	フラッシュライト消去プロテクトレジスタ (FWEPROR)	791
26.3	ROM のメモリマップ構成	792
26.4	ブロック構成	792
26.5	ROM 関連の動作モード	793
26.6	ROM への書き込み / 消去	795
26.6.1	FCU のモード	795
26.6.1.1	ROM リードモード	796
26.6.1.2	ROM P/E モード	796
26.6.2	FCU コマンド一覧	797
26.6.3	FCU のモードとコマンドの関係	799
26.6.4	FCU コマンド使用方法	800

26.6.4.1	モード移行	800
26.6.4.2	書き込み / 消去方法手順	804
26.6.4.3	エラー処理の方法	813
26.6.4.4	サスペンド / レジューム	814
26.7	サスペンド動作	817
26.7.1	書き込み中のサスペンド	817
26.7.2	消去中のサスペンド (サスペンド優先モード)	818
26.7.3	消去中のサスペンド (消去優先モード)	819
26.8	プロテクト	820
26.8.1	ソフトウェアプロテクト	820
26.8.2	エラープロテクト	820
26.9	ユーザブートモード	822
26.10	ブートモード	822
26.10.1	システム構成	822
26.10.2	ID コードプロテクト	823
26.10.3	ブートモードの状態遷移	825
26.10.4	ビットレートの自動調整	827
26.10.5	問い合わせ設定ホストコマンド待ち状態	828
26.10.6	ID コード待ち状態	839
26.10.7	書き込み / 消去ホストコマンド待ち状態	840
26.11	オンチップデバッグ ID コードプロテクト	848
26.12	ROM コードプロテクト	848
26.13	使用上の注意事項	849
27.	データフラッシュ (データ格納用フラッシュメモリ)	851
27.1	概要	851
27.2	レジスタの説明	853
27.2.1	フラッシュモードレジスタ (FMODR)	854
27.2.2	フラッシュアクセスステータスレジスタ (FASTAT)	855
27.2.3	フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)	857
27.2.4	データフラッシュ読み出し許可レジスタ (DFLRE)	858
27.2.5	データフラッシュ書き込み / 消去許可レジスタ (DFLWE)	859
27.2.6	フラッシュ P/E モードエントリレジスタ (FENTRYR)	860
27.2.7	データフラッシュブランクチェック制御レジスタ (DFLBCCNT)	862
27.2.8	データフラッシュブランクチェックステータスレジスタ (DFLBCSTAT)	863
27.3	データフラッシュのメモリマット構成	864
27.4	ブロック構成	864
27.5	データフラッシュ関連の動作モード	865
27.6	データフラッシュへの書き込み / 消去	866
27.6.1	FCU のモード	866
27.6.1.1	ROM P/E モード	867
27.6.1.2	ROM / データフラッシュリードモード	867
27.6.1.3	データフラッシュ P/E モード	867

27.6.2	FCU コマンド一覧	868
27.6.3	FCU のモードとコマンドの関係	869
27.6.4	FCU コマンド使用方法	870
27.7	プロテクト	874
27.7.1	ソフトウェアプロテクト	874
27.7.2	エラープロテクト	875
27.8	ブートモード	876
27.8.1	問い合わせ設定ホストコマンド	876
27.8.2	書き込み/消去ホストコマンド	877
27.9	使用上の注意事項	879
28.	バウンダリスキャン	880
28.1	概要	880
28.2	レジスタの説明	881
28.2.1	インストラクションレジスタ (JTIR)	882
28.2.2	バイパスレジスタ (JTBPR)	882
28.2.3	バウンダリスキャンレジスタ (JTBSR)	882
28.2.4	IDCODE レジスタ (JTID)	888
28.3	動作説明	889
28.3.1	TAP コントローラ	889
28.3.2	コマンド一覧	890
28.4	使用上の注意事項	891
29.	電気的特性	893
29.1	絶対最大定格	893
29.2	DC 特性	894
29.3	AC 特性	897
29.3.1	クロックタイミング	897
29.3.2	制御信号タイミング	901
29.3.3	バスタイミング	902
29.3.4	内蔵周辺モジュールタイミング	907
29.4	A/D 変換特性	914
29.5	D/A 変換特性	914
29.6	ROM (コード格納用フラッシュメモリ) 特性	915
29.7	データフラッシュ (データ格納用フラッシュメモリ) 特性	916
付録 1.	各動作モードにおけるポートの状態	918
付録 2.	外形寸法図	921
改訂記録	923

1. 概要

1.1 特長

RX610グループは、高速・高性能なRX CPUをコアとしたマイクロコンピュータです。

基本命令は、1命令1クロックで動作します。演算機能も強化し、32ビット乗算器、除算器に加え、単精度浮動小数点演算ユニットを搭載しています。また、バイト単位の可変長命令、アドレッシングモードの強化により、コード効率を向上します。

組み込み機器に必要な周辺機能として、タイマ、シリアルコミュニケーションインタフェース、I²Cバスインタフェース、A/Dコンバータ、およびD/Aコンバータなどを内蔵しています。

外部メモリ接続機能も備えていますので、メモリや周辺LSIと直接接続することができます。内蔵メモリは、大容量かつ高速動作を可能にするフラッシュメモリを搭載しています。

1.1.1 用途

OA機器、デジタル民生機器など

1.1.2 仕様概要

表 1.1 に仕様概要を示します。

表 1.1 仕様概要 (1 / 3)

分類	モジュール / 機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数:100MHz 32ビットRX CPU 最小命令実行時間:1命令1クロック アドレス空間:4Gバイト・リニアアドレス レジスタ 汎用レジスタ:32ビット×16本 制御レジスタ:32ビット×9本 アキュムレータ:64ビット×1本 基本命令:73種類 浮動小数点演算命令:8種類 DSP機能命令:9種類 アドレッシングモード:10種類 データ配置 命令:リトルエンディアン データ:リトルエンディアン/ビッグエンディアン選択可能 32ビット乗算器:32ビット×32ビット→64ビット 除算器:32ビット÷32ビット→32ビット パレルシフタ:32ビット
	FPU	<ul style="list-style-type: none"> 単精度浮動小数点数 (32ビット) IEEE754に準拠したデータタイプ、および浮動小数点例外
メモリ	ROM	<ul style="list-style-type: none"> ROM容量:最大2Mバイト 3種類のオンボードプログラミングモード SCIブートモード、ユーザプログラムモード、ユーザブートモード
	RAM	RAM容量:128Kバイト
	データフラッシュ	データROM容量:32Kバイト
MCU動作モード		シングルチップモード、内蔵ROM有効拡張モード、内蔵ROM無効拡張モード
クロック	クロック発生回路	<ul style="list-style-type: none"> 1回路:メインクロック発振器 PLLと分周器で構成され、動作周波数を選択可能 システムクロック、周辺モジュールクロック、外部バスクロックを個別に設定可能 CPU、DMAC、DTC、ROM、RAMは、システムクロック (ICKL) 同期:8~100MHz 周辺モジュールは、周辺モジュールクロック (PCLK) 同期:8~50MHz 外部バスに接続するデバイスは、外部バスクロック (BCLK) 同期:8~25MHz
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 4種類の低消費電力状態 スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード
割り込み	割り込みコントローラ	<ul style="list-style-type: none"> 周辺機能割り込み:要因数 116 外部割り込み:要因数 16 (IRQ15~IRQ0端子) ノンマスクابل割り込み:要因数 1 (NMI端子) 8レベルの割り込み優先順位を設定可能
外部バス拡張		<ul style="list-style-type: none"> 外部アドレス空間を8つのエリア (CS0~CS7) に分割して管理 各エリアの領域:16Mバイト エリアごとにチップセレクト (CS0#~CS7#) 出力可能 エリアごとに8ビットバス空間/16ビットバス空間を選択可能 エリアごとにエンディアンを設定可能 (データのみ) バス形式:セパレートバス ウェイト制御可能 ライトバッファ機能

表 1.1 仕様概要 (2 / 3)

分類	モジュール / 機能	説明
DMA	DMAコントローラ	<ul style="list-style-type: none"> 4チャンネル 起動要因: ソフトウェアトリガ、外部割り込み、周辺機能割り込み
	データトランスファコントローラ	<ul style="list-style-type: none"> 転送モード: ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因: 割り込み要求により起動 (チェーン転送が可能)
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> 入出力: 117 (144ピンLQFP)、140 (176ピンLFBGA) プルアップ抵抗: 40 オープンドレイン出力: 16 5Vトレラント: 10
タイマ	16ビットタイマパルスユニット	<ul style="list-style-type: none"> (16ビット×6チャンネル) ×2ユニット 最大16本のパルス入出力が可能 各チャンネルごとに7種類または8種類のカウントクロックを選択可能 インプットキャプチャ/アウトプットコンペア機能 最大15相のPWM波形を出力するPWMモード チャンネルによりバッファ動作、位相計数モード (2相エンコーダ入力)、カスケード接続動作 (32ビット×2チャンネル) PPGの出力トリガを生成可能 A/Dコンバータの変換開始トリガを生成可能
	プログラマブルパルスジェネレータ	<ul style="list-style-type: none"> (4ビット×4グループ) ×2ユニット TPUからの出力をトリガとしてパルスを出力 最大32ビットのパルス出力
	8ビットタイマ	<ul style="list-style-type: none"> (8ビット×2チャンネル) ×2ユニット 7種類の内部クロックと外部クロックを選択可能 任意のデューティ比のパルス出力やPWM出力が可能 2チャンネルをカスケード接続し16ビットタイマとして使用可能 A/Dコンバータの変換開始トリガを生成可能 SCI5、SCI6のボーレートクロックを生成可能
	コンペアマッチタイマ	<ul style="list-style-type: none"> (16ビット×2チャンネル) ×2ユニット 4種類のカウントクロックを選択可能
ウォッチドッグタイマ		<ul style="list-style-type: none"> 8ビット×1チャンネル 8種類のカウントクロックを選択可能 ウォッチドッグタイマモード/インターバルタイマモードを切り替えて使用可能
通信機能	シリアルコミュニケーションインタフェース	<ul style="list-style-type: none"> 7チャンネル シリアル通信方式: 調歩同期式/クロック同期式/スマートカードインタフェース 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 TMRからの平均転送レートクロック入力が可能 (SCI5、SCI6)
	I ² Cバスインタフェース	<ul style="list-style-type: none"> 2チャンネル 通信フォーマット I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブ選択可能 (マルチマスタ対応) 最大転送速度: 1Mbps
A/Dコンバータ		<ul style="list-style-type: none"> 4ユニット (ユニット×4チャンネル) 分解能: 10ビット 変換時間: 1チャンネル当たり 1.0μs (PCLK=50MHz動作時) 2種類の動作モード シングルモード、スキャンモード (1サイクルスキャンモード/連続スキャンモード) サンプル&ホールド機能付き 3種類のA/D変換開始方法 ソフトウェアトリガ、タイマ (TPU、TMR) からのトリガ、外部トリガ
D/Aコンバータ		<ul style="list-style-type: none"> 2チャンネル 分解能: 10ビット 出力電圧: 0V ~ VREFH

表 1.1 仕様概要 (3 / 3)

分類	モジュール / 機能	説明
CRC演算器		<ul style="list-style-type: none"> 8ビット単位の任意のデータ長に対してCRCコードを生成 3つの多項式から選択可能 $X^8 + X^2 + X + 1$、$X^{16} + X^{15} + X^2 + 1$、$X^{16} + X^{12} + X^5 + 1$ LSBファースト/MSBファースト通信用CRCコード生成から選択可能
動作周波数		8～100MHz
電源電圧		VCC = PLLVCC = AVCC = 3.0～3.6V、VREFH = 3.0～AVCC
消費電流		50mA (typ) (通常仕様品)
動作周囲温度		−20～+85°C (通常仕様品)、−40～+85°C (広温度範囲仕様品)
パッケージ		176ピンLFBGA (PLBG0176GA-A) 144ピンLQFP (PLQP0144KA-A)

1.2 製品一覧

表 1.2 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.2 製品一覧表

型名	パッケージ	ROM 容量	RAM 容量	データフラッシュ	動作周波数 (max)
R5F56108VNFP	PLQP0144KA-A	2Mバイト	128Kバイト	32Kバイト	100MHz
R5F56108VDFP	PLQP0144KA-A	2Mバイト	128Kバイト	32Kバイト	100MHz
R5F56108WNBG	PLBG0176GA-A	2Mバイト	128Kバイト	32Kバイト	100MHz
R5F56108WDBG	PLBG0176GA-A	2Mバイト	128Kバイト	32Kバイト	100MHz
R5F56107VNFP	PLQP0144KA-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
R5F56107VDFP	PLQP0144KA-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
R5F56107WNBG	PLBG0176GA-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
R5F56107WDBG	PLBG0176GA-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
R5F56106VNFP	PLQP0144KA-A	1Mバイト	128Kバイト	32Kバイト	100MHz
R5F56106VDFP	PLQP0144KA-A	1Mバイト	128Kバイト	32Kバイト	100MHz
R5F56106WNBG	PLBG0176GA-A	1Mバイト	128Kバイト	32Kバイト	100MHz
R5F56106WDBG	PLBG0176GA-A	1Mバイト	128Kバイト	32Kバイト	100MHz
R5F56104VNFP	PLQP0144KA-A	768Kバイト	128Kバイト	32Kバイト	100MHz
R5F56104VDFP	PLQP0144KA-A	768Kバイト	128Kバイト	32Kバイト	100MHz
R5F56104WNBG	PLBG0176GA-A	768Kバイト	128Kバイト	32Kバイト	100MHz
R5F56104WDBG	PLBG0176GA-A	768Kバイト	128Kバイト	32Kバイト	100MHz

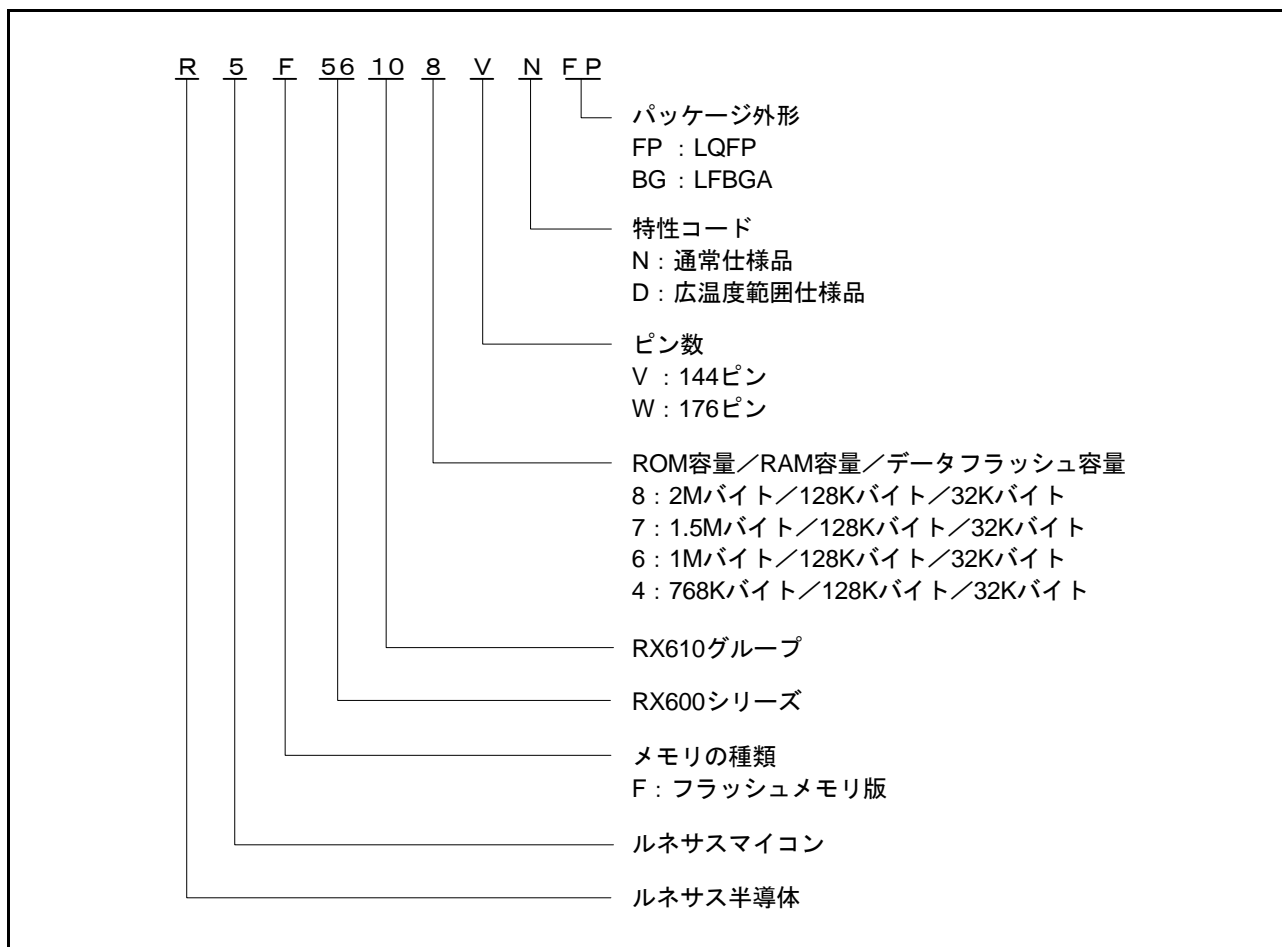


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

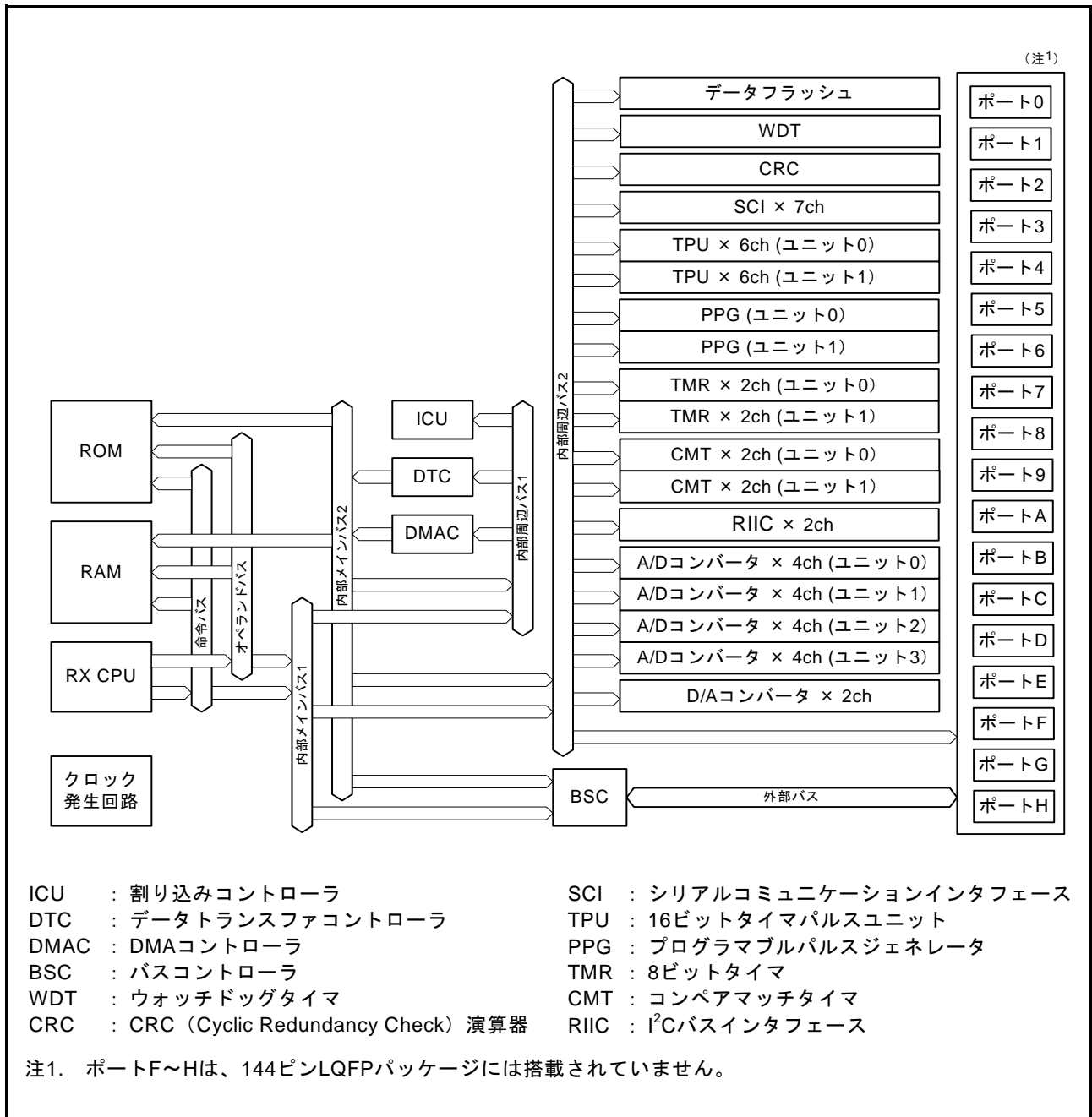


図 1.2 ブロック図

1.4 ピン配置図

図 1.3 に 176 ピン LFBGA ピン配置図を、図 1.4 に 144 ピン LQFP ピン配置図を、図 1.5 に 144 ピン LQFP ピン配置図 (補助図) を示します。表 1.3 に 176 ピン LFBGA の機能別端子一覧表を、表 1.4 に 144 ピン LQFP の機能別端子一覧表を示します。

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	
15	PE0	PE2	PE5	PG5	VSS	PA1	PA5	PH1	P70	P74	PB3	PB6	PC1	VCC	PC3	15
14	PD6	PE1	PE3	PE7	PG6	PA0	PA4	PH0	VCC	P73	PB4	PC0	PC2	PC4	PC5	14
13	PD4	PD5	PD7	PE6	PG7	PA2	PA6	VSS	P71	PB1	PB5	VSS	PH2	PC6	P75	13
12	P63	VCC	VSS	PE4	VCC	PA3	PA7	PB0	P72	PB2	PB7	PC7	P76	P77	PH3	12
11	P60	P61	P62	P64	RX610グループ PLBG0176GA-A (176ピンLFBGA) (上面透視図)							PH4	VSS	VCC	PH5	11
10	PD1	PD0	PD2	PD3								P51	P50	PH6	PH7	10
9	PG2	PG1	PG3	PG4								P81	P80	P52	P53	9
8	P97	P96	BSCANP	PG0								P83	VSS	VCC	P82	8
7	P93	P92	P94	P95								P57	P56	P54	P55	7
6	P90	VCC	VSS	P91	P37	P36	P84	P35	6							
5	P46	P45	P47	P44	P14	P12	P11	P10	5							
4	P43	P42	P41	P40	P00	MDE	P86	VSS	P34	P33	PF0	VSS	P16	P15	P13	4
3	VREFL	VREFH	P03	AVSS	EMLE	VCL	P85	EXTAL	PF6	P32	PF3	VCC	P20	PLLVCC	PLLVSS	3
2	AVCC	P05	P66	P01	WDTOVF#	MD0	XTAL	NMI	PF4	P30	PF1	P26	P24	P22	P17	2
1	P04	P67	P02	P65	VSS	MD1	RES#	VCC	PF5	P31	PF2	P27	P25	P23	P21	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	

図 1.3 176 ピン LFBGA ピン配置図

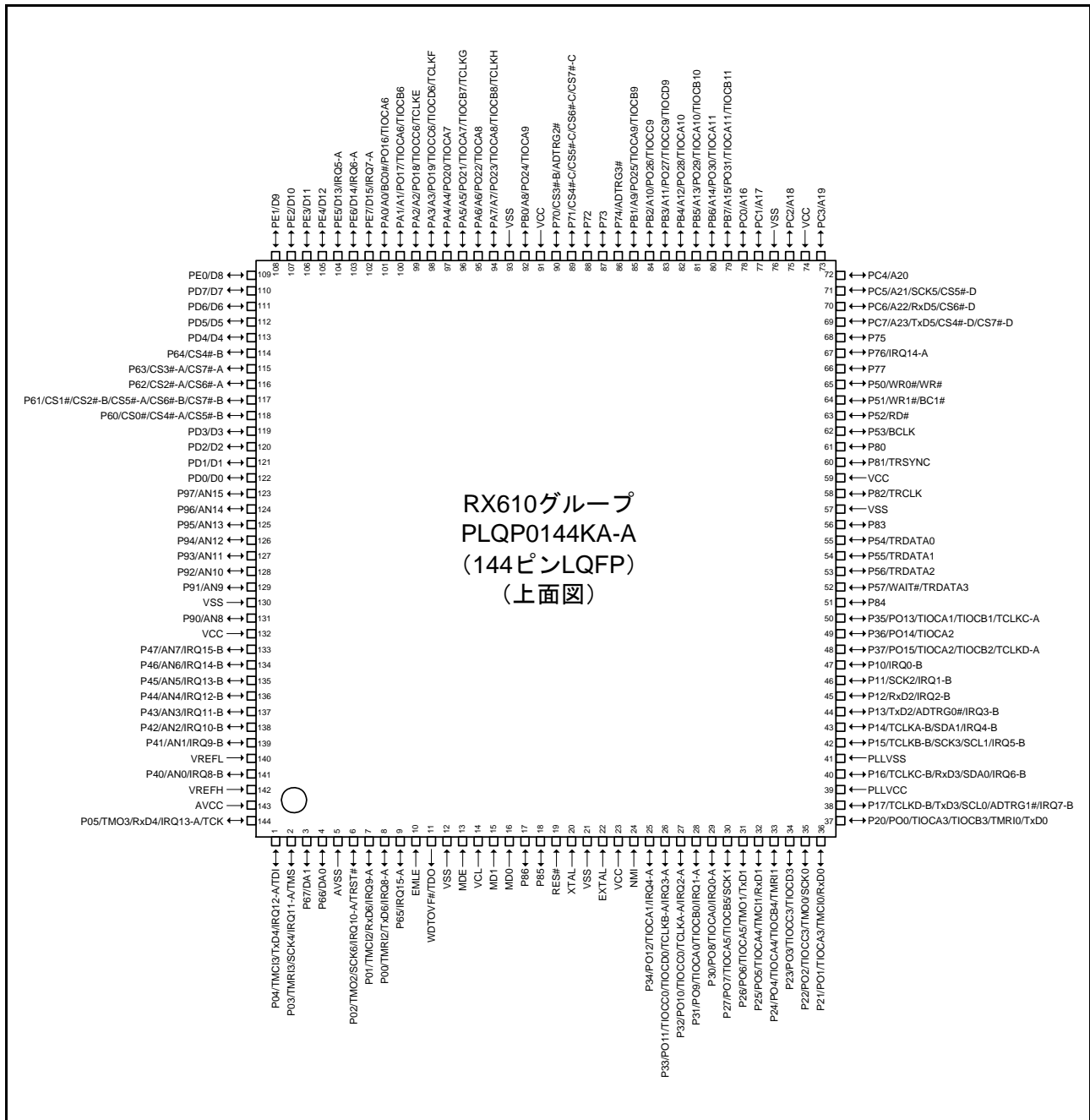


図 1.4 144ピンLQFPピン配置図

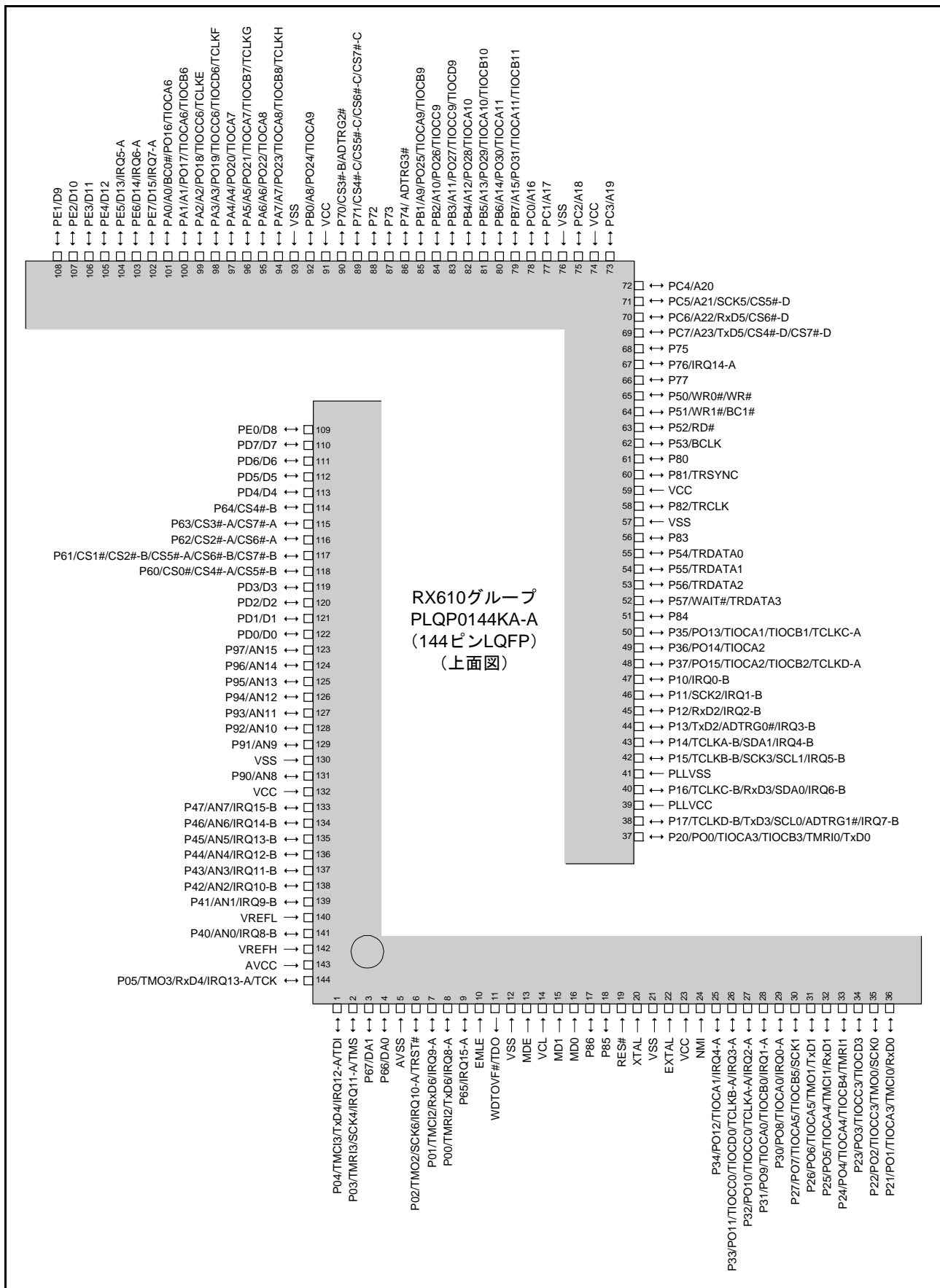


図 1.5 144ピンLQFPピン配置図(補助図)

表 1.3 機能別端子一覧表 (176 ピン LFBGA) (1 / 6)

ピン番号 176ピン LFBGA	電源 クロック システム制御	I/O ポート	割り込み	外部バス	タイマ	通信	アナログ	オンチップ エミュレータ
A1		P04	IRQ12-A		TMC13	TxD4		TDI
A2	AVCC							
A3	VREFL							
A4		P43	IRQ11-B				AN3	
A5		P46	IRQ14-B				AN6	
A6		P90					AN8	
A7		P93					AN11	
A8		P97					AN15	
A9		PG2						
A10		PD1		D1				
A11		P60		CS0#/ CS4#-A/ CS5#-B				
A12		P63		CS3#-A/ CS7#-A				
A13		PD4		D4				
A14		PD6		D6				
A15		PE0		D8				
B1		P67					DA1	
B2		P05	IRQ13-A		TMO3	RxD4		TCK
B3	VREFH							
B4		P42	IRQ10-B				AN2	
B5		P45	IRQ13-B				AN5	
B6	VCC							
B7		P92					AN10	
B8		P96					AN14	
B9		PG1						
B10		PD0		D0				
B11		P61		CS1#/ CS2#-B/ CS5#-A/ CS6#-B/ CS7#-B				
B12	VCC							
B13		PD5		D5				
B14		PE1		D9				
B15		PE2		D10				
C1		P02	IRQ10-A		TMO2	SCK6		TRST#
C2		P66					DA0	
C3		P03	IRQ11-A		TM13	SCK4		TMS
C4		P41	IRQ9-B				AN1	
C5		P47	IRQ15-B				AN7	
C6	VSS							
C7		P94					AN12	
C8	BSCANP							

表 1.3 機能別端子一覧表 (176 ピン LFBGA) (2 / 6)

ピン番号 176ピン LFBGA	電源 クロック システム制御	I/O ポート	割り込み	外部バス	タイマ	通信	アナログ	オンチップ エミュレータ
C9		PG3						
C10		PD2		D2				
C11		P62		CS2#-A/ CS6#-A				
C12	VSS							
C13		PD7		D7				
C14		PE3		D11				
C15		PE5	IRQ5-A	D13				
D1		P65	IRQ15-A					
D2		P01	IRQ9-A		TMC12	RxD6		
D3	AVSS							
D4		P40	IRQ8-B				AN0	
D5		P44	IRQ12-B				AN4	
D6		P91					AN9	
D7		P95					AN13	
D8		PG0						
D9		PG4						
D10		PD3		D3				
D11		P64		CS4#-B				
D12		PE4		D12				
D13		PE6	IRQ6-A	D14				
D14		PE7	IRQ7-A	D15				
D15		PG5						
E1	VSS							
E2	WDTOVF#							TDO
E3	EMLE							
E4		P00	IRQ8-A		TMR12	TxD6		
E12	VCC							
E13		PG7						
E14		PG6						
E15	VSS							
F1	MD1							
F2	MD0							
F3	VCL							
F4	MDE							
F12		PA3		A3	PO19/ TIOCC6/ TIOCD6/ TCLKF			
F13		PA2		A2	PO18/ TIOCC6/ TCLKE			
F14		PA0		A0/BC0#	PO16/ TIOCA6			

表 1.3 機能別端子一覧表 (176 ピン LFBGA) (3 / 6)

ピン番号 176ピン LFBGA	電源 クロック システム制御	I/O ポート	割り込み	外部バス	タイマ	通信	アナログ	オンチップ エミュレータ
F15		PA1		A1	PO17/ TIOCA6/ TIOCB6			
G1	RES#							
G2	XTAL							
G3		P85						
G4		P86						
G12		PA7		A7	PO23/ TIOCA8/ TIOCB8/ TCLKH			
G13		PA6		A6	PO22/ TIOCA8			
G14		PA4		A4	PO20/ TIOCA7			
G15		PA5		A5	PO21/ TIOCA7/ TIOCB7/ TCLKG			
H1	VCC							
H2			NMI					
H3	EXTAL							
H4	VSS							
H12		PB0		A8	PO24/ TIOCA9			
H13	VSS							
H14		PH0						
H15		PH1						
J1		PF5						
J2		PF4						
J3		PF6						
J4		P34	IRQ4-A		PO12/ TIOCA1			
J12		P72						
J13		P71		CS4#-C/ CS5#-C/ CS6#-C/ CS7#-C				
J14	VCC							
J15		P70		CS3#-B			ADTRG2#	
K1		P31	IRQ1-A		PO9/ TIOCA0/ TIOCB0			
K2		P30	IRQ0-A		PO8/ TIOCA0			
K3		P32	IRQ2-A		PO10/ TIOCC0/ TCLKA-A			

表 1.3 機能別端子一覧表 (176 ピン LFBGA) (4 / 6)

ピン番号 176ピン LFBGA	電源 クロック システム制御	I/O ポート	割り込み	外部バス	タイマ	通信	アナログ	オンチップ エミュレータ
K4		P33	IRQ3-A		PO11/ TIOCC0/ TIOCD0/ TCLKB-A			
K12		PB2		A10	PO26/ TIOCC9			
K13		PB1		A9	PO25/ TIOCA9/ TIOCB9			
K14		P73						
K15		P74					ADTRG3#	
L1		PF2						
L2		PF1						
L3		PF3						
L4		PF0						
L12		PB7		A15	PO31/ TIOCA11/ TIOCB11			
L13		PB5		A13	PO29/ TIOCA10/ TIOCB10			
L14		PB4		A12	PO28/ TIOCA10			
L15		PB3		A11	PO27/ TIOCC9/ TIOCD9			
M1		P27			PO7/ TIOCA5/ TIOCB5	SCK1		
M2		P26			PO6/ TIOCA5/ TMO1	TxD1		
M3	VCC							
M4	VSS							
M5		P14	IRQ4-B		TCLKA-B	SDA1		
M6		P37			PO15/ TIOCA2/ TIOCB2/ TCLKD-A			
M7		P57		WAIT#				TRDATA3
M8		P83						
M9		P81						TRSYNC
M10		P51		WR1#/BC1#				
M11		PH4						
M12		PC7		A23/ CS4#-D/ CS7#-D		TxD5		
M13	VSS							
M14		PC0		A16				
M15		PB6		A14	PO30/ TIOCA11			

表 1.3 機能別端子一覧表 (176 ピン LFBGA) (5 / 6)

ピン番号 176ピン LFBGA	電源 クロック システム制御	I/O ポート	割り込み	外部バス	タイマ	通信	アナログ	オンチップ エミュレータ
N1		P25			PO5/ TIOCA4/ TMC11	RxD1		
N2		P24			PO4/ TIOCA4/ TIOCB4/ TMR11			
N3		P20			PO0/ TIOCA3/ TIOCB3/ TMR10	TxD0		
N4		P16	IRQ6-B		TCLKC-B	RxD3/SDA0		
N5		P12	IRQ2-B			RxD2		
N6		P36			PO14/ TIOCA2			
N7		P56						TRDATA2
N8	VSS							
N9		P80						
N10		P50		WR0#/WR#				
N11	VSS							
N12		P76	IRQ14-A					
N13		PH2						
N14		PC2		A18				
N15		PC1		A17				
P1		P23			PO3/ TIOCC3/ TIOCD3			
P2		P22			PO2/ TIOCC3/ TMO0	SCK0		
P3	PLLVC							
P4		P15	IRQ5-B		TCLKB-B	SCK3/SCL1		
P5		P11	IRQ1-B			SCK2		
P6		P84						
P7		P54						TRDATA0
P8	VCC							
P9		P52		RD#				
P10		PH6						
P11	VCC							
P12		P77						
P13		PC6		A22/ CS6#-D		RxD5		
P14		PC4		A20				
P15	VCC							
R1		P21			PO1/ TIOCA3/ TMC10	RxD0		
R2		P17	IRQ7-B		TCLKD-B	TxD3/SCL0	ADTRG1#	
R3	PLLSS							

表 1.3 機能別端子一覧表 (176 ピン LFBGA) (6 / 6)

ピン番号 176ピン LFBGA	電源 クロック システム制御	I/O ポート	割り込み	外部バス	タイマ	通信	アナログ	オンチップ エミュレータ
R4		P13	IRQ3-B			TxD2	ADTRG0#	
R5		P10	IRQ0-B					
R6		P35			PO13/ TIOCA1/ TIOCB1/ TCLKC-A			
R7		P55						TRDATA1
R8		P82						TRCLK
R9	BCLK	P53						
R10		PH7						
R11		PH5						
R12		PH3						
R13		P75						
R14		PC5		A21/ CS5#-D		SCK5		
R15		PC3		A19				

表 1.4 機能別端子一覧表 (144ピンLQFP) (1 / 5)

ピン番号 144ピン LQFP	電源 クロック システム制御	I/O ポート	割り込み	外部バス	タイマ	通信	アナログ	オンチップ エミュレータ
1		P04	IRQ12-A		TMC13	TxD4		TDI
2		P03	IRQ11-A		TMRI3	SCK4		TMS
3		P67					DA1	
4		P66					DA0	
5	AVSS							
6		P02	IRQ10-A		TMO2	SCK6		TRST#
7		P01	IRQ9-A		TMC12	RxD6		
8		P00	IRQ8-A		TMRI2	TxD6		
9		P65	IRQ15-A					
10	EMLE							
11	WDTOVF#							TDO
12	VSS							
13	MDE							
14	VCL							
15	MD1							
16	MD0							
17		P86						
18		P85						
19	RES#							
20	XTAL							
21	VSS							
22	EXTAL							
23	VCC							
24			NMI					
25		P34	IRQ4-A		PO12/ TIOCA1			
26		P33	IRQ3-A		PO11/ TIOCC0/ TIOCD0/ TCLKB-A			
27		P32	IRQ2-A		PO10/ TIOCC0/ TCLKA-A			
28		P31	IRQ1-A		PO9/ TIOCA0/ TIOCB0			
29		P30	IRQ0-A		PO8/ TIOCA0			
30		P27			PO7/ TIOCA5/ TIOCB5	SCK1		
31		P26			PO6/ TIOCA5/ TMO1	TxD1		
32		P25			PO5/ TIOCA4/ TMC11	RxD1		

表 1.4 機能別端子一覧表 (144 ピン LQFP) (2 / 5)

ピン番号 144ピン LQFP	電源 クロック システム制御	I/O ポート	割り込み	外部バス	タイマ	通信	アナログ	オンチップ エミュレータ
33		P24			PO4/ TIOCA4/ TIOCB4/ TMRI1			
34		P23			PO3/ TIOCC3/ TIOCD3			
35		P22			PO2/ TIOCC3/ TMO0	SCK0		
36		P21			PO1/ TIOCA3/ TMCIO	RxD0		
37		P20			PO0/ TIOCA3/ TIOCB3/ TMRI0	TxD0		
38		P17	IRQ7-B		TCLKD-B	TxD3/SCL0	ADTRG1#	
39	PLLVC							
40		P16	IRQ6-B		TCLKC-B	RxD3/SDA0		
41	PLLVS							
42		P15	IRQ5-B		TCLKB-B	SCK3/SCL1		
43		P14	IRQ4-B		TCLKA-B	SDA1		
44		P13	IRQ3-B			TxD2	ADTRG0#	
45		P12	IRQ2-B			RxD2		
46		P11	IRQ1-B			SCK2		
47		P10	IRQ0-B					
48		P37			PO15/ TIOCA2/ TIOCB2/ TCLKD-A			
49		P36			PO14/ TIOCA2			
50		P35			PO13/ TIOCA1/ TIOCB1/ TCLKC-A			
51		P84						
52		P57		WAIT#				TRDATA3
53		P56						TRDATA2
54		P55						TRDATA1
55		P54						TRDATA0
56		P83						
57	VSS							
58		P82						TRCLK
59	VCC							
60		P81						TRSYNC
61		P80						
62	BCLK	P53						
63		P52		RD#				

表 1.4 機能別端子一覧表 (144 ピン LQFP) (3 / 5)

ピン番号 144ピン LQFP	電源 クロック システム制御	I/O ポート	割り込み	外部バス	タイマ	通信	アナログ	オンチップ エミュレータ
64		P51		WR1#/BC1#				
65		P50		WR0#/WR#				
66		P77						
67		P76	IRQ14-A					
68		P75						
69		PC7		A23/ CS4#-D/ CS7#-D		TxD5		
70		PC6		A22/ CS6#-D		RxD5		
71		PC5		A21/ CS5#-D		SCK5		
72		PC4		A20				
73		PC3		A19				
74	VCC							
75		PC2		A18				
76	VSS							
77		PC1		A17				
78		PC0		A16				
79		PB7		A15	PO31/ TIOCA11/ TIOCB11			
80		PB6		A14	PO30/ TIOCA11			
81		PB5		A13	PO29/ TIOCA10/ TIOCB10			
82		PB4		A12	PO28/ TIOCA10			
83		PB3		A11	PO27/ TIOCC9/ TIOCD9			
84		PB2		A10	PO26/ TIOCC9			
85		PB1		A9	PO25/ TIOCA9/ TIOCB9			
86		P74					ADTRG3#	
87		P73						
88		P72						
89		P71		CS4#-C/ CS5#-C/ CS6#-C/ CS7#-C				
90		P70		CS3#-B			ADTRG2#	
91	VCC							
92		PB0		A8	PO24/ TIOCA9			
93	VSS							

表 1.4 機能別端子一覧表 (144 ピン LQFP) (4 / 5)

ピン番号 144ピン LQFP	電源 クロック システム制御	I/O ポート	割り込み	外部バス	タイマ	通信	アナログ	オンチップ エミュレータ
94		PA7		A7	PO23/ TIOCA8/ TIOCB8/ TCLKH			
95		PA6		A6	PO22/ TIOCA8			
96		PA5		A5	PO21/ TIOCA7/ TIOCB7/ TCLKG			
97		PA4		A4	PO20/ TIOCA7			
98		PA3		A3	PO19/ TIOCC6/ TIOCD6/ TCLKF			
99		PA2		A2	PO18/ TIOCC6/ TCLKE			
100		PA1		A1	PO17/ TIOCA6/ TIOCB6			
101		PA0		A0/BC0#	PO16/ TIOCA6			
102		PE7	IRQ7-A	D15				
103		PE6	IRQ6-A	D14				
104		PE5	IRQ5-A	D13				
105		PE4		D12				
106		PE3		D11				
107		PE2		D10				
108		PE1		D9				
109		PE0		D8				
110		PD7		D7				
111		PD6		D6				
112		PD5		D5				
113		PD4		D4				
114		P64		CS4#-B				
115		P63		CS3#-A/ CS7#-A				
116		P62		CS2#-A/ CS6#-A				
117		P61		CS1#/ CS2#-B/ CS5#-A/ CS6#-B/ CS7#-B				
118		P60		CS0#/ CS4#-A/ CS5#-B				
119		PD3		D3				
120		PD2		D2				

表 1.4 機能別端子一覧表 (144ピン LQFP) (5 / 5)

ピン番号 144ピン LQFP	電源 クロック システム制御	I/O ポート	割り込み	外部バス	タイマ	通信	アナログ	オンチップ エミュレータ
121		PD1		D1				
122		PD0		D0				
123		P97					AN15	
124		P96					AN14	
125		P95					AN13	
126		P94					AN12	
127		P93					AN11	
128		P92					AN10	
129		P91					AN9	
130	VSS							
131		P90					AN8	
132	VCC							
133		P47	IRQ15-B				AN7	
134		P46	IRQ14-B				AN6	
135		P45	IRQ13-B				AN5	
136		P44	IRQ12-B				AN4	
137		P43	IRQ11-B				AN3	
138		P42	IRQ10-B				AN2	
139		P41	IRQ9-B				AN1	
140	VREFL							
141		P40	IRQ8-B				AN0	
142	VREFH							
143	AVCC							
144		P05	IRQ13-A		TMO3	RxD4		TCK

1.5 端子機能

表 1.5 に端子機能一覧表を示します。

表 1.5 端子機能一覧表 (1 / 4)

分類	端子名	入出力	機能
電源	VCC	入力	電源端子。システムの電源に接続してください
	VCL	入力	0.1 μ Fのコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子。システムの電源 (0V) に接続してください
	PLLVCC	入力	PLL回路用の電源端子。システムの電源に接続してください
	PLLVSS	入力	PLL回路用のグランド端子
クロック	XTAL	入力	水晶発振子接続端子。EXTAL 端子は外部クロックを入力することもできます
	EXTAL	入力	
	BCLK	出力	外部デバイスにシステムクロックを供給
動作モード コントロール	MD0、MD1、MDE	入力	動作モードを設定。これらの端子は、動作中に変化させないでください
システム制御	RES#	入力	リセット端子。この端子が Low になると、リセット状態となります
	EMLE	入力	オンチップエミュレータを許可する端子。オンチップエミュレータを使用する場合は、High にしてください。オンチップエミュレータを使用しない場合は、Low にしてください
	BSCANP	入力	バウンダリスキャン許可端子。この端子が High になると、バウンダリスキャンが有効となります。バウンダリスキャンを使用しない場合は、Low としてください
オンチップ エミュレータ	TRST#	入力	オンチップエミュレータ用端子。EMLE 端子を High にするとオンチップエミュレータ専用端子になります
	TMS	入力	
	TDI	入力	
	TCK	入力	
	TDO	出力	
	TRCLK	出力	トレースデータと同期をとるためのクロックを出力
	TRSYNC	出力	TRDATA0 ~ TRDATA3 端子からの出力が有効データであることを示します
TRDATA0 ~ TRDATA3	出力	トレース情報を出力	
アドレスバス	A0 ~ A23 (注1)	出力	アドレス出力端子
データバス	D0 ~ D15	入出力	双方向データバス

表 1.5 端子機能一覧表 (2 / 4)

分類	端子名	入出力	機能
バス制御	RD#	出力	外部アドレス空間をリード中であることを示すストロープ信号
	WR0#	出力	バイトストロープモード時、外部アドレス空間をライト中で、下位バイト (D0~D7) が有効であることを示すストロープ信号
	WR1#	出力	バイトストロープモード時、外部アドレス空間をライト中で、上位バイト (D8~D15) が有効であることを示すストロープ信号
	WR#	出力	1ライトストロープモード時、外部アドレス空間をライト中であることを示すストロープ信号
	BC0#(注1、注2)	出力	1ライトストロープモード時、外部アドレス空間をアクセス中で、下位バイト (D0~D7) が有効であることを示すストロープ信号
	BC1# (注2)	出力	1ライトストロープモード時、外部アドレス空間をアクセス中で、上位バイト (D8~D15) が有効であることを示すストロープ信号
	CS0#、CS1# CS2#-A/CS2#-B CS3#-A/CS3#-B CS4#-A/CS4#-B/ CS4#-C/CS4#-D CS5#-A/CS5#-B/ CS5#-C/CS5#-D CS6#-A/CS6#-B/ CS6#-C/CS6#-D CS7#-A/CS7#-B/ CS7#-C/CS7#-D	出力	エリア0~7の選択信号
	WAIT#	入力	外部アドレス空間をアクセスするときのウェイト要求信号
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQ0-A/IRQ0-B IRQ1-A/IRQ1-B IRQ2-A/IRQ2-B IRQ3-A/IRQ3-B IRQ4-A/IRQ4-B IRQ5-A/IRQ5-B IRQ6-A/IRQ6-B IRQ7-A/IRQ7-B IRQ8-A/IRQ8-B IRQ9-A/IRQ9-B IRQ10-A/IRQ10-B IRQ11-A/IRQ11-B IRQ12-A/IRQ12-B IRQ13-A/IRQ13-B IRQ14-A/IRQ14-B IRQ15-A/IRQ15-B	入力	割り込み要求端子

表 1.5 端子機能一覧表 (3 / 4)

分類	端子名	入出力	機能
16ビットタイマ パルスユニット	TIOCA0、TIOCB0 TIOCC0、TIOCD0	入出力	TGRA0～TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA1、TIOCB1	入出力	TGRA1、TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA2、TIOCB2	入出力	TGRA2、TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA3、TIOCB3 TIOCC3、TIOCD3	入出力	TGRA3～TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA4、TIOCB4	入出力	TGRA4、TGRB4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA5、TIOCB5	入出力	TGRA5、TGRB5のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA6、TIOCB6 TIOCC6、TIOCD6	入出力	TGRA6～TGRD6のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA7、TIOCB7	入出力	TGRA7、TGRB7のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA8、TIOCB8	入出力	TGRA8、TGRB8のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA9、TIOCB9 TIOCC9、TIOCD9	入出力	TGRA9～TGRD9のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA10、TIOCB10	入出力	TGRA10、TGRB10のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA11、TIOCB11	入出力	TGRA11、TGRB11のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TCLKA-A/TCLKA-B TCLKB-A/TCLKB-B TCLKC-A/TCLKC-B TCLKD-A/TCLKD-B TCLKE、TCLKF TCLKG、TCLKH	入力	外部クロックを入力
プログラマブル パルスジェネレータ	PO0～PO31	出力	パルス出力端子
8ビットタイマ	TMO0～TMO3	出力	コンペアマッチ出力端子
	TMCI0～TMCI3	入力	カウンタに入力する外部クロックの入力端子
	TMRI0～TMRI3	入力	カウンタリセット入力端子
ウォッチドッグタイマ	WDTOVF#	出力	ウォッチドッグタイマモード時のカウンタオーバフロー信号出力端子
シリアルコミュニケーションインタフェース	TxD0、TxD1、TxD2、 TxD3、TxD4、TxD5、 TxD6	出力	送信データ出力端子
	RxD0、RxD1、RxD2、 RxD3、RxD4、RxD5、 RxD6	入力	受信データ入力端子
	SCK0、SCK1、SCK2、 SCK3、SCK4、SCK5、 SCK6	入出力	クロック入出力端子
I ² Cバスインタフェース	SCL0、SCL1	入出力	RIICのクロック入出力端子。NMOSオープンドレイン出力でバスを直接駆動できます
	SDA0、SDA1	入出力	RIICのデータ入出力端子。NMOSオープンドレイン出力でバスを直接駆動できます

表 1.5 端子機能一覧表 (4 / 4)

分類	端子名	入出力	機能
A/Dコンバータ	AN0～AN15	入力	A/Dコンバータのアナログ入力端子
	ADTRG0#～ADTRG3#	入力	A/D変換開始のための外部トリガ入力端子
D/Aコンバータ	DA0、DA1	出力	D/Aコンバータのアナログ出力端子
アナログ電源	AVCC	入力	A/DコンバータおよびD/Aコンバータのアナログ電源端子。A/DコンバータおよびD/Aコンバータを使用しない場合は、システムの電源に接続してください
	AVSS	入力	A/DコンバータおよびD/Aコンバータのグランド端子。システムの電源（0V）に接続してください
	VREFH	入力	A/DコンバータおよびD/Aコンバータの基準電源端子。A/DコンバータおよびD/Aコンバータを使用しない場合は、システムの電源に接続してください
	VREFL	入力	A/DコンバータおよびD/Aコンバータの基準グランド端子です。アナログ基準電源（0V）に接続してください。また、A/DコンバータおよびD/Aコンバータを使用しない場合は、システムの電源（0V）に接続してください。詳細は「23.6.7 アナログ電源端子他の設定範囲」を参照してください
I/Oポート	P00～P05	入出力	6ビットの入出力端子
	P10～P17	入出力	8ビットの入出力端子
	P20～P27	入出力	8ビットの入出力端子
	P30～P37	入出力	8ビットの入出力端子
	P40～P47	入出力	8ビットの入出力端子
	P50～P57	入出力	8ビットの入出力端子（P53は入力専用）
	P60～P67	入出力	8ビットの入出力端子
	P70～P77	入出力	8ビットの入出力端子
	P80～P86	入出力	7ビットの入出力端子
	P90～P97	入出力	8ビットの入出力端子
	PA0～PA7	入出力	8ビットの入出力端子
	PB0～PB7	入出力	8ビットの入出力端子
	PC0～PC7	入出力	8ビットの入出力端子
	PD0～PD7	入出力	8ビットの入出力端子
	PE0～PE7	入出力	8ビットの入出力端子
	PF0～PF6	入出力	7ビットの入出力端子
	PG0～PG7	入出力	8ビットの入出力端子
PH0～PH7	入出力	8ビットの入出力端子	

注1. A0端子とBC0#端子は兼用しており、領域ごとにバイトライトモード時はA0端子、1ライトストロブモード時はBC0#端子が有効になります。1ライトストロブモード時は8ビット外部バス幅の設定は禁止しています。その他の兼用端子については、「14. I/Oポート」を参照してください。

注2. BC0#、BC1#信号は、リード/ライトアクセスとも有効です。

2. CPU

RX610 グループは、RX CPU を搭載するプロセッサです。

RX CPU は、可変長命令形式を採用しています。使用頻度の高い命令をより短い命令長に割り付けており、少ないメモリ容量で効率の良いプログラムを開発できます。

73 種類の基本命令、8 種類の浮動小数点演算命令、9 種類の DSP 機能命令の合計 90 種類の命令と、10 種類のアドレッシングモードを持ち、レジスター-レジスタ間、レジスター-メモリ間、即値-レジスタ、即値-メモリの演算をはじめ、ビット操作、メモリー-メモリ間の転送を行います。レジスタ間演算命令だけでなく、いくつかの複合命令を 1 クロックで実行することで、高速な演算処理を実現しました。乗算器、除算器を内蔵していますので、高速な乗算処理、除算処理を行うことができます。

RX CPU は、命令フェッチ、デコード、実行、メモリアクセス、ライトバックの 5 ステージのパイプライン処理により、命令を処理します。メモリアクセスによりパイプラインが伸びた場合にも、後続の演算が先に実行される場合があります。RX CPU は、このようなアウトオブオーダーの採用により、クロックサイクル数を無駄にしない命令実行制御を行います。

2.1 特長

- 最小命令実行時間：1 命令 1 クロックで実行
- アドレス空間：4G バイト・リニアアドレス
- CPU レジスタセット
 - 汎用レジスタ：32 ビット×16 本
 - 制御レジスタ：32 ビット×9 本
 - アキュムレータ：64 ビット×1 本
- 基本命令：73 種類（算術 / 論理命令、転送命令、分岐命令、ビット操作命令、ストリング操作命令、システム操作命令）
 - 分岐距離に応じた相対分岐命令
 - 可変長命令形式（1 バイト長～8 バイト長）
 - 頻出命令に短縮フォーマットを用意
- 浮動小数点演算命令：8 種類
- DSP 機能命令：9 種類
 - 16 ビット×16 ビットの乗算、積和命令に対応
 - アキュムレータの丸め命令に対応
- アドレッシングモード：10 種類
- 5 段パイプライン
 - アウトオブオーダーの採用
- プロセッサモード
 - スーパバイザモード、ユーザモード
- 浮動小数点演算ユニット
 - 単精度浮動小数点数（32 ビット）に対応
 - IEEE754 に準拠したデータタイプ、および例外に対応
- データ配置
 - リトルエンディアン / ビッグエンディアン選択可能

2.2 CPU レジスタセット

RX CPU のレジスタには、汎用レジスタ（16本）と、制御レジスタ（9本）、およびDSP機能命令で使用するアキュムレータ（1本）があります。

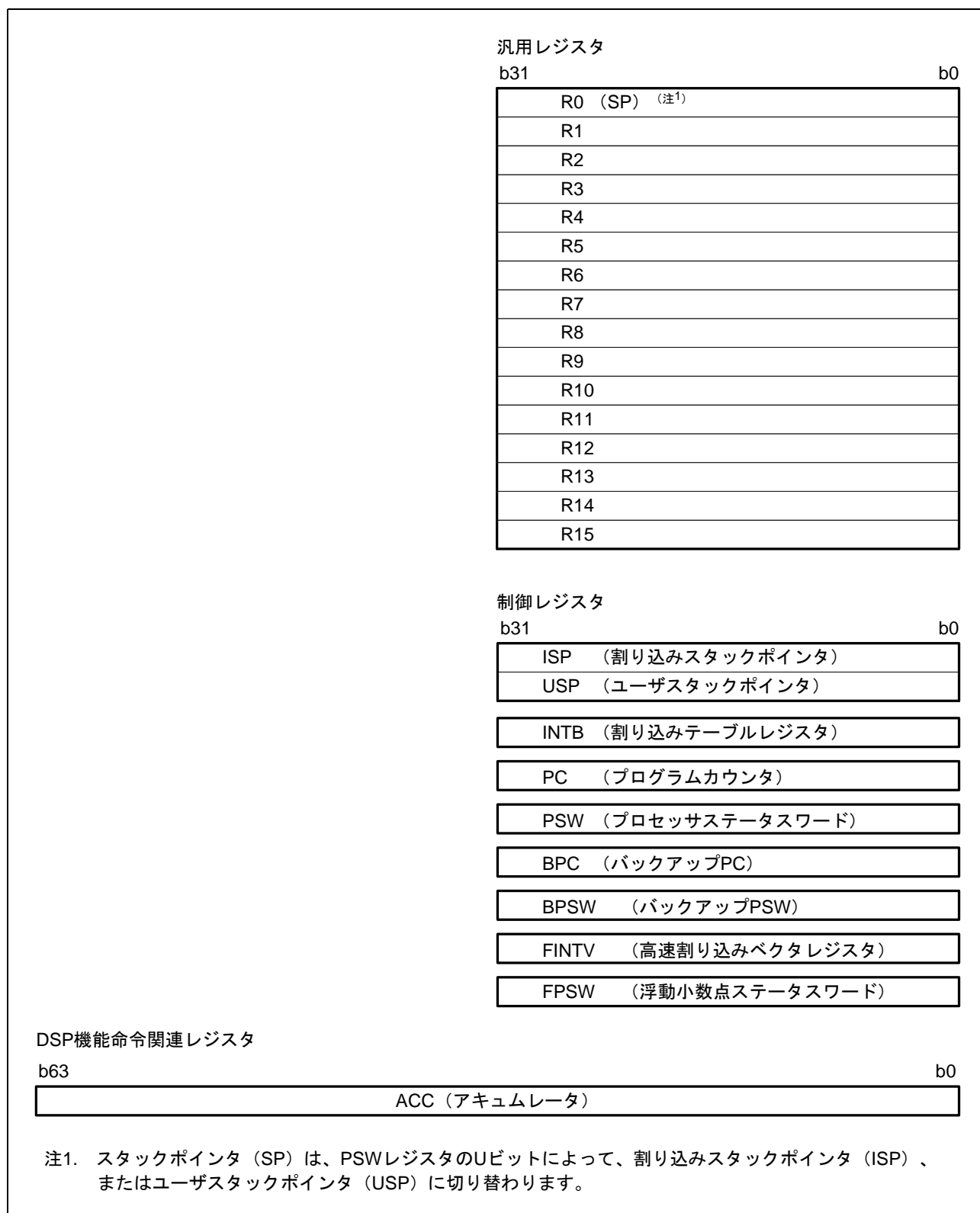


図 2.1 CPU レジスタセット

2.2.1 汎用レジスタ (R0 ~ R15)

汎用レジスタは、16本 (R0 ~ R15) あります。汎用レジスタ R0 ~ R15 は、データレジスタやアドレスレジスタとして使用します。

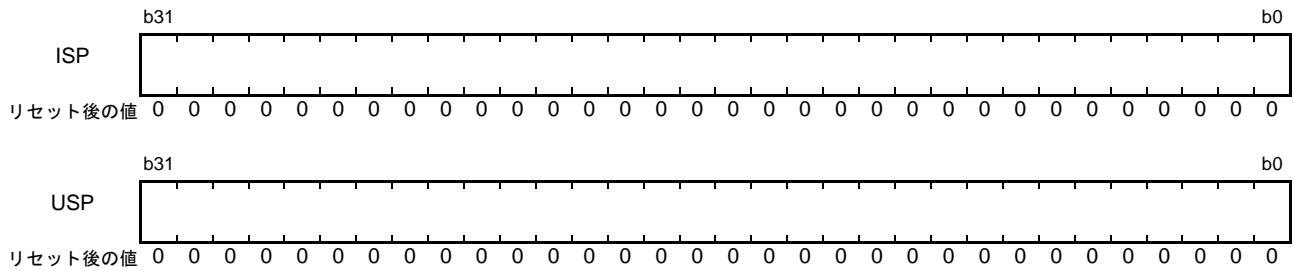
汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

2.2.2 制御レジスタ

制御レジスタには、以下の9本のレジスタがあります。

- 割り込みスタックポインタ (ISP)
- ユーザスタックポインタ (USP)
- 割り込みテーブルレジスタ (INTB)
- プログラムカウンタ (PC)
- プロセッサステータスワード (PSW)
- バックアップ PC (BPC)
- バックアップ PSW (BPSW)
- 高速割り込みベクタレジスタ (FINTV)
- 浮動小数点ステータスワード (FPSW)

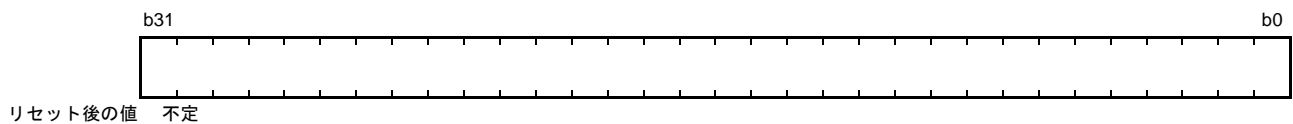
2.2.2.1 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)



スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の 2 種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。

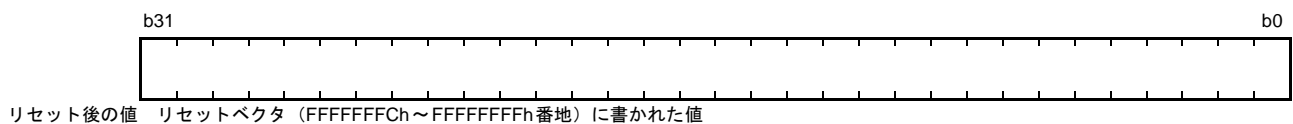
ISP、USPに4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

2.2.2.2 割り込みテーブルレジスタ (INTB)



割り込みテーブルレジスタ (INTB) には、可変ベクタテーブルの先頭番地を設定してください。

2.2.2.3 プログラムカウンタ (PC)



プログラムカウンタ (PC) は、実行中の命令の番地を示します。

2.2.2.4 プロセッサステータスワード (PSW)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	IPL[2:0] (注1)		—	—	—	PM	—	—	U	I	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	O	S	Z	C	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注1. RX610グループではMVTIPL命令はサポートされていません。
PSW.IPL[2:0]ビットへの書き込みには、MVTC命令を使用してください。

ビット	シンボル	ビット名	機能	R/W
b0	C	キャリーフラグ	0: キャリーの発生なし 1: キャリーの発生あり	R/W
b1	Z	ゼロフラグ	0: 演算結果は0でなかった 1: 演算結果は0であった	R/W
b2	S	サインフラグ	0: 演算結果は正または0であった 1: 演算結果は負であった	R/W
b3	O	オーバフローフラグ	0: オーバフローの発生なし 1: オーバフローの発生あり	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	I (注1)	割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	R/W
b17	U (注1)	スタックポインタ指定ビット	0: 割り込みスタックポインタ (ISP) を指定 1: ユーザスタックポインタ (USP) を指定	R/W
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b20	PM (注1、注2、注3)	プロセッサモード設定ビット	0: スーパーバイザモードに設定 1: ユーザモードに設定	R/W
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26-b24	IPL[2:0] (注1、注4)	プロセッサ割り込み優先レベル	b26 b24 0 0 0: 優先レベル0 (最低) 0 0 1: 優先レベル1 0 1 0: 優先レベル2 0 1 1: 優先レベル3 1 0 0: 優先レベル4 1 0 1: 優先レベル5 1 1 0: 優先レベル6 1 1 1: 優先レベル7 (最高)	R/W
b31-b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注1. ユーザモードのときは、MVTC、POPC命令によるIPL[2:0]、PM、U、Iビットへの書き込みは無視されます。
注2. スーパーバイザモードのときは、MVTC、POPC命令によるPMビットへの書き込みは無視されます。それ以外のビットへの書き込みはできます。
注3. スーパーバイザモードからユーザモードに切り替える場合は、スタックに退避されたPSW.PMビットを“1”にした後、RTE命令を実行するか、BPSW.PMビットを“1”にした後、RTFI命令を実行してください。
注4. RX610グループではMVTIPL命令はサポートされていません。PSW.IPL[2:0]ビットへの書き込みには、MVTC命令を使用してください。

プロセッサステータスワード (PSW) は、命令実行の結果や、CPU の状態を示します。

C フラグ (キャリーフラグ)

演算結果にキャリー、ボロー、シフトアウトが発生したことを示します。

Z フラグ (ゼロフラグ)

演算結果が 0 であったことを示します。

S フラグ (サインフラグ)

演算結果が負であったことを示します。

O フラグ (オーバフローフラグ)

演算中にオーバフローしたことを示します。

I ビット (割り込み許可ビット)

割り込み要求の受け付けを許可するビットです。例外を受け付けると、このビットは“0”になります。

U ビット (スタックポインタ指定ビット)

使用するスタックポインタ (ISP/USP) を指定するビットです。例外を受け付けると、このビットは“0”になります。スーパーバイザモードからユーザモードに移行すると、このビットは“1”になります。

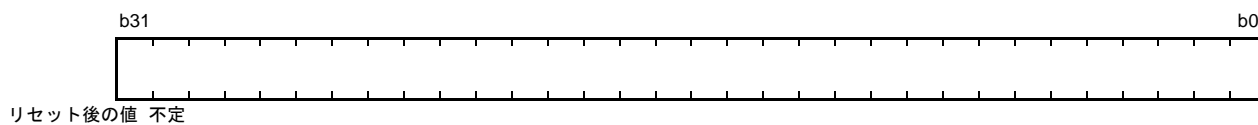
PM ビット (プロセッサモード設定ビット)

プロセッサモードを設定するビットです。例外を受け付けると、このビットは“0”になります。

IPL[2:0] ビット (プロセッサ割り込み優先レベル)

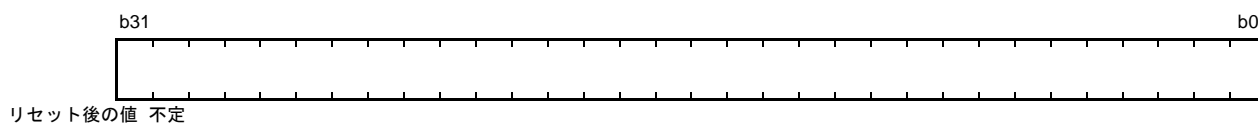
IPL[2:0] ビットは、優先レベル 0 (最低) ~ 優先レベル 7 (最高) までの 8 段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベルより高い場合、その割り込みが許可されます。IPL[2:0] ビットをレベル 7 (111b) に設定したとき、すべての割り込みが禁止されます。IPL[2:0] ビットは、ノンマスカブル割り込みが発生したとき、レベル 7 (111b) になります。割り込みが発生したとき、受け付けた割り込みの優先レベルになります。

2.2.2.5 バックアップ PC (BPC)



バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避されます。

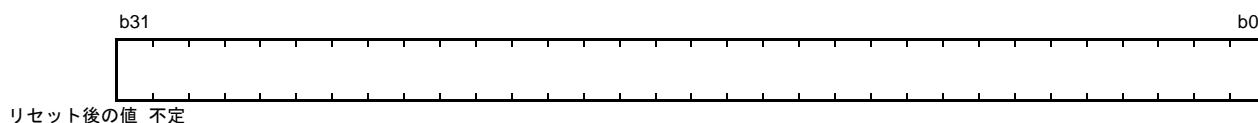
2.2.2.6 バックアップ PSW (BPSW)



バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避されます。BPSW のビットの割り当ては、PSW に対応しています。

2.2.2.7 高速割り込みベクタレジスタ (FINTV)



高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込み発生時の分岐先番地を設定してください。

2.2.2.8 浮動小数点ステータスワード (FPSW)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FS	FX	FU	FZ	FO	FV	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	EX	EU	EZ	EO	EV	—	DN	CE	CX	CU	CZ	CO	CV	RM[1:0]	—
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	RM[1:0]	浮動小数点丸めモード設定ビット	b1 b0 0 0 : 最近値への丸め 0 1 : 0方向への丸め 1 0 : +∞方向への丸め 1 1 : -∞方向への丸め	R/W
b2	CV	無効演算要因フラグ	0 : 無効演算の発生なし 1 : 無効演算の発生あり	R/(W) (注1)
b3	CO	オーバフロー要因フラグ	0 : オーバフローの発生なし 1 : オーバフローの発生あり	R/(W) (注1)
b4	CZ	ゼロ除算要因フラグ	0 : ゼロ除算の発生なし 1 : ゼロ除算の発生あり	R/(W) (注1)
b5	CU	アンダフロー要因フラグ	0 : アンダフローの発生なし 1 : アンダフローの発生あり	R/(W) (注1)
b6	CX	精度異常要因フラグ	0 : 精度異常の発生なし 1 : 精度異常の発生あり	R/(W) (注1)
b7	CE	非実装処理要因フラグ	0 : 非実装処理の発生なし 1 : 非実装処理の発生あり	R/(W) (注1)
b8	DN	非正規化数の0フラッシュビット	0 : 非正規化数を非正規化数として扱う 1 : 非正規化数を0として扱う (注2)	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	EV	無効演算例外処理許可ビット	0 : 無効演算発生による例外処理を禁止 1 : 無効演算発生による例外処理を許可	R/W
b11	EO	オーバフロー例外処理許可ビット	0 : オーバフロー発生による例外処理を禁止 1 : オーバフロー発生による例外処理を許可	R/W
b12	EZ	ゼロ除算例外処理許可ビット	0 : ゼロ除算発生による例外処理を禁止 1 : ゼロ除算発生による例外処理を許可	R/W
b13	EU	アンダフロー例外処理許可ビット	0 : アンダフロー発生による例外処理を禁止 1 : アンダフロー発生による例外処理を許可	R/W
b14	EX	精度異常例外処理許可ビット	0 : 精度異常発生による例外処理を禁止 1 : 精度異常発生による例外処理を許可	R/W
b25-b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26	FV (注3)	無効演算フラグ	0 : 無効演算の発生なし 1 : 無効演算の発生あり (注8)	R/W
b27	FO (注4)	オーバフローフラグ	0 : オーバフローの発生なし 1 : オーバフローの発生あり (注8)	R/W
b28	FZ (注5)	ゼロ除算フラグ	0 : ゼロ除算の発生なし 1 : ゼロ除算の発生あり (注8)	R/W
b29	FU (注6)	アンダフローフラグ	0 : アンダフローの発生なし 1 : アンダフローの発生あり (注8)	R/W

ビット	シンボル	ビット名	機能	R/W
b30	FX (注7)	精度異常フラグ	0 : 精度異常の発生なし 1 : 精度異常の発生あり (注8)	R/W
b31	FS	浮動小数点エラーサマリフラグ	FU、FZ、FO、FVフラグの論理和を反映	R

- 注1. “0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。
 注2. 正の非正規化数は+0、負の非正規化数は-0として扱います。
 注3. EVビットが“0”のときに、FVフラグは有効となります。
 注4. EOビットが“0”のときに、FOフラグは有効となります。
 注5. EZビットが“0”のときに、FZフラグは有効となります。
 注6. EUビットが“0”のときに、FUフラグは有効となります。
 注7. EXビットが“0”のときに、FXフラグは有効となります。
 注8. 当該ビットが一度“1”になると、ソフトウェアで“0”にするまで“1”を保持します。

浮動小数点ステータスワード (FPSW) は、浮動小数点演算結果を示します。

例外処理許可ビット E_j で例外処理を許可 (E_j=“1”) した場合は、例外処理ルーチンで該当する C_j フラグをチェックし例外発生の要因を判断することができます。例外処理を禁止 (E_j=“0”) した場合は、一連の処理の最後に F_j フラグをチェックし例外発生の有無を確認することができます。F_j フラグは蓄積フラグです。(j=X、U、Z、O、V)

RM[1:0] ビット (浮動小数点丸めモード設定ビット)

浮動小数点丸めモードを設定します。

【浮動小数点丸めモードの説明】

- 最近値への丸め (デフォルト) : 無限の有効桁を持つとして計算した場合の結果と近い方の値へ丸める
中間時は結果が偶数になる方向へ丸める
- 0 方向への丸め : 結果の絶対値が小さくなる方向へ丸める (単純な切り捨て)
- +∞ 8 方向への丸め : 結果の値が大きくなる方向へ丸める
- ∞ 方向への丸め : 結果の値が小さくなる方向へ丸める

(1)「最近値への丸め」はデフォルトのモードであり、最も正確な値を返します。

(2)「0 方向への丸め」、「+∞ 方向への丸め」、「-∞ 方向への丸め」は、区間演算 (Interval arithmetic) を使用した精度保証を行うときに使用します。

CV フラグ (無効演算要因フラグ)、CO フラグ (オーバフロー要因フラグ)

CZ フラグ (ゼロ除算要因フラグ)、CU フラグ (アンダフロー要因フラグ)

CX フラグ (精度異常要因フラグ)、CE フラグ (非実装処理要因フラグ)

IEEE754 規格で規定された 5 つの例外 (オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算) の他、非実装処理が発生した場合に該当するフラグが“1”になります。

- “1”の場合、FPU 演算命令実行時に“0”になります。
- MVTC、POPC 命令で“0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。

DN ビット (非正規化数の 0 フラッシュビット)

“0”のとき非正規化数を非正規化数として扱います。“1”のとき非正規化数を 0 として扱います。

EV ビット (無効演算例外処理許可ビット)、EO ビット (オーバフロー例外処理許可ビット)

EZ ビット (ゼロ除算例外処理許可ビット)、EU ビット (アンダフロー例外処理許可ビット)

EX ビット (精度異常例外処理許可ビット)

FPU 演算命令実行により、IEEE754 規格で規定された 5 つの例外が発生したときに、CPU が例外処理に移行するかどうかを制御します。

“0” の場合、例外処理は禁止されます。“1” の場合、例外処理が許可されます。

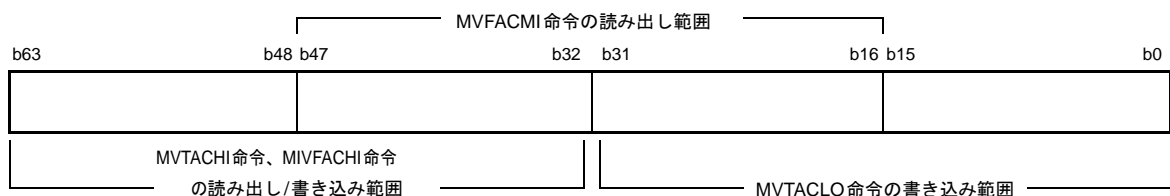
FV フラグ (無効演算フラグ)、FO フラグ (オーバフローフラグ)、FZ フラグ (ゼロ除算フラグ)**FU フラグ (アンダフローフラグ)、FX フラグ (精度異常フラグ)**

例外処理許可ビット E_j が “0” (例外処理を禁止) の場合、IEEE754 規格で規定された 5 つの例外が発生すると、該当するフラグが “1” になります。

- E_j = “1” (例外処理を許可) のときは、このフラグは動きません。
- 当該フラグが “1” になると、ソフトウェアで “0” にするまで “1” を保持します。(蓄積フラグ)

FS フラグ (浮動小数点エラーサマリフラグ)

FU、FZ、FO、FV フラグの論理和を反映します。

2.2.2.9 アキュムレータ (ACC)

リセット後の値 不定

アキュムレータ (ACC) は、64 ビットのレジスタです。DSP 機能命令で使用されます。また、ACC は乗算命令 (EMUL、EMULU、FMUL、MUL)、積和演算命令 (RMPA) でも使用され、これらの命令実行の際は ACC の値が変更されます。

ACC への書き込みには、MVTACHI 命令と MVTACLO 命令を使用します。MVTACHI 命令は上位側 32 ビット (b63 ~ b32) に、MVTACLO 命令は下位側 32 ビット (b31 ~ b0) にデータを書きます。

読み出しには MVFACHI 命令、MVFACMI 命令を使用します。MVFACHI 命令で上位側 32 ビット (b63 ~ b32)、MVFACMI 命令で中央の 32 ビット (b47 ~ b16) のデータをそれぞれ読みます。

2.3 プロセッサモード

RX CPUには、スーパーバイザモード、およびユーザモードの2つのプロセッサモードがあります。プロセッサモードを使用して、CPU リソースに対する階層的な保護機構を実現することができます。

各プロセッサモードには、実行可能な命令、アクセス可能な CPU リソースに対する権限を規定しており、スーパーバイザモードはユーザモードより高い権限を持っています。

リセット後は、スーパーバイザモードで動作します。

2.3.1 スーパーバイザモード

スーパーバイザモードでは、すべての CPU リソースにアクセスすることができ、また、すべての命令を実行することができます。ただし、MVTC、POPC 命令によるプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) への書き込みは無視されます。PM ビットへの書き込み方法については、「2.2.2.4 プロセッサステータスワード (PSW)」を参照してください。

2.3.2 ユーザモード

ユーザモードでは、一部の CPU リソースへのライトアクセスが制限されます。ライトアクセスが制限される CPU リソースは以下のとおりです。この制限はすべての命令からのアクセスが対象になります。

- プロセッサステータスワード (PSW) の一部のビット (IPL[2:0]、PM、U、I)
- 割り込みスタックポインタ (ISP)
- 割り込みテーブルレジスタ (INTB)
- バックアップ PSW (BPSW)
- バックアップ PC (BPC)
- 高速割り込みベクタレジスタ (FINTV)

2.3.3 特権命令

特権命令は、スーパーバイザモードでのみ実行可能な命令です。ユーザモードで特権命令を実行すると、特権命令例外が発生します。特権命令には、RTFI、RTE、WAIT 命令があります。

2.3.4 プロセッサモード間の移行

プロセッサモードは、プロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) によって切り替えられます。ただし、MVTC、POPC 命令による PM ビットの書き換えは無効です。以下に示す方法で切り替えてください。

(1) ユーザモードからスーパーバイザモードへの移行

例外が発生すると PSW の PM ビットが“0”になり、CPU はスーパーバイザモードへ移行します。ハードウェア前処理は、スーパーバイザモードで実行されます。例外が発生する直前のプロセッサモードは、退避された PSW の PM ビットに保持されます。

(2) スーパーバイザモードからユーザモードへの移行

スタック上に退避されている PSW の PM ビットが“1”のとき RTE 命令を実行する、あるいはバックアップ PSW (BPSW) に退避されている PSW の PM ビットが“1”のとき RTFI 命令を実行することにより、ユーザモードへ移行します。ユーザモードへ移行すると、PSW のスタックポインタ指定ビット (U) が“1”になります。

2.4 データタイプ

RX CPU は、整数、浮動小数点数、ビット、stringの4種類のデータを扱うことができます。

2.4.1 整数

整数には、符号付きと、符号なしがあります。符号付き整数の負の値は、2の補数で表現します。

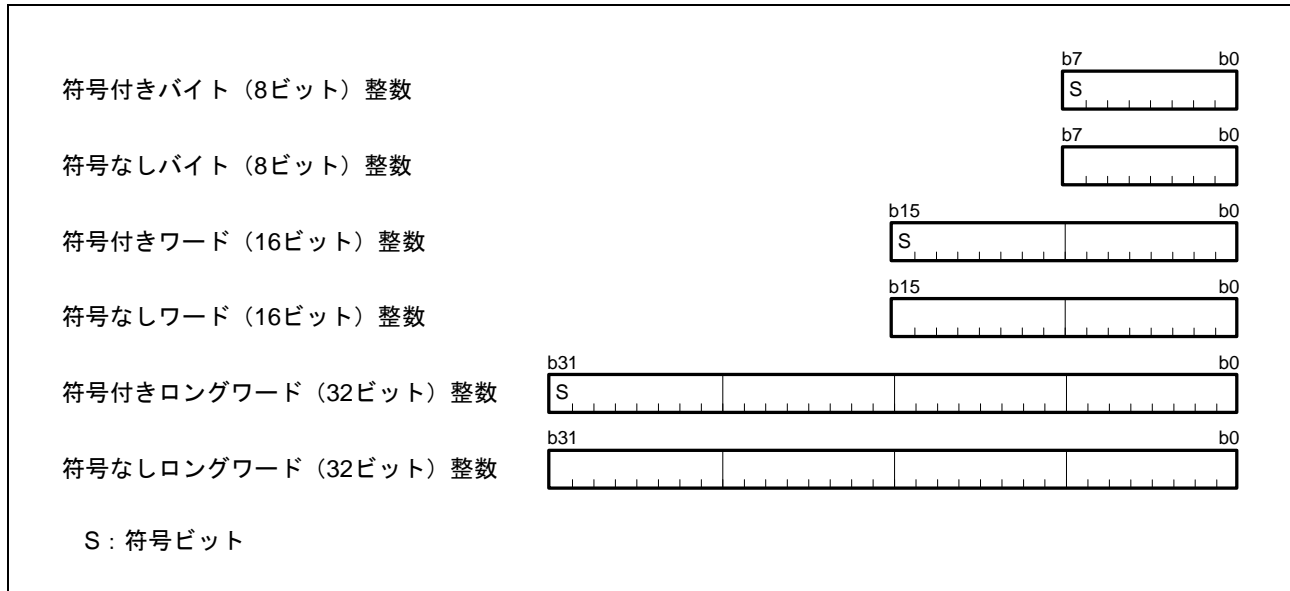


図 2.2 整数

2.4.2 浮動小数点数

浮動小数点数は、IEEE754 で規定されている単精度浮動小数点数に対応しています。浮動小数点数は、浮動小数点演算命令 FADD、FCMP、FDIV、FMUL、FSUB、FTOI、ITOF、ROUND の8種類の命令で使用できます。

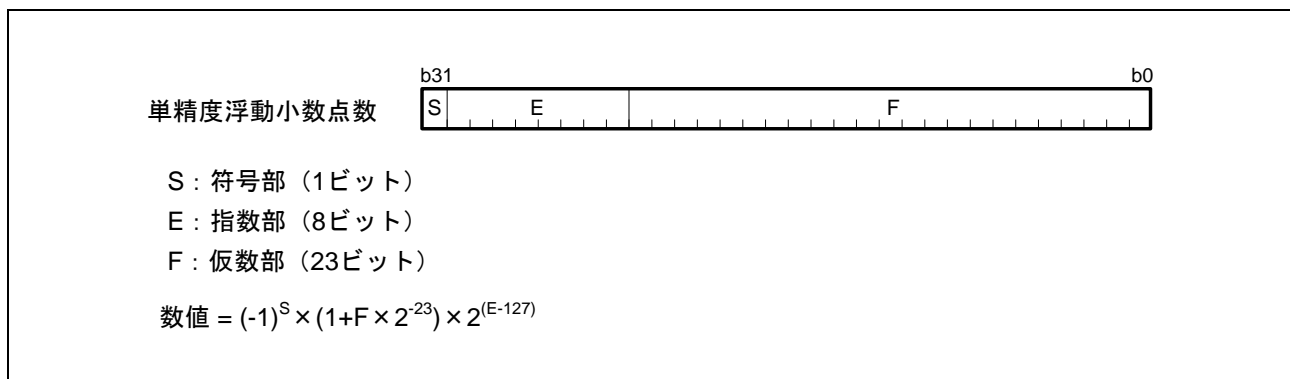


図 2.3 浮動小数点数

浮動小数点数は、以下の数値をサポートしています。

- $0 < E < 255$ （正規化数 - Normal Numbers）
- $E = 0$ かつ $F = 0$ （ゼロ - Signed Zero）
- $E = 0$ かつ $F > 0$ （非正規化数 - Subnormal Numbers）

注 1. FPSW.DN ビットが“1”のときは、0として扱います。DN ビットが“0”のときは、非実装処理が発生します。

- $E = 255$ かつ $F = 0$ （無限大 - Infinity）
- $E = 255$ かつ $F > 0$ （非数 - NaN : Not a Number）

2.4.3 ビット

ビットは、ビット操作命令 **BCLR**、**BMCnd**、**BNOT**、**BSET**、**BTST** の 5 種類の命令で使用できます。

レジスタのビットは、対象とするレジスタと、31 ~ 0 のビット番号で指定します。

メモリのビットは、対象とするアドレスと、7 ~ 0 のビット番号で指定します。アドレス指定に使用できるアドレッシングモードは、レジスタ間接、レジスタ相対の 2 種類です。

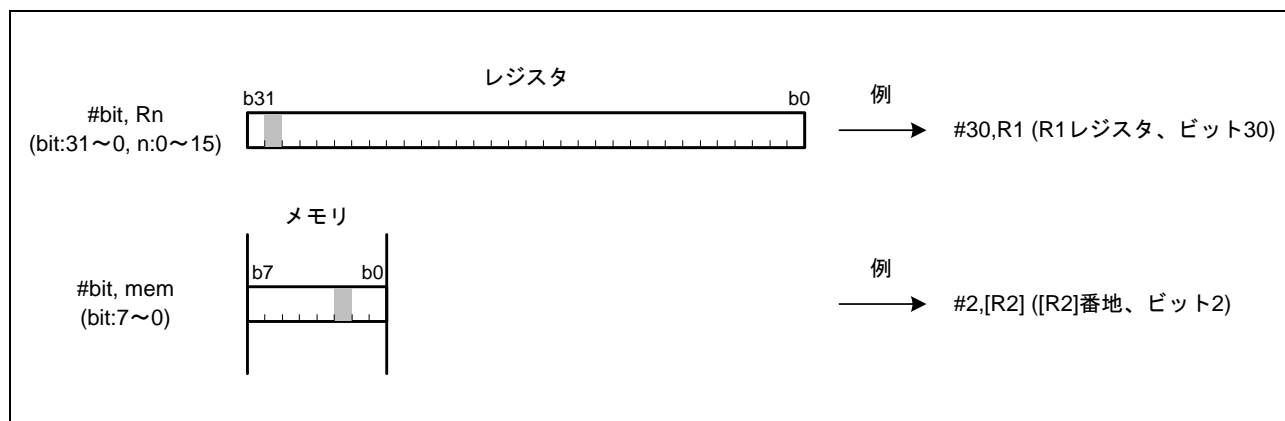


図 2.4 ビット

2.4.4 ストリング

ストリングとは、バイト (8 ビット)、ワード (16 ビット)、またはロングワード (32 ビット) のデータを任意の数だけ連続して並べたデータタイプです。ストリングは、ストリング操作命令 **SCMPU**、**SMOVB**、**SMOVF**、**SMOVU**、**SSTR**、**SUNTIL**、**SWHILE** の 7 種類の命令で使用できます。

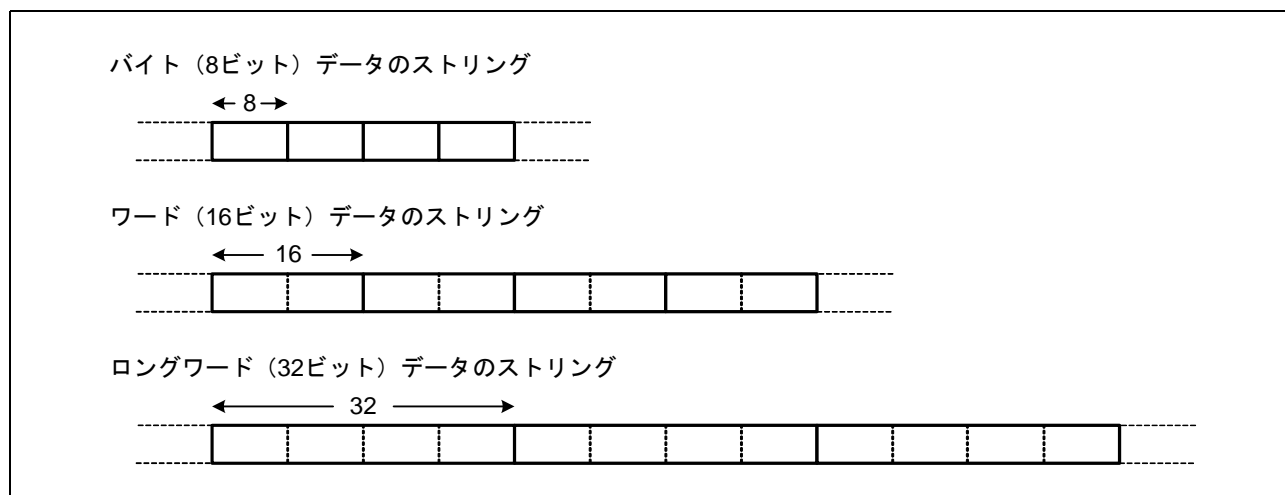


図 2.5 ストリング

2.5 エンディアン

データ配置は、リトルエンディアンとビッグエンディアンから選択できます。

2.5.1 エンディアンの切り替え

RX610 グループでは、バイトデータの並び方を、上位バイト (MSB) が 0 番地になるビッグエンディアン、下位バイト (LSB) が 0 番地になるリトルエンディアンのいずれも使用できます。

エンディアンの切り替えは、モード端子 (MDE) で行ないます。モード端子の設定については、「3. 動作モード」を参照してください。

命令によって 8/16/32 ビットアクセスが選択され、リトルエンディアン、ビッグエンディアンの設定によってアクセス動作が異なります。それぞれのアクセス動作を表 2.1 ~ 表 2.12 に示します。

表中の

LL は、汎用レジスタの D7 ~ D0

LH は、汎用レジスタの D15 ~ D8

HL は、汎用レジスタの D23 ~ D16

HH は、汎用レジスタの D31 ~ D24 を示します。

	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0
汎用レジスタ Rm	HH	HL	LH	LL

表 2.1 リトルエンディアン設定時の 32 ビットリード動作

動作 src 番地	0 番地を 32 ビット でリード	1 番地を 32 ビットで リード	2 番地を 32 ビットで リード	3 番地を 32 ビットで リード	4 番地を 32 ビットで リード
0 番地	LL に転送	—	—	—	—
1 番地	LH に転送	LL に転送	—	—	—
2 番地	HL に転送	LH に転送	LL に転送	—	—
3 番地	HH に転送	HL に転送	LH に転送	LL に転送	—
4 番地	—	HH に転送	HL に転送	LH に転送	LL に転送
5 番地	—	—	HH に転送	HL に転送	LH に転送
6 番地	—	—	—	HH に転送	HL に転送
7 番地	—	—	—	—	HH に転送

表 2.2 ビッグエンディアン設定時の 32 ビットリード動作

動作 src 番地	0 番地を 32 ビットで リード	1 番地を 32 ビットで リード	2 番地を 32 ビットで リード	3 番地を 32 ビットで リード	4 番地を 32 ビットで リード
0 番地	HH に転送	—	—	—	—
1 番地	HL に転送	HH に転送	—	—	—
2 番地	LH に転送	HL に転送	HH に転送	—	—
3 番地	LL に転送	LH に転送	HL に転送	HH に転送	—
4 番地	—	LL に転送	LH に転送	HL に転送	HH に転送
5 番地	—	—	LL に転送	LH に転送	HL に転送
6 番地	—	—	—	LL に転送	LH に転送
7 番地	—	—	—	—	LL に転送

表2.3 リトルエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットで ライト	1番地に 32ビットで ライト	2番地に 32ビットで ライト	3番地に 32ビットで ライト	4番地に 32ビットで ライト
0番地	LLを転送	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—
2番地	HLを転送	LHを転送	LLを転送	—	—
3番地	HHを転送	HLを転送	LHを転送	LLを転送	—
4番地	—	HHを転送	HLを転送	LHを転送	LLを転送
5番地	—	—	HHを転送	HLを転送	LHを転送
6番地	—	—	—	HHを転送	HLを転送
7番地	—	—	—	—	HHを転送

表2.4 ビッグエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットで ライト	1番地に 32ビットで ライト	2番地に 32ビットで ライト	3番地に 32ビットで ライト	4番地に 32ビットで ライト
0番地	HHを転送	—	—	—	—
1番地	HLを転送	HHを転送	—	—	—
2番地	LHを転送	HLを転送	HHを転送	—	—
3番地	LLを転送	LHを転送	HLを転送	HHを転送	—
4番地	—	LLを転送	LHを転送	HLを転送	HHを転送
5番地	—	—	LLを転送	LHを転送	HLを転送
6番地	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	LLを転送

表2.5 リトルエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LLに転送	—	—	—	—	—	—
1番地	LHに転送	LLに転送	—	—	—	—	—
2番地	—	LHに転送	LLに転送	—	—	—	—
3番地	—	—	LHに転送	LLに転送	—	—	—
4番地	—	—	—	LHに転送	LLに転送	—	—
5番地	—	—	—	—	LHに転送	LLに転送	—
6番地	—	—	—	—	—	LHに転送	LLに転送
7番地	—	—	—	—	—	—	LHに転送

表2.6 ビッグエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LHに転送	—	—	—	—	—	—
1番地	LLに転送	LHに転送	—	—	—	—	—
2番地	—	LLに転送	LHに転送	—	—	—	—
3番地	—	—	LLに転送	LHに転送	—	—	—
4番地	—	—	—	LLに転送	LHに転送	—	—
5番地	—	—	—	—	LLに転送	LHに転送	—
6番地	—	—	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	—	—	LLに転送

表2.7 リトルエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LLを転送	—	—	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—	—	—
2番地	—	LHを転送	LLを転送	—	—	—	—
3番地	—	—	LHを転送	LLを転送	—	—	—
4番地	—	—	—	LHを転送	LLを転送	—	—
5番地	—	—	—	—	LHを転送	LLを転送	—
6番地	—	—	—	—	—	LHを転送	LLを転送
7番地	—	—	—	—	—	—	LHを転送

表2.8 ビッグエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LHを転送	—	—	—	—	—	—
1番地	LLを転送	LHを転送	—	—	—	—	—
2番地	—	LLを転送	LHを転送	—	—	—	—
3番地	—	—	LLを転送	LHを転送	—	—	—
4番地	—	—	—	LLを転送	LHを転送	—	—
5番地	—	—	—	—	LLを転送	LHを転送	—
6番地	—	—	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	—	—	LLを転送

表2.9 リトルエンディアン設定時の8ビットリード動作

動作 src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.10 ビッグエンディアン設定時の8ビットリード動作

動作 src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.11 リトルエンディアン設定時の8ビットライト動作

動作 dest番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

表2.12 ビッグエンディアン設定時の8ビットライト動作

動作 dest番地	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

2.5.2 I/Oレジスタアクセス

I/OレジスタはMDE端子によるビッグエンディアン、リトルエンディアン設定に関わらず、固定アドレスに配置されています。したがってI/Oレジスタへのアクセスは、エンディアン変更の影響を受けません。I/Oレジスタの配置については、各章のレジスタの説明を参照してください。

2.5.3 I/Oレジスタアクセスの注意事項

I/Oレジスタは、以下の規則に従ってアクセスしてください。

- 8ビットバス幅指定のI/Oレジスタは、8ビットバス幅の命令を使用してください。
- 16ビットバス幅指定のI/Oレジスタは、16ビットバス幅の命令を使用してください。
- 32ビットバス幅指定のI/Oレジスタは、32ビットバス幅の命令を使用してください。

2.6 ベクタテーブル

ベクタテーブルには、固定ベクタテーブルと可変ベクタテーブルがあります。ベクタテーブルは、1 ベクタあたり 4 バイトで構成されており、各ベクタには対応する例外処理ルーチンの先頭アドレスを設定します。

2.6.1 固定ベクタテーブル

固定ベクタテーブルは、テーブルの配置アドレスが固定されたベクタテーブルです。FFFFFF80h ~ FFFFFFFFh 番地に、特権命令例外、未定義命令例外、浮動小数点例外、ノンマスクابل割り込み、リセットの各ベクタを配置しています。図 2.8 に固定ベクタテーブルを示します。

	MSB	LSB
FFFFFF80h	(予約領域)	
:	:	
FFFFFFCCh	(予約領域)	
FFFFFFD0h	特権命令例外	
FFFFFFD4h	(予約領域)	
FFFFFFD8h	(予約領域)	
FFFFFFDCh	未定義命令例外	
FFFFFFE0h	(予約領域)	
FFFFFFE4h	浮動小数点例外	
FFFFFFE8h	(予約領域)	
FFFFFFECh	(予約領域)	
FFFFFFF0h	(予約領域)	
FFFFFFF4h	(予約領域)	
FFFFFFF8h	ノンマスクابل割り込み	
FFFFFFFCh	リセット	

図 2.8 固定ベクタテーブル

2.6.2 可変ベクタテーブル

可変ベクタテーブルは、テーブルの配置アドレスを変えることができるベクタテーブルです。割り込みテーブルレジスタ (INTB) の内容で示された値を先頭アドレス (IntBase) とする 1,024 バイトの領域に、無条件トラップ、割り込みの各ベクタを配置しています。図 2.9 に可変ベクタテーブルを示します。

可変ベクタテーブルには、ベクタごとに番号 (0 ~ 255) が付けられています。無条件トラップ発生要因の INT 命令では INT 命令番号 (0 ~ 255) に対応したベクタが、BRK 命令では番号 0 のベクタが割り当てられています。

また、割り込み要因では、製品ごとに決められたベクタ番号 (0 ~ 255) が割り当てられています。割り込みのベクタ番号については、「10.3.1 割り込みのベクタテーブル」を参照してください。

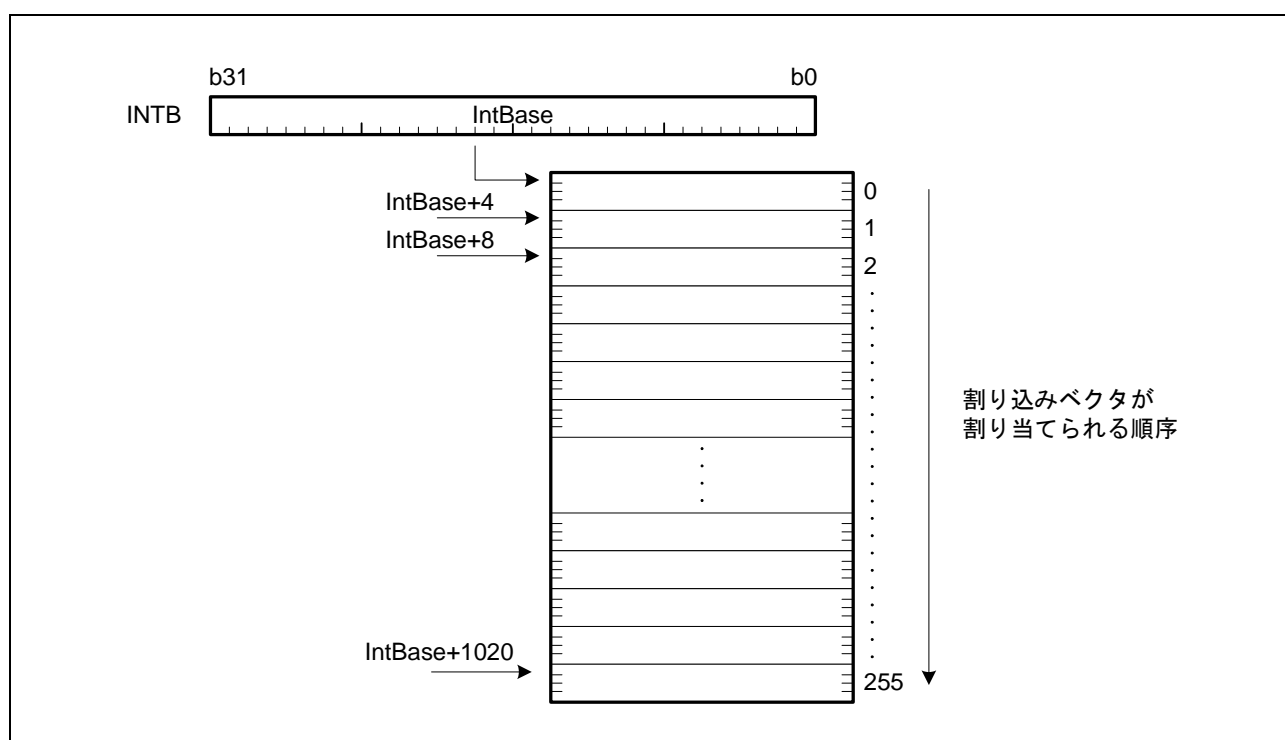


図 2.9 可変ベクタテーブル

2.7 命令動作

2.7.1 RMPA 命令、ストリング操作命令のデータプリフェッチ

RMPA 命令、およびストリング操作命令（SCMPU、SMOVB、SMOVF、SMOVU、SUNTIL、SWHILE。SSTR 命令は除く）は、メモリからのデータ読み出し処理を高速化するため、データプリフェッチを行う場合があります。データ読み出し位置に対して、最大で 3 バイト先までデータプリフェッチを行います。各命令のデータ読み出し位置は、以下のとおりです。

- RMPA 命令：R1 で指定される被乗数番地、および R2 で指定される乗数番地
- SCMPU 命令：R1 で指定される比較元番地、および R2 で指定される比較先番地
- SUNTIL、SWHILE 命令：R1 で指定される比較先番地
- SMOVB、SMOVF、SMOVU 命令：R2 で指定される転送元番地

2.8 パイプライン

2.8.1 概要

RX CPU は 5 段のパイプラインステージで構成されています。RX CPU の命令は、1 つまたは、複数のマイクロオペレーションに変換され、RX CPU はマイクロオペレーションをパイプライン処理します。パイプラインステージは、IF ステージは命令単位、D ステージ以降は、マイクロオペレーション単位で動作します。

以下にパイプラインの動作と各ステージの概要を示します。

(1) IF ステージ (命令フェッチステージ)

命令フェッチを行うステージです。メモリから命令をフェッチします。RX CPU は 8 バイト × 4 本の命令キューを備えており、D (デコード) ステージのデコード処理完了とは無関係に、命令キューがいっぱいになるまでフェッチを続けます。

(2) D ステージ (デコードステージ)

D ステージは命令のデコード処理 (DEC) を行い、命令をマイクロオペレーションに変換します。このステージでは、レジスタの読み出し (RF) を行い、先行する命令の演算結果を参照する処理の場合は、バイパス (BYP) を行います。バイパスにより、演算結果のレジスタへの書き込み (RW) と同時に、D ステージでのレジスタ参照が可能です。

(3) E ステージ (実行ステージ)

演算やアドレス計算など (OP) を行います。

(4) M ステージ (メモリアクセスステージ)

オペランドのメモリアクセス (OA1、OA2) を行います。メモリアクセス時のみ、このステージを使用します。このステージはさらに M1、M2 の 2 段のサブステージに分かれます。RX CPU では、M1、M2 の各ステージに 1 個のメモリアクセスが存在することができます。

- M1 ステージ (メモリアクセスステージ 1)

オペランドのメモリアクセス (OA1) を行います。

ストア動作時：ライト要求がバスに受け付けられると、パイプライン処理は終了します。

ロード動作時：リード要求がバスに受け付けられると、M2 ステージに進みます。要求受け付けとロードデータ到着が同時 (ノーウェイトのメモリアクセス) の場合は、WB ステージに進みます。

- M2 ステージ (メモリアクセスステージ 2)

オペランドのメモリアクセス (OA2) を行います。ロードデータの到着を待つステージです。ロードデータが到着すると、WB ステージに進みます。

(5) WB ステージ (ライトバックステージ)

演算結果やメモリから読み出したデータをレジスタに書きます (RW)。メモリからの読み出しデータとそれ以外の演算結果は同時 (同じサイクル) にレジスタへ書き込みができます。

図 2.10 にパイプライン構成とその動作を示します。

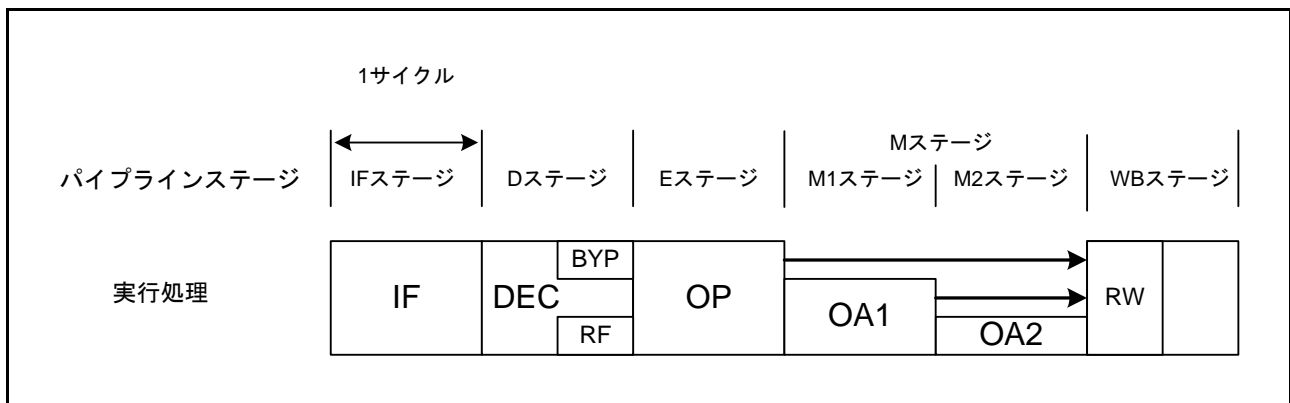


図 2.10 パイプライン構成と動作

2.8.2 命令とパイプライン処理

表中のオペランド表記は、以下に従います。

#IMM : 即値

Rs, Rs2, Rd, Rd2, Ri, Rb : 汎用レジスタ、CR : 制御レジスタ

dsp : dsp5, dsp8, dsp16, dsp24

pcdsp : pcdsp3, pcdsp8, pcdsp16, pcdsp24

2.8.2.1 単一のマイクロオペレーションに変換される命令とパイプライン処理

単一のマイクロオペレーションに変換される命令を以下に示します。サイクル数は、ノーウェイトメモリアクセス時のサイクル数を示します。

表2.13 単一マイクロオペレーションに変換される命令

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	参照図	サイクル数
算術/論理演算命令 (レジスタ間、即値-レジスタ) EMUL、EMULU、RMPA、DIV、 DIVUを除く	<ul style="list-style-type: none"> {ABS, ADC...(省略), XOR} "#IMM, Rd"/"Rd" /"Rs, Rd"/"Rs, Rs2, Rd" 	図2.11	1
算術/論理演算命令 (除算)	<ul style="list-style-type: none"> DIV "#IMM, Rd"/"Rs, Rd" 	図2.11	3~20 (注1)
	<ul style="list-style-type: none"> DIVU "#IMM, Rd"/"Rs, Rd" 	図2.11	2~18 (注1)
転送命令 (レジスタ間、即値-レジスタ)	<ul style="list-style-type: none"> {MOV, MOVU, REVL, REVW} "#IMM, Rd"/"Rs, Rd" SCCnd "Rd" {STNZ, STZ} "#IMM, Rd" 	図2.11	1
転送命令 (ロード動作)	<ul style="list-style-type: none"> {MOV, MOVU} "[Rs], Rd"/"dsp[Rs], Rd" /"[Rs+], Rd"/"[-Rs], Rd"/"Rs, [Ri, Rb]" • POP "Rd" 	図2.12	スループット : 1 レイテンシ : 2 (注2)
転送命令 (ストア動作)	<ul style="list-style-type: none"> MOV "Rs, [Rd]"/"Rs, dsp[Rd]"/"Rs, [Rd+]" /"Rs, [-Rd]"/"Rs, [Ri, Rb]" PUSH "Rs" PUSHC "CR" 	図2.13	1
ビット操作命令 (レジスタ)	<ul style="list-style-type: none"> {BCLR, BNOT, BSET, BTST} "#IMM, Rd"/"Rs, Rd" BMCnd "#IMM, Rd" 	図2.11	1
分岐命令	<ul style="list-style-type: none"> BCnd "pcdsp" {BRA, BSR} "pcdsp"/"Rs" {JMP, JSR} "Rs" 	図2.22	分岐成立 : 3 分岐不成立 : 1
浮動小数点演算命令 (レジスタ間、即値-レジスタ)	<ul style="list-style-type: none"> FCMP "#IMM, Rd"/"Rs, Rd" 	図2.11	1
システム制御命令	<ul style="list-style-type: none"> CLRPSW, SETPSW "#IMM" MVTC "#IMM, CR"/"Rs, CR" MVFC "CR, Rd" 	—	1

注1. 除算命令のサイクル数は、除数、被除数の値により変動します。

注2. スループット、レイテンシ表記のサイクル数については「2.8.3 命令処理時間の計算方法」を参照してください。

基本的な単一のマイクロオペレーションに変換される命令動作を以下の図 2.11 ~ 図 2.13 に示します。

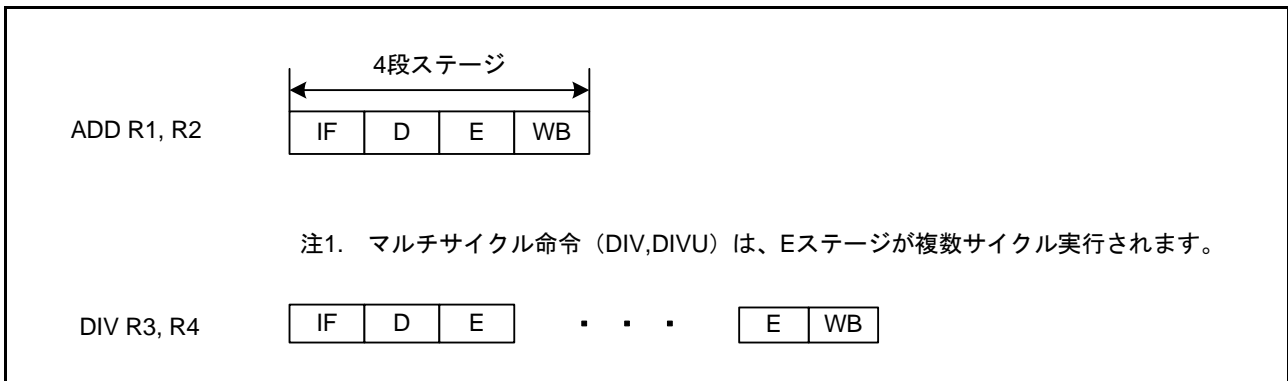


図 2.11 レジスタ間、即値-レジスタ演算

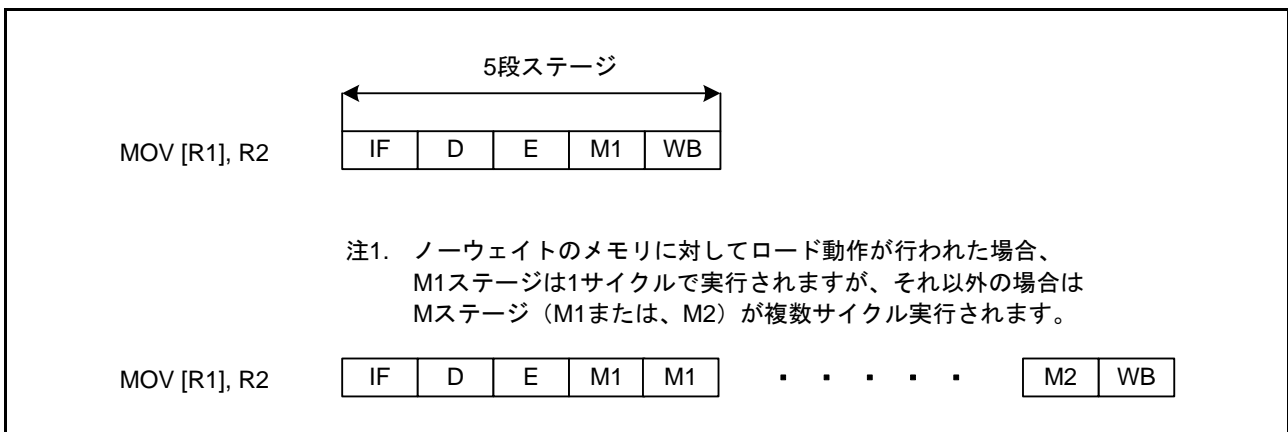


図 2.12 ロード動作

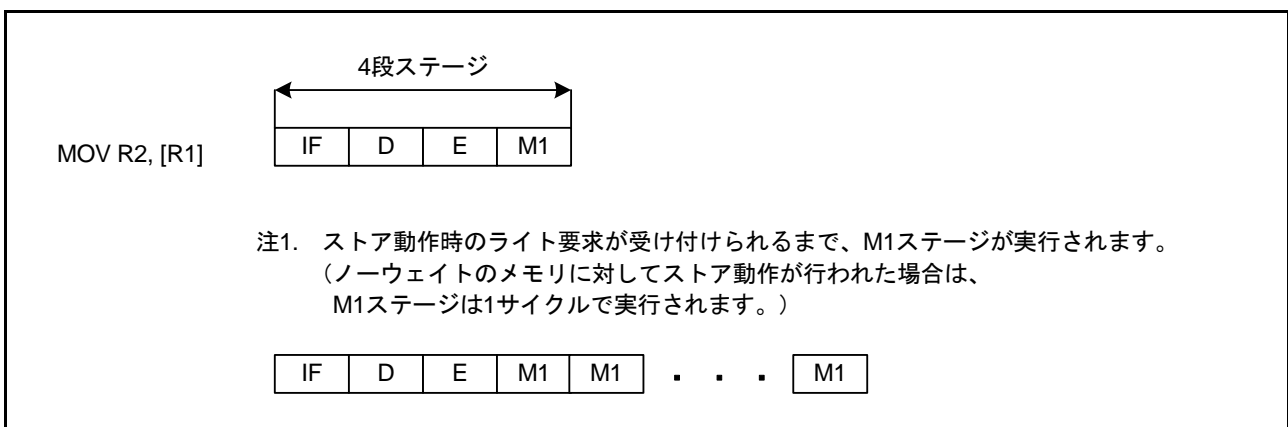


図 2.13 ストア動作

2.8.2.2 複数のマイクロオペレーションに変換される命令とパイプライン処理

複数のマイクロオペレーションに変換される命令を以下に示します。サイクル数は、ノーウェイトメモリアクセス時のサイクル数を示します。

表 2.14 複数マイクロオペレーションに変換される命令 (1/2)

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	参照図	サイクル数
算術/論理演算命令 (レジスタ間、即値-レジスタ)	• ADC, ADD...(省略), XOR “[Rs], Rd” /“dsp[Rs], Rd”	図 2.14	3
算術/論理演算命令 (除算)	• DIV “[Rs], Rd / dsp[Rs], Rd”	—	5~22
	• DIVU “[Rs], Rd / dsp[Rs], Rd”	—	4~20
算術論理演算命令 (乗算 32ビットx32ビット→64ビット) (レジスタ間、レジスタ即値)	• {EMUL, EMULU} “#IMM, Rd”/“Rs, Rd”	図 2.16	2
算術論理演算命令 (積和演算)	• RMPA.B	—	$6+7 \times \text{floor}(n/4)+4 \times (n\%4)$ nは処理バイト数 (注1)
	• RMPA.W	—	$6+5 \times \text{floor}(n/2)+4 \times (n\%2)$ nは処理ワード数 (注1)
	• RMPA.L	—	$6+4n$ nは処理ロングワード数 (注1)
転送命令 (メモリ間転送)	• MOV “[Rs], [Rd]”/“dsp[Rs], [Rd]” /“[Rs], dsp[Rd]”/“dsp[Rs], [Rd]” • PUSH “[Rs]”/“dsp[Rs]”	図 2.15	3
ビット操作命令 (メモリソースオペランド)	• {BCLR, BNOT, BSET, BTST} “#IMM, [Rd]” /“#IMM, dsp[Rd]” • BMCnd “#IMM, [Rd]”/“#IMM, dsp[Rd]”	図 2.15	3
転送命令 (ロード命令)	• POPC “CR”	—	スループット : 3 レイテンシ : 4 (注2)
転送命令 (複数レジスタの退避)	• PUSHM “Rs-Rs2”	—	n nはレジスタ数 (注3)
転送命令 (複数レジスタの復帰)	• POPM “Rs-Rs2”	—	スループット : n レイテンシ : n+1 nはレジスタ数 (注2、注4)
転送命令 (レジスタ間の交換)	• XCHG “Rs, Rd”	図 2.17	2
転送命令 (メモリーレジスタの交換)	• XCHG “[Rs], Rd”/“dsp[Rs], Rd”	図 2.18	2
分岐命令	• RTS	—	5
	• RTSD “#IMM”	—	5
	• RTSD “#IMM, Rd-Rd2”	—	スループット : $n < 5 ? 5 : 1+n$ レイテンシ : $n < 4 ? 5 : 2+n$ nはレジスタ数 (注2)

表 2.14 複数マイクロオペレーションに変換される命令 (2 / 2)

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	参照図	サイクル数
ストリング操作命令 (注5)	• SCMPU	—	$2+4 \times \text{floor}(n/4)+4 \times (n\%4)$ nは比較バイト数 (注1)
	• SMOVB	—	n>3? $6+3 \times \text{floor}(n/4)+3 \times (n\%4)$: $2+3n$ nは転送バイト数 (注1)
	• SMOVF, SMOVU	—	$2+3 \times \text{floor}(n/4)+3 \times (n\%4)$ nは転送バイト数 (注1)
	• SSTR.B	—	$2+\text{floor}(n/4)+n\%4$ nは転送バイト数 (注1)
	• SSTR.W	—	$2+\text{floor}(n/2)+n\%2$ nは転送ワード数 (注1)
	• SSTR.L	—	2+n nは転送ロングワード数
	• SUNTIL.B, SWHILE.B	—	$3+3 \times \text{floor}(n/4)+3 \times (n\%4)$ nは比較バイト数 (注1)
	• SUNTIL.W, SWHILE.W	—	$3+3 \times \text{floor}(n/2)+3 \times (n\%2)$ nは比較ワード数 (注1)
	• SUNTIL.L, SWHILE.L	—	3+3×n nは比較ロングワード数
浮動小数点演算命令 (レジスタ間、即値-レジスタ)	• {FADD, FSUB} “#IMM, Rd”/ “Rs, Rd”	図 2.19	4
	• FMUL “#IMM, Rd”/ “Rs, Rd”	—	3
	• FDIV “#IMM, Rd”/ “Rs, Rd”	—	16
	• {FTOI, ROUND, ITOF} “Rs, Rd”	—	2
浮動小数点演算命令 (メモリソースオペランド)	• {FADD, FSUB} “[Rs], Rd”/ “dsp[Rs], Rd”	—	6
	• FMUL “[Rs], Rd”/ “dsp[Rs], Rd”	—	5
	• FDIV “[Rs], Rd”/ “dsp[Rs], Rd”	—	18
	• {FTOI, ROUND, ITOF} “[Rs], Rd” / “dsp[Rs], Rd”	—	4
システム制御命令	• RTE	—	6
	• RTFI	—	3

注1. floor(x) : x以下の最大の整数

注2. スループット、レイテンシ表記のサイクル数については「2.8.3 命令処理時間の計算方法」を参照してください。

注3. PUSHM命令は、複数のストア動作に変換されます。MOV命令のストア動作が、指定したレジスタ分繰り返されるのと同じパイプライン処理です。

注4. POPM命令は、複数のロード動作に変換されます。MOV命令のロード動作が、指定したレジスタ分繰り返されるのと同じパイプライン処理です。

注5. SCMPU, SMOVU, SWHILE, SUNTILの各命令は、実行中に終了条件を満たした場合は、記載サイクルによらず実行を終了します。

基本的な複数のマイクロオペレーションに変換される命令動作を以下の図 2.14 ~ 図 2.19 に示します。図の小文字はマイクロオペレーションを示します。

注 1. mop : マイクロオペレーション、stall : パイプラインストール

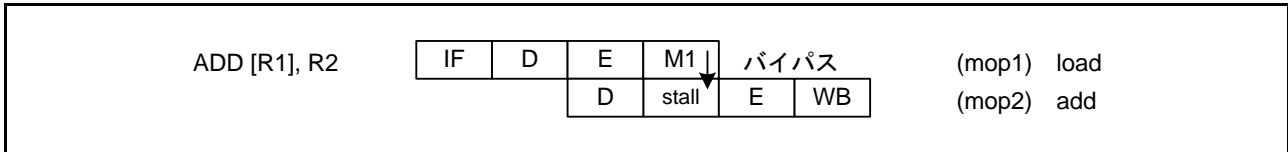


図 2.14 算術論理演算命令 (メモリソースオペランド)

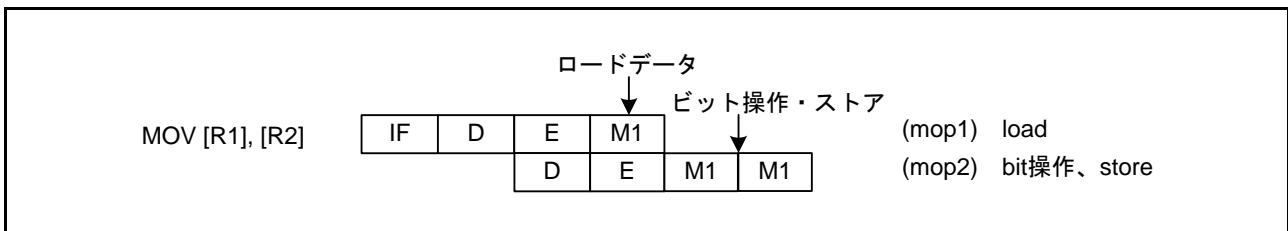


図 2.15 MOV 命令 (メモリ間転送)、ビット操作命令 (メモリソースオペランド)

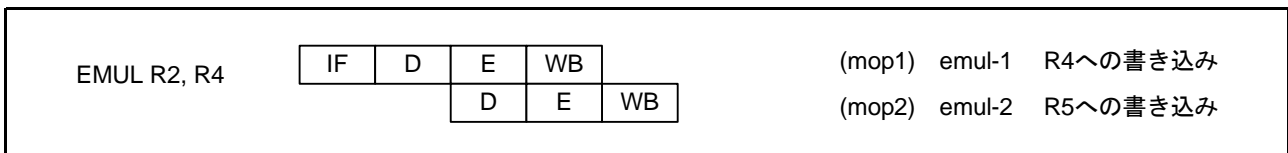


図 2.16 EMUL, EMULU 命令 (レジスタ間、レジスター即値)

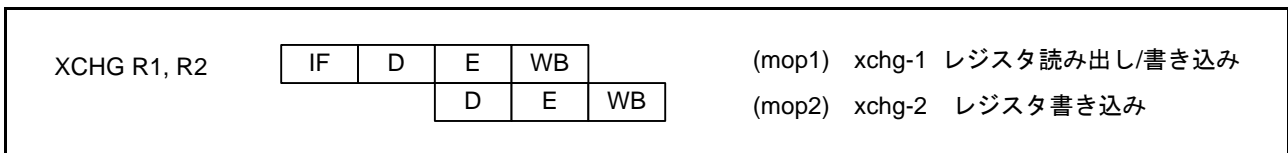


図 2.17 XCHG 命令 (レジスタ)

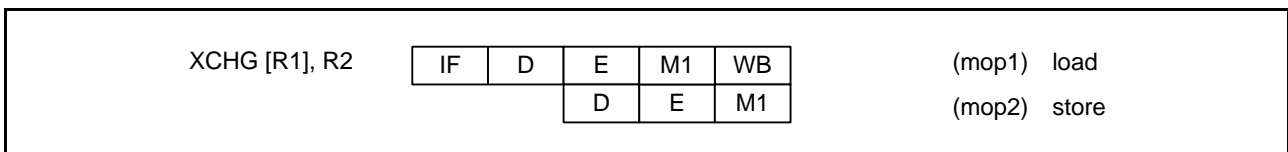


図 2.18 XCHG 命令 (メモリソースオペランド)

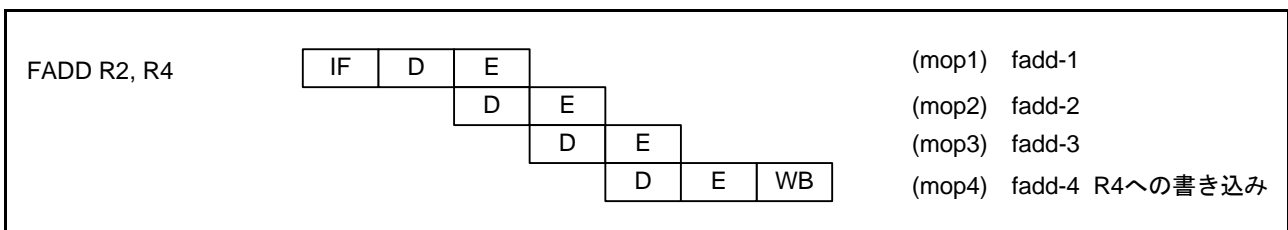


図 2.19 浮動小数点演算命令 (レジスタ間、即値-レジスタ)

2.8.2.3 パイプラインの基本動作

理想的なパイプライン処理では、各ステージの実行サイクル数は 1 ですが、各ステージでの処理や分岐実行などによりパイプライン処理が乱れることがあります。

CPU は、IF ステージは命令単位、D ステージ以降は、マイクロオペレーション単位でパイプラインステージ制御を行います。

以下に代表的なケースについてパイプライン処理の状況を示します。図の小文字はマイクロオペレーションを示します。

注 1. mop : マイクロオペレーション、stall : パイプラインストール

(1) パイプライン処理が乱れるケース

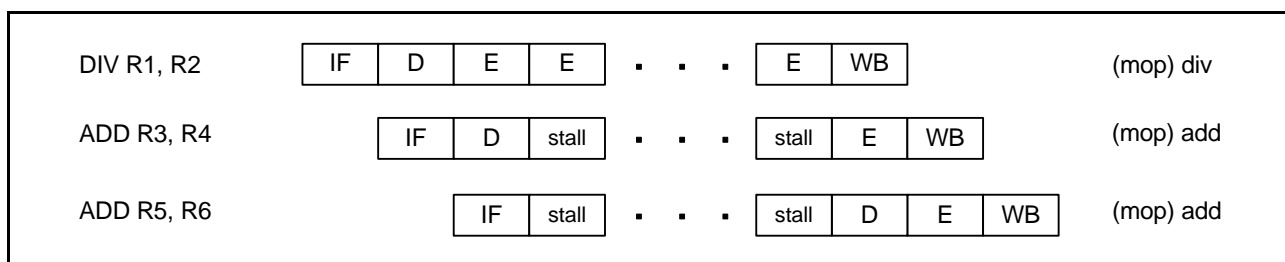


図 2.20 E ステージの実行に複数サイクルを要する命令の実行時

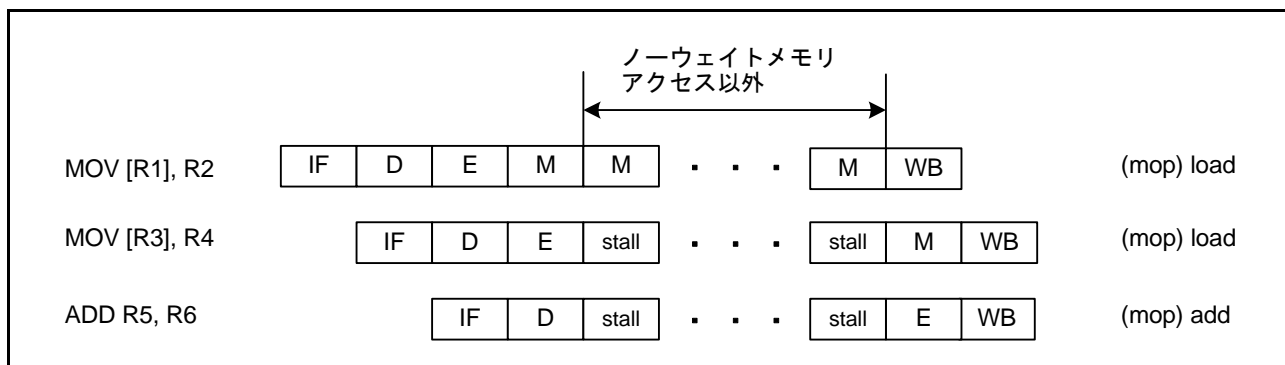


図 2.21 オペランドアクセスが 1 サイクルで終了しない場合

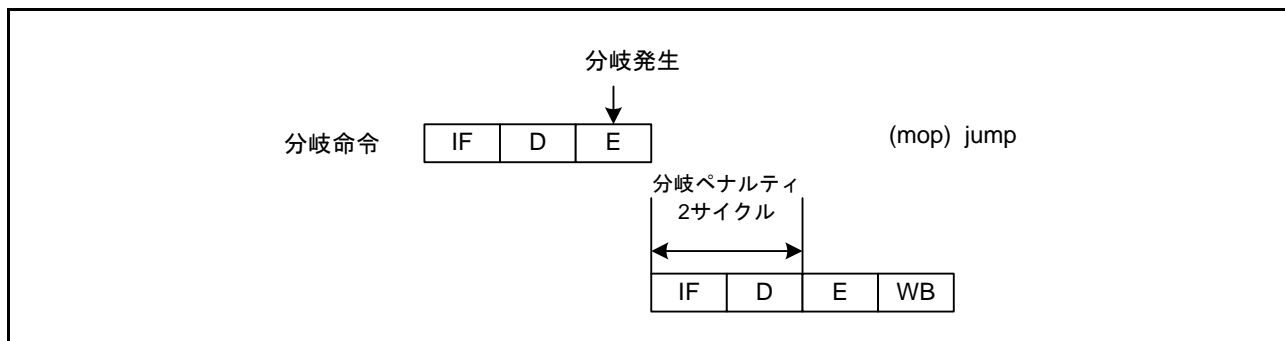


図 2.22 分岐（無条件分岐または、条件分岐で条件が成立した場合）

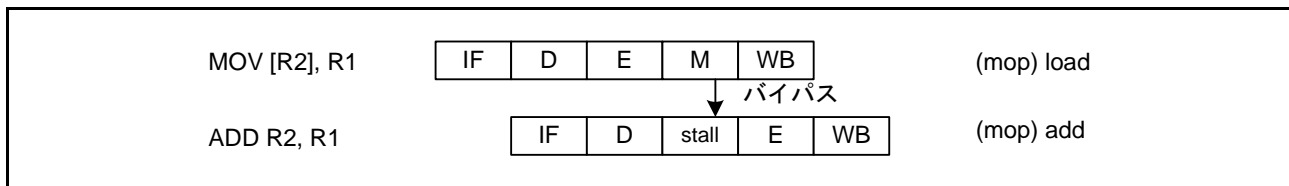


図 2.23 メモリから読み出したオペランドを後続命令が使用する場合

(2) パイプライン処理が乱れないケース

(a) バイパス

先行命令が書き込んだレジスタを後続命令が使用する場合であっても、レジスタ間演算の場合はバイパスにより、パイプライン処理は乱れません。

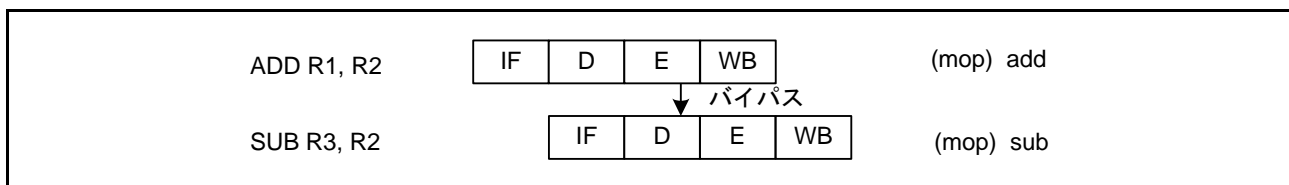


図 2.24 バイパス

(b) メモリロードと演算の WB ステージが重なっている場合

メモリロードと演算の WB ステージが重なっている場合であっても、ロードデータと演算結果はレジスタに同時に書けますので、パイプライン処理は乱れません。

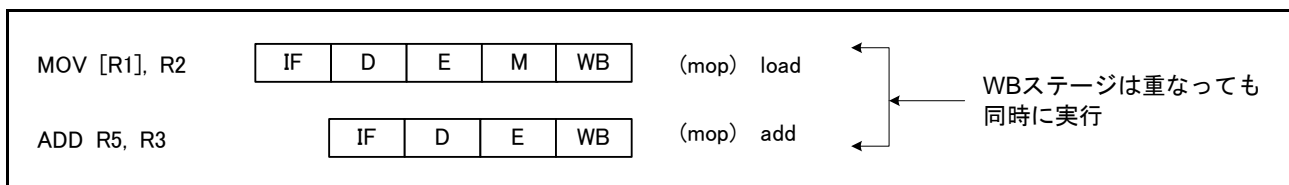


図 2.25 メモリロードと演算の WB ステージが重なっている場合

(c) メモリロードを終了する前に後続命令が同じレジスタへ書き込みを行った場合

メモリロードを終了する前に、後続命令が同じレジスタへ書き込みを行った場合であっても、メモリロードの WB ステージはキャンセルされますので、パイプライン処理は乱れません。

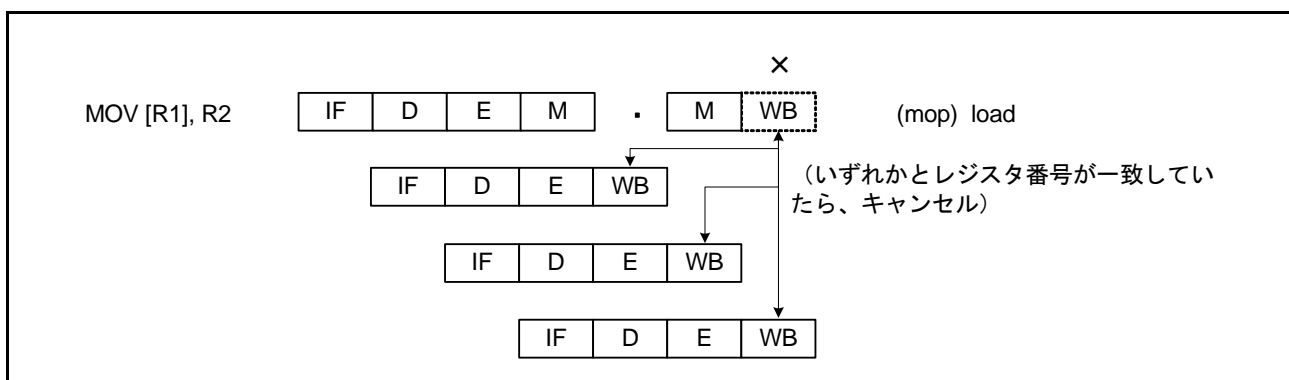


図 2.26 メモリロードを終了する前に、後続命令が同じレジスタへ書き込みを行った場合

(d) メモリロードしたデータを後続命令が参照しない場合

メモリロードしたデータを後続命令が参照しない場合、後続の命令が先に実行されて完了します。
(Out-of-Order Completion)

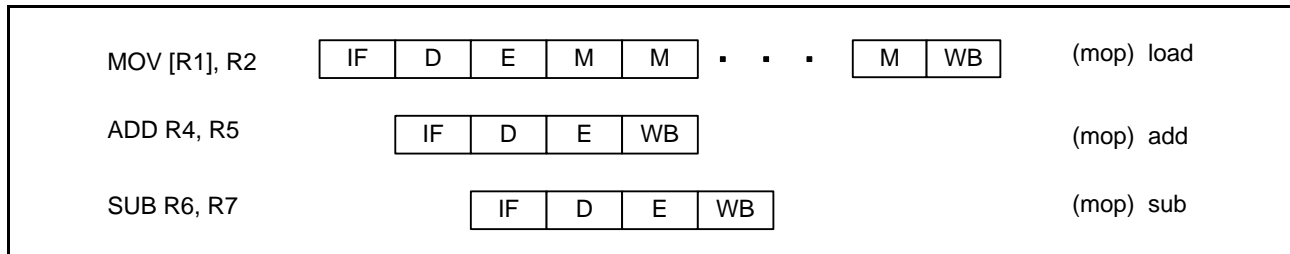


図 2.27 メモリロードしたデータを後続命令が参照しない場合

2.8.3 命令処理時間の計算方法

CPU の命令処理時間は、パイプライン処理によって変動しますが、次のような計算方法で命令処理時間を概算することができます。

- サイクル数をカウントします (表 2.13、表 2.14 を参照)。
- メモリロード結果を後続命令が参照する場合は、メモリロードを行う命令のサイクル数は“レイテンシ”として記載されているサイクル数をカウントします。それ以外は“スループット”として記載されているサイクル数をカウントします。
- 命令フェッチストールが起きた場合は、さらにサイクル数が追加されます。
- システム構成によっては、メモリアクセスに複数サイクルかかります。RX610 グループのメモリアクセスサイクル数は機種依存です。

2.8.4 割り込み応答サイクル数

表 2.15 に割り込み応答処理のサイクル数を示します。

表 2.15 割り込み応答サイクル数

割り込み要求の種類/処理内容	高速割り込み	高速割り込み以外の割り込み
ICU 優先順位判定	2サイクル	
CPU 割り込み要求通知から割り込み受付までのサイクル数	N サイクル (実行している命令によって異なる)	
CPU ハードウェア前処理 PC、PSW の RAM への退避 (高速割り込みは、制御レジスタへ退避) ベクタの読み出し 例外処理ルーチン先頭への分岐	4サイクル	6サイクル

表 2.15 は、CPU からのメモリアクセスがすべてノーウェイトで処理をされた場合の割り込み応答時間です。RX610 グループは、ノーウェイトアクセス可能な内蔵 ROM、内蔵 RAM を搭載しています。プログラム (含むベクタ) は内蔵 ROM、スタック領域は内蔵 RAM に配置することにより、割り込み応答サイクル数を最短にできます。また、例外処理ルーチンの先頭アドレスは、8 バイトアラインメントを指定してください。

割り込み要求通知から割り込み受け付けまでのサイクル数 N は、「表 2.13 単一マイクロオペレーションに変換される命令」、「表 2.14 複数マイクロオペレーションに変換される命令」を参照してください。

割り込み受付タイミングは CPU のパイプライン状態に依存します。割り込み受付タイミングについては、「9.3.1 受け付けタイミングと保存される PC 値」を参照してください。

3. 動作モード

3.1 動作モードの種類と選択

動作モードはMD1、MD0 端子と、システムコントロールレジスタ 0 (SYSCR0) のROME、EXBE ビットで設定します。

各動作モードにおいては、エンディアンを選択することができます。エンディアンは、MDE 端子で設定します。エンディアンについては、「11. バス」を参照してください。

MDE、MD1、MD0 端子は、LSI の動作中に変化させないでください。また、表 3.1 にない組み合わせは設定しないでください。

表3.1 モード端子による動作モードの選択

モード端子		SYSCR0レジスタ初期状態		動作モード	内蔵ROM (注1)	外部バス
MD1	MD0	ROME	EXBE			
0	1	1	0	ブートモード	有効	無効
1	0	1	0	ユーザブートモード	有効	無効
1	1	1	0	シングルチップモード	有効	無効

注1. 内蔵ROMにはROM、データフラッシュがあります。詳細は「26. ROM (コード格納用フラッシュメモリ)」、「27. データフラッシュ (データ格納用フラッシュメモリ)」を参照してください。

表3.2 レジスタによる動作モードの選択

SYSCR0レジスタ		動作モード	内蔵ROM (注1)	外部バス
ROME	EXBE			
0	0	シングルチップモード、ユーザブートモード	無効	無効
1	0		有効	無効
0	1	内蔵ROM無効拡張モード	無効	有効
1	1	内蔵ROM有効拡張モード	有効	有効

注1. 内蔵ROMにはROM、データフラッシュがあります。詳細は「26. ROM (コード格納用フラッシュメモリ)」、「27. データフラッシュ (データ格納用フラッシュメモリ)」を参照してください。

表3.3 エンディアンの選択

モード端子	エンディアン
MDE	
0	リトルエンディアン
1	ビッグエンディアン

3.2 レジスタの説明

表 3.4 に動作モード関連レジスタ一覧を示します。

表3.4 動作モード関連レジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
モードモニタレジスタ	MDMONR	10000000 x00000xxb	0008 0000h	16
モードステータスレジスタ	MDSR	00000000 00001001b	0008 0002h	16
システムコントロールレジスタ0	SYSCR0	00000000 00000001b	0008 0006h	16
システムコントロールレジスタ1	SYSCR1	00000000 00000001b	0008 0008h	16

3.2.1 モードモニタレジスタ (MDMONR)

アドレス 0008 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	MDE	—	—	—	—	—	MD1	MD0
リセット後の値	1	0	0	0	0	0	0	0	x (注1)	0	0	0	0	0	x (注1)	x (注1)

注1. モード端子 (MDE、MD1、MD0) の設定によって異なります。

ビット	シンボル	ビット名	機能	R/W
b0	MD0	MD0端子ステータスフラグ	0 : MD0端子は“0” 1 : MD0端子は“1”	R
b1	MD1	MD1端子ステータスフラグ	0 : MD1端子は“0” 1 : MD1端子は“1”	R
b6-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	MDE	MDE端子ステータスフラグ	0 : MDE端子は“0” (リトルエンディアン) 1 : MDE端子は“1” (ビッグエンディアン)	R
b14-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15	—	予約ビット	読むと“1”が読めます。書き込みは無効になります	R

MDMONR レジスタは、モード端子のモニタ表示を行うレジスタです。

3.2.2 モードステータスレジスタ (MDSR)

アドレス 0008 0002h

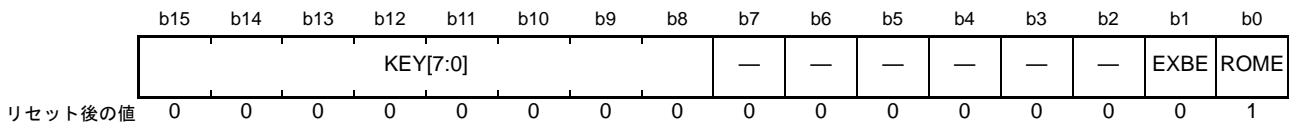
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	UBTS	—	BOTS	BSW[1:0]	EXB	IROM	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	IROM	内蔵ROM起動ステータスフラグ	0: 起動時、内蔵ROM無効 1: 起動時、内蔵ROM有効	R
b1	EXB	外部バス起動ステータスフラグ	0: 起動時、外部バス無効 1: 起動時、外部バス有効	R
b3-b2	BSW[1:0]	起動外部バス幅フラグ	b3 b2 0 0: 16ビットバス起動 0 1: 設定しないでください 1 0: 8ビットバス起動 1 1: 設定しないでください	R
b4	BOTS	ブートモード起動フラグ	0: ブートモード起動ではない 1: ブートモード起動	R
b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6	UBTS	ユーザブートモード起動フラグ	0: ユーザブートモード起動ではない 1: ユーザブートモード起動	R
b15-b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

MDSR レジスタは、起動時の内部ステータスのモニタ表示を行うレジスタです。

3.2.3 システムコントロールレジスタ 0 (SYSCR0)

アドレス 0008 0006h



ビット	シンボル	ビット名	機能	R/W
b0	ROME	内蔵ROM許可ビット	0: 内蔵ROM無効 1: 内蔵ROM有効	R/W
b1	EXBE	外部バス許可ビット	0: 外部バス無効 1: 外部バス有効	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	SYSCR0キーコード	5Ah: SYSCR0レジスタへの書き込み許可 上記以外は、SYSCR0レジスタへの書き込み禁止 読むと“00h”が読めます	R/W

SYSCR0 レジスタは、内蔵ROMの有効/無効、外部バスの有効/無効を選択するレジスタです。

ROME ビット (内蔵ROM 許可ビット)

内蔵ROM (ROM、データフラッシュ) の有効または無効を選択します。

ROME ビットが“1”のときは、“0”を書くことができます。ROME ビットが“0”のときは、“1”を書くことはできません。内蔵ROMを有効から無効にすると、ROME ビットを使って内蔵ROMを有効にすることはできません。

内蔵ROMアクセス中に“0”を書かないでください。また、ROME ビットに“0”を書き、内蔵ROM無効に設定した後は、ROME ビットが“0”に書き換わっていることを確認してから次の処理を行ってください。

EXBE ビット (外部バス許可ビット)

外部バスの有効または無効を選択します。

“0”を書くときは、外部バスサイクルが実行されていない状態で行ってください。

外部バスと内部バスが同時に動作する場合がありますので、外部バスを無効にする場合は注意してください。EXBE ビットを書き換える場合は、レジスタに書いた後、EXBE ビットが書き換わっていることを確認してからバスアクセスを行ってください。

なお、EXBE ビットの設定と同時にI/Oポートの設定も必要となります。詳細は「14. I/Oポート」を参照してください。

KEY[7:0] ビット (SYSCR0 キーコード)

SYSCR0 レジスタへの書き込み許可または禁止を選択します。

ROME、EXBE ビットへ値を書くときは、KEY[7:0] ビットにも“5Ah”を書いてください。

KEY[7:0] ビットが“5Ah”以外の値の場合、SYSCR0 レジスタへ書いてもROME、EXBE ビットの値は変更されません。

3.2.4 システムコントロールレジスタ 1 (SYSCR1)

アドレス 0008 0008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RAME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RAME	RAM許可ビット	0 : 内蔵RAM無効 1 : 内蔵RAM有効	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SYSCR1 レジスタは、内蔵RAMの有効/無効を選択するレジスタです。

RAME ビット (RAM 許可ビット)

内蔵RAMの有効または無効を選択します。

RAME ビットは、リセットを解除すると“1”に初期化されます。

内蔵RAMアクセス中に“0”を書かないでください。また、内蔵RAMを無効から有効に変更した直後に内蔵RAMをアクセスする場合は、RAME ビットが“1”に書き換わっていることを確認してからアクセスするようにしてください。

RAME ビットを“0”にしても、内蔵RAMの値は保持されます。なお、RAMスタンバイ電圧 (VRAM) は規定値を保持してください。詳細は「29. 電気的特性」を参照してください。

3.3 動作モードの説明

3.3.1 シングルチップモード

このモードでは、内蔵 ROM は有効または無効、外部バスは無効 (SYSCR0.EXBE ビット = 0) です。すべての I/O ポートを入出力ポートとして使用できます。

起動時の内蔵 ROM は有効です。内蔵 ROM 有効 (SYSCR0.ROME ビット = 1) の場合、内蔵 ROM 無効 (ROME ビット = 0) に設定できます。内蔵 ROM 無効 (ROME ビット = 0) の場合、内蔵 ROM 有効 (ROME ビット = 1) には設定できません。

SYSCR0.EXBE ビットを“1”にし、内蔵 ROM 有効拡張モードまたは内蔵 ROM 無効拡張モードに移行することで、外部バスを使用することができます。

3.3.2 内蔵 ROM 有効拡張モード

内蔵 ROM は有効 (SYSCR0.ROME ビット = 1) で、外部バスを使用することができる外部拡張モード (SYSCR0.EXBE ビット = 1) です。I/O ポートの一部をデータバス入出力、アドレスバス出力、バス制御信号入出力とすることができます。詳細は、「14. I/O ポート」を参照してください。

外部バス幅は、バスの外部バス幅選択 (CSiCNT.BSIZE[1:0] ビット (i = 0 ~ 7)) の設定で変更可能です。詳細は、「11. バス」を参照してください。

EXBE ビットを“0”にすることで、シングルチップモード (内蔵 ROM 有効) に移行することができます。ROME ビットを“0”にすることで、内蔵 ROM 無効拡張モードに移行することができます。

3.3.3 内蔵 ROM 無効拡張モード

内蔵 ROM は無効 (SYSCR0.ROME ビット = 0) で、外部バスを使用することができる外部拡張モード (SYSCR0.EXBE ビット = 1) です。I/O ポートの一部をデータバス入出力、アドレスバス出力、バス制御信号入出力とすることができます。詳細は、「14. I/O ポート」を参照してください。

外部バス幅は、バスの外部バス幅選択 (CSiCNT.BSIZE[1:0] ビット (i = 0 ~ 7)) の設定で変更可能です。詳細は、「11. バス」を参照してください。

内蔵 ROM 有効 (ROME ビット = 1) には設定できません。

EXBE ビットを“0”にすることで、シングルチップモード (内蔵 ROM 無効) に移行することができます。

3.3.4 ブートモード

フラッシュメモリのブートモードです。フラッシュメモリへの書き込み / 消去以外は、シングルチップモードと同様の動作となります。詳細は「26. ROM (コード格納用フラッシュメモリ)」、「27. データフラッシュ (データ格納用フラッシュメモリ)」を参照してください。

3.3.5 ユーザブートモード

フラッシュメモリのユーザブートモードです。フラッシュメモリへの書き込み / 消去以外は、シングルチップモードと同様の動作となります。詳細は「26. ROM (コード格納用フラッシュメモリ)」、「27. データフラッシュ (データ格納用フラッシュメモリ)」を参照してください。

3.4 動作モードの移行

3.4.1 モード端子による動作モードの移行

MD1、MD0 端子の設定による動作モードの移行について、図 3.1 に示します。図の矢印の方向へ動作モードを移行することができます。

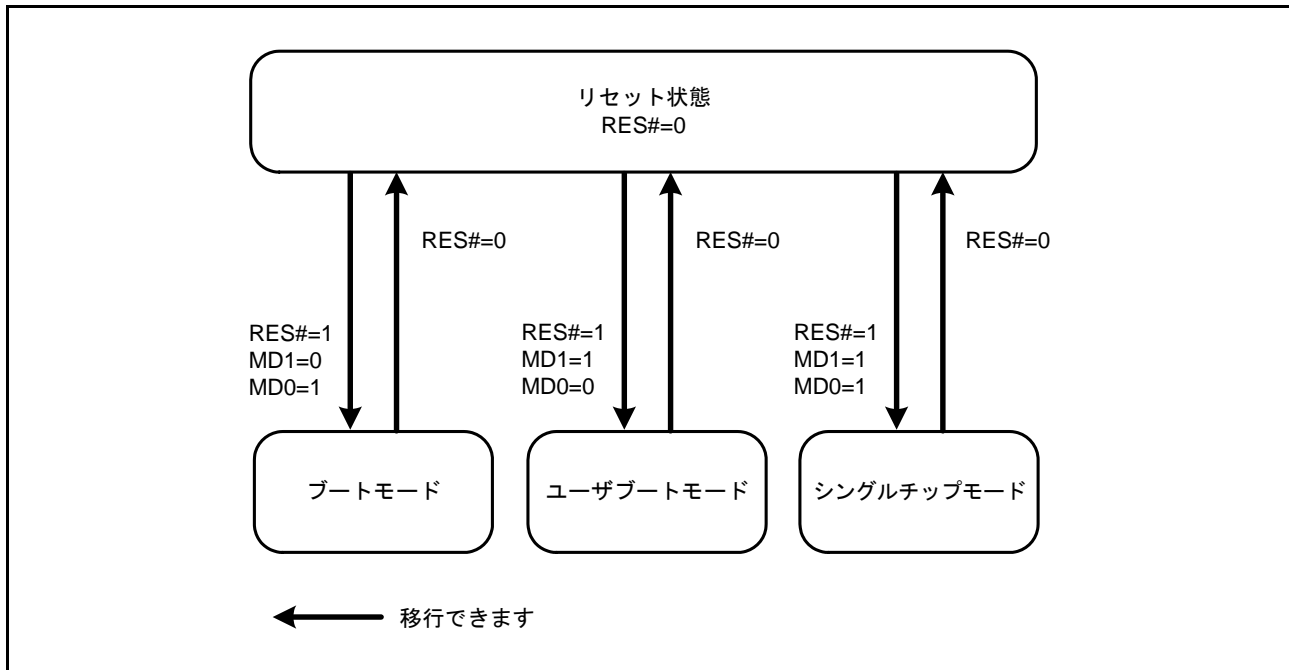


図 3.1 MD1、MD0 端子の設定と動作モード

3.4.2 レジスタによる動作モードの移行

SYSCR0.ROME, EXBE ビットの設定による動作モードの移行について、図 3.2 に示します。図の矢印の方向へ動作モードを移行することができます。

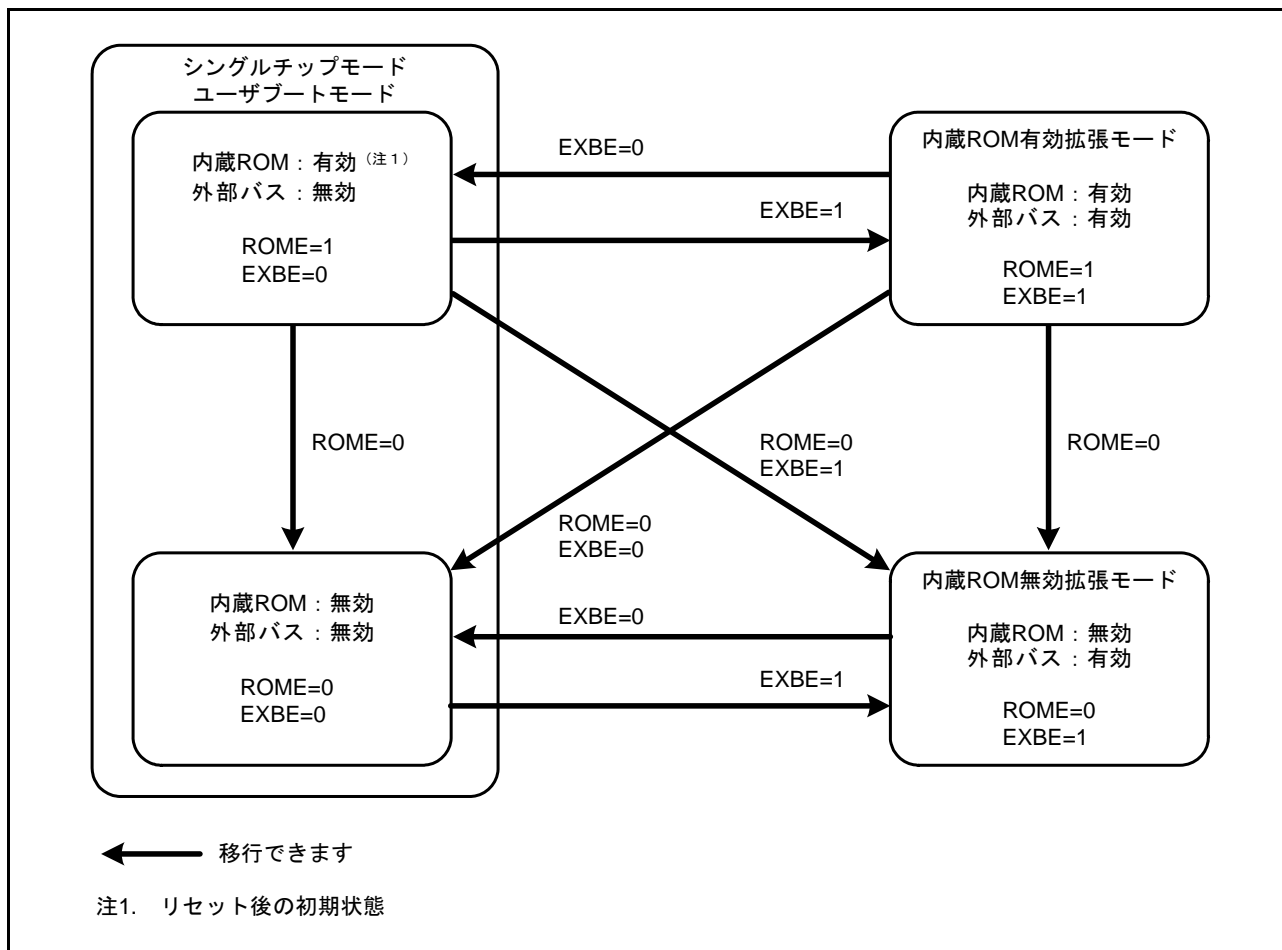


図 3.2 ROME ビット、EXBE ビットの設定と動作モード

4. アドレス空間

4.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

アクセスできる領域は動作モードや各制御ビットの状態によって異なります。また、製品ごとに ROM 容量が異なります。製品別および動作モード別のメモリマップを図 4.1 ～図 4.4 に示します。

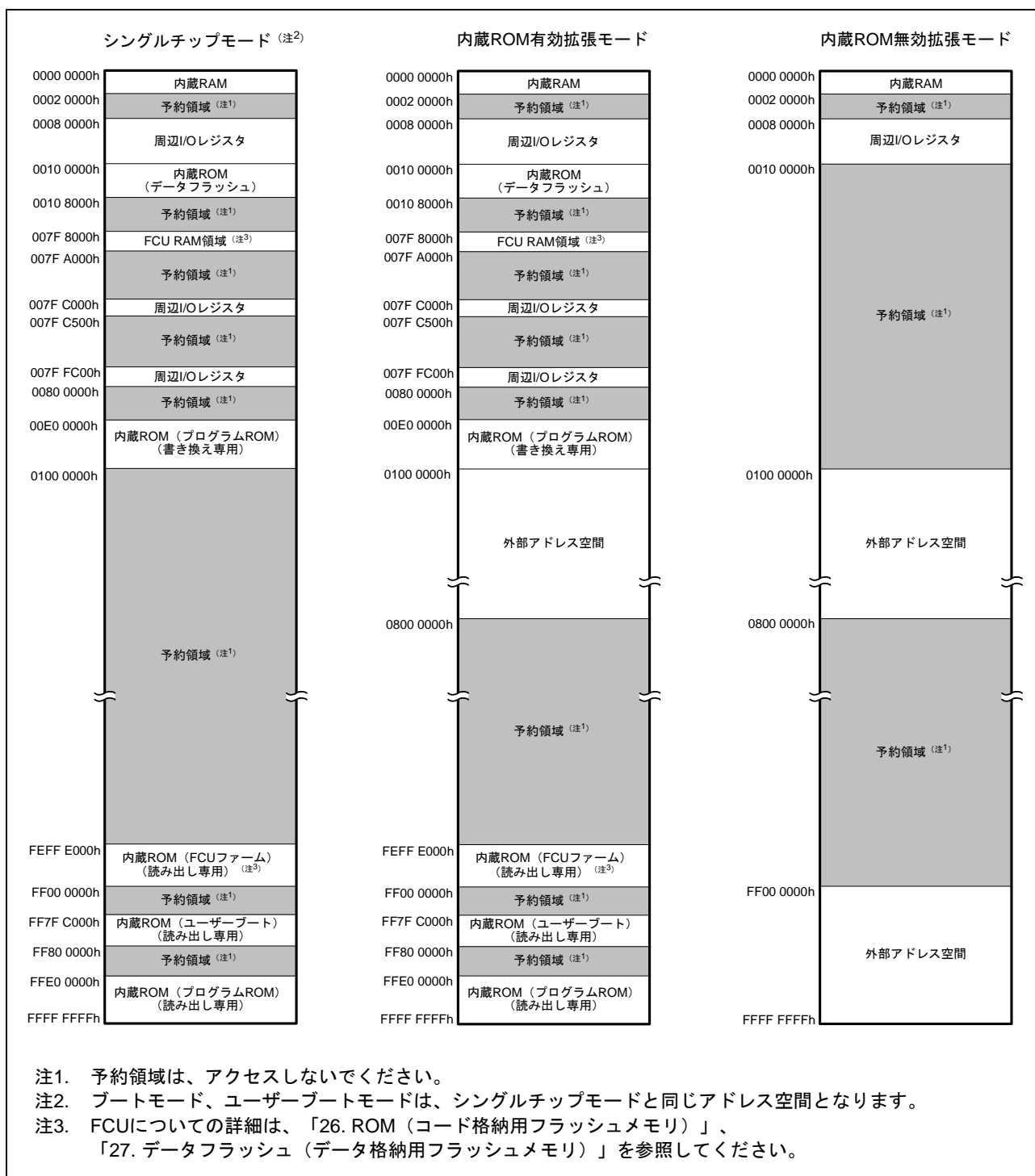


図 4.1 R5F56108 のメモリマップ

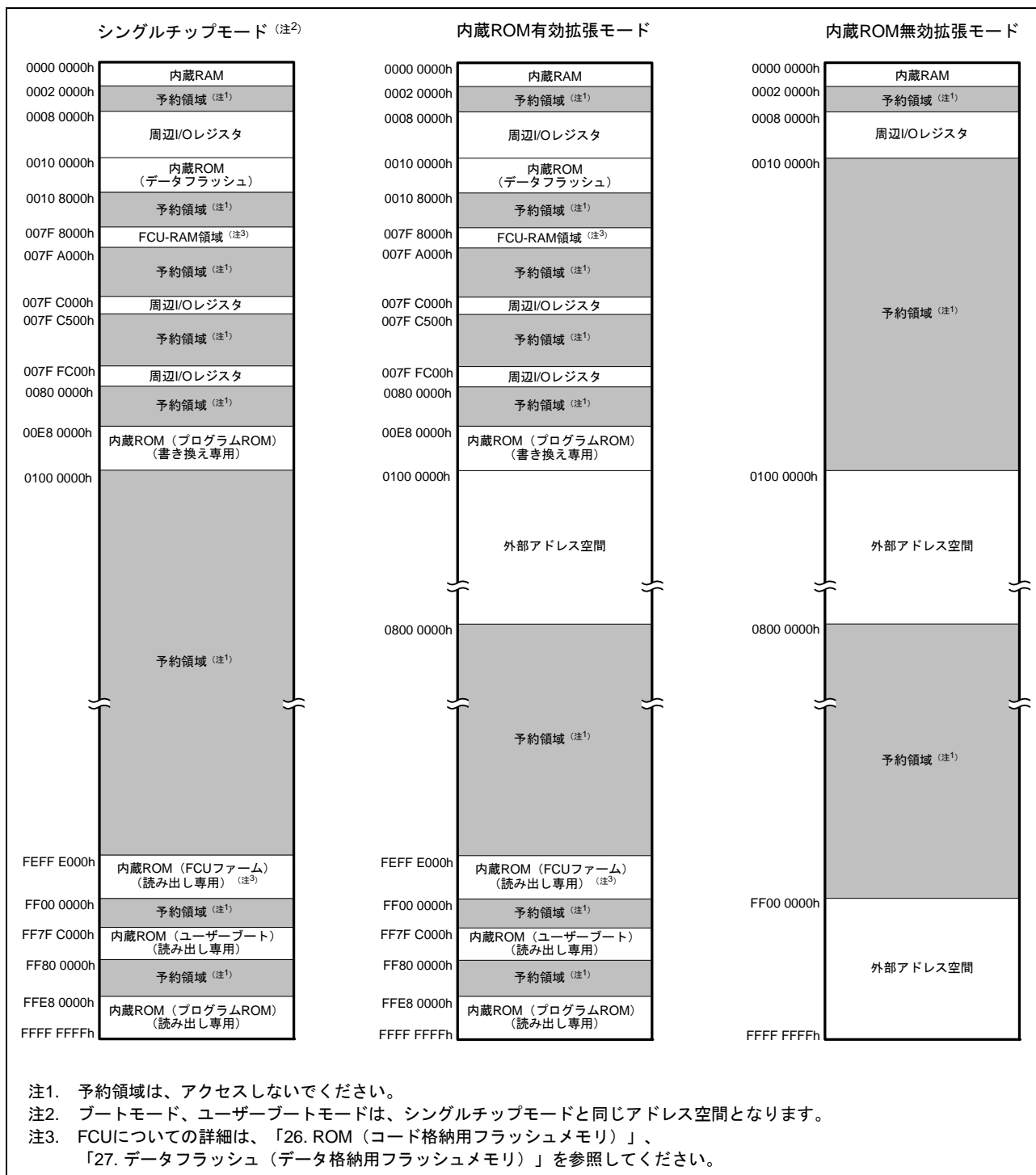


図 4.2 R5F56107 のメモリマップ

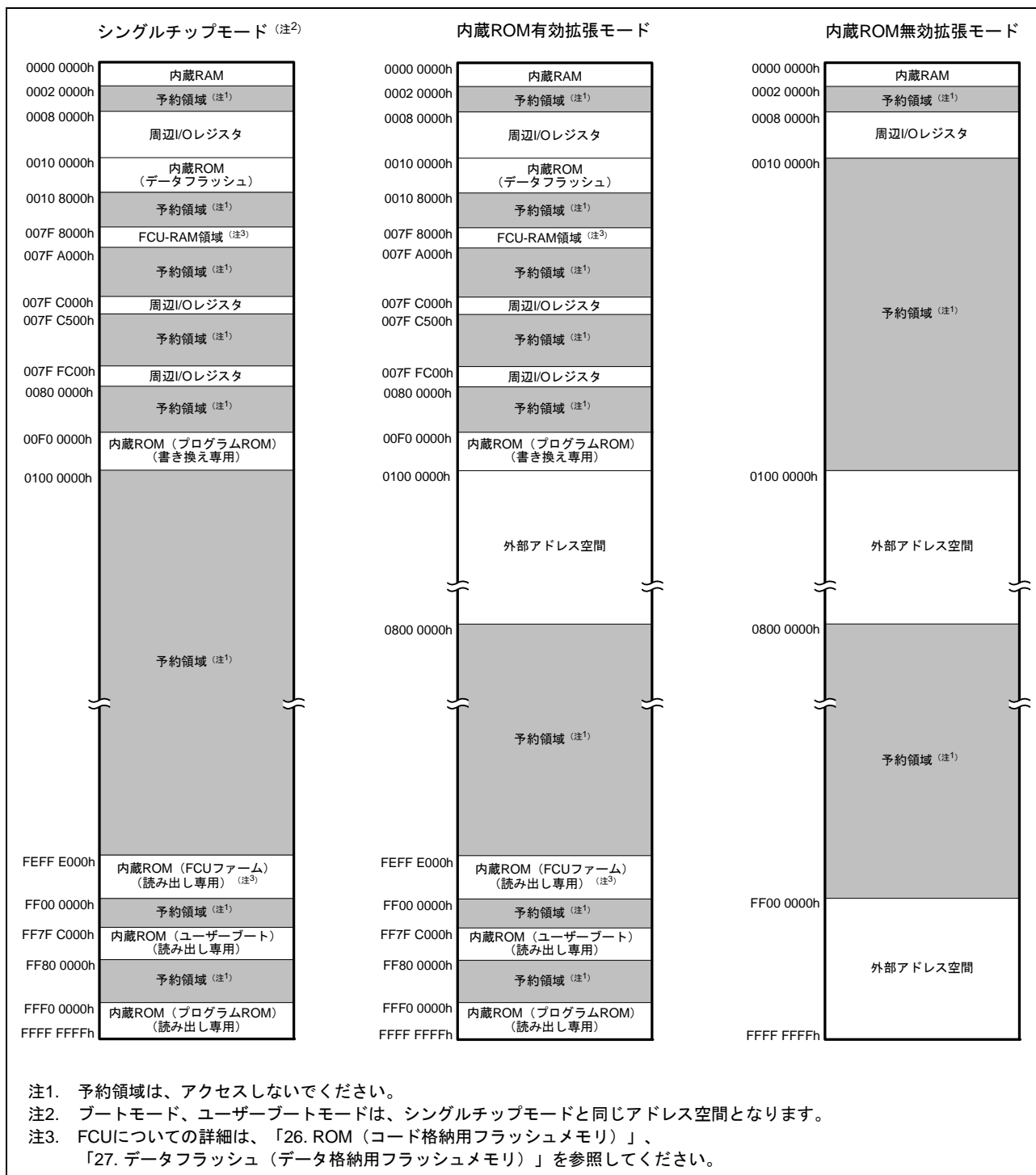


図 4.3 R5F56106 のメモリマップ

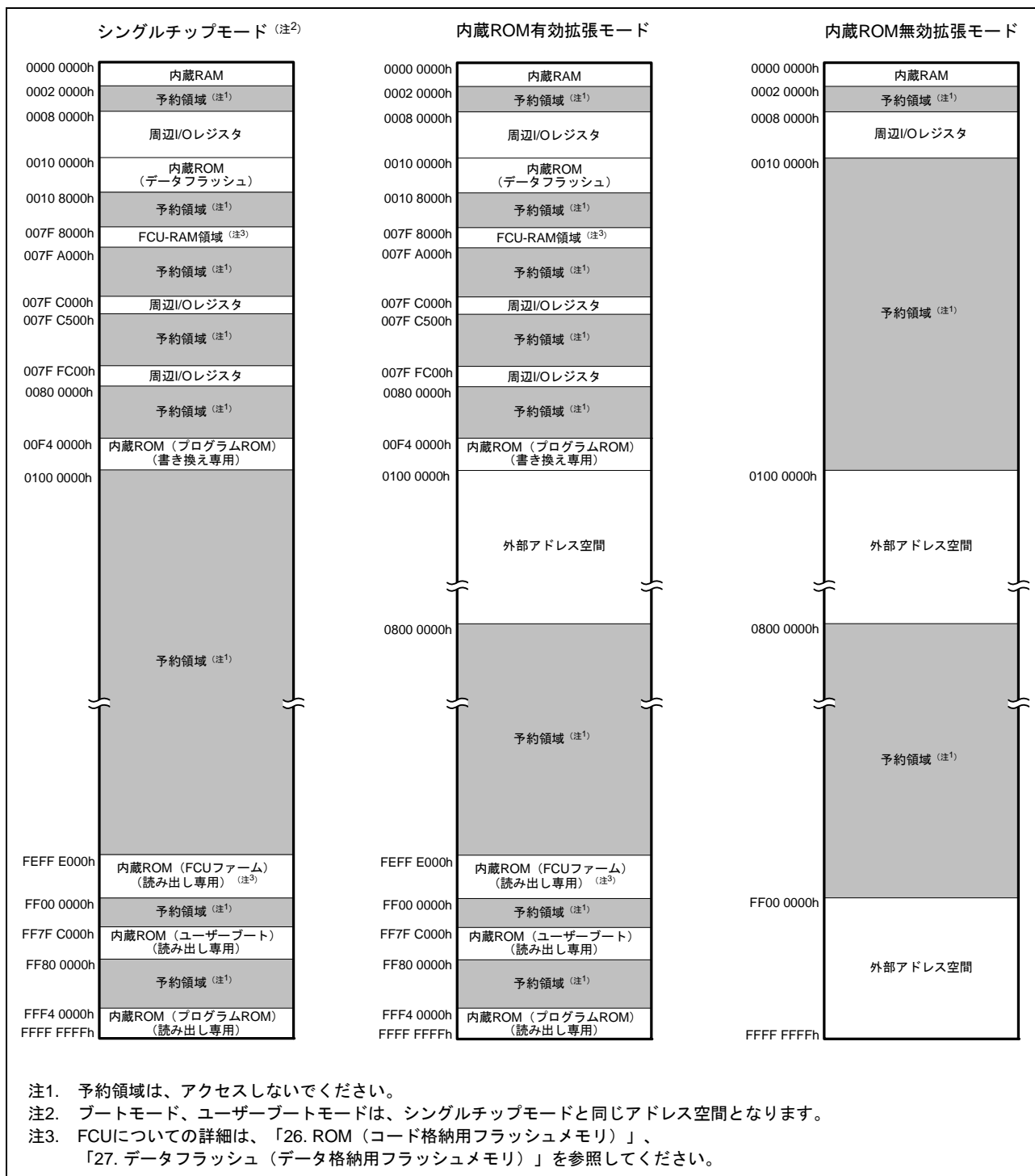


図 4.4 R5F56104 のメモリマップ

4.2 外部アドレス空間

外部アドレス空間は、CSn# 端子 (n = 0 ~ 7) から出力される CSn# 信号によって最大 8 つの領域に分割できます。図 4.5 に内蔵 ROM 無効拡張モード時の CSn# 信号 (CSi 領域) (i = 0 ~ 7) とアドレスの対応を示します。

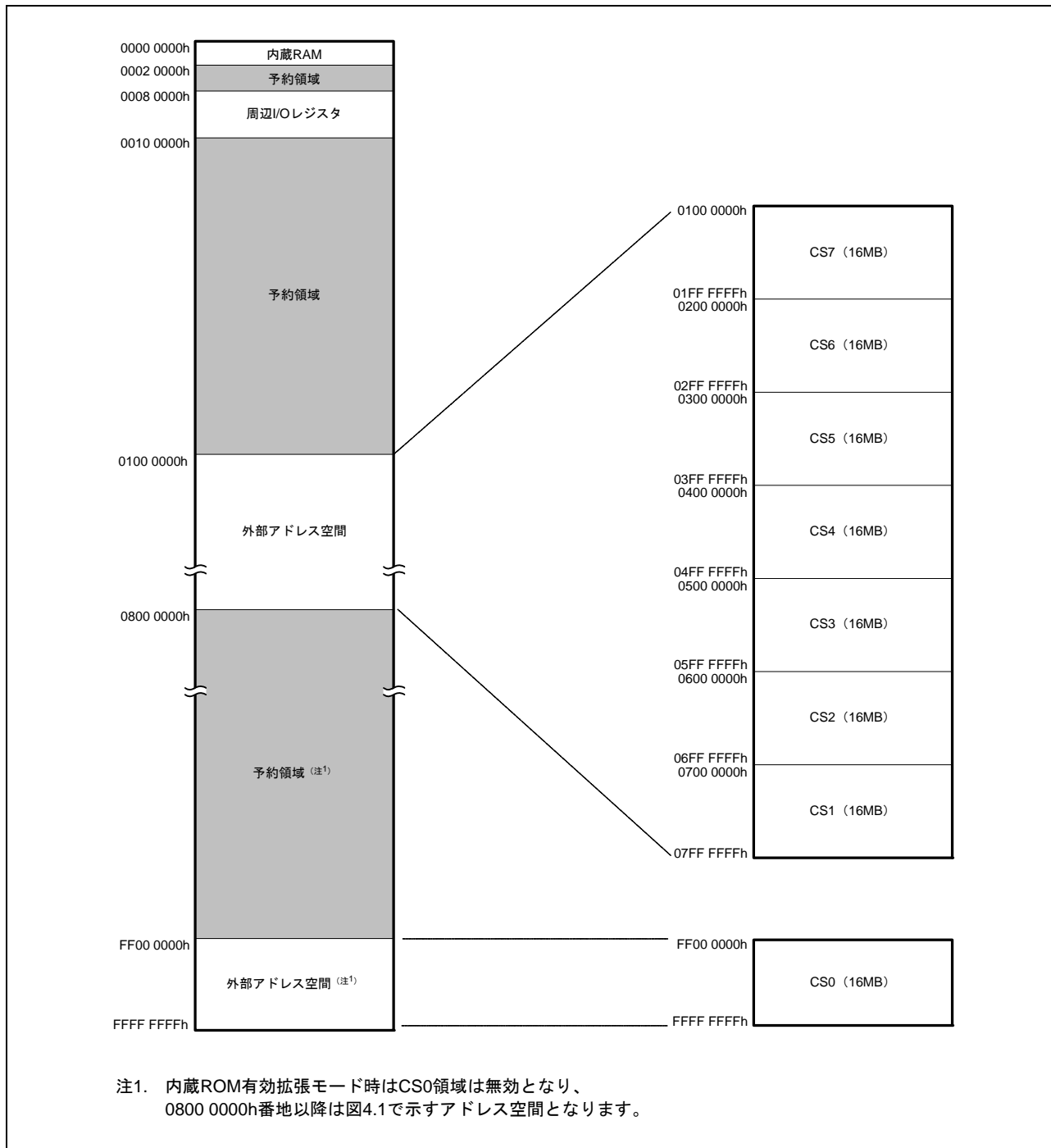


図 4.5 外部アドレス空間と CSi 領域 (内蔵 ROM 無効拡張モードの場合)

5. I/O レジスタ

I/O レジスタ一覧では、内蔵レジスタのアドレス、およびビット構成に関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

(1) I/O レジスタアドレス一覧 (アドレス順)

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスステート数については、指定の基準クロックのステート数を示しています。
- I/O レジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないでください。
- レジスタごとにアクセスサイズが指定されています。指定されたアクセスサイズ以外でのアクセスは禁止です。

(2) I/O レジスタビット一覧

- 「レジスタアドレス一覧 (アドレス順)」の順序で、ビット構成を記載しています。
- 予約ビットは、ビット名部に「-」で表記しています。
- ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
- 16ビットまたは32ビットのレジスタの場合、MSB側のビットから記載しています。

(3) I/O レジスタ書き込み時の注意事項

CPUがI/Oレジスタに書き込む際、CPUは書き込み完了を待たずに後続命令を実行します。そのため、I/Oレジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/Oレジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

[注意が必要な動作の例]

- 割り込み要求許可ビット (ICU.IERm.IENj ビット) を“0”にして、割り込み禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いて WAIT 命令を実行する場合

このような場合には、I/Oレジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

- (a) I/Oレジスタの書き込み
- (b) 書き込んだI/Oレジスタの値を汎用レジスタに読み出し
- (c) 読み出し値を使って演算を実行
- (d) 後続の命令を実行

[命令例]

- I/O レジスタがバイトサイズの場合

```
MOV.L ADDR, R1
MOV.B DATA, [R1]
CMP [R1].UB, R1
;; 次処理
```

- I/O レジスタがワードサイズの場合

```
MOV.L ADDR, R1
MOV.W DATA, [R1]
CMP [R1].W, R1
;; 次処理
```

- I/O レジスタがロングワードサイズの場合

```
MOV.L ADDR, R1
MOV.L DATA, [R1]
CMP [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行った I/O レジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

(4) I/O レジスタアクセスサイクル数

I/O レジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注1)

$$\begin{aligned} \text{I/O レジスタアクセスサイクル数} = & \text{内部メインバス 1 のバスサイクル数} + \\ & \text{分周クロック同期化サイクル数} + \\ & \text{内部周辺バス 1 (または 2) のバスサイクル数} \end{aligned}$$

内部周辺バス 1 (または 2) のバスサイクル数は、アクセス先のレジスタによって異なります。レジスタごとの I/O レジスタアクセスサイクル数は、「表 5.1 I/O レジスタアドレス一覧」を参照してください。

内部周辺バス 2 に接続されている周辺機能、および外部バス制御部のレジスタ (バスエラー関連のレジスタは除く) へアクセスする場合には、分周クロック同期化サイクル数が追加されます。

分周クロック同期化サイクル数は、ICLK と PCLK (または BCLK) の周波数比やバスアクセスのタイミングによって異なりますが、内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、PCLK (または BCLK) で最大 1 サイクルとなるため、表 5.1 では 1PCLK (または 1BCLK) の幅を持たせて記載しています。

注 1. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、異なるバスマスタ (DMAC、DTC) のバスアクセスと競合せずに実行された場合のサイクル数です。

5.1 I/O レジスタアドレス一覧 (アドレス順)

表5.1 I/O レジスタアドレス一覧 (1 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK
0008 0002h	SYSTEM	モードステータスレジスタ	MDSR	16	16	3ICLK
0008 0006h	SYSTEM	システムコントロールレジスタ0	SYSCR0	16	16	3ICLK
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK
0008 1300h	BSC	バスエラー要因クリアレジスタ	BERCLR	8	8	2ICLK
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK
0008 1306h	BSC	バスエラー割り込み許可レジスタ	BERIE	8	8	2ICLK
0008 2000h	DMAC0	DMAカレント転送元アドレスレジスタ	DMCSA	32	32	4~5ICLK
0008 2004h	DMAC0	DMAカレント転送先アドレスレジスタ	DMCDA	32	32	4~5ICLK
0008 2008h	DMAC0	DMAカレント転送バイトカウントレジスタ	DMCBC	32	32	4~5ICLK
0008 200Ch	DMAC0	DMAモードレジスタ	DMMOD	32	32	4~5ICLK
0008 2010h	DMAC1	DMAカレント転送元アドレスレジスタ	DMCSA	32	32	4~5ICLK
0008 2014h	DMAC1	DMAカレント転送先アドレスレジスタ	DMCDA	32	32	4~5ICLK
0008 2018h	DMAC1	DMAカレント転送バイトカウントレジスタ	DMCBC	32	32	4~5ICLK
0008 201Ch	DMAC1	DMAモードレジスタ	DMMOD	32	32	4~5ICLK
0008 2020h	DMAC2	DMAカレント転送元アドレスレジスタ	DMCSA	32	32	4~5ICLK
0008 2024h	DMAC2	DMAカレント転送先アドレスレジスタ	DMCDA	32	32	4~5ICLK
0008 2028h	DMAC2	DMAカレント転送バイトカウントレジスタ	DMCBC	32	32	4~5ICLK
0008 202Ch	DMAC2	DMAモードレジスタ	DMMOD	32	32	4~5ICLK
0008 2030h	DMAC3	DMAカレント転送元アドレスレジスタ	DMCSA	32	32	4~5ICLK
0008 2034h	DMAC3	DMAカレント転送先アドレスレジスタ	DMCDA	32	32	4~5ICLK
0008 2038h	DMAC3	DMAカレント転送バイトカウントレジスタ	DMCBC	32	32	4~5ICLK
0008 203Ch	DMAC3	DMAモードレジスタ	DMMOD	32	32	4~5ICLK
0008 2200h	DMAC0	DMAリロード転送元アドレスレジスタ	DMRSA	32	32	4~5ICLK (注8)
0008 2204h	DMAC0	DMAリロード転送先アドレスレジスタ	DMRDA	32	32	4~5ICLK (注8)
0008 2208h	DMAC0	DMAリロード転送バイトカウントレジスタ	DMRBC	32	32	4~5ICLK (注8)
0008 2210h	DMAC1	DMAリロード転送元アドレスレジスタ	DMRSA	32	32	4~5ICLK (注8)
0008 2214h	DMAC1	DMAリロード転送先アドレスレジスタ	DMRDA	32	32	4~5ICLK (注8)
0008 2218h	DMAC1	DMAリロード転送バイトカウントレジスタ	DMRBC	32	32	4~5ICLK (注8)
0008 2220h	DMAC2	DMAリロード転送元アドレスレジスタ	DMRSA	32	32	4~5ICLK (注8)
0008 2224h	DMAC2	DMAリロード転送先アドレスレジスタ	DMRDA	32	32	4~5ICLK (注8)
0008 2228h	DMAC2	DMAリロード転送バイトカウントレジスタ	DMRBC	32	32	4~5ICLK (注8)
0008 2230h	DMAC3	DMAリロード転送元アドレスレジスタ	DMRSA	32	32	4~5ICLK (注8)
0008 2234h	DMAC3	DMAリロード転送先アドレスレジスタ	DMRDA	32	32	4~5ICLK (注8)
0008 2238h	DMAC3	DMAリロード転送バイトカウントレジスタ	DMRBC	32	32	4~5ICLK (注8)
0008 2400h	DMAC0	DMA制御レジスタA	DMCRA	32	32	3ICLK
0008 2404h	DMAC0	DMA制御レジスタB	DMCRB	8	8	3ICLK
0008 2405h	DMAC0	DMA制御レジスタC	DMCRC	8	8	3ICLK
0008 2406h	DMAC0	DMA制御レジスタD	DMCRD	8	8	3ICLK
0008 2407h	DMAC0	DMA制御レジスタE	DMCRE	8	8	3ICLK
0008 2408h	DMAC1	DMA制御レジスタA	DMCRA	32	32	3ICLK

表5.1 I/O レジスタアドレス一覧 (2 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 240Ch	DMAC1	DMA制御レジスタB	DMCRB	8	8	3ICLK
0008 240Dh	DMAC1	DMA制御レジスタC	DMCRC	8	8	3ICLK
0008 240Eh	DMAC1	DMA制御レジスタD	DMCRD	8	8	3ICLK
0008 240Fh	DMAC1	DMA制御レジスタE	DMCRE	8	8	3ICLK
0008 2410h	DMAC2	DMA制御レジスタA	DMCRA	32	32	3ICLK
0008 2414h	DMAC2	DMA制御レジスタB	DMCRB	8	8	3ICLK
0008 2415h	DMAC2	DMA制御レジスタC	DMCRC	8	8	3ICLK
0008 2416h	DMAC2	DMA制御レジスタD	DMCRD	8	8	3ICLK
0008 2417h	DMAC2	DMA制御レジスタE	DMCRE	8	8	3ICLK
0008 2418h	DMAC3	DMA制御レジスタA	DMCRA	32	32	3ICLK
0008 241Ch	DMAC3	DMA制御レジスタB	DMCRB	8	8	3ICLK
0008 241Dh	DMAC3	DMA制御レジスタC	DMCRC	8	8	3ICLK
0008 241Eh	DMAC3	DMA制御レジスタD	DMCRD	8	8	3ICLK
0008 241Fh	DMAC3	DMA制御レジスタE	DMCRE	8	8	3ICLK
0008 2502h	DMAC共通	DMA起動制御レジスタ	DMSCNT	8	8	3ICLK
0008 250Bh	DMAC共通	DMA割り込み制御レジスタ	DMICNT	8	8	3ICLK
0008 2517h	DMAC共通	DMA転送終了検出レジスタ	DMEDET	8	8	3ICLK
0008 251Bh	DMAC共通	DMAアービトラーションステータスレジスタ	DMASTS	8	8	3ICLK
0008 3002h	BSC	CS0モードレジスタ	CS0MOD	16	16	1~2BCLK (注7)
0008 3004h	BSC	CS0ウェイト制御レジスタ1	CS0WCNT1	32	32	1~2BCLK (注7)
0008 3008h	BSC	CS0ウェイト制御レジスタ2	CS0WCNT2	32	32	1~2BCLK (注7)
0008 3012h	BSC	CS1モードレジスタ	CS1MOD	16	16	1~2BCLK (注7)
0008 3014h	BSC	CS1ウェイト制御レジスタ1	CS1WCNT1	32	32	1~2BCLK (注7)
0008 3018h	BSC	CS1ウェイト制御レジスタ2	CS1WCNT2	32	32	1~2BCLK (注7)
0008 3022h	BSC	CS2モードレジスタ	CS2MOD	16	16	1~2BCLK (注7)
0008 3024h	BSC	CS2ウェイト制御レジスタ1	CS2WCNT1	32	32	1~2BCLK (注7)
0008 3028h	BSC	CS2ウェイト制御レジスタ2	CS2WCNT2	32	32	1~2BCLK (注7)
0008 3032h	BSC	CS3モードレジスタ	CS3MOD	16	16	1~2BCLK (注7)
0008 3034h	BSC	CS3ウェイト制御レジスタ1	CS3WCNT1	32	32	1~2BCLK (注7)
0008 3038h	BSC	CS3ウェイト制御レジスタ2	CS3WCNT2	32	32	1~2BCLK (注7)
0008 3042h	BSC	CS4モードレジスタ	CS4MOD	16	16	1~2BCLK (注7)
0008 3044h	BSC	CS4ウェイト制御レジスタ1	CS4WCNT1	32	32	1~2BCLK (注7)
0008 3048h	BSC	CS4ウェイト制御レジスタ2	CS4WCNT2	32	32	1~2BCLK (注7)
0008 3052h	BSC	CS5モードレジスタ	CS5MOD	16	16	1~2BCLK (注7)
0008 3054h	BSC	CS5ウェイト制御レジスタ1	CS5WCNT1	32	32	1~2BCLK (注7)
0008 3058h	BSC	CS5ウェイト制御レジスタ2	CS5WCNT2	32	32	1~2BCLK (注7)
0008 3062h	BSC	CS6モードレジスタ	CS6MOD	16	16	1~2BCLK (注7)
0008 3064h	BSC	CS6ウェイト制御レジスタ1	CS6WCNT1	32	32	1~2BCLK (注7)
0008 3068h	BSC	CS6ウェイト制御レジスタ2	CS6WCNT2	32	32	1~2BCLK (注7)
0008 3072h	BSC	CS7モードレジスタ	CS7MOD	16	16	1~2BCLK (注7)
0008 3074h	BSC	CS7ウェイト制御レジスタ1	CS7WCNT1	32	32	1~2BCLK (注7)
0008 3078h	BSC	CS7ウェイト制御レジスタ2	CS7WCNT2	32	32	1~2BCLK (注7)
0008 3802h	BSC	CS0制御レジスタ	CS0CNT	16	16	1~2BCLK (注7)
0008 380Ah	BSC	CS0リカバリサイクル設定レジスタ	CS0REC	16	16	1~2BCLK (注7)
0008 3812h	BSC	CS1制御レジスタ	CS1CNT	16	16	1~2BCLK (注7)
0008 381Ah	BSC	CS1リカバリサイクル設定レジスタ	CS1REC	16	16	1~2BCLK (注7)
0008 3822h	BSC	CS2制御レジスタ	CS2CNT	16	16	1~2BCLK (注7)
0008 382Ah	BSC	CS2リカバリサイクル設定レジスタ	CS2REC	16	16	1~2BCLK (注7)

表5.1 I/O レジスタアドレス一覧 (3 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 3832h	BSC	CS3制御レジスタ	CS3CNT	16	16	1~2BCLK (注7)
0008 383Ah	BSC	CS3リカバリサイクル設定レジスタ	CS3REC	16	16	1~2BCLK (注7)
0008 3842h	BSC	CS4制御レジスタ	CS4CNT	16	16	1~2BCLK (注7)
0008 384Ah	BSC	CS4リカバリサイクル設定レジスタ	CS4REC	16	16	1~2BCLK (注7)
0008 3852h	BSC	CS5制御レジスタ	CS5CNT	16	16	1~2BCLK (注7)
0008 385Ah	BSC	CS5リカバリサイクル設定レジスタ	CS5REC	16	16	1~2BCLK (注7)
0008 3862h	BSC	CS6制御レジスタ	CS6CNT	16	16	1~2BCLK (注7)
0008 386Ah	BSC	CS6リカバリサイクル設定レジスタ	CS6REC	16	16	1~2BCLK (注7)
0008 3872h	BSC	CS7制御レジスタ	CS7CNT	16	16	1~2BCLK (注7)
0008 387Ah	BSC	CS7リカバリサイクル設定レジスタ	CS7REC	16	16	1~2BCLK (注7)
0008 7010h	ICU	割り込み要求レジスタ 016	IR016	8	8	2ICLK
0008 7015h	ICU	割り込み要求レジスタ 021	IR021	8	8	2ICLK
0008 7017h	ICU	割り込み要求レジスタ 023	IR023	8	8	2ICLK
0008 701Ch	ICU	割り込み要求レジスタ 028	IR028	8	8	2ICLK
0008 701Dh	ICU	割り込み要求レジスタ 029	IR029	8	8	2ICLK
0008 701Eh	ICU	割り込み要求レジスタ 030	IR030	8	8	2ICLK
0008 701Fh	ICU	割り込み要求レジスタ 031	IR031	8	8	2ICLK
0008 7040h	ICU	割り込み要求レジスタ 064	IR064	8	8	2ICLK
0008 7041h	ICU	割り込み要求レジスタ 065	IR065	8	8	2ICLK
0008 7042h	ICU	割り込み要求レジスタ 066	IR066	8	8	2ICLK
0008 7043h	ICU	割り込み要求レジスタ 067	IR067	8	8	2ICLK
0008 7044h	ICU	割り込み要求レジスタ 068	IR068	8	8	2ICLK
0008 7045h	ICU	割り込み要求レジスタ 069	IR069	8	8	2ICLK
0008 7046h	ICU	割り込み要求レジスタ 070	IR070	8	8	2ICLK
0008 7047h	ICU	割り込み要求レジスタ 071	IR071	8	8	2ICLK
0008 7048h	ICU	割り込み要求レジスタ 072	IR072	8	8	2ICLK
0008 7049h	ICU	割り込み要求レジスタ 073	IR073	8	8	2ICLK
0008 704Ah	ICU	割り込み要求レジスタ 074	IR074	8	8	2ICLK
0008 704Bh	ICU	割り込み要求レジスタ 075	IR075	8	8	2ICLK
0008 704Ch	ICU	割り込み要求レジスタ 076	IR076	8	8	2ICLK
0008 704Dh	ICU	割り込み要求レジスタ 077	IR077	8	8	2ICLK
0008 704Eh	ICU	割り込み要求レジスタ 078	IR078	8	8	2ICLK
0008 704Fh	ICU	割り込み要求レジスタ 079	IR079	8	8	2ICLK
0008 7060h	ICU	割り込み要求レジスタ 096	IR096	8	8	2ICLK
0008 7062h	ICU	割り込み要求レジスタ 098	IR098	8	8	2ICLK
0008 7063h	ICU	割り込み要求レジスタ 099	IR099	8	8	2ICLK
0008 7064h	ICU	割り込み要求レジスタ 100	IR100	8	8	2ICLK
0008 7065h	ICU	割り込み要求レジスタ 101	IR101	8	8	2ICLK
0008 7068h	ICU	割り込み要求レジスタ 104	IR104	8	8	2ICLK
0008 7069h	ICU	割り込み要求レジスタ 105	IR105	8	8	2ICLK
0008 706Ah	ICU	割り込み要求レジスタ 106	IR106	8	8	2ICLK
0008 706Bh	ICU	割り込み要求レジスタ 107	IR107	8	8	2ICLK
0008 706Ch	ICU	割り込み要求レジスタ 108	IR108	8	8	2ICLK
0008 706Fh	ICU	割り込み要求レジスタ 111	IR111	8	8	2ICLK
0008 7070h	ICU	割り込み要求レジスタ 112	IR112	8	8	2ICLK
0008 7073h	ICU	割り込み要求レジスタ 115	IR115	8	8	2ICLK
0008 7074h	ICU	割り込み要求レジスタ 116	IR116	8	8	2ICLK
0008 7075h	ICU	割り込み要求レジスタ 117	IR117	8	8	2ICLK

表5.1 I/O レジスタアドレス一覧 (4 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 7076h	ICU	割り込み要求レジスタ 118	IR118	8	8	2ICLK
0008 7078h	ICU	割り込み要求レジスタ 120	IR120	8	8	2ICLK
0008 7079h	ICU	割り込み要求レジスタ 121	IR121	8	8	2ICLK
0008 707Ah	ICU	割り込み要求レジスタ 122	IR122	8	8	2ICLK
0008 707Bh	ICU	割り込み要求レジスタ 123	IR123	8	8	2ICLK
0008 707Ch	ICU	割り込み要求レジスタ 124	IR124	8	8	2ICLK
0008 707Dh	ICU	割り込み要求レジスタ 125	IR125	8	8	2ICLK
0008 707Eh	ICU	割り込み要求レジスタ 126	IR126	8	8	2ICLK
0008 707Fh	ICU	割り込み要求レジスタ 127	IR127	8	8	2ICLK
0008 7080h	ICU	割り込み要求レジスタ 128	IR128	8	8	2ICLK
0008 7083h	ICU	割り込み要求レジスタ 131	IR131	8	8	2ICLK
0008 7084h	ICU	割り込み要求レジスタ 132	IR132	8	8	2ICLK
0008 7085h	ICU	割り込み要求レジスタ 133	IR133	8	8	2ICLK
0008 7086h	ICU	割り込み要求レジスタ 134	IR134	8	8	2ICLK
0008 7088h	ICU	割り込み要求レジスタ 136	IR136	8	8	2ICLK
0008 7089h	ICU	割り込み要求レジスタ 137	IR137	8	8	2ICLK
0008 708Ah	ICU	割り込み要求レジスタ 138	IR138	8	8	2ICLK
0008 708Bh	ICU	割り込み要求レジスタ 139	IR139	8	8	2ICLK
0008 708Ch	ICU	割り込み要求レジスタ 140	IR140	8	8	2ICLK
0008 708Dh	ICU	割り込み要求レジスタ 141	IR141	8	8	2ICLK
0008 708Eh	ICU	割り込み要求レジスタ 142	IR142	8	8	2ICLK
0008 7091h	ICU	割り込み要求レジスタ 145	IR145	8	8	2ICLK
0008 7092h	ICU	割り込み要求レジスタ 146	IR146	8	8	2ICLK
0008 7095h	ICU	割り込み要求レジスタ 149	IR149	8	8	2ICLK
0008 7096h	ICU	割り込み要求レジスタ 150	IR150	8	8	2ICLK
0008 7097h	ICU	割り込み要求レジスタ 151	IR151	8	8	2ICLK
0008 7098h	ICU	割り込み要求レジスタ 152	IR152	8	8	2ICLK
0008 709Ah	ICU	割り込み要求レジスタ 154	IR154	8	8	2ICLK
0008 709Bh	ICU	割り込み要求レジスタ 155	IR155	8	8	2ICLK
0008 709Ch	ICU	割り込み要求レジスタ 156	IR156	8	8	2ICLK
0008 709Dh	ICU	割り込み要求レジスタ 157	IR157	8	8	2ICLK
0008 709Eh	ICU	割り込み要求レジスタ 158	IR158	8	8	2ICLK
0008 709Fh	ICU	割り込み要求レジスタ 159	IR159	8	8	2ICLK
0008 70A0h	ICU	割り込み要求レジスタ 160	IR160	8	8	2ICLK
0008 70A1h	ICU	割り込み要求レジスタ 161	IR161	8	8	2ICLK
0008 70A2h	ICU	割り込み要求レジスタ 162	IR162	8	8	2ICLK
0008 70A5h	ICU	割り込み要求レジスタ 165	IR165	8	8	2ICLK
0008 70A6h	ICU	割り込み要求レジスタ 166	IR166	8	8	2ICLK
0008 70A7h	ICU	割り込み要求レジスタ 167	IR167	8	8	2ICLK
0008 70A8h	ICU	割り込み要求レジスタ 168	IR168	8	8	2ICLK
0008 70AAh	ICU	割り込み要求レジスタ 170	IR170	8	8	2ICLK
0008 70ABh	ICU	割り込み要求レジスタ 171	IR171	8	8	2ICLK
0008 70AEh	ICU	割り込み要求レジスタ 174	IR174	8	8	2ICLK
0008 70AFh	ICU	割り込み要求レジスタ 175	IR175	8	8	2ICLK
0008 70B0h	ICU	割り込み要求レジスタ 176	IR176	8	8	2ICLK
0008 70B1h	ICU	割り込み要求レジスタ 177	IR177	8	8	2ICLK
0008 70B2h	ICU	割り込み要求レジスタ 178	IR178	8	8	2ICLK
0008 70B3h	ICU	割り込み要求レジスタ 179	IR179	8	8	2ICLK

表5.1 I/O レジスタアドレス一覧 (5 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 70B4h	ICU	割り込み要求レジスタ 180	IR180	8	8	2ICLK
0008 70B5h	ICU	割り込み要求レジスタ 181	IR181	8	8	2ICLK
0008 70B6h	ICU	割り込み要求レジスタ 182	IR182	8	8	2ICLK
0008 70B7h	ICU	割り込み要求レジスタ 183	IR183	8	8	2ICLK
0008 70B8h	ICU	割り込み要求レジスタ 184	IR184	8	8	2ICLK
0008 70B9h	ICU	割り込み要求レジスタ 185	IR185	8	8	2ICLK
0008 70C6h	ICU	割り込み要求レジスタ 198	IR198	8	8	2ICLK
0008 70C7h	ICU	割り込み要求レジスタ 199	IR199	8	8	2ICLK
0008 70C8h	ICU	割り込み要求レジスタ 200	IR200	8	8	2ICLK
0008 70C9h	ICU	割り込み要求レジスタ 201	IR201	8	8	2ICLK
0008 70D6h	ICU	割り込み要求レジスタ 214	IR214	8	8	2ICLK
0008 70D7h	ICU	割り込み要求レジスタ 215	IR215	8	8	2ICLK
0008 70D8h	ICU	割り込み要求レジスタ 216	IR216	8	8	2ICLK
0008 70D9h	ICU	割り込み要求レジスタ 217	IR217	8	8	2ICLK
0008 70DAh	ICU	割り込み要求レジスタ 218	IR218	8	8	2ICLK
0008 70DBh	ICU	割り込み要求レジスタ 219	IR219	8	8	2ICLK
0008 70DCh	ICU	割り込み要求レジスタ 220	IR220	8	8	2ICLK
0008 70DDh	ICU	割り込み要求レジスタ 221	IR221	8	8	2ICLK
0008 70DEh	ICU	割り込み要求レジスタ 222	IR222	8	8	2ICLK
0008 70DFh	ICU	割り込み要求レジスタ 223	IR223	8	8	2ICLK
0008 70E0h	ICU	割り込み要求レジスタ 224	IR224	8	8	2ICLK
0008 70E1h	ICU	割り込み要求レジスタ 225	IR225	8	8	2ICLK
0008 70E2h	ICU	割り込み要求レジスタ 226	IR226	8	8	2ICLK
0008 70E3h	ICU	割り込み要求レジスタ 227	IR227	8	8	2ICLK
0008 70E4h	ICU	割り込み要求レジスタ 228	IR228	8	8	2ICLK
0008 70E5h	ICU	割り込み要求レジスタ 229	IR229	8	8	2ICLK
0008 70E6h	ICU	割り込み要求レジスタ 230	IR230	8	8	2ICLK
0008 70E7h	ICU	割り込み要求レジスタ 231	IR231	8	8	2ICLK
0008 70E8h	ICU	割り込み要求レジスタ 232	IR232	8	8	2ICLK
0008 70E9h	ICU	割り込み要求レジスタ 233	IR233	8	8	2ICLK
0008 70EAh	ICU	割り込み要求レジスタ 234	IR234	8	8	2ICLK
0008 70EBh	ICU	割り込み要求レジスタ 235	IR235	8	8	2ICLK
0008 70ECh	ICU	割り込み要求レジスタ 236	IR236	8	8	2ICLK
0008 70EDh	ICU	割り込み要求レジスタ 237	IR237	8	8	2ICLK
0008 70EEh	ICU	割り込み要求レジスタ 238	IR238	8	8	2ICLK
0008 70EFh	ICU	割り込み要求レジスタ 239	IR239	8	8	2ICLK
0008 70F0h	ICU	割り込み要求レジスタ 240	IR240	8	8	2ICLK
0008 70F1h	ICU	割り込み要求レジスタ 241	IR241	8	8	2ICLK
0008 70F6h	ICU	割り込み要求レジスタ 246	IR246	8	8	2ICLK
0008 70F7h	ICU	割り込み要求レジスタ 247	IR247	8	8	2ICLK
0008 70F8h	ICU	割り込み要求レジスタ 248	IR248	8	8	2ICLK
0008 70F9h	ICU	割り込み要求レジスタ 249	IR249	8	8	2ICLK
0008 70FAh	ICU	割り込み要求レジスタ 250	IR250	8	8	2ICLK
0008 70FBh	ICU	割り込み要求レジスタ 251	IR251	8	8	2ICLK
0008 70FCh	ICU	割り込み要求レジスタ 252	IR252	8	8	2ICLK
0008 70FDh	ICU	割り込み要求レジスタ 253	IR253	8	8	2ICLK
0008 711Ch	ICU	割り込み要求先設定レジスタ 028	ISELR028	8	8	2ICLK
0008 711Dh	ICU	割り込み要求先設定レジスタ 029	ISELR029	8	8	2ICLK

表5.1 I/O レジスタアドレス一覧 (6 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 711Eh	ICU	割り込み要求先設定レジスタ 030	ISELR030	8	8	2ICLK
0008 711Fh	ICU	割り込み要求先設定レジスタ 031	ISELR031	8	8	2ICLK
0008 7140h	ICU	割り込み要求先設定レジスタ 064	ISELR064	8	8	2ICLK
0008 7141h	ICU	割り込み要求先設定レジスタ 065	ISELR065	8	8	2ICLK
0008 7142h	ICU	割り込み要求先設定レジスタ 066	ISELR066	8	8	2ICLK
0008 7143h	ICU	割り込み要求先設定レジスタ 067	ISELR067	8	8	2ICLK
0008 7144h	ICU	割り込み要求先設定レジスタ 068	ISELR068	8	8	2ICLK
0008 7145h	ICU	割り込み要求先設定レジスタ 069	ISELR069	8	8	2ICLK
0008 7146h	ICU	割り込み要求先設定レジスタ 070	ISELR070	8	8	2ICLK
0008 7147h	ICU	割り込み要求先設定レジスタ 071	ISELR071	8	8	2ICLK
0008 7148h	ICU	割り込み要求先設定レジスタ 072	ISELR072	8	8	2ICLK
0008 7149h	ICU	割り込み要求先設定レジスタ 073	ISELR073	8	8	2ICLK
0008 714Ah	ICU	割り込み要求先設定レジスタ 074	ISELR074	8	8	2ICLK
0008 714Bh	ICU	割り込み要求先設定レジスタ 075	ISELR075	8	8	2ICLK
0008 714Ch	ICU	割り込み要求先設定レジスタ 076	ISELR076	8	8	2ICLK
0008 714Dh	ICU	割り込み要求先設定レジスタ 077	ISELR077	8	8	2ICLK
0008 714Eh	ICU	割り込み要求先設定レジスタ 078	ISELR078	8	8	2ICLK
0008 714Fh	ICU	割り込み要求先設定レジスタ 079	ISELR079	8	8	2ICLK
0008 7162h	ICU	割り込み要求先設定レジスタ 098	ISELR098	8	8	2ICLK
0008 7163h	ICU	割り込み要求先設定レジスタ 099	ISELR099	8	8	2ICLK
0008 7164h	ICU	割り込み要求先設定レジスタ 100	ISELR100	8	8	2ICLK
0008 7165h	ICU	割り込み要求先設定レジスタ 101	ISELR101	8	8	2ICLK
0008 7168h	ICU	割り込み要求先設定レジスタ 104	ISELR104	8	8	2ICLK
0008 7169h	ICU	割り込み要求先設定レジスタ 105	ISELR105	8	8	2ICLK
0008 716Ah	ICU	割り込み要求先設定レジスタ 106	ISELR106	8	8	2ICLK
0008 716Bh	ICU	割り込み要求先設定レジスタ 107	ISELR107	8	8	2ICLK
0008 716Fh	ICU	割り込み要求先設定レジスタ 111	ISELR111	8	8	2ICLK
0008 7170h	ICU	割り込み要求先設定レジスタ 112	ISELR112	8	8	2ICLK
0008 7175h	ICU	割り込み要求先設定レジスタ 117	ISELR117	8	8	2ICLK
0008 7176h	ICU	割り込み要求先設定レジスタ 118	ISELR118	8	8	2ICLK
0008 717Ah	ICU	割り込み要求先設定レジスタ 122	ISELR122	8	8	2ICLK
0008 717Bh	ICU	割り込み要求先設定レジスタ 123	ISELR123	8	8	2ICLK
0008 717Ch	ICU	割り込み要求先設定レジスタ 124	ISELR124	8	8	2ICLK
0008 717Dh	ICU	割り込み要求先設定レジスタ 125	ISELR125	8	8	2ICLK
0008 717Fh	ICU	割り込み要求先設定レジスタ 127	ISELR127	8	8	2ICLK
0008 7180h	ICU	割り込み要求先設定レジスタ 128	ISELR128	8	8	2ICLK
0008 7185h	ICU	割り込み要求先設定レジスタ 133	ISELR133	8	8	2ICLK
0008 7186h	ICU	割り込み要求先設定レジスタ 134	ISELR134	8	8	2ICLK
0008 718Ah	ICU	割り込み要求先設定レジスタ 138	ISELR138	8	8	2ICLK
0008 718Bh	ICU	割り込み要求先設定レジスタ 139	ISELR139	8	8	2ICLK
0008 718Ch	ICU	割り込み要求先設定レジスタ 140	ISELR140	8	8	2ICLK
0008 718Dh	ICU	割り込み要求先設定レジスタ 141	ISELR141	8	8	2ICLK
0008 7191h	ICU	割り込み要求先設定レジスタ 145	ISELR145	8	8	2ICLK
0008 7192h	ICU	割り込み要求先設定レジスタ 146	ISELR146	8	8	2ICLK
0008 7197h	ICU	割り込み要求先設定レジスタ 151	ISELR151	8	8	2ICLK
0008 7198h	ICU	割り込み要求先設定レジスタ 152	ISELR152	8	8	2ICLK
0008 719Ch	ICU	割り込み要求先設定レジスタ 156	ISELR156	8	8	2ICLK
0008 719Dh	ICU	割り込み要求先設定レジスタ 157	ISELR157	8	8	2ICLK

表5.1 I/O レジスタアドレス一覧 (7 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 719Eh	ICU	割り込み要求先設定レジスタ 158	ISELR158	8	8	2ICLK
0008 719Fh	ICU	割り込み要求先設定レジスタ 159	ISELR159	8	8	2ICLK
0008 71A1h	ICU	割り込み要求先設定レジスタ 161	ISELR161	8	8	2ICLK
0008 71A2h	ICU	割り込み要求先設定レジスタ 162	ISELR162	8	8	2ICLK
0008 71A7h	ICU	割り込み要求先設定レジスタ 167	ISELR167	8	8	2ICLK
0008 71A8h	ICU	割り込み要求先設定レジスタ 168	ISELR168	8	8	2ICLK
0008 71AEh	ICU	割り込み要求先設定レジスタ 174	ISELR174	8	8	2ICLK
0008 71AFh	ICU	割り込み要求先設定レジスタ 175	ISELR175	8	8	2ICLK
0008 71B1h	ICU	割り込み要求先設定レジスタ 177	ISELR177	8	8	2ICLK
0008 71B2h	ICU	割り込み要求先設定レジスタ 178	ISELR178	8	8	2ICLK
0008 71B4h	ICU	割り込み要求先設定レジスタ 180	ISELR180	8	8	2ICLK
0008 71B5h	ICU	割り込み要求先設定レジスタ 181	ISELR181	8	8	2ICLK
0008 71B7h	ICU	割り込み要求先設定レジスタ 183	ISELR183	8	8	2ICLK
0008 71B8h	ICU	割り込み要求先設定レジスタ 184	ISELR184	8	8	2ICLK
0008 71C6h	ICU	割り込み要求先設定レジスタ 198	ISELR198	8	8	2ICLK
0008 71C7h	ICU	割り込み要求先設定レジスタ 199	ISELR199	8	8	2ICLK
0008 71C8h	ICU	割り込み要求先設定レジスタ 200	ISELR200	8	8	2ICLK
0008 71C9h	ICU	割り込み要求先設定レジスタ 201	ISELR201	8	8	2ICLK
0008 71D7h	ICU	割り込み要求先設定レジスタ 215	ISELR215	8	8	2ICLK
0008 71D8h	ICU	割り込み要求先設定レジスタ 216	ISELR216	8	8	2ICLK
0008 71DBh	ICU	割り込み要求先設定レジスタ 219	ISELR219	8	8	2ICLK
0008 71DCh	ICU	割り込み要求先設定レジスタ 220	ISELR220	8	8	2ICLK
0008 71DFh	ICU	割り込み要求先設定レジスタ 223	ISELR223	8	8	2ICLK
0008 71E0h	ICU	割り込み要求先設定レジスタ 224	ISELR224	8	8	2ICLK
0008 71E3h	ICU	割り込み要求先設定レジスタ 227	ISELR227	8	8	2ICLK
0008 71E4h	ICU	割り込み要求先設定レジスタ 228	ISELR228	8	8	2ICLK
0008 71E7h	ICU	割り込み要求先設定レジスタ 231	ISELR231	8	8	2ICLK
0008 71E8h	ICU	割り込み要求先設定レジスタ 232	ISELR232	8	8	2ICLK
0008 71EBh	ICU	割り込み要求先設定レジスタ 235	ISELR235	8	8	2ICLK
0008 71ECh	ICU	割り込み要求先設定レジスタ 236	ISELR236	8	8	2ICLK
0008 71EFh	ICU	割り込み要求先設定レジスタ 239	ISELR239	8	8	2ICLK
0008 71F0h	ICU	割り込み要求先設定レジスタ 240	ISELR240	8	8	2ICLK
0008 71F7h	ICU	割り込み要求先設定レジスタ 247	ISELR247	8	8	2ICLK
0008 71F8h	ICU	割り込み要求先設定レジスタ 248	ISELR248	8	8	2ICLK
0008 71FBh	ICU	割り込み要求先設定レジスタ 251	ISELR251	8	8	2ICLK
0008 71FCh	ICU	割り込み要求先設定レジスタ 252	ISELR252	8	8	2ICLK
0008 71FDh	ICU	割り込み要求先設定レジスタ 253	ISELR253	8	8	2ICLK
0008 7202h	ICU	割り込み要求許可レジスタ 02	IER02	8	8	2ICLK
0008 7203h	ICU	割り込み要求許可レジスタ 03	IER03	8	8	2ICLK
0008 7208h	ICU	割り込み要求許可レジスタ 08	IER08	8	8	2ICLK
0008 7209h	ICU	割り込み要求許可レジスタ 09	IER09	8	8	2ICLK
0008 720Ch	ICU	割り込み要求許可レジスタ 0C	IER0C	8	8	2ICLK
0008 720Dh	ICU	割り込み要求許可レジスタ 0D	IER0D	8	8	2ICLK
0008 720Eh	ICU	割り込み要求許可レジスタ 0E	IER0E	8	8	2ICLK
0008 720Fh	ICU	割り込み要求許可レジスタ 0F	IER0F	8	8	2ICLK
0008 7210h	ICU	割り込み要求許可レジスタ 10	IER10	8	8	2ICLK
0008 7211h	ICU	割り込み要求許可レジスタ 11	IER11	8	8	2ICLK
0008 7212h	ICU	割り込み要求許可レジスタ 12	IER12	8	8	2ICLK

表5.1 I/O レジスタアドレス一覧 (8 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 7213h	ICU	割り込み要求許可レジスタ 13	IER13	8	8	2ICLK
0008 7214h	ICU	割り込み要求許可レジスタ 14	IER14	8	8	2ICLK
0008 7215h	ICU	割り込み要求許可レジスタ 15	IER15	8	8	2ICLK
0008 7216h	ICU	割り込み要求許可レジスタ 16	IER16	8	8	2ICLK
0008 7217h	ICU	割り込み要求許可レジスタ 17	IER17	8	8	2ICLK
0008 7218h	ICU	割り込み要求許可レジスタ 18	IER18	8	8	2ICLK
0008 7219h	ICU	割り込み要求許可レジスタ 19	IER19	8	8	2ICLK
0008 721Ah	ICU	割り込み要求許可レジスタ 1A	IER1A	8	8	2ICLK
0008 721Bh	ICU	割り込み要求許可レジスタ 1B	IER1B	8	8	2ICLK
0008 721Ch	ICU	割り込み要求許可レジスタ 1C	IER1C	8	8	2ICLK
0008 721Dh	ICU	割り込み要求許可レジスタ 1D	IER1D	8	8	2ICLK
0008 721Eh	ICU	割り込み要求許可レジスタ 1E	IER1E	8	8	2ICLK
0008 721Fh	ICU	割り込み要求許可レジスタ 1F	IER1F	8	8	2ICLK
0008 7300h	ICU	割り込み要因プライオリティレジスタ 00	IPR00	8	8	2ICLK
0008 7301h	ICU	割り込み要因プライオリティレジスタ 01	IPR01	8	8	2ICLK
0008 7302h	ICU	割り込み要因プライオリティレジスタ 02	IPR02	8	8	2ICLK
0008 7304h	ICU	割り込み要因プライオリティレジスタ 04	IPR04	8	8	2ICLK
0008 7305h	ICU	割り込み要因プライオリティレジスタ 05	IPR05	8	8	2ICLK
0008 7306h	ICU	割り込み要因プライオリティレジスタ 06	IPR06	8	8	2ICLK
0008 7307h	ICU	割り込み要因プライオリティレジスタ 07	IPR07	8	8	2ICLK
0008 7320h	ICU	割り込み要因プライオリティレジスタ 20	IPR20	8	8	2ICLK
0008 7321h	ICU	割り込み要因プライオリティレジスタ 21	IPR21	8	8	2ICLK
0008 7322h	ICU	割り込み要因プライオリティレジスタ 22	IPR22	8	8	2ICLK
0008 7323h	ICU	割り込み要因プライオリティレジスタ 23	IPR23	8	8	2ICLK
0008 7324h	ICU	割り込み要因プライオリティレジスタ 24	IPR24	8	8	2ICLK
0008 7325h	ICU	割り込み要因プライオリティレジスタ 25	IPR25	8	8	2ICLK
0008 7326h	ICU	割り込み要因プライオリティレジスタ 26	IPR26	8	8	2ICLK
0008 7327h	ICU	割り込み要因プライオリティレジスタ 27	IPR27	8	8	2ICLK
0008 7328h	ICU	割り込み要因プライオリティレジスタ 28	IPR28	8	8	2ICLK
0008 7329h	ICU	割り込み要因プライオリティレジスタ 29	IPR29	8	8	2ICLK
0008 732Ah	ICU	割り込み要因プライオリティレジスタ 2A	IPR2A	8	8	2ICLK
0008 732Bh	ICU	割り込み要因プライオリティレジスタ 2B	IPR2B	8	8	2ICLK
0008 732Ch	ICU	割り込み要因プライオリティレジスタ 2C	IPR2C	8	8	2ICLK
0008 732Dh	ICU	割り込み要因プライオリティレジスタ 2D	IPR2D	8	8	2ICLK
0008 732Eh	ICU	割り込み要因プライオリティレジスタ 2E	IPR2E	8	8	2ICLK
0008 732Fh	ICU	割り込み要因プライオリティレジスタ 2F	IPR2F	8	8	2ICLK
0008 7340h	ICU	割り込み要因プライオリティレジスタ 40	IPR40	8	8	2ICLK
0008 7344h	ICU	割り込み要因プライオリティレジスタ 44	IPR44	8	8	2ICLK
0008 7345h	ICU	割り込み要因プライオリティレジスタ 45	IPR45	8	8	2ICLK
0008 7346h	ICU	割り込み要因プライオリティレジスタ 46	IPR46	8	8	2ICLK
0008 7347h	ICU	割り込み要因プライオリティレジスタ 47	IPR47	8	8	2ICLK
0008 734Ch	ICU	割り込み要因プライオリティレジスタ 4C	IPR4C	8	8	2ICLK
0008 734Dh	ICU	割り込み要因プライオリティレジスタ 4D	IPR4D	8	8	2ICLK
0008 734Eh	ICU	割り込み要因プライオリティレジスタ 4E	IPR4E	8	8	2ICLK
0008 734Fh	ICU	割り込み要因プライオリティレジスタ 4F	IPR4F	8	8	2ICLK
0008 7350h	ICU	割り込み要因プライオリティレジスタ 50	IPR50	8	8	2ICLK
0008 7351h	ICU	割り込み要因プライオリティレジスタ 51	IPR51	8	8	2ICLK

表5.1 I/O レジスタアドレス一覧 (9 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 7352h	ICU	割り込み要因プライオリティレジスタ 52	IPR52	8	8	2ICLK
0008 7353h	ICU	割り込み要因プライオリティレジスタ 53	IPR53	8	8	2ICLK
0008 7354h	ICU	割り込み要因プライオリティレジスタ 54	IPR54	8	8	2ICLK
0008 7355h	ICU	割り込み要因プライオリティレジスタ 55	IPR55	8	8	2ICLK
0008 7356h	ICU	割り込み要因プライオリティレジスタ 56	IPR56	8	8	2ICLK
0008 7357h	ICU	割り込み要因プライオリティレジスタ 57	IPR57	8	8	2ICLK
0008 7358h	ICU	割り込み要因プライオリティレジスタ 58	IPR58	8	8	2ICLK
0008 7359h	ICU	割り込み要因プライオリティレジスタ 59	IPR59	8	8	2ICLK
0008 735Ah	ICU	割り込み要因プライオリティレジスタ 5A	IPR5A	8	8	2ICLK
0008 735Bh	ICU	割り込み要因プライオリティレジスタ 5B	IPR5B	8	8	2ICLK
0008 735Ch	ICU	割り込み要因プライオリティレジスタ 5C	IPR5C	8	8	2ICLK
0008 735Dh	ICU	割り込み要因プライオリティレジスタ 5D	IPR5D	8	8	2ICLK
0008 735Eh	ICU	割り込み要因プライオリティレジスタ 5E	IPR5E	8	8	2ICLK
0008 735Fh	ICU	割り込み要因プライオリティレジスタ 5F	IPR5F	8	8	2ICLK
0008 7360h	ICU	割り込み要因プライオリティレジスタ 60	IPR60	8	8	2ICLK
0008 7361h	ICU	割り込み要因プライオリティレジスタ 61	IPR61	8	8	2ICLK
0008 7362h	ICU	割り込み要因プライオリティレジスタ 62	IPR62	8	8	2ICLK
0008 7363h	ICU	割り込み要因プライオリティレジスタ 63	IPR63	8	8	2ICLK
0008 7368h	ICU	割り込み要因プライオリティレジスタ 68	IPR68	8	8	2ICLK
0008 7369h	ICU	割り込み要因プライオリティレジスタ 69	IPR69	8	8	2ICLK
0008 736Ah	ICU	割り込み要因プライオリティレジスタ 6A	IPR6A	8	8	2ICLK
0008 736Bh	ICU	割り込み要因プライオリティレジスタ 6B	IPR6B	8	8	2ICLK
0008 7370h	ICU	割り込み要因プライオリティレジスタ 70	IPR70	8	8	2ICLK
0008 7371h	ICU	割り込み要因プライオリティレジスタ 71	IPR71	8	8	2ICLK
0008 7372h	ICU	割り込み要因プライオリティレジスタ 72	IPR72	8	8	2ICLK
0008 7373h	ICU	割り込み要因プライオリティレジスタ 73	IPR73	8	8	2ICLK
0008 7380h	ICU	割り込み要因プライオリティレジスタ 80	IPR80	8	8	2ICLK
0008 7381h	ICU	割り込み要因プライオリティレジスタ 81	IPR81	8	8	2ICLK
0008 7382h	ICU	割り込み要因プライオリティレジスタ 82	IPR82	8	8	2ICLK
0008 7383h	ICU	割り込み要因プライオリティレジスタ 83	IPR83	8	8	2ICLK
0008 7384h	ICU	割り込み要因プライオリティレジスタ 84	IPR84	8	8	2ICLK
0008 7385h	ICU	割り込み要因プライオリティレジスタ 85	IPR85	8	8	2ICLK
0008 7386h	ICU	割り込み要因プライオリティレジスタ 86	IPR86	8	8	2ICLK
0008 7388h	ICU	割り込み要因プライオリティレジスタ 88	IPR88	8	8	2ICLK
0008 7389h	ICU	割り込み要因プライオリティレジスタ 89	IPR89	8	8	2ICLK
0008 738Ah	ICU	割り込み要因プライオリティレジスタ 8A	IPR8A	8	8	2ICLK
0008 738Bh	ICU	割り込み要因プライオリティレジスタ 8B	IPR8B	8	8	2ICLK
0008 738Ch	ICU	割り込み要因プライオリティレジスタ 8C	IPR8C	8	8	2ICLK
0008 738Dh	ICU	割り込み要因プライオリティレジスタ 8D	IPR8D	8	8	2ICLK
0008 738Eh	ICU	割り込み要因プライオリティレジスタ 8E	IPR8E	8	8	2ICLK
0008 738Fh	ICU	割り込み要因プライオリティレジスタ 8F	IPR8F	8	8	2ICLK
0008 73F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK
0008 7400h	DTC	DTCコントロールレジスタ	DTCCR	8	8	2ICLK
0008 7404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2ICLK
0008 7408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8	2ICLK
0008 740Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2ICLK

表5.1 I/O レジスタアドレス一覧 (10 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 8000h	CMT (ユニット0)	コンペアマッチタイマスタートレジスタ0	CMSTR0	16	16	2~3PCLK (注7)
0008 8002h	CMT0	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2~3PCLK (注7)
0008 8004h	CMT0	コンペアマッチタイマカウンタ	CMCNT	16	16	2~3PCLK (注7)
0008 8006h	CMT0	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2~3PCLK (注7)
0008 8008h	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2~3PCLK (注7)
0008 800Ah	CMT1	コンペアマッチタイマカウンタ	CMCNT	16	16	2~3PCLK (注7)
0008 800Ch	CMT1	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2~3PCLK (注7)
0008 8010h	CMT (ユニット1)	コンペアマッチタイマスタートレジスタ1	CMSTR1	16	16	2~3PCLK (注7)
0008 8012h	CMT2	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2~3PCLK (注7)
0008 8014h	CMT2	コンペアマッチタイマカウンタ	CMCNT	16	16	2~3PCLK (注7)
0008 8016h	CMT2	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2~3PCLK (注7)
0008 8018h	CMT3	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2~3PCLK (注7)
0008 801Ah	CMT3	コンペアマッチタイマカウンタ	CMCNT	16	16	2~3PCLK (注7)
0008 801Ch	CMT3	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2~3PCLK (注7)
0008 8028h	WDT	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLK (注7)
0008 8028h	WDT	ライトウィンドウAレジスタ	WINA	16	16	2~3PCLK (注7)
0008 8029h	WDT	タイマカウンタ	TCNT	8	8	2~3PCLK (注7)
0008 802Ah	WDT	ライトウィンドウBレジスタ	WINB	16	16	2~3PCLK (注7)
0008 802Bh	WDT	リセットコントロール/ステータスレジスタ	RSTCSR	8	8	2~3PCLK (注7)
0008 8040h	AD0	A/DデータレジスタA	ADDRA	16	16	2~3PCLK (注7)
0008 8042h	AD0	A/DデータレジスタB	ADDRB	16	16	2~3PCLK (注7)
0008 8044h	AD0	A/DデータレジスタC	ADDRC	16	16	2~3PCLK (注7)
0008 8046h	AD0	A/DデータレジスタD	ADDRD	16	16	2~3PCLK (注7)
0008 8050h	AD0	A/Dコントロール/ステータスレジスタ	ADCSR	8	8	2~3PCLK (注7)
0008 8051h	AD0	A/Dコントロールレジスタ	ADCR	8	8	2~3PCLK (注7)
0008 8052h	AD0	ADDRyフォーマット選択レジスタ	ADDPR	8	8	2~3PCLK (注7)
0008 8053h	AD0	A/Dサンプリングステートレジスタ	ADSSTR	8	8	2~3PCLK (注7)
0008 8060h	AD1	A/DデータレジスタA	ADDRA	16	16	2~3PCLK (注7)
0008 8062h	AD1	A/DデータレジスタB	ADDRB	16	16	2~3PCLK (注7)
0008 8064h	AD1	A/DデータレジスタC	ADDRC	16	16	2~3PCLK (注7)
0008 8066h	AD1	A/DデータレジスタD	ADDRD	16	16	2~3PCLK (注7)
0008 8070h	AD1	A/Dコントロール/ステータスレジスタ	ADCSR	8	8	2~3PCLK (注7)
0008 8071h	AD1	A/Dコントロールレジスタ	ADCR	8	8	2~3PCLK (注7)
0008 8072h	AD1	ADDRyフォーマット選択レジスタ	ADDPR	8	8	2~3PCLK (注7)
0008 8073h	AD1	A/Dサンプリングステートレジスタ	ADSSTR	8	8	2~3PCLK (注7)
0008 8080h	AD2	A/DデータレジスタA	ADDRA	16	16	2~3PCLK (注7)
0008 8082h	AD2	A/DデータレジスタB	ADDRB	16	16	2~3PCLK (注7)
0008 8084h	AD2	A/DデータレジスタC	ADDRC	16	16	2~3PCLK (注7)
0008 8086h	AD2	A/DデータレジスタD	ADDRD	16	16	2~3PCLK (注7)
0008 8090h	AD2	A/Dコントロール/ステータスレジスタ	ADCSR	8	8	2~3PCLK (注7)
0008 8091h	AD2	A/Dコントロールレジスタ	ADCR	8	8	2~3PCLK (注7)
0008 8092h	AD2	ADDRyフォーマット選択レジスタ	ADDPR	8	8	2~3PCLK (注7)
0008 8093h	AD2	A/Dサンプリングステートレジスタ	ADSSTR	8	8	2~3PCLK (注7)
0008 80A0h	AD3	A/DデータレジスタA	ADDRA	16	16	2~3PCLK (注7)
0008 80A2h	AD3	A/DデータレジスタB	ADDRB	16	16	2~3PCLK (注7)
0008 80A4h	AD3	A/DデータレジスタC	ADDRC	16	16	2~3PCLK (注7)

表5.1 I/O レジスタアドレス一覧 (11 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 80A6h	AD3	A/DデータレジスタD	ADDRD	16	16	2~3PCLK (注7)
0008 80B0h	AD3	A/Dコントロール/ステータスレジスタ	ADCSR	8	8	2~3PCLK (注7)
0008 80B1h	AD3	A/Dコントロールレジスタ	ADCR	8	8	2~3PCLK (注7)
0008 80B2h	AD3	ADDRyフォーマット選択レジスタ	ADDPR	8	8	2~3PCLK (注7)
0008 80B3h	AD3	A/Dサンプリングステートレジスタ	ADSSTR	8	8	2~3PCLK (注7)
0008 80C0h	D/A	D/Aデータレジスタ0	DADR0	16	16	2~3PCLK (注7)
0008 80C2h	D/A	D/Aデータレジスタ1	DADR1	16	16	2~3PCLK (注7)
0008 80C4h	D/A	D/Aコントロールレジスタ	DACR	8	8	2~3PCLK (注7)
0008 80C5h	D/A	DADRxフォーマット選択レジスタ	DADPR	8	8	2~3PCLK (注7)
0008 8100h	TPU (ユニット0)	タイマスタートレジスタ	TSTRA	8	8	2~3PCLK (注7)
0008 8101h	TPU (ユニット0)	タイマシンクロレジスタ	TSYRA	8	8	2~3PCLK (注7)
0008 8110h	TPU0	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 8111h	TPU0	タイマモードレジスタ	TMDR	8	8	2~3PCLK (注7)
0008 8112h	TPU0	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLK (注7)
0008 8113h	TPU0	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLK (注7)
0008 8114h	TPU0	タイマインタラプトイネーブルレジスタ	TIER	8	8	2~3PCLK (注7)
0008 8115h	TPU0	タイマステータスレジスタ	TSR	8	8	2~3PCLK (注7)
0008 8116h	TPU0	タイマカウンタ	TCNT	16	16	2~3PCLK (注7)
0008 8118h	TPU0	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLK (注7)
0008 811Ah	TPU0	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLK (注7)
0008 811Ch	TPU0	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLK (注7)
0008 811Eh	TPU0	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLK (注7)
0008 8120h	TPU1	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 8121h	TPU1	タイマモードレジスタ	TMDR	8	8	2~3PCLK (注7)
0008 8122h	TPU1	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLK (注7)
0008 8124h	TPU1	タイマインタラプトイネーブルレジスタ	TIER	8	8	2~3PCLK (注7)
0008 8125h	TPU1	タイマステータスレジスタ	TSR	8	8	2~3PCLK (注7)
0008 8126h	TPU1	タイマカウンタ	TCNT	16	16	2~3PCLK (注7)
0008 8128h	TPU1	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLK (注7)
0008 812Ah	TPU1	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLK (注7)
0008 8130h	TPU2	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 8131h	TPU2	タイマモードレジスタ	TMDR	8	8	2~3PCLK (注7)
0008 8132h	TPU2	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLK (注7)
0008 8134h	TPU2	タイマインタラプトイネーブルレジスタ	TIER	8	8	2~3PCLK (注7)
0008 8135h	TPU2	タイマステータスレジスタ	TSR	8	8	2~3PCLK (注7)
0008 8136h	TPU2	タイマカウンタ	TCNT	16	16	2~3PCLK (注7)
0008 8138h	TPU2	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLK (注7)
0008 813Ah	TPU2	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLK (注7)
0008 8140h	TPU3	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 8141h	TPU3	タイマモードレジスタ	TMDR	8	8	2~3PCLK (注7)
0008 8142h	TPU3	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLK (注7)
0008 8143h	TPU3	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLK (注7)
0008 8144h	TPU3	タイマインタラプトイネーブルレジスタ	TIER	8	8	2~3PCLK (注7)
0008 8145h	TPU3	タイマステータスレジスタ	TSR	8	8	2~3PCLK (注7)
0008 8146h	TPU3	タイマカウンタ	TCNT	16	16	2~3PCLK (注7)
0008 8148h	TPU3	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLK (注7)

表5.1 I/O レジスタアドレス一覧 (12 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 814Ah	TPU3	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLK (注7)
0008 814Ch	TPU3	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLK (注7)
0008 814Eh	TPU3	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLK (注7)
0008 8150h	TPU4	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 8151h	TPU4	タイマモードレジスタ	TMDR	8	8	2~3PCLK (注7)
0008 8152h	TPU4	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLK (注7)
0008 8154h	TPU4	タイマインタラプトイネーブルレジスタ	TIER	8	8	2~3PCLK (注7)
0008 8155h	TPU4	タイマステータスレジスタ	TSR	8	8	2~3PCLK (注7)
0008 8156h	TPU4	タイマカウンタ	TCNT	16	16	2~3PCLK (注7)
0008 8158h	TPU4	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLK (注7)
0008 815Ah	TPU4	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLK (注7)
0008 8160h	TPU5	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 8161h	TPU5	タイマモードレジスタ	TMDR	8	8	2~3PCLK (注7)
0008 8162h	TPU5	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLK (注7)
0008 8164h	TPU5	タイマインタラプトイネーブルレジスタ	TIER	8	8	2~3PCLK (注7)
0008 8165h	TPU5	タイマステータスレジスタ	TSR	8	8	2~3PCLK (注7)
0008 8166h	TPU5	タイマカウンタ	TCNT	16	16	2~3PCLK (注7)
0008 8168h	TPU5	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLK (注7)
0008 816Ah	TPU5	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLK (注7)
0008 8170h	TPU (ユニット1)	タイマスタートレジスタ	TSTRB	8	8	2~3PCLK (注7)
0008 8171h	TPU (ユニット1)	タイマシンクロレジスタ	TSYRB	8	8	2~3PCLK (注7)
0008 8180h	TPU6	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 8181h	TPU6	タイマモードレジスタ	TMDR	8	8	2~3PCLK (注7)
0008 8182h	TPU6	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLK (注7)
0008 8183h	TPU6	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLK (注7)
0008 8184h	TPU6	タイマインタラプトイネーブルレジスタ	TIER	8	8	2~3PCLK (注7)
0008 8185h	TPU6	タイマステータスレジスタ	TSR	8	8	2~3PCLK (注7)
0008 8186h	TPU6	タイマカウンタ	TCNT	16	16	2~3PCLK (注7)
0008 8188h	TPU6	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLK (注7)
0008 818Ah	TPU6	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLK (注7)
0008 818Ch	TPU6	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLK (注7)
0008 818Eh	TPU6	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLK (注7)
0008 8190h	TPU7	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 8191h	TPU7	タイマモードレジスタ	TMDR	8	8	2~3PCLK (注7)
0008 8192h	TPU7	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLK (注7)
0008 8194h	TPU7	タイマインタラプトイネーブルレジスタ	TIER	8	8	2~3PCLK (注7)
0008 8195h	TPU7	タイマステータスレジスタ	TSR	8	8	2~3PCLK (注7)
0008 8196h	TPU7	タイマカウンタ	TCNT	16	16	2~3PCLK (注7)
0008 8198h	TPU7	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLK (注7)
0008 819Ah	TPU7	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLK (注7)
0008 81A0h	TPU8	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 81A1h	TPU8	タイマモードレジスタ	TMDR	8	8	2~3PCLK (注7)
0008 81A2h	TPU8	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLK (注7)
0008 81A4h	TPU8	タイマインタラプトイネーブルレジスタ	TIER	8	8	2~3PCLK (注7)
0008 81A5h	TPU8	タイマステータスレジスタ	TSR	8	8	2~3PCLK (注7)
0008 81A6h	TPU8	タイマカウンタ	TCNT	16	16	2~3PCLK (注7)

表5.1 I/O レジスタアドレス一覧 (13 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 81A8h	TPU8	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLK (注7)
0008 81AAh	TPU8	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLK (注7)
0008 81B0h	TPU9	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 81B1h	TPU9	タイマモードレジスタ	TMDR	8	8	2~3PCLK (注7)
0008 81B2h	TPU9	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLK (注7)
0008 81B3h	TPU9	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLK (注7)
0008 81B4h	TPU9	タイマインタラプトイネーブルレジスタ	TIER	8	8	2~3PCLK (注7)
0008 81B5h	TPU9	タイマステータスレジスタ	TSR	8	8	2~3PCLK (注7)
0008 81B6h	TPU9	タイマカウンタ	TCNT	16	16	2~3PCLK (注7)
0008 81B8h	TPU9	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLK (注7)
0008 81BAh	TPU9	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLK (注7)
0008 81BCh	TPU9	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLK (注7)
0008 81BEh	TPU9	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLK (注7)
0008 81C0h	TPU10	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 81C1h	TPU10	タイマモードレジスタ	TMDR	8	8	2~3PCLK (注7)
0008 81C2h	TPU10	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLK (注7)
0008 81C4h	TPU10	タイマインタラプトイネーブルレジスタ	TIER	8	8	2~3PCLK (注7)
0008 81C5h	TPU10	タイマステータスレジスタ	TSR	8	8	2~3PCLK (注7)
0008 81C6h	TPU10	タイマカウンタ	TCNT	16	16	2~3PCLK (注7)
0008 81C8h	TPU10	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLK (注7)
0008 81CAh	TPU10	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLK (注7)
0008 81D0h	TPU11	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 81D1h	TPU11	タイマモードレジスタ	TMDR	8	8	2~3PCLK (注7)
0008 81D2h	TPU11	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLK (注7)
0008 81D4h	TPU11	タイマインタラプトイネーブルレジスタ	TIER	8	8	2~3PCLK (注7)
0008 81D5h	TPU11	タイマステータスレジスタ	TSR	8	8	2~3PCLK (注7)
0008 81D6h	TPU11	タイマカウンタ	TCNT	16	16	2~3PCLK (注7)
0008 81D8h	TPU11	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLK (注7)
0008 81DAh	TPU11	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLK (注7)
0008 81E6h	PPG0	PPG出力コントロールレジスタ	PCR	8	8	2~3PCLK (注7)
0008 81E7h	PPG0	PPG出力モードレジスタ	PMR	8	8	2~3PCLK (注7)
0008 81E8h	PPG0	ネクストデータイネーブルレジスタH	NDERH	8	8	2~3PCLK (注7)
0008 81E9h	PPG0	ネクストデータイネーブルレジスタL	NDERL	8	8	2~3PCLK (注7)
0008 81EAh	PPG0	アウトプットデータレジスタH	PODRH	8	8	2~3PCLK (注7)
0008 81EBh	PPG0	アウトプットデータレジスタL	PODRL	8	8	2~3PCLK (注7)
0008 81ECh (注1)	PPG0	ネクストデータレジスタH	NDRH	8	8	2~3PCLK (注7)
0008 81EDh (注2)	PPG0	ネクストデータレジスタL	NDRL	8	8	2~3PCLK (注7)
0008 81EEh (注1)	PPG0	ネクストデータレジスタH	NDRH	8	8	2~3PCLK (注7)
0008 81EFh (注2)	PPG0	ネクストデータレジスタL	NDRL	8	8	2~3PCLK (注7)
0008 81F0h	PPG1	PPGトリガセレクトレジスタ	PTRSLR	8	8	2~3PCLK (注7)
0008 81F6h	PPG1	PPG出力コントロールレジスタ	PCR	8	8	2~3PCLK (注7)
0008 81F7h	PPG1	PPG出力モードレジスタ	PMR	8	8	2~3PCLK (注7)
0008 81F8h	PPG1	ネクストデータイネーブルレジスタH	NDERH	8	8	2~3PCLK (注7)
0008 81F9h	PPG1	ネクストデータイネーブルレジスタL	NDERL	8	8	2~3PCLK (注7)
0008 81FAh	PPG1	アウトプットデータレジスタH	PODRH	8	8	2~3PCLK (注7)
0008 81FBh	PPG1	アウトプットデータレジスタL	PODRL	8	8	2~3PCLK (注7)
0008 81FCh (注3)	PPG1	ネクストデータレジスタH	NDRH	8	8	2~3PCLK (注7)

表5.1 I/O レジスタアドレス一覧 (14 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 81FDh (注4)	PPG1	ネクストデータレジスタL	NDRL	8	8	2~3PCLK (注7)
0008 81FEh (注3)	PPG1	ネクストデータレジスタH	NDRH	8	8	2~3PCLK (注7)
0008 81FFh (注4)	PPG1	ネクストデータレジスタL	NDRL	8	8	2~3PCLK (注7)
0008 8200h	TMR0	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 8201h	TMR1	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 8202h	TMR0	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLK (注7)
0008 8203h	TMR1	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLK (注7)
0008 8204h	TMR0	タイムコンスタントレジスタA	TCORA	8	8または16	2~3PCLK (注7)
0008 8205h	TMR1	タイムコンスタントレジスタA	TCORA	8	8または16 (注5)	2~3PCLK (注7)
0008 8206h	TMR0	タイムコンスタントレジスタB	TCORB	8	8または16	2~3PCLK (注7)
0008 8207h	TMR1	タイムコンスタントレジスタB	TCORB	8	8または16 (注5)	2~3PCLK (注7)
0008 8208h	TMR0	タイマカウンタ	TCNT	8	8または16	2~3PCLK (注7)
0008 8209h	TMR1	タイマカウンタ	TCNT	8	8または16 (注5)	2~3PCLK (注7)
0008 820Ah	TMR0	タイマカウンタコントロールレジスタ	TCCR	8	8または16	2~3PCLK (注7)
0008 820Bh	TMR1	タイマカウンタコントロールレジスタ	TCCR	8	8または16	2~3PCLK (注7)
0008 8210h	TMR2	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 8211h	TMR3	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 8212h	TMR2	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLK (注7)
0008 8213h	TMR3	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLK (注7)
0008 8214h	TMR2	タイムコンスタントレジスタA	TCORA	8	8または16	2~3PCLK (注7)
0008 8215h	TMR3	タイムコンスタントレジスタA	TCORA	8	8または16 (注5)	2~3PCLK (注7)
0008 8216h	TMR2	タイムコンスタントレジスタB	TCORB	8	8または16	2~3PCLK (注7)
0008 8217h	TMR3	タイムコンスタントレジスタB	TCORB	8	8または16 (注5)	2~3PCLK (注7)
0008 8218h	TMR2	タイマカウンタ	TCNT	8	8または16	2~3PCLK (注7)
0008 8219h	TMR3	タイマカウンタ	TCNT	8	8または16 (注5)	2~3PCLK (注7)
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	8	8または16	2~3PCLK (注7)
0008 821Bh	TMR3	タイマカウンタコントロールレジスタ	TCCR	8	8または16	2~3PCLK (注7)
0008 8240h	SCI0	シリアルモードレジスタ	SMR (注6)	8	8	2~3PCLK (注7)
0008 8241h	SCI0	ビットレートレジスタ	BRR	8	8	2~3PCLK (注7)
0008 8242h	SCI0	シリアルコントロールレジスタ	SCR (注6)	8	8	2~3PCLK (注7)
0008 8243h	SCI0	トランスミットデータレジスタ	TDR	8	8	2~3PCLK (注7)
0008 8244h	SCI0	シリアルステータスレジスタ	SSR (注6)	8	8	2~3PCLK (注7)
0008 8245h	SCI0	レシーブデータレジスタ	RDR	8	8	2~3PCLK (注7)
0008 8246h	SCI0	スマートカードモードレジスタ	SCMR	8	8	2~3PCLK (注7)
0008 8247h	SCI0	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLK (注7)
0008 8248h	SCI1	シリアルモードレジスタ	SMR (注6)	8	8	2~3PCLK (注7)
0008 8249h	SCI1	ビットレートレジスタ	BRR	8	8	2~3PCLK (注7)
0008 824Ah	SCI1	シリアルコントロールレジスタ	SCR (注6)	8	8	2~3PCLK (注7)
0008 824Bh	SCI1	トランスミットデータレジスタ	TDR	8	8	2~3PCLK (注7)
0008 824Ch	SCI1	シリアルステータスレジスタ	SSR (注6)	8	8	2~3PCLK (注7)
0008 824Dh	SCI1	レシーブデータレジスタ	RDR	8	8	2~3PCLK (注7)
0008 824Eh	SCI1	スマートカードモードレジスタ	SCMR	8	8	2~3PCLK (注7)
0008 824Fh	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLK (注7)
0008 8250h	SCI2	シリアルモードレジスタ	SMR (注6)	8	8	2~3PCLK (注7)
0008 8251h	SCI2	ビットレートレジスタ	BRR	8	8	2~3PCLK (注7)
0008 8252h	SCI2	シリアルコントロールレジスタ	SCR (注6)	8	8	2~3PCLK (注7)
0008 8253h	SCI2	トランスミットデータレジスタ	TDR	8	8	2~3PCLK (注7)

表5.1 I/O レジスタアドレス一覧 (15 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 8254h	SCI2	シリアルステータスレジスタ	SSR (注6)	8	8	2~3PCLK (注7)
0008 8255h	SCI2	レシーブデータレジスタ	RDR	8	8	2~3PCLK (注7)
0008 8256h	SCI2	スマートカードモードレジスタ	SCMR	8	8	2~3PCLK (注7)
0008 8257h	SCI2	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLK (注7)
0008 8258h	SCI3	シリアルモードレジスタ	SMR (注6)	8	8	2~3PCLK (注7)
0008 8259h	SCI3	ビットレートレジスタ	BRR	8	8	2~3PCLK (注7)
0008 825Ah	SCI3	シリアルコントロールレジスタ	SCR (注6)	8	8	2~3PCLK (注7)
0008 825Bh	SCI3	トランスミットデータレジスタ	TDR	8	8	2~3PCLK (注7)
0008 825Ch	SCI3	シリアルステータスレジスタ	SSR (注6)	8	8	2~3PCLK (注7)
0008 825Dh	SCI3	レシーブデータレジスタ	RDR	8	8	2~3PCLK (注7)
0008 825Eh	SCI3	スマートカードモードレジスタ	SCMR	8	8	2~3PCLK (注7)
0008 825Fh	SCI3	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLK (注7)
0008 8260h	SCI4	シリアルモードレジスタ	SMR (注6)	8	8	2~3PCLK (注7)
0008 8261h	SCI4	ビットレートレジスタ	BRR	8	8	2~3PCLK (注7)
0008 8262h	SCI4	シリアルコントロールレジスタ	SCR (注6)	8	8	2~3PCLK (注7)
0008 8263h	SCI4	トランスミットデータレジスタ	TDR	8	8	2~3PCLK (注7)
0008 8264h	SCI4	シリアルステータスレジスタ	SSR (注6)	8	8	2~3PCLK (注7)
0008 8265h	SCI4	レシーブデータレジスタ	RDR	8	8	2~3PCLK (注7)
0008 8266h	SCI4	スマートカードモードレジスタ	SCMR	8	8	2~3PCLK (注7)
0008 8267h	SCI4	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLK (注7)
0008 8268h	SCI5	シリアルモードレジスタ	SMR (注6)	8	8	2~3PCLK (注7)
0008 8269h	SCI5	ビットレートレジスタ	BRR	8	8	2~3PCLK (注7)
0008 826Ah	SCI5	シリアルコントロールレジスタ	SCR (注6)	8	8	2~3PCLK (注7)
0008 826Bh	SCI5	トランスミットデータレジスタ	TDR	8	8	2~3PCLK (注7)
0008 826Ch	SCI5	シリアルステータスレジスタ	SSR (注6)	8	8	2~3PCLK (注7)
0008 826Dh	SCI5	レシーブデータレジスタ	RDR	8	8	2~3PCLK (注7)
0008 826Eh	SCI5	スマートカードモードレジスタ	SCMR	8	8	2~3PCLK (注7)
0008 826Fh	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLK (注7)
0008 8270h	SCI6	シリアルモードレジスタ	SMR (注6)	8	8	2~3PCLK (注7)
0008 8271h	SCI6	ビットレートレジスタ	BRR	8	8	2~3PCLK (注7)
0008 8272h	SCI6	シリアルコントロールレジスタ	SCR (注6)	8	8	2~3PCLK (注7)
0008 8273h	SCI6	トランスミットデータレジスタ	TDR	8	8	2~3PCLK (注7)
0008 8274h	SCI6	シリアルステータスレジスタ	SSR (注6)	8	8	2~3PCLK (注7)
0008 8275h	SCI6	レシーブデータレジスタ	RDR	8	8	2~3PCLK (注7)
0008 8276h	SCI6	スマートカードモードレジスタ	SCMR	8	8	2~3PCLK (注7)
0008 8277h	SCI6	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLK (注7)
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2~3PCLK (注7)
0008 8281h	CRC	CRCデータ入力レジスタ	CRCDIR	8	8	2~3PCLK (注7)
0008 8282h	CRC	CRCデータ出力レジスタ	CRCDOR	16	16	2~3PCLK (注7)
0008 8300h	RIIC0	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2~3PCLK (注7)
0008 8301h	RIIC0	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2~3PCLK (注7)
0008 8302h	RIIC0	I ² Cバスモードレジスタ1	ICMR1	8	8	2~3PCLK (注7)
0008 8303h	RIIC0	I ² Cバスモードレジスタ2	ICMR2	8	8	2~3PCLK (注7)
0008 8304h	RIIC0	I ² Cバスモードレジスタ3	ICMR3	8	8	2~3PCLK (注7)
0008 8305h	RIIC0	I ² Cバスファンクションイネーブルレジスタ	ICFER	8	8	2~3PCLK (注7)
0008 8306h	RIIC0	I ² Cバスステータスイネーブルレジスタ	ICSER	8	8	2~3PCLK (注7)
0008 8307h	RIIC0	I ² Cバスインタラプトイネーブルレジスタ	ICIER	8	8	2~3PCLK (注7)

表5.1 I/O レジスタアドレス一覧 (16 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 8308h	RIIC0	I ² Cバスステータスレジスタ1	ICSR1	8	8	2~3PCLK (注7)
0008 8309h	RIIC0	I ² Cバスステータスレジスタ2	ICSR2	8	8	2~3PCLK (注7)
0008 830Ah	RIIC0	スレーブアドレスレジスタL0	SARL0	8	8	2~3PCLK (注7)
0008 830Ah	RIIC0	タイムアウト内部カウンタL	TMOCNTL	16	16	2~3PCLK (注7)
0008 830Bh	RIIC0	スレーブアドレスレジスタU0	SARU0	8	8	2~3PCLK (注7)
0008 830Bh	RIIC0	タイムアウト内部カウンタU	TMOCNTU	16	16	2~3PCLK (注7)
0008 830Ch	RIIC0	スレーブアドレスレジスタL1	SARL1	8	8	2~3PCLK (注7)
0008 830Dh	RIIC0	スレーブアドレスレジスタU1	SARU1	8	8	2~3PCLK (注7)
0008 830Eh	RIIC0	スレーブアドレスレジスタL2	SARL2	8	8	2~3PCLK (注7)
0008 830Fh	RIIC0	スレーブアドレスレジスタU2	SARU2	8	8	2~3PCLK (注7)
0008 8310h	RIIC0	I ² Cバスビットレートローレベルレジスタ	ICBRL	8	8	2~3PCLK (注7)
0008 8311h	RIIC0	I ² Cバスビットレートハイレベルレジスタ	ICBRH	8	8	2~3PCLK (注7)
0008 8312h	RIIC0	I ² Cバス送信データレジスタ	ICDRT	8	8	2~3PCLK (注7)
0008 8313h	RIIC0	I ² Cバス受信データレジスタ	ICDRR	8	8	2~3PCLK (注7)
0008 8320h	RIIC1	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2~3PCLK (注7)
0008 8321h	RIIC1	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2~3PCLK (注7)
0008 8322h	RIIC1	I ² Cバスモードレジスタ1	ICMR1	8	8	2~3PCLK (注7)
0008 8323h	RIIC1	I ² Cバスモードレジスタ2	ICMR2	8	8	2~3PCLK (注7)
0008 8324h	RIIC1	I ² Cバスモードレジスタ3	ICMR3	8	8	2~3PCLK (注7)
0008 8325h	RIIC1	I ² Cバスファンクションイネーブルレジスタ	ICFER	8	8	2~3PCLK (注7)
0008 8326h	RIIC1	I ² Cバスステータスイネーブルレジスタ	ICSER	8	8	2~3PCLK (注7)
0008 8327h	RIIC1	I ² Cバスインタラプトイネーブルレジスタ	ICIER	8	8	2~3PCLK (注7)
0008 8328h	RIIC1	I ² Cバスステータスレジスタ1	ICSR1	8	8	2~3PCLK (注7)
0008 8329h	RIIC1	I ² Cバスステータスレジスタ2	ICSR2	8	8	2~3PCLK (注7)
0008 832Ah	RIIC1	スレーブアドレスレジスタL0	SARL0	8	8	2~3PCLK (注7)
0008 832Ah	RIIC1	タイムアウト内部カウンタL	TMOCNTL	16	16	2~3PCLK (注7)
0008 832Bh	RIIC1	スレーブアドレスレジスタU0	SARU0	8	8	2~3PCLK (注7)
0008 832Bh	RIIC1	タイムアウト内部カウンタU	TMOCNTU	16	16	2~3PCLK (注7)
0008 832Ch	RIIC1	スレーブアドレスレジスタL1	SARL1	8	8	2~3PCLK (注7)
0008 832Dh	RIIC1	スレーブアドレスレジスタU1	SARU1	8	8	2~3PCLK (注7)
0008 832Eh	RIIC1	スレーブアドレスレジスタL2	SARL2	8	8	2~3PCLK (注7)
0008 832Fh	RIIC1	スレーブアドレスレジスタU2	SARU2	8	8	2~3PCLK (注7)
0008 8330h	RIIC1	I ² Cバスビットレートローレベルレジスタ	ICBRL	8	8	2~3PCLK (注7)
0008 8331h	RIIC1	I ² Cバスビットレートハイレベルレジスタ	ICBRH	8	8	2~3PCLK (注7)
0008 8332h	RIIC1	I ² Cバス送信データレジスタ	ICDRT	8	8	2~3PCLK (注7)
0008 8333h	RIIC1	I ² Cバス受信データレジスタ	ICDRR	8	8	2~3PCLK (注7)
0008 C000h	P0	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C001h	P1	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C002h	P2	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C003h	P3	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C004h	P4	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C005h	P5	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C006h	P6	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C007h	P7	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C008h	P8	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C009h	P9	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C00Ah	PA	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)

表5.1 I/O レジスタアドレス一覧 (17 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 C00Bh	PB	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C00Ch	PC	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C00Dh	PD	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C00Eh	PE	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C00Fh	PF	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C010h	PG	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C011h	PH	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C020h	P0	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C021h	P1	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C022h	P2	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C023h	P3	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C024h	P4	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C025h	P5	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C026h	P6	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C027h	P7	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C028h	P8	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C029h	P9	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C02Ah	PA	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C02Bh	PB	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C02Ch	PC	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C02Dh	PD	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C02Eh	PE	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C02Fh	PF	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C030h	PG	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C031h	PH	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C040h	P0	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C041h	P1	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C042h	P2	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C043h	P3	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C044h	P4	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C045h	P5	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C046h	P6	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C047h	P7	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C048h	P8	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C049h	P9	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C04Ah	PA	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C04Bh	PB	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C04Ch	PC	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C04Dh	PD	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C04Eh	PE	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C04Fh	PF	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C050h	PG	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C051h	PH	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C060h	P0	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C061h	P1	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C062h	P2	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C063h	P3	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)

表5.1 I/O レジスタアドレス一覧 (18 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 C064h	P4	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C065h	P5	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C066h	P6	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C067h	P7	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C068h	P8	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C069h	P9	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C06Ah	PA	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C06Bh	PB	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C06Ch	PC	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C06Dh	PD	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C06Eh	PE	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C06Fh	PF	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C070h	PG	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C071h	PH	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C082h	P2	オープンドレインコントロールレジスタ	ODR	8	8	2~3PCLK (注7)
0008 C08Ch	PC	オープンドレインコントロールレジスタ	ODR	8	8	2~3PCLK (注7)
0008 C0CAh	PA	ブルアップ抵抗コントロールレジスタ	PCR	8	8	2~3PCLK (注7)
0008 C0CBh	PB	ブルアップ抵抗コントロールレジスタ	PCR	8	8	2~3PCLK (注7)
0008 C0CCh	PC	ブルアップ抵抗コントロールレジスタ	PCR	8	8	2~3PCLK (注7)
0008 C0CDh	PD	ブルアップ抵抗コントロールレジスタ	PCR	8	8	2~3PCLK (注7)
0008 C0CEh	PE	ブルアップ抵抗コントロールレジスタ	PCR	8	8	2~3PCLK (注7)
0008 C100h	I/O PORT	ポートファンクションコントロールレジスタ0	PFCR0	8	8	2~3PCLK (注7)
0008 C101h	I/O PORT	ポートファンクションコントロールレジスタ1	PFCR1	8	8	2~3PCLK (注7)
0008 C102h	I/O PORT	ポートファンクションコントロールレジスタ2	PFCR2	8	8	2~3PCLK (注7)
0008 C103h	I/O PORT	ポートファンクションコントロールレジスタ3	PFCR3	8	8	2~3PCLK (注7)
0008 C104h	I/O PORT	ポートファンクションコントロールレジスタ4	PFCR4	8	8	2~3PCLK (注7)
0008 C105h	I/O PORT	ポートファンクションコントロールレジスタ5	PFCR5	8	8	2~3PCLK (注7)
0008 C106h	I/O PORT	ポートファンクションコントロールレジスタ6	PFCR6	8	8	2~3PCLK (注7)
0008 C107h	I/O PORT	ポートファンクションコントロールレジスタ7	PFCR7	8	8	2~3PCLK (注7)
0008 C108h	I/O PORT	ポートファンクションコントロールレジスタ8	PFCR8	8	8	2~3PCLK (注7)
0008 C109h	I/O PORT	ポートファンクションコントロールレジスタ9	PFCR9	8	8	2~3PCLK (注7)
0008 C280h	SYSTEM	ディープスタンバイコントロールレジスタ	DPSBYCR	8	8	4~5PCLK (注7)
0008 C281h	SYSTEM	ディープスタンバイウェイトコントロールレジスタ	DPSWCR	8	8	4~5PCLK (注7)
0008 C282h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ	DPSIER	8	8	4~5PCLK (注7)
0008 C283h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ	DPSIFR	8	8	4~5PCLK (注7)
0008 C284h	SYSTEM	ディープスタンバイインタラプトエッジレジスタ	DPSIEGR	8	8	4~5PCLK (注7)
0008 C285h	SYSTEM	リセットステータスレジスタ	RSTSR	8	8	4~5PCLK (注7)
0008 C289h	FLASH	フラッシュライト消去プロテクトレジスタ	FWEPOR	8	8	4~5PCLK (注7)
0008 C290h	SYSTEM	ディープスタンバイバックアップレジスタ0	DPSBKR0	8	8	4~5PCLK (注7)
0008 C291h	SYSTEM	ディープスタンバイバックアップレジスタ1	DPSBKR1	8	8	4~5PCLK (注7)
0008 C292h	SYSTEM	ディープスタンバイバックアップレジスタ2	DPSBKR2	8	8	4~5PCLK (注7)
0008 C293h	SYSTEM	ディープスタンバイバックアップレジスタ3	DPSBKR3	8	8	4~5PCLK (注7)
0008 C294h	SYSTEM	ディープスタンバイバックアップレジスタ4	DPSBKR4	8	8	4~5PCLK (注7)
0008 C295h	SYSTEM	ディープスタンバイバックアップレジスタ5	DPSBKR5	8	8	4~5PCLK (注7)
0008 C296h	SYSTEM	ディープスタンバイバックアップレジスタ6	DPSBKR6	8	8	4~5PCLK (注7)
0008 C297h	SYSTEM	ディープスタンバイバックアップレジスタ7	DPSBKR7	8	8	4~5PCLK (注7)
0008 C298h	SYSTEM	ディープスタンバイバックアップレジスタ8	DPSBKR8	8	8	4~5PCLK (注7)

表5.1 I/O レジスタアドレス一覧 (19 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 C299h	SYSTEM	ディープスタンバイバックアップレジスタ 9	DPSBKR9	8	8	4~5PCLK (注7)
0008 C29Ah	SYSTEM	ディープスタンバイバックアップレジスタ 10	DPSBKR10	8	8	4~5PCLK (注7)
0008 C29Bh	SYSTEM	ディープスタンバイバックアップレジスタ 11	DPSBKR11	8	8	4~5PCLK (注7)
0008 C29Ch	SYSTEM	ディープスタンバイバックアップレジスタ 12	DPSBKR12	8	8	4~5PCLK (注7)
0008 C29Dh	SYSTEM	ディープスタンバイバックアップレジスタ 13	DPSBKR13	8	8	4~5PCLK (注7)
0008 C29Eh	SYSTEM	ディープスタンバイバックアップレジスタ 14	DPSBKR14	8	8	4~5PCLK (注7)
0008 C29Fh	SYSTEM	ディープスタンバイバックアップレジスタ 15	DPSBKR15	8	8	4~5PCLK (注7)
0008 C2A0h	SYSTEM	ディープスタンバイバックアップレジスタ 16	DPSBKR16	8	8	4~5PCLK (注7)
0008 C2A1h	SYSTEM	ディープスタンバイバックアップレジスタ 17	DPSBKR17	8	8	4~5PCLK (注7)
0008 C2A2h	SYSTEM	ディープスタンバイバックアップレジスタ 18	DPSBKR18	8	8	4~5PCLK (注7)
0008 C2A3h	SYSTEM	ディープスタンバイバックアップレジスタ 19	DPSBKR19	8	8	4~5PCLK (注7)
0008 C2A4h	SYSTEM	ディープスタンバイバックアップレジスタ 20	DPSBKR20	8	8	4~5PCLK (注7)
0008 C2A5h	SYSTEM	ディープスタンバイバックアップレジスタ 21	DPSBKR21	8	8	4~5PCLK (注7)
0008 C2A6h	SYSTEM	ディープスタンバイバックアップレジスタ 22	DPSBKR22	8	8	4~5PCLK (注7)
0008 C2A7h	SYSTEM	ディープスタンバイバックアップレジスタ 23	DPSBKR23	8	8	4~5PCLK (注7)
0008 C2A8h	SYSTEM	ディープスタンバイバックアップレジスタ 24	DPSBKR24	8	8	4~5PCLK (注7)
0008 C2A9h	SYSTEM	ディープスタンバイバックアップレジスタ 25	DPSBKR25	8	8	4~5PCLK (注7)
0008 C2AAh	SYSTEM	ディープスタンバイバックアップレジスタ 26	DPSBKR26	8	8	4~5PCLK (注7)
0008 C2ABh	SYSTEM	ディープスタンバイバックアップレジスタ 27	DPSBKR27	8	8	4~5PCLK (注7)
0008 C2ACh	SYSTEM	ディープスタンバイバックアップレジスタ 28	DPSBKR28	8	8	4~5PCLK (注7)
0008 C2ADh	SYSTEM	ディープスタンバイバックアップレジスタ 29	DPSBKR29	8	8	4~5PCLK (注7)
0008 C2AEh	SYSTEM	ディープスタンバイバックアップレジスタ 30	DPSBKR30	8	8	4~5PCLK (注7)
0008 C2AFh	SYSTEM	ディープスタンバイバックアップレジスタ 31	DPSBKR31	8	8	4~5PCLK (注7)
0008 C300h	ICU	IRQ検出許可レジスタ 0	IRQER0	8	8	2~3PCLK (注7)
0008 C301h	ICU	IRQ検出許可レジスタ 1	IRQER1	8	8	2~3PCLK (注7)
0008 C302h	ICU	IRQ検出許可レジスタ 2	IRQER2	8	8	2~3PCLK (注7)
0008 C303h	ICU	IRQ検出許可レジスタ 3	IRQER3	8	8	2~3PCLK (注7)
0008 C304h	ICU	IRQ検出許可レジスタ 4	IRQER4	8	8	2~3PCLK (注7)
0008 C305h	ICU	IRQ検出許可レジスタ 5	IRQER5	8	8	2~3PCLK (注7)
0008 C306h	ICU	IRQ検出許可レジスタ 6	IRQER6	8	8	2~3PCLK (注7)
0008 C307h	ICU	IRQ検出許可レジスタ 7	IRQER7	8	8	2~3PCLK (注7)
0008 C308h	ICU	IRQ検出許可レジスタ 8	IRQER8	8	8	2~3PCLK (注7)
0008 C309h	ICU	IRQ検出許可レジスタ 9	IRQER9	8	8	2~3PCLK (注7)
0008 C30Ah	ICU	IRQ検出許可レジスタ 10	IRQER10	8	8	2~3PCLK (注7)
0008 C30Bh	ICU	IRQ検出許可レジスタ 11	IRQER11	8	8	2~3PCLK (注7)
0008 C30Ch	ICU	IRQ検出許可レジスタ 12	IRQER12	8	8	2~3PCLK (注7)
0008 C30Dh	ICU	IRQ検出許可レジスタ 13	IRQER13	8	8	2~3PCLK (注7)
0008 C30Eh	ICU	IRQ検出許可レジスタ 14	IRQER14	8	8	2~3PCLK (注7)
0008 C30Fh	ICU	IRQ検出許可レジスタ 15	IRQER15	8	8	2~3PCLK (注7)
0008 C320h	ICU	IRQコントロールレジスタ 0	IRQCR0	8	8	2~3PCLK (注7)
0008 C321h	ICU	IRQコントロールレジスタ 1	IRQCR1	8	8	2~3PCLK (注7)
0008 C322h	ICU	IRQコントロールレジスタ 2	IRQCR2	8	8	2~3PCLK (注7)
0008 C323h	ICU	IRQコントロールレジスタ 3	IRQCR3	8	8	2~3PCLK (注7)
0008 C324h	ICU	IRQコントロールレジスタ 4	IRQCR4	8	8	2~3PCLK (注7)
0008 C325h	ICU	IRQコントロールレジスタ 5	IRQCR5	8	8	2~3PCLK (注7)
0008 C326h	ICU	IRQコントロールレジスタ 6	IRQCR6	8	8	2~3PCLK (注7)
0008 C327h	ICU	IRQコントロールレジスタ 7	IRQCR7	8	8	2~3PCLK (注7)

表5.1 I/O レジスタアドレス一覧 (20 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 C328h	ICU	IRQコントロールレジスタ 8	IRQCR8	8	8	2~3PCLK (注7)
0008 C329h	ICU	IRQコントロールレジスタ 9	IRQCR9	8	8	2~3PCLK (注7)
0008 C32Ah	ICU	IRQコントロールレジスタ 10	IRQCR10	8	8	2~3PCLK (注7)
0008 C32Bh	ICU	IRQコントロールレジスタ 11	IRQCR11	8	8	2~3PCLK (注7)
0008 C32Ch	ICU	IRQコントロールレジスタ 12	IRQCR12	8	8	2~3PCLK (注7)
0008 C32Dh	ICU	IRQコントロールレジスタ 13	IRQCR13	8	8	2~3PCLK (注7)
0008 C32Eh	ICU	IRQコントロールレジスタ 14	IRQCR14	8	8	2~3PCLK (注7)
0008 C32Fh	ICU	IRQコントロールレジスタ 15	IRQCR15	8	8	2~3PCLK (注7)
0008 C340h	ICU	ソフトウェアスタンバイ解除IRQイネーブル レジスタ	SSIER	16	16	2~3PCLK (注7)
0008 C350h	ICU	ノンマスカブル割り込み許可レジスタ	NMIER	8	8	2~3PCLK (注7)
0008 C351h	ICU	NMI端子割り込みコントロールレジスタ	NMICR	8	8	2~3PCLK (注7)
0008 C352h	ICU	ノンマスカブル割り込みステータスレジスタ	NMISR	8	8	2~3PCLK (注7)
0008 C353h	ICU	ノンマスカブル割り込みクリアレジスタ	NMICLR	8	8	2~3PCLK (注7)
007F C402h	FLASH	フラッシュモードレジスタ	FMODR	8	8	2~3PCLK (注7)
007F C410h	FLASH	フラッシュアクセスステータスレジスタ	FASTAT	8	8	2~3PCLK (注7)
007F C411h	FLASH	フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	8	8	2~3PCLK (注7)
007F C412h	FLASH	フラッシュレディ割り込み許可レジスタ	FRDYIE	8	8	2~3PCLK (注7)
007F C440h	FLASH	データフラッシュ読み出し許可レジスタ	DFLRE	16	16	2~3PCLK (注7)
007F C450h	FLASH	データフラッシュ書き込み/消去許可レジスタ	DFLWE	16	16	2~3PCLK (注7)
007F C454h	FLASH	FCU RAMイネーブルレジスタ	FCURAME	16	16	2~3PCLK (注7)
007F FFB0h	FLASH	フラッシュステータスレジスタ 0	FSTATR0	8	8	2~3PCLK (注7)
007F FFB1h	FLASH	フラッシュステータスレジスタ 1	FSTATR1	8	8	2~3PCLK (注7)
007F FFB2h	FLASH	フラッシュ P/Eモードエントリーレジスタ	FENTRYR	16	16	2~3PCLK (注7)
007F FFB4h	FLASH	フラッシュプロテクトレジスタ	FPROTR	16	16	2~3PCLK (注7)
007F FFB6h	FLASH	フラッシュリセットレジスタ	FRESETR	16	16	2~3PCLK (注7)
007F FFBAh	FLASH	FCU コマンドレジスタ	FCMDR	16	16	2~3PCLK (注7)
007F FFC8h	FLASH	FCU 処理切り替えレジスタ	FCPSR	16	16	2~3PCLK (注7)
007F FFCAh	FLASH	データフラッシュブランクチェック制御レジスタ	DFLBCCNT	16	16	2~3PCLK (注7)
007F FFCCh	FLASH	フラッシュ P/Eステータスレジスタ	FPSTAT	16	16	2~3PCLK (注7)
007F FFCeh	FLASH	データフラッシュブランクチェックステータス レジスタ	DFLBCSTAT	16	16	2~3PCLK (注7)
007F FFE8h	FLASH	周辺クロック通知レジスタ	PCKAR	16	16	2~3PCLK (注7)

- 注1. PPG0.PCR の設定により、パルス出力グループ 2 とパルス出力グループ 3 の出力トリガ設定値が同一の場合は、PPG0.NDRH のアドレスは 000881ECh となります。出力トリガが異なる場合は、パルス出力グループ 2 に対応する PPG0.NDRH のアドレスは 000881EEh、出力グループ 3 に対応する PPG0.NDRH は 000881ECh となります。
- 注2. PPG0.PCR の設定により、パルス出力グループ 0 とパルス出力グループ 1 の出力トリガ設定値が同一の場合は、PPG0.NDRL のアドレスは 000881EDh となります。出力トリガが異なる場合は、パルス出力グループ 0 に対応する PPG0.NDRL のアドレスは 000881EFh、出力グループ 1 に対応する PPG0.NDRL は 000881EDh となります。
- 注3. PPG1.PCR の設定により、パルス出力グループ 6 とパルス出力グループ 7 の出力トリガ設定値が同一の場合は、PPG1.NDRH のアドレスは 000881FCh となります。出力トリガが異なる場合は、パルス出力グループ 6 に対応する PPG1.NDRH のアドレスは 000881FEh、出力グループ 7 に対応する PPG1.NDRH は 000881FCh となります。
- 注4. PPG1.PCR の設定により、パルス出力グループ 4 とパルス出力グループ 5 の出力トリガ設定値が同一の場合は、PPG1.NDRL のアドレスは 000881FDh となります。出力トリガが異なる場合は、パルス出力グループ 4 に対応する PPG1.NDRL のアドレスは 000881FFh、出力グループ 5 に対応する PPG1.NDRL は 000881FDh となります。
- 注5. 奇数アドレスへの 16 ビットアクセスはできません。レジスタを 16 ビットアクセスする場合は、TMR0 または TMR2 のレジスタのアドレスへアクセスしてください。
- 注6. シリアルコミュニケーションモードとスマートカードインタフェースモードで一部のビットの機能が異なります。
- 注7. 分周クロック同期化サイクル (0~1PCLK) により変動します。
- 注8. DMAC 動作中にレジスタアクセスを行った場合、51CLK となることがあります。

5.2 I/O レジスタビット一覧

周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16 ビット、32 ビットレジスタは、8 ビットずつ2 段または4 段で表しています。

表5.2 I/O レジスタビット一覧 (1 / 26)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
SYSTEM	MDMONR	—	—	—	—	—	—	—	—
		MDE	—	—	—	—	—	MD1	MD0
SYSTEM	MDSR	—	—	—	—	—	—	—	—
		—	UBTS	—	BOTS	BSW[1:0]		EXB	IROM
SYSTEM	SYSCR0	KEY[7:0]							
		—	—	—	—	—	—	EXBE	ROME
SYSTEM	SYSCR1	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	RAME
SYSTEM	SBYCR	SSBY	OPE	—	STS[4:0]				
		—	—	—	—	—	—	—	—
SYSTEM	MSTPCRA	ACSE	—	—	MSTPA28	MSTPA27	—	—	—
		MSTPA23	MSTPA22	MSTPA21	MSTPA20	MSTPA19	—	—	—
		MSTPA15	MSTPA14	MSTPA13	MSTPA12	MSTPA11	MSTPA10	—	—
		—	—	MSTPA5	MSTPA4	—	—	—	—
SYSTEM	MSTPCRB	MSTPB31	MSTPB30	MSTPB29	MSTPB28	MSTPB27	MSTPB26	MSTPB25	—
		MSTPB23	—	MSTPB21	MSTPB20	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
SYSTEM	MSTPCRC	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	MSTPC1	MSTPC0
SYSTEM	SCKCR	—	—	—	—	ICK[3:0]			
		PSTOP1	—	—	—	BCK[3:0]			
		—	—	—	—	PCK[3:0]			
		—	—	—	—	—	—	—	—
BSC	BERCLR	—	—	—	—	—	—	—	STSCCLR
BSC	BEREN	—	—	—	—	—	—	TOEN	IGAEN
BSC	BERIE	—	—	—	—	—	—	—	CPEN
DMAC0	DMCSA	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
DMAC0	DMCDA	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
DMAC0	DMCBC	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—

表5.2 I/O レジスタビット一覧 (2 / 26)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
DMAC0	DMMOD	—	—	—	—	OPSEL[3:0]			
		—	—	—	—	SZSEL[2:0]			
		—	SMOD[2:0]			—	DMOD[2:0]		
		—	—	—	—	—	—	—	—
DMAC1	DMCSA								
DMAC1	DMCDA								
DMAC1	DMCBC	—	—	—	—	—	—		
DMAC1	DMMOD	—	—	—	—	OPSEL[3:0]			
		—	—	—	—	SZSEL[2:0]			
		—	SMOD[2:0]			—	DMOD[2:0]		
		—	—	—	—	—	—	—	—
DMAC2	DMCSA								
DMAC2	DMCDA								
DMAC2	DMCBC	—	—	—	—	—	—		
DMAC2	DMMOD	—	—	—	—	OPSEL[3:0]			
		—	—	—	—	SZSEL[2:0]			
		—	SMOD[2:0]			—	DMOD[2:0]		
		—	—	—	—	—	—	—	—
DMAC3	DMCSA								
DMAC3	DMCDA								
DMAC3	DMCBC	—	—	—	—	—	—		

表5.2 I/O レジスタビット一覧 (3 / 26)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
DMAC3	DMMOD	—	—	—	—	OPSEL[3:0]			
		—	—	—	—	SZSEL[2:0]			
		—	SMOD[2:0]			—	DMOD[2:0]		
		—	—	—	—	—	—	—	—
DMAC0	DMRSA								
DMAC0	DMRDA								
DMAC0	DMRBC	—	—	—	—	—	—		
DMAC1	DMRSA								
DMAC1	DMRDA								
DMAC1	DMRBC	—	—	—	—	—	—		
DMAC2	DMRSA								
DMAC2	DMRDA								
DMAC2	DMRBC	—	—	—	—	—	—		
DMAC3	DMRSA								
DMAC3	DMRDA								

表5.2 I/O レジスタビット一覧 (4 / 26)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
DMAC3	DMRBC	—	—	—	—	—	—		
DMAC0	DMCRA	—	—	—	—	—	—	DSEL[1:0]	
		—	—	—	—	—	—	—	—
		—	—	—	—	—	BRL0D	SRL0D	DRL0D
		—	—	DCTG[5:0]					
DMAC0	DMCRB	—	—	—	—	—	—	—	DSCLR
DMAC0	DMCRC	—	—	—	—	—	—	—	ECLR
DMAC0	DMCRD	—	—	—	—	—	—	—	DREQ
DMAC0	DMCRE	—	—	—	—	—	—	—	DEN
DMAC1	DMCRA	—	—	—	—	—	—	DSEL[1:0]	
		—	—	—	—	—	—	—	—
		—	—	—	—	—	BRL0D	SRL0D	DRL0D
		—	—	DCTG[5:0]					
DMAC1	DMCRB	—	—	—	—	—	—	—	DSCLR
DMAC1	DMCRC	—	—	—	—	—	—	—	ECLR
DMAC1	DMCRD	—	—	—	—	—	—	—	DREQ
DMAC1	DMCRE	—	—	—	—	—	—	—	DEN
DMAC2	DMCRA	—	—	—	—	—	—	DSEL[1:0]	
		—	—	—	—	—	—	—	—
		—	—	—	—	—	BRL0D	SRL0D	DRL0D
		—	—	DCTG[5:0]					
DMAC2	DMCRB	—	—	—	—	—	—	—	DSCLR
DMAC2	DMCRC	—	—	—	—	—	—	—	ECLR
DMAC2	DMCRD	—	—	—	—	—	—	—	DREQ
DMAC2	DMCRE	—	—	—	—	—	—	—	DEN
DMAC3	DMCRA	—	—	—	—	—	—	DSEL[1:0]	
		—	—	—	—	—	—	—	—
		—	—	—	—	—	BRL0D	SRL0D	DRL0D
		—	—	DCTG[5:0]					
DMAC3	DMCRB	—	—	—	—	—	—	—	DSCLR
DMAC3	DMCRC	—	—	—	—	—	—	—	ECLR
DMAC3	DMCRD	—	—	—	—	—	—	—	DREQ
DMAC3	DMCRE	—	—	—	—	—	—	—	DEN
DMAC 共通	DMSCNT	—	—	—	—	—	—	—	DMST
DMAC 共通	DMICNT	DINTM0	DINTM1	DINTM2	DINTM3	—	—	—	—
DMAC 共通	DMEDET	DEDET0	DEDET1	DEDET2	DEDET3	—	—	—	—
DMAC 共通	DMASTS	DASTS0	DASTS1	DASTS2	DASTS3	—	—	—	—
BSC	CS0MOD	PRMOD	—	—	—	—	—	PWENB	PRENB
		—	—	—	—	EWENB	—	—	WRMOD
BSC	CS0WCNT1	—	—	—	CSRWAIT[4:0]				
		—	—	—	CSWWAIT[4:0]				
		—	—	—	—	—	CSPRWAIT[2:0]		
		—	—	—	—	—	CSPWWAIT[2:0]		

表5.2 I/O レジスタビット一覧 (5 / 26)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
BSC	CS0WCNT2	—	CSON[2:0]			—	WDON[2:0]		
		—	WRON[2:0]			—	RDON[2:0]		
		—	—	—	—	—	WDOFF[2:0]		
		—	CSWOFF[2:0]			—	CSROFF[2:0]		
BSC	CS1MOD	PRMOD	—	—	—	—	—	PWENB	PRENB
		—	—	—	—	EWENB	—	—	WRMOD
BSC	CS1WCNT1	—	—	—	CSRWAIT[4:0]				
		—	—	—	CSWWAIT[4:0]				
		—	—	—	—	—	CSPRWAIT[2:0]		
		—	—	—	—	—	CSPWWAIT[2:0]		
BSC	CS1WCNT2	—	CSON[2:0]			—	WDON[2:0]		
		—	WRON[2:0]			—	RDON[2:0]		
		—	—	—	—	—	WDOFF[2:0]		
		—	CSWOFF[2:0]			—	CSROFF[2:0]		
BSC	CS2MOD	PRMOD	—	—	—	—	—	PWENB	PRENB
		—	—	—	—	EWENB	—	—	WRMOD
BSC	CS2WCNT1	—	—	—	CSRWAIT[4:0]				
		—	—	—	CSWWAIT[4:0]				
		—	—	—	—	—	CSPRWAIT[2:0]		
		—	—	—	—	—	CSPWWAIT[2:0]		
BSC	CS2WCNT2	—	CSON[2:0]			—	WDON[2:0]		
		—	WRON[2:0]			—	RDON[2:0]		
		—	—	—	—	—	WDOFF[2:0]		
		—	CSWOFF[2:0]			—	CSROFF[2:0]		
BSC	CS3MOD	PRMOD	—	—	—	—	—	PWENB	PRENB
		—	—	—	—	EWENB	—	—	WRMOD
BSC	CS3WCNT1	—	—	—	CSRWAIT[4:0]				
		—	—	—	CSWWAIT[4:0]				
		—	—	—	—	—	CSPRWAIT[2:0]		
		—	—	—	—	—	CSPWWAIT[2:0]		
BSC	CS3WCNT2	—	CSON[2:0]			—	WDON[2:0]		
		—	WRON[2:0]			—	RDON[2:0]		
		—	—	—	—	—	WDOFF[2:0]		
		—	CSWOFF[2:0]			—	CSROFF[2:0]		
BSC	CS4MOD	PRMOD	—	—	—	—	—	PWENB	PRENB
		—	—	—	—	EWENB	—	—	WRMOD
BSC	CS4WCNT1	—	—	—	CSRWAIT[4:0]				
		—	—	—	CSWWAIT[4:0]				
		—	—	—	—	—	CSPRWAIT[2:0]		
		—	—	—	—	—	CSPWWAIT[2:0]		
BSC	CS4WCNT2	—	CSON[2:0]			—	WDON[2:0]		
		—	WRON[2:0]			—	RDON[2:0]		
		—	—	—	—	—	WDOFF[2:0]		
		—	CSWOFF[2:0]			—	CSROFF[2:0]		
BSC	CS5MOD	PRMOD	—	—	—	—	—	PWENB	PRENB
		—	—	—	—	EWENB	—	—	WRMOD

表5.2 I/O レジスタビット一覧 (6 / 26)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
BSC	CS5WCNT1	—	—	—	CSRWAIT[4:0]					
		—	—	—	CSWWAIT[4:0]					
		—	—	—	—	—	CSPRWAIT[2:0]			
		—	—	—	—	—	CSPWWAIT[2:0]			
BSC	CS5WCNT2	—	CSON[2:0]			—	WDON[2:0]			
		—	WRON[2:0]			—	RDON[2:0]			
		—	—	—	—	—	WDOFF[2:0]			
		—	CSWOFF[2:0]			—	CSROFF[2:0]			
BSC	CS6MOD	PRMOD	—	—	—	—	—	PWENB	PRENB	
		—	—	—	—	EWENB	—	—	WRMOD	
BSC	CS6WCNT1	—	—	—	CSRWAIT[4:0]					
		—	—	—	CSWWAIT[4:0]					
		—	—	—	—	—	CSPRWAIT[2:0]			
		—	—	—	—	—	CSPWWAIT[2:0]			
BSC	CS6WCNT2	—	CSON[2:0]			—	WDON[2:0]			
		—	WRON[2:0]			—	RDON[2:0]			
		—	—	—	—	—	WDOFF[2:0]			
		—	CSWOFF[2:0]			—	CSROFF[2:0]			
BSC	CS7MOD	PRMOD	—	—	—	—	—	PWENB	PRENB	
		—	—	—	—	EWENB	—	—	WRMOD	
BSC	CS7WCNT1	—	—	—	CSRWAIT[4:0]					
		—	—	—	CSWWAIT[4:0]					
		—	—	—	—	—	CSPRWAIT[2:0]			
		—	—	—	—	—	CSPWWAIT[2:0]			
BSC	CS7WCNT2	—	CSON[2:0]			—	WDON[2:0]			
		—	WRON[2:0]			—	RDON[2:0]			
		—	—	—	—	—	WDOFF[2:0]			
		—	CSWOFF[2:0]			—	CSROFF[2:0]			
BSC	CS0CNT	—	—	—	—	—	—	—	EMODE	
		—	—	BSIZE[1:0]			—	—	—	EXENB
BSC	CS0REC	—	—	—	—	WRCV[3:0]				
		—	—	—	—	RRCV[3:0]				
BSC	CS1CNT	—	—	—	—	—	—	—	EMODE	
		—	—	BSIZE[1:0]			—	—	—	EXENB
BSC	CS1REC	—	—	—	—	WRCV[3:0]				
		—	—	—	—	RRCV[3:0]				
BSC	CS2CNT	—	—	—	—	—	—	—	EMODE	
		—	—	BSIZE[1:0]			—	—	—	EXENB
BSC	CS2REC	—	—	—	—	WRCV[3:0]				
		—	—	—	—	RRCV[3:0]				
BSC	CS3CNT	—	—	—	—	—	—	—	EMODE	
		—	—	BSIZE[1:0]			—	—	—	EXENB
BSC	CS3REC	—	—	—	—	WRCV[3:0]				
		—	—	—	—	RRCV[3:0]				
BSC	CS4CNT	—	—	—	—	—	—	—	EMODE	
		—	—	BSIZE[1:0]			—	—	—	EXENB
BSC	CS4REC	—	—	—	—	WRCV[3:0]				
		—	—	—	—	RRCV[3:0]				

表5.2 I/O レジスタビット一覧 (7 / 26)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
BSC	CS5CNT	—	—	—	—	—	—	—	EMODE
		—	—	BSIZE[1:0]		—	—	—	EXENB
BSC	CS5REC	—	—	—	—	WRCV[3:0]			
		—	—	—	—	RRCV[3:0]			
BSC	CS6CNT	—	—	—	—	—	—	—	EMODE
		—	—	BSIZE[1:0]		—	—	—	EXENB
BSC	CS6REC	—	—	—	—	WRCV[3:0]			
		—	—	—	—	RRCV[3:0]			
BSC	CS7CNT	—	—	—	—	—	—	—	EMODE
		—	—	BSIZE[1:0]		—	—	—	EXENB
BSC	CS7REC	—	—	—	—	WRCV[3:0]			
		—	—	—	—	RRCV[3:0]			
ICU	IR016	—	—	—	—	—	—	—	IR
ICU	IR021	—	—	—	—	—	—	—	IR
ICU	IR023	—	—	—	—	—	—	—	IR
ICU	IR028	—	—	—	—	—	—	—	IR
ICU	IR029	—	—	—	—	—	—	—	IR
ICU	IR030	—	—	—	—	—	—	—	IR
ICU	IR031	—	—	—	—	—	—	—	IR
ICU	IR064	—	—	—	—	—	—	—	IR
ICU	IR065	—	—	—	—	—	—	—	IR
ICU	IR066	—	—	—	—	—	—	—	IR
ICU	IR067	—	—	—	—	—	—	—	IR
ICU	IR068	—	—	—	—	—	—	—	IR
ICU	IR069	—	—	—	—	—	—	—	IR
ICU	IR070	—	—	—	—	—	—	—	IR
ICU	IR071	—	—	—	—	—	—	—	IR
ICU	IR072	—	—	—	—	—	—	—	IR
ICU	IR073	—	—	—	—	—	—	—	IR
ICU	IR074	—	—	—	—	—	—	—	IR
ICU	IR075	—	—	—	—	—	—	—	IR
ICU	IR076	—	—	—	—	—	—	—	IR
ICU	IR077	—	—	—	—	—	—	—	IR
ICU	IR078	—	—	—	—	—	—	—	IR
ICU	IR079	—	—	—	—	—	—	—	IR
ICU	IR096	—	—	—	—	—	—	—	IR
ICU	IR098	—	—	—	—	—	—	—	IR
ICU	IR099	—	—	—	—	—	—	—	IR
ICU	IR100	—	—	—	—	—	—	—	IR
ICU	IR101	—	—	—	—	—	—	—	IR
ICU	IR104	—	—	—	—	—	—	—	IR
ICU	IR105	—	—	—	—	—	—	—	IR
ICU	IR106	—	—	—	—	—	—	—	IR
ICU	IR107	—	—	—	—	—	—	—	IR
ICU	IR108	—	—	—	—	—	—	—	IR
ICU	IR111	—	—	—	—	—	—	—	IR
ICU	IR112	—	—	—	—	—	—	—	IR
ICU	IR115	—	—	—	—	—	—	—	IR

表5.2 I/O レジスタビット一覧 (8 / 26)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ICU	IR116	-	-	-	-	-	-	-	IR
ICU	IR117	-	-	-	-	-	-	-	IR
ICU	IR118	-	-	-	-	-	-	-	IR
ICU	IR120	-	-	-	-	-	-	-	IR
ICU	IR121	-	-	-	-	-	-	-	IR
ICU	IR122	-	-	-	-	-	-	-	IR
ICU	IR123	-	-	-	-	-	-	-	IR
ICU	IR124	-	-	-	-	-	-	-	IR
ICU	IR125	-	-	-	-	-	-	-	IR
ICU	IR126	-	-	-	-	-	-	-	IR
ICU	IR127	-	-	-	-	-	-	-	IR
ICU	IR128	-	-	-	-	-	-	-	IR
ICU	IR131	-	-	-	-	-	-	-	IR
ICU	IR132	-	-	-	-	-	-	-	IR
ICU	IR133	-	-	-	-	-	-	-	IR
ICU	IR134	-	-	-	-	-	-	-	IR
ICU	IR136	-	-	-	-	-	-	-	IR
ICU	IR137	-	-	-	-	-	-	-	IR
ICU	IR138	-	-	-	-	-	-	-	IR
ICU	IR139	-	-	-	-	-	-	-	IR
ICU	IR140	-	-	-	-	-	-	-	IR
ICU	IR141	-	-	-	-	-	-	-	IR
ICU	IR142	-	-	-	-	-	-	-	IR
ICU	IR145	-	-	-	-	-	-	-	IR
ICU	IR146	-	-	-	-	-	-	-	IR
ICU	IR149	-	-	-	-	-	-	-	IR
ICU	IR150	-	-	-	-	-	-	-	IR
ICU	IR151	-	-	-	-	-	-	-	IR
ICU	IR152	-	-	-	-	-	-	-	IR
ICU	IR154	-	-	-	-	-	-	-	IR
ICU	IR155	-	-	-	-	-	-	-	IR
ICU	IR156	-	-	-	-	-	-	-	IR
ICU	IR157	-	-	-	-	-	-	-	IR
ICU	IR158	-	-	-	-	-	-	-	IR
ICU	IR159	-	-	-	-	-	-	-	IR
ICU	IR160	-	-	-	-	-	-	-	IR
ICU	IR161	-	-	-	-	-	-	-	IR
ICU	IR162	-	-	-	-	-	-	-	IR
ICU	IR165	-	-	-	-	-	-	-	IR
ICU	IR166	-	-	-	-	-	-	-	IR
ICU	IR167	-	-	-	-	-	-	-	IR
ICU	IR168	-	-	-	-	-	-	-	IR
ICU	IR170	-	-	-	-	-	-	-	IR
ICU	IR171	-	-	-	-	-	-	-	IR
ICU	IR174	-	-	-	-	-	-	-	IR
ICU	IR175	-	-	-	-	-	-	-	IR
ICU	IR176	-	-	-	-	-	-	-	IR
ICU	IR177	-	-	-	-	-	-	-	IR

表5.2 I/O レジスタビット一覧 (9 / 26)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ICU	IR178	—	—	—	—	—	—	—	IR
ICU	IR179	—	—	—	—	—	—	—	IR
ICU	IR180	—	—	—	—	—	—	—	IR
ICU	IR181	—	—	—	—	—	—	—	IR
ICU	IR182	—	—	—	—	—	—	—	IR
ICU	IR183	—	—	—	—	—	—	—	IR
ICU	IR184	—	—	—	—	—	—	—	IR
ICU	IR185	—	—	—	—	—	—	—	IR
ICU	IR198	—	—	—	—	—	—	—	IR
ICU	IR199	—	—	—	—	—	—	—	IR
ICU	IR200	—	—	—	—	—	—	—	IR
ICU	IR201	—	—	—	—	—	—	—	IR
ICU	IR214	—	—	—	—	—	—	—	IR
ICU	IR215	—	—	—	—	—	—	—	IR
ICU	IR216	—	—	—	—	—	—	—	IR
ICU	IR217	—	—	—	—	—	—	—	IR
ICU	IR218	—	—	—	—	—	—	—	IR
ICU	IR219	—	—	—	—	—	—	—	IR
ICU	IR220	—	—	—	—	—	—	—	IR
ICU	IR221	—	—	—	—	—	—	—	IR
ICU	IR222	—	—	—	—	—	—	—	IR
ICU	IR223	—	—	—	—	—	—	—	IR
ICU	IR224	—	—	—	—	—	—	—	IR
ICU	IR225	—	—	—	—	—	—	—	IR
ICU	IR226	—	—	—	—	—	—	—	IR
ICU	IR227	—	—	—	—	—	—	—	IR
ICU	IR228	—	—	—	—	—	—	—	IR
ICU	IR229	—	—	—	—	—	—	—	IR
ICU	IR230	—	—	—	—	—	—	—	IR
ICU	IR231	—	—	—	—	—	—	—	IR
ICU	IR232	—	—	—	—	—	—	—	IR
ICU	IR233	—	—	—	—	—	—	—	IR
ICU	IR234	—	—	—	—	—	—	—	IR
ICU	IR235	—	—	—	—	—	—	—	IR
ICU	IR236	—	—	—	—	—	—	—	IR
ICU	IR237	—	—	—	—	—	—	—	IR
ICU	IR238	—	—	—	—	—	—	—	IR
ICU	IR239	—	—	—	—	—	—	—	IR
ICU	IR240	—	—	—	—	—	—	—	IR
ICU	IR241	—	—	—	—	—	—	—	IR
ICU	IR246	—	—	—	—	—	—	—	IR
ICU	IR247	—	—	—	—	—	—	—	IR
ICU	IR248	—	—	—	—	—	—	—	IR
ICU	IR249	—	—	—	—	—	—	—	IR
ICU	IR250	—	—	—	—	—	—	—	IR
ICU	IR251	—	—	—	—	—	—	—	IR
ICU	IR252	—	—	—	—	—	—	—	IR
ICU	IR253	—	—	—	—	—	—	—	IR

表5.2 I/O レジスタビット一覧 (10 / 26)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ICU	ISELR028	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR029	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR030	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR031	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR064	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR065	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR066	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR067	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR068	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR069	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR070	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR071	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR072	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR073	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR074	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR075	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR076	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR077	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR078	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR079	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR098	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR099	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR100	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR101	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR104	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR105	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR106	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR107	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR111	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR112	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR117	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR118	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR122	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR123	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR124	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR125	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR127	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR128	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR133	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR134	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR138	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR139	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR140	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR141	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR145	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR146	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR151	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR152	—	—	—	—	—	—	ISEL[1:0]	

表5.2 I/O レジスタビット一覧 (11 / 26)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ICU	ISELR156	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR157	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR158	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR159	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR161	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR162	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR167	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR168	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR174	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR175	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR177	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR178	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR180	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR181	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR183	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR184	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR198	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR199	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR200	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR201	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR215	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR216	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR219	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR220	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR223	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR224	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR227	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR228	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR231	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR232	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR235	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR236	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR239	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR240	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR247	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR248	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR251	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR252	—	—	—	—	—	—	ISEL[1:0]	
ICU	ISELR253	—	—	—	—	—	—	ISEL[1:0]	
ICU	IER02	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER03	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER08	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER09	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER0C	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER0D	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER0E	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER0F	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER10	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0

表5.2 I/O レジスタビット一覧 (12 / 26)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ICU	IER11	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER12	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER13	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER14	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER15	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER16	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER17	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER18	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER19	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER1A	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER1B	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER1C	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER1D	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER1E	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IER1F	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
ICU	IPR00	—	—	—	—	—	IPR[2:0]		
ICU	IPR01	—	—	—	—	—	IPR[2:0]		
ICU	IPR02	—	—	—	—	—	IPR[2:0]		
ICU	IPR04	—	—	—	—	—	IPR[2:0]		
ICU	IPR05	—	—	—	—	—	IPR[2:0]		
ICU	IPR06	—	—	—	—	—	IPR[2:0]		
ICU	IPR07	—	—	—	—	—	IPR[2:0]		
ICU	IPR20	—	—	—	—	—	IPR[2:0]		
ICU	IPR21	—	—	—	—	—	IPR[2:0]		
ICU	IPR22	—	—	—	—	—	IPR[2:0]		
ICU	IPR23	—	—	—	—	—	IPR[2:0]		
ICU	IPR24	—	—	—	—	—	IPR[2:0]		
ICU	IPR25	—	—	—	—	—	IPR[2:0]		
ICU	IPR26	—	—	—	—	—	IPR[2:0]		
ICU	IPR27	—	—	—	—	—	IPR[2:0]		
ICU	IPR28	—	—	—	—	—	IPR[2:0]		
ICU	IPR29	—	—	—	—	—	IPR[2:0]		
ICU	IPR2A	—	—	—	—	—	IPR[2:0]		
ICU	IPR2B	—	—	—	—	—	IPR[2:0]		
ICU	IPR2C	—	—	—	—	—	IPR[2:0]		
ICU	IPR2D	—	—	—	—	—	IPR[2:0]		
ICU	IPR2E	—	—	—	—	—	IPR[2:0]		
ICU	IPR2F	—	—	—	—	—	IPR[2:0]		
ICU	IPR40	—	—	—	—	—	IPR[2:0]		
ICU	IPR44	—	—	—	—	—	IPR[2:0]		
ICU	IPR45	—	—	—	—	—	IPR[2:0]		
ICU	IPR46	—	—	—	—	—	IPR[2:0]		
ICU	IPR47	—	—	—	—	—	IPR[2:0]		
ICU	IPR4C	—	—	—	—	—	IPR[2:0]		
ICU	IPR4D	—	—	—	—	—	IPR[2:0]		
ICU	IPR4E	—	—	—	—	—	IPR[2:0]		
ICU	IPR4F	—	—	—	—	—	IPR[2:0]		
ICU	IPR50	—	—	—	—	—	IPR[2:0]		

表5.2 I/O レジスタビット一覧 (13 / 26)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ICU	IPR51	—	—	—	—	—	IPR[2:0]		
ICU	IPR52	—	—	—	—	—	IPR[2:0]		
ICU	IPR53	—	—	—	—	—	IPR[2:0]		
ICU	IPR54	—	—	—	—	—	IPR[2:0]		
ICU	IPR55	—	—	—	—	—	IPR[2:0]		
ICU	IPR56	—	—	—	—	—	IPR[2:0]		
ICU	IPR57	—	—	—	—	—	IPR[2:0]		
ICU	IPR58	—	—	—	—	—	IPR[2:0]		
ICU	IPR59	—	—	—	—	—	IPR[2:0]		
ICU	IPR5A	—	—	—	—	—	IPR[2:0]		
ICU	IPR5B	—	—	—	—	—	IPR[2:0]		
ICU	IPR5C	—	—	—	—	—	IPR[2:0]		
ICU	IPR5D	—	—	—	—	—	IPR[2:0]		
ICU	IPR5E	—	—	—	—	—	IPR[2:0]		
ICU	IPR5F	—	—	—	—	—	IPR[2:0]		
ICU	IPR60	—	—	—	—	—	IPR[2:0]		
ICU	IPR61	—	—	—	—	—	IPR[2:0]		
ICU	IPR62	—	—	—	—	—	IPR[2:0]		
ICU	IPR63	—	—	—	—	—	IPR[2:0]		
ICU	IPR68	—	—	—	—	—	IPR[2:0]		
ICU	IPR69	—	—	—	—	—	IPR[2:0]		
ICU	IPR6A	—	—	—	—	—	IPR[2:0]		
ICU	IPR6B	—	—	—	—	—	IPR[2:0]		
ICU	IPR70	—	—	—	—	—	IPR[2:0]		
ICU	IPR71	—	—	—	—	—	IPR[2:0]		
ICU	IPR72	—	—	—	—	—	IPR[2:0]		
ICU	IPR73	—	—	—	—	—	IPR[2:0]		
ICU	IPR80	—	—	—	—	—	IPR[2:0]		
ICU	IPR81	—	—	—	—	—	IPR[2:0]		
ICU	IPR82	—	—	—	—	—	IPR[2:0]		
ICU	IPR83	—	—	—	—	—	IPR[2:0]		
ICU	IPR84	—	—	—	—	—	IPR[2:0]		
ICU	IPR85	—	—	—	—	—	IPR[2:0]		
ICU	IPR86	—	—	—	—	—	IPR[2:0]		
ICU	IPR89	—	—	—	—	—	IPR[2:0]		
ICU	IPR8A	—	—	—	—	—	IPR[2:0]		
ICU	IPR8B	—	—	—	—	—	IPR[2:0]		
ICU	IPR8C	—	—	—	—	—	IPR[2:0]		
ICU	IPR8D	—	—	—	—	—	IPR[2:0]		
ICU	IPR8E	—	—	—	—	—	IPR[2:0]		
ICU	IPR8F	—	—	—	—	—	IPR[2:0]		
ICU	FIR	FIEN	—	—	—	—	—	—	—
		FVCT[7:0]							
DTC	DTCCR	—	—	—	RRS	RCHNE	—	—	ERR
DTC	DTCVBR					0	0	0	0
		0	0	0	0	0	0	0	0

表5.2 I/O レジスタビット一覧 (14 / 26)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
DTC	DTCADMOD	—	—	—	—	—	—	—	SHORT
DTC	DTCST	—	—	—	—	—	—	—	DTCST
CMT (ユニット0)	CMSTR0	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	STR1	STR0
CMT0	CMCR	—	—	—	—	—	—	—	—
		—	CMIE	—	—	—	—	CKS[1:0]	
CMT0	CMCNT								
CMT0	CMCOR								
CMT1	CMCR	—	—	—	—	—	—	—	—
		—	CMIE	—	—	—	—	CKS[1:0]	
CMT1	CMCNT								
CMT1	CMCOR								
CMT (ユニット1)	CMSTR1	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	STR3	STR2
CMT2	CMCR	—	—	—	—	—	—	—	—
		—	CMIE	—	—	—	—	CKS[1:0]	
CMT2	CMCNT								
CMT2	CMCOR								
CMT3	CMCR	—	—	—	—	—	—	—	—
		—	CMIE	—	—	—	—	CKS[1:0]	
CMT3	CMCNT								
CMT3	CMCOR								
WDT	TCSR	—	TMS	TME	—	—	CKS[2:0]		
WDT	WINA								
WDT	TCNT								
WDT	WINB								
WDT	RSTCSR	WOVF	RSTE	—	—	—	—	—	—
AD0	ADDRA								
AD0	ADDRB								
AD0	ADDRC								
AD0	ADDRD								
AD0	ADCSR	—	ADIE	ADST	—	CH[3:0]			
AD0	ADCR	TRGS[2:0]			—	CKS[1:0]		MODE[1:0]	
AD0	ADDPR	DPSEL	—	—	—	—	—	—	—

表5.2 I/O レジスタビット一覧 (15 / 26)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
AD0	ADSSTR								
AD1	ADDRA								
AD1	ADDRB								
AD1	ADDRC								
AD1	ADDRD								
AD1	ADCSR	—	ADIE	ADST	—	CH[3:0]			
AD1	ADCR	TRGS[2:0]			—	CKS[1:0]		MODE[1:0]	
AD1	ADDPR	DPSEL	—	—	—	—	—	—	—
AD1	ADSSTR								
AD2	ADDRA								
AD2	ADDRB								
AD2	ADDRC								
AD2	ADDRD								
AD2	ADCSR	—	ADIE	ADST	—	CH[3:0]			
AD2	ADCR	TRGS[2:0]			—	CKS[1:0]		MODE[1:0]	
AD2	ADDPR	DPSEL	—	—	—	—	—	—	—
AD2	ADSSTR								
AD3	ADDRA								
AD3	ADDRB								
AD3	ADDRC								
AD3	ADDRD								
AD3	ADCSR	—	ADIE	ADST	—	CH[3:0]			
AD3	ADCR	TRGS[2:0]			—	CKS[1:0]		MODE[1:0]	
AD3	ADDPR	DPSEL	—	—	—	—	—	—	—
AD3	ADSSTR								
D/A	DADR0								
D/A	DADR1								
D/A	DACR	DAOE1	DAOE0	DAE	—	—	—	—	—
D/A	DADPR	DPSEL	—	—	—	—	—	—	—
TPU (ユニット0)	TSTRA	—	—	CST5	CST4	CST3	CST2	CST1	CST0
TPU (ユニット0)	TSYRA	—	—	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
TPU0	TCR	CCLR[2:0]			CKEG[1:0]			TPSC[2:0]	
TPU0	TMDR	ICSELD	ICSELB	BFB	BFA	MD[3:0]			

表5.2 I/O レジスタビット一覧 (16 / 26)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
TPU0	TIORH	IOB[3:0]				IOA[3:0]				
TPU0	TIORL	IOD[3:0]				IOC[3:0]				
TPU0	TIER	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TPU0	TSR	—	—	—	—	—	—	—	—	
TPU0	TCNT									
TPU0	TGRA									
TPU0	TGRB									
TPU0	TGRC									
TPU0	TGRD									
TPU1	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]			
TPU1	TMDR	—	ICSELB	—	—	MD[3:0]				
TPU1	TIOR	IOB[3:0]				IOA[3:0]				
TPU1	TIER	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
TPU1	TSR	TCFD	—	—	—	—	—	—	—	
TPU1	TCNT									
TPU1	TGRA									
TPU1	TGRB									
TPU2	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]			
TPU2	TMDR	—	ICSELB	—	—	MD[3:0]				
TPU2	TIOR	IOB[3:0]				IOA[3:0]				
TPU2	TIER	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
TPU2	TSR	TCFD	—	—	—	—	—	—	—	
TPU2	TCNT									
TPU2	TGRA									
TPU2	TGRB									
TPU3	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]			
TPU3	TMDR	ICSELD	ICSELB	BFB	BFA	MD[3:0]				
TPU3	TIORH	IOB[3:0]				IOA[3:0]				
TPU3	TIORL	IOD[3:0]				IOC[3:0]				
TPU3	TIER	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TPU3	TSR	—	—	—	—	—	—	—	—	
TPU3	TCNT									
TPU3	TGRA									
TPU3	TGRB									

表5.2 I/O レジスタビット一覧 (17 / 26)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
TPU3	TGRC								
TPU3	TGRD								
TPU4	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
TPU4	TMDR	—	ICSELB	—	—	MD[3:0]			
TPU4	TIOR	IOB[3:0]				IOA[3:0]			
TPU4	TIER	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
TPU4	TSR	TCFD	—	—	—	—	—	—	—
TPU4	TCNT								
TPU4	TGRA								
TPU4	TGRB								
TPU5	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
TPU5	TMDR	—	ICSELB	—	—	MD[3:0]			
TPU5	TIOR	IOB[3:0]				IOA[3:0]			
TPU5	TIER	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
TPU5	TSR	TCFD	—	—	—	—	—	—	—
TPU5	TCNT								
TPU5	TGRA								
TPU5	TGRB								
TPU (ユニット1)	TSTRB	—	—	CST5	CST4	CST3	CST2	CST1	CST0
TPU (ユニット1)	TSYRB	—	—	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
TPU6	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
TPU6	TMDR	ICSELD	ICSELB	BFB	BFA	MD[3:0]			
TPU6	TIORH	IOB[3:0]				IOA[3:0]			
TPU6	TIORL	IOD[3:0]				IOC[3:0]			
TPU6	TIER	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
TPU6	TSR	—	—	—	—	—	—	—	—
TPU6	TCNT								
TPU6	TGRA								
TPU6	TGRB								
TPU6	TGRC								
TPU6	TGRD								
TPU7	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
TPU7	TMDR	—	ICSELB	—	—	MD[3:0]			
TPU7	TIOR	IOB[3:0]				IOA[3:0]			

表5.2 I/O レジスタビット一覧 (18 / 26)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
TPU7	TIER	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
TPU7	TSR	TCFD	—	—	—	—	—	—	—
TPU7	TCNT								
TPU7	TGRA								
TPU7	TGRB								
TPU8	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
TPU8	TMDR	—	ICSELB	—	—	MD[3:0]			
TPU8	TIOR	IOB[3:0]				IOA[3:0]			
TPU8	TIER	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
TPU8	TSR	TCFD	—	—	—	—	—	—	—
TPU8	TCNT								
TPU8	TGRA								
TPU8	TGRB								
TPU9	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
TPU9	TMDR	ICSELD	ICSELB	BFB	BFA	MD[3:0]			
TPU9	TIORH	IOB[3:0]				IOA[3:0]			
TPU9	TIORL	IOD[3:0]				IOC[3:0]			
TPU9	TIER	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
TPU9	TSR	—	—	—	—	—	—	—	—
TPU9	TCNT								
TPU9	TGRA								
TPU9	TGRB								
TPU9	TGRC								
TPU9	TGRD								
TPU10	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
TPU10	TMDR	—	ICSELB	—	—	MD[3:0]			
TPU10	TIOR	IOB[3:0]				IOA[3:0]			
TPU10	TIER	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
TPU10	TSR	TCFD	—	—	—	—	—	—	—
TPU10	TCNT								
TPU10	TGRA								
TPU10	TGRB								
TPU11	TCR	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
TPU11	TMDR	—	ICSELB	—	—	MD[3:0]			

表5.2 I/O レジスタビット一覧 (19 / 26)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
TPU11	TIOR	IOB[3:0]				IOA[3:0]				
TPU11	TIER	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
TPU11	TSR	TCFD	—	—	—	—	—	—	—	
TPU11	TCNT									
TPU11	TGRA									
TPU11	TGRB									
PPG0	PCR	G3CMS[1:0]		G2CMS[1:0]		G1CMS[1:0]		G0CMS[1:0]		
PPG0	PMR	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV	
PPG0	NDERH	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8	
PPG0	NDERL	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0	
PPG0	PODRH	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8	
PPG0	PODRL	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0	
PPG0	NDRH (注1)	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8	
						(—)	(—)	(—)	(—)	
PPG0	NDRL (注2)	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0	
						(—)	(—)	(—)	(—)	
PPG0	NDRH (注1)	—	—	—	—	NDR11	NDR10	NDR9	NDR8	
PPG0	NDRL (注2)	—	—	—	—	NDR3	NDR2	NDR1	NDR0	
PPG1	PTRSLR	—	—	—	—	—	—	—	PTRSL	
PPG1	PCR	G3CMS[1:0]		G2CMS[1:0]		G1CMS[1:0]		G0CMS[1:0]		
PPG1	PMR	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV	
PPG1	NDERH	NDER31	NDER30	NDER29	NDER28	NDER27	NDER26	NDER25	NDER24	
PPG1	NDERL	NDER23	NDER22	NDER21	NDER20	NDER19	NDER18	NDER17	NDER16	
PPG1	PODRH	POD31	POD30	POD29	POD28	POD27	POD26	POD25	POD24	
PPG1	PODRL	POD23	POD22	POD21	POD20	POD19	POD18	POD17	POD16	
PPG1	NDRH (注3)	NDR31	NDR30	NDR29	NDR28	NDR27	NDR26	NDR25	NDR24	
						(—)	(—)	(—)	(—)	
PPG1	NDRL (注4)	NDR23	NDR22	NDR21	NDR20	NDR19	NDR18	NDR17	NDR16	
						(—)	(—)	(—)	(—)	
PPG1	NDRH (注3)	—	—	—	—	NDR27	NDR26	NDR25	NDR24	
PPG1	NDRL (注4)	—	—	—	—	NDR19	NDR18	NDR17	NDR16	
TMR0	TCR	CMIEB	CMIEA	OVIE	CCLR[1:0]		—	—	—	
TMR1	TCR	CMIEB	CMIEA	OVIE	CCLR[1:0]		—	—	—	
TMR0	TCSR	—	—	—	ADTE	OSB[1:0]		OSA[1:0]		
TMR1	TCSR	—	—	—	—	OSB[1:0]		OSA[1:0]		
TMR0	TCORA									
TMR1	TCORA									
TMR0	TCORB									
TMR1	TCORB									
TMR0	TCNT									
TMR1	TCNT									
TMR0	TCCR	TMRIS	—	—	CSS[1:0]		CKS[2:0]			
TMR1	TCCR	TMRIS	—	—	CSS[1:0]		CKS[2:0]			
TMR2	TCR	CMIEB	CMIEA	OVIE	CCLR[1:0]		—	—	—	
TMR3	TCR	CMIEB	CMIEA	OVIE	CCLR[1:0]		—	—	—	

表5.2 I/O レジスタビット一覧 (20 / 26)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
TMR2	TCSR	—	—	—	ADTE	OSB[1:0]		OSA[1:0]	
TMR3	TCSR	—	—	—	—	OSB[1:0]		OSA[1:0]	
TMR2	TCORA								
TMR3	TCORA								
TMR2	TCORB								
TMR3	TCORB								
TMR2	TCNT								
TMR3	TCNT								
TMR2	TCCR	TMRIS	—	—	CSS[1:0]		CKS[2:0]		
TMR3	TCCR	TMRIS	—	—	CSS[1:0]		CKS[2:0]		
SCI0	SMR (注5)	CM	CHR	PE	PM	STOP	—	CKS[1:0]	
		(GM)	(BLK)	(PE)	(PM)	(BCP[1:0])		(CKS[1:0])	
SCI0	BRR								
SCI0	SCR (注5)	TIE	RIE	TE	RE	—	TEIE	CKE[1:0]	
SCI0	TDR								
SCI0	SSR (注5)	TDRE	RDRF	ORER	FER	PER	TEND	—	—
		(TDRE)	(RDRF)	(ORER)	(ERS)	(PER)	(TEND)	(—)	(—)
SCI0	RDR								
SCI0	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF
SCI0	SEMR	—	—	—	ABCS	—	—	—	ACS0
SCI1	SMR (注5)	CM	CHR	PE	PM	STOP	—	CKS[1:0]	
		(GM)	(BLK)	(PE)	(PM)	(BCP[1:0])		(CKS[1:0])	
SCI1	BRR								
SCI1	SCR (注5)	TIE	RIE	TE	RE	—	TEIE	CKE[1:0]	
SCI1	TDR								
SCI1	SSR (注5)	TDRE	RDRF	ORER	FER	PER	TEND	—	—
		(TDRE)	(RDRF)	(ORER)	(ERS)	(PER)	(TEND)	(—)	(—)
SCI1	RDR								
SCI1	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF
SCI1	SEMR	—	—	—	ABCS	—	—	—	ACS0
SCI2	SMR (注5)	CM	CHR	PE	PM	STOP	—	CKS[1:0]	
		(GM)	(BLK)	(PE)	(PM)	(BCP[1:0])		(CKS[1:0])	
SCI2	BRR								
SCI2	SCR (注5)	TIE	RIE	TE	RE	—	TEIE	CKE[1:0]	
SCI2	TDR								
SCI2	SSR (注5)	TDRE	RDRF	ORER	FER	PER	TEND	—	—
		(TDRE)	(RDRF)	(ORER)	(ERS)	(PER)	(TEND)	(—)	(—)
SCI2	RDR								
SCI2	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF
SCI2	SEMR	—	—	—	ABCS	—	—	—	ACS0
SCI3	SMR (注5)	CM	CHR	PE	PM	STOP	—	CKS[1:0]	
		(GM)	(BLK)	(PE)	(PM)	(BCP[1:0])		(CKS[1:0])	
SCI3	BRR								
SCI3	SCR (注5)	TIE	RIE	TE	RE	—	TEIE	CKE[1:0]	
SCI3	TDR								
SCI3	SSR (注5)	TDRE	RDRF	ORER	FER	PER	TEND	—	—
		(TDRE)	(RDRF)	(ORER)	(ERS)	(PER)	(TEND)	(—)	(—)
SCI3	RDR								

表5.2 I/O レジスタビット一覧 (21 / 26)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
SCI3	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF	
SCI3	SEMR	—	—	—	ABCS	—	—	—	ACS0	
SCI4	SMR (注5)	CM	CHR	PE	PM	STOP	—	CKS[1:0]		
		(GM)	(BLK)	(PE)	(PM)	(BCP[1:0])		(CKS[1:0])		
SCI4	BRR									
SCI4	SCR (注5)	TIE	RIE	TE	RE	—	TEIE	CKE[1:0]		
SCI4	TDR									
SCI4	SSR (注5)	TDRE	RDRF	ORER	FER	PER	TEND	—	—	
		(TDRE)	(RDRF)	(ORER)	(ERS)	(PER)	(TEND)	(—)	(—)	
SCI4	RDR									
SCI4	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF	
SCI4	SEMR	—	—	—	ABCS	—	—	—	ACS0	
SCI5	SMR (注5)	CM	CHR	PE	PM	STOP	—	CKS[1:0]		
		(GM)	(BLK)	(PE)	(PM)	(BCP[1:0])		(CKS[1:0])		
SCI5	BRR									
SCI5	SCR (注5)	TIE	RIE	TE	RE	—	TEIE	CKE[1:0]		
SCI5	TDR									
SCI5	SSR (注5)	TDRE	RDRF	ORER	FER	PER	TEND	—	—	
		(TDRE)	(RDRF)	(ORER)	(ERS)	(PER)	(TEND)	(—)	(—)	
SCI5	RDR									
SCI5	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF	
SCI5	SEMR	—	—	—	ABCS	—	—	—	ACS0	
SCI6	SMR (注5)	CM	CHR	PE	PM	STOP	—	CKS[1:0]		
		(GM)	(BLK)	(PE)	(PM)	(BCP[1:0])		(CKS[1:0])		
SCI6	BRR									
SCI6	SCR (注5)	TIE	RIE	TE	RE	—	TEIE	CKE[1:0]		
SCI6	TDR									
SCI6	SSR (注5)	TDRE	RDRF	ORER	FER	PER	TEND	—	—	
		(TDRE)	(RDRF)	(ORER)	(ERS)	(PER)	(TEND)	(—)	(—)	
SCI6	RDR									
SCI6	SCMR	BCP2	—	—	—	SDIR	SINV	—	SMIF	
SCI6	SEMR	—	—	—	ABCS	—	—	—	ACS0	
CRC	CRCCR	DORCLR	—	—	—	—	LMS	GPS[1:0]		
CRC	CRCDIR									
CRC	CRCDOR									
RIIC0	ICCR1	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI	
RIIC0	ICCR2	BBSY	MST	TRS	—	SP	RS	ST	—	
RIIC0	ICMR1	MTWP	CKS[2:0]			BCWP	BC[2:0]			
RIIC0	ICMR2	DLCS	SDDL[2:0]			TMWE	TMOH	TMOL	TMOS	
RIIC0	ICMR3	SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]		
RIIC0	ICFER	FMPE	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE	
RIIC0	ICSER	HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E	
RIIC0	ICIER	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE	
RIIC0	ICSR1	HOA	—	DID	—	GCA	AAS2	AAS1	AAS0	
RIIC0	ICSR2	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF	
RIIC0	SARL0	SVA[7:1]							SVA0	
RIIC0	TMOCNTL									

表5.2 I/O レジスタビット一覧 (22 / 26)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
RIIC0	SARU0	—	—	—	—	—	SVA[9:8]		FS
RIIC0	TMOCNTU								
RIIC0	SARL1	SVA[7:1]							SVA0
RIIC0	SARU1	—	—	—	—	—	SVA[9:8]		FS
RIIC0	SARL2	SVA[7:1]							SVA0
RIIC0	SARU2	—	—	—	—	—	SVA[9:8]		FS
RIIC0	ICBRL	—	—	—	BRL[4:0]				
RIIC0	ICBRH	—	—	—	BRH[4:0]				
RIIC0	ICDRT								
RIIC0	ICDRR								
RIIC1	ICCR1	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
RIIC1	ICCR2	BBSY	MST	TRS	—	SP	RS	ST	—
RIIC1	ICMR1	MTWP	CKS[2:0]			BCWP	BC[2:0]		
RIIC1	ICMR2	DLCS	SDDL[2:0]			TMWE	TMOH	TMOL	TMOS
RIIC1	ICMR3	SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
RIIC1	ICFER	FMPE	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
RIIC1	ICSER	HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E
RIIC1	ICIER	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
RIIC1	ICSR1	HOA	—	DID	—	GCA	AAS2	AAS1	AAS0
RIIC1	ICSR2	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
RIIC1	SARL0	SVA[7:1]							SVA0
RIIC1	TMOCNTL								
RIIC1	SARU0	—	—	—	—	—	SVA[9:8]		FS
RIIC1	TMOCNTU								
RIIC1	SARL1	SVA[7:1]							SVA0
RIIC1	SARU1	—	—	—	—	—	SVA[9:8]		FS
RIIC1	SARL2	SVA[7:1]							SVA0
RIIC1	SARU2	—	—	—	—	—	SVA[9:8]		FS
RIIC1	ICBRL	—	—	—	BRL[4:0]				
RIIC1	ICBRH	—	—	—	BRH[4:0]				
RIIC1	ICDRT								
RIIC1	ICDRR								
P0	DDR	—	—	B5	B4	B3	B2	B1	B0
P1	DDR	B7	B6	B5	B4	B3	B2	B1	B0
P2	DDR	B7	B6	B5	B4	B3	B2	B1	B0
P3	DDR	B7	B6	B5	B4	B3	B2	B1	B0
P4	DDR	B7	B6	B5	B4	B3	B2	B1	B0
P5	DDR	B7	B6	B5	B4	B3	B2	B1	B0
P6	DDR	B7	B6	B5	B4	B3	B2	B1	B0
P7	DDR	B7	B6	B5	B4	B3	B2	B1	B0
P8	DDR	—	B6	B5	B4	B3	B2	B1	B0
P9	DDR	B7	B6	B5	B4	B3	B2	B1	B0
PA	DDR	B7	B6	B5	B4	B3	B2	B1	B0
PB	DDR	B7	B6	B5	B4	B3	B2	B1	B0
PC	DDR	B7	B6	B5	B4	B3	B2	B1	B0
PD	DDR	B7	B6	B5	B4	B3	B2	B1	B0
PE	DDR	B7	B6	B5	B4	B3	B2	B1	B0

表5.2 I/O レジスタビット一覧 (23 / 26)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
PF	DDR	—	B6	B5	B4	B3	B2	B1	B0
PG	DDR	B7	B6	B5	B4	B3	B2	B1	B0
PH	DDR	B7	B6	B5	B4	B3	B2	B1	B0
P0	DR	—	—	B5	B4	B3	B2	B1	B0
P1	DR	B7	B6	B5	B4	B3	B2	B1	B0
P2	DR	B7	B6	B5	B4	B3	B2	B1	B0
P3	DR	B7	B6	B5	B4	B3	B2	B1	B0
P4	DR	B7	B6	B5	B4	B3	B2	B1	B0
P5	DR	B7	B6	B5	B4	B3	B2	B1	B0
P6	DR	B7	B6	B5	B4	B3	B2	B1	B0
P7	DR	B7	B6	B5	B4	B3	B2	B1	B0
P8	DR	—	B6	B5	B4	B3	B2	B1	B0
P9	DR	B7	B6	B5	B4	B3	B2	B1	B0
PA	DR	B7	B6	B5	B4	B3	B2	B1	B0
PB	DR	B7	B6	B5	B4	B3	B2	B1	B0
PC	DR	B7	B6	B5	B4	B3	B2	B1	B0
PD	DR	B7	B6	B5	B4	B3	B2	B1	B0
PE	DR	B7	B6	B5	B4	B3	B2	B1	B0
PF	DR	—	B6	B5	B4	B3	B2	B1	B0
PG	DR	B7	B6	B5	B4	B3	B2	B1	B0
PH	DR	B7	B6	B5	B4	B3	B2	B1	B0
P0	PORT	—	—	B5	B4	B3	B2	B1	B0
P1	PORT	B7	B6	B5	B4	B3	B2	B1	B0
P2	PORT	B7	B6	B5	B4	B3	B2	B1	B0
P3	PORT	B7	B6	B5	B4	B3	B2	B1	B0
P4	PORT	B7	B6	B5	B4	B3	B2	B1	B0
P5	PORT	B7	B6	B5	B4	B3	B2	B1	B0
P6	PORT	B7	B6	B5	B4	B3	B2	B1	B0
P7	PORT	B7	B6	B5	B4	B3	B2	B1	B0
P8	PORT	—	B6	B5	B4	B3	B2	B1	B0
P9	PORT	B7	B6	B5	B4	B3	B2	B1	B0
PA	PORT	B7	B6	B5	B4	B3	B2	B1	B0
PB	PORT	B7	B6	B5	B4	B3	B2	B1	B0
PC	PORT	B7	B6	B5	B4	B3	B2	B1	B0
PD	PORT	B7	B6	B5	B4	B3	B2	B1	B0
PE	PORT	B7	B6	B5	B4	B3	B2	B1	B0
PF	PORT	—	B6	B5	B4	B3	B2	B1	B0
PG	PORT	B7	B6	B5	B4	B3	B2	B1	B0
PH	PORT	B7	B6	B5	B4	B3	B2	B1	B0
P0	ICR	—	—	B5	B4	B3	B2	B1	B0
P1	ICR	B7	B6	B5	B4	B3	B2	B1	B0
P2	ICR	B7	B6	B5	B4	B3	B2	B1	B0
P3	ICR	B7	B6	B5	B4	B3	B2	B1	B0
P4	ICR	B7	B6	B5	B4	B3	B2	B1	B0
P5	ICR	B7	B6	B5	B4	B3	B2	B1	B0
P6	ICR	B7	B6	B5	B4	B3	B2	B1	B0
P7	ICR	B7	B6	B5	B4	B3	B2	B1	B0
P8	ICR	—	B6	B5	B4	B3	B2	B1	B0
P9	ICR	B7	B6	B5	B4	B3	B2	B1	B0
PA	ICR	B7	B6	B5	B4	B3	B2	B1	B0
PB	ICR	B7	B6	B5	B4	B3	B2	B1	B0

表5.2 I/O レジスタビット一覧 (24 / 26)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0		
PC	ICR	B7	B6	B5	B4	B3	B2	B1	B0		
PD	ICR	B7	B6	B5	B4	B3	B2	B1	B0		
PE	ICR	B7	B6	B5	B4	B3	B2	B1	B0		
PF	ICR	—	B6	B5	B4	B3	B2	B1	B0		
PG	ICR	B7	B6	B5	B4	B3	B2	B1	B0		
PH	ICR	B7	B6	B5	B4	B3	B2	B1	B0		
P2	ODR	B7	B6	B5	B4	B3	B2	B1	B0		
PC	ODR	B7	B6	B5	B4	B3	B2	B1	B0		
PA	PCR	B7	B6	B5	B4	B3	B2	B1	B0		
PB	PCR	B7	B6	B5	B4	B3	B2	B1	B0		
PC	PCR	B7	B6	B5	B4	B3	B2	B1	B0		
PD	PCR	B7	B6	B5	B4	B3	B2	B1	B0		
PE	PCR	B7	B6	B5	B4	B3	B2	B1	B0		
I/O PORT	PFCSR0	CS7E	CS6E	CS5E	CS4E	CS3E	CS2E	CS1E	CS0E		
I/O PORT	PFCSR1	CS7S[1:0]		CS6S[1:0]		CS5S[1:0]		CS4S[1:0]			
I/O PORT	PFCSR2	CS3S	CS2S	—	—	—	—	—	—		
I/O PORT	PFCSR3	A23E	A22E	A21E	A20E	A19E	A18E	A17E	A16E		
I/O PORT	PFCSR4	A15E	A14E	A13E	A12E	A11E	A10E	A9E	A8E		
I/O PORT	PFCSR5	—	WR1BC1E	—	DHE	TCLKS	—	—	—		
I/O PORT	PFCSR6	TPUMS5	TPUMS4	TPUMS3A	TPUMS3B	TPUMS2	TPUMS1	TPUMS0A	TPUMS0B		
I/O PORT	PFCSR7	TPUMS11	TPUMS10	TPUMS9A	TPUMS9B	TPUMS8	TPUMS7	TPUMS6A	TPUMS6B		
I/O PORT	PFCSR8	ITS15	ITS14	ITS13	ITS12	ITS11	ITS10	ITS9	ITS8		
I/O PORT	PFCSR9	ITS7	ITS6	ITS5	ITS4	ITS3	ITS2	ITS1	ITS0		
SYSTEM	DPSBYCR	DPSBY	IOKEEP	RAMCUT2	RAMCUT1	—	—	—	RAMCUTO		
SYSTEM	DPSWCR	—	—	WTSTS[5:0]						—	—
SYSTEM	DPSIER	DNMIE	—	—	—	DIRQ3E	DIRQ2E	DIRQ1E	DIRQ0E		
SYSTEM	DPSIFR	DNMIF	—	—	—	DIRQ3F	DIRQ2F	DIRQ1F	DIRQ0F		
SYSTEM	DPSIEGR	DNMIEG	—	—	—	DIRQ3EG	DIRQ2EG	DIRQ1EG	DIRQ0EG		
SYSTEM	RSTSR	DPSRSTF	—	—	—	—	—	—	—		
FLASH	FWEPOR	—	—	—	—	—	—	FLWE[1:0]			
SYSTEM	DPSBKR0	BKUP07	BKUP06	BKUP05	BKUP04	BKUP03	BKUP02	BKUP01	BKUP00		
SYSTEM	DPSBKR1	BKUP17	BKUP16	BKUP15	BKUP14	BKUP13	BKUP12	BKUP11	BKUP10		
SYSTEM	DPSBKR2	BKUP27	BKUP26	BKUP25	BKUP24	BKUP23	BKUP22	BKUP21	BKUP20		
SYSTEM	DPSBKR3	BKUP37	BKUP36	BKUP35	BKUP34	BKUP33	BKUP32	BKUP31	BKUP30		
SYSTEM	DPSBKR4	BKUP47	BKUP46	BKUP45	BKUP44	BKUP43	BKUP42	BKUP41	BKUP40		
SYSTEM	DPSBKR5	BKUP57	BKUP56	BKUP55	BKUP54	BKUP53	BKUP52	BKUP51	BKUP50		
SYSTEM	DPSBKR6	BKUP67	BKUP66	BKUP65	BKUP64	BKUP63	BKUP62	BKUP61	BKUP60		
SYSTEM	DPSBKR7	BKUP77	BKUP76	BKUP75	BKUP74	BKUP73	BKUP72	BKUP71	BKUP70		
SYSTEM	DPSBKR8	BKUP87	BKUP86	BKUP85	BKUP84	BKUP83	BKUP82	BKUP81	BKUP80		
SYSTEM	DPSBKR9	BKUP97	BKUP96	BKUP95	BKUP94	BKUP93	BKUP92	BKUP91	BKUP90		
SYSTEM	DPSBKR10	BKUP107	BKUP106	BKUP105	BKUP104	BKUP103	BKUP102	BKUP101	BKUP100		
SYSTEM	DPSBKR11	BKUP117	BKUP116	BKUP115	BKUP114	BKUP113	BKUP112	BKUP111	BKUP110		
SYSTEM	DPSBKR12	BKUP127	BKUP126	BKUP125	BKUP124	BKUP123	BKUP122	BKUP121	BKUP120		
SYSTEM	DPSBKR13	BKUP137	BKUP136	BKUP135	BKUP134	BKUP133	BKUP132	BKUP131	BKUP130		
SYSTEM	DPSBKR14	BKUP147	BKUP146	BKUP145	BKUP144	BKUP143	BKUP142	BKUP141	BKUP140		
SYSTEM	DPSBKR15	BKUP157	BKUP156	BKUP155	BKUP154	BKUP153	BKUP152	BKUP151	BKUP150		
SYSTEM	DPSBKR16	BKUP167	BKUP166	BKUP165	BKUP164	BKUP163	BKUP162	BKUP161	BKUP160		
SYSTEM	DPSBKR17	BKUP177	BKUP176	BKUP175	BKUP174	BKUP173	BKUP172	BKUP171	BKUP170		
SYSTEM	DPSBKR18	BKUP187	BKUP186	BKUP185	BKUP184	BKUP183	BKUP182	BKUP181	BKUP180		
SYSTEM	DPSBKR19	BKUP197	BKUP196	BKUP195	BKUP194	BKUP193	BKUP192	BKUP191	BKUP190		
SYSTEM	DPSBKR20	BKUP207	BKUP206	BKUP205	BKUP204	BKUP203	BKUP202	BKUP201	BKUP200		

表5.2 I/O レジスタビット一覧 (25 / 26)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
SYSTEM	DPSBKR21	BKUP217	BKUP216	BKUP215	BKUP214	BKUP213	BKUP212	BKUP211	BKUP210
SYSTEM	DPSBKR22	BKUP227	BKUP226	BKUP225	BKUP224	BKUP223	BKUP222	BKUP221	BKUP220
SYSTEM	DPSBKR23	BKUP237	BKUP236	BKUP235	BKUP234	BKUP233	BKUP232	BKUP231	BKUP230
SYSTEM	DPSBKR24	BKUP247	BKUP246	BKUP245	BKUP244	BKUP243	BKUP242	BKUP241	BKUP240
SYSTEM	DPSBKR25	BKUP257	BKUP256	BKUP255	BKUP254	BKUP253	BKUP252	BKUP251	BKUP250
SYSTEM	DPSBKR26	BKUP267	BKUP266	BKUP265	BKUP264	BKUP263	BKUP262	BKUP261	BKUP260
SYSTEM	DPSBKR27	BKUP277	BKUP276	BKUP275	BKUP274	BKUP273	BKUP272	BKUP271	BKUP270
SYSTEM	DPSBKR28	BKUP287	BKUP286	BKUP285	BKUP284	BKUP283	BKUP282	BKUP281	BKUP280
SYSTEM	DPSBKR29	BKUP297	BKUP296	BKUP295	BKUP294	BKUP293	BKUP292	BKUP291	BKUP290
SYSTEM	DPSBKR30	BKUP307	BKUP306	BKUP305	BKUP304	BKUP303	BKUP302	BKUP301	BKUP300
SYSTEM	DPSBKR31	BKUP317	BKUP316	BKUP315	BKUP314	BKUP313	BKUP312	BKUP311	BKUP310
ICU	IRQER0	—	—	—	—	—	—	—	IRQEN
ICU	IRQER1	—	—	—	—	—	—	—	IRQEN
ICU	IRQER2	—	—	—	—	—	—	—	IRQEN
ICU	IRQER3	—	—	—	—	—	—	—	IRQEN
ICU	IRQER4	—	—	—	—	—	—	—	IRQEN
ICU	IRQER5	—	—	—	—	—	—	—	IRQEN
ICU	IRQER6	—	—	—	—	—	—	—	IRQEN
ICU	IRQER7	—	—	—	—	—	—	—	IRQEN
ICU	IRQER8	—	—	—	—	—	—	—	IRQEN
ICU	IRQER9	—	—	—	—	—	—	—	IRQEN
ICU	IRQER10	—	—	—	—	—	—	—	IRQEN
ICU	IRQER11	—	—	—	—	—	—	—	IRQEN
ICU	IRQER12	—	—	—	—	—	—	—	IRQEN
ICU	IRQER13	—	—	—	—	—	—	—	IRQEN
ICU	IRQER14	—	—	—	—	—	—	—	IRQEN
ICU	IRQER15	—	—	—	—	—	—	—	IRQEN
ICU	IRQCR0	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR1	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR2	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR3	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR4	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR5	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR6	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR7	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR8	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR9	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR10	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR11	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR12	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR13	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR14	—	—	—	—	IRQMD[1:0]		—	—
ICU	IRQCR15	—	—	—	—	IRQMD[1:0]		—	—
ICU	SSIER	SSI15	SSI14	SSI13	SSI12	SSI11	SSI10	SSI9	SSI8
		SSI7	SSI6	SSI5	SSI4	SSI3	SSI2	SSI1	SSI0
ICU	NMIER	—	—	—	—	—	—	—	NMIEN
ICU	NMICR	—	—	—	—	NMIMD	—	—	—
ICU	NMISR	—	—	—	—	—	—	—	NMIST
ICU	NMICLR	—	—	—	—	—	—	—	NMICLR
FLASH	FMODR	—	—	—	FRDMD	—	—	—	—
FLASH	FASTAT	ROMAE	—	—	CMDLK	DFLAE	—	DFLRPE	DFLWPE

表5.2 I/O レジスタビット一覧 (26 / 26)

モジュール シンボル	レジスタ シンボル	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
FLASH	FAEINT	ROMAEIE	—	—	CMDLKIE	DFLAEIE	—	DFLRPEIE	DFLWPEIE	
FLASH	FRDYIE	—	—	—	—	—	—	—	FRDYIE	
FLASH	DFLRE	KEY[7:0]								
		—	—	—	—	DBRE3	DBRE2	DBRE1	DBRE0	
FLASH	DFLWE	KEY[7:0]								
		—	—	—	—	DBWE3	DBWE2	DBWE1	DBWE0	
FLASH	FCURAME	KEY[7:0]								
		—	—	—	—	—	—	—	FCRME	
FLASH	FSTATR0	FRDY	ILGLERR	ERSERR	PRGERR	SUSRDY	—	ERSSPD	PRGSPD	
FLASH	FSTATR1	FCUERR	—	—	FLOCKST	—	—	—	—	
FLASH	FENTRYR	FEKEY[7:0]								
		FENTRYD	—	—	—	—	—	—	FENTRY1	FENTRY0
FLASH	FPROTR	FPKEY[7:0]								
		—	—	—	—	—	—	—	—	FPROTCN
FLASH	FRESETR	FRKEY[7:0]								
		—	—	—	—	—	—	—	—	FRESET
FLASH	FCMDR	CMDR[7:0]								
		PCMDR[7:0]								
FLASH	FCPSR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	ESUSPMD
FLASH	DFLBCCNT	—						BCADR[9:0]		
		BCADR[9:0]						—	—	BCSIZE
FLASH	FPESTAT	—								
		PEERRST[7:0]								
FLASH	DFLBCSTAT	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	BCST
FLASH	PCKAR	—								
		PCKA[7:0]								

- 注1. PPG0.PCRの設定により、パルス出力グループ2とパルス出力グループ3の出力トリガ設定値が同一の場合は、PPG0.NDRHのアドレスは000881EChとなります。出力トリガが異なる場合は、パルス出力グループ2に対応するPPG0.NDRHのアドレスは000881EEh、出力グループ3に対応するPPG0.NDRHは000881EChとなります。
- 注2. PPG0.PCRの設定により、パルス出力グループ0とパルス出力グループ1の出力トリガ設定値が同一の場合は、PPG0.NDRLのアドレスは000881EDhとなります。出力トリガが異なる場合は、パルス出力グループ0に対応するPPG0.NDRLのアドレスは000881EFh、出力グループ1に対応するPPG0.NDRLは000881EDhとなります。
- 注3. PPG1.PCRの設定により、パルス出力グループ6とパルス出力グループ7の出力トリガ設定値が同一の場合は、PPG1.NDRHのアドレスは000881FChとなります。出力トリガが異なる場合は、パルス出力グループ6に対応するPPG1.NDRHのアドレスは000881FEh、出力グループ7に対応するPPG1.NDRHは000881FChとなります。
- 注4. PPG1.PCRの設定により、パルス出力グループ4とパルス出力グループ5の出力トリガ設定値が同一の場合は、PPG1.NDRLのアドレスは000881FDhとなります。出力トリガが異なる場合は、パルス出力グループ4に対応するPPG1.NDRLのアドレスは000881FFh、出力グループ5に対応するPPG1.NDRLは000881FDhとなります。
- 注5. シリアルコミュニケーションモードとスマートカードインタフェースモードで一部のビットの機能が異なります。

6. リセット

6.1 概要

リセットには、端子リセット、ディープソフトウェアスタンバイリセット、ウォッチドッグタイマリセットがあります。表 6.1 にリセットの名称と要因を示します。

表6.1 リセットの名称と要因

リセットの名称	要因
端子リセット	RES#端子の入力電圧がLow
ディープソフトウェアスタンバイリセット	割り込みによるディープソフトウェアスタンバイモードの解除
ウォッチドッグタイマリセット	ウォッチドッグタイマのオーバフロー

リセットによって内部状態は初期化され、端子は初期状態になります。図 6.1 に各リセットによって初期化される対象を示します。

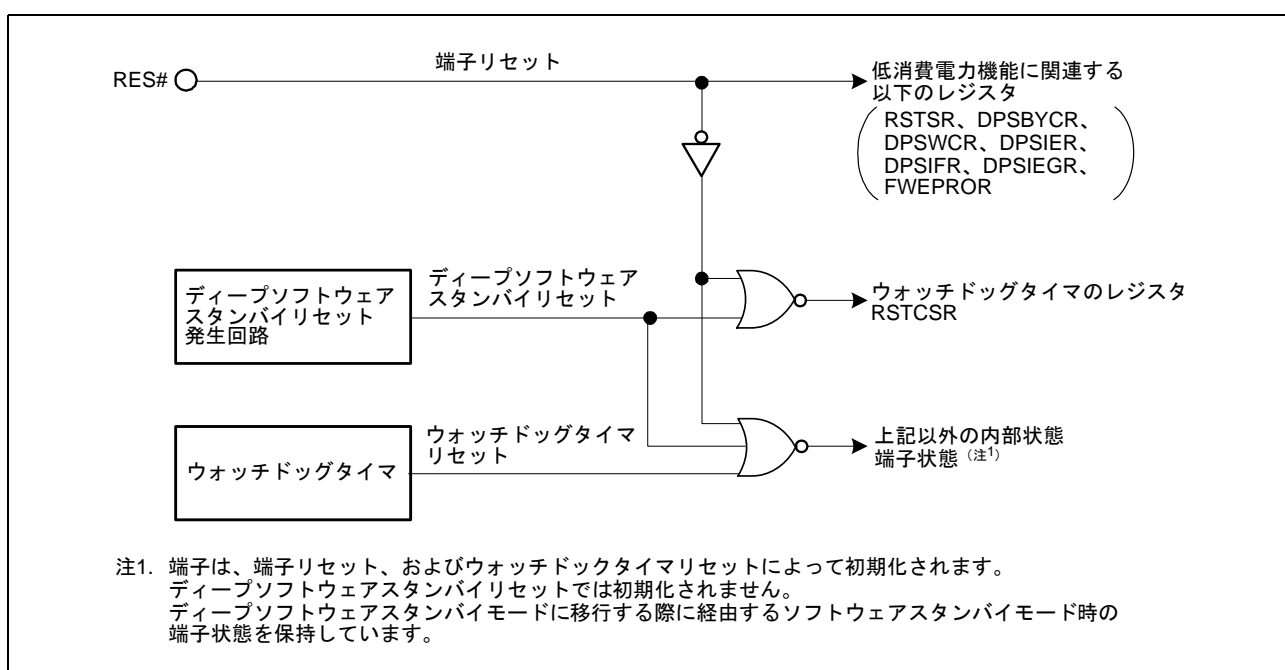


図 6.1 リセット回路のブロック図

表6.2 リセット種別ごとの初期化対象

リセット対象	リセット種別		
	端子リセット	ディープソフトウェアスタンバイリセット	ウォッチドッグタイマリセット
低消費電力機能関連レジスタ (RSTSR、DPSBYCR、DPSWCR、 DPSIER、DPSIFR、DPSIEGR、 FWEPROR)	○	—	—
ウォッチドックタイマのレジスタ RSTCSR	○	○	—
上記以外のレジスタおよび内部状態	○	○	○
端子の状態	○	—	○

リセットが解除されると、リセット例外処理を開始します。リセット例外処理については、「9. 例外処理」を参照してください。

リセットに関連する入出力端子を表 6.3 に示します。

表6.3 リセット関連の入出力端子

端子名	入出力	機能
RES#	入力	リセット端子

6.2 レジスタの説明

表 6.4 にリセット関連のレジスタ一覧を示します。

表6.4 リセット関連のレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
リセットステータスレジスタ	RSTSR	00h	0008 C285h	8
リセットコントロール/ステータスレジスタ	RSTCSR	1Fh	0008 802Bh	8

6.2.1 リセットステータスレジスタ (RSTSR)

アドレス 0008 C285h

	b7	b6	b5	b4	b3	b2	b1	b0
DPSR STF	—	—	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DPSRSTF	ディープソフトウェアスタンバイリセットフラグ	0：外部割り込みによるディープソフトウェアスタンバイモード解除要求の発生なし 1：外部割り込みによるディープソフトウェアスタンバイモード解除要求の発生あり	R(W) (注1)

注1. “0”のみ書けます。

RSTSR レジスタは、内部リセットの発生要因を示すレジスタです。

DPSRSTF フラグ (ディープソフトウェアスタンバイリセットフラグ)

ディープソフトウェアスタンバイモードが DPSIER、DPSIEGR レジスタで設定した外部割り込みで解除され、内部リセットが発生したことを示します。

DPSRSTF フラグは、RES# 端子からのリセット信号で初期化されます。ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。

[“1”になる条件]

- 外部割り込みによってディープソフトウェアスタンバイモードを解除したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

6.2.2 リセットコントロール/ステータスレジスタ (RSTCSR)

アドレス 0008 802Bh

b7	b6	b5	b4	b3	b2	b1	b0
WOVF	RSTE	—	—	—	—	—	—

リセット後の値 0 0 0 1 1 1 1 1

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	RSTE	リセット許可ビット	0: ウォッチドッグタイマモードで、TCNTカウンタがオーバーフローしても、LSI内部はリセットされない (WDTのTCNTカウンタ、TCSRレジスタはリセットされる) 1: ウォッチドッグタイマモードで、TCNTカウンタがオーバーフローすると、LSI内部がリセットされる	R/W
b7	WOVF	ウォッチドッグタイマオーバーフローフラグ	0: ウォッチドッグタイマモードで、TCNTカウンタのオーバーフローの発生なし 1: ウォッチドッグタイマモードで、TCNTカウンタのオーバーフローの発生あり	R(W) (注1)

注1. “0”のみ書けます。

RSTCSR レジスタは、TCNT カウンタのオーバーフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択するレジスタです。

RSTCSR レジスタは、RES# 端子からのリセット信号およびディープソフトウェアスタンバイリセットで“1Fh”に初期化されます。WDT のオーバーフローによる内部リセット信号では初期化されません。

読む場合には、8 ビット単位で読んでください。

書く場合には、WINB レジスタに 16 ビット単位で書いてください。

詳細は、「19.5.1 レジスタアクセス時の注意」を参照してください。

RSTE ビット (リセット許可ビット)

ウォッチドッグタイマモードで、TCNT カウンタのオーバーフローによって LSI 内部をリセットするかどうかを選択します。

WOVF フラグ (ウォッチドッグタイマオーバーフローフラグ)

ウォッチドッグタイマモードで、TCNT カウンタがオーバーフローしたことを示します。インターバルタイマモードでは“1”になりません。

[“1”になる条件]

- ウォッチドッグタイマモードで、TCNT カウンタがオーバーフロー (“FFh” → “00h”) したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

6.3 動作説明

6.3.1 端子リセット

RES# 端子によるリセットです。

RES# 端子が Low になると実行中の処理はすべて打ち切られ、リセット状態になります。

確実にリセットするために、電源投入時は規定の発振安定時間に従い、RES# 端子が Low を保持するようにしてください。動作中は規定のリセットパルス幅に従い、RES# 端子が Low を保持するようにしてください。詳細は、「29. 電気的特性」を参照してください。

6.3.2 ディープソフトウェアスタンバイリセット

ディープソフトウェアスタンバイモードを割り込みによって解除する場合に発生する内部リセットです。

ディープソフトウェアスタンバイモードが解除されると、クロック発振を開始すると同時にディープソフトウェアスタンバイリセットが発生します。ディープソフトウェアスタンバイウェイト時間設定ビット (DPSWCR.WTSTS[5:0]) で選択した時間が経過した後、ディープソフトウェアスタンバイリセットは解除されます。

ディープソフトウェアスタンバイリセットの詳細は、「8. 消費電力低減機能」を参照してください。

6.3.3 ウォッチドッグタイマリセット

ウォッチドッグタイマによる内部リセットです。

RSTCSR.RSTE ビットを“1”にしておくと、ウォッチドッグタイマがオーバーフローしたときに、ウォッチドッグタイマリセットが発生します。その後、一定時間が経過すると、ウォッチドッグタイマリセットは解除されます。

ウォッチドッグタイマリセットの詳細は、「19. ウォッチドッグタイマ (WDT)」を参照してください。

6.4 リセット発生要因の判定

RSTCSR レジスタと、RSTSR レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認することができます。図 6.2 にリセット発生要因判定フロー例を示します。

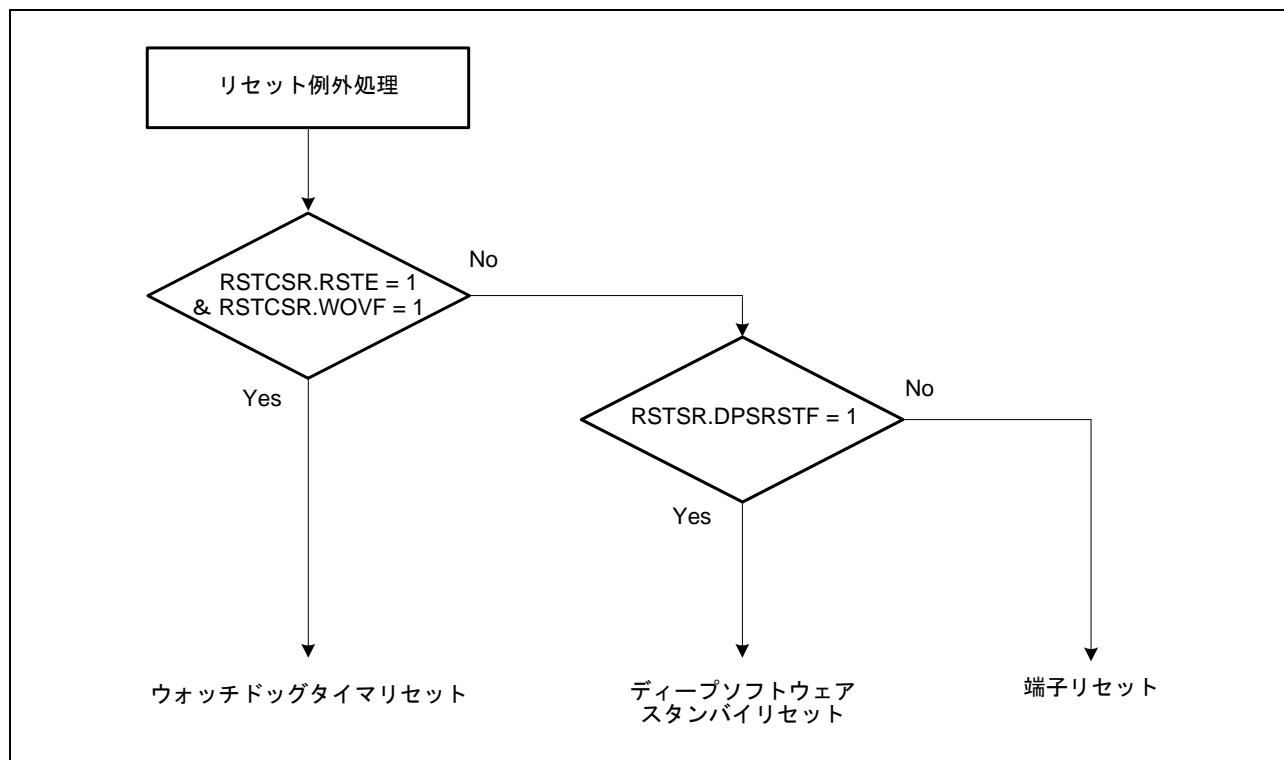


図 6.2 リセット発生要因判定フロー例

6.5 使用上の注意事項

6.5.1 ボード設計上の注意

RX610 グループは XTAL 端子とリセット端子が隣接するピン配置となっています。そのため、クロック信号の影響を受けないようにリセット信号は GND でガードしてください。

7. クロック発生回路

7.1 概要

RX610 グループには、クロック発生回路を内蔵しており、システムクロック (ICLK)、周辺モジュールクロック (PCLK)、外部バスクロック (BCLK) を生成します。

クロック発生回路は、メインクロック発振器、PLL (Phase Locked Loop) 回路、分周器、セクタ回路によって構成されます。

表 7.1 にクロック発生回路の仕様を示します。図 7.1 にクロック発生回路のブロック図を示します。

表 7.1 クロック発生回路の仕様

項目	仕様
用途	<ul style="list-style-type: none"> • CPU、DTC、DMAC、ROMおよびRAMに供給されるシステムクロック (ICLK) の生成 • 周辺モジュールに供給される周辺モジュールクロック (PCLK) の生成 • 外部バスに供給される外部バスクロック (BCLK) の生成
入力クロック (EXTAL) 周波数	8MHz~14MHz
ICLK/PCLK/BCLKクロックの選択	EXTAL ×8、×4、×2、×1からICLK/PCLK/BCLK個別に選択可能
動作周波数	ICLK : 8MHz~100MHz PCLK : 8MHz~50MHz BCLK : 8MHz~25MHz クロック周波数設定制限 : ICLK ≥ PCLK、ICLK ≥ BCLKを維持
接続できる発振子、または付加回路	水晶発振子
発振子、または付加回路の接続端子	EXTAL、XTAL
BCLK出力制御機能	BCLK出力またはHigh出力の選択が可能

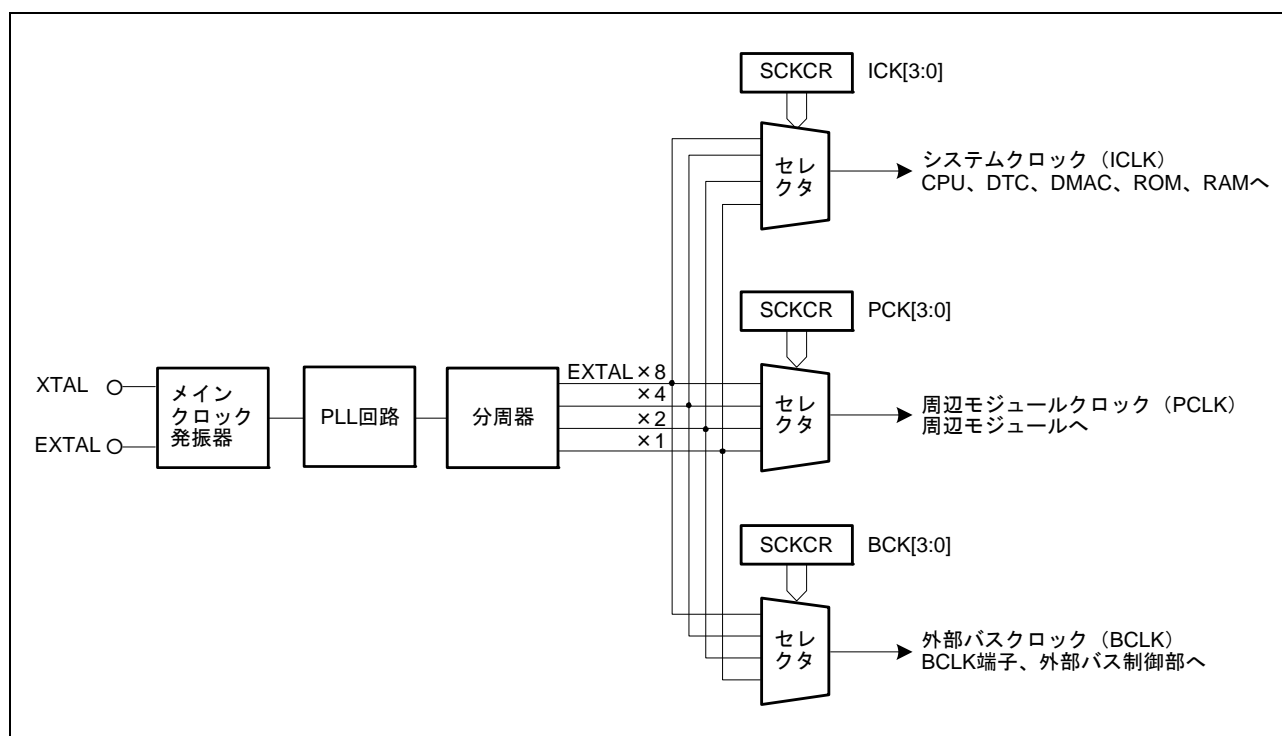


図 7.1 クロック発生回路のブロック図

表 7.2 にクロック発生回路の入出力端子を示します。

表 7.2 クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	入力	水晶発振子接続端子。EXTAL端子は外部クロックの入力も可能。詳細は、「7.3.2 外部クロックを入力する方法」参照
EXTAL	入力	
BCLK	出力	外部デバイスに外部バスクロック (BCLK) を供給

7.2 レジスタの説明

表 7.3 にクロック発生回路のレジスタ一覧を示します。

表 7.3 クロック発生回路のレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
システムクロックコントロールレジスタ	SCKCR	0202 0200h	0008 0020h	32

7.2.1 システムクロックコントロールレジスタ (SCKCR)

アドレス 0008 0020h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16	
—	—	—	—	ICK[3:0]				PSTOP1	—	—	—	BCK[3:0]				
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	—	—	PCK[3:0]				—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	PCK[3:0] (注1)	周辺モジュールクロック (PCLK) 選択ビット	b11 b8 0 0 0 0 : x8 0 0 0 1 : x4 0 0 1 0 : x2 0 0 1 1 : x1 上記以外は設定しないでください	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b19-b16	BCK[3:0] (注1)	外部バスクロック (BCLK) 選択ビット	b19 b16 0 0 0 0 : x8 0 0 0 1 : x4 0 0 1 0 : x2 0 0 1 1 : x1 上記以外は設定しないでください	R/W
b22-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23	PSTOP1	BCLK出力停止ビット	0 : BCLK出力 1 : High固定	R/W
b27-b24	ICK[3:0] (注2)	システムクロック (ICLK) 選択ビット	b27 b24 0 0 0 0 : x8 0 0 0 1 : x4 0 0 1 0 : x2 0 0 1 1 : x1 上記以外は設定しないでください	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. システムクロック (ICLK) より高い周波数を設定しないでください。レジスタの設定は行えますが、周波数はICLKと同一になります。

注2. 周辺モジュールクロック (PCLK)、および外部バスクロック (BCLK) より低い周波数を設定しないでください。レジスタの設定は行えますが、PCLKおよびBCLKの周波数はシステムクロック (ICLK) と同一になります。

SCKCR レジスタは、BCLK 出力制御と、システムクロック (ICLK)、周辺モジュールクロック (PCLK) および外部バスクロック (BCLK) の周波数を選択するレジスタです。

PCK[3:0] ビット (周辺モジュールクロック (PCLK) 選択ビット)

周辺モジュールクロック (PCLK) の周波数を選択します。
入力クロック (EXTAL) に対する倍率を示しています。

BCK[3:0] ビット (外部バスクロック (BCLK) 選択ビット)

外部バスクロック (BCLK) の周波数を選択します。
入力クロック (EXTAL) に対する倍率を示しています。

PSTOP1 ビット (BCLK 出力停止ビット)

P53 からの BCLK 出力を制御します。

ICK[3:0] ビット (システムクロック (ICLK) 選択ビット)

CPU、DMAC、DTC とシステムクロック (ICLK) の周波数を選択します。
入力クロック (EXTAL) に対する倍率を示しています。

7.3 メインクロック発振器

クロックを供給するには、水晶発振子を接続する方法と外部クロックを入力する方法があります。

7.3.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図 7.2 に示します。ダンピング抵抗 R_d (参考値) を表 7.4 に示します。水晶発振子を接続してクロックを供給する場合、接続する水晶発振子は、8 ~ 14MHz としてください。

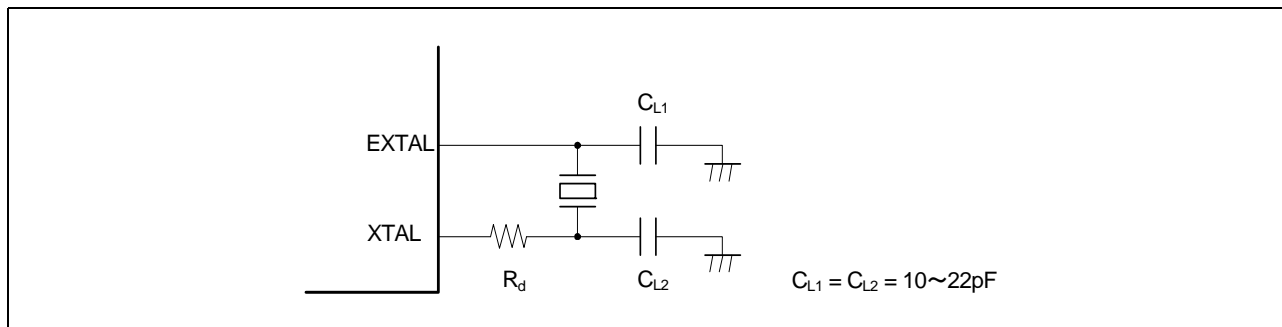


図 7.2 水晶発振子の接続例

表 7.4 ダンピング抵抗 (参考値)

周波数 (MHz)	8	10	12	14
R_d (Ω)	200	100	0	0

水晶発振子の等価回路を図 7.3 に示します。水晶発振子は表 7.5 に示す特性のものを使用してください。

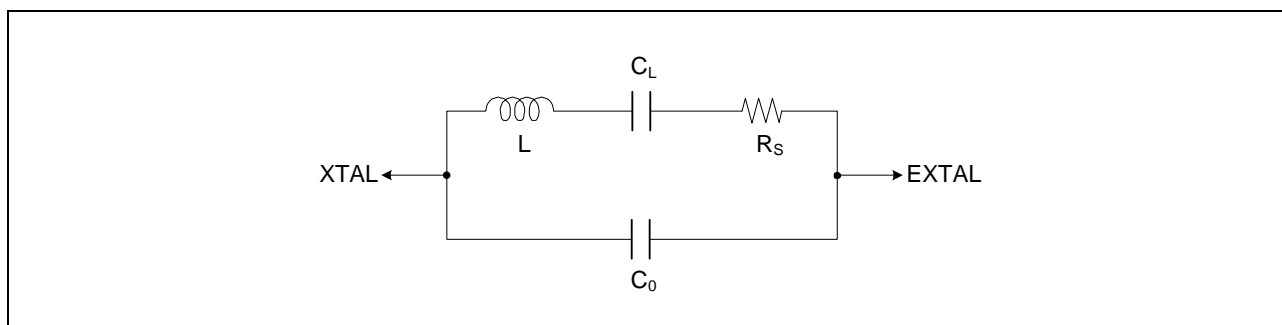


図 7.3 水晶発振子の等価回路

表 7.5 水晶発振子の特性 (参考値)

周波数 (MHz)	8	10	12	14
R_s max (Ω)	80	70	60	50
C_0 max (pF)	7			

7.3.2 外部クロックを入力する方法

外部クロック入力の接続例を図 7.4 に示します。XTAL 端子をオープンにする場合、寄生容量は 10pF 以下にしてください。XTAL 端子に逆相クロックを入力する場合、スタンバイモード時は外部クロックを High にしてください。

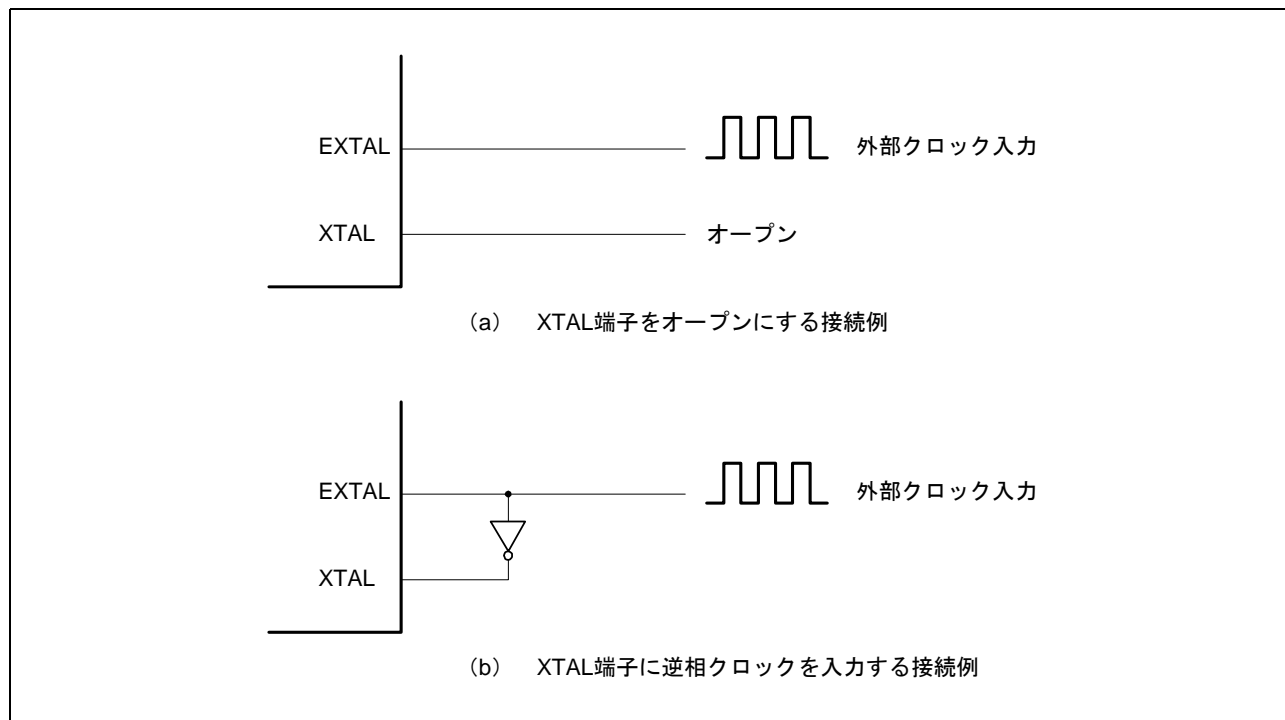


図 7.4 外部クロックの接続例

7.4 PLL 回路

PLL 回路は、発振器からの周波数を最大 8 倍に通倍する機能を持っています。

7.5 分周器

分周器は、PLL クロックを分周し、1/2、1/4、1/8 のクロックを生成します。SCKCR.ICK[3:0], PCK[3:0], BCK[3:0] ビットを書き換えると、その周波数で動作します。

7.6 内部クロック

内部クロックは、外部からの入力クロック (EXTAL) を PLL 回路で 8 通倍し、分周器で 1/2/4/8 分周したクロックです。

内部クロックには、以下の 3 種類のクロックがあります。

- CPU、DMAC、DTC の動作クロック：システムクロック (ICLK)
- 周辺モジュールの動作クロック：周辺モジュールクロック (PCLK)
- 外部バス制御部、外部端子出力用クロック：外部バスクロック (BCLK)
周波数は、SCKCR.ICK[3:0], PCK[3:0], BCK[3:0] ビットの組み合わせで設定します。

7.6.1 システムクロック (ICLK)

システムクロック (ICLK) は、CPU、DMAC、DTC、ROM、および RAM の動作クロックです。

ICLK の周波数は、SCKCR.ICK[3:0] ビットで設定します。

ICLK は、周辺モジュールクロック (PCLK) および外部バスクロック (BCLK) より低い周波数に設定することはできません。低い周波数に設定した場合、PCLK および BCLK と同じ周波数となります。

7.6.2 周辺モジュールクロック (PCLK)

周辺モジュールクロック (PCLK) は、周辺モジュール用の動作クロックです。

PCLK の周波数は、SCKCR.PCK[3:0] ビットで設定します。

PCLK は、システムクロック (ICLK) より高い周波数に設定することはできません。高い周波数に設定した場合、ICLK と同じ周波数となります。

7.6.3 外部バスクロック (BCLK)

外部バスクロック (BCLK) は、外部接続バス用の外部端子出力クロックです。

SCKCR.PSTOP1 ビットを“0” (BCLK 出力)、P5.DDR.B3 ビットを“1” (出力ポート) にすると、BCLK を BCLK 出力端子から出力することができます。ただし、SCKCR.PSTOP1 ビットと P5.DDR.B3 ビットの設定順序には注意が必要です。SCKCR.PSTOP1 ビットが“1” (High 固定) の状態で、P5.DDR.B3 ビットの値を変更するようにしてください。

BCLK の周波数は、SCKCR.BCK[3:0] ビットで設定します。BCLK は、システムクロック (ICLK) より高い周波数に設定することはできません。高い周波数に設定した場合、ICLK と同じ周波数となります。

7.7 使用上の注意事項

7.7.1 クロック発生回路に関する注意事項

1. **SCKCR** レジスタで、各モジュールに供給されるシステムクロック (**ICLK**)、周辺モジュールクロック (**PCLK**)、外部バスクロック (**BCLK**) の周波数を選択します。各周波数は、電気的特性の AC 特性のクロックサイクル時間 (**tcyc**) の動作保証範囲内に収まるようにしてください。各周波数は、以下のように入してください。

$$\text{ICLK} = 8 \sim 100\text{MHz}, \text{PCLK} = 8 \sim 50\text{MHz}, \text{BCLK} = 8 \sim 25\text{MHz}$$

周辺モジュール (**DMAC**、**DTC** を除く) は、すべて **PCLK** を基準に動作します。このため、周波数変更の前後でタイマや **SCI** などの動作速度が変わりますので注意してください。

また、ソフトウェアスタンバイモード解除用の待機時間も周波数を変更することで変わります。詳細は、「**8.5.3.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定**」を参照してください。

2. システムクロック (**ICLK**)、周辺モジュールクロック (**PCLK**)、外部バスクロック (**BCLK**) との間には、 $\text{ICLK} \geq \text{PCLK}$ 、 $\text{ICLK} \geq \text{BCLK}$ の関係が成り立っており、かつ **ICLK** の設定が優先されます。そのため、この条件を満たせない設定を行った場合、**SCKCR.PCK[3:0]**、**BCK[3:0]** ビットの設定は無効となり、**PCLK**、**BCLK** は、**SCKCR.ICK[3:0]** ビットで設定したクロック周波数になります。
3. クロック周波数を変更する場合、外部バスアクセス中に周波数変化しないように注意しながら設定してください。
4. **SCKCR** レジスタへの書き込み後、周波数の変更が完了するまでの間に再度 **SCKCR** レジスタへ書き込みを行った場合、その書き込みは無視されます。**SCKCR** レジスタへの書き込みが続く場合は、最後に書いた値が **SCKCR** レジスタから読めることを確認するようにしてください。
5. **SCKCR** レジスタへの書き込み後、周波数の変更が完了するまでの間、ソフトウェアスタンバイモードへの移行は禁止します。周波数変更途中でソフトウェアスタンバイモードへの移行を行った場合、以降の動作は保証できません。**SCKCR** レジスタへの書き込みから **WAIT** 命令の発行までの間には、システムクロックで 11 サイクル以上の間隔を開けるようにしてください。

7.7.2 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する発振子の接続例を参考にユーザ側での十分な評価を実施してご使用願います。発振子の回路定数は、発振子、実装回路の浮遊容量などによって異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧は、絶対最大定格を超えないようにしてください。

7.7.3 ボード設計上の注意

水晶発振子を使用する場合は、発振子およびコンデンサはできるだけ XTAL、EXTAL 端子の近くに配置してください。図 7.5 に示すように発振回路の近くには信号線を通させないでください。電磁誘導によって正常に発振しなくなることがあります。

RX610 グループは XTAL 端子とリセット端子が隣接するピン配置となっています。そのため、クロック信号の影響を受けないようにリセット信号は GND でガードしてください。

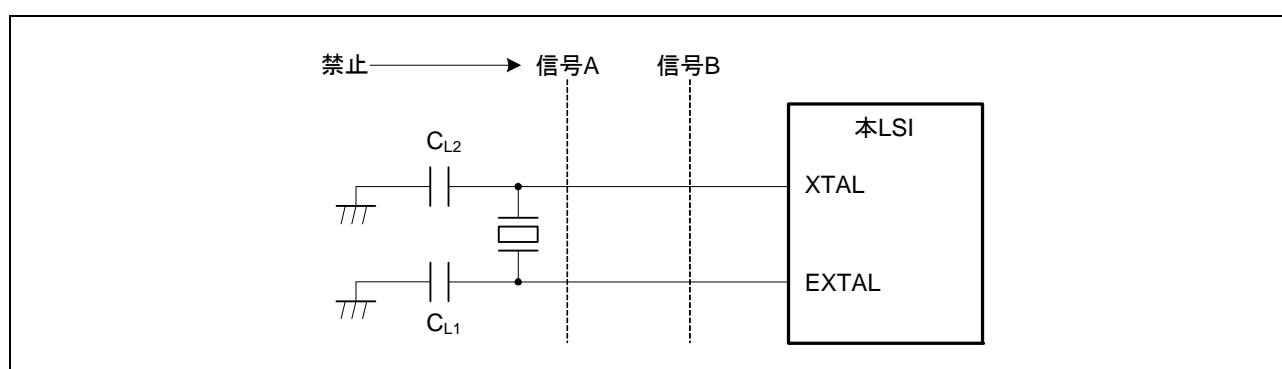


図 7.5 発振回路部のボード設計に関する注意事項

PLL 回路の外付け推奨回路を図 7.6 に示します。PLLVCC、PLLVSS と VCC、VSS は、ボードの電源供給元から分離し、端子の近くにバイパスコンデンサ CPB および CB を挿入してください。

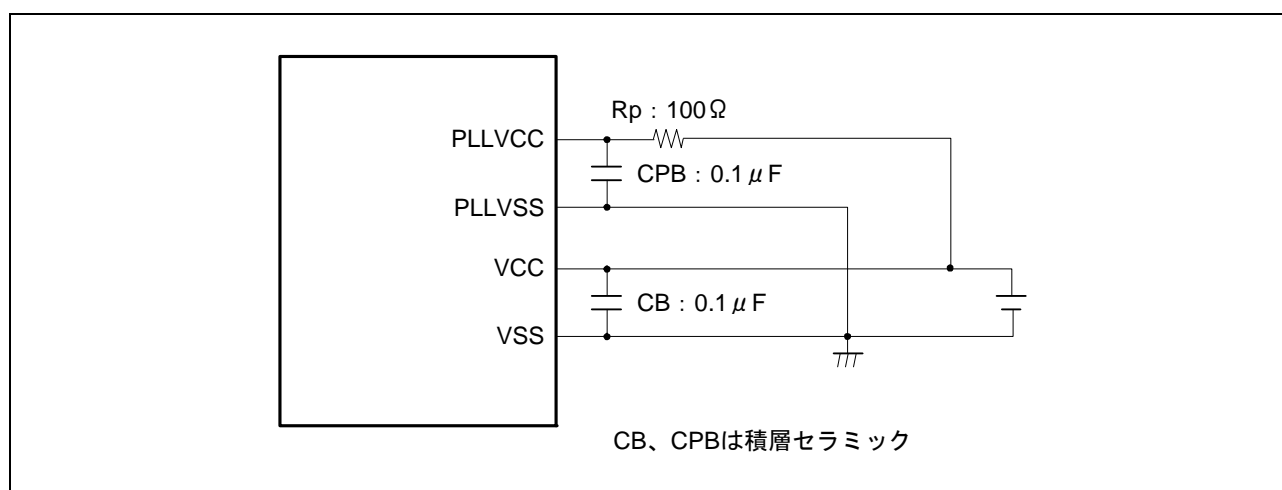


図 7.6 PLL 回路の外付け推奨回路

8. 消費電力低減機能

8.1 概要

RX610 グループには、消費電力低減機能としてマルチクロック機能、BCLK 出力停止機能、モジュールストップ機能、および低消費電力状態への遷移機能があります。

表 8.1 に消費電力低減機能の仕様を、表 8.2 に低消費電力状態への遷移条件と CPU や周辺モジュールなどの状態、および各モードの解除方法を示します。

リセット後は、通常のプログラム動作で DTC、DMAC 以外のモジュールは停止状態になります。

表 8.1 消費電力低減機能の仕様

項目	内容
マルチクロック機能	システムクロック (ICLK)、周辺モジュールクロック (PCLK)、外部バスクロック (BCLK) に対し、個別に分周比を設定することが可能
BCLK出力制御機能	BCLK出力またはHigh出力の選択が可能
モジュールストップ機能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	スリープモード 全モジュールクロックストップモード ソフトウェアスタンバイモード ディープソフトウェアスタンバイモード

表8.2 各モードにおける遷移および解除方法と動作状態

遷移および解除方法と動作状態	スリープモード	全モジュール クロックストップモード	ソフトウェア スタンバイモード	ディープソフトウェ ア スタンバイモード
遷移方法	制御レジスタ+命令	制御レジスタ+命令	制御レジスタ+命令	制御レジスタ+命令
解除方法	割り込み	割り込み (注1)	外部割り込み	外部割り込み (注2)
解除後の状態 (注3)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (リセット処理)
発振器	動作	動作	停止	停止
CPU	停止 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
内蔵RAM1 (0001 0000h~0001 FFFFh)	動作 (保持)	停止 (保持)	停止 (保持)	停止 (不定)
内蔵RAM0 (0000 0000h~0000 FFFFh)	動作 (保持)	停止 (保持)	停止 (保持)	停止 (保持/不定) (注4)
ウォッチドッグタイマ	動作	動作	停止 (保持)	停止 (不定)
8ビットタイマ (ユニット0、1)	動作	動作 (注5)	停止 (保持)	停止 (不定)
周辺モジュール	動作	停止 (注6)	停止 (注6)	停止 (不定)
I/Oポート	動作	保持 (注7)	保持 (注8)	保持 (注8)

停止 (保持) は、内部レジスタ値保持、内部状態は動作中断を示します。

停止 (不定) は、内部レジスタ値不定、内部状態は電源オフを示します。

注1. 外部割り込み、一部の内部割り込み (8ビットタイマ、ウォッチドッグタイマ)

注2. NMI、IRQ0~IRQ3のA側のみ。ただし、NMI、IRQは、ディープスタンバイインタラプトイネーブルレジスタ (DPSIER) の当該ビットが“1”のときのみ有効。

注3. RES#端子による解除は除きます。RES#端子による解除の場合は、リセット状態に遷移します。

注4. ディープスタンバイコントロールレジスタの内蔵RAMオフ2ビット、内蔵RAMオフ1ビット、内蔵RAMオフ0ビット (DPSBYCR.RAMCUT2, RAMCUT1, RAMCUT0) の設定によって、保持/不定を選択することができます。

注5. モジュールストップコントロールレジスタAの8ビットタイマ3、2 (ユニット1) モジュールストップ設定ビット、8ビットタイマ1、0 (ユニット0) モジュールストップ設定ビット (MSTPCRA.MSTPA4, MSTPA5) の設定によって、動作/停止を選択することができます。

注6. 周辺モジュールは状態を保持します。

注7. P53をBCLK出力として使用している場合は、BCLK出力のまま動作を継続します。詳細は「8.6 BCLK出力制御」を参照してください。

注8. スタンバイコントロールレジスタの出力ポート許可ビット (SBYCR.OPE) の設定によって、アドレスバス、バス制御信号 (CS0#~CS7#、RD#、WR0#、WR1#、WR#、BC0#、BC1#) の保持/ハイインピーダンスを選択することができます。

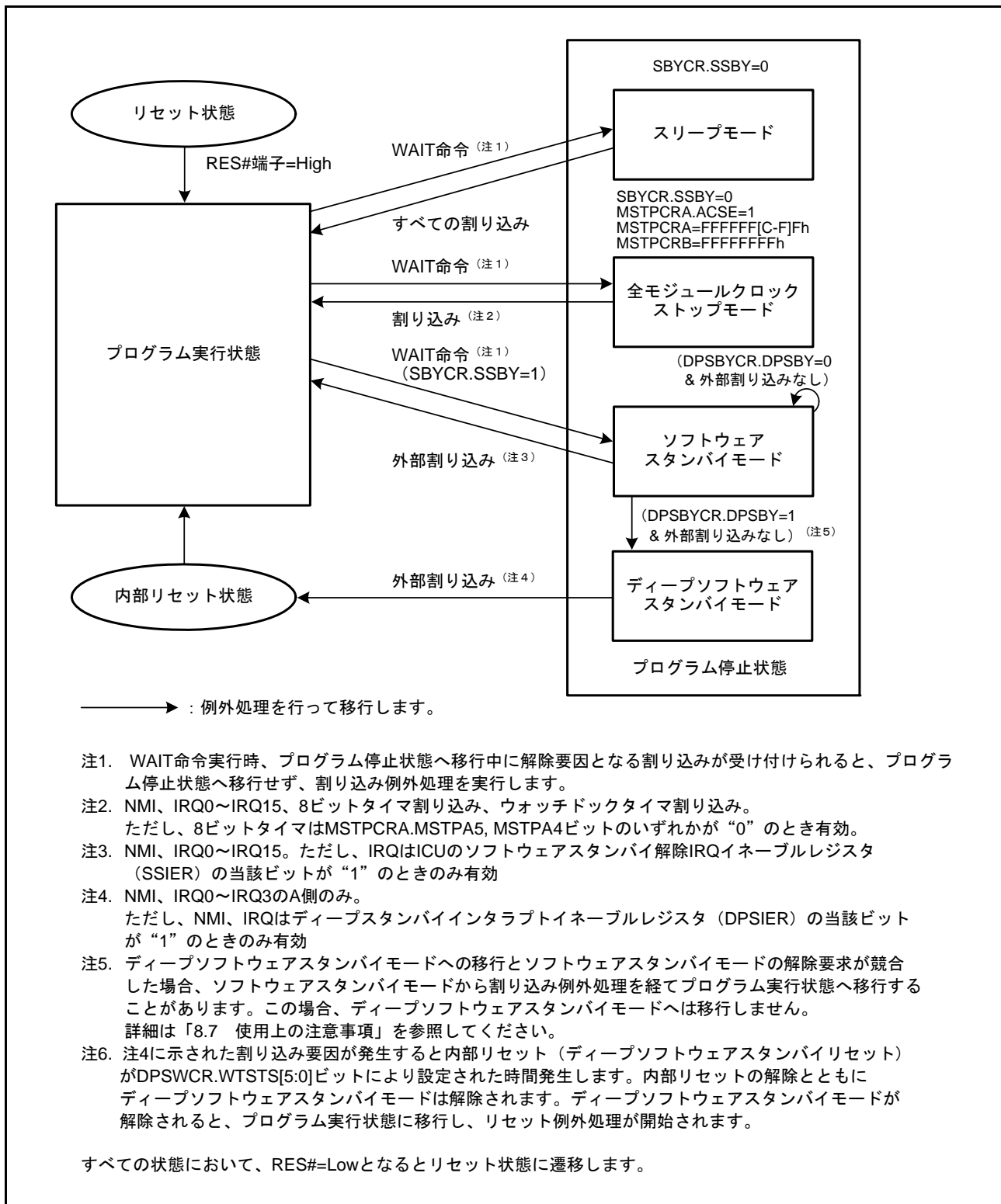


図 8.1 モード遷移

8.2 レジスタの説明

表 8.3 に低消費電力に関連するレジスタを示します。システムクロックコントロールレジスタ (SCKCR) については、「8.2.1 スタンバイコントロールレジスタ (SBYCR)」を参照してください。

表8.3 低消費電力関連のレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
スタンバイコントロールレジスタ	SBYCR	4F00h	0008 000Ch	16
モジュールストップコントロールレジスタA	MSTPCRA	67FF FFFFh	0008 0010h	32
モジュールストップコントロールレジスタB	MSTPCRB	FFFF FFFFh	0008 0014h	32
モジュールストップコントロールレジスタC	MSTPCRC	FFFF 0000h	0008 0018h	32
ディープスタンバイコントロールレジスタ	DPSBYCR	31h	0008 C280h	8
ディープスタンバイウェイトコントロールレジスタ	DPSWCR	0Fh	0008 C281h	8
ディープスタンバイインタラプトイネーブルレジスタ	DPSIER	00h	0008 C282h	8
ディープスタンバイインタラプトフラグレジスタ	DPSIFR	00h	0008 C283h	8
ディープスタンバイインタラプトエッジレジスタ	DPSIEGR	00h	0008 C284h	8
リセットステータスレジスタ	RSTSR	00h	0008 C285h	8
ディープスタンバイバックアップレジスタ0	DPSBKR0	xxh (注1)	0008 C290h	8
ディープスタンバイバックアップレジスタ1	DPSBKR1	xxh (注1)	0008 C291h	8
ディープスタンバイバックアップレジスタ2	DPSBKR2	xxh (注1)	0008 C292h	8
ディープスタンバイバックアップレジスタ3	DPSBKR3	xxh (注1)	0008 C293h	8
ディープスタンバイバックアップレジスタ4	DPSBKR4	xxh (注1)	0008 C294h	8
ディープスタンバイバックアップレジスタ5	DPSBKR5	xxh (注1)	0008 C295h	8
ディープスタンバイバックアップレジスタ6	DPSBKR6	xxh (注1)	0008 C296h	8
ディープスタンバイバックアップレジスタ7	DPSBKR7	xxh (注1)	0008 C297h	8
ディープスタンバイバックアップレジスタ8	DPSBKR8	xxh (注1)	0008 C298h	8
ディープスタンバイバックアップレジスタ9	DPSBKR9	xxh (注1)	0008 C299h	8
ディープスタンバイバックアップレジスタ10	DPSBKR10	xxh (注1)	0008 C29Ah	8
ディープスタンバイバックアップレジスタ11	DPSBKR11	xxh (注1)	0008 C29Bh	8
ディープスタンバイバックアップレジスタ12	DPSBKR12	xxh (注1)	0008 C29Ch	8
ディープスタンバイバックアップレジスタ13	DPSBKR13	xxh (注1)	0008 C29Dh	8
ディープスタンバイバックアップレジスタ14	DPSBKR14	xxh (注1)	0008 C29Eh	8
ディープスタンバイバックアップレジスタ15	DPSBKR15	xxh (注1)	0008 C29Fh	8
ディープスタンバイバックアップレジスタ16	DPSBKR16	xxh (注1)	0008 C2A0h	8
ディープスタンバイバックアップレジスタ17	DPSBKR17	xxh (注1)	0008 C2A1h	8
ディープスタンバイバックアップレジスタ18	DPSBKR18	xxh (注1)	0008 C2A2h	8
ディープスタンバイバックアップレジスタ19	DPSBKR19	xxh (注1)	0008 C2A3h	8
ディープスタンバイバックアップレジスタ20	DPSBKR20	xxh (注1)	0008 C2A4h	8
ディープスタンバイバックアップレジスタ21	DPSBKR21	xxh (注1)	0008 C2A5h	8
ディープスタンバイバックアップレジスタ22	DPSBKR22	xxh (注1)	0008 C2A6h	8
ディープスタンバイバックアップレジスタ23	DPSBKR23	xxh (注1)	0008 C2A7h	8
ディープスタンバイバックアップレジスタ24	DPSBKR24	xxh (注1)	0008 C2A8h	8
ディープスタンバイバックアップレジスタ25	DPSBKR25	xxh (注1)	0008 C2A9h	8
ディープスタンバイバックアップレジスタ26	DPSBKR26	xxh (注1)	0008 C2AAh	8
ディープスタンバイバックアップレジスタ27	DPSBKR27	xxh (注1)	0008 C2ABh	8
ディープスタンバイバックアップレジスタ28	DPSBKR28	xxh (注1)	0008 C2ACh	8
ディープスタンバイバックアップレジスタ29	DPSBKR29	xxh (注1)	0008 C2ADh	8
ディープスタンバイバックアップレジスタ30	DPSBKR30	xxh (注1)	0008 C2AEh	8
ディープスタンバイバックアップレジスタ31	DPSBKR31	xxh (注1)	0008 C2AFh	8

注1. DPSBKR0～DPSBKR31 レジスタは初期化されません。電源投入直後のレジスタ値は不定となります。

8.2.1 スタンバイコントロールレジスタ (SBYCR)

アドレス 0008 000Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSBY	OPE	—	STS[4:0]				—	—	—	—	—	—	—	—	—
リセット後の値	0	1	0	0	1	1	1	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12-b8	STS[4:0]	スタンバイタイム 選択ビット	b12 b8 0 0 1 0 1 : 待機時間 = 64ステート 0 0 1 1 0 : 待機時間 = 512ステート 0 0 1 1 1 : 待機時間 = 1024ステート 0 1 0 0 0 : 待機時間 = 2048ステート 0 1 0 0 1 : 待機時間 = 4096ステート 0 1 0 1 0 : 待機時間 = 16384ステート 0 1 0 1 1 : 待機時間 = 32768ステート 0 1 1 0 0 : 待機時間 = 65536ステート 0 1 1 0 1 : 待機時間 = 131072ステート 0 1 1 1 0 : 待機時間 = 262144ステート 0 1 1 1 1 : 待機時間 = 524288ステート 上記以外は設定しないでください	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	OPE	出力ポート 許可ビット	0 : ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイ モード時、アドレスバス、バス制御信号はハイインピーダンス 1 : ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイ モード時、アドレスバス、バス制御信号は出力状態を保持	R/W
b15	SSBY	ソフトウェア スタンバイビット	0 : WAIT命令実行後、スリープモードまたは全モジュールクロックストップ モードに移行 1 : WAIT命令実行後、ソフトウェアスタンバイモードに移行	R/W

SBYCR レジスタは、ソフトウェアスタンバイモードの制御を行うレジスタです。

STS[4:0] ビット (スタンバイタイム選択ビット)

外部割り込みによってソフトウェアスタンバイモードを解除する場合に、クロックが安定するまでの待機時間を選択します。

水晶発振の場合、表 8.4 を参照し、動作周波数に応じて待機時間が発振安定時間以上となるように選択してください。外部クロックにおいても、PLL 回路の安定時間が必要になります。表 8.4 を参照し、待機時間を設定してください。

発振安定期間中は、周辺モジュールクロック (PCLK) の周波数でカウントされます。マルチクロック機能使用時は注意してください。

OPE ビット（出力ポート許可ビット）

ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時に、アドレスバス、バス制御信号（CS0# ~ CS7#、RD#、WR0#、WR1#、WR#、BC0#、BC1#）の出力を保持するか、ハイインピーダンスにするかを選択します。

SSBY ビット（ソフトウェアスタンバイビット）

WAIT 命令実行後の移行先を設定します。

SSBY ビットが“0”のとき、MSTPCRA および MSTPCRB レジスタの設定に従い、WAIT 命令実行後スリープモードに移行するか、または全モジュールストップモードに移行するかが変わります。また、SSBY ビットが“1”のとき、WAIT 命令実行後はソフトウェアスタンバイモードに移行します。このとき、DPSBYCR、DPSBY ビットが“1”であれば、ソフトウェアスタンバイモードを経由して、ディープソフトウェアスタンバイモードに移行します。詳細は、「8.5 低消費電力状態」を参照してください。

なお、外部割り込みによってソフトウェアスタンバイモードが解除され通常モードに移行したときは、このビットは“1”のままです。“0”にするときは“0”を書いてください。

WDTをウォッチドックタイマモードで使用しているときは、このビットに設定された値は無効になります。その場合、WAIT 命令実行後は常にスリープモード、あるいは全モジュールクロックストップモードに移行します。

8.2.2 モジュールストップコントロールレジスタ A (MSTPCRA)

アドレス 0008 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ACSE	—	—	MSTPA 28	MSTPA 27	—	—	—	MSTPA 23	MSTPA 22	MSTPA 21	MSTPA 20	MSTPA 19	—	—	—
リセット後の値	0	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSTPA 15	MSTPA 14	MSTPA 13	MSTPA 12	MSTPA 11	MSTPA 10	—	—	—	—	MSTPA 5	MSTPA 4	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。 書く場合、“1”としてください	R/W
b4	MSTPA4	8ビットタイマ3、2 (ユニット1) モジュールストップ設定ビット	対象モジュール：TMR3、TMR2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	MSTPA5	8ビットタイマ1、0 (ユニット0) モジュールストップ設定ビット	対象モジュール：TMR1、TMR0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b9-b6	—	予約ビット	読むと“1”が読めます。 書く場合、“1”としてください	R/W
b10	MSTPA10	プログラマブルパルスジェネレータ1 (ユニット1) モジュールストップ設定ビット	対象モジュール：PPG1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b11	MSTPA11	プログラマブルパルスジェネレータ0 (ユニット0) モジュールストップ設定ビット	対象モジュール：PPG0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b12	MSTPA12	16ビットタイマパルスユニット1 (ユニット1) モジュールストップ設定ビット	対象モジュール：TPUユニット1 (TPU6～TPU11) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b13	MSTPA13	16ビットタイマパルスユニット0 (ユニット0) モジュールストップ設定ビット	対象モジュール：TPUユニット0 (TPU0～TPU5) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b14	MSTPA14	コンペアマッチタイマ1 (ユニット1) モジュールストップ設定ビット	対象モジュール：CMTユニット1 (CMT2～CMT3) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b15	MSTPA15	コンペアマッチタイマ0 (ユニット0) モジュールストップ設定ビット	対象モジュール：CMTユニット0 (CMT0～CMT1) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18-b16	—	予約ビット	読むと“1”が読めます。 書く場合、“1”としてください	R/W
b19	MSTPA19	D/Aコンバータ モジュールストップ設定ビット	対象モジュール：DA 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b20	MSTPA20	A/Dコンバータ (ユニット3) モジュールストップ設定ビット	対象モジュール：AD3 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b21	MSTPA21	A/Dコンバータ (ユニット2) モジュールストップ設定ビット	対象モジュール：AD2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

ビット	シンボル	ビット名	機能	R/W
b22	MSTPA22	A/Dコンバータ (ユニット1) モジュールストップ設定ビット	対象モジュール: AD1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b23	MSTPA23	A/Dコンバータ (ユニット0) モジュールストップ設定ビット	対象モジュール: AD0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b26-b24	—	予約ビット	読むと“1”が読めます。 書く場合、“1”としてください	R/W
b27	MSTPA27	データトランスファコントローラ モジュールストップ設定ビット	対象モジュール: DTC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b28	MSTPA28	DMAコントローラ モジュールストップ設定ビット	対象モジュール: DMAC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
b30-b29	—	予約ビット	読むと“1”が読めます。 書く場合、“1”としてください	R/W
b31	ACSE (注1)	全モジュールクロックストップモード許可ビット	0: 全モジュールクロックストップ モード禁止 1: 全モジュールクロックストップ モード許可	R/W

MSTPCRA レジスタは、モジュールストップ状態の制御を行うレジスタです。

ACSE ビット (全モジュールクロックストップモード許可ビット)

MSTPCRA、MSTPCRB レジスタで制御されるすべてのモジュール (注 2) がモジュールストップ状態に設定された上で、CPU が WAIT 命令を実行した場合にバス制御部と I/O ポートも動作をストップして、消費電流を低減する全モジュールクロックストップモードの許可または禁止を設定します。

注 1. SBYCR.SSBY ビットが“0”で、MSTPCRA.ACSE ビットが“0”の場合は、WAIT 命令実行後スリープモードに遷移します。

注 2. 8 ビットタイマは、MSTPA5、MSTPA4 ビットの設定によって、動作 / 停止を選択することができます。

8.2.3 モジュールストップコントロールレジスタ B (MSTPCRB)

アドレス 0008 0014h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
MSTPB31	MSTPB30	MSTPB29	MSTPB28	MSTPB27	MSTPB26	MSTPB25	—	MSTPB23	—	MSTPB21	MSTPB20	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b19-b0	—	予約ビット	読むと“1”が読めます。 書く場合、“1”としてください	R/W
b20	MSTPB20	I ² Cバスインタフェース1 (ユニット1) モジュールストップ設定ビット	対象モジュール：RIIC1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b21	MSTPB21	I ² Cバスインタフェース0 (ユニット0) モジュールストップ設定ビット	対象モジュール：RIIC0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b22	—	予約ビット	読むと“1”が読めます。 書く場合、“1”としてください	R/W
b23	MSTPB23	CRC演算器モジュールストップ設定ビット	対象モジュール：CRC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b24	—	予約ビット	読むと“1”が読めます。 書く場合、“1”としてください	R/W
b25	MSTPB25	シリアルコミュニケーションインタフェース6 モジュールストップ設定ビット	対象モジュール：SCI6 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b26	MSTPB26	シリアルコミュニケーションインタフェース5 モジュールストップ設定ビット	対象モジュール：SCI5 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27	MSTPB27	シリアルコミュニケーションインタフェース4 モジュールストップ設定ビット	対象モジュール：SCI4 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b28	MSTPB28	シリアルコミュニケーションインタフェース3 モジュールストップ設定ビット	対象モジュール：SCI3 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29	MSTPB29	シリアルコミュニケーションインタフェース2 モジュールストップ設定ビット	対象モジュール：SCI2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30	MSTPB30	シリアルコミュニケーションインタフェース1 モジュールストップ設定ビット	対象モジュール：SCI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31	MSTPB31	シリアルコミュニケーションインタフェース0 モジュールストップ設定ビット	対象モジュール：SCI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W

MSTPCRB レジスタは、モジュールストップ状態の制御を行うレジスタです。

8.2.4 モジュールストップコントロールレジスタ C (MSTPCRC)

アドレス 0008 0018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTPC	MSTPC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0 (注1)	RAM0モジュールストップ設定ビット	対象モジュール：RAM0 (0000 0000h～0000 FFFFh) 0：RAM0動作 1：RAM0停止	R/W
b1	MSTPC1 (注1)	RAM1モジュールストップ設定ビット	対象モジュール：RAM1 (0001 0000h～0001 FFFFh) 0：RAM1動作 1：RAM1停止	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b16	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. 内蔵RAMアクセス中に該当するMSTPC1、MSTPC0ビットを“1”にしないでください。また、MSTPC1、MSTPC0ビットが“1”の状態、該当するRAMにアクセスしないでください。

MSTPCRC レジスタは、モジュールストップ状態の制御を行うレジスタです。

8.2.5 ディープスタンバイコントロールレジスタ (DPSBYCR)

アドレス 0008 C280h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSBY	IOKEEP	RAMCUT 2	RAMCUT 1	—	—	—	RAMCUT 0
リセット後の値	0	0	1	1	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RAMCUT0	内蔵RAMオフ0ビット	b5 b4 b0 0 0 0: ディープソフトウェアスタンバイモード時、内蔵RAM (RAM0) (注1)に電源を供給する 1 1 1: ディープソフトウェアスタンバイモード時、内蔵RAM (RAM0) (注1)に電源を供給しない 上記以外は設定しないでください。	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	RAMCUT1	内蔵RAMオフ1ビット	RAMCUT0ビットの機能を参照してください	R/W
b5	RAMCUT2	内蔵RAMオフ2ビット	RAMCUT0ビットの機能を参照してください	R/W
b6	IOKEEP	I/Oポート保持ビット	0: ディープソフトウェアスタンバイモードの解除と同時にI/Oポートの保持を解除 1: ディープソフトウェアスタンバイモード解除後にIOKEEPビットへ“0”を書くとI/Oポートの保持を解除	R/W
b7	DPSBY	ディープソフトウェアスタンバイビット	SSBY b7 0 0: WAIT命令実行後、スリープモードに移行 0 1: WAIT命令実行後、スリープモードに移行 1 0: WAIT命令実行後、ソフトウェアスタンバイモードに移行 1 1: WAIT命令実行後、ディープソフトウェアスタンバイモードに移行	R/W

注1. 内蔵RAMのアドレス空間については、表8.2を参照してください。

DPSBYCR レジスタは、ディープソフトウェアスタンバイモードの制御を行うレジスタです。

DPSBYCR レジスタは、RES# 端子からのリセット信号で初期化されます。ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。

RAMCUTj ビット (内蔵RAM オフj ビット) (j=0~2)

内蔵RAM に供給する内部電源をディープソフトウェアスタンバイモード時に制御します。

内蔵RAM のアドレス空間は、RAM0 と RAM1 の領域に分かれています。アドレス空間は、表 8.2 を参照してください。

RAM0 の内部電源のみ、RAMCUT0、RAMCUT1、RAMCUT2 ビットの設定で制御可能です。

RAM1 の内部電源は、RAMCUT0、RAMCUT1、RAMCUT2 ビットの設定にかかわらず、ディープソフトウェアスタンバイモード時に停止します。

IOKEEP ビット (I/Oポート保持ビット)

ディープソフトウェアスタンバイモード時、I/Oポートはソフトウェアスタンバイモードと同じ状態を保持します。IOKEEP ビットで、ディープソフトウェアスタンバイモード時に保持したI/Oポートの状態をディープソフトウェアスタンバイモード解除後も保持し続けるか、解除するかを選択します。

DPSBY ビット (ディープソフトウェアスタンバイビット)

ディープソフトウェアスタンバイモードへの移行を制御します。

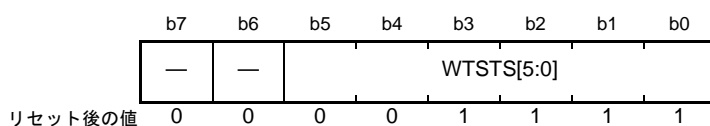
SBYCR.SSBY ビットが“1”、かつ DPSBY ビットが“1”の状態、WAIT 命令を実行するとソフトウェアスタンバイモードを経由してディープソフトウェアスタンバイモードへ移行します。外部割り込み端子によってディープソフトウェアスタンバイモードを解除したときは、DPSBY ビットは“1”のままです。“0”にするときは、“0”を書いてください。

WDT をウォッチドックタイマモードで使用しているときは、このビットに設定された値は無効になります。

この場合、SBYCR.SSBY ビットが“1”、かつ DPSBY ビットが“1”の状態でも、WAIT 命令実行後は、常にスリープモードあるいは全モジュールクロックストップモードに移行します。

8.2.6 ディープスタンバイウェイトコントロールレジスタ (DPSWCR)

アドレス 0008 C281h



ビット	シンボル	ビット名	機能	R/W
b5-b0	WTSTS[5:0]	ディープソフトウェアスタンバイウェイト時間設定ビット	b5 b0 0 0 0 1 0 1 : 待機時間 = 64ステート 0 0 0 1 1 0 : 待機時間 = 512ステート 0 0 0 1 1 1 : 待機時間 = 1024ステート 0 0 1 0 0 0 : 待機時間 = 2048ステート 0 0 1 0 0 1 : 待機時間 = 4096ステート 0 0 1 0 1 0 : 待機時間 = 16384ステート 0 0 1 0 1 1 : 待機時間 = 32768ステート 0 0 1 1 0 0 : 待機時間 = 65536ステート 0 0 1 1 0 1 : 待機時間 = 131072ステート 0 0 1 1 1 0 : 待機時間 = 262144ステート 0 0 1 1 1 1 : 待機時間 = 524288ステート	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DPSWCR レジスタは、外部割り込み端子によってディープソフトウェアスタンバイモードを解除する場合に、クロックが安定するまで LSI が待機する時間を選択するレジスタです。

DPSWCR レジスタは、RES# 端子からのリセット信号で初期化されます。ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。

WTSTS[5:0] ビット (ディープソフトウェアスタンバイウェイト時間設定ビット)

外部割り込み端子によってディープソフトウェアスタンバイモードを解除する場合に、クロックが安定するまで LSI が待機する時間を選択します。ディープソフトウェアスタンバイモードを使用する場合は、ディープソフトウェアスタンバイモードに移行する前に WTSTS[5:0] ビットの設定を行ってください。

水晶発振の場合、表 8.5 を参照し、動作周波数に応じて待機時間が発振安定時間以上となるように選択してください。外部クロックにおいても、PLL 回路の安定時間が必要になります。表 8.5 を参照し、待機時間を設定してください。

発振安定期間中は、EXTAL 入力クロック周波数でカウントされます。

8.2.7 ディープスタンバイインタラプトイネーブルレジスタ (DPSIER)

アドレス 0008 C282h

	b7	b6	b5	b4	b3	b2	b1	b0
	DNMIE	—	—	—	DIRQ3E	DIRQ2E	DIRQ1E	DIRQ0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0E	IRQ0端子許可ビット	0 : IRQ0端子によるディープソフトウェアスタンバイモードの解除を禁止 1 : IRQ0端子によるディープソフトウェアスタンバイモードの解除を許可	R/W
b1	DIRQ1E	IRQ1端子許可ビット	0 : IRQ1端子によるディープソフトウェアスタンバイモードの解除を禁止 1 : IRQ1端子によるディープソフトウェアスタンバイモードの解除を許可	R/W
b2	DIRQ2E	IRQ2端子許可ビット	0 : IRQ2端子によるディープソフトウェアスタンバイモードの解除を禁止 1 : IRQ2端子によるディープソフトウェアスタンバイモードの解除を許可	R/W
b3	DIRQ3E	IRQ3端子許可ビット	0 : IRQ3端子によるディープソフトウェアスタンバイモードの解除を禁止 1 : IRQ3端子によるディープソフトウェアスタンバイモードの解除を許可	R/W
b6-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DNMIE	NMI端子許可ビット	0 : NMI端子によるディープソフトウェアスタンバイモードの解除を禁止 1 : NMI端子によるディープソフトウェアスタンバイモードの解除を許可	R(W) (注1)

注1. 一度だけ“1”を書くことができます。以後のライトアクセスは無効です。

DPSIER レジスタは、ディープソフトウェアスタンバイモードの解除要因となる外部割り込み端子の許可 / 禁止を選択するレジスタです。

DPSIER レジスタは、RES# 端子からのリセット信号で初期化されます。ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。

なお、DPSIER レジスタの設定を変更すると、対応する端子の入力バッファを制御する内部状態が変化します。このとき、端子の状態によっては内部的にエッジが発生し DPSIFR レジスタが“1”になる場合があります。ディープソフトウェアスタンバイモードへ移行する前に、DPSIFR レジスタを“0”にしてください。

また、DPSIER レジスタが“0”になっている端子は、ディープソフトウェアスタンバイモードへ移行する際、入力バッファは無効になります。このとき、端子の状態によっては内部的に立ち上がりエッジが発生し、DPSIFR レジスタが“1”になる場合があります。ただし、DPSIEGR レジスタが“0”になっている場合は、立ち上がりエッジを検出しないため、DPSIFR レジスタは“1”になりません。

8.2.8 ディープスタンバイインタラプトフラグレジスタ (DPSIFR)

アドレス 0008 C283h

b7	b6	b5	b4	b3	b2	b1	b0
DNMIF	—	—	—	DIRQ3F	DIRQ2F	DIRQ1F	DIRQ0F

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0F	IRQ0ディープスタンバイ解除フラグ	0: IRQ0端子による解除要求の発生なし 1: IRQ0端子による解除要求の発生あり	R(W) (注1)
b1	DIRQ1F	IRQ1ディープスタンバイ解除フラグ	0: IRQ1端子による解除要求の発生なし 1: IRQ1端子による解除要求の発生あり	R(W) (注1)
b2	DIRQ2F	IRQ2ディープスタンバイ解除フラグ	0: IRQ2端子による解除要求の発生なし 1: IRQ2端子による解除要求の発生あり	R(W) (注1)
b3	DIRQ3F	IRQ3ディープスタンバイ解除フラグ	0: IRQ3端子による解除要求の発生なし 1: IRQ3端子による解除要求の発生あり	R(W) (注1)
b6-b4	—	予約ビット	読むと“0”が読めます。 書く場合、“0”としてください	R/W
b7	DNMIF	NMIディープスタンバイ解除フラグ	0: NMI端子による解除要求の発生なし 1: NMI端子による解除要求の発生あり	R(W) (注1)

注1. “0”のみ書けます。

DPSIFR レジスタは、ディープソフトウェアスタンバイモードの解除要求を保持するレジスタです。

ディープスタンバイインタラプトエッジレジスタ (DPSIEGR) で設定した解除要求が発生したときに“1”になります。ディープソフトウェアスタンバイモードではない状態であっても解除要求が発生すれば“1”になるため、DPSIFR レジスタを“00h”にした後、ディープソフトウェアスタンバイモードへ移行してください。また、P3.ICR レジスタや DPSIER レジスタの設定変更によっても DPSIFR レジスタに“1”になる場合があります。P3.ICR レジスタや DPSIER レジスタの設定変更後に DPSIFR レジスタを“00h”にする場合は、PCLK の6 サイクル以上経過後、DPSIFR レジスタを読んだ後、“0”を書いてください。たとえば、DPSIER レジスタを読むことで PCLK の6 サイクル以上を確保することができます。

DPSIFR レジスタは、RES# 端子からのリセット信号で初期化されます。ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。

DIRQnF フラグ (IRQn ディープスタンバイ解除フラグ) (n = 0 ~ 3)

IRQn 端子による解除要求が発生したことを示します。

["1" になる条件]

- DPSIEGR レジスタで選択した IRQn 端子による解除要求が発生したとき

["0" になる条件]

- “1”を読んだ後、“0”を書いたとき

DNMIF フラグ (NMI ディープスタンバイ解除フラグ)

NMI 端子による解除要求が発生したことを示します。

["1" になる条件]

- DPSIEGR レジスタで設定した NMI 端子による解除要求が発生したとき

["0" になる条件]

- “1”を読んだ後、“0”を書いたとき

8.2.9 ディープスタンバイインタラプトエッジレジスタ (DPSIEGR)

アドレス 0008 C284h

	b7	b6	b5	b4	b3	b2	b1	b0
	DNMI EG	—	—	—	DIRQ3 EG	DIRQ2 EG	DIRQ1 EG	DIRQ0 EG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0EG	IRQ0エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b1	DIRQ1EG	IRQ1エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b2	DIRQ2EG	IRQ2エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b3	DIRQ3EG	IRQ3エッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
b6-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DNMIEG	NMIエッジ選択ビット	0: 立ち下がリエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W

DPSIEGR レジスタは、ディープソフトウェアスタンバイモードの解除に使用する解除信号のエッジ選択を行うレジスタです。

DPSIEGR レジスタは、RES# 端子からのリセット信号で初期化されます。ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。

8.2.10 リセットステータスレジスタ (RSTSR)

アドレス 0008 C285h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSR STF	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DPSRSTF	ディープソフトウェアスタンバイリセットフラグ	0 : 外部割り込みによるディープソフトウェアスタンバイモード解除要求の発生なし 1 : 外部割り込みによるディープソフトウェアスタンバイモード解除要求の発生あり	R(W) (注1)

注1. “0”のみ書けます。

RSTSR レジスタは、内部リセットの発生要因を示すレジスタです。

DPSRSTF フラグ (ディープソフトウェアスタンバイリセットフラグ)

ディープソフトウェアスタンバイモードが DPSIER、DPSIEGR レジスタで設定した外部割り込み要因で解除され、内部リセットが発生したことを示します。

DPSRSTF フラグは、RES# 端子からのリセット信号で初期化されます。ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。

[“1”になる条件]

- 外部割り込みによってディープソフトウェアスタンバイモードを解除したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

8.2.11 ディープスタンバイバックアップレジスタ (DPSBKRY) (y = 0 ~ 31)

アドレス 0008 C290h~0008 C2AFh

	b7	b6	b5	b4	b3	b2	b1	b0
	BKUPm	BKUPm	BKUPm	BKUPm	BKUPm	BKUPm	BKUPm	BKUPm
	7	6	5	4	3	2	1	0
リセット後の値	X	X	X	X	X	X	X	X

DPSBKRY レジスタは、ディープソフトウェアスタンバイモードによって、データを退避するための 32 バイトのレジスタで、読み出し、書き込みいずれも可能です。

内蔵 RAM のデータが保持されないディープソフトウェアスタンバイモードにおいても、このレジスタは保持されます。

DPSBKRY レジスタは初期化されません。電源投入直後のレジスタ値は不定となります。

8.3 マルチクロック機能

SCKCR.ICK[3:0], BCK[3:0], PCK[3:0] ビットを設定すると、クロック周波数が切り替わります。

CPU とバスマスタは、ICK[3:0] ビットで設定した動作クロックで動作します。周辺モジュールは、PCK[3:0] ビットで設定した動作クロックで動作します。また、外部バスクロックは、BCK[3:0] ビットで設定した動作クロックで動作します。詳細は、「7. クロック発生回路」を参照してください。

8.4 モジュールストップ機能

モジュールストップ機能は、内蔵周辺モジュール単位で設定することができます。

MSTPCRA ~ MSTPCRC レジスタに対応する MSTPyj ビット ($y=A \sim C$, $j=0 \sim 31$) を“1”にすると、モジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は単独で動作を継続します。対応する MSTPyj ビットを“0”にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。

モジュールストップ状態では、モジュールの内部状態が保持されています。

リセット後は、DMAC、DTC、内蔵 RAM を除くすべてのモジュールがモジュールストップ状態になっています。モジュールストップ状態に設定されたモジュールのレジスタは、読み出し、書き込みともにできません。

8.5 低消費電力状態

8.5.1 スリープモード

8.5.1.1 スリープモードへの移行

SBYCR.SSBY ビットが“0”の状態では WAIT 命令を実行すると、CPU はスリープモードになります。

スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタは値を保持します。CPU 以外の周辺機能は停止しません。

スリープモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット (注1) を“0”にする。
- (2) スリープモードからの復帰に使用する割り込みの伝達先を CPU に設定する。
- (3) スリープモードからの復帰に使用する割り込みの優先レベル (注2) を、CPU の PSW.IPL[2:0] ビット (注1) よりも高く設定する。
- (4) スリープモードからの復帰に使用する割り込みの IERm.IENj ビット (注2) を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書き込み値が反映されていることを確認する。
- (6) WAIT 命令の実行 (WAIT 命令の実行により CPU の PSW.I ビット (注1) は自動的に“1”になります)。

注1. 詳細は「2. CPU」を参照してください。

注2. 詳細は「10. 割り込みコントローラ (ICU)」を参照してください。

8.5.1.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、RES# 端子によるリセット、またはウォッチドッグタイマのオーバフローによるリセットによって行われます。

- 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。ただし、マスクされた割り込みが CPU でマスクされている場合 (割り込み優先レベル (注1) が CPU の PSW.IPL[2:0] ビット (注2) 以下に設定されている場合) には、スリープモードは解除されません。

注1. 詳細は「10. 割り込みコントローラ (ICU)」を参照してください。

注2. 詳細は「2. CPU」を参照してください。

- RES# 端子による解除

RES# 端子を Low にすると、リセット状態になります。規定のリセット入力期間が経過した後、RES# 端子を High にすると、CPU はリセット例外処理を開始します。

- ウォッチドッグタイマのオーバフローリセットによる解除

ウォッチドッグタイマのオーバフローの内部リセットによって、スリープモードが解除されます。

8.5.2 全モジュールクロックストップモード

8.5.2.1 全モジュールクロックストップモードへの移行

SBYCR.SSBY ビットを“0”にした状態で WAIT 命令を実行したとき、以下の2つの条件が成立していればバスサイクルの終了時点で、全モジュールクロックストップモードへ移行します。(注1)

- MSTPCRA.ACSE ビットが“1”である。
- MSTPCRA、MSTPCRB レジスタで制御されるすべてのモジュールのうち、8ビットタイマ(ユニット0、ユニット1)を除くすべてのモジュールをモジュールストップ状態に設定している(MSTPCRA=FFFFFF[C~F]Fh、MSTPCRB=FFFFFFFh)。

全モジュールクロックストップモードでは、8ビットタイマ(注2)、ウォッチドッグタイマを除いた全周辺モジュールと、CPU、バスコントローラ、およびI/Oポートの動作が停止します。

全モジュールクロックストップモード時に、さらに消費電流を低減する必要がある場合は、MSTPCRC レジスタで制御されるモジュールをモジュールストップ状態にしてください。

全モジュールクロックストップモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

1. CPUのPSW.Iビット(注3)を“0”にする。
2. 全モジュールクロックストップモードからの復帰に使用する割り込みの優先レベル(注4)をCPUのPSW.IPL[2:0]ビット(注3)よりも高く設定する。
3. 全モジュールクロックストップモードからの復帰に使用する割り込みのIERi.IENjビット(注4)を“1”にする。
4. 全モジュールクロックストップモードからの復帰に使用しない割り込みに対して以下のいずれかを設定する。
 - 全モジュールクロックストップモードからの復帰に使用しない割り込み(注5)の優先レベル(注4)をCPUのPSW.IPL[2:0]ビット(注3)以下に設定する。
 - 全モジュールクロックストップモードからの復帰に使用しない割り込み(注5)のIERi.IENjビット(注4)を“0”にする。
5. WAIT 命令を実行する(WAIT 命令の実行によってCPU.PSW.Iビット(注3)は自動的に“1”になります)。

注1. DTC、DMACの動作状態によっては、全モジュールクロックストップモードに移行できない場合があります。MSTPCRA.MSTPA28、MSTPA27ビットを“1”にする前に、DMACのDMSCNT.DMSTビット、DTCのDTCST.DTCSTビットを“0”にし、DTC、DMACが起動していない状態で行ってください。

注2. MSTPCRA.MSTPA5、MSTPA4ビットで動作/停止を選択できます。

注3. 詳細は「2. CPU」を参照してください。

注4. 詳細は「10. 割り込みコントローラ(ICU)」を参照してください。

注5. 周辺機能を動作させたままWAIT命令を実行した場合に、復帰要因となりえない割り込みで復帰する恐れがあるため、復帰要因となりえる割り込みだけでなく、IERi.IENjビット、PSW.IPL[2:0]ビットで設定可能なすべての割り込みが対象となります。

8.5.2.2 全モジュールクロックストップモードの解除

全モジュールクロックストップモードの解除は、外部割り込み（NMI 端子、IRQ0 ～ IRQ15 端子）、RES# 端子、内部割り込み（8ビットタイマ（注1）、ウォッチドッグタイマ）によって行われ、例外処理状態を経て通常のプログラム実行状態へ遷移します。マスク割込みがCPUでマスクされている場合（割り込みの優先レベル（注2）がCPUのPSW.IPL[2:0]ビット（注3）以下に設定されている場合）、またはDTC、DMACの起動要因に設定した場合には、全モジュールクロックストップモードは解除されません。

注1. MSTPCRA.MSTPA5, MSTPA4ビットで動作/停止を選択できます。

注2. 詳細は「10. 割り込みコントローラ (ICU)」を参照してください。

注3. 詳細は「2. CPU」を参照してください。

8.5.3 ソフトウェアスタンバイモード

8.5.3.1 ソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットを“1”にし、DPSBYCR.DPSBY ビットを“0”にした状態で WAIT 命令を実行すると、ソフトウェアスタンバイモードに移行します。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの値と、内蔵 RAM のデータ、内蔵周辺機能と、I/O ポートの状態は保持されます。アドレスバス、バス制御信号は、ハイインピーダンス状態とするか、出力状態を保持するかを、SBYCR.OPE ビットで選択できます。このモードでは、発振器が停止するため、消費電力は著しく低減されます。

ソフトウェアスタンバイモードへの移行時には、システムクロック (ICLK) と周辺モジュールクロック (PCLK) は同じ周波数で動作している必要があります。異なる周波数で動作している状態でソフトウェアスタンバイモードへ移行する場合には、WAIT 命令の実行前にシステムクロックあるいは周辺モジュールクロックの設定を変更してください。

また、WAIT 命令を実行する前に DMAC の DMSCNT.DMST ビット、DTC の DTCST.DTCST ビットを“0”にしておいてください。

WDT をウォッチドックタイマモードで使用している場合、ソフトウェアスタンバイモードに移行できません。WAIT 命令を実行する前に WDT を停止させてください。

ソフトウェアスタンバイモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

1. CPU の PSW.I ビット (注1) を“0”にする。
2. ソフトウェアスタンバイモードからの復帰に使用する割り込みの優先レベル (注2) を CPU.PSW.IPL[2:0] ビット (注1) よりも高く設定する。
3. ソフトウェアスタンバイモードからの復帰に使用する割り込みの IERi.IENj ビット (注2) を“1”にする。
4. ソフトウェアスタンバイモードからの復帰に使用しない割り込みに対して以下のいずれかを設定する。
 - ソフトウェアスタンバイモードからの復帰に使用しない割り込み (注 3) の優先レベル (注 2) を CPU.PSW.IPL[2:0] ビット (注1) 以下に設定する。
 - ソフトウェアスタンバイモードからの復帰に使用しない割り込み (注3) の IERi.IENj ビット (注2) を“0”にする。
5. WAIT 命令を実行する (WAIT 命令の実行によって CPU.PSW.I ビット (注1) は自動的に“1”になります)。

注 1. 詳細は、「2. CPU」を参照してください。

注 2. 詳細は、「10. 割り込みコントローラ (ICU)」を参照してください。

注 3. 周辺機能を動作させたまま WAIT 命令を実行した場合に、復帰要因となりえない割り込みで復帰する恐れがあります。また、復帰要因に設定していない IRQ0 ~ IRQ15 割り込みについては、ソフトウェアスタンバイモードにおいて割り込みステータスフラグがセットされる可能性があるため、復帰後に復帰要因とは異なる割り込み例外処理を開始する可能性があります。そのため、復帰要因となりえる割り込みだけでなく、IERi.IENj ビット、PSW.IPL[2:0] ビットで設定可能なすべての割り込みが対象となります。

8.5.3.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み (NMI、IRQ0 ~ IRQ15 (注1))、RES# 端子によるリセットによって行われます。

1. 割り込みによる解除

NMI、IRQ0 ~ IRQ15 (注1) 割り込みの要求信号が入力されると、クロックが発振を開始し、SBYCR.STS[4:0] ビットで選択した時間が経過した後、安定したクロックが LSI 全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

IRQ0 ~ IRQ15 (注1) 割り込みでソフトウェアスタンバイモードを解除する場合には、対応する許可ビット (IERi.IENj ビット (注2)) を“1”にし、かつ IRQ0 ~ IRQ15 (注1) 割り込みより優先順位の高い割り込みが発生しないようにしてください。

また、エッジ検出に設定した IRQ0~IRQ15 (注1) 割り込みでソフトウェアスタンバイモードを解除する場合には、解除要因とする割り込みの例外処理ルーチンの先頭で、その割り込みのステータスフラグ (ICU.IRi.IR) を“0”にしてください。

ソフトウェアスタンバイモードの解除要因としていない IRQ0 ~ IRQ15 割り込みについては、ソフトウェアスタンバイモードにおいて割り込みステータスフラグがセットされる可能性があります (注3)。ソフトウェアスタンバイモードから復帰後、IR フラグをクリアしてください。

- 注1. ICU の SSIER.SSIj ビットが“0”の場合、該当する IRQ0 ~ IRQ15 割り込みでソフトウェアスタンバイモードを解除することができません。詳細は、「10. 割り込みコントローラ (ICU)」を参照してください。
- 注2. 詳細は、「10. 割り込みコントローラ (ICU)」を参照してください。
- 注3. 詳細は、「10.6.2 ソフトウェアスタンバイモードからの復帰」を参照してください。

2. RES# 端子による解除

RES# 端子を Low にすると、クロックは発振を開始します。クロックの発振開始と同時に、LSI にクロックを供給します。このとき RES# 端子はクロックの発振が安定するまで Low を保持するようにしてください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。

8.5.3.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定

SBYCR.STS[4:0] ビットは、以下のように設定してください。

1. 水晶発振の場合

待機時間が発振安定時間以上となるように STS[4:0] ビットを設定してください。

表 8.4 に、動作周波数と STS[4:0] ビットの設定に対する待機時間を示します。

2. 外部クロックの場合

PLL 回路の安定時間が必要となります。表 8.4 を参照し待機時間を設定してください。

表 8.4 発振安定時間の設定

STS4	STS3	STS2	STS1	STS0	待機時間 (ステート)	PCLK (注1) (MHz)			単位
						50	25	8	
0	0	0	0	0	(予約)	—	—	—	μs
				1	(予約)	—	—	—	
			1	0	(予約)	—	—	—	
				1	(予約)	—	—	—	
		1	0	0	(予約)	—	—	—	
				1	64	1.3	2.6	8.0	
			1	0	512	10.25	20.5	64.0	
				1	1024	20.5	41.0	128.0	
	1	0	0	0	2048	40.95	81.9	256.0	ms
				1	4096	0.08	0.16	0.51	
			1	0	16384	0.33	0.66	2.05	
				1	32768	0.655	1.31	4.10	
		1	0	0	65536	1.31	2.62	8.19	
				1	131072	2.62	5.24	16.38	
			1	0	262144	5.25	10.49	32.77	
				1	524288	10.49	20.97	65.54	
1	x	x	x	x	(予約)	—	—	—	

■ : 外部クロック使用時の推奨設定時間

■ : 水晶発振使用時の推奨設定時間

注1. PCLKは周辺モジュール分周器の出力です。

発振安定待ち時間は、発振器が発振安定していない期間も含まれますので、発振子の特性に影響されます。
上記数値は参考値です。

8.5.3.4 ソフトウェアスタンバイモードの応用例

IRQ 端子の立ち下がりエッジでソフトウェアスタンバイモードに移行し、IRQ 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 8.2 に示します。

この例では、ICU の $IRQCRn.IRQMD[1:0]$ ビットが “01b” (立ち下がりエッジ) の状態で、IRQ 割り込みを受け付けた後、 $IRQMD[1:0]$ ビットを “10b” (立ち上がりエッジ) に設定し、ICU の $SSIER.SSij$ ビットと、 $SBYCR.SSBY$ ビットを “1” にした後、WAIT 命令を実行してソフトウェアスタンバイモードに移行しています。

その後、IRQ 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

なお、ソフトウェアスタンバイモードからの復帰には、割り込みコントローラ (ICU) の設定も必要となります。詳細は、「10. 割り込みコントローラ (ICU)」を参照してください。

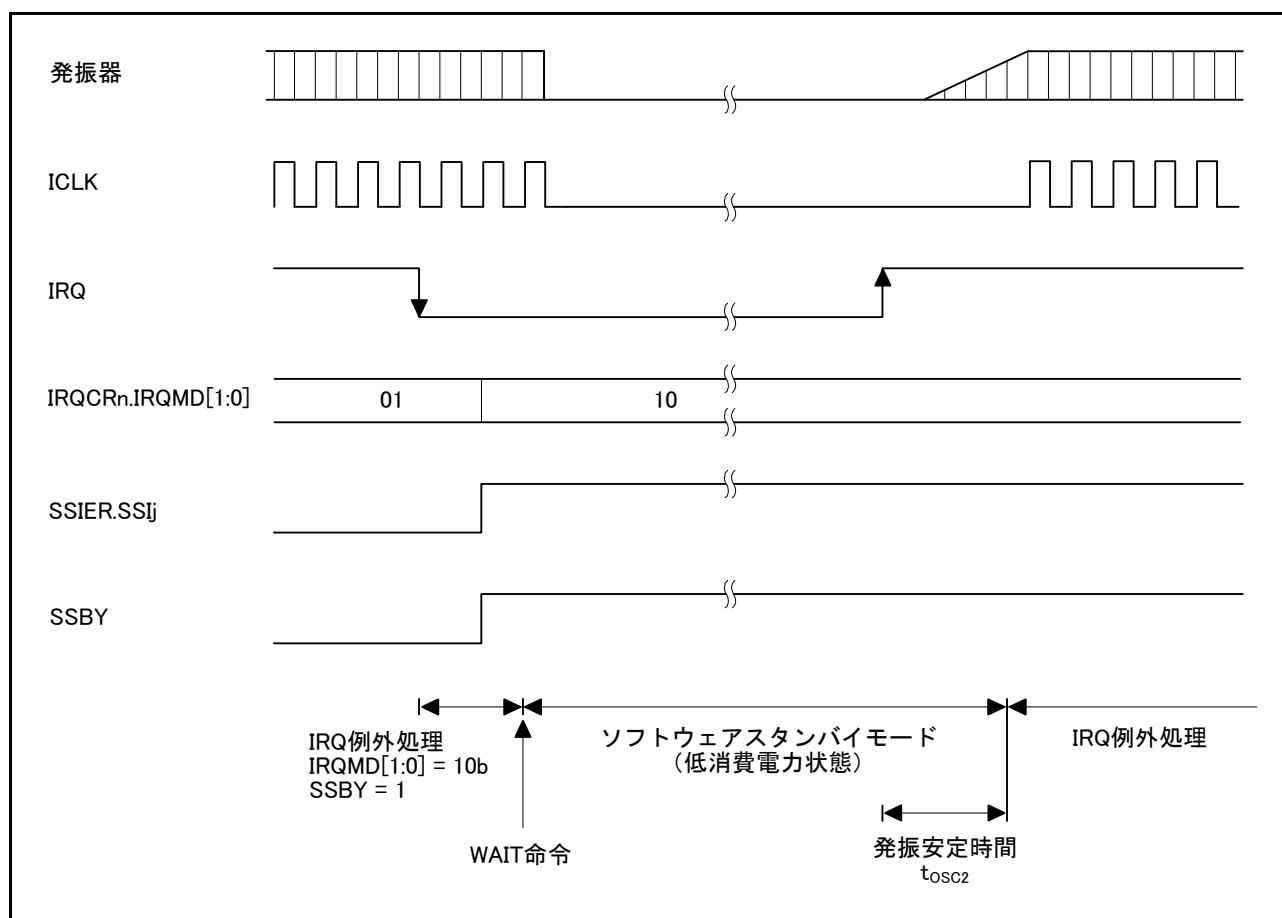


図 8.2 ソフトウェアスタンバイモードの応用例

8.5.4 ディープソフトウェアスタンバイモード

8.5.4.1 ディープソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットが“1”の状態、WAIT 命令を実行すると、ソフトウェアスタンバイモードに移行します。(注1) このとき、DPSBYCR.DPSBY ビットが“1”なら、ディープソフトウェアスタンバイモードに移行します。ただし、ソフトウェアスタンバイモードに移行した際に、ソフトウェアスタンバイモード解除要求 (NMI、IRQ0 ~ IRQ15 割り込み要求) の発生が競合した場合には、DPSBY ビットの設定にかかわらず、ソフトウェアスタンバイモードが解除され、SBYCR.STS[4:0] ビットで選択したソフトウェアスタンバイモードの発振安定時間が経過した後、割り込み例外処理が開始されます。(注2)

SSBY ビットと DPSBY ビットがともに“1”の状態、かつソフトウェアスタンバイモード解除要求が発生していない場合は、ソフトウェアスタンバイモードに移行後、直ちにディープソフトウェアスタンバイモードに移行します。

ディープソフトウェアスタンバイモードは、CPU、内蔵周辺機能、内蔵 RAM1 (注3)、および発振器のすべての機能が停止し、さらにこれらの内部電源の供給を停止しますので、消費電力は著しく低減されます。このとき、CPU、内蔵周辺機能のレジスタ内容はすべて不定となります。内蔵 RAM1 (注3) のデータは DPSBYCR.RAMCUT2 ~ RAMCUT0 ビットの設定にかかわらず、すべて不定となります。

内蔵 RAM0 (注3) のデータについては、RAMCUT2 ~ RAMCUT0 ビットをすべて“0”にしておくことで、保持することができます。RAMCUT2 ~ RAMCUT0 ビットをすべて“1”にした場合は、内蔵 RAM0 (注3) への内部電源の供給も停止しますので、消費電力はさらに低減されます。このとき、内蔵 RAM0 (注3) のデータは不定となります。

ポートの状態は、ソフトウェアスタンバイモード時の状態を保持します。

- 注1. WAIT 命令実行前に、ソフトウェアスタンバイモードへ移行する際の DTC、DMAC、WDT に関する条件を満たしておく必要があります。詳細は、「8.5.3 ソフトウェアスタンバイモード」を参照してください。
- 注2. エッジ検出に設定した IRQ0 ~ IRQ15 割り込みによってソフトウェアスタンバイモードを解除する場合には、解除要因とする割り込みの例外処理ルーチンの先頭で、その割り込みのステータスフラグ (ICU.IRi.IR) に“0”をライトする必要があります。
- 注3. 内蔵 RAM のアドレス空間は、RAM0 と RAM1 の領域に分かれています。アドレス空間は表 8.2 を参照してください。

8.5.4.2 ディープソフトウェアスタンバイモードの解除

ディープソフトウェアスタンバイモードの解除は、外部割り込み端子（NMI 端子、IRQ0-A ~ IRQ3-A 端子）、RES# 端子によるリセットによって行われます。

1. 外部割り込みによる解除

DPSIFR レジスタは、ディープソフトウェアスタンバイモードの解除要因を保持するレジスタで、解除要求が発生したときに“1”になります。このとき、DPSIER レジスタで解除要因が許可されている場合、ディープソフトウェアスタンバイモードは解除されます。

ディープソフトウェアスタンバイモードは、DPSIFR.DNMIF フラグ、DPSIFR.DIRQnF フラグ (n = 0 ~ 3) のいずれかが“1”になると解除されます。DNMIF フラグ、DIRQnF フラグは、DPSIER.DNMIE ビットや、DPSIER.DIRQnE ビット (n = 0 ~ 3) で許可した NMI 端子、または IRQ0-A ~ IRQ3-A 端子にエッジが発生すると、“1”になります。立ち上がりエッジと立ち下がりエッジの選択は DPSIEGR レジスタで端子ごとに行えます。

ディープソフトウェアスタンバイモードの解除要求が発生すると、クロック発振を開始すると同時に、内部電源の供給を開始し、LSI 全体に対して内部リセット信号が発生します。DPSWCR.WTSTS[5:0] ビットで選択した待機時間が経過した後、安定したクロックが LSI 全体に供給され、内部リセットが解除されます。内部リセットの解除とともにディープソフトウェアスタンバイモードは解除され、リセット例外処理が開始されます。

外部割り込みによってディープソフトウェアスタンバイモードが解除されると、RSTSR.DPSRSTF フラグが“1”になります。

2. RES# 端子による解除

RES# 端子を Low にすると、クロックの発振を開始し、同時に内部電源の供給を開始します。クロックの発振開始と同時に、LSI にクロックが供給されます。このとき RES# 端子はクロックの発振が安定するまで Low を保持するようにしてください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。

8.5.4.3 ディープソフトウェアスタンバイモード解除時の端子状態

ディープソフトウェアスタンバイモード時、I/Oポートはソフトウェアスタンバイモード時の状態を保持しています。ディープソフトウェアスタンバイモードに伴う内部リセットによって、LSI内部は初期化されており、ディープソフトウェアスタンバイモードが解除されると直ちにリセット例外処理が開始されます。このときのポートの状態を、以下に示します。

DPSBYCR.IOKEEPビットで、I/Oポートを初期状態とするか、ソフトウェアスタンバイモード時のI/Oポートの状態を保持し続けるかを選択することができます。

- IOKEEPビットが“0”のとき

ディープソフトウェアスタンバイモードに伴う内部リセットによって、I/Oポートは初期化されます。

- IOKEEPビットが“1”のとき

ディープソフトウェアスタンバイモードに伴う内部リセットによって、LSI内部は初期化されていますが、I/OポートはLSI内部の状態にかかわらずソフトウェアスタンバイモード時の状態を保持し続けます。このとき、I/Oポート、周辺モジュールの設定を行っても、ソフトウェアスタンバイモード時のI/Oポートの状態を保持し続けます。その後、IOKEEPビットを“0”にすることで、I/Oポートの状態保持は解除され、内部状態に応じた動作となります。

IOKEEPビットは、ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって初期化されません。

8.5.4.4 ディープソフトウェアスタンバイモード解除後の発振安定時間の設定

DPSWCR.WTSTS[5:0] ビットは、以下のように設定してください。

1. 水晶発振の場合

待機時間が発振安定時間以上となるように WTSTS[5:0] ビットを設定してください。

表 8.5 に EXTAL 入力クロック周波数と、WTSTS[5:0] ビットの設定に対する待機時間を示します。

2. 外部クロックの場合

PLL 回路の安定時間が必要となります。表 8.5 を参照し待機時間を設定してください。

表 8.5 発振安定時間の設定

WTSTS5	WTSTS4	WTSTS3	WTSTS2	WTSTS1	WTSTS0	待機時間 (ステート)	EXTAL入力クロック周波数 (注1) (MHz)		単位					
							12	8						
0	0	0	0	0	0	(予約)	—	—	μs					
					1	(予約)	—	—						
				1	0	(予約)	—	—						
					1	(予約)	—	—						
			1	0	0	(予約)	—	—						
					1	64	5.3	8.0						
			1	0	0	(予約)	—	—						
					1	512	42.7	64.0						
		1	0	0	0	2048	170.7	256.0						
					1	4096	0.34	0.51						
		1	x	x	x	x	x	(予約)		—	—	ms		
								1		0	16384		1.37	2.05
											1		32768	2.73
								1		0	0		65536	5.46
1	131072								10.92		16.38			
1	0							262144	21.85	32.77				
1	0	524288	43.69	65.54										

■ : 外部クロック使用時の推奨設定時間

■ : 水晶発振使用時の推奨設定時間

注1. 発振安定待ち時間は、発振器が発振安定していない期間も含まれますので、発振子の特性に影響されます。
上記数値は参考値です。

8.5.4.5 ディープソフトウェアスタンバイモードの応用例

IRQ 端子の立ち下がりエッジでディープソフトウェアスタンバイモードに移行し、IRQ 端子の立ち上がりエッジでディープソフトウェアスタンバイモードの解除を行う例を図 8.3 に示します。

この例では、ICU の IRQCRn.IRQMD[1:0] ビットが “01b” (立ち下がりエッジ) の状態で、IRQ 割り込みを受け付けた後、DPSIEGR.DIRQnEG ビットを “1” (立ち上がりエッジ) にし、SBYCR.SSBY ビットと DPSBYCR.DPSBY ビットを “1” にした後、WAIT 命令を実行してディープソフトウェアスタンバイモードに移行しています。

その後、IRQ 端子の立ち上がりエッジでディープソフトウェアスタンバイモードが解除されます。

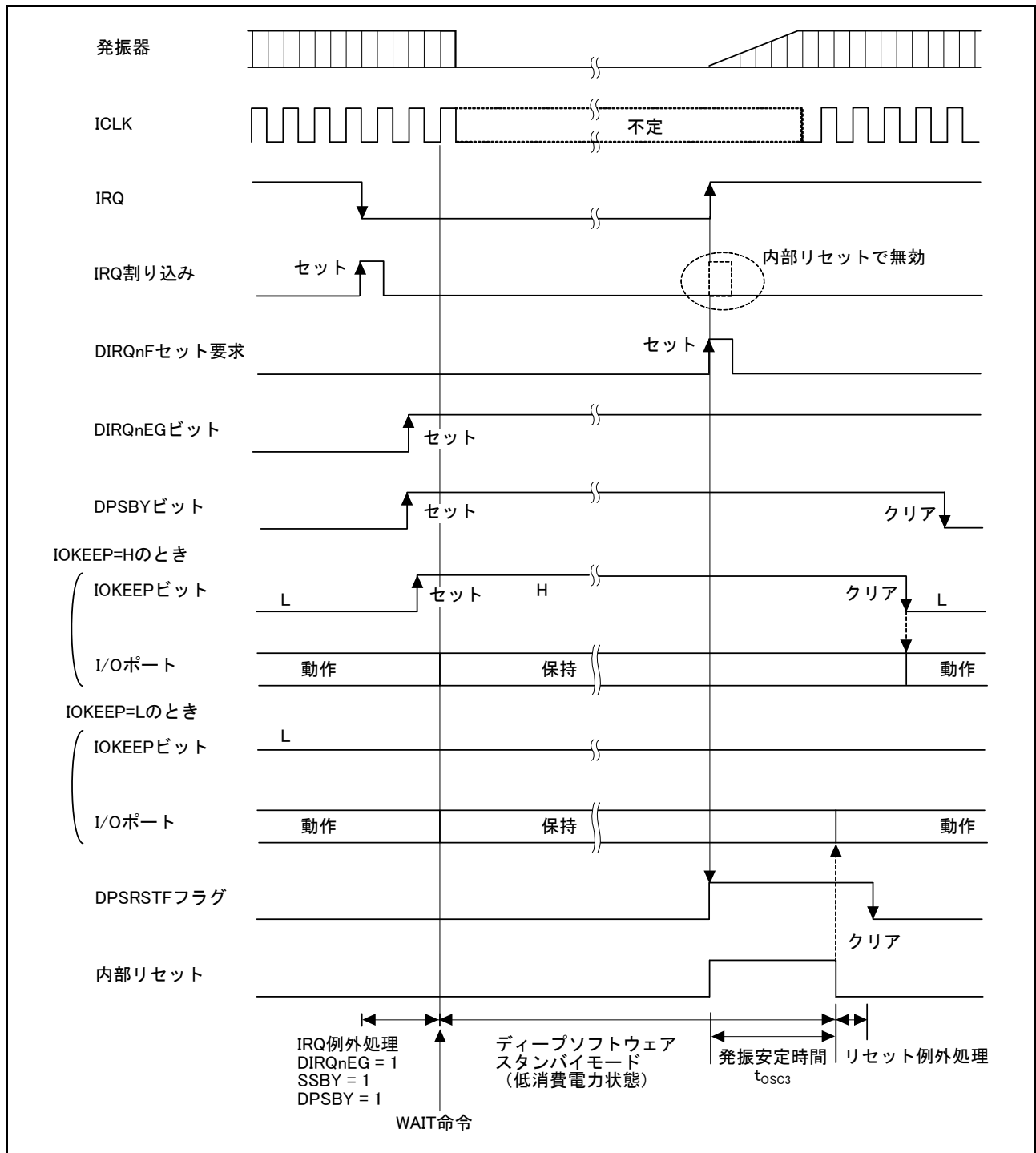


図 8.3 ディープソフトウェアスタンバイモードの応用例

8.5.4.6 ディープソフトウェアスタンバイモードのフローチャート

図 8.4 にディープソフトウェアスタンバイモードを使用する場合のフローチャートの例を示します。

この例では、リセット例外処理の後、リセットの RSTSR.DPSRSTF フラグにて RES# 端子によるリセットか、ディープソフトウェアスタンバイモード解除によるリセットかを判定しています。

RES# 端子によるリセットの場合は、各種設定後、ディープソフトウェアスタンバイモードへ移行しています。

ディープソフトウェアスタンバイモード解除によるリセットの場合は、I/O ポートの設定をした上で DPSBYCR.IOKEEP ビットを“0”にしています。

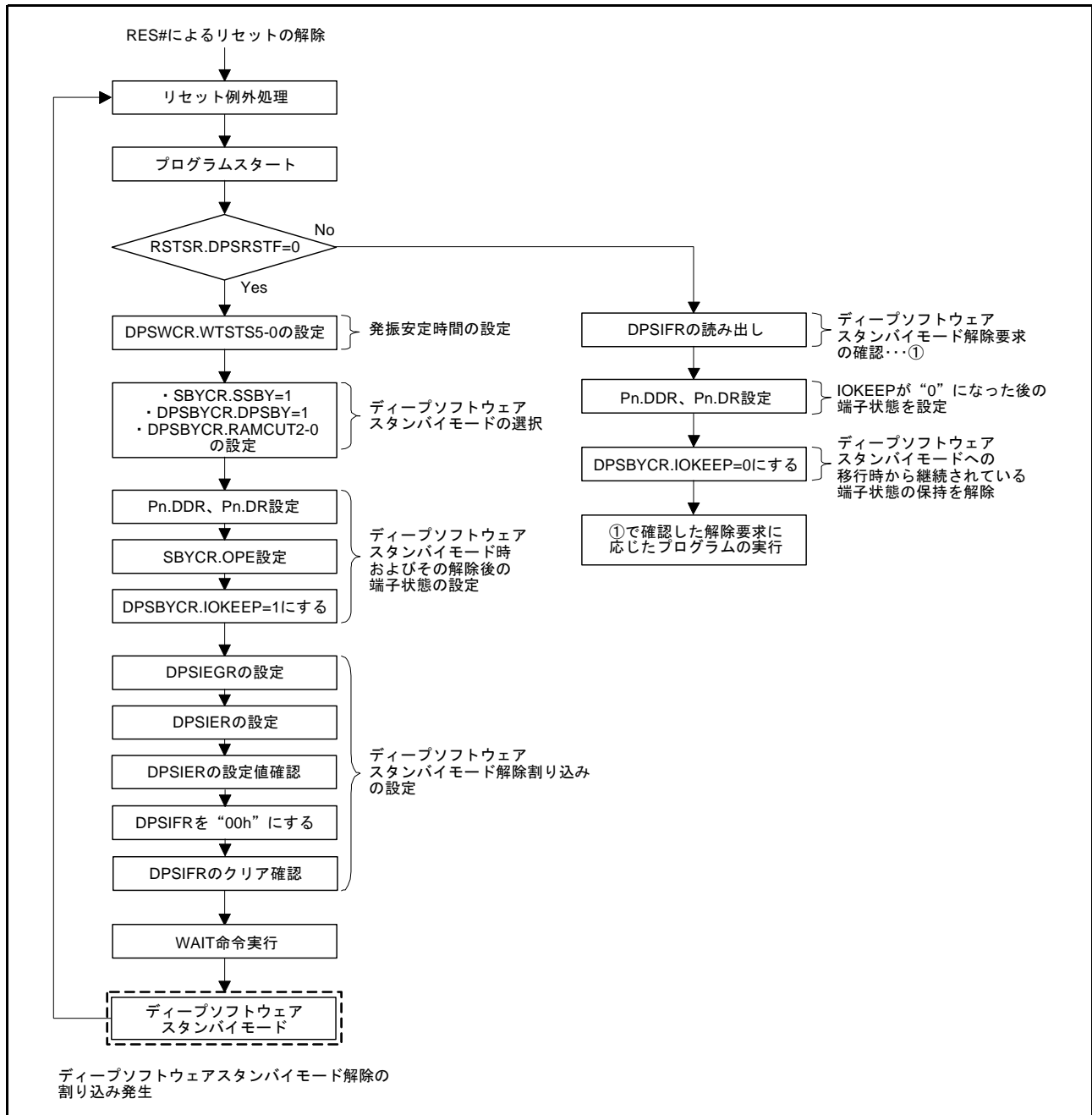


図 8.4 ディープソフトウェアスタンバイモードのフローチャート例

8.6 BCLK 出力制御

SCKCR.PSTOP1ビットと対応するP53のP5.DDR.B3ビットによって、BCLK出力を制御することができます。

PSTOP1ビットを“0”にすると、P53はBCLK出力になります。PSTOP1ビットを“1”にすると、バスサイクルの終了時点でBCLK出力は停止し、BCLK出力はHighになります。また、P53のP5.DDR.B3ビットを“0”にすると、BCLK出力は禁止され、入力ポートになります。

表 8.6 に各動作モードにおける BCLK 端子の状態を示します。

表 8.6 各動作モードにおける BCLK 端子 (P53) の状態

レジスタの設定値		通常動作状態	スリープ	全モジュール クロックストップ	ソフトウェアスタンバイ		ディープソフトウェアスタンバイ	
DDR	PSTOP1				OPE = 0	OPE = 1	IOKEEP = 0	IOKEEP = 1
0	x	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
1	0	BCLK出力	BCLK出力	BCLK出力	High	High	High	High
1	1	High	High	High	High	High	High	High

8.7 使用上の注意事項

8.7.1 I/O ポートの状態

ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードでは、I/O ポートの状態を保持します。したがって、High を出力している場合は出力電流分の消費電流は低減されません。

8.7.2 DMAC、DTC のモジュールストップ

MSTPCRA.MSTPA28, MSTPA27 ビットを“1”にする前に、DMAC の DMSCNT.DMST ビット、DTC の DTCST.DTCST ビットを“0”にし、DTC、DMAC が起動していない状態にしてください。詳細は、「12. DMA コントローラ (DMAC)」、「13. データトランスファコントローラ (DTC)」を参照してください。

8.7.3 内蔵周辺モジュールの割り込み

モジュールストップ状態では当該割り込みの動作ができません。したがって、割り込み要求が発生した状態でモジュールストップとすると、CPU の割り込み要因または DMAC、DTC の起動要因のクリアができません。事前に割り込みを禁止してからモジュールストップ状態にしてください。

8.7.4 MSTPCRA、MSTPCRB、MSTPCRC レジスタの書き込み

MSTPCRA、MSTPCRB および MSTPCRC レジスタへの書き込みは、CPU のみで行ってください。

8.7.5 DIRQnE ビット (n = 0 ~ 3) による入力バッファ制御

DPSIER.DIRQnE ビット (n=0 ~ 3) ビットを“1”にすることで、P30/IRQ0-A ~ P33/IRQ3-A 端子の入力バッファを有効にすることができます。これにより、当該端子の入力は DPSIFR.DIRQnF フラグ (n = 0 ~ 3) に伝わりますが、割り込みコントローラや周辺モジュール、I/O ポート等には伝わりませんので注意してください。

割り込みコントローラや周辺モジュール、I/O ポート等への入力は Pm.ICR レジスタで制御してください。

8.7.6 ディープソフトウェアスタンバイモードの移行と割り込みの競合

ディープソフトウェアスタンバイモードへ移行する際、ソフトウェアスタンバイモードの解除要求が競合した場合には、ディープソフトウェアスタンバイモードへは移行せずにソフトウェアスタンバイモードの解除シーケンスを開始します。その後、SBYCR.STS[4:0] ビットで選択したソフトウェアスタンバイモードの発振安定時間が経過した後、割り込み例外処理が開始されます。

ディープソフトウェアスタンバイモードへの移行と NMI 割り込みが競合する場合は、NMI 割り込み例外処理ルーチンが必要ですので、注意してください。

ディープソフトウェアスタンバイモードへの移行と IRQ0 ~ IRQ15 割り込みが競合する場合は、ICU の SSIER.SSIj ビット (j=0 ~ 15) を“0”にしておくことにより、割り込み例外処理を開始することなく、ディープソフトウェアスタンバイモードに移行することが可能です。

8.7.7 WAIT 命令の実行タイミング

WAIT 命令は、先行して実行されたレジスタへの書き込みの完了を待たずに実行されます。レジスタへの書き込みによる設定変更が反映される前に WAIT 命令が実行される場合があり、意図していない動作を起す恐れがあります。最後のレジスタへの書き込みが完了していることを確認してから WAIT 命令を実行してください。

9. 例外処理

9.1 例外事象

CPU が通常プログラムを実行している途中で、ある事象の発生によってそのプログラムの実行を中断し、別のプログラムを実行する必要がある場合があります。このような事象を総称して例外事象と呼びます。

RX CPU は、7 種類の例外に対応します。図 9.1 に例外の種類を示します。

例外が発生すると、プロセッサモードはスーパーバイザモードに移行します。

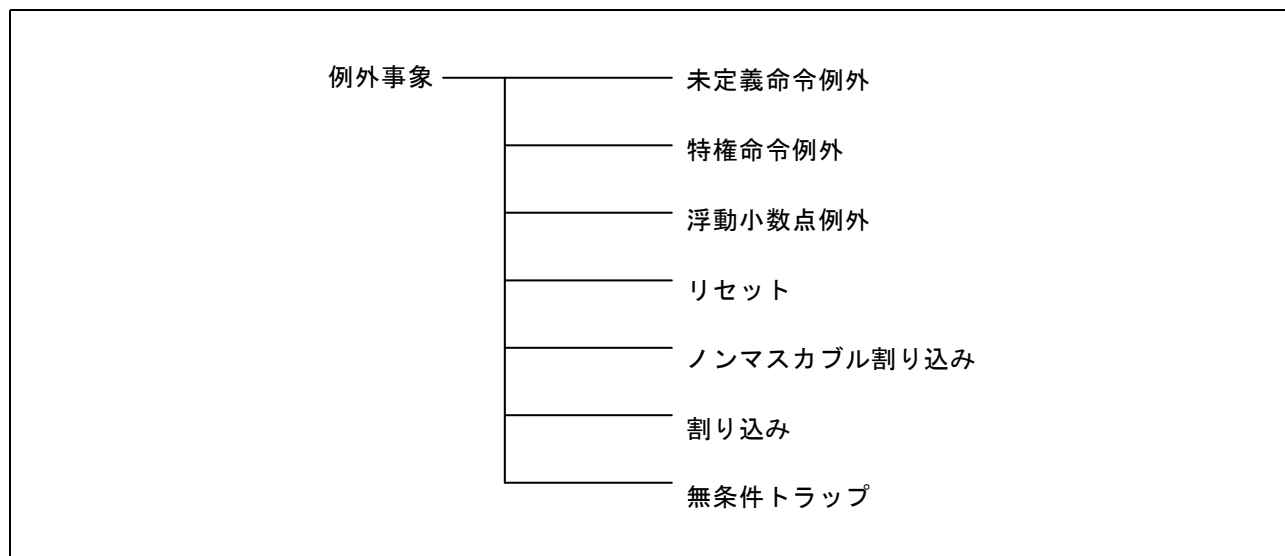


図 9.1 例外事象の種類

9.1.1 未定義命令例外

未定義命令例外は、未定義命令（実装されていない命令）の実行を検出した場合に発生します。

9.1.2 特権命令例外

特権命令例外は、ユーザモードで特権命令の実行を検出した場合に発生します。特権命令はスーパーバイザモードでのみ実行可能です。

9.1.3 浮動小数点例外

浮動小数点例外は、IEEE754 規格で規定された 5 つの例外事象（オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算）の他、非実装処理を検出した場合に発生します。浮動小数点例外は、FPSW の EX、EU、EZ、EO、EV ビットが“0”のとき、例外処理が禁止されます。

9.1.4 リセット

CPU にリセット信号を入力することによって発生します。リセットは最高度の優先順位を持ち、常に受け付けられます。

9.1.5 ノンマスカブル割り込み

CPU にノンマスカブル割り込み信号を入力することによって発生します。システムに致命的な障害が発生したと考えられる場合のみ使用します。例外処理ルーチン処理後、例外発生時に実行していた元のプログラムに復帰しない条件で使用してください。

9.1.6 割り込み

CPU に割り込み信号を入力することによって発生します。高速割り込みを最優先の割り込みとして選択することができます。割り込みは、PSW の I ビットが“0”のとき、例外処理が禁止されます。

9.1.7 無条件トラップ

INT 命令、および BRK 命令を実行すると無条件トラップが発生します。

9.2 例外の処理手順

例外の処理には、ハードウェアが自動的に処理する部分と、ユーザが記述したプログラム（例外処理ルーチン）によって処理される部分があります。リセットを除く、例外受け付け時の処理手順を図 9.2 に示します。

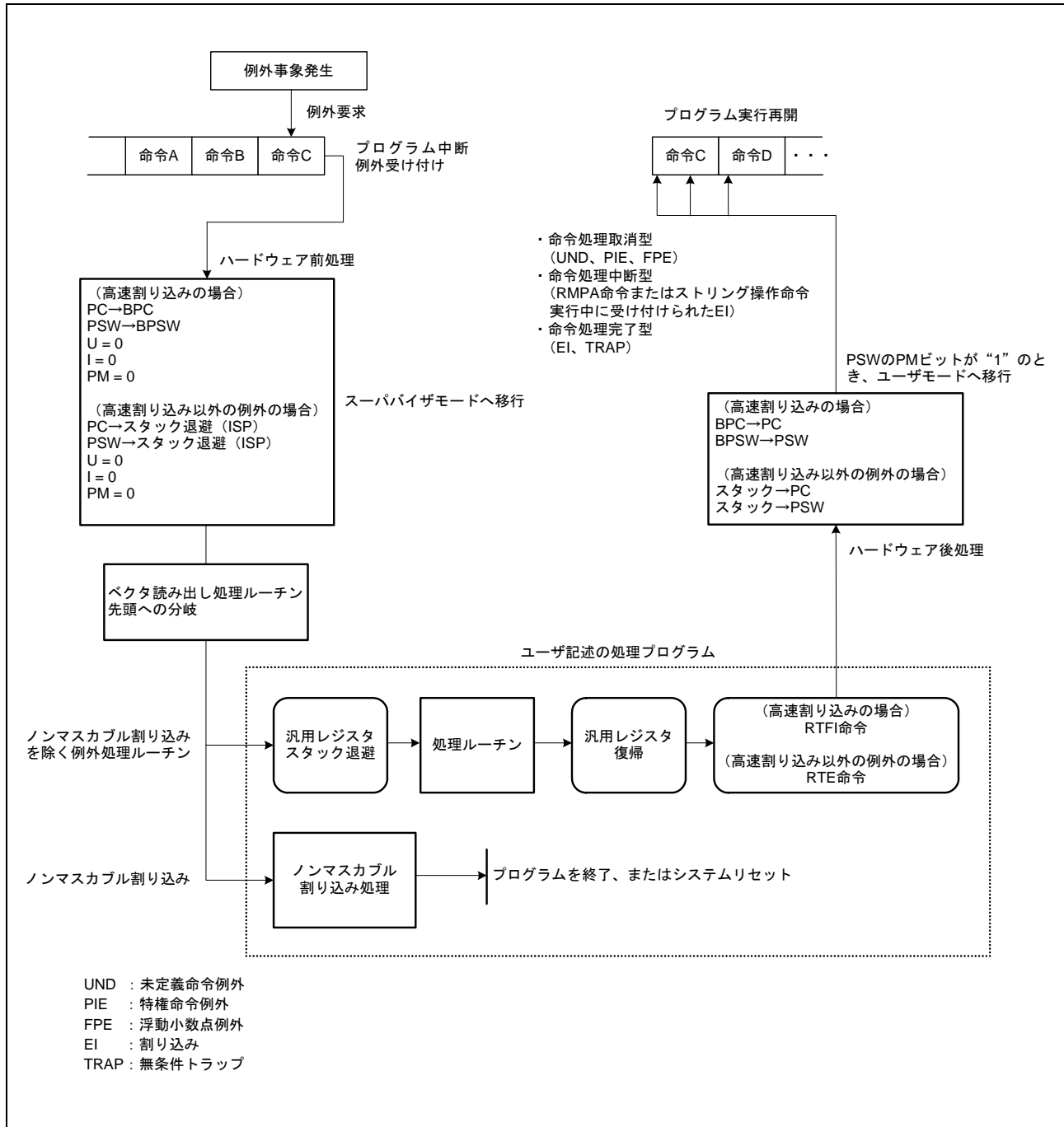


図 9.2 例外の処理手順の概要

例外が受け付けられると、RX CPU はハードウェア処理を行った後、ベクタにアクセスし、分岐先アドレスを取得します。ベクタには例外ごとにベクタアドレスが割り当てられており、そこに例外処理ルーチンへの分岐先アドレスを書きます。

RX CPU のハードウェア前処理では、高速割り込みの場合は、プログラムカウンタ (PC) の内容をバックアップ PC (BPC) に、プロセッサステータスワード (PSW) の内容をバックアップ PSW (BPSW) へ退避します。高速割り込み以外の例外では、PC、PSW をスタックに退避します。

例外処理ルーチン中で使用する汎用レジスタ、および PC、PSW 以外の制御レジスタについては、例外処理ルーチンの先頭でユーザプログラムによってスタックに退避してください。

例外処理ルーチン処理完了後、スタックに退避したレジスタを復帰して RTE 命令を実行することで、例外処理から元のプログラムに復帰します。高速割り込みの場合のみ、RTFI 命令を実行します。ただし、ノンマスカブル割り込みの場合には、元のプログラムに復帰せず、プログラムを終了、またはシステムリセットを行ってください。

RX CPU のハードウェア後処理では、高速割り込みの場合は BPC を PC に、また、BPSW の値を PSW に戻します。高速割り込み以外の例外では、スタックから PC、PSW の値を復帰します。

9.3 例外事象の受け付け

例外事象が発生すると、それまで実行していたプログラムを中断して、例外処理ルーチン処理に分岐します。

9.3.1 受け付けタイミングと保存される PC 値

各例外事象の受け付けタイミングと保存されるプログラムカウンタ (PC) の値を表 9.1 に示します。

表9.1 受け付けタイミングと保存されるPC値

例外事象		処理型	受け付けタイミン グ	BPC/スタックに保存されるPC 値
未定義命令例外		命令処理取消型	命令実行中	例外が発生した命令のPC値
特権命令例外		命令処理取消型	命令実行中	例外が発生した命令のPC値
浮動小数点例外		命令処理取消型	命令実行中	例外が発生した命令のPC値
リセット		命令処理放棄型	各マシンサイクル	なし
ノンマスカブル 割り込み	RMPA、SCMPU、SMOVB、 SMOVF、SMOVU、SSTR、 SUNTIL、SWHILE 命令実行中	命令処理中断型	命令実行中	実行中の命令のPC値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令のPC値
割り込み	RMPA、SCMPU、SMOVB、 SMOVF、SMOVU、SSTR、 SUNTIL、SWHILE 命令実行中	命令処理中断型	命令実行中	実行中の命令のPC値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令のPC値
無条件トラップ		命令処理完了型	命令の区切り	次の命令のPC値

9.3.2 ベクタと PC、PSW の退避場所

各例外事象のベクタとプログラムカウンタ (PC)、プロセッサステータスワード (PSW) の退避場所を表 9.2 に示します。

表9.2 ベクタとPC、PSWの退避場所

例外事象		ベクタ	PC、PSWの退避場所
未定義命令例外		固定ベクタテーブル	スタック
特権命令例外		固定ベクタテーブル	スタック
浮動小数点例外		固定ベクタテーブル	スタック
リセット		固定ベクタテーブル	なし
ノンマスカブル割り込み		固定ベクタテーブル	スタック
割り込み	高速割り込み	FINTV	BPC、BPSW
	高速割り込み以外	可変ベクタテーブル (INTB)	スタック
無条件トラップ		可変ベクタテーブル (INTB)	スタック

9.4 例外の受け付け / 復帰時のハードウェア処理

リセットを除く、例外の受け付けおよび復帰時のハードウェア処理について説明します。

(1) 例外受け付け時のハードウェア前処理

(a) PSW の退避

- 高速割り込みの場合

PSW → BPSW

- 高速割り込み以外の例外の場合

PSW → スタック

注 1. FPSW は、ハードウェア前処理では退避されません。浮動小数点演算命令を例外処理ルーチン内で使用する場合は、例外処理ルーチン内でユーザがスタックへ退避してください。

(b) PSW の PM、U、I ビットの更新

I : 0 にする

U : 0 にする

PM : 0 にする

(c) PC の退避

- 高速割り込みの場合

PC → BPC

- 高速割り込み以外の例外の場合

PC → スタック

(d) PC に例外処理ルーチン分岐先アドレスをセット

各例外に対応したベクタを取得し分岐することにより、例外処理ルーチン処理へ移行します。

(2) RTE 命令、RTFI 命令実行時のハードウェア後処理

(a) PSW の復帰

- 高速割り込みの場合

BPSW → PSW

- 高速割り込み以外の例外の場合

スタック → PSW

(b) PC の復帰

- 高速割り込みの場合

BPC → PC

- 高速割り込み以外の例外の場合

スタック → PC

9.5 ハードウェア前処理

例外要求が受け付けられてから、例外処理ルーチンが実行されるまでのハードウェア前処理について説明します。

9.5.1 未定義命令例外

1. プロセッサステータスワード (PSW) の内容をスタック (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック (ISP) に退避します。
4. FFFF FFDCh 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

9.5.2 特権命令例外

1. プロセッサステータスワード (PSW) の内容をスタック (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック (ISP) に退避します。
4. FFFF FFD0h 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

9.5.3 浮動小数点例外

1. プロセッサステータスワード (PSW) の内容をスタック (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック (ISP) に退避します。
4. FFFF FFE4h 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

9.5.4 リセット

1. 制御を初期化します。
2. FFFF FFFCh 番地からベクタを取得します。
3. 取得したベクタをプログラムカウンタ (PC) にセットします。

9.5.5 ノンマスカブル割り込み

1. プロセッサステータスワード (PSW) の内容をスタック (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. RMPA、SCMPU、SMOVb、SMOVf、SMOVu、SSTR、SUNTIL、SWHILE 命令を実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック (ISP) に退避します。
4. PSW のプロセッサ割り込み優先レベル (IPL[2:0]) を“111b”にします。
5. FFFF FFF8h 番地からベクタを取得します。
6. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

9.5.6 割り込み

1. プロセッサステータスワード (PSW) の内容をスタック (ISP) に退避します。高速割り込みの場合は、バックアップ PSW (BPSW) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令を実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容を ISP に退避します。高速割り込みの場合は、バックアップ PC (BPC) に退避します。
4. PSW のプロセッサ割り込み優先レベル (IPL[2:0]) に、受け付けた割り込みの割り込み優先レベルを設定します。
5. 可変ベクタテーブルから受け付けた割り込み要因のベクタを取得します。高速割り込みの場合は、高速割り込みベクタレジスタ (FINTV) からベクタを取得します。
6. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

9.5.7 無条件トラップ

1. プロセッサステータスワード (PSW) の内容をスタック (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. 次の命令のプログラムカウンタ (PC) の内容をスタック (ISP) に退避します。
4. INT 命令の場合は、可変ベクタテーブルから INT 命令番号に対応したベクタを取得します。
BRK 命令の場合は、可変ベクタテーブルの先頭番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

9.6 例外処理ルーチンからの復帰

例外処理ルーチンの最後で表 9.3 に示す命令を実行すると、例外処理シーケンス直前にスタックまたは制御レジスタ（BPC、BPSW）に退避されていたプログラムカウンタ（PC）とプロセッサステータスワード（PSW）の内容が復帰されます。

表9.3 例外処理ルーチンからの復帰命令

例外事象		復帰命令
未定義命令例外		RTE
特権命令例外		RTE
浮動小数点例外		RTE
リセット		復帰不可能
ノンマスカブル割り込み		復帰不可能
割り込み	高速割り込み	RTFI
	高速割り込み以外	RTE
無条件トラップ		RTE

9.7 例外事象の優先順位

例外事象の優先順位を表 9.4 に示します。複数の例外が同時に発生した場合は、より優先度の高い事象が先に受け付けられます。

表9.4 割り込み優先順位

優先順位		例外事象
高い ↑ 低い	1	リセット
	2	ノンマスカブル割り込み
	3	割り込み
	4	未定義命令例外 特権命令例外
	5	無条件トラップ
	6	浮動小数点例外

10. 割り込みコントローラ (ICU)

10.1 概要

割り込みコントローラは、周辺モジュール、外部端子の割り込み要因によって、CPU への割り込み要求の出力、および DTC、DMAC の起動を行います。

表 10.1 に割り込みコントローラの仕様を、図 10.1 に割り込みコントローラのブロック図を示します。

表 10.1 割り込みコントローラの仕様

項目		内容
割り込み	周辺機能割り込み	周辺モジュールの割り込み " 要因数：116 " 割り込み検出：エッジ検出/レベル検出 接続している周辺モジュールの要因ごとに検出方法が決められている
	外部割り込み	IRQ15～IRQ0端子の割り込み " 要因数：16 " 割り込み検出：Low/立ち下がりエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能
ノンマスクابل 割り込み	NMI端子割り込み	NMI端子の割り込み " ノンマスクابل割り込み要因数：1 " 割り込み検出：立ち下がりエッジ/立ち上がりエッジ
割り込み優先順位		レジスタで優先順位を設定
ベクタアドレス		割り込み要因ごとにベクタアドレスを割り当てているため、ソフトウェアでの要因判別は不要
高速割り込み機能		CPUの割り込み処理の高速化が可能。1要因にのみ設定
DTC、DMAC制御		割り込み要因によってDTCやDMACを起動可能 " DTC起動可能要因：86（周辺機能割り込み 70+外部割り込み 16） " DMAC起動可能要因：42（周辺機能割り込み 38+外部割り込み 4）
低消費電力状態からの復帰		" スリープモード：NMI端子割り込み、割り込みで復帰 " 全モジュールクロックストップモード：NMI端子割り込み、外部割り込み、周辺機能割り込み（WDT、TMR）で復帰 " ソフトウェアスタンバイモード：NMI端子割り込み、外部割り込みで復帰

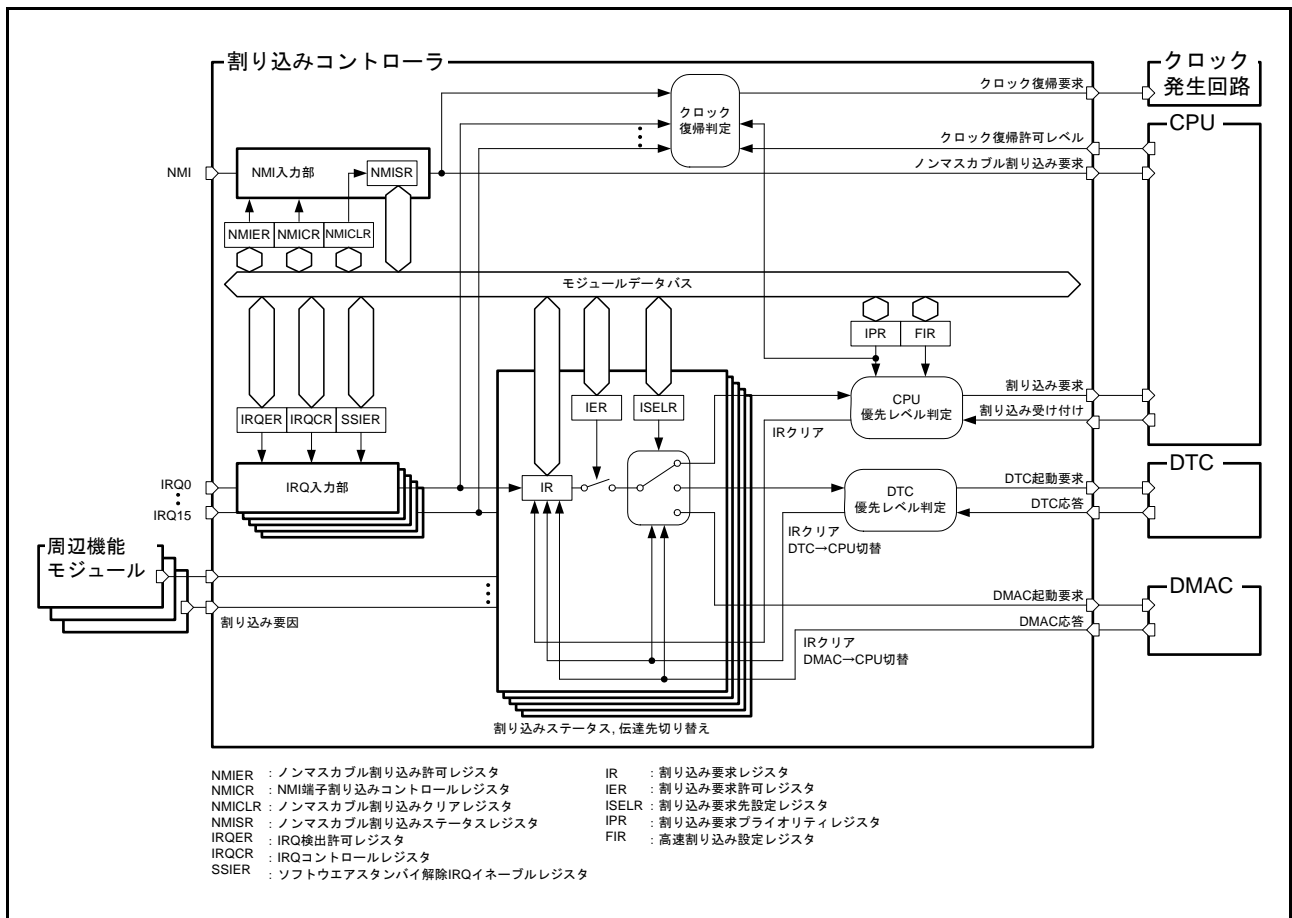


図 10.1 割り込みコントローラのブロック図

表 10.2 に割り込みコントローラで使用する入出力端子を示します。

表 10.2 割り込みコントローラの入出力端子

端子名	入出力	機能
NMI	入力	ノンマスクブル割り込み要求端子
IRQ15~IRQ0	入力	外部割り込み要求端子

10.2 レジスタの説明

表 10.3 に割り込みコントローラのレジスタ一覧を示します。

表 10.3 割り込みコントローラのレジスタ一覧 (1 / 8)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み要求レジスタ 016	IR016	00h	0008 7010h	8
割り込み要求レジスタ 021	IR021	00h	0008 7015h	8
割り込み要求レジスタ 023	IR023	00h	0008 7017h	8
割り込み要求レジスタ 028	IR028	00h	0008 701Ch	8
割り込み要求レジスタ 029	IR029	00h	0008 701Dh	8
割り込み要求レジスタ 030	IR030	00h	0008 701Eh	8
割り込み要求レジスタ 031	IR031	00h	0008 701Fh	8
割り込み要求レジスタ 064	IR064	00h	0008 7040h	8
割り込み要求レジスタ 065	IR065	00h	0008 7041h	8
割り込み要求レジスタ 066	IR066	00h	0008 7042h	8
割り込み要求レジスタ 067	IR067	00h	0008 7043h	8
割り込み要求レジスタ 068	IR068	00h	0008 7044h	8
割り込み要求レジスタ 069	IR069	00h	0008 7045h	8
割り込み要求レジスタ 070	IR070	00h	0008 7046h	8
割り込み要求レジスタ 071	IR071	00h	0008 7047h	8
割り込み要求レジスタ 072	IR072	00h	0008 7048h	8
割り込み要求レジスタ 073	IR073	00h	0008 7049h	8
割り込み要求レジスタ 074	IR074	00h	0008 704Ah	8
割り込み要求レジスタ 075	IR075	00h	0008 704Bh	8
割り込み要求レジスタ 076	IR076	00h	0008 704Ch	8
割り込み要求レジスタ 077	IR077	00h	0008 704Dh	8
割り込み要求レジスタ 078	IR078	00h	0008 704Eh	8
割り込み要求レジスタ 079	IR079	00h	0008 704Fh	8
割り込み要求レジスタ 096	IR096	00h	0008 7060h	8
割り込み要求レジスタ 098	IR098	00h	0008 7062h	8
割り込み要求レジスタ 099	IR099	00h	0008 7063h	8
割り込み要求レジスタ 100	IR100	00h	0008 7064h	8
割り込み要求レジスタ 101	IR101	00h	0008 7065h	8
割り込み要求レジスタ 104	IR104	00h	0008 7068h	8
割り込み要求レジスタ 105	IR105	00h	0008 7069h	8
割り込み要求レジスタ 106	IR106	00h	0008 706Ah	8
割り込み要求レジスタ 107	IR107	00h	0008 706Bh	8
割り込み要求レジスタ 108	IR108	00h	0008 706Ch	8
割り込み要求レジスタ 111	IR111	00h	0008 706Fh	8
割り込み要求レジスタ 112	IR112	00h	0008 7070h	8
割り込み要求レジスタ 115	IR115	00h	0008 7073h	8
割り込み要求レジスタ 116	IR116	00h	0008 7074h	8
割り込み要求レジスタ 117	IR117	00h	0008 7075h	8
割り込み要求レジスタ 118	IR118	00h	0008 7076h	8
割り込み要求レジスタ 120	IR120	00h	0008 7078h	8
割り込み要求レジスタ 121	IR121	00h	0008 7079h	8
割り込み要求レジスタ 122	IR122	00h	0008 707Ah	8

表 10.3 割り込みコントローラのレジスタ一覧 (2 / 8)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み要求レジスタ 123	IR123	00h	0008 707Bh	8
割り込み要求レジスタ 124	IR124	00h	0008 707Ch	8
割り込み要求レジスタ 125	IR125	00h	0008 707Dh	8
割り込み要求レジスタ 126	IR126	00h	0008 707Eh	8
割り込み要求レジスタ 127	IR127	00h	0008 707Fh	8
割り込み要求レジスタ 128	IR128	00h	0008 7080h	8
割り込み要求レジスタ 131	IR131	00h	0008 7083h	8
割り込み要求レジスタ 132	IR132	00h	0008 7084h	8
割り込み要求レジスタ 133	IR133	00h	0008 7085h	8
割り込み要求レジスタ 134	IR134	00h	0008 7086h	8
割り込み要求レジスタ 136	IR136	00h	0008 7088h	8
割り込み要求レジスタ 137	IR137	00h	0008 7089h	8
割り込み要求レジスタ 138	IR138	00h	0008 708Ah	8
割り込み要求レジスタ 139	IR139	00h	0008 708Bh	8
割り込み要求レジスタ 140	IR140	00h	0008 708Ch	8
割り込み要求レジスタ 141	IR141	00h	0008 708Dh	8
割り込み要求レジスタ 142	IR142	00h	0008 708Eh	8
割り込み要求レジスタ 145	IR145	00h	0008 7091h	8
割り込み要求レジスタ 146	IR146	00h	0008 7092h	8
割り込み要求レジスタ 149	IR149	00h	0008 7095h	8
割り込み要求レジスタ 150	IR150	00h	0008 7096h	8
割り込み要求レジスタ 151	IR151	00h	0008 7097h	8
割り込み要求レジスタ 152	IR152	00h	0008 7098h	8
割り込み要求レジスタ 154	IR154	00h	0008 709Ah	8
割り込み要求レジスタ 155	IR155	00h	0008 709Bh	8
割り込み要求レジスタ 156	IR156	00h	0008 709Ch	8
割り込み要求レジスタ 157	IR157	00h	0008 709Dh	8
割り込み要求レジスタ 158	IR158	00h	0008 709Eh	8
割り込み要求レジスタ 159	IR159	00h	0008 709Fh	8
割り込み要求レジスタ 160	IR160	00h	0008 70A0h	8
割り込み要求レジスタ 161	IR161	00h	0008 70A1h	8
割り込み要求レジスタ 162	IR162	00h	0008 70A2h	8
割り込み要求レジスタ 165	IR165	00h	0008 70A5h	8
割り込み要求レジスタ 166	IR166	00h	0008 70A6h	8
割り込み要求レジスタ 167	IR167	00h	0008 70A7h	8
割り込み要求レジスタ 168	IR168	00h	0008 70A8h	8
割り込み要求レジスタ 170	IR170	00h	0008 70AAh	8
割り込み要求レジスタ 171	IR171	00h	0008 70ABh	8
割り込み要求レジスタ 174	IR174	00h	0008 70AEh	8
割り込み要求レジスタ 175	IR175	00h	0008 70AFh	8
割り込み要求レジスタ 176	IR176	00h	0008 70B0h	8
割り込み要求レジスタ 177	IR177	00h	0008 70B1h	8
割り込み要求レジスタ 178	IR178	00h	0008 70B2h	8
割り込み要求レジスタ 179	IR179	00h	0008 70B3h	8
割り込み要求レジスタ 180	IR180	00h	0008 70B4h	8

表 10.3 割り込みコントローラのレジスタ一覧 (3 / 8)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み要求レジスタ 181	IR181	00h	0008 70B5h	8
割り込み要求レジスタ 182	IR182	00h	0008 70B6h	8
割り込み要求レジスタ 183	IR183	00h	0008 70B7h	8
割り込み要求レジスタ 184	IR184	00h	0008 70B8h	8
割り込み要求レジスタ 185	IR185	00h	0008 70B9h	8
割り込み要求レジスタ 198	IR198	00h	0008 70C6h	8
割り込み要求レジスタ 199	IR199	00h	0008 70C7h	8
割り込み要求レジスタ 200	IR200	00h	0008 70C8h	8
割り込み要求レジスタ 201	IR201	00h	0008 70C9h	8
割り込み要求レジスタ 214	IR214	00h	0008 70D6h	8
割り込み要求レジスタ 215	IR215	00h	0008 70D7h	8
割り込み要求レジスタ 216	IR216	00h	0008 70D8h	8
割り込み要求レジスタ 217	IR217	00h	0008 70D9h	8
割り込み要求レジスタ 218	IR218	00h	0008 70DAh	8
割り込み要求レジスタ 219	IR219	00h	0008 70DBh	8
割り込み要求レジスタ 220	IR220	00h	0008 70DCh	8
割り込み要求レジスタ 221	IR221	00h	0008 70DDh	8
割り込み要求レジスタ 222	IR222	00h	0008 70DEh	8
割り込み要求レジスタ 223	IR223	00h	0008 70DFh	8
割り込み要求レジスタ 224	IR224	00h	0008 70E0h	8
割り込み要求レジスタ 225	IR225	00h	0008 70E1h	8
割り込み要求レジスタ 226	IR226	00h	0008 70E2h	8
割り込み要求レジスタ 227	IR227	00h	0008 70E3h	8
割り込み要求レジスタ 228	IR228	00h	0008 70E4h	8
割り込み要求レジスタ 229	IR229	00h	0008 70E5h	8
割り込み要求レジスタ 230	IR230	00h	0008 70E6h	8
割り込み要求レジスタ 231	IR231	00h	0008 70E7h	8
割り込み要求レジスタ 232	IR232	00h	0008 70E8h	8
割り込み要求レジスタ 233	IR233	00h	0008 70E9h	8
割り込み要求レジスタ 234	IR234	00h	0008 70EAh	8
割り込み要求レジスタ 235	IR235	00h	0008 70EBh	8
割り込み要求レジスタ 236	IR236	00h	0008 70ECh	8
割り込み要求レジスタ 237	IR237	00h	0008 70EDh	8
割り込み要求レジスタ 238	IR238	00h	0008 70EEh	8
割り込み要求レジスタ 239	IR239	00h	0008 70EFh	8
割り込み要求レジスタ 240	IR240	00h	0008 70F0h	8
割り込み要求レジスタ 241	IR241	00h	0008 70F1h	8
割り込み要求レジスタ 246	IR246	00h	0008 70F6h	8
割り込み要求レジスタ 247	IR247	00h	0008 70F7h	8
割り込み要求レジスタ 248	IR248	00h	0008 70F8h	8
割り込み要求レジスタ 249	IR249	00h	0008 70F9h	8
割り込み要求レジスタ 250	IR250	00h	0008 70FAh	8
割り込み要求レジスタ 251	IR251	00h	0008 70FBh	8
割り込み要求レジスタ 252	IR252	00h	0008 70FCh	8
割り込み要求レジスタ 253	IR253	00h	0008 70FDh	8

表 10.3 割り込みコントローラのレジスタ一覧 (4 / 8)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み要求先設定レジスタ 028	ISELR028	00h	0008 711Ch	8
割り込み要求先設定レジスタ 029	ISELR029	00h	0008 711Dh	8
割り込み要求先設定レジスタ 030	ISELR030	00h	0008 711Eh	8
割り込み要求先設定レジスタ 031	ISELR031	00h	0008 711Fh	8
割り込み要求先設定レジスタ 064	ISELR064	00h	0008 7140h	8
割り込み要求先設定レジスタ 065	ISELR065	00h	0008 7141h	8
割り込み要求先設定レジスタ 066	ISELR066	00h	0008 7142h	8
割り込み要求先設定レジスタ 067	ISELR067	00h	0008 7143h	8
割り込み要求先設定レジスタ 068	ISELR068	00h	0008 7144h	8
割り込み要求先設定レジスタ 069	ISELR069	00h	0008 7145h	8
割り込み要求先設定レジスタ 070	ISELR070	00h	0008 7146h	8
割り込み要求先設定レジスタ 071	ISELR071	00h	0008 7147h	8
割り込み要求先設定レジスタ 072	ISELR072	00h	0008 7148h	8
割り込み要求先設定レジスタ 073	ISELR073	00h	0008 7149h	8
割り込み要求先設定レジスタ 074	ISELR074	00h	0008 714Ah	8
割り込み要求先設定レジスタ 075	ISELR075	00h	0008 714Bh	8
割り込み要求先設定レジスタ 076	ISELR076	00h	0008 714Ch	8
割り込み要求先設定レジスタ 077	ISELR077	00h	0008 714Dh	8
割り込み要求先設定レジスタ 078	ISELR078	00h	0008 714Eh	8
割り込み要求先設定レジスタ 079	ISELR079	00h	0008 714Fh	8
割り込み要求先設定レジスタ 098	ISELR098	00h	0008 7162h	8
割り込み要求先設定レジスタ 099	ISELR099	00h	0008 7163h	8
割り込み要求先設定レジスタ 100	ISELR100	00h	0008 7164h	8
割り込み要求先設定レジスタ 101	ISELR101	00h	0008 7165h	8
割り込み要求先設定レジスタ 104	ISELR104	00h	0008 7168h	8
割り込み要求先設定レジスタ 105	ISELR105	00h	0008 7169h	8
割り込み要求先設定レジスタ 106	ISELR106	00h	0008 716Ah	8
割り込み要求先設定レジスタ 107	ISELR107	00h	0008 716Bh	8
割り込み要求先設定レジスタ 111	ISELR111	00h	0008 716Fh	8
割り込み要求先設定レジスタ 112	ISELR112	00h	0008 7170h	8
割り込み要求先設定レジスタ 117	ISELR117	00h	0008 7175h	8
割り込み要求先設定レジスタ 118	ISELR118	00h	0008 7176h	8
割り込み要求先設定レジスタ 122	ISELR122	00h	0008 717Ah	8
割り込み要求先設定レジスタ 123	ISELR123	00h	0008 717Bh	8
割り込み要求先設定レジスタ 124	ISELR124	00h	0008 717Ch	8
割り込み要求先設定レジスタ 125	ISELR125	00h	0008 717Dh	8
割り込み要求先設定レジスタ 127	ISELR127	00h	0008 717Fh	8
割り込み要求先設定レジスタ 128	ISELR128	00h	0008 7180h	8
割り込み要求先設定レジスタ 133	ISELR133	00h	0008 7185h	8
割り込み要求先設定レジスタ 134	ISELR134	00h	0008 7186h	8
割り込み要求先設定レジスタ 138	ISELR138	00h	0008 718Ah	8
割り込み要求先設定レジスタ 139	ISELR139	00h	0008 718Bh	8
割り込み要求先設定レジスタ 140	ISELR140	00h	0008 718Ch	8
割り込み要求先設定レジスタ 141	ISELR141	00h	0008 718Dh	8
割り込み要求先設定レジスタ 145	ISELR145	00h	0008 7191h	8

表 10.3 割り込みコントローラのレジスタ一覧 (5 / 8)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み要求先設定レジスタ 146	ISELR146	00h	0008 7192h	8
割り込み要求先設定レジスタ 151	ISELR151	00h	0008 7197h	8
割り込み要求先設定レジスタ 152	ISELR152	00h	0008 7198h	8
割り込み要求先設定レジスタ 156	ISELR156	00h	0008 719Ch	8
割り込み要求先設定レジスタ 157	ISELR157	00h	0008 719Dh	8
割り込み要求先設定レジスタ 158	ISELR158	00h	0008 719Eh	8
割り込み要求先設定レジスタ 159	ISELR159	00h	0008 719Fh	8
割り込み要求先設定レジスタ 161	ISELR161	00h	0008 71A1h	8
割り込み要求先設定レジスタ 162	ISELR162	00h	0008 71A2h	8
割り込み要求先設定レジスタ 167	ISELR167	00h	0008 71A7h	8
割り込み要求先設定レジスタ 168	ISELR168	00h	0008 71A8h	8
割り込み要求先設定レジスタ 174	ISELR174	00h	0008 71AEh	8
割り込み要求先設定レジスタ 175	ISELR175	00h	0008 71AFh	8
割り込み要求先設定レジスタ 177	ISELR177	00h	0008 71B1h	8
割り込み要求先設定レジスタ 178	ISELR178	00h	0008 71B2h	8
割り込み要求先設定レジスタ 180	ISELR180	00h	0008 71B4h	8
割り込み要求先設定レジスタ 181	ISELR181	00h	0008 71B5h	8
割り込み要求先設定レジスタ 183	ISELR183	00h	0008 71B7h	8
割り込み要求先設定レジスタ 184	ISELR184	00h	0008 71B8h	8
割り込み要求先設定レジスタ 198	ISELR198	00h	0008 71C6h	8
割り込み要求先設定レジスタ 199	ISELR199	00h	0008 71C7h	8
割り込み要求先設定レジスタ 200	ISELR200	00h	0008 71C8h	8
割り込み要求先設定レジスタ 201	ISELR201	00h	0008 71C9h	8
割り込み要求先設定レジスタ 215	ISELR215	00h	0008 71D7h	8
割り込み要求先設定レジスタ 216	ISELR216	00h	0008 71D8h	8
割り込み要求先設定レジスタ 219	ISELR219	00h	0008 71DBh	8
割り込み要求先設定レジスタ 220	ISELR220	00h	0008 71DCh	8
割り込み要求先設定レジスタ 223	ISELR223	00h	0008 71DFh	8
割り込み要求先設定レジスタ 224	ISELR224	00h	0008 71E0h	8
割り込み要求先設定レジスタ 227	ISELR227	00h	0008 71E3h	8
割り込み要求先設定レジスタ 228	ISELR228	00h	0008 71E4h	8
割り込み要求先設定レジスタ 231	ISELR231	00h	0008 71E7h	8
割り込み要求先設定レジスタ 232	ISELR232	00h	0008 71E8h	8
割り込み要求先設定レジスタ 235	ISELR235	00h	0008 71EBh	8
割り込み要求先設定レジスタ 236	ISELR236	00h	0008 71ECh	8
割り込み要求先設定レジスタ 239	ISELR239	00h	0008 71EFh	8
割り込み要求先設定レジスタ 240	ISELR240	00h	0008 71F0h	8
割り込み要求先設定レジスタ 247	ISELR247	00h	0008 71F7h	8
割り込み要求先設定レジスタ 248	ISELR248	00h	0008 71F8h	8
割り込み要求先設定レジスタ 251	ISELR251	00h	0008 71FBh	8
割り込み要求先設定レジスタ 252	ISELR252	00h	0008 71FCh	8
割り込み要求先設定レジスタ 253	ISELR253	00h	0008 71FDh	8
割り込み要求許可レジスタ 02	IER02	00h	0008 7202h	8
割り込み要求許可レジスタ 03	IER03	00h	0008 7203h	8
割り込み要求許可レジスタ 08	IER08	00h	0008 7208h	8

表 10.3 割り込みコントローラのレジスタ一覧 (6 / 8)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み要求許可レジスタ 09	IER09	00h	0008 7209h	8
割り込み要求許可レジスタ 0C	IER0C	00h	0008 720Ch	8
割り込み要求許可レジスタ 0D	IER0D	00h	0008 720Dh	8
割り込み要求許可レジスタ 0E	IER0E	00h	0008 720Eh	8
割り込み要求許可レジスタ 0F	IER0F	00h	0008 720Fh	8
割り込み要求許可レジスタ 10	IER10	00h	0008 7210h	8
割り込み要求許可レジスタ 11	IER11	00h	0008 7211h	8
割り込み要求許可レジスタ 12	IER12	00h	0008 7212h	8
割り込み要求許可レジスタ 13	IER13	00h	0008 7213h	8
割り込み要求許可レジスタ 14	IER14	00h	0008 7214h	8
割り込み要求許可レジスタ 15	IER15	00h	0008 7215h	8
割り込み要求許可レジスタ 16	IER16	00h	0008 7216h	8
割り込み要求許可レジスタ 17	IER17	00h	0008 7217h	8
割り込み要求許可レジスタ 18	IER18	00h	0008 7218h	8
割り込み要求許可レジスタ 19	IER19	00h	0008 7219h	8
割り込み要求許可レジスタ 1A	IER1A	00h	0008 721Ah	8
割り込み要求許可レジスタ 1B	IER1B	00h	0008 721Bh	8
割り込み要求許可レジスタ 1C	IER1C	00h	0008 721Ch	8
割り込み要求許可レジスタ 1D	IER1D	00h	0008 721Dh	8
割り込み要求許可レジスタ 1E	IER1E	00h	0008 721Eh	8
割り込み要求許可レジスタ 1F	IER1F	00h	0008 721Fh	8
割り込み要因プライオリティレジスタ 00	IPR00	00h	0008 7300h	8
割り込み要因プライオリティレジスタ 01	IPR01	00h	0008 7301h	8
割り込み要因プライオリティレジスタ 02	IPR02	00h	0008 7302h	8
割り込み要因プライオリティレジスタ 04	IPR04	00h	0008 7304h	8
割り込み要因プライオリティレジスタ 05	IPR05	00h	0008 7305h	8
割り込み要因プライオリティレジスタ 06	IPR06	00h	0008 7306h	8
割り込み要因プライオリティレジスタ 07	IPR07	00h	0008 7307h	8
割り込み要因プライオリティレジスタ 20	IPR20	00h	0008 7320h	8
割り込み要因プライオリティレジスタ 21	IPR21	00h	0008 7321h	8
割り込み要因プライオリティレジスタ 22	IPR22	00h	0008 7322h	8
割り込み要因プライオリティレジスタ 23	IPR23	00h	0008 7323h	8
割り込み要因プライオリティレジスタ 24	IPR24	00h	0008 7324h	8
割り込み要因プライオリティレジスタ 25	IPR25	00h	0008 7325h	8
割り込み要因プライオリティレジスタ 26	IPR26	00h	0008 7326h	8
割り込み要因プライオリティレジスタ 27	IPR27	00h	0008 7327h	8
割り込み要因プライオリティレジスタ 28	IPR28	00h	0008 7328h	8
割り込み要因プライオリティレジスタ 29	IPR29	00h	0008 7329h	8
割り込み要因プライオリティレジスタ 2A	IPR2A	00h	0008 732Ah	8
割り込み要因プライオリティレジスタ 2B	IPR2B	00h	0008 732Bh	8
割り込み要因プライオリティレジスタ 2C	IPR2C	00h	0008 732Ch	8
割り込み要因プライオリティレジスタ 2D	IPR2D	00h	0008 732Dh	8
割り込み要因プライオリティレジスタ 2E	IPR2E	00h	0008 732Eh	8
割り込み要因プライオリティレジスタ 2F	IPR2F	00h	0008 732Fh	8
割り込み要因プライオリティレジスタ 40	IPR40	00h	0008 7340h	8

表 10.3 割り込みコントローラのレジスタ一覧 (7 / 8)

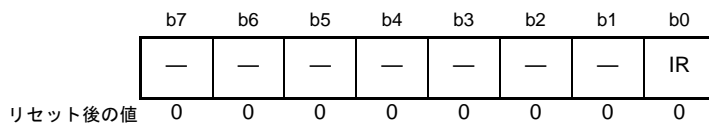
レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み要因プライオリティレジスタ 44	IPR44	00h	0008 7344h	8
割り込み要因プライオリティレジスタ 45	IPR45	00h	0008 7345h	8
割り込み要因プライオリティレジスタ 46	IPR46	00h	0008 7346h	8
割り込み要因プライオリティレジスタ 47	IPR47	00h	0008 7347h	8
割り込み要因プライオリティレジスタ 4C	IPR4C	00h	0008 734Ch	8
割り込み要因プライオリティレジスタ 4D	IPR4D	00h	0008 734Dh	8
割り込み要因プライオリティレジスタ 4E	IPR4E	00h	0008 734Eh	8
割り込み要因プライオリティレジスタ 4F	IPR4F	00h	0008 734Fh	8
割り込み要因プライオリティレジスタ 50	IPR50	00h	0008 7350h	8
割り込み要因プライオリティレジスタ 51	IPR51	00h	0008 7351h	8
割り込み要因プライオリティレジスタ 52	IPR52	00h	0008 7352h	8
割り込み要因プライオリティレジスタ 53	IPR53	00h	0008 7353h	8
割り込み要因プライオリティレジスタ 54	IPR54	00h	0008 7354h	8
割り込み要因プライオリティレジスタ 55	IPR55	00h	0008 7355h	8
割り込み要因プライオリティレジスタ 56	IPR56	00h	0008 7356h	8
割り込み要因プライオリティレジスタ 57	IPR57	00h	0008 7357h	8
割り込み要因プライオリティレジスタ 58	IPR58	00h	0008 7358h	8
割り込み要因プライオリティレジスタ 59	IPR59	00h	0008 7359h	8
割り込み要因プライオリティレジスタ 5A	IPR5A	00h	0008 735Ah	8
割り込み要因プライオリティレジスタ 5B	IPR5B	00h	0008 735Bh	8
割り込み要因プライオリティレジスタ 5C	IPR5C	00h	0008 735Ch	8
割り込み要因プライオリティレジスタ 5D	IPR5D	00h	0008 735Dh	8
割り込み要因プライオリティレジスタ 5E	IPR5E	00h	0008 735Eh	8
割り込み要因プライオリティレジスタ 5F	IPR5F	00h	0008 735Fh	8
割り込み要因プライオリティレジスタ 60	IPR60	00h	0008 7360h	8
割り込み要因プライオリティレジスタ 61	IPR61	00h	0008 7361h	8
割り込み要因プライオリティレジスタ 62	IPR62	00h	0008 7362h	8
割り込み要因プライオリティレジスタ 63	IPR63	00h	0008 7363h	8
割り込み要因プライオリティレジスタ 68	IPR68	00h	0008 7368h	8
割り込み要因プライオリティレジスタ 69	IPR69	00h	0008 7369h	8
割り込み要因プライオリティレジスタ 6A	IPR6A	00h	0008 736Ah	8
割り込み要因プライオリティレジスタ 6B	IPR6B	00h	0008 736Bh	8
割り込み要因プライオリティレジスタ 70	IPR70	00h	0008 7370h	8
割り込み要因プライオリティレジスタ 71	IPR71	00h	0008 7371h	8
割り込み要因プライオリティレジスタ 72	IPR72	00h	0008 7372h	8
割り込み要因プライオリティレジスタ 73	IPR73	00h	0008 7373h	8
割り込み要因プライオリティレジスタ 80	IPR80	00h	0008 7380h	8
割り込み要因プライオリティレジスタ 81	IPR81	00h	0008 7381h	8
割り込み要因プライオリティレジスタ 82	IPR82	00h	0008 7382h	8
割り込み要因プライオリティレジスタ 83	IPR83	00h	0008 7383h	8
割り込み要因プライオリティレジスタ 84	IPR84	00h	0008 7384h	8
割り込み要因プライオリティレジスタ 85	IPR85	00h	0008 7385h	8
割り込み要因プライオリティレジスタ 86	IPR86	00h	0008 7386h	8
割り込み要因プライオリティレジスタ 88	IPR88	00h	0008 7388h	8
割り込み要因プライオリティレジスタ 89	IPR89	00h	0008 7389h	8

表 10.3 割り込みコントローラのレジスタ一覧 (8 / 8)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み要因プライオリティレジスタ 8A	IPR8A	00h	0008 738Ah	8
割り込み要因プライオリティレジスタ 8B	IPR8B	00h	0008 738Bh	8
割り込み要因プライオリティレジスタ 8C	IPR8C	00h	0008 738Ch	8
割り込み要因プライオリティレジスタ 8D	IPR8D	00h	0008 738Dh	8
割り込み要因プライオリティレジスタ 8E	IPR8E	00h	0008 738Eh	8
割り込み要因プライオリティレジスタ 8F	IPR8F	00h	0008 738Fh	8
高速割り込み設定レジスタ	FIR	0000h	0008 73F0h	16
IRQ検出許可レジスタ 0	IRQER0	00h	0008 C300h	8
IRQ検出許可レジスタ 1	IRQER1	00h	0008 C301h	8
IRQ検出許可レジスタ 2	IRQER2	00h	0008 C302h	8
IRQ検出許可レジスタ 3	IRQER3	00h	0008 C303h	8
IRQ検出許可レジスタ 4	IRQER4	00h	0008 C304h	8
IRQ検出許可レジスタ 5	IRQER5	00h	0008 C305h	8
IRQ検出許可レジスタ 6	IRQER6	00h	0008 C306h	8
IRQ検出許可レジスタ 7	IRQER7	00h	0008 C307h	8
IRQ検出許可レジスタ 8	IRQER8	00h	0008 C308h	8
IRQ検出許可レジスタ 9	IRQER9	00h	0008 C309h	8
IRQ検出許可レジスタ 10	IRQER10	00h	0008 C30Ah	8
IRQ検出許可レジスタ 11	IRQER11	00h	0008 C30Bh	8
IRQ検出許可レジスタ 12	IRQER12	00h	0008 C30Ch	8
IRQ検出許可レジスタ 13	IRQER13	00h	0008 C30Dh	8
IRQ検出許可レジスタ 14	IRQER14	00h	0008 C30Eh	8
IRQ検出許可レジスタ 15	IRQER15	00h	0008 C30Fh	8
IRQコントロールレジスタ 0	IRQCR0	00h	0008 C320h	8
IRQコントロールレジスタ 1	IRQCR1	00h	0008 C321h	8
IRQコントロールレジスタ 2	IRQCR2	00h	0008 C322h	8
IRQコントロールレジスタ 3	IRQCR3	00h	0008 C323h	8
IRQコントロールレジスタ 4	IRQCR4	00h	0008 C324h	8
IRQコントロールレジスタ 5	IRQCR5	00h	0008 C325h	8
IRQコントロールレジスタ 6	IRQCR6	00h	0008 C326h	8
IRQコントロールレジスタ 7	IRQCR7	00h	0008 C327h	8
IRQコントロールレジスタ 8	IRQCR8	00h	0008 C328h	8
IRQコントロールレジスタ 9	IRQCR9	00h	0008 C329h	8
IRQコントロールレジスタ 10	IRQCR10	00h	0008 C32Ah	8
IRQコントロールレジスタ 11	IRQCR11	00h	0008 C32Bh	8
IRQコントロールレジスタ 12	IRQCR12	00h	0008 C32Ch	8
IRQコントロールレジスタ 13	IRQCR13	00h	0008 C32Dh	8
IRQコントロールレジスタ 14	IRQCR14	00h	0008 C32Eh	8
IRQコントロールレジスタ 15	IRQCR15	00h	0008 C32Fh	8
ソフトウェアスタンバイ解除IRQイネーブルレジスタ	SSIER	0000h	0008 C340h	16
ノンマスクابل割り込み許可レジスタ	NMIER	00h	0008 C350h	8
NMI端子割り込みコントロールレジスタ	NMICR	00h	0008 C351h	8
ノンマスクابل割り込みステータスレジスタ	NMISR	00h	0008 C352h	8
ノンマスクابل割り込みクリアレジスタ	NMICLR	00h	0008 C353h	8

10.2.1 割り込み要求レジスタ i (IRi) (i= 割り込みベクタ番号)

アドレス 0008 7010h ~ 0008 70FDh



ビット	シンボル	ビット名	機能	R/W
b0	IR	割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R(/W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. エッジ検出要因の場合、フラグをクリアするための“0”書き込みのみ可能です。
“1”書き込みは、「10.7.3 通信機能(SCI、RIIC)によるDMAC/DTC 転送の注意事項」の条件でのみ可能です。
レベル検出要因の場合、書き込みはできません。

IRi レジスタは、割り込み要求のステータスレジスタです。

IRi レジスタは、割り込み要因ごとに存在し、iは割り込みベクタ番号に対応しています。

割り込み要因と割り込みベクタ番号の対応は、「表 10.4 割り込みのベクタテーブル」を参照してください。

IR フラグ (割り込みステータスフラグ)

割り込み要求のステータスフラグです。

“1”のとき、IERi.IENj ビットで割り込みが許可されていると、ISELRi.ISEL[1:0] ビットで設定した割り込み要求先に割り込み要求を出力します。

割り込み要求発生元で割り込みを検出すると“1”になります。割り込みを検出するためには、周辺機能モジュールの割り込み許可ビットで割り込みの出力を許可、または IRQn 端子の IRQERn.IRQEN ビットで外部割り込みの検出を許可する必要があります。

割り込みの検出方法には、エッジ検出とレベル検出があります。詳細は「10.4.2 割り込みステータスフラグ」を参照してください。

●周辺機能割り込み (IR064 ~ IR079 以外)

エッジ検出の場合

[“1”になる条件]

” 割り込み要求が発生したとき

[“0”になる条件]

” “0”を書いたとき

ただし、割り込み要求先をDTCまたはDMACに設定している場合、IRフラグへの“0”書き込みは禁止です。

” ISELRi.ISEL[1:0] ビットが“00b”の状態、CPUが例外処理を実行したとき

” ISELRi.ISEL[1:0] ビットが“01b”かつDTCのMRB.DISEL ビットが“0”の状態、DTCが起動したとき

” ISELRi.ISEL[1:0] ビットが“10b”の状態、DMACが起動したとき

レベル検出の場合

[“1”になる条件]

” 割り込み要求が発生したとき

[“0”になる条件]

- " 割り込み要求元のステータスフラグを“0”にしたとき
- " 割り込み要求元の割り込み許可ビットで割り込み要求の出力を禁止にしたとき

●外部割り込み (IR064~IR079)

エッジ検出の場合 (IRQCRn.IRQMD[1:0] ビット = 01b/10b/11b)

[“1”になる条件]

- " 割り込み要求が発生したとき

[“0”になる条件]

- " “0”を書いたとき
- " ISELri.ISEL[1:0] ビットが“00b”の状態、CPUが例外処理を実行したとき
- " ISELri.ISEL[1:0] ビットが“01b”かつDTCのMRB.DISELビットが“0”の状態、DTCが起動したとき
- " ISELri.ISEL[1:0] ビットが“10b”の状態、DMACが起動したとき

レベル検出の場合 (IRQCRn.IRQMD[1:0] ビット = 00b)

[“1”になる条件]

- " 割り込み要求が発生したとき

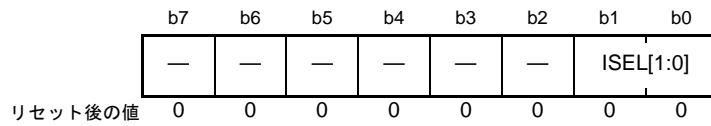
[“0”になる条件]

- " IRQn端子がHighの状態、“0”を書いたとき (注1、注2)
- " IRQn端子のIRQERn.IRQENビットを“0” (割り込みの検出を禁止) にしたとき

- 注1. 外部割り込みがレベル検出のときのクリア方法の詳細は、「10.4.2.2 レベル検出の割り込みステータスフラグ」を参照してください。
- 注2. IRQn端子がLowの状態にしないでください。IRQn端子がLowの状態にすると、IRフラグは“0”になり割り込み要求が取り下げられ、PCLKの2クロック後、再度“1”になって割り込み要求が発生します。

10.2.2 割り込み要求先設定レジスタ i (ISEL_{Ri}) (i= 割り込みベクタ番号)

アドレス 0008 711Ch~0008 71FDh



ビット	シンボル	ビット名	機能	R/W
b1-b0	ISEL[1:0]	割り込み伝達先設定ビット	b1 b0 0 0 : CPUへ要求 0 1 : DTCを起動しデータ転送完了後、CPUへ要求 (注1) 1 0 : DMAC起動 1 1 : DMAC起動後、CPUへ要求 (注1)	R/W (注2)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. DTCのデータ転送完了後、あるいはDMAC起動後、ISEL[1:0]ビットの値は自動的に“00b”に変更されます。詳細は「10.4.3 割り込み要求先の選択」を参照してください。

注2. 割り込み要求先にDMACが選択可能でない要因のレジスタは、下位1ビットが有効で上位7ビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ISEL_{Ri} レジスタは、割り込み要求先の設定を行うレジスタです。

ISEL[1:0] ビット (割り込み伝達先設定ビット)

割り込み要求先を設定するビットです。

IER_i.IEN_j ビットで割り込みを禁止にしてから設定してください。

ISEL[1:0] ビットで設定できる割り込み要求先は、割り込み要因ごとに決められています。割り込み要求先と割り込み要因の対応は、「表 10.4 割り込みのベクタテーブル」を参照してください。

IR_i.IR フラグが“1”のとき、IER_i.IEN_j ビットで割り込みが許可されていると、ISEL[1:0] ビットに設定した要求先に割り込み要求を出力します。詳細は「10.4.3 割り込み要求先の選択」を参照してください。

10.2.3 割り込み要求許可レジスタ i (IERi) (i=02h ~ 1Fh)

アドレス 0008 7202h ~ 0008 721Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W (注1)
b0	IEN0	割り込み許可ビット0	0 : 割り込み禁止 1 : 割り込み許可	R/W
b1	IEN1	割り込み許可ビット1		R/W
b2	IEN2	割り込み許可ビット2		R/W
b3	IEN3	割り込み許可ビット3		R/W
b4	IEN4	割り込み許可ビット4		R/W
b5	IEN5	割り込み許可ビット5		R/W
b6	IEN6	割り込み許可ビット6		R/W
b7	IEN7	割り込み許可ビット7		R/W

注1. 予約となっている割り込み要因に対応するビットへの書き込みは“0”としてください。読むと“0”が読めます。

IERm レジスタは、CPU への割り込み要求、および DMAC/DTC 起動要求の許可 / 禁止を設定するレジスタです。

IENj ビット (割り込み許可ビット) (j = 0 ~ 7)

割り込み許可ビットは、割り込み要因ごとに存在します。割り込み要因と割り込み許可ビットの対応は、「表 10.4 割り込みのベクタテーブル」を参照してください。

“1” のとき割り込みが許可されます。“0” のとき割り込みが禁止されます。

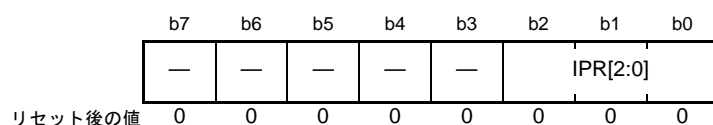
IRi.IR フラグは、IENj ビットの影響を受けません。IENj ビットが“0”であっても、「10.2.1 割り込み要求レジスタ i (IRi) (i= 割り込みベクタ番号)」に示す条件で IR フラグは変化します。

割り込み要因と IERm.IENj ビットの対応は、「表 10.4 割り込みのベクタテーブル」を参照してください。

割り込み要求先の選択における IERm.IENj ビットの設定手順は、「10.4.3 割り込み要求先の選択」を参照してください。

10.2.4 割り込み要因プライオリティレジスタ i (IPRi) (i=00h~8Fh)

アドレス 0008 7300h~0008 738Fh



ビット	シンボル	ビット名	機能	R/W
b2-b0	IPR[2:0]	割り込み優先レベル設定ビット	b2 b0 0 0 0 : レベル0 (割り込み禁止) 0 0 1 : レベル1 0 1 0 : レベル2 0 1 1 : レベル3 1 0 0 : レベル4 1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7 (最高)	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IPRi レジスタは、割り込みの優先順位を設定するレジスタです。

割り込みのグループごとにレジスタが存在しており、i は 00 から 8F (16 進数表現) の通し番号です。

割り込みとグループの対応は、「表 10.4 割り込みのベクタテーブル」を参照してください。

IPR[2:0] ビット (割り込み優先レベル設定ビット)

割り込み要求の優先レベルを選択するビットです。

IPR[2:0] ビットで選択した優先レベルは、CPU への割り込み要求の優先順位判定にのみ参照され、DTC や DMAC の転送要求には影響を与えません。

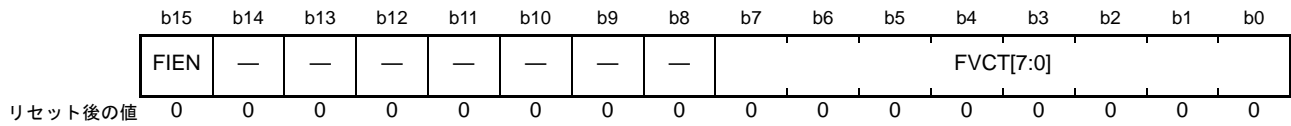
CPU は、PSW.IPL[2:0] ビットが示すレベルより高いレベルの割り込み要求のみを受け付け、割り込み処理を行います。

複数の割り込み要求が同時に発生した場合、IPR[2:0] ビットの設定値で優先順位比較を行います。同一レベルの割り込み要求が同時に発生した場合には、ベクタ番号の小さい割り込み要求が優先されます。

書き込みは、割り込み要求を禁止 (IERm.IENj ビットが“0”) した状態で行ってください。

10.2.5 高速割り込み設定レジスタ (FIR)

アドレス 0008 73F0h



ビット	シンボル	ビット名	機能	R/W
b7-b0	FVCT[7:0]	高速割り込みベクタ設定ビット	高速割り込みにする割り込みベクタ番号を指定	R/W
b14-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	FIEN	高速割り込み許可ビット	0：高速割り込みを禁止 1：高速割り込みを許可	R/W

FIR レジスタは、高速割り込みの設定をするレジスタです。

高速割り込みにできるのは、CPU への割り込み要求のみです。DTC や DMAC の転送要求には影響を与えません。

書き込みは、割り込み要求を禁止 (IERm.IENj ビットが“0”) した状態で行ってください。

FVCT[7:0] ビット (高速割り込みベクタ設定ビット)

高速割り込みにする割り込みのベクタ番号を指定するビットです。

FIEN ビットが“1”のとき、割り込み要求先が CPU で、かつ FVCT[7:0] ビットで指定したベクタ番号の割り込み要求が発生すると、IPRi レジスタの設定に関係なく、高速割り込みとして CPU に要求を出力します。ただし、高速割り込みをソフトウェアスタンバイモードからの復帰に使用する場合には、「10.6.2 ソフトウェアスタンバイモードからの復帰」を参照してください。

IERi.IENj ビットで割り込み要求が禁止されている割り込み要因は、CPU に割り込み要求が出力されません。

設定できるベクタ番号は、「表 10.4 割り込みのベクタテーブル」を参照してください。

予約のベクタ番号は指定しないでください。

FIEN ビット (高速割り込み許可ビット)

高速割り込みを許可するビットです。

“1”にすることで、FVCT[7:0] ビットに指定したベクタ番号の割り込みが高速割り込みになります。

高速割り込みの詳細は、「9. 例外処理」および、「10.4.5 高速割り込み」を参照してください。

10.2.6 IRQ 検出許可レジスタ n (IRQERn) (n=0 ~ 15)

アドレス 0008 C300h ~ 0008 C30Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IRQEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IRQEN	IRQ 検出許可ビット	0 : IRQn端子による外部割り込みの検出を禁止 1 : IRQn端子による外部割り込みの検出を許可 (n=0 ~ 15)	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

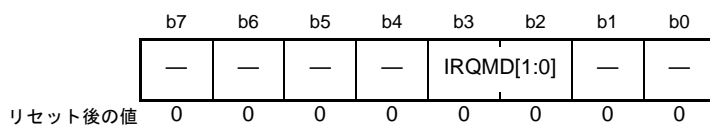
IRQERn レジスタは、IRQn 端子 (n=0 ~ 15) による外部割り込みの検出を許可 / 禁止するレジスタです。

IRQEN ビット (IRQ 許可ビット)

IRQn 端子による外部割り込みの検出を許可 / 禁止します。

10.2.7 IRQ コントロールレジスタ n (IRQCRn) (n=0 ~ 15)

アドレス 0008 C320h ~ 0008 C32Fh



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	IRQMD[1:0]	IRQ検出設定ビット	b3 b2 0 0 : Low 0 1 : 立ち下がリエッジ 1 0 : 立ち上がりエッジ 1 1 : 両エッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IRQCRn レジスタは、外部割り込み端子 IRQn(n=0 ~ 15) の設定を行うレジスタです。

該当する割り込み要求許可ビットが割り込み要求禁止 (IERm.IENj ビットが“0”) の状態で、このレジスタの設定変更を行ってください。レジスタ変更後は IR フラグをクリアし、その後割り込み要求許可ビットを許可に設定してください。

IRQMD[1:0] ビット (IRQ 検出設定ビット)

外部割り込み (IRQ0 ~ IRQ15) の検出方法を設定します。

外部割り込みの検出方法の設定は、「10.4.6 外部割り込み」を参照してください。

10.2.8 ノンマスカブル割り込み許可レジスタ (NMIER)

アドレス 0008 C350h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	NMIEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIEN	NMI許可ビット	0 : NMI端子割り込み禁止 1 : NMI端子割り込み許可	R(/W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 一度だけ“1”を書くことができます、以後のライトアクセスは無効です。

NMIER レジスタは、ノンマスカブル割り込みの使用を許可するためのレジスタです。

NMIEN ビット (NMI 許可ビット)

NMI 端子割り込みの使用を許可するビットです。

一度だけ“1”を書くことができます。以後のライトアクセスは無効です。

“0”を書くことはできません。一度許可した NMI 端子割り込みを禁止することはできません。

10.2.9 NMI 端子割り込みコントロールレジスタ (NMICR)

アドレス 0008 C351h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	NMIMD	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	NMIMD	NMI検出設定ビット	0 : 立ち下がりエッジ 1 : 立ち上がりエッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMICR レジスタは、NMI 端子割り込みの設定を行うレジスタです。

設定変更は、NMI 端子割り込みの使用を許可 (NMIER.NMIEN ビットを“1”) する前に行ってください。

NMIMD ビット (NMI 検出設定ビット)

NMI 端子割り込みの検出方法を設定します。

10.2.10 ノンマスクابل割り込みステータスレジスタ (NMISR)

アドレス 0008 C352h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	NMIST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIST	NMIステータスフラグ	0 : NMI端子割り込み要求なし 1 : NMI端子割り込み要求あり	R
b7-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

NMISR レジスタは、ノンマスクابل割り込みのステータスレジスタです。

NMISR.NMIST フラグを“0”にするためには、NMICLR.NMICLR ビットに“1”を書いてください。

その後、NMISR.NMIST フラグが“0”になったことを確認してから、次の命令を実行してください。

NMIST フラグ (NMI ステータスフラグ)

NMI 端子割り込み要求を示します。

NMIST フラグは読み出しのみ可能で、“0”にするには NMICLR.NMICLR ビットを使用します。

[“1”になる条件]

- ” NMIER.NMIEN ビットを“1”(NMI 端子割り込み許可)にして、NMI 端子に NMICR.NMIMD ビットで選択したエッジが入力されると“1”になります。

[“0”になる条件]

- ” NMICLR.NMICLR ビットに“1”を書く。

10.2.11 ノンマスカブル割り込みクリアレジスタ (NMICLR)

アドレス 0008 C353h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	NMICLR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMICLR	NMIクリアビット	読むと“0”が読めます。“1”を書くと、NMISR.NMISTフラグを“0”にします。“0”を書いても無効です	R(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”のみ書けます。

NMICLR レジスタは、ノンマスカブル割り込みステータスレジスタ (NMISR) を“00h”にするレジスタです。

NMICLR ビット (NMI クリアビット)

“1”を書くと、NMISR.NMIST フラグは“0”になります。“1”の状態は保持されません。

読むと、常に“0”が読めます。

10.2.12 ソフトウェアスタンバイ解除 IRQ イネーブル レジスタ (SSIER)

アドレス 0008 C340h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSI15	SSI14	SSI13	SSI12	SSI11	SSI10	SSI9	SSI8	SSI7	SSI6	SSI5	SSI4	SSI3	SSI2	SSI1	SSI0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSI0	ソフトウェアスタンバイ解除 IRQ設定ビット	0: IRQn端子による外部割り込み要因は、ソフトウェアスタンバイ状態ではサンプリングされない 1: ソフトウェアスタンバイ状態でIRQi端子による外部割り込みが発生すると、発振安定時間を経てソフトウェアスタンバイ状態から復帰 (n=0~15)	R/W
b1	SSI1			R/W
b2	SSI2			R/W
b3	SSI3			R/W
b4	SSI4			R/W
b5	SSI5			R/W
b6	SSI6			R/W
b7	SSI7			R/W
b8	SSI8			R/W
b9	SSI9			R/W
b10	SSI10			R/W
b11	SSI11			R/W
b12	SSI12			R/W
b13	SSI13			R/W
b14	SSI14			R/W
b15	SSI15			R/W

SSIER レジスタは、ソフトウェアスタンバイ状態からの復帰要因に IRQn(n=0~15) 端子を使用する/しないの選択を行うレジスタです。

SSIj ビット (j=0~15) (ソフトウェアスタンバイ解除 IRQ 設定ビット)

ビット番号に対応する IRQn 端子をソフトウェアスタンバイ状態からの復帰に使用するか否かを設定します。

ソフトウェアスタンバイ状態から復帰するための設定については、「10.6.2 ソフトウェアスタンバイモードからの復帰」を参照してください。

10.3 ベクタテーブル

割り込みコントローラで検出する例外には、割り込みとノンマスクابل割り込みがあります。CPU が割り込み、またはノンマスクابل割り込みを受け付けた場合、ベクタテーブルから 4 バイトのベクタアドレスを取得します。

10.3.1 割り込みのベクタテーブル

割り込みのベクタテーブルは、CPU の割り込みテーブルレジスタ (INTB) に設定した番地から、1,024 バイト (4 バイト × 256 要因分) の領域に連続して配置されます。INTB レジスタは割り込みを許可する前に設定してください。INTB レジスタに 4 の倍数を設定すると割り込み例外処理の実行速度が速くなります。

表 10.4 に割り込みのベクタテーブルを示します。Sstb 復帰とはソフトウェア (S/W) スタンバイモードからの復帰、Sacs 復帰とは全モジュールクロックストップモードからの復帰を意味します。

表 10.4 割り込みのベクタテーブル (1 / 6)

優先 順位	割り込み 要求発生元	名称	ベクタ 番号	ベクタアドレス オフセット	割り込みの 検出方法	選択可能な割り込み要求先					IER	IPR
						CPU	DTC	DMAC	Sstb 復帰	Sacs 復帰		
高 ↑	—	予約	0	0000h	—	x	x	x	x	x	—	—
		予約	1	0004h	—	x	x	x	x	x	—	—
		予約	2	0008h	—	x	x	x	x	x	—	—
		予約	3	000Ch	—	x	x	x	x	x	—	—
		予約	4	0010h	—	x	x	x	x	x	—	—
		予約	5	0014h	—	x	x	x	x	x	—	—
		予約	6	0018h	—	x	x	x	x	x	—	—
		予約	7	001Ch	—	x	x	x	x	x	—	—
		予約	8	0020h	—	x	x	x	x	x	—	—
		予約	9~15	0024h~003Ch	—	x	x	x	x	x	—	—
	バスエラー	BUSERR	16	0040h	レベル	○	x	x	x	x	IER02.IEN0	IPR00
—	予約		17	0044h	—	x	x	x	x	x	IER02.IEN1	
			18	0048h	—	x	x	x	x	x	IER02.IEN2	
			19	004Ch	—	x	x	x	x	x	IER02.IEN3	
			20	0050h	—	x	x	x	x	x	IER02.IEN4	
FCU	FIFERR		21	0054h	レベル	○	x	x	x	x	IER02.IEN5	IPR01
		予約	22	0058h	—	x	x	x	x	x	IER02.IEN6	—
		FRDYI	23	005Ch	エッジ	○	x	x	x	x	IER02.IEN7	IPR02
—	予約		24	0060h	—	x	x	x	x	x	IER03.IEN0	—
			25	0064h	—	x	x	x	x	x	IER03.IEN1	—
			25	0068h	—	x	x	x	x	x	IER03.IEN2	—
			27	006Ch	—	x	x	x	x	x	IER03.IEN3	—
CMT	CMIO		28	0070h	エッジ	○	○	○	x	x	IER03.IEN4	IPR04
		ユニット 0	CMI1	29	0074h	エッジ	○	○	○	x	x	IER03.IEN5
CMT	CMI2		30	0078h	エッジ	○	○	○	x	x	IER03.IEN6	IPR06
		ユニット 1	CMI3	31	007Ch	エッジ	○	○	○	x	x	IER03.IEN7
低	—	予約	32~63	0080h~00FCh	—	x	x	x	x	x	—	—

表 10.4 割り込みのベクタテーブル (2 / 6)

優先 順位	割り込み 要求発生元	名称	ベクタ 番号	ベクタアドレス オフセット	割り込みの 検出方法	選択可能な割り込み要求先					IER	IPR
						CPU	DTC	DMAC	Sstb 復帰	Sacs 復帰		
↑ 高	外部端子	IRQ0	64	0100h	エッジ/レベル	○	○	○	○	○	IER08.IEN0	IPR20
		IRQ1	65	0104h	エッジ/レベル	○	○	○	○	○	IER08.IEN1	IPR21
		IRQ2	66	0108h	エッジ/レベル	○	○	○	○	○	IER08.IEN2	IPR22
		IRQ3	67	010Ch	エッジ/レベル	○	○	○	○	○	IER08.IEN3	IPR23
		IRQ4	68	0110h	エッジ/レベル	○	○	×	○	○	IER08.IEN4	IPR24
		IRQ5	69	0114h	エッジ/レベル	○	○	×	○	○	IER08.IEN5	IPR25
		IRQ6	70	0118h	エッジ/レベル	○	○	×	○	○	IER08.IEN6	IPR26
		IRQ7	71	011Ch	エッジ/レベル	○	○	×	○	○	IER08.IEN7	IPR27
		IRQ8	72	0120h	エッジ/レベル	○	○	×	○	○	IER09.IEN0	IPR28
		IRQ9	73	0124h	エッジ/レベル	○	○	×	○	○	IER09.IEN1	IPR29
		IRQ10	74	0128h	エッジ/レベル	○	○	×	○	○	IER09.IEN2	IPR2A
		IRQ11	75	012Ch	エッジ/レベル	○	○	×	○	○	IER09.IEN3	IPR2B
		IRQ12	76	0130h	エッジ/レベル	○	○	×	○	○	IER09.IEN4	IPR2C
		IRQ13	77	0134h	エッジ/レベル	○	○	×	○	○	IER09.IEN5	IPR2D
		IRQ14	78	0138h	エッジ/レベル	○	○	×	○	○	IER09.IEN6	IPR2E
		IRQ15	79	013Ch	エッジ/レベル	○	○	×	○	○	IER09.IEN7	IPR2F
—	予約	80~95	0140h~017Ch	—	×	×	×	×	×	—	—	
WDT	WOVI	96	0180h	エッジ	○	×	×	×	○	IER0C.IEN0	IPR40	
	予約	97	0184h	—	×	×	×	×	×	IER0C.IEN1	—	
AD0	ADI0	98	0188h	エッジ	○	○	○	×	×	IER0C.IEN2	IPR44	
AD1	ADI1	99	018Ch	エッジ	○	○	○	×	×	IER0C.IEN3	IPR45	
AD2	ADI2	100	0190h	エッジ	○	○	○	×	×	IER0C.IEN4	IPR46	
AD3	ADI3	101	0194h	エッジ	○	○	○	×	×	IER0C.IEN5	IPR47	
—	予約	102	0198h	—	×	×	×	×	×	IER0C.IEN6	—	
	予約	103	019Ch	—	×	×	×	×	×	IER0C.IEN7	—	
TPU0	TGI0A	104	01A0h	エッジ	○	○	○	×	×	IER0D.IEN0	IPR4C	
	TGI0B	105	01A4h	エッジ	○	○	×	×	×	IER0D.IEN1		
	TGI0C	106	01A8h	エッジ	○	○	×	×	×	IER0D.IEN2		
	TGI0D	107	01ACh	エッジ	○	○	×	×	×	IER0D.IEN3		
	TCI0V	108	01B0h	エッジ	○	×	×	×	×	IER0D.IEN4	IPR4D	
	予約	109	01B4h	—	×	×	×	×	×	IER0D.IEN5	—	
	予約	110	01B8h	—	×	×	×	×	×	IER0D.IEN6	—	
TPU1	TGI1A	111	01BCh	エッジ	○	○	○	×	×	IER0D.IEN7	IPR4E	
	TGI1B	112	01C0h	エッジ	○	○	×	×	×	IER0E.IEN0		
	予約	113	01C4h	—	×	×	×	×	×	IER0E.IEN1	—	
	予約	114	01C8h	—	×	×	×	×	×	IER0E.IEN2	—	
	TCI1V	115	01CCh	エッジ	○	×	×	×	×	IER0E.IEN3	IPR4F	
	TCI1U	116	01D0h	エッジ	○	×	×	×	×	IER0E.IEN4		
↓ 低												

表 10.4 割り込みのベクタテーブル (3 / 6)

優先順位	割り込み要求発生元	名称	ベクタ番号	ベクタアドレスオフセット	割り込みの検出方法	選択可能な割り込み要求先					IER	IPR
						CPU	DTC	DMAC	Sstb復帰	Sacs復帰		
高 ↑	TPU2	TGI2A	117	01D4h	エッジ	○	○	○	×	×	IER0E.IEN5	IPR50
		TGI2B	118	01D8h	エッジ	○	○	×	×	×	IER0E.IEN6	
		予約	119	01DCh	—	×	×	×	×	×	IER0E.IEN7	—
		TCI2V	120	01E0h	エッジ	○	×	×	×	×	IER0F.IEN0	IPR51
		TCI2U	121	01E4h	エッジ	○	×	×	×	×	IER0F.IEN1	
	TPU3	TGI3A	122	01E8h	エッジ	○	○	○	×	×	IER0F.IEN2	IPR52
		TGI3B	123	01ECh	エッジ	○	○	×	×	×	IER0F.IEN3	
		TGI3C	124	01F0h	エッジ	○	○	×	×	×	IER0F.IEN4	
		TGI3D	125	01F4h	エッジ	○	○	×	×	×	IER0F.IEN5	
		TCI3V	126	01F8h	エッジ	○	×	×	×	×	IER0F.IEN6	IPR53
	TPU4	TGI4A	127	01FCh	エッジ	○	○	○	×	×	IER0F.IEN7	IPR54
		TGI4B	128	0200h	エッジ	○	○	×	×	×	IER10.IEN0	
		予約	129	0204h	—	×	×	×	×	×	IER10.IEN1	—
		予約	130	0208h	—	×	×	×	×	×	IER10.IEN2	—
		TCI4V	131	020Ch	エッジ	○	×	×	×	×	IER10.IEN3	IPR55
		TCI4U	132	0210h	エッジ	○	×	×	×	×	IER10.IEN4	
	TPU5	TGI5A	133	0214h	エッジ	○	○	○	×	×	IER10.IEN5	IPR56
		TGI5B	134	0218h	エッジ	○	○	×	×	×	IER10.IEN6	
		予約	135	021Ch	—	×	×	×	×	×	IER10.IEN7	—
		TCI5V	136	0220h	エッジ	○	×	×	×	×	IER11.IEN0	IPR57
TCI5U		137	0224h	エッジ	○	×	×	×	×	IER11.IEN1		
TPU6	TGI6A	138	0228h	エッジ	○	○	○	×	×	IER11.IEN2	IPR58	
	TGI6B	139	022Ch	エッジ	○	○	×	×	×	IER11.IEN3		
	TGI6C	140	0230h	エッジ	○	○	×	×	×	IER11.IEN4		
	TGI6D	141	0234h	エッジ	○	○	×	×	×	IER11.IEN5		
	TCI6V	142	0238h	エッジ	○	×	×	×	×	IER11.IEN6	IPR59	
	予約	143	023Ch	—	×	×	×	×	×	IER11.IEN7	—	
	予約	144	0240h	—	×	×	×	×	×	IER12.IEN0	—	
TPU7	TGI7A	145	0244h	エッジ	○	○	○	×	×	IER12.IEN1	IPR5A	
	TGI7B	146	0248h	エッジ	○	○	×	×	×	IER12.IEN2		
	予約	147	024Ch	—	×	×	×	×	×	IER12.IEN3	—	
	予約	148	0250h	—	×	×	×	×	×	IER12.IEN4	—	
	TCI7V	149	0254h	エッジ	○	×	×	×	×	IER12.IEN5	IPR5B	
	TCI7U	150	0258h	エッジ	○	×	×	×	×	IER12.IEN6		
TPU8	TGI8A	151	025Ch	エッジ	○	○	○	×	×	IER12.IEN7	IPR5C	
	TGI8B	152	0260h	エッジ	○	○	×	×	×	IER13.IEN0		
	予約	153	0264h	—	×	×	×	×	×	IER13.IEN1	—	
	TCI8V	154	0268h	エッジ	○	×	×	×	×	IER13.IEN2	IPR5D	
	TCI8U	155	026Ch	エッジ	○	×	×	×	×	IER13.IEN3		
TPU9	TGI9A	156	0270h	エッジ	○	○	○	×	×	IER13.IEN4	IPR5E	
	TGI9B	157	0274h	エッジ	○	○	×	×	×	IER13.IEN5		
	TGI9C	158	0278h	エッジ	○	○	×	×	×	IER13.IEN6		
	TGI9D	159	027Ch	エッジ	○	○	×	×	×	IER13.IEN7		
	TCI9V	160	0280h	エッジ	○	×	×	×	×	IER14.IEN0		IPR5F
低												

表 10.4 割り込みのベクタテーブル (5 / 6)

優先順位	割り込み要求発生元	名称	ベクタ番号	ベクタアドレスオフセット	割り込みの検出方法	選択可能な割り込み要求先					IER	IPR
						CPU	DTC	DMAC	Sstb復帰	Sacs復帰		
高 ↑	-	予約	202	0328h	-	x	x	x	x	x	IER19.IEN2	-
		予約	203	032C	-	x	x	x	x	x	IER19.IEN3	-
		予約	204	0330h	-	x	x	x	x	x	IER19.IEN4	-
		予約	205	0334h	-	x	x	x	x	x	IER19.IEN5	-
		予約	206	0338h	-	x	x	x	x	x	IER19.IEN6	-
		予約	207	033Ch	-	x	x	x	x	x	IER19.IEN7	-
		予約	208	0340h	-	x	x	x	x	x	IER1A.IEN0	-
		予約	209	0344h	-	x	x	x	x	x	IER1A.IEN1	-
		予約	210	0348h	-	x	x	x	x	x	IER1A.IEN2	-
		予約	211	034Ch	-	x	x	x	x	x	IER1A.IEN3	-
		予約	212	0350h	-	x	x	x	x	x	IER1A.IEN4	-
		予約	213	0354h	-	x	x	x	x	x	IER1A.IEN5	-
		SCI0	ERI0	214	0358h	レベル	○	x	x	x	x	IER1A.IEN6
RXI0	215		035Ch	エッジ	○	○	○	x	x	IER1A.IEN7		
TXI0	216		0360h	エッジ	○	○	○	x	x	IER1B.IEN0		
TEI0	217		0364h	レベル	○	x	x	x	x	IER1B.IEN1		
SCI1	ERI1	218	0368h	レベル	○	x	x	x	x	IER1B.IEN2	IPR81	
	RXI1	219	036Ch	エッジ	○	○	○	x	x	IER1B.IEN3		
	TXI1	220	0370h	エッジ	○	○	○	x	x	IER1B.IEN4		
	TEI1	221	0374h	レベル	○	x	x	x	x	IER1B.IEN5		
SCI2	ERI2	222	0378h	レベル	○	x	x	x	x	IER1B.IEN6	IPR82	
	RXI2	223	037Ch	エッジ	○	○	○	x	x	IER1B.IEN7		
	TXI2	224	0380h	エッジ	○	○	○	x	x	IER1C.IEN0		
	TEI2	225	0384h	レベル	○	x	x	x	x	IER1C.IEN1		
SCI3	ERI3	226	0388h	レベル	○	x	x	x	x	IER1C.IEN2	IPR83	
	RXI3	227	038Ch	エッジ	○	○	○	x	x	IER1C.IEN3		
	TXI3	228	0390h	エッジ	○	○	○	x	x	IER1C.IEN4		
	TEI3	229	0394h	レベル	○	x	x	x	x	IER1C.IEN5		
SCI4	ERI4	230	0398h	レベル	○	x	x	x	x	IER1C.IEN6	IPR84	
	RXI4	231	039Ch	エッジ	○	○	○	x	x	IER1C.IEN7		
	TXI4	232	03A0h	エッジ	○	○	○	x	x	IER1D.IEN0		
	TEI4	233	03A4h	レベル	○	x	x	x	x	IER1D.IEN1		
SCI5	ERI5	234	03A8h	レベル	○	x	x	x	x	IER1D.IEN2	IPR85	
	RXI5	235	03ACh	エッジ	○	○	○	x	x	IER1D.IEN3		
	TXI5	236	03B0h	エッジ	○	○	○	x	x	IER1D.IEN4		
	TEI5	237	03B4h	レベル	○	x	x	x	x	IER1D.IEN5		
SCI6	ERI6	238	03B8h	レベル	○	x	x	x	x	IER1D.IEN6	IPR86	
	RXI6	239	03BCh	エッジ	○	○	○	x	x	IER1D.IEN7		
	TXI6	240	03C0h	エッジ	○	○	○	x	x	IER1E.IEN0		
	TEI6	241	03C4h	レベル	○	x	x	x	x	IER1E.IEN1		
低 ↓	-	予約	242	03C8h7	-	x	x	x	x	x	IER1E.IEN2	-
		予約	243	03CCh	-	x	x	x	x	x	IER1E.IEN3	-
		予約	244	03CDh	-	x	x	x	x	x	IER1E.IEN4	-
		予約	245	03D4h	-	x	x	x	x	x	IER1E.IEN5	-

表 10.4 割り込みのベクタテーブル (6 / 6)

優先 順位	割り込み 要求発生元	名称	ベクタ 番号	ベクタアドレス オフセット	割り込みの 検出方法	選択可能な割り込み要求先					IER	IPR
						CPU	DTC	DMAC	Sstb 復帰	Sacs 復帰		
高 ↑ 低	RIIC0	ICEE10	246	03D8h	レベル	○	×	×	×	×	IER1E.IEN6	IPR88
		ICRX10	247	03DCh	エッジ	○	○	○	×	×	IER1E.IEN7	IPR89
		ICTX10	248	03E0h	エッジ	○	○	○	×	×	IER1F.IEN0	IPR8A
		ICTE10	249	03E4h	レベル	○	×	×	×	×	IER1F.IEN1	IPR8B
	RIIC1	ICEE11	250	03E8h	レベル	○	×	×	×	×	IER1F.IEN2	IPR8C
		ICRX11	251	03ECh	エッジ	○	○	○	×	×	IER1F.IEN3	IPR8D
		ICTX11	252	03F0h	エッジ	○	○	○	×	×	IER1F.IEN4	IPR8E
		ICTE11	253	03F4h	レベル	○	×	×	×	×	IER1F.IEN5	IPR8F
	—	予約	254	03F8h	—	×	×	×	×	×	IER1F.IEN6	—
	—	予約	255	03FCh	—	×	×	×	×	×	IER1F.IEN7	—

○：選択可能 ×：選択不可

10.3.2 高速割り込みのベクタアドレス

高速割り込みに設定した割り込みのベクタアドレスは、CPU の高速割り込みベクタレジスタ (FINTV) で指定します。

10.3.3 ノンマスクابل割り込みのベクタアドレス

ノンマスクابل割り込みのベクタアドレスは、“FFFF FFF8h” に配置されます。

10.4 動作説明

割り込みコントローラは、割り込みとノンマスクابل割り込みの優先順位を判定し、CPU、DTC、DMAC に対して割り込み要求を出力します。

割り込み要求が発生すると、対応する $IRi.IR$ フラグが“1”になり、割り込み要求が要求先に出力されます。割り込み要求が出力されるためには、 $IERi.IENj$ ビットによって割り込みが許可されている必要があります。同時に複数の $IRi.IR$ フラグが“1”になった場合には、CPU、DTC に対してはそれぞれ最も優先順位の高い要因の割り込み要求を出力します (注1)。

注1. 複数の DMAC 起動要求が同時に発生した場合の優先順位判定は、DMAC が行います。

10.4.1 割り込みの許可 / 禁止

割り込みを許可するためには、以下の設定が必要です。

- ” 周辺機能割り込みの場合、周辺モジュールの割り込み許可ビットで割り込み要求の出力を許可
- ” 外部割り込みの場合、 $IRQERn.IRQEN$ ビットで $IRQn$ 端子による外部割り込みの検出を許可
- ” $IERi.IENj$ ビットによって割り込みを許可

割り込み要求発生元において割り込み要求の出力が許可された状態で割り込み要求が発生すると、対応する $IRi.IR$ フラグが“1”になります。

$IERi.IENj$ ビットで割り込みを許可することで、 $IRi.IR$ フラグが“1”になった割り込み要求が割り込み要求先へ出力されます。また、 $IERi.IENj$ ビットで割り込みを禁止することで、 $IRi.IR$ フラグが“1”になった割り込み要求は保留になります。

$IRi.IR$ フラグは、 $IERi.IENj$ ビットの影響を受けません。

10.4.2 割り込みステータスフラグ

割り込みステータスフラグ ($IRi.IR$ フラグ) は、割り込みを検出し、割り込み要求を保持するフラグです。割り込みの検出方法は、レベル検出とエッジ検出の2種類あります。

周辺モジュールの割り込みは、要求ごとにエッジ検出 / レベル検出が決められています。

$IRQn$ 端子 ($n=0 \sim 15$) の割り込みの検出方法は、 $IRQCRn.IRQMD[1:0]$ ビットの設定によってエッジ検出とレベル検出を切り替えることができます。

割り込み要求と割り込みの検出方法の対応は、「表 10.4 割り込みのベクタテーブル」を参照してください。

10.4.2.1 エッジ検出の割り込みステータスフラグ

周辺機能割り込みと、外部割り込みのエッジ検出時の $IRi.IR$ フラグの動作を図 10.2 に示します。

割り込み要求が発生したときの割り込み信号の変化点で $IRi.IR$ フラグが“1”になり割り込み要求が割り込み要求先に出力されます。割り込み要求先が割り込み要求を受け付けると、 $IRi.IR$ フラグは自動で“0”になります。ソフトウェアで $IRn.IR$ フラグを“0”にする必要はありません。

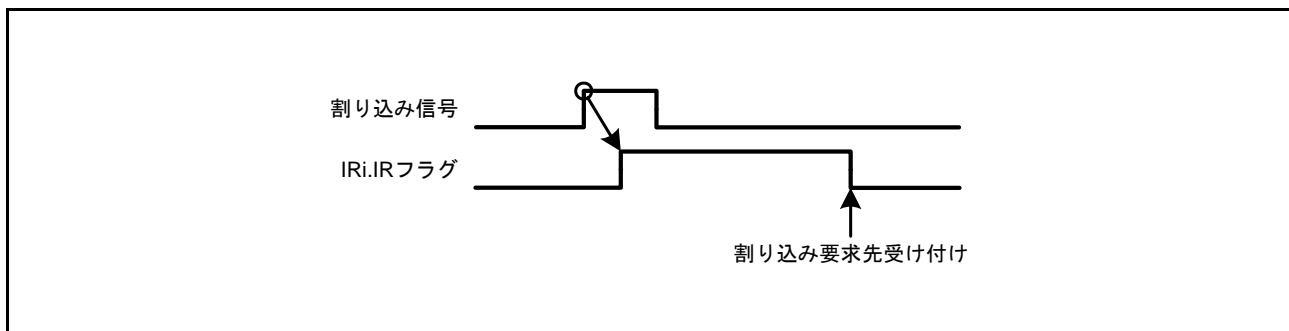


図 10.2 エッジ検出の $IRi.IR$ フラグの動作

割り込み要求が発生し IRI.RR フラグが“1”の状態では、再度発生した割り込み要求は無視されます。IRI.RR フラグが“0”になった後、割り込み要求が発生すると IRI.RR フラグは再び“1”になります。IRI.RR フラグの再セットのタイミングを図 10.3 に示します。

通信機能 (SCI/RIIC) と DTC/DMAC 機能との組み合わせでは、割り込み要求が無視され、転送要求が消失する場合があります。詳細は「10.7.3 通信機能 (SCI, RIIC) による DMAC/DTC 転送の注意事項」を参照してください。

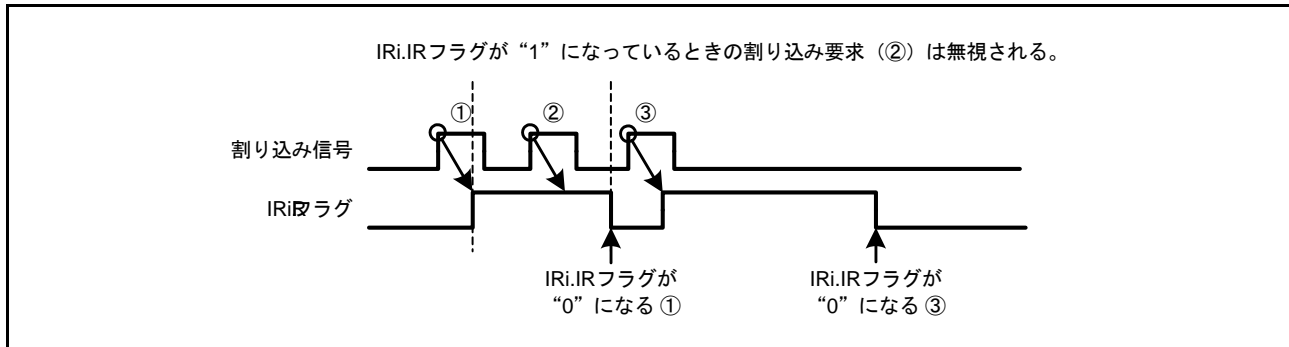


図 10.3 IRI.RR フラグの再セットのタイミング

IRI.RR フラグが“1”になった後、割り込みを禁止 (周辺モジュールの割り込み許可ビットで割り込み要求の出力を禁止、または IRQERn.IRQEN ビットで IRQn 端子による外部割り込みの検出を禁止) にしても IRI.RR フラグは影響を受けず保持されます。割り込みを禁止した場合の動作を図 10.4 に示します。

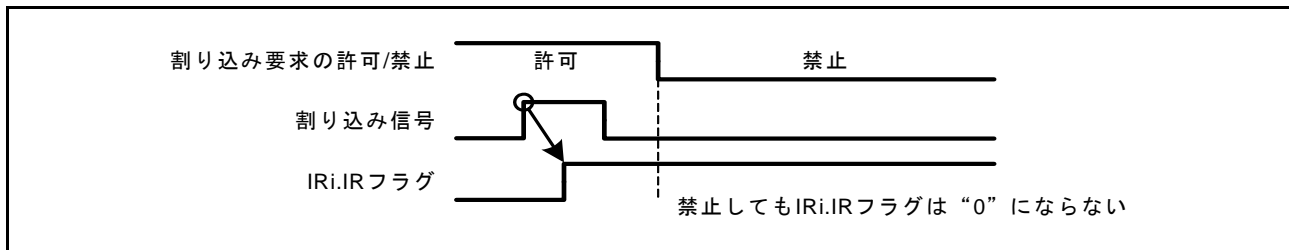


図 10.4 割り込み要求の禁止と IRI.RR フラグの関係

10.4.2.2 レベル検出の割り込みステータスフラグ

周辺機能割り込みと、外部割り込みのレベル検出の各動作を以下に示します。

周辺機能割り込みにおけるレベル検出時の IRI.RR フラグの動作を図 10.5 に示します。

周辺モジュールの割り込みの場合、割り込み要求が発生している間、IRI.RR フラグを“1”にし続けます。IRI.RR フラグを“0”にするためには、ソフトウェアによって割り込み要求発生元のステータスフラグを“0”にするか、割り込み要求発生元の割り込み許可ビットで割り込みを禁止にしてください。また、割り込み要求発生元を“0”にした後、IRI.RR フラグが“0”になったことを確認してから、次の命令を実行してください。

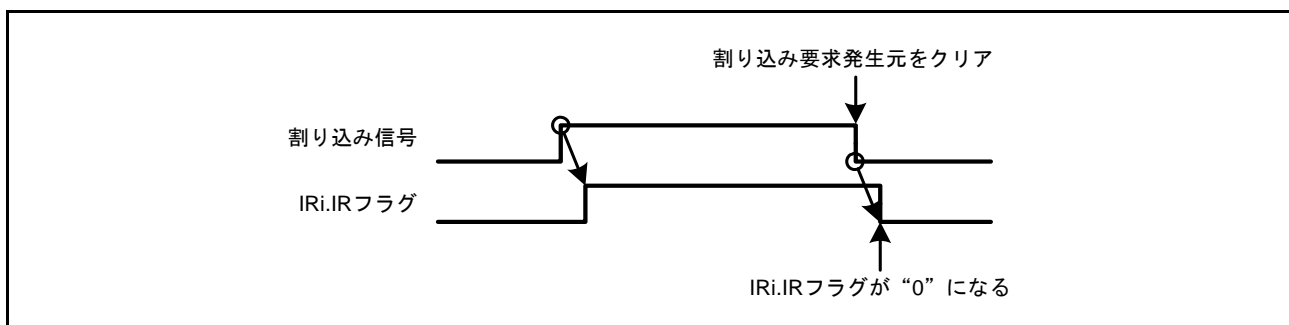


図 10.5 周辺機能割り込みにおけるレベル検出時の IRI.RR フラグの動作

外部割り込みにおけるレベル検出時の IRI_i.IR フラグの動作を図 10.6 に示します。

外部割り込みを IRQCR_n.IRQMD[1:0] ビットで Low 検出に設定した場合、IRQ_n 端子に入力する割り込み要求信号は、当該の割り込み処理が開始されるまで Low を保持するようにしてください。その後、割り込み例外処理ルーチン内で、当該 IRQ_n 端子入力を High に戻し、PCLK の 4 サイクル後に IRI_i.IR フラグを“0”にしてください。たとえば I/O ポートの Pm.PORT.B_j ビットを読んで、当該 IRQ 端子の High の確認を 2 回繰り返すことで PCLK の 4 サイクル以上を確保することができます。

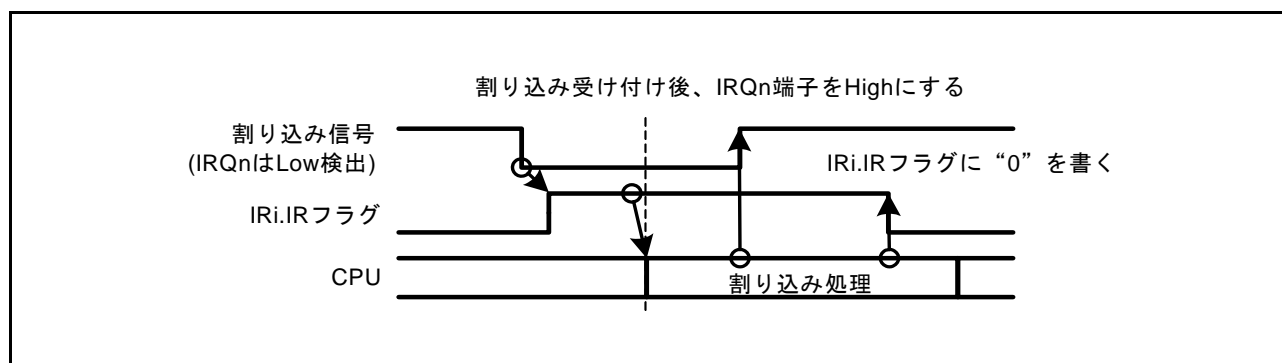


図 10.6 外部割り込みにおけるレベル検出時の IRI_i.IR フラグの動作

IRI_i.IR フラグが“1”になった後、割り込みを禁止 (周辺モジュールの割り込み許可ビットで割り込み要求の出力を禁止、または IRQER_n.IRQEN ビットで IRQ_n 端子による外部割り込みの検出を禁止) にした場合、IRI_i.IR フラグは“0”になります。割り込みを禁止にした場合の動作を図 10.7 に示します。

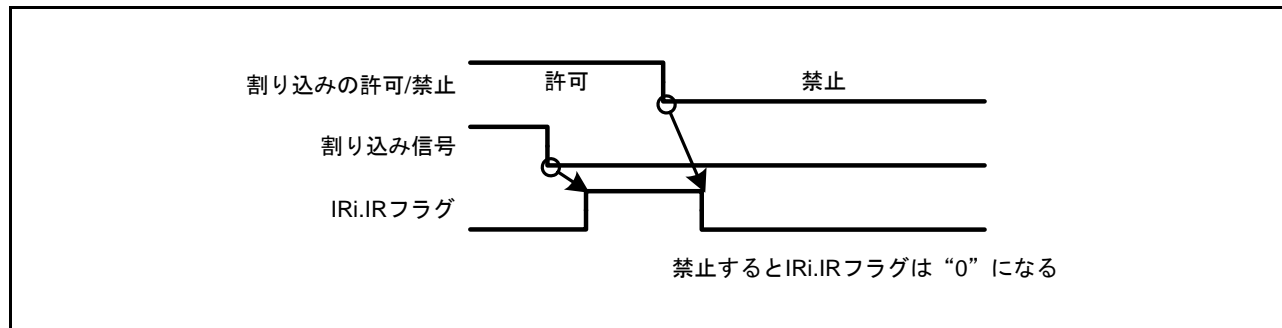


図 10.7 割り込みの禁止と IRI_i.IR フラグの関係

10.4.3 割り込み要求先の選択

DTC および DMAC を起動できる割り込み要因は、要因ごとに割り込み要求先を設定する ISEL_{Ri}.ISEL[1:0] ビットを持っています。割り込み要因ごとに設定できる割り込み要求先が決められており「表 10.4 割り込みのベクタテーブル」に示された要求先が選択できます。記載のない割り込み要求先を選択しないでください。

ISEL_{Ri}.ISEL[1:0] ビットで選択できるのは以下の 4 種類です。

- " CPU に対する割り込み要求
- " DTC を起動しデータ転送完了後、CPU へ割り込み要求
- " DMAC に対する起動要求
- " DMAC の起動後、CPU へ割り込み要求 (DMA のデータ転送終了を待たずに CPU へ割り込みを要求)

DTC および DMAC を起動する場合、割り込みの検出方法はエッジ検出にする必要があります。

周辺機能割り込みの場合、エッジ検出の割り込み要求のみ選択可能です。

外部割り込みの場合、IRQCRn.IRQMD[1:0] ビットでエッジ検出に設定してください。

ISELRi.ISEL[1:0] ビットを“00b”にした場合、CPU へ割り込み要求を出力します。

ISELRi.ISEL[1:0] ビットを“01b”にした場合、DTC へ起動要求を出力し、DTC の MRB.DISEL ビットの設定によって以下のように動作します。

” DTC の MRB.DISEL が“0”のとき、DTC が所定回数のデータ転送を行い、転送カウンタが0になるまで ISELRi.ISEL[1:0] ビットは“01b”のまま保持され、転送カウンタが0になったときのデータ転送終了後、自動的に“00b”に更新されます。このとき CPU に割り込み要求を出力します。

” DTC の MRB.DISEL が“1”のとき、DTC の転送カウンタに関係なく各データ転送終了後、ISELRi.ISEL[1:0] ビットは自動的に“00b”に更新されます。このとき CPU に割り込み要求を出力します。

ISELRi.ISEL[1:0] ビットが“00b”に更新された後、再度“01b”にする場合は、当該割り込みの例外処理ルーチン内で変更してください。また、再度 DTC を起動する場合は、ISELRi.ISEL[1:0] ビットを“01b”にした後、割り込み要求が発生するようにしてください。

ISELRi.ISEL[1:0] ビットを“10b”にした場合、DMAC へ起動要求を出力します。

DMAC 起動後、ISELRi.ISEL[1:0] ビットは“10b”のまま保持されます。

DMA 転送方式が連続オペランド転送のとき、または DMA 転送方式にかかわらず同一の割り込み要求で複数のチャンネルを起動したときは、以下のタイミングで割り込み要求が発生するようにしてください。

” DMA 転送方式が連続オペランド転送のとき、起動したチャンネルのすべての DMA 転送終了後、次の割り込み要求が発生するようにしてください。(注1)

” DMA 転送方式にかかわらず同一の割り込み要求で複数のチャンネルを起動したとき、すべてのチャンネルの転送終了後、次の割り込み要求が発生するようにしてください。(注2)

注1. 単一オペランド転送では、1回の起動要求に対して1オペランド転送を行います。IRi.IR フラグは、1オペランド転送の起動で“0”になります。ノンストップ転送では、1回の起動要求に対して1回のDMA転送を行います。IRi.IR フラグは、DMA転送の起動で“0”になります。一方、連続オペランド転送では、1回の起動要求に対し複数のオペランド転送を行います。IRi.IR フラグは、オペランド転送ごとに“0”になります。すべてのオペランド転送が終了する前に割り込み要求が発生した場合、IRi.IR フラグはいったん“1”になった後、各オペランド転送によって“0”になります。

注2. 同一の割り込み要求でDMACの複数のチャンネルを起動した場合、DMA転送方式にかかわらず1回の起動要求に対して設定したすべてのチャンネルが起動します。IRi.IR フラグは、各チャンネルの転送ごとに“0”になります。すべてのチャンネルの全DMA転送が終了する前に割り込み要求が発生した場合、IRi.IR フラグはいったん“1”になった後、各チャンネルの転送によって“0”になります。

ISEL_{Ri}.ISEL[1:0] ビットを“11b”にした場合、DMAC 起動後、データ転送終了を待たずに ISEL_{Ri}.ISEL[1:0] ビットを自動的に“00b”に更新します。このとき、IR_i.IR フラグは“0”にならず CPU に割り込み要求を出力します。

ISEL_{Ri}.ISEL[1:0] ビットが“00b”に更新された後、再度“11b”にする場合は、以下のタイミングで行ってください。

- ” DMA 転送方式が単一オペランド転送およびノンストップ転送のとき、当該割り込みの例外処理ルーチン内で設定してください。
- ” DMA 転送方式が連続オペランド転送のとき、起動したチャンネルのすべての DMA 転送終了後、設定してください。(注1)
- ” DMA 転送方式にかかわらず同一の割り込み要因で複数のチャンネルを起動したとき、すべてのチャンネルの転送終了後、設定してください。(注2)

また、再度 DMAC を起動する場合は、ISEL_{Ri}.ISEL[1:0] ビットを“11b”にした後、割り込み要求が発生するようにしてください。

注1. 単一オペランド転送では、1回の起動要求に対して1オペランド転送を行います。ISEL_{Ri}.ISEL[1:0] ビットは、1オペランド転送の起動で自動的に“00b”に更新されます。ノンストップ転送では、1回の起動要求に対して1回の DMA 転送を行います。ISEL_{Ri}.ISEL[1:0] ビットは、DMA 転送の起動で自動的に“00b”に更新されます。一方、連続オペランド転送では、1回の起動要求に対し、複数のオペランド転送を行います。ISEL_{Ri}.ISEL[1:0] ビットは、オペランド転送ごとに自動的に“00b”に更新されます。すべてのオペランド転送が終了する前に ISEL_{Ri}.ISEL[1:0] ビットを“11b”に再設定した場合、各オペランド転送によって“00b”に更新されます。

注2. 同一の割り込み要因で、DMAC の複数のチャンネルを起動した場合、DMA 転送方式にかかわらず1回の起動要求に対して設定したすべてのチャンネルが起動します。ISEL_{Ri}.ISEL[1:0] ビットは、各チャンネルの転送で自動的に“00b”に更新されます。すべてのチャンネルの全 DMA 転送が終了する前に ISEL_{Ri}.ISEL[1:0] ビットを“11b”に再設定した場合、各チャンネルの転送によって“00b”に更新されます。

10.4.4 優先順位の判定

割り込みコントローラは、割り込み要求先ごとに優先順位の判定を行います。

同一の割り込み要求先に対して複数の割り込み要求が発生した場合は、優先順位の高い要因が受け付けられます。優先順位の判定方法は割り込み要求先ごとに異なります。

(1) 割り込み要求先が CPU の場合の優先順位判定

ISEL_{Ri}.ISEL[1:0] ビットが“00b”のグループでは、割り込み優先レベル選択ビット (IPR_i.IPR[2:0]) の値が大きい要求が優先されます。IPR_i.IPR[2:0] ビットの値が同一レベルの要求が複数ある場合には、ベクタ番号が小さい要求が優先されます。

後述する高速割り込みに設定された要求が発生すると、IPR_i.IPR[2:0] ビットとベクタ番号に関わらず最も優先順位の高いレベル7の割り込みとして CPU に割り込み要求を出力します。

(2) 割り込み要求先が DTC の場合の優先順位判定

ISEL_{Ri}.ISEL[1:0] ビットが“01b”のグループは、IPR_i.IPR[2:0] ビットの影響を受けません。ベクタ番号が小さい要求が優先されます。

(3) 割り込み要求先が DMAC の場合の優先順位判定

ISEL_{Ri}.ISEL[1:0] ビットが“10b”または“11b”のグループは、IPR_i.IPR[2:0] ビットの影響を受けません。DMAC の設定に依存します。「12. DMA コントローラ (DMAC)」を参照してください。

10.4.5 高速割り込み

高速割り込みは、CPU の割り込み処理を高速に行う機能で、CPU への割り込み要求のみ有効です。DTC や DMAC の転送要求には影響を与えません。

FIR.FVCT[7:0] ビットで高速割り込みにする要因のベクタ番号を設定し、FIR.FIEN ビットで高速割り込みを許可した状態で、該当する割り込みが発生すると高速割り込みとして CPU へ出力することができます。

高速割り込みに設定した要因は、IPRi.IPR[2:0] ビットの設定にかかわらず最優先の要因になります。CPU がノンマスクابل割り込みまたはレベル 7 の割り込み処理を行っている場合には、処理の終了後に受け付けられます。

高速割り込みについての詳細は、「9. 例外処理」を参照してください。

10.4.6 外部割り込み

外部割り込みは、IRQn端子(n=0~15)による割り込みです。図10.8に外部割り込みのブロック図を示します。

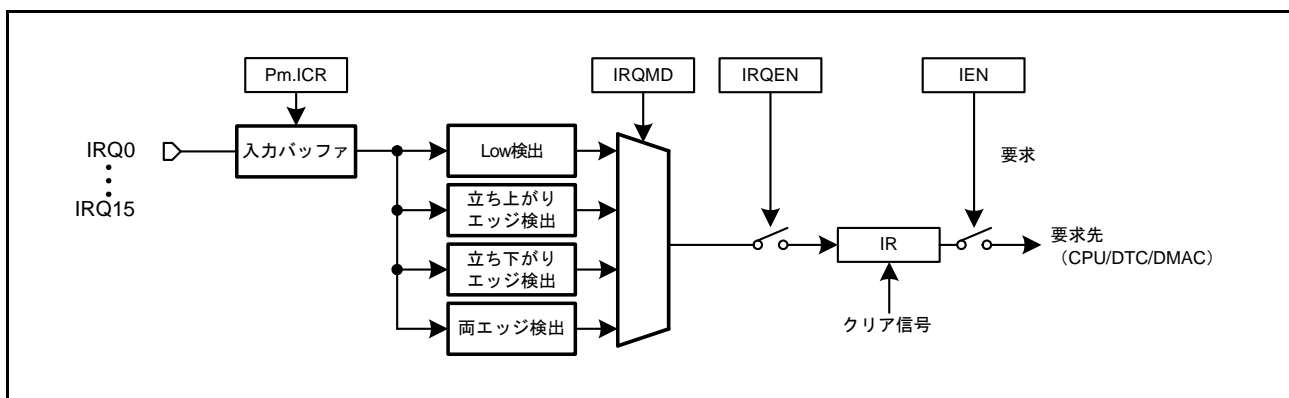


図 10.8 外部割り込みのブロック図

外部割り込みは、割り込みの検出方法を IRQCRn.IRQMD[1:0] ビットにより、レベル検出 (Low) と、エッジ検出 (立ち下がりエッジ、立ち上がりエッジ、両エッジ) から選択できます。

IRQCRn.IRQMD[1:0] ビットを設定するときは、以下の手順で行ってください。

- (1) IRQERn.IRQEN ビットおよび IERi.IENj ビットで、外部割り込みの検出および割り込みを禁止
- (2) IRQCRn.IRQMD[1:0] ビットを設定
- (3) IRn.IR フラグを“0”にする
- (4) IRQERn.IRQEN ビットおよび IERi.IENj ビットで、外部割り込みの検出および割り込みを許可

外部割り込みのエッジ検出、レベル検出の動作は、「10.4.2 割り込みステータスフラグ」を参照してください。

外部割り込みを使用するとき、Pm.ICR.Bj ビットで IRQn 端子の入力バッファを有効にしてください。

Pm.ICR.Bj ビットの設定を変更する場合は、以下の手順で行ってください。

- (1) IRQERn.IRQEN ビットおよび IERi.IENj ビットで、外部割り込みの検出および割り込みを禁止
 - (2) Pm.ICR.Bj ビットの設定を変更
 - (3) PCLK の 4 サイクル後に IERi.IR フラグを“0”にする
 - (4) IRQERn.IRQEN ビットおよび IERi.IENj ビットで、外部割り込みの検出および割り込み要求を許可
- IRQn 端子と Pm.ICR.Bj ビットの対応は、「14. I/O ポート」を参照してください。

10.5 ノンマスカブル割り込み動作

NMI 端子割り込みは、NMI 端子に立ち下がりエッジまたは立ち上がりエッジを入力することによって CPU にノンマスカブル割り込みを要求します。DTC や DMAC の起動はできません。高速割り込みを含むすべての割り込みの中で最優先の割り込みです。

NMI 端子割り込みを検出すると、NMISR.NMIST フラグが“1”になり、CPU にノンマスカブル割り込み要求を出力します。このノンマスカブル割り込み要求は、CPU の PSW.I ビット (割り込み許可)、PSW.IPL[2:0] ビット (プロセッサ割り込み優先レベル) の状態にかかわらず受け付けられます。

NMISR.NMIST フラグを“0”にするためには、NMICLR.NMICLR ビットに“1”を書いてください。その後、NMISR.NMIST フラグが“0”になったことを確認してから、次の命令を実行してください。

NMI 端子割り込みを必要としないシステムでの誤動作を避けるために、初期状態では「NMI 端子割り込み禁止」となっています。NMI 端子割り込みを使用するシステムでは、すべてのプログラム処理の先頭で以下の手順に従ってください。

NMI 端子割り込み使用手順

- (1) スタックポインタ (SP) を設定します。
- (2) NMI 端子の検出設定 (NMICR.NMIMD ビット) を行います。
- (3) NMICLR.NMICLR ビットに“1”を書き、NMISR.NMIST フラグを“0”にして、NMISR.NMIST フラグが“0”になったことを確認します。
- (4) NMIER.NMIEN ビットに“1”を書き、NMI 端子割り込みの使用を許可します。

NMIER.NMIEN ビットに“1”を書くと、以後の NMIER.NMIEN ビットへの書き込みは無視されます。NMI 端子割り込みを禁止することはできません。

この機能は、NMI 端子割り込みを使用中にプログラムの暴走などによって意図せずに「NMI 端子割り込み禁止」とならないために必要な機能です。

ノンマスカブル割り込みの処理の流れは、「9. 例外処理」を参照してください。

10.6 低消費電力状態からの復帰

低消費電力状態には、割り込み要因によって復帰することができるものがあります。
低消費電力状態と、復帰要因として使用可能な割り込み要因の対応を表 10.5 に示します。

表 10.5 復帰要因一覧

低消費電力状態	復帰に使用できる割り込み要因	割り込みコントローラのクロック
スリープモード	NMI端子割り込みを含むすべての割り込み	動作
全モジュールクロックストップモード	周辺機能割り込み (WDT、TMR (注1))、外部割り込み、NMI端子割り込み	動作
ソフトウェアスタンバイモード	外部割り込み、NMI端子割り込み	停止

注1. 詳細は、「8. 消費電力低減機能」を参照してください。

10.6.1 スリープモード、全モジュールクロックストップモードからの復帰

すべての割り込みによって、スリープモードおよび全モジュールクロックストップモードから復帰することができます。

スリープモードや全モジュールクロックストップモードから復帰するための条件は以下のとおりです。

- (1) 割り込み要求先が CPU であること
- (2) IERi.IENj ビットによって該当する割り込みが許可されていること
- (3) CPU の PSW.IPL[2:0] ビットよりも優先順位が高いこと

10.6.2 ソフトウェアスタンバイモードからの復帰

NMI 端子割り込み、IRQn 端子 (n=0 ~ 15) の外部割り込みで、ソフトウェアスタンバイモードから復帰することができます。

NMI 端子割り込み、IRQn 端子 (n=0 ~ 15) の外部割り込みが発生すると、停止していたクロックが LSI 全体に供給され割り込み処理を開始します。

NMI 端子割り込みでソフトウェアスタンバイモードから復帰するためには、NMIER.NMIEN ビットを“1” (NMI 端子割り込み許可) にしてください。

IRQn 端子 (n=0 ~ 15) の外部割り込みで、ソフトウェアスタンバイモードから復帰するための条件を以下に示します。

- (1) SSIER.SSIj ビットで、復帰の要因として許可されていること
- (2) IRQERn.IRQEN ビットで該当する IRQn 端子の外部割り込みの検出が許可されていること
- (3) IERi.IENj ビットで該当する IRQn 端子の割り込みが許可されていること
- (4) ISELRI.ISEL[1:0] ビットで割り込み要求先が CPU に指定されていること
- (5) IPRi.IPR[2:0] ビットの割り込み優先レベルが、CPU の PSW.IPL[2:0] ビットよりも高いこと (注1)

注 1. 高速割り込みに設定した要因は、IPRi.IPR[2:0] ビットの設定にかかわらず最優先の要因になります。ただし、高速割り込みに設定した要因をソフトウェアスタンバイ復帰要因とする場合は、この条件に応じた IPRi.IPR[2:0] ビットの設定が必要となります。

エッジ検出に設定した IRQ0 ~ IRQ15 割り込みによってソフトウェアスタンバイモードを解除する場合には、解除要因とする割り込みの例外処理ルーチンの先頭で、その割り込みのステータスフラグ (ICU.IRi.IR) を“0”にする必要があります。

また、IRQ0 ~ IRQ15 割り込みをソフトウェアスタンバイモードの解除要因として設定しない場合、ソフトウェアスタンバイモードにおいて対応する端子の入力バッファが無効となるため、LSI 内部への入力信号が High に固定されます。そのため端子の状態によっては割り込みステータスフラグ (ICU.IRi.IR) が“1”になる可能性があります。ソフトウェアスタンバイモードへの移行時には、解除要因としない IRQ0 ~ IRQ15 割り込みを IERi.IENj ビットで割り込み禁止にするか、IPRi.IPR ビットで割り込み優先レベルを低くした上で、WAIT 命令を実行してください。また、ソフトウェアスタンバイモードからの復帰後は、割り込みステータスフラグをクリアしてください。

低消費電力状態の詳細は、「8. 消費電力低減機能」を参照してください。

10.7 使用上の注意事項

10.7.1 割り込みコントローラのレジスタに書き込みを行うときの注意事項

CPU から割り込みコントローラのレジスタに書き込みを行うとき、CPU は書き込みの完了を待たずに後続の命令を実行するため、書いた値がレジスタに格納される前に後続の命令が実行されることがあります。この動作を避けるためには、レジスタへの書き込みが完了していることを確認してください。複数のレジスタに連続して書き込みを行う場合には、最終の書き込みが完了していることを確認してください。書き込み完了の確認方法については、「5. I/O レジスタ」を参照してください。

たとえば、ソフトウェアスタンバイ状態への遷移に先立って復帰に関与しない割り込みを禁止する場合、IERi.IEj ビットに“0”を書き、WAIT 命令を実行します。このとき、先行する書き込みの終了を待たずにソフトウェアスタンバイ状態に遷移すると、禁止したはずの割り込みで復帰してしまう恐れがありますので、WAIT 命令を実行する前に IERi.IEj ビットへの書き込みが完了したことを確認してください。

10.7.2 NMI 端子割り込み使用時の WAIT 命令の注意事項

NMISR.NMIST フラグが“1”の状態では WAIT 命令を実行しないでください。WAIT 命令を実行する前に NMISR.NMIST フラグが“0”であることを確認してください。

10.7.3 通信機能 (SCI、RIIC) による DMAC/DTC 転送の注意事項

通信機能の割り込みで DMAC/DTC を起動する場合、DMAC/DTC が通信機能からの起動要求を受け付けられず、DMAC/DTC 転送ができない場合があります。本現象は、DMAC/DTC によるデータ転送 (受信データ読み出し、または送信データ書き込み) 後の割り込みステータスフラグ (IR フラグ) の自動クリアが行われるまでの間に、次の転送要求が来た場合に転送要求の消失が発生します。

例えば、SCI 受信割り込みによる DTC 起動を転送ごとに CPU 割り込みあり (DISEL=1) で行った場合、1 回目の受信動作で IR フラグが 1 にセットされ DTC が起動します。DTC 転送後、IR フラグは CPU 割り込みを受け付けるまで 1 の状態を保持します。この間に 2 回目の受信動作が完了した場合、転送要求である IR フラグのセットが無視されることにより DTC が起動できず、2 回目の受信データを転送することができません。

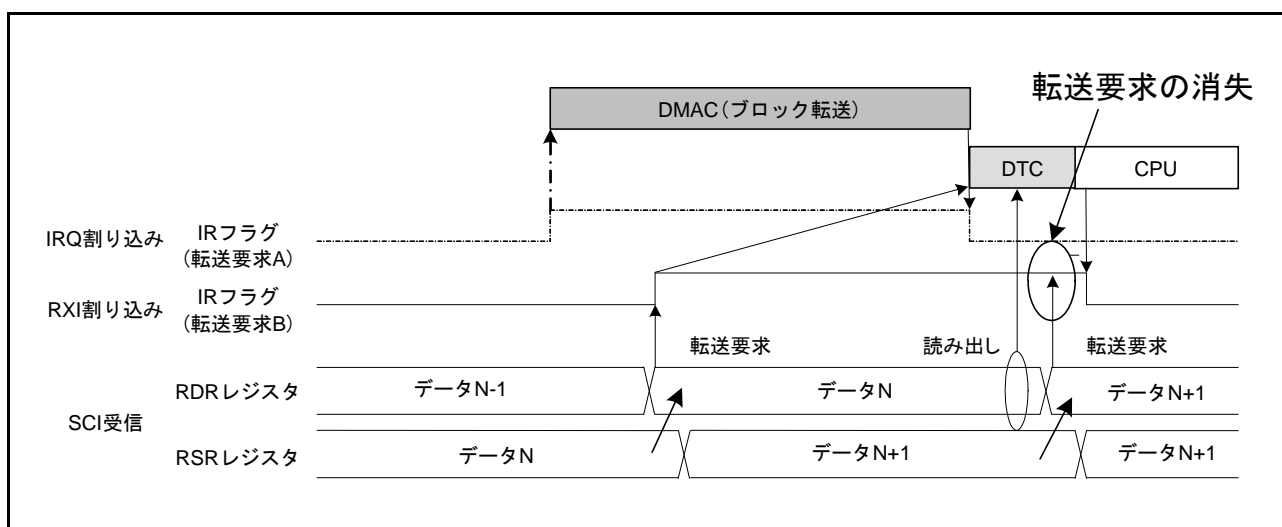


図 10.9 SCI 受信 + DTC 転送 (転送ごとに CPU 割り込みあり (DISEL = 1))、IRQ 割り込みで DMAC ブロック転送の例

表 10.6 DMAC/DTC の設定条件と本現象の発生有無

送信機能からの割り込み要求先	チェーン転送の使用有無	No.	CPU への通信割り込み有無	現象発生の可能性
DMAC	— (機能なし)	1	CPU 割り込み無 (ISEL[1:0]=10b)	無
		2	CPU 割り込み有 (ISEL[1:0]=11b)	有
DTC	チェーン転送を使用しない	3	CPU 割り込み無 (DISEL=0)	無
		4	CPU 割り込み有 (DISEL=1)	有
	チェーン転送を使用する	5	CPU 割り込み無 (DISEL=0)	無
		6	CPU 割り込み有 (DISEL=1)	有

注1. 通信割り込みとは SCI、RIIC の送信データエンプティ / 受信データフルの割り込みです。
 注2. 最終転送時、次の通信パケットの転送要求に対して DTC の再設定が間に合わない場合、DISEL=1 と同様のことが起こりえますので注意してください。

- " DMAC を ISEL[1:0] = 11b で使用されている場合は、DTC を DISEL=1 で使用し、以下の回避策を実施願います。
- " DTC を DISEL=1 で使用している場合は、転送要求消失が発生しない状態で使用するか、DTC のソフトウェア回避策を実施して、転送要求消失を回避するようにしてください。

(1) ソフトウェア回避策

DTC におけるソフトウェア回避策のフローチャートを図 10.10 に示します。

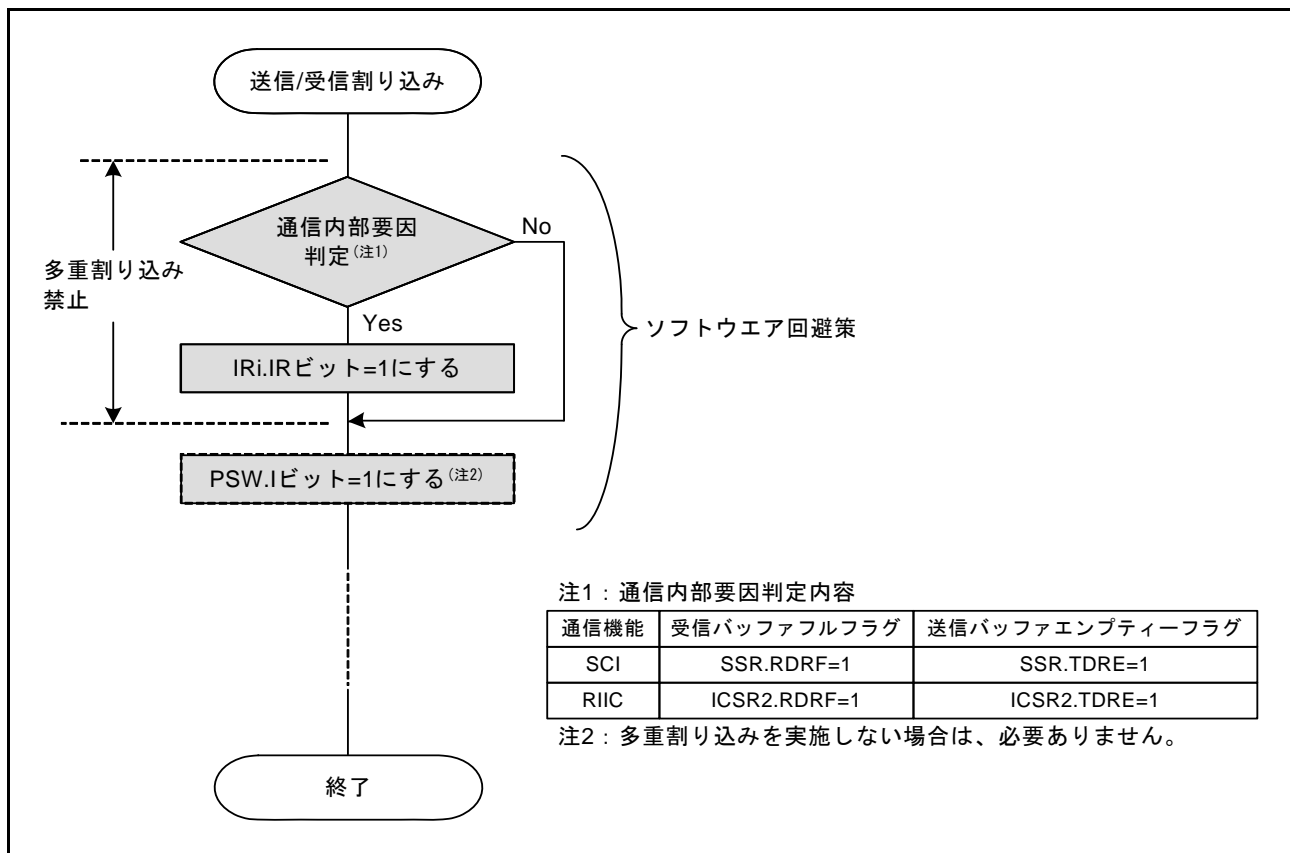


図 10.10 DISEL=1 の対策フローチャート

11. バス

11.1 概要

表 11.1 にバスの仕様を、図 11.1 にバスの構成図を示します。

表 11.1 バスの仕様

バスの種類		内容
CPUバス	命令バス	<ul style="list-style-type: none"> • CPU（命令）を接続 • 内蔵メモリを接続（内蔵RAM、内蔵ROM） • システムクロック（ICLK）に同期して動作
	オペランドバス	<ul style="list-style-type: none"> • CPU（オペランド）を接続 • 内蔵メモリを接続（内蔵RAM、内蔵ROM） • システムクロック（ICLK）に同期して動作
内部メインバス	内部メインバス1	<ul style="list-style-type: none"> • CPUを接続 • システムクロック（ICLK）に同期して動作
	内部メインバス2	<ul style="list-style-type: none"> • DMAC、DTCを接続 • 内蔵メモリを接続（内蔵RAM、内蔵ROM） • システムクロック（ICLK）に同期して動作
内部周辺バス	内部周辺バス1	<ul style="list-style-type: none"> • 周辺機能を接続 • システムクロック（ICLK）に同期して動作
	内部周辺バス2	<ul style="list-style-type: none"> • 周辺機能、内蔵ROM（P/E）/データフラッシュを接続 • 周辺モジュールクロック（PCLK）に同期して動作
外部バス		<ul style="list-style-type: none"> • 外部デバイスを接続 • 外部バスクロック（BCLK）に同期して動作

P/E：書き込み/消去

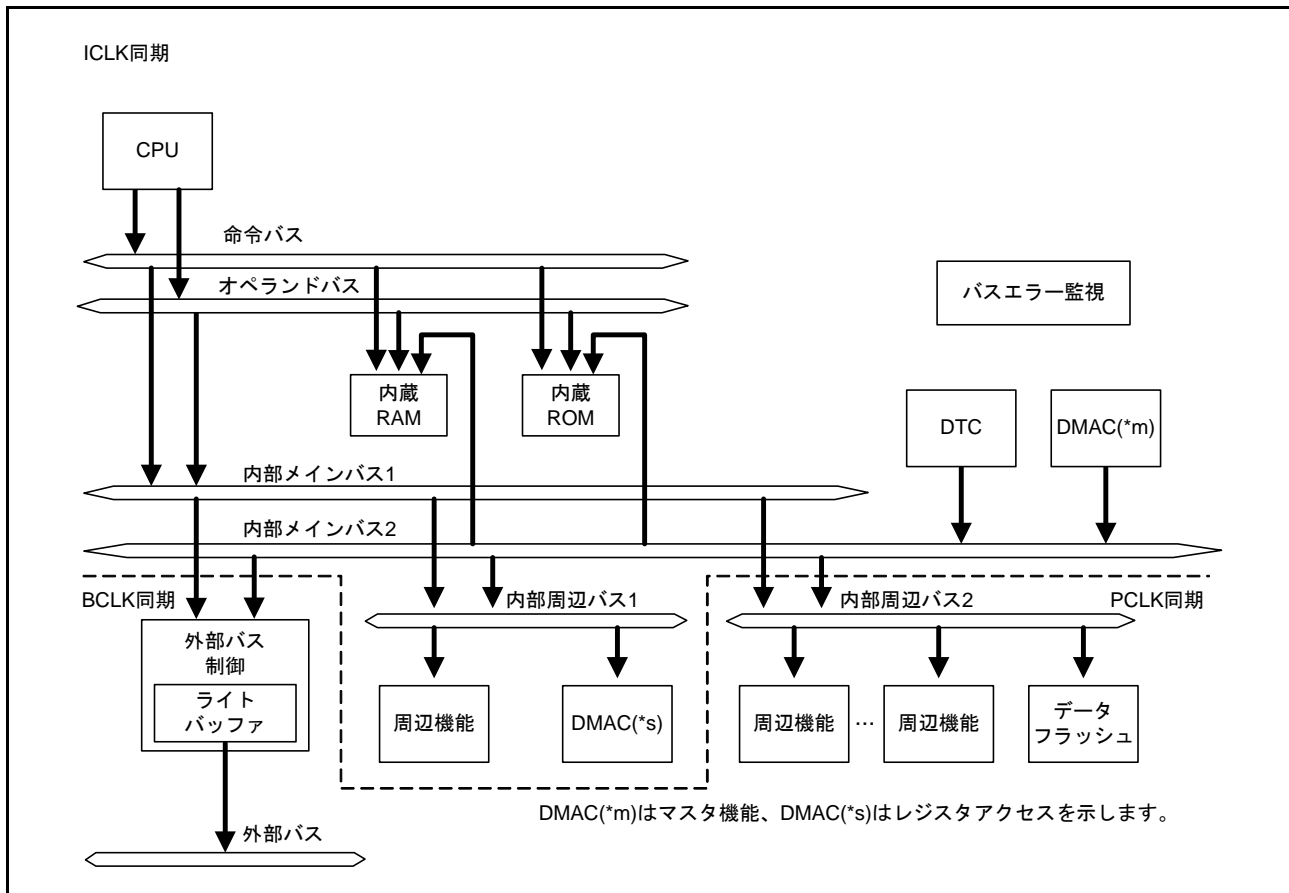


図 11.1 バスの構成図

11.2 バスの説明

11.2.1 CPU バス

CPU バスには、命令バスとオペランドバスがあり、内部メインバス 1 に接続されています。命令バスは CPU の命令フェッチに、オペランドバスはオペランドアクセスに使用します。

命令バスとオペランドバスは、内蔵 RAM、内蔵 ROM に接続しており、内部メインバス 1 を介さずに CPU から直接アクセスすることが可能です。ただし、内蔵 ROM は読み出しのみ CPU から直接アクセスが可能であり、書き込み/消去は内部周辺バスを介して行います。

内蔵 RAM、内蔵 ROM、内部メインバス 1 ごとに命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド>命令フェッチの順となります。

命令バス、オペランドバス、内部メインバス 1 からの要求が異なるスレーブであれば、それぞれのバスアクセスを同時に行うことが可能です。たとえば、内蔵 ROM と内蔵 RAM、内蔵 ROM と外部アクセスなどの並列動作が可能となります。

11.2.2 内部メインバス

内部メインバスは、CPU が使用するバス（内部メインバス 1）と、CPU 以外のバスマスタ（DMAC、DTC）が使用するバス（内部メインバス 2）の 2 本で構成されます。内部メインバス 2 では、DMAC、DTC のバス権要求を調停します。優先順位は、表 11.2 に示すように DMAC > DTC の順となります。

外部バス、周辺バス、内蔵メモリのそれぞれのスレーブごとに 2 本の内部メインバスからのバス権要求を調停します。異なるスレーブに対しては、CPU と CPU 以外のバスマスタからのバスアクセス動作を同時に行うことが可能です。

2 本のバスの優先順位は、内部メインバス 1（CPU）よりも内部メインバス 2（CPU 以外のバスマスタ）が高くなります。ただし、CPU によって XCHG 命令が実行された場合には、XCHG 命令によるバスアクセスが完了するまで、CPU 以外のバスアクセスは受け付けません。また、DTC の転送情報リードおよびライトバック中も DTC 以外のバスアクセスは受け付けません。

表 11.2 バスマスタの優先順位

優先度	バスマスタ
高 ↑ 低	DMA デスティネーション
	DMA ソース
	DTC
	CPU

11.2.3 内部周辺バス

表 11.3 に内部周辺バスに接続される周辺機能を示します。

表 11.3 内部周辺バスに接続される周辺機能

バスの種類	周辺機能
内部周辺バス 1	<ul style="list-style-type: none"> DMAC 割り込みコントローラ
内部周辺バス 2	<ul style="list-style-type: none"> 内部周辺バス 1 以外の周辺機能

11.2.4 外部バス

表 11.4 に外部バスの仕様を示します。

表 11.4 外部バスの仕様

項目	内容
外部アドレス空間	<ul style="list-style-type: none"> 外部アドレス空間を8つのエリア（CS0～CS7）に分割して管理 エリアごとにチップセレクトを出力可能 エリアごとに8ビットバス空間/16ビットバス空間を選択可能 エリアごとにエンディアンを設定可能
ウェイト制御機能	<ul style="list-style-type: none"> リカバリサイクル挿入可能 リードリカバリ最大15サイクル挿入 ライトリカバリ最大15サイクル挿入 サイクルウェイト機能：最大31サイクルウェイト（ページアクセス最大7サイクルウェイト） ウェイト制御 チップセレクト信号（CS0#～CS7#）のアサート/ネゲートタイミング設定可能 リード信号（RD#）、ライト信号（WR0#、WR1#、WR#）のアサートタイミング設定可能 データ出力の開始/終了タイミング設定可能 ライトアクセスモード：1ライトストローブモード/バイトストローブモード
ライトバッファ機能	<ul style="list-style-type: none"> バスマスタからの書き込みデータをライトバッファに書いた時点で、バスマスタ側のライトアクセスを終了
周波数	<ul style="list-style-type: none"> 外部バスクロック（BCLK）に同期して動作

表 11.5 に外部バスの入出力端子を示します。

表 11.5 外部バスの入出力端子

端子名	入出力	機能
A23～A0 (注1)	出力	アドレス出力端子
BC0# (注1、注2)	出力	1ライトストロープモード時、外部アドレス空間をアクセス中で (BC0#信号がLowの場合)、下位バイト (D7～D0) が有効であることを示すストロープ信号。8ビットバス空間を設定した場合、ライトアクセスモードに関係なく常にLow出力
BC1# (注2)	出力	1ライトストロープモード時、外部アドレス空間をアクセス中で (BC1#信号がLowの場合)、上位バイト (D15～D8) が有効であることを示すストロープ信号。8ビットバス空間を設定した場合、使用しない
D15～D0	入出力	データ入出力端子。16ビットバス空間を設定した場合、D15～D0が有効となる。8ビットバス空間を設定した場合、D7～D0が有効
CS0#	出力	エリア0 (CS0) が選択されていることを示すストロープ信号
CS1#	出力	エリア1 (CS1) が選択されていることを示すストロープ信号
CS2#	出力	エリア2 (CS2) が選択されていることを示すストロープ信号
CS3#	出力	エリア3 (CS3) が選択されていることを示すストロープ信号
CS4#	出力	エリア4 (CS4) が選択されていることを示すストロープ信号
CS5#	出力	エリア5 (CS5) が選択されていることを示すストロープ信号
CS6#	出力	エリア6 (CS6) が選択されていることを示すストロープ信号
CS7#	出力	エリア7 (CS7) が選択されていることを示すストロープ信号
RD#	出力	外部アドレス空間をリード中であることを示すストロープ信号
WR0#	出力	バイトストロープモード時、外部アドレス空間をライト中で (WR0#信号がLowの場合)、下位バイト (D7～D0) が有効であることを示すストロープ信号。1ライトストロープモード時、外部アドレス空間をライト中であることを示すストロープ信号。8ビットバス空間を設定した場合、ライトアクセスモードに関係なくライトアクセス時にLowが出力される
WR1#	出力	バイトストロープモード時、外部アドレス空間をライト中で (WR1#信号がLowの場合)、上位バイト (D15～D8) が有効であることを示すストロープ信号。1ライトストロープモード時、BC1#信号を出力。8ビットバス空間を設定した場合、使用しない
WR#	出力	1ライトストロープモード時、外部アドレス空間をライト中であることを示すストロープ信号
WAIT#	入力	外部アドレス空間をアクセスするときのウェイト要求信号 (Low : ウェイト要求)

注1. A0端子とBC0#端子は兼用しており、領域ごとにバイトライトモード時はA0端子、1ライトストロープモード時はBC0#端子が有効になります。1ライトストロープモード時は8ビット外部バス幅の設定は禁止しています。その他の兼用端子については、「14. I/Oポート」を参照してください。

注2. BC0#、BC1#信号は、リード/ライトアクセスとも有効です。

11.2.5 並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並行して動作することが可能です。たとえば、CPUが内蔵ROMから命令フェッチしながら、内蔵RAMをオペランドアクセスし、さらにDMACは周辺バスと外部バス間の転送を行う、という3種類の動作を同時に行うことができます。

図11.2に並列動作の例を示します。この例の場合、CPUは命令バスとオペランドバスを使って、それぞれ内蔵ROMと内蔵RAMを同時にアクセスすることが可能です。また、CPUが内蔵ROMと内蔵RAMをアクセス中に、DMACは内部メインバス2を使って、周辺バスあるいは外部バスを同時にアクセスすることができます。

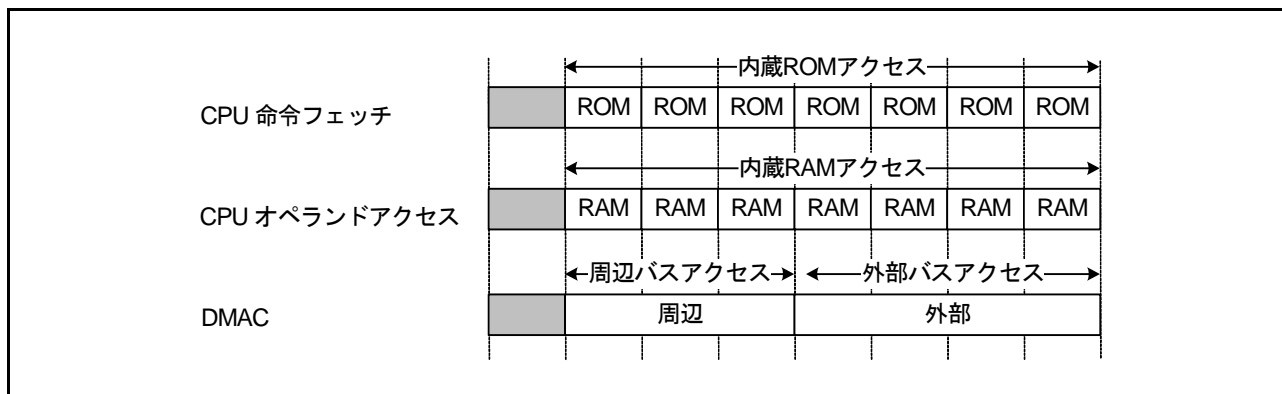


図 11.2 並列動作の例

11.3 レジスタの説明

表 11.6 に外部バス制御部のレジスタ一覧を示します。

表 11.6 外部バス制御部のレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
CS0制御レジスタ	CS0CNT	0021h	0008 3802h	16
CS0リカバリサイクル設定レジスタ	CS0REC	0000h	0008 380Ah	16
CS1制御レジスタ	CS1CNT	0000h	0008 3812h	16
CS1リカバリサイクル設定レジスタ	CS1REC	0000h	0008 381Ah	16
CS2制御レジスタ	CS2CNT	0000h	0008 3822h	16
CS2リカバリサイクル設定レジスタ	CS2REC	0000h	0008 382Ah	16
CS3制御レジスタ	CS3CNT	0000h	0008 3832h	16
CS3リカバリサイクル設定レジスタ	CS3REC	0000h	0008 383Ah	16
CS4制御レジスタ	CS4CNT	0000h	0008 3842h	16
CS4リカバリサイクル設定レジスタ	CS4REC	0000h	0008 384Ah	16
CS5制御レジスタ	CS5CNT	0000h	0008 3852h	16
CS5リカバリサイクル設定レジスタ	CS5REC	0000h	0008 385Ah	16
CS6制御レジスタ	CS6CNT	0000h	0008 3862h	16
CS6リカバリサイクル設定レジスタ	CS6REC	0000h	0008 386Ah	16
CS7制御レジスタ	CS7CNT	0000h	0008 3872h	16
CS7リカバリサイクル設定レジスタ	CS7REC	0000h	0008 387Ah	16
CS0モードレジスタ	CS0MOD	0000h	0008 3002h	16
CS0ウェイト制御レジスタ1	CS0WCNT1	0707 0707h	0008 3004h	32
CS0ウェイト制御レジスタ2	CS0WCNT2	0000 0007h	0008 3008h	32
CS1モードレジスタ	CS1MOD	0000h	0008 3012h	16
CS1ウェイト制御レジスタ1	CS1WCNT1	0707 0707h	0008 3014h	32
CS1ウェイト制御レジスタ2	CS1WCNT2	0000 0007h	0008 3018h	32
CS2モードレジスタ	CS2MOD	0000h	0008 3022h	16
CS2ウェイト制御レジスタ1	CS2WCNT1	0707 0707h	0008 3024h	32
CS2ウェイト制御レジスタ2	CS2WCNT2	0000 0007h	0008 3028h	32
CS3モードレジスタ	CS3MOD	0000h	0008 3032h	16
CS3ウェイト制御レジスタ1	CS3WCNT1	0707 0707h	0008 3034h	32
CS3ウェイト制御レジスタ2	CS3WCNT2	0000 0007h	0008 3038h	32
CS4モードレジスタ	CS4MOD	0000h	0008 3042h	16
CS4ウェイト制御レジスタ1	CS4WCNT1	0707 0707h	0008 3044h	32
CS4ウェイト制御レジスタ2	CS4WCNT2	0000 0007h	0008 3048h	32
CS5モードレジスタ	CS5MOD	0000h	0008 3052h	16
CS5ウェイト制御レジスタ1	CS5WCNT1	0707 0707h	0008 3054h	32
CS5ウェイト制御レジスタ2	CS5WCNT2	0000 0007h	0008 3058h	32
CS6モードレジスタ	CS6MOD	0000h	0008 3062h	16
CS6ウェイト制御レジスタ1	CS6WCNT1	0707 0707h	0008 3064h	32
CS6ウェイト制御レジスタ2	CS6WCNT2	0000 0007h	0008 3068h	32
CS7モードレジスタ	CS7MOD	0000h	0008 3072h	16
CS7ウェイト制御レジスタ1	CS7WCNT1	0707 0707h	0008 3074h	32
CS7ウェイト制御レジスタ2	CS7WCNT2	0000 0007h	0008 3078h	32
バスエラー要因クリアレジスタ	BERCLR	00h	0008 1300h	8
バスエラー監視許可レジスタ	BEREN	00h	0008 1304h	8
バスエラー割り込み許可レジスタ	BERIE	00h	0008 1306h	8

11.3.1 CSi 制御レジスタ (CSiCNT) (i = 0 ~ 7)

アドレス 0008 3802h (CS0CNT)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EMODE	—	—	BSIZE[1:0]	—	—	—	—	EXENB
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1

アドレス 0008 3812h ~ 0008 3872h (CS1CNT ~ CS7CNT)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EMODE	—	—	BSIZE[1:0]	—	—	—	—	EXENB
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EXENB	動作許可ビット	0: 動作禁止 1: 動作許可	R/W (注1)
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	BSIZE[1:0]	外部バス幅選択ビット	b5 b4 0 0: 16ビットバス空間に設定 0 1: 設定しないでください 1 0: 8ビットバス空間に設定 1 1: 設定しないでください	R/W (注2)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	EMODE	エンディアンモード指定ビット	0: エリアiのエンディアンは動作モードのエンディアンと同じ (i = 0 ~ 7) 1: エリアiのエンディアンは動作モードのエンディアンと異なる (i = 0 ~ 7)	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CS0CNT.EXENBビットのリセット後の値は“1”、CSiCNT.EXENBビット(i = 1 ~ 7)のリセット後の値は“0”です。

注2. CS0CNT.BSIZE[1:0]ビットのリセット後の値は、“10”です。

CSiCNT レジスタは、外部アドレス空間の各エリアの動作許可、データバス幅、エンディアンを設定するレジスタです。

EXENB ビット (動作許可ビット)

各エリアの動作許可 / 禁止を設定します。

リセット後は、エリア0のみ動作許可 (“1”) になり、それ以外のエリアは動作禁止 (“0”) になります。

動作禁止に設定したエリアをアクセスした場合は、外部バスアクセスは発生しません。このときバスエラー監視制御レジスタの不正アドレスアクセス検出許可ビット (BEREN.IGAEN = 1) が検出許可に設定されていれば、不正アドレスエラーとなります。

BSIZE[1:0] ビット (外部バス幅選択ビット)

各エリアのデータバス幅を設定します。

リセット後のエリア0のデータバス幅は、8ビットバス空間になります。

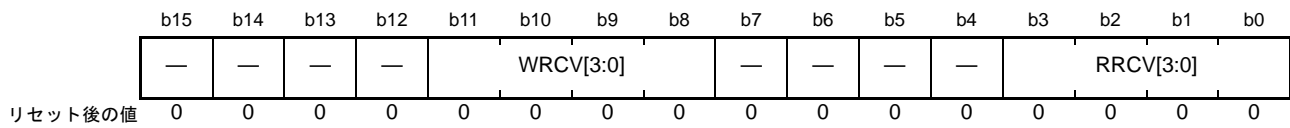
EMODE ビット (エンディアンモード指定ビット)

各エリアのエンディアンを設定します。

エリアごとのエンディアン設定がチップのエンディアン設定と異なる設定を行った場合、そのエリアに命令コードは配置できません。命令コードを外部アドレス空間に配置する場合は、チップのエンディアンと同じエンディアン設定のエリアに配置してください。

11.3.2 CSi リカバリサイクル設定レジスタ (CSiREC) (i = 0 ~ 7)

アドレス 0008 380Ah ~ 0008 387Ah



ビット	シンボル	ビット名	機能	R/W
b3-b0	RRCV[3:0]	リードリカバリ設定ビット	b3 b0 0 0 0 0: リカバリサイクルを挿入しない 0 0 0 1: リカバリサイクルを1サイクル挿入 0 0 1 0: リカバリサイクルを2サイクル挿入 0 0 1 1: リカバリサイクルを3サイクル挿入 0 1 0 0: リカバリサイクルを4サイクル挿入 0 1 0 1: リカバリサイクルを5サイクル挿入 0 1 1 0: リカバリサイクルを6サイクル挿入 0 1 1 1: リカバリサイクルを7サイクル挿入 1 0 0 0: リカバリサイクルを8サイクル挿入 1 0 0 1: リカバリサイクルを9サイクル挿入 1 0 1 0: リカバリサイクルを10サイクル挿入 1 0 1 1: リカバリサイクルを11サイクル挿入 1 1 0 0: リカバリサイクルを12サイクル挿入 1 1 0 1: リカバリサイクルを13サイクル挿入 1 1 1 0: リカバリサイクルを14サイクル挿入 1 1 1 1: リカバリサイクルを15サイクル挿入	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	WRCV[3:0]	ライトリカバリ設定ビット	b11 b8 0 0 0 0: リカバリサイクルを挿入しない 0 0 0 1: リカバリサイクルを1サイクル挿入 0 0 1 0: リカバリサイクルを2サイクル挿入 0 0 1 1: リカバリサイクルを3サイクル挿入 0 1 0 0: リカバリサイクルを4サイクル挿入 0 1 0 1: リカバリサイクルを5サイクル挿入 0 1 1 0: リカバリサイクルを6サイクル挿入 0 1 1 1: リカバリサイクルを7サイクル挿入 1 0 0 0: リカバリサイクルを8サイクル挿入 1 0 0 1: リカバリサイクルを9サイクル挿入 1 0 1 0: リカバリサイクルを10サイクル挿入 1 0 1 1: リカバリサイクルを11サイクル挿入 1 1 0 0: リカバリサイクルを12サイクル挿入 1 1 0 1: リカバリサイクルを13サイクル挿入 1 1 1 0: リカバリサイクルを14サイクル挿入 1 1 1 1: リカバリサイクルを15サイクル挿入	R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSiREC レジスタは、外部アドレス空間の各エリアのライトアクセス、リードアクセス後のリカバリサイクル数を設定するレジスタです。

RRCV[3:0] ビット (リードリカバリ設定ビット)

外部バスに対するリードアクセス後に挿入するリカバリサイクル数を設定します。

“0000b”以外を設定すると、以下の場合に1～15サイクルのリカバリサイクルが挿入されます。

- 外部バスに対するリードアクセス後、外部バスのライトアクセスがある場合
(同じエリア内の連続アクセスの場合も、リカバリサイクルが挿入されます)
- 外部バスに対するリードアクセス後、異なるエリアに対するリードアクセスがある場合
(同じエリア内の連続アクセスの場合、リカバリサイクルは挿入されません)

WRCV[3:0] ビット (ライトリカバリ設定ビット)

外部バスに対するライトアクセス後に挿入するリカバリサイクル数を設定します。

“0000b” 以外を設定すると、以下の場合に 1～15 サイクルのリカバリサイクルが挿入されます。

- 外部バスに対するライトアクセス後、外部バスのリードアクセスがある場合
(同じエリア内の連続アクセスの場合も、リカバリサイクルが挿入されます)
ライトアクセス後のライトアクセスでは、リカバリサイクルは挿入されません。

表11.7 リカバリサイクルの挿入

アクセスの種類	外部アドレス空間	リカバリサイクルの挿入
ライトアクセス後のリードアクセス	同じエリア	WRCV[3:0]ビット設定サイクル数が挿入
	異なるエリア	WRCV[3:0]ビット設定サイクル数が挿入
ライトアクセス後のライトアクセス	同じエリア	リカバリサイクルは挿入されない
	異なるエリア	リカバリサイクルは挿入されない
リードアクセス後のライトアクセス	同じエリア	RRCV[3:0]ビット設定サイクル数が挿入
	異なるエリア	RRCV[3:0]ビット設定サイクル数が挿入
リードアクセス後のリードアクセス	同じエリア	リカバリサイクルは挿入されない
	異なるエリア	RRCV[3:0]ビット設定サイクル数が挿入

11.3.3 CSi モードレジスタ (CSiMOD) (i = 0 ~ 7)

アドレス 0008 3002h~0008 3872h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRMOD	—	—	—	—	—	PWENB	PRENB	—	—	—	—	EWENB	—	—	WRMOD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WRMOD	ライトアクセスモード選択ビット	0: バイトストローブモード 1: 1ライトストローブモード	R/W
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	EWENB	外部ウェイト許可ビット	0: 外部ウェイト禁止 1: 外部ウェイト許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PRENB	ページリードアクセス許可ビット	0: ページリードアクセス禁止 1: ページリードアクセス許可	R/W
b9	PWENB	ページライトアクセス許可ビット	0: ページライトアクセス禁止 1: ページライトアクセス許可	R/W
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	PRMOD	ページリードアクセスモード選択ビット	0: ノーマルアクセス互換モード 1: リード連続アサートモード	R/W

CSiMOD レジスタは、外部アドレス空間の各エリアのアクセスモードを設定するレジスタです。

WRMOD ビット (ライトアクセスモード選択ビット)

ライトアクセス時の動作モードを選択します。

“0”にすると、バイトストローブモードになります。このとき、それぞれのバイト位置に対応した WR0#、WR1# 信号によってデータの書き込みの制御を行います。

“1”にすると、1 ライトストローブモードになります。このとき、それぞれのバイト位置に対応した BCn# 信号 (n = 1, 0) と WR# 信号によってデータの書き込みの制御を行います。

表 11.8 にライトアクセスモードの制御信号の有効/無効を示します。

表 11.8 ライトアクセスモードの制御信号

ライトアクセスモード	データライト信号			バイトコントロール信号	
	WR0#	WR1#	WR#	BC0#	BC1#
バイトストローブモード	○	○	×	×	×
1ライトストローブモード	×	×	○	○	○

○: 有効、×: 無効

EWENB ビット (外部ウェイト許可ビット)

外部ウェイトの許可/禁止を設定します。

“1”にすると、外部ウェイト許可となり、WAIT# 信号によって各サイクルのウェイト数を任意に制御することが可能になります。この場合、WAIT# 信号が Low の間、ウェイトサイクルが挿入されます。

“0”にすると、WAIT# 信号は無効となります。

PRENB ビット (ページリードアクセス許可ビット)

ページリードアクセスの許可 / 禁止を設定します。

PWENB ビット (ページライトアクセス許可ビット)

ページライトアクセスの許可 / 禁止を設定します。

PRMOD ビット (ページリードアクセスモード選択ビット)

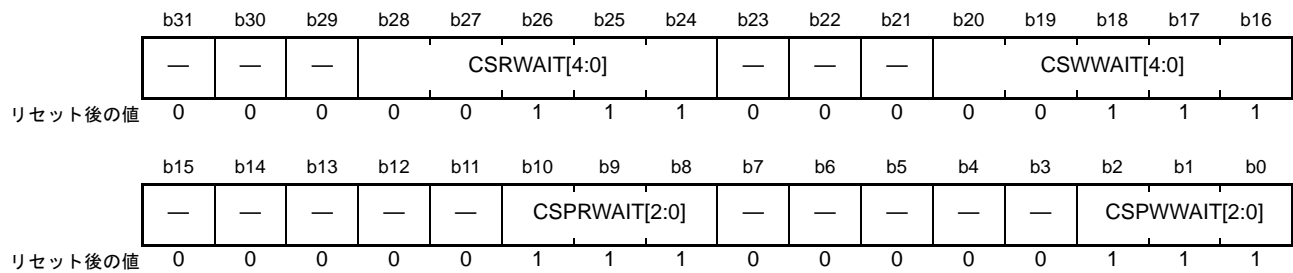
ページリードアクセス時の動作モードを選択します。

“0” にすると、ノーマルアクセス互換モードになります。このとき、1つのデータを読むごとに RD# 信号がネゲートされ、RD アサートウェイトが挿入されます。ただし、RD アサートウェイトが 0 の場合は、外部バスアクセスの最後の転送以外は RD# 信号はネゲートされません。

“1” にすると、リード連続アサートモードになります。このとき、RD アサートウェイトは挿入されますが、その間 RD# 信号がアサートされ続けます。

11.3.4 CSi ウェイト制御レジスタ 1 (CSiWCNT1) (i = 0 ~ 7)

アドレス 0008 3004h ~ 0008 3074h



ビット	シンボル	ビット名	機能	R/W
b2-b0	CSPWWAIT[2:0]	ページライトサイクル ウェイト選択ビット (注1)	b2 b0 0 0 0 : ウェイトを挿入しない 0 0 1 : ウェイトを1サイクル挿入 0 1 0 : ウェイトを2サイクル挿入 0 1 1 : ウェイトを3サイクル挿入 1 0 0 : ウェイトを4サイクル挿入 1 0 1 : ウェイトを5サイクル挿入 1 1 0 : ウェイトを6サイクル挿入 1 1 1 : ウェイトを7サイクル挿入	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CSPRWAIT[2:0]	ページリードサイクル ウェイト選択ビット (注2)	b10 b8 0 0 0 : ウェイトを挿入しない 0 0 1 : ウェイトを1サイクル挿入 0 1 0 : ウェイトを2サイクル挿入 0 1 1 : ウェイトを3サイクル挿入 1 0 0 : ウェイトを4サイクル挿入 1 0 1 : ウェイトを5サイクル挿入 1 1 0 : ウェイトを6サイクル挿入 1 1 1 : ウェイトを7サイクル挿入	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CSPWWAIT[2:0] ビットの設定値は、CSiMOD.PWENB ビットが“1”の場合のみ有効となります。

注2. CSPRWAIT[2:0] ビットの設定値は、CSiMOD.PRENB ビットが“1”の場合のみ有効となります。

ビット	シンボル	ビット名	機能	R/W
b20-b16	CSWAIT[4:0]	ノーマルライトサイクル ウェイト選択ビット	b20 b16 0 0 0 0 0 : ウェイトを挿入しない 0 0 0 0 1 : ウェイトを1サイクル挿入 0 0 0 1 0 : ウェイトを2サイクル挿入 0 0 0 1 1 : ウェイトを3サイクル挿入 0 0 1 0 0 : ウェイトを4サイクル挿入 0 0 1 0 1 : ウェイトを5サイクル挿入 0 0 1 1 0 : ウェイトを6サイクル挿入 0 0 1 1 1 : ウェイトを7サイクル挿入 0 1 0 0 0 : ウェイトを8サイクル挿入 0 1 0 0 1 : ウェイトを9サイクル挿入 0 1 0 1 0 : ウェイトを10サイクル挿入 0 1 0 1 1 : ウェイトを11サイクル挿入 0 1 1 0 0 : ウェイトを12サイクル挿入 0 1 1 0 1 : ウェイトを13サイクル挿入 0 1 1 1 0 : ウェイトを14サイクル挿入 0 1 1 1 1 : ウェイトを15サイクル挿入 1 0 0 0 0 : ウェイトを16サイクル挿入 1 0 0 0 1 : ウェイトを17サイクル挿入 1 0 0 1 0 : ウェイトを18サイクル挿入 1 0 0 1 1 : ウェイトを19サイクル挿入 1 0 1 0 0 : ウェイトを20サイクル挿入 1 0 1 0 1 : ウェイトを21サイクル挿入 1 0 1 1 0 : ウェイトを22サイクル挿入 1 0 1 1 1 : ウェイトを23サイクル挿入 1 1 0 0 0 : ウェイトを24サイクル挿入 1 1 0 0 1 : ウェイトを25サイクル挿入 1 1 0 1 0 : ウェイトを26サイクル挿入 1 1 0 1 1 : ウェイトを27サイクル挿入 1 1 1 0 0 : ウェイトを28サイクル挿入 1 1 1 0 1 : ウェイトを29サイクル挿入 1 1 1 1 0 : ウェイトを30サイクル挿入 1 1 1 1 1 : ウェイトを31サイクル挿入	R/W
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b28-b24	CSRWAIT[4:0]	ノーマルリードサイクル ウェイト選択ビット	b28 b24 0 0 0 0 0 : ウェイトを挿入しない 0 0 0 0 1 : ウェイトを1サイクル挿入 0 0 0 1 0 : ウェイトを2サイクル挿入 0 0 0 1 1 : ウェイトを3サイクル挿入 0 0 1 0 0 : ウェイトを4サイクル挿入 0 0 1 0 1 : ウェイトを5サイクル挿入 0 0 1 1 0 : ウェイトを6サイクル挿入 0 0 1 1 1 : ウェイトを7サイクル挿入 0 1 0 0 0 : ウェイトを8サイクル挿入 0 1 0 0 1 : ウェイトを9サイクル挿入 0 1 0 1 0 : ウェイトを10サイクル挿入 0 1 0 1 1 : ウェイトを11サイクル挿入 0 1 1 0 0 : ウェイトを12サイクル挿入 0 1 1 0 1 : ウェイトを13サイクル挿入 0 1 1 1 0 : ウェイトを14サイクル挿入 0 1 1 1 1 : ウェイトを15サイクル挿入 1 0 0 0 0 : ウェイトを16サイクル挿入 1 0 0 0 1 : ウェイトを17サイクル挿入 1 0 0 1 0 : ウェイトを18サイクル挿入 1 0 0 1 1 : ウェイトを19サイクル挿入 1 0 1 0 0 : ウェイトを20サイクル挿入 1 0 1 0 1 : ウェイトを21サイクル挿入 1 0 1 1 0 : ウェイトを22サイクル挿入 1 0 1 1 1 : ウェイトを23サイクル挿入 1 1 0 0 0 : ウェイトを24サイクル挿入 1 1 0 0 1 : ウェイトを25サイクル挿入 1 1 0 1 0 : ウェイトを26サイクル挿入 1 1 0 1 1 : ウェイトを27サイクル挿入 1 1 1 0 0 : ウェイトを28サイクル挿入 1 1 1 0 1 : ウェイトを29サイクル挿入 1 1 1 1 0 : ウェイトを30サイクル挿入 1 1 1 1 1 : ウェイトを31サイクル挿入	R/W
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSiWCNT1 レジスタは、外部アドレス空間の各エリアのウェイトサイクル数を選択するレジスタです。

CSPWAIT[2:0] ビット (ページライトサイクルウェイト選択ビット)

ページライトサイクルの2サイクル目以降のアクセスに挿入するサイクル数を設定します。

CSPWAIT[2:0] ビットの設定は、CSiMOD.PWENB ビットが“1”のとき有効になります。

注 1. $1 \leq \text{WDON}[2:0] \leq \text{WRON}[2:0] \leq \text{CSPWAIT}[2:0]$ 、また $\text{CSON}[2:0] \leq \text{WRON}[2:0] \leq \text{CSPWAIT}[2:0]$ となるように設定してください。

CSPRWAIT[2:0] ビット (ページリードサイクルウェイト選択ビット)

ページリードサイクルの2サイクル目以降のアクセスに挿入するサイクル数を設定します。

CSPRWAIT[2:0] ビットの設定は、CSiMOD.PRENB ビットが“1”のとき有効になります。

注 1. $\text{CSON}[2:0] \leq \text{RDON}[2:0] \leq \text{CSPRWAIT}[2:0]$ となるように設定してください。

CSWAIT[4:0] ビット (ノーマルライトサイクルウェイト選択ビット)

ノーマルライトサイクルおよびページライトサイクルの最初のアクセスに挿入するサイクル数を設定します。

注 1. $1 \leq \text{WDON}[2:0] \leq \text{WRON}[2:0] \leq \text{CSWAIT}[4:0]$ 、また $\text{CSON}[2:0] \leq \text{WRON}[2:0] \leq \text{CSWAIT}[4:0]$ となるように設定してください。

CSRWAIT[4:0] ビット (ノーマルリードサイクルウェイト選択ビット)

ノーマルリードサイクルおよびページリードサイクルの最初のアクセスに挿入するサイクル数を設定します。

注 1. $\text{CSON}[2:0] \leq \text{RDON}[2:0] \leq \text{CSRWAIT}[4:0]$ となるように設定してください。

注 1. 各ビットは「11.5.5.1 ノーマル/ページアクセス時の制約事項」に示す制約の範囲内で設定ください。

11.3.5 CSi ウェイト制御レジスタ 2 (CSiWCNT2) (i = 0 ~ 7)

アドレス 0008 3008h ~ 0008 3078h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	CSON[2:0]			—	WDON[2:0]			—	WRON[2:0]			—	RDON[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	WDOFF[2:0]			—	CSWOFF[2:0]			—	CSROFF[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	CSROFF[2:0]	読み出し時CS延長サイクル選択ビット	b2 b0 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	CSWOFF[2:0]	書き込み時CS延長サイクル選択ビット	b6 b4 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	WDOFF[2:0]	書き込みデータ出力延長サイクル選択ビット	b10 b8 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	RDON[2:0]	RDアサートウェイト選択ビット	b18 b16 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b22-b20	WRON[2:0]	WRアサートウェイト選択ビット	b22 b20 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b26-b24	WDON[2:0]	書き込みデータ出力ウェイト選択ビット	b26 b24 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b30-b28	CSON[2:0]	CSアサートウェイト選択ビット	b30 b28 0 0 0: ウェイトを挿入しない 0 0 1: ウェイトを1サイクル挿入 0 1 0: ウェイトを2サイクル挿入 0 1 1: ウェイトを3サイクル挿入 1 0 0: ウェイトを4サイクル挿入 1 0 1: ウェイトを5サイクル挿入 1 1 0: ウェイトを6サイクル挿入 1 1 1: ウェイトを7サイクル挿入	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CSiWCNT2 レジスタは、外部アドレス空間の各エリアのウェイトサイクル数を選択するレジスタです。

CSROFF[2:0] ビット (読み出し時 CS 延長サイクル選択ビット)

リードアクセス時のウェイトサイクル終了時 (RD# 信号のネゲート時) から CSi# 信号 (i=0 ~ 7) をネゲートするまでのサイクル数を設定します。

CSWOFF[2:0] ビット (書き込み時 CS 延長サイクル選択ビット)

ライトアクセス時のウェイトサイクル終了時 (WR0#, WR1#, WR# 信号のネゲート時) から CSi# 信号 (i=0 ~ 7) をネゲートするまでのサイクル数を設定します。

注 1. $1 \leq \text{WDOFF}[2:0] \leq \text{CSWOFF}[2:0]$ となるように設定してください。

WDOFF[2:0] ビット (書き込みデータ出力延長サイクル選択ビット)

ライトアクセス時のウェイトサイクル終了時 (WR0#, WR1#, WR# 信号のネゲート時) から書き込みデータ出力を終了するまでのサイクル数を設定します。

注 1. $1 \leq \text{WDOFF}[2:0] \leq \text{CSWOFF}[2:0]$ となるように設定してください。

RDON[2:0] ビット (RD アサートウェイト選択ビット)

RD# 信号のアサート前に挿入するウェイトサイクル数を設定します。

注 1. ノーマルリードアクセス時 : $\text{CSON}[2:0] \leq \text{RDON}[2:0] \leq \text{CSRWAIT}[4:0]$ 、
ページリードアクセス時 : $\text{CSON}[2:0] \leq \text{RDON}[2:0] \leq \text{CSPRWAIT}[2:0]$
となるように設定してください。

WRON[2:0] ビット (WR アサートウェイト選択ビット)

WR0#, WR1#, WR# 信号のアサート前に挿入するウェイトサイクル数を設定します。

注 1. ノーマルライトアクセス時 : $1 \leq \text{WDON}[2:0] \leq \text{WRON}[2:0] \leq \text{CSWAIT}[4:0]$ 、
また $\text{CSON}[2:0] \leq \text{WRON}[2:0] \leq \text{CSWAIT}[4:0]$ 、
ページライトアクセス時 : $1 \leq \text{WDON}[2:0] \leq \text{WRON}[2:0] \leq \text{CSPWAIT}[2:0]$ 、
また $\text{CSON}[2:0] \leq \text{WRON}[2:0] \leq \text{CSPWAIT}[2:0]$
となるように設定してください。

WDON[2:0] ビット (書き込みデータ出力ウェイト選択ビット)

書き込みデータ出力の前に挿入するウェイトサイクル数を設定します。

- 注 1. ノーマルライトアクセス時 : $1 \leq \text{WDON}[2:0] \leq \text{WRON}[2:0] \leq \text{CSWWAIT}[4:0]$ 、
ページライトアクセス時 : $1 \leq \text{WDON}[2:0] \leq \text{WRON}[2:0] \leq \text{CSPWWAIT}[2:0]$
となるように設定してください。

CSON[2:0] ビット (CS アサートウェイト選択ビット)

CSi# 信号 (i = 0 ~ 7) のアサート前に挿入するウェイトサイクル数を設定します。

- 注 1. ノーマルリードアクセス時 : $\text{CSON}[2:0] \leq \text{RDON}[2:0] \leq \text{CSRWAIT}[4:0]$ 、
ページリードアクセス時 : $\text{CSON}[2:0] \leq \text{RDON}[2:0] \leq \text{CSPRWAIT}[2:0]$ 、
ノーマルライトアクセス時 : $\text{CSON}[2:0] \leq \text{WRON}[2:0] \leq \text{CSWWAIT}[4:0]$ 、
ページライトアクセス時 : $\text{CSON}[2:0] \leq \text{WRON}[2:0] \leq \text{CSPWWAIT}[2:0]$
となるように設定してください

- 注 1. 各ビットは「11.5.5.1 ノーマル / ページアクセス時の制約事項」に示す制約の範囲内で設定ください。

11.3.6 バスエラー要因クリアレジスタ (BERCLR)

アドレス 0008 1300h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	STSC LR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STSCLR	バスエラー要因クリアビット	0: 無効 1: バスエラー要因クリア	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”のみ書けます。

STSCLR ビット (バスエラー要因クリアビット)

“1”を書くと、内部のバスエラー要因をクリアします。バスエラーによる割り込み処理ルーチン内で、このビットに“1”を書いてバスが保持しているバスエラー要因をクリアしてください。

“0”を書いても無効です。読むと“0”が読めます。

11.3.7 バスエラー監視許可レジスタ (BEREN)

アドレス 0008 1304h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TOEN	IGAEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IGAEN	不正アドレスアクセス検出許可ビット	0: 不正アドレスアクセス検出禁止 1: 不正アドレスアクセス検出許可	R/W
b1	TOEN	タイムアウト検出許可ビット (注1、注2)	0: バスタイムアウト検出禁止 1: バスタイムアウト検出許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 検出禁止 (TOENビット=0) にしてバスアクセスを行った場合、バスがフリーズすることがあります。

注2. タイムアウトエラー検出中にTOENビットを検出禁止にしないでください。

IGAEN ビット (不正アドレスアクセス検出許可ビット)

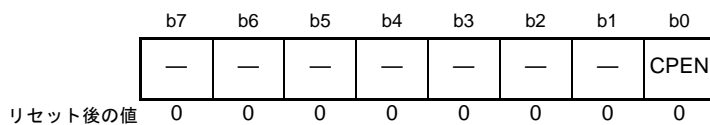
不正アドレスアクセス検出の許可/禁止を設定します。

TOEN ビット (タイムアウト検出許可ビット)

バスタイムアウト検出の許可/禁止を設定します。

11.3.8 バスエラー割り込み許可レジスタ (BERIE)

アドレス 0008 1306h



ビット	シンボル	ビット名	機能	R/W
b0	CPEN	CPUバスエラー通知制御ビット	0 : バスエラー割り込みを通知しない 1 : バスエラー割り込みを通知する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CPEN ビット (CPU バスエラー通知制御ビット)

バスエラーを検出したときに、割り込みコントローラに通知する / しないを選択します。

11.4 エンディアンとデータアライメント

CPU およびその他の内部バスマスタのデータサイズには、8ビット、16ビットおよび32ビットがあります。外部バス制御部はデータアライメント機能を持っており、外部アドレス空間をアクセスするときデータバスD15～D8、D7～D0のどれを使用するかを、外部アドレス空間のバス仕様（8ビットバス空間、16ビットバス空間）とデータサイズ、およびエンディアンモードによって制御します。

11.4.1 16ビットバス空間

CSiCNT.BSIZE[1:0]ビットで16ビットバス空間を選択すると、アドレスバス（A23～A1）が16ビット単位のアドレス出力信号として有効になり、アドレスA0は常に“0”となります。

バイトストローブモード（CSiMOD.WRMODビット=0）を選択した場合、WRn#(n=0、1)端子が有効になります。BCn#(n=0、1)端子は使用しません。

1ライトストローブモード（CSiMOD.WRMODビット=1）を選択した場合、WR#端子が有効となり、データサイズにかかわらずライトアクセス時には、WR#端子よりLowが出力されます。有効なバイト位置は、BCn#(n=0、1)端子によって表します。WRn#(n=0、1)端子は使用しません。

32ビットのデータサイズアクセスに対してページアクセスが発生することがあります。ページアクセスが発生する場合の例を図11.3、図11.4に（p）で示します。

ビッグエンディアンとリトルエンディアンでチップの外部データ、制御信号の有効位置が異なります。

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス	データバス			
						D15	D8	D7	D0
8bit	4n	1回	1回目	8bit	4n	[7 0]			
	4n+1	1回	1回目	8bit	4n	[7 0]			
	4n+2	1回	1回目	8bit	4n+2	[7 0]			
	4n+3	1回	1回目	8bit	4n+2	[7 0]			
16bit	4n	1回	1回目	16bit	4n	[15 8 7 0]			
	4n+1	2回	1回目	8bit	4n	[7 0]			
			2回目	8bit	4n+2	[15 8]			
	4n+2	1回	1回目	16bit	4n+2	[15 8 7 0]			
4n+3	2回	1回目	8bit	4n+2	[7 0]				
		2回目	8bit	4n+4	[15 8]				
32bit	4n	2回	1回目	16bit	4n	[15 8 7 0]			
			2回目	16bit	4n+2 (p)	[31 24 23 16]			
	4n+1	3回	1回目	8bit	4n	[7 0]			
			2回目	16bit	4n+2	[23 16 15 8]			
			3回目	8bit	4n+4	[31 24]			
	4n+2	2回	1回目	16bit	4n+2	[15 8 7 0]			
2回目			16bit	4n+4	[31 24 23 16]				
4n+3	3回	1回目	8bit	4n+2	[7 0]				
		2回目	16bit	4n+4	[23 16 15 8]				
		3回目	8bit	4n+6	[31 24]				

CSiMOD.PRENB, PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 11.3 16ビットバス空間のデータアライメント（リトルエンディアン）

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	WR1#/BC1#	WR0#/BC0#	
						RD#		
						データバス		
						D15	D8 D7	D0
8bit	4n	1回	1回目	8bit	4n	7	0	
	4n+1	1回	1回目	8bit	4n		7 0	
	4n+2	1回	1回目	8bit	4n+2	7	0	
	4n+3	1回	1回目	8bit	4n+2		7 0	
16bit	4n	1回	1回目	16bit	4n	15	8 7 0	
	4n+1	2回	1回目	8bit	4n		15 8	
			2回目	8bit	4n+2	7	0	
	4n+2	1回	1回目	16bit	4n+2	15	8 7 0	
	4n+3	2回	1回目	8bit	4n+2		15	8
			2回目	8bit	4n+4	7	0	
32bit	4n	2回	1回目	16bit	4n	31	24 23	16
			2回目	16bit	4n+2 (p)	15	8 7	0
	4n+1	3回	1回目	8bit	4n		31	24
			2回目	16bit	4n+2	23	16 15	8
			3回目	8bit	4n+4	7	0	
	4n+2	2回	1回目	16bit	4n+2	31	24 23	16
			2回目	16bit	4n+4	15	8 7	0
	4n+3	3回	1回目	8bit	4n+2		31	24
			2回目	16bit	4n+4	23	16 15	8
3回目			8bit	4n+6	7	0		

CSiMOD.PRENB, PWENBビットでページアクセスを許可した場合、
(p)で表示されたアクセスがページアクセスの対象となります。

図 11.4 16 ビットバス空間のデータアライメント (ビッグエンディアン)

11.4.2 8ビットバス空間

CSiCNT.BSIZE[1:0] ビットで8ビットバス空間を選択すると、アドレスバス (A23 ~ A0) がバイト単位のアドレス信号として有効になります。

バイトストローブモードを選択した場合、WR0# 端子が有効となり、1 ライトストローブモードを選択した場合、WR# 端子が有効となります。WR0#、WR# 端子には、ライトアクセス時に Low が出力されます。BC0#、WR1#、BC1# 端子は使用しません。

16ビット、32ビットのデータサイズアクセスに対してページアクセスが発生することがあります。ページアクセスが発生する場合の例を図 11.5、図 11.6 に (p) で示します。

エンディアンにかかわらず、チップの外部データ、制御信号の有効位置は変わりません。

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	WR1#/BC1# WR0#/BC0#		RD#		データバス	
						D15	D8	D7	D0		
8bit	4n	1回	1回目	8bit	4n			7			0
	4n+1	1回	1回目	8bit	4n+1			7			0
	4n+2	1回	1回目	8bit	4n+2			7			0
	4n+3	1回	1回目	8bit	4n+3			7			0
16bit	4n	2回	1回目	8bit	4n			7			0
			2回目	8bit	4n+1 (p)			15			8
	4n+1	2回	1回目	8bit	4n+1			7			0
			2回目	8bit	4n+2 (p)			15			8
	4n+2	2回	1回目	8bit	4n+2			7			0
			2回目	8bit	4n+3 (p)			15			8
	4n+3	2回	1回目	8bit	4n+3			7			0
			2回目	8bit	4n+4			15			8
32bit	4n	4回	1回目	8bit	4n			7			0
			2回目	8bit	4n+1 (p)			15			8
			3回目	8bit	4n+2 (p)			23			16
			4回目	8bit	4n+3 (p)			31			24
	4n+1	4回	1回目	8bit	4n+1			7			0
			2回目	8bit	4n+2 (p)			15			8
			3回目	8bit	4n+3 (p)			23			16
			4回目	8bit	4n+4			31			24
	4n+2	4回	1回目	8bit	4n+2			7			0
			2回目	8bit	4n+3 (p)			15			8
			3回目	8bit	4n+4			23			16
			4回目	8bit	4n+5 (p)			31			24
	4n+3	4回	1回目	8bit	4n+3			7			0
			2回目	8bit	4n+4			15			8
			3回目	8bit	4n+5 (p)			23			16
			4回目	8bit	4n+6 (p)			31			24

CSiMOD.PRENB, PWENBビットでページアクセスを許可した場合、(p)で表示されたアクセスがページアクセスの対象となります。

図 11.5 8ビットバス空間のデータアライメント (リトルエンディアン)

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル	データ量	アドレス	WR1#/BC1# WR0#/BC0#			
						RD#			
						データバス			
						D15	D8	D7	D0
8bit	4n	1回	1回目	8bit	4n	[7 0]			
	4n+1	1回	1回目	8bit	4n+1	[7 0]			
	4n+2	1回	1回目	8bit	4n+2	[7 0]			
	4n+3	1回	1回目	8bit	4n+3	[7 0]			
16bit	4n	2回	1回目	8bit	4n	[15 8]			
			2回目	8bit	4n+1 (p)	[7 0]			
	4n+1	2回	1回目	8bit	4n+1	[15 8]			
			2回目	8bit	4n+2 (p)	[7 0]			
	4n+2	2回	1回目	8bit	4n+2	[15 8]			
			2回目	8bit	4n+3 (p)	[7 0]			
	4n+3	2回	1回目	8bit	4n+3	[15 8]			
			2回目	8bit	4n+4	[7 0]			
32bit	4n	4回	1回目	8bit	4n	[31 24]			
			2回目	8bit	4n+1 (p)	[23 16]			
			3回目	8bit	4n+2 (p)	[15 8]			
			4回目	8bit	4n+3 (p)	[7 0]			
	4n+1	4回	1回目	8bit	4n+1	[31 24]			
			2回目	8bit	4n+2 (p)	[23 16]			
			3回目	8bit	4n+3 (p)	[15 8]			
			4回目	8bit	4n+4	[7 0]			
	4n+2	4回	1回目	8bit	4n+2	[31 24]			
			2回目	8bit	4n+3 (p)	[23 16]			
			3回目	8bit	4n+4	[15 8]			
			4回目	8bit	4n+5 (p)	[7 0]			
	4n+3	4回	1回目	8bit	4n+3	[31 24]			
			2回目	8bit	4n+4	[23 16]			
			3回目	8bit	4n+5 (p)	[15 8]			
			4回目	8bit	4n+6 (p)	[7 0]			

CSiMOD.PRENB, PWENBビットでページアクセスを許可した場合、
(p)で表示されたアクセスがページアクセスの対象となります。

図 11.6 8ビットバス空間のデータアライメント（ビッグエンディアン）

11.5 動作説明

11.5.1 外部バスアクセスタイミング

タイミング図に記載する各サイクルの説明を以下に示します。

(1) $T_{w1} \sim T_{wn}$ (ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト)

外部バスアクセス開始から、ウェイト終了サイクル (後述) の間のサイクル期間です。0 ~ 31 サイクルを選択できます。この期間内に、 $CSn\#$ 、 $RD\#$ 、 $WRn\#$ 、 $WR\#$ 信号が、ウェイト設定に応じて Low アサートされます。アサートするタイミングは、 CSi ウェイト制御レジスタ 2 ($CSiWCNT2$) の CS アサートウェイト ($CSON$)、 RD アサートウェイト ($RDON$)、 WR アサートウェイト ($WRON$)、書き込みデータ出力ウェイト ($WDON$) の各選択ビットによって制御可能です。各ウェイトのサイクル数は、外部バスアクセス開始のサイクルを起点に数え、0 ~ 7 サイクルを選択可能です。選択可能なサイクル数は、リード/ライトサイクルウェイトのサイクル数以内です。

(2) T_{end} (ストロブ信号有効サイクル)

T_{end} は、ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト期間、あるいはページリードサイクルウェイト、ページライトサイクルウェイト期間が終了した次のサイクルです。ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト、あるいはページリードサイクルウェイト、ページライトサイクルウェイトの各選択ビットが“0”の場合、バスアクセス開始のサイクルがストロブ信号有効サイクルとなります。ストロブ信号有効サイクルの次のサイクルで $RD\#$ 、 $WRn\#$ 、 $WR\#$ 信号がネゲートされます。リードアクセスの場合は、読み出しデータのサンプルサイクルとなります。外部ウェイト許可の場合、ストロブ信号有効サイクル時点で、ウェイト信号がサンプリングされます。ウェイト信号が Low の場合、バスサイクルを延長し、ウェイト信号が High になると次のサイクルでバスサイクルを終了します。 (T_{end}) は、ウェイト信号のサンプリングを開始するサイクルを示します。ページアクセスで 1 回目のストロブ信号有効サイクルの場合、ライトアクセス時の書き込みデータ出力延長サイクルが設定されている (“0”以外の値) 場合 (5) を除いて、次のサイクル 2 回目以降のページアクセス (6) が開始されます。 RD アサートウェイト、 WR アサートウェイト選択ビットの設定が“0”以外の場合、次のサイクルで、 $RD\#$ 、 $WRn\#$ 、 $WR\#$ 信号がネゲートされます。“0”の場合、アサートが継続されます。また、 $CSn\#$ 信号はネゲートされず、アサートを継続します。

(3) $T_{n1} \sim T_{nm}$ (CS 延長サイクル)

ノーマルアクセスの場合は、ストロブ信号有効サイクル (T_{end}) の次のサイクルから $CSn\#$ 信号をネゲートするまでのサイクル期間です。ネゲートするタイミングは、リードアクセス時、 CSi ウェイト制御レジスタ 2 ($CSiWCNT2$) の読み出し時 CS 延長サイクル選択ビット ($CSROFF$)、ライトアクセス時、書き込み時 CS 延長サイクル選択ビット ($CSWOFF$) によって制御可能です。サイクル数は、ストロブ信号有効サイクルの次のサイクルを起点に数えます。ページアクセスの場合は、最後のストロブ信号有効サイクルから $CSn\#$ 信号をネゲートするまでのサイクル期間です。ライトアクセス時は、書き込みデータ出力延長サイクル選択ビット ($WDOFF$) によって、アドレス、出力データが延長されます。

(4) T_h (アドレス保持期間)

CS 延長サイクル終了後の次の 1 サイクルは、アドレスは前アクセスの値を保持します。ただし、バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが必要となる場合については、分割された最後のバスアクセスのみアドレスの値を保持します。最後のバスアクセス以外については、アドレスは $CSn\#$ 信号のネゲートタイミングで次のアクセスの値に更新されます。ノーマルアクセスでは、 $CSn\#$ 信号のネゲート期間が 1 サイクル挿入され、ページアクセスでは $CSn\#$ 信号のネゲート期間は挿入されません。(図 11.10、図 11.11 参照)。

(5) Tdw1 ~ Tdwn (書き込みデータ出力延長サイクル)

ライトアクセス時、書き込みデータ出力延長サイクル選択ビットが“0”以外の設定の場合、書き込みデータ出力延長サイクルがストロブ信号有効サイクル (Tend) の次のサイクルから挿入されます。

ノーマルアクセスの場合、CS 延長サイクル (3) の期間内に挿入されます。

ページアクセスの場合、ストロブ信号有効サイクル (Tend) と後続のページアクセスの間、および CS 延長サイクル (3) の期間内に挿入されます。この期間、アドレス、出力データが延長され、WRn#、WR# 信号はネゲートされます。

(6) Tpw1 ~ Tpwn (ページリードサイクルウェイト、ページライトサイクルウェイト)

ページアクセスの 2 回目以降のバスサイクルについては、ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイトの代わりに、ページリードサイクルウェイト、ページライトサイクルウェイトの値が使用されます。WR アサートウェイトの設定は、1 回目のアクセスと同様に有効となります。RD アサートについては、ページリードアクセスモード (CSiMOD.PRMOD) の設定によって動作が異なります。

CDiMOD.PRMOD = 0 の場合 : 1 回目と同様に RD アサートウェイトが挿入され、RD# 信号がネゲートされます。

CDiMOD.PRMOD = 1 の場合 : ノーマルアクセス互換モードと同様に RD アサートウェイトが挿入されますが、その間、RD# 信号がアサートされ続けます。

(7) Tr1 ~ Tm (リカバリサイクル)

バスサイクルの終了時点からリカバリサイクルの挿入ができます。リカバリサイクル数は、CSi リカバリサイクル設定レジスタ (CSiREC) のリードリカバリ (RRCV)、ライトリカバリ (WRCV) 設定ビットによって制御可能です。各リカバリサイクル数は、アドレス保持期間の次のサイクルを起点に数え、0 ~ 15 サイクルを選択可能です。リカバリサイクルの詳細は、「11.5.3 リカバリサイクルの挿入」を参照してください。

11.5.1.1 ノーマルアクセス

CSiMOD.PRENB ビットを“0”（ページリードアクセス禁止）、CSiMOD.PWENB ビットを“0”（ページライトアクセス禁止）にした場合、すべてのバスアクセスはノーマルアクセスを行います。

CSiMOD.PRENB ビットを“1”（ページリードアクセス許可）、CSiMOD.PWENB ビットを“1”（ページライトアクセス許可）にした場合でも、ページアクセスに該当しないバスアクセスは、ノーマルアクセスとなります。

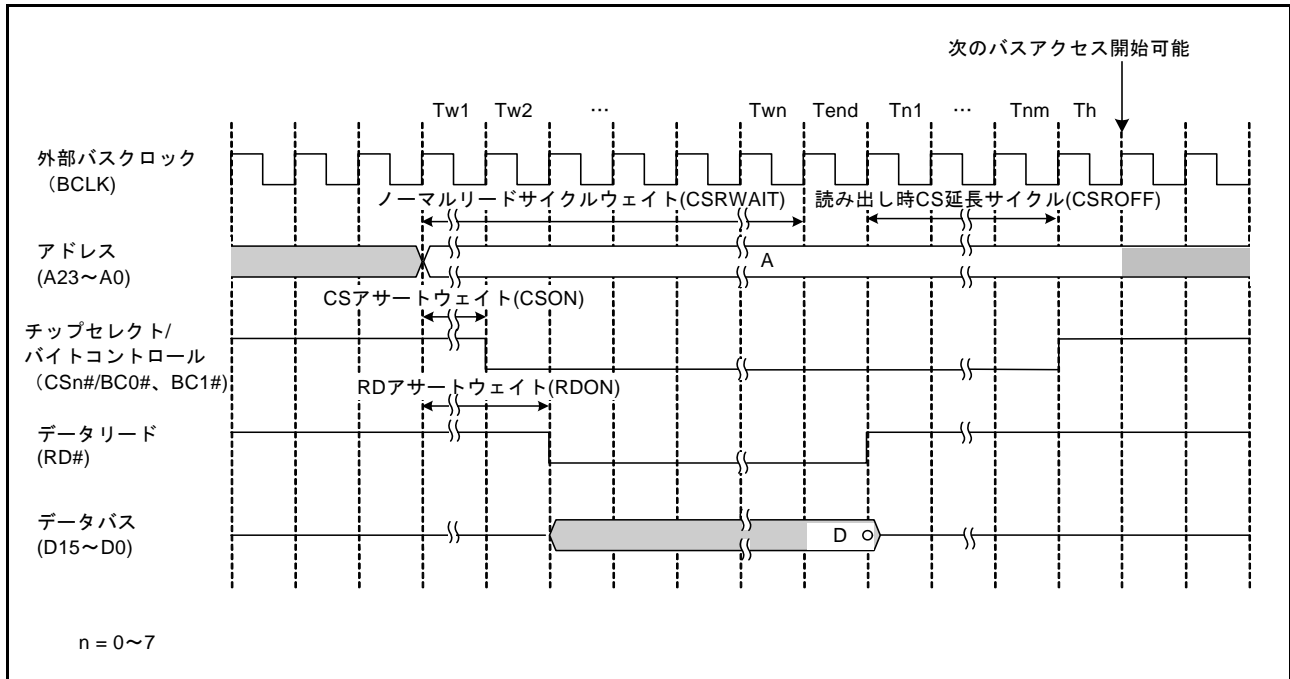


図 11.7 バスタイミング（ノーマルリード）

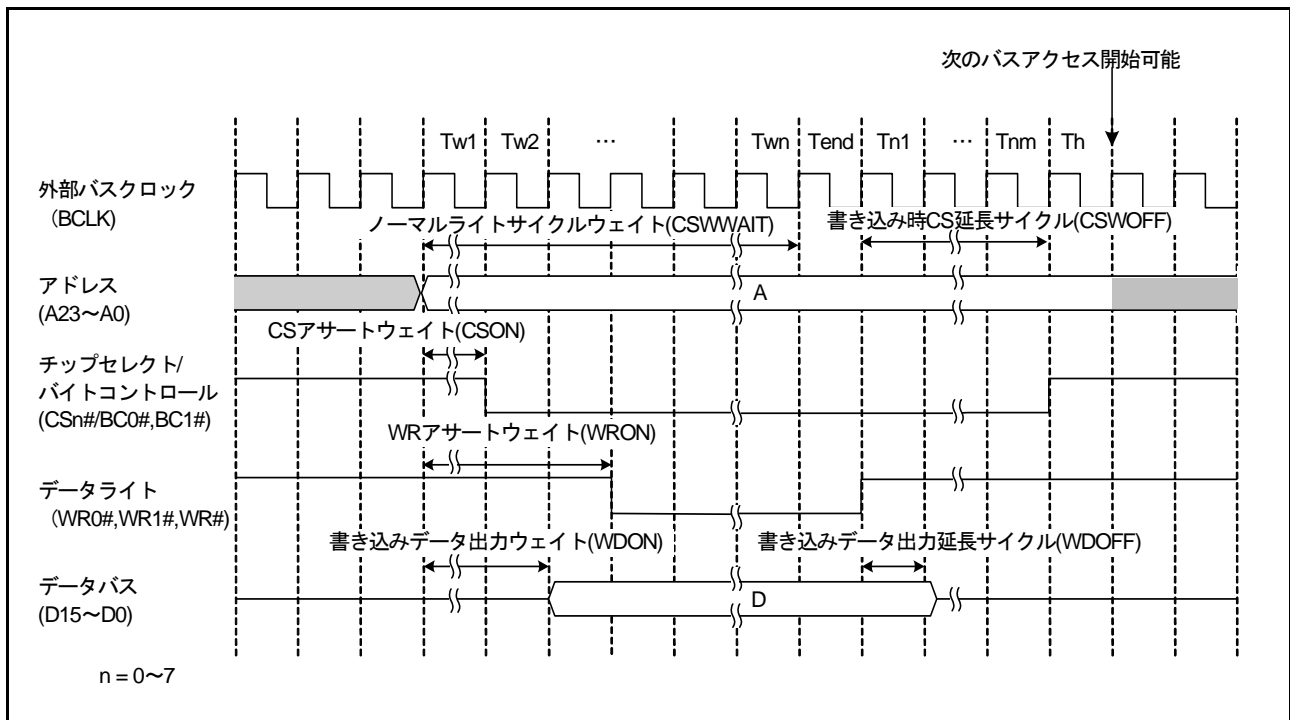


図 11.8 バスタイミング（ノーマルライト）

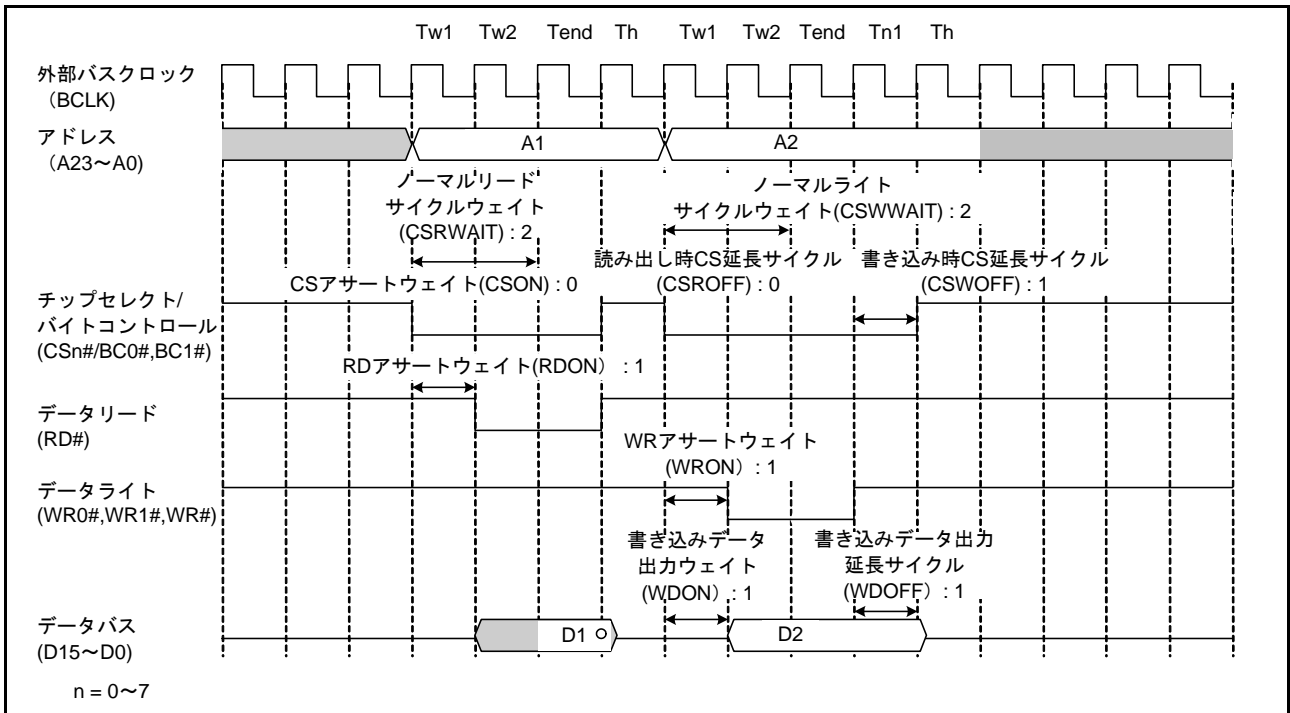


図 11.9 ノーマルアクセスの動作例（リード、ライト）

バスマスタからの1転送要求に対して2回以上の外部バスアクセスが必要となる場合は、ノーマルアクセス動作(1)から(4)を繰り返します。図 11.10、図 11.11 に、1転送要求に対して2回バスアクセスが発生する場合の動作例を示します。各ウェイト制御レジスタの値は設定例です。接続するデバイスの仕様に合わせてレジスタの値は設定してください。

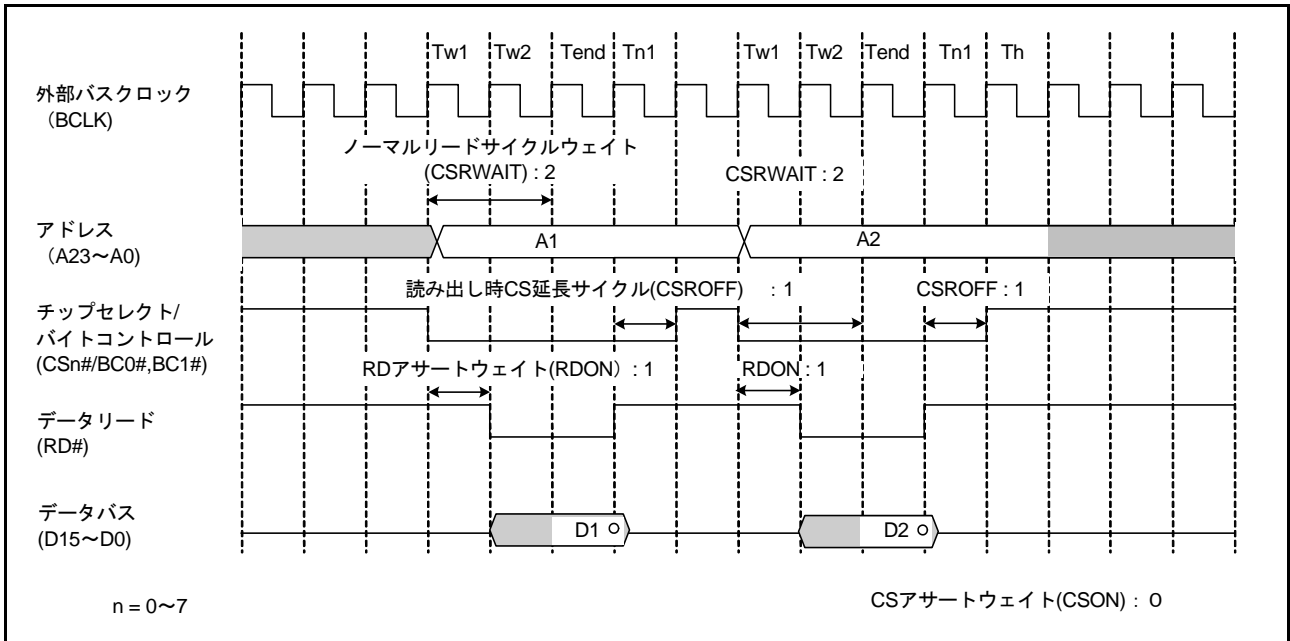


図 11.10 ノーマルリードアクセスの動作例（1転送要求に対して2回バスアクセスが発生する場合）

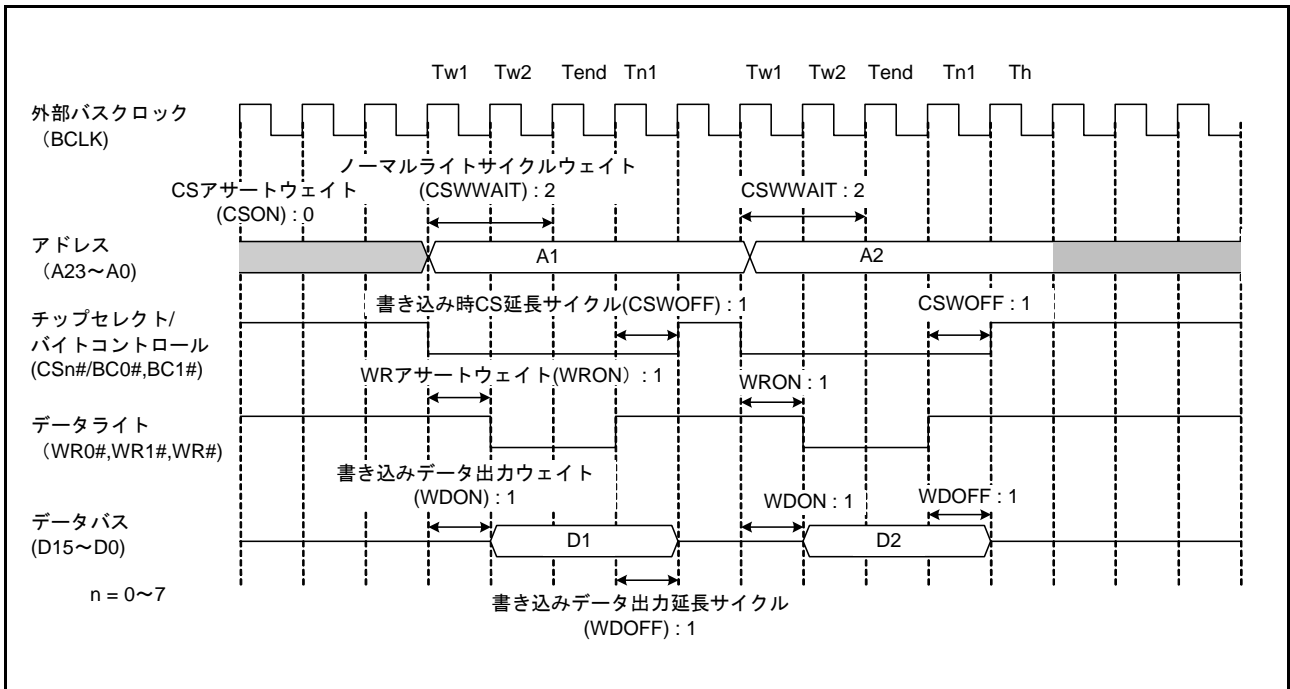


図 11.11 ノーマルライトアクセスの動作例 (1 転送要求に対して 2 回バスアクセスが発生する場合)

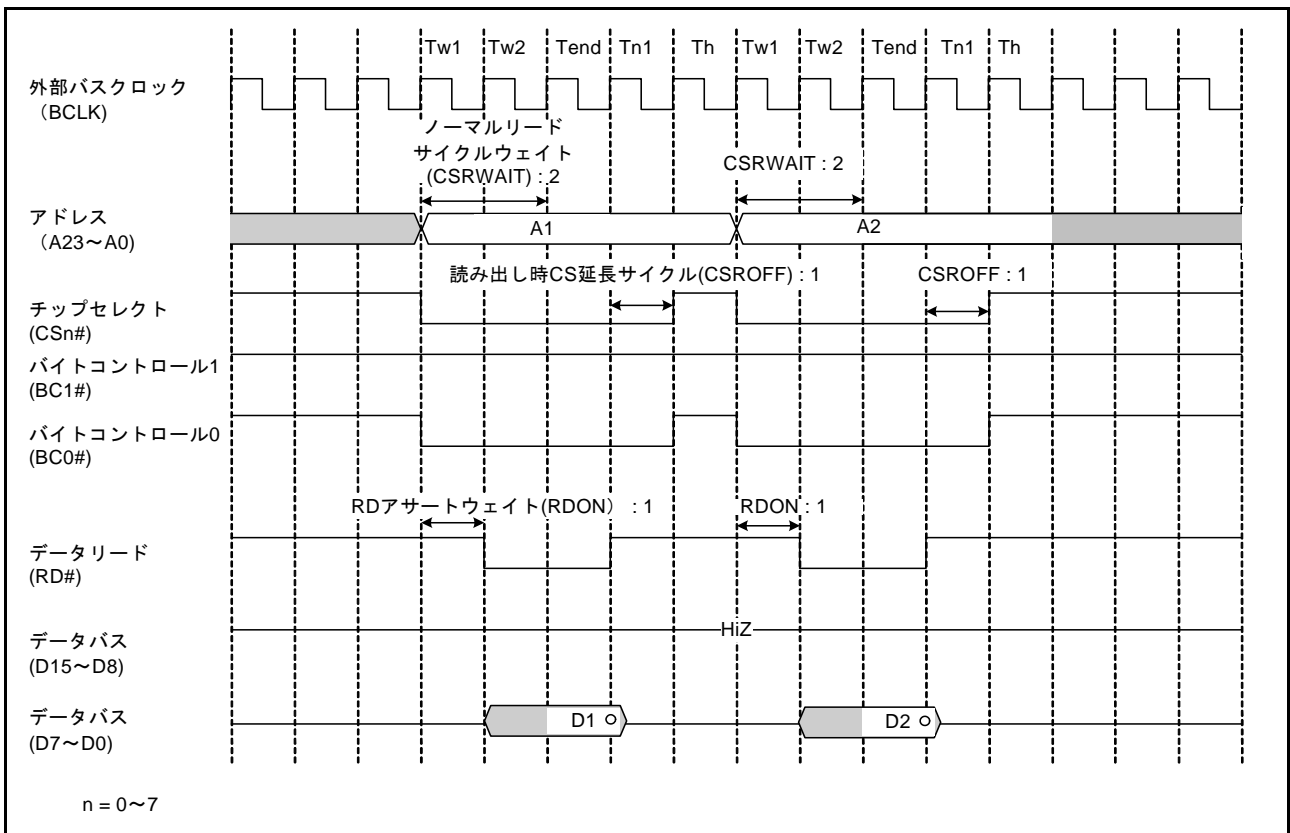


図 11.12 ノーマルリードアクセスの動作例 (16 ビットバス空間に対して 8 ビットアクセスした場合)

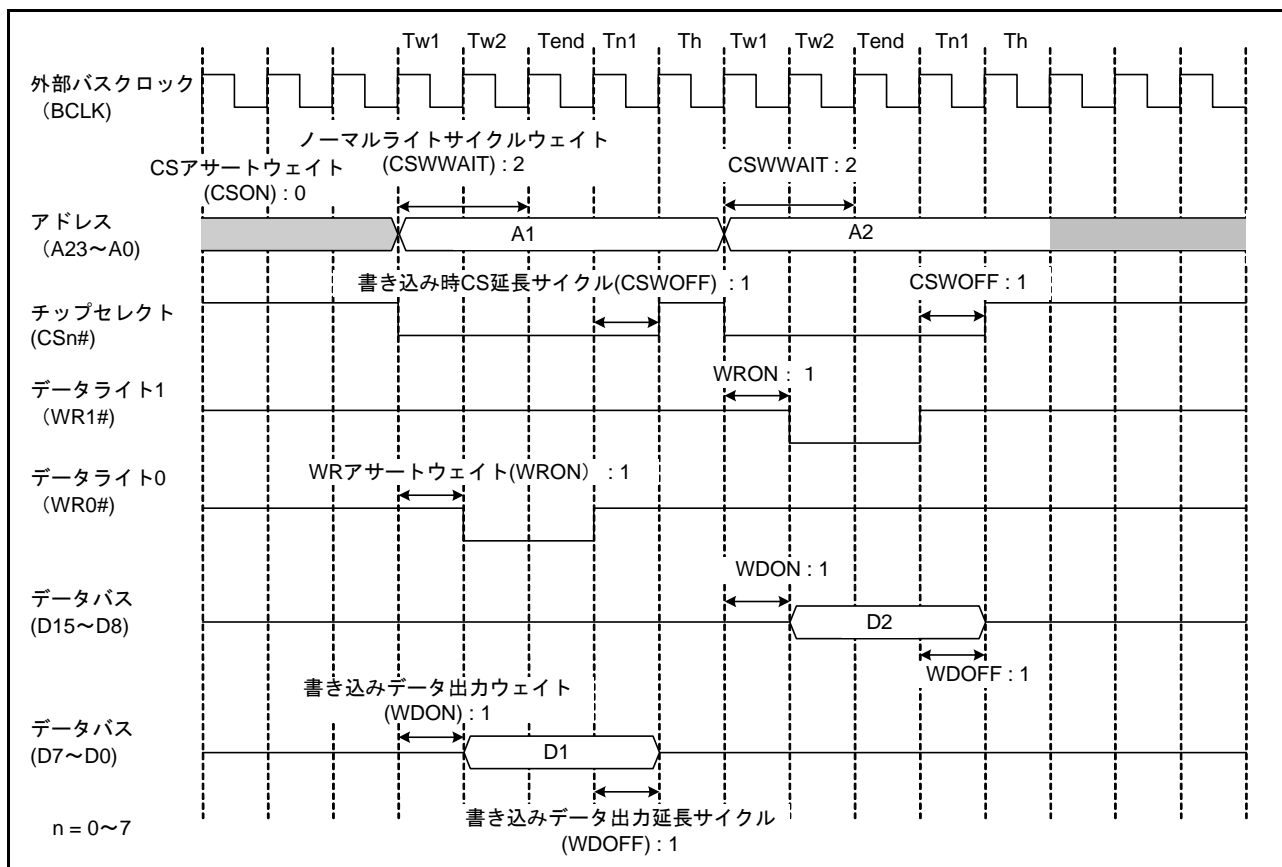


図 11.13 ノーマルライトアクセスの動作例 (16 ビットバス空間に対して 8 ビットアクセスした場合 : バイトストローブモード時)

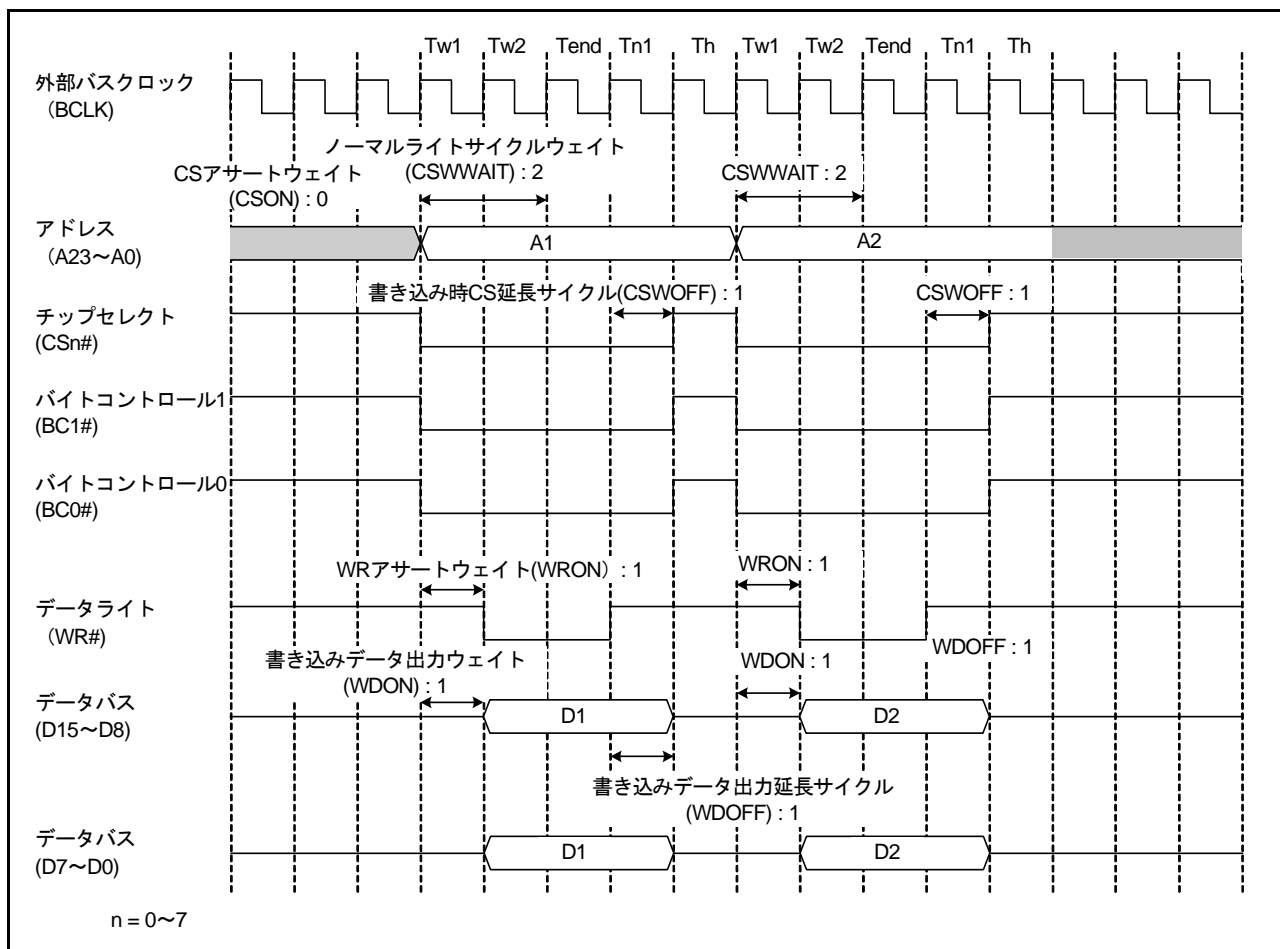


図 11.14 ノーマルライトアクセスの動作例 (16 ビットバス空間に対して 16 ビットアクセスした場合 : 1 ライトストローブモード時)

11.5.1.2 ページアクセス

CSiMOD.PRENB ビットを“1” (ページリードアクセス許可)、CSiMOD.PWENB ビットを“1” (ページライトアクセス許可) にした場合、ページアクセスに該当するバスアクセスは、ページアクセスとなります。バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが必要となる場合がページアクセスの対象となります。ページアクセスが発生する条件については、図 11.5 ~ 図 11.8 を参照してください。

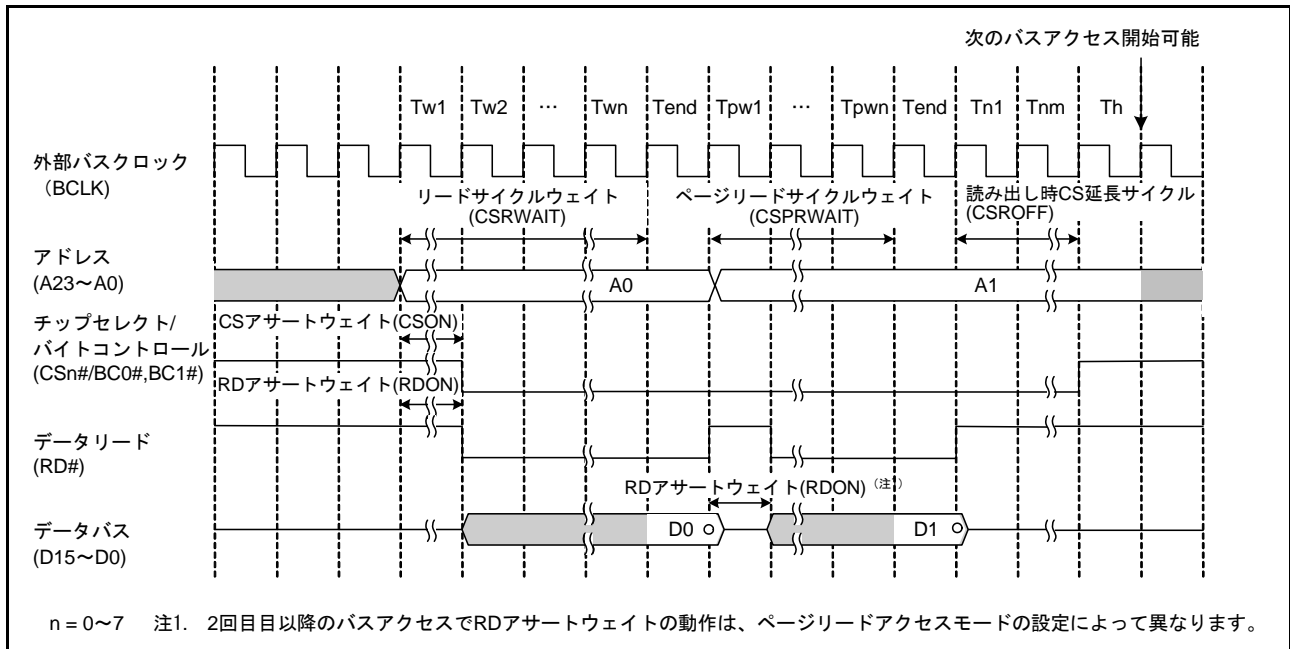


図 11.15 ページリードアクセスタイミング

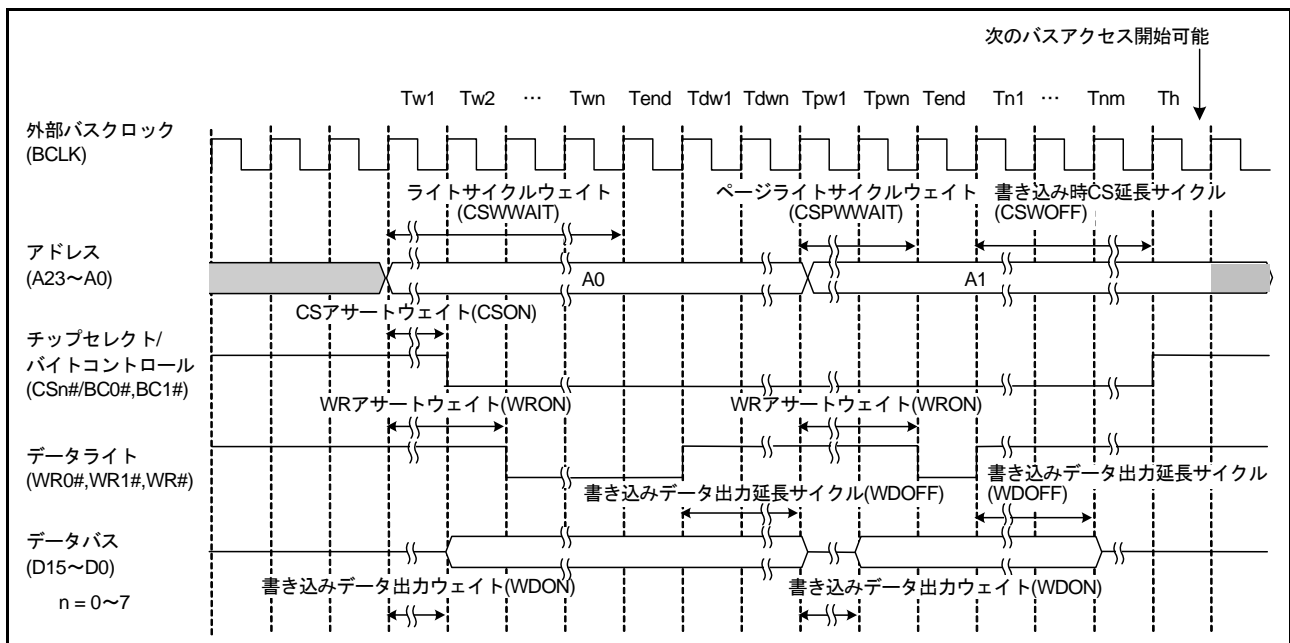


図 11.16 ページライトアクセスタイミング

図 11.17、図 11.18 に、16 ビットバス空間に対して 32 ビットアクセスした場合の動作例を示します。各ウェイト制御レジスタの値は設定例です。接続するデバイスの仕様に合わせてレジスタの値は設定してください。

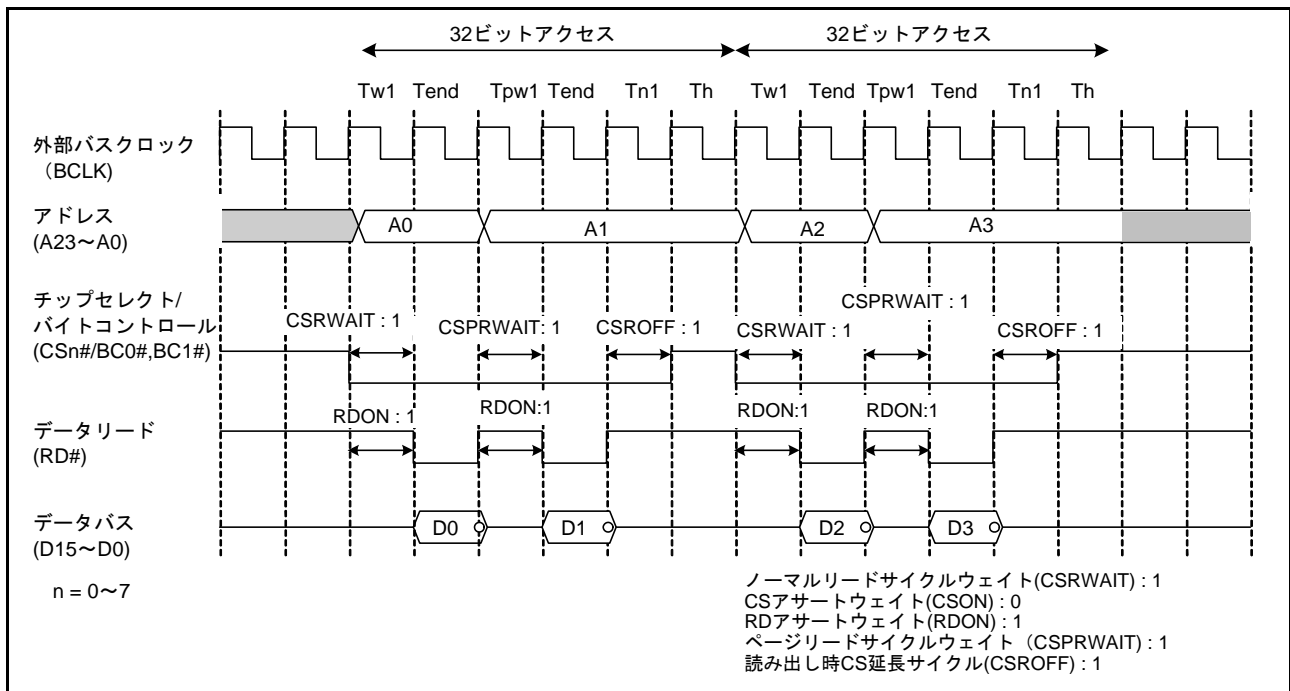


図 11.17 ページリードアクセスの動作例 (16 ビットバス空間に対して 32 ビットアクセスした場合)

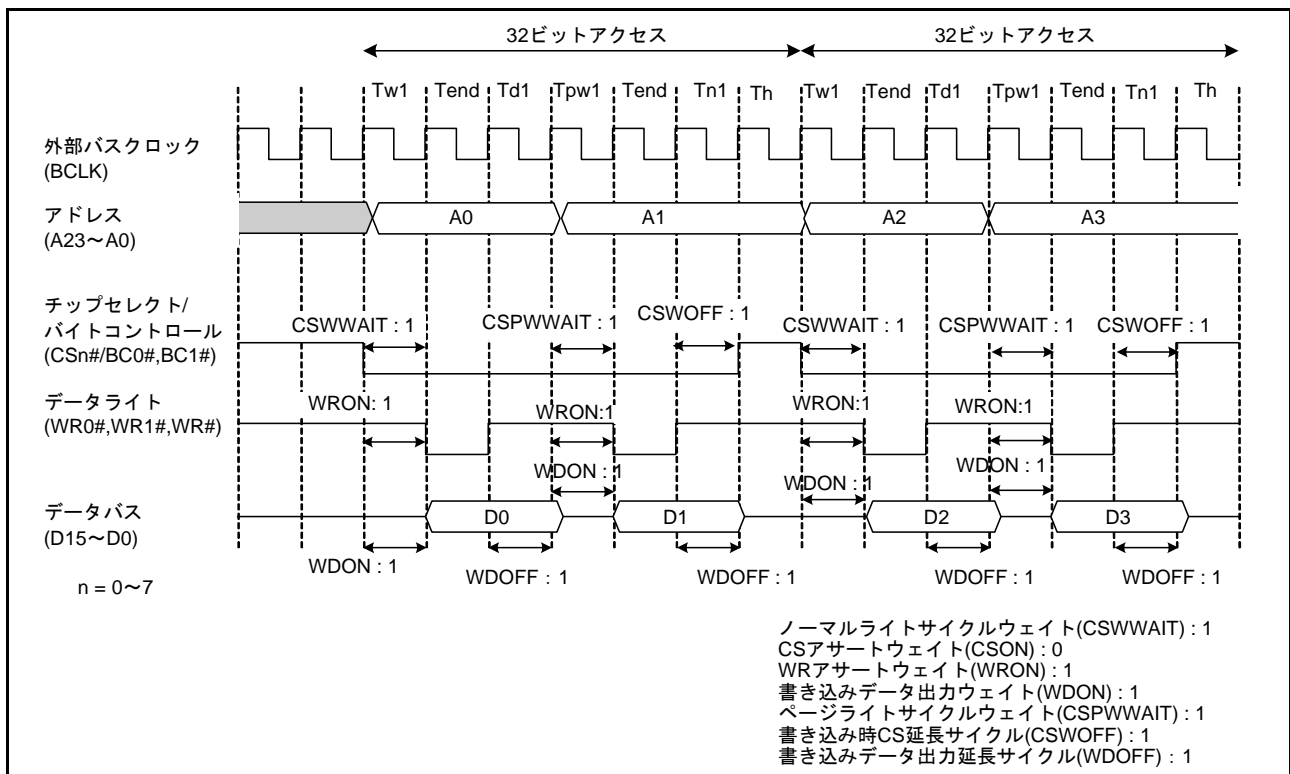


図 11.18 ページライトアクセスの動作例 (16 ビットバス空間に対して 32 ビットアクセスした場合)

11.5.2 外部ウェイト機能

WAIT# 信号によって、CSi ウェイト制御レジスタ 1 (CSiWCNT1) で設定したノーマルアクセスサイクルウェイト (CSRWAIT[4:0] ビット、CSWWAIT[4:0] ビット) や、ページアクセスサイクルウェイト (CSPRWAIT[2:0] ビット、CSPWWAIT[2:0] ビット) を超えて、ウェイトサイクルを延長することができます。

CSiMOD.EWENB ビットを“1” (外部ウェイト許可) にすると、WAIT# 信号が Low の間、ウェイトサイクルが挿入されます。CSiMOD.EWENB ビットが“0” (外部ウェイト禁止) であれば、WAIT# 信号は無効です。

なお、CSiWCNT1 レジスタで設定した各サイクルウェイトは、WAIT# 信号にかかわらず挿入されます。

11.5.2.1 ノーマルアクセス

CSiWCNT1 レジスタで設定したサイクルウェイト数が完了した時点 (Tend) から WAIT# 信号がサンプリングされます。WAIT# 信号が Low の間、バスサイクルを延長します。WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

11.5.2.2 ページアクセス

最初のアクセスは、ノーマルアクセスと同じです。CSiWCNT1 レジスタに設定したサイクルウェイト数が完了した時点 (Tend) から WAIT# 信号がサンプリングされます。WAIT# 信号が Low の間、バスサイクルを延長します。WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

2 回目以降のリードアクセスは、ページアクセスのウェイトサイクルが完了した時点 (Tend) から WAIT# 信号がサンプリングされます。WAIT# 信号が Low の間、ページアクセスのウェイトサイクルを延長し、WAIT# 信号が High になった次のサイクルがウェイトサイクルの終了 (Tend) となります。

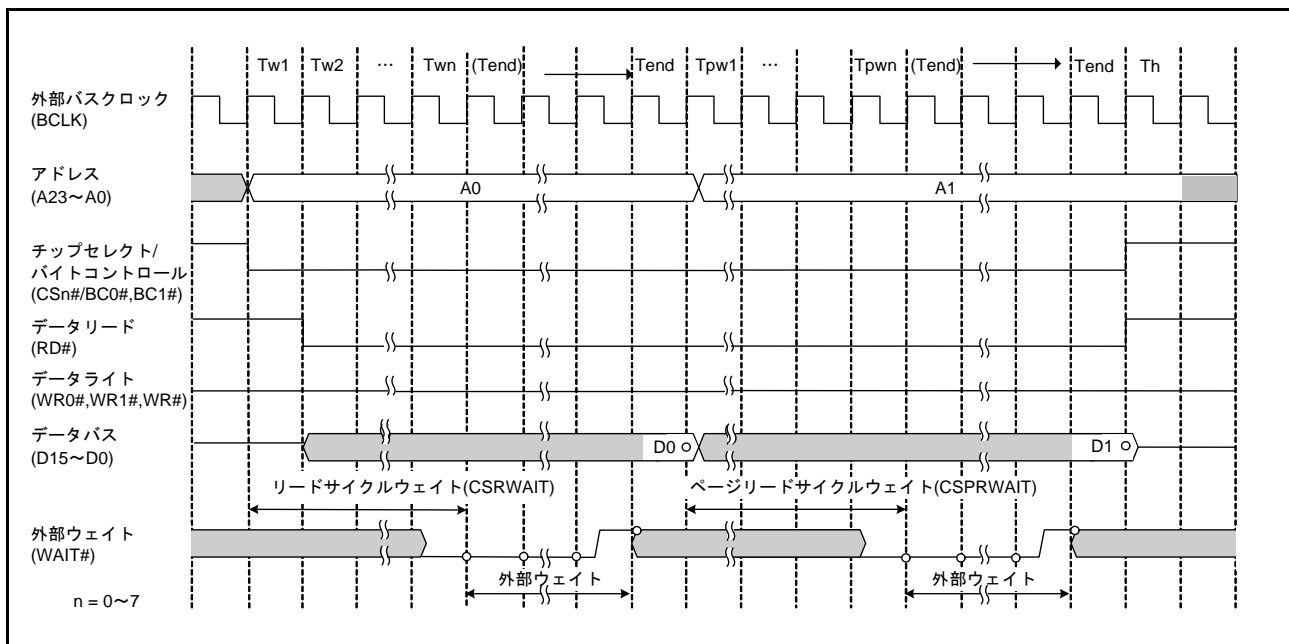


図 11.19 外部ウェイトタイミング例 (16 ビットバス空間へのページリードアクセス)

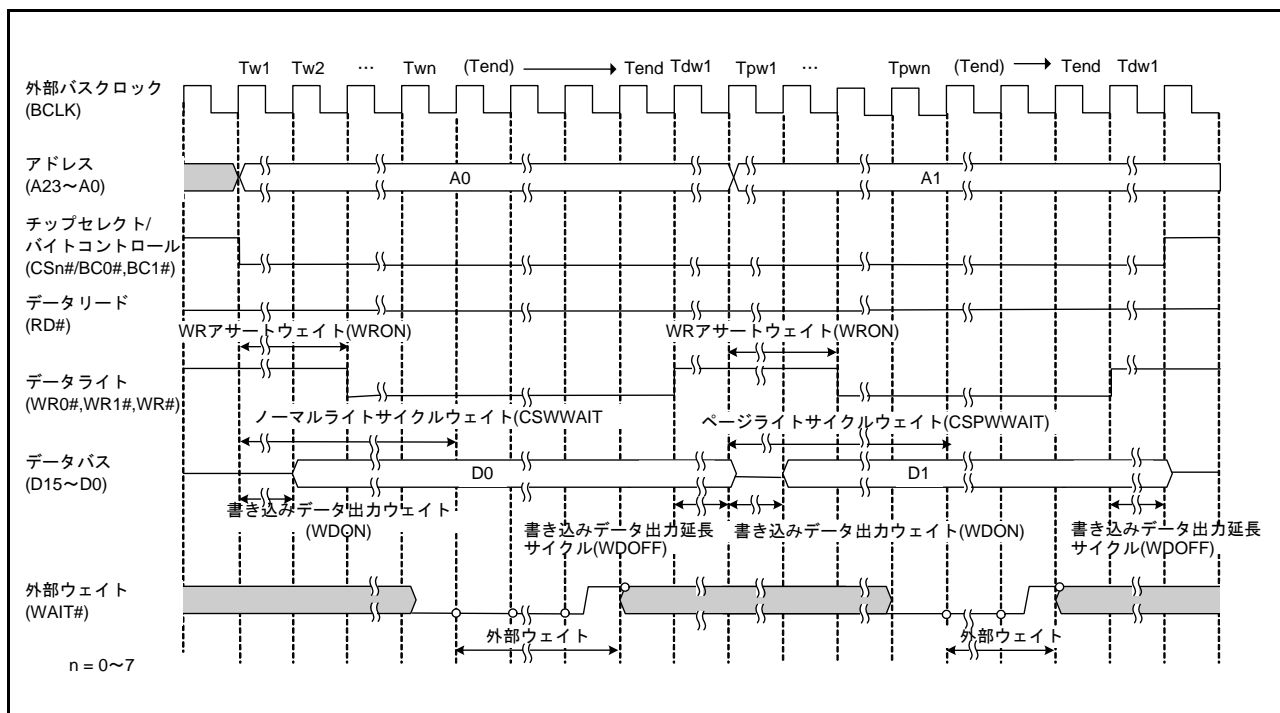


図 11.20 外部ウェイトタイミング例 (16 ビットバス空間へのページライトアクセス)

11.5.3 リカバリサイクルの挿入

連続する外部バスアクセスの間にリカバリサイクルを挿入することができます。以下にリカバリサイクル挿入可能な条件を示します。

- 外部バスに対するリードアクセス後、外部バスのライトアクセスがある場合
- 外部バスに対するリードアクセス後、異なるエリアに対するリードアクセスがある場合
- 外部バスに対するライトアクセス後、外部バスのリードアクセスがある場合

ライトアクセス後のライトアクセスでは、リカバリサイクルは挿入されません。

リカバリサイクルの挿入は、ライトサイクル後とリードサイクル後を個々に設定できます。ライトサイクル後のリカバリサイクル数は前バスサイクルのライトアクセスエリアの **CSiREC.WRCV[3:0]** ビットで設定し、リードサイクル後のリカバリサイクル数は前バスサイクルのリードアクセスエリアの **CSiREC.RRCV[3:0]** ビットで設定します。たとえば、CS0 リードアクセス後、CS1 リードアクセスがある場合、この間に入るリカバリサイクルは **CS0REC.RRCV[3:0]** ビットで設定されたサイクル数になります。

リカバリサイクルの起点は、前バスサイクルの終了時点（アドレス保持期間の次のサイクル）です。終了時点から設定したリカバリサイクル間は、CSn# 信号の High 期間が挿入されます。

リカバリサイクルの終了後は、最短でリカバリサイクル終了の次のサイクルに次のバスアクセスのチップセレクト CSn# 信号がアサートされます。リカバリサイクル中に次の外部アドレス領域へのアクセス要求が発生した場合も、リカバリサイクル終了を待って、次の外部バスアクセスを開始します。

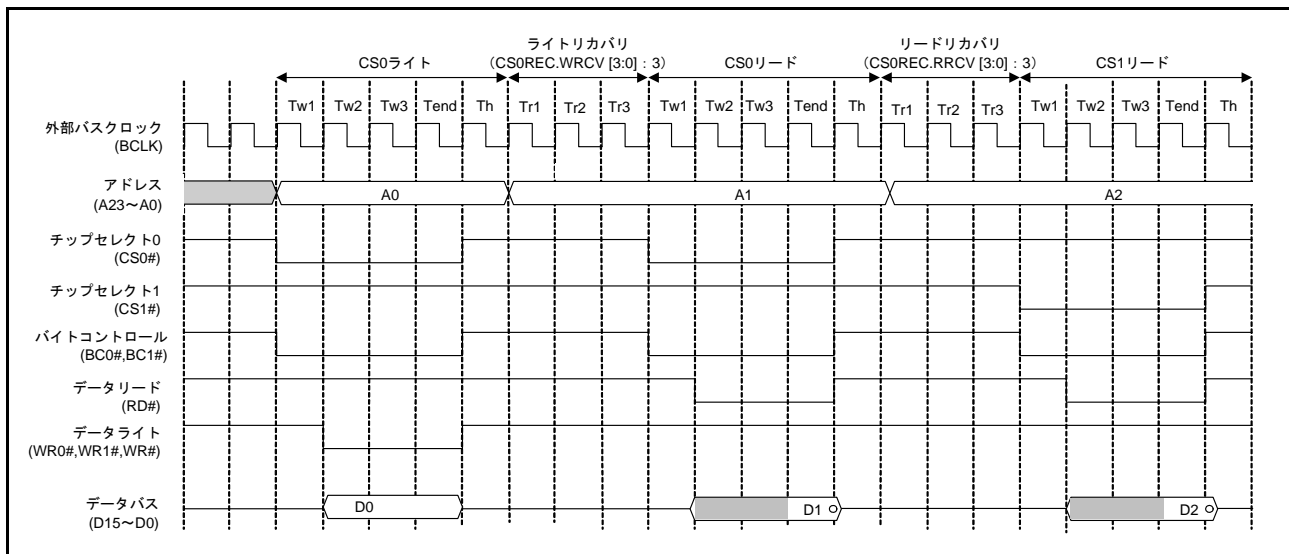


図 11.21 リカバリタイミング例

11.5.4 ライトバッファ機能

ライトアクセスの場合、データをライトバッファに書くことにより、動作の終了を待たずに内部メインバスを解放するので、次のバスアクセスを開始することができます。ただし、次のバスアクセスが外部アドレス空間、あるいは外部バス制御部のレジスタへのアクセスであった場合は、前の外部バス動作が終了するまで待たされます。

図 11.22 にライトバッファ機能を使用したときの動作例を示します。この機能を使用したとき、外部ライトの次に内部アクセスがある場合は、外部ライトの終了を待たずに内部アクセス（内蔵メモリ、周辺モジュールのアクセス）が並行して実行されます。

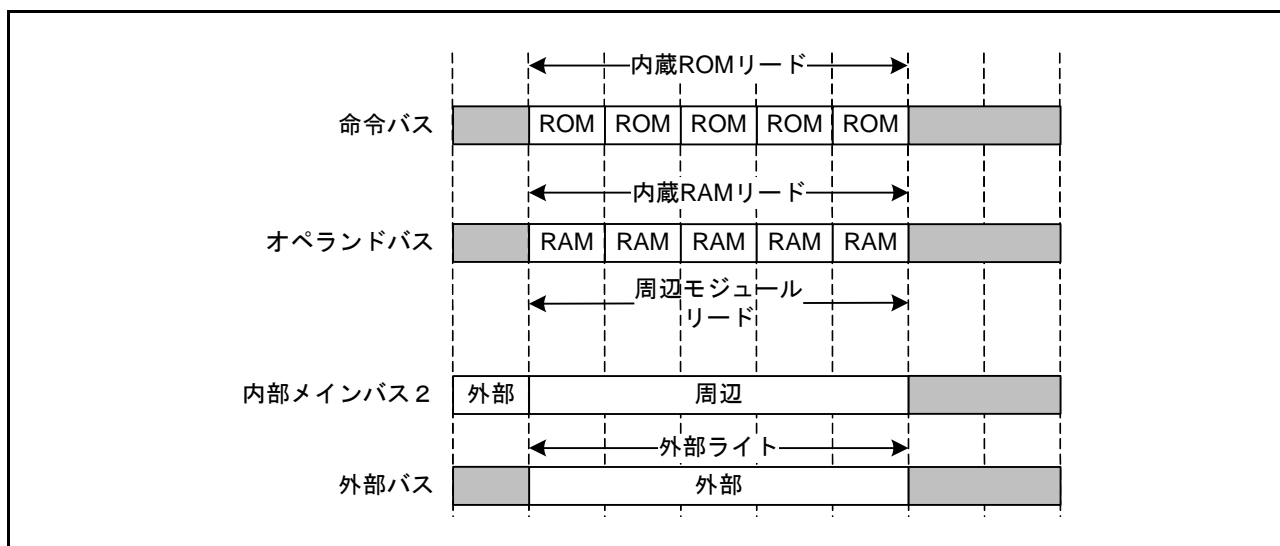


図 11.22 ライトバッファ機能使用時の動作例

11.5.5 制約事項

11.5.5.1 ノーマル/ページアクセス時の制約事項

表 11.9 にノーマルアクセス時とページアクセス時の CSi ウェイト制御レジスタ 1 (CSiWCNT1) と、CSi ウェイト制御レジスタ 2 (CSiWCNT2) の各ビットの設定値の制約事項を示します。

CSi モードレジスタのページリードアクセス許可ビットが有効 (CSiMOD.PRENB = 1)、あるいはページライトアクセス許可ビットが有効 (CSiMOD.PWENB = 1) であっても、ページアクセスの 1 回目のアクセス、あるいはページアクセスの対象とならないアクセス時はノーマルアクセス動作となり、ノーマルアクセスの制約条件を満たす必要があります。ページアクセスの対象とならない場合の詳細は、「11.5.1 外部バスアクセスタイミング」を参照してください。

表 11.9 ノーマル/ページアクセス時の制約事項

ノーマルアクセス時の制約条件		ページアクセス時の制約条件	
リード	ライト	リード	ライト
CSON[2:0] ≤ CSRWAIT RDON[2:0] ≤ CSRWAIT CSON[2:0] ≤ RDON	CSON[2:0] ≤ CSWWAIT WRON[2:0] ≤ CSWWAIT WDON[2:0] ≤ CSWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON	CSON[2:0] ≤ CSPRWAIT RDON[2:0] ≤ CSPRWAIT CSON[2:0] ≤ RDON	CSON[2:0] ≤ CSPWWAIT WRON[2:0] ≤ CSPWWAIT WDON[2:0] ≤ CSPWWAIT WDOFF[2:0] ≤ CSWOFF WDON[2:0] ≤ WRON CSON[2:0] ≤ WRON

11.5.5.2 アドレス空間の複数エリアにまたがるアクセスの禁止

1 つのアクセスでアドレス空間の複数エリアにまたがるアクセスは禁止しており、その場合の動作は保証できません。1 つのワード、ロングワードアクセスがアドレス空間の各エリア境界を挟んで 2 つのエリアにまたがらないようにしてください。

11.5.5.3 RMPA 命令、ストリング操作命令に関する制約事項

- 外部アドレス空間にはエリアごとのエンディアン切り替え機能（データのみ）がありますが、チップのエンディアンと異なる設定を行ったエリアに RMPA 命令、ストリング操作命令の操作対象データは配置できません。RMPA 命令、ストリング操作命令の操作対象データを外部アドレス空間に配置する場合は、チップのエンディアンと同じエンディアン設定のエリアに配置してください。
- RMPA 命令、ストリング操作命令の操作対象データを I/O レジスタに配置することはできません。

11.5.5.4 レジスタ設定時の注意事項

- 書き込みデータホールド時間 (tWDH) 設定時の注意事項
書き込みデータホールド時間を確実に保つために、CSiWCNT2.WDOFF[2:0] ビット（書き込みデータ出力延長サイクル選択ビット）は、WDOFF[2:0] ≥ 1 となるようにしてください。これ以外の条件を設定した場合、書き込みデータホールド時間が確保できない場合がありますので注意してください。

11.5.5.5 命令コードに関する制約事項

エリアごとのエンディアン設定がチップのエンディアン設定と異なる設定を行った場合、そのエリアに命令コードは配置できません。命令コードを外部アドレス空間に配置する場合は、チップのエンディアンと同じエンディアン設定のエリアに配置してください。

11.6 バスエラー監視部

バスエラー監視部は、領域ごとのバスエラーを監視し、バスエラーが発生した場合に割り込みを発生させます。

11.6.1 バスエラーの種類

バスエラーには、不正アドレスアクセス、タイムアウトの2種類のバスエラーがあります。

不正アドレスアクセスは不正な領域へのアクセスがあった場合に検出し、タイムアウトはバスアクセスが768サイクル以内に終了しない場合に検出します。

11.6.1.1 不正アドレスアクセス

不正アドレスアクセスは、バスエラー監視制御レジスタの不正アドレスアクセス検出許可ビットが有効 (BEREN.IGAEN = 1) で、以下のアクセスが起こった場合に発生します。

- 外部領域について、動作禁止 (CSiCNT.EXENB = 0 (i = 0 ~ 7)) に設定したエリアをアクセスした場合
- 上記以外の領域について、不正アドレス領域にアクセスした場合
どの領域で不正アドレスアクセスエラーが発生するかを表 11.10 に示します。

11.6.1.2 タイムアウト

タイムアウトは、バスエラー監視制御レジスタのタイムアウト検出許可ビットが有効 (BEREN.TOEN = 1) で、バスアクセスが768サイクル以内に終了しない場合に発生します。このときのサイクル数は、それぞれのスレーブの動作クロックでカウントされます。

- 外部領域: バスアクセス開始後、768サイクル以内にバスアクセスが終了しない (WAIT# 信号がネゲートされない) 場合

注1. RX610グループでは、上記以外の領域ではタイムアウトは発生しません。

11.6.2 バスエラー発生時の動作

CPU へのバスエラー発生通知 (BERIE.CPEN = 1) を設定すると割り込み (BUSERR) を発生させることができます。

11.6.3 バスエラーの発生条件

表 11.10 にアドレス空間の領域ごとに発生するバスエラーの種類を示します。

表 11.10 発生するバスエラーの種類

アドレス	内容		種類						
			不正アドレスアクセス		タイムアウト				
	内蔵ROMモード		内蔵ROMモード		内蔵ROMモード				
有効	無効	有効	無効	有効	無効				
0000 0000h ~ 0001 FFFFh	内蔵 RAM		-		-				
0002 0000h ~ 0007 FFFFh	予約領域		-		-				
0008 0000h ~ 0008 FFFFh	周辺 I/O レジスタ		-		-				
0009 0000h ~ 000F FFFFh			○		-				
0010 0000h ~ 0011 FFFFh	データフラッシュ	予約領域	-	○	-	-			
0012 0000h ~ 007F 7FFFh	予約領域		○						
007F 8000h ~ 007F 9FFFh	FCU RAM		-						
007F A000h ~ 007F BFFFh	予約領域		○						
007F C000h ~ 007F C4FFh	周辺 I/O レジスタ		-						
007F C500h ~ 007F FBFFh	予約領域		○						
007F FC00h ~ 00FF FFFFh	周辺 I/O レジスタ		-						
0080 0000h ~ 00DF FFFFh	予約領域		-						
00E0 0000h ~ 00FF FFFFh	内蔵 ROM (書き換え専用)		-						
0100 0000h ~ 07FF FFFFh	外部アドレス空間 (CS1 ~ CS7)		○ (注1)		○ (注2)				
0800 0000h ~ 7FFF FFFFh	予約領域		○		-				
8000 0000h ~ FFFF FFFFh	内蔵 ROM (読み出し専用)	予約領域	-	○	-	-			
FF00 0000h ~ FFFF FFFFh		外部アドレス空間 (CS0)	-		○ (注1)	-	○ (注2)		

- : バスエラーは発生しません。

○ : バスエラーが発生します。

注1. これらの領域を動作禁止 (CSiCNT.EXENB=0(i=0~7))に設定している場合にバスエラーを検出します。

注2. 768サイクル以内にバスアクセスが終了しない (WAIT#信号がネゲートされない) 場合にバスエラーを検出します。

12. DMAコントローラ (DMAC)

RX610グループは、4チャンネルのDMAC (Direct Memory Access Controller) を内蔵しています。

DMACは、CPUを介さずにデータを転送するモジュールです。

DMACは転送要求が発生すると、転送元アドレスのデータを転送先アドレスへ転送します。

12.1 概要

表 12.1 に DMAC の仕様を、図 12.1 に DMAC のブロック図を示します。

表 12.1 DMACの仕様

項目		内容	
チャンネル数		4チャンネル (DMACm (n = 0 ~ 3))	
転送空間		4Gバイト (00000000h ~ FFFFFFFFhのうち予約領域を除く領域)	
最大転送バイト数		64Mバイト	
DMA起動要因		ソフトウェアトリガ 外部端子割り込みへのトリガ入力 各周辺機能の割り込み要求	
チャンネル優先順位		チャンネル0 > チャンネル1 > チャンネル2 > チャンネル3 (チャンネル0が最優先)	
転送データ	1データ	ビット長 : 8ビット、16ビット、32ビット	
	1オペランド	データ数 : 1、2、4、8、16、32、64、128	
転送方式	オペランド転送方式	単一	1回のDMA転送要求で、1オペランドを転送する 1オペランド転送終了後にチャンネル調停を行う DMA転送終了まで、1オペランド転送終了ごとにDMA転送要求が必要
		連続	1回のDMA転送要求で、DMA転送終了まで1オペランドずつ転送する 1オペランド転送終了後にチャンネル調停を行う DMA転送要求は最初のみ
	ノンストップ転送方式	1回のDMA転送要求で、DMA転送終了まで連続して転送する DMA転送終了までチャンネル調停を行わない DMA転送要求は最初のみ	
DMA転送開始条件		以下のすべての条件が揃うとDMA転送を開始する DMACm.DMCRE.DEN ビットが"1" (DMA転送許可) DMSCNT.DMST ビットが"1" (DMAC動作) チャンネルm (DMACm) のDMA転送要求が発生し、チャンネル調停で実行権を得たとき	
DMA転送終了条件		DMACm.DMCBC レジスタが"0000000h"になったとき	
割り込み要求発生タイミング		DMACm.DMCBC レジスタが"0000000h"になったとき	
1データ転送時間		最短3バスクロック	
選択機能		リロード機能 DMA転送が終了したときに、転送元アドレス、転送先アドレス、転送バイトカウントのリロードレジスタの値をカレントレジスタにリロードする	

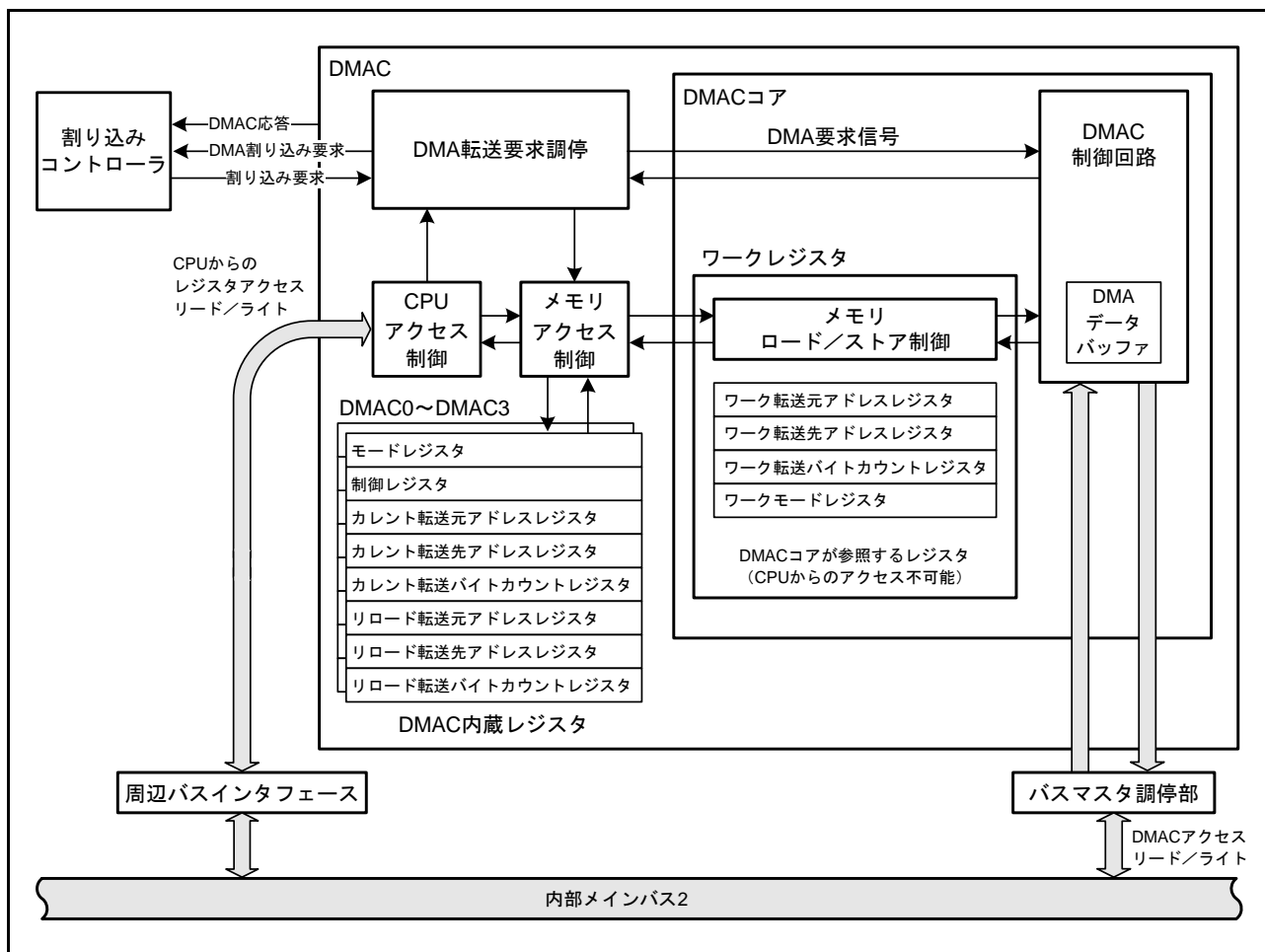


図 12.1 DMAC のブロック図

12.2 レジスタの説明

表 12.2 に DMAC のレジスタ一覧を示します。DMAC0 ~ DMAC3 のレジスタは同一機能です。

表 12.2 DMACのレジスタ一覧 (1/2)

チャンネル	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
DMAC0	DMAモードレジスタ	DMMOD	xxxx xxxxh	0008 200Ch	32
	DMA制御レジスタ A	DMCRA	0000 0000h	0008 2400h	32
	DMA制御レジスタ B	DMCRB	00h	0008 2404h	8
	DMA制御レジスタ C	DMCRC	00h	0008 2405h	8
	DMA制御レジスタ D	DMCRD	00h	0008 2406h	8
	DMA制御レジスタ E	DMCRE	00h	0008 2407h	8
	DMAカレント転送元アドレスレジスタ	DMCSA	xxxx xxxxh	0008 2000h	32
	DMAカレント転送先アドレスレジスタ	DMCDA	xxxx xxxxh	0008 2004h	32
	DMAカレント転送バイトカウントレジスタ	DMCBC	xxxx xxxxh	0008 2008h	32
	DMAリロード転送元アドレスレジスタ	DMRSA	xxxx xxxxh	0008 2200h	32
	DMAリロード転送先アドレスレジスタ	DMRDA	xxxx xxxxh	0008 2204h	32
	DMAリロード転送バイトカウントレジスタ	DMRBC	xxxx xxxxh	0008 2208h	32
DMAC1	DMAモードレジスタ	DMMOD	xxxx xxxxh	0008 201Ch	32
	DMA制御レジスタ A	DMCRA	0000 0000h	0008 2408h	32
	DMA制御レジスタ B	DMCRB	00h	0008 240Ch	8
	DMA制御レジスタ C	DMCRC	00h	0008 240Dh	8
	DMA制御レジスタ D	DMCRD	00h	0008 240Eh	8
	DMA制御レジスタ E	DMCRE	00h	0008 240Fh	8
	DMAカレント転送元アドレスレジスタ	DMCSA	xxxx xxxxh	0008 2010h	32
	DMAカレント転送先アドレスレジスタ	DMCDA	xxxx xxxxh	0008 2014h	32
	DMAカレント転送バイトカウントレジスタ	DMCBC	xxxx xxxxh	0008 2018h	32
	DMAリロード転送元アドレスレジスタ	DMRSA	xxxx xxxxh	0008 2210h	32
	DMAリロード転送先アドレスレジスタ	DMRDA	xxxx xxxxh	0008 2214h	32
	DMAリロード転送バイトカウントレジスタ	DMRBC	xxxx xxxxh	0008 2218h	32
DMAC2	DMAモードレジスタ	DMMOD	xxxx xxxxh	0008 202Ch	32
	DMA制御レジスタ A	DMCRA	0000 0000h	0008 2410h	32
	DMA制御レジスタ B	DMCRB	00h	0008 2414h	8
	DMA制御レジスタ C	DMCRC	00h	0008 2415h	8
	DMA制御レジスタ D	DMCRD	00h	0008 2416h	8
	DMA制御レジスタ E	DMCRE	00h	0008 2417h	8
	DMAカレント転送元アドレスレジスタ	DMCSA	xxxx xxxxh	0008 2020h	32
	DMAカレント転送先アドレスレジスタ	DMCDA	xxxx xxxxh	0008 2024h	32
	DMAカレント転送バイトカウントレジスタ	DMCBC	xxxx xxxxh	0008 2028h	32
	DMAリロード転送元アドレスレジスタ	DMRSA	xxxx xxxxh	0008 2220h	32
	DMAリロード転送先アドレスレジスタ	DMRDA	xxxx xxxxh	0008 2224h	32
	DMAリロード転送バイトカウントレジスタ	DMRBC	xxxx xxxxh	0008 2228h	32

表 12.2 DMACのレジスタ一覧 (2 / 2)

チャンネル	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
DMAC3	DMAモードレジスタ	DMMOD	xxxx xxxxh	0008 203Ch	32
	DMA制御レジスタA	DMCRA	0000 0000h	0008 2418h	32
	DMA制御レジスタB	DMCRB	00h	0008 241Ch	8
	DMA制御レジスタC	DMCRC	00h	0008 241Dh	8
	DMA制御レジスタD	DMCRD	00h	0008 241Eh	8
	DMA制御レジスタE	DMCRE	00h	0008 241Fh	8
	DMAカレント転送元アドレスレジスタ	DMCSA	xxxx xxxxh	0008 2030h	32
	DMAカレント転送先アドレスレジスタ	DMCDA	xxxx xxxxh	0008 2034h	32
	DMAカレント転送バイトカウントレジスタ	DMCBC	xxxx xxxxh	0008 2038h	32
	DMAリロード転送元アドレスレジスタ	DMRSA	xxxx xxxxh	0008 2230h	32
	DMAリロード転送先アドレスレジスタ	DMRDA	xxxx xxxxh	0008 2234h	32
	DMAリロード転送バイトカウントレジスタ	DMRBC	xxxx xxxxh	0008 2238h	32
DMAC共通	DMA割り込み制御レジスタ	DMICNT	00h	0008 250Bh	8
	DMA起動制御レジスタ	DMSCNT	00h	0008 2502h	8
	DMAアービトレーションステータスレジスタ	DMASTS	00h	0008 251Bh	8
	DMA転送終了検出レジスタ	DMEDET	00h	0008 2517h	8

x : 不定

12.2.1 DMA モードレジスタ (DMMOD)

アドレス DMAC0.DMMOD 0008 200Ch、DMAC1.DMMOD 0008 201Ch
DMAC2.DMMOD 0008 202Ch、DMAC3.DMMOD 0008 203Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	OPSEL[3:0]				—	—	—	—	—	SZSEL[2:0]		
リセット後の値	0	0	0	0	x	x	x	x	0	0	0	0	0	x	x	x
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	SMOD[2:0]			—	DMOD[2:0]			—	—	—	—	—	—	—	—
リセット後の値	0	x	x	x	0	x	x	x	0	0	0	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	DMOD[2:0]	転送先アドレス加算方向選択ビット	b10 b8 0 0 0 : 固定 0 0 1 : プラス方向 0 1 0 : マイナス方向 0 1 1 : ローテート 上記以外は設定しないでください	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14-b12	SMOD[2:0]	転送元アドレス加算方向選択ビット	b14 b12 0 0 0 : 固定 0 0 1 : プラス方向 0 1 0 : マイナス方向 0 1 1 : ローテート 上記以外は設定しないでください	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	SZSEL[2:0]	転送データビット長選択ビット	b18 b16 0 0 0 : 8ビット 0 0 1 : 16ビット 0 1 0 : 32ビット 上記以外は設定しないでください	R/W
b23-b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	OPSEL[3:0]	オペランド転送データ数選択ビット	b27 b24 0 0 0 0 : 1データ 0 0 0 1 : 2データ 0 0 1 0 : 4データ 0 0 1 1 : 8データ 0 1 0 0 : 16データ 0 1 0 1 : 32データ 0 1 1 0 : 64データ 0 1 1 1 : 128データ 上記以外は設定しないでください	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMMOD レジスタは、転送元または転送先アドレスの加算方向と、転送データサイズを設定するレジスタです。

DMMOD レジスタを設定する場合は、データ転送中ではなく、DMAC 停止中または DMA 転送禁止のときに書いてください。

DMMOD レジスタは、32 ビットでアクセスしてください。

DMOD[2:0] ビット (転送先アドレス加算方向選択ビット)

SMOD[2:0] ビット (転送元アドレス加算方向選択ビット)

DMA 転送中のアドレスの加算方向を設定します。

加算方向にローテートを選択した場合、アドレスはプラス方向に加算され、1 オペランド転送が終了すると DMA 転送開始時に設定した値になります。

アドレスに加算される値は、ビット長に応じて表 12.3 のようになります。

表 12.3 アドレス加算方向とビット長による増減値

SZSEL[2:0] ビット	SMOD[2:0] ビット、DMOD[2:0] ビット			
	"000b" (固定)	"001b" (プラス方向)	"010b" (マイナス方向)	"011b" (ローテート)
"000b" (8ビット)	±0	+1	-1	+1
"001b" (16ビット)	±0	+2	-2	+2
"010b" (32ビット)	±0	+4	-4	+4

SZSEL[2:0] ビット (転送データビット長選択ビット)

転送データのビット長を設定します。

OPSEL[3:0] ビット (オペランド転送データ数選択ビット)

1 オペランドで転送するデータ数を設定します。

オペランド転送方式を使用する場合、OPSEL[3:0] ビットで設定した数のデータを 1 オペランドとして続けて転送します。

ノンストップ転送方式の場合は、OPSEL[3:0] ビットの設定は無効になり、DMA カレント転送バイトカウンタレジスタ (DMACm.DMCBC) に設定したバイト数のデータを連続して転送します。

12.2.2 DMA 制御レジスタ A (DMCRA)

アドレス DMAC0.DMCRA 0008 2400h、DMAC1.DMCRA 0008 2408h
DMAC2.DMCRA 0008 2410h、DMAC3.DMCRA 0008 2418h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	DSEL[1:0]	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	BRLOD	SRLOD	DRLOD	—	—	DCTG[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	DCTG[5:0]	DMA起動要因選択ビット	DMA起動要因を設定 (表 12.4 参照)	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	DRLOD	転送先アドレスリロード機能選択ビット	0: 転送先アドレスリロード機能を使用しない 1: 転送先アドレスリロード機能を使用する	R/W
b9	SRLOD	転送元アドレスリロード機能選択ビット	0: 転送元アドレスリロード機能を使用しない 1: 転送元アドレスリロード機能を使用する	R/W
b10	BRLOD	転送バイトカウントリロード機能選択ビット	0: 転送バイトカウントリロード機能を使用しない 1: 転送バイトカウントリロード機能を使用する	R/W
b23-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b25-b24	DSEL[1:0]	転送方式選択ビット	b25 b24 0 0: 単一オペランド転送 0 1: 連続オペランド転送 1 0: 設定しないでください。 1 1: ノンストップ転送	R/W
b31-b26	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMCRA レジスタは、DMAC の機能を制御するレジスタです。

DCTG[5:0] ビット (DMA 起動要因選択ビット)

DMA 起動要因を設定します。

DCTG[5:0] ビットを設定する場合、データ転送中ではなく、DMAC 停止中または DMA 転送禁止のときに書いてください。また、DCTG[5:0] ビットを設定した場合は、DMACm.DMCRD.DREQ ビットを“0” (DMA 転送要求なし) にした後、DMAC 動作および DMA 転送許可にしてください。

表 12.4 に DCTG[5:0] ビットの設定を示します。

表 12.4 DCTG[5:0]ビットの設定

DCTG[5:0]ビット	DMA起動要因			
	DMA0	DMA1	DMA2	DMA3
000000	ソフトウェアトリガ			
000001	CMI0 (コンペアマッチタイマ ユニット0のCMT0 コンペアマッチ割り込み)			
000010	CMI1 (コンペアマッチタイマ ユニット0のCMT1 コンペアマッチ割り込み)			
000011	CMI2 (コンペアマッチタイマ ユニット1のCMT2 コンペアマッチ割り込み)			
000100	CMI3 (コンペアマッチタイマ ユニット1のCMT3 コンペアマッチ割り込み)			
000101	IRQ0 (外部端子割り込み)			
000110	IRQ1 (外部端子割り込み)			
000111	IRQ2 (外部端子割り込み)			
001000	IRQ3 (外部端子割り込み)			
001001	AD10 (A/Dコンバータ ユニット0 ADC割り込み)			
001010	AD11 (A/Dコンバータ ユニット1 ADC割り込み)			
001011	AD12 (A/Dコンバータ ユニット2 ADC割り込み)			
001100	AD13 (A/Dコンバータ ユニット3 ADC割り込み)			
001101	TGI0A (16ビットタイマパルスユニット ユニット0のTPU0 インพุットキャプチャ/コンペアマッチ割り込み)			
001110	TGI1A (16ビットタイマパルスユニット ユニット0のTPU1 インพุットキャプチャ/コンペアマッチ割り込み)			
001111	TGI2A (16ビットタイマパルスユニット ユニット0のTPU2 インพุットキャプチャ/コンペアマッチ割り込み)			
010000	TGI3A (16ビットタイマパルスユニット ユニット0のTPU3 インพุットキャプチャ/コンペアマッチ割り込み)			
010001	TGI4A (16ビットタイマパルスユニット ユニット0のTPU4 インพุットキャプチャ/コンペアマッチ割り込み)			
010010	TGI5A (16ビットタイマパルスユニット ユニット0のTPU5 インพุットキャプチャ/コンペアマッチ割り込み)			
010011	TGI6A (16ビットタイマパルスユニット ユニット1のTPU6 インพุットキャプチャ/コンペアマッチ割り込み)			
010100	TGI7A (16ビットタイマパルスユニット ユニット1のTPU7 インพุットキャプチャ/コンペアマッチ割り込み)			
010101	TGI8A (16ビットタイマパルスユニット ユニット1のTPU8 インพุットキャプチャ/コンペアマッチ割り込み)			
010110	TGI9A (16ビットタイマパルスユニット ユニット1のTPU9 インพุットキャプチャ/コンペアマッチ割り込み)			
010111	TGI10A (16ビットタイマパルスユニット ユニット1のTPU10 インพุットキャプチャ/コンペアマッチ割り込み)			
011000	TGI11A (16ビットタイマパルスユニット ユニット1のTPU11 インพุットキャプチャ/コンペアマッチ割り込み)			
011001	RXI0 (シリアルコミュニケーションインタフェース SCI0 受信データフル割り込み)			
011010	TXI0 (シリアルコミュニケーションインタフェース SCI0 送信データエンpty割り込み)			
011011	RXI1 (シリアルコミュニケーションインタフェース SCI1 受信データフル割り込み)			
011100	TXI1 (シリアルコミュニケーションインタフェース SCI1 送信データエンpty割り込み)			
011101	RXI2 (シリアルコミュニケーションインタフェース SCI2 受信データフル割り込み)			
011110	TXI2 (シリアルコミュニケーションインタフェース SCI2 送信データエンpty割り込み)			
011111	RXI3 (シリアルコミュニケーションインタフェース SCI3 受信データフル割り込み)			
100000	TXI3 (シリアルコミュニケーションインタフェース SCI3 送信データエンpty割り込み)			
100001	RXI4 (シリアルコミュニケーションインタフェース SCI4 受信データフル割り込み)			
100010	TXI4 (シリアルコミュニケーションインタフェース SCI4 送信データエンpty割り込み)			
100011	RXI5 (シリアルコミュニケーションインタフェース SCI5 受信データフル割り込み)			
100100	TXI5 (シリアルコミュニケーションインタフェース SCI5 送信データエンpty割り込み)			
100101	RXI6 (シリアルコミュニケーションインタフェース SCI6 受信データフル割り込み)			
100110	TXI6 (シリアルコミュニケーションインタフェース SCI6 送信データエンpty割り込み)			
100111	ICRXI0 (I ² Cバスインタフェース RIIC0 受信データフル割り込み)			
101000	ICTXI0 (I ² Cバスインタフェース RIIC0 送信データエンpty割り込み)			
101001	ICRXI1 (I ² Cバスインタフェース RIIC1 受信データフル割り込み)			
101010	ICTXI1 (I ² Cバスインタフェース RIIC1 送信データエンpty割り込み)			
101011 ~ 111111	何も割り当てられていません。選択しないでください			

DMACにDMA転送要求を伝えるためには、DMA起動要因に設定した割り込み要求を有効にし、割り込みコントローラ (ICU) のICU.IERiレジスタ (i=02h~1Fh)の対応するビットを“1”(割り込み要求許可)にし、ICU.ISELiレジスタ (i=割り込みベクタ番号)で割り込み伝達先をDMACに設定する必要があります。詳細は、以下に示す割り込みコントローラ、および各周辺モジュールの章を参照してください。

- 「10. 割り込みコントローラ (ICU)」
- 「15. 16ビットタイマパルスユニット (TPU)」
- 「18. コンペアマッチタイマ (CMT)」
- 「20. シリアルコミュニケーションインタフェース (SCI)」
- 「22. I²Cバスインタフェース (RIIC)」
- 「23. A/Dコンバータ」

DRLODビット (転送先アドレスリロード機能選択ビット)

転送先アドレスリロード機能を制御します。

DRLODビットを“1”にすると、DMA転送終了時にDMAリロード転送先アドレスレジスタ (DMACm.DMRDA)の内容がDMAカレント転送先アドレスレジスタ (DMACm.DMCDA)にリロードされます。

リロード機能を使用しない場合は、DMACm.DMCRC.ECLRビットを“1”(DMA転送終了時、DENビットを“0”にする)にして、DMACm.DMCRE.DENビットが“0”(DMA転送禁止)になるようにしてください。

SRLODビット (転送元アドレスリロード機能選択ビット)

転送元アドレスリロード機能を制御します。

SRLODビットを“1”にすると、DMA転送終了時にDMAリロード転送元アドレスレジスタ (DMACm.DMRSA)の内容がDMAカレント転送元アドレスレジスタ (DMACm.DMCSA)にリロードされます。

リロード機能を使用しない場合は、DMACm.DMCRC.ECLRビットを“1”にして、DMACm.DMCRE.DENビットが“0”になるようにしてください。

BRLODビット (転送バイトカウントリロード機能選択ビット)

転送バイトカウントリロード機能を制御します。

BRLODビットを“1”にすると、DMA転送終了時にDMAリロード転送バイトカウントレジスタ (DMACm.DMRBC)の内容がDMAカレント転送バイトカウントレジスタ (DMACm.DMCBC)にリロードされます。

リロード機能を使用しない場合は、DMACm.DMCRC.ECLRビットを“1”にして、DMACm.DMCRE.DENビットが“0”になるようにしてください。

DSEL[1:0]ビット (転送方式選択ビット)

転送方式を設定します。

DSEL[1:0]ビットを設定する場合、データ転送中ではなく、DMAC停止中またはDMA転送禁止のときに書いてください。

12.2.3 DMA 制御レジスタ B (DMCRB)

アドレス DMAC0.DMCRB 0008 2404h、DMAC1.DMCRB 0008 240Ch
DMAC2.DMCRB 0008 2414h、DMAC3.DMCRB 0008 241Ch

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	DSCLR

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DSCLR	DMAC内部状態初期化ビット	“1”を書くとDMAC内部状態を初期化します。“0”書き込みは無効です。読むと“0”が読めます	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMCRB レジスタは、DMA 転送を制御するレジスタです。

DSCLR ビット (DMAC 内部状態初期化ビット)

DMAC 内部状態を初期化するビットです。

DMA 転送を一時停止させて DSCLR ビットを“1”にすると、残りの DMA 転送を中止し、DMAC 内部の転送ステータスを初期化します。ただし、このとき各レジスタは初期化されません。また、書いた“1”は保持されませんので、読むと常に“0”が読めます。“0”を書いた場合は無効です。

DSCLR ビットを設定する場合、データ転送中ではなく、DMAC 停止中または DMA 転送禁止のときに書いてください。

12.2.4 DMA 制御レジスタ C (DMCRC)

アドレス DMAC0.DMCRC 0008 2405h、DMAC1.DMCRC 0008 240Dh
DMAC2.DMCRC 0008 2415h、DMAC3.DMCRC 0008 241Dh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	ECLR
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ECLR	DMA 転送許可クリアビット	0 : DMA 転送終了時、DEN ビットを“0”にしない 1 : DMA 転送終了時、DEN ビットを“0”にする	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMCRC レジスタは、DMA 転送を制御するレジスタです。

ECLR ビット (DMA 転送許可クリアビット)

DMA 転送終了時の DMACm.DMCRE.DEN ビットを制御します。

ECLR ビットを“1”にすると、DMA 転送終了時に DMACm.DMCRE.DEN ビットが“0”になり、以降そのチャンネルの DMA 転送は行われません。

リロード機能を使用しない場合は、ECLR ビットを“1”にして DMACm.DMCRE.DEN ビットが“0”になるようにしてください。

ECLR ビットを設定する場合は、データ転送中ではないときに書いてください。

12.2.5 DMA 制御レジスタ D (DMCRD)

アドレス DMAC0.DMCRD 0008 2406h、DMAC1.DMCRD 0008 240Eh
DMAC2.DMCRD 0008 2416h、DMAC3.DMCRD 0008 241Eh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	DREQ

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DREQ	DMA転送要求ビット	0 : DMA転送要求なし 1 : DMA転送要求あり	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMCRD レジスタは、DMA 転送を制御するレジスタです。

DREQ ビット (DMA 転送要求ビット)

DMA 転送要求の有無を示すビットです。

DREQ ビットは、DMAC 停止または DMA 転送禁止の状態でも DMA 転送要求の有無によって変化します。

DMA 起動要因にソフトウェアトリガを設定した場合は、DREQ ビットにプログラムで“1”を書くと DMA 転送要求が発生します。

DMA 起動要因がソフトウェアトリガ以外の場合は、DREQ ビットにプログラムで“1”を書かないでください。

DREQ ビットに“0”を書く場合は、データ転送中でなく、DMAC 停止または DMA 転送禁止のときに書いてください。

DREQ ビットは DMA 起動要因によって、以下ようになります。

(1) DMA 起動要因がソフトウェアトリガの場合

[“1”になる条件]

- プログラムで“1”を書いたとき

[“0”になる条件]

- プログラムで“0”を書いたとき
- DMA 転送要求が受け付けられてデータ転送が開始されたとき

(2) DMA 起動要因がソフトウェアトリガ以外の場合

[“1”になる条件]

- DMACm.DMCRA.DCTG[5:0] ビットで選択した DMA 転送要求を検出したとき

[“0”になる条件]

- プログラムで“0”を書いたとき
- DMA 転送要求が受け付けられてデータ転送が開始されたとき

12.2.6 DMA 制御レジスタ E (DMCRE)

アドレス DMAC0.DMCRE 0008 2407h、DMAC1.DMCRE 0008 240Fh
DMAC2.DMCRE 0008 2417h、DMAC3.DMCRE 0008 241Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	DEN

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DEN	DMA 転送許可ビット	0 : DMA 転送禁止 1 : DMA 転送許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMCRE レジスタは、DMA 転送を制御するレジスタです。

DEN ビット (DMA 転送許可ビット)

DMA 転送を許可するビットです。

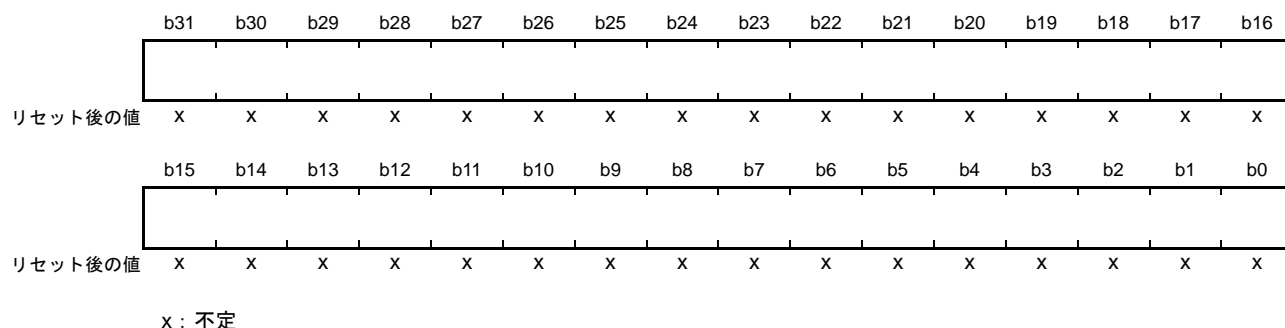
DMACm.DMCR.C.ECLR ビットが“1”のとき、DMA 転送が終了すると DEN ビットは自動的に“0”になります。

オペランド転送方式で転送中に DEN ビットを“0”にすると、転送中の 1 オペランド転送が終了してから、そのチャンネルは DMA 転送を一時停止します。その後“1”にすると、DMA 転送を再開します。

ノンストップ転送中は、DEN ビットが“0”になっても一時停止せず、DMA 転送終了まで転送します。

12.2.7 DMA カレント転送元アドレスレジスタ (DMCSA)

アドレス DMAC0.DMCSA 0008 2000h, DMAC1.DMCSA 0008 2010h
DMAC2.DMCSA 0008 2020h, DMAC3.DMCSA 0008 2030h



ビット	機能	設定範囲	R/W
b31-b0	転送元の開始アドレスを設定	00000000h~FFFFFFFFh (4Gバイト)	R/W

DMCSA レジスタは、転送元の開始アドレスを設定するレジスタです。

DMACm.DMCSA レジスタを設定する場合、データ転送中ではなく、DMAC 停止中または DMA 転送禁止のときに書いてください。

DMACm.DMCSA レジスタは、32 ビットでアクセスしてください。

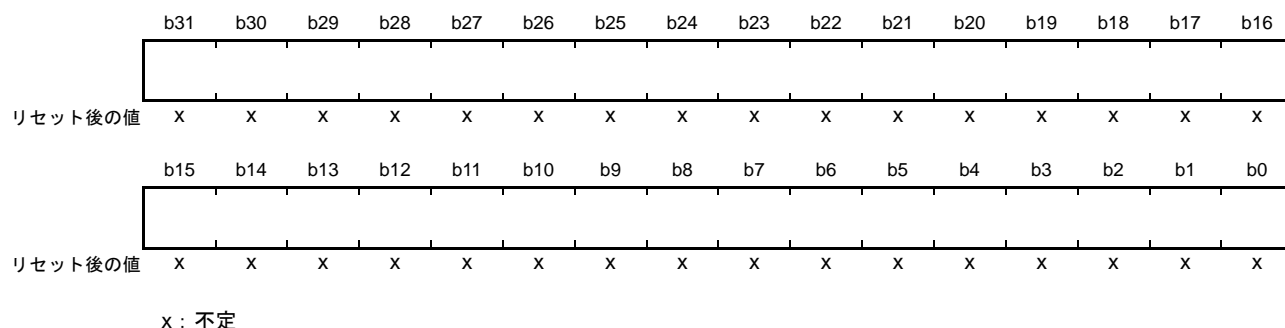
DMACm.DMCSA レジスタには、ビット長が 16 ビットのときは 2 の倍数、32 ビットのときは 4 の倍数のアドレスを b31 ~ b0 が A31 ~ A0 になるように設定してください。

DMACm.DMCSA レジスタに設定した値は、DMA 転送開始時に DMAC コア内のワークレジスタに移され、

1 オペランド転送終了時または DMA 転送終了時にワークレジスタの値が戻されます。ただし、DMACm.DMMOD.SMOD[2:0] ビットが“011b” (ローテート) の場合は、ワークレジスタの値にはならず、DMA 転送開始時に設定した値のままです。また、DMACm.DMCRA.SRLOD ビットが“1” (転送元アドレスリロード機能を使用する) の場合は、DMA 転送が終了すると DMACm.DMRSA レジスタの値がリロードされます。

12.2.8 DMA カレント転送先アドレスレジスタ (DMCDA)

アドレス DMAC0.DMCDA 0008 2004h, DMAC1.DMCDA 0008 2014h
DMAC2.DMCDA 0008 2024h, DMAC3.DMCDA 0008 2034h



ビット	機能	設定範囲	R/W
b31-b0	転送先の開始アドレスを設定	00000000h~FFFFFFFFh (4Gバイト)	R/W

DMCDA レジスタは、転送先の開始アドレスを設定するレジスタです。

DMACm.DMCDA レジスタを設定する場合、データ転送中ではなく、DMAC 停止中または DMA 転送禁止のときに書いてください。

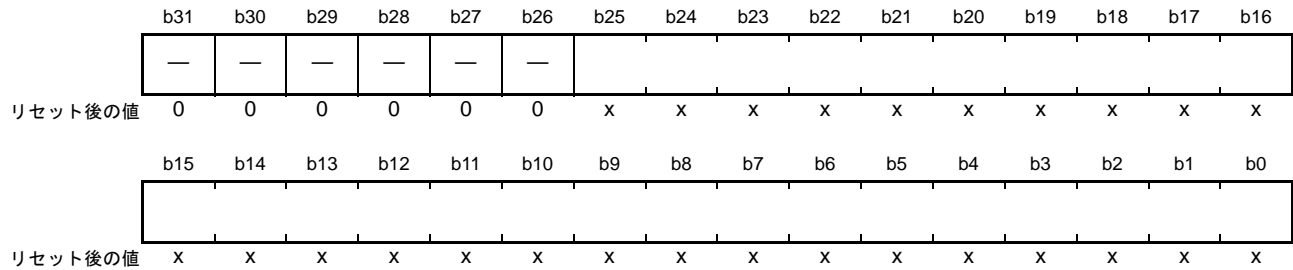
DMACm.DMCDA レジスタは、32 ビットでアクセスしてください。

DMACm.DMCDA レジスタには、ビット長が 16 ビットのときは 2 の倍数、32 ビットのときは 4 の倍数のアドレスを b31 ~ b0 が A31 ~ A0 になるように設定してください。

DMACm.DMCDA レジスタに設定した値は、DMA 転送開始時に DMAC コア内のワークレジスタに移され、1 オペランド転送終了時または DMA 転送終了時にワークレジスタの値が戻されます。ただし、DMACm.DMMOD.DMOD[2:0] ビットが“011b” (ローテート) の場合は、ワークレジスタの値にはならず、DMA 転送開始時に設定した値のままです。また、DMACm.DMCRA.DRLOD ビットが“1” (転送先アドレスリロード機能を使用する) の場合は、DMA 転送が終了すると DMACm.DMRDA レジスタの値がリロードされます。

12.2.9 DMA カレント転送バイトカウントレジスタ (DMCBC)

アドレス DMAC0.DMCBC 0008 2008h, DMAC1.DMCBC 0008 2018h
DMAC2.DMCBC 0008 2028h, DMAC3.DMCBC 0008 2038h



x : 不定

ビット	機能	設定範囲	R/W
b25-b0	DMA 転送バイト数を設定	0000000h~3FFFFFFh	R/W
b31-b26	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMCBC レジスタは、DMA 転送を行う際、バイト数を設定するレジスタです。

DMACm.DMCBC レジスタを設定する場合、データ転送中ではなく、DMAC 停止中または DMA 転送禁止のときに書いてください。

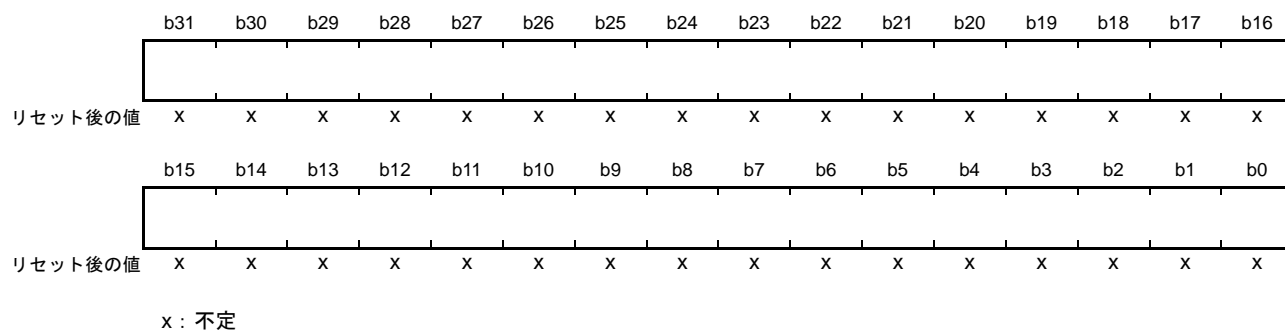
DMACm.DMCBC レジスタは、32 ビットでアクセスしてください。

DMACm.DMCBC レジスタには、ビット長が 16 ビットのときは 2 の倍数、32 ビットのときは 4 の倍数を設定してください。なお、“0000000h”にすると転送バイト数は 64M バイトになります。

DMACm.DMCBC レジスタに設定した値は、DMA 転送開始時に DMAC コア内のワークレジスタに移されます。ワークレジスタの値は、1 データを転送するごとに転送したバイト数（データのビット長が 8 ビットのときは 1、16 ビットのときは 2、32 ビットのときは 4）減少して、“0000000h”になると DMA 転送が終了します。ワークレジスタの値は、1 オペランド転送終了時、または DMA 転送終了時にワークレジスタの値が戻されます。ただし、DMACm.DMCRA.BRLOD ビットが“1”（転送バイトカウントリロード機能を使用する）の場合、DMA 転送終了時は DMACm.DMRBC レジスタの値がリロードされます。

12.2.10 DMA リロード転送元アドレスレジスタ (DMRSA)

アドレス DMAC0.DMRSA 0008 2200h, DMAC1.DMRSA 0008 2210h
DMAC2.DMRSA 0008 2220h, DMAC3.DMRSA 0008 2230h



ビット	機能	設定範囲	R/W
b31-b0	DMACm.DMCSAレジスタにリロードするアドレスを設定	00000000h~FFFFFFFFh (4Gバイト)	R/W

DMRSA レジスタは、DMCSA レジスタにリロードするアドレスを設定するレジスタです。

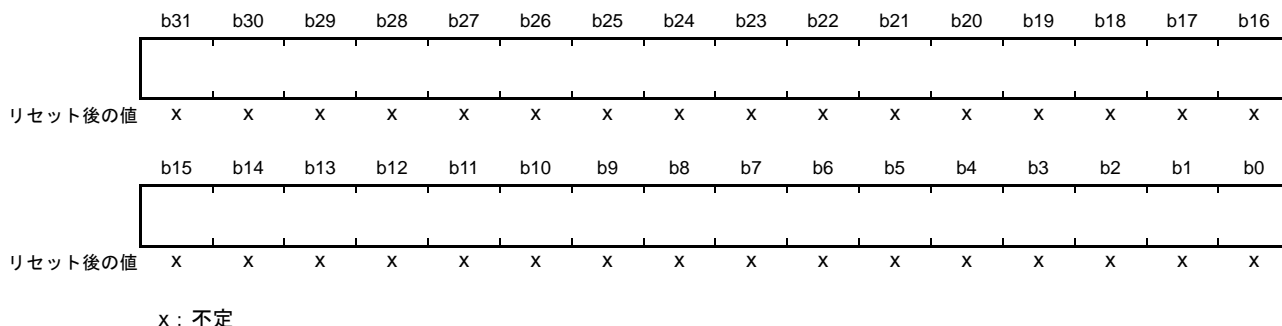
DMACm.DMRSA レジスタは、32 ビットでアクセスしてください。

DMACm.DMCRA.SRLOD ビットが“1” (転送元アドレスリロード機能を使用する) のとき、DMA 転送終了時に DMACm.DMRSA レジスタの値が DMACm.DMCSA レジスタにリロードされます。

DMACm.DMRSA レジスタには、ビット長が 16 ビットのときは 2 の倍数、32 ビットのときは 4 の倍数のアドレスを b31 ~ b0 が A31 ~ A0 になるように設定してください。

12.2.11 DMA リロード転送先アドレスレジスタ (DMRDA)

アドレス DMAC0.DMRDA 0008 2204h, DMAC1.DMRDA 0008 2214h
 DMAC2.DMRDA 0008 2224h, DMAC3.DMRDA 0008 2234h



ビット	機能	設定範囲	R/W
b31-b0	DMACm.DMCDAレジスタにリロードするアドレスを設定	00000000h~FFFFFFFFh (4Gバイト)	R/W

DMRDA レジスタは、DMCDA レジスタにリロードするアドレスを設定するレジスタです。

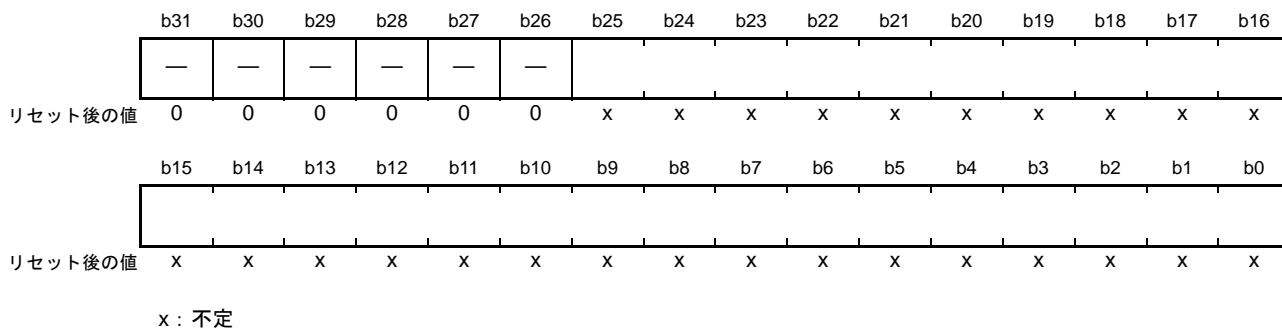
DMACm.DMRDA レジスタは、32 ビットでアクセスしてください。

DMACm.DMCRA.DRL0D ビットが“1” (転送先アドレスリロード機能を使用する) のとき、DMA 転送終了時に DMACm.DMRDA レジスタの値が DMACm.DMCDA レジスタにリロードされます。

DMACm.DMRDA レジスタには、ビット長が 16 ビットのときは 2 の倍数、32 ビットのときは 4 の倍数にのアドレスを b31 ~ b0 が A31 ~ A0 になるように設定してください。

12.2.12 DMA リロード転送バイトカウントレジスタ (DMRBC)

アドレス DMAC0.DMRBC 0008 2208h, DMAC1.DMRBC 0008 2218h
 DMAC2.DMRBC 0008 2228h, DMAC3.DMRBC 0008 2238h



ビット	機能	設定範囲	R/W
b25-b0	DMACm.DMCBCレジスタにリロードするDMA転送バイト数を設定	0000000h ~ 3FFFFFFh	R/W
b31-b26	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMRBCレジスタは、DMCBCレジスタにリロードするDMA転送バイト数を設定するレジスタです。

DMACm.DMRBCレジスタは、32ビットでアクセスしてください。

DMACm.DMCRA.BRLODビットが“1”（転送バイトカウントリロード機能を使用する）のとき、DMA転送終了時にDMACm.DMRBCレジスタの値がDMACm.DMCBCレジスタにリロードされます。

DMACm.DMRBCレジスタには、ビット長が16ビットのときは2の倍数、32ビットのときは4の倍数を設定してください。なお、“0000000h”にすると転送バイト数は64Mバイトになります。

12.2.13 DMA 割り込み制御レジスタ (DMICNT)

アドレス 0008 250Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	DINTM0	DINTM1	DINTM2	DINTM3	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DINTM3	DMA3割り込み許可ビット	0 : 割り込み禁止 1 : 割り込み許可	R/W
b5	DINTM2	DMA2割り込み許可ビット		R/W
b6	DINTM1	DMA1割り込み許可ビット		R/W
b7	DINTM0	DMA0割り込み許可ビット		R/W

DMICNT レジスタは、チャンネルごとの DMA_m 割り込み要求 (DMTEND_m) (m = 0 ~ 3) を許可するレジスタです。

DINTM_m ビット (DMA_m 割り込み許可ビット) (m = 0 ~ 3)

DINTM_m ビットを“1”にすると、チャンネル m の DMA 転送終了時に DMA_m 割り込み要求 (DMTEND_m) が発生します。DINTM_m ビットを“0”にすると、DMA_m 割り込み要求 (DMTEND_m) は発生しません。

12.2.14 DMA 起動制御レジスタ (DMSCNT)

アドレス 0008 2502h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DMST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DMST	DMAC 起動ビット	0 : DMAC 停止 1 : DMAC 動作	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DMSCNT レジスタは、DMAC を起動するレジスタです。

DMST ビット (DMAC 起動ビット)

DMST ビットを“1”にすると、DMAC が起動します。

オペランド転送方式で転送中に DMST ビットを“0”にすると、転送中の 1 オペランド転送が終了してから、全チャンネルが DMA 転送を一時停止します。その後“1”にすると、DMA 転送を再開します。

ノンストップ転送中は、DMST ビットが“0”になっても一時停止せず、DMA 転送終了まで転送します。

DMAC のモジュールストップ機能、および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DMST ビットを“0” (DMAC 停止) にしてください。

モジュールストップ機能、および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへの移行については、「8. 消費電力低減機能」を参照してください。

12.2.15 DMA アービトレーションステータスレジスタ (DMASTS)

アドレス 0008 251Bh

b7	b6	b5	b4	b3	b2	b1	b0
DASTS0	DASTS1	DASTS2	DASTS3	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b4	DASTS3	チャンネル3アービトレーションステータスフラグ	0 : データ転送中でない 1 : データ転送中 (オペランド転送中またはノンストップ転送中)	R
b5	DASTS2	チャンネル2アービトレーションステータスフラグ		R
b6	DASTS1	チャンネル1アービトレーションステータスフラグ		R
b7	DASTS0	チャンネル0アービトレーションステータスフラグ		R

DMASTS レジスタは、チャンネルごとのデータ転送状態を示すレジスタです。

DASTSm フラグ (チャンネル m アービトレーションステータスフラグ) (m = 0 ~ 3)

チャンネル m のデータ転送(1 オペランド転送、またはノンストップ転送)が開始されると、該当する DASTSm フラグが“1”になり、データ転送が終了すると“0”になります。

[“1”になる条件]

- オペランド転送方式の場合、1 オペランド転送が開始されたとき
- ノンストップ転送方式の場合、DMA 転送が開始されたとき

[“0”になる条件]

- 1 オペランド転送終了時または DMA 転送終了時

12.2.16 DMA 転送終了検出レジスタ (DMEDET)

アドレス 0008 2517h

b7	b6	b5	b4	b3	b2	b1	b0
DEDET0	DEDET1	DEDET2	DEDET3	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DEDET3	チャンネル3 DMA転送終了検出フラグ	読み出し時 0: 未検出 1: 検出 書き込み時 0: 無効 1: DEDETMフラグ(n = 0~3)を“0”にする	R/W
b5	DEDET2	チャンネル2 DMA転送終了検出フラグ		R/W
b6	DEDET1	チャンネル1 DMA転送終了検出フラグ		R/W
b7	DEDET0	チャンネル0 DMA転送終了検出フラグ		R/W

DMEDET レジスタは、チャンネルごとの DMA 転送の終了を示すレジスタです。

DEDETM フラグ (チャンネル m DMA 転送終了検出フラグ) (m = 0 ~ 3)

チャンネル m の DMA 転送が終了すると DEDETM フラグが“1”になります。DEDETM フラグは、いったん“1”になると自動的に“0”にはなりません。DEDETM フラグを“0”にするにはプログラムで“1”を書いてください。このとき書いた“1”は保持されません。“0”を書いた場合は無効です。

DMAm 割り込み (DMTENDm) を使用する場合、割り込み処理ルーチン内で割り込み要求が発生しているチャンネルの DEDETM フラグに“1”を書いてください。

[“1”になる条件]

- DMA 転送終了時

[“0”になる条件]

- 当該 DEDETM ビットに“1”を書いたとき

DEDETM ビットのクリアに BSET 命令などのビット操作命令を使用しないでください。DEDETM ビットのクリアは、MOV 命令でクリアしたいチャンネルのビットのみ“1”にして、DMACm.DMEDET レジスタに書いてください。

12.3 動作説明

12.3.1 バス権解放タイミング

DMACは、1データのリードアクセスとライトアクセスの間に少なくとも1サイクルバス権を解放します。この間に、他のバスマスタ (CPU、DTC) のアクセスが可能となります。

なお、DMACのアクセス中であっても、DMACのターゲット以外であれば、CPUのアクセスは可能です。

ただし、DMACの転送元、もしくは転送先を外部バスに設定している場合、クロックとアクセスタイミングの関係から、CPU、DTCからの外部バスアクセスが受け付けられない場合があります。このような場合、DMACの転送データを分割し、分割した転送ごとに、CPUを受け付けるためには、転送終了割り込みをCPUに、またDTCを受け付けるためには、転送終了割り込みをDTCに発生させ、アクセスが受け付けられるようにしてください。

詳細は「11. バス」を参照してください。

図 12.2 に DMAC と他のバスマスタのバス権例を示します。

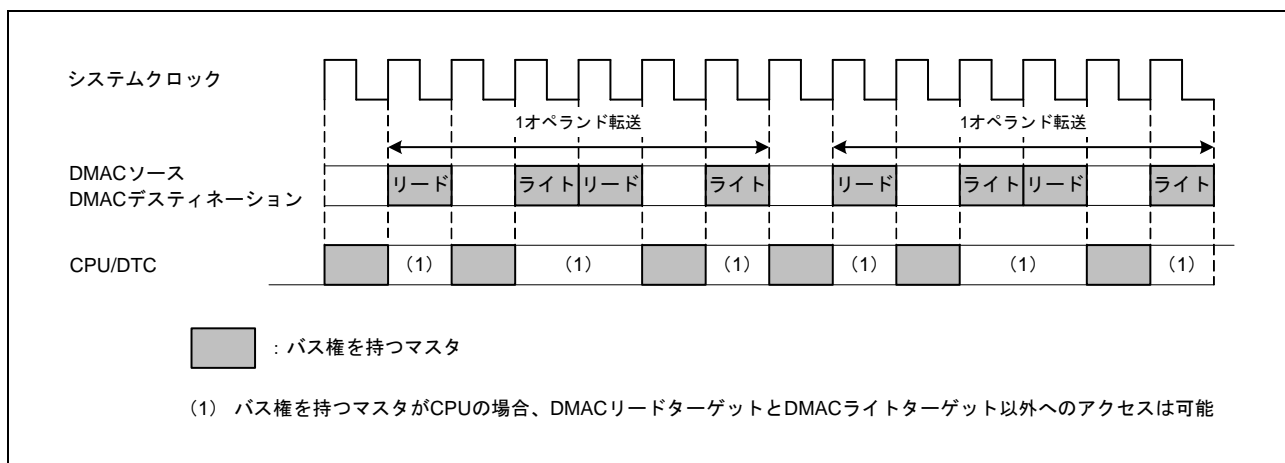


図 12.2 DMAC と他のバスマスタのバス権例

12.3.2 転送方式

転送方式には、オペランド転送とノンストップ転送があります。

オペランド転送方式には、単一オペランド転送と連続オペランド転送があります。単一オペランド転送は1回のDMA転送要求で1オペランドのみ転送し、連続オペランド転送は1回のDMA転送要求で1オペランドずつDMA転送終了まで転送します。

ノンストップ転送は1回のDMA転送要求でDMA転送終了までデータを連続して転送します。

なお、転送方式にかかわらず、1回のDMA転送はDMACm.DMCBCレジスタに設定したバイト数分のデータを転送し、DMACm.DMCBCレジスタが“0000000h”になるとDMA転送終了となります。

表 12.5 に転送方式を示します。

表 12.5 転送方式

DMACm.DMCRA.DSEL[1:0]ビット	転送方式	1回のDMA転送要求で転送するバイト数
“00b” (単一オペランド転送)	<ul style="list-style-type: none"> • DMA転送開始で1オペランドのデータを転送する • DMA転送終了までDMA転送要求のたびに1オペランドを転送する • 1オペランド転送終了時にチャンネル調停を行う • 1オペランド転送終了ごとにDMA転送要求が必要 	1オペランドのデータ数×ビット長に応じたバイト数
“01b” (連続オペランド転送)	<ul style="list-style-type: none"> • DMA転送開始で1オペランドのデータを転送する • DMA転送終了まで1オペランドずつ転送する • 1オペランド転送終了ごとにチャンネル調停を行う • DMA転送要求は最初のみ 	DMACm.DMCBCレジスタに設定したバイト数
“11b” (ノンストップ転送)	<ul style="list-style-type: none"> • DMA転送開始でデータを連続して転送する • DMA転送終了まで続けて転送する • DMA転送終了までチャンネル調停を行わない • DMA転送要求は最初のみ 	DMACm.DMCBCレジスタに設定したバイト数

オペランド転送方式の場合は、1オペランド転送終了時のチャンネル調停で優先順位の高いチャンネルのDMA転送要求があればそちらが実行され、なければ続けて次の1オペランドを転送します。ただし、単一オペランド転送の場合は、DMA転送要求がなければ次の1オペランドは転送しません。

ノンストップ転送方式の場合は、DMA転送開始からDMA転送終了まで連続してデータ転送を行いますので、DMA転送中に優先順位の高いチャンネルのDMA転送要求があっても受け付けません。

図 12.3 に転送方式による転送例を示します。

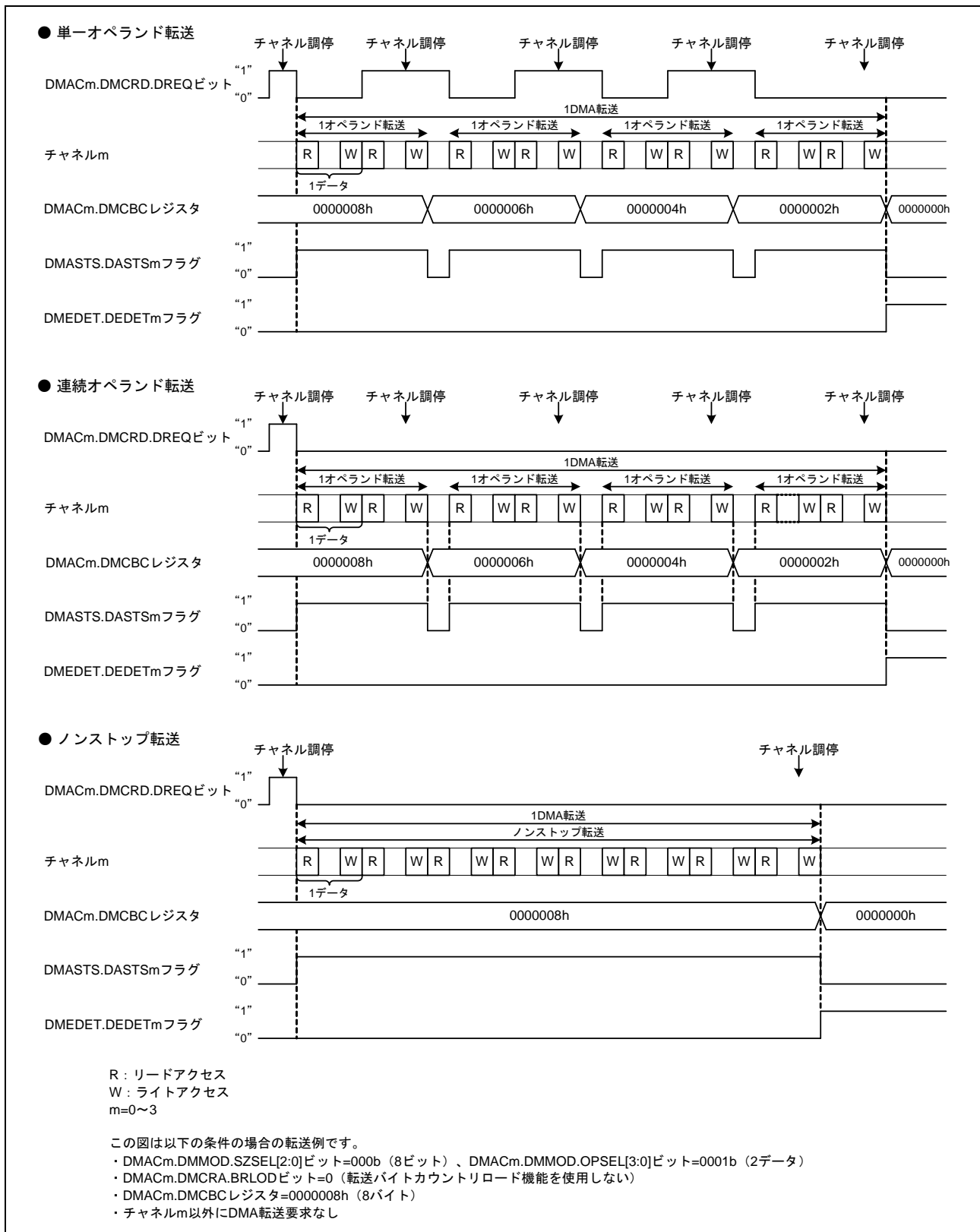


図 12.3 転送方式による転送例

12.3.3 DMACの起動

図 12.4 にレジスタの設定手順を示します。

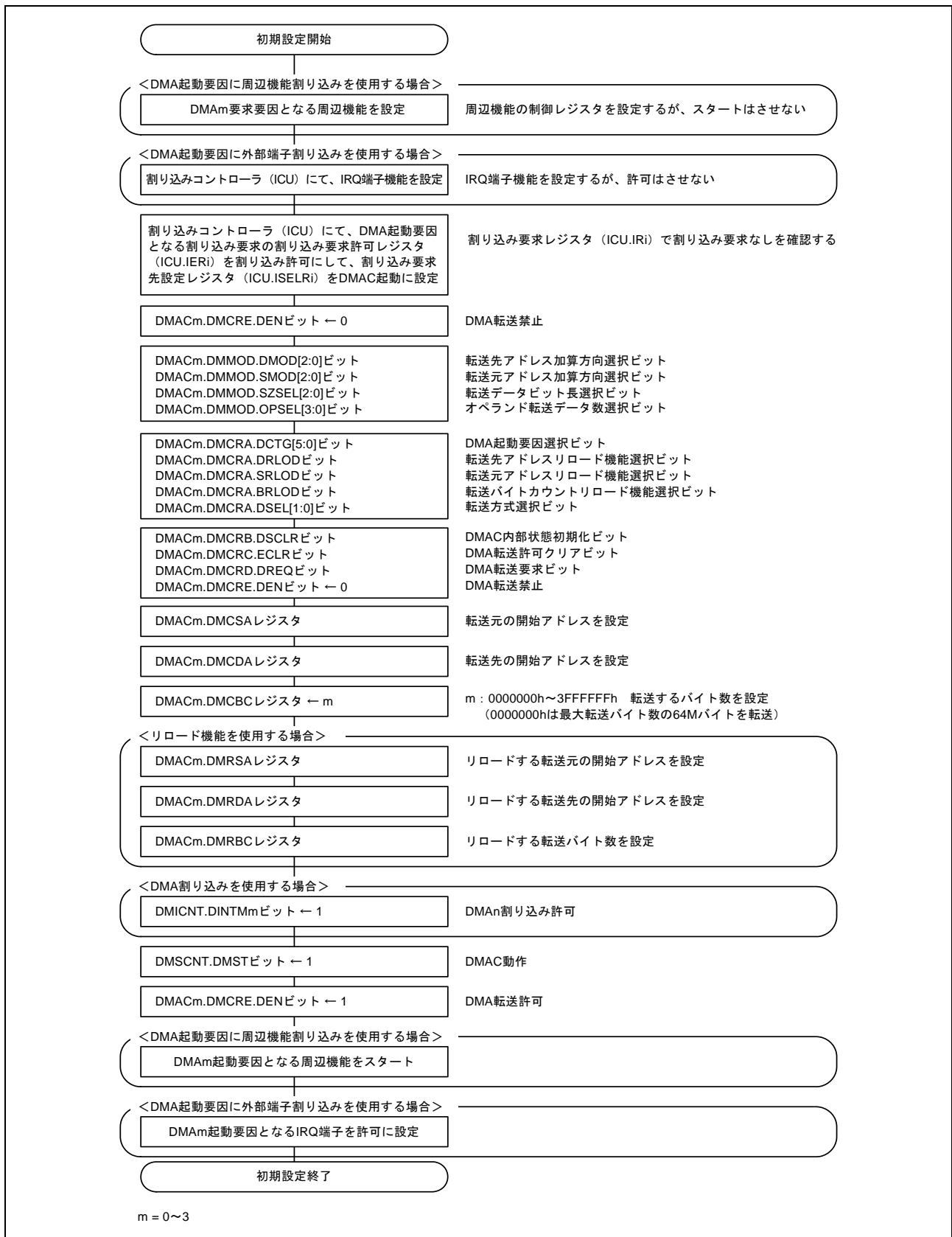


図 12.4 レジスタの設定手順

12.3.4 DMA 転送の開始

DMACm.DMCRE.DEN ビットを“1” (DMA 転送許可) にして、DMSCNT.DMST ビットを“1” (DMAC 動作) にすると、チャンネル m (m=0~3) の DMA 転送が可能になります。

DMA 転送要求が発生するとチャンネル調停を行い、優先順位の高いチャンネルの DMA 転送要求が受け付けられ、DMA 転送を開始します。DMA 転送要求が受け付けられ DMA 転送を開始すると、DMASTS.DASTSm フラグが“1” (データ転送中) になります。

12.3.5 DMA 転送の終了

DMACm.DMCBC レジスタが“0000000h”になると、チャンネル m (m=0~3) の DMA 転送が終了し、以下の処理を行います。

- DMACm.DMEDET.DEDETm フラグが“1” (DMA 転送終了を検出) になる。
- DMICNT.DINTMm ビットが“1” (割り込み許可) の場合は、DMAm 割り込み要求 (DMTENDm) が発生する。
- DMACm.DMCR.ECLR ビットが“1” (DMA 転送終了時、DEN ビットを“0”にする) の場合は、DMACm.DMCRE.DEN ビットが“0” (DMA 転送禁止) になり、以降チャンネル m の DMA 転送は行わない。
- リロード機能を使用する場合は、リロードレジスタの値がカレントレジスタにリロードされる。

12.3.6 DMA 転送の一時停止、再開、中止

(1) DMA 転送の一時停止

オペランド転送方式で DMA 転送中の場合、DMSCNT.DMST ビットを“0” (DMAC 停止) にするか、DMACm.DMCRE.DEN ビットを“0” (DMA 転送禁止) にすると DMA 転送を一時停止することができます。

DMST ビットを“0” にすると全チャンネルの DMA 転送が、DEN ビットを“0” にすると対応するチャンネルの DMA 転送が一時停止の対象となり、実行中の 1 オペランド転送が終了してから一時停止します。

ノンストップ転送モードで DMA 転送中の場合、DMST ビットまたは DEN ビットが“0”になっても一時停止せず、DMA 転送終了まで転送します。

DMAC のモジュールストップ機能、および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DMST ビットを“0” (DMAC 停止) にしてください。

(2) DMA 転送の再開

DMSCNT.DMST ビットまたは DMACm.DMCRE.DEN ビットを“1” (DMA 転送許可) にすることで、一時停止したチャンネルの DMA 転送を再開します。

DMAC のモジュールストップ状態からの復帰後、および全モジュールクロックストップモードやソフトウェアスタンバイモードからの復帰後、DMST ビットを“1” (DMAC 動作) にすると、一時停止したチャンネルの DMA 転送を再開します。

(3) DMA 転送の中止

各チャンネルを一時停止させた状態で DMACm.DMCRB.DSCLR ビットに“1”を書くと、DMAC の内部状態を初期化し、DMA 転送を中止します。ただし、このとき初期化されるのは DMAC 内部回路の転送ステータスのみで、各レジスタは初期化されません。

12.3.7 DMA 起動要因

DMA 起動要因として、ソフトウェアトリガ、および割り込みコントローラ (ICU) で設定された外部端子割り込みもしくは周辺機能割り込みが選択できます。

12.3.7.1 ソフトウェアトリガ

DMA 起動要因にソフトウェアトリガを選択した場合、DMACm.DMCRD.DREQ ビットにプログラムで“1” (DMA 転送要求あり) を書くと DMA 転送要求が発生します。DREQ ビットは DMA 転送状態にかかわらず“1”にすることができますが、“0” (DMA 転送要求なし) にする場合は、データ転送中でなく、DMAC 停止または DMA 転送禁止のときに書いてください。

12.3.7.2 外部端子割り込み、周辺機能割り込み

割り込みコントローラ (ICU) の割り込み要求許可レジスタ (ICU.IERi(i = 02h ~ 1Fh)) にて、外部端子割り込みもしくは周辺機能割り込みを許可し、割り込み伝達先設定ビット (ICU.ISELRi.ISEL[1:0](i = 割り込みベクタ番号)) にて、その割り込み伝達先を DMAC に設定し、DMACm.DMCRA.DCTG[5:0] ビットによって DMA 起動要因を選択した場合、選択した要求が発生すると DMA 転送要求が発生します。

DMA 転送要求を検出すると DMACm.DMCRD.DREQ ビットが“1” (DMA 転送要求あり) になり、その後入力レベルが変化しても DREQ ビットは変化せず、プログラムで“0” (DMA 転送要求なし) を書くか、DMA 転送要求が受け付けられるまで“1”を保持します。

DREQ ビットが“1”のときに新たな転送要求が発生しても、その転送要求は無視されます。

図 12.5 に DMACm.DMCRD.DREQ ビットのタイミングを示します。

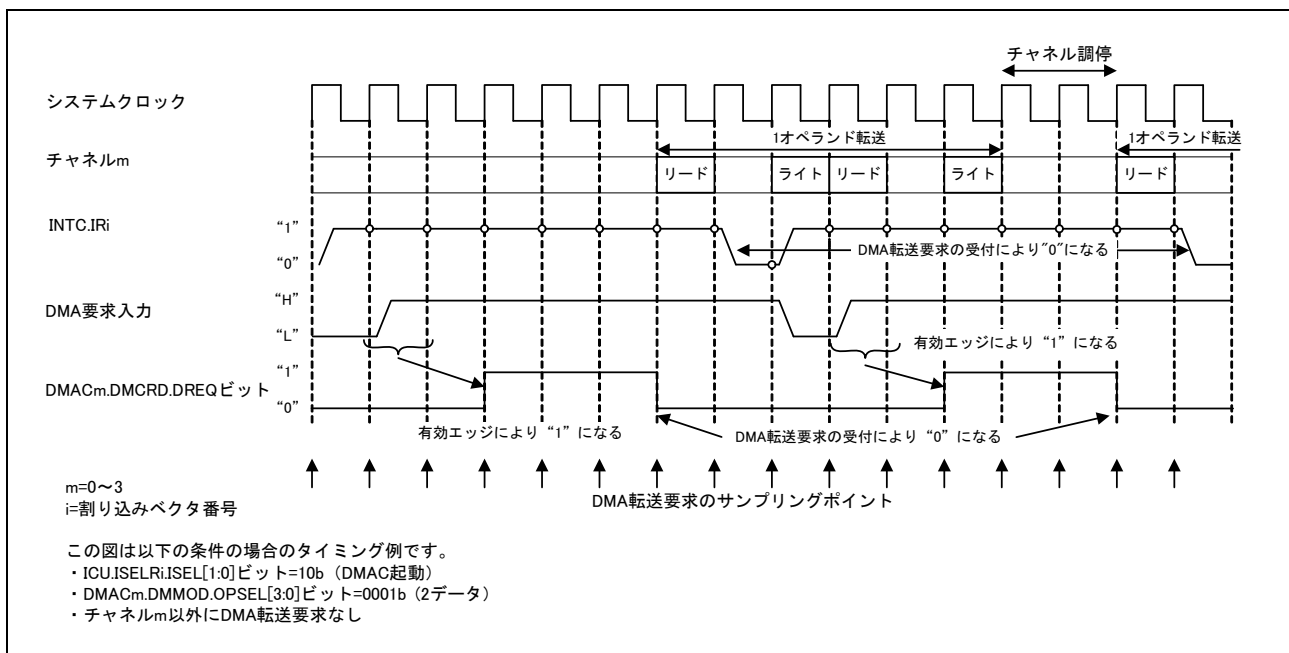


図 12.5 DMACm.DMCRD.DREQ ビットのタイミング

12.3.8 チャンネル調停

DMAC は複数の DMA 転送要求があるとき、要求が発生したチャンネルの優先順位を判断します。チャンネルの優先順位は、チャンネル 0 > チャンネル 1 > チャンネル 2 > チャンネル 3 の順に固定されています。

データ転送中に DMA 転送要求が発生した場合は、最終データのライトアクセス開始時にチャンネル調停を開始します。したがって、データ転送中に優先順位の高いチャンネルの DMA 転送要求が発生した場合は、データ転送が終了した後に、その高いチャンネルの転送が開始されます。

12.3.9 リロード機能

リロード機能は、DMA 転送終了時にリロードレジスタ (DMACm.DMRSA、DMACm.DMRDA、DMACm.DMRBC) の値をカレントレジスタ (DMACm.DMCSA、DMACm.DMCDA、DMACm.DMCBC) にリロードする機能で、転送元アドレス、転送先アドレス、転送バイトカウントで使用できます。リロード機能を使用すると、離れて配置された領域の連続転送が可能ですので、転送領域やバイト数の異なる複数の転送ブロックを、同じチャンネルで連続して転送することができます。また、転送が終了する前にリロードレジスタに値を書くことで、DMA 転送中のカレントレジスタに影響を与えずに次の転送準備ができます。

リロード機能を使用する場合は、リロードレジスタとカレントレジスタの両方にデータを設定してください。リロードレジスタは、DMA 転送終了となる最終データ転送の開始までに設定してください。最終データ転送開始後に設定すると、DMA 転送終了後のリロード時に間に合わない場合があります。

リロード機能を使用しない場合は、DMACm.DMCRC.ECLR ビットを“1” (DMA 転送終了時、DEN ビットを“0”にする) にして、DMACm.DMCRE.DEN ビットが“0”になるようにしてください。

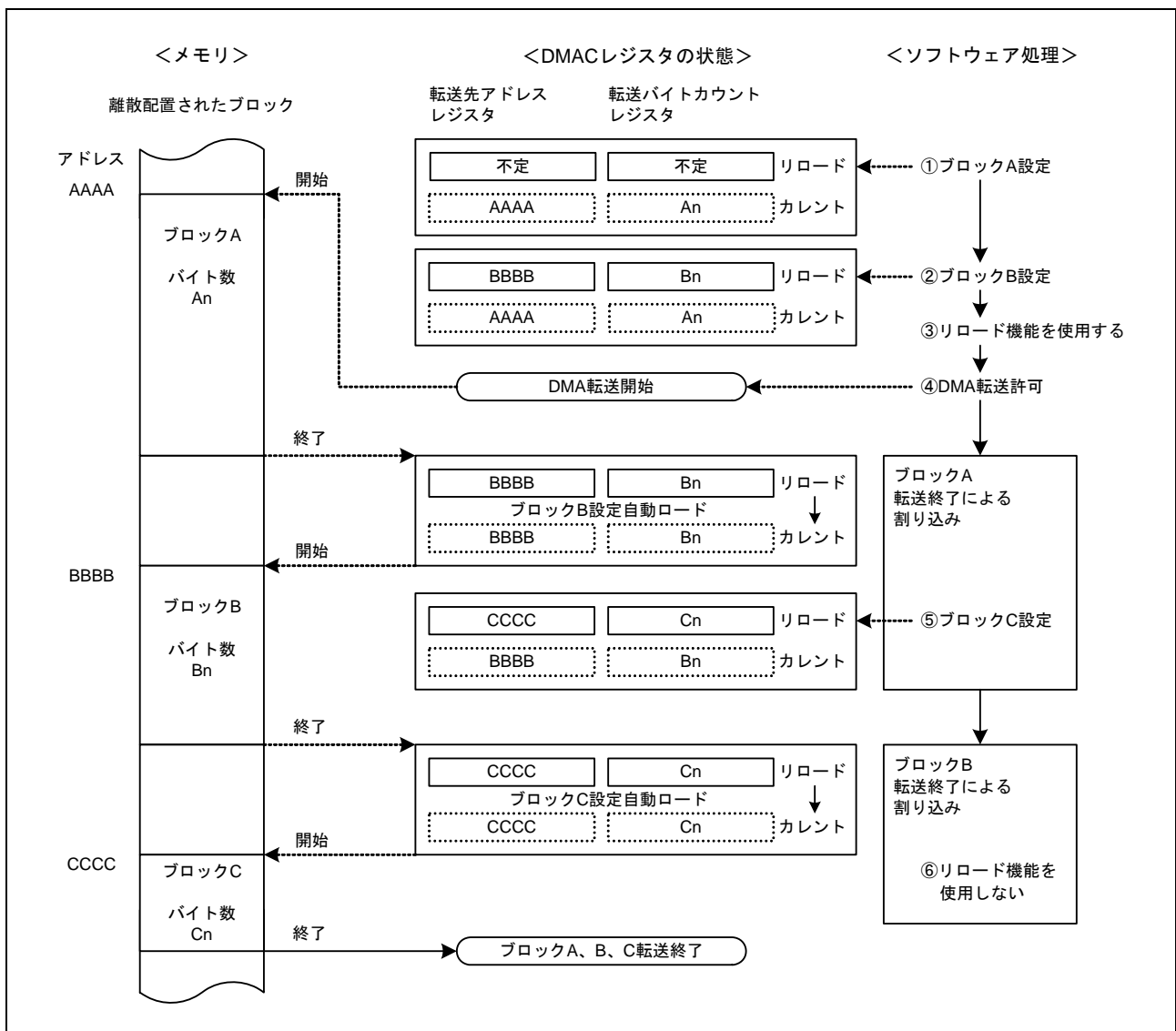


図 12.6 リロード機能を使用した転送例

12.3.10 ローテート

DMACm.DMMOD.DMOD[2:0] ビット、または DMACm.DMMOD.SMOD[2:0] ビットでローテートを選択した場合、データ転送中、アドレスはプラス方向に加算され、1 オペランド転送が終了するとアドレスレジスタに DMA 転送開始時に設定した値が戻されます。

図 12.7 にローテートの転送例を示します。

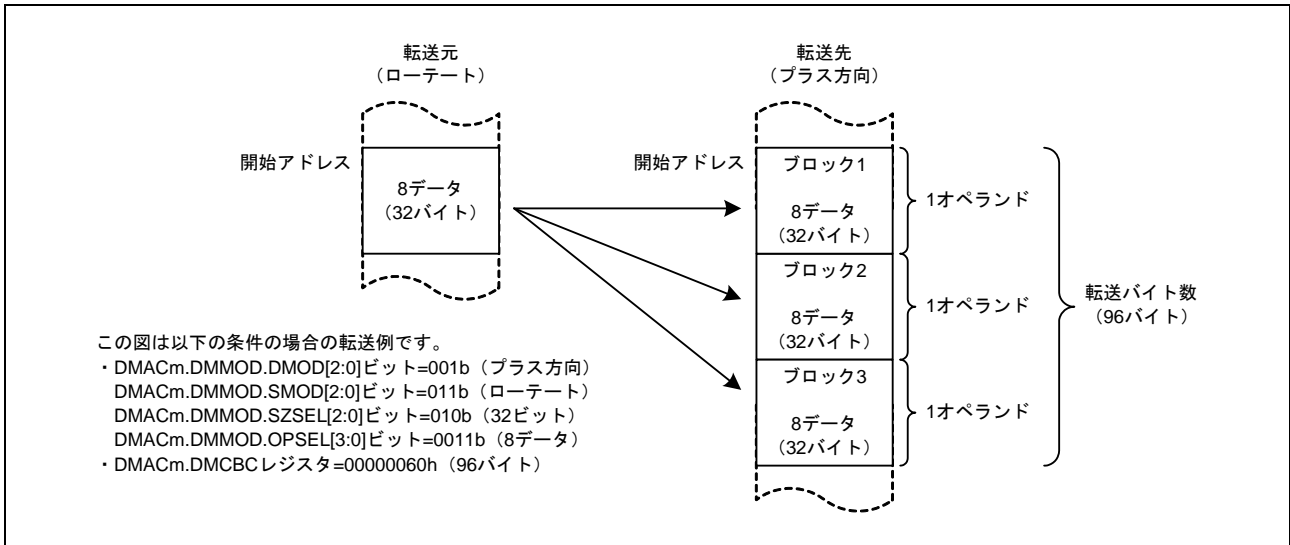


図 12.7 ローテートの転送例

12.4 割り込み

DMICNT.DINTMm ビット (n=0~3) が“1” (割り込み許可) のとき、チャンネル m の DMA 転送が終了すると、DMAm 割り込み要求 (DMTENDm) が発生します。割り込み出力の概略論理図を図 12.8 に示します。

DMAm 割り込みを使用する場合は、割り込み処理ルーチン内で、割り込み要求が発生しているチャンネルの DMEDET.DEDETm フラグに“1”を書いてください。DMEDET.DEDETm フラグが“1”のときに、DMICNT.DINTMm ビットを“0”から“1”にすると、DMAC の転送状態に関わらず DMAm 割り込み要求 (DMTENDm) が発生します。

DMAm 割り込みは、割り込みコントローラ (ICU) の設定によってデータトランスファコントローラ (DTC) の起動要因にすることが可能です。詳細は「10. 割り込みコントローラ (ICU)」を参照してください。

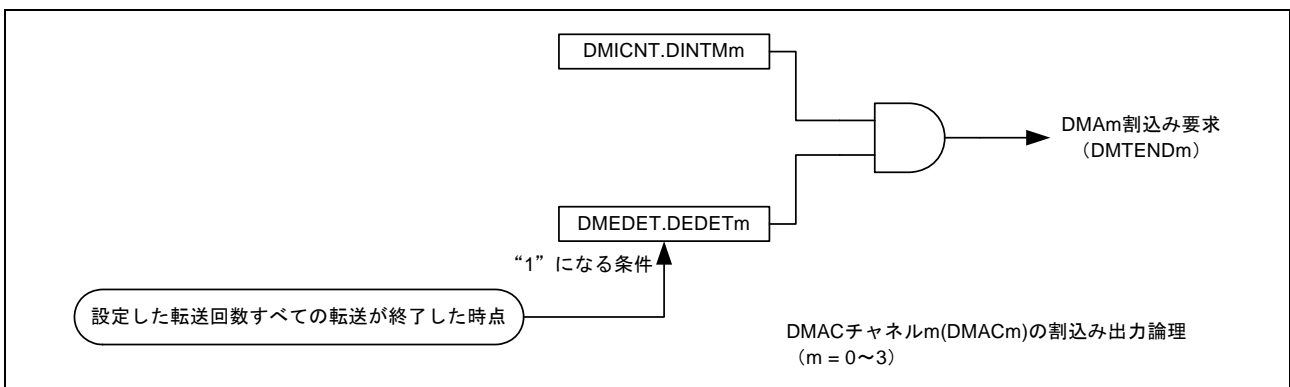


図 12.8 割り込み出力の概略論理図

12.5 消費電力低減機能

DMAC はモジュールストップ機能および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへの移行要求を受け付けると、動作中の DMA 転送動作を一時停止させて低消費電力の各モードへ移行します。

DMAC のモジュールストップ機能および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DMSCNT.DMST ビットを“0” (DMAC 停止) にしてください。

(1) モジュールストップ時

DMSCNT.DMST ビットに“0” (DMAC 停止) を書いた後に、MSTPCRA.MSTPA28 ビットに“1” (DMAC モジュールストップ状態へ遷移) を書くことによって、DMAC のモジュールストップ機能が有効になります。MSTPA28 ビットに“1”を書いた時点で、DMA 転送動作中の場合、DMA 転送が一時停止し、モジュールストップ状態に遷移します。また、MSTPA28 ビットが“1”のときは、データ転送中であってもなくても、DMAC 内蔵レジスタへのアクセスはできなくなります。

MSTPA28 ビットに“0” (モジュールストップ状態の解除) を書くことにより、DMAC のモジュールストップが解除されます。DMAC にクロックが供給されると、DMAC 内蔵レジスタへのアクセスが可能となります。

(2) 全モジュールクロックストップモード時

DMSCNT.DMST ビットに“0” (DMAC 停止) を書いた後に、MSTPCRA.ACSE ビットに“1” (全モジュールクロックストップモード許可) を書き、MSTPCRA.MSTPA28 ビット (DMAC モジュールストップ状態への遷移) を含め、MSTPCRA レジスタおよび MSTPCRB レジスタの全ビットに“1”を書いた後に、MSTPCRA および MSTPCRB レジスタの全ビットが“1”になったことを確認した後、WAIT 命令を実行すると全モジュールクロックストップモードへ移行します。WAIT 命令実行時点で DMA 転送動作中の場合、DMA 転送の一時停止後、全モジュールクロックストップ状態に遷移可能となります。

外部割り込み (NMI、IRQ0 ~ IRQ15)、RES# 端子によるリセット、内部割り込み (8 ビットタイマ、ウォッチドッグタイマ) によって、全モジュールクロックストップモードが解除されます。

(3) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード時

DMSCNT.DMST ビットに“0” (DMAC 停止) を書いた後に、SBYCR.SSBY ビットに“1” (WAIT 命令実行後、ソフトウェアスタンバイモードに移行)、かつ DPSBYCR.DPSBY ビットに“0” (WAIT 命令実行後、ソフトウェアスタンバイモードに移行) を書いた後、WAIT 命令を実行することでソフトウェアスタンバイモードに移行します。

WAIT 命令実行時点で DMA 転送動作中の場合、DMA 転送の一時停止後ソフトウェアスタンバイモードに移行します。

外部割り込み (NMI、IRQ0 ~ IRQ15)、RES# 端子によるリセットによって、ソフトウェアスタンバイモードが解除されます。

DPSBYCR.DPSBY ビットを“1” (WAIT 命令実行後、ディープソフトウェアスタンバイモードに移行) にした場合、ディープソフトウェアスタンバイモードに遷移します。

12.6 使用上の注意事項

12.6.1 レジスタの設定

- 以下のレジスタまたはビットを設定する場合は、設定するチャンネルの DMASTS.DASTSm フラグ (m = 0 ~ 3) が “0” (データ転送中でない)、かつ DMACm.DMCRE.DEN ビットが “0” (DMA 転送禁止)、または DMSCNT.DMST ビットが “0” (DMAC 停止) のときに行ってください。

DMACm.DMMOD、DMACm.DMCRB、DMACm.DMCRC、DMACm.DMCSA、DMACm.DMCDA、DMACm.DMCBC レジスタ

DMACm.DMCRA.DSEL[1:0], DCTG[5:0] ビット

DMACm.DMCRD.DREQ ビットに “0” を書く (ただし DREQ ビットに “1” を書くときはデータ転送中であってなくても書けます。)

- 以下のレジスタへは 32 ビットでアクセスしてください。
DMACm.DMMOD、DMACm.DMCSA、DMACm.DMCDA、DMACm.DMCBC、DMACm.DMRSA、DMACm.DMRDA レジスタ
- DMACm.DMCRC.ECLR ビットは、DMASTS.DASTSm フラグ (n = 0 ~ 3) が “0” (データ転送中でない) のときに書いてください。リロード機能を使用しない場合は、ECLR ビットを “1” (DMA 転送終了時、DEN ビットを “0” にする) にして DMACm.DMCRE.DEN ビットが “0” になるようにしてください。
- DMACm.DMCRA.DCTG[5:0] ビットを設定した場合は、設定したチャンネルの DMACm.DMCRD.DREQ ビットを “0” にした後、DMSCNT.DMST ビットを “1” (DMAC 動作) および DMACm.DMCRE.DEN ビットを “1” (DMA 転送許可) にしてください。
- DMACm.DMCRD.DREQ ビットは、DMSCNT.DMST ビットおよび DMACm.DMCRE.DEN ビットの設定にかかわらず、DMA 転送要求の有無によって変化します。DMA 起動要因がソフトウェアトリガ以外の場合、DREQ ビットにプログラムで “1” (DMA 転送要求あり) を書かないでください。
- アドレスと転送バイト数は、ビット長に応じてアライメントのとれた値を各レジスタに設定してください。表 12.6 にビット長によるアライメントとレジスタ下位 2 ビットの設定値を示します。
- DMEDET.DEDETm フラグのクリアに BSET 命令等のビット操作命令を使用しないでください。DEDETm フラグのクリアは、MOV 命令でクリアしたいチャンネルのフラグにのみ “1” を書いてください。

表 12.6 ビット長によるアライメントとレジスタ下位 2 ビットの設定値

DMACm.DMMOD.SZSEL[2:0] ビット	アライメント	アドレスレジスタ		バイトカウントレジスタ	
		b1	b0	b1	b0
“000b” (8 ビット)	整数倍	x	x	x	x
“001b” (16 ビット)	2 の倍数	x	0	x	0
“010b” (32 ビット)	4 の倍数	0	0	0	0

x: “0” でも “1” でもよい。

12.6.2 外部デバイスを使用する場合

外部デバイスへの DMA 転送では、最後のデータライトが開始されてから外部バスアクセスが終了する前に、DMASTS.DASTSm フラグ (m = 0 ~ 3) が “0” (データ転送中でない) になることがあります。

13. データトランスファコントローラ (DTC)

RX610 グループは、データトランスファコントローラ (DTC) を内蔵しています。

DTC は、割り込み要求によって起動し、データ転送を行うことができます。

13.1 概要

表 13.1 に DTC の仕様を、図 13.1 に DTC のブロック図を示します。

表 13.1 DTCの仕様

項目	内容
転送モード	<ul style="list-style-type: none"> ノーマル転送モード リピート転送モード ブロック転送モード
任意チャンネル数の転送	<ul style="list-style-type: none"> 1つの起動要因に対して複数チャンネルのデータ転送が可能 (チェーン転送) データ転送後にチェーン転送の実行を設定可能
ショートアドレスモード/ フルアドレスモード	<ul style="list-style-type: none"> 転送情報は、ショートアドレスモードのとき3ロングワード、フルアドレスモードのとき4ロングワードに配置 ショートアドレスモードでは、転送元、転送先アドレスを24ビットで指定でき、16Mバイトのアドレス空間を直接指定可能 フルアドレスモードでは、転送元、転送先アドレスを32ビットで指定でき、4Gバイトのアドレス空間を直接指定可能
データ転送単位	<ul style="list-style-type: none"> バイト、ワード、ロングワード 奇数アドレスを指定したワード/ロングワード転送、あるいは4n+2アドレスを指定したロングワード転送が可能な領域は、「11. パス」を参照してください
割り込み要因	<ul style="list-style-type: none"> 1回のデータ転送終了後、CPUに対する割り込みが発生 指定したデータ数のデータ転送終了後、CPUに対する割り込みが発生

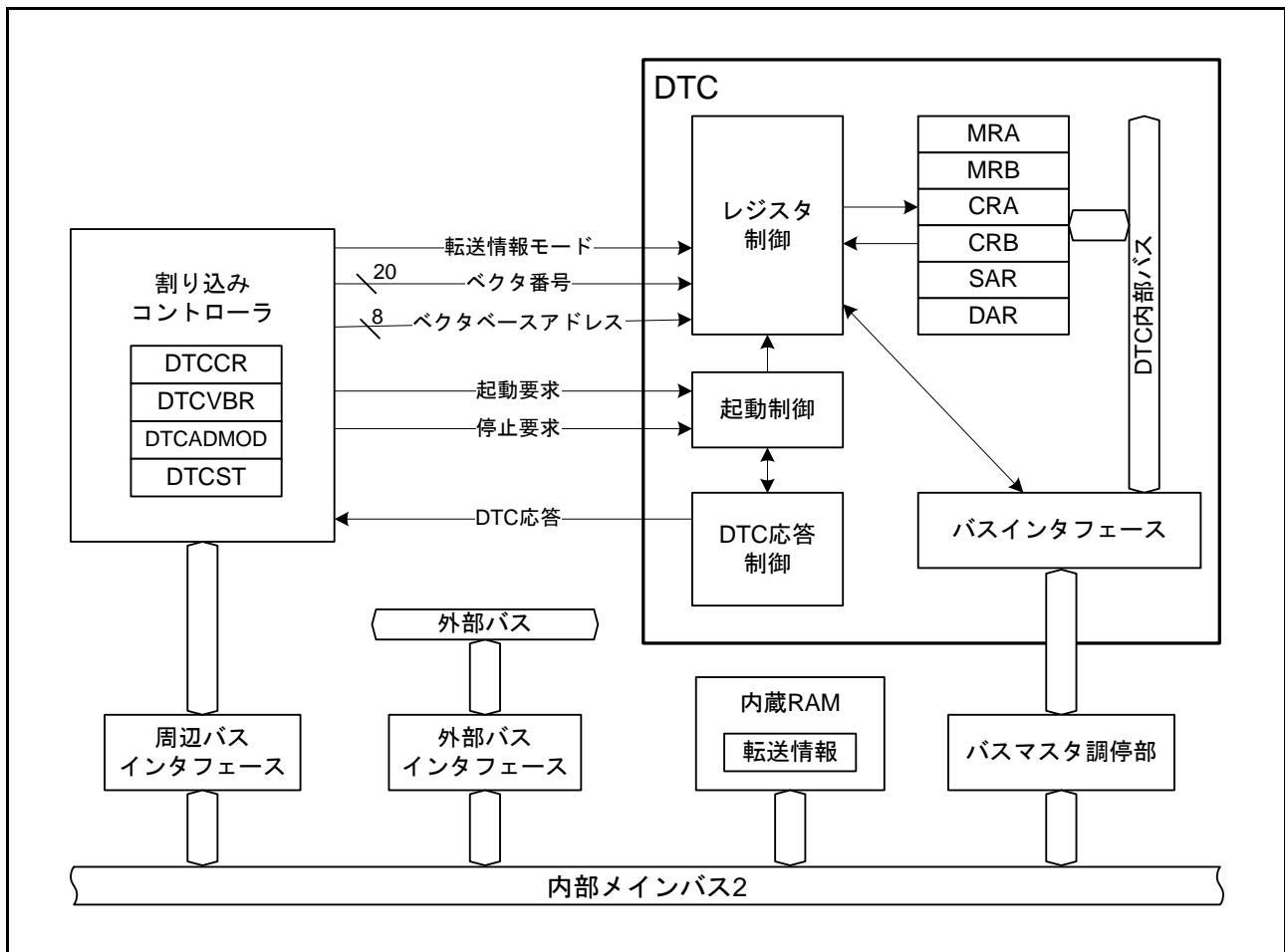


図 13.1 DTCのブロック図

13.2 レジスタの説明

表 13.2 に DTC のレジスタ一覧を示します。

MRA、MRB、SAR、DAR、CRA、CRB レジスタは、CPU から直接アクセスすることはできません。データ領域に転送情報として配置します。

DTC 起動要求が発生すると、起動要因ごとに決められたベクタアドレスに従って転送情報の先頭アドレスを読み出し、任意の転送情報を DTC 内に転送してデータ転送を行います。転送が終了すると、これらのレジスタの内容がライトバックされます。

表 13.2 DTCのレジスタ一覧

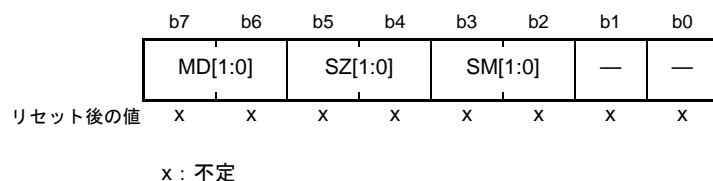
レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
DTCモードレジスタA	MRA	xxh	—	8ビット
DTCモードレジスタB	MRB	xxh	—	8ビット
DTCソースアドレスレジスタ	SAR	xxxxxxxxh	—	32ビット
DTCデスティネーションアドレスレジスタ	DAR	xxxxxxxxh	—	32ビット
DTC転送カウントレジスタA	CRA	xxxxh	—	16ビット
DTC転送カウントレジスタB	CRB	xxxxh	—	16ビット
DTCコントロールレジスタ	DTCCR	00h	0008 7400h	8ビット
DTCベクタベースレジスタ	DTCVBR	00000000h	0008 7404h	32ビット
DTCアドレスモードレジスタ	DTCADMOD	00h	0008 7408h	8ビット
DTCモジュール起動レジスタ	DTCST	00h	0008 740Ch	8ビット

x: 不定値

注1. DTCを起動するためには、割り込みコントローラ (ICU) の ISEL_{Ri}.ISEL[1:0] ビット、IER_i.IEN_j ビットを設定する必要があります。詳細は「10. 割り込みコントローラ (ICU)」を参照してください。

13.2.1 DTC モードレジスタ A (MRA)

アドレス (CPUから直接アクセス不可能)



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読み出し値は不定です。書く場合、“0”としてください	—
b3-b2	SM[1:0]	SAR転送元アドレスアドレッシングモードビット	b3 b2 0 0 : SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされる) 0 1 : SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされる) 1 0 : 転送後SARレジスタをインクリメント (SZ[1:0]ビットが“00b”のとき+1、 “01b”のとき+2、“10b”のとき+4) 1 1 : 転送後SARレジスタをデクリメント (SZ[1:0]ビットが“00b”のとき-1、 “01b”のとき-2、“10b”のとき-4)	—
b5-b4	SZ[1:0]	DTCデータトランスファサイズビット	b5 b4 0 0 : バイトサイズ転送 0 1 : ワードサイズ転送 1 0 : ロングワード転送 1 1 : 設定しないでください	—
b7-b6	MD[1:0]	DTCモードビット	b7 b6 0 0 : ノーマル転送モード 0 1 : リピート転送モード 1 0 : ブロック転送モード 1 1 : 設定しないでください	—

MRA レジスタは、DTC の動作モードの選択を行うレジスタです。

MRA レジスタは、CPU から直接アクセスすることはできません。

SM[1:0] ビット (SAR 転送元アドレスアドレッシングモードビット)

データ転送後の SAR レジスタの動作を指定します。

SZ[1:0] ビット (DTC データトランスファサイズビット)

転送データのサイズを指定します。

MD[1:0] ビット (DTC モードビット)

DTC の転送モードを指定します。

13.2.2 DTC モードレジスタ B (MRB)

アドレス (CPUから直接アクセス不可能)

	b7	b6	b5	b4	b3	b2	b1	b0
	CHNE	CHNS	DISEL	DTS	DM[1:0]	—	—	
リセット後の値	X	X	X	X	X	X	X	X

x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読み出し値は不定です。書く場合、“0”としてください	—
b3-b2	DM[1:0]	DAR 転送先アドレスアドレッシングモードビット	b3 b2 0 0: DAR レジスタはアドレス固定 (DAR レジスタのライトバックはスキップされる) 0 1: DAR レジスタはアドレス固定 (DAR レジスタのライトバックはスキップされる) 1 0: 転送後、DAR レジスタをインクリメント (MAR.SZ[1:0] ビットが“00b”のとき+1、 “01b”のとき+2、“10b”のとき+4) 1 1: 転送後DAR レジスタをデクリメント (MAR.SZ[1:0] ビットが“00b”のとき-1、 “01b”のとき-2、“10b”のとき-4)	—
b4	DTS	DTC 転送モード選択ビット	0: 転送先がリピート領域またはブロック領域 1: 転送元がリピート領域またはブロック領域	—
b5	DISEL	DTC 割り込み選択ビット	0: 指定されたデータ転送終了時、CPU への割り込みが発生 1: DTC データ転送のたびに、CPU への割り込みが発生	—
b6	CHNS	DTC チェーン転送選択ビット	0: 連続してチェーン転送を行う 1: 転送カウンタ = 0 のときのみチェーン転送を行う	—
b7	CHNE	DTC チェーン転送許可ビット	0: チェーン転送禁止 1: チェーン転送許可	—

MRB レジスタは、DTC の動作モードの選択を行うレジスタです。

MRB レジスタは、CPU から直接アクセスすることはできません。

DM[1:0] ビット (DAR 転送先アドレスアドレッシングモードビット)

データ転送後の DAR レジスタの動作を指定します。

DTS ビット (DTC 転送モード選択ビット)

リピート転送モードまたはブロック転送モードのとき、転送元と転送先のいずれをリピート領域またはブロック領域とするかを指定します。

DISEL ビット (DTC 割り込み選択ビット)

DTC データ転送のたびに CPU への割り込み要求を発生させるのか、データ転送を終了したときだけ CPU への割り込み要求を発生させるのかを指定します。

CHNS ビット (DTC チェーン転送選択ビット)

チェーン転送の条件を選択します。

次の転送がチェーン転送の場合、指定した転送回数の終了判定、起動要因フラグのクリアは行われず、CPU への割り込み要求は発生しません。

CHNE ビット (DTC チェーン転送許可ビット)

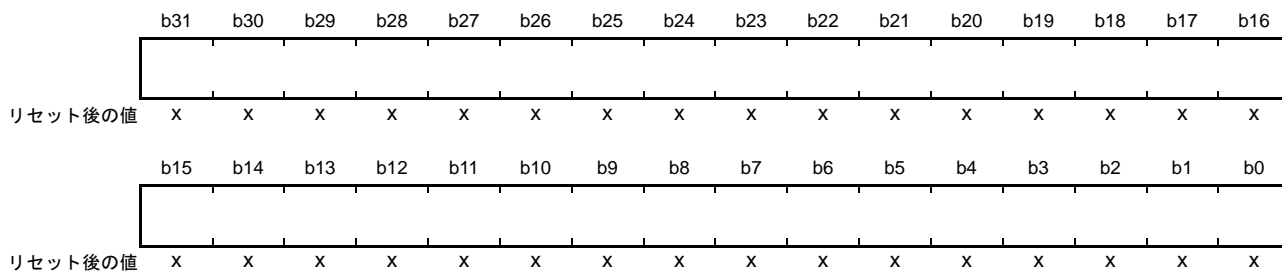
チェーン転送を指定します。

チェーン転送の条件の選択は、CHNS ビットで行います。

チェーン転送の詳細は、「13.4.6 チェーン転送」を参照してください。

13.2.3 DTC ソースアドレスレジスタ (SAR)

アドレス (CPUから直接アクセス不可能)



x: 不定

SAR レジスタは、転送元の開始アドレスを設定するレジスタです。

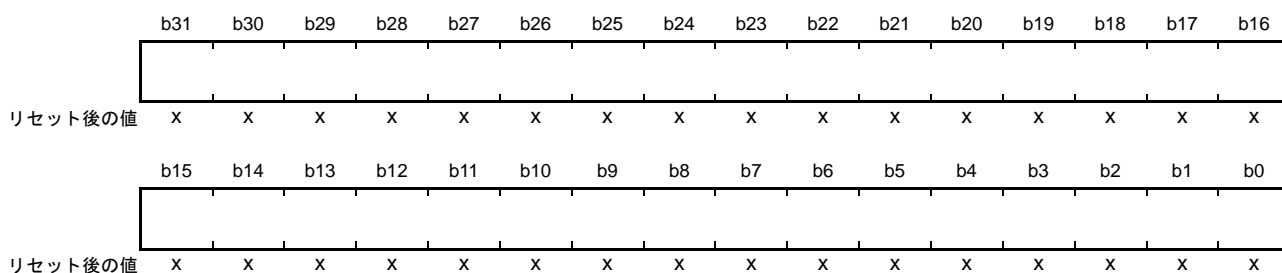
フルアドレスモードでは 32 ビット有効です。

ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31 ~ b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

SAR レジスタは CPU から直接アクセスすることはできません。

13.2.4 DTC デスティネーションアドレスレジスタ (DAR)

アドレス (CPUから直接アクセス不可能)



x: 不定

DAR レジスタは、転送先の開始アドレスを設定するレジスタです。

フルアドレスモードでは 32 ビット有効です。

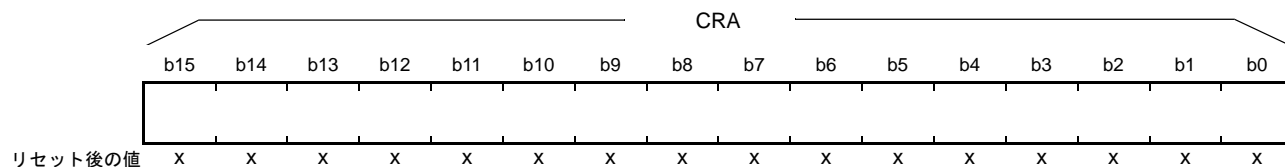
ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31 ~ b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

DAR レジスタは CPU から直接アクセスすることはできません。

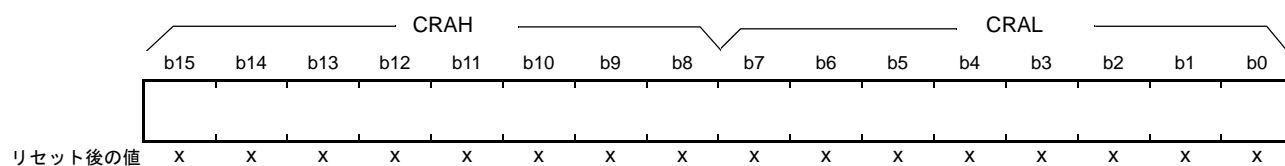
13.2.5 DTC 転送カウントレジスタ A (CRA)

アドレス (CPUから直接アクセス不可能)

- ・ ノーマル転送モード



- ・ リピート転送モード、ブロック転送モード



x: 不定

注1. 転送モードによって機能が異なります。

シンボル	レジスタ名	機能	R/W
CRAL	転送カウンタA下位レジスタ	転送回数を設定する	—
CRAH	転送カウンタA上位レジスタ		—

注1. リピート転送モード時およびブロック転送モード時は、CRAH、CRALレジスタに同じ値を設定してください。

CRA レジスタは DTC の転送回数を指定するレジスタです。

転送モードによって機能が異なります。

CRA レジスタは CPU から直接アクセスすることはできません。

(1) ノーマル転送モードの場合 (MRA.MD[1:0] ビット = 00b)

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が“0001h”のときは1回、“FFFFh”のときは65535回、“0000h”のときは65536回となります。

1 回のデータ転送を行うたびにデクリメント (−1) します。

(2) リピート転送モードの場合 (MRA.MD[1:0] ビット = 01b)

CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。

転送回数は、設定値が“01h”のときは1回、“FFh”のときは255回、“00h”のときは256回となります。

CRAL レジスタは1回のデータ転送を行うたびにデクリメント (−1) され、“00h”になると CRAH レジスタの値が転送されます。

(3) ブロック転送モードの場合 (MRA.MD[1:0] ビット = 10b)

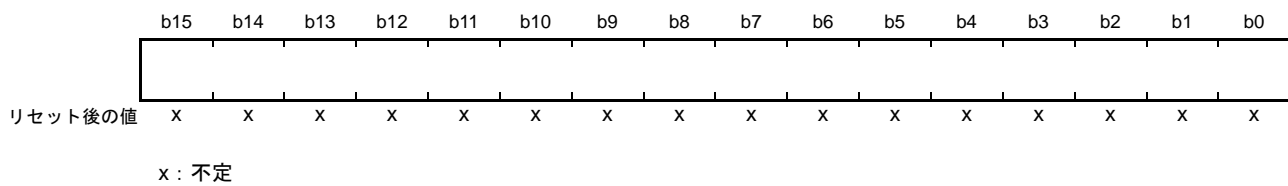
CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。

転送回数は、設定値が“01h”のときは1回、“FFh”のときは255回、“00h”のときは256回となります。

CRAL レジスタは1回のデータ転送を行うたびにデクリメント (−1) され、“00h”になると CRAH レジスタの値が転送されます。

13.2.6 DTC 転送カウントレジスタ B (CRB)

アドレス (CPUから直接アクセス不可能)



CRB レジスタは、ブロック転送モード時のブロック転送回数を指定するレジスタです。

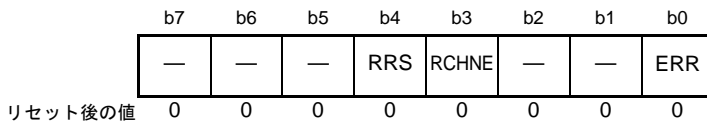
転送回数は、設定値が“0001h”のときは1回、“FFFFh”のときは65535回、“0000h”のときは65536回となります。1回のデータ転送を行うたびにデクリメント (-1) します。

ノーマル転送モードおよびリピート転送モード設定時は、CRB レジスタを使用しません。設定値は無視されます。

CRB レジスタは、CPU から直接アクセスすることはできません。

13.2.7 DTC コントロールレジスタ (DTCCR)

アドレス 0008 7400h



ビット	シンボル	ビット名	機能	R/W
b0	ERR (注1)	転送停止フラグ	0: DTC転送停止要求なし 1: DTC転送停止要求あり	R
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”にしてください	R/W
b3	RCHNE	DTCリポート転送後チェーン転送許可ビット	0: リポート転送後のチェーン転送禁止 1: リポート転送後のチェーン転送許可	R/W
b4	RRS	DTC転送情報リードスキップ許可ビット	0: 転送情報リードスキップを行わない 1: ベクタ番号の値が一致したとき、転送情報リードスキップを行う	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”にしてください	R/W

注1. ERRビットが“1”の場合、DTCは起動しません。DTCを起動させるためには以下の処理が必要です。転送停止要因がノンマスカブル割り込みの場合は、その要因をクリアしてください。転送停止要因がノンマスカブル割り込みでない場合は、バスエラー発生によるもので、バスエラー監視部のバスエラー要因クリアレジスタ (BERCLR) で要因をクリアしてください。ノンマスカブル割り込みの詳細は「10. 割り込みコントローラ (ICU)」、バスエラーの詳細は「11. バス」を参照してください。

DTCCR レジスタは、DTC を制御するレジスタです。

ERR フラグ (転送停止フラグ)

バスエラー、またはノンマスカブル割り込みによって、DTC 転送停止要求が発生中であることを示すフラグです。

DTC は転送停止要求を受け付けると、転送動作を停止します。

["1" になる条件]

- ノンマスカブル割り込みが発生したとき、またはバスエラー割り込みが発生したとき

["0" になる条件]

- ノンマスカブル割り込み処理が終了し要因がクリアされたとき、またはバスエラー割り込み処理が終了し、バスエラー要因がクリアされたとき

RCHNE ビット (DTC リポート転送後チェーン転送許可ビット)

リポート転送モード時において、転送カウンタ = 0 (指定回数の転送終了) でのチェーン転送の許可 / 禁止を設定します。

リポート転送モード時に、転送カウンタ CRAL レジスタが “00h” になった場合、CRAL レジスタは CRAH レジスタに設定された値に書き戻されるため、転送カウンタ = 0 でのチェーン転送は発生しません。RCHNE ビットを “1” にすることで、転送カウンタの書き戻し時のチェーン転送が許可されます。

RRS ビット (DTC 転送情報リードスキップ許可ビット)

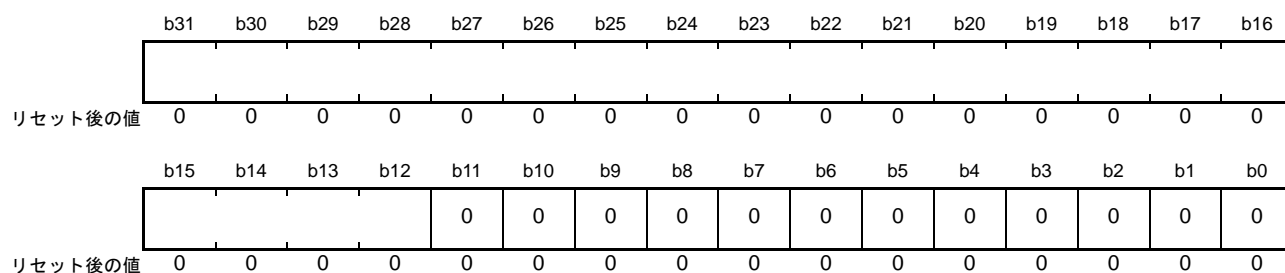
DTC ベクタ番号は、常に前回起動のベクタ番号と比較されます。

ベクタ番号が一致し RRS ビットが “1” のとき、転送情報リードを行わず DTC のデータ転送を行います。ただし、前回の起動がチェーン転送のときは、RRS ビットの値に関わらず転送情報リードが行われます。

また、前回の転送が、ノーマル転送で転送カウンタ (CRA レジスタ) が “0” になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が “0” になった場合も、RRS ビットの値に関わらず転送情報リードが行われます。

13.2.8 DTC ベクタベースレジスタ (DTCVBR)

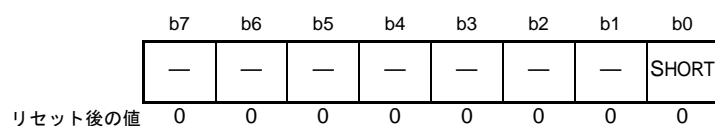
アドレス 0008 7404h



DTCVBR レジスタは、DTC ベクタテーブルアドレス算出時のベースアドレスを設定するレジスタです。下位 12 ビット (b11-b0) は“0”に固定されており、書き込みは無効です。上位 4 ビット (b31-b28) の設定は無視され、b27 で指定した値で拡張されます。

13.2.9 DTC アドレスモードレジスタ (DTCADMOD)

アドレス 0008 7408h



ビット	シンボル	ビット名	機能	R/W
b0	SHORT	ショートアドレスモード設定ビット	0: フルアドレスモード 1: ショートアドレスモード	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”にしてください	R/W

DTCADMOD レジスタは、DTC がアクセス可能な領域を設定するレジスタです。

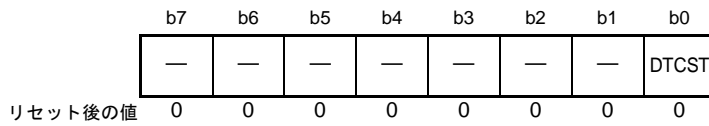
SHORT ビット (ショートアドレスモード設定ビット)

フルアドレスモードでは、4G バイト空間 (00000000h ~ FFFFFFFFh) のアクセスが可能です。

ショートアドレスモードでは、16M バイト空間 (00000000h ~ 007FFFFFFh と FF800000h ~ FFFFFFFFh) のアクセスが可能です。

13.2.10 DTC モジュール起動レジスタ (DTCST)

アドレス 0008 740Ch



ビット	シンボル	ビット名	機能	R/W
b0	DTCST	DTCモジュール起動ビット	0 : DTCモジュール停止 1 : DTCモジュール動作	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”にしてください。	R/W

DTCST レジスタは、DTC モジュールの動作 / 停止を設定するレジスタです。

DTCST ビット (DTC モジュール起動ビット)

DTC を起動要求受け付け可能とするためには、DTCST ビットを“1”にしてください。DTCST ビットを“0”にすると新たな起動要求を受け付けません。

動作中に“0”に書き換えた場合、受け付け済みの起動要求は処理が終わるまで動作します。

モジュールストップ機能および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DTCST ビットを“0”にしてください。

モジュールストップ機能および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへの移行については「13.8.1 DTC モジュール起動レジスタの設定」、および「8. 消費電力低減機能」を参照してください。

13.3 起動要因

DTC は割り込み要求によって起動します。DTC を起動する割り込みに対応する割り込みコントローラ (ICU) の ISEL*Ri*.ISEL[1:0] ビット (i = 割り込みベクタ番号) を “01b” にすると DTC 起動要因となり、“00b” にすると CPU の割り込み要因となります。

1 回のデータ転送 (チェーン転送の場合、連続した転送の最後) 終了時に、起動要因となった割り込みフラグ、または対応する ISEL*Ri*.ISEL[1:0] ビットを “00b” にクリアします。

13.3.1 転送情報の配置と DTC ベクタテーブル

転送情報は、データ領域に配置します。転送情報の先頭アドレスは、4n 番地としてください。4n 番地以外を指定した場合、下位 2 ビットは “00b” としてアクセスします。

転送情報は、ショートアドレスモード (3 ロングワード)、フルアドレスモード (4 ロングワード) のいずれかで配置できます。DTCADMOD.SHORT ビットで、ショートアドレスモード (SHORT ビットが “1”)、フルアドレスモード (SHORT ビットが “0”) の設定を行います。

データ領域上での転送情報の配置を図 13.2 に示します。DTC は起動要因別にベクタテーブルから転送情報の先頭アドレスを読み、この先頭アドレスから転送情報を読みます。DTC ベクタテーブルと転送情報の対応を図 13.3 に示します。

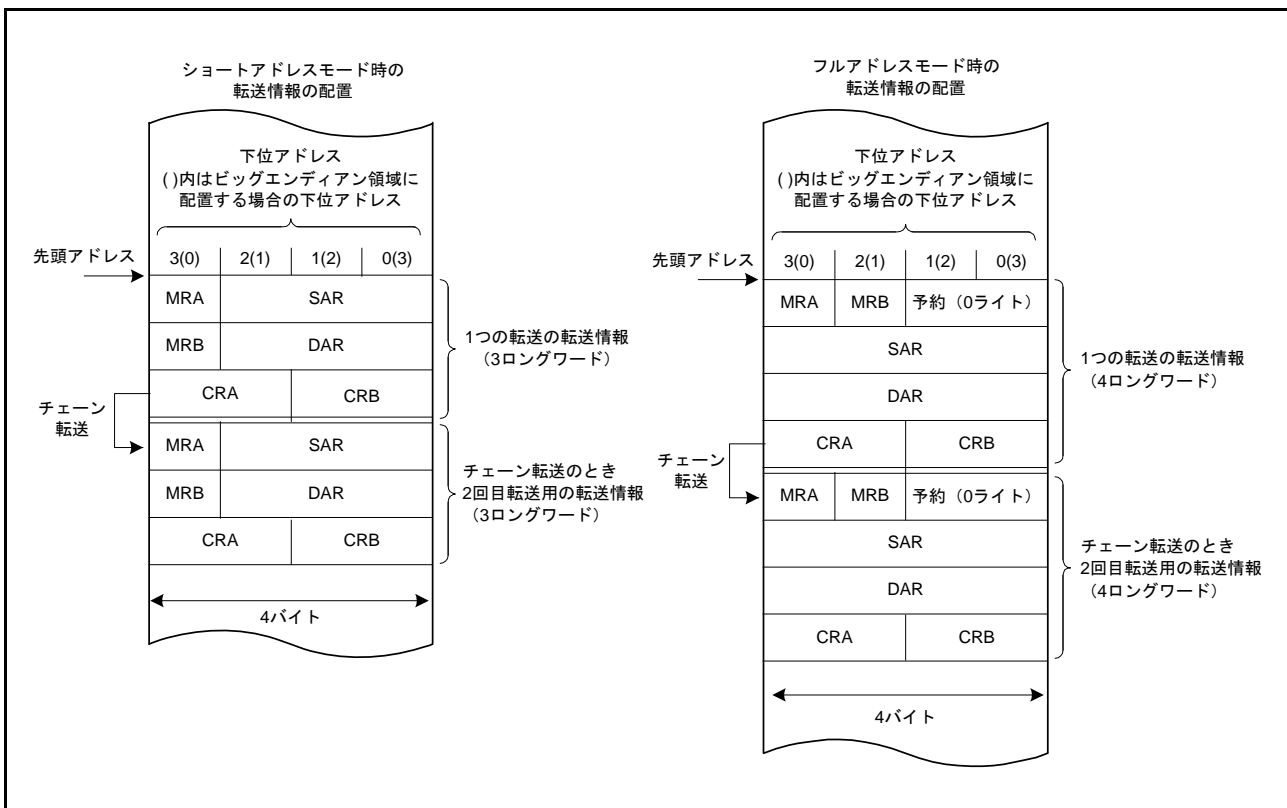


図 13.2 データ領域上での転送情報の配置

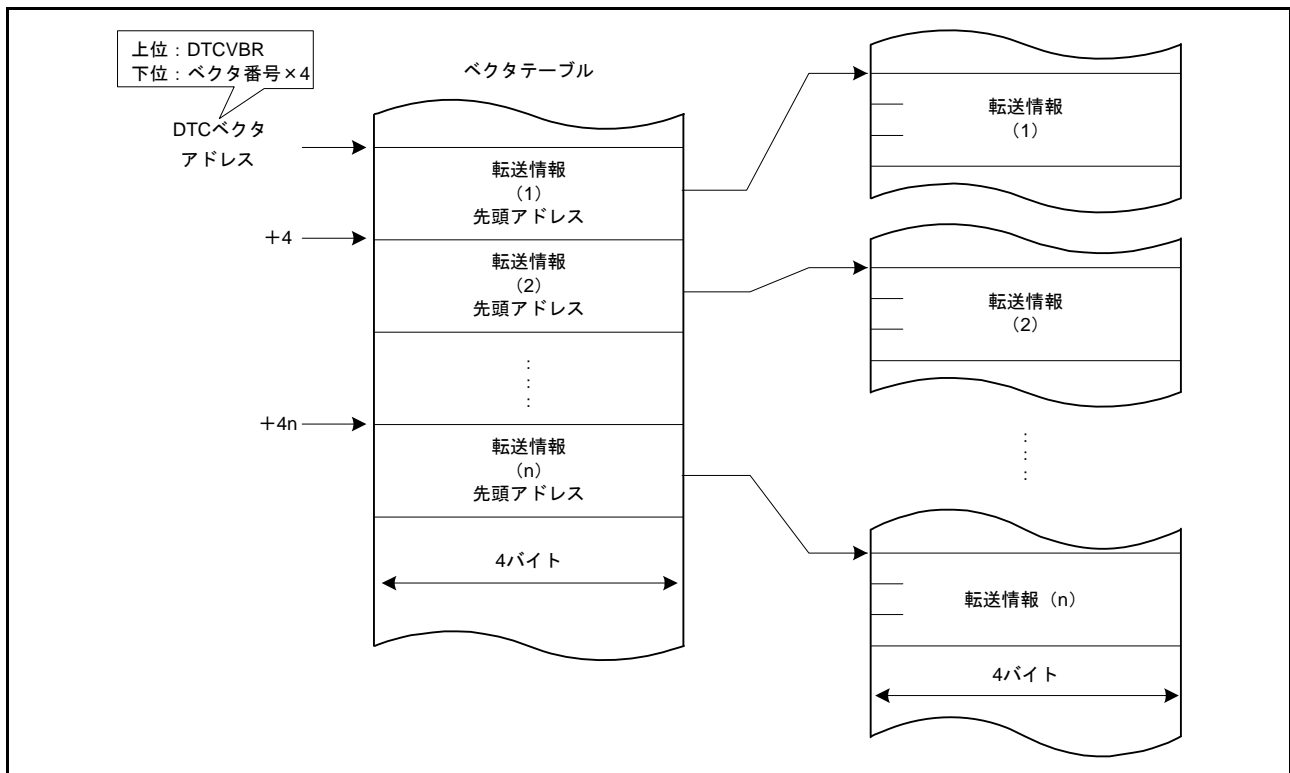


図 13.3 DTC ベクタテーブルと転送情報の対応

13.3.2 起動要因とベクタアドレス

DTC の起動要因とベクタアドレスの関係を表 13.3 に示します。

表 13.3 割り込み要因と DTC ベクタアドレスおよび ICU.ISELRi レジスタの対応 (1/2)

起動要求発生元	起動要因	ベクタ番号	DTCベクタアドレスオフセット	ICU.ISELRi	優先順位
CMT ユニット0	CMT0	28	0070h	ISELR028	↑ 高
	CMT1	29	0074h	ISELR029	
CMT ユニット1	CMT2	30	0078h	ISELR030	
	CMT3	31	007Ch	ISELR031	
外部端子	IRQ0	64	0100h	ISELR064	
	IRQ1	65	0104h	ISELR065	
	IRQ2	66	0108h	ISELR066	
	IRQ3	67	010Ch	ISELR067	
	IRQ4	68	0110h	ISELR068	
	IRQ5	69	0114h	ISELR069	
	IRQ6	70	0118h	ISELR070	
	IRQ7	71	011Ch	ISELR071	
	IRQ8	72	0120h	ISELR072	
	IRQ9	73	0124h	ISELR073	
	IRQ10	74	0128h	ISELR074	
	IRQ11	75	012Ch	ISELR075	
	IRQ12	76	0130h	ISELR076	
	IRQ13	77	0134h	ISELR077	
	IRQ14	78	0138h	ISELR078	
IRQ15	79	013Ch	ISELR079		
AD0	ADI0	98	0188h	ISELR098	
AD1	ADI1	99	018Ch	ISELR099	
AD2	ADI2	100	0190h	ISELR100	
AD3	ADI3	101	0194h	ISELR101	
TPU0	TGI0A	104	01A0h	ISELR104	
	TGI0B	105	01A4h	ISELR105	
	TGI0C	106	01A8h	ISELR106	
	TGI0D	107	01ACh	ISELR107	
TPU1	TGI1A	111	01BCh	ISELR111	
	TGI1B	112	01C0h	ISELR112	
TPU2	TGI2A	117	01D4h	ISELR117	
	TGI2B	118	01D8h	ISELR118	
TPU3	TGI3A	122	01E8h	ISELR122	
	TGI3B	123	01ECh	ISELR123	
	TGI3C	124	01F0h	ISELR124	
	TGI3D	125	01F4h	ISELR125	
TPU4	TGI4A	127	01FCh	ISELR127	
	TGI4B	128	0200h	ISELR128	
TPU5	TGI5A	133	0214h	ISELR133	
	TGI5B	134	0218h	ISELR134	↓ 低

13.4 動作説明

DTC は、転送情報をデータ領域に格納します。

DTC が起動すると、ベクタ番号に対応する DTC ベクタを読みます。次に DTC ベクタが示す転送情報格納アドレスから転送情報を読んでデータ転送を行い、データ転送後の転送情報をライトバックします。転送情報をデータ領域に格納することで、任意のチャンネル数のデータ転送を行うことができます。

転送モードには、ノーマル転送モード、リピート転送モード、ブロック転送モードがあります。

DTC は転送元アドレスを SAR レジスタ、転送先アドレスを DAR レジスタで指定します。SAR レジスタ、DAR レジスタは、転送後個々にインクリメント、デクリメント、あるいはアドレス固定になります。

DTC の転送モードを表 13.4 に示します。

表 13.4 DTCの転送モード

転送モード	1回の起動要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1バイト/ワード/ロングワード	1、2または4増減あるいはアドレス固定	1～65536回
リピート転送モード (注1)	1バイト/ワード/ロングワード	1、2または4増減あるいはアドレス固定	1～256回 (注3)
ブロック転送モード (注2)	CRAHレジスタで指定したブロックサイズ (1～256 バイト/ワード/ロングワード)	1、2または4増減あるいはアドレス固定	1～65536回

注1. 転送元または転送先のいずれかをリピート領域に設定

注2. 転送元または転送先のいずれかをブロック領域に設定

注3. 指定回数の転送終了後は、初期状態を回復し動作を継続 (リピート) する。

また、MRB.CHNE ビットを“1”にしておくことにより、1つの起動要因で複数の転送を行うことができます (チェーン転送)。MRB.CHNS ビットの設定で、転送カウンタ = 0 のときにチェーン転送を行うことも可能です。

DTC 動作フローチャートを図 13.4 に示します。チェーン転送の条件を表 13.5 に示します (第2の転送から第3の転送を行う組み合わせ、および第3の転送以降の組み合わせは省略してあります)。

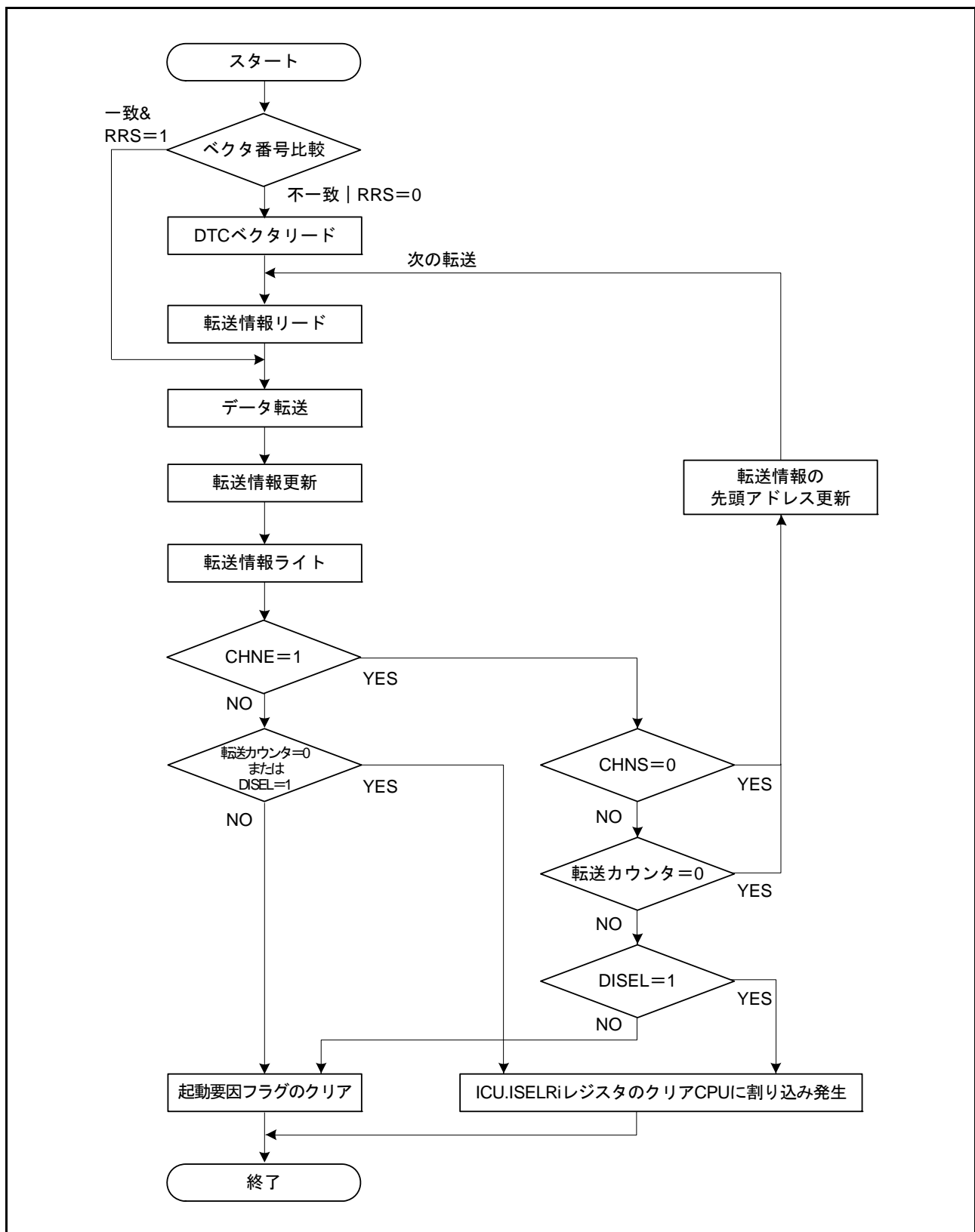


図 13.4 DTC 動作フローチャート

表 13.5 チェーン転送の条件

第1の転送				第2の転送				DTC転送
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1)	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1)	
0	—	0	0 以外	—	—	—	—	第1転送で終了
0	—	0	0 (注2)	—	—	—	—	第1転送で終了 CPUへ割り込み要求
0	—	1	—	—	—	—	—	—
1	0	—	—	0	—	0	0 以外	第2転送で終了
				0	—	0	0 (注2)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	—
1	1	0	0 以外	—	—	—	—	第1転送で終了
1	1	—	0 (注2)	0	—	0	0 以外	第2転送で終了
				0	—	0	0 (注2)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	—
1	1	1	0 以外	—	—	—	—	第1転送で終了 CPUへ割り込み要求

注1. ノーマル転送モード：CRAレジスタ、リピート転送モード：CRALレジスタ、ブロック転送モード：CRBレジスタ

注2. リピート転送モード時は、CRALレジスタの値がCRAHレジスタの値に置き換わる時

13.4.1 転送情報リードスキップ機能

DTCCR.RRS ビットの設定で、ベクタアドレスのリードと転送情報のリードをスキップすることができます。

DTC 起動要求時、今回起動の DTC ベクタ番号と前回起動の DTC ベクタ番号は常に比較されます。比較結果が一致し、RRS ビットが“1”のとき、ベクタアドレスのリードと転送情報のリードを行わず、DTC のデータ転送を行います。前回の起動がチェーン転送のときは、ベクタアドレスのリードと転送情報のリードが行われます。また、前回の転送がノーマル転送で、転送カウンタ (CRA レジスタ) が 0 になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が 0 になった場合も、RRS ビットの値に関わらず転送情報リードが行われます。転送情報リードスキップの動作例を図 13.5 に示します。

ベクタテーブルと転送情報を更新する場合には、一度 RRS ビットを“0”にし、ベクタテーブルと転送情報を更新した後、RRS ビットを設定してください。RRS ビットを“0”にすると、保持されていたベクタ番号は破棄され、次の起動時に更新されたベクタテーブルおよび転送情報がリードされます。

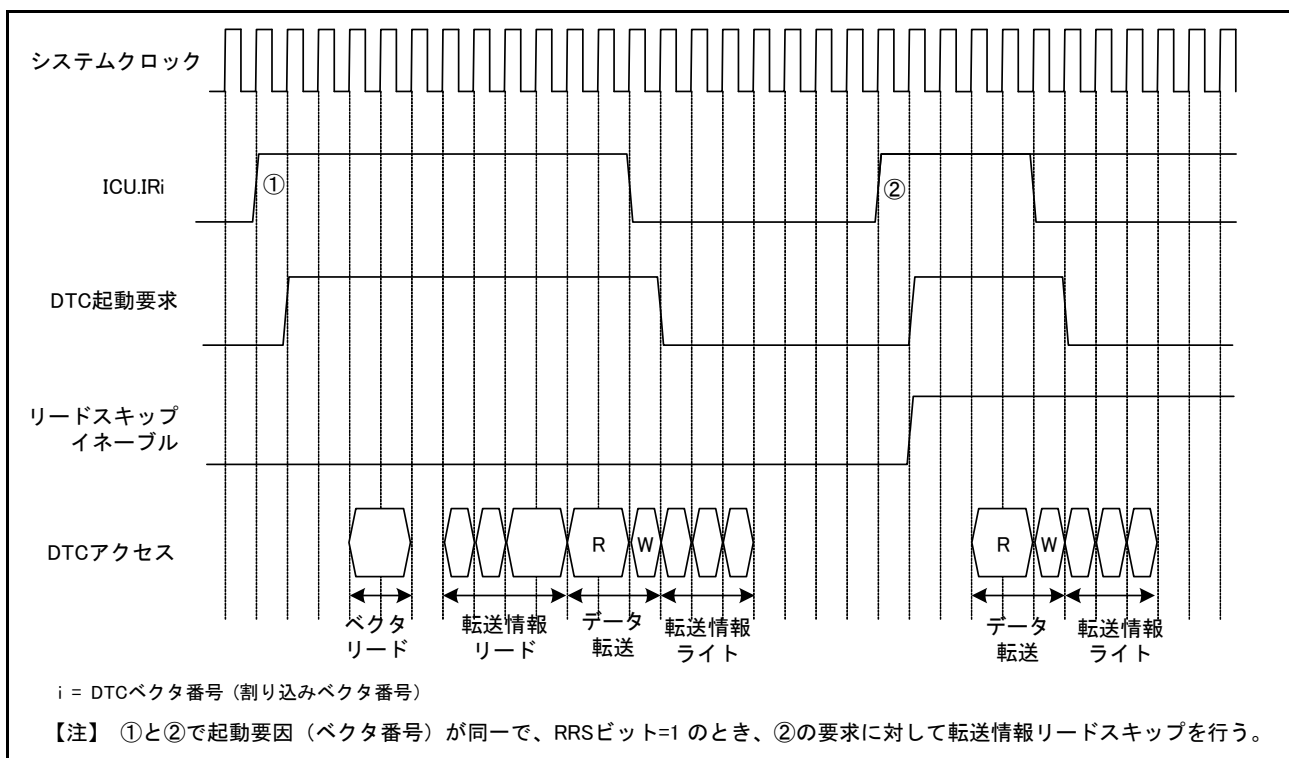


図 13.5 転送情報スキップ時の動作例

13.4.2 転送情報ライトバックスキップ機能

MRA.SM[1:0] ビット、または MRB.DM[1:0] ビットをアドレス固定に設定すると、転送情報の一部はライトバックされません。この機能は、ショートアドレスモード、フルアドレスモードの設定にかかわらず行われます。転送情報ライトバックスキップ条件とライトバックスキップされるレジスタを表 13.6 に示します。

なお、CRA レジスタ、CRB レジスタはショートアドレスモード、フルアドレスモードの設定にかかわらずライトバックされます。また、フルアドレスモードでは、MRA レジスタ、MRB レジスタはライトバックスキップされます。

表 13.6 転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ

MRA.SM[1:0] ビット		MRB.DM[1:0] ビット		SAR レジスタ	DAR レジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

13.4.3 ノーマル転送モード

1つの起動要因で、1バイト、1ワード、1ロングワードの転送を行います。転送回数は1～65536です。

転送元アドレスと転送先アドレスは、インクリメント、デクリメント、または固定にそれぞれ設定できます。指定回数の転送が終了すると、CPUへの割り込みを発生させることができます。

ノーマル転送モードのレジスタ機能を表13.7に、ノーマル転送モードのメモリマップを図13.6に示します。

表13.7 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値
SAR	転送元アドレス	インクリメント/デクリメント/固定 (注1)
DAR	転送先アドレス	インクリメント/デクリメント/固定 (注1)
CRA	転送カウントA	CRA-1
CRB	転送カウントB	更新されない

注1. アドレス固定のときはライトバックはスキップされます。

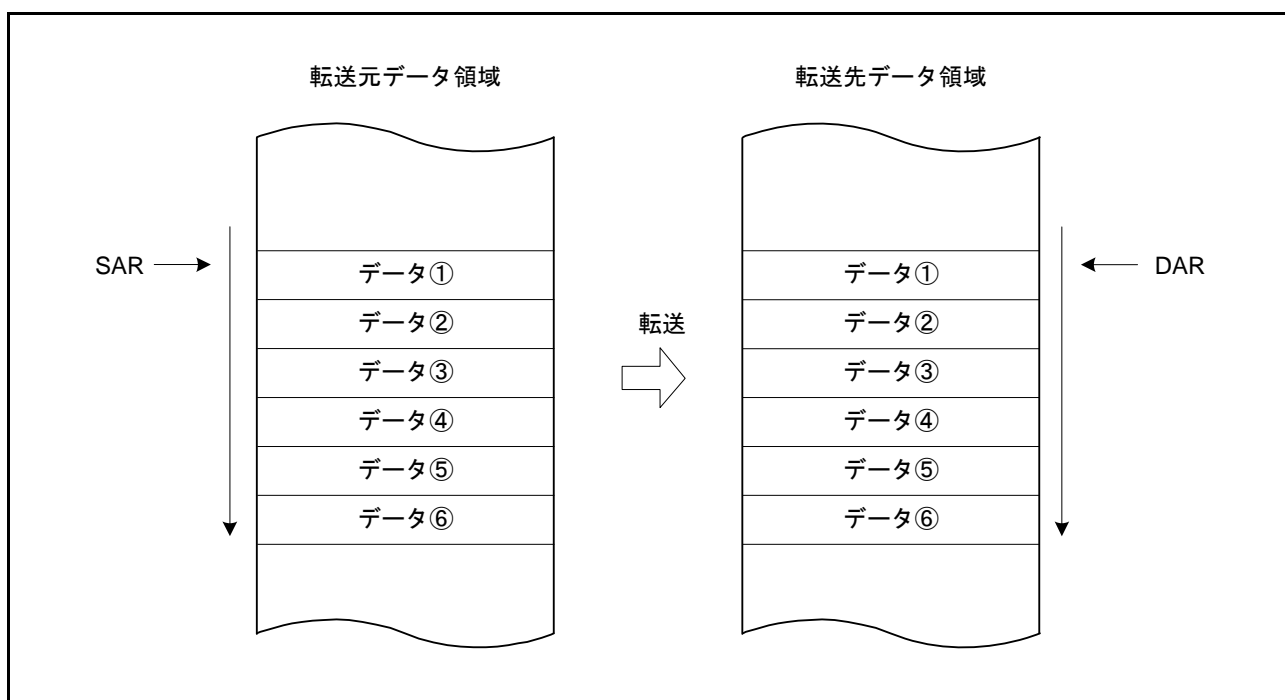


図13.6 ノーマル転送モードのメモリマップ

13.4.4 リピート転送モード

1つの起動要因で、1バイト、1ワードまたは1ロングワードの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をリピート領域に指定します。転送回数は1～256まで指定可能で、指定回数の転送が終了すると、転送カウンタおよびリピート領域に設定した方のアドレスレジスタは初期状態を回復し、転送を繰り返します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ CRAL レジスタが“00h”になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタは“00h”にならないので、MRB.DISEL ビットが“0”（指定されたデータ転送終了時、CPUに割り込みが発生）のときにCPUへの割り込み要求は発生しません。

リピート転送モードのレジスタ機能を表13.8に、リピート転送モードのメモリマップを図13.7に示します。

表 13.8 リピート転送モードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値	
		CRALが1以外するとき	CRALが1のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定 (注1)	(MRB.DTSビット=0のとき) インクリメント/デクリメント/固定 (注1) (MRB.DTSビット=1のとき) SARレジスタの初期値
DAR	転送先アドレス	インクリメント/デクリメント/固定 (注1)	(MRB.DTSビット=0のとき) DARレジスタの初期値 (MRB.DTSビット=1のとき) インクリメント/デクリメント/固定 (注1)
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタA	CRAL - 1	CRAH
CRB	転送カウンタB	更新されない	更新されない

注1. アドレス固定のときは、ライトバックはスキップされます。

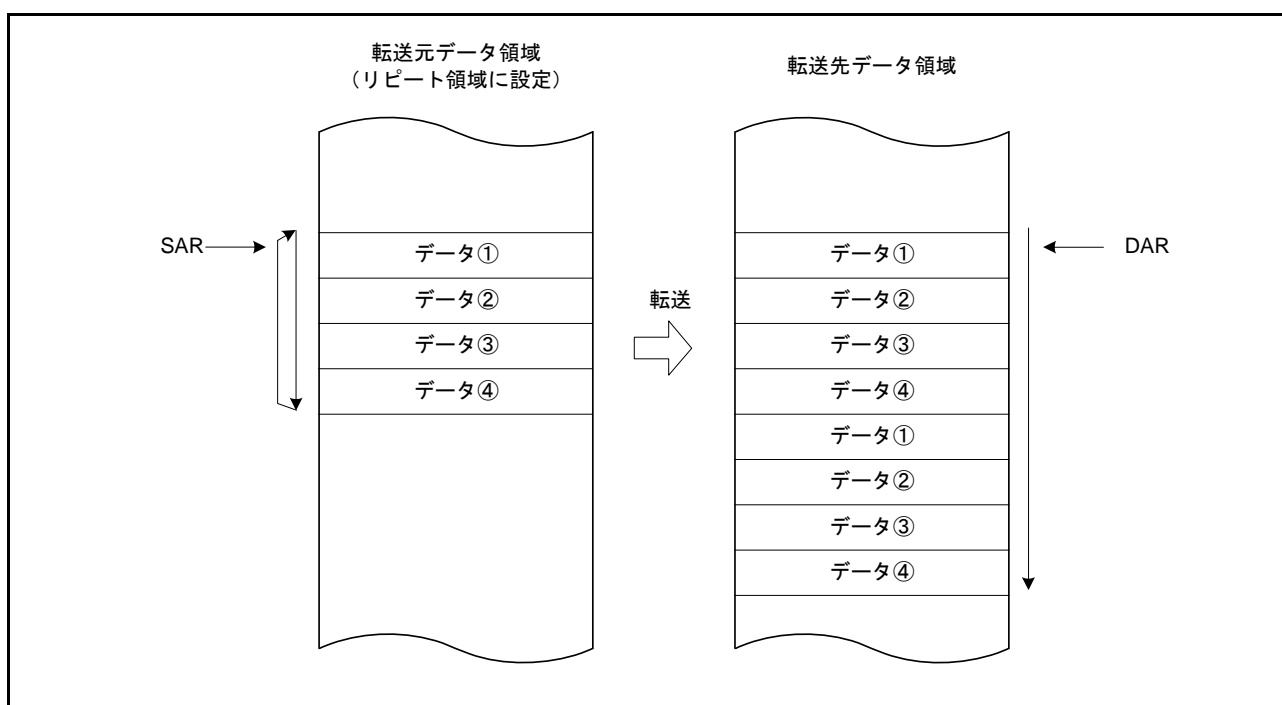


図 13.7 リピート転送モードのメモリマップ (転送元をリピート領域に設定した場合)

13.4.5 ブロック転送モード

1つの起動要因で、1ブロックの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をブロック領域に指定します。ブロックサイズは1～256バイト（または1～256ワード、1～256ロングワード）の指定が可能です。

指定された1ブロックの転送が終了すると、ブロックサイズカウンタ CRAL レジスタと、ブロック領域に指定したアドレスレジスタ（MRB.DTS ビットが“1”のとき SAR レジスタ、DTS ビットが“0”のとき DAR レジスタ）の初期状態が回復します。他方のアドレスレジスタは、連続してインクリメント、またはデクリメント、あるいはアドレス固定になります。

転送回数（ブロック回数）は、1～65536まで指定可能です。指定回数のブロック転送が終了すると、CPUへの割り込みを発生させることができます。

ブロック転送モードのレジスタ機能を表13.9に、ブロック転送モードのメモリマップを図13.8に示します。

表13.9 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値
SAR	転送元アドレス	(MRB.DTS ビット=0のとき) インクリメント/デクリメント/固定 (注1) (MRB.DTS ビット=1のとき) SAR レジスタの初期値
DAR	転送先アドレス	(MRB.DTS ビット=0のとき) DAR レジスタの初期値 (MRB.DTS ビット=1のとき) インクリメント/デクリメント/固定 (注1)
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB - 1

注1. アドレス固定のときは、ライトバックはスキップされます。

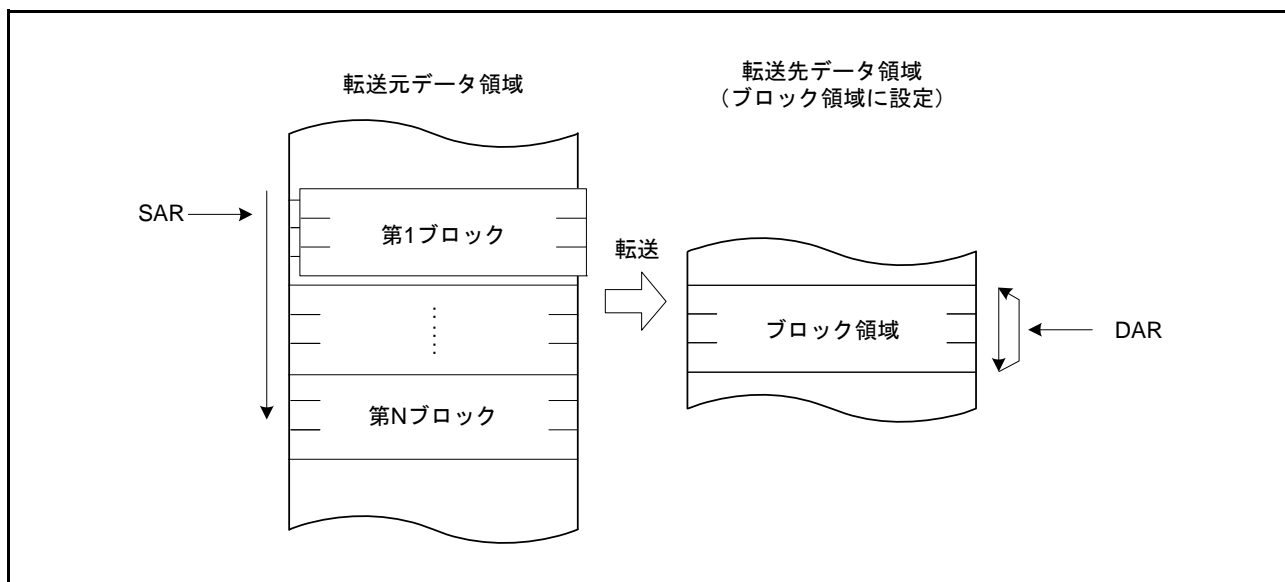


図13.8 ブロック転送モードのメモリマップ（転送先をブロックエリアに指定した場合）

13.4.6 チェーン転送

MRB.CHNE ビットを“1”にすると、1つの起動要因で複数のデータ転送を連続して行うことができます。データ転送を定義する SAR、DAR、CRA、CRB、および MRA、MRB レジスタはそれぞれ個別に設定できます。チェーン転送の動作を図 13.9 に示します。

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“0”にした場合、CPU への割り込み通知や起動要因となった割り込み要因フラグのクリアを行わず、次の転送情報に基づく転送（チェーン転送）を行います。

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“1”にした場合、転送カウンタが 0 になったときのみ CPU への割り込み通知や起動要因となった割り込み要因フラグのクリアを行わず、次の転送情報に基づく転送（チェーン転送）を行います。転送カウンタが 0 以外の場合、MRB.DISEL ビットの設定により、CPU への割り込み通知や起動要因となった割り込み要因フラグのクリアが行われます。

チェーン転送を行った場合、MRB.CHNE ビットが“0”の場合の転送情報に基づく転送の終了時に CPU への割り込み通知、または起動要因となった割り込み要因フラグのクリアを行います。

チェーン転送の動作フローの詳細は、図 13.4 DTC 動作フローチャート、表 13.5 チェーン転送の条件を参照してください。

リピート転送モードでは、DTCCR.RCHNE ビット、MRB.CHNE、CHNS ビットをそれぞれ“1”にすると、転送カウンタ =1 の転送終了後にチェーン転送を行うことができます。

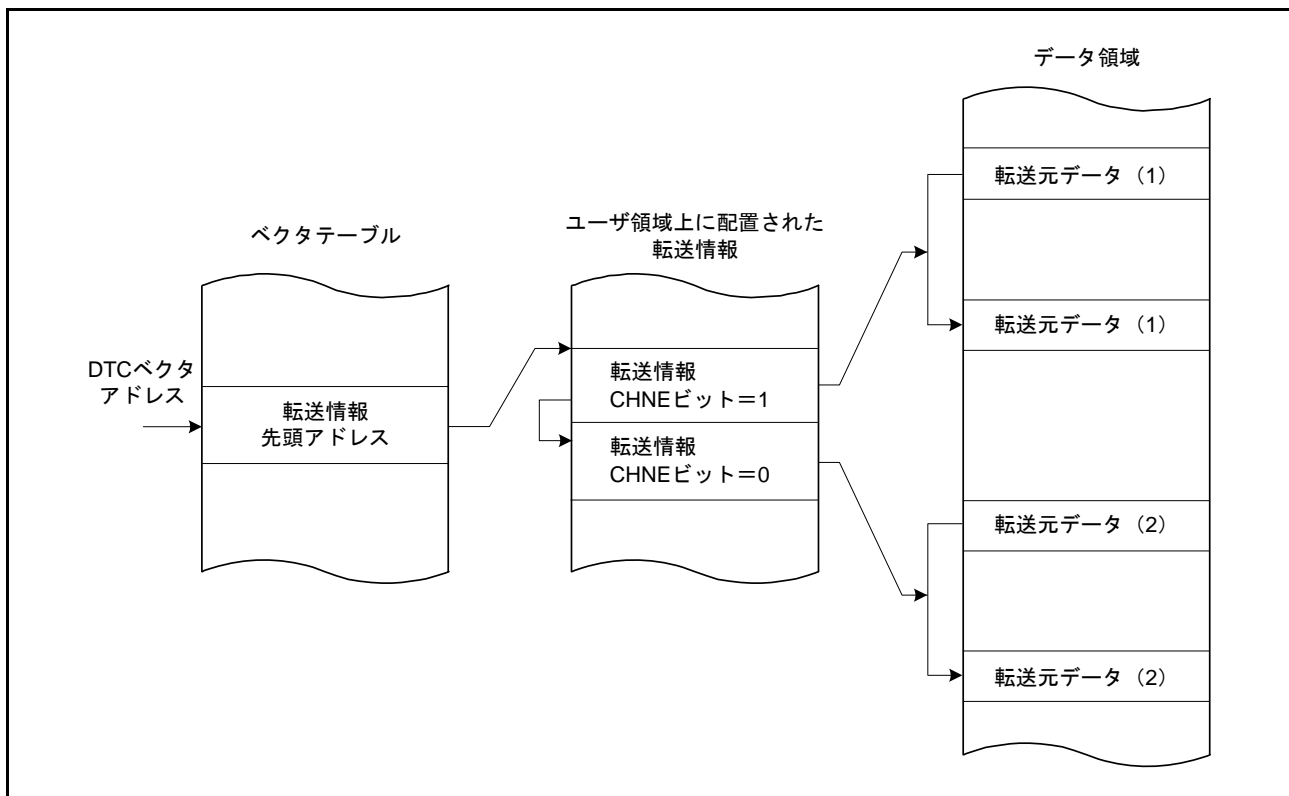


図 13.9 チェーン転送の動作

13.4.7 動作タイミング

DTC の動作タイミングの例を図 13.10 ~ 図 13.13 に示します。

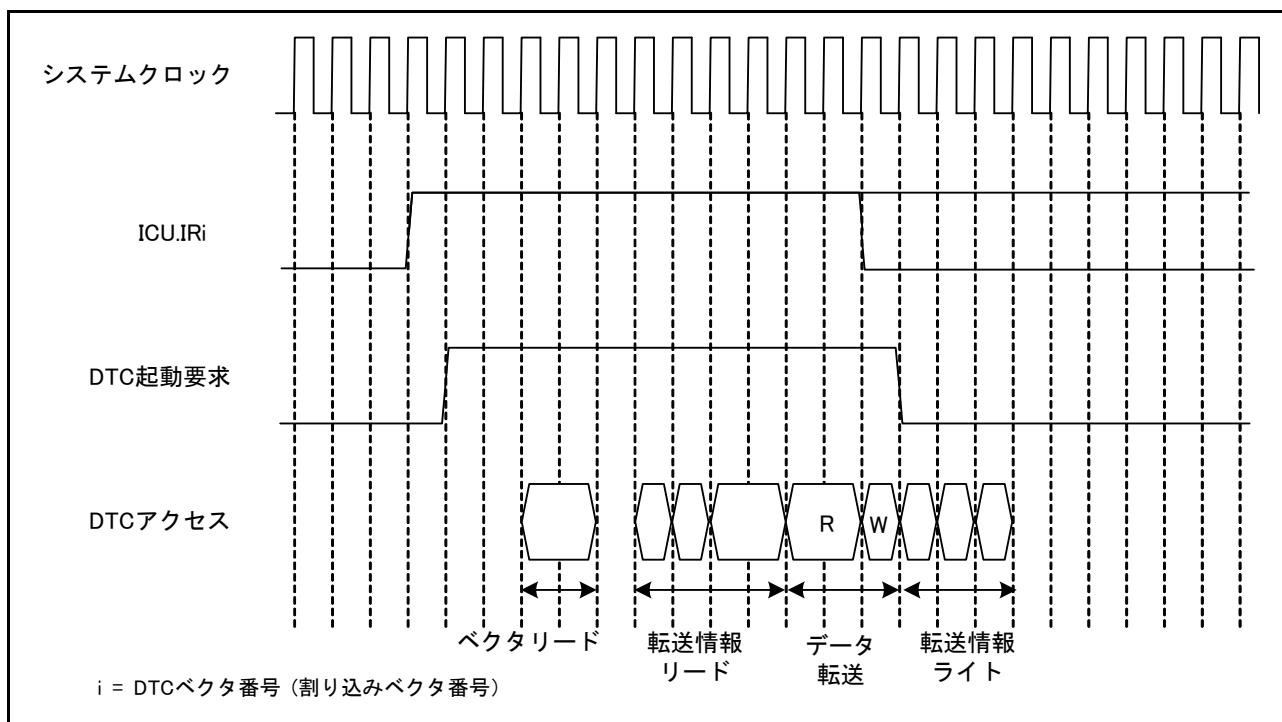


図 13.10 DTC 動作タイミング例 1
(ショートアドレスモード、ノーマル転送モード、リピート転送モードの場合)

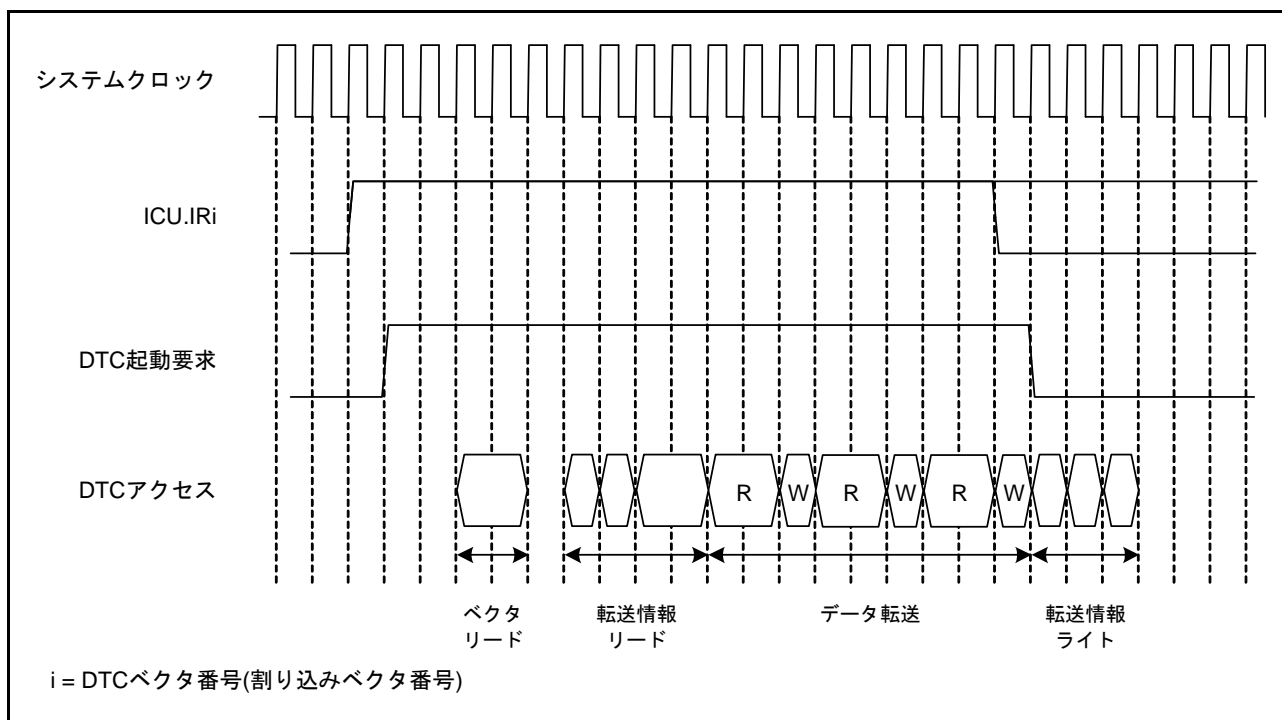


図 13.11 DTC 動作タイミング例 2
(ショートアドレスモード、ブロック転送モード、ブロックサイズ = 3 の場合)

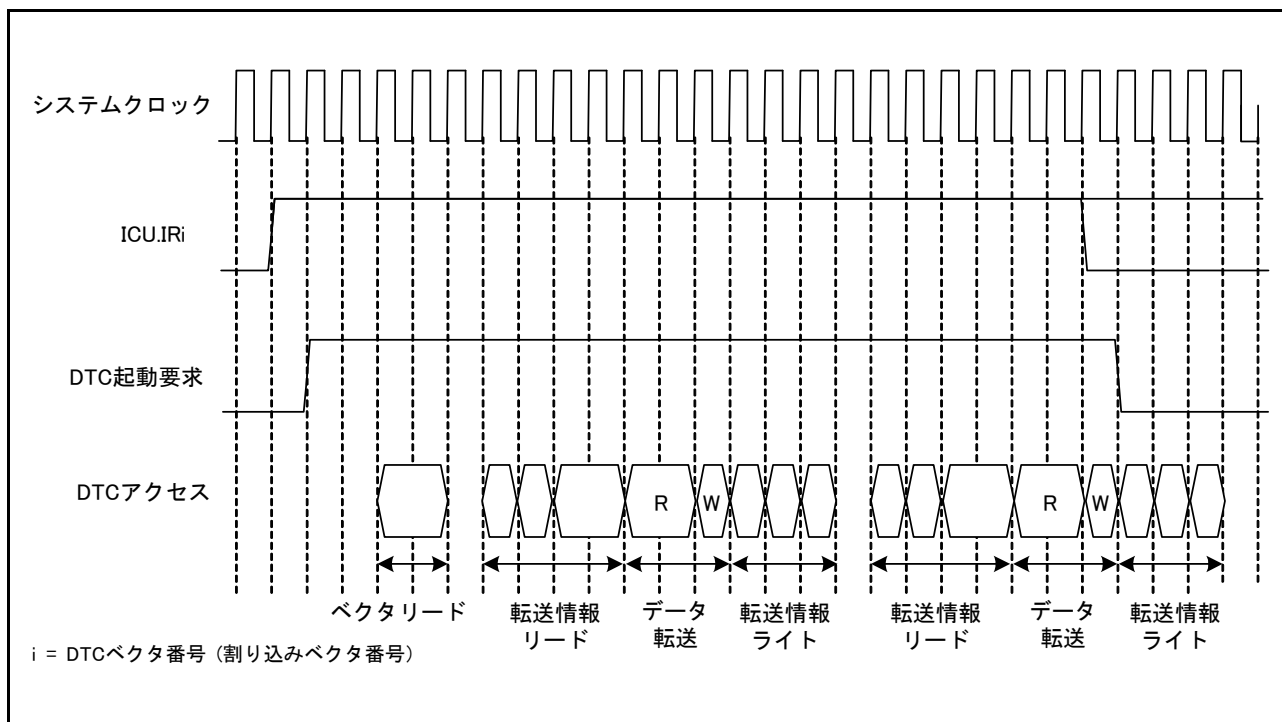


図 13.12 DTC 動作タイミング例 3 (ショートアドレスモード、チェーン転送の場合)

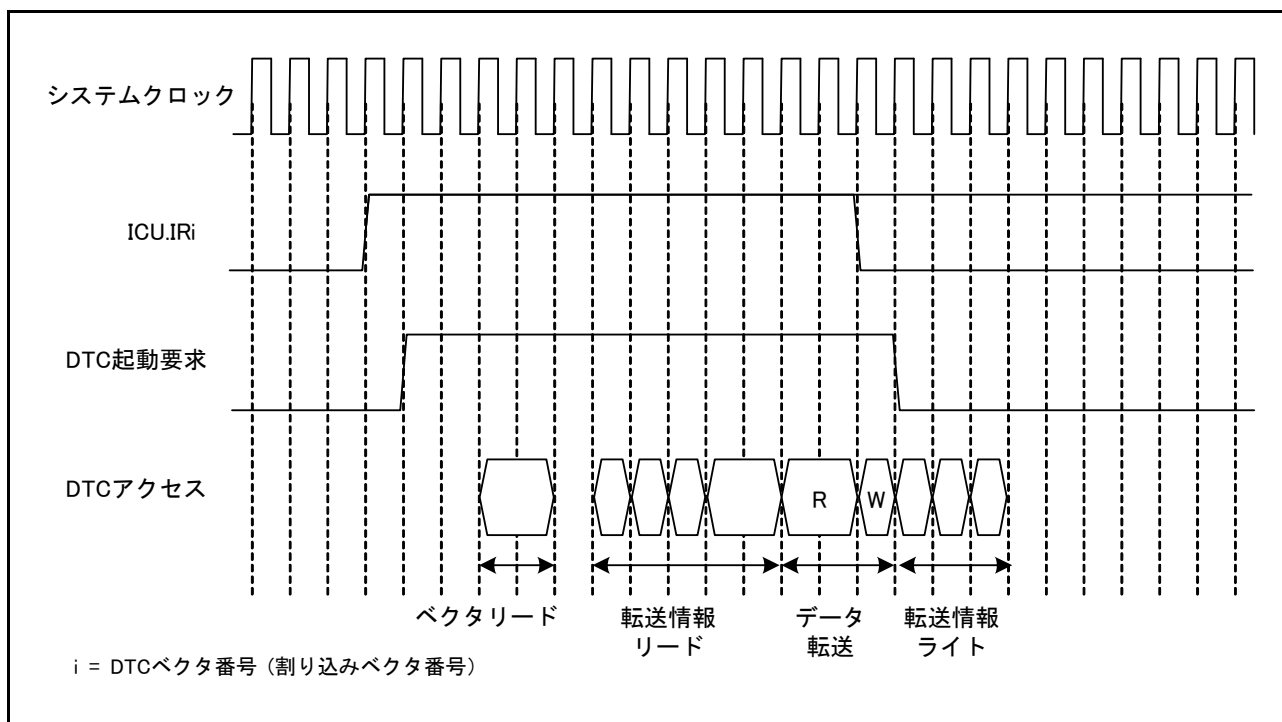


図 13.13 DTC 動作タイミング例 4 (フルアドレスモード、ノーマル転送モード、リピート転送モードの場合)

13.4.8 DTC の実行サイクル

DTC の 1 回のデータ転送の実行サイクルを表 13.10 に示します。

表 13.10 DTC の実行サイクル

転送モード	ベクタリード		転送情報リード			転送情報ライト			データリード	データライト	内部動作	
	V+1	0 (注1)	4xC+1 (注2)	3xC+1 (注3)	0 (注1)	3xC (注2, 注3)	2xC (注4)	C (注5)			R+1	W
ノーマル	V+1	0 (注1)	4xC+1 (注2)	3xC+1 (注3)	0 (注1)	3xC (注2, 注3)	2xC (注4)	C (注5)	R+1	W	1	0 (注1)
リピート	V+1	0 (注1)	4xC+1 (注2)	3xC+1 (注3)	0 (注1)	3xC (注2, 注3)	2xC (注4)	C (注5)	R+1	W	1	0 (注1)
ブロック	V+1	0 (注1)	4xC+1 (注2)	3xC+1 (注3)	0 (注1)	3xC (注2, 注3)	2xC (注4)	C (注5)	(R+1) xP	WxP	1	0 (注1)

注1. 転送情報スキップのとき

注2. フルアドレスモード動作のとき

注3. ショートアドレスモード動作のとき

注4. SARレジスタもしくはDARレジスタがアドレス固定のとき

注5. SARレジスタとDARレジスタがアドレス固定のとき

【記号説明】

P: ブロックサイズ (CRAH、CRAL レジスタの初期設定)

V: ベクタ情報格納先アクセスサイクル

C: 転送情報格納先アクセスサイクル

R: データリード先アクセスサイクル

W: データライト先アクセスサイクル

(V、C、R、W はアクセス先で異なります。アクセス先ごとのサイクル数は、「26. ROM (コード格納用フラッシュメモリ)」、「25. RAM」、「5. IO レジスタ」、「11. バス」を参照してください。)

13.4.9 DTC のバス権解放タイミング

DTC は、転送情報リード中と転送情報ライト中にはバス権を解放しません。その他のタイミングでは、バスマスタ調停部で決められた優先順位によってバス調停が行われます。

13.5 DTC の設定手順

DTC の設定手順を図 13.14 に示します。

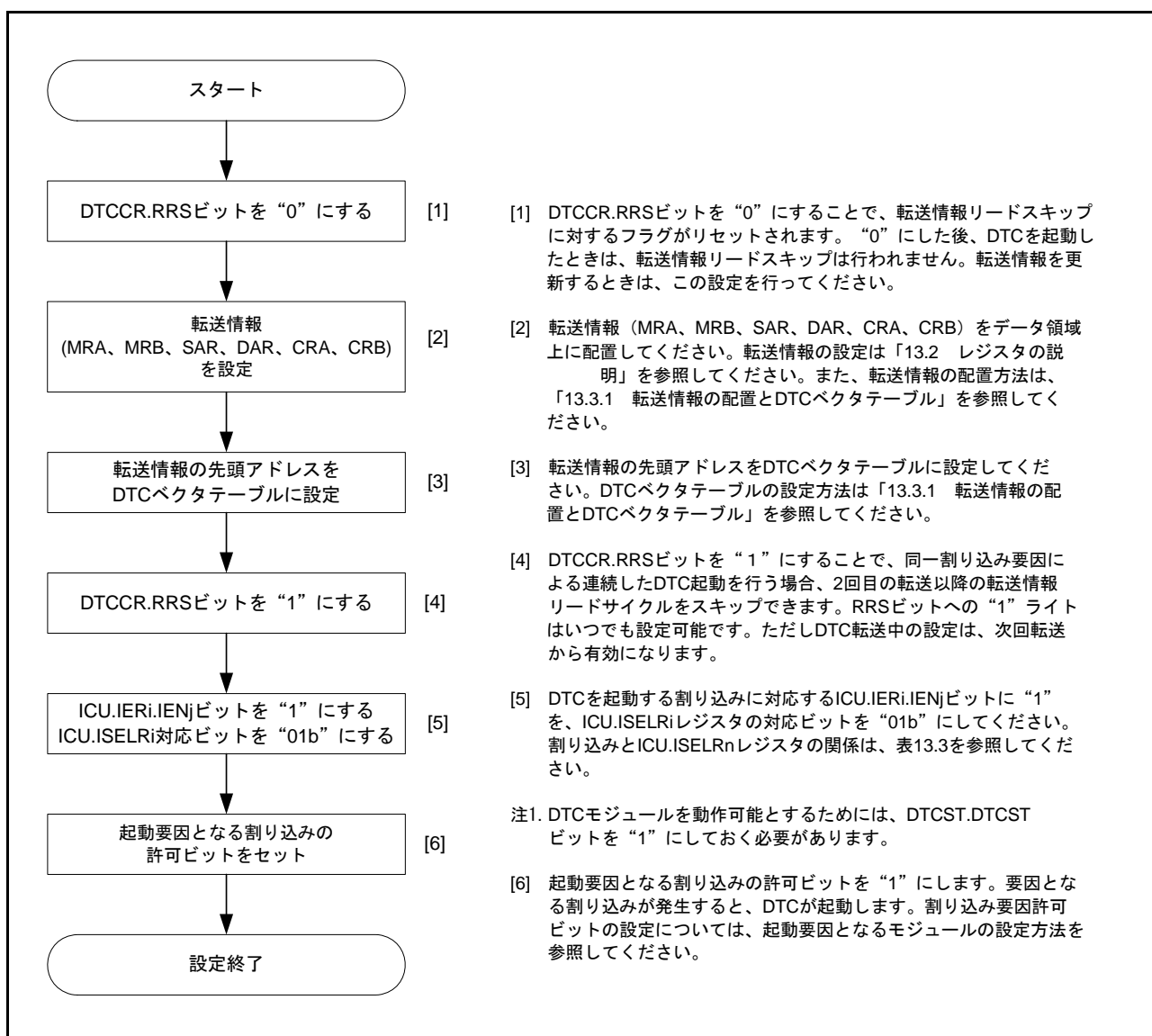


図 13.14 DTC の設定手順

13.6 DTC 使用例

13.6.1 ノーマル転送

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

1. MRA レジスタに、転送元アドレス固定 (MRA.SM[1:0] ビット = “00b”)、転送先アドレスインクリメント (MRB.DM[1:0] ビット = “10b”)、ノーマル転送モード (MRA.MD[1:0] ビット = “00b”)、バイトサイズ (MRA.SZ[1:0] ビット = “00b”) を設定します。MRB.DTS ビットは、任意の値とすることができます。MRB レジスタは、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE ビット = “0”、MRB.DISEL ビット = “0”) を行います。SAR レジスタには SCIm.RDR レジスタ (m = 0 ~ 6) のアドレス、DAR レジスタにはデータを格納する RAM の先頭アドレス、CRA レジスタには 128 (“0080h”) を設定します。CRB レジスタは、任意の値とすることができます。
2. RXI 割り込み用の転送情報の先頭アドレスを、DTC ベクタテーブルに設定します。
3. 対応する ICU.ISEL*Ri* レジスタを “01b” に、ICU.IER*i*.IEN*j* ビットを “1” にします。DTCST.DTCST ビットを “1” にします。
4. SCI を所定の受信モードに設定します。SCIm.SCR.RIE ビットを “1” にし、受信完了 (RXI) 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると以後の受信が行われませんので、CPU が受信エラー割り込みを受け付けられるようにしてください。
5. SCI の 1 バイトのデータ受信が完了するごとに、RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCIm.RDR レジスタから RAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントを行います。
6. 128 回のデータ転送終了後、CRA レジスタが “0” になると、CPU に RXI 割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

13.6.2 チェーン転送

DTC のチェーン転送の例として、PPG によるパルス出力を行う例を示します。

チェーン転送を使ってパルス出力データの転送と、PPG 出力トリガの周期の変更を行うことができます。チェーン転送の前半で PPGm.NDRH、PPGm.NDRL レジスタ (m = 0, 1) へのリピータ転送、後半で TPUm.TGRA ~ TPUm.TGRD レジスタ (m = 0 ~ 11) へのノーマル転送を設定します。起動要因のクリアや指定した回数の転送終了時の割り込み発生は、チェーン転送の後半 (MRB.CHNE ビット = “0” のときの転送) に限られるためです。

1. PPGm.NDRH、PPGm.NDRL レジスタへの転送の設定を行います。MRA レジスタに、転送元アドレスインクリメント (MRA.SM[1:0] ビット = “10b”)、転送先アドレス固定 (MRB.DM[1:0] ビット = “00b”)、リピータ転送モード (MRA.MD[1:0] ビット = “01b”)、ワードサイズ (MRA.SZ[1:0] ビット = “01b”) を設定します。転送元をリピータ領域 (MRB.DTS ビット = “1”) に設定します。MRB レジスタはチェーン転送 (MRB.CHNE ビット = “1”、MRB.CHNS ビット = “0”、MRB.DISEL ビット = “0”) に設定します。SAR レジスタにはデータテーブルの先頭アドレス、DAR レジスタには PPGm.NDRH レジスタのアドレス、CRAH、CRAL レジスタにはデータテーブルサイズを設定します。CRB レジスタは任意の値とすることができます。
2. TPUm.TGRA レジスタへの転送の設定を行います。MRA レジスタに、転送元アドレスインクリメント (MRA.SM[1:0] ビット = “10b”)、転送先アドレス固定 (MRB.DM[1:0] ビット = “00b”)、ノーマル転送モード (MRA.MD[1:0] ビット = “00b”)、ワードサイズ (MRA.SZ[1:0] ビット = “01b”) を設定します。SAR レジスタにはデータテーブルの先頭アドレス、DAR レジスタには TPUm.TGRA レジスタのアドレス、CRA レジスタにはデータテーブルサイズを設定します。CRB レジスタは任意の値とすることができます。

3. PPGm ヘデータ転送を行うための転送情報の後に連続して TPU ヘデータ転送を行うための転送情報を配置します。
4. PPGm ヘデータ転送を行うための転送情報の先頭アドレスを DTC ベクタテーブルに設定します。
5. TGIA 割り込みに対応する ICU.ISELRI レジスタを “01b” に、ICU.IERI.IENj ビットを “1” にします。DTCST.DTCST ビットを “1” にします。
6. TPUm.TIORH、TPUm.TIORL レジスタで TPUm.TGRA レジスタをアウトプットコンペアレジスタ（出力禁止）に設定し、TPUm.TIER レジスタで TGIA 割り込みを許可します。
7. PPGm.PODRH、PPGm.PODRL レジスタに出力初期値を設定し、PPGm.NDRH、PPGm.NDRL レジスタに次の出力値を設定します。Pm.DDR レジスタ (m = 0 ~ 9, A ~ E)、PPGm.NDRH、PPGm.NDRL レジスタの出力を行うビットを “1” にします。また、PPGm.PCR レジスタ (m = 0, 1) で出力トリガとなる TPU のコンペアマッチ信号を選択します。
8. TPU.TSTRy.CST[5:0] ビット (y = A, B) を “1” にし、TPUm.TCNT カウンタのカウンタ動作を開始します。
9. TPUm.TGRA レジスタのコンペアマッチが発生するたびに次の出力値が PPGm.NDRH、PPGm.NDRL レジスタへ、次の出力トリガ周期の設定値が TPUm.TGRA レジスタへそれぞれ転送されます。
10. 指定した回数の転送終了後（TPU 転送用 CRA レジスタが “0” になると）、CPU に TGIA 割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

13.6.3 カウンタ = 0 のときのチェーン転送

カウンタが 0 になったときのみ第 2 のデータ転送を行い、第 1 のデータ転送の再設定を行うことによって、転送回数が 256 回以上のリピート転送を行うことができます。

128K バイトの入力バッファを構成する例を示します。ただし、入力バッファは下位アドレス “0000h” から始まるように設定するものとします。カウンタ = 0 のときのチェーン転送を図 13.15 に示します。

1. 第 1 のデータ転送として、入力データ用のノーマル転送モードを設定します。転送元アドレスは固定、CRA レジスタ = “0000h” (65536 回)、MRB.CHNE ビット = “1” (チェーン転送許可)、MRB.CHNS ビット = “1” (転送カウンタ = 0 のときのみチェーン転送を行う)、MRB.DISEL ビット = “0” (指定されたデータ転送終了時、CPU に割り込みが発生) としてください。
2. 第 1 のデータ転送の転送先アドレスの 65536 回ごとの先頭アドレスの上位 8 ビットアドレスを別の領域 (ROM など) に用意してください。たとえば、入力バッファを “200000h” ~ “21FFFFh” とするときには、“21h”、“20h” を用意します。
3. 第 2 のデータ転送として、第 1 のデータ転送の転送先アドレス再設定用のリピート転送モード (転送元をリピート領域) とします。転送先は第 1 の転送情報領域の DAR レジスタの上位 8 ビットとします。このとき MRB.CHNE ビット = “0” (チェーン転送禁止)、MRB.DISEL ビット = “0” (指定されたデータ転送終了時、CPU に割り込みが発生) としてください。上記入力バッファを “200000h” ~ “21FFFFh” とする場合には、転送カウンタ = 2 としてください。
4. 割り込みによって第 1 のデータ転送を 65536 回実行します。第 1 のデータ転送の転送カウンタが “0” になると、第 2 のデータ転送が起動します。第 1 のデータ転送の転送元アドレス上位 8 ビットを “21h” にします。第 1 のデータ転送の転送先アドレス下位 16 ビットの転送カウンタは、“0000h” になっています。
5. 引き続き割り込みによって第 1 のデータ転送を、第 1 のデータ転送で指定した 65536 回実行します。第 1 のデータ転送の転送カウンタが “0” になると、第 2 のデータ転送が起動します。第 1 のデータ転送の転送元アドレス上位 8 ビットを “20h” にします。第 1 のデータ転送の転送先アドレス下位 16 ビットの転送カウンタは “0000h” になっています。
6. 上記 4.、5. を無限に繰り返します。第 2 のデータ転送がリピート転送モードのため、CPU には割り込みを要求しません。

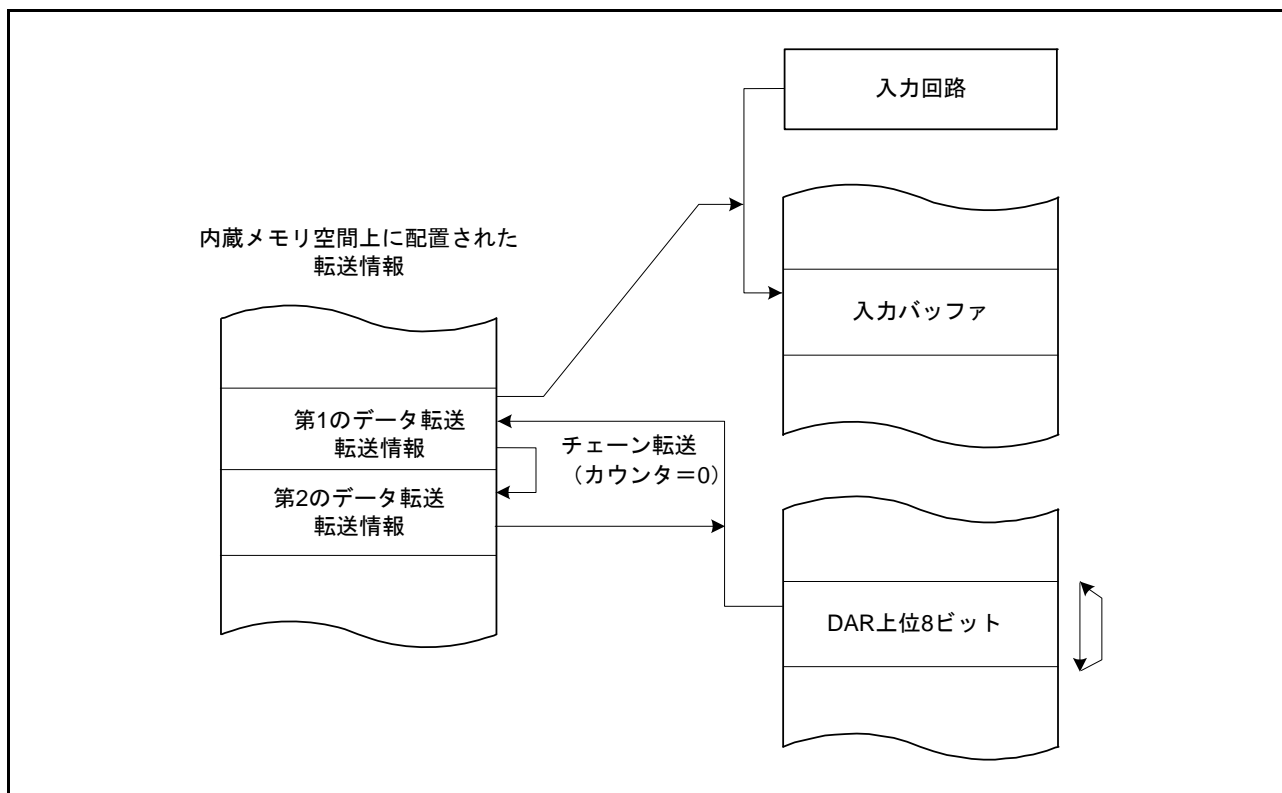


図 13.15 カウンタ = 0 のときのチェーン転送

13.7 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および MRB.DISEL ビットが “1” (DTC データ転送のたびに、CPU への割り込み要求が発生) のデータ転送が終了したとき、DTC を起動した割り込み要因で CPU に対して割り込みが発生します。これらの CPU に対する割り込みは CPU のマスクレベルや割り込みコントローラの優先順位の制御を受けます。

13.8 消費電力低減機能

13.8.1 DTC モジュール起動レジスタの設定

モジュールストップ機能、および全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ移行する際は、DTCST.DTCST ビットを“0” (モジュール停止) にしてください。

(1) モジュールストップ機能

MSTPCRA.MSTPA27 ビットに“1”(モジュールストップ状態への遷移) を書くことによって DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA27 ビットに“1” を書いた時点で DTC が転送動作中の場合、DTC 転送終了後にモジュールストップ状態に遷移します。

(2) 全モジュールクロックストップモードへの移行

MSTPCRA.ACSE ビットに“1”(全モジュールクロックストップモード許可) を書き、MSTPCRA.MSTPA27 ビット (DTC モジュールストップ設定ビット) を含め MSTPCRA.MSTPAj、MSTPCRB.MSTPBj の全ビットに“1” を書いた後、WAIT 命令を実行することで全モジュールクロックストップモードに移行します。WAIT 命令実行時点で DTC が転送動作中の場合、DTC 転送終了後に全モジュールクロックストップモードに移行します。

(3) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットに“1”(WAIT 命令実行後、ソフトウェアスタンバイモードに移行) を書いた後、WAIT 命令を実行することでソフトウェアスタンバイモードに移行します。WAIT 命令実行時点で DTC が転送動作中の場合、DTC 転送終了後にソフトウェアスタンバイモードに移行します。また、ソフトウェアスタンバイモードに移行したとき、DPSBYCR.DPSBY ビットを“1” にしておくことでディープソフトウェアスタンバイモードに移行します。

13.9 使用上の注意事項

13.9.1 転送情報先頭アドレス / 転送元アドレス / 転送先アドレス

ベクタテーブルに指定する転送情報の先頭アドレスは、4n 番地を指定してください。4n 番地以外を指定すると、アドレスの最下位 2 ビットは“00b”としてアクセスします。

13.9.2 転送情報の配置

転送情報をメモリに配置するときには、配置する領域のエンディアンによって、図 13.16 に示すとおり配置してください。

たとえば、CRA、CRB 設定データを 16 ビットで書く場合、ビッグエンディアンの場合は下位アドレス 0 に CRA 設定データ、下位アドレス 2 に CRB 設定データを書いてください。リトルエンディアンの場合は下位アドレス 0 に CRB 設定データ、下位アドレス 2 に CRA 設定データを書いてください。32 ビットで書く場合は、エンディアンにかかわらず 32 ビットの MSB 側に CRA 設定データ、LSB 側に CRB 設定データを配置して下位アドレス 0 に書いてください。

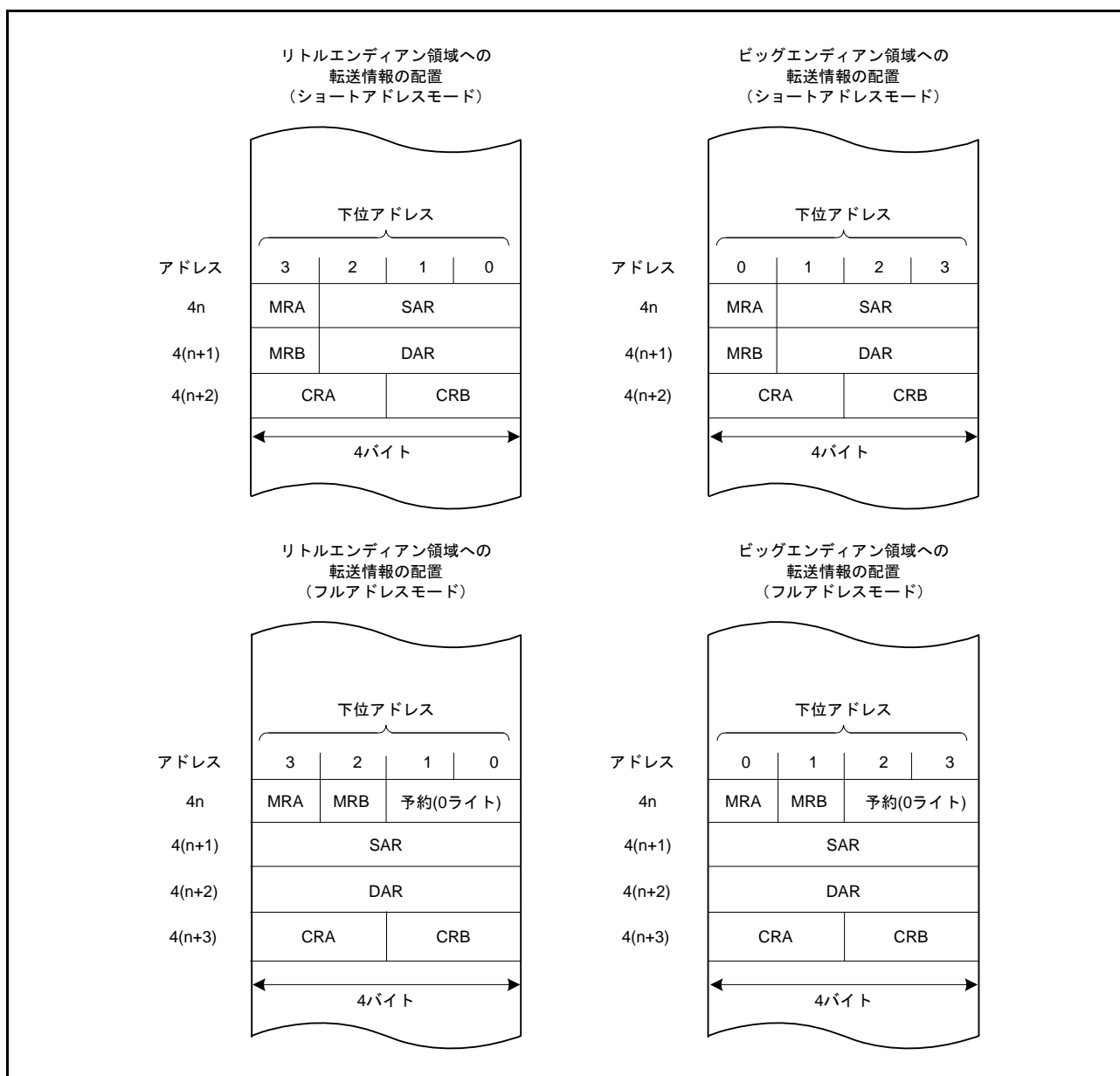


図 13.16 転送情報の配置

14. I/Oポート

RX610 グループの I/O ポートは、プログラマブル入出力ポートと周辺機能の入出力、割り込み入力端子、またはバス制御端子として機能します。

各ポートは、周辺モジュールの入出力端子や、割り込み入力端子と兼用になっています。リセット直後は入力ポートになっていますが、レジスタの設定によって機能が切り替わります。各ポートの設定は、I/O ポートのレジスタ、および内蔵周辺モジュールのレジスタの設定に依存します。

各ポートは、入出力を制御するデータディレクションレジスタ (DDR)、出力データを格納するデータレジスタ (DR)、端子の状態を読むポートレジスタ (PORT)、入力バッファの有効/無効を制御する入力バッファコントロールレジスタ (ICR) を備えています。

パッケージにより I/O ポートの構成が異なります。144 ピン LQFP はポート 0 ~ 9、A ~ E の 15 ポートで構成され、入出力端子を 117 本備えています。176 ピン LFBGA はポート 0 ~ 9、A ~ H の 18 ポートで構成され、入出力端子を 140 本備えています。

14.1 概要

表 14.1 に I/O ポートの仕様を、表 14.2 にポート機能一覧を示します。

表 14.1 I/Oポートの仕様

項目		内容
入出力端子	144ピンLQFP	117本
	176ピンLFBGA	140本
ポート	144ピンLQFP	15ポート (0~9、A~E)
	176ピンLFBGA	18ポート (0~9、A~H)
入力プルアップ抵抗内蔵		ポートA、B、C、D、E
オープンドレイン出力		ポート2、C
5Vトレラント		ポート0、1 (P14、P15、P16、P17)
シュミットトリガ入力端子		全ポート入力、IRQ入力、TPU入力、TMR入力、RIIC入力、SCI入力
その他		<ul style="list-style-type: none"> 1個のTTL負荷と30pFの容量負荷を駆動可能 出力時にダーリントントランジスタを駆動

表 14.2 ポート機能一覧 (1 / 4)

ポート	概要	ビット	機 能			CMOS 入力端子	シュミット トリガ 入力端子	入力 プルアップ 抵抗機能	オープン ドレイン 出力機能
			入出力	入力	出力				
ポート0	オンチップエミュ レータ入力、 割り込み入力、 TMR入出力、 SCI入出力 と兼用汎用入出力 ポート	0	P00	TMRI2/IRQ8-A	TxD6	-	全入力機能	-	-
		1	P01	TMCI2/RxD6/ IRQ9-A			全入力機能		
		2	P02/SCK6	IRQ10-A/TRST#	TMO2		全入力機能		
		3	P03/SCK4	TMRI3/IRQ11-A/ TMS			全入力機能		
		4	P04	TMCI3/IRQ12-A/ TDI	TxD4		全入力機能		
		5	P05	RxD4/IRQ13-A/ TCK	TMO3		全入力機能		
ポート1	割り込み入力、 TPU入力、 SCI入出力、 RIIC入出力、 A/Dコンバータ入力 と兼用汎用入出力 ポート	0	P10	IRQ0-B		-	全入力機能	-	-
		1	P11/SCK2	IRQ1-B			全入力機能		
		2	P12	RxD2/IRQ2-B			全入力機能		
		3	P13	ADTRG0#/IRQ3-B	TxD2		全入力機能		
		4	P14/SDA1	TCLKA-B/IRQ4-B			全入力機能		
		5	P15/SCK3/SCL1	TCLKB-B/IRQ5-B			全入力機能		
		6	P16/SDA0	TCLKC-B/RxD3/ IRQ6-B			全入力機能		
		7	P17/SCL0	TCLKD-B/ ADTRG1#/IRQ7-B	TxD3		全入力機能		
ポート2	TPU入出力、 PPG出力、 TMR入出力、 SCI入出力 と兼用汎用入出力 ポート	0	P20/TIOCB3	TIOCA3/TMRI0	PO0/TxD0	-	全入力機能	-	○
		1	P21/TIOCA3	TMCI0/RxD0	PO1		全入力機能		
		2	P22/TIOCC3/ SCK0		PO2/TMO0		全入力機能		
		3	P23/TIOCD3	TIOCC3	PO3		全入力機能		
		4	P24/TIOCB4	TIOCA4/TMRI1	PO4		全入力機能		
		5	P25/TIOCA4	TMCI1/RxD1	PO5		全入力機能		
		6	P26/TIOCA5		PO6/TMO1/TxD1		全入力機能		
		7	P27/TIOCB5/ SCK1	TIOCA5	PO7		全入力機能		
ポート3	割り込み入力、 TPU入出力、 PPG出力 と兼用汎用入出力 ポート	0	P30/TIOCA0	IRQ0-A	PO8	-	全入力機能	-	-
		1	P31/TIOCB0	TIOCA0/IRQ1-A	PO9		全入力機能		
		2	P32/TIOCC0	TCLKA-A/IRQ2-A	PO10		全入力機能		
		3	P33/TIOCD0	TIOCC0/TCLKB-A/ IRQ3-A	PO11		全入力機能		
		4	P34/TIOCA1	IRQ4-A	PO12		全入力機能		
		5	P35/TIOCB1	TIOCA1/TCLKC-A	PO13		全入力機能		
		6	P36/TIOCA2		PO14		全入力機能		
		7	P37/TIOCB2	TIOCA2/TCLKD-A	PO15		全入力機能		
ポート4	割り込み入力、 A/Dコンバータ入力 と兼用汎用入出力 ポート	0	P40	AN0/IRQ8-B		-	P40,IRQ8-B	-	-
		1	P41	AN1/IRQ9-B			P41,IRQ9-B		
		2	P42	AN2/IRQ10-B			P42,IRQ10-B		
		3	P43	AN3/IRQ11-B			P43,IRQ11-B		
		4	P44	AN4/IRQ12-B			P44,IRQ12-B		
		5	P45	AN5/IRQ13-B			P45,IRQ13-B		
		6	P46	AN6/IRQ14-B			P46,IRQ14-B		
		7	P47	AN7/IRQ15-B			P47,IRQ15-B		

表 14.2 ポート機能一覧 (2 / 4)

ポート	概要	ビット	機 能			CMOS 入力端子	シュミット トリガ 入力端子	入力 プルアップ 抵抗機能	オープン ドレイン 出力機能
			入出力	入力	出力				
ポート5	システムクロック 出力、 バス制御入出力、 トレース入出力、 と兼用汎用入出力 ポート	0	P50		WR0#/WR#	-	全入力機能	-	-
		1	P51		WR1#/BC1#		全入力機能		
		2	P52		RD#		全入力機能		
		3		P53	BCLK		全入力機能		
		4	P54		TRDATA0		全入力機能		
		5	P55		TRDATA1		全入力機能		
		6	P56		TRDATA2		全入力機能		
		7	P57	WAIT#	TRDATA3		全入力機能		
ポート6	割り込み入力、 バス制御出力、 D/Aコンバータ出力 と兼用汎用入出力 ポート	0	P60		CS0#/CS4#-A/ CS5#-B	-	全入力機能	-	-
		1	P61		CS1#/CS2#-B/ CS5#-A/CS6#-B/ CS7#-B		全入力機能		
		2	P62		CS2#-A/CS6#-A		全入力機能		
		3	P63		CS3#-A/CS7#-A		全入力機能		
		4	P64		CS4#-B		全入力機能		
		5	P65	IRQ15-A			全入力機能		
		6	P66		DA0		全入力機能		
		7	P67		DA1		全入力機能		
ポート7	割り込み入力、 バス制御出力、 A/Dコンバータ入力 と兼用汎用入出力 ポート	0	P70	ADTRG2#	CS3#-B	-	全入力機能	-	-
		1	P71		CS4#-C/CS5#-C/ CS6#-C/CS7#-C		全入力機能		
		2	P72				全入力機能		
		3	P73				全入力機能		
		4	P74	ADTRG3#			全入力機能		
		5	P75				全入力機能		
		6	P76	IRQ14-A			全入力機能		
		7	P77				全入力機能		
ポート8	トレース出力 と兼用汎用入出力 ポート	0	P80			-	全入力機能	-	-
		1	P81		TRSYNC		全入力機能		
		2	P82		TRCLK		全入力機能		
		3	P83				全入力機能		
		4	P84				全入力機能		
		5	P85				全入力機能		
		6	P86				全入力機能		
ポート9	A/Dコンバータ入力 と兼用汎用入出力 ポート	0	P90	AN8		-	P90	-	-
		1	P91	AN9			P91		
		2	P92	AN10			P92		
		3	P93	AN11			P93		
		4	P94	AN12			P94		
		5	P95	AN13			P95		
		6	P96	AN14			P96		
		7	P97	AN15			P97		

表 14.2 ポート機能一覧 (3 / 4)

ポート	概要	ビット	機能			CMOS 入力端子	シュミット トリガ 入力端子	入力 プルアップ 抵抗機能	オープン ドレイン 出力機能
			入出力	入力	出力				
ポートA	アドレス出力、 TPU入出力、 PPG出力 と兼用汎用入出力 ポート	0	PA0/TIOCA6		A0/PO16/BC0#	-	全入力機能	○	-
		1	PA1/TIOCB6	TIOCA6	A1/PO17		全入力機能		
		2	PA2/TIOCC6	TCLKE	A2/PO18		全入力機能		
		3	PA3/TIOCD6	TIOCC6/TCLKF	A3/PO19		全入力機能		
		4	PA4/TIOCA7		A4/PO20		全入力機能		
		5	PA5/TIOCB7	TIOCA7/TCLKG	A5/PO21		全入力機能		
		6	PA6/TIOCA8		A6/PO22		全入力機能		
		7	PA7/TIOCB8	TIOCA8/TCLKH	A7/PO23		全入力機能		
ポートB	アドレス出力、 TPU入出力、 PPG出力 と兼用汎用入出力 ポート	0	PB0/TIOCA9		A8/PO24	-	全入力機能	○	-
		1	PB1/TIOCB9	TIOCA9	A9/PO25		全入力機能		
		2	PB2/TIOCC9		A10/PO26		全入力機能		
		3	PB3/TIOCD9	TIOCC9	A11/PO27		全入力機能		
		4	PB4/TIOCA10		A12/PO28		全入力機能		
		5	PB5/TIOCB10	TIOCA10	A13/PO29		全入力機能		
		6	PB6/TIOCA11		A14/PO30		全入力機能		
		7	PB7/TIOCB11	TIOCA11	A15/PO31		全入力機能		
ポートC	アドレス出力、 バス制御出力、 SCI入出力 と兼用汎用入出力 ポート	0	PC0		A16	-	全入力機能	○	○
		1	PC1		A17		全入力機能		
		2	PC2		A18		全入力機能		
		3	PC3		A19		全入力機能		
		4	PC4		A20		全入力機能		
		5	PC5/SCK5		A21/CS5#-D		全入力機能		
		6	PC6	RxD5	A22/CS6#-D		全入力機能		
		7	PC7		A23/CS4#-D/ CS7#-D/TxD5		全入力機能		
ポートD	双方向データバス と兼用汎用入出力 ポート	0	PD0/D0			D0	PD0	○	-
		1	PD1/D1			D1	PD1		
		2	PD2/D2			D2	PD2		
		3	PD3/D3			D3	PD3		
		4	PD4/D4			D4	PD4		
		5	PD5/D5			D5	PD5		
		6	PD6/D6			D6	PD6		
		7	PD7/D7			D7	PD7		
ポートE	双方向データバス、 割り込み入力 と兼用汎用入出力 ポート	0	PE0/D8			D8	PE0	○	-
		1	PE1/D9			D9	PE1		
		2	PE2/D10			D10	PE2		
		3	PE3/D11			D11	PE3		
		4	PE4/D12			D12	PE4		
		5	PE5/D13	IRQ5-A		D13	PE5,IRQ5-A		
		6	PE6/D14	IRQ6-A		D14	PE6,IRQ6-A		
		7	PE7/D15	IRQ7-A		D15	PE7,IRQ7-A		

表 14.2 ポート機能一覧 (4 / 4)

ポート	概要	ビット	機 能			CMOS 入力端子	シュミット トリガ 入力端子	入力 プルアップ 抵抗機能	オープン ドレイン 出力機能
			入出力	入力	出力				
ポートF	汎用入出力ポート	0	PF0			-	全入力機能	-	-
		1	PF1				全入力機能		
		2	PF2				全入力機能		
		3	PF3				全入力機能		
		4	PF4				全入力機能		
		5	PF5				全入力機能		
		6	PF6				全入力機能		
ポートG	汎用入出力ポート	0	PG0			-	全入力機能	-	-
		1	PG1				全入力機能		
		2	PG2				全入力機能		
		3	PG3				全入力機能		
		4	PG4				全入力機能		
		5	PG5				全入力機能		
		6	PG6				全入力機能		
		7	PG7				全入力機能		
ポートH	汎用入出力ポート	0	PH0			-	全入力機能	-	-
		1	PH1				全入力機能		
		2	PH2				全入力機能		
		3	PH3				全入力機能		
		4	PH4				全入力機能		
		5	PH5				全入力機能		
		6	PH6				全入力機能		
		7	PH7				全入力機能		

14.2 レジスタの説明

表 14.3 に各ポートのレジスタ一覧を示します。

表 14.3 各ポートのレジスタ一覧 (1 / 3)

ポートシンボル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
P0	データディレクションレジスタ	DDR	00h	0008 C000h	8
	データレジスタ	DR	00h	0008 C020h	8
	ポートレジスタ	PORT	不定	0008 C040h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C060h	8
P1	データディレクションレジスタ	DDR	00h	0008 C001h	8
	データレジスタ	DR	00h	0008 C021h	8
	ポートレジスタ	PORT	不定	0008 C041h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C061h	8
P2	データディレクションレジスタ	DDR	00h	0008 C002h	8
	データレジスタ	DR	00h	0008 C022h	8
	ポートレジスタ	PORT	不定	0008 C042h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C062h	8
	オープンドレインコントロールレジスタ	ODR	00h	0008 C082h	8
P3	データディレクションレジスタ	DDR	00h	0008 C003h	8
	データレジスタ	DR	00h	0008 C023h	8
	ポートレジスタ	PORT	不定	0008 C043h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C063h	8
P4	データディレクションレジスタ	DDR	00h	0008 C004h	8
	データレジスタ	DR	00h	0008 C024h	8
	ポートレジスタ	PORT	不定	0008 C044h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C064h	8
P5	データディレクションレジスタ	DDR	00h	0008 C005h	8
	データレジスタ	DR	00h	0008 C025h	8
	ポートレジスタ	PORT	不定	0008 C045h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C065h	8
P6	データディレクションレジスタ	DDR	00h	0008 C006h	8
	データレジスタ	DR	00h	0008 C026h	8
	ポートレジスタ	PORT	不定	0008 C046h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C066h	8
P7	データディレクションレジスタ	DDR	00h	0008 C007h	8
	データレジスタ	DR	00h	0008 C027h	8
	ポートレジスタ	PORT	不定	0008 C047h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C067h	8
P8	データディレクションレジスタ	DDR	00h	0008 C008h	8
	データレジスタ	DR	00h	0008 C028h	8
	ポートレジスタ	PORT	不定	0008 C048h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C068h	8
P9	データディレクションレジスタ	DDR	00h	0008 C009h	8
	データレジスタ	DR	00h	0008 C029h	8
	ポートレジスタ	PORT	不定	0008 C049h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C069h	8

表 14.3 各ポートのレジスタ一覧 (2 / 3)

ポートシンボル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
PA	データディレクションレジスタ	DDR	00h	0008 C00Ah	8
	データレジスタ	DR	00h	0008 C02Ah	8
	ポートレジスタ	PORT	不定	0008 C04Ah	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Ah	8
	プルアップ抵抗コントロールレジスタ	PCR	00h	0008 C0CAh	8
PB	データディレクションレジスタ	DDR	00h	0008 C00Bh	8
	データレジスタ	DR	00h	0008 C02Bh	8
	ポートレジスタ	PORT	不定	0008 C04Bh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Bh	8
	プルアップ抵抗コントロールレジスタ	PCR	00h	0008 C0CBh	8
PC	データディレクションレジスタ	DDR	00h	0008 C00Ch	8
	データレジスタ	DR	00h	0008 C02Ch	8
	ポートレジスタ	PORT	不定	0008 C04Ch	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Ch	8
	オープンドレインコントロールレジスタ	ODR	00h	0008 C08Ch	8
	プルアップ抵抗コントロールレジスタ	PCR	00h	0008 C0CCh	8
PD	データディレクションレジスタ	DDR	00h	0008 C00Dh	8
	データレジスタ	DR	00h	0008 C02Dh	8
	ポートレジスタ	PORT	不定	0008 C04Dh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Dh	8
	プルアップ抵抗コントロールレジスタ	PCR	00h	0008 C0CDh	8
PE	データディレクションレジスタ	DDR	00h	0008 C00Eh	8
	データレジスタ	DR	00h	0008 C02Eh	8
	ポートレジスタ	PORT	不定	0008 C04Eh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Eh	8
	プルアップ抵抗コントロールレジスタ	PCR	00h	0008 C0CEh	8
PF	データディレクションレジスタ	DDR	00h	0008 C00Fh	8
	データレジスタ	DR	00h	0008 C02Fh	8
	ポートレジスタ	PORT	不定	0008 C04Fh	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C06Fh	8
PG	データディレクションレジスタ	DDR	00h	0008 C010h	8
	データレジスタ	DR	00h	0008 C030h	8
	ポートレジスタ	PORT	不定	0008 C050h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C070h	8
PH	データディレクションレジスタ	DDR	00h	0008 C011h	8
	データレジスタ	DR	00h	0008 C031h	8
	ポートレジスタ	PORT	不定	0008 C051h	8
	入力バッファコントロールレジスタ	ICR	00h	0008 C071h	8

表 14.3 各ポートのレジスタ一覧 (3 / 3)

ポートシンボル	レジスタ名	レジスタシンボル	リセット後の値	アドレス	アクセスサイズ
共通	ポートファンクションコントロールレジスタ0	PFCR0	00h	0008 C100h	8
	ポートファンクションコントロールレジスタ1	PFCR1	00h	0008 C101h	8
	ポートファンクションコントロールレジスタ2	PFCR2	00h	0008 C102h	8
	ポートファンクションコントロールレジスタ3	PFCR3	00h	0008 C103h	8
	ポートファンクションコントロールレジスタ4	PFCR4	00h	0008 C104h	8
	ポートファンクションコントロールレジスタ5	PFCR5	00h	0008 C105h	8
	ポートファンクションコントロールレジスタ6	PFCR6	00h	0008 C106h	8
	ポートファンクションコントロールレジスタ7	PFCR7	00h	0008 C107h	8
	ポートファンクションコントロールレジスタ8	PFCR8	00h	0008 C108h	8
	ポートファンクションコントロールレジスタ9	PFCR9	00h	0008 C109h	8

14.2.1 データディレクションレジスタ (DDR)

アドレス P0.DDR 0008 C000h、P1.DDR 0008 C001h、P2.DDR 0008 C002h、P3.DDR 0008 C003h、
P4.DDR 0008 C004h、P5.DDR0008 C005h、P6.DDR 0008 C006h、P7.DDR 0008 C007h、
P8.DDR 0008 C008h、P9.DDR 0008 C009h、PA.DDR 0008 C00Ah、PB.DDR 0008 C00Bh、
PC.DDR 0008 C00Ch、PD.DDR 0008 C00Dh、PE.DDR 0008 C00Eh、PF.DDR 0008 C00Fh、
PG.DDR 0008 C010h、PH.DDR 0008 C011h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

- 注1. P0.DDRレジスタは下位6ビットが有効で、上位2ビットは予約ビットです。
P8.DDRレジスタは下位7ビットが有効で、上位1ビットは予約ビットです。
PF.DDRレジスタは下位7ビットが有効で、上位1ビットは予約ビットです。
予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0入力/出力指定ビット (m = 0~9, A~H)	0 : 入力ポート 1 : 出力ポート	R/W
b1	B1	Pm1入力/出力指定ビット		R/W
b2	B2	Pm2入力/出力指定ビット		R/W
b3	B3	Pm3入力/出力指定ビット		R/W
b4	B4	Pm4入力/出力指定ビット		R/W
b5	B5	Pm5入力/出力指定ビット		R/W
b6	B6	Pm6入力/出力指定ビット		R/W
b7	B7	Pm7入力/出力指定ビット		R/W

DDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの入力/出力を指定するレジスタです。

Pm.DDR レジスタ (m = 0~9, A~H) の各ビットは、ポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

14.2.2 データレジスタ (DR)

アドレス P0.DR 0008 C020h、P1.DR 0008 C021h、P2.DR 0008 C022h、P3.DR 0008 C023h、
P4.DR 0008 C024h、P5.DR 0008 C025h、P6.DR 0008 C026h、P7.DR 0008 C027h、
P8.DR 0008 C028h、P9.DR 0008 C029h、PA.DR 0008 C02Ah、PB.DR 0008 C02Bh、
PC.DR 0008 C02Ch、PD.DR 0008 C02Dh、PE.DR 0008 C02Eh、PF.DR 0008 C02Fh、
PG.DR 0008 C030h、PH.DR 0008 C031h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

- 注1. P0.DRレジスタは下位6ビットが有効で、上位2ビットは予約ビットです。
P5.DR.B3ビットは予約ビットです。
P8.DRレジスタは下位7ビットが有効で、上位1ビットは予約ビットです。
PF.DRレジスタは下位7ビットが有効で、上位1ビットは予約ビットです。
P5.DR.B3ビット以外の予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。
P5.DR.B3ビットは、リード/ライト可能です。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力データ格納ビット(m = 0~9、A~H)	出力データ格納	R/W
b1	B1	Pm1出力データ格納ビット		R/W
b2	B2	Pm2出力データ格納ビット		R/W
b3	B3	Pm3出力データ格納ビット		R/W
b4	B4	Pm4出力データ格納ビット		R/W
b5	B5	Pm5出力データ格納ビット		R/W
b6	B6	Pm6出力データ格納ビット		R/W
b7	B7	Pm7出力データ格納ビット		R/W

DR レジスタは、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。
なお、P53の出力はBCLKとなっており、P5.DR.B3に値を設定しても端子に影響を与えません。

14.2.3 ポートレジスタ (PORT)

アドレス P0.PORT 0008 C040h、P1.PORT 0008 C041h、P2.PORT 0008 C042h、P3.PORT 0008 C043h、
P4.PORT 0008 C044h、P5.PORT 0008 C045h、P6.PORT 0008 C046h、P7.PORT 0008 C047h、
P8.PORT 0008 C048h、P9.PORT 0008 C049h、PA.PORT 0008 C04Ah、PB.PORT 0008 C04Bh、
PC.PORT 0008 C04Ch、PD.PORT 0008 C04Dh、PE.PORT 0008 C04Eh、PF.PORT 0008 C04Fh、
PG.PORT 0008 C050h、PH.PORT 0008 C051h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 x x x x x x x x

- 注1. P0.PORTレジスタは下位6ビットが有効で、上位2ビットは予約ビットです。
P8.PORTレジスタは下位7ビットが有効で、上位1ビットは予約ビットです。
PF.PORTレジスタは下位7ビットが有効で、上位1ビットは予約ビットです。
予約ビットは、読むと“0”が読めます。書き込みは無効になります。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0ビット(m = 0~9、A~H)	ポートの端子状態を反映	R
b1	B1	Pm1ビット		R
b2	B2	Pm2ビット		R
b3	B3	Pm3ビット		R
b4	B4	Pm4ビット		R
b5	B5	Pm5ビット		R
b6	B6	Pm6ビット		R
b7	B7	Pm7ビット		R

PORTレジスタは、ポートの端子の状態を反映するレジスタです。

Pm.PORTレジスタ(m = 0~9、A~H)を読むと、Pm.DDRレジスタが“1”(出力ポート)のビットはPm.DRレジスタの値が読めます。Pm.DDRレジスタが“0”(入力ポート)のビットは、Pm.ICRレジスタの値に関係なく端子の状態が読み出されます。

14.2.4 入力バッファコントロールレジスタ (ICR)

アドレス P0.ICR 0008 C060h、P1.ICR 0008 C061h、P2.ICR 0008 C062h、P3.ICR 0008 C063h、
P4.ICR 0008 C064h、P5.ICR 0008 C065h、P6.ICR 0008 C066h、P7.ICR 0008 C067h、
P8.ICR 0008 C068h、P9.ICR 0008 C069h、PA.ICR 0008 C06Ah、PB.ICR 0008 C06Bh、
PC.ICR 0008 C06Ch、PD.ICR 0008 C06Dh、PE.ICR 0008 C06Eh、PF.ICR 0008 C06Fh、
PG.ICR 0008 C070h、PH.ICR 0008 C071h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

- 注1. P0.ICR レジスタは下位6ビットが有効で、上位2ビットは予約ビットです。
P8.ICR レジスタは下位7ビットが有効で、上位1ビットは予約ビットです。
PF.ICR レジスタは下位7ビットが有効で、上位1ビットは予約ビットです。
予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0入力バッファ制御ビット(n=0~9、A~H)	0: 対応する端子の入力バッファは無効となり、 入力信号はHighに固定 1: 対応する端子の入力バッファは有効 周辺モジュールの入力端子として使用する場合は、 対応するビットを“1”にしてください。入力 に使用しない端子、およびアナログ入出力端子 に対応するビットは、“0”にしてください。	R/W
b1	B1	Pm1入力バッファ制御ビット		R/W
b2	B2	Pm2入力バッファ制御ビット		R/W
b3	B3	Pm3入力バッファ制御ビット		R/W
b4	B4	Pm4入力バッファ制御ビット		R/W
b5	B5	Pm5入力バッファ制御ビット		R/W
b6	B6	Pm6入力バッファ制御ビット		R/W
b7	B7	Pm7入力バッファ制御ビット		R/W

ICR レジスタは、ポートの入力バッファを制御するレジスタです。

Pm.ICR レジスタ (m=0~9、A~H) の各ビットは、ポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

Pm.PORT レジスタを読むと、Pm.ICR レジスタの値に関係なく端子の状態が読めます。このとき、Pm.ICR レジスタが“0”のビットは、対応する周辺モジュール側に入力信号が伝わることはありません。

Pm.ICR レジスタの設定を変更するときに、端子の状態によって内部にエッジが発生することがあります。Pm.ICR レジスタの設定の変更は、当該入力端子が使用されていないときに行ってください。たとえば、IRQn(n=0~15) 入力の場合、当該割り込みを禁止した状態で Pm.ICR レジスタの設定の変更を行い、割り込みコントローラの IRi.IR フラグ (i=64~79 (IRQ の割り込みベクタ番号)) を“0”にし、その後当該割り込みを許可してください。Pm.ICR レジスタの設定の変更後にエッジが発生したときは、そのエッジをキャンセルしてください。

14.2.5 プルアップ抵抗コントロールレジスタ (PCR)

アドレス PA.PCR 0008 C0CAh、PB.PCR 0008 C0CBh、PC.PCR 0008 C0CCh、
PD.PCR 0008 C0CDh、PE.PCR 0008 C0CEh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0入力プルアップ抵抗制御ビット (n = A ~ E)	0 : 入力プルアップ抵抗無効 1 : 入力プルアップ抵抗有効	R/W
b1	B1	Pm1入力プルアップ抵抗制御ビット		R/W
b2	B2	Pm2入力プルアップ抵抗制御ビット		R/W
b3	B3	Pm3入力プルアップ抵抗制御ビット		R/W
b4	B4	Pm4入力プルアップ抵抗制御ビット		R/W
b5	B5	Pm5入力プルアップ抵抗制御ビット		R/W
b6	B6	Pm6入力プルアップ抵抗制御ビット		R/W
b7	B7	Pm7入力プルアップ抵抗制御ビット		R/W

PCR レジスタは、ポートの入力プルアップ抵抗の有効 / 無効を制御するレジスタです。

端子が入力状態のとき、Pm.PCR レジスタが“1”のビットに対応する端子の入力プルアップ抵抗が有効になります。表 14.4 に入力プルアップ抵抗の状態を示します。

表 14.4 入力プルアップ抵抗の状態

ポート	端子状態	リセット中	動作中
ポートA	アドレス出力		無効
	周辺モジュール出力		無効
	ポート出力		無効
	ポート入力、周辺モジュール入力	無効	有効 / 無効
ポートB	アドレス出力		無効
	周辺モジュール出力		無効
	ポート出力		無効
	ポート入力、周辺モジュール入力	無効	有効 / 無効
ポートC	アドレス出力		無効
	周辺モジュール出力		無効
	ポート出力		無効
	ポート入力、周辺モジュール入力	無効	有効 / 無効
ポートD	データ入出力		無効
	ポート出力		無効
	ポート入力	無効	有効 / 無効
ポートE	データ入出力		無効
	ポート出力		無効
	ポート入力、周辺モジュール入力	無効	有効 / 無効

無効 : 入力プルアップ抵抗 MOS は常に無効です。

有効 / 無効 : Pm.PCR.Bj ビット (m = A ~ E、j = 0 ~ 7) を“1”にすると有効、“0”にすると無効です。

14.2.6 オープンドレインコントロールレジスタ (ODR)

アドレス P2.ODR 0008 C082h、PC.ODR 0008 C08Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力形態指定ビット(n = 2、C)	0 : CMOS出力 1 : NMOSオープンドレイン出力	R/W
b1	B1	Pm1出力形態指定ビット		R/W
b2	B2	Pm2出力形態指定ビット		R/W
b3	B3	Pm3出力形態指定ビット		R/W
b4	B4	Pm4出力形態指定ビット		R/W
b5	B5	Pm5出力形態指定ビット		R/W
b6	B6	Pm6出力形態指定ビット		R/W
b7	B7	Pm7出力形態指定ビット		R/W

ODR レジスタは、端子の出力形態を選択するレジスタです。

14.2.7 ポートファンクションコントロールレジスタ 0 (PFCR0)

アドレス 0008 C100h

	b7	b6	b5	b4	b3	b2	b1	b0
	CS7E	CS6E	CS5E	CS4E	CS3E	CS2E	CS1E	CS0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CS0E	CS0許可ビット	0 : I/Oポートとして使用 1 : CSn#出力端子 (n = 0~7)として使用	R/W
b1	CS1E	CS1許可ビット		R/W
b2	CS2E	CS2許可ビット		R/W
b3	CS3E	CS3許可ビット		R/W
b4	CS4E	CS4許可ビット		R/W
b5	CS5E	CS5許可ビット		R/W
b6	CS6E	CS6許可ビット		R/W
b7	CS7E	CS7許可ビット		R/W

PFCR0 レジスタは、CSn# 出力の許可 / 禁止を選択するレジスタです。

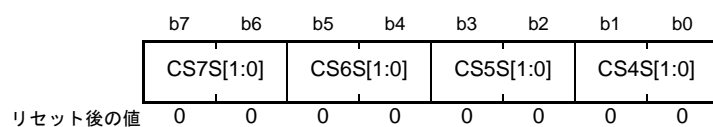
CSnE ビット (CSn イネーブルビット) (n = 0 ~ 7)

対応する CSn# 出力の許可 / 禁止を選択します。

CSn を出力する場合には、対応する PFCR0.CSnE ビットを“1”にしてください。

14.2.8 ポートファンクションコントロールレジスタ 1 (PFCR1)

アドレス 0008 C101h



ビット	シンボル	ビット名	機能	R/W
b1-b0	CS4S[1:0]	CS4#出力端子選択ビット	b1 b0 0 0 : P60からCS4#-Aを出力 0 1 : P64からCS4#-Bを出力 1 0 : P71からCS4#-Cを出力 1 1 : PC7からCS4#-Dを出力	R/W
b3-b2	CS5S[1:0]	CS5#出力端子選択ビット	b3 b2 0 0 : P61からCS5#-Aを出力 0 1 : P60からCS5#-Bを出力 1 0 : P71からCS5#-Cを出力 1 1 : PC5からCS5#-Dを出力	R/W
b5-b4	CS6S[1:0]	CS6#出力端子選択ビット	b5 b4 0 0 : P62からCS6#-Aを出力 0 1 : P61からCS6#-Bを出力 1 0 : P71からCS6#-Cを出力 1 1 : PC6からCS6#-Dを出力	R/W
b7-b6	CS7S[1:0]	CS7#出力端子選択ビット	b7 b6 0 0 : P63からCS7#-Aを出力 0 1 : P61からCS7#-Bを出力 1 0 : P71からCS7#-Cを出力 1 1 : PC7からCS7#-Dを出力	R/W

PFCR1 レジスタは、CSn# 出力端子 (n = 4 ~ 7) を選択するレジスタです。

PFCR1 レジスタでは、1本の端子に複数のCS出力を設定できます。PFCR1 レジスタで1本の端子に複数のCS出力を設定すると、設定したすべてのCSを合わせた信号が出力されます。このとき、同一端子に出力するCSに対応する外部バスインタフェースは同一の設定にしてください。

CSnS[1:0] ビット (CSn# 出力端子選択ビット) (n = 4 ~ 7)

CSn# 出力許可時 (PFCR0.CSiE ビットが“1”)、CSn# の出力端子を選択します。

図 14.1 に CS5 空間と CS6 空間の CSn# 信号を同一端子に出力した場合のタイミングを、表 14.5 に CS 出力端子選択レジスタと出力端子の関係を示します。

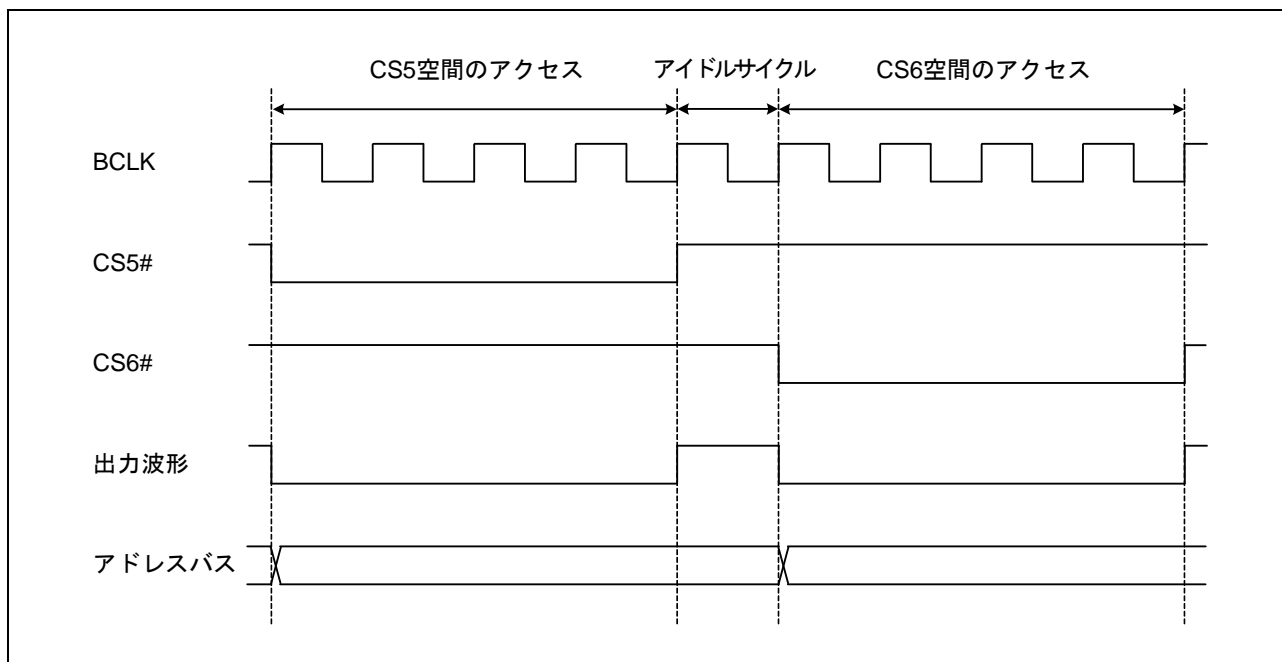


図 14.1 CSn# を同一端子に出力したときのタイミング

表 14.5 CSn#出力端子選択レジスタと出力端子の関係

出力選択	CS0#	CS1#	CS2#	CS3#	CS4#	CS5#	CS6#	CS7#
	—	—	PFCR2.CS2S	PFCR2.CS3S	PFCR1.CS4S[1:0]	PFCR1.CS5S[1:0]	PFCR1.CS6S[1:0]	PFCR1.CS7S[1:0]
P60	CS0#				CS4#-A	CS5#-B		
P61		CS1#	CS2#-B			CS5#-A	CS6#-B	CS7#-B
P62			CS2#-A				CS6#-A	
P63				CS3#-A				CS7#-A
P64					CS4#-B			
P70				CS3#-B				
P71					CS4#-C	CS5#-C	CS6#-C	CS7#-C
PC5						CS5#-D		
PC6							CS6#-D	
PC7					CS4#-D			CS7#-D

14.2.9 ポートファンクションコントロールレジスタ 2 (PFCR2)

アドレス 0008 C102h

	b7	b6	b5	b4	b3	b2	b1	b0
	CS3S	CS2S	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CS2S	CS2#出力端子選択ビット	0 : P62からCS2#-Aを出力 1 : P61からCS2#-Bを出力	R/W
b7	CS3S	CS3#出力端子選択ビット	0 : P63からCS3#-Aを出力 1 : P70からCS3#-Bを出力	R/W

PFCR2 レジスタは、CSn# 出力端子 (n = 2、3) を選択するレジスタです。

CSnS ビット (CSn# 出力端子選択ビット) (n = 2、3)

CSn# 出力許可時 (PFCR0.CSiE ビットが“1”)、CSn# の出力端子を選択します。

CSn# 出力端子選択ビット (n = 2、3) によって、同一の端子に複数の CS# 出力を設定した場合、その端子から複数の CS# が出力されます。詳細は「14.2.8 ポートファンクションコントロールレジスタ 1 (PFCR1)」を参照してください。

14.2.10 ポートファンクションコントロールレジスタ 3 (PFCR3)

アドレス 0008 C103h

	b7	b6	b5	b4	b3	b2	b1	b0
	A23E	A22E	A21E	A20E	A19E	A18E	A17E	A16E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	A16E	アドレスA16許可ビット	0 : A16出力無効 1 : A16出力有効	R/W
b1	A17E	アドレスA17許可ビット	0 : A17出力無効 1 : A17出力有効	R/W
b2	A18E	アドレスA18許可ビット	0 : A18出力無効 1 : A18出力有効	R/W
b3	A19E	アドレスA19許可ビット	0 : A19出力無効 1 : A19出力有効	R/W
b4	A20E	アドレスA20許可ビット	0 : A20出力無効 1 : A20出力有効	R/W
b5	A21E	アドレスA21許可ビット	0 : A21出力無効 1 : A21出力有効	R/W
b6	A22E	アドレスA22許可ビット	0 : A22出力無効 1 : A22出力有効	R/W
b7	A23E	アドレスA23許可ビット	0 : A23出力無効 1 : A23出力有効	R/W

PFCR3 レジスタは、アドレス出力の許可 / 禁止を選択するレジスタです。

AnE ビット (アドレス An 許可ビット) (n = 16 ~ 23)

アドレス出力 (An) の出力許可 / 禁止を選択します。

14.2.11 ポートファンクションコントロールレジスタ 4 (PFCR4)

アドレス 0008 C104h

	b7	b6	b5	b4	b3	b2	b1	b0
	A15E	A14E	A13E	A12E	A11E	A10E	A9E	A8E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	A8E	アドレスA8許可ビット	0 : A8出力無効 1 : A8出力有効	R/W
b1	A9E	アドレスA9許可ビット	0 : A9出力無効 1 : A9出力有効	R/W
b2	A10E	アドレスA10許可ビット	0 : A10出力無効 1 : A10出力有効	R/W
b3	A11E	アドレスA11許可ビット	0 : A11出力無効 1 : A11出力有効	R/W
b4	A12E	アドレスA12許可ビット	0 : A12出力無効 1 : A12出力有効	R/W
b5	A13E	アドレスA13許可ビット	0 : A13出力無効 1 : A13出力有効	R/W
b6	A14E	アドレスA14許可ビット	0 : A14出力無効 1 : A14出力有効	R/W
b7	A15E	アドレスA15許可ビット	0 : A15出力無効 1 : A15出力有効	R/W

PFCR4 レジスタは、アドレス出力の許可 / 禁止をするレジスタです。

AnE ビット (アドレス An イネーブルビット) (n = 8 ~ 15)

アドレス出力 (An) の出力許可 / 禁止を選択します。

14.2.12 ポートファンクションコントロールレジスタ 5 (PFCR5)

アドレス 0008 C105h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	WR1BC1E	—	DHE	TCLKS	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	TCLKS	TPU用外部クロック入力端子選択ビット	0 : P32、P33、P35、P37を外部クロック入力端子として設定 1 : P14～P17を外部クロック入力端子として設定	R/W
b4	DHE	データD15～D8許可ビット	0 : PE7～PE0をI/Oポートとして設定 1 : PE7～PE0を外部データバスD15～D8として設定	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	WR1BC1E	WR1#/BC1#出力許可ビット	0 : P51をI/Oポートとして設定 1 : P51をWR#1またはBC1#として設定	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PFCR5 レジスタは、TPU 用クロック入力端子を選択するレジスタです。

TCLKS ビット (TPU 用外部クロック入力端子選択ビット)

TPU 用の外部クロックの入力端子を選択します。

DHE ビット (データ D15 ～ D8 許可ビット)

内蔵 ROM 無効 / 有効拡張モード時にデータ入出力 (D15 ～ D8) の入出力許可 / 禁止を選択します。

注 1. 設定は、CSi 制御レジスタの外部バス幅選択ビット (CSiCNT.BSIZE[1:0]) で設定した外部バス幅に合わせてください。外部 16 ビットバスに設定した状態で DHE ビットを“0”にすると、ポート E の動作を阻害することがあります。CSiCNT.BSIZE[1:0] ビットについては、「11.3.1 CSi 制御レジスタ (CSiCNT) (i = 0 ～ 7)」を参照してください。

WR1BC1E ビット (WR1#/BC1# 出力許可ビット)

内蔵 ROM 無効 / 有効拡張モード時に WR1#/BC1# 出力の許可 / 禁止を選択します。

14.2.13 ポートファンクションコントロールレジスタ 6 (PFCR6)

アドレス 0008 C106h

	b7	b6	b5	b4	b3	b2	b1	b0
	TPUMS5	TPUMS4	TPUMS3A	TPUMS3B	TPUMS2	TPUMS1	TPUMS0A	TPUMS0B
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TPUMS0B	TPU入出力端子 マルチ機能選択0Bビット	0: アウトプットコンペア出力、インプットキャプチャはP32 1: インプットキャプチャ入力はP33、アウトプットコンペアはP32	R/W
b1	TPUMS0A	TPU入出力端子 マルチ機能選択0Aビット	0: アウトプットコンペア出力、インプットキャプチャはP30 1: インプットキャプチャ入力はP31、アウトプットコンペアはP30	R/W
b2	TPUMS1	TPU入出力端子 マルチ機能選択1ビット	0: アウトプットコンペア出力、インプットキャプチャはP34 1: インプットキャプチャ入力はP35、アウトプットコンペアはP34	R/W
b3	TPUMS2	TPU入出力端子 マルチ機能選択2ビット	0: アウトプットコンペア出力、インプットキャプチャはP36 1: インプットキャプチャ入力はP37、アウトプットコンペアはP36	R/W
b4	TPUMS3B	TPU入出力端子 マルチ機能選択3Bビット	0: アウトプットコンペア出力、インプットキャプチャはP22 1: インプットキャプチャ入力はP23、アウトプットコンペアはP22	R/W
b5	TPUMS3A	TPU入出力端子 マルチ機能選択3Aビット	0: アウトプットコンペア出力、インプットキャプチャはP21 1: インプットキャプチャ入力はP20、アウトプットコンペアはP21	R/W
b6	TPUMS4	TPU入出力端子 マルチ機能選択4ビット	0: アウトプットコンペア出力、インプットキャプチャはP25 1: インプットキャプチャ入力はP24、アウトプットコンペアはP25	R/W
b7	TPUMS5	TPU入出力端子 マルチ機能選択5ビット	0: アウトプットコンペア出力、インプットキャプチャはP26 1: インプットキャプチャ入力はP27、アウトプットコンペアはP26	R/W

PFCR6 レジスタは、TPU（ユニット 0）入出力端子のマルチ機能を選択するレジスタです。

TPUMS0A、TPUMS1、TPUMS2、TPUMS3A、TPUMS4、TPUMS5 ビットを“1”にすることで、TPUm の TGRA と TGRB のインプットキャプチャ入力を同一の端子に割り当てることが可能です。また、TPUMS0B、TPUMS3B ビットを“1”にすることで、TPUm の TGRC と TGRD のインプットキャプチャ入力を同一の端子に割り当てることが可能です。

なお、TPU のタイマモードレジスタ（TPUm.TMDR）を設定することによって、TGRA と TGRB、TGRC と TGRD のインプットキャプチャ入力を同一端子に設定することも可能です。

PFCR6、TPUm.TMDR レジスタの設定値と、インプットキャプチャ入力と外部端子との関係を表 14.6 に示します。

TPUMS0B ビット（TPU 入出力端子マルチ機能選択 0B ビット）

TIOCC0 の入力端子を選択します。

TPUMS0A ビット（TPU 入出力端子マルチ機能選択 0A ビット）

TIOCA0 の入力端子を選択します。

TPUMS1 ビット（TPU 入出力端子マルチ機能選択 1 ビット）

TIOCA1 の入力端子を選択します。

TPUMS2 ビット（TPU 入出力端子マルチ機能選択 2 ビット）

TIOCA2 の入力端子を選択します。

TPUMS3B ビット (TPU 入出力端子マルチ機能選択 3B ビット)

TIOCC3 の入力端子を選択します。

TPUMS3A ビット (TPU 入出力端子マルチ機能選択 3A ビット)

TIOCA3 の入力端子を選択します。

TPUMS4 ビット (TPU 入出力端子マルチ機能選択 4 ビット)

TIOCA4 の入力端子を選択します。

TPUMS5 ビット (TPU 入出力端子マルチ機能選択 5 ビット)

TIOCA5 の入力端子を選択します。

表 14.6 PFCR6レジスタ、TPUmのタイマモードレジスタの設定によるインプットキャプチャ入力と外部端子の対応

TPU0.TMDR.ICSEL D	PFCR6.TPUMS0B	TPU0.TGRC		TPU0.TGRD	
		インプット キャプチャ入力	外部端子	インプット キャプチャ入力	外部端子
0	0	TIOCC0	P32	TIOCD0	P33
0	1		P33	TIOCD0	P33
1	0		P32	TIOCC0	P32
1	1		P33	TIOCC0	P33

TPU0.TMDR.ICSEL B	PFCR6.TPUMS0A	TPU0.TGRA		TPU0.TGRB	
		インプット キャプチャ入力	外部端子	インプット キャプチャ入力	外部端子
0	0	TIOCA0	P30	TIOCB0	P31
0	1		P31	TIOCB0	P31
1	0		P30	TIOCA0	P30
1	1		P31	TIOCA0	P31

TPU1.TMDR.ICSEL B	PFCR6.TPUMS1	TPU1.TGRA		TPU1.TGRB	
		インプット キャプチャ入力	外部端子	インプット キャプチャ入力	外部端子
0	0	TIOCA1	P34	TIOCB1	P35
0	1		P35	TIOCB1	P35
1	0		P34	TIOCA1	P34
1	1		P35	TIOCA1	P35

TPU2.TMDR.ICSEL B	PFCR6.TPUMS2	TPU2.TGRA		TPU2.TGRB	
		インプット キャプチャ入力	外部端子	インプット キャプチャ入力	外部端子
0	0	TIOCA2	P36	TIOCB2	P37
0	1		P37	TIOCB2	P37
1	0		P36	TIOCA2	P36
1	1		P37	TIOCA2	P37

TPU3.TMDR.ICSELD	PFCR6.TPUMS3B	TPU3.TGRC		TPU3.TGRD	
		インプット キャプチャ入力	外部端子	インプット キャプチャ入力	外部端子
0	0	TIOCC3	P22	TIOCD3	P23
0	1		P23	TIOCD3	P23
1	0		P22	TIOCC3	P22
1	1		P23	TIOCC3	P23

TPU3.TMDR.ICSELB	PFCR6.TPUMS3A	TPU3.TGRA		TPU3.TGRB	
		インプット キャプチャ入力	外部端子	インプット キャプチャ入力	外部端子
0	0	TIOCA3	P21	TIOCB3	P20
0	1		P20	TIOCB3	P20
1	0		P21	TIOCA3	P21
1	1		P20	TIOCA3	P20

TPU4.TMDR.ICSELB	PFCR6.TPUMS4	TPU4.TGRA		TPU4.TGRB	
		インプット キャプチャ入力	外部端子	インプット キャプチャ入力	外部端子
0	0	TIOCA4	P25	TIOCB4	P24
0	1		P24	TIOCB4	P24
1	0		P25	TIOCA4	P25
1	1		P24	TIOCA4	P24

TPU5.TMDR.ICSELB	PFCR6.TPUMS5	TPU5.TGRA		TPU5.TGRB	
		インプット キャプチャ入力	外部端子	インプット キャプチャ入力	外部端子
0	0	TIOCA5	P26	TIOCB5	P27
0	1		P27	TIOCB5	P27
1	0		P26	TIOCA5	P26
1	1		P27	TIOCA5	P27

14.2.14 ポートファンクションコントロールレジスタ 7 (PFCR7)

アドレス 0008 C107h

	b7	b6	b5	b4	b3	b2	b1	b0
	TPUM S11	TPUM S10	TPUM S9A	TPUM S9B	TPUM S8	TPUM S7	TPUM S6A	TPUM S6B
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TPUMS6B	TPU入出力端子 マルチ機能選択6Bビット	0: アウトプットコンペア出力、インプットキャプチャはPA2 1: インプットキャプチャ入力PA3、アウトプットコンペアはPA2	R/W
b1	TPUMS6A	TPU入出力端子 マルチ機能選択6Aビット	0: アウトプットコンペア出力、インプットキャプチャはPA0 1: インプットキャプチャ入力PA1、アウトプットコンペアはPA0	R/W
b2	TPUMS7	TPU入出力端子 マルチ機能選択7ビット	0: アウトプットコンペア出力、インプットキャプチャはPA4 1: インプットキャプチャ入力PA5、アウトプットコンペアはPA4	R/W
b3	TPUMS8	TPU入出力端子 マルチ機能選択8ビット	0: アウトプットコンペア出力、インプットキャプチャはPA6 1: インプットキャプチャ入力PA7、アウトプットコンペアはPA6	R/W
b4	TPUMS9B	TPU入出力端子 マルチ機能選択9Bビット	0: アウトプットコンペア出力、インプットキャプチャはPB2 1: インプットキャプチャ入力PB3、アウトプットコンペアはPB2	R/W
b5	TPUMS9A	TPU入出力端子 マルチ機能選択9Aビット	0: アウトプットコンペア出力、インプットキャプチャはPB0 1: インプットキャプチャ入力PB1、アウトプットコンペアはPB0	R/W
b6	TPUMS10	TPU入出力端子 マルチ機能選択10ビット	0: アウトプットコンペア出力、インプットキャプチャはPB4 1: インプットキャプチャ入力PB5、アウトプットコンペアはPB4	R/W
b7	TPUMS11	TPU入出力端子 マルチ機能選択11ビット	0: アウトプットコンペア出力、インプットキャプチャはPB6 1: インプットキャプチャ入力PB7、アウトプットコンペアはPB6	R/W

PFCR7 レジスタは、TPU (ユニット 1) 入出力端子のマルチ機能を選択するレジスタです。

TPUMS6A、TPUMS7、TPUMS8、TPUMS9A、TPUMS10、TPUMS11 ビットを“1”にすることで、TPUm の TGRA と TGRB のインプットキャプチャ入力を同一の端子に割り当てることが可能です。また、TPUMS6B、TPUMS9B ビットを“1”にすることで、TPUm の TGRC と TGRD のインプットキャプチャ入力を同一の端子に割り当てることが可能です。

なお、TPU のタイマモードレジスタ (TPUm.TMDR) を設定することによって、TGRA と TGRB、TGRC と TGRD のインプットキャプチャ入力を同一端子に設定することも可能です。

PFCR7、TPUm.TMDR レジスタの設定値と、インプットキャプチャ入力と外部端子との関係を表 14.7 に示します。

TPUMS6B ビット (TPU 入出力端子マルチ機能選択 6B ビット)

TIOCC6 の入力端子を選択します。

TPUMS6A ビット (TPU 入出力端子マルチ機能選択 6A ビット)

TIOCA6 の入力端子を選択します。

TPUMS7 ビット (TPU 入出力端子マルチ機能選択 7 ビット)

TIOCA7 の入力端子を選択します。

TPUMS8 ビット (TPU 入出力端子マルチ機能選択 8 ビット)

TIOCA8 の入力端子を選択します。

TPUMS9B ビット (TPU 入出力端子マルチ機能選択 9B ビット)

TIOCC9 の入力端子を選択します。

TPUMS9A ビット (TPU 入出力端子マルチ機能選択 9A ビット)

TIOCA9 の入力端子を選択します。

TPUMS10 ビット (TPU 入出力端子マルチ機能選択 10 ビット)

TIOCA10 の入力端子を選択します。

TPUMS11 ビット (TPU 入出力端子マルチ機能選択 11 ビット)

TIOCA11 の入力端子を選択します。

表 14.7 PFCR7レジスタ、TPUmのタイマモードレジスタの設定によるインプットキャプチャ入力と外部端子の対応

TPU6.TMDR.ICSELD	PFCR7.TPUMS6B	TPU6.TGRC		TPU6.TGRD	
		インプット キャプチャ入力	外部端子	インプット キャプチャ入力	外部端子
0	0	TIOCC6	PA2	TIOCD6	PA3
0	1		PA3	TIOCD6	PA3
1	0		PA2	TIOCC6	PA2
1	1		PA3	TIOCC6	PA3

TPU6.TMDR.ICSELB	PFCR7.TPUMS6A	TPU6.TGRA		TPU6.TGRB	
		インプット キャプチャ入力	外部端子	インプット キャプチャ入力	外部端子
0	0	TIOCA6	PA0	TIOCB6	PA1
0	1		PA1	TIOCB6	PA1
1	0		PA0	TIOCA6	PA0
1	1		PA1	TIOCA6	PA1

TPU7.TMDR.ICSELB	PFCR7.TPUMS7	TPU7.TGRA		TPU7.TGRB	
		インプット キャプチャ入力	外部端子	インプット キャプチャ入力	外部端子
0	0	TIOCA7	PA4	TIOCB7	PA5
0	1		PA5	TIOCB7	PA5
1	0		PA4	TIOCA7	PA4
1	1		PA5	TIOCA7	PA5

TPU8.TMDR.ICSELB	PFCR7.TPUMS8	TPU8.TGRA		TPU8.TGRB	
		インプットキャプ チャ入力	外部端子	インプットキャプ チャ入力	外部端子
0	0	TIOCA8	PA6	TIOCB8	PA7
0	1		PA7	TIOCB8	PA7
1	0		PA6	TIOCA8	PA6
1	1		PA7	TIOCA8	PA7

TPU9.TMDR.ICSELD	PFCR7.TPUMS9B	TPU9.TGRC		TPU9.TGRD	
		インプット キャプチャ入力	外部端子	インプット キャプチャ入力	外部端子
0	0	TIOCC9	PB2	TIOCD9	PB3
0	1		PB3	TIOCD9	PB3
1	0		PB2	TIOCC9	PB2
1	1		PB3	TIOCC9	PB3

TPU9.TMDR.ICSELB	PFCR7.TPUMS9A	TPU9.TGRA		TPU9.TGRB	
		インプット キャプチャ入力	外部端子	インプット キャプチャ入力	外部端子
0	0	TIOCA9	PB0	TIOCB9	PB1
0	1		PB1	TIOCB9	PB1
1	0		PB0	TIOCA9	PB0
1	1		PB1	TIOCA9	PB1

TPU10.TMDR.ICSEL B	PFCR7.TPUMS10	TPU10.TGRA		TPU10.TGRB	
		インプット キャプチャ入力	外部端子	インプット キャプチャ入力	外部端子
0	0	TIOCA10	PB4	TIOCB10	PB5
0	1		PB5	TIOCB10	PB5
1	0		PB4	TIOCA10	PB4
1	1		PB5	TIOCA10	PB5

TPU11.TMDR.ICSEL B	PFCR7.TPUMS11	TPU11.TGRA		TPU11.TGRB	
		インプット キャプチャ入力	外部端子	インプット キャプチャ入力	外部端子
0	0	TIOCA11	PB6	TIOCB11	PB7
0	1		PB7	TIOCB11	PB7
1	0		PB6	TIOCA11	PB6
1	1		PB7	TIOCA11	PB7

14.2.15 ポートファンクションコントロールレジスタ 8 (PFCR8)

アドレス 0008 C108h

	b7	b6	b5	b4	b3	b2	b1	b0
	ITS15	ITS14	ITS13	ITS12	ITS11	ITS10	ITS9	ITS8
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITS8	IRQ8 端子選択ビット	0 : P00をIRQ8-A入力端子にする 1 : P40をIRQ8-B入力端子にする	R/W
b1	ITS9	IRQ9 端子選択ビット	0 : P01をIRQ9-A入力端子にする 1 : P41をIRQ9-B入力端子にする	R/W
b2	ITS10	IRQ10 端子選択ビット	0 : P02をIRQ10-A入力端子にする 1 : P42をIRQ10-B入力端子にする	R/W
b3	ITS11	IRQ11 端子選択ビット	0 : P03をIRQ11-A入力端子にする 1 : P43をIRQ11-B入力端子にする	R/W
b4	ITS12	IRQ12 端子選択ビット	0 : P04をIRQ12-A入力端子にする 1 : P44をIRQ12-B入力端子にする	R/W
b5	ITS13	IRQ13 端子選択ビット	0 : P05をIRQ13-A入力端子にする 1 : P45をIRQ13-B入力端子にする	R/W
b6	ITS14	IRQ14 端子選択ビット	0 : P76をIRQ14-A入力端子にする 1 : P46をIRQ14-B入力端子にする	R/W
b7	ITS15	IRQ15 端子選択ビット	0 : P65をIRQ15-A入力端子にする 1 : P47をIRQ15-B入力端子にする	R/W

PFCR8 レジスタは、IRQ8 ~ IRQ15 入力端子を選択するレジスタです。

ITSn (IRQn 端子選択ビット) (n = 8 ~ 15)

IRQn の入力端子を選択します。

14.2.16 ポートファンクションコントロールレジスタ 9 (PFCR9)

アドレス 0008 C109h

	b7	b6	b5	b4	b3	b2	b1	b0
	ITS7	ITS6	ITS5	ITS4	ITS3	ITS2	ITS1	ITS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITS0	IRQ0 端子選択ビット	0 : P30をIRQ0-A入力端子にする 1 : P10をIRQ0-B入力端子にする	R/W
b1	ITS1	IRQ1 端子選択ビット	0 : P31をIRQ1-A入力端子にする 1 : P11をIRQ1-B入力端子にする	R/W
b2	ITS2	IRQ2 端子選択ビット	0 : P32をIRQ2-A入力端子にする 1 : P12をIRQ2-B入力端子にする	R/W
b3	ITS3	IRQ3 端子選択ビット	0 : P33をIRQ3-A入力端子にする 1 : P13をIRQ3-B入力端子にする	R/W
b4	ITS4	IRQ4 端子選択ビット	0 : P34をIRQ4-A入力端子にする 1 : P14をIRQ4-B入力端子にする	R/W
b5	ITS5	IRQ5 端子選択ビット	0 : PE5をIRQ5-A入力端子にする 1 : P15をIRQ5-B入力端子にする	R/W
b6	ITS6	IRQ6 端子選択ビット	0 : PE6をIRQ6-A入力端子にする 1 : P16をIRQ6-B入力端子にする	R/W
b7	ITS7	IRQ7 端子選択ビット	0 : PE7をIRQ7-A入力端子にする 1 : P17をIRQ7-B入力端子にする	R/W

PFCR9 レジスタは、IRQ0 ~ IRQ7 入力端子を選択するレジスタです。

ITSn (IRQn 端子選択ビット) (n = 0 ~ 7)

IRQn の入力端子を選択します。

14.3 ポートの設定

各周辺モジュールの端子は、端子名の後に「_OE」を付けて記載しています（例：TIOCA4_OE）。これは、対象となる機能の出力を有効にする設定（1）であるか、それ以外の設定（0）であるかを示しています。

表 14.8 に各ポートの出力信号有効設定一覧を示します。該当する出力信号の詳細は、各周辺モジュールのレジスタの説明を参照してください。

各周辺モジュールの端子名の末尾に A ~ D のいずれかが付いている端子は、ポートファンクションコントロールレジスタ y (PFCRy) によって端子機能を変更できます。入力端子として機能するものについては、() を記載しています。また、表中の「x」は Don't care を表します。

入力バッファコントロールレジスタ (Pm.ICR) の対応するビットを“1”とすることで、端子から各周辺モジュールへの入力が有効になります（注 1）。有効となった入力機能を使用するには、それぞれの周辺モジュールで設定が必要です。周辺モジュールで入力機能を使用するための設定については、各周辺モジュールの章を参照してください。

注 1. 入力機能が複数の外部端子に割り当てられているものについては、Pm.ICR レジスタの設定だけでなく、PFCRy レジスタを設定し入力端子を選択する必要があります。

14.3.1 ポート 0 (P0)

(1) P00/(TMR12)/TxD6/(IRQ8-A)

SCI のレジスタの設定、および P0.DDR.B0 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		SCI	I/Oポート
		TxD6_OE	P0.DDR.B0
SCI	TxD6出力	1	x
I/Oポート	P00出力	0	1
	P00入力（初期値）	0	0

(2) P01/(TMC12)/(RxD6)/(IRQ9-A)

P0.DDR.B1 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		I/Oポート	
		P0.DDR.B1	
I/Oポート	P01出力	1	
	P01入力（初期値）	0	

(3) P02/TMO2/SCK6/(IRQ10-A)/(TRST#)

TMR、SCI のレジスタの設定、および P0.DDR.B2 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定		
		TMR	SCI	I/Oポート
		TMO2_OE	SCK6_OE	P0.DDR.B2
TMR	TMO2出力	1	x	x
SCI	SCK6出力	0	1	x
I/Oポート	P02出力	0	0	1
	P02入力（初期値）	0	0	0

(4) P03/(TMR13)/SCK4/(IRQ11-A)/(TMS)

SCIのレジスタの設定、およびP0.DDR.B3ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		SCI	I/Oポート
		SCK4_OE	P0.DDR.B3
SCI	SCK4出力	1	x
I/Oポート	P03出力	0	1
	P03入力 (初期値)	0	0

(5) P04/(TMC13)/TxD4/(IRQ12-A)/(TDI)

SCIのレジスタの設定、およびP0.DDR.B4ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		SCI	I/Oポート
		TxD4_OE	P0.DDR.B4
SCI	TxD4出力	1	x
I/Oポート	P04出力	0	1
	P04入力 (初期値)	0	0

(6) P05/TMO3/(RxD4)/(IRQ13-A)/(TCK)

TMRのレジスタの設定、およびP0.DDR.B5ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		TMR	I/Oポート
		TMO3_OE	P0.DDR.B5
TMR	TMO3出力	1	x
I/Oポート	P05出力	0	1
	P05入力 (初期値)	0	0

14.3.2 ポート1 (P1)

(1) P10/(IRQ0-B)

P1.DDR.B0ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		I/Oポート	
		P1.DDR.B0	
I/Oポート	P10出力	1	
	P10入力 (初期値)	0	

(2) P11/SCK2/(IRQ1-B)

SCIのレジスタの設定、およびP1.DDR.B1ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		SCI	I/Oポート
		SCK2_OE	P1.DDR.B1
SCI	SCK2出力	1	x
I/Oポート	P11出力	0	1
	P11入力 (初期値)	0	0

(3) P12/(RxD2)/(IRQ2-B)

P1.DDR.B2 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		I/Oポート	
		P1.DDR.B2	
I/Oポート	P12出力	1	
	P12入力 (初期値)	0	

(4) P13/TxD2/(ADTRG0#)/(IRQ3-B)

SCI のレジスタの設定、および P1.DDR.B3 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		SCI	I/Oポート
		TxD2_OE	P1.DDR.B3
SCI	TxD2出力	1	x
I/Oポート	P13出力	0	1
	P13入力 (初期値)	0	0

(5) P14/(TCLKA-B)/SDA1/(IRQ4-B)

RIIC のレジスタの設定、および P1.DDR.B4 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		RIIC	I/Oポート
		SDA1_OE	P1.DDR.B4
RIIC	SDA1入出力	1	x
I/Oポート	P14出力	0	1
	P14入力 (初期値)	0	0

(6) P15/(TCLKB-B)/SCK3/SCL1/(IRQ5-B)

SCI、RIIC のレジスタの設定、および P1.DDR.B5 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定		
		SCI	RIIC	I/Oポート
		SCK3_OE	SCL1_OE	P1.DDR.B5
SCI	SCK3出力	1	x	x
RIIC	SCL1入出力	0	1	x
I/Oポート	P15出力	0	0	1
	P15入力 (初期値)	0	0	0

(7) P16/(TCLKC-B)/(RxD3)/SDA0/(IRQ6-B)

RIIC のレジスタの設定、および P1.DDR.B6 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		RIIC	I/Oポート
		SDA0_OE	P1.DDR.B6
RIIC	SDA0入出力	1	x
I/Oポート	P16出力	0	1
	P16入力 (初期値)	0	0

(8) P17/(TCLKD-B)/TxD3/SCL0/(ADTRG1#)/(IRQ7-B)

SCI、RIIC のレジスタの設定、および P1.DDR.B7 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定		
		SCI	RIIC	I/Oポート
		TxD3_OE	SCL0_OE	P1.DDR.B7
SCI	TxD3出力	1	x	x
RIIC	SCL0入出力	0	1	x
I/Oポート	P17出力	0	0	1
	P17入力 (初期値)	0	0	0

14.3.3 ポート 2 (P2)

(1) P20/PO0/(TIOCA3)/TIOCB3/(TMRI0)/TxD0

TPU、SCI、PPG のレジスタの設定、および P2.DDR.B0 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定			
		TPU	SCI	PPG	I/Oポート
		TIOCB3_OE	TxD0_OE	PO0_OE	P2.DDR.B0
TPU	TIOCB3出力	1	x	x	x
SCI	TxD0出力	0	1	x	x
PPG	PO0出力	0	0	1	x
I/Oポート	P20出力	0	0	0	1
	P20入力 (初期値)	0	0	0	0

(2) P21/PO1/TIOCA3/(TMCI0)/(RxD0)

TPU、PPG のレジスタの設定、および P2.DDR.B1 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定		
		TPU	PPG	I/Oポート
		TIOCA3_OE	PO1_OE	P2.DDR.B1
TPU	TIOCA3出力	1	x	x
PPG	PO1出力	0	1	x
I/Oポート	P21出力	0	0	1
	P21入力 (初期値)	0	0	0

(3) P22/PO2/TIOCC3/TMO0/SCK0

TPU、TMR、SCI、PPG のレジスタの設定、および P2.DDR.B2 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定				
		TPU	TMR	SCI	PPG	I/Oポート
		TIOCC3_OE	TMO0_OE	SCK0_OE	PO2_OE	P2.DDR.B2
TPU	TIOCC3出力	1	x	x	x	x
TMR	TMO0出力	0	1	x	x	x
SCI	SCK0出力	0	0	1	x	x
PPG	PO2出力	0	0	0	1	x
I/Oポート	P22出力	0	0	0	0	1
	P22入力 (初期値)	0	0	0	0	0

(4) P23/PO3/(TIOCC3)/TIOCD3

TPU、PPG のレジスタの設定、および P2.DDR.B3 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定		
		TPU	PPG	I/Oポート
		TIOCD3_OE	PO3_OE	P2.DDR.B3
TPU	TIOCD3出力	1	x	x
PPG	PO3出力	0	1	x
I/Oポート	P23出力	0	0	1
	P23入力 (初期値)	0	0	0

(5) P24/PO4/(TIOCA4)/TIOCB4/(TMR1)

TPU、PPG のレジスタの設定、および P2.DDR.B4 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定		
		TPU	PPG	I/Oポート
		TIOCB4_OE	PO4_OE	P2.DDR.B4
TPU	TIOCB4出力	1	x	x
PPG	PO4出力	0	1	x
I/Oポート	P24出力	0	0	1
	P24入力 (初期値)	0	0	0

(6) P25/PO5/TIOCA4/(TMCI1)/(RxD1)

TPU、PPG のレジスタの設定、および P2.DDR.B5 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定		
		TPU	PPG	I/Oポート
		TIOCA4_OE	PO5_OE	P2.DDR.B5
TPU	TIOCA4出力	1	x	x
PPG	PO5出力	0	1	x
I/Oポート	P25出力	0	0	1
	P25入力 (初期値)	0	0	0

(7) P26/PO6/TIOCA5/TMO1/TxD1

TPU、TMR、SCI、PPG のレジスタの設定、および P2.DDR.B6 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定				
		TPU	TMR	SCI	PPG	I/Oポート
		TIOCA5_OE	TMO1_OE	TxD1_OE	PO6_OE	P2.DDR.B6
TPU	TIOCA5出力	1	x	x	x	x
TMR	TMO1出力	0	1	x	x	x
SCI	TxD1出力	0	0	1	x	x
PPG	PO6出力	0	0	0	1	x
I/Oポート	P26出力	0	0	0	0	1
	P26入力 (初期値)	0	0	0	0	0

(8) P27/PO7/(TIOCA5)/TIOCB5/SCK1

TPU、SCI、PPG のレジスタの設定、および P2.DDR.B7 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定			
		TPU	SCI	PPG	I/Oポート
		TIOCB5_OE	SCK1_OE	PO7_OE	P2.DDR.B7
TPU	TIOCB5出力	1	x	x	x
SCI	SCK1出力	0	1	x	x
PPG	PO7出力	0	0	1	x
I/Oポート	P27出力	0	0	0	1
	P27入力 (初期値)	0	0	0	0

14.3.4 ポート 3 (P3)

(1) P30/PO8/TIOCA0/(IRQ0-A)

TPU、PPG のレジスタの設定、および P3.DDR.B0 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定		
		TPU	PPG	I/Oポート
		TIOCA0_OE	PO8_OE	P3.DDR.B0
TPU	TIOCA0出力	1	x	x
PPG	PO8出力	0	1	x
I/Oポート	P30出力	0	0	1
	P30入力 (初期値)	0	0	0

(2) P31/PO9/(TIOCA0)/TIOCB0/(IRQ1-A)

TPU、PPG のレジスタの設定、および P3.DDR.B1 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定		
		TPU	PPG	I/Oポート
		TIOCB0_OE	PO9_OE	P3.DDR.B1
TPU	TIOCB0出力	1	x	x
PPG	PO9出力	0	1	x
I/Oポート	P31出力	0	0	1
	P31入力 (初期値)	0	0	0

(3) P32/PO10/TIOCC0/(TCLKA-A)/(IRQ2-A)

TPU、PPG のレジスタの設定、および P3.DDR.B2 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定		
		TPU	PPG	I/Oポート
		TIOCC0_OE	PO10_OE	P3.DDR.B2
TPU	TIOCC0出力	1	x	x
PPG	PO10出力	0	1	x
I/Oポート	P32出力	0	0	1
	P32入力 (初期値)	0	0	0

(4) P33/PO11/(TIOCC0)/TIOCD0/(TCLKB-A)/(IRQ3-A)

TPU、PPG のレジスタの設定、および P3.DDR.B3 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定		
		TPU	PPG	I/Oポート
		TIOCD0_OE	PO11_OE	P3.DDR.B3
TPU	TIOCD0出力	1	x	x
PPG	PO11出力	0	1	x
I/Oポート	P33出力	0	0	1
	P33入力 (初期値)	0	0	0

(5) P34/PO12/TIOCA1/(IRQ4-A)

TPU、PPG のレジスタの設定、および P3.DDR.B4 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定		
		TPU	PPG	I/Oポート
		TIOCA1_OE	PO12_OE	P3.DDR.B4
TPU	TIOCA1出力	1	x	x
PPG	PO12出力	0	1	x
I/Oポート	P34出力	0	0	1
	P34入力 (初期値)	0	0	0

(6) P35/PO13/(TIOCA1)/TIOCB1/(TCLKC-A)

TPU、PPG のレジスタの設定、および P3.DDR.B5 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定		
		TPU	PPG	I/Oポート
		TIOCB1_OE	PO13_OE	P3.DDR.B5
TPU	TIOCB1出力	1	x	x
PPG	PO13出力	0	1	x
I/Oポート	P35出力	0	0	1
	P35入力 (初期値)	0	0	0

(7) P36/PO14/TIOCA2

TPU、PPG のレジスタの設定、および P3.DDR.B6 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定		
		TPU	PPG	I/Oポート
		TIOCA2_OE	PO14_OE	P3.DDR.B6
TPU	TIOCA2出力	1	x	x
PPG	PO14出力	0	1	x
I/Oポート	P36出力	0	0	1
	P36入力 (初期値)	0	0	0

(8) P37/PO15/(TIOCA2)/TIOCB2/(TCLKD-A)

TPU、PPG のレジスタの設定、および P3.DDR.B7 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定		
		TPU	PPG	I/Oポート
		TIOCB2_OE	PO15_OE	P3.DDR.B7
TPU	TIOCB2出力	1	x	x
PPG	PO15出力	0	1	x
I/Oポート	P37出力	0	0	1
	P37入力 (初期値)	0	0	0

14.3.5 ポート 4 (P4)

(1) P40/(AN0)/(IRQ8-B)

P4.DDR.B0 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		I/Oポート	
		P4.DDR.B0	
I/Oポート	P40出力	1	
	P40入力 (初期値)	0	

(2) P41/(AN1)/(IRQ9-B)

P4.DDR.B1 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		P4.DDR.B1
I/Oポート	P41出力	1
	P41入力（初期値）	0

(3) P42/(AN2)/(IRQ10-B)

P4.DDR.B2 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		P4.DDR.B2
I/Oポート	P42出力	1
	P42入力（初期値）	0

(4) P43/(AN3)/(IRQ11-B)

P4.DDR.B3 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		P4.DDR.B3
I/Oポート	P43出力	1
	P43入力（初期値）	0

(5) P44/(AN4)/(IRQ12-B)

P4.DDR.B4 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		P4.DDR.B4
I/Oポート	P44出力	1
	P44入力（初期値）	0

(6) P45/(AN5)/(IRQ13-B)

P4.DDR.B5 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		P4.DDR.B5
I/Oポート	P45出力	1
	P45入力（初期値）	0

(7) P46/(AN6)/(IRQ14-B)

P4.DDR.B6 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		I/Oポート	
		P4.DDR.B6	
I/Oポート	P46出力	1	
	P46入力（初期値）	0	

(8) P47/(AN7)/(IRQ15-B)

P4.DDR.B7 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		I/Oポート	
		P4.DDR.B7	
I/Oポート	P47出力	1	
	P47入力（初期値）	0	

14.3.6 ポート 5 (P5)

(1) P50/WR0#/WR#

バス制御のレジスタの設定、および P5.DDR.B0 ビットにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		バス制御	I/Oポート
		WR0#_OE/WR#_OE	P5.DDR.B0
バス制御	WR0#/WR#出力（注1）	1	x
I/Oポート	P50出力	0	1
	P50入力（初期値）	0	0

注1. 内蔵ROM無効/有効拡張モード（SYSCR0.EXBE = 1）のとき有効

(2) P51/WR1#/BC1#

ポートファンクションコントロールレジスタ y（PFCRy）の設定、および P5.DDR.B1 ビットにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		バス制御	I/Oポート
		WR1#_OE/BC1#_OE	P5.DDR.B1
バス制御	WR1#/BC1#出力（注1）	1	x
I/Oポート	P51出力	0	1
	P51入力（初期値）	0	0

注1. 内蔵ROM無効/有効拡張モード（SYSCR0.EXBE = 1）のとき有効

(3) P52/RD#

動作モードとシステムコントロールレジスタ0(SYSCR0)の外部バス許可ビット(EXBE)、およびP5.DDR.B2ビットにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		バス制御	I/Oポート
		RD_OE	P5.DDR.B2
バス制御	RD#出力 (注1)	1	x
I/Oポート	P52出力	0	1
	P52入力 (初期値)	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき有効

(4) P53/BCLK

クロック発生回路のレジスタの設定、P5.DDR.B3ビットにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		I/Oポート	
		P5.DDR.B3 (BCLK_OE)	
クロック発生回路	BCLK出力	1	
I/Oポート	P53入力 (初期値)	0	

注 1. BCLK を出力する際には、SCKCR.PSTOP1 ビットを“1”にして BCLK を停止させた後、P5.DDR.B3 ビットにて出力に設定し、再び SCKCR.PSTOP1 ビットを“0”にして BCLK を出力させてください。

(5) P54/TRDATA0

P5.DDR.B4ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		I/Oポート	
		P5.DDR.B4	
I/Oポート	P54出力	1	
	P54入力 (初期値)	0	

(6) P55/TRDATA1

P5.DDR.B5ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		I/Oポート	
		P5.DDR.B5	
I/Oポート	P55出力	1	
	P55入力 (初期値)	0	

(7) P56/TRDATA2

P5.DDR.B6ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		I/Oポート	
		P5.DDR.B6	
I/Oポート	P56出力	1	
	P56入力 (初期値)	0	

(8) P57/(WAIT#)/TRDATA3

P5.DDR.B7 ビットにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		I/Oポート	
		P5.DDR.B7	
I/Oポート	P57出力	1	
	P57入力 (初期値)	0	

14.3.7 ポート 6 (P6)

(1) P60/CS0#/CS4#-A/CS5#-B

動作モードとシステムコントロールレジスタ 0 (SYSCR0) の外部バス許可ビット (EXBE)、バス制御のレジスタ、ポートファンクションコントロールレジスタ y (PFCRy) の設定、および P6.DDR.B0 ビットにより、以下のように切り替わります。

モジュール名	端子機能	設定			
		バス制御			I/Oポート
		CS0#_OE	CS4#-A_OE	CS5#-B_OE	P6.DDR.B0
バス制御	CS0#出力	1	x	x	x
	CS4#-A出力	x	1	x	x
	CS5#-B出力	x	x	1	x
I/Oポート	P60出力	0	0	0	1
	P60入力 (初期値)	0	0	0	0

(2) P61/CS1#/CS2#-B/CS5#-A/CS6#-B/CS7#-B

動作モードと SYSCR0.EXBE ビット、バス制御のレジスタ、ポートファンクションコントロールレジスタ y (PFCRy) の設定、および P6.DDR.B1 ビットにより、以下のように切り替わります。

モジュール名	端子機能	設定					
		バス制御					I/Oポート
		CS1#_OE	CS2#-B_OE	CS5#-A_OE	CS6#-B_OE	CS7#-B_OE	P6.DDR.B1
バス制御	CS1#出力 (注1)	1	x	x	x	x	x
	CS2#-B出力 (注1)	x	1	x	x	x	x
	CS5#-A出力 (注1)	x	x	1	x	x	x
	CS6#-B出力 (注1)	x	x	x	1	x	x
	CS7#-B出力 (注1)	x	x	x	x	1	x
I/Oポート	P61出力	0	0	0	0	0	1
	P61入力 (初期値)	0	0	0	0	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき有効

(3) P62/CS2#-A/CS6#-A

SYSCR0.EXBE ビット、バス制御のレジスタ、ポートファンクションコントロールレジスタ y (PFCRy) の設定、および P6.DDR.B2 ビットにより、以下のように切り替わります。

モジュール名	端子機能	設定		
		バス制御		I/Oポート
		CS2#-A_OE	CS6#-A_OE	P6.DDR.B2
バス制御	CS2#-A出力 (注1)	1	x	x
	CS6#-A出力 (注1)	x	1	x
I/Oポート	P62出力	0	0	1
	P62入力 (初期値)	0	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき有効

(4) P63/CS3#-A/CS7#-A

SYSCR0.EXBE ビット、バス制御のレジスタ、ポートファンクションコントロールレジスタ y (PFCRy) の設定、および P6.DDR.B3 ビットにより、以下のように切り替わります。

モジュール名	端子機能	設定		
		バス制御		I/Oポート
		CS3#-A_OE	CS7#-A_OE	P6.DDR.B3
バス制御	CS3#-A出力 (注1)	1	x	x
	CS7#-A出力 (注1)	x	1	x
I/Oポート	P63出力	0	0	1
	P63入力 (初期値)	0	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき有効

(5) P64/CS4#-B

SYSCR0.EXBE ビット、バス制御のレジスタ、ポートファンクションコントロールレジスタ y (PFCRy) の設定、および P6.DDR.B4 ビットにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		バス制御	I/Oポート
		CS4#-B_OE	P6.DDR.B4
バス制御	CS4#-B出力 (注1)	1	x
I/Oポート	P64出力	0	1
	P64入力 (初期値)	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき有効

(6) P65/(IRQ15-A)

P6.DDR.B5 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		P6.DDR.B5
I/Oポート	P65出力	1
	P65入力 (初期値)	0

(7) P66/DA0

D/A コンバータのレジスタの設定、および P6.DDR.B6 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		D/Aコンバータ	I/Oポート
		DA0_OE	P6.DDR.B6
D/Aコンバータ	DA0出力	1	x
I/Oポート	P66出力	0	1
	P66入力 (初期値)	0	0

(8) P67/DA1

D/A コンバータのレジスタの設定、および P6.DDR.B7 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		D/Aコンバータ	I/Oポート
		DA1_OE	P6.DDR.B7
D/Aコンバータ	DA1出力	1	x
I/Oポート	P67出力	0	1
	P67入力 (初期値)	0	0

14.3.8 ポート 7 (P7)

(1) P70/CS3#-B/(ADTRG2#)

システムコントロールレジスタ 0 (SYSCR0) の外部バス許可ビット (EXBE)、バス制御のレジスタ、ポートファンクションコントロールレジスタ y (PFCRy) の設定、および P7.DDR.B0 ビットにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		バス制御	I/Oポート
		CS3#-B_OE	P7.DDR.B0
バス制御	CS3#-B出力 (注1)	1	x
I/Oポート	P70出力	0	1
	P70入力 (初期値)	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき有効

(2) P71/CS4#-C/CS5#-C/CS6#-C/CS7#-C

SYSCR0.EXBE ビット、バス制御のレジスタ、ポートファンクションコントロールレジスタ y (PFCRy) の設定、および P7.DDR.B1 ビットにより、以下のように切り替わります。

モジュール名	端子機能	設定				
		バス制御				I/Oポート
		CS4#-C_OE	CS5#-C_OE	CS6#-C_OE	CS7#-C_OE	P7.DDR.B1
バス制御	CS4#-C出力 (注1)	1	x	x	x	x
	CS5#-C出力 (注1)	x	1	x	x	x
	CS6#-C出力 (注1)	x	x	1	x	x
	CS7#-C出力 (注1)	x	x	x	1	x
I/Oポート	P71出力	0	0	0	0	1
	P71入力 (初期値)	0	0	0	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき有効

(3) P72

P7.DDR.B2 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		P7.DDR.B2
I/Oポート	P72出力	1
	P72入力 (初期値)	0

(4) P73

P7.DDR.B3 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		P7.DDR.B3
I/Oポート	P73出力	1
	P73入力 (初期値)	0

(5) P74/(ADTRG3#)

P7.DDR.B4 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		P7.DDR.B4
I/Oポート	P74出力	1
	P74入力 (初期値)	0

(6) P75

P7.DDR.B5 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		P7.DDR.B5
I/Oポート	P75出力	1
	P75入力 (初期値)	0

(7) P76/(IRQ14-A)

P7.DDR.B6 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		P7.DDR.B6
I/Oポート	P76出力	1
	P76入力 (初期値)	0

(8) P77

P7.DDR.B7 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		P7.DDR.B7
I/Oポート	P77出力	1
	P77入力（初期値）	0

14.3.9 ポート 8 (P8)

(1) P80

P8.DDR.B0 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		P8.DDR.B0
I/Oポート	P80出力	1
	P80入力（初期値）	0

(2) P81/TRSYNC

P8.DDR.B1 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		P8.DDR.B1
I/Oポート	P81出力	1
	P81入力（初期値）	0

(3) P82/TRCLK

P8.DDR.B2 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		P8.DDR.B2
I/Oポート	P82出力	1
	P82入力（初期値）	0

(4) P83

P8.DDR.B3 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		P8.DDR.B3
I/Oポート	P83出力	1
	P83入力（初期値）	0

(5) P84

P8.DDR.B4 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		P8.DDR.B4
I/Oポート	P84出力	1
	P84入力 (初期値)	0

(6) P85

P8.DDR.B5 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		P8.DDR.B5
I/Oポート	P85出力	1
	P85入力 (初期値)	0

(7) P86

P8.DDR.B6 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		P8.DDR.B6
I/Oポート	P86出力	1
	P86入力 (初期値)	0

14.3.10 ポート 9 (P9)

(1) P90/(AN8)

P9.DDR.B0 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		P9.DDR.B0
I/Oポート	P90出力	1
	P90入力 (初期値)	0

(2) P91/(AN9)

P9.DDR.B1 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		P9.DDR.B1
I/Oポート	P91出力	1
	P91入力 (初期値)	0

(3) P92/(AN10)

P9.DDR.B2 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		P9.DDR.B2
I/Oポート	P92出力	1
	P92入力（初期値）	0

(4) P93/(AN11)

P9.DDR.B3 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		P9.DDR.B3
I/Oポート	P93出力	1
	P93入力（初期値）	0

(5) P94/(AN12)

P9.DDR.B4 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		P9.DDR.B4
I/Oポート	P94出力	1
	P94入力（初期値）	0

(6) P95/(AN13)

P9.DDR.B5 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		P9.DDR.B5
I/Oポート	P95出力	1
	P95入力（初期値）	0

(7) P96/(AN14)

P9.DDR.B6 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		P9.DDR.B6
I/Oポート	P96出力	1
	P96入力（初期値）	0

(8) P97/(AN15)

P9.DDR.B7 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		I/Oポート	
		P9.DDR.B7	
I/Oポート	P97出力	1	
	P97入力（初期値）	0	

14.3.11 ポート A (PA)

(1) PA0/A0/BC0#/PO16/TIOCA6

システムコントロールレジスタ 0 (SYSCR0) の外部バス許可ビット (EXBE)、PPG、TPU のレジスタの設定、および PA.DDR.B0 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定				
		バス制御		TPU	PPG	I/Oポート
		A0_OE	BC0#_OE	TIOCA6_OE	PO16_OE	PA.DDR.B0
バス制御	アドレス出力 (注1)	1	0	x	x	1
	バイトコントロール出力 (注1)	0	1	x	x	1
TPU	TIOCA6出力	0	0	1	x	x
PPG	PO16出力	0	0	0	1	x
I/Oポート	PA0出力 (注)	0	0	0	0	1
	PA0入力（初期値）	0	0	0	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき、PA.DDR.B0 = 1 でアドレス出力とすることができます。

(2) PA1/A1/PO17/(TIOCA6)/TIOCB6

SYSCR0.EXBE ビット、PPG、TPU のレジスタの設定、および PA.DDR.B1 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定			
		バス制御	TPU	PPG	I/Oポート
		A1_OE	TIOCB6_OE	PO17_OE	PA.DDR.B1
バス制御	アドレス出力 (注1)	1	x	x	1
TPU	TIOCB6出力	0	1	x	x
PPG	PO17出力	0	0	1	x
I/Oポート	PA1出力 (注1)	0	0	0	1
	PA1入力（初期値）	0	0	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき、PA.DDR.B1 = 1 でアドレス出力とすることができます。

(3) PA2/A2/PO18/TIOCC6/(TCLKE)

SYSCR0.EXBE ビット、PPG、TPU のレジスタの設定、および PA.DDR.B2 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定			
		バス制御	TPU	PPG	I/Oポート
		A2_OE	TIOCC6_OE	PO18_OE	PA.DDR.B2
バス制御	アドレス出力 (注1)	1	x	x	1
TPU	TIOCC6出力	0	1	x	x
PPG	PO18出力	0	0	1	x
I/Oポート	PA2出力 (注1)	0	0	0	1
	PA2入力 (初期値)	0	0	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき、PA.DDR.B2 = 1 でアドレス出力とすることができます。

(4) PA3/A3/PO19/(TIOCC6)/TIOCD6/(TCLKF)

SYSCR0.EXBE ビット、PPG、TPU のレジスタの設定、および PA.DDR.B3 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定			
		バス制御	TPU	PPG	I/Oポート
		A3_OE	TIOCD6_OE	PO19_OE	PA.DDR.B3
バス制御	アドレス出力 (注1)	1	x	x	1
TPU	TIOCD6出力	0	1	x	x
PPG	PO19出力	0	0	1	x
I/Oポート	PA3出力 (注1)	0	0	0	1
	PA3入力 (初期値)	0	0	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき、PA.DDR.B3 = 1 でアドレス出力とすることができます。

(5) PA4/A4/PO20/TIOCA7

SYSCR0.EXBE ビット、PPG、TPU のレジスタの設定、および PA.DDR.B4 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定			
		バス制御	TPU	PPG	I/Oポート
		A4_OE	TIOCA7_OE	PO20_OE	PA.DDR.B4
バス制御	アドレス出力 (注1)	1	x	x	1
TPU	TIOCA7出力	0	1	x	x
PPG	PO20出力	0	0	1	x
I/Oポート	PA4出力 (注1)	0	0	0	1
	PA4入力 (初期値)	0	0	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき、PA.DDR.B4 = 1 でアドレス出力とすることができます。

(6) PA5/A5/PO21/(TIOCA7)/TIOCB7/(TCLKG)

SYSCR0.EXBE ビット、PPG、TPU のレジスタの設定、および PA.DDR.B5 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定			
		バス制御	TPU	PPG	I/Oポート
		A5_OE	TIOCB7_OE	PO21_OE	PA.DDR.B5
バス制御	アドレス出力 (注1)	1	x	x	1
TPU	TIOCB7出力	0	1	x	x
PPG	PO21出力	0	0	1	x
I/Oポート	PA5出力 (注1)	0	0	0	1
	PA5入力 (初期値)	0	0	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき、PA.DDR.B5 = 1 でアドレス出力とすることができます。

(7) PA6/A6/PO22/TIOCA8

SYSCR0.EXBE ビット、PPG、TPU のレジスタの設定、および PA.DDR.B6 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定			
		バス制御	TPU	PPG	I/Oポート
		A6_OE	TIOCA8_OE	PO22_OE	PA.DDR.B6
バス制御	アドレス出力 (注1)	1	x	x	1
TPU	TIOCA8出力	0	1	x	x
PPG	PO22出力	0	0	1	x
I/Oポート	PA6出力 (注1)	0	0	0	1
	PA6入力 (初期値)	0	0	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき、PA.DDR.B6 = 1 でアドレス出力とすることができます。

(8) PA7/A7/PO23/(TIOCA8)/TIOCB8/(TCLKH)

SYSCR0.EXBE ビット、PPG、TPU のレジスタの設定、および PA.DDR.B7 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定			
		バス制御	TPU	PPG	I/Oポート
		A7_OE	TIOCB8_OE	PO23_OE	PA.DDR.B7
バス制御	アドレス出力 (注1)	1	x	x	1
TPU	TIOCB8出力	0	1	x	x
PPG	PO23出力	0	0	1	x
I/Oポート	PA7出力 (注1)	0	0	0	1
	PA7入力 (初期値)	0	0	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき、PA.DDR.B7 = 1 でアドレス出力とすることができます。

14.3.12 ポート B (PB)

(1) PB0/A8/PO24/TIOCA9

システムコントロールレジスタ 0 (SYSCR0) の外部バス許可ビット (EXBE)、PPG、TPU のレジスタの設定、ポートファンクションコントロールレジスタ y (PFCRy) の設定、および PB.DDR.B0 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定			
		バス制御	TPU	PPG	I/Oポート
		A8_OE	TIOCA9_OE	PO24_OE	PB.DDR.B0
バス制御	アドレス出力 (注1)	1	x	x	x
TPU	TIOCA9出力	0	1	x	x
PPG	PO24出力	0	0	1	x
I/Oポート	PB0出力 (注1)	0	0	0	1
	PB0入力 (初期値)	0	0	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき有効

(2) PB1/A9/PO25/(TIOCA9)/TIOCB9

SYSCR0.EXBE ビット、PPG、TPU のレジスタの設定、ポートファンクションコントロールレジスタ y (PFCRy) の設定、および PB.DDR.B1 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定			
		バス制御	TPU	PPG	I/Oポート
		A9_OE	TIOCB9_OE	PO25_OE	PB.DDR.B1
バス制御	アドレス出力 (注1)	1	x	x	x
TPU	TIOCB9出力	0	1	x	x
PPG	PO25出力	0	0	1	x
I/Oポート	PB1出力 (注1)	0	0	0	1
	PB1入力 (初期値)	0	0	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき有効

(3) PB2/A10/PO26/TIOCC9

SYSCR0.EXBE ビット、PPG、TPU のレジスタの設定、ポートファンクションコントロールレジスタ y (PFCRy) の設定、および PB.DDR.B2 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定			
		バス制御	TPU	PPG	I/Oポート
		A10_OE	TIOCC9_OE	PO26_OE	PB.DDR.B2
バス制御	アドレス出力 (注1)	1	x	x	x
TPU	TIOCC9出力	0	1	x	x
PPG	PO26出力	0	0	1	x
I/Oポート	PB2出力 (注1)	0	0	0	1
	PB2入力 (初期値)	0	0	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき有効

(4) PB3/A11/PO27/(TIOCC9)/TIOCD9

SYSCR0.EXBE ビット、PPG、TPU のレジスタの設定、ポートファンクションコントロールレジスタ y (PFCRy) の設定、および PB.DDR.B3 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定			
		バス制御	TPU	PPG	I/Oポート
		A11_OE	TIOCD9_OE	PO27_OE	PB.DDR.B3
バス制御	アドレス出力 (注1)	1	x	x	x
TPU	TIOCD9出力	0	1	x	x
PPG	PO27出力	0	0	1	x
I/Oポート	PB3出力 (注1)	0	0	0	1
	PB3入力 (初期値)	0	0	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき有効

(5) PB4/A12/PO28/TIOCA10

SYSCR0.EXBE ビット、PPG、TPU のレジスタの設定、ポートファンクションコントロールレジスタ y (PFCRy) の設定、および PB.DDR.B4 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定			
		バス制御	TPU	PPG	I/Oポート
		A12_OE	TIOCA10_OE	PO28_OE	PB.DDR.B4
バス制御	アドレス出力 (注1)	1	x	x	x
TPU	TIOCA10出力	0	1	x	x
PPG	PO28出力	0	0	1	x
I/Oポート	PB4出力 (注1)	0	0	0	1
	PB4入力 (初期値)	0	0	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき有効

(6) PB5/A13/PO29/(TIOCA10)/TIOCB10

SYSCR0.EXBE ビット、PPG、TPU のレジスタの設定、ポートファンクションコントロールレジスタ y (PFCRy) の設定、および PB.DDR.B5 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定			
		バス制御	TPU	PPG	I/Oポート
		A13_OE	TIOCB10_OE	PO29_OE	PB.DDR.B5
バス制御	アドレス出力 (注1)	1	x	x	x
TPU	TIOCB10出力	0	1	x	x
PPG	PO29出力	0	0	1	x
I/Oポート	PB5出力 (注1)	0	0	0	1
	PB5入力 (初期値)	0	0	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき有効

(7) PB6/A14/PO30/TIOCA11

SYSCR0.EXBE ビット、PPG、TPU のレジスタの設定、ポートファンクションコントロールレジスタ y (PFCRy) の設定、および PB.DDR.B6 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定			
		バス制御	TPU	PPG	I/Oポート
		A14_OE	TIOCA11_OE	PO30_OE	PB.DDR.B6
バス制御	アドレス出力 (注1)	1	x	x	x
TPU	TIOCA11出力	0	1	x	x
PPG	PO30出力	0	0	1	x
I/Oポート	PB6出力 (注1)	0	0	0	1
	PB6入力 (初期値)	0	0	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき有効

(8) PB7/A15/PO31/(TIOCA11)/TIOCB11

SYSCR0.EXBE ビット、PPG、TPU のレジスタの設定、ポートファンクションコントロールレジスタ y (PFCRy) の設定、および PB.DDR.B7 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定			
		バス制御	TPU	PPG	I/Oポート
		A15_OE	TIOCB11_OE	PO31_OE	PB.DDR.B7
バス制御	アドレス出力 (注1)	1	x	x	x
TPU	TIOCB11出力	0	1	x	x
PPG	PO31出力	0	0	1	x
I/Oポート	PB7出力 (注1)	0	0	0	1
	PB7入力 (初期値)	0	0	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき有効

14.3.13 ポート C (PC)

(1) PC0/A16

システムコントロールレジスタ 0 (SYSCR0) の外部バス許可ビット (EXBE)、バス制御のレジスタ、ポートファンクションコントロールレジスタ y (PFCRy) の設定、および PC.DDR.B0 ビットにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		バス制御	I/Oポート
		A16_OE	PC.DDR.B0
バス制御	A16出力 (注1)	1	x
I/Oポート	PC0出力	0	1
	PC0入力 (初期値)	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき有効

(2) PC1/A17

SYSCR0.EXBE ビット、バス制御のレジスタ、ポートファンクションコントロールレジスタ y (PFCRy) の設定、および PC.DDR.B1 ビットにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		バス制御	I/Oポート
		A17_OE	PC.DDR.B1
バス制御	A17出力 (注1)	1	x
I/Oポート	PC1出力	0	1
	PC1入力 (初期値)	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき有効

(3) PC2/A18

SYSCR0.EXBE ビット、バス制御のレジスタ、ポートファンクションコントロールレジスタ y (PFCRy) の設定、および PC.DDR.B2 ビットにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		バス制御	I/Oポート
		A18_OE	PC.DDR.B2
バス制御	A18出力 (注1)	1	x
I/Oポート	PC2出力	0	1
	PC2入力 (初期値)	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき有効

(4) PC3/A19

SYSCR0.EXBE ビット、バス制御のレジスタ、ポートファンクションコントロールレジスタ y (PFCRy) の設定、および PC.DDR.B3 ビットにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		バス制御	I/Oポート
		A19_OE	PC.DDR.B3
バス制御	A19出力 (注1)	1	x
I/Oポート	PC3出力	0	1
	PC3入力 (初期値)	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき有効

(5) PC4/A20

SYSCR0.EXBE ビット、バス制御のレジスタ、ポートファンクションコントロールレジスタ y (PFCRy) の設定、および PC.DDR.B4 ビットにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		バス制御	I/Oポート
		A20_OE	PC.DDR.B4
バス制御	A20出力 (注1)	1	x
I/Oポート	PC4出力	0	1
	PC4入力 (初期値)	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき有効

(6) PC5/A21/SCK5/CS5#-D

SYSCR0.EXBE ビット、バス制御のレジスタ、ポートファンクションコントロールレジスタ y (PFCRy) の設定、および PC.DDR.B5 ビットにより、以下のように切り替わります。

モジュール名	端子機能	設定			
		バス制御		SCI	I/Oポート
		A21_OE	CS5#-D_OE	SCK5_OE	PC.DDR.B5
バス制御	A21出力 (注1)	1	x	x	x
	CS5#-D出力 (注1)	0	1	x	x
SCI	SCK5出力	0	0	1	x
I/Oポート	PC5出力	0	0	0	1
	PC5入力 (初期値)	0	0	0	0

注1. 内蔵ROM無効/有効拡張モード (SYSCR0.EXBE = 1) のとき有効

(7) PC6/A22/(Rx)D5/CS6#-D

SYSCR0.EXBE ビット、バス制御のレジスタ、ポートファンクションコントロールレジスタ y (PFCRy) の設定、および PC.DDR.B6 ビットにより、以下のように切り替わります。

モジュール名	端子機能	設定		
		バス制御		I/Oポート
		A22_OE	CS6#-D_OE	PC.DDR.B6
バス制御	A22出力 (注1)	1	x	x
	CS6#-D出力 (注1)	0	1	x
I/Oポート	PC6出力	0	0	1
	PC6入力 (初期値)	0	0	0

注1. 内蔵ROM無効/有効拡張モード (SYSCR0.EXBE = 1) のとき有効

(8) PC7/A23/TxD5/CS4#-D/CS7#-D

SYSCR0.EXBE ビット、バス制御のレジスタ、ポートファンクションコントロールレジスタ y (PFCRy) の設定、および PC.DDR.B7 ビットにより、以下のように切り替わります。

モジュール名	端子機能	設定				
		バス制御			SCI	I/Oポート
		A23_OE	CS4#-D_OE	CS7#-D_OE	TxD5_OE	PC.DDR.B7
バス制御	A23出力 (注1)	1	x	x	x	x
	CS4#-D出力 (注1)	0	1	x	x	x
	CS7#-D出力 (注1)	0	0	1	x	x
SCI	TxD5出力	0	0	0	1	x
I/Oポート	PC7出力	0	0	0	0	1
	PC7入力 (初期値)	0	0	0	0	0

注1. 内蔵ROM無効/有効拡張モード (SYSCR0.EXBE = 1) のとき有効

14.3.14 ポート D (PD)

(1) PD0/D0、PD1/D1、PD2/D2、PD3/D3、PD4/D4、PD5/D5、PD6/D6、PD7/D7

システムコントロールレジスタ 0 (SYSCR0) の外部バス許可ビット (EXBE)、および PD.DDR.Bj ビット (j=0~7) により、以下のように切り替わります。

モジュール名	端子機能	設定	
		I/Oポート	
		PD.DDR.Bj	
バス制御	データ入出力 (注1)	x	
I/Oポート	PDn出力	1	
	PDn入力 (初期値)	0	

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき有効

14.3.15 ポート E (PE)

(1) PE0/D8、PE1/D9、PE2/D10、PE3/D11、PE4/D12、PE5/D13/(IRQ5-A)、 PE6/D14/(IRQ6-A)、PE7/D15/(IRQ7-A)

バスモード、SYSCR0.EXBE ビット、ポートファンクションコントロールレジスタ y (PFCRy) の設定、および PE.DDR.Bj ビット (j=0~7) により、以下のように切り替わります。

モジュール名	端子機能	設定	
		バス制御	I/Oポート
		Dn_E (n = 8 ~ 15)	PE.DDR.Bj
バス制御	データ入出力 (注1)	1	x
I/Oポート	PEn出力	0	1
	PEn入力 (初期値)	0	0

注 1. 内蔵 ROM 無効 / 有効拡張モード (SYSCR0.EXBE = 1) のとき有効
16 ビットバスモードが "1" のとき、D15 ~ D8 入出力となります。
16 ビットバスモードが "0" のとき、汎用入出力となります。

14.3.16 ポート F (PF)

(1) PF0

PF.DDR.B0 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		I/Oポート	
		PF.DDR.B0	
I/Oポート	PF0出力	1	
	PF0入力 (初期値)	0	

(2) PF1

PF.DDR.B1 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定	
		I/Oポート	
		PF.DDR.B1	
I/Oポート	PF1出力	1	
	PF1入力 (初期値)	0	

(3) PF2

PF.DDR.B2 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		PF.DDR.B2
I/Oポート	PF2出力	1
	PF2入力 (初期値)	0

(4) PF3

PF.DDR.B3 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		PF.DDR.B3
I/Oポート	PF3出力	1
	PF3入力 (初期値)	0

(5) PF4

PF.DDR.B4 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		PF.DDR.B4
I/Oポート	PF4出力	1
	PF4入力 (初期値)	0

(6) PF5

PF.DDR.B5 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		PF.DDR.B5
I/Oポート	PF5出力	1
	PF5入力 (初期値)	0

(7) PF6

PF.DDR.B6 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		PF.DDR.B6
I/Oポート	PF6出力	1
	PF6入力 (初期値)	0

14.3.17 ポート G (PG)

(1) PG0

PG.DDR.B0 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		PG.DDR.B0
I/Oポート	PG0出力	1
	PG0入力 (初期値)	0

(2) PG1

PG.DDR.B1 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		PG.DDR.B1
I/Oポート	PG1出力	1
	PG1入力 (初期値)	0

(3) PG2

PG.DDR.B2 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		PG.DDR.B2
I/Oポート	PG2出力	1
	PG2入力 (初期値)	0

(4) PG3

PG.DDR.B3 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		PG.DDR.B3
I/Oポート	PG3出力	1
	PG3入力 (初期値)	0

(5) PG4

PG.DDR.B4 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		PG.DDR.B4
I/Oポート	PG4出力	1
	PG4入力 (初期値)	0

(6) PG5

PG.DDR.B5 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		PG.DDR.B5
I/Oポート	PG5出力	1
	PG5入力 (初期値)	0

(7) PG6

PG.DDR.B6 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		PG.DDR.B6
I/Oポート	PG6出力	1
	PG6入力 (初期値)	0

(8) PG7

PG.DDR.B7 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		PG.DDR.B7
I/Oポート	PG7出力	1
	PG7入力 (初期値)	0

14.3.18 ポート H (PH)

(1) PH0

PH.DDR.B0 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		PH.DDR.B0
I/Oポート	PH0出力	1
	PH0入力 (初期値)	0

(2) PH1

PH.DDR.B1 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		PH.DDR.B1
I/Oポート	PH1出力	1
	PH1入力 (初期値)	0

(3) PH2

PH.DDR.B2 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		PH.DDR.B2
I/Oポート	PH2出力	1
	PH2入力 (初期値)	0

(4) PH3

PH.DDR.B3 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		PH.DDR.B3
I/Oポート	PH3出力	1
	PH3入力 (初期値)	0

(5) PH4

PH.DDR.B4 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		PH.DDR.B4
I/Oポート	PH4出力	1
	PH4入力 (初期値)	0

(6) PH5

PH.DDR.B5 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		PH.DDR.B5
I/Oポート	PH5出力	1
	PH5入力 (初期値)	0

(7) PH6

PH.DDR.B6 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		PH.DDR.B6
I/Oポート	PH6出力	1
	PH6入力 (初期値)	0

(8) PH7

PH.DDR.B7 ビットの組み合わせにより、以下のように切り替わります。

モジュール名	端子機能	設定
		I/Oポート
		PH.DDR.B7
I/Oポート	PH7出力	1
	PH7入力 (初期値)	0

14.4 出力信号有効設定一覧

表 14.8 に各ポートの出力機能を有効にする設定一覧を示します。

表 14.8 各ポートの出力信号有効設定一覧 (1 / 6)

ポート		対応する周辺モジュール	出力設定信号名	出力信号名	信号選択レジスタの設定	各内部モジュールの設定
P0	0	SCI6	TxD6_OE	TxD6		SCR.TE = 1
	1		—	—	—	—
	2	TMR2	TMO2_OE	TMO2		TCSR.OSA[1:0] = 01/10/11 か TCSR.OSB[1:0] = 01/10/11
		SCI6	SCK6_OE	SCK6		SCMR.SMIF = 1 のとき : SMR.GM = 0, SCR.CKE[1:0] = 01 か SMR.GM = 1 SCMR.SMIF = 0 のとき : SMR.CM = 0, SCR.CKE[1:0] = 01 か SMR.CM = 1, SCR.CKE[1] = 0
	3	SCI4	SCK4_OE	SCK4		SCMR.SMIF = 1 のとき : SMR.GM = 0, SCR.CKE[1:0] = 01 か SMR.GM = 1 SCMR.SMIF = 0 のとき : SMR.CM = 0, SCR.CKE[1:0] = 01 か SMR.CM = 1, SCR.CKE[1] = 0
	4	SCI4	TxD4_OE	TxD4		SCR.TE = 1
5	TMR3	TMO3_OE	TMO3		TCSR.OSA[1:0] = 01/10/11 か TCSR.OSB[1:0] = 01/10/11	
P1	0		—	—	—	—
	1	SCI2	SCK2_OE	SCK2		SCMR.SMIF = 1 のとき : SMR.GM = 0, SCR.CKE[1:0] = 01 か SMR.GM = 1 SCMR.SMIF = 0 のとき : SMR.CM = 0, SCR.CKE[1:0] = 01 か SMR.CM = 1, SCR.CKE[1] = 0
	2		—	—	—	—
	3	SCI2	TxD2_OE	TxD2		SCR.TE = 1
	4	RIIC1	SDA1_OE	SDA1		ICCR1.ICE = 1
	5	SCI3	SCK3_OE	SCK3		SCMR.SMIF = 1 のとき : SMR.GM = 0, SCR.CKE[1:0] = 01 か SMR.GM = 1 SCMR.SMIF = 0 のとき : SMR.CM = 0, SCR.CKE[1:0] = 01 か SMR.CM = 1, SCR.CKE[1] = 0
		RIIC1	SCL1_OE	SCL1		ICCR1.ICE = 1
	6	RIIC0	SDA0_OE	SDA0		ICCR1.ICE = 1
	7	SCI3	TxD3_OE	TxD3		SCR.TE = 1
		RIIC0	SCL0_OE	SCL0		ICCR1.ICE = 1

表 14.8 各ポートの出力信号有効設定一覧 (2 / 6)

ポート	対応する周辺モジュール	出力設定信号名	出力信号名	信号選択レジスタの設定	各内部モジュールの設定	
P2	0	TPU3	TIOCB3_OE	TIOCB3		TIORH.IOB[3] = 0, TIORH.IOB[1:0] = 01/10/11
		SCI0	TxD0_OE	TxD0		SCR.TE = 1
		PPG0	PO0_OE	PO0		NDERL.NDER0 = 1
	1	TPU3	TIOCA3_OE	TIOCA3		TIORH.IOA[3] = 0, TIORH.IOA[1:0] = 01/10/11
		PPG0	PO1_OE	PO1		NDERL.NDER1 = 1
	2	TPU3	TIOCC3_OE	TIOCC3		TMDR.BFA = 0, TIORL.IOC[3] = 0, TIORL.IOC[1:0] = 01/10/11
		TMR0	TMO0_OE	TMO0		TCSR.OSA[1:0] = 01/10/11かTCSR.OSB[1:0] = 01/10/11
		SCI0	SCK0_OE	SCK0		SCMR.SMIF = 1のとき : SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCMR.SMIF = 0のとき : SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
		PPG0	PO2_OE	PO2		NDERL.NDER2 = 1
	3	TPU3	TIOCD3_OE	TIOCD3		TMDR.BFB = 0, TIORL.IOD[3] = 0, TIORL.IOD[1:0] = 01/10/11
		PPG0	PO3_OE	PO3		NDERL.NDER3 = 1
	4	TPU4	TIOCB4_OE	TIOCB4		TIOR.IOB[3] = 0, TIOR.IOB[1:0] = 01/10/11
		PPG0	PO4_OE	PO4		NDERL.NDER4 = 1
	5	TPU4	TIOCA4_OE	TIOCA4		TIOR.IOA[3] = 0, TIOR.IOA[1:0] = 01/10/11
		PPG0	PO5_OE	PO5		NDERL.NDER5 = 1
	6	TPU5	TIOCA5_OE	TIOCA5		TIOR.IOA[3] = 0, TIOR.IOA[1:0] = 01/10/11
		TMR1	TMO1_OE	TMO1		TCSR.OSA[1:0] = 01/10/11かTCSR.OSB[1:0] = 01/10/11
		SCI1	TxD1_OE	TxD1		SCR.TE = 1
		PPG0	PO6_OE	PO6		NDERL.NDER6 = 1
	7	TPU5	TIOCB5_OE	TIOCB5		TIOR.IOB[3] = 0, TIOR.IOB[1:0] = 01/10/11
		SCI1	SCK1_OE	SCK1		SCMR.SMIF = 1のとき : SMR.GM = 0, SCR.CKE[1:0] = 01かSMR.GM = 1 SCMR.SMIF = 0のとき : SMR.CM = 0, SCR.CKE[1:0] = 01か SMR.CM = 1, SCR.CKE[1] = 0
PPG0		PO7_OE	PO7		NDERL.NDER7 = 1	
P3	0	TPU0	TIOCA0_OE	TIOCA0		TIORH.IOA[3] = 0, TIOH.IOA[1:0] = 01/10/11
		PPG0	PO8_OE	PO8		NDERH.NDER8 = 1
	1	TPU0	TIOCB0_OE	TIOCB0		TIORH.IOB[3] = 0, TIORH.IOB[1:0] = 01/10/11
		PPG0	PO9_OE	PO9		NDERH.NDER9 = 1
	2	TPU0	TIOCC0_OE	TIOCC0		TMDR.BFA = 0, TIORL.IOC[3] = 0, TIORL.IOC[1:0] = 01/10/11
		PPG0	PO10_OE	PO10		NDERH.NDER10 = 1
	3	TPU0	TIOCD0_OE	TIOCD0		TMDR.BFB = 0, TIORL.IOD[3] = 0, TIORL.IOD[1:0] = 01/10/11
		PPG0	PO11_OE	PO11		NDERH.NDER11 = 1
	4	TPU1	TIOCA1_OE	TIOCA1		TIOR.IOA[3] = 0, TIOR.IOA[1:0] = 01/10/11
		PPG0	PO12_OE	PO12		NDERH.NDER12 = 1
	5	TPU1	TIOCB1_OE	TIOCB1		TIOR.IOB[3] = 0, TIOR.IOB[1:0] = 01/10/11
		PPG0	PO13_OE	PO13		NDERH.NDER13 = 1
	6	TPU2	TIOCA2_OE	TIOCA2		TIOR.IOA[3] = 0, TIOR.IOA[1:0] = 01/10/11
		PPG0	PO14_OE	PO14		NDERH.NDER14 = 1
	7	TPU2	TIOCB2_OE	TIOCB2		TIOR.IOB[3] = 0, TIOR.IOB[1:0] = 01/10/11
PPG0		PO15_OE	PO15		NDERH.NDER15 = 1	

表 14.8 各ポートの出力信号有効設定一覧 (3 / 6)

ポート	対応する周辺モジュール	出力設定信号名	出力信号名	信号選択レジスタの設定	各内部モジュールの設定	
P5	0	SYSC,BSC	WR0_OE	WR0		SYSCR0.EXBE = 1, CSiMOD.WRMOD = 0
		SYSC,BSC	WR_OE	WR		SYSCR0.EXBE = 1, CSiMOD.WRMOD = 1
	1	SYSC,BSC	WR1_OE	WR1		SYSCR0.EXBE = 1, PFCR5.WR1BC1E = 1, CSiMOD.WRMOD = 0, CSiCNT.BSIZE[1:0] = 00
		SYSC,BSC	BC1_OE	BC1		SYSCR0.EXBE = 1, PFCR5.WR1BC1E = 1, CSiMOD.WRMOD = 1, CSiCNT.BSIZE[1:0] = 00
	2	SYSC	RD_OE	RD		SYSCR0.EXBE = 1
	3	PORT	BCLK_OE	BCLK		P5.DDR.B3 = 1
	4		—	—	—	—
	5		—	—	—	—
6		—	—	—	—	
P6	0	SYSC	CS0_OE	CS0		SYSCR0.EXBE = 1, PFCR0.CS0E = 1, CS0CNT.EXENB = 1
		SYSC	CS4A_OE	CS4	PFCR1.CS4S[1:0] = 00	SYSCR0.EXBE = 1, PFCR0.CS4E = 1, CS4CNT.EXENB = 1
		SYSC	CS5B_OE	CS5	PFCR1.CS5S[1:0] = 01	SYSCR0.EXBE = 1, PFCR0.CS5E = 1, CS5CNT.EXENB = 1
	1	SYSC	CS1_OE	CS1		SYSCR0.EXBE = 1, PFCR0.CS1E = 1, CS1CNT.EXENB = 1
		SYSC	CS2B_OE	CS2	PFCR2.CS2S = 1	SYSCR0.EXBE = 1, PFCR0.CS2E = 1, CS2CNT.EXENB = 1
		SYSC	CS5A_OE	CS5	PFCR1.CS5S[1:0] = 00	SYSCR0.EXBE = 1, PFCR0.CS5E = 1, CS5CNT.EXENB = 1
		SYSC	CS6B_OE	CS6	PFCR1.CS6S[1:0] = 01	SYSCR0.EXBE = 1, PFCR0.CS6E = 1, CS6CNT.EXENB = 1
		SYSC	CS7B_OE	CS7	PFCR1.CS7S[1:0] = 01	SYSCR0.EXBE = 1, PFCR0.CS7E = 1, CS7CNT.EXENB = 1
		2	SYSC	CS2A_OE	CS2	PFCR2.CS2S = 0
		SYSC	CS6A_OE	CS6	PFCR1.CS6S[1:0] = 00	SYSCR0.EXBE = 1, PFCR0.CS6E = 1, CS6CNT.EXENB = 1
	3	SYSC	CS3A_OE	CS3	PFCR2.CS3S = 0	SYSCR0.EXBE = 1, PFCR0.CS3E = 1, CS3CNT.EXENB = 1
		SYSC	CS7A_OE	CS7	PFCR1.CS7S[1:0] = 00	SYSCR0.EXBE = 1, PFCR0.CS7E = 1, CS7CNT.EXENB = 1
	4	SYSC	CS4B_OE	CS4	PFCR1.CS4S[1:0] = 01	SYSCR0.EXBE = 1, PFCR0.CS4E = 1, CS4CNT.EXENB = 1
	5		—	—	—	—
	6	DAC	DA0_OE	DA0		DACR.DAOE0 = 1
	7	DAC	DA1_OE	DA1		DACR.DAOE1 = 1
	P7	0	SYSC	CS3B_OE	CS3	PFCR2.CS3S = 1
1		SYSC	CS4C_OE	CS4	PFCR1.CS4S[1:0] = 10	SYSCR0.EXBE = 1, PFCR0.CS4E = 1, CS4CNT.EXENB = 1
		SYSC	CS5C_OE	CS5	PFCR1.CS5S[1:0] = 10	SYSCR0.EXBE = 1, PFCR0.CS5E = 1, CS5CNT.EXENB = 1
		SYSC	CS6C_OE	CS6	PFCR1.CS6S[1:0] = 10	SYSCR0.EXBE = 1, PFCR0.CS6E = 1, CS6CNT.EXENB = 1
		SYSC	CS7C_OE	CS7	PFCR1.CS7S[1:0] = 10	SYSCR0.EXBE = 1, PFCR0.CS7E = 1, CS7CNT.EXENB = 1
2			—	—	—	—
3			—	—	—	—
4			—	—	—	—
5			—	—	—	—
6			—	—	—	—
7		—	—	—	—	

表 14.8 各ポートの出力信号有効設定一覧 (4 / 6)

ポート	対応する周辺モジュール	出力設定信号名	出力信号名	信号選択レジスタの設定	各内部モジュールの設定	
PA	0	TPU6	TIOCA6_OE	TIOCA6		TIORH.IOA[3] = 0, TIORH.IOA[1:0] = 01/10/11
		PPG1	PO16_OE	PO16		NDERL.NDER16 = 1
		SYSC,BSC	BC0_OE	BC0		SYSCR0.EXBE = 1, CSiMOD.WRMOD = 1, PA.DDR.B0 = 1
		SYSC,BSC	A0_OE	A0		SYSCR0.EXBE = 1, CSiMOD.WRMOD = 0, PA.DDR.B0 = 1
	1	TPU6	TIOCB6_OE	TIOCB6		TIORH.IOB[3] = 0, TIORH.IOB[1:0] = 01/10/11
		PPG1	PO 17_OE	PO17		NDERL.NDER17 = 1
		SYSC	A1_OE	A1		SYSCR0.EXBE = 1, PA.DDR.B1 = 1
	2	TPU6	TIOCC6_OE	TIOCC6		TMDR.BFA = 0, TIORL.IOC[3] = 0, TIORL.IOC[1:0] = 01/10/11
		PPG1	PO 18_OE	PO18		NDERL.NDER18 = 1
		SYSC	A2_OE	A2		SYSCR0.EXBE = 1, PA.DDR.B2 = 1
	3	TPU6	TIOCD6_OE	TIOCD6		TMDR.BFB = 0, TIORL.IOD[3] = 0, TIORL.IOD[1:0] = 01/10/11
		PPG1	PO 19_OE	PO19		NDERL.NDER19 = 1
		SYSC	A3_OE	A3		SYSCR0.EXBE = 1, PA.DDR.B3 = 1
	4	TPU7	TIOCA7_OE	TIOCA7		TIOR.IOA[3] = 0, TIOR.IOA[1:0] = 01/10/11
		PPG1	PO 20_OE	PO20		NDERL.NDER20 = 1
		SYSC	A4_OE	A4		SYSCR0.EXBE = 1, PA.DDR.B4 = 1
	5	TPU7	TIOCB7_OE	TIOCB7		TIOR.IOB[3] = 0, TIOR.IOB[1:0] = 01/10/11
		PPG1	PO 21_OE	PO21		NDERL.NDER21 = 1
		SYSC	A5_OE	A5		SYSCR0.EXBE = 1, PA.DDR.B5 = 1
	6	TPU8	TIOCA8_OE	TIOCA8		TIOR.IOA[3] = 0, TIOR.IOA[1:0] = 01/10/11
		PPG1	PO 22_OE	PO22		NDERL.NDER22 = 1
		SYSC	A6_OE	A6		SYSCR0.EXBE = 1, PA.DDR.B6 = 1
	7	TPU8	TIOCB8_OE	TIOCB8		TIOR.IOB[3] = 0, TIOR.IOB[1:0] = 01/10/11
		PPG1	PO 23_OE	PO23		NDERL.NDER23 = 1
		SYSC	A7_OE	A7		SYSCR0.EXBE = 1, PA.DDR.B7 = 1

表 14.8 各ポートの出力信号有効設定一覧 (5 / 6)

ポート	対応する周辺モジュール	出力設定信号名	出力信号名	信号選択レジスタの設定	各内部モジュールの設定	
PB	0	TPU9	TIOCA9_OE	TIOCA9		TIORH.IOA[3] = 0, TIORH.IOA[1:0] = 01/10/11
		PPG1	PO24_OE	PO24		NDERH.NDER24 = 1
		SYSC	A8_OE	A8		SYSCR0.EXBE = 1, PFCR4.A08E = 1
	1	TPU9	TIOCB9_OE	TIOCB9		TIORH.IOB[3] = 0, TIORH.IOB[1:0] = 01/10/11
		PPG1	PO25_OE	PO25		NDERH.NDER25 = 1
		SYSC	A9_OE	A9		SYSCR0.EXBE = 1, PFCR4.A09E = 1
	2	TPU9	TIOCC9_OE	TIOCC9		TMDR.BFA = 0, TIORL.IOC[3] = 0, TIORL.IOC[1:0] = 01/10/11
		PPG1	PO26_OE	PO26		NDERH.NDER26 = 1
		SYSC	A10_OE	A10		SYSCR0.EXBE = 1, PFCR4.A10E = 1
	3	TPU9	TIOCD9_OE	TIOCD9		TMDR.BFB = 0, TIORL.IOD[3] = 0, TIORL.IOD[1:0] = 01/10/11
		PPG1	PO27_OE	PO27		NDERH.NDER27 = 1
		SYSC	A11_OE	A11		SYSCR0.EXBE = 1, PFCR4.A11E = 1
	4	TPU10	TIOCA10_OE	TIOCA10		TIOR.IOA[3] = 0, TIOR.IOA[1:0] = 01/10/11
		PPG1	PO28_OE	PO28		NDERH.NDER28 = 1
		SYSC	A12_OE	A12		SYSCR0.EXBE = 1, PFCR4.A12E = 1
	5	TPU10	TIOCB10_OE	TIOCB10		TIOR.IOB[3] = 0, TIOR.IOB[1:0] = 01/10/11
		PPG1	PO29_OE	PO29		NDERH.NDER29 = 1
		SYSC	A13_OE	A13		SYSCR0.EXBE = 1, PFCR4.A13E = 1
	6	TPU11	TIOCA11_OE	TIOCA11		TIOR.IOA[3] = 0, TIORIOA[1:0] = 01/10/11
		PPG1	PO30_OE	PO30		NDERH.NDER30 = 1
		SYSC	A14_OE	A14		SYSCR0.EXBE = 1, PFCR4.A14E = 1
7	TPU11	TIOCB11_OE	TIOCB11		TIOR.IOB[3] = 0, TIOR.IOB[1:0] = 01/10/11	
	PPG1	PO31_OE	PO31		NDERH.NDER31 = 1	
	SYSC	A15_OE	A15		SYSCR0.EXBE = 1, PFCR4.A15E = 1	
PC	0	SYSC	A16_OE	A16		SYSCR0.EXBE = 1, PFCR3.A16E = 1
	1	SYSC	A17_OE	A17		SYSCR0.EXBE = 1, PFCR3.A17E = 1
	2	SYSC	A18_OE	A18		SYSCR0.EXBE = 1, PFCR3.A18E = 1
	3	SYSC	A19_OE	A19		SYSCR0.EXBE = 1, PFCR3.A19E = 1
	4	SYSC	A20_OE	A20		SYSCR0.EXBE = 1, PFCR3.A20E = 1
		SYSC	A21_OE	A21		SYSCR0.EXBE = 1, PFCR3.A21E = 1
	5	SYSC	CS5D_OE	CS5	PFCR1.CS5S[1:0] = 11	SYSCR0.EXBE = 1, PFCR0.CS5E = 1, CS5CNT.EXENB = 1
		SCI5	SCK5_OE	SCK5		SCMR.SMIF = 1 のとき : SMR.GM = 0, SCR.CKE[1:0] = 01 か SMR.GM = 1 SCMR.SMIF = 0 のとき : SMR.CM = 0, SCR.CKE[1:0] = 01 か SMR.CM = 1, SCR.CKE[1] = 0
	6	SYSC	A22_OE	A22		SYSCR0.EXBE = 1, PFCR3.A22E = 1, PC.DDR.B6 = 1
		SYSC	CS6D_OE	CS6	PFCR1.CS6S[1:0] = 11	SYSCR0.EXBE = 1, PFCR0.CS6E = 1, CS6CNT.EXENB = 1
	7	SYSC	A23_OE	A23		SYSCR0.EXBE = 1, PFCR3.A23E = 1, PC.DDR.B7 = 1
		SYSC	CS4D_OE	CS4	PFCR1.CS4S[1:0] = 11	SYSCR0.EXBE = 1, PFCR0.CS4E = 1, CS4CNT.EXENB = 1
		SYSC	CS7D_OE	CS7	PFCR1.CS7S[1:0] = 11	SYSCR0.EXBE = 1, PFCR0.CS7E = 1, CS7CNT.EXENB = 1
		SCI5	TxD5_OE	TxD5		SCR.TE = 1

表 14.8 各ポートの出力信号有効設定一覧 (6 / 6)

ポート	対応する周辺モジュール	出力設定信号名	出力信号名	信号選択レジスタの設定	各内部モジュールの設定	
PD	0	SYSC	D0_E	D0		SYSCR0.EXBE = 1
	1	SYSC	D1_E	D1		SYSCR0.EXBE = 1
	2	SYSC	D2_E	D2		SYSCR0.EXBE = 1
	3	SYSC	D3_E	D3		SYSCR0.EXBE = 1
	4	SYSC	D4_E	D4		SYSCR0.EXBE = 1
	5	SYSC	D5_E	D5		SYSCR0.EXBE = 1
	6	SYSC	D6_E	D6		SYSCR0.EXBE = 1
7	SYSC	D7_E	D7		SYSCR0.EXBE = 1	
PE	0	SYSC,BSC	D8_E	D8		SYSCR0.EXBE = 1, CSiCNT.BSIZE[1:0] = 00, PFCR5.DHE = 1
	1	SYSC,BSC	D9_E	D9		SYSCR0.EXBE = 1, CSiCNT.BSIZE[1:0] = 00, PFCR5.DHE = 1
	2	SYSC,BSC	D10_E	D10		SYSCR0.EXBE = 1, CSiCNT.BSIZE[1:0] = 00, PFCR5.DHE = 1
	3	SYSC,BSC	D11_E	D11		SYSCR0.EXBE = 1, CSiCNT.BSIZE[1:0] = 00, PFCR5.DHE = 1
	4	SYSC,BSC	D12_E	D12		SYSCR0.EXBE = 1, CSiCNT.BSIZE[1:0] = 00, PFCR5.DHE = 1
	5	SYSC,BSC	D13_E	D13		SYSCR0.EXBE = 1, CSiCNT.BSIZE[1:0] = 00, PFCR5.DHE = 1
	6	SYSC,BSC	D14_E	D14		SYSCR0.EXBE = 1, CSiCNT.BSIZE[1:0] = 00, PFCR5.DHE = 1
7	SYSC,BSC	D15_E	D15		SYSCR0.EXBE = 1, CSiCNT.BSIZE[1:0] = 00, PFCR5.DHE = 1	

表 14.9 各動作モードにおける端子機能

動作モード選択	動作モード	P5				P6		P7	PA	PB	PC		PD	PE	PF	PG	PH
		b7	b3	b2	b1-b0	b4-b1	b0	b1-b0	b7-b0	b7-b0	b7-b5	b4-b0	b7-b0	b7-b0	b6-b0	b7-b0	b7-b0
モード端子による選択	ブートモード	P	P*/C	P	P	P	P	P	P	P	P	P	P	P	P	P	P
	ユーザブートモード	P	P*/C	P	P	P	P	P	P	P	P	P	P	P	P	P	P
	シングルチップモード	P	P*/C	P	P	P	P	P	P	P	P	P	P	P	P	P	P
レジスタ遷移	シングルチップモード	P	P/C	P	P	P	P	P	P	P	P	P	P	P	P	P	P
	内蔵ROM有効拡張モード	P/C	P/C	P/C	P/C	P/C	P/C	P/C	A	P/A	P/A/C	P/A	P/D	P/D	P	P	P
	内蔵ROM無効拡張モード	P/C	P/C	P/C	P/C	P/C	P/C	P/C	A	P/A	P/A/C	P/A	P/D	P/D	P	P	P

P : 入出力ポート、A : アドレスバス出力、D : データバス出力、C : 制御信号 / クロック入出力、各内部モジュールの設定、* : リセット直後

14.5 未使用端子の処理

表 14.10 に未使用端子の処理内容を示します。

表 14.10 未使用端子の処理内容

端子名	内蔵ROM無効拡張モード (バス幅16ビット)	内蔵ROM無効拡張モード [*] (バス幅8ビット)	内蔵ROM有効拡張モード	シングルチップモード
EMLE	抵抗を介してVSSに接続 (プルダウン)			
MD1～MD0	(モード端子として使用)			
MDE	(モード端子として使用)			
NMI	抵抗を介してVCCに接続 (プルアップ)			
EXTAL	(クロック端子として使用)			
XTAL	端子を開放			
WDTOVF#	端子を開放			
ポート0 ポート1 ポート2 ポート3 ポート4 P57～P54 P67～P61 ポート7 ポート8 ポート9 PC7～PC5	<ul style="list-style-type: none"> 端子ごとに抵抗を介してVCCに接続 (プルアップ)、または抵抗を介してVSSに接続 (プルダウン) Pm.ICRを初期値 (入力バッファ無効) の状態で端子を開放することも可能 (注1) 			
P53	<ul style="list-style-type: none"> 端子ごとに抵抗を介してVCCに接続 (プルアップ)、または抵抗を介してVSSに接続 (プルダウン) Pm.ICRを初期値 (入力バッファ無効) の状態で端子を開放することも可能 (注1) 		<ul style="list-style-type: none"> 端子ごとに抵抗を介してVCCに接続 (プルアップ)、または抵抗を介してVSSに接続 (プルダウン) Pm.ICRを初期値 (入力バッファ無効) の状態で端子を開放することも可能 (注1) 	
P52	RD#出力のため端子を開放			
P51	<ul style="list-style-type: none"> 端子ごとに抵抗を介してVCCに接続 (プルアップ)、または抵抗を介してVSSに接続 (プルダウン) Pm.ICRを初期値 (入力バッファ無効) の状態で端子を開放することも可能 (注1) 			
P50	WRO#/WR#出力のため端子を開放			
P60 ポートA ポートB PC4～PC0	<ul style="list-style-type: none"> 端子ごとに抵抗を介してVCCに接続 (プルアップ)、または抵抗を介してVSSに接続 (プルダウン) Pm.ICRを初期値 (入力バッファ無効) の状態で端子を開放することも可能 (注1) 			
ポートD	(データバスとして使用)			
ポートE	(データバスとして使用)	<ul style="list-style-type: none"> 初期状態では汎用入力のため、端子ごとに抵抗を介してVCCに接続 (プルアップ)、または抵抗を介してVSSに接続 (プルダウン) Pm.ICRを初期値 (入力バッファ無効) の状態で端子を開放することも可能 (注1) 		
ポートF ポートG ポートH	<ul style="list-style-type: none"> 端子ごとに抵抗を介してVCCに接続 (プルアップ)、または抵抗を介してVSSに接続 (プルダウン) Pm.ICRを初期値 (入力バッファ無効) の状態で端子を開放することも可能 (注1) 			
VREFH	AVCCに接続			

注1. Pm.ICRレジスタを初期値から変更しないでください。変更した場合、貫通電流が流れる可能性があります。

14.6 入出力ポートの構成

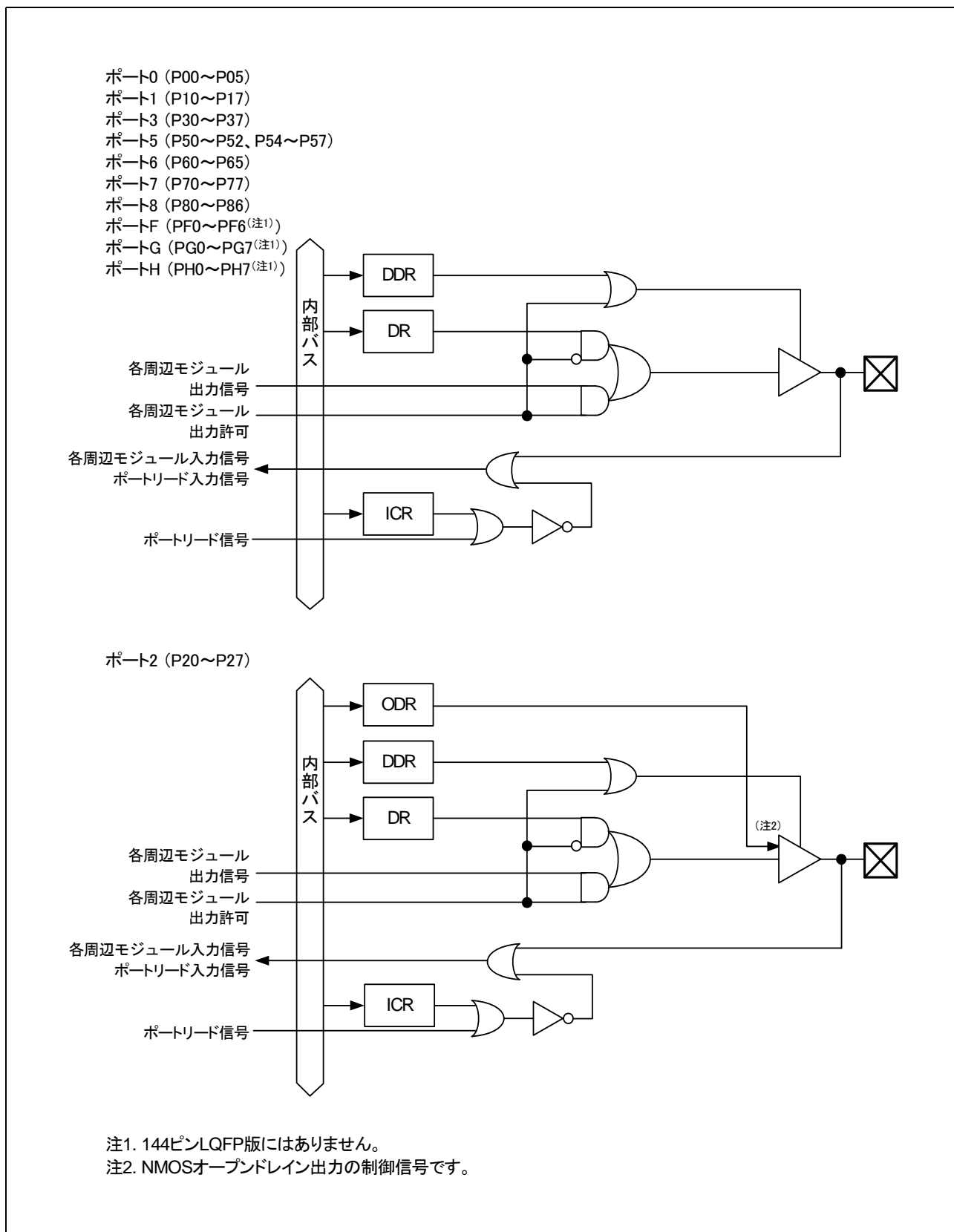


図 14.2 入出力ポートの構成 (1)

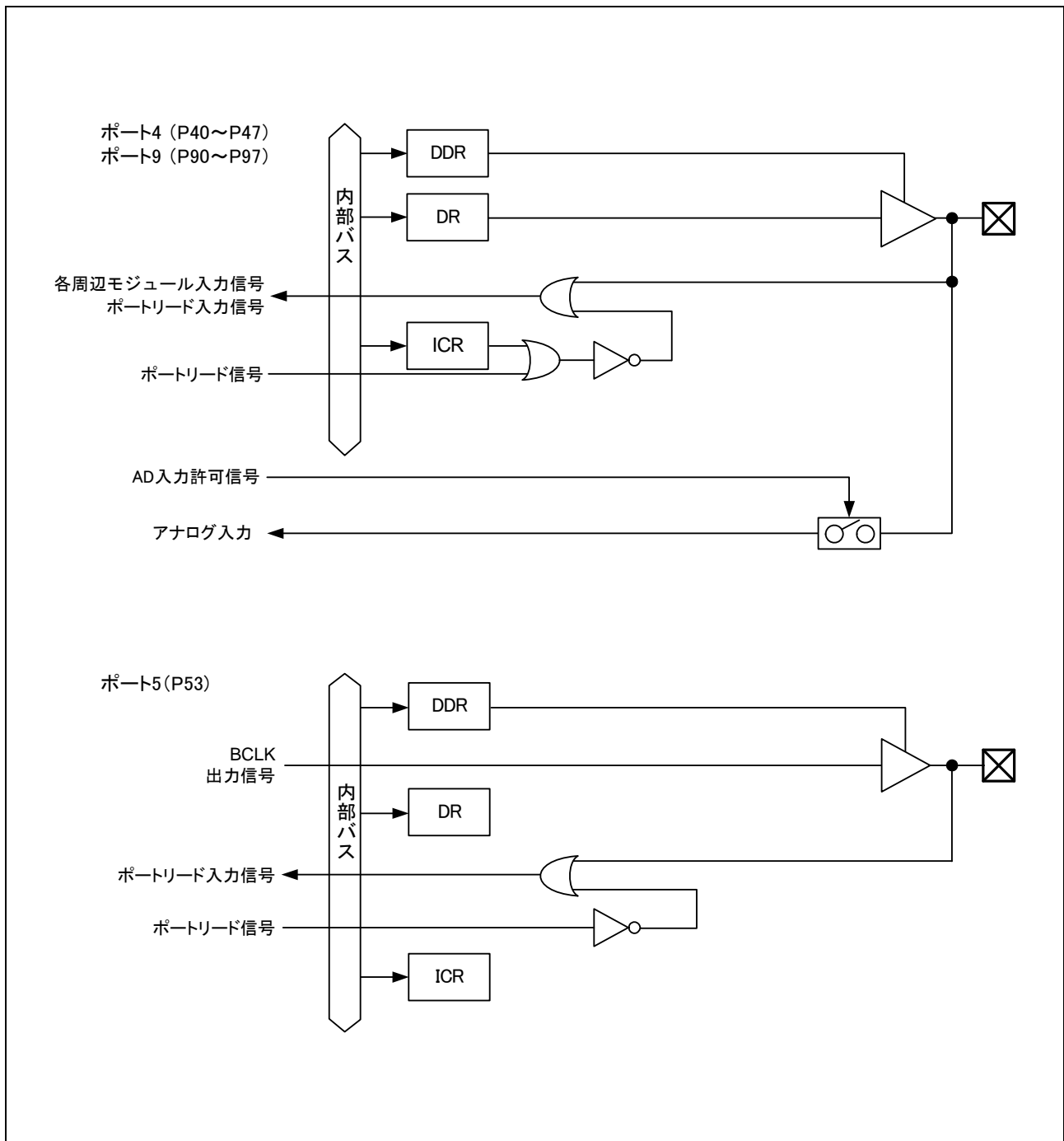


図 14.3 入出力ポートの構成 (2)

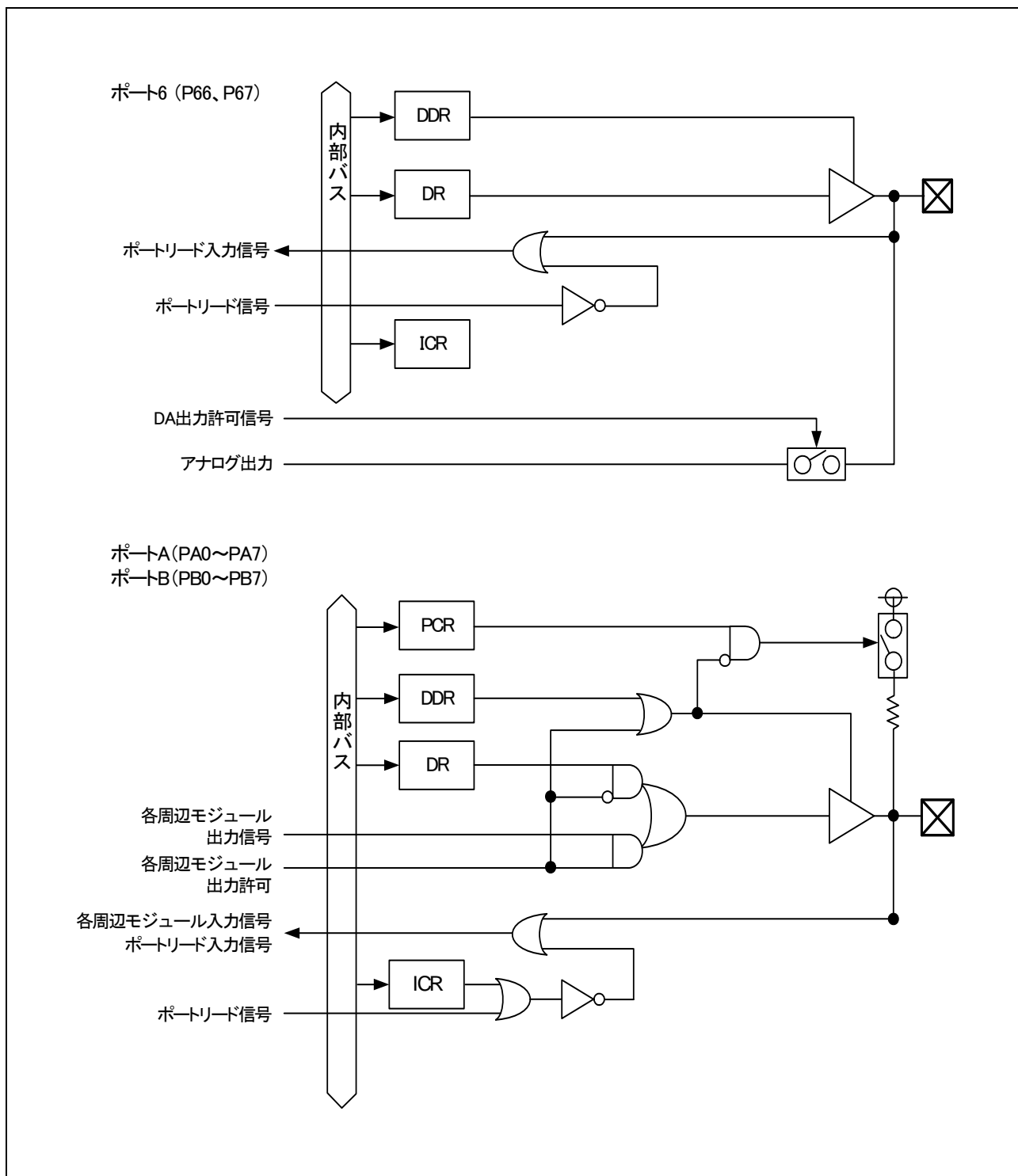


図 14.4 入出力ポートの構成 (3)

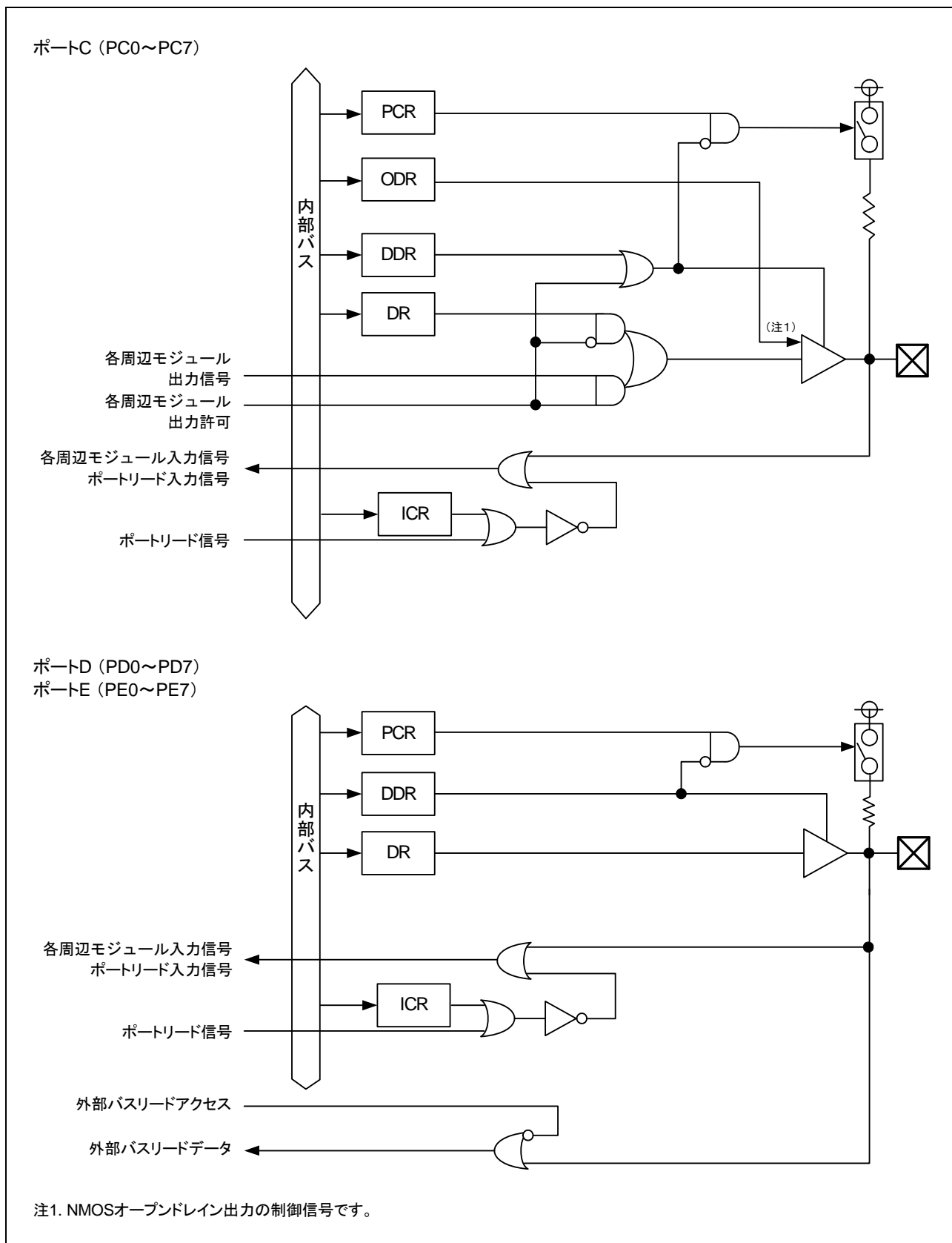


図 14.5 入出力ポートの構成 (4)

14.7 使用上の注意事項

14.7.1 入力バッファコントロールレジスタ (Pm.ICR) の設定

Pm.ICR レジスタの設定を変更する場合、端子の状態によっては内部にエッジが発生し、意図しない動作をすることがあります。Pm.ICR レジスタの設定を変更する場合は、端子を High に固定した状態で行うか、当該端子に割り当てられている周辺モジュールの設定で、入力機能を無効にした状態で行ってください。

Pm.ICR レジスタの設定で入力を有効にした場合、複数の入力機能が割り当てられている端子では、そのすべての入力機能に端子状態が反映されます。未使用の入力機能は各周辺モジュール側の設定に注意してください。

端子を出力端子として使用する場合、Pm.ICR レジスタの設定で入力を有効にすると出力データが端子状態として取り込まれます。出力として使用する端子は、Pm.ICR レジスタの設定で入力を無効にしてください。

14.7.2 ポートファンクションコントロールレジスタ (PFCRm) の設定

PFCRm レジスタは、I/O ポートの制御を行います。各端子の入出力の設定は、入出力先を選択後に入出力を有効にしてください。

入力端子を変更する場合、変更前の端子レベルと変更後の端子レベルが異なると内部にエッジが発生し、意図しない動作をすることがあります。入力端子を変更する場合は、以下の手順で行ってください。

- (1) 変更しようとする端子機能に該当する周辺モジュールの設定で、入力機能を無効にする。
- (2) PFCRm レジスタの設定によって、入力端子を選択する。
- (3) 変更しようとする端子機能に該当する周辺モジュールの設定で、入力機能を有効にする。

1 つの端子機能に対して、入出力先を変更する端子選択ビット、および端子機能を有効にする許可ビットの両方が存在する場合、端子選択ビットで端子の入出力先を設定した後に、許可ビットで端子機能を有効にしてください。

14.7.3 A/D コンバータ入力を使用する場合のポートの設定

ポート 4 およびポート 9 の端子の中で 1 端子でも A/D コンバータ入力として使用する場合、A/D コンバータ入力として使用しないポート 4 およびポート 9 の端子は、P4.DDR.Bj = 0、P9.DDR.Bj = 0 とし、入力端子または割り込み入力として使用してください。

15. 16ビットタイマパルスユニット (TPU)

RX610グループは、6チャンネルの16ビットタイマで構成される16ビットタイマパルスユニット (TPU) を2ユニット (ユニット0、ユニット1)、合計12チャンネル (TPU0～TPU11) 内蔵しています。

15.1 概要

表15.1にTPUの仕様を、表15.2にTPU (ユニット0) の機能一覧を、表15.3にTPU (ユニット1) の機能一覧を示します。

図15.1にTPU (ユニット0) のブロック図を、図15.2にTPU (ユニット1) のブロック図を示します。

表15.1 TPUの仕様

項目	内容
パルス入出力	最大16本
カウントクロック	各チャンネルに7種類または8種類
設定可能動作	<ul style="list-style-type: none"> • コンペアマッチによる波形出力 • インพุットキャプチャ機能 • カウンタクリア動作 • 複数のタイマカウンタ (TCNT) への同時書き込み • コンペアマッチ/インพุットキャプチャによる同時クリア • カウンタの同期動作による各レジスタの同期入出力 • 同期動作と組み合わせることによる最大15相のPWM出力 • カスケード接続動作
チャンネル0、3	バッファ動作を設定可能
チャンネル1、2、4、5	個々に位相計数モードを設定可能
割り込み要因	26種類
バッファ動作	レジスタデータの自動転送
トリガ生成	プログラマブルパルスジェネレータ (PPG) の出力トリガを生成可能 A/Dコンバータの変換開始トリガを生成可能
消費電力低減機能	ユニットごとにモジュールストップ状態の設定が可能

表 15.2 TPU (ユニット0) の機能一覧 (1/2)

項目	TPU0	TPU1	TPU2	TPU3	TPU4	TPU5
カウントクロック	PCLK/1 PCLK/4 PCLK/16 PCLK/64 TCLKA TCLKB TCLKC TCLKD	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 TCLKA TCLKB	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 TCLKA TCLKB TCLKC	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 PCLK/4096 TCLKA	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 TCLKA TCLKC	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 TCLKA TCLKC TCLKD
タイマジェネラルレジスタ (TGRy) (y=A~D)	TGRA TGRB TGRC (注1) TGRD (注1)	TGRA TGRB	TGRA TGRB	TGRA TGRB TGRC (注1) TGRD (注1)	TGRA TGRB	TGRA TGRB
入出力端子	TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2	TIOCA3 TIOCB3 TIOCC3 TIOCD3	TIOCA4 TIOCB4	TIOCA5 TIOCB5
カウンタクリア機能	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ
コンペア マッチ 出力	Low出力	○	○	○	○	○
	High出力	○	○	○	○	○
	トグル出力	○	○	○	○	○
インプットキャプチャ機能	○	○	○	○	○	○
同期動作	○	○	○	○	○	○
PWMモード	○	○	○	○	○	○
位相計数モード	—	○	○	—	○	○
バッファ動作	○	—	—	○	—	—
DTCの起動	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ

○：可能

—：不可能

注1. TGRCレジスタとTGRDレジスタは、バッファレジスタとして設定できます。

表 15.2 TPU (ユニット0) の機能一覧 (2 / 2)

項目	TPU0	TPU1	TPU2	TPU3	TPU4	TPU5
DMACの起動	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ
A/D変換開始トリガ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ
	TGRA~ TGRDの コンペアマッチ または インプット キャプチャ	—	—	—	—	—
PPGトリガ	TGRA, TGRBの コンペアマッチ または インプット キャプチャ	TGRA, TGRBの コンペアマッチ または インプット キャプチャ	TGRA, TGRBの コンペアマッチ または インプット キャプチャ	TGRA, TGRBの コンペアマッチ または インプット キャプチャ	—	—
割り込み要因	5要因 ・コンペアマッチ /インプット キャプチャ 0A ・コンペアマッチ /インプット キャプチャ 0B ・コンペアマッチ /インプット キャプチャ 0C ・コンペアマッチ /インプット キャプチャ 0D ・オーバフロー	4要因 ・コンペアマッチ /インプット キャプチャ 1A ・コンペアマッチ /インプット キャプチャ 1B ・オーバフロー ・アンダフロー	4要因 ・コンペアマッチ /インプット キャプチャ 2A ・コンペアマッチ /インプット キャプチャ 2B ・オーバフロー ・アンダフロー	5要因 ・コンペア マッチ /インプット キャプチャ 3A ・コンペア マッチ /インプット キャプチャ 3B ・コンペア マッチ /インプット キャプチャ 3C ・コンペア マッチ /インプット キャプチャ 3D ・オーバフロー	4要因 ・コンペアマッチ /インプット キャプチャ 4A ・コンペアマッチ /インプット キャプチャ 4B ・オーバフロー ・アンダフロー	4要因 ・コンペアマッチ /インプット キャプチャ 5A ・コンペアマッチ /インプット キャプチャ 5B ・オーバフロー ・アンダフロー
モジュールストップの設定 (注2)	MSTPCRA.MSTPA13ビット					

注2. 詳細は「8. 消費電力低減機能」を参照してください。

表 15.3 TPU (ユニット1) の機能一覧 (1 / 2)

項目	TPU6	TPU7	TPU8	TPU9	TPU10	TPU11
カウントクロック	PCLK/1 PCLK/4 PCLK/16 PCLK/64 TCLKE TCLKF TCLKG TCLKH	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 TCLKE TCLKF	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 TCLKE TCLKF TCLKG	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 PCLK/1024 PCLK/4096 TCLKE	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/1024 TCLKE TCLKG	PCLK/1 PCLK/4 PCLK/16 PCLK/64 PCLK/256 TCLKE TCLKG TCLKH
タイマジェネラルレジスタ (TGRy) (y=A~D)	TGRA TGRB TGRC (注1) TGRD (注1)	TGRA TGRB	TGRA TGRB	TGRA TGRB TGRC (注1) TGRD (注1)	TGRA TGRB	TGRA TGRB
入出力端子	TIOCA6 TIOCB6 TIOCC6 TIOCD6	TIOCA7 TIOCB7	TIOCA8 TIOCB8	TIOCA9 TIOCB9 TIOCC9 TIOCD9	TIOCA10 TIOCB10	TIOCA11 TIOCB11
カウンタクリア機能	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ
コンペア マッチ 出力	Low出力	○	○	○	○	○
	High出力	○	○	○	○	○
	トグル出力	○	○	○	○	○
インプットキャプチャ 機能	○	○	○	○	○	○
同期動作	○	○	○	○	○	○
PWMモード	○	○	○	○	○	○
位相計数モード	—	○	○	—	○	○
バッファ動作	○	—	—	○	—	—
DTCの起動	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ	TGRyの コンペアマッチ または インプット キャプチャ

○ : 可能

— : 不可能

注1. TGRCレジスタとTGRDレジスタは、バッファレジスタとして設定できます。

表 15.3 TPU (ユニット1) の機能一覧 (2 / 2)

項目	TPU6	TPU7	TPU8	TPU9	TPU10	TPU11
DMACの起動	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ
A/D変換開始トリガ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ	TGRAの コンペアマッチ または インプット キャプチャ
PPGトリガ	TGRA、TGRBの コンペアマッチ	TGRA、TGRBの コンペアマッチ	TGRA、TGRBの コンペアマッチ	TGRA、TGRBの コンペアマッチ	—	—
割り込み要因	5要因 ・コンペアマッチ /インプット キャプチャ 6A ・コンペアマッチ /インプット キャプチャ 6B ・コンペアマッチ /インプット キャプチャ 6C ・コンペアマッチ /インプット キャプチャ 6D ・オーバフロー	4要因 ・コンペアマッチ /インプット キャプチャ 7A ・コンペアマッチ /インプット キャプチャ 7B ・オーバフロー ・アンダフロー	4要因 ・コンペアマッチ /インプット キャプチャ 8A ・コンペアマッチ /インプット キャプチャ 8B ・オーバフロー ・アンダフロー	5要因 ・コンペアマッチ /インプット キャプチャ 9A ・コンペアマッチ /インプット キャプチャ 9B ・コンペアマッチ /インプット キャプチャ 9C ・コンペアマッチ /インプット キャプチャ 9D ・オーバフロー	4要因 ・コンペアマッチ /インプット キャプチャ 10A ・コンペアマッチ /インプット キャプチャ 10B ・オーバフロー ・アンダフロー	4要因 ・コンペアマッ チ /インプット キャプチャ 11A ・コンペアマッ チ /インプット キャプチャ 11B ・オーバフロー ・アンダフロー
モジュールストップの設定 (注2)	MSTPCRA.MSTPA12ビット					

注2. 詳細は「8. 消費電力低減機能」を参照してください。

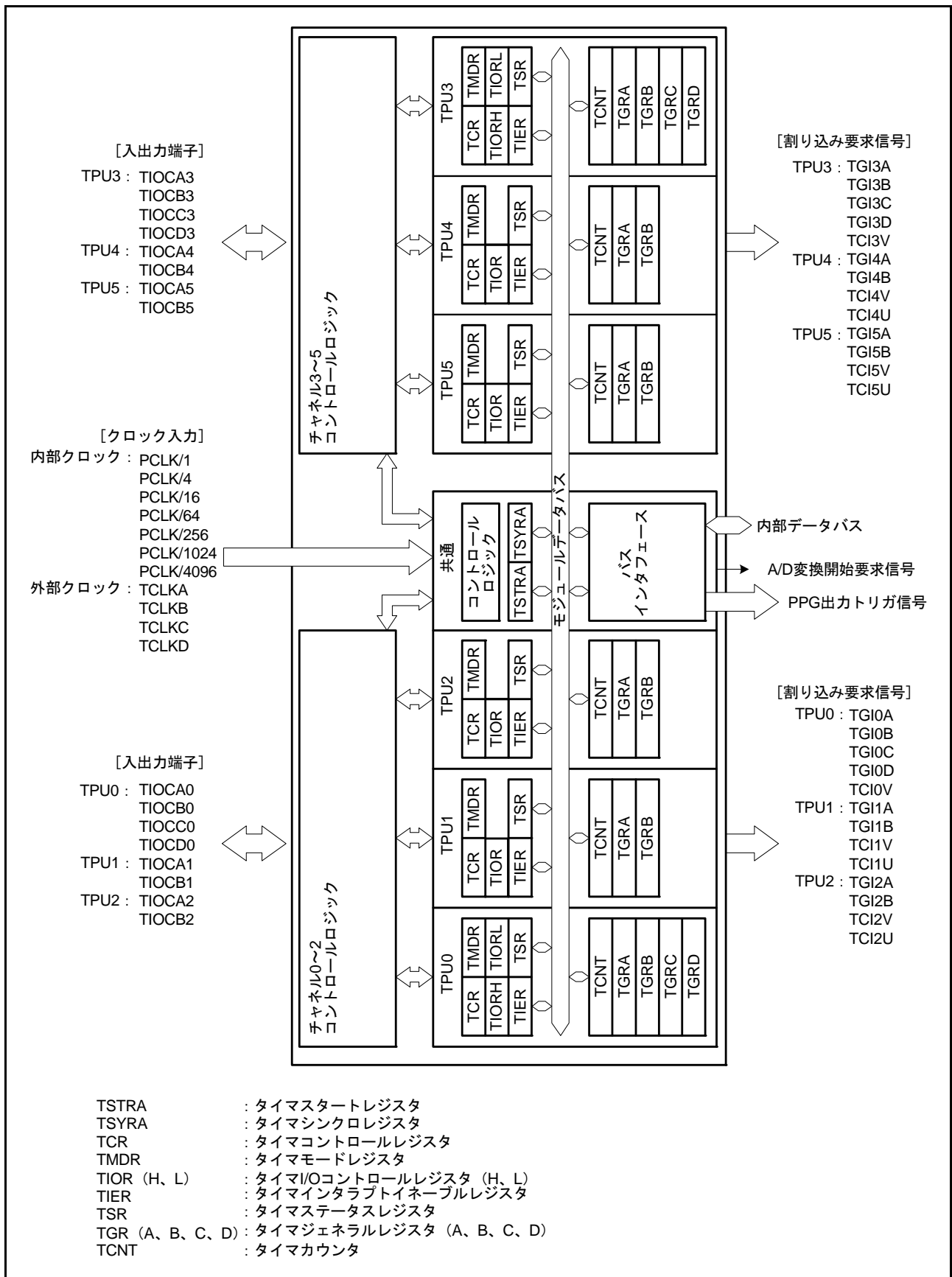


図 15.1 TPU (ユニット0) のブロック図

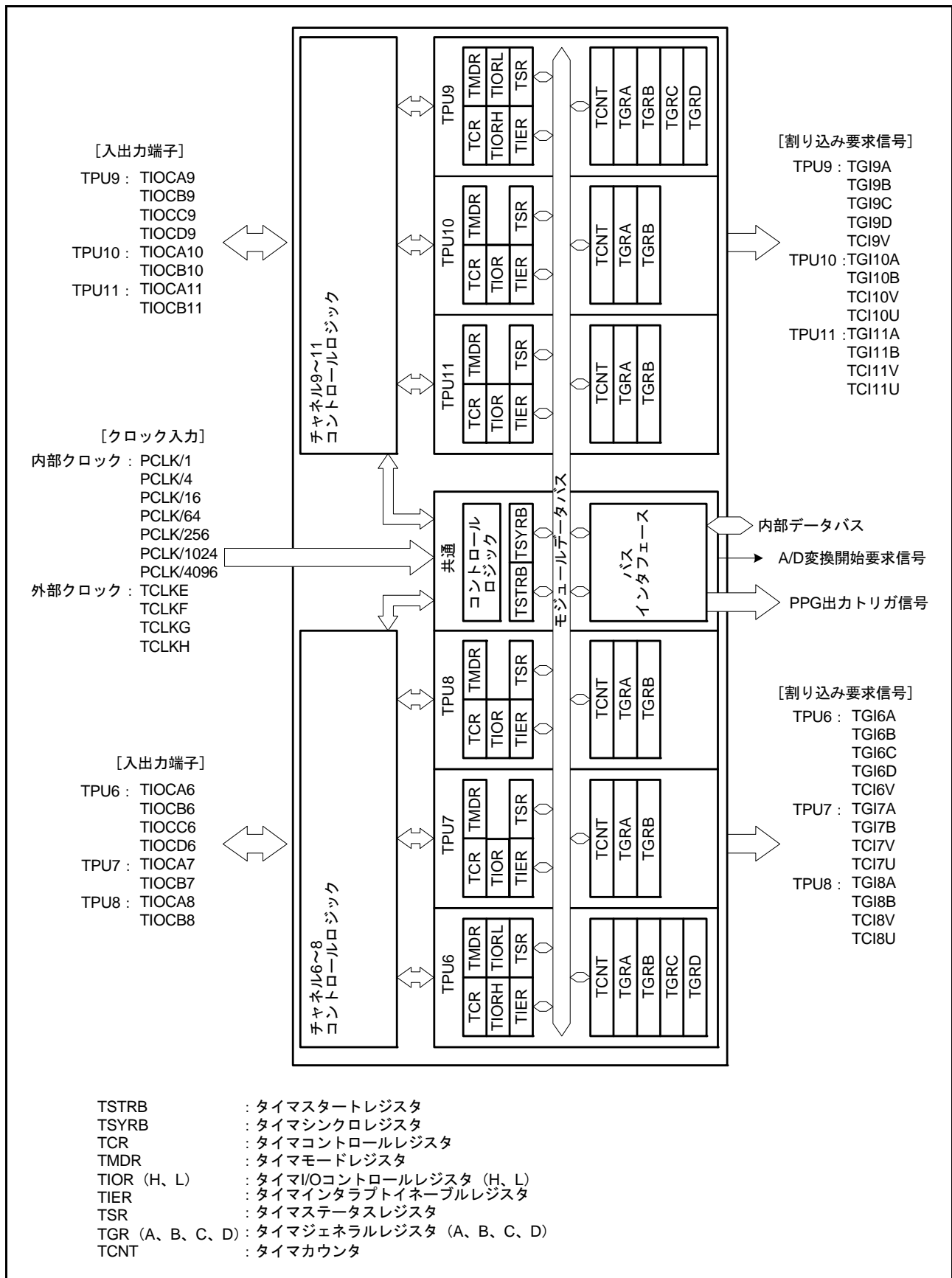


図 15.2 TPU (ユニット1) のブロック図

表 15.4 に TPU で使用する入出力端子を示します。

表 15.4 TPUの入出力端子

ユニット	チャンネル	端子名	入出力	機 能
ユニット0	共通	TCLKA	入力	外部クロックA入力端子 (TPU1、TPU5の位相計数モードA相入力)
		TCLKB	入力	外部クロックB入力端子 (TPU1、TPU5の位相計数モードB相入力)
		TCLKC	入力	外部クロックC入力端子 (TPU2、TPU4の位相計数モードA相入力)
		TCLKD	入力	外部クロックD入力端子 (TPU2、TPU4の位相計数モードB相入力)
	TPU0	TIOCA0	入出力	TPU0.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCB0	入出力	TPU0.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCC0	入出力	TPU0.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCD0	入出力	TPU0.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TPU1	TIOCA1	入出力	TPU1.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCB1	入出力	TPU1.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TPU2	TIOCA2	入出力	TPU2.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCB2	入出力	TPU2.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TPU3	TIOCA3	入出力	TPU3.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCB3	入出力	TPU3.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCC3	入出力	TPU3.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCD3	入出力	TPU3.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TPU4	TIOCA4	入出力	TPU4.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCB4	入出力	TPU4.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TPU5	TIOCA5	入出力	TPU5.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCB5	入出力	TPU5.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
ユニット1	共通	TCLKE	入力	外部クロックE入力端子 (TPU7、TPU11の位相計数モードA相入力)
		TCLKF	入力	外部クロックF入力端子 (TPU7、TPU11の位相計数モードB相入力)
		TCLKG	入力	外部クロックG入力端子 (TPU8、TPU10の位相計数モードA相入力)
		TCLKH	入力	外部クロックH入力端子 (TPU8、TPU10の位相計数モードB相入力)
	TPU6	TIOCA6	入出力	TPU6.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCB6	入出力	TPU6.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCC6	入出力	TPU6.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCD6	入出力	TPU6.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TPU7	TIOCA7	入出力	TPU7.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCB7	入出力	TPU7.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TPU8	TIOCA8	入出力	TPU8.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCB8	入出力	TPU8.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TPU9	TIOCA9	入出力	TPU9.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCB9	入出力	TPU9.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCC9	入出力	TPU9.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCD9	入出力	TPU9.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TPU10	TIOCA10	入出力	TPU10.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCB10	入出力	TPU10.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TPU11	TIOCA11	入出力	TPU11.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
		TIOCB11	入出力	TPU11.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子

15.2 レジスタの説明

表 15.5 に TPU のレジスタ一覧を示します。

表 15.5 TPUのレジスタ一覧 (1 / 3)

ユニット	チャンネル	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
ユニット0	TPU0	タイマコントロールレジスタ	TCR	00h	0008 8110h	8
		タイマモードレジスタ	TMDR	00h	0008 8111h	8
		タイマI/OコントロールレジスタH	TIORH	00h	0008 8112h	8
		タイマI/OコントロールレジスタL	TIORL	00h	0008 8113h	8
		タイマインタラプトイネーブルレジスタ	TIER	40h	0008 8114h	8
		タイマステータスレジスタ	TSR	xxh	0008 8115h	8
		タイマカウンタ	TCNT	0000h	0008 8116h	16
		タイマジェネラルレジスタA	TGRA	FFFFh	0008 8118h	16
		タイマジェネラルレジスタB	TGRB	FFFFh	0008 811Ah	16
		タイマジェネラルレジスタC	TGRC	FFFFh	0008 811Ch	16
		タイマジェネラルレジスタD	TGRD	FFFFh	0008 811Eh	16
	TPU1	タイマコントロールレジスタ	TCR	00h	0008 8120h	8
		タイマモードレジスタ	TMDR	00h	0008 8121h	8
		タイマI/Oコントロールレジスタ	TIOR	00h	0008 8122h	8
		タイマインタラプトイネーブルレジスタ	TIER	40h	0008 8124h	8
		タイマステータスレジスタ	TSR	xxh	0008 8125h	8
		タイマカウンタ	TCNT	0000h	0008 8126h	16
		タイマジェネラルレジスタA	TGRA	FFFFh	0008 8128h	16
		タイマジェネラルレジスタB	TGRB	FFFFh	0008 812Ah	16
	TPU2	タイマコントロールレジスタ	TCR	00h	0008 8130h	8
		タイマモードレジスタ	TMDR	00h	0008 8131h	8
		タイマI/Oコントロールレジスタ	TIOR	00h	0008 8132h	8
		タイマインタラプトイネーブルレジスタ	TIER	40h	0008 8134h	8
		タイマステータスレジスタ	TSR	xxh	0008 8135h	8
		タイマカウンタ	TCNT	0000h	0008 8136h	16
		タイマジェネラルレジスタA	TGRA	FFFFh	0008 8138h	16
		タイマジェネラルレジスタB	TGRB	FFFFh	0008 813Ah	16
	TPU3	タイマコントロールレジスタ	TCR	00h	0008 8140h	8
		タイマモードレジスタ	TMDR	00h	0008 8141h	8
		タイマI/OコントロールレジスタH	TIORH	00h	0008 8142h	8
		タイマI/OコントロールレジスタL	TIORL	00h	0008 8143h	8
		タイマインタラプトイネーブルレジスタ	TIER	40h	0008 8144h	8
		タイマステータスレジスタ	TSR	xxh	0008 8145h	8
		タイマカウンタ	TCNT	0000h	0008 8146h	16
		タイマジェネラルレジスタA	TGRA	FFFFh	0008 8148h	16
		タイマジェネラルレジスタB	TGRB	FFFFh	0008 814Ah	16
タイマジェネラルレジスタC		TGRC	FFFFh	0008 814Ch	16	
タイマジェネラルレジスタD		TGRD	FFFFh	0008 814Eh	16	

表 15.5 TPUのレジスタ一覧 (2 / 3)

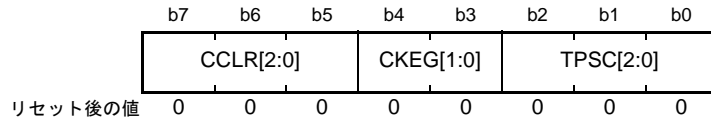
ユニット	チャネル	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ	
ユニット0	TPU4	タイマコントロールレジスタ	TCR	00h	0008 8150h	8	
		タイマモードレジスタ	TMDR	00h	0008 8151h	8	
		タイマI/Oコントロールレジスタ	TIOR	00h	0008 8152h	8	
		タイマインタラプトイネーブルレジスタ	TIER	40h	0008 8154h	8	
		タイマステータスレジスタ	TSR	xxh	0008 8155h	8	
		タイマカウンタ	TCNT	0000h	0008 8156h	16	
		タイマジェネラルレジスタA	TGRA	FFFFh	0008 8158h	16	
		タイマジェネラルレジスタB	TGRB	FFFFh	0008 815Ah	16	
	TPU5	タイマコントロールレジスタ	TCR	00h	0008 8160h	8	
		タイマモードレジスタ	TMDR	00h	0008 8161h	8	
		タイマI/Oコントロールレジスタ	TIOR	00h	0008 8162h	8	
		タイマインタラプトイネーブルレジスタ	TIER	40h	0008 8164h	8	
		タイマステータスレジスタ	TSR	xxh	0008 8165h	8	
		タイマカウンタ	TCNT	0000h	0008 8166h	16	
		タイマジェネラルレジスタA	TGRA	FFFFh	0008 8168h	16	
		タイマジェネラルレジスタB	TGRB	FFFFh	0008 816Ah	16	
	共通	タイマスタートレジスタ	TSTRA	00h	0008 8100h	8	
		タイマシンクロレジスタ	TSYRA	00h	0008 8101h	8	
	ユニット1	TPU6	タイマコントロールレジスタ	TCR	00h	0008 8180h	8
			タイマモードレジスタ	TMDR	00h	0008 8181h	8
タイマI/OコントロールレジスタH			TIORH	00h	0008 8182h	8	
タイマI/OコントロールレジスタL			TIORL	00h	0008 8183h	8	
タイマインタラプトイネーブルレジスタ			TIER	40h	0008 8184h	8	
タイマステータスレジスタ			TSR	xxh	0008 8185h	8	
タイマカウンタ			TCNT	0000h	0008 8186h	16	
タイマジェネラルレジスタA			TGRA	FFFFh	0008 8188h	16	
タイマジェネラルレジスタB			TGRB	FFFFh	0008 818Ah	16	
タイマジェネラルレジスタC			TGRC	FFFFh	0008 818Ch	16	
タイマジェネラルレジスタD			TGRD	FFFFh	0008 818Eh	16	
TPU7			タイマコントロールレジスタ	TCR	00h	0008 8190h	8
		タイマモードレジスタ	TMDR	00h	0008 8191h	8	
		タイマI/Oコントロールレジスタ	TIOR	00h	0008 8192h	8	
		タイマインタラプトイネーブルレジスタ	TIER	40h	0008 8194h	8	
		タイマステータスレジスタ	TSR	xxh	0008 8195h	8	
		タイマカウンタ	TCNT	0000h	0008 8196h	16	
		タイマジェネラルレジスタA	TGRA	FFFFh	0008 8198h	16	
		タイマジェネラルレジスタB	TGRB	FFFFh	0008 819Ah	16	

表 15.5 TPUのレジスタ一覧 (3 / 3)

ユニット	チャネル	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
ユニット1	TPU8	タイマコントロールレジスタ	TCR	00h	0008 81A0h	8
		タイマモードレジスタ	TMDR	00h	0008 81A1h	8
		タイマI/Oコントロールレジスタ	TIOR	00h	0008 81A2h	8
		タイマインタラプトイネーブルレジスタ	TIER	40h	0008 81A4h	8
		タイマステータスレジスタ	TSR	xxh	0008 81A5h	8
		タイマカウンタ	TCNT	0000h	0008 81A6h	16
		タイマジェネラルレジスタA	TGRA	FFFFh	0008 81A8h	16
		タイマジェネラルレジスタB	TGRB	FFFFh	0008 81AAh	16
	TPU9	タイマコントロールレジスタ	TCR	00h	0008 81B0h	8
		タイマモードレジスタ	TMDR	00h	0008 81B1h	8
		タイマI/OコントロールレジスタH	TIORH	00h	0008 81B2h	8
		タイマI/OコントロールレジスタL	TIORL	00h	0008 81B3h	8
		タイマインタラプトイネーブルレジスタ	TIER	40h	0008 81B4h	8
		タイマステータスレジスタ	TSR	xxh	0008 81B5h	8
		タイマカウンタ	TCNT	0000h	0008 81B6h	16
		タイマジェネラルレジスタA	TGRA	FFFFh	0008 81B8h	16
		タイマジェネラルレジスタB	TGRB	FFFFh	0008 81BAh	16
		タイマジェネラルレジスタC	TGRC	FFFFh	0008 81BCh	16
		タイマジェネラルレジスタD	TGRD	FFFFh	0008 81BEh	16
		TPU10	タイマコントロールレジスタ	TCR	00h	0008 81C0h
	タイマモードレジスタ		TMDR	00h	0008 81C1h	8
	タイマI/Oコントロールレジスタ		TIOR	00h	0008 81C2h	8
	タイマインタラプトイネーブルレジスタ		TIER	40h	0008 81C4h	8
	タイマステータスレジスタ		TSR	xxh	0008 81C5h	8
	タイマカウンタ		TCNT	0000h	0008 81C6h	16
	タイマジェネラルレジスタA		TGRA	FFFFh	0008 81C8h	16
	タイマジェネラルレジスタB		TGRB	FFFFh	0008 81CAh	16
	TPU11	タイマコントロールレジスタ	TCR	00h	0008 81D0h	8
		タイマモードレジスタ	TMDR	00h	0008 81D1h	8
		タイマI/Oコントロールレジスタ	TIOR	00h	0008 81D2h	8
		タイマインタラプトイネーブルレジスタ	TIER	40h	0008 81D4h	8
		タイマステータスレジスタ	TSR	xxh	0008 81D5h	8
		タイマカウンタ	TCNT	0000h	0008 81D6h	16
タイマジェネラルレジスタA		TGRA	FFFFh	0008 81D8h	16	
タイマジェネラルレジスタB		TGRB	FFFFh	0008 81DAh	16	
共通	タイマスタートレジスタ	TSTRB	00h	0008 8170h	8	
	タイマシンクロレジスタ	TSYRB	00h	0008 8171h	8	

15.2.1 タイマコントロールレジスタ (TCR)

アドレス TPU0.TCR 0008 8110h、TPU1.TCR 0008 8120h、TPU2.TCR 0008 8130h
 TPU3.TCR 0008 8140h、TPU4.TCR 0008 8150h、TPU5.TCR 0008 8160h
 TPU6.TCR 0008 8180h、TPU7.TCR 0008 8190h、TPU8.TCR 0008 81CAh
 TPU9.TCR 0008 81B0h、TPU10.TCR 0008 81C0h、TPU11.TCR 0008 81D0h



ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC[2:0]	タイマプリスケラ選択ビット	表 15.6～表 15.11を参照してください	R/W
b4-b3	CKEG[1:0]	入力クロックエッジ選択ビット	表 15.2を参照してください	R/W
b7-b5	CCLR[2:0] (注1)	カウンタクリア要因選択ビット	表 15.13、表 15.14を参照してください	R/W

注1. ユニット0のTPU1.TCR、TPU2.TCR、TPU4.TCR、TPU5.TCRレジスタ、ユニット1のTPU7.TCR、TPU8.TCR、TPU10.TCR、TPU11.TCRレジスタのb7は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TPUには、各チャンネルに1本、計12本のTCRレジスタがあります。

TPUm.TCRレジスタは、各チャンネルのTPUm.TCNTカウンタを制御するレジスタです。

TPUm.TCRレジスタの設定は、TPUm.TCNTカウンタの動作が停止した状態で行ってください。

TPSC[2:0] ビット (タイマプリスケラ選択ビット)

TCNTカウンタのクロックを選択します。各チャンネル個々にクロックソースを選択することができます。クロックソースに外部クロックを選択する場合は、該当する端子のデータディレクションレジスタ (DDR) のビットを“0” (入力ポート) に、入力バッファコントロールレジスタ (ICR) のビットを“1” (対応する端子の入力バッファは有効) にしてください。詳細は、「14. I/Oポート」を参照してください。

CKEG[1:0] ビット (入力クロックエッジ選択ビット)

入力クロックのエッジを選択します。

内部クロックを両エッジでカウントすると、入力クロックの周期が1/2になります (例: PCLK/4の両エッジ=PCLK/2の立ち上がりエッジ)。

内部クロックのエッジ選択は、入力クロックがPCLK/4、もしくはそれより遅い場合に有効です。入力クロックにPCLK/1、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合、この設定は無視されます。

CCLR[2:0] ビット (カウンタクリア要因選択ビット)

TCNTカウンタのクリア要因を選択します。

表 15.6 TPSC[2:0]ビット (TPU0、TPU6)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU0 (ユニット0) TPU6 (ユニット1)	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック : TCLKAまたはTCLKE 端子入力でカウント
	1	0	1	外部クロック : TCLKBまたはTCLKF 端子入力でカウント
	1	1	0	外部クロック : TCLKCまたはTCLKG 端子入力でカウント
	1	1	1	外部クロック : TCLKDまたはTCLKH 端子入力でカウント

表 15.7 TPSC[2:0]ビット (TPU1、TPU7)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU1 (ユニット0) TPU7 (ユニット1)	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック : TCLKAまたはTCLKE 端子入力でカウント
	1	0	1	外部クロック : TCLKBまたはTCLKF 端子入力でカウント
	1	1	0	内部クロック : PCLK/256でカウント
	1	1	1	<ul style="list-style-type: none"> • TPU1 (ユニット0) TPU2.TCNTカウンタのオーバフロー/アンダフローでカウント • TPU7 (ユニット1) TPU8.TCNTカウンタのオーバフロー/アンダフローでカウント

注1. TPU1、TPU7が位相計数モード時、この設定は無効になります。

表 15.8 TPSC[2:0]ビット (TPU2、TPU8)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU2 (ユニット0) TPU8 (ユニット1)	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック : TCLKAまたはTCLKE 端子入力でカウント
	1	0	1	外部クロック : TCLKBまたはTCLKF 端子入力でカウント
	1	1	0	外部クロック : TCLKCまたはTCLKG 端子入力でカウント
	1	1	1	内部クロック : PCLK/1024でカウント

注1. TPU2、TPU8が位相計数モード時、この設定は無効になります。

表 15.9 TPSC[2:0]ビット (TPU3、TPU9)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU3 (ユニット0) TPU9 (ユニット1)	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック : TCLKAまたはTCLKE端子入力でカウント
	1	0	1	内部クロック : PCLK/1024でカウント
	1	1	0	内部クロック : PCLK/256でカウント
	1	1	1	内部クロック : PCLK/4096でカウント

表 15.10 TPSC[2:0]ビット (TPU4、TPU10)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU4 (ユニット0) TPU10 (ユニット1)	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック : TCLKAまたはTCLKE端子入力でカウント
	1	0	1	外部クロック : TCLKCまたはTCLKG端子入力でカウント
	1	1	0	内部クロック : PCLK/1024でカウント
	1	1	1	<ul style="list-style-type: none"> TPU4 (ユニット0) TPU5.TCNTカウンタのオーバフロー/アンダフローでカウント TPU10 (ユニット1) TPU11.TCNTカウンタのオーバフロー/アンダフローでカウント

注1. TPU4、TPU10が位相計数モード時、この設定は無効になります。

表 15.11 TPSC[2:0]ビット (TPU5、TPU11)

チャンネル	TPSC[2:0]ビット			機能
	b2	b1	b0	
TPU5 (ユニット0) TPU11 (ユニット1)	0	0	0	内部クロック : PCLK/1でカウント
	0	0	1	内部クロック : PCLK/4でカウント
	0	1	0	内部クロック : PCLK/16でカウント
	0	1	1	内部クロック : PCLK/64でカウント
	1	0	0	外部クロック : TCLKAまたはTCLKE端子入力でカウント
	1	0	1	外部クロック : TCLKCまたはTCLKG端子入力でカウント
	1	1	0	内部クロック : PCLK/256でカウント
	1	1	1	外部クロック : TCLKD端子入力でカウント

注1. TPU5、TPU11が位相計数モード時、この設定は無効になります。

表 15.12 CKEG[1:0]ビット

CKEG[1:0]ビット		入カクロック	
b4	b3	内部クロック	外部クロック
0	0	立ち下がりエッジでカウント	立ち上がりエッジでカウント
0	1	立ち上がりエッジでカウント	立ち下がりエッジでカウント
1	0	両エッジでカウント	両エッジでカウント
1	1	両エッジでカウント	両エッジでカウント

表 15.13 CCLR[2:0]ビット (TPU0、TPU3、TPU6、TPU9)

チャンネル	CCLR[2:0]ビット			機能
	b7	b6	b5	
(ユニット0) TPU0、TPU3	0	0	0	TCNTカウンタのクリア禁止
	0	0	1	TGRAレジスタのコンペアマッチ/インプットキャプチャでTCNTカウンタクリア
(ユニット1) TPU6、TPU9	0	1	0	TGRBレジスタのコンペアマッチ/インプットキャプチャでTCNTカウンタクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTカウンタをクリア (注2)
	1	0	0	TCNTカウンタのクリア禁止
	1	0	1	TGRCレジスタのコンペアマッチ/インプットキャプチャでTCNTカウンタクリア (注1)
	1	1	0	TGRDレジスタのコンペアマッチ/インプットキャプチャでTCNTカウンタクリア (注1)
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTカウンタをクリア (注2)

注1. TGRC、またはTGRDレジスタをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTカウンタはクリアされません。

注2. 同期動作の設定はTSYRm.SYNCjビット (m=A, B, j=0, 3) ビットを“1”にすることによって行います。

表 15.14 CCLR[2:0]ビット (TPU1、TPU2、TPU4、TPU5、TPU7、TPU8、TPU10、TPU11)

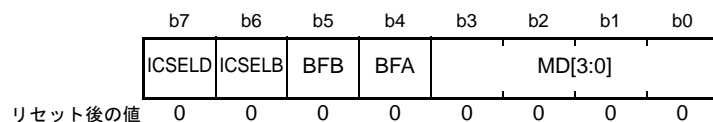
チャンネル	CCLR[2:0]ビット (注1)			機能
	b7	b6	b5	
(ユニット0) TPU1、TPU2	0	0	0	TCNTカウンタのクリア禁止
TPU4、TPU5	0	0	1	TGRAレジスタのコンペアマッチ/インプットキャプチャでTCNTカウンタクリア
(ユニット1) TPU7、TPU8	0	1	0	TGRBレジスタのコンペアマッチ/インプットキャプチャでTCNTカウンタクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTカウンタをクリア (注2)
TPU10、 TPU11	1	0	0	設定しないでください
	1	0	1	設定しないでください
	1	1	0	設定しないでください
	1	1	1	設定しないでください

注1. ユニット0のTPU1.TCR、TPU2.TCR、TPU4.TCR、TPU5.TCRレジスタ、ユニット1のTPU7.TCR、TPU8.TCR、TPU10.TCR、TPU11.TCRレジスタのb7は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注2. 同期動作の設定は、TSYRm.SYNCjビット (m=A, B, j=1, 2, 4, 5) ビットを“1”にすることによって行います。

15.2.2 タイマモードレジスタ (TMDR)

アドレス TPU0.TMDR 0008 8111h、TPU1.TMDR 0008 8121h、TPU2.TMDR 0008 8131h
 TPU3.TMDR 0008 8141h、TPU4.TMDR 0008 8151h、TPU5.TMDR 0008 8161h
 TPU6.TMDR 0008 8181h、TPU7.TMDR 0008 8191h、TPU8.TMDR 0008 81A1h
 TPU9.TMDR 0008 81B1h、TPU10.TMDR 0008 81C1h、TPU11.TMDR 0008 81D1h



ビット	シンボル	ビット名	機能	R/W
b3-b0	MD[3:0]	モード選択ビット	b3 (注1) b0 0 0 0 0 : 通常動作 0 0 0 1 : 設定しないでください 0 0 1 0 : PWMモード1 0 0 1 1 : PWMモード2 0 1 0 0 : 位相計数モード1 (注2) 0 1 0 1 : 位相計数モード2 (注2) 0 1 1 0 : 位相計数モード3 (注2) 0 1 1 1 : 位相計数モード4 (注2) 上記以外は設定しないでください	R/W
b4	BFA (注3)	バッファ動作Aビット	0 : TPUm.TGRAレジスタは通常動作 1 : TPUm.TGRAレジスタとTPUm.TGRCレジスタはバッファ動作 (m=0, 3, 6, 9)	R/W
b5	BFB (注4)	バッファ動作Bビット	0 : TPUm.TGRBレジスタは通常動作 1 : TPUm.TGRBレジスタとTPUm.TGRDレジスタはバッファ動作 (m=0, 3, 6, 9)	R/W
b6	ICSELB	TGRBインプットキャプチャ入力選択ビット	0 : インプットキャプチャ入力元はTIOCBn端子 1 : インプットキャプチャ入力元はTIOCAn端子 (n=0~11)	R/W
b7	ICSELD (注4)	TGRDインプットキャプチャ入力選択ビット	0 : インプットキャプチャ入力元はTIOCDn端子 1 : インプットキャプチャ入力元はTIOCCn端子 (n=0, 3, 6, 9)	R/W

- 注1. b3は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。
 注2. TPU0、TPU3 (ユニット0)、TPU6、TPU9 (ユニット1) では、位相計数モードの設定はできません。b2は“0”にしてください。
 注3. TGRCレジスタを持たないTPU1、TPU2、TPU4、TPU5 (ユニット0)、TPU7、TPU8、TPU10、TPU11 (ユニット1) では、b4は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。
 注4. TGRDレジスタを持たないTPU1、TPU2、TPU4、TPU5 (ユニット0)、TPU7、TPU8、TPU10、TPU11 (ユニット1) では、b5、b7は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TPUには、各チャンネルに1本、計12本のTMDRレジスタがあります。

TPUm.TMDRレジスタは、各チャンネルの動作モードの設定を行うレジスタです。

TPUm.TMDRレジスタの設定は、TPUm.TCNTカウンタの動作が停止した状態で行ってください。

MD[3:0] ビット (モード選択ビット)

タイマの動作モードを設定します。

BFA ビット (バッファ動作 A ビット)

TPUm.TGRA レジスタ (m=0, 3, 6, 9) を通常動作させるか、TPUm.TGRA レジスタと TPUm.TGRC レジスタ (m=0, 3, 6, 9) を組み合わせてバッファ動作させるかを選択します。

TGRC レジスタをバッファレジスタとして使用した場合は、TGRC レジスタのインプットキャプチャ/アウトプットコンペアは発生しません。

BFB ビット (バッファ動作 B ビット)

TPUm.TGRB レジスタ (m=0, 3, 6, 9) を通常動作させるか、TPUm.TGRB レジスタと TPUm.TGRD レジスタ (m=0, 3, 6, 9) を組み合わせてバッファ動作させるかを選択します。

TGRD レジスタをバッファレジスタとして使用した場合は、TGRD レジスタのインプットキャプチャ/アウトプットコンペアは発生しません。

ICSELB ビット (TGRB インプットキャプチャ入力選択ビット)

TPUm.TGRB レジスタ (m=0 ~ 11) のインプットキャプチャ入力を選択します。この機能を使用して 1 本の TIOCA_n 入力端子で入力パルスの High 幅と周期を測定できます。

ICSELD (TGRD インプットキャプチャ入力選択ビット)

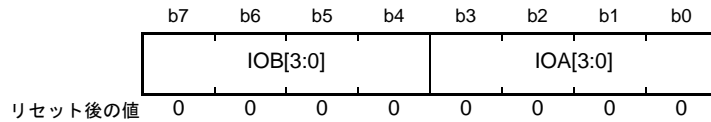
TPUm.TGRD レジスタ (m=0, 3, 6, 9) のインプットキャプチャ入力を選択します。

この機能を使用して 1 本の TIOCC_n 入力端子で入力パルスの High 幅と周期を測定できます。

15.2.3 タイマ I/O コントロールレジスタ (TIORH、TIORL、TIOR)

- ユニット 0 (TPU0.TIORH、TPU1.TIOR、TPU2.TIOR、TPU3.TIORH、TPU4.TIOR、TPU5.TIOR)
ユニット 1 (TPU6.TIORH、TPU7.TIOR、TPU8.TIOR、TPU9.TIORH、TPU10.TIOR、TPU11.TIOR)

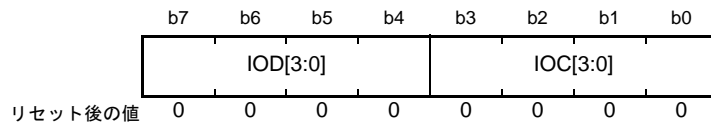
アドレス TPU0.TIORH 0008 8112h、TPU1.TIOR 0008 8122h、TPU2.TIOR 0008 8132h
TPU3.TIORH 0008 8142h、TPU4.TIOR 0008 8152h、TPU5.TIOR 0008 8162h
TPU6.TIORH 0008 8182h、TPU7.TIOR 0008 8192h、TPU8.TIOR 0008 81A2h
TPU9.TIORH 0008 81B2h、TPU10.TIOR 0008 81C2h、TPU11.TIOR 0008 81D2h



ビット	シンボル	ビット名	機能	R/W
b3-b0	IOA[3:0]	TGRAレジスタコントロールビット	表 15.15～表 15.20を参照してください	R/W
b7-b4	IOB[3:0]	TGRBレジスタコントロールビット	表 15.15～表 15.20を参照してください	R/W

- ユニット 0 (TPU0.TIORL、TPU3.TIORL)
ユニット 1 (TPU6.TIORL、TPU9.TIORL)

アドレス TPU0.TIORL 0008 8113h、TPU3.TIORL 0008 8143h
TPU6.TIORL 0008 8183h、TPU9.TIORL 0008 81B3h



ビット	シンボル	ビット名	機能	R/W
b3-b0	IOC[3:0]	TGRCレジスタコントロールビット	表 15.21、表 15.22を参照してください。	R/W
b7-b4	IOD[3:0]	TGRDレジスタコントロールビット	表 15.21、表 15.22を参照してください。	R/W

TPU には、TPU0、TPU3、TPU6、TPU9 に各 1 本、計 4 本の TIORH レジスタ、TPU0、TPU3、TPU6、TPU9 に各 1 本、計 4 本の TIORL レジスタ、TPU1、TPU2、TPU4、TPU5、TPU7、TPU8、TPU10、TPU11 に各 1 本、計 8 本の TIOR レジスタがあります。総計 16 本のタイマ I/O コントロールレジスタがあります。

TIORH、TIORL、TIOR レジスタは、TGRA～TGRD レジスタを制御します。

TIORH、TIORL、TIOR レジスタは、TMDR レジスタの設定の影響を受けますので注意してください。

TIORH、TIORL、TIOR レジスタで指定した初期出力は、カウンタのカウント動作が停止した状態 (TSTRm.CSTj ビット (m=A, B, j=0～5) が“0”) で有効になります。また、PWM モード 2 の場合には、TCNT カウンタが“0”になった時点での出力を指定します。

TGRC レジスタ、あるいは TGRD レジスタをバッファ動作に設定した場合は、この設定は無効となり、バッファレジスタとして動作します。

TIORH、TIORL、TIOR レジスタでインプットキャプチャとしての機能を選択する場合は、該当する端子のデータディレクションレジスタ (DDR) のビットを“0” (入力ポート) に、入力バッファコントロールレジスタ (ICR) のビットを“1” (対応する端子の入力バッファは有効) にしてください。詳細は、「14. I/O ポート」を参照してください。

IOA[3:0] ビット (TGRA レジスタコントロールビット)

TPUm.TGRA レジスタ (m=0 ~ 11) の機能を選択します。

IOB[3:0] ビット (TGRB レジスタコントロールビット)

TPUm.TGRB レジスタ (m=0 ~ 11) の機能を選択します。

IOC[3:0] ビット (TGRC レジスタコントロールビット)

TPUm.TGRC レジスタ (m=0, 3, 6, 9) の機能を選択します。

IOD[3:0] ビット (TGRD レジスタコントロールビット)

TPUm.TGRD レジスタ (m=0, 3, 6, 9) の機能を選択します。

表 15.15 TPU0.TIORH、TPU6.TIORH

IOA[3:0] ビット				説明	
b3	b2	b1	b0	TPUm.TGRA レジスタ (m=0, 6) の機能	TIOCA _n 端子 (n=0, 6) の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA _n 端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCA _n 端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCA _n 端子、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> TPU0の場合 キャプチャ入力元はTPU1のカウンタクロック TPU1.TCNTカウンタのカウンタアップ/カウンタダウンでインプットキャプチャ (注1) TPU6の場合 キャプチャ入力元はTPU7のカウンタクロック TPU7.TCNTカウンタのカウンタアップ/カウンタダウンでインプットキャプチャ (注1)

IOB[3:0] ビット				説明	
b7	b6	b5	b4	TPUm.TGRB レジスタ (m=0, 6) の機能	TIOCB _n 端子 (n=0, 6) の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注2)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注2)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注2)、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> TPU0の場合 キャプチャ入力元はTPU1のカウンタクロック TPU1.TCNTカウンタのカウンタアップ/カウンタダウンでインプットキャプチャ (注1) TPU6の場合 キャプチャ入力元はTPU7のカウンタクロック TPU7.TCNTカウンタのカウンタアップ/カウンタダウンでインプットキャプチャ (注1)

x : Don't care

注1. TPUm.TCR.TPSC[2:0] ビットを“000b”とし、TPUm.TCNTカウンタのカウンタクロックにPCLK/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません (m=1, 7)。

注2. TPUm.TMDR.ICSELB ビットで選択します (m=0, 6)。

表 15.16 TPU1.TIOR、TPU7.TIOR

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPUm.TGRAレジスタ (m=1, 7)の機能	TIOCA _n 端子 (n=1, 7)の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA _n 端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCA _n 端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCA _n 端子、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> TPU1の場合 キャプチャ入力元はTPU0.TGRAレジスタのコンペアマッチ/インプットキャプチャ TPU0.TGRAレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ TPU7の場合 キャプチャ入力元はTPU6.TGRAレジスタのコンペアマッチ/インプットキャプチャ TPU6.TGRAレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPUm.TGRBレジスタ (m=1, 7)の機能	TIOCB _n 端子 (n=1, 7)の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注1)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注1)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注1)、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> TPU1の場合 キャプチャ入力元はTPU0.TGRCレジスタのコンペアマッチ/インプットキャプチャ TPU0.TGRCレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ TPU7の場合 キャプチャ入力元はTPU6.TGRCレジスタのコンペアマッチ/インプットキャプチャ TPU6.TGRCレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

x : Don't care

注1. TPU_m.TMDR.ICSELBビットで選択します (m=1, 7)。

表 15.17 TPU2.TIOR、TPU8.TIOR

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPUm.TGRA レジスタ (m=2, 8)の機能	TIOCA _n 端子 (n=2, 8)の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	キャプチャ入力元はTIOCA _n 端子、立ち下がりエッジでインプットキャプチャ	
1	x	1	x	キャプチャ入力元はTIOCA _n 端子、両エッジでインプットキャプチャ	

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPUm.TGRB レジスタ (m=2, 8)の機能	TIOCB _n 端子 (n=2, 8)の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注1)、立ち下がりエッジでインプットキャプチャ	
1	x	1	x	キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注1)、両エッジでインプットキャプチャ	

x : Don't care

注1. TPUm.TMDR.ICSELBビットで選択します (m=2, 8)。

表 15.18 TPU3.TIORH、TPU9.TIORH

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPUm.TGRAレジスタ (m=3, 9)の機能	TIOCA _n 端子 (n=3, 9)の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0		インプットキャプチャレジスタ
1	0	0	1	キャプチャ入力元はTIOCA _n 端子、立ち下がりエッジでインプットキャプチャ	
1	0	1	x	キャプチャ入力元はTIOCA _n 端子、両エッジでインプットキャプチャ	
1	1	x	x	<ul style="list-style-type: none"> TPU3の場合 キャプチャ入力元はTPU4のカウントクロック TPU4.TCNTカウンタのカウントアップ/カウントダウンでインプットキャプチャ (注1) TPU9の場合 キャプチャ入力元はTPU10のカウントクロック TPU10.TCNTカウンタのカウントアップ/カウントダウンでインプットキャプチャ (注1) 	

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPUm.TGRBレジスタ (m=3, 9)の機能	TIOCB _n 端子 (n=3, 9)の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0		インプットキャプチャレジスタ
1	0	0	1	キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注2)、立ち下がりエッジでインプットキャプチャ	
1	0	1	x	キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注2)、両エッジでインプットキャプチャ	
1	1	x	x	<ul style="list-style-type: none"> TPU3の場合 キャプチャ入力元はTPU4のカウントクロック TPU4.TCNTカウンタのカウントアップ/カウントダウンでインプットキャプチャ (注1) TPU9の場合 キャプチャ入力元はTPU10のカウントクロック TPU10.TCNTカウンタのカウントアップ/カウントダウンでインプットキャプチャ (注1) 	

x : Don't care

注1. TPUm.TCR.TPSC[2:0]ビットを“000b”とし、TPUm.TCNTのカウントクロックにPCLK/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません (m=4, 10)。

注2. TPUm.TMDR.ICSELBビットで選択します (m=3, 9)。

表 15.19 TPU4.TIOR、TPU10.TIOR

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPUm.TGRAレジスタ (m=4, 10)の機能	TIOCA _n 端子 (n=4, 10)の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0		インプットキャプチャレジスタ
1	0	0	1	キャプチャ入力元はTIOCA _n 端子、立ち下がりエッジでインプットキャプチャ	
1	0	1	x	キャプチャ入力元はTIOCA _n 端子、両エッジでインプットキャプチャ	
1	1	x	x	<ul style="list-style-type: none"> TPU4の場合 キャプチャ入力元はTPU3.TGRAレジスタのコンペアマッチ/インプットキャプチャ TPU3.TGRAレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ TPU10の場合 キャプチャ入力元はTPU9.TGRAレジスタのコンペアマッチ/インプットキャプチャ TPU9.TGRAレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ 	

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPUm.TGRBレジスタ (m=4, 10)の機能	TIOCB _n 端子 (n=4, 10)の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0		インプットキャプチャレジスタ
1	0	0	1	キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注1)、立ち下がりエッジでインプットキャプチャ	
1	0	1	x	キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注1)、両エッジでインプットキャプチャ	
1	1	x	x	<ul style="list-style-type: none"> TPU4の場合 キャプチャ入力元はTPU3.TGRCレジスタのコンペアマッチ/インプットキャプチャ TPU3.TGRCレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ TPU10の場合 キャプチャ入力元はTPU9.TGRCレジスタのコンペアマッチ/インプットキャプチャ TPU9.TGRCレジスタのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ 	

x : Don't care

注1. TPU_m.TMDR.ICSELBビットで選択します (m=4, 10)。

表 15.20 TPU5.TIOR、TPU11.TIOR

IOA[3:0]ビット				説明	
b3	b2	b1	b0	TPUm.TGRAレジスタ (m=5, 11)の機能	TIOCA _n 端子 (n=5, 11)の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	キャプチャ入力元はTIOCA _n 端子、立ち下がりエッジでインプットキャプチャ	
1	x	1	x	キャプチャ入力元はTIOCA _n 端子、両エッジでインプットキャプチャ	

IOB[3:0]ビット				説明	
b7	b6	b5	b4	TPUm.TGRBレジスタ (m=5, 11)の機能	TIOCB _n 端子 (n=5, 11)の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注1)、立ち下がりエッジでインプットキャプチャ	
1	x	1	x	キャプチャ入力元はTIOCB _n /TIOCA _n 端子 (注1)、両エッジでインプットキャプチャ	

x : Don't care

注1. TPUm.TMDR.ICSELBビットで選択します (m=5, 11)。

表 15.21 TPU0.TIORL、TPU6.TIORL

IOC[3:0]ビット				説明	
b3	b2	b1	b0	TPUm.TGRCレジスタ (m=0, 6)の機能	TIOCCn端子 (n=0, 6)の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	キャプチャ入力元はTIOCCn端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCCn端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCCn端子、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> TPU0の場合 キャプチャ入力元はTPU1のカウントクロック TPU1.TCNTカウンタのカウントアップ/カウントダウンでインプットキャプチャ (注3) TPU6の場合 キャプチャ入力元はTPU7のカウントクロック TPU7.TCNTカウンタのカウントアップ/カウントダウンでインプットキャプチャ (注3)

IOD[3:0]ビット				説明	
b7	b6	b5	b4	TPUm.TGRDレジスタ (m=0, 6)の機能	TIOCDn端子 (n=0, 6)の機能
0	0	0	0	アウトプットコンペアレジスタ (注2)	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注2)	キャプチャ入力元はTIOCDn/TIOCCn端子 (注4)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCDn/TIOCCn端子 (注4)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCDn/TIOCCn端子 (注4)、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> TPU0の場合 キャプチャ入力元はTPU1のカウントクロック TPU1.TCNTカウンタのカウントアップ/カウントダウンでインプットキャプチャ (注3) TPU6の場合 キャプチャ入力元はTPU7のカウントクロック TPU7.TCNTカウンタのカウントアップ/カウントダウンでインプットキャプチャ (注3)

x : Don't care

注1. TPUm.TMDR.BFAビットを“1” (TPUm.TGRAレジスタとTPUm.TGRCレジスタはバッファ動作) にして、TPUm.TGRCレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません (m=0, 6)。

注2. TPUm.TMDR.BFBビットを“1” (TPUm.TGRBレジスタとTPUm.TGRDレジスタはバッファ動作) にして、TPUm.TGRDレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません (m=0, 6)。

注3. TPUm.TCR.TPSC[2:0]ビットを“000b”とし、TPUm.TCNTカウンタのカウントクロックにPCLK/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません (m=1, 7)。

注4. TPUm.TMDR.ICSELDビットの設定で選択します (m=0, 6)。

表 15.22 TPU3.TIORL、TPU9.TIORL

IOC[3:0]ビット				説明	
b3	B2	b1	b0	TPUm.TGRCレジスタ (m=3, 9)の機能	TIOCCn端子 (n=3, 9)の機能
0	0	0	0	アウトプットコンペアレジスタ (注)	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注)	キャプチャ入力元はTIOCCn端子、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCCn端子、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCCn端子、両エッジでインプットキャプチャ
1	1	x	x		<ul style="list-style-type: none"> • TPU3の場合 キャプチャ入力元はTPU4のカウンタクロック TPU4.TCNTカウンタのカウンタアップ/カウンタダウンでインプットキャプチャ (注3) • TPU9の場合 キャプチャ入力元はTPU10のカウンタクロック TPU10.TCNTカウンタのカウンタアップ/カウンタダウンでインプットキャプチャ (注3)

IOD[3:0]ビット				説明	
b7	B6	b5	b4	TPUm.TGRDレジスタ (m=3, 9)の機能	TIOCDn端子 (n=3, 9)の機能
0	0	0	0	アウトプットコンペアレジスタ (注2)	出力禁止
0	0	0	1		初期出力はLow出力、コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力、コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力、コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力、コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力、コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力、コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注2)	キャプチャ入力元はTIOCDn/TIOCCn端子 (注4)、立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCDn/TIOCCn端子 (注4)、立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCDn/TIOCCn端子 (注4)、両エッジでインプットキャプチャ
1	1	X	x		<ul style="list-style-type: none"> • TPU3の場合 キャプチャ入力元はTPU4のカウンタクロック TPU4.TCNTカウンタのカウンタアップ/カウンタダウンでインプットキャプチャ (注3) • TPU9の場合 キャプチャ入力元はTPU10のカウンタクロック TPU10.TCNTカウンタのカウンタアップ/カウンタダウンでインプットキャプチャ (注3)

x : Don't care

- 注1. TPUm.TMDR.BFAビットを“1” (TPUm.TGRAレジスタとTPUm.TGRCレジスタはバッファ動作) にして、TPUm.TGRCレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません (m=3, 9)。
- 注2. TPUm.TMDR.BFBビットを“1” (TPUm.TGRBレジスタとTPUm.TGRDレジスタはバッファ動作) にして、TPUm.TGRDレジスタをバッファレジスタとして使用した場合は、この設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません (m=3, 9)。
- 注3. TPUm.TCR.TPSC[2:0]ビットを“000b”とし、TPUm.TCNTのカウンタクロックにPCLK/1を使用した場合は、この設定は無効となり、インプットキャプチャは発生しません (m=4, 10)。
- 注4. TPUm.TMDR.ICSELDビットの設定で選択します (m=3, 9)。

15.2.4 タイマインタラプトイネーブルレジスタ (TIER)

アドレス TPU0.TIER 0008 8114h, TPU1.TIER 0008 8124h, TPU2.TIER 0008 8134h
 TPU3.TIER 0008 8144h, TPU4.TIER 0008 8154h, TPU5.TIER 0008 8164h
 TPU6.TIER 0008 8184h, TPU7.TIER 0008 8194h, TPU8.TIER 0008 81A4h
 TPU9.TIER 0008 81B4h, TPU10.TIER 0008 81C4h, TPU11.TIER 0008 81D4h

b7	b6	b5	b4	b3	b2	b1	b0
TTGE	—	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA

リセット後の値 0 1 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEA	TGRA 割り込み許可ビット	0 : 割り込み (TGImA) を禁止 1 : 割り込み (TGImA) を許可 (m=0~11)	R/W
b1	TGIEB	TGRB 割り込み許可ビット	0 : 割り込み (TGImB) を禁止 1 : 割り込み (TGImB) を許可 (m=0~11)	R/W
b2	TGIEC (注1)	TGRC 割り込み許可ビット	0 : 割り込み (TGImC) を禁止 1 : 割り込み (TGImC) を許可 (m=0, 3, 6, 9)	R/W
b3	TGIED (注1)	TGRD 割り込み許可ビット	0 : 割り込み (TGImD) を禁止 1 : 割り込み (TGImD) を許可 (m=0, 3, 6, 9)	R/W
b4	TCIEV	オーバフロー割り込み許可ビット	0 : 割り込み (TCImV) を禁止 1 : 割り込み (TCImV) を許可 (m=0~11)	R/W
b5	TCIEU (注2)	アンダフロー割り込み許可ビット	0 : 割り込み (TCImU) を禁止 1 : 割り込み (TCImU) を許可 (m=1, 2, 4, 5, 7, 8, 10, 11)	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TTGE	A/D変換開始要求許可ビット	0 : A/D変換開始要求の発生を禁止 1 : A/D変換開始要求の発生を許可	R/W

注1. ユニット0のTPU1.TIER、TPU2.TIER、TPU4.TIER、TPU5.TIERレジスタ、ユニット1のTPU7.TIER、TPU8.TIER、TPU10.TIER、TPU11.TIERレジスタのb3、b2は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

注2. ユニット0のTPU0.TIER、TPU3.TIERレジスタ、ユニット1のTPU6.TIER、TPU9.TIERレジスタのb5は、予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TPUには、各チャンネルに1本、計12本のTIERレジスタがあります。

TPUm.TIERレジスタは、各チャンネルの割り込みの許可、禁止を制御するレジスタです。

TGIEA ビット (TGRA 割り込み許可ビット)

割り込み (TGImA) (m=0~11) を許可または禁止します。

TGIEB ビット (TGRB 割り込み許可ビット)

割り込み (TGImB) (m=0~11) を許可または禁止します。

TGIEC ビット (TGRC 割り込み許可ビット)

割り込み (TGImC) (m=0, 3, 6, 9) を許可または禁止します。

TGIED ビット (TGRD 割り込み許可ビット)

割り込み (TGImD) (m=0, 3, 6, 9) を許可または禁止します。

TCIEV ビット (オーバフロー割り込み許可ビット)

割り込み (TCImV) (m=0 ~ 11) を許可または禁止します。

TCIEU ビット (アンダフロー割り込み許可ビット)

割り込み (TCImU) (m=1, 2, 4, 5, 7, 8, 10, 11) を許可または禁止します。

TTGE ビット (A/D 変換開始要求許可ビット)

TPUm.TGRA レジスタ (m=0 ~ 11) の入力キャプチャ / コンペアマッチによる A/D 変換開始要求の発生を許可または禁止します。

15.2.5 タイマステータスレジスタ (TSR)

アドレス TPU0.TSR 0008 8115h、TPU1.TSR 0008 8125h、TPU2.TSR 0008 8135h
 TPU3.TSR 0008 8145h、TPU4.TSR 0008 8155h、TPU5.TSR 0008 8165h
 TPU6.TSR 0008 8185h、TPU7.TSR 0008 8195h、TPU8.TSR 0008 81A5h
 TPU9.TSR 0008 81B5h、TPU10.TSR 0008 81C5h、TPU11.TSR 0008 81D5h

b7	b6	b5	b4	b3	b2	b1	b0
TCFD	—	—	—	—	—	—	—

リセット後の値 1 1 x x x x x x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b6	—	予約ビット	読むと“1”が読めず。書く場合、“1”としてください	R/W
b7	TCFD (注1)	カウント方向フラグ	0 : TPU _m .TCNTカウンタはダウンカウント 1 : TPU _m .TCNTカウンタはアップカウント (n=1, 2, 4, 5, 7, 8, 10, 11)	R

注1. ユニット0のTPU0.TSR、TPU3.TSRレジスタ、ユニット1のTPU6.TSR、TPU9.TSRレジスタのb7は、予約ビットです。読むと“1”が読めず。書く場合、“1”としてください。

TPUには、各チャンネルに1本、計12本のTSRレジスタがあります。

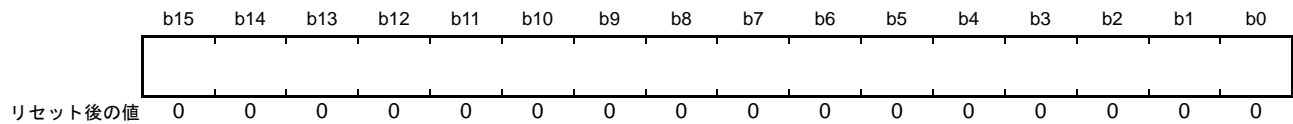
TPU_m.TSRレジスタは、TPU_m.TCNTカウンタのカウント方向を表示するレジスタです。

TCFD フラグ (カウント方向フラグ)

TPU_m.TCNTカウンタ (m=1, 2, 4, 5, 7, 8, 10, 11) のカウント方向を示すステータスフラグです。

15.2.6 タイマカウンタ (TCNT)

アドレス TPU0.TCNT 0008 8116h、TPU1.TCNT 0008 8126h、TPU2.TCNT 0008 8136h
 TPU3.TCNT 0008 8146h、TPU4.TCNT 0008 8156h、TPU5.TCNT 0008 8166h
 TPU6.TCNT 0008 8186h、TPU7.TCNT 0008 8196h、TPU8.TCNT 0008 81A6h
 TPU9.TCNT 0008 81B6h、TPU10.TCNT 0008 81C6h、TPU11.TCNT 0008 81D6h



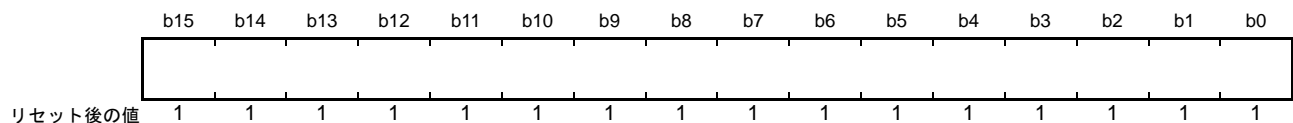
TPU には、各チャンネルに 1 本、計 12 本の TCNT カウンタがあります。TPUm.TCNT カウンタは、内部クロックまたは外部イベントをカウントできる 16 ビットのカウンタです。

16 ビット単位でリード/ライト可能です。

リセット時に“0000h”になります。

15.2.7 タイマジェネラルレジスタ A (TGRA) タイマジェネラルレジスタ B (TGRB) タイマジェネラルレジスタ C (TGRC) タイマジェネラルレジスタ D (TGRD)

アドレス TPU0.TGRA 0008 8118h、TPU0.TGRB 0008 811Ah、TPU0.TGRC 0008 811Ch、TPU0.TGRD 0008 811Eh
 TPU1.TGRA 0008 8128h、TPU1.TGRB 0008 812Ah
 TPU2.TGRA 0008 8138h、TPU2.TGRB 0008 813Ah
 TPU3.TGRA 0008 8148h、TPU3.TGRB 0008 814Ah、TPU3.TGRC 0008 814Ch、TPU3.TGRD 0008 814Eh
 TPU4.TGRA 0008 8158h、TPU4.TGRB 0008 815Ah
 TPU5.TGRA 0008 8168h、TPU5.TGRB 0008 816Ah
 TPU6.TGRA 0008 8188h、TPU6.TGRB 0008 818Ah、TPU6.TGRC 0008 818Ch、TPU6.TGRD 0008 818Eh
 TPU7.TGRA 0008 8198h、TPU7.TGRB 0008 819Ah
 TPU8.TGRA 0008 81A8h、TPU8.TGRB 0008 81AAh
 TPU9.TGRA 0008 81B8h、TPU9.TGRB 0008 81BAh、TPU9.TGRC 0008 81BCh、TPU9.TGRD 0008 81BEh
 TPU10.TGRA 0008 81C8h、TPU10.TGRB 0008 81CAh
 TPU11.TGRA 0008 81D8h、TPU11.TGRB 0008 81DAh



TPU には、TPU0、3、6、9 に各 4 本、TPU1、2、4、5、7、8、10、11 に各 2 本、計 32 本のタイマジェネラルレジスタがあります。

TPUm.TGRA (m=0~11)、TPUm.TGRB (m=0~11)、TPUm.TGRC (m=0, 3, 6, 9)、TPUm.TGRD (m=0, 3, 6, 9) レジスタは、16 ビットのアウトプットコンペア/インプットキャプチャ兼用のレジスタです。

16 ビット単位でリード/ライト可能です。

TPUm.TGRC レジスタと TPUm.TGRD レジスタは、バッファレジスタとして動作設定することができます。バッファ動作時のレジスタの組み合わせは、TPUm.TGRA レジスタと TPUm.TGRC レジスタ、TPUm.TGRB レジスタと TPUm.TGRD レジスタになります。

15.2.8 タイマスタートレジスタ (TSTRA、TSTRB)

アドレス TSTRA 0008 8100h、TSTRB 0008 8170h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CST5	CST4	CST3	CST2	CST1	CST0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	カウンタスタート0ビット	0 : TCNTカウンタのカウンタ動作は停止 1 : TCNTカウンタはカウンタ動作	R/W
b1	CST1	カウンタスタート1ビット		R/W
b2	CST2	カウンタスタート2ビット		R/W
b3	CST3	カウンタスタート3ビット		R/W
b4	CST4	カウンタスタート4ビット		R/W
b5	CST5	カウンタスタート5ビット		R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TSTRA レジスタは、TPU0～5のTCNTカウンタの動作/停止を選択するレジスタです。

TSTRB レジスタは、TPU6～11のTCNTカウンタの動作/停止を選択するレジスタです。

TPUm.TMDR レジスタで動作モードを設定する場合や、TPUm.TCR レジスタでTPUm.TCNTカウンタのカウントクロックを設定する場合は、TPUm.TCNTカウンタのカウンタ動作を停止させてから行ってください。

CSTjビット (カウンタスタートビット) (j=0～5)

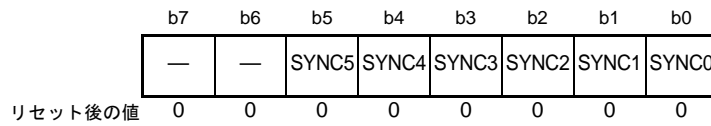
TCNTカウンタの動作/停止を選択します。

CSTjビットが“1”で、対応するTIOCyn端子 (y=A～D、n=0～11)が出力状態のときに、CSTjビットを“0”にするとカウンタ動作は停止しますが、対応するTIOCyn端子のアウトプットコンペア出力レベルは保持されます。

CSTjビットが“0”のとき、TIORH、TIORL、TIORレジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

15.2.9 タイマシンクロレジスタ (TSYRA、TSYRB)

アドレス TSYRA 0008 8101h、TSYRB 0008 8171h



ビット	シンボル	ビット名	機能	R/W
b0	SYNC0	タイマ同期0ビット	0 : TCNTカウンタは単独動作 (TCNTカウンタのプリセット/クリアは、他のチャンネルとは無関係) 1 : TCNTカウンタは同期動作 (注1) (TCNTカウンタの同期プリセット/同期クリアが可能)	R/W
b1	SYNC1	タイマ同期1ビット		R/W
b2	SYNC2	タイマ同期2ビット		R/W
b3	SYNC3	タイマ同期3ビット		R/W
b4	SYNC4	タイマ同期4ビット		R/W
b5	SYNC5	タイマ同期5ビット		R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 同期動作の設定には、最低2チャンネルのSYNCjビット (j = 0~5) を“1”にする必要があります。同期クリアの設定には、SYNCjビットの他にTCR.CCLR[2:0]ビットで、TCNTのクリア要因を選択する必要があります。

TSYRA レジスタは、TPU0~5のTCNTカウンタの単独動作または同期動作を選択するレジスタです。

TSYRB レジスタは、TPU6~11のTCNTカウンタの単独動作または同期動作を選択するレジスタです。

SYNCjビット (タイマ同期ビット) (j = 0 ~ 5)

TCNTカウンタが他のチャンネルのTCNTカウンタと同期動作をするか、単独動作にするかを選択します。

同期動作を選択すると、複数のTCNTカウンタの同期プリセットや、他のチャンネルのカウントクリアによる同期クリアが可能となります。

15.3 動作説明

15.3.1 概要

各チャンネルには、TPUm.TCNT カウンタと TPUm.TGRy レジスタ (y=A ~ D) があります。

TCNT カウンタは、16 ビットのアップカウンタで、フリーランカウンタ、周期カウンタ、またはイベントカウンタとして動作させることができます。

TGRy レジスタは、それぞれ入力キャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TSTRA.CSTj ビット (j=0 ~ 5) または TSTRB.CSTj ビット (j=0 ~ 5) を“1”にすると、対応するチャンネルの TCNT カウンタはカウント動作を開始します。

(a) カウント動作の設定手順例

カウンタ動作設定手順例を図 15.3 に示します。

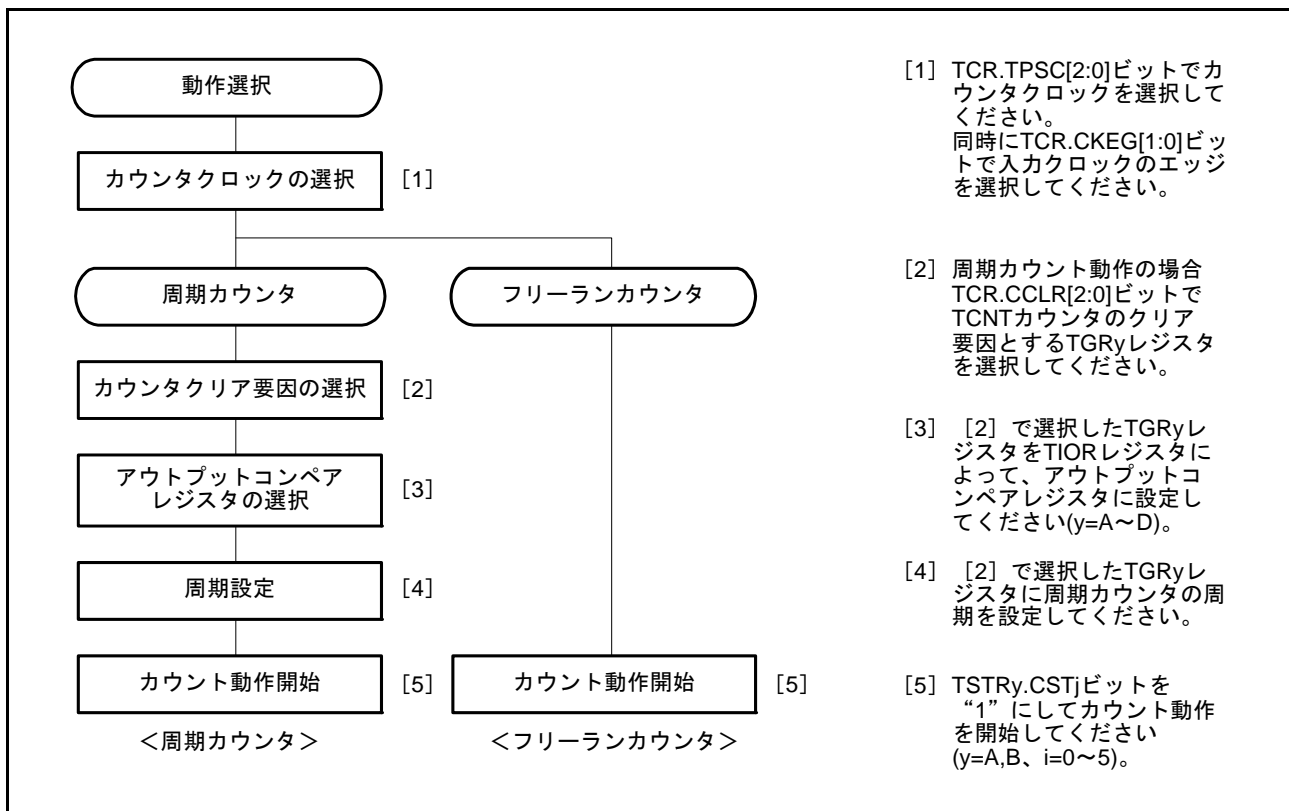


図 15.3 カウンタ動作設定手順例

(b) フリーランカウンタ動作と周期カウンタ動作

TPUm.TCNT カウンタは、リセット直後はすべてフリーランカウンタの設定となっており、TSTRA または TSTRB レジスタの対応するビットを“1”にするとフリーランカウンタとしてアップカウントを開始します。TCNT カウンタがオーバーフロー (“FFFFh” → “0000h”) すると、TPU は割り込みを要求します。TCNT カウンタはオーバーフロー後、“0000h” からアップカウントを継続します。

フリーランカウンタの動作を図 15.4 に示します。

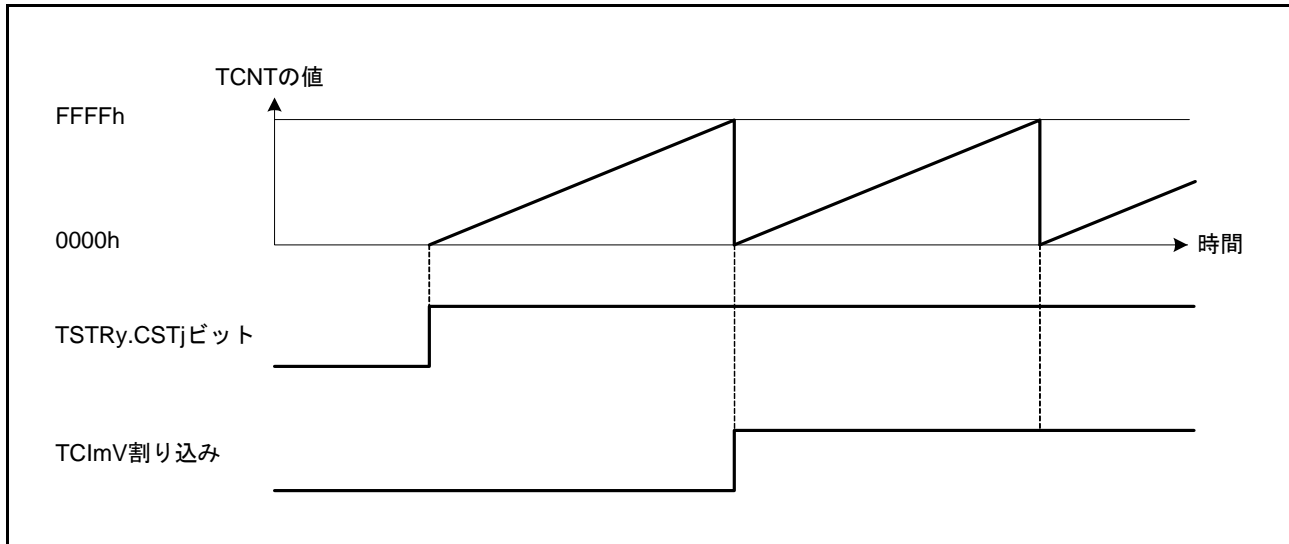


図 15.4 フリーランカウンタの動作

TCNT カウンタのクリア要因にコンペアマッチを選択したときは、対応するチャネルの TCNT カウンタは周期カウンタ動作を行います。周期設定用の TPUm.TGRy レジスタをアウトプットコンペアレジスタに設定し、TPUm.TCR.CCLR[2:0] ビットでコンペアマッチによるカウンタクリアを選択します。設定後、TSTRA または TSTRB レジスタの対応するビットを“1”にすると、周期カウンタとしてアップカウントを開始します。カウント値が TGRy レジスタの値と一致すると、TCNT カウンタは“0000h”になります。

このとき、TPU は割り込みを要求します。TCNT カウンタはコンペアマッチ後、“0000h” からアップカウントを継続します。

周期カウンタの動作を図 15.5 に示します。

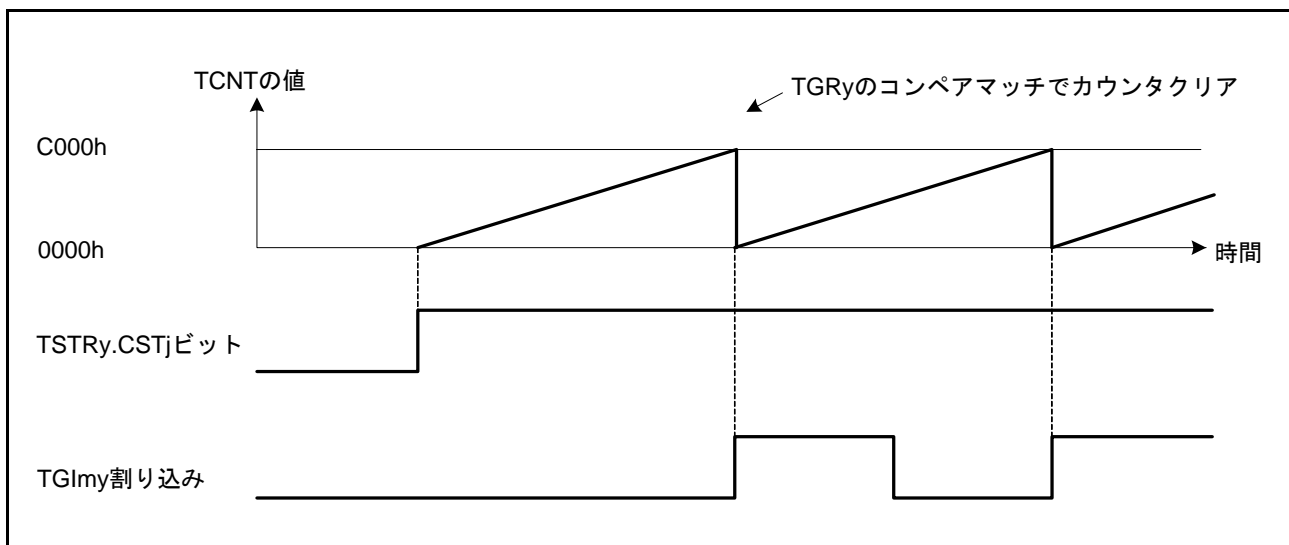


図 15.5 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPUは、コンペアマッチによって対応する出力端子からLow出力/High出力/トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図15.6に示します。

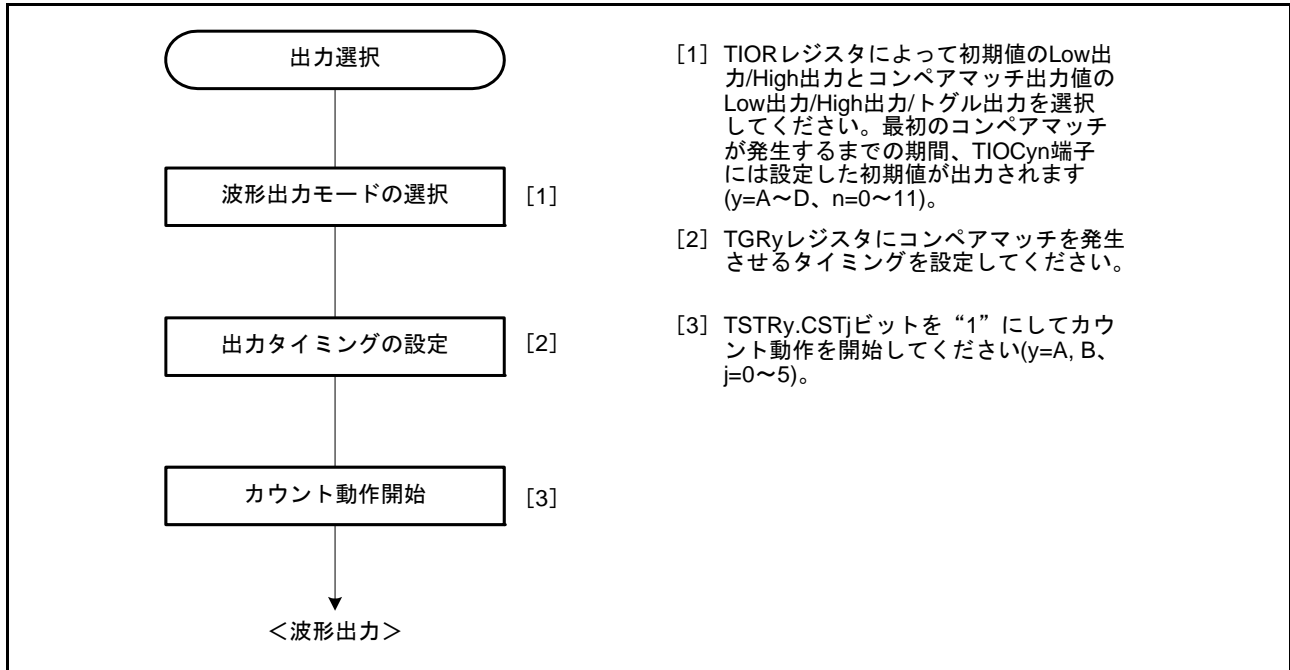


図 15.6 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

Low出力/High出力の動作例を図15.7に示します。

TPUm.TCNTをフリーランニングカウント動作とし、コンペアマッチAでHigh出力、コンペアマッチBでLow出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

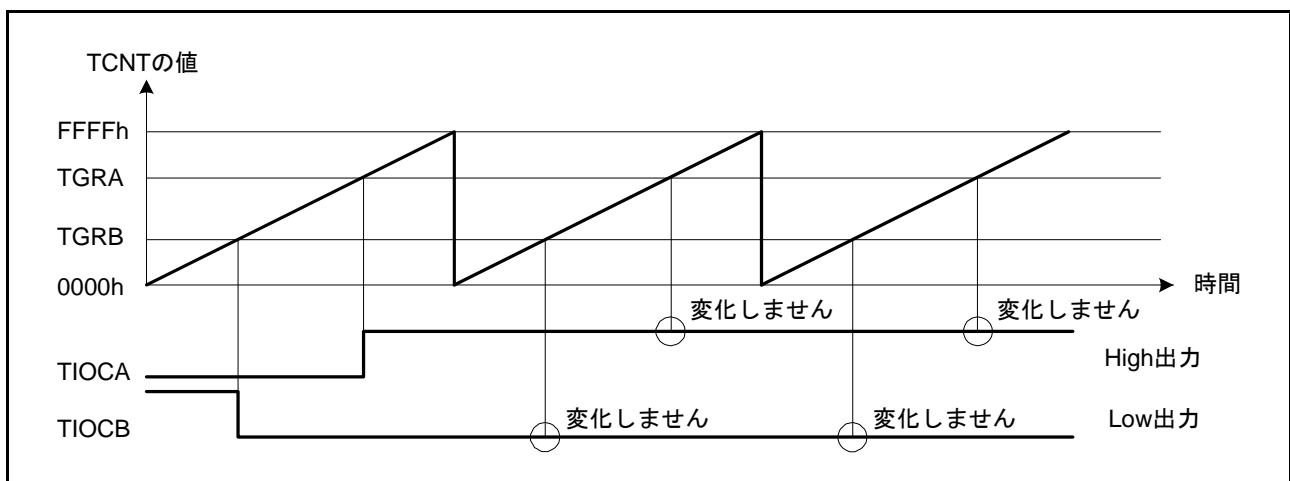


図 15.7 Low出力/High出力の動作例

トグル出力の動作例を図 15.8 に示します。

TPUm.TCNT カウンタを周期カウント動作 (コンペアマッチ B によってカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

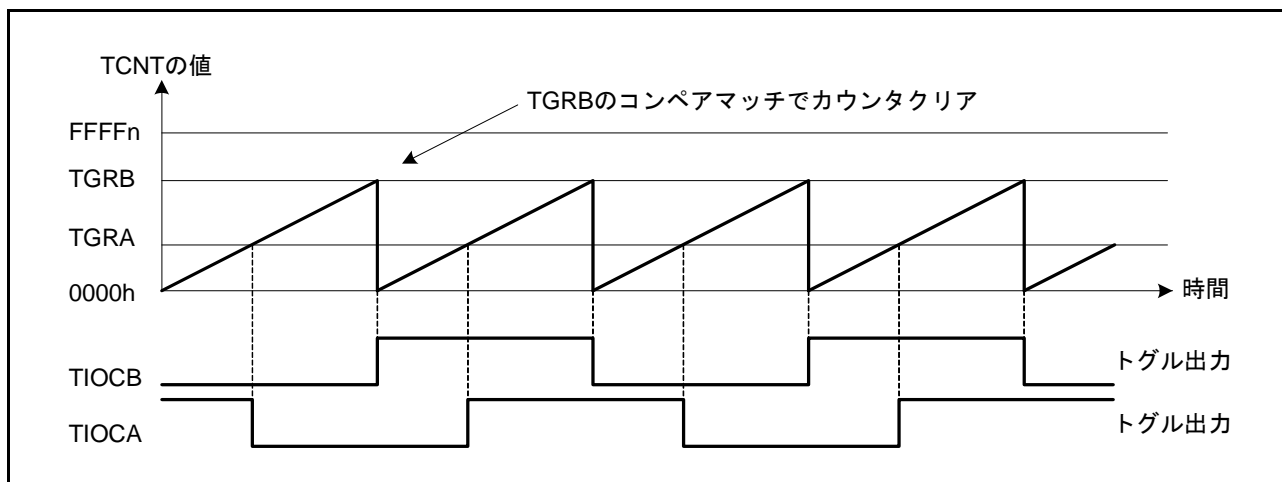


図 15.8 トグル出力の動作例

(3) インพุットキャプチャ機能

TIOCyn 端子 (y=A ~ D, n=0 ~ 11) の入力エッジを検出して TPUm.TCNT カウンタの値を TPUm.TGRy レジスタに転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、TPU0、1、3、4 (TPU6、7、9、10) のカウンタ入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

注 1. TPU0、3 (TPU6、9) で別のチャンネルのカウンタ入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウンタ入力クロックに PCLK/1 を選択しないでください。PCLK/1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 15.9 に示します。

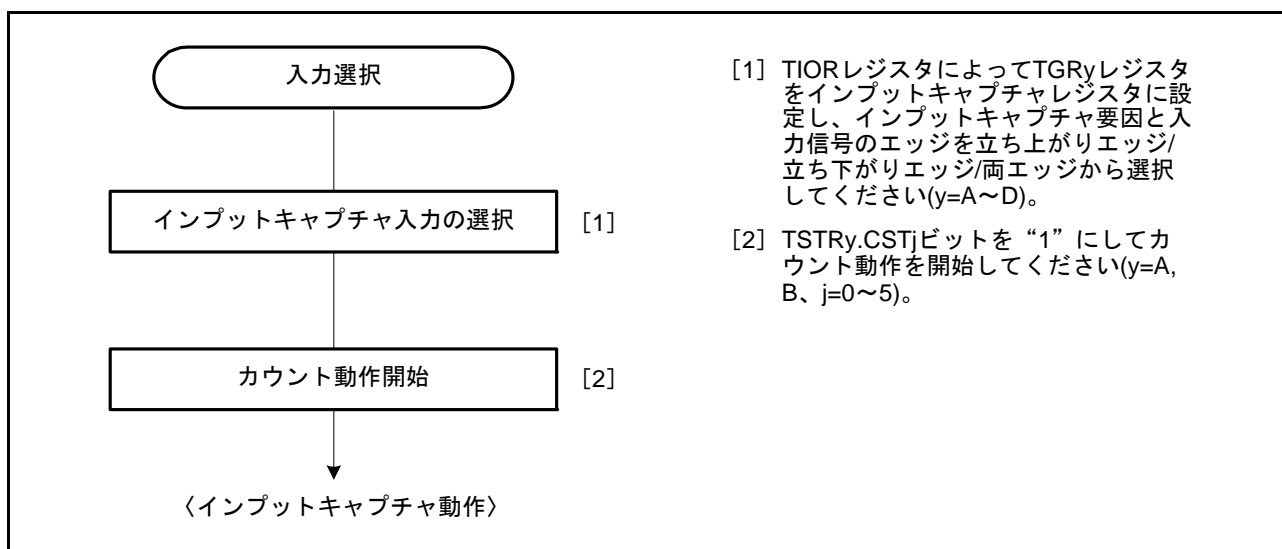


図 15.9 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 15.10 に示します。

TIOCA_n 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がり両エッジ、また TIOCB_n 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TPU_m.TCNT カウンタは TPU_m.TGRB レジスタのインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

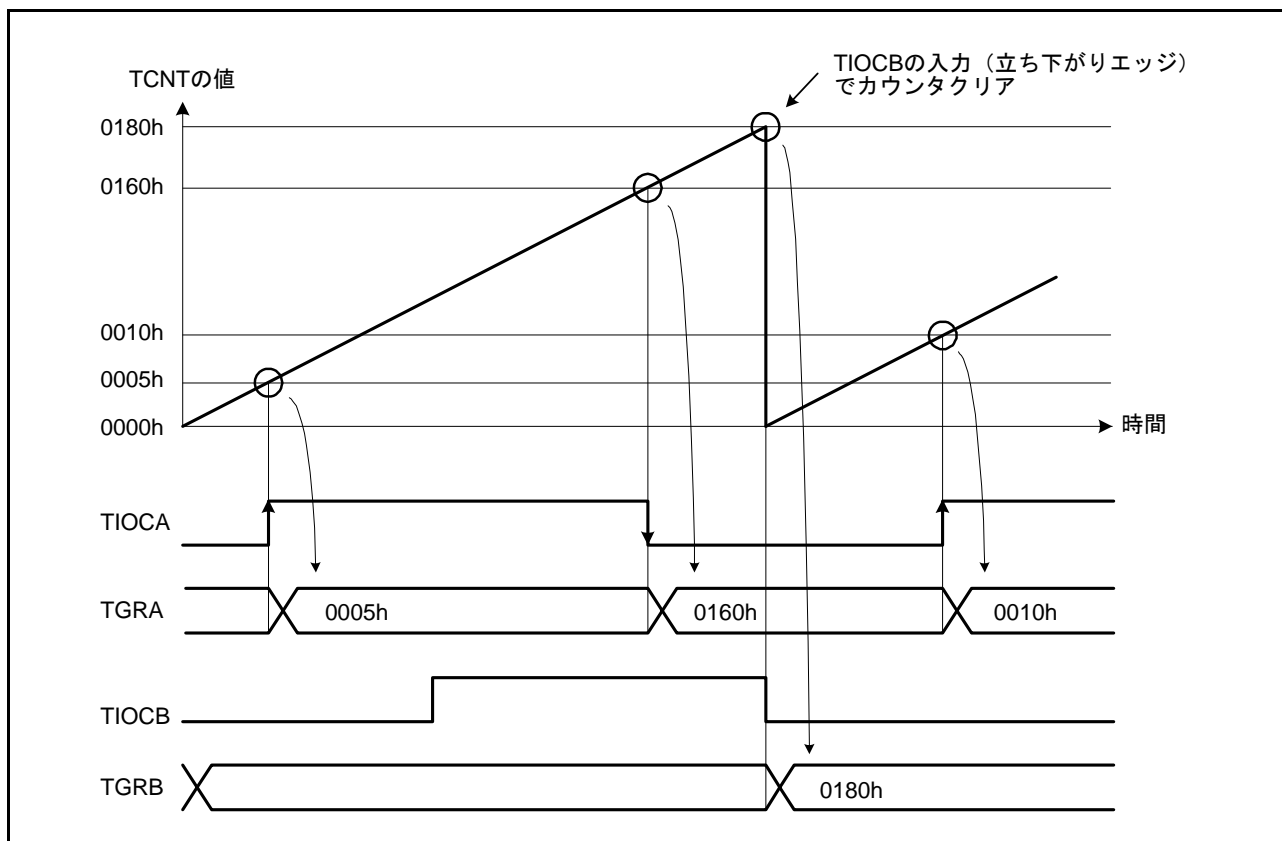


図 15.10 インพุットキャプチャ動作例

15.3.2 同期動作

同期動作を使って、複数の TPU_m.TCNT カウンタの値を同時に書き換えることができます (同期プリセット)。また、TPU_m.TCR レジスタの設定によって複数の TCNT カウンタを同時にクリアすることができます (同期クリア)。

同期動作によって、1つのタイムベースに対して TPU_m.TGR_y レジスタを増加させることができます。

TPU0 ~ 5 (TPU6 ~ 11) は、すべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 15.11 に示します。

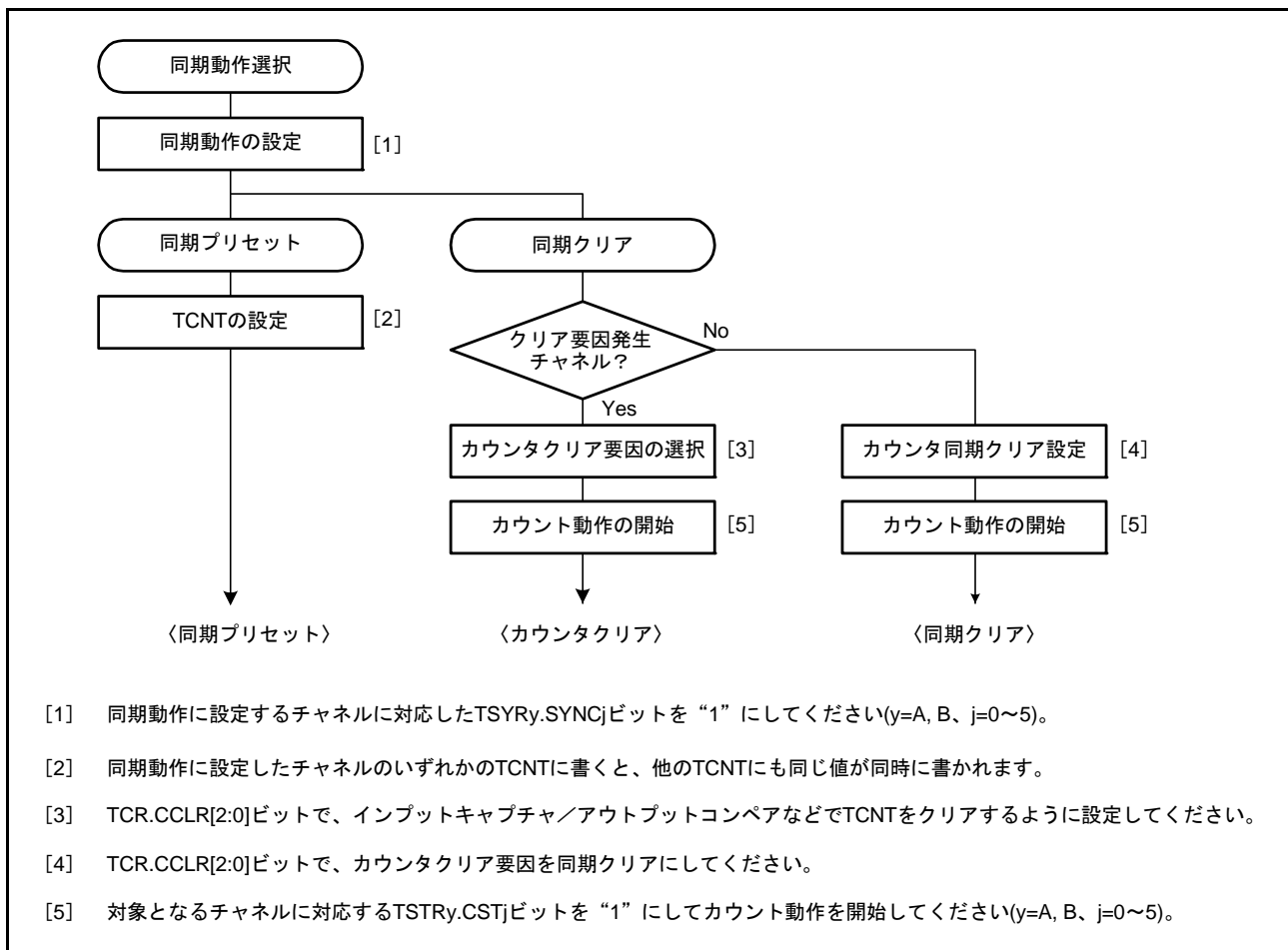


図 15.11 同期動作の設定手順例

(2) 同期動作の例

同期動作の動作例を図 15.12 に示します。

TPU0 ~ 2 を同期動作かつ PWM モード 1 に設定し、TPU0 のカウンタクリア要因を TPU0.TGRB レジスタのコンペアマッチ、また TPU1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOCA0、TIOCA1、TIOCA2 端子から出力します。このとき、TPU0 ~ 2 の TPUm.TCNT は同期プリセット、TPU0.TGRB レジスタのコンペアマッチによる同期クリアを行い、TPU0.TGRB レジスタに設定したデータが PWM 周期となります。

PWM モードについては、「15.3.5 PWM モード」を参照してください。

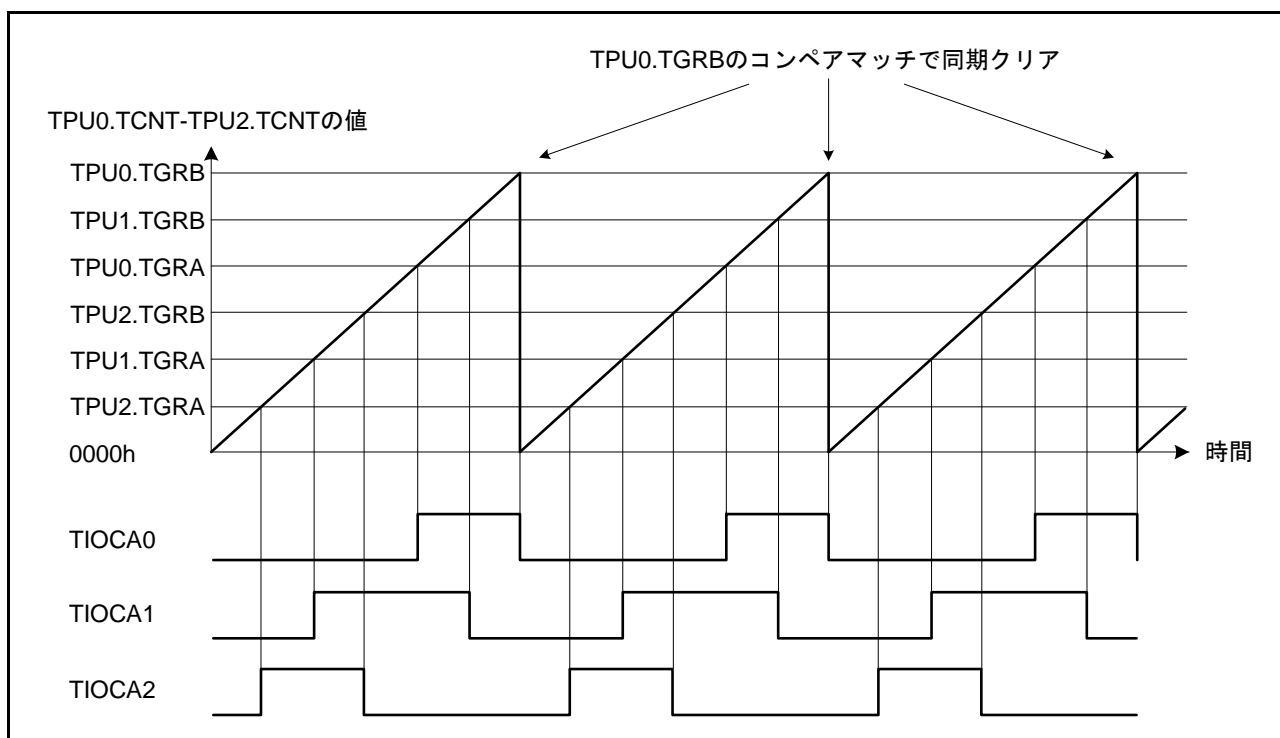


図 15.12 同期動作の動作例

15.3.3 バッファ動作

バッファ動作は、TPU0、3 (6、9) が持つ機能です。TPUm.TGRC レジスタと TPUm.TGRD レジスタをバッファレジスタとして使用することができます。

バッファ動作は、TPUm.TGRy レジスタをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合で動作内容が異なります。

表 15.23 にバッファ動作時のレジスタの組み合わせを示します。

表 15.23 レジスタの組み合わせ

ユニット	チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	TPU0	TPU0.TGRA	TPU0.TGRC
		TPU0.TGRB	TPU0.TGRD
	TPU3	TPU3.TGRA	TPU3.TGRC
		TPU3.TGRB	TPU3.TGRD
1	TPU6	TPU6.TGRA	TPU6.TGRC
		TPU6.TGRB	TPU6.TGRD
	TPU9	TPU9.TGRA	TPU9.TGRC
		TPU9.TGRB	TPU9.TGRD

- TPUm.TGRy レジスタがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 15.13 に示します。

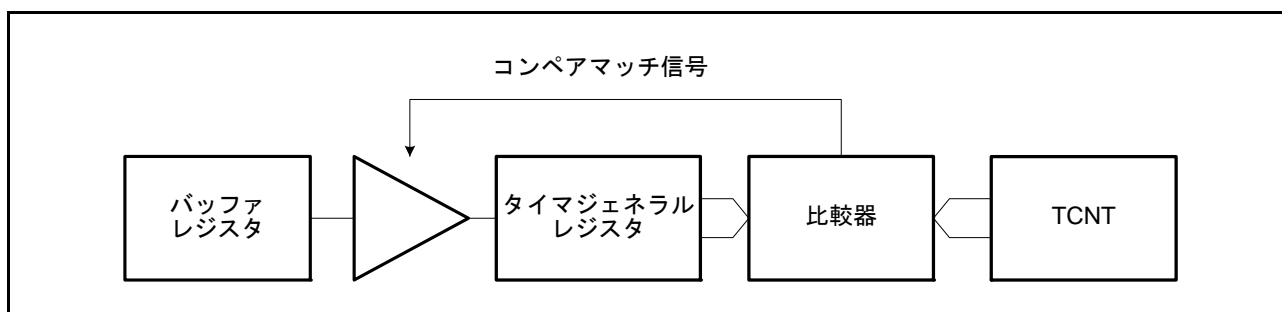


図 15.13 コンペアマッチバッファ動作

- TPUm.TGRy レジスタがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TPUm.TCNT カウンタの値を TGRy レジスタに転送すると同時に、それまで格納されていた TGRy レジスタの値をバッファレジスタに転送します。

この動作を図 15.14 に示します。

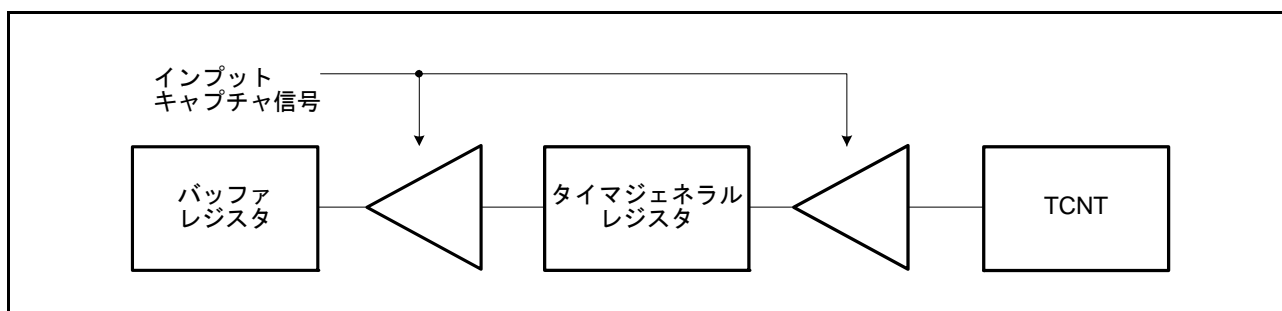


図 15.14 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 15.15 に示します。

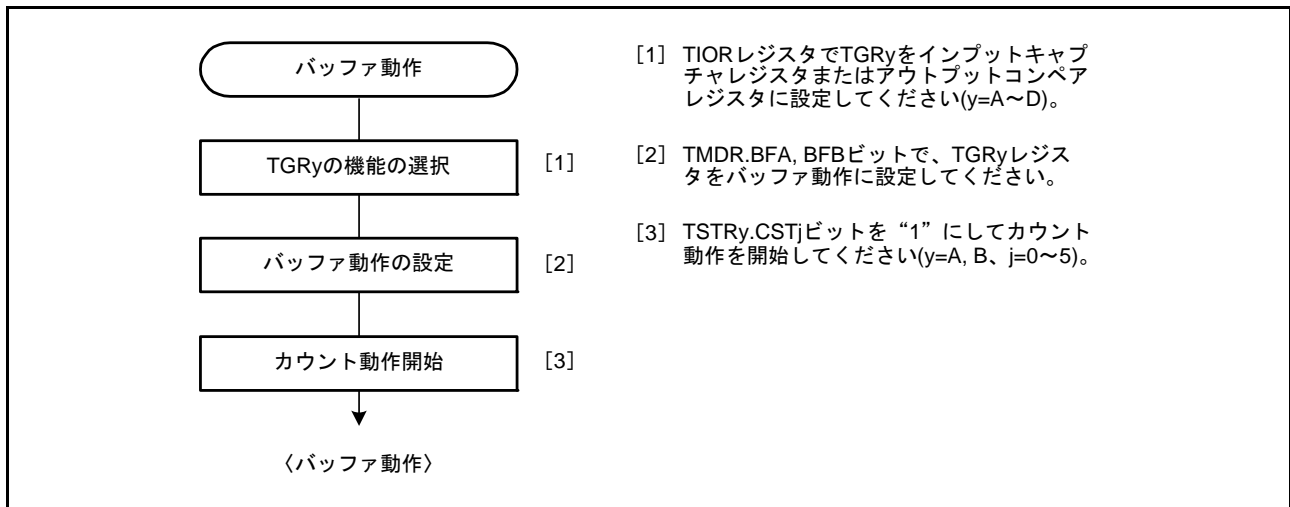


図 15.15 バッファ動作の設定手順例

(2) バッファ動作例

(a) TPUm.TGRy レジスタがアウトプットコンペアレジスタの場合

TPU0 を PWM モード 1 に設定し、TPU0.TGRA レジスタと TPU0.TGRC レジスタをバッファ動作に設定した場合の動作例を図 15.16 に示します。TPU0.TCNT カウンタはコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、TPU0.TGRC レジスタの値が TPU0.TGRA レジスタに転送されます。この動作は、コンペアマッチ A が発生するたびに繰り返されます。

PWM モードについては、「15.3.5 PWM モード」を参照してください。

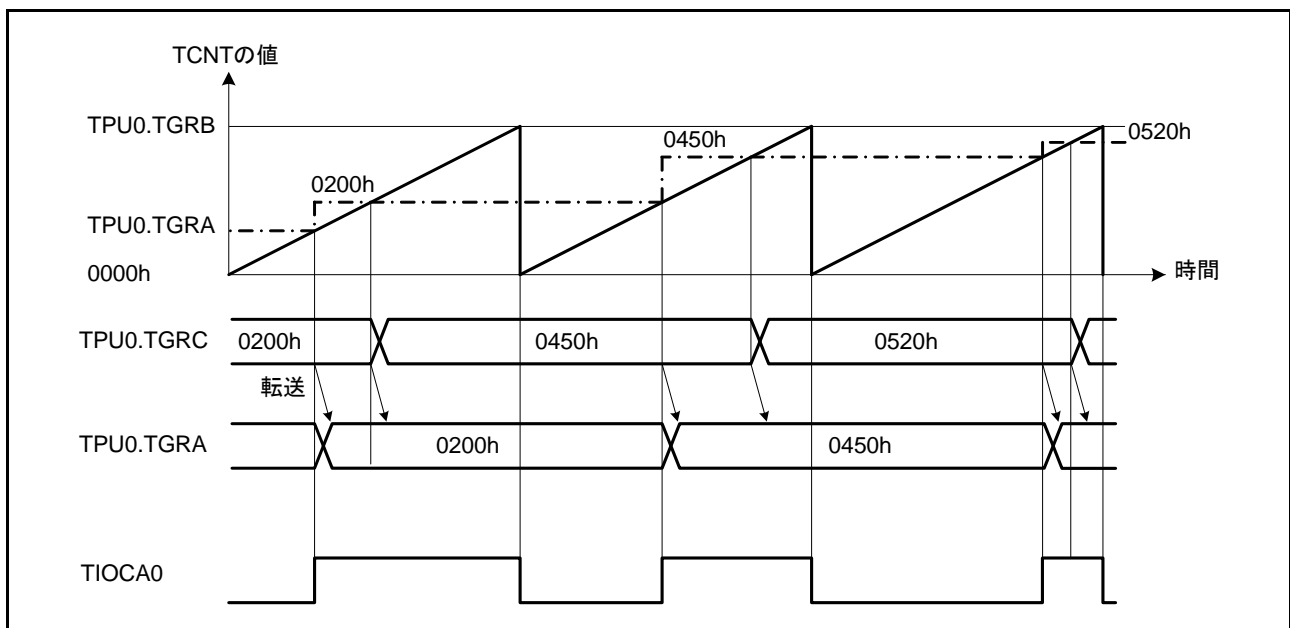


図 15.16 バッファ動作例 (1)

(b) TPUm.TGRy レジスタがインプットキャプチャレジスタの場合

TPUm.TGRA レジスタをインプットキャプチャレジスタに設定し、TGRA レジスタと TPUm.TGRC レジスタをバッファ動作に設定したときの動作例を図 15.17 に示します。

TPUm.TCNT カウンタは TGRA レジスタのインプットキャプチャでカウンタクリア、TIOCA_n 端子のインプットキャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャAにより TCNT カウンタの値が TGRA レジスタに格納されると同時に、それまで TGRA レジスタに格納されていた値が TGRC レジスタに転送されます。

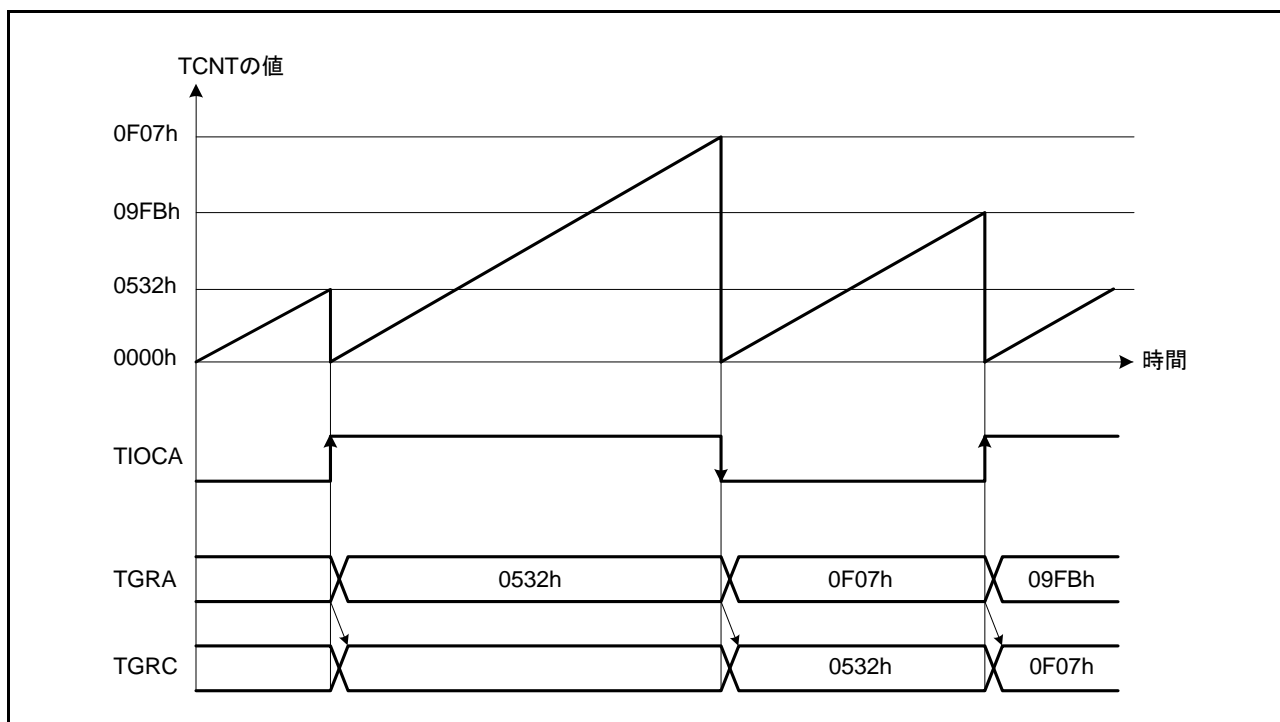


図 15.17 バッファ動作例 (2)

15.3.4 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

ユニット0の場合、TPU1 (TPU4) のカウンタクロックを TPU1.TCR.TPSC[2:0] (TPU4.TCR.TPSC[2:0]) ビットで、TPU2.TCNT (TPU5.TCNT) カウンタのオーバフロー/アンダフローでカウントに設定することによって動作します。

ユニット1の場合、TPU7 (TPU10) のカウンタクロックを TPU7.TCR.TPSC[2:0] (TPU10.TCR.TPSC[2:0]) ビットで、TPU8.TCNT (TPU11.TCNT) カウンタのオーバフロー/アンダフローでカウントに設定することによって動作します。

アンダフローが発生するのは、下位16ビットの TPU_m.TCNT カウンタが位相計数モードのときのみです。

表 15.24 にカスケード接続組み合わせを示します。

注1. TPU1, 4 (TPU7, 10) を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 15.24 カスケード接続組み合わせ

ユニット	組み合わせ	上位16ビット	下位16ビット
0	TPU1とTPU2	TPU1.TCNT	TPU2.TCNT
	TPU4とTPU5	TPU4.TCNT	TPU5.TCNT
1	TPU7とTPU8	TPU7.TCNT	TPU8.TCNT
	TPU10とTPU11	TPU10.TCNT	TPU11.TCNT

(1) カスケード接続動作の設定手順例

カスケード接続動作設定手順例を図 15.18 に示します。

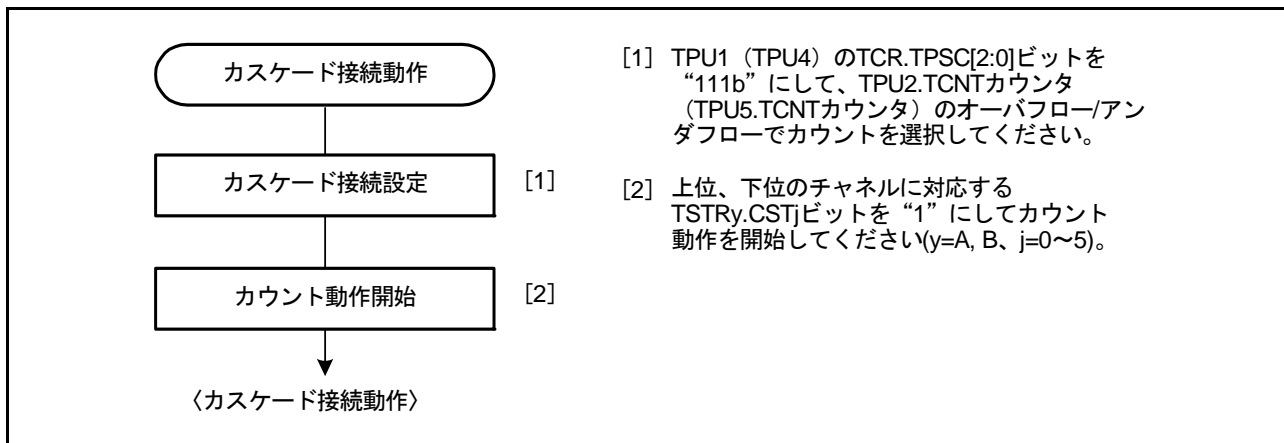


図 15.18 カスケード接続動作設定手順例

(2) カスケード接続動作例

TPU1.TCNTカウンタはTPU2.TCNTカウンタのオーバフロー/アンダフローでカウント、TPU1.TGRAレジスタとTPU2.TGRAレジスタをインプットキャプチャレジスタに設定し、TIOCA1端子とTIOCA2端子の立ち上がりエッジを選択したときの動作を図15.19に示します。

TIOCA1端子とTIOCA2端子に立ち上がりエッジを同時に入力することにより、TPU1.TGRAレジスタに上位16ビット、TPU2.TGRAレジスタに下位16ビットの32ビットデータが転送されます。

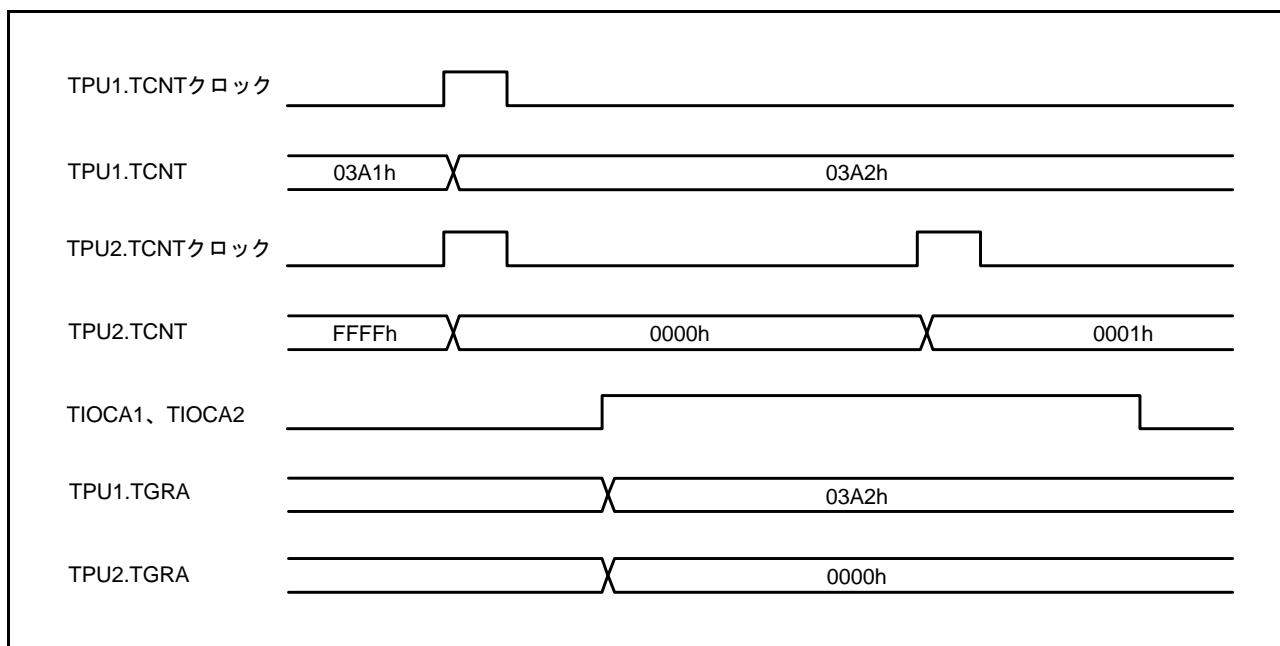


図 15.19 カスケード接続動作例 (1)

TPU1.TCNTカウンタはTPU2.TCNTカウンタのオーバフロー/アンダフローでカウント、TPU2を位相計数モードに設定したときの動作を図15.20に示します。

TPU1.TCNTカウンタは、TPU2.TCNTカウンタのオーバフローでアップカウント、TPU2.TCNTカウンタのアンダフローでダウンカウントされます。

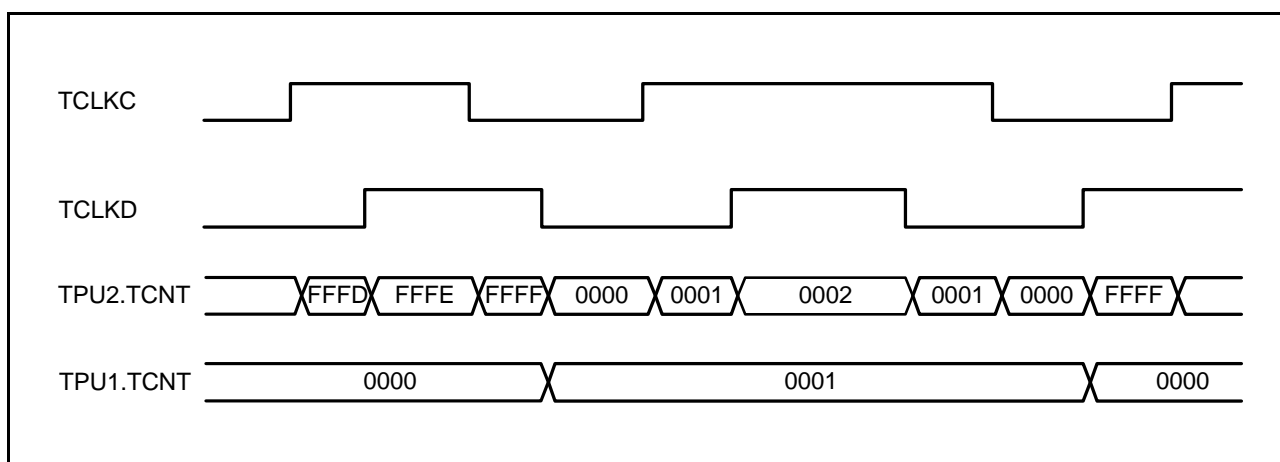


図 15.20 カスケード接続動作例 (2)

15.3.5 PWM モード

PWM モードは出力端子からそれぞれ PWM 波形を出力するモードです。各 TPUm.TGRy レジスタのコンペアマッチによる出力レベルは Low 出力 / High 出力 / トグル出力の中から選択可能です。

各 TGRy レジスタの設定により、デューティ比 0 ~ 100% の PWM 波形が出力できます。

TGRy レジスタのコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル個々に PWM モードに設定できます。同期動作も可能です。

PWM モードには以下に示す 2 種類もモードがあります。

1. PWM モード 1

TPUm.TGRA レジスタと TPUm.TGRB レジスタ、TPUm.TGRC レジスタと TPUm.TGRD レジスタをペアで使用して、TIOCA_n、TIOCC_n 端子から PWM 波形を出力します。TIOCA_n、TIOCC_n 端子からコンペアマッチ A、C によって TPUm.TIOR(H).IOA[3:0] ビット、TPUm.TIORL.IOC[3:0] ビットで指定した出力を、また、コンペアマッチ B、D によって TPUm.TIOR(H).IOB[3:0] ビット、TPUm.TIORL.IOD[3:0] ビットで指定した出力を行います。初期出力値は TGRA レジスタ、TGRC レジスタに設定した値になります。ペアで使用する TGRy レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

2. PWM モード 2

TPUm.TGRy レジスタの 1 本を周期レジスタ、他の TGRy レジスタをデューティレジスタに使用して PWM 波形を出力します。コンペアマッチによって、TPUm.TIORH、TPUm.TIORL、TPUm.TIOR レジスタで指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIORH、TIORL、TIOR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 15 相の PWM 波形の出力が可能です。

PWM の出力端子とレジスタの対応を表 15.25 に示します。

表 15.25 各PWM出力のレジスタと出力端子

ユニット	チャンネル	レジスタ	出力端子	
			PWMモード1	PWMモード2
0	TPU0	TPU0.TGRA	TIOCA0	TIOCA0
		TPU0.TGRB		TIOCB0
		TPU0.TGRC		TIOCC0
		TPU0.TGRD		TIOCD0
	TPU1	TPU1.TGRA	TIOCA1	TIOCA1
		TPU1.TGRB		TIOCB1
	TPU2	TPU2.TGRA	TIOCA2	TIOCA2
		TPU2.TGRB		TIOCB2
	TPU3	TPU3.TGRA	TIOCA3	TIOCA3
		TPU3.TGRB		TIOCB3
		TPU3.TGRC		TIOCC3
		TPU3.TGRD		TIOCD3
	TPU4	TPU4.TGRA	TIOCA4	TIOCA4
		TPU4.TGRB		TIOCB4
	TPU5	TPU5.TGRA	TIOCA5	TIOCA5
		TPU5.TGRB		TIOCB5
1	TPU6	TPU6.TGRA	TIOCA6	TIOCA6
		TPU6.TGRB		TIOCB6
		TPU6.TGRC		TIOCC6
		TPU6.TGRD		TIOCD6
	TPU7	TPU7.TGRA	TIOCA7	TIOCA7
		TPU7.TGRB		TIOCB7
	TPU8	TPU8.TGRA	TIOCA8	TIOCA8
		TPU8.TGRB		TIOCB8
	TPU9	TPU9.TGRA	TIOCA9	TIOCA9
		TPU9.TGRB		TIOCB9
		TPU9.TGRC		TIOCC9
		TPU9.TGRD		TIOCD9
	TPU10	TPU10.TGRA	TIOCA10	TIOCA10
		TPU10.TGRB		TIOCB10
	TPU11	TPU11.TGRA	TIOCA11	TIOCA11
		TPU11.TGRB		TIOCB11

注1. PWMモード2のとき、周期を設定したTPUm.TGRyレジスタのPWM波形は出力できません。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 15.21 に示します。

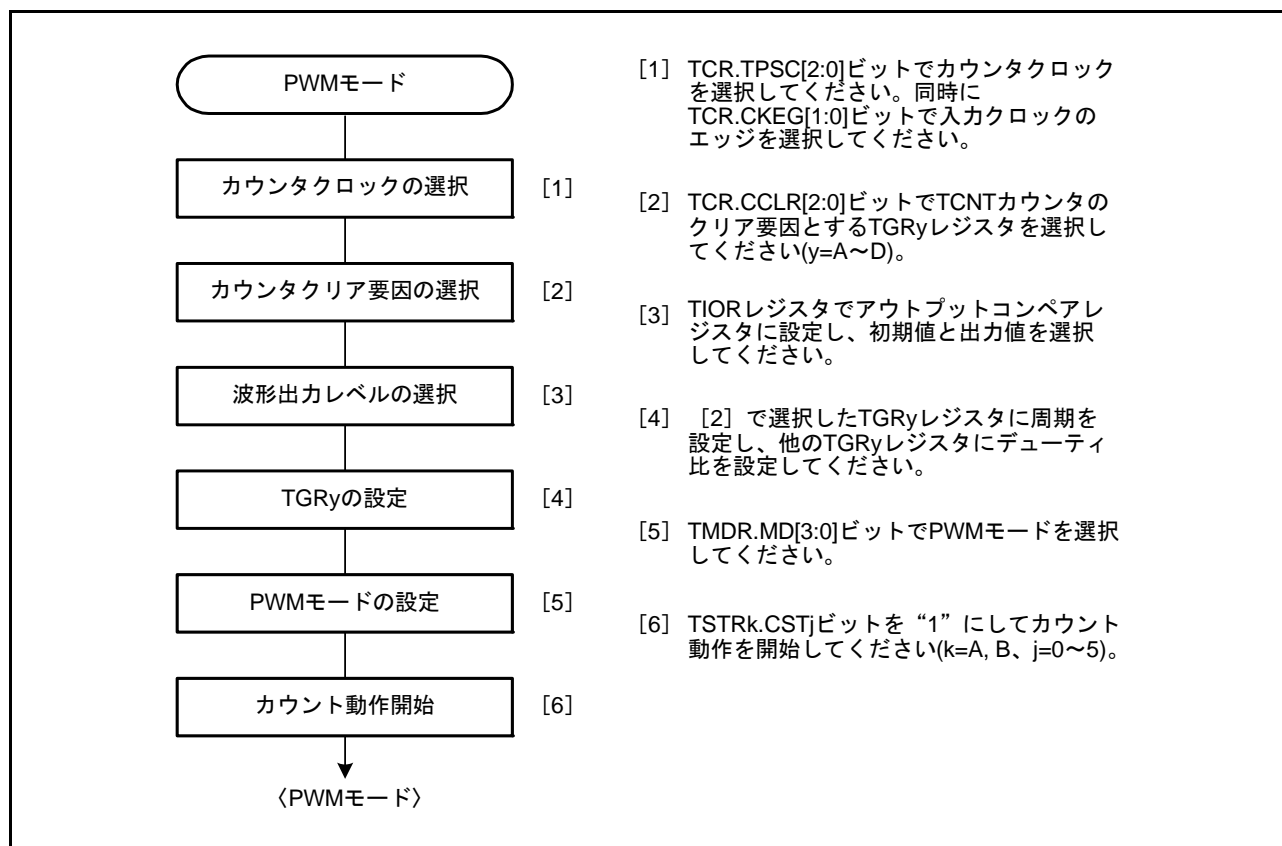


図 15.21 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード1の動作例を図15.22に示します。

この図は、TPUm.TCNT カウンタのクリア要因を TPUm.TGRA レジスタのコンペアマッチとし、TGRA レジスタの初期出力値と出力値を“0”、TPUm.TGRB レジスタの出力値を“1”に設定した場合の例です。

この場合、TGRA レジスタに設定した値が周期となり、TGRB レジスタに設定した値がデューティになります。

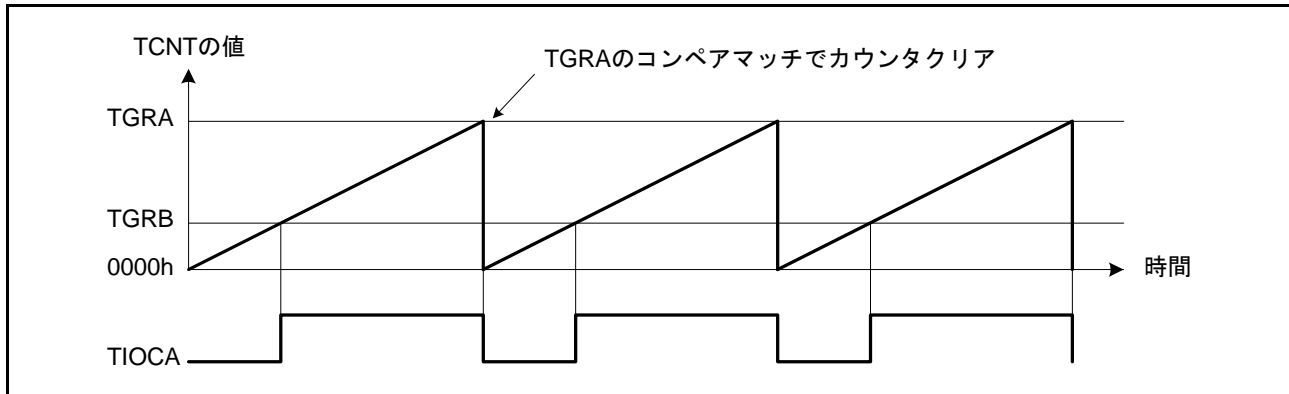


図 15.22 PWM モードの動作例 (1)

PWM モード2の動作例を図15.23に示します。

この図は、TPU0 と 1 を同期動作させ、TPUm.TCNT カウンタのクリア要因を TPU1.TGRB のコンペアマッチとし、他の TPUm.TGRy レジスタ (TPU0.TGRA ~ TPU0.TGRD、TPU1.TGRA) の初期出力値を“0”、出力値を“1”にして5相のPWM波形を出力させた場合の例です。

この場合、TPU1.TGRB レジスタに設定した値が周期となり、他の TGRy レジスタに設定した値がデューティ比になります。

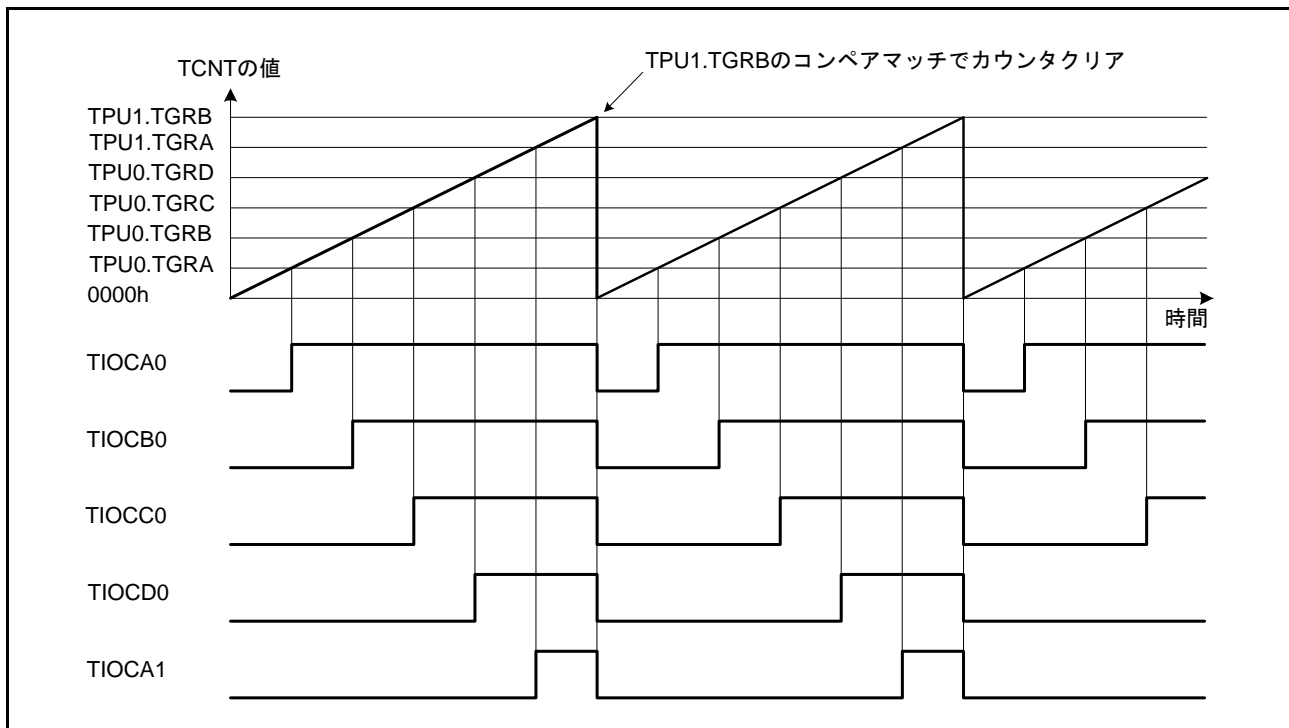


図 15.23 PWM モードの動作例 (2)

PWM モードで、デューティ比 0%、デューティ比 100%の PWM 波形を出力する例を図 15.24 に示します。

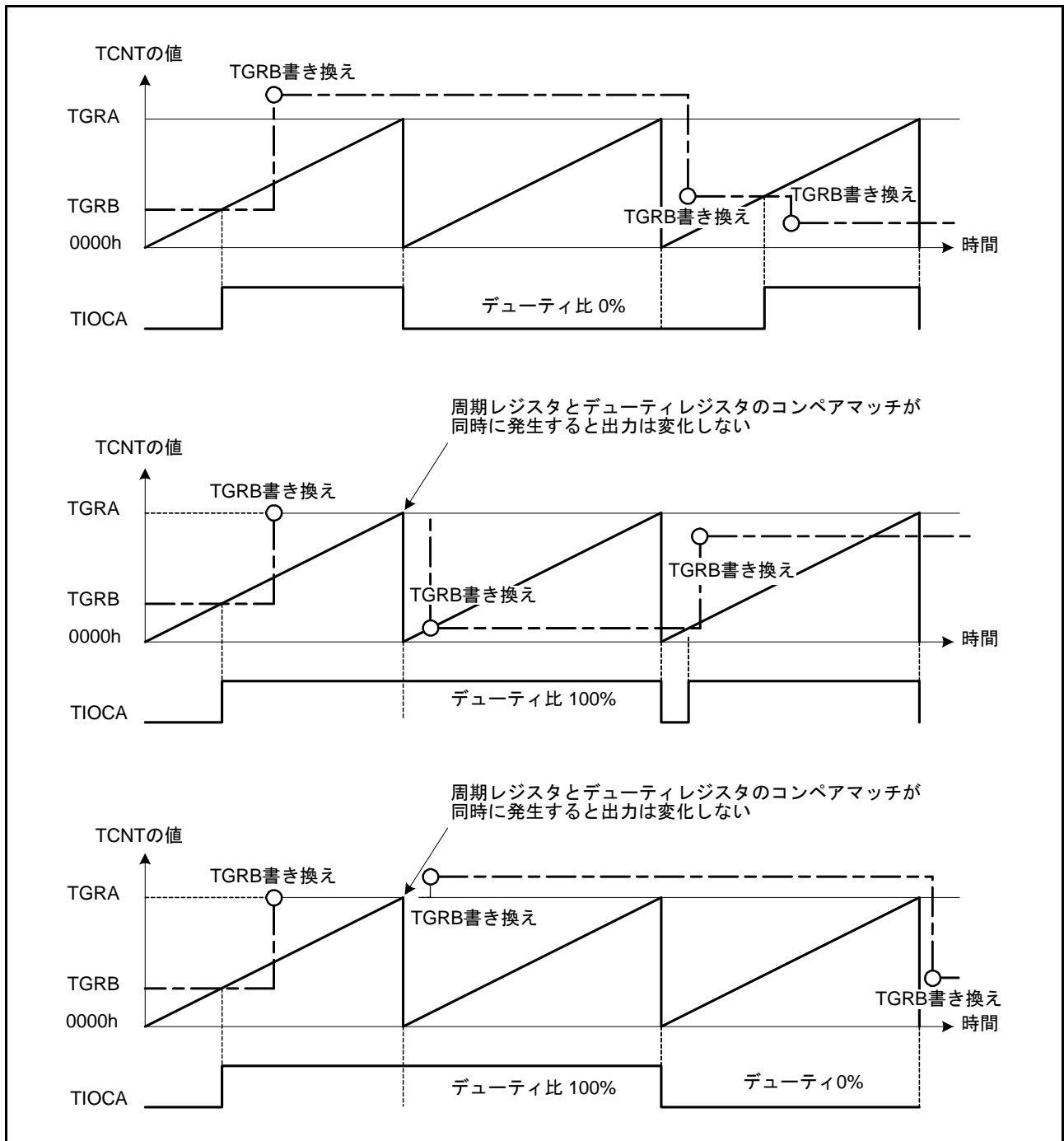


図 15.24 PWM モード動作例 (3)

15.3.6 位相計数モード

位相計数モードでは、ユニット0ではチャンネル1、2、4、5（ユニット1ではチャンネル7、8、10、11）の設定によって、2本の外部クロック入力の位相差を検出し、TPUm.TCNTカウンタをアップ/ダウンカウントします。

位相計数モードに設定すると、TPUm.TCR.TPSC[2:0], CKEG[1:0] ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNTカウンタはアップ/ダウンカウンタとして動作します。ただし、TPUm.TCR.CCLR[2:0] ビットの下位2ビット、TPUm.TIORH、TPUm.TIORL、TPUm.TIORレジスタ、TPUm.TIERレジスタ、TPUm.TGRyレジスタの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

2相エンコードパルスの入力として使用できます。

TCNTカウンタがアップカウント時、オーバフローが発生するとTCIV割り込み要求が発生します。また、ダウンカウント時にアンダフローが発生すると、TCIU割り込み要求が発生します。TPUm.TSR.TCFDフラグはカウント方向フラグです。TCFDフラグを読むことにより、TCNTカウンタがアップカウントしているかダウンカウントしているかを確認することができます。

表 15.26 に外部クロック端子とチャンネルの対応を示します。

表 15.26 位相計数モードクロック入力端子

ユニット	チャンネル	外部クロック端子	
		A相	B相
0	TPU1またはTPU5を位相計数モードとするとき	TCLKA	TCLKB
	TPU2またはTPU4を位相計数モードとするとき	TCLKC	TCLKD
1	TPU7またはTPU11を位相計数モードとするとき	TCLKE	TCLKF
	TPU8またはTPU10を位相計数モードとするとき	TCLKG	TCLKH

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 15.25 に示します。

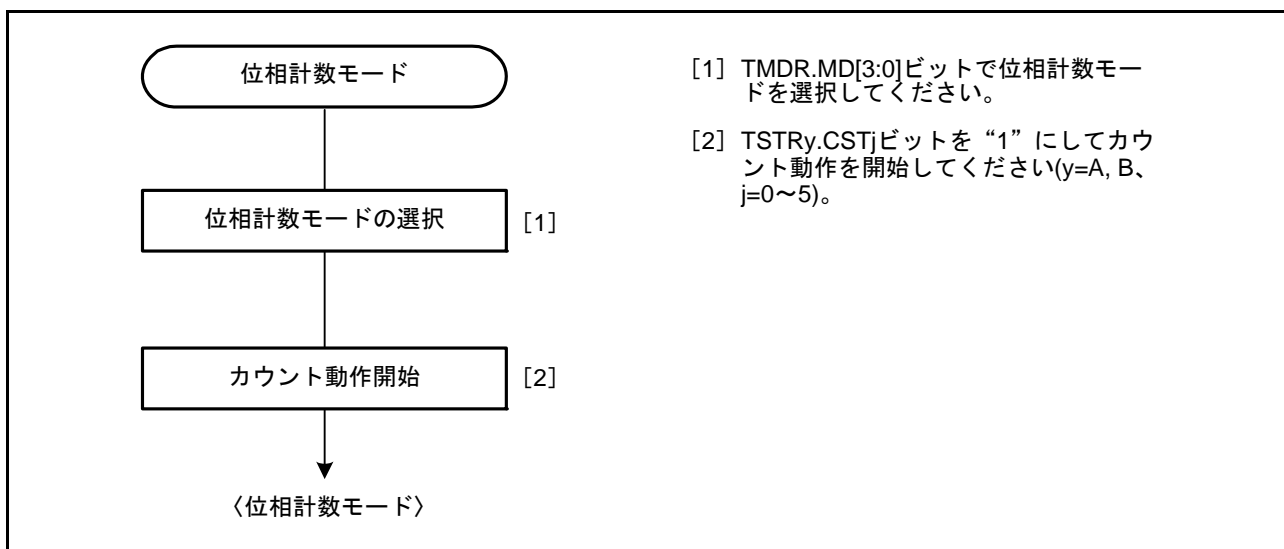


図 15.25 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差で TPUm.TCNT がアップ/ダウンカウントします。なお、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図15.26に、TCNTnのアップ/ダウンカウント条件を表15.27に示します。

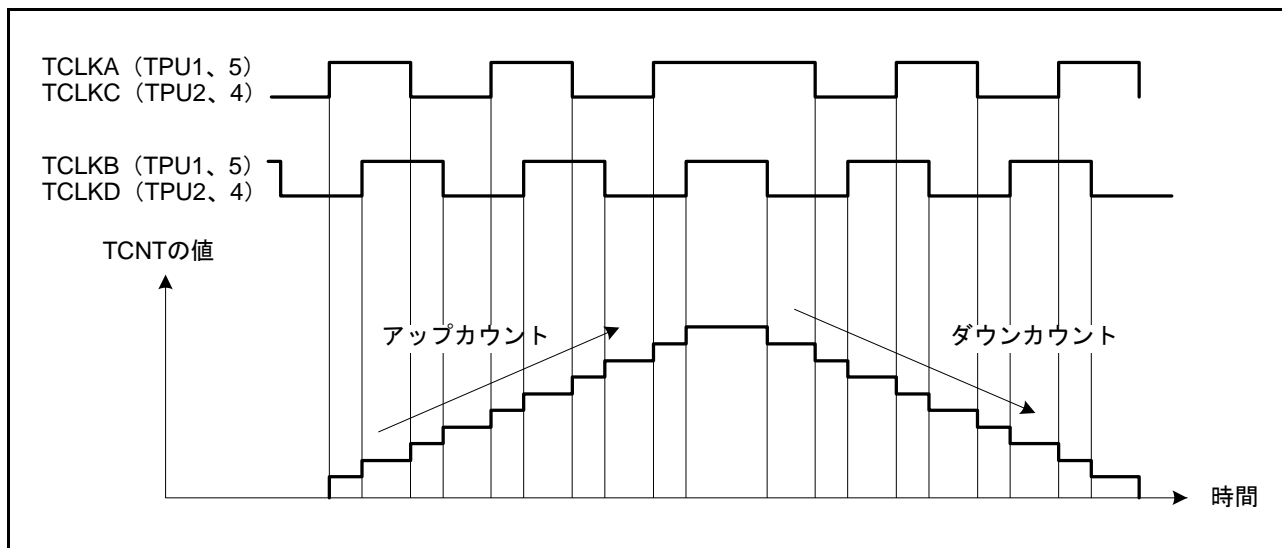


図 15.26 位相計数モード1の動作例

表 15.27 位相計数モード1のアップ/ダウンカウント条件

TCLKA (TPU1, 5) TCLKC (TPU2, 4)	TCLKB (TPU1, 5) TCLKD (TPU2, 4)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	
↓	Low	

【記号説明】

- ↑ : 立ち上がりエッジ
- ↓ : 立ち下がりエッジ

(b) 位相計数モード2

位相計数モード2の動作例を図15.27に、TPUm.TCNTのアップ/ダウンカウント条件を表15.28に示します。

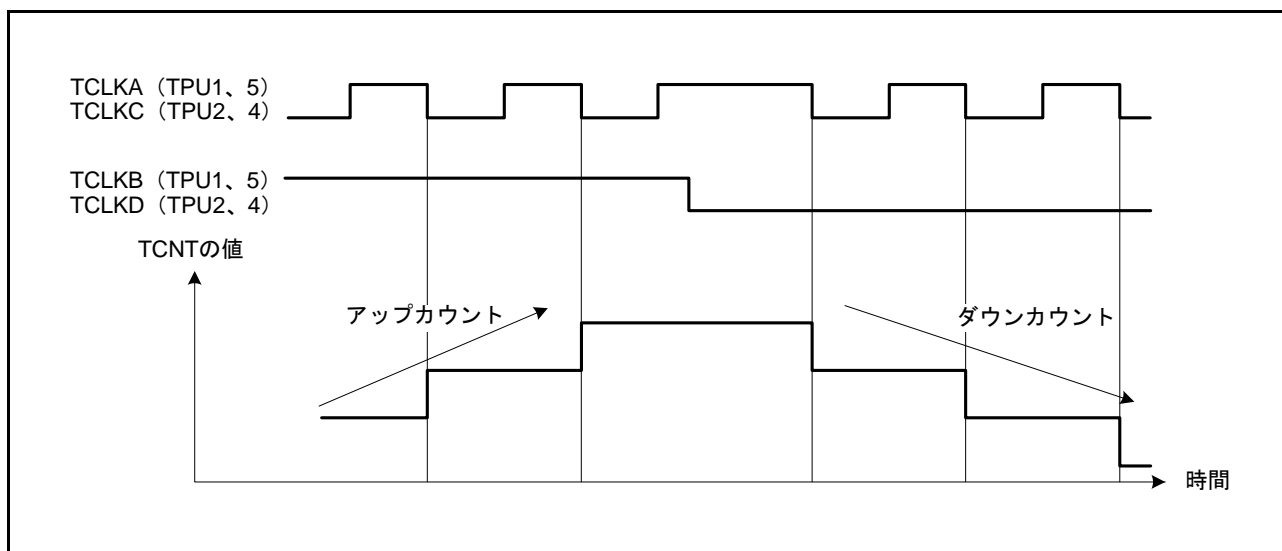


図 15.27 位相計数モード2の動作例

表 15.28 位相計数モード2のアップ/ダウンカウント条件

TCLKA (TPU1, 5) TCLKC (TPU2, 4)	TCLKB (TPU1, 5) TCLKD (TPU2, 4)	動作内容
High	↑	Don't care
Low	↓	Don't care
↑	Low	Don't care
↓	High	アップカウント
High	↓	Don't care
Low	↑	Don't care
↑	High	Don't care
↓	Low	ダウンカウント

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(c) 位相計数モード3

位相計数モード3の動作例を図15.28に、TPUm.TCNTのアップ/ダウンカウント条件を表15.29に示します。

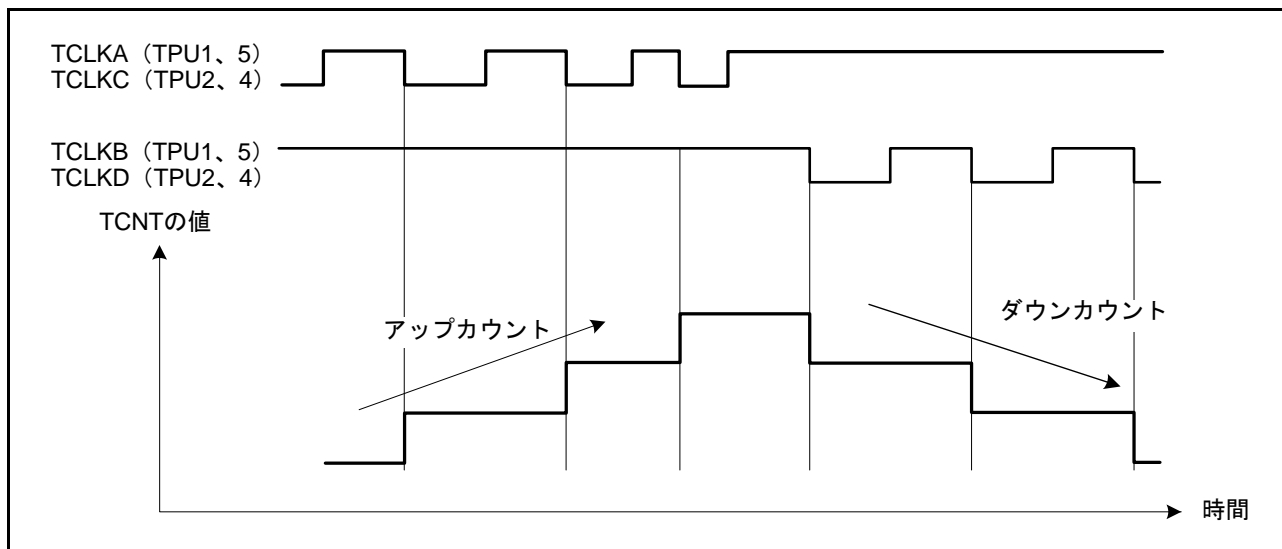


図 15.28 位相計数モード3の動作例

表 15.29 位相計数モード3のアップ/ダウンカウント条件

TCLKA (TPU1, 5) TCLKC (TPU2, 4)	TCLKB (TPU1, 5) TCLKD (TPU2, 4)	動作内容
High	↑	Don't care
Low	↓	Don't care
↑	Low	Don't care
↓	High	アップカウント
High	↓	ダウンカウント
Low	↑	Don't care
↑	High	Don't care
↓	Low	Don't care

【記号説明】

- ↑ : 立ち上がりエッジ
- ↓ : 立ち下がりエッジ

(d) 位相計数モード4

位相計数モード4の動作例を図15.29に、TPUm.TCNTのアップ/ダウンカウント条件を表15.30に示します。

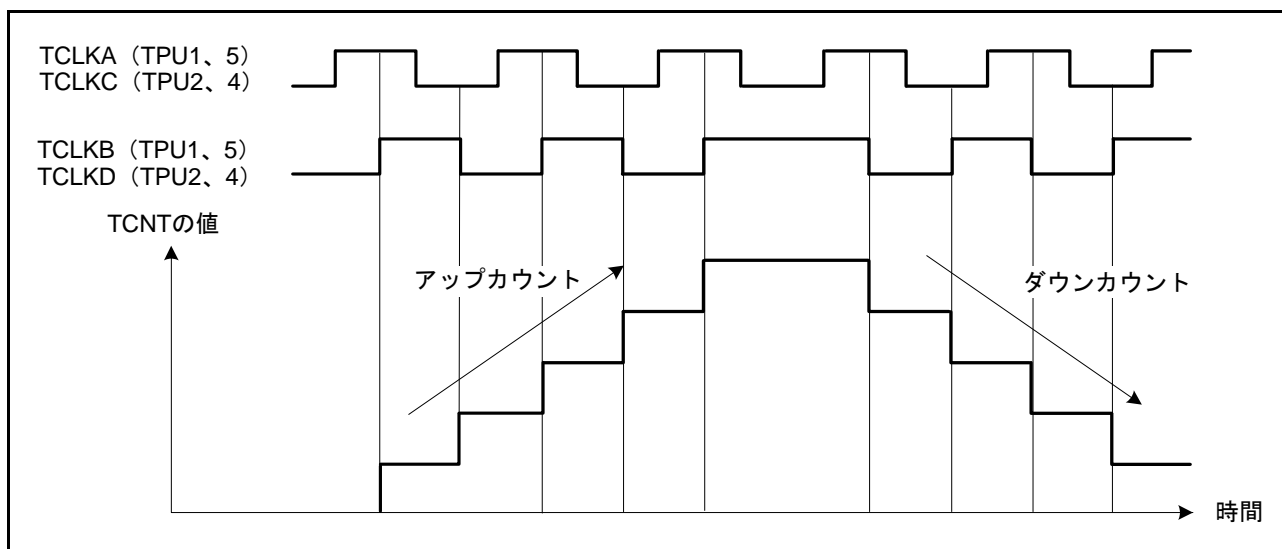


図 15.29 位相計数モード4の動作例

表 15.30 位相計数モード4のアップ/ダウンカウント条件

TCLKA (TPU1, 5) TCLKC (TPU2, 4)	TCLKB (TPU1, 5) TCLKD (TPU2, 4)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	Don't care
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	Don't care
↓	Low	

【記号説明】

- ↑ : 立ち上がりエッジ
- ↓ : 立ち下がりエッジ

15.3.6.1 位相計数モード応用例

TPU1 を位相計数モードに設定し、TPU0 と連携してサーボモータの 2 相エンコーダパルスを入力して位置または速度を検出する例を図 15.30 に示します。

TPU1 は位相計数モード 1 に設定し、TCLKA 端子と TCLKB 端子にエンコーダパルスの A 相、B 相を入力します。

TPU0 は TPU0.TCNT カウンタを TPU0.TGRC レジスタのコンペアマッチでカウンタクリアとして動作させ、TPU0.TGRA レジスタと TPU0.TGRC レジスタはコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TPU0.TGRB レジスタは入力キャプチャ機能で使用し、TPU0.TGRB レジスタと TPU0.TGRD レジスタをバッファ動作させます。TPU0.TGRB レジスタの入力キャプチャ要因は、TPU1 のカウンタ入力クロックとし、2 相エンコーダの 4 通倍パルスのパルス幅を検出します。

TPU1 の TPU1.TGRA レジスタと TPU1.TGRB レジスタは、入力キャプチャ機能に設定し、入力キャプチャ要因は TPU0 の TPU0.TGRA レジスタと TPU0.TGRC レジスタのコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

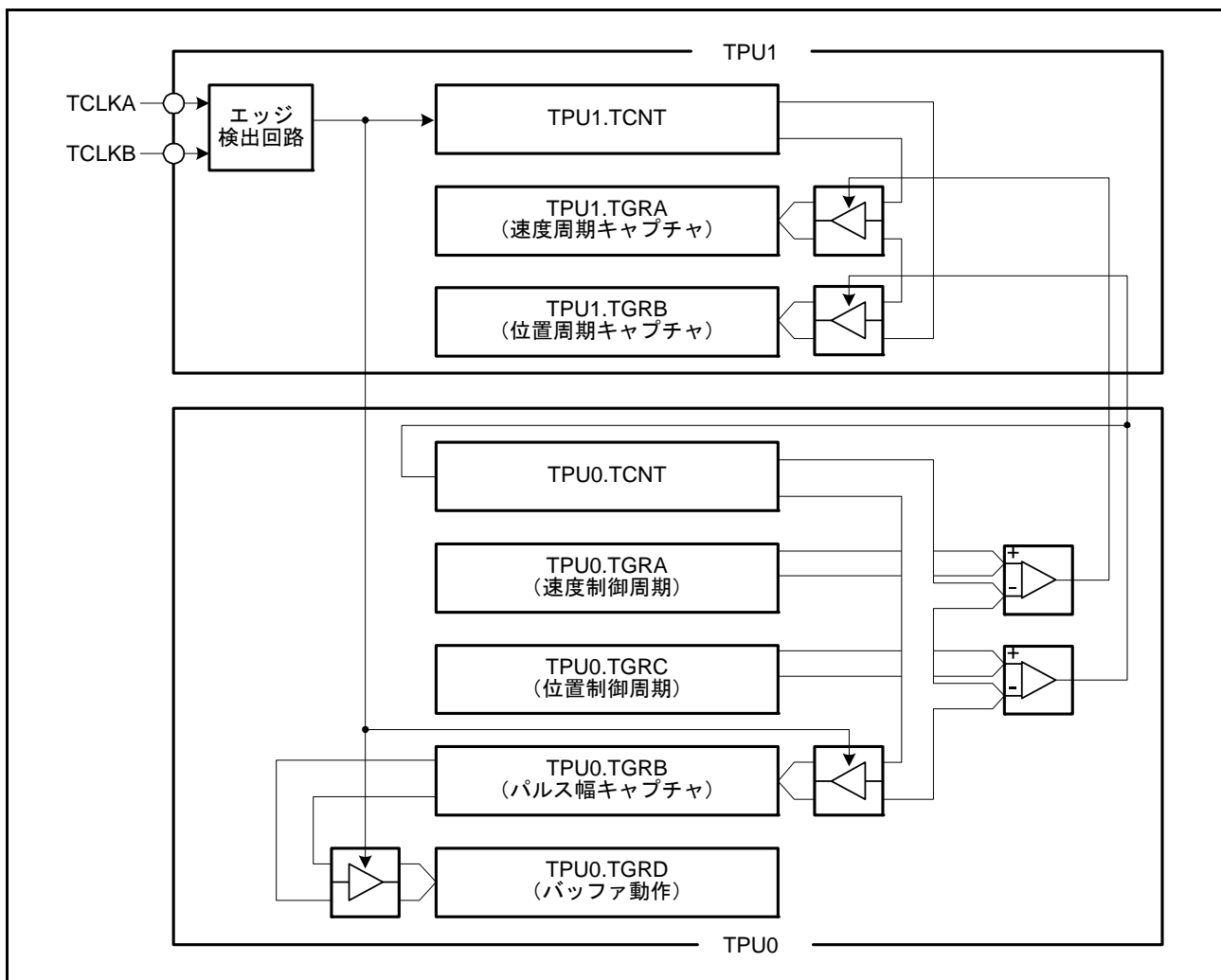


図 15.30 位相計数モードの応用例

15.4 割り込み要因

TPU の割り込み要因には、TPUm.TGRy レジスタのインプットキャプチャ/コンペアマッチ、TPUm.TCNT カウンタのオーバフロー、アンダフローの3種類があります。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は変更できません。詳細は「10. 割り込みコントローラ (ICU)」を参照してください。

表 15.31 に TPU の割り込み要因の一覧を示します。

表 15.31 TPU 割り込み一覧 (1 / 2)

ユニット	チャンネル	名称	割り込み要因	DTC の起動	DMAC の起動
0	TPU0	TGI0A	TPU0.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
		TGI0B	TPU0.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
		TGI0C	TPU0.TGRCのインプットキャプチャ/コンペアマッチ	可能	不可能
		TGI0D	TPU0.TGRDのインプットキャプチャ/コンペアマッチ	可能	不可能
		TCI0V	TPU0.TCNTのオーバフロー	不可能	不可能
	TPU1	TGI1A	TPU1.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
		TGI1B	TPU1.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
		TCI1V	TPU1.TCNTのオーバフロー	不可能	不可能
		TCI1U	TPU1.TCNTのアンダフロー	不可能	不可能
	TPU2	TGI2A	TPU2.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
		TGI2B	TPU2.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
		TCI2V	TPU2.TCNTのオーバフロー	不可能	不可能
		TCI2U	TPU2.TCNTのアンダフロー	不可能	不可能
	TPU3	TGI3A	TPU3.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
		TGI3B	TPU3.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
		TGI3C	TPU3.TGRCのインプットキャプチャ/コンペアマッチ	可能	不可能
		TGI3D	TPU3.TGRDのインプットキャプチャ/コンペアマッチ	可能	不可能
		TCI3V	TPU3.TCNTのオーバフロー	不可能	不可能
	TPU4	TGI4A	TPU4.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
		TGI4B	TPU4.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
TCI4V		TPU4.TCNTのオーバフロー	不可能	不可能	
TCI4U		TPU4.TCNTのアンダフロー	不可能	不可能	
TPU5	TGI5A	TPU5.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能	
	TGI5B	TPU5.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能	
	TCI5V	TPU5.TCNTのオーバフロー	不可能	不可能	
	TCI5U	TPU5.TCNTのアンダフロー	不可能	不可能	
1	TPU6	TGI6A	TPU6.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
		TGI6B	TPU6.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
		TGI6C	TPU6.TGRCのインプットキャプチャ/コンペアマッチ	可能	不可能
		TGI6D	TPU6.TGRDのインプットキャプチャ/コンペアマッチ	可能	不可能
		TCI6V	TPU6.TCNTのオーバフロー	不可能	不可能
	TPU7	TGI7A	TPU7.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
		TGI7B	TPU7.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
		TCI7V	TPU7.TCNTのオーバフロー	不可能	不可能
		TCI7U	TPU7.TCNTのアンダフロー	不可能	不可能
	TPU8	TGI8A	TPU8.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
		TGI8B	TPU8.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
		TCI8V	TPU8.TCNTのオーバフロー	不可能	不可能
		TCI8U	TPU8.TCNTのアンダフロー	不可能	不可能

表 15.31 TPU 割り込み一覧 (2 / 2)

ユニット	チャンネル	名称	割り込み要因	DTC の起動	DMAC の起動
1	TPU9	TGI9A	TPU9.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
		TGI9B	TPU9.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
		TGI9C	TPU9.TGRCのインプットキャプチャ/コンペアマッチ	可能	不可能
		TGI9D	TPU9.TGRDのインプットキャプチャ/コンペアマッチ	可能	不可能
		TCI9V	TPU9.TCNTのオーバフロー	不可能	不可能
	TPU10	TGI10A	TPU10.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
		TGI10B	TPU10.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
		TCI10V	TPU10.TCNTのオーバフロー	不可能	不可能
		TCI10U	TPU10.TCNTのアンダフロー	不可能	不可能
	TPU11	TGI11A	TPU11.TGRAのインプットキャプチャ/コンペアマッチ	可能	可能
		TGI11B	TPU11.TGRBのインプットキャプチャ/コンペアマッチ	可能	不可能
		TCI11V	TPU11.TCNTのオーバフロー	不可能	不可能
		TCI11U	TPU11.TCNTのアンダフロー	不可能	不可能

注1. リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インพุットキャプチャ/コンペアマッチ割り込み

各チャンネルの TPUm.TGRy レジスタのインพุットキャプチャ/コンペアマッチの発生により、TPUm.TIER.TGIEy ビット (y=A, B, C, D) が“1”なら、割り込みを要求します。TPU には、TPU0、3 (TPU6、9) に各 4 本、TPU1、2、4、5 (TPU7、8、10、11) に各 2 本、計 32 本のインพุットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルの TPUm.TCNT カウンタのオーバフローの発生により、TPUm.TIER.TCIEV ビットが“1”なら、割り込みを要求します。TPU には、各チャンネルに 1 本、計 12 本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルの TPUm.TCNT カウンタのアンダフローの発生により、TPUm.TIER.TCIEU ビットが“1”なら、割り込みを要求します。TPU には、TPU1、2、4、5 (TPU7、8、10、11) に各 1 本、計 8 本のアンダフロー割り込みがあります。

15.5 DTC の起動

各チャンネルの TPUm.TGRy レジスタのインพุットキャプチャ/コンペアマッチ割り込みによって、DTC を起動することができます。詳細は「13. データトランスファコントローラ (DTC)」を参照してください。

TPU では、TPU0、3 (TPU6、9) が各 4 本、TPU1、2、4、5 (TPU7、8、10、11) が各 2 本、計 32 本のインพุットキャプチャ/コンペアマッチ割り込みを DTC の起動要因とすることができます。

15.6 DMAC の起動

各チャンネルの TPUm.TGRA レジスタのインพุットキャプチャ/コンペアマッチ割り込みによって、DMAC を起動することができます。詳細は「12. DMA コントローラ (DMAC)」を参照してください。

TPU では、各チャンネルに 1 本、計 12 本の TPUm.TGRA レジスタのインพุットキャプチャ/コンペアマッチ割り込みを DMAC の起動要因とすることができます。

15.7 A/D コンバータの起動

TPU は、各チャンネルの TPUm.TGRA レジスタのインพุットキャプチャ/コンペアマッチによって、A/D コンバータを起動することができます。また、TPU0 の TGRA ~ TGRD レジスタのインพุットキャプチャ/コンペアマッチによって、A/D コンバータを起動することができます。

各チャンネルの TPUm.TGRA レジスタのインพุットキャプチャ/コンペアマッチが発生したとき、TPUm.TIER.TTGE ビットが“1”なら、TPU は A/D コンバータに対して A/D 変換の開始を要求します。また、TPU0 の TGRA ~ TGRD レジスタのインพุットキャプチャ/コンペアマッチが発生したとき、TPU は対応する A/D コンバータに対して A/D 変換の開始を要求します。このとき A/D コンバータ側で、TPU の変換開始トリガが選択されていれば、A/D 変換が開始されます。

なお、対応する A/D コンバータのユニットに関しては「23. A/D コンバータ」を参照してください。

15.8 動作タイミング

15.8.1 入出力タイミング

(1) TPUm.TCNT カウンタのカウンタタイミング

内部クロック動作の場合の TPUm.TCNT カウンタのカウンタタイミングを図 15.31 に示します。また、外部クロック動作の場合の TCNT カウンタのカウンタタイミングを図 15.32 に示します。

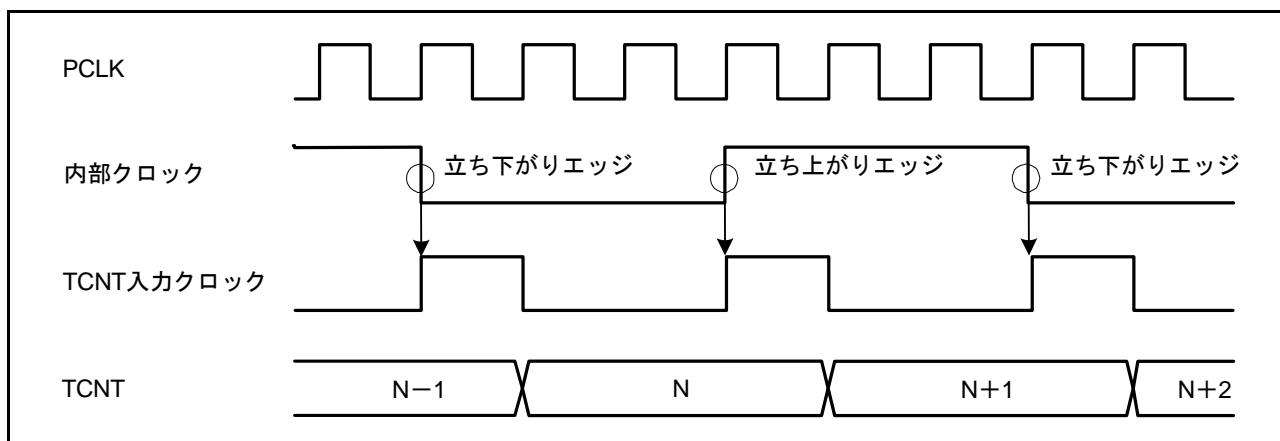


図 15.31 内部クロック動作時のカウンタタイミング

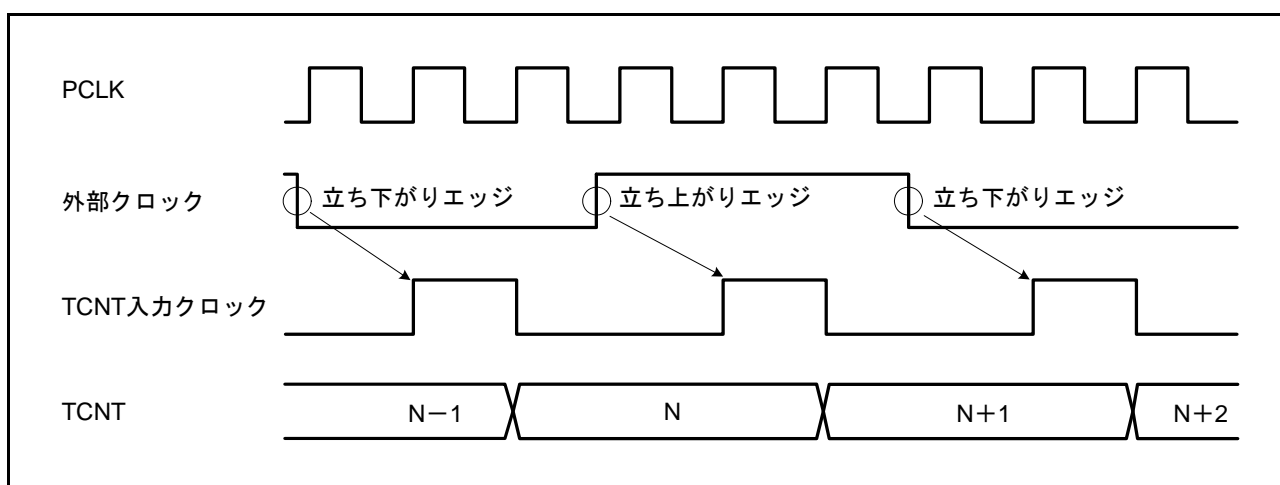


図 15.32 外部クロック動作時のカウンタタイミング

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TPUm.TCNT カウンタと TPUm.TGRy レジスタが一致した最後のステート (TCNT カウンタが一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TPUm.TIORH、TPUm.TIORL、TPUm.TIOR レジスタで設定した出力値がアウトプットコンペア出力端子 (TIOCyn (y=A ~ D, n=0 ~ 11) 端子) に出力されます。TCNT カウンタと TGRy レジスタが一致した後、TCNT カウンタ入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 15.33 に示します。

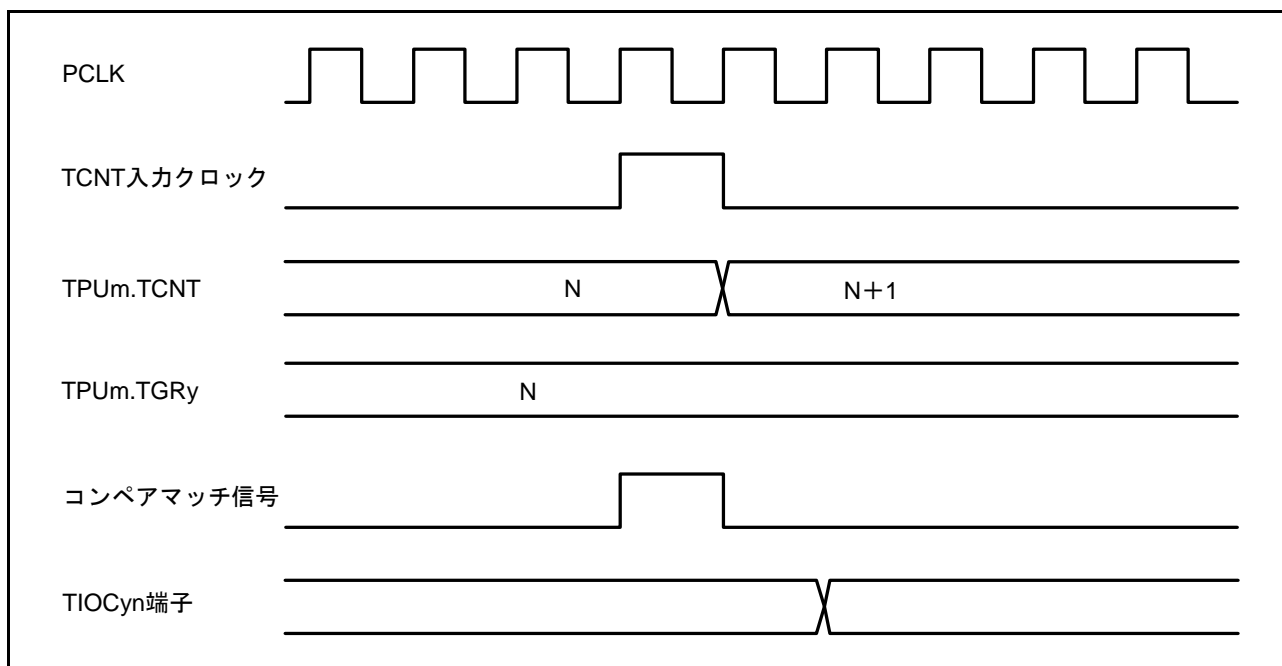


図 15.33 アウトプットコンペア出力タイミング

(3) インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 15.34 に示します。

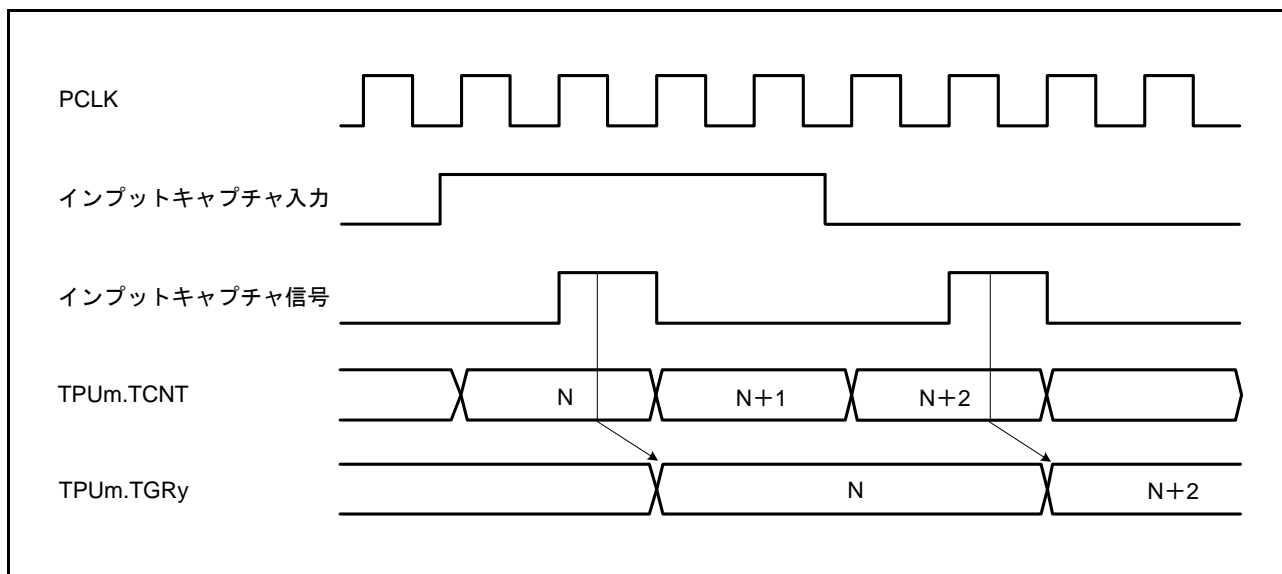


図 15.34 インプットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 15.35 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 15.36 に示します。

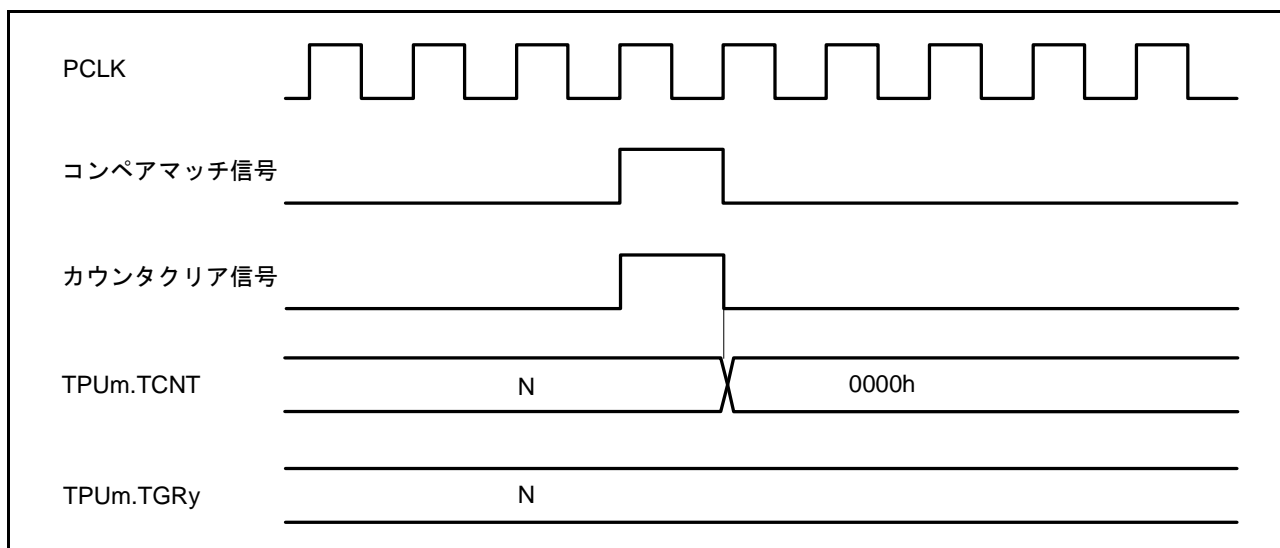


図 15.35 カウンタクリアタイミング (コンペアマッチ)

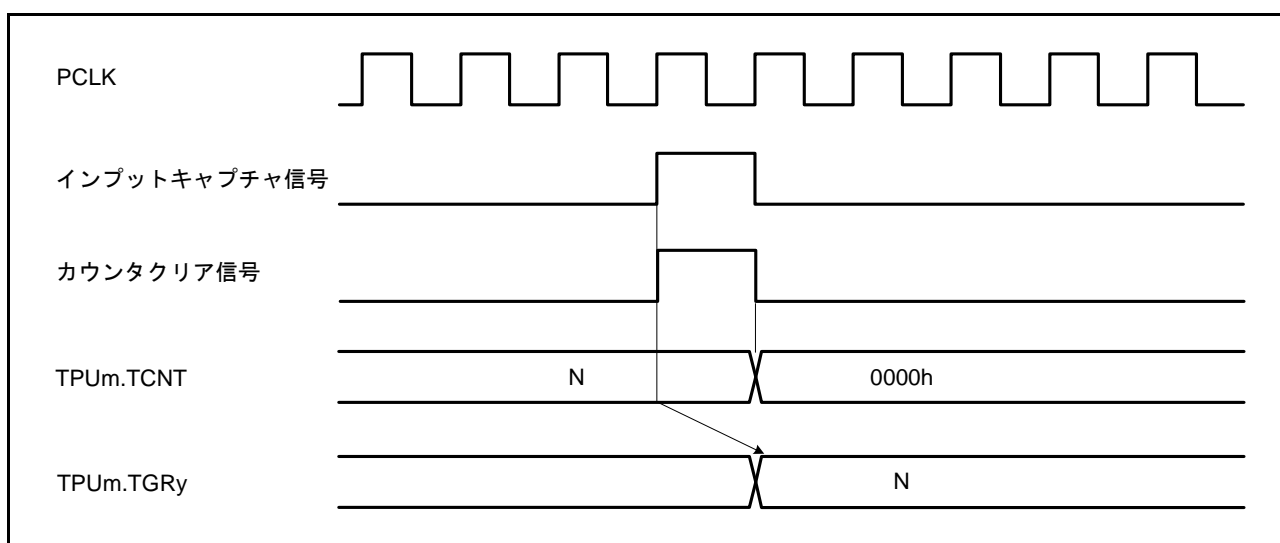


図 15.36 カウンタクリアタイミング (インプットキャプチャ)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 15.37、図 15.38 に示します。

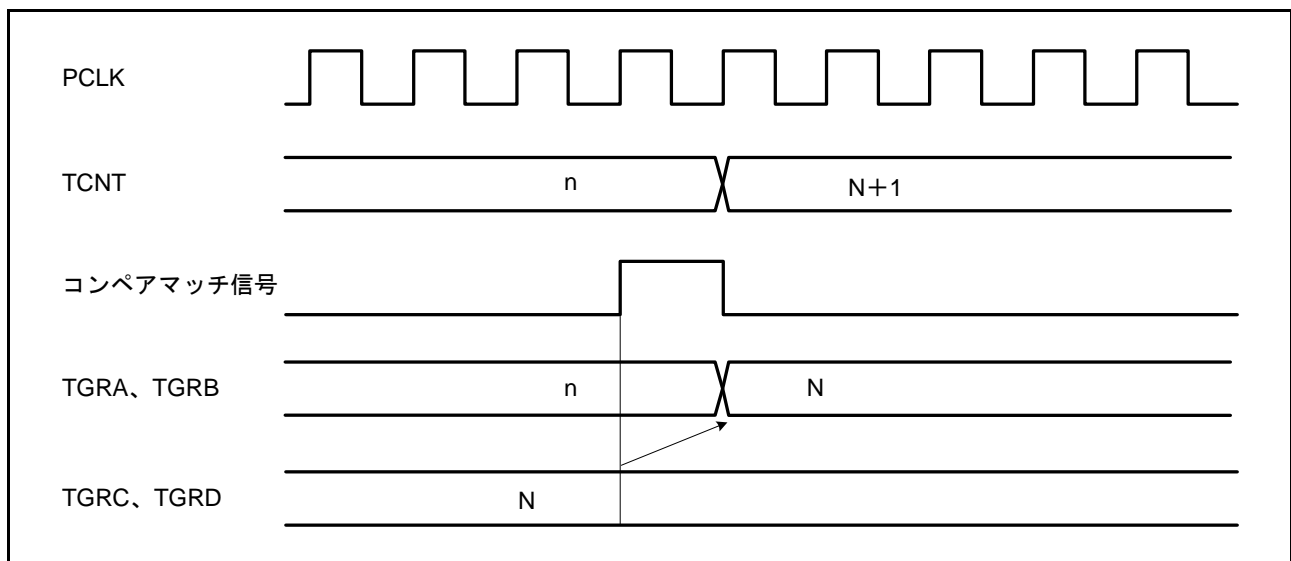


図 15.37 バッファ動作タイミング (コンペアマッチ)

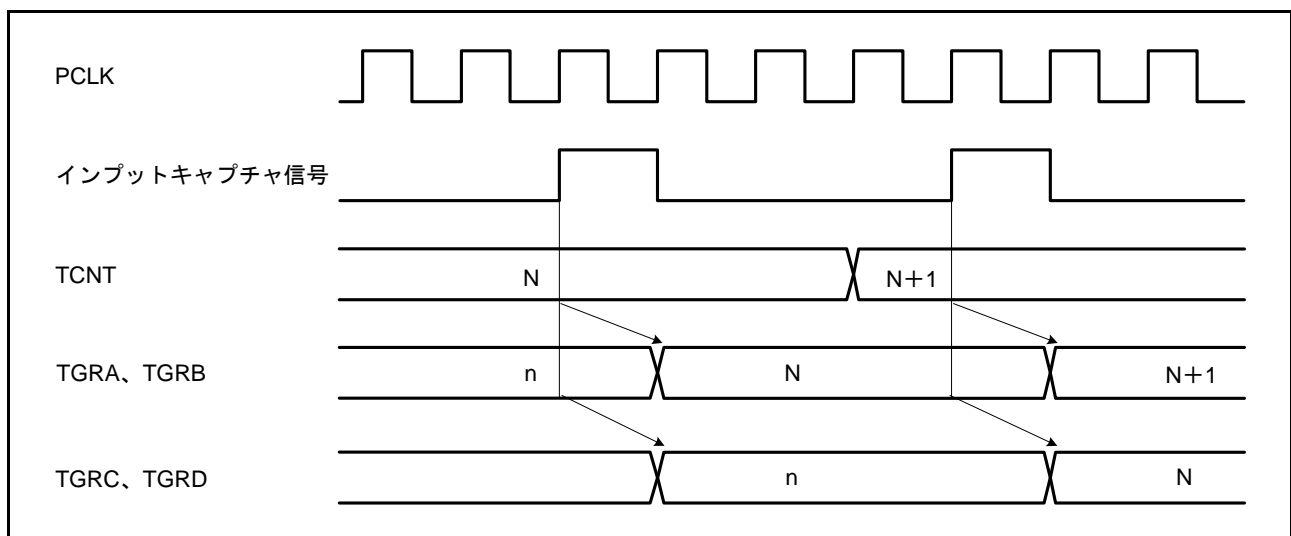


図 15.38 バッファ動作タイミング (インพุットキャプチャ)

15.8.2 割り込み信号タイミング

(1) コンペアマッチ時の割り込みフラグが“1”になるタイミング

コンペアマッチの発生による割り込みフラグのタイミングを図 15.39 に示します。

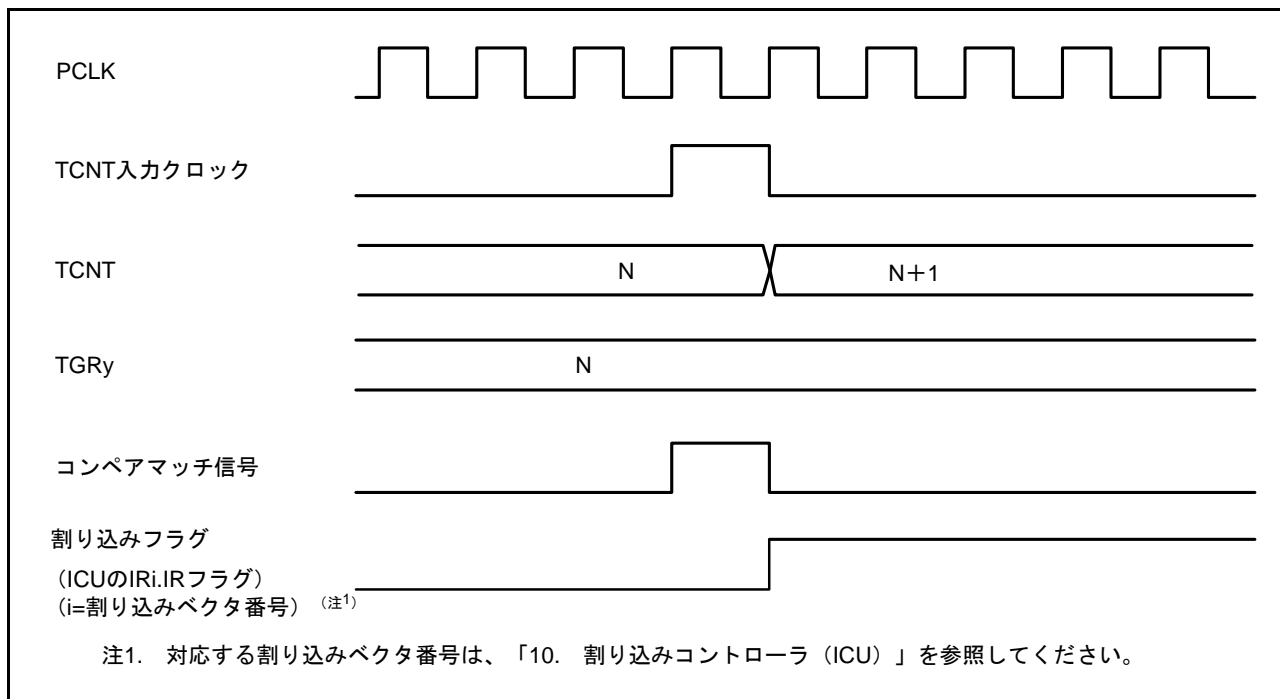


図 15.39 TGImy 割り込みタイミング (コンペアマッチ)

(2) インพุットキャプチャ時の割り込みフラグが“1”になるタイミング

インพุットキャプチャの発生による割り込みフラグのタイミングを図 15.40 に示します。

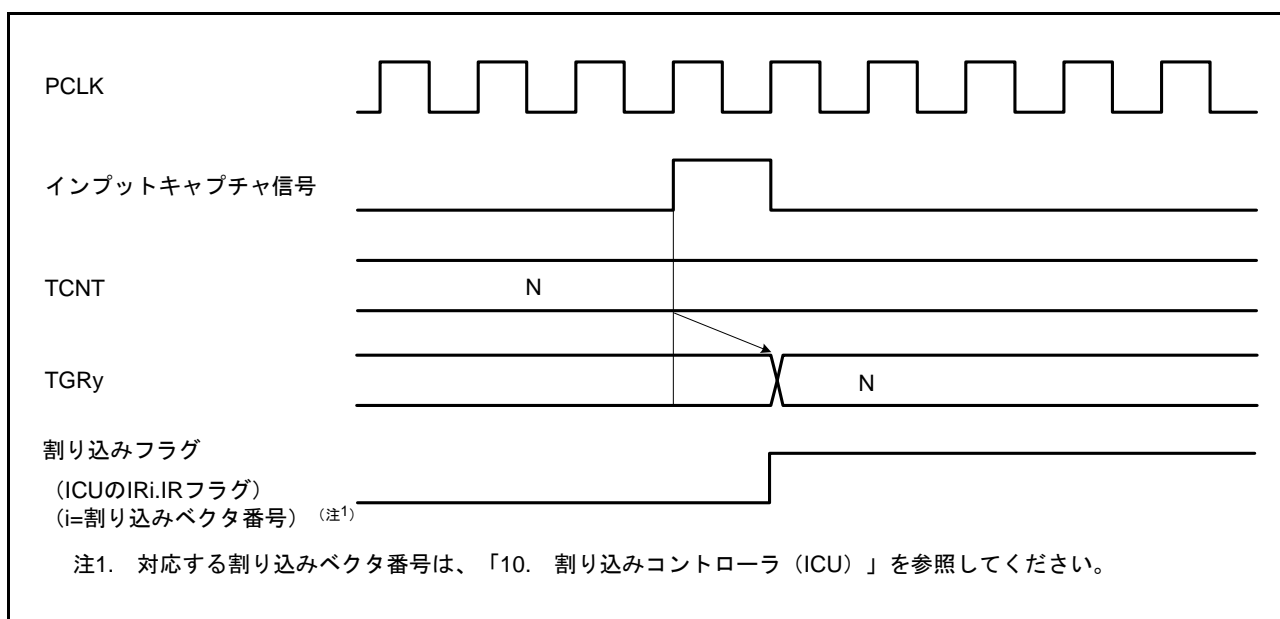


図 15.40 TGImy 割り込みタイミング (インพุットキャプチャ)

(3) TCImV、TCImU 割り込みフラグが“1”になるタイミング

オーバーフローの発生による TCImV 割り込み要求信号のタイミングを図 15.41 に示します。
 アンダフローの発生による TCImU 割り込み要求信号のタイミングを図 15.42 に示します。

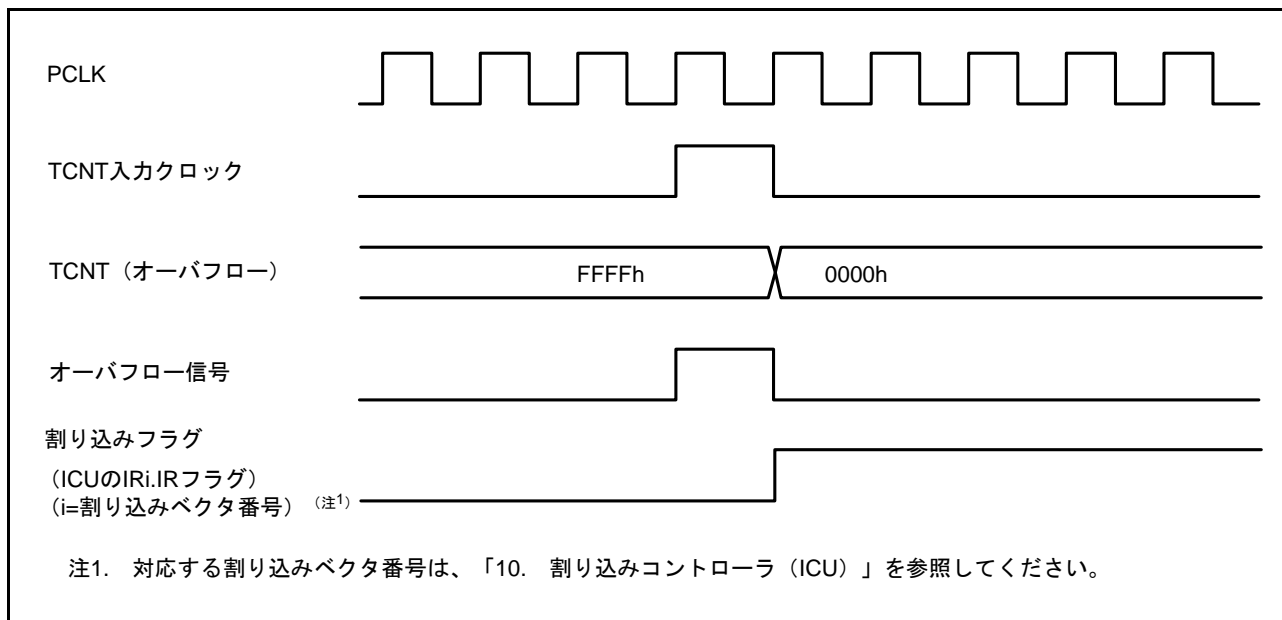


図 15.41 TCImV 割り込みのセットタイミング

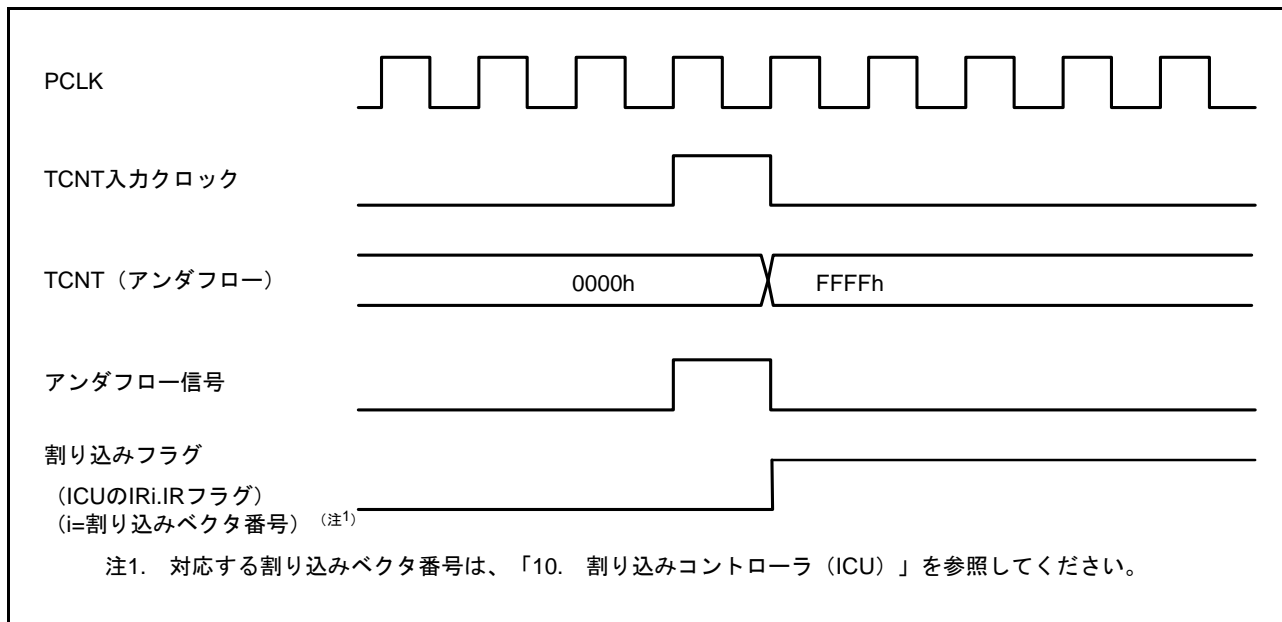


図 15.42 TCImU 割り込みのセットタイミング

15.9 使用上の注意事項

15.9.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、TPUの動作禁止/許可を設定することが可能です。初期値では、TPUの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「8. 消費電力低減機能」を参照してください。

15.9.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は1.5ステートクロック以上、両エッジの場合は2.5ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2本の入力クロックの位相差およびオーバーラップはそれぞれ1.5ステート以上、パルス幅は2.5ステート以上必要です。位相計数モードの入力クロックの条件を図15.43に示します。

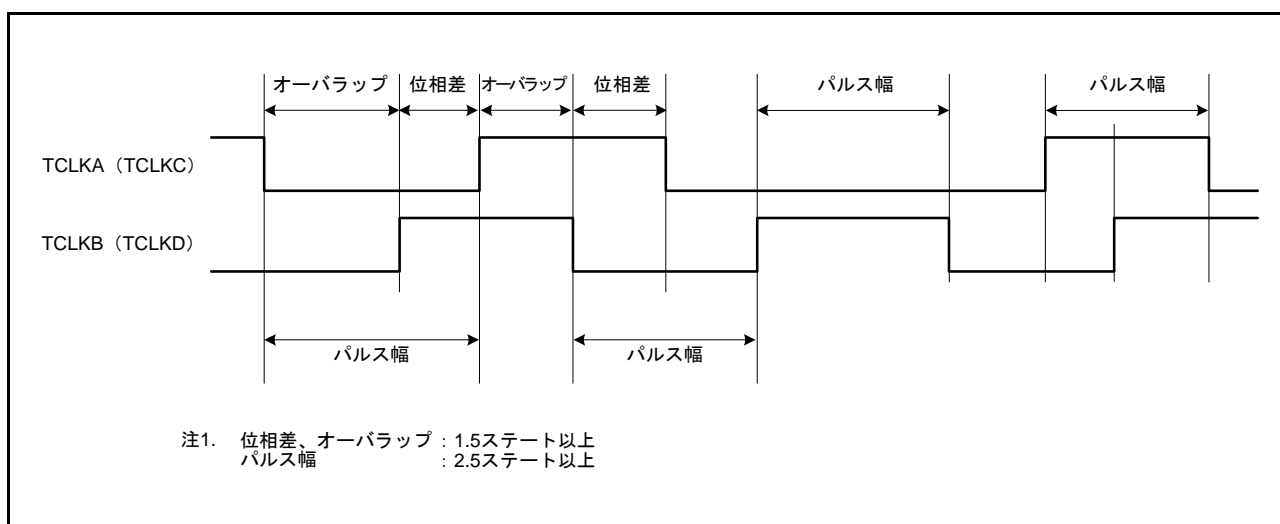


図 15.43 位相計数モード時の位相差、オーバーラップ、およびパルス幅

15.9.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TPUm.TCNT カウンタは TPUm.TGRy レジスタの値と一致した最後のステート (TCNT カウンタが一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は以下の式のようになります。

$$f = \frac{PCLK}{(N+1)}$$

- f : カウンタ周波数
PCLK : 動作周波数
N : TGRy レジスタの設定値

15.9.4 TPUm.TCNT カウンタへの書き込みとクリアの競合

TCNT カウンタのライトサイクルでカウンタクリア信号が発生すると、TCNT カウンタへの書き込みは行われずに TCNT カウンタのクリアが優先されます。このタイミングを図 15.44 に示します。

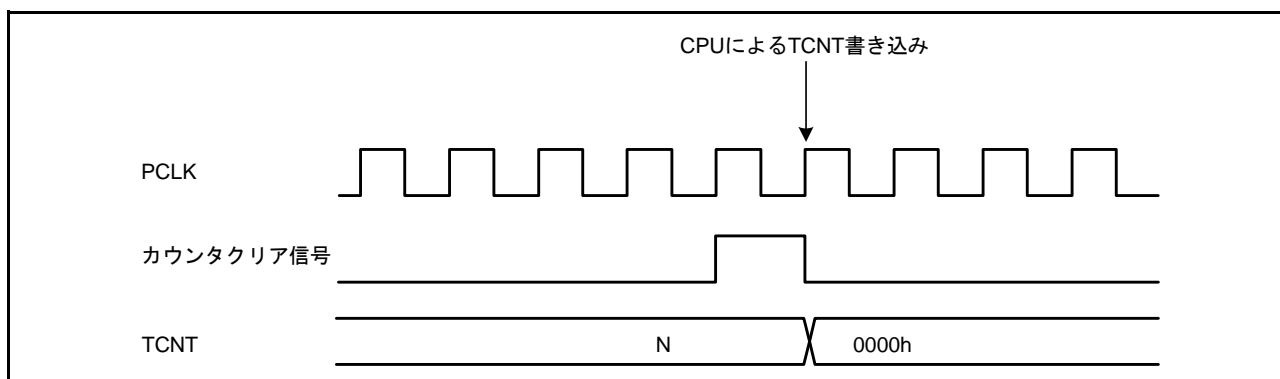


図 15.44 TPUm.TCNT カウンタへの書き込みとクリアの競合

15.9.5 TPUm.TCNT カウンタへの書き込みとカウントアップの競合

TCNT カウンタのライトサイクルでカウントアップが発生してもカウントアップされず、TCNT カウンタへの書き込みが優先されます。このタイミングを図 15.45 に示します。

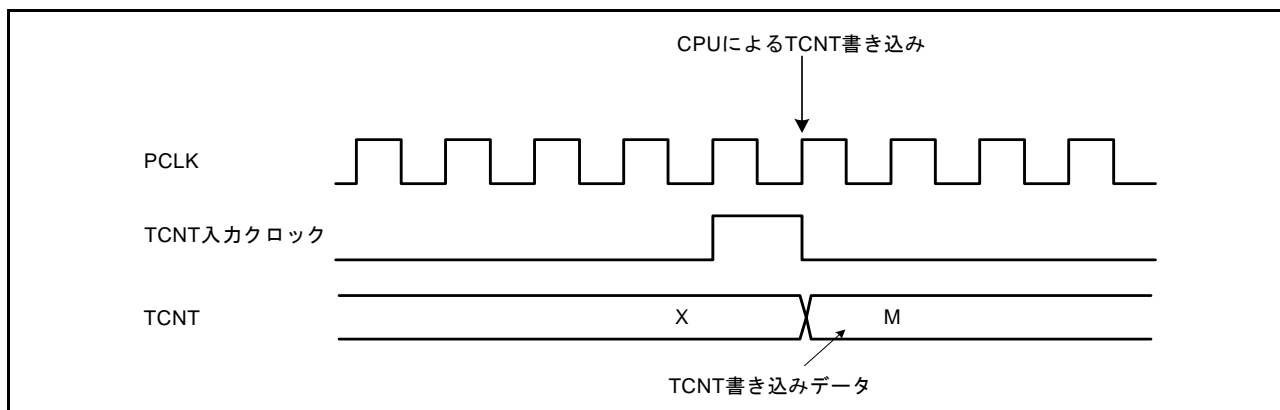


図 15.45 TPUm.TCNT カウンタへの書き込みとカウントアップの競合

15.9.6 TPUm.TGRy レジスタへの書き込みとコンペアマッチの競合

TGRy レジスタのライトサイクルでコンペアマッチが発生しても TGRy レジスタへの書き込みが優先され、コンペアマッチ信号は禁止されます。前回と同じ値を書いた場合でもコンペアマッチは発生しません。このタイミングを図 15.46 に示します。

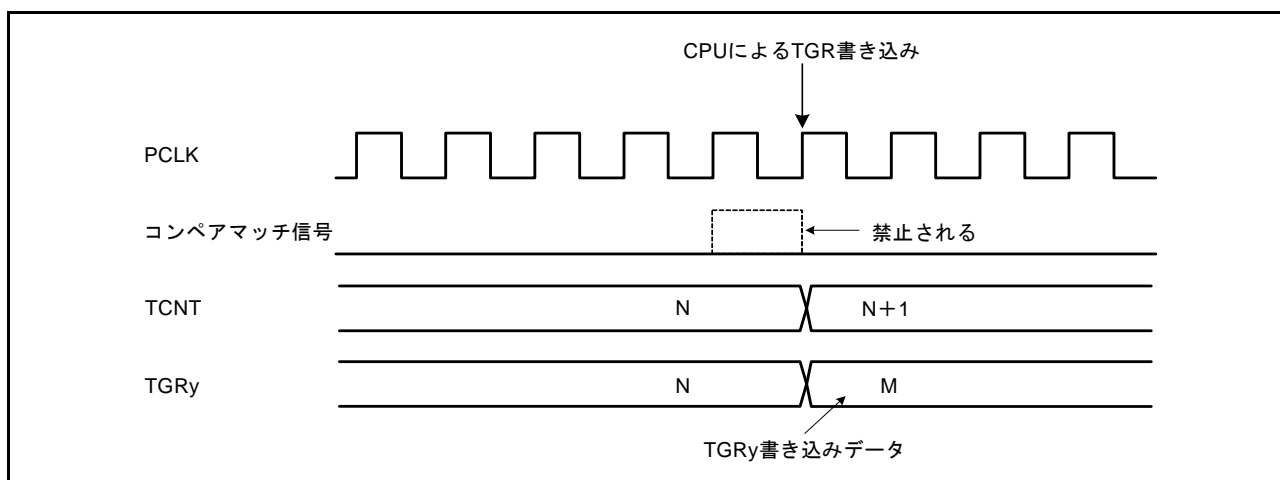


図 15.46 TPUm.TGRy レジスタへの書き込みとコンペアマッチの競合

15.9.7 バッファレジスタへの書き込みとコンペアマッチの競合

TPUm.TGRy レジスタのライトサイクルでコンペアマッチが発生すると、バッファ動作によって TGRy レジスタに転送されるデータは書き込み前のデータとなります。このタイミングを図 15.47 に示します。

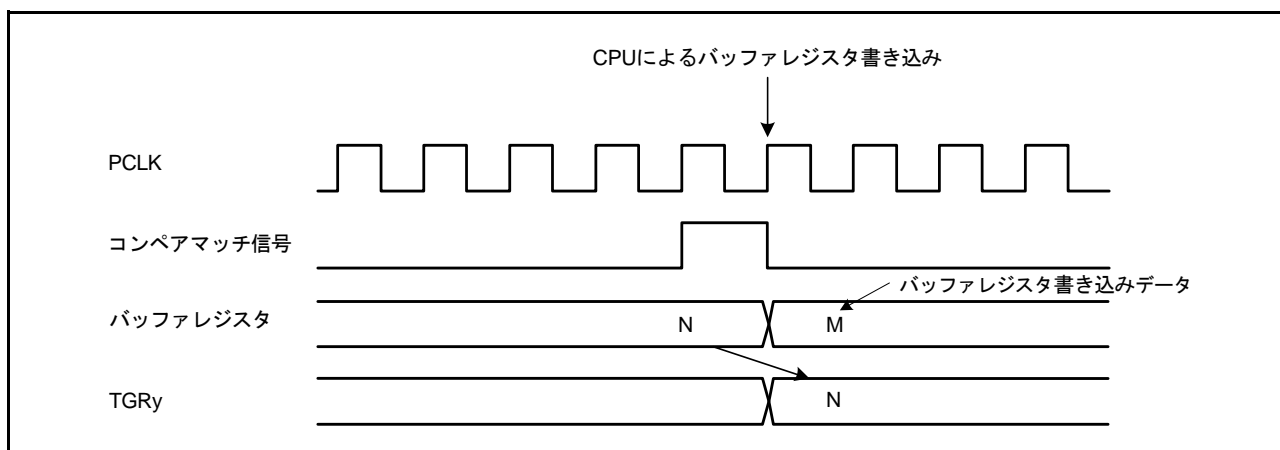


図 15.47 バッファレジスタへの書き込みとコンペアマッチの競合

15.9.8 TPUm.TGRy レジスタの読み出しとインプットキャプチャの競合

TGRy レジスタのリードサイクルでインプットキャプチャ信号が発生すると、読み出しデータはインプットキャプチャ転送前のデータとなります。

このタイミングを図 15.48 に示します。

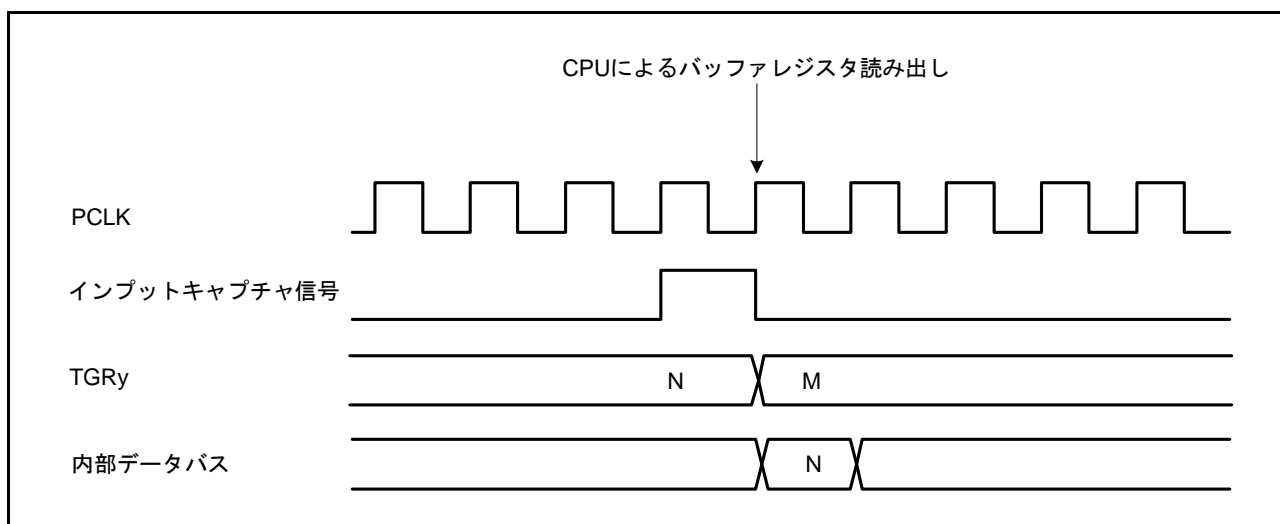


図 15.48 TPUm.TGRy レジスタの読み出しとインプットキャプチャの競合

15.9.9 TPUm.TGRy レジスタへの書き込みとインプットキャプチャの競合

TGRy レジスタのライトサイクルでインプットキャプチャ信号が発生すると、TGRy レジスタへの書き込みは行われず、インプットキャプチャが優先されます。このタイミングを図 15.49 に示します。

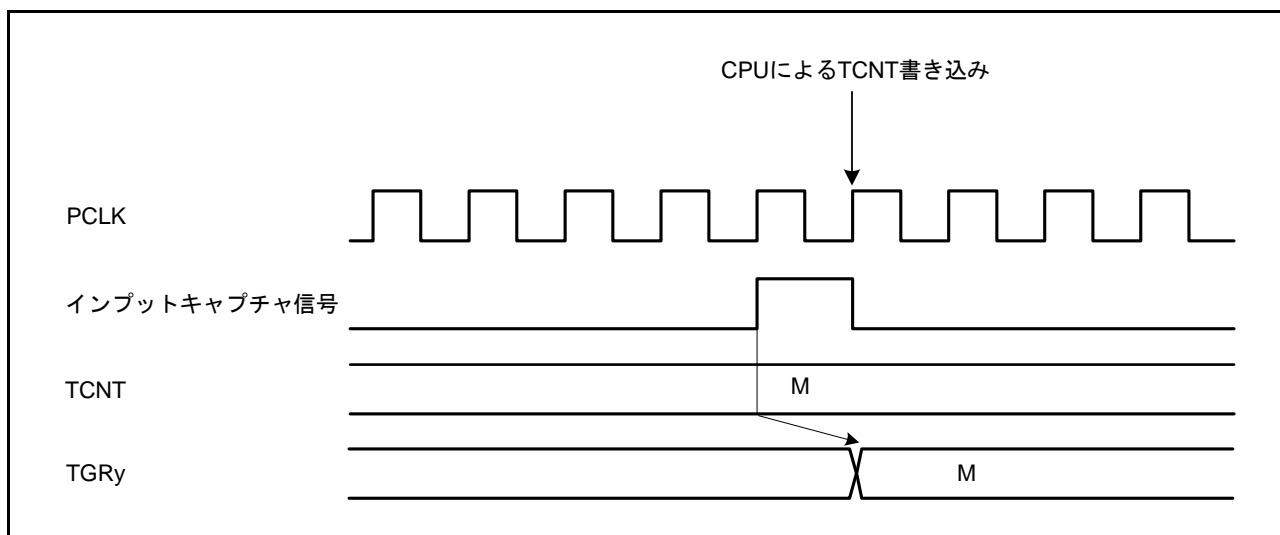


図 15.49 TPUm.TGRy レジスタへの書き込みとインプットキャプチャの競合

15.9.10 バッファレジスタへの書き込みと入力キャプチャの競合

バッファレジスタのライトサイクルで入力キャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。このタイミングを図 15.50 に示します。

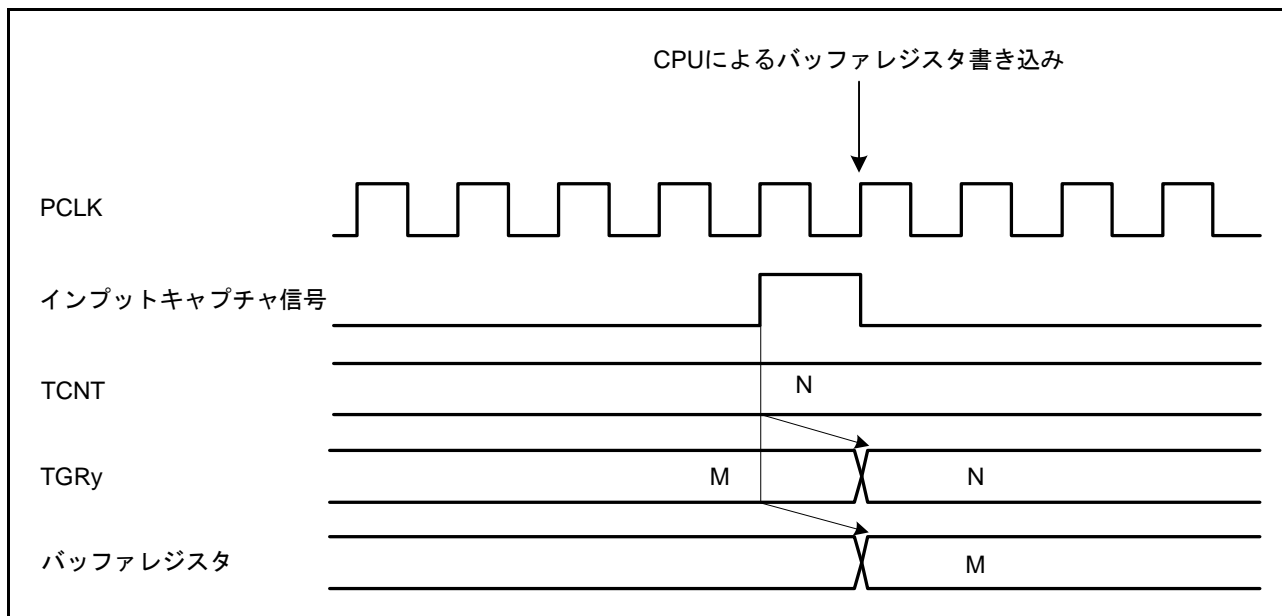
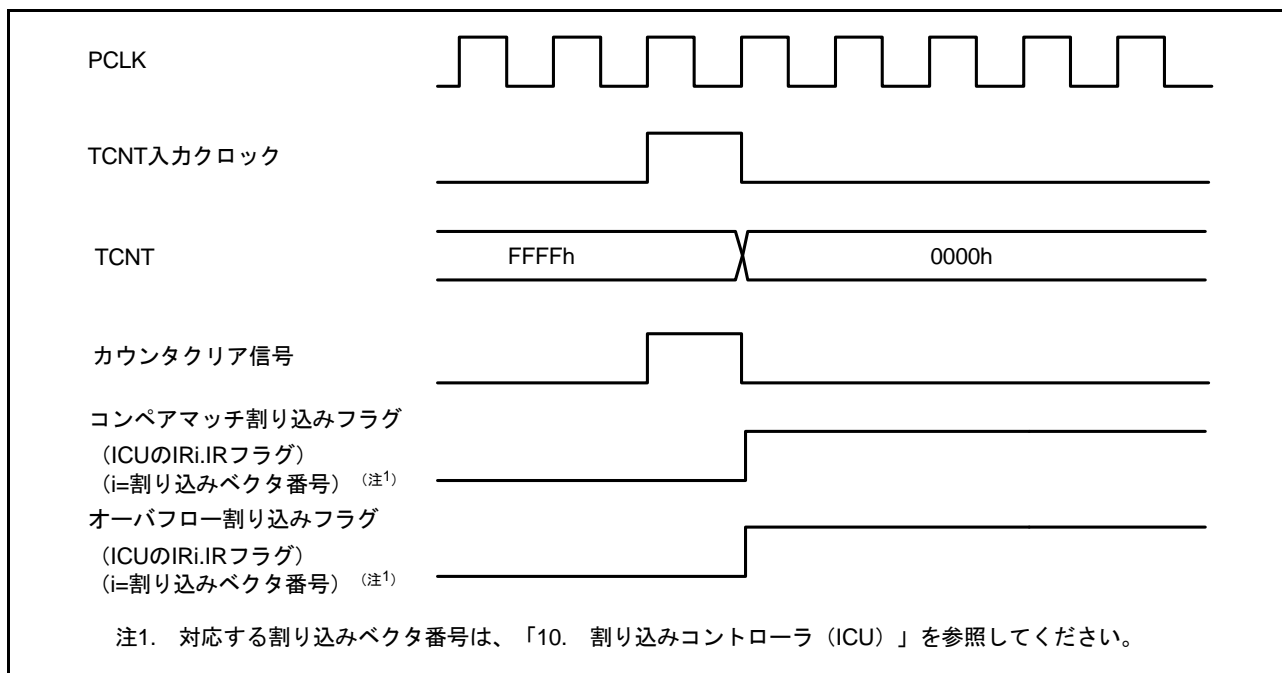


図 15.50 バッファレジスタへの書き込みと入力キャプチャの競合

15.9.11 オーバフロー/アンダフローとカウンタクリアの競合

オーバフロー/アンダフローとカウンタクリアが同時に発生すると、コンペアマッチ割り込みが発生するとともに、TPUm.TCNT カウンタのクリアが行われオーバフロー割り込みが発生します。

TPUm.TGRy レジスタのコンペアマッチをクリア要因とし、TGRy レジスタを“FFFFh”にした場合の動作タイミングを図 15.51 に示します。



注1. 対応する割り込みベクタ番号は、「10. 割り込みコントローラ (ICU)」を参照してください。

図 15.51 オーバフローとカウンタクリアの競合

15.9.12 TPUm.TCNT カウンタへの書き込みとオーバフロー/アンダフローの競合

TCNT カウンタのライトサイクルでカウントアップ / カウントダウンが発生し、オーバフロー / アンダフローが発生しても TCNT カウンタへの書き込みが優先されます。

TCNT カウンタへの書き込みとオーバフロー競合時の動作タイミングを図 15.52 に示します。

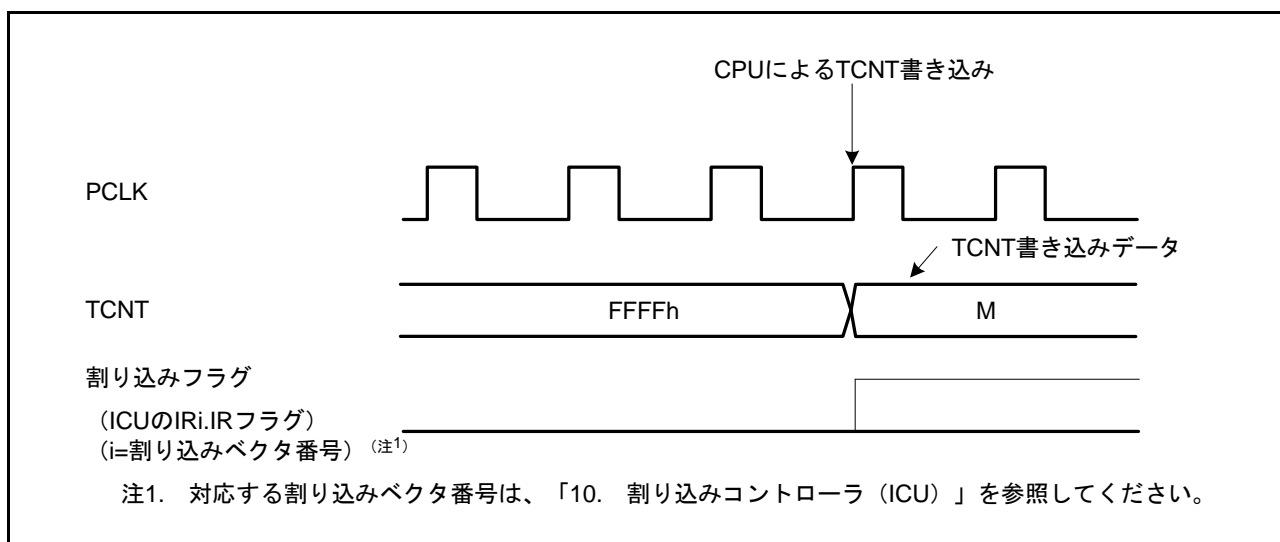


図 15.52 TPUm.TCNT カウンタへの書き込みとオーバフローの競合

15.9.13 入出力端子の兼用

RX610 グループでは、TCLKA-A 入力と TIOCC0 入出力、TCLKB-A 入力と TIOCDO 入出力、TCLKC-A 入力と TIOCB1 入出力、TCLKD-A 入力と TIOCB2 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

16. プログラマブルパルスジェネレータ (PPG)

プログラマブルパルスジェネレータ (PPG) では、16 ビットタイムパルスユニット (TPU) をタイムベースとしてパルスを出力します。

RX610 グループには2ユニットの PPG を搭載しています。1 ユニットは、16 ビットのパルス出力端子を持ち、4 ビット単位を 1 つのパルス出力グループとして構成しています。各パルス出力グループは同時に動作させることも、個別に動作させることもできます。

16.1 概要

表 16.1 に PPG の仕様を、表 16.2 に PPG 機能一覧を示します。

図 16.1、図 16.2 に PPG のブロック図を示します。

表 16.1 PPG の仕様

項目	内容
出力ビット数	最大32ビット
パルス出力	<ul style="list-style-type: none"> 4グループ×2ユニットを出力可能 出力トリガ信号を選択可能 ノンオーバーラップ動作可能 反転出力の指定可能
出力データ転送	DTC、DMAC との連携動作可能 (TPU の割り込み機能を使用時)
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

表 16.2 PPG 機能一覧

項目		PPG0	PPG1
PPG出力トリガ	TPU (ユニット0) の チャンネル0~チャンネル3 (TPU0~TPU3)	コンペアマッチ	○
		インプットキャプチャ	○
	TPU (ユニット1) の チャンネル6~チャンネル9 (TPU6~TPU9)	コンペアマッチ	—
		インプットキャプチャ	○
ノンオーバーラップ動作		○	○
出力データ転送	DTC	○	○
	DMAC	○	○
反転出力の指定		○	○
モジュールストップの設定 (注1)		MSTPCRA.MSTPA11ビット	MSTPCRA.MSTPA10ビット

○ : 可能

— : 不可能

注1. 詳細は「8. 消費電力低減機能」を参照してください。

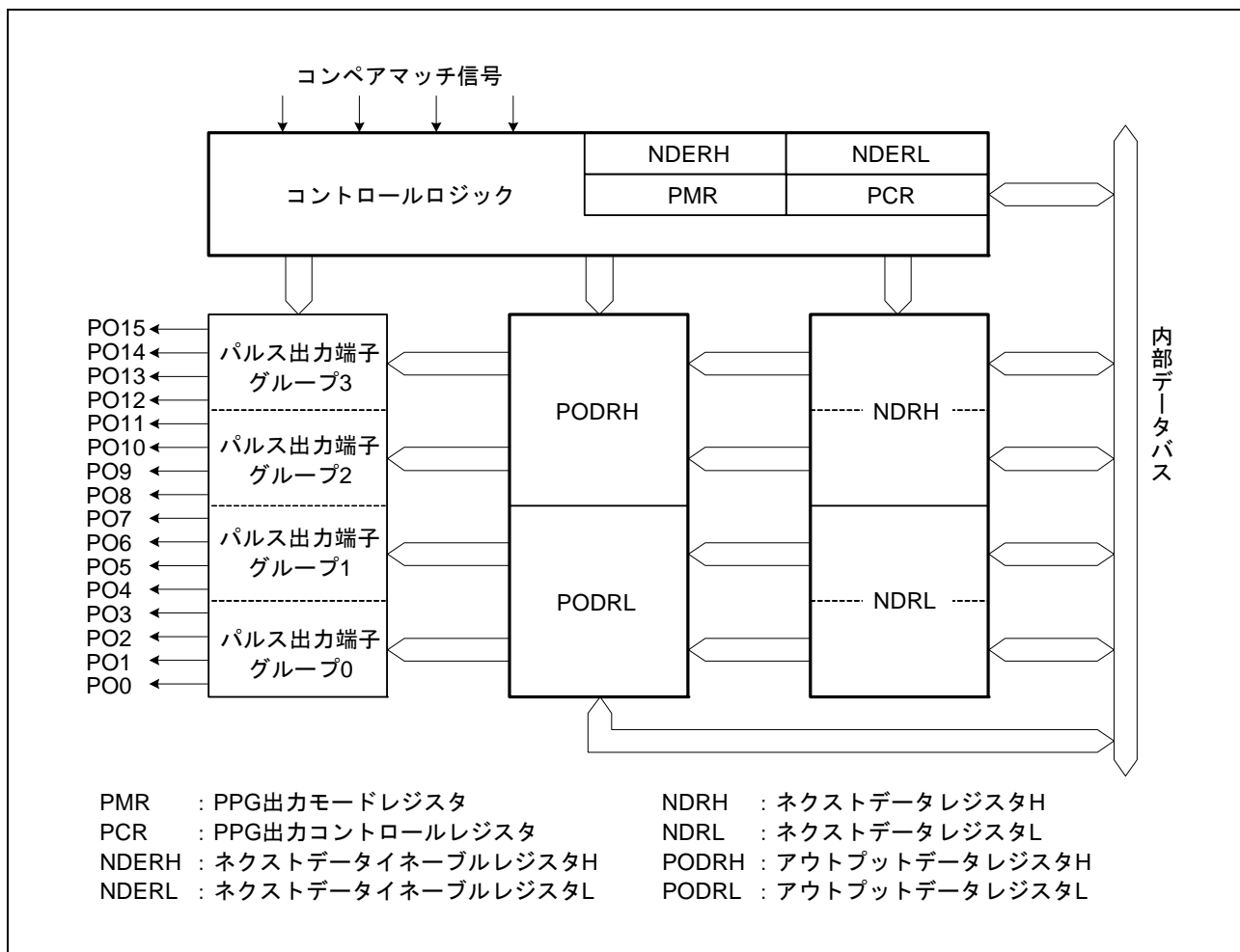


図 16.1 PPG (ユニット 0) のブロック図

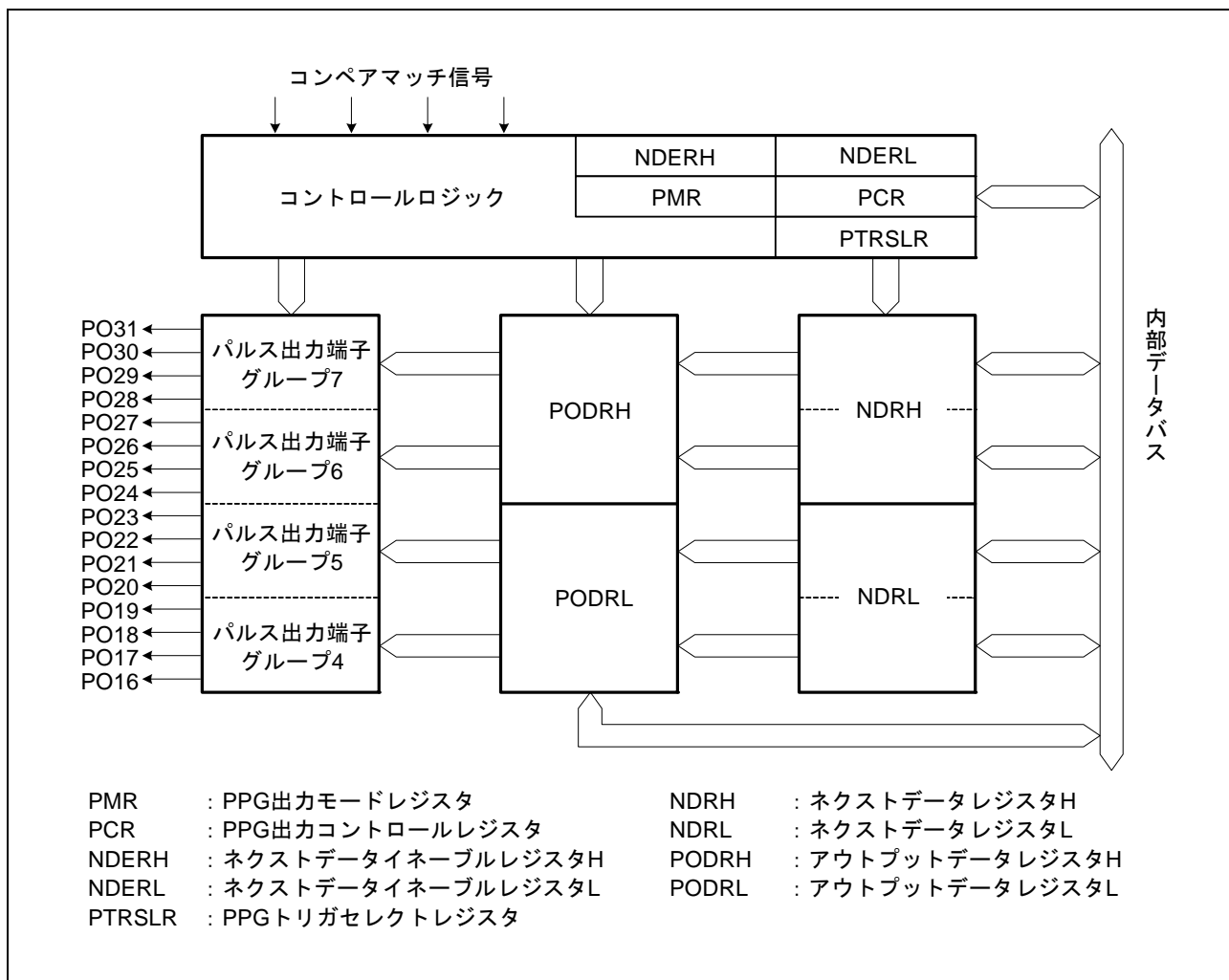


図 16.2 PPG (ユニット 1) のブロック図

表 16.3 に PPG で使用する入出力端子を示します。

表 16.3 PPGの入出力端子

ユニット	端子名	入出力	機能
PPG0	PO0	出力	パルス出力グループ0のパルス出力
	PO1	出力	
	PO2	出力	
	PO3	出力	
	PO4	出力	パルス出力グループ1のパルス出力
	PO5	出力	
	PO6	出力	
	PO7	出力	
	PO8	出力	パルス出力グループ2のパルス出力
	PO9	出力	
	PO10	出力	
	PO11	出力	
	PO12	出力	パルス出力グループ3のパルス出力
	PO13	出力	
	PO14	出力	
PO15	出力		
PPG1	PO16	出力	パルス出力グループ4のパルス出力
	PO17	出力	
	PO18	出力	
	PO19	出力	
	PO20	出力	パルス出力グループ5のパルス出力
	PO21	出力	
	PO22	出力	
	PO23	出力	
	PO24	出力	パルス出力グループ6のパルス出力
	PO25	出力	
	PO26	出力	
	PO27	出力	
	PO28	出力	パルス出力グループ7のパルス出力
	PO29	出力	
	PO30	出力	
	PO31	出力	

16.2 レジスタの説明

表 16.4 に PPG のレジスタ一覧を示します。

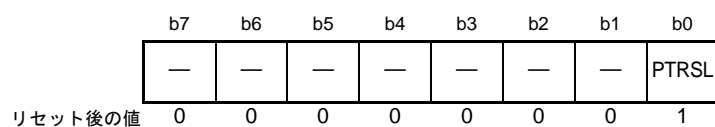
表 16.4 PPGのレジスタ一覧

ユニット	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
PPG0	PPG出力コントロールレジスタ	PCR	FFh	0008 81E6h	8
	PPG出力モードレジスタ	PMR	F0h	0008 81E7h	8
	ネクストデータイネーブルレジスタH	NDERH	00h	0008 81E8h	8
	ネクストデータイネーブルレジスタL	NDERL	00h	0008 81E9h 0008 81E9h	8
	アウトプットデータレジスタH	PODRH	00h	0008 81EAh 0008 81EAh	8
	アウトプットデータレジスタL	PODRL	00h	0008 81EBh	8
	ネクストデータレジスタH	NDRH	00h	0008 81ECh (注1)	8
	ネクストデータレジスタL	NDRL	00h	0008 81EDh (注2)	8
	ネクストデータレジスタH	NDRH	00h	0008 81EEh (注1)	8
	ネクストデータレジスタL	NDRL	00h	0008 81EFh (注2)	8
PPG1	PPGトリガセレクトレジスタ	PTRSLR	01h	0008 81F0h	8
	PPG出力コントロールレジスタ	PCR	FFh	0008 81F6h	8
	PPG出力モードレジスタ	PMR	F0h	0008 81F7h	8
	ネクストデータイネーブルレジスタH	NDERH	00h	0008 81F8h	8
	ネクストデータイネーブルレジスタL	NDERL	00h	0008 81F9h	8
	アウトプットデータレジスタH	PODRH	00h	0008 81FAh	8
	アウトプットデータレジスタL	PODRL	00h	0008 81FBh	8
	ネクストデータレジスタH	NDRH	00h	0008 81FCh (注3)	8
	ネクストデータレジスタL	NDRL	00h	0008 81FDh (注3)	8
	ネクストデータレジスタH	NDRH	00h	0008 81FEh (注4)	8
	ネクストデータレジスタL	NDRL	00h	0008 81FFh (注4)	8

- 注1. PPG0.PCRの設定により、パルス出力グループ2とパルス出力グループ3の出力トリガ設定値が同一の場合は、PPG0.NDRHのアドレスは0008 81EChとなります。出力トリガが異なる場合は、パルス出力グループ2に対応するPPG0.NDRHのアドレスは0008 81EEh、出力グループ3に対応するPPG0.NDRHは0008 81EChとなります。
- 注2. PPG0.PCRの設定により、パルス出力グループ0とパルス出力グループ1の出力トリガ設定値が同一の場合は、PPG0.NDRLのアドレスは0008 81EDhとなります。出力トリガが異なる場合は、パルス出力グループ0に対応するPPG0.NDRLのアドレスは0008 81EFh、出力グループ1に対応するPPG0.NDRLは0008 81EDhとなります。
- 注3. PPG1.PCRの設定により、パルス出力グループ6とパルス出力グループ7の出力トリガ設定値が同一の場合は、PPG1.NDRHのアドレスは0008 81FChとなります。出力トリガが異なる場合は、パルス出力グループ6に対応するPPG1.NDRHのアドレスは0008 81FEh、出力グループ7に対応するPPG1.NDRHは0008 81FChとなります。
- 注4. PPG1.PCRの設定により、パルス出力グループ4とパルス出力グループ5の出力トリガ設定値が同一の場合は、PPG1.NDRLのアドレスは0008 81FDhとなります。出力トリガが異なる場合は、パルス出力グループ4に対応するPPG1.NDRLのアドレスは0008 81FFh、出力グループ5に対応するPPG1.NDRLは0008 81FDhとなります。

16.2.1 PPG トリガセレクトレジスタ (PTRSLR)

アドレス 0008 81F0h



• PPG1.PTRSLR

ビット	シンボル	ビット名	機能	R/W
b0	PTRSL	PPGトリガ選択ビット	0 : PPG1のトリガはTPU0~3 1 : PPG1のトリガはTPU6~9	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PPG1.PTRSLR レジスタは、トリガ入力を選択するレジスタです。

PTRSL ビット (PPG トリガ選択ビット)

PPG1 のトリガ入力を TPU0 ~ 3 または TPU6 ~ 9 のいずれかの系統から選択します。

“0” にすると PPG1 へのトリガは TPU0 ~ 3 に、“1” にすると PPG1 へのトリガは TPU6 ~ 9 になります。

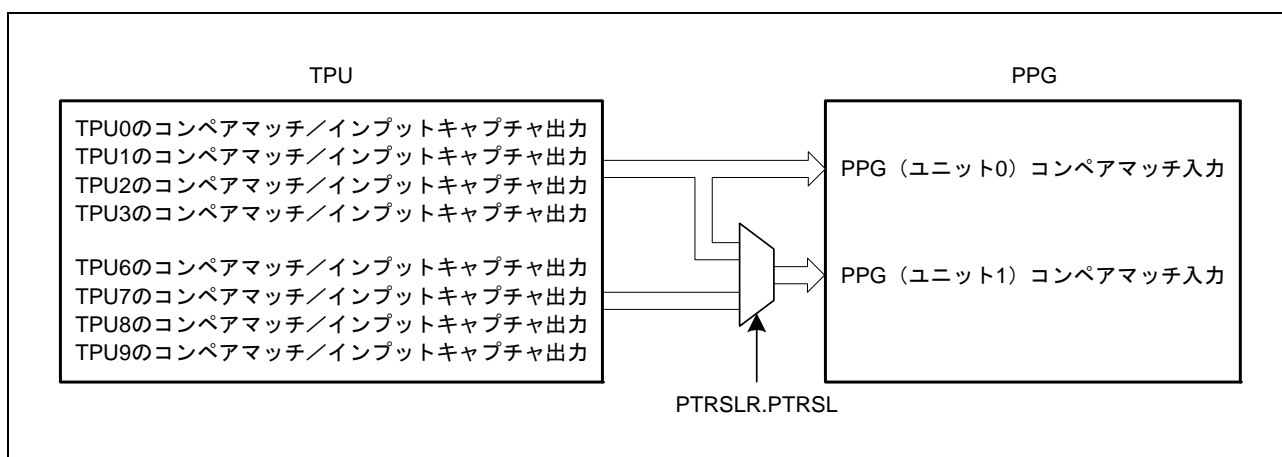


図 16.3 PPG トリガセレクトのブロック図

16.2.2 ネクストデータイネーブルレジスタ H (NDERH)、 ネクストデータイネーブルレジスタ L (NDERL)

アドレス 0008 81E8h

• PPG0.NDERH

	b7	b6	b5	b4	b3	b2	b1	b0
	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
リセット後の値	0	0	0	0	0	0	0	0

アドレス 0008 81E9h

• PPG0.NDERL

	b7	b6	b5	b4	b3	b2	b1	b0
	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
リセット後の値	0	0	0	0	0	0	0	0

• PPG0.NDERH

ビット	シンボル	ビット名	機能	R/W
b0	NDER8	ネクストデータ転送許可ビット	0 : データ転送禁止 1 : データ転送許可	R/W
b1	NDER9	ネクストデータ転送許可ビット		R/W
b2	NDER10	ネクストデータ転送許可ビット		R/W
b3	NDER11	ネクストデータ転送許可ビット		R/W
b4	NDER12	ネクストデータ転送許可ビット		R/W
b5	NDER13	ネクストデータ転送許可ビット		R/W
b6	NDER14	ネクストデータ転送許可ビット		R/W
b7	NDER15	ネクストデータ転送許可ビット		R/W

PPG0.NDERH レジスタは、PPG による PO8 ~ PO15 へのパルス出力をビット単位で許可 / 禁止するレジスタです。

NDER_j ビット (ネクストデータ転送許可ビット) (j = 8 ~ 15)

“1” にすると、PTRSLR レジスタで選択したトリガが発生したときに、PPG0.NDRH レジスタの対応するビットから PPG0.PODRH レジスタへデータが転送されます。“0” のビットは、PPG0.NDRH レジスタから PPG0.PODRH レジスタへのデータ転送は行われません。

- PPG0.NDERL

ビット	シンボル	ビット名	機能	R/W
b0	NDER0	ネクストデータ転送許可ビット	0 : データ転送禁止 1 : データ転送許可	R/W
b1	NDER1	ネクストデータ転送許可ビット		R/W
b2	NDER2	ネクストデータ転送許可ビット		R/W
b3	NDER3	ネクストデータ転送許可ビット		R/W
b4	NDER4	ネクストデータ転送許可ビット		R/W
b5	NDER5	ネクストデータ転送許可ビット		R/W
b6	NDER6	ネクストデータ転送許可ビット		R/W
b7	NDER7	ネクストデータ転送許可ビット		R/W

PPG0.NDERL レジスタは、PPG による PO0 ~ PO7 へのパルス出力をビット単位で許可 / 禁止するレジスタです。

NDERj ビット (ネクストデータ転送許可ビット) (j = 0 ~ 7)

“1” にすると、PTRSLR レジスタで選択したトリガが発生したときに、PPG0.NDRL レジスタの対応するビットから PPG0.PODRL レジスタへデータが転送されます。“0” のビットは、PPG0.NDRL レジスタから PPG0.PODRL レジスタへのデータ転送は行われません。

アドレス 0008 81F8h

・ PPG1.NDERH

b7	b6	b5	b4	b3	b2	b1	b0
NDER 31	NDER 30	NDER 29	NDER 28	NDER 27	NDER 26	NDER 25	NDER 24

リセット後の値 0 0 0 0 0 0 0 0

アドレス 0008 81F9h

・ PPG1.NDERL

b7	b6	b5	b4	b3	b2	b1	b0
NDER 23	NDER 22	NDER 21	NDER 20	NDER 19	NDER 18	NDER 17	NDER 16

リセット後の値 0 0 0 0 0 0 0 0

• PPG1.NDERH

ビット	シンボル	ビット名	機能	R/W
b0	NDER24	ネクストデータ転送許可ビット	0: データ転送禁止 1: データ転送許可	R/W
b1	NDER25	ネクストデータ転送許可ビット		R/W
b2	NDER26	ネクストデータ転送許可ビット		R/W
b3	NDER27	ネクストデータ転送許可ビット		R/W
b4	NDER28	ネクストデータ転送許可ビット		R/W
b5	NDER29	ネクストデータ転送許可ビット		R/W
b6	NDER30	ネクストデータ転送許可ビット		R/W
b7	NDER31	ネクストデータ転送許可ビット		R/W

PPG1.NDERH レジスタは、PPG による PO24 ~ PO31 へのパルス出力をビット単位で許可 / 禁止するレジスタです。

NDERj ビット (ネクストデータ転送許可ビット) (j = 24 ~ 31)

“1” にすると、PTRSLR レジスタで選択したトリガが発生したときに、PPG1.NDRH レジスタの対応するビットから PPG1.PODRH レジスタへデータが転送されます。“0” のビットは、PPG1.NDRH レジスタから PPG1.PODRH レジスタへのデータ転送は行われません。

- PPG1.NDERL

ビット	シンボル	ビット名	機能	R/W
b0	NDER16	ネクストデータ転送許可ビット	0 : データ転送禁止 1 : データ転送許可	R/W
b1	NDER17	ネクストデータ転送許可ビット		R/W
b2	NDER18	ネクストデータ転送許可ビット		R/W
b3	NDER19	ネクストデータ転送許可ビット		R/W
b4	NDER20	ネクストデータ転送許可ビット		R/W
b5	NDER21	ネクストデータ転送許可ビット		R/W
b6	NDER22	ネクストデータ転送許可ビット		R/W
b7	NDER23	ネクストデータ転送許可ビット		R/W

PPG1.NDERL レジスタは、PPG による PO16 ~ PO23 へのパルス出力をビット単位で許可 / 禁止するレジスタです。

NDERj ビット (ネクストデータ転送許可ビット) (j = 16 ~ 23)

“1” にすると、PTRSLR レジスタで選択したトリガが発生したときに、PPG1.NDRL レジスタの対応するビットから PPG1.PODRL レジスタへデータが転送されます。“0” のビットは、PPG1.NDRL レジスタから PPG1.PODRL レジスタへのデータ転送は行われません。

16.2.3 アウトプットデータレジスタ H (PODRH)、 アウトプットデータレジスタ L (PODRL)

アドレス 0008 81EAh

• PPG0.PODRH

b7	b6	b5	b4	b3	b2	b1	b0
POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8

リセット後の値 0 0 0 0 0 0 0 0

アドレス 0008 81EBh

• PPG0.PODRL

b7	b6	b5	b4	b3	b2	b1	b0
POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0

リセット後の値 0 0 0 0 0 0 0 0

• PPG0.PODRH

ビット	シンボル	ビット名	機能	R/W
b0	POD8	アウトプットデータレジスタビット	PPG0.NDERHレジスタでデータ転送許可に設定されたビットのみ、PPG動作中、出力トリガが発生するとPPG0.NDRHレジスタの値がこのレジスタに転送される。 PPG0.NDERH.NDERj (j = 8~15) ビットのいずれかが“1”の期間、CPUからの書き込み不可能。PPG0.NDERHレジスタが“00h”の状態では、パルスの初期出力値を設定可能	R/W
b1	POD9	アウトプットデータレジスタビット		R/W
b2	POD10	アウトプットデータレジスタビット		R/W
b3	POD11	アウトプットデータレジスタビット		R/W
b4	POD12	アウトプットデータレジスタビット		R/W
b5	POD13	アウトプットデータレジスタビット		R/W
b6	POD14	アウトプットデータレジスタビット		R/W
b7	POD15	アウトプットデータレジスタビット		R/W

PPG0.PODRHレジスタには、パルス出力値が格納されます。PPG0.NDERHレジスタによりパルス出力に設定されたビットは、出力トリガによってPPG0.NDRHレジスタの値がこのレジスタに転送されます。

• PPG0.PODRL

ビット	シンボル	ビット名	機能	R/W
b0	POD0	アウトプットデータレジスタビット	PPG0.NDERLレジスタでデータ転送許可に設定されたビットのみ、PPG動作中、出力トリガが発生するとPPG0.NDRLレジスタの値がこのレジスタに転送される。 PPG0.NDERL.NDERj (j = 0~7) ビットのいずれかが“1”の期間、CPUからの書き込み不可能。PPG0.NDERLレジスタが“00h”の状態では、パルスの初期出力値を設定可能	R/W
b1	POD1	アウトプットデータレジスタビット		R/W
b2	POD2	アウトプットデータレジスタビット		R/W
b3	POD3	アウトプットデータレジスタビット		R/W
b4	POD4	アウトプットデータレジスタビット		R/W
b5	POD5	アウトプットデータレジスタビット		R/W
b6	POD6	アウトプットデータレジスタビット		R/W
b7	POD7	アウトプットデータレジスタビット		R/W

PPG0.PODRLレジスタには、パルス出力値が格納されます。PPG0.NDERLレジスタによりパルス出力に設定されたビットは、出力トリガによってPPG0.NDRLレジスタの値がこのレジスタに転送されます。

アドレス 0008 81FAh

• PPG1.PODRH

b7	b6	b5	b4	b3	b2	b1	b0
POD31	POD30	POD29	POD28	POD27	POD26	POD25	POD24

リセット後の値 0 0 0 0 0 0 0 0

アドレス 0008 81FBh

• PPG1.PODRL

b7	b6	b5	b4	b3	b2	b1	b0
POD23	POD22	POD21	POD20	POD19	POD18	POD17	POD16

リセット後の値 0 0 0 0 0 0 0 0

• PPG1.PODRH

ビット	シンボル	ビット名	機能	R/W
b0	POD24	アウトプットデータレジスタビット	PPG1.NDERHレジスタでデータ転送許可に設定されたビットのみ、PPG動作中、出力トリガが発生するとPPG1.NDRHレジスタの値がこのレジスタに転送される。 PPG1.NDERH.NDERj (j = 24~31) ビットのいずれかが“1”の期間、CPUからの書き込み不可能。PPG1.NDERHレジスタが“00h”の状態では、パルスの初期出力値を設定可能	R/W
b1	POD25	アウトプットデータレジスタビット		R/W
b2	POD26	アウトプットデータレジスタビット		R/W
b3	POD27	アウトプットデータレジスタビット		R/W
b4	POD28	アウトプットデータレジスタビット		R/W
b5	POD29	アウトプットデータレジスタビット		R/W
b6	POD30	アウトプットデータレジスタビット		R/W
b7	POD31	アウトプットデータレジスタビット		R/W

PPG1.PODRHレジスタには、パルス出力値が格納されます。PPG1.NDERHレジスタによりパルス出力に設定されたビットは、出力トリガによってPPG1.NDRHレジスタの値がこのレジスタに転送されます。

• PPG1.PODRL

ビット	シンボル	ビット名	機能	R/W
b0	POD16	アウトプットデータレジスタビット	PPG1.NDERLレジスタでデータ転送許可に設定されたビットのみ、PPG動作中、出力トリガが発生するとPPG1.NDRLレジスタの値がこのレジスタに転送される。 PPG1.NDERL.NDERj (j = 16~23) ビットのいずれかが“1”の期間、CPUからの書き込み不可能。PPG1.NDERLレジスタが“00h”の状態では、パルスの初期出力値を設定可能	R/W
b1	POD17	アウトプットデータレジスタビット		R/W
b2	POD18	アウトプットデータレジスタビット		R/W
b3	POD19	アウトプットデータレジスタビット		R/W
b4	POD20	アウトプットデータレジスタビット		R/W
b5	POD21	アウトプットデータレジスタビット		R/W
b6	POD22	アウトプットデータレジスタビット		R/W
b7	POD23	アウトプットデータレジスタビット		R/W

PPG1.PODRLレジスタには、パルス出力値が格納されます。PPG1.NDERLレジスタによりパルス出力に設定されたビットは、出力トリガによってPPG1.NDRLレジスタの値がこのレジスタに転送されます。

16.2.4 ネクストデータレジスタ H (NDRH)、ネクストデータレジスタ L (NDRL)

アドレス 0008 81ECh, 0008 81EEh

• PPG0.NDRH

	b7	b6	b5	b4	b3	b2	b1	b0
	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
リセット後の値	0	0	0	0	0	0	0	0

アドレス 0008 81EDh, 0008 81EFh

• PPG0.NDRL

	b7	b6	b5	b4	b3	b2	b1	b0
	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
リセット後の値	0	0	0	0	0	0	0	0

• PPG0.NDRH

PPG0.NDRH レジスタには、パルス出力の次のデータを格納します。PPG0.NDRH レジスタのアドレスは、パルス出力グループの出力トリガを同一に設定した場合と、異なる出力トリガを選択した場合とで異なります。

(1) パルス出力グループ 2、3 の出力トリガが同一の場合

パルス出力グループ 2、3 の出力トリガを同一にすると、8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

(0008 81ECh)

ビット	シンボル	ビット名	機能	R/W
b0	NDR8	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値が PPG0.PODRH レジスタの対応するビットに転送される	R/W
b1	NDR9	ネクストデータレジスタビット		R/W
b2	NDR10	ネクストデータレジスタビット		R/W
b3	NDR11	ネクストデータレジスタビット		R/W
b4	NDR12	ネクストデータレジスタビット		R/W
b5	NDR13	ネクストデータレジスタビット		R/W
b6	NDR14	ネクストデータレジスタビット		R/W
b7	NDR15	ネクストデータレジスタビット		R/W

(2) パルス出力グループ 2 とパルス出力グループ 3 で出力トリガが異なる場合

パルス出力グループ 2 とパルス出力グループ 3 で異なる出力トリガを選択すると、上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

(パルス出力グループ 3 : 0008 81ECh)

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	NDR12	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値が PPG0.PODRH レジスタの対応するビットに転送される	R/W
b5	NDR13	ネクストデータレジスタビット		R/W
b6	NDR14	ネクストデータレジスタビット		R/W
b7	NDR15	ネクストデータレジスタビット		R/W

(パルス出力グループ 2 : 0008 81EEh)

ビット	シンボル	ビット名	機能	R/W
b0	NDR8	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値が PPG0.PODRH レジスタの対応するビットに転送される	R/W
b1	NDR9	ネクストデータレジスタビット		R/W
b2	NDR10	ネクストデータレジスタビット		R/W
b3	NDR11	ネクストデータレジスタビット		R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

- PPG0.NDRL

PPG0.NDRL レジスタには、パルス出力の次のデータを格納します。PPG0.NDRL レジスタのアドレスは、パルス出力グループの出力トリガを同一に設定した場合と、異なる出力トリガを選択した場合とで異なります。

(1) パルス出力グループ 0、1 の出力トリガが同一の場合

パルス出力グループ 0、1 の出力トリガを同一にすると、8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

(0008 81EDh)

ビット	シンボル	ビット名	機能	R/W
b0	NDR0	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値が PPG0.PODRL レジスタの対応するビットに転送される	R/W
b1	NDR1	ネクストデータレジスタビット		R/W
b2	NDR2	ネクストデータレジスタビット		R/W
b3	NDR3	ネクストデータレジスタビット		R/W
b4	NDR4	ネクストデータレジスタビット		R/W
b5	NDR5	ネクストデータレジスタビット		R/W
b6	NDR6	ネクストデータレジスタビット		R/W
b7	NDR7	ネクストデータレジスタビット		R/W

(2) パルス出力グループ 0 とパルス出力グループ 1 で出力トリガが異なる場合

パルス出力グループ 0 とパルス出力グループ 1 で異なる出力トリガを選択すると、上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

(パルス出力グループ 1 : 0008 81EDh)

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	NDR4	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値が PPG0.PODRL レジスタの対応するビットに転送される	R/W
b5	NDR5	ネクストデータレジスタビット		R/W
b6	NDR6	ネクストデータレジスタビット		R/W
b7	NDR7	ネクストデータレジスタビット		R/W

(パルス出力グループ 0 : 0008 81EFh)

ビット	シンボル	ビット名	機能	R/W
b0	NDR0	ネクストデータレジスタビット	PPG0.PCR レジスタで指定した出力トリガにより、このレジスタの値が PPG0.PODRL レジスタの対応するビットに転送される	R/W
b1	NDR1	ネクストデータレジスタビット		R/W
b2	NDR2	ネクストデータレジスタビット		R/W
b3	NDR3	ネクストデータレジスタビット		R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

アドレス 0008 81FCh, 0008 81FEh

・ PPG1.NDRH

b7	b6	b5	b4	b3	b2	b1	b0
NDR31	NDR30	NDR29	NDR28	NDR27	NDR26	NDR25	NDR24

リセット後の値 0 0 0 0 0 0 0 0

アドレス 0008 81FDh, 0008 81FFh

・ PPG1.NDRL

b7	b6	b5	b4	b3	b2	b1	b0
NDR23	NDR22	NDR21	NDR20	NDR19	NDR18	NDR17	NDR16

リセット後の値 0 0 0 0 0 0 0 0

● PPG1.NDRH

PPG1.NDRH レジスタには、パルス出力の次のデータを格納します。PPG1.NDRH レジスタのアドレスは、パルス出力グループの出力トリガを同一に設定した場合と、異なる出力トリガを選択した場合とで異なります。

(1) パルス出力グループ 6、7 の出力トリガが同一の場合

パルス出力グループ 6、7 の出力トリガを同一にすると、8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

(0008 81FCh)

ビット	シンボル	ビット名	機能	R/W
b0	NDR24	ネクストデータレジスタビット	PPG1.PCR レジスタで指定した出力トリガにより、このレジスタの値が PPG1.PODRH レジスタの対応するビットに転送される	R/W
b1	NDR25	ネクストデータレジスタビット		R/W
b2	NDR26	ネクストデータレジスタビット		R/W
b3	NDR27	ネクストデータレジスタビット		R/W
b4	NDR28	ネクストデータレジスタビット		R/W
b5	NDR29	ネクストデータレジスタビット		R/W
b6	NDR30	ネクストデータレジスタビット		R/W
b7	NDR31	ネクストデータレジスタビット		R/W

(2) パルス出力グループ6とパルス出力グループ7で出力トリガが異なる場合

パルス出力グループ6とパルス出力グループ7で異なる出力トリガを選択すると、上位4ビットと下位4ビットは異なるアドレスにマッピングされます。

(パルス出力グループ7 : 0008 81FCh)

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	NDR28	ネクストデータレジスタビット	PPG1.PCRレジスタで指定した出力トリガにより、このレジスタの値がPPG1.PODRHレジスタの対応するビットに転送される	R/W
b5	NDR29	ネクストデータレジスタビット		R/W
b6	NDR30	ネクストデータレジスタビット		R/W
b7	NDR31	ネクストデータレジスタビット		R/W

(パルス出力グループ6 : 0008 81FEh)

ビット	シンボル	ビット名	機能	R/W
b0	NDR24	ネクストデータレジスタビット	PPG1.PCRレジスタで指定した出力トリガにより、このレジスタの値がPPG1.PODRHレジスタの対応するビットに転送される	R/W
b1	NDR25	ネクストデータレジスタビット		R/W
b2	NDR26	ネクストデータレジスタビット		R/W
b3	NDR27	ネクストデータレジスタビット		R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

- PPG1.NDRL

PPG1.NDRL レジスタには、パルス出力の次のデータを格納します。PPG1.NDRL レジスタのアドレスは、パルス出力グループの出力トリガを同一に設定した場合と、異なる出力トリガを選択した場合とで異なります。

(1) パルス出力グループ 4、5 の出力トリガが同一の場合

パルス出力グループ 4、5 の出力トリガを同一にすると、8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

(0008 81FDh)

ビット	シンボル	ビット名	機能	R/W
b0	NDR16	ネクストデータレジスタビット	PPG1.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG1.PODRLレジスタの対応するビットに転送される	R/W
b1	NDR17	ネクストデータレジスタビット		R/W
b2	NDR18	ネクストデータレジスタビット		R/W
b3	NDR19	ネクストデータレジスタビット		R/W
b4	NDR20	ネクストデータレジスタビット		R/W
b5	NDR21	ネクストデータレジスタビット		R/W
b6	NDR22	ネクストデータレジスタビット		R/W
b7	NDR23	ネクストデータレジスタビット		R/W

(2) パルス出力グループ 4 とパルス出力グループ 5 で出力トリガが異なる場合

パルス出力グループ 4 とパルス出力グループ 5 で異なる出力トリガを選択すると、上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

(パルス出力グループ 5 : 0008 81FDh)

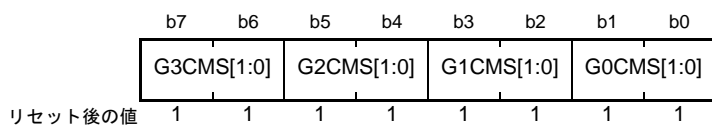
ビット	シンボル	ビット名	機能	R/W
b3-b0	—	(予約ビット)	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	NDR20	ネクストデータレジスタビット	PPG1.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG1.PODRLレジスタの対応するビットに転送される	R/W
b5	NDR21	ネクストデータレジスタビット		R/W
b6	NDR22	ネクストデータレジスタビット		R/W
b7	NDR23	ネクストデータレジスタビット		R/W

(パルス出力グループ 4 : 0008 81FFh)

ビット	シンボル	ビット名	機能	R/W
b0	NDR16	ネクストデータレジスタビット	PPG1.PCR レジスタで指定した出力トリガにより、このレジスタの値がPPG1.PODRLレジスタの対応するビットに転送される	R/W
b1	NDR17	ネクストデータレジスタビット		R/W
b2	NDR18	ネクストデータレジスタビット		R/W
b3	NDR19	ネクストデータレジスタビット		R/W
b7-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

16.2.5 PPG 出力コントロールレジスタ (PCR)

アドレス PPG0.PCR 0008 81E6h、PPG1.PCR 0008 81F6h



• PPG0.PCR

ビット	シンボル	ビット名	機能	R/W
b1-b0	G0CMS[1:0]	グループ0コンペアマッチ選択ビット	b1 b0 0 0 : TPU0のコンペアマッチ 0 1 : TPU1のコンペアマッチ 1 0 : TPU2のコンペアマッチ 1 1 : TPU3のコンペアマッチ	R/W
b3-b2	G1CMS[1:0]	グループ1コンペアマッチ選択ビット	b3 b2 0 0 : TPU0のコンペアマッチ 0 1 : TPU1のコンペアマッチ 1 0 : TPU2のコンペアマッチ 1 1 : TPU3のコンペアマッチ	R/W
b5-b4	G2CMS[1:0]	グループ2コンペアマッチ選択ビット	b5 b4 0 0 : TPU0のコンペアマッチ 0 1 : TPU1のコンペアマッチ 1 0 : TPU2のコンペアマッチ 1 1 : TPU3のコンペアマッチ	R/W
b7-b6	G3CMS[1:0]	グループ3コンペアマッチ選択ビット	b7 b6 0 0 : TPU0のコンペアマッチ 0 1 : TPU1のコンペアマッチ 1 0 : TPU2のコンペアマッチ 1 1 : TPU3のコンペアマッチ	R/W

• PPG1.PCR

ビット	シンボル	ビット名	機能	R/W
b1-b0	G0CMS[1:0]	グループ4コンペアマッチ選択ビット	PPG1.PTRSLR.PTRSLビットが“0”の場合 b1 b0 0 0: TPU0のコンペアマッチ 0 1: TPU1のコンペアマッチ 1 0: TPU2のコンペアマッチ 1 1: TPU3のコンペアマッチ PPG1.PTRSLR.PTRSLビットが“1”の場合 b1 b0 0 0: TPU6のコンペアマッチ 0 1: TPU7のコンペアマッチ 1 0: TPU8のコンペアマッチ 1 1: TPU9のコンペアマッチ	R/W
b3-b2	G1CMS[1:0]	グループ5コンペアマッチ選択ビット	PPG1.PTRSLR.PTRSLビットが“0”の場合 b3 b2 0 0: TPU0のコンペアマッチ 0 1: TPU1のコンペアマッチ 1 0: TPU2のコンペアマッチ 1 1: TPU3のコンペアマッチ PPG1.PTRSLR.PTRSLビットが“1”の場合 b3 b2 0 0: TPU6のコンペアマッチ 0 1: TPU7のコンペアマッチ 1 0: TPU8のコンペアマッチ 1 1: TPU9のコンペアマッチ	R/W
b5-b4	G2CMS[1:0]	グループ6コンペアマッチ選択ビット	PPG1.PTRSLR.PTRSLビットが“0”の場合 b5 b4 0 0: TPU0のコンペアマッチ 0 1: TPU1のコンペアマッチ 1 0: TPU2のコンペアマッチ 1 1: TPU3のコンペアマッチ PPG1.PTRSLR.PTRSLビットが“1”の場合 b5 b4 0 0: TPU6のコンペアマッチ 0 1: TPU7のコンペアマッチ 1 0: TPU8のコンペアマッチ 1 1: TPU9のコンペアマッチ	R/W
b7-b6	G3CMS[1:0]	グループ7コンペアマッチ選択ビット	PPG1.PTRSLR.PTRSLビットが“0”の場合 b7 b6 0 0: TPU0のコンペアマッチ 0 1: TPU1のコンペアマッチ 1 0: TPU2のコンペアマッチ 1 1: TPU3のコンペアマッチ PPG1.PTRSLR.PTRSLビットが“1”の場合 b7 b6 0 0: TPU6のコンペアマッチ 0 1: TPU7のコンペアマッチ 1 0: TPU8のコンペアマッチ 1 1: TPU9のコンペアマッチ	R/W

PPGm.PCR レジスタ (m=0, 1) は、パルス出力トリガ信号をグループ単位で選択するレジスタです。
出力トリガの選択については、「16.2.6 PPG 出力モードレジスタ (PMR)」を参照してください。

GjCMS[1:0] ビット (グループ k コンペアマッチ選択ビット) (j = 0 ~ 3, k = 0 ~ 7)

パルス出力グループ k の出力トリガを選択します。

16.2.6 PPG 出力モードレジスタ (PMR)

アドレス PPG0.PMR 0008 81E7h、PPG1.PMR 0008 81F7h

	b7	b6	b5	b4	b3	b2	b1	b0
	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV
リセット後の値	1	1	1	1	1	1	1	1

● PPG0.PMR

ビット	シンボル	ビット名	機能	R/W
b0	G0NOV	グループ0ノンオーバーラップビット	0: 通常動作 (選択されたTPUmのコンペアマッチAで出力値を更新) 1: ノンオーバーラップ動作 (選択されたTPUmのコンペアマッチA、Bで出力値を更新) (m = 0~3)	R/W
b1	G1NOV	グループ1ノンオーバーラップビット	0: 通常動作 (選択されたTPUmのコンペアマッチAで出力値を更新) 1: ノンオーバーラップ動作 (選択されたTPUmのコンペアマッチA、Bで出力値を更新) (m = 0~3)	R/W
b2	G2NOV	グループ2ノンオーバーラップビット	0: 通常動作 (選択されたTPUmのコンペアマッチAで出力値を更新) 1: ノンオーバーラップ動作 (選択されたTPUmのコンペアマッチA、Bで出力値を更新) (m = 0~3)	R/W
b3	G3NOV	グループ3ノンオーバーラップビット	0: 通常動作 (選択されたTPUmのコンペアマッチAで出力値を更新) 1: ノンオーバーラップ動作 (選択されたTPUmのコンペアマッチA、Bで出力値を更新) (m = 0~3)	R/W
b4	G0INV	グループ0出力極性変更ビット	0: 反転出力 1: 直接出力	R/W
b5	G1INV	グループ1出力極性変更ビット	0: 反転出力 1: 直接出力	R/W
b6	G2INV	グループ2出力極性変更ビット	0: 反転出力 1: 直接出力	R/W
b7	G3INV	グループ3出力極性変更ビット	0: 反転出力 1: 直接出力	R/W

• PPG1.PMR

ビット	シンボル	ビット名	機能	R/W
b0	G0NOV	グループ4ノンオーバーラップビット	0: 通常動作 (選択されたTPUmのコンペアマッチAで出力値を更新) 1: ノンオーバーラップ動作 (選択されたTPUmのコンペアマッチA、Bで出力値を更新) (m = 0~3、6~9)	R/W
b1	G1NOV	グループ5ノンオーバーラップビット	0: 通常動作 (選択されたTPUmのコンペアマッチAで出力値を更新) 1: ノンオーバーラップ動作 (選択されたTPUmのコンペアマッチA、Bで出力値を更新) (m = 0~3、6~9)	R/W
b2	G2NOV	グループ6ノンオーバーラップビット	0: 通常動作 (選択されたTPUmのコンペアマッチAで出力値を更新) 1: ノンオーバーラップ動作 (選択されたTPUmのコンペアマッチA、Bで出力値を更新) (m = 0~3、6~9)	R/W
b3	G3NOV	グループ7ノンオーバーラップビット	0: 通常動作 (選択されたTPUmのコンペアマッチAで出力値を更新) 1: ノンオーバーラップ動作 (選択されたTPUmのコンペアマッチA、Bで出力値を更新) (m = 0~3、6~9)	R/W
b4	G0INV	グループ4出力極性変更ビット	0: 反転出力 1: 直接出力	R/W
b5	G1INV	グループ5出力極性変更ビット	0: 反転出力 1: 直接出力	R/W
b6	G2INV	グループ6出力極性変更ビット	0: 反転出力 1: 直接出力	R/W
b7	G3INV	グループ7出力極性変更ビット	0: 反転出力 1: 直接出力	R/W

PPGm.PMR レジスタ (m = 0、1) は、PPG のパルス出力モードをグループ単位で設定するレジスタです。

反転出力に設定すると PPGm.PODRH レジスタ、PPGm.PODRL レジスタの値が“1”のとき端子に Low を、PPGm.PODRH レジスタ、PPGm.PODRL レジスタの値が“0”のとき端子に High を出力します。また、ノンオーバーラップ動作に設定すると PPG は、出力トリガとなる TPU のコンペアマッチ A、B で出力値を更新します。

詳細は、「16.3.4 パルス出力ノンオーバーラップ動作」を参照してください。

GjNOV ビット (グループ k ノンオーバーラップビット) (j = 0 ~ 3、k = 0 ~ 7)

パルス出力グループ k を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

GjINV ビット (グループ k インバートビット) (j = 0 ~ 3、k = 0 ~ 7)

パルス出力グループ k を直接出力させるか反転出力させるかを選択します。

16.3 動作説明

PPG 概要図を図 16.4 に示します。

PPG は、PPGm.NDERH、PPGm.NDERL レジスタ (m=0, 1) の対応するビットをそれぞれ“1” (データ転送許可) に設定することにより、パルス出力状態となります。

初期出力値は、対応する PPGm.PODRH、PPGm.PODRL レジスタの初期設定値に依存します。その後、PPGm.PCR レジスタで指定したコンペアマッチが発生すると、対応する PPGm.NDRH、PPGm.NDRL レジスタの値がそれぞれ PPGm.PODRH、PPGm.PODRL レジスタに転送されて出力値が更新されます。

次のコンペアマッチが発生するまでに PPGm.NDRH、PPGm.NDRL レジスタに出力データを書くことにより、コンペアマッチのたびに最大 16 ビットのデータを順次出力することができます。

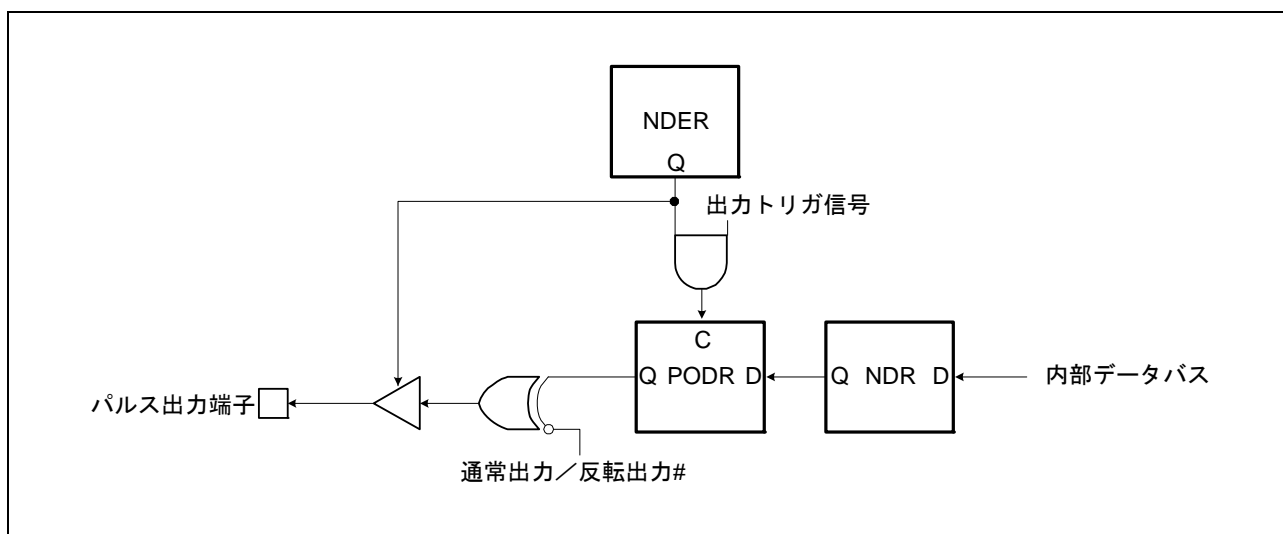


図 16.4 PPG 概要図

16.3.1 出力タイミング

パルス出力許可状態で指定されたコンペアマッチが発生すると、PPGm.NDRH、PPGm.NDRL レジスタ ($m = 0, 1$) の値が PPGm.PODRH、PPGm.PODRL レジスタに転送され、出力されます。

このタイミングを図 16.5 に示します。コンペアマッチ A により、グループ 2、3 で通常出力を行った場合の例です。

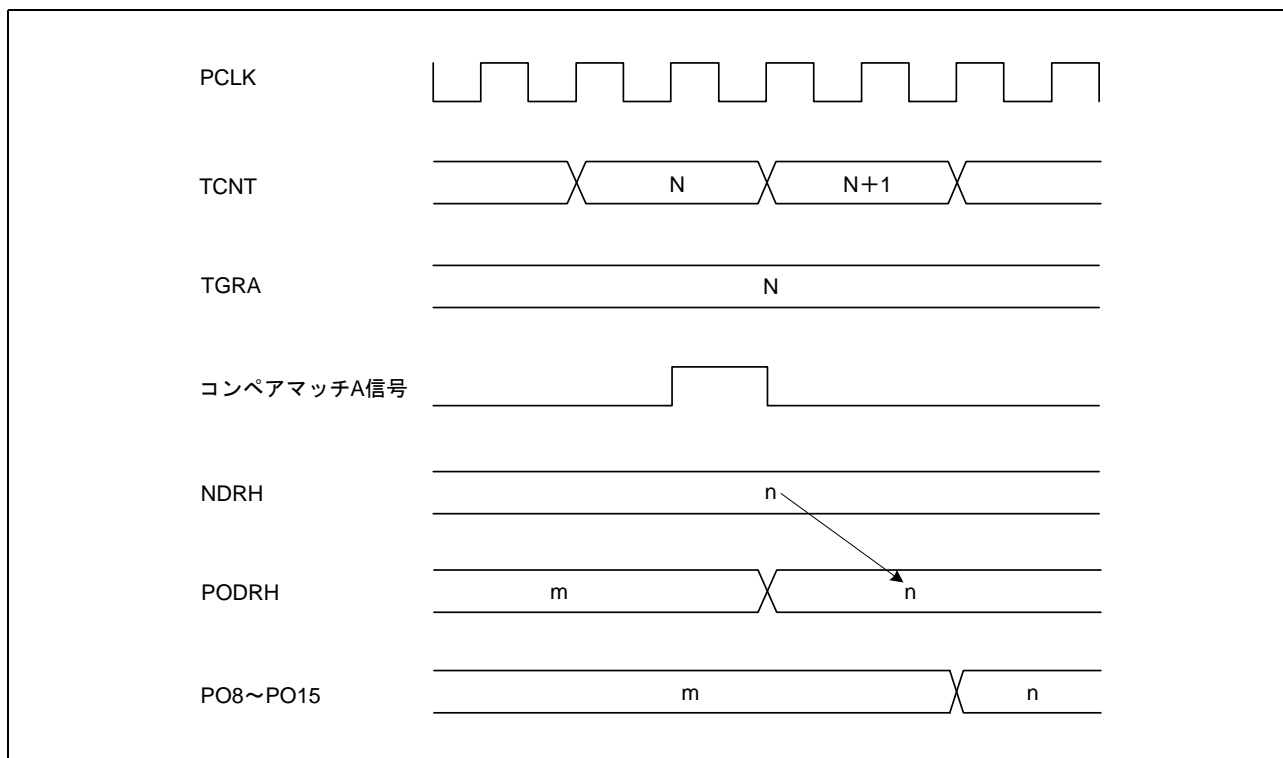


図 16.5 NDR レジスタの値が転送・出力されるタイミング例

16.3.2 通常動作のパルス出力設定手順例

パルス出力通常動作の設定手順例を図 16.6、図 16.7 に示します。

(1) PPG0 の設定

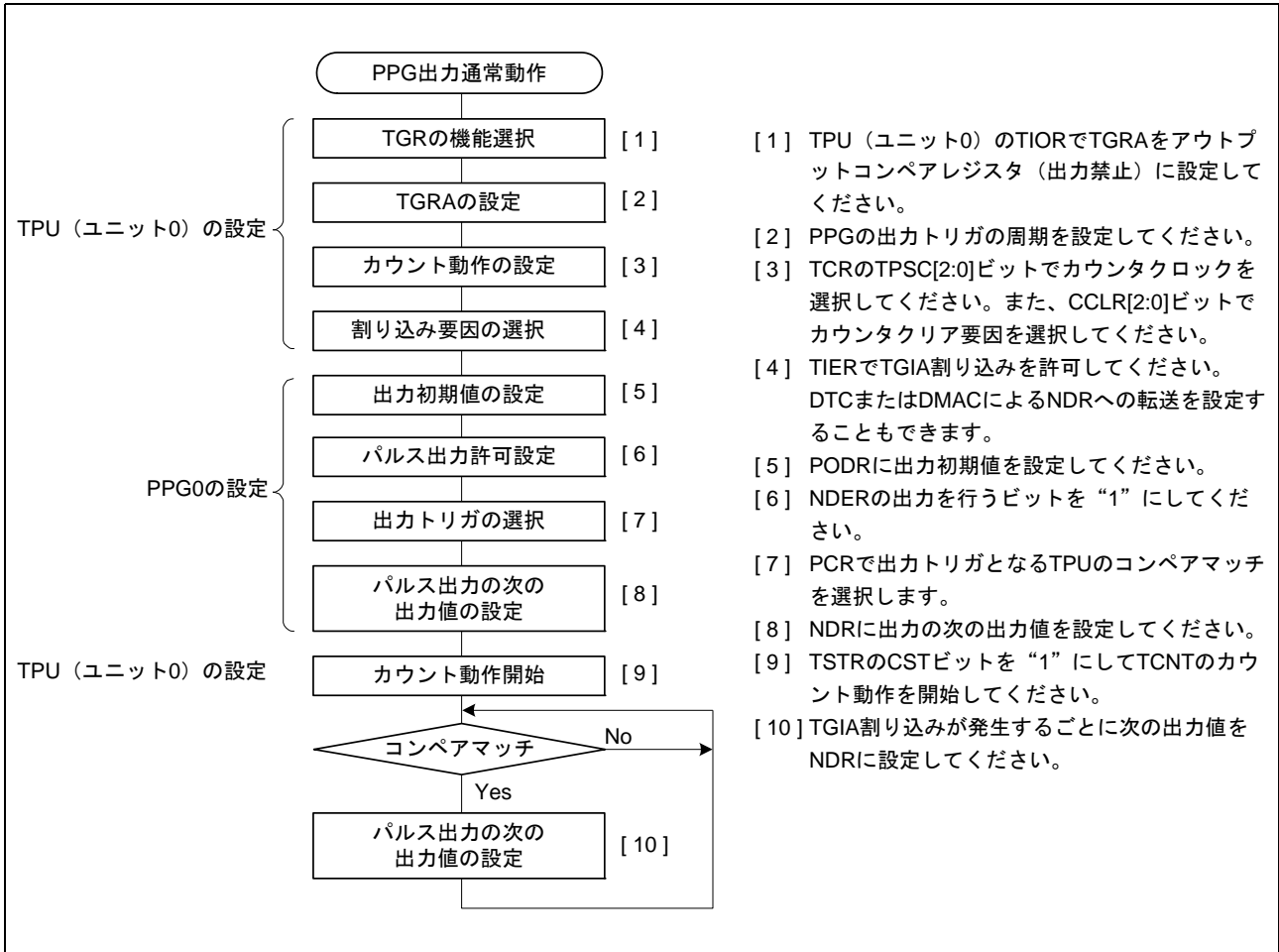


図 16.6 パルス出力通常動作の設定手順例 (PPG0 の設定)

(2) PPG1 の設定

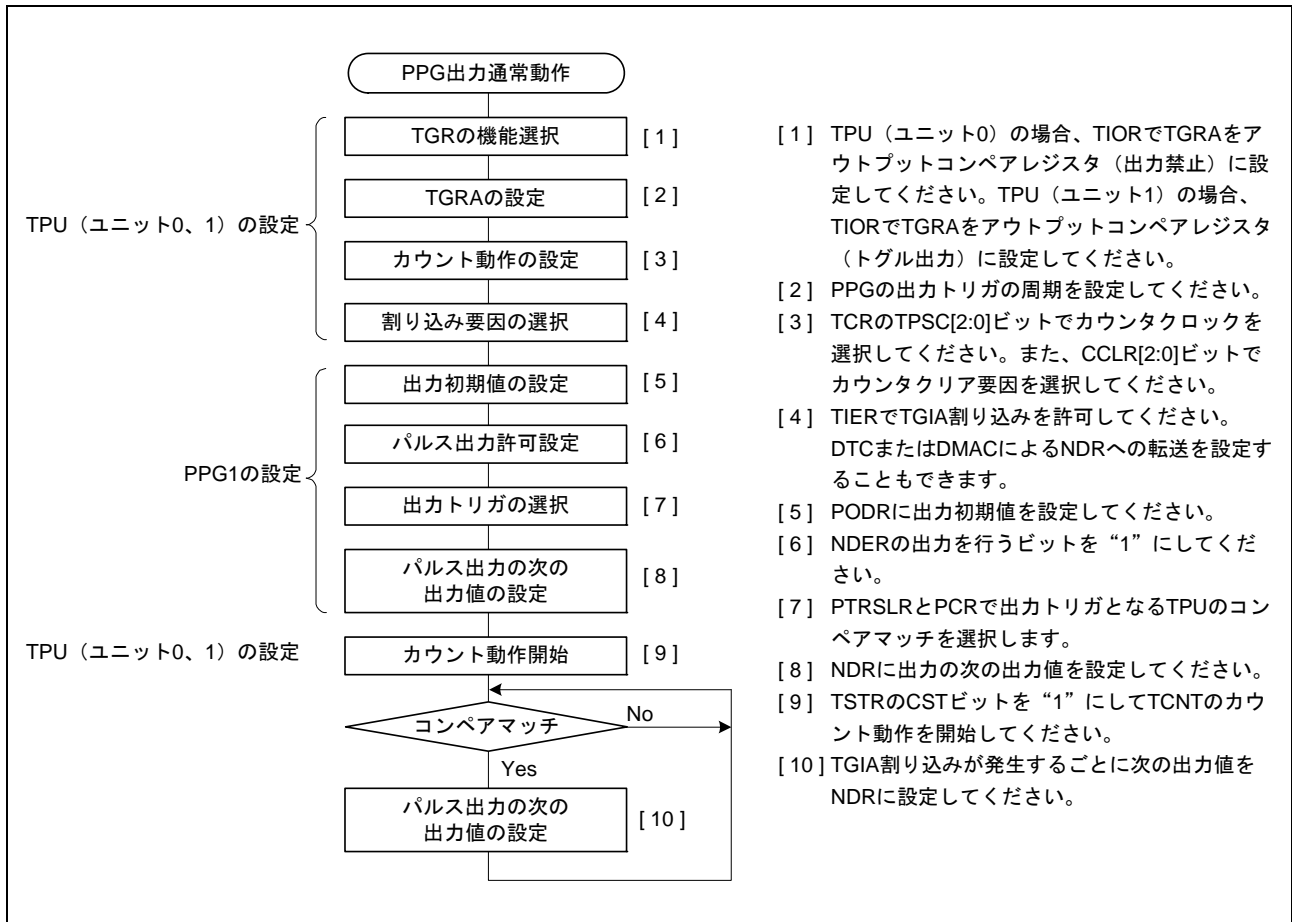


図 16.7 パルス出力通常動作の設定手順例 (PPG1 の設定)

16.3.3 パルス出力通常動作例 (5相パルス出力例)

パルス出力を使用して一定周期で5相パルスを出力させた PPG0 の例を図 16.8 に示します。

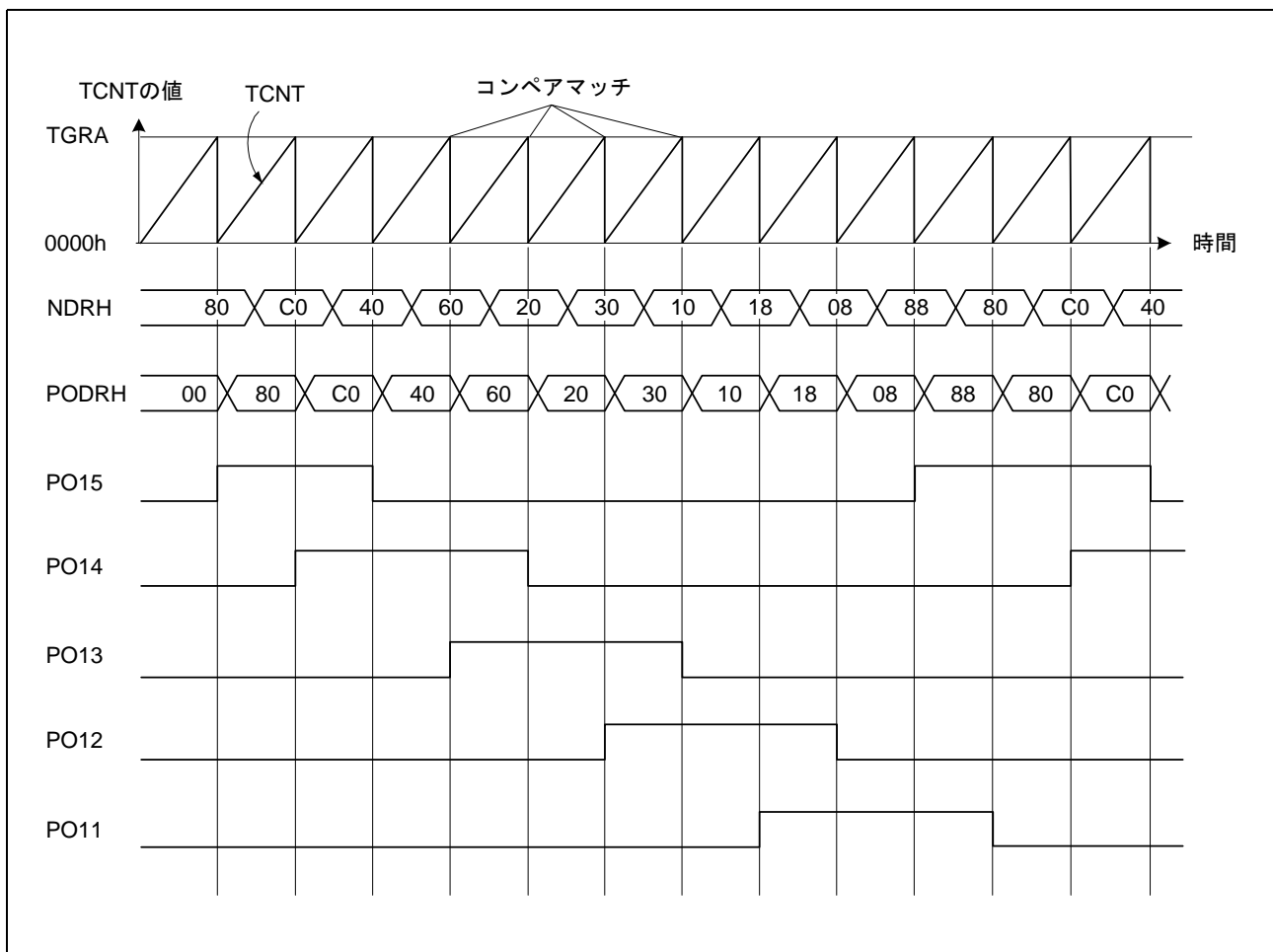


図 16.8 パルス出力通常動作例 (5相パルス出力例)

- 出力トリガとする TPU の TPUm.TGRA レジスタ ($m=0 \sim 3$) をアウトプットコンペアレジスタに設定します。TGRA レジスタには周期を設定し、コンペアマッチ A によるカウンタクリアを選択します。また、TPUm.TIER.TGIEA ビットを“1”にして、コンペアマッチ/インプットキャプチャ A (TGImA) 割り込みを許可します。
- PPG0.NDRH レジスタに“F8h”を書き、PPG0.PCR.G3CMS[1:0] ビットおよび G2CMS[1:0] ビットにより、上記 1. で選択した TPUm のコンペアマッチに出力トリガを設定します。PPG0.NDRH レジスタに出力データ“80h”を書きます。
- TPU 当該チャンネルの動作を開始しコンペアマッチ A が発生すると、PPG0.NDRH レジスタの値が PPG0.PODRH レジスタに転送され出力されます。TGImA 割り込み処理で、PPG0.NDRH レジスタに次の出力データ“C0h”を書きます。
- 以後、TGImA 割り込みで順次“40h”、“60h”、“20h”、“30h”、“10h”、“18h”、“08h”、“88h”... を書くことで、5相の 1 - 2 相パルス出力を行うことができます。
TGImA 割り込みで DTC または DMAC を起動するように設定すれば、CPU の負荷なくパルス出力を行うことができます。

16.3.4 パルス出力ノンオーバーラップ動作

ノンオーバーラップ動作時のPPGm.NDRH、PPGm.NDRLレジスタ (m = 0, 1) から PPGm.PODRH、PPGm.PODRLレジスタへの転送は、以下のようになっています。

- コンペアマッチAではPPGm.NDRH、PPGm.NDRLレジスタの値を常にPPGm.PODRH、PPGm.PODRLレジスタへ転送します。
- コンペアマッチBではPPGm.NDRH、PPGm.NDRLレジスタの転送するビットが“0”のときのみ転送を行います。“1”のときは転送を行いません。

ノンオーバーラップ時のパルス出力動作を図 16.9 に示します。

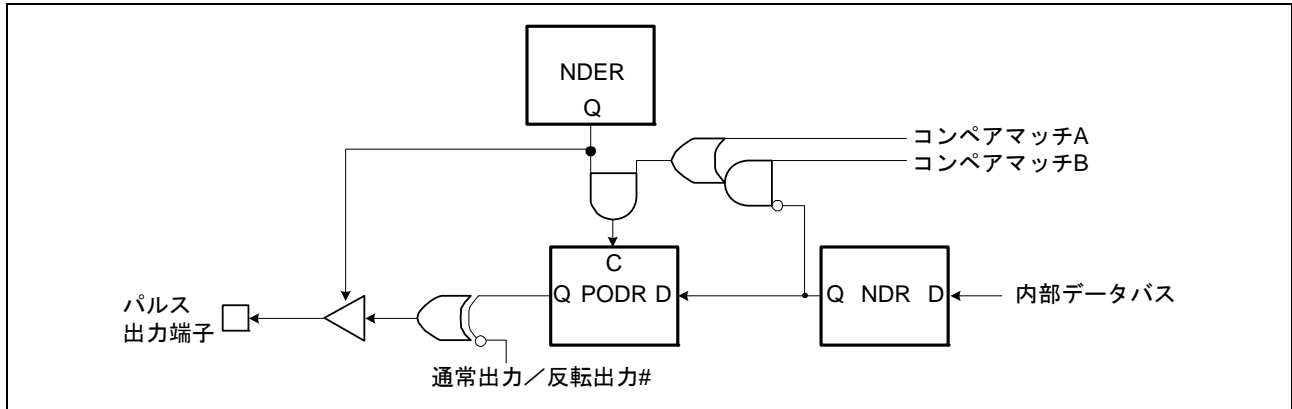


図 16.9 パルス出力ノンオーバーラップ動作

したがって、コンペアマッチBをコンペアマッチAよりも先に発生させることにより、0データの転送を1データの転送に先立って行うことが可能です。

この場合、コンペアマッチBが発生した後、コンペアマッチAが発生するまでの間（ノンオーバーラップ期間）、PPGm.NDRH、PPGm.NDRLレジスタの値を変更しないでください。そのためにはTGIA割り込みの割り込み処理ルーチンで、PPGm.NDRH、PPGm.NDRLレジスタに次のデータを書き込んでください。また、TGIA割り込みでDTCまたはDMACを起動することもできます。ただし、この書き込みは次のコンペアマッチBが発生する前に行ってください。

このタイミングを図 16.10 に示します。

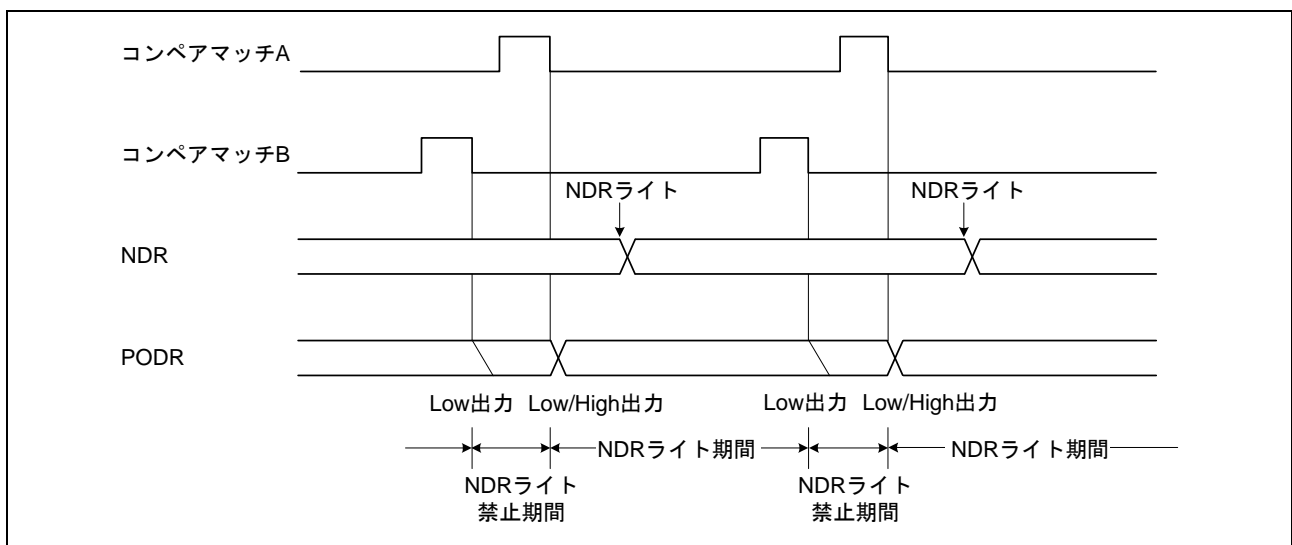


図 16.10 ノンオーバーラップ動作と PPGm.NDRH、PPGm.NDRL レジスタ書き込みタイミング

16.3.5 ノンオーバーラップ動作のパルス出力設定手順例

パルス出力ノンオーバーラップ動作の設定手順例を図 16.11、図 16.12 に示します。

(1) PPG0 の設定

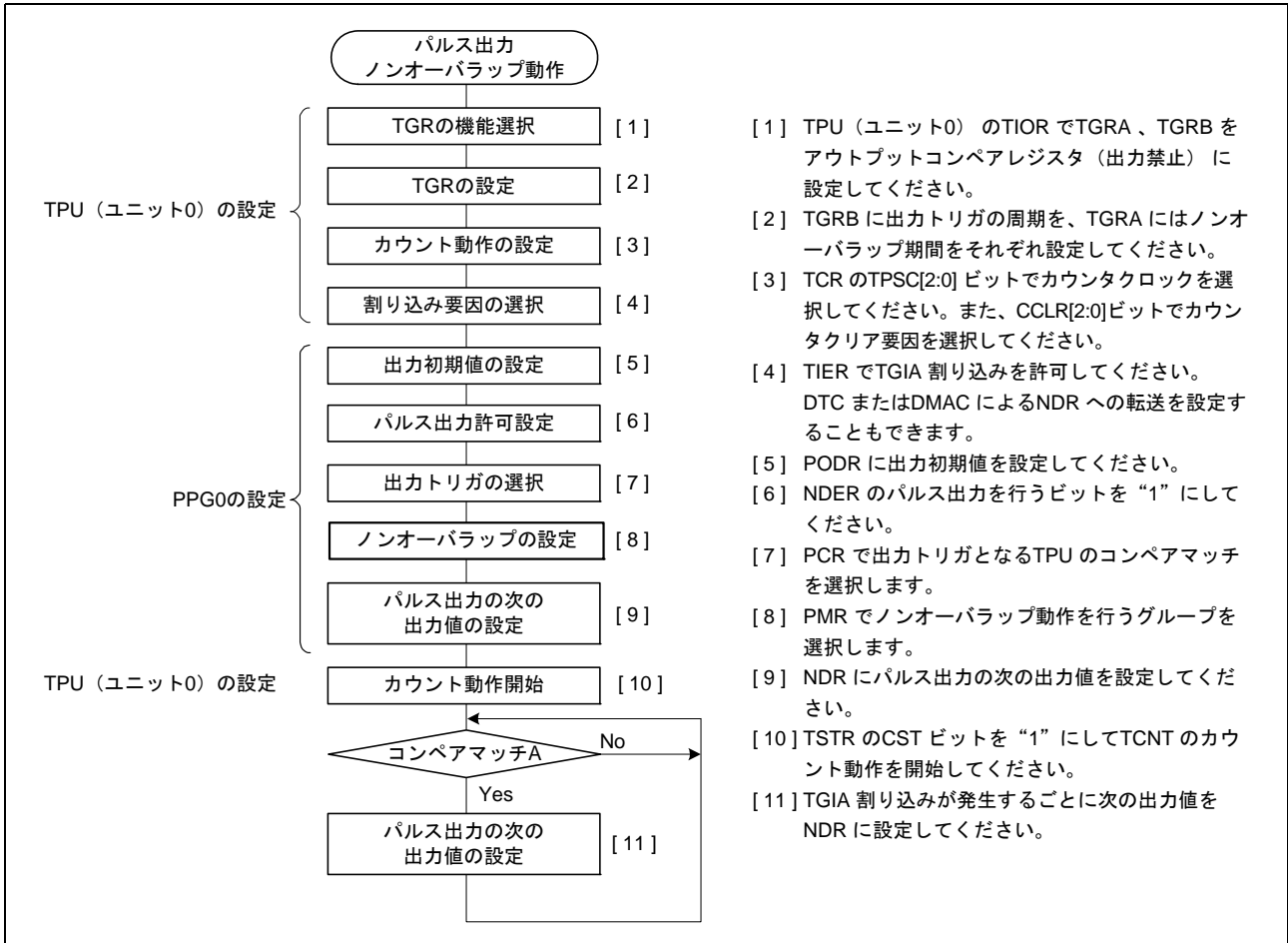
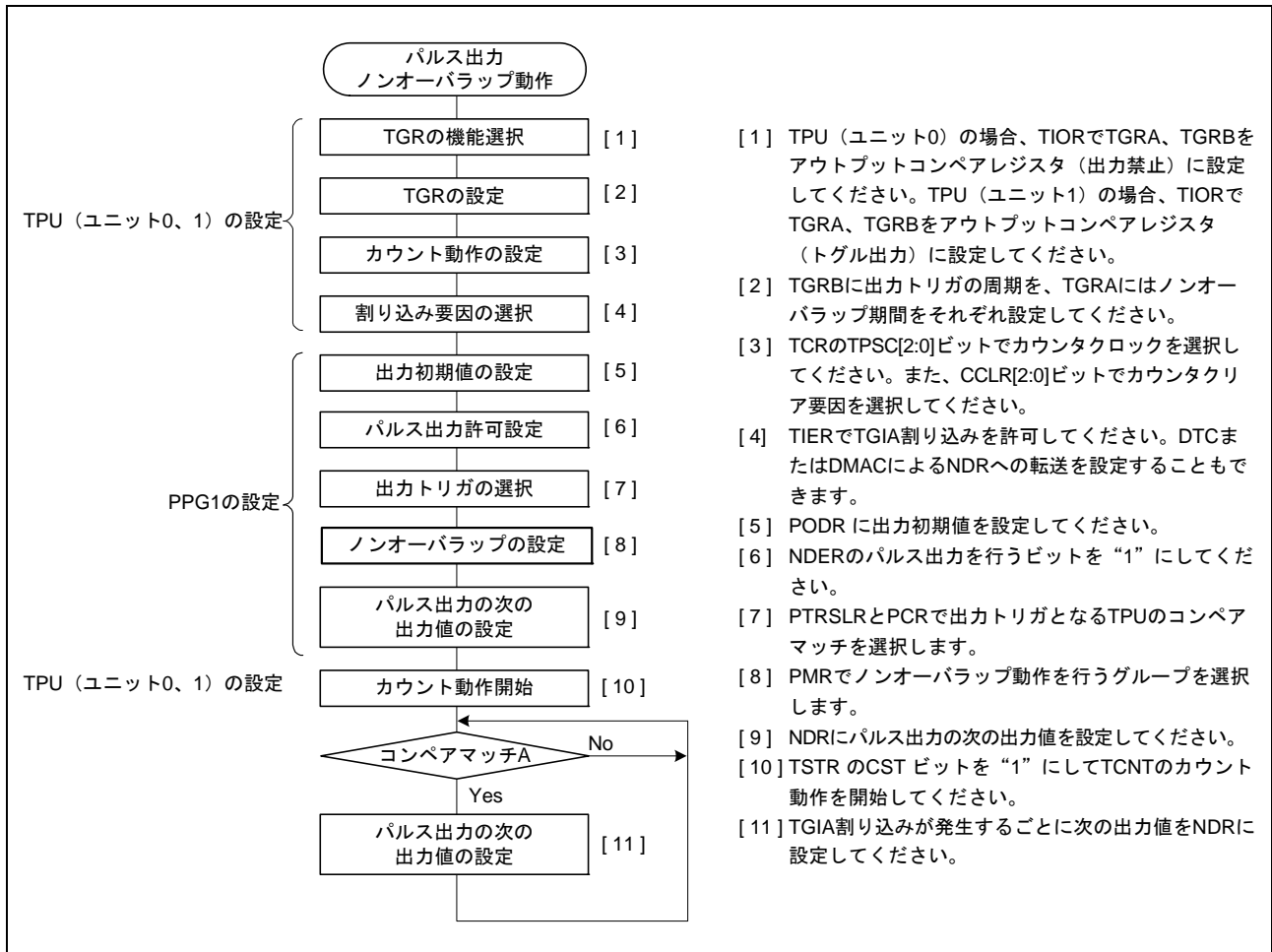


図 16.11 パルス出力ノンオーバーラップ動作の設定手順例 (PPG0 の設定)

(2) PPG1 の設定



- [1] TPU (ユニット0) の場合、TIORでTGRA、TGRBをアウトプットコンペアレジスタ (出力禁止) に設定してください。TPU (ユニット1) の場合、TIORでTGRA、TGRBをアウトプットコンペアレジスタ (トグル出力) に設定してください。
- [2] TGRBに出力トリガの周期を、TGRAにはノンオーバーラップ期間をそれぞれ設定してください。
- [3] TCRのTPSC[2:0]ビットでカウンタクロックを選択してください。また、CCLR[2:0]ビットでカウンタクリア要因を選択してください。
- [4] TIERでTGIA割り込みを許可してください。DTCまたはDMACによるNDRへの転送を設定することもできます。
- [5] PODR に出力初期値を設定してください。
- [6] NDERのパルス出力を行うビットを“1”にしてください。
- [7] PTRSLRとPCRで出力トリガとなるTPUのコンペアマッチを選択します。
- [8] PMRでノンオーバーラップ動作を行うグループを選択します。
- [9] NDRIにパルス出力の次の出力値を設定してください。
- [10] TSTR のCST ビットを“1”にしてTCNTのカウンタ動作を開始してください。
- [11] TGIA割り込みが発生するごとに次の出力値をNDRに設定してください。

図 16.12 パルス出力ノンオーバーラップ動作の設定手順例 (PPG1 の設定)

16.3.6 パルス出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力例)

パルス出力を使用して4相の相補ノンオーバーラップのパルスを出力させたPPG0の例を図16.13に示します。

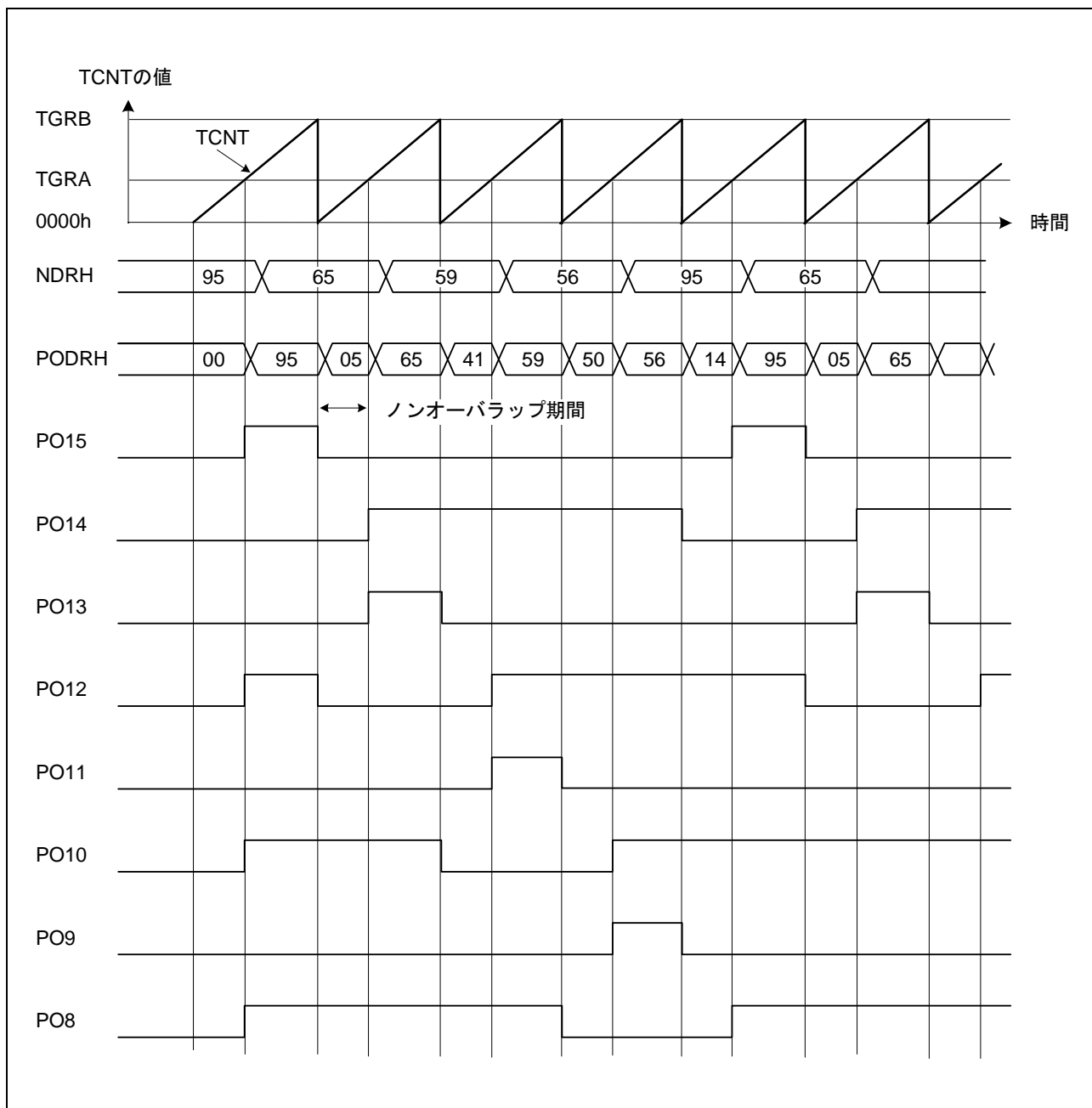


図 16.13 パルス出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力)

1. 出力トリガとする TPU の TPUm.TGRA、TGRB レジスタ (m=0~3) をアウトプットコンペアレジスタに設定します。TGRB レジスタには周期、TGRA レジスタにはノンオーバーラップ期間を設定し、コンペアマッチ B によるカウンタクリアを選択します。また、TPUm.TIER.TGIEA ビットを“1”にして、コンペアマッチ/インプットキャプチャ A (TGImA) 割り込みを許可します。
2. PPG0.NDERH に“FFh”を書き、PPG0.PCR.G3CMS[1:0] ビットおよび G2CMS[1:0] ビットにより、上記 1. で選択した TPUm のコンペアマッチに出力トリガを設定します。
PPG0.PMR.G3NOV,G2NOV ビットをそれぞれ“1”にして、ノンオーバーラップ動作を設定します。
PPG0.NDRH に出力データ“95h”を書きます。
3. TPU 当該チャンネルの動作を開始すると、TGRB レジスタのコンペアマッチで High 出力→Low 出力の変化、TGRA レジスタのコンペアマッチで Low 出力→High 出力の変化を行います (Low 出力→High 出力の変化は TGRA レジスタの設定値分遅延することになります)。
TGImA 割り込み処理で PPG0.NDRH に次の出力データ“65h”を書き込みます。
4. 以後、TGImA 割り込みで順次“59h”、“56h”、“95h”... を書くことで、4 相の相補ノンオーバーラップ出力を発生させることができます。
TGImA 割り込みで DTC または DMAC を起動するように設定すれば、CPU の負荷なくパルス出力を行うことができます。

16.3.7 パルス反転出力

PPG0.PMR.G3INV, G2INV, G1INV, G0INV ビットを“0”にすると、PPG0.PODRH、PPG0.PODRL レジスタの値に対する反転値を端子出力することができます。

図 16.13 の設定で、さらに G3INV、G2INV ビットを“0”にしたときの端子出力の様子を図 16.14 に示します。

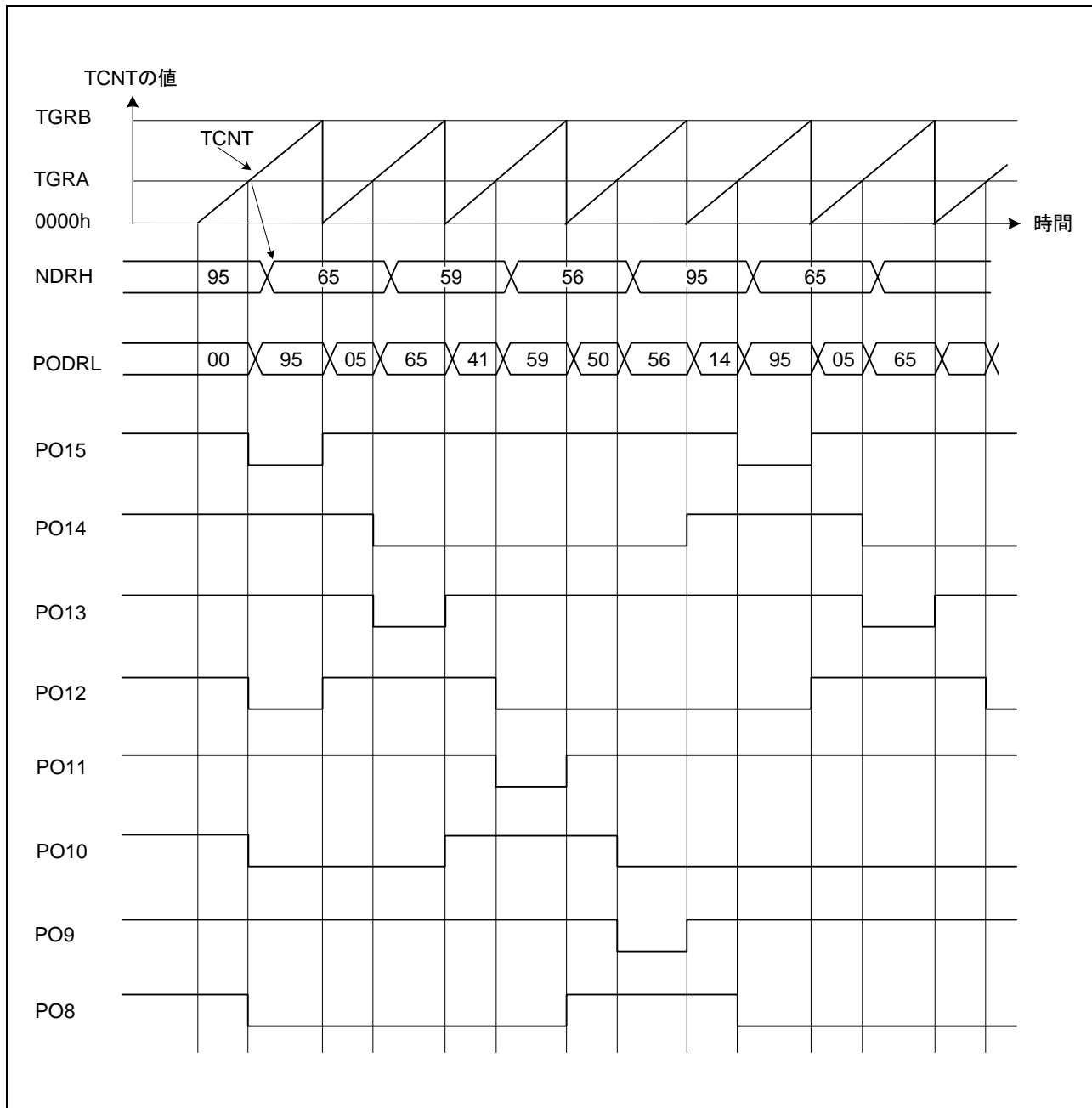


図 16.14 パルス反転出力例

16.3.8 インพุットキャプチャによるパルス出力

PPG0のパルス出力は、TPU（ユニット0）のコンペアマッチだけでなく、インพุットキャプチャによっても可能です。PPG0.PCR レジスタによって選択された TPU（ユニット0）の TPUm.TGRA レジスタ（m=0～3）がインพุットキャプチャレジスタとして機能しているとき、インพุットキャプチャ信号によりパルス出力を行います。

このタイミングを図 16.15 に示します。

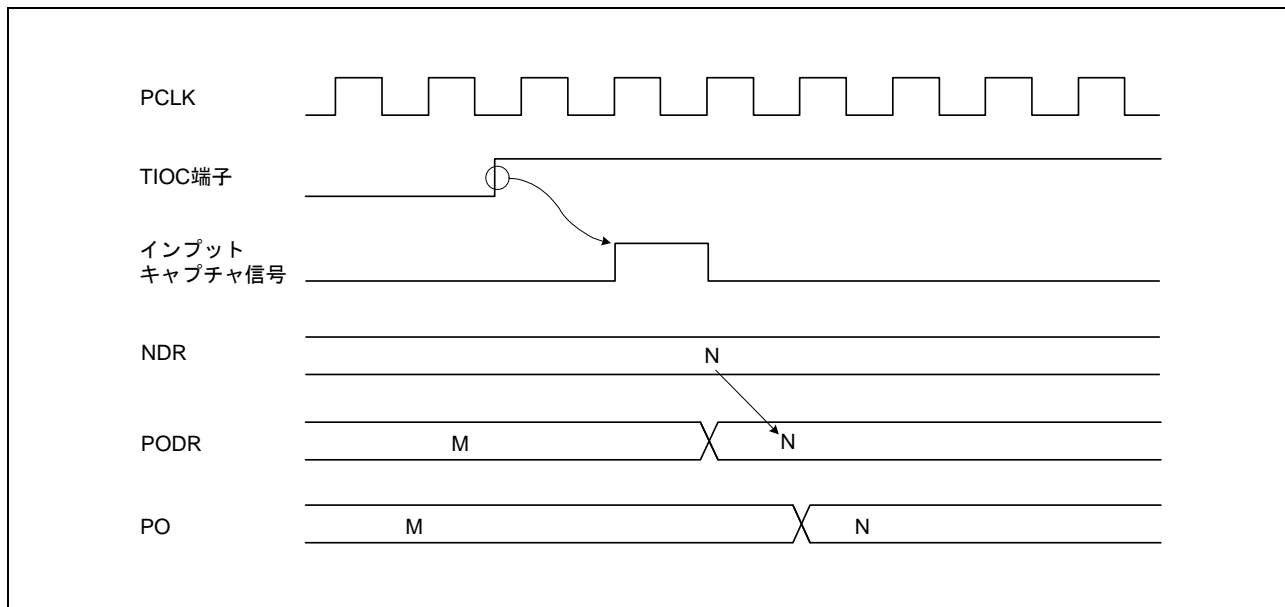


図 16.15 インพุットキャプチャによるパルス出力例

16.4 使用上の注意事項

16.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、PPG の動作禁止 / 許可を設定することが可能です。初期値では、PPG の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「8. 消費電力低減機能」を参照してください。

17. 8ビットタイマ (TMR)

RX610グループは、8ビットのカウンタをベースにした2チャンネルの8ビットタイマ (TMR) を2ユニット (ユニット0、ユニット1)、合計4チャンネル内蔵しています。外部イベントのカウントが可能な他、2本のレジスタとのコンペアマッチ信号により、カウンタのリセット、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

ユニット0、1は同一機能で、SCIのボーレートクロックが生成可能です。

17.1 概要

表 17.1 に TMR の仕様を示します。

図 17.1 にユニット0、図 17.2 にユニット1のブロック図を示します。

表 17.1 TMRの仕様

項目	仕様
カウントクロック	<ul style="list-style-type: none"> 内部クロック : PCLK、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192 外部クロック
チャンネル数	(8ビット×2チャンネル) ×2ユニット
コンペアマッチ	<ul style="list-style-type: none"> 8ビットモード (コンペアマッチA、コンペアマッチB) 16ビットモード (コンペアマッチA、コンペアマッチB)
カウンタクリア	コンペアマッチA、コンペアマッチB、外部リセット信号から選択
タイマ出力	任意のデューティ比のパルス出力、PWM出力
2チャンネルのカスケード接続	<ul style="list-style-type: none"> 16ビットカウントモード TMR0を上位、TMR1を下位 (TMR2を上位、TMR3を下位) とする16ビットタイマ コンペアマッチカウントモード TMR1はTMR0のコンペアマッチをカウント (TMR3はTMR2のコンペアマッチをカウント)
割り込み要因	コンペアマッチA、コンペアマッチB、オーバフロー
DTCの起動	コンペアマッチA割り込み、コンペアマッチB割り込みにより起動可能
A/Dコンバータの変換開始トリガ	TMR0、TMR2のコンペアマッチA (注1)
SCIのボーレートクロック生成	SCI5、SCI6のボーレートクロックを生成 (注2)
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

注1. 詳細は「23. A/Dコンバータ」を参照してください。

注2. 詳細は「20. シリアルコミュニケーションインタフェース (SCI)」を参照してください。

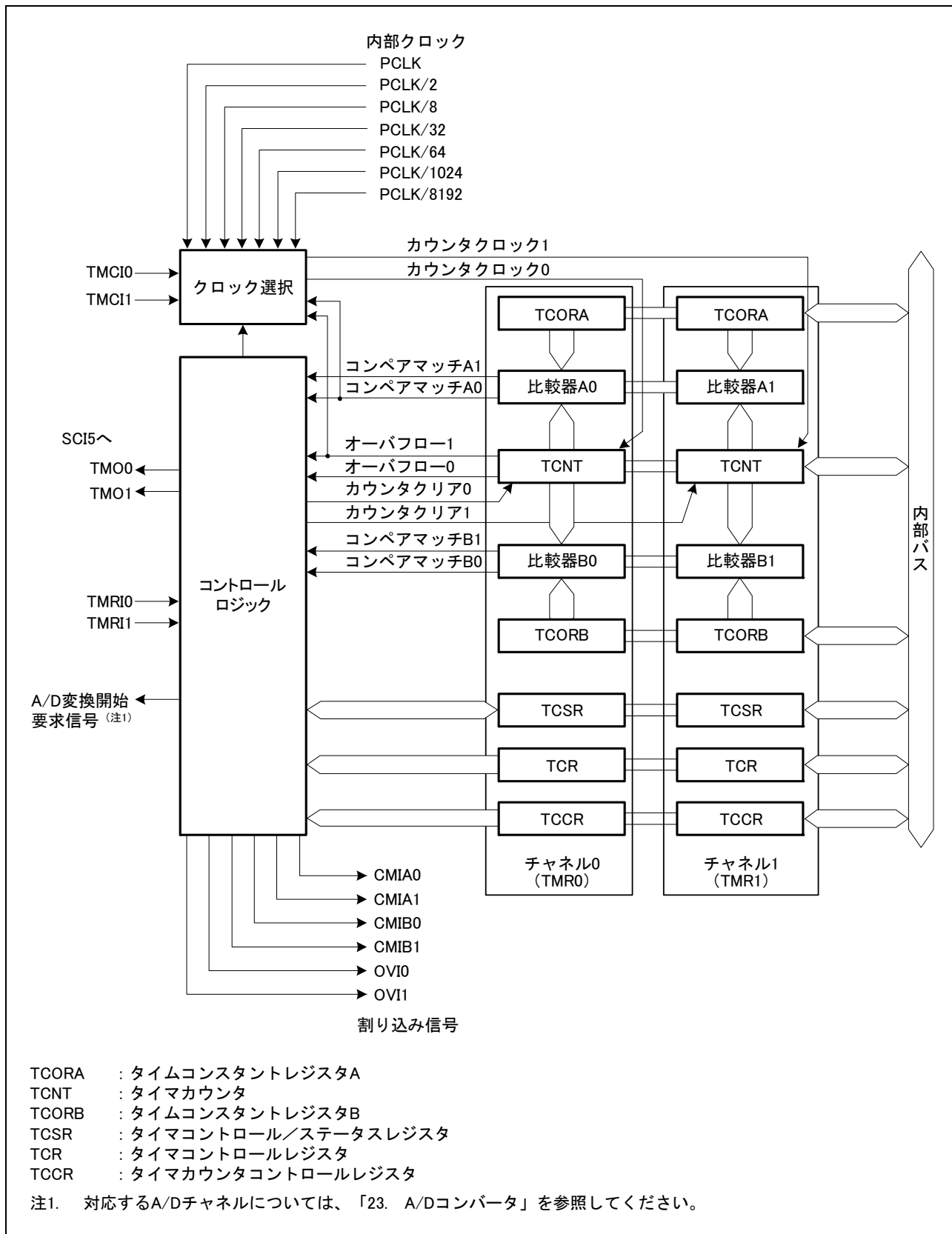


図 17.1 TMR (ユニット0) のブロック図

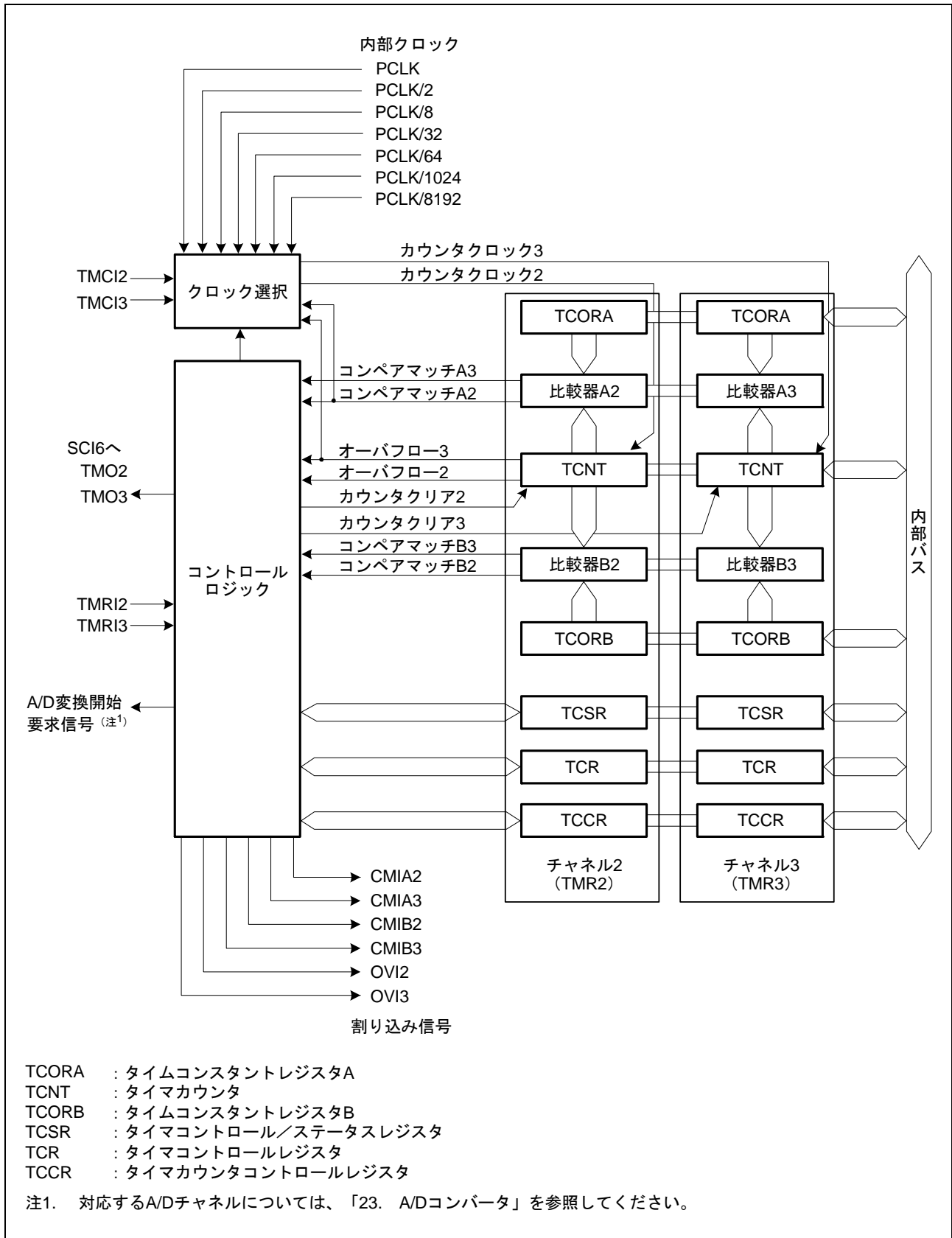


図 17.2 TMR (ユニット 1) のブロック図

表 17.2 に TMR で使用する入出力端子を示します。

表 17.2 TMRの入出力端子

ユニット	チャネル	端子名	入出力	機能
0	TMR0	TMO0	出力	コンペアマッチ出力
		TMC10	入力	カウンタ外部クロック入力
		TMRI0	入力	カウンタ外部リセット入力
	TMR1	TMO1	出力	コンペアマッチ出力
		TMC11	入力	カウンタ外部クロック入力
		TMRI1	入力	カウンタ外部リセット入力
1	TMR2	TMO2	出力	コンペアマッチ出力
		TMC12	入力	カウンタ外部クロック入力
		TMRI2	入力	カウンタ外部リセット入力
	TMR3	TMO3	出力	コンペアマッチ出力
		TMC13	入力	カウンタ外部クロック入力
		TMRI3	入力	カウンタ外部リセット入力

17.2 レジスタの説明

表 17.3 に TMR のレジスタ一覧を示します。

表 17.3 TMRのレジスタ一覧

ユニット	チャンネル	レジスタ名	シンボル	リセット後の値	アドレス (注1)	アクセスサイズ
0	TMR0	タイマカウンタ	TCNT	00h	0008 8208h	8または16
		タイムコンスタントレジスタA	TCORA	FFh	0008 8204h	8または16
		タイムコンスタントレジスタB	TCORB	FFh	0008 8206h	8または16
		タイマコントロールレジスタ	TCR	00h	0008 8200h	8
		タイマカウンタコントロールレジスタ	TCCR	00h	0008 820Ah	8または16
		タイマコントロール/ステータスレジスタ	TCSR	x0h	0008 8202h	8
	TMR1	タイマカウンタ	TCNT	00h	0008 8209h	8または16 (注1)
		タイムコンスタントレジスタA	TCORA	FFh	0008 8205h	8または16 (注1)
		タイムコンスタントレジスタB	TCORB	FFh	0008 8207h	8または16 (注1)
		タイマコントロールレジスタ	TCR	00h	0008 8201h	8
		タイマカウンタコントロールレジスタ	TCCR	00h	0008 820Bh	8または16 (注1)
		タイマコントロール/ステータスレジスタ	TCSR	x0h	0008 8203h	8
1	TMR2	タイマカウンタ	TCNT	00h	0008 8218h	8または16
		タイムコンスタントレジスタA	TCORA	FFh	0008 8214h	8または16
		タイムコンスタントレジスタB	TCORB	FFh	0008 8216h	8または16
		タイマコントロールレジスタ	TCR	00h	0008 8210h	8
		タイマカウンタコントロールレジスタ	TCCR	00h	0008 821Ah	8または16
		タイマコントロール/ステータスレジスタ	TCSR	x0h	0008 8212h	8
	TMR3	タイマカウンタ	TCNT	00h	0008 8219h	8または16 (注1)
		タイムコンスタントレジスタA	TCORA	FFh	0008 8215h	8または16 (注1)
		タイムコンスタントレジスタB	TCORB	FFh	0008 8217h	8または16 (注1)
		タイマコントロールレジスタ	TCR	00h	0008 8211h	8
		タイマカウンタコントロールレジスタ	TCCR	00h	0008 821Bh	8または16 (注1)
		タイマコントロール/ステータスレジスタ	TCSR	x0h	0008 8213h	8

注1. 奇数アドレスへの16ビットアクセスはできません。レジスタを16ビットアクセスする場合は、TMR0またはTMR2のレジスタのアドレスへアクセスしてください。

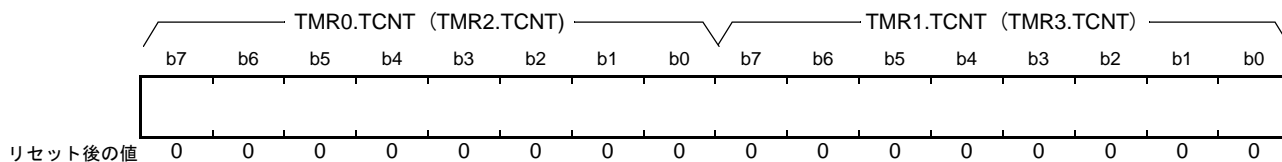
表 17.4 に16ビットアクセスのレジスタ配置を示します。

表 17.4 16ビットアクセスのレジスタ配置

アドレス	上位8ビット	下位8ビット
0008 8208h	TMR0.TCNT	TMR1.TCNT
0008 8204h	TMR0.TCORA	TMR1.TCORA
0008 8206h	TMR0.TCORB	TMR1.TCORB
0008 820Ah	TMR0.TCCR	TMR1.TCCR
0008 8218h	TMR2.TCNT	TMR3.TCNT
0008 8214h	TMR2.TCORA	TMR3.TCORA
0008 8216h	TMR2.TCORB	TMR3.TCORB
0008 821Ah	TMR2.TCCR	TMR3.TCCR

17.2.1 タイマカウンタ (TCNT)

アドレス TMR0.TCNT 0008 8208h, TMR1.TCNT 0008 8209h
TMR2.TCNT 0008 8218h, TMR3.TCNT 0008 8219h



TCNT カウンタは、8 ビットのリード/ライト可能なアップカウンタです。

TMR0.TCNT カウンタと TMR1.TCNT カウンタ (TMR2.TCNT カウンタと TMR3.TCNT カウンタ) を 16 ビットカウンタとしてワードアクセスすることも可能です。

クロックは、TCCR.CSS [1:0], CKS[2:0] ビットで選択します。

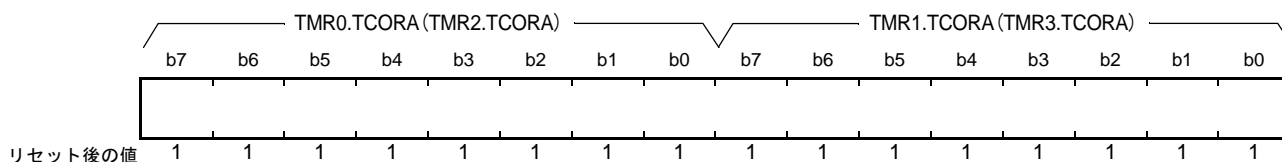
TCNT カウンタは、外部リセット入力信号、またはコンペアマッチ A 信号、コンペアマッチ B 信号によりクリアすることができます。いずれの信号でクリアするかは、TCR.CCLR [1:0] ビットで選択します。

TCNT カウンタがオーバーフロー (“FFh” → “00h”) すると、割り込みフラグが “1” になります。

なお対応する割り込みベクタ番号は、「10. 割り込みコントローラ (ICU)」と「表 17.6 TMR の割り込み要因」を参照してください。

17.2.2 タイムコンスタントレジスタ A (TCORA)

アドレス TMR0.TCORA 0008 8204h, TMR1.TCORA 0008 8205h
TMR2.TCORA 0008 8214h, TMR3.TCORA 0008 8215h



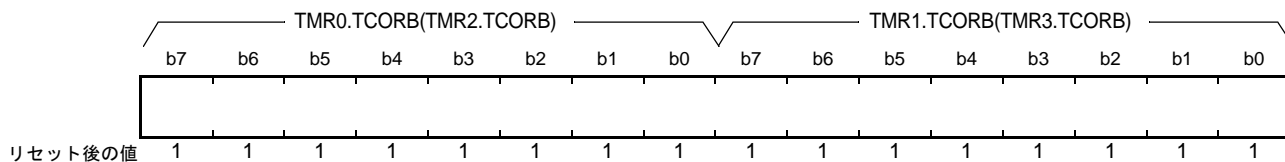
TCORA レジスタは、8 ビットのリード/ライト可能なレジスタです。

TMR0.TCORA レジスタと TMR1.TCORA レジスタ (TMR2.TCORA レジスタと TMR3.TCORA レジスタ) を 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORA レジスタの値は TCNT カウンタと常に比較され、一致するとコンペアマッチ A 信号が High になります。ただし、TCORA レジスタへの書き込み時には比較しません。また、このコンペアマッチ A 信号と TCSR.OSA[1:0] ビットの設定により、TMO_n 端子からのタイマ出力を制御することができます。

17.2.3 タイムコンスタントレジスタ B (TCORB)

アドレス TMR0.TCORB 0008 8206h, TMR1.TCORB 0008 8207h
TMR2.TCORB 0008 8216h, TMR3.TCORB 0008 8217h



TCORB レジスタは、8 ビットのリード/ライト可能なレジスタです。

TMR0.TCORB レジスタと TMR1.TCORB レジスタ (TMR2.TCORB レジスタと TMR3.TCORB レジスタ) を 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORB レジスタの値は TCNT カウンタと常に比較され、一致するとコンペアマッチ B 信号が High になります。ただし、TCORB レジスタへの書き込み時には比較しません。また、このコンペアマッチ B 信号と TCSR.OSB[1:0] ビットの設定により、TMO_n 端子からのタイマ出力を制御することができます。

17.2.4 タイマコントロールレジスタ (TCR)

アドレス TMR0.TCR 0008 8200h、TMR1.TCR 0008 8201h
TMR2.TCR 0008 8210h、TMR3.TCR 0008 8211h

b7	b6	b5	b4	b3	b2	b1	b0
CMIEB	CMIEA	OVIE	CCLR[1:0]	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4-b3	CCLR[1:0]	カウンタクリアビット (注1)	b4 b3 0 0 : クリアを禁止 0 1 : コンペアマッチAによりクリア 1 0 : コンペアマッチBによりクリア 1 1 : 外部リセット入力によりクリア (TCCR.TMRISビットでエッジまたはレベルを選択)	R/W
b5	OVIE	タイマオーバフロー割り込み許可ビット	0 : オーバフローによる割り込み要求 (OVIm) を禁止 1 : オーバフローによる割り込み要求 (OVIm) を許可	R/W
b6	CMIEA	コンペアマッチ割り込み許可Aビット	0 : コンペアマッチAによる割り込み要求 (CMIAm) を禁止 1 : コンペアマッチAによる割り込み要求 (CMIAm) を許可	R/W
b7	CMIEB	コンペアマッチ割り込み許可Bビット	0 : コンペアマッチBによる割り込み要求 (CMIBm) を禁止 1 : コンペアマッチBによる割り込み要求 (CMIBm) を許可	R/W

注1. 外部リセットを使用する場合は、該当する端子のDDRレジスタのビットを“0”に、ICRレジスタのビットを“1”にしてください。
詳細は「14. I/Oポート」を参照してください。

TCR レジスタは、TCNT カウンタのクリア条件を指定するレジスタです。

CCLR[1:0] ビット (カウンタクリアビット)

TCNT カウンタのクリア条件を指定します。

OVIE ビット (タイマオーバフロー割り込み許可ビット)

TCNT カウンタのオーバフローによる割り込み要求 (OVIm) の許可または禁止を選択します。

CMIEA ビット (コンペアマッチ割り込み許可 A ビット)

TCORA レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ A による割り込み要求 (CMIAm) の許可または禁止を選択します。

CMIEB ビット (コンペアマッチ割り込み許可 B ビット)

TCORB レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ B による割り込み要求 (CMIBm) の許可または禁止を選択します。

17.2.5 タイマカウンタコントロールレジスタ (TCCR)

アドレス TMR0.TCCR 0008 820Ah, TMR1.TCCR 0008 820Bh
TMR2.TCCR 0008 821Ah, TMR3.TCCR 0008 821Bh

b7	b6	b5	b4	b3	b2	b1	b0
TMRIS	—	—	CSS[1:0]		CKS[2:0]		

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CKS[2:0]	クロック選択ビット (注1)	表 17.5 を参照してください	R/W
b4-b3	CSS[1:0]	クロックソース選択ビット	表 17.5 を参照してください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TMRIS	タイマリセット検出条件選択ビット	0 : 外部リセットの立ち上がりでクリア 1 : 外部リセットのHighでクリア	R/W

注1. 外部クロックを使用する場合は、該当する端子のDDRレジスタのビットを“0”に、ICRレジスタのビットを“1”にしてください。詳細は「14. I/Oポート」を参照してください。

TCCRレジスタは、TCNTカウンタの内部クロック、外部リセット検出条件を選択するレジスタです。

CKS[2:0] ビット (クロック選択ビット)

CSS[1:0] ビット (クロックソース選択ビット)

CKS[2:0] ビットおよびCSS[1:0] ビットで、クロックを選択します。詳細は、表 17.5 を参照してください。

TMRIS ビット (タイマリセット検出条件選択ビット)

TCR.CCLR [1:0] ビットが“11b” (外部リセット入力によりクリア) のとき有効となり、外部リセット検出条件 (レベルまたはエッジ) を選択します。

表 17.5 TCNTカウンタに入力するクロックとカウント条件

チャンネル	TCCRレジスタ					機能		
	CSS[1:0]		CKS[2:0]					
	b4	b3	b2	b1	b0			
TMR0 (TMR2)	0	0	-	0	0	クロック入力を禁止		
					1	外部クロックの立ち上がりエッジでカウント (注1)		
				1	0	外部クロックの立ち下がりエッジでカウント (注1)		
					1	外部クロックの立ち上がり/立ち下がり両エッジでカウント (注1)		
	0	1	0	0	0	内部クロック : PCLKでカウント		
					1	内部クロック : PCLK/2でカウント		
					1	0	内部クロック : PCLK/8でカウント	
						1	内部クロック : PCLK/32でカウント	
				1	0	0	内部クロック : PCLK/64でカウント	
						1	内部クロック : PCLK/1024でカウント	
						1	0	内部クロック : PCLK/8192でカウント
							1	クロック入力を禁止
	1	0	-	-	-	設定しないでください		
	1	1	-	-	-	TMR1.TCNT (TMR3.TCNT) のオーバフロー信号でカウント (注2)		
TMR1 (TMR3)	0	0	-	0	0	クロック入力を禁止		
					1	外部クロックの立ち上がりエッジでカウント (注1)		
				1	0	外部クロックの立ち下がりエッジでカウント (注1)		
					1	外部クロックの立ち上がり/立ち下がり両エッジでカウント (注1)		
	0	1	0	0	0	内部クロック : PCLKでカウント		
					1	内部クロック : PCLK/2でカウント		
					1	0	内部クロック : PCLK/8でカウント	
						1	内部クロック : PCLK/32でカウント	
				1	0	0	内部クロック : PCLK/64でカウント	
						1	内部クロック : PCLK/1024でカウント	
						1	0	内部クロック : PCLK/8192でカウント
							1	クロック入力を禁止
	1	0	-	-	-	設定しないでください		
	1	1	-	-	-	TMR0.TCNT (TMR2.TCNT) のコンペアマッチAでカウント (注2)		

注1. 外部クロックを使用する場合は、該当する端子のDDRレジスタのビットを“0”に、ICRレジスタのビットを“1”にしてください。詳細は「14. I/Oポート」を参照してください。

注2. TMR0 (TMR2) のクロック入力をTMR1.TCNT (TMR3.TCNT) カウンタのオーバフロー信号とし、TMR1 (TMR3) のクロック入力をTMR0.TCNT (TMR2.TCNT) カウンタのコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

17.2.6 タイマコントロール/ステータスレジスタ (TCSR)

アドレス TMR0.TCSR 0008 8202h、TMR2.TCSR 0008 8212h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ADTE	OSB[1:0]		OSA[1:0]	
リセット後の値	x	x	x	0	0	0	0	0

アドレス TMR1.TCSR 0008 8203h、TMR3.TCSR 0008 8213h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	OSB[1:0]		OSA[1:0]	
リセット後の値	x	x	x	1	0	0	0	0

x: 不定

• TMR0.TCSR、TMR2.TCSR レジスタ

ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA (注1)	b1 b0 0 0: 変化しない 0 1: Low出力 1 0: High出力 1 1: 反転出力 (トグル出力)	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB (注1)	b3 b2 0 0: 変化しない 0 1: Low出力 1 0: High出力 1 1: 反転出力 (トグル出力)	R/W
b4	ADTE	A/Dトリガ許可ビット (注2)	0: コンペアマッチAによるA/D変換開始要求を禁止 1: コンペアマッチAによるA/D変換開始要求を許可	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSB[1:0]、OSA[1:0]ビットがすべて“0”の場合には、タイマ出力は禁止されます。リセット後、最初のコンペアマッチが起こるまでのタイマ出力は“0”です。

注2. 対応するA/Dチャンネルについては、「23. A/Dコンバータ」を参照してください。

• TMR1.TCSR、TMR3.TCSR レジスタ

ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA (注1)	b1 b0 0 0 : 変化しない 0 1 : Low出力 1 0 : High出力 1 1 : 反転出力 (トグル出力)	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB (注1)	b3 b2 0 0 : 変化しない 0 1 : Low出力 1 0 : High出力 1 1 : 反転出力 (トグル出力)	R/W
b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSB[1:0]、OSA[1:0]ビットがすべて“0”の場合には、タイマ出力は禁止されます。リセット後、最初のコンペアマッチが起こるまでのタイマ出力は“0”です。

TCSR レジスタは、コンペアマッチによる出力制御を行うレジスタです。

OSA[1:0] ビット (アウトプット選択ビット A)

TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMO_n 端子の出力方法を選択します。

OSB[1:0] ビット (アウトプット選択ビット B)

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMO_n 端子の出力方法を選択します。

ADTE ビット (A/D トリガ許可ビット)

コンペアマッチ A による A/D 変換開始要求の許可または禁止を選択します。

TMR1.TCSR、TMR3.TCSR レジスタでは予約ビットです。

17.3 動作説明

17.3.1 パルス出力

任意のデューティパルスを出力させる例を図 17.3 に示します。

1. TCORA レジスタのコンペアマッチにより TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを“01b” (コンペアマッチ A によりクリア) にします。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを“10b” (High 出力)、TCSR.OSB[1:0] ビットを“01b” (Low 出力) にします。

以上の設定により周期が TCORA レジスタ、パルス幅が TCORB レジスタの波形をソフトウェアの介在なしに出力できます。

リセット後、最初のコンペアマッチが起こるまでのタイマ出力は Low です。

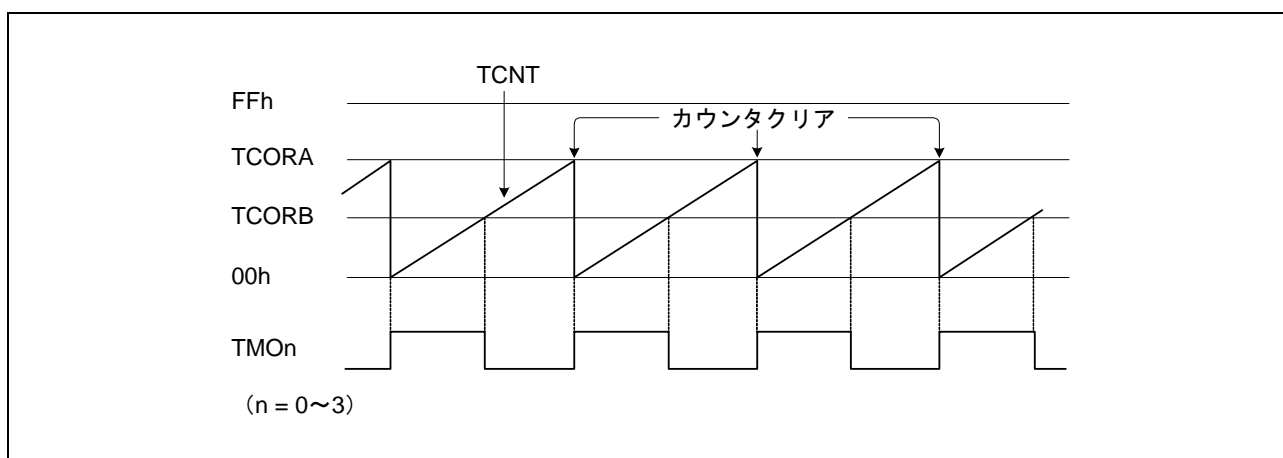


図 17.3 パルス出力例

17.3.2 リセット入力

TMRIn 入力に対する任意の遅延時間のパルスを出力させる例を図 17.4 に示します。

1. TMRIn 入力の High で TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを“11b” (外部リセット入力によりクリア) にし、TCCR.TMRIS ビットを“1” (外部リセットの High でクリア) にします。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを“10b” (High 出力)、TCSR.OSB[1:0] ビットを“01b” (Low 出力) にします。

以上の設定により TMRIn 入力からの遅延が TCORA レジスタ、パルス幅が (TCORB - TCORA) の波形を出力できます。

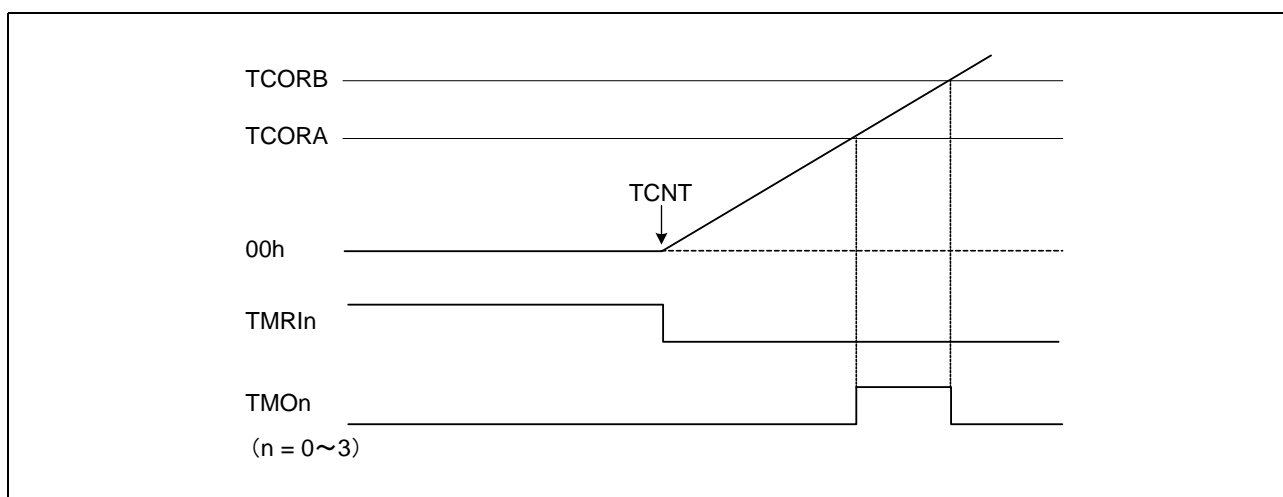


図 17.4 リセット入力例

17.4 動作タイミング

17.4.1 TCNT カウンタのカウンタタイミング

内部クロック動作の場合の TCNT カウンタのカウンタタイミングを図 17.5 に示します。また、外部クロック動作の場合の TCNT カウンタのカウンタタイミングを図 17.6 に示します。

なお外部クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

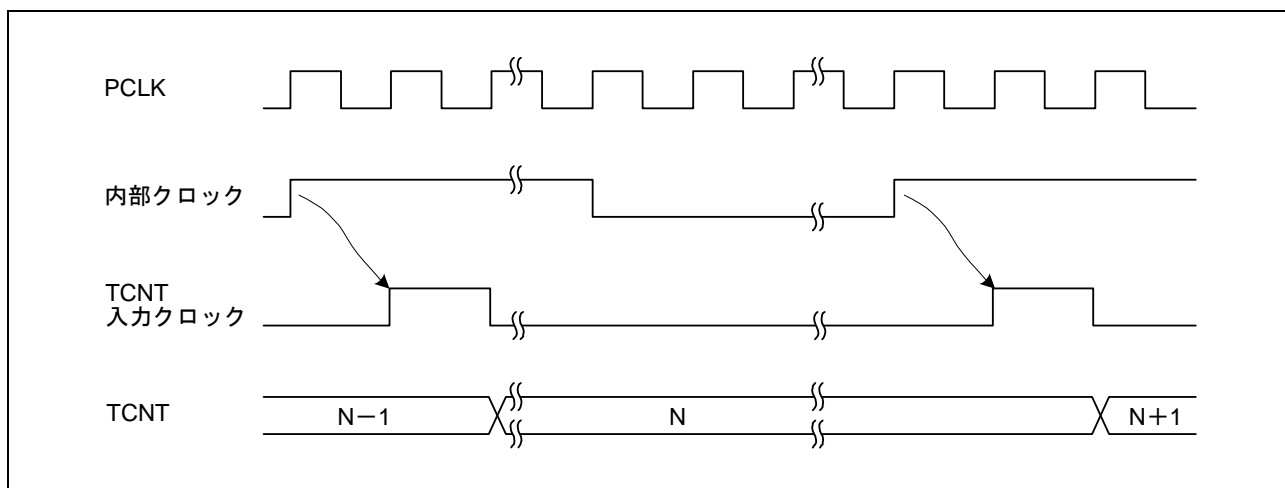


図 17.5 内部クロック動作時のカウンタタイミング

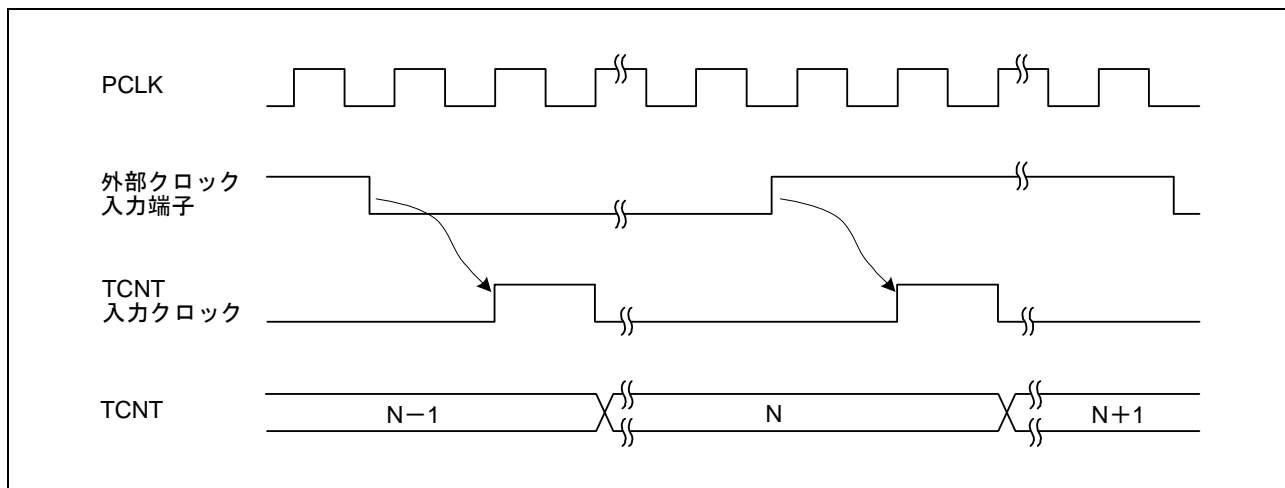


図 17.6 外部クロック動作時のカウンタタイミング

17.4.2 コンペアマッチ時の割り込みフラグが“1”になるタイミング

TCORA、TCORB レジスタと TCNT カウンタの値が一致しコンペアマッチ信号が出力されると、割り込みフラグは“1”になります。

コンペアマッチ信号は、一致した最後のステート (TCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、TCNT カウンタと TCORA、TCORB レジスタの値が一致した後、TCNT カウンタ入カクロックが発生するまでコンペアマッチ信号は発生しません。

割り込みフラグが“1”になるタイミングを図 17.7 に示します。

なお、対応する割り込みベクタ番号は、「10. 割り込みコントローラ (ICU)」と「表 17.6 TMR の割り込み要因」を参照してください。

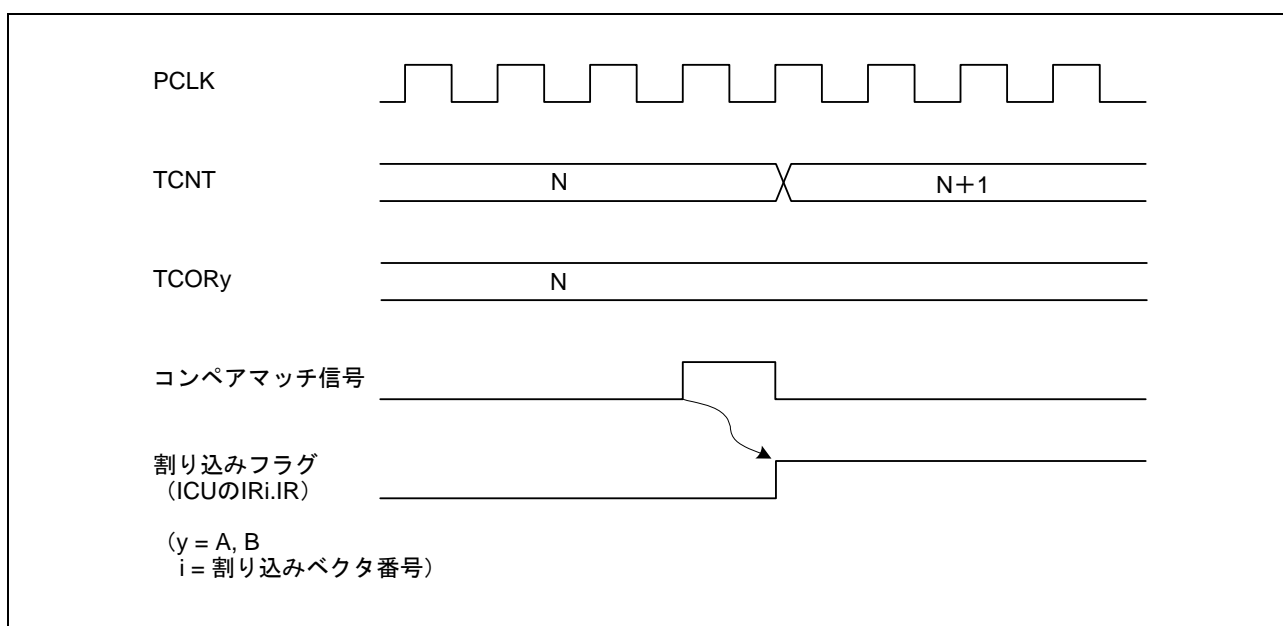


図 17.7 コンペアマッチ時の割り込みフラグが“1”になるタイミング

17.4.3 コンペアマッチ時のタイマ出力タイミング

コンペアマッチ信号が発生したとき、TCSR.OSA[1:0], OSB[1:0] ビットで設定される出力値がタイマ出力端子に出力されます。

コンペアマッチ A 信号によるトグル出力の場合のタイマ出力タイミングを図 17.8 に示します。

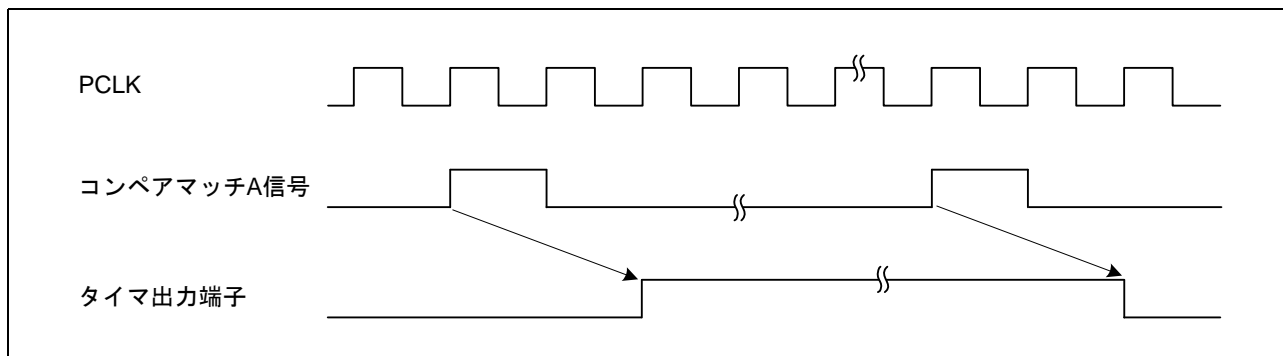


図 17.8 コンペアマッチ A 信号によるタイマ出力タイミング

17.4.4 コンペアマッチによるカウンタクリアタイミング

TCNT カウンタは、TCR.CCLR[1:0] ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。

コンペアマッチによるカウンタクリアタイミングを図 17.9 に示します。

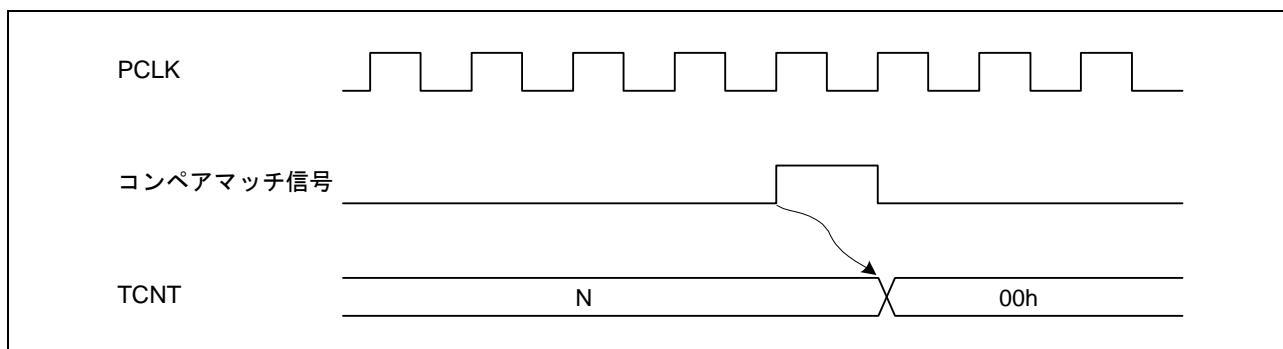


図 17.9 コンペアマッチによるカウンタクリアタイミング

17.4.5 TCNT カウンタの外部リセットタイミング

TCNT カウンタは、TCRm.CCLR[1:0] ビットの選択により外部リセット入力の立ち上がりエッジ、または High でクリアされます。外部リセットの入力から TCNT カウンタのクリアまでは 2 ステート以上必要となります。

外部リセット入力によるクリアタイミングを図 17.10、図 17.11 に示します。

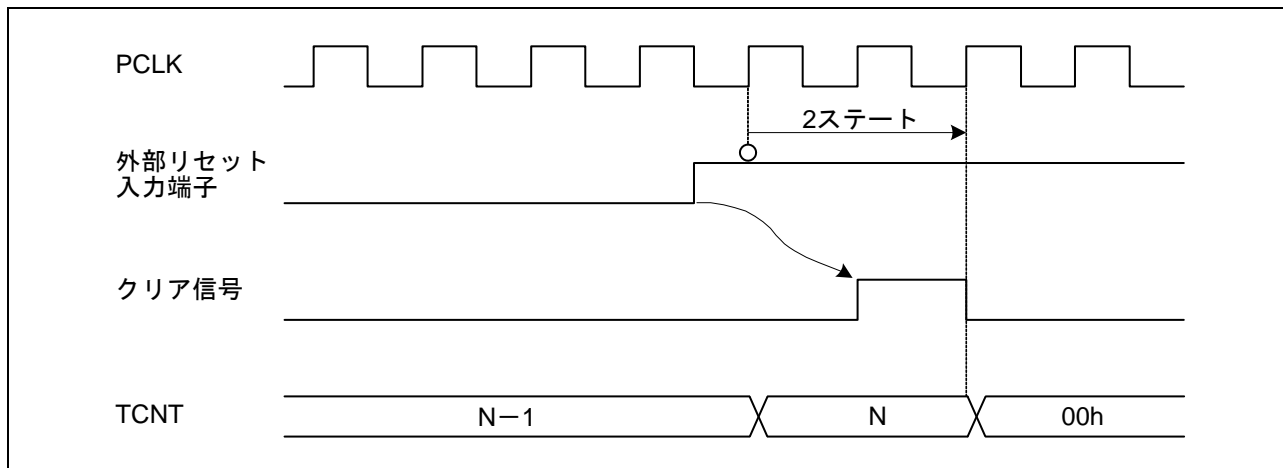


図 17.10 外部リセット入力によるクリアタイミング (立ち上がりエッジ)

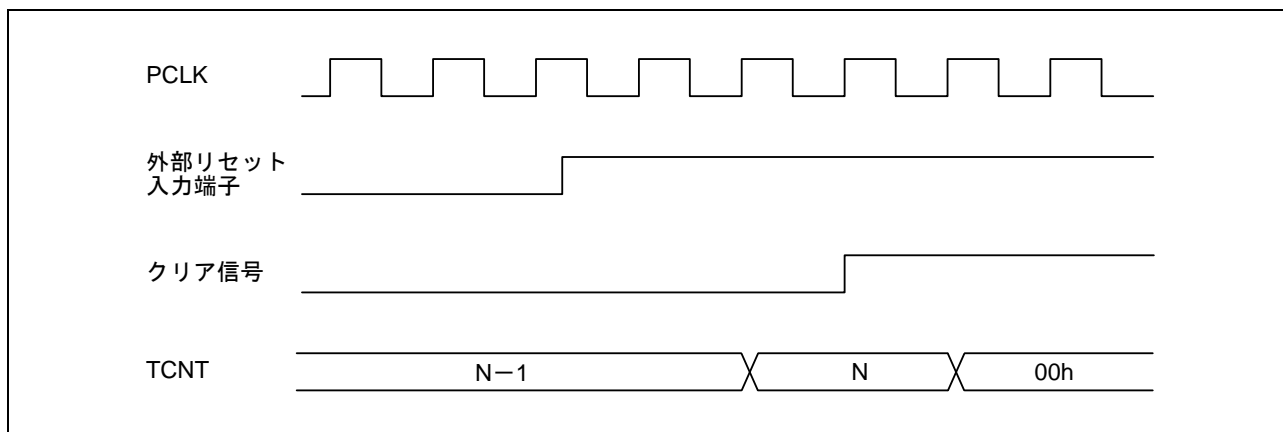


図 17.11 外部リセット入力によるクリアタイミング (High)

17.4.6 オーバフローにより割り込みフラグが“1”になるタイミング

TCNT カウンタがオーバフロー (“FFh” → “00h”) したときに出力されるオーバフロー信号により割り込みフラグは、“1”になります。

割り込みフラグのセットタイミングを図 17.12 に示します。

なお、対応する割り込みベクタ番号は、「10. 割り込みコントローラ (ICU)」と「表 17.6 TMR の割り込み要因」を参照してください。

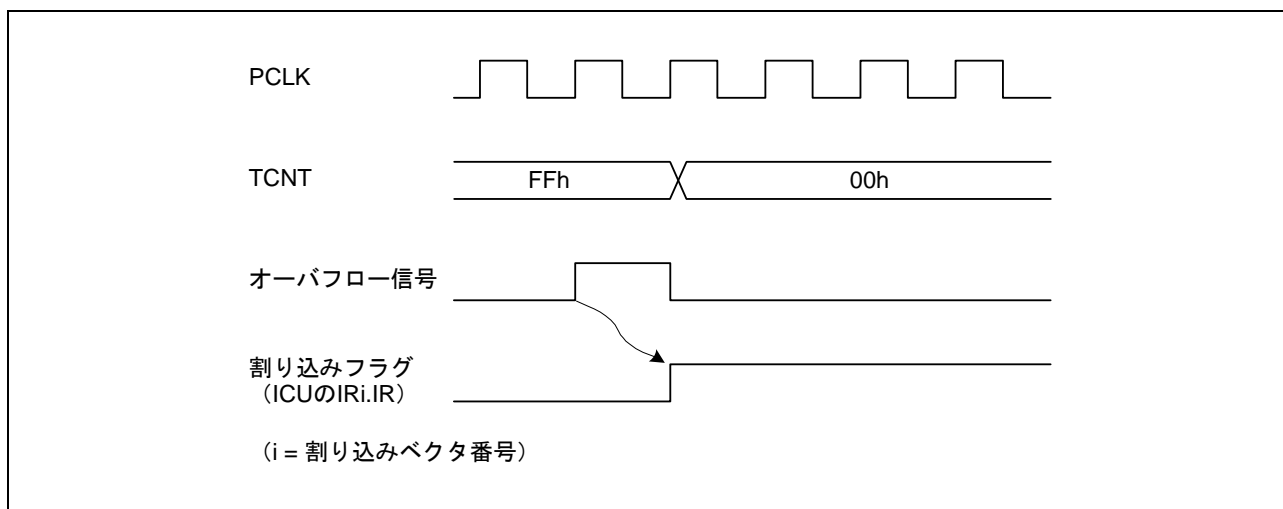


図 17.12 オーバフローにより割り込みフラグが“1”になるタイミング

17.5 カスケード接続時の動作

TMR0.TCCR、TMR1.TCCR レジスタのいずれか一方の CSS[1:0] ビットを“11b”にすると、2チャンネルのTMRはカスケード接続されます。この場合、1本の16ビットタイマとして使用する16ビットカウントモードか、またはTMR0のコンペアマッチをTMR1でカウントするコンペアマッチカウントモードにすることができます。

なお、ここではユニット0について説明しています。ユニット1のカスケード接続時の動作は、ユニット0と同様です。

17.5.1 16ビットカウントモード

TMR0.TCCR.CSS[1:0] ビットが“11b”のとき、TMR0を上位8ビット、TMR1を下位8ビットとする1チャンネルの16ビットタイマとして動作します。このモードのときだけ、表17.3に示したアクセスサイズ欄に8または16と記されたレジスタへ16ビットアクセスできます。

(1) カウンタクリア指定

- TMR0.TCR.CCLR[1:0] ビットの設定が16ビットカウンタに対して有効になります。TMR0.TCR.CCLR[1:0] ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生すると16ビットカウンタ (TMR0.TCNT、TMR1.TCNT カウンタの両方) がクリアされます。また、TMR10端子によるカウンタクリアを設定した場合も、16ビットカウンタ (TMR0.TCNT、TMR1.TCNT カウンタの両方) がクリアされます。
- TMR1.TCR.CCLR[1:0] ビットの設定は無効になります。

(2) 端子出力

- TMR0.TCSR.OSA[1:0], OSB[1:0] ビットによるTMO0端子の出力制御は、16ビットのコンペアマッチ条件に従います。
- TMR1.TCSR.OSA[1:0], OSB[1:0] ビットによるTMO1端子の出力制御は、下位8ビットのコンペアマッチ条件に従います。

17.5.2 コンペアマッチカウントモード

TMR1.TCCR.CSS[1:0] ビットが“11b”のとき、TMR1.TCNT カウンタはTMR0のコンペアマッチAの発生回数をカウントします。TMR0、TMR1の制御は個別に行われ、割り込みの発生、TMO_n (n = 0, 1) 端子の出力、カウンタクリアなどは各チャンネルの設定に従います。

17.6 割り込み要因

17.6.1 割り込み要因と DTC 起動

TMRm の割り込み要因は、CMIAm、CMIBm、OVI_m の 3 種類があります。表 17.6 に各割り込み要因と優先順位を示します。

なお、CMIAm、CMIBm 割り込みにより DTC を起動することができます。TMRm の割り込み要因による DMAC の起動はできません。

表 17.6 TMR の割り込み要因

名称	割り込み要因	割り込みステータスフラグ	DTC の起動	優先順位
CMIA0	TMR0.TCORA のコンペアマッチ	IR174.IR	可能	高 ↑ 低
CMIB0	TMR0.TCORB のコンペアマッチ	IR175.IR	可能	
OVI0	TMR0.TCNT のオーバーフロー	IR176.IR	不可能	
CMIA1	TMR1.TCORA のコンペアマッチ	IR177.IR	可能	
CMIB1	TMR1.TCORB のコンペアマッチ	IR178.IR	可能	
OVI1	TMR1.TCNT のオーバーフロー	IR179.IR	不可能	
CMIA2	TMR2.TCORA のコンペアマッチ	IR180.IR	可能	
CMIB2	TMR2.TCORB のコンペアマッチ	IR181.IR	可能	
OVI2	TMR2.TCNT のオーバーフロー	IR182.IR	不可能	
CMIA3	TMR3.TCORA のコンペアマッチ	IR183.IR	可能	
CMIB3	TMR3.TCORB のコンペアマッチ	IR184.IR	可能	
OVI3	TMR3.TCNT のオーバーフロー	IR185.IR	不可能	

割り込みステータスフラグの詳細は「10. 割り込みコントローラ (ICU)」を参照してください。

17.6.2 A/D コンバータの起動

TMR0、TMR2 のコンペアマッチ A で、A/D コンバータ (注) を起動することができます。

TMRn.TCSR.ADTE ビットが“1” (コンペアマッチ A による A/D 変換開始要求を許可) の状態で、コンペアマッチ A が発生すると、A/D コンバータに対して A/D 変換の開始を要求します。このとき A/D コンバータ側で、8 ビットタイマの変換トリガが選択されていれば、A/D 変換を開始します。

なお、対応する A/D コンバータのユニットに関しては「23. A/D コンバータ」を参照してください。

17.7 使用上の注意事項

17.7.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、TMR の動作禁止 / 許可を設定することが可能です。初期値では、TMR の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「8. 消費電力低減機能」を参照してください。

17.7.2 周期設定上の注意

コンペアマッチによるカウンタクリアを設定した場合、TCNT カウンタは TCORA、TCORB レジスタの値と一致した最後のステート (TCNT カウンタが一致したカウント値を更新するタイミング) でクリアされます。このため、カウンタの周波数は以下の式になります (f : カウンタ周波数、 ϕ : 動作周波数、 N : TCORA、TCORB レジスタの設定値)。

$$f = \phi / (N + 1)$$

17.7.3 TCNT カウンタへの書き込みとカウンタクリアの競合

図 17.13 のように CPU による TCNT カウンタへの書き込みと同時にカウンタクリアが発生すると、カウンタへの書き込みは行われずクリアが優先されます。

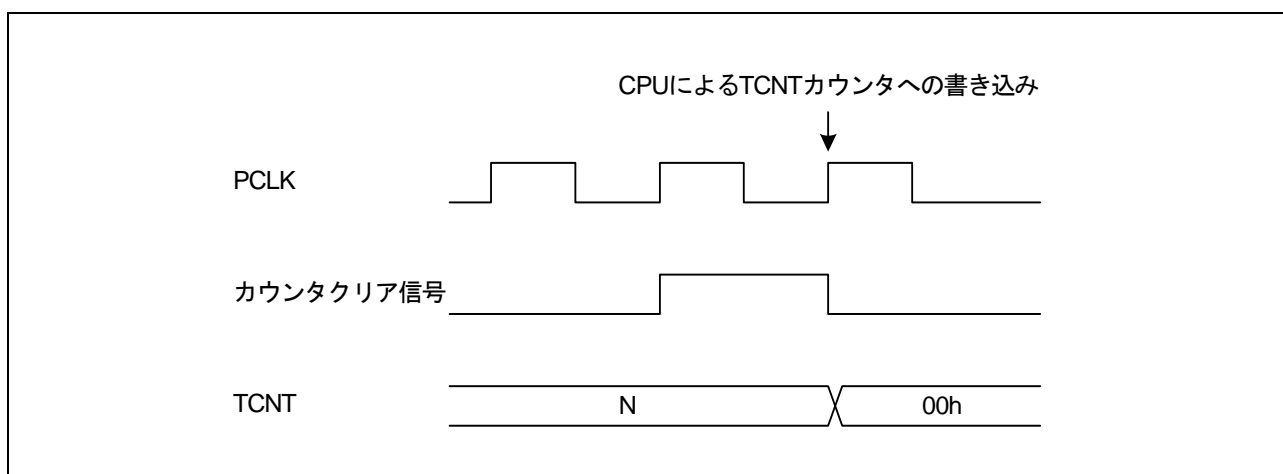


図 17.13 TCNT カウンタへの書き込みとカウンタクリアの競合

17.7.4 TCNT カウンタへの書き込みとカウントアップの競合

図 17.14 のように CPU による TCNT カウンタへの書き込みと同時にカウントアップが発生しても、カウントアップされず TCNT カウンタへの書き込みが優先されます。

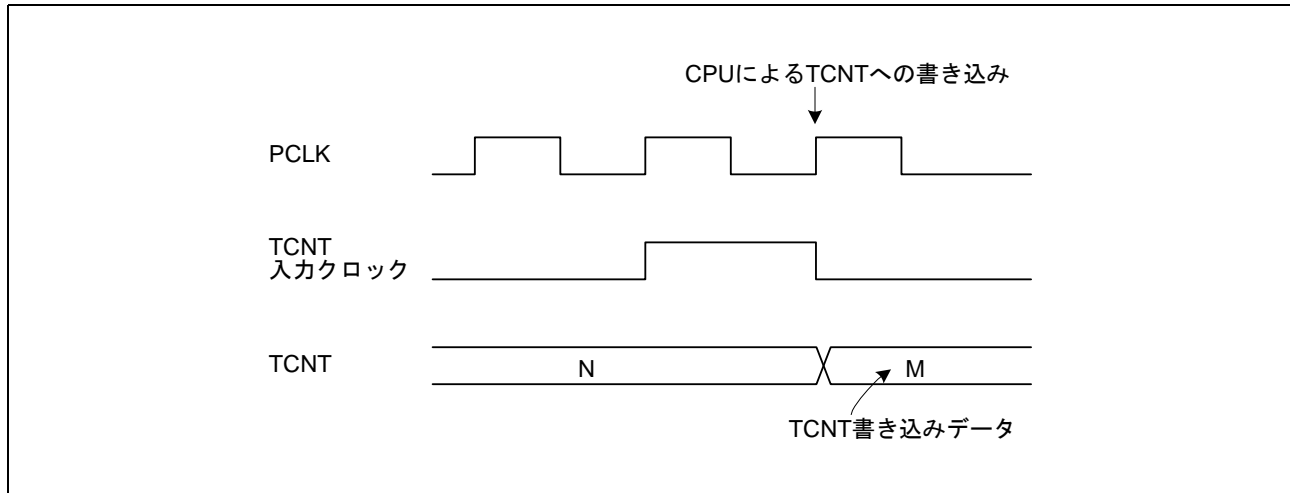


図 17.14 TCNT カウンタへの書き込みとカウントアップの競合

17.7.5 TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合

図 17.15 のように CPU による TCORA、TCORB レジスタへの書き込みと同時にコンペアマッチが発生するタイミングとなっても、TCORA、TCORB レジスタへの書き込みが優先されコンペアマッチ信号は High になりません。

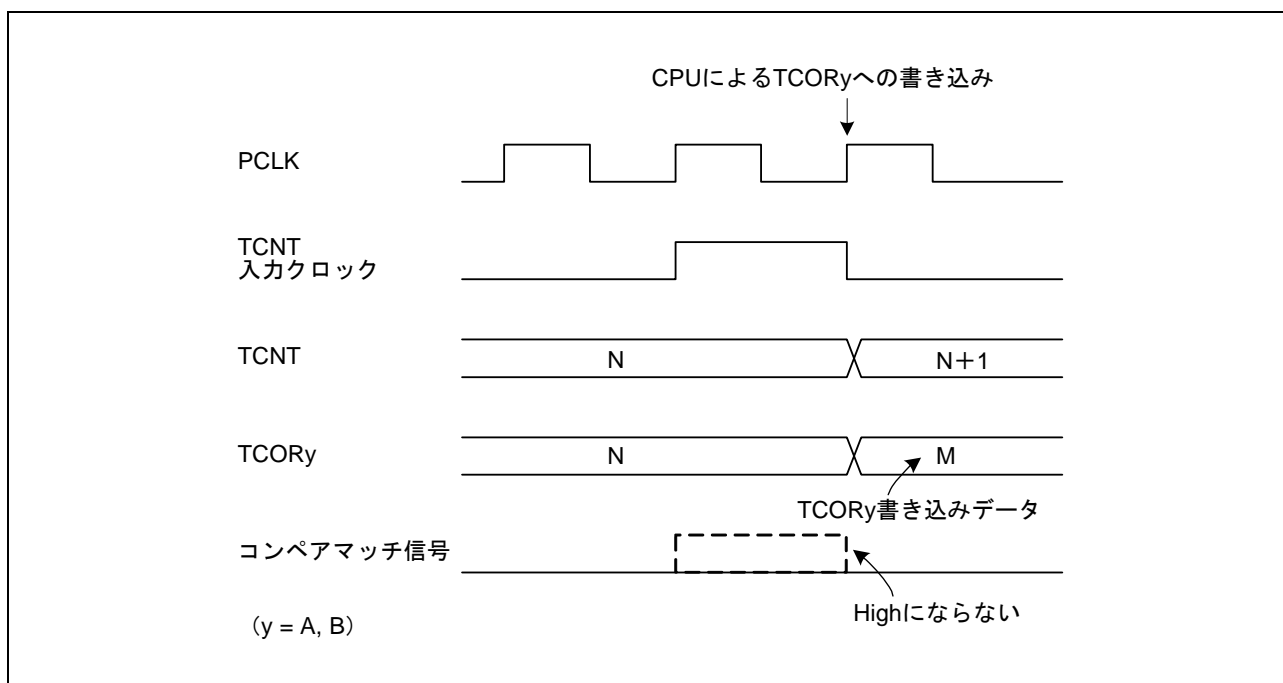


図 17.15 TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合

17.7.6 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている動作と、コンペアマッチ B に対して設定されている動作のうち、表 17.7 に示すタイマ出力の優先順位の高いほうが出力されます。

表 17.7 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ ↓ 低
High出力	
Low出力	
変化しない	

17.7.7 内部クロックの切り替えと TCNT カウンタの動作

内部クロックを切り替えるタイミングによっては、TCNT カウンタがカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (TCCR.CKS[2:0] ビットの書き換え) と、TCNT カウンタ動作の関係を表 17.8 に示します。

内部クロックから TCNT カウンタのクロックを生成する場合、内部クロックの立ち上がりエッジを検出しています。そのため、たとえば表 17.8 の No.2 のように、Low → High になるようなクロックの切り替えを行うと、切り替えタイミングをエッジとみなして TCNT カウンタクロックが発生し、TCNT カウンタがカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT カウンタがカウントアップされることがあります。

表 17.8 内部クロックの切り替えと TCNT カウンタの動作 (1 / 2)

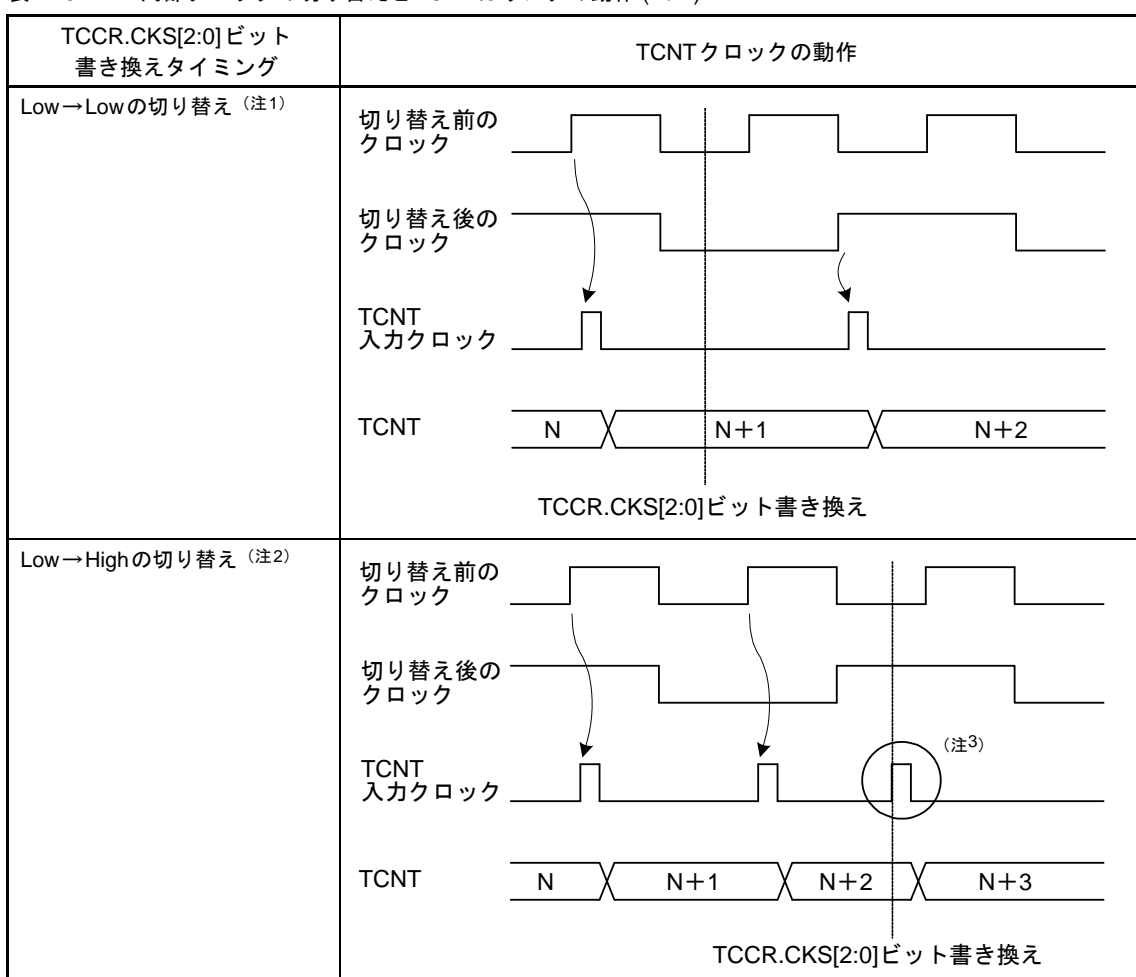
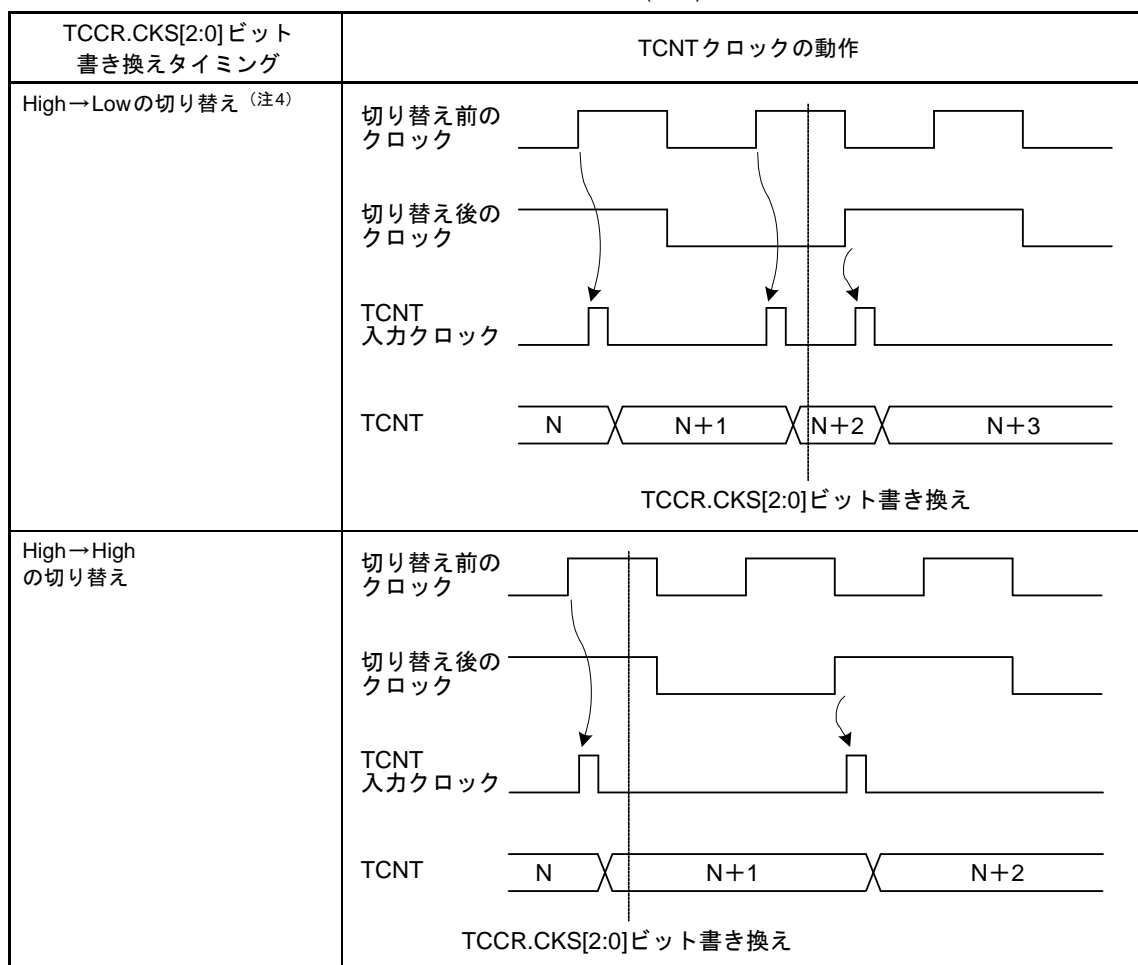


表 17.8 内部クロックの切り替えとTCNTカウンタの動作 (2 / 2)



注1. Low→停止、および停止→Lowの場合を含みます。

注2. 停止→Highの場合を含みます。

注3. 切り替えのタイミングをエッジとみなすために発生し、TCNTはカウントアップされてしまいます。

注4. High→停止の場合を含みます。

17.7.8 カスケード接続時のクロックソース設定

16ビットカウントモードとコンペアマッチカウントモードを同時に設定した場合、TMR0.TCNT、TMR1.TCNT カウンタ (TMR2.TCNT、TMR3.TCNT カウンタ) の入力クロックが発生しなくなるため、カウンタが停止して動作しません。この設定は行わないでください。

18. コンペアマッチタイマ (CMT)

RX610グループは、2チャンネルの16ビットタイマで構成されるコンペアマッチタイマ (CMT) を2ユニット (ユニット0、ユニット1)、合計4チャンネル内蔵しています。CMTは、16ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

18.1 概要

表 18.1 に CMT の仕様を示します。

図 18.1 に CMT (ユニット0) のブロック図を示します。2チャンネルのCMTで1ユニットを構成し、ユニット0とユニット1は同じ仕様です。

表 18.1 CMTの仕様

項目	機能
カウントクロック	<ul style="list-style-type: none"> 4種類の内部クロック PCLK/8、PCLK/32、PCLK/128、PCLK/512の中から各チャンネル個々に選択可能
割り込み	コンペアマッチ割り込みを各チャンネル個々に要求することが可能
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

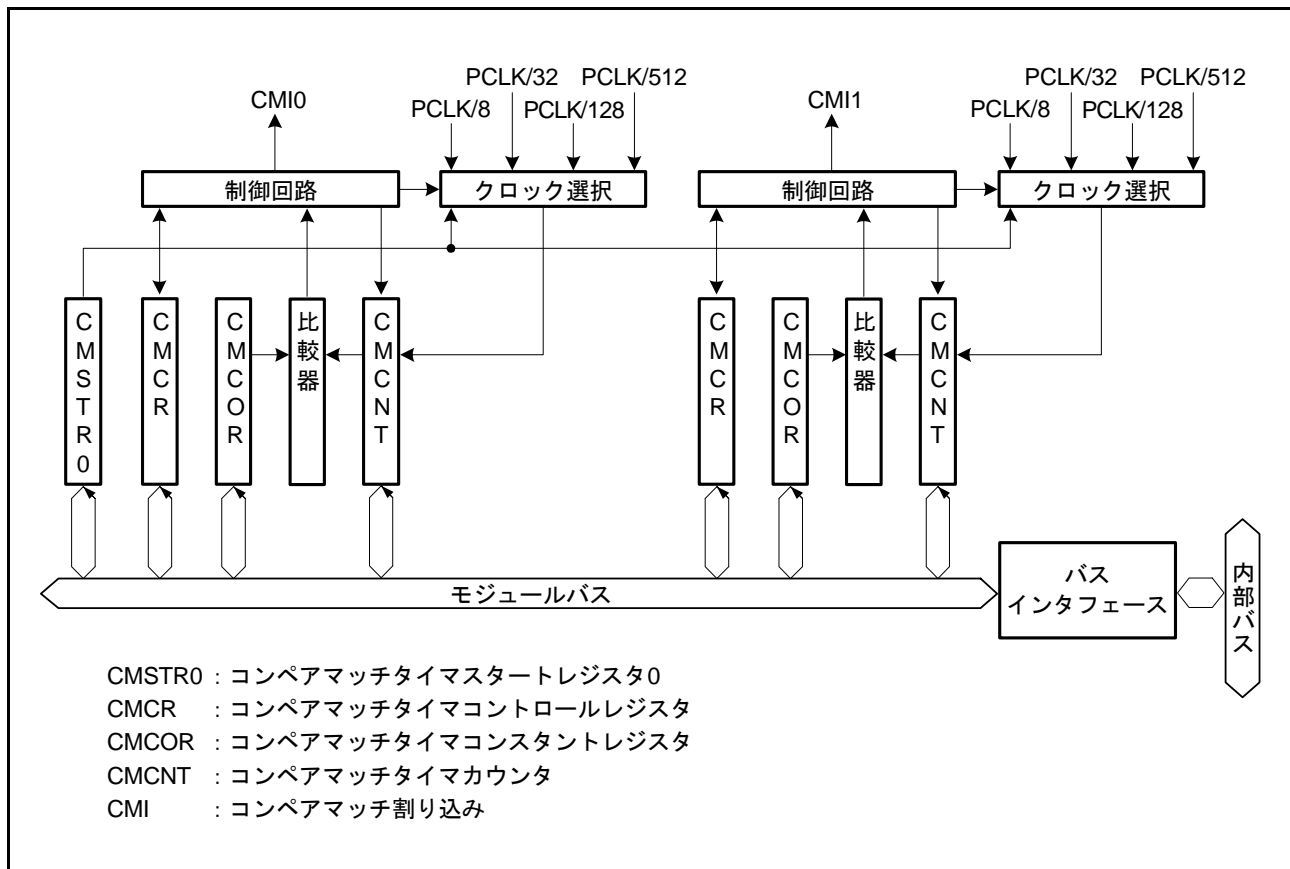


図 18.1 CMT (ユニット0) のブロック図

18.2 レジスタの説明

表 18.2 に CMT のレジスタ一覧を示します。

表 18.2 CMTのレジスタ一覧

ユニット	チャネル	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ	
ユニット0	共通	コンペアマッチタイマスタートレジスタ0	CMSTR0	0000h	0008 8000h	16	
		CMT0	コンペアマッチタイマコントロールレジスタ	CMCR	00x0h	0008 8002h	16
			コンペアマッチタイマカウンタ	CMCNT	0000h	0008 8004h	16
	コンペアマッチタイマコンスタントレジスタ		CMCOR	FFFFh	0008 8006h	16	
	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	00x0h	0008 8008h	16	
		コンペアマッチタイマカウンタ	CMCNT	0000h	0008 800Ah	16	
		コンペアマッチタイマコンスタントレジスタ	CMCOR	FFFFh	0008 800Ch	16	
	ユニット1	共通	コンペアマッチタイマスタートレジスタ1	CMSTR1	0000h	0008 8010h	16
			CMT2	コンペアマッチタイマコントロールレジスタ	CMCR	00x0h	0008 8012h
コンペアマッチタイマカウンタ				CMCNT	0000h	0008 8014h	16
コンペアマッチタイマコンスタントレジスタ		CMCOR		FFFFh	0008 8016h	16	
CMT3		コンペアマッチタイマコントロールレジスタ	CMCR	00x0h	0008 8018h	16	
		コンペアマッチタイマカウンタ	CMCNT	0000h	0008 801Ah	16	
		コンペアマッチタイマコンスタントレジスタ	CMCOR	FFFFh	0008 801Ch	16	

18.2.1 コンペアマッチタイマスタートレジスタ 0 (CMSTR0)

アドレス 0008 8000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR1	STR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR0	カウントスタート0ビット	0 : CMT0.CMCNTカウンタのカウンタ動作停止 1 : CMT0.CMCNTカウンタのカウンタ動作開始	R/W
b1	STR1	カウントスタート1ビット	0 : CMT1.CMCNTカウンタのカウンタ動作停止 1 : CMT1.CMCNTカウンタのカウンタ動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CMSTR0 レジスタは、CMT0.CMCNT カウンタ、CMT1.CMCNT カウンタの動作開始、停止の設定を行うレジスタです。

STR0 ビット (カウントスタート0ビット)

CMT0.CMCNT カウンタを動作させるか、停止させるかを選択します。

STR1 ビット (カウントスタート1ビット)

CMT1.CMCNT カウンタを動作させるか、停止させるかを選択します。

18.2.2 コンペアマッチタイマスタートレジスタ 1 (CMSTR1)

アドレス 0008 8010h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR3	STR2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR2	カウントスタート2ビット	0 : CMT2.CMCNTカウンタのカウンタ動作停止 1 : CMT2.CMCNTカウンタのカウンタ動作開始	R/W
b1	STR3	カウントスタート3ビット	0 : CMT3.CMCNTカウンタのカウンタ動作停止 1 : CMT3.CMCNTカウンタのカウンタ動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CMSTR1 レジスタは、CMT2.CMCNT カウンタ、CMT3.CMCNT カウンタの動作開始、停止の設定を行うレジスタです。

STR2 ビット (カウントスタート2ビット)

CMT2.CMCNT カウンタを動作させるか、停止させるかを選択します。

STR3 ビット (カウントスタート3ビット)

CMT3.CMCNT カウンタを動作させるか、停止させるかを選択します。

18.2.3 コンペアマッチタイマコントロールレジスタ (CMCR)

アドレス CMT0.CMCR 0008 8002h、CMT1.CMCR 0008 8008h、
CMT2.CMCR 0008 8012h、CMT3.CMCR 0008 8018h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CMIE	—	—	—	—	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 0 0 : PCLK/8 0 1 : PCLK/32 1 0 : PCLK/128 1 1 : PCLK/512	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CMIE	コンペアマッチ割り込み許可ビット	0 : コンペアマッチ割り込み (CMIm) を禁止 1 : コンペアマッチ割り込み (CMIm) を許可	R/W
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CMCR レジスタは、カウントアップに用いられるクロックの設定を行うレジスタです。

CKS[1:0] ビット (クロック選択ビット)

周辺モジュールクロック (PCLK) を分周して得られる 4 種類の内部クロックから CMCNT カウンタに入力するクロックを選択します。

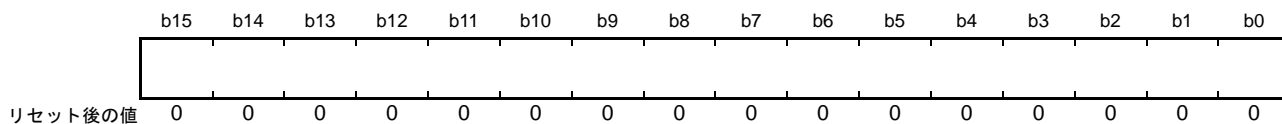
CMSTRy.STRj ビット (y = 0, 1, j = 0 ~ 3) を“1”にすると、CKS[1:0] ビットで選択したクロックによって、対応する CMCNT カウンタがカウントアップを開始します。

CMIE ビット (コンペアマッチ割り込み許可ビット)

CMCNT と CMCOR の値が一致したとき、コンペアマッチ割り込み (CMIm) (m = 0 ~ 3) の発生を許可するか禁止するかを選択します。

18.2.4 コンペアマッチタイマカウンタ (CMCNT)

アドレス CMT0.CMCNT 0008 8004h, CMT1.CMCNT 0008 800Ah,
CMT2.CMCNT 0008 8014h, CMT3.CMCNT 0008 801Ah



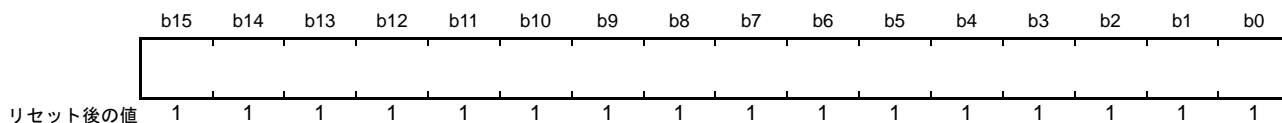
CMCNT カウンタは、割り込み要求を発生させるためのリード/ライト可能なアップカウンタです。

CMCR.CKS[1:0] ビットで内部クロックを選択して、CMSTRy.STRj ビット (y=0, 1, j=0~3) を“1”にすると、そのクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、CMCNT カウンタは“0000h”になります。このとき、コンペアマッチ割り込み (CMIn) (n=0~3) が発生します。

18.2.5 コンペアマッチタイマコンスタントレジスタ (CMCOR)

アドレス CMT0.CMCOR 0008 8006h, CMT1.CMCOR 0008 800Ch,
CMT2.CMCOR 0008 8016h, CMT3.CMCOR 0008 801Ch



CMCOR レジスタは、CMCNT カウンタとのコンペアマッチ周期を設定するレジスタです。

18.3 動作説明

18.3.1 周期カウント動作

CMCR.CKS[1:0] ビットで内部クロックを選択し、CMSTRy.STRj ビット ($y=0, 1, j=0 \sim 3$) を“1”にすると、選択したクロックによってCMCNTカウンタはカウントアップを開始します。

CMCNTカウンタの値がCMCORレジスタの値と一致すると、CMCNTカウンタは“0000h”になります。このとき、コンペアマッチ割り込み (CMIm) ($m=0 \sim 3$) が発生します。CMCNTカウンタは“0000h”から再びカウントアップを再開します。CMCNTカウンタの動作を図18.2に示します。

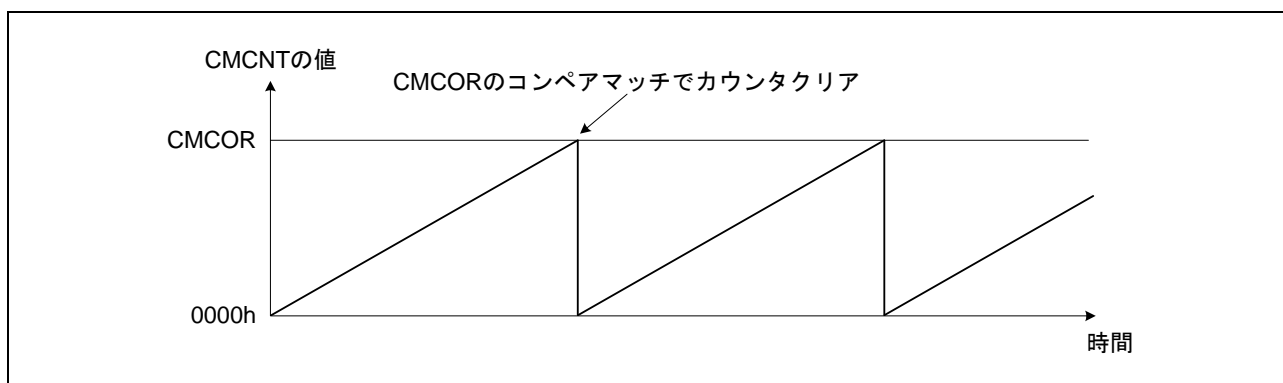


図 18.2 CMCNT カウンタの動作

18.3.2 CMCNT カウンタのカウントタイミング

CMCR.CKS[1:0] ビットで、周辺モジュールクロック (PCLK) を分周した4種類の内部クロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) が選択できます。このときのCMCNTカウンタのカウントタイミングを図18.3に示します。

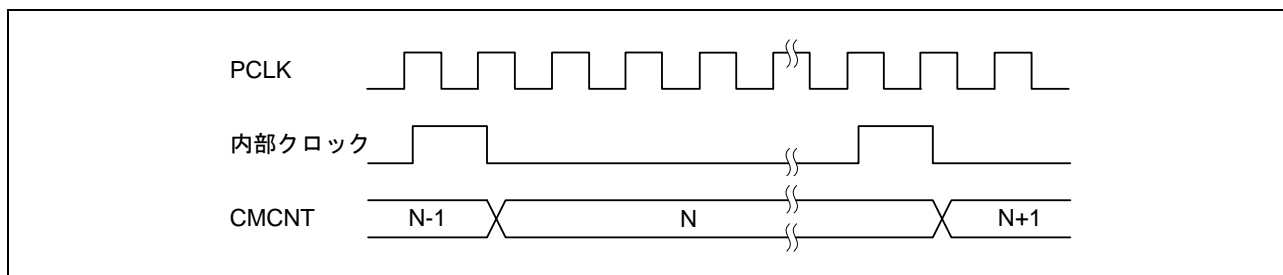


図 18.3 CMCNT カウンタのカウントタイミング

18.4 割り込み

18.4.1 割り込み要因

CMT は、チャンネルごとにコンペアマッチ割り込み (CMI_m) ($m = 0 \sim 3$) を持ち、個々にベクタアドレスが割り当てられています。コンペアマッチ割り込みが発生すると、該当する割り込み要求が出力されます。

割り込み要求により CPU 割り込みを起動する場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳しくは「10. 割り込みコントローラ (ICU)」を参照してください。

表 18.3 CMTの割り込み要因

名称	割り込み要因	割り込みステータスフラグ	DTCの起動	DMACの起動
CMI0	CMT0.CMCNTとCMT0.CMCORのコンペアマッチ	IR028.IR	可能	可能
CMI1	CMT1.CMCNTとCMT1.CMCORのコンペアマッチ	IR029.IR	可能	可能
CMI2	CMT2.CMCNTとCMT2.CMCORのコンペアマッチ	IR030.IR	可能	可能
CMI3	CMT3.CMCNTとCMT3.CMCORのコンペアマッチ	IR031.IR	可能	可能

18.4.2 コンペアマッチ割り込みの発生タイミング

CMCNT カウンタの値と CMCOR レジスタの値が一致したときに、コンペアマッチ割り込み (CMI_m) ($m = 0 \sim 3$) が発生します。

コンペアマッチ信号は、一致した最後のステート (CMCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、CMCNT カウンタの値と CMCOR レジスタの値とが一致した後、CMCNT カウンタ入力クロックが発生するまでコンペアマッチ信号は発生しません。

割り込みフラグが“1”になるタイミングを図 18.4 に示します。

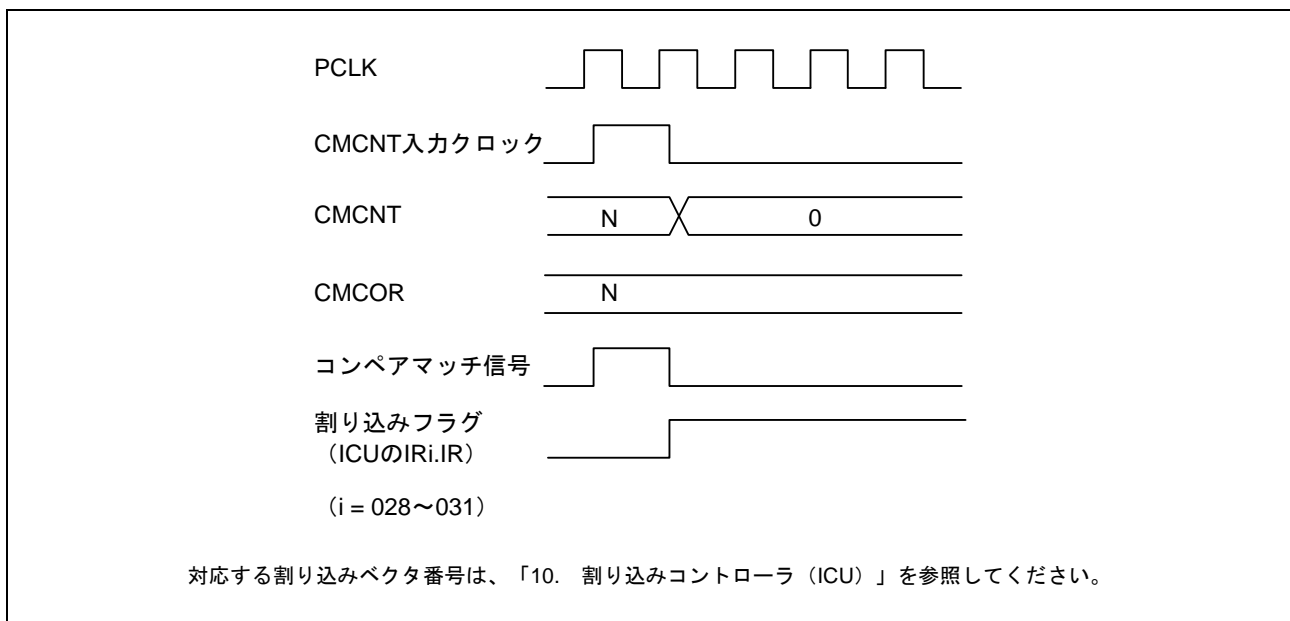


図 18.4 コンペアマッチ割り込みのフラグが“1”になるタイミング

18.5 使用上の注意事項

18.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、CMTの動作禁止/許可を設定することが可能です。初期値では、CMTの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「8. 消費電力低減機能」を参照してください。

18.5.2 CMCNTカウンタへの書き込みとコンペアマッチの競合

CMCNTカウンタへの書き込み中にコンペアマッチ信号が発生すると、CMCNTカウンタへの書き込みは行われずCMCNTカウンタのクリアが優先されます。このタイミングを図18.5に示します。

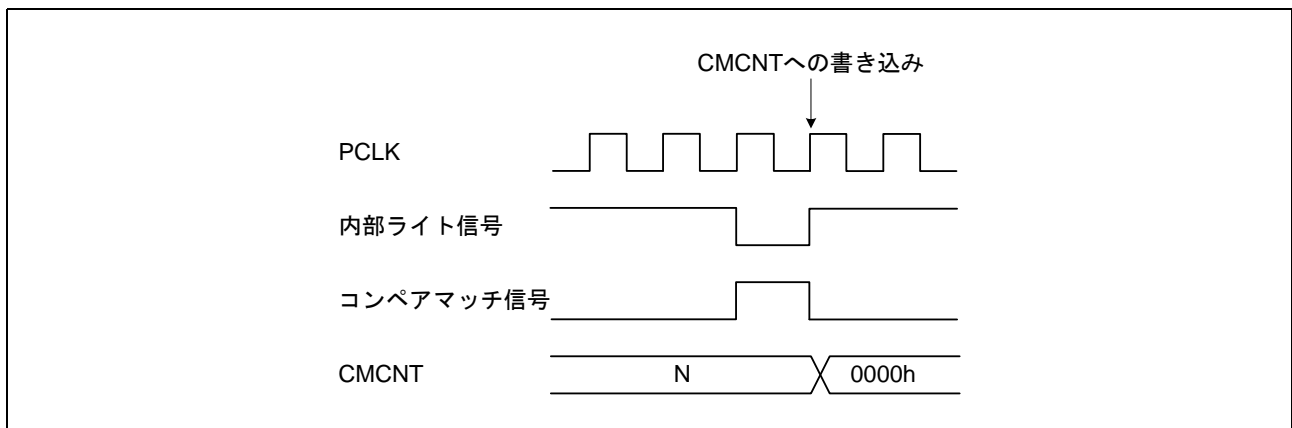


図 18.5 CMCNTカウンタへの書き込みとコンペアマッチの競合

18.5.3 CMCNTカウンタへの書き込みとカウントアップの競合

CMCNTカウンタへの書き込み中にカウントアップが発生しても、CMCNTカウンタはカウントアップされずにCMCNTカウンタへの書き込みが優先されます。このタイミングを図18.6に示します。

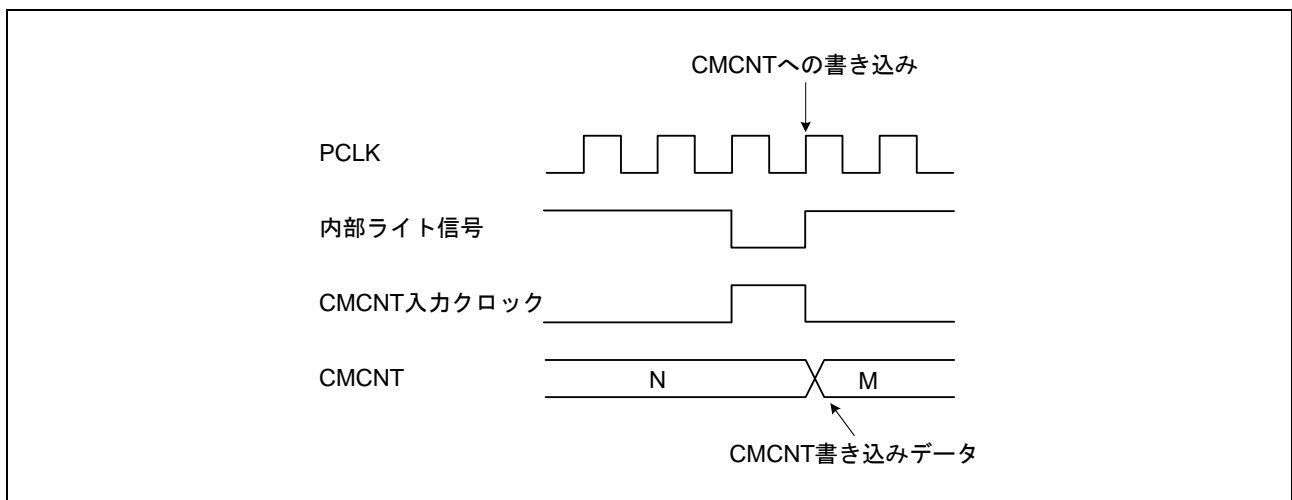


図 18.6 CMCNTカウンタへの書き込みとカウントアップの競合

18.5.4 コンペアマッチタイマコントロールレジスタ (CMCR) 書き替え時の注意事項

CMCR レジスタ書き替えが、コンペアマッチの発生と競合した場合、CMCR レジスタへの書き込みが無視されます。そのため CMCR レジスタへの書き込み後、CMCR レジスタを読み出して、書き込みデータが正しく書き込まれていることを確認してください。もし書き込みデータが正しく書き込まれていない場合、再度 CMCR レジスタへの書き込みを実施してください。

なお、CMCR レジスタのビット7は読み出し値が不定のため、書き込みデータと比較するときは、注意してください。

18.5.5 コンペアマッチタイマカウンタ (CMCNT) と コンペアマッチコンスタントレジスタ (CMCOR) の注意事項

CMCNT カウンタのカウンタ動作を停止した状態で、CMCNT カウンタと CMCOR レジスタを同じ値に設定しないでください。

CMCNT カウンタのカウンタ動作を停止した状態で CMCNT カウンタと CMCOR レジスタを同じ値にした場合、カウンタ停止状態にもかかわらずコンペアマッチが発生します。このとき、コンペアマッチ割り込み許可ビット (CMCR.CMIE ビット) が許可 ("1" にセット) されていると、コンペアマッチ割り込みが発生します。

なお、CMCNT カウンタはコンペアマッチ割り込みの禁止/許可に関わらず、CMCOR レジスタ値との一致によるコンペアマッチが発生すると 0000h に自動クリアされます。

19. ウォッチドッグタイマ (WDT)

ウォッチドッグタイマ (WDT) は8ビットタイマで、システムの暴走などによりカウンタの値が書き換えられずにオーバーフローすると、外部にオーバーフロー信号 (WDTOVF#) を出力します。同時に、LSI 内部をリセットすることができます。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマとして動作しているときは、カウンタがオーバーフローするごとにインターバルタイマ割り込みが発生します。

19.1 概要

表 19.1 に WDT の仕様を示します。

図 19.1 に WDT のブロック図を示します。

表 19.1 WDTの仕様

項目	内容
カウントクロック	PCLK/4、PCLK/64、PCLK/128、PCLK/512、PCLK/2048、PCLK/8192、PCLK/32768、PCLK/131072
チャンネル数	8ビット×1チャンネル
カウントクリア	TCNTへの書き込み
動作モード	ウォッチドッグタイマモード、インターバルタイマモードの切り替え
ウォッチドッグタイマモード	カウンタがオーバーフローすると、外部にWDTOVF#信号を出力、同時にLSI内部をリセットするかどうかを選択可能
インターバルタイマモード	カウンタがオーバーフローすると、インターバルタイマ割り込み (WOVI) が発生

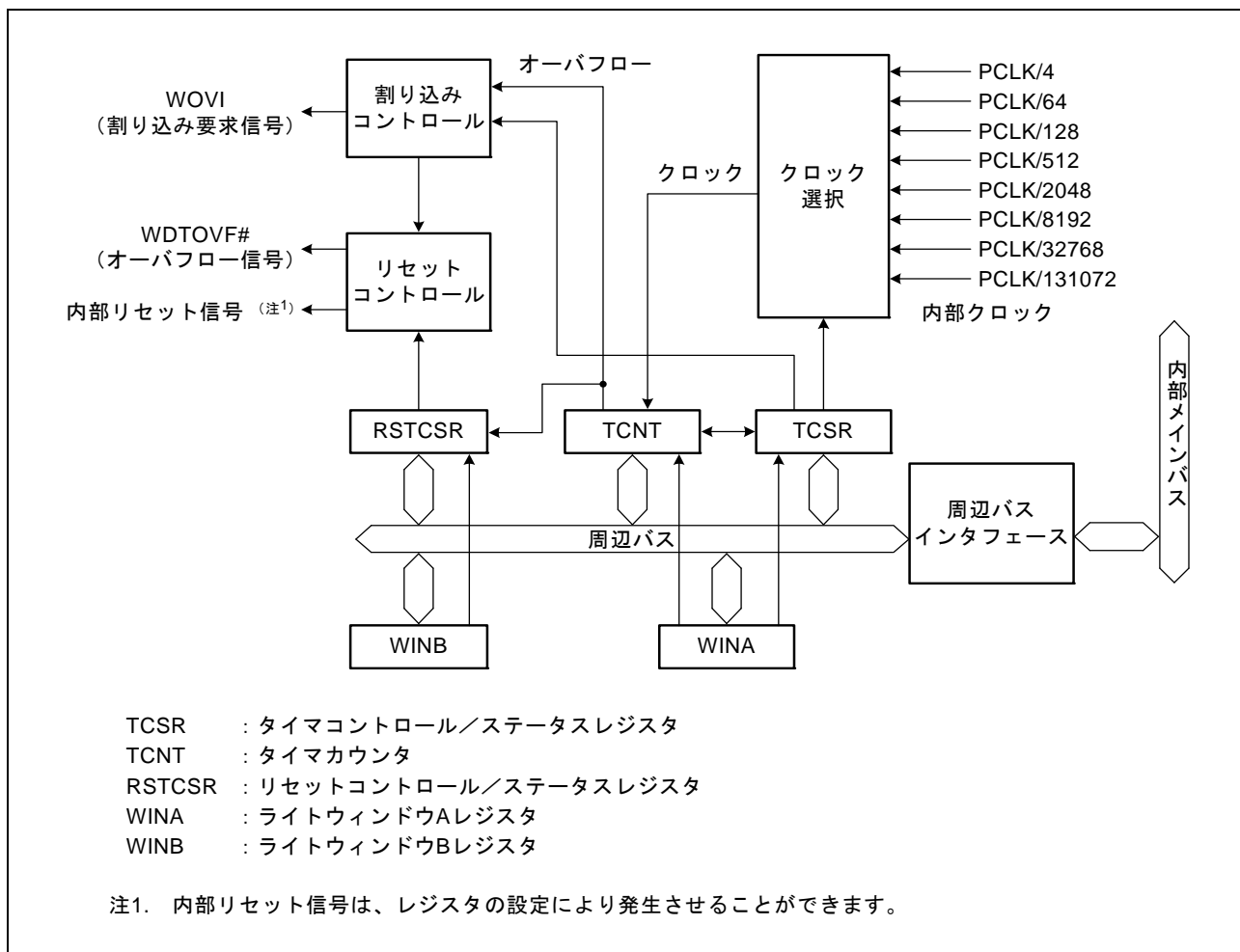


図 19.1 WDT のブロック図

表 19.2 に WDT で使用する入出力端子を示します。

表 19.2 WDT の入出力端子

端子名	入出力	機能
WDOVF#	出力	ウォッチドッグタイマモード時のカウンタオーバーフロー信号出力

19.2 レジスタの説明

表 19.3 に WDT のレジスタ一覧を示します。

表 19.3 WDTのレジスタ一覧

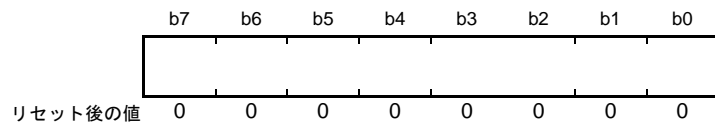
レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
タイマコントロール/ステータスレジスタ	TCSR	x8h	0008 8028h (注1)	8
タイマカウンタ	TCNT	00h	0008 8029h (注1)	8
リセットコントロール/ステータスレジスタ	RSTCSR	1Fh	0008 802Bh (注1)	8
ライトウィンドウAレジスタ	WINA	—	0008 8028h (注2)	16
ライトウィンドウBレジスタ	WINB	—	0008 802Ah (注2)	16

注1. リードオンリーのレジスタです。

注2. ライトオンリーのレジスタです。

19.2.1 タイマカウンタ (TCNT)

アドレス 0008 8029h



TCNT カウンタは、内部クロックをカウントする 8 ビットのアップカウンタです。

TCNT カウンタは、TCSR.TME ビットを“0”にすると、“00h”に初期化されます。

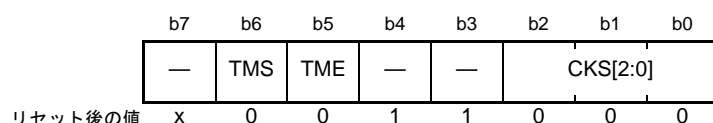
読む場合には、8 ビット単位で読んでください。

書く場合には、WINA レジスタに 16 ビット単位で書いてください。

詳細は、「19.5.1 レジスタアクセス時の注意」を参照してください。

19.2.2 タイマコントロール/ステータスレジスタ (TCSR)

アドレス 0008 8028h



x: 不定

ビット	シンボル	ビット名	機能	R/W
b2-b0	CKS[2:0]	クロック選択ビット	b2 b0 0 0 0 : PCLK/4 (周期20.4μs) 0 0 1 : PCLK/64 (周期326.4μs) 0 1 0 : PCLK/128 (周期652.8μs) 0 1 1 : PCLK/512 (周期2.6ms) 1 0 0 : PCLK/2048 (周期10.4ms) 1 0 1 : PCLK/8192 (周期41.8ms) 1 1 0 : PCLK/32768 (周期167.1ms) 1 1 1 : PCLK/131072 (周期668.5ms) 注1. () 内は、PCLK = 50MHzのときのオーバフロー周期を表す	R/W
b4-b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5	TME	タイマ許可ビット	0 : TCNTカウンタはカウントを停止し、“00h”に初期化する 1 : TCNTカウンタはカウントを開始	R/W
b6	TMS	タイマモード選択ビット	0 : インターバルタイマモード TCNTカウンタがオーバフローしたとき、インターバルタイマ割り込み(WOVI)を要求 1 : ウォッチドッグタイマモード TCNTカウンタがオーバフローしたとき、外部へWDTOVF#を出力	R/W
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

TCSR レジスタは、TCNT カウンタに入力するクロック、モードの選択などを行うレジスタです。読む場合には、8ビット単位で読んでください。書く場合には、WINA レジスタに16ビット単位で書いてください。詳細は、「19.5.1 レジスタアクセス時の注意」を参照してください。

CKS[2:0] ビット (クロック選択ビット)

TCNT カウンタに入力するクロックを選択します。

TME ビット (タイマ許可ビット)

TCNT カウンタのカウント動作の開始、または停止を選択します。

“1”にすると TCNT カウンタがカウントを開始します。“0”にすると TCNT カウンタはカウント動作を停止し、“00h”に初期化されます。

TMS ビット (タイマモード選択ビット)

ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。

19.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

アドレス 0008 802Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	WOVF	RSTE	—	—	—	—	—	—
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	RSTE	リセット許可ビット	0：ウォッチドッグタイマモードで、TCNTカウンタがオーバフローしても、LSI内部はリセットされない (WDTのTCNTカウンタ、TCSRレジスタはリセットされる) 1：ウォッチドッグタイマモードで、TCNTカウンタがオーバフローすると、LSI内部がリセットされる	R/W
b7	WOVF	ウォッチドッグタイマ オーバフローフラグ	0：ウォッチドッグタイマモードで、TCNTカウンタのオーバフローの発生なし 1：ウォッチドッグタイマモードで、TCNTカウンタのオーバフローの発生あり	R(W) (注1)

注1. “0”のみ書けます。

RSTCSR レジスタは、TCNT カウンタのオーバフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択するレジスタです。

RSTCSR レジスタは、RES# 端子からのリセット信号およびディープソフトウェアスタンバイリセットで“1Fh”に初期化されます。ウォッチドッグタイマのオーバフローによる内部リセット信号では初期化されません。

読む場合には、8ビット単位で読んでください。

書く場合には、WINB レジスタに16ビット単位で書いてください。

詳細は、「19.5.1 レジスタアクセス時の注意」を参照してください。

RSTE ビット (リセット許可ビット)

ウォッチドッグタイマモードで、TCNT カウンタのオーバフローにより LSI 内部をリセットするかどうかを選択します。

WOVF フラグ (ウォッチドッグタイマオーバフローフラグ)

ウォッチドッグタイマモードで、TCNT カウンタがオーバフローしたことを示します。インターバルタイマモードでは“1”になりません。

["1"になる条件]

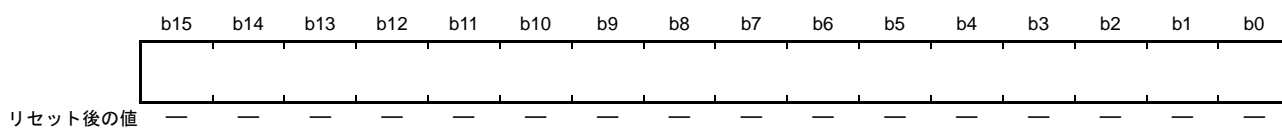
- ウォッチドッグタイマモードで、TCNT カウンタがオーバフロー (“FFh” → “00h”) したとき

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき

19.2.4 ライトウィンドウ A レジスタ (WINA)

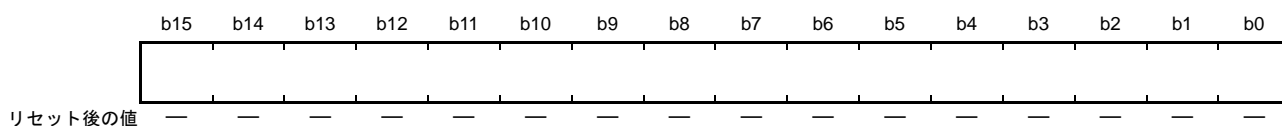
アドレス 0008 8028h



WINA レジスタは、TCNT カウンタ、TCSR レジスタの値を書き換えるレジスタで、ライトオンリーです。TCNT カウンタに書く場合と、TCSR レジスタに書く場合では、書き込み方法が異なります。詳細は、「19.5.1 レジスタアクセス時の注意」を参照してください。書く場合には、16 ビット単位で書いてください。

19.2.5 ライトウィンドウ B レジスタ (WINB)

アドレス 0008 802Ah



WINB レジスタは、RSTCSR レジスタの値を書き換えるレジスタで、ライトオンリーです。RSTCSR.WOVF フラグに“0”を書く場合と、RSTCSR.RSTE ビットに書く場合では、書き込み方法が異なります。詳細は、「19.5.1 レジスタアクセス時の注意」を参照してください。書く場合には、16 ビット単位で書いてください。

19.3 動作説明

19.3.1 ウォッチドッグタイマモード

ウォッチドッグタイマモードとして使用するときは、TCSR.TMS ビットを“1” (ウォッチドッグタイマモード)、TCSR.TME ビットを“1” (TCNT カウンタはカウントを開始) にしてください。

ウォッチドッグタイマとして動作しているとき、システムの暴走などにより TCNT カウンタの値が書き換えられずオーバーフローすると、WDTOVF# 信号が出力されます。システムが正常に動作している間は、TCNT カウンタのオーバーフローは発生しません。TCNT カウンタがオーバーフローする前に TCNT カウンタの値を書き換えて (通常は“00h”を書く)、オーバーフローが発生しないようにしてください。更に、ウォッチドッグタイマモード時には、LSI 内部をリセットすることができます。

RSTCSR.RSTE ビットを“1”にしておくと、TCNT カウンタがオーバーフローしたときに、WDTOVF# 信号の出力と同時に、LSI の内部をリセットする信号が発生します。RES# 端子からの入力信号によるリセットとウォッチドッグタイマのオーバーフローによるリセットが同時に発生したときは、RES# 端子によるリセットが優先され、RSTCSR.WOVF フラグは“0”になります。

WDTOVF# 信号は、RSTE ビットが“1”のとき PCLK で 257 ステート、RSTE ビットが“0”のとき PCLK で 256 ステートの間出力されます。内部リセット信号は、PCLK で 1027 ステートの間出力されます。

RSTE ビットが“1”のときは内部をリセットする信号が発生し、システムクロックコントロールレジスタ (SCKCR) がリセットされるため、PCLK の入力クロックに対する倍率は初期値になります。

RSTE ビットが“0”のときは内部をリセットする信号が発生せず、SCKCR レジスタの設定が保持されるため、PCLK の入力クロックに対する倍率は変化しません。

ウォッチドッグタイマモードで TCNT カウンタがオーバーフローすると、WOVF フラグが“1”になります。

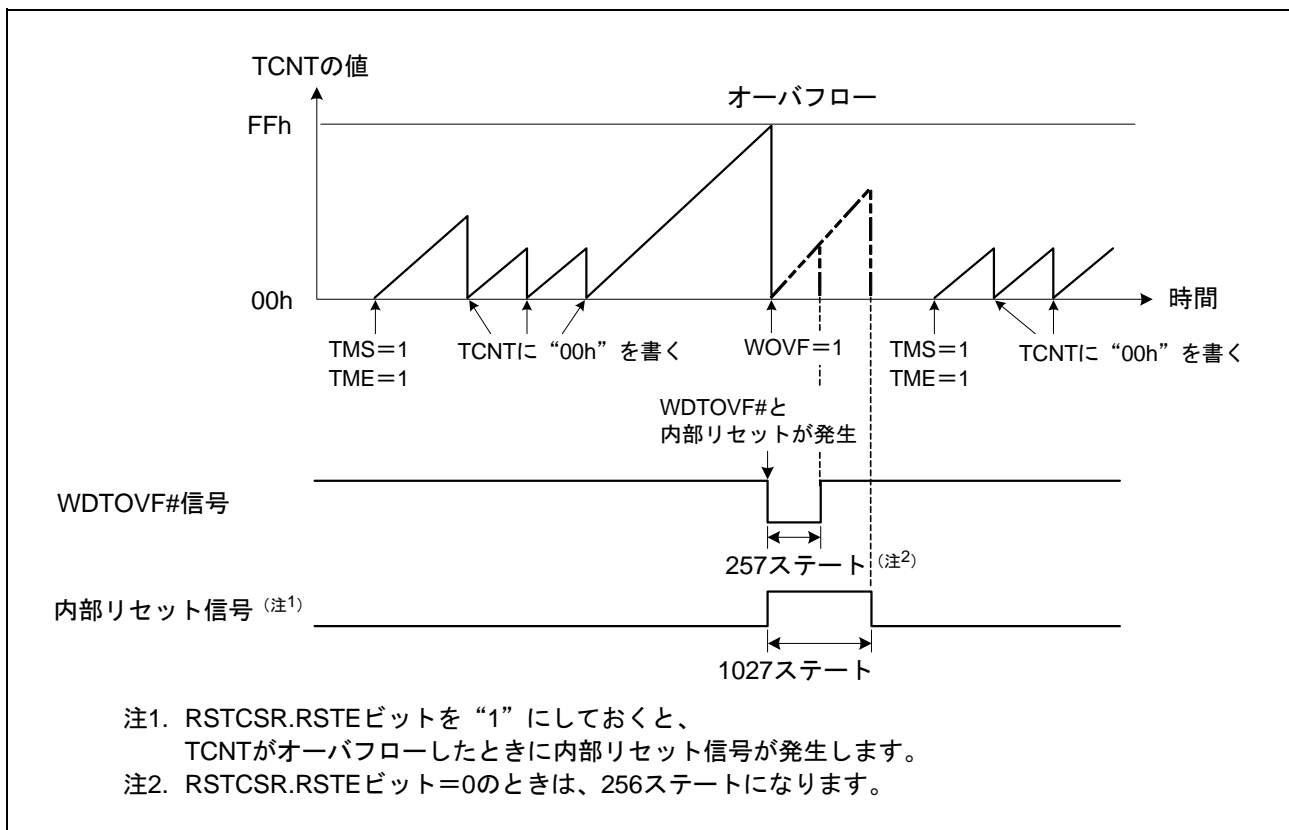


図 19.2 ウォッチドッグタイマモード時の動作

19.3.2 インターバルタイマモード

インターバルタイマとして使用するときには、TCSR.TMS ビットを“0”（インターバルタイマモード）に、TCSR.TME ビットを“1”（TCNT カウンタはカウントを開始）にしてください。

インターバルタイマとして動作しているときは、TCNT カウンタがオーバーフローするごとにインターバルタイマ割り込み (WOVI) が発生します。したがって、一定時間ごとに割り込みを発生させることができます。

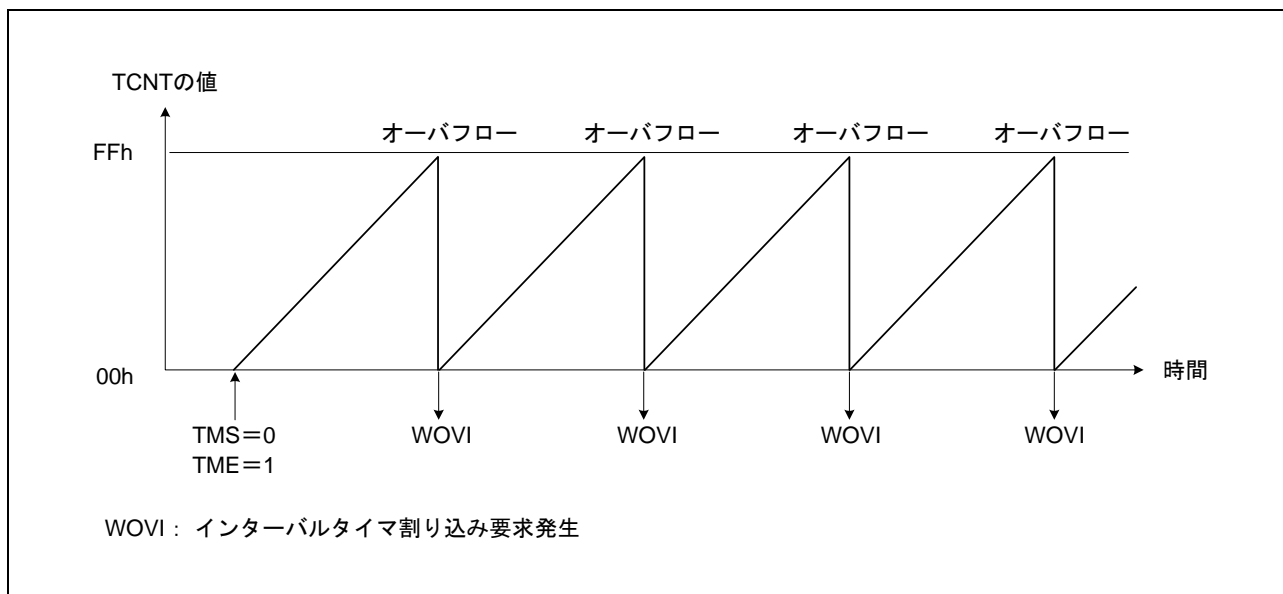


図 19.3 インターバルタイマモード時の動作

19.4 割り込み要因

インターバルタイマモード時、TCNT カウンタのオーバーフローによってインターバルタイマ割り込み (WOVI) が発生します。詳細は、「10. 割り込みコントローラ (ICU)」を参照してください。

表 19.4 WDTの割り込み要因

名称	割り込み要因	割り込みステータスフラグ	DTCの起動	DMACの起動
WOVI	TCNTのオーバーフロー	IR096.IR	不可能	不可能

19.5 使用上の注意事項

19.5.1 レジスタアクセス時の注意

TCNT カウンタ、TCSR レジスタ、RSTCSR レジスタは、容易に書き換えられないように、書き込み方法が一般のレジスタとは異なっています。

(1) TCNT カウンタ、TCSR レジスタ、RSTCSR レジスタへの書き込み

TCNT カウンタ、TCSR レジスタに書く場合は、ライトウィンドウ A レジスタ (WINA) (0008 8028h) に対してワード転送命令を使用してください。TCNT カウンタへの書き込みと TCSR レジスタへの書き込みは同一アドレスに割り当てられています。このため、**図 19.4** に示すように設定してください。

TCNT カウンタに書く場合は、上位バイトに“5Ah”を、下位バイトに TCNT カウンタに対する書き込みデータを設定して転送してください。

TCSR レジスタに書く場合は、上位バイトに“A5h”を、下位バイトに TCSR レジスタに対する書き込みデータを設定して転送してください。

RSTCSR レジスタに書く場合は、ライトウィンドウ B レジスタ (WINB) (0008 802Ah) に対してワード転送命令を使用してください。

RSTCSR.WOVF フラグに“0”を書く場合と、RSTCSR.RSTE ビットに書く場合では、方法が異なります。

WOVF フラグに“0”を書く場合は、**図 19.4** に示すように上位バイトを“A5h”、下位バイトを“00h”にして 16 ビット単位でデータを書いてください。このとき、RSTE ビットは影響を受けません。

RSTE ビットに書く場合は、**図 19.4** に示すように上位バイトを“5Ah”、下位バイトを RSTCSR レジスタ書き込みデータにして、16 ビット単位でデータを書いてください。このとき、WOVF フラグは影響を受けません。

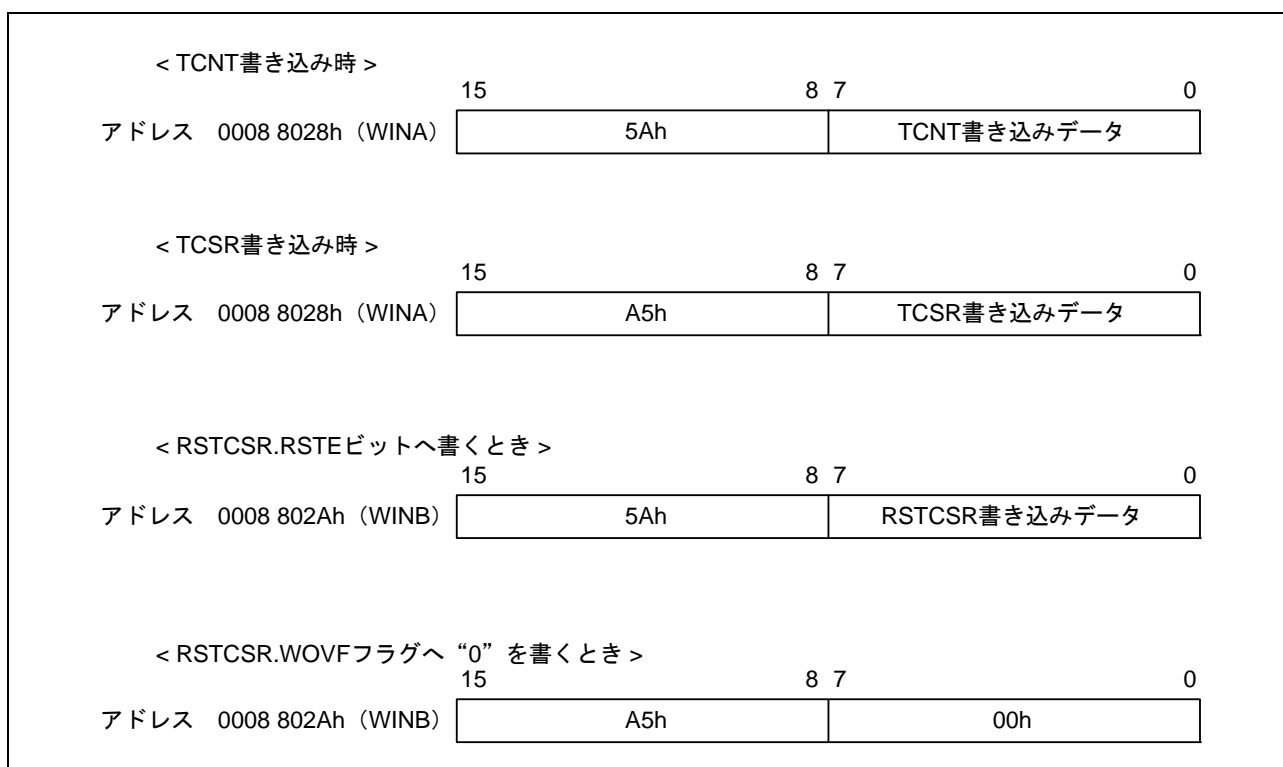


図 19.4 TCNT カウンタ、TCSR レジスタ、RSTCSR レジスタへの書き込み

(2) TCNT カウンタ、TCSR レジスタ、RSTCSR レジスタからの読み出し

読み出しは、一般のレジスタと同様の方法で行うことができます。

TCSR レジスタはアドレス (0008 8028h) に、TCNT カウンタはアドレス (0008 8029h) に、RSTCSR レジスタはアドレス (0008 802Bh) に対して 8 ビット単位でアクセスしてください。

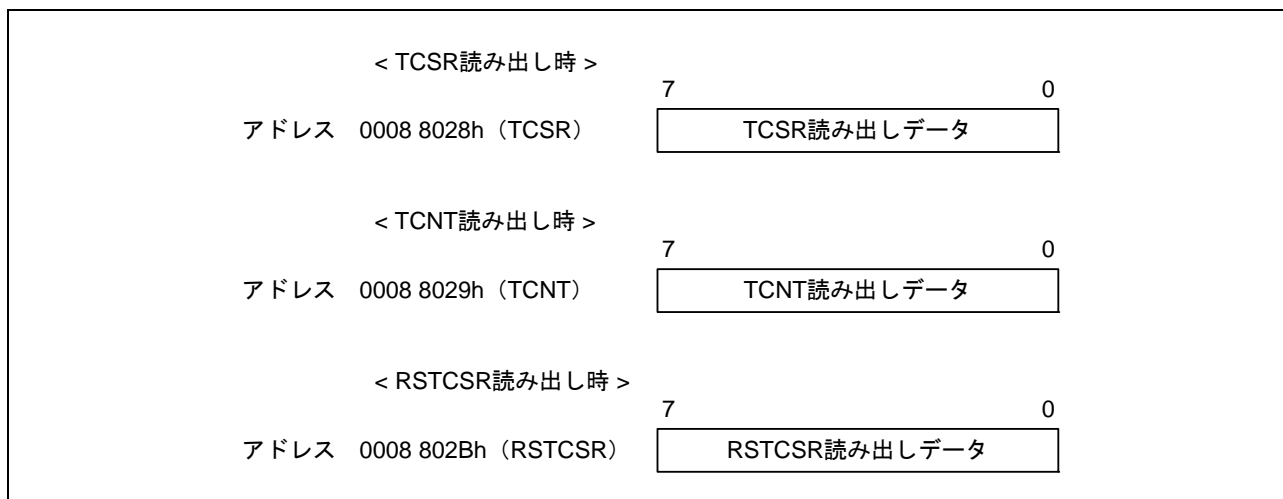


図 19.5 TCNT カウンタ、TCSR レジスタ、RSTCSR レジスタからの読み出し

19.5.2 タイマカウンタ (TCNT) への書き込みとカウントアップの競合

TCNT カウンタへの書き込み中にカウントアップのためのクロックが入力されても、カウントアップされずに TCNT カウンタへの書き込みが優先されます。これを図 19.6 に示します。

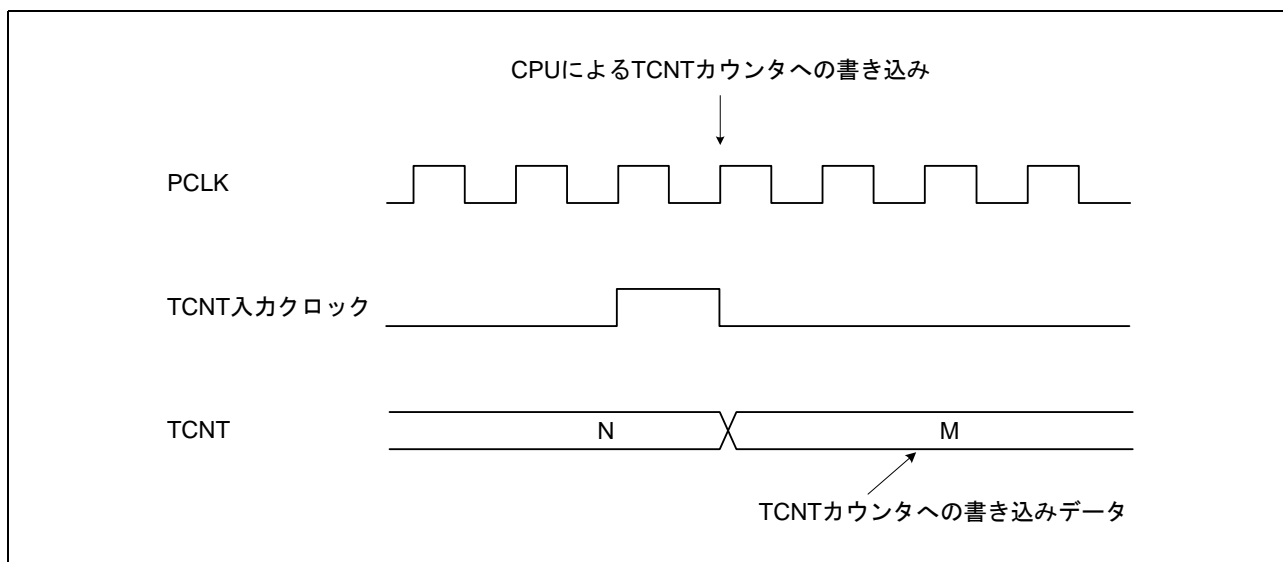


図 19.6 TCNT カウンタへの書き込みとカウントアップの競合

19.5.3 CKS[2:0] ビットの書き換え

ウォッチドッグタイマの動作中に TCSR.CKS[2:0] ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS[2:0] ビットを書き換えるときは、ウォッチドッグタイマを停止させてから (TCSR.TME ビットを“0”にしてから) 行ってください。

19.5.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

ウォッチドッグタイマの動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、ウォッチドッグタイマを停止させてから (TCSR.TME ビットを“0”にしてから) 行ってください。

19.5.5 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTCSR.RSTE ビットを“0”にしておくと、TCNT カウンタがオーバーフローしても LSI 内部をリセットしませんが、ウォッチドッグタイマの TCNT カウンタ、TCSR レジスタはリセットされます。

WDTOVF# 信号が Low を出力している期間は、TCNT カウンタ、TCSR レジスタ、RSTCSR レジスタへの書き込みはできません。また、この期間は RSTCSR.WOVF フラグの読み出しも認識されません。そのため、WOVF フラグのクリアは、WDTOVF# 信号が High になってから、RSTCSR レジスタを読み出し後、WOVF フラグに“0”を書いてください。

19.5.6 WDTOVF# 信号によるシステムのリセット

WDTOVF# 信号を RES# 端子に入力すると、LSI を正しく初期化できません。WDTOVF# 信号は、RES# 端子に論理的に入力しないでください。WDTOVF# 信号でシステム全体をリセットするときは、図 19.7 に示すような回路で行ってください。

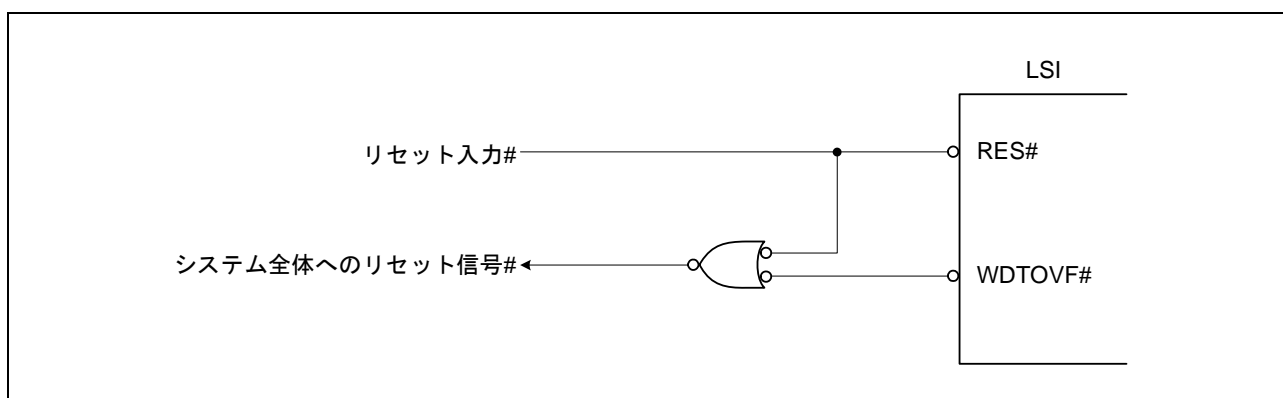


図 19.7 WDTOVF# 信号によるシステムのリセット回路例

19.5.7 ウォッチドッグタイマモードとソフトウェアスタンバイモードへの移行

ウォッチドッグタイマモードとして動作しているときは、スタンバイコントロールレジスタのソフトウェアスタンバイビット (SBYCR.SSBY) を“1” (WAIT 命令実行後、ソフトウェアスタンバイモードに移行) にした状態で WAIT 命令を実行してもソフトウェアスタンバイモードには移行せず、スリープモードまたは全モジュールクロックストップモードに移行します。

ソフトウェアスタンバイモードに移行させる場合は、ウォッチドッグタイマを停止させてから (TCSR.TME ビットを“0”にしてから)、WAIT 命令を実行してください。

インターバルタイマモードとして動作している場合は、SSBY ビットを“1”にした状態で、WAIT 命令を実行するとソフトウェアスタンバイモードに移行します。

詳細は「8. 消費電力低減機能」を参照してください。

20. シリアルコミュニケーションインタフェース (SCI)

RX610 グループは独立した7チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。

SCI は、調歩同期式とクロック同期式のシリアル通信が可能です。

調歩同期式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。

この他、調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。

20.1 概要

表 20.1 に SCI の仕様を、表 20.2 に SCI チャンネル別機能一覧を示します。

図 20.1 に SCI0 ~ SCI4、図 20.2 に SCI5、SCI6 のブロック図を示します。

表 20.1 SCI の仕様

項目	内容	
シリアル通信方式	<ul style="list-style-type: none"> 調歩同期式 クロック同期式 スマートカードインタフェース 	
転送速度	ポーレートジェネレータ内蔵により任意のビットレートを設定可能	
全二重通信	送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能	
入出力端子	表 20.3 参照	
データ転送	LSB ファースト/MSB ファースト選択可能	
割り込み要因	送信終了、送信データエンpty、受信データフル、受信エラー	
消費電力低減機能	チャンネルごとにモジュールストップ状態への設定が可能	
調歩同期式モード	データ長	7ビット/8ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ブレーク検出	フレーミングエラー発生時、RxDn(n=0~6) 端子のレベルを直接読むことでブレークを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 TMRからの転送レートクロック入力が可能 (SCI5、SCI6)
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出
		送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンション

表 20.2 SCI チャンネル別機能一覧

項目	SCI0 ~ SCI4	SCI5、SCI6
調歩同期式モード	○	○
クロック同期式モード	○	○
スマートカードインタフェースモード	○	○
TMRクロック入力	—	○

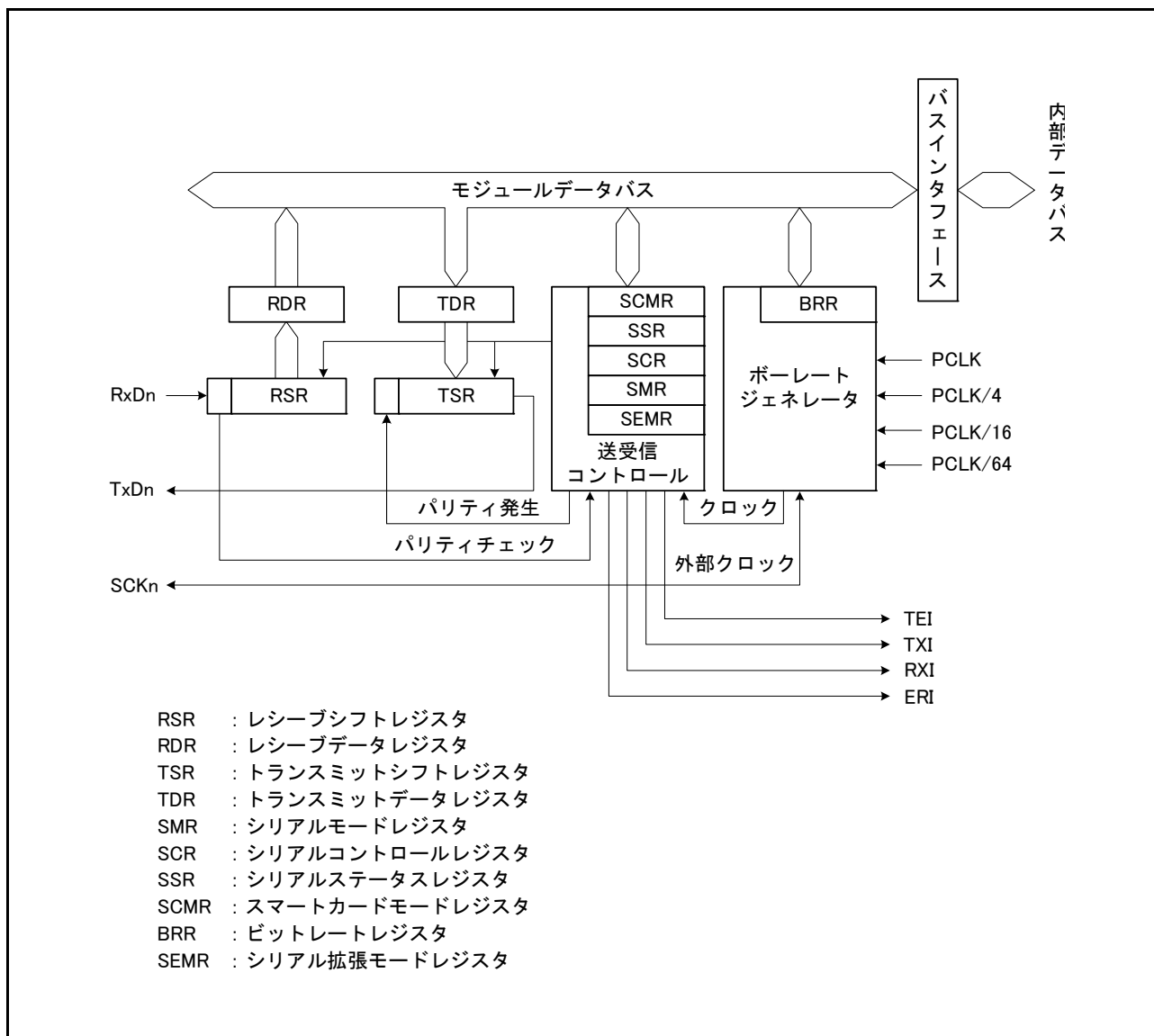


図 20.1 SCI0 ~ SCI4 のブロック図

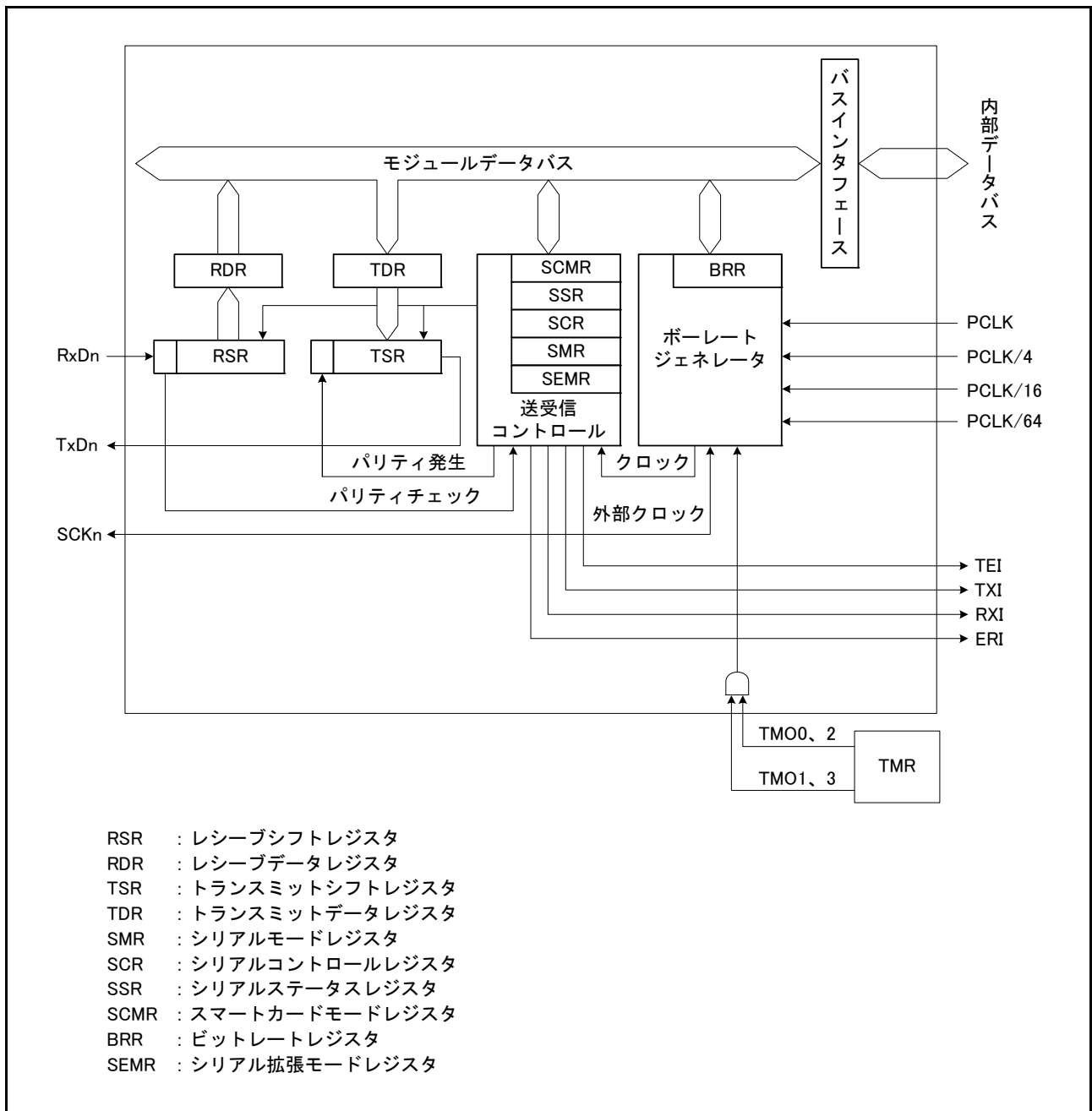


図 20.2 SCI5、SCI6 のブロック図

表 20.3 に SCI で使用する入出力端子を示します。

表 20.3 SCIの入出力端子

チャンネル	端子名	入出力	機能
SCI0	SCK0	入出力	SCI0のクロック入出力端子
	RxD0	入力	SCI0の受信データ入力端子
	TxD0	出力	SCI0の送信データ出力端子
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	RxD1	入力	SCI1の受信データ入力端子
	TxD1	出力	SCI1の送信データ出力端子
SCI2	SCK2	入出力	SCI2のクロック入出力端子
	RxD2	入力	SCI2の受信データ入力端子
	TxD2	出力	SCI2の送信データ出力端子
SCI3	SCK3	入出力	SCI3のクロック入出力端子
	RxD3	入力	SCI3の受信データ入力端子
	TxD3	出力	SCI3の送信データ出力端子
SCI4	SCK4	入出力	SCI4のクロック入出力端子
	RxD4	入力	SCI4の受信データ入力端子
	TxD4	出力	SCI4の送信データ出力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	RxD5	入力	SCI5の受信データ入力端子
	TxD5	出力	SCI5の送信データ出力端子
SCI6	SCK6	入出力	SCI6のクロック入出力端子
	RxD6	入力	SCI6の受信データ入力端子
	TxD6	出力	SCI6の送信データ出力端子

20.2 レジスタの説明

表 20.4 に SCI のレジスタ一覧を示します。

表20.4 SCIのレジスタ一覧 (1 / 2)

チャンネル	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
SCI0	シリアルモードレジスタ	SMR	00h	0008 8240h	8
	ビットレートレジスタ	BRR	FFh	0008 8241h	8
	シリアルコントロールレジスタ	SCR	0xh	0008 8242h	8
	トランスミットデータレジスタ	TDR	FFh	0008 8243h	8
	シリアルステータスレジスタ	SSR	84h	0008 8244h	8
	レシーブデータレジスタ	RDR	00h	0008 8245h	8
	スマートカードモードレジスタ	SCMR	F2h	0008 8246h	8
	シリアル拡張モードレジスタ	SEMR	00h	0008 8247h	8
SCI1	シリアルモードレジスタ	SMR	00h	0008 8248h	8
	ビットレートレジスタ	BRR	FFh	0008 8249h	8
	シリアルコントロールレジスタ	SCR	0xh	0008 824Ah	8
	トランスミットデータレジスタ	TDR	FFh	0008 824Bh	8
	シリアルステータスレジスタ	SSR	84h	0008 824Ch	8
	レシーブデータレジスタ	RDR	00h	0008 824Dh	8
	スマートカードモードレジスタ	SCMR	F2h	0008 824Eh	8
	シリアル拡張モードレジスタ	SEMR	00h	0008 824Fh	8
SCI2	シリアルモードレジスタ	SMR	00h	0008 8250h	8
	ビットレートレジスタ	BRR	FFh	0008 8251h	8
	シリアルコントロールレジスタ	SCR	0xh	0008 8252h	8
	トランスミットデータレジスタ	TDR	FFh	0008 8253h	8
	シリアルステータスレジスタ	SSR	84h	0008 8254h	8
	レシーブデータレジスタ	RDR	00h	0008 8255h	8
	スマートカードモードレジスタ	SCMR	F2h	0008 8256h	8
	シリアル拡張モードレジスタ	SEMR	00h	0008 8257h	8
SCI3	シリアルモードレジスタ	SMR	00h	0008 8258h	8
	ビットレートレジスタ	BRR	FFh	0008 8259h	8
	シリアルコントロールレジスタ	SCR	0xh	0008 825Ah	8
	トランスミットデータレジスタ	TDR	FFh	0008 825Bh	8
	シリアルステータスレジスタ	SSR	84h	0008 825Ch	8
	レシーブデータレジスタ	RDR	00h	0008 825Dh	8
	スマートカードモードレジスタ	SCMR	F2h	0008 825Eh	8
	シリアル拡張モードレジスタ	SEMR	00h	0008 825Fh	8
SCI4	シリアルモードレジスタ	SMR	00h	0008 8260h	8
	ビットレートレジスタ	BRR	FFh	0008 8261h	8
	シリアルコントロールレジスタ	SCR	0xh	0008 8262h	8
	トランスミットデータレジスタ	TDR	FFh	0008 8263h	8
	シリアルステータスレジスタ	SSR	84h	0008 8264h	8
	レシーブデータレジスタ	RDR	00h	0008 8265h	8
	スマートカードモードレジスタ	SCMR	F2h	0008 8266h	8
	シリアル拡張モードレジスタ	SEMR	00h	0008 8267h	8

表20.4 SCIのレジスタ一覧 (2 / 2)

チャンネル	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
SCI5	シリアルモードレジスタ	SMR	00h	0008 8268h	8
	ビットレートレジスタ	BRR	FFh	0008 8269h	8
	シリアルコントロールレジスタ	SCR	0xh	0008 826Ah	8
	トランスミットデータレジスタ	TDR	FFh	0008 826Bh	8
	シリアルステータスレジスタ	SSR	84h	0008 826Ch	8
	レシーブデータレジスタ	RDR	00h	0008 826Dh	8
	スマートカードモードレジスタ	SCMR	F2h	0008 826Eh	8
	シリアル拡張モードレジスタ	SEMR	00h	0008 826Fh	8
SCI6	シリアルモードレジスタ	SMR	00h	0008 8270h	8
	ビットレートレジスタ	BRR	FFh	0008 8271h	8
	シリアルコントロールレジスタ	SCR	0xh	0008 8272h	8
	トランスミットデータレジスタ	TDR	FFh	0008 8273h	8
	シリアルステータスレジスタ	SSR	84h	0008 8274h	8
	レシーブデータレジスタ	RDR	00h	0008 8275h	8
	スマートカードモードレジスタ	SCMR	F2h	0008 8276h	8
	シリアル拡張モードレジスタ	SEMR	00h	0008 8277h	8

20.2.1 レシーブシフトレジスタ (RSR)

RSR レジスタは、RxDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信シフトレジスタです。

1 フレーム分のデータを受信すると、データは自動的に RDR レジスタへ転送されます。

CPU から直接アクセスすることはできません。

20.2.2 レシーブデータレジスタ (RDR)

アドレス SCI0.RDR 0008 8245h、SCI1.RDR 0008 824Dh、SCI2.RDR 0008 8255h、SCI3.RDR 0008 825Dh
SCI4.RDR 0008 8265h、SCI5.RDR 0008 826Dh、SCI6.RDR 0008 8275h



RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

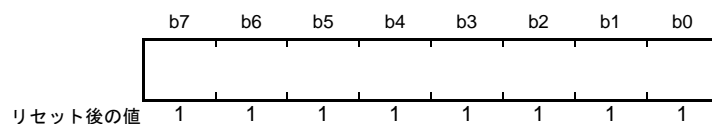
RSR レジスタと RDR レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

RDR レジスタの読み出しは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。受信データを RDR から読まずに次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

CPU から RDR レジスタへの書き込みはできません。

20.2.3 トランスミットデータレジスタ (TDR)

アドレス SCI0.TDR 0008 8243h、SCI1.TDR 0008 824Bh、SCI2.TDR 0008 8253h、SCI3.TDR 0008 825Bh
SCI4.TDR 0008 8263h、SCI5.TDR 0008 826Bh、SCI6.TDR 0008 8273h



TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

TSR レジスタに空きを検出すると、TDR レジスタに書かれた送信データを、TSR レジスタに転送して送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書かれていれば TSR レジスタへ転送して送信を続けます。

TDR レジスタは CPU から常にリード/ライト可能です。TDR レジスタへの送信データの書き込みは、送信データエンpty割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

20.2.4 トランスミットシフトレジスタ (TSR)

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。

TDR レジスタに書かれた送信データは、自動的に TSR レジスタに転送され、TxDn 端子に送出することでシリアルデータの送信を行います。

CPU から直接アクセスすることはできません。

20.2.5 シリアルモードレジスタ (SMR)

注1. SMRレジスタは、通常のシリアルコミュニケーションインタフェースモードの場合とスマートカードインタフェースモードの場合とで一部ビットの機能が異なります。

(1) シリアルコミュニケーションインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI0.SMR 0008 8240h、SCI1.SMR 0008 8248h、SCI2.SMR 0008 8250h、SCI3.SMR 0008 8258h
SCI4.SMR 0008 8260h、SCI5.SMR 0008 8268h、SCI6.SMR 0008 8270h

b7	b6	b5	b4	b3	b2	b1	b0
CM	CHR	PE	PM	STOP	—	CKS[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 0 0 : PCLKクロック (n=0) (注1) 0 1 : PCLK/4クロック (n=1) (注1) 1 0 : PCLK/16クロック (n=2) (注1) 1 1 : PCLK/64クロック (n=3) (注1)	R/W (注4)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W (注4)
b3	STOP	ストップビット長選択ビット	(調歩同期式モードのみ有効) 0 : 1ストップビット 1 : 2ストップビット	R/W (注4)
b4	PM	パリティモードビット	(調歩同期式モードで、PEビット=1のときのみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注4)
b5	PE	パリティ許可ビット	(調歩同期式モードのみ有効) ● 送信時 0 : パリティビットなし 1 : パリティビットを付加 ● 受信時 0 : パリティなしで受信 1 : パリティチェックを行う	R/W (注4)
b6	CHR	キャラクタ長ビット	(調歩同期式モードのみ有効) 0 : データ長8ビットで送受信 (注2) 1 : データ長7ビットで送受信 (注3)	R/W (注4)
b7	CM	コミュニケーションモードビット	0 : 調歩同期式モードで動作 1 : クロック同期式モードで動作	R/W (注4)

注1. nは設定値の10進表示で、「20.2.9 ビットレートレジスタ (BRR)」中のnの値を表します。

注2. クロック同期式モードでは、設定値にかかわらず、データ長は8ビットになります。

注3. LSBファースト固定となり、送信ではTDRレジスタのMSB (b7) は送信されません。

注4. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

SMRレジスタは、通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。

CKS[1:0] ビット (クロック選択ビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「20.2.9 ビットレートレジスタ (BRR)」を参照してください。

STOP ビット (ストップビット長選択ビット)

送信データのストップビット長を選択します。

受信時はこのビットの設定にかかわらずストップビットの1ビット目のみチェックし、2ビット目が“0”の場合は次の送信フレームのスタートビットとみなします。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。

PE ビット (パリティ許可ビット)

PE ビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

CHR ビット (キャラクタ長ビット)

送受信データのデータ長を選択します。

クロック同期式モードでは、データ長は8ビットになります。

CM ビット (コミュニケーションモードビット)

調歩同期式モード / クロック同期式モードを選択します。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット =1)

アドレス SCI0.SMR 0008 8240h、SCI1.SMR 0008 8248h、SCI2.SMR 0008 8250h、SCI3.SMR 0008 8258h
SCI4.SMR 0008 8260h、SCI5.SMR 0008 8268h、SCI6.SMR 0008 8270h

b7	b6	b5	b4	b3	b2	b1	b0
GM	BLK	PE	PM	BCP[1:0]	CKS[1:0]		

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 0 0 : PCLKクロック (n=0) (注1) 0 1 : PCLK/4クロック (n=1) (注1) 1 0 : PCLK/16クロック (n=2) (注1) 1 1 : PCLK/64クロック (n=3) (注1)	R/W (注3)
b3-b2	BCP[1:0]	基本クロックパルスビット	SCMR.BCP2ビットと組み合わせて選択します SCMR.BCP2ビット、SMR.BCP[1:0]ビットの設定値 BCP2 b3 b2 0 0 0 : 93クロック (S=93) (注2) 0 0 1 : 128クロック (S=128) (注2) 0 1 0 : 186クロック (S=186) (注2) 0 1 1 : 512クロック (S=512) (注2) 1 0 0 : 32クロック (S=32) (注2) (初期値) 1 0 1 : 64クロック (S=64) (注2) 1 1 0 : 372クロック (S=372) (注2) 1 1 1 : 256クロック (S=256) (注2)	R/W (注3)
b4	PM	パリティモードビット	(調歩同期式モードで、PEビット=1のときのみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注3)
b5	PE	パリティ許可ビット	(調歩同期式モードのみ有効) PEビットが“1”のとき、送信時はパリティビットを付加し、 受信時はパリティチェックを行います。スマートカードインタフェースモードでは、PEビットは“1”にして使用してください	R/W (注3)
b6	BLK	ブロック転送モードビット	0 : 通常モードで動作 1 : ブロック転送モードで動作	R/W (注3)
b7	GM	GSMモードビット	0 : 通常モードで動作 1 : GSMモードで動作	R/W (注3)

注1. nは、設定値の10進表示で、「20.2.9 ビットレートレジスタ (BRR)」中のnの値を表します。

注2. Sは「20.2.9 ビットレートレジスタ (BRR)」中のSの値を表します。

注3. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

SMR レジスタは、通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。

CKS[1:0] ビット (クロック選択ビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「20.2.9 ビットレートレジスタ (BRR)」を参照してください。

BCP[1:0] ビット (基本クロックパルスビット)

スマートカードインタフェースモードにおいて、1ビット転送期間中の基本クロック数を選択します。

SCMR.BCP2ビットと組み合わせて選択します。

詳細は、「20.5.4 受信データサンプリングタイミングと受信マージン」を参照してください。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。

スマートカードインタフェースモードにおけるこのビットの使用方法については、「20.5.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。

PE ビット (パリティ許可ビット)

PE ビットは“1”にしてください。

送信時はパリティビットを付加し、受信時はパリティチェックを行います。

BLK (ブロック転送モードビット)

BLK ビットを“1”にすると、ブロック転送モードで動作します。

ブロック転送モードについては、「20.5.3 ブロック転送モード」を参照してください。

GM ビット (GSM モードビット)

GM ビットを“1”にすると、GSM モードで動作します。

GSM モードでは、SSR.TEND フラグが“1”になるタイミングが先頭から 11.0etu (etu : Elementary Time Unit、1 ビットの転送期間) に前倒しされ、クロック出力制御機能が追加されます。詳細は、「20.5.6 シリアルデータの送信 (ブロック転送モードを除く)」、「20.5.8 クロック出力制御」を参照してください。

20.2.6 シリアルコントロールレジスタ (SCR)

注1. SCR レジスタは、通常のシリアルコミュニケーションインタフェースモードの場合とスマートカードインタフェースモードの場合とで一部ビットの機能が異なります。

(1) シリアルコミュニケーションインタフェースモードのとき (SCMR.SMIF ビット =0)

アドレス SCI0.SCR 0008 8242h、SCI1.SCR 0008 824Ah、SCI2.SCR 0008 8252h、SCI3.SCR 0008 825Ah
SCI4.SCR 0008 8262h、SCI5.SCR 0008 826Ah、SCI6.SCR 0008 8272h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	—	TEIE	CKE[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロック許可ビット	<ul style="list-style-type: none"> • SCI0～SCI4の場合 (調歩同期式の場合) b1 b0 0 0: 内蔵ポーレートジェネレータ SCKn端子は入出力ポートとして使用可能 0 1: 内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力 1 0: 外部クロック SCKn端子からビットレートの16倍の周波数のクロックを入力してください (SEMR.ABCSビットが"1"のときは8倍の周波数クロックを入力) 1 1: 外部クロック SCKn端子からビットレートの16倍の周波数のクロックを入力してください (SEMR.ABCSビットが"1"のときは8倍の周波数クロックを入力) (クロック同期式の場合) b1 b0 0 0: 内部クロック SCKn端子はクロック出力端子 0 1: 内部クロック SCKn端子はクロック出力端子 1 0: 外部クロック SCKn端子はクロック入力端子 1 1: 外部クロック SCKn端子はクロック入力端子 	R/W (注1)

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロック許可ビット	<ul style="list-style-type: none"> • SCI5、SCI6の場合 (調歩同期式の場合) b1 b0 0 0: 内蔵ポーレートジェネレータ SCKn端子は入出力ポートとして使用可能 0 1: 内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力 1 0: 外部クロックまたはTMRクロック ・外部クロック使用時は、SCKn端子からビットレートの16倍の周波数のクロックを入力してください (SEMR.ABCSビットが"1"のときは8倍の周波数クロックを入力) ・TMRクロックを使用可能 1 1: 外部クロックまたはTMRクロック ・外部クロック使用時は、SCKn端子からビットレートの16倍の周波数のクロックを入力してください (SEMR.ABCSビットが"1"のときは8倍の周波数クロックを入力) ・TMRクロックを使用可能 (クロック同期式の場合) b1 b0 0 0: 内部クロック : SCKn端子はクロック出力端子 0 1: 内部クロック : SCKn端子はクロック出力端子 1 0: 外部クロック SCKn端子はクロック入力端子 1 1: 外部クロック SCKn端子はクロック入力端子	R/W (注1)
b2	TEIE	送信完了割り込み許可ビット	0: TEI割り込みを禁止 1: TEI割り込みを許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b4	RE	受信許可ビット	0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W (注2)
b5	TE	送信許可ビット	0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W (注2)
b6	RIE	受信割り込み許可ビット	0: RXIおよびERI割り込みを禁止 1: RXIおよびERI割り込みを許可	R/W
b7	TIE	送信完了割り込み許可ビット	0: TXI割り込みを禁止 1: TXI割り込みを許可	R/W

注1. TEビット=0、REビット=0の場合のみ書き込みができます。

注2. TEビット=0、REビット=0の場合のみ“1”を書けます。いったん、TE、REビットのいずれかを“1”にすると、TEビット=0、REビット=0のみ書けます。

SCRレジスタは、送受信制御と送受信クロックソースの選択を行うためのレジスタです。

CKE[1:0] ビット (クロック許可ビット)

クロックソースおよびSCKn端子の機能を選択します。

TEIE ビット (送信完了割り込み許可ビット)

TEI割り込みを許可、または禁止します。

TEI割り込みを禁止するには、TEIEビットを“0”にします。

RE ビット (受信許可ビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にした場合、調歩同期式モードのときにスタートビットを、クロック同期式モードのときに同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを“1”にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止させても、SSR.ORER, FER, PER の各フラグは影響を受けず、状態を保持します。

TE ビット (送信許可ビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、TDR レジスタに送信データを書くことでシリアル送信を開始します。なお、TE ビットを“1”にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (受信割り込み許可ビット)

RXI および ERI 割り込みを許可、または禁止します。

RXI 割り込みを禁止するには、RIE ビットを“0”にします。

ERI 割り込み要求信号は、SSR.ORER, FER, PER の各フラグから“1”を読んだ後、“0”にするか、RIE ビットを“0”にすると消えます。

TIE ビット (送信割り込み許可ビット)

TXI 割り込みの通知を許可、または禁止します。

TXI 割り込みを禁止するには、TIE ビットを“0”にします。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF=1 のとき)

アドレス SCI0.SCR 0008 8242h、SCI1.SCR 0008 824Ah、SCI2.SCR 0008 8252h、SCI3.SCR 0008 825Ah
SCI4.SCR 0008 8262h、SCI5.SCR 0008 826Ah、SCI6.SCR 0008 8272h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	—	TEIE	CKE[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロック許可ビット	<ul style="list-style-type: none"> SMR.GMビット=0の場合 b1 b0 0 0 : 出力禁止 (SCKn端子は入出力ポートとして使用可) 0 1 : クロック出力 1 0 : 設定しないでください 1 1 : 設定しないでください SMR.GMビット=1の場合 0 0 : Low出力固定 0 1 : クロック出力 1 0 : High出力固定 1 1 : クロック出力 	R/W (注1)
b2	TEIE	送信完了割り込み許可ビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b4	RE	受信許可ビット	0 : シリアル受信動作を禁止 1 : シリアル受信動作を許可	R/W (注2)
b5	TE	送信許可ビット	0 : シリアル送信動作を禁止 1 : シリアル送信動作を許可	R/W (注2)
b6	RIE	受信割り込み許可ビット	0 : RXIおよびERI割り込みを禁止 1 : RXIおよびERI割り込みを許可	R/W
b7	TIE	送信割り込み許可ビット	0 : TXI割り込みを禁止 1 : TXI割り込みを許可	R/W

注1. TEビット=0、REビット=0の場合のみ書き込みができます。

注2. TEビット=0、REビット=0の場合のみ“1”を書けます。いったん、TE、REビットのいずれかを“1”にすると、TEビット=0、REビット=0のみ書けます。

SCRレジスタは、送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要因については、「20.6 割り込み要因」を参照してください。

CKE[1:0] ビット (クロック許可ビット)

SCKn端子からのクロック出力を制御します。

GSMモードではクロックの出力をダイナミックに切り替えることができます。詳細は、「20.5.8 クロック出力制御」を参照してください。

TEIE ビット (送信完了割り込み許可ビット)

スマートカードインタフェースモードでは“0”としてください。

RE ビット (受信許可ビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にした場合、スタートビットを検出するとシリアル受信を開始します。なお、RE ビットを“1”にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止させても、SSR.ORER, FER, PER の各フラグは影響を受けず、状態を保持します。

TE ビット (送信許可ビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、TDR レジスタに送信データを書くことでシリアル送信を開始します。なお、TE ビットを“1”にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (受信割り込み許可ビット)

RXI および ERI 割り込みを許可、または禁止します。

RXI 割り込みを禁止するには、RIE ビットを“0”にします。

ERI 割り込み要求信号は、SSR.ORER, FER, PER の各フラグから“1”を読んだ後、“0”にするか、RIE ビットを“0”にすると消えます。

TIE ビット (送信割り込み許可ビット)

TXI 割り込みの通知を許可、または禁止します。

TXI 割り込みを禁止するには、TIE ビットを“0”にします。

20.2.7 シリアルステータスレジスタ (SSR)

注1. SSR レジスタは、通常のシリアルコミュニケーションインタフェースモードの場合とスマートカードインタフェースモードの場合とで一部ビットの機能が異なります。

(1) シリアルコミュニケーションインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI0.SSR 0008 8244h, SCI1.SSR 0008 824Ch, SCI2.SSR 0008 8254h, SCI3.SSR 0008 825Ch
SCI4.SSR 0008 8264h, SCI5.SSR 0008 826Ch, SCI6.SSR 0008 8274h

b7	b6	b5	b4	b3	b2	b1	b0
TDRE	RDRF	ORER	FER	PER	TEND	—	—

リセット後の値 1 0 0 0 0 1 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	TEND	送信完了フラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/W (注1)
b4	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/W (注1)
b5	ORER	オーバランエラーフラグ	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R/W (注1)
b6	RDRF	受信データフルフラグ	0: RDRレジスタからデータを転送したとき 1: 受信が正常終了し、RSRレジスタからRDRレジスタへデータが転送されたとき	R/W (注2)
b7	TDRE	送信データエンプティフラグ	0: TDRレジスタへデータを転送したとき 1: TDRレジスタからTSRレジスタへデータが転送されたとき	R/W (注2)

注1. フラグをクリアするための“0”のみ書けます。

注2. 書く場合、“1”としてください。

SSR レジスタは、SCI のステータスフラグで構成されます。

TEND フラグ (送信完了フラグ)

送信が終了したことを示します。

[“1”になる条件]

- SCR.TE ビットが“0” (シリアル送信動作を禁止) のとき
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき

[“0”になる条件]

- TDR レジスタへ送信データを書いたとき

TDR レジスタへの送信データの書き込みにより TEND フラグを“0”にしたときは、TEND フラグを読んで“0”になったことを確認してください。

PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信したデータにパリティエラーが発生したことを示します。

["1"になる条件]

- 受信中にパリティエラーを検出したとき
パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが“1”の状態では、以降のシリアル受信を続けることはできません。クロック同期式モードでは、シリアル送信も続けることはできません。

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき (“0”を書いた後に PER フラグが“0”になったことを確認してください)
SCR.RE ビットを“0”(シリアル受信動作を禁止)にしても、PER フラグは影響を受けず以前の状態を保持します。

FER フラグ (フレーミングエラーフラグ)

調歩同期式モードで受信したデータにフレーミングエラーが発生したことを示します。

["1"になる条件]

- ストップビットが“0”のとき
2ストップモードのときは、1ビット目のストップビットが“1”であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。さらに、FER フラグが“1”の状態では、以降のシリアル受信を続けることができません。クロック同期式モードでは、シリアル送信も続けることはできません。

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき (“0”を書いた後に FER フラグが“0”になったことを確認してください)
SCR.RE ビットを“0”にしても、FER フラグは影響を受けず以前の状態を保持します。

ORER フラグ (オーバランエラーフラグ)

受信したデータにオーバランエラーが発生したことを示します。

["1"になる条件]

- RDR レジスタの受信データを読まずに次のデータを受信したとき
RDR レジスタはオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが“1”の状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき (“0”を書いた後に ORER フラグが“0”になったことを確認してください)
SCR.RE ビットを“0”にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を表示します。

["1"になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

["0"になる条件]

- RDR レジスタからデータを転送したとき

TDRE フラグ (送信データエンプティフラグ)

TDR レジスタ内の送信データの有無を表示します。

[“1” になる条件]

- TDR レジスタから TSR レジスタにデータが転送されたとき

[“0” になる条件]

- TDR レジスタへ送信データを転送したとき

(2) スマートカードインタフェースモードのとき (SCMR.SMIF=1 のとき)

アドレス SCI0.SSR 0008 8244h, SCI1.SSR 0008 824Ch, SCI2.SSR 0008 8254h, SCI3.SSR 0008 825Ch
SCI4.SSR 0008 8264h, SCI5.SSR 0008 826Ch, SCI6.SSR 0008 8274h

b7	b6	b5	b4	b3	b2	b1	b0
TDRE	RDRF	ORER	ERS	PER	TEND	—	—

リセット後の値 1 0 0 0 0 1 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	TEND	送信完了フラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/W (注1)
b4	ERS	エラーシグナルステータスフラグ	0: エラーシグナルLow応答なし 1: エラーシグナルLow応答あり	R/W (注1)
b5	ORER	オーバランエラーフラグ	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R/W (注1)
b6	RDRF	受信データフルフラグ	0: RDRレジスタからデータを転送したとき 1: 受信が正常終了し、RSRレジスタからRDRレジスタへデータが転送されたとき	R/W (注2)
b7	TDRE	送信データエンptyフラグ	0: TDRレジスタへデータを転送したとき 1: TDRレジスタからTSRレジスタへデータが転送されたとき	R/W (注2)

注1. フラグをクリアするための“0”のみ書けます。

注2. 書く場合、“1”としてください。

SSRレジスタは、SCIのステータスフラグで構成されます。

TENDフラグ (送信完了フラグ)

受信側からのエラーシグナルの応答がなく、次の送信データをTDRレジスタに転送可能になったとき“1”になります。

[“1”になる条件]

- SCR.TE ビット =0 (シリアル送信動作を禁止) かつ ERS フラグ =0 のとき
- 1バイトのデータを送信して一定期間後、ERS フラグ =0 かつ TDR レジスタが更新されていないとき
“1”になるタイミングは、レジスタの設定により以下のように異なります。
SMR.GM ビット =0, SMR.BLK ビット =0 のとき、送信開始から 12.5etu 後
SMR.GM ビット =0, SMR.BLK ビット =1 のとき、送信開始から 11.5etu 後
SMR.GM ビット =1, SMR.BLK ビット =0 のとき、送信開始から 11.0etu 後
SMR.GM ビット =1, SMR.BLK ビット =1 のとき、送信開始から 11.0etu 後

[“0”になる条件]

- TDRレジスタへ送信データを書き込んだとき

PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信したデータにパリティエラーが発生したことを示します。

["1"になる条件]

- 受信中にパリティエラーを検出したとき
パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが "1" の状態では、以降のシリアル受信を続けることはできません。クロック同期式モードでは、シリアル送信も続けることはできません。

["0"になる条件]

- "1"を読んだ後、"0"を書いたとき("0"を書いた後に PER フラグが "0"になったことを確認してください)
SCR.RE ビットを "0" (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず以前の状態を保持します。

ERS フラグ (エラーシグナルステータスフラグ)

["1"になる条件]

- エラーシグナル Low をサンプリングしたとき

["0"になる条件]

- "1"を読んだ後、"0"を書いたとき

ORER フラグ (オーバランエラーフラグ)

受信したデータにオーバランエラーが発生したことを示します。

["1"になる条件]

- RDR レジスタの受信データを読まずに次のデータを受信したとき
RDR レジスタはオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが "1" の状態では、以降のシリアル受信を続けることはできません。

["0"になる条件]

- "1"を読んだ後、"0"を書いたとき("0"を書いた後に ORER フラグが "0"になったことを確認してください)
SCR.RE ビットを "0" にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を表示します。

["1"になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

["0"になる条件]

- RDR レジスタからデータを転送したとき

TDRE フラグ (送信データエンプティフラグ)

TDR レジスタ内の送信データの有無を表示します。

["1"になる条件]

- TDR レジスタから TSR レジスタにデータが転送されたとき

["0"になる条件]

- TDR レジスタへ送信データを転送したとき

20.2.8 スマートカードモードレジスタ (SCMR)

アドレス SCI0.SCMR 0008 8246h、SCI1.SCMR 0008 824Eh、SCI2.SCMR 0008 8256h、SCI3.SCMR 0008 825Eh
SCI4.SCMR 0008 8266h、SCI5.SCMR 0008 826Eh、SCI6.SCMR 0008 8276h

b7	b6	b5	b4	b3	b2	b1	b0
BCP2	—	—	—	SDIR	SINV	—	SMIF

リセット後の値 1 1 1 1 0 0 1 0

ビット	シンボル	ビット名	機能	R/W
b0	SMIF	スマートカードインタフェースモード 選択ビット	0 : シリアルコミュニケーションインタフェースモード 1 : スマートカードインタフェースモード	R/W (注1)
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	SINV	スマートカードデータインパートビット	0 : TDR レジスタの値をそのまま送信、受信データをそのままRDRレジスタに格納 1 : TDR レジスタの値を反転して送信、受信データを反転してRDRレジスタに格納	R/W (注1)
b3	SDIR	ビットオーダー選択ビット	0 : LSB ファーストで送受信 1 : MSB ファーストで送受信	R/W (注1)
b6-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	BCP2	基本クロックパルスビット2	SMR.BCP[1:0]ビットと組み合わせて選択します。 SCMR.BCP2ビット、SMR.BCP[1:0]ビットの設定値 BCP2 BCP1 BCP0 0 0 0 : 93クロック (S=93) (注2) 0 0 1 : 128クロック (S=128) (注2) 0 1 0 : 186クロック (S=186) (注2) 0 1 1 : 512クロック (S=512) (注2) 1 0 0 : 32クロック (S=32) (注2) (初期値) 1 0 1 : 64クロック (S=64) (注2) 1 1 0 : 372クロック (S=372) (注2) 1 1 1 : 256クロック (S=256) (注2)	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込みができます。

注2. Sは「20.2.9 ビットレートレジスタ (BRR)」中のSの値を表します。

SCMR レジスタは、スマートカードインタフェースモード、およびそのフォーマットを選択するためのレジスタです。

SMIF ビット (スマートカードインタフェースモード選択ビット)

スマートカードインタフェースモードで動作させるときは、“1”にします。

調歩同期式またはクロック同期式モードで動作させるときは、“0”にします。

SINV ビット (スマートカードデータインパートビット)

送受信データのロジックレベルを反転させます。SINV ビットは、パリティビットのロジックレベルには影響を与えません。パリティビットを反転させる場合は、SMR.PM ビットを反転させてください。

SDIR ビット (ビットオーダー選択ビット)

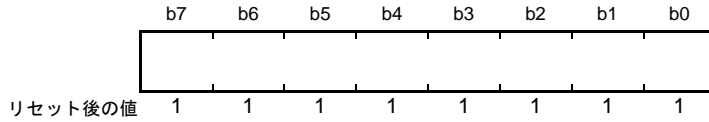
シリアル/パラレル変換の方向を選択します。

BCP2 ビット (基本クロックパルスビット2)

スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を、SMR.BCP[1:0]ビットと組み合わせて選択します。

20.2.9 ビットレートレジスタ (BRR)

アドレス SCI0.BRR 0008 8241h、SCI1.BRR 0008 8249h、SCI2.BRR 0008 8251h、SCI3.BRR 0008 8259h
SCI4.BRR 0008 8261h、SCI5.BRR 0008 8269h、SCI6.BRR 0008 8271h



BRR レジスタはビットレートを調整するための 8 ビットのレジスタです。

SCI では、チャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モード、スマートカードインタフェースモードにおける BRR レジスタの設定値 N とビットレート B の関係を表 20.5 に示します。

BRR レジスタの初期値は“FFh”です。

BRR レジスタは、CPU からの読み出しは常に可能ですが、書き込みは SCR.TE ビット =0、SCR.RE ビット =0 の場合のみ可能です。

表 20.5 BRR レジスタの設定値 N とビットレート B の関係

モード	SEMR.ABCSビット	BRRレジスタの設定値	誤差
調歩同期式	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式		$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカード インタフェース		$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$

B : ビットレート (bps)

N : ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

PCLK : 動作周波数 (MHz)

n と S : 下表のとおり SMR の設定値に依存します。

SMRレジスタの設定値 CKS[1:0]ビット	クロックソース	n
00	PCLKクロック	0
01	PCLK/4クロック	1
10	PCLK/16クロック	2
11	PCLK/64クロック	3

SCMRレジスタの設定値	SMRレジスタの設定値	基本クロック	S
BCP2ビット	BCP[1:0]ビット		
0	00	93 クロック	93
0	01	128 クロック	128
0	10	186 クロック	186
0	11	512 クロック	512
1	00	32 クロック	32
1	01	64 クロック	64
1	10	372 クロック	372
1	11	256 クロック	256

通常の調歩同期式モードにおける **BRR** レジスタの値 **N** の設定例を表 20.6、表 20.7 に、各動作周波数における設定可能な最大ビットレートを表 20.8 に示します。また、クロック同期式モードにおける **BRR** レジスタの値 **N** の設定例を表 20.11 に、スマートカードインタフェースモードにおける **BRR** レジスタの値 **N** の設定例を表 20.13 に示します。スマートカードインタフェースモードでは 1 ビット転送期間の基本クロック数 **S** を選択できます。詳細は「20.5.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 20.9、表 20.10、表 20.12 に外部クロック入力時の最大ビットレートを示します。

調歩同期モードでシリアル拡張モードレジスタ (**SEMR**) の調歩同期基本クロック選択ビット (**ABCS**) を“1”にしたときのビットレートは表 20.6、表 20.7 の 2 倍になります。

表20.6 ビットレートに対するBRRの設定例 (調歩同期式モード) (1)

ビットレート (bps)	動作周波数PCLK (MHz)											
	8			9.8304			10			12		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34

ビットレート (bps)	動作周波数PCLK (MHz)								
	12.288			14			16		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	217	0.08	2	248	-0.17	3	70	0.03
150	2	159	0.00	2	181	0.16	2	207	0.16
300	2	79	0.00	2	90	0.16	2	103	0.16
600	1	159	0.00	1	181	0.16	1	207	0.16
1200	1	79	0.00	1	90	0.16	1	103	0.16
2400	0	159	0.00	0	181	0.16	0	207	0.16
4800	0	79	0.00	0	90	0.16	0	103	0.16
9600	0	39	0.00	0	45	-0.93	0	51	0.16
19200	0	19	0.00	0	22	-0.93	0	25	0.16
31250	0	11	2.40	0	13	0.00	0	15	0.00
38400	0	9	0.00	—	—	—	0	12	0.16

SEMR.ABCS ビット=0のときの例です。

ABCS ビット=1にしたときは、ビットレートが2倍になります。

表20.7 ビットレートに対するBRRの設定例 (調歩同期式モード) (2)

ビットレート (bps)	動作周波数PCLK (MHz)											
	17.2032			18			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	75	0.48	3	79	-0.12	3	86	0.31	3	88	-0.25
150	2	223	0.00	2	233	0.16	2	255	0.00	3	64	0.16
300	2	111	0.00	2	116	0.16	2	127	0.00	2	129	0.16
600	1	223	0.00	1	233	0.16	1	255	0.00	2	64	0.16
1200	1	111	0.00	1	116	0.16	1	127	0.00	1	129	0.16
2400	0	223	0.00	0	233	0.16	0	255	0.00	1	64	0.16
4800	0	111	0.00	0	116	0.16	0	127	0.00	0	129	0.16
9600	0	55	0.00	0	58	-0.69	0	63	0.00	0	64	0.16
19200	0	27	0.00	0	28	1.02	0	31	0.00	0	32	-1.36
31250	0	16	1.20	0	17	0.00	0	19	-1.70	0	19	0.00
38400	0	13	0.00	0	14	-2.34	0	15	0.00	0	15	1.73

ビットレート (bps)	動作周波数PCLK (MHz)											
	25			30			33			50		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	110	-0.02	3	132	0.13	3	145	0.33	3	221	-0.02
150	3	80	0.47	3	97	-0.35	3	106	0.39	3	162	-0.15
300	2	162	-0.15	2	194	0.16	2	214	-0.07	3	80	0.47
600	2	80	0.47	2	97	-0.35	2	106	0.39	2	162	-0.15
1200	1	162	-0.15	1	194	0.16	1	214	-0.07	2	80	0.47
2400	1	80	0.47	1	97	-0.35	1	106	0.39	1	162	-0.15
4800	0	162	-0.15	0	194	0.16	0	214	-0.07	1	80	0.47
9600	0	80	0.47	0	97	-0.35	0	106	0.39	1	40	-0.77
19200	0	40	-0.76	0	48	-0.35	0	53	-0.54	0	80	0.47
31250	0	24	0.00	0	29	0	0	32	0	0	49	0.00
38400	0	19	1.73	0	23	1.73	0	26	-0.54	0	40	-0.77

SEMR.ABCS ビット=0のときの例です。

ABCS ビット=1にしたときは、ビットレートが2倍になります。

表20.8 各動作周波数における最大ビットレート (調歩同期式モード)

PCLK (MHz)	最大ビットレート (bps)	n	N	PCLK (MHz)	最大ビットレート (bps)	n	N
8	250000	0	0	18	562500	0	0
9.8304	307200	0	0	19.6608	614400	0	0
10	312500	0	0	20	625000	0	0
12	375000	0	0	25	781250	0	0
12.288	384000	0	0	30	937500	0	0
14	437500	0	0	33	1031250	0	0
16	500000	0	0	50	1562500	0	0
17.2032	537600	0	0				

SEMR.ABCS ビット = 1にしたときは、ビットレートが2倍になります。

表20.9 外部クロック入力時の最大ビットレート (調歩同期式モード) (1)

PCLK (MHz)	外部入力クロック (MHz)	最大ビットレート (bps)	PCLK (MHz)	外部入力クロック (MHz)	最大ビットレート (bps)
8	2.0000	125000	18	4.5000	281250
9.8304	2.4576	153600	19.6608	4.9152	307200
10	2.5000	156250	20	5.0000	312500
12	3.0000	187500	25	6.2500	390625
12.288	3.0720	192000	30	7.5000	468750
14	3.5000	218750	33	8.2500	515625
16	4.0000	250000	50	12.5000	781250
17.2032	4.3008	268800			

SEMR.ABCS ビット = 0のときの例です。

表20.10 外部クロック入力時の最大ビットレート (調歩同期式モード) (2)

PCLK (MHz)	外部入力クロック (MHz)	最大ビットレート (bps)	PCLK (MHz)	外部入力クロック (MHz)	最大ビットレート (bps)
8	2.0000	250000	18	4.5000	562500
9.8304	2.4576	307200	19.6608	4.9152	614400
10	2.5000	312500	20	5.0000	625000
12	3.0000	375000	25	6.2500	781250
12.288	3.0720	384000	30	7.5000	937500
14	3.5000	437500	33	8.2500	1031250
16	4.0000	500000	50	12.5000	1562500
17.2032	4.3008	537600			

SEMR.ABCS ビット = 1のときの例です。

表20.11 ビットレートに対するBRRの設定例 (クロック同期式モード)

ビットレート (bps)	動作周波数PCLK (MHz)															
	8		10		16		20		25		30		33		50	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110																
250	3	124	—	—	3	249										
500	2	249	—	—	3	124	—	—			3	233				
1k	2	124	—	—	2	249	—	—	3	97	3	116	3	128	3	194
2.5k	1	199	1	249	2	99	2	124	2	155	2	187	2	205	3	77
5k	1	99	1	124	1	199	1	249	2	77	2	93	2	102	2	155
10k	0	199	0	249	1	99	1	124	1	155	1	187	1	205	2	77
25k	0	79	0	99	0	159	0	199	0	249	1	74	1	82	1	124
50k	0	39	0	49	0	79	0	99	0	124	0	149	0	164	1	61
100k	0	19	0	24	0	39	0	49	0	62	0	74	0	82	0	124
250k	0	7	0	9	0	15	0	19	0	24	0	29	0	32	0	49
500k	0	3	0	4	0	7	0	9	—	—	0	14	—	—	0	24
1M	0	1	—	—	0	3	0	4	—	—	—	—	—	—	—	—
2M	0	0 (注1)	—	—	0	1	—	—	—	—	—	—	—	—	—	—
2.5M			0	0 (注1)	—	—	0	1	—	—	0	2	—	—	0	4
4M					0	0 (注1)	—	—	—	—	—	—	—	—	—	—
5M							0	0 (注1)	—	—	—	—	—	—	—	—
6.25M									0	0 (注1)	—	—	—	—	0	1
7.5M											0	0 (注1)	—	—	—	—
8.25M													0	0 (注1)	—	—
12.5M															0	0 (注1)

空欄：設定できません。

—：設定可能ですが誤差が生じます。

注1. 連続送信/連続受信はできません。

表20.12 外部クロック入力時の最大ビットレート (クロック同期式モード)

PCLK (MHz)	外部入力クロック (MHz)	最大ビットレート (bps)	PCLK (MHz)	外部入力クロック (MHz)	最大ビットレート (bps)
8	1.3333	1333333.3	20	3.3333	3333333.3
10	1.6667	1666666.7	25	4.1667	4166666.7
12	2.0000	2000000.0	30	5.0000	5000000.0
14	2.3333	2333333.3	33	5.5000	5500000.0
16	2.6667	2666666.7	50	8.3333	8333333.3
18	3.0000	3000000.0			

表20.13 ビットレートに対するBRRの設定例
(スマートカードインタフェースモードでn=0、S=372のとき)

ビットレート (bps)	動作周波数PCLK (MHz)											
	7.1424			10.00			10.7136			13.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	0	0.00	0	1	30	0	1	25	0	1	8.99

ビットレート (bps)	動作周波数PCLK (MHz)											
	14.2848			16.00			18.00			20.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	0.00	0	1	12.01	0	2	15.99	0	2	6.66

ビットレート (bps)	動作周波数PCLK (MHz)											
	25.00			30.00			33.00			50.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	3	12.49	0	3	5.01	0	4	7.59	0	6	0.01

表20.14 各動作周波数における最大ビットレート
(スマートカードインタフェースモードでS=372のとき)

PCLK (MHz)	最大ビットレート (bps)	n	N	PCLK (MHz)	最大ビットレート (bps)	n	N
10.00	13441	0	0	20.00	26882	0	0
10.7136	14400	0	0	25.00	33602	0	0
13.00	17473	0	0	30.00	40323	0	0
16.00	21505	0	0	33.00	44355	0	0
18.00	24194	0	0	50.00	67205	0	0

20.2.10 シリアル拡張モードレジスタ (SEMR)

アドレス SCI0.SEMR 0008 8247h、SCI1.SEMR 0008 824Fh、SCI2.SEMR 0008 8257h、SCI3.SEMR 0008 825Fh
SCI4.SEMR 0008 8267h、SCI5.SEMR 0008 826Fh、SCI6.SEMR 0008 8277h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	ABCS	—	—	—	ACS0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W									
b0	ACS0	調歩同期クロックソース 選択ビット	(調歩同期式モードのみ有効) 0: 外部クロック入力 (SCI0~SCI6) 1: TMRクロック入力 (SCI5、SCI6のみ有効) SCIチャンネルとコンペアマッチ出力の対応を示します。 <table border="1"> <thead> <tr> <th>SCI</th> <th>TMR</th> <th>コンペアマッチ出力</th> </tr> </thead> <tbody> <tr> <td>SCI5</td> <td>ユニット0</td> <td>TMO0、TMO1</td> </tr> <tr> <td>SCI6</td> <td>ユニット1</td> <td>TMO2、TMO3</td> </tr> </tbody> </table>	SCI	TMR	コンペアマッチ出力	SCI5	ユニット0	TMO0、TMO1	SCI6	ユニット1	TMO2、TMO3	R/W (注1)
SCI	TMR	コンペアマッチ出力											
SCI5	ユニット0	TMO0、TMO1											
SCI6	ユニット1	TMO2、TMO3											
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W									
b4	ABCS	調歩同期基本クロック 選択ビット	(調歩同期式モードのみ有効) 0: 基本クロック16サイクルの期間が1ビット期間の転送レートになる 1: 基本クロック8サイクルの期間が1ビット期間の転送レートになる	R/W (注1)									
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W									

注1. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

SEMRレジスタは、調歩同期式モード時の1ビット期間のクロックを選択するためのレジスタです。

SCI5、SCI6では、TMRユニット0、1のTMO_n (n=0~3) 出力をシリアル送受信ベースクロックに設定することができます。

TMR m(m=0~3)のTMO_n出力を選択したときの設定例を図20.3に示します。

ACS0ビット (調歩同期クロックソース選択ビット)

調歩同期式モードにおける、クロックソースを選択します。

ACS0ビットは、調歩同期式モード (SMR.CMビット=0) で、外部クロック入力 (SCR.CKE[1:0]ビット=10b、11b) のときに有効です。外部クロック入力または、内蔵TMRクロック入力を選択できます。

SCI5、SCI6以外は予約ビットです。SCI5、SCI6以外では書く場合、“0”としてください。

ABCSビット (調歩同期基本クロック選択ビット)

1ビット期間の基本クロックのパルス数を選択します。

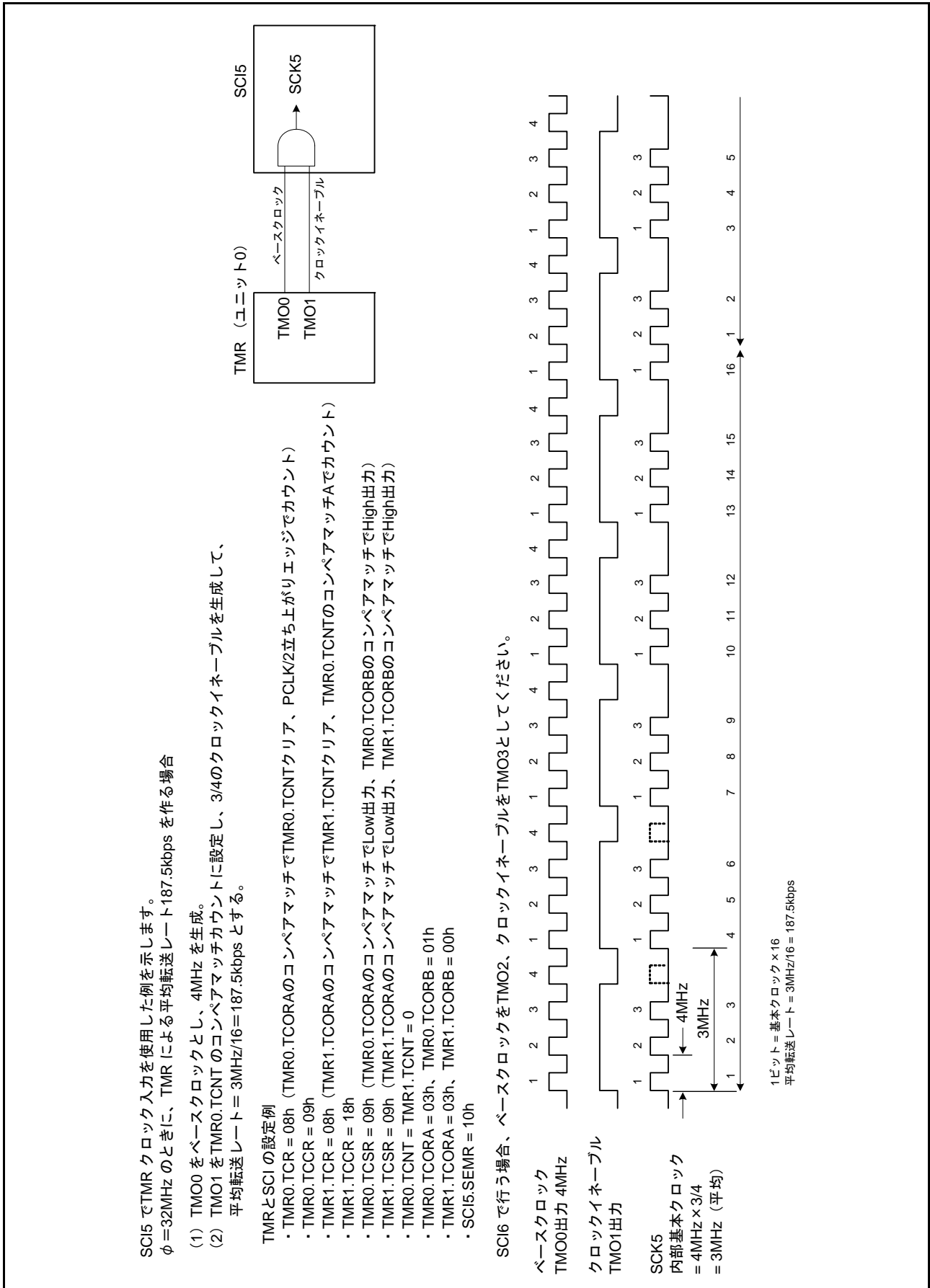


図 20.3 TMR クロック入力時の平均転送レート設定例

20.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを図 20.4 に示します。

1 フレームは、スタートビット (Low) から始まり送受信データ、パリティビット、ストップビット (High) の順で構成されます。

調歩同期式シリアル通信では、通信回線は通常マーク状態 (High) に保たれています。

SCI は通信回線を監視し、スペース (Low) を検出するとシリアル通信を開始します。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信および受信中にデータのリード / ライトができ、連続送受信が可能です。

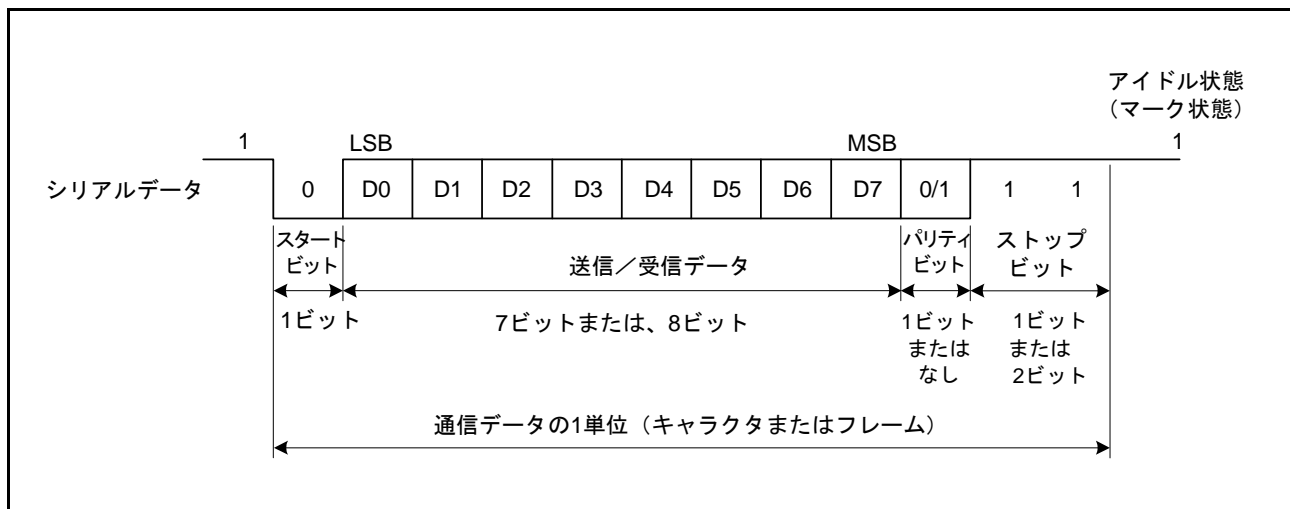


図 20.4 調歩同期式シリアル通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

20.3.1 シリアル送信 / 受信フォーマット

調歩同期式モードで設定できるシリアル送信 / 受信フォーマットを表 20.15 に示します。
 フォーマットは 8 種類あり、SMR レジスタの設定により選択できます。

表 20.15 シリアル送信/受信フォーマット (調歩同期式モード)

SMRレジスタの設定			シリアル送信/受信フォーマットとフレーム長												
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	S	8ビットデータ								STOP			
0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	S	8ビットデータ								P	STOP		
0	1	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	S	7ビットデータ							STOP				
1	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	S	7ビットデータ							P	STOP			
1	1	1	S	7ビットデータ							P	STOP	STOP		

S : スタートビット
 STOP : ストップビット
 P : パリティビット

20.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍（注1）の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図20.5に示すように受信データを8クロック目の（注1）立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式（1）のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L-0.5)F - \frac{|D-0.5|}{N} (1+F) \right| \times 100 \quad [\%] \quad \cdots \text{式 (1)}$$

M：受信マージン

N：クロックに対するビットレートの比

（SEMR.ABCSビット=0のときN=16、ABCSビット=1のときN=8）

D：クロックのデューティ比（D=0.5～1.0）

L：フレーム長（L=9～12）

F：クロック周波数の偏差の絶対値

式（1）で、F（クロック周波数の偏差の絶対値）=0、D（クロックのデューティ比）=0.5 とすると、

$$M = \left\{ 0.5 - 1/(2 \times 16) \right\} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には20～30%の余裕を持たせてください。

注1. SEMR.ABCSビット=0のときの例です。ABCSビット=1のときは、ビットレートの8倍の周波数が基本クロックとなり、受信データは基本クロックの4番目の立ち上がりエッジでサンプリングします。

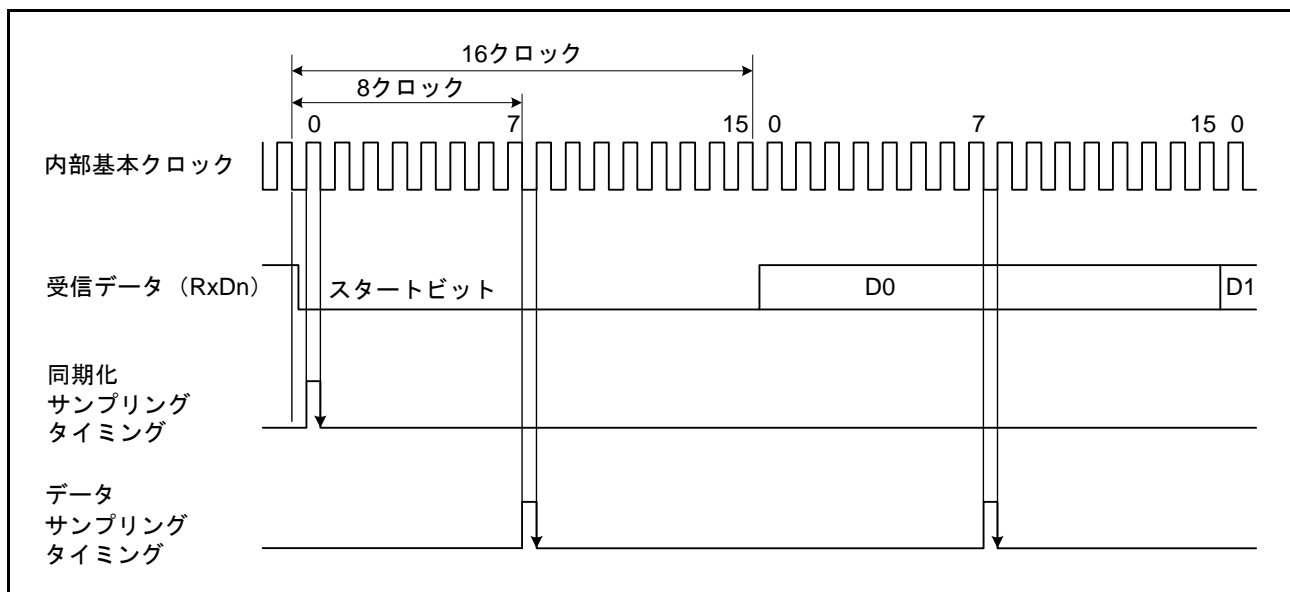


図 20.5 調歩同期式モードの受信データサンプリングタイミング

20.3.3 クロック

SCI の送受信クロックは、SMR.CM ビットと SCR.CKE[1:0] ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロックまたは SCKn 端子から入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn 端子にビットレートの 16 倍 (SEMR.ABCS ビット =0 のとき)、8 倍 (SEMR.ABCS ビット =1 のとき) の周波数のクロックを入力してください。また、外部クロックを選択した場合は、SCI_m.SEMR.ACS0 ビット (m=5, 6) の設定により、TMR0、TMR1 からの基本クロックを選択することが可能です。

内部クロックで動作させるときは SCKn 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図 20.6 に示すように送信データの中央でクロックが立ち上がります。

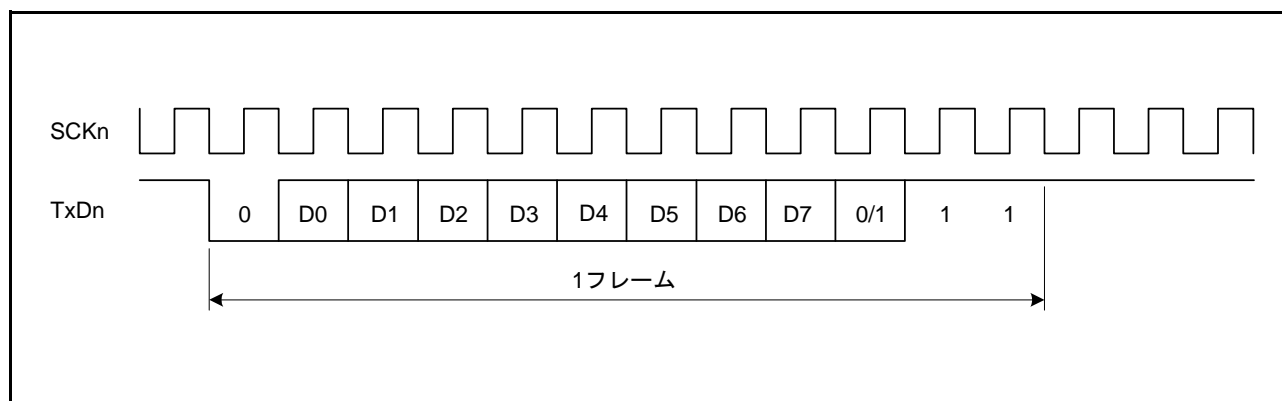


図 20.6 出力クロックと送信データの位相関係 (調歩同期式モード)

20.3.4 SCIの初期化（調歩同期式モード）

データの送受信前に SCR レジスタに初期値“00h”を書き、図 20.7 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

なお、SCR.RE ビットを“0”にしても、SSR.ORER, FER, PER の各フラグおよび RDR レジスタは初期化されませんので注意してください。

SCR.TE ビットを“1”から“0”、または“0”から“1”にすると、SCR.TIE ビットが“1”の場合、TXI 割り込みが発生しますので注意してください。

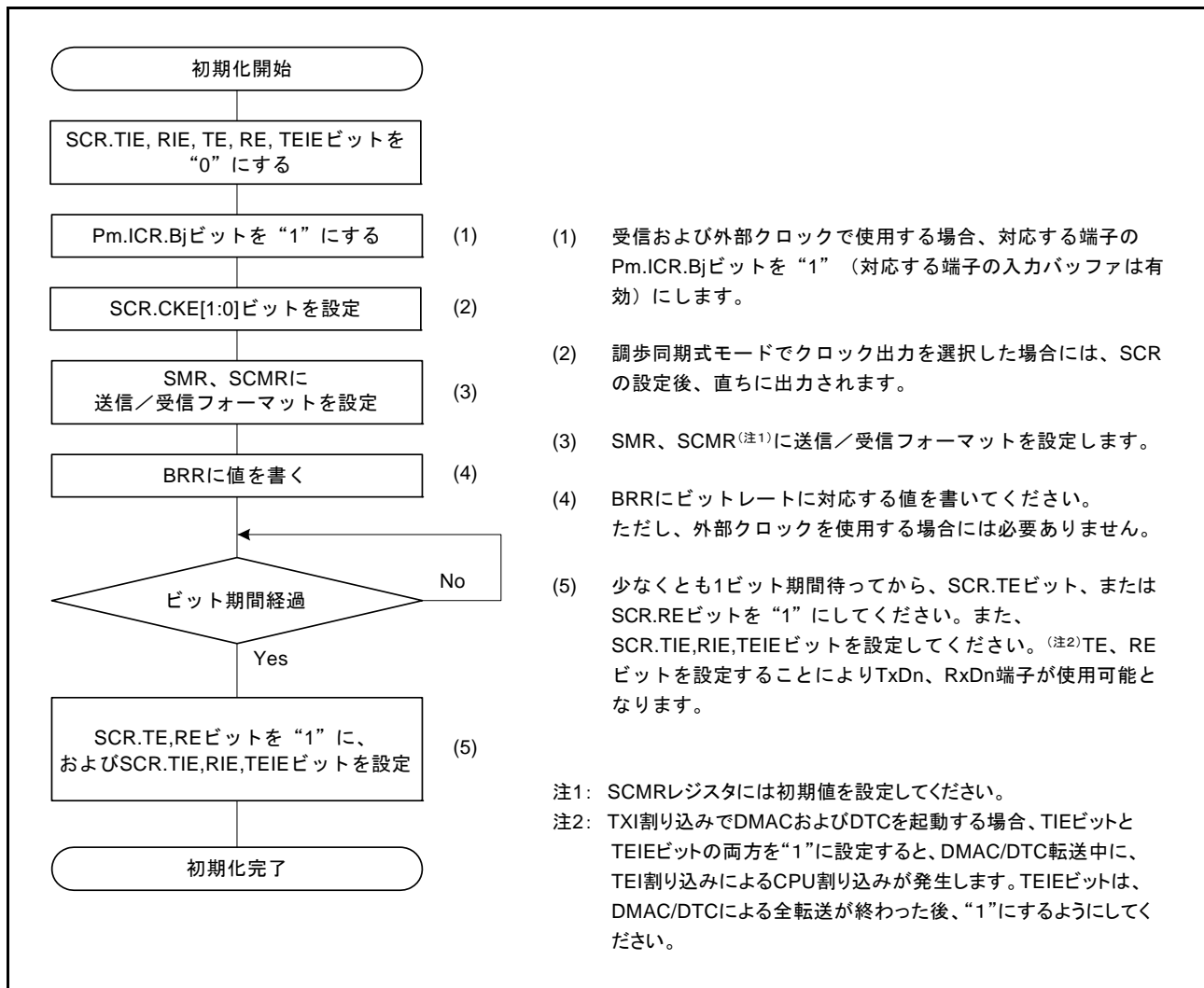


図 20.7 SCIの初期化フローチャートの例（調歩同期式モード）

20.3.5 シリアルデータの送信（調歩同期式モード）

図 20.8 に調歩同期式モードのシリアル送信の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

- (1) SCI は TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを“1”にした後に SCR.TE ビットを“1”にするか、同時に“1”にすることで発生します。
- (2) TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが“1”なら、TXI 割り込み要求が発生します。TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書くことで連続送信が可能です。
- (3) TxDn 端子からスタートビット、送信データ、パリティビット（フォーマットによってはない場合もあり）、ストップビットの順に送り出します。
- (4) ストップビットを送り出すタイミングで TDR レジスタの更新（書き込み）をチェックします。
- (5) TDR レジスタが更新されていると、次の送信データを TDR レジスタから TSR レジスタにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
- (6) TDR レジスタが更新されていなければ、SSR.TEND フラグを“1”にセットし、ストップビット送出後、High を出力してマーク状態になります。SCR.TEIE ビットが“1”のときは、SSR.TEND フラグが“1”になると同時に TEI 割り込み要求が発生します。

図 20.9 にシリアル送信のフローチャートの例を示します。

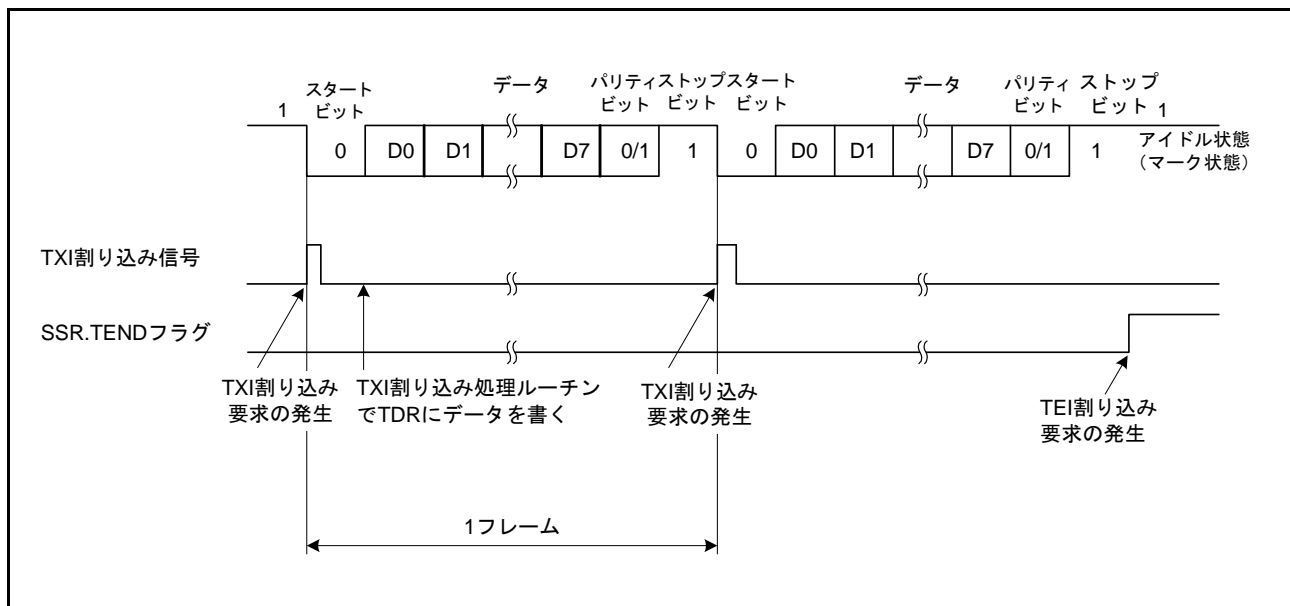


図 20.8 調歩同期式モードのシリアル送信の動作例（8 ビットデータ / パリティあり / 1 ストップビットの例）

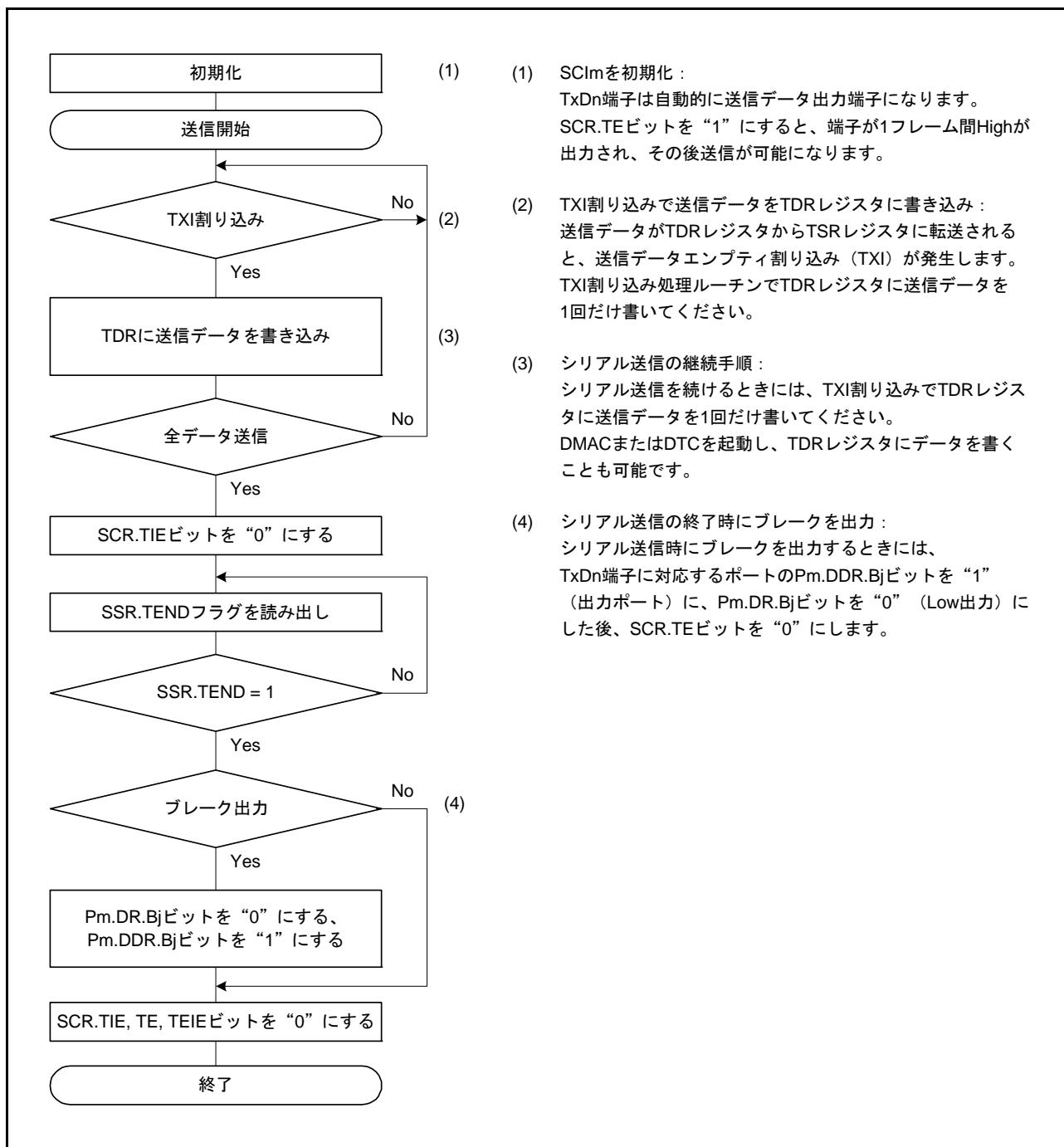


図 20.9 調歩同期式モードのシリアル送信のフローチャート例

20.3.6 シリアルデータの受信（調歩同期式モード）

図 20.10 に調歩同期式モードのシリアル受信の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

- (1) 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
- (2) オーバランエラーが発生したときは、SSR.ORER フラグが“1”になります。このとき、SCR.RIE ビットが“1”なら、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送されません。
- (3) パリティエラーを検出した場合は SSR.PER フラグが“1”になり、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”なら、ERI 割り込み要求が発生します。
- (4) フレーミングエラー（ストップビットが“0”のとき）を検出した場合は SSR.FER フラグが“1”になり、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”なら、ERI 割り込み要求が発生します。
- (5) 正常に受信したときは、受信データを RDR レジスタに転送します。このとき、RIE ビットが“1”なら、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までに読むことで連続受信が可能です。

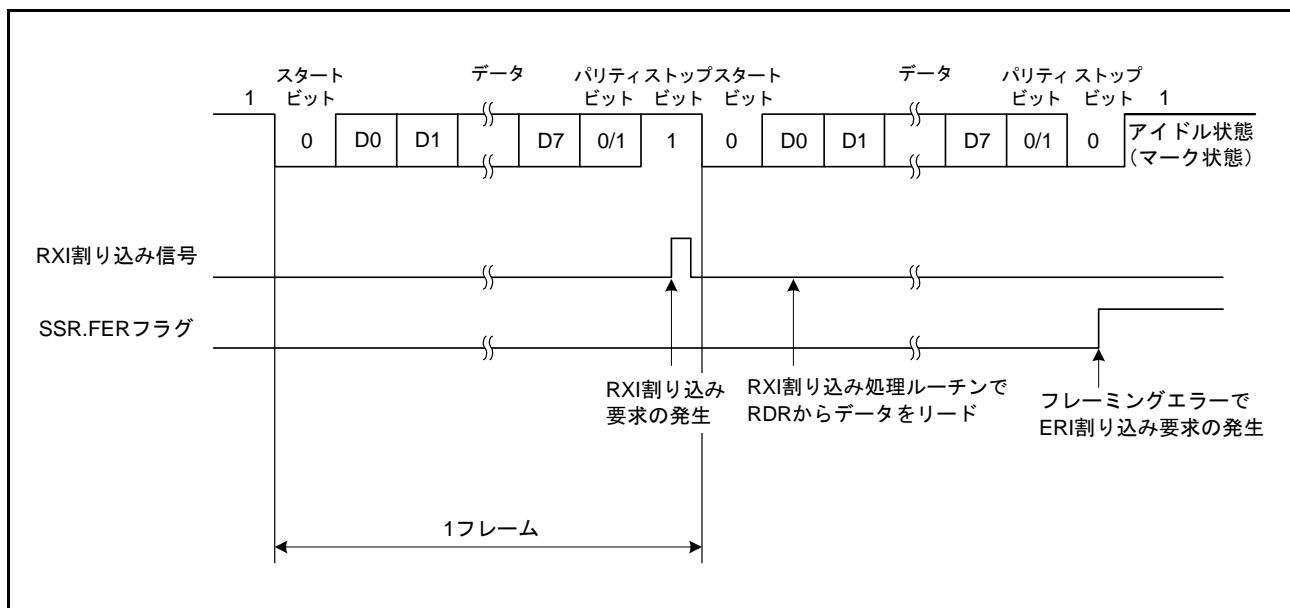


図 20.10 調歩同期式モードのシリアル受信の動作例（8ビットデータ / パリティあり / 1ストップビットの例）

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を表 20.16 に示します。

受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。受信エラーフラグが“1”の状態では以後の受信動作ができません。したがって、受信を継続する前に ORER、FER、および PER フラグを“0”にしてください。また、オーバランエラー処理では RDR レジスタを読んでください。

図 20.11、図 20.12 にシリアル受信のフローチャートの例を示します。

表 20.16 SSR レジスタのステータスフラグの状態と受信データの処理

SSR レジスタのステータスフラグ			受信データ	受信エラーの状態
ORER	FER	PER		
1	0	0	消失	オーバランエラー
0	1	0	RDR へ転送	フレーミングエラー
0	0	1	RDR へ転送	パリティエラー
1	1	0	消失	オーバランエラー + フレーミングエラー
1	0	1	消失	オーバランエラー + パリティエラー
0	1	1	RDR へ転送	フレーミングエラー + パリティエラー
1	1	1	消失	オーバランエラー + フレーミングエラー + パリティエラー

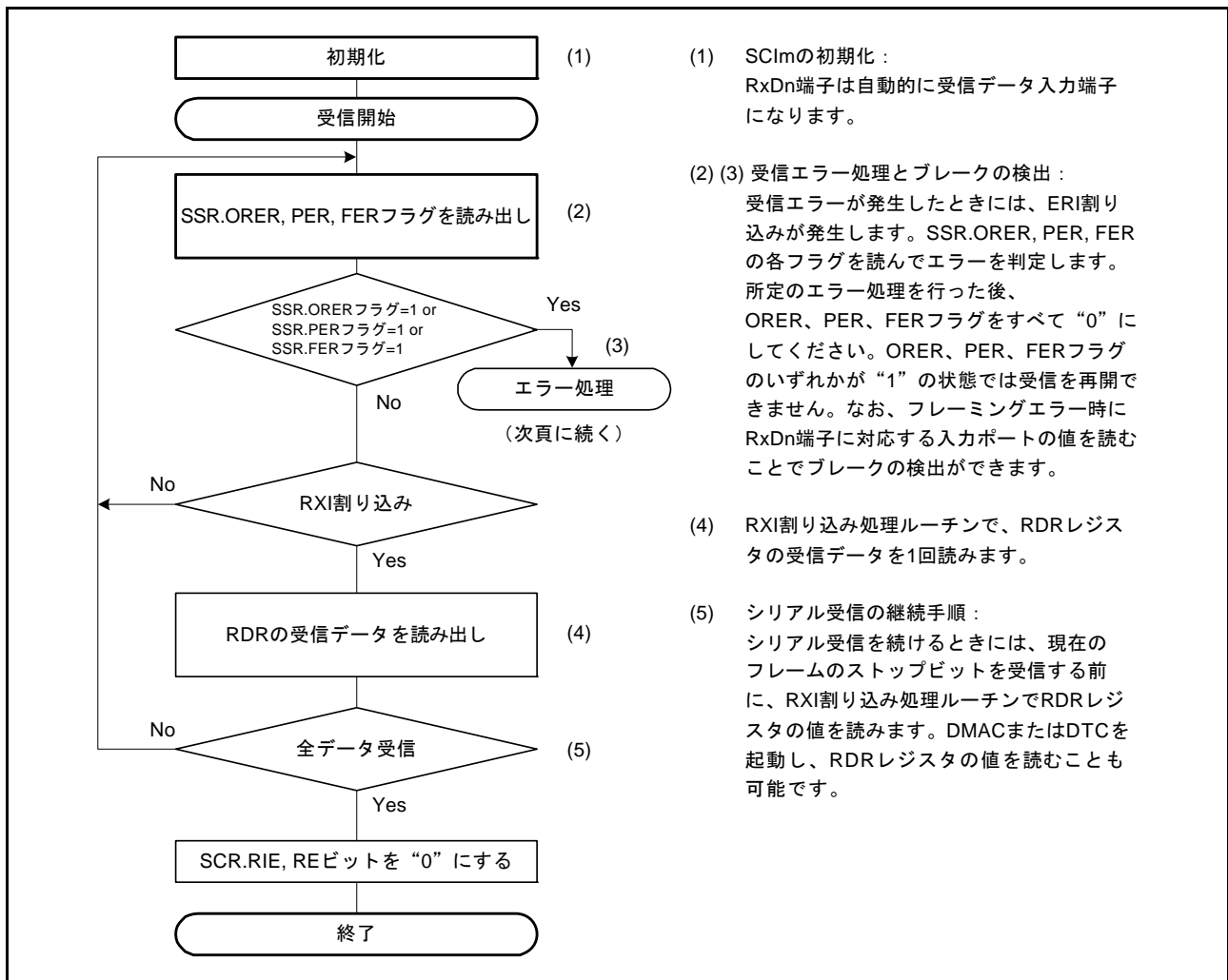


図 20.11 調歩同期式モードのシリアル受信のフローチャート例 (1)

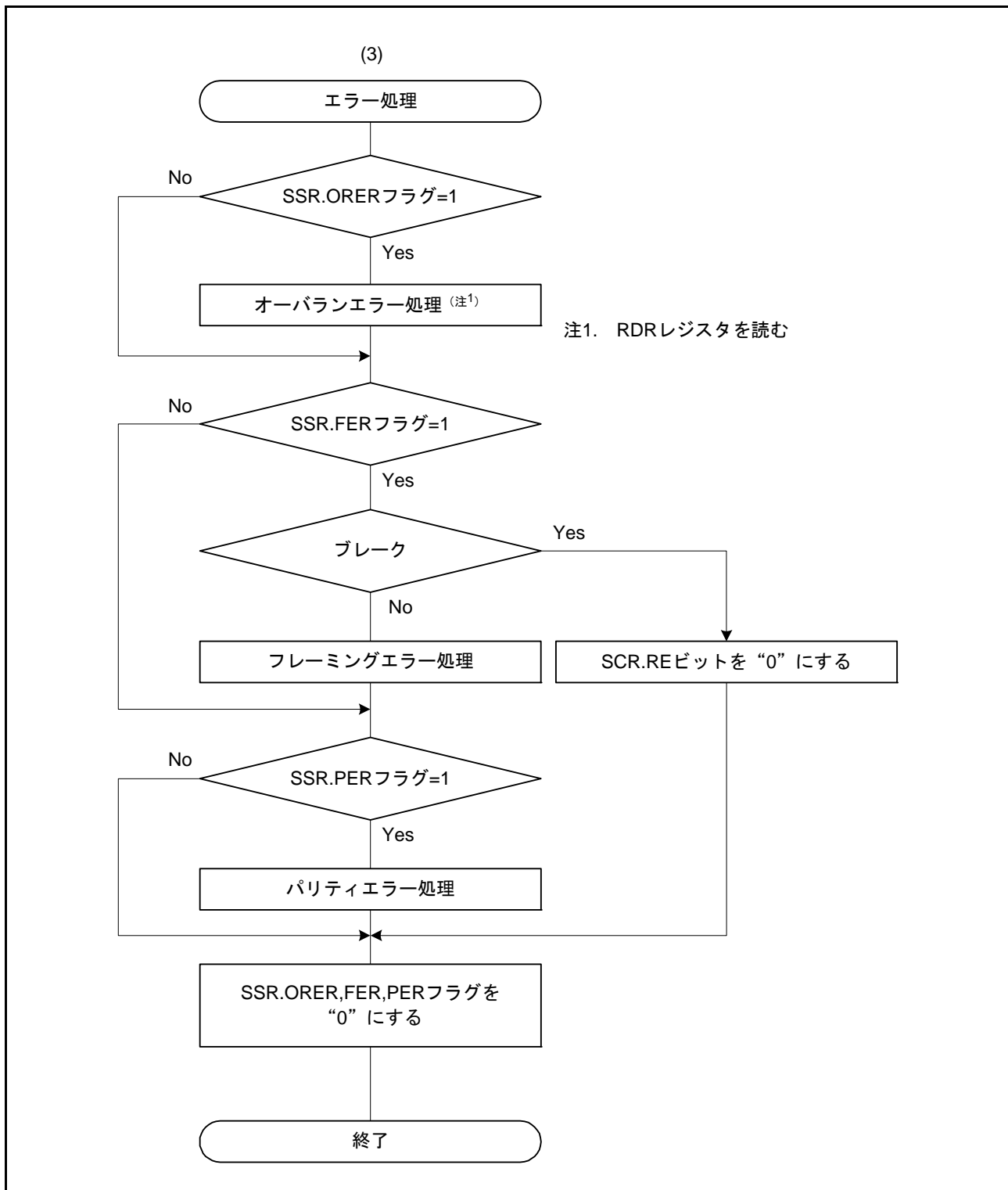


図 20.12 調歩同期式モードのシリアル受信のフローチャート例 (2)

20.4 クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 20.13 に示します。

クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCI は、データ送信時には同期クロックの立ち下がりから次の立ち上がりまで出力します。データ受信時はクロックの立ち上がり同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビットの出力状態を保ちます。

SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。また、送信部 / 受信部はともにダブルバッファ構造になっていますので、送信中に次の送信データの書き込み、受信中に前の受信データの読み出しを行うことで連続送受信が可能です。

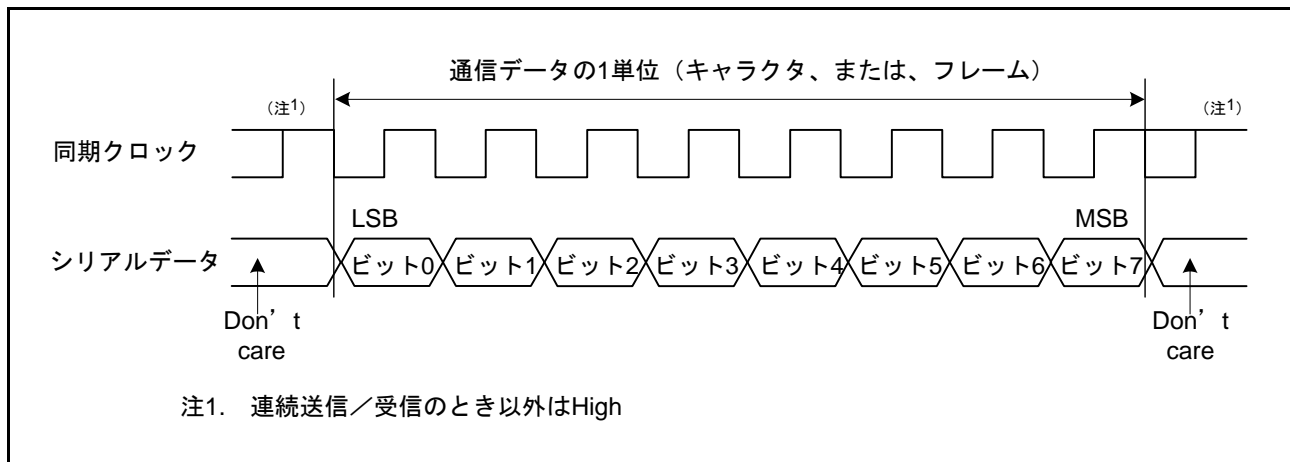


図 20.13 クロック同期式シリアル通信のデータフォーマット (LSB ファーストの場合)

20.4.1 クロック

SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子から入力される外部同期クロックを選択できます。

内部クロックで動作させるとき、SCKn 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High に固定されます。ただし、受信動作のみのときはオーバランエラーが発生するか、SCR.RE ビットを“0”にするまで同期クロックは出力されます。

20.4.2 SCIの初期化 (クロック同期式モード)

データの送受信前に SCR レジスタに初期値 “00h” を書き、図 20.14 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

SCR.RE ビットを “0” にしても、SSR.ORER, FER, PER の各フラグおよび RDR レジスタは初期化されませんので注意してください。

SCR.TE ビットを “1” から “0”、または “0” から “1” にすると、SCR.TIE ビットが “1” の場合、TXI 割り込みが発生しますので注意してください。

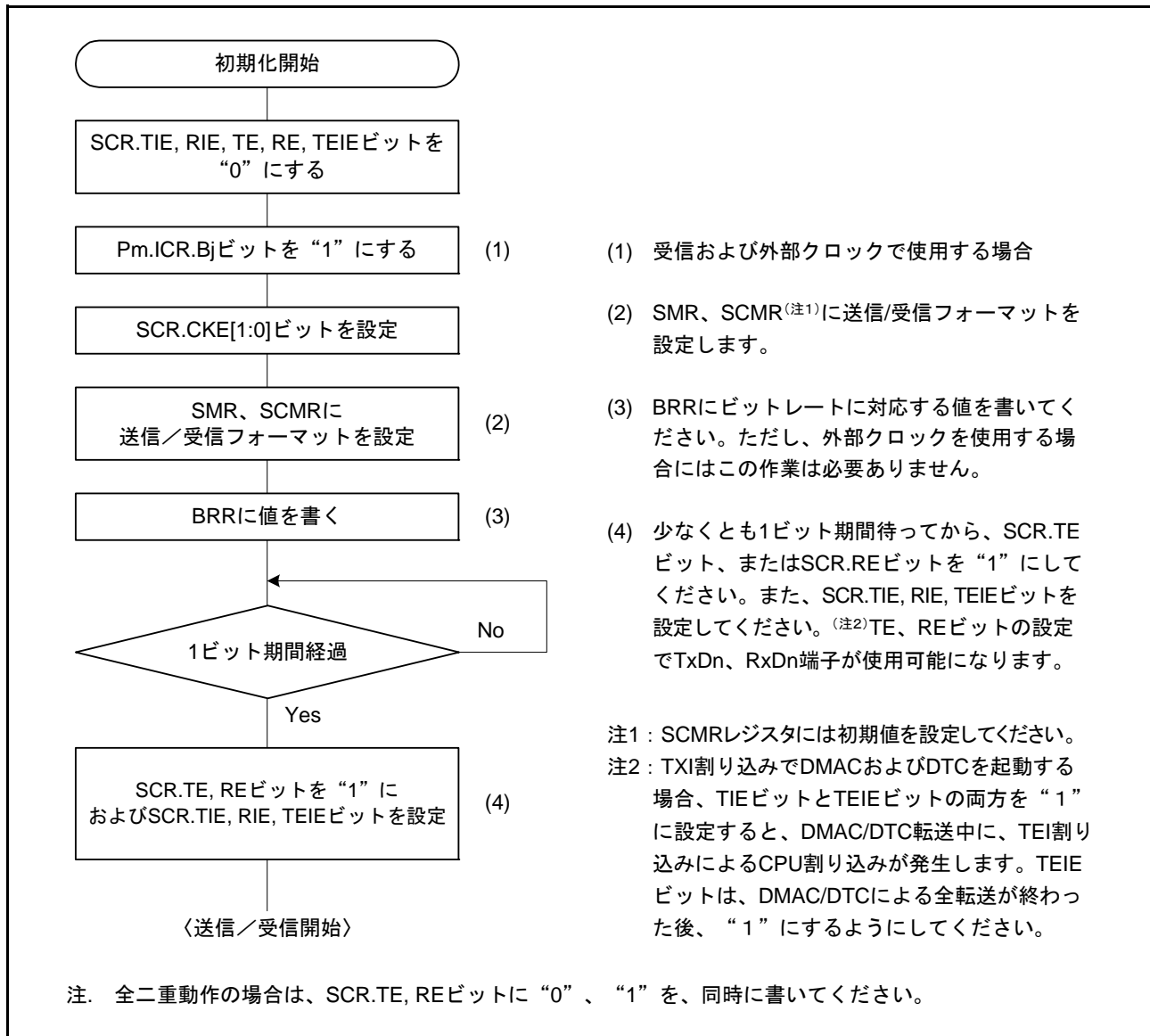


図 20.14 SCIの初期化フローチャートの例 (クロック同期式モード)

20.4.3 シリアルデータの送信（クロック同期式モード）

図 20.15 にクロック同期式モードのシリアル送信の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

- (1) SCI は TXI 割り込み処理ルーチンにより TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを“1”にした後に SCR.TE ビットを“1”にするか、同時に“1”にすることで発生します。
- (2) TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、TIE ビットが“1”なら、TXI 割り込み要求が発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書くことで連続送信が可能です。
- (3) クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxDn 端子から 8 ビットのデータを出力します。
- (4) 最終ビットを送り出すタイミングで TDR レジスタの更新（書き込み）をチェックします。
- (5) TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
- (6) TDR レジスタが更新されていない場合は、SSR.TEND フラグが“1”になり、最終ビットの出力状態を保持します。このとき SCR.TEIE ビットが“1”なら、TEI 割り込み要求が発生します。SCKn 端子は High に固定されます。

図 20.16 にシリアル送信のフローチャートの例を示します。

受信エラーフラグ（SSR.ORER, FER, PER）が“1”の状態では送信を開始しません。送信開始の前に、受信エラーフラグを“0”にしてください。また、受信エラーフラグは SCR.RE ビットを“0”にただけでは“0”になりませんので注意してください。

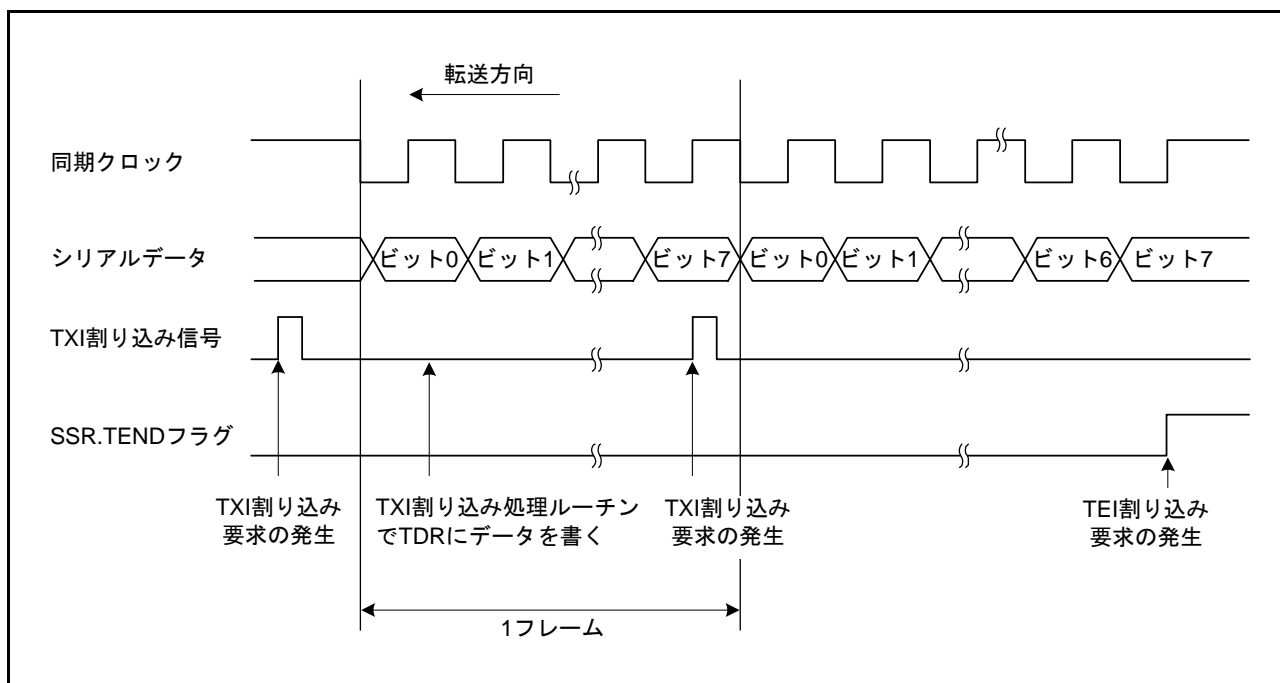


図 20.15 クロック同期式モードのシリアル送信の動作例

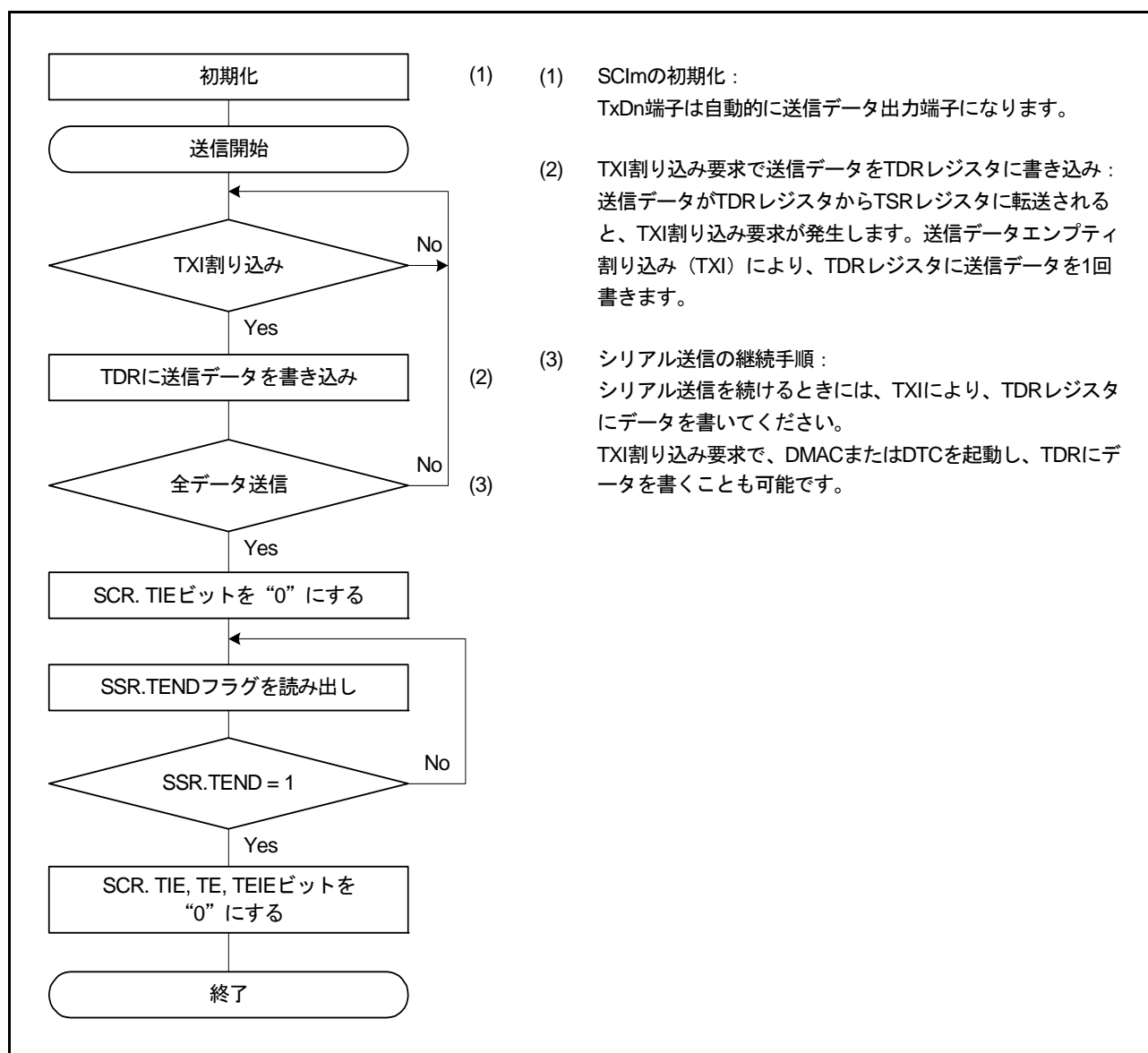


図 20.16 クロック同期式モードのシリアル送信のフローチャート例

20.4.4 シリアルデータの受信（クロック同期式モード）

図 20.17 にクロック同期式モードのシリアル受信の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

- (1) SCI は同期クロックの入力、または出力に同期して内部を初期化して受信を開始し、受信データを RSR レジスタに取り込みます。
- (2) オーバランエラーが発生したときは、SSR.ORER フラグが“1”になります。このとき SCR.RIE ビットが“1”なら、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送されません。
- (3) 正常に受信したときは、受信データを RDR レジスタに転送します。このとき RIE ビットが“1”なら、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までに読むことで連続受信が可能です。

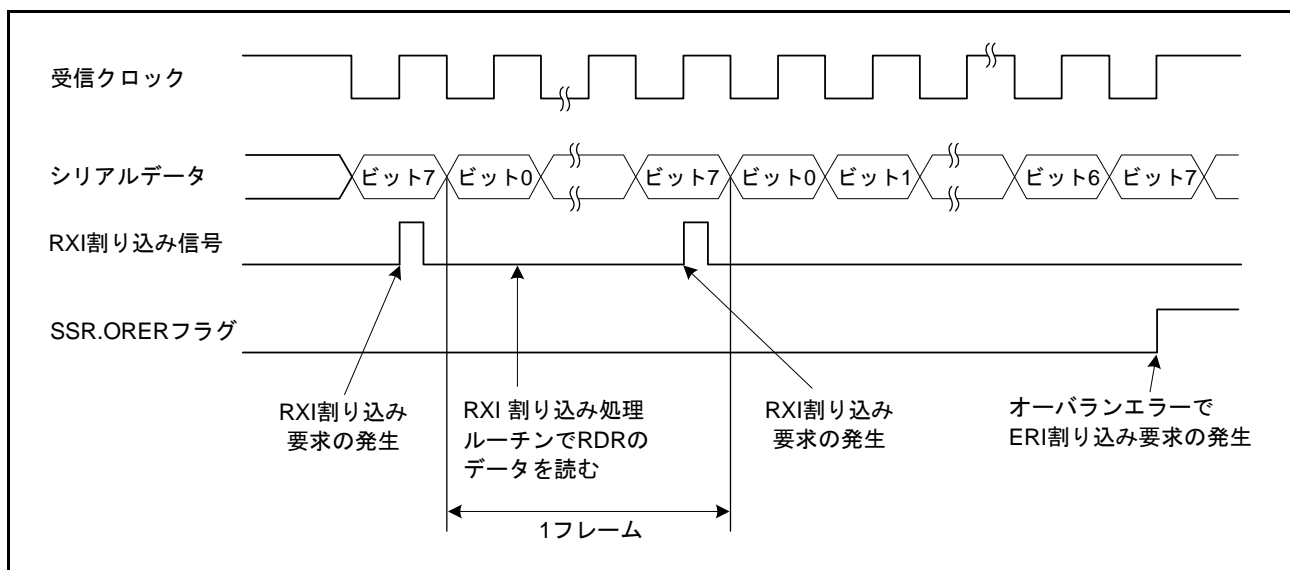


図 20.17 クロック同期式モードのシリアル受信時の動作例

受信エラーフラグが“1”の状態では以後の送受信動作ができません。したがって、受信を継続する前に SSR.ORER, FER, PER フラグを“0”にしてください。また、オーバランエラー処理では RDR レジスタを読んでください。

図 20.18 にシリアル受信のフローチャートの例を示します。

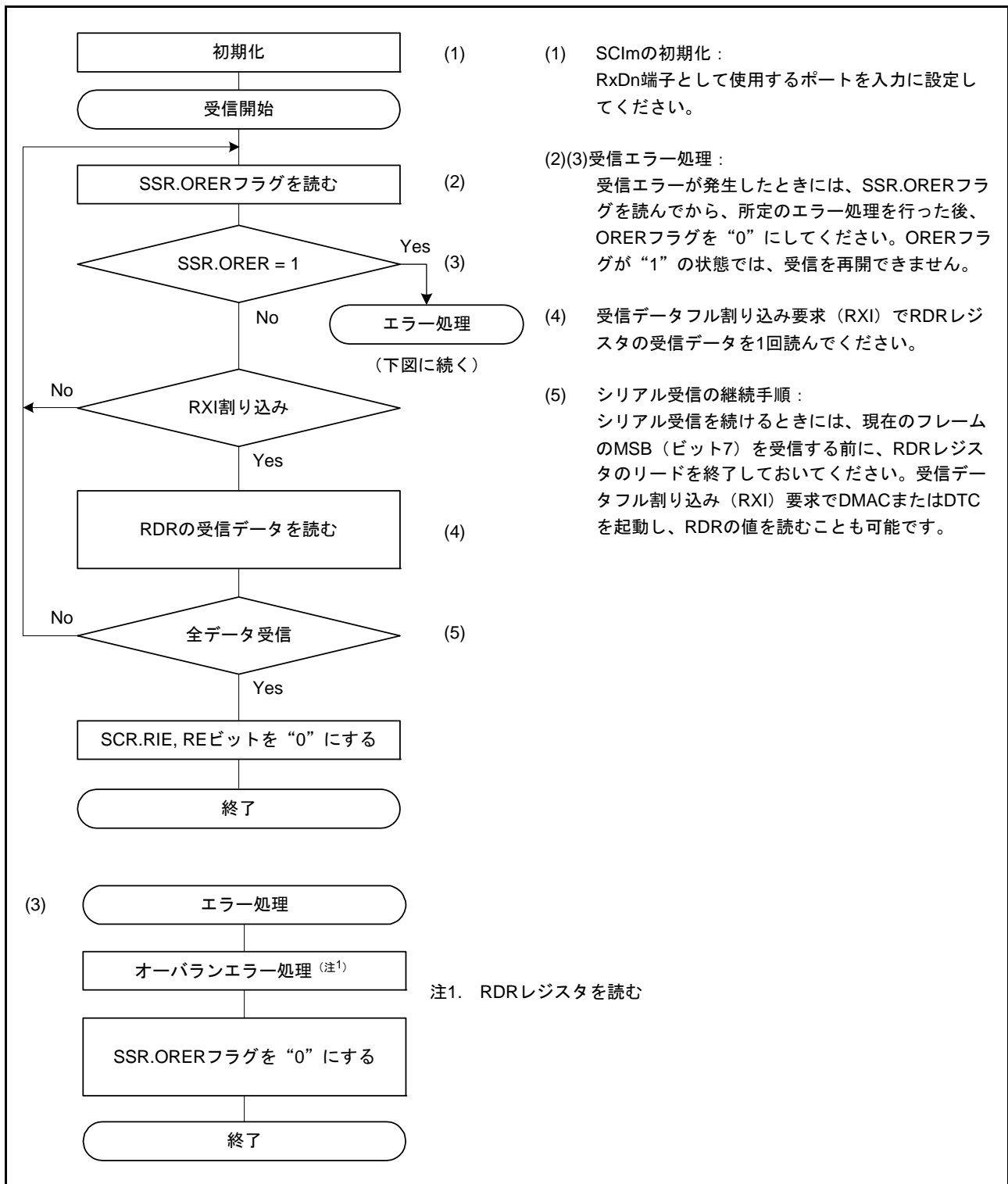


図 20.18 クロック同期式モードのシリアル受信のフローチャート例

20.4.5 シリアルデータの全二重動作 (クロック同期式モード)

図 20.19 にクロック同期式モードのシリアル全二重動作のフローチャートの例を示します。

シリアル全二重動作は、SCI の初期化後、以下の手順に従って行ってください。

送信から全二重に切り替えるときには、SCI が送信終了状態であることを SSR.TEND フラグが“1”にセットされていることで確認してください。その後、SCR レジスタを初期化してから SCR.TIE, RIE, TE, RE, TEIE ビットを同時に“1”にしてください。

受信から全二重に切り替えるときには、SCI が受信完了状態であることを確認した後、SCR.RIE, RE ビットを“0”に設定してから、エラーフラグ (SSR.ORER, FER, PER) が“0”であることを確認した後、SCR.TIE, RIE, TE, RE, TEIE ビットを同時に“1”にしてください。

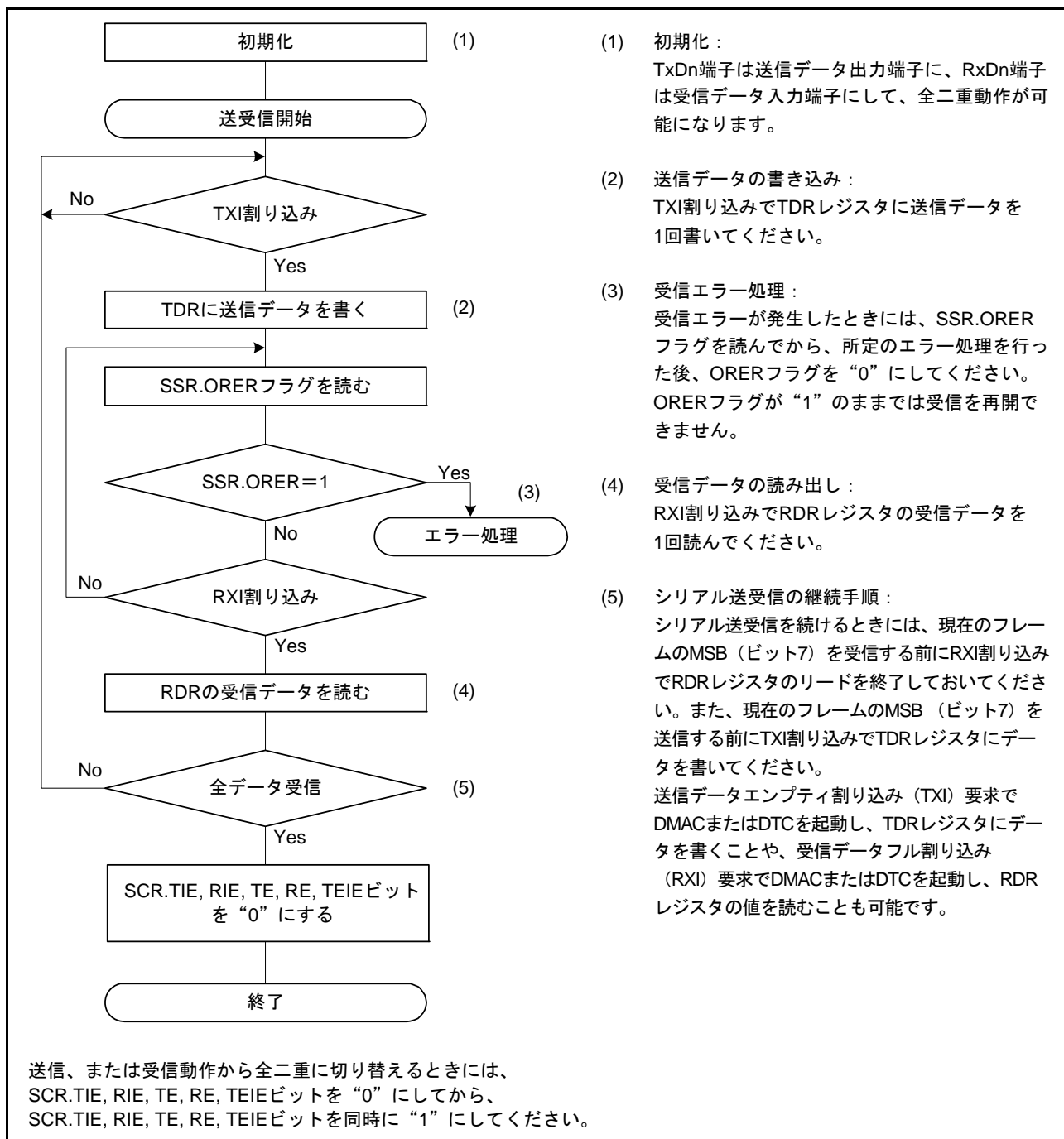


図 20.19 クロック同期式モードのシリアル全二重動作のフローチャート例

20.5 スマートカードインタフェースモードの動作

SCIの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (ICカード) とのインタフェースに対応しています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

20.5.1 接続例

図 20.20 にスマートカード (ICカード) との接続例を示します。

ICカードとは1本のデータ伝送線で送受信が行われるので、TxDn 端子と RxDn 端子とを結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

ICカードを接続しない状態で SCR.TE ビットを“1”、SCR.RE ビットを“1”にすると、自分の出したデータを自分で受信できる自己診断をすることができます。

SCIで生成するクロックをICカードに供給する場合は、SCKn 端子出力をICカードのCLK 端子に入力してください。

リセット信号の出力には LSI の出力ポートを使用できます。

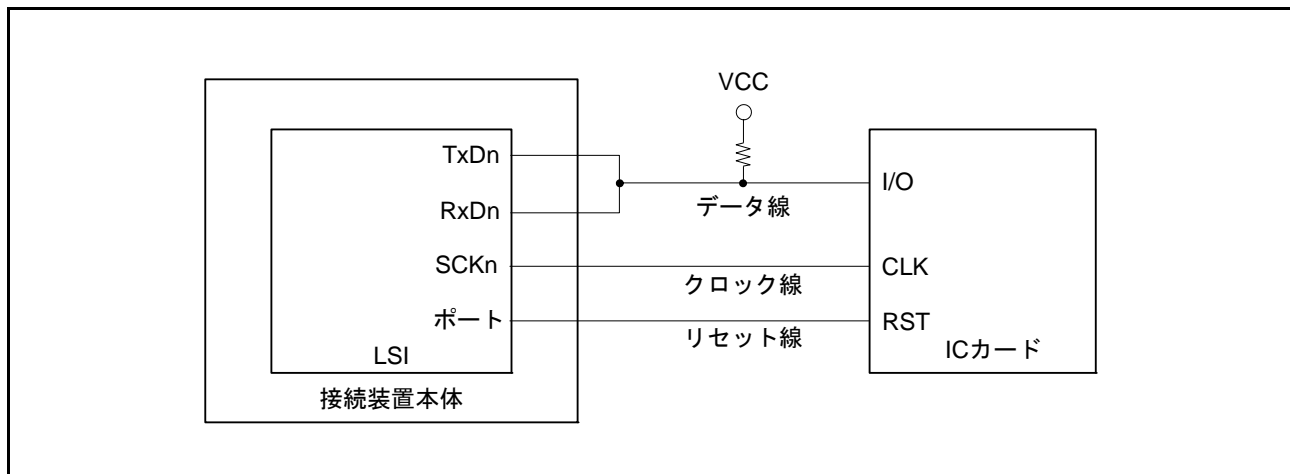


図 20.20 スマートカード (ICカード) との接続例

20.5.2 データフォーマット (ブロック転送モード時を除く)

図 20.21 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1 フレームは 8 ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで 2etu (Elementary Time Unit : 1 ビットの転送期間) 以上のガードタイムをおきます。
- 受信時にパリティエラーを検出した場合、スタートビットから 10.5etu 経過後、エラーシグナル (Low) を 1etu 期間出力します。
- 送信時にエラーシグナルをサンプリングすると、2etu 以上経過後、自動的に同じデータを再送信します。

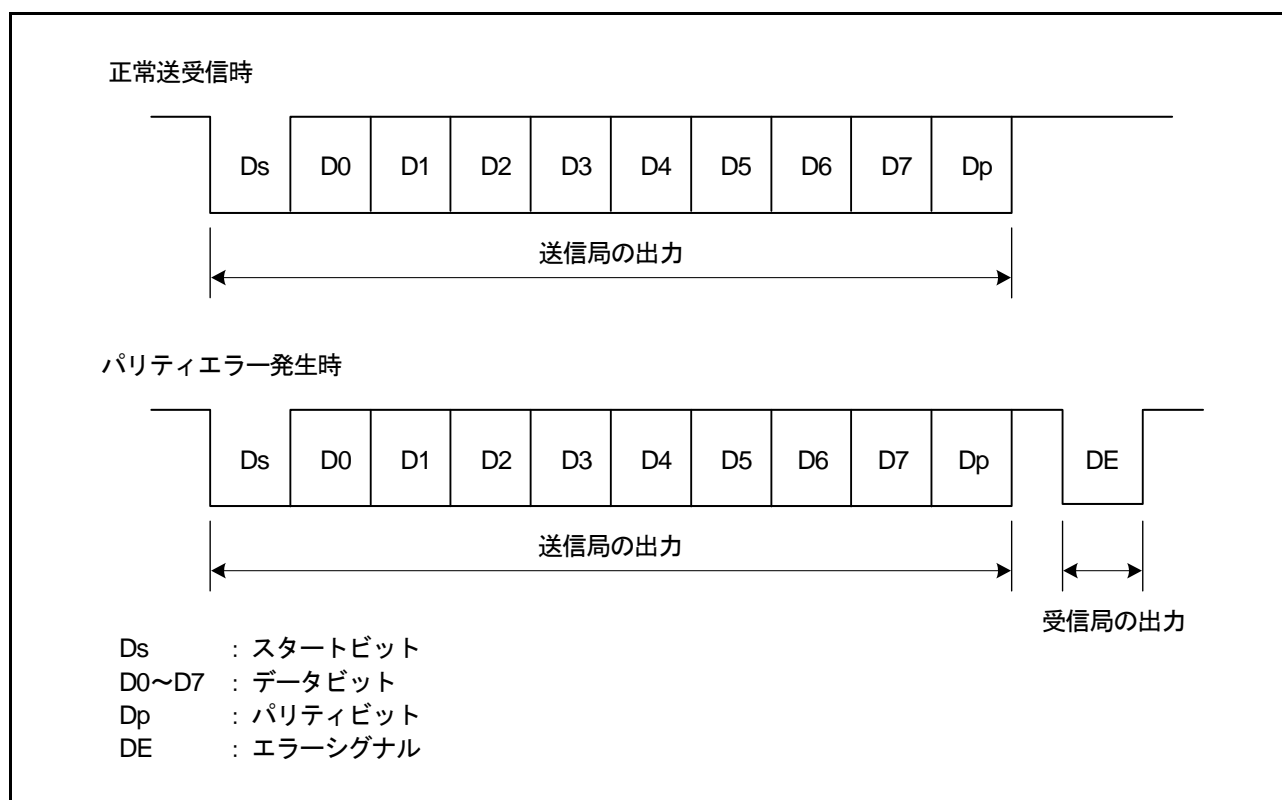


図 20.21 スマートカードインタフェースモードのデータフォーマット

ダイレクトコンベンションタイプと、インバースコンベンションタイプの 2 種類の IC カードとの送受信は、以下のように行ってください。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプは、**図 20.22** に示す開始キャラクタの例のように、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応させ、LSB ファーストで送受信します。**図 20.22** の開始キャラクタでは、データは“3Bh”となります。

ダイレクトコンベンションタイプでは、SCMR.SDIR、SINV ビットをともに“0”にしてください。また、スマートカードの規程により偶数パリティとなるよう SMR.PM ビットを“0”にしてください。

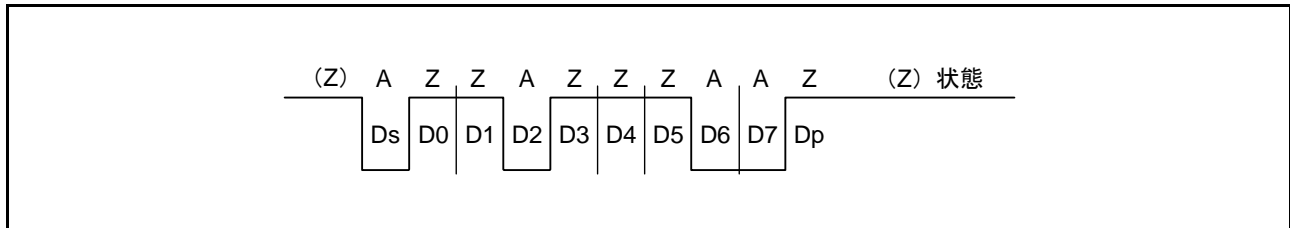


図 20.22 ダイレクトコンベンション
(SCMR.SDIR ビット=0、SCMR.SINV ビット=0、SMR.PM ビット=0)

(2) インバースコンベンションタイプ

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応させ、MSB ファーストで送受信します。**図 20.23** の開始キャラクタでは、データは“3Fh”となります。

インバースコンベンションタイプでは、SCMR.SDIR、SINV ビットをともに“1”にしてください。パリティビットはスマートカードの規程により偶数パリティで論理 0 となり、状態 Z が対応します。LSI では、SINV ビットはデータビット D7～D0 のみ反転させます。このため、送受信とも SMR.PM ビットを“1”にしてパリティビットを反転させてください。

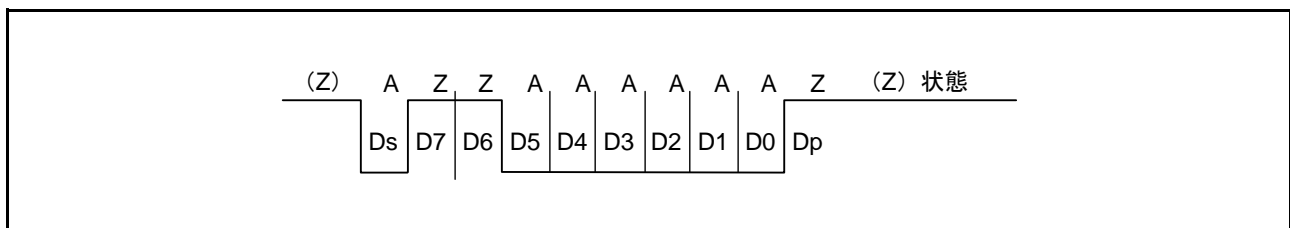


図 20.23 インバースコンベンション
(SCMR.SDIR ビット=1、SCMR.SINV ビット=1、SMR.PM ビット=1)

20.5.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースモードと比較して以下の点が異なります。

- 受信時にパリティチェックを行います。エラーを検出してもエラーシグナルは出力しません。SSR.PER フラグは“1”になりますので、次のフレームのパリティビットを受信する前に“0”にしてください。
- 送信時のパリティビットの終了から、次のフレーム開始までのガードタイムは 1 μ tu 以上必要です。
- 再送信を行わないため、SSR.TEND フラグは送信開始から 11.5 μ tu 後に“1”になります。
- SSR.ERS フラグは通常のスマートカードインタフェースモードと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に“0”になります。

20.5.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータの生成した内部クロックのみです。

スマートカードインタフェースモードでは、SCIはSCMR.BCP2ビット、SMR.BCP[1:0]ビットの設定により、ビットレートの32倍、64倍、372倍、256倍、93倍、128倍、186倍、512倍（通常の調歩同期式モードでは16倍に固定）の周波数の基本クロックで動作します。

受信時は、スタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図20.24に示すように、受信データをそれぞれ16、32、186、128、46、64、93、256クロック目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは以下の式で表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 \quad [\%]$$

M：受信マージン(%)

N：クロックに対するビットレートの比(N=32, 64, 372, 256)

D：クロックデューティ比(D = 0~1.0)

L：フレーム長(L=10)

F：クロック周波数の偏差の絶対値

上の式で、F=0、D=0.5、N=372とすると、受信マージンは以下ようになります。

$$M = \{ 0.5 - 1 / (2 \times 372) \} \times 100\% = 49.866\%$$

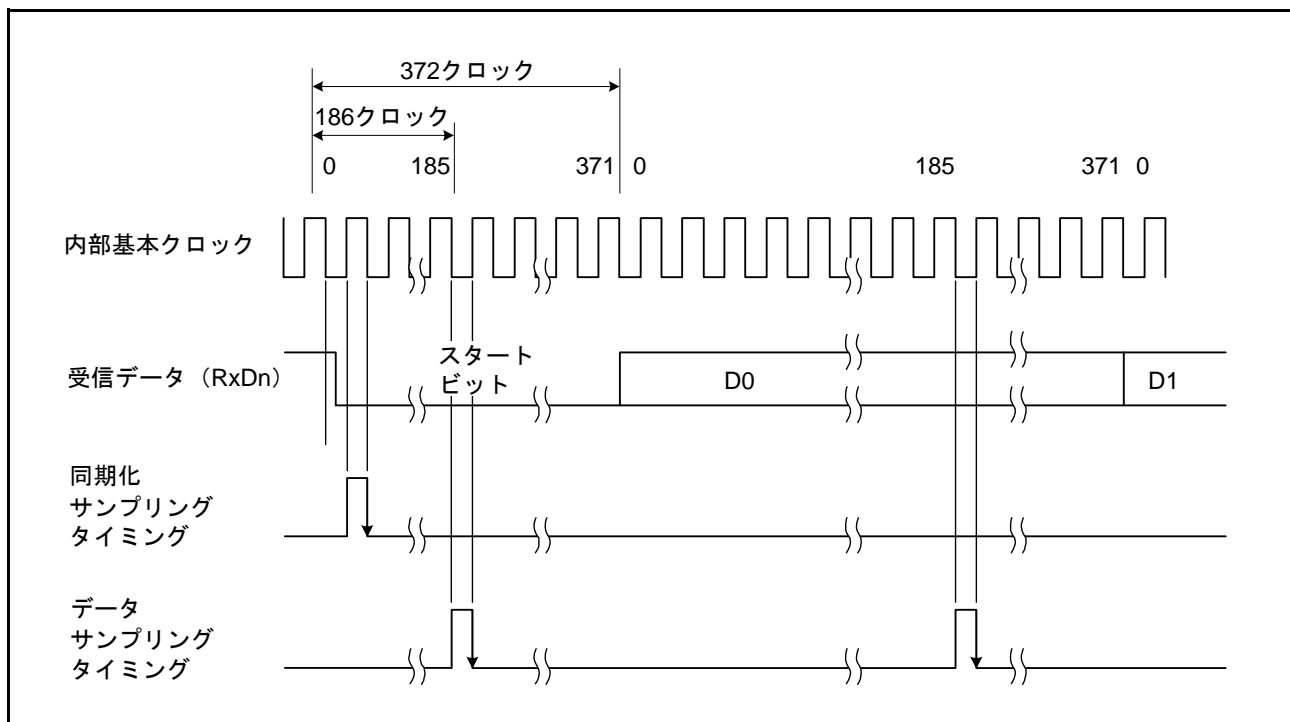


図 20.24 スマートカードインタフェースモード時の受信データサンプリングタイミング
(372倍のクロック使用時)

20.5.5 SCIの初期化

データの送受信の前に、以下の手順でSCIを初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCRレジスタに初期値“00h”を書きます。
2. 当該端子のPm.ICR.Bjビット(m=0~9、A~E、j=0~7)を“1”にしてください。
3. SSRレジスタのエラーフラグ(ORER、ERS、PER)を“0”にしてください。
4. SMR.GM、BLK、PM、BCP[1:0]、CKS[1:0]ビット、およびSCMR.BCP2ビットを設定してください。このとき、SMR.PEビットは“1”にしてください。
5. SCMR.SDIR、SINV、SMIFビットを設定してください。また、TxDn端子に該当するPm.DDR.Bjビットを“0”にします。これにより、TxDn端子およびRxDn端子はともにポートからSCIの端子に切り替わり、ハイインピーダンス状態となります。
6. ビットレートに対応する値をBRRレジスタに設定します。
7. SCR.CKE[1:0]ビットを設定してください。このとき、SCR.TIE、RIE、TE、RE、TEIEビットは“0”にしてください。
CKE0ビットを“1”にした場合は、SCKn端子からクロックを出力します。
8. 少なくとも、1ビット期間待つてから、SCR.TIE、RIE、TE、REビットを設定してください。自己診断をするとき以外はTEビットとREビットを同時に“1”にしないでください。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、TEビット=1、REビット=0にしてください。受信動作の完了は、RXI割り込み要求、SSR.ORERフラグ、あるいはSSR.PERフラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TEビット=0、REビット=1にしてください。送信動作の完了はSSR.TENDフラグで確認できます。

20.5.6 シリアルデータの送信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル送信は、エラーシグナルのサンプリングと再送信処理があるため、通常のシリアルコミュニケーションインタフェースモードとは動作が異なります（ブロック転送モードを除く）。送信時の再転送動作を図 20.25 に示します。

- (1) 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングすると **SSR.ERS** フラグが“1”になります。このとき **SCR.RIE** ビットが“1”なら、**ERI** 割り込み要求が発生します。次のパリティビットのサンプリングまでに **ERS** フラグを“0”にしてください。
- (2) エラーシグナルを受信したフレームでは、**SSR.TEND** フラグは“1”になりません。**TDR** レジスタから **TSR** レジスタに再度データが転送され、自動的に再送信を行います。
- (3) 受信側からエラーシグナルが返ってこない場合は、**ERS** フラグは“1”になりません。
- (4) 再転送を含む 1 フレームの送信が完了したと判断して、**SSR.TEND** フラグが“1”になります。このとき、**SCR.TIE** ビットが“1”なら、**TXI** 割り込み要求が発生します。送信データを **TDR** レジスタに書くことにより次のデータが送信されます。

シリアル送信のフローチャートの例を図 20.27 に示します。これらの一連の処理は、**TXI** 割り込み要因によって **DTC** または **DMAC** を起動することで自動的に行うことができます。

送信動作では、**SCR.TIE** ビットが“1”の場合、**SSR.TEND** フラグが“1”になると、**TXI** 割り込み要求が発生します。あらかじめ **DTC** または **DMAC** の起動要因に **TXI** 割り込みを設定しておくと、**TXI** 割り込み要求により **DTC** または **DMAC** が起動して送信データの転送を行います。**TEND** フラグは、**DTC** または **DMAC** によるデータ転送時に自動的に“0”になります。

エラーが発生した場合は **SCI** が自動的に同じデータを再送信します。この間、**TEND** フラグは“0”を保持し、**DTC** または **DMAC** は起動しません。したがって、エラー発生時の再送信を含め、**SCI** と **DTC** または **DMAC** が指定されたバイト数を自動的に送信します。ただし、エラー発生時、**ERS** フラグは自動的に“0”になりませんので、**RIE** ビットを“1”にしておき、エラー発生時に **ERI** 割り込み要求を発生させ、**ERS** フラグを“0”にしてください。

なお、**DTC** または **DMAC** を使って送受信を行う場合は、先に **DTC** または **DMAC** を設定し、許可状態にしてから **SCI** の設定を行ってください。

DTC または **DMAC** の設定方法は「12. DMA コントローラ (DMAC)」、「13. データトランスファコントローラ (DTC)」を参照してください。

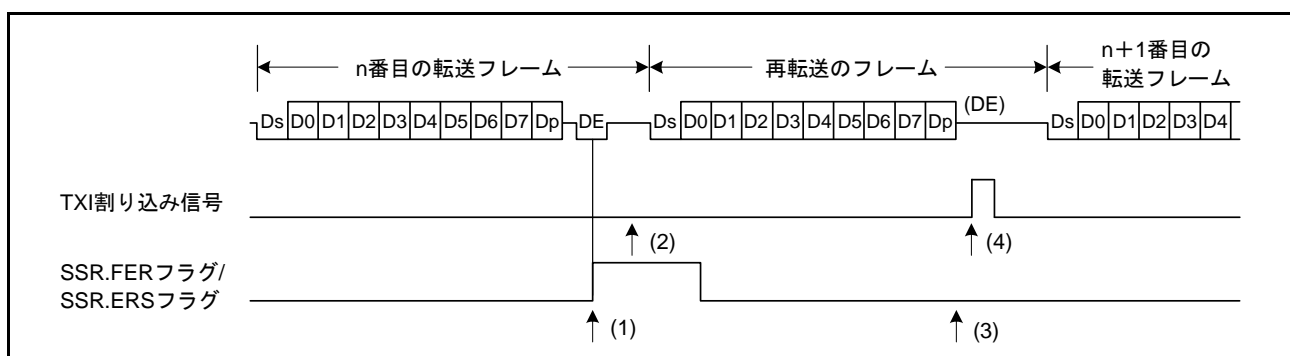


図 20.25 SCI 送信モードの場合の再転送動作（送信時の再転送動作）

なお、SMR.GM ビットの設定により、SSR.TEND フラグが“1”になるタイミングが異なります。図 20.26 に TEND フラグ発生タイミングを示します。

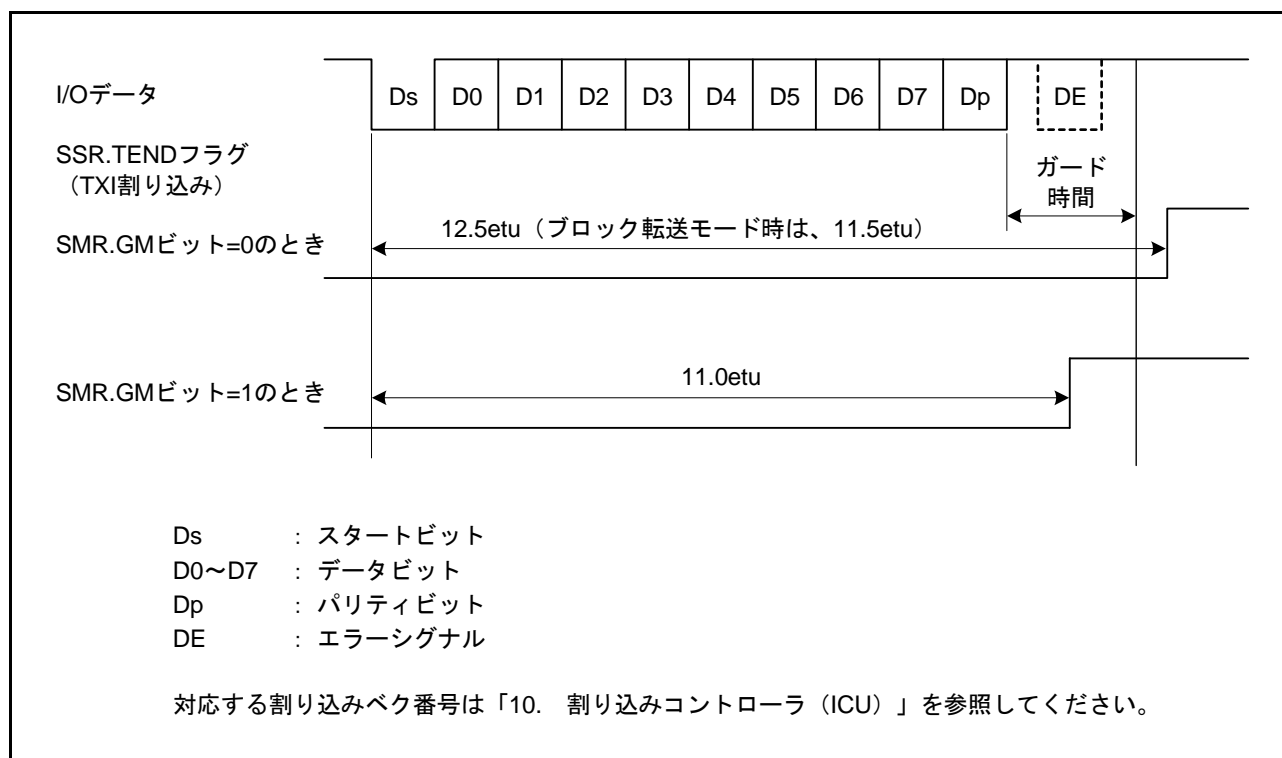


図 20.26 送信時の SSR.TEND フラグの発生タイミング

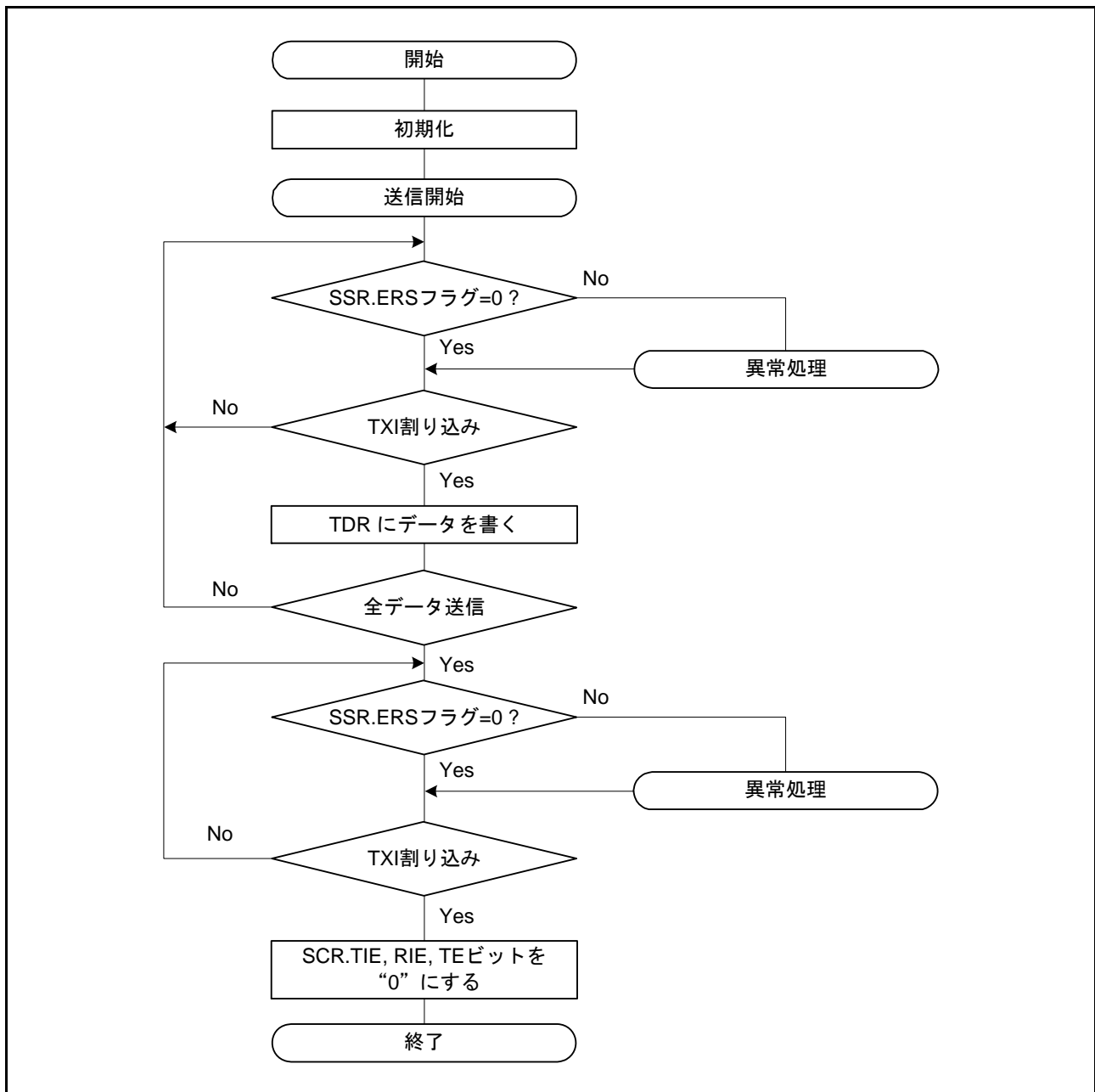


図 20.27 シリアル送信のフローチャート例

20.5.7 シリアル受信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル受信は、シリアルコミュニケーションインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 20.28 に示します。

- (1) 受信データにパリティエラーを検出すると **SSR.PER** フラグが“1”になります。このとき、**SCR.RIE** ビットが“1”なら、**ERI** 割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに **PER** フラグを“0”にしてください。
- (2) パリティエラーを検出したフレームでは **RXI** 割り込みは発生しません。
- (3) パリティエラーが検出されない場合は、**SSR.PER** フラグは“1”になりません。
- (4) 正常に受信を完了したと判断して、**RIE** ビットが“1”になっていれば、**RXI** 割り込み要求が発生します。

シリアル受信のフローチャートの例を図 20.29 に示します。これらの一連の処理は、**RXI** 割り込み要求によって **DTC** または **DMAC** を起動することで自動的に行うことができます。

受信動作では、**RIE** ビットを“1”にしておくと、**RXI** 割り込み要求が発生します。あらかじめ **DTC** または **DMAC** の起動要因に **RXI** 割り込みを設定しておくと、**RXI** 割り込み要求によって **DTC** または **DMAC** が起動して受信データの転送を行います。

なお、受信時にエラーが発生し **SSR.ORER**, **PER** フラグのいずれかが“1”になると、受信エラー割り込み (**ERI**) 要求が発生しますのでエラーフラグを“0”にしてください。エラーが発生した場合は **DTC** または **DMAC** は起動せず、受信データはスキップされるため **DTC** または **DMAC** に設定したバイト数だけ受信データを転送します。

受信時にパリティエラーが発生し **PER** フラグが“1”の場合でも、受信したデータは **RDR** レジスタに転送されるのでこのデータを読むことは可能です。

注 1. ブロック転送モードの場合は、「20.3 調歩同期式モードの動作」を参照してください。

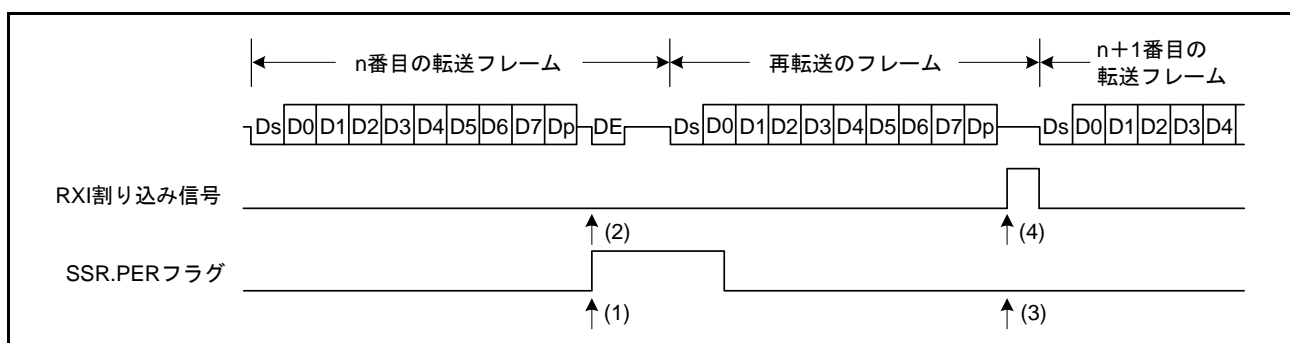


図 20.28 SCI 受信モードの場合の再転送動作（受信時の再転送動作）

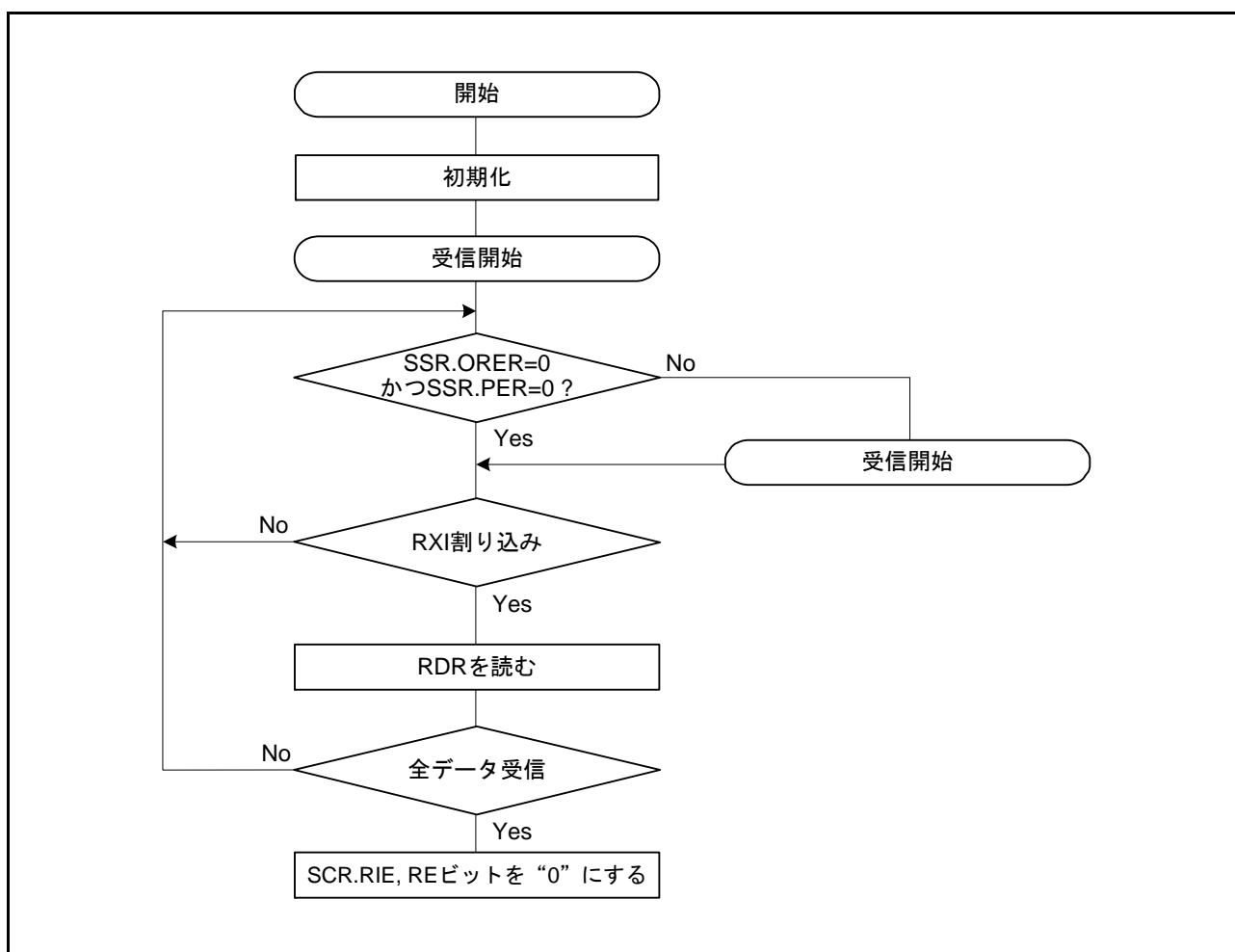


図 20.29 シリアル受信のフローチャート例

20.5.8 クロック出力制御

SMR.GM ビットが“1”のとき、SCR.CKE[1:0] ビットによってクロック出力を停止することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 20.30 にクロック出力の停止タイミングを示します。GM ビットを“1”、CKE1 ビットを“0”とし、CKE0 ビットを制御した場合の例です。

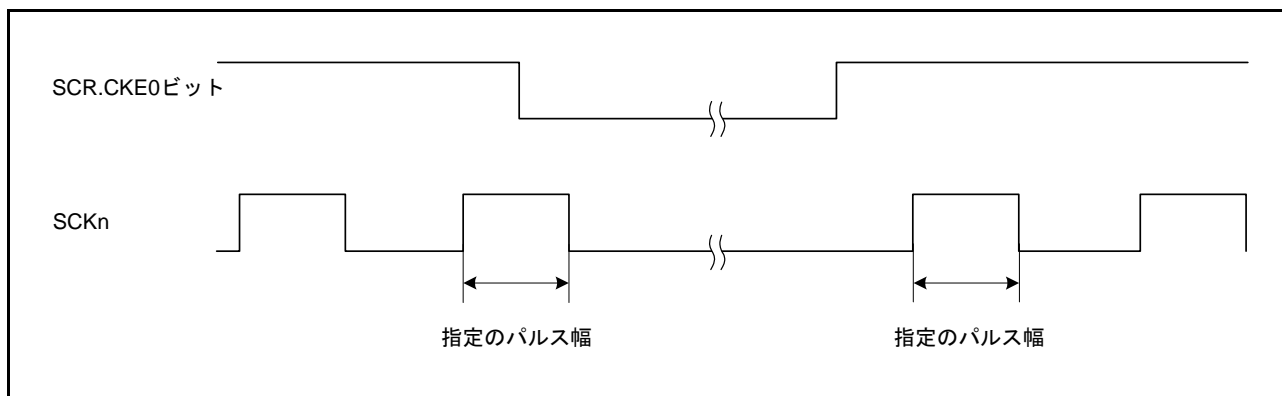


図 20.30 クロック出力停止タイミング

電源投入時およびソフトウェアスタンバイモードへの移行、またはソフトウェアスタンバイモードからの復帰の際は、クロックのデューティ比を確保するため、以下の手順で処理してください。

(1) 電源投入時

電源投入時からクロックのデューティ比を確保するための切り替え手順を以下に示します。

- (1) 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗 / プルダウン抵抗を使用してください。
- (2) SCR.CKE1 ビットで SCKn 端子を指定の出力に固定してください。
- (3) SMR レジスタと SCMR レジスタをセットし、スマートカードインタフェースモードの動作に切り替えてください。SCR.CKE0 ビットを“1”にして、クロック出力を開始させてください。

(2) モード切り替え時

(a) スマートカードインタフェースモードからソフトウェアスタンバイモードに移行するとき

- (1) SCKn 端子に対応するデータレジスタ (Pm.DR) とデータディレクションレジスタ (Pm.DDR) にソフトウェアスタンバイモード時の出力固定状態の値を設定してください。
- (2) SCR.TE, RE ビットに“0”を書き、送信 / 受信動作を停止させてください。
同時に、SCR.CKE1 ビットをソフトウェアスタンバイ時の出力固定状態の値に設定してください。
- (3) SCR.CKE0 ビットに“0”を書き、クロックを停止させてください。
- (4) シリアルクロックの1クロック周期の間、待ってください。この間に、指定の High 幅を出力した後、クロック出力が Low のまま停止します。
- (5) ソフトウェアスタンバイ状態に遷移させてください。

(b) ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻るとき

- (6) ソフトウェアスタンバイ状態を解除してください。
- (7) SCR.CKE0 ビットを“1”にしてください。指定の周波数でクロック出力が再開されます。

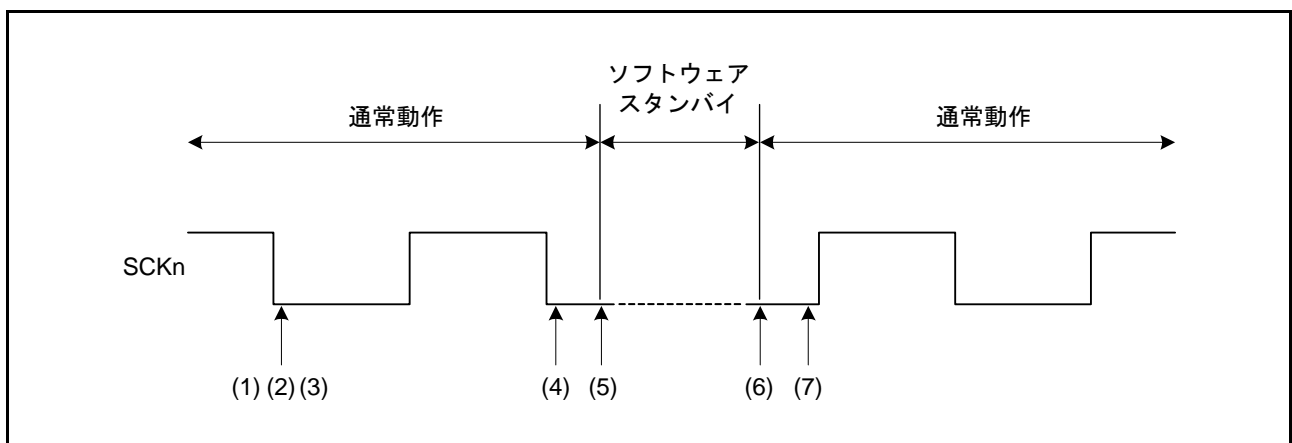


図 20.31 クロック停止・再起動手順

20.6 割り込み要因

20.6.1 シリアルコミュニケーションインタフェースモードにおける割り込み

表 20.17 にシリアルコミュニケーションインタフェースモードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR レジスタの許可ビットで個別に許可することができます。

TDR レジスタから TSR レジスタに送信データが転送されると、SCR.TIE ビットが“1”のとき TXI 割り込み要求が発生します。また、SCR.TIE ビットを“1”にした後で、SCR.TE ビットを“1”にするか、SCR.TIE ビットと SCR.TE ビットを同時に“1”にすることで TXI 割り込み要求が発生します。TXI 割り込み要求により、DTC または DMAC を起動してデータ転送を行うことができます。

受信データが RDR レジスタにセットされると、SCR.RIE ビットが“1”のとき RXI 割り込み要求が発生します。RXI 割り込み要求で DTC または DMAC を起動してデータ転送を行うことができます。

SSR.ORER, FER, PER フラグのいずれかが“1”になり、SCR.RIE ビットが“1”のとき ERI 割り込み要求が発生します。このとき RXI 割り込み要求は発生しません。

送信データの最終ビットを送り出すタイミングで TDR レジスタが更新されていないと SSR.TEND フラグが“1”になり、SCR.TEIE ビットが“1”のとき TEI 割り込み要求が発生します。TXI 割り込み処理で TDR レジスタにデータを書くと、SSR.TEND フラグが“0”になって TEI 割り込み要求は取り消されます。TDR レジスタへの送信データの書き込みにより SSR.TEND フラグを“0”にしたときは、SSR.TEND フラグを読んで“0”になったことを確認してください。

TXI 割り込み要求は、SCR.TIE ビットを“1”にした後で SCR.TE ビットを“1”にするか、SCR.TIE ビットと SCR.TE ビットを同時に“1”にすることで発生します。SCR.TIE ビットが“0”の状態でも SCR.TE ビットを“1”にしても、またその状態で SCR.TIE ビットを“1”にしても TXI 割り込み要求は発生しません。そのため、最終データの送信時など、TXI 割り込みを一時的に禁止し、送信終了割り込みによる処理を行ってから新たにデータ送信を開始したいときには、SCR.TIE ビットではなく TXI 割り込みに対応する ICU.IERi.IENj ビットで割り込みの禁止 / 許可を制御してください。

表 20.17 SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動	優先順位
ERI	受信エラー	ORER、FER、PER	不可	不可	高 ↑ 低
RXI	受信データフル	—	可	可	
TXI	送信データエンプティ	—	可	可	
TEI	送信終了	TEND	不可	不可	

20.6.2 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 20.18 の割り込み要因があります。送信終了割り込み (TEI) は使用できません。

表 20.18 SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動	優先順位
ERI	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	不可	高 ↑ 低
RXI	受信データフル	—	可	可	
TXI	送信データエンプティ	TEND	可	可	

スマートカードインタフェースモードの場合も通常の SCI の場合と同様に、DTC または DMAC を使って送受信を行うことができます。送信動作では、SSR.TEND フラグが“1”になると、TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に TXI 割り込みを設定しておく、TXI 割り込み要求により DTC または DMAC が起動して送信データの転送を行います。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に“0”になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは“0”のまま保持され、DTC または DMAC は起動しません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR.ERS フラグは自動的に“0”になりませんので、SCR.RIE ビットを“1”にしておき、エラー発生時に ERI 割り込み要求が発生させ ERS フラグを“1”にしてください。

なお、DTC または DMAC を使って送受信を行う場合は、先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。DTC または DMAC の設定方法は「12. DMA コントローラ (DMAC)」、 「13. データトランスファコントローラ (DTC)」を参照してください。

また、受信動作では、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 割り込みを設定しておく、RXI 割り込み要求で DTC または DMAC が起動して受信データの転送を行います。エラーが発生した場合は、エラーフラグが“1”になります。そのため DTC または DMAC は起動せず、代わりに CPU に対し ERI 割り込み要求が発生しますのでエラーフラグを“0”にしてください。

20.7 使用上の注意事項

20.7.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SCI の動作を禁止 / 許可することができます。初期値では、SCI の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「8. 消費電力低減機能」を参照してください。

20.7.2 ブレークの検出と処理について

フレーミングエラー検出時に、RxDn 端子の値を直接読むことでブレークを検出できます。ブレークでは RxDn 端子からの入力がすべて 0 になりますので、SSR.FER フラグが“1” (フレーミングエラーの発生あり) になり、また SSR.PER フラグも“1” (パリティエラーの発生あり) になる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって FER フラグを“0” (フレーミングエラーの発生なし) にしても、再び FER フラグが“1” になりますので注意してください。

20.7.3 マーク状態とブレークの送付

SCR.TE ビットが“0” (シリアル送信動作を禁止) のとき、TxDn 端子は I/O ポートになります。これを利用して TxDn 端子をマーク状態にしたり、データ送信時にブレークを送出することができます。

TE ビットを“1” (シリアル送信動作を許可) にするまで通信回線をマーク状態 (1 の状態) にするためには、Pm.DDR.Bj ビットを“1”、Pm.DR.Bj ビットを“1” にします。TE ビットが“0” のときは、TxDn 端子は I/O ポートとなっていますので、“1” が出力されます。

一方、データ送信時にブレークを送出したいときは、Pm.DDR.Bj ビットを“1”、Pm.DR.Bj ビットを“0” にした後、TE ビットを“0” にします。TE ビットを“0” にすると、現在の送信状態とは無関係に送信部は初期化され、TxDn 端子は I/O ポートになり、TxDn 端子から“0” が出力されます。

20.7.4 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (SSR.ORER, FER, PER) が“1” の状態では、TDR レジスタにデータを書いても送信を開始できません。送信開始時には、受信エラーフラグを“0” にしておいてください。また、SCR.RE ビットを“0” (シリアル受信動作を禁止) にしても受信エラーフラグは“0” にできませんので注意してください。

20.7.5 TDR への書き込みについて

TDR レジスタへのデータの書き込みは、常に行うことができます。ただし、TDR レジスタに送信データが残っている状態で新しいデータを TDR レジスタに書くと、TDR レジスタに格納されていたデータは TSR レジスタに転送されていないため失われてしまいます。したがって TDR レジスタへの送信データの書き込みは、TXI 割り込み要求によって行ってください。

20.7.6 クロック同期送信時の制約事項

同期クロックに外部クロックソースを使用する場合、DMAC または DTC による TDR レジスタの更新後、PCLKクロックで5クロック以上経過した後に送信クロックを入力してください。TDR レジスタの更新後、4クロック以内に送信クロックを入力すると誤動作することがあります。

20.7.7 DMAC または DTC 使用上の制約事項

DMAC または DTC により、RDR レジスタの読み出しを行うときは起動要因を当該 SCI の受信完了割り込み (RXI) に設定してください。

20.7.8 低消費電力状態時の動作について

(1) 送信

モジュールストップ状態の設定、またはソフトウェアスタンバイモードへの移行は、動作を停止 (SCR.TIE ビット=0、TE ビット=0、TEIE ビット=0) させてから行ってください。TSR、TDR および SSR レジスタはリセットされます。モジュールストップ状態、ソフトウェアスタンバイモード時の出力端子の状態は、ポートの設定に依存し、解除後 High 出力となります。送信中にこれらのモードに移行すると、送信が中断します。

低消費電力状態を解除した後、送信モードを変えないで送信する場合は、TE ビットを“1”にし、SSR レジスタの読み出し→ TDR レジスタへの書き込みで送信を開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。

図 20.32 に送信時のモード移行フローチャートの例を示します。図 20.33、図 20.34 にモード移行時のポートの端子状態を示します。

DTC 転送による送信からモジュールストップ状態の設定、または、ソフトウェアスタンバイモードへの移行は、動作を停止 (TE ビット=0) させてから行ってください。解除後 DTC による送信をする場合は、TE ビットを“1”にすると TXI 割り込みフラグが立ち、DTC による送信が始まります。

(2) 受信

モジュールストップ状態の設定または、ソフトウェアスタンバイモードへの移行は、受信動作を停止 (SCR.RE ビット=0) させてから行ってください。RSR、RDR および SSR レジスタはリセットされます。受信中に移行すると、受信中のデータは無効になります。

低消費電力状態を解除した後、受信モードを変えないで受信する場合は、RE ビットを“1”にして受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 20.35 に受信時のモード移行フローチャートの例を示します。

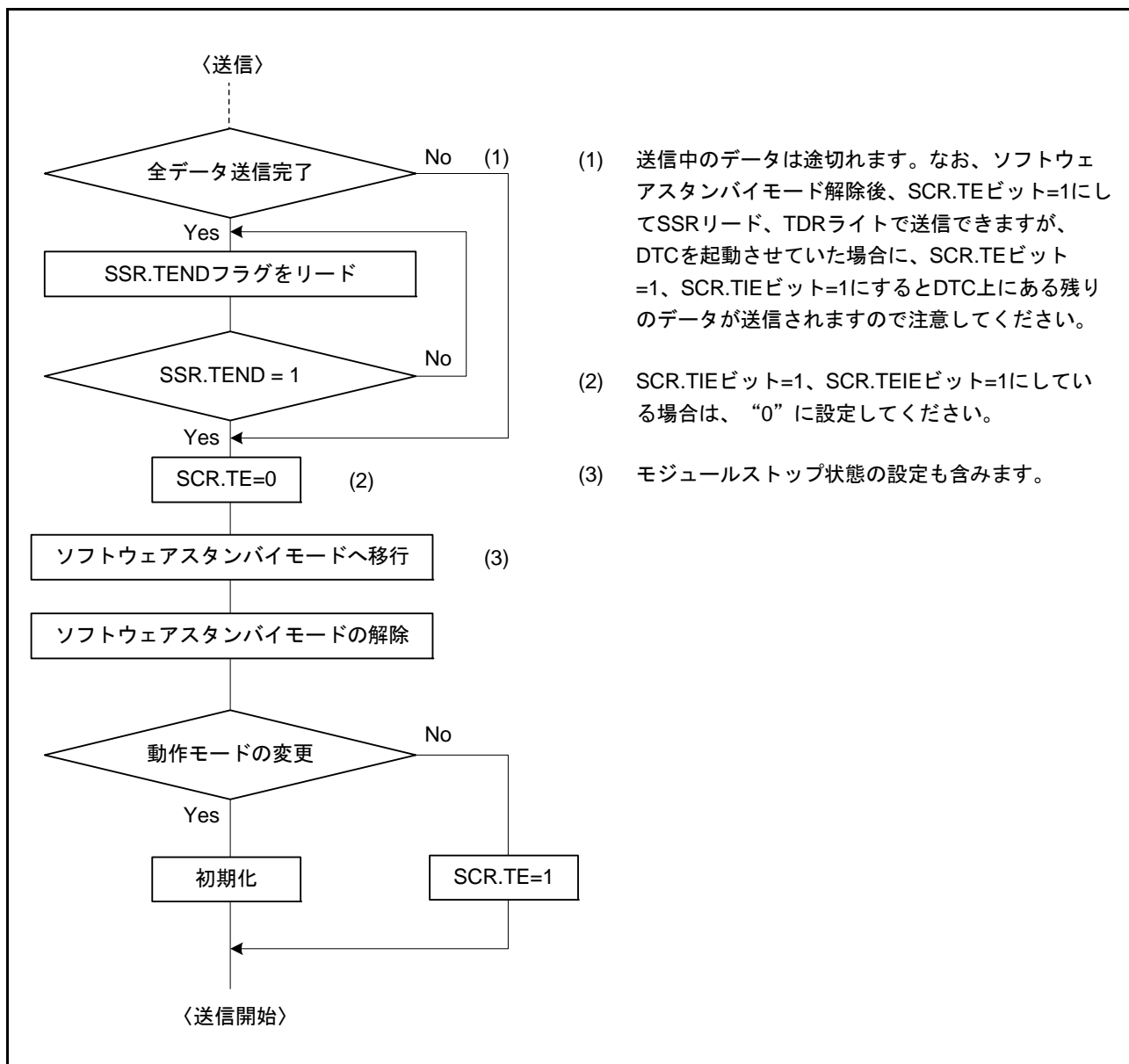


図 20.32 送信時のソフトウェアスタンバイモード移行フローチャートの例

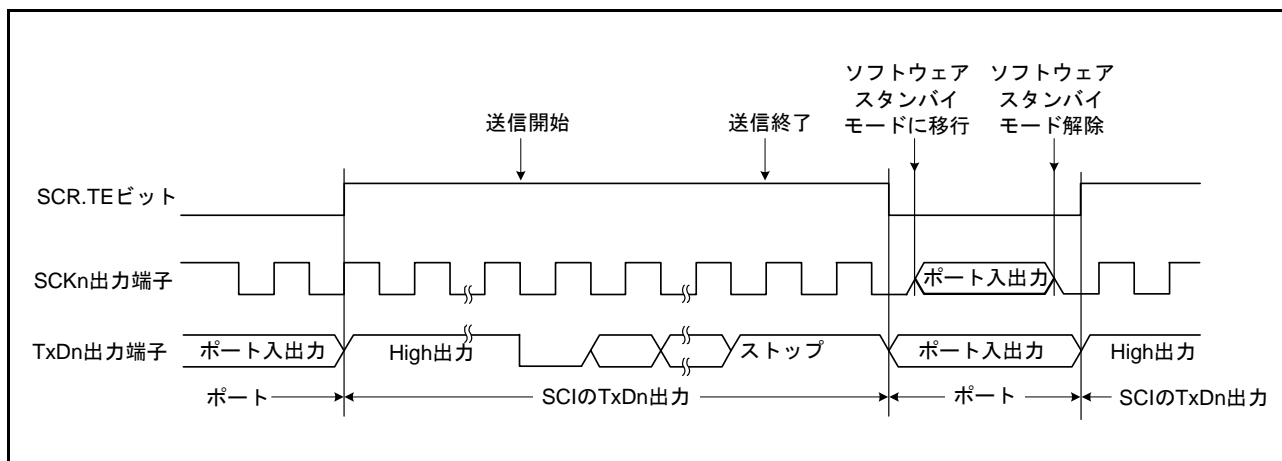


図 20.33 ソフトウェアスタンバイモード移行時のポートの端子状態 (内部クロック、調歩同期送信)

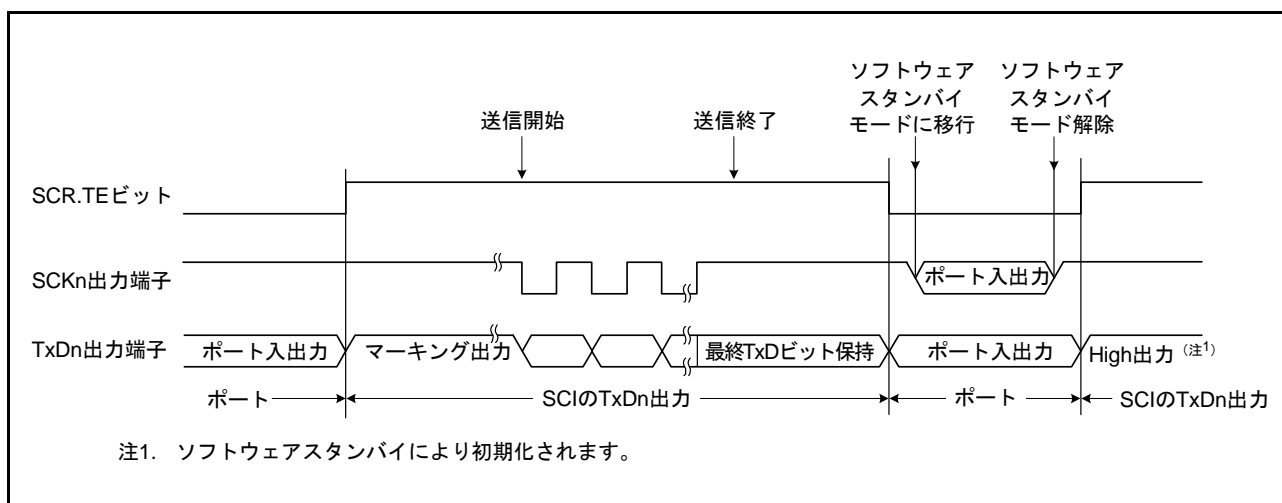


図 20.34 ソフトウェアスタンバイモード移行時のポートの端子状態 (内部クロック、クロック同期送信)

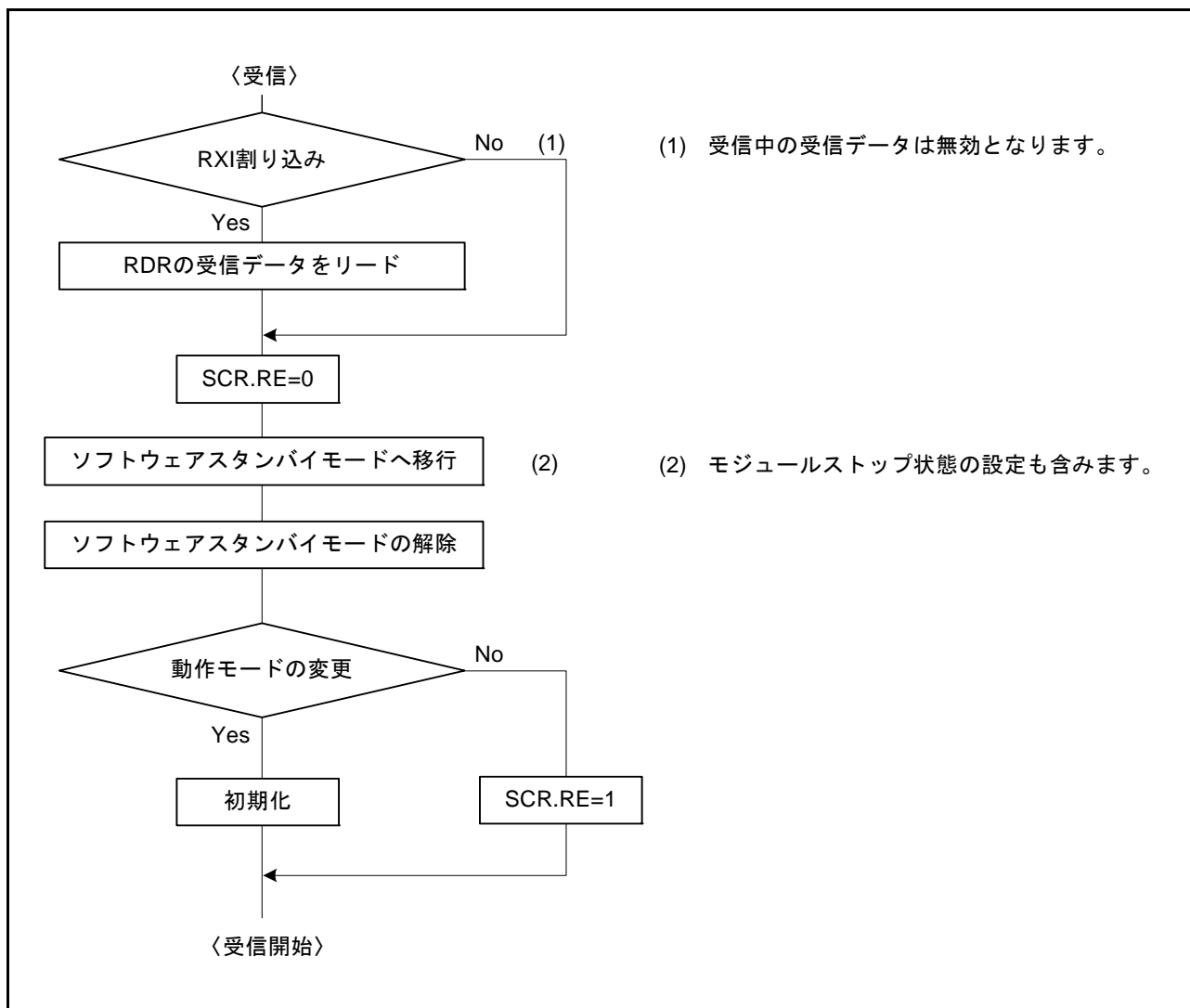


図 20.35 受信時のソフトウェアスタンバイモード移行フローチャートの例

20.7.9 クロック同期式モード外部クロック入力

クロック同期式モード時、外部クロック SCKn 入力は、High パルス期間および Low パルス期間を 2 クロック以上、周期を 6 クロック以上としてください。

21. CRC 演算器 (CRC)

CRC (Cyclic Redundancy Check) 演算器は、データブロックのCRCコード生成を行います。

21.1 概要

表 21.1 に CRC 演算器の仕様を示します。図 21.1 に CRC 演算器のブロック図を示します。

表 21.1 CRC 演算器の仕様

項目	内容
CRC 演算対象データ (注1)	8nビットのデータに対してCRCコード生成 (n=自然数)
データブロックサイズ	8ビット
CRC 演算処理方式	8ビット並列実行
CRC 生成多項式	3つの多項式から選択可能 <ul style="list-style-type: none"> 8ビットCRC $X^8 + X^2 + X + 1$ 16ビットCRC $X^{16} + X^{15} + X^2 + 1$ $X^{16} + X^{12} + X^5 + 1$
CRC 演算切り替え	LSB ファースト/MSB ファースト通信用CRCコード生成から選択可能
消費電力低減機能	モジュールストップ状態の設定可能

注1. 演算対象データをデータブロックに分割する機能はありません。8ビット単位で書いてください。

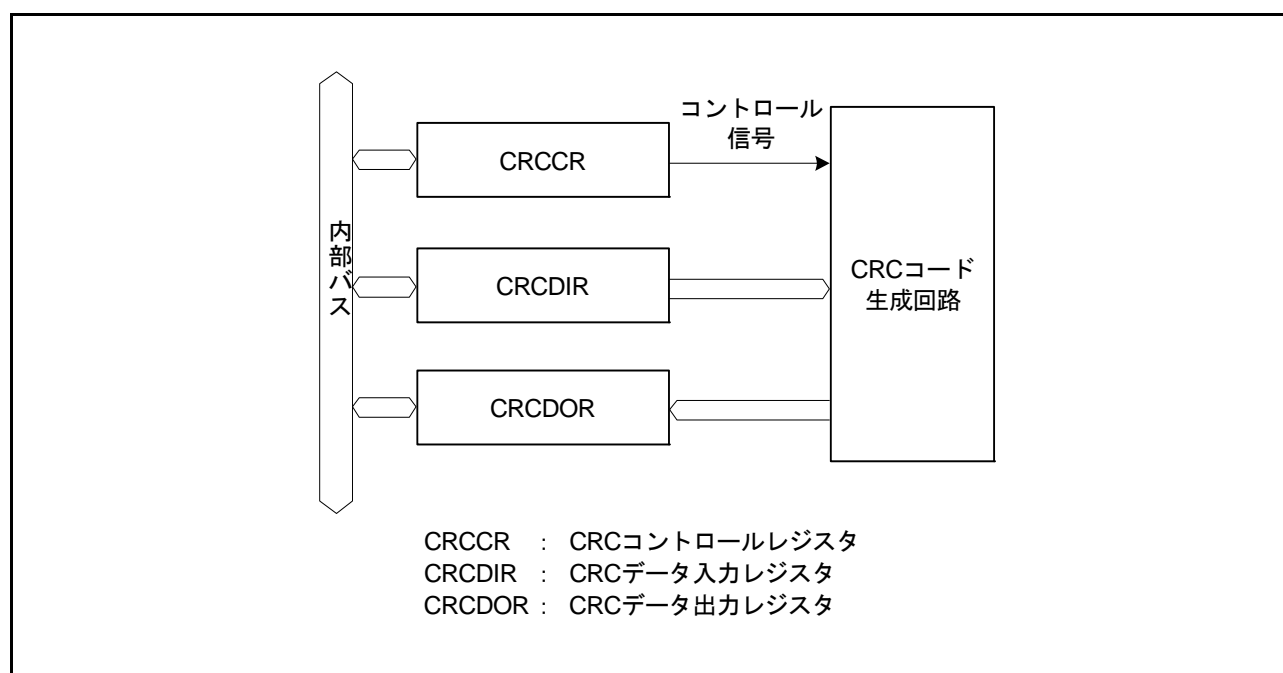


図 21.1 CRC 演算器のブロック図

21.2 レジスタの説明

表 21.2 に CRC 演算器のレジスタ一覧を示します。

表21.2 CRC演算器のレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
CRCコントロールレジスタ	CRCCR	00h	0008 8280h	8
CRCデータ入力レジスタ	CRCDIR	00h	0008 8281h	8
CRCデータ出力レジスタ	CRCDOR	0000h	0008 8282h	16

21.2.1 CRC コントロールレジスタ (CRCCR)

アドレス 0008 8280h

b7	b6	b5	b4	b3	b2	b1	b0
DORCLR	—	—	—	—	LMS	GPS[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	GPS[1:0]	CRC生成多項式切り替えビット	b1 b0 0 0 : 演算しません 0 1 : $X^8 + X^2 + X + 1$ 1 0 : $X^{16} + X^{15} + X^2 + 1$ 1 1 : $X^{16} + X^{12} + X^5 + 1$	R/W
b2	LMS	CRC演算切り替えビット	0 : LSBファーストで通信する場合のCRC演算を行う CRCDORレジスタの値 (CRCコード) をバイト単位に分けて送信する場合、下位バイト (b7~b0) を先に送信してください。 1 : MSBファーストで通信する場合のCRC演算を行う CRCDORレジスタの値 (CRCコード) をバイト単位に分けて送信する場合、上位バイト (b15~b8) を先に送信してください。	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DORCLR	CRCDORレジスタクリアビット	0 : 動作に影響を与えません 1 : CRCDORレジスタをクリア 読むと“0”が読めます。	W

CRCCR レジスタは、CRC 演算器の初期化、演算切り替え、生成多項式を選択するレジスタです。

GPS[1:0] ビット (CRC 生成多項式切り替えビット)

CRC コード生成多項式を選択します。

LMS ビット (CRC 演算切り替えビット)

LSB ファースト通信用 CRC コード生成か、MSB ファースト通信用 CRC コード生成かを選択します。

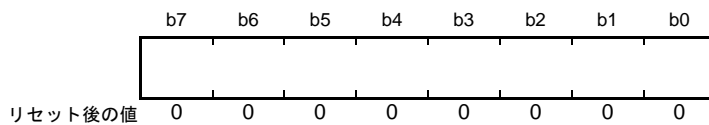
DORCLR ビット (CRCDOR レジスタクリアビット)

DORCLR ビットを“1”にすると、CRCDOR レジスタが“0000h”になります。

読むと、“0”が読めます。

21.2.2 CRC データ入力レジスタ (CRCDIR)

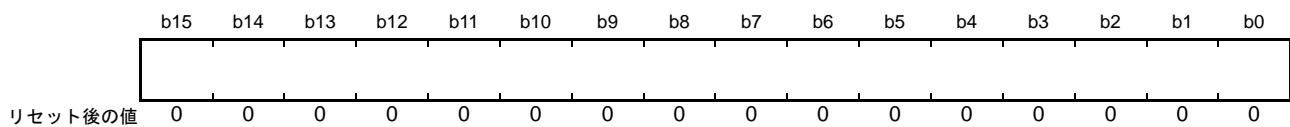
アドレス 0008 8281h



CRCDIR レジスタは、CRC 演算対象となるデータブロックを設定するための 8 ビットのリード/ライト可能なレジスタです。

21.2.3 CRC データ出力レジスタ (CRCDOR)

アドレス 0008 8282h



CRCDOR レジスタは、演算結果を格納するための 16 ビットのリード/ライト可能なレジスタです。

一般に、通信データの検査のために通信データに続いて CRC コードを演算するとエラーがない場合には“0”となります。

8 ビット CRC ($X^8 + X^2 + X + 1$ の多項式) を使用した場合は、下位バイト (b7-b0) に有効な CRC コードが得られます。上位バイト (b15-b8) は、更新されません。

21.3 CRC演算器の動作説明

CRC演算器は、LSBファースト/MSBファースト通信用CRCコードを生成します。

以下にCRC_{CR}.GPS[1:0]ビットを“11b”として、16ビットCRC ($X^{16} + X^{12} + X^5 + 1$ の多項式)を使用し、データ“F0h”についてCRCコードを生成する場合の使用例を示します。

8ビットCRC ($X^8 + X^2 + X + 1$ の多項式)を使用した場合は、CRC_{DOR}レジスタの下位バイトに有効なCRCコードが得られます。

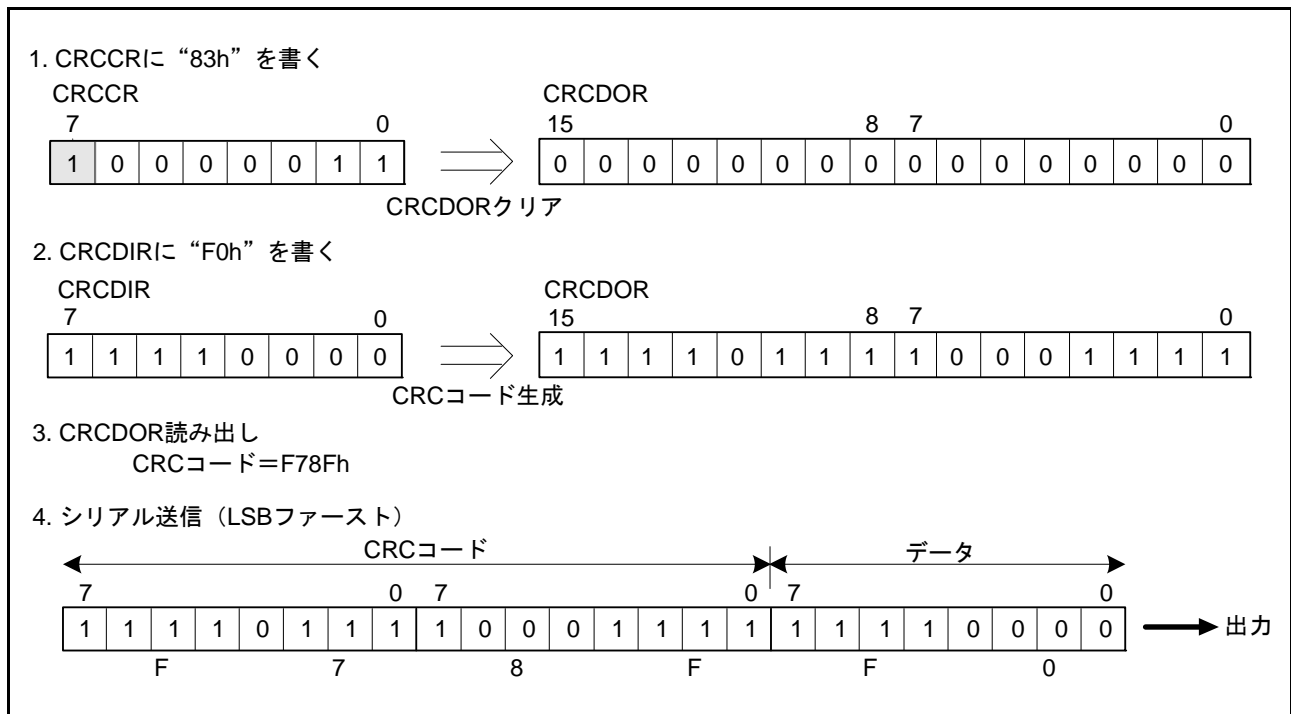


図 21.2 LSBファーストでのデータ送信

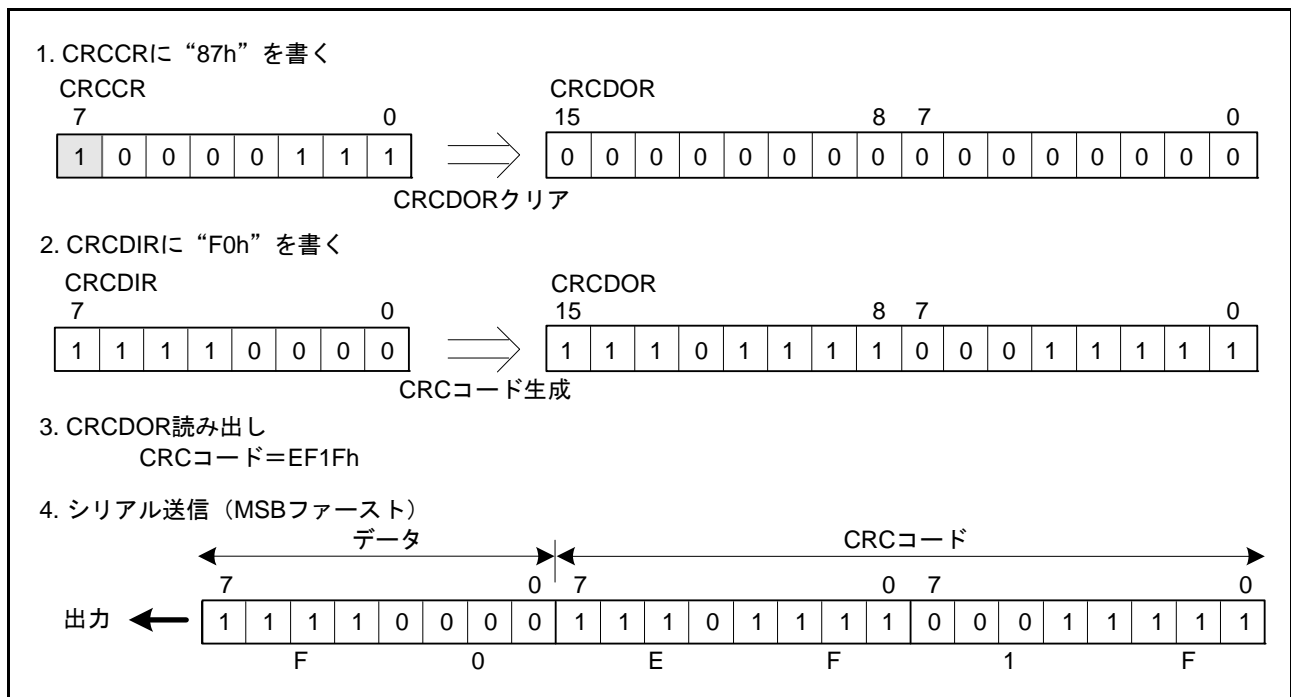


図 21.3 MSBファーストでのデータ送信

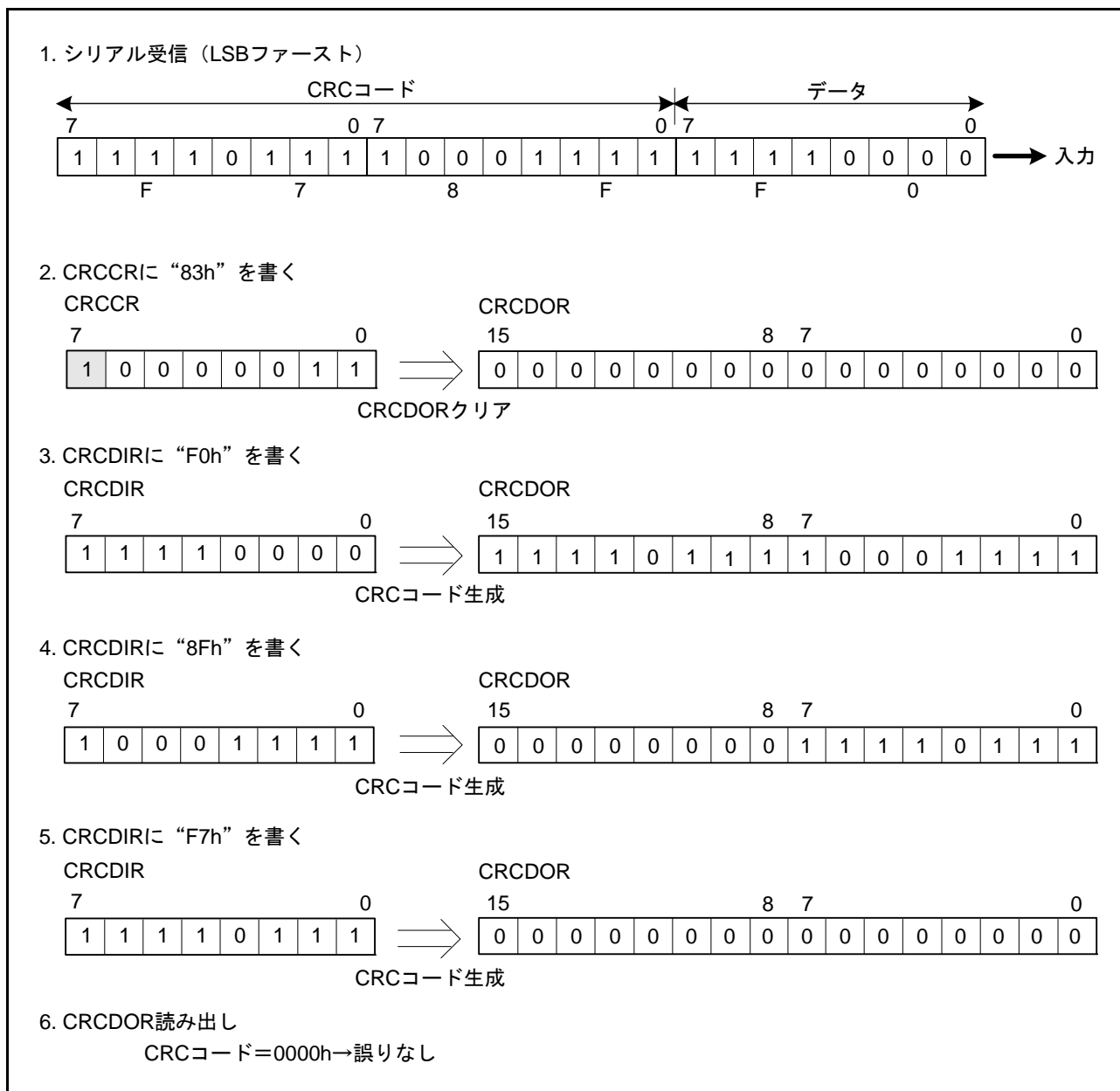


図 21.4 LSBファーストでのデータ受信

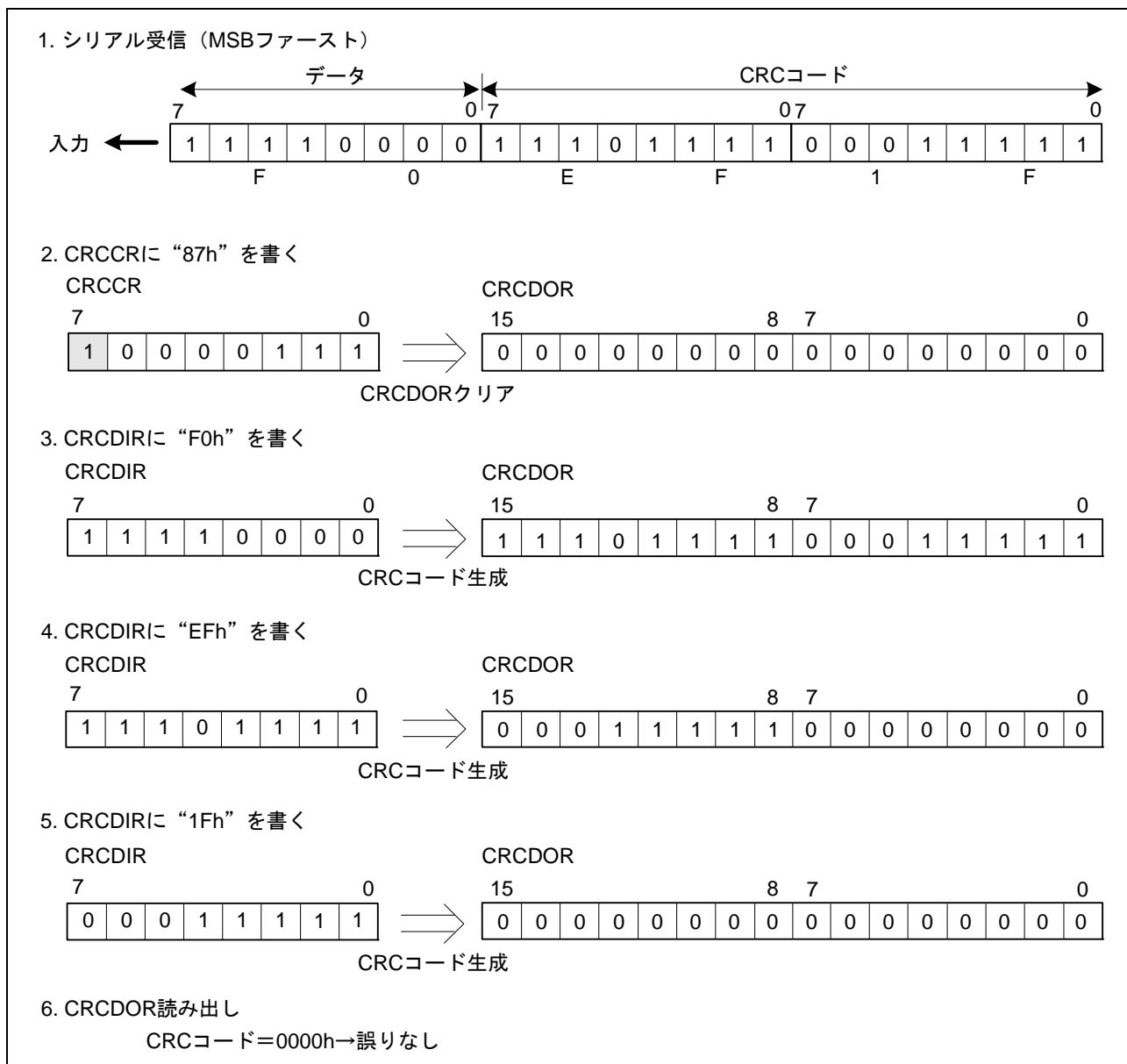


図 21.5 MSBファーストでのデータ受信

21.4 使用上の注意事項

21.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、CRC 演算器の動作禁止 / 許可を設定することが可能です。初期値では、CRC 演算器の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「8. 消費電力低減機能」を参照してください。

21.5 転送時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とでは、CRC コードを送る順序が異なりますので注意してください。

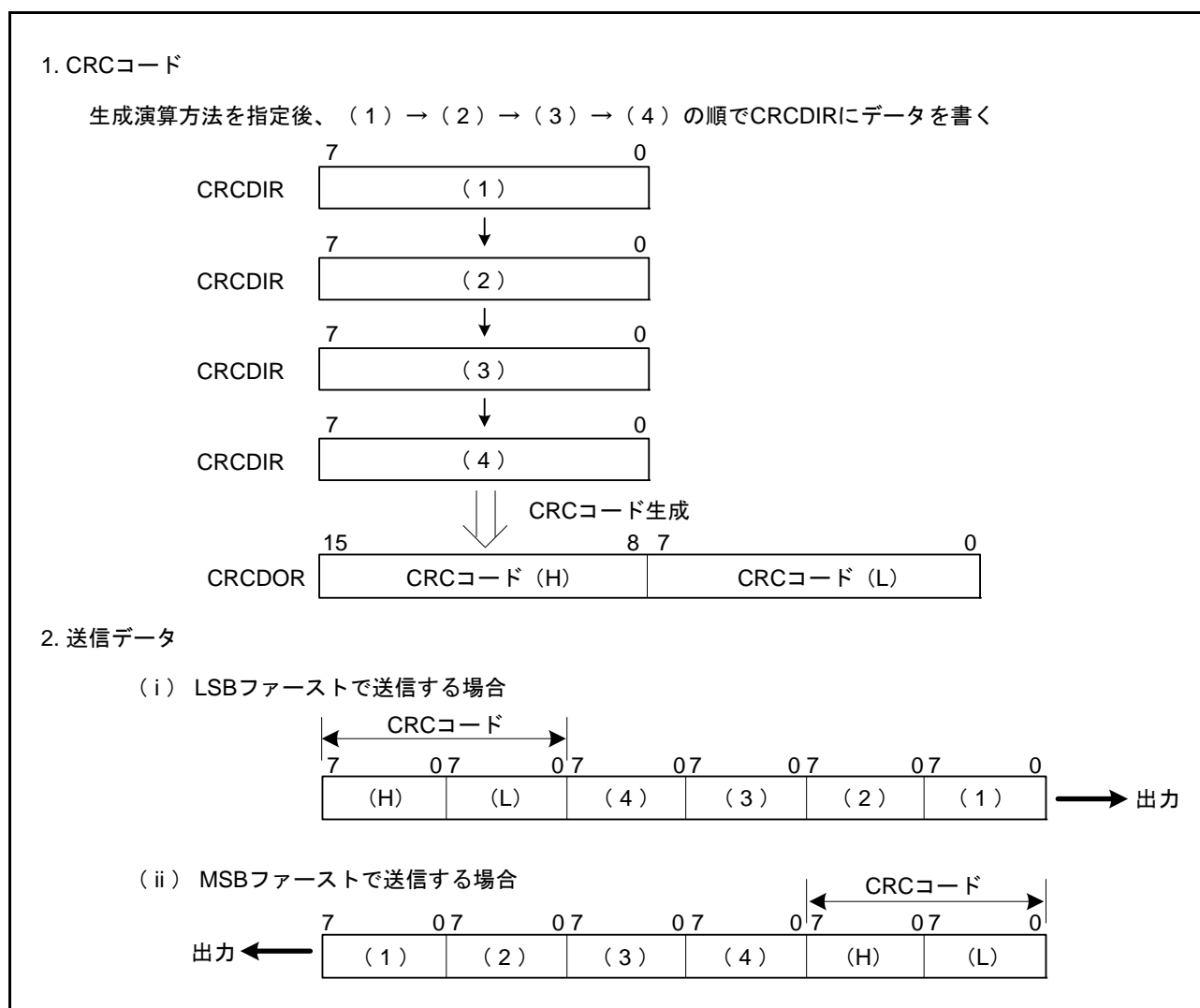


図 21.6 LSB ファーストと MSB ファーストの送信データ

22. I²Cバスインタフェース (RIIC)

RX610グループは、2チャンネルのI²Cバスインタフェース (RIIC) を内蔵しています。

RIICは、NXP社が提唱するI²Cバス (Inter-IC-Bus) インタフェース方式に準拠しており、そのサブセット機能を搭載しています。

22.1 概要

表 22.1 に RIIC の仕様を、図 22.1 に RIIC のブロック図を、図 22.2 に入出力端子の外部回路接続例 (I²Cバス構成例) を示します。表 22.2 に RIIC で使用する入出力端子を示します。

表 22.1 RIICの仕様

項目	内容
通信フォーマット	<ul style="list-style-type: none"> I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブ選択可能 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	~1Mbps
SCLクロック	マスタ時、SCLクロックのデューティ比を4%~96%の範囲で設定可能
条件発行・条件検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション (リスタートコンディション含む) /ストップコンディション検出可能
スレーブアドレス	<ul style="list-style-type: none"> スレーブアドレスを3セット設定可能 7ビット/10ビットアドレスフォーマット対応 (混在可能) ジェネラルコールアドレス検出、デバイスIDアドレス検出、SMBusのホストアドレス検出可能
アクノリッジ応答	<ul style="list-style-type: none"> 送信時、アクノリッジビットの自動ロード ノアクノリッジ受信時に次送信データ転送の自動中断が可能 受信時、アクノリッジビットの自動送 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能
ウェイト機能	<ul style="list-style-type: none"> 受信時、SCLクロックのLowホールドによるウェイトが可能 8クロック目と9クロック目の間をウェイト 9クロック目と1クロック目の間をウェイト (WAIT機能)
SDA出力遅延機能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能
アービトレーション	<ul style="list-style-type: none"> マルチマスタ対応 他のマスタとのSCLクロック衝突時、SCLクロックの同期動作可能 スタートコンディション発行競合時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 マスタ時、送信データ不一致でアービトレーションロスト検出可能 バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能 (スタートコンディションの二重発行防止) ノアクノリッジ送信時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能によりSCLクロックの長時間停止を検出可能
ノイズ除去	SCL、SDA入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をプログラマブルに調整可能
割り込み要因	<ul style="list-style-type: none"> 4種類 通信エラー/イベント発生 (AL検出、NACK検出、タイムアウト検出、スタートコンディション検出 (リスタートコンディション含む)、ストップコンディション検出) 受信データフル (スレーブアドレス一致時含む) 送信データエンプティ (スレーブアドレス一致時含む) 送信終了

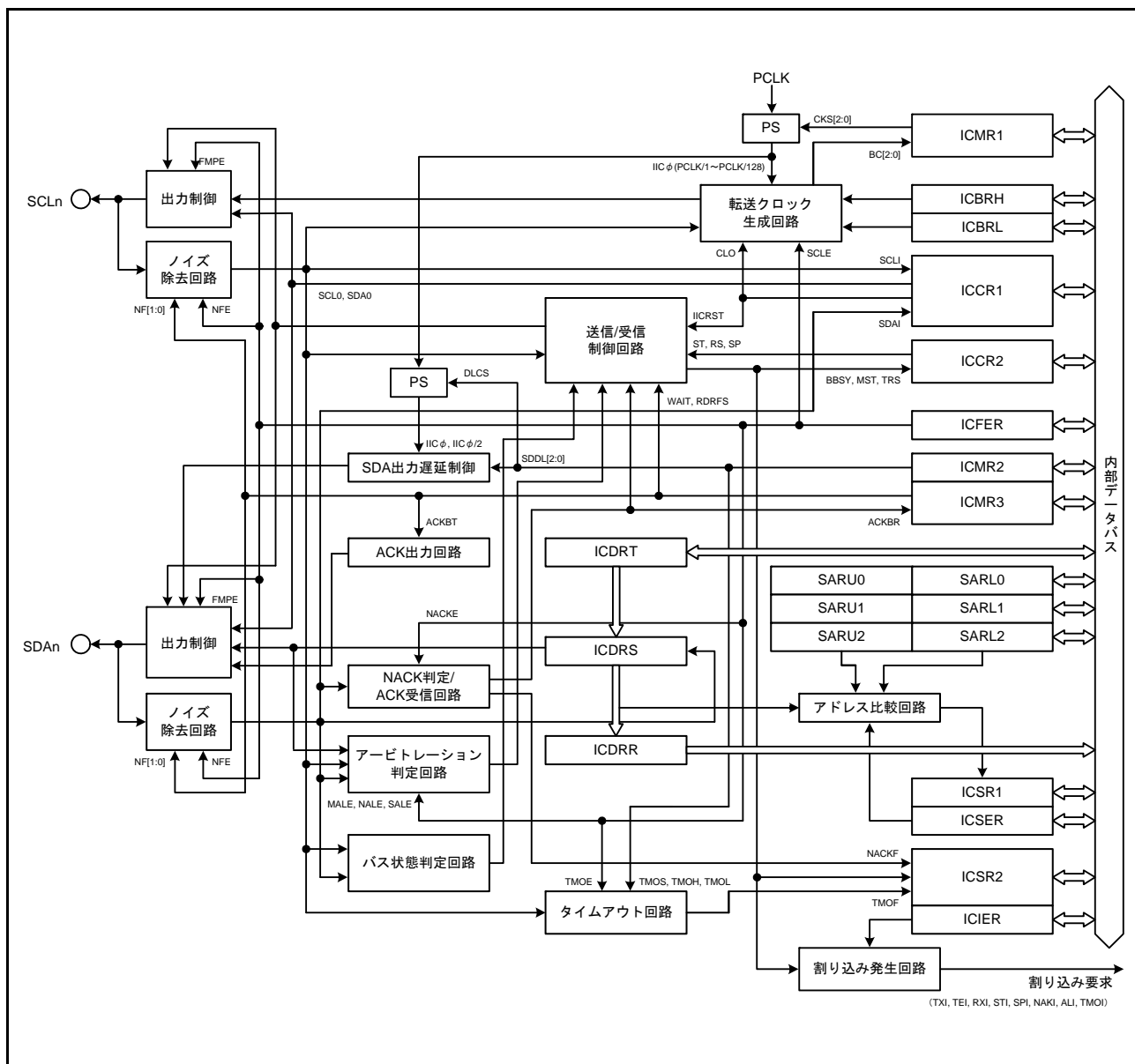


図 22.1 RIIC のブロック図

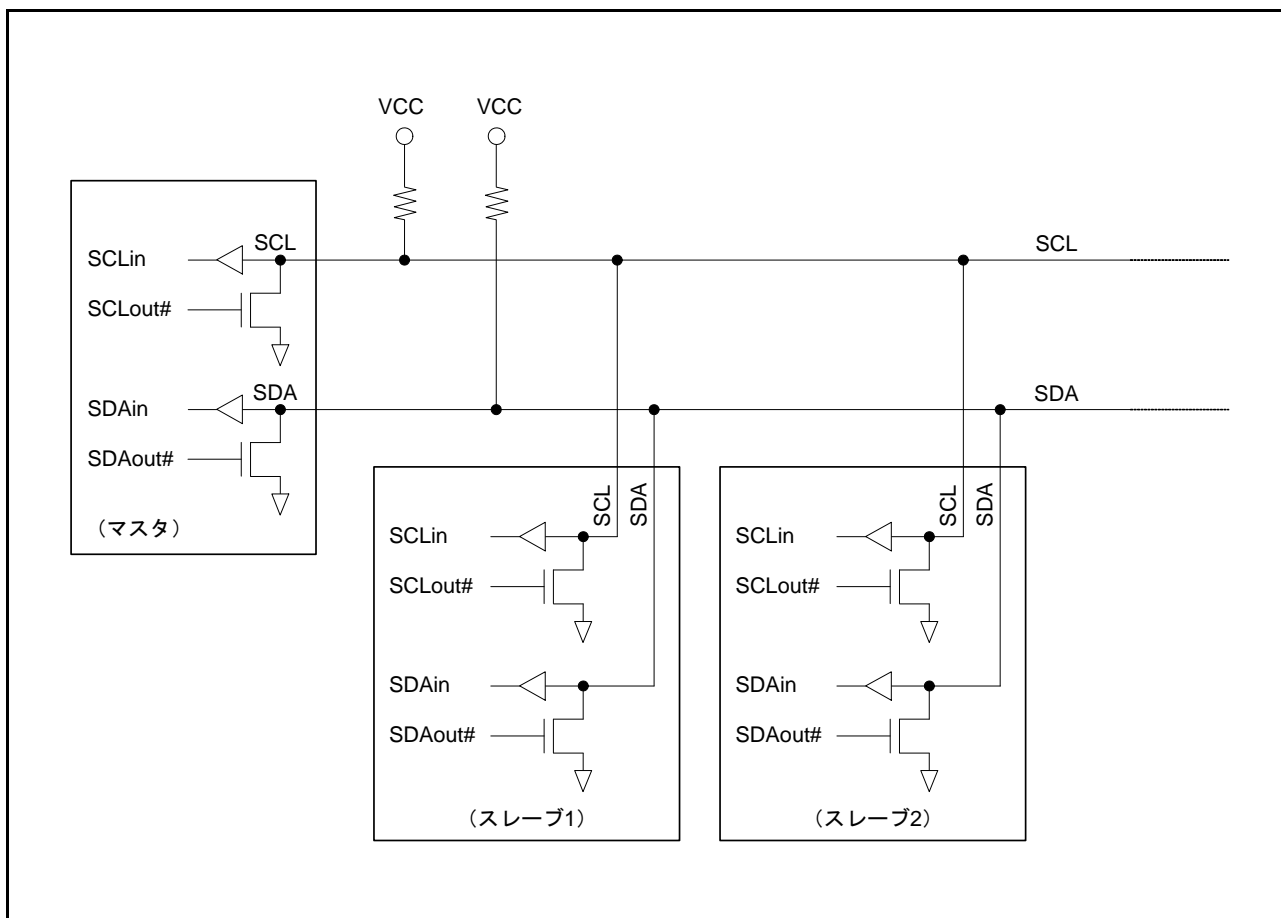


図 22.2 入出力端子の外部回路接続例 (I²C バス構成例)

表 22.2 RIICの入出力端子

チャンネル	端子名	入出力	機能
RIIC0	SCL0	入出力	RIIC0側シリアルクロック入出力端子
	SDA0	入出力	RIIC0側シリアルデータ入出力端子
RIIC1	SCL1	入出力	RIIC1側シリアルクロック入出力端子
	SDA1	入出力	RIIC1側シリアルデータ入出力端子

22.2 レジスタの説明

表 22.3 に RIIC のレジスタ一覧を示します。

表22.3 RIICのレジスタ一覧 (1 / 2)

チャンネル	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
RIIC0	I ² Cバスコントロールレジスタ1	ICCR1	1Fh	0008 8300h	8
	I ² Cバスコントロールレジスタ2	ICCR2	00h	0008 8301h	8
	I ² Cバスモードレジスタ1	ICMR1	08h	0008 8302h	8
	I ² Cバスモードレジスタ2	ICMR2	06h	0008 8303h	8
	I ² Cバスモードレジスタ3	ICMR3	00h	0008 8304h	8
	I ² Cバスファンクションイネーブルレジスタ	ICFER	72h	0008 8305h	8
	I ² Cバスステータスイネーブルレジスタ	ICSER	09h	0008 8306h	8
	I ² Cバスインタラプトイネーブルレジスタ	ICIER	00h	0008 8307h	8
	I ² Cバスステータスレジスタ1	ICSR1	00h	0008 8308h	8
	I ² Cバスステータスレジスタ2	ICSR2	00h	0008 8309h	8
	スレーブアドレスレジスタL0	SARL0	00h	0008 830Ah	8
	タイムアウト内部カウンタL	TMOCNTL	0000h	0008 830Ah	16
	スレーブアドレスレジスタU0	SARU0	00h	0008 830Bh	8
	タイムアウト内部カウンタU	TMOCNTU	0000h	0008 830Bh	16
	スレーブアドレスレジスタL1	SARL1	00h	0008 830Ch	8
	スレーブアドレスレジスタU1	SARU1	00h	0008 830Dh	8
	スレーブアドレスレジスタL2	SARL2	00h	0008 830Eh	8
	スレーブアドレスレジスタU2	SARU2	00h	0008 830Fh	8
	I ² Cバスビットレートローレベルレジスタ	ICBRL	FFh	0008 8310h	8
	I ² Cバスビットレートハイレベルレジスタ	ICBRH	FFh	0008 8311h	8
	I ² Cバス送信データレジスタ	ICDRT	FFh	0008 8312h	8
	I ² Cバス受信データレジスタ	ICDRR	00h	0008 8313h	8
	I ² Cバスシフトレジスタ	ICDRS	—	—	8

表22.3 RIICのレジスタ一覧 (2 / 2)

チャンネル	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
RIIC1	I ² Cバスコントロールレジスタ1	ICCR1	1Fh	0008 8320h	8
	I ² Cバスコントロールレジスタ2	ICCR2	00h	0008 8321h	8
	I ² Cバスモードレジスタ1	ICMR1	08h	0008 8322h	8
	I ² Cバスモードレジスタ2	ICMR2	06h	0008 8323h	8
	I ² Cバスモードレジスタ3	ICMR3	00h	0008 8324h	8
	I ² Cバスファンクションイネーブルレジスタ	ICFER	72h	0008 8325h	8
	I ² Cバスステータスイネーブルレジスタ	ICSER	09h	0008 8326h	8
	I ² Cバスインタラプトイネーブルレジスタ	ICIER	00h	0008 8327h	8
	I ² Cバスステータスレジスタ1	ICSR1	00h	0008 8328h	8
	I ² Cバスステータスレジスタ2	ICSR2	00h	0008 8329h	8
	スレーブアドレスレジスタL0	SARL0	00h	0008 832Ah	8
	タイムアウト内部カウンタL	TMOCNTL	0000h	0008 832Ah	16
	スレーブアドレスレジスタU0	SARU0	00h	0008 832Bh	8
	タイムアウト内部カウンタU	TMOCNTU	0000h	0008 832Bh	16
	スレーブアドレスレジスタL1	SARL1	00h	0008 832Ch	8
	スレーブアドレスレジスタU1	SARU1	00h	0008 832Dh	8
	スレーブアドレスレジスタL2	SARL2	00h	0008 832Eh	8
	スレーブアドレスレジスタU2	SARU2	00h	0008 832Fh	8
	I ² Cバスビットレートローレベルレジスタ	ICBRL	FFh	0008 8330h	8
	I ² Cバスビットレートハイレベルレジスタ	ICBRH	FFh	0008 8331h	8
I ² Cバス送信データレジスタ	ICDRT	FFh	0008 8332h	8	
I ² Cバス受信データレジスタ	ICDRR	00h	0008 8333h	8	
I ² Cバスシフトレジスタ	ICDRS	—	—	8	

22.2.1 I²Cバスコントロールレジスタ1 (ICCR1)

アドレス RIIC0.ICCR1 0008 8300h、RIIC1.ICCR1 0008 8320h

b7	b6	b5	b4	b3	b2	b1	b0
ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI

リセット後の値 0 0 0 1 1 1 1 1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDAバス入力モニタビット	0 : SDA _n 端子入力はLow 1 : SDA _n 端子入力はHigh	R
b1	SCLI	SCLバス入力モニタビット	0 : SCL _n 端子入力はLow 1 : SCL _n 端子入力はHigh	R
b2	SDAO	SDA出力制御ビット	<ul style="list-style-type: none"> 読み出し時 0 : SDA_n端子はLow出力 1 : SDA_n端子はハイインピーダンス 書き込み時 0 : SDA_n端子をLow出力に変更 1 : SDA_n端子をハイインピーダンスに変更 (外部プルアップ抵抗によりHigh出力) 	R/W (注1、注2)
b3	SCLO	SCL出力制御ビット	<ul style="list-style-type: none"> 読み出し時 0 : SCL_n端子はLow出力 1 : SCL_n端子はハイインピーダンス 書き込み時 0 : SCL_n端子をLow出力に変更 1 : SCL_n端子をハイインピーダンスに変更 (外部プルアップ抵抗によりHigh出力) 	R/W (注1、注2)

ビット	シンボル	ビット名	機能	R/W
b4	SOWP	SCLO/SDAOライトプロテクトビット	0: SCLO、SDAOビットの値を設定 (読むと“1”が読めます。)	R/W (注2)
b5	CLO	SCLクロック追加出力ビット	0: SCLクロックを追加で出力しない (通常状態) 1: SCLクロックを追加で出力する (1クロック出力後、自動的に“0”になる)	R/W
b6	IICRST	I ² Cバスインタフェース 内部リセットビット	0: RIIC/内部リセット解除 1: RIIC/内部リセット状態 (ビットカウンタのクリア、SCLn/SDAn出力ラッチを解除)	R/W
b7	ICE	I ² Cバスインタフェース許可ビット	0: RIICは機能停止 (SCLn端子/SDAn端子はポート機能) 1: RIICは転送動作可能 (SCLn端子/SDAn端子はバス駆動)	R/W

注1. 通信中に書き込みをしないでください。通信中に値を変更すると、送信/受信動作の異常動作やALエラーが発生する場合があります。

注2. SDAOビットおよびSCLOビットを書き換える場合は、SOWPビットを“0”にするのと同時に書き換えてください。

ICCR1レジスタは、RIICの動作/停止、RIICの内部状態のリセット、SCLクロックの追加出力、SCLn端子/SDAn端子の操作、SCLn端子/SDAn端子のモニタなどを行うレジスタです。

SDAIビット (SDAバス入力モニタビット)

SDAn端子の入力レベルを示します。

SCLIビット (SCLバス入力モニタビット)

SCLn端子の入力レベルを示します。

SDAO ビット (SDA 出力制御ビット)

SDAn 端子の出力レベルを制御します。また、SDAn 端子の出力状態を示します。

SCLO ビット (SCL 出力制御ビット)

SCLn 端子の出力レベルを制御します。また、SCLn 端子の出力状態を示します。

SOWP ビット (SCLO/SDAO ライトプロテクトビット)

SCLO、SDAO ビットへの書き込みを制御します。

CLO ビット (SCL クロック追加出力ビット)

SCL クロックを 1 クロック単位で追加出力をする機能で、デバッグ時または異常処理時に使用します。通常は“0”にしてください。正常な通信動作中に使用すると通信エラーの原因になります。本機能の詳細については、「22.11.2 SCL クロック追加出力機能」を参照してください。

IICRST ビット (I²C バス内部リセットビット)

RIIC の内部状態をリセットします。

IICRST ビットを“1”にすると、RIIC リセットまたは内部リセットを行うことができます。

RIIC リセット、内部リセットは ICE ビットとの組み合わせによって決定します。表 22.4 に RIIC のリセットの種類を示します。

RIIC リセットでは ICCR2.BBSY フラグを含めた全レジスタおよび内部状態を、内部リセットではビットカウンタ (ICMR1.BC[2:0] ビット)、I²C バスシフトレジスタ (ICDRS)、I²C バスステータスレジスタ (ICSR1、ICSR2) および内部状態をリセットします。各レジスタのリセット状況については、「22.14 リセット状況」を参照してください。

動作中 (ICE ビット =1 の状態)、通信不具合などによりバス状態や RIIC がハングアップしたときに IICRST ビットを“1”にすると、ポートの設定、RIIC の各コントロールレジスタや設定レジスタを初期化せずに RIIC の内部状態をリセットすることができます。

また RIIC が Low を出力したままハングアップした場合、内部状態をリセットすることで SCLn 端子 /SDAn 端子をハイインピーダンスにしてバスを解放することができます。

- 注 1. スレーブモード時でマスタデバイスと通信中にバスハングアップなどにより IICRST ビットで内部リセットを行うと、マスタデバイスの状態と異なる状態（主に双方のビットカウンタ情報に差異が生じる）になる可能性があるため、スレーブモード時には基本的に内部リセットは行わず、復帰処理はマスタデバイスから行うようにしてください。もし、RIIC がスレーブモード時に SCLn ラインを Low 出力状態のままハングアップして内部リセットが必要な場合には、内部リセット後にマスタデバイスからリスタートコンディション発行、またはストップコンディション発行後スタートコンディション発行から通信をやり直すようにしてください。スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ズレの原因になります。

表 22.4 RIIC のリセットの種類

IICRST	ICE	状態	内容
1	0	RIIC リセット	RIIC 全レジスタおよび内部状態をリセット
	1	内部リセット	ICMR1.BC[2:0] ビット、ICSR1、ICSR2、ICDRS レジスタおよび内部状態をリセット

ICE ビット (I²C バスインタフェース許可ビット)

RIIC の転送動作可能 / 機能停止を選択します。

ICE ビットを“0”（機能停止）にすると SCLn 端子 /SDAn 端子はポート機能になります。また、ICE ビットが“0”のとき IICRST ビットを“1”にすると RIIC リセット、ICE ビットが“1”のとき IICRST ビットを“1”にすると内部リセットになります。

なお、予期せぬ通信開始を防止するため RIIC のレジスタの設定を行う際には、ICE ビットを“0”（機能停止）にし、すべてのレジスタ設定が完了した後 ICE ビットを“1”（転送動作可能状態）にしてください。

- 注 1. RX610 グループの端子機能は、I²C バス端子以外の他の機能にも割り当てられています。端子を I²C バス端子（SCLn 端子 /SDAn 端子）として使用する場合には、割り当てられている機能の出力を禁止してください。また I²C バス端子の SCLn 端子 /SDAn 端子はともに入出力端子ですので、該当する I/O ポートの Pm.DDR レジスタは“0”（入力）に設定し、Pm.ICR レジスタは“1”（入力バッファ有効）に設定してください。

22.2.2 I²Cバスコントロールレジスタ 2 (ICCR2)

アドレス RIIC0.ICCR2 0008 8301h、RIIC1.ICCR2 0008 8321h

	b7	b6	b5	b4	b3	b2	b1	b0
	BBSY	MST	TRS	—	SP	RS	ST	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	ST	スタートコンディション発行要求ビット	0: スタートコンディションの発行を要求しない 1: スタートコンディションの発行を要求する	R/W
b2	RS	リスタートコンディション発行要求ビット	0: リスタートコンディションの発行を要求しない 1: リスタートコンディションの発行を要求する	R/W
b3	SP	ストップコンディション発行要求ビット	0: ストップコンディションの発行を要求しない 1: ストップコンディションの発行を要求する	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	TRS	送信/受信モードビット	0: 受信モード 1: 送信モード	R/W (注1)
b6	MST	マスタ/スレーブモードビット	0: スレーブモード 1: マスタモード	R/W (注1)
b7	BBSY	バスビジー検出フラグ	0: I ² Cバスが解放状態 (バスフリー状態) 1: I ² Cバスが占有状態 (バスビジー状態またはバスフリーの期間中)	R

注1. ICMR1.MTWPビットが“1”のとき、MST、TRSビットへの書き込みができます。

ICCR2 レジスタは、I²Cバスインタフェースの制御を行うレジスタで、I²Cバスの占有 / 解放を持ちます。

ST ビット (スタートコンディション発行要求ビット)

マスタモードへの移行およびスタートコンディションの発行を要求します。

ST ビットが“1”になるとスタートコンディションの発行を要求し、BBSY フラグが“0” (バスフリー) のときスタートコンディションの発行を行います。

スタートコンディション発行の詳細については、「22.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

[“1”になる条件]

- “1”を書いたとき

[“0”になる条件]

- “0”を書いたとき
- スタートコンディションの発行が完了したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注1. ST ビットは、BBSY フラグが“0” (バスフリー) のとき、“1” (スタートコンディション発行要求) にしてください。BBSY フラグが“1” (バスビジー) のとき、ST ビットを“1” (スタートコンディション発行要求) にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

RS ビット (リスタートコンディション発行要求ビット)

マスタモードでリスタートコンディションの発行を要求します。

RS ビットが“1”になるとリスタートコンディションの発行を要求し、BBSY フラグが“1” (バスビジー) でかつ MST ビットが“1” (マスタモード) のとき、リスタートコンディションの発行を行います。

リスタートコンディション発行の詳細動作については、「22.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

[“1”になる条件]

- ICCR2.BBSY フラグが“1”の状態、“1”を書いたとき

[“0”になる条件]

- “0”を書いたとき
- リスタートコンディションの発行が完了したとき、またはスタートコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注1. ストップコンディション発行中に RS ビットを“1”にしないでください。

注2. マスタモード以外で RS ビットに“1” (リスタートコンディション発行要求) を書いた場合、リスタートコンディションはその動作モードでは発行されずに RS ビットは“1”のままになります。このまま動作モードをマスタモードに移行させた場合、リスタートコンディションが発行される可能性がありますので注意してください。

SP ビット (ストップコンディション発行要求ビット)

マスタモードでストップコンディションの発行を要求します。

SP ビットが“1”になるとストップコンディションの発行を要求し、BBSY フラグが“1” (バスビジー) でかつ MST ビットが“1” (マスタモード) のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、「22.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

[“1”になる条件]

- ICCR2.BBSY フラグが“1”でかつ ICCR2.MST ビットが“1”の状態、“1”を書いたとき

[“0”になる条件]

- “0”を書いたとき
- ストップコンディションの発行が完了したとき、またはストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- スタートコンディションおよびリスタートコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注1. BBSY フラグ=0 (バスフリー) のとき書き込みはできません。

注2. リスタートコンディション発行中に SP ビットを“1”にしないでください。

TRS ビット (送信/受信モードビット)

送信/受信モードを示すビットです。

TRS ビットが“0”のとき受信モード、TRS ビットが“1”のとき送信モードを表し、MST ビットとの組み合わせで RIIC の動作モードを表します。

TRS ビットは、スタートコンディションの発行/検出および R/W# ビットなどで“1”/“0”になり、動作モードは自動的に送信モードまたは受信モードに移行します。ICMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

[“1”になる条件]

- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき (ST ビットが“1”の状態、スタートコンディションを検出したとき)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが“0”のとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“1”を受信したとき
- ICMR1.MTWP ビットが“1”の状態、“1”を書いたとき

[“0”になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが“1”のとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“0”を受信したとき (ジェネラルコールアドレス含む)
- スレーブモード時、リスタートコンディションを検出したとき (ICCR2.BBSY=1、ICCR2.MST=0 の状態でスタートコンディションを検出したとき)
- ICMR1.MTWP ビットが“1”の状態、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

MST ビット (マスタ/スレーブモードビット)

マスタモード/スレーブモードを示すビットです。

MST ビットが“0”のときスレーブモード、MTS ビットが“1”のときマスタモードを表し、TRS ビットとの組み合わせで RIIC の動作モードを表します。

MST ビットは、スタートコンディションの発行、ストップコンディションの発行/検出などで“1”/“0”になり、動作モードは自動的にマスタモードまたはスレーブモードに移行します。ICMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

[“1”になる条件]

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき (ST ビットが“1”の状態、スタートコンディションを検出したとき)
- ICMR1.MTWP ビットが“1”の状態、“1”を書いたとき

[“0”になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- ICMR1.MTWP ビットが“1”の状態、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

BBSY フラグ (バスビジー検出フラグ)

I²C バスの占有 (バスビジー) / 解放状態 (バスフリー) を示します。

SCLn ラインが High の状態で SDA_n ラインが High から Low に変化すると、スタートコンディションが発行されたと認識して“1”になります。

SCLn ラインが High の状態で SDA_n ラインが Low から High に変化すると、ストップコンディションが発行されたと認識し、バスフリーの時間 (ICBRL レジスタに設定した時間) スタートコンディション検出がないとき“0”になります。

[“1”になる条件]

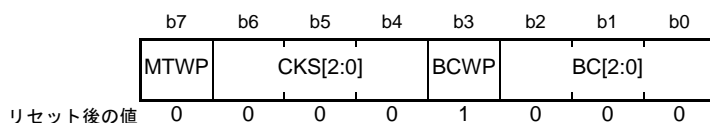
- スタートコンディションを検出したとき

[“0”になる条件]

- ストップコンディションを検出後、バスフリーの時間 (ICBRL レジスタに設定した時間) スタートコンディション検出がないとき
- ICCR1.ICE ビットが“0”の状態 ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

22.2.3 I²C バスモードレジスタ 1 (ICMR1)

アドレス RIIC0.ICMR1 0008 8302h、RIIC1.ICMR1 0008 8322h



ビット	シンボル	ビット名	機能	R/W
b2-b0	BC[2:0]	ビットカウンタ	b2 b0 0 0 0 : 9ビット 0 0 1 : 2ビット 0 1 0 : 3ビット 0 1 1 : 4ビット 1 0 0 : 5ビット 1 0 1 : 6ビット 1 1 0 : 7ビット 1 1 1 : 8ビット	R/W (注1)
b3	BCWP	BCライトプロテクトビット	0 : BC[2:0]の値を設定許可 (読むと“1”が読めます)	R/W (注1)
b6-b4	CKS[2:0]	内部基準クロック選択ビット	b6 b4 0 0 0 : PCLK/1クロック 0 0 1 : PCLK/2クロック 0 1 0 : PCLK/4クロック 0 1 1 : PCLK/8クロック 1 0 0 : PCLK/16クロック 1 0 1 : PCLK/32クロック 1 1 0 : PCLK/64クロック 1 1 1 : PCLK/128クロック	R/W
b7	MTWP	MST/TRSライトプロテクトビット	0 : ICCR2.MST, TRSビットへの書き込み禁止 1 : ICCR2.MST, TRSビットへの書き込み許可	R/W

注1. BC[2:0]ビットを書き換える場合は、BCWPビットを“0”にして、BC[2:0]ビットを書き換えてください。ビットの書き換えは、MOV命令で行います。

ICMR1レジスタは、RIICの内部基準クロックソースを選択したり、転送ビット数情報を得たり、ICCR2.MST, TRSビットのライトプロテクトを制御したりするレジスタです。

BC[2:0] ビット (ビットカウンタ)

SCL_nラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。読み出しおよび書き込みはできますが、通常ではアクセスする必要はありません。

なお、書き込みを行う場合には転送するデータのビット数+1を指定し(データにアクノリッジ1ビットが付加されて転送される)、転送フレーム間でかつSCL_nラインがLowの状態で行ってください。

BC[2:0]ビットはアクノリッジを含むデータ転送終了時、またはスタートコンディション検出(リスタートコンディション含む)で自動的に“000b”に戻ります。

BCWP ビット (BC ライトプロテクトビット)

BC[2:0]ビットへの書き込みを制御します。

CKS[2:0] ビット (内部基準クロック選択ビット)

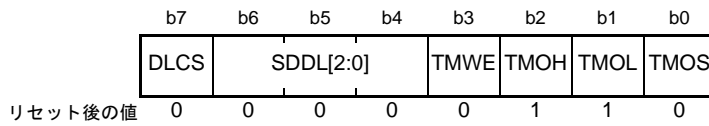
RIICの内部基準クロックソース(IICφ)を選択します。

MTWP ビット (MST/TRS ライトプロテクトビット)

ICCR2.MST, TRSビットへの書き込みを制御します。

22.2.4 I²Cバスモードレジスタ 2 (ICMR2)

アドレス RIIC0.ICMR2 0008 8303h、RIIC1.ICMR2 0008 8323h



ビット	シンボル	ビット名	機能	R/W
b0	TMOS	タイムアウト検出時間選択ビット	0 : ロングモードを選択 1 : ショートモードを選択	R/W
b1	TMOL	タイムアウトLカウント制御ビット	0 : SCLnラインがLowでカウント禁止 1 : SCLnラインがLowでカウント有効	R/W
b2	TMOH	タイムアウトHカウント制御ビット	0 : SCLnラインがHighでカウント禁止 1 : SCLnラインがHighでカウント有効	R/W
b3	TMWE	タイムアウト内部カウンタ書き込み許可ビット	0 : タイムアウト機能の内部カウンタへの書き込み禁止 1 : タイムアウト機能の内部カウンタへの書き込み許可 本ビットを“1”にすると、SARLO/SARU0のアドレスにタイムアウト内部カウンタ (TMOCNTL/TMOCNTU) のアドレスが割り当てられます。	R/W
b6-b4	SDDL[2:0]	SDA出力遅延カウンタ	<ul style="list-style-type: none"> ICMR2.DLCS=0 (IICφ) のとき b6 b4 0 0 0 : 出力遅延なし 0 0 1 : IICφの1サイクル 0 1 0 : IICφ2サイクル 0 1 1 : IICφ3サイクル 1 0 0 : IICφ4サイクル 1 0 1 : IICφ5サイクル 1 1 0 : IICφ6サイクル 1 1 1 : IICφ7サイクル ICMR2.DLCS=1 (IICφ/2) のとき b6 b4 0 0 0 : 出力遅延なし 0 0 1 : IICφの1~2サイクル 0 1 0 : IICφの3~4サイクル 0 1 1 : IICφの5~6サイクル 1 0 0 : IICφの7~8サイクル 1 0 1 : IICφの9~10サイクル 1 1 0 : IICφの11~12サイクル 1 1 1 : IICφの13~14サイクル 	R/W
b7	DLCS	SDA出力遅延クロックソース選択ビット	0 : SDA出力遅延カウンタのクロックソースに内部基準クロック (IICφ) を選択 1 : SDA出力遅延カウンタのクロックソースに内部基準クロックの2分周 (IICφ/2) を選択	R/W

ICMR2 レジスタは、タイムアウト検出機能、SDA 出力遅延機能を持つレジスタです。

TMOS ビット (タイムアウト検出時間選択ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) にタイムアウト検出時間を選択するビットで、“0”にするとロングモード、“1”にするとショートモードになります。ロングモードではタイムアウト検出用内部カウンタが 16 ビットカウンタとして、またショートモードでは 14 ビットカウンタとして動作し、SCLn ラインが TMOH、TMOL ビットで選択された状態になったとき、内部基準クロック (IICφ) をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、「22.11.1 タイムアウト検出機能」を参照してください。

TMOL ビット (タイムアウトLカウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット =1) に SCL_n ラインが Low 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

TMOH ビット (タイムアウトHカウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット =1) に SCL_n ラインが High 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

TMWE ビット (タイムアウト内部カウンタ書き込み許可ビット)

スレーブアドレスレジスタ (SARL0/SARU0) のアドレスにタイムアウト内部カウンタ (TMOCNTL/TMOCNTU) を割り当てるかどうかを選択するビットです。

SDDL[2:0] ビット (SDA 出力遅延カウンタ)

SDDL[2:0] ビットの設定値により、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースによりカウントします。また、この機能の設定はアクノリッジビット送出を含むすべての SDA 出力に適用されます。

本機能の詳細については、「22.5 SDA 出力遅延機能」を参照してください。

注 1. SDA 出力遅延の設定は、I²C バス規格 (データ有効時間 / アクノリッジ有効時間 (注2) 内) または SMBus 規格 (データホールド時間 : 300ns 以上、かつ SCL クロックの Low 幅データセットアップ時間 : 250ns の範囲内) に収まるようにしてください。規格外を設定した場合、通信デバイスとの通信破綻を引き起こすか、バスの状態によっては見かけ上スタートコンディションまたはストップコンディションになる可能性がありますので注意してください。

注 2. データ有効時間 / アクノリッジ有効時間

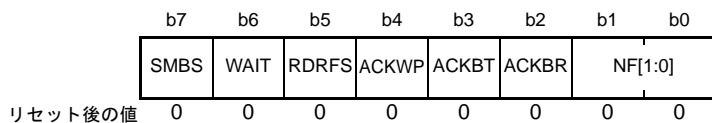
- 3,450ns (~100kbps : スタンダードモード [Sm])
- 900ns (~400kbp : ファストモード [fm])
- 450ns (~1Mbps : ファストモードプラス [fm+])

DLCS ビット (SDA 出力遅延クロックソース選択ビット)

SDA 出力遅延時間のクロックソースに内部基準クロック (IIC ϕ) か、内部基準クロックの 2 分周 (IIC ϕ /2) かを選択するビットです。

22.2.5 I²C バスモードレジスタ 3 (ICMR3)

アドレス RIIC0.ICMR3 0008 8304h、RIIC1.ICMR3 0008 8324h



ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ段数選択ビット	b1 b0 0 0 : 1PCLK以下のノイズを除去 (フィルタは1段) 0 1 : 2PCLK以下のノイズを除去 (フィルタは2段) 1 0 : 3PCLK以下のノイズを除去 (フィルタは3段) 1 1 : 4PCLK以下のノイズを除去 (フィルタは4段)	R/W
b2	ACKBR	受信アクノリッジビット	0 : アクノリッジビットに“0”を受信 (ACK受信) 1 : アクノリッジビットに“1”を受信 (NACK受信)	R
b3	ACKBT	送信アクノリッジビット	0 : アクノリッジビットに“0”を送出 (ACK送信) 1 : アクノリッジビットに“1”を送出 (NACK送信)	R/W (注1)
b4	ACKWP	ACKBTライトプロテクトビット	0 : ACKBTビットへの書き込み禁止 1 : ACKBTビットへの書き込み許可	W (注1)
b5	RDRFS	RDRFフラグセットタイミング 選択ビット	0 : SCLクロックの9クロック目の立ち上がり時に“1”になる (8クロック目の立ち下がりでSCLnラインをLowにホールドしない) 1 : SCLクロックの8クロック目の立ち上がり時に“1”になる (8クロック目の立ち下がりでSCLnラインをLowにホールドする) LowホールドはACKBTビットへの書き込みで解除	R/W (注2)
b6	WAIT	WAITビット	0 : WAITなし (9クロック目と1クロック目の間をLowにホールドしない) 1 : WAITあり (9クロック目と1クロック目の間をLowにホールドする) • LowホールドはICDRRレジスタの読み出しで解除	R/W (注2)
b7	SMBS	SMBus/I ² Cバス選択ビット	0 : I ² C バス選択 1 : SMBus 選択	R/W

注1. ACKWPビットは、ACKBTビットへの書き込みと同時に“1”にしても、ACKBTビットに書き込みはできません。
 注2. WAITビットおよびRDRFSビットは、受信モードのみ有効、送信モード時は無効です。

ICMR3 レジスタは、アクノリッジ送受信機能、RIIC 受信動作における RDRF フラグ、WAIT 動作などを制御するレジスタです。

NF[1:0] ビット (ノイズフィルタ段数選択ビット)

デジタルノイズフィルタの段数を選択します。

注1. ノイズフィルタで除去するノイズ幅の設定は、SCLn ラインの High/Low 幅よりも狭くしてください。
 (SCL クロックの幅 : High 幅または Low 幅のいずれか短い方) - {1.5 内部基準クロック同期 (IICφ) + アナログノイズフィルタ : 120 ns (参考値)} と同じか、それ以上に設定した場合は、RIIC のノイズフィルタ機能により SCL クロックをノイズとみなし、正常に動作することができなくなる可能性がありますので注意してください。

ACKBR ビット (受信アクノリッジビット)

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

["1"になる条件]

- ICCR2.TRS ビットが“1”の状態であクノリッジビットに“1”を受信したとき

["0"になる条件]

- ICCR2.TRS ビットが“1”の状態であクノリッジビットに“0”を受信したとき
- ICCR1.ICE ビットが“0”の状態であクノリッジビットに“1”を書いたとき (RIIC リセット)

ACKBT ビット (送信アクノリッジビット)

受信モード時にアクノリッジのタイミングで送出するビットを設定します。

["1"になる条件]

- ACKWP ビットが“1”の状態であクノリッジビットに“1”を書いたとき

["0"になる条件]

- ACKWP ビットが“1”の状態であクノリッジビットに“0”を書いたとき
- ストップコンディションの発行を検出したとき (ICCR2.SP ビットが“1”の状態であクノリッジビットに“0”を検出したとき)
- ICCR1.ICE ビットが“0”の状態であクノリッジビットに“1”を書いたとき (RIIC リセット)

注 1. ACKBT ビットに書き込みを行う場合には、ACKWP ビットが“1”の状態で行ってください。ACKWP ビットが“0”の状態であクノリッジビットに書き込みを行った場合には、ACKBT ビットへの書き込みは無効となります。

ACKWP ビット (ACKBT ライトプロテクトビット)

ACKBT ビットへの書き込みを制御します。

RDRFS ビット (RDRF フラグセットタイミング選択ビット)

受信モードにおいて RDRF フラグのセットタイミングおよび SCL クロックの 8 クロック目の立ち下がりでの SCLn ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが“0”のとき、8 クロック目の立ち下がりでの SCLn ラインの Low ホールドは行わず、9 クロック目の立ち上がりでの RDRF フラグを“1”にします。

RDRFS ビットが“1”のとき、RDRF フラグは 8 クロック目の立ち上がりでの“1”にし、8 クロック目の立ち下がりでの SCLn ラインを Low にホールドします。この SCLn ラインの Low ホールドは ACKBT ビットへの書き込みにより解除されます。

この設定のとき、データ受信後アクノリッジビット送出前に SCLn ラインを自動的に Low にホールドするため、受信データの内容に応じて ACK (ACKBT ビットが“0”) または NACK (ACKBT ビットが“1”) を送出する処理が可能です。

WAIT ビット (WAIT ビット)

WAIT ビットは、受信モードにおいて1バイト受信ごとに受信データバッファ (ICDRR レジスタ) の読み出しが完了するまで、SCL クロックの9クロック目と1クロック目の間を Low にホールドするかどうかを制御します。

WAIT ビットが“0”のとき、SCL クロックの9クロック目と1クロック目の間のLowホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに“0”のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが“1”のとき、1バイト受信ごとに9クロック目の立ち下がり以降、ICDRR レジスタの値が読み出されるまでの間 SCLn ラインを Low にホールドします。これにより1バイトごとの受信動作が可能です。

注1. WAIT ビットを“0”にする場合は、ICDRR を先に読んでから“0”にしてください。

SMBS ビット (SMBus/I²C バス選択ビット)

SMBS ビットを“1”にすると、SMBus が選択され IC SER.HOAE ビットが有効になります。

22.2.6 I²C バスファンクションイネーブルレジスタ (ICFER)

アドレス RIIC0.ICFER 0008 8305h、RIIC1.ICFER 0008 8325h

	b7	b6	b5	b4	b3	b2	b1	b0
	FMPE	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
リセット後の値	0	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能許可ビット	0: タイムアウト検出機能無効 1: タイムアウト検出機能有効	R/W
b1	MALE	マスタアービトレーションロスト検出許可ビット	0: マスタのアービトレーションロスト検出禁止 (アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行わない) 1: マスタアービトレーションロスト検出許可 (アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行う)	R/W
b2	NALE	NACK送信アービトレーションロスト検出許可ビット	0: NACK送信アービトレーションロスト検出禁止 1: NACK送信アービトレーションロスト検出許可	R/W
b3	SALE	スレーブアービトレーションロスト検出許可ビット	0: スレーブアービトレーションロスト検出禁止 1: スレーブアービトレーションロスト検出許可	R/W
b4	NACKE	NACK受信転送中断許可ビット	0: NACK受信時、転送を中断しない(転送中断禁止) 1: NACK受信時、転送を中断する(転送中断許可)	R/W
b5	NFE	デジタルノイズフィルタ回路許可ビット	0: デジタルノイズフィルタ回路を使用しない 1: デジタルノイズフィルタ回路を使用する	R/W
b6	SCLE	SCL同期回路許可ビット	0: SCL同期回路無効 1: SCL同期回路有効	R/W
b7	FMPE	Fast-mode Plus許可ビット	0: SCLn端子/SDAn端子にfm+用スロープ制御回路を使用しない 1: SCLn端子/SDAn端子にfm+用スロープ制御回路を使用する	R/W

ICFER レジスタは、タイムアウト検出機能、アービトレーションロスト、NACK 受信時の受信動作、SCL 同期回路、デジタルノイズフィルタ回路の使用 / 不使用などを制御するレジスタです。

TMOE ビット (タイムアウト検出機能許可ビット)

タイムアウト検出機能の有効 / 無効を選択します。

タイムアウト検出機能の詳細については、「22.11.1 タイムアウト検出機能」を参照してください。

MALE ビット (マスタアービトレーションロスト検出許可ビット)

マスタモード時にアービトレーションロスト検出機能の有効 / 無効を決定します。通常は“1”にしてください。

NALE ビット (NACK 送信アービトレーションロスト検出許可ビット)

受信モード時、NACK 送出中に ACK が検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、2つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など) にアービトレーションロストを発生させるかどうかを選択します。

SALE ビット (スレーブアービトレーションロスト検出許可ビット)

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など) にアービトレーションロストを発生させるかどうかを選択します。

NACKE ビット (NACK 受信転送中断許可ビット)

送信モード時、スレーブデバイスから NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は“1”にしてください。

NACKE ビットが“1”のとき、NACK を受信した場合、次の転送動作を中断します。

NACKE ビットが“0”のとき、受信アクノリッジの内容に関わらず次の転送動作を継続します。

NACK 受信転送中断機能の詳細については、「22.8.2 NACK 受信転送中断機能」を参照してください。

NFE ビット (デジタルノイズフィルタ回路許可ビット)

デジタルノイズフィルタ回路の使用 / 不使用を選択します。

SCLE ビット (SCL 同期回路許可ビット)

SCL 入力クロックに対して、SCL クロックの同期化を行うかどうかを選択します。通常は“1”にしてください。

SCLE ビットを“0” (SCL 同期回路無効) にすると、クロック同期を行いません。この設定の場合、RIIC は SCLn ラインの状態に関わらず ICBRH および ICBRL レジスタで設定された転送速度の SCL クロックを出力します。そのため、I²C バスラインのバス負荷が規格値よりも大幅に大きい場合や、マルチマスタにおいて SCL クロック出力が重なった場合など、規格外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション・リスタートコンディション・ストップコンディションの発行および SCL クロック追加出力の連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き“0”にしないでください。

FMPE ビット (ファストモードプラス許可ビット)

スロープ制御回路をファストモードプラス [fm+] 用のスロープ制御回路を使用するかどうかを選択します。

FMPE ビットを“1”にすると I²C バスのファストモードプラス [fm+] のスロープ制御規格 (tof) に準拠したスロープ制御回路が選択され、“0”にすると I²C バスのスタンダードモード [Sm] およびファストモード [fm] のスロープ制御規格 (tof) に準拠したスロープ制御回路が選択されます。

通信速度を I²C バス規格の～1Mbps (ファストモードプラス [fm+]) で使用する場合は“1”にし、それ以外の通信速度 (～100kbps[Sm]、～400kbps[fm]) または SMBus (10kbps～100kbps) で使用する場合は“0”にしてください。

22.2.7 I²C バスステータスイネーブルレジスタ (ICSER)

アドレス RIIC0.ICSER 0008 8306h、RIIC1.ICSER 0008 8326h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E
リセット後の値	0	0	0	0	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ0許可ビット	0 : SARL0、SARU0の設定値は無効 1 : SARL0、SARU0の設定値は有効	R/W
b1	SAR1E	スレーブアドレスレジスタ1許可ビット	0 : SARL1、SARU1の設定値は無効 1 : SARL1、SARU1の設定値は有効	R/W
b2	SAR2E	スレーブアドレスレジスタ2許可ビット	0 : SARL2、SARU2の設定値は無効 1 : SARL2、SARU2の設定値は有効	R/W
b3	GCAE	ジェネラルコールアドレス許可ビット	0 : ジェネラルコールアドレス検出は無効 1 : ジェネラルコールアドレス検出は有効	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DIDE	デバイスIDアドレス検出許可ビット	0 : デバイスIDアドレス検出は無効 1 : デバイスIDアドレス検出は有効	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOAE	ホストアドレス許可ビット	0 : ホストアドレス検出は無効 1 : ホストアドレス検出は有効	R/W

ICSER レジスタは、スレーブアドレス比較、ジェネラルコールアドレス検出、デバイス ID コマンド検出、ホストアドレス検出の有効/無効を選択するレジスタです。

SARyE ビット (スレーブアドレスレジスタ y 許可ビット) (y = 0 ~ 2)

SARLy、SARUy レジスタで設定したスレーブアドレスを有効にするかどうかを選択します。

SARyE ビットを“1”にすると、SARLy、SARUy レジスタの設定値が有効になり、受信したスレーブアドレスと比較が行われます。

SARyE ビットを“0”にすると、SARLy、SARUy レジスタの設定値が無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE (ジェネラルコールアドレス許可ビット)

ジェネラルコールアドレス (0000 000b + 0[W] : All“0”) を受信した場合、無視するかどうかを選択します。

GCAE ビットが“1”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y=0 ~ 2) で設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCAE ビットが“0”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

DIDE ビット (デバイス ID アドレス検出許可ビット)

スタートコンディションまたはリスタートコンディション検出後の第 1 フレームにデバイス ID アドレス (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが“1”の場合、受信した第 1 フレームがデバイス ID アドレスと一致した場合、RIIC はデバイス ID アドレスを受信したと認識し、続く R/W# ビットが“0”[W] のとき第 2 フレーム目以降をスレーブアドレスとみなして受信動作を継続します。

DIDE ビットが“0”の場合、受信した第 1 フレームがデバイス ID アドレスと一致しても無視され、第 1 フレームを通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出の詳細については、「22.7.3 デバイス ID アドレス検出機能」を参照してください。

HOAE ビット (ホストアドレス許可ビット)

ICMR3.SMBS ビットが“1”の場合、ホストアドレス (0001 000b) を受信したとき、無視するかどうかを選択します。

ICMR3.SMBS ビットが“1”でかつ HOAE ビットが“1”の場合、受信したスレーブアドレスがホストアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y=0 ~ 2) で設定したスレーブアドレスとは無関係にホストアドレスと認識し、受信動作を行います。

ICMR3.SMBS ビットが“0”または HOAE ビットが“0”の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

22.2.8 I²Cバスインタラプティネーブルレジスタ (ICIER)

アドレス RIIC0.ICIER 0008 8307h、RIIC1.ICIER 0008 8327h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み許可ビット	0: タイムアウト割り込み (TMOI) の禁止 1: タイムアウト割り込み (TMOI) の許可	R/W
b1	ALIE	アービトレーションロスト割り込み許可ビット	0: アービトレーションロスト割り込み (ALI) の禁止 1: アービトレーションロスト割り込み (ALI) の許可	R/W
b2	STIE	スタートコンディション検出割り込み許可ビット	0: スタートコンディション検出割り込み (STI) の禁止 1: スタートコンディション検出割り込み (STI) の許可	R/W
b3	SPIE	ストップコンディション検出割り込み許可ビット	0: ストップコンディション検出割り込み (SPI) の禁止 1: ストップコンディション検出割り込み (SPI) の許可	R/W
b4	NAKIE	NACK受信割り込み許可ビット	0: NACK受信割り込み (NAKI) の禁止 1: NACK受信割り込み (NAKI) の許可	R/W
b5	RIE	受信データフル割り込み許可ビット	0: 受信データフル割り込み (ICRXI) の禁止 1: 受信データフル割り込み (ICRXI) の許可	R/W
b6	TEIE	送信終了割り込み許可ビット	0: 送信終了割り込み (ICTEI) の禁止 1: 送信終了割り込み (ICTEI) の許可	R/W
b7	TIE	送信データエンプティ割り込み許可ビット	0: 送信データエンプティ割り込み (ICTXI) の禁止 1: 送信データエンプティ割り込み (ICTXI) の許可	R/W

ICIERレジスタは、各種割り込み要因の使用 / 不使用を選択します。

TMOIE ビット (タイムアウト割り込み許可ビット)

ICSR2.TMOF フラグが“1”のとき、タイムアウト割り込み (TMOI) の許可 / 禁止を選択します。TMOI 割り込みは、TMOF フラグを“0”にするか、または TMOIE ビットを“0”にすることで解除できます。

ALIE ビット (アービトレーションロスト割り込み許可ビット)

ICSR2.AL フラグが“1”のとき、アービトレーションロスト割り込み (ALI) の許可 / 禁止を選択します。ALI 割り込みは、AL フラグを“0”にするか、または ALIE ビットを“0”にすることで解除できます。

STIE ビット (スタートコンディション検出割り込み許可ビット)

ICSR2.START フラグが“1”のとき、スタートコンディション検出割り込み (STI) の許可 / 禁止を選択します。STI 割り込みは、START フラグを“0”にするか、または STIE ビットを“0”にすることで解除できます。

SPIE ビット (ストップコンディション検出割り込み許可ビット)

ICSR2.STOP フラグが“1”のとき、ストップコンディション検出割り込み (SPI) の許可 / 禁止を選択します。SPI 割り込みは、STOP フラグを“0”にするか、または SPIE ビットを“0”にすることで解除できます。

NAKIE ビット (NACK 受信割り込み許可ビット)

ICSR2.NACKF フラグが“1”のとき、NACK 受信割り込み (NAKI) の許可 / 禁止を選択します。NAKI 割り込みは、NACKF フラグを“0”にするか、または NAKIE ビットを“0”にすることで解除できます。

RIE ビット (受信データフル割り込み許可ビット)

ICSR2.RDRF フラグが“1”のとき、受信データフル割り込み (ICRXI) の許可/禁止を選択します。

TEIE ビット (送信終了割り込み許可ビット)

ICSR2.TEND フラグが“1”のとき、送信終了割り込み (ICTEI) の許可/禁止を選択します。ICTEI 割り込みは、TEND フラグを“0”にするか、または TEIE ビットを“0”にすることで解除できます。

TIE ビット (送信データエンプティ割り込み許可ビット)

ICSR2.TDRE フラグが 1”のとき、送信データエンプティ割り込み (ICTXI) の許可/禁止を選択します。

22.2.9 I²Cバスステータスレジスタ 1 (ICSR1)

アドレス RIIC0.ICSR1 0008 8308h、RIIC1.ICSR1 0008 8328h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOA	—	DID	—	GCA	AAS2	AAS1	AAS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0 : スレーブアドレス0未検出 1 : スレーブアドレス0検出 <ul style="list-style-type: none"> SARU0.FSビット=0 (7ビットアドレスフォーマット選択)の場合、受信したスレーブアドレスがSARL0.SVA[7:1]と一致したとき SARU0.FSビット=1 (10ビットアドレスフォーマット選択)の場合、受信したスレーブアドレスが1111 0b + SARU0.SVA[9:8]に一致し、それに続くアドレスがSARL0レジスタと一致したとき (“1”になるタイミングは、SARL0一致判定フレームのSCLクロックの9クロック目の立ち上がり時)	R/(W) (注1)
b1	AAS1	スレーブアドレス1検出フラグ	0 : スレーブアドレス1未検出 1 : スレーブアドレス1検出 <ul style="list-style-type: none"> SARU1.FSビット=0 (7ビットアドレスフォーマット選択)の場合、受信したスレーブアドレスがSARL1.SVA[7:1]と一致したとき SARU1.FSビット=1 (10ビットアドレスフォーマット選択)の場合、受信したスレーブアドレスが1111 0b + SARU1.SVA[9:8]に一致し、それに続くアドレスがSARL1レジスタと一致したとき (“1”になるタイミングは、SARL1一致判定フレームのSCLクロックの9クロック目の立ち上がり時)	R/(W) (注1)
b2	AAS2	スレーブアドレス2検出フラグ	0 : スレーブアドレス2未検出 1 : スレーブアドレス2検出 <ul style="list-style-type: none"> SARU2.FSビット=0 (7ビットアドレスフォーマット選択)の場合、受信したスレーブアドレスがSARL2.SVA[7:1]と一致したとき SARU2.FSビット=1 (10ビットアドレスフォーマット選択)の場合、受信したスレーブアドレスが1111 0b + SARU2.SVA[9:8]に一致し、それに続くアドレスがSARL2レジスタと一致したとき (“1”になるタイミングは、SARL2一致判定フレームのSCLクロックの9クロック目の立ち上がり時)	R/(W) (注1)
b3	GCA	ジェネラルコールアドレス検出フラグ	0 : ジェネラルコールアドレス未検出 1 : ジェネラルコールアドレス検出 <ul style="list-style-type: none"> 受信したスレーブアドレスがジェネラルコールアドレス (All“0”) と一致した場合 	R/(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DID	デバイスID アドレス検出フラグ	0 : デバイスID アドレス未検出 1 : デバイスID アドレス検出 <ul style="list-style-type: none"> スタートコンディション直後の第1フレームがデバイスID アドレス (1111 100b) + 0[W]と一致した場合 	R/(W) (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOA	ホストアドレス検出フラグ	0 : ホストアドレス未検出 1 : ホストアドレス検出 <ul style="list-style-type: none"> 受信したスレーブアドレスがホストアドレス (0001 000b) と一致した場合 	R/(W) (注1)

注1. “0”のみ書けます。

ICSR1 レジスタは、各種アドレス検出のステータスの確認を行うレジスタです。

AASy フラグ (スレーブアドレス y 検出フラグ) (y= 0 ~ 2)

["1" になる条件]

【7 ビットアドレスフォーマット選択時 : SARUy.FS ビット = 0】

- ICSER.SARyE ビットが "1" (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[7:1] と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

【10 ビットアドレスフォーマット選択時 : SARUy.FS ビット = 1】

- ICSER.SARyE ビットが "1" (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0b + SARUy.SVA[9:8] と一致し、それに続くアドレスが SARLy レジスタと一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

["0" になる条件]

- "1" を読んだ後、"0" を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに "1" を書き、RIIC リセットまたは内部リセットしたとき

【7 ビットアドレスフォーマット選択時 : SARUy.FS ビット = 0】

- ICSER.SARyE ビットが "1" (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[7:1] と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

【10 ビットアドレスフォーマット選択時 : SARUy.FS ビット = 1】

- ICSER.SARyE ビットが "1" (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0b + SARUy.SVA[9:8] と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICSER.SARyE ビットが "1" (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0b + SARUy.SVA[9:8] と一致し、それに続くアドレスが SARLy レジスタと不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

GCA フラグ (ジェネラルコールアドレス検出フラグ)

["1" になる条件]

- ICSER.GCAE ビットが "1" (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

["0" になる条件]

- "1" を読んだ後、"0" を書いたとき
- ストップコンディションを検出したとき
- ICSER.GCAE ビットが "1" (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0[W]) と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICCR1.IICRST ビットに "1" を書き、RIIC リセットまたは内部リセットしたとき

DID フラグ (デバイス ID アドレス検出フラグ)

[“1”になる条件]

- IC SER.DIDE ビットが“1” (デバイス ID アドレス検出有効) の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス (1111 100b) + 0[W] と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- IC SER.DIDE ビットが“1” (デバイス ID アドレス検出有効) の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス (1111 100b) と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- IC SER.DIDE ビットが“1” (デバイス ID アドレス検出有効) の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス (1111 100b) + 0[W] と一致し、続く第 2 フレームがスレーブアドレス 0 ~ 2 のすべてと不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

HOA フラグ (ホストアドレス検出フラグ)

[“1”になる条件]

- IC SER.HOAE ビットが“1” (ホストアドレス検出有効) の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICMR3.SMBS ビットに“0”または IC SER.HOAE ビットに“0”を書いたとき
- IC SER.HOAE ビットが“1” (ホストアドレス検出有効) の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

22.2.10 I²C バスステータスレジスタ 2 (ICSR2)

アドレス RIIC0.ICSR2 0008 8309h、RIIC1.ICSR2 0008 8329h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0: タイムアウト未検出 1: タイムアウト検出	R(W) (注1)
b1	AL	アービトレーションロストフラグ	0: アービトレーションロストの発生なし 1: アービトレーションロストの発生あり	R(W) (注1)
b2	START	スタートコンディション検出フラグ	0: スタートコンディション未検出 1: スタートコンディション検出	R(W) (注1)
b3	STOP	ストップコンディション検出フラグ	0: ストップコンディション未検出 1: ストップコンディション検出	R(W) (注1)
b4	NACKF	NACK検出フラグ	0: NACK未検出 1: NACK検出	R(W) (注1)
b5	RDRF	受信データフルフラグ	0: ICDRRレジスタに受信データなし 1: ICDRRレジスタに受信データあり	R(W) (注1)
b6	TEND	送信終了フラグ	0: データ送信中 1: データ送信終了	R(W) (注1)
b7	TDRE	送信データエンプティフラグ	0: ICDRTレジスタに送信データあり 1: ICDRTレジスタに送信データなし	R

注1. “0”のみ書けます。

ICSR2 レジスタは、各種割り込み要求フラグおよびステータスの確認を行うレジスタです。

TMOF フラグ (タイムアウト検出フラグ)SCL_n ラインの状態が一定期間変化しない場合、タイムアウトを認識して“1”になります。

[“1”になる条件]

- ICFER.TMOE ビットが“1” (タイムアウト検出機能有効) で、かつマスタモードまたはスレーブ指定された状態で ICMR2.TMOH, TMOL, TMOS ビットで選択された条件の期間 SCL_n ラインの状態に変化がないとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

AL フラグ (アービトレーションロストフラグ)

スタートコンディション発行時やアドレスおよびデータ送信時において、バス競合などによりバス占有権を喪失 (アービトレーションロスト) したことを示します。RIIC は送信中に SDA_n ラインのレベルを監視し、出力データと SDA_n ラインのレベルが一致しない場合 AL フラグを“1”にしてバスが他のデバイスによって占有されたことを示します。

このほか、RIIC では設定によりマスタモード時に NACK 送信中のアービトレーションロストの検出やスレーブモード時にデータ送信中のアービトレーションロストの検出も可能です。

["1"になる条件]

【マスタアービトレイションロスト検出有効時：ICFER.MALE ビット= 1】

- マスタ送信モード時のデータ送信（スレーブアドレス送信含む）において、ACK 期間を除く SCL クロックの立ち上がりで自分が出した SDA 信号と SDA_n ライン上の信号の状態が不一致（内部 SDA 出力が High 出力（= SDA_n 端子はハイインピーダンス状態）で、SDA_n ラインに Low を検出）したとき
- ICCR2.ST ビットが“1”（スタートコンディション発行要求）の状態ですスタートコンディションを検出したとき、自分が出した SDA 信号と SDA_n ライン上の信号の状態が不一致のとき
- ICCR2.BBSY フラグが“1”の状態ですICCR2.ST ビットが“1”（スタートコンディション発行要求）に設定したとき

【NACK アービトレイションロスト検出有効時：ICFER.NALE ビット= 1】

- 受信モード時のNACK送信において、ACK期間のSCLクロックの立ち上がりで自分が出したSDA信号とSDA_nライン上の信号の状態が不一致のとき

【スレーブアービトレイションロスト検出有効時：ICFER.SALE ビット= 1】

- スレーブ送信モード時のデータ送信において、ACK 期間を除く SCL クロックの立ち上がりで自分が出した SDA 信号と SDA_n ライン上の信号の状態が不一致のとき

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

表22.5 アービトレイションロスト発生要因と各アービトレイションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレイションロスト発生要因
MALE	NALE	SALE	AL		
1	*	*	1	スタートコンディション発行エラー	ICCR2.ST=1の状態ですスタートコンディション検出時に自分が出したSDA信号とSDA _n ライン上の信号の状態が不一致のとき ICCR2.BBSY=1の状態ですICCR2.ST=1にしたとき
			1	送信データ不一致	マスタ送信モードで送信データ（スレーブアドレス送信含む）とバス状態が不一致のとき
*	1	*	1	NACK送信不一致	マスタ受信モードまたはスレーブ受信モードでNACK送信時にACKを検出したとき
*	*	1	1	送信データ不一致	スレーブ送信モードで送信データとバス状態が不一致のとき

* : Don't care

START フラグ（スタートコンディション検出フラグ）

["1"になる条件]

- スタートコンディション（リスタートコンディション含む）を検出したとき

["0"になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

STOP フラグ (ストップコンディション検出フラグ)

["1" になる条件]

- ストップコンディションを検出したとき

["0" になる条件]

- "1" を読んだ後、"0" を書いたとき
- ICCR1.IICRST ビットに "1" を書き、RIIC リセットまたは内部リセットしたとき

NACKF フラグ (NACK 検出フラグ)

["1" になる条件]

- ICFER.NACKF ビットが "1" (転送中断許可) の状態で、送信モード時に受信デバイスからアクノリッジがなかった (NACK を受信した) とき

["0" になる条件]

- "1" を読んだ後、"0" を書いたとき
- ICCR1.IICRST ビットに "1" を書き、RIIC リセットまたは内部リセットしたとき

注 1. NACKF フラグが "1" になると RIIC は通信動作を中断します。NACKF フラグが "1" の状態で送信モード時に ICDRT レジスタへの書き込みや、受信モード時に ICDRR レジスタの読み出しを行っても、送信 / 受信動作は行われません。通信動作を再開する場合は NACKF フラグを "0" にしてください。

RDRF フラグ (受信データフルフラグ)

["1" になる条件]

- ICDRS レジスタから ICDRR レジスタに受信データが転送されたとき、ICMR3.RDRFS ビットの設定により SCL クロックの 8 または 9 クロック目の立ち上がりで "1" になります。
- スタートコンディション (リスタートコンディション含む) 検出後、受信したスレーブアドレスが一致し ICCR2.TRS ビットが "0" のとき

["0" になる条件]

- "1" を読んだ後、"0" を書いたとき
- ICDRR レジスタを読んだとき
- ICCR1.IICRST ビットに "1" を書き、RIIC リセットまたは内部リセットしたとき

TEND フラグ (送信終了フラグ)

["1" になる条件]

- TDRE フラグが "1" の状態で、SCL クロックの 9 クロック目の立ち上がり

["0" になる条件]

- "1" を読んだ後、"0" を書いたとき
- ICDRT レジスタヘータを書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに "1" を書き、RIIC リセットまたは内部リセットしたとき

TDRE フラグ (送信データエンプティフラグ)

[“1”になる条件]

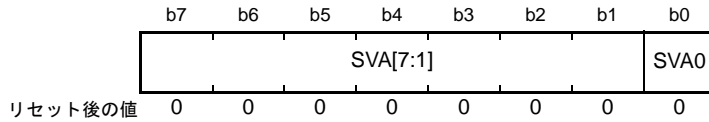
- ICDRT レジスタから ICDRS レジスタにデータ転送が行われ、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが“1”になったとき
 - a. スタートコンディション (リスタートコンディション含む) 検出後、ICCR2.MST ビットが“1”のとき
 - b. 受信モードから送信モードになったとき
 - c. ICMR1.MTWP ビットが“1”の状態、 “1”を書いたとき
- 受信したスレーブアドレスが一致し、TRS ビットが“1”のとき

[“0”になる条件]

- ICDRT レジスタへデータを書いたとき
 - ICCR2.TRS ビットが“0”になったとき
 - a. ストップコンディションを検出したとき
 - b. 送信モードから受信モードになったとき
 - c. ICMR1.MTWP ビットが“1”の状態、 “0”を書いたとき
 - ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき
- 注 1. ICFER.NACKF ビットが“1”の状態、NACKF フラグが“1”になると RIIC は通信動作を中断します。このとき、TDRE フラグが“0”の状態 (次の送信データが既に書き込まれている状態) の場合、9クロック目の立ち上がりで ICDRS レジスタへのデータ転送が行われ ICDRT レジスタが空状態になりますが、TDRE フラグは“1”になりません。

22.2.11 スレーブアドレスレジスタ Lm (SARLy) (m= 0 ~ 2)

アドレス RIIC0.SARL0 0008 830Ah、RIIC1.SARL0 0008 832Ah
 RIIC0.SARL1 0008 830Ch、RIIC1.SARL1 0008 832Ch
 RIIC0.SARL2 0008 830Eh、RIIC1.SARL2 0008 832Eh



ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10ビットアドレス最下位ビット	スレーブアドレスを設定してください。 <ul style="list-style-type: none"> SARUy.FSビット=0 (7ビットアドレスフォーマット選択) のとき、SVA0ビットは無効になる SARUy.FSビット=1 (10ビットアドレスフォーマット選択) のとき、SVA0ビットが有効になり、SVA[7:1]ビットと合わせて10ビットスレーブアドレスの下位8ビットアドレスになる 	R/W
b7-b1	SVA[7:1]	7ビットアドレス/10ビットアドレス下位ビット	スレーブアドレスを設定してください。 <ul style="list-style-type: none"> SARUy.FSビット=0 (7ビットアドレスフォーマット選択) のとき、SVA[7:1]ビットは7ビットスレーブアドレスになる SARUy.FSビット=1 (10ビットアドレスフォーマット選択) のとき、SVA[7:1]ビットはSVA0ビットと合わせて10ビットスレーブアドレスの下位8ビットアドレスになる 	R/W

SARLy レジスタは、スレーブアドレス y (7 ビットアドレスまたは 10 ビットアドレス下位 8 ビット) を設定するレジスタです。

SVA0 ビット (10 ビットアドレス最下位ビット)

10 ビットアドレスフォーマット選択時 (SARUy.FS ビット =1)、10 ビットアドレス最下位ビットとして機能し、SVA[7:1] ビットと合わせて 10 ビットアドレス下位 8 ビットを設定します。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが“1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが“0” のとき設定値は無視されます。

SVA[7:1] ビット (7 ビットアドレス /10 ビットアドレス下位ビット)

7 ビットアドレスフォーマット選択時 (SARUy.FS ビット =0)、7 ビットアドレスとして機能し、10 ビットアドレスフォーマット選択時 (SARUy.FS ビット =1)、SVA0 ビットと合わせて 10 ビットアドレス下位 8 ビットとして機能します。

ICSER.SARyE ビットが“0” のとき設定値は無視されます。

22.2.12 スレーブアドレスレジスタ Uy (SARUy) (y= 0 ~ 2)

アドレス RIIC0.SARU0 0008 830Bh、RIIC1.SARU0 0008 832Bh
 RIIC0.SARU1 0008 830Dh、RIIC1.SARU1 0008 832Dh
 RIIC0.SARU2 0008 830Fh、RIIC1.SARU2 0008 832Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	SVA[9:8]	—	FS

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット/10ビットアドレスフォーマット選択ビット	0 : 7ビットアドレスフォーマット選択 1 : 10ビットアドレスフォーマット選択	R/W
b2-b1	SVA[9:8]	10ビットアドレス上位ビット	スレーブアドレスを設定してください。 <ul style="list-style-type: none"> SARUy.FSビット=0 (7ビットアドレスフォーマット選択) のとき、SVA[9:8]ビットは無効になる SARUy.FSビット=1 (10ビットアドレスフォーマット選択) のとき、SVA[9:8]ビットが有効になり、10ビットスレーブアドレスの上位2ビットアドレスになる 	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

SARUy レジスタは、7ビット /10 ビットアドレスフォーマットの選択と 10 ビットスレーブアドレス上位ビットのを設定を行うレジスタです。

FS ビット (7 ビット /10 ビットアドレスフォーマット選択ビット)

スレーブアドレス y (SARLy、SARUy レジスタ) を7ビットアドレスにするか、10ビットアドレスにするかを選択します。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) がかつ SARUy.FS ビットが“0” のとき、スレーブアドレス y は7ビットアドレスフォーマットが選択され、SARLy.SVA[7:1] ビットの設定値が有効になり SVA[9:8] ビットおよび SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) がかつ SARUy.FS ビットが“1” のとき、スレーブアドレス m は10ビットアドレスフォーマットが選択され、SVA[9:8] ビット、SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが“0” (SARLy、SARUy レジスタ無効) のとき SARUy.FS ビットの設定値は無効です。

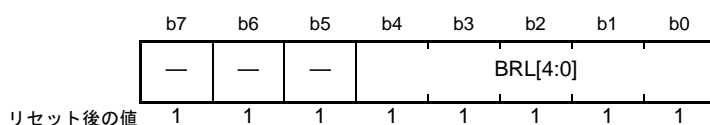
SVA[9:8] ビット (10 ビットアドレス上位ビット)

10ビットアドレスフォーマット選択時 (FS ビット=1)、10ビットアドレスの上位2ビットアドレスとして機能します。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) がかつ SARUy.FS ビットが“1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが“0” のとき設定値は無視されます。

22.2.13 I²Cバスビットレートローレベルレジスタ (ICBRL)

アドレス RIIC0.ICBRL 0008 8310h、RIIC1.ICBRL 0008 8330h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレートLow幅設定ビット	SCLクロックのLow幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“1”としてください	R/W

ICBRL レジスタは SCL クロックの Low 幅を設定するための 5 ビットのレジスタです。

また ICBRL レジスタは、SCL 自動 Low ホールド発生時（「22.8 SCL の自動 Low ホールド機能」参照）のデータセットアップ時間確保レジスタとしても機能します。そのため RIIC を常にスレーブモードで使用する場合には、データセットアップ時間（注）以上の値を設定してください。

ICBRL レジスタは ICMR1.CKS[2:0] ビットで選択した内部基準クロックソース（IICφ）で Low 幅をカウントします。

注 1. データセットアップ時間 (t_{SU:DAT})

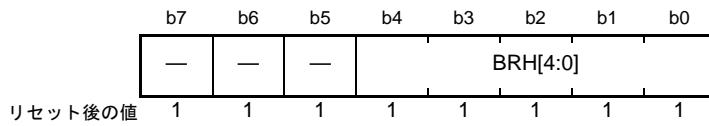
250ns（～ 100kbps : スタンダードモード [Sm]）

100ns（～ 400kbps : ファストモード [fm]）

50ns（～ 1Mbps : ファストモードプラス [fm+]）

22.2.14 I²Cバスビットレートハイレベルレジスタ (ICBRH)

アドレス RIIC0.ICBRH 0008 8311h、RIIC1.ICBRH 0008 8331h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレートHigh幅設定ビット	SCLクロックのHigh幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”として下さい。	R/W

ICBRHレジスタはSCLクロックのHigh幅を設定するための5ビットのレジスタで、マスタモード時に有効です。RIICを常にスレーブモードで使用する場合には、High幅を設定する必要はありません。

ICBRHレジスタはICMR1.CKS[2:0]ビットで選択された内部基準クロックソース(IICφ)でHigh幅をカウントします。

I²C転送速度およびSCLクロックのデューティ比は以下の式で算定します。

$$\text{転送速度} = 1 / \{ [(ICBRH+1) + (ICBRL+1)] / IIC\phi^{(注1)} + SCLn \text{ ライン立ち上がり時間 } [tr] + SCLn \text{ ライン立ち下がり時間 } [tf] \}$$

$$\text{デューティ比} = \{ SCLn \text{ ライン立ち上がり時間 } [tr]^{(注2)} + (ICBRH+1) / IIC\phi \} / \{ SCLn \text{ ライン立ち下がり時間 } [tf]^{(注2)} + (ICBRL+1) / IIC\phi \}$$

注 1. $IIC\phi = PCLK \times 10^6 \times \text{分周比}$

注 2. SCLn ライン立ち上がり時間 [tr]、SCLn ライン立ち下がり時間 [tf] は、バスライン総容量 [Cb] とプルアップ抵抗 [Rp] に依存します。詳細についてはNXP社のI²Cバス規格書を参照してください。

ICBRH、ICBRLレジスタの値の設定例を表22.6に示します。

表22.6 転送速度に対するICBRH、ICBRLレジスタの設定例

転送速度 (kbps)	動作周波数PCLK (MHz)								
	8			10			12.5		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	100b	22 (F6h)	25 (F9h)	101b	13 (EDh)	15 (EFh)	101b	16 (F0h)	20 (F4h)
50	010b	16 (F0h)	19 (F3h)	010b	21 (F5h)	24 (F8h)	011b	12 (ECh)	15 (EFh)
100	001b	15 (EFh)	18 (F2h)	001b	19 (F3h)	23 (F7h)	001b	24 (F8h)	29 (FDh)
400	000b	4 (E4h)	10 (EAh)	000b	5 (E5h)	12 (ECh)	000b	7 (E7h)	16 (F0h)
1000	000b	2 (E2h)	3 (E3h)	000b	2 (E2h)	4 (E4h)	000b	3 (E3h)	6 (E6h)

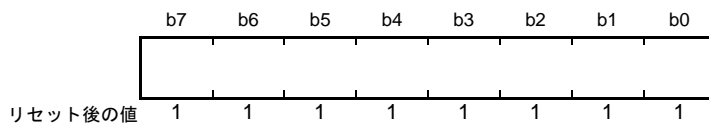
転送速度 (kbps)	動作周波数PCLK (MHz)								
	16			20			25		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	101b	22 (F6h)	25 (F9h)	110b	13 (EDh)	15 (EFh)	110b	16 (F0h)	20 (F4h)
50	011b	16 (F0h)	19 (F3h)	011b	21 (F5h)	24 (F8h)	100b	12 (ECh)	15 (EFh)
100	010b	15 (EFh)	18 (F2h)	010b	19 (F3h)	23 (F7h)	010b	24 (F8h)	29 (FDh)
400	000b	9 (E9h)	20 (F4h)	000b	11 (EBh)	25 (F9h)	001b	7 (E7h)	16 (F0h)
1000	000b	4 (E4h)	7 (E7h)	000b	5 (E5h)	9 (E9h)	000b	6 (E6h)	12 (ECh)

転送速度 (kbps)	動作周波数PCLK (MHz)								
	30			33			50		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	110b	20 (F4h)	24 (F8h)	110b	22 (F6h)	26 (FAh)	111b	16 (F0h)	20 (F4h)
50	100b	15 (EFh)	18 (F2h)	100b	17 (F1h)	20 (F4h)	100b	26 (FAh)	31 (FFh)
100	010b	2 (E2h)	3 (E3h)	011b	16 (F0h)	19 (F3h)	011b	24 (F8h)	29 (FDh)
400	001b	8 (E8h)	19 (F3h)	001b	9 (E9h)	21 (F5h)	010b	7 (E7h)	16 (F0h)
1000	000b	7 (E7h)	14 (EEh)	000b	8 (E8h)	16 (F0h)	000b	12 (ECh)	24 (F8h)

- 注1. SCLnラインの立ち上がり時間 (tr) を~100kbps以下[S_m]は1000ns、~400kbps[F_m]は300ns、~1Mbps[F_{m+}]は120ns、SCLnラインの立ち下がり時間 (tf) を~400kbps以下[S_m/F_m]は300ns、~1Mbps[F_{m+}]は120nsとして計算した場合の設定例です。
SCLnライン立ち上がり時間 (tr)、SCLnライン立ち下がり時間 (tf) の規格値についてはNXP社のI²Cバス規格書を参照してください。

22.2.15 I²Cバス送信データレジスタ (ICDRT)

アドレス RIIC0.ICDRT 0008 8312h、RIIC1.ICDRT 0008 8332h



ICDRT レジスタは、送信データを格納する 8 ビットのレジスタです。

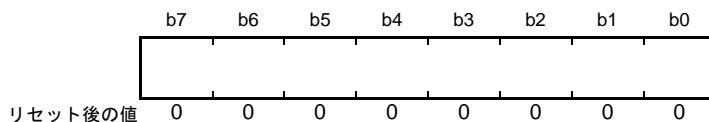
I²Cバスシフトレジスタ (ICDRS) の空きを検出すると、ICDRT レジスタに書き込まれた送信データが ICDRS レジスタへ転送され、送信モード時にデータ送信を開始します。

ICDRT レジスタと ICDRS レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ送信中に、次に送信するデータを ICDRT レジスタに書いておくと連続送信動作が可能です。

ICDRT レジスタは常に読み出し/書き込み可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み (ICTXI) 要求が発生したときに 1 回だけ行ってください。

22.2.16 I²Cバス受信データレジスタ (ICDRR)

アドレス RIIC0.ICDRR 0008 8313h、RIIC1.ICDRR 0008 8333h



ICDRR レジスタは、受信データを格納する 8 ビットのレジスタです。

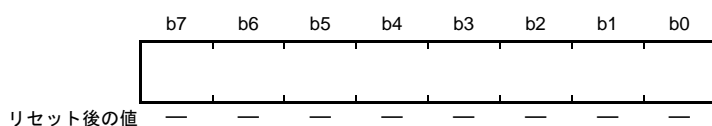
1 バイトのデータの受信が終了すると、受信したデータは I²Cバスシフトレジスタ (ICDRS) から ICDRR レジスタへ転送され、次のデータを受信可能にします。

ICDRS レジスタと ICDRR レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ受信中に、すでに受信したデータを ICDRR レジスタから読んでおくと連続受信動作が可能です。

ICDRR レジスタに書き込みはできません。ICDRR レジスタの読み出しは、受信データフル割り込み (ICRXI) 要求が発生したときに 1 回だけ行ってください。

受信データを ICDRR レジスタから読み出ししないまま (ICSR2.RDRF フラグが“1”の状態のまま) 次の受信データを受け取ると、RIIC は RDRF フラグを次に“1”になるタイミングの 1 つ手前の SCL_n クロックで自動的に Low ホールドを行います。

22.2.17 I²Cバスシフトレジスタ (ICDRS)



ICDRS レジスタは、データを送信 / 受信するためのシフトレジスタです。

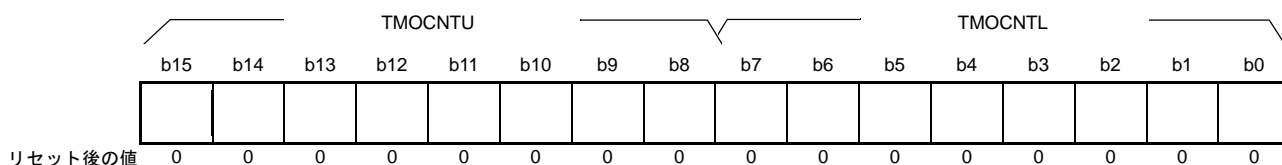
送信時は ICDRT レジスタから送信データが ICDRS レジスタに転送され、SDAn 端子からデータが送信されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS レジスタから ICDRR レジスタへ転送されます。

ICDRS レジスタは直接アクセスすることはできません。

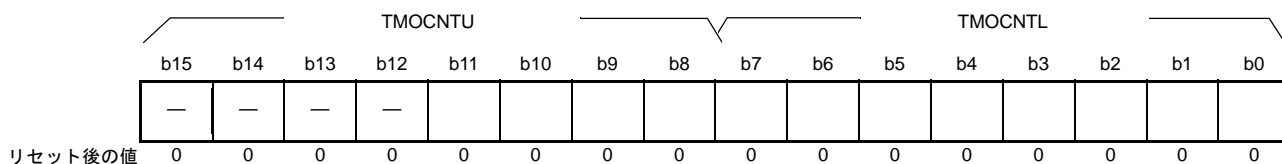
22.2.18 タイムアウト内部カウンタ (TMOCNT)

アドレス RIIC0.TMOCNTL 0008 830Ah、RIIC0.TMOCNTU 0008 830Bh^{注1}
RIIC1.TMOCNTL 0008 832Ah、RIIC1.TMOCNTU 0008 832Bh^{注1}

・ ICMR2.TMOS=0 (ロングモード) 時



・ ICMR2.TMOS=1 (ショートモード) 時



注1. 本レジスタはSARL0、SARU0レジスタと同一です。ご注意ください。

ビット	シンボル	ビット名	機能	R/W
b15-b8	TMOCNTU	タイムアウト内部カウンタ	タイムアウト内部カウンタ上位 ^(注1)	W ^(注2)
b7-b0	TMOCNTL		タイムアウト内部カウンタ下位	

注1. TMOS=1 (ショートモード) 時、b15-b12は予約ビットになります。書き込み可能ですが、書き込み値は無効です。

注2. タイムアウト内部カウンタの値は読み出しできません。読み出しを行った場合、FFFFhが読み出されます。

タイムアウト内部カウンタ (TMOCNTL/TMOCNTU) は、リセット時、ICCR1.IICRST=1 にしたとき、もしくは ICFER.TMOE=1 でかつ、ICMR1.CKS[2:0]=000b の PCLK/1 で使用し、ICMR2 の TMOH/TMOL ビットで設定したカウンタクリア条件 (SCL 立ち上がり / 立ち下がりエッジ検出) が成立したとき、初期化 (0000h) されます。

22.3 動作説明

22.3.1 通信データフォーマット

I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションおよびリスタートコンディションに続くフレームは、アドレスフレームでマスターデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブは新たにスレーブが指定されるか、ストップコンディションが発行されるまで有効です。

図 22.3 に I²C バスフォーマットを、図 22.4 に I²C バスタイミングを示します。

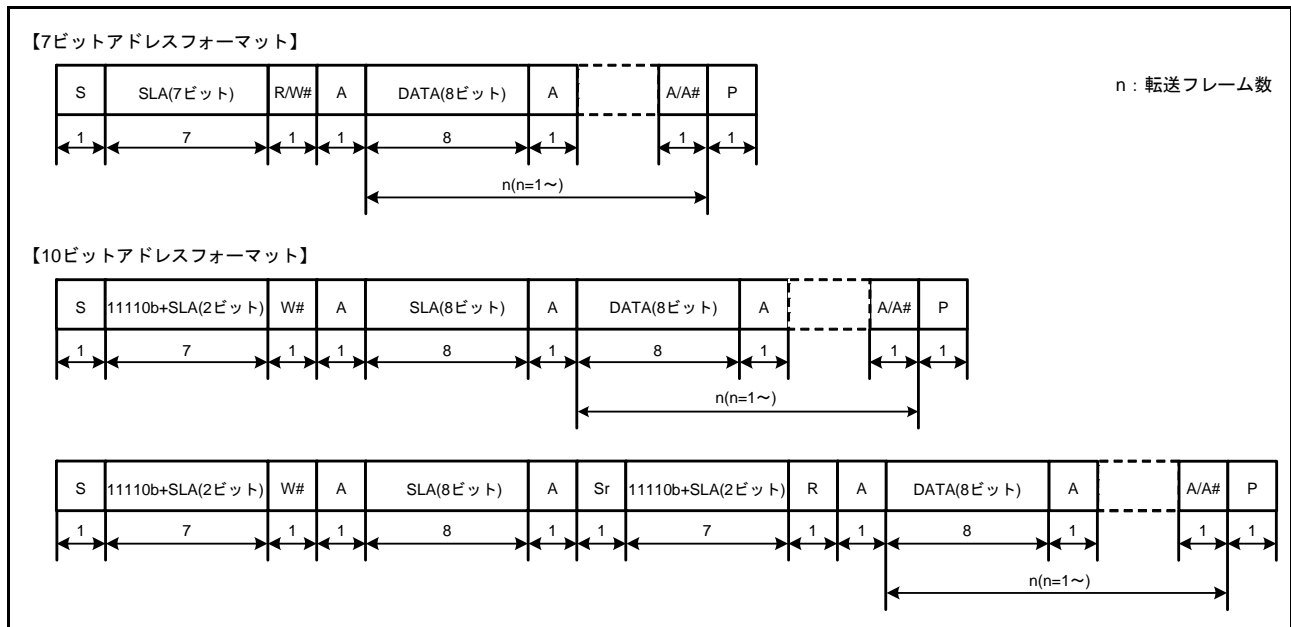


図 22.3 I²C バスフォーマット

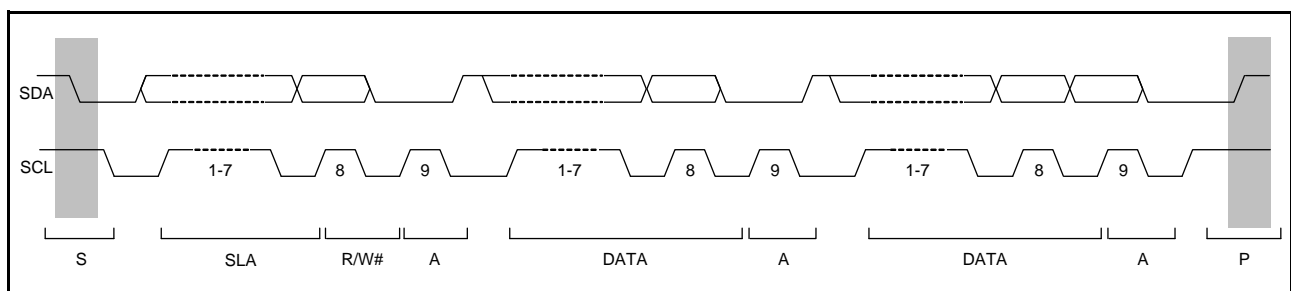


図 22.4 I²C バスタイミング (SLA=7 ビットの場合)

【記号説明】

- S : スタートコンディションを示します。マスターデバイスが、SCLn ラインが High の状態で SDA_n ラインが High から Low に変化します。
- SLA : スレーブアドレスを示します。マスターデバイスがスレーブデバイスを選択します。
- R/W# : 送信/受信の方向を示します。“1”のときスレーブデバイスからマスターデバイスへ、“0”のときマスターデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジを示します。受信デバイスが SDA_n ラインを Low にします (マスター送信モード時: スレーブデバイスがアクノリッジを返します。マスター受信モード時: マスターデバイスがアクノリッジを返します)。
- Sr : リスタートコンディションを示します。マスターデバイスが、SCLn ラインが High の状態でセットアップ時間経過後に SDA_n ラインが High から Low に変化します。
- DATA : 送受信データを示します。
- P : ストップコンディションを示します。マスターデバイスが、SCLn ラインが High の状態で SDA_n ラインが Low から High に変化します。

22.3.2 初期設定

データの送信/受信を開始する場合、図 22.5 に示す手順に従って RIIC を初期化してください。

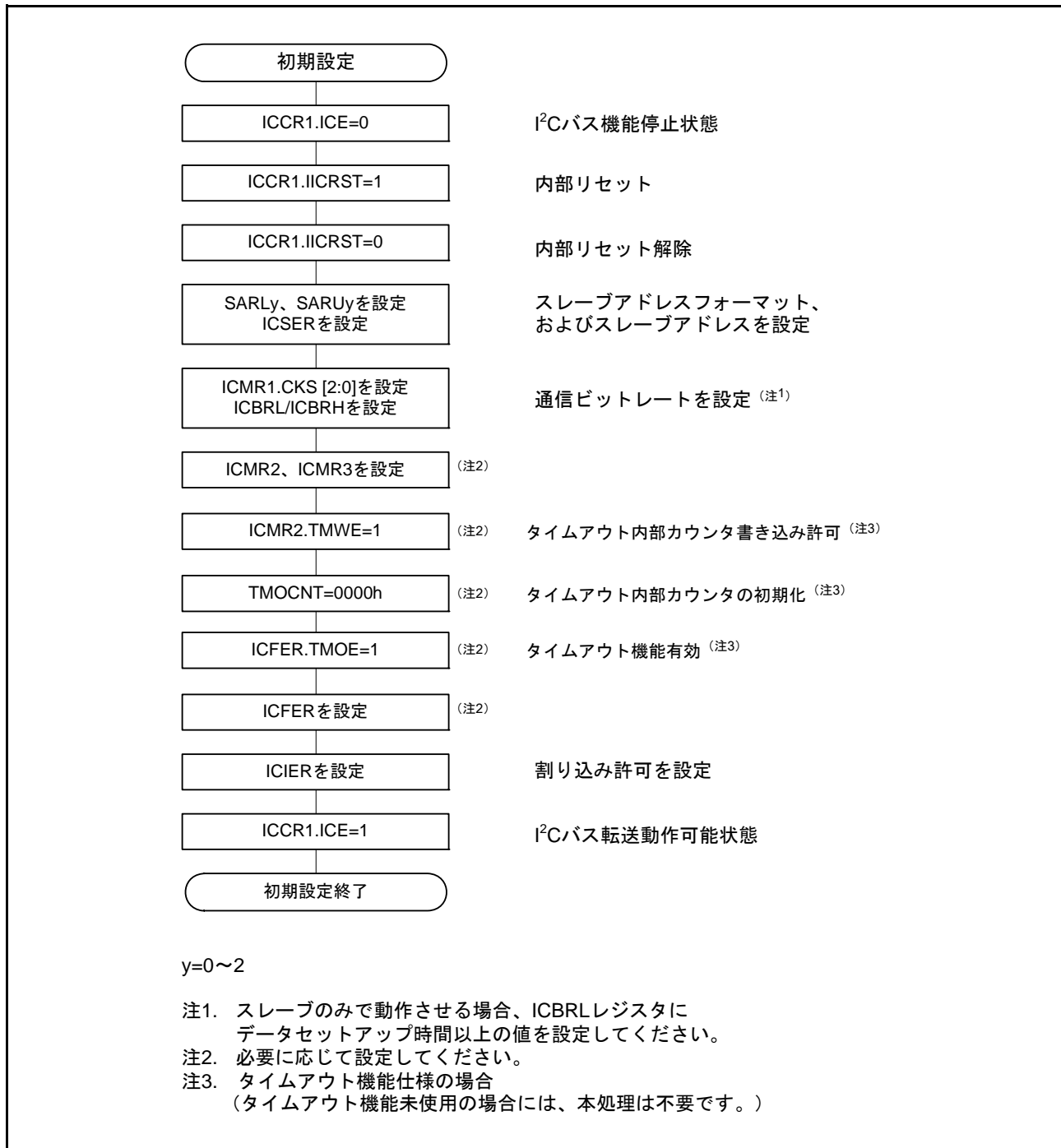


図 22.5 RIIC の初期化フローチャート例

22.3.3 マスタ送信動作

マスタ送信では、マスタデバイスである RIIC が SCL クロックと送信データを出力して、スレーブデバイスがアクノリッジを返します。図 22.6 にマスタ送信の使用例を、図 22.7 ～図 22.9 にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

- (1) ICCR1.ICE ビットを“0” (機能停止状態) にしたまま ICCR1.IICRST ビットを“1” (内部リセット) にした後、“0” (リセット解除) にします。これにより ICSR1 レジスタの各フラグや内部状態の初期化を行います。その後、SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL レジスタ (y=0 ～ 2) を設定し、その他のレジスタは必要に応じて設定してください (RIIC の初期設定については図 22.5 参照)。必要なレジスタの設定が終了したら、ICE ビットを“1” (転送可能状態) にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きま (スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態でも自分が出した SDA 信号と SDA_n ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST、TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE は、TRS ビット=1 により自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビット =0 を受信すると、引き続きマスタ送信モードの状態を継続します。
このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行われます。
なお 10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b+ スレーブアドレスの上位 2 ビット+ W を書き、2 回目のアドレス送信処理で ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
- (4) ICSR2.TDRE フラグが“1”であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間 RIIC は自動的に SCL_n ラインを Low にホールドします。
- (5) 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが“1”になるまで待ってから ICCR2.SP ビットに“1”を書いてください (ストップコンディション発行要求)。RIIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。
- (6) RIIC はストップコンディションを検出すると、ICCR2.MST、TRS ビットが自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.TDRE、TEND フラグも自動的に“0”になり、ICSR2.STOP フラグが“1”になります。
- (7) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF、STOP フラグを“0”にしてください。

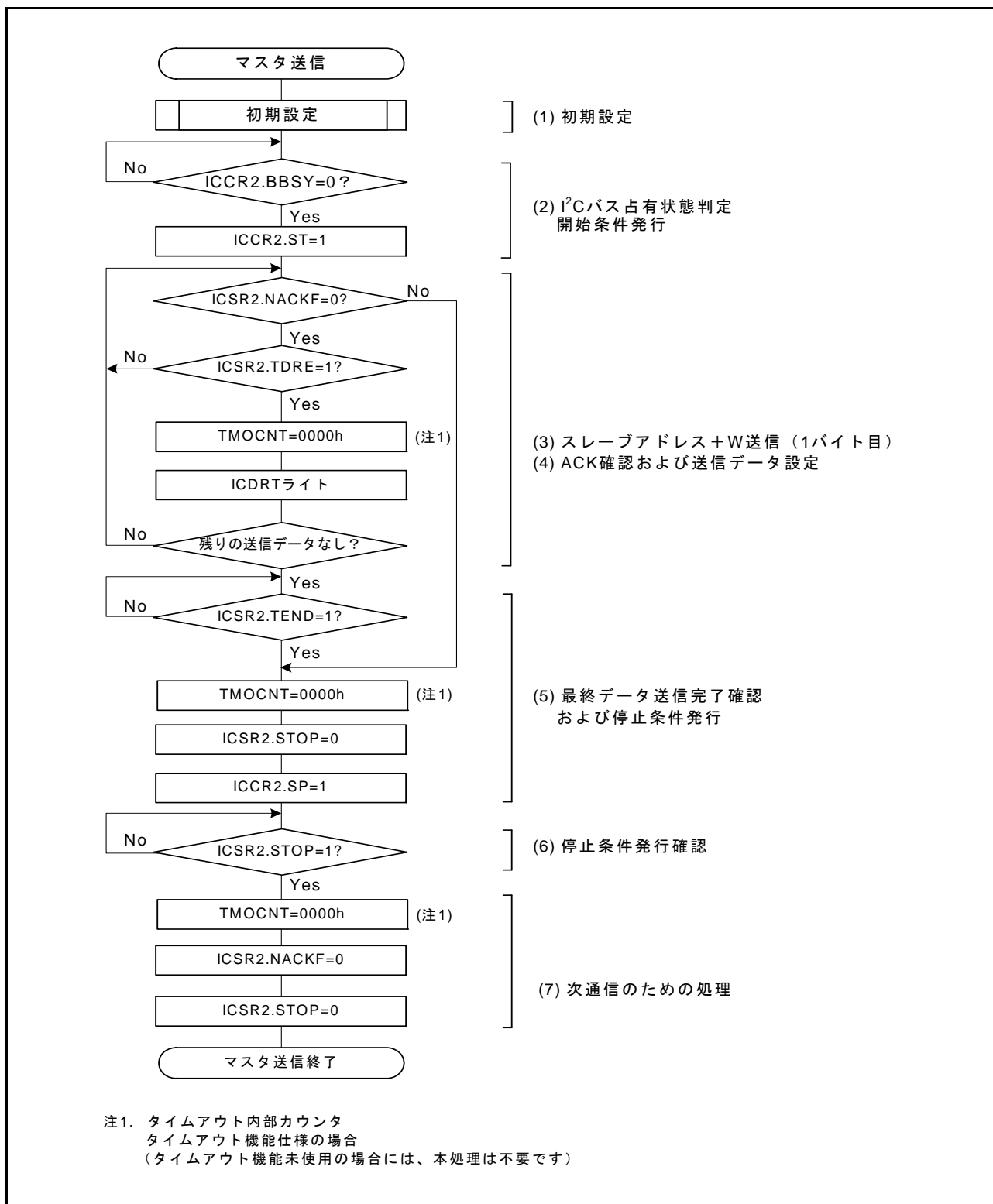


図 22.6 マスタ送信のフローチャート例

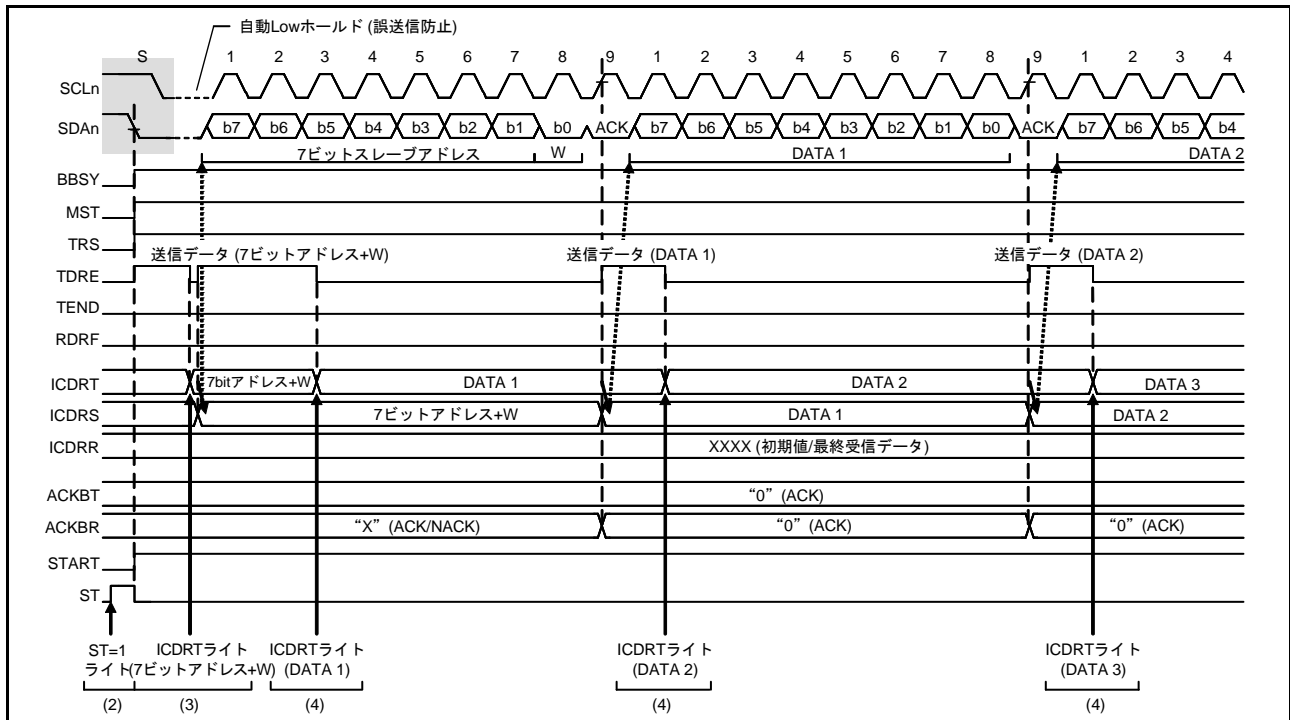


図 22.7 マスタ送信の動作タイミング (1) (7ビットアドレスフォーマットの時)

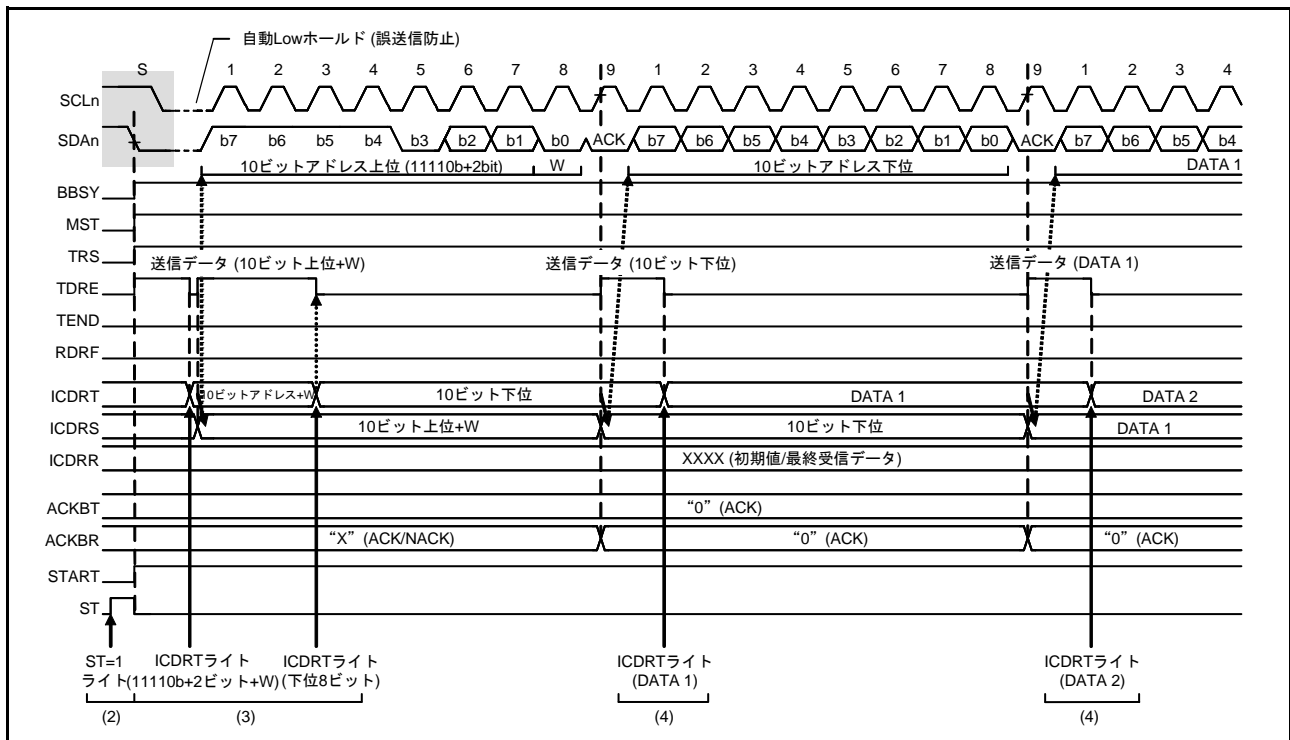


図 22.8 マスタ送信の動作タイミング (2) (10ビットアドレスフォーマットの時)

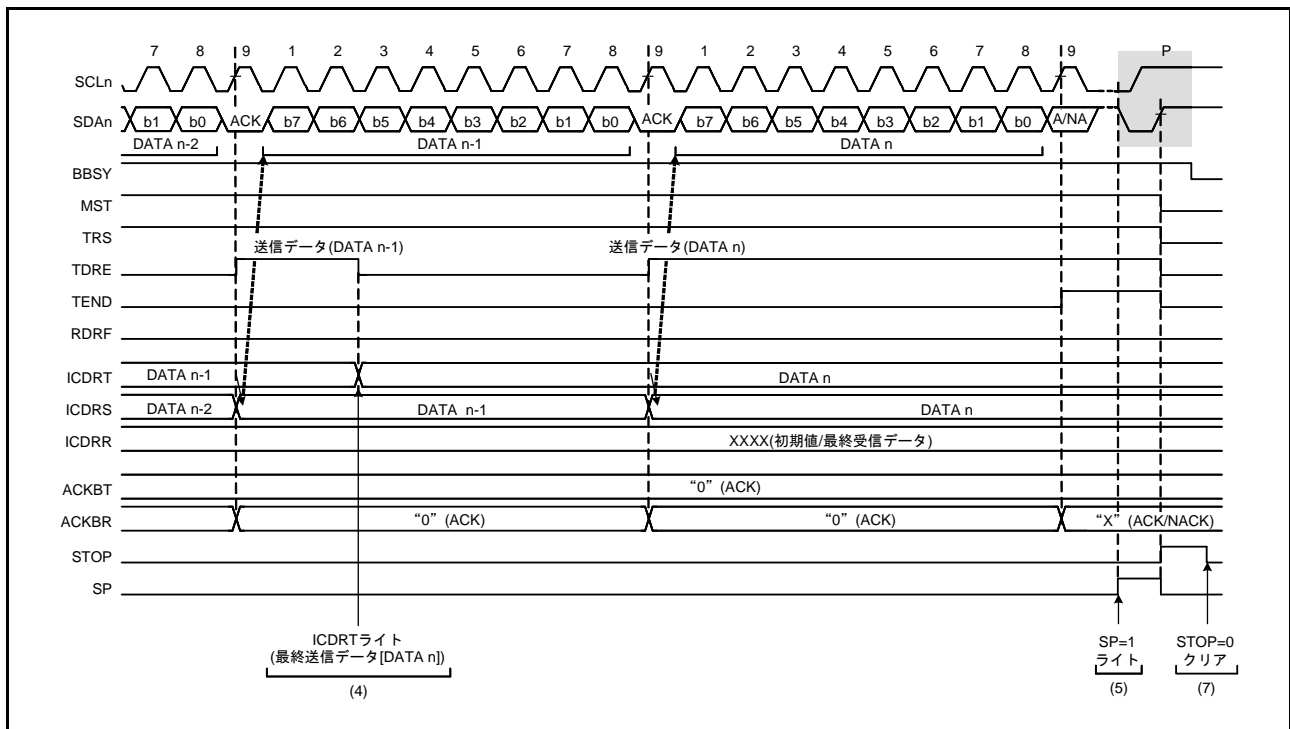


図 22.9 マスタ送信の動作タイミング (3)

22.3.4 マスタ受信動作

マスタ受信では、マスタデバイスである RIIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信する必要があるため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

図 22.10 にマスタ受信の使用例 (7 ビットアドレスフォーマットの場合) を、図 22.11 ~ 図 22.13 にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

- (1) ICCR1.ICE ビットを“0” (機能停止状態) にしたまま ICCR1.IICRST ビットを“1” (内部リセット) にした後、“0” (リセット解除) にします。これにより ICSR1 レジスタの各フラグや内部状態の初期化を行います。その後、SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL レジスタ (y=0 ~ 2) を設定し、その他のレジスタは必要に応じて設定してください (RIIC の初期設定については図 22.5 参照)。必要なレジスタの設定が終了した後、ICE ビットを“1” (転送可能状態) にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書き加えます (スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態でも自分が出した SDA 信号と SDA_n ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST、TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE フラグは、TRS ビット=1 により自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に ICCR2.TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビット=1 を受信すると、9 クロック目の立ち上がりで TRS ビットを“0”にしてマスタ受信モードに移行します。このとき TDRE フラグは“0”に、ICSR2.RDRF フラグは自動的に“1”になります。
このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行えます。
なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b+ スレーブアドレスの上位 2 ビット+R を送信することで、マスタ受信モードに移行します。
- (4) ICSR2.RDRF フラグが“1”であることを確認した後、ダミーで ICDRR レジスタを読むと、RIIC は SCL クロックを出力して受信動作を開始します。
- (5) 1 バイトのデータ受信が終了し、ICMR3.RDRFS ビットで設定した SCL クロックの 8 クロック目、あるいは 9 クロック目の立ち上がりで、ICSR2.RDRF フラグが“1”になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に“0”になります。また SCL クロックの 9 クロック目のアクノリッジビットには、ICMR3.ACKBT ビットに設定された値が返信されます。また、次の受信バイトが最終バイト-1 の場合、ICDRR レジスタ (最終バイト-2 バイト目) を読む前に ICMR3.WAIT ビットを“1” (WAIT あり) にしてください。これにより、続く (6) の ICMR3.ACKBT ビットを“1” (NACK) にする処理が他割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするとともに、最終バイトの受信時に 9 クロック目の立ち下がり SCL_n ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。

- (6) ICMR3.RDRFS ビットが“0”でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、ICMR3.ACKBT ビットを“1” (NACK) にしてください。
- (7) ICDRR レジスタ (最終バイト - 1 バイト目) 読み出し後、ICSR2.RDRF フラグが“1”であることを確認してから、ICCR2.SP ビットに“1”を書いて (ストップコンディション発行要求)、ICDRR レジスタ (最終バイト) を読んでください。RIIC は ICDRR レジスタの読み出しにより、WAIT 状態が解除され、9 クロック目の Low 出力終了または SCL ラインの Low ホールド解除後にストップコンディションを発行します。
- (8) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットは自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.STOP フラグが“1”になります。
- (9) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

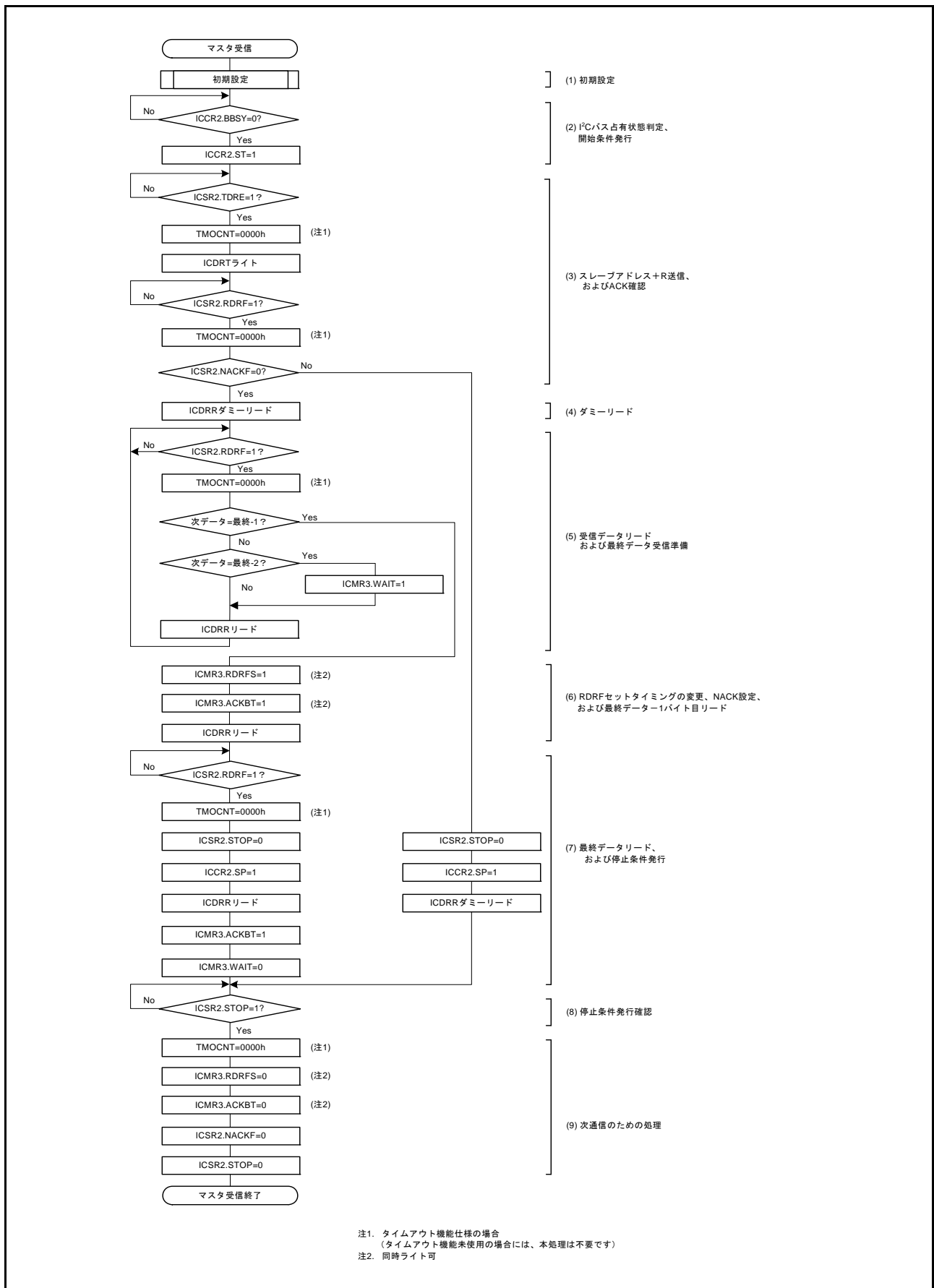


図 22.10 マスタ受信のフローチャート例 (7ビットアドレスフォーマットの場合)

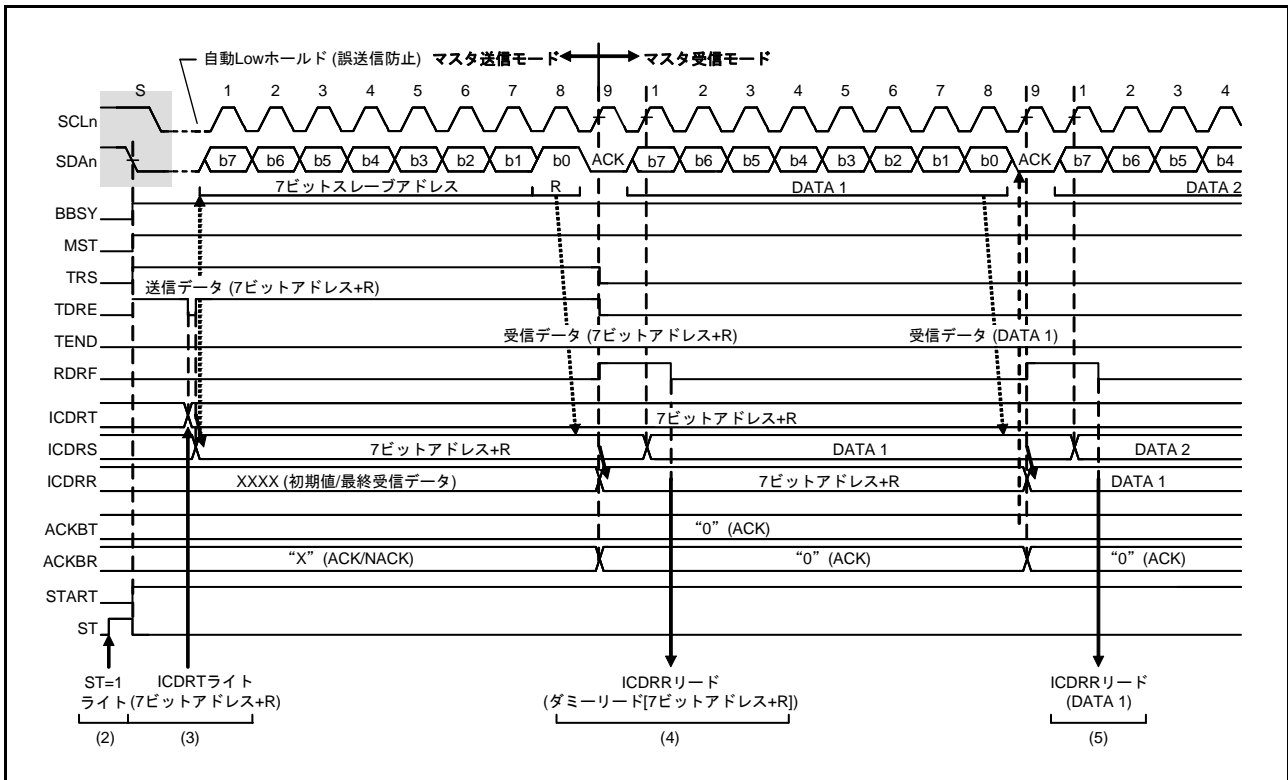


図 22.11 マスタ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS=0 のとき)

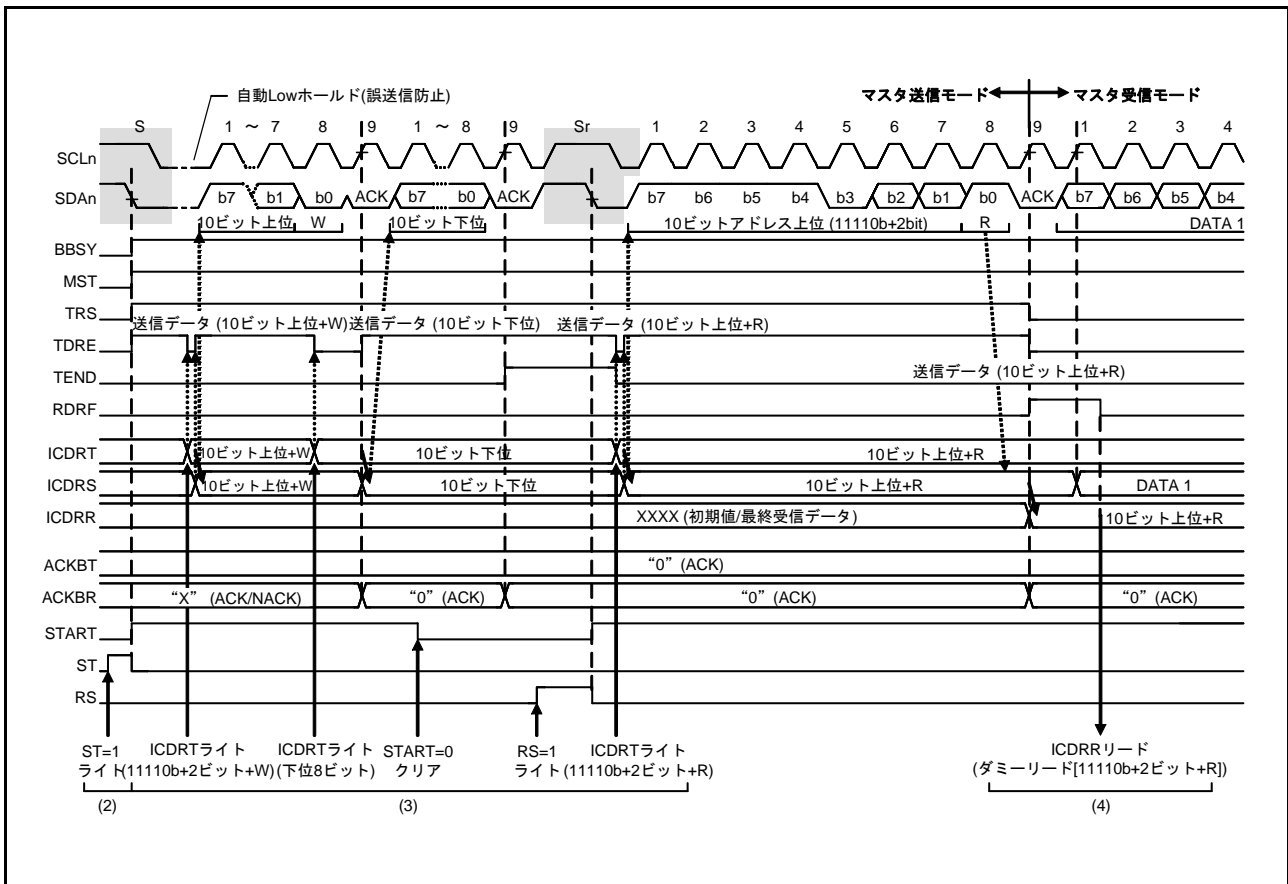


図 22.12 マスタ受信の動作タイミング (2) (10ビットアドレスフォーマット、RDRFS=0 のとき)

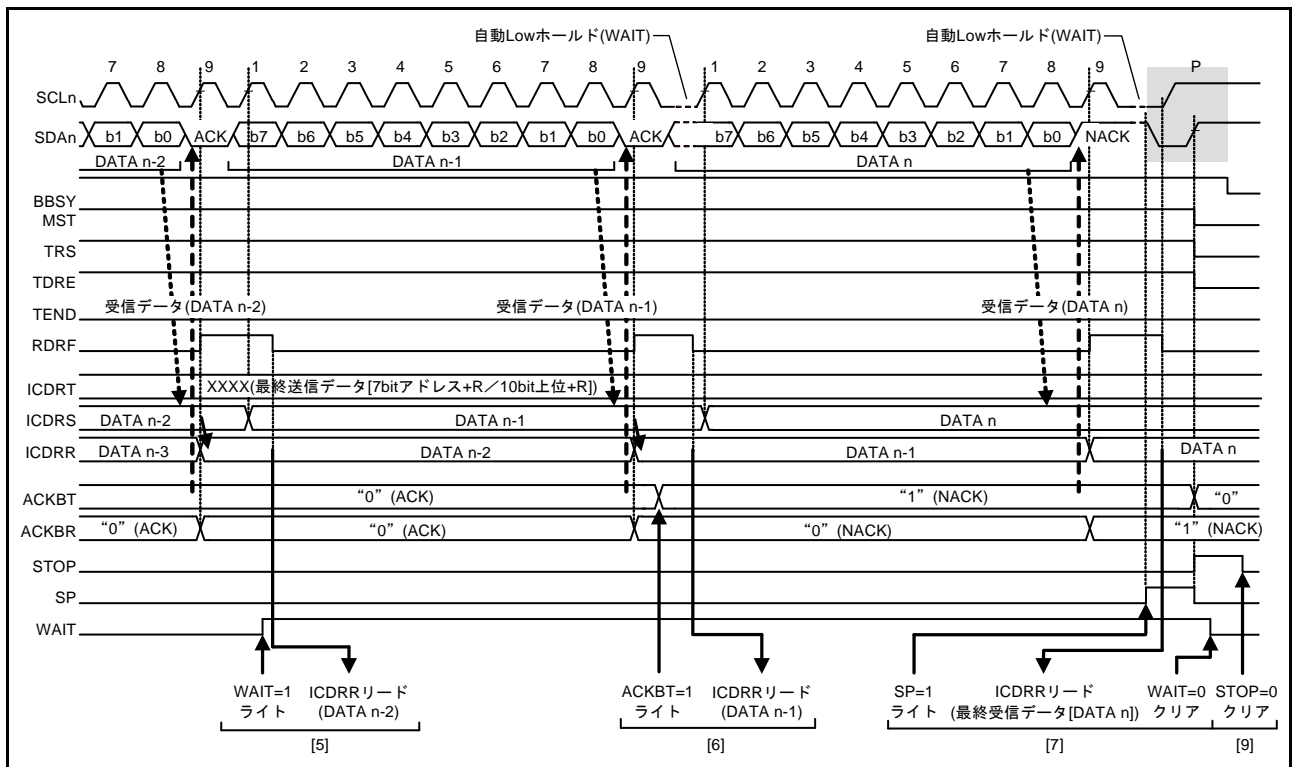


図 22.13 マスタ受信の動作タイミング (3) (RDRFS=0 のとき)

22.3.5 スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである RIIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 22.14 にスレーブ送信の使用例を示します。図 22.15、図 22.16 にスレーブ送信の動作タイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

- (1) 図 22.5 に示す手順で RIIC を初期設定してください。すでに RIIC の初期化が完了している場合、この手順は不要です。初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2) のいずれかを “1” にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが “1” のとき、ICCR2.TRS ビットおよび ICSR2.TDRE フラグを “1” にし、自動的にスレーブ送信モードに切り替わります。
- (3) ICSR2.TDRE フラグが “1” であることを確認した後、ICDRT レジスタに送信データを書いてください。このとき、ICFER.NACKC ビットが “1” の状態でマスタデバイスからアクノリッジがなかった (NACK を受信した) 場合、RIIC は次の通信動作を中断します。
- (4) ICSR2.NACKF フラグが “1” になるか、または最終送信データを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが “1” の状態で、ICSR2.TEND フラグが “1” になるまで待ってください。ICSR2.NACKF フラグが “1” または TEND フラグが “1” の場合、RIIC は 9 クロック目の立ち下がり以降 SCLn ラインを Low にホールドします。
- (5) ICSR2.NACKF フラグが “1” または ICSR2.TEND フラグが “1” の場合、終了処理のため ICDRR レジスタをダミーで読んでください。これにより SCLn ラインを開放します。
- (6) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2)、ICSR2.TDRE, TEND フラグ、ICCR2.TRS ビットを自動的に “0” にし、スレーブ受信モードに移行します。
- (7) ICSR2.STOP フラグが “1” であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを “0” にしてください。

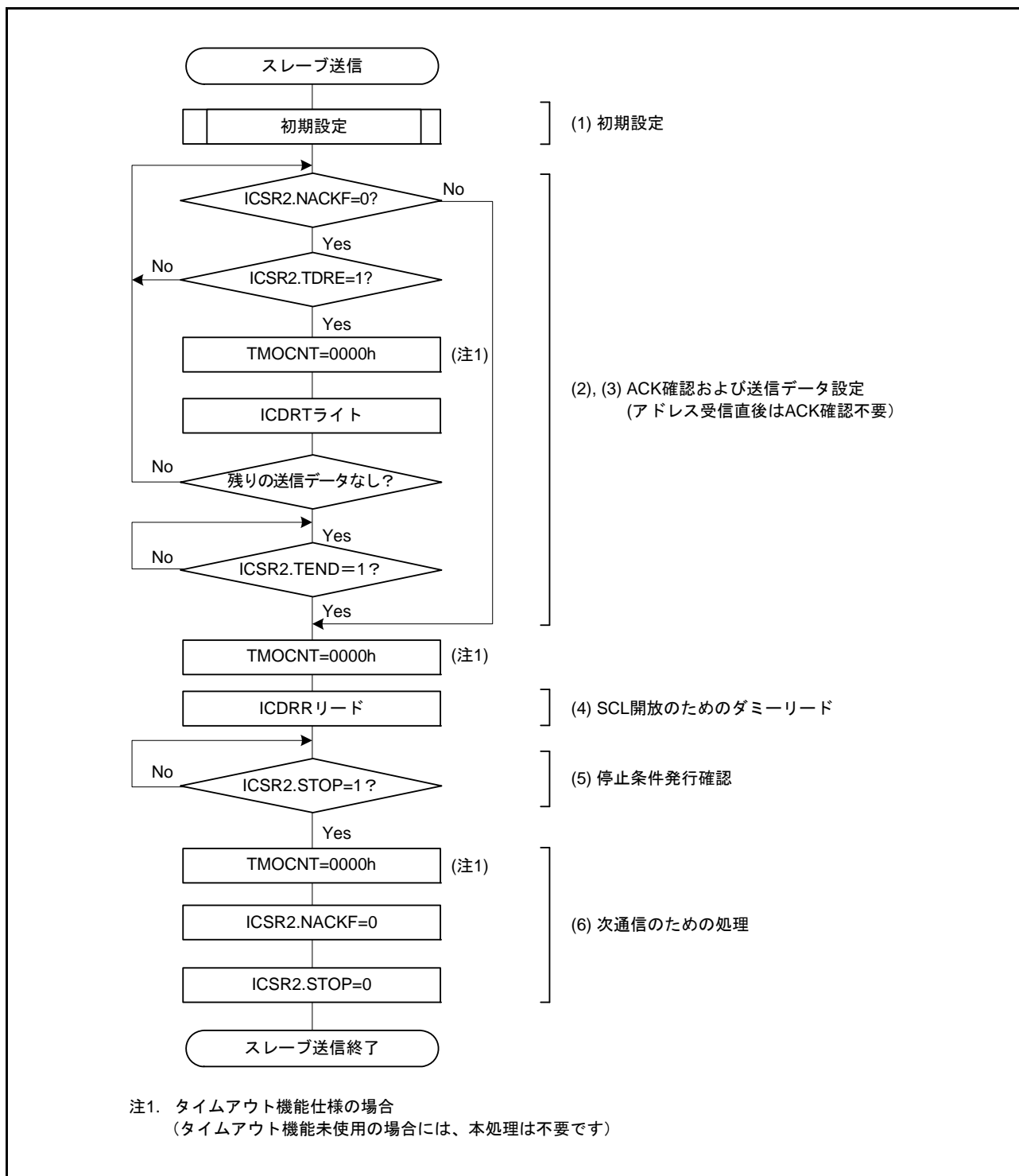


図 22.14 スレーブ送信のフローチャート例

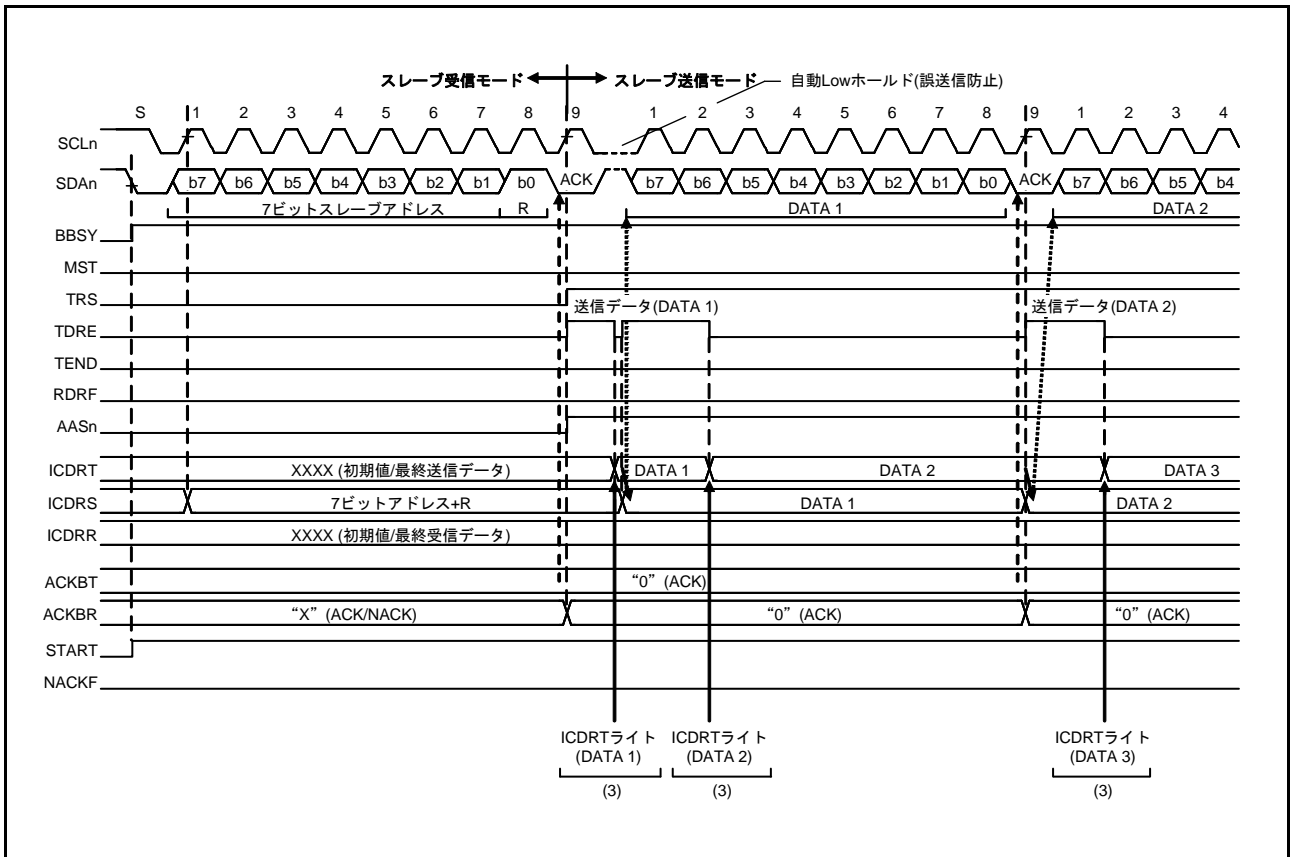


図 22.15 スレーブ送信の動作タイミング (1) (7 ビットアドレスフォーマットの時)

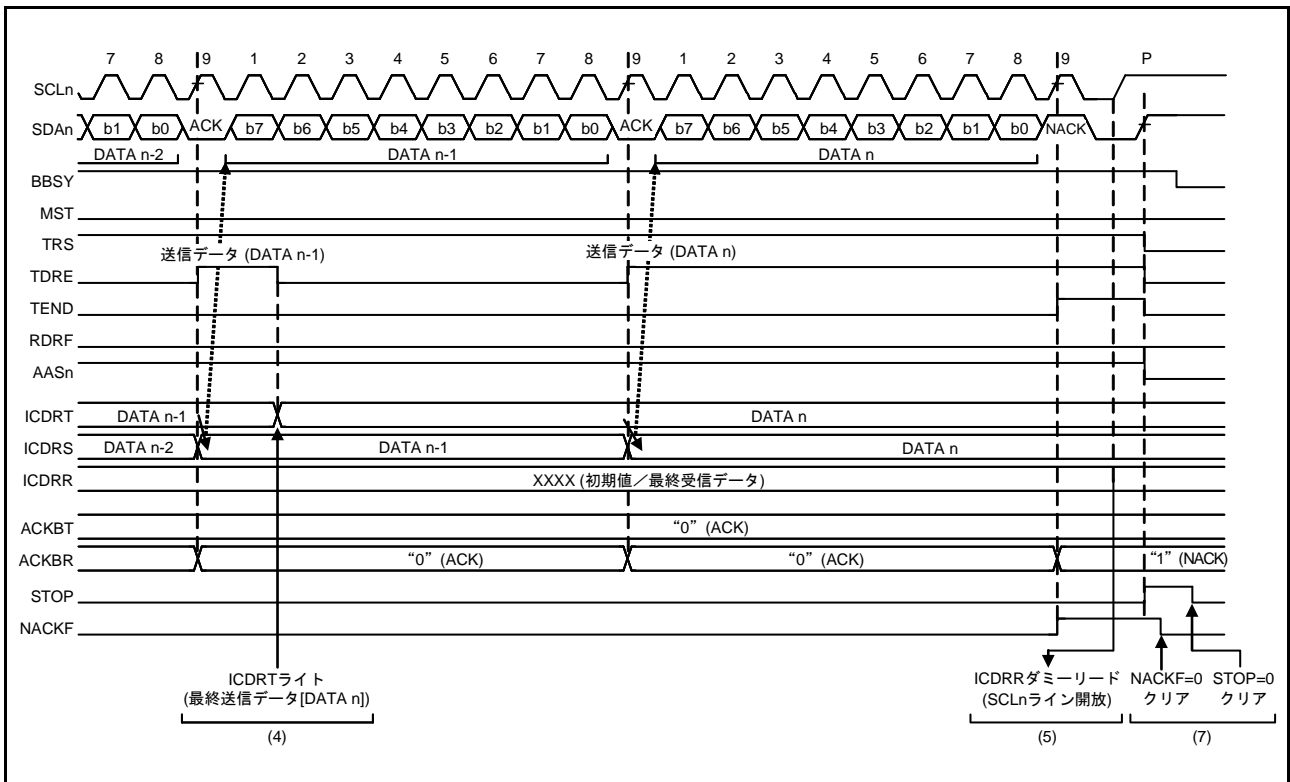


図 22.16 スレーブ送信の動作タイミング (2)

22.3.6 スレーブ受信動作

スレーブ受信では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである RIIC がアクノリッジを返します。

図 22.17 にスレーブ受信の使用例を図 22.18、図 22.19 にスレーブ受信の動作タイミングを示します。

以下にスレーブ受信の受信手順と動作を示します。

- (1) 図 22.5 に示す手順で RIIC を初期設定してください。すでに RIIC の初期化が完了している場合、この手順は不要です。初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、RIIC は SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.HOA, GCA, AAS_y ビット (y=0 ~ 2) のいずれかを “1” にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが “0” なら、スレーブ受信モードの状態を継続し、ICSR2.RDRF フラグを “1” にします。
- (3) ICSR2.STOP フラグが “0” で、かつ ICSR2.RDRF フラグが “1” であることを確認したら、最初の 1 回目は ICDRR レジスタをダミーで読んでください(なお、ダミーで読んだ受信データは 7 ビットアドレスフォーマット時にスレーブアドレス + R/W# ビット、10 ビットアドレスフォーマット時は下位 8 ビットアドレスになります)。
- (4) ICDRR レジスタを読むと RIIC は ICSR2.RDRF フラグを自動的に “0” にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが “1” になった状態で次のデータを受信すると、RIIC は RDRF フラグが “1” になるタイミングの 1 つ手前の SCL クロック立ち下がりで SCL_n ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され RIIC は SCL_n ラインを開放します。ICSR2.STOP フラグが “1” で、かつ ICSR2.RDRF フラグが “1” の場合、または全データ受信が完了するタイミングで ICDRR レジスタを読んでください。
- (5) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AAS_y ビット (y=0 ~ 2) を自動的に “0” にします。
- (6) ICSR2.STOP フラグが “1” であることを確認した後、次通信のために ICSR2.STOP フラグを “0” にしてください。

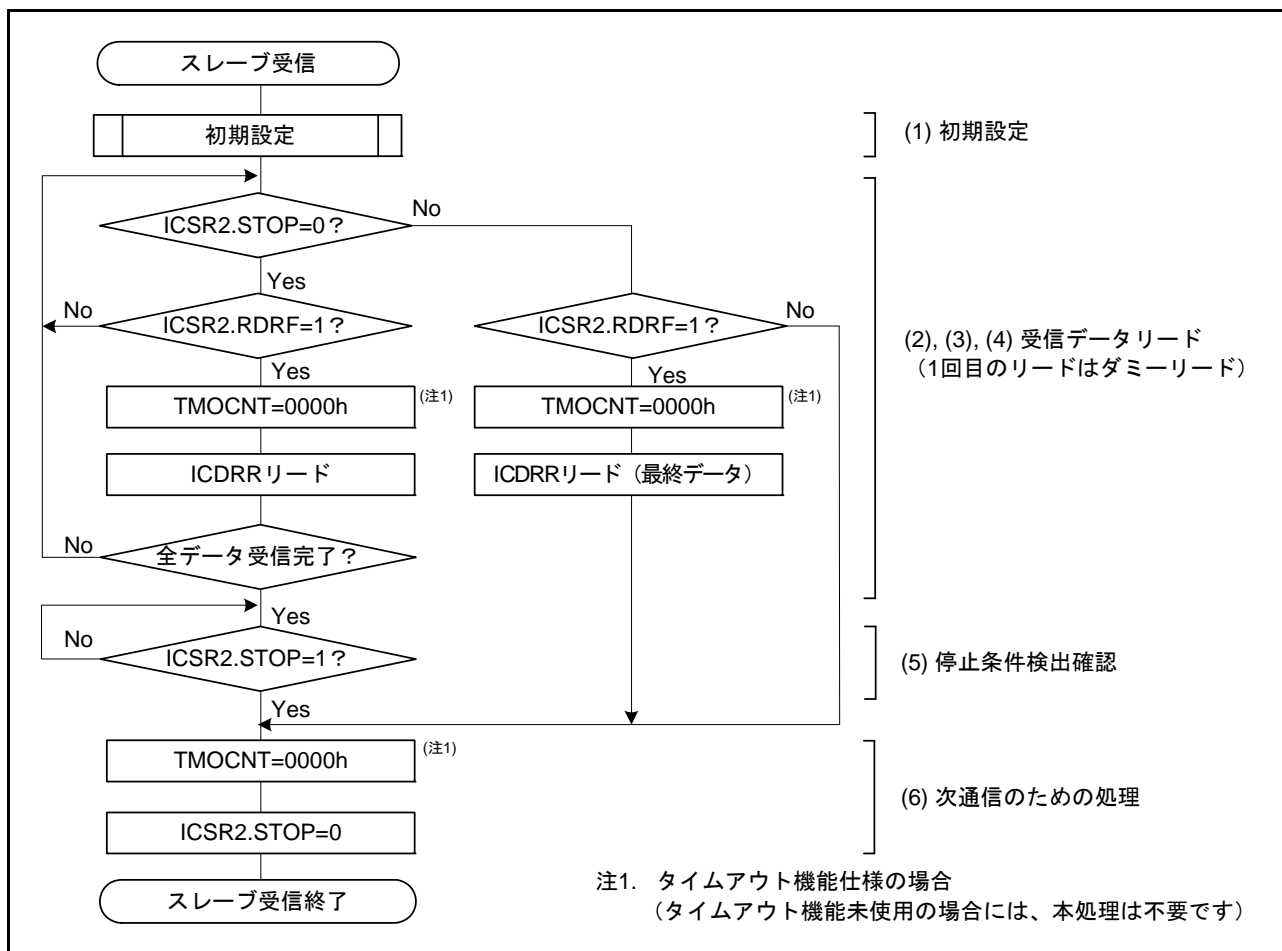


図 22.17 スレーブ受信のフローチャート例

22.4 SCL 同期回路

RIIC の SCL クロック生成は SCLn ラインの立ち上がりを検出すると、ICBRH レジスタで設定された High 幅のカウンタを開始し、High 幅のカウンタが終了すると SCLn ラインを Low にドライブして立ち下げます。また SCLn ラインの立ち下がりを検出すると、ICBRL レジスタで設定された Low 幅のカウンタを開始し、Low 幅のカウンタが終了すると SCLn ラインの Low ドライブを終了して SCLn ラインを開放します。これにより SCL クロックを生成します。

I²C バスをマルチマスタで使用する場合、SCL クロックは他のマスタデバイスとの競合により SCL クロック同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL クロックの同期化を行う必要があります。この SCL クロックの同期はビットごとに行う必要があります。RIIC はマスタモード時に SCLn ラインを監視してビットごとに同期を取りながら SCL クロックを生成する機能 (SCL 同期回路) を備えています。

RIIC が SCLn ラインの立ち上がりを検出し ICBRH レジスタで設定された High 幅のカウンタ中に他のマスタデバイスの SCL クロック出力により SCLn ラインが立ち下げられた場合、RIIC は SCLn ラインの立ち下げを検出すると High 幅のカウンタアップ動作を中断し、SCLn ラインの Low ドライブを行うのと同時に ICBRL レジスタで設定された Low 幅のカウンタアップを開始します。Low 幅のカウンタが終了すると SCLn ラインの Low ドライブを終了して SCLn ラインを開放します。このとき他のマスタデバイスの SCL クロックの Low 幅が RIIC で設定された Low 幅よりも長い場合、SCL クロックの Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCLn ラインが開放され SCL クロックが立ち上がります。そのため SCL クロック出力衝突時の SCL クロックの High 幅は短いクロックに同期し、Low 幅は長いクロックに同期化されます。なお、この SCL 同期は ICFER.SCLE ビットが“1”のとき有効です。

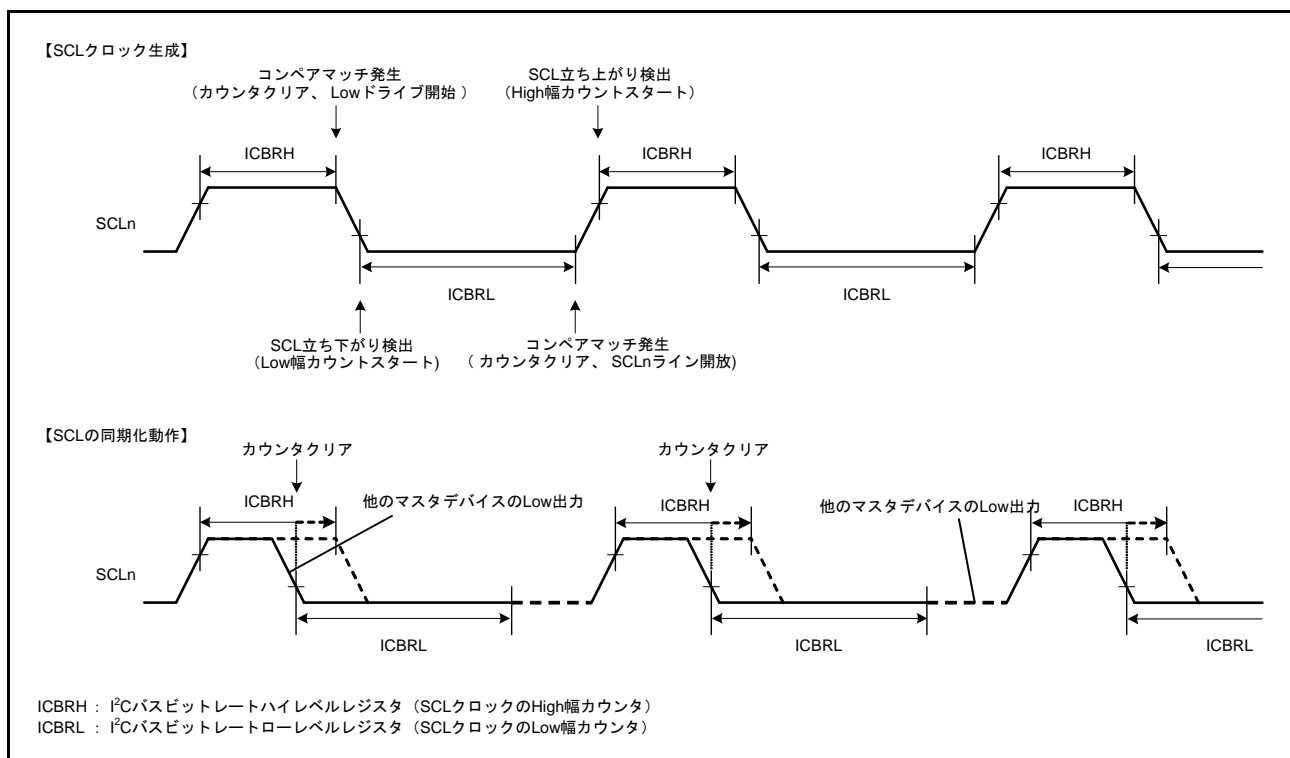


図 22.20 RIIC の SCL クロック生成および SCL 同期化動作

22.5 SDA 出力遅延機能

RIICにはSDA出力遅延機能を備えています。SDA出力遅延機能は、すべてのSDA出力タイミング（発行動作（開始/再開/停止）、データ出力、ACK/NACK出力）を遅延させることができます。

SDA出力遅延機能は、SCLクロックの立ち上がり検出からSDA出力を遅延させ、確実にSCLクロックのLow期間中にSDA出力を行うことで、通信デバイスの誤認動作を防ぐ目的で使用する機能で、SMBusのデータホールド時間:300ns（min）の規格を満たす目的でも使用することができます。

このSDA出力遅延機能はICMR2.SDDL[2:0]ビットが“000b”以外のとき有効で、SDDL[2:0]ビットが“000b”のとき無効です。

SDA出力遅延機能が有効(SDDL[2:0]ビットが“000b”以外)のとき、SDA出力遅延カウンタはICMR2.DLCSビットで選択された内部基準クロック(IICφ)またはその2分周クロック(IICφ/2)をカウントソースとしてSDDL[2:0]ビットで設定されたサイクル数分のカウント動作を行い、遅延サイクル分のカウントが終了した時点でRIICはSDA出力（発行動作（開始/再開/停止）、データ出力、ACK/NACK出力）を行います。

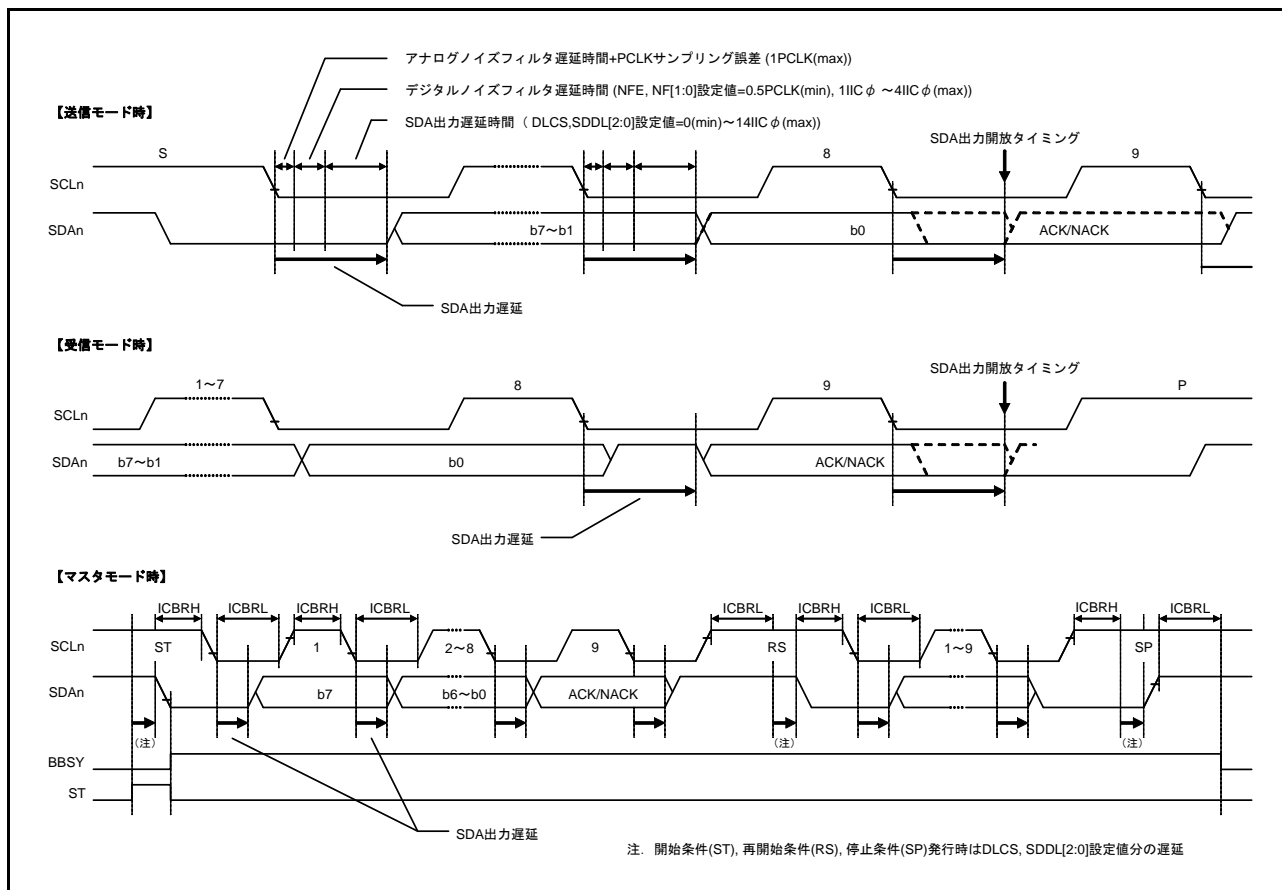


図 22.21 SDA 出力遅延タイミング

22.6 デジタルノイズフィルタ回路

SCLn 端子および SDA_n 端子の状態は、アナログノイズフィルタ回路およびデジタルノイズフィルタ回路を経由して内部に取り込まれます。図 22.22 にデジタルノイズフィルタ回路のブロック図を示します。

RIIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択し、ノイズ除去能力は選択した有効段数に応じて 1PCLK ~ 4PCLK サイクル分となります。

SCLn 端子入力信号(または SDA_n 端子入力信号)は PCLK の立ち下がりでもサンプリングされ、ICMR3.NF[1:0] ビットで設定された有効段数のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

なお、PCLK = 4MHz 時の 400kbps 通信のような内部動作クロック (PCLK) と通信速度の比が小さい場合、デジタルノイズフィルタの特性上ノイズ発生時に必要な信号まで除去してしまう場合があります。そのような場合は、デジタルノイズフィルタ回路の使用を禁止 (ICFER.NFE ビット = 0) し、アナログノイズフィルタ回路のみを使用することが可能です。

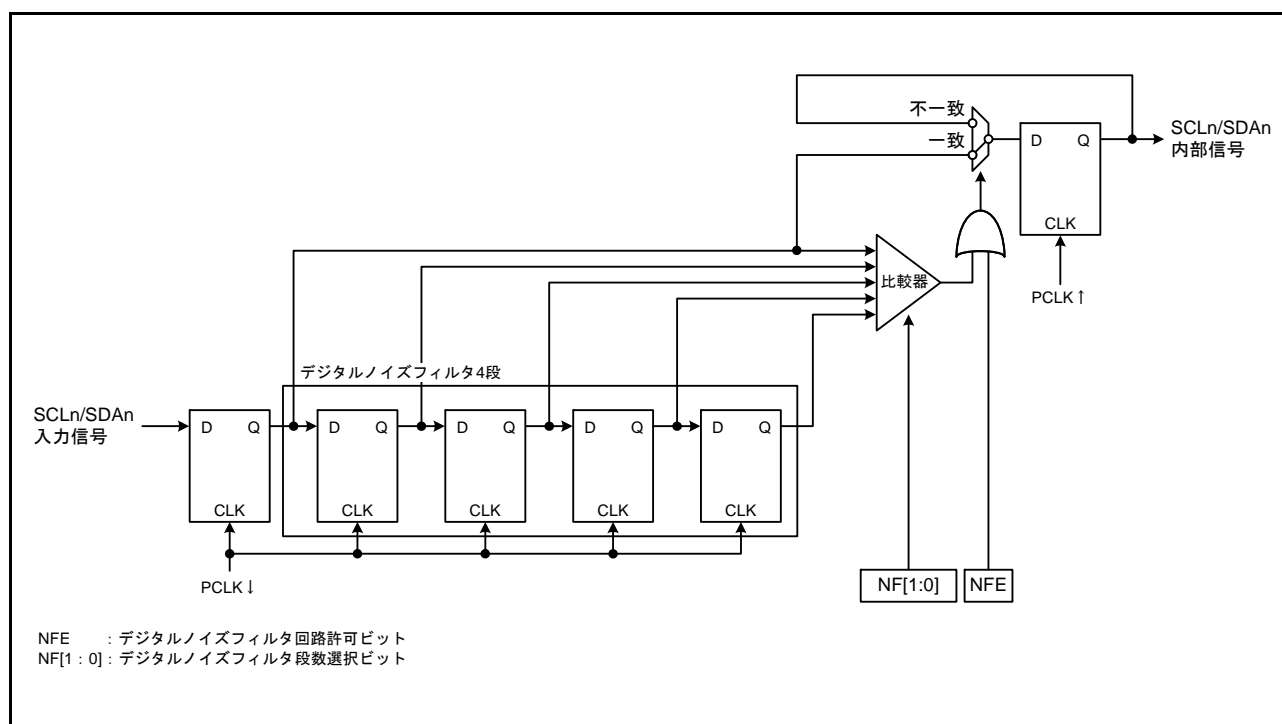


図 22.22 デジタルノイズフィルタ回路のブロック図

22.7 アドレス一致検出機能

RIICはジェネラルコールアドレス、ホストアドレスの他に3種類のスレーブアドレスを設定可能です。またスレーブアドレスには7ビットアドレスまたは10ビットアドレスの設定が可能です。

22.7.1 スレーブアドレス一致検出機能

RIICは3種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。ICSR.SARyEビット(y=0~2)が“1”のとき、SARUy/SARLyレジスタ(y=0~2)に設定されたスレーブアドレスを検出することができます。

RIICは設定されたスレーブアドレス一致を検出すると、SCLクロックの9クロック目の立ち下がりで該当するICSR1.AASyフラグ(y=0~2)を“1”にし、続くR/W#ビットによりICSR2.RDRFフラグまたはICSR2.TDREフラグを“1”にします。これにより受信データフル割り込み(ICRXI)または送信データエンpty割り込み(ICTXI)を発生させることができ、AASyフラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

図22.23~図22.25にAASnフラグが“1”になるタイミングを示します。

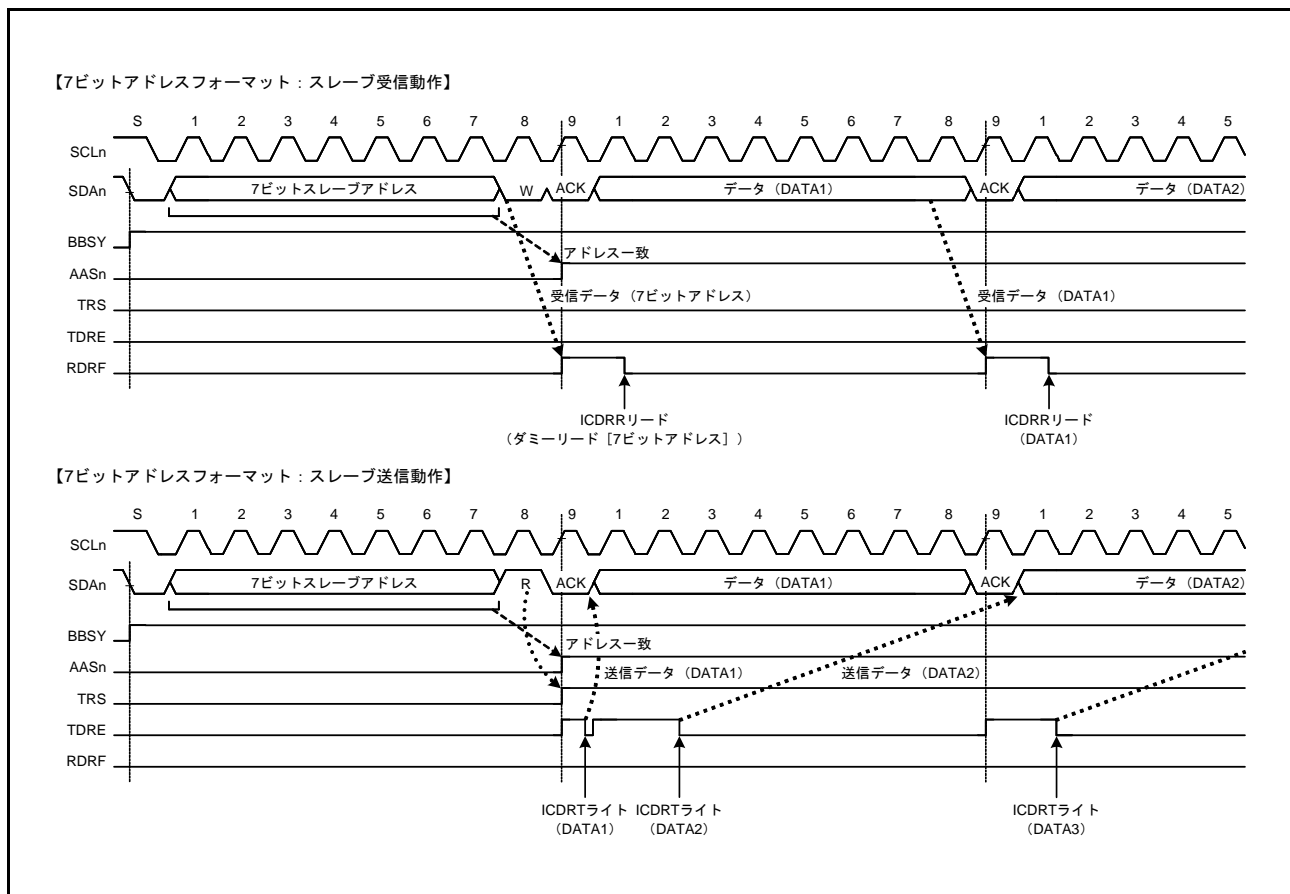


図22.23 7ビットアドレスフォーマット選択時にAASyフラグが“1”になるタイミング

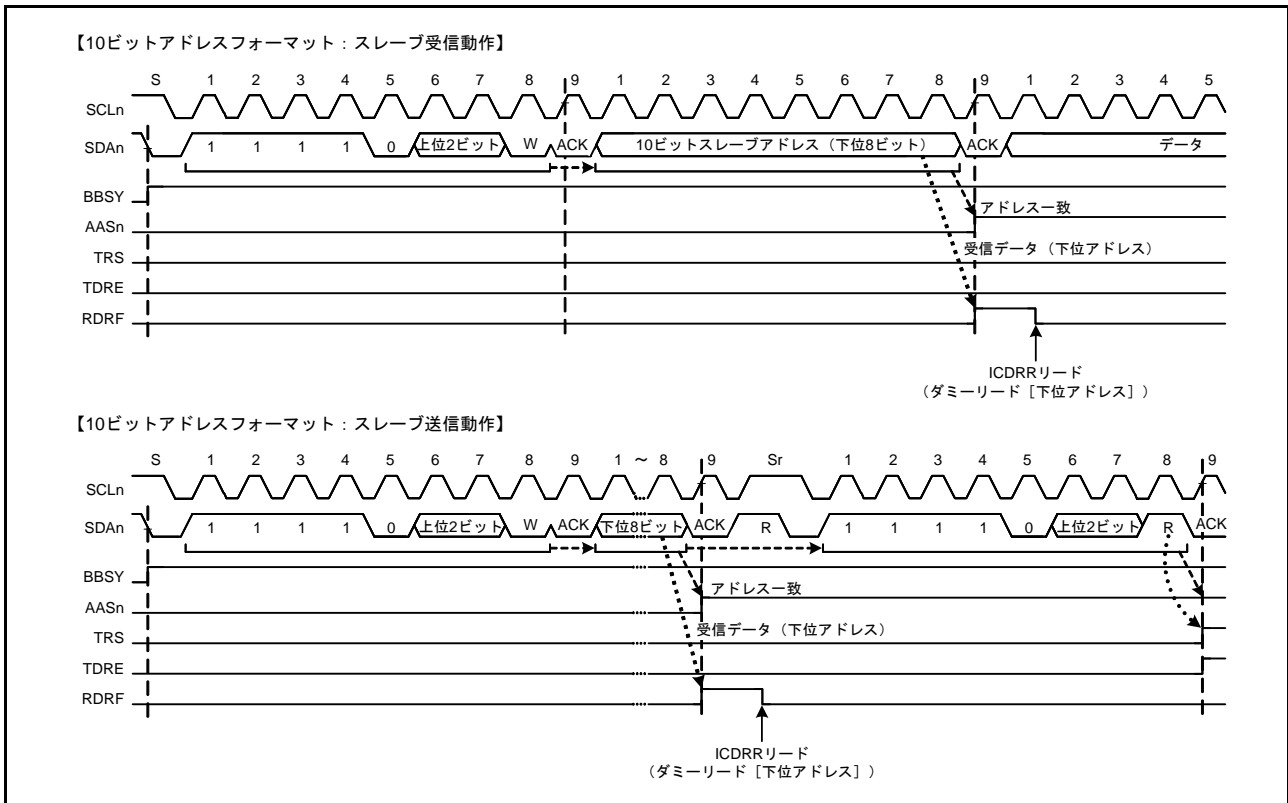


図 22.24 10ビットアドレスフォーマット選択時に AASy フラグが“1”になるタイミング

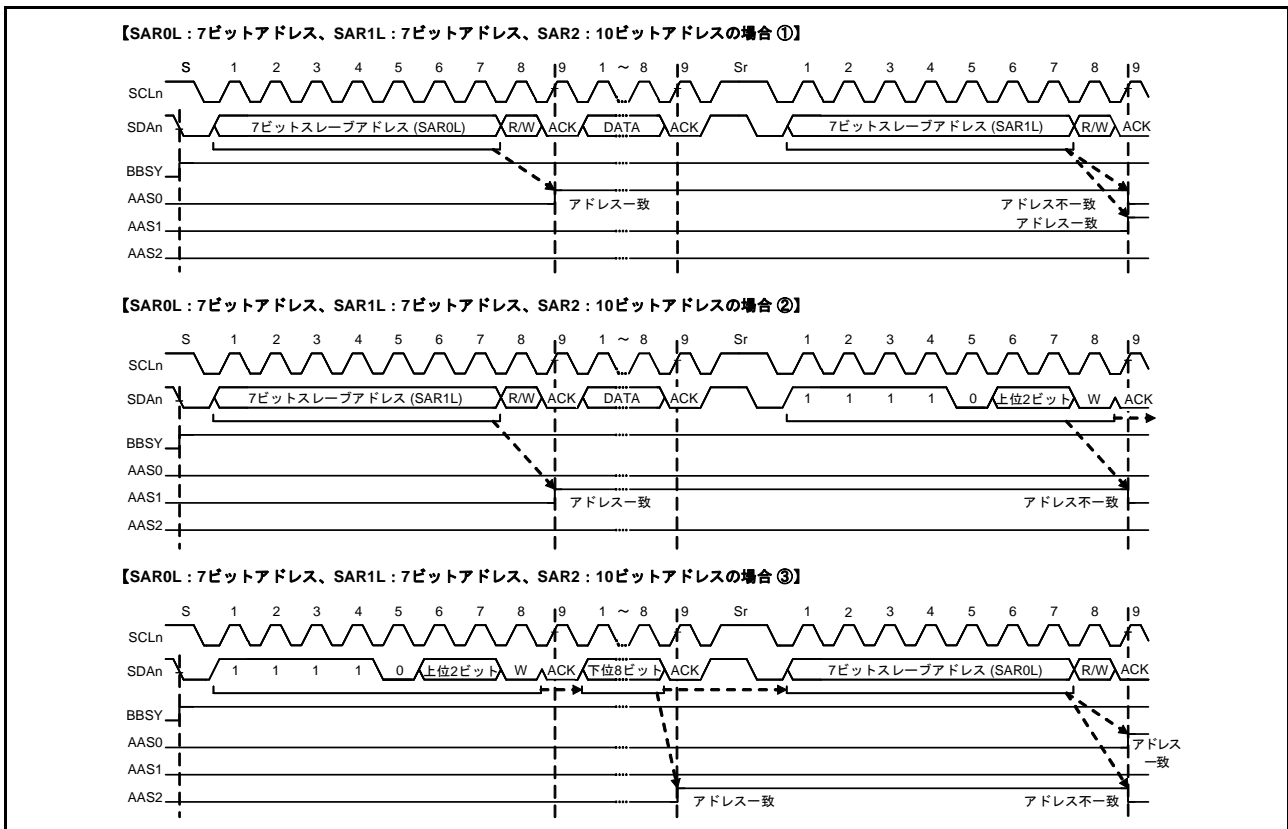


図 22.25 7ビット/10ビットアドレスフォーマット混在時に AASy フラグが“1”/“0”になるタイミング

22.7.2 ジェネラルコールアドレス検出機能

RIICはジェネラルコールアドレス (0000 000b + 0[W]) の検出機能を備えています。ICSR.GCAE ビットが“1”のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディションまたはリスタートコンディション後のアドレスが 0000 000b + 1[R] (スタートバイト) だった場合、RIICはこのアドレスを All“0”のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIICはジェネラルコールアドレスを検出すると、SCLクロックの9クロック目の立ち下がりで ICSR1.GCA フラグを“1”にし、同時に ICSR2.RDRF フラグを“1”にします。これにより受信データフル割り込み (ICRXI) を発生させることができ、GCA フラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

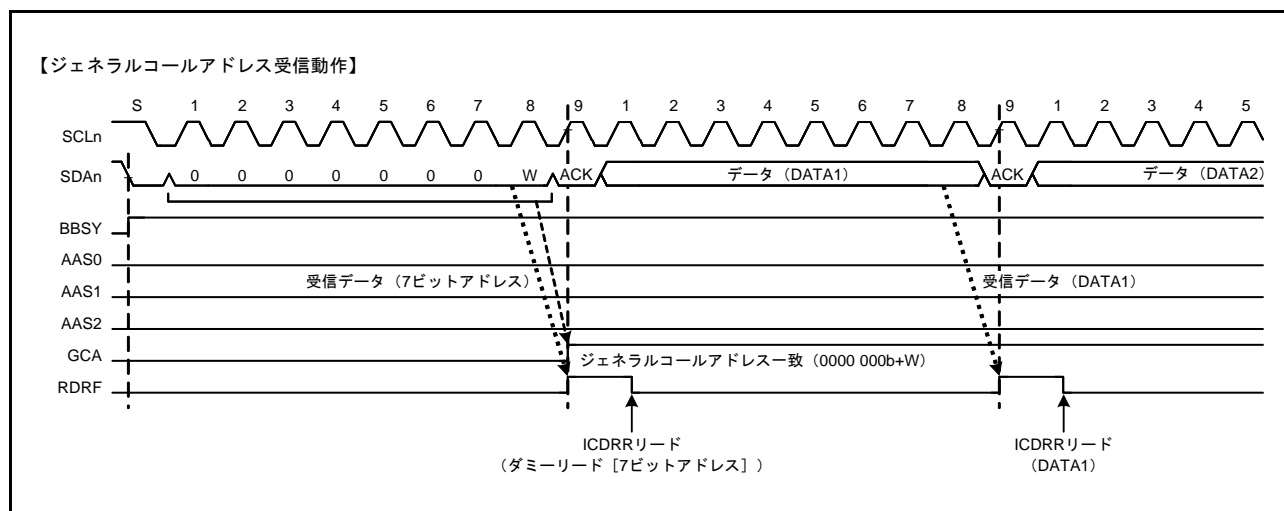


図 22.26 ジェネラルコールアドレス受信時に GCA フラグが“1”になるタイミング

22.7.3 デバイス ID アドレス検出機能

RIICはI²Cバス(Rev.03)に準拠したデバイスIDアドレスの検出機能を備えています。ICSER.DIDEビットを“1”にした状態で、スタートコンディションまたはリスタートコンディション後の1バイト目に1111 100bを受信すると、RIICはこのアドレスをデバイスIDアドレスと認識し、続くR/W#ビットが“0”のときSCLクロックの9クロック目の立ち上がりでICSR1.DIDフラグを“1”にした後、2バイト目以降と自スレーブアドレスとの比較動作を行います。この2バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当するICSR1.AAS_yフラグ(y=0~2)が“1”になります。

その後スタートコンディションまたはリスタートコンディション後の1バイト目が再びデバイスIDアドレス(1111 100b)と一致し、続くR/W#ビットが“1”のときRIICは続く2バイト目以降はアドレス比較動作を行わず、ICSR2.TDREフラグを“1”にします。

デバイスIDアドレス検出機能は、自スレーブアドレスと不一致あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイスIDアドレスと不一致の場合、DIDフラグを“0”にし、スタートコンディションまたはリスタートコンディション後の1バイト目がデバイスIDアドレス(1111 100b)と一致し、かつR/W#ビットが“0”のときDIDフラグを“1”にセットし、続く2バイト目以降をスレーブアドレスと比較します。R/W#ビットが“1”の場合、DIDフラグは前値の状態を継続し、2バイト目以降のスレーブアドレス比較を行いません。そのため、TDRE=1確認後DIDフラグをチェックすることで、デバイスIDを受信したことを確認することができます。

なお、一連のデバイスID受信後にホストに送信するデバイスIDフィールドとして必要な情報(3バイト分: メーカー[12ビット]+部品識別[9ビット]+リビジョン[3ビット])は、通常を送信データと同様あらかじめ準備してください。また、デバイスIDフィールドに必要な情報の詳細についてはNXP社にお問い合わせください。

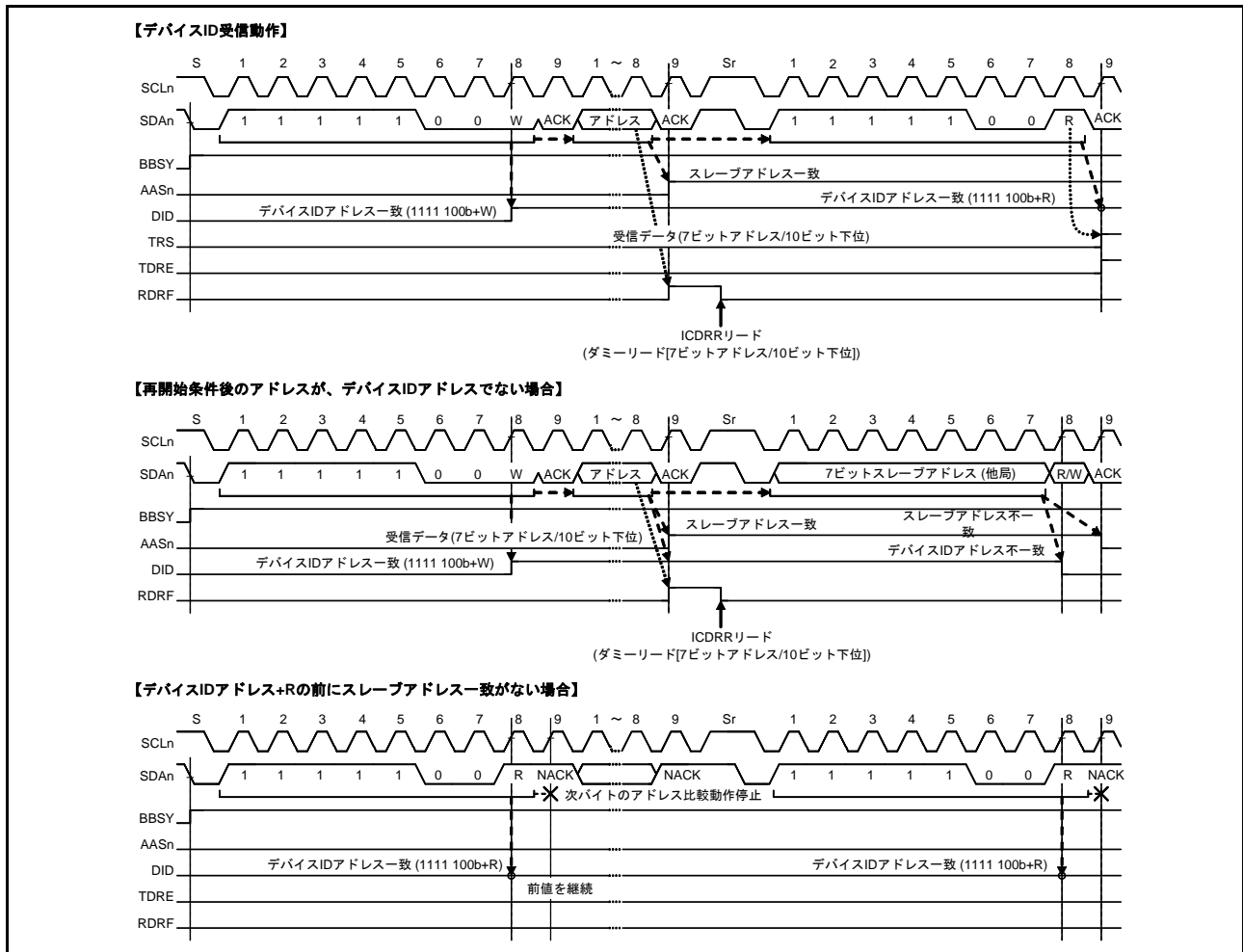


図 22.27 デバイス ID アドレス受信時の AASn、DID フラグセット/クリアタイミング

22.7.4 ホストアドレス検出機能

RIIC には SMBus 動作時にホストアドレス検出機能を備えています。ICMR3.SMBS ビットが “1” のとき IC SER.HOAE ビットを “1” にすると、スレーブ受信モード (ICCR2.MST, TRS ビット =00b) にホストアドレス (0001 000b) を検出することが可能です。

RIIC はホストアドレスを検出すると、SCL クロックの 9 クロック目の立ち下がり で ICSR1.HOA フラグを “1” にし、Wr ビット (R/W# ビットに “0” を受信) のとき ICSR2.TDRE フラグを “1” にします。これにより送信データエンプティ割り込み (ICTXI) を発生させることができ、HOA フラグを確認することでスマートバッテリなどからホストアドレスが送信されたことを認識することができます。

なお、ホストアドレス (0001 000b) に続くビットが Rd ビット (R/W# ビットに “1” を受信) の場合においてもホストアドレスを検出することが可能です。また、ホストアドレス検出後の動作は通常のスレーブ動作と変わりありません。

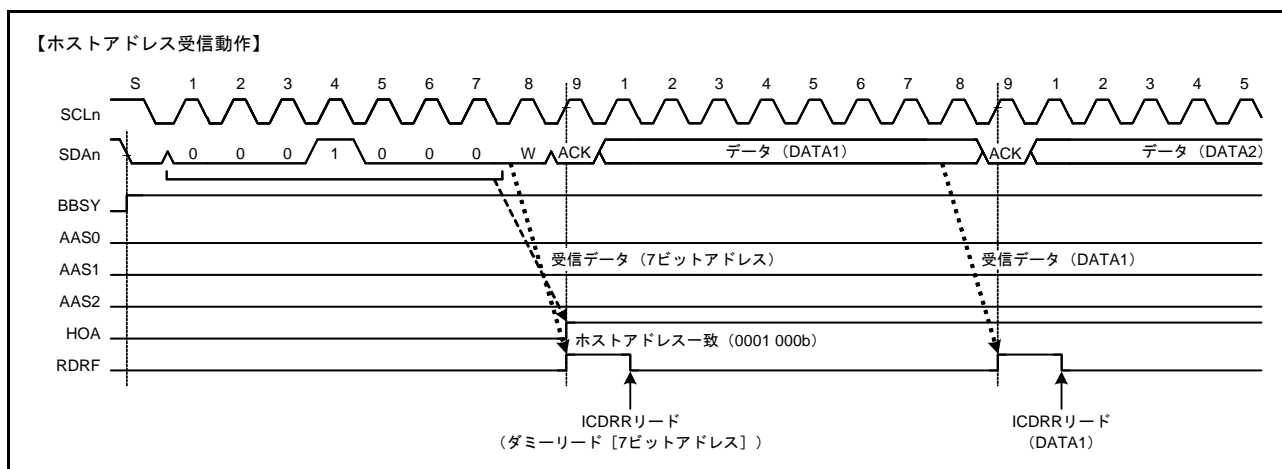


図 22.28 ホストアドレス受信時に HOA フラグが “1” になるタイミング

22.8 SCLの自動Lowホールド機能

22.8.1 送信データ誤送信防止機能

RIICは送信モード時(ICCR2.TRSビット=1)、シフトレジスタ(ICDRSレジスタ)が空の状態であつ送信データ(ICDRTレジスタ)が書かれていない場合、以下に示す区間、自動的にSCLnラインのLowホールドを行います。このLowホールドは送信データの書き込みが行われるまでの期間Low区間を延長し、意図しない送信データの誤送信を防止します。

《マスタ送信モード》

- スタートコンディション/リスタートコンディション発行後のLow区間
- 9クロック目と1クロック目のLow区間

《スレーブ送信モード》

- 9クロック目と1クロック目のLow区間

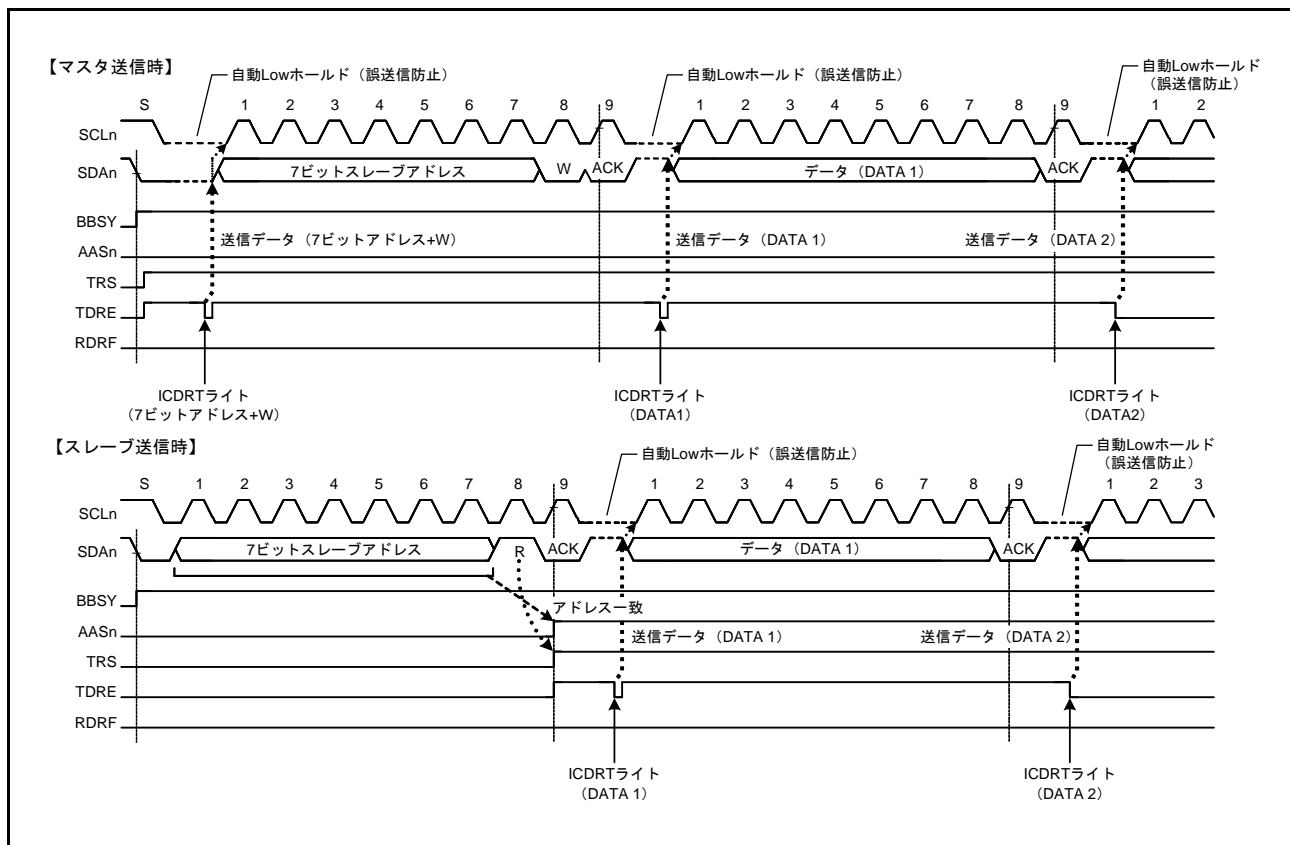


図 22.29 送信モードの自動Lowホールド動作

22.8.2 NACK 受信転送中断機能

RIIC は送信モード時 (ICCR2.TRS ビット =1) に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は ICFER.NACKE ビットが “1” (転送中断許可) のとき有効で、NACK 受信時にすでに次の送信データが書き込まれていた場合 (ICSR2.TDRE フラグ =0 の状態)、SCL クロックの 9 クロック目の立ち下がり時の次のデータ送信動作を自動的に中断します。これにより次送信データの MSB ビットが “0” のときの SDA_n ライン Low 出力固定を防止することができます。

なお NACK 受信転送中断機能で転送動作が中断された場合 (ICSR2.NACKF フラグ =1)、以後の送信動作および受信動作は行いません。動作を再開するには NACKF フラグを “0” にしてください。またマスタ送信モードの場合には NACKF フラグを “0” にした後、リスタートコンディション発行またはストップコンディション発行後にスタートコンディション発行を行って、動作をやり直してください。

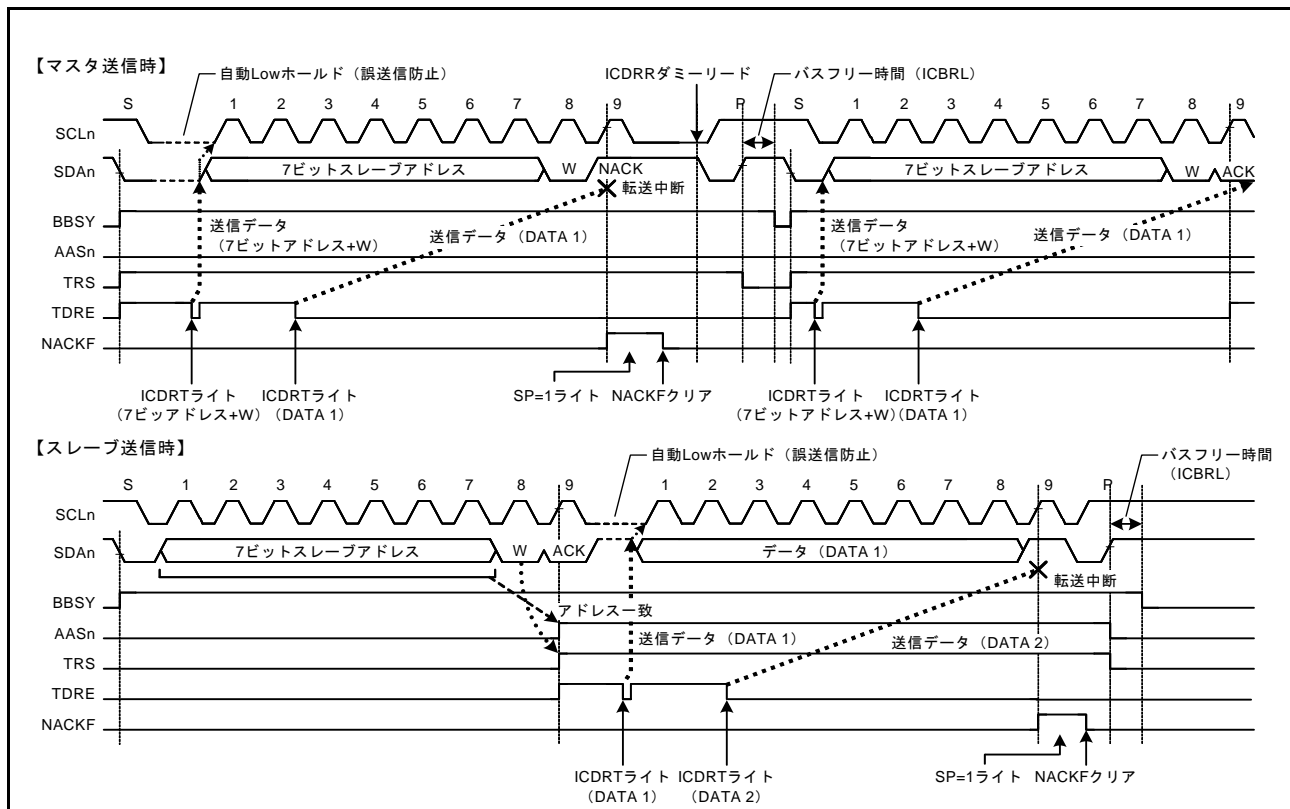


図 22.30 NACK 受信時の転送中断動作 (NACK=1 のとき)

22.8.3 受信データ取りこぼし防止機能

RIIC は受信モード時 (ICCR2.TRS ビット =0)、受信データフル (ICSR2.RDRF フラグ =1) の状態で受信データ (ICDRR レジスタ) の読み出しが 1 転送フレーム以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の 1 つ手前で自動的に SCLn ラインの Low ホールドを行い、受信データの取りこぼしを未然に防止します。

この自動 Low ホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスを指定された場合にも有効で、ストップコンディション後自スレーブアドレスと不一致の場合にはこの Low ホールドは行わないため、他の通信を阻害しません。

また、RIIC では ICMR3.WAIT, RDRFS ビットの組み合わせにより Low ホールドを行う区間を選択することができます。

(1) WAIT ビットによる 1 バイト受信動作 / 自動 Low ホールド機能

ICMR3.WAIT ビットを“1”にすると、RIIC は WAIT ビット機能による 1 バイト受信動作になります。ICMR3.RDRFS ビットが“0”のとき、RIIC は SCL クロックの 8 クロック目の立ち下がりから 9 クロック目の立ち下がり期間のアクノリッジビットには自動的に ICMR3.ACKBT ビットの内容が送出され、9 クロック目立ち下がりを検出すると WAIT ビット機能により自動的に SCLn ラインを Low にホールドします。この Low ホールドは ICDRR レジスタの読み出しによって解除されます。そのため 1 バイトごとの受信動作が可能となります。

なお WAIT ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信フレームから有効になります。

(2) RDRFS ビットによる 1 バイト受信動作 (ACK/NACK 送出制御) / 自動 Low ホールド機能

ICMR3.RDRFS ビットを“1”にすると、RIIC は RDRFS ビット機能による 1 バイト受信動作になります。RDRFS ビットを“1”にすると、受信データフルフラグ (ICSR2.RDRF フラグ) が“1”になるタイミングが SCL クロックの 8 クロック目の立ち上がりに変更され、8 クロック目の立ち下がりを検出すると自動的に SCLn ラインを Low にホールドします。この Low ホールドは ICMR3.ACKBT ビットへの書き込みによって解除され、ICDRR レジスタの読み出しでは解除されません。そのため 1 バイトごとに受信したデータの内容に応じた ACK/NACK 送出の受信動作が可能となります。

なお RDRFS ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信フレームから有効になります。

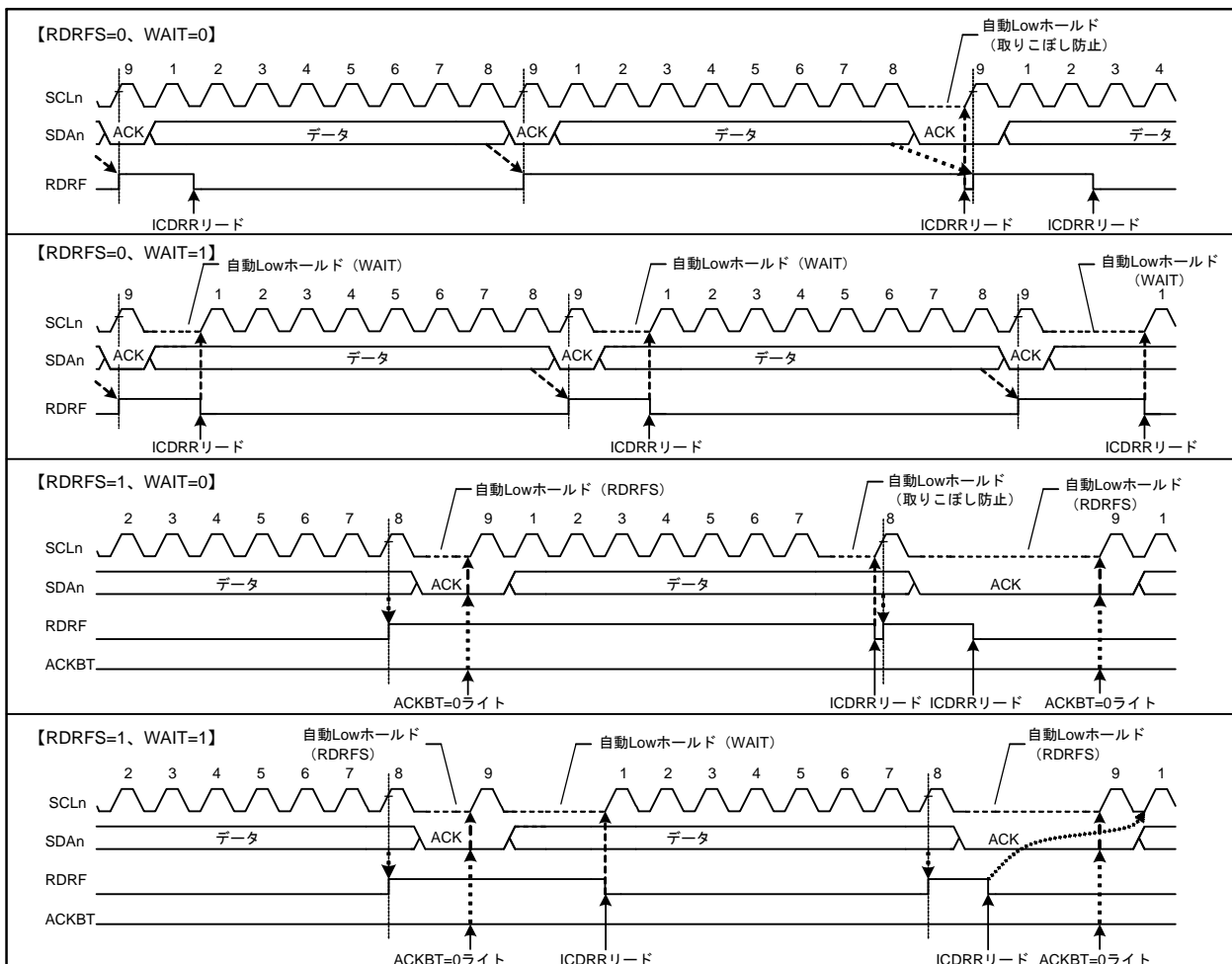


図 22.31 受信モードの自動 Low ホールド動作 (RDRFS、WAIT ビット)

22.9 アービトレーションロスト検出機能

RIICにはI²Cバス規格で定めている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

22.9.1 マスタアービトレーションロスト検出機能 (MALE ビット)

RIICはスタートコンディション発行の際SDAnラインをLowにしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行してSDAnラインをLowにした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様にICCR2.BBSYフラグが“1” (バスビジー中) のときにICCR2.STビットを“1”にするとアービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレス送信を含む送信データ (SDA信号) とSDAnラインに不一致が生じた場合 (自分が出したSDA出力がHigh出力 (= SDAn端子はハイインピーダンス状態) で、SDAラインにLowを検出したとき)、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIICは直ちにスレーブ受信モードに移行します。このときジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

なおマスタアービトレーションロスト検出は、ICFER.MALEビットが“1” (マスタアービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

[マスタアービトレーションロスト条件]

- ICCR2.BBSYフラグ=0の状態(ICCR2.STビット=1によるスタートコンディション発行時にSDA信号とSDAnライン上の信号の状態が不一致のとき (スタートコンディション発行エラー))
- ICCR2.BBSYフラグ=1でICCR2.STビットを“1”にしたとき (スタートコンディション二重発行エラー)
- マスタ送信モード時 (ICCR2.MST, TRS ビット =11b)、アクノリッジを除く送信データ (SDA信号) とSDAnライン上の信号の状態が不一致のとき

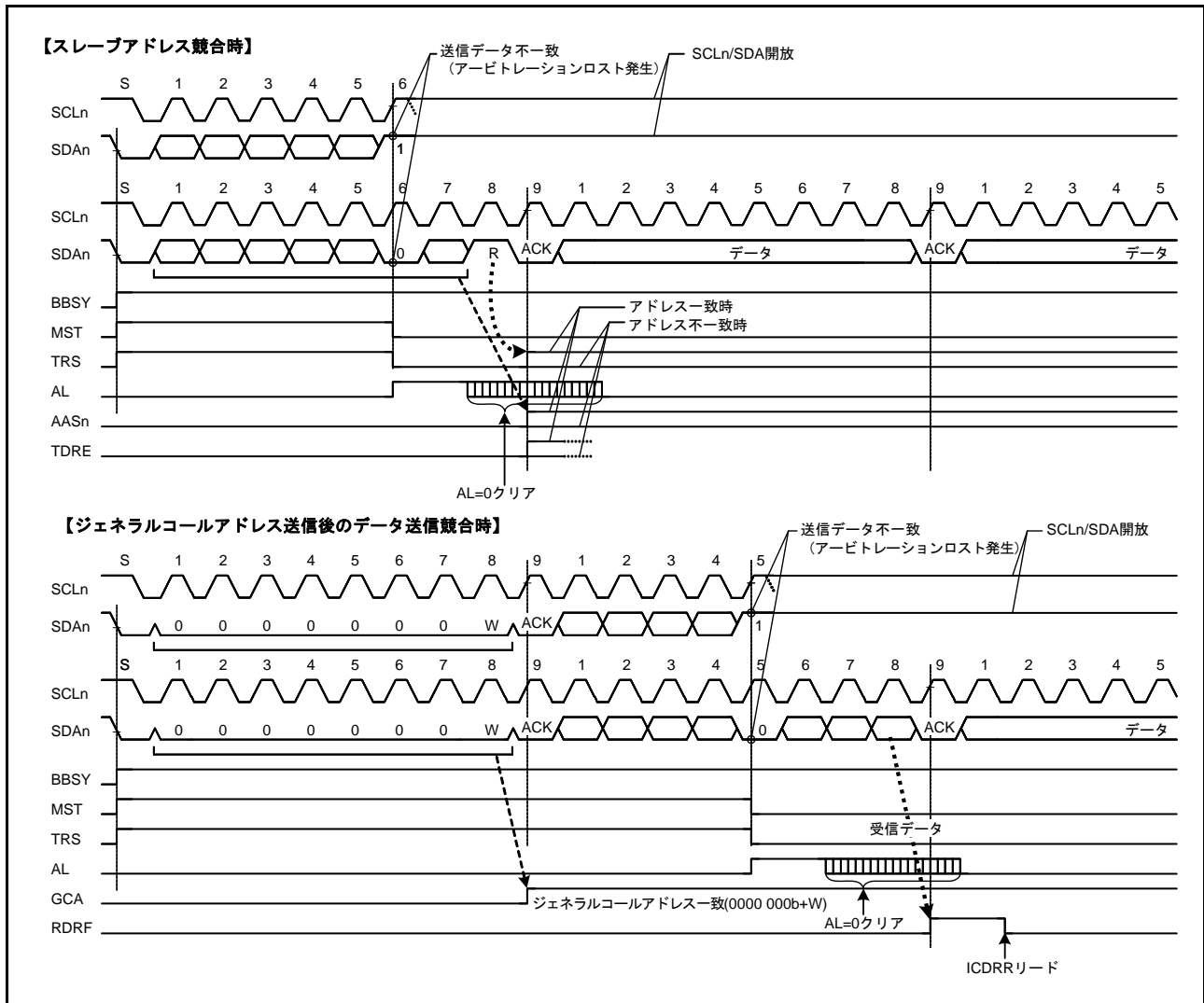


図 22.32 マスタアービトレーションロスト検出動作例 (MALE=1 のとき)

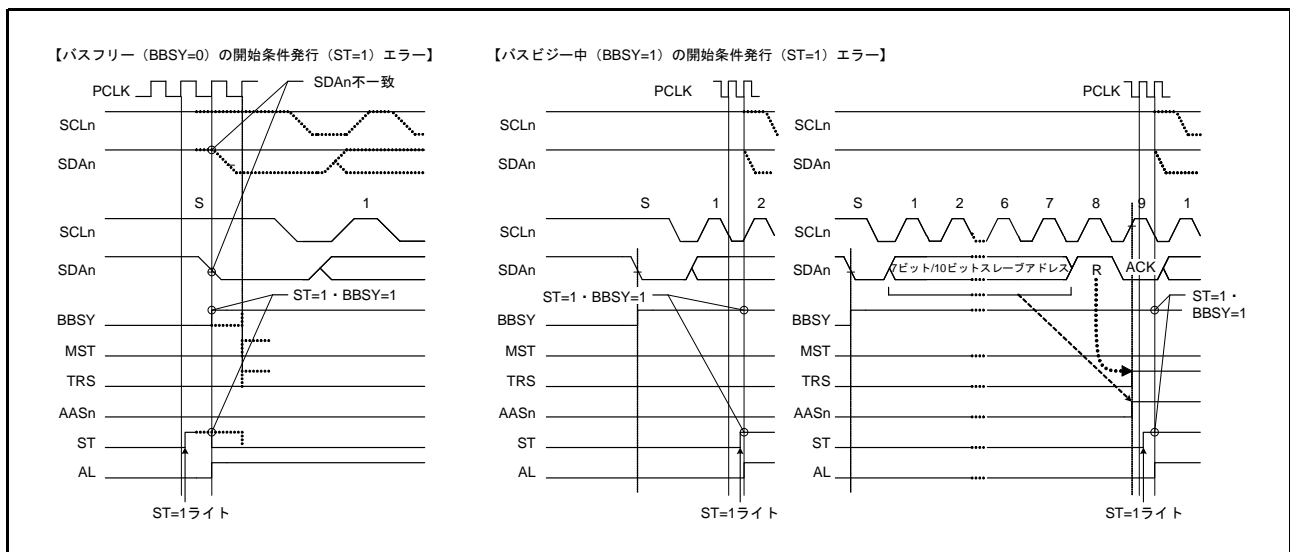


図 22.33 スタートコンディション発行時のアービトレーションロスト (MALE=1 のとき)

22.9.2 NACK 送信アービトレーションロスト検出機能 (NALE ビット)

RIICは受信モード時でNACK送信時に自分が出したSDA信号とSDAライン上の信号の状態が不一致の場合(自分が出したSDA出力がHigh出力(=SDAn端子はハイインピーダンス状態)で、SDAラインにLowを検出したとき)、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主にマルチマスタのシステムにおいて2つ以上のマスタが同時に同一スレーブデバイスからデータを受信する際にNACK送信とACK送信が衝突することで発生します。これは2つ以上のマスタデバイスが1つのスレーブデバイスを介して共通の情報のやり取りする際に起こり得ます。図22.34にNACK送信アービトレーションロスト検出動作例を示します。

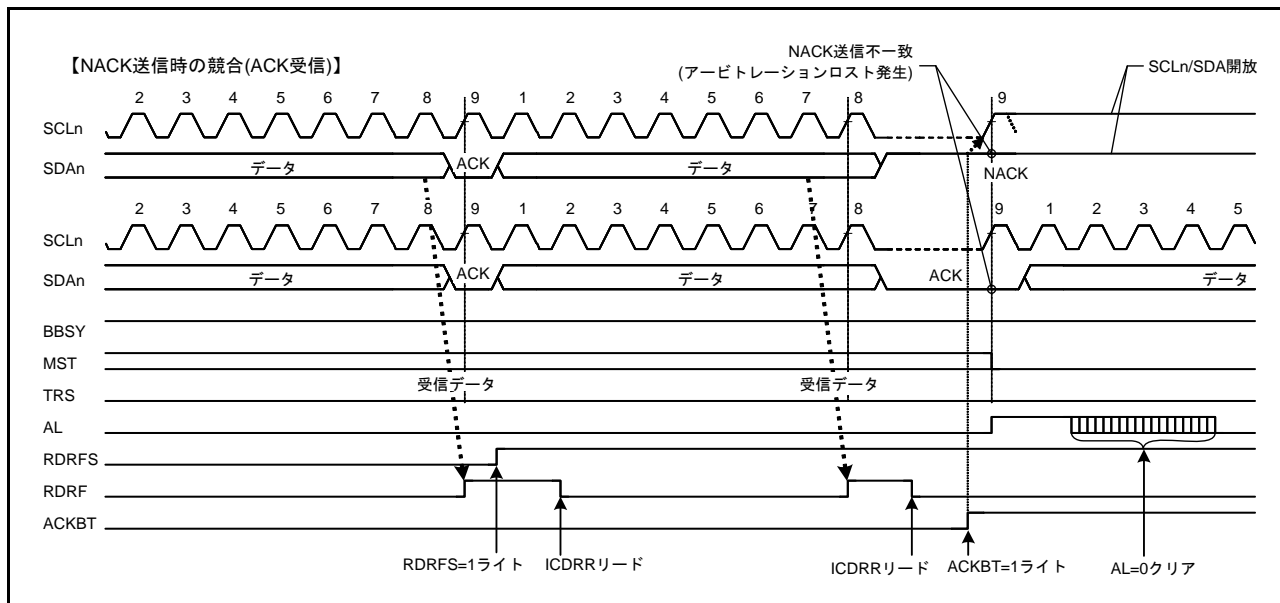


図 22.34 NACK 送信アービトレーションロスト検出動作例 (NALE=1 のとき)

2つのマスタデバイス(マスタA、マスタB)と1つのスレーブデバイスがバス上に接続されている場合に例に挙げて説明します。マスタAはスレーブデバイスから2バイト受信、マスタBはスレーブデバイスから4バイト分のデータ受信を行うものとします。

このときマスタAとマスタBが同時にスレーブデバイスをアクセスした場合、スレーブアドレスは同じであるため、マスタA、マスタBともスレーブデバイスアクセス時にアービトレーションロストが発生しません。そのためマスタA、マスタBともどちらにもバス権を取得したものと認識して動作します。ここでマスタAは、スレーブデバイスから最終バイトである2バイト分の受信が完了した時点でNACKを送信します。一方マスタBは、スレーブデバイスから必要な4バイト受信に満たないためACK送信を行います。このときマスタAのNACK送信とマスタBのACK送信の衝突が発生します。一般的にこのような状況が発生した場合、マスタAはマスタBが出したACK送信を検出できないままストップコンディション発行動作を行うため、マスタBのSCLクロック出力と競合し通信を阻害します。

RIICはこのようなNACK送信時にACKを受信した場合、他のマスタデバイスと競合負けが発生したことを検知しアービトレーションロストを発生させることができます。

NACK送信アービトレーションロストが発生した場合、RIICは直ちにスレーブ一致状態を解除してスレーブ受信モードに移行します。これによりストップコンディション発行を未然に防ぎ、バスの通信阻害を防止することが可能です。

またSMBusのARPコマンド処理において、アサインアドレスのUDID(ユニークデバイスアイデンティファイ)不一致時のNACK送信以降、およびアサインアドレス確定後のGetUDID(汎用)のNACK送信以降の余剰処理(FFh送信処理)を省くことができます。

なお NACK 送信アービトレーションロスト検出は、ICFER.NALE ビットが“1” (NACK 送信アービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

[NACK 送信アービトレーションロスト条件]

- NACK 送信時 (ICMR3.ACKBT ビット=1)、自分が出した SDA 信号と SDA_n ライン上の信号の状態が不一致のとき (ACK を受信したとき)

22.9.3 スレーブアービトレーションロスト検出機能 (SALE ビット)

RIIC は、スレーブ送信時に送信データ (自分が出した SDA 信号) と SDA ライン上の信号の状態に不一致が生じた場合 (自分が出した SDA 出力が High 出力 (= SDA_n 端子はハイインピーダンス状態) で、SDA ラインに Low を検出したとき)、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主に SMBus の UDID (ユニークデバイスアイデンティファイ) 送信時に使用します。

スレーブアービトレーションロストが発生した場合、RIIC は直ちにスレーブ一致状態を解除してスレーブ受信モードに移行します。

この機能により SMBus の UDID 送信時のデータ衝突検出およびデータ衝突以降の余剰処理 (FFh 送信処理) を省くことができます。

なおスレーブアービトレーションロスト検出は、ICFER.SALE ビットが“1” (スレーブアービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

[スレーブアービトレーションロスト条件]

- スレーブ送信モード時 (ICCR2.MST, TRS ビット =01b)、アクノリッジを除く送信データ (自分が出した SDA 信号) と SDA_n ライン上の信号の状態が不一致のとき

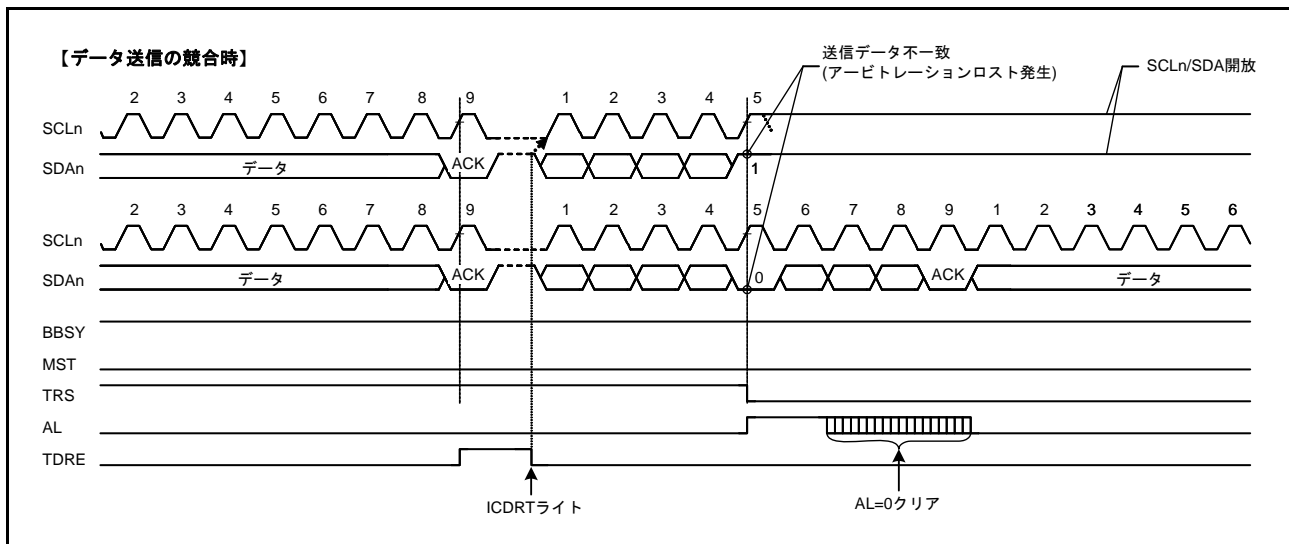


図 22.35 スレーブアービトレーションロスト検出動作例 (SALE=1 のとき)

22.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

22.10.1 スタートコンディション発行動作

RIICは、ICCR2.STビットによりスタートコンディションの発行を行います。

STビットを“1”にすると、スタートコンディション発行の要求が行われICCR2.BBSYフラグが“0”（バスフリー）の状態のときスタートコンディションの発行を行います。スタートコンディションが正常に発行された場合、RIICは自動的にマスタ送信モードに移行します。

スタートコンディションの発行は、以下のシーケンスに従って行われます。

[スタートコンディション発行動作]

- (1) SDA_n ラインを立ち下げ（High から Low に遷移）
- (2) ICBRH レジスタで設定した時間スタートコンディションのホールド時間を確保
- (3) SCL_n ラインを立ち下げ（High から Low に遷移）
- (4) SCL_n ラインの Low を検出後、ICBRL レジスタで設定した時間 SCL_n ラインの Low 幅を確保

22.10.2 リスタートコンディション発行動作

RIICはICCR2.RSビットによりリスタートコンディションの発行を行います。

RSビットを“1”にするとリスタートコンディション発行の要求が行われ、RIICはICCR2.BBSYフラグが“1”（バスビジー）の状態であつICCR2.MSTビットが“1”（マスタモード）のとき、リスタートコンディションの発行を行います。

リスタートコンディションの発行は、以下のシーケンスに従って行われます。

[リスタートコンディション発行動作]

- (1) SDA_n ラインを開放
- (2) ICBRL レジスタで設定した時間 SCL_n ラインの Low 幅を確保
- (3) SCL_n ラインを開放（Low から High に遷移）
- (4) SCL_n ラインの High 検出後、ICBRL レジスタで設定した時間リスタートコンディションのセットアップ時間を確保
- (5) SDA_n ラインを立ち下げ（High から Low に遷移）
- (6) ICBRH レジスタで設定した時間リスタートコンディションのホールド時間を確保
- (7) SCL_n ラインを立ち下げ（High から Low に遷移）
- (8) SCL ラインの Low を検出後、ICBRL レジスタで設定した時間 SCL_n ラインの Low 幅を確保

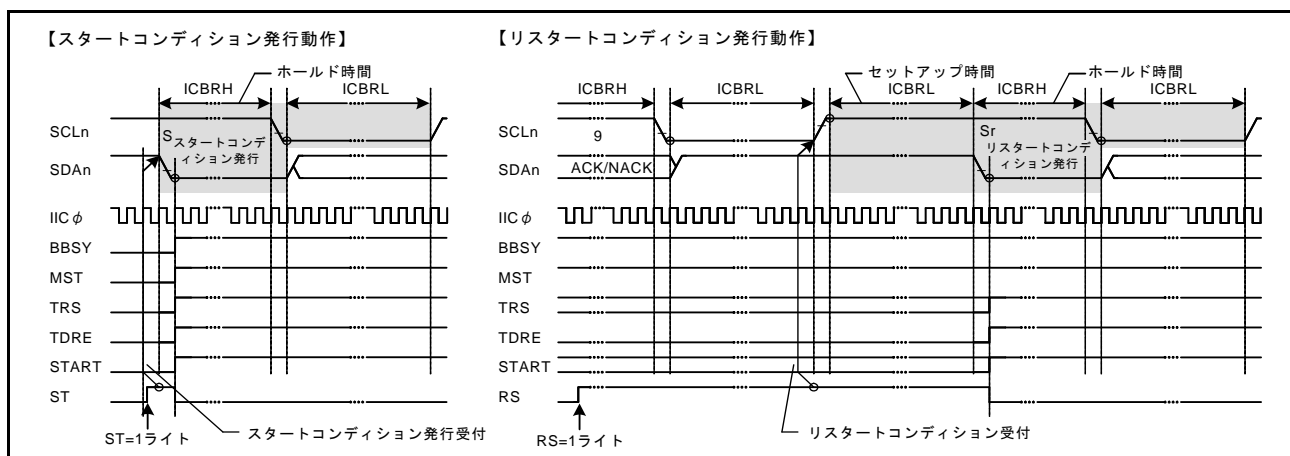


図 22.36 スタートコンディション/リスタートコンディション発行動作タイミング (ST、RS ビット)

22.10.3 ストップコンディション発行動作

RIICはICCR2.SPビットによりストップコンディションの発行を行います。

SPビットを“1”にするとストップコンディション発行の要求が行われ、RIICはICCR2.BBSYフラグが“1”（バスビジー）の状態であつICCR2.MSTビットが“1”（マスタモード）のとき、ストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

[ストップコンディション発行動作]

- SDA_nラインを立ち下げ（HighからLowに遷移）
- ICBRLレジスタで設定した時間SCL_nラインのLow幅を確保
- SCL_nラインを開放（LowからHighに遷移）
- SCL_nラインのHigh検出後、ICBRHレジスタで設定した時間ストップコンディションのセットアップ時間を確保
- SDA_nラインを開放（LowからHighに遷移）
- ICBRLレジスタで設定した時間バスフリー時間を確保
- BBSYフラグクリア（バス権解放）

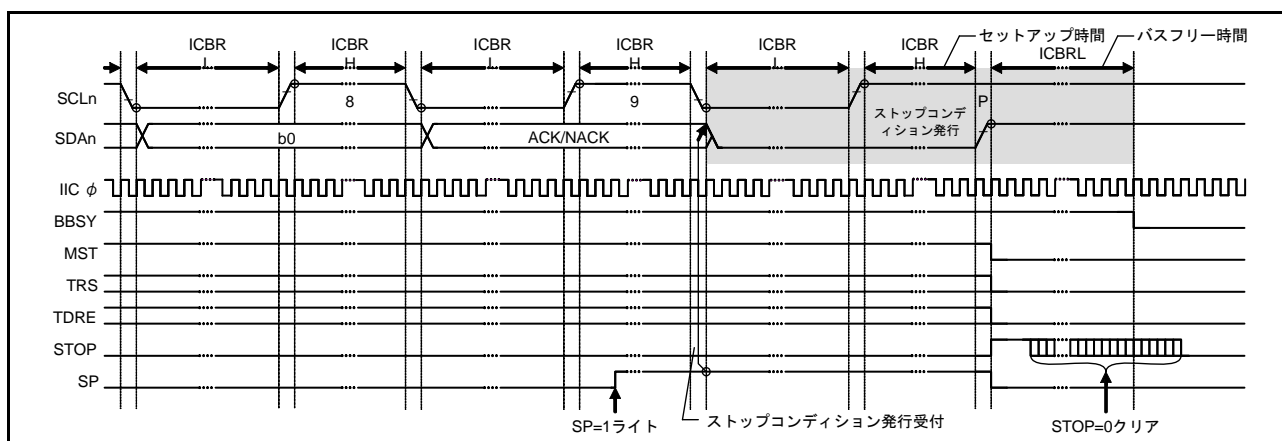


図 22.37 ストップコンディション発行動作タイミング (SPビット)

22.11 バスハングアップ

I²Cバスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ズレが発生すると、SCL_nラインやSDA_nラインが固定されたままバスハングアップを起こす場合があります。

RIICは、このバスハングアップ状態に対しSCL_nラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ズレによるバスハングアップ状態を解除するためのSCLクロック余剰追加出力機能およびRIIC/内部リセット機能を備えています。

また、ICCR1.SCLO, SDAO, SCLI, SDAIビットを確認することで、RIIC自身がSCL_nライン/SDA_nラインにLow出力しているか、あるいは通信デバイス側がLow出力しているかどうかを確認することが可能です。

22.11.1 タイムアウト検出機能

RIICにはSCL_nラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIICはバスがビジー状態のとき、SCL_nラインがLowまたはHighに固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能はSCL_nラインの状態を監視し、LowまたはHighの時間を内部カウンタでカウントします。タイムアウト検出機能はSCL_nラインに変化(立ち上がり/立ち下がり)があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCL_nラインに変化がないまま内部カウンタがオーバフローすると、RIICはタイムアウトを検出しバス異常状態を知らせることができます。

このタイムアウト検出機能はICFER.TMOEビットが“1”のとき有効で、マスタモード時はバスビジー時(ICCR2.BBSYフラグ=1の状態)、スレーブモード時はBBSYフラグが“1”の状態かつ自スレーブアドレス一致時(ICSR1レジスタ≠00h)のときSCL_nラインのLow固定またはHigh固定のバス異常状態を検出します。

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0]ビットで設定された内部基準クロック(IICφ)をカウントソースとして動作し、ロングモード選択時(ICMR2.TMOSビット=0)16ビットカウンタ、ショートモード選択時(TMOSビット=1)14ビットカウンタとなります。

また内部カウンタのカウント動作は、SCL_nラインがLow状態のときカウントさせるか、High状態のときカウントさせるか、あるいはその両方をカウントさせるかをICMR2.TMOH, TMOLビットの設定により選択することが可能です。なおTMOH, TMOLビットの両方を“0”にした場合は、内部カウント動作を行いません。

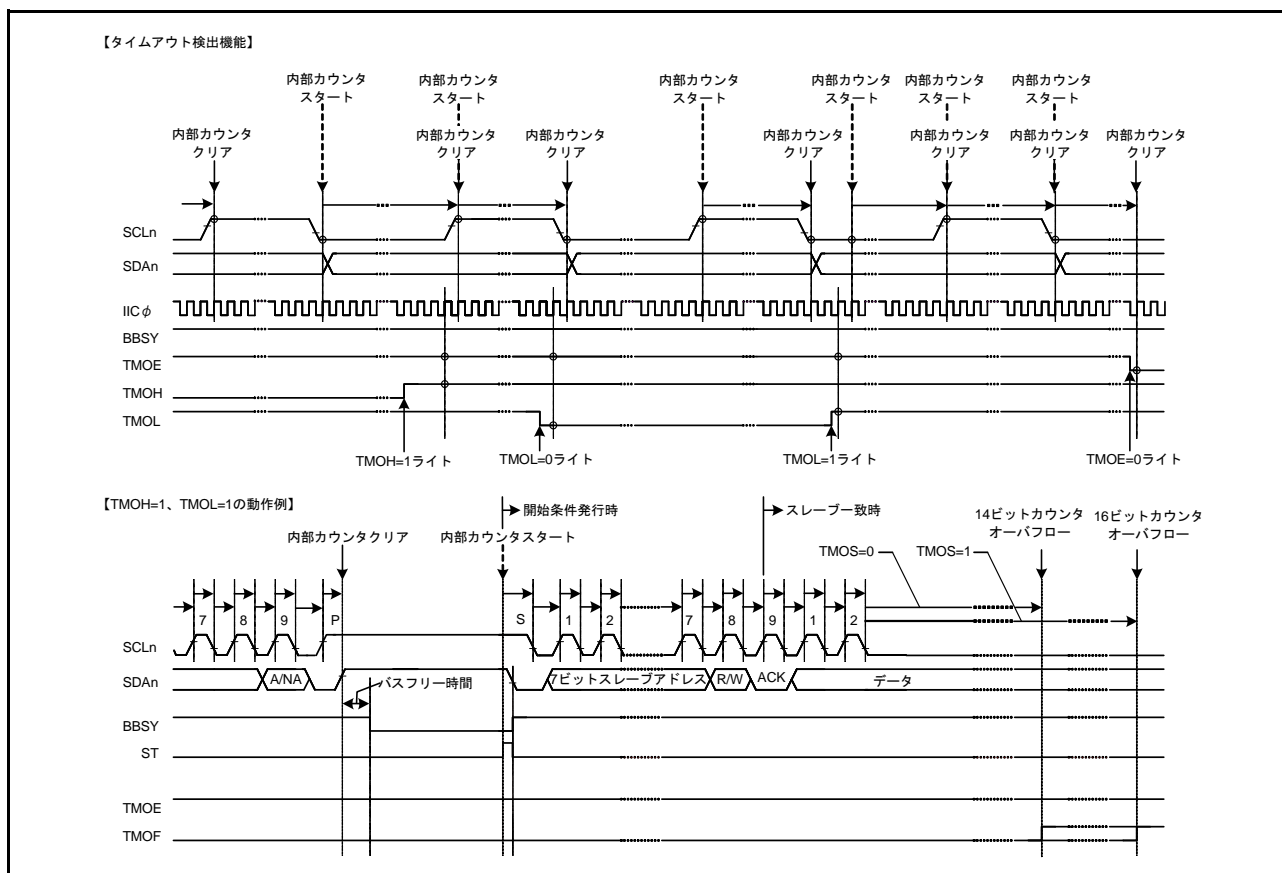


図 22.38 タイムアウト検出機能 (TMOE、TMOS、TMOH、TMOL ビット)

22.11.2 SCL クロック追加出力機能

RIIC にはマスタモード時、スレーブデバイスとの同期ズレによるスレーブデバイスの SDA_n ライン Low 固定状態を開放するための SCL クロック追加出力機能を備えています。

SCL クロック追加出力機能は、SCL クロックを 1 クロック単位で追加出力をする機能で、主にマスタモード時にスレーブデバイスが SDA_n ラインを Low 固定状態のままストップコンディションを発行できない場合に、スレーブデバイスの SDA_n ライン固定状態を開放させることに使用します。通常は使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

SCL クロック追加出力は、ICCR1.CLO ビットを“1”にすると、ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタで設定された転送速度の SCL クロックが 1 クロック分追加クロックとして出力されます。1 クロック分の追加クロック出力が終了すると CLO ビットは自動的に“0”になります。そのためソフトウェアで CLO ビットが“0”であることを確認後“1”を書くことにより、追加クロックを連続的に出力することができます。

RIIC がマスタモード時にノイズ等の影響によりスレーブデバイスとの同期ズレが原因でスレーブデバイスが SDA_n ラインを Low 固定状態のままストップコンディションを発行できないバス異常状態のとき、SCL クロック追加出力機能を使用して追加クロックを 1 クロックずつ出力することでスレーブデバイスの SDA_n ラインの Low 固定状態を開放させ、バス状態を復帰させることができます。このスレーブデバイスの SDA_n ライン開放は ICCR1.SDAI ビットをチェックすることで確認することができます。スレーブデバイスの SDA_n ライン開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

なお、この機能を使用する場合は ICFER.MALE ビットを“0” (マスタアービトレーションロスト検出禁止) にして使用してください。MALE ビットが“1” (マスタアービトレーションロスト検出許可) の場合、ICCR1.SDAO ビットの値と SDA_n ラインが不一致のときアービトレーションロストが発生しますので注意してください。

[ICCR1.CLO ビットの出力条件]

- バスフリー状態(ICCR2.BBSY フラグ=0)またはマスタモード(ICCR2.MST ビット=1、BBSY フラグ=1の状態) のとき
- 通信デバイスが SCLn ラインを Low ホールドにしていない状態のとき

図 22.39 に SCL クロック追加出力機能 (CLO ビット) を示します。

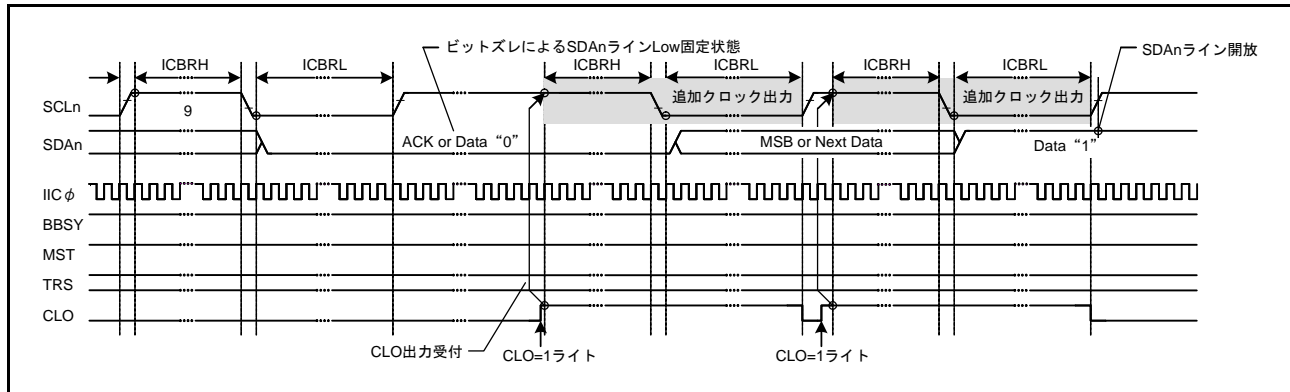


図 22.39 SCL クロック追加出力機能 (CLO ビット)

22.11.3 RIIC/ 内部リセット

RIIC は RIIC モジュールをリセットするための機能を備えています。リセットには 2 種類のリセットがあり、1 つは ICCR2.BBSY フラグを含めた全レジスタの初期化を行う RIIC リセット、もう 1 つは各種設定値を保持したままスレーブアドレス一致状態の解除や内部カウンタの初期化などを行う内部リセットです。

リセット後は ICCR1.IICRST ビットを“0”にしてください。

いずれのリセットも SCLn 端子 /SDAn 端子の出力状態を解除しハイインピーダンス状態に戻すため、バスハングアップ状態の解除にも利用できます。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ズレを引き起こす原因になりますので使用は極力避けてください。また RIIC リセット (ICCR1.ICE, IICRST ビット =01b) のリセット中はスタートコンディションなどのバス状態を監視できませんので注意してください。

RIIC/ 内部リセットの詳細については、「22.14 リセット状況」を参照してください。

22.12 SMBus 動作

RIIC は SMBus (Ver.2.0) に準拠した通信動作が可能です。SMBus 通信を行うには、ICMR3.SMBS ビットを“1”にしてください。転送速度は SMBus 規格の 10kbps ~ 100kbps の範囲に収まるよう ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタを設定し、データホールド時間 :300ns (min) の規格を守るよう ICMR2.DLCS ビットおよび ICMR2.SDDL[2:0] ビットの値を決定してください。RIIC をスレーブデバイスのみの動作で使用する場合には、転送速度の設定は不要ですが、ICBRL はデータセットアップ時間 (250ns) 以上の値を設定してください。

なお SMBus デバイスデフォルトアドレス (1100 001b) はスレーブアドレスレジスタ L0 ~ L2 (SARL0、SARL1、SARL2) のいずれか 1 本を使用し、該当する SARU_y.FS ビット (y=0 ~ 2) (7 ビット /10 ビットアドレスフォーマット選択ビット) を“0” (7 ビットアドレスフォーマット) を選択してください。

また、UDID (ユニークデバイスアイデンティファイ) 送信時には、ICFER.SALE ビットを“1”にしてスレーブアービトラクションロスト検出機能を有効にしてください。

22.12.1 SMBus タイムアウト測定

(1) スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは以下に示す区間 (タイムアウト間隔 : T_{LOW} : SEXT) を計測する必要があります。

- スタートコンディションからストップコンディション

スレーブデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI) を利用してスタートコンディション検出からストップコンディション検出までの時間を TPU または TMR タイマを使用してその区間を計測することで行います。このタイムアウト測定時間は SMBus 規格のクロック Low の累積時間 [スレーブデバイス] T_{LOW} : SEXT : 25ms (max) 以内である必要があります。

TPU または TMR で計測した時間が、SMBus 規格のクロック Low 検出のタイムアウト T_{TIMEOUT} : 25ms (min) を超えた場合、スレーブデバイスはバス解放動作を行う必要があります。スレーブデバイスのバス解放動作を行うには ICCR1.IICRST ビットに“1”を書き、RIIC の内部リセットを行ってください。内部リセットを行うと RIIC は SCL_n 端子 /SDA_n 端子のバス駆動を中止し、端子をハイインピーダンス状態にすることができます。これによりバス解放を行うことができます。

(2) マスタデバイスのタイムアウト測定

SMBus 通信のマスタデバイスは以下に示す区間 (タイムアウト間隔 : T_{LOW} : MEXT) を計測する必要があります。

- スタートコンディションからアクノリッジビット
- アクノリッジビットから次のアクノリッジビット
- アクノリッジビットからストップコンディション

マスタデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI)、および送信終了割り込み (ICTEI) または受信データフル割り込み (ICRXI) を利用して、それぞれの区間を TPU または TMR タイマを使用して各区間の時間を計測することで行います。このタイムアウト測定時間は SMBus 規格のクロック Low の累積時間 [マスタデバイス] T_{LOW} : MEXT : 10ms (max) 以内である必要があります。スタートコンディションからストップコンディションまでのすべての T_{LOW} : MEXT を加算した結果が T_{LOW} : SEXT : 25ms (max) 以内である必要があります。

ACK 受信タイミング (SMBCLK の 9 クロック目の立ち上がり) は、マスタ送信モード時 (マスタトランスミッタ) は ICSR2.TEND フラグ、マスタ受信モード時 (マスタレシーバ) は ICSR2.RDRF フラグで見る必要があります。そのためマスタ送信時は 1 バイト送信動作を行い、マスタ受信時は最終バイト受信の 1 つ手前までは ICMR3.RDRFS ビットを “0” で使用してください。RDRFS ビットが “0” のとき、RDRF フラグは SMBCLK の 9 クロック目の立ち上がりで “1” になります。

TPU または TMR で計測した時間が、SMBus 規格のクロック Low の累積時間 [マスタデバイス] TLOW : MEXT : 10ms (max) または各計測時間の加算した結果が、SMBus 規格のクロック Low 検出のタイムアウト T_{TIMEOUT} : 25ms (min) を超えた場合、マスタデバイスはトランザクションの中止動作を行う必要があります。マスタ送信時には即座に送信動作 (ICDRT レジスタへの書き込み動作) を中止してください。マスタデバイスのトランザクション中止動作はストップコンディションを発行することで行われます。

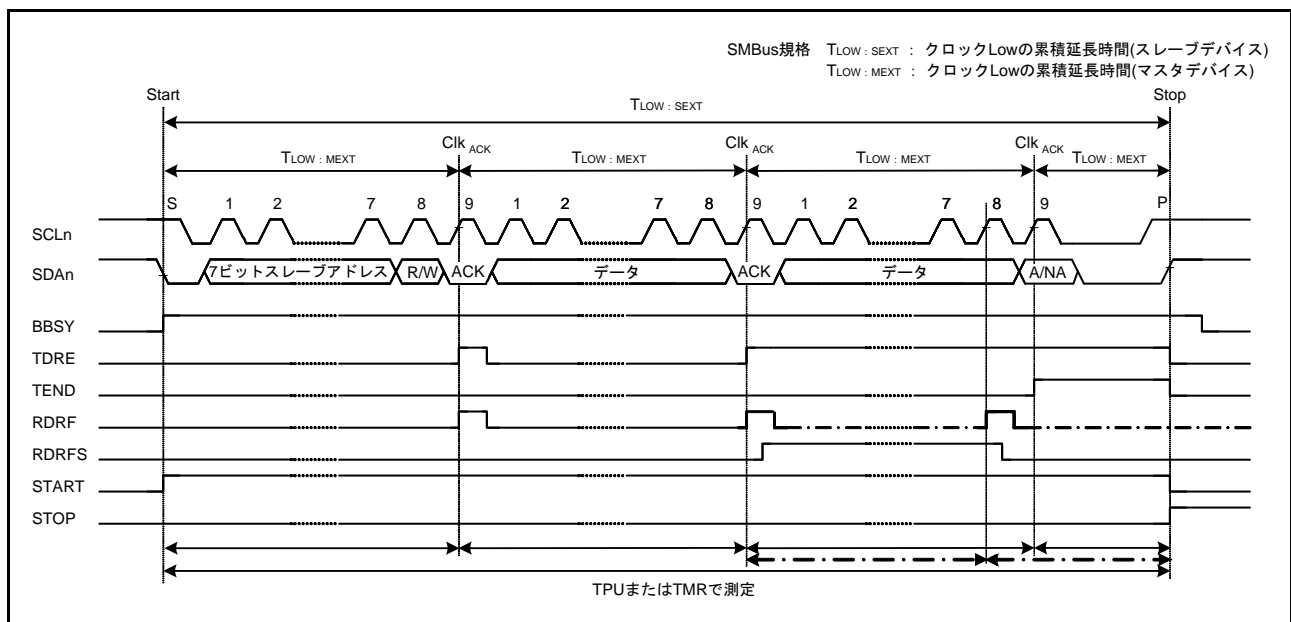


図 22.40 SMBus タイムアウト測定

22.12.2 パケットエラーコード (PEC)

RX610 グループは CRC 演算器を内蔵しています。RIIC の通信動作に CRC 演算器を利用することで SMBus のパケットエラーコード (PEC) の送信または受信データチェックを行うことができます。CRC 演算器の多項式については「21. CRC 演算器 (CRC)」を参照してください。

マスタ送信 (マスタトランスミッタ) の PEC データ生成は、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信 (マスタレシーブ) の REC データチェックは、全受信データを CRC 演算器の CRCDIR レジスタに書き、そこで得られた CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することで行います。

なお PEC コードチェックにおいて最終バイト受信時に一致 / 不一致に応じて ACK/NACK 送出を行う場合には、最終バイト受信の SMBCLK の 8 クロック目の立ち上がりまでに ICMR3.RDRFS ビットを “1” にし、8 クロック目の立ち下がり SCLn ラインを Low にホールドしてください。

22.12.3 SMBus ホスト通知プロトコル /Notify ARP master

SMBus ではスレーブデバイスが SMBus ホスト (または ARP マスタ) に対し、一時的にマスタデバイスとなり自スレーブアドレスを通知 (または要求) することができます。

RX610 グループを SMBus ホスト (または ARP マスタ) として動作させる場合、スレーブデバイスからのホストアドレス (0001 000b) 送信をスレーブアドレスとして検出する必要があり、RIIC ではこのホストアドレスの検出機能を備えています。ホストアドレスをスレーブアドレスとして検出する場合は、ICMR3.SMBS ビットを “1”、ICSER.HOAE ビットを “1” にしてください。なおホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

22.13 割り込み要因

RIICの割り込み要因には、通信エラー/イベント発生（アービトレーションロスト検出、NACK検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出）、受信データフル、送信データエンプティ、送信終了の4種類があります。

表22.7に各割り込み一覧を示します。受信データフルおよび送信データエンプティ割り込み要求により、DTCまたはDMACを起動してデータ転送を行うことができます。

表22.7 割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動	優先順位	割り込み条件
ICEEI 通信エラー/ イベント発生		AL	不可能	不可能	↑ 高	AL=1 かつ ALIE=1
		NACKF				NACKF=1 かつ NAKIE=1
		TMOF				TMOF=1 かつ TMOIE=1
		START				START=1 かつ STIE=1
		STOP				STOP=1 かつ SPIE=1
ICRXI	受信データフル	—	可能	可能	↑ 高	RDRF=1 かつ RIE=1
ICTXI	送信データ エンプティ	—	可能	可能		TDRE=1 かつ TIE=1
ICTEI	送信終了	TEND	不可能	不可能		低

割り込み処理の中でそれぞれのフラグをクリアまたはマスクしてください。

【割り込み処理上の注意】

1. CPUから周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、レイテンシがあります。割り込みフラグをクリアまたはマスクした場合は再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後に割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。
2. ICTXI 割り込みはエッジ割り込みのためクリアの必要はありません。また ICTXI 割り込みの条件となる ICSR2.TDRE フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出 (ICSR2.STOP フラグ =1) で自動的に“0”になります。
3. ICRXI 割り込みはエッジ割り込みのためクリアの必要はありません。また ICRXI 割り込みの条件となる ICSR2.RDRF フラグは、ICDRR レジスタの読み出しで自動的に“0”になります。
4. ICTEI 割り込みを使用する場合、ICTEI 割り込み処理の中で ICSR2.TEND フラグをクリアしてください。なお ICSR2.TEND フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出 (ICSR2.STOP フラグ =1) で自動的に“0”になります。

22.14 リセット状況

RIICはチップリセット、RIICリセットおよび内部リセットのリセット機能を持っています。表22.8に各リセットのリセット範囲およびリセット状況を示します。

表22.8 リセット状況

		チップリセット	RIICリセット (ICEビット=0、 IICRSTビット=1)	内部リセット (ICEビット=1、 IICRSTビット=1)	スタートコンディション/ リスタートコンディション 検出	ストップコンディション 条件検出	
ICCR1	ICE、 IICRST	リセット	保持	保持	動作 (保持)	動作 (保持)	
	SCLO、 SDAO		リセット	リセット			
	それ以外			保持			
ICCR2	BBSY	リセット	リセット	動作	動作	動作	
	ST			リセット			リセット
	それ以外						
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	動作 (保持)	
	それ以外			保持			動作 (保持)
ICMR2		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICMR3		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICFER		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICSER		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICIER		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICSR1		リセット	リセット	リセット	動作 (保持)	リセット	
ICSR2	TDRE、 TEND	リセット	リセット	リセット	動作 (保持)	リセット	
	START				動作		
	STOP				動作 (保持)		動作
	それ以外						動作 (保持)
SARL0、1、2 SARU0、1、2		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICBRH、ICBRL		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICDRT		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICDRR		リセット	リセット	保持	動作 (保持)	動作 (保持)	
ICDRS		リセット	リセット	リセット	動作 (保持)	動作 (保持)	
タイムアウト検出機能		リセット	リセット	動作	動作	動作	
バスフリー時間計測		リセット	リセット	動作	動作	動作	

22.15 使用上の注意事項

22.15.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、モジュールストップ状態への遷移 / 解除を行うことができます。初期値では RIIC はモジュールストップ状態です。モジュールストップ状態を解除することにより、RIIC のレジスタへのアクセスが可能になります。

モジュールストップコントロールレジスタ B の詳細は、「8. 消費電力低減機能」を参照してください。

22.15.2 入力バッファコントロールレジスタの設定

入力バッファコントロールレジスタ (Pm.ICR) により、周辺モジュールへの入力を有効 / 無効にすることができます。初期値では RIIC への入力は無効状態です。

I²C バスの SCL ライン、SDA ラインは双方向のため、RIIC の SCL_n 端子、SDA_n 端子は入出力端子です。RIIC の SCL_n 端子、SDA_n 端子に該当する P1.ICR レジスタの入力バッファ制御ビットを設定し、RIIC への入力を有効にしてください。該当する端子の入力が無効状態の場合、スタートコンディション検出 (リスタートコンディション検出含む) やストップコンディション検出、SCL クロックのカウント動作等を行うことができません。

入力バッファコントロールレジスタの詳細は「14. I/O ポート」を参照してください。

22.15.3 送信アクリッジビットへの書き込みと出力タイミングについて

送信アクリッジビット (ICMR3.ACKBT ビット) は、RDRF フラグセットタイミンング選択ビット (ICMR3.RDRFS ビット) の設定値に関わらず、SCL クロックの 8 クロック目の立ち下がり時の ACKBT ビットの値が出力されます。SCL クロックの 8 クロック目の立ち下がり以降に書いた ACKBT ビットの値は、次のフレームの 8 クロック目の立ち下がりのタイミングで出力されます。

22.15.4 マスタ送信時のストップコンディション発行要求と送信データ書き込みタイミングの制約事項

マスタ送信モードにおいて、送信終了フラグ (ICSR2.TEND フラグ) が “1” の状態で 9 クロック目の Low 出力終了タイミングとストップコンディション発行要求 (ICCR2.SP ビットに “1” を書き込む) が競合した場合、外付けのプルアップ抵抗値により SCL ラインが急峻に立ち上がるとストップコンディション発行による SDA ラインの立ち下げとの関係で見かけ上スタートコンディションのような波形になる場合があります。このような場合、外付けのプルアップ抵抗値を見直していただくか、あるいは 9 クロック目の Low 出力の終了を待ってからストップコンディション発行要求を行ってください。

同様にマスタ送信モードで、送信終了フラグ (ICSR2.TEND フラグ) が “1” の状態で 9 クロック目の Low 出力終了タイミングと送信データ (ICDRT) の書き込みが競合した場合、SDA ラインに瞬間的に Low が出力され、見かけ上ストップコンディションのような波形になる場合があります。マスタ送信モードでの送信データの書き込みは送信終了フラグが “0” の状態で行い、送信終了フラグが “1” の場合には 9 クロック目の Low 出力の終了を待ってから送信データの書き込みを行ってください。

22.15.5 マスタモードで NACK 受信したときの通信再開における注意事項

マスタ送信モードでスレーブデバイスから NACK を受信 (ICMR3.ACKBR=1) した場合、ストップコンディションを発行して一度通信を終了した後、スタートコンディションを発行して通信を再開するようにしてください。

RIIC の送信動作はバッファ動作のため、通信を終了するためのストップコンディションを発行せずにリスタートコンディションを発行して通信を継続した場合、まだ送信されていない ICDRT の送信データが出力される場合があります。NACK を受信し、通信を再開したい場合はストップコンディションを発行して一度通信を終了してから、スタートコンディションを発行して通信を再開するようにしてください。

22.15.6 RDRF フラグセットタイミング選択ビット (RDRFS ビット) の注意事項

スレーブモード時、RDRF フラグセットタイミング選択ビット (RDRFS ビット) が “1” (SCL クロックの 8 クロック目の立ち上がり時に受信データフルフラグ (RDRF フラグ) を “1” にセット) の状態で一度スレーブアドレスが一致した後、ストップコンディションで通信を終了せずに、そのままリスタートコンディションにより再度 RIIC のスレーブアドレス (SAR0 ~ 2) を指定された場合、アドレスフレームの SCL の 8 クロック目で RDRF フラグが “1” になった後、再び SCL の 9 クロック目で RDRF フラグが “1” になりますので、注意してください。

23. A/Dコンバータ

23.1 概要

RX610グループは、逐次比較方式の10ビットのA/Dコンバータを4ユニット(ユニット0~3)内蔵しています。各ユニットは、最大4チャンネルのアナログ入力を選択することができます。

A/Dコンバータの動作モードには、1チャンネルのアナログ入力を1回のみ変換するシングルモードと、最大4チャンネルのアナログ入力を順次連続して変換するスキャンモードがあります。

表23.1にA/Dコンバータの仕様を、表23.2に各ユニットの機能比較を示します。図23.1~図23.4に各ユニットのブロック図を示します。

表23.1 A/Dコンバータの仕様

項目	仕様
ユニット数	4ユニット
入力チャンネル	各ユニット4チャンネル(計16チャンネル)
A/D変換方式	逐次比較方式
分解能	10ビット
変換時間	1チャンネル当たり1.0 μ s(周辺モジュールクロック PCLK=50MHz動作時)
A/D変換クロック	4種類:PCLK、PCLK/2、PCLK/4、PCLK/8
動作モード	<ul style="list-style-type: none"> シングルモード:1チャンネルのアナログ入力を1回のみ変換 スキャンモード <ul style="list-style-type: none"> 連続スキャンモード:最大4チャンネルのアナログ入力を繰り返し変換 1サイクルスキャンモード:最大4チャンネルのアナログ入力を1サイクルのみ変換
A/D変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ 16ビットタイマパルスユニット(TPU)、または8ビットタイマ(TMR)からのトリガ 外部トリガ <ul style="list-style-type: none"> ユニットごとのADTRGn#端子によってA/D変換を起動可能 ADTRG0#端子でユニット0,1のA/D変換を同時起動可能 ADTRG2#端子でユニット2,3のA/D変換を同時起動可能
機能	<ul style="list-style-type: none"> サンプル&ホールド機能 サンプリングステート数可変機能
割り込み要因	<ul style="list-style-type: none"> ユニットごとにA/D変換終了でADC割り込み要求(ADI)を発生 ADI割り込みでデータトランスファコントローラ(DTC)、DMAコントローラ(DMAC)を起動可能
消費電力低減機能	ユニット毎にモジュールストップ状態への設定可能

表23.2 各ユニットの機能比較

項目			ユニット0 (AD0)	ユニット1 (AD1)	ユニット2 (AD2)	ユニット3 (AD3)
アナログ入力チャネル			AN0 AN1 AN2 AN3	AN4 AN5 AN6 AN7	AN8 AN9 AN10 AN11	AN12 AN13 AN14 AN15
A/D変換 開始条件 (注1)	ソフトウェア	ソフトウェアトリガ	○	○	○	○
	外部トリガ	ADTRG0#	○	○	—	—
		ADTRG1#	—	○	—	—
		ADTRG2#	—	—	○	○
		ADTRG3#	—	—	—	○
	タイマからの トリガ	TPU0の コンペアマッチ/ インプットキャプチャ	TGRA	TGRB	TGRC	TGRD
		TPU0～5の コンペアマッチ/ インプットキャプチャ	TGRA	TGRA	TGRA	TGRA
		TPU6～11の コンペアマッチ/ インプットキャプチャ	TGRA	TGRA	TGRA	TGRA
		TMR0のコンペアマッチ	コンペアマッチA	コンペアマッチA	—	—
		TMR2のコンペアマッチ	—	—	コンペアマッチA	コンペアマッチA
割り込み			ADI0	ADI1	ADI2	ADI3
モジュールストップ機能の設定 (注2)			MSTPCRA. MSTPA23ビット	MSTPCRA. MSTPA22ビット	MSTPCRA. MSTPA21ビット	MSTPCRA. MSTPA20ビット

○：可能、—：不可能

注1. ユニットごとにA/D変換開始条件を選択することができます。

注2. 詳細は「8. 消費電力低減機能」を参照してください。

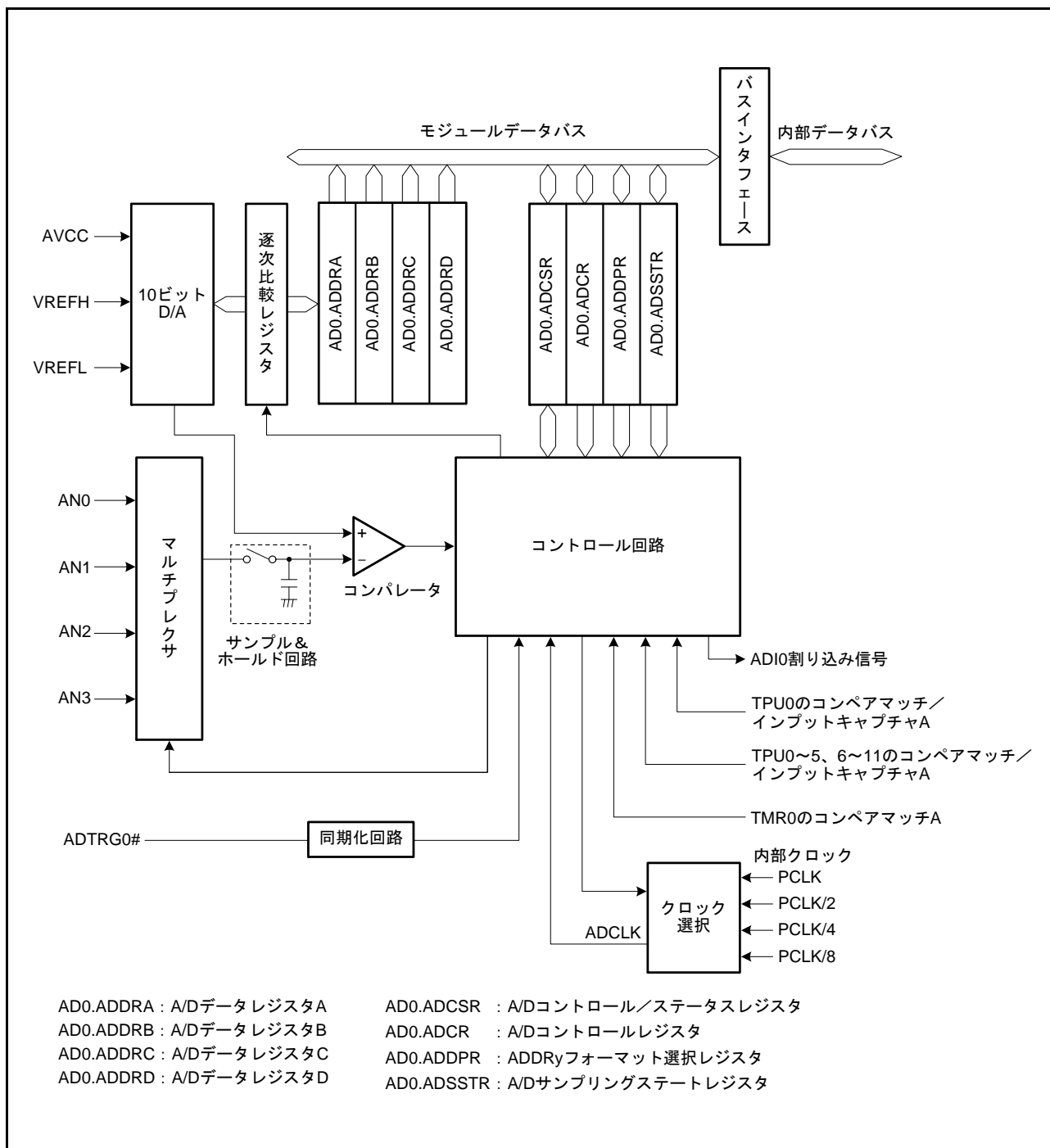


図 23.1 A/Dコンバータ (ユニット0/AD0) のブロック図

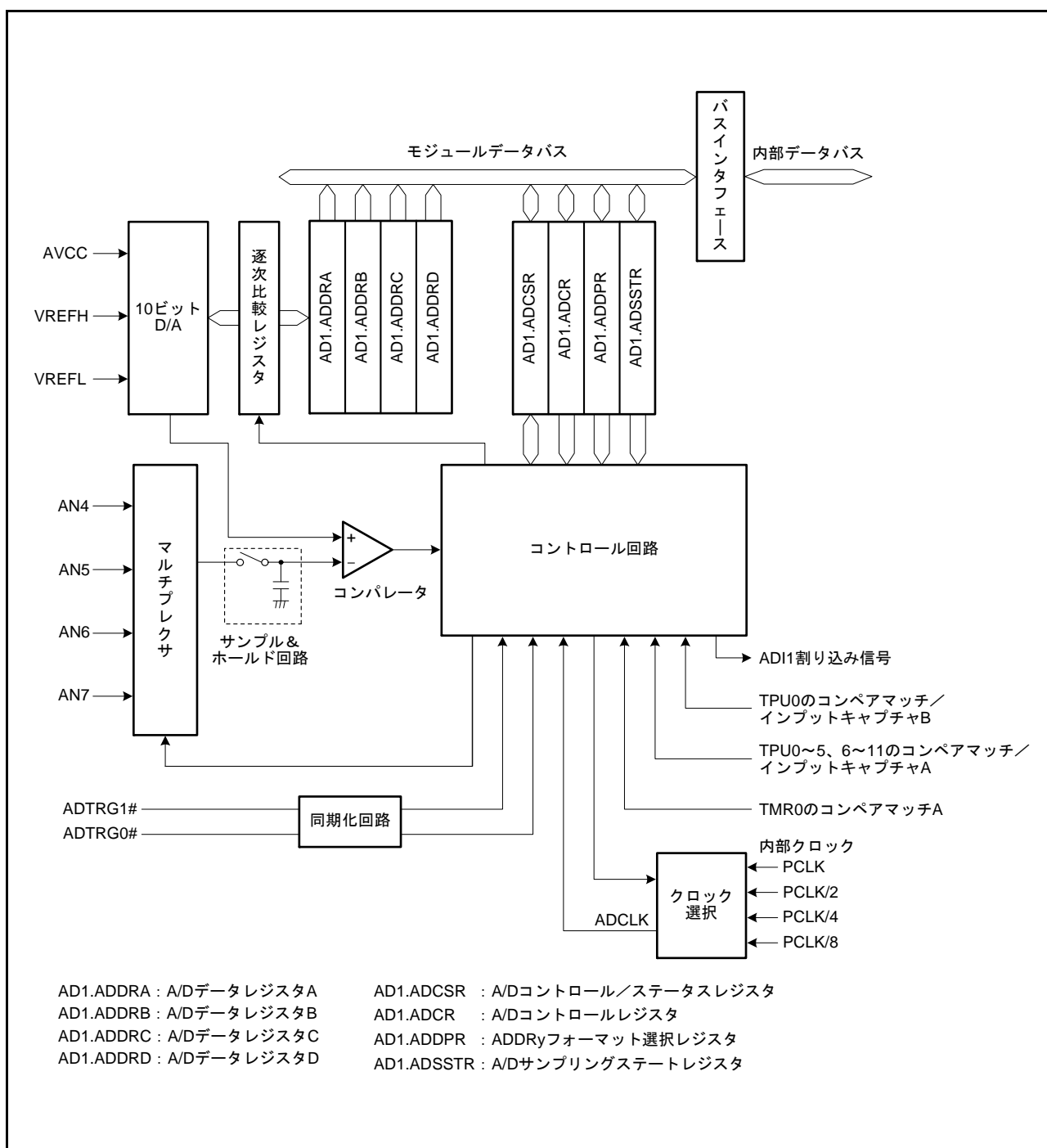


図 23.2 A/Dコンバータ (ユニット1/AD1) のブロック図

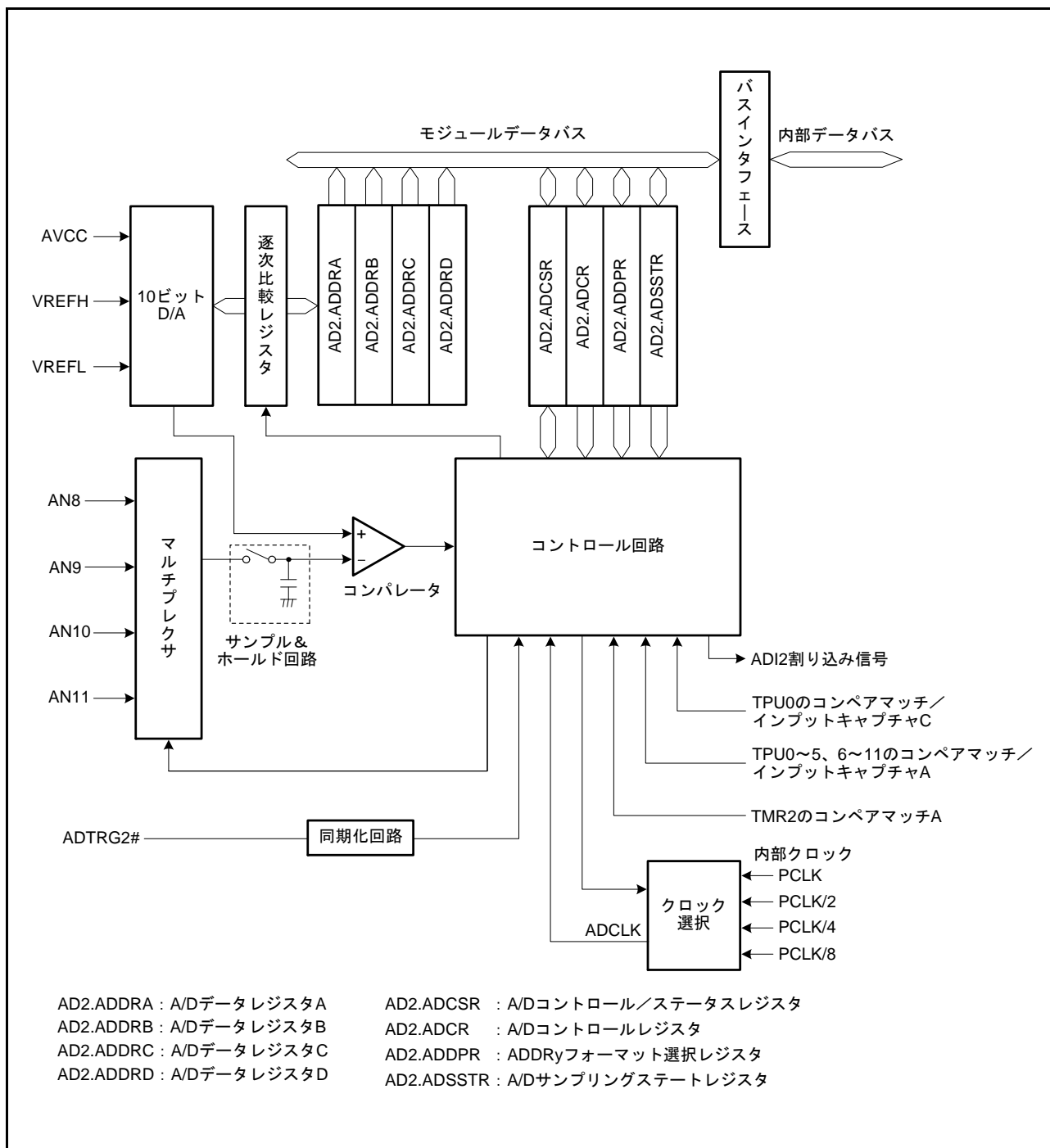


図 23.3 A/Dコンバータ (ユニット2/AD2) のブロック図

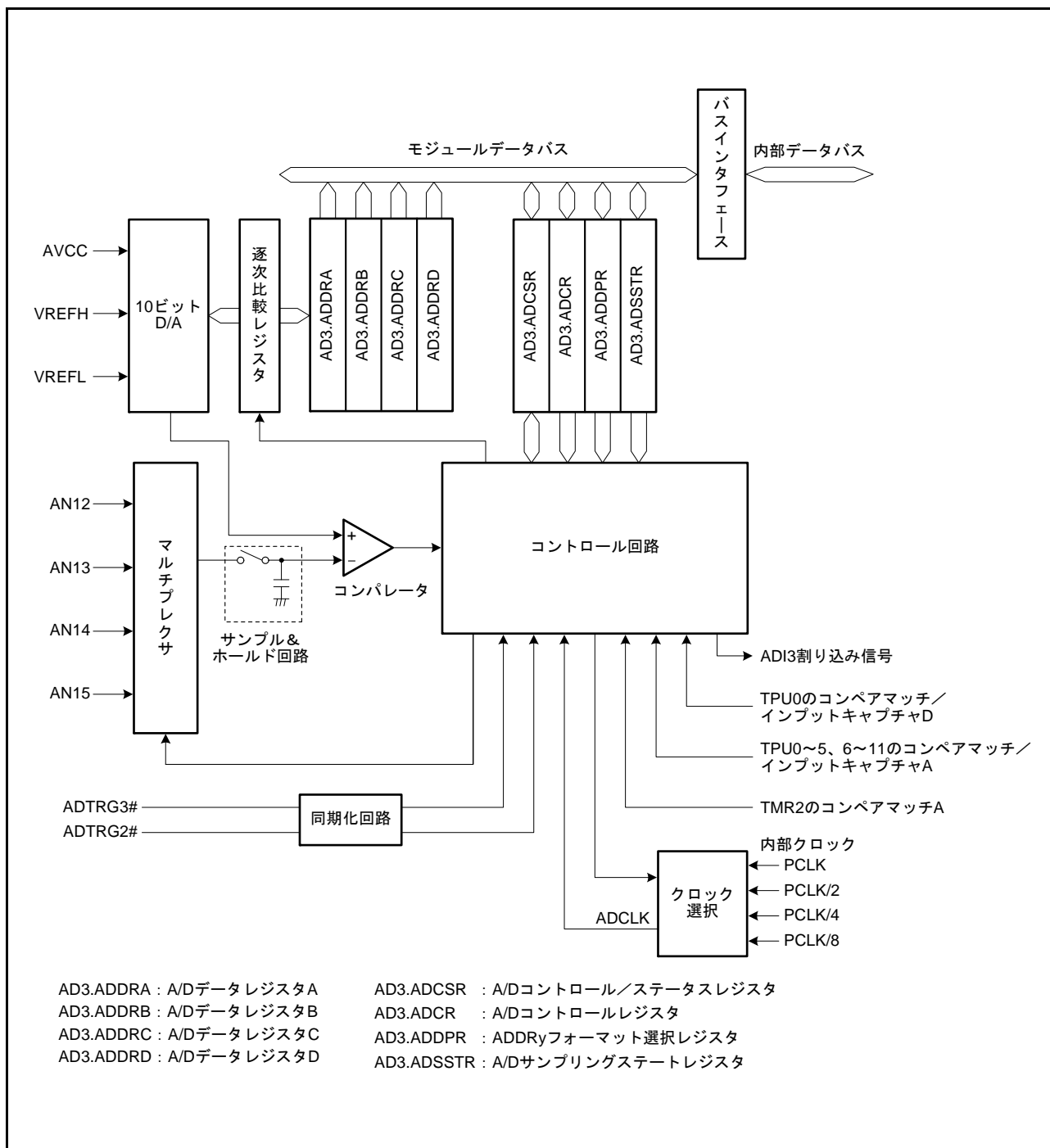


図 23.4 A/Dコンバータ (ユニット 3/AD3) のブロック図

表 23.3 に A/D コンバータで使用する入力端子を示します。

表 23.3 A/Dコンバータの入力端子

ユニット	モジュール シンボル	端子名	入力	機能
0	AD0	AN0～AN3	入力	アナログ入力端子
		ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
1	AD1	AN4～AN7	入力	アナログ入力端子
		ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
		ADTRG1#	入力	A/D変換開始のための外部トリガ入力端子
2	AD2	AN8～AN11	入力	アナログ入力端子
		ADTRG2#	入力	A/D変換開始のための外部トリガ入力端子
3	AD3	AN12～AN15	入力	アナログ入力端子
		ADTRG2#	入力	A/D変換開始のための外部トリガ入力端子
		ADTRG3#	入力	A/D変換開始のための外部トリガ入力端子
共通		AVCC	入力	アナログ回路の電源端子
		AVSS	入力	アナログ回路のグランド端子
		VREFH	入力	A/Dコンバータの基準電源端子
		VREFL	入力	A/Dコンバータの基準グランド端子 アナログ基準電源 (0V) に接続してください。

23.2 レジスタの説明

表 23.4 に A/D コンバータのレジスタ一覧を示します。

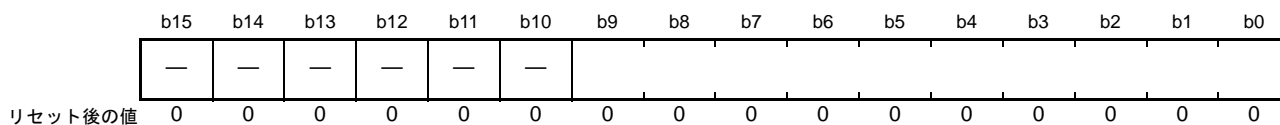
表23.4 A/Dコンバータのレジスタ一覧

ユニット	モジュール シンボル	レジスタ名	レジスタ シンボル	リセット後の値	アドレス	アクセス サイズ
0	AD0	A/D データレジスタ A	ADDRA	0000h	0008 8040h	16
		A/D データレジスタ B	ADDRB	0000h	0008 8042h	16
		A/D データレジスタ C	ADDRC	0000h	0008 8044h	16
		A/D データレジスタ D	ADDRD	0000h	0008 8046h	16
		A/D コントロール/ステータスレジスタ	ADCSR	x0h	0008 8050h	8
		A/D コントロールレジスタ	ADCR	00h	0008 8051h	8
		ADDRy フォーマット選択レジスタ	ADDPR	00h	0008 8052h	8
		A/D サンプリングステートレジスタ	ADSSTR	19h	0008 8053h	8
1	AD1	A/D データレジスタ A	ADDRA	0000h	0008 8060h	16
		A/D データレジスタ B	ADDRB	0000h	0008 8062h	16
		A/D データレジスタ C	ADDRC	0000h	0008 8064h	16
		A/D データレジスタ D	ADDRD	0000h	0008 8066h	16
		A/D コントロール/ステータスレジスタ	ADCSR	x0h	0008 8070h	8
		A/D コントロールレジスタ	ADCR	00h	0008 8071h	8
		ADDRy フォーマット選択レジスタ	ADDPR	00h	0008 8072h	8
		A/D サンプリングステートレジスタ	ADSSTR	19h	0008 8073h	8
2	AD2	A/D データレジスタ A	ADDRA	0000h	0008 8080h	16
		A/D データレジスタ B	ADDRB	0000h	0008 8082h	16
		A/D データレジスタ C	ADDRC	0000h	0008 8084h	16
		A/D データレジスタ D	ADDRD	0000h	0008 8086h	16
		A/D コントロール/ステータスレジスタ	ADCSR	x0h	0008 8090h	8
		A/D コントロールレジスタ	ADCR	00h	0008 8091h	8
		ADDRy フォーマット選択レジスタ	ADDPR	00h	0008 8092h	8
		A/D サンプリングステートレジスタ	ADSSTR	19h	0008 8093h	8
3	AD3	A/D データレジスタ A	ADDRA	0000h	0008 80A0h	16
		A/D データレジスタ B	ADDRB	0000h	0008 80A2h	16
		A/D データレジスタ C	ADDRC	0000h	0008 80A4h	16
		A/D データレジスタ D	ADDRD	0000h	0008 80A6h	16
		A/D コントロール/ステータスレジスタ	ADCSR	x0h	0008 80B0h	8
		A/D コントロールレジスタ	ADCR	00h	0008 80B1h	8
		ADDRy フォーマット選択レジスタ	ADDPR	00h	0008 80B2h	8
		A/D サンプリングステートレジスタ	ADSSTR	19h	0008 80B3h	8

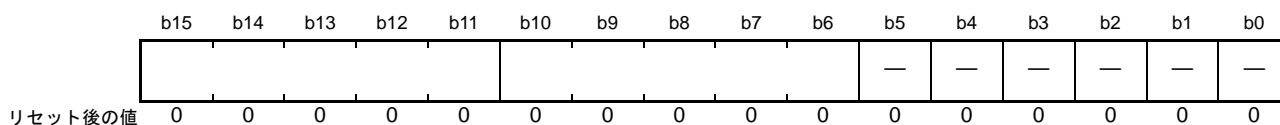
23.2.1 A/D データレジスタ y (ADDRy) (y=A ~ D)

アドレス AD0.ADDRA 0008 8040h、AD0.ADDRB 0008 8042h、AD0.ADDRC 0008 8044h、AD0.ADDRD 0008 8046h
 AD1.ADDRA 0008 8060h、AD1.ADDRB 0008 8062h、AD1.ADDRC 0008 8064h、AD1.ADDRD 0008 8066h
 AD2.ADDRA 0008 8080h、AD2.ADDRB 0008 8082h、AD2.ADDRC 0008 8084h、AD2.ADDRD 0008 8086h
 AD3.ADDRA 0008 80A0h、AD3.ADDRB 0008 80A2h、AD3.ADDRC 0008 80A4h、AD3.ADDRD 0008 80A6h

・ ADDPR.DPSEL ビット=0 (データはLSB詰め)



・ ADDPR.DPSEL ビット=1 (データはMSB詰め)



ADDRy レジスタは、A/D 変換結果を格納する 16 ビットのリードのみ可能なレジスタです。

アナログ入力チャネルと ADDRy レジスタの対応を、表 23.5 に示します。

ADDPR.DPSEL ビットの設定によって 10 ビットのデータの配置を変更できます。

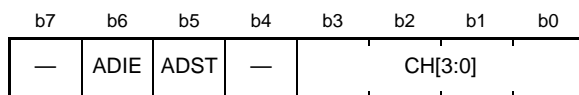
“—” のビットは、読むと“0”が読めます。書く場合、“0”としてください。

表23.5 アナログ入力チャネルと ADDRy レジスタの対応

アナログ入力チャネル	ADDRy レジスタ
AN0	AD0.ADDRA
AN1	AD0.ADDRB
AN2	AD0.ADDRC
AN3	AD0.ADDRD
AN4	AD1.ADDRA
AN5	AD1.ADDRB
AN6	AD1.ADDRC
AN7	AD1.ADDRD
AN8	AD2.ADDRA
AN9	AD2.ADDRB
AN10	AD2.ADDRC
AN11	AD2.ADDRD
AN12	AD3.ADDRA
AN13	AD3.ADDRB
AN14	AD3.ADDRC
AN15	AD3.ADDRD

23.2.2 A/Dコントロール/ステータスレジスタ (ADCSR)

アドレス AD0.ADCSR 0008 8050h, AD1.ADCSR 0008 8070h
AD2.ADCSR 0008 8090h, AD3.ADCSR 0008 80B0h



リセット後の値 x 0 0 0 0 0 0 0 0

x : 不定

ビット	シンボル	ビット名	機能			R/W
b3-b0	CH[3:0]	チャンネル選択ビット (注1)	ユニット	シングルモード (ADCR.MODE[1:0]=00b)	スキャンモード (ADCR.MODE[1:0]=10bまたは11b)	R/W
			ユニット0	b3 b0 0 0 0 0 : AN0 0 0 0 1 : AN1 0 0 1 0 : AN2 0 0 1 1 : AN3 上記以外は 設定しないでください	b3 b0 0 0 0 0 : AN0 0 0 0 1 : AN0、AN1 0 0 1 0 : AN0~AN2 0 0 1 1 : AN0~AN3 上記以外は 設定しないでください	
			ユニット1	b3 b0 0 0 0 0 : AN4 0 0 0 1 : AN5 0 0 1 0 : AN6 0 0 1 1 : AN7 上記以外は 設定しないでください	b3 b0 0 0 0 0 : AN4 0 0 0 1 : AN4、AN5 0 0 1 0 : AN4~AN6 0 0 1 1 : AN4~AN7 上記以外は 設定しないでください	
			ユニット2	b3 b0 0 0 0 0 : AN8 0 0 0 1 : AN9 0 0 1 0 : AN10 0 0 1 1 : AN11 上記以外は 設定しないでください	b3 b0 0 0 0 0 : AN8 0 0 0 1 : AN8、AN9 0 0 1 0 : AN8~AN10 0 0 1 1 : AN8~AN11 上記以外は 設定しないでください	
			ユニット3	b3 b0 0 0 0 0 : AN12 0 0 0 1 : AN13 0 0 1 0 : AN14 0 0 1 1 : AN15 上記以外は 設定しないでください	b3 b0 0 0 0 0 : AN12 0 0 0 1 : AN12、AN13 0 0 1 0 : AN12~AN14 0 0 1 1 : AN12~AN15 上記以外は 設定しないでください	
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください			R/W
b5	ADST	A/Dスタートビット	0 : A/D変換停止 1 : A/D変換開始			R/W
b6	ADIE	A/D割り込み許可ビット	0 : A/D変換終了によるADI割り込み禁止 1 : A/D変換終了によるADI割り込み許可			R/W
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください			R/W

注1. アナログ入力として使用する端子のPm.DDR.Bjビットを“0”（入力ポート）に、Pm.ICR.Bjビット(m=4,9、j=0~7)を“0”（対応する端子の入力バッファは無効となり、入力信号はHighに固定）にしてください。詳細は、「14. I/Oポート」を参照してください。

ADCSR レジスタは、A/D 変換を制御するレジスタです。

CH[3:0] ビット (チャンネル選択ビット)

A/D 変換を行うアナログ入力チャンネルを選択します。

- " シングルモード (ADCR.MODE[1:0] ビットが "00b")
A/D 変換を行うアナログ入力チャンネルを 1 チャンネル選択します。
- " スキャンモード (ADCR.MODE[1:0] ビットが "10b" または "11b")
A/D 変換を行うアナログ入力チャンネルを最大 4 チャンネル選択します。

ADST ビット (A/D スタートビット)

A/D 変換の開始 / 停止を制御します。

ADST ビットを "1" にする前に A/D 変換クロックや動作モードの設定を行ってください。

["1" になる条件]

- " ソフトウェアで "1" を書いたとき
- " ADCR.TRGS[2:0] ビットで選択したトリガを検出したとき

["0" になる条件]

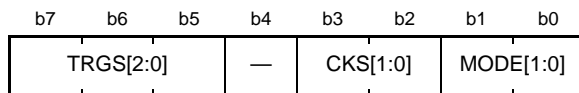
- " ソフトウェアで "0" を書いたとき
- " シングルモードで A/D 変換が終了したとき
- " 1 サイクルスキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき

ADIE ビット (A/D 割り込み許可ビット)

A/D 変換終了による ADI 割り込み許可 / 禁止を選択します。

23.2.3 A/Dコントロールレジスタ (ADCR)

アドレス AD0.ADCR 0008 8051h、AD1.ADCR 0008 8071h
AD2.ADCR 0008 8091h、AD3.ADCR 0008 80B1h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W						
b1-b0	MODE[1:0]	動作モード選択ビット	b1 b0 0 0 : シングルモード 0 1 : 設定しないでください 1 0 : 連続スキャンモード 1 1 : 1サイクルスキャンモード	R/W						
b3-b2	CKS[1:0]	クロック選択ビット	b3 b2 0 0 : PCLK/8 0 1 : PCLK/4 1 0 : PCLK/2 1 1 : PCLK	R/W						
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W						
b7-b5	TRGS[2:0]	トリガ選択ビット	<table border="1" style="border-collapse: collapse; width: 100%;"> <thead> <tr> <th style="width: 15%;">ユニット</th> <th style="width: 85%;">トリガ信号</th> </tr> </thead> <tbody> <tr> <td>ユニット0</td> <td> b7 b5 0 0 0 : ソフトウェアトリガ 0 0 1 : TPU0~5のコンペアマッチ/ インプットキャプチャA 0 1 0 : TMR0のコンペアマッチA 0 1 1 : ADTRG0# (注1) からのトリガ 1 0 0 : TPU0のコンペアマッチ/ インプットキャプチャA 1 0 1 : TPU6~11のコンペアマッチ/ インプットキャプチャA 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください </td> </tr> <tr> <td>ユニット1</td> <td> b7 b5 0 0 0 : ソフトウェアトリガ 0 0 1 : TPU0~5のコンペアマッチ/ インプットキャプチャA 0 1 0 : TMR0のコンペアマッチA 0 1 1 : ADTRG1# (注1) からのトリガ 1 0 0 : TPU0のコンペアマッチ/ インプットキャプチャB 1 0 1 : TPU6~11のコンペアマッチ/ インプットキャプチャA 1 1 0 : 設定しないでください 1 1 1 : ADTRG0# (注1) からのトリガ </td> </tr> </tbody> </table>	ユニット	トリガ信号	ユニット0	b7 b5 0 0 0 : ソフトウェアトリガ 0 0 1 : TPU0~5のコンペアマッチ/ インプットキャプチャA 0 1 0 : TMR0のコンペアマッチA 0 1 1 : ADTRG0# (注1) からのトリガ 1 0 0 : TPU0のコンペアマッチ/ インプットキャプチャA 1 0 1 : TPU6~11のコンペアマッチ/ インプットキャプチャA 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	ユニット1	b7 b5 0 0 0 : ソフトウェアトリガ 0 0 1 : TPU0~5のコンペアマッチ/ インプットキャプチャA 0 1 0 : TMR0のコンペアマッチA 0 1 1 : ADTRG1# (注1) からのトリガ 1 0 0 : TPU0のコンペアマッチ/ インプットキャプチャB 1 0 1 : TPU6~11のコンペアマッチ/ インプットキャプチャA 1 1 0 : 設定しないでください 1 1 1 : ADTRG0# (注1) からのトリガ	R/W
ユニット	トリガ信号									
ユニット0	b7 b5 0 0 0 : ソフトウェアトリガ 0 0 1 : TPU0~5のコンペアマッチ/ インプットキャプチャA 0 1 0 : TMR0のコンペアマッチA 0 1 1 : ADTRG0# (注1) からのトリガ 1 0 0 : TPU0のコンペアマッチ/ インプットキャプチャA 1 0 1 : TPU6~11のコンペアマッチ/ インプットキャプチャA 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください									
ユニット1	b7 b5 0 0 0 : ソフトウェアトリガ 0 0 1 : TPU0~5のコンペアマッチ/ インプットキャプチャA 0 1 0 : TMR0のコンペアマッチA 0 1 1 : ADTRG1# (注1) からのトリガ 1 0 0 : TPU0のコンペアマッチ/ インプットキャプチャB 1 0 1 : TPU6~11のコンペアマッチ/ インプットキャプチャA 1 1 0 : 設定しないでください 1 1 1 : ADTRG0# (注1) からのトリガ									

ビット	シンボル	ビット名	機能		R/W
			ユニット	トリガ信号	R/W
b7-b5	TRGS[2:0]	トリガ選択ビット	ユニット	トリガ信号	R/W
			ユニット2	b7 b5 0 0 0: ソフトウェアトリガ 0 0 1: TPU0~5のコンペアマッチ/ インプットキャプチャA 0 1 0: TMR2のコンペアマッチA 0 1 1: ADTRG2# (注1) からのトリガ 1 0 0: TPU0のコンペアマッチ/ インプットキャプチャC 1 0 1: TPU6~11のコンペアマッチ/ インプットキャプチャA 1 1 0: 設定しないでください 1 1 1: 設定しないでください	
			ユニット3	b7 b5 0 0 0: ソフトウェアトリガ 0 0 1: TPU0~5のコンペアマッチ/ インプットキャプチャA 0 1 0: TMR2のコンペアマッチA 0 1 1: ADTRG3# (注1) からのトリガ 1 0 0: TPU0のコンペアマッチ/ インプットキャプチャD 1 0 1: TPU6~11のコンペアマッチ/ インプットキャプチャA 1 1 0: 設定しないでください 1 1 1: ADTRG2# (注1) からのトリガ	

注1. A/D変換を開始するトリガをADTRGn#(n=0~3)に設定する場合は、Pm.DDR.Bjビットを“0”（入力ポート）に、Pm.ICR.Bjビットを“1”（対応する端子の入力バッファは有効）に設定してください(m=1,7、j=0,3,4,7)。詳細は「14. I/Oポート」を参照してください。

ADCRレジスタは、A/D変換の開始トリガ、動作モード、A/D変換クロックの設定を行うレジスタです。
ADCRレジスタの設定は、ADCSR.ADSTビットが“0”のときに行ってください。

MODE[1:0] ビット（動作モード選択ビット）

A/D変換の動作モードを選択します。

CKS[1:0] ビット（クロック選択ビット）

A/D変換時間を決めるA/D変換クロック（ADCLK）の周波数を設定します。
ADCLKの周波数は、4MHz以上になるように設定してください。
詳細は、「23.3.3 入力サンプリングとA/D変換時間」を参照してください。

TRGS[2:0] ビット（トリガ選択ビット）

A/D変換の開始トリガを選択します。

23.2.4 ADDRy フォーマット選択レジスタ (ADDPR)

アドレス AD0.ADDPR 0008 8052h、AD1.ADDPR 0008 8072h
AD2.ADDPR 0008 8092h、AD3.ADDPR 0008 80B2h

b7	b6	b5	b4	b3	b2	b1	b0
DPSEL	—	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DPSEL	ADDRyフォーマット選択ビット	0：データはLSB詰め 1：データはMSB詰め	R/W

ADDPR レジスタは、A/D データレジスタのデータ配置を選択するレジスタです。

DPSEL ビット (ADDRy フォーマット選択ビット)

A/D データレジスタのデータを LSB 詰めか、MSB 詰めかを選択します。

23.2.5 A/D サンプリングステートレジスタ (ADSSTR)

アドレス AD0.ADSSTR 0008 8053h、AD1.ADSSTR 0008 8073h
AD2.ADSSTR 0008 8093h、AD3.ADSSTR 0008 80B3h

b7	b6	b5	b4	b3	b2	b1	b0

リセット後の値 0 0 0 1 1 0 0 1

ADSSTR レジスタは、アナログ入力のサンプリング時間を設定するための 8 ビットのリード/ライト可能なレジスタです。

アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、周辺モジュールクロック (PCLK) が低速な場合に、サンプリング時間を調整することができます。

設定値は、“02h”以上の値を設定してください。

誤動作を避けるため、A/D 変換停止 (ADCSR.ADST ビットが“0”) の状態で書き換えてください。

詳細は、「23.3.3 入力サンプリングと A/D 変換時間」を参照してください。

23.3 動作説明

RX610 グループは、4ユニットのA/Dコンバータを内蔵しています。各ユニットは、同一機能です。

以下の動作説明は、ユニット単体の説明をします。

A/Dコンバータの動作モードには、シングルモードとスキャンモードがあります。

シングルモードでは、指定された1チャンネルのアナログ入力を1回のみ変換します。

スキャンモードでは、最大4チャンネルのアナログ入力を順次連続して変換します。スキャンモードには、A/D変換を繰り返し行う連続スキャンと、設定されたチャンネルを1サイクルのみ行うシングルスキャンがあります。

23.3.1 シングルモード

シングルモードでは、指定された1チャンネルのアナログ入力を以下のように1回のみA/D変換を行います。

- (1) ソフトウェア、TPU、TMR、または外部トリガ入力によってADCSR.ADSTビットが“1”（A/D変換開始）になると、選択されたチャンネルのA/D変換を開始します。
- (2) A/D変換が終了すると、A/D変換結果がそのチャンネルに対応するA/Dデータレジスタ（ADDRy）に格納されます。
- (3) A/D変換終了後、ADCSR.ADIEビットが“1”（A/D変換終了によるADI割り込み許可）に設定されていると、ADI割り込み要求が発生します。
- (4) ADSTビットはA/D変換中は“1”を保持し、変換が終了すると自動的に“0”になり、A/Dコンバータは待機状態になります。
- (5) A/D変換中にADSTビットを“0”（A/D変換停止）にするとA/D変換を中止し、A/Dコンバータは待機状態になります。

アナログ入力にAN1を選択した場合の動作例を図23.5に示します。

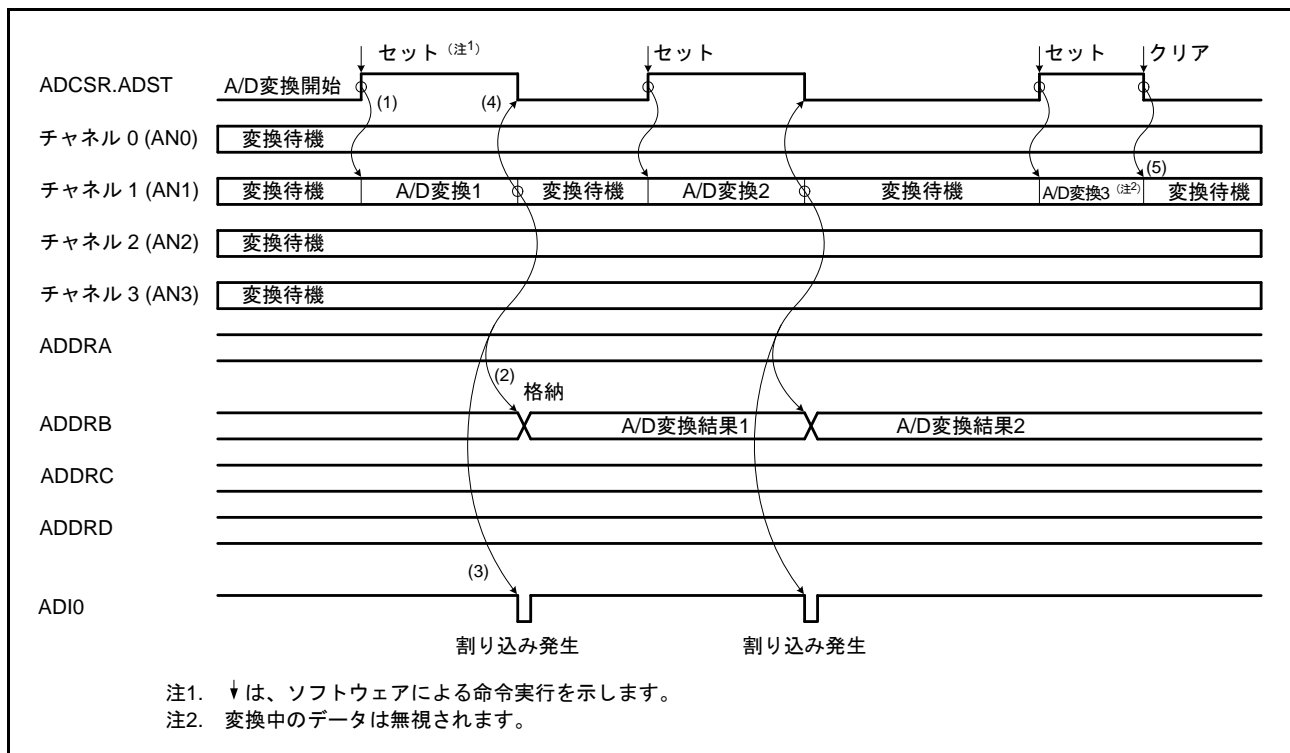


図 23.5 A/Dコンバータの動作例（シングルモード）

23.3.2 スキャンモード

スキャンモードでは、最大4チャンネルのアナログ入力を以下のように順次連続してA/D変換を行います。スキャンモードには、A/D変換を繰り返し行う連続スキャンと、設定されたチャンネルを1サイクルのみ変換するシングルスキャンがあります。

23.3.2.1 連続スキャンモード

連続スキャンモードは、設定されたチャンネルのアナログ入力を以下のように繰り返しA/D変換を行います。

- (1) ソフトウェア、TPU、TMR、または外部トリガ入力によってADCSR.ADSTビットが“1”（A/D変換開始）になると、選択されたチャンネルのうち、チャンネル番号の若いほうからA/D変換を開始します。
- (2) A/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ（ADDRy）に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”（A/D変換終了によるADI割り込み許可）に設定されていると、ADI割り込み要求が発生します。A/Dコンバータはチャンネル番号の若いほうからA/D変換を開始します。
- (4) ADSTビットは自動的に“0”にならず、“1”（A/D変換開始）の間は(2)～(3)を繰り返します。ADSTビットを“0”（A/D変換停止）にするとA/D変換を中止し、A/Dコンバータは待機状態になります。
- (5) その後、ADSTビットを“1”（A/D変換開始）にすると再びチャンネル番号の若いほうからA/D変換を開始します。

アナログ入力にAN0～AN2の3チャンネルを選択した場合の動作例を図23.6に示します。

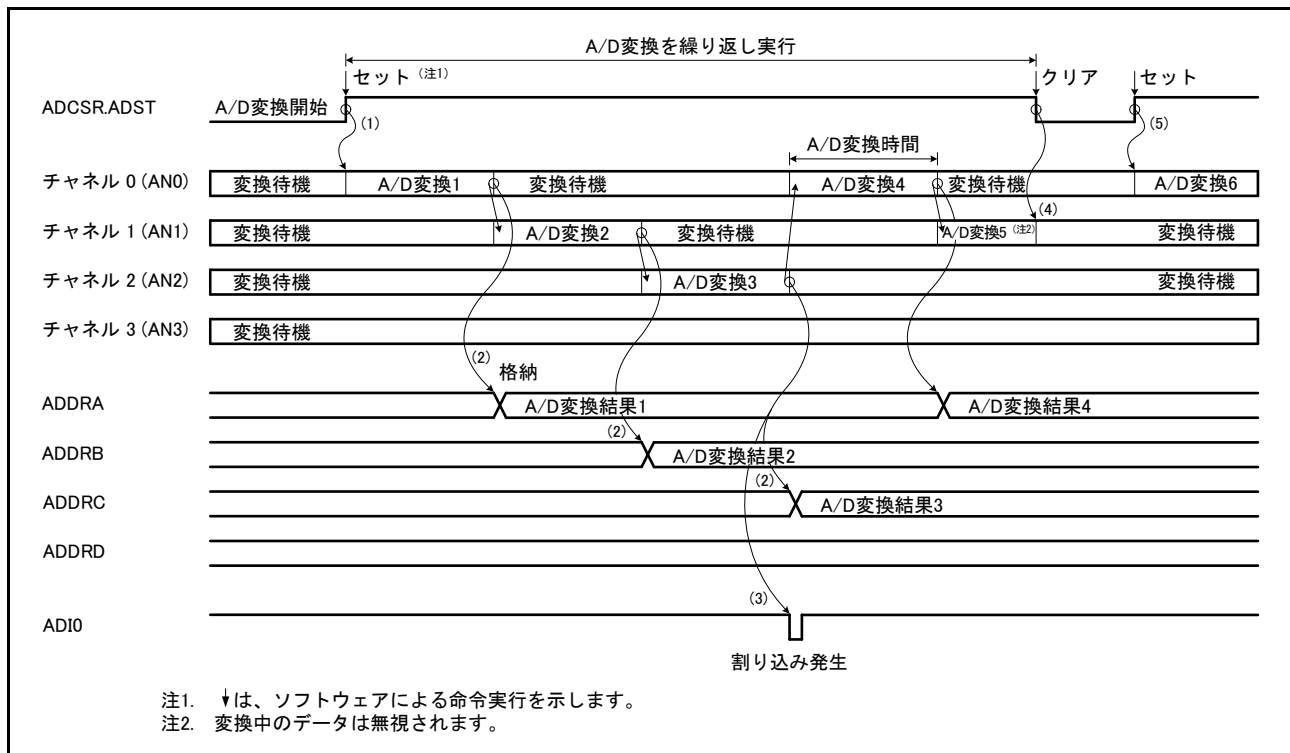


図 23.6 A/Dコンバータの動作例（連続スキャンモード）

23.3.2.2 1 サイクルスキャンモード

1 サイクルスキャンモードは、指定されたチャンネルのアナログ入力を以下のように 1 サイクルのみ A/D 変換を行います。

- (1) ソフトウェア、TPU、TMR、または外部トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、選択されたチャンネルのうち、チャンネル番号の若いほうから A/D 変換を開始します。
- (2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) 選択されたすべてのチャンネルの A/D 変換終了後、ADCSR.ADIE ビットが“1” (A/D 変換終了による ADI 割り込み許可) に設定されていると、ADI 割り込み要求が発生します。
- (4) ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、選択されたすべてのチャンネルの A/D 変換が終了すると自動的に“0”になり、A/D コンバータは待機状態になります。

アナログ入力に AN4 ~ AN6 の 3 チャンネルを選択した場合の動作例を図 23.7 に示します。

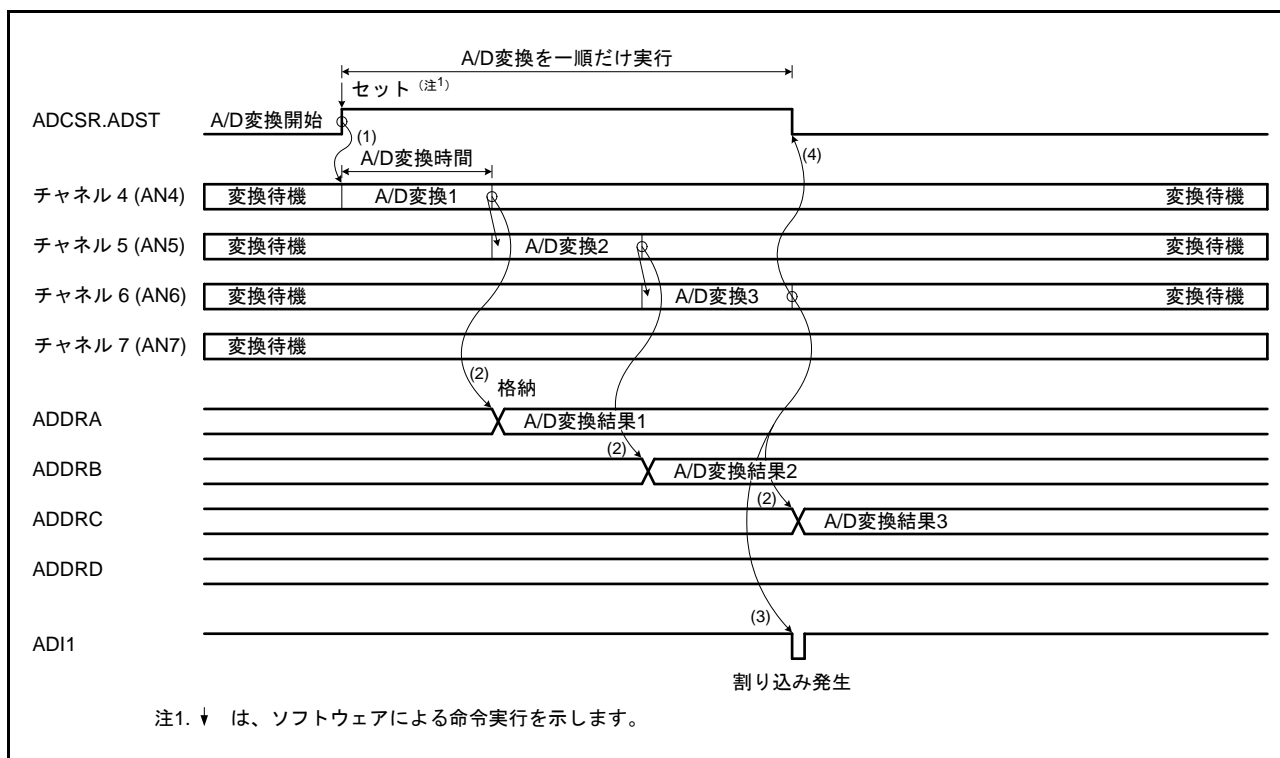


図 23.7 A/Dコンバータの動作例 (1 サイクルスキャンモード)

23.3.3 入力サンプリングと A/D 変換時間

A/Dコンバータは、ソフトウェア、TPU、TMR、または外部トリガによる A/D 変換開始条件が発生してから A/D 変換開始遅延時間 (t_D) 経過後、アナログ入力のサンプリングを行い、その後 A/D 変換を開始します。

A/D 変換のタイミングを図 23.8 に示します。

A/D 変換開始条件発生直後の A/D 変換時間 (t_{CONV}) は、 t_D とサンプリング時間 (t_{SPL})、逐次変換時間 (t_{SAM}) を合わせた時間となります。それ以降の A/D 変換時間 (t_{CONV}) は、 t_{SPL} と t_{SAM} を含めた時間となります。

サンプリング時間 (t_{SPL}) は、A/D コンバータのサンプル&ホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、周辺モジュールクロック PCLK が低速な場合には ADSSTR レジスタでサンプリング時間を調整することができます。

逐次変換時間 (t_{SAM}) は、常に ADCLK の 25 サイクル固定です。

ADSSTR レジスタの設定例を表 23.6 に、A/D 変換時間を表 23.7 に示します。

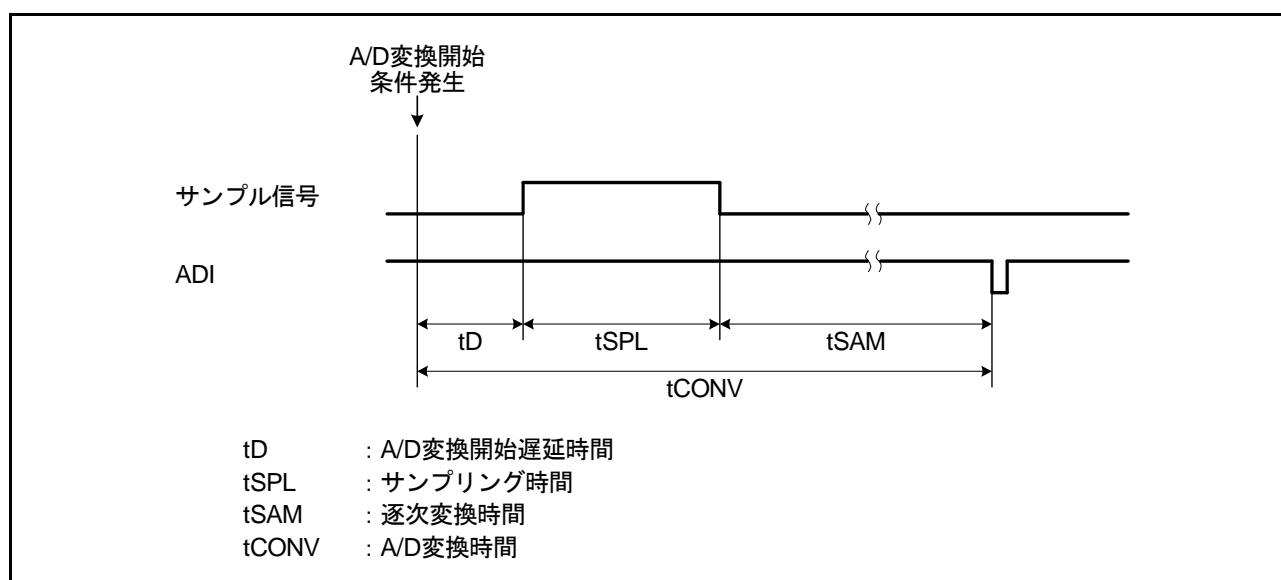


図 23.8 A/D 変換タイミング

表 23.6 ADSSTR レジスタの設定例

使用例	設定範囲	サンプリング時間 (注1)
標準 (初期値)	"19h"	0.5 μ s (PCLK = ADCLK = 50MHz 時)
アナログ入力の信号源インピーダンスが高く、サンプリング時間が不足する場合に設定	"1Ah" ~ "FFh"	例: "FFh" 5.1 μ s (PCLK = ADCLK = 50MHz 時)
ADCLK が 50MHz に満たない場合に、サンプリング時間を初期値より短くする場合に設定	"02h" ~ "18h"	例: "14h" 0.5 μ s (PCLK = ADCLK = 40MHz 時)

注1. サンプリング時間 $\geq 0.5\mu$ s となるように設定してください。サンプリング時間は、以下の式で計算します。

$$\text{サンプリング時間 } (\mu\text{s}) = \frac{\text{ADSSTRレジスタ設定値}}{\text{ADCLK (MHz)}}$$

表 23.7 A/D変換時間

項目	記号	計算式	
		min	max
A/D変換開始遅延時間 (①)	tD	$\frac{3}{\text{PCLK (MHz)}}$	$\frac{1}{\text{ADCLK (MHz)}} + \frac{4}{\text{PCLK (MHz)}}$
サンプリング時間 (②)	tSPL	$\frac{\text{ADSSTRレジスタ設定値}}{\text{ADCLK (MHz)}}$	
逐次変換時間 (③)	tSAM	$\frac{25}{\text{ADCLK (MHz)}}$	
A/D変換時間 (注1)	tCONV	①+②+③	
A/D変換時間 (注2)	tCONV	②+③	

注1. シングルモード、スキャンモード (1回目) のA/D変換時間

注2. スキャンモード (2回目以降) のA/D変換時間

A/D変換時間の計算例を示します。

PCLK=ADCLK=50MHz、ADSSTR=19h、スキャンモード (2回目) の場合、

A/D変換時間 (tCONV) = ADSSTR/ADCLK + 25/ADCLK

$$= 25/50\text{MHz} + 25/50\text{MHz}$$

$$= 0.5\mu\text{s} + 0.5\mu\text{s}$$

$$= 1.0\mu\text{s}$$

PCLK=ADCLK=40MHz、ADSSTR=14h、スキャンモード (1回目 : min) の場合

A/D変換時間 (tCONV) = 3/PCLK + ADSSTR/ADCLK + 25/ADCLK

$$= 3/40\text{MHz} + 20/40\text{MHz} + 25/40\text{MHz}$$

$$= 0.075\mu\text{s} + 0.5\mu\text{s} + 0.625\mu\text{s}$$

$$= 1.2\mu\text{s}$$

23.3.4 外部トリガによる起動

外部トリガ入力 (ADTRG0# ~ ADTRG3#) により、各ユニットの A/D 変換を開始することができます。

ユニット 0 の場合、AD0.ADCR.TRGS[2:0] ビットを“011b” (ADTRG0# からのトリガ) にすると、ADTRG0# の立ち下がりエッジで、AD0.ADCSR.ADST ビットが“1” (A/D 変換開始) になり、A/D 変換が開始されます。このタイミングを図 23.9 に示します。

また、外部トリガ入力により 2 ユニットの A/D 変換を同時に開始することも可能です (ユニット同時起動)。ユニット 0、1 の場合、AD0.ADCR.TRGS[2:0] ビットを“011b” (ADTRG0# からのトリガ)、AD1.ADCR.TRGS[2:0] ビットを“111b” (ADTRG0# からのトリガ) にすると、ADTRG0# の立ち下がりエッジでユニット 0、1 を同時に起動することができます。同様に、ユニット 2、3 を ADTRG2# の立ち下がりエッジで同時に起動することができます。

外部トリガ使用時、外部トリガ入力がすでに Low だった場合、内部信号に立ち下がりエッジが発生し、A/D 変換が開始される場合がありますので注意してください。

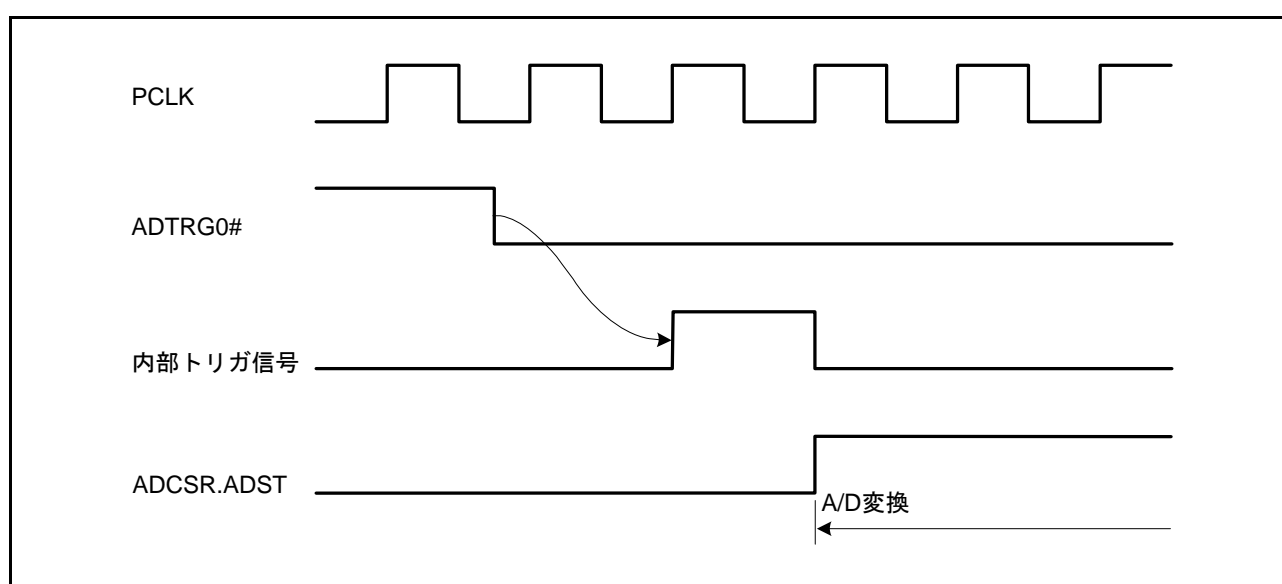


図 23.9 外部トリガ入力タイミング

23.3.5 TPU0 のコンペアマッチ/インプットキャプチャ A～D による起動

TPU0 のコンペアマッチ/インプットキャプチャ A～D によりユニット 0～3 の A/D 変換を開始することができます。

TPU0 のコンペアマッチ/インプットキャプチャ A～D と各ユニットの関係を図 23.10 に示します。

TPU0 のコンペアマッチ/インプットキャプチャ A～D により最大 4 ユニットの A/D 変換を開始することが可能です。ユニット 0～3 の場合、AD0.ADCR.TRGS[2:0] ビットを“100b” (TPU0 のコンペアマッチ/インプットキャプチャ A)、AD1.ADCR.TRGS[2:0] ビットを“100b” (TPU0 のコンペアマッチ/インプットキャプチャ B)、AD2.ADCR.TRGS[2:0] ビットを“100b” (TPU0 のコンペアマッチ/インプットキャプチャ C)、AD3.ADCR.TRGS[2:0] ビットを“100b” (TPU0 のコンペアマッチ/インプットキャプチャ D) にすると、TPU0 のコンペアマッチ/インプットキャプチャ A～D でユニット 0～3 の A/D 変換を開始することができます。

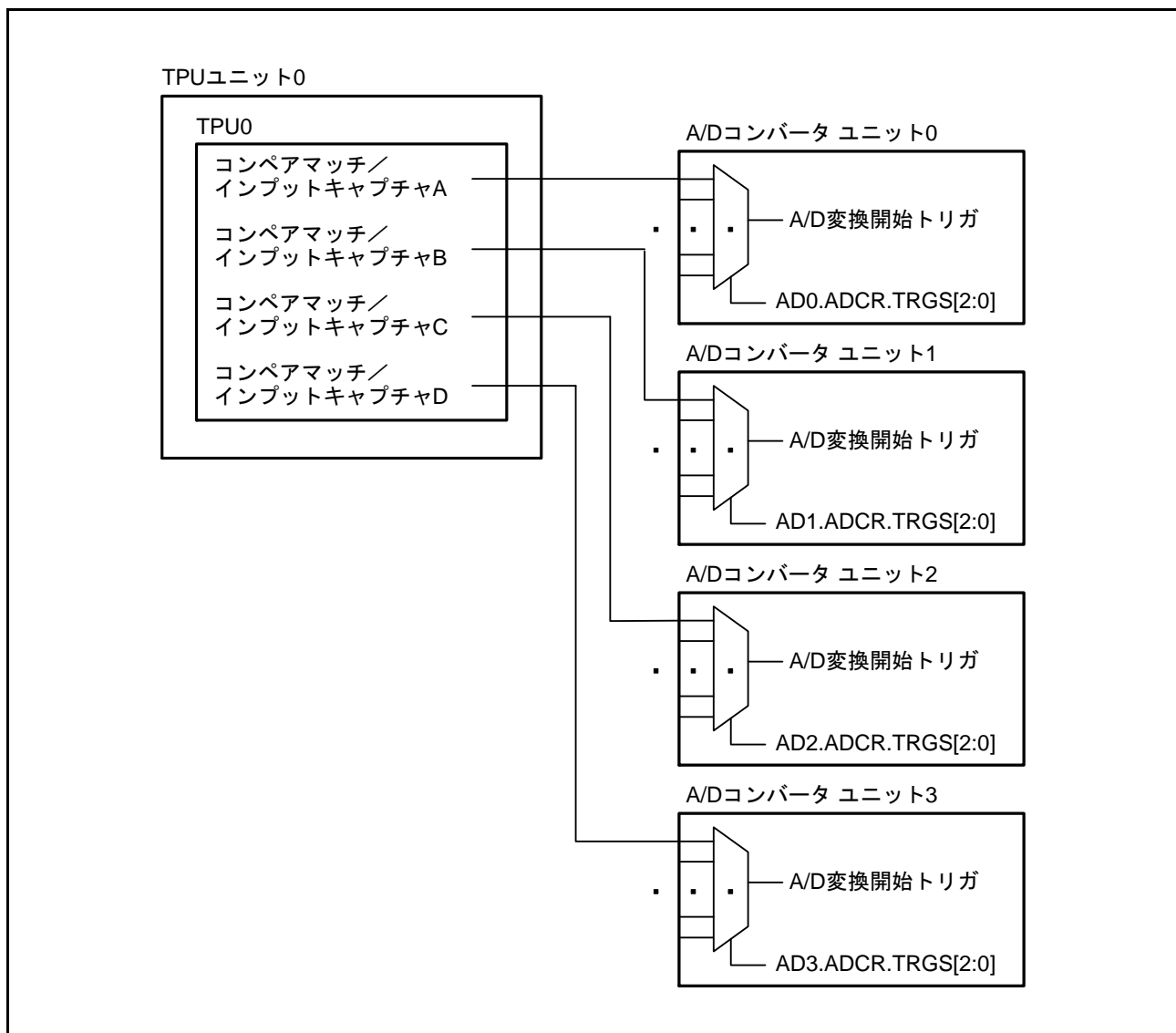


図 23.10 TPU0 のコンペアマッチ/インプットキャプチャ A～D と各ユニットの関係

23.3.6 TPU0 ~ 5 のコンペアマッチ/インプットキャプチャ A による起動

TPU0 ~ 5 のコンペアマッチ/インプットキャプチャ A によりユニット 0 ~ 3 の A/D 変換を開始することができます。同様に TPU6 ~ 11 のコンペアマッチ/インプットキャプチャ A でユニット 0 ~ 3 の A/D 変換を開始できます。

コンペアマッチ/インプットキャプチャ A と各ユニットの関係を図 23.11 に示します。

TPU0 ~ 5 のコンペアマッチ/インプットキャプチャ A により最大 4 ユニットの A/D 変換を同時に開始することが可能です。TPU0 と TPU2 のコンペアマッチ/インプットキャプチャ A でユニット 0 ~ 3 の変換を開始する場合、ADn.ADCR.TRGS[2:0] ビット (n=0 ~ 3) を“001b” (TPU0 ~ 5 のコンペアマッチ/インプットキャプチャ A) にし、TPU0.TIER.TTGE ビット、TPU2.TIER.TTGE ビットを“1”にすると TPU0、2 のコンペアマッチ/インプットキャプチャ A でユニット 0 ~ 3 の A/D 変換を同時に開始することができます。

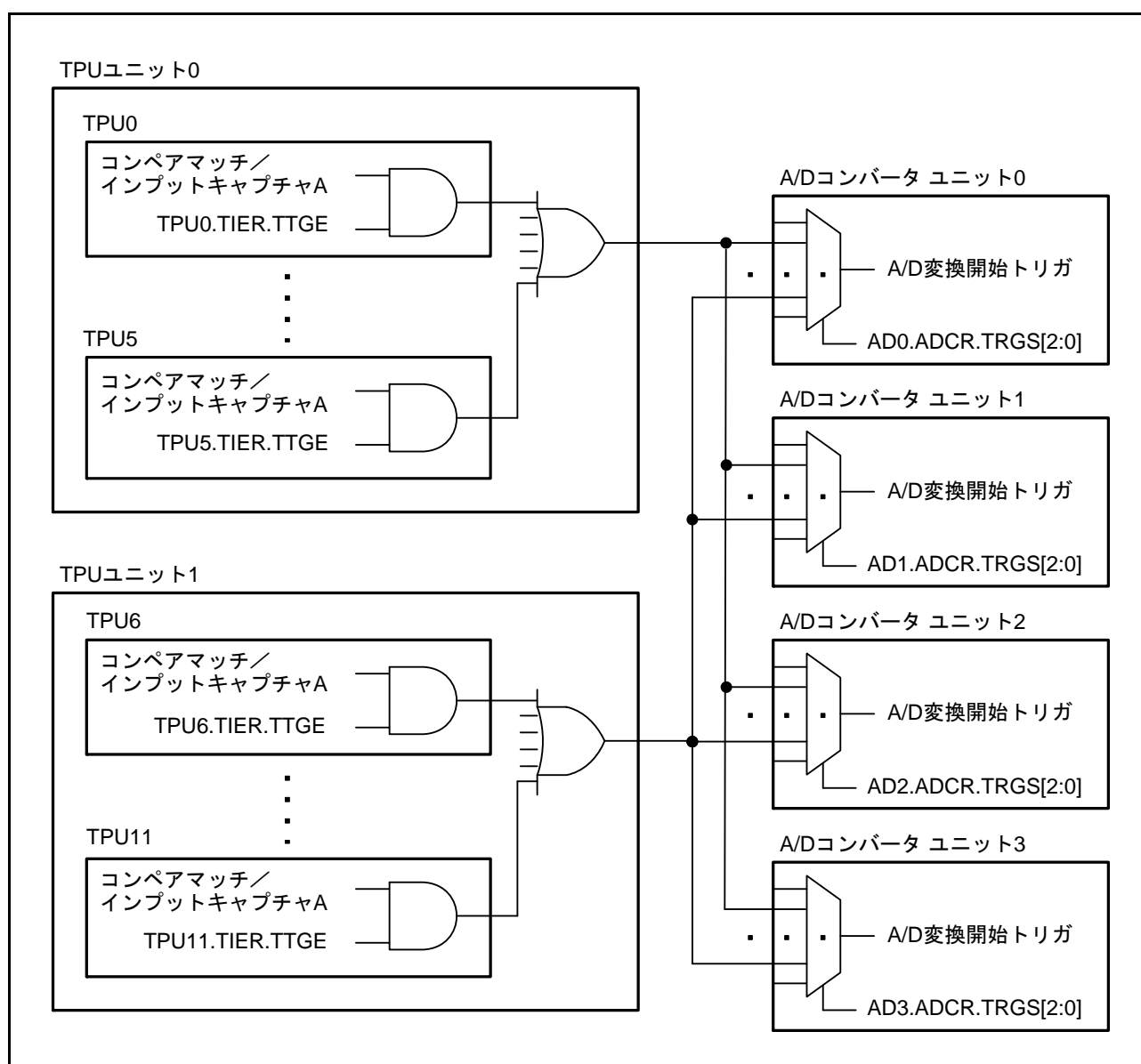


図 23.11 コンペアマッチ/インプットキャプチャ A と各ユニットの関係

23.3.7 TMRのコンペアマッチによる起動

TMR0のコンペアマッチAにより、ユニット0、1のA/D変換を開始することができます。

同様にTMR2のコンペアマッチAでユニット2、3のA/D変換を開始できます。

TMR0、2のコンペアマッチAと各ユニットの関係を図23.12に示します。

TMR0のコンペアマッチAにより最大2ユニットのA/D変換を同時に開始することが可能です。ユニット0、1の場合、ADn.ADCR.TRGS[2:0]ビット(n=0,1)を“010b”(TMR0のコンペアマッチA)にし、TMR0.TCSR.ADTEビットを“1”にすると、TMR0のコンペアマッチAでユニット0、1のA/D変換を同時に開始することができます。

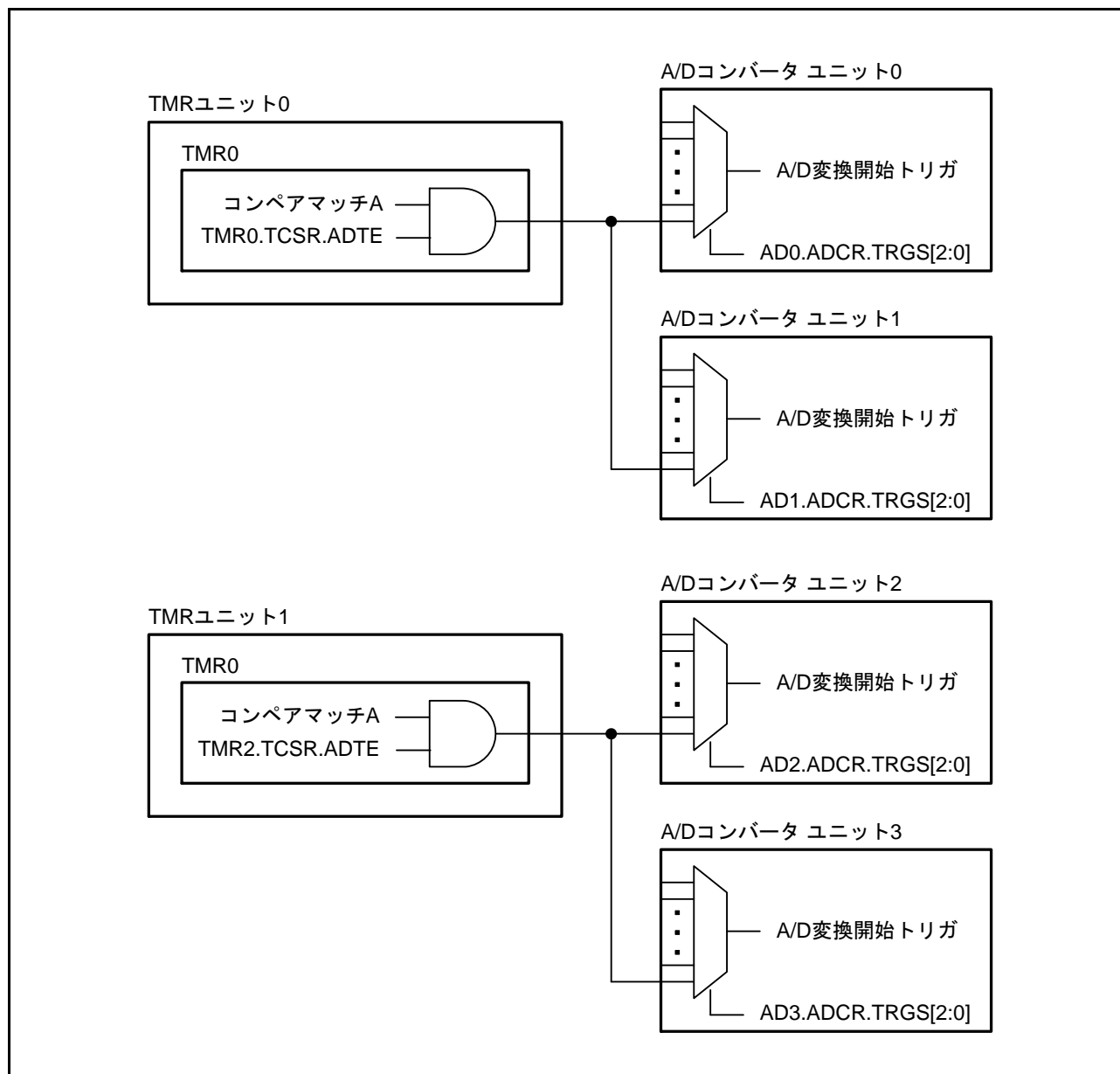


図 23.12 TMR0、TMR2のコンペアマッチAと各ユニットの関係

23.4 割り込み要因

A/Dコンバータは、ADCSR.ADIEビットが“1”（A/D変換終了によるADI割り込み許可）のときにA/D変換が終了すると割り込み（ADI）が発生します。

A/Dコンバータの割り込み要因はユニットごとにあり、これらの割り込みを使ってデータトランスファコントローラ（DTC）およびDMAコントローラ（DMAC）を起動することができます。ADI割り込みでDTCまたはDMACを起動し、変換されたデータの読み出しを行うと、CPUを介さずに連続変換が行えます。

表23.8 A/Dコンバータの割り込み要因

名称	割り込み要因	割り込みステータスフラグ	DTCの起動	DMACの起動
ADI0	A/D変換終了	ICU.IR98.IR	可能	可能
ADI1	A/D変換終了	ICU.IR99.IR	可能	可能
ADI2	A/D変換終了	ICU.IR100.IR	可能	可能
ADI3	A/D変換終了	ICU.IR101.IR	可能	可能

23.5 A/D変換精度の定義

A/D変換精度の定義は以下のとおりです。

” 分解能

A/Dコンバータのデジタル出力コード数

” 量子化誤差

A/Dコンバータが本質的に有する偏差であり、1/2LSBで与えられる（図23.13）

” オフセット誤差

デジタル出力が最小電圧値“000000000b（000h）”から“000000001b（001h）”に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差（図23.14）

” フルスケール誤差

デジタル出力が“111111110b（3FEh）”から“111111111b（3FFh）”に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差（図23.14）

” 非直線性誤差

ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない（図23.14）

” 絶対精度

デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む

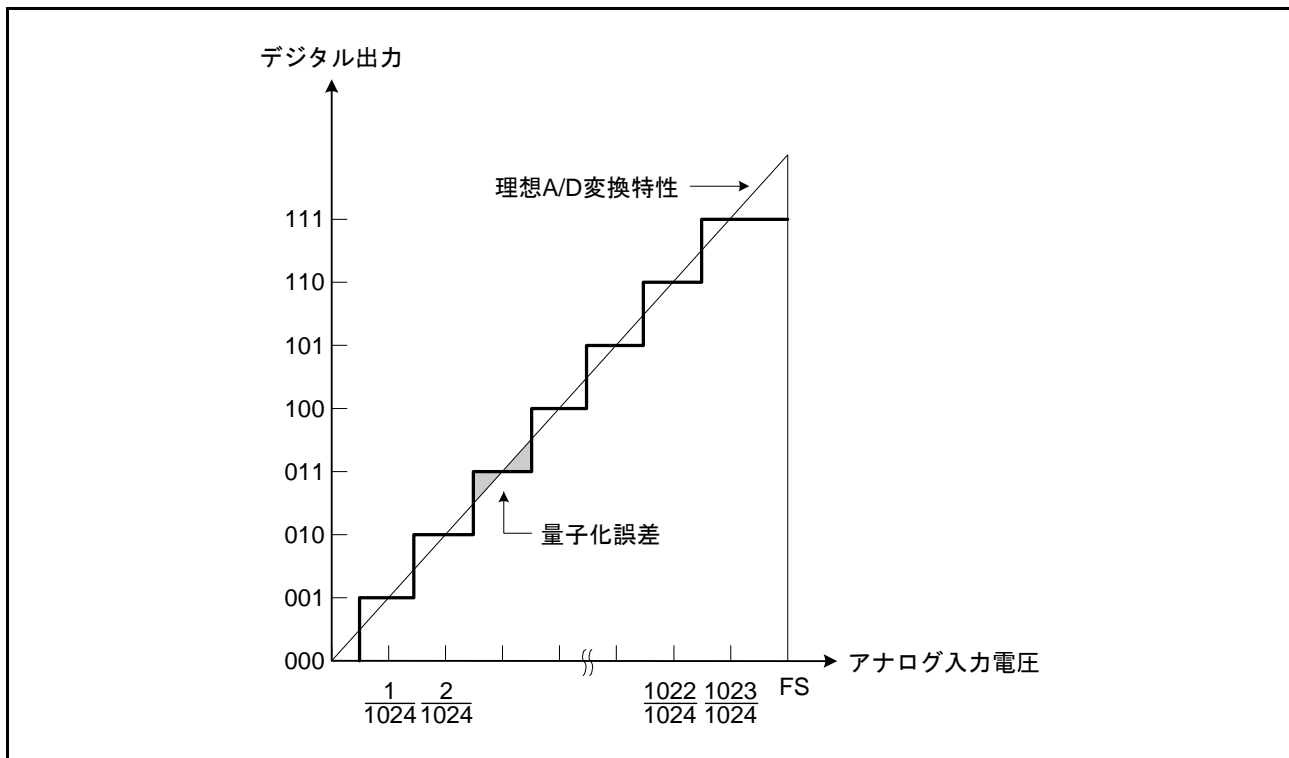


図 23.13 A/D 変換精度の定義 (1)

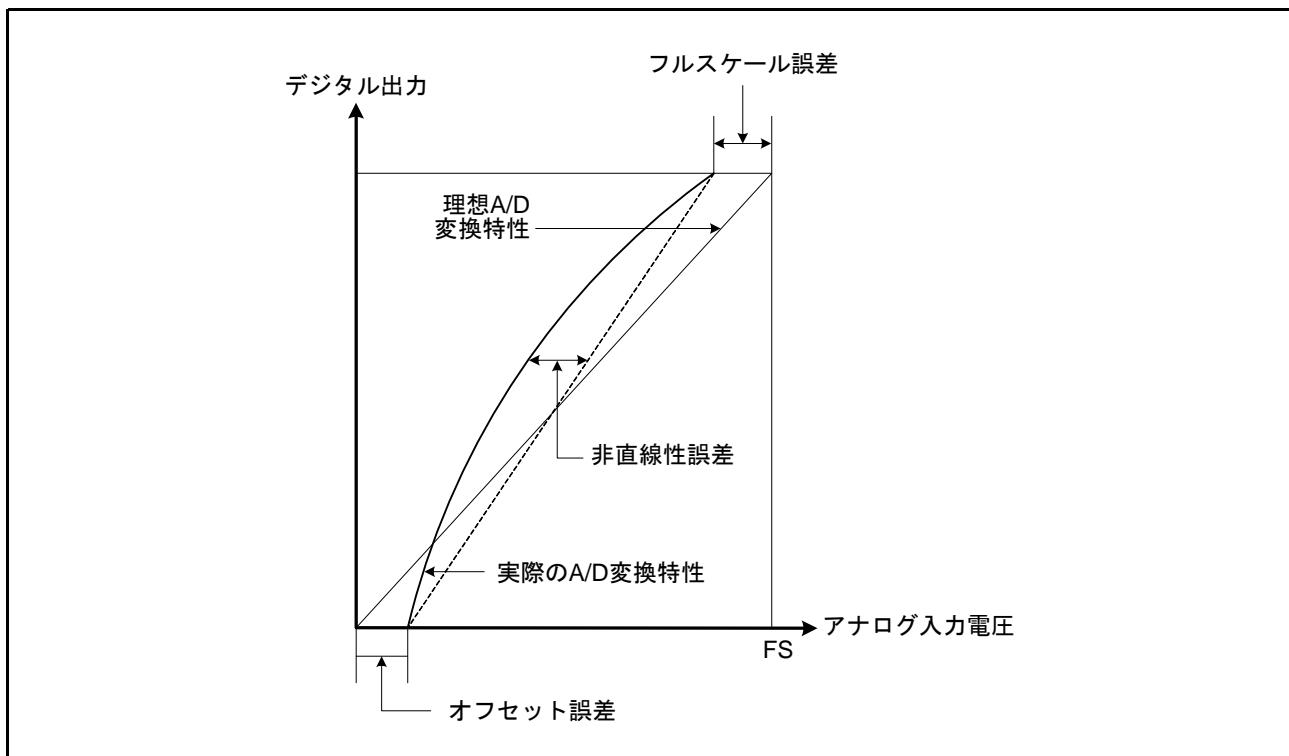


図 23.14 A/D 変換精度の定義 (2)

23.6 使用上の注意事項

23.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、ユニットごとにA/Dコンバータの動作禁止/許可を設定することが可能です。初期値では、A/Dコンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「8. 消費電力低減機能」を参照してください。

23.6.2 A/D変換停止時の注意事項

A/D変換開始条件に外部トリガ、またはタイマを選択している場合、A/D変換を停止させるためには、ADCR.TRGS[2:0]ビットを“000b”にし、A/D変換開始条件をソフトウェアトリガにした後、ADCSR.ADSTビットを“0”（A/D変換停止）にしてください。

23.6.3 A/D変換再開時の注意事項

ADCSR.ADSTビットを“0”にしてA/D変換を停止させると、A/Dコンバータのアナログ回路が停止するのに、ADCLK 1周期の時間を必要とします。

ADSTビットを“0”にした直後に、ADSTビットを“1”にし、A/D変換を再開させた場合、ADCLK 1周期の時間が経過した後、A/D変換を再開する動作となります。

23.6.4 低消費電力状態への遷移時の注意

A/D変換を許可した状態でLSIがモジュールストップやソフトウェアスタンバイモードへ移行すると、アナログ電源電流はA/D変換中と同等になります。モジュールストップやソフトウェアスタンバイモードでアナログ電源電流を低減させる必要がある場合は、A/D変換を停止させてください。A/D変換を停止させる際、ADCSR.ADSTビットを“0”にした後、A/Dコンバータのアナログ回路が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

ADCR.TRGS[2:0]ビットを“000b”（ソフトウェアトリガ）にし、ADCSR.ADSTビットを“0”にした後、ADCR.CKS[1:0]ビットを“11b”（PCLK）にしてください。その後、A/D変換が停止していることを確認した後、モジュールストップやソフトウェアスタンバイモードへ移行させてください。

23.6.5 許容信号源インピーダンスについて

LSIのアナログ入力は、高速変換 $1.0\mu\text{s}$ を実現するために、信号源インピーダンスが $1.0\text{k}\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっています。シングルモードで変換を行うときに外部に大容量を設けている場合は、入力の負荷は実質的に内部入力抵抗の $6.5\text{k}\Omega$ だけになりますので、信号源インピーダンスは不要となります。ただし、ローパスフィルタになっていますので、変化の急峻なアナログ信号（たとえば $5\text{mV}/\mu\text{s}$ 以上）には追従できないことがあります（図 23.15）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、出力インピーダンスの低いバッファアンプを挿入してください。

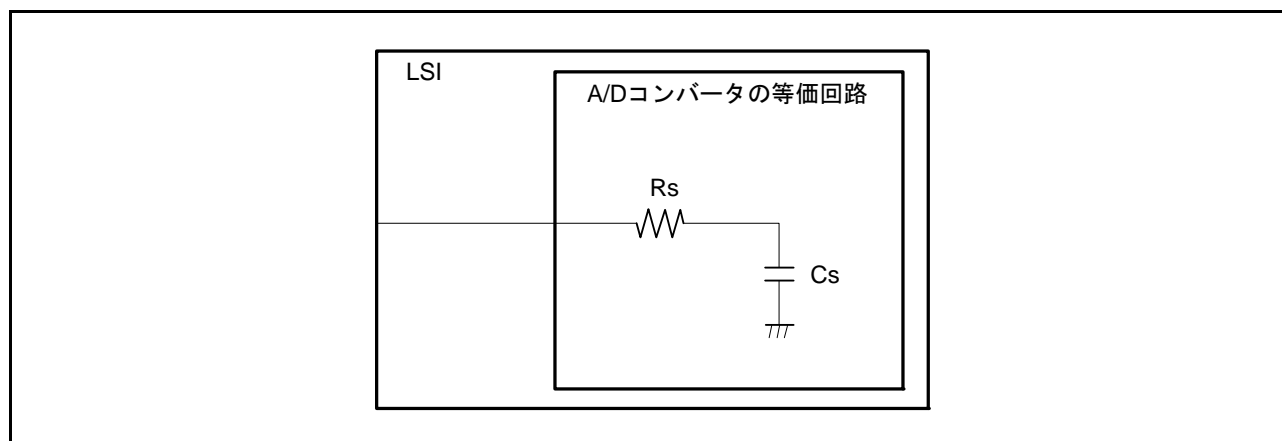


図 23.15 アナログ入力端子の内部等価回路

表 23.9 アナログ端子の規格

項目		min	max	単位
許容信号源インピーダンス		—	1.0	$\text{k}\Omega$
端子の内部等価回路	R_s	—	6.5	$\text{k}\Omega$
	C_s	—	6.0	pF

23.6.6 絶対精度への影響

容量を付加することにより GND とのカップリングを受け、ノイズがある GND だと絶対精度が悪化する可能性がありますので、VREFL 等の電氣的に安定した GND に接続してください。

また、フィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

23.6.7 アナログ電源端子他の設定範囲

” アナログ入力電圧の設定範囲

アナログ入力端子 AN_n に印加する電圧は $VREFL \leq VAN \leq VREFH$ の範囲としてください。

” 各電源端子 (AVCC – AVSS、VREFH – VREFL、VCC – VSS) の関係

AVCC、AVSS と VCC、VSS との関係は $AVCC = VCC$ かつ $AVSS = VSS$ としてください。また、図 23.16 に示すように各々の電源間に最短で閉ループが形成できるように $0.1\mu\text{F}$ のコンデンサを接続し、供給元で $AVCC = VCC$ 、 $VREFL = AVSS = VSS$ になるように接続してください。A/D コンバータを使用しない場合は、 $VREFH = AVCC = VCC$ 、 $VREFL = AVSS = VSS$ としてください。

” VREFH の設定範囲

VREFH 端子によるリファレンス電圧の設定範囲は、 $VREFH \leq AVCC$ にしてください。

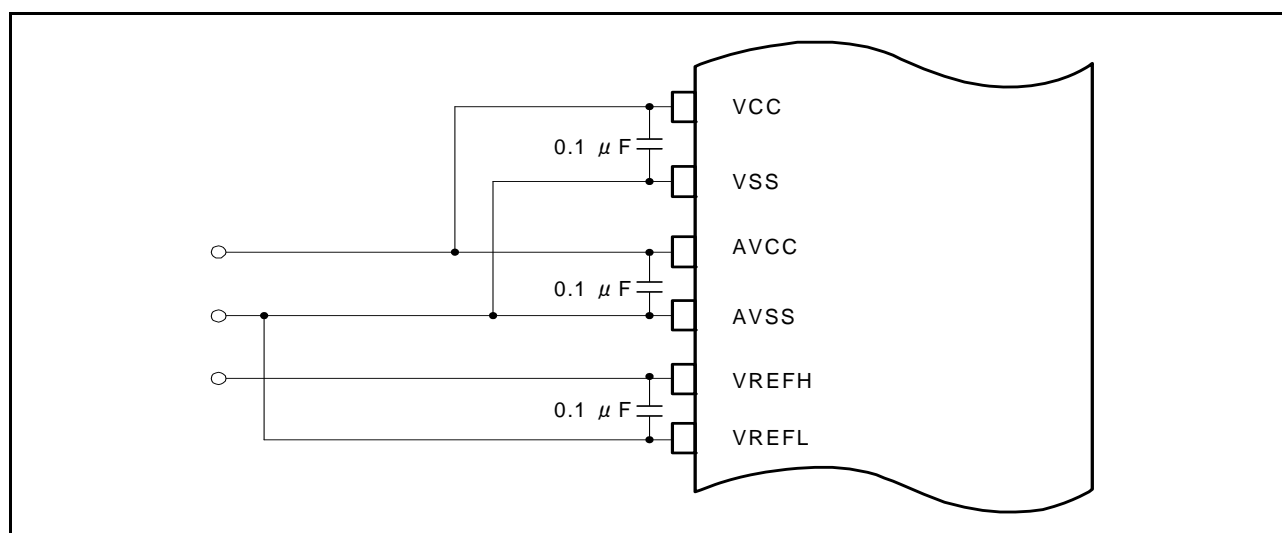


図 23.16 各電源端子の接続例

23.6.8 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号線を交差させたり、近接させないでください。アナログ信号にノイズが乗って、A/D 変換値に悪影響を及ぼします。アナログ入力端子 (AN0 ~ AN15)、アナログ基準電源 (VREFH)、アナログ電源電圧 (AVCC) は、アナロググランド (AVSS) でデジタル回路と分離してください。さらに、アナログ基準グランド (VREFL) は、ボード上の安定したグランド (VSS) に一点接続してください。

23.6.9 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子 (AN0 ~ AN15) の破壊を防ぐために、図 23.17 に示すように AVCC と AVSS 間、VREFH と VREFL 間に容量を、またアナログ入力端子 (AN0 ~ AN15) を基準に保護回路を接続してください。

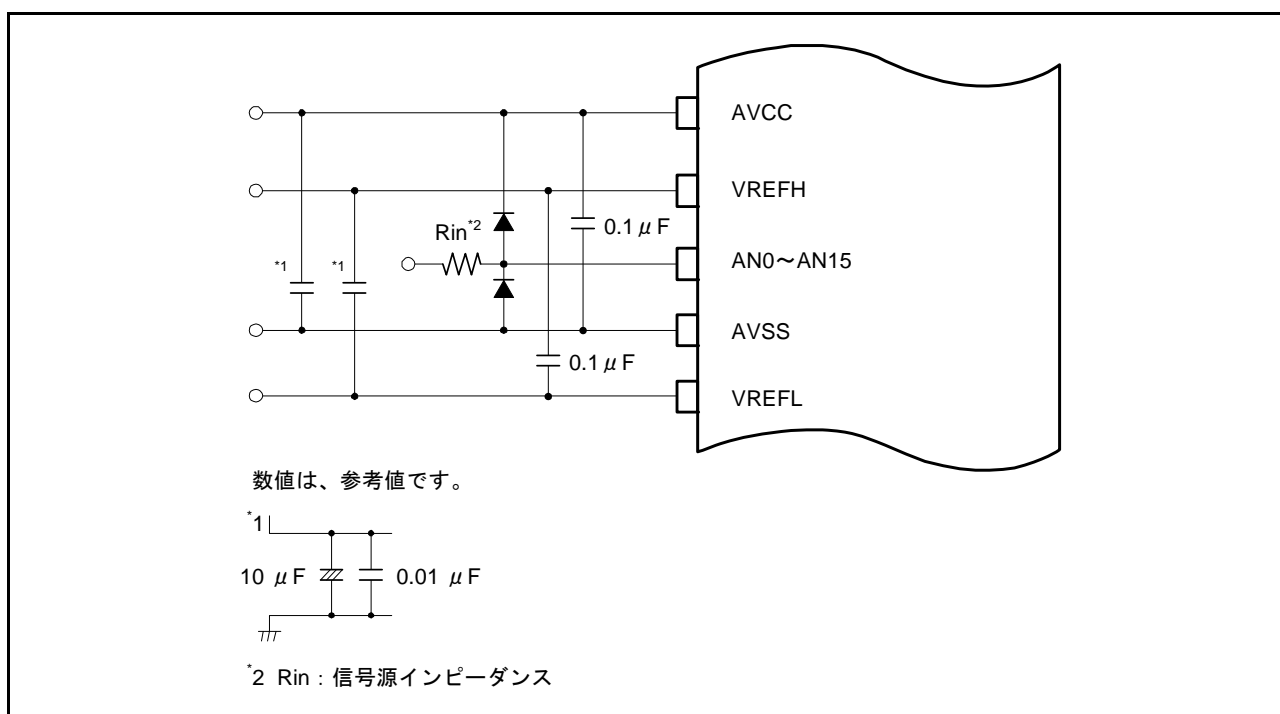


図 23.17 アナログ入力保護回路の例

23.6.10 高速変換を実現するためには

高速変換を実現するためには、図 23.18 に示すようにアナログ入力端子 (AN0 ~ AN15) と VREFL 間に 0.1 μ F の外付けコンデンサを接続してください。ただし、A/D コンバータのサンプル&ホールド回路の入力容量に対し信号源インピーダンスが変換時間に影響しないように、変換開始前に外付けコンデンサに電荷を十分蓄えておく必要があります。なお、スキャン等でアナログ入力端子の電圧レベルが変動し、外付けコンデンサの電荷が更新される場合は、高速変換ができません。

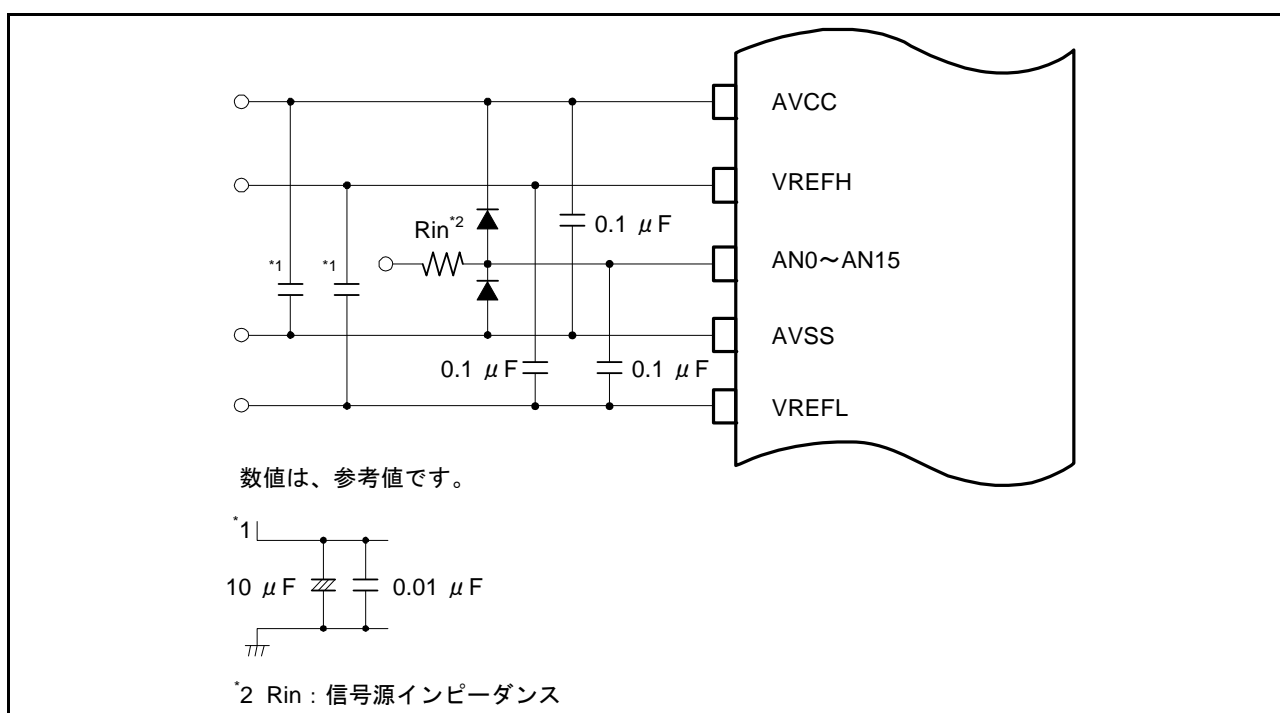


図 23.18 高速変換用外付けコンデンサの接続例

23.6.11 A/Dコンバータを複数ユニット使用しているときの注意事項

RX610グループに内蔵しているA/Dコンバータはユニット間で同一電源を使用しているため、複数ユニットを使用し、かつ各ユニット間の変換開始タイミングが異なる場合、変換精度に影響が出る可能性があります。変換精度に影響が出る場合、以下の方法で、十分な評価を実施してください。

(1) 複数ユニット動作時の各ユニット同時変換の推奨動作例

A/Dコンバータを複数ユニット使用する場合、トリガ選択ビットの起動方法をTPUのコンペアマッチによる起動か、TMRのコンペアマッチによる起動を選択し、各ユニットの変換開始と終了のタイミングを合わせて使用してください。

図23.19に4ユニットの変換タイミングを同時に合わせた場合のタイミング例(1)を示します。

図23.20に4ユニットの変換タイミングを同時に合わせた場合のタイミング例(2)を示します。

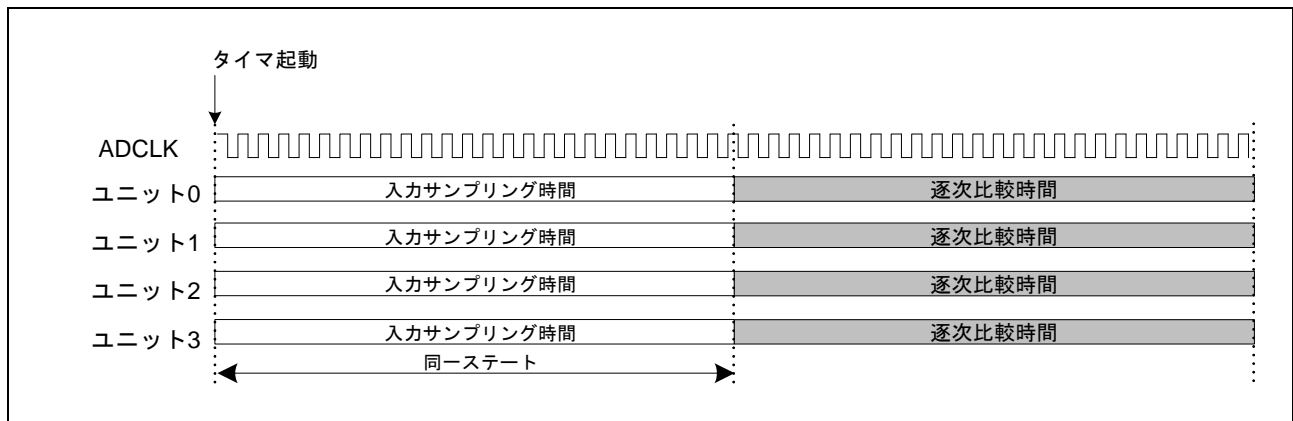


図 23.19 4ユニット同時変換タイミング例(1)

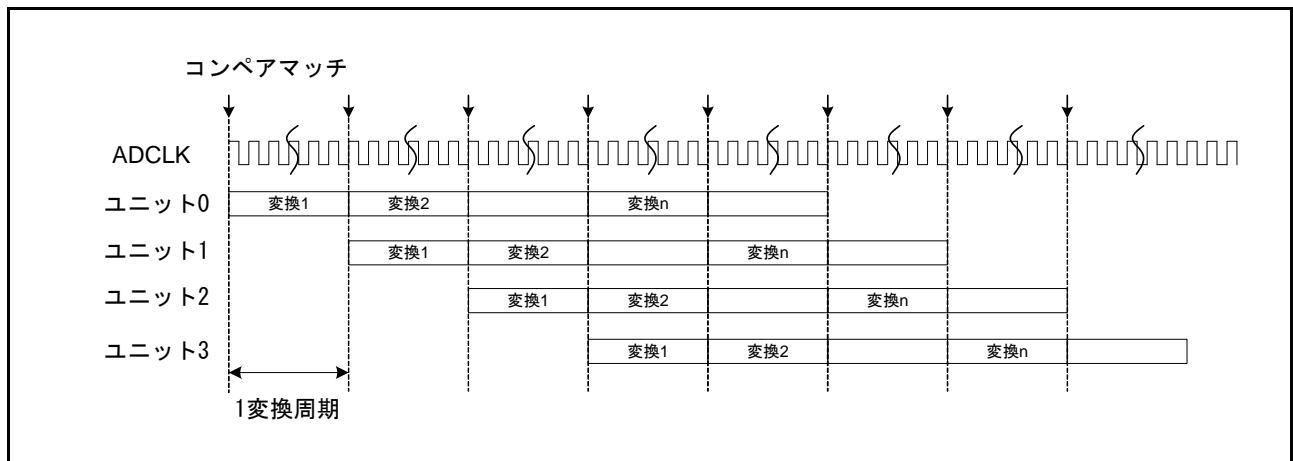


図 23.20 4ユニット同時変換タイミング例(2)

(2) 推奨動作のレジスタ設定

以下のレジスタを各ユニット共通で同じ値に設定する必要があります。

- " 各ユニットのA/Dサンプリングステートレジスタ(ADSSTR)の設定値を同一にする
- " 各ユニットのクロックセレクトビット(ADCR.CKS[1:0])の設定値を同一にする
- " 各ユニットのトリガセレクトビット(ADCR.TRGS[2:0])の設定値を同一にする

(3) ユニット数に対応するトリガ選択

選択するトリガ起動により、対応するユニット数に制限があります。以下の表を参照してください。

表23.10 トリガ起動と対応するユニット数

No.	トリガ選択	ADCR.TRGS[2:0]	複数ユニット数		
			4	3	2
1	TPU0のコンペアマッチA～D(注1)による起動	100b	可	可	可
2	TPU0～5(注2)のコンペアマッチAによる起動	001b	可	可	可
3	TPU6～11(注2)のコンペアマッチAによる起動	101b	可	可	可
4	TMR0(注3)のコンペアマッチAによる起動	010b	不可	不可	可
5	TMR2(注3)のコンペアマッチAによる起動	010b	不可	不可	可

注1. TGRA～Dは、同じ値に設定してください。

注2. A/Dコンバータの各ユニットに入力するコンペアマッチAは、同一TPUのチャンネル設定にしてください。

注3. A/Dコンバータのユニット0、1はTMR0のコンペアマッチAとなり、ユニット2、3はTMR2のコンペアマッチAとなります。

各ユニットの起動方法の詳細はRX610グループハードウェアマニュアル、「23.3.5 TPU0のコンペアマッチ/インプットキャプチャA～Dによる起動」、「23.3.6 TPU0～5のコンペアマッチ/インプットキャプチャAによる起動」、「23.3.7 TMRのコンペアマッチによる起動」を参照してください。

(4) その他の処理

" プログラムで平均化処理を行なってください。

平均化処理例：同一端子へのアナログ入力を4回連続してA/D変換します。

A/D変換結果の最大値と最小値を除いた2つの値の平均を算出します。

" A/Dコンバータを非同期で動作する場合は、1ユニットの変換が終わったことを確認後、他の単一ユニットを動作させてください。

24. D/Aコンバータ

24.1 概要

RX610グループは、10ビットのD/Aコンバータを2チャンネル内蔵しています。

表 24.1 に D/A コンバータの仕様を示します。図 24.1 に D/A コンバータのブロック図を示します。

表 24.1 D/Aコンバータの仕様

項目	内容
分解能	10ビット
出力チャンネル	2チャンネル
消費電力低減機能	モジュールストップ状態への設定が可能

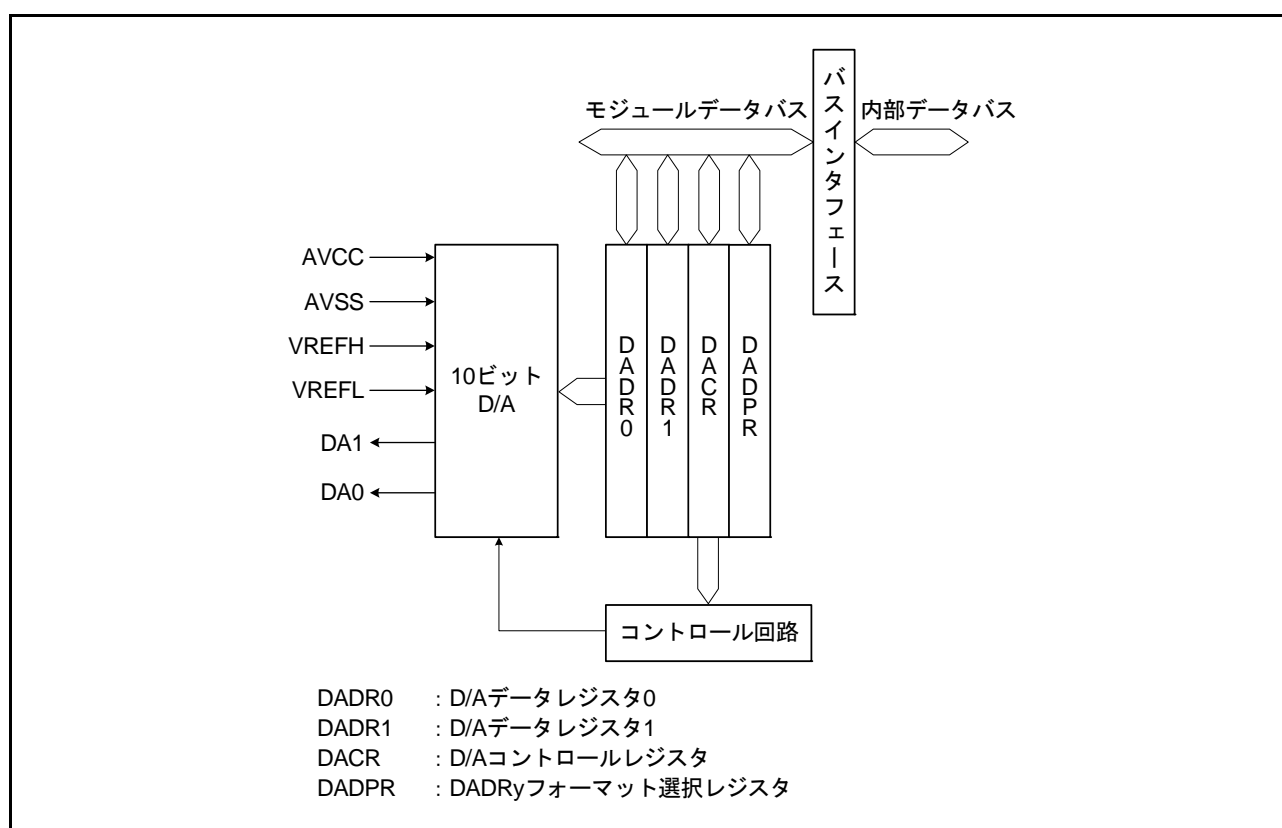


図 24.1 D/Aコンバータのブロック図

表 24.2 に D/A コンバータで使用する入出力端子を示します。

表 24.2 D/Aコンバータの入出力端子

端子名	入出力	機能
AVCC	入力	アナログ回路の電源端子
AVSS	入力	アナログ回路のグランド端子
VREFH	入力	D/Aコンバータの基準電源端子
VREFL	入力	D/Aコンバータの基準グランド端子 アナログ基準電源 (0V) に接続してください。
DA0	出力	チャンネル0のアナログ出力
DA1	出力	チャンネル1のアナログ出力

24.2 レジスタの説明

表 24.3 に D/A コンバータのレジスタ一覧を示します。

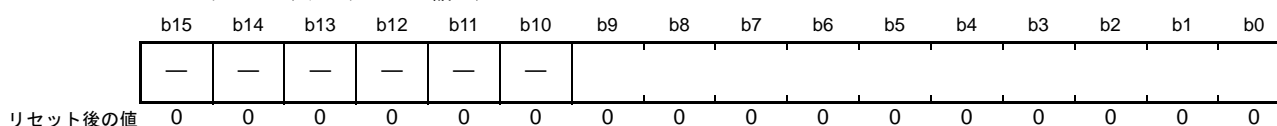
表24.3 D/Aコンバータのレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
D/A データレジスタ 0	DADR0	0000h	0008 80C0h	16
D/A データレジスタ 1	DADR1	0000h	0008 80C2h	16
D/A コントロールレジスタ	DACR	1Fh	0008 80C4h	8
DADRy フォーマット選択レジスタ	DADPR	00h	0008 80C5h	8

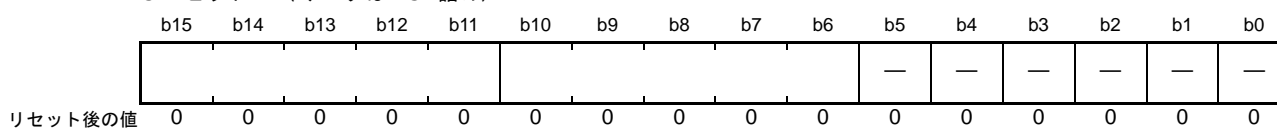
24.2.1 D/A データレジスタ y (DADRy) (y=0, 1)

アドレス DADR0 0008 80C0h, DADR1 0008 80C2h

- ・ DADPR.DPSEL ビット=0 (データはLSB 詰め)



- ・ DADPR.DPSEL ビット=1 (データはMSB 詰め)



DADRy レジスタは、D/A 変換を行うデータを格納するための 16 ビットのリード/ライト可能なレジスタです。アナログ出力を許可すると、DADRy レジスタの値が変換されアナログ出力端子に出力されます。

DADPR.DPSEL ビットの設定によって 10 ビットのデータの配置を変更できます。“—”のビットは、読むと“0”が読めます。書く場合、“0”としてください。

24.2.2 D/Aコントロールレジスタ (DACR)

アドレス 0008 80C4h

	b7	b6	b5	b4	b3	b2	b1	b0
	DAOE1	DAOE0	DAE	—	—	—	—	—
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	
b5	DAE (注1)	D/A許可ビット	0: チャンネル0、1のD/A変換を個別制御 1: チャンネル0、1のD/A変換を一括許可	R/W
b6	DAOE0	D/A出力許可0ビット	0: チャンネル0のアナログ出力 (DA0) を禁止 1: チャンネル0のD/A変換を許可 チャンネル0のアナログ出力 (DA0) を許可 (注2)	R/W
b7	DAOE1	D/A出力許可1ビット	0: チャンネル1のアナログ出力 (DA1) を禁止 1: チャンネル1のD/A変換を許可 チャンネル1のアナログ出力 (DA1) を許可 (注2)	R/W

注1. DAOEj ビット (j=0, 1) との組み合わせで、D/A変換を制御します。変換結果の出力は、DAOEj ビットにより制御されます。表24.4を参照してください。

注2. アナログ出力として使用する端子のP6.DDR.Bj ビット (j=7, 6) は“0”にし、P6.ICR.Bj ビット (j=7, 6) も“0”に設定してください。詳細は「14. I/Oポート」を参照してください。

表24.4 D/A変換の制御

b5	b7	b6	説明
DAE	DAOE1	DAOE0	
0	0	0	D/A変換を禁止
		1	チャンネル0のD/A変換を許可、チャンネル1のD/A変換を禁止 チャンネル0のアナログ出力 (DA0) を許可、チャンネル1のアナログ出力 (DA1) を禁止
	1	0	チャンネル0のD/A変換を禁止、チャンネル1のD/A変換を許可 チャンネル0のアナログ出力 (DA0) を禁止、チャンネル1のアナログ出力 (DA1) を許可
		1	チャンネル0、1のD/A変換を許可 チャンネル0、1のアナログ出力 (DA0、DA1) を許可
1	0	0	チャンネル0、1のD/A変換を許可 チャンネル0、1のアナログ出力 (DA0、DA1) を禁止
		1	チャンネル0、1のD/A変換を許可 チャンネル0のアナログ出力 (DA0) を許可、チャンネル1のアナログ出力 (DA1) を禁止
	1	0	チャンネル0、1のD/A変換を許可 チャンネル0のアナログ出力 (DA0) を禁止、チャンネル1のアナログ出力 (DA1) を許可
		1	チャンネル0、1のD/A変換を許可 チャンネル0、1のアナログ出力 (DA0、DA1) を許可

DACR レジスタは、D/Aコンバータの動作を制御するレジスタです。

DAE ビット (D/A 許可ビット)

DAOEj ビット (j=0, 1) との組み合わせで、D/A 変換を制御します。

DAE ビットが“0”のとき、チャンネル 0、1 の D/A 変換は個別に制御されます。DAE ビットが“1”のとき、チャンネル 0、1 の D/A 変換は一括して制御されます。変換結果の出力は、DAOEi ビットにより制御されます。

DAOE0 ビット (D/A 出力許可 0 ビット)

D/A 変換とアナログ出力を制御します。

DAOE1 ビット (D/A 出力許可 1 ビット)

D/A 変換とアナログ出力を制御します。

24.2.3 DADRy フォーマット選択レジスタ (DADPR)

アドレス 0008 80C5h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSEL	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DPSEL	DADRy フォーマット選択ビット	0 : D/A データレジスタは LSB 詰め 1 : D/A データレジスタは MSB 詰め	R/W

DADPR レジスタは、D/A データレジスタのデータ配置を選択するレジスタです。

DPSEL ビット (DADRy フォーマット選択ビット)

D/A データレジスタのデータを LSB 詰めか、MSB 詰めかを選択します。

24.3 動作説明

2チャンネルのD/Aコンバータは、独立して変換を行うことができます。DACR.DAOEiビット(i=0,1)を“1”にすると、D/A変換が許可され変換結果が出力されます。

チャンネル0のD/A変換を行う場合の動作例を以下に示します。このときの動作タイミングを図24.2に示します。

1. DADR0レジスタに変換データを書きます。
2. DACR.DAOE0ビットを“1”にすると、D/A変換を開始します。tDCONV時間経過後、変換結果をアナログ出力端子DA0より出力します。DADR0レジスタを書き替えるか、DAOE0ビットを“0”にするまで、この変換結果が出力され続けます。出力値は以下の式で計算します。

$$\frac{\text{DADR0レジスタの値}}{1024} \times \text{VREFH}$$

3. DADR0レジスタを書き換えると直ちに変換を開始します。tDCONV時間経過後、変換結果が出力されます。
4. DAOE0ビットを“0”にするとアナログ出力を禁止します。

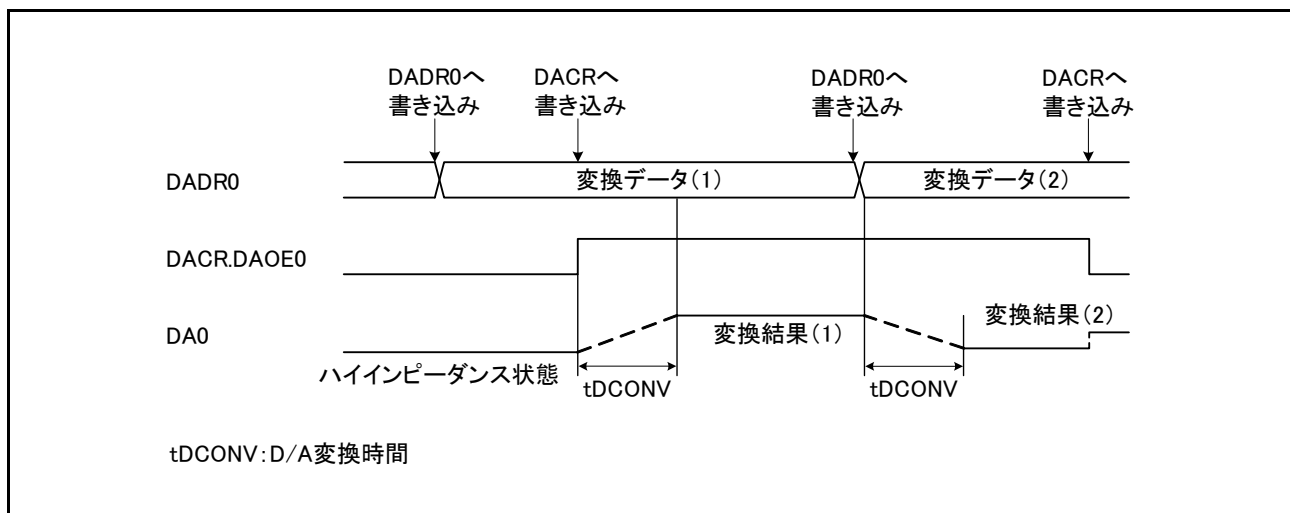


図 24.2 D/Aコンバータの動作例

24.4 使用上の注意事項

24.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、D/Aコンバータの動作禁止/許可を設定することが可能です。初期値では、D/Aコンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「8. 消費電力低減機能」を参照してください。

24.4.2 モジュールストップ時のD/Aの動作

D/A変換を許可した状態でモジュールストップ状態になるとD/A出力は保持され、アナログ電源電流はD/A変換中と同等になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE1, DAOE0, DAEビットをすべて“0”にしてD/A出力を禁止してください。

24.4.3 ソフトウェアスタンバイモード時のD/Aの動作

D/A変換を許可した状態でLSIがソフトウェアスタンバイモードになるとD/A出力は保持され、アナログ電源電流はD/A変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DACR.DAOE1, DAOE0, DAEビットをすべて“0”にしてD/A出力を禁止してください。

24.4.4 ディープソフトウェアスタンバイモード時の注意事項

D/A変換を許可した状態でLSIがディープソフトウェアスタンバイモードに移行すると、D/A出力はハイインピーダンス状態となります。

24.4.5 A/DコンバータとD/Aコンバータを同時に使用する場合の注意事項

RX610グループのA/DコンバータとD/Aコンバータは同一電源を使用しているため、使用方法によりA/D変換結果の変換精度に影響が出る可能性があります。変換精度に影響が出る可能性としては、以下になります。

- ” A/Dコンバータが動作中、D/AコンバータのD/Aデータレジスタ(DADR)を書き替えた場合
- ” DADRレジスタを000h以外の設定値でD/Aコントロールレジスタ(DACR)を書き替えた場合

変換精度に影響が出る場合、以下の対策を実施してください。

(1) ADコンバータ動作中のDADRレジスタ書き替え方法

ADコンバータ動作中にDADRを書き替える場合は以下いずれかの方法を実施してください。

- 1.DADRレジスタを書き替えたとき、変換中のA/Dコンバータの結果を破棄してください。
- 2.DADRレジスタを書き替えた時、A/D変換結果に対しプログラムで平均化処理を実施してください。

平均化処理例：同一端子へのアナログ入力を4回連続してA/D変換します。

A/D変換結果の最大値と最小値を除いた2つの値の平均を算出します。

- 3.DADRレジスタの書き替え手順を以下のように設定してください。

DADRレジスタを書き替える場合、変更前と変更後の差分を100h未満に保ち、かつ次のデータを書き替える際は、A/Dコンバータの1変換周期以上間隔を空けて実施してください。ただし、変更前と変更後の差分を080h未満にして書き替える場合は、A/Dコンバータの1変換周期以上間隔を空ける必要はありません。

なお、A/Dコンバータを複数ユニット動作させる場合、「23.6.11 A/Dコンバータを複数ユニット使用するときの注意事項」を実施し、各ユニットの1変換周期を合わせた状態で使用してください。

図 24.3 に、DADR レジスタを 000h から 3FFh へ書き替える手順例を示します。

" 変更前	000h	(00 0000 0000b)		
" 1 回目の書き替え	100h	(01 0000 0000b)	=> 書き替え前後の差分	100h
" 2 回目の書き替え	200h	(10 0000 0000b)	=> 書き替え前後の差分	100h
" 3 回目の書き替え	300h	(11 0000 0000b)	=> 書き替え前後の差分	100h
" 4 回目の書き替え	3FFh	(11 1111 1111b)	=> 書き替え前後の差分	0FFh
" 変更後	3FFh	(11 1111 1111b)		

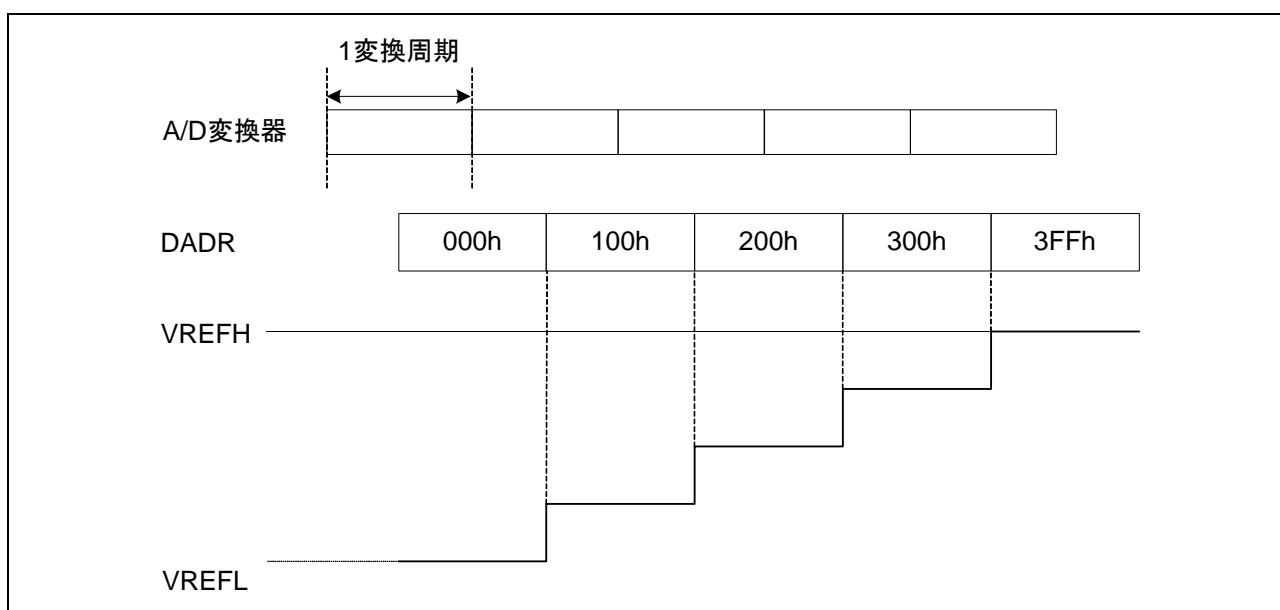


図 24.3 000h から 3FFh への DADR 書き替え手順例

(2) AD コンバータ動作中の DACR レジスタ 書き替えについて

DACR レジスタを変更する場合、DADR レジスタの値を“000h”にした状態で書き替えてください。AD コンバータ動作中に、この条件以外で DACR レジスタの値を書き替えた場合は、AD コンバータの精度が保証されない場合がありますので注意してください。

25. RAM

RX610 グループは、高速スタティック RAM を内蔵しています。

25.1 概要

表 25.1 に RAM の仕様を示します。

表 25.1 RAMの仕様

項目	内容
RAM容量	128Kバイト (RAM0 : 64Kバイト、RAM1 : 64Kバイト)
RAMアドレス	RAM0 : 0000 0000h ~ 0000 FFFFh RAM1 : 0001 0000h ~ 0001 FFFFh
アクセス	<ul style="list-style-type: none"> リード、ライトともに1サイクルで動作 内蔵RAM有効/無効選択可能^(注1)
データ保持機能	ディープスタンバイモード時、RAM0のデータを保持可能
消費電力低減機能	RAM0、RAM1個別にモジュールストップ状態への設定が可能

注1. SYSCR1.RAME ビットにより選択可能です。SYSCR1 レジスタについては、「3.2.4 システムコントロールレジスタ 1 (SYSCR1)」を参照してください。

25.2 動作説明

25.2.1 データ保持

内蔵 RAM のアドレス空間は、RAM0 と RAM1 の領域に分かれており、ディープソフトウェアスタンバイモード時に内部電源を供給できるかどうか異なります。

DPSBYCR.RAMCUT j ビット ($j=0 \sim 2$) の設定により、ディープソフトウェアスタンバイモード時に RAM0 へ内部電源を供給するかどうかを選択できます。

ディープソフトウェアスタンバイモード時、RAM0 へ内部電源を供給することによって、RAM0 のデータを保持することが可能です。このとき、RAM1 への内部電源の供給は停止しますので、RAM1 のデータを保持することはできません。

DPSBYCR.RAMCUT j ビット ($j=0 \sim 2$) の詳細については、「8. 消費電力低減機能」を参照してください。

25.2.2 消費電力低減機能

モジュールストップコントロールレジスタ C (MSTPCRC) の設定により、RAM へのクロック供給を停止させることで、消費電力を低減することが可能です。

MSTPCRC.MSTPC0 ビットを“1”にすると RAM0 に供給されるクロックが停止し、MSTPCRC.MSTPC1 ビットを“1”にすると RAM1 に供給されるクロックが停止します。

クロック供給の停止により、RAM0、RAM1 はそれぞれモジュールストップ状態になります。リセット後は、RAM は動作しています。

モジュールストップ状態になると、RAM へのアクセスができなくなります。RAM のアクセス中にモジュールストップ状態へ遷移しないでください。

MSTPCRC レジスタの詳細については、「8. 消費電力低減機能」を参照してください。

26. ROM（コード格納用フラッシュメモリ）

RX610 グループは、最大 2M バイトのコード格納用フラッシュメモリ（ROM）と、32K バイトのデータ格納用フラッシュメモリ（データフラッシュ）を内蔵しています。

本章では、コード格納用フラッシュメモリについて説明します。データフラッシュについては、「27. データフラッシュ（データ格納用フラッシュメモリ）」を参照してください。

26.1 概要

表 26.1 に ROM の仕様を、図 26.1 に ROM およびデータフラッシュ周りのブロック図を示します。

表 26.1 ROMの仕様

項目	内容	
2種類のメモリマップ	<ul style="list-style-type: none"> ユーザマップ : 2Mバイト/1.5Mバイト/1Mバイト/768Kバイト (注1) ユーザブートマップ : 16Kバイト 	
高速読み出し可能	ICLK 1 サイクルの高速読み出しが可能	
書き込み/消去方式	<ul style="list-style-type: none"> ROM/データフラッシュの書き換えを行う専用のシーケンサ (FCU) を内蔵 FCU にコマンドを発行することにより、ROM/データフラッシュへの書き込み/消去を実行可能 	
BGO（バックグラウンドオペレーション）機能	<ul style="list-style-type: none"> ROMへの書き込み/消去を実行している期間、CPU はROM/データフラッシュ以外の領域に配置したプログラムを実行可能 データフラッシュへの書き込み/消去を実行している期間、ROM領域に配置したプログラムを実行可能 	
サスペンド/レジューム機能	<ul style="list-style-type: none"> ROMへの書き込み/消去動作を中断し、CPU はROM領域のプログラムを実行可能（サスペンド） 中断した後、ROMへの書き込み/消去を再開可能（レジューム） 	
書き込み/消去単位	<ul style="list-style-type: none"> ユーザマップおよびユーザブートマップの書き込み単位 : 256 バイト ユーザマップの消去単位 : 8Kバイト (8ブロック)、64Kバイト (9ブロック)、128Kバイト (11ブロック) ユーザブートマップの消去単位 : 16Kバイト 	
オンボードプログラミング (3種類)	ブートモード	<ul style="list-style-type: none"> SCIを使用してユーザマップとユーザブートマップを書き換え可能 ホストとRX610間のSCI通信のビットレートは自動調整可能
	ユーザブートモード	ユーザブートマップから起動し、ユーザマップの書き換えが可能
	ユーザプログラム	プログラムで、ユーザマップの書き換えが可能
オフボードプログラミング	PROMライターを使用して、ユーザマップとユーザブートマップの書き換えが可能	
プロテクト機能	ソフトウェアプロテクト機能	FENTRYR.FENTRY1 (注2), FENTRY0ビット、FWEPROR.FLWE[1:0]ビット、ロックビットにより意図しない書き換えを防ぐことが可能
	エラープロテクト機能	書き込み/消去中に異常動作を検出した場合、以後の書き込み/消去処理を禁止
書き込み時間/消去時間/書き換え回数	「29. 電気的特性」を参照	

注1. 製品によりROM容量が異なります。

製品型名	ROM容量	ROMアドレス
R5F56108	2Mバイト	FFE0 0000h ~ FFFF FFFFh
R5F56107	1.5Mバイト	FFE8 0000h ~ FFFF FFFFh
R5F56106	1Mバイト	FFF0 0000h ~ FFFF FFFFh
R5F56104	768Kバイト	FFF4 0000h ~ FFFF FFFFh

注2. ROM容量1Mバイト以下の製品では使用できません。

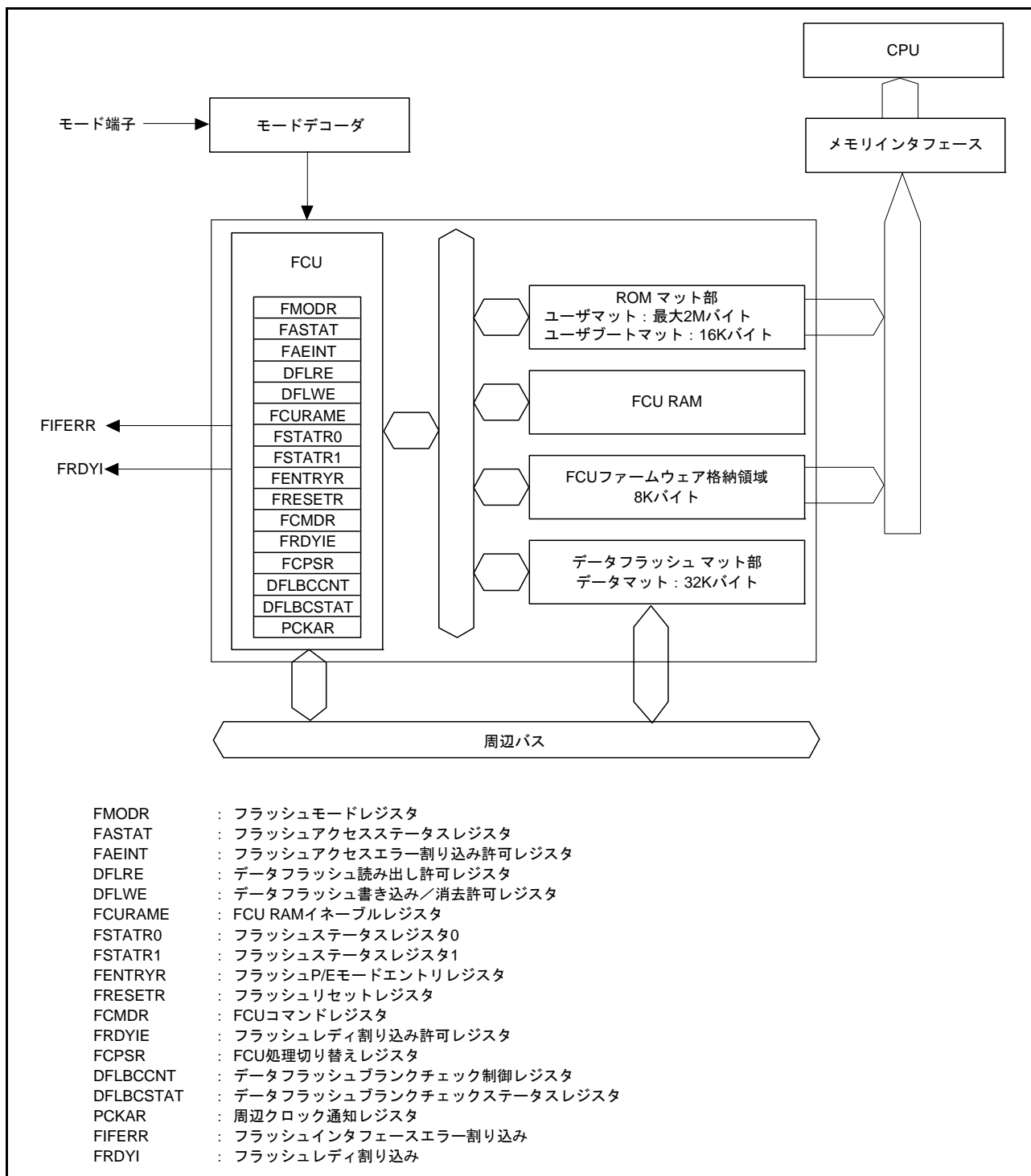


図 26.1 ROM のブロック図

表 26.2 に ROM 関連の入出力端子を示します。

表 26.2 ROM 関連の入出力端子

端子名	入出力	機能
P05/RxD4	入力	ブートモード時に使用。SCI4の受信データ (ホスト通信用)
P04/TxD4	出力	ブートモード時に使用。SCI4の送信データ (ホスト通信用)

26.2 レジスタの説明

表 26.3 に ROM 関連のレジスタ一覧を示します。一部のレジスタはデータフラッシュ関連のビットも持ちますが、本章では ROM 関連のビット機能のみ説明します。データフラッシュ関連のビット機能の詳細は、「27. データフラッシュ（データ格納用フラッシュメモリ）」の「26.2 レジスタの説明」を参照してください。

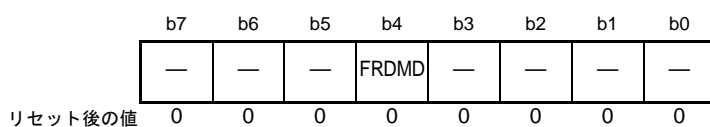
ROM 関連のレジスタは、リセットによって初期化されます。

表 26.3 ROM関連のレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
フラッシュモードレジスタ	FMODR	00h	007F C402h	8
フラッシュアクセスステータスレジスタ	FASTAT	00h	007F C410h	8
フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	9Bh	007F C411h	8
フラッシュレディ割り込み許可レジスタ	FRDYIE	00h	007F C412h	8
FCU RAM イネーブルレジスタ	FCURAME	0000h	007F C454h	16
フラッシュステータスレジスタ0	FSTATR0	80h	007F FFB0h	8
フラッシュステータスレジスタ1	FSTATR1	0xh	007F FFB1h	8
フラッシュ P/E モードエントリレジスタ	FENTRYR	0000h	007F FFB2h	16
フラッシュプロテクトレジスタ	FPROTR	0000h	007F FFB4h	16
フラッシュリセットレジスタ	FRESETR	0000h	007F FFB6h	16
FCU コマンドレジスタ	FCMDR	FFFFh	007F FFBAh	16
FCU 処理切り替えレジスタ	FCPSR	0000h	007F FFC8h	16
フラッシュ P/E ステータスレジスタ	FPESTAT	0000h	007F FFCCh	16
周辺クロック通知レジスタ	PCKAR	0000h	007F FFE8h	16
フラッシュライト消去プロテクトレジスタ	FWEPROR	02h	0008 C289h	8

26.2.1 フラッシュモードレジスタ（FMODR）

アドレス 007F C402h



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	FRDMD	FCUリードモード選択ビット	0：メモリ領域リード方式 ROMロックビットリードモードでROMのロックビットを読む場合に設定します。 1：レジスタリード方式 ロックビットリード2コマンドを使用してROMのロックビットを読む場合に設定します。	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FMODR レジスタは、ロックビットの読み出し方法を指定するレジスタです。

内蔵ROMが無効なモードではFMODRレジスタの読み出しデータは“00h”になり、書き込みはできません。

FMODR レジスタは、リセットによって初期化されます。

FRDMD ビット（FCU リードモード選択ビット）

ロックビットの読み出し方法を指定するビットです。

データフラッシュのブランクチェックコマンド使用時は、レジスタリード方式に設定する必要があります。

詳細は「27. データフラッシュ（データ格納用フラッシュメモリ）」を参照してください。

26.2.2 フラッシュアクセスステータスレジスタ（FASTAT）

アドレス 007F C410h

	b7	b6	b5	b4	b3	b2	b1	b0
	ROMAE	—	—	CMDLK	DFLAE	—	DFLRPE	DFLWPE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFLWPE	データフラッシュ書き込み/消去プロテクト違反ビット	「27. データフラッシュ（データ格納用フラッシュメモリ）」を参照	R/(W) (注1)
b1	DFLRPE	データフラッシュリードプロテクト違反ビット	「27. データフラッシュ（データ格納用フラッシュメモリ）」を参照	R/(W) (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DFLAE	データフラッシュアクセス違反ビット	「27. データフラッシュ（データ格納用フラッシュメモリ）」を参照	R/(W) (注1)
b4	CMDLK	FCUコマンドロックビット	0：FCUはコマンドロック状態ではない 1：FCUはコマンドロック状態	R
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ROMAE	ROMアクセス違反ビット	0：ROMアクセスエラーなし 1：ROMアクセスエラーあり	R/(W) (注1)

注1. フラグを“0”にするために、“1”を読んだ後に“0”を書くことのみ可能です。

FASTATレジスタは、ROM/データフラッシュに対するアクセス違反の有無を確認するためのレジスタです。内蔵ROMが無効なモードではFASTATレジスタの読み出しデータは“00h”になり、書き込みはできません。FASTATレジスタのいずれかのビットが“1”になると、FCUはコマンドロック状態になります（「26.8.2 エラープロテクト」を参照）。コマンドロック状態を解除するためには、FASTATレジスタを“10h”にした後、FCUにステータスレジスタクリアコマンドを発行する必要があります。

FASTATレジスタは、リセットによって初期化されます。

CMDLKビット（FCUコマンドロックビット）

FCUがコマンドロック状態であることを示すビットです（「26.8.2 エラープロテクト」を参照）。

【“1”になる条件】

- FCUがエラーを検出してコマンドロック状態に遷移した後

【“0”になる条件】

- FASTATレジスタが“10h”の状態、FCUがステータスレジスタクリアコマンドを発行した後

ROMAEビット（ROMアクセス違反ビット）

ROMに対するアクセス違反の有無を示すビットです。

ROMAEビットが“1”になると、FSTATR0.ILGLERRビットが“1”になり、FCUはコマンドロック状態になります。

[“1”になる条件]

- FENTRYR.FENTRY1 ビット(注1)が“1”かつROM P/E ノーマルモードの状態、ROM 書き込み/消去用アドレス 00E0 0000h ~ 00EF FFFFh に対してリードアクセスを発行
- FENTRYR.FENTRY0 ビットが“1”かつROM P/E ノーマルモードの状態、ROM 書き込み/消去用アドレス 00F0 0000h ~ 00FF FFFFh に対してリードアクセスを発行
- FENTRY1 ビットが“0”の状態、ROM 書き込み/消去用アドレス 00E0 0000h ~ 00EF FFFFh に対するアクセスを発行
- FENTRY0 ビットが“0”の状態、ROM 書き込み/消去用アドレス 00F0 0000h ~ 00FF FFFFh に対するアクセスを発行
- FENTRYR レジスタが“0000h”以外の状態で、ROM 読み出し用アドレス FFE0 0000h ~ FFFF FFFFh に対してリードアクセスを発行

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

注1. ROM 容量 1M バイト以下の製品では使用できません。

26.2.3 フラッシュアクセスエラー割り込み許可レジスタ（FAEINT）

アドレス 007F C411h

	b7	b6	b5	b4	b3	b2	b1	b0
	ROMA EIE	—	—	CMDL KIE	DFLA EIE	—	DFLR PEIE	DFLW PEIE
リセット後の値	1	0	0	1	1	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	DFLWPEIE	データフラッシュ書き込み/消去プロテクト違反 割り込み許可ビット	「27. データフラッシュ（データ格納用フラッシュ メモリ）」を参照	R/W
b1	DFLRPEIE	データフラッシュリードプロテクト違反 割り込み許可ビット	「27. データフラッシュ（データ格納用フラッシュ メモリ）」を参照	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてくださ い	R/W
b3	DFLAEIE	データフラッシュアクセス違反 割り込み許可ビット	「27. データフラッシュ（データ格納用フラッシュ メモリ）」を参照	R/W
b4	CMDLKIE	FCUコマンドロック割り込み許可ビット	0：FASTAT.CMDLKビット=1で、 FIFERR 割り込み要求が発生しない 1：FASTAT.CMDLKビット=1で、 FIFERR 割り込み要求が発生する	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてくださ い	R/W
b7	ROMAEIE	ROMアクセス違反割り込み許可ビット	0：FASTAT.ROMAEビット=1で、 FIFERR 割り込み要求が発生しない 1：FASTAT.ROMAEビット=1で、 FIFERR 割り込み要求が発生する	R/W

FAEINT レジスタは、フラッシュインタフェースエラー割り込み（FIFERR）の出力許可 / 禁止を設定するためのレジスタです。

内蔵ROMが無効なモードではFAEINTレジスタの読み出しデータは“00h”になり、書き込みはできません。

FAEINTレジスタは、リセットによって初期化されます。

CMDLKIE ビット（FCU コマンドロック割り込み許可ビット）

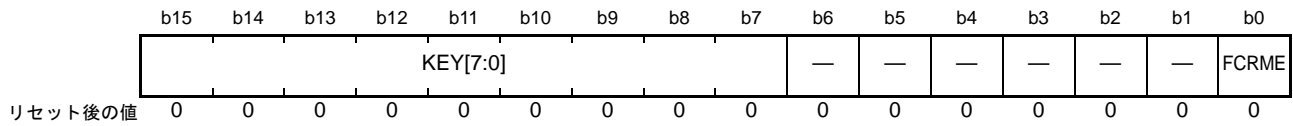
FCU コマンドロックが発生し、FASTAT.CMDLK ビットが“1”になった場合の FIFERR 割り込み要求の発生を許可 / 禁止するためのビットです。

ROMAEIE ビット（ROM アクセス違反割り込み許可ビット）

ROM アクセス違反が発生し、FASTAT.ROMAE ビットが“1”になった場合の FIFERR 割り込み要求の発生を許可 / 禁止するためのビットです。

26.2.4 FCU RAM イネーブルレジスタ（FCURAME）

アドレス 007F C454h



ビット	シンボル	ビット名	機能	R/W
b0	FCRME	FCU RAM 許可ビット	0 : FCU RAM へのアクセス禁止 1 : FCU RAM へのアクセス許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	キーコード	FCRME ビットの書き換えの可否を制御します。	R(W) (注1)

注1. 書き込みデータは保持されません。

FCURAME レジスタは、FCU RAM 領域へのアクセスを許可 / 禁止するためのレジスタです。

ワードアクセスで上位バイトに特定の値を書く場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。

内蔵 ROM が無効なモードでは FCURAME レジスタの読み出しデータは“00h”になり、書き込みはできません。

FCURAME レジスタは、リセットによって初期化されます。

FCRME ビット（FCU RAM 許可ビット）

FCU RAM へのアクセスを許可 / 禁止するためのビットです。

FCRME ビットへの書き込みは、ワードアクセスで KEY[7:0] ビットが“C4h”の場合のみ有効です。FCU RAM に書く場合は、FENTRYR レジスタを“0000h”にして FCU を停止させてください。

KEY[7:0] ビット（キーコード）

FCRME ビットの書き換えの可否を制御します。

KEY[7:0] ビットへの書き込みデータは保持されません。

26.2.5 フラッシュステータスレジスタ 0（FSTATR0）

アドレス 007F FFB0h

	b7	b6	b5	b4	b3	b2	b1	b0
	FRDY	ILGLE RR	ERSE RR	PRGE RR	SUSR DY	—	ERSS PD	PRGS PD
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRGSPD	書き込みサスペンドステータスビット	0: 下記以外の状態 1: 書き込みの中断処理中、または書き込みサスペンド中	R
b1	ERSSPD	消去サスペンドステータスビット	0: 下記以外の状態 1: 消去の中断処理中、または消去サスペンド中	R
b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b3	SUSRDY	サスペンドレディビット	0: P/E サスペンドコマンド受け付け不可能 1: P/E サスペンドコマンド受け付け可能	R
b4	PRGERR	書き込みエラービット	0: 書き込み処理は正常終了 1: 書き込み処理中にエラー発生	R
b5	ERSERR	消去エラービット	0: 消去処理は正常終了 1: 消去処理中にエラー発生	R
b6	ILGLERR	イリーガルコマンドエラービット	0: FCUは不正なコマンドや、ROM/データフラッシュアクセスを検出していない 1: FCUは不正なコマンドやROM/データフラッシュアクセスを検出	R
b7	FRDY	フラッシュレディビット	0: 書き込み/消去処理中、 書き込み/消去の中断処理中、 ロックビットリード2コマンド処理中、 データフラッシュのブランクチェック処理中 （「27. データフラッシュ（データ格納用フラッシュメモリ）」を参照） 1: 上記の処理を実行していない	R

FSTATR0 レジスタは、FCU の状態を確認するためのレジスタです。

内蔵 ROM が無効なモードでは、FSTATR0 レジスタの読み出しデータは“00h”になります。

FSTATR0 レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

PRGSPD ビット（書き込みサスペンドステータスビット）

FCU が書き込みの中断処理中、または書き込みサスペンド状態に遷移したことを示すビットです。詳細は「26.7 サスペンド動作」を参照してください。

["1" になる条件]

- 書き込みの中断処理を開始した

["0" になる条件]

- レジュームコマンドを受け付けた

ERSSPD ビット（消去サスペンドステータスビット）

FCU が消去の中断処理中または消去サスペンド状態に遷移したことを示すビットです。詳細は「26.7 サスペンド動作」を参照してください。

["1" になる条件]

- 消去の中断処理を開始した

["0" になる条件]

- レジュームコマンドを受け付けた

SUSRDY ビット（サスペンドレディビット）

FCU が P/E サスペンドコマンドを受け付け可能であるかどうかを示すビットです。

["1" になる条件]

- 書き込み/消去処理を開始後、P/E サスペンドコマンドの受け付けが可能な状態に遷移した

["0" になる条件]

- P/E サスペンドコマンドを受け付けた
- 書き込み/消去処理中に、コマンドロック状態に遷移した

PRGERR ビット（書き込みエラービット）

FCU による ROM/ データフラッシュ書き込み処理の結果を示すビットです。

PRGERR ビットが "1" の場合には、FCU はコマンドロック状態になります。詳細は「26.8.2 エラープロテクト」を参照してください。

["1" になる条件]

- 書き込み中にエラーが発生した
- ロックビットでプロテクトされた領域に対する書き込みコマンドを発行した

["0" になる条件]

- FCU がステータスレジスタクリアコマンドを発行した後

ERSERR ビット（消去エラービット）

FCU による ROM/ データフラッシュ消去処理の結果を示すビットです。

ERSERR ビットが "1" の場合には、FCU はコマンドロック状態になります。詳細は「26.8.2 エラープロテクト」を参照してください。

["1" になる条件]

- 消去中にエラーが発生した
- ロックビットでプロテクトされた領域に対するブロックイレーズコマンドを発行した

["0" になる条件]

- FCU がステータスレジスタクリアコマンドを発行した後

ILGLERR ビット（イリーガルコマンドエラービット）

FCU が不正なコマンドや、不正な ROM/ データフラッシュアクセスなどを検出したことを示すビットです。

ILGLERR ビットが“1”の場合には、FCU はコマンドロック状態になります。詳細は「26.8.2 エラープロトコト」を参照してください。

[“1”になる条件]

- FCU が不正なコマンドを検出した
- FCU が不正な ROM/ データフラッシュアクセスを検出した
(FASTAT.ROMAE, DFLAE, DFLRPE, DFLWPE ビットのいずれかが“1”)
- FENTRYR レジスタの設定が不正

[“0”になる条件]

- FASTAT レジスタが“10h”の状態、FCU がステータスレジスタクリアコマンドを発行した後

FRDY ビット（フラッシュレディビット）

FCU の処理状態を確認するためのビットです。

26.2.6 フラッシュステータスレジスタ 1（FSTATR1）

アドレス 007F FFB1h

	b7	b6	b5	b4	b3	b2	b1	b0
	FCUE RR	—	—	FLOC KST	—	—	—	—
リセット後の値	0	0	0	0	0	0	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読んだ場合、その値は不定。書き込みは無効になります	R
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b4	FLOCKST	ロックビットステータスビット	0：プロテクト状態 1：非プロテクト状態	R
b6-b5	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	FCUERR	FCUエラービット	0：FCUの処理でエラー未発生 1：FCUの処理でエラー発生	R

FSTATR1 レジスタは、FCU の状態を確認するためのレジスタです。

内蔵 ROM が無効なモードでは、FSTATR1 レジスタの読み出しデータは“00h”になります。

FSTATR1 レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

FLOCKST ビット（ロックビットステータスビット）

ロックビットリード 2 コマンドを使用した場合に、ロックビットの読み出しデータが反映されるビットです。

ロックビットリード 2 コマンド発行後に、FSTATR0.FRDY ビットが“1”になった時点で、FLOCKST ビットに有効なデータが格納されます。FLOCKST ビットの値は、次のロックビットリード 2 コマンドの終了まで保持されます。

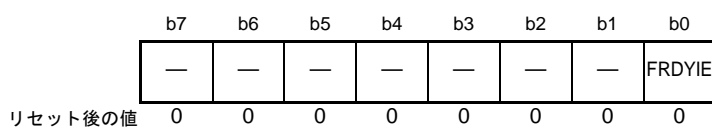
FCUERR ビット（FCU エラービット）

FCU 内部の処理においてエラーが発生したことを示すビットです。

FCUERR ビットが“1”の場合には、FRESETR.FRESET ビットを“1”にして、FCU を初期化してください。また、FCU ファームウェアを FCU ファーム領域から FCU RAM 領域へ再コピーしてください。

26.2.7 フラッシュレディ割り込み許可レジスタ（FRDYIE）

アドレス 007F C412h



ビット	シンボル	ビット名	機能	R/W
b0	FRDYIE	フラッシュレディ割り込み許可ビット	0 : FRDYI 割り込み要求の発生を禁止 1 : FRDYI 割り込み要求の発生を許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FRDYIEレジスタは、フラッシュレディ割り込み(FRDYI)の出力許可/禁止を設定するためのレジスタです。内蔵ROMが無効なモードでは、FRDYIEレジスタの読み出しデータは“00h”になり、書き込みはできません。FRDYIEレジスタは、リセットによって初期化されます。

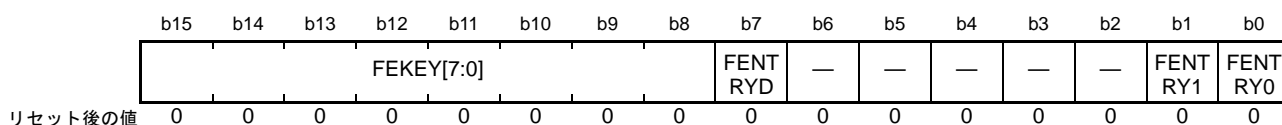
FRDYIE ビット（フラッシュレディ割り込み許可ビット）

書き込み/消去処理が終了した場合のFRDYI割り込み要求の発生を許可/禁止するためのビットです。

FRDYIEビットが“1”の設定で、FCUコマンドの実行が完了した場合（FSTATR0.FRDYビットが“0”から“1”に遷移した場合）、フラッシュレディ割り込み要求（FRDYI）が発生します。

26.2.8 フラッシュ P/E モードエントリレジスタ（FENTRYR）

アドレス 007F FFB2h



ビット	シンボル	ビット名	機能	R/W
b0	FENTRY0	ROM P/Eモードエントリビット0	0 : ROM 1Mバイト以内（注1）はROMリードモード 1 : ROM 1Mバイト以内（注1）はROM P/Eモード	R/W
b1	FENTRY1 （注2）	ROM P/Eモードエントリビット1	0 : ROM 1Mバイト以上（注1）はROMリードモード 1 : ROM 1Mバイト以上（注1）はROM P/Eモード	R/W
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	FENTRYD	データフラッシュ P/Eモードエントリビット	「27. データフラッシュ（データ格納用フラッシュメモリ）」を参照	R/W
b15-b8	FEKEY[7:0]	キーコード	FENTRYD、FENTRY1（注2）、FENTRY0ビットの書き換えの可否を制御	R/W （注3）

注1. ROM 1Mバイト以内 読み出し用アドレス : FFF0 0000h ~ FFFF FFFFh
書き込み/消去用アドレス : 00F0 0000h ~ 00FF FFFFh
ROM 1Mバイト以上 読み出し用アドレス : FFE0 0000h ~ FFEF FFFFh
書き込み/消去用アドレス : 00E0 0000h ~ 00EF FFFFh

注2. ROM容量1Mバイト以下の製品では使用できません。

注3. 書き込みデータは保持されません。

FENTRYR レジスタは、ROM/ データフラッシュを P/E モードに設定するために使用するレジスタです。

ROM/ データフラッシュを P/E モードにして FCU のコマンド受け付けを可能にするためには、FENTRYD、FENTRY1（注）、FENTRY0 ビットのいずれかのビットを“1”にする必要があります。ただし、これらのビットを複数“1”にした場合、FSTATR0.ILGLERR ビットが“1”になり、FCU はコマンドロック状態になります。

FENTRYR をアクセスして、ROM リードモードに遷移させる際には、FENTRYR を書き込み後、当該レジスタを読み出して設定値になっていることを確認後、ROM リード動作を行ってください。

ワードアクセスで上位バイトに特定の値を書く場合のみ書き込み有効で、それ以外の書き込みを行った場合には初期化されます。上位バイトへの書き込みデータは保持されません。

内蔵 ROM が無効なモードでは、FENTRYR レジスタの読み出しデータは“0000h”になり、書き込みはできません。

FENTRYR レジスタは、リセットもしくは FRESETR.FRESETR ビットを“1”にすることによって初期化されます。

注1. ROM 容量 1M バイト以下の製品では使用できません。

FENTRY0 ビット（ROM P/E モードエントリビット 0）

ROM 1M バイト（読み出し用アドレス：FFF0 0000h～FFFF FFFFh、書き込み/消去用アドレス：00F0 0000h～00FF FFFFh）を P/E モードに設定するためのビットです。

[書き込み有効条件（以下の全条件を満たす場合）]

- 内蔵 ROM が有効なモード
- FSTATR0.FRDY ビットが“1”
- ワードアクセスで FEKEY[7:0] ビットに“AAh”を書き込み

[“1”になる条件]

- 書き込み有効条件を満たし、かつ FENTRYR レジスタが“0000h”の状態、FENTRY0 ビットに“1”を書いた場合

[“0”になる条件]

- バイトアクセスで書いた場合
- ワードアクセスで FEKEY[7:0] ビットが“AAh”以外の状態で書いた場合
- 書き込み有効条件を満たした状態で、FENTRY0 ビットに“0”を書いた場合
- 書き込み有効条件を満たし、かつ FENTRYR レジスタが“0000h”以外の状態で、FENTRYR レジスタに書いた場合

FENTRY1 ビット（注）（ROM P/E モードエントリビット 1）

ROM 1M バイト（読み出し用アドレス：FFE0 0000h～FFEF FFFFh、書き込み/消去用アドレス：00E0 0000h～00EF FFFFh）を P/E モードに設定するためのビットです。

[書き込み有効条件（以下の全条件を満たす場合）]

- 内蔵 ROM が有効なモード
- FSTATR0.FRDY ビットが“1”
- ワードアクセスで FEKEY[7:0] ビットに“AAh”を書き込み

[“1”になる条件]

- 書き込み有効条件を満たし、FENTRYR レジスタが“0000h”の状態、かつ FENTRY1 ビット（注）に“1”を書いた場合

[“0”になる条件]

- バイトアクセスで書いた場合
- ワードアクセスで FEKEY[7:0] ビットが“AAh”以外の状態で書いた場合
- 書き込み有効条件を満たした状態で、FENTRY1 ビット（注）に“0”を書いた場合
- 書き込み有効条件を満たし、かつ FENTRYR レジスタが“0000h”以外の状態で、FENTRYR レジスタに書いた場合

注 1. ROM 容量 1M バイト以下の製品では使用できません。

FEKEY[7:0] ビット（キーコード）

FENTRYD、FENTRY1（注）、FENTRY0 ビットの書き換えの可否を制御します。

FEKEY[7:0] ビットへの書き込みデータは保持されません。

注 1. ROM 容量 1M バイト以下の製品では使用できません。

表 26.4 製品ごとのFENTRY1、FENTRY0ビット対応表

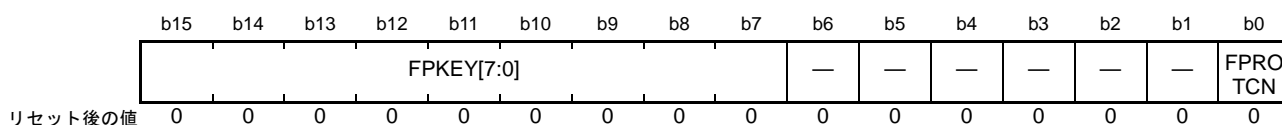
製品型名	ROM容量	FENTRY1ビット (注1)	FENTRY0ビット	FCUモード	対象アドレス
R5F56108	2Mバイト	0	0	ROM リードモード	読み出し用アドレス : FFE0 0000h ~ FFFF FFFFh
		0	1	ROM P/E モード	書き込み/消去用アドレス : 00F0 0000h ~ 00FF FFFFh
					アクセス禁止アドレス : FFE0 0000h ~ FFFF FFFFh
		1	0	書き込み/消去用アドレス : 00E0 0000h ~ 00EF FFFFh	
		1	1	設定しないでください	—
R5F56107	1.5Mバイト	0	0	ROM リードモード	読み出し用アドレス : FFE8 0000h ~ FFFF FFFFh
		0	1	ROM P/E モード	書き込み/消去用アドレス : 00F0 0000h ~ 00FF FFFFh
					アクセス禁止アドレス : FFE8 0000h ~ FFFF FFFFh
		1	0	書き込み/消去用アドレス : 00E8 0000h ~ 00EF FFFFh	
		1	1	設定しないでください	—
R5F56106	1Mバイト	使用不可 (注2)	0	ROM リードモード	読み出し用アドレス : FFF0 0000h ~ FFFF FFFFh
		使用不可 (注2)	1	ROM P/E モード	書き込み/消去用アドレス : 00F0 0000h ~ 00FF FFFFh
					アクセス禁止アドレス : FFF0 0000h ~ FFFF FFFFh
R5F56104	768Kバイト	使用不可 (注2)	0	ROM リードモード	読み出し用アドレス : FFF4 0000h ~ FFFF FFFFh
		使用不可 (注2)	1	ROM P/E モード	書き込み/消去用アドレス : 00F4 0000h ~ 00FF FFFFh
					アクセス禁止アドレス : FFF4 0000h ~ FFFF FFFFh

注1. ROM容量1Mバイト以下の製品では使用できません。

注2. R5F56106、R5F56104の場合、予約ビットになります。書き込みは“0”としてください。

26.2.9 フラッシュプロテクトレジスタ（FPROTR）

アドレス 007F FFB4h



ビット	シンボル	ビット名	機能	R/W
b0	FPROTCN	ロックビットプロテクトキャンセルビット	0：ロックビットによるプロテクト有効 1：ロックビットによるプロテクト無効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	FPKEY[7:0]	キーコード	FPROTCNビットの書き換えの可否を制御します。	R(W) (注1)

注1. 書き込みデータは保持されません。

FPROTR レジスタは、ロックビットによる書き込み/消去プロテクト機能の有効/無効を設定するためのレジスタです。

ワードアクセスで上位バイトに特定の値を書く場合のみ書き込み有効で、それ以外の書き込みを行った場合には初期化されます。上位バイトへの書き込みデータは保持されません。

内蔵ROMが無効なモードでは、FPROTR レジスタの読み出しデータは“0000h”になり、書き込みはできません。

FPROTR レジスタは、リセットもしくはFRESETR.FRESETR ビットを“1”にすることによって初期化されます。

FPROTCN ビット（ロックビットプロテクトキャンセルビット）

ロックビットによる書き込み/消去プロテクトを有効/無効にするためのビットです。

["1"になる条件]

- FENTRYRレジスタの値が“0000h”以外の状態で、ワードアクセスでFPKEY[7:0]ビットに“55h”、FPROTCNビットに“1”を書いた場合

["0"になる条件]

- バイトアクセスで書いた場合
- ワードアクセスでFPKEY[7:0]ビットが“55h”以外の状態で書いた場合
- ワードアクセスでFPKEY[7:0]ビットに“55h”、FPROTCNビットに“0”を書いた場合
- FENTRYR レジスタの値が“0000h”の場合

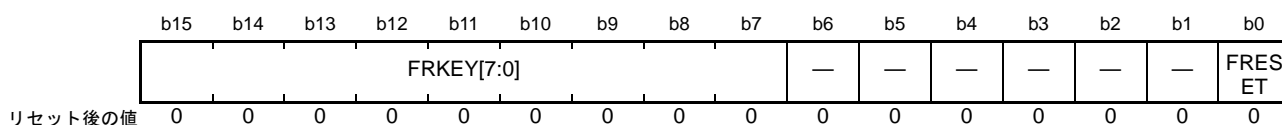
FPKEY[7:0] ビット（キーコード）

FPROTCN ビットの書き換えの可否を制御します。

FPKEY[7:0] ビットへの書き込みデータは保持されません。

26.2.10 フラッシュリセットレジスタ（FRESETR）

アドレス 007F FFB6h



ビット	シンボル	ビット名	機能	R/W
b0	FRESETR	フラッシュリセットビット	0 : FCUはリセットされない 1 : FCUはリセットされる	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	FRKEY[7:0]	キーコード	FRESETRビットの書き換えの可否を制御します。	R(/W) (注1)

注1. 書き込みデータは保持されません。

FRESETR レジスタは、FCU の初期化のために使用するレジスタです。

ワードアクセスで上位バイトに特定の値を書いた場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。

内蔵ROMが無効なモードでは、FRESETR レジスタの読み出しデータは“0000h”になり、書き込みはできません。

FRESETR レジスタは、リセットによって初期化されます。

FRESETR ビット（フラッシュリセットビット）

FRESETR ビットを“1”にすると、ROM/ データフラッシュへの書き込み / 消去動作が強制終了され、FCU が初期化されます。

書き込み / 消去中の ROM/ データフラッシュのメモリには、高電圧が印加されています。メモリに印加された電圧の降下に必要な期間を確保するために、FCU を初期化する場合には、FRESETR ビットを“1”にした状態を tRESW2（「29. 電気的特性」を参照）保持してください。FRESETR ビットが“1”を保持している期間は、ROM/ データフラッシュへの読み出しを禁止してください。また、FRESETR ビットが“1”の状態では、FENTRYR レジスタが初期化されているため、FCU コマンドを使用することはできません。

FRESETR ビットへの書き込みは、ワードアクセスで FRKEY[7:0] ビットが“Cch”の場合のみ有効です。

FRKEY[7:0] ビット（キーコード）

FRESETR ビットへの書き換えの可否を制御します。

FRKEY[7:0] ビットへの書き込みデータは保持されません。

26.2.11 FCU コマンドレジスタ（FCMDR）

アドレス 007F FFBAh



ビット	シンボル	ビット名	機能	R/W
b7-b0	PCMDR[7:0]	プレコマンド	FCUが受け付けた1つ前のコマンドを格納	R
b15-b8	CMDR[7:0]	コマンド	FCUが受け付けた最新のコマンドを格納	R

FCMDR レジスタは、FCU が受け付けたコマンドを格納するレジスタです。

内蔵 ROM が無効なモードでは、FCMDR レジスタの読み出しデータは“0000h”になり、書き込みはできません。

FCMDR は、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

表 26.5 に各コマンド受け付け後の FCMDR レジスタの状態を示します。ブランクチェックの内容は、データフラッシュの「27.6 データフラッシュへの書き込み / 消去」を参照してください。

表 26.5 各コマンド受け付け後の FCMDR レジスタの状態

コマンド	CMDR	PCMDR
ノーマルモード移行	FFh	前回コマンド
ステータスリードモード移行	70h	前回コマンド
ロックビットリードモード移行（ロックビットリード1）	71h	前回コマンド
周辺クロック通知コマンド	E9h	前回コマンド
プログラム	E8h	前回コマンド
ブロックイレーズ	D0h	20h
P/E サスペンド	B0h	前回コマンド
P/E レジューム	D0h	前回コマンド
ステータスレジスタクリア	50h	前回コマンド
ロックビットリード2ブランクチェック	D0h	71h
ロックビットプログラム	D0h	77h

26.2.12 FCU 処理切り替えレジスタ（FCPSR）

アドレス 007FFFC8h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ESUS PMD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESUSPMD	消去サスペンドモードビット	0：サスペンド優先モード 1：消去優先モード	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FCPSR レジスタは、FCU の消去処理のサスペンド方法を選択するためのレジスタです。

内蔵ROMが無効なモードでは、FCPSRレジスタの読み出しデータは“0000h”になり、書き込みはできません。

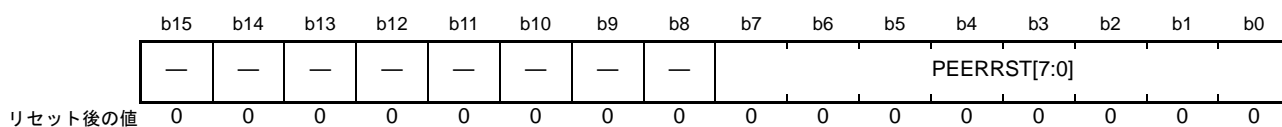
FCPSR レジスタは、リセットもしくはFRESETR.FRESET ビットを“1”にすることによって初期化されます。

ESUSPMD ビット（消去サスペンドモードビット）

FCU が ROM/ データフラッシュの消去処理を実行中に、P/E サスペンドコマンドが発行された場合の消去中断処理モードを選択するためのビットです。詳細は「26.7 サスペンド動作」を参照してください。

26.2.13 フラッシュ P/E ステータスレジスタ（FPESTAT）

アドレス 007F FFCh



ビット	シンボル	ビット名	機能	R/W
b7-b0	PEERRST[7:0]	P/E エラーステータスビット	01h：ロックビットでプロテクトされた領域に対する書き込みエラー 02h：ロックビットプロテクト以外の要因による書き込みエラー 11h：ロックビットでプロテクトされた領域に対する消去によるエラー 12h：ロックビットプロテクト以外の要因による消去エラー 上記以外は予約	R
b15-b8	—	予約ビット	読むと"0"が読めます。書き込みは無効になります	R

FPESTAT レジスタは、ROM/ データフラッシュへの書き込み / 消去処理結果を示すレジスタです。

内蔵 ROM が無効なモードでは、FPESTAT レジスタの読み出しデータは“0000h”になり、書き込みはできません。

FPESTAT レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

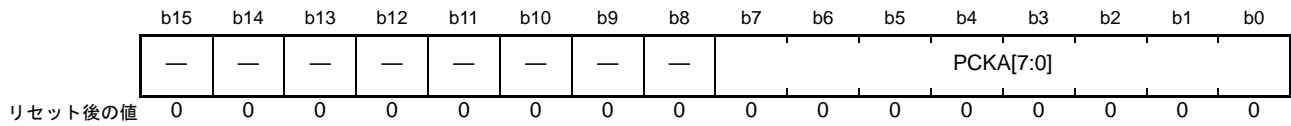
PEERRST[7:0] ビット（P/E エラーステータスビット）

ROM/ データフラッシュへの書き込み / 消去処理中にエラーが発生した場合のエラー原因を示すビットです。

PEERRST[7:0] ビットの値は、FSTATR0.ERSERR ビット、または FSTATR0.PRGERR ビットが“1”の状態でのみ有効です。ERSERR ビットと PRGERR ビットが“0”の場合の PEERRST[7:0] ビットには、過去に発生したエラー原因の値が保持されます。

26.2.14 周辺クロック通知レジスタ（PCKAR）

アドレス 007F FFE8h



ビット	シンボル	ビット名	機能	R/W
b7-b0	PCKA[7:0]	周辺クロック通知ビット	ROM/データフラッシュへの書き込み/消去時に周辺クロック（PCLK）を設定するためのビット	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

PCKAR レジスタは、ROM/ データフラッシュへの書き込み / 消去時に周辺クロック（PCLK）の周波数設定情報をシーケンサに通知するためのレジスタです。この設定は、書き込み / 消去時間の制御に使用します。

内蔵 ROM が無効なモードでは、PCKAR レジスタの読み出しデータは“0000h”になり、書き込みはできません。

PCKAR レジスタは、リセットもしくはFRESETR.FRESET ビットを“1”にすることによって初期化されます。

PCKA[7:0] ビット（周辺クロック通知ビット）

ROM/ データフラッシュへの書き込み / 消去時に、周辺クロック（PCLK）を設定するためのビットです。

書き込み / 消去を行う前に PCKA[7:0] ビットに PCLK の周波数を設定して、周辺クロック通知コマンドを発行してください。ROM/ データフラッシュへの書き込み / 消去中は、周波数を変更しないでください。

設定値の算出は以下のようにしてください。

- MHz 単位で表現した動作周波数を 2 進数に変換し、PCKA[7:0] ビットに書く。
具体例として周辺クロックの動作周波数が 35.9MHz の場合には以下ようになります。
- 35.9 を切り上げ
- 36 を 2 進数変換し、上位は“00h”で、下位は“24h”（0010 0100b）を PCKA[7:0] ビットに設定する。

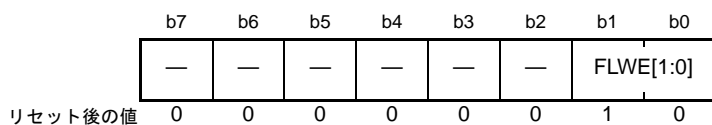
注 1. PCKA[7:0] ビットを 8MHz ~ 50MHz の範囲外に設定した場合は、ROM/ データフラッシュに対する書き換えコマンドを発行しないでください。

注 2. 実周波数と異なる周波数を PCKA[7:0] ビットに設定した場合、ROM/ データフラッシュのデータが正しく書けない場合があります。

注 3. PCKA[7:0] ビットを活用しても、書き換え時間はある程度周波数に依存することをご了承ください。

26.2.15 フラッシュライト消去プロテクトレジスタ（FWEPROR）

アドレス 0008 C289h



ビット	シンボル	ビット名	機能	R/W
b1-b0	FLWE[1:0]	フラッシュ書き込み/消去ビット	b1 b0 0 0: 書き込み/消去不可能 0 1: 書き込み/消去可能 1 0: 書き込み/消去不可能（初期値） 1 1: 書き込み/消去不可能	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FWEPROR レジスタは、フラッシュライト消去実行をソフト的にプロテクトするためのリード/ライト可能なレジスタです。

FWEPROR レジスタは、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード時にも初期化されます。

FLWE[1:0] ビット（フラッシュ書き込み/消去ビット）

フラッシュライト消去実行をソフト的にプロテクトします。

26.3 ROMのメモリマップ構成

RX610グループのROMは、最大2Mバイトのユーザマットと16Kバイトのユーザブートマットで構成されています。これらのマットのアドレスを図26.2に示します。

ユーザマットのアドレスは、読み出し時と書き込み/消去時で異なりますので注意してください。

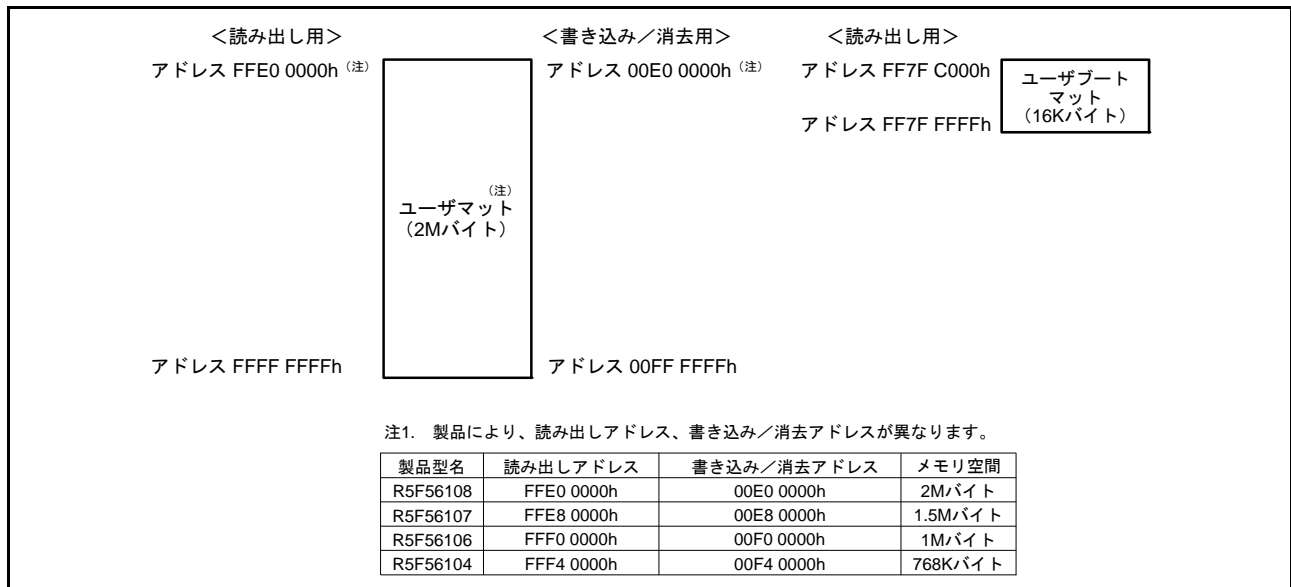


図 26.2 ROMのメモリマップ構成

26.4 ブロック構成

ユーザマットの消去ブロックの構成を図26.3に示します。ユーザマットは128Kバイト（11ブロック）、64Kバイト（9ブロック）、8Kバイト（8ブロック）に分割されていて、消去はこのブロック単位で行います。書き込みは、下位アドレスが“00h”で始まる256バイト単位で行います。

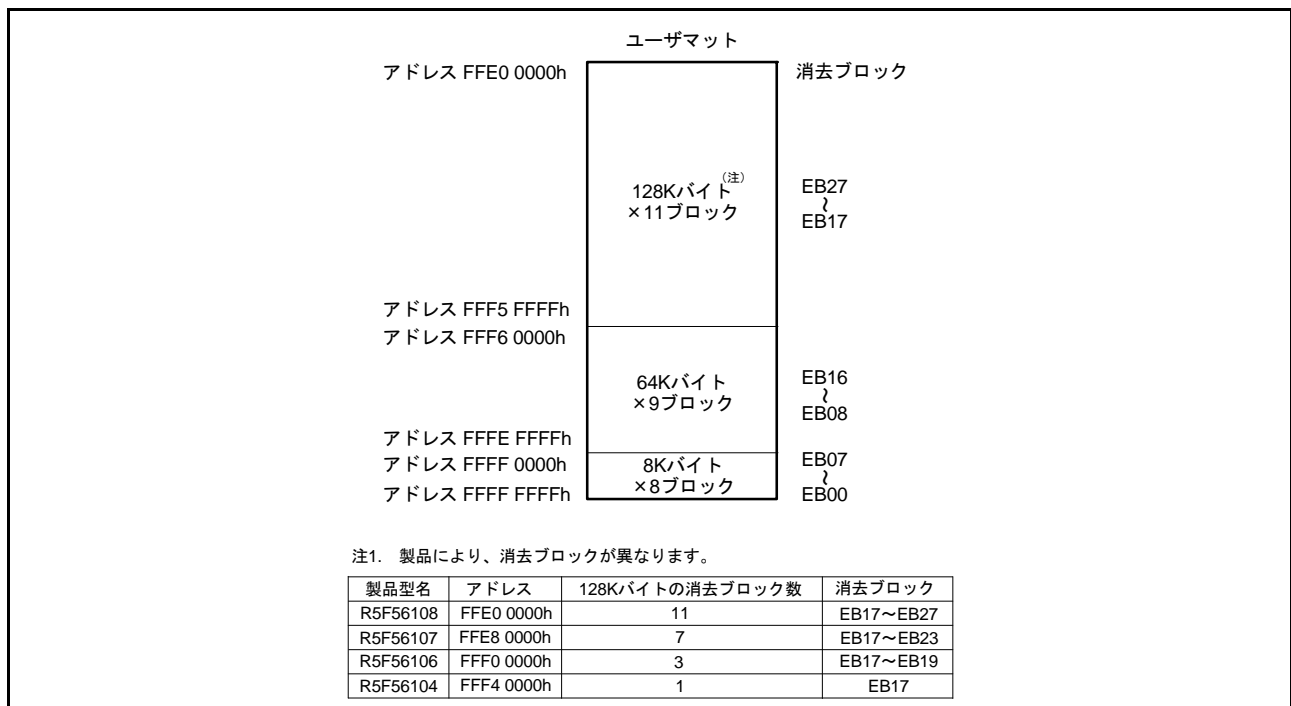


図 26.3 ユーザマットの消去ブロックの構成

26.5 ROM 関連の動作モード

図 26.4 に RX610 グループの動作モード遷移図を示します。

MD1、MD0 端子を設定し、リセット解除を行うと図 26.4 のように移行します。

MD1、MD0 端子の設定値と RX610 グループの動作モードの関係については、「3. 動作モード」を参照してください。

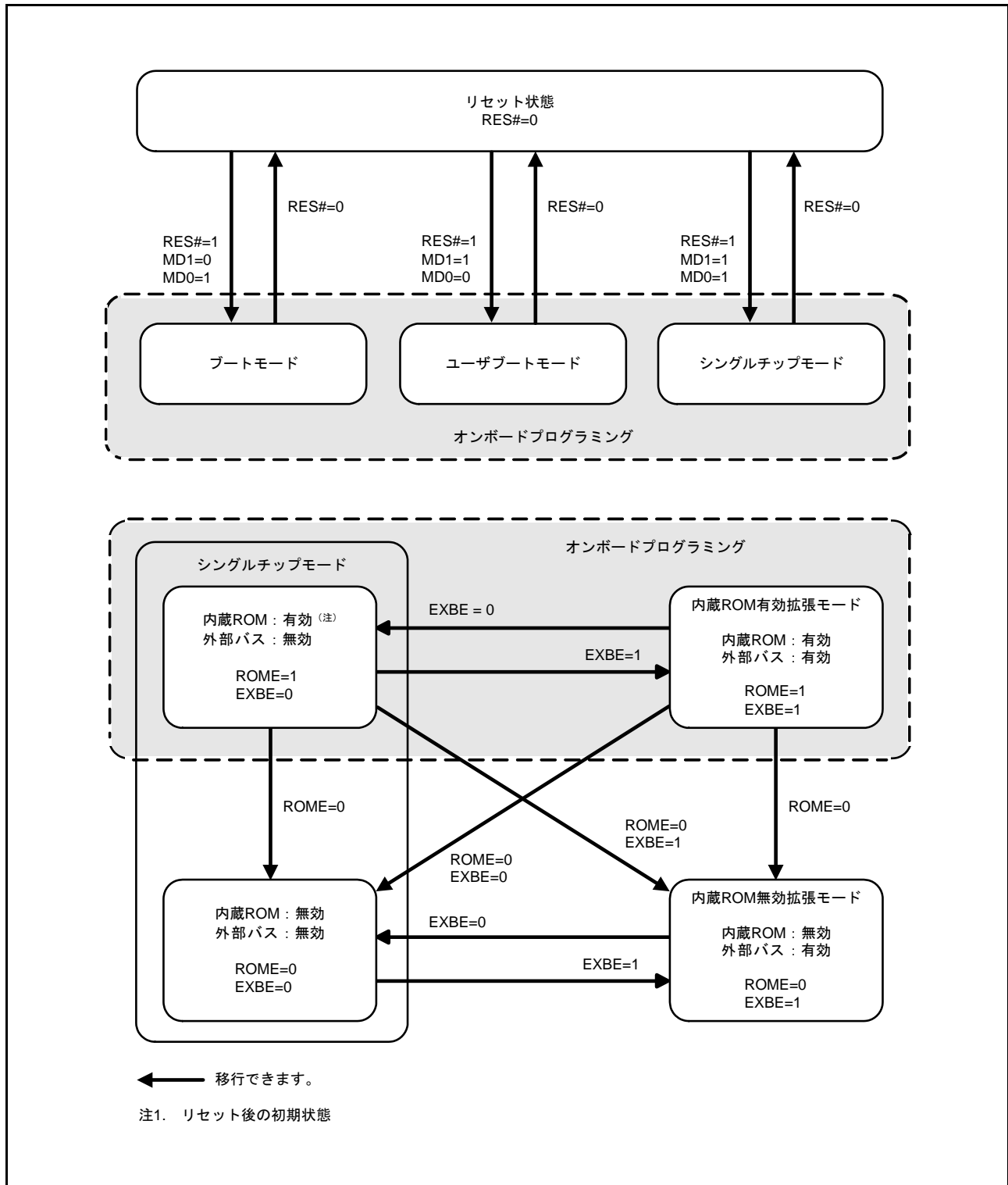


図 26.4 ROM に関する動作モード遷移図

ブートモード/ユーザブートモード/シングルチップモード（内蔵ROM有効）/内蔵ROM有効拡張モードでは、オンボードでROMの読み出し/書き込み/消去を実施できます。

各モードで、書き込み/消去可能マット、リセット時の起動マット等が異なります。モードの相違点を表26.6に示します。

表26.6 各モードの相違点

項目	ブートモード	ユーザブートモード	シングルチップモード（内蔵ROM有効）/内蔵ROM有効拡張モード
書き込み/消去環境	オンボードプログラミング		
書き込み/消去可能マット	ユーザマット ユーザブートマット	ユーザマット	ユーザマット
ブロック分割消去	○（注1）	○	○
リセット時の起動マット	組み込みプログラム格納マット（注2）	ユーザブートマット	ユーザマット

注1. 起動時に全面消去される場合があります。その後、特定ブロックの消去ができます。詳細は「26.10.2 IDコードプロテクト」を参照してください。

注2. ユーザは使用できません。

- ユーザブートマットへの書き込み/消去は、ブートモードでのみ可能です。
- ブートモードでは、ホストからSCI経由でユーザマット/ユーザブートマット/データマットへの書き込み/読み出しが可能になります。
- ユーザブートモードは、ユーザブートマットから起動し、任意のインタフェースでユーザマット/データマットへの書き込み/読み出しを行うことができます。
- ブートモードではブートモード用組み込みプログラムで内蔵RAMを使用します。このため、内蔵RAMのデータは保持されません。

26.6 ROM への書き込み / 消去

ROM への書き込み / 消去は、書き込み / 消去用の専用シーケンサ (FCU) にコマンド (FCU コマンド) を発行することで行います。FCU には、5 種類のモードがあります。書き込み / 消去を行うためには、モードを移行させ、その後、書き込み / 消去用のコマンドを発行することで行います。

ROM への書き込み / 消去に必要なモード移行とコマンド体系について以下に説明します。これらはブートモード、ユーザブートモード、シングルチップモード (内蔵 ROM 有効) モード、内蔵 ROM 有効拡張モードで共通です。

26.6.1 FCU のモード

FCU には、5 種類のモードがあります。モードの移行は、FENTRYR レジスタへの書き込み、および FCU コマンドで行います。図 26.5 に FCU のモード遷移図を示します。

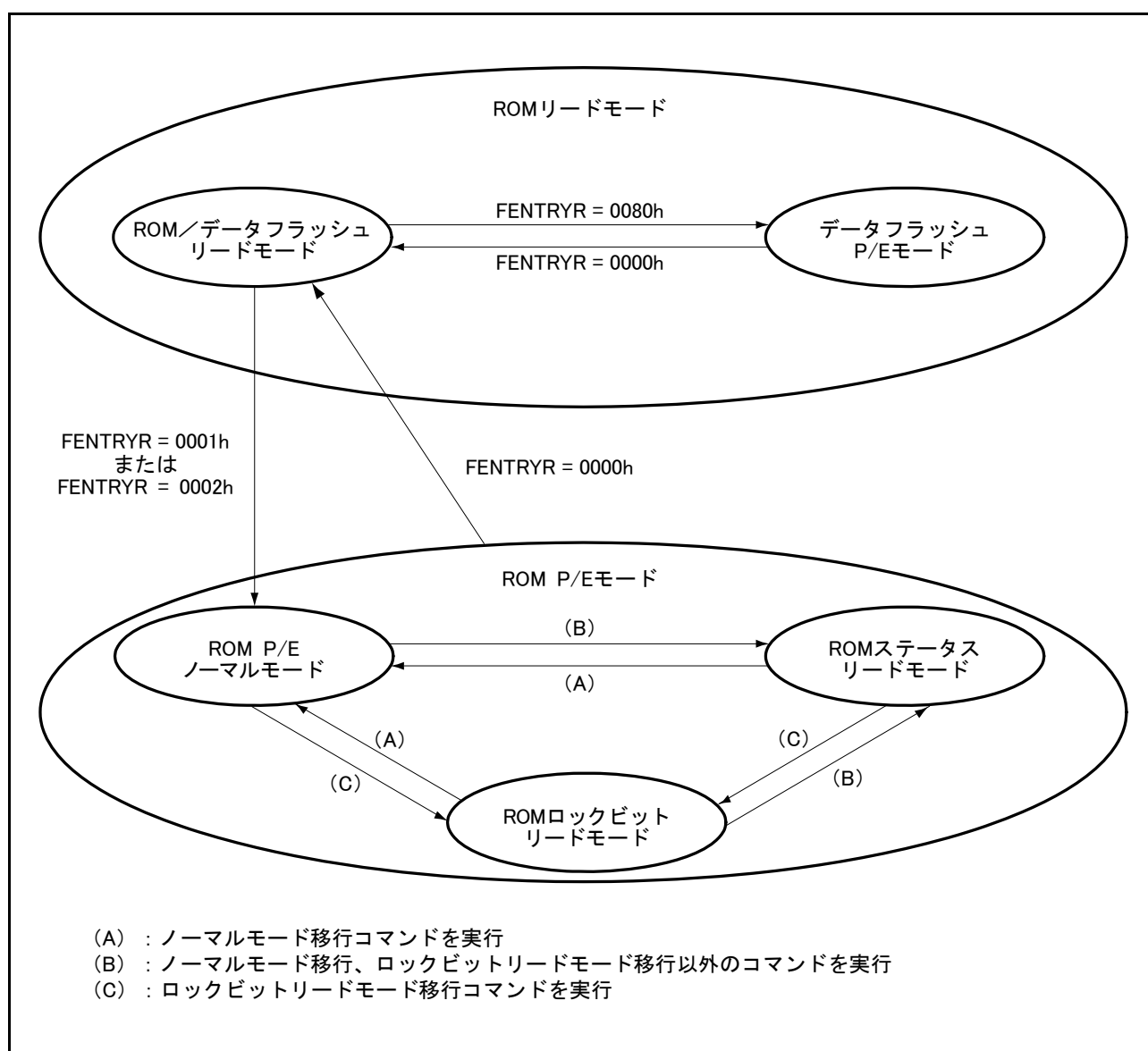


図 26.5 FCU のモード遷移図 (ROM 関連)

26.6.1.1 ROM リードモード

ROM リードモードは、ROM の高速読み出しを行うためのモードです。読み出し用アドレスに対してリードアクセスを実行した場合、ICLK 1 サイクルの高速読み出しが可能です。

ROM リードモードには、ROM/ データフラッシュリードモードと、データフラッシュ P/E モードの 2 種類があります。

(1) ROM/ データフラッシュリードモード

ROM/ データフラッシュリードモードは、ROM およびデータフラッシュの読み出しが可能なモードです。FCU コマンドは受け付けられません。FENTRYR.FENTRY1（注）、FENTRY0 ビットを“0”、かつ FENTRYR.FENTRYD ビットを“0”にした場合にこのモードに移行します。

(2) データフラッシュ P/E モード

データフラッシュ P/E モードは、データフラッシュに対する書き込み/ 消去を行うモードです。ROM の高速読み出しは可能です。このモードはデータフラッシュに対する FCU コマンドは受け付けますが、ROM に対する FCU コマンドは受け付けません。FENTRYR.FENTRY1（注）、FENTRY0 ビットを“0”、かつ FENTRYR.FENTRYD ビットを“1”にした場合にこのモードに移行します。

データフラッシュ P/E モードの詳細は、「27. データフラッシュ（データ格納用フラッシュメモリ）」の「27.6.1 FCU のモード」を参照してください。

26.6.1.2 ROM P/E モード

ROM P/E モードは、ROM に対する書き込み/ 消去を行うモードです。ROM の高速読み出しはできません。読み出し用アドレスに対してリードアクセスを実行した場合、ROM アクセス違反が発生して FCU はコマンドロック状態になります（「26.8.2 エラープロテクト」を参照）。

ROM P/E モードには、ROM P/E ノーマルモード、ROM ステータスリードモード、ROM ロックビットリードモードの 3 種類のモードがあります。

(1) ROM P/E ノーマルモード

ROM P/E ノーマルモードは、ROM への書き込み/ 消去をする上で最初に移行するモードです。ROM リードモード時に FENTRYR.FENTRYD ビットを“0”、かつ FENTRYR.FENTRY1（注）、FENTRY0 ビットのいずれかを“1”にした場合、または ROM P/E モードでノーマルモード移行コマンドを受け付けた場合に移行します。表 26.9 に受け付け可能なコマンドを示します。

FENTRYR.FENTRY1（注）、FENTRY0 ビットが“1”の状態で書き込み/ 消去用のアドレスに対してリードアクセスを実行した場合は、ROM アクセス違反が発生して FCU はコマンドロック状態になります（「26.8.2 エラープロテクト」を参照）。

(2) ROM ステータスリードモード

ROM ステータスリードモードは、ROM のステータスが読めるモードです。ROM P/E モードでノーマルモード移行、ロックビットリードモード移行以外のコマンドを受け付けた場合に移行します。

FSTATR0.FRDY ビットが“0”の状態やエラー発生後のコマンドロック状態も、ROM ステータスリードモード中の状態です。表 26.9 に受け付け可能なコマンドを示します。

FENTRYR.FENTRY1（注）、FENTRY0 ビットが“1”の状態、対応する書き込み/ 消去用のアドレスに対してリードアクセスを実行した場合は、FSTATR0 レジスタの値が読めます。

注 1. ROM 容量 1M バイト以下の製品では使用できません。

(3) ROM ロックビットリードモード

ROM ロックビットリードモードは、ROM への読み出しでロックビットが読めるモードです。ROM P/E モードでロックビットリードモード移行コマンドを受け付けた場合に移行します。表 26.9 に受け付け可能なコマンドを示します。

FENTRYR.FENTRY1^(注)、FENTRY 0 ビットが“1”の状態、対応する書き込み/消去用のアドレスに対してリードアクセスを実行した場合は、読み出しデータの全ビットがアクセス先の消去ブロックのロックビット値になります。

注 1. ROM 容量 1M バイト以下の製品では使用できません。

26.6.2 FCU コマンド一覧

FCU コマンドには、FCU のモードを遷移させるためのコマンドと、書き込み/消去を行うためのコマンドがあります。表 26.7 に ROM で使用可能な FCU コマンドの一覧を示します。

表 26.7 FCU コマンド一覧 (ROM 関連)

コマンド	機能
P/E ノーマルモード移行	ノーマルモードに移行（「26.6.3 FCU のモードとコマンドの関係」を参照）
ステータスリードモード移行	ステータスリードモードに移行（「26.6.3 FCU のモードとコマンドの関係」を参照）
ロックビットリードモード移行 (ロックビットリード1)	ロックビットリードモードに移行（「26.6.3 FCU のモードとコマンドの関係」を参照）
周辺クロック通知	周辺クロックの周波数を設定
プログラム	ROM への書き込み (256 バイト単位)
ブロックイレーズ	ROM の消去 (ブロック単位、ロックビットも同時に消去)
P/E サスペンド	書き込み/消去の中断
P/E レジューム	書き込み/消去の再開
ステータスレジスタクリア	FSTATR0.ILGLERR, ERSERR, PRGERR ビットのクリアとコマンドロック状態の解除
ロックビットリード2/ ブランクチェック	指定した消去ブロックのロックビット読み出し (FSTATR1.FLOCKST ビットにロックビットを反映) /データフラッシュのブランクチェック
ロックビットプログラム	指定した消去ブロックのロックビットを書き込み

ロックビットリード2 コマンドは、データフラッシュのブランクチェックコマンドを兼ねています。データフラッシュに対してロックビットリード2コマンドを発行した場合は、データフラッシュのブランクチェックが実行されます（「27. データフラッシュ（データ格納用フラッシュメモリ）」を参照）。

FCU コマンドの発行は、ROM 書き込み / 消去用のアドレスに対しライトアクセスを行うことで実現されます。表 26.8 に FCU コマンドのフォーマットを示します。表 26.8 に示したライトアクセスを FCU の特定条件下で実行すると、FCU は各コマンドに対応した処理を実行します。

FCU の特定条件下については「26.6.3 FCU のモードとコマンドの関係」を、各 FCU コマンドの使用方法については「26.6.4 FCU コマンド使用方法」を参照してください。

表 26.8 FCUコマンドのフォーマット

コマンド	バス サイ クル 数	1 サイクル目		2 サイクル目		3 サイクル目		4~5 サイクル目		6 サイクル目		7~130 サイクル目		131 サイクル目	
		アド レス	デー タ	アド レス	デー タ	アド レス	デー タ	アド レス	デー タ	アド レス	デー タ	アド レス	デー タ	アド レス	デー タ
P/E ノーマルモード移行	1	RA	FFh	-	-	-	-	-	-	-	-	-	-	-	-
ステータスリードモード移行	1	RA	70h	-	-	-	-	-	-	-	-	-	-	-	-
ロックビットリードモード移行 (ロックビットリード1)	1	RA	71h	-	-	-	-	-	-	-	-	-	-	-	-
周辺クロック通知	6	RA	E9h	RA	03h	RA	0F0F h	RA	0F0F h	RA	D0h	-	-	-	-
プログラム	131	RA	E8h	RA	80h	WA	WDn	RA	WDn	RA	WD n	RA	WD n	RA	D0 h
ブロックイレース	2	RA	20h	BA	D0 h	-	-	-	-	-	-	-	-	-	-
P/E サスペンド	1	RA	B0h	-	-	-	-	-	-	-	-	-	-	-	-
P/E レジューム	1	RA	D0 h	-	-	-	-	-	-	-	-	-	-	-	-
ステータスレジスタクリア	1	RA	50h	-	-	-	-	-	-	-	-	-	-	-	-
ロックビットリード2	2	RA	71h	BA	D0 h	-	-	-	-	-	-	-	-	-	-
ロックビットプログラム	2	RA	77h	BA	D0 h	-	-	-	-	-	-	-	-	-	-

アドレスの列 RA : ROM 書き込み / 消去用のアドレス

FENTRYR.FENTRY0 ビットが“1”の場合 : 00F0 0000h ~ 00FF FFFFh の任意アドレス

FENTRYR.FENTRY1 (注1) ビットが“1”の場合 : 00E0 0000h ~ 00EF FFFFh の任意アドレス

WA : ROM 書き込み先アドレス

書き込みデータ 256 バイトの先頭アドレス

BA : ROM 消去ブロックアドレス

対象消去ブロック内の任意アドレス (書き込み / 消去用アドレスで指定)

データの列 WDn : 書き込みデータ n ワード目 (n=1 ~ 128)

注 1. ROM 容量 1M バイト以下の製品では使用できません。

26.6.3 FCU のモードとコマンドの関係

FCU の各モードは、モードごとに受け付け可能な FCU コマンドが決められています。また、それらモードにおける FCU の状態によっても受け付け可能なコマンドは変わります。

FCU コマンドの発行は、FCU のモードを移行させた後、FCU の状態を確認してから発行する必要があります。

表 26.9 に FCU のモードおよび状態で受け付け可能なコマンドを示します。受け付け不可能なコマンドが発行された場合には、FCU はコマンドロック状態になります (「26.8.2 エラープロテクト」を参照)。

FCU コマンドの発行は、受け付け可能なモードに移行した後、FSTATR0.FRDY, ILGLERR, ERSERR, PRGERR ビットと FSTATR1.FCUERR ビットの値を確認してから行ってください。なお、FASTAT.CMDLK ビットの値により、エラーの発生有無を確認することもできます。FASTAT.CMDLK ビットの値は、FSTATR0.ILGLERR, ERSERR, PRGERR ビットと FSTATR1.FCUERR ビットの値の論理和です。

表 26.9 FCU のモード/状態と受け付け可能なコマンドの関係 (ROM P/E モード)

	P/E ノーマルモード			ステータスリードモード							ロックビットリードモード		
	書き込みサスペンド中	消去サスペンド中	その他の状態	書き込み / 消去の処理中	書き込み / 消去の中断処理中	ロックビットリード2処理中	書き込みサスペンド中	消去サスペンド中	コマンドロック状態	その他の状態	書き込みサスペンド中	消去サスペンド中	その他の状態
FSTATR0.FRDY ビット	1	1	1	0	0	0	1	1	0/1	1	1	1	1
FSTATR0.SUSRDY ビット	0	0	0	1	0	0	0	0	0	0	0	0	0
FSTATR0.ERSSPD ビット	0	1	0	0	0/1	0	0	1	0	0	0	1	0
FSTATR0.PRGSPD ビット	1	0	0	0	0/1	0	1	0	0	0	1	0	0
FASTAT.CMDLK ビット	0	0	0	0	0	0	0	0	1	0	0	0	0
ノーマルモード移行	○	○	○	×	×	×	○	○	×	○	○	○	○
ステータスリードモード移行	○	○	○	×	×	×	○	○	×	○	○	○	○
ロックビットリードモード移行 (ロックビットリード1)	○	○	○	×	×	×	○	○	×	○	○	○	○
周辺クロック通知	×	×	○	×	×	×	×	×	×	○	×	×	○
プログラム	×	△	○	×	×	×	×	△	×	○	×	△	○
ブロックイレース	×	×	○	×	×	×	×	×	×	○	×	×	○
P/E サスペンド	×	×	×	○	×	×	×	×	×	×	×	×	×
P/E レジューム	○	○	×	×	×	×	○	○	×	×	○	○	×
ステータスレジスタクリア	○	○	○	×	×	×	○	○	○	○	○	○	○
ロックビットリード2	○	○	○	×	×	×	○	○	×	○	○	○	○
ロックビットプログラム	×	△	○	×	×	×	×	△	×	○	×	△	○

○ : 受け付け可能、△ : 消去中断したブロック以外への書き込みのみ受け付け可能、× : 受け付け不可能

26.6.4 FCU コマンド使用方法

FCU コマンドには、FCU のモードを移行するコマンド、実際に ROM に書き込み / 消去を行うコマンド、エラー処理のコマンド、サスペンド / レジュームのコマンドがあります。以下に各コマンドの説明をします。それぞれのコマンドの受け付け可能モードおよび状態については、「26.6.3 FCU のモードとコマンドの関係」を参照してください。

26.6.4.1 モード移行

ここではモード移行に関するコマンドを説明します。各モード移行の関係は、図 26.5 を参照してください。

(1) ROM P/E モード移行方法

ROM 関連の FCU コマンドを実行するためには、ROM P/E モードに移行する必要があります。

ROM P/E モードに移行するためには、書き込み / 消去を行う ROM のアドレスに対応した FENTRYR.FENTRY1（注）、FENTRY0 ビットを“1”にします。

書き込み / 消去を行う場合は、FWEPROR レジスタにバイトで“01h”を書き込み、書き込み / 消去可能状態にしてください（「26.2.15 フラッシュライト消去プロテクトレジスタ（FWEPROR）」を参照）。

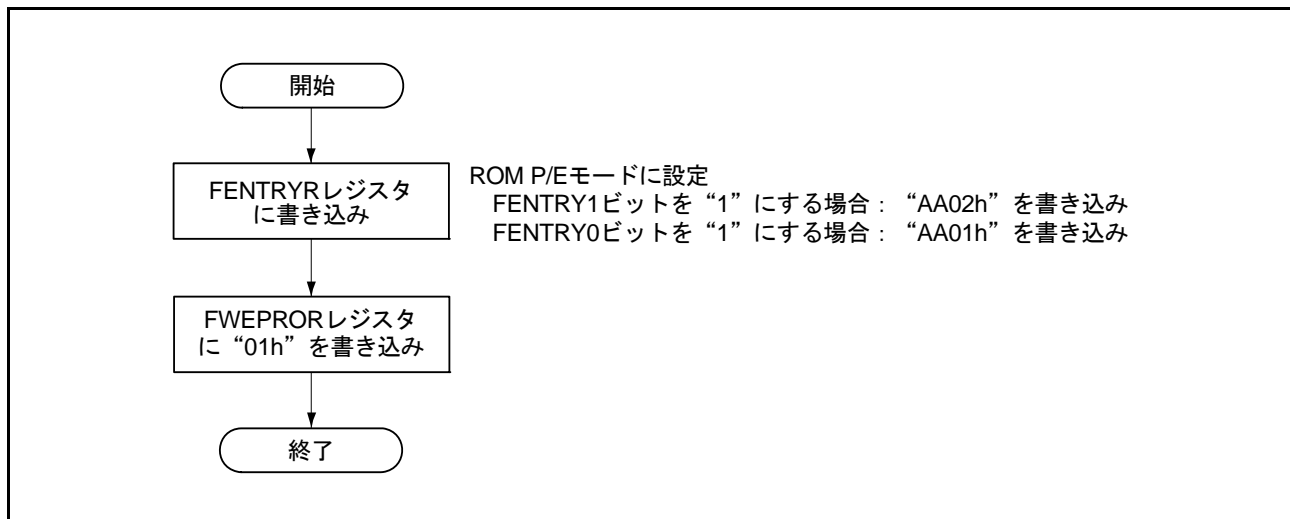


図 26.6 ROM P/E モード移行フロー

(2) ROM リードモード移行方法

ROM の高速読み出しを行うためには、FENTRYR.FENTRY1（注）、FENTRY0 ビットを“0”にして、FCU を ROM リードモードに設定する必要があります。

また、FWEPROR レジスタにバイトで“02h”を書き込み、書き込み / 消去不可能状態にする必要があります（「26.2.15 フラッシュライト消去プロテクトレジスタ（FWEPROR）」を参照）。

ROM P/E モードから ROM リードモードへの移行は、FCU のコマンド処理が完了し、かつ FCU がエラー検出していない状態で実施してください。

注 1. ROM 容量 1M バイト以下の製品では使用できません。

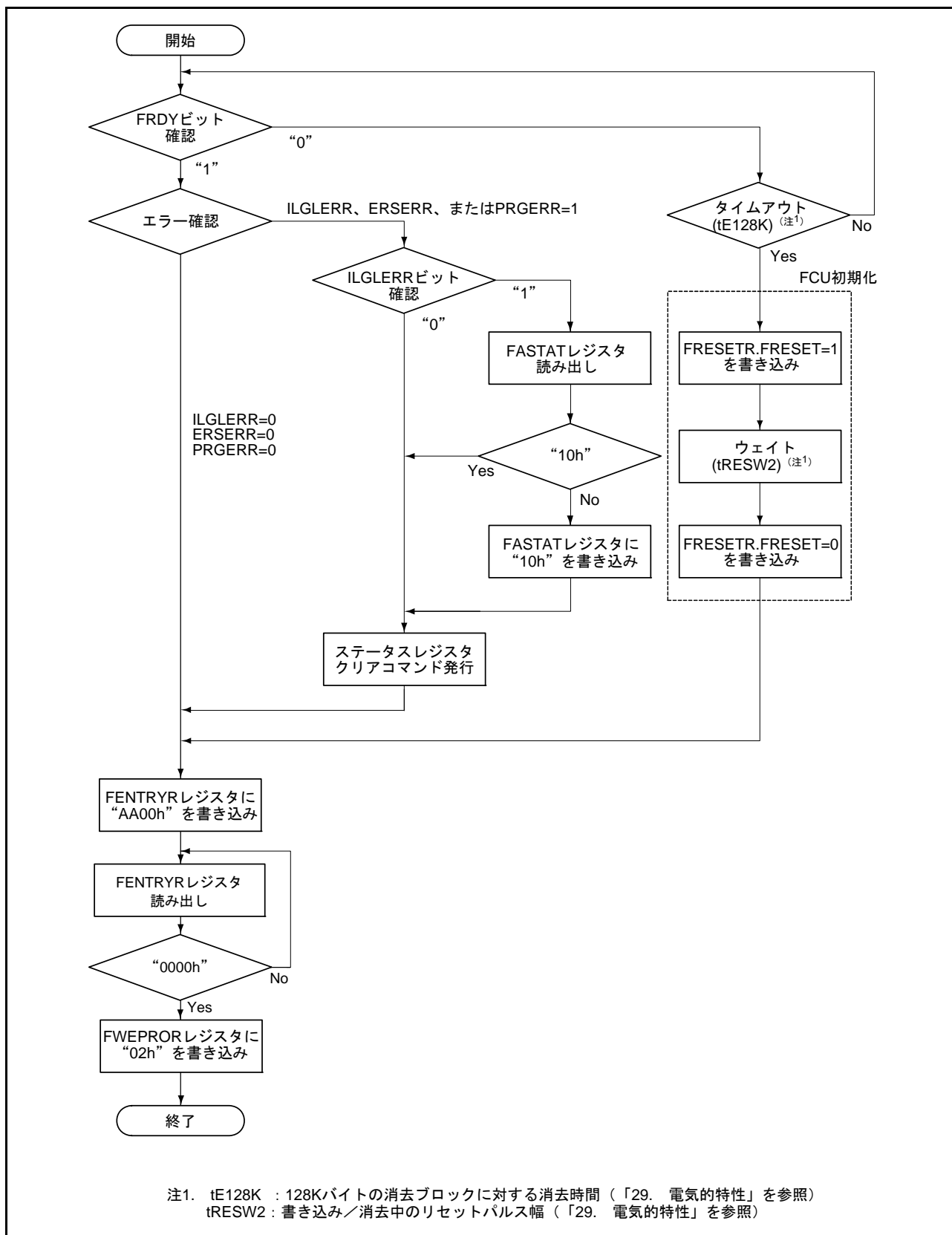


図 26.7 ROM リードモード移行フロー

(3) ROM P/E ノーマルモード移行方法

ROM P/E ノーマルモードへの移行方法には、ROM リードモード時に FENTRYR レジスタを設定する方法（「26.6.1 FCU のモード」を参照）と、ROM P/E モード時にノーマルモード移行コマンドを発行する方法（図 26.8）があります。ノーマルモード移行コマンドは、“FFh”をROM 書き込み/消去用のアドレスにバイト書き込みを行うことで実施されます。

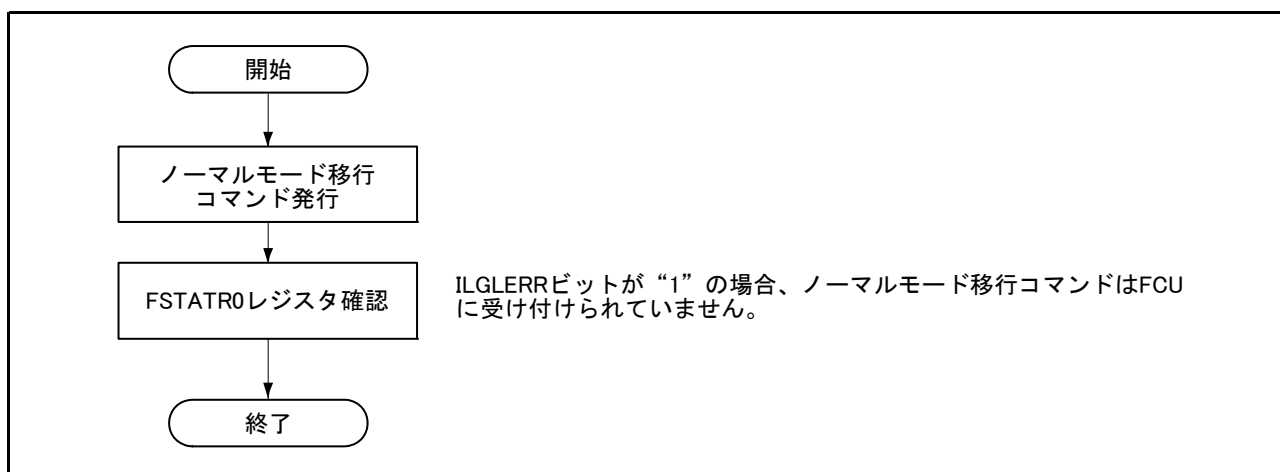


図 26.8 ROM P/E ノーマルモード移行フロー

(4) ROM ステータスリードモード移行方法

ノーマルモード移行、ロックビットリードモード移行以外のFCU コマンドを発行すると、FCUはROM ステータスリードモードに移行します。また、ステータスリードモード移行コマンドを発行することでも移行できます。図 26.9 に FSTATR0 レジスタの確認の例を示します。この例はステータスリードモード移行コマンドを発行してROM ステータスリードモードに移行した後で、ROM 書き込み/消去用アドレスに対してリードアクセスを実行して、FSTATR0 の内容を確認しています。

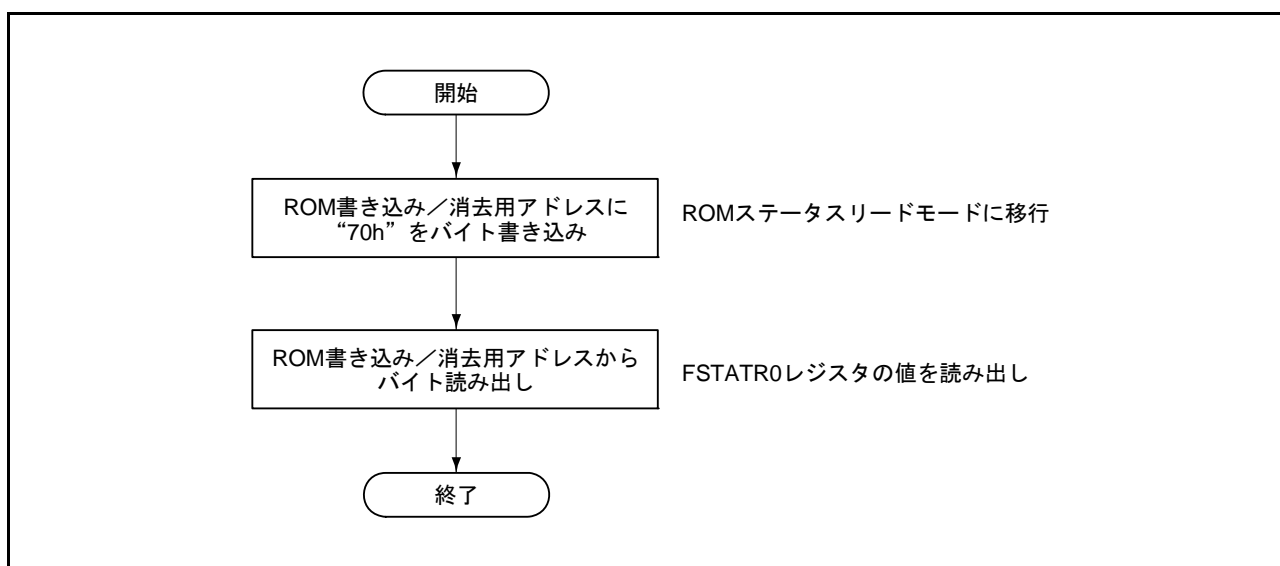


図 26.9 ROM ステータスリードモード移行フローおよびステータスの確認方法

(5) ROM ロックビットリードモード移行方法

FMODR.FRDMMD ビットが“0”（メモリ領域リード方式）で、ロックビットリードモード移行コマンド（ロックビットリード1）を発行することで移行します。ROM ロックビットリードモードに移行後に ROM 書き込み / 消去用のアドレスに対してリードアクセスを実行すると、アクセス先に対応する消去ブロックのロックビットが読み出され、読み出しデータの全ビットにコピーされます（図 26.10）。

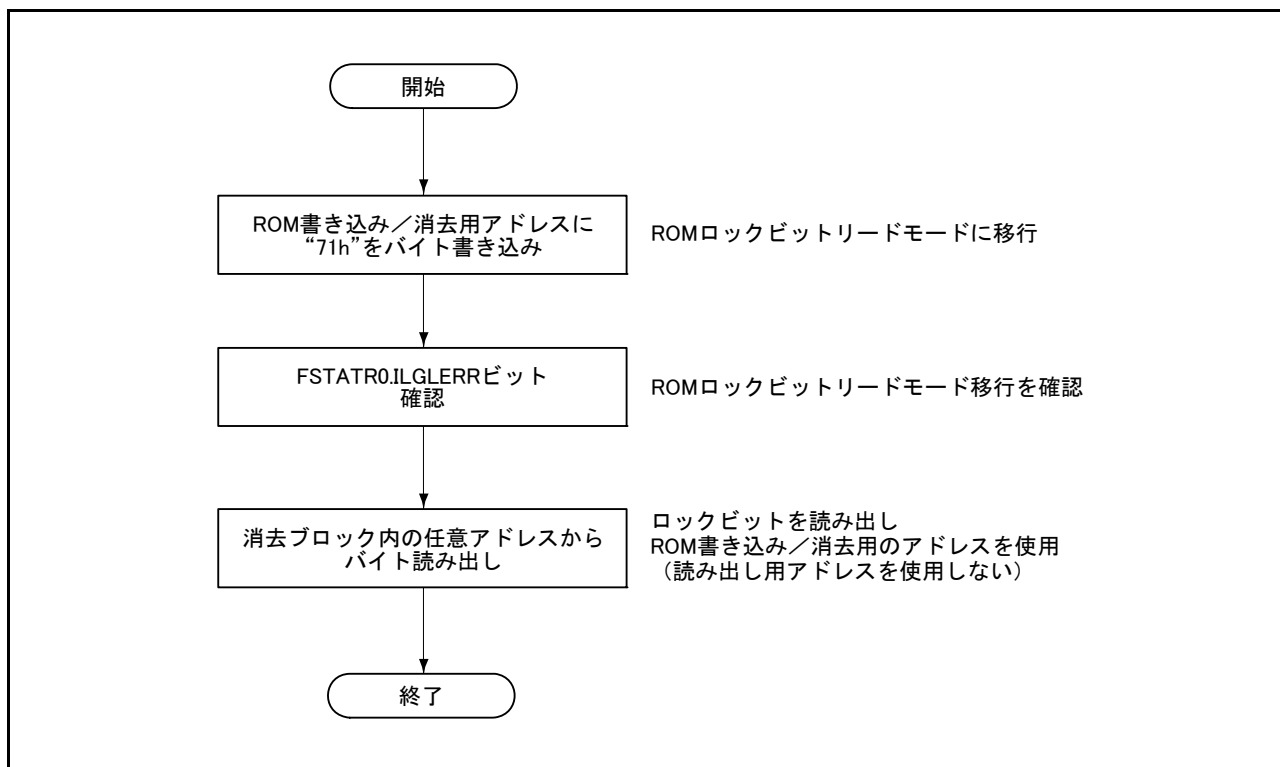


図 26.10 ROM ロックビットリードモード移行フローおよびロックビットを読む方法

26.6.4.2 書き込み / 消去方法手順

ここでは ROM への書き込み / 消去のフローについて説明します。FCU のコマンド受け付け条件については、「26.6.3 FCU のモードとコマンドの関係」を参照してください。

図 26.11 に FCU コマンドの概略フローを示します。

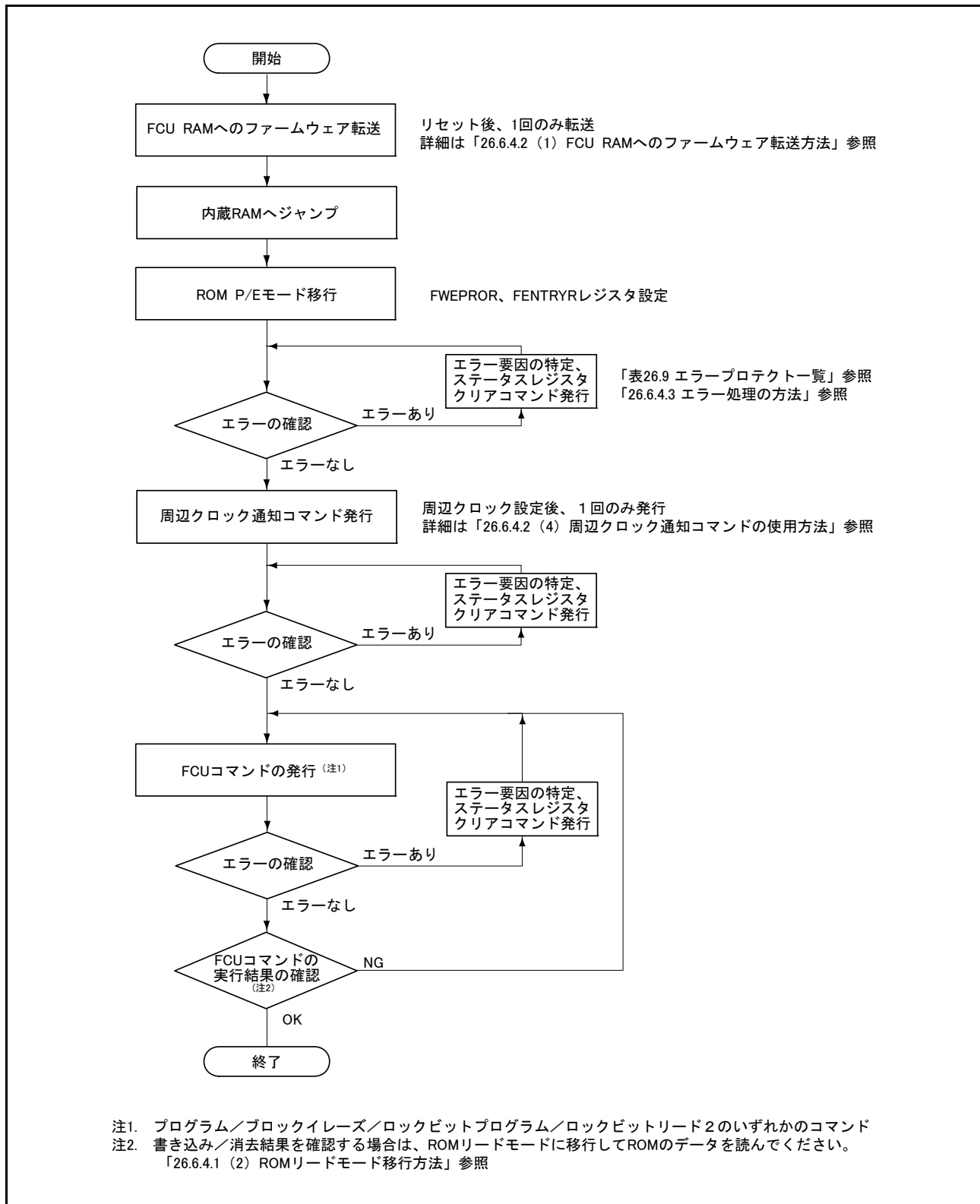


図 26.11 書き込み / 消去処理の概略フロー

(1) FCU RAM へのファームウェア転送方法

FCU コマンドを使用するためには、FCU RAM に FCU 用のファームウェアを格納する必要があります。チップ起動時には FCU RAM に FCU のファームウェアが格納されていないため、FCU ファーム領域に格納された FCU ファームウェアを FCU RAM にコピーする必要があります。また、FSTATR1.FCUERR ビットが“1”の場合には、FCU RAM に格納されたファームウェアが破壊されている可能性があるため、FCU をリセットし FCU ファームを再コピーする必要があります。

図 26.12 に FCU RAM へのファームウェア転送フローを示します。FCU RAM にデータを書く場合には、FENTRYR レジスタを“0000h”にして FCU を停止させてください。DMAC 設定方法の詳細は、「12. DMA コントローラ (DMAC)」を参照してください。

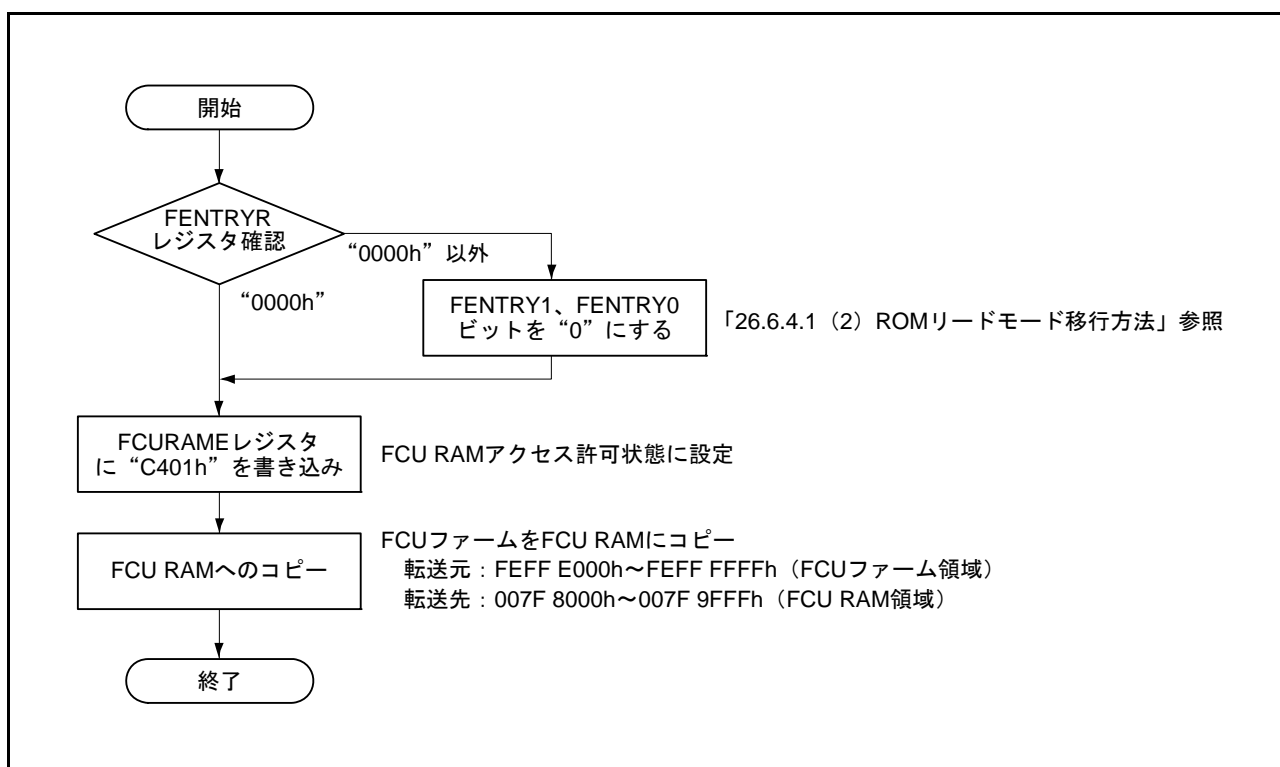


図 26.12 FCU RAM へのファームウェア転送フロー

(2) 内蔵 RAM へのジャンプ

ROM への書き込み/消去を行う場合、ROM に対する命令フェッチを実行させないため、ROM 以外の領域に移る必要があります。必要な命令コードを内蔵 RAM へコピーして内蔵 RAM へジャンプしてください。

(3) ROM P/E モード移行

FENTRYR.FENTRY1 (注), FENTRY0 ビット、FWEPROR レジスタを設定して、FCU を ROM P/E モードに設定する必要があります。詳細は「26.6.4.1 (3) ROM P/E ノーマルモード移行方法」を参照してください。

注 1. ROM 容量 1M バイト以下の製品では使用できません。

(4) 周辺クロック通知コマンドの使用法

ROM への書き込み/消去前に使用している周辺クロックの周波数を PCKAR レジスタに設定する必要があります。設定可能な周波数の範囲は 8 ~ 50MHz です。この範囲以外には設定しないでください。

PCKAR レジスタの設定後に周辺クロック通知コマンドを使用します。周辺クロック通知コマンドの第 1 サイクルでは“E9h”を、第 2 サイクルでは“03h”を ROM 書き込み/消去用のアドレスにバイト書き込みします。コマンドの第 3 サイクル~第 5 サイクルでは、ワードサイズで書き込みを実行します。この際、先頭アドレスは 4 バイト境界にアラインしたアドレスを使用してください。ROM 書き込み/消去用のアドレスに対して“0F0Fh”データの 3 回ワード書き込みを実行後、第 6 サイクルで ROM 書き込み/消去用のアドレスに対して“D0h”をバイト書き込みすると、FCU が周辺クロックの周波数設定処理を開始します。設定完了は、FSTAT0.FRDY ビットで確認可能です。

第 1 サイクル~第 6 サイクルで指定可能なアドレスは、FENTRYR.FENTRY1^(注)、FENTRY0 ビットの設定によって異なります。FENTRYR.FENTRY1^(注)、FENTRY0 ビットに対応したアドレスを指定してください。誤った FENTRYR.FENTRY1^(注)、FENTRY0 ビットとアドレス指定の組み合わせでコマンドを発行した場合には、FCU はエラーを検出しコマンドロック状態になります（「26.8.2 エラープロテクト」を参照）。

なお、この設定はリセット後、使用している周辺クロックの設定を変更しなければ、1 回の実行で後続の FCU コマンドで有効になります。

注 1. ROM 容量 1M バイト以下の製品では使用できません。

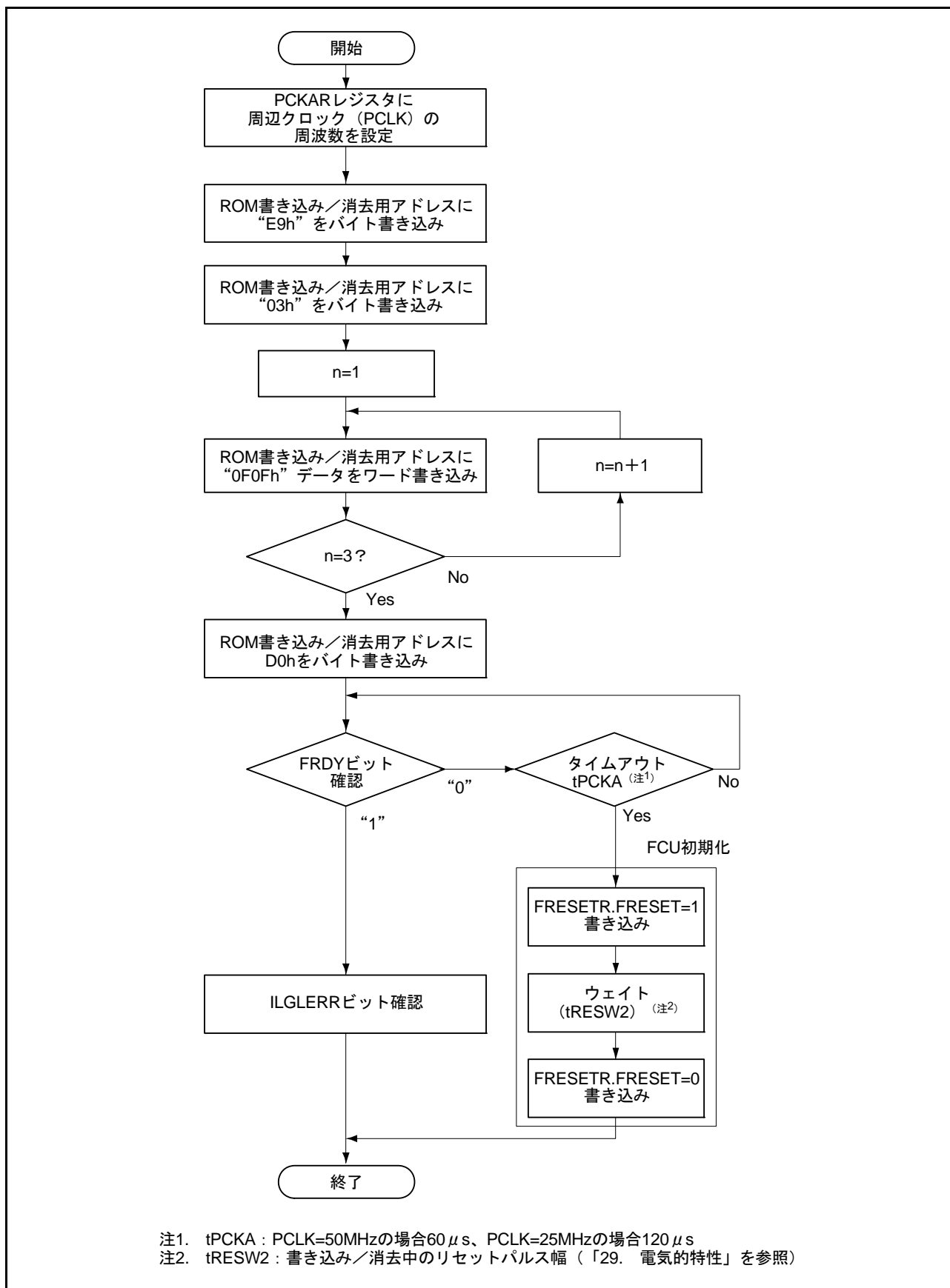


図 26.13 周辺クロック通知コマンドの使用法

(5) 書き込み方法

ROM へのデータ書き込みには、プログラムコマンドを使用します。

プログラムコマンドの第1サイクルでは“E8h”を、第2サイクルでは“80h”をROM書き込み/消去用のアドレスにバイト書き込みします。第3サイクルのアクセスでは、プログラム対象領域の先頭アドレスに対して書き込みデータをワードサイズで書いてください。この際、先頭アドレスは256バイト境界にアラインしたアドレスを使用してください。第4サイクル～第130サイクルでは、ROM書き込み/消去用のアドレスに対して書き込みデータをワードサイズで127回書いてください。第131サイクルでROM書き込み/消去用のアドレスに対して“D0h”をバイト書き込みすると、FCUがROMへの書き込み処理を開始します。書き込みの完了は、FSTAT0.FRDYビットで確認可能です。

第1サイクル～第131サイクルで指定可能なアドレスは、FENTRYR.FENTRY1^(注)、FENTRY0ビットの設定によって異なります。FENTRYR.FENTRY1^(注)、FENTRY0ビットに対応したアドレスを指定してください。誤ったFENTRYR.FENTRY1^(注)、FENTRY0ビットとアドレス指定の組み合わせでコマンドを発行した場合には、FCUはエラーを検出しコマンドロック状態になります（「26.8.2 エラープロテクト」を参照）。

第3サイクル～第130サイクルでアクセスする領域に書き込み不要なアドレスが含まれる場合は、該当アドレスに対する書き込みデータを“FFFFh”にしてください。ロックビットによるプロテクトを無効にして書き込みを実施したい場合には、FPROTR.FPROTCNビットを“1”にしてから書き込みを行ってください。

注1. ROM容量1Mバイト以下の製品では使用できません。

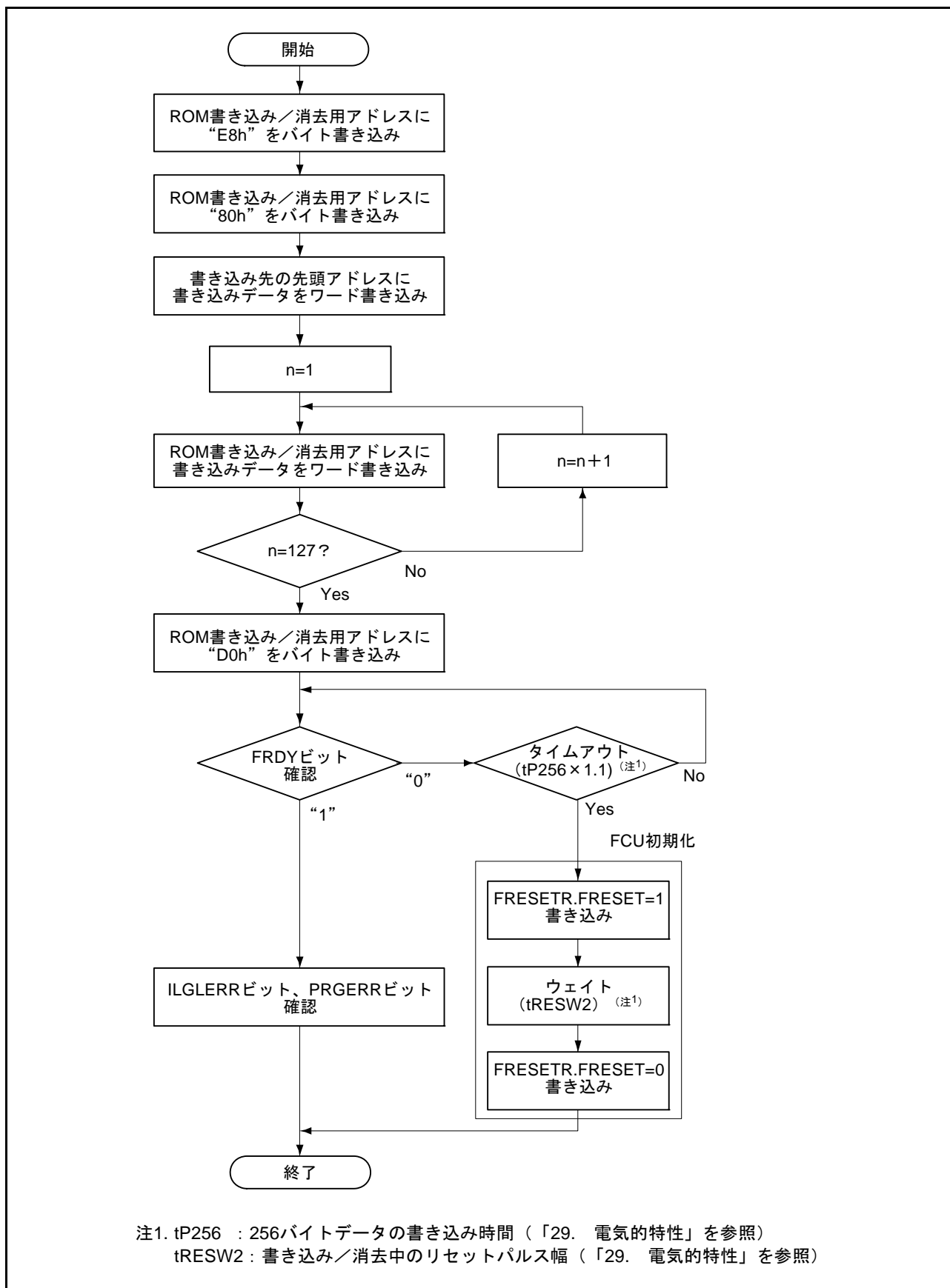


図 26.14 ROM 書き込み方法

(6) 消去方法

ROMの消去には、ブロックイレーズコマンドを使用します。

ブロックイレーズコマンドの第1サイクルでは、“20h”をROM書き込み/消去用アドレスにバイト書き込みします。第2サイクルで“D0h”を消去対象ブロック内の任意アドレスにバイト書き込みすると、FCUがROMの消去処理を開始します。消去の完了は、FSTATR0.FRDYビットで確認可能です。

ロックビットによるプロテクトを無効にして消去を実施したい場合には、FPROTR.FPROTCNビットを“1”セットしてから消去を行ってください。

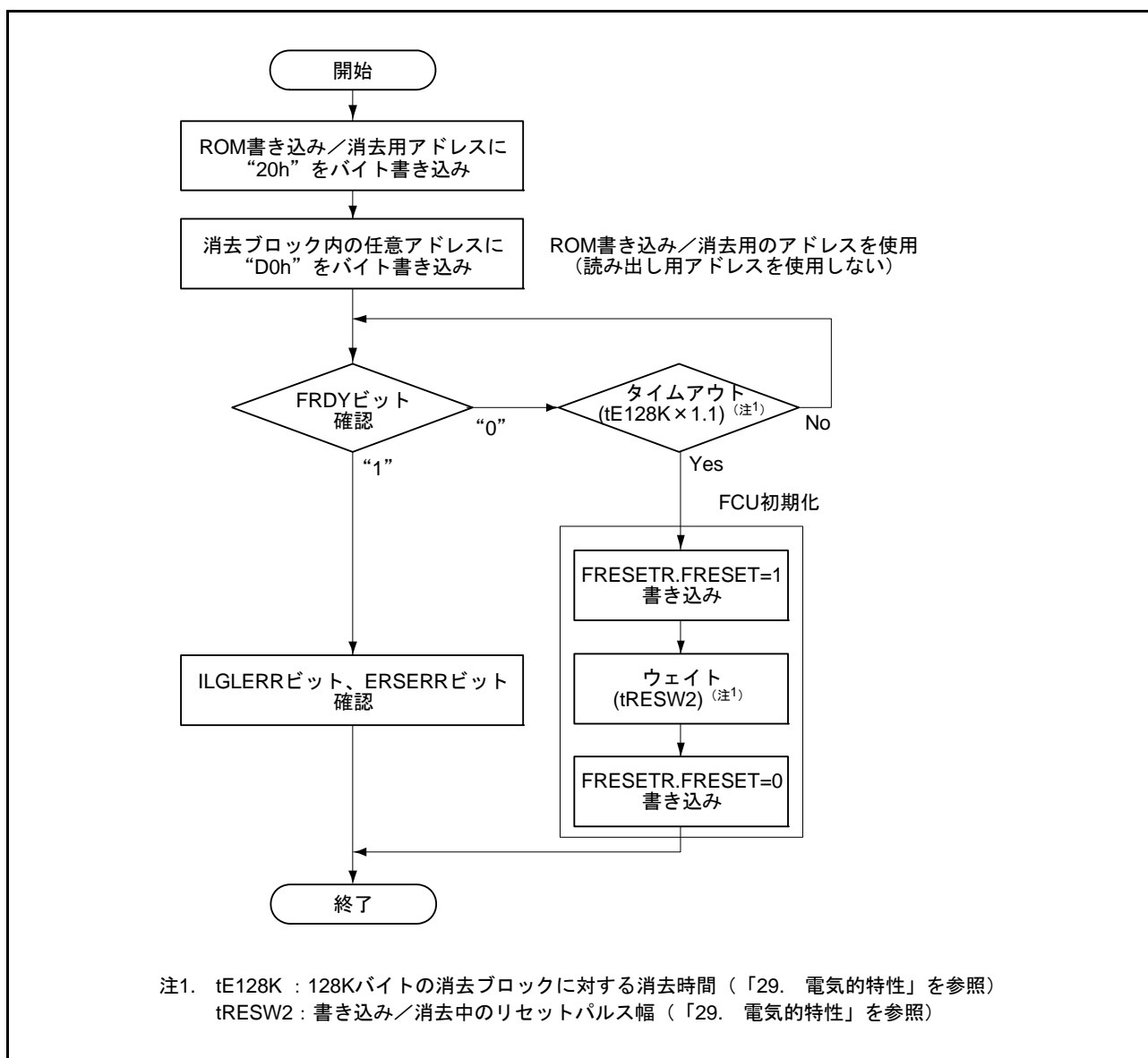


図 26.15 ROM 消去方法

(7) ロックビットの書き込み/消去方法

ユーザマットの各消去ブロックにはロックビットが内蔵されています。ロックビットに書き込みを行いたい場合には、ロックビットプログラムコマンドを使用します。ロックビットプログラムコマンドの第1サイクルでは、“77h”をROM書き込み/消去用アドレスにバイト書き込みします。第2サイクルでロックビットを書き込みたい消去ブロック内の任意アドレスに対して“D0h”をバイト書き込みすると、FCUがロックビットの書き込み処理を開始します。書き込みの完了は、FSTATR0.FRDYビットで確認可能です。

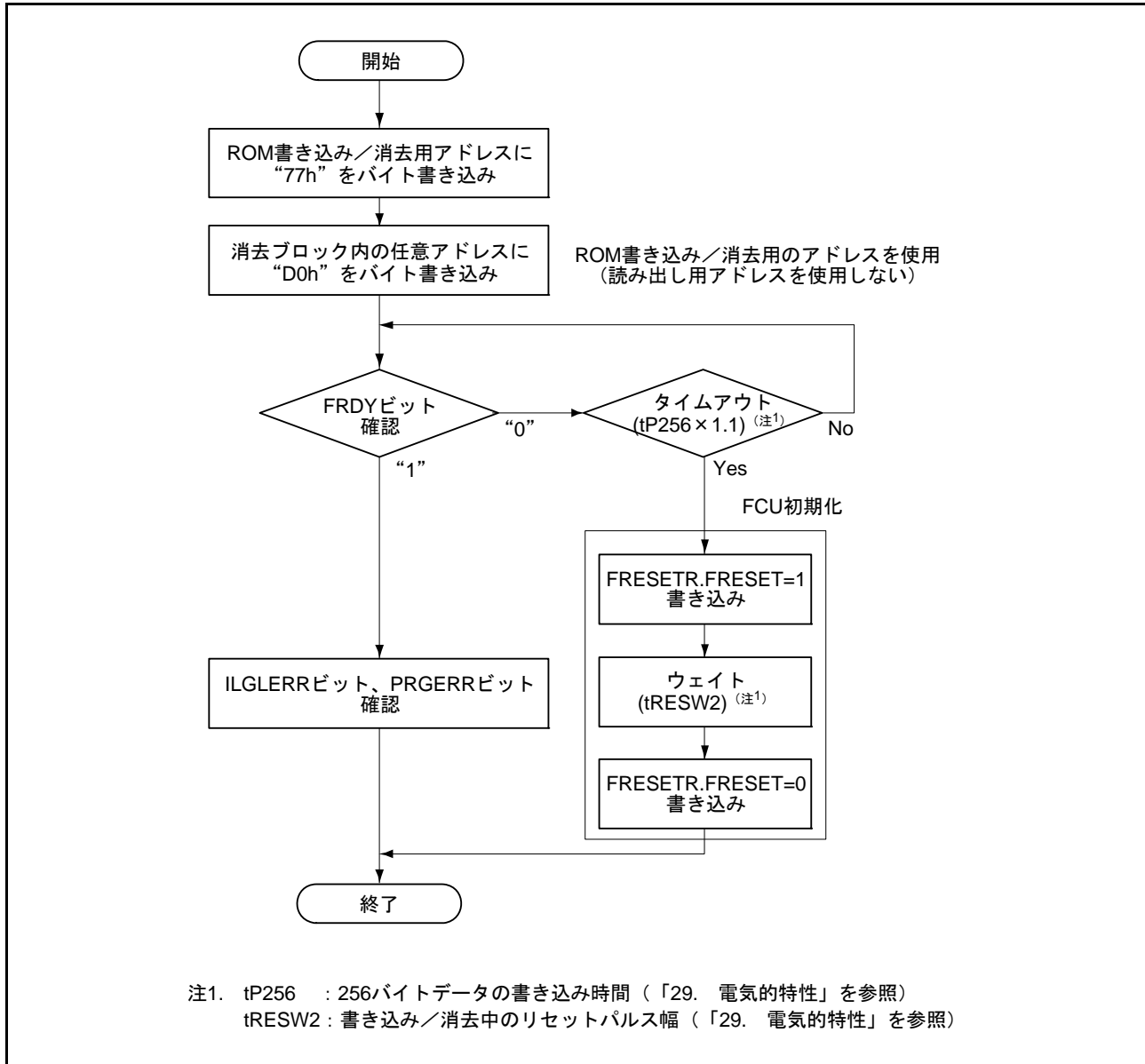


図 26.16 ロックビットのプログラムの設定の仕方

ロックビットの消去には、ブロックイレーズコマンドを使用します。

FPROTR.FPROTCN ビットが“0”の状態では、ロックビットが“0”になった消去ブロックを消去することができません。ロックビットを消去する場合には、FPROTCN ビットを“1”にした状態でブロックイレーズコマンドを発行してください。ブロックイレーズコマンドを使用すると消去ブロック内の全データが消去されます。ロックビットのみを消去することはできません。

(8) ロックビットの読み出し方法

ロックビットの読み出し方法には、メモリ領域リード方式とレジスタリード方式があります。

レジスタリード方式（FMODR.FRDMMD ビットが“1”）の場合には、ロックビットリード2コマンドを使用します。ロックビットリード2コマンドは、ロックビットを読み出したい消去ブロックの書き込み / 消去用アドレスに発行します。ロックビットリード2コマンドの第1サイクルでは“71h”を、第2サイクルでは“D0h”をそれぞれバイト書き込みすると、対応する消去ブロックのロックビットがFSTATR1.FLOCKSTビットにコピーされます。

メモリ領域リード方式（FMODR.FRDMMD ビットが“0”）の場合には、ロックビットリードモードに移行し、ROMへの書き込み / 消去用アドレスを読むことで行います。詳細については、「26.6.4.1 (5) ROMロックビットリードモード移行方法」を参照してください。

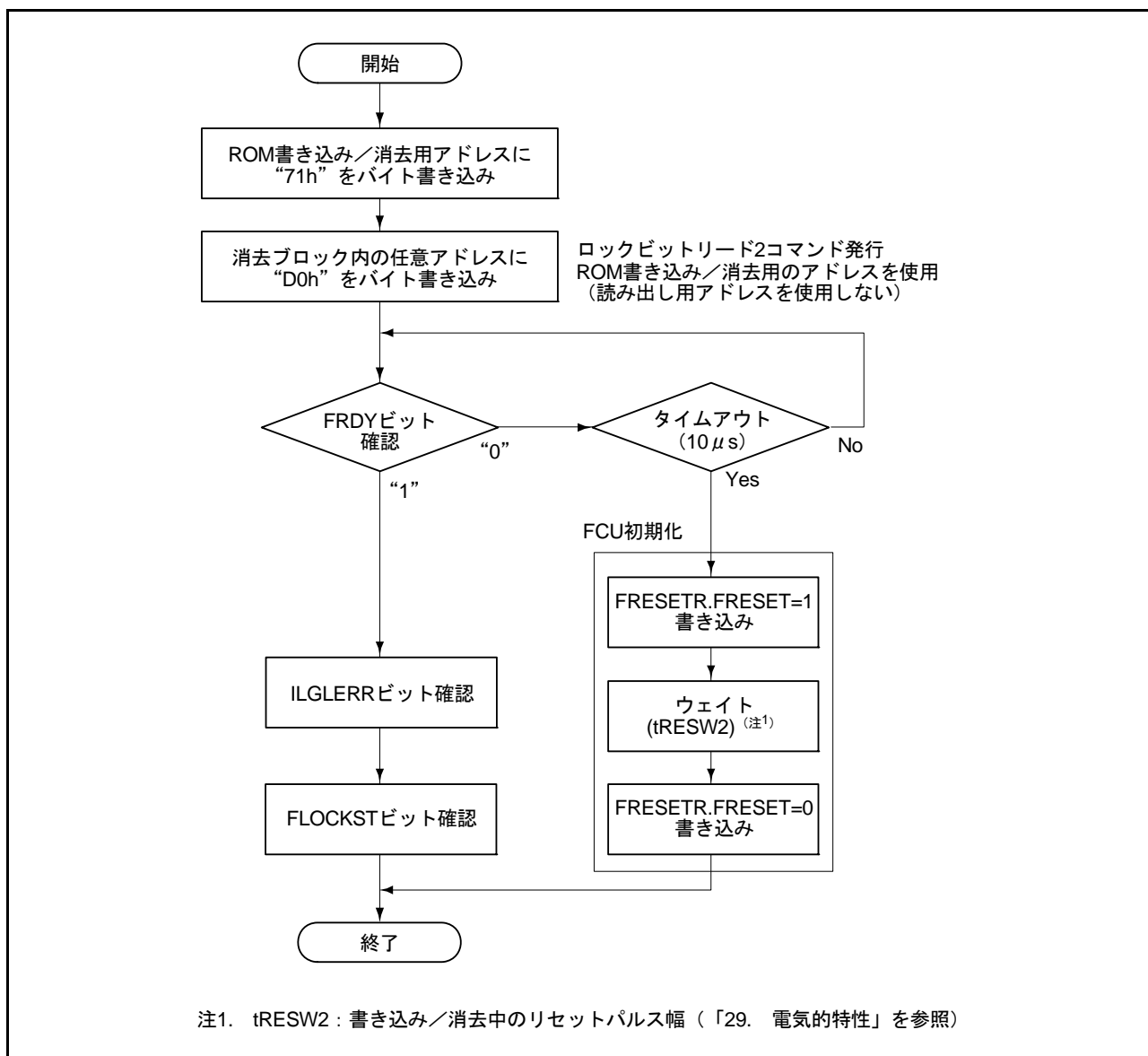


図 26.17 レジスタリード方式でロックビットを読み出す方法

26.6.4.3 エラー処理の方法

エラー発生時の処理方法を説明します。各種エラーの内容は「26.8 プロテクト」を参照してください。

(1) フラッシュステータスレジスタ 0 (FSTATR0) の確認方法

FSTATR0 レジスタの確認方法には、FSTATR0 レジスタを直接読み出す方法と、ROM ステータスリードモードでROM 書き込み/消去用アドレスを読み出す方法があります。

ROM ステータスリードモードで読み出す方法は、「26.6.4.1 (4) ROMステータスリードモード移行方法」を参照してください。

(2) フラッシュステータスレジスタ 0 (FSTATR0) のクリア方法

FSTATR0.ILGLERR, ERSERR, PRGERR ビットを“0”にしたい場合には、ステータスレジスタクリアコマンドを使用します。

FSTATR0.ILGLERR, ERSERR, PRGERR ビットのいずれかが“1”の場合には、FCU はコマンドロック状態になり、ステータスレジスタクリアコマンド以外の FCU コマンドを受け付けません。ILGLERR ビットが“1”の場合には、FASTAT.ROMAE, DFLAE, DFLRPE, DFLWPE ビットの値も確認してください。これらのビットを“0”にせずにステータスレジスタクリアコマンドを発行しても、ILGLERR ビットは“0”になりません。

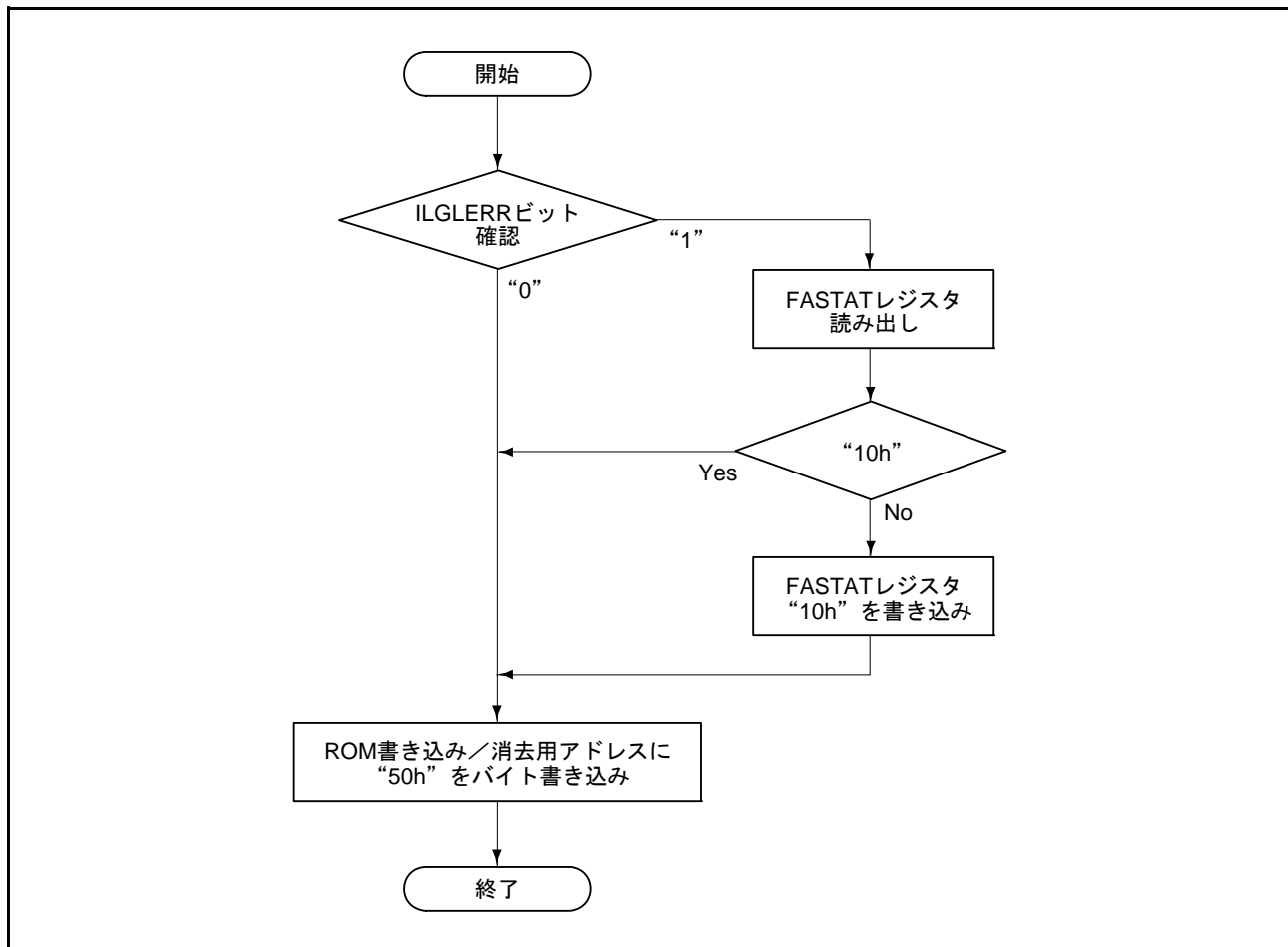


図 26.18 FSTATR0 レジスタのクリア方法

(3) FCUの初期化の方法

FCU コマンド発行後、タイムアウトにより FSTATR0.FRDY ビットが“1”にならない場合、FRESETR レジスタによる FCU の初期化が必要です。また、FSTATR1.FCUEERR ビットが“1”の場合も、FRESETR レジスタによる FCU 初期化が必要です。いずれの場合も FRESETR.FRESET ビットが“1”の状態を tRESW2 期間（「29. 電气的特性」を参照）保持してください。FRESET ビットを“1”に保持している期間は、ROM/ データフラッシュへの読み出しを禁止してください。また、FRESET ビットが“1”の状態では、FENTRYR レジスタが初期化されているため、FCU コマンドを使用することはできません。

図 26.11 の処理を先頭からやり直してください。

26.6.4.4 サスペンド/レジューム

(1) 書き込み/消去のサスペンド方法

ROM への書き込み/消去の中断には、P/E サスペンドコマンドを使用します。

P/E サスペンドコマンドを発行する場合には、事前に FSTATR0.ILGLERR, ERSERR, PRGERR ビットと FSTATR1.FCUEERR ビットが“0”で書き込み/消去処理が正常に実行されていることを確認してください。また、サスペンドコマンドが受け付け可能であることを確認するために、FSTATR0.SUSRDY ビットが“1”であることも確認してください。P/E サスペンドコマンドの発行後は、FSTATR0 レジスタと FSTATR1 レジスタを読んでエラーが発生していないことを確認してください。

書き込み/消去処理中に異常が発生した場合には、ILGLERR、PRGERR、ERSERR、FCUEERR ビットのうち少なくとも1つのビットが“1”になります。また、SUSRDY ビットが“1”であることを確認してから P/E サスペンドコマンドが受け付けられるまでの間に書き込み/消去処理が完了していた場合には、発行した P/E サスペンドコマンドが不正コマンドとして検出されるため ILGLERR ビットが“1”になります。

P/E サスペンドコマンドの受け付けと書き込み/消去処理の完了が同時であった場合にはエラーは発生せず、サスペンド状態にも遷移しません（FSTATR0.FRDY ビットが“1”、かつ FSTATR0.ERSSPD, PRGSPD ビットが“0”）。P/E サスペンドコマンドが受け付けられて、書き込み/消去の中断処理が正常に終了した場合には、FCU がサスペンド状態に遷移して FRDY ビットが“1”、かつ ERSSPD ビットまたは PRGSPD ビットが“1”になります。P/E サスペンドコマンド発行後には、ERSSPD ビットまたは PRGSPD ビットが“1”で、サスペンド状態に遷移していることを確認した後に、後続するフローを決定してください。サスペンド状態に遷移していないにも関わらず、後続するフローで P/E レジュームコマンドを発行すると、不正コマンドエラーが発生し FCU がコマンドロック状態に遷移します（「26.8.2 エラープロテクト」を参照）。

消去サスペンド状態に遷移した場合には、消去対象外のブロックに対する書き込みを実行することができません。また、書き込み/消去サスペンド状態ともに、FENTRYR レジスタをクリアすることにより、ROM リードモードに移行することも可能です。

P/E サスペンドコマンド受け付け時の FCU 動作の内容については、「26.7 サスペンド動作」を参照してください。

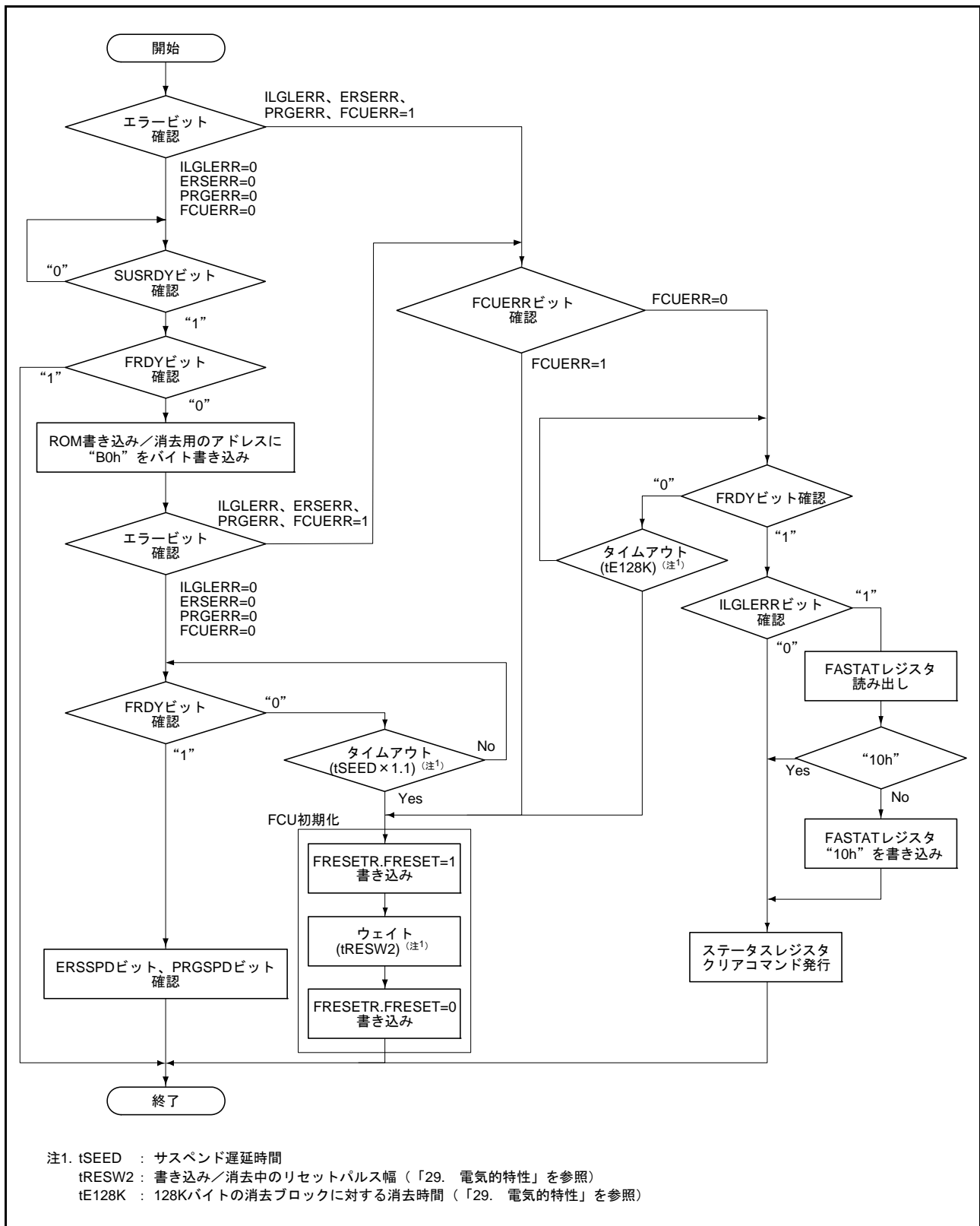


図 26.19 書き込み / 消去のサスペンド方法

(2) 書き込み / 消去のレジューム方法

サスペンドした書き込み / 消去処理を再開したい場合には、P/E レジュームコマンドを使用します。サスペンド中に FENTRYR レジスタの設定を変更した場合には、P/E レジュームコマンドを発行する前に FENTRYR レジスタを P/E サスペンドコマンド発行直前の値に再設定してください。

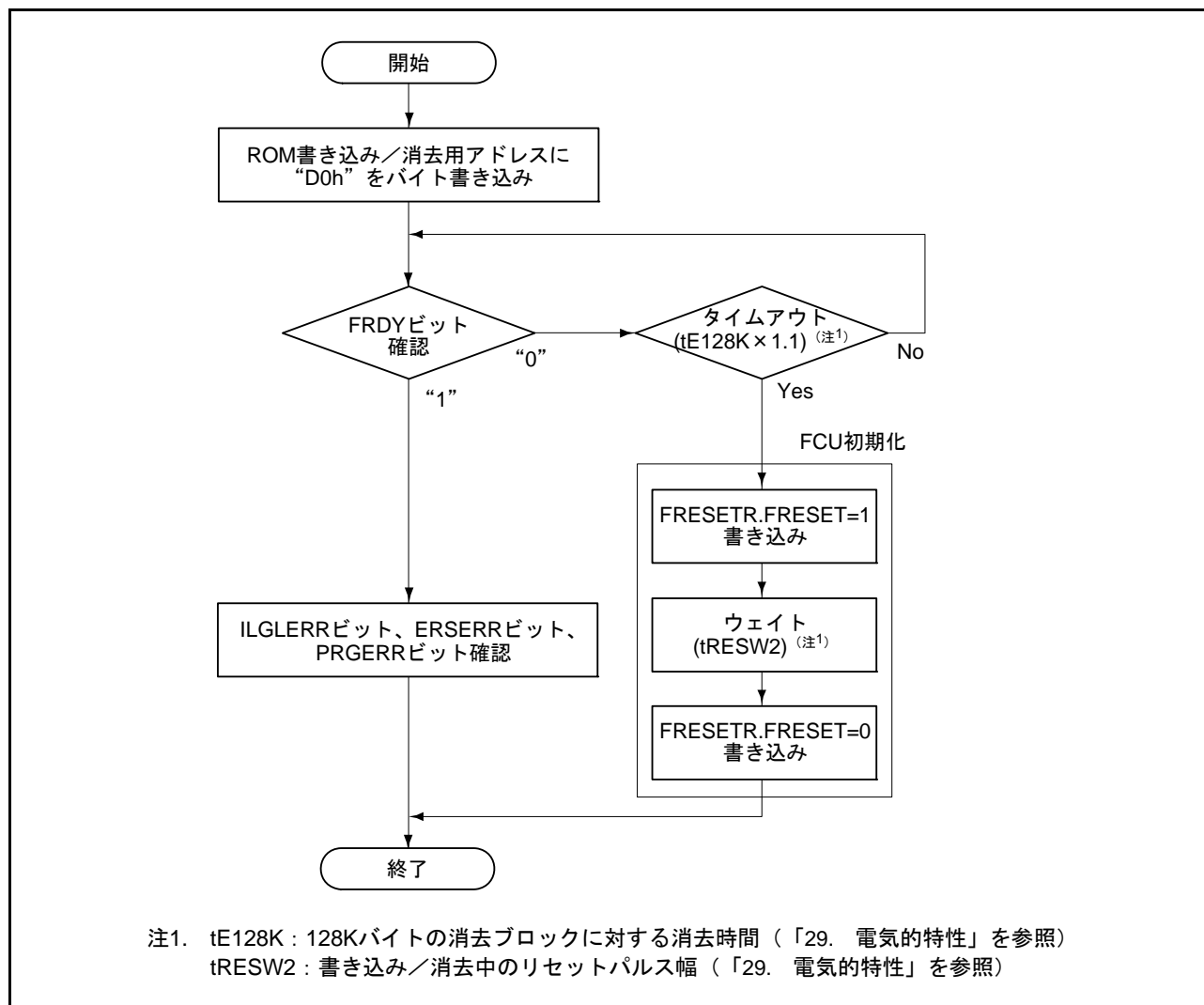


図 26.20 書き込み / 消去のレジューム方法

26.7 サスペンド動作

書き込み / 消去処理中は ROM の読み出しはできません。P/E サスペンドコマンドを発行し、ROM への書き込み / 消去処理を中断させることによって、ROM の読み出しができるようになります。P/E サスペンドコマンドには、書き込み 1 種類と消去 2 種類（サスペンド優先モード、消去優先モード）のモードを用意しています。また、中断した書き込み / 消去処理を再開する P/E レジュームコマンドも用意しています。

26.7.1 書き込み中のサスペンド

ROM への書き込み / 消去中に P/E サスペンドコマンドを発行すると、FCU は書き込み処理を中断します。図 26.21 に書き込み処理の中断動作を示します。

FCU は書き込み系のコマンドを受け付けると、FSTATR0.FRDY ビットを“0”にして書き込み処理を開始します。書き込み処理の開始後に FCU が P/E サスペンドコマンドを受け付け可能な状態に遷移すると、FSTATR0.SUSRDY ビットが“1”になります。P/E サスペンドコマンドが発行されると、FCU はサスペンドコマンドを受け付けて SUSRDY ビットを“0”にします。書き込みパルス印加中に FCU が P/E サスペンドコマンドを受け付けた場合には、FCU はパルスの印加を継続します。所定のパルス印加時間を経過すると FCU はパルスの印加を完了し、書き込みの中断処理を開始して FSTATR0.PRGSPD ビットを“1”にします。中断処理が完了すると、FCU は FRDY ビットを“1”にして書き込みサスペンド状態に遷移します。書き込みサスペンド状態で FCU が P/E レジュームコマンドを受け付けた場合には、FCU は FRDY ビットと PRGSPD ビットを“0”にして書き込み処理を再開します。

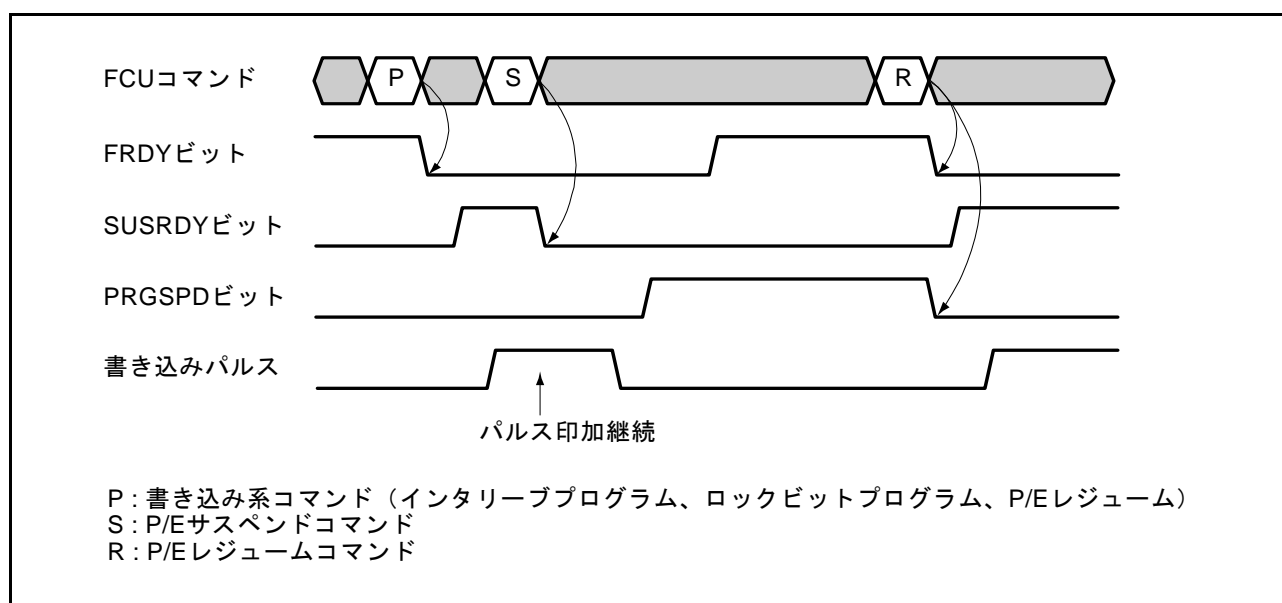


図 26.21 書き込み処理の中断動作

26.7.2 消去中のサスペンド（サスペンド優先モード）

図 26.22 に消去サスペンドモードがサスペンド優先モード（FCPSR.ESUSPMD ビットが“0”）の場合の消去処理の中断動作を示します。

FCU は消去系のコマンドを受け付けると、FSTAT0.FRDY ビットを“0”にして消去処理を開始します。消去処理の開始後に FCU が P/E サスペンドコマンドを受け付け可能な状態に移行すると、FSTAT0.SUSRDY ビットが“1”になります。P/E サスペンドコマンドが発行されると、FCU はサスペンドコマンドを受け付けて SUSRDY ビットを“0”にします。消去処理中にサスペンドコマンドを受け付けた場合には、FCU は消去パルス印加中でも中断処理を開始して FSTAT0.ERSSPD ビットを“1”にします。中断処理が完了すると、FCU は FRDY ビットを“1”にして、消去サスペンド状態に移行します。消去サスペンド状態で、FCU が P/E レジュームコマンドを受け付けた場合には、FCU は FRDY ビットと ERSSPD ビットを“0”にして、消去処理を再開します。

消去サスペンドモードの設定は、消去パルスの制御方式に影響を与えます。サスペンド優先モードでは、過去に中断されたことのない消去パルス A を印加中に FCU が P/E サスペンドコマンドを受け付けた場合には、消去パルス A の印加を中断して消去サスペンド状態に移行します。P/E レジュームコマンドにより消去が再開され、消去パルス A を再印加している期間に、FCU が P/E サスペンドコマンドを受け付けた場合には、FCU は消去パルス A の印加を継続します。所定のパルス印加時間を経過すると、FCU は消去パルスの印加を完了して消去サスペンド状態に移行します。次に FCU が P/E レジュームコマンドを受け付けて、新たな消去パルス B の印加が開始された後に、再び FCU が P/E サスペンドコマンドを受け付けた場合には、消去パルス B の印加は中断されます。サスペンド優先モードでは、1 パルスあたり 1 回の割合で消去パルスの印加を中断してサスペンド処理を優先するため、サスペンドの遅延を小さくできます。

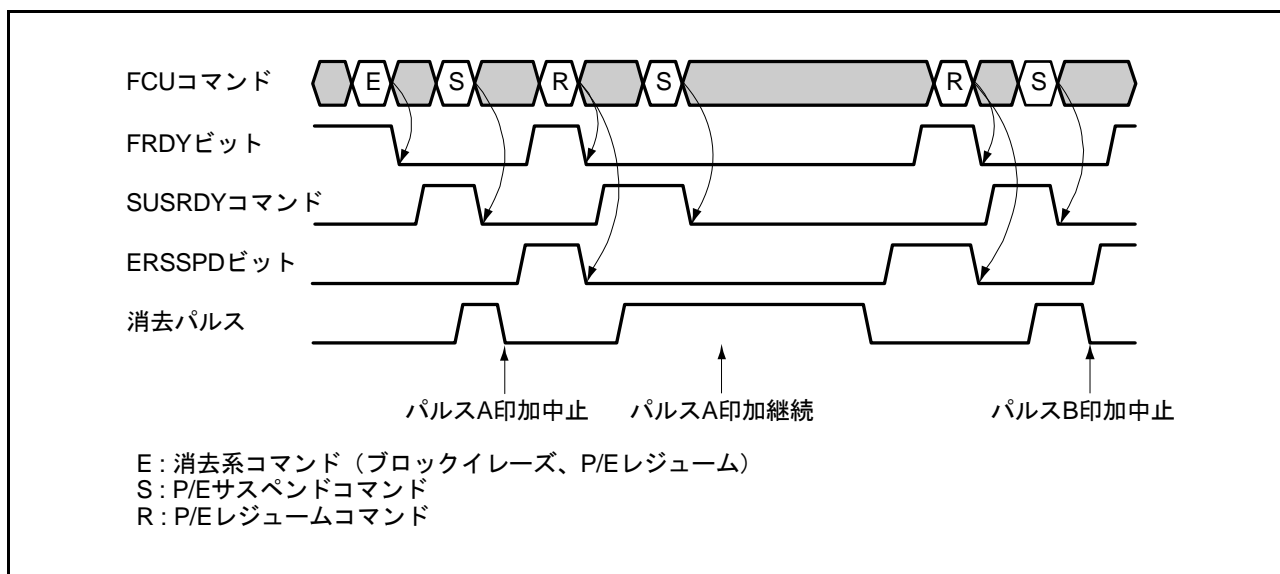


図 26.22 消去処理の中断動作（サスペンド優先モード）

26.7.3 消去中のサスペンド（消去優先モード）

図 26.23 に消去優先モード（FCPSR.ESUSPMD ビットが“1”）の場合の消去処理の中断動作を示します。消去優先モードの消去パルス制御方式は、書き込み中断処理の書き込みパルス制御方式と同様です。

FCU が消去パルス印加中に P/E サスペンドコマンドを受け付けた場合には、消去パルスの印加を継続します。このモードでは P/E レジュームコマンド発行時に消去パルスの再印加が発生しないため、サスペンド優先モードと比較して消去処理全体に必要な時間を短縮可能です。

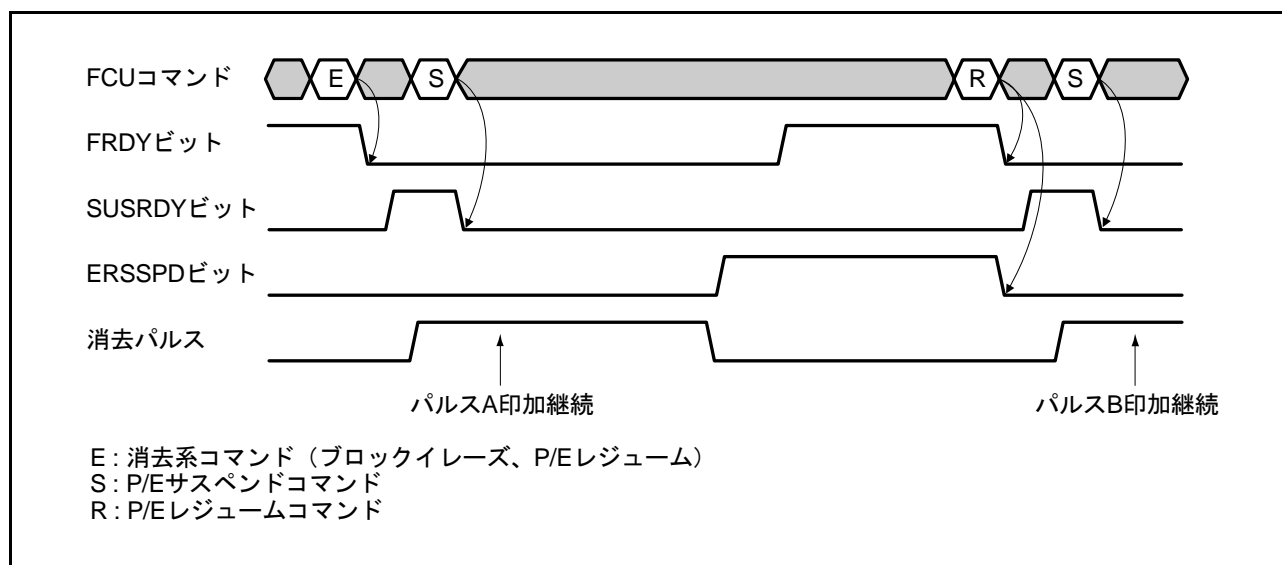


図 26.23 消去処理の中断動作（消去優先モード）

26.8 プロテクト

ROM に対する書き込み / 消去のプロテクトには、ソフトウェアプロテクト、エラープロテクトの 2 種類があります。

26.8.1 ソフトウェアプロテクト

ソフトウェアプロテクトは、制御レジスタ設定やユーザマットのロックビット設定によって ROM に対する書き込み / 消去が禁止された状態です。ソフトウェアプロテクトに違反して、ROM に対する書き込み / 消去系コマンドを発行した場合には、FCU がエラーを検出してコマンドロック状態になります。

(1) FWEPROR レジスタによるプロテクト

FWEPROR.FLWE[1:0] ビットを “01b” にしないと、いずれのモードにおいても書き換えできません。

(2) FENTRYR レジスタによるプロテクト

FENTRYR.FENTRY1^(注), FENTRY0 ビットが “0” の場合には、ROM リードモードになります。ROM リードモードでは FCU コマンドが受け付けられないため、ROM への書き込み / 消去は禁止状態になります。ROM リードモードで FCU コマンドを発行すると、FCU は不正コマンドエラーを検出してコマンドロック状態になります (「26.8.2 エラープロテクト」を参照)。

注 1. ROM 容量 1M バイト以下の製品では使用できません。

(3) ロックビットによるプロテクト

ユーザマットの各消去ブロックにはロックビットが内蔵されています。FPROTR.FPROTCN ビットが “0” の場合には、ロックビットが “0” の消去ブロックに対する書き込み / 消去は禁止状態になります。ロックビットが “0” の消去ブロックを書き込み / 消去したい場合には、FPROTCN ビットを “1” にしてください。ロックビットによるプロテクトに違反して ROM に対する書き込み / 消去系コマンドを発行すると、FCU は書き込み / 消去エラーを検出してコマンドロック状態になります (「26.8.2 エラープロテクト」を参照)。

26.8.2 エラープロテクト

エラープロテクトは、FCU コマンドの誤発行、禁止アクセスの発生により、FCU が誤動作を検知して FCU コマンドの受け付けを禁止する状態 (コマンドロック状態) です。

FCU がコマンドロック状態 (FASTAT.CMDLK ビットが “1”) になると、ステータスビット (FSTATR0.ILGLERR, ERSERR, PRGERR ビット、FSTATR1.FCUERR ビット、FASTST.ROMAE ビット) のいずれか、もしくはこれらのビットに複数 “1” がセットされ、ROM への書き込み / 消去が禁止されます。コマンドロック状態を解除するためには、FASTAT レジスタが “10h” の状態でステータスレジスタクリアコマンドを発行する必要があります。

FAEINT.CMDLKIE ビットが “1” の場合には、FCU がコマンドロック状態 (FASTAT.CMDLK ビットが “1”) になるとフラッシュインタフェースエラー (FIFERR) 割り込みが発生します。また、FAEINT.ROMAEIE ビットが “1” の場合には、FASTAT.ROMAE ビットが “1” になった場合も FIFERR 割り込みが発生します。

表 26.10 に ROM 関連のエラープロテクト内容とエラー検出時のステータスビット値 (FSTATR0.ILGLERR, ERSERR, PRGERR ビット、FSTATR1.FCUERR ビット、FASTAT.ROMAE ビット) の関係を示します。書き込み / 消去処理中にサスペンド以外のコマンドを発行するとコマンドロック状態に遷移しますが、FCU は書き込み / 消去処理を継続します。この状態で P/E サスペンドコマンドを発行して書き込み / 消去を中断することはできません。コマンドロック状態でコマンドが発行された場合には、ILGLERR ビットが “1” になります。

表26.10 エラープロテクト一覧（ROM専用+ROM/データフラッシュ共通）

分類	内容	ILGLERR	ERSERR	PRGERR	FCUERR	ROMAE	CMDLK
FENTRYR設定エラー	FENTRYR.FENTRYD, FENTRY1 (注1), FENTRY0ビットのうち複数“1”を設定	1	0	0	0	0	1
	サスペンド時とレジューム時でFENTRYRレジスタ設定が不一致	1	0	0	0	0	1
不正コマンドエラー	FCUコマンドの1サイクル目で未定義コードを指定	1	0	0	0	0	1
	複数サイクルのFCUコマンドの最終サイクルで“D0h”以外を指定	1	0	0	0	0	1
	書き込み/消去処理中にサスペンド以外のコマンドを発行	1	0	0	0	0	1
	書き込み/消去以外の処理中にサスペンドコマンドを発行	1	0	0	0	0	1
	サスペンド状態でサスペンドコマンドを発行	1	0	0	0	0	1
	サスペンド以外の状態でレジュームコマンドを発行	1	0	0	0	0	1
	書き込みサスペンド状態で書き込み/消去系（プログラム/ロックビットプログラム/ブロックイレーズ）コマンドを発行	1	0	0	0	0	1
	消去サスペンド状態でブロックイレーズコマンド発行	1	0	0	0	0	1
	消去サスペンド状態で消去サスペンド対象領域へのプログラム/ロックビットプログラムコマンドを発行	1	0	0	0	0	1
	プログラムコマンドの2サイクル目で“80h”以外を指定	1	0	0	0	0	1
	コマンドロック状態でコマンド発行	1	0/1	0/1	0/1	0/1	1
消去エラー	消去処理中のエラー発生	0	1	0	0	0	1
	FPROTR.FPROTCNビットが“0”の場合に、ロックビットが“0”の消去ブロックにブロックイレーズコマンドを発行	0	1	0	0	0	1
書き込みエラー	書き込み処理中のエラー発生	0	0	1	0	0	1
	FPROTR.FPROTCNビットが“0”の場合に、ロックビットが“0”の消去ブロックに対してプログラム/ロックビットプログラムコマンドを発行	0	0	1	0	0	1
FCUエラー	FCU内部の処理でエラー発生	0	0	0	1	0	1
ROMアクセス違反	FENTRYR.FENTRY1ビット (注1) =1、かつROM P/Eノーマルモードの場合に、00E0 0000h~00EF FFFFhに対するリードアクセスを発行	1	0	0	0	1	1
	FENTRYR.FENTRY0ビット=1、かつROM P/Eノーマルモードの場合に、00F0 0000h~00FF FFFFhに対するリードアクセスを発行	1	0	0	0	1	1
	FENTRYR.FENTRY1ビット (注1) =0で、00E0 0000h~00EF FFFFhに対するアクセスを発行	1	0	0	0	1	1
	FENTRYR.FENTRY0ビット=0で、00F0 0000h~00FF FFFFhに対するアクセスを発行	1	0	0	0	1	1
	FENTRYRレジスタが0000h以外の状態で、FFE0 0000h~FFFF FFFFhに対してリードアクセスを発行	1	0	0	0	1	1

注1. ROM容量1Mバイト以下の製品では使用できません。

26.9 ユーザブートモード

MD1、MD0 端子によりユーザブートモードに設定しリセット解除を行うと、ユーザブートモードに移行します。このときのリセットベクタは、ユーザブートマットの FF7F FFFCh 番地になります。その他のベクタテーブルは、通常のベクタテーブルを参照します（「10. 割り込みコントローラ（ICU）」を参照）。

ユーザブートモードでは、任意のインタフェースを使った書き込みプログラムを作成可能で、FCU コマンドを発行してユーザマット/データマットへの書き込み/消去を実行することができます。なお、ユーザブートマットへの書き込みは、ブートモードで実施してください。

26.10 ブートモード

26.10.1 システム構成

ブートモードでは、ホストから制御コマンドや書き込みデータを送信してユーザマット/ユーザブートマット/データマットへの書き込み/消去を実行可能です。ホストと RX610 間の通信には、内蔵の SCI を調歩同期モードで使用します。ホストには制御コマンドを送信するためのツールと書き込みデータを準備する必要があります。

RX610 をブートモードで起動すると、組み込みプログラム格納マット上のプログラムが実行されます。組み込みプログラム格納マット上のプログラムは、SCI のビットレートの自動調整とホストからの制御コマンドを受けて、書き込み/消去の制御をします。

図 26.24 にブートモード時のシステム構成を示します。

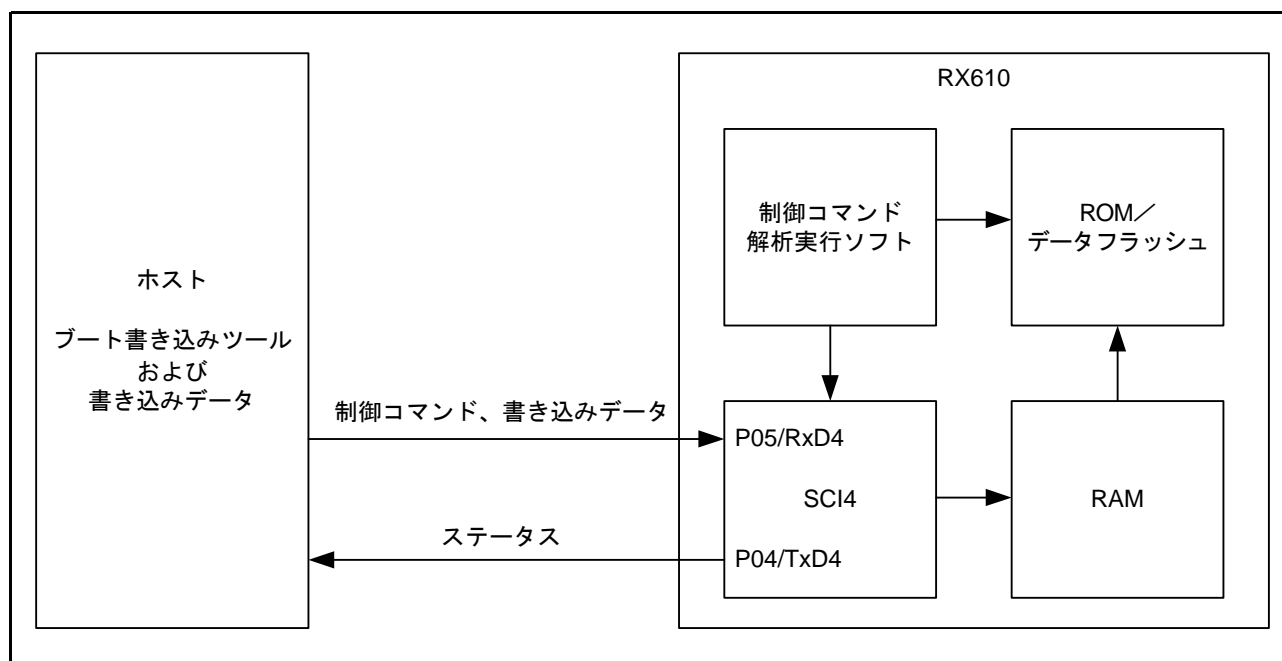


図 26.24 ブートモード時のシステム構成

26.10.2 IDコードプロテクト

ホストからの読み出し/書き込み/消去を禁止するための機能です。

ROM 上に書かれている制御コードおよび ID コードを使い、ID コードプロテクトの有効/無効と、ID コードプロテクトの判定を行います。ID コードプロテクトが有効の場合、ホストから送られてくるコードと ROM 上の制御コードおよび ID コードの一致を判定し、一致した場合のみ読み出し/書き込み/消去を許可します。

ROM 上の制御コードおよび ID コードは、32 ビット長 4 ワードのデータです。図 26.25 に制御コードおよび ID コードの構成を示します。ID コードは 32 ビット単位で設定してください。

	31	24	23	16	15	8	7	0
FFFF FFA0h	制御コード		IDコード1		IDコード2		IDコード3	
FFFF FFA4h	IDコード4		IDコード5		IDコード6		IDコード7	
FFFF FFA8h	IDコード8		IDコード9		IDコード10		IDコード11	
FFFF FFACH	IDコード12		IDコード13		IDコード14		IDコード15	

図 26.25 ROM 上の制御コードおよび ID コードの構成

(1) 制御コード

制御コードは、ID コードプロテクトの有効/無効とホストとの認証方法を決定します。表 26.11 に制御コードと認証方法を示します。

表 26.11 IDコードプロテクト仕様

制御コード	IDコード	プロテクト状態	SCI接続時の動作
45h	任意	プロテクト有効 (認証方法1)	IDコード一致 : IDコードプロテクトを完了し、ホストコマンド待ち状態へ遷移 IDコード不一致 : 再度IDコード待ち状態へ遷移。ただし、連続3回IDコード不一致の場合、全面消去を行う
52h	50h,72h,6Fh,74h,65h,63h,74h,FFh,...,FFh以外	プロテクト有効 (認証方法2)	IDコード一致 : IDコードプロテクトを完了し、ホストコマンド待ち状態へ遷移 IDコード不一致 : 再度IDコード待ち状態へ遷移
	50h,72h,6Fh,74h,65h,63h,74h,FFh,...,FFh	プロテクト有効 (認証方法3)	常にIDコード不一致として判定する
上記以外	—	プロテクト無効	全ブロック消去

(2) IDコード

ID コードは任意の値が設定できます。ただし、制御コードが 52h、ID コード 1 から順に 50h, 72h, 6Fh, 74h, 65h, 63h, 74h, FFh, ..., FFh を設定した場合は、ID コード一致判定をせず、常に不一致とし、ホストからの読み出し/書き込み/消去を禁止します。

(3) IDコードを設定するプログラム例

制御コードが 45h、ID コードが ID コード 1 から順に 01h, 02h, 03h, 04h, 05h, 06h, 07h, 08h, 0Ah, 0Bh, 0Ch, 0Dh, 0Eh, 0Fh を設定する場合のプログラム例を示します。

```
.SECTION ID_CODE, CODE
.ORG 0FFFFFFFA0h
.LWORD 45010203h
.LWORD 04050607h
.LWORD 08090A0Bh
.LWORD 0C0D0E0Fh
```

26.10.3 ブートモードの状態遷移

図 26.26 にブートモードの状態遷移図を示します。

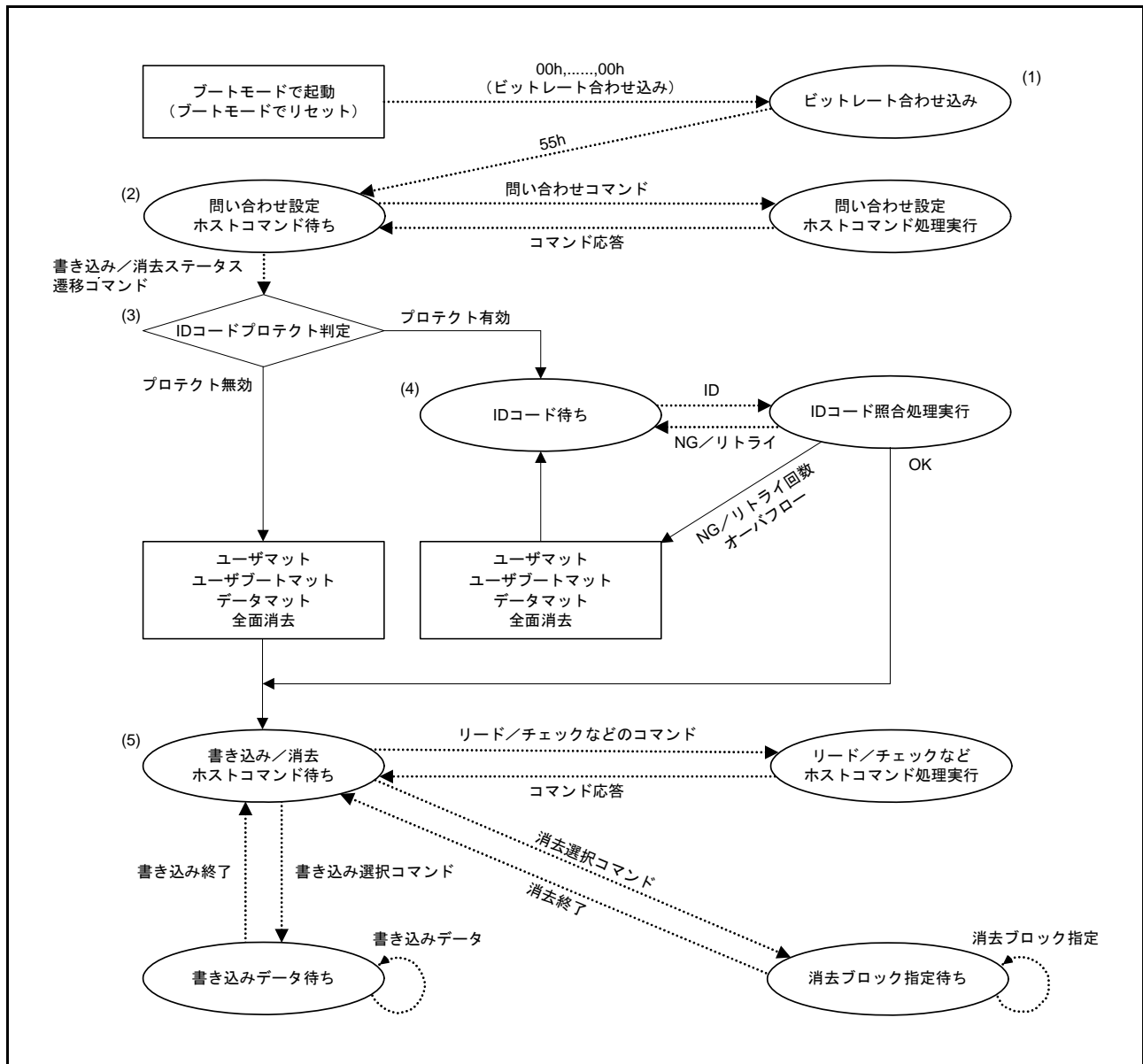


図 26.26 ブートモードの状態遷移図

(1) ビットレート合わせ込み

RX610 をブートモードで起動すると、ホストと SCI のビットレートの自動調整を実行します。ビットレートの自動調整が終了すると、RX610 からホストへ“00h”を送信します。その後、ホストから送信された“55h”を RX610 が正しく受信すると問い合わせ設定ホストコマンド待ち状態に遷移します。ビットレート合わせ込みの詳細は「26.10.4 ビットレートの自動調整」を参照してください。

(2) 問い合わせ設定ホストコマンド待ち

マットサイズ、マット構成、マット先頭アドレス、サポート状況などの問い合わせや、デバイス、クロックモード、ビットレートを選択するための状態です。ホストから書き込み / 消去ステータス遷移コマンドを発行すると、ID コードプロテクトの有効 / 無効判定に遷移します。問い合わせ設定ホストコマンドの詳細は「26.10.5 問い合わせ設定ホストコマンド待ち状態」を参照してください。

(3) ID コードプロテクト判定

ID コードプロテクトの有効 / 無効を判定します。ROM 上に書かれている制御コードおよび ID コードから ID コードプロテクトの有効 / 無効を判定し、有効時は ID コード待ち状態へ、無効時はユーザマット / ユーザブートマット / データマットの全面消去を実行し、書き込み / 消去ホストコマンド待ち状態に遷移します。制御コードおよび ID コードの詳細は「26.10.2 ID コードプロテクト」を参照してください。

(4) ID コード待ち

ホストから制御コードおよび ID コードが送られてくるのを待ちます。ホストから送られてくる制御コードおよび ID コードと ROM 上のコードを比較し、一致していれば書き込み / 消去ホストコマンド待ちに遷移します。一致しなければ ID コード待ちに戻りますが、3 回数不一致が続いた場合かつプロテクト状態が認証方法 1 の場合、全面消去し、再び ID コード待ち状態に戻ります。この不一致状態を解除するには、リセットを入れる必要があります。制御コードおよび ID コードの詳細は「26.10.2 ID コードプロテクト」を参照してください。

(5) 書き込み / 消去ホストコマンド待ち

ホストからのコマンドにしたがって、書き込み / 消去を実行する状態です。RX610 が受信したコマンドに応じて、書き込みデータ待ち状態、消去ブロック指定待ち状態、リード / チェックなどコマンド処理実行状態に遷移します。

RX610 が書き込み選択コマンドを受信した場合には、書き込みデータ待ち状態に遷移します。ホストから書き込み選択コマンドに続けて、書き込み先頭アドレス、書き込みデータを送信してください。書き込み先頭アドレスを FFFF FFFFh と設定すると、書き込みが終了して書き込みデータ待ち状態から書き込み / 消去コマンド待ち状態に遷移します。

RX610 が消去選択コマンドを受信すると、消去ブロック指定待ち状態に遷移します。ホストから消去選択コマンドに続けて、消去ブロック番号を送信してください。消去ブロック番号を FFh と設定すると、消去が終了して消去ブロック指定待ち状態から書き込み / 消去コマンド待ち状態に遷移します。ブートモードで起動してから書き込み / 消去ホストコマンド状態に遷移する間にユーザマット / ユーザブートマット / データマットの全面が消去されていますので、ブートモードで新たに書き込んだデータをリセットせずに消去したい場合以外には消去を実行する必要はありません。

書き込み / 消去以外に、ユーザマット / ユーザブートマットのサムチェック、ブランクチェック（消去チェック）、メモリリード、ステータス情報取得のためのホストコマンドもあります。

26.10.4 ビットレートの自動調整

RX610をブートモードで起動すると、ホストから連続送信される調歩同期式SCI通信のデータ“00h”のLow期間を測定します。Low期間測定時のホストのSCI送受信フォーマットは8ビットデータ、1ストップビット、パリティなし、ビットレートは9,600bpsまたは19,200bpsに設定してください。RX610は測定したLow期間からホストのSCIのビットレートを計算し、ビットレート調整が終了すると“00h”をホストへ送信します。ホストが“00h”を正常に受信した場合には、ホストからRX610に“55h”を送信してください。“00h”を正常に受信できなかった場合には、RX610をブートモードで再起動し、ビットレートの自動調整を再実行してください。RX610は“55h”を正常に受信すると“E6h”を送信し、“55h”を正常に受信できなかった場合には“FFh”を送信します。

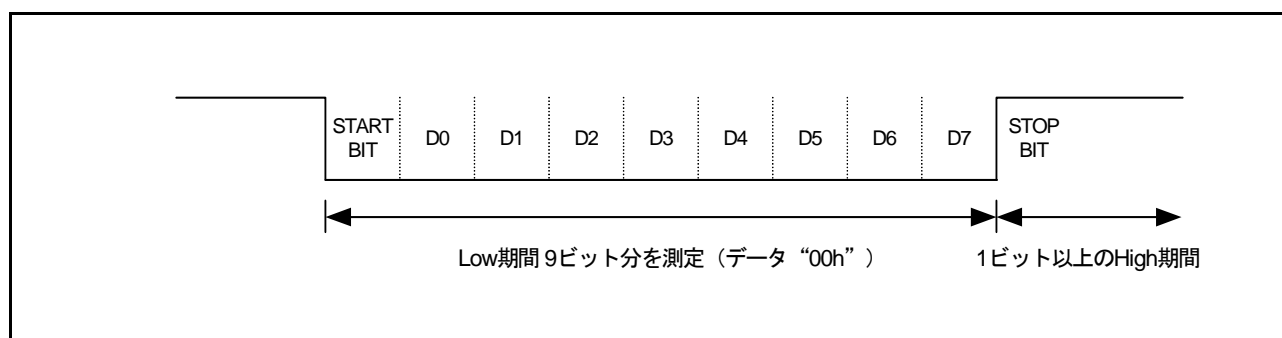


図 26.27 ビットレート自動調整時のSCI送受信フォーマット

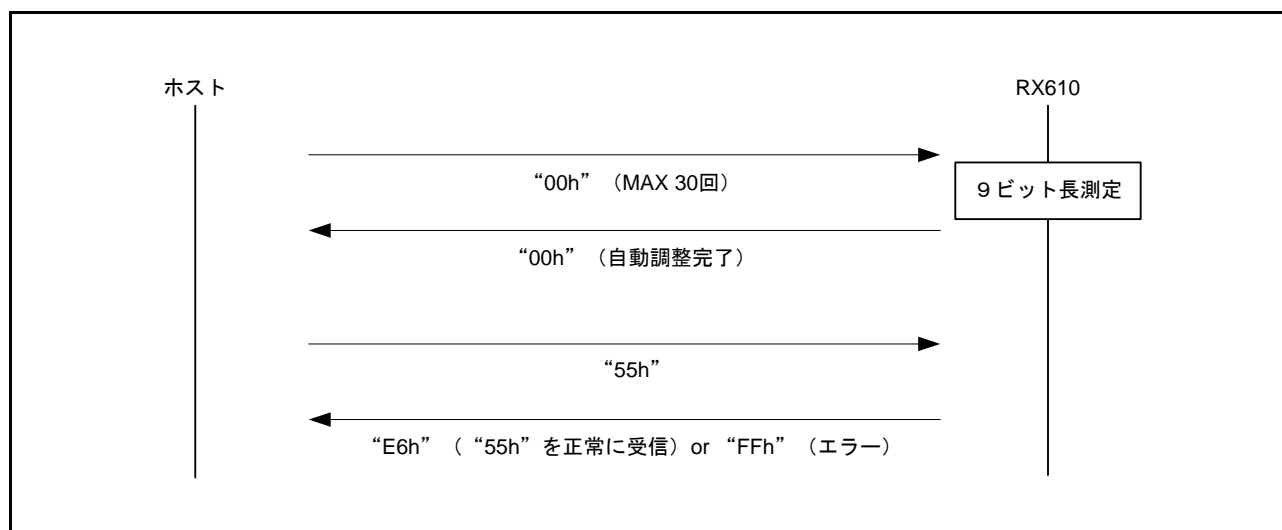


図 26.28 ホストとRX610間の通信シーケンス

ホストのSCIのビットレートやRX610の周辺クロックの周波数に依存してビットレートを正常に調整できない場合がありますので、表 26.12 に示した条件でSCIの通信を行うようにしてください。

表 26.12 ビットレート自動調整が可能な条件

ホストのSCIのビットレート	EXTALの周波数範囲
9,600bps	8 ~ 14MHz
19,200bps	8 ~ 14MHz

26.10.5 問い合わせ設定ホストコマンド待ち状態

表 26.13 に問い合わせ設定ホストコマンド待ち状態で使用可能なホストコマンドの一覧を示します。組み込みプログラムステータス問い合わせコマンドは、書き込み / 消去ホストコマンド待ち状態でも使用可能です。その他のコマンドは、問い合わせ設定ホストコマンド待ち状態でのみ使用可能です。

表26.13 問い合わせ設定ホストコマンド

ホストコマンド名	機能
サポートデバイス問い合わせ	デバイスコードと組み込みプログラム型名の問い合わせ
デバイス選択	デバイスコードの選択
クロックモード問い合わせ	クロックモード数とそれぞれの値の問い合わせ
クロックモード選択	選択されているクロックモードの通知
逡倍比問い合わせ	クロック種類、逡倍比/分周比の種類、逡倍比/分周比の問い合わせ
動作周波数問い合わせ	クロック種類、最大/最低動作周波数の問い合わせ
ユーザブートマット情報問い合わせ	ユーザブートマットの個数、先頭/最終アドレスの問い合わせ
ユーザマット情報問い合わせ	ユーザマットの個数、先頭/最終アドレスの問い合わせ
消去ブロック情報問い合わせ	ブロック数、先頭/最終アドレスの問い合わせ
書き込みサイズ問い合わせ	書き込み時のデータ長の問い合わせ
新ビットレート選択	ホスト⇄RX610間のSCI通信のビットレートを変更
書き込み消去ステータス遷移	IDコードプロテクト判定に遷移
組み込みプログラムステータス問い合わせ	処理状態の問い合わせ

ホストが未定義のコマンドを送信した場合は、RX610 がコマンドエラーのレスポンスを送信します。コマンドエラーのレスポンスの内容は以下の通りです。コマンドには、ホストが送信したコマンドの先頭バイトが格納されています。

エラーレスポンス

80h	コマンド
-----	------

問い合わせ設定ホストコマンド待ち状態では、問い合わせコマンドのレスポンスを参考にして、デバイス選択→クロックモード選択→新ビットレート選択の順にホストから選択コマンドを送信し、RX610 の設定を行ってください。また、サポートデバイス問い合わせ / クロックモード問い合わせ以外の問い合わせコマンドは、クロックモード選択コマンドを発行前には使用できません。誤った順番でコマンドを送信した場合には、RX610 がコマンドエラーのレスポンスを送信します。図 26.33 に問い合わせ設定ホストコマンド待ち状態でのホストコマンド使用例を示します。

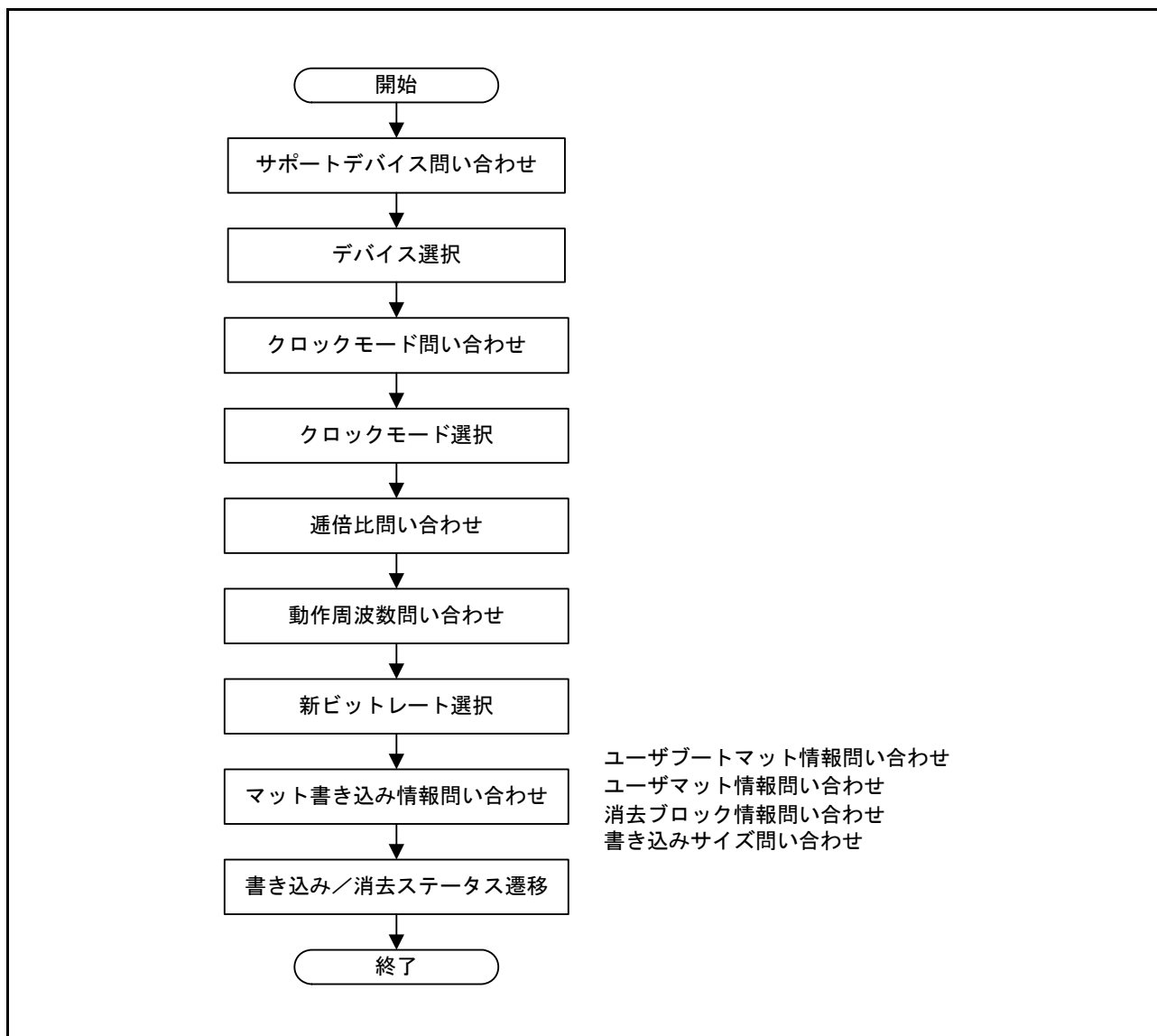


図 26.29 ユーザマット/ユーザブートマットの問い合わせ設定ホストコマンドの使用例

各ホストコマンドの詳細を以下に説明します。説明文中の“コマンド”はホストから RX610 に送信するコマンド、“レスポンス”は RX610 からホストに送信する応答です。“サムチェック”は RX610 が送信した各バイトを合計した場合に、00h になるように計算されたバイトデータを指します。

(1) サポートデバイス問い合わせ

ホストがサポートデバイス問い合わせコマンドを送信すると、ブートモード用の組み込みプログラムでサポート可能なデバイス情報をRX610が送信します。ホストがデバイスを選択した後に、サポートデバイス問い合わせコマンドを送信した場合には、RX610は選択したデバイスの情報のみ送信します。

コマンド	20h		
レスポンス	30h	サイズ	デバイス数
	文字数	デバイスコード	
	文字数	デバイスコード	
	
	文字数	デバイスコード	
	SUM		
	品名		
	品名		
	...		
	品名		

【記号説明】	サイズ（1バイト）	: デバイス数、文字数、デバイスコード、品名のデータの総バイト数
	デバイス数（1バイト）	: ブートモード用の組み込みプログラムがサポートする品種数
	文字数（1バイト）	: デバイスコードと品名の文字数
	デバイスコード（4バイト）	: チップ品名のASCIIコード
	品名（nバイト）	: サポートデバイス名のASCIIコード
	SUM（1バイト）	: サムチェック

(2) デバイス選択

ホストがデバイス選択コマンドを送信すると、RX610は指定されたデバイスがサポート可能なデバイスかチェックします。サポート可能なデバイスの場合、RX610はサポートデバイスを指定したデバイスに変更し、レスポンス（06h）を送信します。サポート可能なデバイスでなかった場合や、送信されたコマンドが不正であった場合には、RX610はエラーレスポンス（90h）を送信します。

サポートデバイス問い合わせの結果、デバイス数が01hであった場合も、デバイス選択コマンドで、問い合わせ結果のデバイスコードの値を設定してください。

コマンド	10h	サイズ	デバイスコード	SUM
レスポンス	06h			
エラー レスポンス	90h	エラー		

【記号説明】	サイズ（1バイト）	: デバイスコードの文字数（固定値で4）
	デバイスコード（4バイト）	: チップ品名のASCIIコード （サポートデバイス問い合わせコマンドの応答と同一のコード）
	SUM（1バイト）	: サムチェック
	エラー（1バイト）	: エラーコード 11h: サムチェックエラー（コマンドが不正） 21h: デバイスコード不一致

(3) クロックモード問い合わせ

ホストがクロックモード問い合わせコマンドを送信すると、選択可能なクロックモードをRX610が送信します。ホストがクロックモードを選択した後に、クロックモード問い合わせコマンドを送信した場合には、RX610は選択したクロックモードの情報のみ送信します。

コマンド	21h			
レスポンス	31h	サイズ		
	モード	モード	...	モード
	SUM			

- 【記号説明】
- サイズ（1バイト）：モード数、モードのデータの総バイト数
 - モード（1バイト）：選択可能なクロックモード（例：01h クロックモード1）
 - SUM（1バイト）：サムチェック

(4) クロックモード選択

ホストがクロックモード選択コマンドを送信すると、RX610は指定されたクロックモードがサポート可能なモードかをチェックします。サポート可能なモードの場合、RX610はクロックモードを指定したモードに変更し、レスポンス（06h）を送信します。サポート可能なモードでなかった場合や、送信されたコマンドが不正であった場合には、RX610はエラーレスポンス（91h）を送信します。

クロックモード選択コマンドは、デバイス選択コマンドを送信した後に送信してください。クロックモード問い合わせの結果、クロックモード数が00hまたは01hであった場合も、クロックモード選択コマンドで、問い合わせ結果のモードの値を設定してください。

コマンド	11h	サイズ	モード	SUM
レスポンス	06h			
エラー レスポンス	91h	エラー		

- 【記号説明】
- サイズ（1バイト）：モードの文字数（固定値で1）
 - モード（1バイト）：クロックモード（クロックモード問い合わせコマンドの応答と同一のモード）
 - SUM（1バイト）：サムチェック
 - エラー（1バイト）：エラーコード
 - 11h：サムチェックエラー（コマンドが不正）
 - 22h：クロックモード不一致

(5) 通倍比問い合わせ

ホストが通倍比問い合わせコマンドを送信すると、クロック種類、通倍比/分周比の種類、通倍比/分周比の情報をRX610が送信します。

コマンド

22h

レスポンス	32h	サイズ	クロック数		
	通倍比種類	通倍比	通倍比	...	通倍比
	通倍比種類	通倍比	通倍比	...	通倍比

	通倍比種類	通倍比	通倍比	...	通倍比
	SUM				

- 【記号説明】
- サイズ (1バイト) : クロック数、通倍比種類、通倍比のデータの総バイト数
 - クロック数 (1バイト) : クロックの種類 (例: 02h システムクロックと周辺クロックの2種類)
 - 通倍比種類 (1バイト) : 選択可能な通倍比/分周比の種類
(例: 04h システムクロックは1通倍、2通倍、4通倍、8通倍の3種類)
 - 通倍比 (1バイト) : 通倍比 (例: 04h = 4 4通倍) ← 正の数で指定
分周比 (例: FEh = -2 2分周) ← 負の数で指定
 - SUM (1バイト) : サムチェック

(6) 動作周波数問い合わせ

ホストが動作周波数問い合わせコマンドを送信すると、各クロックの動作周波数の最小値と最大値の情報をRX610が送信します。

コマンド

23h

レスポンス	33h	サイズ	クロック数
	最小周波数	最大周波数	
	最小周波数	最大周波数	
	
	最小周波数	最大周波数	
	SUM		

- 【記号説明】
- サイズ (1バイト) : クロック数、最小周波数、最大周波数のデータの総バイト数
 - クロック数 (1バイト) : クロックの種類 (例: 02h システムクロックと周辺クロックの2種類)
 - 最小周波数 (2バイト) : 動作周波数の最小値 (例: 07D0h 20.00MHz)
周波数 (MHz) の小数点第2位までの値を100倍した値
 - 最大周波数 (2バイト) : 動作周波数の最大値
書式は最小周波数と同様
 - SUM (1バイト) : サムチェック

(7) ユーザブートマット情報問い合わせ

ホストがユーザブートマット情報を問い合わせると、ユーザブートマットのエリア数とアドレスの情報をRX610が送信します。

コマンド	24h		
レスポンス	34h	サイズ	エリア数
	エリア先頭アドレス		
	エリア最終アドレス		
	エリア先頭アドレス		
	エリア最終アドレス		
	...		
	エリア先頭アドレス		
	エリア最終アドレス		
	SUM		

- 【記号説明】
- サイズ（1バイト）：エリア数、エリア先頭アドレス、エリア最終アドレスのデータの総バイト数
 - エリア数（1バイト）：ユーザブートマットのエリア数（連続したエリアは1エリアと数える）
 - エリア先頭アドレス（4バイト）：ユーザブートマットエリアの先頭アドレス
 - エリア最終アドレス（4バイト）：ユーザブートマットエリアの最終アドレス
 - SUM（1バイト）：サムチェック

(8) ユーザマット情報問い合わせ

ホストがユーザマット情報を問い合わせると、ユーザマットのエリア数とアドレスの情報をRX610が送信します。

コマンド	25h		
レスポンス	35h	サイズ	エリア数
	エリア先頭アドレス		
	エリア最終アドレス		
	エリア先頭アドレス		
	エリア最終アドレス		
	...		
	エリア先頭アドレス		
	エリア最終アドレス		
	SUM		

- 【記号説明】
- サイズ（1バイト）：エリア数、エリア先頭アドレス、エリア最終アドレスのデータの総バイト数
 - エリア数（1バイト）：ユーザマットのエリア数（連続したエリアは1エリアと数える）
 - エリア先頭アドレス（4バイト）：ユーザマットエリアの先頭アドレス
 - エリア最終アドレス（4バイト）：ユーザマットエリアの最終アドレス
 - SUM（1バイト）：サムチェック

(9) 消去ブロック情報問い合わせ

ホストが消去ブロック情報を問い合わせると、ユーザマットの消去ブロック数とアドレスの情報を RX610 が送信します。

コマンド	26h		
レスポンス	36h	サイズ	ブロック数
	ブロック先頭アドレス		
	ブロック最終アドレス		
	ブロック先頭アドレス		
	ブロック最終アドレス		
	...		
	ブロック先頭アドレス		
	ブロック最終アドレス		
	SUM		

- 【記号説明】
- サイズ (1バイト) : ブロック数、ブロック先頭アドレス、ブロック最終アドレスのデータの総バイト数
 - ブロック数 (1バイト) : ユーザマットの消去ブロック数
 - エリア先頭アドレス (4バイト) : 消去ブロックの先頭アドレス
 - エリア最終アドレス (4バイト) : 消去ブロックの最終アドレス
 - SUM (1バイト) : サムチェック

(10) 書き込みサイズ問い合わせ

ホストが書き込みサイズを問い合わせると、RX610 が書き込みサイズの情報を送信します。

コマンド	27h			
レスポンス	37h	サイズ	書き込みサイズ	SUM

- 【記号説明】
- サイズ (1バイト) : 書き込みサイズの文字数 (固定値で2)
 - 書き込みサイズ (2バイト) : 書き込み単位 (バイト数単位)
 - SUM (1バイト) : サムチェック

(11) 新ビットレート選択

ホストが新ビットレート選択コマンドを送信すると、RX610は内蔵SCIを指定された新ビットレートに設定可能かをチェックします。新ビットレートの設定が可能な場合、RX610はレスポンス（06h）を送信し、SCIを新ビットレートに設定します。新ビットレートの設定ができない場合や、送信されたコマンドが不正であった場合には、RX610はエラーレスポンス（BFh）を送信します。ホストはレスポンス（06h）を受信すると、新ビットレート選択コマンド送信時のビットレートで1ビット期間ウェイトし、ホストのビットレートを新ビットレートに変更します。その後、ホストは新ビットレートで確認用のデータ（06h）を送信し、RX610は確認データのレスポンス（06h）を送信します。

新ビットレート選択コマンドは、クロックモード選択コマンドを送信した後に送信してください。

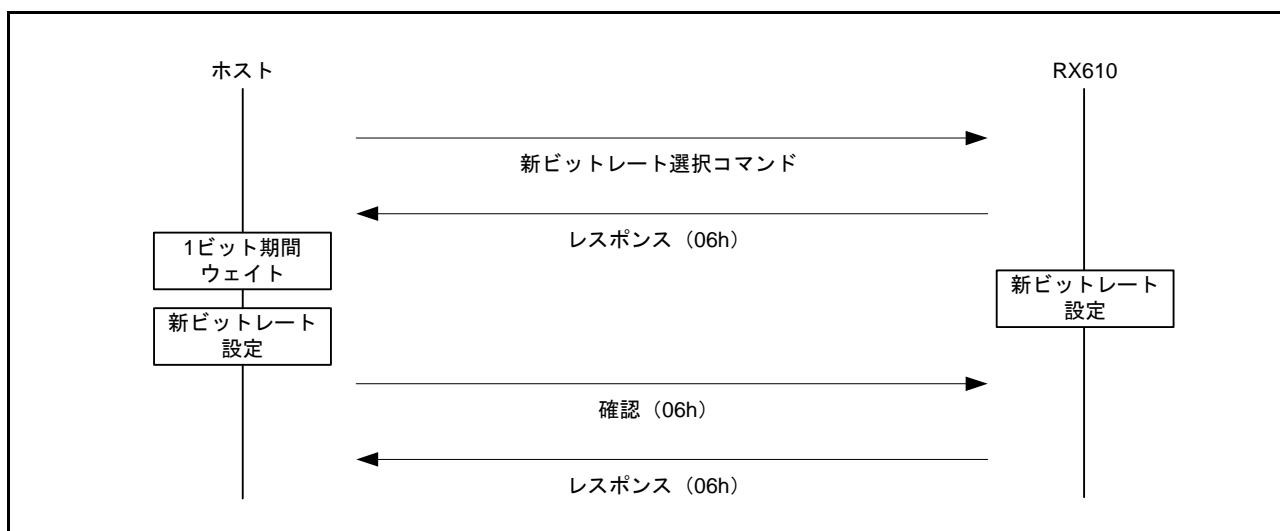


図 26.30 新ビットレート選択のシーケンス

コマンド	3Fh	サイズ	ビットレート		入力周波数
	クロック数	通倍比 1	通倍比 2		
	SUM				
レスポンス	06h				
エラー					
レスポンス	BFh	エラー			
確認	06h				
レスポンス	06h				

【記号説明】	サイズ (1バイト)	: ビットレート、入力周波数、クロック数、通倍比のデータの総バイト数
	ビットレート (2バイト)	: 新ビットレート (例: 00C0h 19200bps) ビットレート値を1/100した値を設定
	入力周波数 (2バイト)	: RX610の入力周波数 (例: 04E2h 12.50MHz) 入力周波数の小数点第2位までを100倍した値を設定
	クロック数 (1バイト)	: クロックの種類 (例: 02h システムクロックと周辺クロックの2種類)
	通倍比 1 (1バイト)	: 入力周波数に対するシステムクロック (ICLK) の通倍比/分周比 通倍比 (例: 04h = 4 4通倍) ← 正の数で指定 分周比 (例: FEh = -2 2分周) ← 負の数で指定
	通倍比 2 (1バイト)	: 入力周波数に対する周辺クロック (PCLK) の通倍比/分周比 通倍比 1と同じフォーマット
	SUM (1バイト)	: サムチェック
	エラー	: エラーコード 11h: サムチェックエラー 24h: ビットレート選択不可エラー 25h: 入力周波数エラー 26h: 通倍比エラー 27h: 動作周波数エラー

- ビットレート選択不可エラー

新ビットレート選択コマンドで指定したビットレートを、RX610のSCIが誤差4%未満で設定できない場合にビットレート選択不可エラーが発生します。新ビットレート選択コマンドで指定したビットレートをB、入力周波数を f_{EX} 、通倍比2を $M_{P\phi}$ 、SCIのビットレートレジスタ(BRR)の設定値をN、シリアルモードレジスタ(SMR)のCKS[1:0]ビットの設定値をnとした場合のビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{f_{EX} \times M_{P\phi} \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

26.10.6 IDコード待ち状態

表 26.16 に ID コード待ち状態で使用可能なホストコマンドの一覧を示します。

表 26.16 IDコードチェックホストコマンド

ホストコマンド名	機能
IDコードチェック	IDコードチェックを実施

ホストが未定義のコマンドを送信した場合は、RX610 がコマンドエラーのレスポンスを送信します。コマンドエラーの内容は、「26.10.5 問い合わせ設定ホストコマンド待ち状態」を参照してください。

(1) IDコードチェック

コマンド	60h	サイズ	制御コード+ IDコード
	SUM		
	ACK		
レスポンス	E0h	エラー	

【記号説明】	サイズ（1バイト）	: IDコードのバイト数（固定値で16）
	IDコード（16バイト）	: 制御コード（1バイト）+ IDコード（15バイト）
	SUM（1バイト）	: サムチェック
	ACK（1バイト）	: ACKコード 26h : 書き込み消去ステータス遷移に対する応答
	エラー（1バイト）	: エラーコード 11h : チェックサムエラー 61h : IDコード不一致 63h : IDコード不一致[消去エラー] IDコード不一致で消去実行の結果、エラーとなった場合

26.10.7 書き込み / 消去ホストコマンド待ち状態

表 26.17 に書き込み / 消去ホストコマンド待ち状態で使用可能なホストコマンドの一覧を示します。

表 26.17 書き込み/消去ホストコマンド

ホストコマンド名	機能
ユーザブートマット書き込み選択	ユーザブートマット書き込みを選択
ユーザマット書き込み選択	ユーザマット書き込みを選択
256バイト書き込み	256バイト書き込み
消去選択	消去を選択
ブロック消去	ブロックデータの消去
メモリリード	メモリの読み出し
ユーザブートマットサムチェック	ユーザブートマットのサムチェック
ユーザマットサムチェック	ユーザマットのサムチェック
ユーザブートマットブランクチェック	ユーザブートマットのブランクチェック
ユーザマットブランクチェック	ユーザマットのブランクチェック
リードロックビットステータス	ロックビットの読み出し
ロックビットプログラム	ロックビットの書き込み
ロックビット有効	ロックビットプロテクト有効設定
ロックビット無効	ロックビットプロテクト無効設定
組み込みプログラムステータス問い合わせ	RX610の状態の問い合わせ

ホストが未定義のコマンドを送信した場合は、RX610 がコマンドエラーのレスポンスを送信します。コマンドエラーの内容は、「26.10.5 問い合わせ設定ホストコマンド待ち状態」を参照してください。

ROM の書き込みを実行する場合には、ホストから書き込み選択コマンド（ユーザマット書き込み選択 / ユーザブートマット書き込み選択）を送信後、256 バイト書き込みコマンドを送信します。ホストが書き込み選択コマンドを送信すると、RX610 は書き込みデータ待ち状態になります（「26.10.3 ブートモードの状態遷移」を参照）。書き込みデータ待ちの状態では、ホストが 256 バイト書き込みコマンドを送信すると、RX610 は ROM にデータを書き込みます。ホストが書き込み先のアドレスを FFFF FFFFh に設定して 256 バイト書き込みコマンドを送信すると、RX610 は書き込み終了と判定し、書き込み / 消去ホストコマンド待ち状態に遷移します。

ROM の消去を実行する場合には、ホストから消去選択コマンドを送信後、ブロック消去コマンドを送信します。ホストが消去選択コマンドを送信すると、RX610 は消去ブロック指定待ち状態になります（「26.10.3

ブートモードの状態遷移」を参照）。消去ブロック指定待ちの状態では、ホストがブロック消去コマンドを送信すると、RX610 は ROM をブロック消去します。ホストがブロック番号に FFh を設定してブロック消去コマンドを送信すると、RX610 は消去終了と判定し、書き込み / 消去ホストコマンド待ち状態に遷移します。

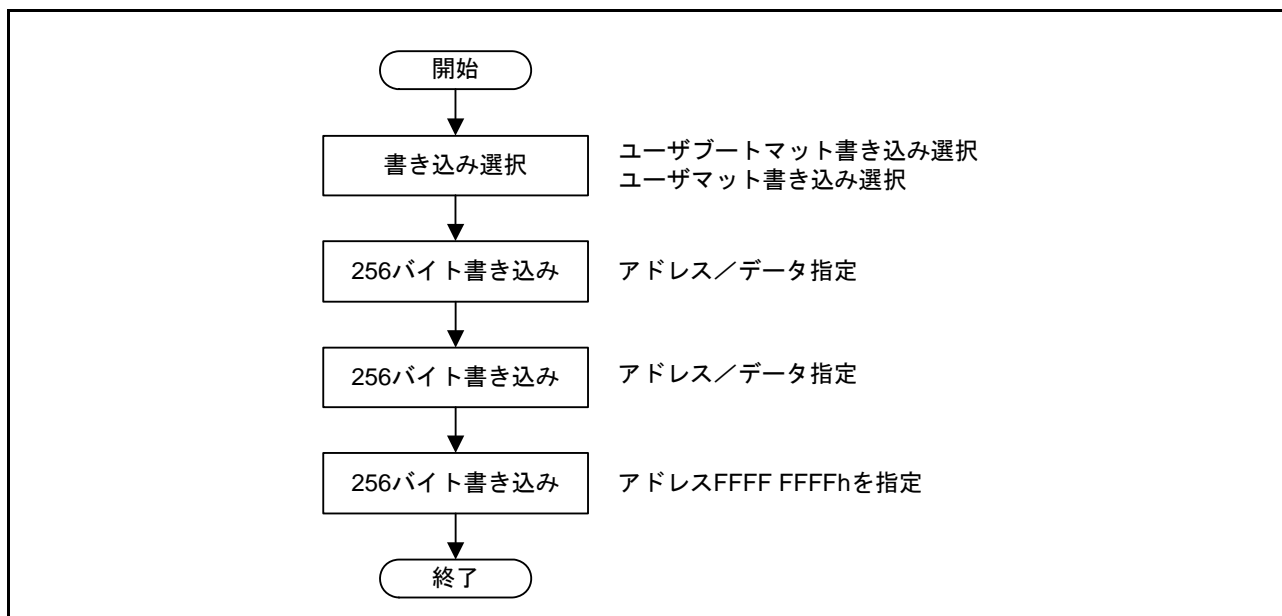


図 26.31 ブートモードでの ROM 書き込み方法

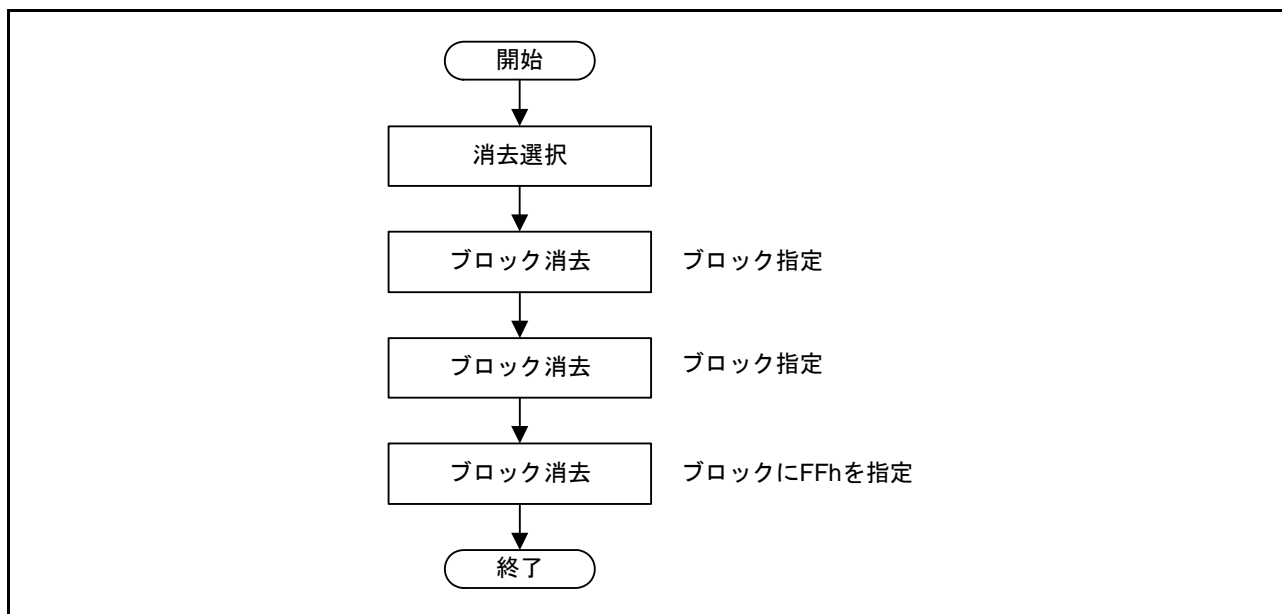


図 26.32 ブートモードでの ROM 消去方法

各ホストコマンドの詳細を以下に説明します。説明文中の“コマンド”はホストから RX610 に送信するコマンド、“レスポンス”は RX610 からホストに送信する応答です。“サムチェック”は、送信した各バイトを合計した場合に、00h になるように計算されたバイトデータを指します。

(1) ユーザブートマット書き込み選択

ホストがユーザブートマット書き込み選択コマンドを送信すると、RX610はユーザブートマット書き込みプログラムを選択し、書き込みデータ待ち状態になります。

コマンド	42h
レスポンス	06h

(2) ユーザマット書き込み選択

ホストがユーザマット書き込み選択コマンドを送信すると、RX610はユーザマット書き込みプログラムを選択し、書き込みデータ待ち状態になります。

コマンド	43h
レスポンス	06h

(3) 256バイト書き込み

ホストが256バイト書き込みコマンドを送信すると、RX610はROMの書き込みを実行します。ROMの書き込みが正常に終了すると、RX610はレスポンス（06h）を送信します。書き込み処理中にエラーが発生すると、RX610はエラーレスポンス（D0h）を送信します。

コマンド	50h	書き込みアドレス		
	データ	データ	...	データ
	SUM			
レスポンス	06h			
エラー レスポンス	D0h	エラー		

【記号説明】	書き込みアドレス（4バイト）	: 書き込み先のアドレス 書き込み実行時には256バイト境界にアラインしたアドレス 書き込み終了を指定する場合にはFFFF FFFFhを送信
	データ（256バイト）	: 書き込みデータ 書き込み不要なバイトにはFFhを指定 書き込み終了を指定する場合にはデータの送信は不要 （書き込みアドレス→SUMの順で送信する）
	SUM（1バイト）	: サムチェック
	エラー（1バイト）	: エラーコード 11h: サムチェックエラー 2Ah: アドレスエラー（アドレスが指定のマット内でない） 53h: 書き込みエラーが発生し書き込めない

(4) 消去選択

ホストが消去選択コマンドを送信すると、RX610は消去プログラムを選択し、消去ブロック指定待ち状態になります。

コマンド

48h

レスポンス

06h

(5) ブロック消去

ホストがブロック消去コマンドを送信すると、RX610はROMの消去を実行します。ROMの消去が正常に終了すると、RX610はレスポンス（06h）を送信します。消去処理中にエラーが発生すると、RX610はエラーレスポンス（D8h）を送信します。

コマンド

58h	サイズ	ブロック	SUM
-----	-----	------	-----

レスポンス

06h

エラー
レスポンス

D8h	エラー
-----	-----

【記号説明】	<p>サイズ（1バイト） : ブロックのデータのバイト数（固定値で1）</p> <p>ブロック（1バイト） : 消去する消去ブロックの番号 消去終了を指定する場合にはFFhを送信</p> <p>SUM（1バイト） : サムチェック</p> <p>エラー（1バイト） : エラーコード 11h : サムチェックエラー 29h : ブロック番号エラー（ブロック番号が正しくない） 51h : 消去エラーが発生し消去できない</p>
---------------	---

(6) メモリリード

ホストがメモリリードコマンドを送信すると、RX610はROMに対するリードを実行します。正常にリードが実行された場合には、RX610はメモリリードコマンドで指定されたアドレスのデータを送信します。リードが実行されなかった場合には、RX610はエラーレスポンス（D2h）を送信します。

コマンド	52h	サイズ	エリア	読み出し先頭アドレス	
	読み出しサイズ			SUM	
レスポンス	52h	読み出しサイズ			
	データ	データ	...	データ	
	SUM				
エラー レスポンス	D2h	エラー			

【記号説明】	サイズ（1バイト）	: エリア、読み出しアドレス、読み出しサイズのデータの総バイト数
	エリア（1バイト）	: 読み出し対象のマット 00h: ユーザブートマット 01h: ユーザマット
	読み出し先頭アドレス（4バイト）	: 読み出し対象領域の先頭アドレス
	読み出しサイズ（4バイト）	: 読み出すデータのサイズ（バイト単位）
	SUM（1バイト）	: サムチェック
	データ（1バイト）	: ROMから読み出したデータ
	エラー（1バイト）	: エラーコード 11h: サムチェックエラー 2Ah: アドレスエラー ・エリアの選択で00h、01h以外を指定 ・読み出し先頭アドレスが指定したマットの領域外 2Bh: サイズエラー ・読み出しサイズの選択で00hを指定 ・読み出しサイズがマットのサイズを超えている ・読み出し先頭アドレスと読み出しサイズから計算されたアドレスが マットの領域外

(7) ユーザブートマットサムチェック

ホストがユーザブートマットサムチェックコマンドを送信すると、RX610はユーザブートマットのデータをバイト単位で加算した結果（サムチェック）を送信します。

コマンド	4Ah			
レスポンス	5Ah	サイズ	マットのサムチェック	SUM

【記号説明】	サイズ（1バイト）	: マットのサムチェックのバイト数（固定値で4）
	マットのサムチェック（4バイト）	: ユーザブートマットのサムチェック結果
	SUM（1バイト）	: サムチェック（レスポンスデータのサムチェック）

(8) ユーザマットサムチェック

ホストがユーザマットサムチェックコマンドを送信すると、RX610はユーザマットのデータをバイト単位で加算した結果（サムチェック）を送信します。

コマンド	4Bh			
レスポンス	5Bh	サイズ	マットのサムチェック	SUM

【記号説明】	サイズ（1バイト）	: マットのサムチェックのバイト数（固定値で4）
	マットのサムチェック（4バイト）	: ユーザマットのサムチェック結果 ユーザマットにはデバッグ機能認証用のキーコードも含まれています。 加算結果にキーコード値が含まれることに注意してください。
	SUM（1バイト）	: サムチェック（レスポンスデータのサムチェック）

(9) ユーザブートマットブランクチェック

ホストがユーザブートマットブランクチェックコマンドを送信すると、RX610はユーザブートマットがすべて消去状態であるかをチェックします。ユーザブートマットが全て消去状態であった場合には、RX610はレスポンス（06h）を送信します。ユーザブートマットに未消去領域が存在した場合には、RX610はエラーレスポンス（CCh → 52h）を送信します。

コマンド	4Ch	
レスポンス	06h	
エラー レスポンス	CCh	52h

(10) ユーザマットブランクチェック

ホストがユーザマットブランクチェックコマンドを送信すると、RX610 はユーザマットがすべて消去状態であるかをチェックします。ユーザマットがすべて消去状態であった場合には、RX610 はレスポンス（06h）を送信します。ユーザマットに未消去領域が存在した場合には、RX610 はエラーレスポンス（CDh → 52h）を送信します。

コマンド	4Dh
レスポンス	06h
エラー レスポンス	CDh 52h

(11) リードロックビットステータス

ホストがリードロックビットステータスコマンドを送信すると、RX610 はロックビットに対するリードを実行します。正常にリードが実行された場合には、RX610 はリードロックビットステータスコマンドで指定されたアドレスのデータを送信します。リードが実行されなかった場合には、RX610 はエラーレスポンス（F1h）を送信します。

コマンド	71h	サイズ	エリア	中位アドレス	上位アドレス	最上位アドレス	SUM
レスポンス	ステータス						
エラー レスポンス	F1h	エラー					

【記号説明】	サイズ（1バイト）	: エリア、中位アドレス、上位アドレス、最上位アドレスのデータの総バイト数 (RX610では固定値で4)
	エリア（1バイト）	: 読み出し対象のマット 01h : ユーザマット
	中位アドレス（1バイト）	: 指定ブロックの最後尾のアドレスの中位アドレス（8～15ビット）
	上位アドレス（1バイト）	: 指定ブロックの最後尾のアドレスの上位アドレス（16～23ビット）
	最上位アドレス（1バイト）	: 指定ブロックの最後尾のアドレスの最上位アドレス（24～31ビット）
	SUM（1バイト）	: サムチェック
	ステータス（1バイト）	: ビット6が“0”でロック状態 ビット6が“1”でアンロック状態
	エラー（1バイト）	: エラーコード 11h : サムチェックエラー 2Ah : アドレスエラー（アドレスが指定のマット内がない）

(12) ロックビットプログラム

ホストがロックビットプログラムコマンドを送信すると、RX610はロックビットの書き込みを行い、指定ブロックをロック状態にします。正常にロックされた場合には、RX610はレスポンス（06h）を送信します。ロックされなかった場合には、RX610はエラーレスポンス（F7h）を送信します。

コマンド	77h	サイズ	エリア	中位アドレス	上位アドレス	最上位アドレス	SUM
------	-----	-----	-----	--------	--------	---------	-----

レスポンス	06h
-------	-----

エラー レスポンス	F7h	エラー
--------------	-----	-----

【記号説明】	サイズ（1バイト）	: エリア、中位アドレス、上位アドレス、最上位アドレスのデータの総バイト数 （RX610では固定値で4）
	エリア（1バイト）	: ロック対象のマット 01h：ユーザマット
	中位アドレス（1バイト）	: 指定ブロックの最後尾のアドレスの中位アドレス（8～15ビット）
	上位アドレス（1バイト）	: 指定ブロックの最後尾のアドレスの上位アドレス（16～23ビット）
	最上位アドレス（1バイト）	: 指定ブロックの最後尾のアドレスの最上位アドレス（24～31ビット）
	SUM（1バイト）	: サムチェック
	エラー（1バイト）	: エラーコード 11h：サムチェックエラー 2Ah：アドレスエラー（アドレスが指定のマット内でない） 53h：書き込みエラーが発生しロック状態にできない

(13) ロックビット有効

ホストがロックビット有効コマンドを送信すると、RX610はロックビットを有効にします。

コマンド	7Ah
------	-----

レスポンス	06h
-------	-----

(14) ロックビット無効

ホストがロックビット無効コマンドを送信すると、RX610はロックビットを無効にします。

コマンド	75h
------	-----

レスポンス	06h
-------	-----

(15) 組み込みプログラムステータス問い合わせ

「26.10.5 問い合わせ設定ホストコマンド待ち状態」を参照してください。

26.11 オンチップデバッグ ID コードプロテクト

オンチップデバッグとの接続を禁止するための機能です。オンチップデバッグを接続する場合、ROM 上に書かれている制御コードおよび ID コードを使い、オンチップデバッグ ID コードプロテクトの有効/無効と、オンチップデバッグ ID コードプロテクトの判定を行います。ID コードプロテクトが有効の場合、オンチップデバッグから送られてくるコードと、ROM 上の制御コードおよび ID コードの一致を判定し、一致した場合、オンチップデバッグとの接続を許可します。一致しない場合、オンチップデバッグとの接続はできません。ただし、制御コードが 52h、ID コード 1 から順に 50h,72h,6Fh,74h,65h,63h,74h,FFh,...,FFh を設定した場合、ID コード判定をせずに常に不一致とし、オンチップデバッグとの接続を禁止します。また、制御コードおよび ID コードがすべて FFh の場合、ID コード判定をせずに常に一致とし、オンチップデバッグとの接続を許可します。フラッシュメモリ上の ID コードの構成は、図 26.25 と同じです。

表 26.18 オンチップデバッグ ID コードプロテクト仕様

制御コード	IDコード	プロテクト状態	オンチップデバッグ接続時の動作
FFh	FFh,...,FFh (すべてFFh)	プロテクト無効	制御コードおよびIDコードの判定をせず、常にIDコード一致とし、オンチップデバッグとの接続を許可する
52h	50h,72h,6Fh,74h,65h,63h,74h,FFh,...,FFh	プロテクト有効	制御コードおよびIDコードの判定をせず、常にIDコード不一致とし、オンチップデバッグとの接続を禁止する
上記以外	上記以外	プロテクト有効	IDコード一致： オンチップデバッグ認証を完了し、オンチップデバッグとの接続を許可する IDコード不一致： 再度、IDコード待ちに遷移する

26.12 ROM コードプロテクト

ROM コードプロテクトは、PROM ライタを使用する場合にフラッシュメモリの読み出し、書き換えを禁止する機能です。フラッシュメモリ上の ROM コードは、32 ビット長のデータです。図 26.33 に ROM コードの構成を示します。ROM コードは 32 ビット単位で設定してください。

ROM コードプロテクトを解除する場合、ブートモードもしくはユーザプログラミングで ROM コードを含むユーザマットの EB00 ブロックを消去してください。

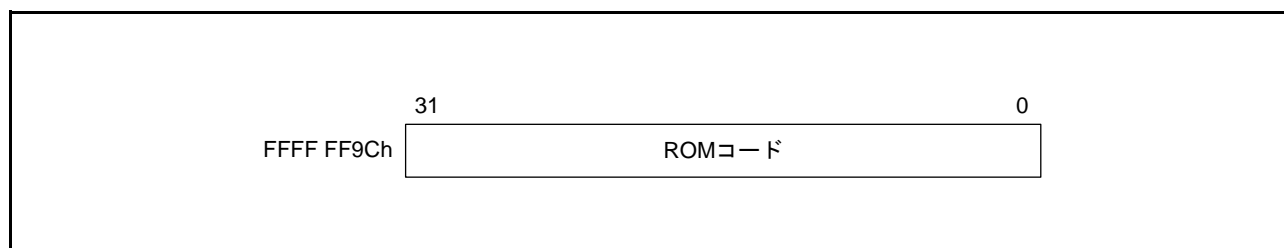


図 26.33 ROM コードの構成

表 26.19 ROMコードプロテクト仕様

ROMコード	プロテクト状態	PROMライタ接続時の動作
0000 0000h	ROMコードプロテクト有効 (ROMコードプロテクト1)	ユーザマット、ユーザブートマットの読み出し、書き換えを禁止する
0000 0001h	ROMコードプロテクト有効 (ROMコードプロテクト2)	ユーザマット、ユーザブートマットの読み出しを禁止する
上記以外	ROMコードプロテクト無効	ユーザマット、ユーザブートマットの読み出し、書き換えを許可する

26.13 使用上の注意事項

(1) 書き込み / 消去サスペンド対象領域

書き込み / 消去サスペンド中の領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、書き込み / 消去サスペンド対象領域の命令実行や、データ読み出しが発生しないように注意してください。

(2) 書き込み / 消去サスペンドによる中断

書き込み / 消去サスペンドコマンドによって書き込み / 消去処理を中断した場合は、レジュームコマンドにより動作を完了させてください。

レジュームコマンド発行後 20 μ s 以内（PCLK = 50MHz 時）に、再び書き込み / 消去サスペンドコマンドを発行しないでください。

(3) 追加書き込み禁止

同一領域に 2 回以上の書き込みを行うことはできません。書き込み済みの領域を書き換えたい場合には、当該領域を消去してください。

(4) 書き込み / 消去中のリセット

書き込み / 消去中に RES# 端子によるリセットが発生しないようにしてください。フラッシュメモリへのダメージを与える可能性があります。誤ってリセット入力した場合は、電気的特性に定める動作電圧範囲内で、100 μ s 以上のリセット入力期間の後にリセット解除してください。

書き込み / 消去中に FRESETR.FRESET ビットにより FCU をリセットする場合は、リセット状態を tRESW2（「29. 電気的特性」を参照）の時間保持してください。FCU をリセットしている期間は、書き込み / 消去対象の ROM の読み出しを行わないでください。

書き込み / 消去中の WDT リセットについては、上記の時間保持に関係なく使用できます。

(5) 書き込み / 消去中のノンマスカブル割り込み禁止

書き込み / 消去中にノンマスカブル割り込み（NMI 端子割り込み）が発生すると、ROM からのベクタのフェッチが発生し、不定データが読み出されます。このため、ROM への書き込み / 消去中にノンマスカブル割り込みが発生しないようにしてください。（本禁止事項は ROM にのみ適用されます）

(6) 書き込み / 消去中の割り込みベクタの配置

書き込み / 消去中に割り込みが発生すると ROM からのベクタのフェッチが発生する場合があります。ROM からのベクタのフェッチを回避するには、CPU の割り込みテーブルレジスタ（INTB）により割り込みベクタのフェッチ先を ROM 以外に設定する方法があります。

(7) 書き込み / 消去中の異常終了

書き込み / 消去中の、動作電圧範囲を超える電圧変動、リセット、FRESETR.FRESET ビットによる FCU リセット、エラー検出によるコマンドロック状態、および次項 (8) の禁止事項により、書き込み / 消去が正常に終了しなかった場合、ロックビットが“0”（プロテクト状態）になっている場合があります。この場合 FPROTR.FPROTCN ビットに“1”をセットした状態でブロックイレーズコマンドを発行し、ロックビットを消去してください。その後、正常終了しなかった書き込みを再度やり直してください。

(8) 書き込み / 消去中の禁止事項

書き込み / 消去中はフラッシュメモリへのダメージを防ぐため、以下の動作は行わないでください。

- RX610 の電源を動作電圧範囲外にする。
- FWEPROR.FLWE[1:0] ビットの値を更新する。

- SYSCR0.ROME ビットの設定により、動作モードを変更する。
- SCKCR レジスタにより、PCLK の通倍比を変更する。
- PCLK と異なる周波数を PCKAR レジスタに設定する。
- 全モジュールクロックストップモード、ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードに移行する。

27. データフラッシュ（データ格納用フラッシュメモリ）

RX610 グループは、最大 2M バイトのコード格納用フラッシュメモリ（ROM）と、32K バイトのデータ格納用フラッシュメモリ（データフラッシュ）を内蔵しています。

本章では、データフラッシュについて説明します。ROM については、「26. ROM（コード格納用フラッシュメモリ）」を参照してください。

27.1 概要

表27.1にデータフラッシュの仕様を、図27.1にROMおよびデータフラッシュ周りのブロック図を示します。

表27.1 データフラッシュの仕様

項目		内容
メモリ空間		32Kバイト
周辺バス経由での読み出し		ワード、バイトアクセス時にはPCLK 3サイクルでの読み出し
書き込み/消去方式		<ul style="list-style-type: none"> ROM/データフラッシュの書き換えを行う専用のシーケンサ（FCU）を内蔵 FCU にコマンドを発行することにより、ROM/データフラッシュへの書き込み/消去を実行可能
BGO（バックグラウンドオペレーション）機能		<ul style="list-style-type: none"> ROMへの書き込み/消去を実行している期間、CPU はROM/データフラッシュ以外の領域に配置したプログラムを実行可能 データフラッシュへの書き込み/消去を実行している期間、ROM領域に配置したプログラムを実行可能
サスペンド/レジューム機能		<ul style="list-style-type: none"> ROMへの書き込み/消去動作を中断し、CPU はROM領域のプログラムを実行可能（サスペンド） 中断した後、ROMへの書き込み/消去を再開可能（レジューム）
書き込み/消去単位		<ul style="list-style-type: none"> データマットの書き込み単位：8バイトまたは128バイト データマットの消去単位：8Kバイト（4ブロック）
ブランクチェック機能		<ul style="list-style-type: none"> データフラッシュの消去状態を確認するブランクチェックコマンドが実行可能 ブランクチェックできる領域は8バイトまたは8Kバイト
オンボードプログラミング（3種類）	ブートモード	<ul style="list-style-type: none"> SCIを使用してデータマットを書き換え可能 ホストとRX610間のSCI通信のビットレートは自動調整可能
	ユーザブートモード	ユーザブートマットから起動し、データマットの書き換えが可能
	ユーザプログラム	プログラムで、データマットの書き換えが可能
プロテクト機能	ソフトウェアプロテクト機能	FENTRYR.FENTRYDビット、FWEPROR.FLWE[1:0]ビット、DFLREレジスタ、DFLWEレジスタにより意図しない書き換えを防ぐことが可能
	エラープロテクト機能	書き込み/消去中に異常動作を検出した場合、以後の書き込み/消去処理を禁止
書き込み時間/消去時間/書き換え回数		「29. 電気的特性」を参照

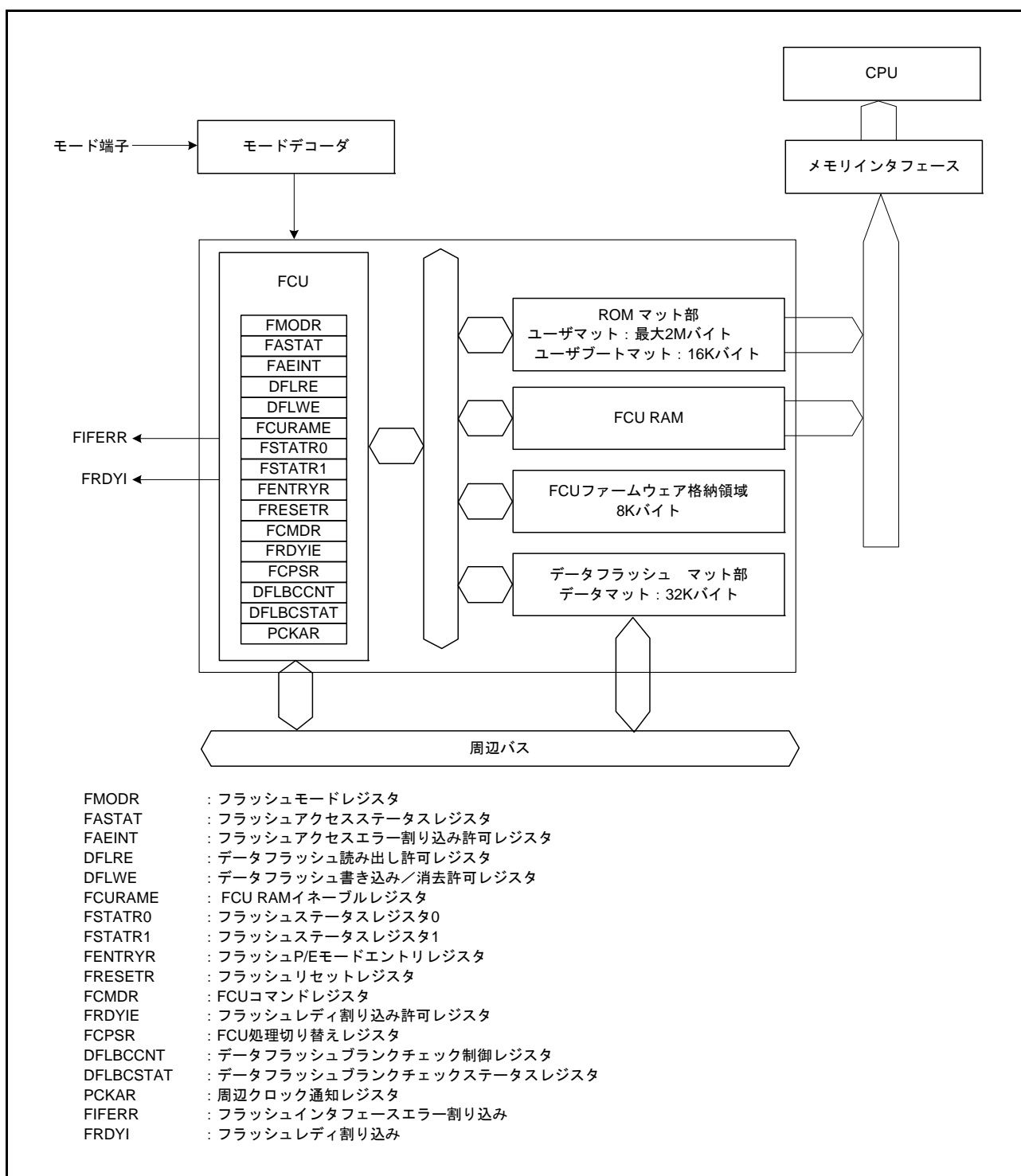


図 27.1 データフラッシュのブロック図

表 27.2 にデータフラッシュ関連の入出力端子を示します。

表 27.2 データフラッシュ関連の入出力端子

端子名	入出力	機能
P05/RxD4	入力	ブートモード時に使用。SCI4の受信データ（ホスト通信用）
P04/TxD4	出力	ブートモード時に使用。SCI4の送信データ（ホスト通信用）

27.2 レジスタの説明

表 27.3 にデータフラッシュ関連のレジスタ一覧を示します。一部のレジスタは ROM 関連のビットも持ちますが、本章ではデータフラッシュ関連のビット機能のみ説明します。ROM/ データフラッシュ共用ビットで構成されるレジスタ（FRDYIE、FCURAME、FSTATR0、FSTATR1、FRESETR、FCMDR、FCPSR、PCKAR、FWEPROR）と、ROM 専用のビット機能の詳細は、「26. ROM（コード格納用フラッシュメモリ）」の「26.2 レジスタの説明」を参照してください。

データフラッシュ関連のレジスタは、リセットによって初期化されます。

表27.3 データフラッシュ関連のレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
フラッシュモードレジスタ	FMODR	00h	007F C402h	8
フラッシュアクセスステータスレジスタ	FASTAT	00h	007F C410h	8
フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	9Bh	007F C411h	8
フラッシュレディ割り込み許可レジスタ	FRDYIE	00h	007F C412h	8
データフラッシュ読み出し許可レジスタ	DFLRE	0000h	007F C440h	16
データフラッシュ書き込み/消去許可レジスタ	DFLWE	0000h	007F C450h	16
FCU RAM イネーブルレジスタ	FCURAME	0000h	007F C454h	16
フラッシュステータスレジスタ0	FSTATR0	80h	007F FFB0h	8
フラッシュステータスレジスタ1	FSTATR1	00h	007F FFB1h	8
フラッシュ P/E モードエントリレジスタ	FENTRYR	0000h	007F FFB2h	16
フラッシュリセットレジスタ	FRESETR	0000h	007F FFB6h	16
FCU コマンドレジスタ	FCMDR	FFFFh	007F FFBAh	16
FCU 処理切り替えレジスタ	FCPSR	0000h	007F FFC8h	16
データフラッシュブランクチェック制御レジスタ	DFLBCCNT	0000h	007F FFCAh	16
データフラッシュブランクチェックステータス レジスタ	DFLBCSTAT	0000h	007F FFCEh	16
周辺クロック通知レジスタ	PCKAR	0000h	007F FFE8h	16
フラッシュライト消去プロテクトレジスタ	FWEPROR	02h	0008 C289h	8

27.2.1 フラッシュモードレジスタ（FMODR）

アドレス 007F C402h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	FRDMD	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	FRDMD	FCUリードモード選択ビット	0：メモリ領域リード方式 データフラッシュロックビットリードモードに移行する場合に設定します。データフラッシュにはロックビットが存在しないため、ロックビットリードモードに移行してデータフラッシュ領域から読み出しを実行した場合、不定データが読める 1：レジスタリード方式 ブランクチェックコマンドを使用する場合に設定	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FMODR レジスタは、ロックビットの読み出し方法を指定するレジスタです。ブランクチェックコマンドを使用する場合、FRDMD ビットを“1”にしてください。

内蔵ROMが無効なモードではFMODRレジスタの読み出しデータは“00h”になり、書き込みはできません。

FMODR レジスタは、リセットによって初期化されます。

FRDMD ビット（FCU リードモード選択ビット）

データフラッシュロックビットリードモード移行処理かブランクチェック処理かを選択するために使用します。

ROMのロックビット読み出し時には、ロックビット読み出し方法を選択するためにFRDMDビットを使用します（「26. ROM（コード格納用フラッシュメモリ）」を参照）。

27.2.2 フラッシュアクセスステータスレジスタ（FASTAT）

アドレス 007F C410h

b7	b6	b5	b4	b3	b2	b1	b0
ROMAE	—	—	CMDLK	DFLAE	—	DFLRPE	DFLWPE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	DFLWPE	データフラッシュ 書き込み/消去プロテクト違反ビット	0: DFLWEレジスタの設定に違反したデータフラッシュ 書き込み/消去系コマンドの発行なし 1: DFLWEレジスタの設定に違反したデータフラッシュ 書き込み/消去系コマンドの発行あり	R(W) (注1)
b1	DFLRPE	データフラッシュ リードプロテクト違反ビット	0: DFLREレジスタの設定に違反したデータフラッシュ 読み出しなし 1: DFLREレジスタの設定に違反したデータフラッシュ 読み出しあり	R(W) (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DFLAE	データフラッシュアクセス違反ビット	0: データフラッシュアクセス違反なし 1: データフラッシュアクセス違反あり	R(W) (注1)
b4	CMDLK	FCUコマンドロックビット	0: FCUはコマンドロック状態ではない 1: FCUはコマンドロック状態	R
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ROMAE	ROMアクセス違反ビット	「26. ROM（コード格納用フラッシュメモリ）」を参照してください	R(W) (注1)

注1. フラグを“0”にするために、“1”を読んだ後に“0”を書くことのみ可能です。

FASTAT レジスタは、ROM/ データフラッシュに対するアクセス違反の有無を確認するためのレジスタです。内蔵 ROM が無効なモードでは FASTAT レジスタの読み出しデータは“00h”になり、書き込みはできません。FASTAT レジスタのいずれかのビットが“1”になると、FCUはコマンドロック状態になります（「27.7.2 エラープロテクト」を参照）。コマンドロック状態を解除するためには、FASTAT レジスタを“10h”にした後、FCUにステータスレジスタクリアコマンドを発行する必要があります。

FASTAT レジスタは、リセットによって初期化されます。

DFLWPE ビット（データフラッシュ書き込み/消去プロテクト違反ビット）

DFLWE レジスタで設定した書き込み/消去プロテクトに対する違反の有無を示すビットです。

["1"になる条件]

- DFLWE レジスタで書き込み/消去禁止に設定したデータフラッシュ領域に対して、書き込み/消去系コマンドを発行

["0"になる条件]

- "1"を読んだ後、"0"を書いたとき

DFLRPE ビット（データフラッシュリードプロテクト違反ビット）

DFLRE レジスタで設定した読み出しプロテクトに対する違反の有無を示すビットです。

["1"になる条件]

- DFLRE レジスタで読み出し禁止に設定したデータフラッシュ領域に対して、リードアクセスを発行

["0"になる条件]

- "1"を読んだ後、"0"を書いたとき

DFLAE ビット（データフラッシュアクセス違反ビット）

データフラッシュに対するアクセス違反の有無を示すビットです。

DFLAE ビットが"1"になると FSTATR0.ILGLERR ビットが"1"になり、FCU はコマンドロック状態になります。

FSTATR0 レジスタについては、「26.2.5 フラッシュステータスレジスタ 0 (FSTATR0)」を参照してください。

["1"になる条件]

- FENTRYR.FENTRYD ビットが"1"、かつデータフラッシュ P/E ノーマルモードで、データフラッシュ領域に対してリードアクセスを発行
- FENTRYD ビットが"0"の状態、データフラッシュ領域に対してライトアクセスを発行
- FENTRYR.FENTRY1, FENTRY0 ビットのいずれかが"1"の状態、データフラッシュ領域に対するアクセスを発行

["0"になる条件]

- "1"を読んだ後、"0"を書いたとき

CMDLK ビット（FCU コマンドロックビット）

FCU がコマンドロック状態であることを示すビットです（「27.7.2 エラープロテクト」を参照）。

["1"になる条件]

- FCU がエラーを検出してコマンドロック状態に遷移後

["0"になる条件]

- FCU がステータスレジスタクリアコマンドを発行した後

27.2.3 フラッシュアクセスエラー割り込み許可レジスタ（FAEINT）

アドレス 007F C411h

	b7	b6	b5	b4	b3	b2	b1	b0
	ROMAEIE	—	—	CMDLKIE	DFLAEIE	—	DFLRPEIE	DFLWPEIE
リセット後の値	1	0	0	1	1	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	DFLWPEIE	データフラッシュ書き込み/消去プロテクト違反割り込み許可ビット	0: FASTAT.DFLWPE ビット=1で、FIFERR 割り込み要求が発生しない 1: FASTAT.DFLWPE ビット=1で、FIFERR 割り込み要求が発生する	R/W
b1	DFLRPEIE	データフラッシュリードプロテクト違反割り込み許可ビット	0: FASTAT.DFLRPE ビット=1で、FIFERR 割り込み要求が発生しない 1: FASTAT.DFLRPE ビット=1で、FIFERR 割り込み要求が発生する	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	DFLAEIE	データフラッシュアクセス違反割り込み許可ビット	0: FASTAT.DFLAE ビット=1で、FIFERR 割り込み要求が発生しない 1: FASTAT.DFLAE ビット=1で、FIFERR 割り込み要求が発生する	R/W
b4	CMDLKIE	FCU コマンドロック割り込み許可ビット	0: FASTAT.CMDLK ビット=1で、FIFERR 割り込み要求が発生しない 1: FASTAT.CMDLK ビット=1で、FIFERR 割り込み要求が発生する	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ROMAEIE	ROMアクセス違反割り込み許可ビット	「26. ROM（コード格納用フラッシュメモリ）」を参照してください	R/W

FAEINT レジスタは、フラッシュインタフェースエラー割り込み（FIFERR）の出力許可/禁止を設定するためのレジスタです。

内蔵ROMが無効なモードではFAEINTレジスタの読み出しデータは“00h”になり、書き込みは無効化されます。

FAEINT レジスタは、リセットによって初期化されます。

DFLWPEIE ビット（データフラッシュ書き込み/消去プロテクト違反割り込み許可ビット）

データフラッシュ書き込み/消去プロテクト違反が発生し、FASTAT.DFLWPE ビットが“1”になった場合のFIFERR 割り込み要求の発生を許可/禁止するためのビットです。

DFLRPEIE ビット（データフラッシュリードプロテクト違反割り込み許可ビット）

データフラッシュリードプロテクト違反が発生し、FASTAT.DFLRPE ビットが“1”になった場合のFIFERR 割り込み要求の発生を許可/禁止するためのビットです。

DFLAEIE ビット（データフラッシュアクセス違反割り込み許可ビット）

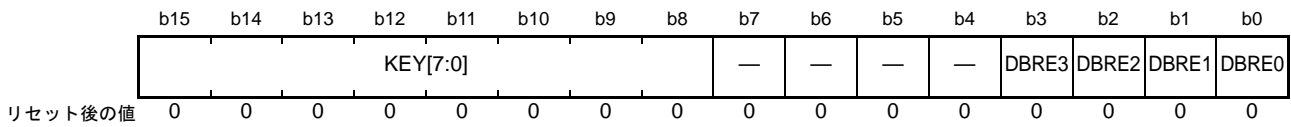
データフラッシュアクセス違反が発生し、FASTAT.DFLAE ビットが“1”になった場合のFIFERR 割り込み要求の発生を許可/禁止するためのビットです。

CMDLKIE ビット（FCU コマンドロック割り込み許可ビット）

FCU コマンドロックが発生し、FASTAT.CMDLK ビットが“1”になった場合のFIFERR 割り込み要求の発生を許可/禁止するためのビットです。

27.2.4 データフラッシュ読み出し許可レジスタ（DFLRE）

アドレス 007F C440h



ビット	シンボル	ビット名	機能	R/W
b0	DBRE0	DB0ブロック読み出し許可ビット	0：読み出し禁止 1：読み出し許可	R/W
b1	DBRE1	DB1ブロック読み出し許可ビット		R/W
b2	DBRE2	DB2ブロック読み出し許可ビット		R/W
b3	DBRE3	DB3ブロック読み出し許可ビット		R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	キーコード	DBREjビット（j=0～3）の書き換えの可否を制御	R(W) (注1)

注1. 書き込みデータは保持されません。

DFLRE レジスタは、データマットの DB0～DB3 ブロック（図 27.3 を参照）の読み出しを許可/禁止するためのレジスタです。

ワードアクセスで上位バイトに特定の値を書く場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。

内蔵 ROM が無効なモードでは、DFLRE レジスタの読み出しデータは“0000h”になり、書き込みはできません。

DFLRE レジスタは、リセットによって初期化されます。

DBREj ビット（DBj ブロック読み出し許可ビット）（j=0～3）

データマットの DB0～DB3 ブロックに対する読み出しの許可/禁止を設定するビットです。

DBREj ビットを DBj ブロックの読み出し制御に使用します。

DBREj ビットへの書き込みは、ワードアクセスで KEY[7:0] ビットが“2Dh”の場合のみ有効です。

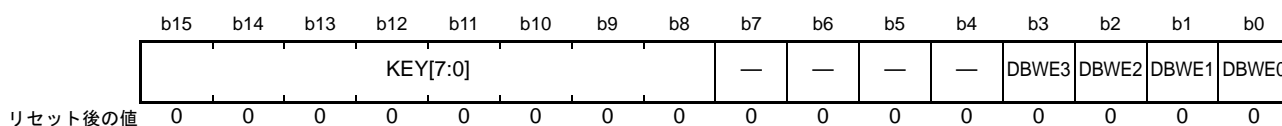
KEY[7:0] ビット（キーコード）

DBREj ビットの書き換えの可否を制御します。

KEY[7:0] ビットへの書き込みデータは保持されません。

27.2.5 データフラッシュ書き込み / 消去許可レジスタ（DFLWE）

アドレス 007F C450h



ビット	シンボル	ビット名	機能	R/W
b0	DBWE0	DB0ブロック書き込み/消去許可ビット	0：書き込み/消去禁止 1：書き込み/消去許可	R/W
b1	DBWE1	DB1ブロック書き込み/消去許可ビット		R/W
b2	DBWE2	DB2ブロック書き込み/消去許可ビット		R/W
b3	DBWE3	DB3ブロック書き込み/消去許可ビット		R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	KEY[7:0]	キーコード	DBWEjビット（j=0～3）の書き換えの可否を制御	R/W (注1)

注1. 書き込みデータは保持されません。

DFLWEレジスタは、データマットのDB0～DB3ブロック（図27.3を参照）への書き込み/消去を許可/禁止するためのレジスタです。

ワードアクセスで上位バイトに特定の値を書く場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。

内蔵ROMが無効なモードでは、DFLWEレジスタの読み出しデータは“0000h”になり、書き込みはできません。

DFLWEレジスタは、リセットによって初期化されます。

DBWEjビット（DBjブロック書き込み/消去許可ビット）（j=0～3）

データマットのDB0～DB3ブロックに対する書き込み/消去の許可/禁止を設定するビットです。

DBWEjビットをDBjブロックの書き込み/消去制御に使用します。

DBWEjビットへの書き込みは、ワードアクセスでKEY[7:0]ビットが“1Eh”の場合のみ有効です。

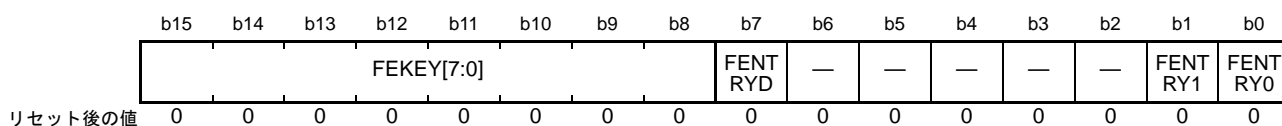
KEY[7:0]ビット（キーコード）

DBWEjビットの書き換えの可否を制御します。

KEY[7:0]ビットへの書き込みデータは保持されません。

27.2.6 フラッシュ P/E モードエントリレジスタ（FENTRYR）

アドレス 007F FFB2h



ビット	シンボル	ビット名	機能	R/W
b0	FENTRY0	ROM P/Eモードエントリビット0	「26. ROM（コード格納用フラッシュメモリ）」を参照してください	R/W
b1	FENTRY1	ROM P/Eモードエントリビット1	「26. ROM（コード格納用フラッシュメモリ）」を参照してください	R/W
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W
b7	FENTRYD	データフラッシュ P/Eモードエントリビット	0：データフラッシュはリードモード 1：データフラッシュはP/Eモード	R/W
b15-b8	FEKEY[7:0]	キーコード	FENTRYD、FENTRY1、FENTRY0ビットの書き換えの可否を制御	R(W) (注1)

注1. 書き込みデータは保持されません。

FENTRYR レジスタは、ROM/ データフラッシュを P/E モードに設定するために使用するレジスタです。

ROM/ データフラッシュを P/E モードにして FCU のコマンド受け付けを可能にするためには、FENTRYD、FENTRY1、FENTRY0 ビットのいずれかのビットを“1”にする必要があります。ただし、複数ビットを“1”にした場合、FSTATR0.ILGLERR ビットが“1”になって、FCU はコマンドロック状態になります。

ワードアクセスで上位バイトに特定の値を書く場合のみ書き込み有効で、それ以外の書き込みを行った場合には初期化されます。上位バイトへの書き込みデータは保持されません。

内蔵 ROM が無効なモードでは、FENTRYR レジスタの読み出しデータは“0000h”になり、書き込みはできません。

FENTRYR レジスタは、リセットもしくは FRESETR.FRESETR ビットを“1”にすることによって初期化されます。

FSTATR0 レジスタについては、「26.2.5 フラッシュステータスレジスタ 0 (FSTATR0)」を参照してください。

FRESETR レジスタについては、「26.2.10 フラッシュリセットレジスタ (FRESETR)」を参照してください。

FENTRYD ビット（データフラッシュ P/E モードエントリビット）

データフラッシュを P/E モードに設定するためのビットです。

[書き込み有効条件（以下の全条件を満たす場合）]

- 内蔵 ROM が有効なモード
- FSTATR0.FRDY ビットが “1”
- ワードアクセスで FEKEY[7:0] ビットに “AAh” を書き込み

[“1” になる条件]

- 書き込み有効条件を満たし、かつ FENTRYR レジスタが 0000h の状態で、FENTRYD ビットに “1” を書いた場合

[“0” になる条件]

- バイトアクセスで書き込んだ場合
- ワードアクセスで FEKEY[7:0] ビットが “AAh” 以外の状態で書いた場合
- 書き込み有効条件を満たした状態で、FENTRYD ビットに “0” を書いた場合
- 書き込み有効条件を満たし、かつ FENTRYR レジスタが “0000h” 以外の状態で、FENTRYR レジスタに書いた場合

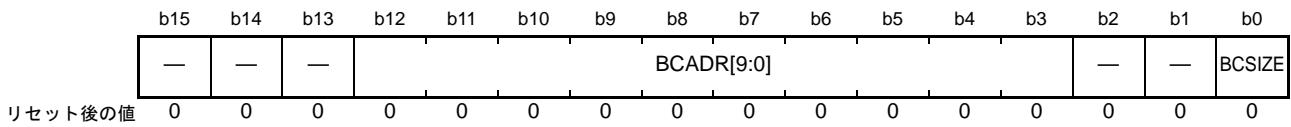
FEKEY[7:0] ビット（キーコード）

FENTRYD、FENTRY1、FENTRY0 ビットの書き換えの可否を制御します。

FEKEY[7:0] ビットへの書き込みデータは保持されません。

27.2.7 データフラッシュブランクチェック制御レジスタ（DFLBCCNT）

アドレス 007F FFCAh



ビット	シンボル	ビット名	機能	R/W
b0	BCSIZE	ブランクチェックサイズ設定ビット	0：ブランクチェック対象領域は8バイト 1：ブランクチェック対象領域は8Kバイト	R/W
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12-b3	BCADR[9:0]	ブランクチェックアドレス設定ビット	チェック対象領域のアドレスを設定	R/W
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DFLBCCNT レジスタは、ブランクチェックコマンドのチェック対象領域のアドレスとサイズを指定するためのレジスタです。

内蔵 ROM が無効なモードでは、DFLBCCNT レジスタの読み出しデータは“0000h”になり、書き込みはできません。

DFLBCCNT レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

FRESETR レジスタについては、「26.2.10 フラッシュリセットレジスタ (FRESETR)」を参照してください。

BCSIZE ビット（ブランクチェックサイズ設定ビット）

ブランクチェックコマンドのチェック対象領域のサイズを設定するためのビットです。

BCADR[9:0] ビット（ブランクチェックアドレス設定ビット）

ブランクチェックコマンドのチェック対象領域のサイズが 8 バイト（BCSIZE ビットが“0”）の場合に、チェック対象領域のアドレスを設定するためのビットです。

BCSIZE ビットが“0”の場合には、DFLBCCNT レジスタの設定値（BCADR ビットの設定値を MSB 側に 3 ビットシフトした値）と、ブランクチェックコマンド発行時に指定した消去ブロック先頭アドレスを加算した値がチェック対象領域の先頭アドレスになります。

27.2.8 データフラッシュブランクチェックステータスレジスタ（DFLBCSTAT）

アドレス 007F FFCEh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BCST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCST	ブランクチェックステータスビット	0：ブランクチェック対象領域は消去状態（ブランク） 1：ブランクチェック対象領域は“0”データか“1”データが書き込まれた状態	R
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

DFLBCSTAT レジスタは、ブランクチェックコマンドの処理結果が格納されるレジスタです。

内蔵 ROM が無効なモードでは、DFLBCSTAT レジスタの読み出しデータは“0000h”になり、書き込みはできません。

DFLBCSTAT レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

FRESETR レジスタについては、「26.2.10 フラッシュリセットレジスタ (FRESETR)」を参照してください。

BCST ビット（ブランクチェックステータスビット）

ブランクチェックの結果を示します。

27.3 データフラッシュのメモリマット構成

RX610 グループのデータフラッシュは、32K バイトのデータマットで構成されています。このマットのアドレスを図 27.2 に示します。

データマットのアドレスは、読み出し時と書き込み / 消去時で同一です。

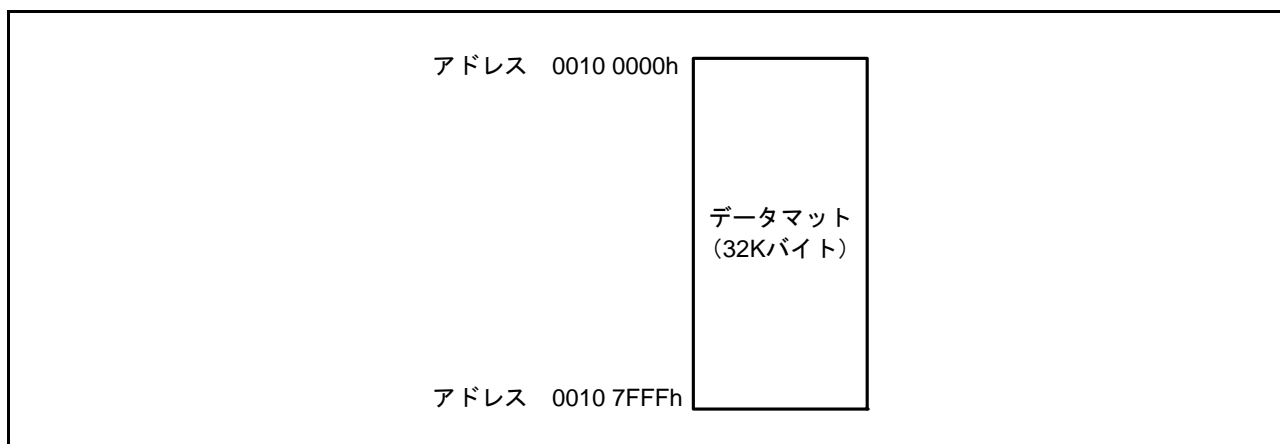


図 27.2 データフラッシュのデータマット構成

27.4 ブロック構成

データマットの消去ブロックの構成を図 27.3 に示します。データマットは 8K バイト（4 ブロック）に分割されていて、消去はこのブロック単位で行います。書き込みは 8 バイトまたは 128 バイト単位で行います。8 バイト書き込みでは、下位アドレスの 3 ビットがすべて 0 である 8 バイト単位で行います。128 バイト書き込みでは、下位アドレスが “00h” か “80h” で始まる 128 バイト単位で行います。

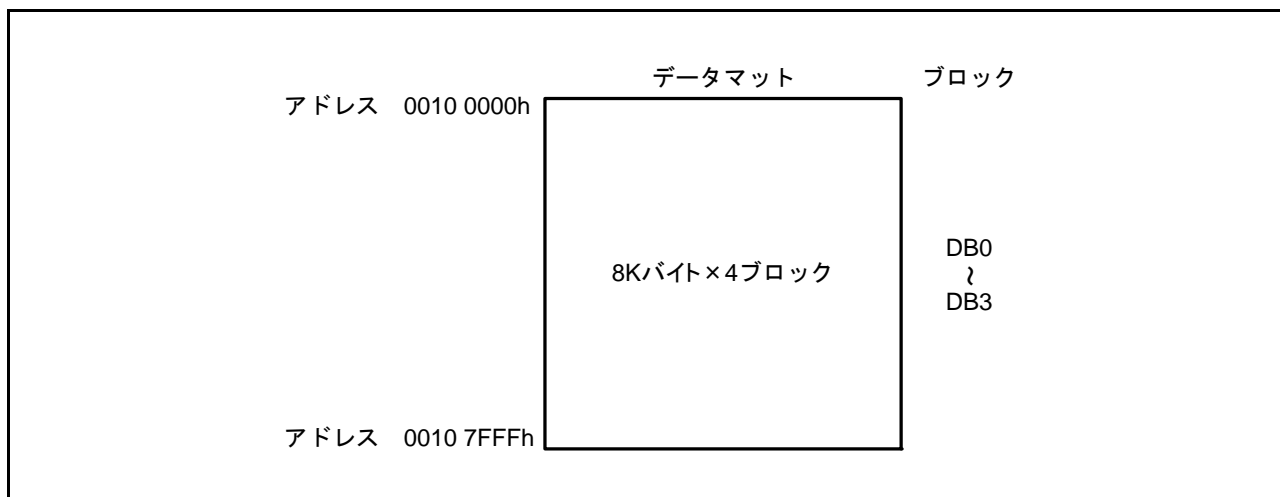


図 27.3 データマットのブロック分割

27.5 データフラッシュ関連の動作モード

動作モードの移行については、「26.5 ROM 関連の動作モード」を参照してください。

ブートモード / ユーザブートモード / シングルチップモード（内蔵 ROM 有効） / 内蔵 ROM 有効拡張モードでは、オンボードでデータマットの読み出し / 書き込み / 消去を実施できます。

各モードの相違点を表 27.4 に示します。

表27.4 各モードの相違点

項目	ブートモード	ユーザブートモード	シングルチップモード（内蔵 ROM 有効） / 内蔵 ROM 有効拡張モード
書き込み/消去環境	オンボードプログラミング		
書き込み/消去可能マット	データマット	データマット	データマット
ブロック分割消去	○（注1）	○	○
リセット時の起動マット	組み込みプログラム格納マット（注2）	ユーザブートマット	ユーザマット

注1. 起動時に全面消去される場合があります。その後、特定ブロックの消去を実施可能です。詳細は「26.11 オンチップデバッグ IDコードプロテクト」を参照してください。

注2. ユーザは使用できません。

- ブートモードでは、ホストから SCI 経由でのデータマットへの書き込み、読み出しが可能になります。
- ユーザブートモードは、ユーザブートマットから起動し、任意のインタフェースでユーザマット / データマットへの書き込み / 読み出しが可能になります。
- ブートモードでは、ブートモード用組み込みプログラムで内蔵 RAM を使用します。このため、内蔵 RAM のデータは保持されません。

27.6 データフラッシュへの書き込み / 消去

データフラッシュへの書き込み / 消去は、書き込み / 消去用の専用シーケンサ（FCU）にコマンド（FCU コマンド）を発行することで行います。FCU には、5 種類のモードがあります。書き込み / 消去を行うためには、モードを移行させ、その後、書き込み / 消去用のコマンドを発行することで行います。

データフラッシュへの書き込み / 消去に必要なモードの移行とコマンド体系について説明します。これらはブートモード、ユーザブートモード、シングルチップモード（内蔵 ROM 有効）モード、内蔵 ROM 有効拡張モードで共通です。

27.6.1 FCU のモード

FCU には、5 種類のモードがあります。モードの移行は、FENTRYR レジスタへの書き込み、および FCU コマンドで行います。図 27.4 に FCU のモード遷移図を示します。

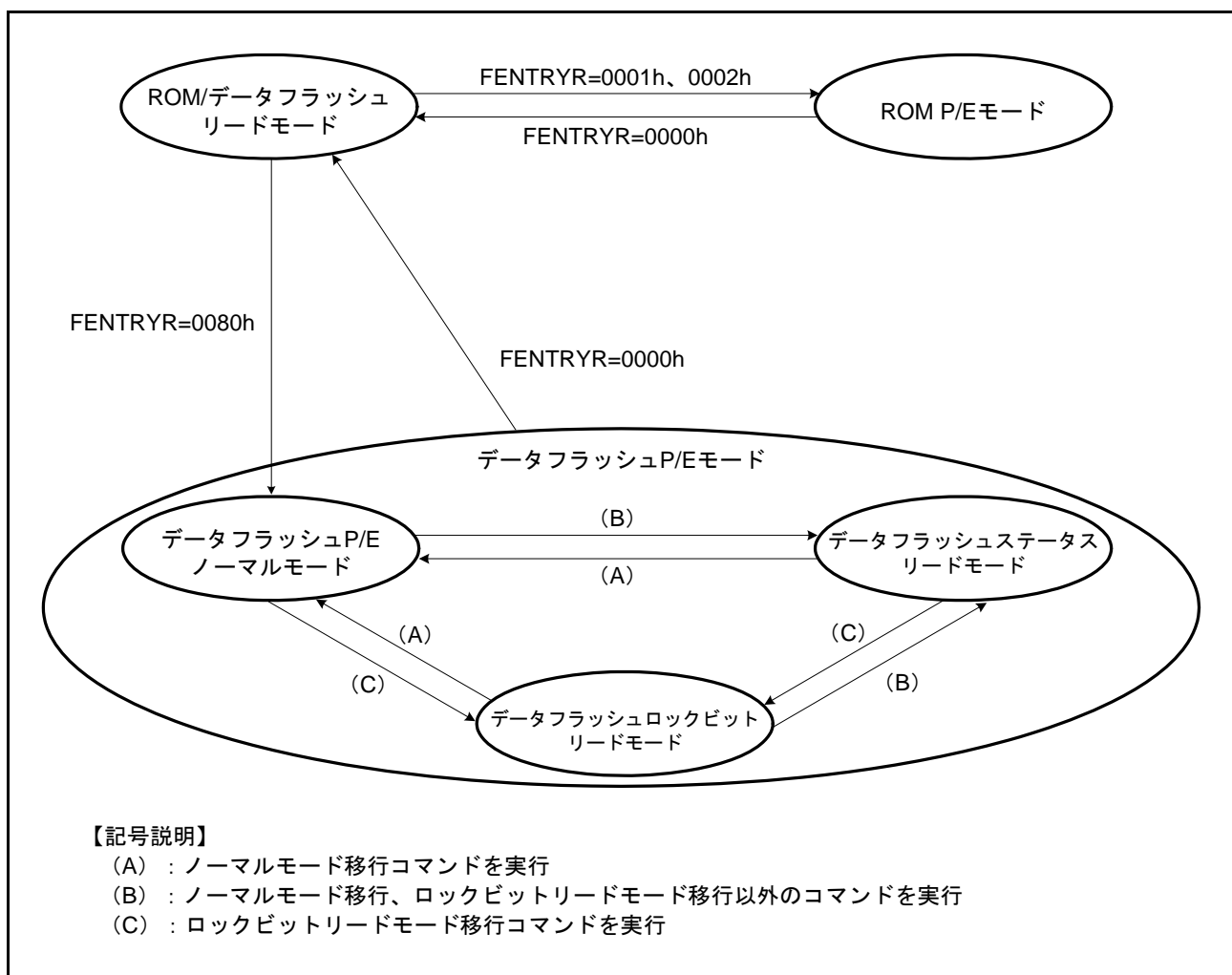


図 27.4 FCU のモード遷移図（データフラッシュ関連）

27.6.1.1 ROM P/E モード

ROM P/E モードは、ROM に対する書き込み / 消去を行うモードです。

ROM P/E モードの詳細は、「26.6.1.2 ROM P/E モード」を参照してください。

27.6.1.2 ROM/ データフラッシュリードモード

ROM およびデータフラッシュの読み出しが可能なモードです。FCU コマンドは受け付けられません。FENTRYR.FENTRYD ビットを“0”、かつ FENTRYR.FENTRY1, FENTRY0 ビットを“00b”にした場合にこのモードに移行します。

27.6.1.3 データフラッシュ P/E モード

データフラッシュ P/E モードは、データフラッシュに対する書き込み / 消去を行うモードです。データフラッシュの読み出しはできません。

データフラッシュ P/E モードには、データフラッシュ P/E ノーマルモード、データフラッシュステータスリードモード、データフラッシュロックビットリードモードの3種類のモードがあります。

(1) データフラッシュ P/E ノーマルモード

データフラッシュ P/E ノーマルモードは、データフラッシュへの書き込み / 消去の際、最初に移行するモードです。ROM/ データフラッシュリードモード時に FENTRYR.FENTRYD ビットを“1”、かつ FENTRYR.FENTRY1, FENTRY0 ビットを“00b”にした場合、またはデータフラッシュ P/E モードでノーマルモード移行コマンドを受け付けた場合に移行します。表 27.7 に受け付け可能なコマンドを示します。

データフラッシュ領域に対してリードアクセスを実行した場合には、データフラッシュアクセス違反が発生して、FCU はコマンドロック状態になります。ROM に対する高速読み出しは可能です。

(2) データフラッシュステータスリードモード

データフラッシュステータスリードモードは、データフラッシュのステータスが読み出せるモードです。

データフラッシュ P/E モードでノーマルモード移行、ロックビットリードモード移行以外のコマンドを受け付けた場合に移行します。FSTAT0.FRDY ビットが“0”の状態やエラー発生後のコマンドロック状態も、データフラッシュステータスリードモード中の状態です。表 27.7 に受け付け可能なコマンドを示します。

データフラッシュ領域に対してリードアクセスを発行した場合には、FSTAT0 レジスタの値が読み出されず、ROM に対する高速読み出しは可能です。

(3) データフラッシュロックビットリードモード

データフラッシュロックビットリードモードは、データフラッシュのロックビットが読み出せるモードです。しかし、データフラッシュにはロックビットが存在しないため、ロックビットの読み出しはできません。

データフラッシュロックビットリードモードへは、データフラッシュ P/E モードでロックビットリードモード移行コマンドを受け付けた場合に移行します。表 27.7 に受け付け可能なコマンドを示します。

データフラッシュにはロックビットが存在しないため、データフラッシュ領域に対してリードアクセスを発行した場合には、読み出しデータは不定値になりますが、データフラッシュアクセス違反は発生しません。ROM に対する高速読み出しは可能です。

27.6.2 FCU コマンド一覧

FCU コマンドには、FCU のモードを移行させるためのコマンドと、書き込み/消去を行うためのコマンドがあります。表 27.5 にデータフラッシュへの書き込み/消去で使用可能な FCU コマンドの一覧を示します。

表27.5 FCUコマンド一覧（データフラッシュ関連）

コマンド	機能
ノーマルモード移行	ノーマルモードに移行（「27.6.3 FCUのモードとコマンドの関係」を参照）
ステータスリードモード移行	ステータスリードモードに移行（「27.6.3 FCUのモードとコマンドの関係」を参照）
ロックビットリードモード移行 （ロックビットリード1）	ロックビットリードモードに移行（「27.6.3 FCUのモードとコマンドの関係」を参照）
周辺クロック設定	周辺クロックの周波数を設定
プログラム	データフラッシュ書き込み（8バイトまたは128バイト単位）
ブロックイレーズ	データフラッシュ消去（ブロック単位）
P/Eサスペンド	書き込み/消去の中断
P/Eレジャーム	書き込み/消去の再開
ステータスレジスタクリア	FSTATR0.ILGLERR, ERSERR, PRGERR ビットのクリアとコマンドロック状態の解除
ロックビットリード2/ブランクチェック	指定した領域が消去状態（ブランク）であるかを確認

ブランクチェックコマンド以外の FCU コマンドは、ROM でも使用します。ロックビットリード2 コマンドは、データフラッシュのブランクチェックコマンドを兼ねています。ROM に対してブランクチェックコマンドを発行した場合には、ROM のロックビット読み出しが実行されます。

FCU へのコマンド発行は、データフラッシュ領域に対するライトアクセスで実現されます。

表 27.6 にプログラムコマンドとブランクチェックコマンドのフォーマットを示します。プログラムコマンドとブランクチェックコマンド以外の FCU コマンドのフォーマットは、「26. ROM（コード格納用フラッシュメモリ）」の「26.6.2 FCU コマンド一覧」を参照してください。

表 27.6 に示したライトアクセスを特定条件下で実行すると、FCU は各コマンドに対応した処理を実行します。FCU の特定条件下については、「27.6.3 FCU のモードとコマンドの関係」を参照してください。また、コマンドの使用方法については、「27.6.4 FCU コマンド使用方法」を参照してください。

表27.6 FCUコマンドのフォーマット（データフラッシュ専用コマンド）

コマンド	バス サイ クル 数	1サイクル目		2サイクル目		3サイクル目		4～N+2 サイクル目		N+3 サイクル目	
		ア ド レ ス	デ ー タ	ア ド レ ス	デ ー タ	ア ド レ ス	デ ー タ	ア ド レ ス	デ ー タ	ア ド レ ス	デ ー タ
プログラム (8バイト書き込み：N=4)	7	EA	E8h	EA	04h	WA	WDn	EA	WDn	EA	D0h
プログラム (128バイト書き込み：N=64)	67	EA	E8h	EA	40h	WA	WDn	EA	WDn	EA	D0h
ブランクチェック	2	EA	71h	BA	D0h	—	—	—	—	—	—

アドレスの列 EA：データフラッシュ領域のアドレス

0010 0000h～0010 7FFFhの任意アドレス

WA：8バイトまたは128バイトの先頭アドレス

BA：データフラッシュ消去ブロックアドレス

対象消去ブロック内の任意アドレス

データの列 WDn：書き込みデータ n ワード目 (n=1～N)

27.6.3 FCU のモードとコマンドの関係

FCU の各モードは、モードごとに受け付け可能な FCU コマンドが決められています。また、それらモードにおける FCU の状態によっても受け付け可能なコマンドは変わります。

FCU コマンドの発行は、FCU のモードを移行させた後、FCU の状態を確認してから発行する必要があります。

表 27.7 に FCU のモードおよび状態で受け付け可能なコマンドを示します。受け付け不可能なコマンドが発行された場合には、FCU はコマンドロック状態になります（「27.7.2 エラープロテクト」を参照）。

FCU コマンドの発行は、受け付け可能なモードに移行した後、FSTAT0.FRDY, ILGLERR, ERSERR, PRGERR ビットと FSTAT1.FCUERR ビットの値を確認してから行ってください。なお、FASTAT.CMDLK ビットの値により、エラーの発生有無を確認することもできます。FASTAT.CMDLK ビットの値は、FSTAT0.ILGLERR, ERSERR, PRGERR ビットと FSTAT1.FCUERR ビットの値の論理和です。

表 27.7 FCU のモード/状態と受け付け可能なコマンドの関係（データフラッシュ P/E モード）

	P/E ノーマルモード			ステータスリードモード							ロックビットリードモード		
	書き込みサスペンド中	消去サスペンド中	その他の状態	書き込み / 消去の処理中	書き込み / 消去の中断処理中	ブランクチェック処理中	書き込みサスペンド中	消去サスペンド中	コマンドロック状態	その他の状態	書き込みサスペンド中	消去サスペンド中	その他の状態
FSTAT0.FRDY ビット	1	1	1	0	0	0	1	1	0/1	1	1	1	1
FSTAT0.SUSRDY ビット	0	0	0	1	0	0	0	0	0	0	0	0	0
FSTAT0.ERSSPD ビット	0	1	0	0	0/1	0	0	1	0	0	0	1	0
FSTAT0.PRGSPD ビット	1	0	0	0	0/1	0	1	0	0	0	1	0	0
FASTAT.CMDLK ビット	0	0	0	0	0	0	0	0	1	0	0	0	0
ノーマルモード移行	○	○	○	×	×	×	○	○	×	○	○	○	○
ステータスリードモード移行	○	○	○	×	×	×	○	○	×	○	○	○	○
ロックビットリードモード移行 (ロックビットリード1)	○	○	○	×	×	×	○	○	×	○	○	○	○
周辺クロック通知	×	×	○	×	×	×	×	×	×	○	×	×	○
プログラム	×	△	○	×	×	×	×	△	×	○	×	△	○
ブロックイレース	×	×	○	×	×	×	×	×	×	○	×	×	○
P/E サスペンド	×	×	×	○	×	×	×	×	×	×	×	×	×
P/E レジューム	○	○	×	×	×	×	○	○	×	×	○	○	×
ステータスレジスタクリア	○	○	○	×	×	×	○	○	○	○	○	○	○
ブランクチェック	○	○	○	×	×	×	○	○	×	○	○	○	○

○：受け付け可能、△：消去中断したブロック以外への書き込みのみ受け付け可能、×：受け付け不可能

27.6.4 FCU コマンド使用方法

プログラムコマンドとブロックイレーズコマンドを使用してデータフラッシュを書き込み / 消去する方法と、ブランクチェックコマンドを使用してデータフラッシュの消去状態を確認する方法を示します。FCU RAM へのファームウェア転送方法やその他の FCU コマンド使用方法については、「26. ROM（コード格納用フラッシュメモリ）」の「26.6.4 FCU コマンド使用方法」を参照してください。

(1) 周辺クロック通知コマンドの使用方法

周辺クロックの周波数を通知します。詳細は「26. ROM（コード格納用フラッシュメモリ）」の「26.6.4 FCU コマンド使用方法」を参照してください。FENTRYR.FENTRYD ビットを“1”にして、アドレスはデータフラッシュ領域内のアドレスを指すように設定を行ってください。

(2) 書き込み方法

データフラッシュへのデータ書き込みには、プログラムコマンドを使用します。

プログラムコマンドの第 1 サイクルでは“E8h”を、第 2 サイクルでは書き込みワード数 (N) (注) をデータフラッシュ領域のアドレスにバイト書き込みします。コマンドの第 3 ～第 N+2 サイクルでは、ワードサイズで書いてください。第 3 サイクルのアクセスでは、プログラム対象領域の先頭アドレスに対して書き込みデータを書いてください。先頭アドレスは、8 バイト書き込みの場合には 8 バイト境界、128 バイト書き込みの場合には 128 バイト境界にアラインしてください。データフラッシュ領域のアドレスに対して N 回のワード書き込みを実行後、第 N+3 サイクルでデータフラッシュ領域のアドレスに対して“D0h”をバイト書き込みすると、FCU がデータフラッシュへの書き込み処理を開始します。書き込みの完了は、FSTATR0.FRDY ビットで確認可能です。

第 3 サイクル～第 N+2 サイクルでアクセスする領域に書き込み不要なアドレスが含まれる場合は、当該アドレスに対する書き込みデータを“FFFFh”にしてください。DFLWE レジスタによる書き込み / 消去プロテクトを無効にして書き込みを実施したい場合には、書き込み対象ブロック用の書き込み / 消去許可ビットを“1”にしてから書き込みを行ってください。

図 27.5 にデータフラッシュへの書き込み方法を示します。

注 1. 8 バイト書き込みの場合は N = 04h、128 バイト書き込みの場合は N=40h です。

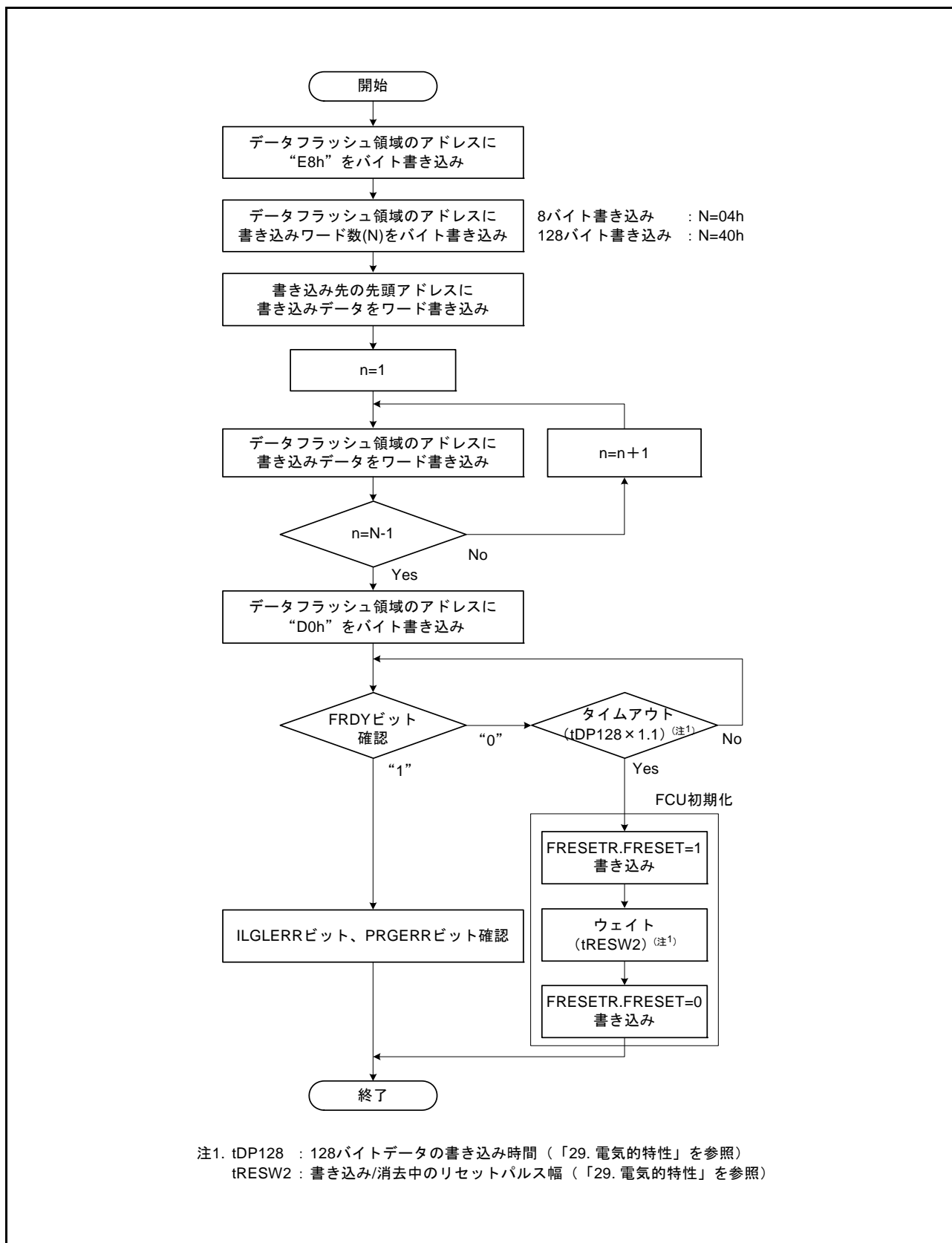


図 27.5 データフラッシュへの書き込み

(3) 消去方法

データフラッシュの消去には、ブロックイレーズコマンドを使用します。ブロックイレーズコマンドを使用した消去方法は、ROMの消去方法と同様です（「26. ROM（コード格納用フラッシュメモリ）」を参照）。

データフラッシュには、DFLWEレジスタによる書き込み/消去プロテクト機能があることに注意してください。DFLWEレジスタによるプロテクトを無効にして消去を実施したい場合には、消去対象ブロック用の書き込み/消去許可ビットを“1”にしてから消去を行ってください。

(4) ブランクチェック

CPUで消去状態のデータフラッシュを読んでも、その値は不定ですので、消去状態の確認にはブランクチェックコマンドを使用する必要があります。ブランクチェックコマンドを使用する場合には、事前にFMODR.FRDMMDビットを“1”にしてブランクチェックコマンドが使用可能な状態にし、DFLBCCNTレジスタにチェック対象領域のサイズとアドレスを設定してください。DFLBCCNT.BCSIZEビットが“1”の場合には、ブランクチェックコマンドの第2サイクルで指定した消去ブロック全体（8Kバイト）のブランクチェックを実行可能です。BCSIZEビットが“0”の場合には、ブランクチェックコマンドの第2サイクルで指定した消去ブロックの先頭アドレスと、DFLBCCNTレジスタの値を加算したアドレスから8バイト分の領域のブランクチェックを実行可能です。ブランクチェックコマンドの第1サイクルでは、“71h”をデータフラッシュ領域のアドレスにバイト書き込みします。コマンドの第2サイクルでブランクチェック対象領域を含む消去ブロック内の任意アドレスに“D0h”をバイト書き込みすると、FCUがデータフラッシュのブランクチェック処理を開始します。ブランクチェックの完了は、FSTATR0.FRDIYビットで確認可能です。ブランクチェックの完了後にDFLBCSTAT.BCSTビットの値を確認すると、チェック対象領域が消去状態であるか0データか1データを書いた状態であるかを確認することができます。

図 27.6 にデータフラッシュのブランクチェック方法を示します。

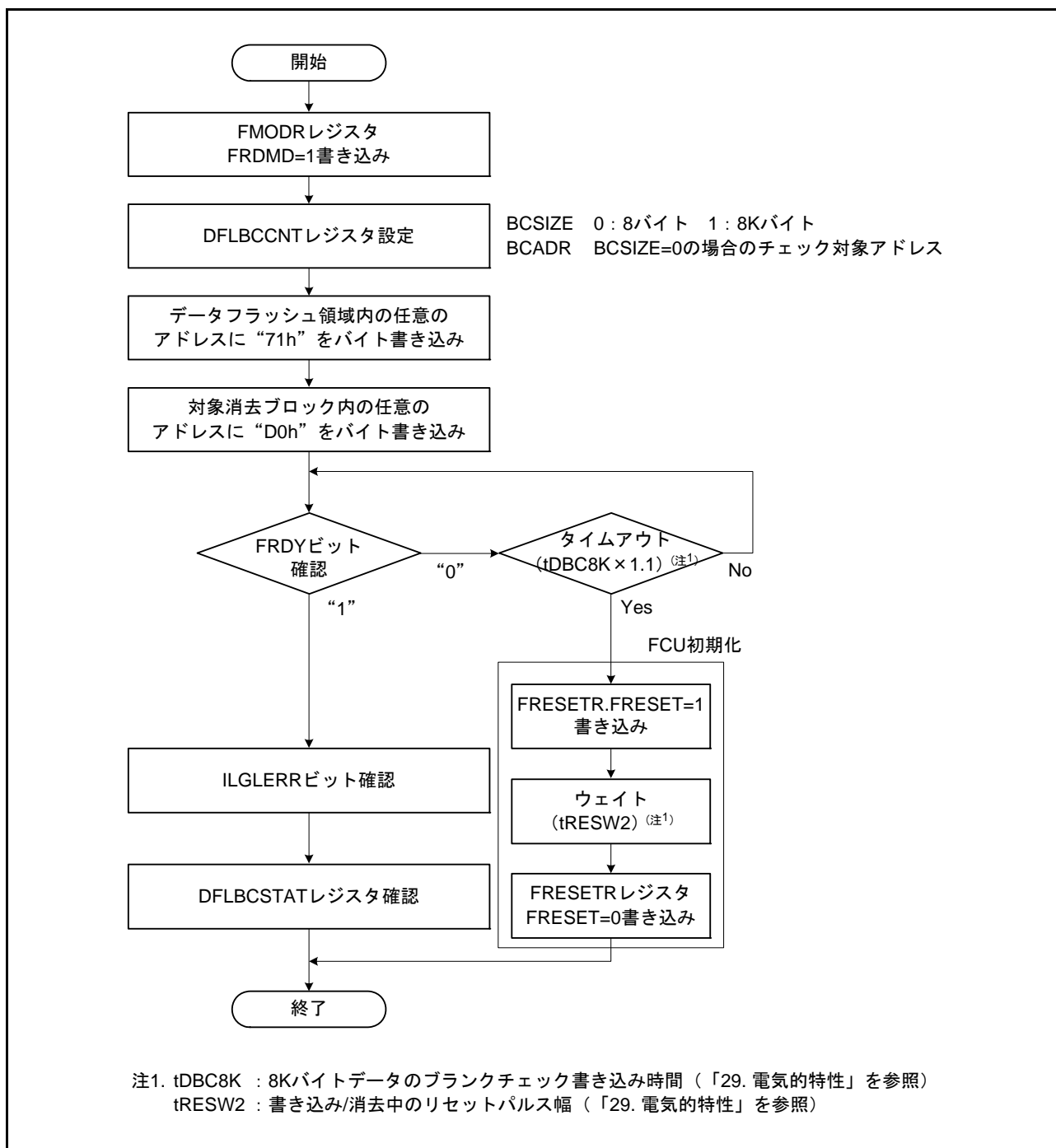


図 27.6 データフラッシュのブランクチェック

27.7 プロテクト

データフラッシュに対する書き込み / 消去のプロテクトには、ソフトウェアプロテクト、エラープロテクトの2種類があります。

27.7.1 ソフトウェアプロテクト

ソフトウェアプロテクトは、制御レジスタ設定によってデータフラッシュに対する書き込み / 消去 / 読み出しが禁止された状態です。ソフトウェアプロテクトに違反してデータフラッシュに対する書き込み / 消去系コマンドを発行した場合、読み出しを行った場合には、FCU がエラーを検出してコマンドロック状態になります。

(1) FWEPROR レジスタによるプロテクト

FWEPROR.FLWE[1:0] ビットを“01b”にしないと、いずれのモードにおいても書き換えできません。

(2) FENTRYR レジスタによるプロテクト

FENTRYR.FENTRYD ビットが“0”の場合には、ROM/ データフラッシュリードモードになります。ROM/ データフラッシュリードモードではFCU コマンドが受け付けられないため、データフラッシュへの書き込み / 消去は禁止状態になります。ROM/ データフラッシュリードモードでデータフラッシュに対するFCU コマンドを発行すると、FCU は不正コマンドエラーを検出してコマンドロック状態になります（「27.7.2 エラープロテクト」を参照）。

(3) DFLWE レジスタによるプロテクト

DFLWE.DBWE_j (j=0 ~ 3) ビットが“0”の場合には、データマットのDB_jブロックへの書き込み / 消去が禁止状態になります。DBWE_j ビットが“0”の状態ではDB_jブロックに対する書き込み / 消去を実行すると、FCU はライトプロテクト違反を検出してコマンドロック状態になります（「27.7.2 エラープロテクト」を参照）。

(4) DFLRE レジスタによるプロテクト

DFLRE.DBRE_j (j=0 ~ 3) ビットが“0”の場合には、データマットのDB_jブロックの読み出しが禁止状態になります。DBRE_i ビットが“0”の状態ではDB_jブロックに対する読み出しを実行すると、FCU はリードプロテクト違反を検出してコマンドロック状態になります（「27.7.2 エラープロテクト」を参照）。

27.7.2 エラープロテクト

エラープロテクトは、FCU コマンドの誤発行、禁止アクセスの発生により、FCU が誤動作を検知して FCU コマンドの受け付けを禁止する状態（コマンドロック状態）です。FCU がコマンドロック状態（FASTAT.CMDLK ビットが“1”）になると、ステータスビット（FSTATR0.ILGLERR, ERSERR, PRGERR ビット、FSTATR1.FCUERR ビット、FASTST.DFLAE, DFLRPE, DFLWPE ビット）のいずれかもしくは複数ビットが“1”になりされ、データフラッシュの書き込み/消去が禁止されます。コマンドロック状態を解除するためには、FASTAT レジスタが“10h”の状態ステータスレジスタクリアコマンドを発行する必要があります。

FAEINT.CMDLKIE ビットが“1”の場合には、FCU がコマンドロック状態（FASTAT.CMDLK ビットが“1”）になると、フラッシュインタフェースエラー（FIFERR）割り込みが発生します。また、FAEINT レジスタのデータフラッシュ関連の割り込み許可ビット（DFLAEIE, DFLRPEIE, DFLWPEIE ビット）が“1”の場合には、FASTAT レジスタの対応するビット（DFLAE, DFLRPE, DFLWPE ビット）が“1”になったときも FIFERR 割り込みが発生します。

表 27.8 にデータフラッシュ関連のエラープロテクト内容とエラー検出後のステータスビット値（FSTATR0.ILGLERR, ERSERR, PRGERR ビット、FASTAT.DFLAE, DFLRPE, DFLWPE ビット）の関係を示します。ROM/ データフラッシュ共通のエラープロテクト内容（FENTRYR 設定エラー、不正コマンドの大半、消去エラー、書き込みエラー、FCU エラー）については、「26. ROM（コード格納用フラッシュメモリ）」の「26.8.2 エラープロテクト」を参照してください。

書き込み/消去処理中にサスペンド以外のコマンドを発行するとコマンドロック状態に遷移しますが、FCU は書き込み/消去処理を継続します。この状態で P/E サスペンドコマンドを発行して書き込み/消去を中断することはできません。コマンドロック状態でコマンドが発行された場合には、ILGLERR ビットが“1”になります。

表 27.8 エラープロテクト一覧（データフラッシュ専用）

分類	内容	ILGLERR	ERSERR	PRGERR	DFLAE	DFLRPE	CMDLK
不正コマンド	プログラムコマンドの2サイクル目で“04h”、“40h”以外を指定	1	0	0	0	0	1
	FENTRYR.FENTRYD ビットが“1”の状態、データフラッシュ領域に対してロックビットプログラムコマンドを発行	1	0	0	0	0	1
データフラッシュアクセス違反	FENTRYD ビットが“1”、かつデータフラッシュ P/E ノーマルモードで、データフラッシュ領域に対してリードアクセスを発行	1	0	0	1	0	1
	FENTRYD ビットが“0”の状態、データフラッシュ領域に対してライトアクセスを発行	1	0	0	1	0	1
	FENTRYR.FENTRY1, FENTRY0 ビットのいずれかが“1”の状態、データフラッシュ領域に対するアクセスを発行	1	0	0	1	0	1
データフラッシュリードプロテクト違反	DFLRE レジスタで読み出し禁止に設定したデータフラッシュ領域に対してリードアクセスを発行	1	0	0	0	1	1
データフラッシュライトプロテクト違反	DFLWE レジスタで書き込み/消去禁止に設定したデータフラッシュ領域に対して、プログラム/ブロックイレーズコマンドを発行	1	0	0	0	0	1

27.8 ブートモード

ブートモードでは、ホストから制御コマンドや書き込みデータを送信してデータマットの書き込み / 消去を実行可能です。ブートモードのシステム構成や使用方法の詳細は、「26.10 ブートモード」を参照してください。以下にデータフラッシュ固有のコマンドについて説明します。

27.8.1 問い合わせ設定ホストコマンド

表 27.9 にデータフラッシュ固有の問い合わせ設定ホストコマンド一覧を示します。データマット有無問い合わせ / データマット情報問い合わせコマンドは、「26.10.5 問い合わせ設定ホストコマンド待ち状態」 「図 26.29 ユーザマット / ユーザブートマットの問い合わせ設定ホストコマンドの使用例」に示したフロー中の“マット書き込み用の情報問い合わせ”を実施する箇所で使用します。

表 27.9 問い合わせ設定ホストコマンド（データフラッシュ固有）

ホストコマンド名	機能
データマット有無問い合わせ	データマット有無の問い合わせ
データマット情報問い合わせ	データマットの個数、先頭/最終アドレスの問い合わせ

各コマンドの詳細を以下に説明します。説明文中の“コマンド”はホストから RX610 に送信するコマンド、“レスポンス”は RX610 からホストに送信する応答です。“サムチェック”は RX610 が送信した各バイトを合計した場合に、00h になるように計算されたバイトデータを指します。

(1) データマット有無問い合わせ

ホストがデータマット有無問い合わせコマンドを送信すると、データマットが有ることを示す情報を RX610 が送信します。

コマンド

2Ah

レスポンス

3Ah	サイズ	マット有無	SUM
-----	-----	-------	-----

【記号説明】

サイズ (1バイト)	: マット有無の文字数 (固定値で1)
マット有無 (1バイト)	: データマットの有無 (固定値で21h) 21h: データマットあり
SUM (1バイト)	: サムチェック

(2) データマット情報問い合わせ

ホストがデータマット情報問い合わせコマンドを送信すると、データマットのエリア数とアドレスの情報をRX610が送信します。

コマンド	2Bh		
レスポンス	3Bh	サイズ	エリア数
	エリア先頭アドレス		
	エリア最終アドレス		
	エリア先頭アドレス		
	エリア最終アドレス		
	...		
	エリア先頭アドレス		
	エリア最終アドレス		
	SUM		

【記号説明】	サイズ (1バイト)	: エリア数、エリア先頭アドレス、エリア最終アドレスのデータの総バイト数
	エリア数 (1バイト)	: データマットのエリア数 (連続したエリアは1エリアと数えます。)
	エリア先頭アドレス (4バイト)	: データマットエリアの先頭アドレス
	エリア最終アドレス (4バイト)	: データマットエリアの最終アドレス
	SUM (1バイト)	: サムチェック

データマットのブロック構成の情報は、消去ブロック情報問い合わせコマンド（「26.10.5 問い合わせ設定ホストコマンド待ち状態」を参照）のレスポンスに含まれます。

27.8.2 書き込み / 消去ホストコマンド

表 27.10 にデータフラッシュ固有の書き込み / 消去ホストコマンド一覧を示します。データフラッシュ固有のホストコマンドはデータマットのサムチェック / ブランクチェック用のコマンドのみで、書き込み / 消去 / 読み出し用のコマンドはROMと共用です。

データマットの書き込みを行う場合は、ユーザマット書き込み選択コマンドを発行後、256 バイト書き込みコマンドで書き込みアドレスにデータマットのアドレスを指定します。データマットの消去を行う場合は、消去選択コマンド発行後、ブロック消去コマンドでデータマットの消去ブロックを指定します。データマットの消去ブロック情報は、消去ブロック問い合わせコマンドのレスポンスに含まれます。データマットの読み出しを行う場合は、メモリリードコマンドでユーザマットを選択し、読み出し対象アドレスにデータマットのアドレスを指定します。

ユーザマット書き込み選択コマンド / ユーザブートマット書き込み選択コマンド / 256 バイト書き込みコマンド / 消去選択コマンド / ブロック消去コマンド / メモリリードコマンドの詳細は、「26.10.7 書き込み / 消去ホストコマンド待ち状態」を参照してください。消去ブロック情報問い合わせコマンドの詳細は、「26.10.5 問い合わせ設定ホストコマンド待ち状態」を参照してください。

表27.10 書き込み/消去ホストコマンド（データフラッシュ固有）

ホストコマンド名	機能
データマットサムチェック	データマットのサムチェック
データマットブランクチェック	データマットのブランクチェック

各コマンドの詳細を以下に説明します。説明文中の“コマンド”はホストからRX610に送信するコマンド、“レスポンス”はRX610からホストに送信する応答です。“サムチェック”は、RX610が送信した各バイトを合計した場合に、00hになるように計算されたバイトデータを指します。

(1) データマットサムチェック

ホストがデータマットサムチェックコマンドを送信すると、RX610はデータマットのデータをバイト単位で加算した結果（サムチェック）を送信します。

コマンド	61h		
レスポンス	71h	サイズ	マットのサムチェック
			SUM

【記号説明】	サイズ (1バイト)	: マットのサムチェックのバイト数 (固定値で4)
	マットのサムチェック (4バイト)	: データマットのサムチェック結果
	SUM (4バイト)	: サムチェック (レスポンスデータのサムチェック)

(2) データマットブランクチェック

ホストがデータマットブランクチェックコマンドを送信すると、RX610はデータマットがすべて消去状態であるかをチェックします。データマットがすべて消去状態であった場合には、RX610はレスポンス (06h) を送信します。データマットに未消去領域が存在した場合には、RX610はエラーレスポンス (E2h → 52h) を送信します。

コマンド	62h	
レスポンス	06h	
エラー レスポンス	E2h	52h

27.9 使用上の注意事項

(1) リセット起動直後のデータマットプロテクト状態

DFLRE、DFLWE レジスタの初期値が“0000h”であるため、リセット起動直後のデータマットの読み出し/書き込み/消去は禁止状態です。データマットの読み出しが必要な場合には DFLRE レジスタを設定してからデータマットにアクセスしてください。また、データマットへの書き込み/消去が必要な場合には、DFLWE レジスタを設定してから書き込み/消去用の FCU コマンドを発行してください。レジスタを設定せずに読み出し/書き込み/消去を実行しようとする、FCU がエラーを検出してコマンドロック状態になります。

(2) その他の注意事項

その他の注意事項については ROM と同じです。「26. ROM（コード格納用フラッシュメモリ）」の「26.13 使用上の注意事項」を参照してください。ただし、データフラッシュの場合は「ブランクチェック」が追加されます。「書き込み/消去」を「書き込み/消去/ブランクチェック」と読み替えてください。

28. バウンダリスキャン

RX610 グループは、バウンダリスキャン機能を内蔵しています。バウンダリスキャン機能は、176 ピン LFBGA にのみ搭載されています。

バウンダリスキャンは、JTAG (Joint Test Action Group, IEEE Std.1149.1 and IEEE Standard Test Access Port and Boundary-Scan Architecture) と同等なシリアル入出力インタフェースです。

28.1 概要

表 28.1 にバウンダリスキャンの仕様を示します。

図 28.1 にバウンダリスキャンのブロック図を示します。

表 28.1 バウンダリスキャンの仕様

項目	内容
バウンダリスキャン有効/無効	EMLE 端子を Low、かつ BSCANP 端子を High としたときにバウンダリスキャン機能が有効
バウンダリスキャン専用端子	バウンダリスキャン機能有効時、P02、P03、P04、P05、WDTOVF#は、JTAG 専用端子
6種類のテストモード	<ul style="list-style-type: none"> • BYPASSモード • EXTESTモード • SAMPLE/PRELOADモード • CLAMPモード • HIGHZモード • IDCODEモード

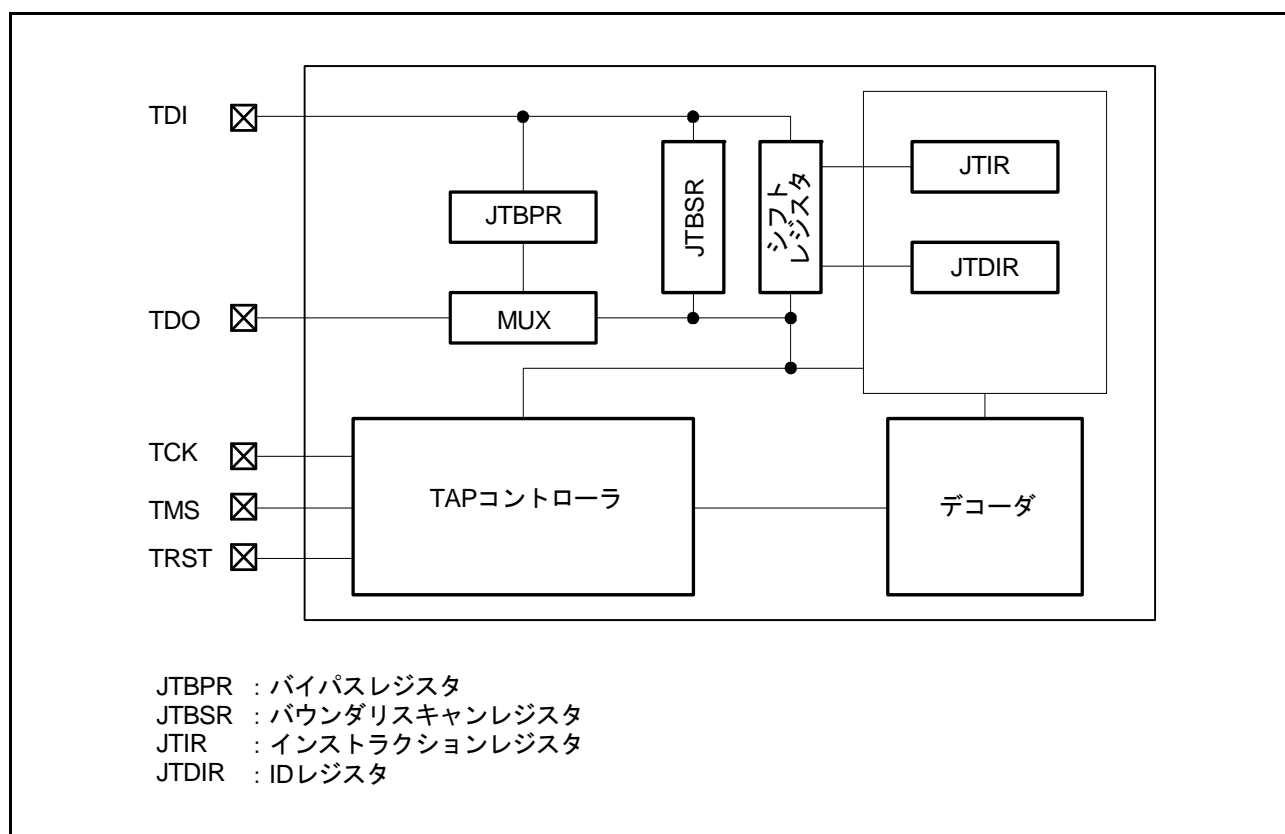


図 28.1 JTAG ブロック図

表 28.2 にバウンダリスキャンで使用する入出力端子を示します。

表 28.2 JTAG 入出力端子

端子名	入出力	機能
TCK	入力	テストクロック入力 バウンダリスキャン用のクロック信号 バウンダリスキャン機能使用時はデューティ比50%のクロックを入力してください
TMS	入力	テストモードセレクト
TDI	入力	テストデータ入力
TDO	出力	テストデータ出力
TRST	入力	テストリセット入力

28.2 レジスタの説明

表 28.3 にバウンダリスキャンのバウンダリスキャンのレジスタ一覧一覧を示します。

表 28.3 バウンダリスキャンのレジスタ一覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
インストラクションレジスタ	JTIR	4h	—	4
バイパスレジスタ	JTBPR	不定	—	1
バウンダリスキャンレジスタ	JTBSR	不定	—	—
IDCODE レジスタ	JTIDR	0809 9447h	—	32

インストラクションは、TDI 端子からシリアル転送により JTIR レジスタへ入力できます。

JTBPR レジスタは1ビットのレジスタで、BYPASS モード時に TDI 端子と TDO 端子はこのレジスタに接続されます。

JTBSR レジスタは表 28.6 の構成のレジスタで、テストデータをシフトインするときに TDI 端子と TDO 端子の間に接続されます。

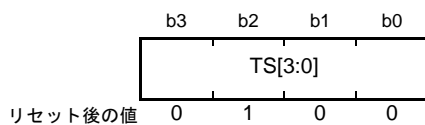
すべてのレジスタは、CPU からアクセスできません。

表 28.4 に各レジスタのシリアル転送を示します。

表 28.4 レジスタのシリアル転送

レジスタ	シリアル入力	シリアル出力
JTIR	可能	可能
JTBPR	可能	可能
JTBSR	可能	可能
JTIDR	可能	可能

28.2.1 インストラクションレジスタ (JTIR)



ビット	シンボル	ビット名	機能	R/W
b3-b0	TS[3:0]	テストビットセット	コマンド構成は表 28.5 のようになります。	—

表 28.5 コマンド構成

TS3	TS2	TS1	TS0	インストラクション
0	0	0	0	EXTEST
0	0	0	1	SAMPLE/PRELOAD
0	1	0	0	IDCODE (初期値)
0	1	1	0	CLAMP
0	1	1	1	HIGHZ
1	1	1	1	BYPASS
上記以外				予約

JTIR レジスタは、4 ビットのレジスタです。

バウンダリスキャンのインストラクションは、TDI 端子からのシリアル入力によって JTIR レジスタに転送することができます。

JTIR レジスタは TRST 端子が Low、または TAP コントローラが Test-Logic-Reset 状態 のときに初期化されます。

28.2.2 バイパスレジスタ (JTBPR)

JTBPR レジスタは、1 ビットのレジスタです。

BYPASS モードに設定された場合、TDI 端子と TDO 端子は JTBPR レジスタに接続されます。

CPU から JTBPR レジスタへリード/ライトできません。

28.2.3 バウンダリスキャンレジスタ (JTBSR)

JTBSR レジスタは、LSI の入出力端子の制御を行うために PAD 上に配置されたシフトレジスタです。

EXTEST、SAMPLE/PRELOAD、CLAMP、および HIGHZ コマンドを用いて、バウンダリスキャンテストを行うことができます。

表 28.6 に LSI の端子とバウンダリスキャンレジスタの対応を示します

リセット後の値は、不定です。

表 28.6 バウンダリスキャンレジスタ (1 / 10)

from TDI			
176ピン LFBGA	端子名	入出力	ビット 名
B1	P67	入力	411
		出カインェーブル	410
		出力	409
C2	P66	入力	408
		出カインェーブル	407
		出力	406
D2	P01	入力	405
		出カインェーブル	404
		出力	403
E4	P00	入力	402
		出カインェーブル	401
		出力	400
D1	P65	入力	399
		出カインェーブル	398
		出力	397
F4	MDE	入力	396
F1	MD1	入力	395
F2	MD0	入力	394
G4	P86	入力	393
		出カインェーブル	392
		出力	391
G3	P85	入力	390
		出カインェーブル	389
		出力	388
H2	NMI	入力	387
J4	P34	入力	386
		出カインェーブル	385
		出力	384
J3	PF6	入力	383
		出カインェーブル	382
		出力	381
J1	PF5	入力	380
		出カインェーブル	379
		出力	378
J2	PF4	入力	377
		出カインェーブル	376
		出力	375
K4	P33	入力	374
		出カインェーブル	373
		出力	372
K3	P32	入力	371
		出カインェーブル	370
		出力	369

表 28.6 バウンダリスキャンレジスタ (2 / 10)

from TDI			
176ピン LFBGA	端子名	入出力	ビット 名
K1	P31	入力	368
		出カインェーブル	367
		出力	366
K2	P30	入力	365
		出カインェーブル	364
		出力	363
L3	PF3	入力	362
		出カインェーブル	361
		出力	360
L1	PF2	入力	359
		出カインェーブル	358
		出力	357
L2	PF1	入力	356
		出カインェーブル	355
		出力	354
L4	PF0	入力	353
		出カインェーブル	352
		出力	351
M1	P27	入力	350
		出カインェーブル	349
		出力	348
M2	P26	入力	347
		出カインェーブル	346
		出力	345
N1	P25	入力	344
		出カインェーブル	343
		出力	342
N2	P24	入力	341
		出カインェーブル	340
		出力	339
P1	P23	入力	338
		出カインェーブル	337
		出力	336
P2	P22	入力	335
		出カインェーブル	334
		出力	333
R1	P21	入力	332
		出カインェーブル	331
		出力	330
N3	P20	入力	329
		出カインェーブル	328
		出力	327

表 28.6 バウンダリスキャンレジスタ (3 / 10)

from TDI			
176ピン LFBGA	端子名	入出力	ビット 名
R2	P17	入力	326
		出カイナーブル	325
		出力	324
N4	P16	入力	323
		出カイナーブル	322
		出力	321
P4	P15	入力	320
		出カイナーブル	319
		出力	318
M5	P14	入力	317
		出カイナーブル	316
		出力	315
R4	P13	入力	314
		出カイナーブル	313
		出力	312
N5	P12	入力	311
		出カイナーブル	310
		出力	309
P5	P11	入力	308
		出カイナーブル	307
		出力	306
R5	P10	入力	305
		出カイナーブル	304
		出力	303
M6	P37	入力	302
		出カイナーブル	301
		出力	300
N6	P36	入力	299
		出カイナーブル	298
		出力	297
R6	P35	入力	296
		出カイナーブル	295
		出力	294
P6	P84	入力	293
		出カイナーブル	292
		出力	291
M7	P57	入力	290
		出カイナーブル	289
		出力	288
N7	P56	入力	287
		出カイナーブル	286
		出力	285

表 28.6 バウンダリスキャンレジスタ (4 / 10)

from TDI			
176ピン LFBGA	端子名	入出力	ビット 名
R7	P55	入力	284
		出カイナーブル	283
		出力	282
P7	P54	入力	281
		出カイナーブル	280
		出力	279
M8	P83	入力	278
		出カイナーブル	277
		出力	276
R8	P82	入力	275
		出カイナーブル	274
		出力	273
M9	P81	入力	272
		出カイナーブル	271
		出力	270
N9	P80	入力	269
		出カイナーブル	268
		出力	267
R9	P53	入力	266
		出カイナーブル	265
		出力	264
P9	P52	入力	263
		出カイナーブル	262
		出力	261
M10	P51	入力	260
		出カイナーブル	259
		出力	258
N10	P50	入力	257
		出カイナーブル	256
		出力	255
R10	PH7	入力	254
		出カイナーブル	253
		出力	252
P10	PH6	入力	251
		出カイナーブル	250
		出力	249
R11	PH5	入力	248
		出カイナーブル	247
		出力	246
M11	PH4	入力	245
		出カイナーブル	244
		出力	243

表 28.6 バウンダリスキャンレジスタ (5 / 10)

from TDI			
176ピン LFBGA	端子名	入出力	ビット 名
R12	PH3	入力	242
		出カイナーブル	241
		出力	240
P12	P77	入力	239
		出カイナーブル	238
		出力	237
N12	P76	入力	236
		出カイナーブル	235
		出力	234
R13	P75	入力	233
		出カイナーブル	232
		出力	231
M12	PC7	入力	230
		出カイナーブル	229
		出力	228
P13	PC6	入力	227
		出カイナーブル	226
		出力	225
R14	PC5	入力	224
		出カイナーブル	223
		出力	222
P14	PC4	入力	221
		出カイナーブル	220
		出力	219
R15	PC3	入力	218
		出カイナーブル	217
		出力	216
N13	PH2	入力	215
		出カイナーブル	214
		出力	213
N14	PC2	入力	212
		出カイナーブル	211
		出力	210
N15	PC1	入力	209
		出カイナーブル	208
		出力	207
M14	PC0	入力	206
		出カイナーブル	205
		出力	204
L12	PB7	入力	203
		出カイナーブル	202
		出力	201

表 28.6 バウンダリスキャンレジスタ (6 / 10)

from TDI			
176ピン LFBGA	端子名	入出力	ビット 名
M15	PB6	入力	200
		出カイナーブル	199
		出力	198
L13	PB5	入力	197
		出カイナーブル	196
		出力	195
L14	PB4	入力	194
		出カイナーブル	193
		出力	192
L15	PB3	入力	191
		出カイナーブル	190
		出力	189
K12	PB2	入力	188
		出カイナーブル	187
		出力	186
K13	PB1	入力	185
		出カイナーブル	184
		出力	183
K15	P74	入力	182
		出カイナーブル	181
		出力	180
K14	P73	入力	179
		出カイナーブル	178
		出力	177
J12	P72	入力	176
		出カイナーブル	175
		出力	174
J13	P71	入力	173
		出カイナーブル	172
		出力	171
J15	P70	入力	170
		出カイナーブル	169
		出力	168
H12	PB0	入力	167
		出カイナーブル	166
		出力	165
H15	PH1	入力	164
		出カイナーブル	163
		出力	162
H14	PH0	入力	161
		出カイナーブル	160
		出力	159

表28.6 バウンダリスキャンレジスタ (7 / 10)

from TDI			
176ピン LFBGA	端子名	入出力	ビット名
G12	PA7	入力	158
		出カイナーブル	157
		出力	156
G13	PA6	入力	155
		出カイナーブル	154
		出力	153
G15	PA5	入力	152
		出カイナーブル	151
		出力	150
G14	PA4	入力	149
		出カイナーブル	148
		出力	147
F12	PA3	入力	146
		出カイナーブル	145
		出力	144
F13	PA2	入力	143
		出カイナーブル	142
		出力	141
F15	PA1	入力	140
		出カイナーブル	139
		出力	138
F14	PA0	入力	137
		出カイナーブル	136
		出力	135
E13	PG7	入力	134
		出カイナーブル	133
		出力	132
E14	PG6	入力	131
		出カイナーブル	130
		出力	129
D15	PG5	入力	128
		出カイナーブル	127
		出力	126
D14	PE7	入力	125
		出カイナーブル	124
		出力	123
D13	PE6	入力	122
		出カイナーブル	121
		出力	120
C15	PE5	入力	119
		出カイナーブル	118
		出力	117

表28.6 バウンダリスキャンレジスタ (8 / 10)

from TDI			
176ピン LFBGA	端子名	入出力	ビット名
D12	PE4	入力	116
		出カイナーブル	115
		出力	114
C14	PE3	入力	113
		出カイナーブル	112
		出力	111
B15	PE2	入力	110
		出カイナーブル	109
		出力	108
B14	PE1	入力	107
		出カイナーブル	106
		出力	105
A15	PE0	入力	104
		出カイナーブル	103
		出力	102
C13	PD7	入力	101
		出カイナーブル	100
		出力	99
A14	PD6	入力	98
		出カイナーブル	97
		出力	96
B13	PD5	入力	95
		出カイナーブル	94
		出力	93
A13	PD4	入力	92
		出カイナーブル	91
		出力	90
D11	P64	入力	89
		出カイナーブル	88
		出力	87
A12	P63	入力	86
		出カイナーブル	85
		出力	84
C11	P62	入力	83
		出カイナーブル	82
		出力	81
B11	P61	入力	80
		出カイナーブル	79
		出力	78
A11	P60	入力	77
		出カイナーブル	76
		出力	75

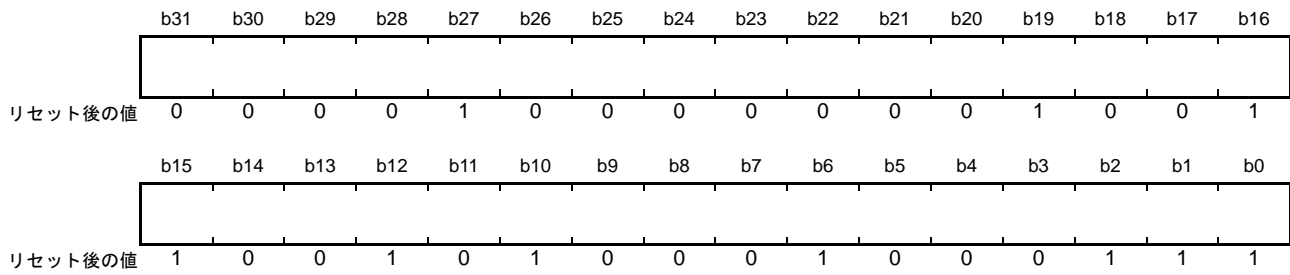
表28.6 バウンダリスキャンレジスタ (9 / 10)

from TDI			
176ピン LFBGA	端子名	入出力	ビット 名
D10	PD3	入力	74
		出カイナーブル	73
		出力	72
C10	PD2	入力	71
		出カイナーブル	70
		出力	69
A10	PD1	入力	68
		出カイナーブル	67
		出力	66
B10	PD0	入力	65
		出カイナーブル	64
		出力	63
D9	PG4	入力	62
		出カイナーブル	61
		出力	60
C9	PG3	入力	59
		出カイナーブル	58
		出力	57
A9	PG2	入力	56
		出カイナーブル	55
		出力	54
B9	PG1	入力	53
		出カイナーブル	52
		出力	51
D8	PG0	入力	50
		出カイナーブル	49
		出力	48
A8	P97	入力	47
		出カイナーブル	46
		出力	45
B8	P96	入力	44
		出カイナーブル	43
		出力	42
D7	P95	入力	41
		出カイナーブル	40
		出力	39
C7	P94	入力	38
		出カイナーブル	37
		出力	36
A7	P93	入力	35
		出カイナーブル	34
		出力	33

表28.6 バウンダリスキャンレジスタ (10 / 10)

from TDI			
176ピン LFBGA	端子名	入出力	ビット 名
B7	P92	入力	32
		出カイナーブル	31
		出力	30
D6	P91	入力	29
		出カイナーブル	28
		出力	27
A6	P90	入力	26
		出カイナーブル	25
		出力	24
C5	P47	入力	23
		出カイナーブル	22
		出力	21
A5	P46	入力	20
		出カイナーブル	19
		出力	18
B5	P45	入力	17
		出カイナーブル	16
		出力	15
D5	P44	入力	14
		出カイナーブル	13
		出力	12
A4	P43	入力	11
		出カイナーブル	10
		出力	9
B4	P42	入力	8
		出カイナーブル	7
		出力	6
C4	P41	入力	5
		出カイナーブル	4
		出力	3
D4	P40	入力	2
		出カイナーブル	1
		出力	0

28.2.4 IDCODE レジスタ (JTID)



ビット	機能	R/W
b31-b0	デバイスIDCODEを示す固定値のレジスタ	—

JTID レジスタは、32 ビットのレジスタです。

IDCODE 命令時、JTID レジスタのデータを TDO 端子から出力します。

28.3 動作説明

バウンダリスキャン機能は、EMLE 端子を Low、かつ BSCANP 端子を High としたとき有効になります。

28.3.1 TAP コントローラ

図 28.2 に TAP コントローラの状態遷移図を示します。

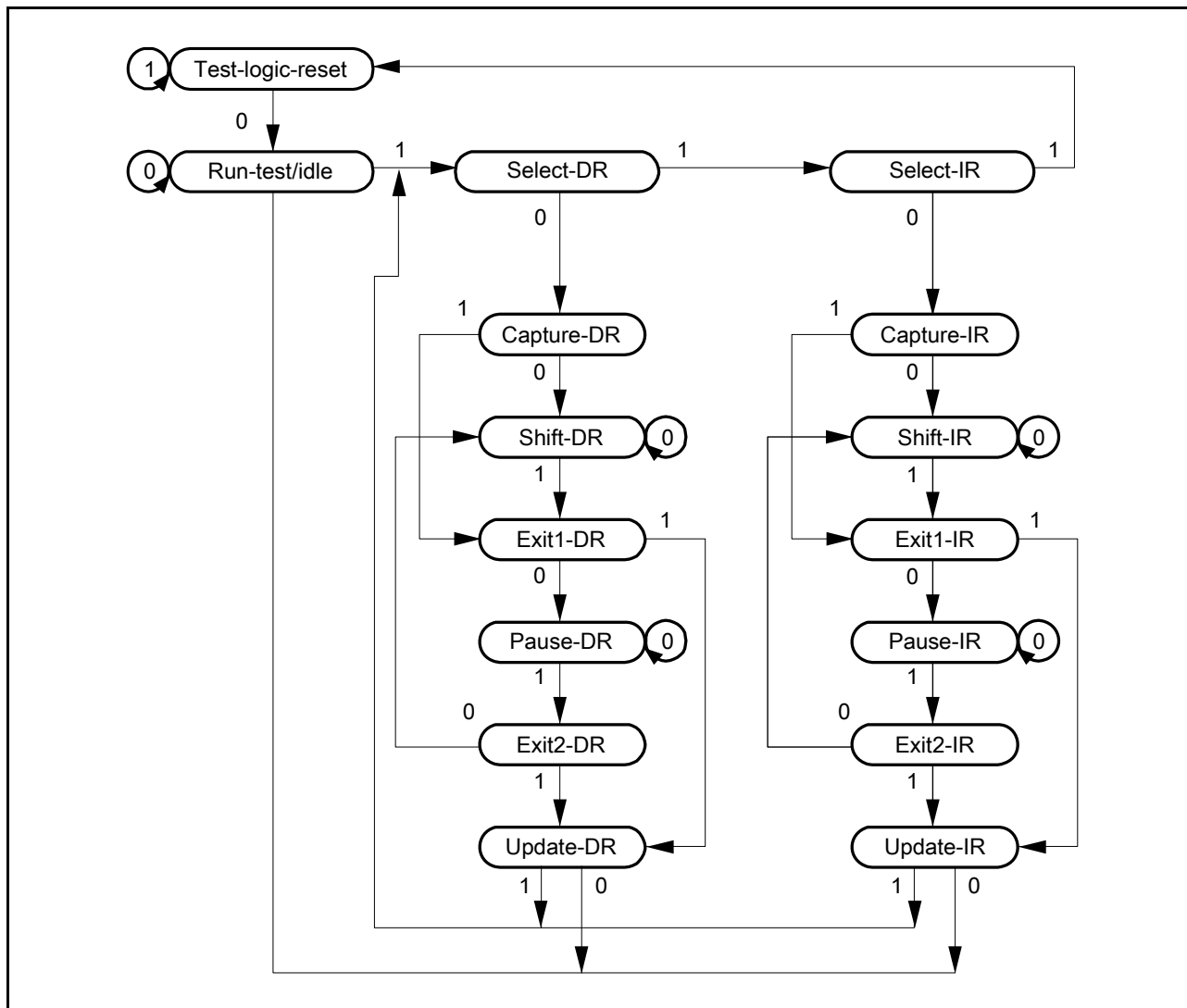


図 28.2 TAP コントローラ

28.3.2 コマンド一覧

(1) BYPASS[命令コード : 1111b]

BYPASS 命令は、JTBPR レジスタを動作させる命令です。この命令はシフトパスを短縮してプリント基板上の他の LSI のシリアルデータの転送速度を高速化するものです。この命令の実行中、テスト回路はシステム回路に何の影響も与えません。

TDI 端子と TDO 端子には JTBPR レジスタが接続されます。Shift-DR 動作でバイパス動作となります。Shift-DR の 1 クロック目では TDO が Low となり、その後の Shift-DR で TDI が TDO から出力されます。

(2) EXTEST[命令コード : 0000b]

EXTEST 命令は、LSI をプリント基板に実装したとき、外部回路をテストするためのものです。この命令の実行時、出力端子は JTBSR レジスタからテストデータ (SAMPLE/PRELOAD 命令ですでに設定されています) をプリント基板へ出力するために使用され、入力端子はプリント基板から JTBSR レジスタにテスト結果を取り込むために使用されます。

(3) SAMPLE/PRELOAD[命令コード : 0001b]

SAMPLE/PRELOAD 命令は、LSI の内部回路から JTBSR レジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。この命令の実行中、LSI の入力端子はそのまま内部回路に伝達され、内部回路の値はそのまま出力端子から外部へ出力されます。この命令の実行により LSI のシステム回路は何の影響も受けません。

SAMPLE 動作では、入力端子から内部回路へ転送される値や内部回路から出力端子へ転送される値のスナップショットを JTBSR レジスタに取り込みスキャンパスから読みます。スナップショットの取り込みは Capture-DR 状態の TCK の立ち上がり同期して行われます。スナップショットの取り込みは LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスから JTBSR レジスタの平行出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、最初のスキャンシーケンスが完了する (出力ラッチへの転送) までの間出力端子から不定値が出力される (EXTEST 命令では出力端子に常に平行出力ラッチを出力する) ことになります。

(4) IDCODE[命令コード : 0100b]

IDCODE 命令が選択されると、TAP コントローラの Shift-DR ステート時に JTIDR レジスタの値を LSB より TDO から出力します。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。TAP コントローラの Test-Logic-Reset ステート時インストラクションレジスタは IDCODE 命令に初期化されます。

(5) CLAMP[命令コード : 0110b]

CLAMP 命令が選択されると、出力端子はあらかじめ SAMPLE/PRELOAD 命令によって設定された JTBSR レジスタの値を出力します。CLAMP 命令が選択されている間、JTBSR レジスタの状態は TAP コントローラの状態に関係なく前の状態で保持されます。

この命令では TDI 端子と TDO 端子にバイパスレジスタが接続され、BYPASS モードを選択したときと同様の動作をします。

(6) HIGHZ[命令コード : 0111b]

HIGHZ 命令が選択されると、すべての出力端子はハイインピーダンス状態となります。HIGHZ 命令が選択されている間、JTBSR レジスタの状態は TAP コントローラの状態に関係なく前の状態で保持されます。

TDI 端子と TDO 端子の間にはバイパスレジスタが接続され、BYPASS 命令が選択されたときと同様の動作をします。

28.4 使用上の注意事項

(1) シリアル転送時、データの入出力はLSB側からとなります。図 28.3 に示します。

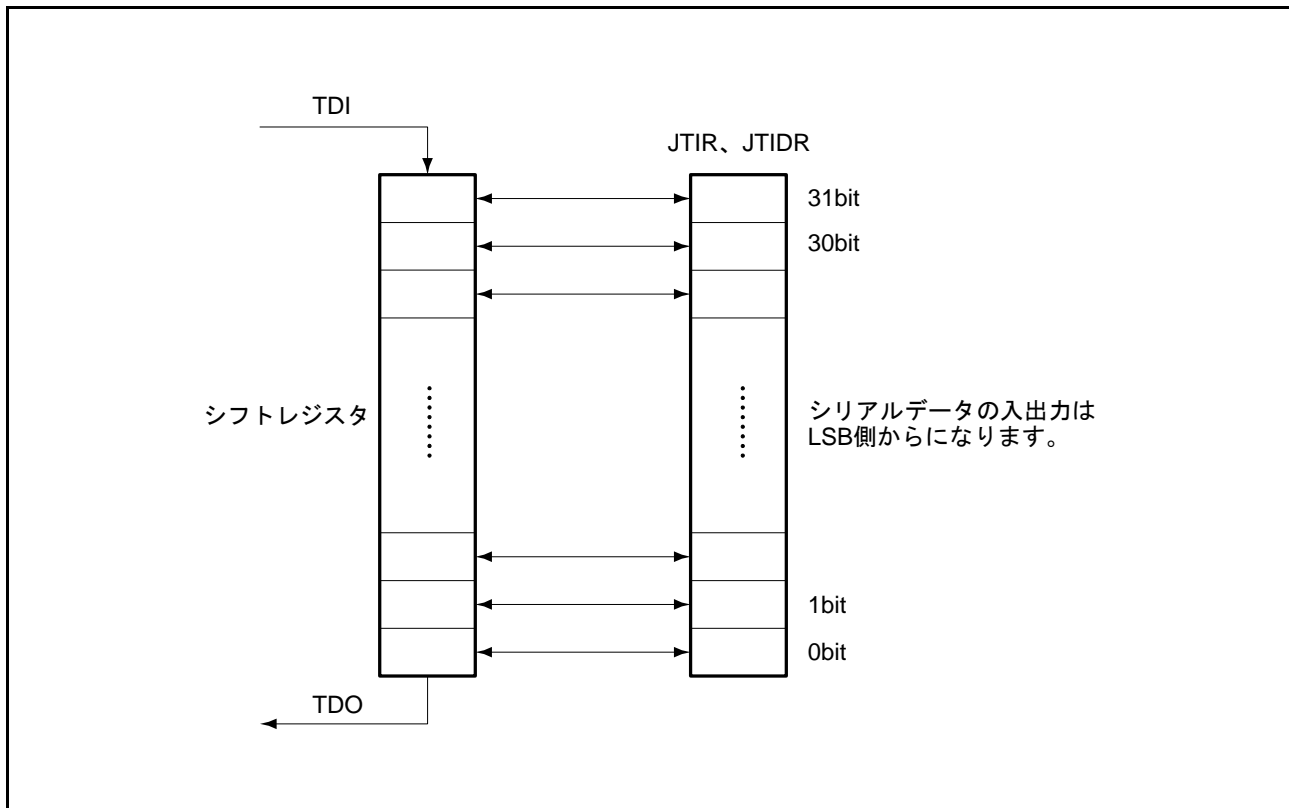


図 28.3 シリアルデータ入出力

- (2) バウンダリスキャンの端子 (TCK、TDI、TMS、TRST#) は、プルアップ抵抗にてプルアップしてください。
- (3) 電源端子 (VCC、VCL、VSS、AVCC、AVSS、VREFH、VREFL、PLLVCC、PLLSS) はバウンダリスキャン対象外です。
- (4) クロック端子 (EXTAL、XTAL) はバウンダリスキャンの対象外です。
- (5) リセット端子 (RES#) はバウンダリスキャンの対象外です。
- (6) バウンダリスキャンの端子 (TCK、TMS、TRST#、TDI、TDO) はバウンダリスキャン対象外です。
- (7) バウンダリスキャン機能は、以下のとき、使用できません。
 - リセット状態
 - ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード
- (8) オープンドレイン機能付き端子を、オープンドレイン機能有効として使用した場合、バウンダリスキャン機能で出力のスキャンレジスタを1、出力イネーブルレジスタを1に設定し、EXTEST 命令、CLAMP 命令、SAMPLE/PRELOAD 命令のいずれかを実行すると端子はハイインピーダンスではなく、High 出力になります。
- (9) P14～P17の端子構成を図 28.4 (1) に示します。P14～P17をRIIC端子 (SDA0、SDA1、SCL0、SCL1) として使用した場合、バウンダリスキャン機能をご使用の際は、オープンドレイン出力との衝突、回り込みに注意してください。
- (10) P40～P47、P90～P97の端子構成を図 28.4 (2) に示します。P40～P47、P90～P97をAD入力 (AN0～AN7、AN8～AN15) として使用した場合、バウンダリスキャン機能をご使用の際は、AD入力との衝突、回り込みに注意してください。

(11) P66、P67の端子構成を図28.4(3)に示します。P66、P67をDA出力(DA0、DA1)として使用した場合、バウンダリスキャン機能をご使用の際は、DA出力との衝突、回り込みに注意してください。

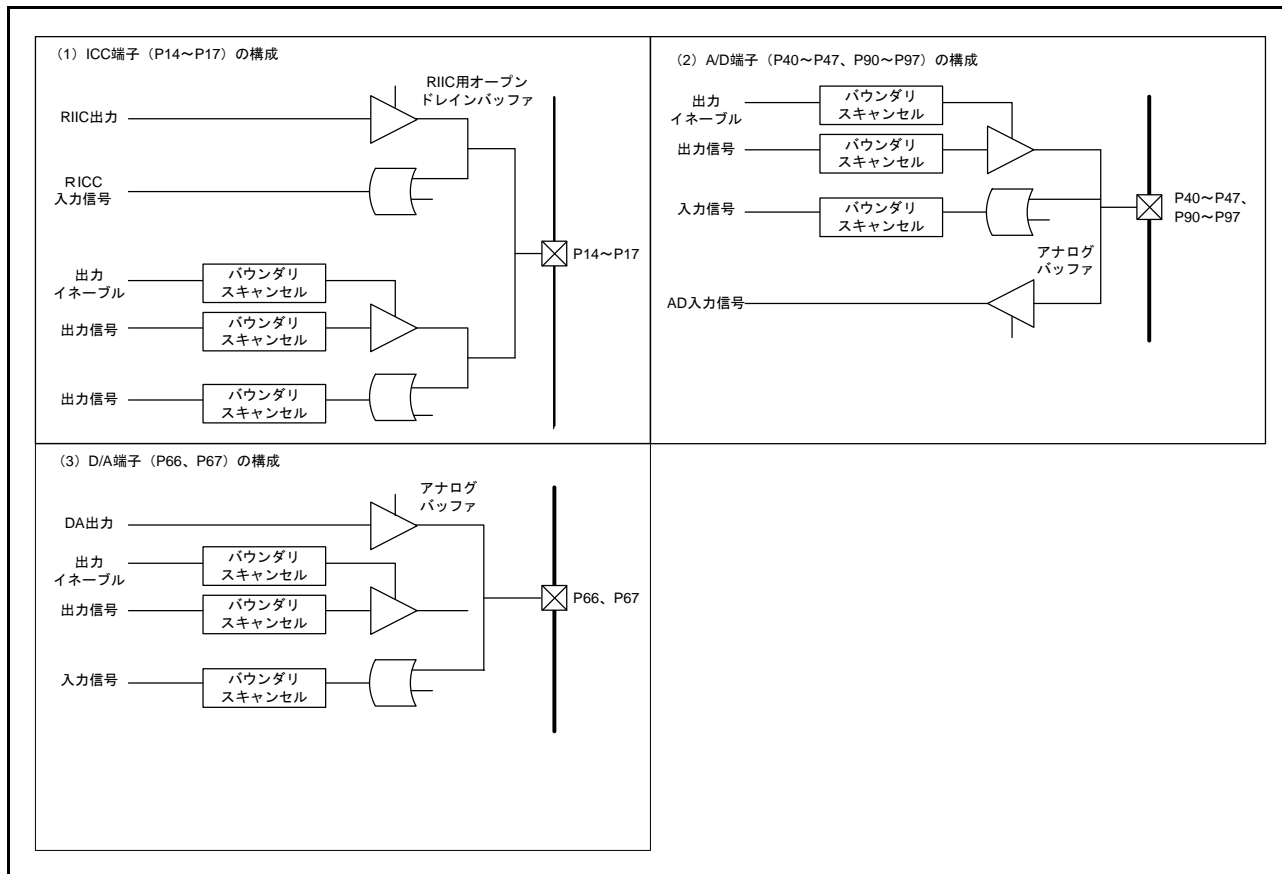


図 28.4 各端子の構成

29. 電気的特性

29.1 絶対最大定格

表 29.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V_{CC} 、 $PLL V_{CC}$	$-0.3 \sim +4.6$	V
入力電圧 (ポート0、ポート14~17以外)	V_{in}	$-0.3 \sim V_{CC} + 0.3$	V
入力電圧 (ポート0、ポート14~17 (注1))	V_{in}	$-0.3 \sim +6.5$	V
リファレンス電源電圧	V_{REFH}	$-0.3 \sim V_{CC} + 0.3$	V
アナログ電源電圧	AV_{CC} (注2)	$-0.3 \sim +4.6$	V
アナログ入力電圧	V_{AN}	$-0.3 \sim V_{CC} + 0.3$	V
動作温度	T_{opr}	通常仕様品 : $-20 \sim +85$	°C
		広温度範囲仕様品 : $-40 \sim +85$	
保存温度	T_{stg}	$-55 \sim +125$	°C

【使用上の注意】絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。

注1. ポート0、ポート14~17は、5Vトレラント対応です。

注2. AV_{CC} は、 V_{CC} に接続してください。また、A/DおよびD/Aコンバータ未使用時に AV_{CC} 、 AV_{SS} 、 V_{REFH} 、 V_{REFL} 端子を開放しないでください。 AV_{CC} 、 V_{REFH} 端子は V_{CC} に、 AV_{SS} 、 V_{REFL} 端子は V_{SS} にそれぞれ接続してください。

29.2 DC 特性

表 29.2 DC 特性 (1)

条件 : $V_{CC} = PLLV_{CC} = AV_{CC} = 3.0 \sim 3.6V$, $V_{REFH} = 3.0V \sim AV_{CC}$, $V_{SS} = PLLV_{SS} = V_{REFL} = 0V$
 $T_a = -20 \sim +85^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	min	typ	max	単位	測定条件	
シュミットトリガ 入力電圧	IRQ入力端子 (注1)	V_{IH}	$V_{CC} \times 0.8$	—	$V_{CC} + 0.3$	V	
	TPU入力端子 (注1)	V_{IL}	-0.3	—	$V_{CC} \times 0.2$		
	TMR入力端子 (注1)	ΔV_T	$V_{CC} \times 0.06$	—	—		
	SCI入力端子 (注1)						
	ADTRG#入力端子 (注1)						
	RES#, NMI						
	RIIC入力端子	V_{IH}	$V_{CC} \times 0.7$	—	5.8		
		V_{IL}	-0.3	—	$V_{CC} \times 0.3$		
		ΔV_T	$V_{CC} \times 0.05$	—	—		
	ポート0、ポート14~17 (注2)	V_{IH}	$V_{CC} \times 0.8$	—	5.8		
	V_{IL}	-0.3	—	$V_{CC} \times 0.2$			
ポート10~13、 ポート2~E(144ピンLQFP) ポート2~H(176ピンLFBGA) その他の入力端子	V_{IH}	$V_{CC} \times 0.8$	—	$V_{CC} + 0.3$			
	V_{IL}	-0.3	—	$V_{CC} \times 0.2$			
入力Highレベル電圧 (シュミットトリガ 入力端子を除く)	MD端子、EMLE	V_{IH}	$V_{CC} \times 0.9$	—	$V_{CC} + 0.3$	V	
	EXTAL		$V_{CC} \times 0.8$	—	$V_{CC} + 0.3$		
	D0~D15		$V_{CC} \times 0.7$	—	$V_{CC} + 0.3$		
入力Lowレベル電圧 (シュミットトリガ入 力端子を除く)	MD端子、EMLE	V_{IL}	-0.3	—	$V_{CC} \times 0.1$	V	
	EXTAL		-0.3	—	$V_{CC} \times 0.2$		
	D0~D15		-0.3	—	$V_{CC} \times 0.3$		
出力Highレベル電圧	全出力端子	V_{OH}	$V_{CC} - 0.5$	—	—	V	$I_{OH} = -1mA$
出力Lowレベル電圧	全出力端子 (RIIC端子を除く)	V_{OL}	—	—	0.5	V	$I_{OL} = 1.0mA$
	RIIC端子		—	—	0.4		$I_{OL} = 3.0mA$
			—	—	0.6		$I_{OL} = 6.0mA$
	RIIC端子 (P14, P15のチャンネル1 のみ)		—	—	0.4		$I_{OL} = 15mA$ (ICFER.FMPE=1)
			—	0.4	—		$I_{OL} = 20mA$ (ICFER.FMPE=1)
入力リーク電流	RES#, MD端子、EMLE、NMI	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0V, V_{CC}$
スリープステート リーク電流 (オフ状態)	ポート10~13、 ポート2~E(144ピンLQFP) ポート2~H(176ピンLFBGA)	$ I_{TSI} $	—	—	1.0	μA	$V_{in} = 0V, V_{CC}$
	ポート0、ポート14~17		—	—	5.0		
入力プルアップ 抵抗電流	ポートA~E	$-I_p$	10	—	300	μA	$V_{CC} = 3.0 \sim 3.6V,$ $V_{in} = 0V$
入力容量	全入力端子 (ポート0、ポート14~17以外)	C_{in}	—	—	15	pF	$V_{in} = 0V,$ $f = 1MHz,$ $T_a = 25^\circ C$
	ポート0、ポート14~17		—	—	30		

表29.2 DC特性 (2)

条件: $V_{CC} = PLLV_{CC} = AV_{CC} = 3.0 \sim 3.6V$, $V_{REFH} = 3.0V \sim AV_{CC}$, $V_{SS} = PLLV_{SS} = V_{REFL} = 0V$ $T_a = -20 \sim +85^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目			記号	min	typ	max	単位	測定条件
消費電流 (注3)	動作時	最大動作 (注4)	I_{CC} (注5)	—	—	100	mA	ICLK=100MHz PCLK=50MHz BCLK=25MHz
		通常動作 (注6)		—	35	—		
		BGO動作 (注7) による増加分		—	15	—		
	スリープ時			—	18	52		
	全モジュールクロックストップ時 (注8)			—	14	28		
	スタンバイ時	ソフトウェアスタンバイ時		—	0.08	3.0		
		ディープ ソフトウェア スタンバイ時		RAM保持	—	15	200	μA
				RAM電源停止	—	0.9	26	
アナログ 電源電流	A/D変換中 (1ユニット当り)		AI_{CC}	—	0.8	1.2	mA	
	D/A変換中 (1ユニット当り)			—	0.3	1.0		
	A/D、D/A変換待機時 (全ユニット)			—	0.3	1.0		
リファレン ス電源電流	A/D変換中 (1ユニット当り)		AI_{CC}	—	0.06	0.1	mA	
	D/A変換中 (1チャンネル当り)			—	0.4	0.6		
	A/D、D/A変換待機時 (全ユニット)			—	0.3	1.0	μA	
RAMスタンバイ電圧			V_{RAM}	2.5	—	—	V	
V_{CC} 開始電圧 (注9)			$V_{CCSTART}$	—	—	0.8	V	
V_{CC} 立ち上がり勾配 (注9)			SV_{CC}	—	—	20	ms/V	

注1. 5Vトレラント対応のポート0とポート14~17で兼用している端子は該当しません。

注2. 兼用端子を含みます。ただし、ポート14~17のRIIC入力端子は除きます。

注3. 消費電流値はすべての出力端子を無負荷状態、すべての入力端子を $V_{IH}=V_{CC}$, $V_{IL}=0V$ にして、さらに内蔵プルアップ抵抗をオフ状態にした場合の値です。

注4. 周辺機能はクロック供給状態。BGO動作は除きます。

注5. I_{CC} は下記の式にしたがって f (ICLK)に依存します。(ICLK:PCLK:BCLK = 8:4:2) $I_{CC} \max = 0.89 \times f + 11$ (最大動作時) $I_{CC} \text{ typ} = 0.30 \times f + 5$ (通常動作時) $I_{CC} \max = 0.41 \times f + 11$ (スリープ時)

注6. 周辺機能はクロック供給停止状態。BGO動作は除きます。

注7. プログラム実行中に、ROM、またはデータ格納用フラッシュにデータを書き込み/消去を実行した場合の増加分です。

注8. 参考値です。

注9. 電源投入時、RES#端子がLowレベルになっている条件で適用します。

表 29.3 出力許容電流値

条件： $V_{CC} = PLLV_{CC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REFH} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = V_{REFL} = 0V$ $T_a = -20 \sim +85^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	RIIC端子以外の出力端子	I_{OL}	—	—	2.0	mA
	RIIC端子 (ICFER.FMPE=0)	I_{OL}	—	—	6.0	mA
	RIIC端子 (ICFER.FMPE=1)	I_{OL}	—	—	20.0	mA
出力Lowレベル許容電流 (1端子あたりの尖頭値)	RIIC端子以外の出力端子	I_{OL}	—	—	4.0	mA
	RIIC端子 (ICFER.FMPE=0)	I_{OL}	—	—	6.0	mA
	RIIC端子 (ICFER.FMPE=1)	I_{OL}	—	—	20.0	mA
出力Lowレベル許容電流 (総和)	出力端子の総和	ΣI_{OL}	—	—	80	mA
出力Highレベル許容電流 (1端子あたりの平均値)	全出力端子	$-I_{OH}$	—	—	2.0	mA
出力Highレベル許容電流 (1端子あたりの尖頭値)	全出力端子	$-I_{OH}$	—	—	4.0	mA
出力Highレベル許容電流 (総和)	全出力端子の総和	$\Sigma -I_{OH}$	—	—	80	mA

【使用上の注意】 LSIの信頼性を確保するため、出力電流値は表 29.3の値を超えないようにしてください。

29.3 AC 特性

表 29.4 動作周波数

条件： $V_{CC} = PLLV_{CC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REFH} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = V_{REFL} = 0V$
 $T_a = -20 \sim +85^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位
動作周波数	システムクロック (ICLK)	f	8	—	100	MHz
	周辺モジュールクロック (PCLK)		8	—	50	
	外部バスクロック (BCLK)		8	—	25	

29.3.1 クロックタイミング

表 29.5 クロックタイミング

条件： $V_{CC} = PLLV_{CC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REFH} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = V_{REFL} = 0V$
 $ICLK = 8 \sim 100MHz$ 、 $BCLK = 8 \sim 25MHz$ 、 $PCLK = 8 \sim 50MHz$
 $T_a = -20 \sim +85^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
クロックサイクル時間	t_{cyc}	40	125	ns	図 29.1
クロック High レベルパルス幅	t_{CH}	15	—	ns	
クロック Low レベルパルス幅	t_{CL}	15	—	ns	
クロック立ち上がり時間	t_{Cr}	—	5	ns	
クロック立ち下がり時間	t_{Cf}	—	5	ns	
リセット発振安定時間 (水晶)	t_{OSC1}	10	—	ms	図 29.4
ソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC2}	10	—	ms	図 29.2
ディープソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC3}	10	—	ms	図 29.3
外部クロック出力遅延安定時間	t_{DEXT}	1	—	ms	図 29.4
外部クロック入力パルス幅 Low レベル	t_{EXL}	30.71	—	ns	図 29.5
外部クロック入力パルス幅 High レベル	t_{EXH}	30.71	—	ns	
外部クロック立ち上がり時間	t_{EXr}	—	5	ns	
外部クロック立ち下がり時間	t_{EXf}	—	5	ns	

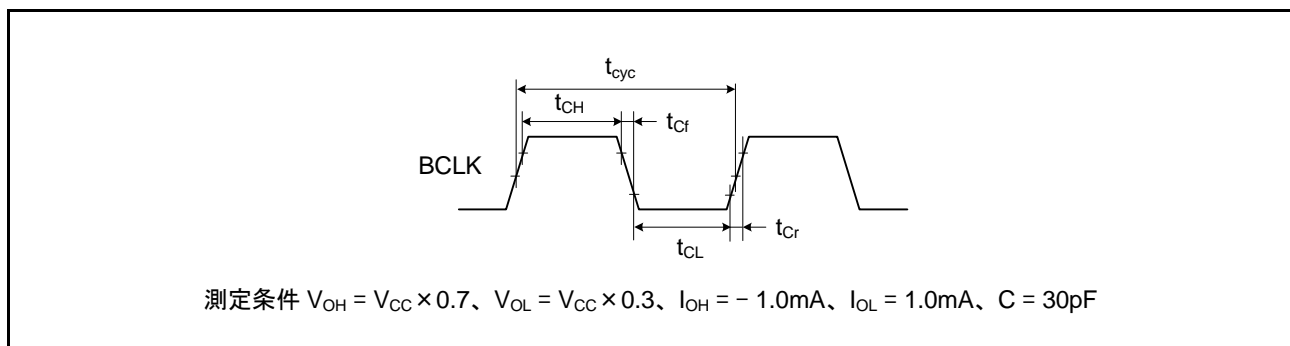


図 29.1 外部バスクロックタイミング

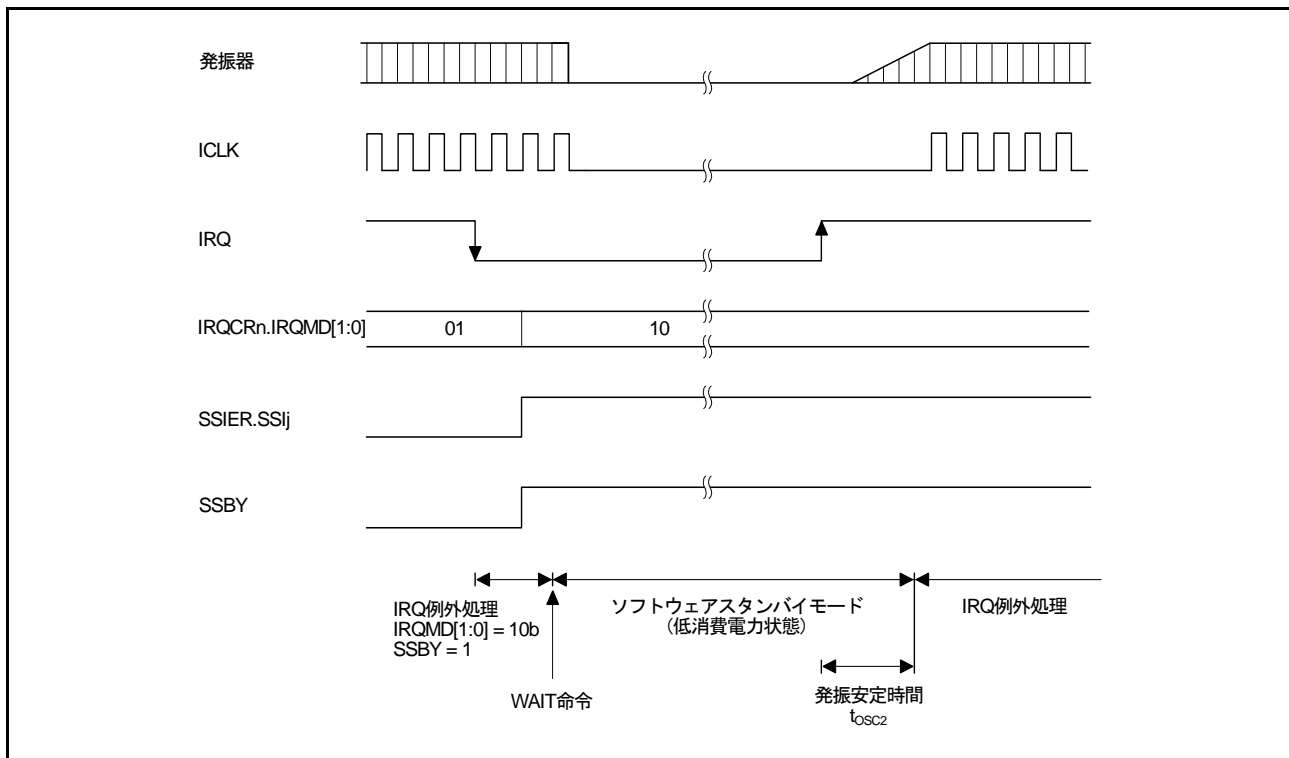


図 29.2 ソフトウェアスタンバイ発振安定時間タイミング

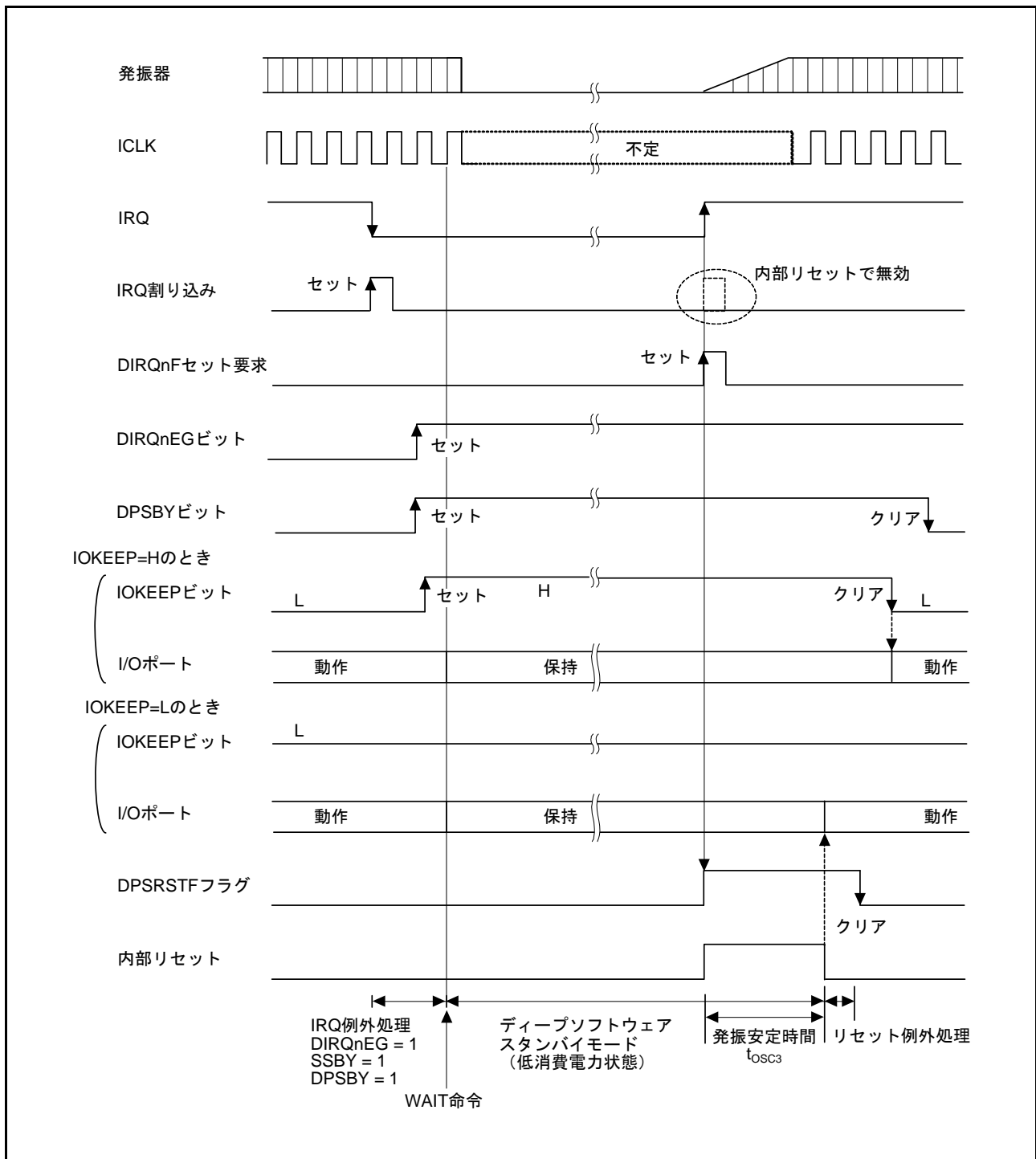


図 29.3 ディープソフトウェアスタンバイ発振安定時間タイミング

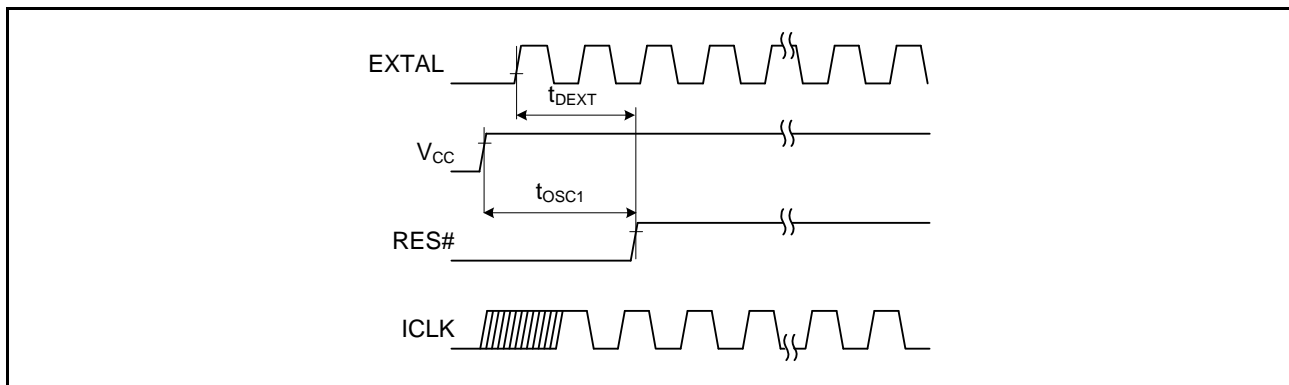


図 29.4 発振安定時間タイミング

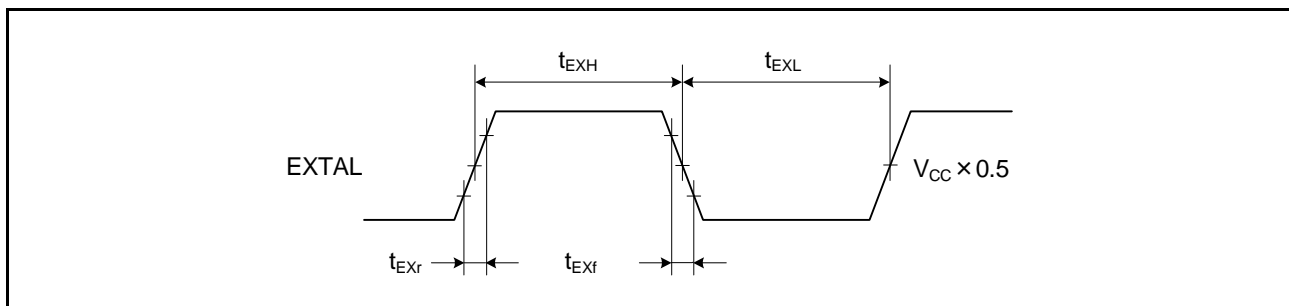


図 29.5 外部入力クロックタイミング

29.3.2 制御信号タイミング

表 29.6 制御信号タイミング

条件： $V_{CC} = PLLV_{CC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REFH} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = V_{REFL} = 0V$

ICLK = 8 ~ 100MHz、BCLK = 8 ~ 25MHz

 $T_a = -20 \sim +85 \text{ } ^\circ\text{C}$ (通常仕様品)、 $T_a = -40 \sim +85 \text{ } ^\circ\text{C}$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
RES#パルス幅 (ROM、データフラッシュ書き込み/消去を除く)	t_{RESW} (注1)	20	—	t_{cyc}	図 29.6
		1.5	—	μs	
内部リセット時間 (ROM、データフラッシュ書き込み/消去中)	t_{RESW2} (注2)	35	—	μs	
NMIパルス幅	t_{NMIW}	200	—	ns	図 29.7
IRQパルス幅	t_{IRQW}	200	—	ns	図 29.8

注1. 時間とサイクル数の両規定を同時に満たす必要があります。

注2. 本項目は、FCUリセット、WDTリセットに対する規定となります。

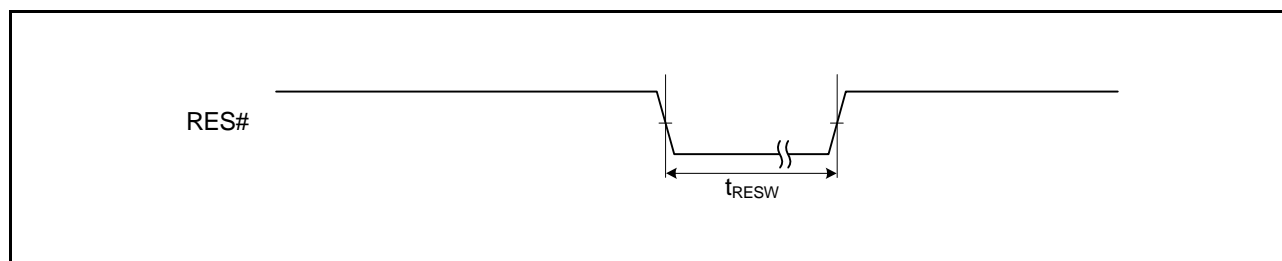


図 29.6 リセット入力タイミング

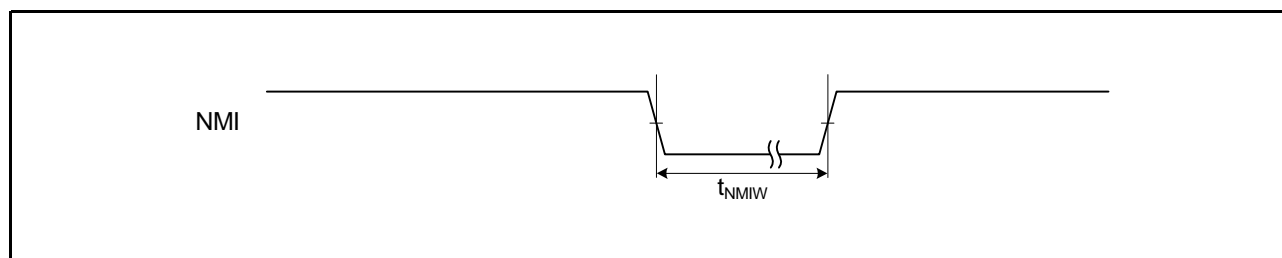


図 29.7 NMI 割り込み入力タイミング

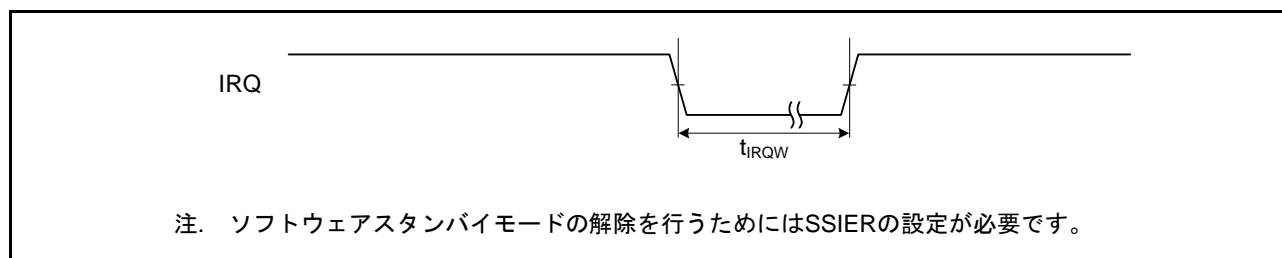


図 29.8 IRQ 割り込み入力タイミング

29.3.3 バスタイミング

表 29.7 バスタイミング

条件 : $V_{CC} = PLLV_{CC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REFH} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = V_{REFL} = 0V$ 、 $BCLK = 8 \sim 25MHz$

$T_a = -20 \sim +85^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$ 、 $V_{OL} = V_{CC} \times 0.5$ 、 $I_{OH} = -1.0mA$ 、 $I_{OL} = 1.0mA$ 、 $C = 30pF$

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	30	ns	図 29.9 ~ 図 29.12
バイトコントロール遅延時間	t_{BCD}	—	30	ns	
CS#遅延時間	t_{CSD}	—	30	ns	
RD#遅延時間	t_{RSD}	—	20	ns	
RD#セットアップ時間	t_{RSS}	$0.5 \times (1/BCLK) - 20$	—	ns	
リードデータセットアップ時間	t_{RDS}	15	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
WR#遅延時間	t_{WRD}	—	20	ns	
WR#セットアップ時間	t_{WRS}	$0.5 \times (1/BCLK) - 20$	—	ns	
ライトデータ遅延時間	t_{WDD}	—	35	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	15	—	ns	図 29.13
WAIT#ホールド時間	t_{WTH}	0	—	ns	

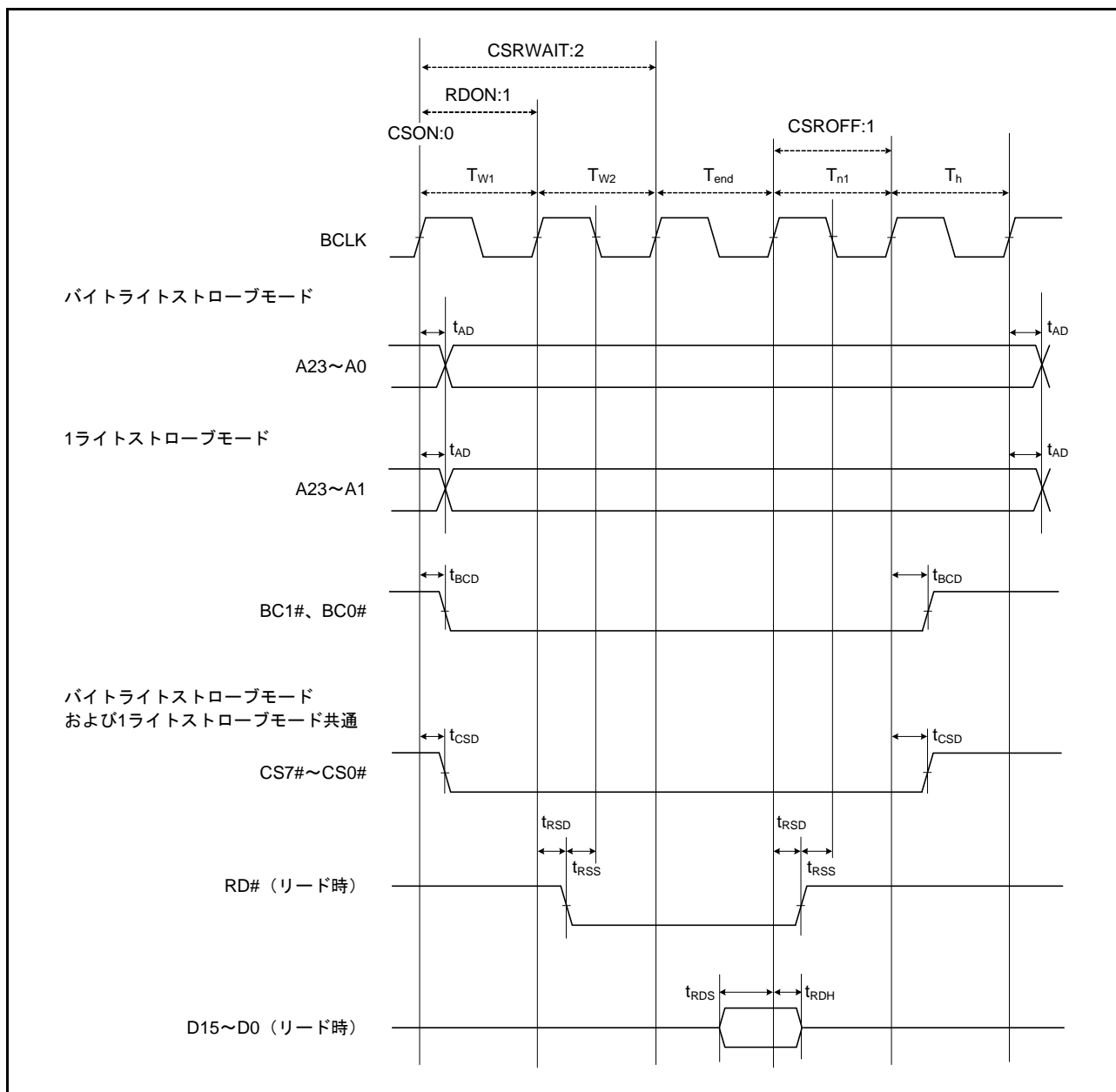


図 29.9 外部バスタイミング / ノーマルリードサイクル (バスクロック同期)

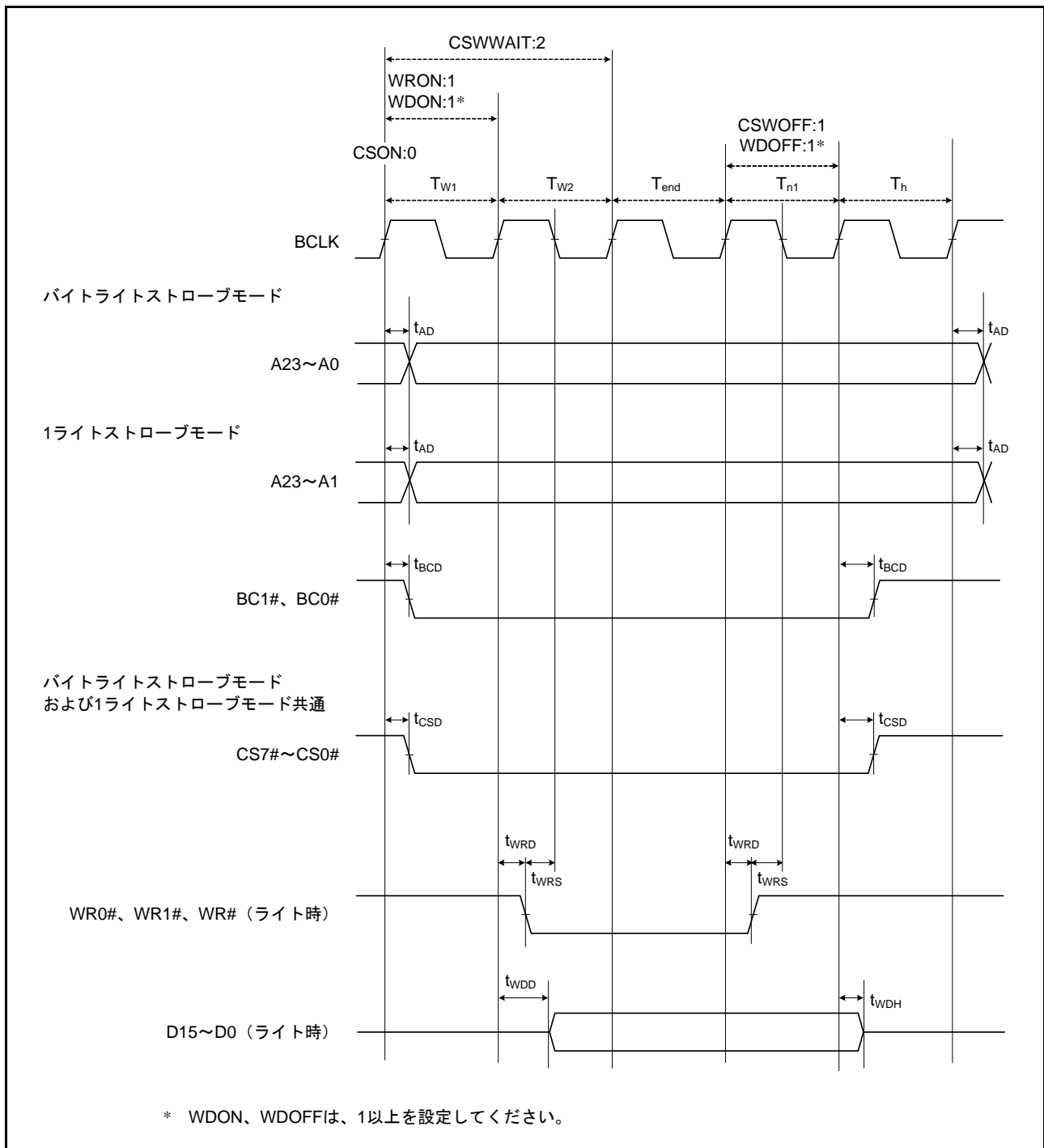


図 29.10 外部バスタイミング/ノーマルライトサイクル (バスクロック同期)

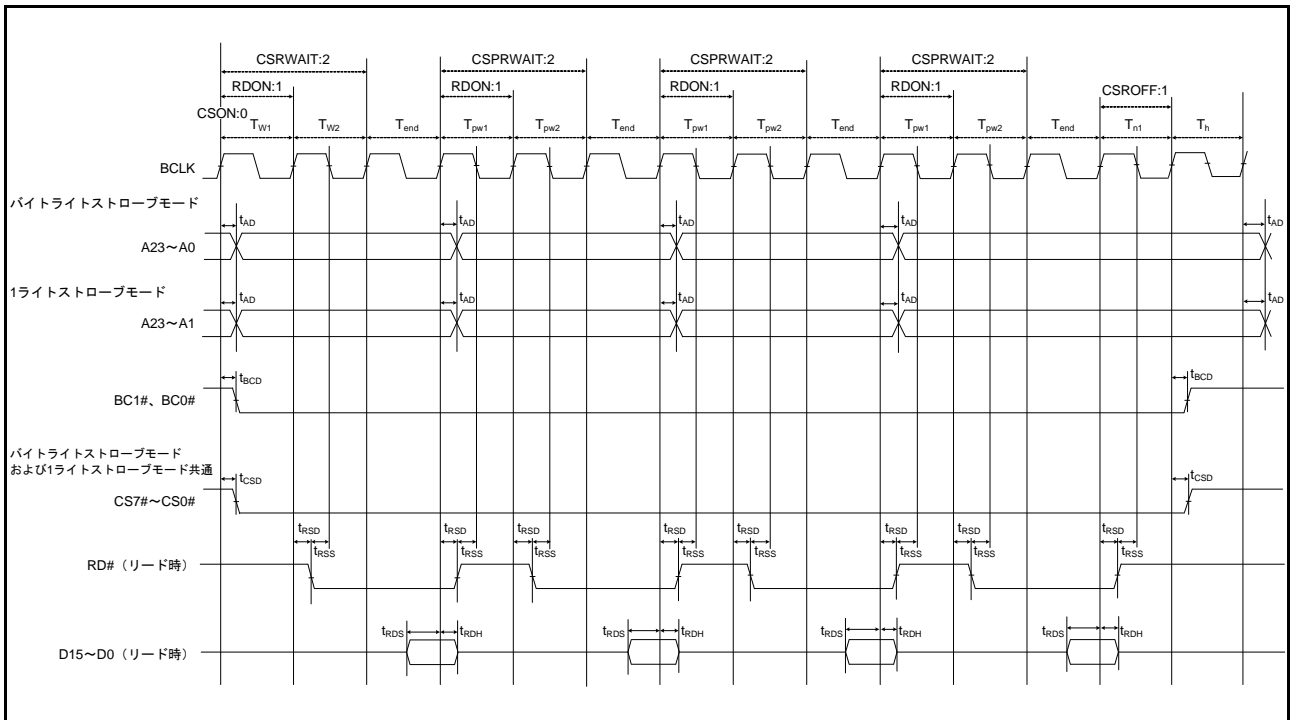


図 29.11 外部バスタイミング/ページリードサイクル (バスクロック同期)

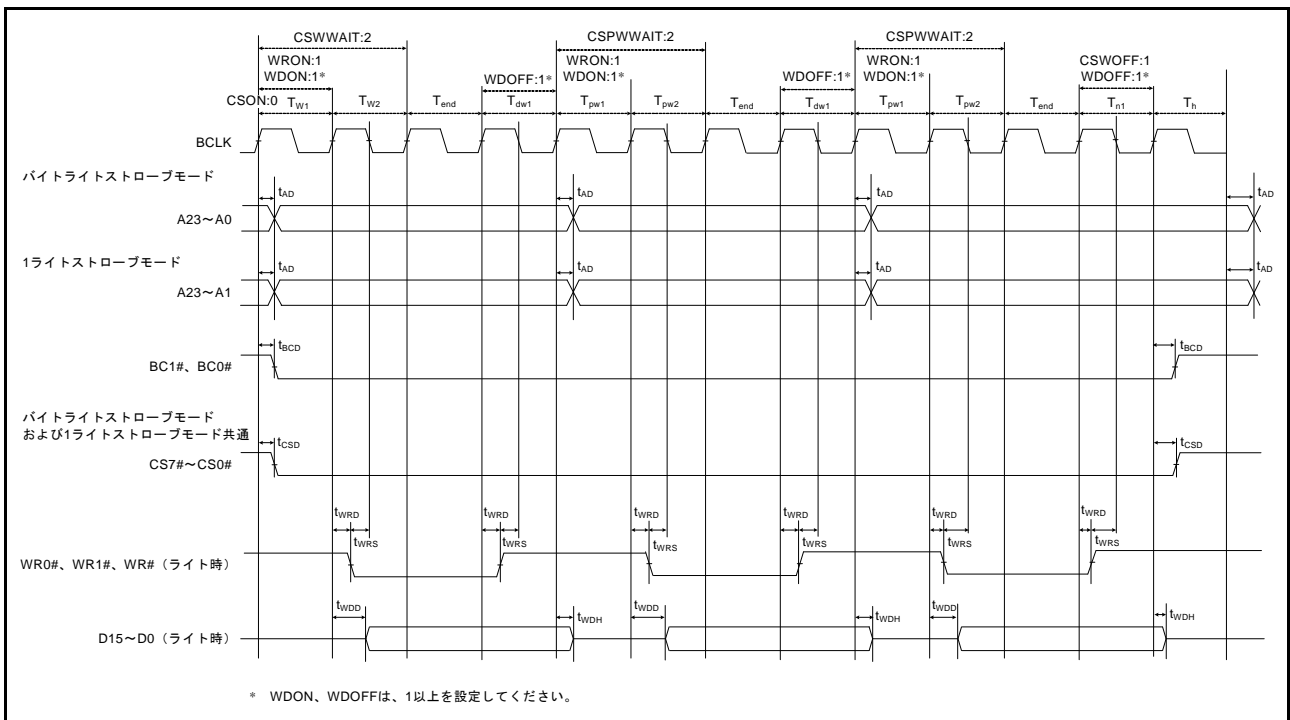


図 29.12 外部バスタイミング/ページライトサイクル (バスクロック同期)

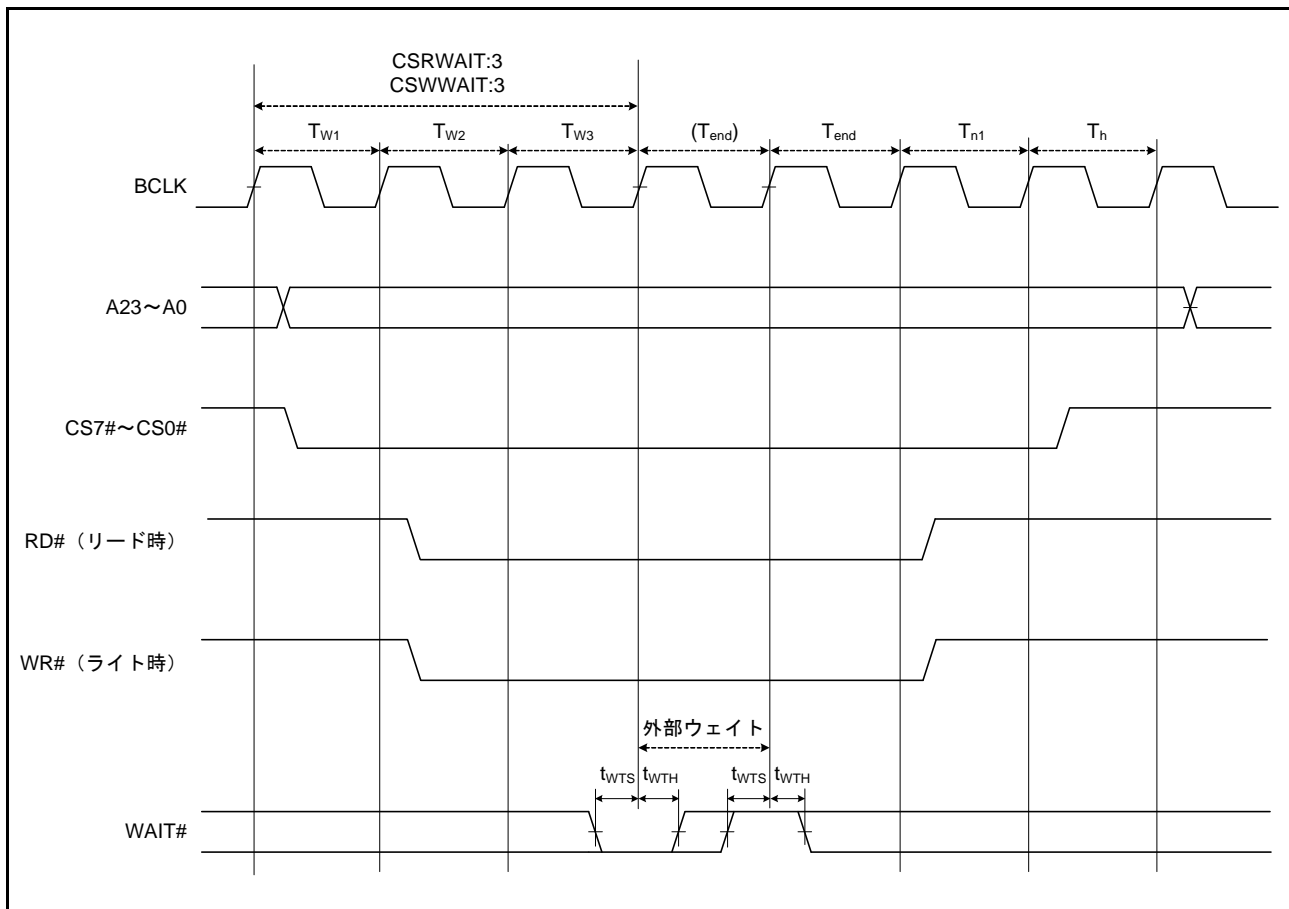


図 29.13 外部バスタイミング / 外部ウェイト制御

29.3.4 内蔵周辺モジュールタイミング

表29.8 内蔵周辺モジュールタイミング (1)

条件 : $V_{CC} = PLLV_{CC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REFH} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = V_{REFL} = 0V$ 、 $PCLK = 8 \sim 50MHz$ $T_a = -20 \sim +85^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$ 、 $V_{OL} = V_{CC} \times 0.5$ 、 $I_{OH} = -1.0mA$ 、 $I_{OL} = 1.0mA$ 、 $C = 30pF$

項目		記号	min	max	単位	測定条件		
I/Oポート	出力データ遅延時間	t_{PWD}	—	40	ns	図29.14		
	入力データセットアップ時間	t_{PRS}	25	—	ns			
	入力データホールド時間	t_{PRH}	25	—	ns			
TPU	タイマ出力遅延時間	t_{TOCD}	—	40	ns	図29.15		
	タイマ入力セットアップ時間	t_{TICS}	25	—	ns			
	タイマクロック入力セットアップ時間	t_{TCKS}	25	—	ns	図29.16		
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH}	$1.5 \times (1/PCLK)$	—		ns	
両エッジ指定		t_{TCKWL}	$2.5 \times (1/PCLK)$	—	ns			
PPG	パルス出力遅延時間	t_{POD}	—	40	ns	図29.17		
8ビットタイマ	タイマ出力遅延時間	t_{TMOD}	—	40	ns	図29.18		
	タイマリセット入力セットアップ時間	t_{TMRS}	25	—	ns	図29.19		
	タイマクロック入力セットアップ時間	t_{TMCS}	25	—	ns	図29.20		
	タイマクロックパルス幅	単エッジ指定	t_{TMCWH}	$1.5 \times (1/PCLK)$	—	ns		
		両エッジ指定	t_{TMCWL}	$2.5 \times (1/PCLK)$	—	ns		
WDT	オーバフロー出力遅延時間	t_{WOVD}	—	40	ns	図29.21		
SCI	入力クロックサイクル	調歩同期	t_{Scyc}	$4 \times (1/PCLK)$	—	ns	図29.22	
		クロック同期		$6 \times (1/PCLK)$	—			
	入力クロックパルス幅		t_{SCKW}	$0.4 \times t_{Scyc}$	$0.6 \times t_{Scyc}$	ns		
	入力クロック立ち上がり時間		t_{SCKr}	—	20	ns		
	入力クロック立ち下がり時間		t_{SCKf}	—	20	ns		
	出力クロックサイクル	調歩同期	t_{Scyc}	$4 \times (1/PCLK)$	—	ns		
		クロック同期		$6 \times (1/PCLK)$	—			
	出力クロックパルス幅		t_{SCKW}	$0.4 \times t_{Scyc}$	$0.6 \times t_{Scyc}$	ns		
	出力クロック立ち上がり時間		t_{SCKr}	—	20	ns		
	出力クロック立ち下がり時間		t_{SCKf}	—	20	ns		
	送信データ遅延時間		t_{TXD}	—	40	ns		図29.23
	受信データセットアップ時間 (クロック同期)		t_{RXS}	40	—	ns		
	受信データホールド時間 (クロック同期)		t_{RXH}	40	—	ns		
	A/Dコンバータ	トリガ入力セットアップ時間	t_{TRGS}	25	—	ns		図29.24

表 29.8 内蔵周辺モジュールタイミング (2)

条件 : $V_{CC} = PLLV_{CC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REFH} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = V_{REFL} = 0V$ 、 $PCLK = 8 \sim 50MHz$
 $T_a = -20 \sim +85^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目		記号	min (注1、注2)	max	単位	測定条件
RIIC (Standard-mode) ICFER.FMPE=0	SCL入力サイクル時間	t_{SCL}	$8(10) \times (1/PCLK) + 1300$	—	ns	図 29.25
	SCL入力Highパルス幅	t_{SCLH}	$3(5) \times (1/PCLK) + 300$	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	$5 \times (1/PCLK) + 1000$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$4 \times (1/PCLK)$	ns	
	SDA入カバスフリー時間	t_{BUF}	$5 \times (1/PCLK) + 1000$	—	ns	
	スタートコンディション入力ホールド時間	t_{STAH}	$3(5) \times (1/PCLK) + 300$	—	ns	
	リスタートコンディション入力セットアップ時間	t_{STAS}	$5 \times (1/PCLK) + 1000$	—	ns	
	ストップコンディション入力セットアップ時間	t_{STOS}	$3(5) \times (1/PCLK) + 300$	—	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
RIIC (Fast-mode) ICFER.FMPE=0	SCL入力サイクル時間	t_{SCL}	$8(10) \times (1/PCLK) + 600$	—	ns	
	SCL入力Highパルス幅	t_{SCLH}	$3(5) \times (1/PCLK) + 300$	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	$5 \times (1/PCLK) + 300$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	$20 + 0.1C_b$	300	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	$20 + 0.1C_b$	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$4 \times (1/PCLK)$	ns	
	SDA入カバスフリー時間	t_{BUF}	$5 \times (1/PCLK) + 300$	—	ns	
	スタートコンディション入力ホールド時間	t_{STAH}	$3(5) \times (1/PCLK) + 300$	—	ns	
	リスタートコンディション入力セットアップ時間	t_{STAS}	$5 \times (1/PCLK) + 300$	—	ns	
	ストップコンディション入力セットアップ時間	t_{STOS}	$3(5) \times (1/PCLK) + 300$	—	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
RIIC (Fast-mode+) ICFER.FMPE=1	SCL入力サイクル時間	t_{SCL}	$8(10) \times (1/PCLK) + 240$	—	ns	
	SCL入力Highパルス幅	t_{SCLH}	$3(5) \times (1/PCLK) + 120$	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	$5 \times (1/PCLK) + 120$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	120	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	120	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$4 \times (1/PCLK)$	ns	
	SDA入カバスフリー時間	t_{BUF}	$5 \times (1/PCLK) + 120$	—	ns	
	スタートコンディション入力ホールド時間	t_{STAH}	$3(5) \times (1/PCLK) + 120$	—	ns	
	リスタートコンディション入力セットアップ時間	t_{STAS}	$5 \times (1/PCLK) + 120$	—	ns	
	ストップコンディション入力セットアップ時間	t_{STOS}	$3(5) \times (1/PCLK) + 120$	—	ns	
	データ入力セットアップ時間	t_{SDAS}	50	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	550	pF	

注1. () 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. C_b はバスラインの容量総計です。

表 29.8 内蔵周辺モジュールタイミング (3)

条件 : $V_{CC} = PLLV_{CC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REFH} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = V_{REFL} = 0V$ 、 $T_a = -20 \sim +85 \text{ }^\circ\text{C}$ (通常仕様品)、 $T_a = -40 \sim +85 \text{ }^\circ\text{C}$ (広温度範囲仕様品)

項目	記号	min (注1、注2)	max	単位	測定条件	
バウンダリスキャン (176ピンLFBGA)	TCKクロックサイクル時間	t_{TCKcyc}	100	—	ns	図 29.26
	TCKクロック High レベルパルス幅	t_{TCKH}	45	—	ns	
	TCKクロック Low レベルパルス幅	t_{TCKL}	45	—	ns	
	TCKクロック立ち上がり時間	t_{TCKr}	—	5	ns	
	TCKクロック立ち下がり時間	t_{TCKf}	—	5	ns	
	TRST#パルス幅	t_{TRSTW}	20	—	Tcyc	
TMSセットアップ時間	t_{TMSS}	20	—	ns	図 29.28	
TMSホールド時間	t_{TMSH}	20	—	ns		
TDIセットアップ時間	t_{TDIS}	20	—	ns		
TDIホールド時間	t_{TDIH}	20	—	ns		
TDOデータ遅延時間	t_{TDOD}	—	40	ns		

注1. () 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

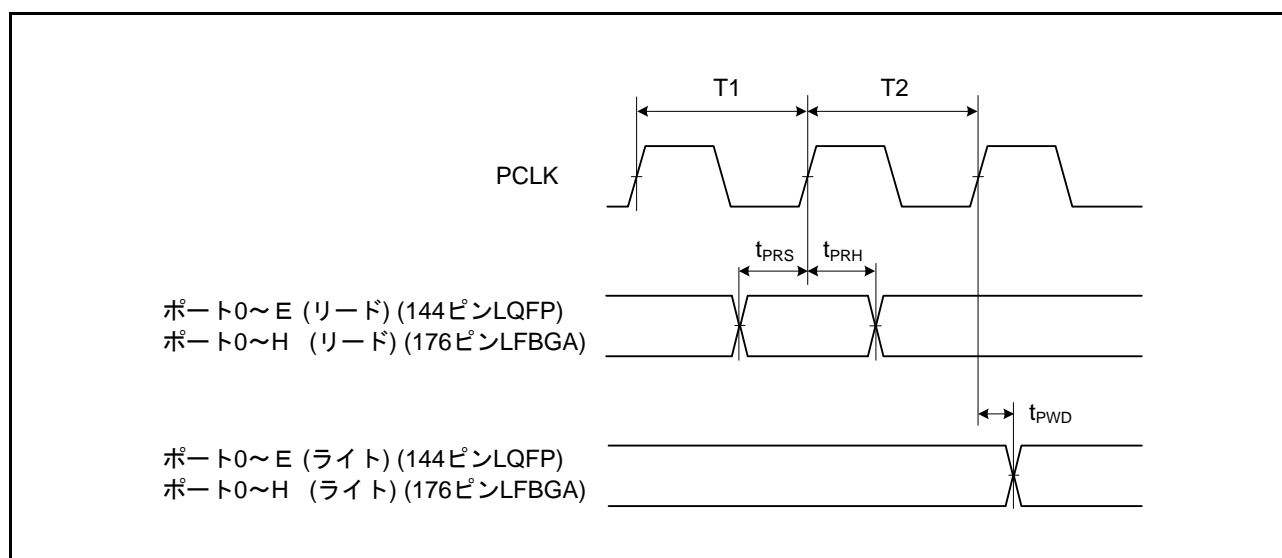
注2. C_b はバスラインの容量総計です。

図 29.14 I/O ポート入出力タイミング

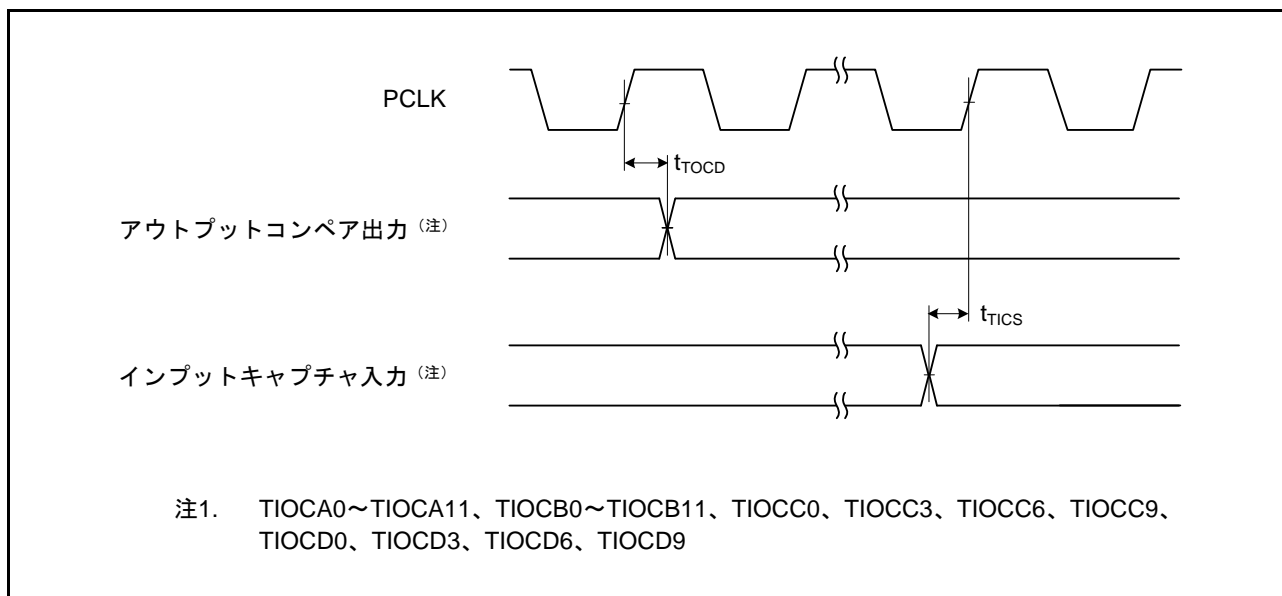


図 29.15 TPU 入出力タイミング

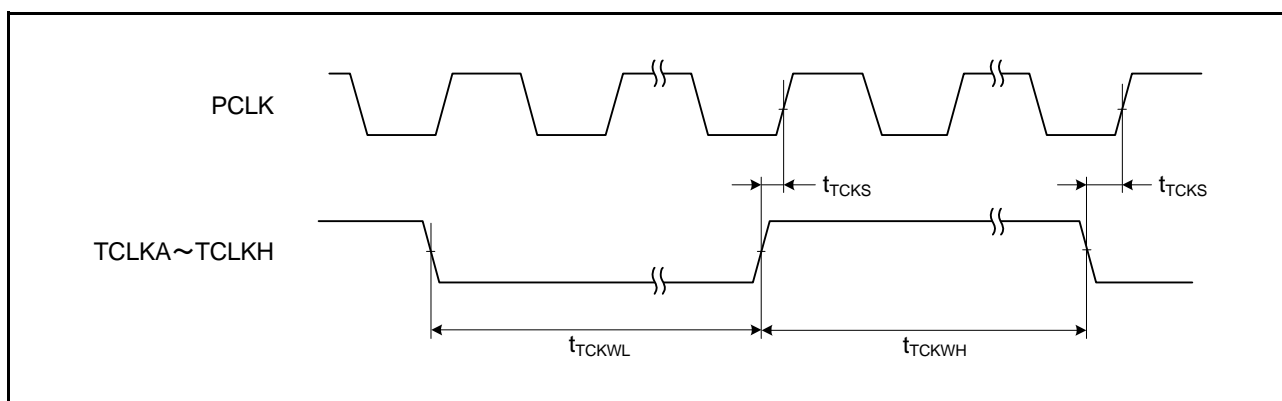


図 29.16 TPU クロック入力タイミング

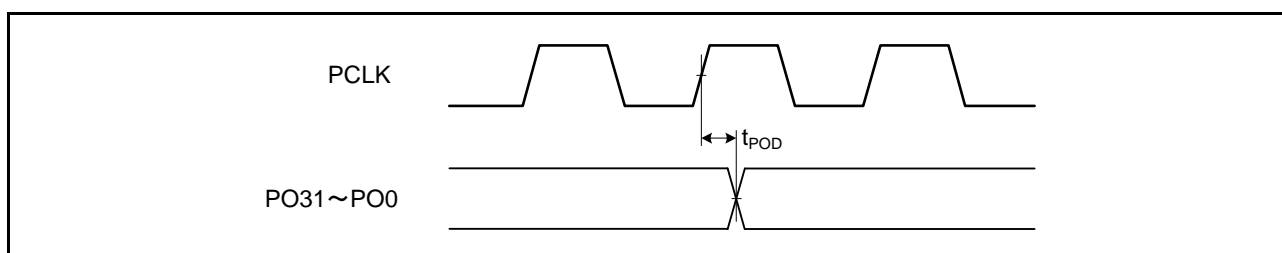


図 29.17 PPG 出力タイミング

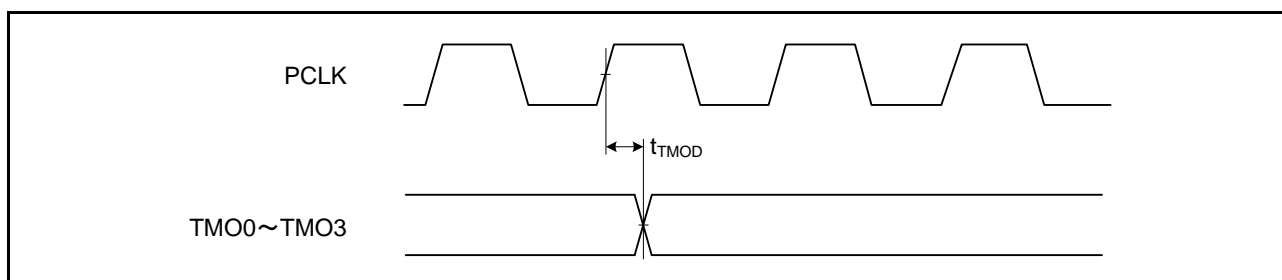


図 29.18 8 ビットタイマ出力タイミング

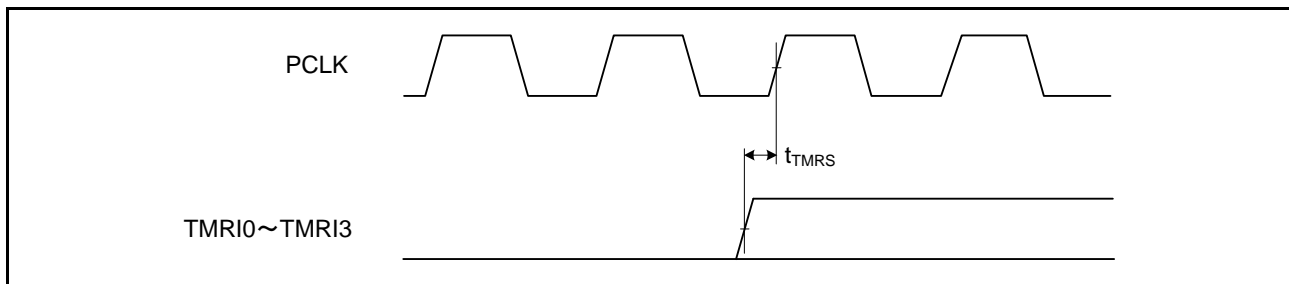


図 29.19 8ビットタイマリセット入カタイミング

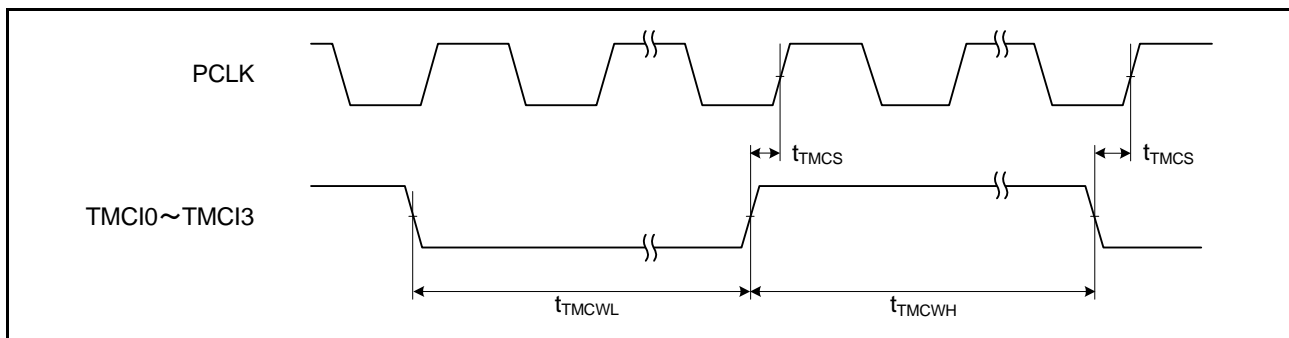


図 29.20 8ビットタイマクロック入カタイミング

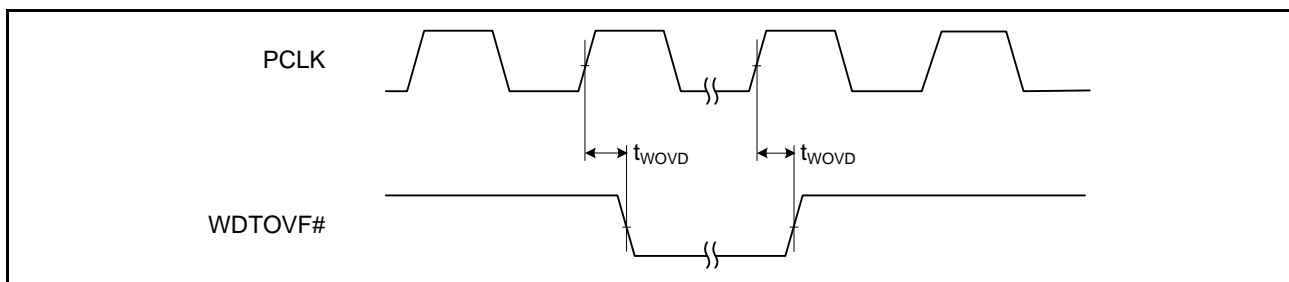


図 29.21 WDT 出カタイミング

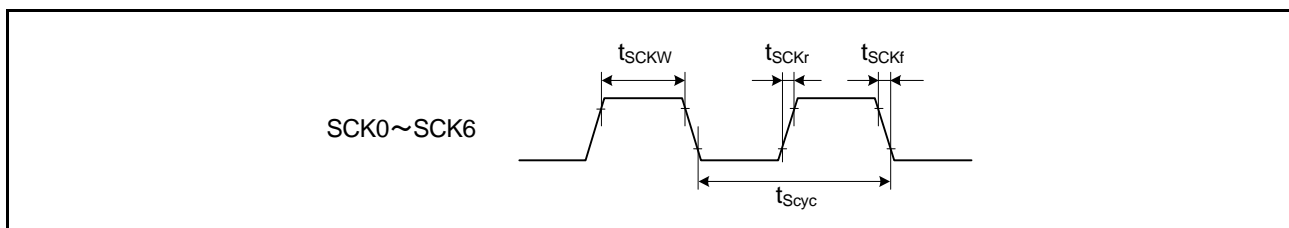


図 29.22 SCK クロック入カタイミング

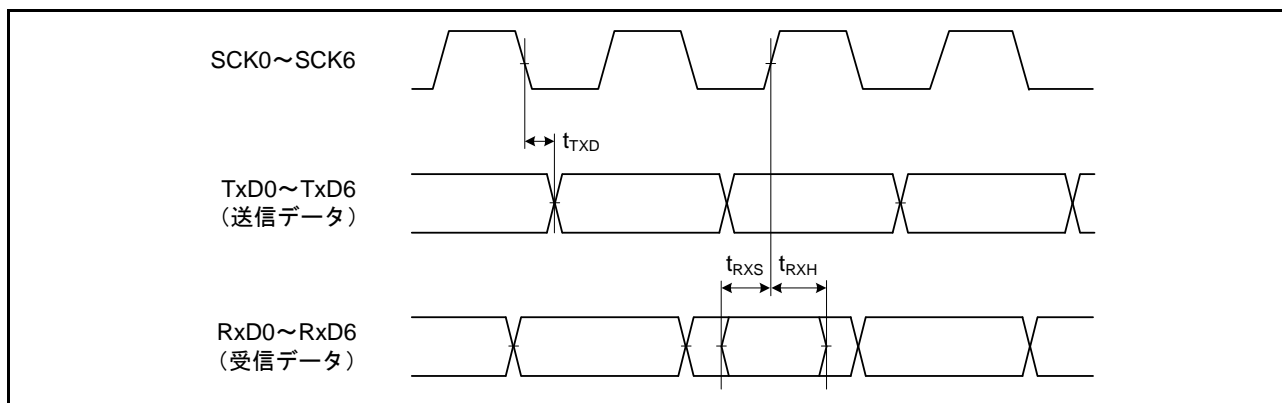


図 29.23 SCI 入出力タイミング/クロック同期式モード

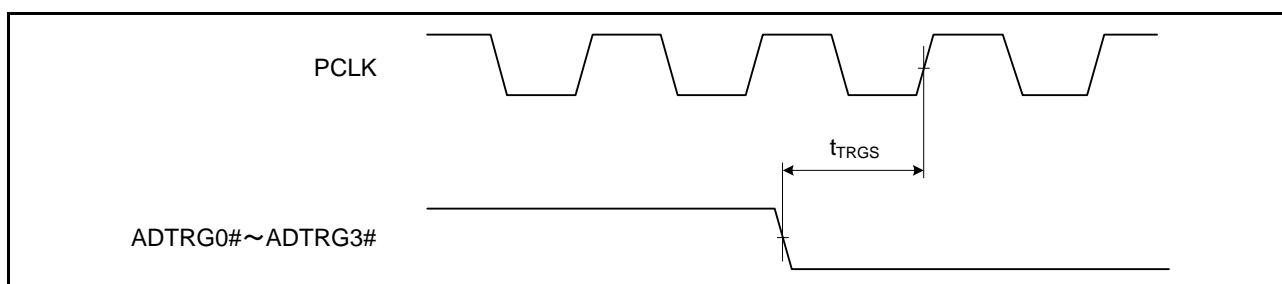


図 29.24 A/D コンバータ外部トリガ入力タイミング

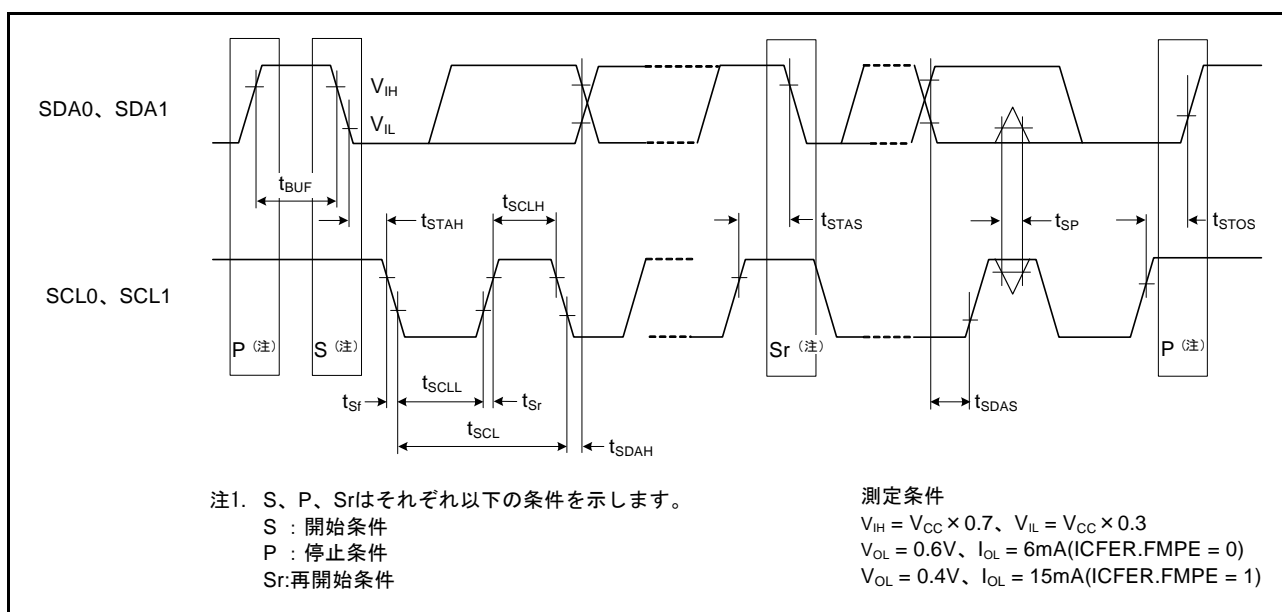


図 29.25 I²C バスインタフェース入出力タイミング

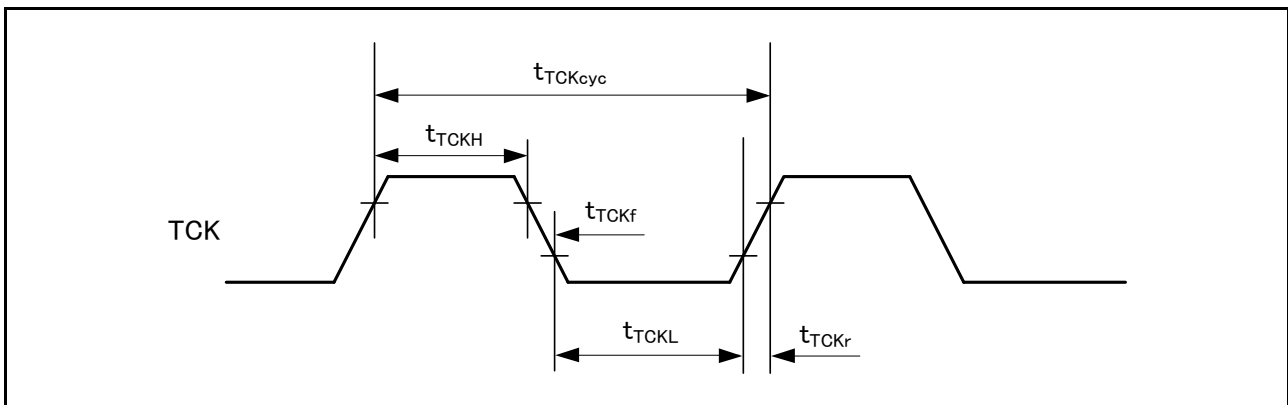


図 29.26 バウンダリスキャン TCK タイミング

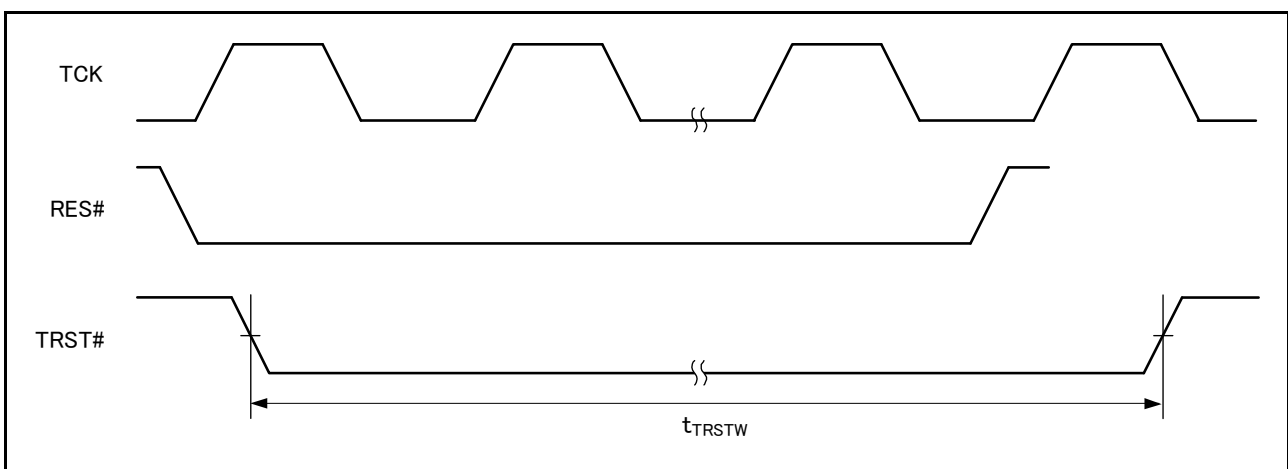


図 29.27 バウンダリスキャン TRST# タイミング

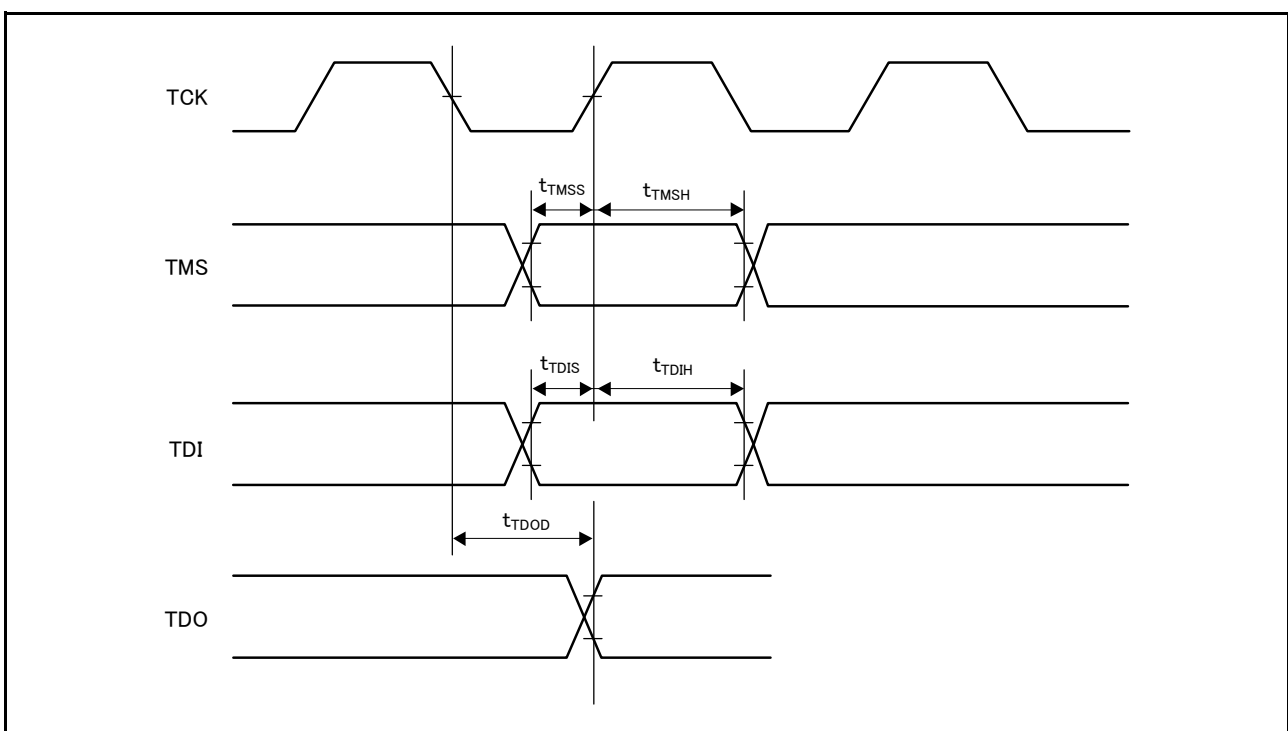


図 29.28 バウンダリスキャン入出力タイミング

29.4 A/D 変換特性

表 29.9 A/D 変換特性

条件： $V_{CC} = PLLV_{CC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REFH} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = V_{REFL} = 0V$ 、 $PCLK = 8 \sim 50MHz$
 $ADCLK = 4 \sim 50MHz$ 、 $T_a = -20 + 85^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目			min	typ	max	単位	測定条件
分解能			10	10	10	ビット	
変換時間 (注1) (ADCLK= 50MHz時)	外付けコンデン サ0.1 μ Fあり	コンデンサに電荷が十分 チャージされている場合 (注2)	0.8 (0.3) (注3)	—	—	μ s	サンプリング 15ステート
	外付けコンデン サなし	許容信号源インピーダン ス max = 1.0 k Ω	1.0 (0.5) (注3)	—	—		サンプリング 25ステート
		許容信号源インピーダン ス max = 5.0 k Ω	2.6 (2.1) (注3)	—	—		サンプリング 105ステート
アナログ入力容量			—	—	6.0	pF	
積分非直線性誤差 (INL)			—	± 1.5	± 3.0	LSB	
オフセット誤差			—	± 1.5	± 3.0	LSB	
フルスケール誤差			—	± 1.5	± 3.0	LSB	
量子化誤差			—	± 0.5	—	LSB	
絶対精度			—	± 1.5	± 3.0	LSB	
微分非直線性誤差 (DNL)			—	± 0.5	± 1.0	LSB	

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目の測定条件にサンプリングステート数を示します。

注2. スキャンは対応しません。

注3. ()はサンプリング時間を示します。

29.5 D/A 変換特性

表 29.10 D/A 変換特性

条件： $V_{CC} = PLLV_{CC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REFH} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = V_{REFL} = 0V$ 、 $PCLK = 8 \sim 50MHz$
 $T_a = -20 \sim +85^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項 目	min	typ	max	単位	測定条件
分解能	10	10	10	ビット	
変換時間	—	—	3	μ s	負荷容量20pF
絶対精度	—	± 2.0	± 4.0	LSB	負荷抵抗2M Ω
	—	—	± 3.0	LSB	負荷抵抗4M Ω
	—	—	± 2.0	LSB	負荷抵抗10M Ω
RO 出力抵抗	—	3.6	—	k Ω	

29.6 ROM（コード格納用フラッシュメモリ）特性

表29.11 ROM（コード格納用フラッシュメモリ）特性

条件： $V_{CC} = PLLV_{CC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REFH} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = V_{REFL} = 0V$ 書き込み / 消去時の動作温度範囲： $T_a = -20 \sim +85^\circ C$ （通常仕様品）、 $T_a = -40 \sim +85^\circ C$ （広温度範囲仕様品）

項目	記号	min	typ	max	単位	測定条件	
書き込み時間	256B	t_{P256}	—	2	12	ms	PCLK=50MHz $N_{PEC} \leq 100$ 時
	8KB	t_{P8K}	—	45	100	ms	
	256B	t_{P256}	—	2.4	14.4	ms	PCLK=50MHz $N_{PEC} > 100$ 時
	8KB	t_{P8K}	—	54	120	ms	
消去時間	8KB	t_{E8K}	—	50	120	ms	PCLK=50MHz $N_{PEC} \leq 100$ 時
	64KB	t_{E64K}	—	400	875	ms	
	128KB	t_{E128K}	—	800	1750	ms	
	8KB	t_{E8K}	—	60	144	ms	PCLK=50MHz $N_{PEC} > 100$ 時
	64KB	t_{E64K}	—	480	1050	ms	
	128KB	t_{E128K}	—	960	2100	ms	
再書き込み / 消去サイクル (注1)	N_{PEC}	1000 (注2)	—	—	—	回	
書き込み中のサスペンド遅延時間	t_{SPD}	—	—	120	μs	図29.29 PCLK=50MHz時	
消去中の1回目のサスペンド遅延時間 (サスペンド優先モード時)	t_{SESD1}	—	—	120	μs		
消去中の2回目のサスペンド遅延時間 (サスペンド優先モード時)	t_{SESD2}	—	—	1.7	ms		
消去中のサスペンド遅延時間 (消去優先モード時)	t_{SEED}	—	—	1.7	ms		
データ保持時間 (注3)	t_{DRP}	10	—	—	—		年

注1. 再書き込み/消去サイクルの定義：

再書き込み/消去サイクルは、ブロック毎の消去回数です。

再書き込み/消去サイクルがn回（n=1000）の場合、ブロックごとにそれぞれn回ずつ消去することができます。

例えば、8KBのブロックについて、それぞれ異なる番地に256B書き込みを32回に分けて行った後に、そのブロックを消去した場合も、再書き込み/消去サイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません(上書き禁止)。

注2. 書き換え後のすべての特性を保証するmin回数です。(保証は1～min値の範囲)

注3. 書き換えがmin値を含む仕様範囲内で行われたときの特性です。

29.7 データフラッシュ（データ格納用フラッシュメモリ）特性

表 29.12 データフラッシュ（データ格納用フラッシュメモリ）特性

条件： $V_{CC} = PLLV_{CC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REFH} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = V_{REFL} = 0V$ 書き込み / 消去時の動作温度範囲： $T_a = -20 \sim +85^\circ C$ （通常仕様品）、 $T_a = -40 \sim +85^\circ C$ （広温度範囲仕様品）

項目		記号	min	typ	max	単位	測定条件
書き込み時間	8B	t_{DP8}	—	0.4	2	ms	PCLK=50MHz時
	128B	t_{DP128}	—	1	5	ms	
消去時間	8KB	t_{DE8K}	—	300	900	ms	PCLK=50MHz時
ブランクチェック時間	8B	t_{DBC8}	—	—	30	μs	PCLK=50MHz時
	8KB	t_{DBC8K}	—	—	2.5	ms	
再書き込み/消去サイクル (注1)		N_{DPEC}	30000 (注2)	—	—	回	
書き込み中のサスペンド遅延時間		t_{DSPD}	—	—	120	μs	図 29.29 PCLK=50MHz時
消去中の1回目のサスペンド遅延時間 (サスペンド優先モード時)		t_{DSESD1}	—	—	120	μs	
消去中の2回目のサスペンド遅延時間 (サスペンド優先モード時)		t_{DSESD2}	—	—	1.7	ms	
消去中のサスペンド遅延時間 (消去優先モード時)		t_{DSEED}	—	—	1.7	ms	
データ保持時間 (注3)		t_{DDRP}	10	—	—	年	

注1. 再書き込み/消去サイクルの定義：

再書き込み/消去サイクルは、ブロック毎の消去回数です。

再書き込み/消去サイクルがn回 (n=30000) の場合、ブロックごとにそれぞれn回ずつ消去することができます。

例えば、8KBのブロックについて、それぞれ異なる番地に128B書き込みを64回に分けて行った後に、そのブロックを消去した場合も、再書き込み/消去サイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません(上書き禁止)。

注2. 書き換え後のすべての特性を保証するmin回数です。(保証は1～min値の範囲)

注3. 書き換えがmin値を含む仕様範囲内で行われたときの特性です。

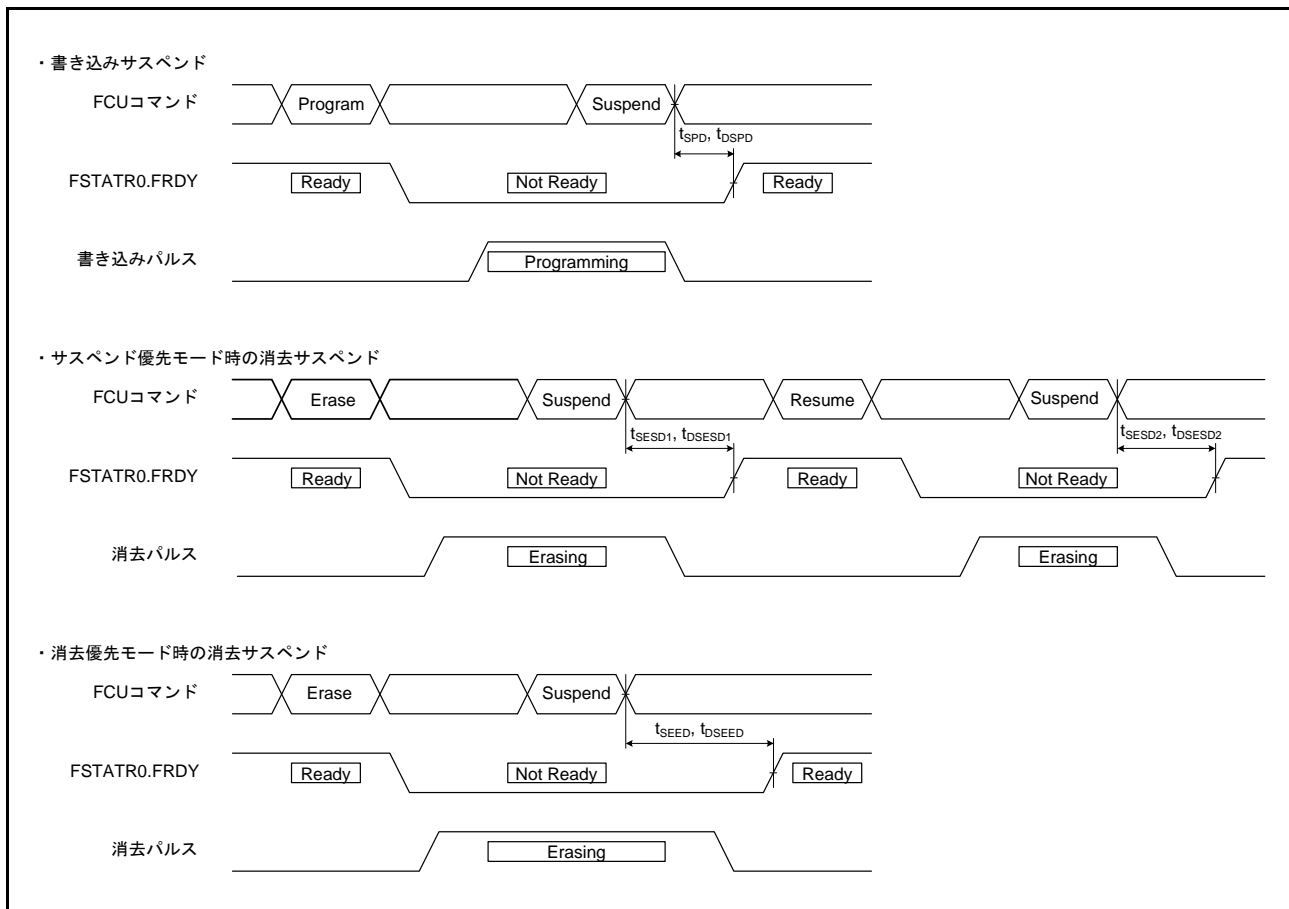


図 29.29 ROM、データフラッシュ書き込み / 消去サスペンドタイミング

付録1. 各動作モードにおけるポートの状態

表 1.1 各動作モードにおけるポートの状態 (1 / 3)

ポート名 端子名	レジスタ設定による 動作モード	リセット	ソフトウェア スタンバイモード		ディープソフトウェア スタンバイモード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
			OPE = 1	OPE = 0		IOKEEP = 1*	IOKEEP = 0
ポート0	全モード	HiZ	Keep-O*1		Keep	Keep	HiZ
ポート1	全モード	HiZ	Keep-O*1		Keep	Keep	HiZ
ポート2	全モード	HiZ	Keep-O		Keep	Keep	HiZ
P30~P33	全モード	HiZ	Keep-O*1		Keep-O*2	Keep	HiZ
P34/PO12/TIOCA1/ IRQ4-A	全モード	HiZ	Keep-O*1		Keep	Keep	HiZ
P35~P37	全モード	HiZ	Keep-O		Keep	Keep	HiZ
ポート4	全モード	HiZ	Keep-O*1		Keep	Keep	HiZ
P50/WR0#/WR#	シングルチップモード (EXBE=0)	HiZ	Keep-O		Keep	Keep	HiZ
	内蔵ROM有効/無効拡張 (EXBE=1)		[WR0#/WR# 出力時] H	[WR0#/WR# 出力時] HiZ			
P51/WR1#/BC1#	シングルチップモード (EXBE=0)	HiZ	Keep-O		Keep	Keep	HiZ
	内蔵ROM有効/無効拡張 (EXBE=1)		[WR1#/BC1# 出力時] H	[WR1#/BC1# 出力時] HiZ			
	[上記以外] Keep-O						
P52/RD#	シングルチップモード (EXBE=0)	HiZ	Keep-O		Keep	Keep	HiZ
	内蔵ROM有効/無効拡張 (EXBE=1)		[RD#出力時] H	[RD#出力時] HiZ			
P53/BCLK	全モード	HiZ	[クロック出力時] H [上記以外] HiZ		Keep	Keep	HiZ
P54/TRDATA0	全モード	HiZ	Keep-O		Keep	Keep	HiZ
P55/TRDATA1	全モード	HiZ	Keep-O		Keep	Keep	HiZ
P56/TRDATA2	全モード	HiZ	Keep-O		Keep	Keep	HiZ
P57/TRDATA3/ WAIT#	全モード	HiZ	Keep-O		Keep	Keep	HiZ
P60/CS0#/ CS4#-A/CS5#-B	全モード	HiZ	[CS出力時] H [上記以外] Keep-O	[CS出力時] HiZ [上記以外] Keep-O	Keep	Keep	HiZ
P61/CS1#/ CS2#-B/CS5#-A/ CS6#-B/CS7#-B	全モード	HiZ	[CS出力時] H [上記以外] Keep-O	[CS出力時] HiZ [上記以外] Keep-O	Keep	Keep	HiZ
P62/CS2#-A/ CS6#-A	全モード	HiZ	[CS出力時] H [上記以外] Keep-O	[CS出力時] HiZ [上記以外] Keep-O	Keep	Keep	HiZ
P63/CS3#-A/ CS7#-A	全モード	HiZ	[CS出力時] H [上記以外] Keep-O	[CS出力時] HiZ [上記以外] Keep-O	Keep	Keep	HiZ

表 1.1 各動作モードにおけるポートの状態 (2 / 3)

ポート名 端子名	レジスタ設定による 動作モード	リセット	ソフトウェア スタンバイモード		ディープソフトウェア スタンバイモード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
			OPE=1	OPE=0		IOKEEP=1*	IOKEEP=0
P64/CS4#-B	全モード	HiZ	[CS出力時] H [上記以外] Keep-O	[CS出力時] HiZ [上記以外] Keep-O	Keep	Keep	HiZ
P65/IRQ15-A	全モード	HiZ	Keep-O*1		Keep	Keep	HiZ
P66/DA0	全モード	HiZ	[DAOE0=1] DA出力保持 [DAOE0=0] Keep-O	[DAOE0=1] HiZ [DAOE0=0] Keep	[DAOE0=1] HiZ [DAOE0=0] Keep	Keep	HiZ
P67/DA1	全モード	HiZ	[DAOE1=1] DA出力保持 [DAOE1=0] Keep-O	[DAOE1=1] HiZ [DAOE1=0] Keep-O	[DAOE1=1] HiZ [DAOE1=0] Keep-O	Keep	HiZ
P70/CS3#-B/ ADTRG2#	全モード	HiZ	[CS出力時] H [上記以外] Keep-O	[CS出力時] HiZ [上記以外] Keep-O	Keep	Keep	HiZ
P71/CS4#-C/ CS5#-C/CS6#-C/ CS7#-C	全モード	HiZ	[CS出力時] H [上記以外] Keep-O	[CS出力時] HiZ [上記以外] Keep-O	Keep	Keep	HiZ
P72~P75	全モード	HiZ	Keep-O		Keep	Keep	HiZ
P76/IRQ14-A	全モード	HiZ	Keep-O*1		Keep	Keep	HiZ
P77	全モード	HiZ	Keep-O		Keep	Keep	HiZ
ポート8	全モード	HiZ	Keep-O		Keep	Keep	HiZ
ポート9	全モード	HiZ	Keep-O		Keep	Keep	HiZ
ポートA	シングルチップ モード (EXBE=0)	HiZ	Keep-O		Keep	Keep	HiZ
	内蔵ROM有効/無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] HiZ	[アドレス出力時] HiZ [上記以外] HiZ			
ポートB	シングルチップ モード (EXBE=0)	HiZ	Keep-O		Keep	Keep	HiZ
	内蔵ROM有効拡張モード		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] HiZ [上記以外] Keep-O			
PC0~PC4	シングルチップ モード (EXBE=0)	HiZ	Keep-O		Keep	Keep	HiZ
	内蔵ROM有効/無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [上記以外] Keep-O	[アドレス出力時] HiZ [上記以外] Keep-O			
PC5~PC7	シングルチップ モード (EXBE=0)	HiZ	Keep-O		Keep	Keep	HiZ
	内蔵ROM有効/無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [CS出力時] H [上記以外] Keep-O	[アドレス出力時] HiZ [CS出力時] HiZ [上記以外] Keep-O			

表 1.1 各動作モードにおけるポートの状態 (3 / 3)

ポート名 端子名	レジスタ設定による 動作モード		リセット	ソフトウェア スタンバイモード		ディープソフトウェア スタンバイモード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
				OPE=1	OPE=0		IOKEEP=1*	IOKEEP=0
ポートD	シングルチップ モード (EXBE=0)		HiZ	Keep-O		Keep	Keep	HiZ
	内蔵ROM有効/無効拡張モード (EXBE=1)			HiZ				
PE0~PE4	シングルチップ モード (EXBE=0)		HiZ	Keep-O		Keep	Keep	HiZ
	内蔵ROM有効/ 無効拡張 モード (EXBE=1)	バス幅 8ビット		Keep-O				
		バス幅 16ビット		HiZ				
PE5~PE7	シングルチップ モード (EXBE=0)		HiZ	Keep-O*1		Keep	Keep	HiZ
	内蔵ROM有効/ 無効拡張 モード (EXBE=1)	バス幅 8ビット		Keep-O*1				
		バス幅 16ビット		HiZ				
ポートF	全モード		HiZ	Keep-O		Keep	Keep	HiZ
ポートG	全モード		HiZ	Keep-O		Keep	Keep	HiZ
ポートH	全モード		HiZ	Keep-O		Keep	Keep	HiZ
WDTOVF	全モード		WDTOVF出 力	H		H	H	

H : High レベル

L : Low レベル

Keep-O : 出力端子として使用時は直前値を保持、入力端子として使用時はハイインピーダンス

*1 : 外部割り込み端子として使用時は、ソフトウェアスタンバイ解除要求として設定されている場合入力可能。

*2 : ディープソフトウェアスタンバイ解除要求として設定されている場合入力可能。

Keep : ソフトウェアスタンバイでの端子状態を保持

HiZ : ハイインピーダンス

IOKEEP=1* : DPSBYCR.IOKEEP ビットを "0" にするまで、I/O ポートの状態を保持します。

付録2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサスエレクトロニクスホームページの「パッケージ」に掲載されています。

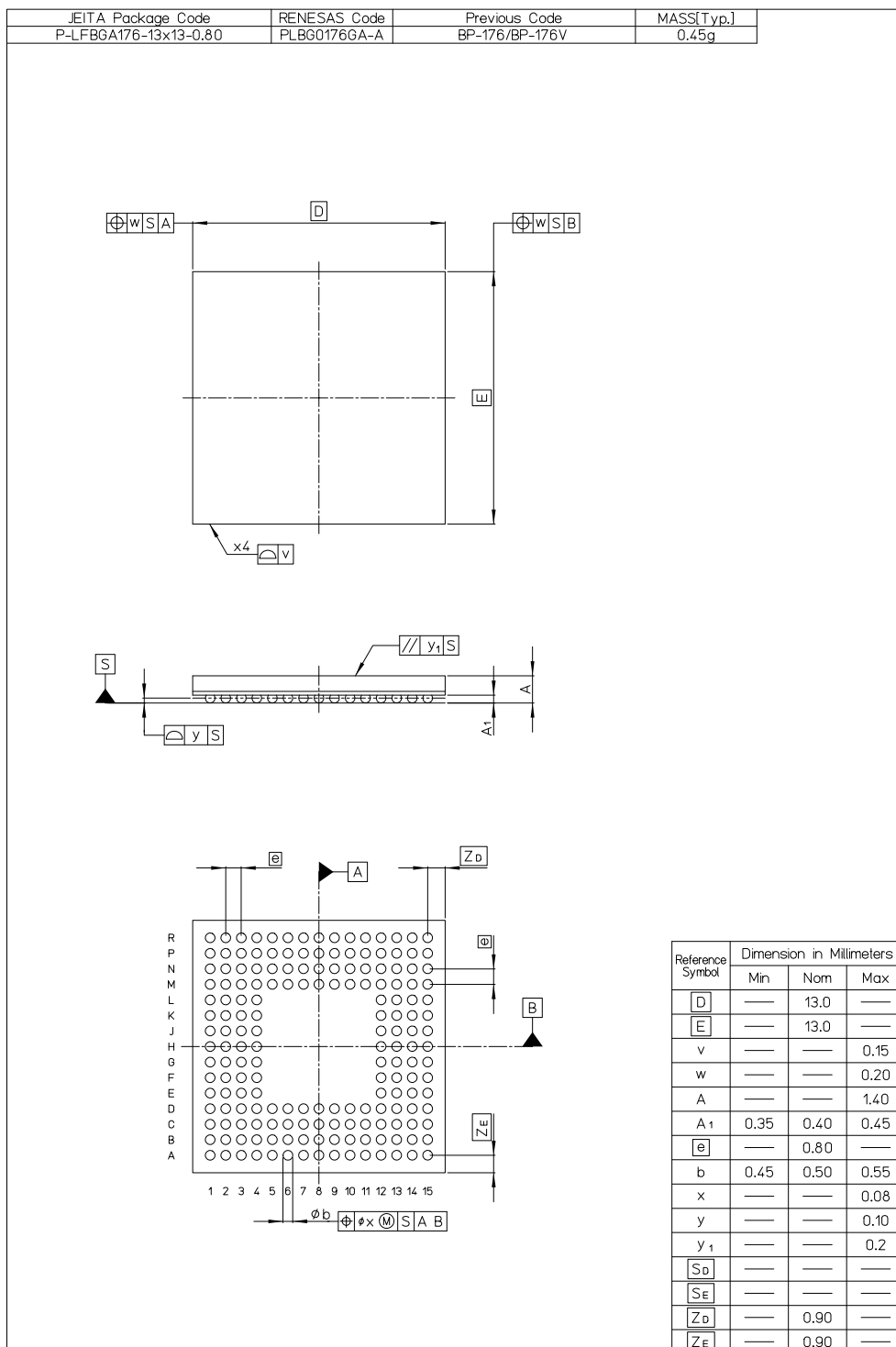


図 A. 176ピンLFBGA (PLBG0176GA-A) 外形寸法図

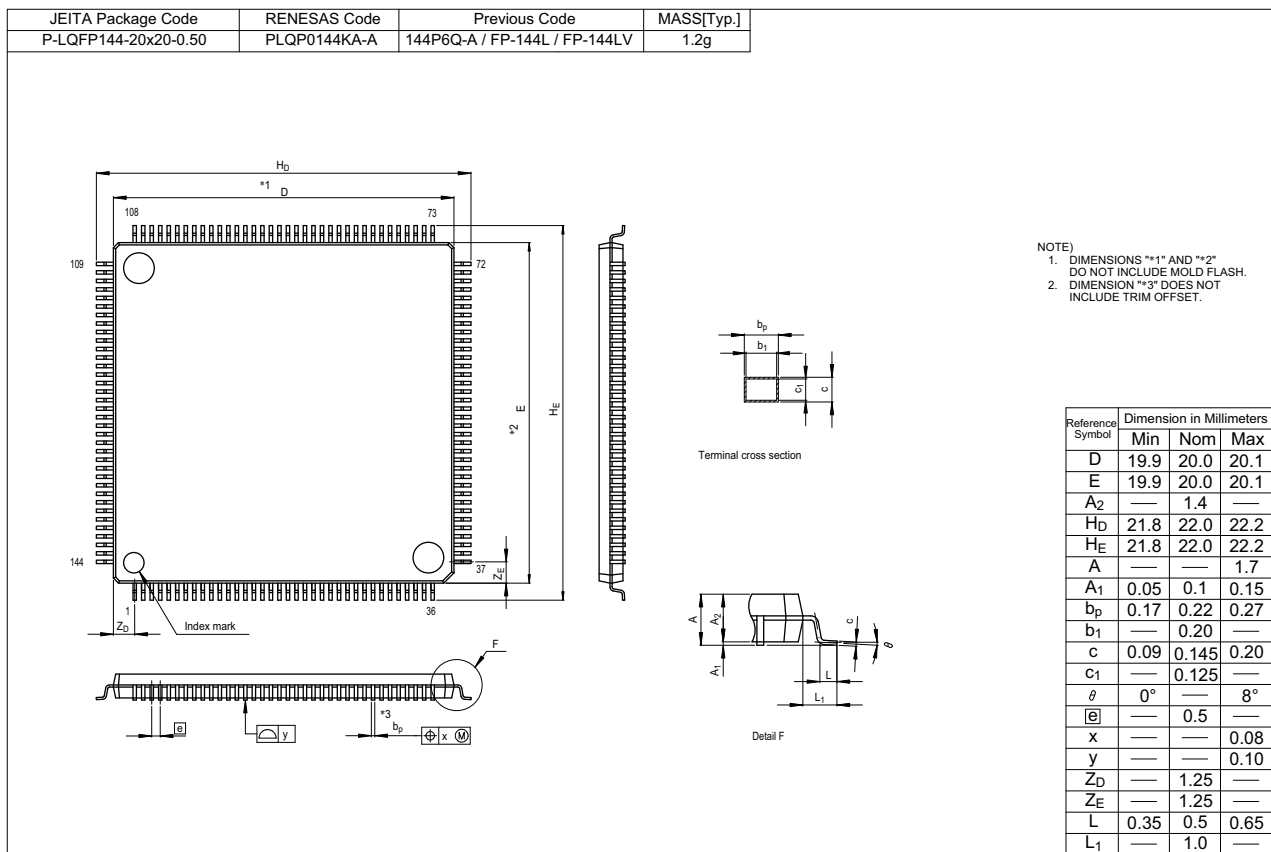


図 B. 144ピン LQFP (PLQP0144KA-A)

改訂記録		RX610 グループ ハードウェアマニュアル	
Rev.	発行日	改訂内容	
		ページ	ポイント
0.11	2009.3.24	—	初版発行
0.12	2009.5.21		1. 概要
		23	表 1.1 仕様概要 (1/3) 割り込みコントローラ 変更
		24	表 1.1 仕様概要 (2/3) プログラマブル入出力ポート 変更
		27	図 1.2 ブロック図 変更
			2. CPU
		43	2.2.2.4 プロセッサステータスワード (PSW) 注1. 変更
		48	2.3.3 特権命令 MVTIPL命令 削除
		62	表 2.13 単一マイクロオペレーションに変換される命令 システム制御命令 「MVTIPL “#IMM”」 削除
			5. I/O レジスタ
		81~100	表 5.1 I/Oレジスタアドレス一覧 変更
		101~126	表 5.2 I/Oレジスタビット一覧 変更
			7. クロック発生回路
		137	図 7.2 水晶発振子の接続例 CL1およびCL2容量記載
137	表 7.4 ダンピング抵抗 参考値記載		
137	表 7.5 水晶発振子の特性 参考値記載		
138	7.3.2 外部クロックを入力する方法 寄生容量記載		
	8. 低消費電力		
156	8.2.8 ディープスタンバイインタラプトフラグレジスタ (DPSIFR) レジスタ説明追記		
162	8.5.2.1 全モジュールクロックストップモードへの遷移 注5.追加		
163	8.5.3.1 ソフトウェアスタンバイモードへの遷移 追記、注3.追加		
172	図 8.4 ディープソフトウェアスタンバイモードのフローチャート例 変更		
174	8.7.5 DIRQIEビット (i=3~0) による入力バッファ制御 変更		
	10. 割り込みコントローラ (ICU)		
184	10.1 概要 変更		
184	表 10.1 割り込みコントローラの仕様 変更		
186~193	表 10.3 割り込みコントローラのレジスタ一覧 変更		
194, 195	10.2.1 割り込み要求レジスタ n (IRn) ビット機能 (表) 注.追記、IRフラグ ビット説明変更		
	10.2.2 割り込み要求先設定レジスタ n (ISELRi) 割り込み伝達先設定レジスタ n → 割り込み要求先設定レジスタ n レジスタ名変更 レジスタの説明変更、ISEL[1:0]ビット ビット説明変更		
196	10.2.3 割り込み要求許可レジスタ m (IERm) ビット機能 (表) 注.追記、レジスタの説明変更、ENjビット ビット説明変更		
196	10.2.4 割り込み要因プライオリティレジスタ m (IPRm) レジスタの説明変更、IPR[2:0]ビット ビット説明変更		
197	10.2.5 高速割り込み設定レジスタ (FIR) レジスタの説明変更		
198	10.2.6 IRQ検出許可レジスタ i (IRQERi) ビット機能 (表) IRQENビット 機能説明変更 レジスタの説明変更、IRQENビット ビット説明変更		
199	10.2.7 IRQコントロールレジスタ i (IRQCRi) ビット機能 (表) IRQMD[1:0] ビット名変更 レジスタの説明変更、IIRQMD[1:0]ビット ビット説明変更		
199	10.2.9 NMI端子割り込みコントロールレジスタ (NMICR) ビット機能 (表) NMIMD ビット名変更 レジスタの説明変更、NMIMDビット ビット説明変更		
200	10.2.12 ソフトウェアスタンバイ解除IRQイネーブルレジスタ (SSIER) ビット機能 (表) SSliビット 機能説明変更		
200	SSliビット ビット説明変更		

Rev.	発行日	改訂内容			
		ページ	ポイント		
0.12	2009.5.21	206	10.3 ベクタテーブル 変更		
		206	10.3.1 割り込みのベクタテーブル 変更 表 10.4 割り込みのベクタテーブル		
		206~211	表ヘッダ変更、割り込み要因発生元 FCUIF → FCUに変更		
		211	10.3.2 高速割り込みのベクタアドレス 変更		
		211	10.3.3 ノンマスカブル割り込みのベクタアドレス 変更		
		212	10.4 動作説明 変更		
		212	10.4.1 割り込みの許可/禁止 変更		
		212	10.4.2 割り込みステータスフラグ 変更		
		212, 213	10.4.2.1 エッジ検出の割り込みステータスフラグ 変更		
		213, 214	10.4.2.2 レベル検出の割り込みステータスフラグ 変更		
		214~216	10.4.3 割り込み要求先の選択 変更		
		216	10.4.4 優先順位の判定 変更		
		217	10.4.5 高速割り込み 変更		
		217	10.4.6 外部割り込み 変更		
		218	10.5 ノンマスカブル割り込み動作 変更		
		219	表 10.5 復帰要因一覧 変更		
		219	10.6.1 スリープモード、全モジュールクロックストップモードからの復帰 変更		
		219	10.6.2 ソフトウェアスタンバイモードからの復帰 変更、注.追加		
					11. バス
		235, 236		11.3.5 CSi ウェイト制御レジスタ 2 (CSiWCNT2) WDOFF[2:0] ビット、WDON[2:0] ビット	ビット説明追記
		246		図 11.10 ノーマルリードアクセスの動作例	変更
		247		図 11.11 ノーマルライトアクセスの動作例	変更
		256		11.5.5.4 レジスタ設定時の注意事項	追加
					12. DMA コントローラ (DMAC)
		266		表 12.4 DCTG[5:0] ビットの設定 DCTG[5:0] ビット 100111b、101000b、101001b、101010b の DMA 要求要因変更	
					13. データトランスファコントローラ (DTC)
		319		図 13.14 割り込みによる DTC 起動方法	変更
					14. I/O ポート
		325		表 14.1 I/O ポートの仕様	変更
		332		14.2.2 データレジスタ (DR) ビット配置 (図) 注.変更	
					16. プログラマブルパルスジェネレータ (PPG)
		484		図 16.11 パルス出力ノンオーバーラップ動作の設定手順例 (PPG0 の設定)	変更
		485		図 16.12 パルス出力ノンオーバーラップ動作の設定手順例 (PPG1 の設定)	変更
		489		16.3.8 インพุットキャプチャによるパルス出力	変更
					20. シリアルコミュニケーションインタフェース (SCI)
					20.2.6 シリアルコントロールレジスタ (SCR)
		550, 551		(1) シリアルコミュニケーションインタフェースモードのとき (SCMR.SMIF ビット=0) TEIE ビット、RIE ビット、TIE ビット	ビット説明変更
		553		(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット=1) RIE ビット、TIE ビット	ビット説明変更
			20.2.7 シリアルステータスレジスタ (SSR)		
554, 555		(1) シリアルコミュニケーションインタフェースモードのとき (SCMR.SMIF ビット=0) TEND フラグ、PER フラグ、FER フラグ、ORER フラグ	ビット説明変更		
556, 557		(2) スマートカードインタフェースモードのとき (SCMR.SMIF=1 のとき) TEND フラグ、PER フラグ、ORER フラグ	ビット説明変更		
572		20.3.4 SCI の初期化 (調歩同期式モード)	変更		
572		図 20.7 SCI の初期化フローチャートの例 (調歩同期式モード)	変更		
573		20.3.5 シリアルデータの送信 (調歩同期式モード)	変更		
574		図 20.9 調歩同期式モードのシリアル送信のフローチャート例	変更		
575, 576		20.3.6 シリアルデータの受信 (調歩同期式モード)	変更		
576		図 20.11 調歩同期式モードのシリアル受信のフローチャート例 (1)	変更		
577		図 20.11 調歩同期式モードのシリアル受信のフローチャート例 (2)	変更		
579		20.4.2 SCI の初期化 (クロック同期式モード)	変更		
579		図 20.13 SCI の初期化フローチャートの例 (クロック同期式モード)	変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
0.12	2009.5.21	580	20.4.3 シリアルデータの送信（クロック同期式モード） 変更
		581	図20.15 クロック同期式モードのシリアル送信のフローチャート例 変更
		582	20.4.4 シリアルデータの受信（クロック同期式モード） 変更
		583	図20.17 クロック同期式モードのシリアル受信のフローチャート例 変更
		584	20.4.5 シリアルデータの送受信同時動作（クロック同期式モード） 変更
		584	図20.18 クロック同期式モードのシリアル送受信同時動作のフローチャート例 変更
		589	20.5.5 SCIの初期化 変更
		592	図20.26 シリアル送信のフローチャート例 変更
		594	図20.28 シリアル受信のフローチャート例 変更
		596	20.6.1 シリアルコミュニケーションインタフェースモードにおける割り込み 変更
		599	20.7.6 クロック同期送信時の制約事項 DTCによるクロック同期式送信時の例（図） 削除
		611	22. I ² Cバスインタフェース（RIIC） 図22.1 RIICのブロック図 変更
		613	表22.3 RIICのレジスタ一覧 変更
		615	22.2.1 I ² Cバスコントロールレジスタ1（ICCR1） IICRSTビット ビット説明 注.変更
		617	22.2.2 I ² Cバスコントロールレジスタ2（ICCR2） ビット機能（表） BBSYフラグ 機能説明変更
		621	22.2.3 I ² Cバスモードレジスタ1（ICMR1） BC[2:0]ビット ビット説明変更
		622	22.2.4 I ² Cバスモードレジスタ2（ICMR2） ビット機能（表） SDDL[2:0]ビット ビット名および機能説明変更
		622	ビット機能（表） DLCSビット ビット名変更
		623	SDDL[2:0]ビット ビット説明変更
		627	22.2.6 I ² Cバスファンクションイネーブルレジスタ（ICFER） ビット配置図 NFEビット リセット後の値“1”に変更
		637	22.2.10 I ² Cバスステータスレジスタ2（ICSR2） TMOFフラグ ビット説明変更
		638	ALフラグ ビット説明変更
		638	表22.5 アービトレーションロスト発生要因と各アービトレーションロストイネーブル機能との関係 変更
		642	22.2.12 スレープアドレスレジスタU0（SARU0） ビット配置図 b0 FSに変更
		642	ビット配置図 b7-b4 リセット後の値“0”に変更
		642	ビット機能（表） b7（予約ビット）に変更
		644	22.2.14 スレープアドレスレジスタU1（SARU1） ビット配置図 b0 FSに変更
		644	ビット配置図 b7-b4 リセット後の値“0”に変更
		644	ビット機能（表） b7（予約ビット）に変更
		646	22.2.16 スレープアドレスレジスタU2（SARU2） ビット配置図 b0 FSに変更
		646	ビット配置図 b7-b4 リセット後の値“0”に変更
		646	ビット機能（表） b7（予約ビット）に変更
		647	22.2.17 I ² Cバスビットレートローレベルレジスタ（ICBRL） 変更
		647	22.2.18 I ² Cバスビットレートハイレベルレジスタ（ICBRH） 変更
		648	表22.6 転送速度に対するICBRH、ICBRLレジスタの設定例 変更
649	22.2.20 I ² Cバス受信データレジスタ（ICDRR） ビット配置図 b7-b0 リセット後の値“0”に変更		
649	22.2.21 I ² Cバスシフトレジスタ（ICDRS） ビット配置図 b7-b0 リセット後の値“—”（不定）に変更		
651	図22.5 RIICの初期化フローチャート例 変更		
652	22.3.3 マスタ送信動作 3.変更、7.追加		
653	図22.6 マスタ送信の使用例 変更		
654	図22.7 マスタ送信の動作タイミング（1）（7ビットアドレスフォーマットのとき） 変更		
654	図22.8 マスタ送信の動作タイミング（2）（10ビットアドレスフォーマットのとき） 変更		
655	図22.9 マスタ送信の動作タイミング（3） 変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
0.12	2009.5.21	656, 657	22.3.4 マスタ受信動作 3.変更、9.追加
		658	図22.10 マスタ受信の使用例 (7ビットアドレスフォーマットの場合) 変更
		659	図22.11 マスタ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS=0のとき) 変更
		659	図22.12 マスタ受信の動作タイミング (2) (10ビットアドレスフォーマット、RDRFS=0のとき) 変更
		660	図22.13 マスタ受信の動作タイミング (3) (RDRFS=0のとき) 追加
		661	22.3.5 スレーブ送信動作 1.~6.変更、7.追加
		662	図22.14 スレーブ送信の使用例 変更
		663	図22.15 スレーブ送信の動作タイミング (1) (7ビットアドレスフォーマットのとき) 変更
		663	図22.16 スレーブ送信の動作タイミング (2) 変更
		664	22.3.6 スレーブ受信動作 1.~5.変更、6.追加
		665	図22.17 スレーブ受信の使用例 変更
		666	図22.18 スレーブ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS=0のとき) 変更
		666	図22.19 スレーブ受信の動作タイミング (2) (RDRFS=0のとき) 変更
		671	22.5 SDA出力遅延機能 追加
		673	図22.25 7ビット/10ビットアドレスフォーマット混在時のAASnフラグセット/クリアタイミング 変更
		673	22.7.3 デバイスIDアドレス検出機能 変更
		680	図22.27 デバイスIDアドレス受信時のAASn、DIDフラグセット/クリアタイミング 変更
		681	22.9.1 マスタアービトラクションロスト検出機能 (MALEビット) 変更
		683	22.9.2 NACK送信アービトラクションロスト検出機能 (NALEビット) 変更
		684	22.9.3 スレーブアービトラクションロスト検出機能 (SALEビット) 変更
		685	図22.37 停止条件発行動作タイミング (SPビット) 変更
		685, 686	22.11.1 タイムアウト機能 変更
		688	図22.38 タイムアウト機能 (TMOE、TMOS、TMOH、TMOLビット) 変更
		690	22.11.2 SCLクロック余剰出力機能 変更
		691	図22.40 SMBusタイムアウト測定 変更
			22.13 割り込み要求 変更
			表22.8 リセット状況 変更
			23. A/D変換器
		718	23.6.5 許容信号源インピーダンスについて 変更
		719	23.6.7 アナログ電源端子他の設定範囲 AVCC、AVSSとVCC、VSSの関係 変更
		719	図23.16 AVCC=VCC、AVSS=VSS接続例 追加
		719	23.6.9 ノイズ対策上の注意 変更
		720	図23.17 アナログ入力保護回路の例 変更
720	23.6.10 高速変換を実現するためには 追加		
720	図23.18 高速変換用外付けコンデンサの接続例 追加		

Rev.	発行日	改訂内容	
		ページ	ポイント
0.12	2009.5.21	26. ROM	
		729～788 (節・項の内容構成変更)	
		729	表26.1 ROMの仕様 追加
		730	図26.1 ROMのブロック図 変更
		730	表26.2 ROM関連の入出力端子 変更
		26.2.1	フラッシュモードレジスタ (FMODR)
		732	ビット機能 (表) FRDMDビット 機能説明変更
		732	レジスタ説明変更、FRDMDビット ビット説明変更
		751	26.3 ROMのメモリマップ構成 追加
		751	26.4 ブロック構成 追加
		752, 753	26.5 ROM関連の動作モード 変更
		752	図26.4 ROMに関する動作モード遷移図 追加
		753	表26.5 各モードの相違点 変更
		754	26.6 ROMの書き込み/消去 追加
		754	26.6.1 FCUのモード 追加
		755	26.6.1.1 ROMリードモード 変更
		755, 756	26.6.1.2 ROM P/Eモード 追加
		756, 757	26.6.2 FCUコマンド一覧 変更
		756	表26.6 FCUコマンド一覧 変更
		758	26.6.3 FCUのモードとコマンドの関係 追加
		759	26.6.4 FCUコマンド使用方法 変更
		759～762	26.6.4.1 モード移行 変更
		763～771	26.6.4.2 書き込み/消去方法 変更
		772, 773	26.6.4.3 エラー処理の方法 追加
		773～775	26.6.4.4 サスペンド/レジューム 追加
		781	26.10 ブートモード 追加
		781	26.10.1 システム構成 追加
		782, 783	26.10.2 ブートモードの状態遷移 追加
		784	26.10.3 ビットレートの自動調整 追加
		785, 786	26.10.4 ブートモードIDコードプロテクト 追加
		787	26.11 オンチップデバッグIDコードプロテクト 追加
		787	26.12 ROMコードプロテクト 追加
		788	26.13 使用上の注意事項 変更
		27. データフラッシュ	
		789～814 (節・項の内容構成変更)	
		789	表27.1 データフラッシュの仕様 追加
		790	図27.1 データフラッシュのブロック図 変更
		790	表27.2 データフラッシュ関連の入出力端子 変更
		27.2.1	フラッシュモードレジスタ (FMODR)
		792	ビット機能 (表) FRDMDビット 機能説明変更
		792	レジスタ説明変更、FRDMDビット ビット説明変更
		802	27.3 データフラッシュのメモリマップ構成 追加
		802	27.4 ブロック構成 追加
		803	27.5 データフラッシュ関連の動作モード 変更
		803	表27.4 各モードの相違点 変更
		804	27.6 データフラッシュの書き込み/消去 追加
		804	27.6.1 FCUのモード 追加
		805	27.6.1.1 ROM P/Eモード 変更
		805	27.6.1.2 ROM/データフラッシュリードモード 変更
		805	27.6.1.3 データフラッシュ P/Eモード 変更
		806	27.6.2 FCUコマンド一覧 変更
		806	表27.5 FCUコマンド一覧 変更
		807	27.6.3 FCUのモードとコマンドの関係 変更
		808～811	27.6.4 FCUコマンド使用方法 変更
		812	27.7.1 ソフトウェアプロテクト 変更
		813	27.7.2 エラープロテクト 変更
		814	27.8 使用上の注意事項 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.40	2009.10.28		28. 電気的特性
		817	表28.2 DC特性 (2) 注4.追記
		823	表28.8 内蔵周辺モジュールタイミング (1) 変更
		824	表28.8 内蔵周辺モジュールタイミング (2) 変更
		832~834	付録1. 各処理状態におけるポートの状態 表1.1 各処理状態におけるポートの状態 変更
		全体	レジスタの表記 (予約ビット) の説明見直し
		3	「製品ご使用上の注意事項」追加
		4	「このマニュアルの使い方」追加
		25-27	1. 概要 表1.1 仕様概要 変更 A/D変換器、D/A変換器の規準電源端子 Vref (ピン番号142) →VREFH、 規準グランド端子
		30	AVSS (ピン番号140) →VREFL 端子名の変更
31	図1.3 144ピンLQFPピン配置図 変更		
36	図1.4 144ピンLQFPピン配置図 (補助図) 変更		
40	表1.3 機能別端子一覧表 変更 表1.4 端子機能一覧表 変更		
		2. CPU	
41	2.1 特長 CPUレジスタセット アキュムレータ 変更		
42	図2.1 CPUレジスタセット 変更		
48	2.2.2.8 浮動小数点ステータスワード (FPSW) RM[1:0] 浮動小数点丸め演算モード設定ビット→浮動小数点丸めモード設定ビット ビット名変更		
49-50	浮動小数点丸め演算モード→浮動小数点丸めモード 変更 ビット説明追加		
50	2.2.2.9 アキュムレータ (ACC) 変更		
54	2.5.1 エンディアンの切り替え 変更		
60	図2.8 固定ベクタテーブル 変更		
63	2.8 パイプライン 2.8.1 概要 (4) 変更		
69	図2.15 MOV命令 (メモリ間転送)、ビット操作命令 (メモリソースオペランド) 変更		
72	2.8.4 割り込み応答サイクル数 追加		
		3. 動作モード	
76	3.2.3 システムコントロールレジスタ0 (SYSCR0) ROME、KEY[7:0]ビット ビット説明変更		
77	3.2.4 システムコントロールレジスタ1 (SYSCR1) RAME ビット説明変更		
		4. アドレス空間	
81	図4.1 R5F56108のメモリマップ 追加		
82	図4.2 R5F56107のメモリマップ 追加		
83	図4.3 R5F56106のメモリマップ 追加		
84	図4.4 R5F56105のメモリマップ 追加		

Rev.	発行日	改訂内容	
		ページ	ポイント
0.40	2009.10.28	86-87 108-133	5. I/Oレジスタ (3) I/Oレジスタ書き込み時の注意事項 追加 表5.2 I/Oレジスタビット一覧 誤記訂正
		150 153 159 163 169 171 174 178 179 181	8. 消費電力低減機能 (章タイトル変更) 表8.1 動作状態 注7. 追加 8.2.1 スタンバイコントロールレジスタ (SBYCR) SSBYビット ビット説明変更 8.2.5 ディープスタンバイコントロールレジスタ (DPSBYCR) DPSBYビット ビット説明変更 8.2.8 ディープスタンバイインタラプトフラグレジスタ (DPSIFR) レジスタ説明変更 8.5.2.1 全モジュールクロックストップモードへの遷移 変更 8.5.3.2 ソフトウェアスタンバイモードの解除 追記 8.5.4.1 ディープソフトウェアスタンバイモードへの遷移 注2. 追加 8.5.4.5 ディープソフトウェアスタンバイモードの応用例 変更 図8.4 ディープソフトウェアスタンバイモードのフローチャート例 変更 8.7.7 WAIT命令の実行タイミング 変更
		186 187 187 190	9. 例外処理 表9.2 ベクタとPC、PSWの退避場所 変更 9.4 例外の受け付け/復帰時のハードウェア処理 追記 (b) PSWレジスタ中のPM、U、Iビットの更新 変更 9.6 例外処理ルーチンからの復帰 変更
		203 205 214-219 227	10. 割り込みコントローラ (ICU) 10.2.2 割り込み要求先設定レジスタ n (ISELRI) ビット機能表 (注1、2) 追加 10.2.4 割り込み要因プライオリティレジスタ m (IPRM) IPR[2:0]ビット ビット名変更 表10.4 割り込みのベクタテーブル 変更 10.6.2 ソフトウェアスタンバイモードからの復帰 追記
		233 234 234 234 237 242 243-244 262 262 265	11. バス 表11.6 外部バス制御部のレジスタ一覧 変更 11.3.1 CSi制御レジスタ (CSiCNT) ビット配置図 CSiCNT リセット後の値変更、(注) 削除 ビット機能表 (注2) 変更 BSIZE[1:0]ビット ビット説明変更 11.3.3 CSiモードレジスタ (CSiMOD) PRMODビット ビット説明変更 11.3.4 CSiウェイト制御レジスタ1 (CSiWCNT1) CSPWAIT[2:0]、CSPRWAIT[2:0]、CSWWAIT[4:0]、CSRWAIT[4:0]ビット (注) 追加 11.3.5 CSiウェイト制御レジスタ2 (CSiWCNT2) CSWOFF[2:0]、WDOFF[2:0]、RDON[2:0]、WRON[2:0]ビット (注) 追加 11.5.3 リカバリサイクルの挿入 変更 図11.21 リカバリタイミング例 変更 11.6.2 バスエラー発生時の動作 追記
		274 289 290 293 297 299	12. DMAコントローラ (DMAC) 表12.4 DCTG[5:0]ビットの設定 変更 12.2.16 DMA転送終了検出レジスタ (DMEDET) DEDETmフラグ ビット説明追記 12.3.1 バス権解放タイミング 誤記訂正 図12.4 レジスタの設定手順 変更 12.4 割り込み 変更、図12.8 割り込み出力の概略論理図 追加 12.6.1 レジスタの設定 7. 追加
		313 323 323 327 327 331	13. データトランスファコントローラ (DTC) 表13.3 割り込み要因とDTCベクタアドレスおよびICU.ISELRIレジスタの対応 変更 13.4.6 チェーン転送 変更 図13.9 チェーン転送の動作 誤記訂正 13.5 DTCの設定手順 変更 図13.14 DTCの設定手順 追加 13.8.1 DTCモジュール起動レジスタの設定 (1)、(2) 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.40	2009.10.28	352-354	14. I/Oポート 14.2.13 ポートファンクションコントロールレジスタ6 (PFCR6) 変更 表 14.6 PFCR6 レジスタ、TPUmのタイマモードレジスタの設定によるインプットキャプチャ 入力と外部端子の対応 追加
		355-357	14.2.14 ポートファンクションコントロールレジスタ7 (PFCR7) 変更 表 14.7 PFCR7 レジスタ、TPUmのタイマモードレジスタの設定によるインプットキャプチャ 入力と外部端子の対応 追加
		360	14.3 ポートの設定 変更
		393	表 14.10 未使用端子の処理内容 変更
		403-405	15. 16ビットタイマパルスユニット (TPU) 表 15.5 TPU レジスタ一覧 変更
		424	15.2.5 タイマステータスレジスタ (TSR) ビット配置図 リセット後の値変更
		426	15.2.8 タイマスタートレジスタ (TSTRA、TSTRB) ビット配置図 TSTRB アドレス変更
		427	15.2.9 タイマシンクロレジスタ (TSYRA、TSYRB) ビット配置図 TSYRB アドレス変更
		504	17. 8ビットタイマ (TMR) 表 17.3 TMRのレジスタ一覧 変更
		510	17.2.6 タイマコントロール/ステータスレジスタ (TCSR) ビット配置図 リセット後の値変更
		528	18. コンペアマッチタイマ (CMT) 表 18.2 CMTのレジスタ一覧 変更
		531	18.2.3 コンペアマッチタイマコントロールレジスタ (CMCR) ビット配置図 リセット後の値変更
		538	19. ウォッチドッグタイマ (WDT) 表 19.3 WDTのレジスタ一覧 変更
		539	19.2.2 タイマコントロール/ステータスレジスタ (TCSR) ビット配置図 リセット後の値変更
		551-552	20. シリアルコミュニケーションインタフェース (SCI) 表 20.4 SCIのレジスタ一覧 変更
		558、560	20.2.6 シリアルコントロールレジスタ (SCR) ビット配置図 リセット後の値変更
		562、564	20.2.7 シリアルステータスレジスタ (SSR) ビット配置図 リセット後の値変更
565	PERフラグ 誤記訂正		
604	20.6.1 シリアルコミュニケーションインタフェースモードにおける割り込み 変更		
全体	22. I ² Cバスインタフェース (RIIC) RIICの割り込み名称変更 (EEI→ICEEI、RXI→ICRXI、TXI→ICTXI、TEI→ICTEI)		
619	図22.1 RIICブロック図 変更		
620	図22.2 入出力端子の外部回路接続例 (I ² Cバス構成例) 変更		
621	表 22.3 RIICのレジスタ一覧 変更		
625	22.2.2 I ² Cバスコントロールレジスタ2 (ICCR2) ビット配置図 リセット後の値変更		
625-628	ビット説明変更		
629	22.2.3 I ² Cバスモードレジスタ1 (ICMR1) BC[2:0]ビット ビット説明変更		
632	22.2.5 I ² Cバスモードレジスタ3 (ICMR3) ACKBR、ACKBTビット ビット説明変更		
636	22.2.7 I ² Cバスステータスイネーブルレジスタ (ICSER) SAR0E、SAR1E、SAR2Eビット→SARyEビット (m=0~2) にし、ビット説明を纏めた		
640	22.2.9 I ² Cバスステータスレジスタ1 (ICSR1) ビット機能表 注. 追加		
641	AAS0、AAS1、AAS2フラグ→AASmフラグ (m=0~2) にし、ビット説明を纏めた		
641-642	ビット説明変更		
643	22.2.10 I ² Cバスステータスレジスタ2 (ICSR2) ビット機能表 注. 追加		
643-646	ビット説明変更		
647	22.2.11 スレーブアドレスレジスタLm (SARLy) (m=0~2) (SARL0、SARL1、SARL2をSARLy (m=0~2) にし、レジスタ説明を纏めた)		
648	22.2.12 スレーブアドレスレジスタUm (SARUy) (m=0~2) (SARU0、SARU1、SARU2をSARUy (m=0~2) にし、レジスタ説明を纏めた)		
649	22.2.13 I ² Cバスビットレートローレベルレジスタ (ICBRL) レジスタ説明変更		
650	22.2.14 I ² Cバスビットレートハイレベルレジスタ (ICBRH) 転送速度 (式) 変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
0.40	2009.10.28	651	表22.6 転送速度に対するICBRH、ICBRLレジスタの設定例 変更
		655	図22.5 RIICの初期化フローチャート例 変更
		656	22.3.3 マスタ送信動作 変更
		657	図22.6 マスタ送信のフローチャート例 変更
		660-661	22.3.4 マスタ受信動作 変更
		662	図22.10 マスタ受信のフローチャート例（7ビットアドレスフォーマットの場合） 変更
		665	22.3.5 スレーブ送信動作 変更
		666	図22.14 スレーブ送信のフローチャート例 変更
		668	22.3.6 スレーブ受信動作 変更
		676	22.7.3 デバイスIDアドレス検出機能 変更
		680	図22.30 NACK受信時の転送中断動作（NACKE=1のとき） 変更
		688	22.11.1 タイムアウト機能 変更
		694	22.13 割り込み要求 【割り込み処理上の注意】4. 変更
		694	表22.7 割り込み要因 変更
		696	22.15 使用上の注意事項 追加
		699-702	23. A/D変換器 規準電源端子 Vref→VREFH、規準グランド端子AVSS→VREFL 端子名の変更
		703	図23.1～図23.4 A/D変換器のブロック図 変更
		704	表23.3 A/D変換器の入力端子 変更
		704	表23.4 A/D変換器のレジスター一覧 変更
		706	23.2.2 A/Dコントロール/ステータスレジスタ（ADCSR ビット配置図 リセット後の値変更
		718	図23.10 TPU0のコンペアマッチ/インプットキャプチャA～Dと各ユニットの関係 変更
		719	図23.11 コンペアマッチ/インプットキャプチャAと各ユニットの関係 変更
		720	図23.12 TMR0、TMR2のコンペアマッチAと各ユニットの関係 変更
		724	23.6.6 絶対精度への影響 変更
		725	23.6.7 アナログ電源端子他の設定範囲 変更
		725	図23.16 AVCC = VCC、AVSS = VSS= VREFL接続例 変更
		725	23.6.8 ボード設計上の注意 変更
		725	23.6.9 ノイズ対策上の注意 変更
		726	図23.17 アナログ入力保護回路の例 変更
		726	23.6.10 高速変換を実現するためには 変更
		726	図23.18 高速変換用外付けコンデンサの接続例 変更
		727	24. D/A変換器 規準電源端子 Vref→VREFH、規準グランド端子AVSS→VREFL 端子名の変更
		727	図24.1 D/A変換器のブロック図 変更
		727	表24.2 D/A変換器の入力端子 変更
		729	24.2.2 D/Aコントロールレジスタ（DACR）ビット機能表 注2. 変更
		734	26. ROM ユーザマット 2Mバイト→2Mバイト/1.5Mバイト/1Mバイト/768Kバイト 変更
		734	フラッシュインタフェースエラー割り込み名称 FCUERR→FIFERR 変更
		735	表26.1 ROMの仕様 変更、（注）追加
		736	図26.1 ROMブロック図 変更
		736	表26.3 ROM関連のレジスター一覧 変更
		739	26.2.2 フラッシュアクセスステータスレジスタ（FASTAT）ROMAEビット ビット説明（注）追加
		745	26.2.6 フラッシュステータスレジスタ1（FSTATR1）ビット配置図 リセット後の値変更
		746	26.2.7 フラッシュレディ割り込み許可レジスタ（FRDYIE）FRDYIEビット ビット説明追記
		746	26.2.8 フラッシュP/Eモードエントリレジスタ（FENTRYR）
		747	ビット機能表（FENTRY1、FENTRY0） 変更
		747	レジスタ説明 変更
		749	表26.4 製品ごとのFENTRY1、FENTRY0ビット対応表 追加
		757	図26.2 ROMのメモリマット構成 変更
		757	図26.3 ユーザマットの消去ブロックの構成 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
0.40	2009.10.28	763	表26.8 FCUコマンドのフォーマット 変更
		785	26.6.4.2 書き込み/消去方法手順
		786	表26.10 エラープロテクト一覧 (ROM専用+ROM/データフラッシュ共通) 変更
		787	26.9 ユーザブートモード 変更
		787	26.10 ブートモード 26.10.1 システム構成 変更
		787	図26.24 ブートモード時のシステム構成 変更
		788	26.10.2 IDコードプロテクト 変更
		790	26.10.3 ブートモードの状態遷移
		791	図26.26 ブートモードの状態遷移図 変更
		793-803	② 問い合わせ設定ホストコマンド待ち、③ IDコードプロテクト判定、④ IDコード待ち 変更
		804	26.10.5 問い合わせ設定ホストコマンド待ち状態 追加
		805-812	26.10.6 IDコード待ち状態 追加
		813	26.10.7 書き込み/消去ホストコマンド待ち状態 追加
			26.11 オンチップデバッグIDコードプロテクト 変更
		816	27. データフラッシュ
		824	フラッシュインタフェースエラー割り込み名称 FCUERR→FIFERR 変更
		839	図27.1 データフラッシュのブロック図 変更
		839	27.2.6 フラッシュP/Eモードエントリレジスタ (FENTRYR) レジスタ説明変更
		840-842	27.7.2 エラープロテクト 変更
			表27.8 エラープロテクト一覧 (データフラッシュ専用) 変更
			27.8 ブートモード 追加
		全体	28. 電気的特性
		847	Vref→VREFH、AVSS→VREFL 変更
			表28.5 クロックタイミング 変更
1.00	2010.2.25		1. 概要
		30	図1.2 ブロック図 ポートF~ポートH追加
		31	図1.3 176ピンLFBGAピン配置図 追加
		34-39	表1.3 機能別端子一覧表 (176ピンLFBGA) 追加
		45,48	表1.5 端子機能一覧 BSCANP、PF0~PF6、PG~PG7、PH0~PH7 追加
			2. CPU
		53	2.2.2.4 プロセッサステータスワード (PSW)
		75	ビット配置図 (注1)、ビット機能表 (注4) IPL[2:0]ビット注記追加
		80	表2.14 複数マイクロオペレーションに変換される命令 DIV、DIVU命令追加
			2.8.4 割り込み応答サイクル 変更 (差し替え)
			5. I/Oレジスタ
		95	(4)I/Oレジスタアクセスサイクル数 追加
		96-115	表5.1 レジスタアドレス一覧 アクセスサイクル数、注7、注8追加
	6. リセット		
147	6.5 使用上の注意事項 追加		
	7. クロック発生回路		
156	7.7.3 ボード設計上の注意 変更 (追記)		
	8. 消費電力低減機能		
179	8.5.3.1 ソフトウェアスタンバイモードの移行 注3変更		
180	8.5.3.2 ソフトウェアスタンバイモードの解除 1. 割り込みによる解除 追記		
182	図8.2 ソフトウェアスタンバイモードの応用例 変更		
187	図8.3 ディープソフトウェアスタンバイモードの応用例 変更		
	10. 割り込みコントローラ (ICU)		
237	10.6.2 ソフトウェアスタンバイモードからの復帰 変更		
237	10.7 使用上の注意事項 追加		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.2.25		14. I/Oポート
		343	表 14.1 I/Oポートの使用 176ピンLFBGA追加
		347	表 14.2 ポート機能一覧 ポートF、ポートG、ポートH追加
		349	表 14.3 各ポートのレジスタ一覧 PF、PG、PHのDDR、DR、PORT、ICRレジスタ追加
			14.2.1 データディレクションレジスタ (DDR)
		351	PF.DDR、PG.DDR、PH.DDRレジスタ追加
			14.2.2 データレジスタ (DR)
		352	PF.DR、PG.DR、PH.DRレジスタ追加
			14.2.3 ポートレジスタ (PORT)
		353	PF.PORT、PG.PORT、PH.PORTレジスタ追加
			14.2.4 入力バッファコントロールレジスタ (ICR)
		354	PF.ICR、PG.ICR、PH.ICRレジスタ追加
		398-399	14.3.16 ポートF (PF) 追加
		400-401	14.3.17 ポートG (PG) 追加
		401-403	14.3.18 ポートH (PH) 追加
		409	表 14.9 各動作モードにおける端子機能 PF、PG、PH追加
		410	表 14.10 未使用端子の処理内容 追加
411	14.6.3 A/Dコンバータ入力を使用する場合のポートの設定 追加		
		22. I ² Cバスインタフェース (RIIC)	
701	図22.31 受信モードの自動Low ホールド動作 (RDRFS、WAITビット) (RDRFS=1)のACKのタイミング変更		
717	22.15.5 マスタモードでNACK受信したときの通信再開における注意事項 追加		
717	22.15.6 RDRFフラグセットタイミング選択ビット(RDRFSビット)の注意事項 追加		
		23. A/Dコンバータ	
		23.6.7 アナログ電源端子の設定範囲	
745	各電源端子 (AVCC - AVSS、VREFH - VREFL、VCC - VSS) の関係 変更		
745	図23.16 各電源端子の接続例 変更		
		26. ROM (コード格納用フラッシュメモリ)	
767	26.2.8 フラッシュ P/Eモードエントリーレジスタ (FENTRYR) ビット機能表 注1追加		
783	表26.8 FCUコマンドのフォーマット コマンド修正 (周辺クロック通知)		
786	図26.7 ROMリードモード移行フロー FRDYビット確認 ("1"、"0") 誤記修正		
792	図26.13 周辺クロック通知コマンドの使用法 タイムアウト (tPCKA) 追記		
812	表26.12 ビットレート自動調整が可能な条件 EXTALの周波数範囲変更		
		27. データフラッシュ (データ格納用フラッシュメモリ)	
859	表27.8 エラープロテクト一覧 (データフラッシュ専用) データフラッシュライトプロテクト違反 内容 (書き込み/消去禁止) 変更		
864	28. バウンダリスキャン 追加		
		29. 電気的特性	
881	表29.5 クロックタイミング ディープソフトウェアスタンバイ発振安定時間 (tOSC3) 追加		
882	図29.2 ソフトウェアスタンバイ発振安定時間タイミング 変更		
883	図29.3 ディープソフトウェアスタンバイ発振安定時間タイミング 追加		
893	表29.8 内蔵周辺モジュールタイミング (3) バウンダリスキャン追加		
897	図29.26 バウンダリスキャンTCKタイミング 追加		
897	図29.27 バウンダリスキャンTRST#タイミング 追加		
897	図29.28 バウンダリスキャン入出力タイミング 追加		
1.10	2011.2.18		1. 概要
		35	表 1.3 機能別端子一覧表 (176ピンLFBGA) (5/6) ピン番号P11の端子名変更
			2. CPU
		68	2.5.5 命令コード配置の注意事項 追加
		81	表2.15 割り込み応答サイクル数 変更
			3. 動作モード
82	表3.2 レジスタによる動作モードの選択 変更		
89	図3.2 ROMEビット、EXBEビットの設定と動作モード 変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2011.2.18	95	5. I/Oレジスタ 冒頭説明(1) I/Oレジスタアドレス一覧 (アドレス順) 変更
		103	表5.1 I/Oレジスタアドレス一覧 (7/20) ISELR253レジスタ追加
		127	表5.2 I/Oレジスタビット一覧 (11/26) ISELR253レジスタ追加
		136,137	表5.2 I/Oレジスタビット一覧 (20/26) SSRレジスタのビット名変更
		160	8. 消費電力低減機能 図8.1 モード遷移 変更
		165	8.2.2 モジュールストップコントロールレジスタA (MSTPCRA) 説明追加
		171	8.2.7 ディープスタンバイインタラプトイネーブルレジスタ (DPSIER) 説明追加
		185	8.5.4.2 ディープソフトウェアスタンバイモードの解除 説明追加
		194	9. 例外処理 図9.2 例外の処理手順の概要 変更
		211、212	10. 割り込みコントローラ (ICU)
		213	10.2.1 割り込み要求レジスタi (IRi) 注記および説明変更、追加
		214	10.2.2 割り込み要求先設定レジスタi (ISELRi) アドレス変更
215	10.2.3 割り込み要求許可レジスタi (IERi) 説明変更、追加		
215	10.2.4 割り込み要因プライオリティレジスタi (IPRI) 説明追加		
216	10.2.5 高速割り込みレジスタ (FIR) 説明変更、追加		
218	10.2.7 IRQコントロールレジスタn (IRQCRn) 説明追加		
221	10.2.10 ノンマスクابل割り込みステータスレジスタ (NMISR) 説明追加		
224	表10.4 割り込みベクタテーブル 変更		
231	10.4.2.1 エッジ検出の割り込みステータスフラグ 説明追加		
239	10.7.3 通信機能 (SCI、RIIC) によるDMAC/DTC転送の注意事項 追加		
240	(1) ソフトウェア回避策 追加		
244	11. バス 表11.5 外部バスの入出力端子 注記追加		
250	11.3.3 CSiモードレジスタ (CSIMOD) WRMODビット説明変更		
277	11.5.5.3 RMPA命令、ストリング命令に関する制約事項 タイトルおよび説明変更		
277	表11.8 ライトアクセスモード時の制御信号 変更		
277	11.5.5.5 命令コードに関する制約事項 追加		
303	12. DMAコントローラ (DMAC)		
308	12.3.1 バス権解放タイミング 説明追加 図12.5 DMACm.DMCRD.DREQビットのタイミング 変更		
323	13. データトランスファコントローラ (DTC)		
331	13.2.10 DTCモジュール起動レジスタ (DTCST) ビット説明変更		
332	図13.5 転送情報スキップ時の動作例 変更		
332	13.4.2 転送情報ライトバックスキップ機能 説明変更		
337	図13.10 DTC動作タイミング例1 (ショートアドレスモード、ノーマル転送モード、リピート転送モードの場合) 変更		
337	図13.11 DTC動作タイミング例2 (ショートアドレスモード、ノーマル転送モード、ブロックサイズ=3の場合) タイトルおよびタイミング変更		
338	図13.12 DTC動作タイミング例3 (ショートアドレスモード、チェーン転送の場合) 変更		
338	図13.13 DTC動作タイミング例4 (フルアドレスモード、ノーマル転送モード、リピート転送モードの場合) 変更		
339	13.4.8 DTCの実行サイクル 変更		
339	表13.10 DTCの実行サイクル 変更		
407-411	14. I/Oポート 表14.8 各ポートの出力信号有効設定一覧 説明変更		
427	15. 16ビットタイマパルスユニット (TPU)		
475	表15.6 TPSC[2:0]ビット (TPU0、TPU6) ~表15.11 TPSC[2:0]ビット (TPU5、TPU11) 変更		
476	図15.32 外部クロック動作時のカウントタイミング 変更		
476	図15.33 アウトプットコンペア出力タイミング 変更		
476	図15.34 インプットキャプチャ入力信号タイミング 変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2011.2.18	510	16. プログラマブルパルスジェネレータ (PPG) 図 16.5 NDR レジスタの値が転送・出力されるタイミング例
		523 538	17. 8ビットタイマ (TMR) 図 17.1 TMR (ユニット0) のブロック図 変更 図 17.8 コンペアマッチA信号によるタイマ出カタイミング 変更
		557 557	18. コンペアマッチタイマ (CMT) 18.5.4 コンペアマッチタイマコントロールレジスタ (CMCR) 書き替えの注意事項 追加 18.5.5 コンペアマッチタイマカウンタ (CMCNT) と コンペアマッチコンスタントレジスタ (CMCOR) の注意事項 追加
		573,574 580	20. シリアルコミュニケーションインタフェース (SCI) 表 20.4 SCIのレジスタ一覧 SSRのリセット後の値変更 20.2.6 シリアルコントロールレジスタ (SCR) CKE[1:0] ビット説明変更 20.2.7 シリアルステータスレジスタ (SSR)
		585	(1) シリアルコミュニケーションインタフェースモードのとき (SCMR.SMIFビット=0) b7,b6および注記の変更
		588	(2) スマートカードインタフェースモードのとき (SCMR.SMIFビット=1) b7,b6および注記の変更
		605	図 20.8 調歩同期式モードのシリアル送信の動作例 (8ビットデータ/パリティあり/1ストップビットの例) 変更
		607	図 20.10 調歩同期式モードのシリアル受信の動作例 (8ビットデータ/パリティあり/1ストップビットの例) 変更
		612	図 20.15 クロック同期式モードのシリアル送信の動作例 変更
		614	図 20.17 クロック同期式モードのシリアル受信時の動作例 変更
		622	図 20.25 SCI送信モードの場合の再転送動作 (送信時の再転送動作) 変更
		625	図 20.28 SCI受信モードの場合の再転送動作 (受信時の再転送動作) 変更
		656 675 706 716	22. I ² Cバスインタフェース (RIIC) 22.2.5 I ² Cバスモードレジスタ3 (ICMR3) ビット表の説明変更 22.2.14 I ² Cバスビットレートハイレベルレジスタ (ICBRH) 変更 図 22.31 受信モードの自動Lowホールド動作 (RDRFS、WAITビット) 変更 22.12 SMBus動作 説明変更
		750 751 752	23. A/Dコンバータ 23.6.8 ボード設計上の注意 変更 23.6.10 高速変換を実現するためには 変更 23.6.11 A/Dコンバータを複数ユニット使用しているときの注意事項 追加
759	24. D/Aコンバータ 24.4.5 A/DコンバータとD/Aコンバータを同時に使用する場合の注意事項 追加		
775 783 799 814 842	26. ROM (コード格納用フラッシュメモリ) 26.2.8 フラッシュ P/Eモードエントリーレジスタ (FENTRYR) レジスタ図変更 26.2.14 周辺クロック通知レジスタ (PCKAR) ビット説明の注記変更 (4) 周辺クロック通知コマンドの使用法 説明変更 表 26.10 エラープロテクト一覧 (ROM専用+ROM/データフラッシュ共通) 説明削除 26.13 (2) 書き込み/消去サスペンドによる中断 説明追加		
888	29. 電気的特性 表 29.3 出力許容電流値 変更		
1.11	2011.3.28	685	22. I ² Cバスインタフェース (RIIC) 22.3.4 マスタ受信動作 (5) 変更
		686	22.3.4 マスタ受信動作 (6) 変更
		687	図 22.10 マスタ受信のフローチャート例 (7ビットアドレスフォーマットの場合) 変更
		689	図 22.13 マスタ受信の動作タイミング (3) (RDRFS=0のとき) 変更
1.20	2013.02.20	30	1. 概要 表 1.2 製品一覧表 製品ラインナップ追加
		48、50	表 1.5 端子機能一覧 バス制御の機能説明変更、注記追加

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2013.02.20		2. CPU
		69	2.5.5 命令コード配置の注意事項 説明変更
		98~117 118~143	5. I/Oレジスタ 表5.1 I/Oレジスタアドレス一覧 変更 表5.2 I/Oレジスタビット一覧 変更
		154 154	7. クロック発生回路 7.3.1 水晶発振子を接続する方法 説明削除 図7.3 水晶発振子の等価回路 説明削除
		172 178	8. 低消費電力機能 8.2.7 ディープスタンバイインタラプトイネーブルレジスタ (DPSIER) 本文変更 8.5.1.1 スリープモードへの移行 本文変更
		248 278 278	11. バス 11.3.1 CSi制御レジスタ (CSiCNT) (i=0~7) のEMODEビット 説明変更 11.5.5.3 RMPA命令、ストリング操作命令に関する制約事項 説明変更 11.5.5.5 命令コードに関する制約事項 説明変更
		415~418	14. I/Oポート 14.6 入出力ポートの構成 追加
		601 602 609 610 616 617	20. シリアルコミュニケーションインタフェース (SCI) 表20.11 ビットレートに対するBRRの設定例 (クロック同期式モード) 追加 表20.13 ビットレートに対するBRRの設定例 (スマートカードインタフェースモードでn=0、S=372のとき) 変更 図20.7 SCIの初期化フローチャートの例 (調歩同期式モード) 注釈追加 図20.8 調歩同期式モードのシリアル送信の動作例 (8ビットデータ/パリティあり/1ストップビットの例) 変更 図20.14 SCIの初期化フローチャートの例 (クロック同期式モード) 注釈追加 図20.15 クロック同期式モードのシリアル送信の動作例 変更
		641 642	21. CRC演算器 (CRC) 21.2.1 CRCコントロールレジスタ (CRCCR) 注記削除 21.2.3 CRCデータ出力レジスタ (CRCDOR) 文章変更
		650~651 660~661 684 686 688 693 697 700 718	22. I ² Cバスインタフェース (RIIC) 表22.3 RIICのレジスタ一覧 タイムアウト内部カウントレジスタL、タイムアウト内部カウントレジスタU 追加 22.2.4 I ² Cバスモードレジスタ2 (ICMR2) TMWEビット追加 22.2.18 タイムアウト内部カウンタ (TMOCNT) 追加 図22.5 RIICの初期化フローチャート例 変更 図22.6 マスタ送信のフローチャート例 変更 図22.10 マスタ受信のフローチャート例 (7ビットアドレスフォーマットの場合) 変更 図22.14 スレーブ送信のフローチャート例 変更 図22.17 スレーブ受信のフローチャート例 変更 図22.36 スタートコンディション/リスタートコンディション発行動作タイミング (ST、RSビット) 変更
		757	23. A/Dコンバータ 23.6.8 ボード設計上の注意 変更
		782 801 836	26. ROM 26.2.8 フラッシュ P/Eモードエントリレジスタ (FENTRYR) 文章変更 図26.7 ROMリードモード移行フロー 変更 26.10.5 (11) 新ビットレート選択 ビットレート選択不可エラーの誤差計算式変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2013.02.20	849、850	26.13 使用上の注意事項 (4) (5) (8) 変更、(7) 追加
		879	27.データフラッシュ (データ格納用フラッシュメモリ) 27.9 使用上の注意事項 (2) 変更

RX610グループ ユーザーズマニュアル
ハードウェア編

発行年月日 2009年3月24日 Rev.0.11
2013年2月20日 Rev.1.20

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>

RX610グループ